

RA6T1 グループ RA6T2 グループ

RA6T1 グループと RA6T2 グループの相違点

要旨

本アプリケーションノートは、RA6T1 グループ、RA6T2 グループにおける周辺機能、ピン配置の差分等をまとめています。双方のデバイスを開発する際のソフトウェア資産の共通化や開発効率を向上させることを目的とした参考資料です。特に記載のない箇所については、それぞれのマイコンの最大仕様として、RA6T1 グループの 100 ピンパッケージと RA6T2 グループの 100 ピンパッケージについて記載しています。電気的特性、注意事項、設定手順等の詳細な仕様差分についてはユーザーズマニュアルをご確認ください。

対象デバイス

RA6T1 グループ、RA6T2 グループ

目次

1. RA6T1 グループと RA6T2 グループの搭載機能比較	5
2. 仕様の概要比較	6
2.1 CPU	6
2.2 アドレス空間	8
2.3 リセット	9
2.4 オプション設定メモリ	24
2.5 低電圧検出回路	26
2.6 クロック発生回路	28
2.7 クロック周波数精度測定回路	32
2.8 低消費電力モード	33
2.9 レジスタライトプロテクション	45
2.10 割り込みコントローラユニット	46
2.11 バス	48
2.12 メモリプロテクションユニット	50
2.13 DMA コントローラ	52
2.14 データトランスファコントローラ	54
2.15 イベントリンクコントローラ	56
2.16 I/O ポート	57
2.17 GPT 用ポートアウトプットイネーブル	60
2.18 汎用 PWM タイマ	62
2.19 PWM 遅延生成回路	67
2.20 低消費電力非同期汎用タイマ/非同期汎用タイマ	68
2.21 ウォッチドッグタイマ	70
2.22 独立ウォッチドッグタイマ	71
2.23 シリアルコミュニケーションインタフェース	73
2.24 I ² C バスインタフェース	78
2.25 CAN モジュール/CAN フレキシブルデータレート	80
2.26 シリアルペリフェラルインタフェース	83
2.27 巡回冗長検査演算器	86
2.28 セキュア暗号エンジン	87
2.29 12 ビット A/D コンバータ	89
2.30 12 ビット D/A コンバータ	94
2.31 温度センサ回路	95
2.32 高速アナログコンパレータ	96
2.33 データ演算回路	99
2.34 SRAM	100
2.35 フラッシュメモリ	101
2.36 内部電圧レギュレータ	106
3. ピン配置の比較	107
3.1 100 ピンパッケージ	107
3.2 64 ピンパッケージ	108
4. 移行の際の留意点	109

4.1	機能設計の留意点	109
4.1.1	メインクロック発振器駆動能力自動切り替え機能	109
4.1.2	レジスタアクセス	109
4.1.3	スヌーズモードにおける SCI0 の UART の使用	112
4.1.4	スヌーズモードにおける ELC イベント	113
4.1.5	モジュールストップビット書き込みタイミング	113
4.1.6	キャッシュラインコンフィグレーションレジスタ	113
4.1.7	コヒーレンシ	113
4.1.8	セキュリティ MPU	113
4.1.9	DMA 転送中のレジスタアクセスについて	114
4.1.10	DMA 転送再開時	114
4.1.11	ELC イベント要求の間隔	114
4.1.12	端子機能の設定手順	114
4.1.13	ポートグループ入力の使用手順	115
4.1.14	アナログ機能使用時	115
4.1.15	ポート mn 端子機能選択 PmnPFS レジスタ設定	115
4.1.16	GPT 用ポートアウトプットイネーブルの出力停止要求の 2 重化	116
4.1.17	GPT のモジュールストップ機能の設定	116
4.1.18	GPT のイベントごとの優先順位	116
4.1.19	GPT の割り込み要求の間隔	116
4.1.20	PWM 遅延生成回路への GTIOCNm 信号入力	117
4.1.21	PWM 遅延生成回路のレジスタ書き込み間隔	117
4.1.22	AGT/AGTW のカウント動作の開始および停止制御	117
4.1.23	AGT/AGTW の出力端子の設定	117
4.1.24	AGT/AGTW の I/O レジスタのリセット	117
4.1.25	AGT/AGTW のカウントソースに PCLKB、PCLKB/8、または PCLKB/2 を選択	118
4.1.26	AGT/AGTW のカウントソースに AGTSCLK または AGTLCLK を選択	118
4.1.27	ICU イベントリンク設定レジスタ n (IELSRn) の設定	119
4.1.28	低消費電力状態での SCI の動作	119
4.1.29	SCI のブレークの検出と処理について	120
4.1.30	SCI の受信エラーフラグと送信動作 (クロック同期式モードおよび簡易 SPI モード)	120
4.1.31	TDR へのデータ書き込み	120
4.1.32	SCI のクロック同期式送信に関する制限事項 (クロック同期式モード、簡易 SPI モード)	120
4.1.33	SCI の DMAC または DTC 使用時の制限事項	121
4.1.34	SCI のクロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	121
4.1.35	SCI の簡易 SPI モードに関する制限事項	121
4.1.36	SCI の送信許可ビット	122
4.1.37	SCI の動作クロックがバスクロックより長い場合のレジスタアクセス	122
4.1.38	SCI 動作の割り込み	122
4.1.39	SCI 共通コントロールレジスタ CCR3.BPEN ビットの設定	122
4.1.40	IIC の転送開始	123
4.1.41	IIC の動作クロックの設定	123
4.1.42	CAN の動作クロックの設定	123
4.1.43	バウンダリスキャン機能	123
4.1.44	A/D 変換動作中の動作設定変更の禁止	124
4.1.45	A/D 変換動作の強制停止	125
4.1.46	A/D データレジスタ	126

4.1.47	ADC/ADC12 の低消費電力状態への遷移および解除に関する制限	126
4.1.48	PGA が接続されたアナログチャンネルの使用	127
4.1.49	ADC12 の動作モードおよびステータスビット	127
4.1.50	ADC12 入力使用時のポート設定	127
4.1.51	ADC12 (ユニット 0 およびユニット 1) と ACMPHS の関係	128
4.1.52	ADC の同期動作	129
4.1.53	複数の A/D コンバータ間で共有されているアナログチャンネル	129
4.1.54	A/D 変換開始トリガ	129
4.1.55	D/A 変換と A/D 変換の干渉低減有効時の制限事項	129
4.1.56	内部モジュールへの DAC 出力の初期化手順	129
4.1.57	TSN の制限事項	129
4.1.58	SRAM 領域からの命令フェッチ	129
4.1.59	SRAM のストアバッファ	130
4.1.60	プログラム/イレース中のサスペンド	130
4.1.61	プログラム/イレースまたはブランクチェック中の禁止項目	130
4.1.62	プログラム/イレース中の異常終了	131
4.1.63	Low-speed モードでのプログラム/イレース	131
4.1.64	エミュレータ接続	131
5.	FSP 概要	132
6.	参考ドキュメント	134

1. RA6T1 グループと RA6T2 グループの搭載機能比較

RA6T1 グループと RA6T2 グループの搭載機能比較を以下に示します。機能の詳細については「2.仕様の概要比較」および「6.参考ドキュメント」を参照してください。

表 1.1 に RA6T1/RA6T2 搭載機能比較を示します。

表 1.1 RA6T1/RA6T2 搭載機能比較

製品名		RA6T1		RA6T2			機能相違	
パッケージ		LQFP64	LQFP100	LQFP48 QFN48	LQFP64 QFN64	LQFP100	あり	
CPU		Arm Cortex-M4		Arm Cortex-M33			あり	
コードフラッシュメモリ		512KB、256KB		512KB、256KB			なし	
データフラッシュメモリ		8KB		16KB			あり	
SRAM		パリティ : 64KB		ECC : 64KB			あり	
スタンバイ SRAM		—		パリティ : 1KB			あり	
システム	CPU クロック	最高 120MHz		最高 240MHz			あり	
	CPU クロックソース	MOSC、SOSC、HOCO、MOCO、LOCO、PLL		MOSC、HOCO、MOCO、LOCO、PLL			あり	
	CAC	Yes		Yes			あり	
	バックアップレジスタ	512B		—			あり	
	ICU	Yes		Yes			あり	
	WDT/IWDT	Yes		Yes			あり	
	KINT	8ch		8ch			なし	
イベントリンク	ELC	あり		あり			あり	
DMA	DTC	1ch		1ch			あり	
	DMAC	8ch		8ch			あり	
タイマ	GPT	32bit x13ch (高分解能出力 x 4ch) ^(注1)		32bit x 10ch (高分解能出力 x 4ch) ^(注1)			あり	
	AGT	16bit x 2ch		32bit x 2ch			あり	
通信	SCI	7ch		6ch			あり	
	IIC	2ch		2ch			あり	
	SPI	2ch		2ch			あり	
	CAN/CANFD	1ch (CAN)		1ch (CANFD)			あり	
アナログ	ADC12	Unit 0	7ch ^(注2)	11ch ^(注2)	6ch	10ch	12ch + 9ch ^(注3)	あり
		Unit 1	3ch ^(注2)	8ch ^(注1)	4ch	8ch	8ch + 9ch ^(注3)	
	3ch-S/H	Unit 0	1(3ch)	1(3ch)	1(3ch)	1(3ch)	1(3ch)	あり
		Unit 1	—	1(3ch)	1(2ch)	1(3ch)	1(3ch)	
	DAC12		2ch		2ch	4ch		あり
	ACMPHS		6ch		3ch	4ch		あり
	PGA	Unit 0	3ch	3ch	3ch	3ch	3ch	あり
		Unit 1	—	3ch	—	1ch	1ch	
	TSN		あり		あり			あり

製品名		RA6T1	RA6T2	相違
データ処理	CRC	あり	あり	あり
	DOC	あり	あり	あり
アクセラレータ	TFU	—	あり	あり
	IIRFA	—	あり	あり
セキュリティ		SCE7	SCE5、TrustZone、 ライフサイクルマネジメント	あり

注1. 使用できる端子はピン数によります。詳細はそれぞれのユーザーズマニュアルを参照ください。

注2. 各 ADC ユニットの入力チャネル（AN005/AN105、AN006/AN106）が、同一ポートにアサインされており、2 ユニットでそれら端子を同時に使うことはできません。

注3. UNIT0 と UNIT1 の共有端子。

2. 仕様の概要比較

以下に概要の比較を示します。

概要の比較では、いずれかのグループにしか存在しない、または両方のグループに存在するが相違点がある項目は赤字にしています。なお、概要比較の説明文は各グループのユーザーズマニュアルに記載どおりの内容になっており、同じ機能概要でも表現が異なる場合があります。

2.1 CPU

表 2.1 に CPU の概要比較を示します。

表 2.1 CPU の概要比較

項目	RA6T1	RA6T2
CPU	<ul style="list-style-type: none"> ● Arm Cortex-M4 <ul style="list-style-type: none"> — リビジョン : r0p1-01rel0 — Armv7E-M アーキテクチャプロファイル — 単精度浮動小数点ユニット (ANSI/IEEE 規格 754-2008 に準拠) ● メモリプロテクションユニット (MPU) <ul style="list-style-type: none"> — Armv7 保護メモリシステムアーキテクチャ — 8 つのメモリ保護領域 ● SysTick タイマ <ul style="list-style-type: none"> — SYSTICCLK (LOCO) または ICLK により駆動 	<ul style="list-style-type: none"> ● Arm Cortex-M33 <ul style="list-style-type: none"> — リビジョン : r0p4-00rel1 — Armv8-M アーキテクチャプロファイル — ANSI/IEEE Std 754-2008 準拠の単精度浮動小数点ユニット ● SAU (セキュリティ属性ユニット) : 0 領域 ● IDAU (実装定義属性ユニット) : 8 領域 <ul style="list-style-type: none"> — コードフラッシュ (セキュア/非セキュアコーラブル/非セキュア) — データフラッシュ (セキュア/非セキュア) — SRAM0 (セキュア/非セキュアコーラブル/非セキュア) ● メモリプロテクションユニット (MPU) <ul style="list-style-type: none"> — Armv8 保護メモリシステムアーキテクチャ (PMSAv8) — セキュア MPU (MPU_S) : 8 領域 — 非セキュア MPU (MPU_NS) : 8 領域 ● SysTick タイマ <ul style="list-style-type: none"> — 2 個の SysTick タイマ : セキュア、および非セキュアインスタンス — SysTick タイマクロック (SYSTICCLK) またはシステムクロック (ICLK) による駆動

項目	RA6T1	RA6T2
デバッグ	<ul style="list-style-type: none"> ● Arm CoreSight™ ETM-M4 <ul style="list-style-type: none"> — リビジョン : r0p1-00rel0 — Arm ETM アーキテクチャバージョン 3.5 ● CoreSight 計装トレースマクロセル (ITM) ● データウォッチポイント&トレース (DWT) ユニット <ul style="list-style-type: none"> — ウォッチポイントとトリガ用の 4 つのコンパレータ ● フラッシュパッチ&ブレークポイント (FPB) ユニット <ul style="list-style-type: none"> — フラッシュパッチ (リマップ) 機能は使用できない。ブレークポイント機能のみ使用可能 — 6 つの命令コンパレータ — 2 つのリテラルコンパレータ ● CoreSight タイムスタンプジェネレータ (TSG) <ul style="list-style-type: none"> — ETM および ITM 用タイムスタンプ — CPU クロックによる駆動 ● デバッグレジスタモジュール (DBGREG) <ul style="list-style-type: none"> — リセットコントロール — 停止コントロール ● CoreSight デバッグアクセスポート (DAP) <ul style="list-style-type: none"> — JTAG デバッグポート (JTAG-DP) — シリアルワイヤデバッグポート (SW-DP) ● Cortex-M4 トレースポートインタフェースユニット (TPIU) <ul style="list-style-type: none"> — 4 ビット TPIU フォーマッタ出力 — シリアルワイヤ出力 ● CoreSight エンベデッドトレースバッファ (ETB) <ul style="list-style-type: none"> — CoreSight トレースメモリコントローラ (ETB コンフィグレーション内蔵) — バッファサイズ : 2KB 	<ul style="list-style-type: none"> ● Arm® CoreSight™ ETM-M33 <ul style="list-style-type: none"> — リビジョン : r0p2-00rel0 — ARM ETM アーキテクチャバージョン 4.2 ● 計装トレースマクロセル (ITM) ● データウォッチポイント&トレースユニット (DWT) <ul style="list-style-type: none"> — ウォッチポイントとトリガ用の 4 つのコンパレータ ● ブレークポイントユニット (BPU) <ul style="list-style-type: none"> — ブレークポイント機能を使用できます。 — 8 つの命令コンパレータ — リテラルコンパレータなし ● タイムスタンプジェネレータ (TSG) <ul style="list-style-type: none"> — ETM および ITM 用タイムスタンプ — CPU クロックによる駆動 ● デバッグレジスタモジュール (DBGREG) <ul style="list-style-type: none"> — リセット制御 — 停止制御 ● デバッグアクセスポート (DAP) <ul style="list-style-type: none"> — JTAG デバッグポート (JTAG-DP) — シリアルワイヤデバッグポート (SW-DP) ● Cortex-M33 トレースポートインタフェースユニット (TPIU) <ul style="list-style-type: none"> — 4 ビット TPIU フォーマッタ出力 — シリアルワイヤ出力 ● クロストリガインタフェース (CTI) ● エンベデッドトレースバッファ (ETB) <ul style="list-style-type: none"> — ETB 構成の CoreSight トレースメモリコントローラ — バッファサイズ : 2KB
動作周波数	<ul style="list-style-type: none"> ● CPU : 最大 120MHz ● 4 ビット TPIU トレースインタフェース : 最大 60MHz ● シリアルワイヤ出力 (SWO) トレースインタフェース : 最大 60MHz ● ジョイントテストアクショングループ (JTAG) インタフェース : 最大 25MHz ● シリアルワイヤデバッグ (SWD) インタフェース : 最大 25MHz 	<ul style="list-style-type: none"> ● CPU コア : 最高 240MHz ● 4 ビット TPIU トレースインタフェース : 最高 60MHz ● シリアル書き込み出力 (SWO) トレースインタフェース : 最高 60MHz ● ジョイントテストアクショングループ (JTAG) インタフェース : 最高 25MHz ● シリアルワイヤデータ (SWD) インタフェース : 最高 25MHz

2.2 アドレス空間

図 2.1 にメモリマップ比較を示します。

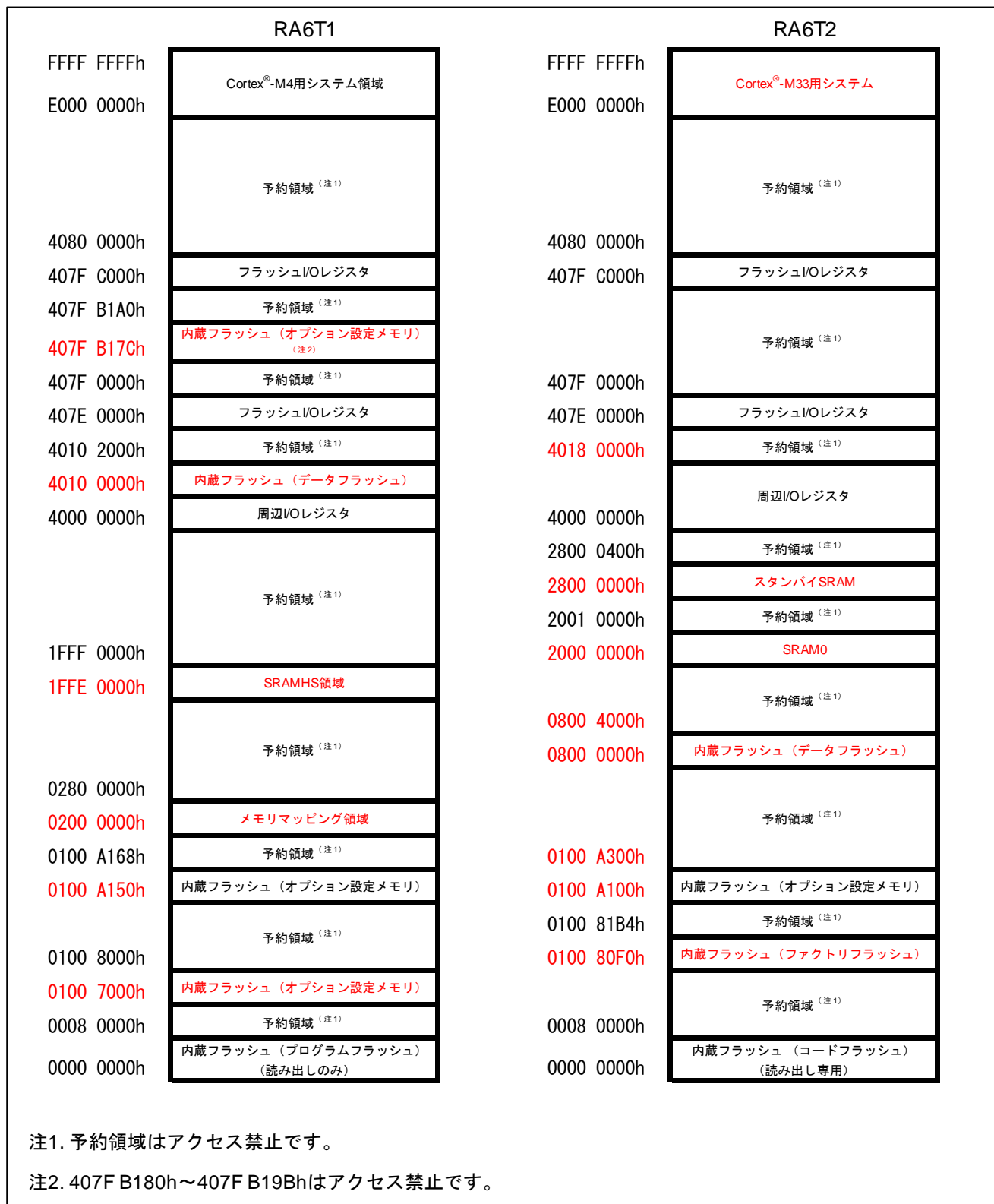


図 2.1 メモリマップ比較

2.3 リセット

表 2.2 にリセットの名称と要因比較を、表 2.3 にリセット要因ごとの初期化対象リセット検出フラグ比較を、表 2.4 にリセット要因ごとの初期化対象モジュール関連レジスタ比較を、表 2.5 にリセット発生時のクロックの状態比較を示します。

表 2.2 リセットの名称と要因比較

項目	RA6T1	RA6T2
RES 端子リセット	RES 端子への入力電圧が Low	RES 端子への入力電圧が Low
パワーオンリセット	VCC の上昇 (監視電圧 : V_{POR})	VCC 端子電圧の上昇 (監視電圧 : V_{POR})
独立ウォッチドッグタイマリセット	IWDT のアンダーフロー リフレッシュエラー	IWDT のアンダーフロー リフレッシュエラーの発生
ウォッチドッグタイマリセット	WDT のアンダーフロー リフレッシュエラー	WDT のアンダーフロー リフレッシュエラーの発生
電圧監視 0 リセット	VCC の下降 (監視電圧 : V_{det0})	VCC 端子電圧の下降 (監視電圧 : V_{det0})
電圧監視 1 リセット	VCC の下降 (監視電圧 : V_{det1})	VCC 端子電圧の下降 (監視電圧 : V_{det1})
電圧監視 2 リセット	VCC の下降 (監視電圧 : V_{det2})	VCC 端子電圧の下降 (監視電圧 : V_{det2})
SRAM パリティエラーリセット	SRAM パリティエラー検出	SRAM パリティエラー検出
SRAM ECC エラーリセット	—	SRAM ECC エラー検出
バスマスタ MPU エラーリセット	バスマスタ MPU エラー検出	バスマスタ MPU エラーの検出
バススレーブ MPU エラーリセット	バススレーブ MPU エラー検出	—
スタックポインタエラーリセット	スタックポインタエラー検出	—
TrustZone エラーリセット	—	TrustZone エラー検出
キャッシュパリティエラーリセット	—	キャッシュパリティエラー検出
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除	割り込みによるディープソフトウェアスタンバイモードの解除
ソフトウェアリセット	レジスタ設定 (Arm [®] ソフトウェアリセットビット、AIRCR.SYSRESETREQ を使用)	レジスタ設定 (ソフトウェアリセットビット : AIRCR.SYSRESETREQ を使用)

表 2.3 リセット要因ごとの初期化対象リセット検出フラグ比較

項目	RA6T1	RA6T2
RES 端子リセット	<ul style="list-style-type: none"> ● パワーオンリセット検出フラグ (RSTSR0.PORF) ● 電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF) ● 独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF) ● ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF) ● 電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF) ● 電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF) ● ソフトウェアリセット検出フラグ (RSTSR1.SWRF) ● SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF) ● バススレーブ MPU エラーリセット検出フラグ (RSTSR1.BUSSRF) ● バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF) ● スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF) ● ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF) 	<ul style="list-style-type: none"> ● パワーオンリセット検出フラグ (RSTSR0.PORF) ● 電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF) ● 独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF) ● ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF) ● 電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF) ● 電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF) ● ソフトウェアリセット検出フラグ (RSTSR1.SWRF) ● SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF) ● SRAM ECC エラーリセット検出フラグ (RSTSR1.REERF) ● バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF) ● TrustZone エラーリセット検出フラグ (RSTSR1.TZERF) ● キャッシュパリティエラーリセット検出フラグ (RSTSR1.CPERF) ● ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF)
パワーオンリセット	<ul style="list-style-type: none"> ● 電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF) ● 独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF) ● ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF) ● 電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF) ● 電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF) ● ソフトウェアリセット検出フラグ (RSTSR1.SWRF) ● SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF) ● バススレーブ MPU エラーリセット検出フラグ (RSTSR1.BUSSRF) 	<ul style="list-style-type: none"> ● 電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF) ● 独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF) ● ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF) ● 電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF) ● 電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF) ● ソフトウェアリセット検出フラグ (RSTSR1.SWRF) ● SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF) ● SRAM ECC エラーリセット検出フラグ (RSTSR1.REERF)

項目	RA6T1	RA6T2
パワーオンリセット	<ul style="list-style-type: none"> ● バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF) ● スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF) ● ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF) ● コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF) 	<ul style="list-style-type: none"> ● バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF) ● TrustZone エラーリセット検出フラグ (RSTSR1.TZERF) ● キャッシュパリティエラーリセット検出フラグ (RSTSR1.CPERF) ● ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF) ● コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)
独立ウォッチドッグタイマリセット	<ul style="list-style-type: none"> ● 初期化対象フラグなし 	<ul style="list-style-type: none"> ● 初期化対象フラグなし
ウォッチドッグタイマリセット	<ul style="list-style-type: none"> ● 初期化対象フラグなし 	<ul style="list-style-type: none"> ● 初期化対象フラグなし
電圧監視 0 リセット	<ul style="list-style-type: none"> ● 独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF) ● ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF) ● 電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF) ● 電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF) ● ソフトウェアリセット検出フラグ (RSTSR1.SWRF) ● SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF) ● バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSSRF) ● バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF) ● スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF) ● ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF) 	<ul style="list-style-type: none"> ● 独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF) ● ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF) ● 電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF) ● 電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF) ● ソフトウェアリセット検出フラグ (RSTSR1.SWRF) ● SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF) ● SRAM ECC エラーリセット検出フラグ (RSTSR1.REERF) ● バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF) ● TrustZone エラーリセット検出フラグ (RSTSR1.TZERF) ● キャッシュパリティエラーリセット検出フラグ (RSTSR1.CPERF) ● ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF)
電圧監視 1 リセット	<ul style="list-style-type: none"> ● 初期化対象フラグなし 	<ul style="list-style-type: none"> ● 初期化対象フラグなし
電圧監視 2 リセット	<ul style="list-style-type: none"> ● 初期化対象フラグなし 	<ul style="list-style-type: none"> ● 初期化対象フラグなし
SRAM パリティエラーリセット	<ul style="list-style-type: none"> ● 初期化対象フラグなし 	<ul style="list-style-type: none"> ● 初期化対象フラグなし
SRAM ECC エラーリセット	—	<ul style="list-style-type: none"> ● 初期化対象フラグなし

項目	RA6T1	RA6T2
バスマスタ MPU エラーリセット	<ul style="list-style-type: none"> 初期化対象フラグなし 	<ul style="list-style-type: none"> 初期化対象フラグなし
バススレーブ MPU エラーリセット	<ul style="list-style-type: none"> 初期化対象フラグなし 	—
スタックポインタエラーリセット	<ul style="list-style-type: none"> 初期化対象フラグなし 	—
TrustZone エラーリセット	—	<ul style="list-style-type: none"> 初期化対象フラグなし
キャッシュパリティエラーリセット	—	<ul style="list-style-type: none"> 初期化対象フラグなし
ディープソフトウェアスタンバイリセット (DEEPCUT[0] = 0)	<ul style="list-style-type: none"> 独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF) ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF) ソフトウェアリセット検出フラグ (RSTSR1.SWRF) SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF) バススレーブ MPU エラーリセット検出フラグ (RSTSR1.BUSSRF) バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF) スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF) 	<ul style="list-style-type: none"> 独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF) ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF) ソフトウェアリセット検出フラグ (RSTSR1.SWRF) SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF) SRAM ECC エラーリセット検出フラグ (RSTSR1.REERF) バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF) TrustZone エラーリセット検出フラグ (RSTSR1.TZERF) キャッシュパリティエラーリセット検出フラグ (RSTSR1.CPERF)
ディープソフトウェアスタンバイリセット (DEEPCUT[0] = 1)	<ul style="list-style-type: none"> 独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF) ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF) ソフトウェアリセット検出フラグ (RSTSR1.SWRF) SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF) バススレーブ MPU エラーリセット検出フラグ (RSTSR1.BUSSRF) バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF) スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF) 	<ul style="list-style-type: none"> 独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF) ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF) ソフトウェアリセット検出フラグ (RSTSR1.SWRF) SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF) SRAM ECC エラーリセット検出フラグ (RSTSR1.REERF) バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF) TrustZone エラーリセット検出フラグ (RSTSR1.TZERF) キャッシュパリティエラーリセット検出フラグ (RSTSR1.CPERF)
ソフトウェアリセット	<ul style="list-style-type: none"> 初期化対象フラグなし 	<ul style="list-style-type: none"> 初期化対象フラグなし

表 2.4 リセット要因ごとの初期化対象モジュール関連レジスタ比較

項目	RA6T1	RA6T2
RES 端子リセット	<ul style="list-style-type: none"> ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCSR) 電圧監視機能 1 のレジスタ (LVD1CR0、LVCMPCR.LVD1E、LVDLVLR.LVD1LVL、LVD1CR1/LVD1SR) 電圧監視機能 2 のレジスタ (LVD2CR0、LVCMPCR.LVD2E、LVDLVLR.LVD2LVL、LVD2CR1/LVD2SR) LOCO のレジスタ (LOCOCR) MOSC のレジスタ (MOMCR) MPU のレジスタ 端子状態 (XCIN/XCOUT 端子以外) 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER3、DPSIFR0~DPSIFR3、DPSIEGR0~DPSIEGR2) その他レジスタ (注1)、CPU、および内部状態 	<ul style="list-style-type: none"> 独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTSR) ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCSR) 電圧監視機能 1 のレジスタ (LVD1CR0、LVD1CMPCR、LVD1CR1/LVD1SR) 電圧監視機能 2 のレジスタ (LVD2CR0、LVD2CMPCR、LVD2CR1/LVD2SR) LOCO レジスタ (LOCOCR) MOSC レジスタ (MOMCR) バス、MPU および TrustZone エラーレジスタ (BUS_ERROR_ADDRESS レジスタ、BUS_ERROR_STATUS レジスタ) (注4) 端子状態 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER2、DPSIFR0~DPSIFR2、DPSIEGR0~DPSIEGR2) セキュリティ属性のレジスタ (CPUDSAR、RSTSAR、LVDSAR、CGFSAR、LPMSAR、DPFSAR、ICUSARx、BUSSARA、BUSSARB、CSAR、MMPUSARA、MMPUSARB、DMACSAR、DTCSAR、ELCSARA、ELCSARB、PmSAR、SRAMSAR、STBRAMSAR、FSAR、PSARB、PSARC、PSARD、PSARE、MSSAR、TZFSAR) その他レジスタ (注2)、CPU、および内部状態
パワーオンリセット	<ul style="list-style-type: none"> ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCSR) 電圧監視機能 1 のレジスタ (LVD1CR0、LVCMPCR.LVD1E、LVDLVLR.LVD1LVL、LVD1CR1/LVD1SR) 電圧監視機能 2 のレジスタ (LVD2CR0、LVCMPCR.LVD2E、LVDLVLR.LVD2LVL、LVD2CR1/LVD2SR) SOSC のレジスタ (SOSCCR) 	<ul style="list-style-type: none"> 独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTSR) ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCSR) 電圧監視機能 1 のレジスタ (LVD1CR0、LVD1CMPCR、LVD1CR1/LVD1SR) 電圧監視機能 2 のレジスタ (LVD2CR0、LVD2CMPCR、LVD2CR1/LVD2SR)

項目	RA6T1	RA6T2
パワーオンリセット	<ul style="list-style-type: none"> • LOCO のレジスタ (LOCOCR、LOCOUTCR) • MOSC のレジスタ (MOMCR) • AGT のレジスタ • MPU のレジスタ • 端子状態 (XCIN/XCOUT 端子以外) • 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER3、DPSIFR0~DPSIFR3、DPSIEGR0~DPSIEGR2) • その他レジスタ (注1)、CPU、および内部状態 	<ul style="list-style-type: none"> • LOCO レジスタ (LOCOCR、LOCOUTCR) • MOSC レジスタ (MOMCR) • バス、MPU および TrustZone エラーレジスタ (BUS_ERROR_ADDRESS レジスタ、BUS_ERROR_STATUS レジスタ) (注4) • 端子状態 • 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER2、DPSIFR0~DPSIFR2、DPSIEGR0~DPSIEGR2、SYOCD CR) • セキュリティ属性のレジスタ (CPUDSAR、RSTSAR、LVDSAR、CGFSAR、LPMSAR、DPFSAR、ICUSARx、BUSSARA、BUSSARB、CSAR、MMPUSARA、MMPUSARB、DMACSAR、DTCSAR、ELCSARA、ELCSARB、PmSAR、SRAMSAR、STBRAMSAR、FSAR、PSARB、PSARC、PSARD、PSARE、MSSAR、TZFSAR) • その他レジスタ (注2)、CPU、および内部状態
独立ウォッチドッグタイマリセット	<ul style="list-style-type: none"> • ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCTPR) • 電圧監視機能 1 のレジスタ (LVD1CR0、LVCMP CR.LVD1E、LVDLVL R.LVD1LVL、LVD1CR1/LVD1SR) • 電圧監視機能 2 のレジスタ (LVD2CR0、LVCMP CR.LVD2E、LVDLVL R.LVD2LVL、LVD2CR1/LVD2SR) • LOCO のレジスタ (LOCOCR) • MOSC のレジスタ (MOMCR) • MPU のレジスタ • 端子状態 (XCIN/XCOUT 端子以外) • 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER3、DPSIFR0~DPSIFR3、DPSIEGR0~DPSIEGR2) 	<ul style="list-style-type: none"> • 独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTSR) • ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCTPR) • 電圧監視機能 1 のレジスタ (LVD1CR0、LVD1CMP CR、LVD1CR1/LVD1SR) • 電圧監視機能 2 のレジスタ (LVD2CR0、LVD2CMP CR、LVD2CR1/LVD2SR) • LOCO レジスタ (LOCOCR) • MOSC レジスタ (MOMCR) • バス、MPU および TrustZone エラーレジスタ (BUS_ERROR_ADDRESS レジスタ、BUS_ERROR_STATUS レジスタ) (注4) • 端子状態 • 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER2、DPSIFR0~DPSIFR2、DPSIEGR0~DPSIEGR2)

項目	RA6T1	RA6T2
独立ウォッチドッグタイマ リセット	<ul style="list-style-type: none"> ● その他レジスタ^(注1)、CPU、および内部状態 	<ul style="list-style-type: none"> ● セキュリティ属性のレジスタ (CPUDSAR、RSTSAR、LVDSAR、CGFSAR、LPMSAR、DPFSAR、ICUSARx、BUSSARA、BUSSARB、CSAR、MMPUSARA、MMPUSARB、DMACSAR、DTCSAR、ELCSARA、ELCSARB、PmSAR、SRAMSAR、STBRAMSAR、FSAR、PSARB、PSARC、PSARD、PSARE、MSSAR、TZFSAR) ● その他レジスタ^(注2)、CPU、および内部状態
ウォッチドッグタイマ リセット	<ul style="list-style-type: none"> ● ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCTPR) ● 電圧監視機能 1 のレジスタ (LVD1CR0、LVCMPCR.LVD1E、LVDLVLR.LVD1LVL、LVD1CR1/LVD1SR) ● 電圧監視機能 2 のレジスタ (LVD2CR0、LVCMPCR.LVD2E、LVDLVLR.LVD2LVL、LVD2CR1/LVD2SR) ● LOCO のレジスタ (LOCOCR) ● MOSC のレジスタ (MOMCR) ● MPU のレジスタ ● 端子状態 (XCIN/XCOUT 端子以外) ● 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER3、DPSIFR0~DPSIFR3、DPSIEGR0~DPSIEGR2) ● その他レジスタ^(注1)、CPU、および内部状態 	<ul style="list-style-type: none"> ● 独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTSR) ● ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCTPR) ● 電圧監視機能 1 のレジスタ (LVD1CR0、LVD1CMPCR、LVD1CR1/LVD1SR) ● 電圧監視機能 2 のレジスタ (LVD2CR0、LVD2CMPCR、LVD2CR1/LVD2SR) ● LOCO レジスタ (LOCOCR) ● MOSC レジスタ (MOMCR) ● バス、MPU および TrustZone エラーレジスタ (BUS_ERROR_ADDRESS レジスタ、BUS_ERROR_STATUS レジスタ)^(注4) ● 端子状態 ● 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER2、DPSIFR0~DPSIFR2、DPSIEGR0~DPSIEGR2) ● セキュリティ属性のレジスタ (CPUDSAR、RSTSAR、LVDSAR、CGFSAR、LPMSAR、DPFSAR、ICUSARx、BUSSARA、BUSSARB、CSAR、MMPUSARA、MMPUSARB、DMACSAR、DTCSAR、ELCSARA、ELCSARB、PmSAR、SRAMSAR、STBRAMSAR、FSAR、PSARB、PSARC、PSARD、PSARE、MSSAR、TZFSAR) ● その他レジスタ^(注2)、CPU、および内部状態

項目	RA6T1	RA6T2
電圧監視 0 リセット	<ul style="list-style-type: none"> ウォッチドッグタイマのレジスタ (WDTRR、WDTCCR、WDTSR、WDTRCR、WDTCTPR) 電圧監視機能 1 のレジスタ (LVD1CR0、LVCMPPCR.LVD1E、LVDLVLR.LVD1LVL、LVD1CR1/LVD1SR) 電圧監視機能 2 のレジスタ (LVD2CR0、LVCMPPCR.LVD2E、LVDLVLR.LVD2LVL、LVD2CR1/LVD2SR) LOCO のレジスタ (LOCOCR、LOCOUTCR) MOSC のレジスタ (MOMCR) AGT のレジスタ MPU のレジスタ 端子状態 (XCIN/XCOUT 端子以外) 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER3、DPSIFR0~DPSIFR3、DPSIEGR0~DPSIEGR2) その他レジスタ^(注1)、CPU、および内部状態 	<ul style="list-style-type: none"> 独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTSR) ウォッチドッグタイマのレジスタ (WDTRR、WDTCCR、WDTSR、WDTRCR、WDTCTPR) 電圧監視機能 1 のレジスタ (LVD1CR0、LVD1CMPPCR、LVD1CR1/LVD1SR) 電圧監視機能 2 のレジスタ (LVD2CR0、LVD2CMPPCR、LVD2CR1/LVD2SR) LOCO のレジスタ (LOCOCR、LOCOUTCR) MOSC レジスタ (MOMCR) バス、MPU および TrustZone エラーレジスタ (BUS_ERROR_ADDRESS レジスタ、BUS_ERROR_STATUS レジスタ)^(注4) 端子状態 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER2、DPSIFR0~DPSIFR2、DPSIEGR0~DPSIEGR2) セキュリティ属性のレジスタ (CPUDSAR、RSTSAR、LVDSAR、CGFSAR、LPMSAR、DPFSAR、ICUSARx、BUSSARA、BUSSARB、CSAR、MMPUSARA、MMPUSARB、DMAC SAR、DTCSAR、ELCSARA、ELCSARB、PmSAR、SRAMSAR、STBRAMSAR、FSAR、PSARB、PSARC、PSARD、PSARE、MSSAR、TZFSAR) その他レジスタ^(注2)、CPU、および内部状態
電圧監視 1 リセット	<ul style="list-style-type: none"> ウォッチドッグタイマのレジスタ (WDTRR、WDTCCR、WDTSR、WDTRCR、WDTCTPR) LOCO のレジスタ (LOCOCR、LOCOUTCR) MOSC のレジスタ (MOMCR) AGT のレジスタ MPU のレジスタ 端子状態 (XCIN/XCOUT 端子以外) 	<ul style="list-style-type: none"> 独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTSR) ウォッチドッグタイマのレジスタ (WDTRR、WDTCCR、WDTSR、WDTRCR、WDTCTPR) LOCO のレジスタ (LOCOCR、LOCOUTCR) MOSC レジスタ (MOMCR) バス、MPU および TrustZone エラーレジスタ (BUS_ERROR_ADDRESS レジスタ、BUS_ERROR_STATUS レジスタ)^(注4) 端子状態

項目	RA6T1	RA6T2
電圧監視 1 リセット	<ul style="list-style-type: none"> 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER3、DPSIFR0~DPSIFR3、DPSIEGR0~DPSIEGR2) その他レジスタ^(注1)、CPU、および内部状態 	<ul style="list-style-type: none"> 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER2、DPSIFR0~DPSIFR2、DPSIEGR0~DPSIEGR2) セキュリティ属性のレジスタ (CPUDSAR、RSTSAR、LVDSAR、CGFSAR、LPMSAR、DPFSAR、ICUSARx、BUSSARA、BUSSARB、CSAR、MMPUSARA、MMPUSARB、DMACSAR、DTCSAR、ELCSARA、ELCSARB、PmSAR、SRAMSAR、STBRAMSAR、FSAR、PSARB、PSARC、PSARD、PSARE、MSSAR、TZFSAR) その他レジスタ^(注2)、CPU、および内部状態
電圧監視 2 リセット	<ul style="list-style-type: none"> ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCTPR) LOCO のレジスタ (LOCOCR、LOCOUTCR) MOSC のレジスタ (MOMCR) AGT のレジスタ MPU のレジスタ 端子状態 (XCIN/XCOUT 端子以外) 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER3、DPSIFR0~DPSIFR3、DPSIEGR0~DPSIEGR2) その他レジスタ^(注1)、CPU、および内部状態 	<ul style="list-style-type: none"> 独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTSR) ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCTPR) LOCO のレジスタ (LOCOCR、LOCOUTCR) MOSC レジスタ (MOMCR) バス、MPU および TrustZone エラーレジスタ (BUS_ERROR_ADDRESS レジスタ、BUS_ERROR_STATUS レジスタ)^(注4) 端子状態 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER2、DPSIFR0~DPSIFR2、DPSIEGR0~DPSIEGR2) セキュリティ属性のレジスタ (CPUDSAR、RSTSAR、LVDSAR、CGFSAR、LPMSAR、DPFSAR、ICUSARx、BUSSARA、BUSSARB、CSAR、MMPUSARA、MMPUSARB、DMACSAR、DTCSAR、ELCSARA、ELCSARB、PmSAR、SRAMSAR、STBRAMSAR、FSAR、PSARB、PSARC、PSARD、PSARE、MSSAR、TZFSAR) その他レジスタ^(注2)、CPU、および内部状態
SRAM パリティエラーリセット	<ul style="list-style-type: none"> ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCTPR) LOCO のレジスタ (LOCOCR) 	<ul style="list-style-type: none"> 独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTSR) ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCTPR) LOCO のレジスタ (LOCOCR)

項目	RA6T1	RA6T2
SRAM パリティエラー リセット	<ul style="list-style-type: none"> • MOSC のレジスタ (MOMCR) • MPU のレジスタ • 端子状態 (XCIN/XCOUT 端子以外) • 低消費電力機能のレジスタ (DPSBYCR、DPSIER0～DPSIER3、DPSIFR0～DPSIFR3、DPSIEGR0～DPSIEGR2) • その他レジスタ^(注1)、CPU、および内部状態 	<ul style="list-style-type: none"> • MOSC レジスタ (MOMCR) • バス、MPU および TrustZone エラーレジスタ (BUS_ERROR_ADDRESS レジスタ、BUS_ERROR_STATUS レジスタ)^(注4) • 端子状態 • 低消費電力機能のレジスタ (DPSBYCR、DPSIER0～DPSIER2、DPSIFR0～DPSIFR2、DPSIEGR0～DPSIEGR2) • セキュリティ属性のレジスタ (CPUDSAR、RSTSAR、LVDSAR、CGFSAR、LPMSAR、DPFSAR、ICUSARx、BUSSARA、BUSSARB、CSAR、MMPUSARA、MMPUSARB、DMACSAR、DTCSAR、ELCSARA、ELCSARB、PmSAR、SRAMSAR、STBRAMSAR、FSAR、PSARB、PSARC、PSARD、PSARE、MSSAR、TZFSAR) • その他レジスタ^(注2)、CPU、および内部状態
SRAM ECC エラー リセット	—	<ul style="list-style-type: none"> • 独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTSR) • ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCTPR) • LOCO のレジスタ (LOCOCR) • MOSC レジスタ (MOMCR) • バス、MPU および TrustZone エラーレジスタ (BUS_ERROR_ADDRESS レジスタ、BUS_ERROR_STATUS レジスタ)^(注4) • 端子状態 • 低消費電力機能のレジスタ (DPSBYCR、DPSIER0～DPSIER2、DPSIFR0～DPSIFR2、DPSIEGR0～DPSIEGR2) • セキュリティ属性のレジスタ (CPUDSAR、RSTSAR、LVDSAR、CGFSAR、LPMSAR、DPFSAR、ICUSARx、BUSSARA、BUSSARB、CSAR、MMPUSARA、MMPUSARB、DMACSAR、DTCSAR、ELCSARA、ELCSARB、PmSAR、SRAMSAR、STBRAMSAR、FSAR、PSARB、PSARC、PSARD、PSARE、MSSAR、TZFSAR) • その他レジスタ^(注2)、CPU、および内部状態
バスマスタ MPU エラー リセット	—	<ul style="list-style-type: none"> • 独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTSR)

項目	RA6T1	RA6T2
バスマスタ MPU エラーリセット	<ul style="list-style-type: none"> ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCSIPR) LOCO のレジスタ (LOCOCR) MOSC のレジスタ (MOMCR) 端子状態 (XCIN/XCOUT 端子以外) 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER3、DPSIFR0~DPSIFR3、DPSIEGR0~DPSIEGR2) その他レジスタ^(注1)、CPU、および内部状態 	<ul style="list-style-type: none"> ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCSIPR) LOCO のレジスタ (LOCOCR) MOSC レジスタ (MOMCR) 端子状態 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER2、DPSIFR0~DPSIFR2、DPSIEGR0~DPSIEGR2) セキュリティ属性のレジスタ (CPUDSAR、RSTSAR、LVDSAR、CGFSAR、LPMSAR、DPFSAR、ICUSARx、BUSSARA、BUSSARB、CSAR、MMPUSARA、MMPUSARB、DMACSAR、DTCSAR、ELCSARA、ELCSARB、PmSAR、SRAMSAR、STBRAMSAR、FSAR、PSARB、PSARC、PSARD、PSARE、MSSAR、TZFSAR) その他レジスタ^(注2)、CPU、および内部状態
バススレーブ MPU エラーリセット	<ul style="list-style-type: none"> ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCSIPR) LOCO のレジスタ (LOCOCR) MOSC のレジスタ (MOMCR) 端子状態 (XCIN/XCOUT 端子以外) 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER3、DPSIFR0~DPSIFR3、DPSIEGR0~DPSIEGR2) その他レジスタ^(注1)、CPU、および内部状態 	—
スタックポインタエラーリセット	<ul style="list-style-type: none"> ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCSIPR) LOCO のレジスタ (LOCOCR) MOSC のレジスタ (MOMCR) 端子状態 (XCIN/XCOUT 端子以外) 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER3、DPSIFR0~DPSIFR3、DPSIEGR0~DPSIEGR2) その他レジスタ^(注1)、CPU、および内部状態 	—
TrustZone エラーリセット	—	<ul style="list-style-type: none"> 独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTSR) ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCSIPR) LOCO のレジスタ (LOCOCR)

項目	RA6T1	RA6T2
TrustZone エラーリセット	—	<ul style="list-style-type: none"> ● MOSC レジスタ (MOMCR) ● 端子状態 ● 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER2、DPSIFR0~DPSIFR2、DPSIEGR0~DPSIEGR2) ● セキュリティ属性のレジスタ (CPUDSAR、RSTSAR、LVDSAR、CGFSAR、LPMSAR、DPFSAR、ICUSARx、BUSSARA、BUSSARB、CSAR、MMPUSARA、MMPUSARB、DMACSAR、DTCSAR、ELCSARA、ELCSARB、PmSAR、SRAMSAR、STBRAMSAR、FSAR、PSARB、PSARC、PSARD、PSARE、MSSAR、TZFSAR) ● その他レジスタ^(注2)、CPU、および内部状態
キャッシュパリティエラーリセット	—	<ul style="list-style-type: none"> ● 独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTSR) ● ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCTPR) ● LOCO のレジスタ (LOCOCR) ● MOSC レジスタ (MOMCR) ● 端子状態 ● 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER2、DPSIFR0~DPSIFR2、DPSIEGR0~DPSIEGR2) ● セキュリティ属性のレジスタ (CPUDSAR、RSTSAR、LVDSAR、CGFSAR、LPMSAR、DPFSAR、ICUSARx、BUSSARA、BUSSARB、CSAR、MMPUSARA、MMPUSARB、DMACSAR、DTCSAR、ELCSARA、ELCSARB、PmSAR、SRAMSAR、STBRAMSAR、FSAR、PSARB、PSARC、PSARD、PSARE、MSSAR、TZFSAR) ● その他レジスタ^(注2)、CPU、および内部状態
ディープソフトウェアスタンバイリセット (DEEPCUT[0] = 0)	<ul style="list-style-type: none"> ● ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCTPR) ● 電圧監視機能 1 のレジスタ (LVD1CR1/LVD1SR) ● 電圧監視機能 2 のレジスタ (LVD2CR1/LVD2SR) ● LOCO のレジスタ (LOCOCR) 	<ul style="list-style-type: none"> ● 独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTSR) ● ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCTPR) ● 電圧監視機能 1 のレジスタ (LVD1CR1/LVD1SR) ● 電圧監視機能 2 のレジスタ (LVD2CR1/LVD2SR) ● LOCO レジスタ (LOCOCR)

項目	RA6T1	RA6T2
ディープソフトウェア スタンバイリセット (DEEPCUT[0] = 0)	<ul style="list-style-type: none"> MPU のレジスタ 端子状態 (XCIN/XCOUT 端子以外) (注3) その他レジスタ (注1)、CPU、および内部状態 	<ul style="list-style-type: none"> バス、MPU および TrustZone エラーレジスタ (BUS_ERROR_ADDRESS レジスタ、BUS_ERROR_STATUS レジスタ) (注4) 端子状態 (注3) セキュリティ属性のレジスタ (CPUDSAR、RSTSAR、LVDSAR、CGFSAR、LPMSAR、DPFSAR、ICUSARx、BUSSARA、BUSSARB、CSAR、MMPUSARA、MMPUSARB、DMAC SAR、DTCSAR、ELCSARA、ELCSARB、PmSAR、SRAMSAR、STBRAMSAR、FSAR、PSARB、PSARC、PSARD、PSARE、MSSAR、TZFSAR) その他レジスタ (注2)、CPU、および内部状態
ディープソフトウェア スタンバイリセット (DEEPCUT[0] = 1)	<ul style="list-style-type: none"> ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCTPR) 電圧監視機能 1 のレジスタ (LVD1CR1/LVD1SR) 電圧監視機能 2 のレジスタ (LVD2CR1/LVD2SR) LOCO レジスタ (LOCOCR、LOCOUTCR) AGT のレジスタ MPU のレジスタ 端子状態 (XCIN/XCOUT 端子以外) (注3) その他レジスタ (注1)、CPU、および内部状態 	<ul style="list-style-type: none"> 独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTSR) ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCTPR) 電圧監視機能 1 のレジスタ (LVD1CR1/LVD1SR) 電圧監視機能 2 のレジスタ (LVD2CR1/LVD2SR) LOCO レジスタ (LOCOCR、LOCOUTCR) バス、MPU および TrustZone エラーレジスタ (BUS_ERROR_ADDRESS レジスタ、BUS_ERROR_STATUS レジスタ) (注4) 端子状態 (注3) セキュリティ属性のレジスタ (CPUDSAR、RSTSAR、LVDSAR、CGFSAR、LPMSAR、DPFSAR、ICUSARx、BUSSARA、BUSSARB、CSAR、MMPUSARA、MMPUSARB、DMAC SAR、DTCSAR、ELCSARA、ELCSARB、PmSAR、SRAMSAR、STBRAMSAR、FSAR、PSARB、PSARC、PSARD、PSARE、MSSAR、TZFSAR) その他レジスタ (注2)、CPU、および内部状態
ソフトウェアリセット	<ul style="list-style-type: none"> ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCTPR) 	<ul style="list-style-type: none"> 独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTSR) ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR、WDTCTPR)

項目	RA6T1	RA6T2
ソフトウェアリセット	<ul style="list-style-type: none"> • LOCO のレジスタ (LOCOCR) • MOSC のレジスタ (MOMCR) • MPU のレジスタ • 端子状態 (XCIN/XCOUT 端子以外) • 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER3、DPSIFR0~DPSIFR3、DPSIEGR0~DPSIEGR2) • その他レジスタ^(注1)、CPU、および内部状態 	<ul style="list-style-type: none"> • LOCO のレジスタ (LOCOCR) • MOSC レジスタ (MOMCR) • バス、MPU および TrustZone エラーレジスタ (BUS_ERROR_ADDRESS レジスタ、BUS_ERROR_STATUS レジスタ)^(注4) • 端子状態 • 低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER2、DPSIFR0~DPSIFR2、DPSIEGR0~DPSIEGR2) • セキュリティ属性のレジスタ (CPUDSAR、RSTSAR、LVDSAR、CGFSAR、LPMSAR、DPFSAR、ICUSARx、BUSSARA、BUSSARB、CSAR、MMPUSARA、MMPUSARB、DMACSAR、DTCSAR、ELCSARA、ELCSARB、PmSAR、SRAMSAR、STBRAMSAR、FSAR、PSARB、PSARC、PSARD、PSARE、MSSAR、TZFSAR) • その他レジスタ^(注2)、CPU、および内部状態

注1. ウォッチドッグタイマのレジスタ (WDTRR、WDTCTCR、WDTCSR、WDTRCR、WDTCTSPR)、電圧監視機能 1 のレジスタ (LVD1CR0、LVCMPCR.LVD1E、LVDLVL.R.LVD1LVL、LVD1CR1/LVD1SR)、電圧監視機能 2 のレジスタ (LVD2CR0、LVCMPCR.LVD2E、LVDLVL.R.LVD2LVL、LVD2CR1/LVD2SR)、SOSC のレジスタ (SOSCCR、SOMCR)、LOCO のレジスタ (LOCOCR、LOCOUTCR)、MOSC のレジスタ (MOMCR)、AGT のレジスタ、MPU のレジスタ、端子状態 (XCIN/XCOUT 端子以外)、端子状態 (XCIN/XCOUT 端子)、低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER3、DPSIFR0~DPSIFR3、DPSIEGR0~DPSIEGR2) 以外のレジスタを意味します。

注2. 独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTSR)、ウォッチドッグタイマのレジスタ (WDTRR、WDTCTCR、WDTCSR、WDTRCR、WDTCTSPR)、電圧監視機能 1 のレジスタ (LVD1CR0、LVD1CMPCR、LVD1CR1/LVD1SR)、電圧監視機能 2 のレジスタ (LVD2CR0、LVD2CMPCR、LVD2CR1/LVD2SR)、LOCO レジスタ (LOCOCR、LOCOUTCR)、MOSC レジスタ (MOMCR)、バス、MPU および TrustZone エラーレジスタ (BUS_ERROR_ADDRESS レジスタ、BUS_ERROR_STATUS レジスタ)、端子状態、低消費電力機能のレジスタ (DPSBYCR、DPSIER0~DPSIER2、DPSIFR0~DPSIFR2、DPSIEGR0~DPSIEGR2、SYOCDCR)、セキュリティ属性のレジスタ (CPUDSAR、RSTSAR、LVDSAR、CGFSAR、LPMSAR、DPFSAR、ICUSARx、BUSSARA、BUSSARB、CSAR、MMPUSARA、MMPUSARB、DMACSAR、DTCSAR、ELCSARA、ELCSARB、PmSAR、SRAMSAR、STBRAMSAR、FSAR、PSARB、PSARC、PSARD、PSARE、MSSAR、TZFSAR)、以外のレジスタを意味します。

注3. DPSBYCR.IOKEEP の設定値に依存します。

注4. 一部の制御ビットは、いずれのリセットによっても初期化されません。

表 2.5 リセット発生時のクロックの状態比較

項目		RA6T1	RA6T2
SOSC	有効／無効	<ul style="list-style-type: none"> ● POR 有効に初期化 ● その他 リセット発生前に選択されていた状態を継続 	—
	駆動能力	<ul style="list-style-type: none"> ● リセット発生前に選択されていた状態を継続 	—
LOCO	有効／無効	<ul style="list-style-type: none"> ● 有効に初期化 	<ul style="list-style-type: none"> ● 有効に初期化
	発振精度	<ul style="list-style-type: none"> ● POR、LVD0、LVD1、LVD2/ディープソフトウェアスタンバイ (DEEPCUT[0] = 1) LOCOUTCR によるトリミング前の精度に初期化 (精度 : ±15%) ● その他 LOCOUTCR によってトリミングされた精度を継続 	<ul style="list-style-type: none"> ● POR、LVD0、LVD1、LVD2、ディープソフトウェアスタンバイ (DEEPCUT[0] = 1) 初期化 (パワーオンによる調整前の精度 (精度 : ±10%)) ● その他 LOCOUTCR レジスタにより調整された精度を継続

2.4 オプション設定メモリ

図 2.2 にオプション設定メモリの領域比較を、表 2.6 にオプション設定メモリ領域のプログラミング条件比較を示します。

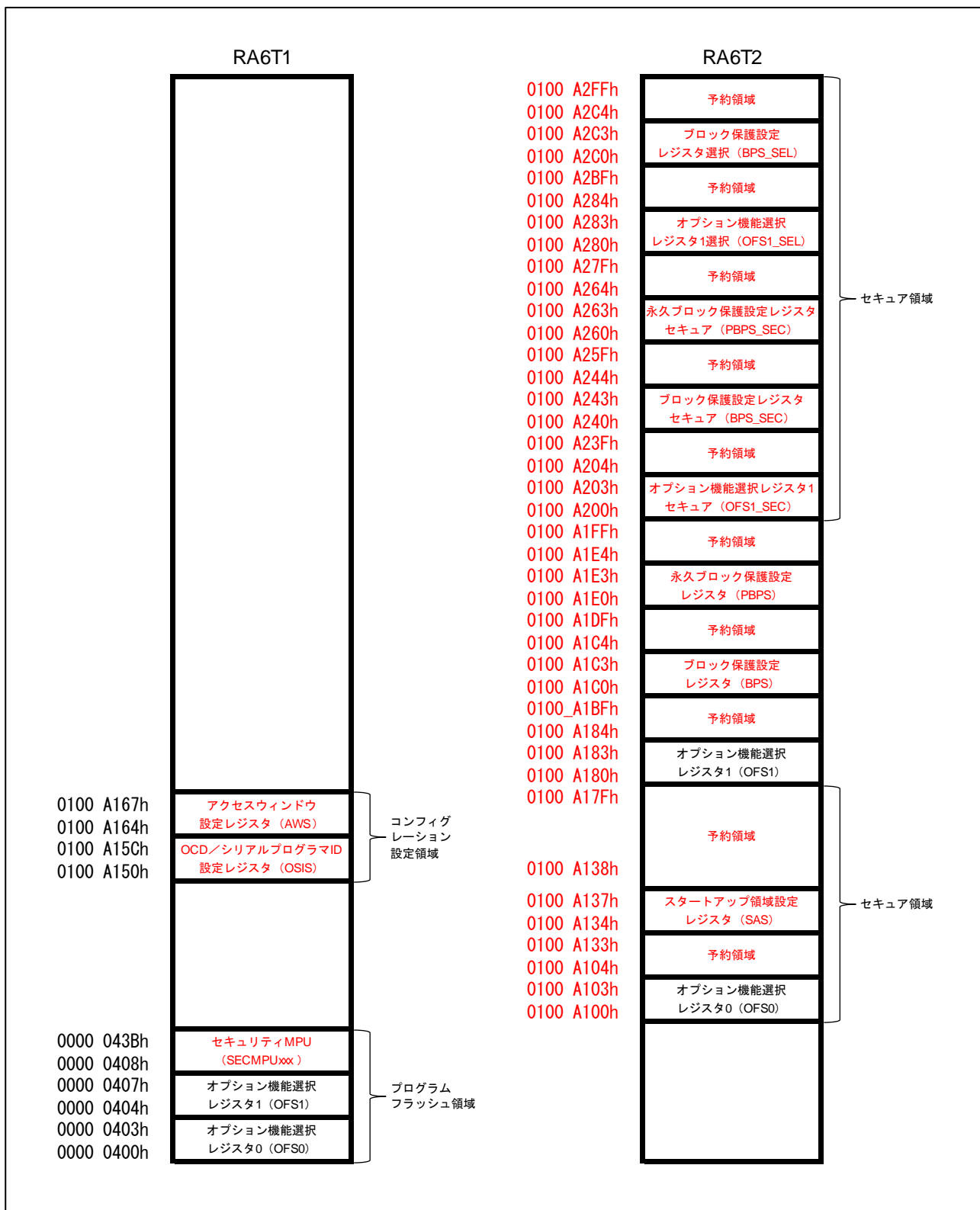


図 2.2 オプション設定メモリの領域比較

表 2.6 オプション設定メモリ領域のプログラミング条件比較

項目		RA6T1	RA6T2
セルフプログラミング	セキュア領域	—	セキュアアクセスにより発行されたプログラミングコマンド
	その他の領域	—	セキュアまたは非セキュアアクセスにより発行されたプログラミングコマンド
シリアルプログラミング	セキュア領域	—	デバイスライフサイクルが SSD のとき発行されたプログラミングコマンド
	その他の領域	—	デバイスライフサイクルが SSD または NSECSD のとき発行されたプログラミングコマンド
オンチップデバッグによるプログラミング	セキュア領域	—	デバッグレベルが DBG2 のとき発行されたプログラミングコマンド
	その他の領域	—	デバッグレベルが DBG2 または DBG1 のとき発行されたプログラミングコマンド

2.5 低電圧検出回路

表 2.7～表 2.9 に低電圧検出回路の概要比較を示します。

表 2.7 低電圧検出回路（電圧監視 0）の概要比較

項目		RA6T1 (LVD)	RA6T2 (LVD)
動作設定方法		OFS1 レジスタで設定	OFS1 レジスタで設定
監視対象		VCC 端子入力電圧	VCC 端子入力電圧
監視電圧		V_{det0}	V_{det0}
検出イベント		下降して V_{det0} を通過	下降して V_{det0} を通過
検出電圧		OFS1.VDSEL0[1:0]ビットで3レベルから選択可能	OFS1.VDSEL[1:0]ビットで3レベルから選択可能
モニタフラグ		なし	なし
電圧検出時の処理	リセット	電圧監視 0 リセット $V_{det0} > VCC$ でリセット。 $VCC > V_{det0}$ の一定時間後に CPU 動作再開	電圧監視 0 リセット $V_{det0} > VCC$ でリセット。 $VCC > V_{det0}$ の一定時間後に CPU 動作再開
	割り込み	なし	なし
デジタルフィルタ	有効/無効の切り替え	デジタルフィルタ機能なし	デジタルフィルタ機能なし
	サンプリング時間	—	—
イベントリンク機能		なし	なし
TrustZone フィルタ		—	—

表 2.8 低電圧検出回路（電圧監視 1）の概要比較

項目		RA6T1 (LVD)	RA6T2 (LVD)
動作設定方法		LVD のレジスタで設定	LVD のレジスタで設定
監視対象		VCC 端子入力電圧	VCC 端子入力電圧
監視電圧		V_{det1}	V_{det1}
検出イベント		上昇または下降して V_{det1} を通過	上昇または下降して V_{det1} を通過
検出電圧		LVDLVL.R.LVD1LVL[4:0]ビットで3レベルから選択可能	LVD1CMP.R.LVD1LVL[4:0]ビットで3レベルから選択可能
モニタフラグ		LVD1SR.MON フラグ：電圧が V_{det1} より高いか低いかを監視 LVD1SR.DET フラグ： V_{det1} 通過検出	LVD1SR.MON フラグ：電圧が V_{det1} より高いか低いかを監視 LVD1SR.DET フラグ： V_{det1} 通過検出
電圧検出時の処理	リセット	電圧監視 1 リセット $V_{det1} > VCC$ でリセット。 CPU 動作再開タイミングとして、 $VCC > V_{det1}$ の一定時間後、または $V_{det1} > VCC$ の一定時間後を選択可能	電圧監視 1 リセット $V_{det1} > VCC$ でリセット。 CPU 動作再開タイミングとして、 $VCC > V_{det1}$ の一定時間後、または $V_{det1} > VCC$ の一定時間後を選択可能
	割り込み	電圧監視 1 割り込み	電圧監視 1 割り込み
		ノンマスクブル割り込み、またはマスクブル割り込みを選択可能	ノンマスクブル割り込み、またはマスクブル割り込みを選択可能
		$V_{det1} > VCC$ または $VCC > V_{det1}$ のとき割り込み要求	$V_{det1} > VCC$ および $VCC > V_{det1}$ の両方、またはどちらかのとき割り込み要求

項目		RA6T1 (LVD)	RA6T2 (LVD)
デジタルフィルタ	有効/無効の切り替え	あり	あり
	サンプリング時間	LOCO の n 分周 × 2 (n : 2、4、8、16)	LOCO クロックの n 分周 × 2 (n : 2、4、8、16)
イベントリンク機能		あり V _{det1} 通過検出時にイベント信号出力	あり V _{det1} 通過検出時にイベント信号出力
TrustZone フィルタ		—	セキュリティ属性は各レジスタに対して設定可能

表 2.9 低電圧検出回路（電圧監視 2）の概要比較

項目		RA6T1 (LVD)	RA6T2 (LVD)
動作設定方法		LVD のレジスタで設定	LVD のレジスタで設定
監視対象		VCC 端子入力電圧	VCC 端子入力電圧
監視電圧		V _{det2}	V _{det2}
検出イベント		上昇または下降して V _{det2} を通過	上昇または下降して V _{det2} を通過
検出電圧		LVDLVL.R.LVD2LVL[2:0]ビットで 3 レベルから選択可能	LVD2CMPCR.LVD2LVL[2:0]ビットで 3 レベルから選択可能
モニタフラグ		LVD2SR.MON フラグ : 電圧が V _{det2} より高いか低いかを監視	LVD2SR.MON フラグ : 電圧が V _{det2} より高いか低いかを監視
		LVD2SR.DET フラグ : V _{det2} 通過検出	LVD2SR.DET フラグ : V _{det2} 通過検出
電圧検出時の処理	リセット	電圧監視 2 リセット V _{det2} > VCC でリセット。 CPU 動作再開タイミングとして、VCC > V _{det2} の一定時間後、または V _{det2} > VCC の一定時間後を選択可能	電圧監視 2 リセット V _{det2} > VCC でリセット。 CPU 動作再開タイミングとして、VCC > V _{det2} の一定時間後、または V _{det2} > VCC の一定時間後を選択可能
	割り込み	電圧監視 2 割り込み	電圧監視 2 割り込み
		ノンマスクブル割り込み、またはマスクブル割り込みを選択可能	ノンマスクブル割り込み、またはマスクブル割り込みを選択可能
		V _{det2} > VCC または VCC > V _{det2} のとき割り込み要求	V _{det2} > VCC および VCC > V _{det2} の両方、またはどちらかのとき割り込み要求
デジタルフィルタ	有効/無効の切り替え	あり	あり
	サンプリング時間	LOCO の n 分周 × 2 (n : 2、4、8、16)	LOCO クロックの n 分周 × 2 (n : 2、4、8、16)
イベントリンク機能		あり V _{det2} 通過検出時にイベント信号出力	あり V _{det2} 通過検出時にイベント信号出力
TrustZone フィルタ		—	セキュリティ属性は各レジスタに対して設定可能

2.6 クロック発生回路

表 2.10 にクロック発生回路（クロックソース）の概要比較を、表 2.11 にクロック発生回路（内部クロック）の概要比較を示します。

表 2.10 クロック発生回路（クロックソース）の概要比較

項目	RA6T1	RA6T2	
メインクロック 発振器 (MOSC)	発振子周波数	8~24MHz	8MHz~24MHz
	外部クロック 入力周波数	最大 24MHz	最高 24MHz
	外部発振子または 付加回路	セラミック発振子、水晶振動子	セラミック発振子、水晶振動子
	接続端子	EXTAL、XTAL	EXTAL、XTAL
	駆動能力切り替え	あり	あり
	発振停止検出機能	あり	あり
サブクロック 発振器 (SOSC)	発振子周波数	32.768kHz	—
	外部発振子または付加回 路	水晶振動子	—
	接続端子	XCIN、XCOUT	—
	駆動能力切り替え	あり	—
PLL 回路	入力クロックソース	MOSC、HOCO	MOSC、HOCO
	入力分周比	1、2、3 分周から選択可能	1、2、3 分周から選択可能
	入力周波数	8~24MHz	8MHz~24MHz
	通倍比	10~30 通倍から選択可能 (0.5 ステップ単位)	10~30 通倍から選択可能 (0.5 ステップ単位)
	PLL 出力周波数	120~240MHz	120MHz~240MHz
PLL2 回路	入力クロックソース	—	MOSC、HOCO
	入力分周比	—	1、2、3 分周から選択可能
	入力周波数	—	8MHz~24MHz
	通倍比	—	10~30 通倍から選択可能 (0.5 ステップ単位)
	PLL 出力周波数	—	120MHz~240MHz
高速オンチップ オシレータ (HOCO)	発振周波数	16、18、20MHz	16/18/20MHz
	ユーザトリミング	あり	あり
中速オンチップ オシレータ (MOCO)	発振周波数	8MHz	8MHz
	ユーザトリミング	あり	あり
低速オンチップ オシレータ (LOCO)	発振周波数	32.768kHz	32.768kHz
	ユーザトリミング	あり	あり
IWDT 専用 オンチップ オシレータ (IWDTLOCO)	発振周波数	15kHz	15kHz
JTAG 用外部 クロック入力 (TCK)	入力クロック周波数	最大 25MHz	最高 25MHz
SWD 用外部 クロック入力 (SWCLK)	入力クロック周波数	最大 25MHz	最高 25MHz

表 2.11 クロック発生回路（内部クロック）の概要比較

項目		RA6T1 (注1) (注3)	RA6T2 (注2) (注4)
システムクロック (ICLK)	クロックソース	MOSC、 SOSC 、HOCO、 MOCO、LOCO、PLL	MOSC/HOCO/MOCO/LOCO/PL L
	クロック供給	CPU、DTC、DMAC、フラッ シュ、 SRAM	CPU、DTC、DMAC、フラッ シュ、 RAM 、 I/O ポート 、 TFU 、 IIRFA
	発振周波数	最大 120MHz	最高 240MHz
	分周比	1、2、4、8、16、32、64	1/2/4/8/16/32/64
周辺モジュール クロック A (PCLKA)	クロックソース	MOSC、 SOSC 、HOCO、 MOCO、LOCO、PLL	MOSC/HOCO/MOCO/LOCO/PL L
	クロック供給	周辺モジュール (SPI、SCI、 SCE7、CRC、 IrDA 、GPT バス クロック)	周辺モジュール (SCI、 CANFD- RAM 、 CNECC 、SPI、CRC、 DOC 、 ADC 、 DAC12 、 SCE5 、 GPT bus clock、 PDG 、 IIC)
	発振周波数	最大 120MHz	最高 120MHz
	分周比	1、2、4、8、16、32、64	1/2/4/8/16/32/64
周辺モジュール クロック B (PCLKB)	クロックソース	MOSC、 SOSC 、HOCO、 MOCO、LOCO、PLL	MOSC/HOCO/MOCO/LOCO/PL L
	クロック供給	周辺モジュール (IIC 、 DOC 、 CAC、CAN、 DAC12 、POEG、 AGT、ELC、 I/O ポート 、 WDT、IWDT、 ADC12 、KINT、 ACMPHS、TSN)	周辺モジュール (CAC、ELC、 POEG、WDT、IWDT、AGT、 CANFD 、TSN、 スタンバイ SRAM 、KINT、ACMPHS)
	発振周波数	最大 60MHz	最高 60MHz
	分周比	1、2、4、8、16、32、64	1/2/4/8/16/32/64
周辺モジュール クロック C (PCLKC)	クロックソース	MOSC、 SOSC 、HOCO、 MOCO、LOCO、PLL	MOSC/HOCO/MOCO/LOCO/PL L
	クロック供給	周辺モジュール (ADC12 変換ク ロック)	周辺モジュール (ADC)
	発振周波数	最大 60MHz	最高 60MHz
	分周比	1、2、4、8、16、32、64	1/2/4/8/16/32/64
周辺モジュール クロック D (PCLKD)	クロックソース	MOSC、 SOSC 、HOCO、 MOCO、LOCO、PLL	MOSC/HOCO/MOCO/LOCO/PL L
	クロック供給	周辺モジュール (GPT カウント クロック)	周辺モジュール (GPT)
	発振周波数	最大 120MHz	最高 120MHz
	分周比	1、2、4、8、16、32、64	1/2/4/8/16/32/64
フラッシュ インタフェース クロック (FCLK)	クロックソース	MOSC、 SOSC 、HOCO、 MOCO、LOCO、PLL	MOSC/HOCO/MOCO/LOCO/PL L
	クロック供給	フラッシュインタフェース	FlashIF
	発振周波数	4~60MHz (P/E) 最大 60MHz (読み出し)	4MHz~60MHz (P/E) 最高 60MHz (読み出し)
	分周比	1、2、4、8、16、32、64	1/2/4/8/16/32/64
CANFD クロック (CANFDCLK)	クロックソース	—	PLL/PLL2
	クロック供給	—	CANFD
	発振周波数	—	最高 40MHz
	分周比	—	1/2/4/6/8
CAN クロック (CANMCLK)	クロックソース	MOSC	MOSC
	クロック供給	CAN	CANFD
	発振周波数	8~24MHz	8MHz~24MHz

項目		RA6T1 (注1) (注3)	RA6T2 (注2) (注4)
GPT 用周辺 モジュール非同期 クロック (GPTCLK)	クロックソース	—	MOSC/HOCO/MOCO/LOCO/PLL/PLL2
	クロック供給	—	GPT
	発振周波数	—	最高 200MHz
	分周比	—	1/2/4/6/8
IIC 用周辺 モジュール非同期 クロック (IICCLK)	クロックソース	—	MOSC/HOCO/MOCO/LOCO/PLL/PLL2
	クロック供給	—	IIC
	発振周波数	—	最高 200MHz
	分周比	—	1/2/4/6/8
SCI/SPI 用周辺 モジュール非同期 クロック (SCISPICK)	クロックソース	—	MOSC/HOCO/MOCO/LOCO/PLL/PLL2
	クロック供給	—	SCI、SPI
	発振周波数	—	最高 120MHz
	分周比	—	1/2/4/6/8
AGT クロック (AGTSCLK、 AGTLCLK)	クロックソース	SOSC、LOCO	LOCO
	クロック供給	AGT	AGT
	発振周波数	32.768kHz	32.768kHz
CAC メイン クロック (CACMCLK)	クロックソース	MOSC	MOSC
	クロック供給	CAC	CAC
	発振周波数	最大 24MHz	最高 24MHz
CAC サブ クロック (CACSCLK)	クロックソース	SOSC	—
	クロック供給	CAC	—
	発振周波数	32.768kHz	—
CAC LOCO クロック (CACLCLK)	クロックソース	LOCO	LOCO
	クロック供給	CAC	CAC
	発振周波数	32.768kHz	32.768kHz
CAC MOCO クロック (CACMOCLK)	クロックソース	MOCO	MOCO
	クロック供給	CAC	CAC
	発振周波数	8MHz	8MHz
CAC HOCO クロック (CACHCLK)	クロックソース	HOCO	HOCO
	クロック供給	CAC	CAC
	発振周波数	16、18、20MHz	16/18/20MHz
CAC IWDTLOCO クロック (CACILCLK)	クロックソース	IWDTLOCO	IWDTLOCO
	クロック供給	CAC	CAC
	発振周波数	15kHz	15kHz
IWDT クロック (IWDTCLK)	クロックソース	IWDTLOCO	IWDTLOCO
	クロック供給	IWDT	IWDT
	発振周波数	15kHz	15kHz
SysTick タイマ クロック (SYSTICK)	クロックソース	LOCO	LOCO
	クロック供給	SysTick タイマ	SysTick タイマ
	発振周波数	32.768kHz	32.768kHz
JTAG クロック (JTAGTCK)	クロックソース	TCK 端子	TCK 端子
	クロック供給	JTAG	JTAG
	発振周波数	最大 25MHz	最高 25MHz
クロック/ブザー 出力 (CLKOUT)	クロックソース	MOSC、SOSC、LOCO、 MOCO、HOCO	MOSC/LOCO/MOCO/HOCO
	クロック供給	CLKOUT 端子	CLKOUT 端子
	発振周波数	最大 24MHz	最高 24MHz
	分周比	1、2、4、8、16、32、64、128	1/2/4/8/16/32/64/128

項目		RA6T1 (注1) (注3)	RA6T2 (注2) (注4)
シリアルワイヤ クロック (SWCLK)	クロックソース	SWCLK 端子	SWCLK
	クロック供給	OCD	OCD
	発振周波数	最大 25MHz	最高 25MHz
トレースクロック (TRCLK)	クロックソース	MOSC、 SOSC 、HOCO、 MOCO、LOCO、PLL	MOSC/HOCO/MOCO/LOCO/PL L
	クロック供給	CPU-OCD	CPU-OCD
	発振周波数	最大 60MHz	最高 120MHz
	分周比	1、2、4	1/2/4
TCLK 端子出力 (TCLK)	クロックソース	TRCLK の 2 分周	TRCLK の 2 分周
	クロック供給	TCLK 端子	TCLK 端子
	発振周波数	最大 30MHz	最高 60MHz

- 注1. クロック周波数の設定に関する制限： $ICLK \geq PCLKA \geq PCLKB$ 、 $PCLKD \geq PCLKA \geq PCLKB$
 クロック周波数比に関する制限（N：整数、最大 64）： $ICLK:FCLK = N:1$ 、 $ICLK:PCLKA = N:1$ 、 $ICLK:PCLKB = N:1$ 、 $ICLK:PCLKC = N:1$ または $1:N$ 、 $ICLK:PCLKD = N:1$ または $1:N$
 A/D コンバータが有効な場合のクロック周波数比に関する制限： $PCLKB:PCLKC = 1:1$ 、 $1:2$ 、 $1:4$ 、 $2:1$ 、 $4:1$ 、または $8:1$
- 注2. クロック周波数の設定に関する制限： $ICLK \geq PCLKA \geq PCLKB$ 、 $PCLKD \geq PCLKA \geq PCLKB$ 、 $GPTCLK \geq PCLKA$ 、 $ICLK \geq FCLK$
 クロック周波数比に関する制限：（N は最大 64 の整数）
 $ICLK:FCLK = N:1$ 、 $ICLK:PCLKA = N:1$ 、 $ICLK:PCLKB = N:1$ 、 $ICLK:PCLKC = N:1$ または $1:N$ 、 $ICLK:PCLKD = N:1$ または $1:N$ 、 $ICLK:TRCLK = N:1$ 、または $1:N$
 CANFD を用いる場合、クロック周波数比は、 $PCLKA:PCLKB = 2:1$ に制限されます。
- 注3. PLL 基準クロックソースが HOCO の場合、PLL 通倍の設定値は、HOCO 周波数（最小／最大値）を考慮して 120～240MHz に設定する必要があります。
- 注4. HOCO 周波数を考慮し、PLL と PLL2 の通倍は PLL、PLL2 の出力周波数範囲内としてください。
 HOCO 周波数を考慮し、PLL と PLL2 入力の分周も PLL、PLL2 の入力周波数範囲内としてください。

2.7 クロック周波数精度測定回路

表 2.12 にクロック周波数精度測定回路の概要比較を示します。

表 2.12 クロック周波数精度測定回路の概要比較

項目	RA6T1 (CAC)	RA6T2 (CAC)
測定対象 クロック	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> ● メインクロック発振器 ● サブクロック発振器 ● HOCO クロック ● MOCO クロック ● LOCO クロック ● IWDTCLK クロック ● 周辺モジュールクロック B (PCLKB) 	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> ● メインクロック発振器 ● HOCO クロック ● MOCO クロック ● LOCO クロック ● IWDT 専用クロック ● 周辺モジュールクロック B (PCLKB)
測定基準 クロック	以下のクロックを基準として使用可能 <ul style="list-style-type: none"> ● 外部から CACREF 端子に入力したクロック ● メインクロック発振器 ● サブクロック発振器 ● HOCO クロック ● MOCO クロック ● LOCO クロック ● IWDTCLK クロック ● 周辺モジュールクロック B (PCLKB) 	以下のクロックの周波数を測定基準とすることが可能 <ul style="list-style-type: none"> ● CACREF 端子への外部クロック入力 ● メインクロック発振器 ● HOCO クロック ● MOCO クロック ● LOCO クロック ● IWDT 専用クロック ● 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ	デジタルフィルタ機能
割り込み要因	<ul style="list-style-type: none"> ● 測定終了 ● 周波数エラー ● オーバーフロー 	<ul style="list-style-type: none"> ● 測定終了割り込み ● 周波数エラー割り込み ● オーバーフロー割り込み
モジュール ストップ機能	モジュールストップ状態に設定して消費電力を削減	モジュールストップ状態への設定が可能
TrustZone フィルタ	—	セキュリティ属性の設定が可能

2.8 低消費電力モード

表 2.13 に低消費電力モードの概要比較を、表 2.14～表 2.17 に各低消費電力モードの動作状態比較を、表 2.18～表 2.20 に各低消費電力モードを解除するための割り込み要因比較を示します。

表 2.13 低消費電力モードの概要比較

項目	RA6T1	RA6T2
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD)、およびフラッシュインタフェースクロック (FCLK) に対して、個別に分周比を選択可能	システムクロック (ICLK)、周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD)、およびフラッシュインタフェースクロック (FCLK) に対して、個別に分周比を選択可能
モジュールストップ	周辺モジュール機能を個別に停止可能	各周辺モジュールに対して、個別に機能停止が可能
低消費電力モード	<ul style="list-style-type: none"> スリープモード ソフトウェアスタンバイモード スヌーズモード ディープソフトウェアスタンバイモード 	<ul style="list-style-type: none"> スリープモード ソフトウェアスタンバイモード スヌーズモード ディープソフトウェアスタンバイモード
電力制御モード	<p>動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード、スリープモード、およびスヌーズモード時の消費電力を低減することが可能</p> <p>3つの動作電力制御モードが利用可能：</p> <ul style="list-style-type: none"> High-speed モード Low-speed モード Subosc-speed モード 	<ul style="list-style-type: none"> 動作周波数に応じて適切な動作電力制御モードを選択することにより、通常モード、スリープモード、およびスヌーズモード時の消費電力を低減することが可能 以下の2つの動作電力制御モードが利用可能 High-speed モード Low-speed モード
TrustZone フィルタ	—	各レジスタに対してセキュリティ属性の設定が可能

表 2.14 スリープモードの動作状態比較

項目	RA6T1	RA6T2
遷移条件	SBYCR.SSBY = 0 の状態で WFI 命令	次の状態で WFI 命令 : SBYCR.SSBY = 0
解除方法	すべての割り込み。 このモードで利用可能なすべての リセット	すべての割り込み このモードで利用可能なすべての リセット
割り込みによる解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
リセットによる解除後の状態	リセット状態	リセット状態
メインクロック発振器	選択可能	選択可能
サブクロック発振器	選択可能	—
高速オンチップオシレータ	選択可能	選択可能
中速オンチップオシレータ	選択可能	選択可能
低速オンチップオシレータ	選択可能	選択可能
IWDT 専用オンチップオシレータ	選択可能 ^(注1)	選択可能 ^(注1)
PLL	選択可能	選択可能
PLL2	—	選択可能
発振停止検出機能	選択可能	選択可能
クロック/ブザー出力機能	選択可能	選択可能
CPU	停止 (保持)	停止 (保持)
RA6T1:SRAMHS RA6T2:SRAMn (n=0)	選択可能	選択可能
スタンバイ SRAM	—	選択可能
フラッシュメモリ	動作	動作
DMA コントローラ (DMAC)	選択可能	選択可能
データトランスファコントローラ (DTC)	選択可能	選択可能
ウォッチドッグタイマ (WDT)	選択可能 ^(注1)	選択可能 ^(注1)
独立ウォッチドッグタイマ (IWDT)	選択可能 ^(注1)	選択可能 ^(注1)
RA6T1:低消費電力非同期汎用タイマ (AGTn, n=0, 1) RA6T2:非同期汎用タイマ (AGTn, n=0, 1)	選択可能	選択可能
12 ビット A/D コンバータ RA6T1: (ADC12) RA6T2: (ADC)	選択可能	選択可能
プログラマブルゲインアンプ (PGA)	選択可能 ^(注2)	選択可能 ^(注3)
12 ビット D/A コンバータ (DAC12)	選択可能	選択可能
データ演算回路 (DOC)	選択可能	選択可能
シリアルコミュニケーションインタフェース (SCI0)	選択可能	選択可能
シリアルコミュニケーションインタフェース RA6T1: (SCIn, n=1~4, 8, 9) RA6T2: (SCIn, n=1~4, 9)	選択可能	選択可能
I2C バスインタフェース (IIC0)	選択可能	選択可能
I2C バスインタフェース (IIC1)	選択可能	選択可能
イベントリンクコントローラ (ELC)	選択可能	選択可能
高速アナログコンパレータ (ACMPHS0)	選択可能	選択可能

項目	RA6T1	RA6T2
高速アナログコンパレータ RA6T1: (ACMPHSn、n=1~3、4、5) RA6T2: (ACMPHSn、n=1~3)	選択可能	選択可能
IRQn 端子割り込み RA6T1: (n=0~13) RA6T2: (n=0~13、14、15)	選択可能	選択可能
NMI、IRQn-DS 端子割り込み RA6T1: (n=0、1、4~12) RA6T2: (n=0、1、2、3、4~12、13~15)	選択可能	選択可能
キー割り込み機能 (KINT)	選択可能	選択可能
低電圧検出 (LVD)	選択可能	選択可能
パワーオンリセット回路	動作	動作
その他の周辺モジュール	選択可能	選択可能
I/O ポート	動作	動作

注1. IWDTC専用オンチップ発振器およびIWDTCは、IWDTCオートスタートモード時にオプション機能選択レジスタ0 (OFS0) のIWDTC停止制御ビット (IWDTCSTPCTL) の設定により、動作または停止を選択することが可能です。WDTは、WDTオートスタートモード時にオプション機能選択レジスタ0 (OFS0) のWDT停止制御ビット (WDTSTPCTL) の設定により、動作または停止を選択することが可能です。

注2. プログラマブルゲインアンプを使用する場合、MSTPDn (n = 15、16) を0にする必要があります。

注3. プログラマブルゲインアンプを使用する場合、MSTPD16ビットを0にしてください。

表 2.15 ソフトウェアスタンバイモードの動作状態比較

項目	RA6T1	RA6T2
遷移条件	SBYCR.SSBY = 1 かつ DPSBYCR.DPSBY = 0 の状態で WFI 命令	次の状態で WFI 命令： SBYCR.SSBY = 1 および DPSBYCR.DPSBY = 0
解除方法	表 2.18 に示す割り込み。 このモードで利用可能なすべての リセット	表 2.18 に示す割り込み。 このモードで利用可能なすべての リセット
割り込みによる解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
リセットによる解除後の状態	リセット状態	リセット状態
メインクロック発振器	停止	停止
サブクロック発振器	選択可能	—
高速オンチップオシレータ	停止	停止
中速オンチップオシレータ	停止	停止
低速オンチップオシレータ	選択可能	選択可能
IWDT 専用オンチップオシレータ	選択可能 ^(注1)	選択可能 ^(注1)
PLL	停止	停止
PLL2	—	停止
発振停止検出機能	動作禁止	動作禁止
クロック/ブザー出力機能	選択可能 ^(注2)	選択可能 ^(注3)
CPU	停止 (保持)	停止 (保持)
RA6T1:SRAMHS RA6T2:SRAMn (n=0)	停止 (保持)	停止 (保持)
スタンバイ SRAM	—	停止 (保持)
フラッシュメモリ	停止 (保持)	停止 (保持)
DMA コントローラ (DMAC)	停止 (保持)	停止 (保持)
データトランスファコントローラ (DTC)	停止 (保持)	停止 (保持)
ウォッチドッグタイマ (WDT)	停止 (保持)	停止 (保持)
独立ウォッチドッグタイマ (IWDT)	選択可能 ^(注1)	選択可能 ^(注1)
RA6T1:低消費電力非同期汎用タイマ (AGTn, n=0, 1) RA6T2:非同期汎用タイマ (AGTn, n=0, 1)	選択可能 ^(注4)	選択可能 ^(注5)
12 ビット A/D コンバータ RA6T1: (ADC12) RA6T2: (ADC)	停止 (保持)	停止 (保持)
プログラマブルゲインアンプ (PGA)	選択可能 ^(注6)	停止 (保持)
12 ビット D/A コンバータ (DAC12)	停止 (保持)	停止 (保持)
データ演算回路 (DOC)	停止 (保持)	停止 (保持)
シリアルコミュニケーションインタフェース (SCI0)	停止 (保持)	停止 (保持)
シリアルコミュニケーションインタフェース RA6T1: (SCIn, n=1~4, 8, 9) RA6T2: (SCIn, n=1~4, 9)	停止 (保持)	停止 (保持)
I2C バスインタフェース (IIC0)	選択可能 ^(注7)	選択可能 ^(注7)
I2C バスインタフェース (IIC1)	停止 (保持)	停止 (保持)
イベントリンクコントローラ (ELC)	停止 (保持)	停止 (保持)
高速アナログコンパレータ (ACMPHS0)	選択可能 ^(注8)	停止 (保持)

項目	RA6T1	RA6T2
高速アナログコンパレータ RA6T1: (ACMPHSn, n=1~3、4、5) RA6T2: (ACMPHSn, n=1~3)	選択可能 ^(注9)	停止 (保持)
IRQn 端子割り込み RA6T1: (n=0~13) RA6T2: (n=0~13、14、15)	選択可能	選択可能
NMI、IRQn-DS 端子割り込み RA6T1: (n=0、1、4~12) RA6T2: (n=0、1、2、3、4~12、13~15)	選択可能	選択可能
キー割り込み機能 (KINT)	選択可能	選択可能
低電圧検出 (LVD)	選択可能	選択可能
パワーオンリセット回路	動作	動作
その他の周辺モジュール	停止 (保持)	停止 (保持)
I/O ポート	保持 ^(注10)	保持

- 注1. IWDTC専用オンチップ発振器およびIWDTCは、IWDTCオートスタートモード時にオプション機能選択レジスタ0 (OFS0) のIWDTC停止制御ビット (IWDTCSTPCTL) の設定により、動作または停止を選択することが可能です。WDTは、WDTオートスタートモード時にオプション機能選択レジスタ0 (OFS0) のWDT停止制御ビット (WDTSTPCTL) の設定により、動作または停止を選択することが可能です。
- 注2. クロックアウトソース選択ビット (CKOCR.CKOSEL[2:0]) が010b (LOCO) および100b (SOSC) 以外の値に設定されている場合は停止します。
- 注3. クロック出力ソース選択ビット (CKOCR.CKOSEL[2:0]) が010b (LOCO) 以外の値に設定されている場合は停止します。
- 注4. AGT0.AGTMR1.TCK[2:0]ビットで100b (AGTLCLK) または110b (AGTSCLK) が選択されている場合、AGT0は動作可能です。
AGT1.AGTMR1.TCK[2:0]ビットで100b (AGTLCLK)、110b (AGTSCLK)、または101b (AGT0からのアンダーフローイベント信号) が選択されている場合、AGT1は動作可能です。
AGTn.AGTMR1.TCK[2:0]ビット (n=0、1) で100b (AGTLCLK) が選択されている場合、ディープソフトウェアスタンバイモードへ遷移する前にDPSBYCR.DEEPCUT[1:0]ビットを00bにする必要があります。
- 注5. AGT0.AGTMR1.TCK[2:0]ビットで100b (AGTLCLK) が選択されている場合、AGT0は動作可能です。
AGT1.AGTMR1.TCK[2:0]ビットで100b (AGTLCLK) または101 (AGT0からのアンダーフローイベント信号) が選択されている場合、AGT1は動作可能です。
- 注6. プログラマブルゲインアンプを使用する場合、MSTPDn (n=15、16) を0にする必要があります。
- 注7. IIC0ウェイクアップ割り込みが利用可能です。
- 注8. CMPCTL.CSTENビットが1の場合、コンパレータ検出によるソフトウェアスタンバイモードの解除またはスヌーズモードへの遷移が可能です。
- 注9. VCOOUT機能のみが許可されます。ACMPHSがデジタルフィルタを使用していない場合に、VCOOUT端子は動作します。
- 注10. アドレスバスとバス制御信号 (CS0、CS1、CS4~CS7、RD、WR0、およびALE) に対しては、出力状態を維持するか、またはハイインピーダンス状態へ変化するかをSBYCR.OPEビットで選択可能です。

表 2.16 スヌーズモードの動作状態比較

項目	RA6T1	RA6T2
遷移条件	ソフトウェアスタンバイモードにおけるスヌーズ要求トリガ SNZCR.SNZE = 1	ソフトウェアスタンバイモードにおけるスヌーズ要求トリガ SNZCR.SNZE = 1.
解除方法	表 2.19 に示す割り込み。 このモードで利用可能なすべてのリセット	表 2.19 に示す割り込み。 このモードで利用可能なすべてのリセット
割り込みによる解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
リセットによる解除後の状態	リセット状態	リセット状態
メインクロック発振器	選択可能 ^(注1)	選択可能 ^(注2)
サブクロック発振器	選択可能	—
高速オンチップオシレータ	選択可能	選択可能
中速オンチップオシレータ	選択可能	選択可能
低速オンチップオシレータ	選択可能	選択可能
IWDT 専用オンチップオシレータ	選択可能 ^(注3)	選択可能 ^(注3)
PLL	選択可能 ^(注1)	選択可能 ^(注2)
PLL2	—	選択可能 ^(注2)
発振停止検出機能	動作禁止	動作禁止
クロック/ブザー出力機能	選択可能	選択可能
CPU	停止 (保持)	停止 (保持)
RA6T1:SRAMHS RA6T2:SRAMn (n=0)	選択可能	選択可能
スタンバイ SRAM	—	選択可能
フラッシュメモリ	停止 (保持)	停止 (保持)
DMA コントローラ (DMAC)	動作禁止	動作禁止
データトランスファコントローラ (DTC)	選択可能	選択可能
ウォッチドッグタイマ (WDT)	停止 (保持)	停止 (保持)
独立ウォッチドッグタイマ (IWDT)	選択可能 ^(注3)	選択可能 ^(注3)
RA6T1:低消費電力非同期汎用タイマ (AGTn, n=0, 1) RA6T2:非同期汎用タイマ (AGTn, n=0, 1)	選択可能 ^(注4)	選択可能 ^(注5)
12 ビット A/D コンバータ RA6T1: (ADC12) RA6T2: (ADC)	選択可能 ^(注6)	選択可能 ^(注7)
プログラマブルゲインアンプ (PGA)	選択可能 ^(注8)	選択可能 ^(注9)
12 ビット D/A コンバータ (DAC12)	選択可能	選択可能
データ演算回路 (DOC)	選択可能	選択可能
シリアルコミュニケーションインタフェース (SCI0)	選択可能 (スヌーズモードへ遷移するために RXD0 立ち下がリエッジが利用可能) (調歩同期式モード時のみ) (注10)	選択可能 (スヌーズモードに遷移するのに RXD0 立ち下がリエッジが利用可能) (調歩同期式モード時のみ) (注10)
シリアルコミュニケーションインタフェース RA6T1: (SCIn, n=1~4, 8, 9) RA6T2: (SCIn, n=1~4, 9)	動作禁止	動作禁止

項目	RA6T1	RA6T2
I2C バスインタフェース (IIC0)	選択可能 (注11)	選択可能 ウェイクアップ割り込みのみが利用可能 (注11)
I2C バスインタフェース (IIC1)	動作禁止	動作禁止
イベントリンクコントローラ (ELC)	選択可能 (注12)	選択可能 (注12)
高速アナログコンパレータ (ACMPHS0)	選択可能 VCOUT 機能のみ (注13)	選択可能 VCOUT 機能のみ (注14)
高速アナログコンパレータ RA6T1: (ACMPHSn, n=1~3、4、5) RA6T2: (ACMPHSn, n=1~3)	選択可能 VCOUT 機能のみ (注14)	選択可能 VCOUT 機能のみ (注14)
IRQn 端子割り込み RA6T1: (n=0~13) RA6T2: (n=0~13、14、15)	選択可能	選択可能
NMI、IRQn-DS 端子割り込み RA6T1: (n=0、1、4~12) RA6T2: (n=0、1、2、3、4~12、13~15)	選択可能	選択可能
キー割り込み機能 (KINT)	選択可能	選択可能
低電圧検出 (LVD)	選択可能	選択可能
パワーオンリセット回路	動作	動作
その他の周辺モジュール	動作禁止	動作禁止
I/O ポート	動作	動作

- 注1. スヌーズモードで SCI0 を使用する場合、MOSCCR.MOSTP ビットと PLLCR.PLLSTP ビットは 1 でなければいけません。
- 注2. スヌーズモードで SCI0 を使用する場合、MOSCCR.MOSTP ビット、PLLCR.PLLSTP ビット、PLL2CR.PLL2STP ビットは 1 でなければいけません。
- 注3. IWDT 専用オンチップ発振器および IWDT は、IWDT オートスタートモード時にオプション機能選択レジスタ 0 (OFS0) の IWDT 停止制御ビット (IWDTSTPCTL) の設定により、動作または停止を選択することが可能です。WDT は、WDT オートスタートモード時にオプション機能選択レジスタ 0 (OFS0) の WDT 停止制御ビット (WDTSTPCTL) の設定により、動作または停止を選択することが可能です。
- 注4. AGT0.AGTMR1.TCK[2:0]ビットで 100b (AGTLCLK) または 110b (AGTSCCLK) が選択されている場合、AGT0 は動作可能です。
AGT1.AGTMR1.TCK[2:0]ビットで 100b (AGTLCLK)、110b (AGTSCCLK)、または 101b (AGT0 からのアンダーフローイベント信号) が選択されている場合、AGT1 は動作可能です。
AGTn.AGTMR1.TCK[2:0]ビット (n = 0、1) で 100b (AGTLCLK) が選択されている場合、ディープソフトウェアスタンバイモードへ遷移する前に DPSBYCR.DEEPCUT[1:0]ビットを 00b にする必要があります。
- 注5. AGT0.AGTMR1.TCK[2:0]ビットで 100b (AGTLCLK) が選択されている場合、AGT0 は動作可能です。
AGT1.AGTMR1.TCK[2:0]ビットで 100b (AGTLCLK) または 101 (AGT0 からのアンダーフローイベント信号) が選択されている場合、AGT1 は動作可能です。
- 注6. スヌーズモードで 12 ビット A/D コンバータを使用する場合、ADCMPCR.CMPAE ビットおよび ADCMPCR.CMPBE ビットは 1 でなければいけません。
- 注7. スヌーズモードで 12 ビット A/D コンバータを使用する場合、ADCMPENR.CMPENn ビットを 1 にしてください。
- 注8. プログラマブルゲインアンプを使用する場合、MSTPDn (n = 15、16) を 0 にする必要があります。
- 注9. プログラマブルゲインアンプを使用する場合、MSTPD16 ビットを 0 にしてください。
- 注10. SCI0 のシリアル通信モードは、調歩同期式モードです。
- 注11. IIC0 ウェイクアップ割り込みが利用可能です。
- 注12. イベントは限定されます。
- 注13. CMPCTL0.CSTEN ビットが 1 の場合、コンパレータ検出によるソフトウェアスタンバイモードの解除またはスヌーズモードへの遷移が可能です。
- 注14. VCOUT 機能のみが許可されます。ACMPHS がデジタルフィルタを使用していない場合に、VCOUT 端子は動作します。

表 2.17 ディープソフトウェアスタンバイモードの動作状態比較

項目	RA6T1	RA6T2
遷移条件	SBYCR.SSBY = 1 かつ DPSBYCR.DPSBY = 1 の状態で WFI 命令	次の状態で WFI 命令： SBYCR.SSBY = 1 および DPSBYCR.DPSBY = 1
解除方法	表 2.20 に示す割り込み。 このモードで利用可能なすべての リセット	表 2.20 に示す割り込み。 このモードで利用可能なすべての リセット
割り込みによる解除後の状態	リセット状態	リセット状態
リセットによる解除後の状態	リセット状態	リセット状態
メインクロック発振器	停止	停止
サブクロック発振器	選択可能	—
高速オンチップオシレータ	停止	停止
中速オンチップオシレータ	停止	停止
低速オンチップオシレータ	選択可能 ^(注1)	選択可能 ^(注1)
IWDT 専用オンチップオシレータ	停止	停止
PLL	停止	停止
PLL2	—	停止
発振停止検出機能	動作禁止	動作禁止
クロック/ブザー出力機能	停止 (不定)	停止 (不定)
CPU	停止 (不定)	停止 (不定)
RA6T1:SRAMHS RA6T2:SRAMn (n=0)	停止 (不定)	停止 (不定)
スタンバイ SRAM	—	停止 (保持/不定) ^(注2)
フラッシュメモリ	停止 (保持)	停止 (保持)
DMA コントローラ (DMAC)	停止 (不定)	停止 (不定)
データトランスファコントローラ (DTC)	停止 (不定)	停止 (不定)
ウォッチドッグタイマ (WDT)	停止 (不定)	停止 (不定)
独立ウォッチドッグタイマ (IWDT)	停止 (不定)	停止 (不定)
RA6T1:低消費電力非同期汎用タイマ (AGTn, n=0, 1) RA6T2:非同期汎用タイマ (AGTn, n=0, 1)	選択可能 ^(注3)	停止 (不定)
12 ビット A/D コンバータ RA6T1: (ADC12) RA6T2: (ADC)	停止 (不定)	停止 (不定)
プログラマブルゲインアンプ (PGA)	停止 (不定)	停止 (不定)
12 ビット D/A コンバータ (DAC12)	停止 (不定)	停止 (不定)
データ演算回路 (DOC)	停止 (不定)	停止 (不定)
シリアルコミュニケーションインタフェース (SCI0)	停止 (不定)	停止 (不定)
シリアルコミュニケーションインタフェース RA6T1: (SCIn, n=1~4, 8, 9) RA6T2: (SCIn, n=1~4, 9)	停止 (不定)	停止 (不定)
I2C バスインタフェース (IIC0)	停止 (不定)	停止 (不定)
I2C バスインタフェース (IIC1)	停止 (不定)	停止 (不定)
イベントリンクコントローラ (ELC)	停止 (不定)	停止 (不定)
高速アナログコンパレータ (ACMPHS0)	停止 (不定)	停止 (不定)

項目	RA6T1	RA6T2
高速アナログコンパレータ RA6T1: (ACMPHSn、n=1~3、4、5) RA6T2: (ACMPHSn、n=1~3)	停止 (不定)	停止 (不定)
IRQn 端子割り込み RA6T1: (n=0~13) RA6T2: (n=0~13、14、15)	停止 (不定)	停止 (不定)
NMI、IRQn-DS 端子割り込み RA6T1: (n=0、1、4~12) RA6T2: (n=0、1、2、3、4~12、13~15)	選択可能	選択可能
キー割り込み機能 (KINT)	停止 (不定)	停止 (不定)
低電圧検出 (LVD)	選択可能 ^(注4)	選択可能 ^(注4)
パワーオンリセット回路	動作 ^(注5)	動作 ^(注5)
その他の周辺モジュール	停止 (不定)	停止 (不定)
I/O ポート	保持 ^(注6)	保持

- 注1. DPSBYCR.DEEPCUT[1:0]ビットが 00b の場合、発振器の状態はディープソフトウェアスタンバイモード遷移前と同じです。
DPSBYCR.DEEPCUT[1:0]ビットが 00b でない場合、MCU がディープソフトウェアスタンバイモードへ遷移すると発振器は停止します。
- 注2. DPSBYCR.DEEPCUT[1:0]ビットが 00b の場合、ディープソフトウェアスタンバイモードではスタンバイ SRAM のデータが保持されます。DPSBYCR.DEEPCUT[1:0]ビットが 00b でない場合、ディープソフトウェアスタンバイモードではスタンバイ SRAM のデータは不定です。
- 注3. AGT0.AGTMR1.TCK[2:0]ビットで 100b (AGTLCLK) または 110b (AGTSCLK) が選択されている場合、AGT0 は動作可能です。
AGT1.AGTMR1.TCK[2:0]ビットで 100b (AGTLCLK)、110b (AGTSCLK)、または 101b (AGT0 からのアンダーフローイベント信号) が選択されている場合、AGT1 は動作可能です。
AGTn.AGTMR1.TCK[2:0]ビット (n = 0、1) で 100b (AGTLCLK) が選択されている場合、ディープソフトウェアスタンバイモードへ遷移する前に DPSBYCR.DEEPCUT[1:0]ビットを 00b にする必要があります。
- 注4. ディープソフトウェアスタンバイモードで LVD を使用する場合、ディープソフトウェアスタンバイモードへ遷移する前に DPSBYCR.DEEPCUT[1:0]ビットを 00b または 01b にする必要があります。
- 注5. DPSBYCR.DEEPCUT[1:0]ビットが 11b の状態で MCU がディープソフトウェアスタンバイモードへ遷移した場合、LVD 回路は停止し、パワーオンリセット回路の低消費電力機能が有効になります。
- 注6. アドレスバスとバス制御信号 (CS0、CS1、CS4~CS7、RD、WR0、および ALE) に対しては、出力状態を維持するか、またはハイインピーダンス状態へ変化するかを SBYCR.OPE ビットで選択可能です。

表 2.18 ソフトウェアスタンバイモードを解除するための割り込み要因比較

項目		RA6T1	RA6T2
NMI		可能	可能
ポート	PORT_IRQn RA6T1: (n=0~13) RA6T2: (n=0~13、14、15)	可能	可能
	PORT_IRQn-DS RA6T1: (n=0、1、4~12) RA6T2: (n=0、1、2、3、4~12、13~15)	可能	可能
LVD	LVD_LVD1	可能	可能
	LVD_LVD2	可能	可能
IWDT	IWDT_NMIUNDF	可能	可能
KINT	KEY_INTKR	可能	可能
AGT1	AGT1_AGTI	可能	可能
	AGT1_AGTCMAI	可能	可能
	AGT1_AGTCMBI	可能	可能
ACMPHS	ACMP_HS0	可能	—
IIC0	RA6T1:IIC0_WUI RA6T2:IIC0_WU	可能	可能
ADC12n (n=0、1)	ADC12n_WCMPPM	不可能	—
	ADC12n_WCMPUM	不可能	—
ADC	ADC_CCMPM0	—	不可能
	ADC_CCMPM1	—	不可能
SCIO	SCIO_AM	不可能	不可能
	SCIO_RXI_OR_ERI	不可能	—
DTC	DTC_COMPLETE	不可能	不可能
DOC	DOC_DOPCI	不可能	不可能

表 2.19 スヌーズモードを解除するための割り込み要因比較

項目		RA6T1	RA6T2
NMI		可能	可能
ポート	PORT_IRQn RA6T1: (n=0~13) RA6T2: (n=0~13、14、15)	可能	可能
	PORT_IRQn-DS RA6T1: (n=0、1、4~12) RA6T2: (n=0、1、2、3、4~12、13~15)	可能	可能
LVD	LVD_LVD1	可能	可能
	LVD_LVD2	可能	可能
IWDT	IWDT_NMIUNDF	可能	可能
KINT	KEY_INTKR	可能	可能
AGT1	AGT1_AGTI	可能 ^(注1)	可能 ^(注1)
	AGT1_AGTCMAI	可能	可能
	AGT1_AGTCMBI	可能	可能
ACMPHS	ACMP_HS0	可能	—
IIC0	RA6T1:IIC0_WUI RA6T2:IIC0_WU	可能	可能
ADC12n (n=0、1)	ADC12n_WCMPPM	SELSR0 で可能 ^(注1)	—
	ADC12n_WCMPUM	SELSR0 で可能 ^(注1)	—
ADC	ADC_CCMPM0	—	SELSR0 で可能 ^(注1)
	ADC_CCMPM1	—	SELSR0 で可能 ^(注1)
SCIO	SCIO_AM	SELSR0 で可能 ^(注2)	SELSR0 で可能
	SCIO_RXI_OR_ERI	SELSR0 で可能 ^(注2)	—
DTC	DTC_COMPLETE	SELSR0 で可能 ^(注1)	SELSR0 で可能 ^(注1)
DOC	DOC_DOPCI	SELSR0 で可能	SELSR0 で可能

注1. SNZEDCR レジスタで許可されたイベントを使用してはいけません。

注2. SCIO_AM または SCIO_RXI_OR_ERI のいずれか一方のみ選択可能です。

表 2.20 ディープソフトウェアスタンバイモードを解除するための割り込み要因比較

項目		RA6T1	RA6T2
NMI		可能	可能
ポート	PORT_IRQn RA6T1: (n=0~13) RA6T2: (n=0~13、14、15)	不可能	不可能
	PORT_IRQn-DS RA6T1: (n=0、1、4~12) RA6T2: (n=0、1、2、3、4~12、13~15)	可能	可能
LVD	LVD_LVD1	可能	可能
	LVD_LVD2	可能	可能
IWDT	IWDT_NMIUNDF	不可能	不可能
KINT	KEY_INTKR	不可能	不可能
AGT1	AGT1_AGTI	可能	不可能
	AGT1_AGTCMAI	不可能	不可能
	AGT1_AGTCMBI	不可能	不可能
ACMPHS	ACMP_HS0	不可能	—
IIC0	RA6T1:IIC0_WUI RA6T2:IIC0_WU	不可能	不可能
ADC12n (n=0、1)	ADC12n_WCMPPM	不可能	—
	ADC12n_WCMPUM	不可能	—
ADC	ADC_CCMPM0	—	不可能
	ADC_CCMPM1	—	不可能
SCIO	SCIO_AM	不可能	不可能
	SCIO_RXI_OR_ERI	不可能	—
DTC	DTC_COMPLETE	不可能	不可能
DOC	DOC_DOPCI	不可能	不可能

2.9 レジスタライトプロテクション

表 2.21 にレジスタライトプロテクションの概要比較を示します。

表 2.21 レジスタライトプロテクションの概要比較

項目	RA6T1	RA6T2
PRC0	<ul style="list-style-type: none"> クロック発生回路関連レジスタ SCKDIVCR、SCKSCR、PLLCCR、 PLLCR、MOSCCR、HOCOCCR、 MOCOCCR、CKOCR、TRCKCR、 OSTDCR、OSTDSR、MOCOUTCR、 HOCOUTCR、MOSCWTCR、MOMCR、 SOSCCR、SOMCR、LOCOCCR、 LOCOUTCR、HOCOWTCR、FLLCR1、 FLLCR2 	<ul style="list-style-type: none"> クロック発生回路関連レジスタ SCKDIVCR、SCKSCR、PLLCCR、 PLLCR、MOSCCR、HOCOCCR、 MOCOCCR、CKOCR、OSTDCR、 OSTDSR、PLL2CCR、PLL2CR、 MOCOUTCR、HOCOUTCR、 SCISPICKDIVCR、CANFDCKDIVCR、 GPTCKDIVCR、IICCKDIVCR、 SCISPICKCR、CANFDCKCR、 GPTCKCR、IICCKCR、MOSCWTCR、 MOMCR、LOCOCCR、LOCOUTCR
PRC1	<ul style="list-style-type: none"> 低消費電力モード関連レジスタ SBYCR、SNZCR、SNZEDCR、 SNZREQCR、OPCCR、SOPCCR、 DPSBYCR、DPSIER0~3、DPSIFR0~3、 DPSIEGR0~2、SYOCDCR、STCONR AGT 機能関連レジスタ VBTICTLR 	<ul style="list-style-type: none"> 低消費電力モード関連レジスタ SBYCR、SNZCR、SNZEDCR0、 SNZREQCR0、OPCCR、DPSBYCR、 DPSWCR、DPSIER0-2、DPSIFR0-2、 DPSIEGR0-2、SYOCDCR
PRC3	<ul style="list-style-type: none"> LVD 関連レジスタ LVD1CR1、LVD1SR、LVD2CR1、 LVD2SR、LVCMPPCR、LVDLVLR、 LVD1CR0、LVD2CR0 	<ul style="list-style-type: none"> LVD 関連レジスタ LVD1CR1、LVD1SR、LVD2CR1、 LVD2SR、LVD1CMPPCR、LVD2CMPPCR、 LVD1CR0、LVD2CR0
PRC4	—	<ul style="list-style-type: none"> セキュリティ機能関連レジスタ CGFSAR、RSTSAR、LPMSAR、 LVDSAR、DPFSAR、CSAR、 SRAMSAR、STBRAMSAR、DTCSAR、 DMACSAR、ICUSARx、BUSSARx、 MMPUSARx、TZFSAR、CPUDSAR、 FSAR、PSARx、MSSAR、PmSAR、 ELCSARx

2.10 割り込みコントローラユニット

表 2.22 に割り込みコントローラユニットの概要比較を示します。

表 2.22 割り込みコントローラユニットの概要比較

項目		RA6T1 (ICU)	RA6T2 (ICU)
マスカブル 割り込み	周辺機能 割り込み	<ul style="list-style-type: none"> 周辺モジュールからの割り込み 要因数：268 (イベントリスト番号 64~511 から要因を選択) 	<ul style="list-style-type: none"> 周辺モジュールからの割り込み 要因数：265 (イベントリスト番号 17~511 から要因を選択)
	外部端子 割り込み	<ul style="list-style-type: none"> 割り込み検出：Low レベル、立ち下 がりエッジ、立ち上がりエッジ、両 エッジ これらの検出法は要因ごとに1つ設 定可能 デジタルフィルタ機能をサポート 14 要因 (IRQ0~IRQ13 端子からの 割り込み) 	<ul style="list-style-type: none"> 割り込み検出：Low レベル、立ち下 がりエッジ、立ち上がりエッジ、両 エッジ 要因ごとに設定可能 デジタルフィルタ機能 16 要因 (IRQ_i (i = 0~15) 端子か らの割り込み)
	CPU (NVIC) へ の割り込み 要求	96 要因	<ul style="list-style-type: none"> 96 本の割り込み要求を NVIC に対 して出力
	DMAC 制御	割り込み要因によって DTC と DMAC の起動が可能	<ul style="list-style-type: none"> 割り込み要因によって DMAC の起 動が可能 対象の割り込み要因から DMAC8ch 個別に選択可能
	DTC 制御		<ul style="list-style-type: none"> 割り込み要因によって DTC の起動 が可能 割り込み要因の選択方式は、NVIC への割り込み要求と同一
ノンマスカブル 割り込み	NMI 端子 割り込み	<ul style="list-style-type: none"> NMI 端子からの割り込み 割り込み検出：立ち下がりエッジま たは立ち上がりエッジ デジタルフィルタ機能をサポート 	<ul style="list-style-type: none"> NMI 端子からの割り込み 割り込み検出：立ち下がりエッジま たは立ち上がりエッジ デジタルフィルタ機能
	発振停止検出 割り込み	メイン発振器の停止を検出したときの 割り込み	メイン発振器の停止を検出したときの 割り込み
	WDT アンダ ーフロー/ リフレッシュ エラー	ダウンカウンタのアンダーフローまた はリフレッシュエラー発生時の割り込 み	ダウンカウンタのアンダーフローまた はリフレッシュエラー発生時の割り込 み
	IWDT アンダ ーフロー/ リフレッシュ エラー	ダウンカウンタのアンダーフローまた はリフレッシュエラー発生時の割り込 み	ダウンカウンタのアンダーフローまた はリフレッシュエラー発生時の割り込 み
	低電圧検出 1	低電圧検出 1 回路 (LVD1) の電圧監視 割り込み	電圧監視 1 回路の電圧監視 1 割り込み (LVD_LVD1)
	低電圧検出 2	低電圧検出 2 回路 (LVD2) の電圧監視 割り込み	電圧監視 2 回路の電圧監視 2 割り込み (LVD_LVD2)
	RPEST	SRAM パリティエラー発生時の割り込 み	SRAM パリティエラー発生時の割り込 み
	RECCST	—	SRAM ECC エラー発生時の割り込み

項目		RA6T1 (ICU)	RA6T2 (ICU)
ノンマスクابل 割り込み	TZFST	—	TrustZone フィルタエラー発生時の割り込み
	CPEST	—	キャッシュ RAM パリティエラー発生時の割り込み
	BUSST	MPU バススレーブエラー発生時の割り込み	—
	BUSMST	MPU バスマスタエラー発生時の割り込み	バスマスタ MPU エラー発生時の割り込み
	SPEST	CPU スタックポインタモニタによる割り込み	—
低消費電力モード		<ul style="list-style-type: none"> スリープモード：ノンマスクابل割り込みまたはその他の割り込み要因によって復帰 ソフトウェアスタンバイモード：ノンマスクابل割り込みによって復帰 割り込みは WUPEN レジスタで選択可能 スヌーズモード：ノンマスクابل割り込みによって復帰 割り込みは SELSR0 および WUPEN レジスタで選択可能 	<ul style="list-style-type: none"> スリープモード：ノンマスクابل割り込みまたはその他の割り込み要因によって復帰 ソフトウェアスタンバイモード：ノンマスクابل割り込みによって復帰 WUPEN レジスタで割り込みの選択が可能 スヌーズモード：ノンマスクابل割り込みによって復帰 SELSR0 および WUPEN レジスタで割り込みの選択が可能
TrustZone フィルタ		—	使用可能

2.11 バス

表 2.23 にバスの概要比較を示します。

表 2.23 バスの概要比較

項目		RA6T1	RA6T2
メインバス	Icode バス (CPU)	<ul style="list-style-type: none"> ● CPU を接続 ● 内蔵メモリ (コードフラッシュメモリ、SRAMHS) を接続 	—
	Dcode バス (CPU)	<ul style="list-style-type: none"> ● CPU を接続 ● 内蔵メモリ (コードフラッシュメモリ、SRAMHS) を接続 	
	システムバス (CPU)	<ul style="list-style-type: none"> ● CPU を接続 ● 内蔵メモリ、内部周辺バスを接続 	
	DMA バス	<ul style="list-style-type: none"> ● DMAC および DTC を接続 ● 内蔵メモリ、内部周辺バスを接続 	
スレーブインタフェース	メモリバス 1	<ul style="list-style-type: none"> ● コードフラッシュメモリを接続 	
	メモリバス 2	<ul style="list-style-type: none"> ● SRAMHS を接続 	
	メモリバス 3	<ul style="list-style-type: none"> ● DMA バスを介して、コードフラッシュメモリと SRAMHS を接続 	
	内部周辺バス 1	<ul style="list-style-type: none"> ● 周辺モジュール関連のシステムコントロールを接続 	
	内部周辺バス 3	<ul style="list-style-type: none"> ● 周辺モジュール (CAC、ELC、I/Oポート、POEG、WDT、IWDT、IIC、CAN、ADC12、DAC12、TSN、DOC) を接続 	
	内部周辺バス 4	<ul style="list-style-type: none"> ● 周辺モジュール (GPT、SCI、IrDA、SPI、CRC) を接続 	
	内部周辺バス 5	<ul style="list-style-type: none"> ● 周辺モジュール (KINT、AGT、ACMPHS) を接続 	
	内部周辺バス 7	<ul style="list-style-type: none"> ● セキュア IP (SCE7) を接続 	
内部周辺バス 9	<ul style="list-style-type: none"> ● フラッシュメモリ (P/E 時)、データフラッシュメモリ、TSN を接続 		
バスマスタ	コードバス (Cortex-M33)	—	<ul style="list-style-type: none"> ● バス I/F 最大周波数 : 240MHz ● 同期クロック : ICLK ● 命令とオペランド用 CPU 命令キャッシュを接続
	システムバス (Cortex-M33)	—	<ul style="list-style-type: none"> ● バス I/F 最大周波数 : 240MHz ● 同期クロック : ICLK ● システム用 CPU データキャッシュを接続
	DMAC/DTC	—	<ul style="list-style-type: none"> ● バス I/F 最大周波数 : 240MHz ● 同期クロック : ICLK ● DMAC/DTC を接続
バススレーブ	FHBIU	—	<ul style="list-style-type: none"> ● バス I/F 最大周波数 : 240MHz ● 同期クロック : ICLK ● コードフラッシュメモリとコンフィグレーション領域を接続

項目		RA6T1	RA6T2
バスのレーブ	FLBIU	—	<ul style="list-style-type: none"> バス I/F 最大周波数 : 60MHz 同期クロック : FCLK データフラッシュメモリ、FACI を接続
	S0BIU	—	<ul style="list-style-type: none"> バス I/F 最大周波数 : 240MHz 同期クロック : ICLK SRAM0 (スタンバイ RAM) を接続
	PSBIU	—	<ul style="list-style-type: none"> バス I/F 最大周波数 : 240MHz 同期クロック : ICLK 周辺システムモジュール (DTC、DMAC、ICU、フラッシュ、MPU、SRAM、デバッグ/トレースモジュール、システムコントローラ、BUS コントローラ) を接続 周辺モジュール (IIRFA、TFU、および IO ポート) を接続
	PLBIU	—	<ul style="list-style-type: none"> バス I/F 最大周波数 : 60MHz 同期クロック : PCLKB 周辺モジュール (CAC、ELC、POEG、WDT、IWDT、AGT、CANFD、TSN、ACMPHS、KINT) を接続
	PHBIU	—	<ul style="list-style-type: none"> バス I/F 最大周波数 : 120MHz 同期クロック : PCLKA 周辺モジュール (GPT、SCI、SPI、CRC、DOC、ADC、DAC12、CNECC、IIC、SCE5、PDG) を接続

注. FHBIU:フラッシュ高速バスインタフェースユニット
 FLBIU:フラッシュ低速バスインタフェースユニット
 S0BIU:SRAM0 バスインタフェースユニット
 PSBIU:周辺システムバスインタフェースユニット
 PLBIU:周辺低速バスインタフェースユニット
 PHBIU:周辺高速バスインタフェースユニット

2.12 メモリプロテクションユニット

表 2.24 にメモリプロテクションユニットの概要比較を、表 2.25 に MPU エラー検出時の動作比較を示します。

表 2.24 メモリプロテクションユニットの概要比較

項目		RA6T1 (MPU)	RA6T2 (MPU)
不正メモリアクセス	RA6T1: Arm® Cortex®-M4 CPU RA6T2: Arm® Cortex®-M33 CPU	<ul style="list-style-type: none"> Arm CPU はデフォルトのメモリマップを内蔵。CPU が不正アクセスを行うと、例外割り込みが発生 デフォルトのメモリマップは MPU で変更可能 	<ul style="list-style-type: none"> Arm® CPU はデフォルトのメモリマップを内蔵。CPU が不正アクセスを行うと、例外割り込みが発生 デフォルトのメモリマップは MPU で変更可能
	CPU スタックポインタモニタ	2 領域 <ul style="list-style-type: none"> メインスタックポインタ (MSP) プロセススタックポインタ (PSP) 	—
メモリプロテクション	Arm MPU	CPU 用のメモリプロテクション機能 <ul style="list-style-type: none"> 8MPU 領域 (サブ領域とバックグラウンド領域を含む) 	CPU 用のメモリプロテクション機能 <ul style="list-style-type: none"> セキュアと非セキュアに対するサブ領域とバックグラウンド領域で MPU は (8+8) 領域
	バスマスタ MPU	CPU を除く各バスマスタ用のメモリプロテクション機能 <ul style="list-style-type: none"> バスマスタ MPU グループ A : 32 領域 	CPU を除くマスタ用のメモリプロテクション機能 <ul style="list-style-type: none"> DMAC/DTC:8 領域
	バススレーブ MPU	各バススレーブ用のメモリプロテクション機能	—
セキュリティ	セキュリティ MPU	非セキュアプログラムから下記のセキュリティ領域へのアクセスを保護 <ul style="list-style-type: none"> 2 領域 (PC) 4 領域 (コードフラッシュ、SRAM、2つのセキュリティ機能) 	—

表 2.25 MPU エラー検出時の動作比較

項目		RA6T1 (MPU)	RA6T2 (MPU)
CPU スタック ポインタモニタ	通知方法	リセットまたはノンマスカブル割り込み	—
	AHB I/F の HRESP 信号によるエラー応答	—	—
	エラー検出時の バスアクセス	Don't care	—
	エラーアクセス 情報の格納	保持しない	—
Arm MPU	通知方法	ハード障害	● ハードフォールト
	AHB I/F の HRESP 信号によるエラー応答	—	非サポート
	エラー検出時の バスアクセス	● 正しくライトアクセスできない ● 正しくリードアクセスできない	● 正しくライトアクセスしない ● 正しくリードアクセスしない
	エラーアクセス 情報の格納	Cortex-M4 プロセッサ内に格納	Cortex-M33 プロセッサに格納する
バスマスタ MPU	通知方法	リセットまたはノンマスカブル割り込み	● リセットまたはノンマスカブル 割り込み ● ハードフォールト
	AHB I/F の HRESP 信号によるエラー応答	—	サポート
	エラー検出時の バスアクセス	● 保護領域にライトアクセス ● 保護領域にリードアクセス	● ライトアクセスは無視 ● リードアクセスは 0 が読めます。
	エラーアクセス 情報の格納	格納	格納する
バススレーブ MPU	通知方法	● リセットまたはノンマスカブル 割り込み ● ハード障害	—
	AHB I/F の HRESP 信号によるエラー応答	—	—
	エラー検出時の バスアクセス	● ライトアクセスは無視 ● リードアクセスは 0 が読める	—
	エラーアクセス 情報の格納	格納	—
セキュリティ MPU	通知方法	通知なし	—
	AHB I/F の HRESP 信号によるエラー応答	—	—
	エラー検出時の バスアクセス	● 正しくライトアクセスできない ● 正しくリードアクセスできない	—
	エラーアクセス 情報の格納	保持しない	—

2.13 DMA コントローラ

表 2.26 に DMA コントローラの概要比較を示します。

表 2.26 DMA コントローラの概要比較

項目		RA6T1 (DMAC)	RA6T2 (DMAC)
チャンネル数		8 チャンネル (DMACm, m = 0~7)	8 チャンネル (DMACn (n = 0~7))
転送空間		4G バイト (0000 0000h~FFFF FFFFh のうち、予約領域を除く領域)	4GB (0x0000_0000~0xFFFF_FFFF のうち、予約領域を除く領域)
最大転送データ数		64M データ (ブロック転送モードにおける最大総転送数: 1024 データ × 65536 ブロック)	64M データ (ブロック転送モードにおける最大転送数: 1,024 データ / ブロック × 65,536 ブロック)
DMA 起動要因		チャンネルごとに選択可能 <ul style="list-style-type: none"> ソフトウェアトリガ 周辺モジュールからの割り込み要求 / 外部割り込み入力端子からのトリガ 	チャンネルごとに個別に選択可能 <ul style="list-style-type: none"> ソフトウェアトリガ 周辺モジュールからの割り込み要求 / 外部割り込み入力端子からのトリガ
チャンネル優先順位		チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3... > チャンネル 7 (チャンネル 0: 最優先)	チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3... > チャンネル 7 (チャンネル 0: 最高)
転送データ	1 データ	ビット長: 8 ビット、16 ビット、32 ビット	ビット長: 8 ビット、16 ビット、32 ビット
	ブロックサイズ	データ数: 1~1024 データ	データ数: 1~1024
転送モード	ノーマル転送モード	<ul style="list-style-type: none"> 1 回の DMA 転送要求で 1 データを転送 総データ転送数を指定しない設定 (フリーランニングモード) を選択可能 	<ul style="list-style-type: none"> 1 回の DMA 転送要求で 1 データを転送 設定可能なフリーランニング機能 (データ転送の全回数の設定の指定なし)
	リピート転送モード	<ul style="list-style-type: none"> 1 回の DMA 転送要求で 1 データを転送 転送元または転送先に指定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 設定可能な最大リピートサイズ: 1024 	<ul style="list-style-type: none"> 1 回の DMA 転送要求で 1 データを転送 転送元または転送先に指定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 設定可能な最大リピートサイズ: 1024 選択可能なフリーランニング機能
	リピート / ブロック転送モード	—	<ul style="list-style-type: none"> 1 回の DMA 転送要求で 1 ブロックを転送 設定可能な最大ブロックサイズ: 1024 ブロック転送はリピート可能 設定可能な最大リピートサイズ: 64K 選択可能なフリーランニング機能

項目		RA6T1 (DMAC)	RA6T2 (DMAC)
転送モード	ブロック転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1ブロックを転送 設定可能な最大ブロックサイズ: 1024 データ 	<ul style="list-style-type: none"> 1回のDMA転送要求で1ブロックを転送 設定可能な最大ブロックサイズ: 1024 選択可能なフリーランニング機能
選択機能	拡張リピート領域機能	<ul style="list-style-type: none"> 転送アドレスレジスタの上位ビット値を固定したまま、特定範囲のアドレスを繰り返すことでデータ転送が可能 拡張リピート領域は2バイトから128Mバイトまで転送元、転送先別に設定可能 	<ul style="list-style-type: none"> 転送アドレスレジスタの上位ビット値を固定したまま、特定範囲のアドレス値を繰り返すことでデータ転送が可能 拡張リピート領域は2バイトから128MBまで転送元、転送先別に設定可能
DMA転送エラーの処理		—	<ul style="list-style-type: none"> DMAC転送エラー発生時に、エラーを発生させたチャネルの転送を停止 DMACエラーチャネルの起動要求用レジスタのクリア要求をICUに送信
CPU割り込み要因 (DMACn_INT)	転送終了割り込み	転送カウンタで設定したデータ数の転送終了時に発生	転送カウンタで設定したデータ数の転送終了時に発生
	転送エスケープ終了割り込み	下記の条件で発生 <ul style="list-style-type: none"> リピートサイズ分のデータ転送を終了したとき 拡張リピート領域の転送元アドレスがオーバーフローしたとき 拡張リピート領域の転送先アドレスがオーバーフローしたとき 	<ul style="list-style-type: none"> リピートサイズ分のデータ転送の終了時に発生 拡張リピート領域の転送元アドレスがオーバーフローした時に発生 拡張リピート領域の転送先アドレスがオーバーフローした時に発生
CPU割り込み要因 (DMA_TRANSERR)	エラー応答検出割り込み	—	DMAC転送エラーが生じた時に発生
イベントリンク機能 (DMACn_INT)		各データ転送後 (ブロックの場合は各ブロック転送後)、イベントリンク要求を発生	各データ転送後 (ブロックの場合は各ブロック転送後)、イベントリンク要求を発生
マスタ TrustZone フィルタ		—	非セキュアチャネルがバスにアクセスする前に、フラッシュやSRAMのTrustZone違反領域が検出されます。
モジュールストップ機能		モジュールストップ状態に設定して消費電力を削減	モジュールストップ状態の設定が可能
TrustZone フィルタ		—	各チャネルに対してセキュリティ属性の設定が可能

2.14 データトランスファコントローラ

表 2.27 にデータトランスファコントローラの概要比較を示します。

表 2.27 データトランスファコントローラの概要比較

項目	RA6T1 (DTC)	RA6T2 (DTC)
転送モード	<ul style="list-style-type: none"> ノーマル転送モード 1回の起動で1データを転送 リピート転送モード 1回の起動で1データを転送 リピートサイズ分データを転送すると転送開始時のアドレスに復帰 リピート回数は最大256回設定可能で、最大256×32ビット(1024バイト)転送可能 ブロック転送モード 1回の起動で1ブロックを転送 ブロックサイズは、最大256×32ビット=1024バイト設定可能 	<ul style="list-style-type: none"> ノーマル転送モード 1回の起動で1データを転送 リピート転送モード 1回の起動で1データを転送 リピートサイズ分のデータを転送すると転送開始時のアドレスに復帰 リピート回数は最大256回設定可能で、最大256×32ビット(1024バイト)転送可能 ブロック転送モード 1回の起動で1ブロックを転送 ブロックサイズは、最大256×32ビット=1024バイト設定可能
転送チャンネル	<ul style="list-style-type: none"> 割り込み要因に対応するチャンネルの転送が可能(ICUからのDTC起動要求で転送) 1つの起動要因に対して複数データの転送が可能(チェーン転送) チェーン転送は「カウンタが0のとき実施」または「毎回実施」のいずれかを設定可能 	<ul style="list-style-type: none"> 割り込み要因に対応するチャンネルの転送が可能(ICUからのDTC起動要求で転送) 1つの起動要因に対して複数データの転送が可能(チェーン転送) チェーン転送は「カウンタが0のとき実施」または「毎回実施」のいずれかを選択可能
転送空間	<ul style="list-style-type: none"> 4GB(0000_0000h~FFFF_FFFFhのうち、予約領域を除く領域) 	<ul style="list-style-type: none"> 0x0000_0000~0xFFFF_FFFFのうち予約領域を除く4GBの領域
データ転送単位	<ul style="list-style-type: none"> 1データ:1バイト(8ビット)、1ハーフワード(16ビット)、または1ワード(32ビット) 1ブロックサイズ:1~256データ 	<ul style="list-style-type: none"> 1データ:1バイト(8ビット)、1ハーフワード(16ビット)、1ワード(32ビット) 1ブロックサイズ:1~256データ
CPU 割り込み要因	<ul style="list-style-type: none"> DTCを起動した割り込みでCPUへの割り込み要求を発生可能 1回のデータ転送後にCPUへの割り込み要求を発生可能 指定したデータ数のデータ転送終了後にCPUへの割り込み要求を発生可能 	<ul style="list-style-type: none"> DTCを起動した割り込み、またはDTC_COMPLETEでCPUへの割り込み要求を発生可能 1回のデータ転送後にCPUへの割り込み要求を発生可能 指定したデータ数のデータ転送終了後にCPUへの割り込み要求を発生可能
DTC 転送エラーの処理	—	<ul style="list-style-type: none"> DTC 転送エラーが発生すると、エラーを引き起こした転送が停止します。 ICUへのDTCエラー番号の起動要求に対して、レジスタのクリアを要求します。
エラー応答検出 割り込み	—	DTC 転送エラーが生じると発生します。
イベントリンク機能	1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生	1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報の読み出しをスキップ可能	転送情報のリードスキップを実行可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、転送情報のライトバックをスキップ可能	転送元アドレスまたは転送先アドレスが固定の場合、ライトバックスキップを実行可能

項目	RA6T1 (DTC)	RA6T2 (DTC)
TrustZone	—	フラッシュや SRAM の TrustZone 違反領域は、バスへのアクセス前に事前に検出されません。
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減	モジュールストップ状態の設定が可能
TrustZone フィルタ	—	起動要因ごとにセキュリティ属性の設定が可能

2.15 イベントリンクコントローラ

表 2.28 にイベントリンクコントローラの概要比較を示します。

表 2.28 イベントリンクコントローラの概要比較

項目	RA6T1 (ELC)	RA6T2 (ELC_B)
イベントリンク機能	229 種類のイベント信号を、直接モジュールに接続可能。ELC イベント信号および DTC 起動用のイベントの発生が可能	215 種類のイベント信号を、直接モジュールに接続可能。ELC イベント信号と、DTC 起動用のイベントの発生
モジュールストップ機能	モジュールストップ状態の設定が可能	モジュールストップ状態の設定が可能
TrustZone フィルタ	—	各レジスタに対してセキュリティ属性の設定が可能

2.16 I/O ポート

表 2.29～表 2.30 に I/O ポートの概要比較を、表 2.31 に I/O ポートの機能比較を示します。

表 2.29 I/O ポートの概要比較 (100 ピン)

項目	RA6T1		RA6T2	
	100 ピン	本数	100 ピン	本数
PORT0	P000～P002、P003～P008、P014、P015	11	P000～P002	3
PORT1	P100～P115	16	—	0
PORT2	P200、P201、P205～P211、P212、P213、P214	12	P201、P212、P213	3
PORT3	P300～P307	8	—	0
PORT4	P400～P415	16	—	0
PORT5	P500～P504、P508	6	—	0
PORT6	P600～P602、P608～P610	6	—	0
PORT7	P708	1	—	0
PORTA	—	0	PA00～PA15	16
PORTB	—	0	PB00～PB10、PB12～PB15	15
PORTC	—	0	PC00～PC15	16
PORTD	—	0	PD00～PD15	16
PORTE	—	0	PE00～PE06、PE08～PE15	15

表 2.30 I/O ポートの概要比較 (64 ピン)

項目	RA6T1		RA6T2	
	64 ピン	本数	64 ピン	本数
PORT0	P000、P001、P002、P003、P014、P015	6	P002	1
PORT1	P100～P112	13	—	0
PORT2	P200、P201、P205～P207、P210、P212、P213	8	P201、P212、P213	3
PORT3	P300～P302	3	—	0
PORT4	P400～P402、P407～P411	8	—	0
PORT5	P500、P501	2	—	0
PORT6	—	0	—	0
PORT7	—	0	—	0
PORTA	—	0	PA00～PA15	16
PORTB	—	0	PB00～PB09、PB12～PB15	14
PORTC	—	0	PC00～PC15	16
PORTD	—	0	PD02	1
PORTE	—	0	—	0

表 2.31 I/O ポートの機能比較

項目		RA6T1	RA6T2
入力プルアップ	PORT0	P000、P001、P002~P008、P014、P015	P000、P001
	PORT1	P100~P115	—
	PORT2	P200、P201、P205~P211、P212、P213、P214	P201、P212、P213
	PORT3	P300~P307	—
	PORT4	P400~P415	—
	PORT5	P500~P504、P508	—
	PORT6	P600~P602、P608~P610	—
	PORT7	P708	—
	PORTA	—	PA06~PA15
	PORTB	—	PB00、PB01、PB03~PB010、PB12~PB15
	PORTC	—	PC00~PC15
	PORTD	—	PD00~PD15
	PORTE	—	PE00~PE06、PE08~PE15
オープンドレイン出力	PORT0	P008、P014、P015	—
	PORT1	P100~P115	—
	PORT2	P201、P205~P211、P212、P213、P214	P201、P212、P213
	PORT3	P300~P307	—
	PORT4	P400~P415	—
	PORT5	P500~P504、P508	—
	PORT6	P600~P602、P608~P610	—
	PORT7	P708	—
	PORTA	—	PA08~PA15
	PORTB	—	PB03~PB10、PB12~PB15
	PORTC	—	PC06~PC12、PC14、PC15
	PORTD	—	PD00~PD15
	PORTE	—	PE00~PE06、PE08~PE15
駆動能力切り替え	PORT0	—	—
	PORT1	P100~P115 : 低/中/高	—
	PORT2	P205~P211、P212、P213、P214 : 低/中/高	P201 : 低
			P212、P213 : 低、中、高
	PORT3	P300~P307 : 低/中/高	—
	PORT4	P400~P415 : 低/中/高	—
	PORT5	P500~P504、P508 : 低/中/高	—
	PORT6	P600~P602、P608~P610 : 低/中/高	—
	PORT7	P708 : 低/中/高	—
	PORTA	—	PA08~PA11 : 低、中、高、高電流駆動
			PA12~PA15 : 低、中、高
	PORTB	—	PB03~PB10 : 低、中、高
			PB12~PB15 : 低、中、高、高電流駆動
PORTC	—	PC06~PC09 : 低、中、高、高電流駆動	
		PC10~PC12 : 低、中、高	
		PC14、PC15 : 低	

項目		RA6T1	RA6T2
駆動能力切り替え	PORTD	—	PD00~PD07 : 低、中、高
			PD08~PD15 : 低、中、高、高電流駆動
	PORTE	—	PE00、PE01 : 低、中、高
			PE02~PE06 : 低、中、高、高速高駆動
			PE08、PE09 : 低、中、高 PE10~PE15 : 低、中、高、高電流駆動
5V トレラント	PORT0	—	—
	PORT1	—	—
	PORT2	P205、P206	—
	PORT3	—	—
	PORT4	P400、P401、P407~P415	—
	PORT5	—	—
	PORT6	—	—
	PORT7	P708	—
	PORTA	—	PA12~PA15
	PORTB	—	PB03、PB05~PB09
	PORTC	—	PC10~PC12、PC14、PC15
	PORTD	—	PD00~PD07
	PORTE	—	PE00、PE01
I/O	PORT0	P000~P002、P003~P007 : 入力	P000~P002 : 入力
		P008、P014、P015 : 入出力	
	PORT1	P100~P115 : 入出力	—
	PORT2	P200 : 入力	P201、P212、P213 : 入出力
		P201、P205~P211、P212、P213、P214 : 入出力	
	PORT3	P300~P307 : 入出力	—
	PORT4	P400~P415 : 入出力	—
	PORT5	P500~P504、P508 : 入出力	—
	PORT6	P600~P602、P608~P610 : 入出力	—
	PORT7	P708 : 入出力	—
	PORTA	—	PA00~PA07 : 入力
			PA08~PA15 : 入出力
	PORTB	—	PB00~PB02 : 入力
			PB03~PB10、PB12~PB15 : 入出力
	PORTC	—	PC00~PC05 : 入力
			PC06~PC12 : 入出力
PC13 : 入力			
PC14、PC15 : 入出力			
PORTD	—	PD00~PD15 : 入出力	
PORTE	—	PE00~PE06、PE08~PE15 : 入出力	

2.17 GPT 用ポートアウトプットイネーブル

表 2.32 に GPT 用ポートアウトプットイネーブルの概要比較を示します。

表 2.32 GPT 用ポートアウトプットイネーブルの概要比較

項目	RA6T1 (POEG)	RA6T2 (POEG)
入力レベル検出に対する出力停止要求	極性とフィルタの選択後、GTETRn 端子の立ち上がりエッジまたは High レベルをサンプリングした場合、GPT 出力端子を出力禁止に設定可能	<ul style="list-style-type: none"> 出力停止要求は、対応する GTETRn 端子 (n = A~D) で選択したレベルの入力が検出されて POEGn.PIDF フラグがセットされたときに、GPT に対して発行されます。 出力停止要求は、対応する GTETRn 端子で選択したレベルの入力が検出されるとただちに、GPT に対して発行されます。
GPT からの出力停止信号による出力停止要求	<ul style="list-style-type: none"> GTIOCA および GTIOCB 端子が同時にアクティブレベルとなる場合、GPT は POEG に対して出力禁止要求を発生させる。POEG は、これらの要求を受信して、GTIOCA および GTIOCB 端子を出力禁止にするか否かの制御が可能 GPT 出力端子がデッドタイムエラーを検出した場合に、GPT 出力端子を出力禁止に設定可能 	<ul style="list-style-type: none"> 出力停止要求は、対応する POEGn.IOCF フラグがセットされている状態で、GTIOCA 端子と GTIOCB 端子のアクティブレベル (High または Low) を同時に検出したときに、GPT に対して発行されます。 出力停止要求は、対応する POEGn.IOCF フラグがセットされている状態で、GPT がデッドタイムエラーを検出したときに、GPT に対して発行されます。
コンパレータによる検出に対する出力停止要求	割り込み要求がどのコンパレータ出力結果の変化によって発生した場合でも、GPT 出力端子を出力禁止に設定可能	<ul style="list-style-type: none"> 出力停止要求は、コンパレータによるエッジ検出に対して POEGn.IOCF フラグがセットされたときに、GPT に対して発行されます。 出力停止要求は、コンパレータでレベルが検出されると、GPT に対して直接発行されます。
発振停止検出に対する出力停止要求	クロック発生回路の発振が停止した場合に、GPT 出力端子を出力禁止に設定可能	出力停止要求は、対応する POEGn.OSTPF フラグがセットされている状態で、メインクロックの発振停止検出回路が発振停止を検出したときに、GPT に対して発行されます。
ソフトウェアによる出力停止要求	レジスタの設定値を書き換えることにより、GPT 出力端子を出力禁止に設定可能	出力停止要求は、ソフトウェアが POEGn.SSF フラグをセットしたときに、GPT に対して発行されます。
割り込み	<ul style="list-style-type: none"> 入力レベル検出による出力禁止制御が可能 GPT または ACMPHS からの出力禁止要求が可能 	<ul style="list-style-type: none"> 割り込みは、POEGn.PIDF フラグによる出力停止要求に対して発生します。 割り込みは、POEGn.IOCF フラグによる出力停止要求に対して発生します。
GPT に対する外部トリガ出力機能	極性とフィルタの選択後、GTETRn 信号を GPT へ出力可能	GTETRn 端子は、外部トリガとして出力に使用されます。

項目	RA6T1 (POEG)	RA6T2 (POEG)
ノイズ除去	<ul style="list-style-type: none">• どの入力端子 (GTETR_{Gn}) に対しても、PCLKB/1、PCLKB/8、PCLKB/32、または PCLKB/128 クロックごとに 3 回のサンプリングを設定可能• どの入力端子 (GTETR_{Gn}) に対しても、正または負の極性を選択可能• 極性およびフィルタ選択後の信号状態のモニタが可能	<ul style="list-style-type: none">• 各 GTETR_{Gn} 端子はデジタルノイズフィルタ機能を持っています。• フィルタには 4 種類のサンプリングクロックが設定できます。
TrustZone フィルタ	—	<ul style="list-style-type: none">• グループ別にセキュリティ属性を設定できます。

2.18 汎用 PWM タイマ

表 2.33 に汎用 PWM タイマの概要比較を、表 2.34Error! Reference source not found.に汎用 PWM タイマの機能一覧比較を示します。

表 2.33 汎用 PWM タイマの概要比較

項目	RA6T1 (GPT)	RA6T2 (GPT)
機能	<ul style="list-style-type: none"> 32 ビット×13 チャンネル 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、またはアップダウンカウント（三角波） チャンネルごとに独立したクロックソースを選択可能 チャンネルごとに2本の入出力端子 チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成 チャンネルごとにフレーム周期設定用レジスタを搭載（オーバーフロー/アンダーフローで割り込み可能） PWM 動作の際にデッドタイム生成が可能 任意チャンネルのカウンタの同期スタート/ストップ/クリア 最大8個の ELC イベントに対応したアップ/ダウンカウンタのスタート/ストップ/クリア 入力レベル比較に対応したアップ/ダウンカウンタのスタート/ストップ/クリア 最大4個の外部トリガに対応したアップ/ダウンカウンタのスタート/ストップ/クリア デッドタイムエラーおよび出力端子間の短絡検出による出力端子無効機能 A/D コンバータの変換開始トリガ生成が可能 	<ul style="list-style-type: none"> 32 ビット×10 チャンネル（GPT32n（n = 0～9）） 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、またはアップダウンカウント（三角波）を選択可能 チャンネルごとに独立したクロックソースを選択可能 チャンネルごとに2本の入出力端子 チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、4本のバッファレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成 チャンネルごとにフレーム周期設定用レジスタを搭載（オーバーフロー/アンダーフローで割り込み可能） PWM 動作の際にデッドタイム生成が可能 デューティ0%/100%の PWM 波形近傍の高精度デューティ生成 アウトプットコンペア動作では、コンペアレジスタの設定がただちにデッドタイム付き PWM 波形の生成に使用されます。 任意チャンネルのカウンタの同期スタート/ストップ/クリア可能 最大8つの ELC イベントによるカウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 2本の入力端子の状態を検出し、カウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 最大4本の外部トリガにより、カウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 出力端子間の短絡検出およびデッドタイムエラーによる出力端子無効機能 A/D 変換開始要求生成機能

項目	RA6T1 (GPT)	RA6T2 (GPT)
機能	<ul style="list-style-type: none"> ● ブラシレス DC モータ制御用の PWM 波形生成が可能 ● コンペアマッチ A~F イベント、オーバーフローイベント/アンダーフローイベント、および入力 UVW エッジイベントを ELC に出力可能 ● インพุットキャプチャおよび入力 UVW のノイズフィルタを使用可能 <ul style="list-style-type: none"> ● バスクロック : PCLKA ● コアックロック : PCLKD ● 周波数比 : PCLKA:PCLKD = 1:N (N = 1/2/4/8/16/32/64) 	<ul style="list-style-type: none"> ● ブラシレス DC モータ制御用の PWM 波形生成が可能 ● コンペアマッチ A~F イベント、オーバーフローイベント/アンダーフローイベントおよび入力 UVW エッジイベントを ELC に出力可能 ● インพุットキャプチャおよび入力 UVW 用のノイズフィルタが有効 ● 周期計数機能 ● 外部パルス幅測定機能 ● チャンネル出力間の論理演算 ● 同期カウンタクリア/カウンタ設定/チャンネル間インพุットキャプチャ ● バスクロック : PCLKA、 コアックロック : GTCLK (注1) ● 周波数比 : PCLKA:PCLKD = 1:N (N = 1/2/4/8/16/32/64) (同期クロック使用時)、 PCLKA ≤ GTCLK (非同期クロック使用時)

注1. GPT コアックロック (GTCLK) は、同期クロック選択時は PCLKD、非同期クロック選択時は GPTCLK です。

表 2.34 汎用 PWM タイマの機能一覧比較 (GPT32)

項目	RA6T1	RA6T2	
カウントクロック	PCLKD PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 PCLKD/1024	GTCLK GTCLK/2 GTCLK/4 GTCLK/8 GTCLK/16 GTCLK/32 GTCLK/64 GTCLK/128 GTCLK/256 GTCLK/512 GTCLK/1024 GTETRGA、GTETRGB、 GTETRGC、GTETRGD	
アウトプットコンペア/インプット キャプチャレジスタ (GTCCR)	GTCCRA GTCCRB	GTCCRA GTCCRB	
コンペア/バッファレジスタ	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF	
周期設定レジスタ	GTPR	GTPR	
周期設定バッファレジスタ	GTPBR GTPDBR (注1)	GTPBR GTPDBR	
入出力端子	GTIOCA GTIOCB	GTIOCnA GTIOCnB (n = 0~9)	
外部トリガ入力端子	GTETRGA (注2) GTETRGB (注2) GTETRGC (注2) GTETRGD (注2)	GTETRGA (注3) GTETRGB (注3) GTETRGC (注3) GTETRGD (注3)	
カウンタクリア要因	GTPR レジスタコンペアマッチ インプットキャプチャ 入力端子状態 ELC イベント入力 GTETR Gn (n = A、B、C、D) 端子 入力	GTPR レジスタコンペアマッチ インプットキャプチャ 入力端子の状態 ELC イベント入力 GTETR Gn (n = A~D) 端子入力 GTCCR レジスタコンペアマッチ 他のチャンネルのカウンタクリア要因	
周期計数機能	—	可能 (GPT32n (n = 0~3))	
コンペアマッチ出力	Low 出力	可能	使用可能
	High 出力	可能	使用可能
	トグル出力	可能	使用可能
インプットキャプチャ機能	可能	使用可能	
デッドタイム自動付加機能	可能 (注4)	使用可能	
PWM モード	可能	使用可能	
高精度 PWM 波形	—	可能 (GPT32n (n = 0~3))	
位相計数機能	可能	可能 (GPT32n (n = 0~3))	
外部パルス幅測定機能	—	可能 (GPT32n (n = 0~3))	
バッファ動作	ダブルバッファ	ダブルバッファ 複数チャンネルへの同時動作無効制御 カウンタクリア/コンペアマッチによる バッファ動作	
ワンショット動作	可能	使用可能	
DMAC/DTC の起動	すべての割り込み要因	すべての割り込み要因	

項目	RA6T1	RA6T2
A/D 変換開始トリガ	GTADTRA または GTADTRB のコンペアマッチ ^(注1)	GTADTRA レジスタまたは GTADTRB レジスタのコンペアマッチ
ブラシレス DC モータ制御機能	可能	使用可能
割り込み要因	<p>10 要因 ^(注5)</p> <ul style="list-style-type: none"> ● GTCCRA コンペアマッチ/インプットキャプチャ (GPTn_CCMPA) ● GTCCRB コンペアマッチ/インプットキャプチャ (GPTn_CCMPB) ● GTCCRC コンペアマッチ (GPTn_CMPC) ● GTCCRD コンペアマッチ (GPTn_CMPD) ● GTCCRE コンペアマッチ (GPTn_CMPCE) ● GTCCRF コンペアマッチ (GPTn_CMPF) ● GTADTRA コンペアマッチ ^(注1) (GPTn_ADTRGA) ● GTADTRB コンペアマッチ ^(注1) (GPTn_ADTRGB) ● GTCNT オーバーフロー (GTPR コンペアマッチ) (GPTn_OVF) ● GTCNT アンダーフロー (GPTn_UDF) ● 	<p>11 要因</p> <ul style="list-style-type: none"> ● GTCCRA コンペアマッチ/入力キャプチャ (GPTn_CCMPA) ● GTCCRB コンペアマッチ/入力キャプチャ (GPTn_CCMPB) ● GTCCRC コンペアマッチ (GPTn_CMPC) ● GTCCRD コンペアマッチ (GPTn_CMPD) ● GTCCRE コンペアマッチ (GPTn_CMPCE) ● GTCCRF コンペアマッチ (GPTn_CMPF) ● GTADTRA コンペアマッチ (GPTn_ADTRGA) ● GTADTRB コンペアマッチ (GPTn_ADTRGB) ● GTCNT オーバーフロー (GTPR コンペアマッチ) (GPTn_OVF) ● GTCNT アンダーフロー (GPTn_UDF) ● GTPC カウント停止 (GPTx_PC) (x = 0~3)
割り込みスキップ機能	<ul style="list-style-type: none"> ● GTCNT オーバーフロー (GTPR コンペアマッチ) (GPTn_OVF) の間引き/ GTCNT アンダーフロー (GPTn_UDF) 割り込み (その他割り込みまたは A/D 変換要求に対するインターロック機能付き) の間引き ● ● 	<ul style="list-style-type: none"> ● GTCNT カウンタオーバーフロー (GTPR レジスタコンペアマッチ) (GTPn_OVF) および GTCNT カウンタアンダーフロー (GTPn_UDF) の割り込みスキップ (他の割り込みと A/D 変換開始要求のインターロック) ● GTADTRA レジスタ、GTADTRB レジスタのコンペアマッチのスキップ (GPT32y (y = 4~9)) ● バッファ動作スキップ機能
イベントリンク (ELC) 機能	可能	使用可能
ノイズフィルタ機能	可能	使用可能
チャンネル出力間の論理演算	—	使用可能
同期カウンタクリア/カウンタ設定/インプットキャプチャ	—	使用可能

注1. RA6T1 の GPT32EH/GPT32E のみ対応。

注2. GTRETRGn は、POEG モジュールを経由して GPT に接続します。このため、GPT の機能を使用するには、MSTPD14 ビットをクリアすることでクロックを POEG に供給してください。

注3. GTETRGn は、POEG モジュールを経由して GPT に接続します。そのため、GPT 機能を使用するには、MSTPCRD.MSTPDn (n = 11~14) ビットをクリアして POEG にクロックを供給する必要があります。

注4. RA6T1 の GPT32 のみ、デッドタイムバッファなし。

注5. RA6T1 の GPT32EH/GPT32E は 10 要因、GPT32 は 8 要因。

2.19 PWM 遅延生成回路

表 2.35 に PWM 遅延生成回路の概要比較を示します。

表 2.35 PWM 遅延生成回路の概要比較

項目	RA6T1	RA6T2
機能	この回路は、チャンネル 0、1、2、3 それぞれ 2 つの PWM 出力端子の信号の立ち上がりまたは立ち下がりタイミングを、GPT クロック (PCLKD) 周期の最大 1/32 倍の精度で制御できます。	本回路は、チャンネル 0/1/2/3 の 2 つの PWM 出力端子の信号の立ち上がりと立ち下がりのタイミングを GPT コアクロック (GTCLK) 周期の最大 1/32 の精度で制御することができます。 GPT コアクロック (GTCLK) は PCLKD または GPTCLK から選択できます。

2.20 低消費電力非同期汎用タイマ／非同期汎用タイマ

表 2.36 に低消費電力非同期汎用タイマ／非同期汎用タイマの概要比較を示します。

表 2.36 低消費電力非同期汎用タイマ／非同期汎用タイマの概要比較

項目		RA6T1 (低消費電力非同期汎用タイマ:AGT)	RA6T2 (非同期汎用タイマ:AGTW_B)
動作モード	タイマモード	カウントソースをカウント	カウントソースをカウント
	パルス出力モード	タイマがアンダーフローするごとにカウントソースをカウントし、出力を反転	カウントソースをカウントし、アンダーフローするごとに出力を反転
	イベントカウンタモード	外部イベントをカウント	外部イベントをカウント
	パルス幅測定モード	外部パルス幅を測定	外部パルス幅を測定
	パルス周期測定モード	外部パルス周期を測定	外部パルス周期を測定
構成		AGTn (16 ビット) ×2 チャンネル (n = 0、1)	AGTWn (32 ビット) ×2 チャンネル (n = 0、1)
カウントソース (動作クロック)	タイマモード	PCLKB、PCLKB/2、PCLKB/8、AGTLCLK、AGTLCLK/2、AGTLCLK/4、AGTLCLK/8、AGTLCLK/16、AGTLCLK/32、AGTLCLK/64、AGTLCLK/128、AGTSCLK、AGTSCLK/2、AGTSCLK/4、AGTSCLK/8、AGTSCLK/16、AGTSCLK/32、AGTSCLK/64、AGTSCLK/128、または AGT0 のアンダーフロー信号を選択可能	PCLKB、PCLKB/2、PCLKB/8、AGTLCLK/d (d = 1、2、4、8、16、32、64、または 128)、または AGTW0 のアンダーフロー信号を選択可能
	パルス出力モード		
	パルス幅測定モード		
	パルス周期測定モード		
	イベントカウンタモード	外部イベント入力	外部イベント入力
割り込み／イベントリンク機能		<ul style="list-style-type: none"> アンダーフローイベント信号または測定完了イベント信号 <ul style="list-style-type: none"> カウンタがアンダーフローしたとき 外部入力 (AGTIO) のアクティブ幅の測定がパルス幅測定モードで終了したとき 外部入力 (AGTIO) の設定エッジがパルス周期測定モードで入力されたとき コンペアマッチ A イベント信号 <ul style="list-style-type: none"> AGT と AGTCMA の値が一致したとき (コンペアマッチ A 機能が有効) コンペアマッチ B イベント信号 <ul style="list-style-type: none"> AGT と AGTCMB の値が一致したとき (コンペアマッチ B 機能が有効) 	<ul style="list-style-type: none"> アンダーフローイベント信号または測定完了イベント信号 <ul style="list-style-type: none"> カウンタがアンダーフローしたとき パルス幅測定モードで、外部入力 (AGTWIOOn 端子) のアクティブ幅の測定が終了したとき パルス周期測定モードで外部入力 (AGTWIOOn 端子) の設定エッジが入力されたとき コンペアマッチ A イベント信号 <ul style="list-style-type: none"> AGT レジスタと AGTCMA レジスタの値が一致したとき (コンペアマッチ A 機能が有効) コンペアマッチ B イベント信号 <ul style="list-style-type: none"> AGT と AGTCMB の値が一致したとき (コンペアマッチ B 機能が有効)

項目	RA6T1 (低消費電力非同期汎用タイ マ:AGT)	RA6T2 (非同期汎用タイマ:AGTW_B)
割り込み/イベントリンク機能	スヌーズモードまたはソフトウェアスタンバイモードからの復帰は AGT1_AGTI、AGT1_AGTCMAI、または AGT1_AGTCMBI で実行可能です。	<ul style="list-style-type: none"> スヌーズモードまたはソフトウェアスタンバイモードからの復帰は AGT1_AGTI、AGT1_AGTCMAI、または AGT1_AGTCMBI で実行可能です。
選択可能な機能	<ul style="list-style-type: none"> コンペアマッチ機能 コンペアマッチ A レジスタとコンペアマッチ B レジスタの両方または一方を選択可能 	<ul style="list-style-type: none"> コンペアマッチ機能 コンペアマッチ A レジスタとコンペアマッチ B レジスタの両方または一方を選択可能
TrustZone フィルタ	—	各チャネルに対して、セキュリティ属性を設定可能

2.21 ウォッチドッグタイマ

表 2.37 にウォッチドッグタイマの概要比較低消費電力非同期汎用タイマ／非同期汎用タイマの概要比較を示します。

表 2.37 ウォッチドッグタイマの概要比較

項目	RA6T1 (WDT)	RA6T2 (WDT)
カウントソース	周辺クロック (PCLKB)	周辺クロック (PCLKB) ^(注1)
クロック分周比	4分周／64分周／128分周／512分周／2048分周／8192分周	4分周／64分周／128分周／512分周／2048分周／8192分周
カウンタ動作	14ビットのダウンカウンタによるダウンカウント	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> オートスタートモード：リセット後、またはアンダーフロー／リフレッシュエラー発生後に自動的にカウント開始 レジスタスタートモード：WDTRR レジスタへの書き込みによるリフレッシュ動作でカウント開始 	<ul style="list-style-type: none"> オートスタートモード：リセット後、またはアンダーフロー／リフレッシュエラー発生後に自動的にカウント開始 レジスタスタートモード：WDTRR レジスタへの書き込みによるリフレッシュ動作でカウント開始 セキュアデベロッパーのみがオートスタートモードまたはレジスタスタートモードを選択可能
カウント停止条件	<ul style="list-style-type: none"> リセット（ダウンカウンタおよび他のレジスタが初期値に戻る） カウンタのアンダーフローまたはリフレッシュエラー発生時 	<ul style="list-style-type: none"> リセット（ダウンカウンタおよび他のレジスタが初期値に戻る） カウンタのアンダーフローまたはリフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能（リフレッシュ許可／禁止期間）	ウィンドウ開始／終了位置を設定可能（リフレッシュ許可／禁止期間）
WDT リセット要因	<ul style="list-style-type: none"> ダウンカウンタがアンダーフローしたとき リフレッシュ許可期間外でリフレッシュを行ったとき（リフレッシュエラー） 	<ul style="list-style-type: none"> ダウンカウンタのアンダーフロー リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
ノンマスカブル割り込み／割り込み要因	<ul style="list-style-type: none"> ダウンカウンタがアンダーフローしたとき リフレッシュ許可期間外でリフレッシュを行ったとき（リフレッシュエラー） 	<ul style="list-style-type: none"> ダウンカウンタのアンダーフロー リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能	WDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能（出力）	<ul style="list-style-type: none"> ダウンカウンタアンダーフローイベント出力 リフレッシュエラーイベント出力 	<ul style="list-style-type: none"> ダウンカウンタアンダーフローイベント出力 リフレッシュエラーイベント出力
出力信号（内部信号）	<ul style="list-style-type: none"> リセット出力 割り込み要求出力 スリープモードカウント停止制御出力 	<ul style="list-style-type: none"> リセット出力 割り込み要求出力 スリープモードカウント停止制御出力
TrustZone フィルタ	—	セキュリティ属性を設定可能

注1. 周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウントクロックソースの分周後周波数) となるように設定してください。

2.22 独立ウォッチドッグタイマ

表 2.38 に独立ウォッチドッグタイマの概要比較を示します。

表 2.38 独立ウォッチドッグタイマの概要比較

項目	RA6T1 (IWDT)	RA6T2 (IWDT)
カウントソース	IWDT 専用クロック (IWDTCLK)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1 分周/16 分周/32 分周/64 分周/128 分周/256 分周	1 分周/16 分周/32 分周/64 分周/128 分周/256 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	リセット後、自動的にカウント開始	<ul style="list-style-type: none"> リセット後、自動的にカウント開始 セキュアデベロッパーのみが IWDT を開始可能
カウント停止条件	<ul style="list-style-type: none"> リセット (ダウンカウンタおよび他のレジスタが初期値に戻る) カウンタのアンダーフローまたはリフレッシュエラーの発生 (自動的にカウント再開) 	<ul style="list-style-type: none"> リセット (ダウンカウンタおよび他のレジスタが初期値に戻る) カウンタのアンダーフローまたはリフレッシュエラー発生時自動的にカウント再開
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
IWDT リセット要因	<ul style="list-style-type: none"> ダウンカウンタがアンダーフローしたとき リフレッシュ許可期間外でリフレッシュを行ったとき (リフレッシュエラー) 	<ul style="list-style-type: none"> ダウンカウンタのアンダーフロー リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
ノンマスク割り込み/割り込み要因	<ul style="list-style-type: none"> ダウンカウンタがアンダーフローしたとき リフレッシュ許可期間外でリフレッシュを行ったとき (リフレッシュエラー) 	<ul style="list-style-type: none"> ダウンカウンタのアンダーフロー リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能	IWDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能 (出力)	<ul style="list-style-type: none"> ダウンカウンタアンダーフローイベント出力 リフレッシュエラーイベント出力 	<ul style="list-style-type: none"> ダウンカウンタアンダーフローイベント出力 リフレッシュエラーイベント出力
出力信号 (内部信号)	<ul style="list-style-type: none"> リセット出力 割り込み要求出力 スリープモードカウント停止制御出力 	<ul style="list-style-type: none"> リセット出力 割り込み要求出力 スリープモードカウント停止制御出力
オートスタートモード	下記のトリガに設定可能： <ul style="list-style-type: none"> リセット後のクロック分周比 (OFS0.IWDTCKS[3:0]ビット) IWDT のタイムアウト期間 (OFS0.IWDTTOPS[1:0]ビット) IWDT のウィンドウ開始位置 (OFS0.IWDRPSS[1:0]ビット) IWDT のウィンドウ終了位置 (OFS0.IWDRPES[1:0]ビット) 	以下のトリガに対して設定可能： <ul style="list-style-type: none"> リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット) 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDRPSS[1:0]ビット) 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0]ビット)

項目	RA6T1 (IWDT)	RA6T2 (IWDT)
オートスタートモード	<ul style="list-style-type: none">リセット出力または割り込み要求出力 (OFS0.IWDRSTIRQS ビット)スリープモード、ソフトウェアスタンバイモードまたはスヌーズモード遷移時のダウンカウント停止機能 (OFS0.IWDTSTPCTL ビット)	<ul style="list-style-type: none">リセット出力または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット)スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時のダウンカウント停止機能の選択 (OFS0.IWDTSTPCTL ビット)
TrustZone フィルタ	—	セキュリティ属性を設定可能

2.23 シリアルコミュニケーションインタフェース

表 2.39 にシリアルコミュニケーションインタフェースの概要比較を示します。

表 2.39 シリアルコミュニケーションインタフェースの概要比較

項目	RA6T1 (SCI)	RA6T2 (SCI_B)	
モジュール数	7 (SCIn (n=0~4、8、9))	6 (SCIn (n=0~4、9))	
シリアル通信方式	<ul style="list-style-type: none"> 調歩同期式 クロック同期式 簡易 IIC 簡易 SPI スマートカードインタフェース 	<ul style="list-style-type: none"> 調歩同期式 クロック同期式 簡易 IIC 簡易 SPI 簡易 LIN スマートカードインタフェース マンチェスタインタフェース 	
転送速度	内蔵のボーレートジェネレータにより任意のビットレートを設定可能	内蔵のボーレートジェネレータにより任意のビットレートを設定可能	
全二重通信	<ul style="list-style-type: none"> 送信部：ダブルバッファによる連続送信が可能 受信部：ダブルバッファによる連続受信が可能 	<ul style="list-style-type: none"> 送信部：ダブルバッファによる連続送信が可能 受信部：ダブルバッファによる連続受信が可能 	
半二重通信	—	TXDn 端子のみを使用した半二重通信が可能です。	
データ転送	LSB ファースト/MSB ファースト転送を選択可能	LSB ファースト/MSB ファーストの選択が可能	
通信端子 (RXDn、TXDn) のためのインバータ	—	各端子 (RXDn、TXDn) に選択できるインバータ	
割り込み要因	<ul style="list-style-type: none"> 送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、およびアドレス一致 開始条件/再開条件/停止条件の生成完了 (簡易 IIC モード用) 	<ul style="list-style-type: none"> 送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、アドレス一致 開始条件、再開条件、停止条件の生成完了 (簡易 IIC モード用) Break Field 検出/出力機能あり、バス衝突検出機能あり、アクティブエッジ検出機能あり 	
ループバック機能	—	IP 内部の送受信による通信機能の自己診断が可能	
シンクロナイザーバイパス機能	—	バスクロックと動作クロック (TCLK) の間の同期回路のバイパスが可能	
モジュールストップ機能	チャンネルごとにモジュールストップ状態の設定が可能	チャンネルごとにモジュールストップ状態の設定が可能	
スヌーズ終了要求	SCI0 アドレス不一致 (SCI0_DCUF)	SCI0 アドレス不一致 (SCI0_DCUF)	
調歩同期式モード	データ長	7 ビット/8 ビット/9 ビット	7 ビット/8 ビット/9 ビット
	送信ストップビット	1 ビット/2 ビット	1 または 2 ビット
	受信サンプリングタイミングの調節	—	デフォルトタイミングから前または後に調節可能な受信サンプリングタイミング

項目		RA6T1 (SCI)	RA6T2 (SCI_B)
調歩同期式 モード	送信タイミングの 調節	—	レジスタの設定値によって制御される送信波形の調節可能エッジタイミング
	パリティ	偶数パリティ/奇数パリティ/パリティなし	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出 機能	パリティエラー、オーバーランエラー、フレーミングエラー	<ul style="list-style-type: none"> パリティエラー オーバーランエラー フレーミングエラー
	ハードウェア フロー制御	CTS _n _RTS _n 端子を用いた送受信制御が可能	CTS _n _RTS _n 、CTS _n 端子を用いた送受信制御が可能
	送信/受信	1 段レジスタ/16 段 FIFO を選択可能	1 段レジスタまたは 16 段 FIFO のいずれかを選択可能
	アドレス一致	受信データとコンペアマッチレジスタの値が一致したとき、割り込み要求/イベント出力の発行が可能	受信データとコンペアマッチレジスタの値が一致したとき、割り込み要求/イベント出力の発行が可能
	アドレス不一致 (SCI0 のみ) 受信データ	受信データとコンペアマッチレジスタの値が一致しないとき、スヌーズ終了要求の発行が可能	受信データとコンペアマッチレジスタ内の値が一致しないとき、スヌーズ終了要求の発行が可能
	スタートビットの 検出	Low 検出/立ち下がりエッジ検出を選択可能	Low 検出/立ち下がりエッジ検出を選択可能
	ブレークの検出	SPTR レジスタを読み出すことで、フレーミングエラーからのブレークの検出が可能	CSR レジスタを読み出すことで、フレーミングエラーからのブレークの検出が可能
	クロックソース	内部クロック/外部クロックを選択可能	内部クロックまたは外部クロックの選択が可能
	倍速モード	ポーレートジェネレータ倍速モードを選択可能	ポーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ 通信機能	複数プロセッサ間でシリアル通信が可能	複数プロセッサ間でシリアル通信が可能
	RS-485 ドライバ コントロール機能	—	外部トランシーバ送信モードを有効にする出力 DEn 信号
	ノイズ除去	RXD _n 端子入力経路にデジタルノイズフィルタを内蔵	RXD _n 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式 モード	データ長	8 ビット	8 ビット
	受信サンプリング タイミングの調節	—	内部クロック使用時のみ、マスタモードでデフォルトタイミングから後に調節可能な受信サンプリングタイミング
	受信エラー検出 機能	オーバーランエラー	オーバーランエラー
	クロックソース	内部クロック (マスタモード) / 外部クロック (スレーブモード) を選択可能	内部クロック (マスタモード) または外部クロック (スレーブモード) の選択が可能
	倍速モード	—	ポーレートジェネレータ倍速モードを選択可能
	ハードウェア フロー制御	CTS _n _RTS _n 端子を用いた送受信制御が可能	CTS _n _RTS _n 端子を用いた送受信制御が可能
	送信/受信	1 段レジスタ/16 段 FIFO を選択可能	1 段レジスタまたは 16 段 FIFO のいずれかを選択可能

項目		RA6T1 (SCI)	RA6T2 (SCI_B)
スマートカード インタフェース モード	エラー処理	受信中にパリティエラーを検出するとエラーシグナルを自動送付	受信中にパリティエラーを検出するとエラーシグナルを自動送付
		送信中にエラーシグナルを受信するとデータを自動再送信	送信中にエラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	ダイレクトコンベンション/インバースコンベンションをサポート
マンチェスタ モード	通信フォーマット	—	プレフィスとスタートビットが付加されたマンチェスタコード
	データ長	—	7ビット、8ビット、または9ビット
	送信ストップビット	—	1または2ビット
	パリティ機能	—	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	—	パリティエラー、オーバーランエラー、フレーミングエラー、マンチェスタエラー
	ハードウェアフロー制御	—	CTSn_RTSn、CTSn 端子を用いた送受信制御が可能
	クロックソース	—	内部クロックのみが使用可能
	倍速モード	—	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	—	複数プロセッサ間のシリアル通信機能
	マンチェスタエンコード/デコード機能	—	送受信データのマンチェスタエンコード/デコードを行い、マンチェスタコードで通信する機能
	ノイズ除去	—	RxDn 端子入力経路にデジタルノイズフィルタを内蔵
	プレフィスを設定/検出する機能	—	設定されたプレフィスパターンを出力し検出する
	スタートビットを設定/検出する機能	—	設定されたスタートビットパターンを出力し検出する
受信再タイミング機能	—	受信信号の各ビットに対してタイミングを補正	
簡易 IIC モード	通信フォーマット	I2C バスフォーマット (MSB ファーストのみ)	I2C バスフォーマット (MSB ファーストのみ)
	動作モード	マスタ (シングルマスタ動作のみ)	マスタ (シングルマスタ動作のみ)
	転送速度	最大 400kbps	最大 400kbps
	ノイズ除去	SCLn 端子と SDA n 端子の入力経路にデジタルノイズフィルタを内蔵し、ノイズ除去幅の調整が可能	SCLn 端子と SDA n 端子の入力経路にデジタルノイズフィルタを内蔵し、ノイズ除去幅の調整が可能
簡易 SPI モード	データ長	8ビット	8ビット
	エラー検出	オーバーランエラー	オーバーランエラー
	クロックソース	内部クロック (マスタモード) / 外部クロック (スレーブモード) を選択可能	内部クロック (マスタモード) または外部クロック (スレーブモード) の選択が可能
	倍速モード	—	ボーレートジェネレータ倍速モードを選択可能
	送受信	—	1 段レジスタまたは 16 段 FIFO の選択が可能

項目		RA6T1 (SCI)	RA6T2 (SCI_B)
簡易 SPI モード	受信サンプリング タイミングの調節	—	内部クロック使用時のみ、マスタ モードでデフォルトタイミングから 後に調節可能な受信サンプリングタ イミング
	SSn 入力端子機能	SSn 端子を High にすることで、出 力端子をハイインピーダンスにする ことが可能	SSn 端子を High にすることで、出 力端子をハイインピーダンスにする ことが可能
	クロック設定	クロック位相、クロック極性の設定 を 4 種類から選択可能	クロック位相、クロック極性の設定 を 4 種類から選択可能
簡易 LIN	Start Frame 送信	—	<ul style="list-style-type: none"> ● Break Field の出力が可能/Break Field 出力完了割り込み出力が可 能 ● バス衝突検出が可能、バス衝突検 出割り込み出力が可能
	Start Frame 受信		<ul style="list-style-type: none"> ● Break Field の検出が可能/Break Field 検出割り込み出力が可能 ● Control Field 0/1 データ比較機能 あり ● Control Field 1 にはプライマリ/ セカンダリの 2 種類の比較デー タを設定可能 ● Control Field 1 にプライオリティ インタラプトビットを設定可能 ● Break Field がない Start Frame にも対応可能 ● Control Field 0 がない Start Frame にも対応可能 ● ビットレート測定機能あり
	入出力制御機能		<ul style="list-style-type: none"> ● TXDn 信号と RXDn 信号の極性選 択が可能 ● RXDn 信号にデジタルフィルタ機 能選択が可能 ● 同じ端子で RXDn 信号と TXDn 信号を兼用した半二重通信が可能 ● RXDn 端子受信データサンプリ ングタイミング選択可能
ビットレートモジュレーション機能	内蔵ボーレートジェネレータの出力 補正により誤差の低減が可能	内蔵ボーレートジェネレータの出力 補正により誤差の低減が可能	
イベントリンク機能	受信エラーまたはエラーシグナル検 出におけるエラーイベント出力 (SCIn_ERI) (n = 0~4、8、9)	受信エラーまたはエラーシグナル検 出におけるエラーイベント出力 (SCIn_ERI) (n = 0~4、9)	
	受信データフルイベント出力 (SCIn_RXI) (n = 0~4、8、9) (注 1)	受信データフルイベント出力 (SCIn_RXI) (n = 0~4、9)	
	送信データエンプティイベント出力 (SCIn_TXI) (n = 0~4、8、9) (注 1)	送信データエンプティイベント出力 (SCIn_TXI) (n = 0~4、9)	
	アドレス一致イベント出力 (SCIn_AM) (n = 0~4、8、9)	アドレス一致イベント出力 (SCIn_AM) (n = 0~4、9)	
	—	アクティブエッジ検出イベント出力 (SCIn_AED) (n = 0~4、9)	

項目	RA6T1 (SCI)	RA6T2 (SCI_B)
イベントリンク機能	送信終了イベント出力 (SCIn_TEI) (n = 0~4、8、9) (注1)	送信終了イベント出力 (SCIn_TEI) (n = 0~4、9)
TrustZone フィルタ	—	各チャンネルに対してセキュリティ属性を設定可能

注1. 本イベントリンク機能は、調歩同期式モードにおいて FIFO 動作が選択された場合、使用禁止となります。

2.24 I²C バスインタフェース

表 2.40 に I²C バスインタフェースの概要比較を示します。

表 2.40 I²C バスインタフェースの概要比較

項目	RA6T1 (IIC)	RA6T2 (IIC_B)
動作モード	マスタ/スレーブモードを選択可能	マスタ/スレーブモードを選択可能
データハンドラ	ダブルバッファ転送	シングルバッファ転送
通信プロトコル	通信フォーマット : <ul style="list-style-type: none"> I²C バスフォーマットまたは SMBus フォーマット 転送速度 : <ul style="list-style-type: none"> ファストモードプラス対応 (~1Mbps) 	<ul style="list-style-type: none"> I²C バスフォーマット <ul style="list-style-type: none"> スタンダードモード (Sm) : 0~100kbps ファストモード (Fm) : 0~400kbps ファストモードプラス (Fm+) : 0~1Mbps (注1) High-speed モード (Hs モード) : 0~3.2Mbps (注1) SMBus フォーマット : 10~100kbps
アドレスフォーマット	<ul style="list-style-type: none"> 7 ビット/10 ビットアドレスフォーマット対応 (混在可能) 	<ul style="list-style-type: none"> 7 ビットアドレス 10 ビットアドレス
アドレス検出	<ul style="list-style-type: none"> 異なるスレーブアドレスを 3 種類まで設定可能 ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出が可能 	<ul style="list-style-type: none"> スレーブアドレス (スタティックアドレス) (最大 3 アドレス) ジェネラルコールアドレス Hs モードマスタコード (注1) デバイス ID ホストアドレス 10 ビットスレーブアドレッシング
クロックストレッチ	アクノリッジ応答 : <ul style="list-style-type: none"> 送信時、アクノリッジビットの自動ロードノットアクノリッジビット検出時に次送信データ転送の自動中断が可能 受信時、アクノリッジビットの自動送出 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信値に応じたアクノリッジビット値のソフトウェア制御が可能 ウェイト機能 : 受信時、SCL クロックの Low ホールドによる下記期間のウェイトが可能 <ul style="list-style-type: none"> 8 クロック目と 9 クロック目の間をウェイト 9 クロック目と次の転送の 1 クロック目の間をウェイト 	クロックストレッチ能力
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能

項目	RA6T1 (IIC)	RA6T2 (IIC_B)
アービトレーション	<ul style="list-style-type: none"> マルチマスタ対応 <ul style="list-style-type: none"> 他のマスタとの SCL クロック衝突時、SCL クロックの同期が可能 スタートコンディション発行がバスで競合した場合、SDA ライン用の内部信号と SDA ラインのレベルの間に不一致があるかどうかのテストによるアービトレーションロストを検出可能 マスタ動作時、SDA 内部信号と SDA ラインの状態が不一致ならアービトレーションロストを検出可能 バスビジー中のスタートコンディション発生によるアービトレーションロストを検出可能（スタートコンディションの二重発行防止） ノットアクノリッジビット転送時、SDA 内部信号と SDA ラインの状態の不一致でアービトレーションロストを検出可能 スレーブ送信時、データの SDA 内部信号と SDA ラインの状態の不一致でアービトレーションロストを検出可能 	<ul style="list-style-type: none"> マルチマスタ対応 <ul style="list-style-type: none"> 他のマスタとの SCL クロック衝突時、SCL クロックの同期が可能 スタートコンディション発行がバスで競合した場合、SDA ライン用の内部信号と SDA ラインのレベルの間に不一致があるかどうかのテストによるアービトレーションロストを検出可能 マスタ動作時、SDA 内部信号と SDA ラインの状態が不一致ならアービトレーションロストを検出可能 バスビジー中のスタートコンディション発生によるアービトレーションロストを検出可能（スタートコンディションの二重発行防止） ノットアクノリッジビット転送時、SDA 内部信号と SDA ラインの状態の不一致でアービトレーションロストを検出可能 スレーブ送信時、データの SDA 内部信号と SDA ラインの状態の不一致でアービトレーションロストを検出可能
タイムアウト検出機能	SCL クロックの長時間停止を内部で検出	SCL クロックの長時間停止を内部で検出
ノイズフィルタ	<ul style="list-style-type: none"> SCL および SDA 信号用のデジタルノイズフィルタ フィルタによるノイズ除去幅をプログラムブルに調整可能 	<ul style="list-style-type: none"> アナログノイズフィルタ デジタルノイズフィルタ
割り込み要因	<ul style="list-style-type: none"> 転送エラー/イベント発生：アービトレーション検出、NACK、タイムアウト、スタートまたはリスタートコンディション、ストップコンディション 受信データフル 送信データエンプティ 送信終了 	<ul style="list-style-type: none"> スタートコンディション検出 ストップコンディション検出 NACK 検出 アービトレーションロスト タイムアウト検出 Rx データバッファフル Tx データバッファエンプティ 送信終了 ウェイクアップ条件検出
エラー検出	<ul style="list-style-type: none"> NACK アービトレーション検出 タイムアウト 	<ul style="list-style-type: none"> NACK 受信 アービトレーションロストエラー タイムアウトエラー
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能	モジュールストップ状態を設定して消費電力を削減可能
イベントリンク機能	<ul style="list-style-type: none"> 転送エラー/イベント発生：アービトレーション検出、NACK、タイムアウト、スタートまたはリスタートコンディション、ストップコンディション 受信データフル 送信データエンプティ 送信終了 	<ul style="list-style-type: none"> 通信イベント 受信データバッファフルイベント 送信データバッファエンプティイベント 送信終了イベント
ウェイクアップ機能	ウェイクアップイベントを使用した CPU のソフトウェアスタンバイモードからの復帰が可能	ウェイクアップ要因： スレーブアドレスのアドレス検出

注2. ファストモードプラスと High-speed モードは、IIC0 (SCL0_A、SDA0_A) に対応しています。

2.25 CAN モジュール/CAN フレキシブルデータレート

表 2.41 に CAN モジュール/CAN フレキシブルデータレートの概要比較を示します。

表 2.41 CAN モジュール/CAN フレキシブルデータレートの概要比較

項目	RA6T1 (CAN)	RA6T2 (CANFD_B)
通信	ISO11898-1 準拠の標準フレームと拡張フレーム	CANFD ISO 11898-1 (2015) に準拠した CAN 機能
プロトコルエンジンのバージョン	—	RS-CANFD_PE V3.0
データ転送レート	CANFD	—
	クラシカル CAN	最大 1Mbps のデータ転送レートをプログラム可能
動作周波数/周辺クロック	fCAN ≥ 8MHz (PCLKB または CANMCLK)	60MHz (PCLKB) RAM クロック : 120MHz (PCLKA)
データリンクレイヤ (DLL) クロック	—	最高 ≤ 40MHz
入出力端子	CTX0/CRX0	CTX0/CRX0
CAN チャンネル	1 チャンネル	1 チャンネル
選択可能な ID タイプ	<ul style="list-style-type: none"> 受信 ID フォーマットは、標準 ID のみ、拡張 ID のみ、またはミックス ID を選択可能 送信 ID フォーマットは、標準 ID のみ、拡張 ID のみ、またはミックス ID に選択可能 	11 ビットの標準 ID
		11 ビットの標準 ID+18 ビットの拡張 ID
選択可能なフレームタイプ	<ul style="list-style-type: none"> データフレームとリモートフレームの受信をサポート データフレームとリモートフレームの送信をサポート 	データフレーム (RTR = 0) (CAN フレームと CANFD フレーム)
		リモートフレーム (RTR = 1) (CAN フレームのみ)
データフレームの可変データバイト数	DLC 範囲 : 0~8	DLC 範囲 : 0~F
メッセージバッファ	32 個のメールボックスに対し、下記の 2 種類のメールボックスモードを選択可能 <ul style="list-style-type: none"> 通常モード : 32 個のメールボックスを送信または受信用に個別に設定可能 FIFO モード : 24 個のメールボックスを送信または受信用に個別に設定可能、残りのメールボックスは受信用 (RX) および送信用 (TX) の 4 段 FIFO で使用 	最大 32 個の受信メッセージバッファ 4 個の送信メッセージバッファ 1 個の送信キュー 送信キューへの自動メッセージ転送をサポート
		2 個の受信 FIFO バッファ 1 個の共通 FIFO が個々に下記に設定可能 <ul style="list-style-type: none"> 受信 FIFO 送信 FIFO
FIFO 番号		
送信用自動遅延インターバルタイマ	—	遅延タイマは下記に適用可能 <ul style="list-style-type: none"> 送信 FIFO
拡張受信フィルタ	<ul style="list-style-type: none"> 8 つのアクセプタンスマスク (4 メールボックスごとに 1 つ) メールボックスごとに個別にマスクを有効または無効に設定可能 	11 ビットおよび 29 ビットの CAN ID をサポート
		各エントリに、プログラム可能 29 ビット CAN ID アクセプタンスフィルタマスク
		各 FIFO および受信メッセージバッファに、プログラム可能ルーティング機能 (最大 2 つのルーティング先)

項目	RA6T1 (CAN)	RA6T2 (CANFD_B)
拡張受信フィルタ		RTR および IDE マスキング データ長コード (DLC) フィルタ メッセージバッファペイロードのオーバーロード保護 通信中のアクセプタンスフィルタリスト (AFL) エントリ更新
バスオフ復帰のモード遷移	バスオフ状態からの復帰のモード遷移を選択可能： <ul style="list-style-type: none"> ISO11898-1 仕様準拠 バスオフ開始で自動的に CAN halt モードへ遷移 バスオフ終了で自動的に CAN halt モードへ遷移 ソフトウェアにより CAN halt モードへ遷移 ソフトウェアによりエラーアクティブ状態へ遷移 	バスオフ状態からの復帰のモード遷移を選択可能： <ul style="list-style-type: none"> ISO11898-1 仕様準拠 バスオフ開始で自動的に CAN halt モードへ遷移 バスオフ終了で自動的に CAN halt モードへ遷移 ソフトウェアにより CAN halt モードへ遷移 ソフトウェアによりエラーアクティブ状態へ遷移
エラー状態の監視	<ul style="list-style-type: none"> CAN バスエラー (スタッフエラー、フォームエラー、ACK エラー、15 ビット CRC エラー、ビットエラー、ACK デリミタエラー) の監視 エラー状態 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) への遷移の検出 エラーカウンタ読み出しのサポート 	<ul style="list-style-type: none"> CAN バスエラー (スタッフエラー、フォームエラー、ACK エラー、15 ビット CRC エラー、ビットエラー、ACK デリミタエラー) の監視 エラー状態 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) への遷移の検出 エラーカウンタ読み出しのサポート
一般ソフトウェアサポート	3つのソフトウェアサポートユニット： <ul style="list-style-type: none"> アクセプタンスフィルタサポート メールボックス検索サポート (受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) チャンネル検索サポート 	受信メッセージに自動ラベル情報付加 (上位ソフトウェアレイヤサポート用)
タイマ	<ul style="list-style-type: none"> 16 ビットカウンタによるタイムスタンプ機能 基準クロックは、1、2、4、8 ビットタイム期間から選択可能 	TX および RX タイムスタンプ機能
割り込み機能	5種類の割り込み要因をサポート： <ul style="list-style-type: none"> 受信完了割り込み 送信完了割り込み 受信 FIFO 割り込み 送信 FIFO 割り込み エラー割り込み 	<ul style="list-style-type: none"> グローバル割り込み <ul style="list-style-type: none"> — 2つの RX FIFO バッファへの正常受信のグローバル割り込み — グローバルエラー割り込み — 32個の RX メッセージバッファへの正常受信のグローバル割り込み チャンネル割り込み <ul style="list-style-type: none"> — チャンネル送信 — チャンネルエラー割り込み — チャンネルの RX モードの共通 FIFO での正常受信

項目	RA6T1 (CAN)	RA6T2 (CANFD_B)
テストモード	評価用に3つのテストモードを用意： <ul style="list-style-type: none"> ● リッスンオンリモード ● セルフテストモード0 (外部ループバック) ● セルフテストモード1 (内部ループバック) 	<ul style="list-style-type: none"> ● チャンネル固有のテストモード <ul style="list-style-type: none"> — 基本テストモード — リッスンオンリモード — セルフテストモード0 (外部ループバックモード) — セルフテストモード1 (内部ループバックモード) — 制限付きオペレーションモード ● グローバルテストモード <ul style="list-style-type: none"> — RAM テストモード — ビットフリップテスト
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減	モジュールストップ状態に設定して消費電力を削減
パワーダウン機能	CAN スリープモード1： CAN クロック停止による消費電力の削減	CAN ノードにモジュールスタートストップ機能 (チャンネルモードおよびグローバルスリープモード)
RAM	—	RAM ECC 保護 (2 ビットエラー検出および1 ビットエラー訂正)
TrustZone フィルタ	—	1つのセキュリティ属性を設定可能

2.26 シリアルペリフェラルインタフェース

表 2.42 にシリアルペリフェラルインタフェースの概要比較を示します。

表 2.42 シリアルペリフェラルインタフェースの概要比較

項目	RA6T1 (SPI)	RA6T2 (SPI_B)
チャンネル数	2 チャンネル	2 チャンネル
SPI 転送機能	<ul style="list-style-type: none"> MOSI (Master Out/Slave In)、MISO (Master In/Slave Out)、SSL (Slave Select)、RSPCK (SPIClock) の各信号を使用して、SPI 動作 (4 線式) またはクロック同期式動作 (3 線式) によるシリアル通信が可能 送信のみの動作が可能 全二重または送信のみの通信モードを選択可能 RSPCK 極性切り替え RSPCK 位相切り替え 	<ul style="list-style-type: none"> MOSI (Master Out/Slave In)、MISO (Master In/Slave Out)、SSL (Slave Select)、RSPCK (SPIClock) の各信号を使用して、SPI 動作 (4 線式) またはクロック同期式動作 (3 線式) によるシリアル通信が可能 送信のみの動作が可能 受信のみの動作が可能 通信モード: 全二重、送信のみ、または受信のみを選択可能 RSPCK 極性切り替え RSPCK 位相切り替え
データフォーマット	<ul style="list-style-type: none"> MSB ファースト/LSB ファースト選択可能 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 送信/受信バッファは 128 ビット 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット) バイトスワップ動作機能 	<ul style="list-style-type: none"> MSB ファーストまたは LSB ファーストを選択可能 転送ビット長を 4~32 ビットから選択可能 送信バッファまたは受信バッファとして 32 ビット×4 ステージ FIFO を使用可能 バイトスワップ動作機能 送受信データは反転可能
ビットレート	<ul style="list-style-type: none"> マスタモード時、内蔵ポーレートジェネレータで PCLKA を分周して RSPCK を生成 (分周比は 2~4096 分周) スレーブモード時は、PCLKA の最小 4 分周のクロックを、RSPCK として入力可能 (RSPCK の最大周波数は PCLKA の 4 分周) High 幅: PCLKA の 2 サイクル、Low 幅: PCLKA の 2 サイクル 	<ul style="list-style-type: none"> マスタモード時、内蔵ポーレートジェネレータで TCLK を分周して RSPCK を生成 (分周比は 2~4096 分周) スレーブモード時は、TCLK の最小 2 分周のクロックを、RSPCK として入力可能 (RSPCK の最高周波数は TCLK の 2 分周) High 幅: TCLK の 1 サイクル、Low 幅: TCLK の 1 サイクル
バッファ構成	<ul style="list-style-type: none"> 送信および受信バッファはそれぞれダブルバッファ構造 送信および受信バッファは 128 ビット 	<ul style="list-style-type: none"> 送信および受信バッファはそれぞれダブルバッファ構造
エラー検出	<ul style="list-style-type: none"> モードフォルトエラー検出 アンダーランエラー検出 オーバーランエラー検出 パリティエラー検出 	<ul style="list-style-type: none"> モードフォルトエラー検出 アンダーランエラー検出 オーバーランエラー検出 パリティエラー検出 受信データ準備検出

項目	RA6T1 (SPI)	RA6T2 (SPI_B)
SSL 制御機能	<ul style="list-style-type: none"> 1 チャンネルあたり 4 本の SSL 端子 (SSLn0~SSLn3) シングルマスタモード時、SSLn0~SSLn3 端子は出力 マルチマスタモード時、SSLn0 端子は入力、SSLn1~SSLn3 端子は出力または不使用 スレーブモード時、SSLn0 端子は入力、SSLn1~SSLn3 端子は不使用 SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を制御可能 設定範囲: 1~8RSPCK 周期 (設定単位: 1RSPCK 周期) RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を制御可能 設定範囲: 1~8RSPCK 周期 (設定単位: 1RSPCK 周期) 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を制御可能 設定範囲: 1~8RSPCK 周期 (設定単位: 1RSPCK 周期) SSL 極性変更機能 	<p>[Motorola SPI モード/TI SSP モード共通]</p> <ul style="list-style-type: none"> 1 チャンネルあたり 4 本の SSL 端子 (SSLni:SSLn0~SSLn3) (n = A, B) シングルマスタモード時、SSLn0~SSLn3 端子は出力 マルチマスタモード時、SSLn0 端子は入力、SSLn1~SSLn3 端子は出力または未使用 スレーブモード時、SSLn0 端子は入力、SSLn1~SSLn3 端子は未使用 SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を制御可能 設定範囲: 1~8RSPCK 周期 (設定単位: 1RSPCK 周期) RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を制御可能 設定範囲: 1~8RSPCK 周期 (設定単位: 1RSPCK 周期) 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を制御可能 設定範囲: 1~8RSPCK 周期 (設定単位: 1RSPCK 周期) SSL 極性変更機能 バースト転送時のフレーム間遅延を設定可能 <p>[Motorola モードのみ]</p> <ul style="list-style-type: none"> SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を制御可能 設定範囲: 1~8RSPCK 周期 (設定単位: 1RSPCK 周期) <p>[スレーブ、TI-SSP モード]</p> <ul style="list-style-type: none"> OE 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を制御可能 設定範囲: 0~8RSPCK 周期 (設定単位: 1RSPCK 周期)
通信プロトコル	—	<ul style="list-style-type: none"> Motorola SPI TI SSP (同期式シリアルプロトコル)
マスタ転送時の制御方式	<ul style="list-style-type: none"> 最大 8 コマンドで構成された転送を連続してループ実行可能 	<ul style="list-style-type: none"> 最大 8 コマンドで構成された転送を連続してループ実行可能

項目	RA6T1 (SPI)	RA6T2 (SPI_B)
マスタ転送時の制御方式	<ul style="list-style-type: none"> 各コマンドに以下の項目を設定可能： SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、MSB/LSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 送信バッファへの書き込みで転送を起動可能 SSL ネゲート時の MOSI 信号値を設定可能 RSPCK 自動停止機能 	<ul style="list-style-type: none"> 各コマンドに以下の項目を設定可能： SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、MSB/LSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 送信バッファへの書き込みによる転送起動 SSL ネゲート時の MOSI 信号値を設定可能 RSPCK 自動停止機能
割り込み要因	<ul style="list-style-type: none"> 受信バッファフル割り込み 送信バッファエンプティ割り込み SPI エラー割り込み（モードフォルト、オーバーラン、パリティエラー） SPI アイドル割り込み（SPI アイドル） 送信完了割り込み 	割り込み要因： <ul style="list-style-type: none"> 受信バッファフル/受信データ準備割り込み 送信バッファエンプティ割り込み SPI エラー割り込み（モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、受信データ準備） SPI アイドル割り込み（SPI アイドル） 通信終了割り込み
イベントリンク機能	以下のイベントをイベントリンクコントローラ（ELC）へ出力可能： <ul style="list-style-type: none"> 受信バッファフル信号 送信バッファエンプティ信号 モードフォルト/アンダーラン/オーバーラン/パリティエラー信号 SPI アイドル信号 送信完了信号 	以下のイベントをイベントリンクコントローラ（ELC）へ出力可能： <ul style="list-style-type: none"> 受信バッファフル/受信データ準備信号 送信バッファエンプティ信号 モードフォルト/アンダーラン/オーバーラン/パリティエラー信号/受信データ準備信号 SPI アイドル信号 通信終了信号
その他	<ul style="list-style-type: none"> CMOS 出力/オープンドレイン出力の切り替え SPI の初期化機能 ループバックモード 	<ul style="list-style-type: none"> CMOS 出力/オープンドレイン出力の切り替え SPI 初期化機能 ループバックモード
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能	モジュールストップ状態への設定が可能
TrustZone フィルタ	—	セキュリティ属性を設定可能

2.27 巡回冗長検査演算器

表 2.43 に巡回冗長検査演算器の概要比較を示します。

表 2.43 巡回冗長検査演算器の概要比較

項目		RA6T1 (CRC)	RA6T2 (CRC)
データサイズ	8 ビット	8 ビット	8 ビット
	32 ビット	32 ビット	32 ビット
CRC 演算対象データ	8 ビット	8n ビット単位のデータに対し CRC コードを生成 (n = 自然数)	8n ビット単位の任意データに対し CRC コードを生成 (n = 自然数)
	32 ビット	32n ビット単位のデータに対し CRC コードを生成 (n = 自然数)	32n ビット単位の任意データに対し CRC コードを生成 (n = 自然数)
CRC 演算処理方式	8 ビット	8 ビット並列実行	8 ビット並列実行
	32 ビット	32 ビット並列実行	32 ビット並列実行
CRC 生成多項式	8 ビット	3 つの生成多項式から 1 つ選択可能 [8 ビット CRC] <ul style="list-style-type: none"> X^8+X^2+X+1 (CRC-8) [16 ビット CRC] <ul style="list-style-type: none"> $X^{16}+X^{15}+X^2+1$ (CRC-16) $X^{16}+X^{12}+X^5+1$ (CRC-CCITT) 	3 つの生成多項式から 1 つ選択可能 [8 ビット CRC] <ul style="list-style-type: none"> X^8+X^2+X+1 (CRC-8) [16 ビット CRC] <ul style="list-style-type: none"> $X^{16}+X^{15}+X^2+1$ (CRC-16) $X^{16}+X^{12}+X^5+1$ (CRC-CCITT)
	32 ビット	2 つの生成多項式から 1 つ選択可能 [32 ビット CRC] <ul style="list-style-type: none"> $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$ (CRC-32) $X^{32}+X^{28}+X^{27}+X^{26}+X^{25}+X^{23}+X^{22}+X^{20}+X^{19}+X^{18}+X^{14}+X^{13}+X^{11}+X^{10}+X^9+X^8+X^6+1$ (CRC-32C) 	2 つの生成多項式から 1 つ選択可能 [32 ビット CRC] <ul style="list-style-type: none"> $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$ (CRC-32) $X^{32}+X^{28}+X^{27}+X^{26}+X^{25}+X^{23}+X^{22}+X^{20}+X^{19}+X^{18}+X^{14}+X^{13}+X^{11}+X^{10}+X^9+X^8+X^6+1$ (CRC-32C)
CRC 演算切り替え		LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーの切り替えが可能	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。
モジュールストップ機能		モジュールストップ状態を設定して消費電力を削減可能	モジュールストップ状態を設定して消費電力を削減が可能
CRC スヌープ	8 ビット	特定のレジスタアドレスに対する読み出しと書き込みのモニタ	特定のレジスタアドレスに対する読み出しと書き込みのモニタ
	32 ビット	—	特定のレジスタアドレスに対する読み出しと書き込みのモニタ
TrustZone フィルタ		—	セキュリティ属性を設定可能

2.28 セキュア暗号エンジン

表 2.44 にセキュア暗号エンジンの概要比較を示します。

表 2.44 セキュア暗号エンジンの概要比較

項目	RA6T1 (SCE7)	RA6T2 (SCE5_B)
アクセス制御	<p>アクセス管理回路</p> <ul style="list-style-type: none"> 不正プログラムやプログラム実行の暴走により SCE7 に異常なアクセスがあった場合、この回路は後続のすべてのアクセスを遮断し、SCE7 からのデータ出力を停止します。 	<p>アクセスマネジメント回路</p> <ul style="list-style-type: none"> プログラムの改ざんや、CPU の暴走等により SCE5 への異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、SCE5 からのデータ出力を停止
暗号エンジン	<p>Advanced Encryption Standard (AES) : NIST FIPS PUB 197 アルゴリズムに準拠</p> <ul style="list-style-type: none"> キーサイズ : 128、192、256 ビット ブロックサイズ : 128 ビット 連鎖モード ECB、CBC、CTR : NIST SP 800-38A に準拠 <p>GCM : NIST SP 800-38D に準拠 XTS : NIST SP 800-38E に準拠 GCTR</p> <ul style="list-style-type: none"> 128 ビットデータに対するスループット 128 ビット鍵に対して 11PCLKB サイクル 256 ビット鍵に対して 15PCLKB サイクル <p>AES-GCM</p> <ul style="list-style-type: none"> AES-GCM は AES-GCTR と GHASH を組み合わせることにより実現 <p>Triple Data Encryption Standard (3DES)</p> <ul style="list-style-type: none"> 192 ビット鍵長 8 バイトの固定データブロックで動作 レガシーな Secure Socket Layer (SSL) および Transport Layer Security (TLS) プロトコルを使用 64 ビットデータに対するスループット 56 ビット鍵に対して 16PCLKB サイクル <p>Alleged RC4 (ARC4)</p> <ul style="list-style-type: none"> 2048 ビット鍵長 128 ビットデータに対するスループット 2048 ビット鍵に対して 16PCLKB サイクル 	<p>AES : NIST FIPS PUB 197 準拠</p> <ul style="list-style-type: none"> 鍵長 : 128 ビット、または 256 ビット データブロックサイズ : 128 ビット 暗号利用モード ECB、CBC、CTR : NIST SP 800-38A 準拠 <p>CMAC : NIST SP 800-38B 準拠 GCM : NIST SP 800-38D 準拠 XTS : NIST SP 800-38E 準拠 GCTR</p> <ul style="list-style-type: none"> 128 ビットデータのスループット 鍵長 128 ビット : PCLKA 44 サイクル 鍵長 256 ビット : PCLKA 61 サイクル (注1) <p>AES-GCM</p> <ul style="list-style-type: none"> AES-GCTR と GHASH の組み合わせで AES GCM を実現 <p>鍵の管理</p> <ul style="list-style-type: none"> ラップした鍵は、SCE5 の内部でのみ有効
乱数生成	128 ビット真正乱数発生器	32 ビット真正乱数生成回路
署名生成と認証	<p>RSA</p> <ul style="list-style-type: none"> 1024 ビットおよび 2048 ビットの鍵サイズをサポート 署名生成、署名認証、公開鍵暗号、秘密鍵暗号 	—

項目	RA6T1 (SCE7)	RA6T2 (SCE5_B)
署名生成と認証	<p>DSA</p> <ul style="list-style-type: none"> 以下の DSA 鍵サイズをサポート <ul style="list-style-type: none"> — (1024 ビット、160 ビット) — (2048 ビット、224 ビット) — (2048 ビット、256 ビット) 署名生成、署名認証 <p>ECC</p> <ul style="list-style-type: none"> P-192、P-224、P-256、および P-384 曲線をサポート 署名生成、署名認証 スカラー倍算 	—
メッセージダイジェストの計算	<p>HASH</p> <ul style="list-style-type: none"> SHA1、SHA224、SHA256、MD5 	—
ハードウェアユニークキー	—	<ul style="list-style-type: none"> 読み出し専用の 128 ビットハードウェアユニークキー (HUK) 鍵導出関数 (KDFs) は、ハードウェアユニークキーと鍵生成情報を組み合わせません。導出した鍵は、ユーザキーセキュアストレージ用にキーラッピングを実行します。 HUK の一意性は、本 MCU グループの別の個体への不正なクローン作成と不正なコピーを防止します。 HUK 自体は、ラッピングされた (暗号化され平文でない) フォーマット、隔離されたメモリ領域に格納されます。そのため、不正なアクセスやコピーから保護されます。
ユニーク ID	<ul style="list-style-type: none"> MCU 固有の ID (ユニーク ID) では、アクセス管理回路から専用バスまでアクセスが可能 ユニーク ID と鍵生成情報を組み合わせることにより、他の MCU への不正なデータコピーを防止 	<ul style="list-style-type: none"> 読み出し専用、128 ビットの MCU 個体固有 ID (ユニーク ID) をアクセス管理回路からアクセス可能 鍵導出関数 (KDFs) は、ユニーク ID と鍵生成情報を組み合わせません。このように導出されたキーは、SCE 内部で HUK をアンラップするのに使用します。
スーパーバイザモード	<ul style="list-style-type: none"> スーパーバイザモード信号はアクセス管理回路に接続されており、スーパーバイザモードでのみ SCE7 を制御できるようにするのに使用 	—
低消費電力	モジュールストップ状態の設定が可能	モジュールストップ状態の設定が可能

注1. SCE5 ライブラリ呼び出しのオーバーヘッドは含みません。

2.29 12 ビット A/D コンバータ

表 2.45 に 12 ビット A/D コンバータの概要比較を示します。

表 2.45 12 ビット A/D コンバータの概要比較

項目	RA6T1 (ADC12)	RA6T2 (ADC_B)
ユニット数	2 ユニット (0 および 1)	2 ユニット (ユニット 0 およびユニット 1)
入力チャンネル	<ul style="list-style-type: none"> ● ユニット 0 : 最大 11 チャンネル ● ユニット 1 : 最大 8 チャンネル (うち各 2 チャンネルは端子共用) 	<ul style="list-style-type: none"> ● 最大 29 本のアナログ入力チャンネル <ul style="list-style-type: none"> — A/D コンバータユニット 0 : 最大 21 本のアナログ入力チャンネル — A/D コンバータユニット 1 : 最大 17 本のアナログ入力チャンネル — 9 本のアナログ入力チャンネルは、A/D コンバータユニット 0 とユニット 1 で共用
拡張アナログ機能	温度センサ出力、内部基準電圧	自己診断、温度センサー、内部基準電圧、D/A コンバータ (DA0~DA3)
A/D 変換方式	逐次比較方式	逐次比較方式
A/D コンバータの分解能	12 ビット (12 ビット、10 ビット、8 ビット変換から選択可能)	12 ビット
変換時間	A/D 変換クロック PCLKC (ADCLK) が 60MHz で動作時、1 チャンネル当たり 0.4 μ s	1 チャンネル当たり 0.16 μ s (A/D 変換クロック ADCLK = 50 MHz の場合)
A/D 変換クロック	周辺モジュールクロック PCLKB ^(注1) と A/D 変換クロック PCLKC (ADCLK) ^(注1) を以下の分周比で設定可能 PCLKB : PCLKC (ADCLK) 分周比 = 1:1、2:1、4:1、8:1、1:2、1:4	A/D 変換クロック (ADCLK) を設定するには、クロックソースと分周比を以下から選択 <ul style="list-style-type: none"> ● クロックソース : 周辺モジュールクロック PCLKC、周辺モジュールクロック PCLKA、GPT クロック GPTCLK ● 分周比 : 1/2/3/4/5/6/7/8 A/D 変換クロック (ADCLK) は、最小 25MHz から最大 60MHz の間で動作可能
A/D 変換データ	<ul style="list-style-type: none"> ● アナログ入力用 19 本 (ユニット 0 : 11 本、ユニット 1 : 8 本)、ダブルトリガモードでの A/D 変換データ 2 重化用 1 本/各ユニット、ダブルトリガモード拡張動作時の A/D 変換データ 2 重化用 2 本/各ユニット ● 温度センサ出力用 1 本 ● 内部基準電圧用 1 本 ● 自己診断用 1 本 ● A/D 変換結果を A/D データレジスタに保持 ● A/D 変換結果の 8、10、12 ビット精度出力対応 ● A/D 変換値加算モード (A/D 変換結果の加算値を変換精度ビット数+2 ビットで A/D データレジスタに保持)^(注3) ● ダブルトリガモード (シングルスキャンとグループスキャンモードで選択可能) 選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに保持、2 回目の A/D 変換データは 2 重化レジスタに保持 	<ul style="list-style-type: none"> ● A/D 変換結果は、データレジスタまたは FIFO に格納 ● A/D 変換結果は、16 ビット、14 ビット、12 ビット、および 10 ビットのデータフォーマットで提供

項目	RA6T1 (ADC12)	RA6T2 (ADC_B)
A/D 変換データ	<ul style="list-style-type: none"> ダブルトリガモード拡張動作（特定トリガ種別で有効） 選択した 1 つのチャンネルのアナログ入力の A/D 変換データを関連するトリガに準備した 2 重化レジスタに保持 	
動作モード	<ul style="list-style-type: none"> シングルスキャンモード <ul style="list-style-type: none"> 任意に選択したチャンネルのアナログ入力、温度センサ出力、内部基準電圧を 1 回のみ A/D 変換 連続スキャンモード <ul style="list-style-type: none"> 任意に選択したチャンネルのアナログ入力、温度センサ出力、内部基準電圧を繰り返し A/D 変換 グループスキャンモード <ul style="list-style-type: none"> 任意に選択したチャンネル（グループ A とグループ B に分割）のアナログ入力、温度センサ出力、内部基準電圧を 1 回のみ A/D 変換 グループ A とグループ B のスキャン開始条件を個別に選択することで、グループ A とグループ B の A/D 変換をそれぞれ異なるタイミングで開始することが可能 グループスキャンモード（グループ A 優先制御選択時） <ul style="list-style-type: none"> グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を実行 グループ A の A/D 変換動作終了後にグループ B の A/D 変換動作の再実行（再スキャン）の設定が可能 	<ul style="list-style-type: none"> シングルスキャンモード <ul style="list-style-type: none"> 任意に選択されたアナログ入力または拡張アナログ機能のアナログチャンネルを任意のスキャングループ^(注4)に割り当て、選択されたアナログ入力を 1 つのスキャングループにつき 1 度だけ A/D 変換 スキャン開始条件をスキャングループごとに別々に選択することで、各スキャングループの A/D 変換を異なるタイミングで開始可能 連続スキャンモード <ul style="list-style-type: none"> 任意に選択されたアナログ入力または拡張アナログ機能のアナログチャンネルを任意のスキャングループ^(注4)に割り当て、スキャングループ単位で A/D 変換を繰り返す
A/D 変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ イベントリンクコントローラ (ELC) からの同期トリガ 外部トリガ ADTRG0 端子 (ユニット 0) および ADTRG1 端子 (ユニット 1) による非同期トリガ 	<ul style="list-style-type: none"> ソフトウェアトリガ (スキャングループの同時起動用: 最大 9 トリガ) ソフトウェアトリガ (各スキャングループの起動用: 最大 9 トリガ) イベントリンクコントローラからのトリガ: 6 トリガ GPT からのトリガ: 20 トリガ 外部トリガ入力: 2 トリガ (ADTRGn 入力 (n = 0, 1))
機能	<ul style="list-style-type: none"> 専用サンプル&ホールド機能 (3ch: ユニット 0 および 1、常時サンプリング設定可能) サンプリングステート数可変機能 ADC12 の自己診断機能 	<ul style="list-style-type: none"> 仮想チャンネル機能 (37 仮想チャンネル) スキャングループ機能 (最大 9 スキャングループ) チャンネル専用サンプル&ホールド回路 (SH) (A/D コンバータユニット 0 には SH ユニットが 3 つ、A/D コンバータユニット 1 には SH ユニットが 3 つ) 可変サンプリング時間 (1 本の仮想チャンネルごとに 16 テーブルから選択) A/D コンバータの自己診断機能

項目	RA6T1 (ADC12)	RA6T2 (ADC_B)
機能	<ul style="list-style-type: none"> ● A/D 変換値加算モードと平均モードが選択可能 ● アナログ入力断線検出機能 (ディスチャージ機能/プリチャージ機能) ● ダブルトリガモード (A/D 変換データ 2 重化機能) ● 12/10/8 ビット変換切り替え機能 (注2) ● A/D データレジスタオートクリア機能 ● デジタルコンペア機能 (コンペアレジスタとデータレジスタとの比較、データレジスタ間の比較) 	<ul style="list-style-type: none"> ● A/D 変換値加算モードと平均モードが選択可能 ● アナログ入力断線検出アシスト機能 (ディスチャージ機能およびプリチャージ機能) ● データフォーマットを 16 ビット、14 ビット、12 ビット、10 ビットから選択可能 ● リミッタークリップ機能 (最大 8 テーブル) ● コンペアマッチ機能 (最大 8 テーブル) ● 自己校正機能 ● ユーザーゲイン調整機能 ● ユーザーオフセット調整機能 ● FIFO 内蔵 (1 つのスキャングループにつき 8 ステージ) ● 複数 A/D コンバータユニット対ユニット同期動作機能
プログラマブルゲインアンプ	<ul style="list-style-type: none"> ● A/D 変換を可能にするアナログ入力信号を増幅 (3ch : ユニット 0 および 1) ● シングルエンド入力および疑似差動入力に対応 	<ul style="list-style-type: none"> ● アナログ入力信号をプログラマブルゲインアンプ (PGA) で増幅し、A/D 変換を行うことが可能 (A/D コンバータユニット 0 には PGA が 3 つ、A/D コンバータユニット 1 には PGA が 1 つ) ● シングルエンド入力または疑似差動入力をサポート ● PGA 出力用端子を介したモニタ機能
割り込み要因および ELC イベント	<ul style="list-style-type: none"> ● ADC12i_ADI : A/D スキャン終了割り込み ● ADC12i_GBADI : グループ B の A/D スキャン終了割り込み ● ADC12i_CMPAI : ウィンドウ A のコンペアマッチ ● ADC12i_CMPBI : ウィンドウ B のコンペアマッチ ● ADC12i_WCMPPM : コンペアマッチ ● ADC12i_WCMPUM : コンペア不一致 	<ul style="list-style-type: none"> ● A/D スキャン終了割り込み <ul style="list-style-type: none"> — スキャングループ i の A/D スキャン動作終了時、割り込み要求および ELC イベントを生成 (ADC_ADII (i = 0~4))。割り込み要求は各スキャングループで独立。 — スキャングループ 5~8 のうち、どれかの A/D スキャン動作終了時、割り込み要求および ELC イベントを生成 (ADC_ADI5678)。割り込み要求はスキャングループ 5~8 で共有。 ● FIFO データ読み出し要求割り込み <ul style="list-style-type: none"> — スキャングループ i の FIFO の空きステージ数が指定値以下になった場合、割り込み要求を生成 (ADC_FIFOREQi (i = 0~4))。割り込み要求は各スキャングループで独立。 — スキャングループ 5~8 のうち、いずれかの FIFO の空きステージ数が指定値以下になった場合、割り込み要求または ELC イベントを生成 (ADC_FIFOREQ5678)。割り込み要求はスキャングループ 5~8 で共有。

項目	RA6T1 (ADC12)	RA6T2 (ADC_B)
割り込み要因 および ELC イベント		<ul style="list-style-type: none"> ● FIFO データオーバーフロー割り込み <ul style="list-style-type: none"> — スキャングループ 0~8 の FIFO のどれかでオーバーフローが発生した場合、割り込み要求を生成 (ADC_FIFOOVF) ● リミッタークリップ割り込み <ul style="list-style-type: none"> — A/D 変換結果に対し、リミッターテーブル 0~7 を使用するリミッタークリップが発生した場合、割り込み要求を生成 (ADC_LIMCLPI) ● コンペアマッチ割り込み <ul style="list-style-type: none"> — A/D 変換結果に対し、コンペアマッチテーブル j を使用するコンペアマッチが発生した場合、割り込み要求を生成 (ADC_CMPIj (j = 0~3))。割り込み要求は各コンペアマッチテーブルで独立。 ● 複合コンペアマッチ割り込み <ul style="list-style-type: none"> — コンペアマッチテーブル 0~7 を使用した複合条件のコンペアマッチが発生した場合、割り込み要求と ELC イベントを生成 (ADC_CCMPMm (m = 0, 1)) ● A/D コンバータエラー割り込み <ul style="list-style-type: none"> — A/D コンバータユニット j で動作エラーが検出された場合、割り込み要求を生成 (ADC_ERRj (j = 0, 1)) ● A/D 変換オーバーフロー割り込み <ul style="list-style-type: none"> — A/D 変換結果オーバーフローが発生した場合、割り込み要求を生成 (ADC_RESOVFj (j = 0, 1))。割り込み要求は A/D コンバータユニット j ごとに独立。 ● A/D コンバータ校正終了割り込み <ul style="list-style-type: none"> — A/D コンバータユニット j の校正動作終了時、割り込み要求を生成 (ADC_CALENDj (j = 0, 1)) ● イベント生成 <ul style="list-style-type: none"> — スキャングループ 0~4 の各スキャン動作終了時、イベントを生成 — スキャングループ 5~8 のうち、どれかのスキャン動作終了時、イベントを生成 — 複合コンペアマッチが発生した場合、イベントを生成
ELC インタフェース	ELC からのトリガでスキャン開始可能	<ul style="list-style-type: none"> ● トリガ入力 <ul style="list-style-type: none"> — ELC からのトリガでスキャン開始可能
バスインタフェース	周辺クロック (PCLKB) とバスクロック同期 (最大周波数 = 60MHz)	—
基準電圧	<ul style="list-style-type: none"> ● ユニット 0 : <ul style="list-style-type: none"> — VREFH0 は高電位基準電圧 — VREFL0 は低電位基準電圧 ● ユニット 1 : <ul style="list-style-type: none"> — VREFH は高電位基準電圧 — VREFL は低電位基準電圧 	VREFH0 はアナログ基準電圧 VREFL0 はアナログ基準グラウンド

項目	RA6T1 (ADC12)	RA6T2 (ADC_B)
モジュール ストップ機能	モジュールストップ状態に設定して消費電力を削減	モジュールストップ状態に設定して消費電力を削減

- 注1. 周辺モジュールクロック PCLKB は SCKDIVCR.PCKB[2:0]ビットに指定し、A/D 変換クロック ADCLK は SCKDIVCR.PCKC[2:0]ビットに指定します（ユニット 0 および 1）。
- 注2. A/D 変換精度を変えた場合、A/D 変換時間も変わります。
- 注3. 加算用の拡張ビット数は、A/D 変換精度および加算回数によって異なります。A/D 変換精度が 8、10、または 12 ビットの場合、2 ビット拡張は最大で変換 4 回（加算 3 回）となります。A/D 変換精度が 12 ビットの場合、4 ビット拡張は変換 16 回（加算 15 回）となります。
- 注4. 1 つのスキャングループに最大 8 チャンネルを割り当て可能です。

2.30 12 ビット D/A コンバータ

表 2.46 に 12 ビット D/A コンバータの概要比較を示します。

表 2.46 12 ビット D/A コンバータの概要比較

項目	RA6T1 (DAC12)	RA6T2 (DAC12)
分解能	12 ビット	12 ビット
出力チャンネル	2 チャンネル	4 チャンネル
アナログモジュール間の干渉低減	D/A 変換と A/D 変換の干渉を最小化するための対策 <ul style="list-style-type: none"> ADC12 (ユニット 1) が出力する ADC12 同期 D/A 変換許可入力信号により、D/A 変換データの更新タイミングを制御する DAC12 のインラッシュカレント発生タイミングを許可信号で制御し、干渉による A/D 変換精度の劣化を低減する 	—
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能	モジュールストップ状態に設定して消費電力を削減
イベントリンク機能 (入力)	イベント信号の入力により、DA0 および DA1 変換の開始が可能	イベント信号の入力により、DA0、DA1、DA2 および DA3 変換の開始が可能
D/A 出力アンプ制御機能	出力アンプ (アンプスルー制御およびアンプバイアス制御) の使用/不使用を制御	出力アンプ (アンプスルー制御およびアンプバイアス制御) の使用/不使用を制御
D/A 出力の出力先制御機能	外部端子への出力を使用するか内部モジュール (ACMPHS) への出力を使用するかを制御	外部端子への出力を使用するか内部モジュール (ACMPHS) への出力を使用するかを制御
TrustZone フィルタ	—	セキュリティ属性を設定可能

2.31 温度センサ回路

表 2.47 に温度センサ回路の概要比較を示します。

表 2.47 温度センサ回路の概要比較

項目	RA6T1 (TSN)	RA6T2 (TSN)
温度センサ電圧出力	12 ビット A/D コンバータ (ADC12) に電圧を出力	12 ビット A/D コンバータに電圧を出力
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減	消費電力低減のためにモジュールストップ状態を設定可能です。
温度センサ校正データ	工場出荷時にチップごとに測定した基準となるデータを格納	工場出荷時に個々のチップごとに測定した基準データをレジスタに格納
TrustZone フィルタ	—	セキュリティ属性を設定可能

2.32 高速アナログコンパレータ

表 2.48 に高速アナログコンパレータの概要比較を、表 2.49 に高速アナログコンパレータの入力電源構成比較を示します。

表 2.48 高速アナログコンパレータの概要比較

項目	RA6T1 (ACMPHS)	RA6T2 (ACMPHS)
チャンネル数	6 チャンネル : ACMPHS0~ACMPHS3、 ACMPHS4、ACMPHS5	4 チャンネル : ACMPHSn (n = 0~3)
アナログ入力電圧	<ul style="list-style-type: none"> 内部 PGA から出力 内部 D/A コンバータから出力 内部 A/D コンバータ入力端子 (1 つを選択可能) から入力 	<ul style="list-style-type: none"> 内蔵 PGA からの出力 内蔵 A/D コンバータ入力ピンからの入力 (1 ピン選択)
基準電圧	<ul style="list-style-type: none"> 内部基準電圧 (Vref) 内部 D/A コンバータから出力 内部 A/D コンバータ入力端子 (1 つを選択可能) から入力 	<ul style="list-style-type: none"> 内蔵 D/A コンバータからの出力 内蔵 A/D コンバータ入力ピンからの入力 (1 ピン選択)
ACMPHS 出力	<ul style="list-style-type: none"> 比較結果 ELC イベント出力の発生 レジスタからの出力監視 	<ul style="list-style-type: none"> 比較結果 ELC イベント出力の発生 レジスタからの出力監視
割り込み要求信号	<ul style="list-style-type: none"> 比較結果からの有効エッジ検出時に生成された割り込み要求 立ち上がりエッジ、立ち下がりエッジ、両エッジを選択可能 	<ul style="list-style-type: none"> 比較結果の有効エッジ検出時に割り込み要求発生 立ち上がりエッジ、立ち下がりエッジ、両エッジを選択可能
デジタルフィルタ機能	<ul style="list-style-type: none"> 3 つのサンプリング周波数から 1 つを選択可能 フィルタ機能不使用の選択可能 	<ul style="list-style-type: none"> 3 つのサンプリング周波数から 1 つ選択可能 フィルタ機能不使用を選択可能

表 2.49 高速アナログコンパレータの入力電源構成比較

項目		RA6T1 (ACMPHS)	RA6T2 (ACMPHS)
ACMPHS0	基準電圧 入力電源	IVREF3 : DA0 (注1) IVREF2 : Vref (注2) IVREF1 : AN116 IVREF0 : AN016	IVREF3 : DA0 IVREF2 : DA3 IVREF1 : AN017 IVREF0 : AN016
	アナログ 電圧入力 電源	IVCMP3 : PGA0 出力 (注5) IVCMP2 : AN000 (注3) (注5) IVCMP1 : DA1 (注4) IVCMP0 : AN017	IVCMP3 : PGA0 出力 IVCMP2 : AN000 IVCMP1 : — IVCMP0 : AN012
	出力端子	VCOUT (注6)	VCOUT (注6)、CMPOUT012 (注7)、 CMPOUT0
ACMPHS1	基準電圧 入力電源	IVREF3 : DA0 (注1) IVREF2 : Vref (注2) IVREF1 : AN116 IVREF0 : AN016	IVREF3 : DA1 IVREF2 : DA3 IVREF1 : AN017 IVREF0 : AN016
	アナログ 電圧入力 電源	IVCMP3 : PGA1 出力 (注5) IVCMP2 : AN001 (注3) (注5) IVCMP1 : DA1 (注4) IVCMP0 : AN017	IVCMP3 : PGA1 出力 IVCMP2 : AN002 IVCMP1 : — IVCMP0 : AN013
	出力端子	VCOUT (注6)	VCOUT (注6)、CMPOUT012 (注7)、 CMPOUT1
ACMPHS2	基準電圧 入力電源	IVREF3 : DA0 (注1) IVREF2 : Vref (注2) IVREF1 : AN116 IVREF0 : AN016	IVREF3 : DA2 IVREF2 : DA3 IVREF1 : AN017 IVREF0 : AN016
	アナログ 電圧入力 電源	IVCMP3 : PGA2 出力 (注5) IVCMP2 : AN002 (注3) (注5) IVCMP1 : DA1 (注4) IVCMP0 : AN017	IVCMP3 : PGA2 出力 IVCMP2 : AN004 IVCMP1 : — IVCMP0 : AN014
	出力端子	VCOUT (注6)	VCOUT (注6)、CMPOUT012 (注7)、 CMPOUT2
ACMPHS3	基準電圧 入力電源	IVREF3 : DA0 (注1) IVREF2 : Vref (注2) IVREF1 : AN116 IVREF0 : AN016	IVREF3 : DA3 IVREF2 : DA2 IVREF1 : AN017 IVREF0 : AN016
	アナログ 電圧入力 電源	IVCMP3 : PGA3 出力 (注5) IVCMP2 : AN100 (注3) (注5) IVCMP1 : DA1 (注4) IVCMP0 : AN017	IVCMP3 : PGA3 出力 IVCMP2 : AN018 IVCMP1 : — IVCMP0 : AN015
	出力端子	VCOUT (注6)	VCOUT (注6)、CMPOUT3
ACMPHS4	基準電圧 入力電源	IVREF3 : DA0 (注1) IVREF2 : Vref (注2) IVREF1 : AN116 IVREF0 : AN016	—
	アナログ 電圧入力 電源	IVCMP3 : PGA4 出力 (注5) IVCMP2 : AN101 (注3) (注5) IVCMP1 : DA1 (注4) IVCMP0 : AN017	—
	出力端子	VCOUT (注6)	—

項目		RA6T1	RA6T2
ACMPHS5	基準電圧 入力電源	IVREF3 : DA0 (注1) IVREF2 : Vref (注2) IVREF1 : AN116 IVREF0 : AN016	—
	アナログ 電圧入力 電源	IVCMP3 : PGA5 出力 (注5) IVCMP2 : AN102 (注3) (注5) IVCMP1 : DA1 (注4) IVCMP0 : AN017	
	出力端子	VCOUT (注6)	

- 注1. D/A コンバータ 0 出力を使用しない場合、AN005/AN105 アナログ入力として信号を使用できます。
- 注2. 内部電圧基準。
- 注3. 入力は PGA を経由するため、対応するモジュールストップビット、MSTPCRD.MSTPD16 (ユニット 0)、または MSTPCRD.MSTPD15 (ユニット 1) を 0 にする必要があります。
- 注4. D/A コンバータ 1 出力を使用しない場合、AN006/AN106 アナログ入力として信号を使用できます。
- 注5. ADC12 の設定が必要です。
- 注6. 比較出力は VCOUT 端子に束ねられています。
- 注7. 比較出力は CMPOUT012 端子に束ねられています。

2.33 データ演算回路

表 2.50 にデータ演算回路の概要比較を示します。

表 2.50 データ演算回路の概要比較

項目	RA6T1 (DOC)	RA6T2 (DOC)
データ演算機能	16 ビットデータの比較、加算、または減算	16 または 32 ビットデータの比較、スレッシュホールドを上回るデータまたは下回るデータを検出するための比較、および 16 または 32 ビットデータの加算と減算のウィンドウ比較
モジュールストップ機能	モジュール停止状態に設定して消費電力を削減	モジュールストップ状態に設定して消費電力を削減
割り込みとイベントリンク機能	割り込みの発生条件 <ul style="list-style-type: none"> データ比較の結果が一致または不一致のとき データ加算の結果が FFFFh より大きくなったとき データ減算の結果が 0000h より小さくなったとき 	割り込み : <ul style="list-style-type: none"> 比較した値が検出基準に一致している データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000h (DOCR.DOBW = 1) より小さい イベントリンク機能 (出力) : <ul style="list-style-type: none"> データ比較の結果が検出条件に一致している データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい
TrustZone フィルタ	—	セキュリティ属性を設定できます。

2.34 SRAM

表 2.51 に SRAM の概要比較を示します。

表 2.51 SRAM の概要比較

項目	RA6T1	RA6T2
SRAM 容量	SRAMHS : 64KB	SRAM0:64KB
SRAM アドレス	SRAMHS : 1FFE 0000h~1FFE FFFFh	SRAM0:0x2000_0000~0x2000_FFFF
アクセス	SRAMHS へのアクセスは、常にウェイトステートなしになります。	ウェイトステートはリードサイクルに挿入されません。
データ保持機能	ディープソフトウェアスタンバイモード時のデータ保持機能なし	ディープソフトウェアスタンバイモード時は使用不可
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減	消費電力低減のためにモジュールストップ状態を設定可能です。
パリティ	偶数パリティ (データ : 8 ビット、パリティ : 1 ビット)	—
エラーチェック機能	偶数パリティエラーチェック	SEC-DED (Single-Error Correction および Double-Error Detection Code)
セキュリティ	—	TrustZone フィルタはメモリアクセスと SFR アクセスに対して、統合されます。メモリ空間へのアクセスはメモリのセキュリティ属性 (SA) の設定により、制御されます。I/O 空間 (SFR) へのアクセスはレジスタのセキュリティ属性 (SA) の設定により、制御されます。

2.35 フラッシュメモリ

表 2.52～表 2.53 にフラッシュメモリの概要比較を示します。

表 2.52 フラッシュメモリの概要比較（コードフラッシュメモリの仕様）

項目	RA6T1	RA6T2
メモリ容量	ユーザ領域：最大 512KB	ユーザ領域：最大 512KB
リードサイクル	<ul style="list-style-type: none"> 80MHz<ICLK 周波数≤120MHz キャッシュヒット：1 サイクル キャッシュミス：3 サイクル 40MHz<ICLK 周波数≤80MHz キャッシュヒット：1 サイクル キャッシュミス：2 サイクル ICLK 周波数≤40MHz キャッシュヒット：1 サイクル キャッシュミス：1 サイクル 	<ul style="list-style-type: none"> CPU キャッシュヒット：1 サイクル CPU キャッシュ無効またはミス： フラッシュキャッシュヒット：3 サイクル フラッシュキャッシュ無効またはミス： — (FLWT = 0x00) 3 サイクル — (FLWT = 0x01) 4 サイクル
イレース後の値	FFh	0xFF
プログラム／イレース方式	<ul style="list-style-type: none"> FACI コマンド発行領域（407E 0000h）に設定した FACI コマンドで、コードフラッシュメモリ／データフラッシュメモリのプログラム／イレースが可能 専用フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム（シリアルプログラミング） ユーザプログラムによるフラッシュメモリのプログラム（セルフプログラミング） 	<ul style="list-style-type: none"> FACI コマンド発行領域（0x407E_0000）に設定した FACI コマンドで、コードフラッシュメモリおよびデータフラッシュメモリのプログラム／イレース、オプション設定メモリのプログラムが可能（セルフプログラミング） シリアルプログラマによるシリアルインタフェース通信を介したプログラム／イレース（シリアルプログラミング）
プロテクション機能	フラッシュメモリの誤オーバーライトを防止	フラッシュメモリの誤書き換えを防止
BGO（バックグラウンドオペレーション）機能	<ul style="list-style-type: none"> コードフラッシュメモリのプログラム中にデータフラッシュメモリの読み出しが可能 データフラッシュメモリのプログラム中にコードフラッシュメモリの読み出しが可能 	<ul style="list-style-type: none"> コードフラッシュメモリのプログラム／イレース中にデータフラッシュメモリの読み出しが可能 データフラッシュメモリのプログラム／イレース中にコードフラッシュメモリの読み出しが可能
プログラム／イレース単位	<ul style="list-style-type: none"> ユーザ領域へのプログラム：128 バイト単位 ユーザ領域のイレース：ブロック単位 	<ul style="list-style-type: none"> ユーザ領域へのプログラム：128 バイト ユーザ領域のイレース：ブロック単位
その他の機能	<p>セルフプログラミング中の割り込み受け付け可能</p> <p>本 MCU の初期設定でフラッシュメモリ拡張領域（オプションバイト）の設定可能</p>	<p>セルフプログラミング中の割り込み受け付け可能</p> <p>本 MCU の初期設定でオプション設定メモリの拡張領域の設定可能</p>
オンボードプログラミング（3 種類）	<p>シリアルプログラミングモード（SCI ブートモード）でのプログラム</p> <ul style="list-style-type: none"> 調歩同期式シリアルインタフェース（SCI9）を使用 転送速度は自動調整 	<p>ブートモード（SCI インタフェース）でのプログラム／イレース</p> <ul style="list-style-type: none"> 調歩同期式シリアルインターフェース（SCI9）を使用 通信速度は自動調整

項目	RA6T1	RA6T2
オンボードプログラミング (3種類)	<p>オンチップデバッグモードによるプログラム</p> <ul style="list-style-type: none"> JTAG/SWD インタフェースを使用 専用ハードウェアは必要なし <p>ユーザプログラム中のコードフラッシュメモリ/データフラッシュメモリ書き換えルーチンによるプログラム</p> <ul style="list-style-type: none"> システムをリセットすることなくコードフラッシュメモリ/データフラッシュメモリのプログラムが可能 	<p>オンチップデバッグモードによるプログラム/イレース</p> <ul style="list-style-type: none"> JTAG/SWD インタフェースを使用 <p>セルフプログラミングによるプログラム/イレース</p> <ul style="list-style-type: none"> システムをリセットすることなくコードフラッシュメモリのプログラム/イレースが可能
ユニーク ID	—	各 MCU に 16 バイトの ID を提供
FACI コマンド	—	<p>プログラム : 128 バイト</p> <p>ブロックイレース : 1 ブロック (8KB または 32KB)</p> <p>P/E サスペンド</p> <p>P/E レジューム</p> <p>強制停止</p> <p>ステータスクリア</p> <p>コンフィグレーション設定 (16 バイト)</p>
セキュリティ機能	フラッシュメモリの不正改ざん/不正リードを防止	<p>フラッシュメモリの不正改ざん/不正リードを防止</p> <p>スタートアップ領域選択設定保護</p> <ul style="list-style-type: none"> BTFLG レジスタおよび FSUACR レジスタは FSPR ビットにより保護 <p>永久ブロック保護設定保護</p> <ul style="list-style-type: none"> コードフラッシュメモリは、永久ブロック保護機能によりプログラム/イレース動作から永久に保護されます <p>TrustZone のフラッシュメモリ保護</p> <ul style="list-style-type: none"> フラッシュメモリ領域の保護 (P/E) フラッシュメモリ領域の保護 (読み出し) レジスタの保護 FACI コマンド動作中の保護 コードフラッシュ P/E モードエントリ保護
セーフティ機能	<p>ソフトウェアプロテクション</p> <p>エラープロテクション</p> <p>ブートプログラムプロテクション</p> <ul style="list-style-type: none"> スタートアップ領域選択機能によりユーザはブートファームウェアを安全に更新できますスタートアップ領域のサイズは 8KB です 	<p>ソフトウェアプロテクション</p> <ul style="list-style-type: none"> FENTRYR レジスタによる FACI コマンド保護 FWEPROR レジスタによるフラッシュメモリ保護 ブロック保護設定によるユーザ領域保護 <p>エラープロテクション</p> <ul style="list-style-type: none"> 意図しないコマンドまたは禁止された設定が行われるとエラーが検出されますエラー検出後 FACI コマンドは受け付けられません <p>ブート領域プロテクション</p> <ul style="list-style-type: none"> スタートアップ領域選択機能によりユーザはブートファームウェアを安全に更新できますスタートアップ領域のサイズは 8KB です

項目	RA6T1	RA6T2
割り込み要求	<ul style="list-style-type: none"> FCU_FRDYI FCU_FIFERR 	<ul style="list-style-type: none"> FRDYI (フラッシュシーケンサレディ (処理終了)) : FRDYIE ビットにより許可 FIFERR (フラッシュシーケンサエラー) : CFAEIE/CMDLKIE/DFAEIE ビットにより許可
アドレス変換	<ul style="list-style-type: none"> スタートアップ領域選択機能をサポート 	<ul style="list-style-type: none"> スタートアップ領域選択機能をサポート

表 2.53 フラッシュメモリの概要比較 (データフラッシュメモリの仕様)

項目	RA6T1	RA6T2
メモリ容量	データ領域 : 8KB	データ領域 : 16KB
リードサイクル	ワードまたはバイトアクセス時には FCLK7 サイクルでのリード (FCLK 周波数は最高 60MHz)	<ul style="list-style-type: none"> CPU キャッシュヒット : 1 サイクル CPU キャッシュ無効またはミス : <ul style="list-style-type: none"> (FCKMHZ = 0x00~0x09) Min: 2ICLK+3FCLK Max: (n+1) ICLK+3FCLK (FCKMHZ = 0x0A~0x13) Min: 2ICLK+4FCLK Max: (n+1) ICLK+4FCLK (FCKMHZ = 0x14~0x1D) Min: 2ICLK+5FCLK Max: (n+1) ICLK+5FCLK (FCKMHZ = 0x1E~0x27) Min: 2ICLK+6FCLK Max: (n+1) ICLK+6FCLK (FCKMHZ = 0x28~0x31) Min: 2ICLK+7FCLK Max: (n+1) ICLK+7FCLK (FCKMHZ = 0x32~0x3B) Min: 2ICLK+8FCLK Max: (n+1) ICLK+8FCLK (FCKMHZ = 0x3C) Min: 2ICLK+9FCLK Max: (n+1) ICLK+9FCLK
イレース後の値	不定	不定
プログラム/イレース方式	<ul style="list-style-type: none"> FACI コマンド発行領域 (407E 0000h) に設定した FACI コマンドで、コードフラッシュメモリ/データフラッシュメモリのプログラム/イレースが可能 専用フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム (シリアルプログラミング) ユーザプログラムによるフラッシュメモリのプログラム (セルフプログラミング) 	<ul style="list-style-type: none"> FACI コマンド発行領域 (0x407E_0000) に設定した FACI コマンドで、コードフラッシュメモリおよびデータフラッシュメモリのプログラム/イレース、オプション設定メモリのプログラムが可能 (セルフプログラミング) シリアルプログラマによるシリアルインタフェース通信を介したプログラム/イレース (シリアルプログラミング)
プロテクション機能	フラッシュメモリの誤オーバーライトを防止	フラッシュメモリの誤書き換えを防止

注. 周波数比 ICLK:FCLK が n:1 の場合

項目	RA6T1	RA6T2
BGO (バックグラウンドオペレーション) 機能	<ul style="list-style-type: none"> コードフラッシュメモリのプログラム中にデータフラッシュメモリの読み出しが可能 データフラッシュメモリのプログラム中にコードフラッシュメモリの読み出しが可能 	<ul style="list-style-type: none"> コードフラッシュメモリのプログラム/イレース中にデータフラッシュメモリの読み出しが可能 データフラッシュメモリのプログラム/イレース中にコードフラッシュメモリの読み出しが可能
プログラム/イレース単位	<ul style="list-style-type: none"> データ領域へのプログラム: 4/8/16 バイト単位 データ領域のイレース: 64/128/256 バイト単位 	<ul style="list-style-type: none"> データ領域へのプログラム: 4/8/16 バイト データ領域のイレース: 64/128/256 バイト
その他の機能	セルフプログラミング中の割り込み受け付け可能	セルフプログラミング中の割り込み受け付け可能
	本 MCU の初期設定でフラッシュメモリ拡張領域 (オプションバイト) の設定可能	本 MCU の初期設定でオプション設定メモリの拡張領域の設定可能
オンボードプログラミング (3 種類)	シリアルプログラミングモード (SCI ブートモード) でのプログラム <ul style="list-style-type: none"> 調歩同期式シリアルインターフェース (SCI9) を使用 転送速度は自動調整 オンチップデバッグモードによるプログラム <ul style="list-style-type: none"> JTAG/SWD インターフェースを使用 専用ハードウェアは必要なし ユーザプログラム中のコードフラッシュメモリ/データフラッシュメモリ書き換えルーチンによるプログラム <ul style="list-style-type: none"> システムをリセットすることなくコードフラッシュメモリ/データフラッシュメモリのプログラムが可能 	ブートモード (SCI インターフェース) でのプログラム/イレース <ul style="list-style-type: none"> 調歩同期式シリアルインターフェース (SCI9) を使用 通信速度は自動調整 オンチップデバッグモードによるプログラム/イレース <ul style="list-style-type: none"> JTAG/SWD インターフェースを使用 セルフプログラミングによるプログラム/イレース <ul style="list-style-type: none"> システムをリセットすることなくコードフラッシュメモリのプログラム/イレースが可能
ユニーク ID	—	各 MCU に 16 バイトの ID を提供
FACI コマンド	—	プログラム: 4/8/16 バイト ブロックイレース: 1 ブロック (64 バイト) マルチブロックイレース: 64/128/256 バイト P/E サスペンド P/E レジューム 強制停止 ブランクチェック: 4 バイト~データフラッシュメモリ容量 ステータスクリア
セキュリティ機能	フラッシュメモリの不正改ざん/不正リードを防止	フラッシュメモリの不正改ざん/不正リードを防止 スタートアップ領域選択設定保護 <ul style="list-style-type: none"> BTFLG レジスタおよび FSUACR レジスタは FSPR ビットにより保護 永久ブロック保護設定保護 <ul style="list-style-type: none"> コードフラッシュメモリは、永久ブロック保護機能によりプログラム/イレース動作から永久に保護されます

項目	RA6T1	RA6T2
セキュリティ機能		TrustZone のフラッシュメモリ保護 <ul style="list-style-type: none"> フラッシュメモリ領域の保護 (P/E) フラッシュメモリ領域の保護 (読み出し) レジスタの保護 FACI コマンド動作中の保護 コードフラッシュ P/E モードエントリ保護
セーフティ機能	ソフトウェアプロテクション エラープロテクション ブートプログラムプロテクション <ul style="list-style-type: none"> スタートアップ領域選択機能によりユーザはブートファームウェアを安全に更新できますスタートアップ領域のサイズは 8KB です 	ソフトウェアプロテクション <ul style="list-style-type: none"> FENTRYR レジスタによる FACI コマンド保護 FWEPROR レジスタによるフラッシュメモリ保護 ブロック保護設定によるユーザ領域保護 エラープロテクション <ul style="list-style-type: none"> 意図しないコマンドまたは禁止された設定が行われるとエラーが検出されますエラー検出後 FACI コマンドは受け付けられません ブート領域プロテクション <ul style="list-style-type: none"> スタートアップ領域選択機能によりユーザはブートファームウェアを安全に更新できますスタートアップ領域のサイズは 8KB です
割り込み要求	<ul style="list-style-type: none"> FCU_FRDYI : FRDYIE ビットにより許可 (注1) FCU_FIFERR : CFAEIE/CMDLKIE/DFAEIE ビットにより許可 (注1) 	<ul style="list-style-type: none"> FRDYI (フラッシュシーケンサレディ (処理終了)) : FRDYIE ビットにより許可 FIFERR (フラッシュシーケンサエラー) : CFAEIE/CMDLKIE/DFAEIE ビットにより許可
アドレス変換	<ul style="list-style-type: none"> スタートアップ領域選択機能をサポート 	<ul style="list-style-type: none"> スタートアップ領域選択機能をサポート

注1. 詳細は APN" R01AN5367EU120 Rev1.20"を参照ください。

2.36 内部電圧レギュレータ

表 2.54 に内部電圧レギュレータの概要比較を示します。

表 2.54 内部電圧レギュレータの概要比較

項目	RA6T1	RA6T2
全 VCC 端子	<ul style="list-style-type: none"> システムの電源に接続してください。 	<ul style="list-style-type: none"> 各端子をシステムの電源に接続してください。
	<ul style="list-style-type: none"> 0.1 μF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。 	<ul style="list-style-type: none"> 各端子を 0.1 μF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
VCL 端子/ VCL0 端子	0.1 μ F の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。	100 ピン製品： 0.1 μ F の積層セラミックコンデンサを介して VSS に各端子を接続してください。コンデンサは端子近くに配置してください。
		64 ピン、48 ピン製品： 0.22 μ F の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。

3. ピン配置の比較

以下にピン配置の比較を示します。両方のグループで相違点がある端子は赤字にしています。

3.1 100 ピンパッケージ

図 3.1 に 100 ピンパッケージのピン配置の比較を示します。

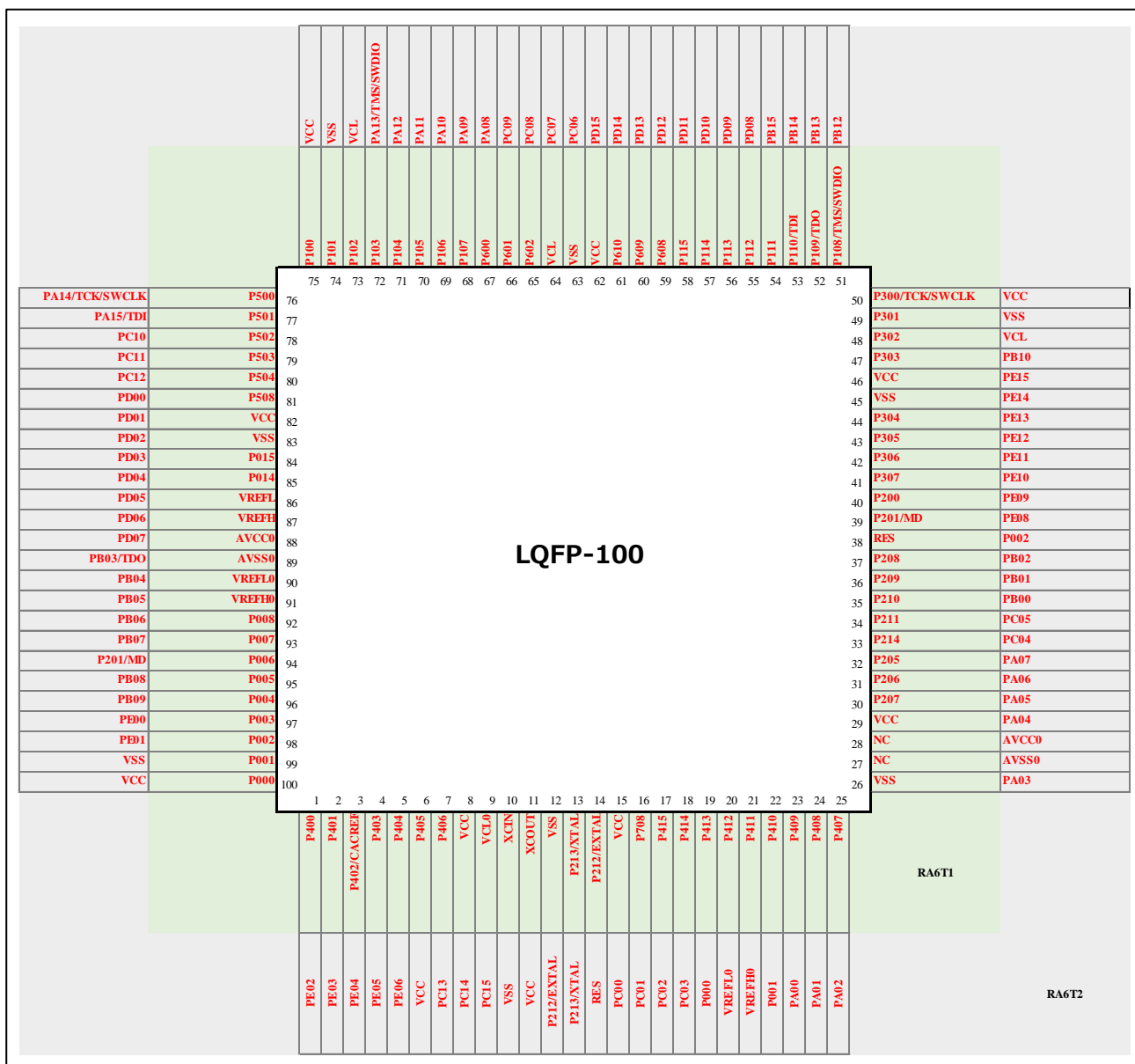


図 3.1 100 ピンパッケージのピン配置の比較

3.2 64 ピンパッケージ

図 3.2 に 64 ピンパッケージのピン配置の比較を示します。

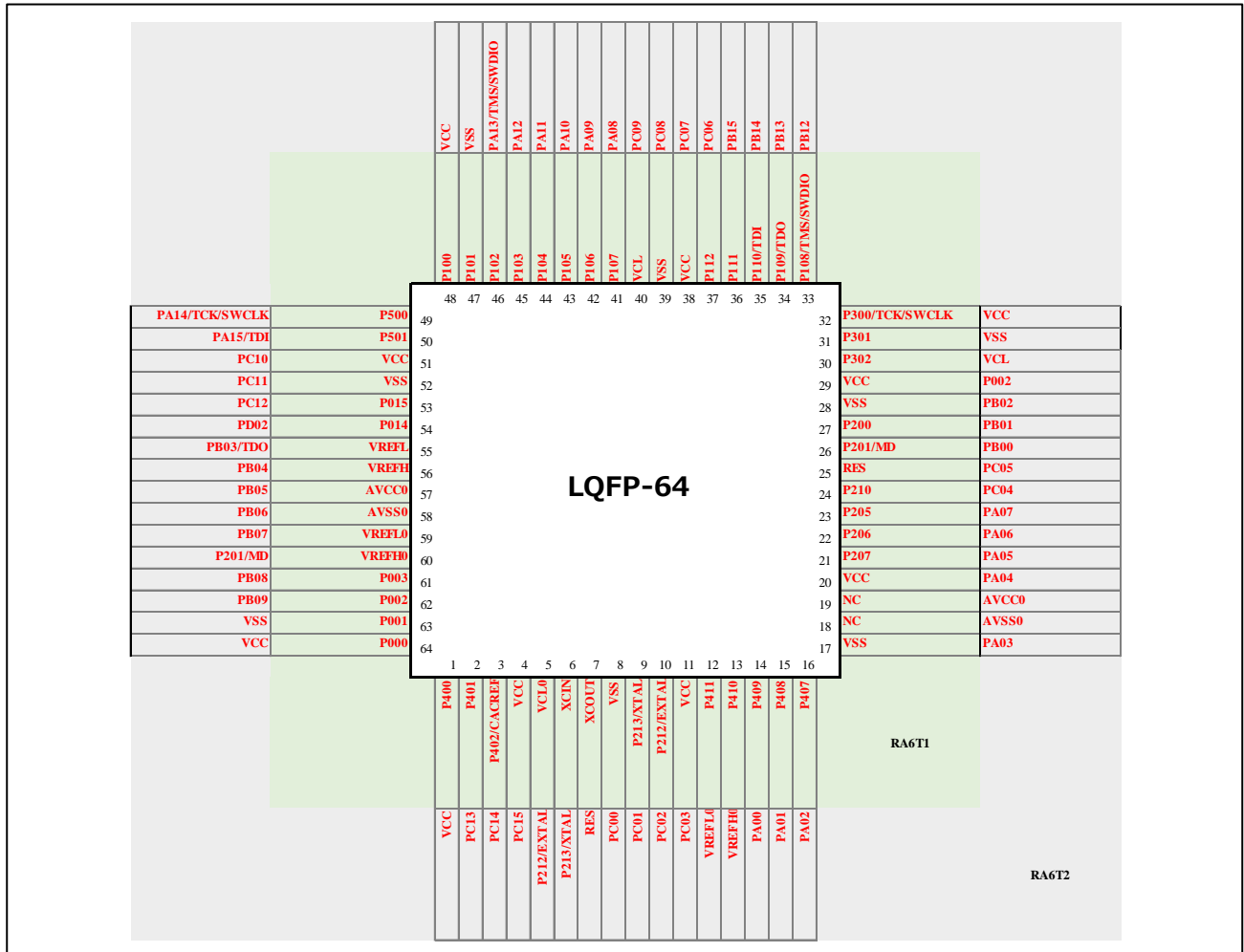


図 3.2 64 ピンパッケージのピン配置の比較

4. 移行の際の留意点

RA6T1 グループと RA6T2 グループの相違について、いくつかの留意点があります。
ソフトウェアに関する留意点を「4.1 機能設計の留意点」で説明します。

4.1 機能設計の留意点

RA6T1 グループで動作するソフトウェアは RA6T2 グループの一部のソフトウェアに対し、互換性があります。しかし、動作タイミングや電気的特性などが異なる場合があるため、十分に評価してください。

本節では、RA6T1 グループと RA6T2 グループで異なる機能の設定に関し、ソフトウェアでの留意点について説明します。

モジュールおよび機能の相違点については「2.仕様の概要比較」を参照してください。詳細は「6.参考ドキュメント」のユーザズマニュアルハードウェア編を参照してください。

4.1.1 メインクロック発振器駆動能力自動切り替え機能

RA6T1 グループでは、メインクロック発振器の動作開始後に、メインクロック発振器の駆動能力を自動で低下させてメインクロック発振器起因の EMI を抑止しますが、RA6T2 グループでは、必要に応じて手動で駆動能力を切り替える必要があります。

4.1.2 レジスタアクセス

(1) 特定モードの期間中または遷移中の無効なレジスタへの書き込みアクセス

RA6T1 グループと RA6T2 グループでは、レジスタ書き込みを禁止する条件が異なります。

RA6T1 :

[レジスタ]

- “SYSTEM” という周辺名をもつ全レジスタ

[条件]

- OPCCR.OPCMTSF = 1 または SOPCCR.SOPCMTSF = 1 (動作電力制御モードへの遷移中)
- WFI 命令の実行から通常モードへ復帰するまでの期間中
- FENTRYR.FENTRYi = 1 (i = 0~3) (フラッシュ P/E モード)、または FENTRYR.FENTRYD = 1 (データフラッシュ P/E モード)

RA6T2 :

[レジスタ]

- SYSTEM という周辺名をもつ全レジスタ

[条件]

- OPCCR.OPCMTSF = 1 (動作電力制御モードへの遷移中)
- WFI 命令の実行から通常モードへ復帰するまでの期間中
- FENTRYR.FENTRYC = 1 または FENTRYR.FENTRYD = 1 (フラッシュ P/E モード、データフラッシュ P/E モード)

(2) クロック関連レジスタに対する有効な設定値

RA6T1 グループと RA6T2 グループでは、各動作電力制御モードにおけるクロック関連レジスタの有効な設定値が異なります。

詳細は、表 4.1 と表 4.2 を参照してください。

表 4.1 クロック関連レジスタに対する有効な設定値 (1)

項目	RA6T1	RA6T2	
SCKSCR.CKSEL[2:0]、 CKOCR.CKOSEL[2:0]	High-speed	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (メインクロック) 100b (サブクロック) 101b (PLL) (注1)	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (メインクロック) 101b (PLL) (注1)
	Low-speed	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (メインクロック) 100b (サブクロック)	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (メインクロック)
	Subosc-speed	010b (LOCO) 100b (サブクロック)	—
SCKDIVCR.FCK[2:0]、 ICK[2:0]	High-speed	000b (1/1) 001b (1/2)	000b (1/1) 001b (1/2)
	Low-speed	010b (1/4) 011b (1/8) 100b (1/16) 101b (1/32) 110b (1/64)	010b (1/4) 011b (1/8) 100b (1/16) 101b (1/32) 110b (1/64)
	Subosc-speed	000b (1/1)	—
PLL2CR.PLL2STP	High-speed	0 (動作) 1 (停止)	0 (動作) 1 (停止)
	Low-speed	1 (停止)	1 (停止)
	Subosc-speed	1 (停止)	—
HOCOCCR.HCSTP	High-speed	—	0 (動作) 1 (停止)
	Low-speed	—	1 (停止)
	Subosc-speed	—	—
MOCOCCR.MCSTP	High-speed	0 (動作)	0 (動作)
	Low-speed	1 (停止)	1 (停止)
	Subosc-speed	1 (停止)	—
LOCOCCR.LCSTP	High-speed	0 (動作)	0 (動作)
	Low-speed	1 (停止)	1 (停止)
	Subosc-speed	0 (動作) 1 (停止)	—
MOSCCR.MOSTP	High-speed	0 (動作)	0 (動作)
	Low-speed	1 (停止)	1 (停止)
	Subosc-speed	1 (停止)	—
SOSCCR.SOSTP	High-speed	0 (動作)	—
	Low-speed	1 (停止)	—
	Subosc-speed	0 (動作) 1 (停止)	—

注2. SCKSCR.CKSEL[2:0]のみ

表 4.2 クロック関連レジスタに対する有効な設定値 (2)

項目		RA6T1	RA6T2
OPCCR.OPPCM[1:0]	PLL	00b	00b
	PLL2	—	00b
	高速オンチップオシレータ	00b、11b	00b、11b
	中速オンチップオシレータ		
	メインクロック発振器		
	低速オンチップオシレータ	00b、11b	00b、11b
	サブクロック発振器	00b、11b	—
IWDT 専用オンチップオシレータ	00b、11b	00b、11b	
SOPCCR.SOPPCM	PLL	0	—
	PLL2	—	—
	高速オンチップオシレータ	0	—
	中速オンチップオシレータ		—
	メインクロック発振器		—
	低速オンチップオシレータ	0、1	—
	サブクロック発振器		—
	IWDT 専用オンチップオシレータ		—
	—		

(3) DTC または DMAC による無効なレジスタへのライトアクセス

RA6T1 グループと RA6T2 グループでは、DTC または DMAC によって書き込んではいけないレジスタが異なります。

RA6T1 :

[レジスタ]

- MSTPCRA

RA6T2 :

[レジスタ]

- MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD、MSTPCRE

(4) スヌーズモードにおける無効なレジスタへのライトアクセス

RA6T1 グループと RA6T2 グループでは、スヌーズモード時に書き込んではいけないレジスタが異なります。

RA6T1 :

[レジスタ]

- SNZCR、SNZEDCR、SNZREQCR

RA6T2 :

[レジスタ]

- SNZCR、SNZEDCR0、SNZREQCR0

(5) FLWT.FLWT[2:0]への無効なライトアクセス

RA6T1 グループでは、下記の条件に当てはまる場合、FLWT.FLWT[2:0]ビットに 000b 以外の値を書き込まないでください。

[条件]

- SOPCCR.SOPCM = 1 (Subosc-speed モード)

(6) PRCR.PRC1 ビットが 0 の場合の無効なライトアクセス

RA6T1 グループと RA6T2 グループでは、PRCR.PRC1 ビットが 0 の場合に書き込んではいけないレジスタが異なります。

RA6T1 :

[レジスタ]

- SBYCR、SNZCR、SNZEDCR、SNZREQCR、OPCCR、SOPCCR、DPSBYCR、DPSIERn (n = 0~3)、DPSIFRn (n = 0~3)、DPSIEGRn (n = 0~2)、SYOCDRCR

RA6T2 :

[レジスタ]

- SBYCR、SNZCR、SNZEDCR0、SNZREQCR0、OPCCR、DPSBYCR、DPSWCR、DPSIERn (n = 0~2)、DPSIFRn (n = 0~2)、DPSIEGRn (n = 0~2)、SYOCDRCR

4.1.3 スヌーズモードにおける SCI0 の UART の使用

スヌーズモードで SCI0 を使用する場合、RA6T1 グループでは、割り込み要求またはスヌーズ終了要求には AGT1 アンダーフローを使用する必要があります。また、RA6T2 グループでは、スヌーズモードで UART を使用する場合、スヌーズ要求 (RXD0 端子の立ち下がりエッジ) が WUPEN レジスタにて設定されたウェイクアップ要求と競合しないようする必要があります。

また、RA6T1 グループと RA6T2 グループ (UART) では、使用する場合に満たされなければいけない条件が異なります。

RA6T1 :

- クロックソースは HOCO であること
- MOCO、メインクロック発振器、および PLL は、ソフトウェアスタンバイモード遷移前に停止していること
- RXD0 端子は、ソフトウェアスタンバイモード遷移前に High レベルを維持していること
- SCI 通信中は、ソフトウェアスタンバイモードへの遷移が生じないこと
- ソフトウェアスタンバイモード遷移前に、MSTPCRC.MSTPC0 ビットが 1 であること

RA6T2 :

- クロックソースは HOCO であること
- MOCO、PLL、PLL2、メインクロック発振器は、ソフトウェアスタンバイモード遷移前に停止していること
- RXD0 端子は、ソフトウェアスタンバイモード遷移前に High を維持していること
- SCI0 通信中は、ソフトウェアスタンバイモードへの遷移が生じないこと
- ソフトウェアスタンバイモード遷移前に、MSTPCRC.MSTPC0 ビットが 1 であること

4.1.4 スヌーズモードにおける ELC イベント

RA6T1 グループと RA6T2 グループでは、スヌーズモードで使用できる ELC イベントが異なります。

RA6T1 :

- スヌーズモードエントリ (SYSTEM_SNZREQ)
- DTC 転送終了 (DTC_DTCEND)
- ADC12n ウィンドウ A/B コンペアマッチ (ADC12n_WCMPPM) (n = 0、1)
- ADC12n ウィンドウ A/B コンペア不一致 (ADC12n_WCMPUM) (n = 0、1)
- データ演算回路割り込み (DOC_DOPCI)

RA6T2 :

- スヌーズモードエントリ (SYSTEM_SNZREQ)
- DTC 転送終了 (DTC_DTCEND)
- **ADC 複合コンペアマッチ 0 (ADC_CCMPM0)**
- **ADC 複合コンペアマッチ 1 (ADC_CCMPM1)**
- データ演算回路割り込み (DOC_DOPCI)

4.1.5 モジュールストップビット書き込みタイミング

RA6T2 グループでは、対応するモジュールストップビットの書き込みが完了する前に I/O レジスタへのアクセスを実行することは可能です。この場合、I/O レジスタへのアクセスは意図しない動作を起こす恐れがあります。この問題を避けるには、I/O レジスタにアクセスする前に、モジュールストップビットを読み戻して、書き込みの完了を確認してください。

4.1.6 キャッシュラインコンフィグレーションレジスタ

RA6T2 グループでは、状態がキャッシュ OFF の場合キャッシュラインコンフィグレーションレジスタへの書き込みが可能です (S キャッシュの場合 CACTL.ENS = 0、C キャッシュの場合 CACTL.ENC = 0)。

4.1.7 コヒーレンシ

RA6T2 グループでは、キャッシュと内部 SRAM とのコヒーレンシはソフトウェアにより保証する必要があります。

キャッシュ対応エリア内で CPU と DMAC のようなバスマスタ間で共有メモリを割り当てる場合、必要に応じてキャッシュデータを無効としてください。

4.1.8 セキュリティ MPU

RA6T1 グループでは、セキュリティ MPU を有効にすると、保護されたメモリをデバッグできません。セキュアプログラムをデバッグするには、セキュリティ MPU を無効にしてください。

4.1.9 DMA 転送中のレジスタアクセスについて

RA6T1 グループと RA6T2 グループでは、同じチャンネルが DMAC 動作中または DMA 転送許可の状態、書き込みではいけないレジスタが異なります。

RA6T1 :

- DMSAR、DMDAR、DMCRA、DMCRB、DMTMD、DMINT、DMAMD、DMOFR

RA6T2 :

- DMSAR、DMDAR、DMCRA、DMCRB、DMTMD、DMINT、DMAMD、DMOFR、**DMSBS、DMDBS、DMSRR、DMDRR、ICUSARC、DMAC SAR**

4.1.10 DMA 転送再開時

RA6T2 グループでは、DMA 転送終了後、次の要求時に DMAC 起動要求が発生する場合があります。このような状況が生じた場合、DMA 転送が開始され、DMAC 起動要求は DMAC 内に保持されます。これを避けるには、ICU の DELSRn.DELS[8:0] ビットを 0 にして、DMAC 起動要求を停止してください。

最後の DMA 転送後に DMAC 起動要求が発生した場合は、以下のいずれかの方法で DMAC 起動要求をクリアしてください。

- ダミーの DMA 転送を用いて DMAC 起動要求をクリアする。
- DMCNT.DTE ビットを 0 に設定した後、ICU.DELSRn.IR フラグを 0 にしてください。

4.1.11 ELC イベント要求の間隔

RA6T2 グループでは、表 4.3 に示されるイベント出力元およびイベント出力先のクロックの組み合わせの場合、同一のイベント要求信号に対して、あるイベント要求と次のイベント要求の間隔が以下の計算式の値（イベント間隔）より小さいとき、イベント要求が失われる可能性があります。

ただし、イベント出力先が GPT または ADC で、異なる ELSR レジスタを使用する場合、この制限は適用されません。

イベント間隔は以下の式で計算します。

$$\text{イベント間隔[ns]} = \text{出力元クロック期間[ns]} \times 6 + \text{出力先クロック期間[ns]} \times 4$$

表 4.3 クロックと制限付きイベント間隔の組み合わせ

イベント出力元	出力元クロック	イベント出力先	出力先クロック
GPT 以外	PCLKA または PCLKB	GPT	GPTCLK
		ADC	GPTCLK または PCLKC
GPT	PCLKD	ADC	GPTCLK または PCLKC
		ADC	PCLKA または PCLKC
	GPTCLK	DAC12	PCLKA
		I/O ポート	PCLKB

4.1.12 端子機能の設定手順

RA6T2 グループでは、Pmn のセキュリティ属性が 0 のとき、PmnPFS レジスタへの書き込みをするには PWPRS レジスタを設定してください。

4.1.13 ポートグループ入力の使用手順

ポートグループ入力の立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を指定する場合、RA6T1 グループでは PmnPFS.EOF/EOR ビットを設定しますが、RA6T2 グループでは、PmnPFS レジスタの EOFR[1:0] ビットを設定します。

4.1.14 アナログ機能使用時

アナログ機能を使用するには、端子が汎用入力ポートとして動作できるようにしてください。

RA6T2 グループでは、PGA が擬似差動入力モードに設定されているとき、PGA 機能 (PGAINn、PGAVSSn (n = 0~3)) を割り当てた端子は、汎用ポートとして使用できません。

対応する端子を汎用ポートとして使用する場合、対応する PGA をシングルモードに設定してください。

それから対応する端子を汎用ポートとしての機能に設定してください。

4.1.15 ポート mn 端子機能選択 PmnPFS レジスタ設定

RA6T1 グループと RA6T2 グループでは、本レジスタ設定に関する注意事項が異なります。

RA6T1 :

1. Pmn 端子機能選択レジスタ (PmnPFS) では、対象端子の PMR ビットが 0 のときに、PSEL ビットを必ず設定しなければなりません。PMR ビットが 1 のときに PSEL ビットを設定すると、入力機能の場合は意図しないエッジが入力され、出力機能の場合は意図しないパルスが外部端子に出力される場合があります。
2. PmnPFS レジスタの PSEL ビットでは、許可された値 (機能) 以外に設定しないでください。このレジスタに許可されていない値を設定した場合、正しい動作は保証されません。
3. PmnPFS レジスタでは、1 つの機能を複数の端子に割り付けしないでください。
4. ポート 0 とポート 5 は、A/D コンバータや D/A コンバータなどのアナログ機能を持っています。これらの端子をアナログ機能用に使用する場合、分解能の低下を防止するため、PMR ビットと PDR ビットは 0 にしてください。その後、ASEL ビットを 1 にしてください。
5. P003 および P007 の ASEL ビットの初期値は 1 です。これらの端子をアナログ機能として使用しない場合、入力リーク電流を低減するため、ASEL ビットを 0 にする必要があります。64 ピン製品を使用するときは、P007PFS.ASEL ビットを 0 にクリアしてください。

RA6T2 :

1. Pmn 端子機能選択レジスタ (PmnPFS) では、対象端子の PMR ビットが 0 のときに、PSEL ビットを設定する必要があります。PMR ビットが 1 のときに PSEL ビットを設定すると、入力機能の場合は意図しないエッジが入力され、出力機能の場合は意図しないパルスが外部端子に出力される場合があります。
2. PmnPFS レジスタの PSEL ビットでは、許可された値 (機能) 以外に設定しないでください。このレジスタに許可されていない値を設定した場合、正しい動作は保証されません。
3. PmnPFS レジスタでは、1 つの機能を複数の端子に割り付けしないでください。
4. ポート 0 とポート A、B、C、E は、A/D コンバータなどのアナログ機能を持っています。これらの端子をアナログ機能として使用する場合、分解能の低下を防止するため、PMR ビットと PDR ビットは 0 にしてください。その後、ASEL ビットを 1 にしてください。

4.1.16 GPT 用ポートアウトプットイネーブルの出力停止要求の 2 重化

RA6T2 グループでは、POEGGn レジスタの PIDF フラグまたは IOCF フラグが 1 の間は、GTONCCRn レジスタに設定された検出信号による停止要求の解除は機能しません。これは、このフラグの値のために引き続き停止要求が出力されるためです。つまり、対応フラグの検出に対する応答が出力停止に設定されている場合、出力停止要求は解除されません。フラグ設定に従って出力を停止するための要求信号は、出力を停止するための対応検出信号の論理 OR として得られます。

4.1.17 GPT のモジュールストップ機能の設定

RA6T2 グループでは、モジュールストップ状態を解除する前に、GTCLKCR レジスタを設定してください。

4.1.18 GPT のイベントごとの優先順位

(1) GTCR.CST ビット

RA6T2 グループでは、周期計数機能によるストップと CPU 書き込み（GTCR/GTSTR レジスタへの書き込み）によるスタートが競合した場合、周期計数機能は GTST.PCF フラグをセットして動作を終了しますが、CST ビットの状態は変わらず、カウントを継続します。

(2) GTIOR.GTIOm レジスタ

RA6T2 グループでは、バッファ転送動作と GTIOR.GTIOm レジスタへの書き込みの間で競合があると、GTIOR.GTIOm レジスタへの書き込みが優先されます。

GTIOR.GTIOm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

4.1.19 GPT の割り込み要求の間隔

RA6T2 グループでは、GPT のコアクロックが GPTCLK の場合、同じ割り込み信号間隔の間隔が以下の値より短いと、割り込みが失われることがあります。ただし、この制限は異なる割り込み信号の場合には適用されません。

$$\text{割り込み間隔[ns]} = \text{GPTCLK の期間[ns]} \times 6 + \text{PCLKA の期間[ns]} \times 4$$

さらに、ADTRGGPTx レジスタ（x = 0~8）の設定により、ADC は GPT からの A/D 変換開始要求を ELC を経由せずに受信できます。

また、表 4.4 に示すように GPT と ADC のクロックを組み合わせた場合に、ある A/D 変換開始要求と次の要求の間隔が同じ A/D 変換開始要求に対する以下の値よりも小さいと、A/D 変換開始要求が失われる場合があります。ただし、この制限は異なる A/D 変換開始要求の場合には適用されません。

$$\text{イベント間隔[ns]} = \text{GPT コアクロックの期間[ns]} \times 6 + \text{ADC コアクロックの期間[ns]} \times 4$$

表 4.4 イベント間隔を制限した場合のクロックの組み合わせ

GPT コアクロック	ADC コアクロック
GPTCLK	PCLKA または PCLKC
PCLKD	PCLKC または GPTCLK

4.1.20 PWM 遅延生成回路への GTIOCNm 信号入力

RA6T2 グループでは、PWM 遅延生成回路で PWM 波形の遅延を制御する場合、以下の制限があります。

- のこぎり波モードの場合、オーバーフローあるいはアンダーフロー直前の 3 クロックサイクルの間は GTIOCNm 信号の変更は禁止です。
- のこぎり波モードの場合、カウント動作中は GTCSR による GTCNT レジスタのクリアは禁止です。
- 三角波モードの場合、谷直前の 3 クロックサイクルの間は GTIOCNm 信号の変更は禁止です。

上記の制限事項を守らないと、PWM 遅延生成回路から出力した信号波形のエッジが失われることがあります。

4.1.21 PWM 遅延生成回路のレジスタ書き込み間隔

RA6T2 グループでは、GPT コアクロックが GPTCLK の場合、GTDLYRnA / GTDLYFnA / GTDLYRnB / GTDLYFnA レジスタへの書き込み間隔が以下のインターバル時間より短いとき、書き込み値が反映されないことがあります。この制限は、同一レジスタへの連続書き込み時に適用されます。

$$\text{Write_Interval [ns]} = \text{Period_of_PCLKA[ns]} \times 6 + \text{Period_of_GPTCLK[ns]} \times 4$$

4.1.22 AGT/AGTW のカウント動作の開始および停止制御

RA6T1 グループでは、TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。

4.1.23 AGT/AGTW の出力端子の設定

RA6T2 グループでは、AGTWOn、AGTWIOOn、AGTWOAn または AGTWOBn 端子を出力端子として使用する場合には、AGT を設定し、出力初期値が決まった後に PmnPFS.PMR ビットを 1 に設定してください。

パルス幅測定モードとパルス周期幅測定モードで AGTWIOOn 端子を入力端子として使用する場合には、AGT を設定し、カウント動作開始後に、AGTWIOOn 端子から外部イベントを入力してください。また、最初の測定は無効とし、2 回目以降の測定完了処理を有効としてください。

4.1.24 AGT/AGTW の I/O レジスタのリセット

RA6T1 グループでは、AGT の I/O レジスタは、リセットの種類によっては初期化されません。下記を参照ください。

- RES 端子 リセット：リセット不可
- パワーオン リセット：リセット可
- 電圧監視 0 リセット：リセット可
- 独立ウォッチ ドッグタイマ リセット：リセット不可
- ウォッチ ドッグタイマ リセット：リセット不可
- 電圧監視 1 リセット：リセット可
- 電圧監視 2 リセット：リセット可
- ソフトウェア リセット：リセット不可
- SRAM パリティ エラー リセット：リセット不可
- バスマスタ MPU エラー リセット：リセット不可
- バススレーブ MPU エラー リセット：リセット不可

- スタック ポインタ エラー リセット：リセット不可
- ディープソフトウェア スタンバイリセット
DEEPCUT[0] = 0：リセット不可
- ディープソフトウェア スタンバイリセット
DEEPCUT[0] = 1：リセット可

4.1.25 AGT/AGTW のカウントソースに PCLKB、PCLKB/8、または PCLKB/2 を選択

RA6T1 グループでは、リセット発生後、AGT の動作は保証されません。AGT 関連レジスタを再設定してください。

4.1.26 AGT/AGTW のカウントソースに AGTSCLK または AGTLCLK を選択

RA6T1 グループでは、MSTPCRD レジスタの MSTPD2 ビットは、AGT1 レジスタにアクセスする場合を除き、1 にする必要があります。MSTPCRD レジスタの MSTPD3 ビットは、AGT0 レジスタにアクセスする場合を除き、1 にする必要があります。MSTPD2 ビットまたは MSTPD3 ビットが 0 の状態でリセットが発生した場合、AGT1 または AGT0 の動作は保証されません。AGT 関連レジスタを再設定してください。

4.1.27 ICU イベントリンク設定レジスタ n (IELSRn) の設定

RA6T1 グループと RA6T2 グループでは、本レジスタ設定に関する制限が異なります。

RA6T1 :

WDT リセットアサートを有効にする場合 (OFS0.WDTRSTIRQS = 1 または WDTRCR.RSTIRQS = 1)、またはイベントリンク動作を有効にする場合 (ELSRm.ELS[8:0] = 47h)、ICU イベントリンク設定レジスタ n (IELSRn.IELS[8:0]) に 47h を設定することは禁止されています。

RA6T2 :

WDT リセットアサートを許可 (OFS0.WDTRSTIRQS = 0 または WDTRCR.RSTIRQS = 0) にした場合、またはイベントリンク動作を許可 (ELSRm.ELS[8:0] = 0x53) にした場合、ICU イベントリンク設定レジスタ n (IELSRn.IELS[8:0]) に 0x53 を設定することは禁止されています。

IWDT リセットアサートを許可 (OFS0.IWDTRSTIRQS = 0) にした場合、またはイベントリンク動作を許可 (IELSRn.ELS[8:0] = 0x52) にした場合、ICU イベントリンク設定レジスタ n (IELSRn.IELS[8:0]) に 0x52 を設定することは禁止されています。

4.1.28 低消費電力状態での SCI の動作

RA6T1 グループと RA6T2 グループでは、消費電力低減機能使用時の設定が異なります。

(1) 送信

RA6T1 グループでは、TXDn 端子を汎用入出力ポート機能に切り替えた後、送信動作を停止 (SCR/SCR_SMCI の TIE、TE、TEIE ビットを 0) にしてください。入出力ポートを SCI 接続に設定すると、SPTR によって TXDn 端子状態の制御が可能になります。TE ビットを 0 にすることにより、TSR が初期化され、SSR/SSR_SMCI の TEND ビットは、非 FIFO 選択時には 1 にリセットされ、FIFO 選択時には値が保持されます。

RA6T2 グループでは、以下を行って送信終了 (CSR.TEND = 1) を確認してください。

- CCR1.SPB2DT、SPB2IO で送信動作を停止した後、出力端子状態を設定する
- 送信を停止する (CCR0.TIE = 0、TE = 0、TEIE = 0)

また、低消費電力状態の解除後に同じ送信モードでデータを送信する場合、RA6T1 グループでは、SSR / SSR_FIFO / SSR_SMCI を読み出しますが、RA6T2 グループでは、CSR を読み出します。

(2) 受信

ウェイクアップ条件としてアドレス一致検出機能を使用する場合、RA6T1 グループでは、低消費電力状態へ遷移する場合の手順として受信許可前に CDR.CMPD ビットと DCCR.DCME ビットを 1 にしますが、RA6T2 グループでは、CCR4.CMPD に比較データを設定し、CCR0.DCME に 1 を設定します。

4.1.29 SCI のブレークの検出と処理について

非 FIFO 選択時、RA6T1 グループでは、フレーミングエラー検出時に、RXDn 端子の値を直接読み出すことでブレークを検出できますが、RA6T2 グループでは、CSR.RXDMON ビットの値を読み出すことでブレークを検出できます。

4.1.30 SCI の受信エラーフラグと送信動作（クロック同期式モードおよび簡易 SPI モード）

RA6T1 グループでは、受信エラーフラグが 1 の状態では、TDR または FTDRL レジスタにデータを書き込んでも、送信は開始されない為、送信を開始する前に、受信エラーフラグは必ず 0 にしてください。

RA6T2 グループでは、受信エラーフラグが 1 の場合でも、送信データを TDR に書き込むと、送信を開始できます。ただし、受信は開始できません。

4.1.31 TDR へのデータ書き込み

(1) 非 FIFO 選択時

RA6T2 グループでは、CCR0.TE が 1 のときは、いつでもデータを TDR に書き込むことができます。ただし、TDR に送信データが残っている状態で、TDR に新しいデータを書き込むと、TDR に残っているデータは、TSR へまだ転送されていないため失われます。DTC または DMAC を使用する場合、TDR への送信データの書き込みは、必ず SCIn_TXI 割り込み要求の処理ルーチンで行ってください。

(2) FIFO 選択時

RA6T2 グループでは、CCR0.TE が 1 のとき、データを送信 FIFO (TDR) に書き込むことができます。FDR.T[5:0]ビットで、書き込み可能なデータ数を確認してください。

4.1.32 SCI のクロック同期式送信に関する制限事項（クロック同期式モード、簡易 SPI モード）

(1) 送信開始時

RA6T1 グループと RA6T2 グループでは、TDR レジスタへの送信データの書き込みから、外部クロック入力の開始までに確保する待機時間が異なります。

RA6T1 :

1PCLKA + スレーブのデータ出力遅延時間 (tDO) + マスタのセットアップ時間 (tSU) 以上

RA6T2 :

MISO 端子の出力 AC 電特とマスタ受信の入力 AC 電特 + 1PCLK サイクル + 同期遅延の時間以上

(2) 連続送信時

RA6T1 グループでは、ビット 7 送信開始以降に TDR をレジスタ更新する場合は、同期クロックが Low の期間に TDR を更新し、かつ送信クロックの 7 ビット目の High 幅を、4PCLKA 以上にしてください。

4.1.33 SCI の DMAC または DTC 使用時の制限事項

(1) 非 FIFO 選択時

RA6T1 グループでは、TDR および TDRHL レジスタにデータを書き込むことが可能です。ただし、TDR または TDRHL レジスタに送信データが残っている状態で、TDR または TDRHL レジスタに新しいデータを書き込むと、残っていたデータは TSR レジスタへ転送されず、失われます。DMAC または DTC を使用する場合、TDR または TDRHL レジスタへの送信データの書き込みは、必ず SCIn_TXI 割り込み要求の処理ルーチンで行ってください。

(2) FIFO 選択時

RA6T1 グループでは、SCR.TE ビットが 1 の場合に、FTDRH および FTDRL レジスタにデータを書き込むことが可能です。FDR.T[4:0] ビットによって、書き込み可能なデータ数を確認してください。

4.1.34 SCI のクロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

RA6T1 グループのクロック同期式モードと簡易 SPI モードでは、外部クロック SCKn 入力を High パルス期間および Low パルス期間は 2PCLKA 以上、周期は 6PCLKA 以上に設定してください。

4.1.35 SCI の簡易 SPI モードに関する制限事項

(1) スレーブモード

RA6T1 グループと RA6T2 グループでは、以下の待機時間が異なります。

TDR レジスタへの送信データの書き込みから、外部クロック入力の開始までの待機時間

RA6T1 :

1PCLKA + スレーブのデータ出力遅延時間 (tDO) + マスタのセットアップ時間 (tSU) 以上

RA6T2 :

1PCLK + 同期遅延時間 + データ出力遅延時間 (AC 電特) 以上

SSn 端子への Low 入力から、外部クロック入力の開始までの待機時間

RA6T1 :

5PCLKA 以上

RA6T2 :

SSn 入力セットアップ時間 (AC 電特) 以上

4.1.36 SCI の送信許可ビット

RA6T2 グループでは、CCR0.TE ビットが 0 のとき、初期レジスタ値において、TXDn 端子の状態がハイインピーダンスになります。以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

1. プルアップ抵抗を TXDn ラインに接続する。
2. CCR0.TE ビットを 0 にする前に、端子機能を汎用の出力ポートに変更する。その後、CCR0.TE ビットを 1 にした後、端子機能を TXDn に変更する。
3. 調歩同期式モードおよびマンチェスタモードにおいて CCR0.TE ビットが 0 の場合に、CCR1 を設定し、TXDn 端子に対して決定されたレベルを設定します。

簡易 SPI モードのスレーブ動作では、MISO_n 端子は上記 TXDn 端子と同様の動作をします。MISO_n 端子は TXDn 端子と同様に、上記の 1.と 2.により、ハイインピーダンスにしないでください。

4.1.37 SCI の動作クロックがバスクロックより長い場合のレジスタアクセス

RA6T2 グループでは、動作クロック (TCLK) がバスクロック (PCLK) より長い場合、この情報が CCR0.TE レジスタおよび CCR0.RE レジスタへの書き込み後に内部的に送信されるまでの時間は、バスアクセス時間より長くなります。特に、0 の書き込みと通信の割り込みを行った後で設定レジスタを変更する場合は、IP 内部の信号が通信停止状態になるまで、設定レジスタを変更しないでください。これを避けるには、CCR0.TE および CCR0.RE を 0 にした後で、0 になるまで CESR.TIST ビットおよび CESR.RIST ビットを確認してから、次のレジスタを設定します。

4.1.38 SCI 動作の割り込み

RA6T2 グループでは、データ受信中に CCR0.RE に 0 が書き込まれて受信動作に割り込みが発生した場合、無効な状態になっている可能性があるため、受信データ (RDR レジスタ格納値) や各ステータスレジスタのフラグ値を使用しないでください。受信動作に割り込むためには、割り込みまたはイベントリンクの受信側を停止してから、CCR0.RE ビットに 0 を書き込んでください。

4.1.39 SCI 共通コントロールレジスタ CCR3.BPEN ビットの設定

本レジスタは、RA6T2 グループのみ存在します。

SCI の初期化フローで CCR3 レジスタを設定するときに、BPEN ビットを 1 回だけ設定します。

初期化後に、このビットを変更することはできません。

このビットの設定を変更する場合は、SCI の初期化フローからもう一度始めてください。

4.1.40 IIC の転送開始

RA6T1 グループでは、転送開始 (ICCR1.ICE ビット = 1) 時点で IIC の割り込みに対応した IR フラグが 1 であれば、動作を許可する前に下記の手順で割り込み要求をクリアしてください。ICCR1.ICE ビットが 1 の状態で IR フラグを 1 にして転送を開始すると、転送開始後、割り込み要求が内部で保持されるため、IR フラグが予期しない動作となる可能性があります。

転送開始前に割り込みをクリアする方法：

1. ICCR1.ICE ビットが 0 であることを確認する。
2. 対応する割り込み許可ビット (ICIER.TIE など) を 0 にする。
3. 対応する割り込み許可ビット (ICIER.TIE など) を読み出して、それらの値が 0 であることを確認する。
4. IR フラグを 0 にする。

4.1.41 IIC の動作クロックの設定

RA6T2 グループでは、バスクロック (PCLKA) と転送クロック (IICCLK) との間には以下の周波数関係が必要です。

$$IICCLK/2 \leq PCLKA \leq IICCLK$$

4.1.42 CAN の動作クロックの設定

RA6T1 グループでは、以下の制約を満たす必要があります。

CCLKS ビットが 1 のとき： $fPCLKB \geq fCANMCLK$

CCLKS ビットが 0 のとき：周辺モジュールクロックソースは PLL でなければなりません。

4.1.43 バウンダリスキャン機能

RA6T1 グループでは、BSDL は、BSDL の記述に準じて構成されなければならないセーフビットを提供します。

また、RA6T1 グループと RA6T2 グループでは、バウンダリスキャン対象外の端子が異なります。

RA6T1：

- 電源端子 (VCC、VCL、VCL0、VSS、AVCC0、AVSS0)
- アナログリファレンス端子 (VREFH0、VREFL0、VREFH、VREFL)
- クロック端子 (EXTAL、XTAL、XCIN、XCOUT)
- リセット信号 (RES)
- バウンダリスキャンの端子 (TCK、TMS、TDI、TDO)

RA6T2：

- 電源端子 (VCC、VCL、VSS、AVCC0、AVSS0)
- アナログ基準端子 (AVREFH0、AVREFL0)
- クロック端子 (EXTAL、XTAL)
- リセット信号 (RES)
- バウンダリスキャンの端子 (TCK、TMS、TDI、TDO)

4.1.44 A/D 変換動作中の動作設定変更の禁止

RA6T2 グループでは、A/D 変換の動作設定に関連するレジスタは、すべての A/D コンバータが停止 (ADSR.ADACT m = 0 および ADSR.CALACT m = 0 (m = 0, 1)) しているときに設定してください。下記のレジスタを除き、A/D 変換中は設定の変更 (書き込み) は禁止されています。A/D 変換中に動作設定が変更された場合、動作は保証されません。

[A/D コンバータの動作中に書き込み可能なレジスタ]

- ステータスクリアレジスタ
 - A/D コンバータ動作に関連するステータスクリアレジスタ (ADERSCR、ADCALSCR、ADCALENDSR、ADSCANENDSCR)
 - A/D 変換オーバーフローステータスクリアレジスタ (ADOVFERSCR、ADOVFCHSCR0、ADOVFEXSCR)
 - リミッタークリップステータスクリアレジスタ (ADLIMGRSCR、ADLIMCHSCR0、ADLIMEXSCR)
 - コンペアマッチステータスクリアレジスタ (ADCMPBTBSCR、ADCMPCHSCR0、ADCMPXSCR)
 - FIFO エラーステータスクリアレジスタ (ADFIFOERSCR)
- ソフトウェアトリガレジスタ (ADSYSTR、ADSTR n (n = 0~8))
- A/D コンバータ停止レジスタ (ADSTOPR)
- A/D コンバータ開始トリガイネーブルレジスタ (ADTRGENR) ^(注1)

注1. 動作中の書き込みが許可されるのは、A/D 変換を停止するためにトリガ入力を無効に設定 (ADTRGENR.STTRGEN n = 0 (n = 0~8)) する場合のみです。意図しない動作を避けるため、動作中はトリガ入力を有効 (ADTRGENR.STTRGEN n = 1) に変更しないでください。

4.1.45 A/D 変換動作の強制停止

RA6T1 グループと RA6T2 グループでは、A/D 変換動作の強制停止手順が異なります。

詳細は、表 4.5 と表 4.6 を参照してください。

表 4.5 RA6T1 グループの A/D 変換動作の強制停止手順

No.	手順	説明
1	グループ A 優先制御の無効化	ADGSPCR.PGS ビットが 1 に設定されている場合、ADGSPCR.PGS ビットを 0 に設定します。
2	トリガ入力の無効化	グループスキャンモードの場合、トリガ入力を無効にするため、ADSTRGR レジスタを 3F3Fh (TRSA[5:0] ビットを 3Fh、TRSB[5:0] ビットを 3Fh) に設定し、スキャン終了割り込みを禁止するため、ADCSR.GBADIE ビットを 0 に設定します。 グループスキャンモード以外の場合、トリガ入力を無効にするため、ADSTRGR.TRSA[5:0] ビットを 3Fh に設定します。
3	スキャン終了イベントの無効化	スキャン終了イベントが ELC に設定されている場合、ELSRn.ELS[8:0] ビットを 000h に設定します。
4	A/D コンバータの強制停止	ADCSR.ADST ビットを 0 に設定し、ソフトウェアクリアを実行。A/D 変換を停止させます。 ADCLK で最大 2 クロックの時間を必要とします。
5	終了	強制停止処理は完了です。 再開するには、ADCLK で最大 6 クロックの時間を必要とします。

表 4.6 RA6T2 グループの A/D 変換動作の強制停止手順

No.	手順	説明
1	トリガ入力の無効化	周辺モジュールからのトリガ入力を無効にします。 (ADTRGENR.STTRGENn = 0 を書き込みます)
2	待機時間	上記の手順 1 を設定した後、A/D コンバータを安全に停止するため、待機時間が必要です。指定の待機時間が経過した後、次の処理に進みます。
3	A/D コンバータ状態の確認	上記の手順 2 の待機時間が過ぎた後、A/D コンバータが動作しているかどうかを確認します。A/D コンバータが動作している場合 (ADSR.ADACTm = 1)、手順 4 へ進みます。 A/D コンバータが停止している場合 (ADSR.ADACTm = 0)、以降の処理は不要です (手順 6 へ進みます)。
4	A/D コンバータの強制停止	ADSTOPR レジスタで A/D コンバータを強制停止します。 (ADSTOPR.ADSTOPm = 1 を書き込みます)
5	A/D コンバータ停止まで待機	A/D コンバータが停止するまで待機します。 (ADSR.ADACTm = 0)
6	終了	強制停止処理は完了です。

4.1.46 A/D データレジスタ

RA6T1 グループでは、読み出しに関する制限があります。

以下のレジスタの読み出しは、ハーフワード単位で行ってください。

- A/D データレジスタ
- A/D データ 2 重化レジスタ
- A/D データ 2 重化レジスタ A
- A/D データ 2 重化レジスタ B
- A/D 温度センサデータレジスタ
- A/D 内部基準電圧レジスタ
- A/D 自己診断データレジスタ

バイト単位で上位バイトと下位バイトの 2 回に分けてレジスタを読み出すと、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が一致しないことがあります。これを避けるため、バイト単位のデータレジスタの読み出しは行わないでください。

RA6T2 グループでは、同じアナログチャネルに対して A/D 変換を複数回行う場合、同じアナログチャネルに対する個々の A/D 変換のデータを保持するには、以下の方法のどれかを行ってください。

- スキャン動作ごとにデータレジスタから読み出す
 - スキャングループの各スキャン終了時、A/D 変換を行ったアナログチャネルの A/D 変換データを ADDRn または ADEXDRm から読み出します。
 - この方法は、同じスキャングループ内で、同じアナログチャネルの A/D 変換を複数回行わず、次のスキャン動作までに、レジスタから A/D 変換データを読み出せる場合に効果的です。
- FIFO 機能を使って A/D 変換ごとにデータを保持する
 - FIFO を使うことで、同じアナログチャネルの複数の A/D 変換データを保持できます。
 - FIFO オーバーフローが発生する前に A/D 変換データを読み出してください。

4.1.47 ADC/ADC12 の低消費電力状態への遷移および解除に関する制限

RA6T2 グループでは、モジュールストップ状態やソフトウェアスタンバイモードが解除された後に A/D コンバータを動作させる場合、電気的特性で指定された動作安定時間の経過を待ち、自己校正動作を行い、その後で A/D 変換を開始します。

また、モジュールストップ状態に遷移した後にモジュールストップ状態を解除する場合、モジュールストップ状態を解除する前に電気的特性で規定されている停止時間が経過したことを確認してください。

これらの制限に違反した場合、動作は保証されません。

4.1.48 PGA が接続されたアナログチャネルの使用

RA6T1 グループでは、以下の通りです。

PGA（疑似差動入力有効）を使用する場合、レジスタ設定後、ユニット 0 の AN000～AN002 および PGAVSS000、ユニット 1 の AN100～AN102 および PGAVSS100 に負電圧を入力できます。

PGA（疑似差動入力有効）を使用する場合、ADPGADCR0 レジスタで各ユニットのすべての PGA アンブを疑似差動入力に設定する必要があります。

PGA（疑似差動入力無効）を使用する場合、関連する PGAVSS 端子を AVSS0 に接続してください。PGA を使用しない場合は、関連する PGAVSS を入力ポートまたはアナログポートとして使用できます。

PGA またはサンプル&ホールド回路を使用している状態から ADC モジュールストップ状態やソフトウェアスタンバイモードへ遷移するときは、各 ADC12 の ADPGACR または ADSHCR レジスタの対応ビットを遷移前に 0 にすると、電力消費を減らすことができます。

P003 および P007 の ASEL ビットの初期値は 1 です。これらの端子をアナログ機能として使用しない場合は、入力リーク電流を低減させるため、ASEL ビットを 0 にする必要があります。

RA6T2 グループでは、PGA が接続されているアナログ入力端子は、PGA の設定状態に依存して、ポート機能およびアナログ入力経路が制限されます。リセット解除後の PGA の初期設定状態は、オプション機能選択レジスタ 1（OFS1、OFS1_SEC、OFS1_SEL）の PGADEN[3:0]ビットの設定に依存します。

4.1.49 ADC12 の動作モードおよびステータスビット

RA6T1 グループでは、自己診断の電圧値、ダブルトリガモードでの 1 回目または 2 回目のスキュアの判定、およびコンペア機能のステータスマニタビットは、それぞれ必要に応じて初期化または再設定を行います。

- 自己診断の電圧値（ADCER.DIAGVAL[1:0]）は、ADCER.DIAGLD を 1 に設定してから選択してください
- ダブルトリガモードは、ADCSR.DBLE を 0 から 1 にした後、1 回目のスキュアとして動作します
- コンペア機能のステータスマニタビット（MONCMPA、MONCMPB、および MONCMPA）は、ADCMPCR.CMPAE および ADCMPCR.CMPBE ビットを 0 にクリアした後、初期化されます
- 常時サンプリング機能（ADSHMSR.SHMD = 1）は、ADSHMSR.SHMD を 0 にした後、初期化されます。常時サンプリング機能を再び使用する場合（ADSHMSR.SHMD を 1 にする場合）、ADCLK で 1 サイクル以上待機する必要があります

4.1.50 ADC12 入力使用時のポート設定

RA6T1 グループで高精度チャネルを使用する場合は、ポート 0 をデジタル出力ポートとして使用しないでください。通常精度チャネルを使用している場合は、A/D アナログ入力とデジタル出力に同じポートは使用しないことを推奨します。A/D アナログ入力としても使用しているデジタル出力を出力信号用に使用する場合は、A/D 変換を複数回実行し、最大値と最小値を除いた平均をとるなどの対策を行ってください。

4.1.51 ADC12（ユニット 0 およびユニット 1）と ACMPHS の関係

RA6T1 グループでは、表 4.7 に示す A/D 変換対象の場合、ユニット 0 およびユニット 1 は同時に A/D 変換を行うことができません。

表 4.7 相互排他的関係にある A/D 変換対象

A/D 変換対象	
ユニット 0	ユニット 1
温度センサ	
内部基準電圧	
AN005/DA0	AN105/DA0
AN006/DA1	AN106/DA1

表 4.8 に示す A/D 変換対象は、A/D 変換中に ACMPHS 入力として選択することができません。これらの端子は ADC12 と ACMPHS との兼用端子であるためです。

表 4.8 A/D 変換中に選択できない ACMPHS 端子一覧

A/D 変換対象		
ユニット 0	ユニット 1	ACMPHS
AN000	—	ACMPHS0.IVCMP2
AN001	—	ACMPHS1.IVCMP2
AN002	—	ACMPHS2.IVCMP2
PGA P000 出力	—	ACMPHS0.IVCMP3
PGA P001 出力	—	ACMPHS1.IVCMP3
PGA P002 出力	—	ACMPHS2.IVCMP3
AN005/DA0	—	ACMPHS0~ACMPHS5.IVREF3
AN006/DA1	—	ACMPHS0~ACMPHS5.IVCMP1
AN016	—	ACMPHS0~ACMPHS5.IVREF0
AN017	—	ACMPHS0~ACMPHS5.IVCMP0
内部基準電圧	—	ACMPHS0~ACMPHS5.IVREF2
—	AN100	ACMPHS3.IVCMP2
—	AN101	ACMPHS4.IVCMP2
—	AN102	ACMPHS5.IVCMP2
—	PGA P000 出力	ACMPHS3.IVCMP3
—	PGA P001 出力	ACMPHS4.IVCMP3
—	PGA P002 出力	ACMPHS5.IVCMP3
—	AN105/DA0	ACMPHS3~ACMPHS5.IVREF3
—	AN106/DA1	ACMPHS3~ACMPHS5.IVCMP1
—	AN116	ACMPHS0~ACMPHS5.IVREF1
—	内部基準電圧	ACMPHS0~ACMPHS5.IVREF2

4.1.52 ADC の同期動作

RA6T2 グループでは、リセット解除後の初期状態では、同期動作機能が有効になっています。同期動作機能を使用しない場合は、ADSYCR レジスタで同期動作を無効にしてください。

4.1.53 複数の A/D コンバータ間で共有されているアナログチャネル

RA6T2 グループでは、A/D 変換結果の精度の劣化を防ぐため、自己診断チャネルを除き、ADC0 と ADC1 の双方から同じアナログチャネル（同じアナログ信号源）を A/D 変換することは禁止されています。

この制限に違反した場合、対象のアナログチャネルの A/D 変換精度は著しく劣化する可能性があるため、A/D 変換結果は保証されません。

4.1.54 A/D 変換開始トリガ

RA6T2 グループでは、スキャングループのスキャン動作が完了するまで、同じスキャングループに対する A/D 変換開始トリガは受け付けられません（この場合、A/D 変換開始トリガは無視されます）。

スキャングループのスキャン動作が完了し（ADSCANENDSR.SCENDFn = 1 (n = 0~8)）、かつ 6PCLKA クロックサイクル以上が経過してから、同じスキャングループに対する A/D 変換開始トリガを入力してください。

4.1.55 D/A 変換と A/D 変換の干渉低減有効時の制限事項

RA6T1 グループでは、DAADSCR.DAADST ビットが 1（D/A 変換と A/D 変換の干渉防止が有効）の場合、ADC12 をモジュールストップ状態にしないでください。モジュールストップ状態にすると、A/D 変換が停止するだけでなく、D/A 変換も停止する可能性があります。

4.1.56 内部モジュールへの DAC 出力の初期化手順

RA6T2 グループでは、内部モジュールへの DAC 出力の初期化手順は以下に従ってください。

ここではチャンネル 0 を例に説明します。

1. DAASWCR.DAASW0 ビットを 1 にします。
2. DACR.DAE ビットまたは DACR.DAOE0 ビットを 1 にします。
3. 変換する値を DADR0 レジスタに書き込みます。

4.1.57 TSN の制限事項

RA6T1 グループでは、温度センサの測定に、ADC12 の複数のチャネルを同時に使用することは禁止されています。

4.1.58 SRAM 領域からの命令フェッチ

RA6T1 グループでは、SRAMHS を使用してプログラムを実行する場合、CPU が正確にデータをプリフェッチできるように、SRAM 領域を初期化してください。初期化されていない SRAM 領域から CPU がデータをプリフェッチすると、パリティエラーが発生する場合があります。4 バイト境界のプログラムの終了アドレスから 12 バイト領域を初期化してください。弊社からは、データの初期化には NOP 命令の使用を推奨します。

4.1.59 SRAM のストアバッファ

RA6T1 グループでは、SRAM と CPU 間の高速アクセスには、ストアバッファが使用されます。SRAM へのストア命令の後に同じアドレスからロード命令が実行されると、そのロード命令は SRAM からではなくバッファからデータを読み出す場合があります。SRAM のデータを正確に読み出すには、以下の手順のうちいずれかを使用します。

- SRAM (アドレス = A) に書き込んだ後、NOP 命令を使用し、SRAM (アドレス = A) を読み出します。
- SRAM (アドレス = A) に書き込んだ後、SRAM (アドレス = A) 以外の領域からデータを読み出し、SRAM (アドレス = A) を読み出します。

4.1.60 プログラム/イレース中のサスペンド

RA6T2 グループでは、プログラム/イレースの処理が P/E サスペンドコマンドの発行により中止した場合、プログラム/イレース処理は P/E レジュームコマンドを発行することにより再開できます。フラッシュシーケンサが何らかの理由でコマンドロック状態になり、中断処理が正常に完了し ERSSPD フラグまたは PRGSPD フラグが 1 になった後強制停止コマンドを発行すると、中断処理は再開できません。さらに、処理が中断された領域の値は保証されません。該当領域を消去してください。

4.1.61 プログラム/イレースまたはブランクチェック中の禁止項目

RA6T1 グループと RA6T2 グループでは、プログラム/イレース中の禁止項目が異なります。

RA6T1 :

- 電源を動作電圧範囲外にする
- 周辺クロックの動作周波数を変更する

RA6T2 :

- 電源を動作電圧範囲外にする
- **FWEPROR.FLWE[1:0]ビットを変更する**
- **OPCCR.OPCM[2:0]ビットを変更する**
- **SCKDIVCR.FCK[2:0]ビットを変更する**
- **SCKSCR.CKSEL[2:0]ビットを変更する**
- **ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへの遷移**

4.1.62 プログラム／イレース中の異常終了

RA6T1 グループでは、RES 端子によるリセットの発生によりプログラム／イレースが異常終了した場合、不定データを格納したフラッシュメモリのプログラム状態／イレース状態は検証または確認できません。プログラム／イレースが異常終了した領域では、ブランクチェック機能では当該領域のイレースに成功したかどうかを判断できません。当該領域を使用する前にイレースを完了するためには、イレースを再実行してください。

4.1.63 Low-speed モードでのプログラム／イレース

RA6T2 グループでは、動作電力コントロールレジスタ（OPCCR）で Low-speed モードが選択されている場合は、フラッシュメモリのプログラム／イレースを行わないでください。

4.1.64 エミュレータ接続

RA6T2 グループでは、ルネサスは、SWD/JTAG 通信を使ったデバッグと SCI 通信を使ったシリアルプログラミングの両方をサポートするエミュレータを提供しています。本エミュレータを使うと、デバッグとシリアルプログラミング間の切り替えを簡単に行うことができます。

表 4.9 に、本エミュレータを使う場合の 10 ピンのピン配列と 20 ピンソケットのピン配列を示します。

SWD および JTAG のピン配列は ARM 標準で、MD、TXD、RXD の各端子は、SWD および JTAG のピン配列は ARM 標準で、MD、TXD、RXD の各端子は、シリアルプログラミング用に SCI 通信を使って追加されます。

シリアルプログラミングインタフェースは、TrustZone IDAU バウンダリレジスタ設定をプログラムするのに使用してください。

デバッグとシリアルプログラミングの両方を使うには、ボード上で PA14/SWCLK/TCK 端子と P201/MD 端子をワイヤード OR 回路を用いて接続することを推奨します。

表 4.9 エミュレータ用端子配置

端子番号	SWD	JTAG	SCI を使ったシリアルプログラミング
1	VCC	VCC	VCC
2	PA13/SWDIO	PA13/TMS	NC
4	PA14/SWCLK	PA14/TCK	P201/MD
	P201/MD にワイヤード OR 接続	P201/MD にワイヤード OR 接続	
6	PB03/SWO/TXD9	PB03/TDO/TXD9	PB03/TXD9
8	PA15/RXD9	PA15/TDI/RXD9	PA15/RXD9
9	GND 検出	GND 検出	GND 検出
10	nRESET	nRESET	nRESET
12	PE02/TCLK	PE02/TCLK	NC
14	PE03/TDATA[0]	PE03/TDATA[0]	NC
16	PE04/TDATA[1]	PE04/TDATA[1]	NC
18	PE05/TDATA[2]	PE05/TDATA[2]	NC
20	PE06/TDATA[3]	PE06/TDATA[3]	NC
3、5、15、17、19	GND	GND	GND
7	NC	NC	NC
11、13	NC	NC	NC

5. FSP 概要

Renesas RA ファミリの MCU は、ソフトウェア設計をサポートする Flexible Software Package (FSP) を提供しています。FSP は RA ファミリ間のスケーラビリティなど、下記に示す 5 つの特徴を有し、図 5.1 に示す、高性能かつ小メモリフットプリントを実現している HAL ドライバや様々なミドルウェアが実装されています。

FSP のダウンロードリンク

<https://github.com/renesas/fsp/releases>

<https://www.renesas.com/fsp>

- Quality:

FSP のコード品質は、ピアレビュー、自動化された要件ベースのテスト、業界標準のツールを使用した静的および動的解析により実現しています。

- Ease of Use:

直感的なコンフィギュレータとコードジェネレータにより、ソフトウェア開発が容易になり市場投入までの時間を短縮可能です。FSP は、MCU 周辺機能にアクセスするための使いやすい API 機能を提供しており、また、豊富なドキュメントとサンプル・プロジェクトも付属しています。

- Scalability:

FSP モジュールはすべての RA ファミリの MCU で互換性があり、同じ周辺機能を使用している限り、RA ファミリのどの MCU でも使用することができます。

- Build Time Configurations:

FSP モジュールはユーザのアプリケーションに必要な機能だけを有効にして、サイズなどを最適化したビルドができます。

- e2 studio IDE:

プロジェクトの開発効率を向上させるツールを多数提供しています。統合開発環境 (IDE) の e2 studio IDE では、「プロジェクトの作成、モジュールの選択と設定、コード開発、コード生成、デバッグ」のすべてが管理されたソフトウェア開発環境が提供されています。

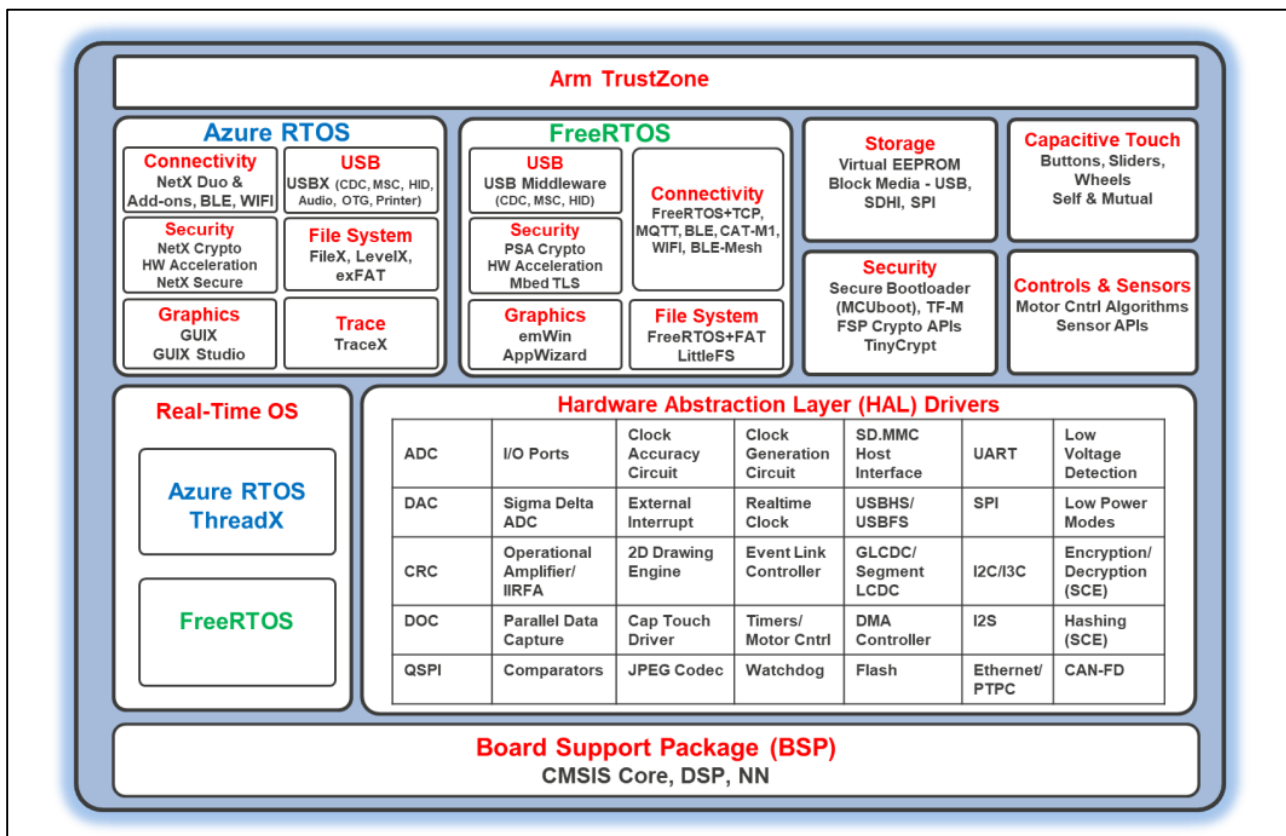


図 5.1 Flexible Software Package (FSP)

6. 参考ドキュメント

ユーザーズマニュアル:ハードウェア

RA6T1 グループ ユーザーズマニュアル ハードウェア編 Rev1.10 (R01UH0897JJ0110)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

RA6T2 グループ ユーザーズマニュアル ハードウェア編 Rev1.20 (R01UH0951JJ0120)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

アプリケーションノート

Renesas RA Family Flash Memory Programming Rev.1.20(R01AN5367EU120)

テクニカルアップデート/テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Sep.28.22	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

- 当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとなります。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。