

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M16C/80グループ

外部バス

1. 要約

この資料はM16C/80グループの外部バスについて説明しています。

2. はじめに

この資料で説明する内容は次のマイコンでの利用に適用されます。

- ・マイコン : M16C/80グループ

3. 外部バス

3.1 外部バスの概要

外部バスの機能を用いることで、マイクロコンピュータと外部のメモリやI/Oを簡単に接続することができます。外部バスは、プロセッサモードとしてメモリ拡張モードまたはマイクロプロセッサモードを選択したとき、一部の端子がデータバス、アドレスバス、制御信号用の端子として機能することにより動作します。

データバス幅は、各外部領域0、1、2、3ごとに8ビットまたは16ビットから選択できます。外部データバス幅制御レジスタのデータバス幅ビットが"0"のときはデータバス幅は8ビット、"1"のときはデータバス幅は16ビットとなり外部領域ごとに設定することができます。内部領域をアクセスする場合、外部データバス幅制御レジスタのデータバス幅ビットに関係なく、データバス幅は16ビット固定です。

また外部領域3についてはリセット解除時のBYTE端子が“L”レベルのときは16ビットに、“H”レベルのときは8ビットに初期のバス幅として設定されます。

3.2 データアクセス

3.2.1 データバス幅

外部データバス幅制御レジスタの全領域のデータバス幅ビットが"0"のときはデータバス幅は8ビットとなり、P10(/D8) ~ P17(/D15)は入出力ポートとして使用できます(図3.2.1)。

外部データバス幅制御レジスタのデータバス幅ビットが1つでも"1"のときはデータバス幅は16ビットとなり、P10(/D8) ~ P17(/D15)はデータバス(D8 ~ D15)として動作します(図3.2.1)。

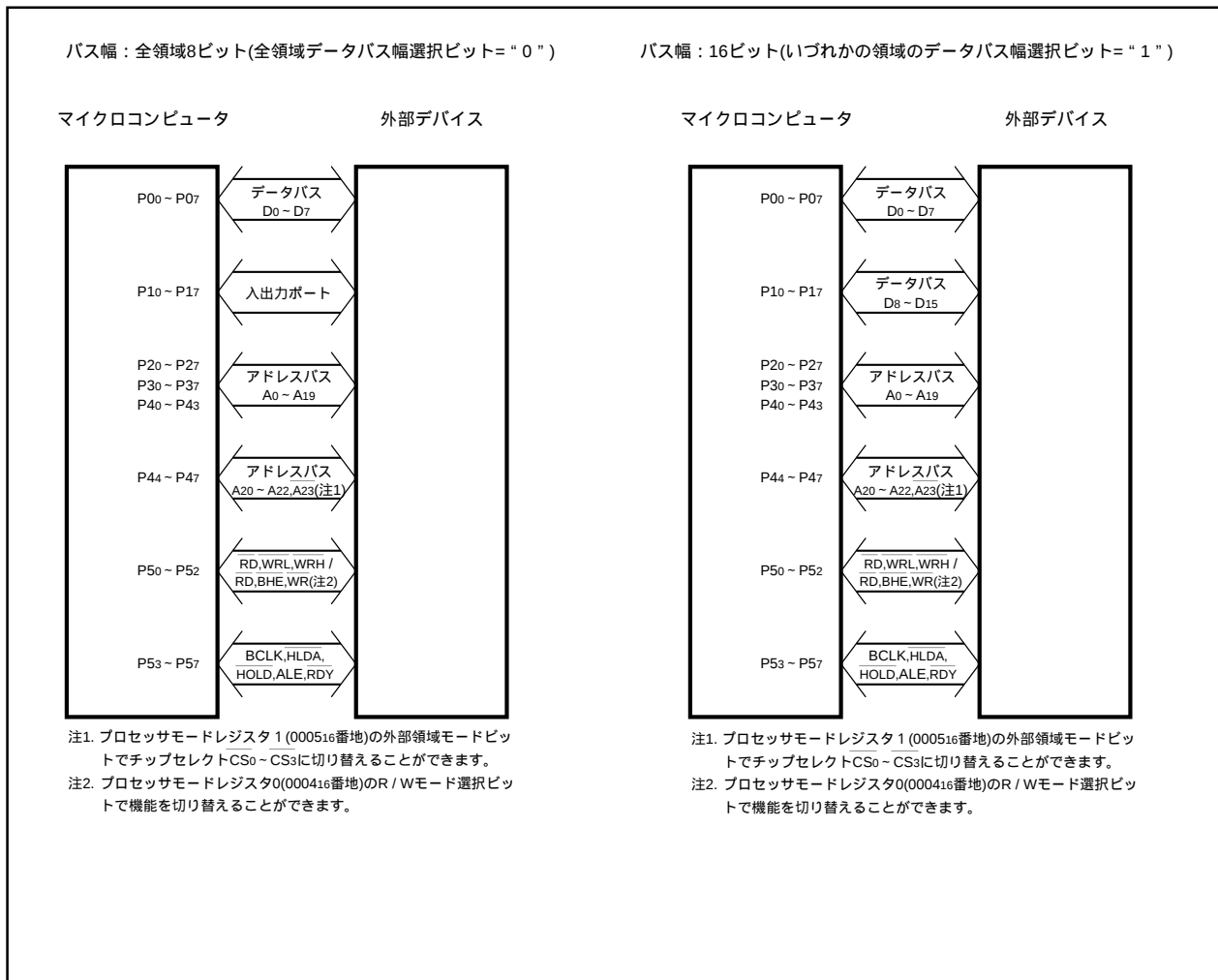


図3.2.1. データバス幅選択ビットと外部データバス幅

3.2.2 チップセレクトとアドレスバス

チップセレクト(P44/ $\overline{CS3}$ ~ P47/ $\overline{CS0}$)は、A20 ~ A22、 $\overline{A23}$ と兼用でプロセッサモードレジスタ1(0005₁₆番地)のビット0、1によって外部領域モードを設定することにより、チップセレクト領域とアドレス出力本数を選択できます。各チップセレクトがアクティブ(“L”)になるアドレスを図3.2.2に示します。ただし、メモリ拡張モードとマイクロプロセッサモードで内部領域と外部領域の範囲が異なるため、 $\overline{CS0}$ が出力される領域は異なります。また、内部のROM/RAM領域がアクセスされているときは、チップセレクトは出力されず、アドレスバスも変化しません(直前にアクセスされた外部領域のアドレスが保持されます)。

				形 名			XXXXXX ₁₆ 番地	YYYYYY ₁₆ 番地
				M30800MC/FC			002BFF ₁₆	FE0000 ₁₆
				M30803MG/FG			0053FF ₁₆	FC0000 ₁₆
				M30802MC/FC			002BFF ₁₆	FE0000 ₁₆
				M30805FG			0053FF ₁₆	FC0000 ₁₆
				M30802S			002BFF ₁₆	-
				M30805S			0063FF ₁₆	-

メモリ拡張モード				マイクロプロセッサモード			
モード1		モード2	モード3	モード1		モード2	モード3
000000 ₁₆	SFR領域	SFR領域	SFR領域	SFR領域	SFR領域	SFR領域	SFR領域
000400 ₁₆	内部RAM領域	内部RAM領域	内部RAM領域	内部RAM領域	内部RAM領域	内部RAM領域	内部RAM領域
XXXXXX ₁₆	内部予約領域	内部予約領域	内部予約領域	内部予約領域	内部予約領域	内部予約領域	内部予約領域
008000 ₁₆	$\overline{CS1}$ 2Mバイト (注1)	$\overline{CS1}$ 4Mバイト (注2)	使用不可	$\overline{CS1}$ 2Mバイト (注1)	$\overline{CS1}$ 4Mバイト (注2)	使用不可	使用不可
100000 ₁₆			$\overline{CS1}$ 1Mバイト			$\overline{CS1}$ 1Mバイト	$\overline{CS1}$ 1Mバイト
200000 ₁₆	$\overline{CS2}$ 2Mバイト		$\overline{CS2}$ 1Mバイト	$\overline{CS2}$ 2Mバイト		$\overline{CS2}$ 1Mバイト	$\overline{CS2}$ 1Mバイト
300000 ₁₆			使用不可			使用不可	使用不可
400000 ₁₆	DRAM接続 可能領域 0, 0.5 ~ 8MB (8MB未満の場合 の空き領域は 使用不可)	DRAM接続 可能領域 0, 0.5 ~ 8MB (8MB未満の場合 の空き領域は 使用不可)	使用不可	DRAM接続 可能領域 0, 0.5 ~ 8MB (8MB未満の場合 の空き領域は 使用不可)	DRAM接続 可能領域 0, 0.5 ~ 8MB (8MB未満の場合 の空き領域は 使用不可)	使用不可	使用不可
C00000 ₁₆	$\overline{CS0}$ 2Mバイト	$\overline{CS0}$ 3Mバイト	$\overline{CS3}$ 1Mバイト	使用不可	$\overline{CS0}$ 4Mバイト	$\overline{CS3}$ 1Mバイト	$\overline{CS3}$ 1Mバイト
D00000 ₁₆			使用不可			使用不可	使用不可
E00000 ₁₆	使用不可		$\overline{CS0}$ 1Mバイト				
F00000 ₁₆	内部予約領域	内部予約領域	内部予約領域	$\overline{CS0}$ 2Mバイト		$\overline{CS0}$ 1Mバイト	$\overline{CS0}$ 1Mバイト
YYYYYY ₁₆	内部ROM領域	内部ROM領域	内部ROM領域				
FFFFFF ₁₆							

注1. 2Mバイトに対し32Kバイト少ない
注2. 4Mバイトに対し32Kバイト少ない

図3.2.2. 各チップセレクトがアクティブ(“L”)になるアドレス

3.2.3 バスタイプ

M16C/80グループでは、アドレスの出力とデータの入出力に別々の端子を使用するセパレートバスと、アドレスの出力とデータの入出力が時分割で切り替わり、使用する端子を節約することができるマルチプレクスバスの2つのタイプのバスを持ちます。

セパレートバスは、ROMやRAMなどセパレートバスをもつデバイスをアクセスするときに使用します。セパレートバスでアクセスする領域には、プログラムやデータを配置することができます。

マルチプレクスバスは、ASSPなどマルチプレクスバスをもつデバイスをアクセスするときに使用します。マルチプレクスバスでアクセスする領域にはデータだけ配置し、プログラムを配置しないでください。

プロセッサモードレジスタ0(0004₁₆番地)のマルチプレクスバス空間選択ビット(ビット4とビット5)の設定で、マルチプレクスバスでアクセスする領域を、 $\overline{CS2}$ の領域、 $\overline{CS1}$ の領域、 $\overline{CS}$ 全空間の3種類から選択することができます。ただし、マイクロプロセッサモード時、全空間を選択することはできません。

マルチプレクスバスでアクセスしない $\overline{CS}$ の領域は、セパレートバスでアクセスします。

マルチプレクスバスに設定した領域をアクセスした場合、データバス幅が8ビットのとき、データバスのD₀～D₇がアドレスバスA₀～A₇と時分割で切り替わります。

データバス幅が16ビットのとき、データバスのD₀～D₁₅がアドレスバスA₀～A₁₅と時分割で切り替わります。マルチプレクスバスでアクセスする場合、ウエイト制御レジスタの相当するウエイトビットで「ウエイトなし」または「1ウエイトあり」を選択しても2ウエイトアクセスとなります。

3.2.4 R/Wモード

外部領域をアクセスする場合に出力されるリード/ライト信号は、プロセッサモードレジスタ0(0004₁₆番地)のR/Wモード選択ビット(ビット2)の設定で、(RD/BHE/WR)または(RD/WRH/WRL)を選択することができます。(RD/BHE/WR)は、16ビット幅をもつRAMをアクセスする場合に使用し、(RD/WRH/WRL)は8ビット幅をもつRAMをアクセスする場合に使用します。

リセット時、M16C/80は、(RD/BHE/WR)の設定になっています。(RD/WRH/WRL)に切り替える場合は、外部のRAMをアクセスする前に切り替えてください。

「3.4 接続例」に(RD/BHE/WR)および(RD/WRH/WRL)の接続例を示しますので参照してください。

3.3 外部領域モード

外部領域モードには、次の4つのモードがあります。

- (1) モード0・・・P44～P47はA20～A23
- (2) モード1・・・P44はA20、P45～P47はCS2～CS0
- (3) モード2・・・P44～P45はA20～A21、P46～P47はCS1～CS0
- (3) モード3・・・P44～P47はCS3～CS0

各モードは、プロセッサモードレジスタ1の外部領域モードビットで選択します。図3.3.1にプロセッサモードレジスタ1を示します。

プロセッサモードレジスタ1(注1)：マスクROM版、ROM外付け版(144ピン版のみ)

シンボル	アドレス	リセット時
PM1	000516番地	0016

ビットシンボル	ビット名	機能	R/W
PM10	外部領域モードビット(注3)	b1 b0 0 0 : モード0 (P44～P47はA20～A23) 0 1 : モード1 (P44はA20、P45～P47はCS2～CS0) 1 0 : モード2 (P44、P45はA20、A21、P46、P47はCS1、CS0) 1 1 : モード3(注2) (P44～P47はCS3～CS0)	○ ○
PM11			○ ○
PM12	内部メモリウエイトビット	0 : ウエイトなし 1 : ウエイトあり	○ ○
予約ビット		必ず“0”を設定してください	○ ○
PM14	ALE端子選択ビット(注3)	b5 b4 0 0 : ALEなし 0 1 : P53/BCLK(注4) 1 0 : P56/RAS 1 1 : P54/HLDA	○ ○
PM15			○ ○
何も配置されていない。読み出した場合、その値は不定。			- -

注1. このレジスタを書き替える場合、プロテクトレジスタ(000A16番地)のビット1を“1”にしてください。

注2. モード3を選択した場合、DRAMCは使用できません。

注3. マイクロプロセッサ/メモリ拡張モード時に有効。

注4. P53/BCLK(“01”)選択時はシステムクロック制御レジスタ0(000616番地)のビット0(CM00)およびビット1(CM01)を“0”に設定してください。

プロセッサモードレジスタ1(注1)：フラッシュメモリ版

シンボル	アドレス	リセット時
PM1	000516番地	0016

ビットシンボル	ビット名	機能	R/W
PM10	外部領域モードビット(注3)	b1 b0 0 0 : モード0 (P44～P47はA20～A23) 0 1 : モード1 (P44はA20、P45～P47はCS2～CS0) 1 0 : モード2 (P44、P45はA20、A21、P46、P47はCS1、CS0) 1 1 : モード3(注2) (P44～P47はCS3～CS0)	○ ○
PM11			○ ○
PM12	内部メモリウエイトビット	0 : ウエイトなし 1 : ウエイトあり	○ ○
予約ビット		必ず“0”を設定してください	○ ○
PM14	ALE端子選択ビット(注3)	b5 b4 0 0 : ALEなし 0 1 : P53/BCLK(注4) 1 0 : P56/RAS 1 1 : P54/HLDA	○ ○
PM15			○ ○
予約ビット		必ず“1”を設定してください(注5)	○ ○

注1. このレジスタを書き替える場合、プロテクトレジスタ(000A16番地)のビット1を“1”にしてください。

注2. モード3を選択した場合、DRAMCは使用できません。

注3. マイクロプロセッサ/メモリ拡張モード時に有効。

注4. P53/BCLK(“01”)選択時はシステムクロック制御レジスタ0(000616番地)のビット0(CM00)およびビット1(CM01)を“0”に設定してください。

注5. このビットを書き替えるのはメインクロック8分周の時に行ってください。

図3.3.1. プロセッサモードレジスタ1

3.3.1 モード0

モード0では、メモリ拡張モードおよびマイクロプロセッサモードにおいて、最大16Mバイトのメモリ空間をアクセスすることができます。すべての外部領域に対して、プログラムとデータを配置することができます。

モード0 (PM11, 10=0, 0のとき)			
	メモリ拡張 モード時	マイクロプロセッサ モード時	
000000 ₁₆	SFR領域	SFR領域	
000400 ₁₆	内部RAM領域	内部RAM領域	
XXXXXX ₁₆	内部予約領域	内部予約領域	
008000 ₁₆	外部領域	外部領域	
400000 ₁₆	DRAM接続 可能領域 (注2)	DRAM接続 可能領域 (注2)	
C00000 ₁₆	外部領域	外部領域	
F00000 ₁₆	内部予約領域		
YYYYYY ₁₆	内部ROM領域		
FFFFFF ₁₆			

形 名	XXXXXX ₁₆ 番地	YYYYYY ₁₆ 番地
M30800MC/FC	002BFF ₁₆	FE0000 ₁₆
M30803MG/FG	0053FF ₁₆	FC0000 ₁₆
M30802MC/FC	002BFF ₁₆	FE0000 ₁₆
M30805FG	0053FF ₁₆	FC0000 ₁₆
M30802S	002BFF ₁₆	-
M30805S	0063FF ₁₆	-

注1. シングルチップモード時のメモリ配置図は省略しています。
 注2. DRAMCを使用しないときは、外部領域として使用可能です。

図3.3.2. モード0でのメモリ配置

各外部領域に対してアクセスを行う場合、チップセレクト信号 $\overline{CS0} \sim \overline{CS3}$ は出力されません。アドレス信号A₂₀ ~ A₂₃として出力されます。A₂₃はアドレス最上位ビットの反転出力となります。

400000₁₆番地 ~ BFFFFFF₁₆番地の領域は、DRAM を接続しない場合は外部領域として使用可能です。DRAM を接続する場合、DRAMの空き領域となるエリアは、使用不可エリアとなります。

3.3.2 モード1

モード1では、メモリ空間のうち外部領域を4つのエリアに分割してチップセレクト信号とDRAM接続空間として使用することができます。

モード1 (PM11, 10=0, 1のとき)

	メモリ拡張 モード時	マイクロプロセッサ モード時
000000 ₁₆	SFR領域	SFR領域
000400 ₁₆	内部RAM領域	内部RAM領域
XXXXXX ₁₆	内部予約領域	内部予約領域
008000 ₁₆	CS1 2M ₁₆ 1 ₁₆ (注3)	CS1 2M ₁₆ 1 ₁₆ (注3)
200000 ₁₆	CS2 2M ₁₆ 1 ₁₆	CS2 2M ₁₆ 1 ₁₆
400000 ₁₆	DRAM接続 可能領域 (注2)	DRAM接続 可能領域 (注2)
C00000 ₁₆	CS0 2M ₁₆ 1 ₁₆	使用不可
E00000 ₁₆	使用不可	CS0 2M ₁₆ 1 ₁₆
F00000 ₁₆	内部予約領域	
YYYYYY ₁₆	内部ROM領域	
FFFFFF ₁₆		

形 名	XXXXXX ₁₆ 番地	YYYYYY ₁₆ 番地
M30800MC/FC	002BFF ₁₆	FE0000 ₁₆
M30803MG/FG	0053FF ₁₆	FC0000 ₁₆
M30802MC/FC	002BFF ₁₆	FE0000 ₁₆
M30805FG	0053FF ₁₆	FC0000 ₁₆
M30802S	002BFF ₁₆	-
M30805S	0063FF ₁₆	-

注1. シングルチップモード時のメモリ配置図は省略しています。

注2. DRAMCを使用しない領域は、使用不可能です。

注3. 2016Kバイトで2Mバイトに対して32K少ない。

図3.3.3. モード1でのメモリ配置

008000₁₆番地から1FFFFFF₁₆番地の領域に対してアクセスを行う場合、CPUはCS1のチップセレクト信号を出力します。同様に200000₁₆番地～3FFFFFF₁₆番地、C00000₁₆番地～DFFFFFF₁₆番地(マイクロプロセッサモード時はE00000₁₆番地～FFFFFF₁₆番地)に対するアクセスを行う場合は、それぞれCS2、CS0のチップセレクト信号を出力します。

400000₁₆番地～BFFFFFF₁₆番地の領域は、DRAMを接続しない場合、あるいはDRAMの空き領域となるエリアは、使用不可能なエリアとなります。

3.3.3 モード2

モード2では、メモリ空間のうち外部領域を3つのエリアに分割してチップセレクト信号とDRAM接続空間として使用することができます。

モード2 (PM11, 10=1,0のとき)

	メモリ拡張 モード時	マイクロプロセッサ モード時
000000 ₁₆	SFR領域	SFR領域
000400 ₁₆	内部RAM領域	内部RAM領域
XXXXXX ₁₆	内部予約領域	内部予約領域
008000 ₁₆	$\overline{CS1}$ 4M $\overline{A}$ 1 $\overline{t}$ (注3)	$\overline{CS1}$ 4M $\overline{A}$ 1 $\overline{t}$ (注3)
200000 ₁₆		
400000 ₁₆	DRAM接続 可能領域 (注2)	DRAM接続 可能領域 (注2)
C00000 ₁₆		
E00000 ₁₆	$\overline{CS0}$ 3M $\overline{A}$ 1 $\overline{t}$	$\overline{CS0}$ 4M $\overline{A}$ 1 $\overline{t}$
F00000 ₁₆	内部予約領域	
YYYYYY ₁₆	内部ROM領域	
FFFFFF ₁₆		

形 名	XXXXXX ₁₆ 番地	YYYYYY ₁₆ 番地
M30800MC/FC	002BFF ₁₆	FE0000 ₁₆
M30803MG/FG	0053FF ₁₆	FC0000 ₁₆
M30802MC/FC	002BFF ₁₆	FE0000 ₁₆
M30805FG	0053FF ₁₆	FC0000 ₁₆
M30802S	002BFF ₁₆	-
M30805S	0063FF ₁₆	-

注1. シングルチップモード時のメモリ配置図は省略しています。

注2. DRAMCを使用しない領域は、使用不可です。

注3. 4064Kバイトで4Mバイトに対して32K少ない。

図3.3.4. モード2でのメモリ配置

008000₁₆番地から3FFFFFF₁₆番地の領域に対してアクセスを行う場合、CPUは $\overline{CS1}$ のチップセレクト信号を出力します。同様にC00000₁₆番地~EFFFFFF₁₆番地(マイクロプロセッサモード時はC00000₁₆番地~FFFFFF₁₆番地)に対するアクセスを行う場合は、 $\overline{CS0}$ のチップセレクト信号を出力します。

400000₁₆番地~BFFFFFF₁₆番地の領域は、DRAM を接続しない場合、あるいはDRAMの空き領域となるエリアは、使用不可エリアとなります。

3.3.4 モード3

モード3では、メモリ空間のうち外部領域を3つのエリアに分割してチップセレクト信号として使用することができます。

モード3 (PM11, 10=1,1のとき)

	メモリ拡張 モード時	マイクロプロセッサ モード時
000000 ₁₆	SFR領域	SFR領域
000400 ₁₆	内部RAM領域	内部RAM領域
XXXXXX ₁₆	内部予約領域	内部予約領域
008000 ₁₆	使用不可	使用不可
100000 ₁₆	CS1 1M ₁₆ 1つ	CS1 1M ₁₆ 1つ
200000 ₁₆	CS2 1M ₁₆ 1つ	CS2 1M ₁₆ 1つ
300000 ₁₆	使用不可	使用不可
400000 ₁₆	使用不可	使用不可
C00000 ₁₆	CS3 1M ₁₆ 1つ	CS3 1M ₁₆ 1つ
D00000 ₁₆	使用不可	使用不可
E00000 ₁₆	CS0 1M ₁₆ 1つ	
F00000 ₁₆	内部予約領域	
YYYYYY ₁₆	内部ROM領域	CS0 1M ₁₆ 1つ
FFFFFF ₁₆		

形 名	XXXXXX ₁₆ 番地	YYYYYY ₁₆ 番地
M30800MC/FC	002BFF ₁₆	FE0000 ₁₆
M30803MG/FG	0053FF ₁₆	FC0000 ₁₆
M30802MC/FC	002BFF ₁₆	FE0000 ₁₆
M30805FG	0053FF ₁₆	FC0000 ₁₆
M30802S	002BFF ₁₆	-
M30805S	0063FF ₁₆	-

注1. シングルチップモード時のメモリ配置図は省略しています。

図3.3.5. モード3でのメモリ配置

100000₁₆番地から1FFFFFF₁₆番地の領域に対してアクセスを行う場合、CPUはCS1のチップセレクト信号を出力します。同様に200000₁₆番地～2FFFFFF₁₆番地、C00000₁₆番地～CFFFFFF₁₆番地、E00000₁₆番地～EFFFFFF₁₆番地(マイクロプロセッサモード時はF00000₁₆番地～FFFFFF₁₆番地)に対するアクセスを行う場合は、それぞれCS2、CS3、CS0のチップセレクト信号を出力します。

なお、モード3では、DRAMは接続できません。そのため、400000₁₆番地～BFFFFFF₁₆番地の領域は、使用不可エリアとなります。

3.4 接続例

メモリの接続例を示します。

3.4.1 16ビット幅のメモリの接続例

図3.4.1にM5M51016BTP(SRAM)との接続例を示します。この図では、リセット解除時マイコンはシングルチップモードで動作します。プログラムで外部領域モードをモード1～モード3に、外部領域0データバス幅ビットを16ビットバスに、プロセッサモードビットをメモリ拡張モードに変更してください。

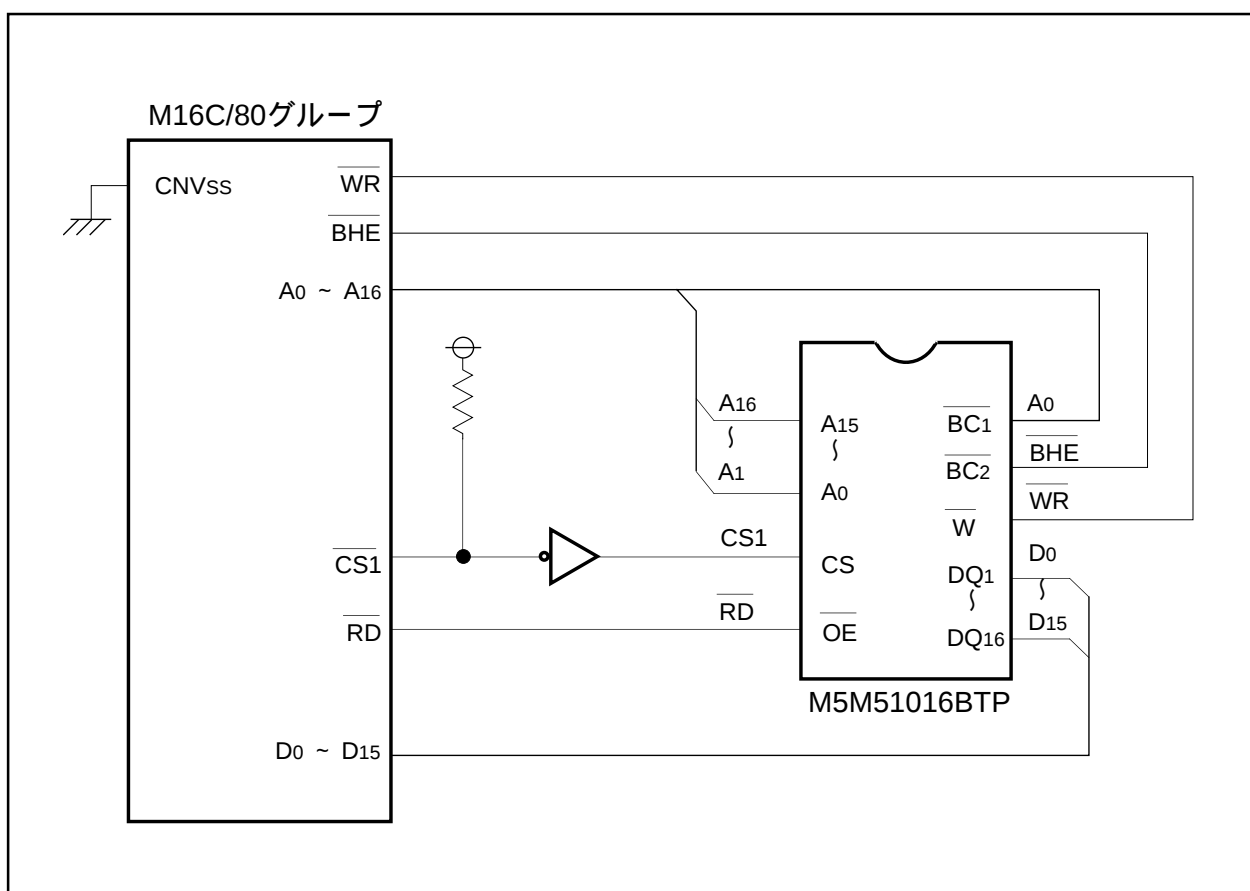


図3.4.1. M5M51016BTPとの接続例

3.4.2 16ビット幅のデータバスと8ビットメモリとの接続例

図3.4.2に16ビットのデータバスに2個のM5M5278DP(SRAM)を接続した例を示します。この図では、リセット解除時マイコンはシングルチップモードで動作します。プログラムで外部領域モードをモード1～モード3に、外部領域0データバス幅ビットを16ビットバスに、プロセッサモードビットをメモリ拡張モードに変更してください。

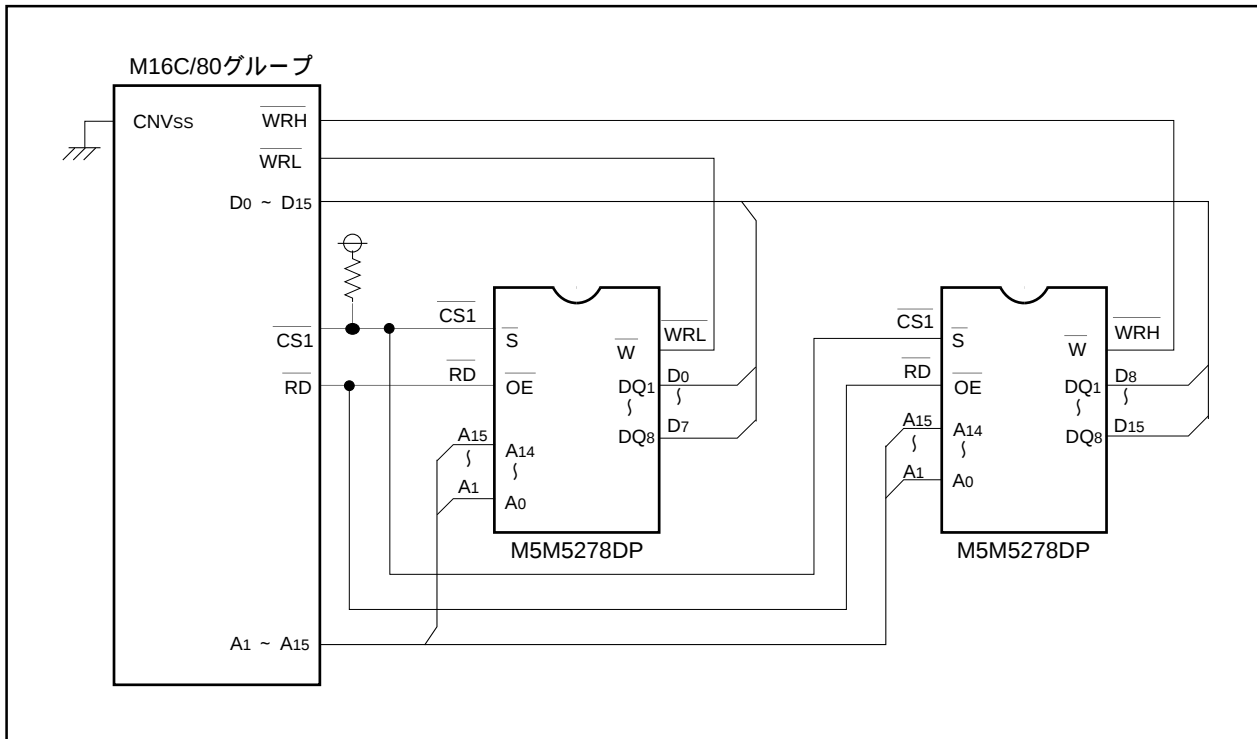


図3.4.2. M5M5278(32K×8ビット)を2個、16ビットバス幅で使用する場合の接続例

図3.4.3に16ビットのデータバスに2個のM5M28F101AFP(フラッシュメモリ)と接続した例を示します。16ビットバスモードではリセット解除後、 $\overline{\text{BHE}}/\text{WRH}$ 端子は $\overline{\text{BHE}}$ として動作し信号が出力されます。16ビットバスモードに8ビットフラッシュメモリを接続する場合、両方のフラッシュのWR端子にWRL端子を接続し、フラッシュメモリへは偶数アドレスから16ビット単位で書き込むようにしてください。

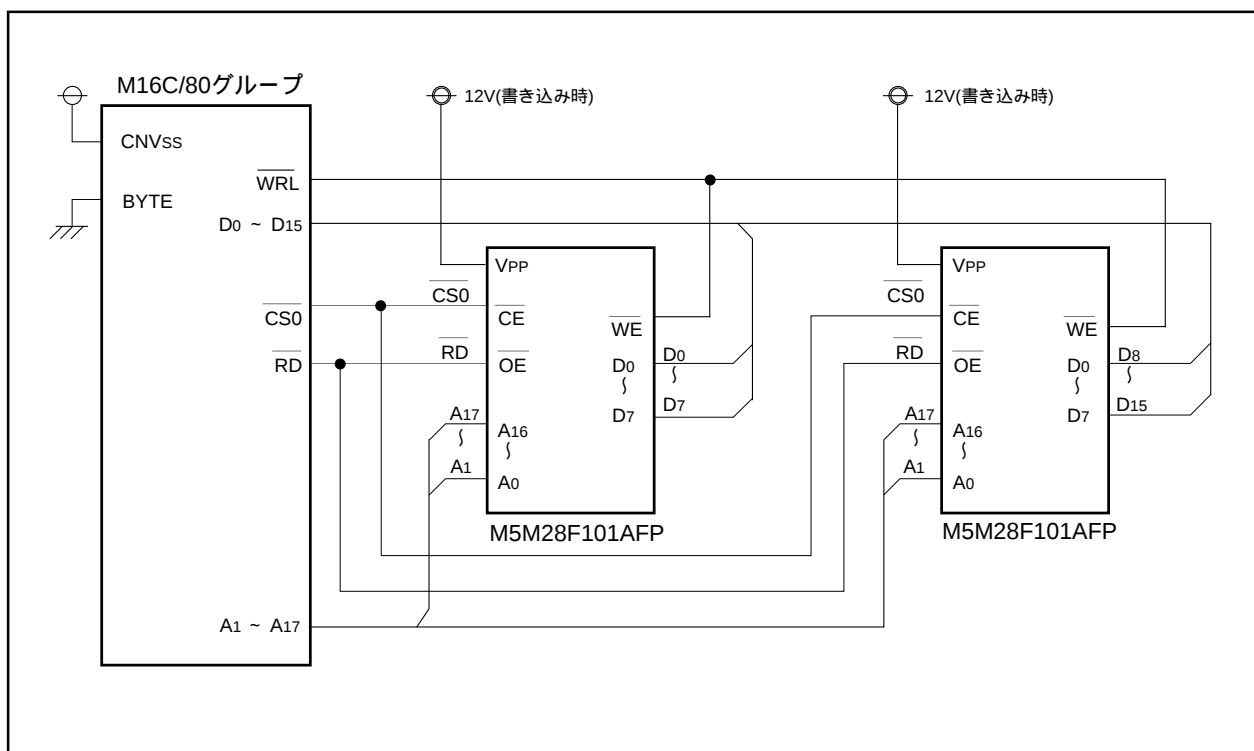


図3.4.3. M5M28F101AFP(128K × 8ビット)を2個、16ビットバス幅で使用する場合の接続例

3.4.3 8ビット幅のデータバスと8ビットメモリとの接続例

図3.4.4に8ビットのデータバスに2個のM5M5278DP(SRAM)と接続した例を示します。この図では、リセット解除時マイコンはシングルチップモードで動作します。プログラムで外部領域モードをモード1かモード3に、プロセッサモードビットをメモリ拡張モードに変更してください。

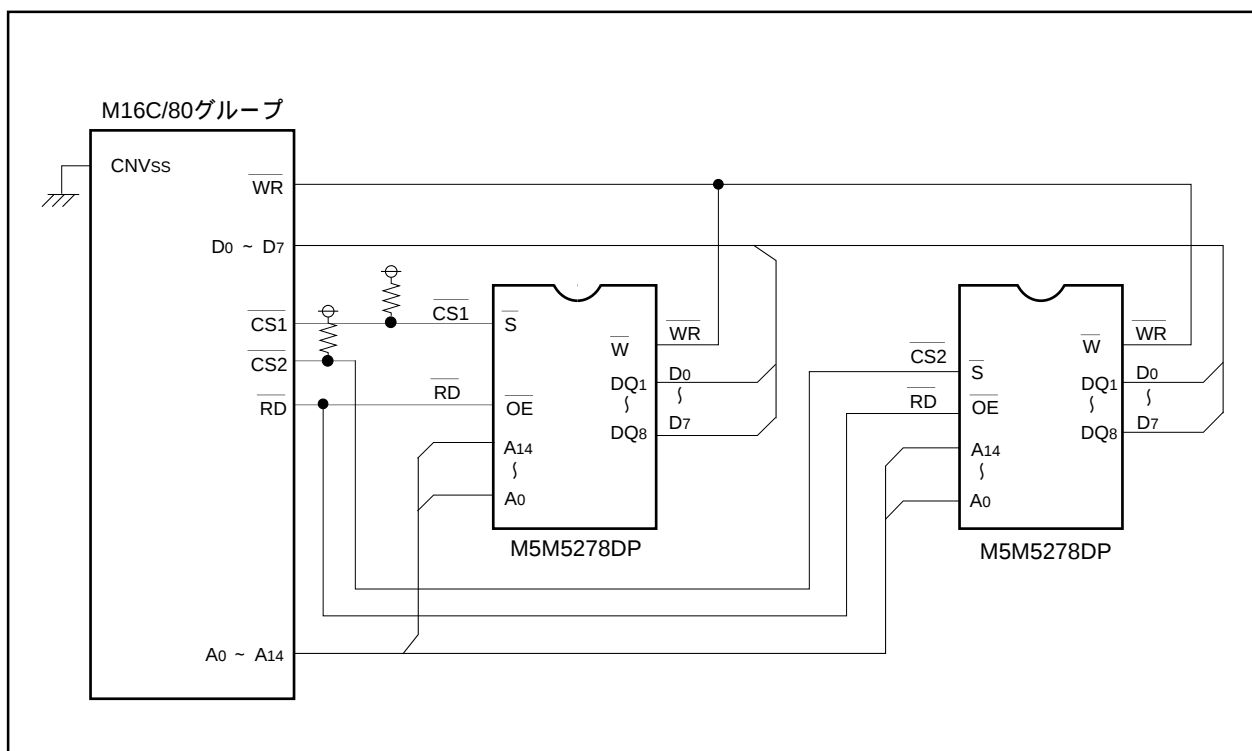


図3.4.4. M5M5278(32K×8ビット)を2個、8ビットバス幅で使用する場合の接続例

3.4.4 16ビット幅のデータバスに8ビットメモリと16ビットメモリの接続例

図3.4.5に16ビットのデータバスにM5M28F102(16ビットのフラッシュメモリ)とM5M5278DP(8ビットのSRAM)2個の接続例を示します。この図では、リセット解除時マイクロプロセッサモードで動作します。プログラムで外部領域モードをモード1～モード3に、外部領域0データバス幅ビットを16ビットに変更してください。(外部領域3(CS0の領域)はBYTE端子が"L"のため16ビットバス幅になっています)

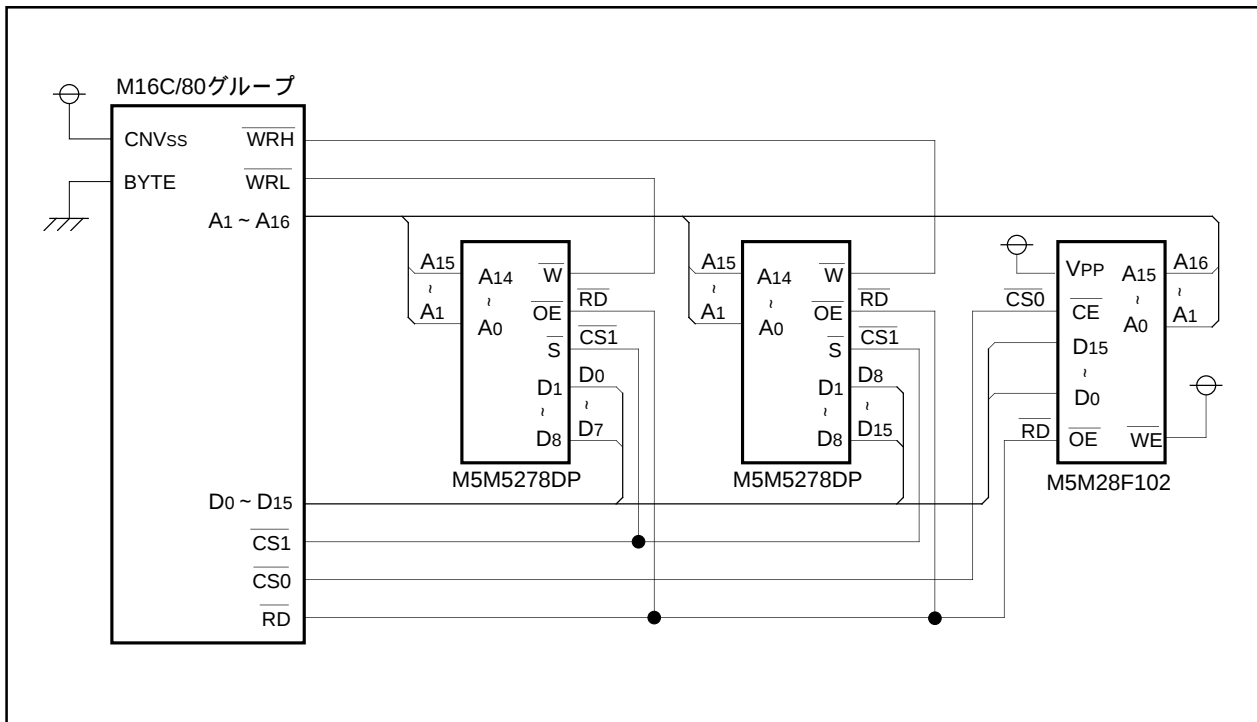


図3.4.5. 16ビットバス幅で8ビット / 16ビットのメモリを混在させた場合の接続例

3.4.5 8ビット幅/16ビット幅のデータバスが混在する場合の接続例

図3.4.6に16ビットのデータバスにM5M28F102(16ビットのフラッシュメモリ)を、8ビットのデータバスにM5M5278DP(8ビットのSRAM)を接続した例を示します。この図では、リセット解除時マイクロプロセッサモードで動作します。プログラムで外部領域モードをモード1～モード3に、外部領域0データバス幅ビットを8ビットに変更してください。(外部領域3(CS0の領域)はBYTE端子が"L"のため16ビットバス幅になっています)フラッシュメモリへは偶数アドレスから16ビット単位で書き込むようにしてください。

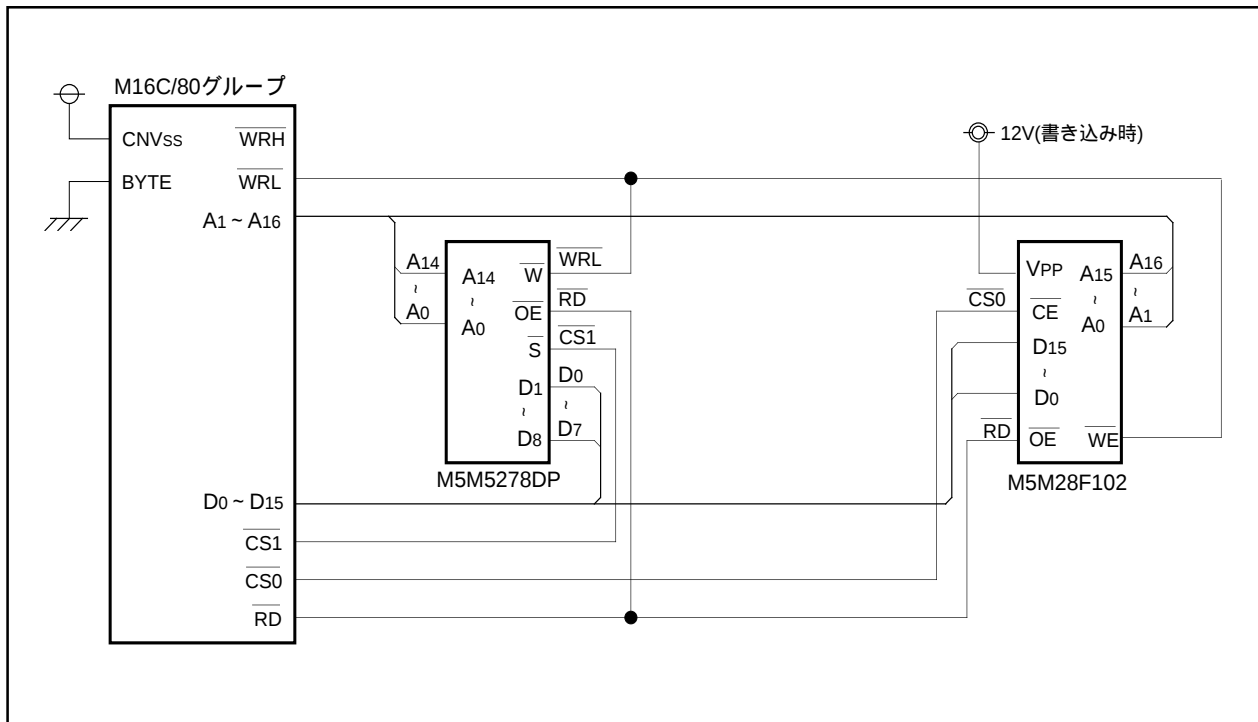


図3.4.6. 8ビット/16ビットバス幅で8ビット / 16ビットのメモリを混在させた場合の接続例

3.4.6 チップセレクトとアドレスバス

内蔵しているチップセレクト信号が不足する場合、外部でチップセレクト信号を生成する必要があります。外部領域モードをモード3とした場合のCS1の領域を128Kバイト単位で8個に分割する接続例を図3.4.7に示します。

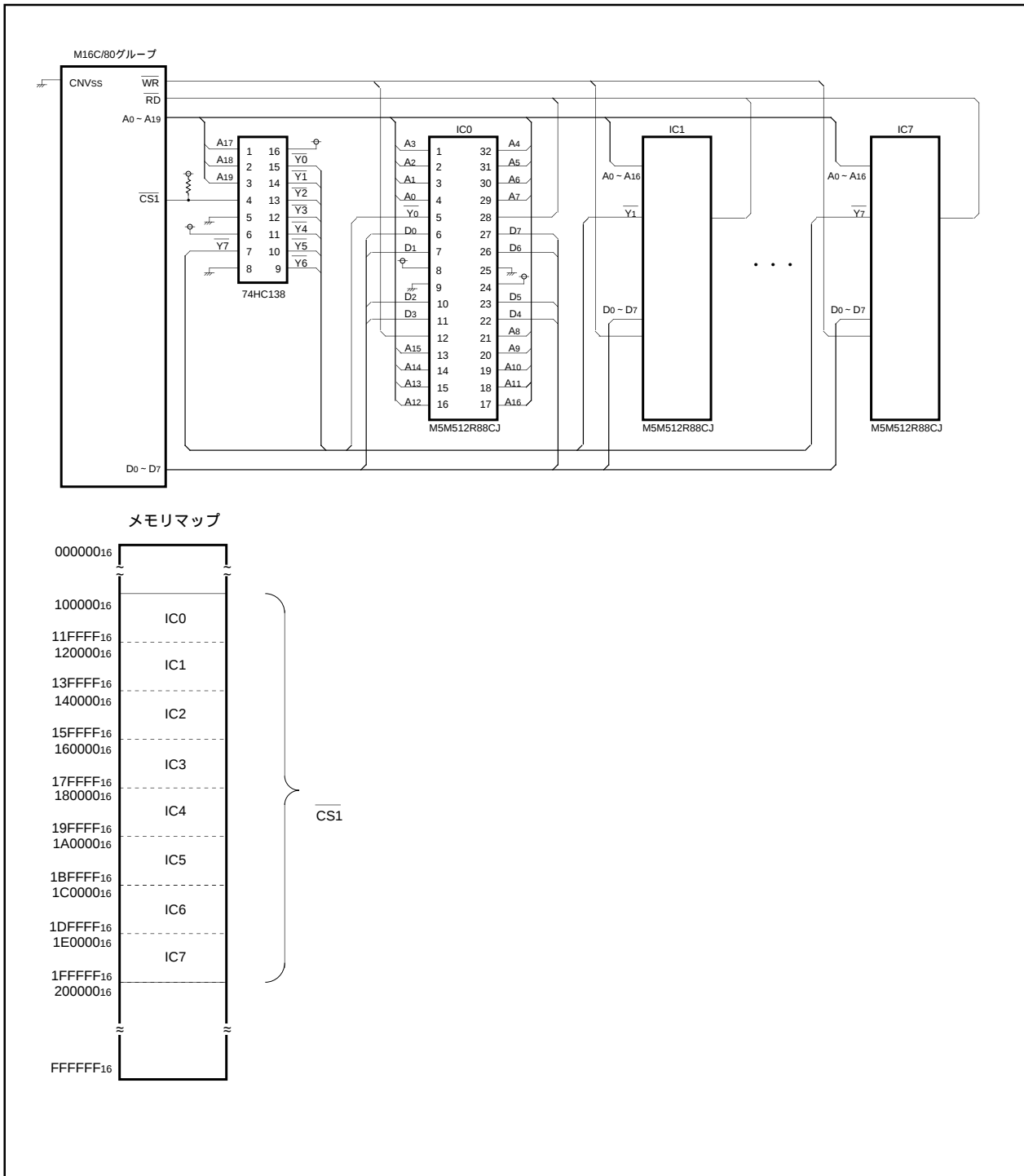


図3.4.7. チップセレクトとアドレスバス

3.4.7 DRAMの接続例

図3.4.8に16ビットデータバスにM5M465160A(64MビットDRAM)を接続した例を示します。この図では、リセット解除時シングルチップモードで動作します。プログラムでR/Wモード選択ビット(0004₁₆番地のビット2)を "1" に、外部領域モードをモード0～モード2に、外部領域2データバス幅ビットを16ビットに、プロセッサモードビットをメモリ拡張モードに変更してください。

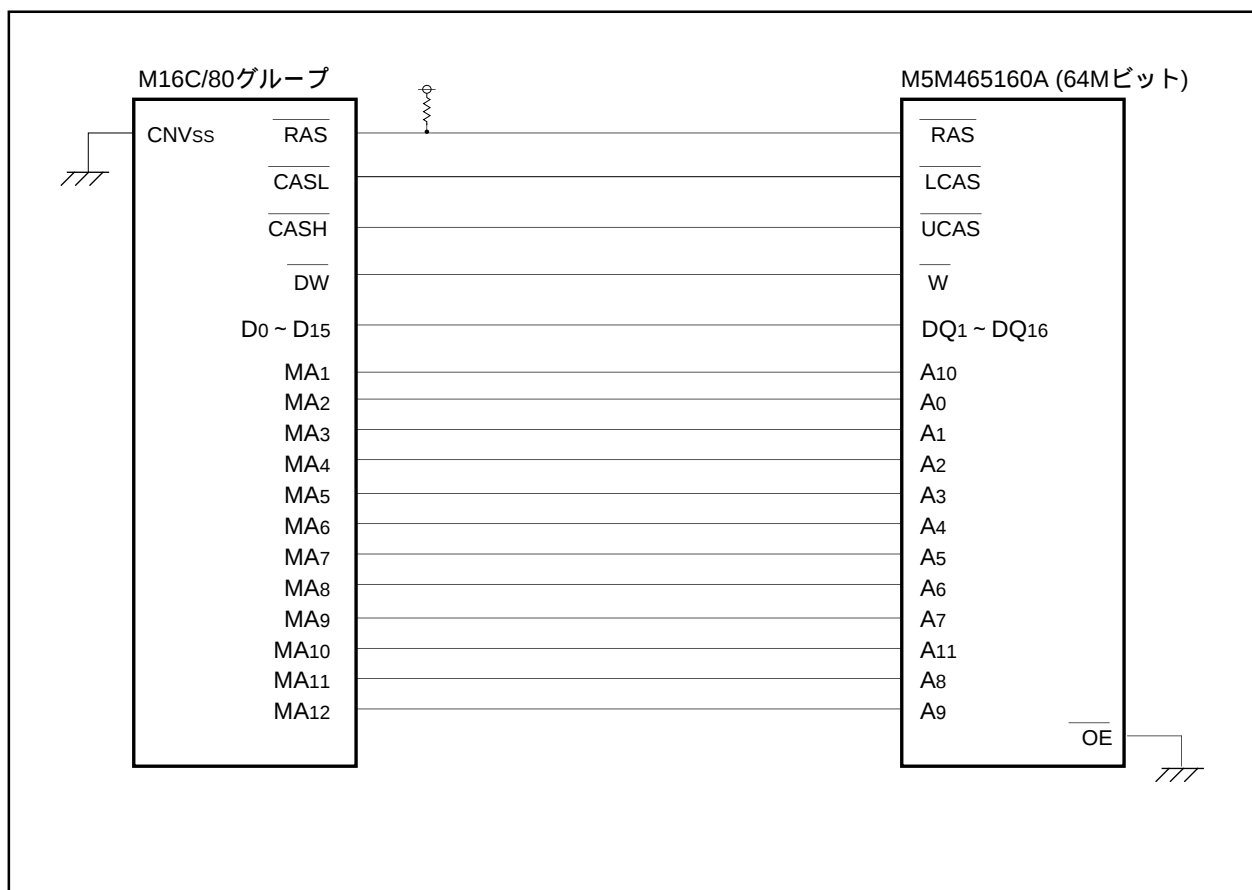


図3.4.8. DRAM接続例

3.5 接続可能なメモリ

3.5.1 動作周波数とアクセス時間

接続可能なメモリは、BCLKの周波数 $f(\text{BCLK})$ により異なります。 $f(\text{BCLK})$ は、発振子の周波数とメインクロック分周レジスタ(000C16番地のビット0~4)の設定で決まります。

以下に接続条件式を示します。最低限、これらの条件を満たすようにしてください。また、BCLKの周波数とメモリの関係を図3.5.1、図3.5.2に示します。

- リードサイクル時間(t_{CR}) / ライトサイクル時間(t_{CW})

リードサイクル時間 (t_{CR}) / ライトサイクル時間 (t_{CW}) は次の条件式を満たす必要があります。

- ・ ウェイトなし

$$t_{\text{CR}} < 10^9 / f(\text{BCLK}) \quad \text{かつ} \quad t_{\text{CW}} < 2 \times 10^9 / f(\text{BCLK})$$

- ・ ウェイトあり

$$t_{\text{CR}} < m \times 10^9 / f(\text{BCLK}) \quad \text{かつ} \quad t_{\text{CW}} < m \times 10^9 / f(\text{BCLK})$$

(m は1ウェイト時"2"、2ウェイト時"3"、3ウェイト時"4")

- アドレスアクセス時間 $t_{\text{a}}(\text{A})$

アドレスアクセス時間 $t_{\text{a}}(\text{A})$ は次の条件を満たす必要があります。

(1) $V_{\text{CC}}=5\text{V}$ の場合

- ・ ウェイトなし

$$t_{\text{a}}(\text{A}) < 10^9 / f(\text{BCLK}) - 35(\text{ns})$$

- ・ ウェイトあり

$$t_{\text{a}}(\text{A}) < m \times 10^9 / f(\text{BCLK}) - 35(\text{ns}) \quad (m \text{は1ウェイト時"2"、2ウェイト時"3"、3ウェイト時"4"})$$

$$35(\text{ns}) = t_{\text{d}}(\text{BCLK-AD}) + t_{\text{su}}(\text{DB-BCLK})$$

= (アドレス出力遅延時間) + (データ入力セットアップ時間)

(2) $V_{\text{CC}}=3\text{V}$ の場合

- ・ ウェイトなし

$$t_{\text{a}}(\text{A}) < 10^9 / f(\text{BCLK}) - 55(\text{ns})$$

- ・ ウェイトあり

$$t_{\text{a}}(\text{A}) < m \times 10^9 / f(\text{BCLK}) - 55(\text{ns}) \quad (m \text{は1ウェイト時"2"、2ウェイト時"3"、3ウェイト時"4"})$$

$$55(\text{ns}) = t_{\text{d}}(\text{BCLK-AD}) + t_{\text{su}}(\text{DB-BCLK})$$

= (アドレス出力遅延時間) + (データ入力セットアップ時間)

- チップセレクトアクセス時間 $t_{\text{a}}(\text{S})$

チップセレクトアクセス時間 $t_{\text{a}}(\text{S})$ は次の条件式を満たす必要があります。

(1) $V_{\text{CC}}=5\text{V}$ の場合

- ・ ウェイトなし

$$t_{\text{a}}(\text{S}) < 10^9 / f(\text{BCLK}) - 35(\text{ns})$$

- ・ ウェイトあり

$$t_{\text{a}}(\text{S}) < m \times 10^9 / f(\text{BCLK}) - 35(\text{ns}) \quad (m \text{は1ウェイト時"2"、2ウェイト時"3"、3ウェイト時"4"})$$

$$35(\text{ns}) = t_{\text{d}}(\text{BCLK-CS}) + t_{\text{su}}(\text{DB-BCLK})$$

= (チップセレクト出力遅延時間) + (データ入力セットアップ時間)

(2)Vcc=3Vの場合

・ウエイトなし

$$t_a(S) < 10^9 / f(\text{BCLK}) - 55(\text{ns})$$

・ウエイトあり

$$t_a(S) < m \times 10^9 / f(\text{BCLK}) - 55(\text{ns}) \quad (m \text{は1ウエイト時"2"、2ウエイト時"3"、3ウエイト時"4"})$$

$$55(\text{ns}) = t_d(\text{BCLK-CS}) + t_{su}(\text{DB-BCLK})$$

$$= (\text{チップセレクト出力遅延時間}) + (\text{データ入力セットアップ時間})$$

● 出力イネーブル時間 $t_a(\text{OE})$

出力イネーブル時間 $t_a(\text{OE})$ は次の条件式を満たす必要があります。

(1)Vcc = 5Vの場合

・ウエイトなし

$$t_a(\text{OE}) < 10^9 / (f(\text{BCLK}) \times 2) - 35(\text{ns}) = t_{ac1}(\text{RD} - \text{DB})$$

・ウエイトあり

$$t_a(\text{OE}) < m \times 10^9 / (f(\text{BCLK}) \times 2) - 35(\text{ns}) = t_{ac2}(\text{RD} - \text{DB})$$

$$(m \text{は1ウエイト時"3"、2ウエイト時"5"、3ウエイト時"7"})$$

(2)Vcc=3Vの場合

・ウエイトなし

$$t_a(\text{OE}) < 10^9 / (f(\text{BCLK}) \times 2) - 42(\text{ns}) = t_{ac1}(\text{RD} - \text{DB})$$

・ウエイトあり

$$t_a(\text{OE}) < m \times 10^9 / (f(\text{BCLK}) \times 2) - 42(\text{ns}) = t_{ac2}(\text{RD} - \text{DB})$$

$$(m \text{は1ウエイト時"3"、2ウエイト時"5"、3ウエイト時"7"})$$

● データセットアップ時間 $t_{su}(\text{D})$

データセットアップ時間 $t_{su}(\text{D})$ は次の条件式を満たす必要があります。

(1)Vcc=5Vの場合

・ウエイトなし

$$t_{su}(\text{D}) < 10^9 / (f(\text{BCLK})) - 20(\text{ns}) = t_d(\text{DB-WR})$$

・ウエイトあり

$$t_{su}(\text{D}) < n \times 10^9 / f(\text{BCLK}) - 20(\text{ns}) = t_d(\text{DB-WR}) \quad (n \text{はウエイト数})$$

(2)Vcc=3Vの場合

・ウエイトなし

$$t_{su}(\text{D}) < 10^9 / (f(\text{BCLK})) - 40(\text{ns}) = t_d(\text{DB-WR})$$

・ウエイトあり

$$t_{su}(\text{D}) < n \times 10^9 / f(\text{BCLK}) - 40(\text{ns}) = t_d(\text{DB-WR}) \quad (n \text{はウエイト数})$$

● ライトパルス幅 $t_w(\text{W})$

ライトパルス幅 $t_w(\text{W})$ は次の条件を満たす必要があります。

(1)Vcc=5Vの場合

$$t_w(\text{W}) < n \times 10^9 / (f(\text{BCLK}) \times 2) - 15(\text{ns})$$

$$(n \text{はウエイトなし時"1"、1ウエイト時"1"、2ウエイト時"3"、3ウエイト時"5"})$$

(2)Vcc=3Vの場合

$$t_w(\text{W}) < n \times 10^9 / (f(\text{BCLK}) \times 2) - 20(\text{ns})$$

$$(n \text{はウエイトなし時"1"、1ウエイト時"1"、2ウエイト時"3"、3ウエイト時"5"})$$

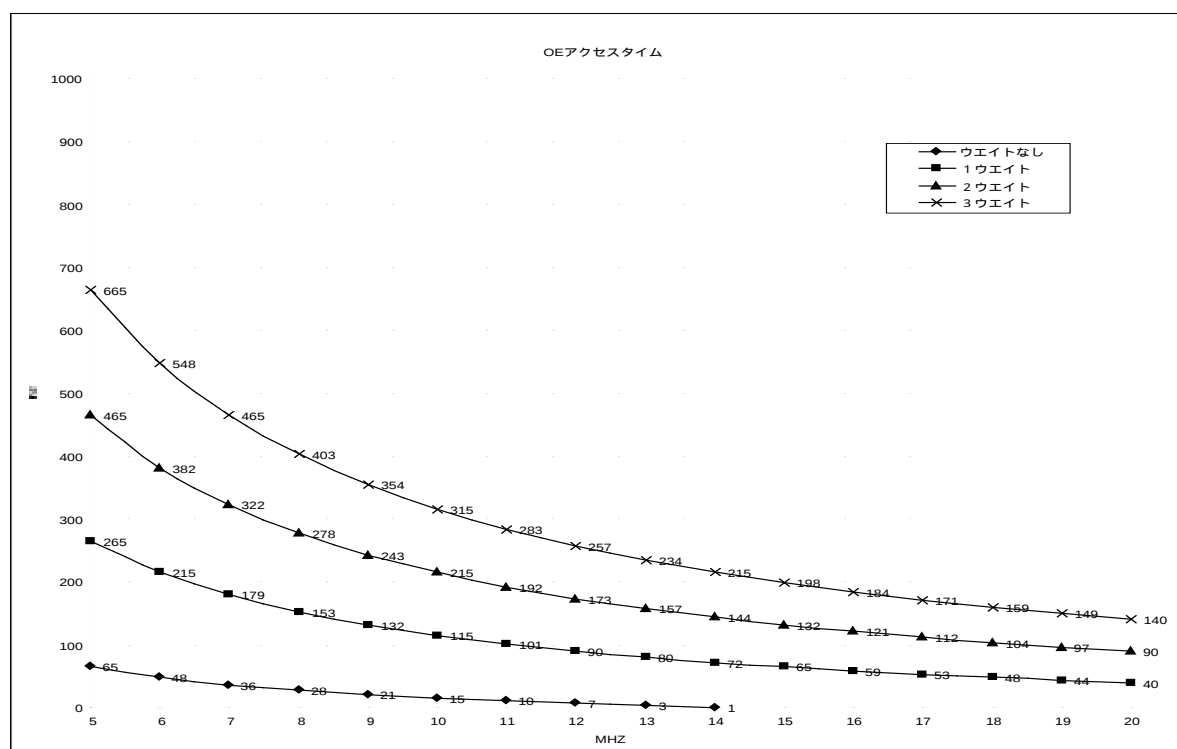
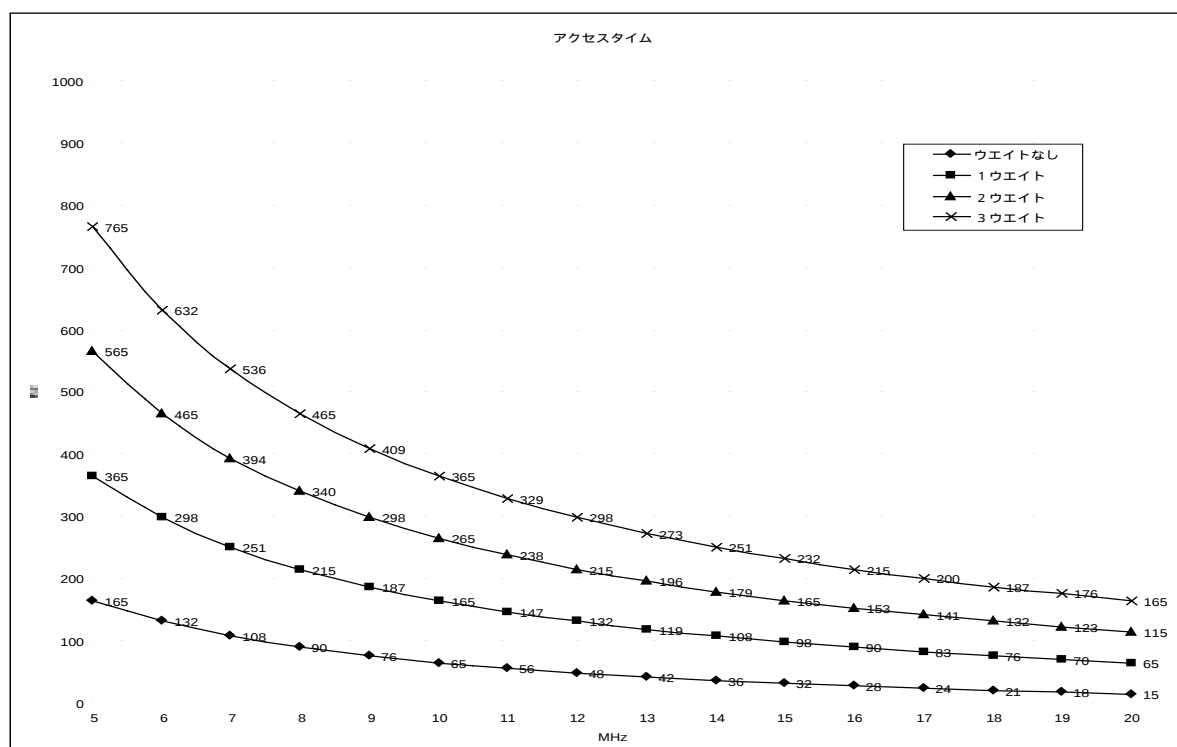


図3.5.1. BCLKの周波数とメモリの関係($V_{CC} = 5V(1)$)

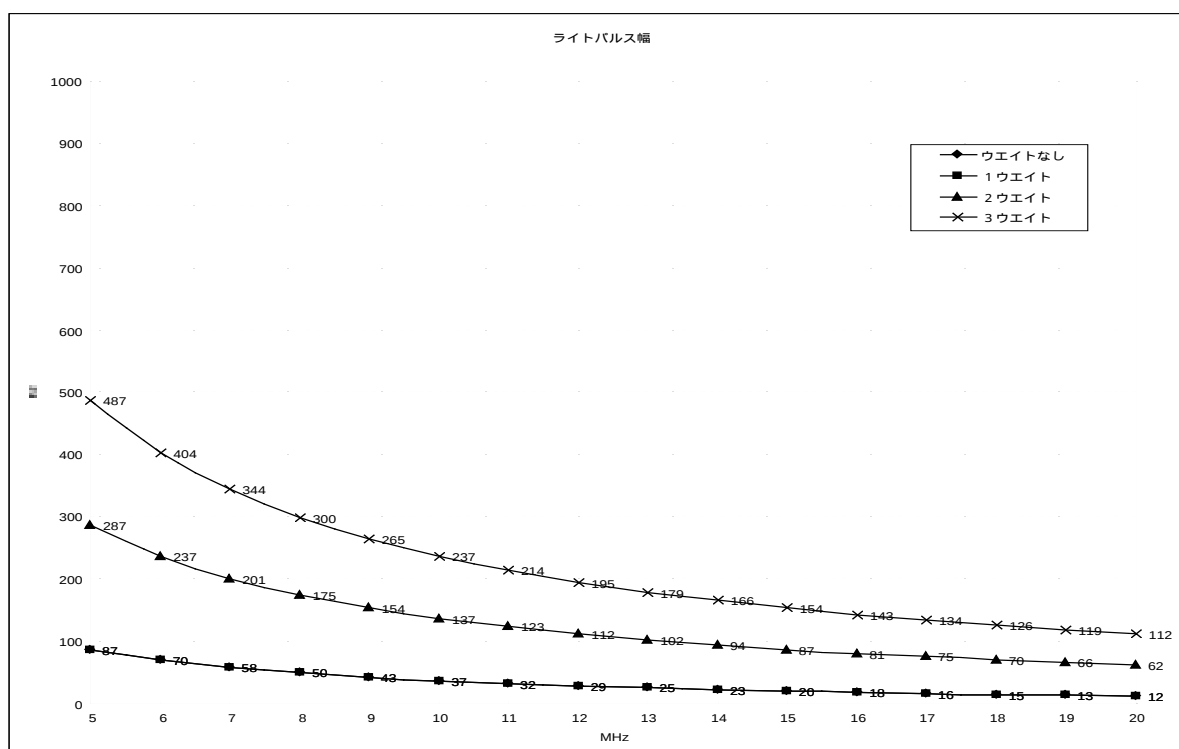
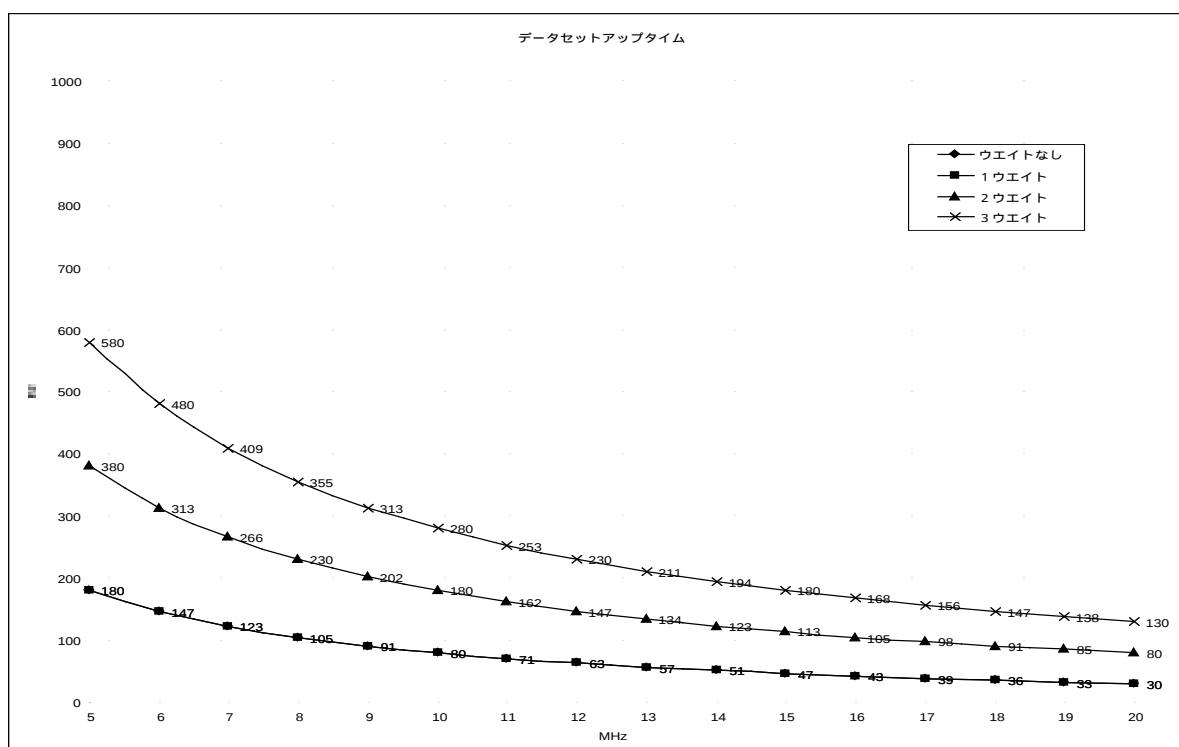


図3.5.2. BCLKの周波数とメモリの関係($V_{cc} = 5V(2)$)

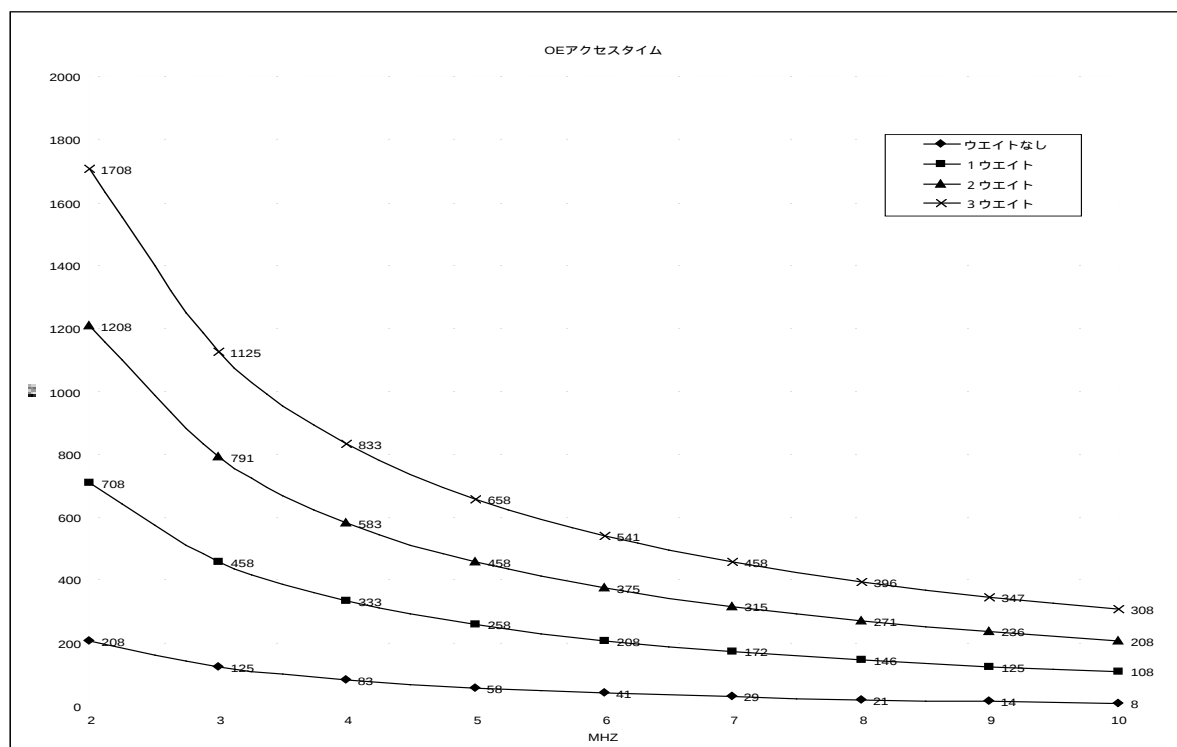
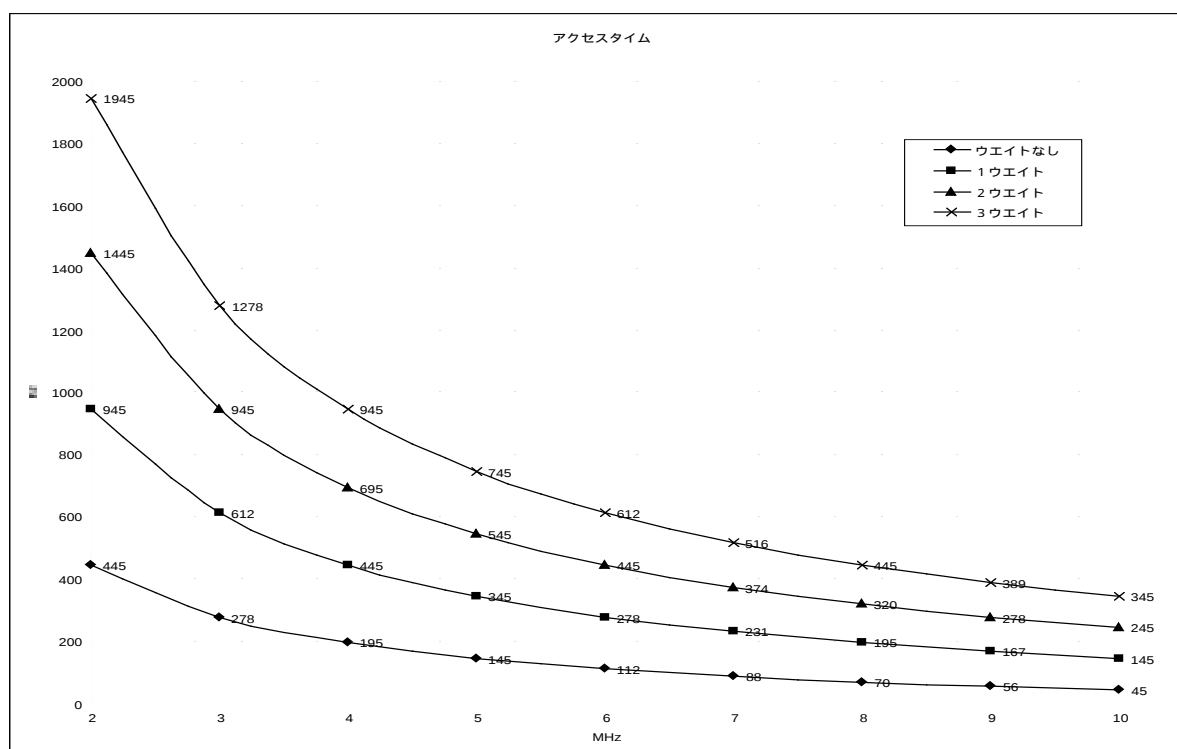


図3.5.3. BCLKの周波数とメモリの関係($V_{cc} = 3V(1)$)

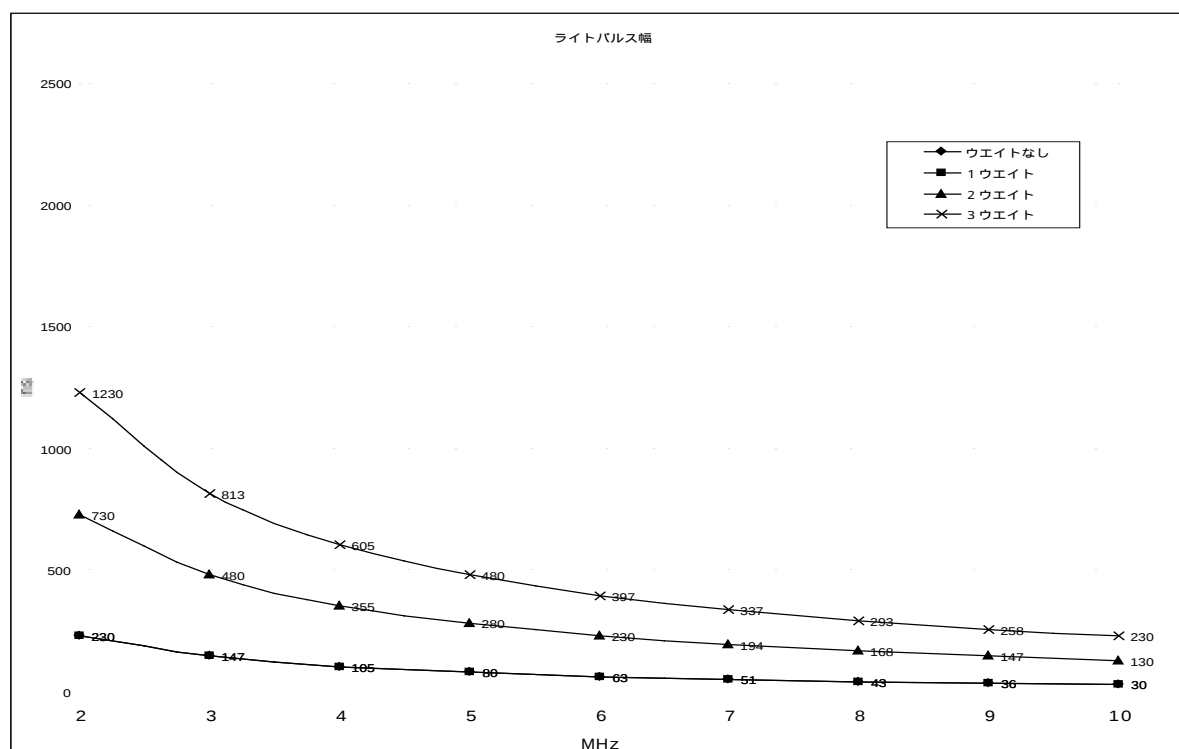
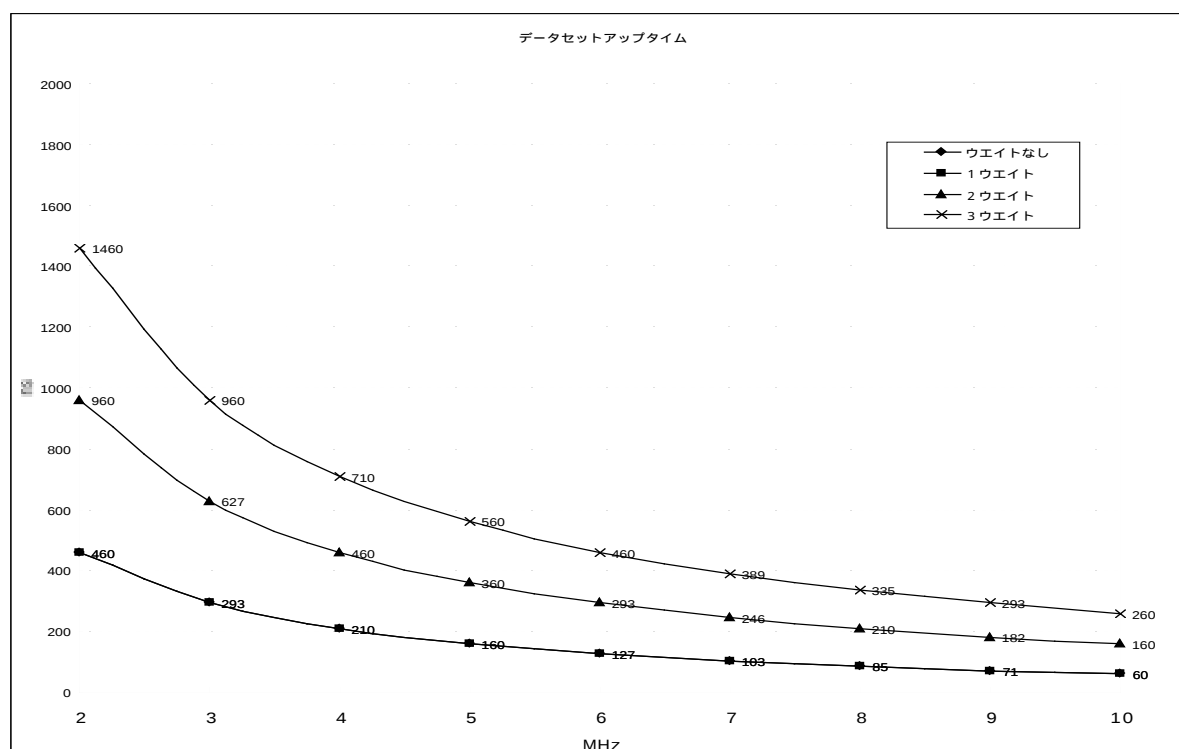


図3.5.4. BCLKの周波数とメモリの関係($V_{cc} = 3V(2)$)

3.5.2 低速メモリの接続

アクセスタイム $t_a(A)$ の大きいメモリを接続する場合、BCLKの周波数を下げるか、ソフトウェアウエイトを設定してください。ソフトウェアウエイトを設定しても、接続できないタイミングのメモリは、RDY機能を使用することにより接続可能となります。

(1) ソフトウェアウエイトの使用

ソフトウェアウエイトは、ウエイト制御レジスタ(WCR0～WCR7)により設定できます。ソフトウェアウエイトを設定した場合、セパレートバスが選択されているアドレス空間をアクセスすると、バスサイクルは、外部領域の場合、設定されているBCLKの指定サイクル(1～4)となります。また、マルチプレクスバスが選択されている場合、外部領域のアドレス空間をアクセスすると、バスサイクルは、"ウエイトなし"または"1 ウエイト"を選択していてもBCLKの3サイクルとなります。

プロセッサモードレジスタ1のビット2(PM12)をウエイトありに設定した場合、内部RAMと内部ROMをウエイトありでアクセスします。なお、SFR領域は内部メモリウエイトビットの影響を受けず、常にBCLKの2サイクルでアクセスされます。ウエイト制御レジスタ(WCR0～WCR7)の設定により、各領域ごとにウエイト数を設定できます。図3.5.5～図3.5.7に各プロセッサモードとウエイトビット(PM12, WCRi)の関係を示します。

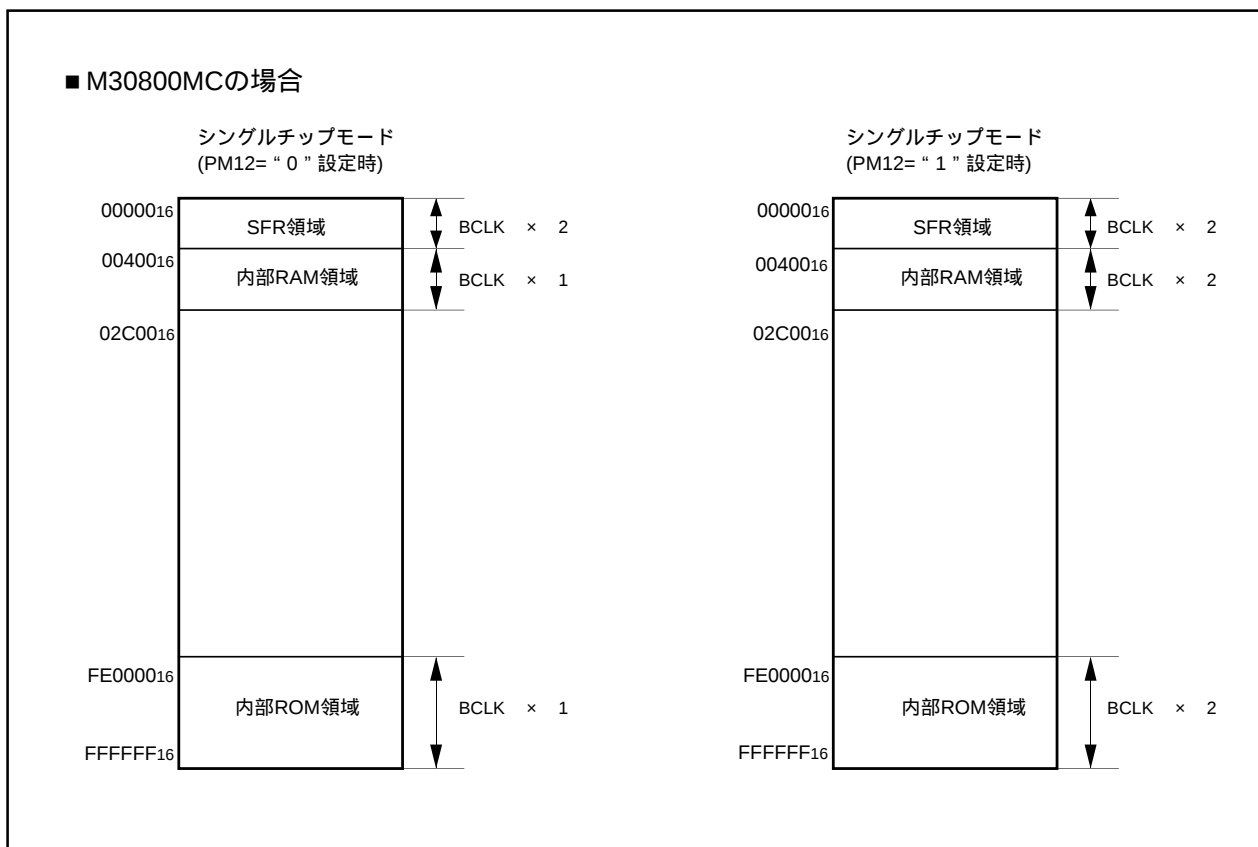


図3.5.5. 各プロセッサモードとウエイトビット(PM12, WCRi)の関係(1)

■ M30800MCの場合

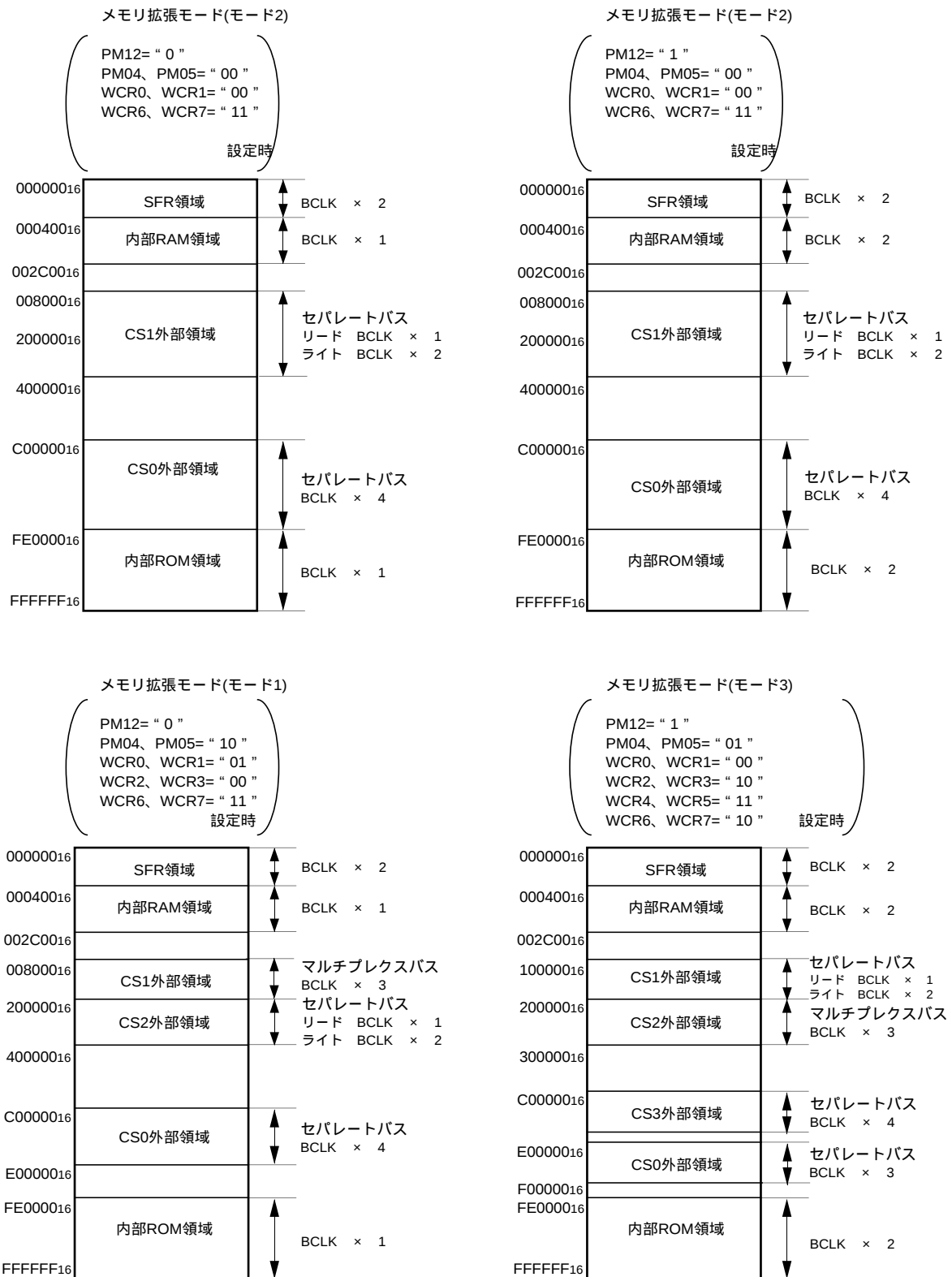


図3.5.6. 各プロセッサモードとウェイトビット(PM12, WCRi)の関係(2)

■ M30800MCの場合

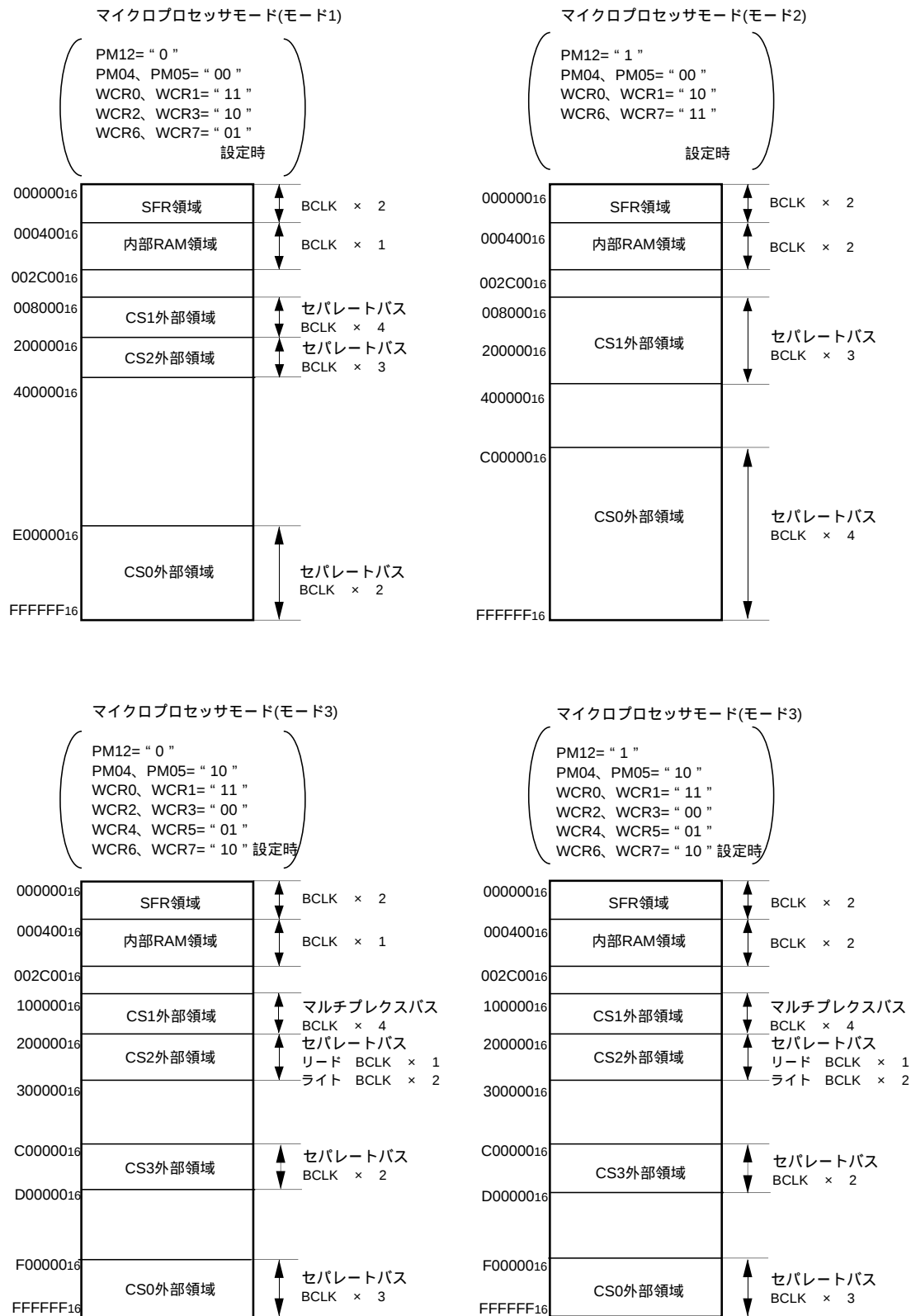


図3.5.7. 各プロセッサモードとウエイトビット(PM12, WCRi)の関係(3)

(2) RDY機能の使用

RDY機能を使用する場合は、ソフトウェアウエイトを設定してください。

RDY機能は、BCLK信号の立ち下がり時RDY端子が“L”の場合に動作し、1BCLKの間バスは変化せず、そのときの状態を保持します。

RDY機能は、RDY端子が“L”の間バスの状態が保持され、BCLK信号の立ち下がり時RDY端子が“H”の場合に解除されます。図3.5.8に1BCLKの間バスを保持させるためのRDY回路例を示します。

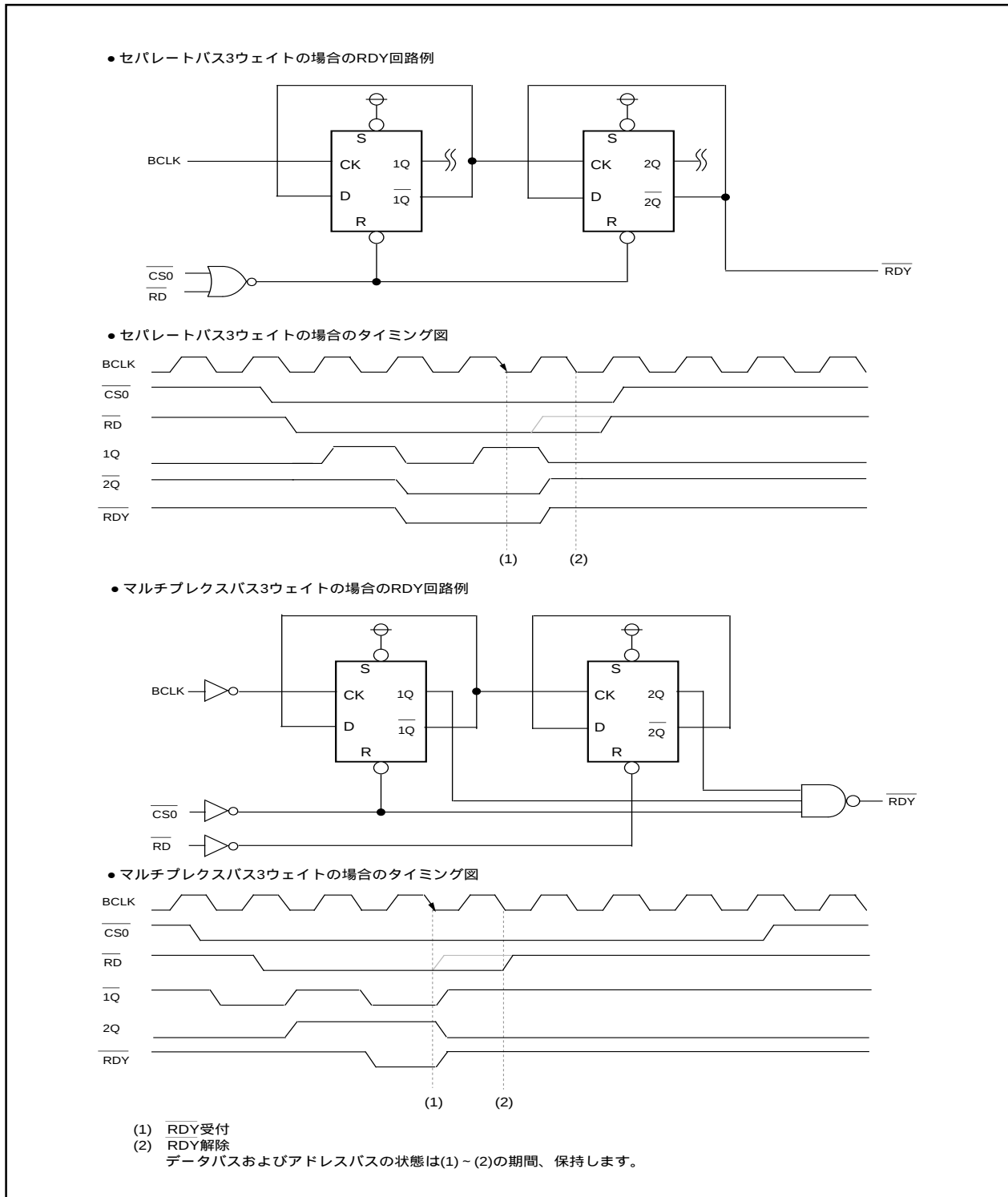


図3.5.8. 1BCLKの間バスを保持させるためのRDY回路例

3.5.3 接続可能なメモリ

接続可能なメモリとそのときの最大周波数を示します。

なお、M16C/80グループの最大周波数は、下記のとおりです。

VCC = 5V時 20MHz、ノーウエイト

VCC = 3V時 10MHz、1ウエイト

(1) フラッシュメモリ(リードオンリモード)

(a)接続条件 3V、ウエイトなし

最大周波数(MHz)	形 名
5.88	M5M29GB/T160BVP-80

(b)接続条件 3V、1ウエイト

最大周波数(MHz)	形 名
10.00	M5M29GB/T160BVP-80

(2) SRAM

(a)接続条件 3V、ウェイトなし

最大周波数(MHz)	形 名
8.06	M5M54R08AJ-15 M5M54R16AJ-15
8.19	M5M54R08AJ-12 M5M54R16AJ-12
8.33	M5M54R08AJ-10 M5M54R16AJ-150

(b)接続条件 3V、1ウェイト

最大周波数(MHz)	形 名
10.00	M5M54R08AJ-15 M5M54R16AJ-15 M5M54R08AJ-12 M5M54R16AJ-12 M5M54R08AJ-10 M5M54R16AJ-150

(3) DRAM

(a)接続条件 3V、1ウェイト

最大周波数(MHz)	形 名	
7.14	M5M465800DJ,DTP-6,6S	M5M465805DJ,DTP-6,6S
	M5M467800DJ,DTP-6,6S	M5M467805DJ,DTP-6,6S
	M5M465160DJ,DTP-6,6S	M5M465165DJ,DTP-6,6S
7.35	M5M465800DJ,DTP-5,5S	M5M465805DJ,DTP-5,5S
	M5M467800DJ,DTP-5,5S	M5M467805DJ,DTP-5,5S
	M5M465160DJ,DTP-5,5S	M5M465165DJ,DTP-5,5S

(b)接続条件 3V、2ウェイト

最大周波数(MHz)	形 名	
10.00	M5M465800DJ,DTP-6,6S	M5M465805DJ,DTP-6,6S
	M5M467800DJ,DTP-6,6S	M5M467805DJ,DTP-6,6S
	M5M465160DJ,DTP-6,6S	M5M465165DJ,DTP-6,6S
	M5M465800DJ,DTP-5,5S	M5M465805DJ,DTP-5,5S
	M5M467800DJ,DTP-5,5S	M5M467805DJ,DTP-5,5S
	M5M465160DJ,DTP-5,5S	M5M465165DJ,DTP-5,5S

3.6 外部バスの開放(HOLD入力とHLDA出力)

ホールド機能とは、複数のバスマスタがアドレスバス、データバス、コントロールバスを共有する場合に、M16C/80以外のバスマスタからのホールド要求によって、M16C/80側のアドレスバス、データバス、コントロールバス端子を開放する機能です。ホールド機能は、マイクロプロセッサモード、メモリ拡張モード時のみ有効です。

ホールド機能を使用する順序としては、

1. $\overline{\text{HOLD}}$ 端子の入力レベルを"L"にする。
2. M16C/80がバスを開放できる状態になると、BCLKの立ち下がりのタイミングで各バスがハイインピーダンス状態になる。
3. 次のBCLKの立ち上がりのタイミングで $\overline{\text{HLDA}}$ 端子出力が"L"になる。
4. 外部のバスマスタがバスを使用する。
5. 外部のバスマスタがバスを使用し終わると、 $\overline{\text{HOLD}}$ 端子の入力レベルを"H"に戻す。
6. 次のBCLKの立ち上がりのタイミングで $\overline{\text{HLDA}}$ 端子出力が"H"になる。
7. 次のBCLKの立ち下がりのタイミングでハイインピーダンス状態から元に戻る。

上記のように、 $\overline{\text{HLDA}}$ 出力が"L"の間は必ず各バスはハイインピーダンス状態となります。

また、バスを開放できる状態とは、バスサイクル中ではないことを意味します。すなわち、バスサイクル中にホールド要求が入った場合、そのバスサイクルが終了するまで $\overline{\text{HLDA}}$ 出力は"L"になりません。

ホールド状態では、各端子の状態は、下記のようになります。

- ・アドレスバス $\text{A0} \sim \text{A22}$, $\overline{\text{A23}}$

ハイインピーダンス状態。 $\text{A16} \sim \text{A19}$ をポートP40～P43として使用する場合(全領域マルチプレクス)はホールド信号を受け付けた状態を保持しています。

- ・データバス $\text{D0} \sim \text{D15}$

ハイインピーダンス状態。 $\text{D8} \sim \text{D15}$ をポートP10～P17と

して使用する場合(全外部領域バス幅8ビット)や $\text{D0} \sim \text{D15}$ をポートP00～P07、P10～P17として使用する場合(全領域マルチプレクス)はホールド信号を受け付けた状態を保持しています。

- ・ $\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, $\overline{\text{BHE}}$

ハイインピーダンス状態。

- ・ALE

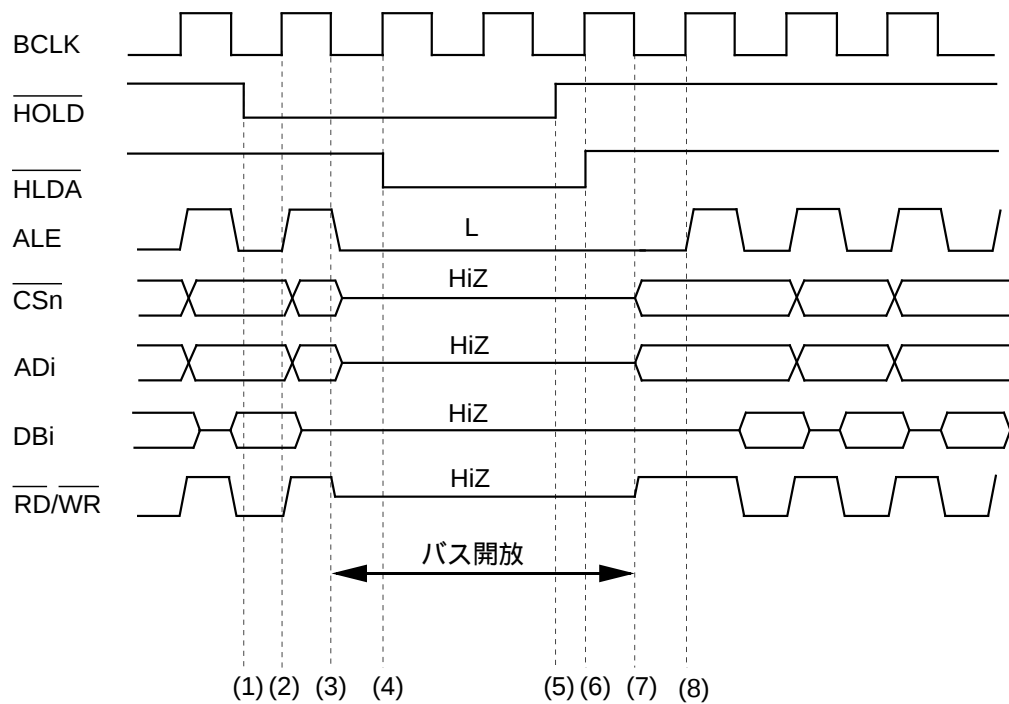
"L"状態となっています。

- ・ $\overline{\text{CS0}} \sim \overline{\text{CS3}}$

ハイインピーダンス状態。

図3.6.1に外部バスの開放例を示します。

タイミング図



- (1) $\overline{\text{HOLD}}$ 端子に"L"レベルを入力
- (2) $\overline{\text{HOLD}}$ 検出
- (3) バスを開放
- (4) $\overline{\text{HLDA}}$ 端子に"L"レベルを出力
- (5) $\overline{\text{HOLD}}$ 端子に"H"レベルを入力
- (6) $\overline{\text{HLDA}}$ 端子に"H"レベルを出力
- (7) バスの開放を停止
- (8) CPUがバスの使用を再開

図3.6.1. 外部バスの開放例

4. 参考ドキュメント

データシート

M16C/80グループデータシート Rev.E3

(最新版をルネサス テクノロジホームページから入手してください。)

ユーザーズマニュアル

M16C/80グループユーザーズマニュアル Rev.B

(最新版をルネサス テクノロジホームページから入手してください。)

5. ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://www.renesas.com/>

M16CファミリMCU技術サポート窓口

E-mail: support_apl@renesas.com

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.02.16	-	初版発行

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
- ・本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。