

はじめに

このアプリケーションノートは、アナログフィードバックを含む PWM 回路を GreenPAK でどのように作成するかを記述した一例です。この回路は SLG46120V という小さい GreenPAK に実装されているため、他の GreenPAK にも容易に移植することができます。

外部回路

図 1 で示されるように、二つのアナログ電圧入力があります。一つは R1 と VR で作成され(0V...VDD/3※)、PIN4 および 6 に入力されるもの。もう一つは R2 と C1 で作成され、LED の PWM デューティ比 (0%...100%) をアナログ電圧(0V...VDD)に変換したものです。これはコンフィギュレーションにより 1/3 倍され PIN3 に入力されます。これら 2つの信号は ACMP0 によって互いに比較され (図 2 参照)、もし PIN4 の電圧が PIN3 より高ければ、PWM のデューティ比は増加され、そうでなければ減少されます。これにより PIN3 の電圧は常に PIN4 の電圧に近づくよう調整されます。

※VDD=3.3V という前提で PIN4,6 には ACMP0 で比較可能な電圧(0 ... 1.1V)が加わるように設計しています。

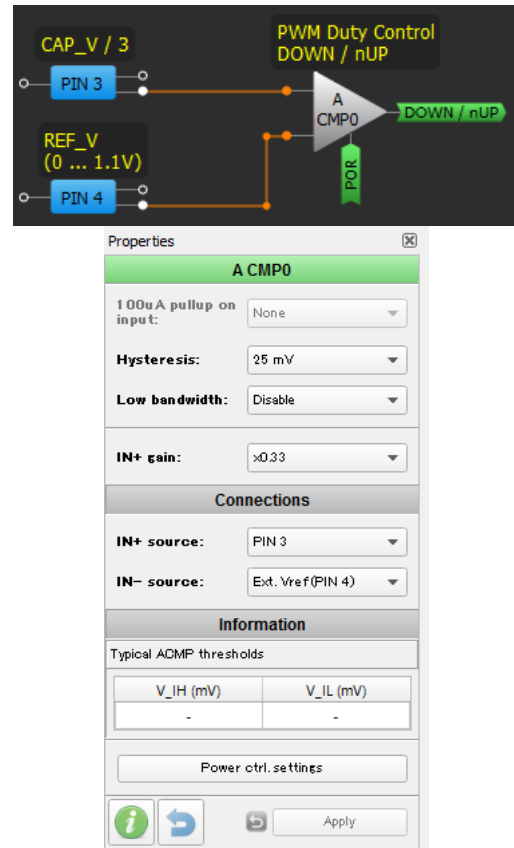


図 2 ACMP0 設定

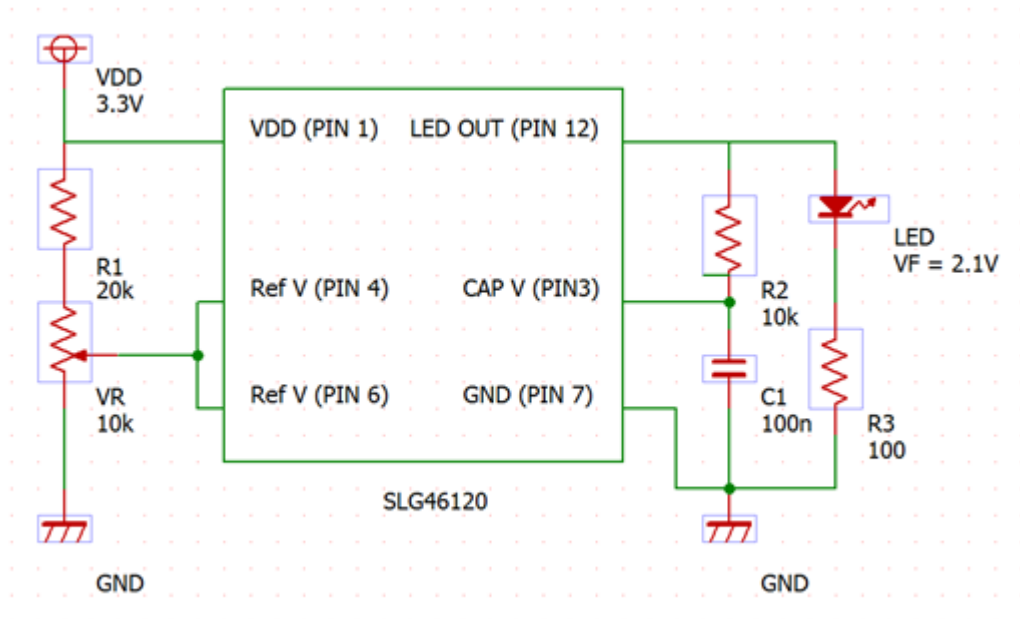


図 1 外部回路

回路設計 - PWM 制御

図3は PWM の主回路です。これは AN-1117 に記述されたものと同じです。CNT2 が 0.1ms 毎に “reset”パルスを発生し、CNT3 が 0.1ms 毎に “set”パルスを発生します。そして LUT6 がこれら2つの信号をラッチし、PWM 波形を作成します (図4 参照)。

CNT2 および CNT3 のカウンタ値は 199 に設定されています。したがってこの PWM の解像度は 200 ステップで、周期が 0.1ms です。PWM 波形を正しく作成するために、CNT2 および CNT3 のカウンタ値は同じになるように設定してください。

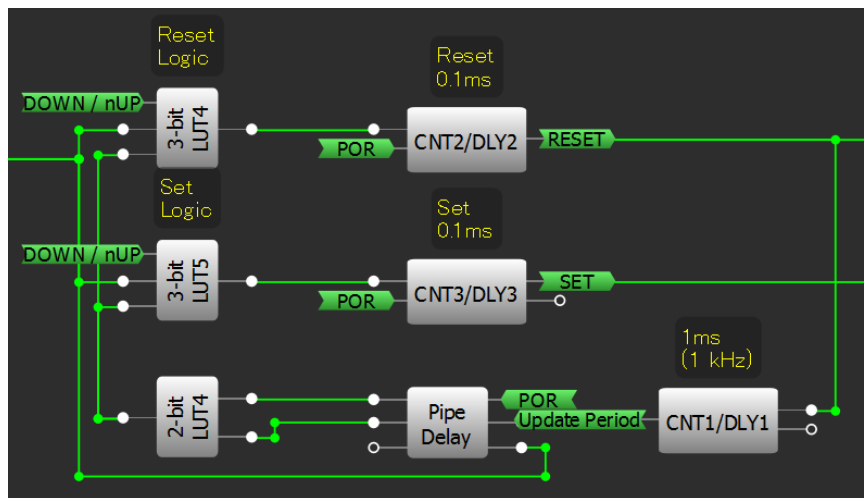


図3 PWM 回路

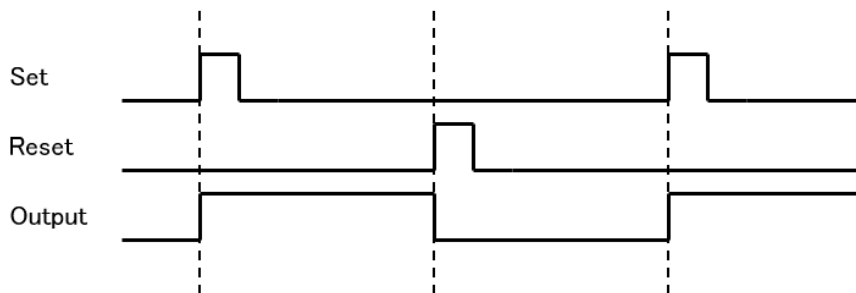
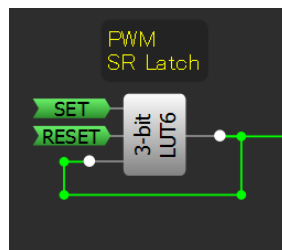


図4 PWM SR ラッチ

Properties

3-bit LUT6

IN3	IN2	IN1	IN0	OUT
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Standard gates: Defined by user

Regular shape

All to 0, All to 1, Invert, Apply



図5 LUT4, LUT5 設定

そして CNT1 周期(1ms)毎に、CNT2、CNT3 のいずれかが、LUT4,5 によって1クロック多く受け取ります。(図5 参照)。これにより PWM のデューティ比は1ms 毎に“DOWN/nUP”シグナルの状況に応じて 1 ステップ増加、あるいは減少します。CNT1 の値を大きくすると LED の明るさはゆっくり上昇するようになり、より「スムーズな」効果が得られます。

### PWM オーバーフロー防止回路

PWM がオーバーフロー、あるいはアンダーフローを起こさないよう、2つの回路が付加されています。

アンダーフローに対しては ACMP1 が 50mV の内部リファレンス電圧と共に使用されています(図6 参照)。REF\_V が 50mV より低くなると、“nForce 0%”シグナル(アクティブ Low)を発生させ、PWM のデューティ比を強制的に 0%にします。

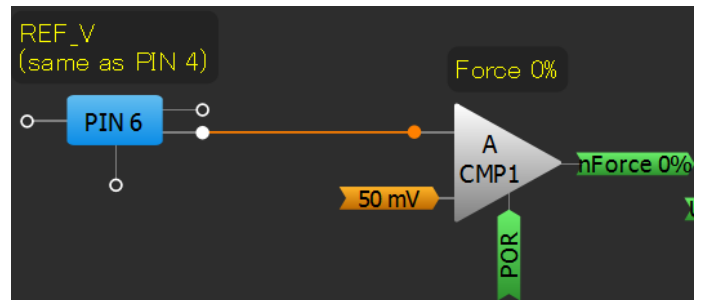


図6 アンダーフロー制御

図7はオーバーフロー制御回路を示しています。

“set”および“reset”パルスが同時に発生し、かつ“DOWN/nUP”シグナルが“nUP”の場合、“Force 100%”シグナルを発生させ(アクティブ High)、PWM のデューティ比を強制的に 100%にします。

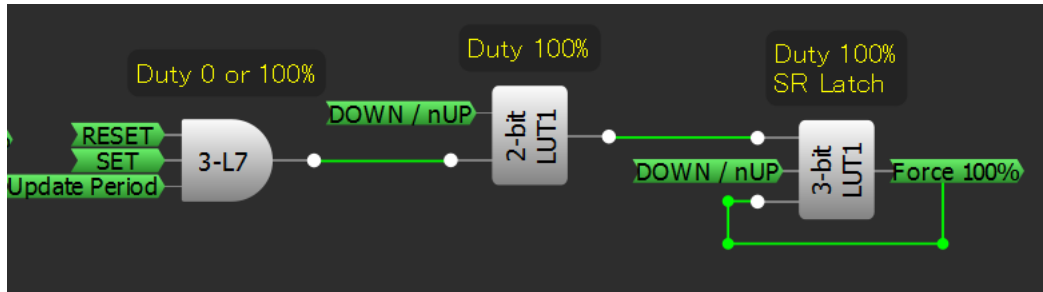


図7 オーバーフロー制御

結果として、“REF\_V” と “PWM 比” の関係は以下のようになります。

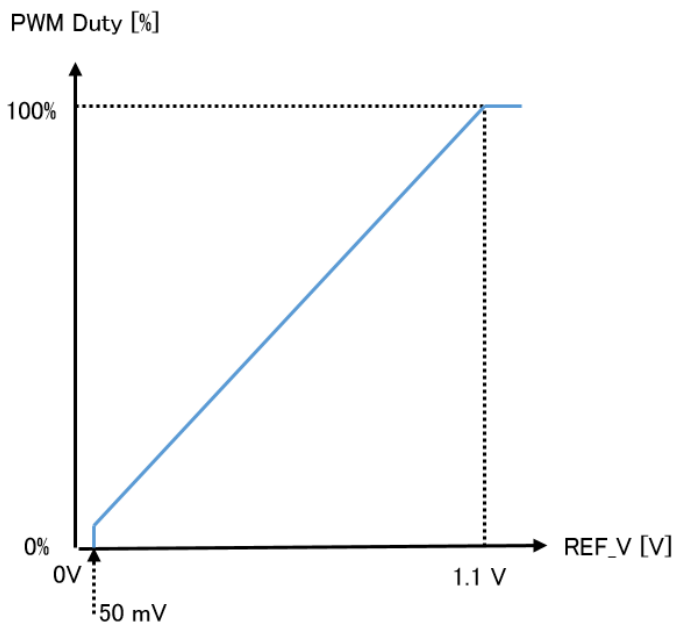


図8 REF\_V 対 PWM 比

また、上記“Force 0%/100%”状態と通常状態との遷移をスムーズに行うため、“Force”状態の時には PWM に対してクロックの供給を止め、CNT2 および CNT3 が最後の値を保持するようにしています（図9参照）。

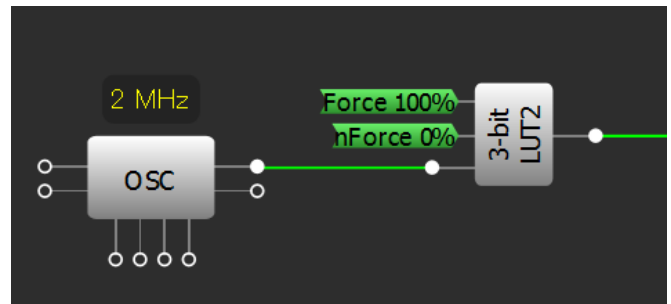


図9 PWM 比が 0 または 100%時のクロック制御

### PWM 出力波形

図10は実際に出力されている PWM 波形を内部の“SET”, “RESET”信号と共に表示したものです。

Channel 1 (yellow) – “RESET”

Channel 2 (light blue) – “SET”

Channel 3 (magenta) – LED OUT (PIN 12)

Channel 4 (blue) – REF\_V (PIN 4 and 6)

REF\_V と“SET”, “RESET”そして出力される、PWM 波形の関係については、別途動画ファイル“LED\_Dimmer.mov”をご参照ください。

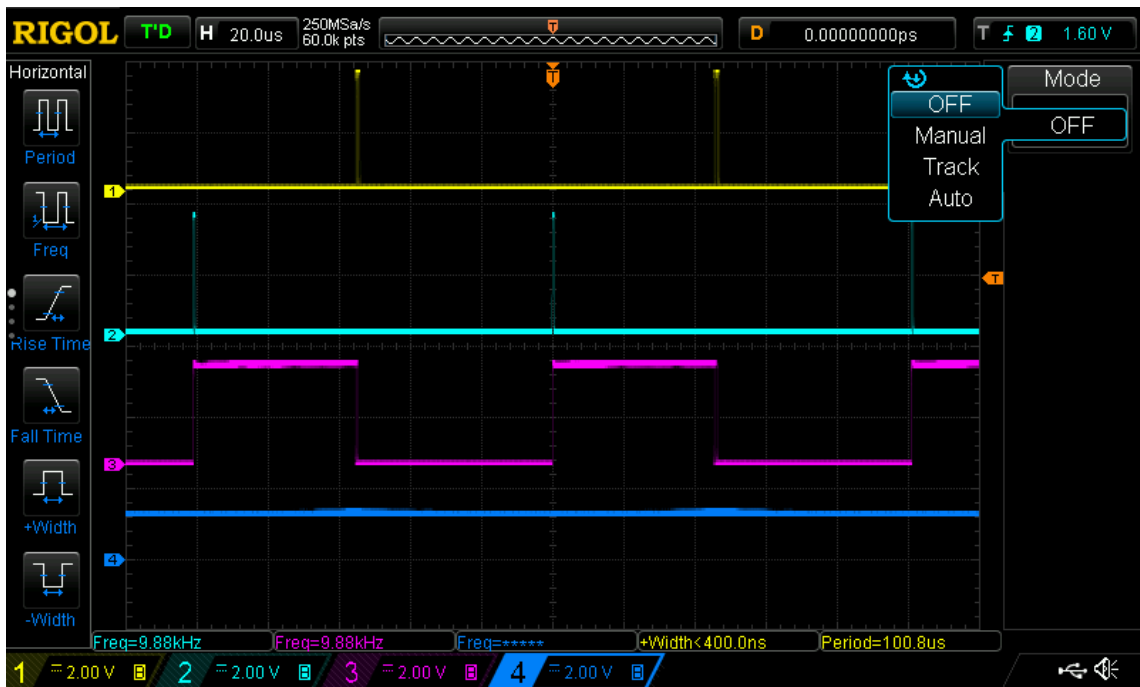


图 1 0 PWM 波形

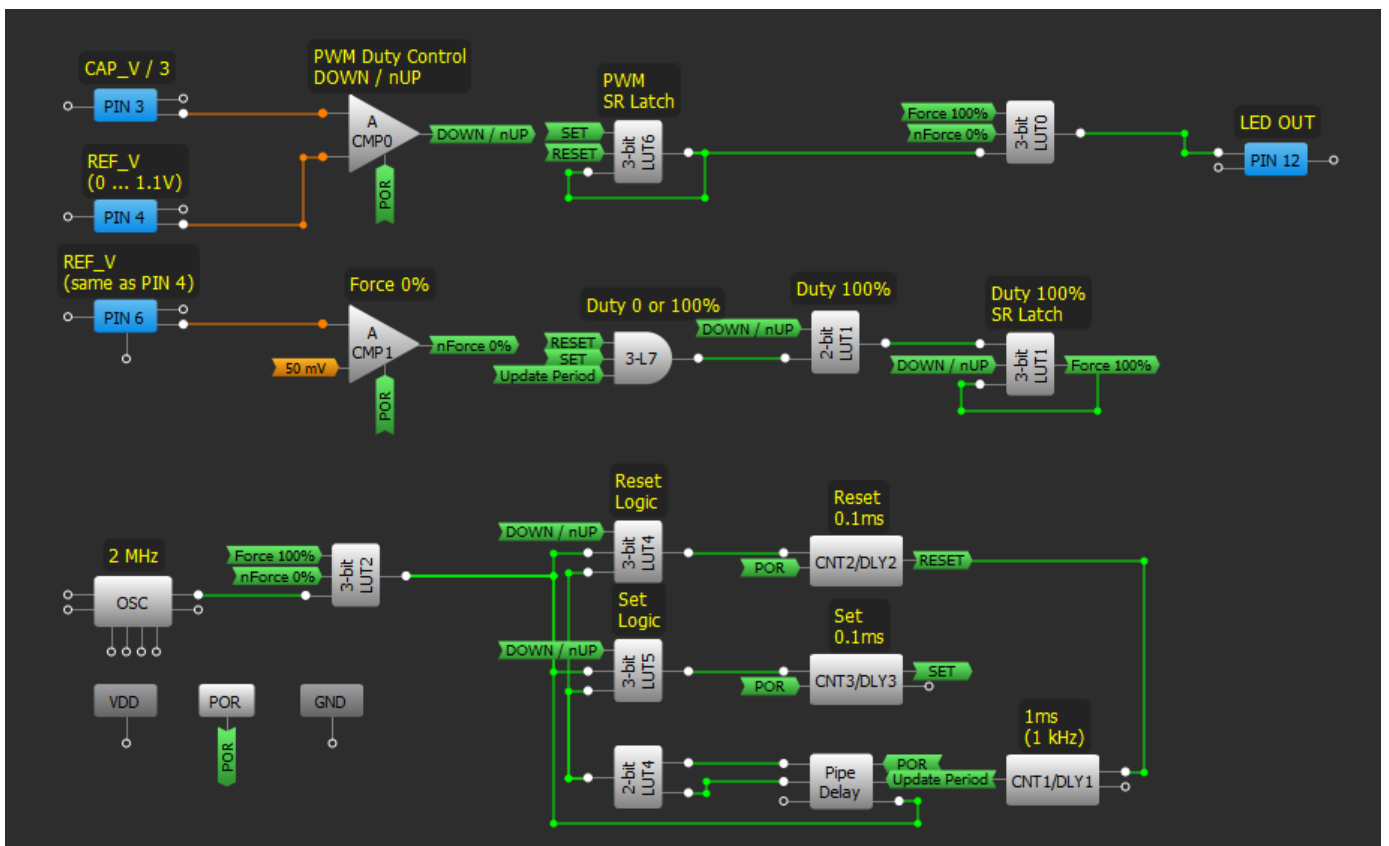


图 1 1 回路图全体

## まとめ

このアプリケーションノートでは、アナログフィードバックを含む PWM 回路を GreenPAK でどのように作成す

るかを説明しました。GreenPAK の柔軟なアナログ・デジタルコンポーネントによって、このような回路を簡単に作成することができます。