

**彈性單端電流模式 PWM 控制器**

ISL6722A 和 ISL6723A 是低功耗，單端脈沖寬度調制 (PWM) 電流模式控制器适用于的多种 DC/DC 轉換應用，包括升壓調節器，反饋轉換器以及隔離式輸出配置。与 ISL6721 相似并且引腳兼容，ISL6722A 和 ISL6723A 提供了修改的功能集。ISL6722A 用能減少待機電流低于 200 $\mu$ A 的低功耗休止功能來取代原先的外部同步功能。ISL6723A 改變輸入電壓的欠壓臨界至 13V。另外，兩個控制器的內部過溫保護也被去除。控制器的其余的功能沒有改變，并有包括當輸入電流低于 200 $\mu$ A 時過流及過壓故障切斷的一個低功耗模式。內置 300ms 的延遲時鐘能夠避免當故障切斷時控制器快速“打嗝”的表現。

這個先進的 BiCMOS 設計兼容了低工作電流，可調振蕩頻率高達 1MHz，以及可調軟啟動。

**定購資料**

零件號碼	零件標號	溫度範圍 (°C)	包裝	包裝圖號 #
ISL6722AABZ (Note)	6722AAB Z	-40 to 105	16 Ld SOIC (Pb-free)	M16.15
ISL6723AABZ (Note)	6723AAB Z	-40 to 105	16LD SOIC (Pb-free)	M16.15
ISL6722AAVZ (Note)	6722AAV Z	-40 to 105	16 Ld TSSOP (Pb-free)	M16.173

Add -T suffix to part number for tape and reel packaging.

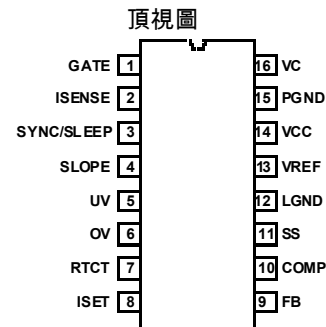
NOTE: Intersil Pb-free products employ special Pb-free material sets; molding compounds/die attach materials and 100% matte tin plate termination finish, which are RoHS compliant and compatible with both SnPb and Pb-free soldering operations. Intersil Pb-free products are MSL classified at Pb-free peak reflow temperatures that meet or exceed the Pb-free requirements of IPC/JEDEC J STD-020.

**主要特點**

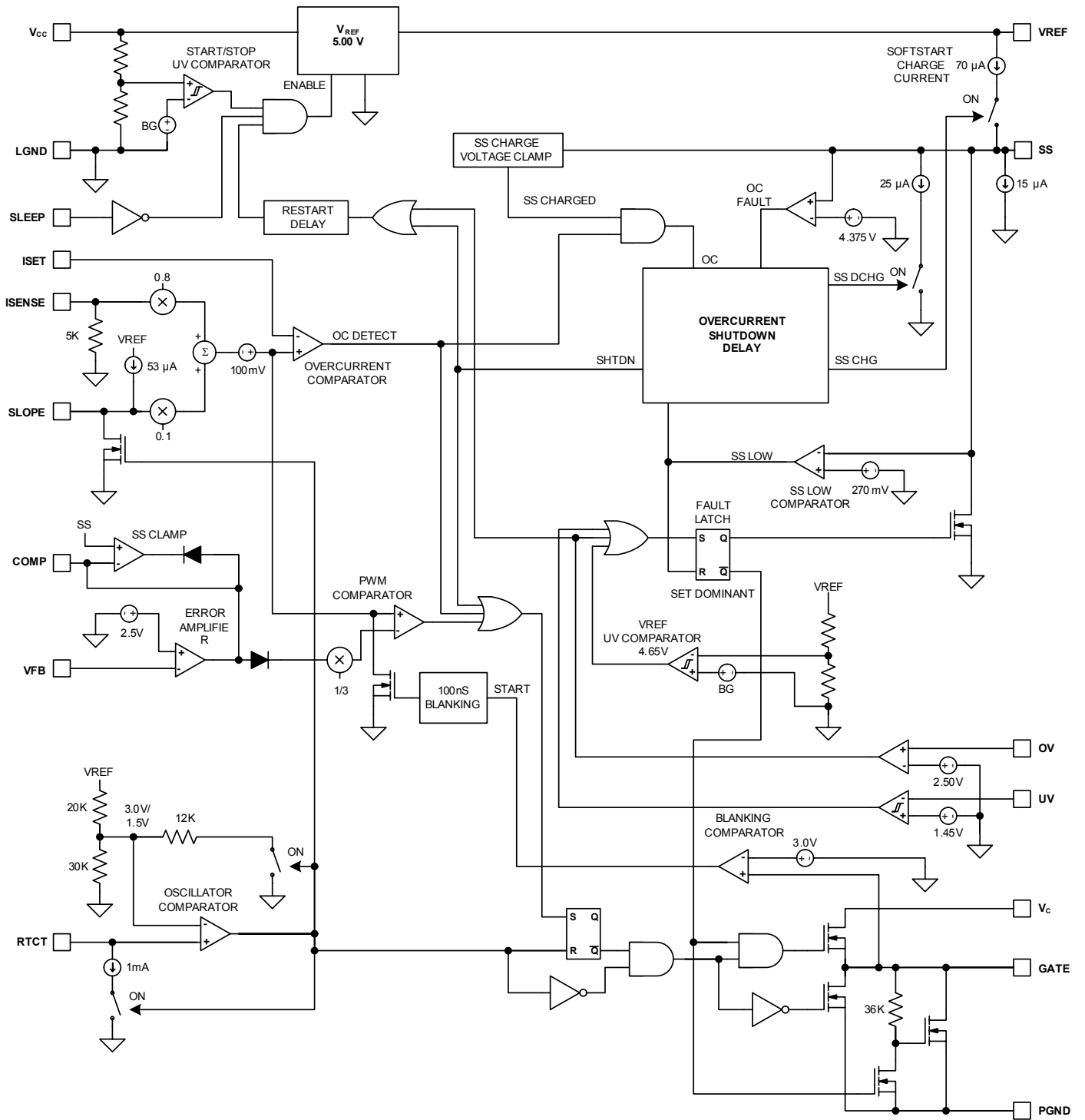
- 1A MOSFET 驅動器
- 100 $\mu$ A 啟動電流
- 快速瞬變反應運用峰值電流控制模式
- 可調振蕩頻率高達 1MHz
- 低功耗的休止模式(ISL6722A)
- 低功耗的切斷模式
- 過壓及過流故障切斷延遲再啟動
- 可調斜率補償
- 可調軟啟動
- 可調過流切斷延遲
- 可調欠壓和過壓指示
- 上升邊緣消隱
- 基準電壓 1%容差
- 不含鉛加退火，以及 ELV, WEEE (RoHS Compliant)

**應用**

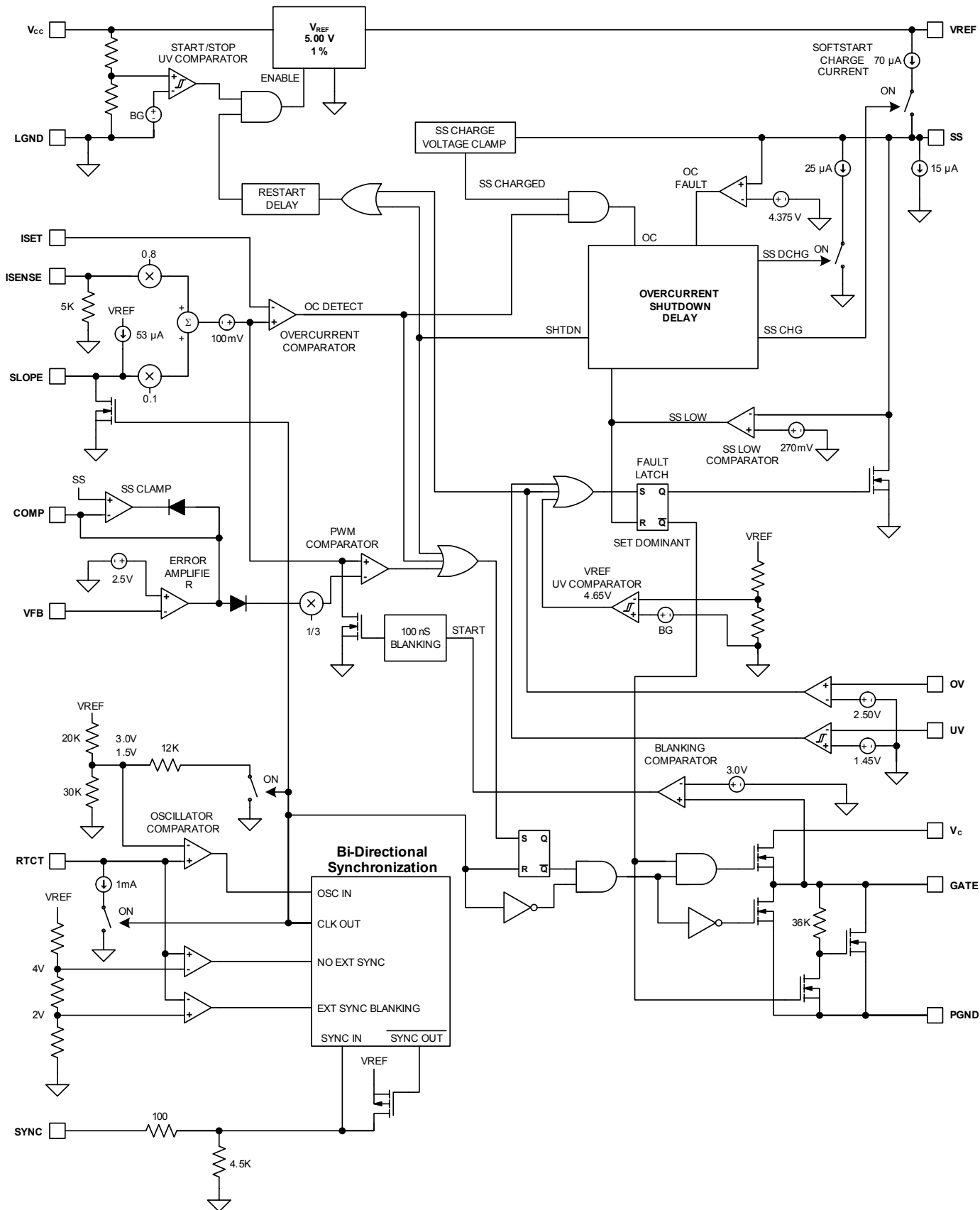
- 電信和信息電源
- 無線基站電源
- 檔案服務器電源
- 工業動力系統
- 隔離式降壓及反饋轉換器
- 升壓調節器

**插腳引線**
**ISL6722A, ISL6723A (SOIC, TSSOP)**


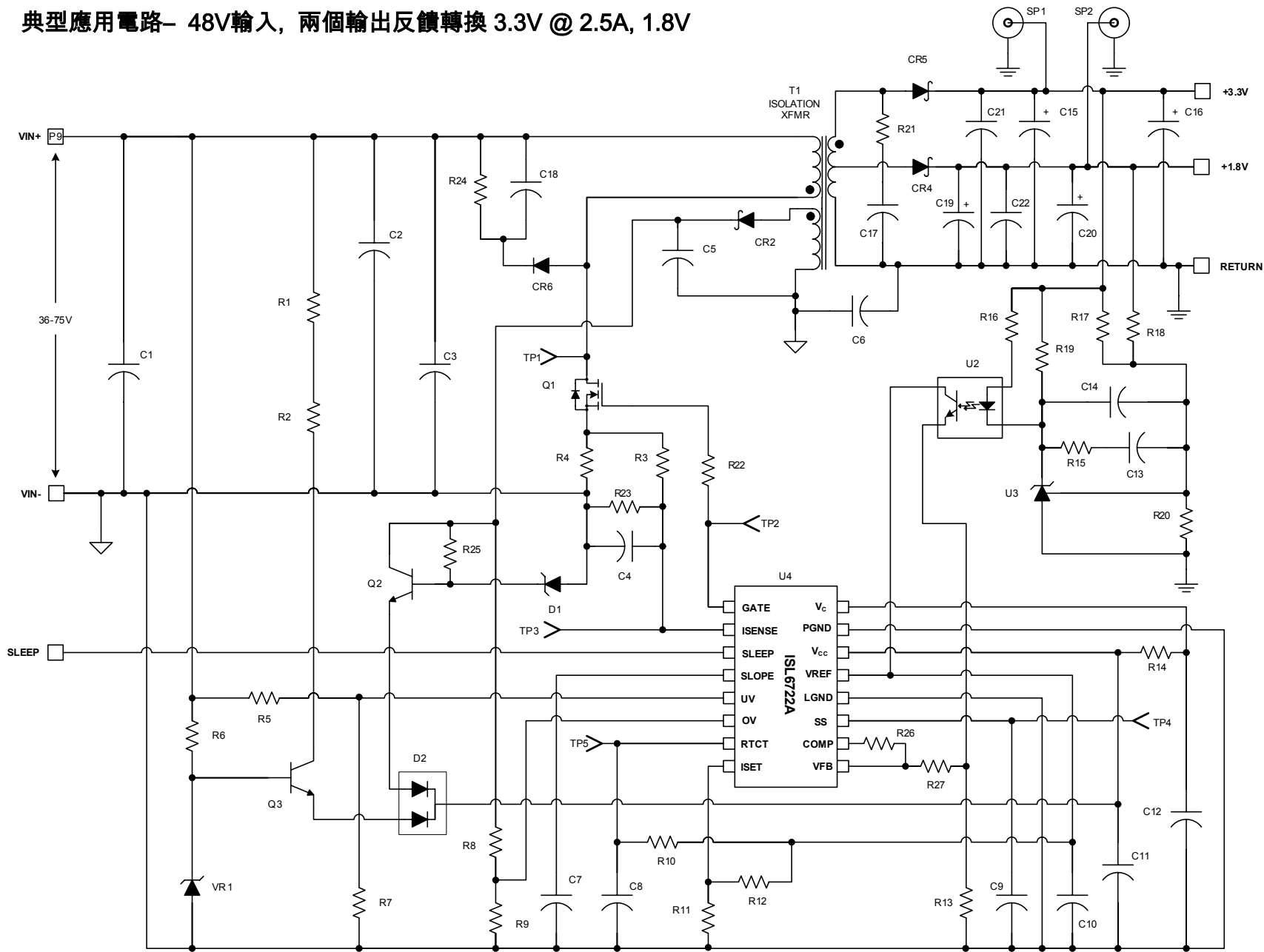
内部电路结构 (ISL6722A)



內部電路結構 (ISL6723A)



典型應用電路— 48V輸入，兩個輸出反饋轉換 3.3V @ 2.5A, 1.8V



# ISL6722A, ISL6723A

## 額定值

Supply Voltage,  $V_{CC}$ ,  $V_C$  -----GND - 0.3V to +20.0V  
 GATE -----GND-0.3V to Gate Output Limit Voltage  
 PGND to LGND ----- $\pm 0.3V$   
 VREF -----GND - 0.3V to 5.3V  
 Signal Pins -----GND - 0.3V to  $V_{REF}$   
 Peak GATE Current -----1A  
 ESD Classification  
 Human Body Model (Per JESD22-A114C.01)-----1250V  
 Charged Device Model (Per JESD22-C101-A)-----1000V

## 運行條件

Supply Voltage Range (Typical)-----9V-18VDC  
 Temperature Range  
 ISL6722AAxZ-----40°C to 105°C  
 ISL6723AAxZ-----40°C to 105°C

## 熱性能的資料

Thermal Resistance Junction to Ambient (Typical)  $\theta_{JA}$  (°C/W)  
 16 Lead SOIC (Note 1)-----80  
 16 Lead TSSOP (Note 1)-----105  
 Maximum Junction Temperature -----55°C to 150°C  
 Maximum Storage Temperature Range-----65°C to 150°C  
 Maximum Lead Temperature (Soldering 10s)-----300°C  
 (SOIC, TSSOP - Lead Tips Only)

**CAUTION:** Stress above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied.

### Notes:

- $\theta_{JA}$  is measured with the component mounted on a low effective thermal conductivity test board in free air. See Tech Brief TB379 for details.
- All voltages are with respect to GND.

電氣規範		Electrical Specifications			
Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application Schematic.					
9V < $V_{CC}$ = $V_C$ < 20V, $R_T$ = 11k $\Omega$ , $C_T$ = 330pF, $T_A$ = -40°C to 105°C (Note 3), Typical values are at $T_A$ = 25°C (Continued)					
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
<b>UNDERVOLTAGE LOCKOUT</b>					
START Threshold (ISL6722A)	SLEEP = 0V	7.95	8.25	8.55	V
START Threshold (ISL6723A)		12.4	13	13.4	V
STOP Threshold		7.4	7.7	8.2	V
Hysteresis (ISL6722A)		0.50	0.55	1.00	V
Hysteresis (ISL6723A)		4.00	5.00	6.00	V
Start-Up Current, $I_{CC}$	$V_{CC}$ < START Threshold	-	100	175	$\mu$ A
OC/OV Fault Operating Current, $I_{CC}$		-	200	300	$\mu$ A
Operating Current, $I_{CC}$		-	4.5	10.0	mA
Operating Supply Current, $I_C$	Includes 1nF GATE loading	-	8.0	12.0	mA
<b>REFERENCE VOLTAGE</b>					
Overall Accuracy	Line, load, $T_A$ = 0 - 105°C	4.95	5.00	5.05	V
	Line, load, $T_A$ = -40 - 105°C	4.90	5.00	5.05	V
Long Term Stability	$T_A$ = 125°C, 1000 hours (Note 5)	-	5.00	-	mV
Fault Voltage		4.50	4.65	4.75	V
VREF Good Voltage		4.65	4.8	4.95	V
Hysteresis		75	165	250	mV
Operational Current		-10	-	-	mA
Current Limit		-20	-	-	mA
<b>CURRENT SENSE</b>					
Input Impedance		-	5	-	k $\Omega$

# ISL6722A, ISL6723A

## Electrical Specifications

### 电气规范

Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application Schematic.

9V < V<sub>CC</sub> = V<sub>C</sub> < 20V, R<sub>T</sub> = 11kΩ, C<sub>T</sub> = 330pF, T<sub>A</sub> = -40°C to 105°C (Note 3), Typical values are at T<sub>A</sub> = 25°C (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Offset Voltage		0.08	0.10	0.11	V
Input Voltage Range		0	-	1.5	V
Blanking Time	(Note 5)	30	60	100	ns
Gain, A <sub>CS</sub>	V <sub>SLOPE</sub> = 0V, V <sub>FB</sub> = 2.3V, V <sub>ISET</sub> = 0.35V, 1.5V A <sub>CS</sub> = ΔISET/ΔISENSE	0.77	0.79	0.81	V/V
<b>ERROR AMPLIFIER</b>					
Open Loop Voltage Gain	(Note 5)	60	90	-	dB
Gain-Bandwidth Product	(Note 5)	-	15	-	MHz
Reference Voltage Initial Accuracy	V <sub>FB</sub> = COMP, T <sub>A</sub> = 25°C (Note 5)	2.465	2.515	2.565	V
Reference Voltage	V <sub>FB</sub> = COMP	2.44	2.515	2.590	V
COMP to PWM Gain, A <sub>COMP</sub>	COMP = 4V, T <sub>A</sub> = 25°C	0.31	0.33	0.35	V/V
COMP to PWM Offset	COMP = 4V	0.51	0.75	0.88	V
FB Input Bias Current	V <sub>FB</sub> = 0V	-2	0.1	2	μA
COMP Sink Current	COMP = 1.5V, V <sub>FB</sub> = 2.7V	2	6	-	mA
COMP Source Current	COMP = 1.5V, V <sub>FB</sub> = 2.3V	-0.25	-0.5	-	mA
COMP VOH	V <sub>FB</sub> = 2.3V	4.25	4.4	5.0	V
COMP VOL	V <sub>FB</sub> = 2.7V	0.4	0.8	1.2	V
PSRR	Frequency = 120Hz (Note 5)	60	80	-	dB
SS Clamp, V <sub>COMP</sub>	SS = 2.5V, V <sub>FB</sub> = 0V, I <sub>SET</sub> = 2V	2.4	2.5	2.6	V
<b>OSCILLATOR</b>					
Frequency Accuracy		289	318	347	kHz
Frequency Variation with VCC	T <sub>A</sub> = 105°C (F <sub>20V</sub> - F <sub>9V</sub> )/F <sub>9V</sub>	-	2	3	%
	T <sub>A</sub> = -40°C (F <sub>20V</sub> - F <sub>9V</sub> )/F <sub>9V</sub>		2	3	
Temperature Stability	(Note 5)	-	8	-	%
Maximum Duty Cycle	(Note 6)	68	75	81	%
Comparator High Threshold		-	3.00	-	V
Comparator High Threshold w/Ext. SYNC (ISL6723A)	(Note 5)	-	4.00	-	V
Comparator Low Threshold		-	1.50	-	V
Discharge Current	T <sub>A</sub> = 0 - 105°C	0.75	1	1.2	mA
	T <sub>A</sub> = -40 - 105°C	0.70	1	1.2	
<b>SOFTSTART</b>					
Charging Current	SS = 2V	-40	-55	-70	μA
Charged Threshold Voltage		4.26	4.5	4.74	V
Initial Overcurrent Discharge Current	Sustained OC Threshold < SS < Charged Threshold	30	40	55	μA

# ISL6722A, ISL6723A

## Electrical Specifications

### 电气规范

Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application Schematic.

9V < V<sub>CC</sub> = V<sub>C</sub> < 20V, R<sub>T</sub> = 11kΩ, C<sub>T</sub> = 330pF, T<sub>A</sub> = -40°C to 105°C (Note 3), Typical values are at T<sub>A</sub> = 25°C (Continued)

Overcurrent Shutdown Threshold Voltage	Charged Threshold minus, T <sub>A</sub> = 25°C	0.110	0.125	0.140	V
Fault Discharge Current	SS = 2V	0.25	1.0	-	mA
Reset Threshold Voltage	T <sub>A</sub> = 25°C	0.22	0.27	0.31	V
<b>SLOPE COMPENSATION</b>					
Charge Current	SLOPE = 2V, T <sub>A</sub> = 0 - 105°C	-45	-53	-65	μA
	T <sub>A</sub> = -40 - 105°C	-41	-53	-65	μA
Slope Compensation Gain	Fraction of slope voltage added to ISENSE, T <sub>A</sub> = 25°C	0.1	0.103	0.107	V/V
Discharge Voltage	V <sub>RTCT</sub> = 4.5V	-	0.1	0.2	V
<b>GATE OUTPUT</b>					
Gate Output Limit Voltage	V <sub>C</sub> = 20V, C <sub>GATE</sub> = 1nF, I <sub>OUT</sub> = 0mA	11.0	13.5	16.0	V
Gate VOH	V <sub>C</sub> - GATE, V <sub>C</sub> = 10V, I <sub>OUT</sub> = 150mA	-	1.5	2.2	V
Gate VOL	GATE - PGND, I <sub>OUT</sub> = 150mA		1.2	1.5	V
	I <sub>OUT</sub> = 10mA		0.6	0.8	
Peak Output Current	V <sub>C</sub> = 20V, C <sub>GATE</sub> = 1nF (Note 5)	-	1	-	A
Output "Faulted" Leakage	V <sub>C</sub> = 20V, UV = 0V, GATE = 2V	1.2	2.6	-	mA
Rise Time	V <sub>C</sub> = 20V, C <sub>GATE</sub> = 1nF 1V < GATE < 9V	-	60	100	ns
Fall Time	V <sub>C</sub> = 20V, C <sub>GATE</sub> = 1nF 1V < GATE < 9V	-	15	40	ns
Minimum ON time	I <sub>SET</sub> = 0.5V; V <sub>FB</sub> = 0V; V <sub>C</sub> = 11V ISENSE to GATE w/10:1 Divider R <sub>TCT</sub> = 4.75V through 1kΩ (Note 5)	-	-	110	ns
<b>OVERCURRENT PROTECTION</b>					
Minimum ISET Voltage		-	-	0.35	V
Maximum ISET Voltage		1.2	-	-	V
ISET Bias Current	V <sub>ISET</sub> = 1.00V	-1	-	1	μA
Restart Delay	T <sub>A</sub> = 25°C	150	295	445	ms
<b>OV &amp; UV VOLTAGE MONITOR</b>					
Overvoltage Threshold		2.4	2.5	2.6	V
Undervoltage Fault Threshold		1.38	1.45	1.52	V
Undervoltage Clear Threshold		1.41	1.53	1.62	V
Undervoltage Hysteresis Voltage		20	50	100	mV
UV Bias Current	V <sub>UV</sub> = 2.00V	-1	-	1	μA
OV Bias Current	V <sub>OV</sub> = 2.00V	-1	-	1	μA

# ISL6722A, ISL6723A

## Electrical Specifications

### 电气规范

Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application Schematic.

$9V < V_{CC} = V_C < 20V$ ,  $R_T = 11k\Omega$ ,  $C_T = 330pF$ ,  $T_A = -40^\circ C$  to  $105^\circ C$  (Note 3), Typical values are at  $T_A = 25^\circ C$ .

SLEEP (ISL6722A)					
SLEEP Input Threshold Voltage	Active High	1	1.5	2.7	V
SLEEP Input Current	$V_{SLEEP} = 4.0V$	11	25	46	$\mu A$
$I_{CC}$ @ SLEEP	$V_{CC} = 15V$	-	175	210	$\mu A$
SYNCHRONIZATION (ISL6723A)					
Input High Threshold		-	-	2.5	V
Input Pulse Width		25	-	-	ns
Input Frequency Range	(Note 5)	0.65x Free Running	-	1	MHz
Input Impedance		-	4.5	-	$k\Omega$
VOH	$R_{LOAD} = 4.5k\Omega$	2.5	-	-	V
VOL	$R_{LOAD} = open$	-	-	0.1	V
SYNC Advance	SYNC rising edge to GATE falling edge, $C_{GATE} = C_{SYNC} = 100pF$	-	25	55	ns
Output Pulse Width	$C_{SYNC} = 100pF$	50	-	-	ns

#### NOTES:

- Specifications at  $-40^\circ C$  and  $105^\circ C$  are guaranteed by  $25^\circ C$  test with margin limits.
- This is the  $V_{CC}$  current consumed when the device is active but not switching. Does not include gate drive current.
- Guaranteed by design, not 100% tested in production.
- This is the maximum duty cycle achievable using the specified values of  $R_T$  and  $C_T$ . Larger or smaller maximum duty cycles may be obtained using other values for  $R_T$  and  $C_T$ . See Equations 1-4.



典型性能曲線圖

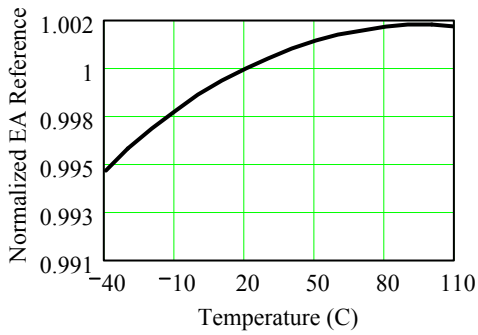


FIGURE 1 EA REFERENCE VOLTAGE vs TEMPERATURE

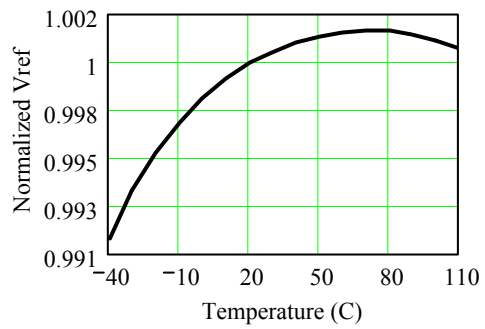


FIGURE 2 V<sub>REF</sub> REFERENCE VOLTAGE vs TEMPERATURE

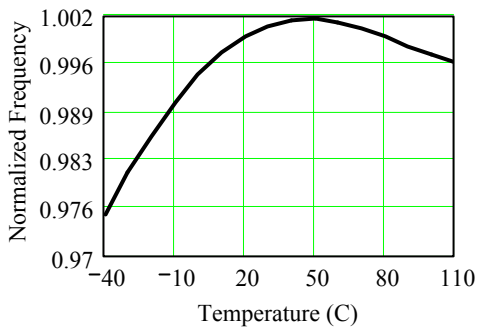


FIGURE 3 OSCILLATOR FREQUENCY vs TEMPERATURE

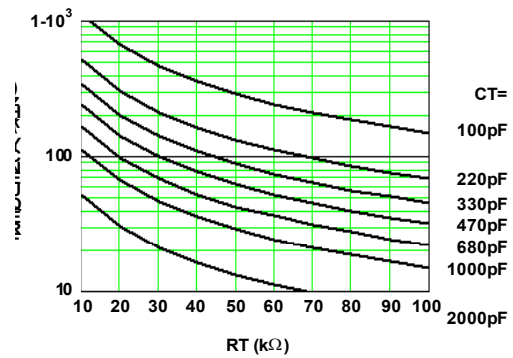


FIGURE 4 CAPACITANCE vs FREQUENCY

## 各管腳簡介

### SLOPE

每一個開關周期，內置的電流源會充電一個外部電容。由此產生的斜升轉換后與ISENSE信號疊加。可以用這個方法來提高ISENSE斜升率，為提高無噪音的免疫力或是提高對於占空比大於50%的控制環路的穩定性。

### SLEEP (ISL6722A)

這是一個邏輯輸入控制信號可以用來禁止控制器以及啟動低功耗待機模式。SLEEP是高態有效信號。

### SYNC (ISL6723A)

雙向同步信號是用來協調多系統的工作頻率。通過連接每個單元的SYNC引腳在一起或者利用外界主控時鐘可以取得同步。即使使用外界主控時鐘，振蕩器的定時電容， $C_T$ ，也是必須使用的。第一個取得這個信號的單元將起主導控制作用。

### RTCT

這是振蕩器的時序控制引腳。工作頻率和最大占空比可用在在這個引腳和 $V_{REF}$ 之間跨接一個電阻， $R_T$ ，以及在這個引腳和LGND之間跨接一個電容， $C_T$ 來決定。這個振蕩器能產生100KHz至1.0MHz的鋸齒波型。充電時間， $T_C$ ，放電時間， $T_D$ ，開關頻率， $F_{SW}$ ，以及最大占空比， $D_{MAX}$ ，可以用以下的等式來求：

$$T_C \approx 0.655 \cdot R_T \cdot C_T \quad S \quad \text{EQ. 1}$$

$$T_D \approx -R_T \cdot C_T \cdot LN\left(\frac{0.001 \cdot R_T - 3.6}{0.001 \cdot R_T - 1.9}\right) \quad S \quad \text{EQ. 2}$$

$$F_{SW} = \frac{1}{T_D + T_C} \quad \text{Hz} \quad \text{EQ. 3}$$

$$D_{max} = T_C \cdot F_{SW} \quad \text{EQ. 4}$$

圖4可以用來選擇一個已知頻率的電容和電阻值。

### COMP

COMP引腳是誤差放大器的輸出端以及PWM比較器的輸入端。控制環路頻率補償網絡跨接在COMP引腳與FB引腳之間。

ISL6722A和ISL6723A具備內置全周期軟啟動功能。軟啟動是通過最大COMP電壓鉗位來實現的。

### FB

反饋電壓輸入端與誤差放大器的反相輸入端連接。誤差放大器的同相輸入端與內置基準電壓連接。

### OV

這個引腳是過壓監視輸入端。這個信號與內置的2.5V基準電壓作比較來檢測過壓狀況。

### UV

這是欠壓監察輸入引腳。UV信號與內置 1.45V臨限值比較決定其欠壓條件。

### ISENSE

這是電流感應比較器的輸入端。這個控制器有兩個電流感應比較器，一個PWM比較器用作峰值電流控制模式，一個過流保護比較器。過流保護比較器的臨界值可以通過ISET引腳來設置。

超過過流臨界將引發延遲的切斷過程。一旦過流狀況被檢測，軟啟動的充電源會被抑制，而軟啟動電容開始放電。放電至小於4.375V時(持續過流臨界)，切斷產生並且門極輸出將會被拉低。當軟啟動電壓達到0.27V時(重設臨界)，軟啟動將開始。如果在50 $\mu$ S時間內軟啟動電容沒有跌落低於4.375V(持續過流臨界)，過流情況消除，切斷不會發生，軟啟動電壓復位。

### LGND

器件上所有模擬功能都以這個小信號基準為地。

### PGND

這個引腳為門極驅動器提供專門的接地。LGND 引腳與PGND 引腳必須用與引腳很近並且很短的PCB線跡在控制器的外面相連。這對於防止巨大的開關電流流經控制器內部的接地面是相當有必要的(從 $V_C$ 到PGND跨接一個低ESR的0.1 $\mu$ F或更高的電容來去耦)。

### GATE

這是芯片的輸出端，是一個高電流功率驅動器可以用來以峰值為1A的電流驅動一個功率MOSFET。這個驅動器的輸出端將被拉低當 $V_{CC}$ 低於其欠壓臨界值。

輸出端的鉗位電壓是~13.5V。高於這個電壓值不可以與GATE引腳直接連接。為了防止過沖或下沖電壓，每個輸出端提供非常低的阻抗。

### $V_C$

這個引腳是為門極驅動輸出提供分開的集電極電源。把 $V_C$ 和PGND分開能幫助芯片的模擬電路與高功率的門極驅功噪聲去耦。(從 $V_C$ 到PGND跨接一個低ESR的0.1 $\mu$ F或更高的電容來去耦)。

### $V_{CC}$

$V_{CC}$ 是控制器的電源輸入端。雖然靜態電流,  $I_{CC}$ , 很小, 但是它與頻率有直接的關係。要優化抗擾度, 用一個陶瓷電容器盡可能靠近并跨接在 $V_{CC}$ 和LGND引腳。

總電源電流, ( $I_C$ 加上 $I_{CC}$ ), 取決於門極負載狀況, 將會更高。總電流是靜態電流和平均門極輸出電流之和。平均門極輸出電流的大小取決於已知工作頻率 $F_{SW}$ , 以及MOSFET門極輸出負載電容電荷,  $Q_g$ , 可以用以下的公式來計算:

$$I_{gate} = Q_g \cdot F_{SW} \quad A \quad EQ. 5$$

## VREF

這是5.00V的基準電壓輸出端。可連接0.01 $\mu$ F或更高的電容至LGND以作濾波這輸出所需。使用電容小於這個值可能會引起振蕩。

## SS

在這個引腳與LGND之間連接一個軟啟動時序電容能夠控制軟啟動的時間。這個電容值能夠決定在軟啟動時占空比上升的速度, 控制過流切斷的延遲。

## ISET

在這個引腳上0.35V至1.2VDC電壓可以用來設置脈沖-脈沖過流臨界。當過流發生時, SS軟啟動電容將開始放電并開始過流延遲關閉的過程。

## 功能概述

### 主要特點

ISL6722A和ISL6723A電流模式PMW最適用於採用了加強控制和監督能力的低成本反激和正激型拓撲結構的變換器。ISL6722A和ISL6723A具有可調過壓和欠壓門限, 過流保護, 間歇延遲的性能, 需要極少外部元件。其它性能包括: 峰值電流模式控制, 可調軟啟動, 斜率補償, 可調振蕩器頻率和低功率靜態模式。

### 振蕩器

ISL6722A和ISL6723A通過改變RTCT引腳的電阻和電容可調鋸齒振蕩器頻率高達1MHz。(指定頻率的電阻和電容請參考圖4)。

### 實現同步操作 (ISL6723A)

ISL6723A 可在 SYNC 引腳設置一外部時鐘或通過把多重 IC 的 SYNC 引腳連接在一起來實現同步化。如果用外部主時鐘信號, 振蕩器必須至少有 65%的 IC 固有頻率才可實現同步化。外部主時鐘信號應有一大於 20ns 的脈寬。如果不用主時

鐘信號, 主要元件 SYNC 採用 SYNC 信號控制。如果信號產生於前 1/3 的開關周期, 可忽略外部 SYNC 脈沖。

在正常運行情況下, RTCT 電壓充電由 1.5 至 3.0V, 周期循環。當到達 3.0V 門限值時就會產生時鐘和 SYNC 信號。若在后 2/3 的充電周期內檢測出外部時鐘信號, 振蕩器會轉換成外部同步模式, 且根據外部 SYNC 信號來終止振蕩器周期。此模式是不會產生 SYNC 信號。如果 RTCT 電壓超過 4.0V (換而言之: 沒有外部的 SYNC 信號終止周期), 振蕩器會回復到內部時鐘模式且會產生 SYNC 信號。

### 實現軟啟動運作

ISL6722A 和 ISL6723A 使用外部電容和內部電流電源來作軟啟動。軟啟動降低啟動期間的電壓和浪涌電流。

啟動時, 軟啟動電路把誤差放大器輸出 (COMP 引腳) 鉗位於一個與軟啟動電壓相應的值。誤差放大器輸出隨著軟啟動電容電壓增加而增加, 這使軟啟動期間的輸出脈寬可從零增加到穩定狀態運行時的占空比。當軟啟動電壓超過誤差放大器電壓, 軟啟動完成。軟啟動強制受控輸出電壓上升。軟啟動開始於起動或因故障而復位時。軟啟動電壓鉗位於 4.5V。

### 門極驅動器

ISL6722A和ISL6723A的輸出可灌出和吸入1A峰值電流。獨立集成供應 ( $V_C$ ) 和功率地 (PGND) 引腳可把大功率門極驅動器噪音隔離開IC的模擬電路。要限制峰值電流通過IC, 可在IC (門極引腳) 的推拉輸出和MOSFET的門極之間放置一個外部電阻。而這個小串聯電阻能減少由線組寄生電感和驅動器的輸入電容的共振所產生的振蕩。

### 斜率補償

對於最大占空比少於50%的應用可採用斜率補償來改善噪音干擾, 尤其是在較低負載時。防止噪音干擾所需的斜率補償額可以憑經驗確定, 但一般約為10%的總電流反饋信號。對於最大占空比高於50%的應用則需用斜率補償防止不穩定。斜率補償是通過加接額外斜坡以調整電流反饋信號的一種方法。

最小斜坡補償應相當於1/2的電感下坡。可是, 加接過多的斜率補償會導致控制環表現為電壓模式控制多於電流模式控制。

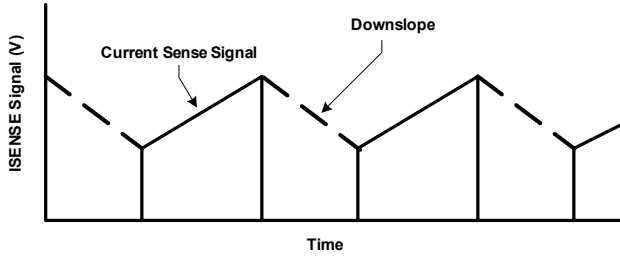


Figure 5

加在SLOPE引腳的最小電容值為

$$C_{slope} = 4.24 \times 10^{-6} \cdot \frac{t_{on}}{V_{slope}} \text{ F} \quad \text{EQ. 6}$$

式中： $t_{on}$ 是導通時間， $V_{slope}$ 是加在電流反饋信號作為斜坡補償的電壓值。大致上斜坡值是所需最小值的2-3倍。

例如：

假設在關斷期間，ISENSE引腳的電感電流信號降低125mV，且開關頻率，Switching Frequency,  $F_{sw} = 250\text{kHz}$

占空比，Duty Cycle,  $D = 60\%$

$$t_{on} = D/F_{sw} = 0.6/250\text{E}3 = 2.4\mu\text{s}$$

$$t_{off} = (1 - D)/F_{sw} = 1.6\mu\text{s}$$

確定下坡：

下坡 =  $0.125\text{V}/1.6\mu\text{s} = 78\text{mV}/\mu\text{s}$ 。現確定導通時間末端電流感應信號所需增加的電壓值。

$$V_{slope} = \frac{1}{2} \cdot 0.078 \cdot 2.4 = 94\text{mV} \quad \text{EQ. 7}$$

因此，

$$C_{slope}(\text{min}) = 4.24 \times 10^{-6} \cdot \frac{2.4 \times 10^{-6}}{0.094} \approx 110\text{pF} \quad \text{EQ. 8}$$

所計算出的值，110pF，為所需的最小斜坡補償。此例中適當的斜坡補償電容應為所得值的1/2-1/3，即68-33pF之間。

較精確的斜坡補償可從小信號電流模式的模型[1]求得。它顯示了自然抽樣調制器的增益。 $F_m$ ，無斜率補償，是

$$F_m = \frac{1}{S_n \cdot T_{sw}} \quad \text{EQ. 9}$$

式中： $S_n$ 是鋸齒信號的斜率。 $T_{sw}$ 是開關頻率。若加接一外部斜坡，調制器的增益則為

$$F_m = \frac{1}{(S_n + S_e) \cdot T_{sw}} = \frac{1}{m_c S_n T_{sw}} \quad \text{EQ. 10}$$

式中： $S_e$ 是外部斜坡的斜率以及

$$m_c = 1 + \frac{S_e}{S_n} \quad \text{EQ. 11}$$

50%的振蕩器頻率的雙極阻尼系數決定外部斜坡的基準額。若 $Q$ 系數設置為1，雙極會臨界阻尼； $Q > 1$ 時，欠阻尼； $Q < 1$ 則會過阻尼。欠阻尼會引起電流環不穩定。

$$Q = \frac{1}{\pi(m_c(1-D) - 0.5)} \quad \text{EQ. 12}$$

式中： $D$ 是最大占空比。設定 $Q = 1$ ，求得 $S_e$ 為

$$S_e = S_n \left( \left( \frac{1}{\pi} + 0.5 \right) \frac{1}{1-D} - 1 \right) \quad \text{EQ. 13}$$

因為 $S_n$ 和 $S_e$ 分別是電流斜坡和外部斜坡導通時的斜率，與導通時間( $T_{ON}$ )之積是導通時間( $T_{ON}$ )內所產生的電壓變化。

$$V_e = V_n \left( \left( \frac{1}{\pi} + 0.5 \right) \frac{1}{1-D} - 1 \right) \quad \text{EQ. 14}$$

式中： $V_n$ 是導通時間內電流反饋信號的變化， $V_e$ 是加外部斜坡所增加的電壓。

對於降壓拓撲結構，用輸出電壓，電流感應元件和輸出電感可求出 $V_n$ ，代入等式15，可求出 $V_e$ 。

$$V_e = \frac{T_{sw} \cdot V_o \cdot R_{cs}}{N_{CT} \cdot L_o} \cdot \frac{N_s}{N_p} \left( \frac{1}{\pi} + D - 0.5 \right) \quad \text{EQ. 15}$$

式中： $R_{CS}$ 是電流感應電阻， $N_{CT}$ 是電流變壓器變比， $L_o$ 是輸出電感， $V_o$ 是輸出電壓，而 $N_s$ 和 $N_p$ 分別是副邊和原邊線圈。

對於反激型拓撲結構，用輸出電壓，電流感應元件和原邊電感可求出 $V_n$ ，代入等式16，可求 $V_e$ 。

$$V_e = \frac{T_{sw} \cdot V_o \cdot R_{cs}}{N_{CT} \cdot L_p} \cdot \frac{N_p}{N_s} \left( \frac{1}{\pi} + D - 0.5 \right) \text{ V} \quad \text{EQ. 16}$$

式中： $R_{CS}$ 是電流感應電阻， $N_{CT}$ 是電流變壓器變比， $L_p$ 是原邊電感， $V_o$ 是輸出電壓，而 $N_s$ 和 $N_p$ 分別是副邊和原邊線圈。如果不採用電流變壓器，則 $N_{CT} = 1$ 。

為討論之用，會更深入地論述反激型拓撲結構。而降壓拓撲結構的論述可見ISL6753的數據資料。

原邊電流通過電流感應變壓器的反射而在電流感應電阻上產生的電流感應信號為，

$$V_{CS} = \frac{R_{CS}}{N_{CT}} \left( I_o \cdot \frac{N_s}{N_p} + \frac{(1-D) \cdot V_o \cdot T_{sw}}{2L_p} \cdot \frac{N_p}{N_s} \right) \text{ V} \quad \text{EQ. 17}$$

式中： $V_{CS}$ 是橫跨電流感應電阻的電壓， $I_o$ 是輸出電流的門限值。

由於峰值電流門限值是取決於 $I_{SET}$ ，若輸出負載為此電流門限值，總電流反饋信號和外部斜坡電壓必須加到這個伏數。

$$V_e + (V_{CS} \cdot 0.8) + 0.100 = ISET \quad \text{EQ. 18}$$

式中包括內部增益和IC的失調電壓。把等式15和17代入等式18可求得其RCS值

$$R_{CS} = \frac{(ISET - 0.1) \cdot N_{CT}}{\frac{T_{SW} \cdot V_O \cdot N_P}{L_P \cdot N_S} \cdot \left(\frac{1}{\pi} + 0.6D - 0.1\right) + 0.8I_O \cdot \frac{N_S}{N_P}} \quad \text{EQ. 19}$$

即ISL6722A和ISL6723A用SLOPE輸入實現的斜率補償。用等式16確定 $V_e$ 值，再乘以10就是SLOPE輸入所需的電壓。

$$C_{SLOPE} = \frac{I_{SLOPE} \cdot T_{on}}{V_e \cdot 10} \quad \text{EQ. 20}$$

式中 $I_{SLOPE}$ 是SLOPE的內部充電電流，典型值為53 $\mu$ A。

### 過壓和欠壓監控

OV和UV信號是窗口比較器的輸入，用來監控變換器輸入電壓。若電壓跌落至超出指定的操作範圍就會引起關斷故障。過壓 (OV) 故障，在約295ms復位時間內ICC供應電流降低至200 $\mu$ A。若故障清除，一個軟啟動周期將重新運作。否則會產生另一個關斷周期。欠壓 (UV) 狀況也會導致關斷故障，但元件不會進入低功率模式和故障清除時不會發生重啟延遲。

$V_{in}$ 和LGND間的電阻分割器的每個輸入決定工作閾。欠壓 (UV)門限有一個75mV的固定遲滯。

### 過流運作

過流門限根據ISET引腳的供應電壓來設定。從VREF到LGND用一電阻分壓器來設定過流門限。ISET門限應設在相應於所要峰值輸出電感電流加上斜率補償迭加效應的水平。

軟啟動周期完成后，過流延遲關斷保護才啟動。如果檢測出過流情況，軟啟動充電電流電源就會中止，啟動放電電流電源。軟啟動電容通過40 $\mu$ A電源放電。過流情況停止后，在50 $\mu$ S時間內，如果軟啟動電容由4.5V放電至4.375V，輸出停止且軟啟動電容放電。輸出持續停止而ICC電流在約295ms內會跌落至200 $\mu$ A。然後開始新的軟啟動周期。過流 (OC) 保護的關斷和重啟通常視為因重復啟動和關斷的間歇運作。

如果在軟啟動電壓降至的4.375V前，且過流情況停止至少50 $\mu$ s，軟啟動充電和放電電流會恢復正常運作，軟啟動電壓會復位。

通過設定ISET的電壓為超過誤差放大器電流控制電壓或約1.5V就不會產生間歇過流 (OC) 保護。

圖6顯示了軟啟動期間的過流狀態。ISENSE'表示輸入到過流比較器的ISENSE值。

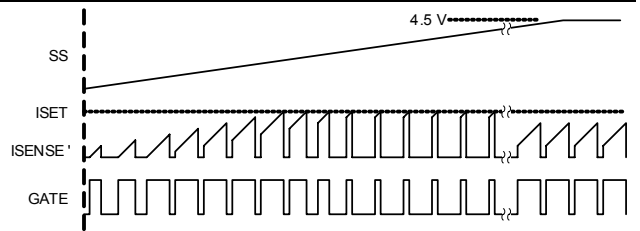


FIGURE 6 PULSE-BY-PULSE OC BEHAVIOR DURING SS

儘管存在過流情況，在軟啟動(SS)周期完成前不會發生關斷。在軟啟動周期內只有峰值電流限制運作。如果軟啟動周期完成后仍存在過流情況，就會啟動延遲過流關斷，如下圖7所示。

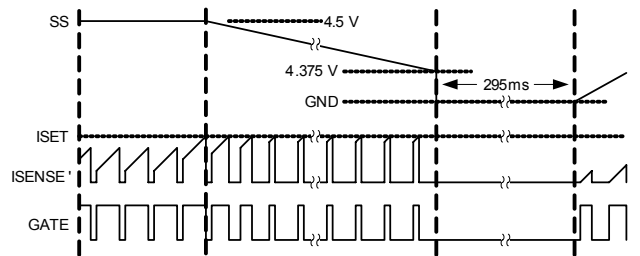


FIGURE 7 OC SHUTDOWN BEHAVIOR

如果關斷前過流情況停止，軟啟動電壓則會復位。如圖8所示。當負載下降低於過流門限值且在50 $\mu$ S時間內軟啟動電容沒有跌落低於4.375V，過流情況會消除，軟啟動電壓復位。

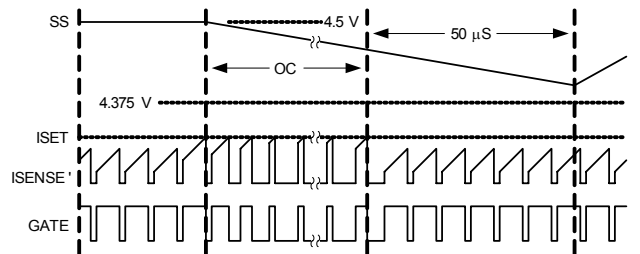


FIGURE 8 OC RECOVERY PRIOR TO SHUTDOWN

### 上升沿封鎖

用上升沿封鎖電路可消除ISENSE最初100ns的電流反饋信號輸入。當門極 (GATE) 輸出上升沿超過3.0V時開始封鎖周期。上升沿封鎖可防止因寄生元素而產生尖峰電流所引起PWM比較器和過流比較器的錯誤觸發。

### 故障狀況

如果VREF跌落低於4.65V，OV輸入超過2.50V，或UV輸入跌落低於1.45V就會發生故障狀況。檢測出故障時，GATE輸出就會截止且軟啟動電容會迅速地放電。當故障清除后以及軟啟動電壓低於復位臨限時，一個軟啟動周期將重新運作。

### 接地要求

為使這個器件能理想地工作，應該要仔細布局。特別是應用一個好的接地面，部分的接地面必須設只為高di/dt電流輸出。功率地 (PGND) 与邏輯接地 (LGND) 分開連接在一單點。V<sub>c</sub>應以一個好的高頻電容直接旁接到地PGND。輸入功率的回路連接和主輸入電容應連接于PGND。

## 參考設計

ISL6722A典型應用於傳統雙端輸出的10W間斷模式反激DC/DC變換器。ISL6722AEVAL1示範單元引用了此設計且可供測定。輸入電壓是36V-75V直電流，兩個輸出是3.3V @ 2.5A和1.8V @ 1.0A。可用兩個輸出的加權和實現橫向調節。

## 電路元件簡介

此變換器的設計可分成下列功能塊：

輸入存儲和濾波電容：C1, C2, C3

隔離變壓器：T1

原邊電壓鉗位：CR6, R24, C18

啟動偏壓調節器：R1, R2, R6, Q3, VR1

運行偏壓與調節器：R25, Q2, D1, C5, CR2, D2

主功率 MOSFET：Q1

電流感應網絡：R4, R3, R23, C4

反饋網絡：R13, R15, R16, R17, R18, R19, R20, R26, R27, C13, C14, U2, U3

控制電路：C7, C8, C9, C10, C11, C12, R5, R6, R8, R9, R10, R11, R12, R14, R22

輸出整流和過濾：CR4, CR5, C15, C16, C19, C20, C21, C22

副邊的緩沖器：R21, C17

## 設計標準

選擇以下設計要求：

開關頻率，F<sub>sw</sub>：200kHz

V<sub>in</sub>：36 - 75V

V<sub>out</sub> (1)：3.3V @ 2.5A

V<sub>out</sub> (2)：1.8V @ 1.0A

V<sub>out</sub> (偏壓)：12V @ 50mA

P<sub>out</sub>：10W

效率，Efficiency：70%

最大占空比，Maximum Duty Cycle, D<sub>max</sub>：0.45

## 變壓器設計

反激型變壓器的設計是繁瑣的且多次重復的過程，要有豐富的經驗才可達到滿意的效果。這個設計過程有許多折衷之處，對相同的要求/指標，即使經驗豐富的設計師也會有不同的設計方案。為了清晰起見，迭代反復設計過程將不在此討。

簡略的設計過程如下：

- 選擇適于此應用的磁心的幾何形狀。高度，占位面積，安裝要求，以及工作環境將會影響到此選擇。
- 選擇適當磁心的材料（可能多於一種）。
- 選擇適合操作的最大磁通量密度。
- 選擇磁心的尺寸大小。磁心體積將取決於磁心結構儲存能量的能力，必須繞的圈數，和所要的線規。在通常的情況下，窗口面積（繞組的空間）以及功率損耗將會決定最終的選擇。對於反激型的變壓器，其儲存能量是決定磁心體積的臨界系數。磁路的磁心橫截面積和氣隙的長度決定能量的儲存能力。
- 確定適合操作的最大磁通量密度。所允許的磁通密度由工作頻率，磁心材料的選擇以及工作環境來決定。初次選擇所適當的磁通密度往往是比較困難的。通常一個合意的設計往往是利用了最大的磁通密度，但是有時也會因為繞線的幾何形狀而選用較大的磁心。
- 確定原邊線圈的圈數。
- 決定匝比。
- 選擇每個繞組的線規。
- 確定繞線次序和絕緣材料要求。
- 核實設計。

輸入功率：P<sub>in</sub>=P<sub>out</sub>/Efficiency = 14.3W (use 15W)

最大導通時間：T<sub>on(max)</sub> = D<sub>max</sub>/F<sub>sw</sub> = 2.25μs

平均輸入電流：I<sub>van(in)</sub> = P<sub>in</sub>/V<sub>in(min)</sub> = 0.42A

峰值原邊電流：

$$I_{ppk} = \frac{2 \cdot I_{avg}(in)}{F_{SW} \cdot T_{ON(max)}} = 1.87A \quad \text{EQ. 21}$$

最大原邊電感：

$$L_{P(max)} = \frac{V_{in(min)} \cdot T_{ON(max)}}{I_{PPK}} = 43.3\mu H \quad \text{EQ. 22}$$

選擇適合的原邊電感為40μH。

磁心結構必須可在每個開關周期輸送能量到副邊以保持特定的輸出功率。

$$\Delta w = P_{out} \cdot \frac{V_{out} + V_d}{F_{SW} \cdot V_{out}} \text{ Joules} \quad \text{EQ. 23}$$

式中 Δw 是每個周期轉換時所需的能量，V<sub>d</sub> 橫跨輸出整流器的電壓降。

帶氣隙的鐵氧體磁心結構的能量儲存能力取決於氣隙，可表示為：

$$V_g = A_{eff} \cdot l_g = \frac{2 \cdot \mu_o \cdot \Delta w}{\Delta B^2} \quad m^3 \quad \text{EQ. 24}$$

式中  $A_{eff}$  是有效的磁心橫截面積，單位為  $m^2$ ； $l_g$  是氣隙的長度，單位為米。 $\mu_0$  是真空磁導率( $4\pi \cdot 10^{-7}$ )， $\Delta B$  是通量密度的變化，單位為特斯拉。

較小氣隙的磁心結構無法提供足夠的輸出功率。相反，若氣隙的長度過大，間隙周圍會產生磁場邊緣，且增加氣隙體積。通常允許有部分邊緣，但過多的邊緣會增加間隙周圍的繞組損耗從而導致元件過熱。一旦找到適合的磁心與間隙組合，便開始了迭代反復的設計過程。展開和檢驗設計以易組裝和減少內熱。如果磁心沒有足夠的繞線空間，則需要一個有較大窗口面積的磁心。若變壓器工作時發熱，可用較低通量密度(較多的原邊線圈，較低的工作頻率)，選用損耗少的磁心材料，改變繞組的幾何圖形(繞線次序)，用粗號線或多重繞線，或改變所用線狀(例如：絞合線)。

為了簡單化，只對最後部分的設計作更進一步的描述。選擇  $A_L$  值為 25 nH/N<sup>2</sup> 的 N87 間隙材料的 EPCOS EFD 20/10/7 磁心，可有較多的氣隙存儲能量，但需有足夠的窗口面積。

$$A_{eff} = 31 \cdot 10^{-6} \text{ m}^2$$

$$l_g = 1.56 \cdot 10^{-3} \text{ m}$$

通量密度  $\Delta B$  僅是 0.069T 或 690 高斯 (一個相對較低的值)。

因此

$$L_p = \frac{\mu_0 \cdot N_p^2 \cdot A_{eff}}{l_g} \mu H \quad \text{EQ. 25}$$

原邊線圈的圈數  $N_p$  可用 EQ.25 計算，其結果為  $N_p = 40$  圈。

副邊線圈的圈數也可計算如下：

$$N_s \leq \frac{l_g \cdot (V_{out} + V_d) \cdot T_r}{N_p \cdot I_{ppk} \cdot \mu_0 \cdot A_{eff}} \quad \text{EQ. 26}$$

式中  $T_r$  是磁心復位所需的時間。由於是間斷 MMF 模式操作，在關斷期間磁心必須完全復位。要保持間斷模式操作，允許磁心復位的最長時間是  $T_{sw} - T_{on(max)}$ ，式中  $T_{sw} = 1/F_{sw}$ 。最小時間取決於應用和設計師根據所知的副邊繞線 RMS 和波紋電流對於輸出電容應力隨復位時間減少而增加而作判斷。運用公式  $T = T_{sw} - T_{on(max)} = 2.75\mu s$ ，求得 3.3V 輸出的最大副邊線圈的圈數 ( $N_s$ ) 是 5.52 圈。

副邊線圈圈數的確定同樣取決於輸出次數和其所需的匝比。如果採用肖特基輸出整流器，假設其正向電壓降為 0.45V，兩個輸出電壓 3.3V 和 1.8V 所需的線圈比例是 5:3。

副邊繞組的匝比是 5:3，設  $N_{s1} = 5$  圈和  $N_{s2} = 3$  圈，用這些副邊線圈數求得復位時間， $T_r = 2.33\mu s$  或約 47% 的開關時間，是一個合意的結果。

偏壓繞組線圈同樣可計算，只需用二極管的 0.7V 正向電壓降，便可求出 12V 偏壓的線圈數的整數為 17 圈。

接著，確定線規。原邊繞組的 RMS 電流可用下式計算：

$$I_{P(rms)} = I_{ppk} \cdot \sqrt{\frac{T_{on(max)}}{3 \cdot T_{sw}}} \text{ A} \quad \text{EQ. 27}$$

其他繞組的峰值和 RMS 電流值可用下式計算：

$$I_{spk} = \frac{2 \cdot I_{out} \cdot T_{sw}}{T_r} \text{ A} \quad \text{EQ. 28}$$

$$I_{rms} = 2 \cdot I_{out} \cdot \sqrt{\frac{T_{sw}}{3 \cdot T_r}} \text{ A} \quad \text{EQ. 29}$$

原邊繞組的 RMS 電流是 0.72A，3.3V 輸出的是 4.23A，1.8V 輸出的是 1.69A，以及偏壓繞組的是 85mA。

要減少變壓器漏感，原邊繞組分成兩個截面並行連接，這樣其他的繞組可夾放在中間。配置輸出繞組使 3.3V 繞線的分接頭為 1.8V 繞線。分接 1.8V 輸出需要副邊繞組一起傳導兩個輸出的合成電流。副邊線規必須據此選擇。

電線的電流傳輸容量的選擇是綜合考慮了其性能，體積，和成本。它受許多設計約束如工作頻率(波形的諧波含量)和繞組鄰近 / 幾何圖形。通常每安培為 250 至 1000 圓密爾。圓密爾 (Circular Mil) 是直徑為 0.001 英寸 (1 密爾) 的圓形面積。隨著工作頻率的增加，電線的交流 (AC) 電阻也會因表層和鄰近效應而增加。用粗號線可減少此效應，或用多股線並聯。有些實例中必需用絞合線。

繞線配置選擇是：

原邊繞線 #1: 40T, 2 #30(雙線)

副邊繞線: 5T, 0.003 英寸(3 密爾)銅箔接在 3T

偏壓繞線: 17T #32

原邊繞線 #2: 40T, 2 #30(雙線)

內部空間和絕緣系統設計以原邊和副邊繞組之間的額定為 1500V 直流 (DC) 絕緣負荷。

## 功率 MOSFET 選擇

主開關 MOSFET 的選擇必需考慮應用中的電壓和電流應力，元件的功率損耗，體積，以及其成本。

變換器的輸入電壓是 36-75V 直流 (DC)。由於隔離變壓器的原邊繞組可能會出現反饋電壓，建議用額定電壓為 150V 的 MOSFET。

MOSFET 工作損耗可分成三種類型：傳導，開關和門極驅動損耗。

傳導損耗來自 MOSFET 導通時的阻抗。

$$P_{cond} = r_{DS(ON)} \cdot I_{prms}^2 \text{ W} \quad \text{EQ. 30}$$

式中  $r_{DS(ON)}$  是 MOSFET 的導通電阻和  $I_{prms}$  是 RMS 原邊電流。傳導損耗的確定因熱敏  $r_{DS(ON)}$  隨溫度變化而變得複雜化。 $r_{DS(ON)}$  隨著結溫增加而增加, 損耗也隨之而增加。元件可能會發熱散如沒有適當的熱沉。一般 25°C  $r_{DS(ON)}$  的兩倍估計產生 125°C 結溫的傳導損失。

開關損耗有兩部分: 電容開關損耗和電壓/電流交迭損耗。電容損耗產生于元件導通期間, 可計算如下:

$$P_{swcap} = \frac{1}{2} \cdot C_{fet} \cdot V_{in}^2 \cdot F_{sw} \quad W \quad EQ. 31$$

式中  $C_{fet}$  是 MOSFET 的等效輸出電容。數據庫中所指的元件輸出電容為  $C_{oss}$ , 是非線性于供應電壓。利用充電模型式可知等效隔離電容 ( $C_{fet}$ ), 而用已知的電流源, 並確定 MOSFET 漏極充電至工作電壓所需的時間, 則可計算出等效電容。

$$C_{fet} = \frac{I_{chg} \cdot t}{V} \quad F \quad EQ. 32$$

其他開關損耗是由于開關轉換期間電壓與電流交迭而引起的。開關轉折產生于 MOSFET 導通和斷開時。由于是電感負載, 導通轉折期間不存在電壓與電流交迭, 所以關鍵在于關斷轉折。功率耗散可估計為:

$$P_{SW} = \frac{1}{x} \cdot I_{ppk} \cdot V_{in} \cdot T_{ol} \cdot F_{sw} \quad EQ. 33$$

式中  $T_{ol}$  是交迭的時間, 典型應用中的  $x$  值約為 3-6, 是取決于波形交匯點。因為部分的關斷漏電流用于元件輸出電容充電而在開關周期不會耗散, 可預定比實際高的估計耗散。

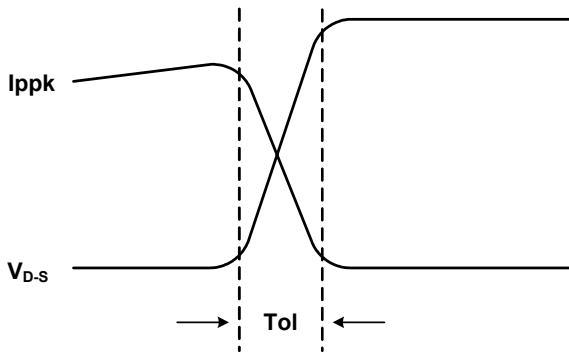


Figure 9

MOSFET 損耗的最后部分門極驅動損失是經由元件門極電阻充電到門極電容而引起。取決于門極驅動電路所有外部電阻的相對值, 部分功率會在表層耗散。

$$P_{gate} = Q_g \cdot V_g \cdot F_{sw} \quad W \quad EQ. 34$$

一旦確知損耗, 必須選擇元件組合和設計熱沉法。由于此設計需要小的平面式安裝配件, 可選擇 SOIC-8 組件。根據這些標準可選擇 Fairchild FDS2570 MOSFET。總損耗估計為 400mW。

### 輸出濾波器選擇

在反激型設計中, 輸出濾波的設計關鍵是電容電流波紋的應力和輸出波紋與噪音的規格。

繞組電流與輸出電流間的輸出電容的電流流入和流出之差。3.3V 輸出的峰值副邊電流 ( $I_{spk}$ ) 為 10.73A, 1.8V 輸出的為 4.29A。繞組電流和輸出電流流入輸出濾波器電容的電流是不同的。這樣峰值繞組電流減去 2.5A 的輸出電流, 3.3V 輸出電容的電容必須能儲存 8.23A, 其 RMS 波紋電流大約為 3.5Arms, 1.8V 輸出電容的 RMS 波紋電流大約為 1.4Arms。

開關周期間的電壓偏差(波紋和噪音)是決定于輸出電容電荷, 等效串聯電阻 (ESR), 以及等效串聯電感(ESL)的變化。這些組元件各自產生部分波紋和噪音, 而每個元件影響的大小取決于所採用的電容。

為了便于討論我們假設下列各項:

3.3V 輸出: 100mV 總輸出波紋和噪音

等效串聯電阻, ESR: 60mV

電容電荷, Capacitor  $\Delta Q$ : 10mV

等效串聯電感, ESL: 30mV

1.8V 輸出: 50mV 總輸出波紋和噪音

等效串聯電阻, ESR: 30mV

電容電荷  $\Delta Q$ : 5mV

等效串聯電感, ESL: 15mV

對於 3.3V 輸出而言:

$$ESR \leq \frac{\Delta V}{I_{spk} - I_{out}} = \frac{0.060}{10.73 - 2.5} = 7.3m\Omega \quad EQ. 35$$

因輸出電容電荷變化( $\Delta Q$ )而變化的電壓決定了所需的輸出電容量。

$$C \geq \frac{(I_{spk} - I_{out}) \cdot T_r}{2 \cdot \Delta V} = \frac{(10.73 - 2.5) \cdot 2.33 \times 10^{-6}}{2 \cdot 0.01} = 960\mu F \quad EQ. 36$$

ESL 附加的波紋和噪音電壓與電容的電流變化率成正比例 ( $V = L \times di/dt$ )。

$$L \leq \frac{V \cdot dt}{di} = \frac{0.030 \cdot 200 \times 10^{-9}}{10.73} = 0.56nH \quad EQ. 37$$

大容量電容往往沒有足夠低的 ESL。高頻電容如平面式安裝的陶瓷或薄膜電容與大容量電容并聯以確定 ESL 的效應。高頻和高波紋電容合并可達到理想的綜合性能。1.8V 輸出的分析類似于 3.3V 輸出, 為簡化予以省略。3.3V 和 1.8V 輸出可選擇兩個 OSCON 4SEP560M (560 $\mu F$ ) 電解電容和一個 22 $\mu F$  X5R, 型號 1210 的陶瓷電容。每個 4SEP560M 電解電容額定波紋電流為 4520mA 和 ESR 為 13m $\Omega$ 。僅一個電容的波紋電流額定已足夠, 但需兩個使 ESR 和電容量達到最小化。



低功率和低電流的偏壓對其濾波電容應力是微不足道。可選擇一個 0.1μF 的單片陶瓷電容。

### 控制環路設計

反饋控制環路的主要元件包含有一個可調式分流調節器，光耦合器以及 ISL6722A 的內置反相放大器。光耦合器可以用來傳送誤差信號越過隔離障礙。光耦合器為隔離障礙信息傳輸提供了可行的方法，但是在一定程度上為反饋控制設計帶來複雜性。它不僅在 10KHz 加了一個極點並且由於電流傳輸比產生很大的增益變化。光耦合器的電流傳輸比會隨初時容差，溫度，正向電流以及時效而變化。

圖 10 是反饋控制環路的架構。

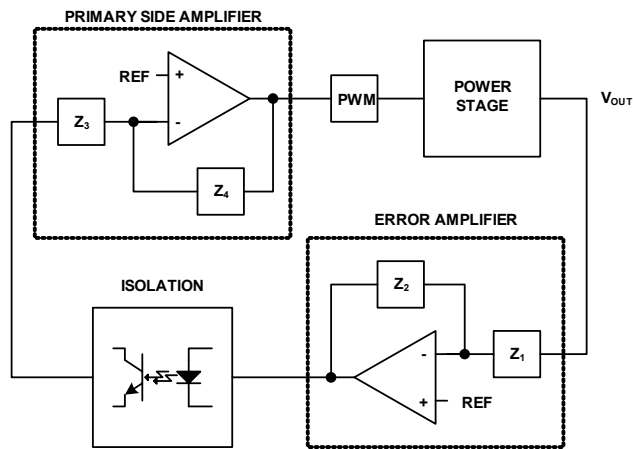


Figure 10

環路補償被置于轉換器的副邊誤差放大器 (EA) 的周圍。內置于控制器的原邊放大器被用作整體增益放大器并不提供環路補償。以備在某種工作條件下轉換器會進入持續導電模式 2 型誤差放大器配置被選用。

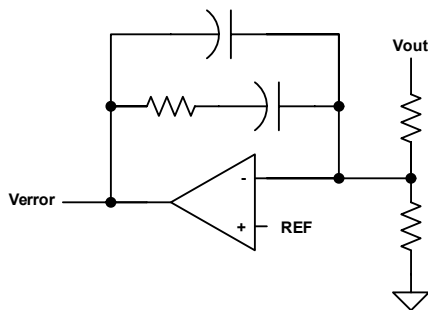


Figure 11 TYPE 2 ERROR AMPLIFIER

研發電流控制模式的小信號模式具有相應的複雜性。特選的方法 [1] 可以精確地預視環路的表現。為了進一步簡化分析，這個轉換器將被模仿成單獨的輸出供應，並且所有的輸出電容被反射到 3.3V 的輸出邊。一旦這個“單獨”的輸出供應系統被補償，基於實際的環路測量，將會對環路作出必要的調整。

第一個設定的參數是峰值電流反饋環路增益。由於這是一個低功耗的應用，電流反饋信號可以用與功率開關 MOSFET 源極串聯的電阻來取樣。對於較高功率的應用，適合使用電流感應變壓器，因為電阻將會引起過多的損耗。

由於必須提供過流保護，電流環路的調節只具備一定的靈活性。過流臨界和電流環路增益是由電流感應電阻以及 ISET 臨界值來決定。ISET 設置為 1.0V 接近于最大值，用來減少噪音效果。當選擇 ISET 值時必須考慮控制器內的 ISENSE 信號內部增益及其偏壓。最大原邊峰值電流已經由前面的計算中得知為 1.87A，所以選用 2.25A 的原邊峰值過流臨界是可以理解的。電流增益值，A<sub>EXT</sub>，等於 0.5V/A，可以用來取得以上的選擇。

$$I_{SET} = 2.25 \cdot 0.8 \cdot 0.5 + 0.100 = 1.00V \quad \text{EQ. 38}$$

控制到輸出的傳輸功能可以用 [2] 來表達，

$$\frac{V_o}{V_c} = K \cdot \sqrt{\frac{R_o \cdot L_s \cdot F_{SW}}{2}} \cdot \frac{1 + \frac{s}{\omega_z}}{1 + \frac{s}{\omega_p}} \quad \text{EQ. 39}$$

如果我們忽視電流反饋抽樣數據的影響，

$$K = \frac{I_{spk(max)}}{V_{c(max)}}$$

R<sub>O</sub> = 負載電阻

L<sub>S</sub> = 副邊電感

$$\omega_p = \frac{2}{R_o \cdot C_o} \quad \text{Or} \quad f_p = \frac{1}{\pi \cdot R_o \cdot C_o}$$

$$\omega_z = \frac{1}{R_c \cdot C_o} \quad \text{Or} \quad f_z = \frac{1}{2\pi \cdot R_c \cdot C_o}$$

C<sub>O</sub> = 輸出電容

R<sub>C</sub> = 輸出電容 ESR

V<sub>C(max)</sub> = 控制電壓範圍

K 值可以根據假設所有的輸出功率是在過流臨界時 3.3V 的輸出功率率來決定。根據以前的計算可允許的最大功率是 15W，所以，

$$I_{spk(max)} = \frac{2 \cdot \frac{P_{out}}{V_{out}} \cdot T_{sw}}{T_r} = \frac{2 \cdot \frac{15}{3.3} \cdot 5 \times 10^{-6}}{2.33 \times 10^{-6}} = 19.5A$$

$$V_{c(max)} = V_{ISENSE} \cdot A_{EXT} \cdot A_{CS} \cdot \frac{1}{A_{COMP}} = 2.93V$$

A<sub>EXT</sub> 是電流反饋網絡的外置增益，A<sub>CS</sub> 是控制器內置增益，A<sub>COMP</sub> 是在誤差放大器和 PWM 比較器之間的增益。

II 型誤差放大器配置具備 2 個極點和 1 個零點。第一個極點是在原點，並提供導致精確 DC 調整率的積分特性。參考典型應用電路圖，剩下的極點和零點被置于以下位置：

$$f_{PC} = \frac{C_{13} + C_{14}}{2 \cdot \pi \cdot R_{15} \cdot C_{14} \cdot C_{13}} \approx \frac{1}{2 \cdot \pi \cdot R_{15} \cdot C_{14}} \quad \text{EQ. 40}$$

$$f_{ZC} = \frac{1}{2 \cdot \pi \cdot R_{15} \cdot C_{13}} \quad \text{EQ. 41}$$

R15 與 R17 和 R18 並聯阻值的比例將決定誤差放大器中頻寬的增益。

$$A_{midband} = \frac{R_{15} \cdot (R_{17} + R_{18})}{R_{17} \cdot R_{18}} \quad \text{EQ. 42}$$

從等式 27 可以看出控制到輸出的傳輸功能頻率將會隨負載，輸出電容值，以及輸出電容的 ESR 而變化。在補償控制環路時這些變化必須被考慮進去。轉換器的最差小信號工作條件發生在最小輸入電壓，最大負載，最大輸出電容以及最小 ESR。

對於頻寬越大的轉換器，一個能在整個工作範圍內都能保持穩定的設計方案是很難實現的。基本方法是限制頻寬至 1/4 的開關頻率。在這于例子裡，由於以 LM431 為基準的誤差放大器有較低的 GBWP 以及光耦合器的使用，頻寬將被繼續限制。5KHz 頻寬將被採用。

對於誤差放大器的補償，第一個極點放在原點(C14 是積分電容)。第一個零點放在低於交界頻率，通常在 1/3 的  $f_{CO}$ 。第二個極點可以放在較低的 ESR 零點頻率或開關頻率的 1/2。中頻程的增益可以由此調節去獲得所需的交界頻率。如果允許相位余量不是相當充分，交界頻率可以繼續變小。

用以上的方法來決定補償，以下是為誤差放大器作補償的元件：

$$R17 = R18 = R15 = 1K\Omega$$

$$R20 = \text{Open}$$

$$C13 = 100nF$$

$$C14 = 100pF$$

以下是閉環路系統在低輸入，最大負載時的波德圖。

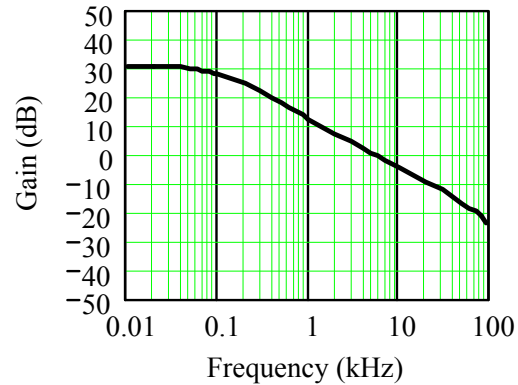


Figure 12A GAIN

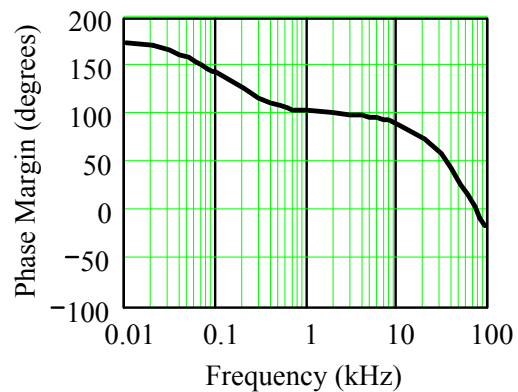


Figure 12B PHASE MARGIN

輸出負載調整率性能

TABLE1. OUPUT LOAD REGULATION,  $V_{IN} = 48V$

IOUT (A), 3.3V	IOUT (A), 1.8V	VOUT (V), 3.3V	VOUT (V), 1.8V
0	0.03	3.351	1.825
0.39	0.03	3.281	1.956
0.88	0.03	3.251	1.988
1.38	0.03	3.223	2.014
1.87	0.03	3.204	2.029
2.39	0.03	3.185	2.057
2.89	30	3.168	2.084
3.37	0.03	3.153	2.103
0	0.52	3.471	1.497
0.39	0.52	3.283	1.8
0.88	0.52	3.254	1.836
1.38	0.52	3.233	1.848
1.87	0.52	3.218	1.855
2.39	0.52	3.203	1.859
2.89	0.52	3.191	1.862
0	1.05	3.619	1.347
0.39	1.05	3.29	1.73
0.88	1.05	3.254	1.785
1.38	1.05	3.235	1.805
1.87	1.05	3.22	1.814
2.39	1.05	3.207	1.82
0	1.55	3.699	1.265
0.39	1.55	3.306	1.682
0.88	1.55	3.26	1.75
1.38	1.55	3.239	1.776
1.87	1.55	3.224	1.789
0	2.07	3.762	1.201
0.39	2.07	3.329	1.645
0.88	2.07	3.27	1.722
1.38	2.07	3.245	1.752
0	2.62	3.819	1.142
0.39	2.62	3.355	1.612
0.88	2.62	3.282	1.697
0	3.14	3.869	1.091
0.39	3.14	3.383	1.581

波型

從圖 13 至 15 里可以找到典型的波型。這些波型是從 ISL6721EVA1 評估板上得到，有包括一些典型具有代表性的然而與 ISL622A 無關的同步波型。圖 13 是在穩定操作時鋸齒振蕩器在 RTCT 引腳的波型 (Trace 2), SYNC 引腳的波型 (Trace 1), 以及門極輸出至轉換器 FET (Trace 3)。圖 14 是轉換器在過流故障保護時的運行狀態。Trace 1 是 0V 到 4.5V 軟啟動的電壓, 4.5V 正是過流故障保護功能的生效點。當過流時軟啟動電容被放電至過流故障的臨界值, 4.375V, 控制器會進入故障停机狀態。Trace 2 是當故障停机時, 時序時鐘電容電壓的狀態。在故障發生時大部分 IC 的功能會進入省電狀態, 振蕩器也不例外。在故障發生時, IC 被關閉直到重啟動延遲被中止。在延遲后電源回復, IC 也重新開始正常工作。Trace 3 是在軟啟動和過流故障時的門極驅動輸出。

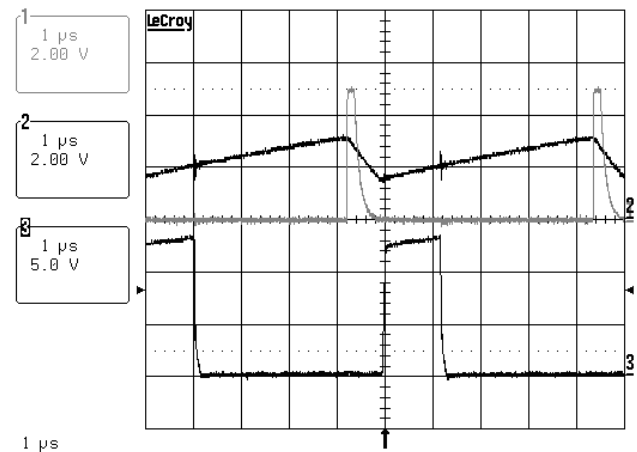
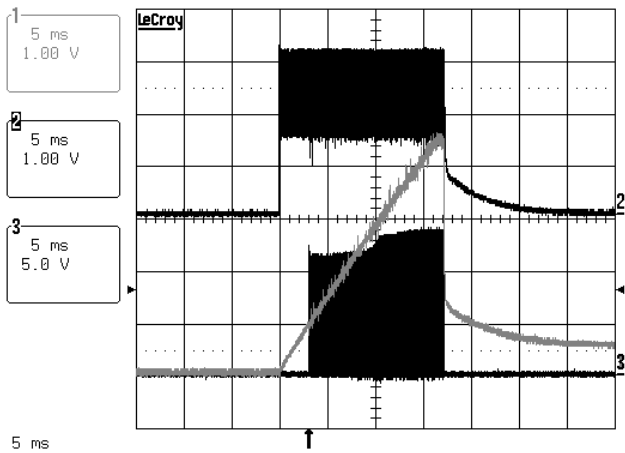


Figure 13 TYPICAL WAVEFORMS

NOTE:

- Trace 1: SYNC Output
- Trace 2: RTCT Sawtooth
- Trace 3: GATE Output

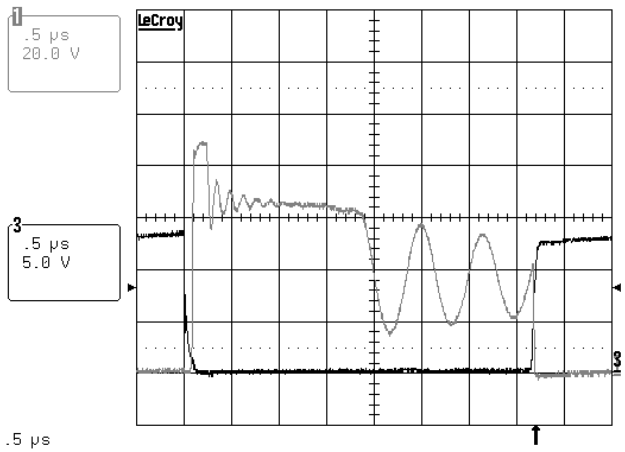


**Figure 14** SOFT-START WITH OVERCURRENT FAULT

NOTE:

- Trace 1: SS
- Trace 2: RTCT Sawtooth
- Trace 3: GATE Output

圖 15 是在穩態運行時開關 FET 的波型。Trace 1 是漏-源極電壓，Trace 2 是門-源電壓。



**Figure 15** GATE AND DRAIN-SOURCE WAVEFORMS

NOTE:

- Trace 1:  $V_{D-S}$
- Trace 3:  $V_{G-S}$

## 元件表

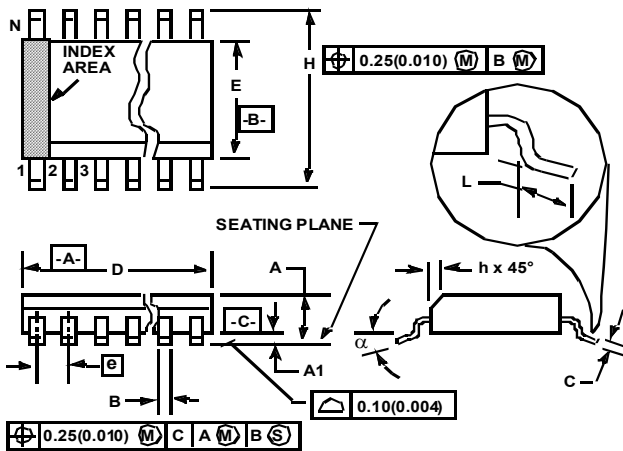
REFERENCE DESIGNATOR	VALUE	DESCRIPTION
C1, C2, C3	1.0 $\mu$ F	Capacitor, 1812, X7R, 100V, 20%
C5, C13	0.1 $\mu$ F	Capacitor, 0603, X7R, 25V, 10%
C15, C16, C19, C20	560 $\mu$ F	Capacitor, Radial, SANYO 4SEP560M
C17	470pF	Capacitor, 0603, COG, 50V, 5%
C18	0.01 $\mu$ F	Capacitor, 0805, X7R, 50V, 10%
C21, C22	22 $\mu$ F	Capacitor, 1210, X5R, 10V, 20%
C4, C14	100pF	Capacitor, 0603, COG, 50V, 5%
C6	1500pF	Capacitor, Disc, Murata DE1E3KX152MA5BA01
C7		Zero Ohm Jumper, 0603
C8	330pF	Capacitor, 0603, COG, 50V, 5%
C9, C10, C11, C12	0.22 $\mu$ F	Capacitor, 0603, X7R, 16V, 10%
CR2, CR6		Diode, Fairchild ES1C
CR4, CR5		Diode, IR 12CWQ03FN
D1		Zener, 18V, Zetex BZX84C18
D2		Diode, Schottky, BAT54C
Q1		FET, Fairchild FDS2570
Q2		Transistor, Zetex FMMT491A
Q3		Transistor, ON MJD31C
R1, R2	1.00K	Resistor, 1206, 1%
R10	20.0K	Resistor, 0603, 1%
R7, R9, R11, R26, R27	10.0K	Resistor, 0603, 1%
R12	38.3K	Resistor, 0603, 1%
R13, R15, R17, R18, R19, R25	1.00K	Resistor, 0603, 1%
R14	10	Resistor, 0603, 1%
R16	165	Resistor, 0603, 1%
R21	10	Resistor, 1206, 1%
R22	5.11	Resistor, 0603, 1%
R24	3.92K	Resistor, 2512, 1%
R3, R23	100	Resistor, 0603, 1%
R4	1	Resistor, 2512, 1%
R5	221K	Resistor, 0603, 1%
R6	75.0K	Resistor, 0603, 1%
R8, R20		OMIT
T1		Transformer, MIDCOM 31555
U2		Opto-coupler, NEC PS2801-1
U3		Shunt Reference, National LM431BIM3
U4		PWM, Intersil ISL6722AABZ
VR1		Zener, 15V, Zetex BZX84C15

## 參考資料

[1] Ridley, R., "A New Continuous-Time Model for Current Mode Control", IEEE Transactions on Power Electronics, Vol. 6, No. 2, April 1991.

[2] Dixon, Lloyd H., "Closing the Feedback Loop", Unitrode Power Supply Design Seminar, SEM-700, 1990.

**Small Outline Plastic Packages (SOIC)**



**M16.15 (JEDEC MS-012-AC ISSUE C)  
16 LEAD NARROW BODY SMALL OUTLINE PLASTIC  
PACKAGE**

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	0.0532	0.0688	1.35	1.75	-
A1	0.004	0.0098	0.10	0.25	-
B	0.013	0.020	0.33	0.51	9
C	0.0075	0.0098	0.19	0.25	-
D	0.3859	0.3937	9.80	10.00	3
E	0.1497	0.1574	3.80	4.00	4
e	0.050 BSC		1.27 BSC		-
H	0.2284	0.244	5.80	6.20	-
h	0.0099	0.0196	0.25	0.50	5
L	0.016	0.050	0.40	1.27	6
N	16		16		7
$\alpha$	0°	8°	0°	8°	-

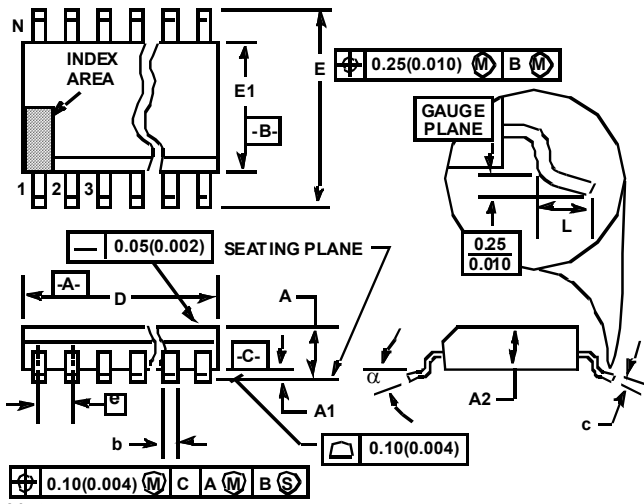
1. Symbols are defined in the "MO Series Symbol List" in Section 2.2 of Publication Number 95.
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusion and gate burrs shall not exceed 0.15mm (0.006 inch) per side.
4. Dimension "E" does not include interlead flash or protrusions. Interlead flash and protrusions shall not exceed 0.25mm (0.010 inch) per side.
5. The chamfer on the body is optional. If it is not present, a visual index feature must be located within the crosshatched area.
6. "L" is the length of terminal for soldering to a substrate.
7. "N" is the number of terminal positions.
8. Terminal numbers are shown for reference only.
9. The lead width "B", as measured 0.36mm (0.014 inch) or greater above the seating plane, shall not exceed a maximum value of 0.61mm (0.024 inch).
10. Controlling dimension: MILLIMETER. Converted inch dimensions are not necessarily exact.

Rev.1 6/05

**Thin Shrink Small Outline Plastic Packages (TSSOP)**

**M16.173A**

**16 LEAD THIN SHRINK SMALL OUTLINE PLASTIC PACKAGE**



Notes:

1. These package dimensions are within allowable dimensions of JEDEC MO-153-AB, Issue E.
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusion and gate burrs shall not exceed 0.15mm (0.006 inch) per side.
4. Dimension "E1" does not include interlead flash or protrusions. Interlead flash and protrusions shall not exceed 0.15mm (0.006 inch) per side.
5. The chamfer on the body is optional. If it is not present, a visual index feature must be located within the crosshatched area.
6. "L" is the length of terminal for soldering to a substrate.
7. "N" is the number of terminal positions.
8. Terminal numbers are shown for reference only.
9. Dimension "b" does not include dambar protrusion. Allowable dambar protrusion shall be 0.08mm (0.003 inch) total in excess of "b" dimension at maximum material condition. Minimum space between protrusion and adjacent lead is 0.07mm (0.0027 inch).
10. Controlling dimension: MILLIMETER. Converted inch dimensions are not necessarily exact. (Angles in degrees).

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	-	0.043	-	1.10	-
A1	0.002	0.006	0.05	0.15	-
A2	0.033	0.037	0.85	0.95	-
b	0.0075	0.012	0.19	0.30	9
c	0.0035	0.008	0.09	0.20	-
D	0.193	0.201	4.90	5.10	3
E1	0.169	0.177	4.30	4.50	4
e	0.026 BSC		0.65 BSC		-
E	0.246	0.256	6.25	6.50	-
L	0.020	0.028	0.50	0.70	6
N	16		16		7
α	0°	8°	0°	8°	-

Rev.1 2/02

All Intersil U.S. products are manufactured, assembled and tested utilizing ISO9000 quality systems.

Intersil Corporation's quality certifications can be viewed at [www.intersil.com/design/quality](http://www.intersil.com/design/quality).

Intersil products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design, software and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see [www.intersil.com](http://www.intersil.com)