
RL78/G1F

R01AN2984JJ0200

Rev.2.00

プログラマブル・ゲイン・アンプ(PGA)を用いた電流測定

2016.02.10

要旨

本アプリケーションノートでは、RL78/G1Fの内蔵プログラマブル・ゲイン・アンプ(以降、PGA と表記します)と A/D コンバータ(以降、ADC と表記します)を使用した、電流の測定方法について説明します。

動作確認デバイス

RL78/G1F

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

目次

1. 仕様	3
2. 動作確認条件	5
3. 関連アプリケーションノート	6
4. ハードウェア説明	7
4.1 ハードウェア構成例	7
4.2 使用端子一覧	8
5. ソフトウェア説明	9
5.1 動作概要	9
5.2 増幅率の選択方法	13
5.3 オプション・バイトの設定一覧	14
5.4 定数一覧	14
5.5 構造体/共用体一覧	15
5.6 変数一覧	16
5.7 関数一覧	17
5.8 関数仕様	18
5.9 フローチャート	24
5.9.1 初期設定	24
5.9.2 周辺機能初期設定	25
5.9.3 CPUクロック初期設定	26
5.9.4 ポート初期設定	27
5.9.5 TAU0 初期設定	28
5.9.6 A/Dコンバータ初期設定	43
5.9.7 コンパレータ・PGA初期設定	52
5.9.8 メイン処理	60
5.9.9 メイン初期設定	61
5.9.10 A/D変換開始	62
5.9.11 A/D変換停止	65
5.9.12 A/D電圧コンパレータ動作許可	68
5.9.13 A/D電圧コンパレータ動作停止	69
5.9.14 A/D変換結果取得	70
5.9.15 A/D変換終了割り込み	70
5.9.16 PGA動作許可	71
5.9.17 PGA動作停止	72
5.9.18 TAUチャンネル0 開始	73
5.9.19 TAUチャンネル0 停止	75
5.9.20 TAUチャンネル1 開始	77
5.9.21 TAUチャンネル1 停止	79
5.9.22 TAUチャンネル0 割り込み	81
5.9.23 TAUチャンネル1 割り込み	81
5.9.24 オフセット補正值設定	82
5.9.25 平均A/D変換値取得	83
5.9.26 入力電圧のA/D変換値取得	84
5.9.27 内部基準電圧のA/D変換値取得	85
5.9.28 増幅率設定	87
5.9.29 電流値算出	93
5.9.30 時間待ち	94
6. サンプルコード	95
7. 参考ドキュメント	95

1. 仕様

本アプリケーションノートでは、RL78/G1FのPGAとADCを使用して、電流を測定する方法について説明します。

RL78/G1FはPGA専用のGND端子(PGAGND)を用意しています。PGAを使用するときは、PGAGNDと測定系のGNDを接続してください。また、ADCのリファレンス電圧 $AV_{REF}(+)$ 、 $AV_{REF}(-)$ をそれぞれ AV_{REFP} 、 AV_{REFM} とすることでA/D変換の精度を高めることができます。これにより、電流を精度よく測定することができます。

注意. PGAGNDとV_{SS}は同電位にする必要があります。

本アプリケーションでは、PGAとADCを使用してシャント抵抗の一端の電圧を測定し、電流値に換算します。また、PGAの入力オフセット電圧の影響をなくすため、無電流時のA/D変換値をオフセット補正值としてRAMに格納しておきます。その後、約1秒間隔で電流測定を行い、測定結果から、RAMに格納しておいたオフセット補正值を差し引いて、電流値を算出します。電流値は、直近3回の測定値をRAMに保持します。

仕様詳細を以下に記載します。

- 最適な増幅率(x1,x4,x8,x16,x32)を選択し、出来るだけ高倍率でシャント抵抗の一端の電圧を測定します(x1の場合はPGAを使用しません)。
- PGA(-)入力としてはPGAGNDを使用します。
- PGAの入力オフセット補正は、+側のみ行います。増幅率x1~x32毎に入力オフセット電圧を10回測定し、その平均値を増幅率x1~x32毎のオフセット補正值としてRAMに格納します。
- 定数定義によって、ADCのリファレンス電圧設定を変更することが可能です。

デフォルトでは定数"VREF_AVREF"が定義されており、ADCのリファレンス電圧 $AV_{REF}(+)$ を AV_{REFP} 、 $AV_{REF}(-)$ を AV_{REFM} に設定します。この定義を外すと、 $AV_{REF}(+)$ をV_{DD}、 $AV_{REF}(-)$ をV_{SS}に設定します。

また、 AV_{REF} の値を定数で設定するか、プログラムで算出するかを変更することが可能です。デフォルトでは定数"VREF_FIX"が定義されており、 AV_{REF} は定数"VREF_VOLTAGE"で設定します。この定義を外すと、 AV_{REF} は内部基準電圧(1.45V)のA/D変換結果から算出します。内部基準電圧(1.45V)は、およそ-4.8%~+3.4%の誤差があり、電流の測定精度に影響を与えるため、本アプリケーションでは推奨しません。

備考： AV_{REF} はA/Dコンバータの基準電圧($AV_{REF}(+)$ と $AV_{REF}(-)$ の電位差)を示します。

表 1.1 に定数定義による A/D コンバータの基準電圧の設定切り替えを示します。

表 1.1 定数定義による A/D コンバータの基準電圧の設定切り替え

VREF_FIX	VREF_AVREF	説明
未定義	未定義	AV _{REF} (+)をV _{DD} 、AV _{REF} (-)をV _{SS} に設定します。 AV _{REF} を内部基準電圧(1.45V)のA/D変換結果から算出します。
未定義	定義	AV _{REF} (+)をAV _{REFP} 、AV _{REF} (-)をAV _{REFM} に設定します。 AV _{REF} を内部基準電圧(1.45V)のA/D変換結果から算出します。
定義	未定義	AV _{REF} (+)をV _{DD} 、AV _{REF} (-)をV _{SS} に設定します。 AV _{REF} の値は定数VREF_VOLTAGEの値に設定します。
定義	定義	AV _{REF} (+)をAV _{REFP} 、AV _{REF} (-)をAV _{REFM} に設定します。 AV _{REF} の値は定数VREF_VOLTAGEの値に設定します。

表 1.2 に使用する周辺機能と用途を示します。

表 1.2 使用する周辺機能と用途

周辺機能	用途
プログラマブル・ゲイン・アンプ(PGA)	アナログ入力を増幅
A/D コンバータ(ADC)	アナログ入力をデジタル値に変換
タイマ・アレイ・ユニット(TAU)	チャンネル 0 : 電流測定タイマ チャンネル 1 : 動作安定待ちタイマ

図 1.1 に状態遷移図を示します。

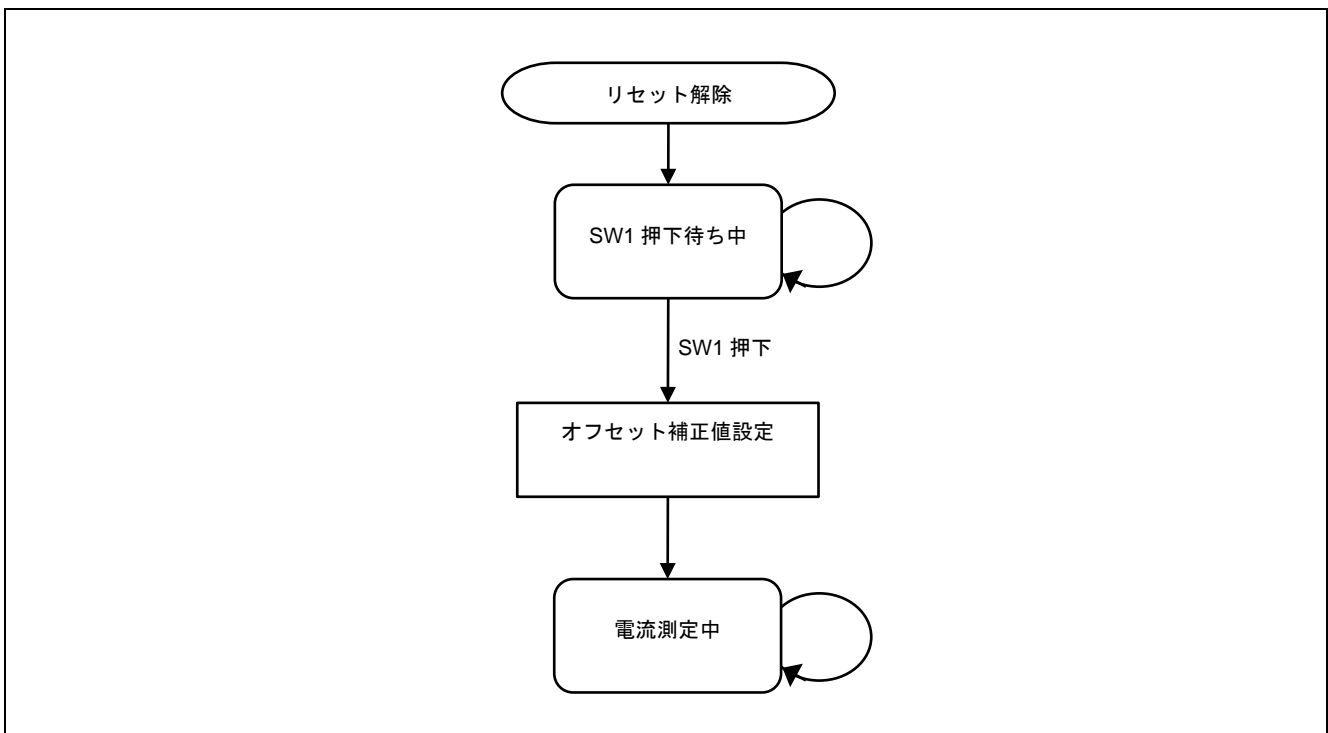


図 1.1 状態遷移図

2. 動作確認条件

本アプリケーションノートのサンプルコードは、下記の条件で動作を確認しています。

表 2.1 動作確認条件

項目	内容
使用マイコン	RL78/G1F (R5F11BLE)
動作周波数	<ul style="list-style-type: none"> ● 高速オンチップ・オシレータ・クロック(f_{HOCO}): 32MHz、(f_{IH}): 32MHz ● CPU/周辺ハードウェア・クロック(f_{CLK}): 32MHz
動作電圧	5.0V (2.9V~5.5V で動作可能) LVD動作(V_{LVD}): リセット・モード(立ち上がり 2.81V/立ち下がり 2.75V)
統合開発環境 (CS+)	ルネサス エレクトロニクス製 CS+ for CA,CX V3.00.01
C コンパイラ (CS+)	ルネサス エレクトロニクス製 CA78K0R V1.71
統合開発環境 (e2studio)	ルネサス エレクトロニクス製 e2studio V4.0.2.008
C コンパイラ (e2studio)	ルネサス エレクトロニクス製 KPIT GNURL78-ELF Toolchain V15.01
統合開発環境 (IAR)	IAR システムズ株式会社製 IAR Embedded Workbench for Renesas RL78 V2.10.1
C コンパイラ (IAR)	IAR システムズ株式会社製 IAR C/C++ Compiler for Renesas RL78 V2.10.1
使用ボード	RL78/G1F Target board (YQB-R5F11BLE-TB)

3. 関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。
併せて参照してください。

RL78/G13 初期設定 (R01AN0451J) アプリケーションノート

RL78/G13 A/D コンバータ (R01AN0452J) アプリケーションノート

4. ハードウェア説明

4.1 ハードウェア構成例

図 4.1 に本アプリケーションノートで使用するハードウェアを示します。

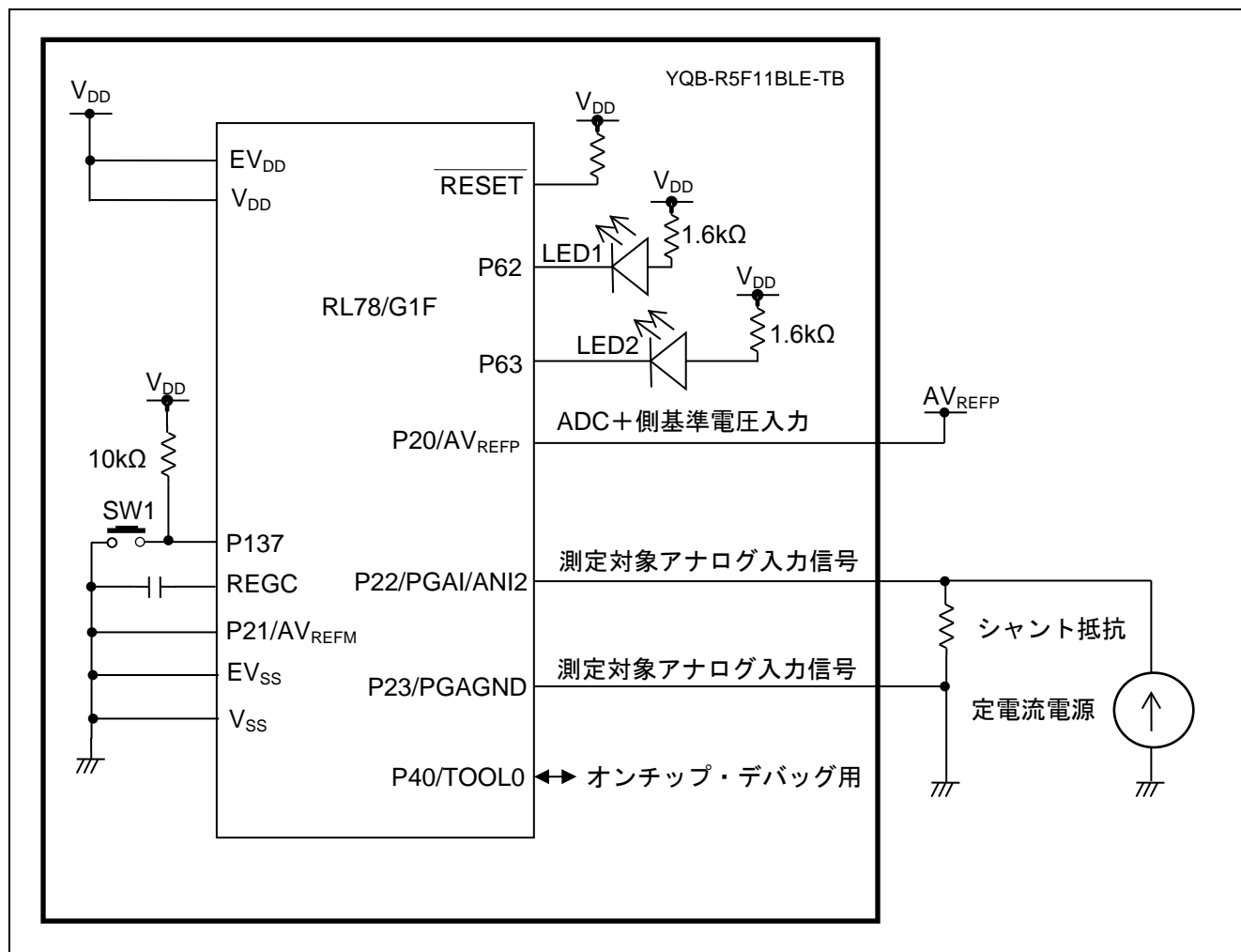


図 4.1 ハードウェア構成例

注意 1 この回路イメージは接続の概要を示すために簡略化しています。

実際に回路を作成される場合は、端子処理などを適切に行い、電気的特性を満たすように設計してください。

(入力専用ポートは個別に抵抗を介して V_{DD} 又は V_{SS} に接続して下さい)。

- 2 EV_{SS} で始まる名前の端子がある場合には V_{SS} に、 EV_{DD} で始まる名前の端子がある場合には V_{DD} にそれぞれ接続してください。
- 3 V_{DD} はLVDにて設定したリセット解除電圧 (V_{LVD}) 以上にしてください。
- 4 PGAI/ANI2 の入力電圧を V_{DD} 以下にしてください。
- 5 P20/AVREFPの入力電圧を V_{DD} 以下にしてください。
- 6 P20/AVREFP端子を使用しない場合(VREF_AVREF未定義の場合)、抵抗を介して V_{DD} に接続して下さい。
- 7 P21/AVREFM端子を使用しない場合(VREF_AVREF未定義の場合)、抵抗を介して V_{SS} に接続して下さい。

4.2 使用端子一覧

表 4.1 に使用端子と機能を示します。

表 4.1 使用端子と機能

端子名	入出力	機能
P20/AV _{REFP}	入力	基準電圧(AV _{REFP}) A/Dコンバータの +側基準電圧入力 ^{注1}
P21/AV _{REFM}	入力	基準電圧(AV _{REFM}) A/Dコンバータの -側基準電圧入力 ^{注1}
P22/PGAI/ANI2	入力	PGA(+)入力 / ADC 入力
P23/PGAGND	入力	PGA(-)入力
P62	出力	LED1 制御(点灯 : オフセット補正值設定済み)
P63	出力	LED2 制御(点滅 : 電流測定動作中)
P137	入力	SW1 入力

注1 定数 VREF_AVREF を定義した場合のみに使用。

5. ソフトウェア説明

5.1 動作概要

本アプリケーションでは、PGA と ADC を使用してシャント抵抗の一端の電圧を測定し、電流値に換算します。また、PGA の入力オフセット電圧の影響をなくすため、無電流時の A/D 変換値をオフセット補正值として RAM に格納しておきます。その後、約 1 秒間隔で電流測定を行い、測定結果から、RAM に格納しておいたオフセット補正值を差し引いて、電流値を算出します。電流値は、直近 3 回の測定値を RAM に保持します。

仕様詳細を以下に記載します。

- 最適な増幅率(x1,x4,x8,x16,x32)を選択し、出来るだけ高倍率でシャント抵抗の一端の電圧を測定します(x1 の場合は PGA を使用しません)。
- PGA(-)入力としては PGAGND を使用します。
- PGA の入力オフセット補正は、+側のみ行います。増幅率 x1~x32 毎に入力オフセット電圧を 10 回測定し、その平均値を増幅率 x1~x32 毎のオフセット補正值として RAM に格納します。
- 定数定義によって、ADC のリファレンス電圧設定を変更することが可能です。

デフォルトでは定数"VREF_AVREF"が定義されており、ADCのリファレンス電圧 AVREF(+)を AVREFP、AVREF(-)を AVREFM に設定します。この定義を外すと、AVREF(+)を VDD、AVREF(-)を VSS に設定します。

また、AVREF の値を定数で設定するか、プログラムで算出するかを変更することが可能です。デフォルトでは定数"VREF_FIX"が定義されており、AVREF は定数"VREF_VOLTAGE"で設定します。この定義を外すと、AVREF は内部基準電圧(1.45V)の A/D 変換結果から算出します。内部基準電圧(1.45V)は、およそ-4.8%~+3.4%の誤差があり、電流の測定精度に影響を与えるため、本アプリケーションでは推奨しません。

本アプリケーションの処理の流れを、下記(1)~(22)に記載します。

(1) ポートの初期設定を行います。

- P62、P63 をハイ・レベル出力に設定し、LED1、LED2 を消灯します。
- P137 を入力に設定します。

(2) TAU0 の初期設定を行います。

<設定条件>

- チャネル 0 のタイマ動作モードはインターバル・タイマ・モードを使用します。
- インターバル時間を 1000ms に設定します。
- タイマ・チャネル 0 のカウント完了で割り込み発生 (INTTM00) に設定します。
- 割り込み優先順位をレベル 3 にします。

(3) A/D コンバータの初期設定を行います。

<設定条件>

- コンパレータ動作を許可します。
- 分解能は 10 ビットを使用します。
- $V_{REF(+)}$ は
定数VREF_AVREF を定義している場合、 AV_{REFP} を使用します。
定数VREF_AVREF を定義していない場合、 V_{DD} を使用します。

- $V_{REF(-)}$ は
定数VREF_AVREF を定義している場合、 AV_{REFM} を使用します。
定数VREF_AVREF を定義していない場合、 V_{SS} を使用します。
 - トリガ・モードはソフトウェア・トリガ・モードを使用します。
 - 動作モードはワンショット・セレクト・モードを使用します。
 - アナログ入力端子は ANI2 のみを使用します(PGA 使用しているため、コード生成ツールでは選択出来ません)。
 - 変換開始チャンネルは PGAOUT を使用します。
 - 変換時間モードは基準 1 を使用します。
 - 変換時間は $1216/f_{CLK}$ (38 μ s)を使用します。
 - 変換結果上限/下限値は
「ADLL \leq ADCRH \leq ADUL で割り込み要求信号(INTAD)を発生」に設定します。
 - A/D 割り込み許可します。
 - 割り込み優先順位をレベル 3 にします。
- (4) コンパレータ/プログラマブル・ゲイン・アンプの初期設定を行います。
<設定条件>
- プログラマブル・ゲイン・アンプとして使用します。
 - プログラマブル・ゲイン・アンプの GND は PGAGND を使用します。
 - 増幅率は"x4"を設定します。
- (5) main 処理の初期設定を行います。
<設定条件>
- 変数を初期化します。
 - 電流値格納バッファ番号用変数 g_current_cnt に"0"を設定します。
- (6) PGA を起動します。
- PGACTL レジスタの PGAEN ビットに、"1"(プログラマブル・ゲイン・アンプ動作許可)を設定します。
- (7) ADC を起動します。
- IF1H レジスタの ADIF ビットに"0"(割り込み要求信号が発生しない)を設定します。
 - MK1H レジスタの ADMK ビットに"0"(割り込み処理許可)を設定します。
 - ADM0 レジスタの ADCS ビットに"1"(変換動作許可)を設定します。
- (8) TAU0 のタイマを起動します。
- (9) 割り込み許可します。
- (10) SW1 押下待ち状態にします。

(11) 増幅率の設定を行います。

増幅率が x1 の場合：

- ADS レジスタに”02H”(P22/ANI2)を設定します。

増幅率が x4~x32 の場合：

- ADS レジスタに”19H”(PGAOUT)を設定します。

増幅率が x4 の場合：

- PGACTL レジスタの PGAVG1 ビット、PGAVG0 ビットに”00B”(4 倍)を設定します。

増幅率が x8 の場合：

- PGACTL レジスタの PGAVG1 ビット、PGAVG0 ビットに”01B”(8 倍)を設定します。

増幅率が x16 の場合：

- PGACTL レジスタの PGAVG1 ビット、PGAVG0 ビットに”10B”(16 倍)を設定します。

増幅率が x32 の場合：

- PGACTL レジスタの PGAVG1 ビット、PGAVG0 ビットに”11B”(32 倍)を設定します。

(12) 設定した増幅率に対応するオフセット補正値を取得します。

設定した増幅率に対応するオフセット補正値(A/D 変換値 10 回分の平均値)を取得し、RAM に格納します。

(13) (11)~(12)を繰り返して増幅率 x1、x4、x8、x16、x32 でのオフセット補正値を確定します。

(14) LED1 を点灯します(オフセット補正値設定済み)。

(15) V_{REF} 電圧を設定します。

- ・定数 VREF_FIX が定義されている場合(デフォルト)

$$【VREF】 = VREF_VOLTAGE$$

- ・上記以外の場合は内部基準電圧(1.45V)から算出します。

内部基準電圧(1.45V)の A/D 変換値を取得します。

- ADS レジスタに”81H”(内部基準電圧)を設定します。
- A/D 変換値 10 回分の平均値を取得します。

V_{REF} は下記式で算出します。

$$【VREF】 = (【VREF の A/D 変換値(0x3FF)】 * 【1.45V】) / 【内部基準電圧(1.45V)の A/D 変換値】$$

(16) 電流値格納バッファ番号が最大(DATACNT)の場合、電流値格納バッファ番号をリセットします。

(17) 最適な増幅率(x1,x4,x8,x16,x32)を選択し、A/D 変換値を取得します。(5.2 増幅率自動選択の考え方を参照して下さい。)

- A/D 変換値を取得します。
- 選択している増幅率のオフセット補正値で A/D 変換値を補正します。

- 補正された A/D 変換値が、増幅率毎に定義されている A/D 変換結果の最小値と同じか、もしくは下回った場合、増幅率を上げて、再び(17)を実行します。
- 補正された A/D 変換値が、増幅率毎に定義されている A/D 変換結果の最大値を超えた場合、増幅率を下げて、再び(17)を実行します。

(18) ADC 入力電圧の値を算出します。

入力電圧は下記式で算出します。

$$\text{【ADC 入力電圧】} = (\text{【ADC 入力電圧の A/D 変換値】} * \text{【VREF】}) / \text{【VREF の A/D 変換値(0x3FF)】}$$

(19) 入力電圧(PGAI/ANI2)の値を算出します。

$$\text{【入力電圧】} = \text{【ADC の入力電圧】} / \text{【増幅率】}$$

(20) 電流値を算出し、RAM に書き込みます。

$$\text{【電流値】} = \text{【入力電圧】} / \text{【シャント抵抗】}$$

(21) LED2 の表示を反転します(電流測定動作中)。

(22) 以降(16)~(21)を繰り返します。

5.2 増幅率の選択方法

増幅率の選択方法を以下に示します。

PGA の増幅率は、A/D 変換値を確認して、増幅率を上げるか下げるかの判定を行います。増幅率毎に増幅率を上げる、または増幅率を下げるための閾値を持っておく必要があります。この閾値の一覧を表 5.1 に示します。また、閾値の算出方法を図 5.1 に示します。増幅率の選択手順は、図 5.34 増幅率設定を参照してください。

表 5.1 増幅率選択条件表

増幅率	A/D 変換値(閾値)	
	最小値	最大値
x1	220	1023
x4	450	920
x8	450	920
x16	450	920
x32	0	920

測定した AD 変換値が表 5.1 に示す各増幅率の範囲内であれば、増幅率を確定します。

最小値以下の場合(x32 の場合を除く)は、倍率を上げて、再判定します。

最大値を超えた場合(x1 の場合を除く)は、倍率を下げて、再判定します。

各増幅率の閾値の算出方法を図 5.1 に示します。

A/D 変換値(MIN)について

$$\text{最小値} = \frac{(0.9 * \cancel{VREF})}{\text{【次の倍率】}} * \text{【倍率】} * \frac{1023}{\cancel{VREF}} = \frac{\text{【倍率】}}{\text{【次の倍率】}} * 0.9 * 1023$$

$$\text{MIN (x1 の場合)} = \frac{1}{4} * 0.9 * 1023 \doteq 230 - 10(\text{※1}) = 220$$

$$\text{MIN (x4~x32 の場合)} = \frac{1}{2} * 0.9 * 1023 \doteq 460 - 10(\text{※1}) = 450$$

※1 閾値付近でレンジが確定出来ない事を防ぐため、MIN 値から 10 を引きます。

A/D 変換値(MAX)について

$$\text{最大値} = \frac{(0.9 * \cancel{VREF})}{\cancel{\text{【倍率】}}} * \cancel{\text{【倍率】}} * \frac{1023}{\cancel{VREF}} = 0.9 * 1023 \doteq 920$$

図 5.1 各増幅率の閾値の算出方法

5.3 オプション・バイトの設定一覧

表 5.2 にオプション・バイト設定一覧を示します。

表 5.2 オプション・バイト設定一覧

アドレス	設定値	内容
000C0H/010C0H	1110 1111B	ウォッチドッグ・タイマ動作禁止 (リセット解除後、カウント停止)
000C1H/010C1H	1111 1111B	LVD 動作 : オフ
000C2H/010C2H	1110 1000B	HS (高速メイン)モード (f_{HOCO})クロック : 32MHz、(f_{IH})クロック : 32MHz
000C3H/010C3H	1000 0100B	オンチップ・デバッグ許可 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する

5.4 定数一覧

表 5.3 に定数一覧を示します。

表 5.3 定数一覧

定数名	設定値	内容
VREF_AVREF	-	ADCで使用する AV_{REF} が AV_{REFP}/AV_{REFM} の場合に定義(デフォルト)。未定義の場合、 AV_{REF} に V_{DD}/V_{SS} を設定されます。 ※ : 変更可能、表 1.1 を参照して下さい。
VREF_FIX	-	AV_{REF} にVREF_VOLTAGEで定義した値の電圧を使用の場合に定義(デフォルト)。未定義の場合、 AV_{REF} は内部基準電圧から算出した値になります。 ※ : 変更可能、表 1.1 定数定義による A/D コンバータの基準電圧の設定切り替えを参照して下さい。
VREF_VOLTAGE	5.0	AV_{REF} 電圧。VREF_FIXを定義した場合に使用されます。 ※ : 変更可能、 V_{DD} 以下の電圧を設定して下さい。
DATAcnt	3	RAMに保持する電流値データの数
AVGCNT	10	1回の電流測定で行う、A/D変換の回数(この回数だけA/D変換を行い、その平均値から電流を算出します)
SHUNT	100	シャント抵抗の値(Ω)
IREFV	1.45	内部基準電圧(1.45V)
RESOLUTION	0x3FF	RL78/G1FのADCの分解能(10ビット)
LED_ON	0	LED点灯
LED_OFF	1	LED消灯
WAIT_1_US	0x001F	1 μ sの待ち時間。A/D電源安定待ち時間
WAIT_5_US	0x009F	5 μ sの待ち時間。PGA動作安定待ち時間(4倍、8倍)
WAIT_10_US	0x013F	10 μ sの待ち時間。PGA動作安定待ち時間(16倍、32倍)

5.5 構造体/共用体一覧

図 5.2 にサンプルコードで使用する構造体/共用体を示します。

```
typedef struct
{
    uint8_t    gain;                /* 増幅率 x1~x32 */
    uint8_t    pgavg;              /* PGACTL(PGAVG1,PGAVG0) 設定用 */
    uint16_t   min;                /* A/D 変換 最小値 */
    uint16_t   max;                /* A/D 変換 最大値 */
    uint16_t   wait_time;         /* 待ち時間 */
} pga_gain_info_t;

pga_gain_info_t g_pga_gain_tbl[]= /* 増幅率情報 */
{
    { 1, 0, 220, 1023, 0 },        /* 1 倍用 */
    { 4, 0, 450, 920, WAIT_5_US }, /* 4 倍用 */
    { 8, 1, 450, 920, WAIT_5_US }, /* 8 倍用 */
    { 16, 2, 450, 920, WAIT_10_US }, /* 16 倍用 */
    { 32, 3, 0, 920, WAIT_10_US } /* 32 倍用 */
};
```

図 5.2 サンプルコードで使用する構造体/共用体

5.6 変数一覧

表 5.4 にグローバル変数を示します。

表 5.4 グローバル変数

Type	Variable Name	Contents	Function Used
pga_gain_info_t	g_pga_gain_tbl	増幅率情報	get_adc_vin set_gain set_current_to_ram
uint8_t	g_pga_gain	増幅率のインデックス	get_adc_vin set_gain
uint16_t	g_pga_offset[]	オフセット補正值	set_offset_value set_current_to_ram
uint8_t	g_adc_end_flag	A/D 変換終了フラグ	get_adc_avg_value r_adc_interrupt
uint16_t	g_current_cnt	電流値格納バッファ番号	R_MAIN_UserInit set_current_to_ram
float	g_current[]	電流値	set_current_to_ram
float	g_vref	VREF 電圧	main
uint16_t	g_adc_vin	入力電圧 A/D 変換値	main set_current_to_ram
uint16_t	g_adc_v145	内部基準電圧 A/D 変換値	main
uint8_t	g_tau_1s_flag	1 秒経過フラグ	main r_tau0_channel0_interrupt
uint8_t	g_tau_ch1_int_flag	TAU チャネル 1 割り込みフラグ	wait_time r_tau0_channel1_interrupt

5.7 関数一覧

表 5.5 に関数一覧を示します。

表 5.5 関数一覧

関数名	概要
hdwinit	初期設定
R_Systeminit	周辺機能初期設定
R_PORT_Create	ポート初期設定
R_CGC_Create	CPUクロック初期設定
main	メイン処理
R_MAIN_UserInit	メイン初期設定
R_COMPPGA_Create	プログラマブル・ゲイン・アンプ初期化処理
R_PGA_Start	プログラマブル・ゲイン・アンプ動作許可処理
R_PGA_Stop	プログラマブル・ゲイン・アンプ動作停止処理
R_ADC_Create	A/Dコンバータ初期化処理
R_ADC_Start	A/Dコンバータ開始処理
R_ADC_Stop	A/Dコンバータ停止処理
R_ADC_Set_OperationOn	A/D電圧コンパレータの動作許可処理
R_ADC_Set_OperationOff	A/D電圧コンパレータの動作停止処理
R_ADC_Get_Result	A/D変換結果取得処理
r_adc_interrupt	A/D変換終了割り込み処理
R_TAU0_Create	タイマ・アレイ・ユニット初期化処理
R_TAU0_Channel0_Start	タイマ・アレイ・ユニット・チャンネル0動作許可処理
R_TAU0_Channel0_Stop	タイマ・アレイ・ユニット・チャンネル0動作停止処理
R_TAU0_Channel1_Start	タイマ・アレイ・ユニット・チャンネル1動作許可処理
R_TAU0_Channel1_Stop	タイマ・アレイ・ユニット・チャンネル1動作停止処理
r_tau0_channel0_interrupt	タイマ・アレイ・ユニット・チャンネル0割り込み処理
r_tau0_channel1_interrupt	タイマ・アレイ・ユニット・チャンネル1割り込み処理
set_offset_value	PGAオフセット設定処理
get_adc_avg_value	平均A/D変換値取得処理
get_adc_vin	入力電圧A/D変換値取得処理
get_adc_v145	基準電圧A/D変換値取得処理
set_gain	増幅率設定処理
set_current_to_ram	電流算出処理
wait_time	時間待ち処理

5.8 関数仕様

サンプルコードの関数仕様を示します。

[関数名] hdwinit

概要	初期設定
ヘッダ	なし
宣言	void hdwinit(void)
説明	周辺機能の初期設定を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_Systeminit

概要	周辺機能初期設定
ヘッダ	なし
宣言	void R_Systeminit(void)
説明	本アプリケーションノートで使用する周辺機能の初期設定を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_PORT_Create

概要	ポート初期設定
ヘッダ	r_cg_port.h
宣言	void R_PORT_Create(void)
説明	ポート初期設定を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_CGC_Create

概要	CPU クロック初期設定
ヘッダ	r_cg_cgc.h
宣言	void R_CGC_Create(void)
説明	CPU クロック初期設定を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] main

概要	メイン処理
ヘッダ	なし
宣言	void main(void)
説明	メイン初期設定を実行後、SW1 押下待ち状態にし、SW1 押下後、PGA のオフセット補正値を設定し、LED1 を点灯します。その後、VREF 電圧の値を取得し、電流測定をし続けます。
引数	なし
リターン値	なし
備考	なし

[関数名] R_MAIN_UserInit

概要	メイン初期設定
ヘッダ	なし
宣言	void R_MAIN_UserInit(void)
説明	PGA, ADC, 初期設定を行った後、PGA の動作を開始と A/D 電圧コンパレータの動作を許可し、EI 命令で割り込みを許可します。
引数	なし
リターン値	なし
備考	なし

[関数名] R_COMPPGA_Create

概要	プログラマブル・ゲイン・アンプ初期化処理
ヘッダ	r_cg_cmppga.h
宣言	void R_COMPPGA_Create(void)
説明	プログラマブル・ゲイン・アンプ初期化を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_PGA_Start

概要	プログラマブル・ゲイン・アンプ動作許可処理
ヘッダ	r_cg_cmppga.h
宣言	void R_PGA_Start(void)
説明	プログラマブル・ゲイン・アンプの動作を許可します。
引数	なし
リターン値	なし
備考	なし

[関数名] R_PGA_Stop

概要	プログラマブル・ゲイン・アンプ動作停止処理
ヘッダ	r_cg_cmppga.h
宣言	void R_PGA_Stop(void)
説明	プログラマブル・ゲイン・アンプの動作を停止します。
引数	なし
リターン値	なし
備考	なし

[関数名] R_ADC_Create

概要	A/D コンバータ初期化処理
ヘッダ	r_cg_adc.h
宣言	void R_ADC_Create(void)
説明	A/D コンバータ初期化処理を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_ADC_Start

概要	A/D コンバータ開始処理
ヘッダ	r_cg_adc.h
宣言	void R_ADC_Start(void)
説明	A/D コンバータ開始処理を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_ADC_Stop

概要	A/D コンバータ停止処理
ヘッダ	r_cg_adc.h
宣言	void R_ADC_Stop(void)
説明	A/D コンバータ停止処理を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_ADC_Set_OperationOn

概要	A/D 電圧コンパレータの動作許可処理
ヘッダ	r_cg_adc.h
宣言	void R_ADC_Set_OperationOn(void)
説明	A/D 電圧コンパレータの動作許可処理を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_ADC_Set_OperationOff

概要	A/D 電圧コンパレータの動作停止処理
ヘッダ	r_cg_adc.h
宣言	void R_ADC_Set_OperationOff(void)
説明	A/D 電圧コンパレータの動作停止処理を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_ADC_Get_Result

概要	A/D 変換結果取得処理
ヘッダ	r_cg_adc.h
宣言	void R_ADC_Get_Result(uint16_t * const buffer)
説明	A/D 変換結果取得処理を行います。
引数	buffer
リターン値	なし
備考	なし

[関数名] r_adc_interrupt

概要	A/D 変換終了割り込み処理
ヘッダ	なし
宣言	__interrupt static void r_adc_interrupt(void)
説明	A/D 変換終了フラグをセットします。
引数	なし
リターン値	なし
備考	なし

[関数名] R_TAU0_Create

概要	タイマ・アレイ・ユニット初期化処理
ヘッダ	r_cg_tau.h
宣言	void R_TAU0_Create(void)
説明	タイマ・アレイ・ユニット初期化処理を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_TAU0_Channel0_Start

概要	タイマ・アレイ・ユニット・チャンネル0の動作許可処理
ヘッダ	r_cg_tau.h
宣言	void R_TAU0_Channel0_Start(void)
説明	タイマ・アレイ・ユニット・チャンネル0の動作許可処理を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_TAU0_Channel0_Stop

概要	タイマ・アレイ・ユニット・チャンネル0の動作停止処理
ヘッダ	r_cg_tau.h
宣言	void R_TAU0_Channel0_Stop(void)
説明	タイマ・アレイ・ユニット・チャンネル0の動作停止処理を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_TAU0_Channel1_Start

概要	タイマ・アレイ・ユニット・チャンネル1の動作許可処理
ヘッダ	r_cg_tau.h
宣言	void R_TAU0_Channel1_Start(void)
説明	タイマ・アレイ・ユニット・チャンネル1の動作許可処理を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_TAU0_Channel1_Stop

概要	タイマ・アレイ・ユニット・チャンネル1の動作停止処理
ヘッダ	r_cg_tau.h
宣言	void R_TAU0_Channel1_Stop(void)
説明	タイマ・アレイ・ユニット・チャンネル1の動作停止処理を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] get_adc_v145

概要	基準電圧 A/D 変換値取得処理
ヘッダ	なし
宣言	uint16_t get_adc_v145(void)
説明	内部基準電圧 A/D 変換値取得処理を行います。
引数	なし
リターン値	内部基準電圧 A/D 変換値
備考	なし

[関数名] set_gain

概要	増幅率設定処理
ヘッダ	なし
宣言	void set_gain(uint8_t gain)
説明	増幅率設定処理を行います。
引数	gain 増幅率
リターン値	なし
備考	なし

[関数名] set_current_to_ram

概要	電流算出処理
ヘッダ	なし
宣言	void set_current_to_ram(void)
説明	電流算出処理を行います。電流値を算出し、RAM に格納します。
引数	なし
リターン値	なし
備考	なし

[関数名] wait_time

概要	時間待ち処理
ヘッダ	なし
宣言	void wait_time(uint16_t time)
説明	時間待ち処理を行います。
引数	time 待ち時間
リターン値	なし
備考	なし

5.9 フローチャート

図 5.3 にサンプルコードの全体フローを示します。

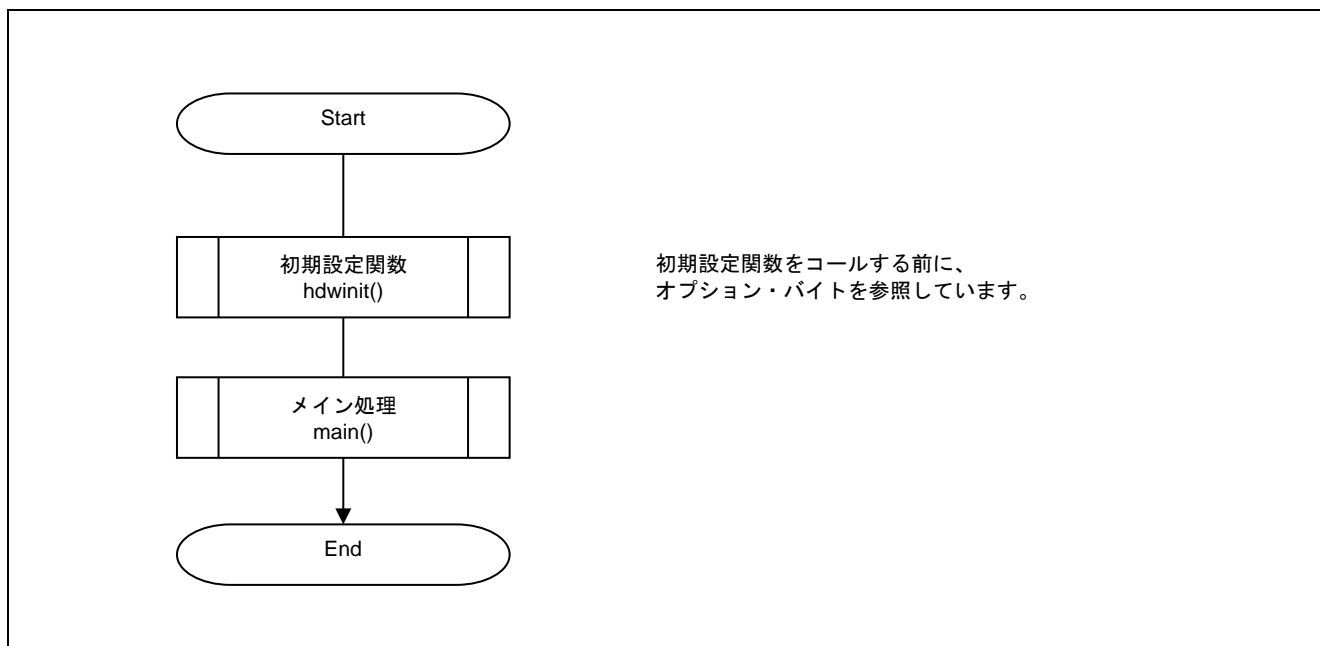


図 5.3 全体フロー

5.9.1 初期設定

図 5.4 に初期設定のフローチャートを示します。

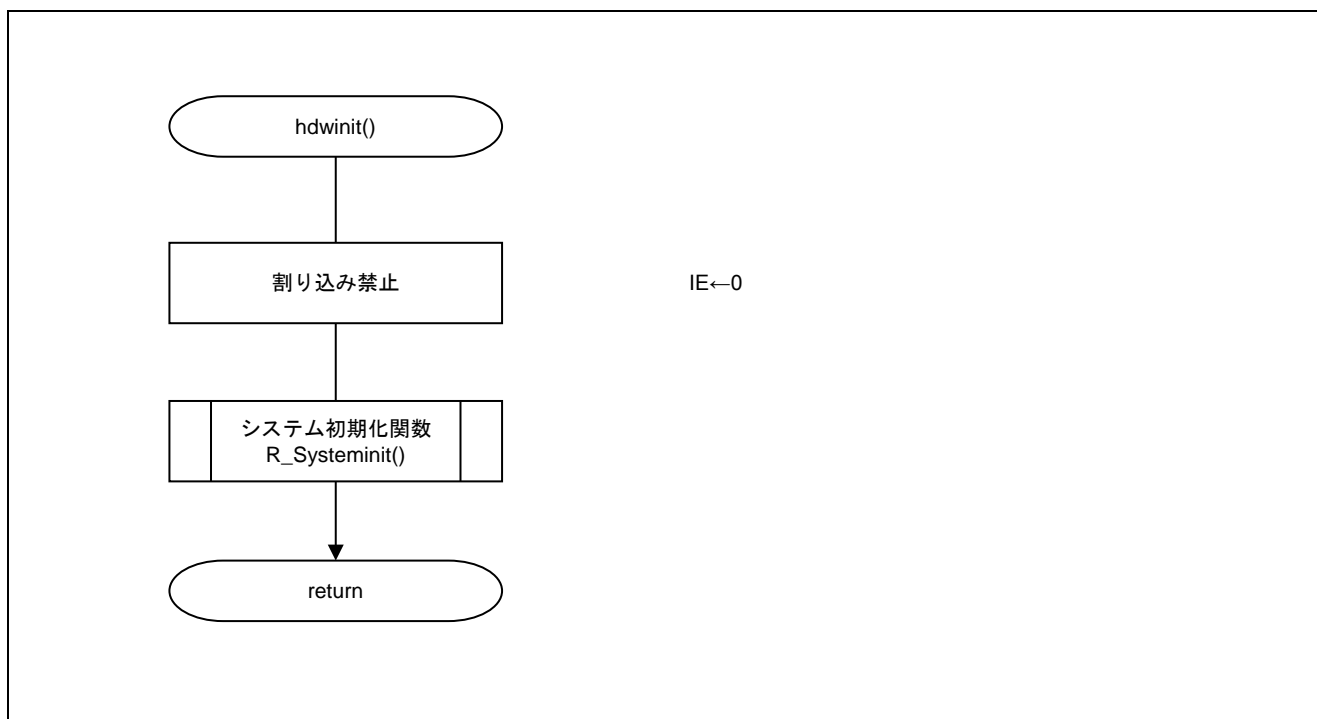


図 5.4 初期設定

5.9.2 周辺機能初期設定

図 5.5 に周辺機能初期設定のフローチャートを示します。

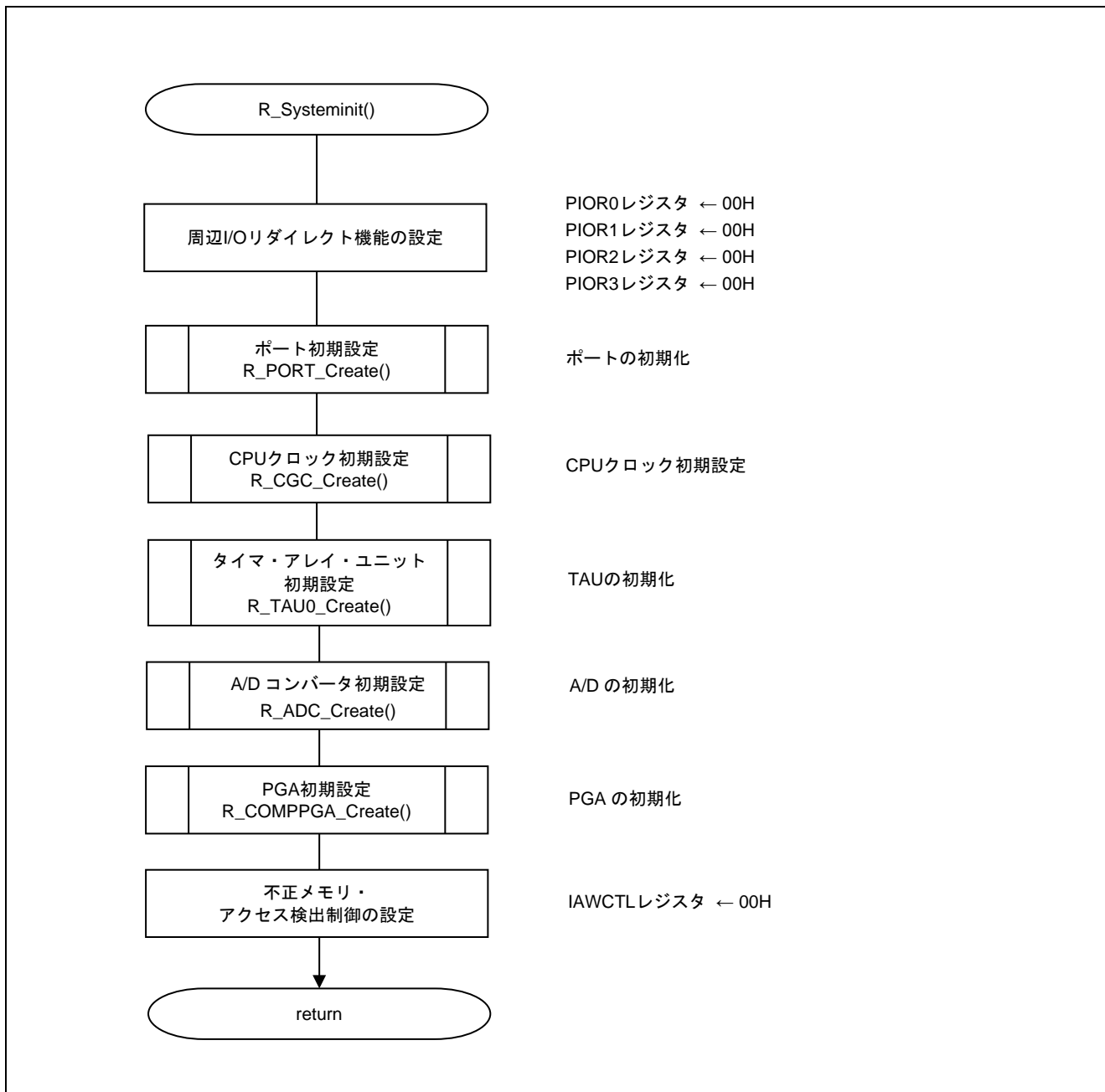


図 5.5 周辺機能初期設定

5.9.3 CPU クロック初期設定

図 5.6 に CPU クロック初期設定のフローチャートを示します。

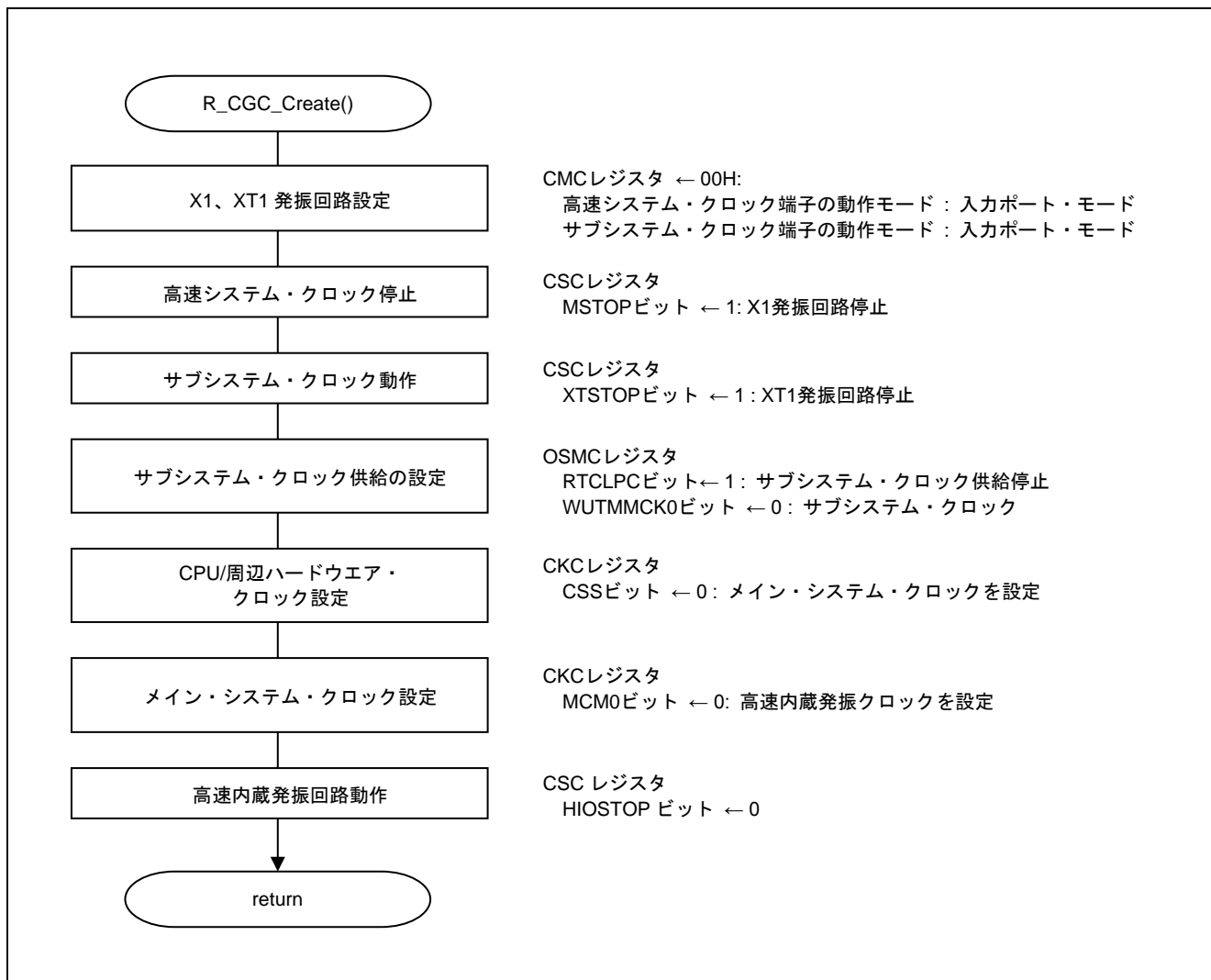


図 5.6 CPU クロック初期設定

5.9.4 ポート初期設定

図 5.7 にポート初期設定のフローチャートを示します。

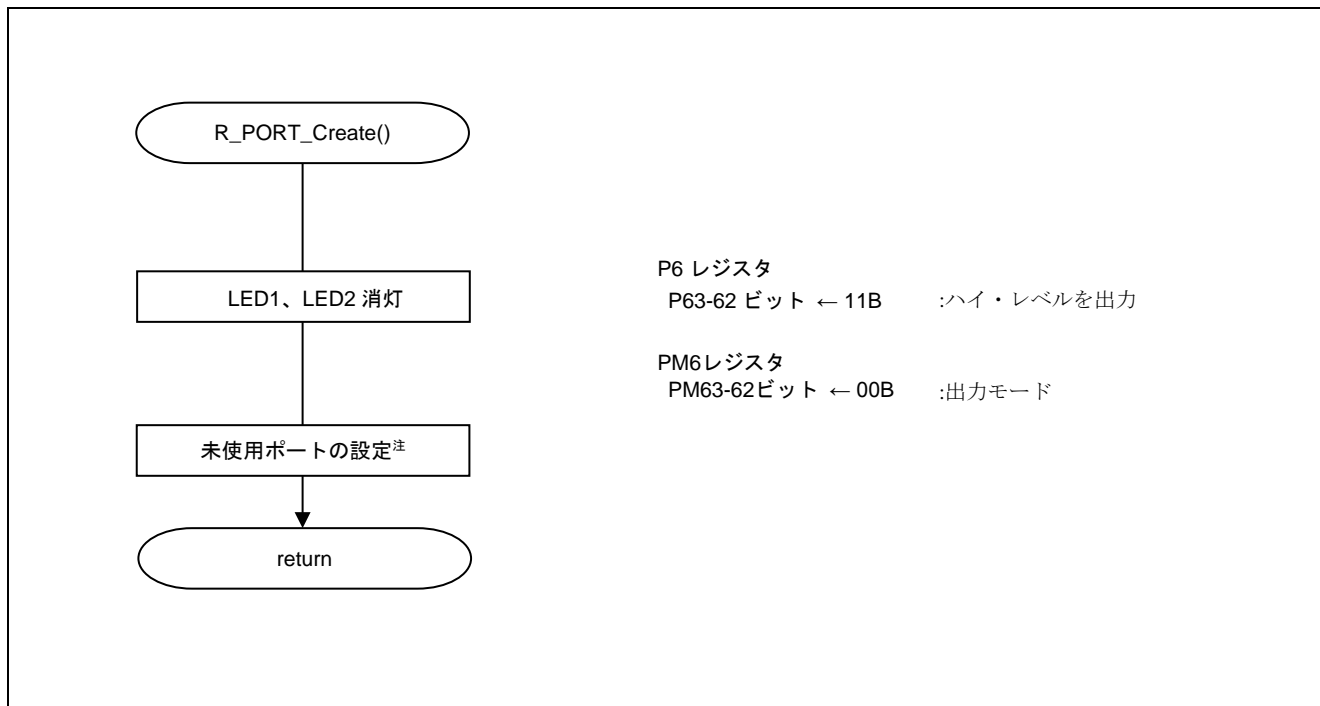


図 5.7 ポート初期設定

注 未使用ポートの設定については、RL78/G13 初期設定 (R01AN0451J) アプリケーションノート“フローチャート”を参照して下さい。

注意 未使用のポートは、端子処理などを適切に行い、電気的特性を満たすように設計してください。
また、未使用の入力専用ポートは個別に抵抗を介して VDD 又は VSS に接続して下さい。

5.9.5 TAU0 初期設定

図 5.8、図 5.9 に TAU 初期設定のフローチャートを示します。

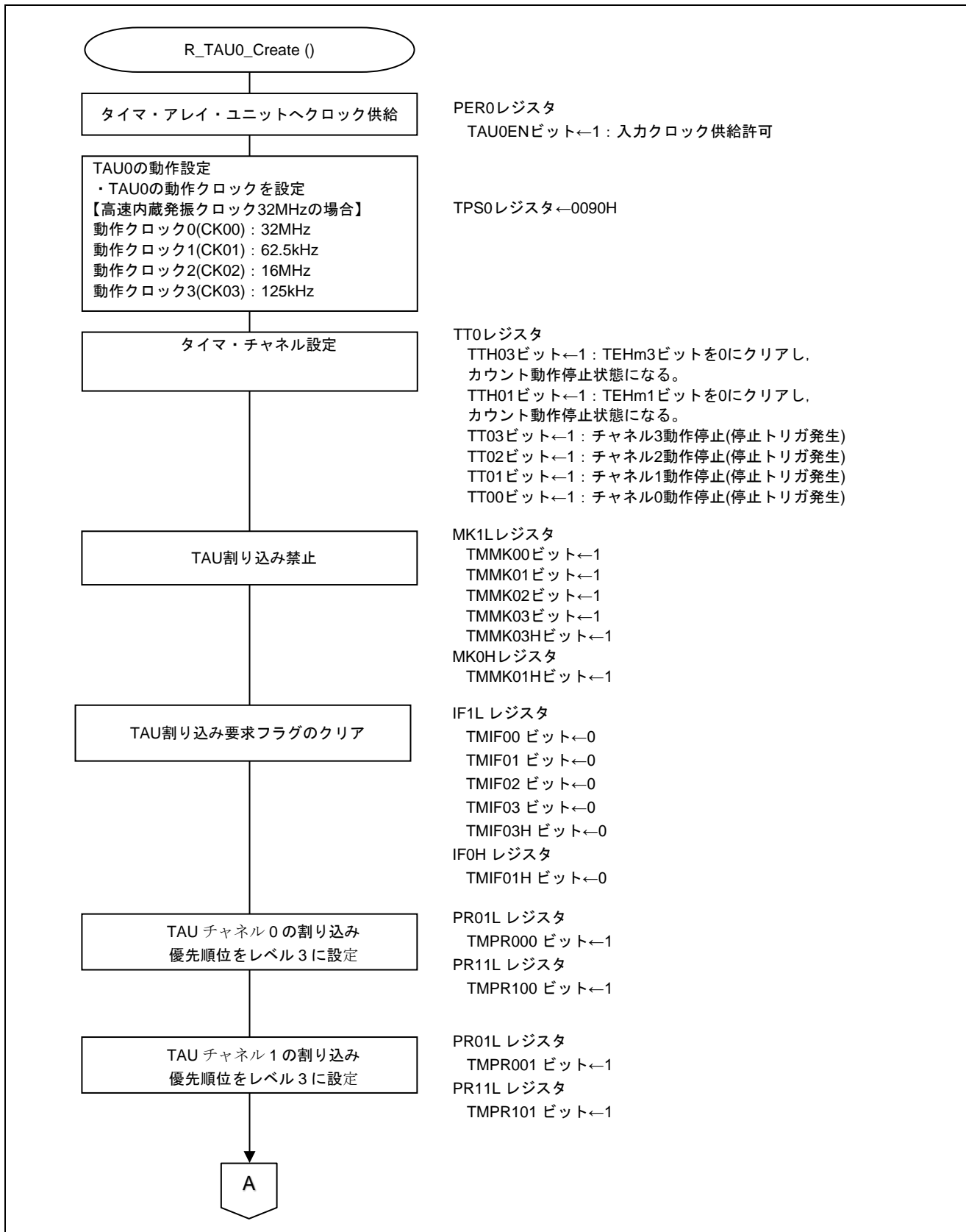


図 5.8 TAU0 の設定(1/2)

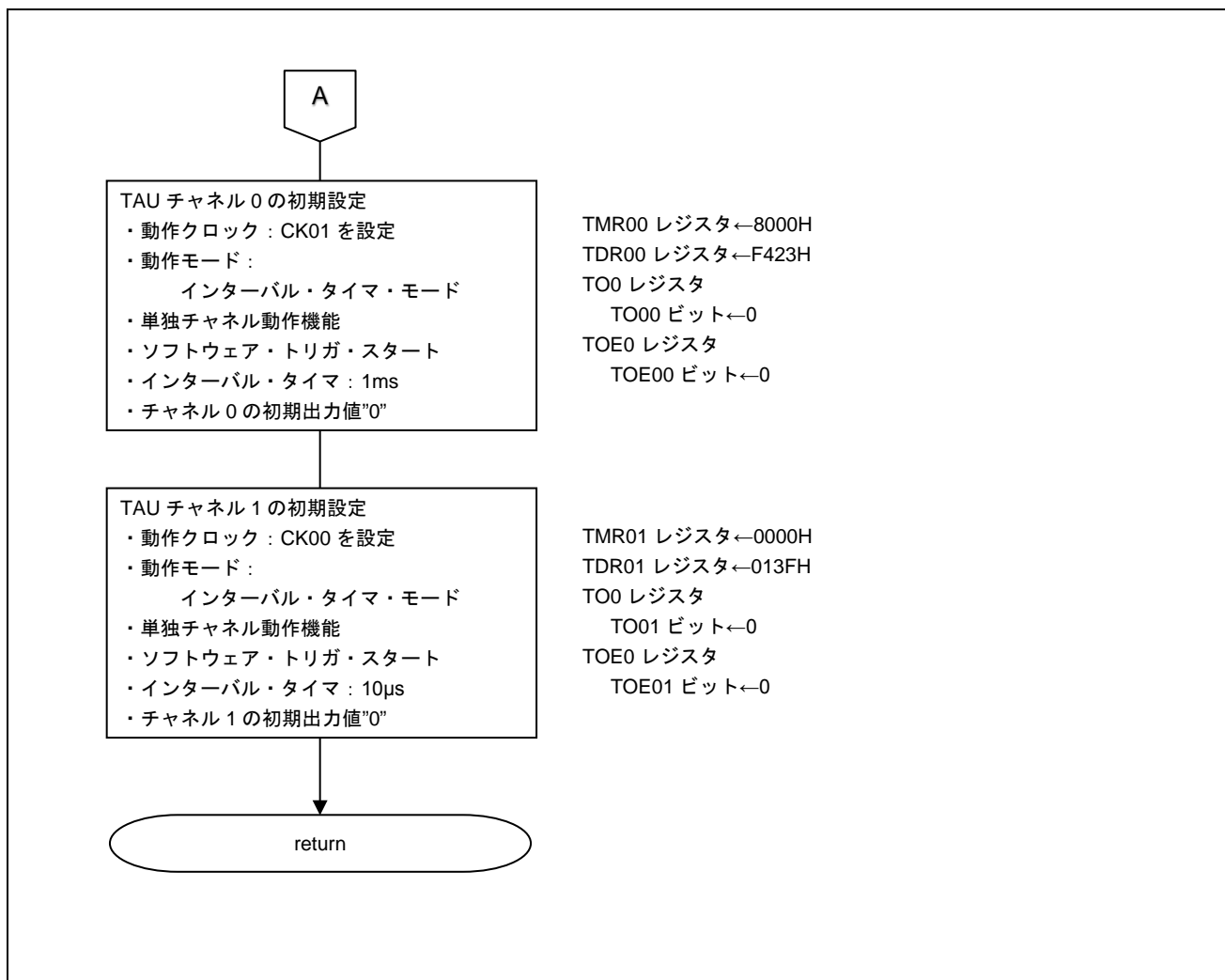


図 5.9 TAU0 の設定(2/2)

タイマ・アレイ・ユニット0へのクロック供給開始

- ・周辺イネーブル・レジスタ0 (PER0)
タイマ・アレイ・ユニットへのクロック供給を開始します。

略号 : PER0

7	6	5	4	3	2	1	0
RTCEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN
x	x	x	x	x	x	0	1

ビット5

TAU0EN	A/Dコンバータの入カクロックの制御
0	入カクロック供給停止
1	入カクロック供給

タイマ・クロック周波数の設定

- ・タイマ・クロック選択レジスタ0 (TPS0)
動作クロックを選択します。

略号 : TPS0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	PRS 031	PRS 030	0	0	PRS 021	PRS 020	PRS 013	PRS 012	PRS 011	PRS 010	PRS 003	PRS 002	PRS 001	PRS 000
0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0

ビット13-12

PRS 031	PRS 030	動作クロック(CK03)の選択 ^注					
		$f_{CLK}=2MHz$	$f_{CLK}=4MHz$	$f_{CLK}=8MHz$	$f_{CLK}=20MHz$	$f_{CLK}=32MHz$	
0	0	$f_{CLK}/2^8$	7.81kHz	15.6kHz	31.25kHz	78.1kHz	125kHz
0	1	$f_{CLK}/2^{10}$	1.95kHz	3.91kHz	7.81kHz	19.5kHz	31.3kHz
1	0	$f_{CLK}/2^{12}$	488Hz	977Hz	1.95kHz	4.88kHz	7.81kHz
1	1	$f_{CLK}/2^{14}$	122Hz	244Hz	488Hz	1.22kHz	1.95kHz

ビット9-8

PRS 021	PRS 020	動作クロック(CK02)の選択 ^注					
		$f_{CLK}=2MHz$	$f_{CLK}=4MHz$	$f_{CLK}=8MHz$	$f_{CLK}=20MHz$	$f_{CLK}=32MHz$	
0	0	$f_{CLK}/2$	1MHz	2MHz	4MHz	10MHz	16MHz
0	1	$f_{CLK}/2^2$	500kHz	1MHz	2MHz	5MHz	8MHz
1	0	$f_{CLK}/2^4$	125kHz	250kHz	500kHz	1.25MHz	2MHz
1	1	$f_{CLK}/2^6$	31.3kHz	62.5kHz	125kHz	313kHz	500kHz

ビット7-4

PRS 013	PRS 012	PRS 011	PRS 010	動作クロック(CK01)の選択 ^注					
				f_{CLK} = 2MHz	f_{CLK} = 4MHz	f_{CLK} = 8MHz	f_{CLK} = 20MHz	f_{CLK} = 32MHz	
0	0	0	0	f_{CLK}	2MHz	4MHz	8MHz	20MHz	32MHz
0	0	0	1	$f_{CLK}/2$	1MHz	2MHz	4MHz	10MHz	16MHz
0	0	1	0	$f_{CLK}/2^2$	500kHz	1MHz	2MHz	5MHz	8MHz
0	0	1	1	$f_{CLK}/2^3$	250kHz	500kHz	1MHz	2.5MHz	4MHz
0	1	0	0	$f_{CLK}/2^4$	125kHz	250kHz	500kHz	1.25MHz	2MHz
0	1	0	1	$f_{CLK}/2^5$	62.5kHz	125kHz	250kHz	625kHz	1MHz
0	1	1	0	$f_{CLK}/2^6$	31.3kHz	62.5kHz	125kHz	313kHz	500kHz
0	1	1	1	$f_{CLK}/2^7$	15.6kHz	31.25kHz	62.5kHz	156kHz	250kHz
1	0	0	0	$f_{CLK}/2^8$	7.81kHz	15.6kHz	31.25kHz	78.1kHz	125kHz
1	0	0	1	$f_{CLK}/2^9$	3.91kHz	7.81kHz	15.6kHz	39.1kHz	62.5kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95kHz	3.91kHz	7.81kHz	19.5kHz	31.3kHz
1	0	1	1	$f_{CLK}/2^{11}$	977Hz	1.95kHz	3.91kHz	9.77kHz	15.6kHz
1	1	0	0	$f_{CLK}/2^{12}$	488Hz	977Hz	1.95kHz	4.88kHz	7.81kHz
1	1	0	1	$f_{CLK}/2^{13}$	244Hz	488Hz	977Hz	2.44kHz	3.91kHz
1	1	1	0	$f_{CLK}/2^{14}$	122Hz	244Hz	488Hz	1.22kHz	1.95kHz
1	1	1	1	$f_{CLK}/2^{15}$	61.0Hz	122Hz	244Hz	610Hz	977Hz

ビット3-0

PRS 003	PRS 002	PRS 001	PRS 000	動作クロック(CK00)の選択 ^注					
				f_{CLK} = 2MHz	f_{CLK} = 4MHz	f_{CLK} = 8MHz	f_{CLK} = 20MHz	f_{CLK} = 32MHz	
0	0	0	0	f_{CLK}	2MHz	4MHz	8MHz	20MHz	32MHz
0	0	0	1	$f_{CLK}/2$	1MHz	2MHz	4MHz	10MHz	16MHz
0	0	1	0	$f_{CLK}/2^2$	500kHz	1MHz	2MHz	5MHz	8MHz
0	0	1	1	$f_{CLK}/2^3$	250kHz	500kHz	1MHz	2.5MHz	4MHz
0	1	0	0	$f_{CLK}/2^4$	125kHz	250kHz	500kHz	1.25MHz	2MHz
0	1	0	1	$f_{CLK}/2^5$	62.5kHz	125kHz	250kHz	625kHz	1MHz
0	1	1	0	$f_{CLK}/2^6$	31.3kHz	62.5kHz	125kHz	313kHz	500kHz
0	1	1	1	$f_{CLK}/2^7$	15.6kHz	31.25kHz	62.5kHz	156kHz	250kHz
1	0	0	0	$f_{CLK}/2^8$	7.81kHz	15.6kHz	31.25kHz	78.1kHz	125kHz
1	0	0	1	$f_{CLK}/2^9$	3.91kHz	7.81kHz	15.6kHz	39.1kHz	62.5kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95kHz	3.91kHz	7.81kHz	19.5kHz	31.3kHz
1	0	1	1	$f_{CLK}/2^{11}$	977Hz	1.95kHz	3.91kHz	9.77kHz	15.6kHz
1	1	0	0	$f_{CLK}/2^{12}$	488Hz	977Hz	1.95kHz	4.88kHz	7.81kHz
1	1	0	1	$f_{CLK}/2^{13}$	244Hz	488Hz	977Hz	2.44kHz	3.91kHz
1	1	1	0	$f_{CLK}/2^{14}$	122Hz	244Hz	488Hz	1.22kHz	1.95kHz
1	1	1	1	$f_{CLK}/2^{15}$	61.0Hz	122Hz	244Hz	610Hz	977Hz

タイマ・チャンネルの設定

- ・タイマ・チャンネル停止レジスタ 0 (TT0)
カウント動作の停止をチャンネルごとに設定します。

略号 : TT0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	TTH 03	0	TTH 01	0	0	0	0	0	TT03	TT02	TT01	TT00
0	0	0	0	1	0	1	0	0	0	0	0	1	1	1	1

ビット 11

TTH 03	チャンネル 3 が 8 ビット・タイマ・モード時, 上位側 8 ビット・タイマの動作停止トリガ
1	トリガ動作しない
1	TEH03 ビットを 0 にクリアし, カウント動作停止状態になる。

ビット 9

TTH 01	チャンネル 1 が 8 ビット・タイマ・モード時, 上位側 8 ビット・タイマの動作停止トリガ
1	トリガ動作しない
1	TEH01 ビットを 0 にクリアし, カウント動作停止状態になる。

ビット 3-0

TT0 n	チャンネル n の動作停止トリガ
1	TE0n ビットを 0 にクリアし, カウント動作停止状態になる。
1	動作停止(停止トリガ発生) チャンネル 1, 3 が 8 ビット・タイマ・モード時は, TT01, TT03 が下位側 8 ビット・タイマの動作停止トリガになります。

備考 n : チャンネル番号(n = 0-3)

TAU 割り込み禁止

- ・割り込みマスク・フラグ・レジスタ (MK1L,MK0H)
TAU 割り込みを禁止にします。

略号 : MK1L

7	6	5	4	3	2	1	0
TMMK03	TMMK02	TMMK01	TMMK00	IICAMK0	SREMK1 TMMK03H	SRMK1 CSIMK11 IICMK11	STMK1 CSIMK10 IICMK10
1	1	1	1	x	1	x	x

ビット 7-0

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

略号 : MK0H

7	6	5	4	3	2	1	0
SREMK0 TMMK01H	SRMK0 CSIMK01 IICMK01	STMK0 CSIMK00 IICMK00	1	1	SREMK2	SRMK2 CSIMK21 IICMK21	STMK2 CSIMK20 IICMK20
1	x	x	x	x	x	x	x

ビット 7-0

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

TAU 割り込み要求フラグクリア

- ・ 割り込み要求フラグ・レジスタ (IF1L,IF0H)
TAU 割り込み要求フラグをクリアします。

略号 : IF1L

7	6	5	4	3	2	1	0
TMIF03	TMIF02	TMIF01	TMIF00	IICAIF0	SREIF1 TMIF03H	SRIF1 CSIF11 IICIF11	STIF1 CSIF10 IICIF10
0	0	0	0	x	0	x	x

ビット 7-0

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

略号 : IF0H

7	6	5	4	3	2	1	0
SREIF0 TMIF01H	SRIF0 CSIF01 IICIF01	STIF0 CSIF00 IICIF00	0	0	SREIF2	SRIF2 CSIF21 IICIF21	STIF2 CSIF20 IICIF20
0	x	x	0	0	x	x	x

ビット 7-0

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

TAU 割り込み優先順位の設定

- ・優先順位指定フラグ・レジスタ (PR01L,PR11L)
TAU 割り込み優先順位をレベル 3 にします。

略号 : PR01L

7	6	5	4	3	2	1	0
TMPR003	TMPR002	TMPR001	TMPR000	IICAPR00	SREPR01 TMPR003H	SRPR01 CSIPR011 IICPR011	STPR01 CSIPR010 IICPR010
x	x	x	1	x	x	x	x

略号 : PR11L

7	6	5	4	3	2	1	0
TMPR103	TMPR102	TMPR101	TMPR100	IICAPR10	SREPR11 TMPR103H	SRPR11 CSIPR111 IICPR111	STPR11 CSIPR110 IICPR110
x	x	x	1	x	x	x	x

ビット 4

TMPR100	TMPR000	優先順位レベルの選択
0	0	レベル 0 を指定(高優先順位)
0	1	レベル 1 を指定
1	0	レベル 2 を指定
1	1	レベル 3 を指定(低優先順位)

チャンネル0の動作モードの設定

- ・タイマ・モード・レジスタ 00 (TMR00)
動作クロック(f_{MCK})に CK00 を設定します。
インターバル・タイマ・モードに設定します。
ソフトウェア・トリガ・スタートに設定します。

略号 : TMR00

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKS 001	CKS 000	0	CCS 00	0	STS 002	STS 001	STS 000	CIS 001	CIS 000	0	0	MD 003	MD 002	MD 001	MD 000
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 15-14

CKS 001	CKS 000	チャンネル n の動作クロック(f_{MCK})の選択
0	0	タイマ・クロック選択レジスタ0 (TPS0)で設定した動作クロックCK00
0	1	タイマ・クロック選択レジスタ0 (TPS0)で設定した動作クロックCK02
1	0	タイマ・クロック選択レジスタ0 (TPS0)で設定した動作クロックCK01
1	1	タイマ・クロック選択レジスタ 0 (TPS0)で設定した動作クロック CK03

ビット 12

CSS00	チャンネル0のカウンタ・クロック(f_{TCLK})の選択
0	CKS000, CKS001ビットで指定した動作クロック(f_{MCK})
1	T100 端子からの入力信号の有効エッジ チャンネル0では, TIS0で選択した入力信号の有効エッジ チャンネル1では, TIS0で選択した入力信号の有効エッジ チャンネル3では, ISCで選択した入力信号の有効エッジ

ビット 10-8

STS 002	STS 001	STS 000	チャンネル0のスタート・トリガ, キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)
0	0	1	T100端子入力の有効エッジを, スタート・トリガ, キャプチャ・トリガの両方に使用
0	1	0	T100端子入力の両エッジを, スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用 (複数チャンネル連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

ビット 7-6

CIS 001	CIS 000	T100 端子の有効エッジ選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	両エッジ(ロウ・レベル幅測定時) スタート・トリガ: 立ち下がリエッジ, キャプチャ・トリガ: 立ち上がりエッジ
1	1	両エッジ(ハイ・レベル幅測定時) スタート・トリガ: 立ち上がりエッジ, キャプチャ・トリガ: 立ち下がリエッジ

略号 : TMR00

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKS 001	CKS 000	0	CCS 00	0	STS 002	STS 001	STS 000	CIS 001	CIS 000	0	0	MD 003	MD 002	MD 001	MD 000
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 3-1

MD 003	MD 002	MD 001	チャンネル n の動作モードの設定	対応する機能	TCR のカウント動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ／方形波出力／分周器機能／PWM出力(マスタ)	ダウン・カウント
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウント
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウント
1	0	0	ワンカウント・モード	ディレイ・カウンタ／ワンショット・パルス出力／PWM 出力(スレーブ)	ダウン・カウント
1	1	0	キャプチャ&ワンカウント・モード	入力信号のハイ／ロウ・レベル幅測定	アップ・カウント
上記以外			設定禁止		

ビット 0

動作モード (MD003-MD001で設定(上表参照))	MD 000	カウント・スタートと割り込みの設定
・ インターバル・タイマ・モード (0, 0, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
・ キャプチャ・モード (0, 1, 0)	1	カウント開始時にタイマ割り込みを発生する(タイマ出力も変化させる)。
・ イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
・ ワンカウント・モード (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする注3。その際に割り込みは発生しない。
・ キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。カウント動作中のスタート・トリガは無効とする。その際に割り込みは発生しない。

インターバル・タイマの周期設定

- ・タイマ・データ・レジスタ 00 (TDR00)
インターバル・タイマを設定します。

略号 : TDR00

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	0	1	0	0	0	0	1	0	0	0	1	1

タイマ出力の設定

- ・タイマ出力レジスタ 0 (TO0)
チャンネル 0 の初期出力を"0"に設定します。

略号 : TO0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	TO03	TO02	TO01	TO00
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 0

TO00	チャンネル 0 のタイマ出力
0	タイマ出力値が "0"
1	タイマ出力値が "1"

タイマ出力禁止設定

- ・タイマ出力許可レジスタ 0 (TOE0)
チャンネル 0 を出力動作禁止に設定します。

略号 : TOE0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	TOE03	TOE02	TOE01	TOE00
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 0

TOE00	チャンネル 0 のタイマ出力許可／禁止
0	タイマの出力を禁止
1	タイマの出力を許可

チャンネル1の動作モードの設定

- ・タイマ・モード・レジスタ 01 (TMR01)
動作クロック(f_{MCK})に CK00 を設定します。
インターバル・タイマ・モードに設定します。
ソフトウェア・トリガ・スタートに設定します。

略号 : TMR01

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKS 001	CKS 000	0	CCS 00	SPLIT 00	STS 002	STS 001	STS 000	CIS 001	CIS 000	0	0	MD 003	MD 002	MD 001	MD 000
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 15-14

CKS 001	CKS 000	チャンネル n の動作クロック(f_{MCK})の選択
0	0	タイマ・クロック選択レジスタ0 (TPS0)で設定した動作クロックCK00
0	1	タイマ・クロック選択レジスタ0 (TPS0)で設定した動作クロックCK02
1	0	タイマ・クロック選択レジスタ0 (TPS0)で設定した動作クロックCK01
1	1	タイマ・クロック選択レジスタ 0 (TPS0)で設定した動作クロック CK03

ビット 12

CSS00	チャンネル 0 のカウント・クロック(f_{TCLK})の選択
0	CKS000, CKS001 ビットで指定した動作クロック(f_{MCK})
1	T100 端子からの入力信号の有効エッジ チャンネル 0 では, TIS0 で選択した入力信号の有効エッジ チャンネル 1 では, TIS0 で選択した入力信号の有効エッジ チャンネル 3 では, ISC で選択した入力信号の有効エッジ

ビット 10-8

STS 002	STS 001	STS 000	チャンネル 0 のスタート・トリガ, キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)
0	0	1	T100端子入力の有効エッジを, スタート・トリガ, キャプチャ・トリガの両方に使用
0	1	0	T100端子入力の両エッジを, スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用 (複数チャンネル連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

ビット 7-6

CIS 001	CIS 000	T100 端子の有効エッジ選択
0	0	立ち下がリエッジ
0	1	立ち上がリエッジ
1	0	両エッジ(ロウ・レベル幅測定時) スタート・トリガ: 立ち下がリエッジ, キャプチャ・トリガ: 立ち上がリエッジ
1	1	両エッジ(ハイ・レベル幅測定時) スタート・トリガ: 立ち上がリエッジ, キャプチャ・トリガ: 立ち下がリエッジ

略号 : TMR01

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKS 001	CKS 000	0	CCS 00	0	STS 002	STS 001	STS 000	CIS 001	CIS 000	0	0	MD 003	MD 002	MD 001	MD 000
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 3-1

MD 003	MD 002	MD 001	チャンネル n の動作モードの設定	対応する機能	TCR のカウント動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ／方形波出力／分周器機能／PWM出力(マスタ)	ダウン・カウント
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウント
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウント
1	0	0	ワンカウント・モード	ディレイ・カウンタ／ワンショット・パルス出力／PWM 出力(スレーブ)	ダウン・カウント
1	1	0	キャプチャ&ワンカウント・モード	入力信号のハイ／ロウ・レベル幅測定	アップ・カウント
上記以外			設定禁止		

ビット 0

動作モード (MD003-MD001で設定(上表参照))	MD 000	カウント・スタートと割り込みの設定
・ インターバル・タイマ・モード (0, 0, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
・ キャプチャ・モード (0, 1, 0)	1	カウント開始時にタイマ割り込みを発生する(タイマ出力も変化させる)。
・ イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
・ ワンカウント・モード (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする注3。その際に割り込みは発生しない。
・ キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。

インターバル・タイマの周期設定

- ・タイマ・データ・レジスタ 01 (TDR01)
インターバル・タイマを設定します。

略号 : TDR01

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	1	0	0	1	1	1	1	1	1

タイマ出力の設定

- ・タイマ出力レジスタ 0 (TO0)
チャンネル 1 の初期出力を"0"に設定します。

略号 : TO0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	TO03	TO02	TO01	TO00
0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	x

ビット 1

TO01	チャンネル 1 のタイマ出力
0	タイマ出力値が "0"
1	タイマ出力値が "1"

タイマ出力禁止設定

- ・タイマ出力許可レジスタ 0 (TOE0)
チャンネル 1 を出力動作禁止に設定します。

略号 : TOE0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	TOE03	TOE02	TOE01	TOE00
0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	x

ビット 1

TOE01	チャンネル 1 のタイマ出力許可／禁止
0	タイマの出力を禁止
1	タイマの出力を許可

タイマ出力モードの設定

- ・タイマ出力モード・レジスタ 0 (TOM0)
チャンネル 1 の出力モードをマスタ・チャンネル出力モードに設定します。

略号 : TOM0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	TOM03	TOM02	TOM01	0
0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	x

ビット 1

TOM01	チャンネル 1 のタイマ出力モードの制御
0	マスタ・チャンネル出力モード(タイマ割り込み要求信号(INTTM01)によりトグル出力を行う)
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号(INTTM01)で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号(INTTM0p)で出力がリセットされる))

備考 p : スレーブ・チャンネル番号(p = 1, 2, 3)

タイマ出力レベルの設定

- ・タイマ出力レベル・レジスタ 0 (TOL0)
チャンネル 1 の出力レベルを正論理出力に設定します。

略号 : TOL0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	TOL03	TOL02	TOL01	0
0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	x

ビット 1

TOL01	チャンネル 1 のタイマ出力レベルの制御
0	正論理出力(アクティブ・ハイ)
1	反転論理出力(アクティブ・ロウ)

5.9.6 A/D コンバータ初期設定

図 5.10、図 5.11 に A/D コンバータ初期設定のフローチャートを示します。

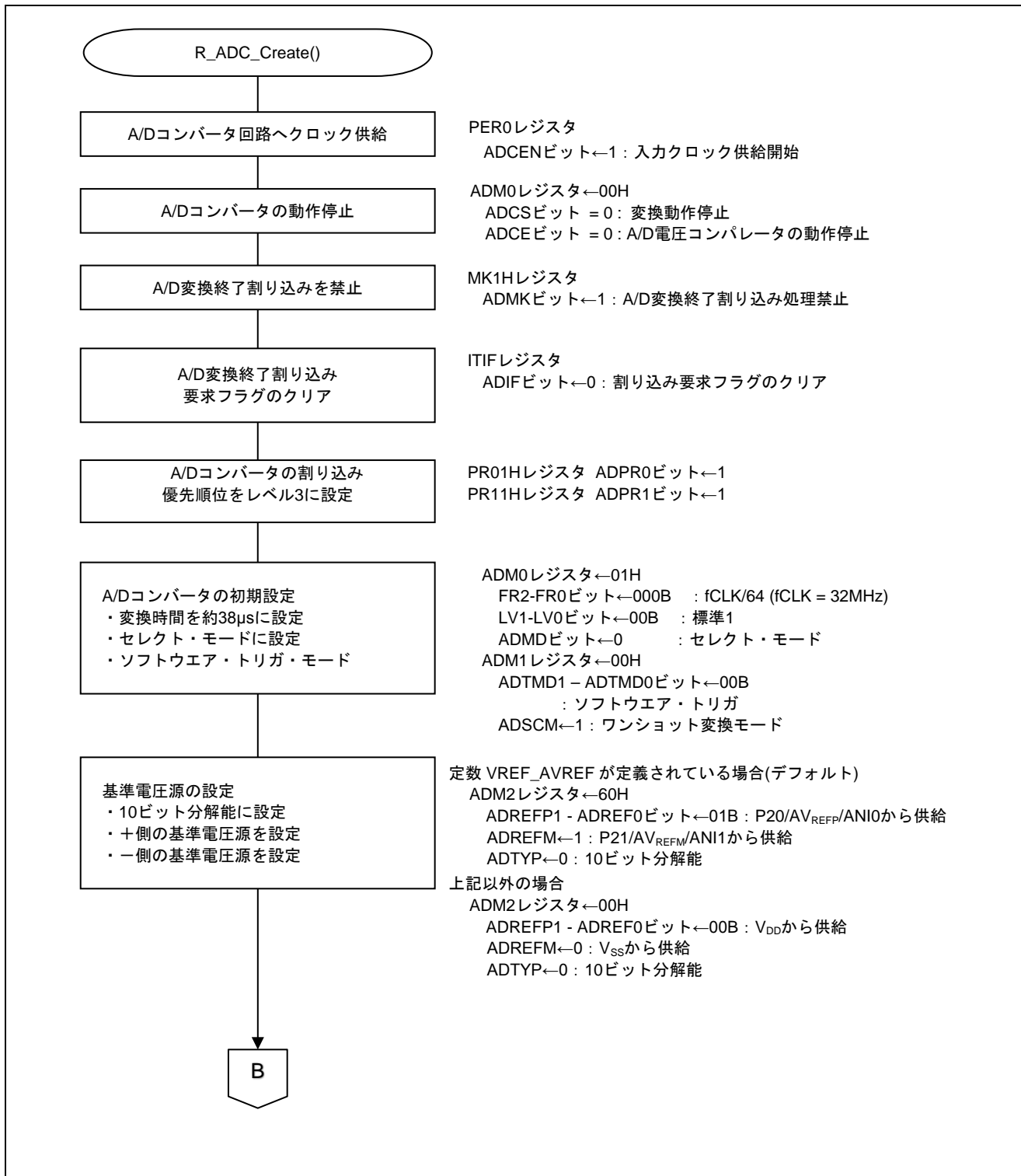


図 5.10 A/D コンバータの設定(1/2)

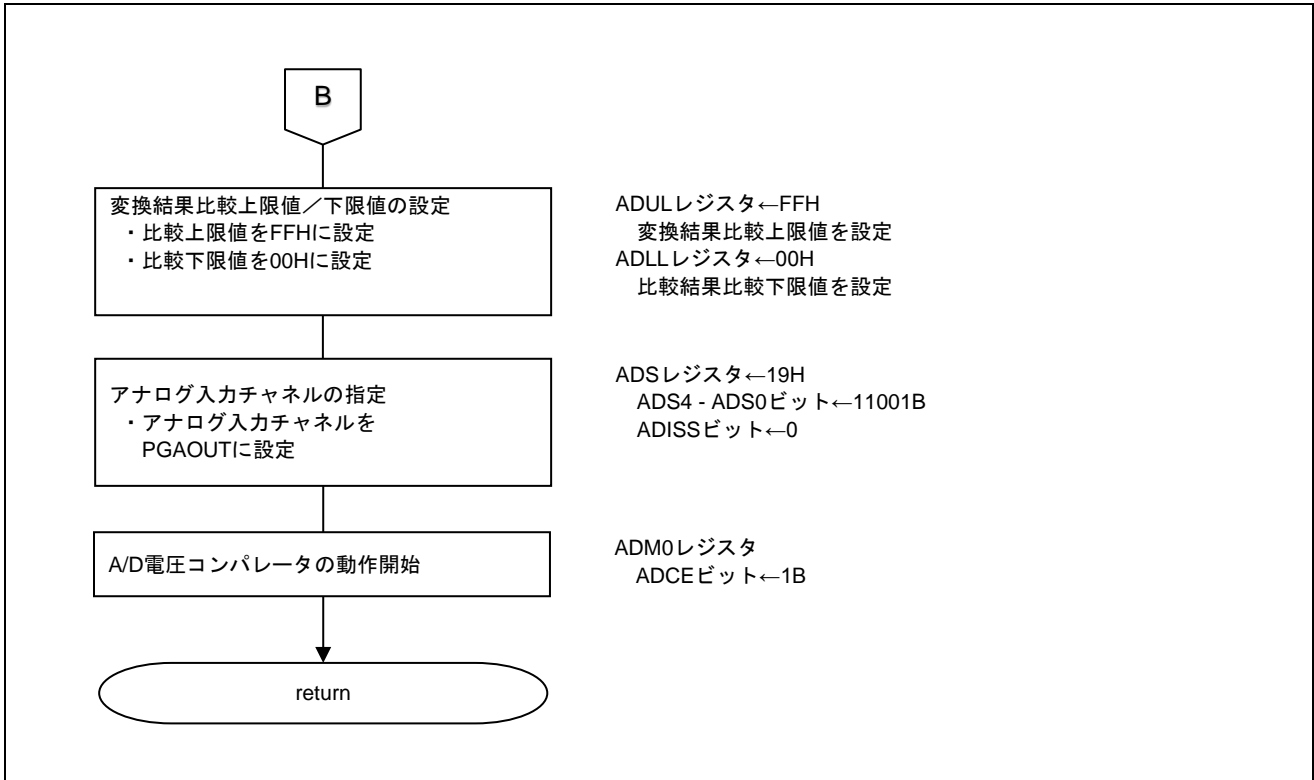


図 5.11 A/D コンバータの設定(2/2)

A/D コンバータへのクロック供給開始

- ・周辺イネーブル・レジスタ 0 (PER0)
A/D コンバータへのクロック供給を開始します。

略号 : PER0

7	6	5	4	3	2	1	0
RTCEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN
x	x	1	x	x	x	0	x

ビット 5

ADCEN	A/D コンバータの入カクロックの制御
0	入カクロック供給停止
1	入カクロック供給

A/D 変換終了割り込みの設定

- ・割り込み要求フラグ・レジスタ(IF1H)
割り込み要求フラグのクリア
- ・割り込みマスク・フラグ・レジスタ(MK1H)
割り込み処理禁止

略号 : IF1H

	7	6	5	4	3	2	1	0
0	TRJIF0	0	0	KRIF	ITIF	RTCIF	ADIF	
0	x	0	0	x	x	x	0	

ビット 0

ADIF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

略号 : MK1H

	7	6	5	4	3	2	1	0
1	TRJMK0	1	1	KRMK	ITMK	RTCMK	ADMK	
1	x	1	1	x	x	x	1	

ビット 0

ADMK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

A/D 変換割り込み優先レベルの設定

- ・優先順位フラグ・レジスタ(PR11H,PR01H)
レベル3(低優先順位)に設定します。

略号 : PR11H

	7	6	5	4	3	2	1	0
1	TRJPR10	1	1	KRPR1	ITPR1	RTCPR1	ADPR1	
1	x	1	1	x	x	x	1	

略号 : PR01H

	7	6	5	4	3	2	1	0
1	TRJPR00	1	1	KRPR0	ITPR0	RTCPR0	ADPR0	
1	x	1	1	x	x	x	1	

ビット 0

ADPR1	ADPR0	優先順位レベルの選択
0	0	レベル0を指定(高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定(低優先順位)

A/D 変換時間と動作モードの設定

- ・ A/D コンバータ・モード・レジスタ 0(ADM0)
A/D 変換動作の制御
A/D 変換チャンネル選択モードの指定

略号 : ADM0

7	6	5	4	3	2	1	0
ADCS	ADMD	FR2	FR1	FR0	LV1	LV0	ADCE
0	0	0	0	0	0	0	1

ビット7

ADCS	A/D 変換動作の制御
0	変換動作停止
1	変換動作許可

ビット6

ADMD	A/D チャンネル選択モードを指定
0	セレクト・モード
1	スキャン・モード

ビット5-1

ADM0						モード	変換クロック数 (f _{AD})	変換クロック数	変換時間	変換時間の選択					
FR2	FR1	FR0	LV1	LV0	f _{CLK} =1MHz					f _{CLK} =4MHz	f _{CLK} =8MHz	f _{CLK} =16MHz	f _{CLK} =32MHz		
0	0	0	0	0	標準1	f _{CLK} /64	19f _{AD}	1216/f _{CLK}	設定禁止	設定禁止	設定禁止	76μs	38μs		
0	0	1				f _{CLK} /32	(サンプリング・クロック数 : 7f _{AD})	608/f _{CLK}				76μs	38μs	19μs	
0	1	0				f _{CLK} /16	304/f _{CLK}	76μs				38μs	19μs	9.5μs	
0	1	1				f _{CLK} /8	152/f _{CLK}	38μs				19μs	9.5μs	4.75μs	
1	0	0				f _{CLK} /6	114/f _{CLK}	28.5μs				14.25μs	7.125μs	3.5625μs	
1	0	1				f _{CLK} /5	95/f _{CLK}	95μs				23.75μs	11.875μs	5.938μs	2.9688μs
1	1	0				f _{CLK} /4	76/f _{CLK}	76μs				19μs	9.5μs	4.75μs	2.375μs
1	1	1				f _{CLK} /2	38/f _{CLK}	38μs				9.5μs	4.75μs	2.375μs	設定禁止
0	0	0				0	1	標準2				f _{CLK} /64	17f _{AD}	1088/f _{CLK}	設定禁止
0	0	1				f _{CLK} /32	(サンプリング・クロック数 : 5f _{AD})	544/f _{CLK}				68μs	34μs	17μs	
0	1	0				f _{CLK} /16	272/f _{CLK}	68μs				34μs	17μs	8.5μs	
0	1	1				f _{CLK} /8	136/f _{CLK}	34μs				17μs	8.5μs	4.25μs	
1	0	0				f _{CLK} /6	102/f _{CLK}	25.5μs				12.75μs	6.375μs	3.1875μs	
1	0	1				f _{CLK} /5	85/f _{CLK}	85μs				21.25μs	10.625μs	5.3125μs	2.6563μs
1	1	0				f _{CLK} /4	68/f _{CLK}	68μs				17μs	8.5μs	4.25μs	2.125μs
1	1	1				f _{CLK} /2	34/f _{CLK}	34μs				8.5μs	4.25μs	2.125μs	設定禁止

ビット0

ADCE	A/D 電圧コンパレータの動作制御
0	A/D 電圧コンパレータの動作停止
1	A/D 電圧コンパレータの動作許可

A/D 変換トリガ、変換モードの設定

- ・ A/D コンバータ・モード・レジスタ 1(ADM1)
- A/D 変換トリガ・モードの選択
- A/D 変換動作モードの設定

略号 : ADM1

7	6	5	4	3	2	1	0
ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0
0	0	1	0	0	0	x	x

ビット 7,6

ADTMD1	ADTMD0	A/D 変換トリガ・モードの選択
0	0	ソフトウェア・トリガ・モード
0	1	
1	0	ハードウェア・トリガ・ノーウエイト・モード
1	1	ハードウェア・トリガ・ウエイト・モード

ビット 5

ADSCM	A/D 変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

基準電圧源の設定

- ・ A/D コンバータ・モード・レジスタ 2(ADM2)
- A/D コンバータの+側の基準電圧源の選択
- A/D コンバータの-側の基準電圧源の選択
- 変換結果上限/下限値チェック
- A/D 変換分解能の設定

定数 VREF_AVREF が定義されている場合(デフォルト)

略号 : ADM2

7	6	5	4	3	2	1	0
ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADYTP
0	1	1	0	0	x	0	0

定数 VREF_AVREF が定義されていない場合

略号 : ADM2

7	6	5	4	3	2	1	0
ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADYTP
0	0	0	0	0	x	0	0

ビット7-6

ADREFP1	ADREFP0	A/D コンバータの+側の基準電圧源の選択	
0	0	V_{DD} から供給	※ VREF_AVREF が定義されていない場合
0	1	P20/AV_{REFP}/ANI0 から供給	※ VREF_AVREF が定義されている場合
1	0	内部基準電圧 (1.45 V) から供給	
1	1	設定禁止	

ビット5

ADREFM	A/D コンバータの-側の基準電圧源の選択	
0	V_{SS} から供給	※ VREF_AVREF が定義されていない場合
1	P21/AV_{REFM}/ANI1 から供給	※ VREF_AVREF が定義されている場合

ビット3

ADRCK	変換結果上限/下限値チェック
0	ADLL レジスタ ≤ ADCR レジスタ ≤ ADUL レジスタのとき割り込み信号(INTAD)が発生。
1	ADCRレジスタ < ADLLレジスタ、ADULレジスタ < ADCRレジスタのとき割り込み信号(INTAD)が発生。

ビット0

ADYTP	A/D 変換分解能の設定
0	10 ビット分解能
1	8 ビット分解能

変換結果比較上限値／下限値の設定

- ・変換結果比較上限値設定レジスタ (ADUL)
 - ・変換結果比較下限値設定レジスタ (ADLL)
- 変換結果比較上限値／下限値の設定

略号 : ADUL

7	6	5	4	3	2	1	0
ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0
1	1	1	1	1	1	1	1

略号 : ADLL

7	6	5	4	3	2	1	0
ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0
0	0	0	0	0	0	0	0

入力チャンネルの指定

- ・アナログ入力チャンネル指定レジスタ (ADS)
- A/D 変換するアナログ電圧の入力チャンネルを指定

略号 : ADS

	7	6	5	4	3	2	1	0
ADISS	0	0	0	ADS4	ADS3	ADS2	ADS1	ADS0
	0	0	0	1	1	0	0	1

ビット 7、4-0

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	選択チャンネル
0	0	0	0	0	0	ANI0
0	0	0	0	0	1	ANI1
0	0	0	0	1	0	ANI2
0	0	0	0	1	1	ANI3
0	0	0	1	0	0	ANI4
0	0	0	1	0	1	ANI5
0	0	0	1	1	0	ANI6
0	0	0	1	1	1	ANI7
0	1	0	0	0	0	ANI16
0	1	0	0	0	1	ANI17
0	1	0	0	1	0	ANI18
0	1	0	0	1	1	ANI19
0	1	0	1	0	0	ANI20
0	1	0	1	0	1	ANI21
0	1	0	1	1	0	ANI22
0	1	0	1	1	1	ANI23
0	1	1	0	0	0	ANI24
0	1	1	0	0	1	PGAOUT(PGA 出力)
1	0	0	0	0	0	温度センサ出力 ^{注1,2}
1	0	0	0	0	1	内部基準電圧出力(1.45V) ^{注2}
上記以外						設定禁止

注1. コンパレータ 0 またはコンパレータ 1 のリファレンス電圧に内部基準電圧 (1.45 V) を選択している場合は、温度センサ出力を選択できません。

注2. HS (高速メイン) モードでのみ選択可能です。

5.9.7 コンパレータ・PGA 初期設定

図 5.12、図 5.13 にコンパレータ・PGA 初期設定のフローチャートを示します。

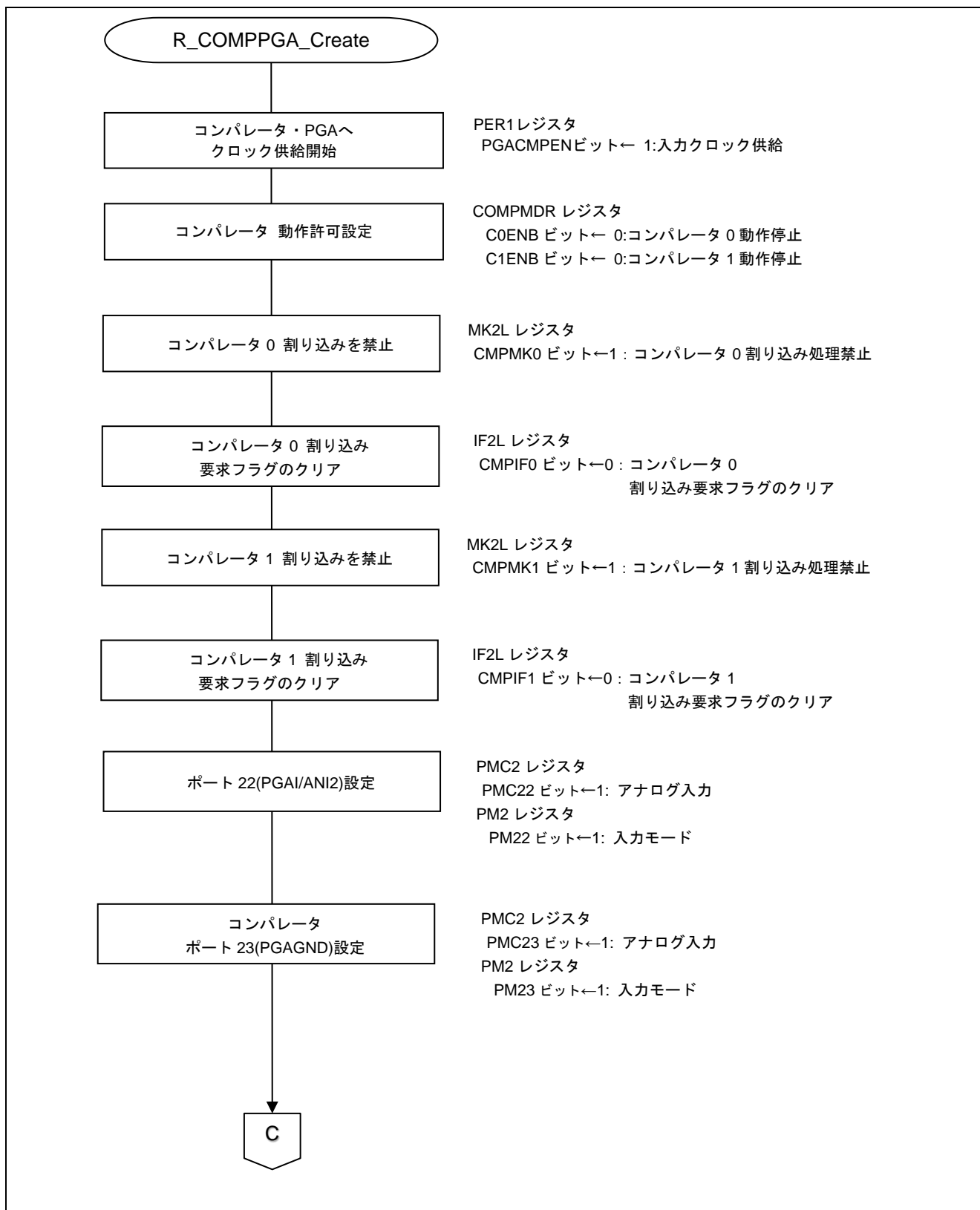


図 5.12 コンパレータ・PGA 初期設定(1/2)

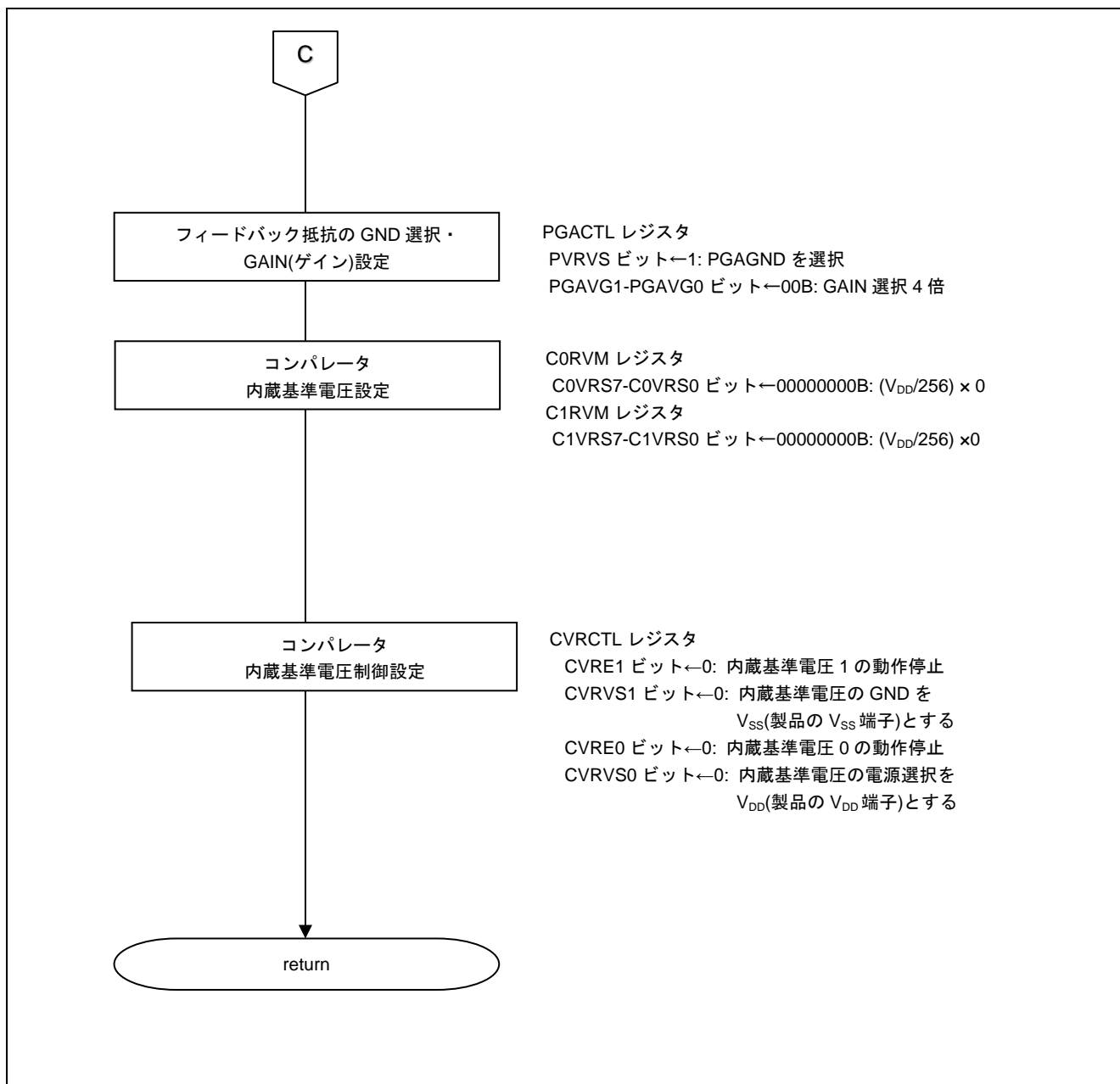


図 5.13 コンパレータ・PGA 初期設定(2/2)

コンパレータ・PGA のクロック供給開始

- ・周辺イネーブル・レジスタ 1 (PER1)
コンパレータ・PGA のクロック供給を開始します。

略号 : PER1

7	6	5	4	3	2	1	0
DACEN	TRGEN	PGACMPEN	TRD0EN	DTCEN	PWMOPEN	TRXEN	TRJ0EN
x	x	1	x	x	x	x	x

ビット 5

PGACMPEN	コンパレータ/プログラマブル・ゲイン・アンプの入カクロックの制御
0	入カクロック供給停止
1	入カクロック供給

コンパレータの動作停止設定

- ・コンパレータモード設定レジスタ (COMPMDR)
コンパレータ 0・コンパレータ 1 の動作停止を設定します。

略号 : COMPMDR

7	6	5	4	3	2	1	0
C1MON	0	0	C1ENB	C0MON	0	0	C0ENB
x	x	x	0	x	x	x	0

ビット 4

C1ENB	コンパレータ 1 動作許可
0	コンパレータ 1 動作禁止
1	コンパレータ 1 動作許可

ビット 0

C0ENB	コンパレータ 0 動作許可
0	コンパレータ 0 動作禁止
1	コンパレータ 0 動作許可

コンパレータ割り込みの設定

- ・割り込み要求フラグ・レジスタ(MK2L・MK2H)
コンパレータ0・コンパレータ1の割り込み禁止
- ・割り込み要求フラグ・レジスタ(IF2L・IF2H)
コンパレータ0・コンパレータ1の割り込み要求フラグのクリア

略号：MK2L

	7	6	5	4	3	2	1	0
PMK10 CMPMK0		PMK9	PMK8	PMK7	PMK6	1	1	1
	1	x	x	x	x	1	1	1

ビット7

CMPMK0	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

略号：MK2H

	7	6	5	4	3	2	1	0
FLMK		1	1	TRXMK	TRGMK	TRDMK1	TRDMK0	PMK11 CMPMK1
	x	1	1	x	x	x	x	1

ビット0

CMPMK1	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

略号：IF2L

	7	6	5	4	3	2	1	0
PIF10 CMPIF0		PIF9	PIF8	PIF7	PIF6	0	0	0
	0	x	x	x	x	0	0	0

ビット7

CMPIF0	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

略号：IF2H

	7	6	5	4	3	2	1	0
FLIF		0	0	TRXIF	TRGIF	TRDIF1	TRDIF0	PIF11 CMPIF1
	x	0	0	x	x	x	x	0

ビット0

CMPIF1	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

コンパレータ ポート・レジスタ設定

- ・ポート・レジスタ (PMC2)
アナログ入力に設定します。
- ・ポート・モード・レジスタ (PM2)
入力モードに設定します。

略号 : PMC2

7	6	5	4	3	2	1	0
PMC27	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20
x	x	x	x	1	1	x	x

ビット 3

PMC23	P23 端子のデジタル入出力／アナログ入力の選択
0	デジタル入出力(アナログ入力以外の兼用機能)
1	アナログ入力

ビット 2

PMC22	P22 端子のデジタル入出力／アナログ入力の選択
0	デジタル入出力(アナログ入力以外の兼用機能)
1	アナログ入力

略号 : PM2

7	6	5	4	3	2	1	0
PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20
x	x	x	x	1	1	x	x

ビット 3

PM23	P23 端子の入出力モードの選択
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

ビット 2

PM22	P22 端子の入出力モードの選択
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

PGA 動作停止・増幅率設定

- PGA制御レジスタ (PGACTL)
PGA動作停止に設定します。
フィードバック抵抗のGNDをPGAGNDに設定します。
GAIN(ゲイン)を4倍に設定します。

略号 : PGACTL

	7	6	5	4	3	2	1	0
PGAEN	0	0	0	0	PVRVS	0	PGAVG1	PGAVG0
0	0	0	0	0	1	0	0	0

ビット7

PGAEN	機能
0	PGA 動作停止
1	PGA 動作許可

ビット3

PVRVS	機能
0	Vss 選択
1	PGAGND 選択

ビット1-0

PGAVG1	PGAVG0	機能
0	0	4 倍
0	1	8 倍
1	0	16 倍
1	1	32 倍

コンパレータ内蔵基準電圧設定

- ・コンパレータ内蔵基準電圧選択レジスタ0 (C0RVM)
 $\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 0$ に設定します。

略号 : C0RVM

7	6	5	4	3	2	1	0
C0VRS7	C0VRS6	C0VRS5	C0VRS4	C0VRS3	C0VRS2	C0VRS 1	C0VRS 0
0	0	0	0	0	0	0	0

ビット 7-0

C0VR S7	C0VR S6	C0VR S5	C0VR S4	C0VR S3	C0VR S2	C0VR S1	C0VR S0	コンパレータの内蔵基準電圧の設定
0	0	0	0	0	0	0	0	$\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 0$
0	0	0	0	0	0	0	1	$\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 1$
0	0	0	0	0	0	1	0	$\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 2$
0	0	0	0	0	0	1	1	$\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 3$
:								:
1	1	1	1	1	1	0	0	$\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 252$
1	1	1	1	1	1	0	1	$\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 253$
1	1	1	1	1	1	1	0	$\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 254$
1	1	1	1	1	1	1	1	$\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 255$

コンパレータ内蔵基準電圧設定

- ・コンパレータ内蔵基準電圧選択レジスタ1 (C1RVM)
 $\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 0$ に設定します。

略号 : C1RVM

7	6	5	4	3	2	1	0
C1VRS7	C1VRS6	C1VRS5	C1VRS4	C1VRS3	C1VRS2	C1VRS 1	C1VRS 0
0	0	0	0	0	0	0	0

ビット 7-0

C0VR S7	C0VR S6	C0VR S5	C0VR S4	C0VR S3	C0VR S2	C0VR S1	C0VR S0	コンパレータの内蔵基準電圧の設定
0	0	0	0	0	0	0	0	$\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 0$
0	0	0	0	0	0	0	1	$\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 1$
0	0	0	0	0	0	1	0	$\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 2$
0	0	0	0	0	0	1	1	$\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 3$
:								:
1	1	1	1	1	1	0	0	$\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 252$
1	1	1	1	1	1	0	1	$\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 253$
1	1	1	1	1	1	1	0	$\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 254$
1	1	1	1	1	1	1	1	$\{ (AV_{REFP} \text{ または } V_{DD}) / 256 \} \times 255$

コンパレータ内蔵基準電圧制御設定

- ・コンパレータ内蔵基準電圧制御レジスタ (CVRCTL)
内蔵基準電圧1の動作停止に設定します。
内蔵基準電圧のグラウンドに V_{SS} を選択します。
内蔵基準電圧0の動作停止に設定します。
内蔵基準電圧の電源に V_{DD} を選択します。

略号 : CVRCTL

7	6	5	4	3	2	1	0
0	0	CVRE1	CVRVS1	0	0	CVRE0	CVRVS0
0	0	0	0	0	0	0	0

ビット 5

CVRE1	内蔵基準電圧 1 の制御ビット
0	内蔵基準電圧 1 の動作停止
1	内蔵基準電圧 1 の動作許可

ビット 4

CVRVS1	内蔵基準電圧のグラウンド選択ビット
0	内蔵基準電圧のグラウンドに V_{SS} を選択
1	内蔵基準電圧のグラウンドに AV_{REFM} を選択 ^{注1}

ビット 2

CVRE0	内蔵基準電圧 0 の制御ビット
0	内蔵基準電圧 0 の動作停止
1	内蔵基準電圧 0 の動作許可

ビット 1

CVRVS0	内蔵基準電圧の電源選択ビット
0	内蔵基準電圧の電源に V_{DD} を選択
1	内蔵基準電圧のグラウンドに AV_{REFP} を選択 ^{注2}

注 1. P21 は、 AV_{REFM} と IVCMP13 が兼用しているため、P21 端子を CMP1 入力信号として使用する場合は、CVRVS1 を 1 に設定することは禁止です。

注 2. P20 は、 AV_{REFP} と IVCMP12 が兼用しているため、P20 端子を CMP1 入力信号として使用する場合は、CVRVS0 を 1 に設定することは禁止です。

5.9.8 メイン処理

図 5.14 にメイン処理のフローチャートを示します。

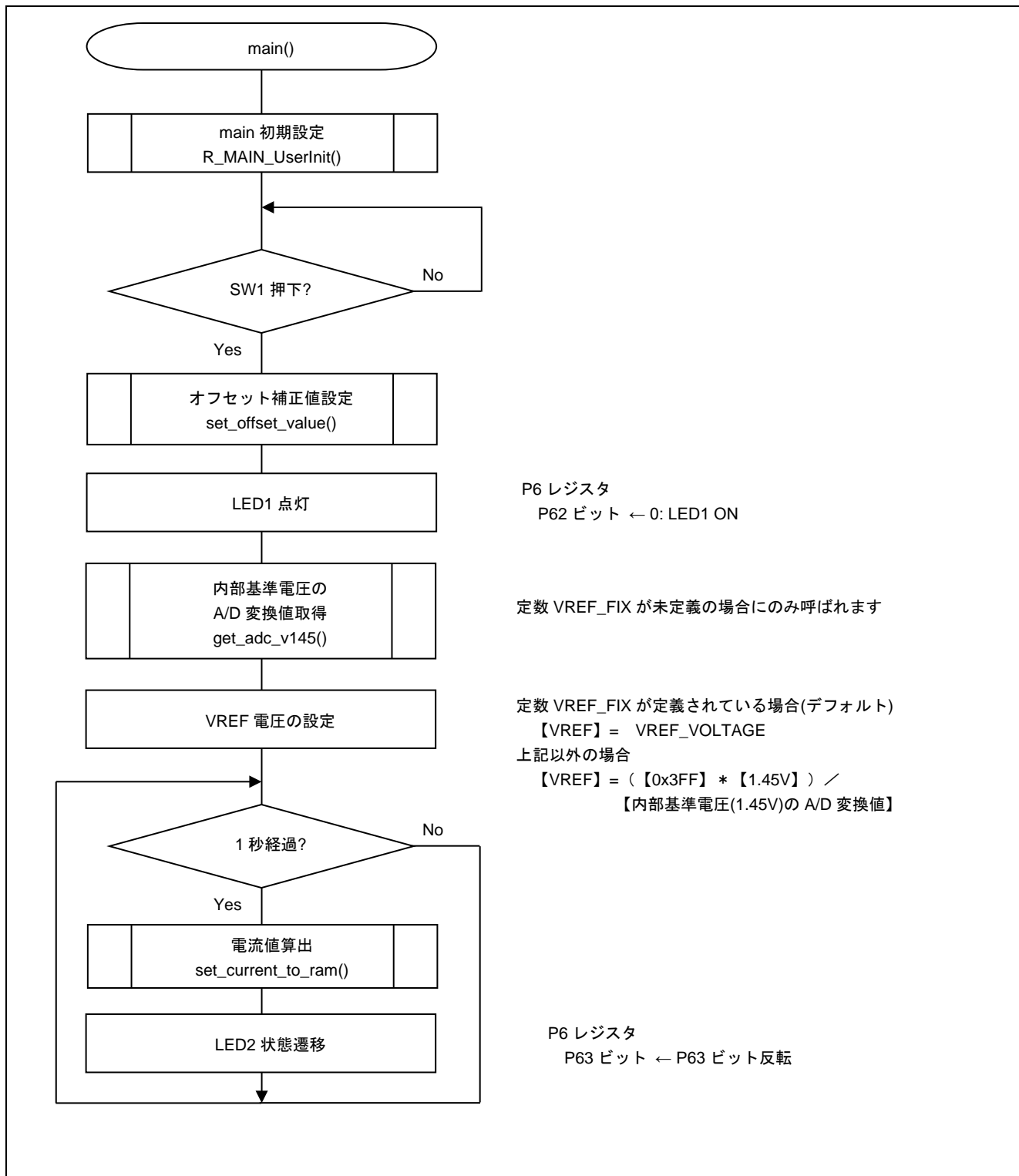


図 5.14 メイン処理

5.9.9 メイン初期設定

図 5.15 にメイン初期設定のフローチャートを示します。

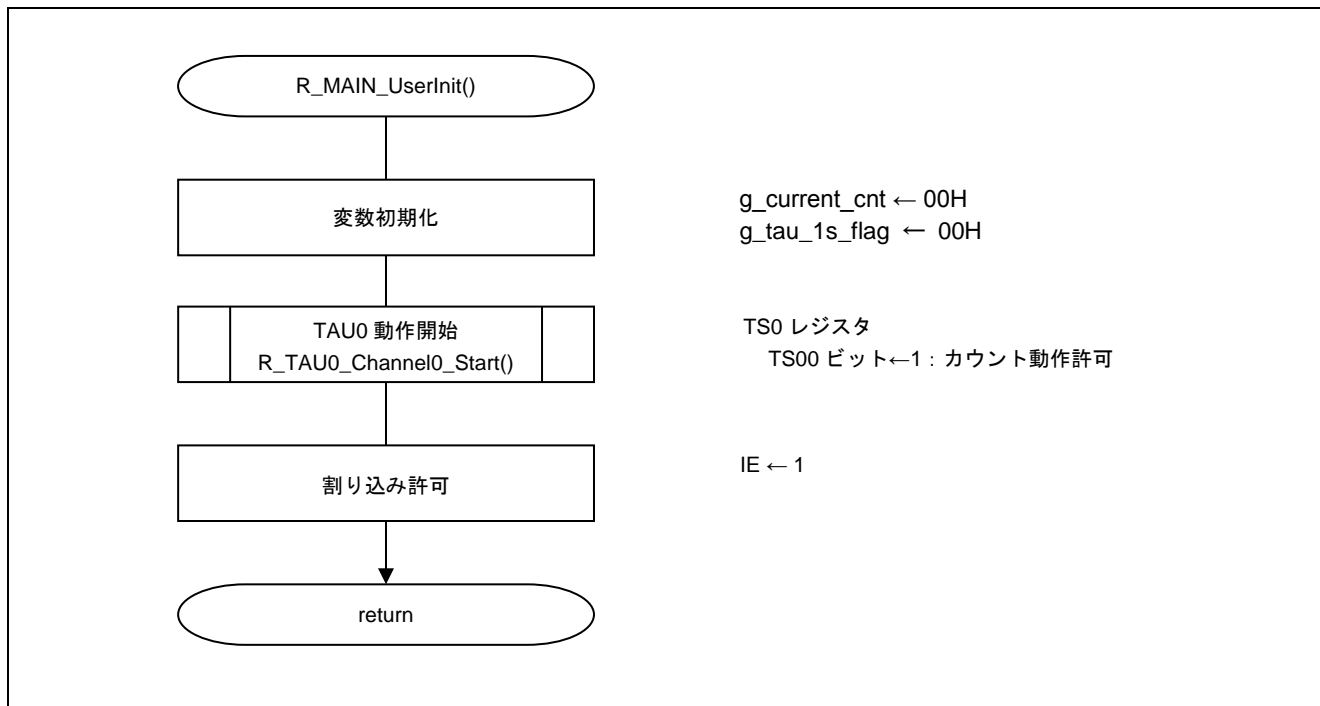


図 5.15 メイン初期設定

5.9.10 A/D 変換開始

図 5.16 に A/D 変換開始のフローチャートを示します。

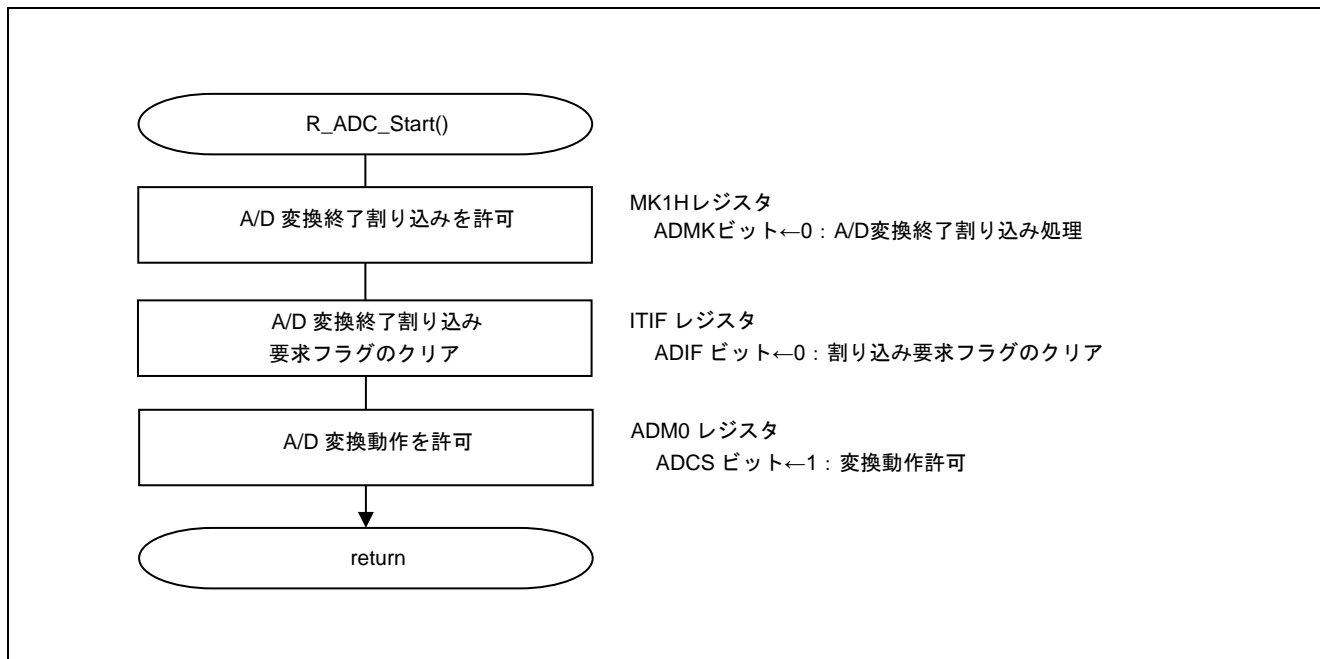


図 5.16 A/D 変換開始

A/D 変換終了割り込みの設定

- ・割り込み要求フラグ・レジスタ(IF1H)
割り込み要求フラグのクリア
- ・割り込みマスク・フラグ・レジスタ(MK1H)
割り込み処理許可

略号 : IF1H

	7	6	5	4	3	2	1	0
0	TRJIF0	0	0	KRIF	ITIF	RTCIF	ADIF	
x	x	x	x	x	x	x	x	0

ビット0

ADIF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

略号 : MK1H

	7	6	5	4	3	2	1	0
1	TRJMK0	1	1	KRMK	ITMK	RTCMK	ADMK	
x	x	x	x	x	x	x	x	0

ビット0

ADMK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 レジスタ設定の詳細については、RL78/G1F ユーザーズマニュアル ハードウェア編を参照してください。

A/D 変換動作の制御

- ・ A/D コンバータ・モード・レジスタ 0(ADM0)
A/D 変換動作の制御

略号 : ADM0

7	6	5	4	3	2	1	0
ADCS	ADMD	FR2	FR1	FR0	LV1	LV0	ADCE
1	x	x	x	x	x	x	x

ビット7

ADCS	A/D 変換動作の制御
0	変換動作停止
1	変換動作許可

5.9.11 A/D 変換停止

図 5.17 に A/D 変換停止のフローチャートを示します。

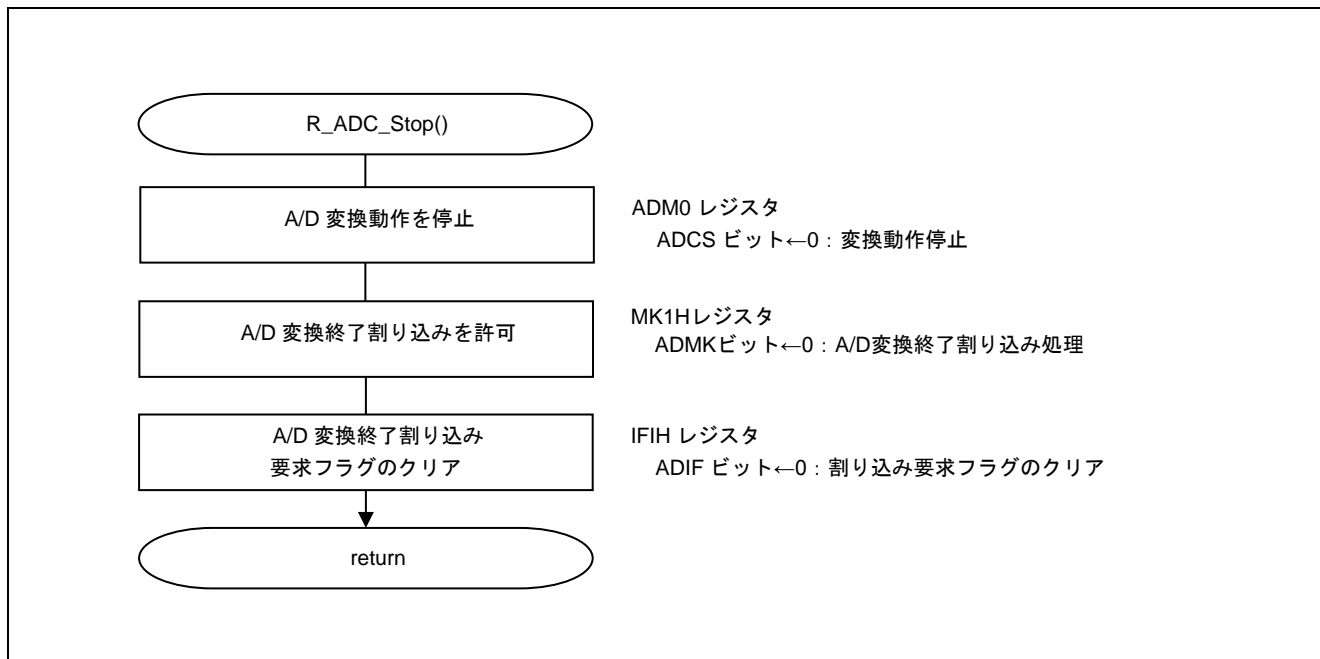


図 5.17 A/D 変換停止

A/D 変換終了割り込みの設定

- ・割り込み要求フラグ・レジスタ(IF1H)
割り込み要求フラグのクリア
- ・割り込みマスク・フラグ・レジスタ(MK1H)
割り込み処理許可

略号 : IF1H

	7	6	5	4	3	2	1	0
0	TRJIF0	0	0	KRIF	ITIF	RTCIF	ADIF	
0	x	0	0	x	x	x	0	

ビット0

ADIF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

略号 : MK1H

	7	6	5	4	3	2	1	0
1	TRJMK0	1	1	KRMK	ITMK	RTCMK	ADMK	
1	x	1	1	x	x	x	0	

ビット0

ADMK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 レジスタ設定の詳細については、RL78/G1F ユーザーズマニュアル ハードウェア編を参照してください。

A/D 変換動作の制御

- ・ A/D コンバータ・モード・レジスタ 0(ADM0)
A/D 変換動作の制御

略号 : ADM0

7	6	5	4	3	2	1	0
ADCS	ADMD	FR2	FR1	FR0	LV1	LV0	ADCE
0	x	x	x	x	x	x	x

ビット7

ADCS	A/D 変換動作の制御
0	変換動作停止
1	変換動作許可

5.9.12 A/D 電圧コンパレータ動作許可

図 5.18 に A/D 電圧コンパレータ動作許可のフローチャートを示します。

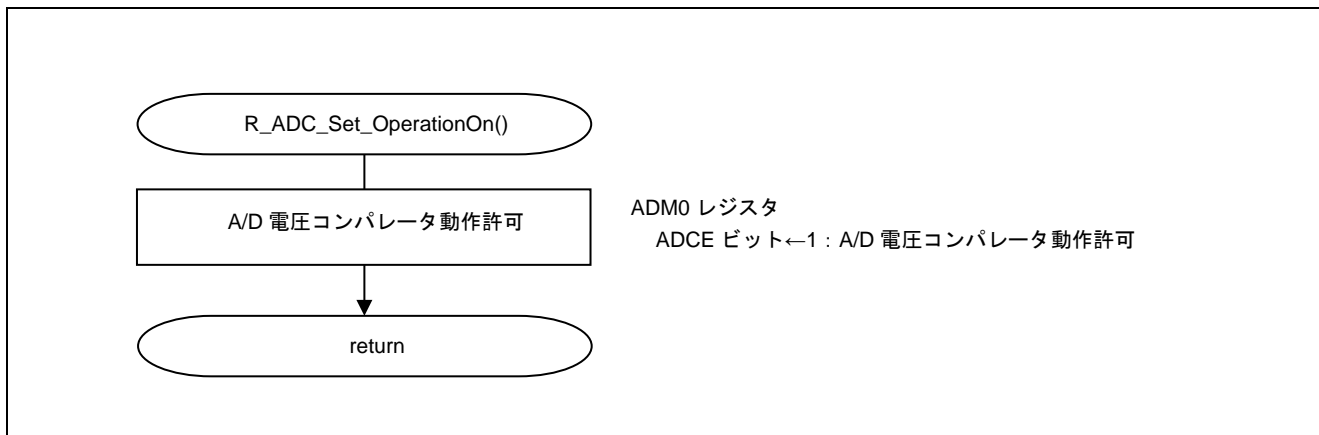


図 5.18 A/D 電圧コンパレータ動作許可

A/D 電圧コンパレータの動作許可

- ・ A/D コンバータ・モード・レジスタ 0(ADM0)
A/D 電圧コンパレータの動作の制御

略号 : ADM0

7	6	5	4	3	2	1	0
ADCS	ADMD	FR2	FR1	FR0	LV1	LV0	ADCE
x	x	x	x	x	x	x	1

ビット 0

ADCE	A/D 電圧コンパレータの動作制御
0	A/D 電圧コンパレータの動作停止
1	A/D 電圧コンパレータの動作許可

5.9.13 A/D 電圧コンパレータ動作停止

図 5.19 に A/D 電圧コンパレータ動作停止のフローチャートを示します。

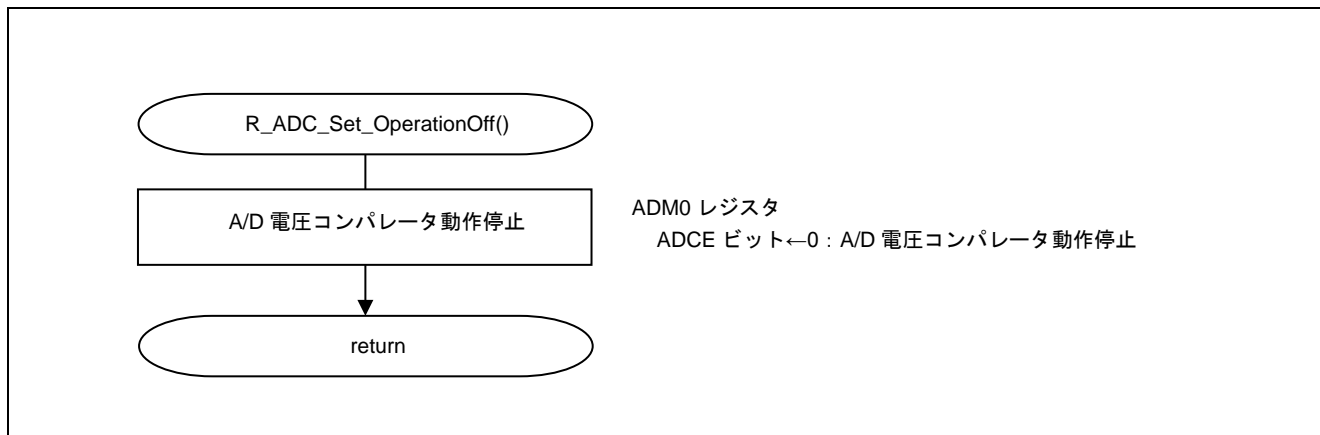


図 5.19 A/D 電圧コンパレータ動作停止

A/D 電圧コンパレータの動作停止

- ・ A/D コンバータ・モード・レジスタ 0(ADM0)
A/D 電圧コンパレータの動作の制御

略号 : ADM0

7	6	5	4	3	2	1	0
ADCS	ADMD	FR2	FR1	FR0	LV1	LV0	ADCE
x	x	x	x	x	x	x	0

ビット 0

ADCE	A/D 電圧コンパレータの動作制御
0	A/D 電圧コンパレータの動作停止
1	A/D 電圧コンパレータの動作許可

5.9.14 A/D 変換結果取得

図 5.20 に A/D 変換結果取得のフローチャートを示します。

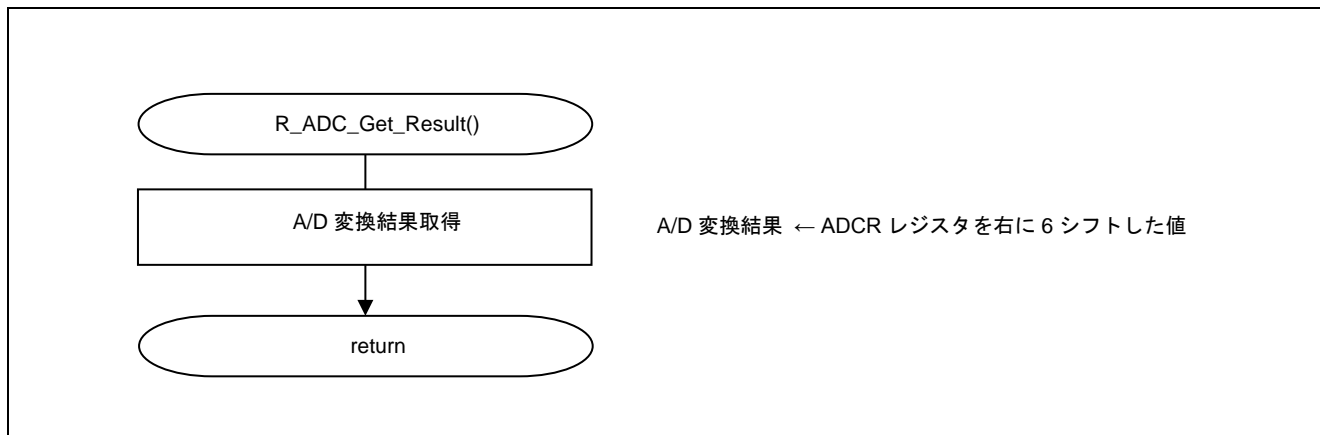


図 5.20 A/D 変換結果取得

5.9.15 A/D 変換終了割り込み

図 5.21 に A/D 変換終了割り込みのフローチャートを示します。

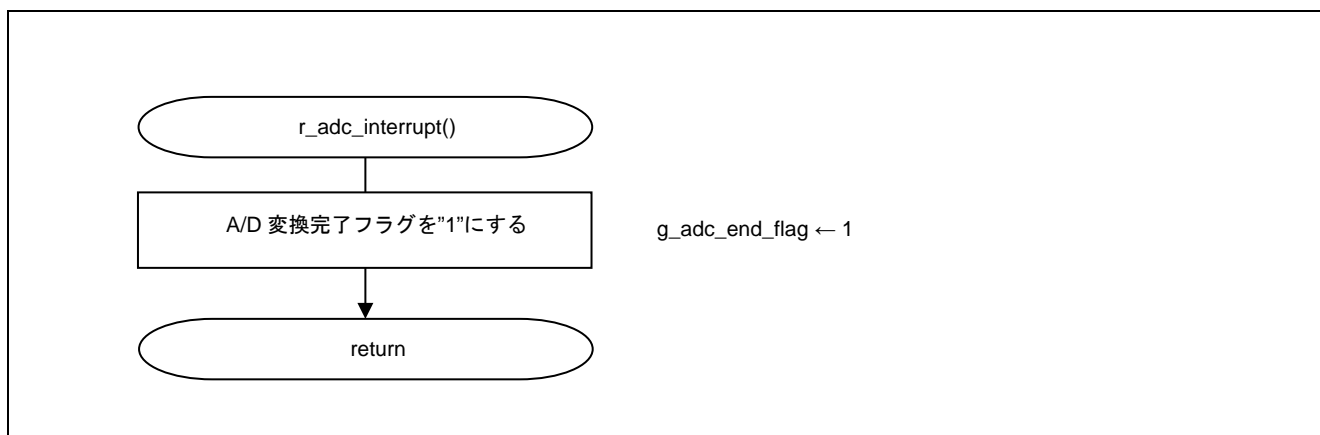


図 5.21 A/D 変換終了割り込み

5.9.16 PGA 動作許可

図 5.22 に PGA 動作許可のフローチャートを示します。

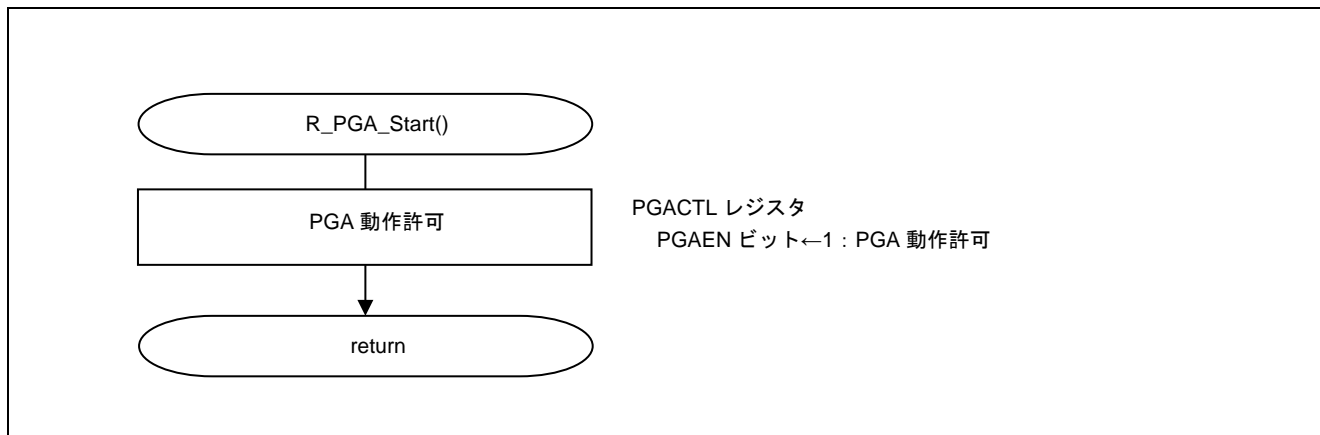


図 5.22 PGA 動作許可

PGA 動作許可

- ・ PGA 制御レジスタ(PGACTL)
PGA 動作の制御

略号 : PGACTL

	7	6	5	4	3	2	1	0
PGAEN	-	-	-	PVRVS	-	PGAVG1	PGAVG0	
1	x	x	x	x	x	x	x	x

ビット7

PGAEN	プログラマブル・ゲイン・アンプの動作制御
0	プログラマブル・ゲイン・アンプ 動作停止
1	プログラマブル・ゲイン・アンプ動作許可

5.9.17 PGA 動作停止

図 5.23 に PGA 動作停止のフローチャートを示します。

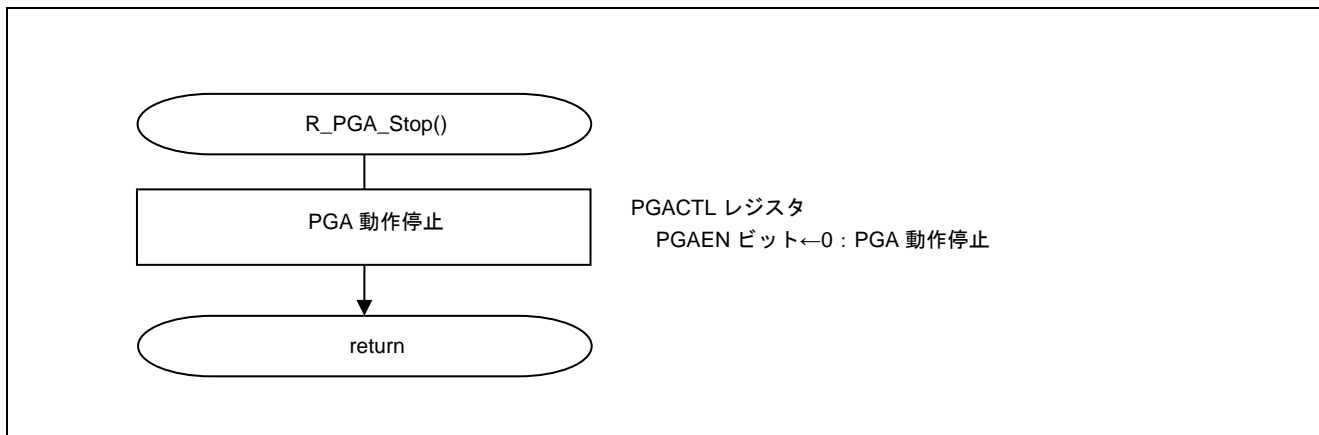


図 5.23 PGA 動作停止

PGA 動作停止

- ・ PGA 制御レジスタ(PGACTL)
PGA 動作の制御

略号 : PGACTL

	7	6	5	4	3	2	1	0
PGAEN	-	-	-	PVRVS	-	PGAVG1	PGAVG0	
0	x	x	x	x	x	x	x	x

ビット7

PGAEN	プログラマブル・ゲイン・アンプの動作制御
0	プログラマブル・ゲイン・アンプ 動作停止
1	プログラマブル・ゲイン・アンプ動作許可

5.9.18 TAU チャンネル 0 開始

図 5.24 に TAU チャンネル 0 開始のフローチャートを示します。

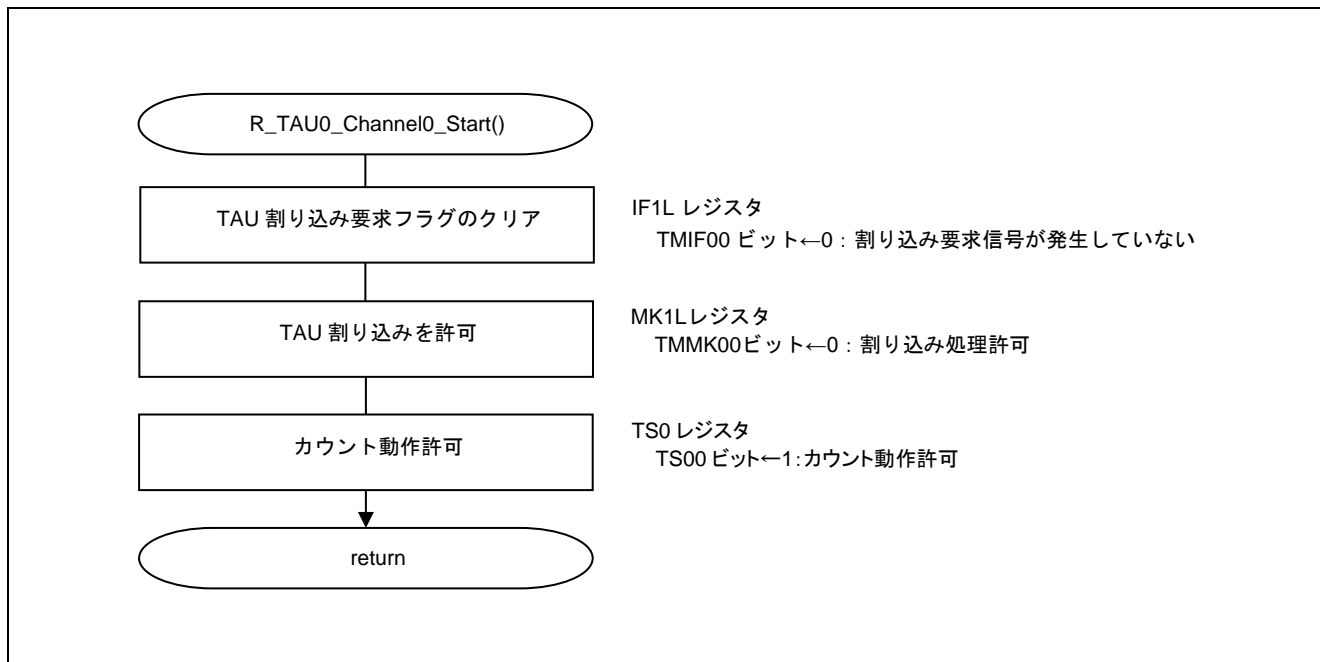


図 5.24 TAU チャンネル 0 開始

TAU 割り込み要求フラグクリア

- ・ 割り込み要求フラグ・レジスタ (IF1L)
TAU 割り込み要求フラグをクリアします。

略号 : IF1L

7	6	5	4	3	2	1	0
TMIF03	TMIF02	TMIF01	TMIF00	IICAIF0	SREIF1 TMIF03H	SRIF1 CSIF11 IICIF11	STIF1 CSIIF10 IICIF10
x	x	x	0	x	x	x	x

ビット 4

TMIF00	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

TAU 割り込み許可

- ・割り込みマスク・フラグ・レジスタ (MK1L)
TAU 割り込みを許可します。

略号 : MK1L

7	6	5	4	3	2	1	0
TMMK03	TMMK02	TMMK01	TMMK00	IICAMK0	SREMK1 TMMK03H	SRMK1 CSIMK11 IICMK11	STMK1 CSIMK10 IICMK10
x	x	x	0	x	x	x	x

ビット 4

TMMK00	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

タイマ・チャネルの開始

- ・タイマ・チャネル開始レジスタ 0 (TS0)
チャネル 0 のカウント動作を開始します。

略号 : TS0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	TSH 03	0	TSH 01	0	0	0	0	0	TS03	TS02	TS01	TS00
0	0	0	0	x	0	x	0	0	0	0	0	x	x	x	1

ビット 0

TS00	チャネル 0 の動作許可(スタート)トリガ
0	トリガ動作しない
1	TE00 ビットを 1 にセットし、カウント動作許可状態になる。

5.9.19 TAU チャンネル 0 停止

図 5.25 に TAU チャンネル 0 停止のフローチャートを示します。

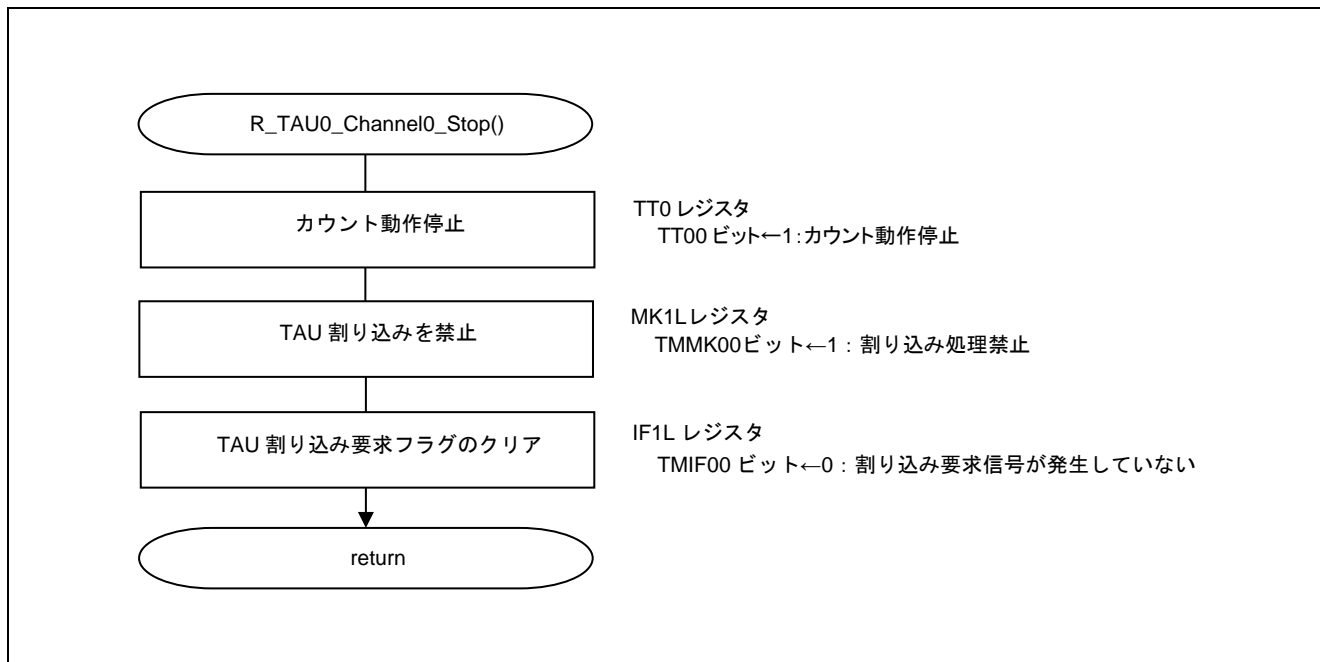


図 5.25 TAU チャンネル 0 停止

タイマ・チャンネルの停止

- ・タイマ・チャンネル停止レジスタ 0 (TT0)
 チャンネル 0 のカウント動作を停止します。

略号: TT0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	TTH 03	0	TTH 01	0	0	0	0	0	TT03	TT02	TT01	TT00
0	0	0	0	x	0	x	0	0	0	0	0	x	x	x	1

ビット 0

TT0 0	チャンネル 0 の動作停止トリガ
1	TE00 ビットを 0 にクリアし、カウント動作停止状態になる。
1	動作停止(停止トリガ発生) チャンネル 1, 3 が 8 ビット・タイマ・モード時は、TT01, TT03 が下位側 8 ビット・タイマの動作停止トリガになります。

TAU 割り込み禁止

- ・割り込みマスク・フラグ・レジスタ (MK1L)
TAU 割り込みを禁止にします。

略号 : MK1L

7	6	5	4	3	2	1	0
TMMK03	TMMK02	TMMK01	TMMK00	IICAMK0	SREMK1 TMMK03H	SRMK1 CSIMK11 IICMK11	STMK1 CSIMK10 IICMK10
x	x	x	1	x	x	x	x

ビット 4

TMMK00	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

TAU 割り込み要求フラグクリア

- ・割り込み要求フラグ・レジスタ (IF1L)
TAU 割り込み要求フラグをクリアします。

略号 : IF1L

7	6	5	4	3	2	1	0
TMIF03	TMIF02	TMIF01	TMIF00	IICAIF0	SREIF1 TMIF03H	SRIF1 CSIIF11 IICIF11	STIF1 CSIIF10 IICIF10
x	x	x	0	x	x	x	x

ビット 4

TMIF00	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

5.9.20 TAU チャンネル 1 開始

図 5.26 に TAU チャンネル 1 開始のフローチャートを示します。

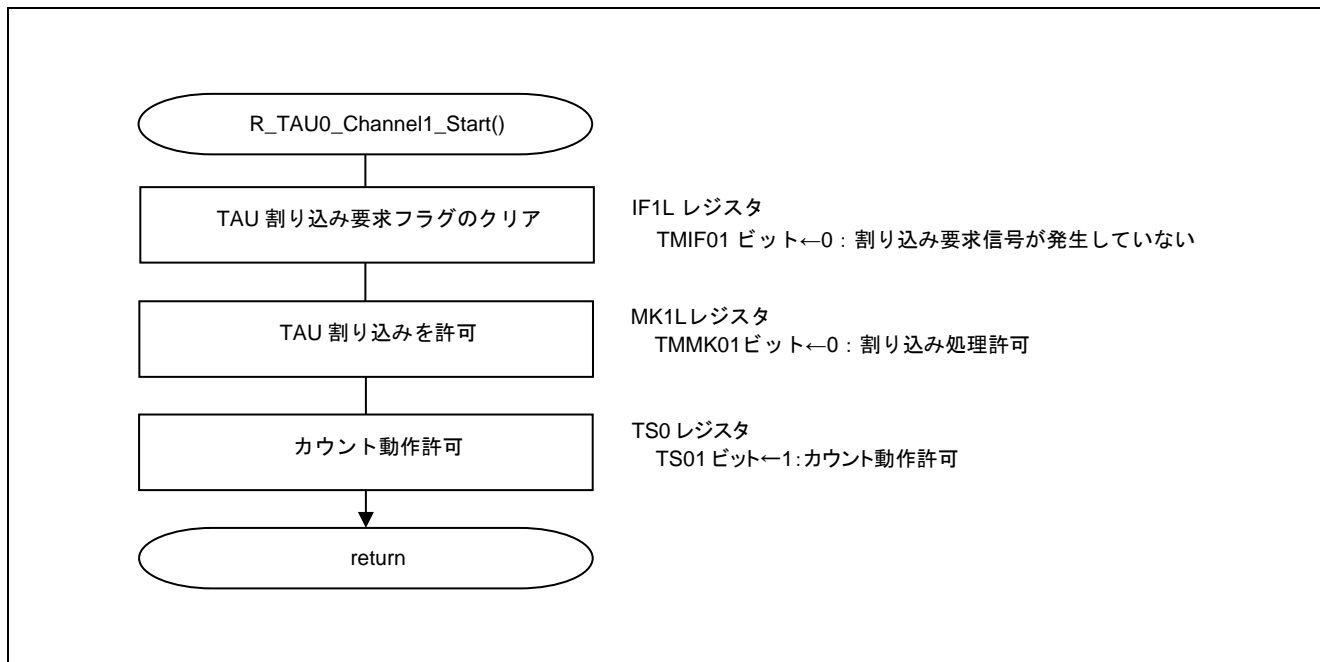


図 5.26 TAU チャンネル 1 開始

TAU 割り込み要求フラグクリア

- ・ 割り込み要求フラグ・レジスタ (IF1L)
TAU 割り込み要求フラグをクリアします。

略号 : IF1L

7	6	5	4	3	2	1	0
TMIF03	TMIF02	TMIF01	TMIF00	IICAIF0	SREIF1 TMIF03H	SRIF1 CSIF11 IICIF11	STIF1 CSIIF10 IICIF10
x	x	0	x	x	x	x	x

ビット 5

TMIF01	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

TAU 割り込み許可

- ・ 割り込みマスク・フラグ・レジスタ (MK1L)
TAU 割り込みを許可します。

略号 : MK1L

7	6	5	4	3	2	1	0
TMMK03	TMMK02	TMMK01	TMMK00	IICAMK0	SREMK1 TMMK03H	SRMK1 CSIMK11 IICMK11	STMK1 CSIMK10 IICMK10
x	x	0	x	x	x	x	x

ビット 5

TMMK01	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

タイマ・チャネルの開始

- ・ タイマ・チャネル開始レジスタ 0 (TS0)
チャネル 1 のカウント動作を開始します。

略号 : TS0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	TSH 03	0	TSH 01	0	0	0	0	0	TS03	TS02	TS01	TS00
0	0	0	0	x	x	x	0	0	0	0	0	x	x	1	x

ビット 1

TS0 1	チャネル 1 の動作許可(スタート)トリガ
0	トリガ動作しない
1	TE01 ビットを 1 にセットし, カウント動作許可状態になる。

5.9.21 TAU チャンネル 1 停止

図 5.27 に TAU チャンネル 1 停止のフローチャートを示します。

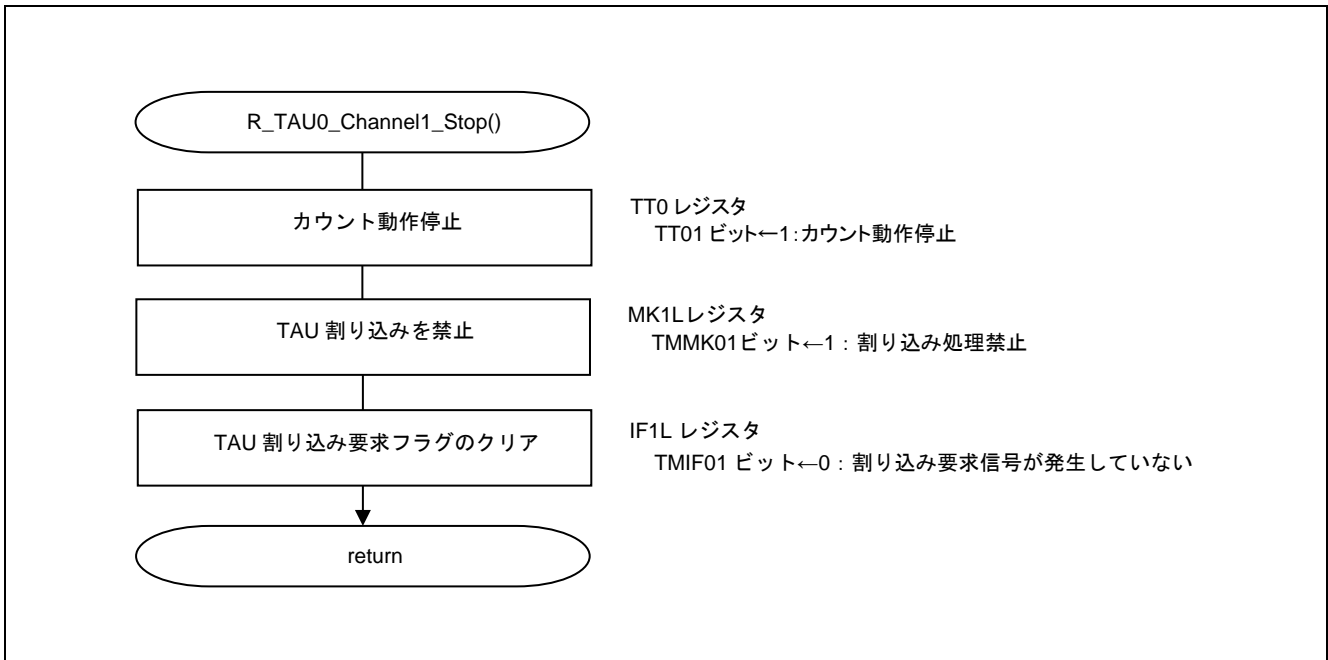


図 5.27 TAU チャンネル 1 停止

タイマ・チャンネルの停止

- ・タイマ・チャンネル停止レジスタ 0 (TT0)
 チャンネル 1 のカウント動作を停止します。

略号: TT0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	TTH 03	0	TTH 01	0	0	0	0	0	TT03	TT02	TT01	TT00
0	0	0	0	x	0	x	0	0	0	0	0	x	x	1	x

ビット 1

TT01	チャンネル 1 の動作停止トリガ
1	TE01 ビットを 0 にクリアし、カウント動作停止状態になる。
1	動作停止(停止トリガ発生) チャンネル 1, 3 が 8 ビット・タイマ・モード時は、TT01, TT03 が下位側 8 ビット・タイマの動作停止トリガになります。

TAU 割り込み禁止

- ・割り込みマスク・フラグ・レジスタ (MK1L)
TAU 割り込みを禁止にします。

略号 : MK1L

7	6	5	4	3	2	1	0
TMMK03	TMMK02	TMMK01	TMMK00	IICAMK0	SREMK1 TMMK03H	SRMK1 CSIMK11 IICMK11	STMK1 CSIMK10 IICMK10
x	x	1	x	x	x	x	x

ビット 5

TMMK01	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

TAU 割り込み要求フラグクリア

- ・割り込み要求フラグ・レジスタ (IF1L)
TAU 割り込み要求フラグをクリアします。

略号 : IF1L

7	6	5	4	3	2	1	0
TMIF03	TMIF02	TMIF01	TMIF00	IICAIF0	SREIF1 TMIF03H	SRIF1 CSIIF11 IICIF11	STIF1 CSIIF10 IICIF10
x	x	0	x	x	x	x	x

ビット 5

TMIF01	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

5.9.22 TAU チャンネル 0 割り込み

図 5.28 に TAU チャンネル 0 割り込みのフローチャートを示します。

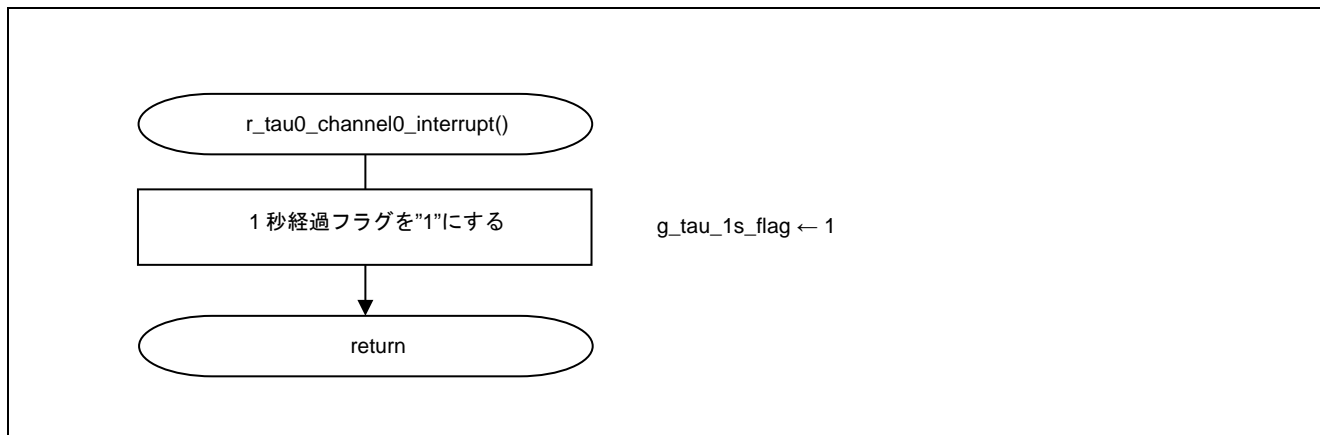


図 5.28 TAU チャンネル 0 割り込み

5.9.23 TAU チャンネル 1 割り込み

図 5.29 に TAU チャンネル 1 割り込みのフローチャートを示します。

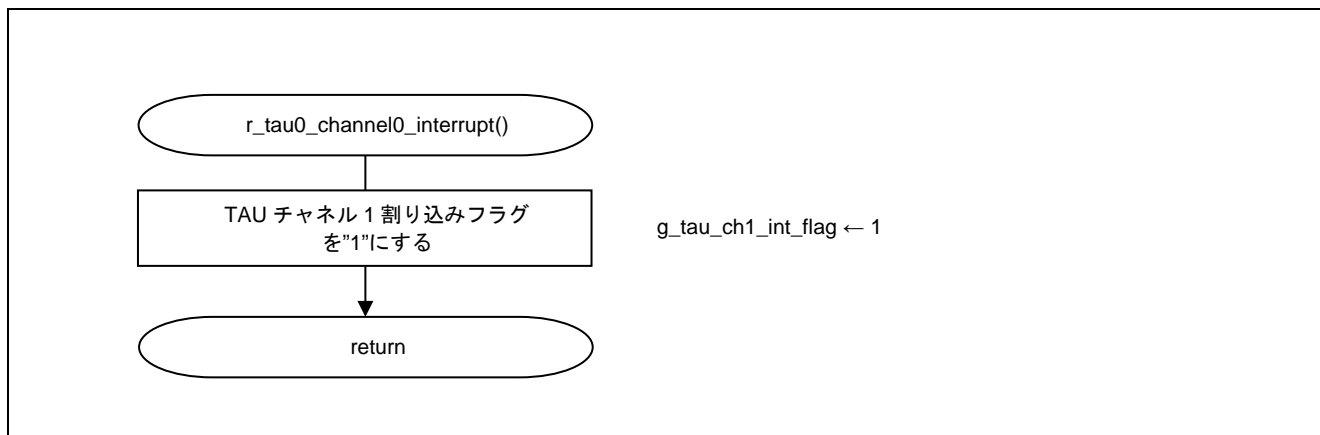


図 5.29 TAU チャンネル 1 割り込み

5.9.24 オフセット補正值設定

図 5.30 にオフセット補正值設定のフローチャートを示します。

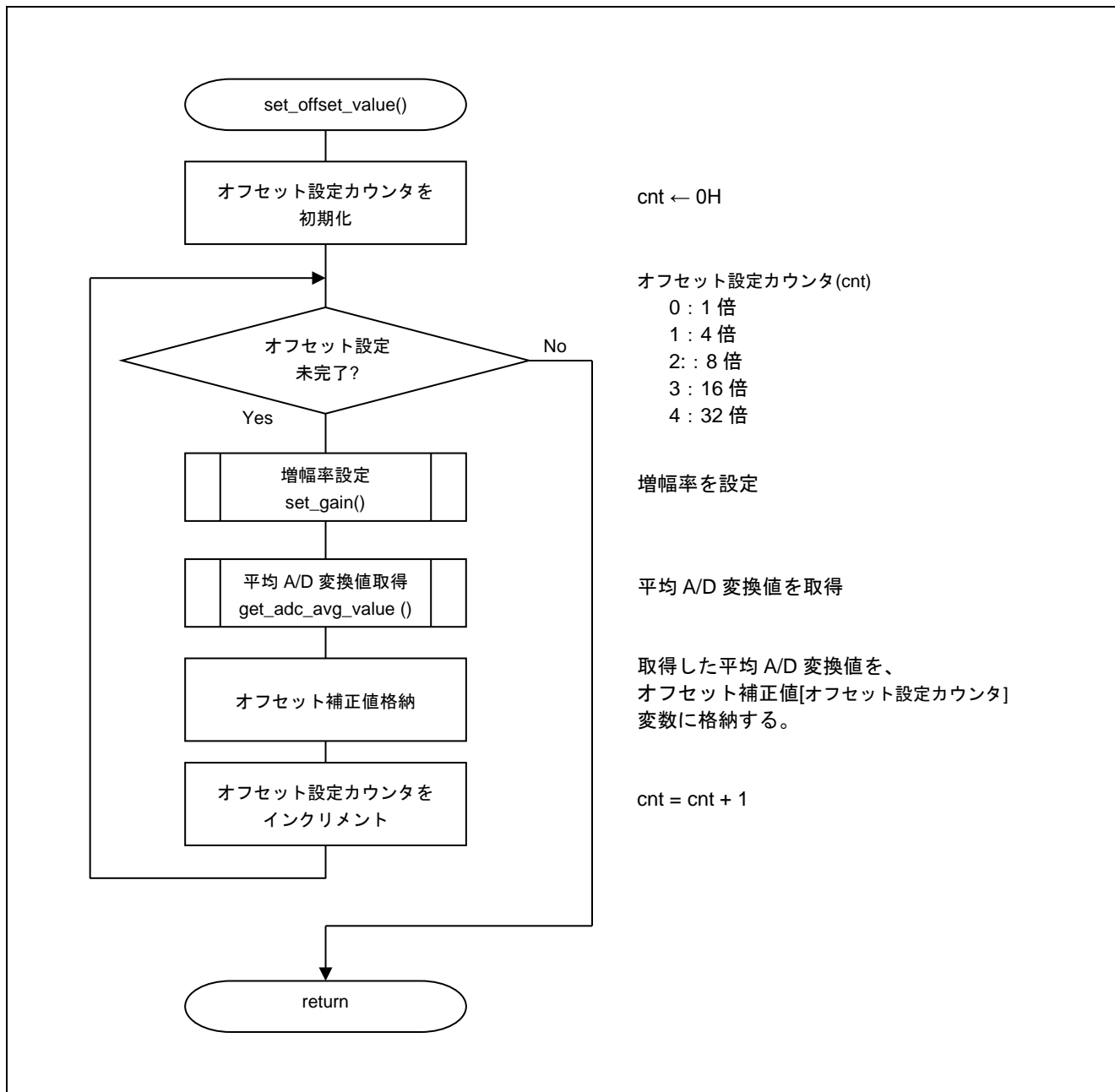


図 5.30 オフセット補正值設定

5.9.25 平均 A/D 変換値取得

図 5.31 に平均 A/D 変換値取得のフローチャートを示します。

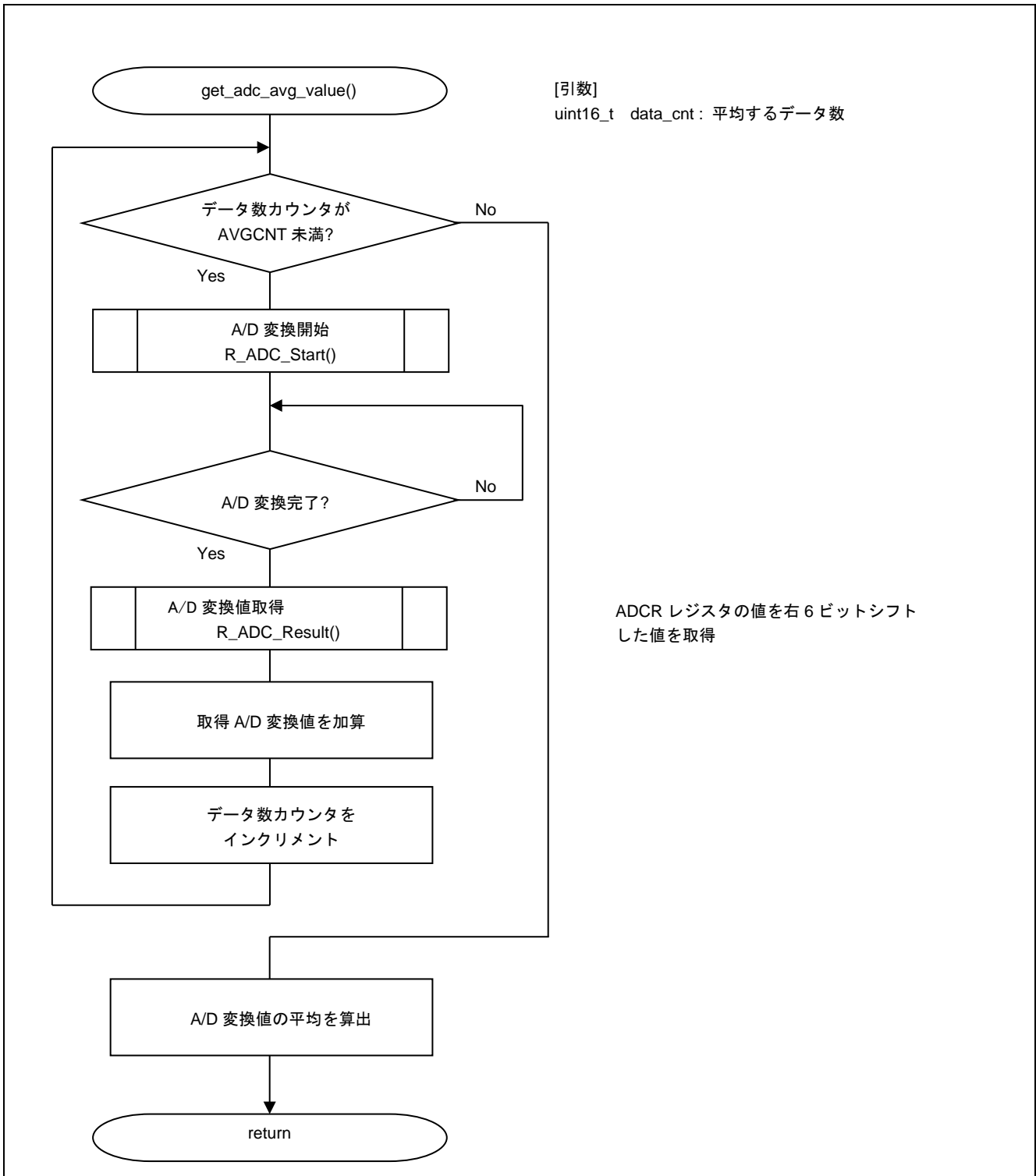


図 5.31 平均 A/D 変換値取得

5.9.26 入力電圧の A/D 変換値取得

図 5.32 に入力電圧の A/D 変換値取得のフローチャートを示します。

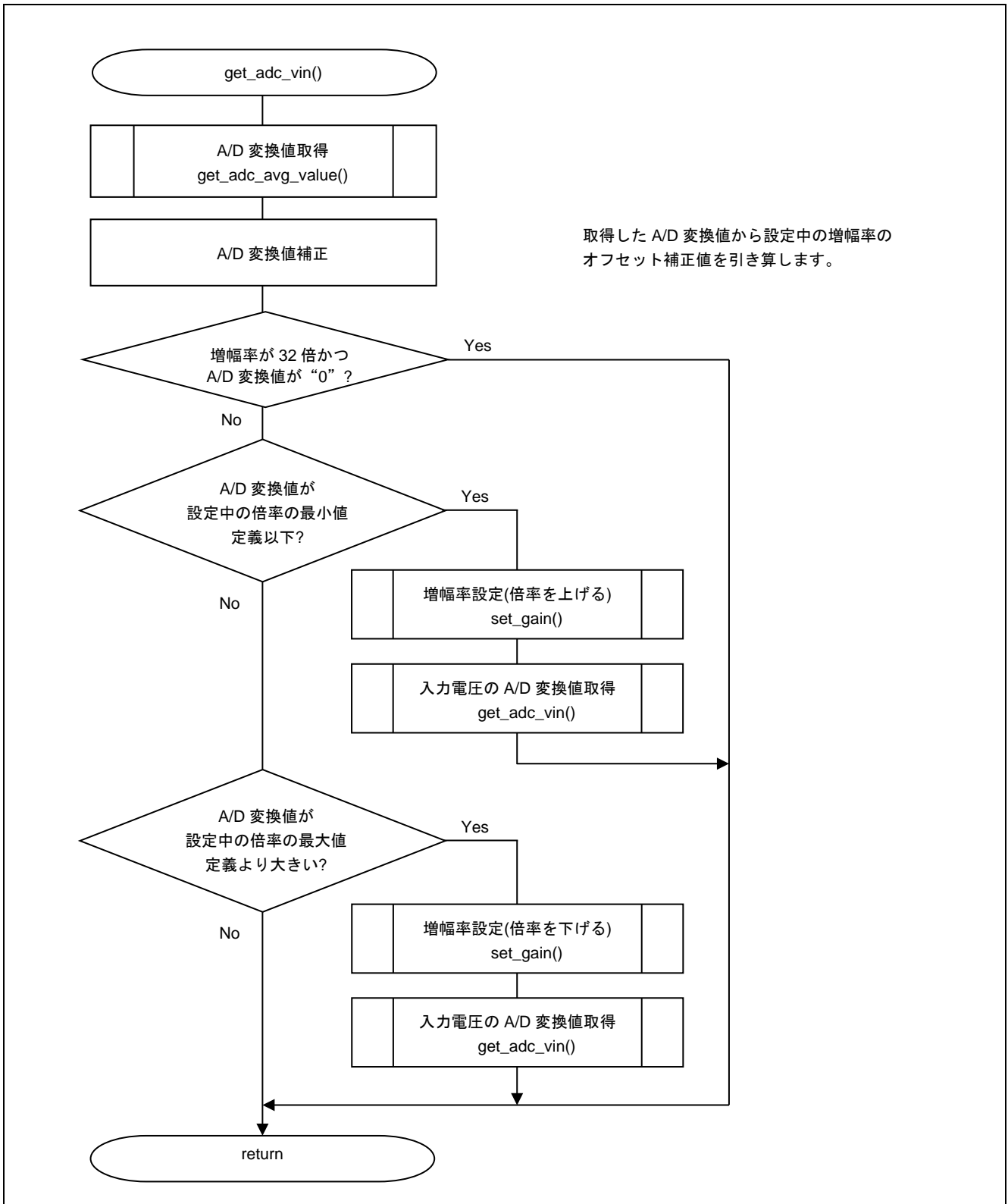


図 5.32 入力電圧の A/D 変換値取得

5.9.27 内部基準電圧の A/D 変換値取得

図 5.33 に内部基準電圧の A/D 変換値取得のフローチャートを示します。

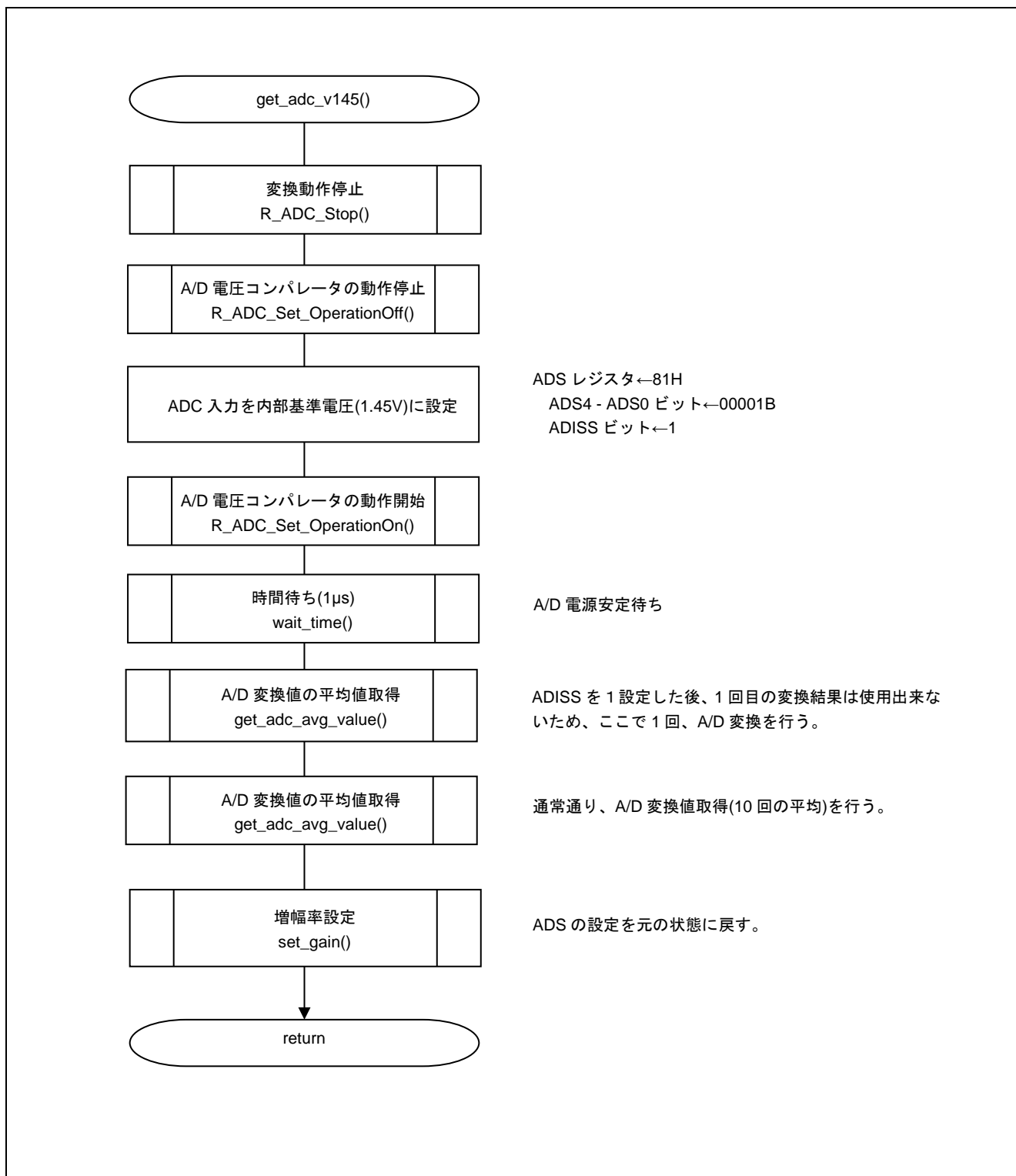


図 5.33 内部基準電圧の A/D 変換値取得

ADCの入力チャンネルを内部基準電圧出力(1.45V)に設定

- ・アナログ入力チャンネル指定レジスタ (ADS)
- A/D 変換するアナログ電圧の入力チャンネルを内部基準電圧出力(1.45V)に設定

略号 : ADS

	7	6	5	4	3	2	1	0
ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0	
	1	0	0	0	0	0	0	1

ビット7、4-0

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	選択チャンネル
0	0	0	0	0	0	ANI0
0	0	0	0	0	1	ANI1
0	0	0	0	1	0	ANI2
0	0	0	0	1	1	ANI3
0	0	0	1	0	0	ANI4
0	0	0	1	0	1	ANI5
0	0	0	1	1	0	ANI6
0	0	0	1	1	1	ANI7
0	1	0	0	0	0	ANI16
0	1	0	0	0	1	ANI17
0	1	0	0	1	0	ANI18
0	1	0	0	1	1	ANI19
0	1	0	1	0	0	ANI20
0	1	0	1	0	1	ANI21
0	1	0	1	1	0	ANI22
0	1	0	1	1	1	ANI23
0	1	1	0	0	0	ANI24
0	1	1	0	0	1	PGAOUT(PGA 出力)
1	0	0	0	0	0	温度センサ出力 ^{注1,2}
1	0	0	0	0	1	内部基準電圧出力(1.45V)^{注2}
上記以外						設定禁止

注1. コンパレータ 0 またはコンパレータ 1 のリファレンス電圧に内部基準電圧 (1.45 V) を選択している場合は、温度センサ出力を選択できません。

注2. HS (高速メイン) モードでのみ選択可能です。

5.9.28 増幅率設定

図 5.34、図 5.35 に増幅率設定のフローチャートを示します。

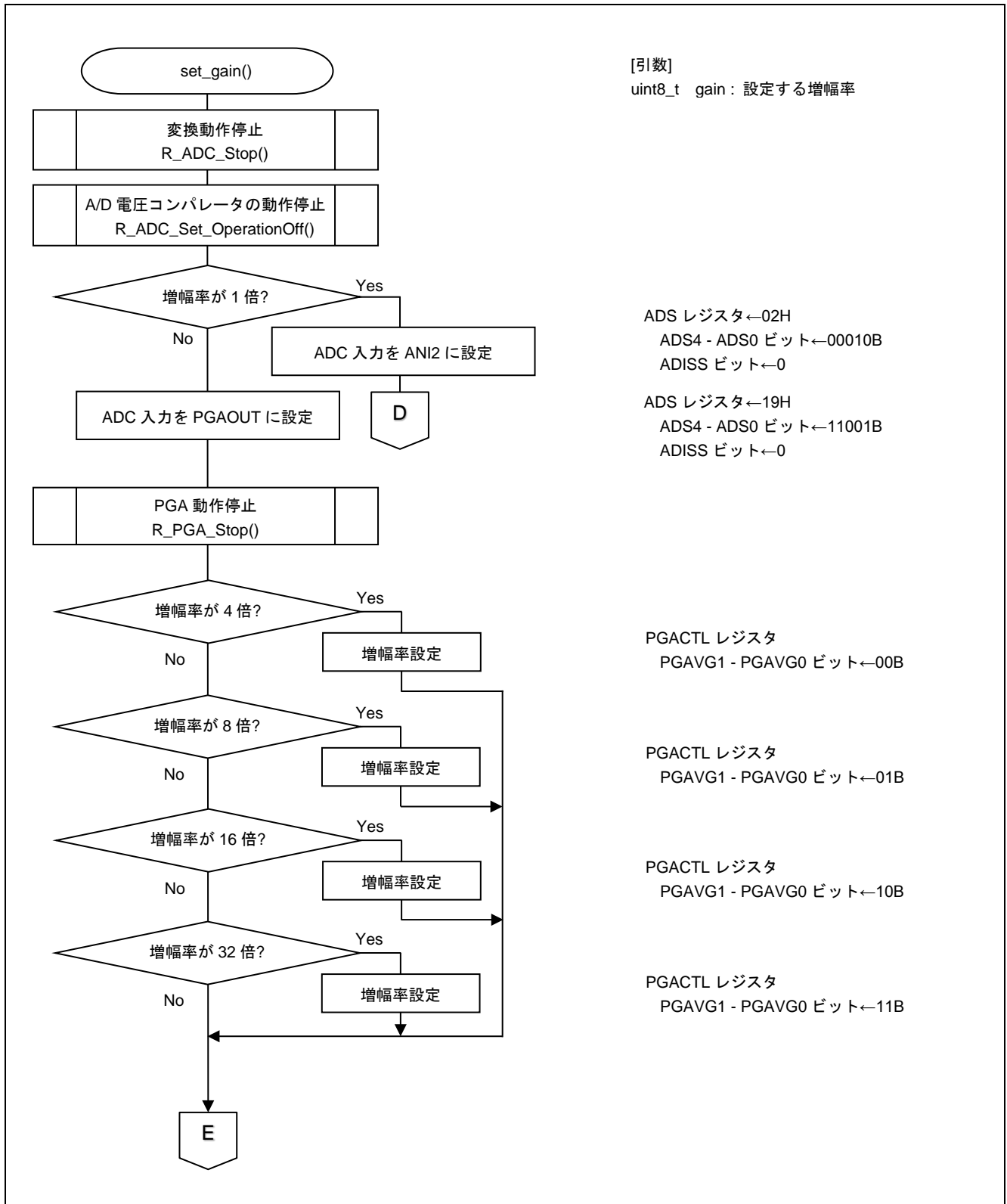


図 5.34 増幅率設定(1/2)

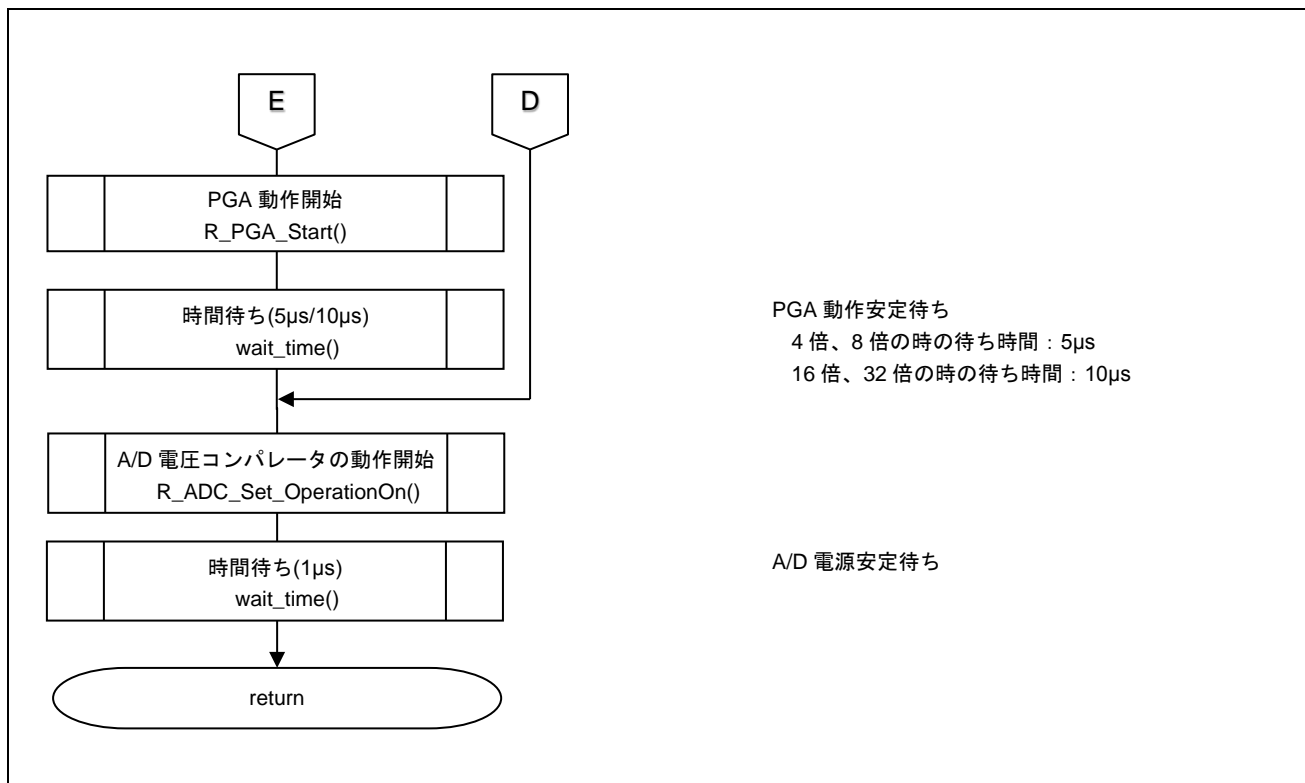


図 5.35 増幅率設定(2/2)

ADC の入力チャンネルを ANI2 に設定

- ・アナログ入力チャンネル指定レジスタ (ADS)
- A/D 変換するアナログ電圧の入力チャンネルをANI2に設定

略号 : ADS

	7	6	5	4	3	2	1	0
ADISS	0	0	0	ADS4	ADS3	ADS2	ADS1	ADS0
	0	0	0	0	0	0	1	0

ビット7、4-0

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	選択チャンネル
0	0	0	0	0	0	ANI0
0	0	0	0	0	1	ANI1
0	0	0	0	1	0	ANI2
0	0	0	0	1	1	ANI3
0	0	0	1	0	0	ANI4
0	0	0	1	0	1	ANI5
0	0	0	1	1	0	ANI6
0	0	0	1	1	1	ANI7
0	1	0	0	0	0	ANI16
0	1	0	0	0	1	ANI17
0	1	0	0	1	0	ANI18
0	1	0	0	1	1	ANI19
0	1	0	1	0	0	ANI20
0	1	0	1	0	1	ANI21
0	1	0	1	1	0	ANI22
0	1	0	1	1	1	ANI23
0	1	1	0	0	0	ANI24
0	1	1	0	0	1	PGAOUT(PGA 出力)
1	0	0	0	0	0	温度センサ出力 ^{注1,2}
1	0	0	0	0	1	内部基準電圧出力(1.45V) ^{注2}
上記以外						設定禁止

注1. コンパレータ 0 またはコンパレータ 1 のリファレンス電圧に内部基準電圧 (1.45 V) を選択している場合は、温度センサ出力を選択できません。

注2. HS (高速メイン) モードでのみ選択可能です。

ADCの入力チャンネルをPGAOUTに設定

- ・アナログ入力チャンネル指定レジスタ (ADS)
- A/D 変換するアナログ電圧の入力チャンネルをPGAOUTに設定

略号 : ADS

	7	6	5	4	3	2	1	0
ADISS	0	0	0	ADS4	ADS3	ADS2	ADS1	ADS0
	0	0	0	1	1	0	0	1

ビット7、4-0

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	選択チャンネル
0	0	0	0	0	0	ANI0
0	0	0	0	0	1	ANI1
0	0	0	0	1	0	ANI2
0	0	0	0	1	1	ANI3
0	0	0	1	0	0	ANI4
0	0	0	1	0	1	ANI5
0	0	0	1	1	0	ANI6
0	0	0	1	1	1	ANI7
0	1	0	0	0	0	ANI16
0	1	0	0	0	1	ANI17
0	1	0	0	1	0	ANI18
0	1	0	0	1	1	ANI19
0	1	0	1	0	0	ANI20
0	1	0	1	0	1	ANI21
0	1	0	1	1	0	ANI22
0	1	0	1	1	1	ANI23
0	1	1	0	0	0	ANI24
0	1	1	0	0	1	PGAOUT(PGA 出力)
1	0	0	0	0	0	温度センサ出力 ^{注1,2}
1	0	0	0	0	1	内部基準電圧出力(1.45V) ^{注2}
上記以外						設定禁止

注1. コンパレータ 0 またはコンパレータ 1 のリファレンス電圧に内部基準電圧 (1.45 V) を選択している場合は、温度センサ出力を選択できません。

注2. HS (高速メイン) モードでのみ選択可能です。

PGA 動作停止・増幅率設定(4倍の場合)

- PGA制御レジスタ (PGACTL)
GAIN(ゲイン)を4倍に設定します。

略号 : PGACTL

	7	6	5	4	3	2	1	0
PGAEN	0	0	0	0	PVRVS	0	PGAVG1	PGAVG0
x	0	0	0	0	x	0	0	0

ビット 1-0

PGAVG1	PGAVG0	機能
0	0	4倍
0	1	8倍
1	0	16倍
1	1	32倍

PGA 動作停止・増幅率設定(8倍の場合)

- PGA制御レジスタ (PGACTL)
GAIN(ゲイン)を8倍に設定します。

略号 : PGACTL

	7	6	5	4	3	2	1	0
PGAEN	0	0	0	0	PVRVS	0	PGAVG1	PGAVG0
x	0	0	0	0	x	0	0	1

ビット 1-0

PGAVG1	PGAVG0	機能
0	0	4倍
0	1	8倍
1	0	16倍
1	1	32倍

PGA 動作停止・増幅率設定(16倍の場合)

- PGA制御レジスタ (PGACTL)
GAIN(ゲイン)を16倍に設定します。

略号 : PGACTL

	7	6	5	4	3	2	1	0
PGAEN	0	0	0	0	PVRVS	0	PGAVG1	PGAVG0
x	0	0	0	0	x	0	1	0

ビット 1-0

PGAVG1	PGAVG0	機能
0	0	4倍
0	1	8倍
1	0	16倍
1	1	32倍

PGA 動作停止・増幅率設定(32倍の場合)

- PGA制御レジスタ (PGACTL)
GAIN(ゲイン)を32倍に設定します。

略号 : PGACTL

	7	6	5	4	3	2	1	0
PGAEN	0	0	0	0	PVRVS	0	PGAVG1	PGAVG0
x	0	0	0	0	x	0	1	1

ビット 1-0

PGAVG1	PGAVG0	機能
0	0	4倍
0	1	8倍
1	0	16倍
1	1	32倍

5.9.29 電流値算出

図 5.36 に電流値算出のフローチャートを示します。

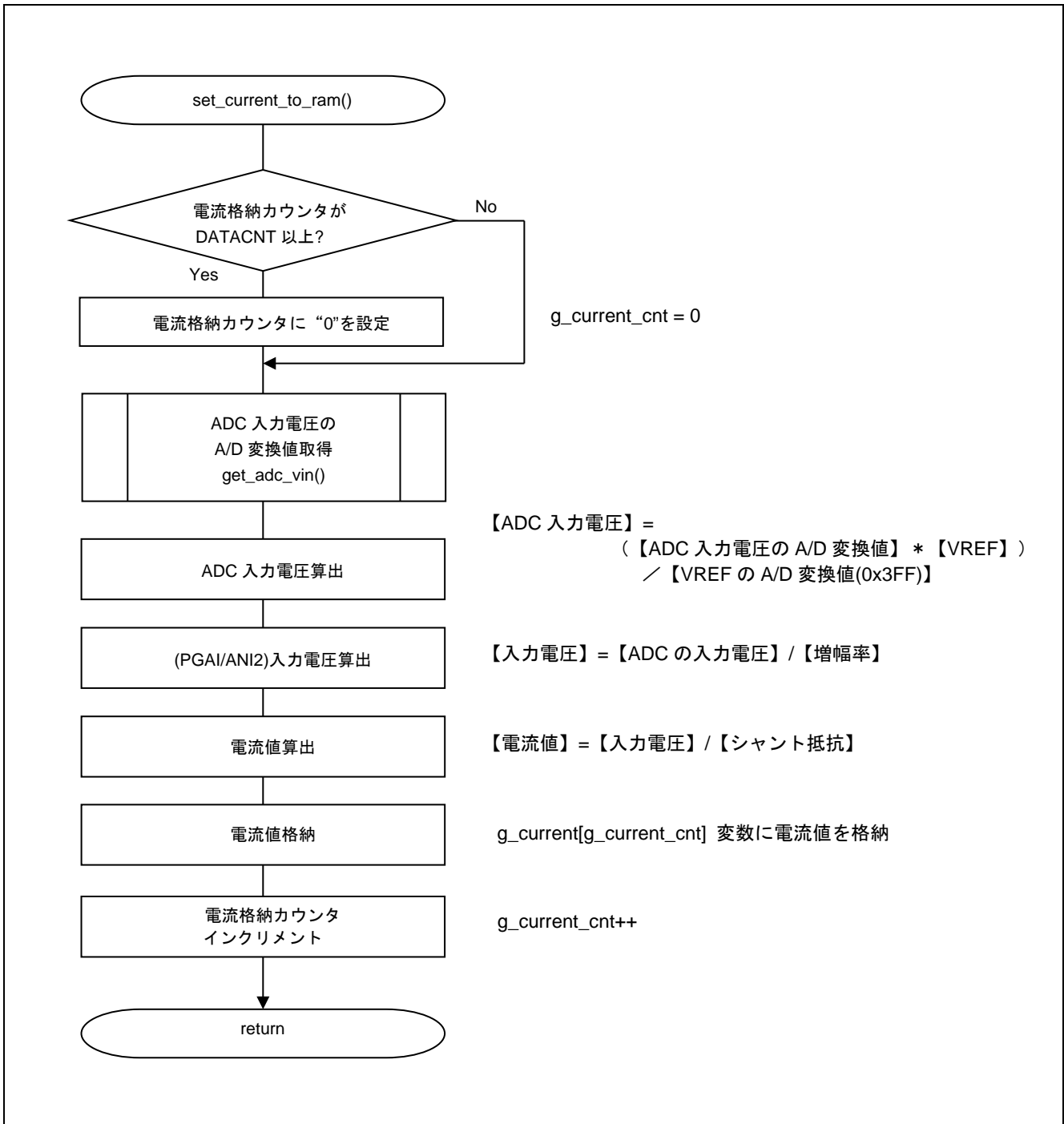


図 5.36 電流値算出

5.9.30 時間待ち

図 5.37 に時間待ちのフローチャートを示します。

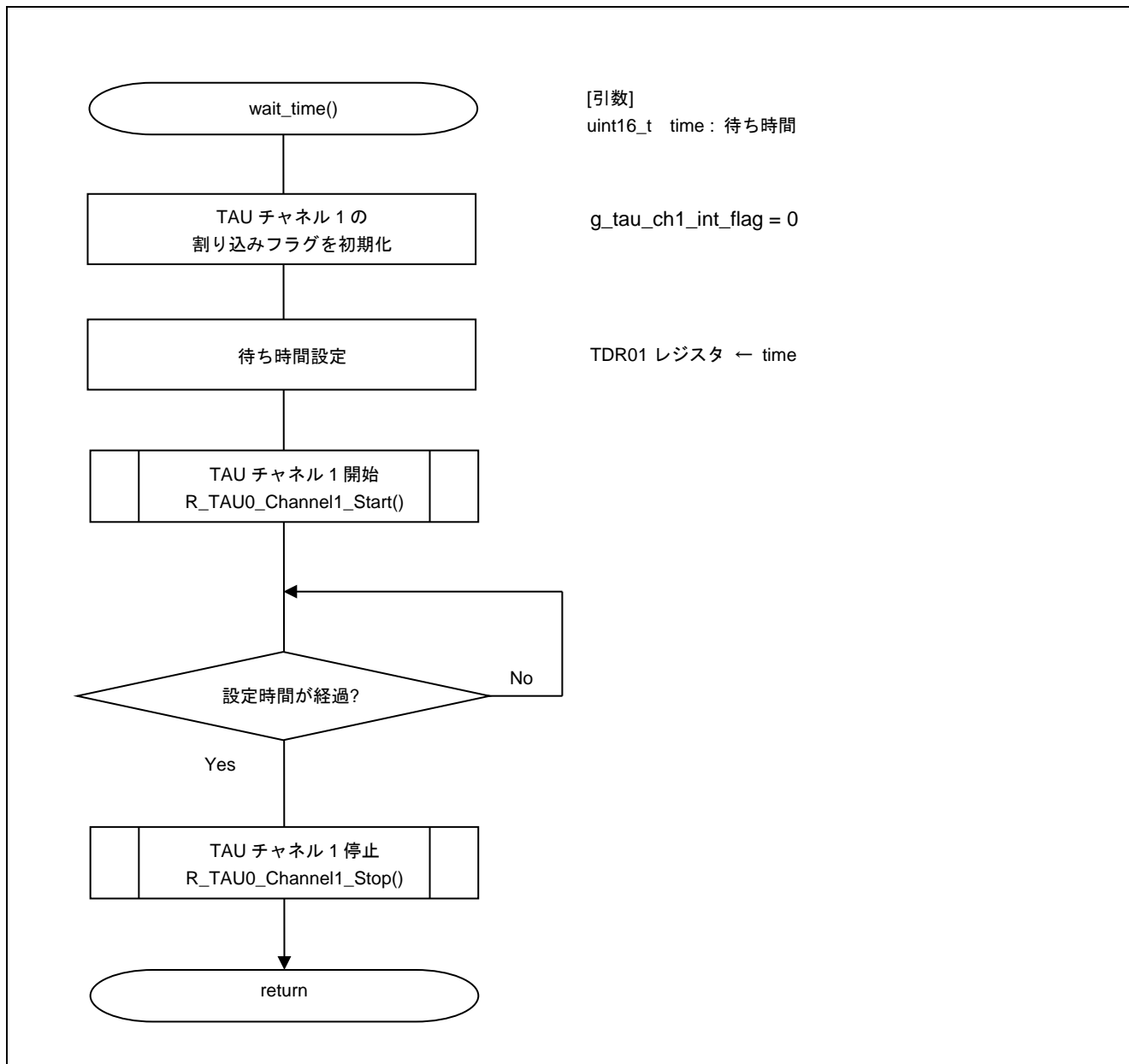


図 5.37 時間待ち

6. サンプルコード

サンプルコードは、ルネサス エレクトロニクスホームページから入手してください。

7. 参考ドキュメント

RL78/G1F ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0516J)

RL78 ファミリ ユーザーズマニュアル ソフトウェア編 Rev.2.20 (R01US0015J)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート/テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

改訂記録	RL78/G1F プログラマブル・ゲイン・アンプ(PGA)を用いた電流測定
------	---

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.09.24	—	初版発行
2.00	2016.2.10	p.5	第二版発行 IAR/e2studio コンパイラ対応による動作確認条件の変更

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>