

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲3-2-24 豊洲フォレシア  
ルネサス エレクトロニクス株式会社  
問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

| 製品分類 |                                              | MPU & MCU | 発行番号   | TN-RX*-A0258A/J | Rev.                                                           | 第1版 |
|------|----------------------------------------------|-----------|--------|-----------------|----------------------------------------------------------------|-----|
| 題名   | RX140 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 の誤記訂正 |           |        | 情報分類            | 技術情報                                                           |     |
| 適用製品 | RX140 グループ                                   |           | 対象ロット等 | 関連資料            | RX140 グループ ユーザーズマニュアル<br>ハードウェア編 Rev.1.00<br>(R01UH0905JJ0100) |     |
|      |                                              |           | 全ロット   |                 |                                                                |     |

RX140 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 において誤記がありましたので、以下のとおり訂正いたします。

## •Page 43 of 1520

特長章の消費電力低減機能において、ソフトウェアスタンバイモード時の消費電流と、ソフトウェアスタンバイからの復帰時間の条件を以下のとおり訂正いたします。

### 【変更前】

#### ■消費電力低減機能

- 1.8V ～ 5.5V 動作の単一電源
- 4 種類の低消費電力モード
- ソフトウェアスタンバイ 中も動作可能なローパワータイマを搭載
- 消費電流  
高速動作モード：58 $\mu$ A/MHz  
ソフトウェアスタンバイモード：0.21 $\mu$ A (typ.  $T_a = 25^{\circ}\text{C}$ )
- ソフトウェアスタンバイからの復帰時間：6.2 $\mu$ s (クロックソース：HOCO 32MHz 選択時)

### 【変更後】

#### ■消費電力低減機能

- 1.8V ～ 5.5V 動作の単一電源
- 4 種類の低消費電力モード
- ソフトウェアスタンバイ 中も動作可能なローパワータイマを搭載
- 消費電流  
高速動作モード：58 $\mu$ A/MHz  
ソフトウェアスタンバイモード：0.25 $\mu$ A (typ.) ( $T_a = 25^{\circ}\text{C}$ )
- ソフトウェアスタンバイからの復帰時間：6.2 $\mu$ s (typ.)  
(クロックソース：HOCO 32MHz 選択時、 $T_a = 25^{\circ}\text{C}$ )

•Page 183 of 1520

「9.2.15 CLKOUT 出力コントロールレジスタ (CKOCR)」において、CKOSEL[3:0] ビットの選択肢に以下のとおり CTSU 内部クロックを追加いたします。

【変更前】

| ビット    | シンボル        | ビット名              | 機能                                                                                                                                 | R/W |
|--------|-------------|-------------------|------------------------------------------------------------------------------------------------------------------------------------|-----|
| b11-b8 | CKOSEL[3:0] | CLKOUT 出力ソース選択ビット | b11    b8<br>0 0 0 0 : LOCOクロック<br>0 0 0 1 : HOCOクロック<br>0 0 1 0 : メインクロック<br>0 0 1 1 : サブクロック<br>0 1 0 0 : PLL<br>上記以外は設定しないでください | R/W |

【変更後】

| ビット    | シンボル        | ビット名              | 機能                                                                                                                                                                | R/W |
|--------|-------------|-------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|
| b11-b8 | CKOSEL[3:0] | CLKOUT 出力ソース選択ビット | b11    b8<br>0 0 0 0 : LOCOクロック<br>0 0 0 1 : HOCOクロック<br>0 0 1 0 : メインクロック<br>0 0 1 1 : サブクロック<br>0 1 0 0 : PLL<br><b>1 0 0 0 : CTSU内部クロック</b><br>上記以外は設定しないでください | R/W |

# •Page 283 of 1520

「表 14.3 割り込みベクタテーブル (3/6)」において、真性乱数生成器のモジュールシンボルと割り込みシンボルを以下のとおり訂正いたします。

## 【変更前】

表 14.3 割り込みのベクタテーブル (3/6)

| 割り込み<br>要求発生元 | 名称      | ベクタ<br>番号 (注1) | ベクタ<br>アドレス<br>オフセット | 割り込み<br>検出方法 | CPU 割り込み | DTC 起動 | SSBY 復帰 | IER        | IPR    | DTCER    |
|---------------|---------|----------------|----------------------|--------------|----------|--------|---------|------------|--------|----------|
| (省略)          |         |                |                      |              |          |        |         |            |        |          |
| TRNG          | TRNGRDI | 113            | 01C4h                | エッジ          | ○        | ○      | ×       | IER0E.IEN1 | IPR113 | DTCER113 |
| (省略)          |         |                |                      |              |          |        |         |            |        |          |

## 【変更後】

表 14.3 割り込みのベクタテーブル (3/6)

| 割り込み<br>要求発生元 | 名称     | ベクタ<br>番号 (注1) | ベクタ<br>アドレス<br>オフセット | 割り込み<br>検出方法 | CPU 割り込み | DTC 起動 | SSBY 復帰 | IER        | IPR    | DTCER    |
|---------------|--------|----------------|----------------------|--------------|----------|--------|---------|------------|--------|----------|
| (省略)          |        |                |                      |              |          |        |         |            |        |          |
| RNG           | RNGRDI | 113            | 01C4h                | エッジ          | ○        | ○      | ×       | IER0E.IEN1 | IPR113 | DTCER113 |
| (省略)          |        |                |                      |              |          |        |         |            |        |          |

# •Page 1312 of 1520

「35.8.3 A/D 変換強制停止と開始時のタイミング」を、以下のとおり訂正いたします。

## 【変更前】

12 ビット A/D コンバータのアナログ部が停止した状態で ADCSR.ADST ビットを“1”に設定し 12 ビット A/D コンバータのアナログ部が動作を開始するのに ADCLK で最大 6 クロックの時間を必要とします。ADCSR.ADST ビットを“0”に設定して A/D 変換を強制停止させると、12 ビット A/D コンバータのアナログ部が動作を停止するのに、ADCLK で最大 3 クロックの時間を必要とします。

## 【変更後】

12 ビット A/D コンバータのアナログ部が停止した状態で ADCSR.ADST ビットを“1”に設定し 12 ビット A/D コンバータのアナログ部が動作を開始するのに ADCLK で最大 6 クロックの時間を必要とします。ADCSR.ADST ビットを“0”に設定して A/D 変換を強制停止させると、12 ビット A/D コンバータのアナログ部が動作を停止するのに、ADCLK で最大 3 クロック (ADCLK が PCLKB より高速な場合 (PCLKB : ADCLK 周波数比 = 1 : 2 の設定) では、最大 1 PCLKB + 2 ADCLK) の時間を必要とします。

•Page 1449 of 1520

「表 42.12 DC 特性 (9)」の条件を、以下のとおり訂正いたします。

【変更前】

表 42.12 DC 特性 (9)

条件:  $1.8V \leq VCC \leq 5.5V$ ,  $1.8V \leq AVCC0 \leq 5.5V$ ,  $VSS = AVSS0 = 0V$ ,  $T_a = -40 \sim +105^{\circ}C$

| 項目                   |                           | 記号    | min  | typ | max | 単位   | 測定条件 |
|----------------------|---------------------------|-------|------|-----|-----|------|------|
| 電源投入時<br>VCC 立ち上がり勾配 | 通常起動時 (注1)                | SrVCC | 0.02 | —   | 20  | ms/V |      |
|                      | 起動時間短縮時 (注2)              |       | 0.02 | —   | 2   |      |      |
|                      | 起動時電圧監視 0 リセット有効時 (注3、注4) |       | 0.02 | —   | —   |      |      |

【変更後】

表 42.12 DC 特性 (9)

条件:  $0V \leq VCC \leq 5.5V$ ,  $0V \leq AVCC0 \leq 5.5V$ ,  $VSS = AVSS0 = 0V$ ,  $T_a = -40 \sim +105^{\circ}C$

| 項目                   |                           | 記号    | min  | typ | max | 単位   | 測定条件 |
|----------------------|---------------------------|-------|------|-----|-----|------|------|
| 電源投入時<br>VCC 立ち上がり勾配 | 通常起動時 (注1)                | SrVCC | 0.02 | —   | 20  | ms/V |      |
|                      | 起動時間短縮時 (注2)              |       | 0.02 | —   | 2   |      |      |
|                      | 起動時電圧監視 0 リセット有効時 (注3、注4) |       | 0.02 | —   | —   |      |      |

•Page 1452 of 1520

「表 42.15 出力許容電流値 (2)」において、出力 Low レベル許容電流 2 行目の PJ7 を以下のとおり PG7 に訂正いたします。

【変更前】

表 42.17 出力許容電流値 (2)

条件:  $1.8V \leq VCC \leq 5.5V$ ,  $1.8V \leq AVCC0 \leq 5.5V$ ,  $VSS = AVSS0 = 0V$ ,  $T_a = -40 \sim +105^\circ C$

| 項目           |                                                                            | 記号              | max | 単位 |
|--------------|----------------------------------------------------------------------------|-----------------|-----|----|
| 出力Lowレベル許容電流 | P03～P07、<br>P40～P47、<br>PJ6、PJ7の合計                                         | $\Sigma I_{OL}$ | 30  | mA |
|              | P12～P17、<br>P20、P21、P26～P27、<br>P30～P32、P34～P37、<br>PH2、PH3、<br>PJ1、PJ7の合計 |                 | 30  |    |
|              | P54、P55、<br>PB0～PB7、<br>PC2～PC7、<br>PH0、PH1の合計                             |                 | 30  |    |
|              | PA0～PA6、<br>PD0～PD2、<br>PE0～PE5の合計                                         |                 | 30  |    |
|              | 全出力端子の総和                                                                   |                 | 60  |    |

【変更後】

表 42.17 出力許容電流値 (2)

条件:  $1.8V \leq VCC \leq 5.5V$ ,  $1.8V \leq AVCC0 \leq 5.5V$ ,  $VSS = AVSS0 = 0V$ ,  $T_a = -40 \sim +105^\circ C$

| 項目           |                                                                            | 記号              | max | 単位 |
|--------------|----------------------------------------------------------------------------|-----------------|-----|----|
| 出力Lowレベル許容電流 | P03～P07、<br>P40～P47、<br>PJ6、PJ7の合計                                         | $\Sigma I_{OL}$ | 30  | mA |
|              | P12～P17、<br>P20、P21、P26～P27、<br>P30～P32、P34～P37、<br>PG7、PH2、PH3、<br>PJ1の合計 |                 | 30  |    |
|              | P54、P55、<br>PB0～PB7、<br>PC2～PC7、<br>PH0、PH1の合計                             |                 | 30  |    |
|              | PA0～PA6、<br>PD0～PD2、<br>PE0～PE5の合計                                         |                 | 30  |    |
|              | 全出力端子の総和                                                                   |                 | 60  |    |

•Page 1457 of 1520

「表 42.30 クロックタイミング」において、HOCO 発振周波数誤差に以下のとおり脚注を追加いたします。

【変更前】

表 42.30 クロックタイミング

条件:  $1.8V \leq VCC \leq 5.5V$ ,  $1.8V \leq AVCC0 \leq 5.5V$ ,  $VSS = AVSS0 = 0V$ ,  $T_a = -40 \sim +105^\circ C$

| 項目              | 記号                | min | typ        | max       | 単位      | 測定条件                          |
|-----------------|-------------------|-----|------------|-----------|---------|-------------------------------|
| (省略)            |                   |     |            |           |         |                               |
| HOCO 発振周波数      | $f_{HOCO}$        | —   | 24, 32, 48 | —         | MHz     |                               |
| HOCO 発振周波数誤差    | $\Delta f_{HOCO}$ | —   | —          | $\pm 1.5$ | %       | $T_a = -40 \sim -20^\circ C$  |
|                 |                   | —   | —          | $\pm 1.0$ |         | $T_a = -20 \sim +85^\circ C$  |
|                 |                   | —   | —          | $\pm 2.0$ |         | $T_a = +85 \sim +105^\circ C$ |
| HOCO クロック発振安定時間 | $t_{HOCO}$        | —   | —          | 4.95      | $\mu s$ | 図 42.13                       |
| (省略)            |                   |     |            |           |         |                               |

注1. メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)にしてから、使用できるまでの時間です。

注2. 8MHzの発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。

MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

注3. 32.768kHzの発振子を使用した参考値です。

SOSCCR.SOSTPビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定時間として発振子メーカーが推奨する安定時間以上の時間が経過した後、サブクロックの使用を開始してください。

注4. 32.768kHzのみ使用可能です。

【変更後】

表 42.30 クロックタイミング

条件:  $1.8V \leq VCC \leq 5.5V$ ,  $1.8V \leq AVCC0 \leq 5.5V$ ,  $VSS = AVSS0 = 0V$ ,  $T_a = -40 \sim +105^\circ C$

| 項目                | 記号                | min | typ        | max       | 単位      | 測定条件                          |
|-------------------|-------------------|-----|------------|-----------|---------|-------------------------------|
| (省略)              |                   |     |            |           |         |                               |
| HOCO 発振周波数        | $f_{HOCO}$        | —   | 24, 32, 48 | —         | MHz     |                               |
| HOCO 発振周波数誤差 (注5) | $\Delta f_{HOCO}$ | —   | —          | $\pm 1.5$ | %       | $T_a = -40 \sim -20^\circ C$  |
|                   |                   | —   | —          | $\pm 1.0$ |         | $T_a = -20 \sim +85^\circ C$  |
|                   |                   | —   | —          | $\pm 2.0$ |         | $T_a = +85 \sim +105^\circ C$ |
| HOCO クロック発振安定時間   | $t_{HOCO}$        | —   | —          | 4.95      | $\mu s$ | 図 42.13                       |
| (省略)              |                   |     |            |           |         |                               |

注1. メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)にしてから、使用できるまでの時間です。

注2. 8MHzの発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。

MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

注3. 32.768kHzの発振子を使用した参考値です。

SOSCCR.SOSTPビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定時間として発振子メーカーが推奨する安定時間以上の時間が経過した後、サブクロックの使用を開始してください。

注4. 32.768kHzのみ使用可能です。

注5. 出荷テスト時の精度です。

•Page 1486 of 1520

「表 42.51 A/D 変換特性 (2)」において、積分非直線性誤差の最大値を以下のとおり訂正いたします。

【変更前】

表 42.51 A/D 変換特性 (2)

条件:  $2.4V \leq VCC \leq 5.5V$ ,  $2.4V \leq VREFH0 = AVCC0 \leq 5.5V$  (注1),  $VSS = AVSS0 = VREFL0 = 0V$ ,  $T_a = -40 \sim +105^\circ C$ , 信号源インピーダンス =  $1.3k\Omega$   
VREFH0を基準電圧にしたとき

| 項目           | min | typ       | max | 単位  | 測定条件 |
|--------------|-----|-----------|-----|-----|------|
| (省略)         |     |           |     |     |      |
| INL 積分非直線性誤差 | —   | $\pm 1.5$ | 3.0 | LSB |      |

【変更後】

表 42.51 A/D 変換特性 (2)

条件:  $2.4V \leq VCC \leq 5.5V$ ,  $2.4V \leq VREFH0 = AVCC0 \leq 5.5V$  (注1),  $VSS = AVSS0 = VREFL0 = 0V$ ,  $T_a = -40 \sim +105^\circ C$ , 信号源インピーダンス =  $1.3k\Omega$   
VREFH0を基準電圧にしたとき

| 項目           | min | typ       | max       | 単位  | 測定条件 |
|--------------|-----|-----------|-----------|-----|------|
| (省略)         |     |           |           |     |      |
| INL 積分非直線性誤差 | —   | $\pm 1.5$ | $\pm 3.0$ | LSB |      |

•Page 1489 of 1520

「表 42.54 A/D 変換特性 (5)」において、積分非直線性誤差の標準値を以下のとおり訂正いたします。

【変更前】

表 42.54 A/D 変換特性 (5)

条件:  $1.8V \leq VCC \leq 5.5V$ ,  $1.8V \leq VREFH0 = AVCC0 \leq 5.5V$  (注1),  $VSS = AVSS0 = VREFL0 = 0V$ ,  $T_a = -40 \sim +105^\circ C$ , 信号源インピーダンス =  $5k\Omega$   
VREFH0を基準電圧にしたとき

| 項目           | min | typ       | max       | 単位  | 測定条件 |
|--------------|-----|-----------|-----------|-----|------|
| (省略)         |     |           |           |     |      |
| INL 積分非直線性誤差 | —   | $\pm 1.0$ | $\pm 3.5$ | LSB |      |

【変更後】

表 42.54 A/D 変換特性 (5)

条件:  $1.8V \leq VCC \leq 5.5V$ ,  $1.8V \leq VREFH0 = AVCC0 \leq 5.5V$  (注1),  $VSS = AVSS0 = VREFL0 = 0V$ ,  $T_a = -40 \sim +105^\circ C$ , 信号源インピーダンス =  $5k\Omega$   
VREFH0を基準電圧にしたとき

| 項目           | min | typ       | max       | 単位  | 測定条件 |
|--------------|-----|-----------|-----------|-----|------|
| (省略)         |     |           |           |     |      |
| INL 積分非直線性誤差 | —   | $\pm 1.5$ | $\pm 3.5$ | LSB |      |

•Page 1503 of 1520

「表 42.69 E2 データフラッシュ特性 (2) 高速動作モード」において、データフラッシュ STOP 解除時間の単位を以下のとおり訂正いたします。

【変更前】

表 42.69 E2 データフラッシュ特性 (2) 高速動作モード  
条件:  $1.8V \leq VCC \leq 5.5V$ ,  $1.8V \leq AVCC0 \leq 5.5V$ ,  $VSS = AVSS0 = 0V$   
プログラム/イレーズ時の動作温度範囲:  $T_a = -40 \sim +105^{\circ}C$

| 項目                 | 記号                 | FCLK = 1MHz |     |     | FCLK = 32MHz |     |     | FCLK = 48MHz |     |     | 単位 |
|--------------------|--------------------|-------------|-----|-----|--------------|-----|-----|--------------|-----|-----|----|
|                    |                    | min         | typ | max | min          | typ | max | min          | typ | max |    |
| ( 省略 )             |                    |             |     |     |              |     |     |              |     |     |    |
| データフラッシュ STOP 解除時間 | t <sub>DSTOP</sub> | 250         | —   | —   | 250          | —   | —   | 250          | —   | —   | μs |

【変更後】

表 42.69 E2 データフラッシュ特性 (2) 高速動作モード  
条件:  $1.8V \leq VCC \leq 5.5V$ ,  $1.8V \leq AVCC0 \leq 5.5V$ ,  $VSS = AVSS0 = 0V$   
プログラム/イレーズ時の動作温度範囲:  $T_a = -40 \sim +105^{\circ}C$

| 項目                 | 記号                 | FCLK = 1MHz |     |     | FCLK = 32MHz |     |     | FCLK = 48MHz |     |     | 単位 |
|--------------------|--------------------|-------------|-----|-----|--------------|-----|-----|--------------|-----|-----|----|
|                    |                    | min         | typ | max | min          | typ | max | min          | typ | max |    |
| ( 省略 )             |                    |             |     |     |              |     |     |              |     |     |    |
| データフラッシュ STOP 解除時間 | t <sub>DSTOP</sub> | 250         | —   | —   | 250          | —   | —   | 250          | —   | —   | ns |

以上