

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RL*-A031A/J	Rev.	1 版
題名	誤記訂正通知 RL78/L13 ユーザーズマニュアル Rev.2.00 の記載変更		情報分類	技術情報	
適用製品	RL78/L13 グループ	対象ロット等 全ロット	関連資料	RL78/L13 ユーザーズマニュアル ハードウェア編 Rev.2.00 R01UH0382JJ0200 (Nov.2013)	

RL78/L13 ユーザーズマニュアル ハードウェア編 Rev.2.00 (R01UH0382JJ0200)において、下記訂正がございます。

## 今回通知する訂正内容

訂正箇所	該当ページ	内容
6.3.3 タイマ・モード・レジスタmn(TMRmn) 図6-12 タイマ・モード・レジスタmn(TMRmn)のフォーマット(4/4)の誤記訂正	p.214	誤記訂正
32. 3. 1 端子特性	p.1005 , 1006	誤記訂正
33. 3. 1 端子特性	p.1069 , 1070	誤記訂正

## ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

**ユーザーズマニュアルの訂正一覧**

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0382JJ0200	
1	14.5.7 SNOOZEモード機能	SNOOZEモード動作時のタイミング・チャート(図14-71, 図14-73)	p.585, p.587	p.3, 4
2	14.6.3 SNOOZEモード機能		p.610	p.5
3	14.6.3 SNOOZEモード機能	SNOOZEモード動作時のタイミング・チャート(図14-90, 図14-91, 図14-93)	p.612, p.613, p.615	p.6-8
4	19.4.3 多重割り込み処理	表19-5 割り込み処理中に多重割り込み可能な割り込み要求の関係	p.860	p.9
5	32.1 絶対最大定格		p.1002	p.10
6	32.8 データ・メモリSTOPモード低電源電圧データ保持特性		p.1060	p.11
7	33.1 絶対最大定格		p.1066	p.12
8	33.8 データ・メモリSTOPモード低電源電圧データ保持特性		p.1117	p.13
9	6.3.3 タイマ・モード・レジスタmn(TMRmn)	図6-12 タイマ・モード・レジスタmn(TMRmn)のフォーマット(4/4)	p.214	p.14
10	32.3.1 端子特性		p.1005, 1006	p.15, 16
11	33.3.1 端子特性		p.1069, 1070	p.17, 18

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

**発行文書履歴**

RL78/L13 ユーザーズマニュアル Rev.2.00 誤記訂正通知 発行文書履歴

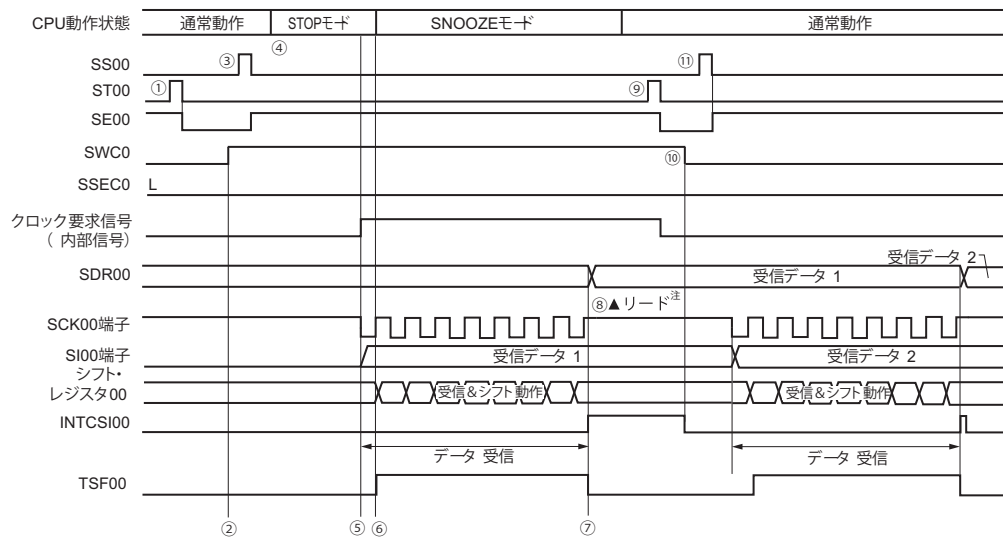
文書番号	発行日	記事
TN-RL*-A029A/J	2014年6月27日	初版発行 訂正一覧のNo.1 ~ No.8 の誤記訂正
TN-RL*-A031A/J	2014年9月17日	2版発行 訂正一覧のNo.9 ~ No.11 の誤記訂正(本通知です。)

1. 14.5.7 SNOOZE モード機能

**SNOOZE モード動作時のタイミング・チャート(図 14-71, 図 14-73) (p.585, p.587)**

CPU動作状態、クロック要求信号(内部信号)とTSF00のタイミング・チャートの誤記  
訂正  
誤)

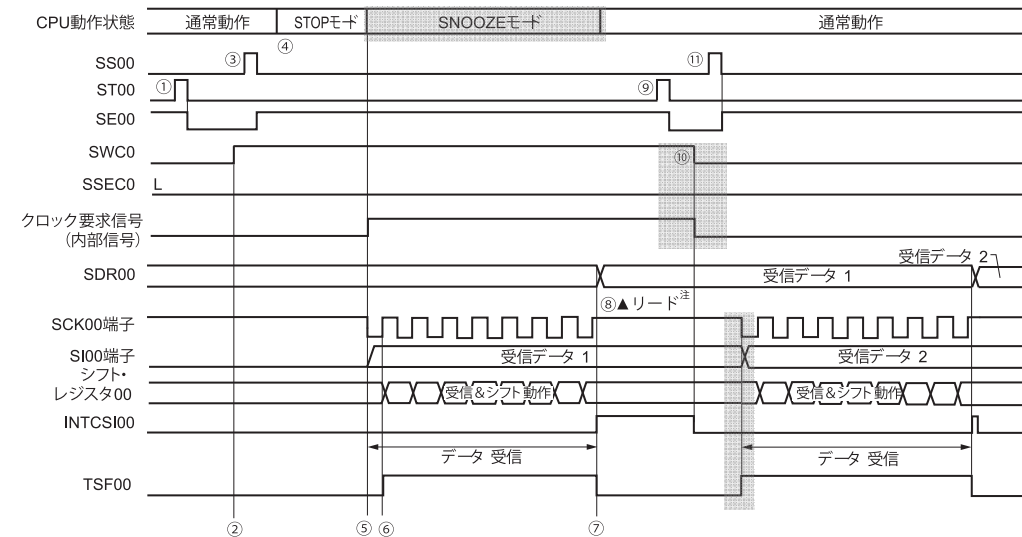
図 14 - 71 SNOOZE モード動作 (1 回起動) 時のタイミング・チャート  
(タイプ 1 : DAPmn =0, CKPmn = 0)



(省略)

正)

図 14 - 71 SNOOZE モード動作 (1 回起動) 時のタイミング・チャート  
(タイプ 1 : DAPmn =0, CKPmn = 0)

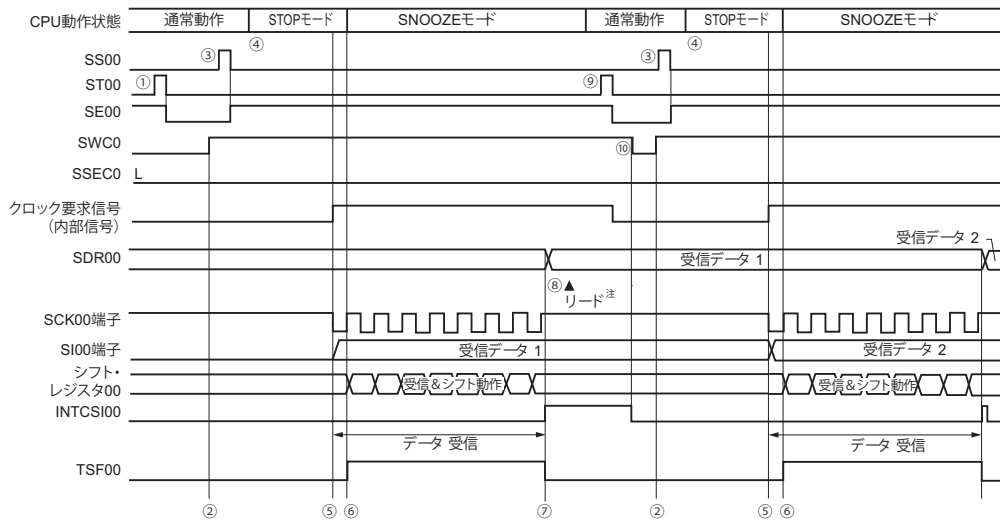


(省略)

CPU動作状態、クロック要求信号（内部信号）とINTCSI00のタイミング・チャートの誤記訂正

誤)

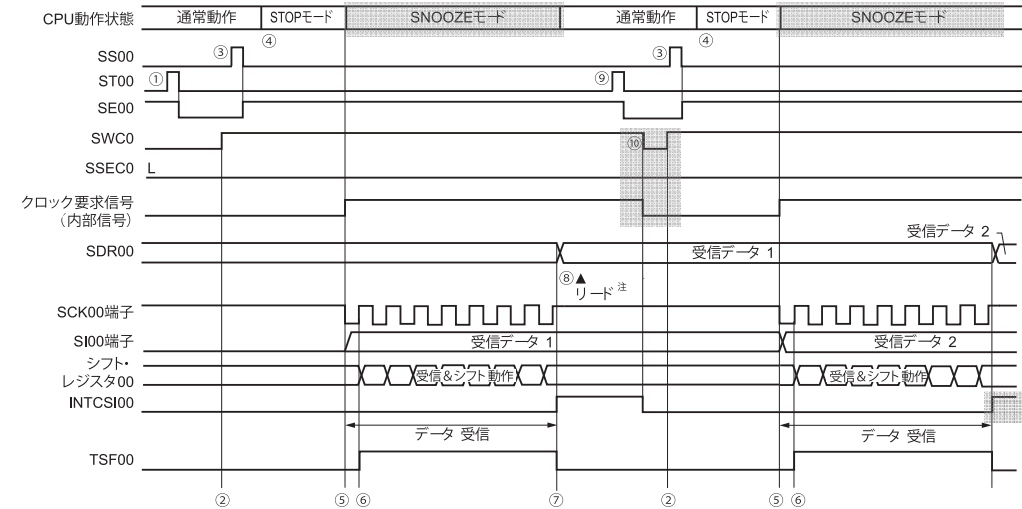
図 14 - 73 SNOOZE モード動作（連続起動）時のタイミング・チャート  
（タイプ 1：DAPmn = 0, CKPmn = 0）



(省略)

正)

図 14 - 73 SNOOZE モード動作（連続起動）時のタイミング・チャート  
（タイプ 1：DAPmn = 0, CKPmn = 0）



(省略)

## 2. 14.6.3 SNOOZE モード機能の注意追加(p.610)

誤)

### 14.6.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。

(省略)

**注意1.** SNOOZEモードは、 $f_{CLK}$ に高速オンチップ・オシレータ・クロック ( $f_{IH}$ ) を選択している場合のみ設定可能です。

(省略)

4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn、FEFmn、OVFmnフラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1 で使用するときには、SWC0= 1 に設定する前にPEFmn、FEFmn、OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (RxDq) を読み出してください。

正)

### 14.6.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。

(省略)

**注意1.** SNOOZEモードは、 $f_{CLK}$ に高速オンチップ・オシレータ・クロック ( $f_{IH}$ ) を選択している場合のみ設定可能です。

(省略)

4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn、FEFmn、OVFmnフラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1 で使用するときには、SWC0= 1 に設定する前にPEFmn、FEFmn、OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (RxDq) を読み出してください。

**5.** RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。

また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

3. 14.6.3 SNOOZE モード機能

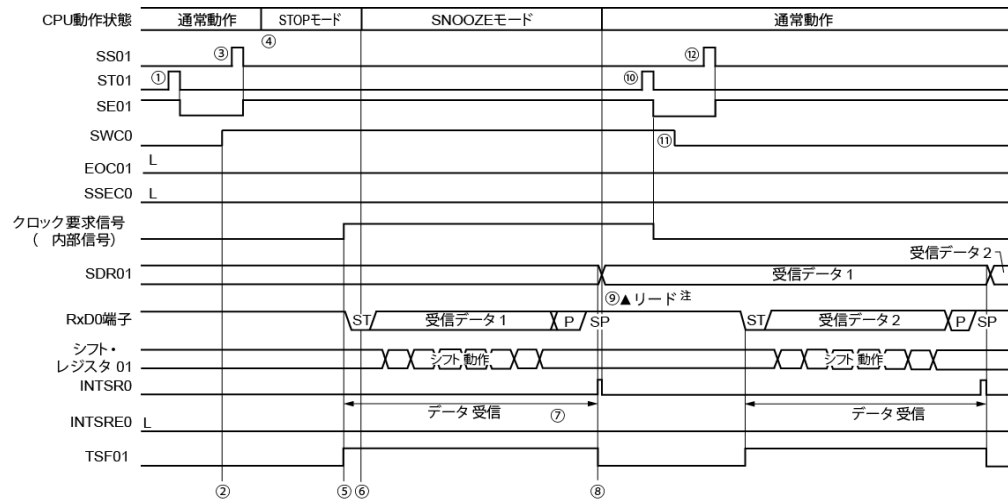
SNOOZE モード動作時のタイミング・チャート(図 14-90, 図 14-91,

図 14-93) (p.612, p.613, p.615)

CPU動作状態、クロック要求信号(内部信号)、INTSR0とTSF01のタイミング・チャートの誤記訂正

誤)

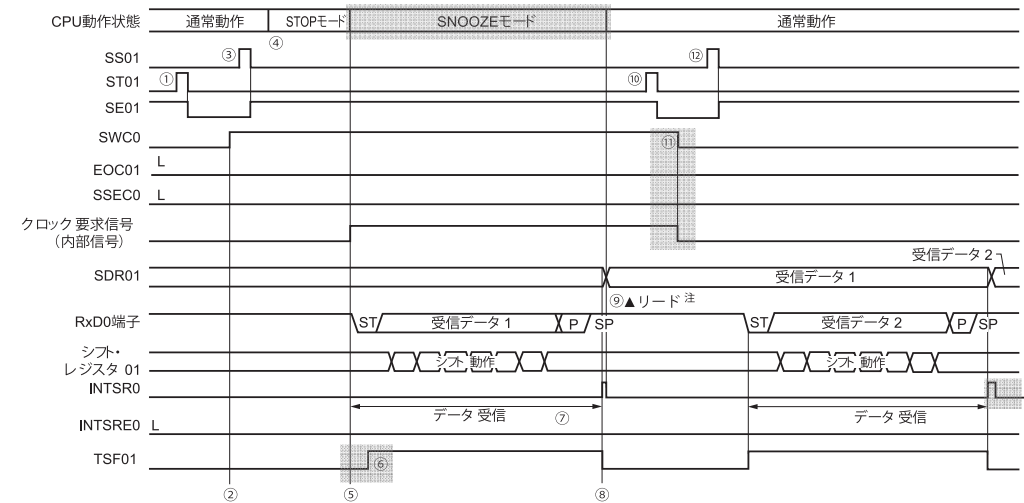
図 14 - 90 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



(省略)

正)

図 14 - 90 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート

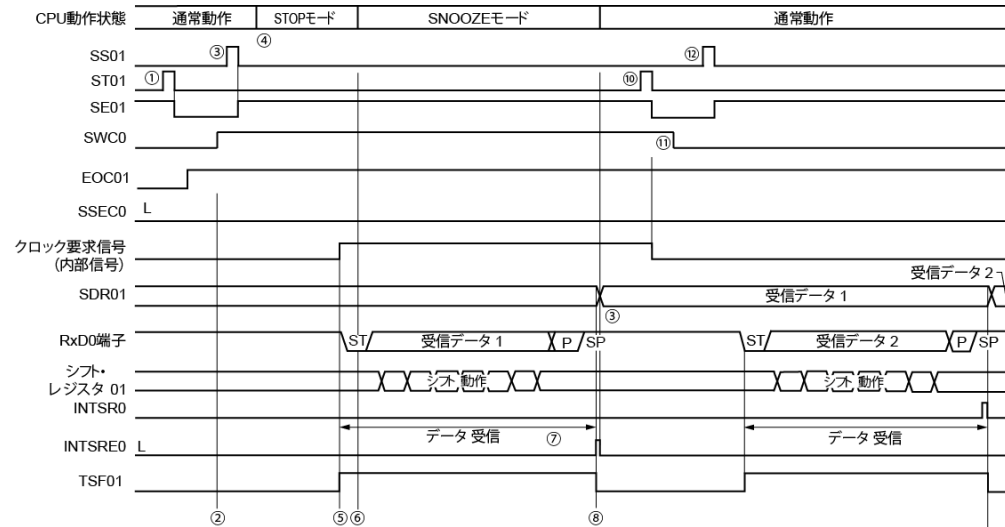


(省略)

CPU 動作状態、クロック要求信号 (内部信号)、SDR01、INTSR0 と TSF01 のタイミング・チャートの誤記訂正

誤)

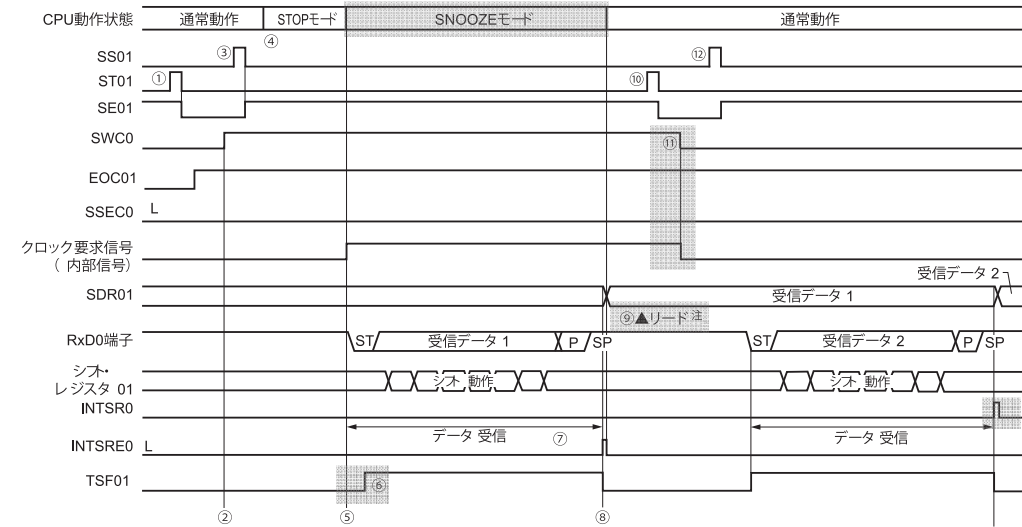
図 14 - 91 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



(省略)

正)

図 14 - 91 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート

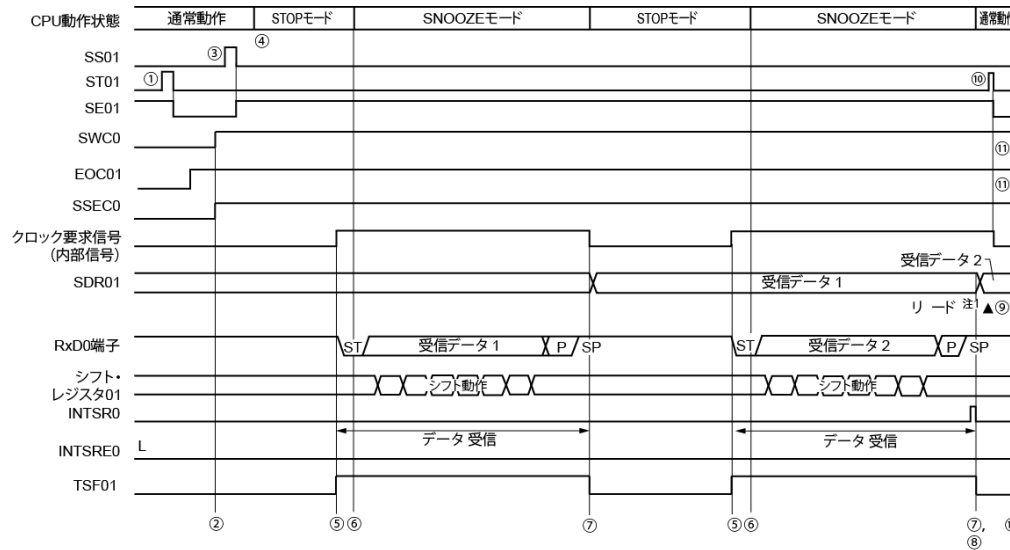


(省略)

CPU動作状態、クロック要求信号(内部信号)、INTSR0とTSF01のタイミング・チャートの誤記訂正

誤)

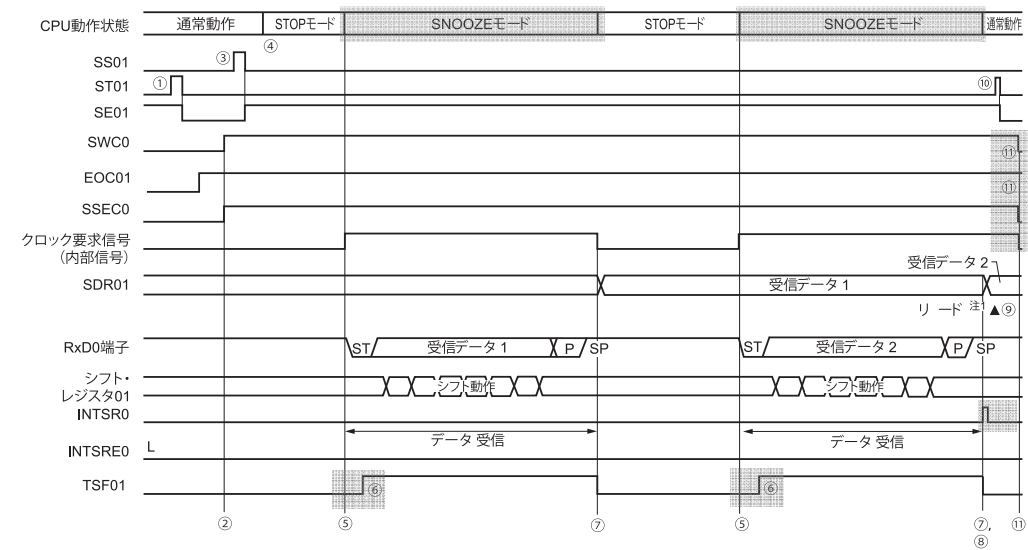
図14 - 93 SNOOZEモード動作 (EOCm1 = 1, SSECM = 1) 時のタイミング・チャート



(省略)

正)

図14 - 93 SNOOZEモード動作 (EOCm1 = 1, SSECM = 1) 時のタイミング・チャート



(省略)



4. 19.4.3 多重割り込み処理

表 19-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

(p.860)

誤)

表19-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスクابل割り込み要求								ソフト ウェア 割り込 み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスクابل 割り込み	ISP1 = 0 ISP0 = 0		x	x	x	x	x	x	x	
	ISP1 = 0 ISP0 = 1		x		x	x	x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x	x	x	
	ISP1 = 1 ISP0 = 1		---		---		---		---	
	ソフトウエア割り込み		x		x		x		x	

(省略)

正)

表19-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスクابل割り込み要求								ソフト ウェア 割り込 み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスクابل 割り込み	ISP1 = 0 ISP0 = 0		x	x	x	x	x	x	x	
	ISP1 = 0 ISP0 = 1		x		x	x	x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x	x	x	
	ISP1 = 1 ISP0 = 1		x		x		x		x	
	ソフトウエア割り込み		x		x		x		x	

(省略)

5. 32.1 絶対最大定格  
(p.1002)

誤)

絶対最大定格 (3/3)

項目	略号	条件		定格	単位
ハイ・レベル 出力電流	I <sub>OH1</sub>	1端子	P00-P07, <del>P14-P17</del> , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	- 40	mA
		端子合計 - 170 mA	P00-P07, <del>P14-P17</del> , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	- 170	mA
	I <sub>OH2</sub>	1端子	<del>P10-P13, P20-P27</del>	- 0.5	mA
		端子合計		<del>2</del>	mA
ロウ・レベル 出力電流	I <sub>OL1</sub>	1端子	P00-P07, <del>P14-P17</del> , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	40	mA
		端子合計 170 mA	P40-P47, P130	70	mA
			P00-P07, <del>P14-P17</del> , P30-P35, P50-P57, P60, P61, P70-P77, P125-P127	100	mA
	I <sub>OL2</sub>	1端子	<del>P10-P13, P20-P27</del>	1	mA
		端子合計		<del>5</del>	mA
動作周囲 温度	T <sub>A</sub>	通常動作時		- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時			
保存温度	T <sub>stg</sub>			- 65 ~ + 150	

正)

絶対最大定格 (3/3)

項目	略号	条件		定格	単位
ハイ・レベル 出力電流	I <sub>OH1</sub>	1端子	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	- 40	mA
		端子合計 - 170 mA	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	- 170	mA
	I <sub>OH2</sub>	1端子	P20-P21	- 0.5	mA
		端子合計		- 1	mA
ロウ・レベル 出力電流	I <sub>OL1</sub>	1端子	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	40	mA
		端子合計 170 mA	P40-P47, P130	70	mA
			P00-P07, P10-P17, P22-P27, P30-P35, P50-P57, P60, P61, P70-P77, P125-P127	100	mA
	I <sub>OL2</sub>	1端子	P20-P21	1	mA
		端子合計		2	mA
動作周囲 温度	T <sub>A</sub>	通常動作時		- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時			
保存温度	T <sub>stg</sub>			- 65 ~ + 150	

6. 32.8 データ・メモリ STOP モード低電源電圧データ保持特性(p.1060)

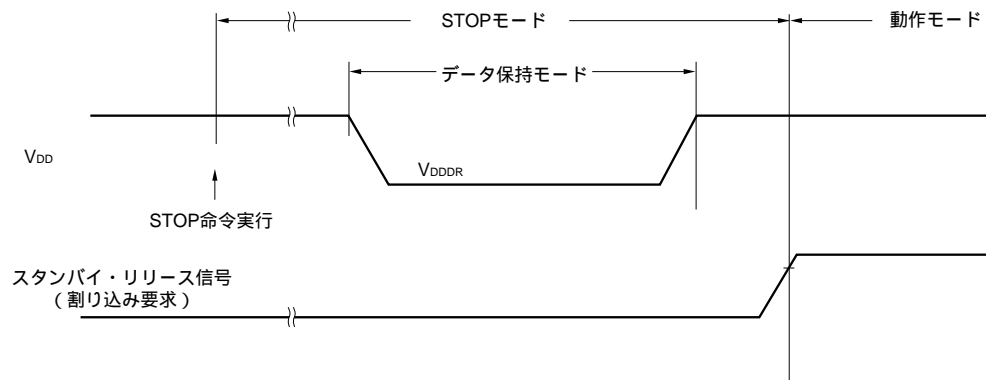
旧)

32.8 データ・メモリSTOPモード低電源電圧データ保持特性

( $T_A = -40 \sim +85$  )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.46 <sup>注</sup>		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



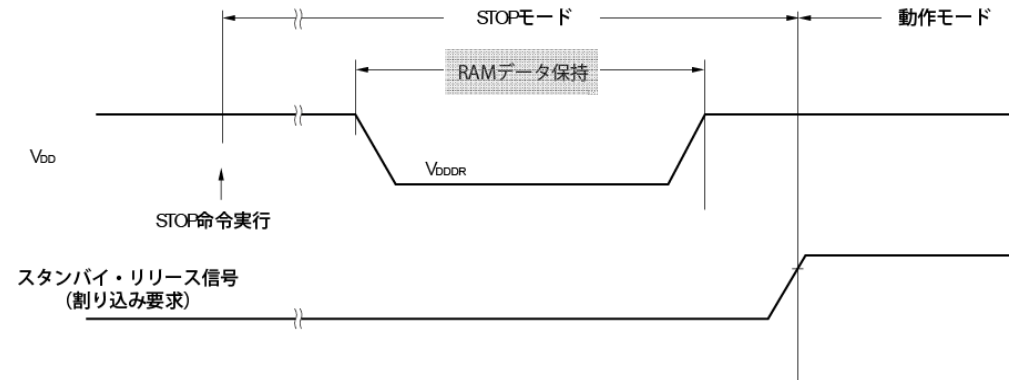
新)

32.8 RAMデータ保持特性

( $T_A = -40 \sim +85$  )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.46 <sup>注</sup>		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



7. 33.1 絶対最大定格

(p.1066)

誤)

絶対最大定格 (3/3)

項目	略号	条件		定格	単位
ハイ・レベル 出力電流	I <sub>OH1</sub>	1端子	P00-P07, <del>P14-P17</del> , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	- 40	mA
		端子合計 - 170 mA	P00-P07, <del>P14-P17</del> , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	- 170	mA
	I <sub>OH2</sub>	1端子	<del>P10-P13, P20-P27</del>	- 0.5	mA
		端子合計		<del>2</del>	mA
ロウ・レベル 出力電流	I <sub>OL1</sub>	1端子	P00-P07, <del>P14-P17</del> , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	40	mA
		端子合計 170 mA	P40-P47, P130	70	mA
			P00-P07, <del>P14-P17</del> , P30-P35, P50-P57, P60, P61, P70-P77, P125-P127	100	mA
	I <sub>OL2</sub>	1端子	<del>P10-P13, P20-P27</del>	1	mA
		端子合計		5	mA
動作周囲 温度	T <sub>A</sub>	通常動作時		- 40 ~ + 105	
		フラッシュ・メモリ・プログラミング時			
保存温度	T <sub>stg</sub>			- 65 ~ + 150	

正)

絶対最大定格 (3/3)

項目	略号	条件		定格	単位
ハイ・レベル 出力電流	I <sub>OH1</sub>	1端子	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	- 40	mA
		端子合計 - 170 mA	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	- 170	mA
	I <sub>OH2</sub>	1端子	P20-P21	- 0.5	mA
		端子合計		- 1	mA
ロウ・レベル 出力電流	I <sub>OL1</sub>	1端子	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	40	mA
		端子合計 170 mA	P40-P47, P130	70	mA
			P00-P07, P10-P17, P22-P27, P30-P35, P50-P57, P60, P61, P70-P77, P125-P127	100	mA
	I <sub>OL2</sub>	1端子	P20-P21	1	mA
		端子合計		2	mA
動作周囲 温度	T <sub>A</sub>	通常動作時		- 40 ~ + 105	
		フラッシュ・メモリ・プログラミング時			
保存温度	T <sub>stg</sub>			- 65 ~ + 150	

8. 33.7 データ・メモリ STOP モード低電源電圧データ保持特性(p.1117)

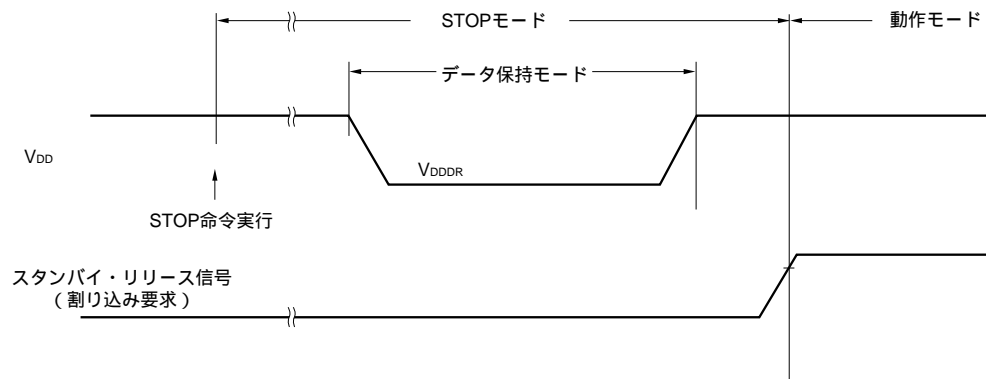
旧)

30.7 データ・メモリ STOPモード低電源電圧データ保持特性

( $T_A = -40 \sim +105$  )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.44 <sup>注</sup>		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



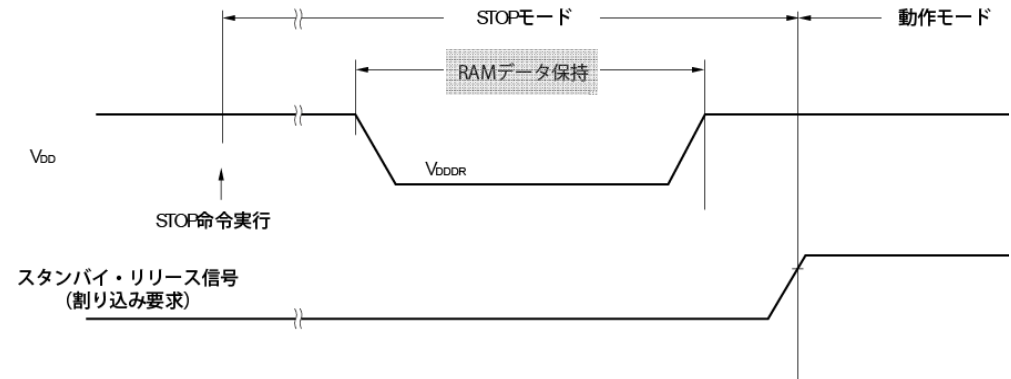
新)

30.7 RAMデータ保持特性

( $T_A = -40 \sim +105$  )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.44 <sup>注</sup>		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



9.6.3.3 タイマ・モード・レジスタmn(TMRmn)

図 6-12 タイマ・モード・レジスタ mn(TMRmn)のフォーマット(4/4)(p.214)

誤)

図6-12 タイマ・モード・レジスタmn (TMRmn) のフォーマット (4/4)

アドレス:F0190H, F0191H( TMR00 )-F019EH, F019FH( TMR07 ) リセット時:0000H R/W

(省略)

動作モード (MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0) ・キャプチャ・モード (0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード <sup>注2</sup> (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする <sup>注3</sup> 。 その際に割り込みは発生する。
・キャプチャ&ワンカウント・モード(1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
上記以外		設定禁止

正)

図6-12 タイマ・モード・レジスタmn (TMRmn) のフォーマット (4/4)

アドレス:F0190H, F0191H( TMR00 )-F019EH, F019FH( TMR07 ) リセット時:0000H R/W

(省略)

動作モード (MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0) ・キャプチャ・モード (0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード <sup>注2</sup> (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする <sup>注3</sup> 。 その際に割り込みは発生しない。
・キャプチャ&ワンカウント・モード(1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
上記以外		設定禁止

10.32.3.1 端子特性(p.1005, p.1006)

誤)

( $T_A = -40 \sim +85$ , 1.6 V  $V_{DD} = 5.5$  V,  $V_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 注1	IOH1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子	1.6 V	$V_{DD} = 5.5$	- 10.0 注2	mA
		P00-P07, P14-P17, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130	4.0 V	$V_{DD} = 5.5$	- 90.0	mA
			2.7 V	$V_{DD} < 4.0$	- 15.0	mA
		合計 (デューティ = 70 %時 注3)	1.8 V	$V_{DD} < 2.7$	- 7.0	mA
			1.6 V	$V_{DD} < 1.8$	- 3.0	mA
	IOH2	P20, P21 1端子	1.6 V	$V_{DD} = 5.5$	- 0.1 注2	mA
		全端子合計 (デューティ = 70 %時 注3)	1.6 V	$V_{DD} = 5.5$	- 0.2	mA

(省略)

正)

( $T_A = -40 \sim +85$ , 1.6 V  $V_{DD} = 5.5$  V,  $V_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 注1	IOH1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子	1.6 V	$V_{DD} = 5.5$	- 10.0 注2	mA
		P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130	4.0 V	$V_{DD} = 5.5$	- 90.0	mA
			2.7 V	$V_{DD} < 4.0$	- 15.0	mA
		合計 (デューティ = 70 %時 注3)	1.8 V	$V_{DD} < 2.7$	- 7.0	mA
			1.6 V	$V_{DD} < 1.8$	- 3.0	mA
	IOH2	P20, P21 1端子	1.6 V	$V_{DD} = 5.5$	- 0.1 注2	mA
		全端子合計 (デューティ = 70 %時 注3)	1.6 V	$V_{DD} = 5.5$	- 0.2	mA

(省略)

誤)

( $T_A = -40 \sim +85$  , 1.6 V  $V_{DD} = 5.5$  V,  $V_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 <sup>注1</sup>	IoL1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子			20.0 <sup>注2</sup>	mA	
		P60, P61 1端子			15.0 <sup>注2</sup>		
		P40-P47, P130 合計 (デューティ = 70 % 時 <sup>注3</sup> )	4.0 V $V_{DD} = 5.5$ V		70.0		mA
			2.7 V $V_{DD} < 4.0$ V		15.0		
			1.8 V $V_{DD} < 2.7$ V		9.0		
			1.6 V $V_{DD} < 1.8$ V		4.5		
		P00-P07, P14-P17, P30-P35, P50-P57, P70-P77, P125-P127 合計 (デューティ = 70 % 時 <sup>注3</sup> )	4.0 V $V_{DD} = 5.5$ V		90.0		mA
			2.7 V $V_{DD} < 4.0$ V		35.0		
			1.8 V $V_{DD} < 2.7$ V		20.0		
			1.6 V $V_{DD} < 1.8$ V		10.0		
	全端子合計 (デューティ = 70 % 時 <sup>注3</sup> )			160.0	mA		
				0			
	IoL2	P20, P21 1端子			0.4 <sup>注2</sup>	mA	
		全端子合計 (デューティ = 70 % 時 <sup>注3</sup> )	1.6 V $V_{DD} = 5.5$ V		0.8		

(省略)

正)

( $T_A = -40 \sim +85$  , 1.6 V  $V_{DD} = 5.5$  V,  $V_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 <sup>注1</sup>	IoL1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子			20.0 <sup>注2</sup>	mA	
		P60, P61 1端子			15.0 <sup>注2</sup>		
		P40-P47, P130 合計 (デューティ = 70 % 時 <sup>注3</sup> )	4.0 V $V_{DD} = 5.5$ V		70.0		mA
			2.7 V $V_{DD} < 4.0$ V		15.0		
			1.8 V $V_{DD} < 2.7$ V		9.0		
			1.6 V $V_{DD} < 1.8$ V		4.5		
		P00-P07, P10-P17, P22-P27, P30-P35, P50-P57, P70-P77, P125-P127 合計 (デューティ = 70 % 時 <sup>注3</sup> )	4.0 V $V_{DD} = 5.5$ V		90.0		mA
			2.7 V $V_{DD} < 4.0$ V		35.0		
			1.8 V $V_{DD} < 2.7$ V		20.0		
			1.6 V $V_{DD} < 1.8$ V		10.0		
	全端子合計 (デューティ = 70 % 時 <sup>注3</sup> )			160.0	mA		
				0			
	IoL2	P20, P21 1端子			0.4 <sup>注2</sup>	mA	
		全端子合計 (デューティ = 70 % 時 <sup>注3</sup> )	1.6 V $V_{DD} = 5.5$ V		0.8		

(省略)



11. 33. 3. 1 端子特性(p.1069 , p.1070)

誤)

( $T_A = -40 \sim +105$  , 2.4 V  $V_{DD} = 5.5$  V,  $V_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 <sup>注1</sup>	IOH1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子	2.4 V $V_{DD}$ 5.5 V			- 3.0 <sup>注2</sup>	mA
		P00-P07, P14-P17, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130	4.0 V $V_{DD}$ 5.5 V			- 45.0	mA
		合計 (デューティ = 70 % 時 <sup>注3</sup> )	2.7 V $V_{DD} < 4.0$ V			- 15.0	mA
			2.4 V $V_{DD} < 2.7$ V			- 7.0	mA
	IOH2	P20, P21 1端子	2.4 V $V_{DD}$ 5.5 V			- 0.1 <sup>注2</sup>	mA
		全端子合計 (デューティ = 70 % 時 <sup>注3</sup> )	2.4 V $V_{DD}$ 5.5 V			- 0.2	mA

(省略)

正)

( $T_A = -40 \sim +105$  , 2.4 V  $V_{DD} = 5.5$  V,  $V_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 <sup>注1</sup>	IOH1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子	2.4 V $V_{DD}$ 5.5 V			- 3.0 <sup>注2</sup>	mA
		P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130	4.0 V $V_{DD}$ 5.5 V			- 45.0	mA
		合計 (デューティ = 70 % 時 <sup>注3</sup> )	2.7 V $V_{DD} < 4.0$ V			- 15.0	mA
			2.4 V $V_{DD} < 2.7$ V			- 7.0	mA
	IOH2	P20, P21 1端子	2.4 V $V_{DD}$ 5.5 V			- 0.1 <sup>注2</sup>	mA
		全端子合計 (デューティ = 70 % 時 <sup>注3</sup> )	2.4 V $V_{DD}$ 5.5 V			- 0.2	mA

(省略)

誤)

( $T_A = -40 \sim +105$  , 2.4 V  $V_{DD}$  5.5 V,  $V_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 <sup>注1</sup>	IOL1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子			8.5 <sup>注2</sup>	mA	
		P60, P61 1端子			15.0 <sup>注2</sup>	mA	
		P40-P47, P130 合計 (デューティ = 70 % 時 <sup>注3</sup> )	4.0 V $V_{DD}$ 5.5 V			40.0	mA
			2.7 V $V_{DD} <$ 4.0 V			15.0	mA
			2.4 V $V_{DD} <$ 2.7 V			9.0	mA
		P00-P07, P14-P17, P30-P35, P50-P57, P70-P77, P125-P127 合計 (デューティ = 70 % 時 <sup>注3</sup> )	4.0 V $V_{DD}$ 5.5 V			60.0	mA
			2.7 V $V_{DD} <$ 4.0 V			35.0	mA
			2.4 V $V_{DD} <$ 2.7 V			20.0	mA
		全端子合計 (デューティ = 70 % 時 <sup>注3</sup> )				100.0	mA

	IOL2	P20, P21 1端子				0.4 <sup>注2</sup>	mA
		全端子合計 (デューティ = 70 % 時 <sup>注3</sup> )	2.4 V $V_{DD}$ 5.5 V			0.8	mA

正)

( $T_A = -40 \sim +105$  , 2.4 V  $V_{DD}$  5.5 V,  $V_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 <sup>注1</sup>	IOL1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子			8.5 <sup>注2</sup>	mA	
		P60, P61 1端子			15.0 <sup>注2</sup>	mA	
		P40-P47, P130 合計 (デューティ = 70 % 時 <sup>注3</sup> )	4.0 V $V_{DD}$ 5.5 V			40.0	mA
			2.7 V $V_{DD} <$ 4.0 V			15.0	mA
			2.4 V $V_{DD} <$ 2.7 V			9.0	mA
		P00-P07, P10-P17, P22-P27 P30-P35, P50-P57, P70-P77, P125-P127 合計 (デューティ = 70 % 時 <sup>注3</sup> )	4.0 V $V_{DD}$ 5.5 V			60.0	mA
			2.7 V $V_{DD} <$ 4.0 V			35.0	mA
			2.4 V $V_{DD} <$ 2.7 V			20.0	mA

		全端子合計 (デューティ = 70 % 時 <sup>注3</sup> )				100.0	mA
	I <sub>OL2</sub>	P20, P21 1端子				0.4 <sup>注2</sup>	mA
		全端子合計 (デューティ = 70 % 時 <sup>注3</sup> )	2.4 V V <sub>DD</sub> 5.5 V			0.8	mA