

Product Change Notice

(管理番号：CST-R2-AD139 Rev.1.0)

2018 年 7 月 31 日

通知先:	お客様各位
変更のご案内:	平素より大変お世話になります。 今般 PCN を発行させて頂くにあたり、御社より受注または将来の需要見込みを頂いているため、変更通知をさせていただきます。当該通知の内容となりますので何卒ご了承頂きますようお願い申し上げます。 対象製品は添付の製品リストをご参照ください。
変更内容の説明:	32Mb / 64Mb 低消費電力 SRAM 製品の世代交代：0.15um から 0.11um プロセスへの変更によるチップシュリンク
変更理由:	・生産効率の向上による製品安定供給 ・消費電力の低減による製品付加価値の向上
識別方法:	パッケージ表面にマーキングされている製品型名表示により、製品識別が可能です。
影響の有無	後継製品では、チップシュリンクによる世代交代と合わせて下記が変更となります。 ・組立拠点変更（対象：32Mb/64Mb 52pin-μTSOP, 64Mb 48pin-TSOP(I) ・組立材料、内部構造変更（対象：同上） ・防湿梱包性能変更（対象：同上） ・パッケージ外形サイズ変更（対象：64Mb 48ball-FBGA） ・梱包仕様変更（対象：32Mb/64Mb 52pin-μTSOP, 64Mb 48ball-FBGA）
出荷開始予定日:	32Mb 48pin-TSOP(I), 64Mb 48ball-FBGA：2019 年 1 月 上記以外の製品：2019 年 3 月
補足説明:	本通知書 3～8 ページと、別紙（CST-R2-AD139 補足資料）をご参照下さい。
問合せ先:	ルネサス エレクトロニクス株式会社 ブロードベースドソリューション事業本部 インダストリアル A & P 事業部 アナログ製品部 汎用メモリ製品課
添付資料:	別紙：CST-R2-AD139 補足資料
ご不明な点がございましたら、弊社営業、特約店または代理店までご連絡ください。	

PCN に関する御注意

1. PCN をお客様にお渡しした後 30 日以内に受理の御連絡を頂けない場合は変更内容を御承認頂いたものとみなして変更を実施させていただきます。
2. お客様より受理の御連絡を頂いた後、承認手続きのための条件がございましたら 90 日以内に御連絡をお願い致します。受理御連絡後 90 日以内に何の御連絡もない場合も御承認頂いたものとみなして変更を実施させていただきます。
3. 変更内容についてご承認いただけない場合、最終注文数のご提示とご発注をお願い致します。



お客様 御連絡用紙 (PCN tracking number: CST-R2-AD139)

万が一、本 PCN に対し適用できない理由がある場合に御連絡をお願い致します。
(e-mail または郵送で御返信をお願い致します)

御記入日: _____

御社名: _____

部門: _____

e-mail アドレス: _____

電話番号: _____

御署名: _____

適用できない理由

1. 変更する背景

このたび弊社では、32Mb 低消費電力 SRAM：R1LV3216R シリーズ、および 64Mb 低消費電力 SRAM：R1WV6416R シリーズにつきまして、消費電力の低減による製品付加価値の向上と更なる生産効率の向上による製品安定供給を目的として、チップシュリンクによる世代交代を進めさせて頂く運びとなりました。

また上記世代交代に合わせて、後継製品では以下の項目が変更となります。

- ・組立拠点（対象製品：32Mb/64Mb 52pin- μ TSOP, 64Mb 48pin-TSOP(I)）
- ・組立材料、内部構造（対象製品：同上）
- ・防湿梱包性能（対象製品：同上）
- ・パッケージ外形サイズ（対象製品：64Mb 48ball-FBGA）
- ・梱包仕様（対象製品：32Mb/64Mb 52pin- μ TSOP, 64Mb 48ball-FBGA）

趣旨ご理解の上、変更後製品の早期ご承認を賜りますよう、何卒よろしくお願い申し上げます。

2. 変更内容

(1) ウェハプロセス

32Mb／64Mb 低消費電力 SRAM 製品につきまして、ルネサス セミコンダクタ マニュファクチャリング株式会社 西条工場のウェハプロセスを $0.15\mu\text{m}$ から $0.11\mu\text{m}$ プロセスルールに変更します。このチップシュリンクにより、消費電力の大幅低減など電気的特性を向上します。電気的特性の変更前後での比較につきましては、別紙（CST-R2-AD139 補足資料）をご参照ください。後継製品は、従来製品と同様に、弊社独自の Advanced Low Power SRAM テクノロジーによる T F T 負荷型のキャパシタセルを用いており、極めて高いソフトエラー耐性を実現しております。

(2) 組立拠点、組立材料、内部構造、防湿梱包性能

組立拠点が Renesas Semiconductor (Beijing) Co., Ltd. の製品につきましては、供給安定性を目的として、組立拠点を Greatek Electronics Inc. に変更します。この拠点変更に伴い、組立材料(リードフレーム母材や外装メッキ材等)や内部構造を変更し、また、防湿梱包性能が MSL2 から MSL3 へ変更となります。詳細は本通知書の 5 ページ、及び、別紙（CST-R2-AD139 補足資料）をご参照ください。

(3) パッケージサイズ

48ball-FBGA 製品については、実装互換性を維持しながらパッケージ外形サイズを変更いたします。本通知書の 6 ページをご参照ください。

(4) 梱包仕様

52pin-μTSOP のテープ&リール梱包品は、梱包材料の調達容易化を目的として、エンボステーピングの仕様を変更いたします。また、48ball-FBGA 製品については、パッケージ外形サイズ変更に伴いまして、トレイ梱包仕様とテープ&リール梱包仕様を変更いたします。詳細は別紙（CST-R2-AD139 補足資料）をご参照ください。

4～6 ページに、組立拠点ごとに分類して変更点を示します。

(a) 組立拠点：Amkor Technology Malaysia Sdn. Bhd.

対象製品：R1LV3216RSA-5SI（32Mb：48pin-TSOP(I)）

比較表

項目		生産終了製品	後継製品
発注型名		R1LV3216RSA-5SI#B1/#S1	RMLV3216AGSA-5S2#AA0/#KA0
前工程	拠点名称	ルネサス セミコンダクタ マニュファクチャリング株式会社 西条工場	変更なし
	所在地（国名）	日本	変更なし
	プロセスルール	0.15μm	0.11μm

変更前後において、

- ・組立拠点と組立材料は変更ございません。
- ・パッケージ外形サイズ、実装互換性、ピン配置は同等です。
- ・電気的特性(DC/AC)は上位互換となります。
- ・信頼性、品質レベルは同等です。

(b) 組立拠点：Renesas Semiconductor (Beijing) Co., Ltd.

対象製品：R1LV3216RSD-5SI (32Mb：52pin- μ TSOP)

R1WV6416RSD-5SI (64Mb：52pin- μ TSOP)

R1WV6416RSA-5SI (64Mb：48pin-TSOP(I))

比較表

項目			生産終了製品	後継製品
発注型名			R1LV3216RSD-5SI#B0/#S0	RMLV3216AGSD-5S2#AA0/#HA0
			R1WV6416RSD-5SI#B0/#S0	RMWV6416AGSD-5S2#AA0/#HA0
			R1WV6416RSA-5SI#B0/#S0	RMWV6416AGSA-5S2#AA0/#KA0
前工程	拠点名称		ルネサス セミコンダクタ マニファクチュアリング株式会社 西条工場	変更なし
	所在地（国名）		日本	変更なし
	プロセスルール		0.15μm	0.11μm
組立	拠点名称		Renesas Semiconductor (Beijing) Co., Ltd.	Greatek Electronics Inc.
	所在地（国名）		中国	台湾
	材料	リードフレーム母材	42Alloy	Cu
		リード外装めっき材	Sn-Cu	純 Sn
		内部構造	現行仕様	新仕様
		詳細は別紙をご参照ください		
防湿梱包性能			MSL2	MSL3
梱包仕様	テープ＆リール品	52pin-μTSOP	現行仕様	新仕様
			詳細は別紙をご参照ください	
		48pin-TSOP(I)	現行仕様	変更なし

変更前後において、

- ・パッケージ外形サイズ、実装互換性、ピン配置は同等です。
- ・実装信頼性の更なる向上を目的として、リードフレーム母材を、42Alloy から Cu に変更します。それに伴い、防湿梱包性能が MSL2 から MSL3 に変更となります。また、組立拠点変更に伴い、内部構造も変更となります。
- ・リード外装めっき材を Sn-Cu から純 Sn に変更します。
- ・電気的特性(DC/AC)は上位互換となります。
- ・信頼性、品質レベルは同等です。
- ・52pin- μ TSOP のテープ&リール梱包品は、梱包材料の調達容易化を目的として、エンボステーピングの仕様を変更いたします。
- ・詳細は別紙 (CST-R2-AD139 補足資料) をご参照ください。

(c) 組立拠点：株式会社ジェイデバイス熊本地区

対象製品：R1WV6416RBG-5SI（64Mb：48ball-FBGA）

比較表

項目		生産終了製品	後継製品
発注型名		R1WV6416RBG-5SI#B0/#S0	RMWV6416AGBG-5S2#AC0/#KC0
前工程	拠点名称	ルネサス セミコンダクタ マニュファクチャリング株式会社 西条工場	変更なし
	所在地（国名）	日本	変更なし
	プロセスルール	0.15μm	0.11μm
組立	拠点名称	株式会社ジェイデバイス熊本地区	変更なし
	所在地（国名）	日本	変更なし
	パッケージ外形サイズ（横 × 縦）	8.5 x 11.0 mm	7.5 x 8.5 mm
梱包仕様	トレイ品	現行仕様	新仕様
		詳細は別紙をご参照ください	
	テープ&リール品	現行仕様	新仕様
		詳細は別紙をご参照ください	

変更前後において、

- ・パッケージ外形サイズは小さくなりますが、実装コンパチブルです。
これにより後継製品は、4Mb～32Mb の 0.11μm Advanced Low Power SRAM 製品と同じ外形サイズとなります。
- ・電気的特性(DC/AC)は上位互換となります。
- ・信頼性、品質レベルは同等です。
- ・パッケージ外形サイズの縮小に伴いまして、梱包仕様が変更になります。
- ・詳細は別紙（CST-R2-AD139 補足資料）をご参照ください。

3. サンプル及びその他情報の提供予定日

サンプル出荷予定日	32Mb 48pin-TSOP(I) (RMLV3216AGSA-5S2) , 64Mb 48ball-FBGA (RMWV6416AGBG-5S2) : → 2018 年 10 月末 32Mb 52pin-μTSOP (RMLV3216AGSD-5S2) , 64Mb 52pin-μTSOP (RMWV6416AGSD-5S2) , 64Mb 48pin-TSOP(I) (RMWV6416AGSA-5S2) : → 2018 年 12 月末
信頼度データ 提出予定日	サンプル出荷予定日と同じ。

4. 識別方法

パッケージ表面にマーキングされている製品型名表示により、製品識別が可能です。

5. スケジュール

現行 32Mb／64Mb 低消費電力 SRAM 製品の生産中止スケジュールは下記の通りです。

生産中止予告：2018 年 12 月

保守取りまとめ：2019 年 6 月

最終発注期限：2019 年 12 月

出荷終了予定時期：2020 年 12 月

なお、後継製品の出荷開始予定時期は下記の通りです。

32Mb 48pin-TSOP(I), 64Mb 48ball-FBGA : 2019 年 1 月

32Mb 52pin-μTSOP, 64Mb 52pin-μTSOP, 64Mb 48pin-TSOP(I) : 2019 年 3 月

6. 補足説明

別紙（CST-R2-AD139 補足資料）をご参照ください。

7. 製品リスト

メモリ容量	パッケージタイプ	発注型名	
		生産終了製品	後継製品
32Mb	48pin-TSOP(I)	R1LV3216RSA-5SI#B1	RMLV3216AGSA-5S2#AA0
		R1LV3216RSA-5SI#S1	RMLV3216AGSA-5S2#KA0
	52pin-μTSOP	R1LV3216RSD-5SI#B0	RMLV3216AGSD-5S2#AA0
		R1LV3216RSD-5SI#S0	RMLV3216AGSD-5S2#HA0
64Mb	48pin-TSOP(I)	R1WV6416RSA-5SI#B0	RMWV6416AGSA-5S2#AA0
		R1WV6416RSA-5SI#S0	RMWV6416AGSA-5S2#KA0
	52pin-μTSOP	R1WV6416RSD-5SI#B0	RMWV6416AGSD-5S2#AA0
		R1WV6416RSD-5SI#S0	RMWV6416AGSD-5S2#HA0
	48ball-FBGA	R1WV6416RBG-5SI#B0	RMWV6416AGBG-5S2#AC0
		R1WV6416RBG-5SI#S0	RMWV6416AGBG-5S2#KC0

別紙：CST-R2-AD139 補足資料 **(32Mb/64Mb低消費電力SRAM製品： チップシュリンクによる後継製品への変更)**

本別紙は、CST-R2-AD139 (32Mb/64Mb低消費電力SRAM製品：チップシュリンクによる後継製品への変更) の補足資料として、変更前後での比較について記載しております。誠に恐縮ではございますが、主旨ご理解の上、変更後製品の早期ご承認を賜ります様、ご協力の程よろしくお願い申し上げます。

目次

1. 対象型名リスト	p.2
2. 変更前後の比較	pp.3-7
3. データシート電気的特性比較	pp.8-11
4. 梱包仕様の変更内容	pp.12-13
5. 出荷梱包ラベル仕様	p.14
6. 改訂履歴	p.15

(注) 次ページ以降、下記に示す組立拠点名称は、略称を用いております。

Amkor Technology Malaysia Sdn. Bhd. (以下、Amkor Technology Malaysia)

Renesas Semiconductor (Beijing) Co., Ltd. (以下、Renesas Semiconductor Beijing)

1. 対象型名リスト

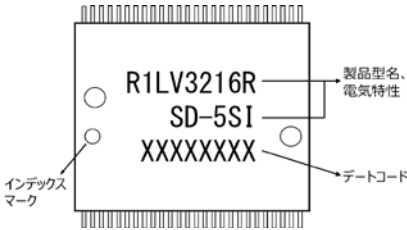
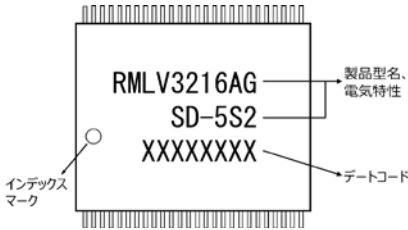
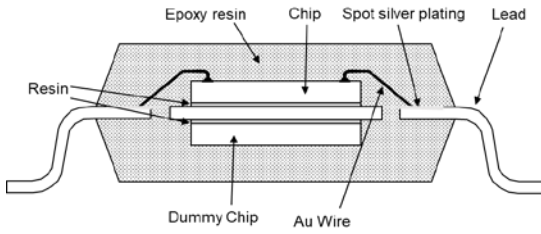
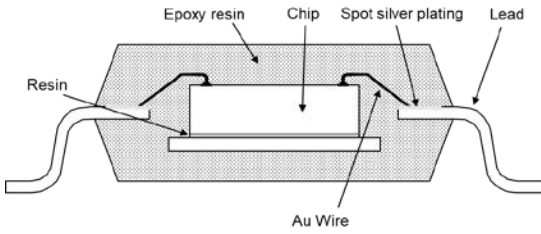
メモリ容量	パッケージタイプ	発注型名		梱包仕様	変更前後 比較表の 参照ページ
		生産終了製品	後継製品		
32Mb	48pin-TSOP(I)	R1LV3216RSA-5SI#B1	RMLV3216AGSA-5S2#AA0	トレイ	p.3, pp.8-9
		R1LV3216RSA-5SI#S1	RMLV3216AGSA-5S2#KA0	テープ&リール	
	52pin-μTSOP	R1LV3216RSD-5SI#B0	RMLV3216AGSD-5S2#AA0	トレイ	p.4, pp.8-9
		R1LV3216RSD-5SI#S0	RMLV3216AGSD-5S2#HA0	テープ&リール	
64Mb	48pin-TSOP(I)	R1WV6416RSA-5SI#B0	RMWV6416AGSA-5S2#AA0	トレイ	p.5, pp.10-11
		R1WV6416RSA-5SI#S0	RMWV6416AGSA-5S2#KA0	テープ&リール	
	52pin-μTSOP	R1WV6416RSD-5SI#B0	RMWV6416AGSD-5S2#AA0	トレイ	p.6, pp.10-11
		R1WV6416RSD-5SI#S0	RMWV6416AGSD-5S2#HA0	テープ&リール	
	48ball-FBGA	R1WV6416RBG-5SI#B0	RMWV6416AGBG-5S2#AC0	トレイ	p.7, pp.10-11
		R1WV6416RBG-5SI#S0	RMWV6416AGBG-5S2#KC0	テープ&リール	

2. 変更前後の比較

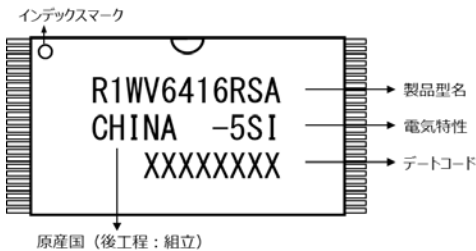
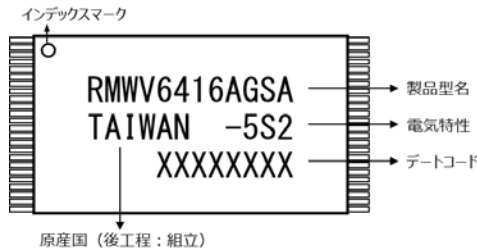
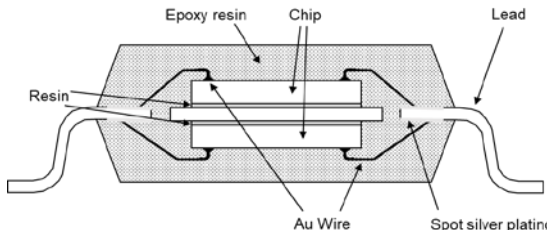
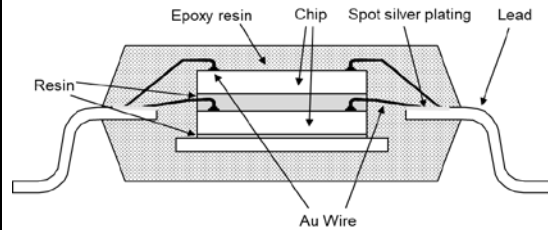
(1) 32Mb 48pin-TSOP(I) < 製品型名 : R1LV3216RSA-5SI >

項目		生産終了製品	後継製品
発注型名		R1LV3216RSA-5SI#B1 (トレイ品)	RMLV3216AGSA-5S2#AA0 (トレイ品)
		R1LV3216RSA-5SI#S1 (Tape & Reel品)	RMLV3216AGSA-5S2#KA0 (Tape & Reel品)
ウエハプロセス拠点		ルネサス セミコンダクタ マニュファクチャリング株式会社 西条工場 (日本)	←
メモリセル		TFT負荷型 キャパシタセル	←
デザインルール		0.15um	0.11um
組立拠点		Amkor Technology Malaysia (マレーシア)	←
マーキング原産国表示		MALAYSIA	←
JEITA Package Code		P-TSOP(1)48-12x18.4-0.50	←
パッケージ表面仕様		インデックスマーク R1LV3216RSA MALAYSIA -5SI XXXXXXXX 製品型名 電気特性 データコード 原産国 (後工程 : 組立)	インデックスマーク RMLV3216AGSA MALAYSIA -5S2 XXXXXXXX 製品型名 電気特性 データコード 原産国 (後工程 : 組立)
アセンブリ材料	リードフレーム材質	Cu	←
	リードめっき材	純Sn	←
	ダイボンディング材	樹脂ペースト	←
	ボンディングワイヤー材	Au	←
	封止材料	エポキシ樹脂 (ハロゲンフリー)	←
	内部構造図	Epoxy resin Chip Spot silver plating Lead Resin Au Wire	←
チップ厚		現行チップ厚	←
選別テスト拠点		Powertech Technology Inc. (台湾)	←
トレイ品	トレイ	JEDEC Tray ルネサスロゴ無し (TSOP I package size: 12mm x 18.4mm)	←
	収納数	96pcs/tray	←
	トレイへのIC収納順序	トレイの切欠きが左下になる状態にして、 左上から下方向へ配置	←
	トレイ段数 (Max.)	10枚 + 1枚 (フタ)	←
	内装箱サイズ (LxWxH)	351mm x 175mm x 104mm	←
Tape & Reel品	エンボステーブ	現行仕様	←
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	362mm x 340mm x 60mm	←
防湿梱包性能		MSL 3	←
出荷梱包ラベル		現行仕様	フォーマットの変更なし (発注型名は変更)

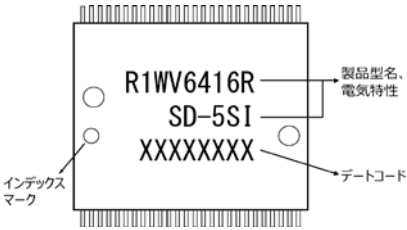
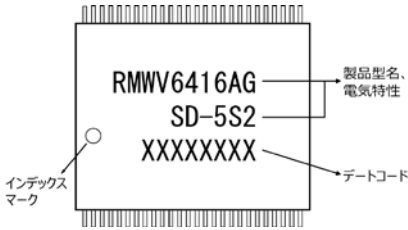
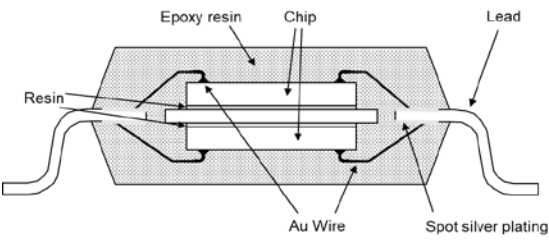
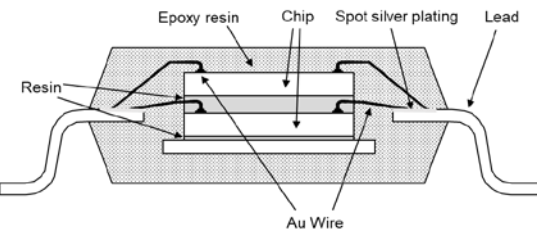
(2) 32Mb 52pin-μTSOP < 製品型名 : R1LV3216RSD-5SI >

項目		生産終了製品	後継製品
発注型名		R1LV3216RSD-5SI#B0 (トレイ品)	RMLV3216AGSD-5S2#AA0 (トレイ品)
		R1LV3216RSD-5SI#S0 (Tape & Reel品)	RMLV3216AGSD-5S2#HA0 (Tape & Reel品)
ウエハプロセス拠点		ルネサス セミコンダクタ マニュファクチャリング株式会社 西条工場 (日本)	←
メモリセル		TFT負荷型 キャパシタセル	←
デザインルール		0.15um	0.11um
組立拠点		Renesas Semiconductor Beijing (中国)	Greatek Electronics Inc. (台湾)
JEITA Package Code		P-TSOP(2)52-8.89x10.79-0.40	←
パッケージ表面仕様			
アセンブリ材料	リードフレーム材質	42Alloy	Cu
	リードめっき材	Sn-Cu	純Sn
	ダイボンディング材	樹脂フィルム	樹脂ペースト
	ボンディングワイヤー材	Au	Au
	封止材料	エポキシ樹脂 (非ハロゲンフリー)	エポキシ樹脂 (ハロゲンフリー)
	内部構造図		
チップ厚		現行チップ厚	変更あり
選別テスト拠点		Powertech Technology Inc. (台湾)	←
トレイ品	トレイ	JEDEC Tray ルネサスロゴ有り (型名 : L196-24)	←
	収納数	230pcs/tray	←
	トレイへのIC収納順序	トレイの切欠きが左下になる状態にして、 左上から下方向へ配置	←
	トレイ段数 (Max.)	10枚 + 1枚 (フタ)	←
	内装箱サイズ (LxWxH)	351mm x 175mm x 104mm	←
Tape & Reel品	エンボステープ	現行仕様	変更なし
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	289mm x 264mm x 60mm	←
防湿梱包性能		MSL 2	MSL 3
出荷梱包ラベル		現行仕様	フォーマットの変更なし (発注型名、原産国、MSL表示は変更)

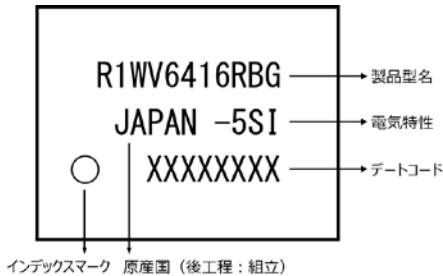
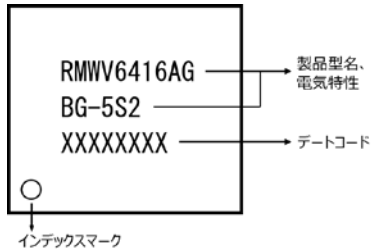
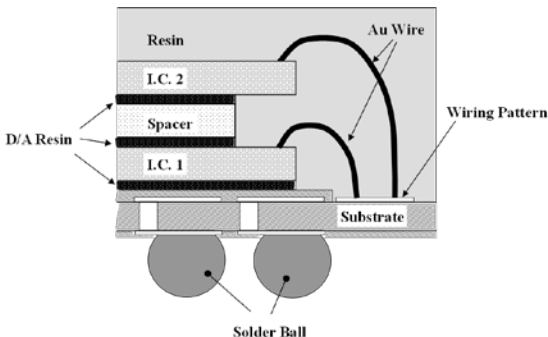
(3) 64Mb 48pin-TSOP(I) < 製品型名 : R1WV6416RSA-5SI >

項目		生産終了製品	後継製品
発注型名		R1WV6416RSA-5SI#B0 (トレイ品)	RMWV6416AGSA-5S2#AA0 (トレイ品)
		R1WV6416RSA-5SI#S0 (Tape & Reel品)	RMWV6416AGSA-5S2#KA0 (Tape & Reel品)
ウエハプロセス拠点		ルネサス セミコンダクタ マニファクチャリング株式会社 西条工場 (日本)	←
メモリセル		TFT負荷型 キャパシタセル	←
デザインルール		0.15um	0.11um
組立拠点		Renesas Semiconductor Beijing (中国)	Greatek Electronics Inc. (台湾)
マーキング原産国表示		CHINA	TAIWAN
JEITA Package Code		P-TSOP(1)48-12x18.4-0.50	←
パッケージ表面仕様			
アセンブリ材料	リードフレーム材質	42Alloy	Cu
	リードめっき材	Sn-Cu	純Sn
	ダイボンディング材	樹脂フィルム	樹脂フィルム
	ボンディングワイヤー材	Au	Au
	封止材料	エポキシ樹脂 (非ハロゲンフリー)	エポキシ樹脂 (ハロゲンフリー)
	内部構造図		
チップ厚		現行チップ厚	変更あり
選別テスト拠点		Powertech Technology Inc. (台湾)	←
トレイ品	トレイ	JEDEC Tray ルネサスロゴ無し (TSOP I package size: 12mm x 18.4mm)	←
	収納数	96pcs/tray	←
	トレイへの IC収納順序	トレイの切欠きが左下になる状態にして、 左上から下方向へ配置	←
	トレイ段数 (Max.)	10枚 + 1枚 (フタ)	←
	内装箱サイズ (LxWxH)	351mm x 175mm x 104mm	←
Tape & Reel品	エンボステーブ	現行仕様	←
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	362mm x 340mm x 60mm	←
防湿梱包性能		MSL 2	MSL 3
出荷梱包ラベル		現行仕様	フォーマットの変更なし (発注型名、原産国、MSL表示は変更)

(4) 64Mb 52pin-μTSOP < 製品型名 : R1WV6416RSD-5SI >

項目		生産終了製品	後継製品
発注型名		R1WV6416RSD-5SI#B0 (トレイ品)	RMWV6416AGSD-5S2#AA0 (トレイ品)
		R1WV6416RSD-5SI#S0 (Tape & Reel品)	RMWV6416AGSD-5S2#HA0 (Tape & Reel品)
ウエハプロセス拠点		ルネサス セミコンダクタ マニファクチャリング株式会社 西条工場 (日本)	←
メモリセル		TFT負荷型 キャパシタセル	←
デザインルール		0.15um	0.11um
組立拠点		Renesas Semiconductor Beijing (中国)	Greatek Electronics Inc. (台湾)
JEITA Package Code		P-TSOP(2)52-8.89x10.79-0.40	←
パッケージ表面仕様			
アセンブリ材料	リードフレーム材質	42Alloy	Cu
	リードめっき材	Sn-Cu	純Sn
	ダイボンディング材	樹脂フィルム	樹脂フィルム
	ボンディングワイヤー材	Au	Au
	封止材料	エポキシ樹脂 (非ハロゲンフリー)	エポキシ樹脂 (ハロゲンフリー)
	内部構造図		
チップ厚		現行チップ厚	変更あり
選別テスト拠点		Powertech Technology Inc. (台湾)	←
トレイ品	トレイ	JEDEC Tray ルネサスロゴ有り (型名 : L196-24)	←
	収納数	230pcs/tray	←
	トレイへのIC収納順序	トレイの切欠きが左下になる状態にして、 左上から下方向へ配置	←
	トレイ段数 (Max.)	10枚 + 1枚 (フタ)	←
	内装箱サイズ (LxWxH)	351mm x 175mm x 104mm	←
Tape & Reel品	エンボステープ	現行仕様	変更なし
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	289mm x 264mm x 60mm	←
防湿梱包性能		MSL 2	MSL 3
出荷梱包ラベル		現行仕様	フォーマットの変更なし (発注型名、原産国、MSL表示は変更)

(5) 64Mb 48ball-FBGA < 製品型名 : R1WV6416RBG-5SI >

項目		生産終了製品	後継製品
発注型名		R1WV6416RBG-5SI#B0 (トレイ品)	RMWV6416AGBG-5S2#AC0 (トレイ品)
		R1WV6416RBG-5SI#S0 (Tape & Reel品)	RMWV6416AGBG-5S2#KC0 (Tape & Reel品)
ウエハプロセス拠点		ルネサス セミコンダクタ マニュファクチャリング株式会社 西条工場 (日本)	←
メモリセル		TFT負荷型 キャパシタセル	←
デザインルール		0.15um	0.11um
組立拠点		株式会社ジェイデバイス 熊本地区 (日本)	←
マーキング原産国表示		JAPAN	表示無し
JEITA Package Code		P-TFBGA48-8.5x11-0.75	P-TFBGA48-7.5x8.5-0.75
パッケージ外形サイズ(横 x 縦)		8.5 x 11.0mm	7.5 x 8.5mm
ボールピッチ		0.75mm	←
パッケージ表面仕様			
アセンブリ材料	基板材質	ガラスエポキシ	←
	はんだボール材	Sn-Ag-Cu	←
	ダイボンディング材	樹脂フィルム	←
	ボンディングワイヤー材	Au	←
	封止材料	エポキシ樹脂 (非ハロゲンフリー)	エポキシ樹脂 (ハロゲンフリー)
	内部構造図		←
チップ厚		現行チップ厚	←
選別テスト拠点		Powertech Technology Inc. (台湾)	←
トレイ品	トレイ	JEDEC Tray ルネサスロゴ有り (型名 : L196-121)	JEDEC Tray ルネサスロゴ有り (型名 : L196-45) (他の7.5x8.5mm 48ball FBGA製品群と同じ)
	収納数	242pcs/tray	253pcs/tray
	トレイへのIC収納順序	トレイの切欠きが左下になる状態にして、 左上から下方向へ配置	←
	トレイ段数 (Max.)	10枚 + 1枚 (フタ)	←
	内装箱サイズ (LxWxH)	351mm x 175mm x 104mm	←
Tape & Reel品	エンボステープ	現行仕様	新仕様 (他の7.5x8.5mm 48ball FBGA製品群と同じ)
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	289mm x 264mm x 60mm	←
防湿梱包性能		MSL 3	←
出荷梱包ラベル		現行仕様	フォーマットの変更なし (発注型名は変更)

- ・トレイの仕様変更については、Page 12をご参照ください。
- ・エンボステープの仕様変更については、Page 13をご参照ください。

3. データシート電氣的特性比較

(1)-a. データシート電氣的特性 DC項目：32Mb品

対象型名

項目	生産終了製品	後継製品
発注型名	R1LV3216RSA-5SI#B1	RMLV3216AGSA-5S2#AA0
	R1LV3216RSA-5SI#S1	RMLV3216AGSA-5S2#KA0
	R1LV3216RSD-5SI#B0	RMLV3216AGSD-5S2#AA0
	R1LV3216RSD-5SI#S0	RMLV3216AGSD-5S2#HA0

DC動作条件

項目	Symbol	生産終了製品	Symbol	後継製品
動作電源電圧	Vcc	2.7V~3.6V	Vcc	←
動作温度範囲	Ta	-40℃~85℃	Ta	←
入力電圧 (High)	VIH	2.4V(min.) / Vcc+0.2V(max.)	VIH	2.2V(min.) / Vcc+0.3V(max.)
入力電圧 (Low)	VIL	-0.2V(min.) / 0.4V(max.)	VIL	-0.3V(min.) / 0.6V(max.)

DC特性

項目	Symbol	生産終了製品		Symbol	後継製品	
動作電流	Icc1(TTL入力,Min.Cycle)	55mA(max.) / 40mA(typ.)		Icc1(TTL入力,Min.Cycle)	35mA(max.) / 27mA(typ.)	
	Icc2(MOS入力,Cycle=1us)	8mA(max.) / 3mA(typ.)		Icc2(MOS入力,Cycle=1us)	4mA(max.) / 2mA(typ.)	
スタンバイ電流	ISB(TTL入力)	0.3mA(max.) / 0.1mA(typ.)		ISB(TTL入力)	←	
	ISB1(MOS入力)	~25℃	12uA(max.) / 4uA(typ.)	ISB1(MOS入力)	~25℃	4uA(max.) / 0.6uA(typ.)
		~40℃	24uA(max.) / 7uA(typ.)		~40℃	6uA(max.) / 1uA(typ.)
		~70℃	50uA(max.)		~70℃	17uA(max.) / 4uA(typ.)
		~85℃	80uA(max.)		~85℃	24uA(max.) / 8uA(typ.)
出力電圧 (High)	VOH	IOH=-1mA	—	VOH	IOH=-1mA	2.4V(min.)
		IOH=-0.5mA	2.4V(min.)		IOH=-0.5mA	—
出力電圧 (Low)	VOL	IOL=2mA	0.4V(max.)	VOL	IOL=2mA	←

容量

項目	Symbol	生産終了製品	Symbol	後継製品
Input capacitance	C in	10pF(max.)	C in	←
Input/Output capacitance	C I/O	10pF(max.)	C I/O	←

データ保持特性

項目	Symbol	生産終了製品		Symbol	後継製品	
データ保持電圧	VDR	2.0V(min.)		VDR	1.5V(min.)	
データ保持電流	IccDR	~25℃	12uA(max.) / 4uA(typ.)	IccDR	~25℃	4uA(max.) / 0.6uA(typ.)
		~40℃	24uA(max.) / 7uA(typ.)		~40℃	6uA(max.) / 1uA(typ.)
		~70℃	50uA(max.)		~70℃	17uA(max.) / 4uA(typ.)
		~85℃	80uA(max.)		~85℃	24uA(max.) / 8uA(typ.)
Chip deselect time to data retention	tCDR	0ns(min.)		tCDR	←	
Operation recovery time	tR	5ms(min.)		tR	←	

(1)-b. データシート電気的特性 AC項目： 32Mb品

対象型名

項目	生産終了製品	後継製品
発注型名	R1LV3216RSA-5SI#B1	RMLV3216AGSA-5S2#AA0
	R1LV3216RSA-5SI#S1	RMLV3216AGSA-5S2#KA0
	R1LV3216RSD-5SI#B0	RMLV3216AGSD-5S2#AA0
	R1LV3216RSD-5SI#S0	RMLV3216AGSD-5S2#HA0

AC特性
リードサイクル

項目	Symbol	生産終了製品	Symbol	後継製品
Read cycle time	tRC	55ns(min.)	tRC	←
Address access time	tAA	55ns(max.)	tAA	←
Chip select access time	tACS1 / tACS2	55ns(max.)	tACS1 / tACS2	45ns(max.)
Output enable to output valid	tOE	25ns(max.)	tOE	22ns(max.)
Output hold from address change	tOH	10ns(min.)	tOH	←
LB#,UB# access time	tBA	55ns(max.)	tBA	45ns(max.)
Chip select to output in low-Z	tCLZ1 / tCLZ2	10ns(min.)	tCLZ1 / tCLZ2	←
LB#,UB# enable to low-Z	tBLZ	5ns(min.)	tBLZ	←
Output enable to output in low-Z	tOLZ	5ns(min.)	tOLZ	←
Chip deselect to output in high-Z	tCHZ1 / tCHZ2	0ns(min.) / 20ns(max.)	tCHZ1 / tCHZ2	0ns(min.) / 18ns(max.)
LB#,UB# disable to high-Z	tBHZ	0ns(min.) / 20ns(max.)	tBHZ	0ns(min.) / 18ns(max.)
Output disable to output in high-Z	tOHZ	0ns(min.) / 20ns(max.)	tOHZ	0ns(min.) / 18ns(max.)

ライトサイクル

項目	Symbol	生産終了製品	Symbol	後継製品
Write cycle time	tWC	55ns(min.)	tWC	←
Address valid to end of write	tAW	50ns(min.)	tAW	35ns(min.)
Chip select to end of write	tCW	50ns(min.)	tCW	35ns(min.)
Write pulse width	tWP	40ns(min.)	tWP	35ns(min.)
LB#,UB# valid to end of write	tBW	50ns(min.)	tBW	35ns(min.)
Address setup time	tAS	0ns(min.)	tAS	←
Write recovery time	tWR	0ns(min.)	tWR	←
Data to write time overlap	tDW	25ns(min.)	tDW	←
Data hold from write time	tDH	0ns(min.)	tDH	←
Output enable from end of write	tOW	5ns(min.)	tOW	←
Output disable to output in high-Z	tOHZ	0ns(min.) / 20ns(max.)	tOHZ	0ns(min.) / 18ns(max.)
Write to output in high-Z	tWHZ	0ns(min.) / 20ns(max.)	tWHZ	0ns(min.) / 18ns(max.)

(2)-a. データシート電気的特性 DC項目： 64Mb品

対象型名

項目	生産終了製品	後継製品
発注型名	R1WV6416RSA-5SI#B0	RMWV6416AGSA-5S2#AA0
	R1WV6416RSA-5SI#S0	RMWV6416AGSA-5S2#KA0
	R1WV6416RSD-5SI#B0	RMWV6416AGSD-5S2#AA0
	R1WV6416RSD-5SI#S0	RMWV6416AGSD-5S2#HA0
	R1WV6416RBG-5SI#B0	RMWV6416AGBG-5S2#AC0
	R1WV6416RBG-5SI#S0	RMWV6416AGBG-5S2#KC0

DC動作条件

項目	Symbol	生産終了製品	Symbol	後継製品
動作電源電圧	Vcc	2.7V～3.6V	Vcc	←
動作温度範囲	Ta	-40℃～85℃	Ta	←
入力電圧 (High)	VIH	2.4V(min.) / Vcc+0.2V(max.)	VIH	2.2V(min.) / Vcc+0.3V(max.)
入力電圧 (Low)	VIL	-0.2V(min.) / 0.4V(max.)	VIL	-0.3V(min.) / 0.6V(max.)

DC特性

項目	Symbol	生産終了製品		Symbol	後継製品	
動作電流	Icc1(TTL入力,Min.Cycle)	60mA(max.) / 45mA(typ.)		Icc1(TTL入力,Min.Cycle)	38mA(max.) / 29mA(typ.)	
	Icc2(MOS入力,Cycle=1us)	10mA(max.) / 5mA(typ.)		Icc2(MOS入力,Cycle=1us)	5mA(max.) / 2.5mA(typ.)	
スタンバイ電流	ISB(TTL入力)	0.3mA(max.) / 0.1mA(typ.)		ISB(TTL入力)	←	
	ISB1(MOS入力)	～25℃	24uA(max.) / 8uA(typ.)	ISB1(MOS入力)	～25℃	8uA(max.) / 1.2uA(typ.)
		～40℃	48uA(max.) / 14uA(typ.)		～40℃	12uA(max.) / 2uA(typ.)
		～70℃	100uA(max.)		～70℃	34uA(max.)
		～85℃	160uA(max.)		～85℃	46uA(max.)
出力電圧 (High)	VOH	IOH=-1mA	—	VOH	IOH=-1mA	2.4V(min.)
		IOH=-0.5mA	2.4V(min.)		IOH=-0.5mA	—
出力電圧 (Low)	VOL	IOL=2mA	0.4V(max.)	VOL	IOL=2mA	←

容量

項目	Symbol	生産終了製品	Symbol	後継製品
Input capacitance	C in	20pF(max.)	C in	←
Input/Output capacitance	C I/O	20pF(max.)	C I/O	←

データ保持特性

項目	Symbol	生産終了製品		Symbol	後継製品	
データ保持電圧	VDR	2.0V(min.)		VDR	1.5V(min.)	
データ保持電流	IccDR	～25℃	24uA(max.) / 8uA(typ.)	IccDR	～25℃	8uA(max.) / 1.2uA(typ.)
		～40℃	48uA(max.) / 14uA(typ.)		～40℃	12uA(max.) / 2uA(typ.)
		～70℃	100uA(max.)		～70℃	34uA(max.)
		～85℃	160uA(max.)		～85℃	46uA(max.)
Chip deselect time to data retention	tCDR	0ns(min.)		tCDR	←	
Operation recovery time	tR	5ms(min.)		tR	←	

(2)-b. データシート電気的特性 AC項目： 64Mb品

対象型名

項目	生産終了製品	後継製品
発注型名	R1WV6416RSA-5SI#B0	RMWV6416AGSA-5S2#AA0
	R1WV6416RSA-5SI#S0	RMWV6416AGSA-5S2#KA0
	R1WV6416RSD-5SI#B0	RMWV6416AGSD-5S2#AA0
	R1WV6416RSD-5SI#S0	RMWV6416AGSD-5S2#HA0
	R1WV6416RBG-5SI#B0	RMWV6416AGBG-5S2#AC0
	R1WV6416RBG-5SI#S0	RMWV6416AGBG-5S2#KC0

AC特性
リードサイクル

項目	Symbol	生産終了製品	Symbol	後継製品
Read cycle time	tRC	55ns(min.)	tRC	←
Address access time	tAA	55ns(max.)	tAA	←
Chip select access time	tACS1 / tACS2	55ns(max.)	tACS1 / tACS2	←
Output enable to output valid	tOE	25ns(max.)	tOE	←
Output hold from address change	tOH	10ns(min.)	tOH	←
LB#,UB# access time	tBA	55ns(max.)	tBA	←
Chip select to output in low-Z	tCLZ1 / tCLZ2	10ns(min.)	tCLZ1 / tCLZ2	←
LB#,UB# enable to low-Z	tBLZ	5ns(min.)	tBLZ	←
Output enable to output in low-Z	tOLZ	5ns(min.)	tOLZ	←
Chip deselect to output in high-Z	tCHZ1 / tCHZ2	0ns(min.) / 20ns(max.)	tCHZ1 / tCHZ2	←
LB#,UB# disable to high-Z	tBHZ	0ns(min.) / 20ns(max.)	tBHZ	←
Output disable to output in high-Z	tOHZ	0ns(min.) / 20ns(max.)	tOHZ	←

ライトサイクル

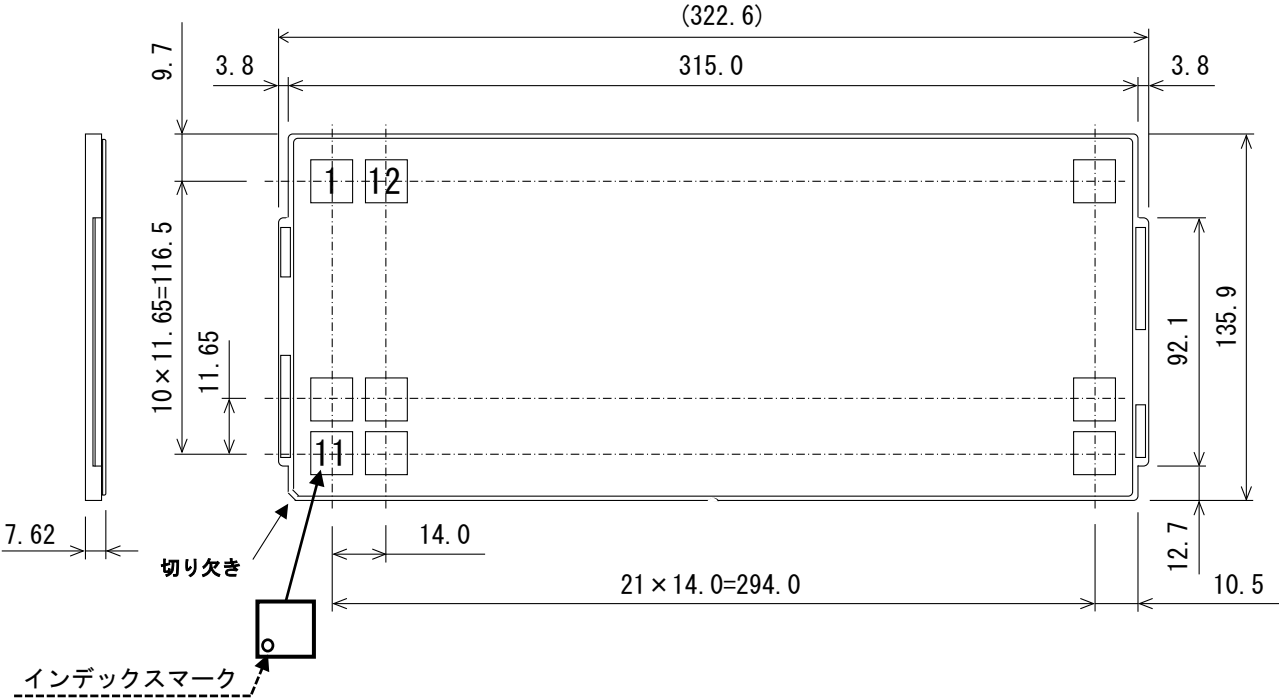
項目	Symbol	生産終了製品	Symbol	後継製品
Write cycle time	tWC	55ns(min.)	tWC	←
Address valid to end of write	tAW	50ns(min.)	tAW	45ns(min.)
Chip select to end of write	tCW	50ns(min.)	tCW	45ns(min.)
Write pulse width	tWP	40ns(min.)	tWP	←
LB#,UB# valid to end of write	tBW	50ns(min.)	tBW	45ns(min.)
Address setup time	tAS	0ns(min.)	tAS	←
Write recovery time	tWR	0ns(min.)	tWR	←
Data to write time overlap	tDW	25ns(min.)	tDW	←
Data hold from write time	tDH	0ns(min.)	tDH	←
Output enable from end of write	tOW	5ns(min.)	tOW	←
Output disable to output in high-Z	tOHZ	0ns(min.) / 20ns(max.)	tOHZ	←
Write to output in high-Z	tWHZ	0ns(min.) / 20ns(max.)	tWHZ	←

4. 梱包仕様の変更内容

(1) 48ball-FBGA トレイ変更内容

- ・ パッケージ外形サイズの変更に伴い、トレイのポケット寸法が変更になります。
- 変更前後での比較は下記をご参照ください。なお、トレイへのIC収納順序は変更ございません。
- (変更後のトレイは、同じパッケージ外形サイズ (7.5x8.5mm) の他製品と同一となります。)

生産終了製品(トレイ型名 : L196-121、収納数 : 242pcs/tray)



後継製品(トレイ型名 : L196-45、収納数 : 253pcs/tray)

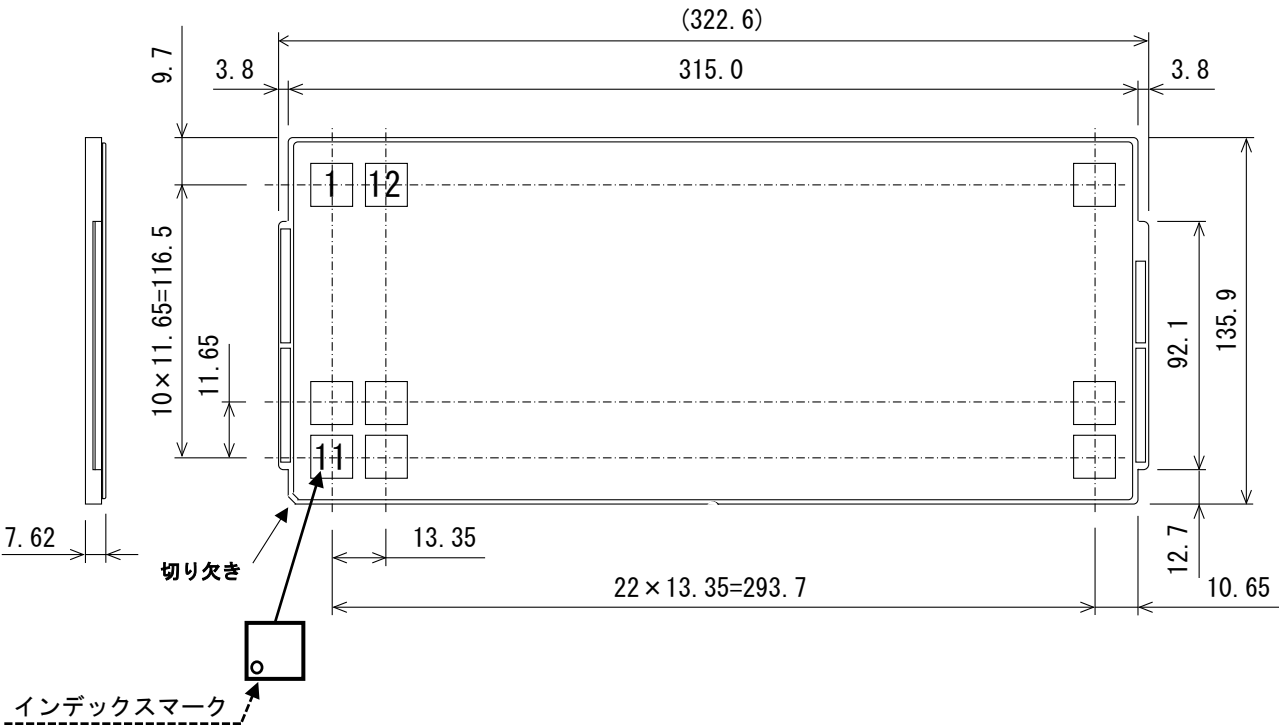
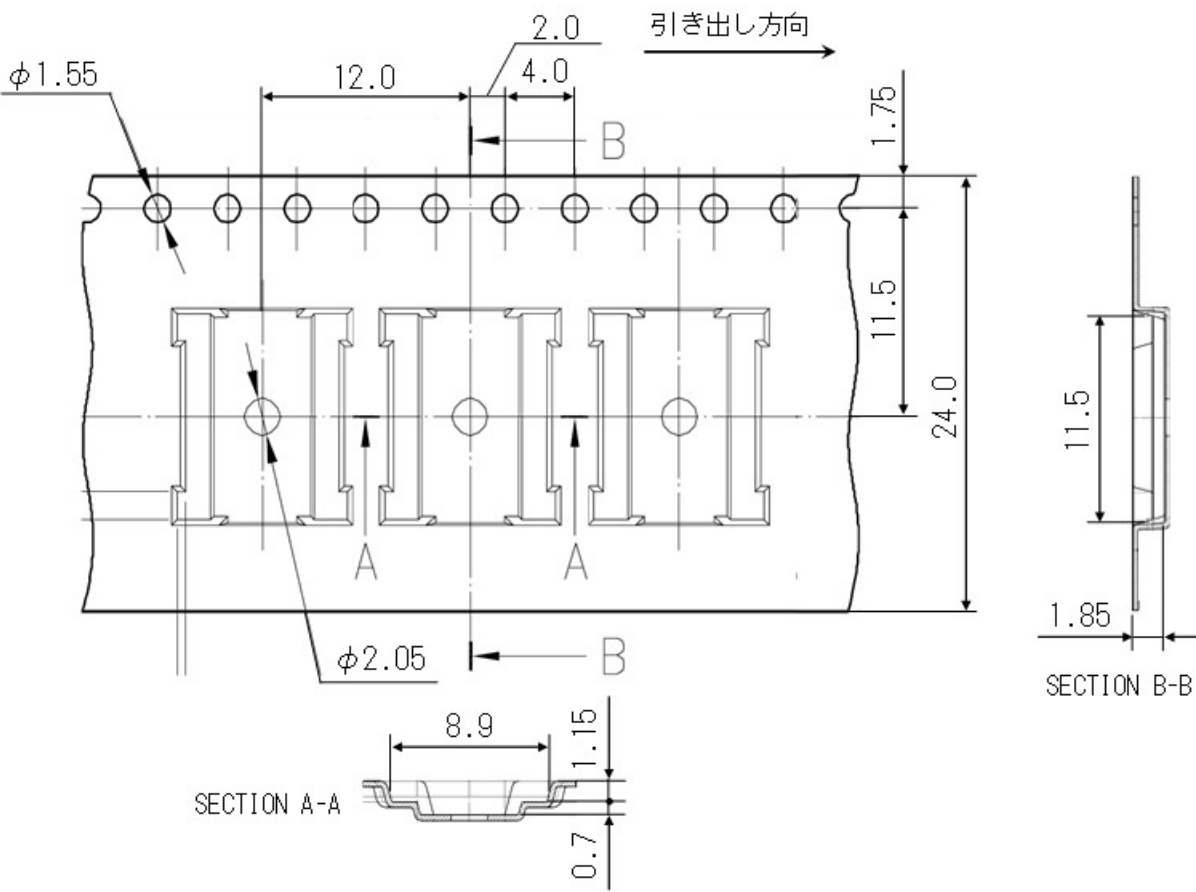


図. 48ball-FBGA トレイ外形寸法図及びICのトレイへの配置方向 (単位 : mm)

(2) 48ball-FBGA テープ&リール変更内容

- ・ パッケージ外形サイズの変更に伴い、エンボステープにおけるパッケージのポケット形状、サイズ、パッケージの着座高さ、及び、エンボステープ幅が変更になります。変更前後での比較は下記をご参照ください。
(変更後のエンボステープは、同じパッケージ外形サイズ (7.5x8.5mm) の他製品と同一となります。)
- ・ エンボステープピッチ、リール径の変更はございません。

生産終了製品(テーピング型名 : TE2412-48FHK)



後継製品(テーピング型名 : MTE1612H-48F7Q)

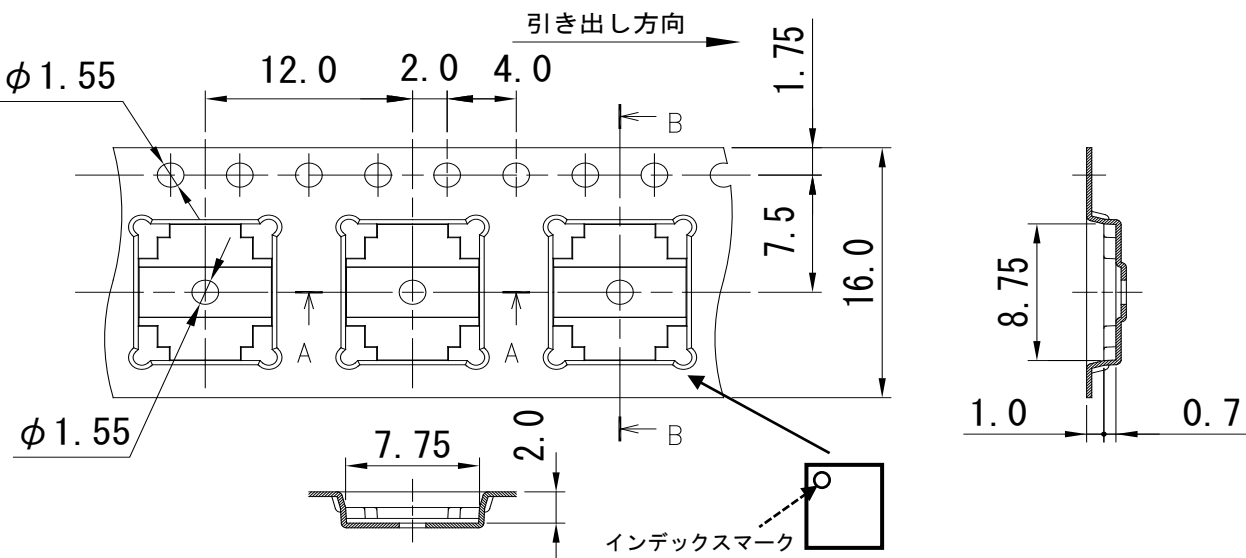
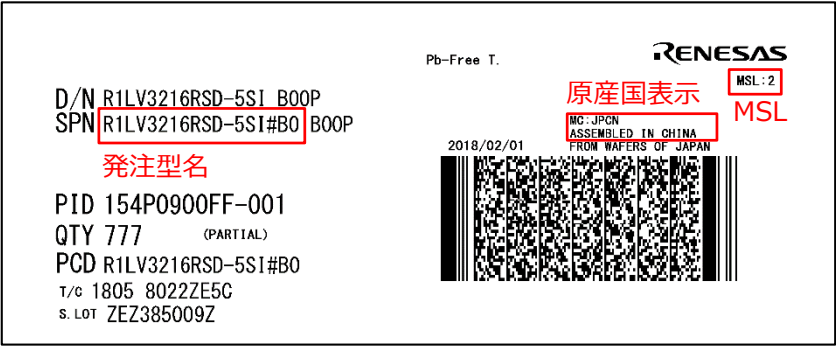


図. 48ball-FBGA エンボステープ寸法 (単位 : mm)

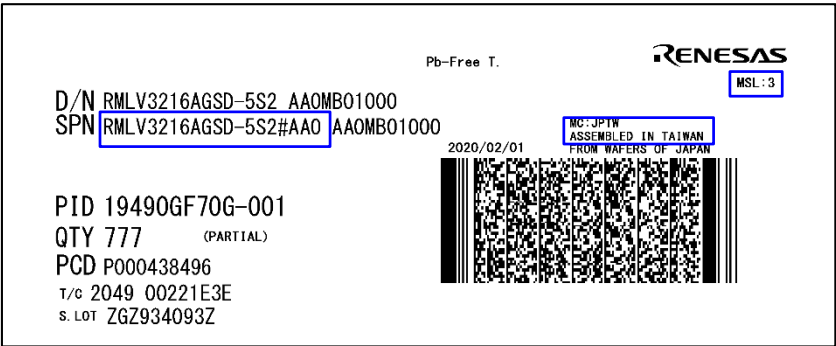
5. 出荷梱包ラベル仕様

- ラベルフォーマット自体の変更はございません。
- 「発注型名」の記載内容が変更になります。
R1LV3216RSD-5SI, R1WV6416RSD-5SI, R1WV6416RSA-5SI については、「原産国表示」と「MSL表示」も変更になります。下記のラベル例をご参照ください。

生産終了製品



後継製品



改定記録	別紙：CST-R2-AD139 補足資料
------	----------------------

Rev.	発行日	改訂内容
1.00	2018/7/31	初版発行
1.01	2019/4/22	p.4, p.6 : ・ 52pin-μTSOPのエンボステープの変更後（後継製品）の仕様を、「新仕様」から「変更なし」に修正。 ・ 脚注の、「エンボステープの仕様変更については、Page 12をご参照ください。」を削除。 Rev.1.00のp.12 : ・ 52pin-μTSOP テープ&リール変更内容の、ページ全体を削除。これに伴い、参照するページ数がずれた箇所を修正。 （p.7 の表下に記載の、48ball-FBGAの梱包仕様について、 “トレイの仕様変更については、Page 13をご参照ください。” ⇒ “トレイの仕様変更については、Page 12をご参照ください。” “エンボステープの仕様変更については、Page 14をご参照ください。” ⇒ “エンボステープの仕様変更については、Page 13をご参照ください。”）
1.02	2019/6/25	p.5, p.6 : ・ 後継製品のチップ厚を、「現行品と同一」から、「変更あり」に修正。