

RAJ306000 シリーズ

ユーザーズマニュアル ハードウェア編

General purpose Motor control IC

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、その他の不適切に使用しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、
大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することはできません。たとえ、意図しない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を、(1)核兵器、化学兵器、生物兵器等の大量破壊兵器およびこれらを運搬することができるミサイル（無人航空機を含みます。）の開発、設計、製造、使用もしくは貯蔵等の目的、(2)通常兵器の開発、設計、製造または使用の目的、または(3)その他の国際的な平和および安全の維持の妨げとなる目的で、自ら使用せず、かつ、第三者に使用、販売、譲渡、輸出、賃貸もしくは使用許諾しないでください。
当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様の転売、貸与等により、本書（本ご注意書きを含みます。）記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は一切その責任を負わず、お客様にかかる使用に基づく当社への請求につき当社を免責いただきます。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載された情報または当社製品に関し、ご不明点がある場合には、当社営業にお問い合わせください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対象者 このマニュアルは RAJ306000 シリーズ (RL78/G1F 搭載 プリドライバチップ) の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示す各製品です。

・ 64 ピン : RAJ3060xx (xx = 01,10)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RAJ306000 シリーズのマニュアルは、このマニュアルと RL78/G1F ハードウェアマニュアル編、ソフトウェア編 (RL78 ファミリ共通) の 3 冊に分かれています。本マニュアルでは、RAJ306000 シリーズ特有の機能に関して説明します。RL78/G1F マイコンの詳細な利用方法に関しては、RL78/G1F ハードウェアマニュアル編(R01UH0516J)及び、RL78/G1F のテクニカルアップデートを参照ください。

RAJ306000 シリーズ ユーザーズ・マニュアル ハードウェア編	RL78/G1F ユーザーズ・マニュアル ハードウェア編	RL78 ファミリ ユーザーズ・マニュアル ソフトウェア編
RAJ306000 に関する ●端子機能 ●内部ブロック機能 ●プリドライバ機能 ●RL78/G1F の利用方法	RL78/G1F に関する ●端子機能 ●内部ブロック機能 ●割り込み ●その他の内蔵周辺機能 ●電気的特性	●CPU 機能 ●命令セット ●命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

この"★"を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

□レジスタ・フォーマットの見方

□RL78/G1F マイクロコントローラの命令機能の詳細を知りたいとき

→別冊の RL78 ファミリ ユーザーズ・マニュアル ソフトウェア編 (R01US0015J) を参照してください。

- 凡 例 データ表記の重み : 左が上位桁, 右が下位桁
 アクティブ・ロウの表記 : $\overline{\text{xxx}}$ (端子, 信号名称に上線)
 注 : 本文中につけた注の説明
 注意 : 気をつけて読んでいただきたい内容
 備考 : 本文の補足説明
 数の表記 : 2進数… xxx または xxx B
 10進数… xxx
 16進数… xxx H または 0xxx

関連資料

関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
RAJ306000シリーズ ユーザーズ・マニュアル ハードウェア編	このマニュアル	R18UZ0066E
RL78/G1F ユーザーズ・マニュアル ハードウェア編	R01UH0516J	R01UH0516E
RL78ファミリ ユーザーズ・マニュアル ソフトウェア編	R01US0015J	R01US0015E
Data sheet RAJ306000GFT (General purpose Motor control IC)	R18DS0034J	R18DS0034E

フラッシュ・メモリ書き込み用の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュメモリプログラマ ユーザーズ・マニュアル	-	-
RL78, 78K, V850, RX100, RX200, RX600(RX64x除く), R8C, SH編	R20UT2923J	R20UT2923E
共通編	R20UT2922J	R20UT2922E
セットアップマニュアル	R20UT0930J	R20UT0930E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには, 必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlash は、米国 Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc.からライセンスを受けた SuperFlash®を使用しています。

目次

目次.....	1
第1章 概説.....	1
1.1 特徴.....	1
1.2 端子図(Top View).....	2
1.3 推奨回路.....	6
1.3.1 電源.....	6
1.3.2 リセット.....	7
1.3.3 チャージポンプ.....	8
1.4 推奨駆動波形.....	9
1.5 モータドライブ用MOSFETの選定方法.....	10
第2章 プリドライバ.....	11
2.1 プリドライバの端子構成.....	11
2.1.1 プリドライバの端子接続.....	11
2.1.2 プリドライバの端子表.....	13
2.2 クロック.....	15
2.3 通信.....	16
2.4 プリドライバのレジスタ.....	17
2.4.1 パワーセーブ制御設定レジスタ(PS_ALL).....	18
2.4.2 機能別パワーセーブ制御設定レジスタ(PS).....	19
2.4.3 ソフトウェアリセット設定レジスタ(SW_RESET).....	20
2.4.4 ADC選択レジスタ(ADC_SEL).....	20
2.4.5 U/V/W相モータ制御信号ポート設定レジスタ(SELSIG_U/V/W).....	21
2.4.6 Hall信号処理設定レジスタ(HALL_SIG).....	23
2.4.7 ALARM状態レジスタ1(ALMSTS1).....	25
2.4.8 ALARM動作設定レジスタ1(ALMOPE1).....	26
2.4.9 ALARM端子出力設定レジスタ1(ALMOUT1).....	27
2.4.10 ALARM状態レジスタ2(ALMSTS2).....	28
2.4.11 ドライブ用MOSFET過電流判定遮断用閾値設定レジスタ2(CS_SET2).....	28
2.4.12 ALARM端子出力設定レジスタ2(ALMOUT2).....	29
2.4.13 エラー検出待ち時間設定レジスタ(ERROR_WAIT).....	29
2.4.14 ドライブ用MOSFET過電流判定遮断用閾値設定レジスタ1(CS_SET1).....	30
2.4.15 ホールICコンパレータ閾値調整レジスタ(HAIC_TH).....	30
2.4.16 プリドライバ駆動状態レジスタ(PDDSTS).....	31
2.4.17 LD判定待ち時間レジスタ(LD_WAIT).....	32

2.4.18	モータ駆動制御設定レジスタ(DRIVE_SET).....	33
2.4.19	High/Lowサイド出力電流能力設定レジスタ(IDRCNT_H/IDRCNT_L).....	34
2.4.20	Pchスルーレート設定レジスタ(TRCNT_P).....	36
2.4.21	チャージポンプ設定レジスタ1(CPSET1).....	37
2.4.22	チャージポンプ設定レジスタ2(CPSET2).....	38
2.4.23	チャージポンプ用トリミングレジスタ(CP_TRIM).....	38
2.4.24	5Vレギュレータ電圧設定レジスタ(VREG5_TRIM).....	39
2.4.25	ドライブ用MOSFET電流検出AMP設定レジスタ(CSAMP_TRIM).....	40
2.4.26	アラーム状態モニタレジスタ1(ALMRAW1).....	40
2.4.27	TOIN端子状態レジスタ(TOIN_MONI).....	41
2.4.28	WHO_AM_Iレジスタ(WHO_AM_I).....	41
2.4.29	トリミングプロテクトレジスタ(TRIM_PT).....	42
2.4.30	トリミングデータ有効レジスタ(TRIM_EN).....	42
2.4.31	高精度BGR温度補正レジスタ(BGR_TRIM).....	42
2.4.32	BUFFAMP絶対値補正レジスタ(BFAMP_TRIM).....	42
2.5	プリドライバ機能(設定/使用方法).....	43
2.5.1	プリドライブ部.....	43
2.5.2	5Vレギュレータ部.....	45
2.5.3	ホールICコンパレータ部.....	46
2.5.4	エラー検出部.....	47
2.5.5	CSアンプ部.....	49
2.5.6	チャージポンプ部.....	52
2.5.7	コミュテーション部.....	53
2.5.8	TSD(過熱検知機能)部.....	56
2.5.9	ボルテージモニタ(VMC)部.....	58
2.5.10	BEMFアンプ(逆起電圧)部.....	60
2.5.11	トリミング部.....	62
第3章	RL78/G1F.....	64
3.1	RAJ306000シリーズ搭載RL78/G1Fの概要.....	64
3.2	RAJ306000シリーズ利用時のレジスタ設定.....	65
3.3	RAJ306000シリーズ利用時の周辺機能の制限事項.....	67
3.3.1	端子機能.....	67
3.3.2	クロック発生回路.....	74
3.3.3	タイマ・アレイ・ユニット.....	74
3.3.4	タイマRJ.....	74
3.3.5	タイマRD.....	74
3.3.6	タイマRG.....	75

3.3.7	リアルタイム・クロック	75
3.3.8	12ビット・インターバル・タイマ.....	75
3.3.9	クロック出力/ブザー出力制御回路.....	75
3.3.10	ウォッチドッグ・タイマ	75
3.3.11	A/Dコンバータ	75
3.3.12	D/Aコンバータ	75
3.3.13	コンパレータ(CMP).....	75
3.3.14	プログラマブル・ゲイン・アンプ(PGA).....	75
3.3.15	シリアル・アレイ・ユニット.....	76
3.3.16	IrDA.....	76
3.3.17	データ・トランスファ・コントローラ.....	76
3.3.18	イベント・リンク・コントローラ(ELC)	76
3.3.19	割込み機能	76
3.3.20	キー割込み機能	76
3.3.21	パワーオン・リセット回路.....	76
3.3.22	オプション・バイト	76
3.3.23	フラッシュ・メモリ	76
第4章	シーケンス例.....	77
4.1	起動シーケンス	77
4.1.1	内蔵5Vレギュレータ.....	77
4.2	停止シーケンス	77
4.2.1	STOPモード.....	77
4.2.2	SNOOZEモード.....	78
第5章	使用上の注意事項.....	79
5.1	高温動作に関して	79
付録A	改版履歴.....	80
A. 1	本版REV.2.02で改訂された主な箇所 (REV2.01より)	80
A. 2	REV.2.01で改訂された主な箇所 (REV2.00より)	80
A. 3	REV.2.00で改訂された主な箇所 (REV1.06より)	81
A. 3	改版履歴	84

第1章 概説

1.1 特徴

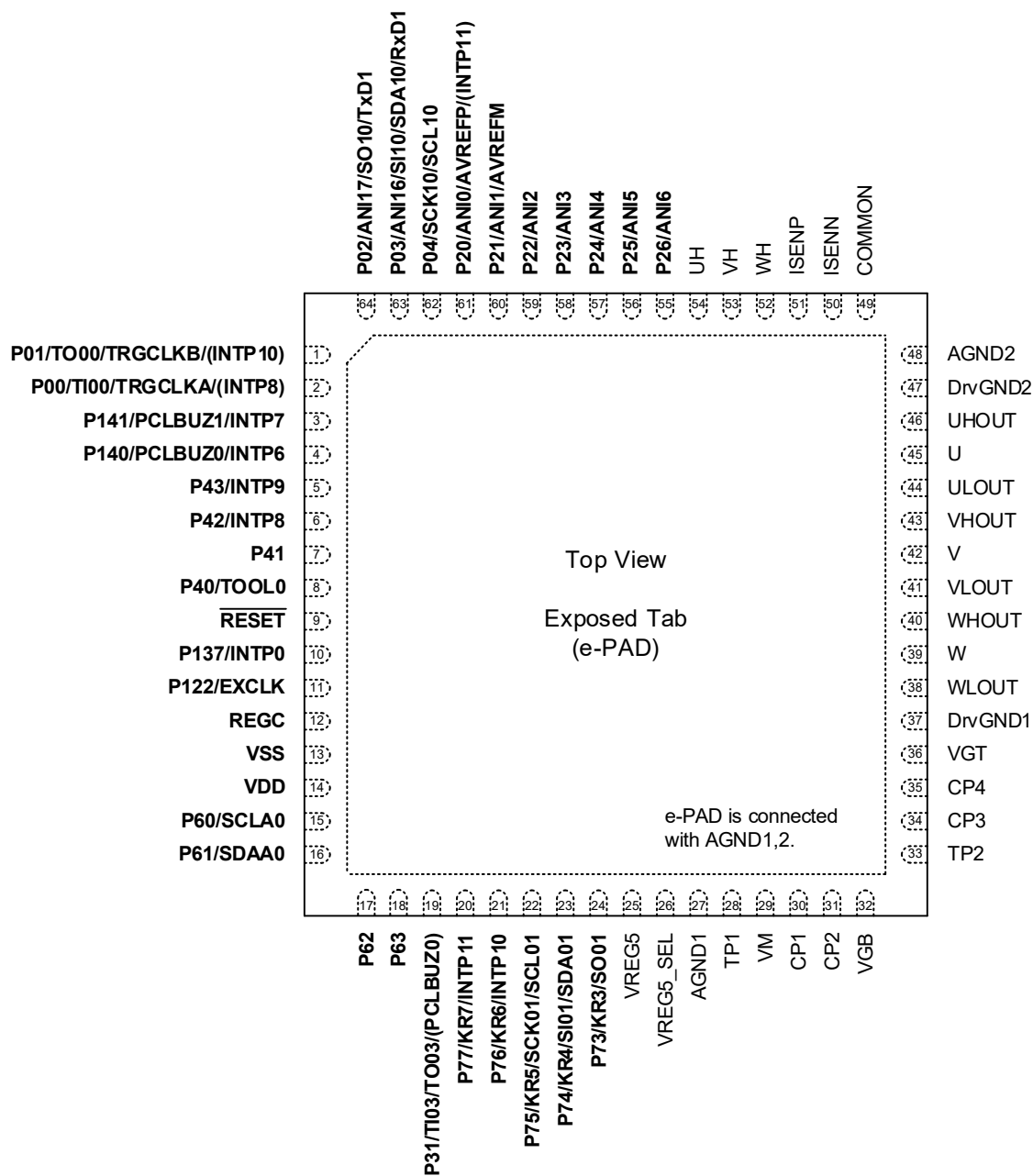
★ RAJ306000シリーズはRL78/G1FとプリドライバのSIP製品です。主な特徴を下記に示します。

- RL78/G1F (R5F11BLEGFB)搭載
 - コード・フラッシュ 64KB
 - データ・フラッシュ 4KB
 - RAM 5.5KB
- 3相DCブラシレスモータの制御可能
 - ホールIC/センサレスに対応
 - デッドタイム調整機能
 - ゲート電流調整機能
- ★ ● 動作電圧
 - RAJ306001: 6V to 30V
 - RAJ306010: 6V to 42V
- 5Vレギュレータを内蔵
- モータドライブ用Nch MOSFETを直接駆動可能
- MOSFETのゲートドライブ電流 500mA対応(ピーク)
- MOSFETを確実に駆動する二倍昇圧機能を備えたブートストラップ回路内蔵
- 駆動モード選択(PWM制御/コミュテーション制御)
- 安全機能
 - 安全規格IEC60730対応MCU(RL78/G1F)搭載
 - 発熱検出(TSD)
 - 過電流検出(CSアンプ,5Vレギュレータ)
 - 電圧異常低下検出(VM,チャージポンプ)
 - 電圧異常上昇検出(5Vレギュレータ,チャージポンプ)
 - モータロック検出
- ホールIC入力対応
 - 入力閾値電圧変更可能
 - ヒステリシス電圧選択可能
- 各種測定回路内蔵
 - VM電圧
 - チップ温度 (プリドライバ)
 - モータ電流
 - 逆起電圧

1.2 端子図(Top View)

★ 下記に、RAJ306000シリーズの端子図及び、端子表を示します。

図 1-1 端子図



Note:

Bold text : RL78 pins

Normal-face font : Pre-driver pins

表 1-1 端子表(1/3)

RL78 or Pre-Driver	端子		I/O レベル	入出力	リセット解除時	端子機能
	番号	名称				
RL78	1	P01	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: TO00/TRGCLKB/(INTP10)
	2	P00	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: TI00/TRGCLKA/TRJ00/(INTP8)
	3	P141	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: PCLBUZ1/INTP7
	4	P140	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: PCLBUZ0/INTP6
	5	P43	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: INTP9
	6	P42	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: INTP8
	7	P41	VDD	I/O	入力ポート	メイン機能: GPIO
	8	P40	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: TOOL0
	9	RESET	VDD	-	入力ポート	リセット端子
	10	P137	VDD	INPUT	入力ポート	メイン機能: GPI サブ機能: INTP0
	11	P122	VDD	INPUT	入力ポート	メイン機能: GPI サブ機能: EXCLK
	12	REGC	VDD	-	内部電源	RL78/G1F内部定電圧回路用容量接続
	13	VSS	VDD	GND	GND	RL78/G1F用GND
	14	VDD	VDD	Power	電源	RL78/G1F用電源 (5V)
	15	P60	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: SCLA0
	16	P61	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: SDAA0
	17	P62	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: CSI00(need to invalid)
	18	P63	VDD	I/O	入力ポート	メイン機能: GPIO
	19	P31	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: TI03/TO03/(PCLBUZ0)/VCOUT1
	20	P77	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: KR7/INTP11
	21	P76	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: KR6/INTP10
	22	P75	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: KR5/SCK01/SCL01
	23	P74	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: KR4/SI01/SDA01
	24	P73	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: KR3/SO01

表 1-2 端子表(2/3)

RL78 or Pre-Driver	端子		I/O レベル	入出力	リセット解除時	端子機能
	番号	名称				
Pre-Driver	25	VREG5	VREG5(5V)	IN/OUT	電源入出力	VREG5はVREG5_SEL端子で機能設定
	26	VREG5_SEL	VREG5	INPUT	入力ポート	VREG5_SEL=GND:内蔵5Vレギュレータ選択(5V出力) VREG5_SEL=5V:外付け5Vレギュレータ選択(5V入力)
	27	AGND1	GND	GND	GND	ブリドドライブ用アナログ回路GND
	28	TP1	VREG5	INPUT	入力ポート	GNDに接続してください
	29	VM	VM	POWER	電源入力	モータ駆動用電源入力
	30	CP1	VGB	-	-	VGB用昇圧コンデンサ
	31	CP2	VGB	-	-	VGB用昇圧コンデンサ
	32	VGB	VGB	OUT	出力ポート	Lowサイド用ゲート駆動電圧
	33	TP2	VREG5	INPUT	入力ポート	GNDに接続してください
	34	CP3	VM	-	-	VGT用昇圧コンデンサ
	35	CP4	VGT	-	-	VGT用昇圧コンデンサ
	36	VGT	VGT	OUT	出力ポート	Hightサイド用ゲート駆動電圧
	37	DrvGND1	GND	GND	GND	ブリドドライブ用出力段回路GND
	38	WLOUT	VGB	OUT	出力ポート	W相Lowサイドドライバ(Nch MOSFET)駆動用出力
	39	W	VM	INPUT	入力ポート	W相電圧
	40	WHOUT	VGT	OUT	出力ポート	W相Highサイドドライバ(Nch MOSFET)駆動用出力
	41	VLOUT	VGB	OUT	出力ポート	V相Lowサイドドライバ(Nch MOSFET)駆動用出力
	42	V	VM	INPUT	入力ポート	V相電圧
	43	VHOUT	VGT	OUT	出力ポート	V相Highサイドドライバ(Nch MOSFET)駆動用出力
	44	ULOUT	VGB	OUT	出力ポート	U相Lowサイドドライバ(Nch MOSFET)駆動用出力
	45	U	VM	INPUT	入力ポート	U相電圧
	46	UHOUT	VGT	OUT	出力ポート	U相Highサイドドライバ(Nch MOSFET)駆動用出力
	47	DrvGND2	GND	GND	GND	ブリドドライブ用出力段回路GND
	48	AGND2	GND	GND	GND	ブリドドライブ用アナログ回路GND
	49	COMMON	VM	INPUT	入力ポート	モータコモン信号入力
	50	ISENN	VREG5	INPUT	入力ポート	シャント抵抗マイナス側
51	ISENP	VREG5	INPUT	入力ポート	シャント抵抗プラス側	
52	WH	VREG5	INPUT	入力ポート	RAJ306001: W相ホールIC信号入力	
52			IN/OUT	入力ポート	RAJ306010: W相ホールIC信号入力、BEMFアンプ出力	
53	VH	VREG5	INPUT	入力ポート	V相ホールIC信号入力	
54	UH	VREG5	INPUT	入力ポート	U相ホールIC信号入力	

★

表 1-3 端子表(3/3)

RL78 or Pre-Driver	端子		I/O レベル	入出力	リセット解除時	端子機能
	番号	名称				
RL78	55	P26	VDD	I/O	アナログ機能	メイン機能: GPIO サブ機能: ANI6
	56	P25	VDD	I/O	アナログ機能	メイン機能: GPIO サブ機能: ANI5
	57	P24	VDD	I/O	アナログ機能	メイン機能: GPIO サブ機能: ANI4
	58	P23	VDD	I/O	アナログ機能	メイン機能: GPIO サブ機能: ANI3/ANO1/PGAGND
	59	P22	VDD	I/O	アナログ機能	メイン機能: GPIO サブ機能: ANI2/ANO0/PGA1/IVCMP0
	60	P21	VDD	I/O	アナログ機能	メイン機能: GPIO サブ機能: ANI1/AVREFM/IVCMP13
	61	P20	VDD	I/O	アナログ機能	メイン機能: GPIO サブ機能: ANI1/AVREFM/IVCMP13
	62	P04	VDD	I/O	入力ポート	メイン機能: GPIO サブ機能: SCK10/SCL10
	63	P03	VDD	I/O	アナログ機能	メイン機能: GPIO サブ機能: ANI16/SI10/SDA10/RxD1/IVCMP11
	64	P02	VDD	I/O	アナログ機能	メイン機能: GPIO サブ機能: ANI17/SO10/TxD1/IVCMP10

1.3 推奨回路

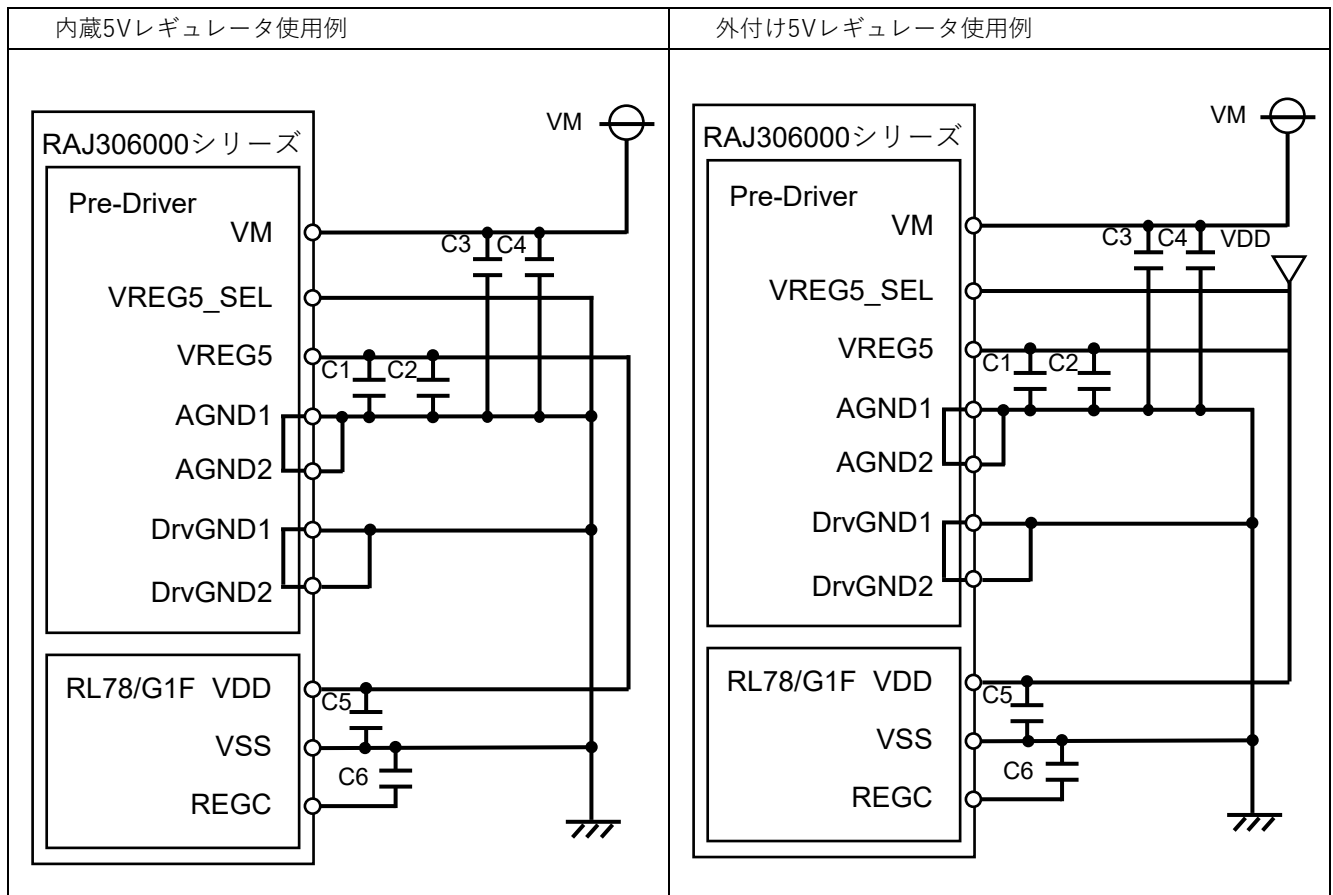
1.3.1 電源

本ICは、5Vレギュレータを内蔵しています。

- ★ VREG5_SEL端子をGNDに接続することで内蔵5Vレギュレータが有効になります。プリドライバ内部回路への電源供給とVREG5端子からの5V出力が可能になります。本ICに内蔵のRL78/G1FのVDDや外付けのホールIC及び、他外部回路等への電源供給が可能です。（駆動電流能力についてはデータシートをご参照ください。）

内蔵5Vレギュレータを使用しない場合は、VREG5_SEL、VREG5とVDDに5Vを印加してください。以下にそれぞれの場合の回路例を示します。

図 1-2 電源構成



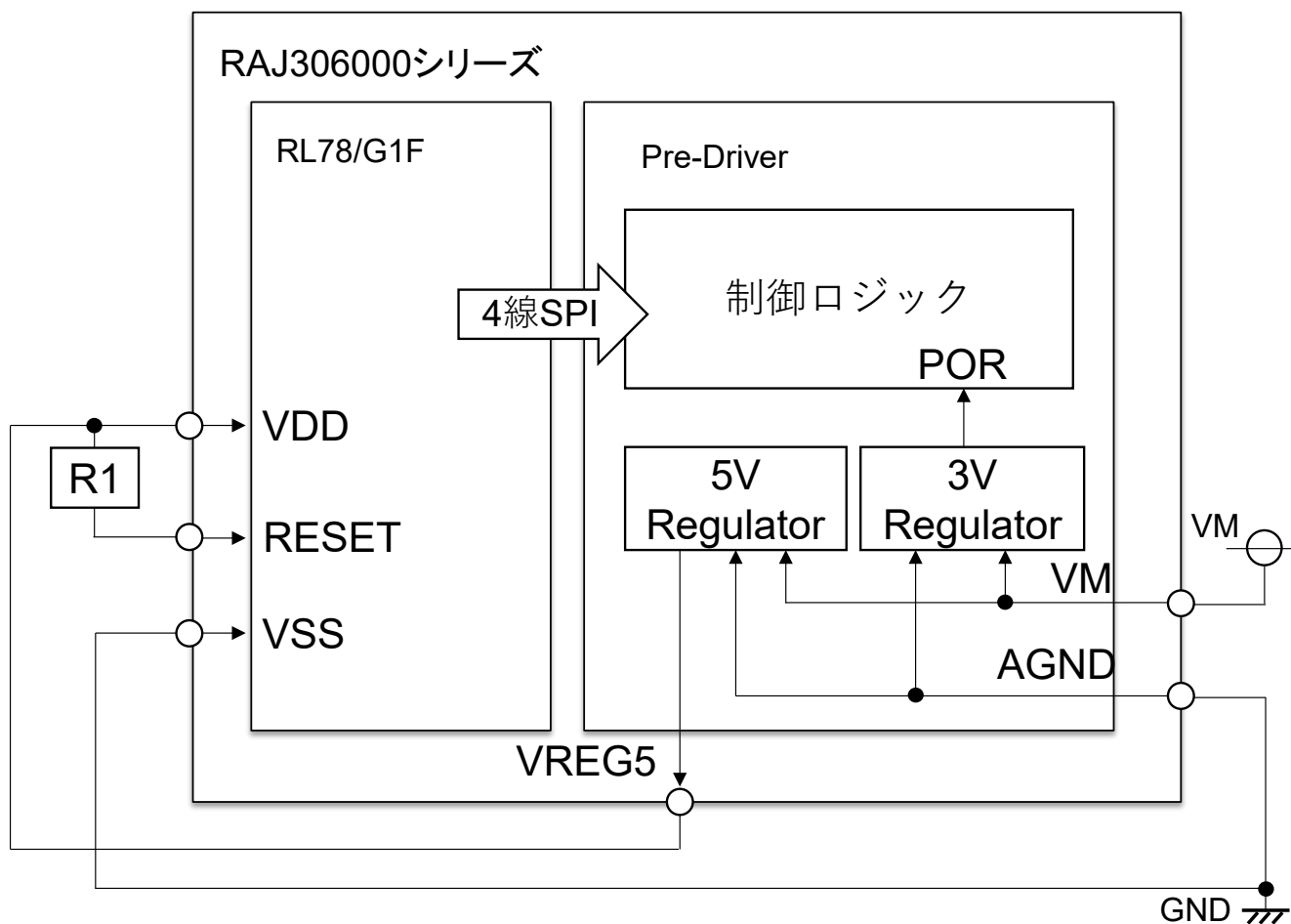
注1 内蔵5Vレギュレータを使用しない場合は、VREG5_SELと、VREG5、VDDに5V(同電位)を印可してください。また、電源立上げ順序は、VM -> VREG5、立下げ順序は、VREG5->VMとなるようにしてください。

1.3.2 リセット

本ICのRESET端子はRL78/G1Fの初期化のみを行います。

★ プリドライバの初期化は、VM端子への電源印加によるパワーオン・リセット (POR) もしくは、SPI通信によるソフトウェアリセットレジスタへの書き込みにて行います。(ソフトウェアリセット設定レジスタ(SW_RESET)参照)

図 1-3 リセット構成



1.3.3 チャージポンプ

本ICのチャージポンプ外付け回路を図 1-4に示します。

二倍昇圧機能の有効/無効により外付け回路が異なります。リセット直後は二倍昇圧回路が有効 (CPSET2 : 02H) になっています。(チャージポンプ設定レジスタ 2(CPSET2)を参照)

二倍昇圧回路を無効でご使用になる場合は、チャージポンプを起動する前にCPSET2レジスタの設定を0CHに変更してください。

★ RAJ306001においてVGTの平滑容量C2は、VMもしくはDrvGNDに接続します。VM電圧の瞬時的変化の大きいアプリケーションではVMに接続することを推奨致します。

RAJ306010においては、VGTの平滑容量C2の接続先をVMとしてください。DrvGNDに接続することは禁止です。

図 1-4 昇圧設定と端子接続

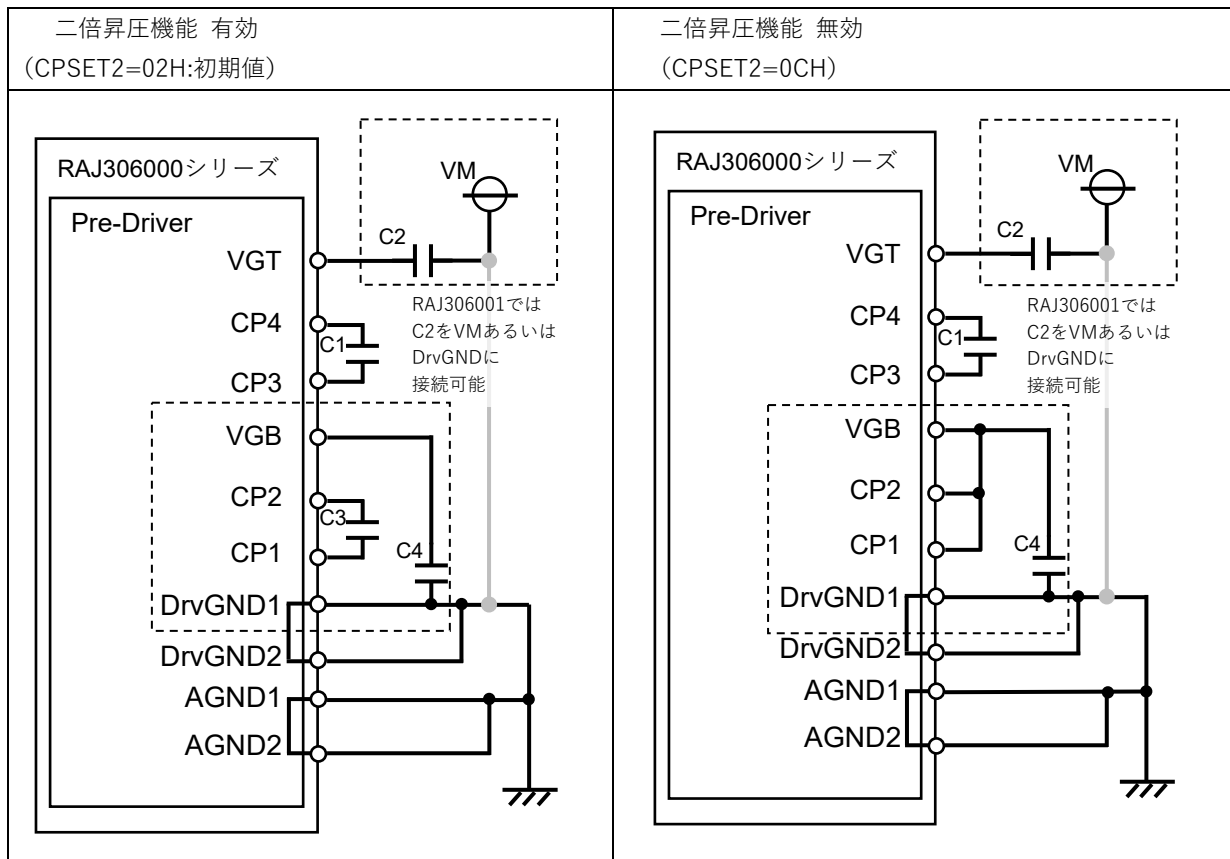


表 1-4 二倍昇圧回路有効 / 無効時のVGB,VGT電圧

設定	VGB(V)	VGT(V)
二倍昇圧有効	13	VM+13
二倍昇圧無効	10	VM+10

1.4 推奨駆動波形

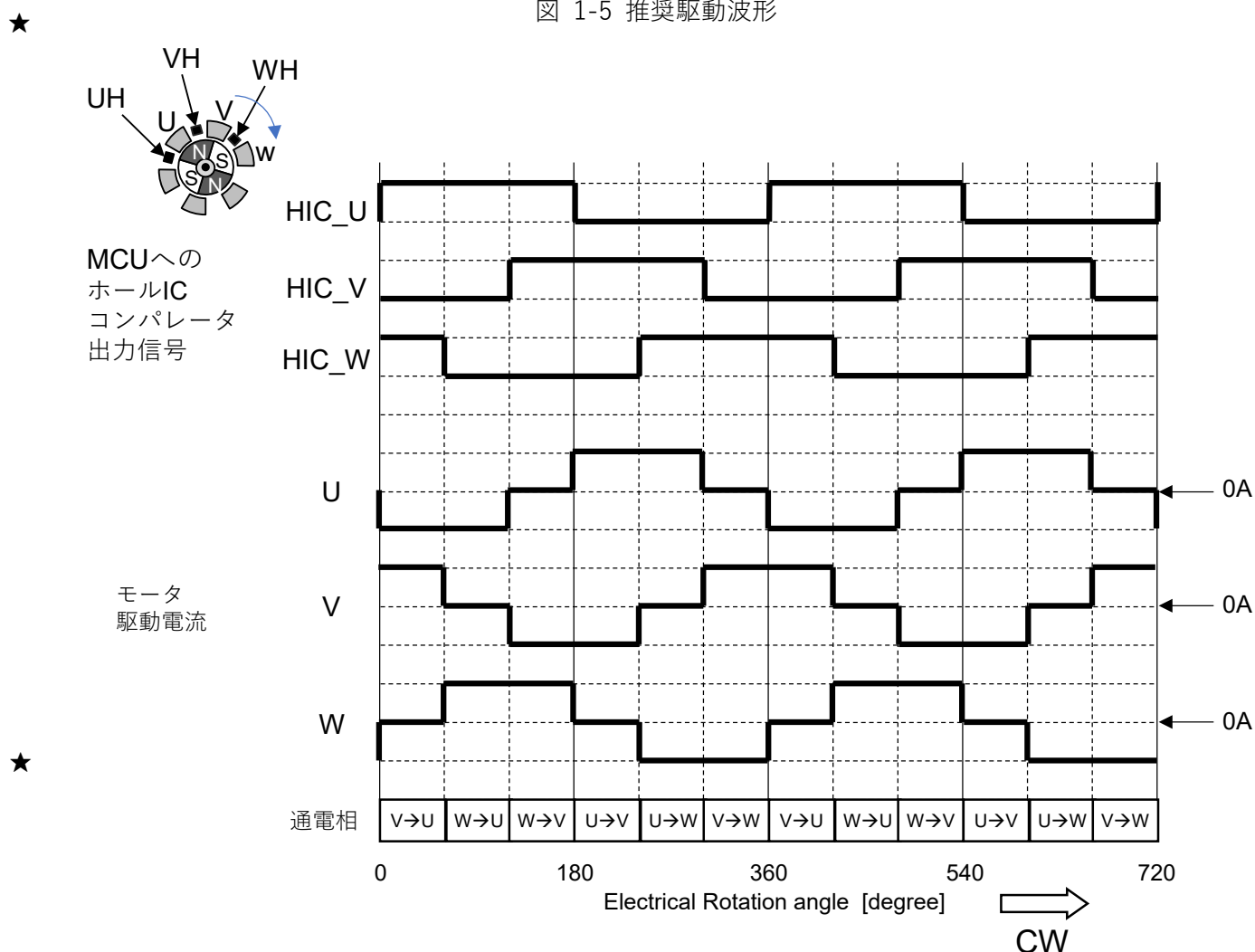
ホールICを利用してCW方向にモータを駆動する際の、MCUへのホールICコンパレータ出力信号(HIC_U, V, W)と駆動電流の推奨波形を下記に示します。

- ★ 搭載されているプリドライバにはホールICからの入力信号(UH,VH,WH)を元に、コミュテーション制御を行う機能を持っており、これらの機能を利用する際はホールICと電流駆動が図 1-5の関係である必要があります。またMCUからの駆動信号を選択するU/V/W相モータ制御信号ポート設定用レジスタ(SELSIG_U/SELSIG_V/SELSIG_W)及び、Hall信号処理設定レジスタ(HALL_SIG)を利用して、推奨駆動波形と一致するようにしてください。(U/V/W相モータ制御信号ポート設定レジスタ(SELSIG_U/V/W)及び、Hall信号処理設定レジスタ(HALL_SIG)を参照)

ホールICからプリドライバへの入力信号(UH,VH,WH)とMCUへのホールICコンパレータ出力信号(HIC_U,V,W)との関係は2.5.3 ホールICコンパレータ部を参照ください。

上記機能を利用しない場合は、本推奨波形に従う必要はありません。

図 1-5 推奨駆動波形



1.5 モータドライブ用MOSFETの選定方法

デッドタイム調整機能を使用する場合は、下記条件を満たすMOSFETの選定をお願いします。条件を満たさないMOSFETで、デッドタイム調整機能を使用された場合、MOSFETに貫通電流が流れMOSFETを破壊する恐れがあります。また、自動調整機能を使用する場合は、ドライブ用MOSFETのゲートラインには下記理由により抵抗を挿入しないことを推奨します。抵抗を入れた場合、挿入抵抗のプリドライバ側と、ドライブ用MOSFET側とで、Delayが生じ、デッドタイム調整機能回路が正常動作しなくなる恐れがあります。また、ゲートをLowに抑えるインピーダンスが減少するため、セルフ・ターン・オン現象が発生し易くなり、貫通電流発生時のポテンシャルも増大しますので注意が必要です。

プリドライバ デッドタイム調整機能の詳細な説明は、2.5.1.1デッドタイム調整機能をご確認ください。

$V_{t_monitor} \leq V_{t_power}$ の場合は、デッドタイム調整機能が使用可能です。

$V_{t_monitor} > V_{t_power}$ の場合は、以下の式を用いて、立ち下がり時間 t を計算してください。

$t \leq 30\text{nsec}$ を満たしている場合はデッドタイム調整機能が使用可能です。

$$t = -C \times R \times \ln\left(\frac{V_{t_power}}{V_{t_monitor}}\right)$$

$V_{t_monitor}$: 本ICのモニタ用トランジスタ閾値電圧

V_{t_power} : ドライブ用MOSFETの閾値電圧

C : ドライブ用MOSFETのゲート容量 (MOSFETのデータシートを参照してください。)

R : 本ICのローサイド出力インピーダンス

(データシートのデバイス特性参考データにあるゲートドライブ出力部インピーダンスを参照してください。)

なお、条件を満たす場合でもMOSFETへの配線長やモータのインピーダンス等の影響を受ける場合があり、ドライブ用MOSFETの貫通電流に対する評価は十分に行ってください。以下に計算例を示します。

$V_{t_monitor}$: モニタ用トランジスタ閾値 = 1.0V

V_{t_power} : ドライブ用MOSFET閾値 = 0.8V

C : ドライブ用MOSFETゲート容量 = 4000pF

R : ローサイド出力インピーダンス = 20Ω (データシートのデバイス特性参考データより)

$$t = -4000\text{pF} \times 20 \times \ln\left(\frac{0.8}{1.0}\right) = 17.85\text{nsec}$$

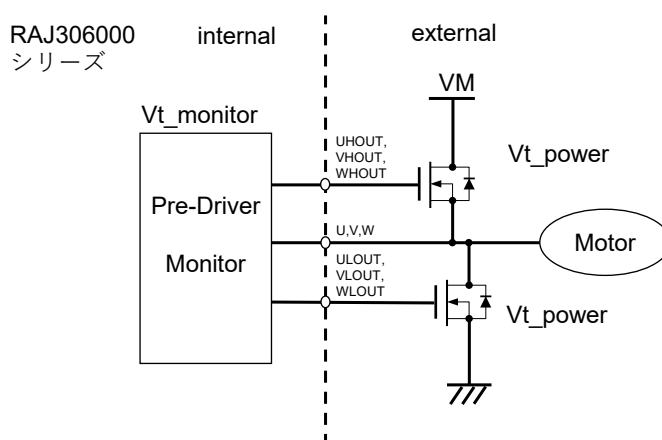
であり、 $t \leq 30\text{nsec}$ を満たしています。

$V_{t_power} = 0.6\text{V}$ の場合は、

$$t = -4000\text{pF} \times 20 \times \ln\left(\frac{0.6}{1.0}\right) = 40.87\text{nsec}$$

であり、 $t \leq 30\text{nsec}$ を満たしていません。

図 1-6 ドライブ用MOSFET接続図



第2章 プリドライバ

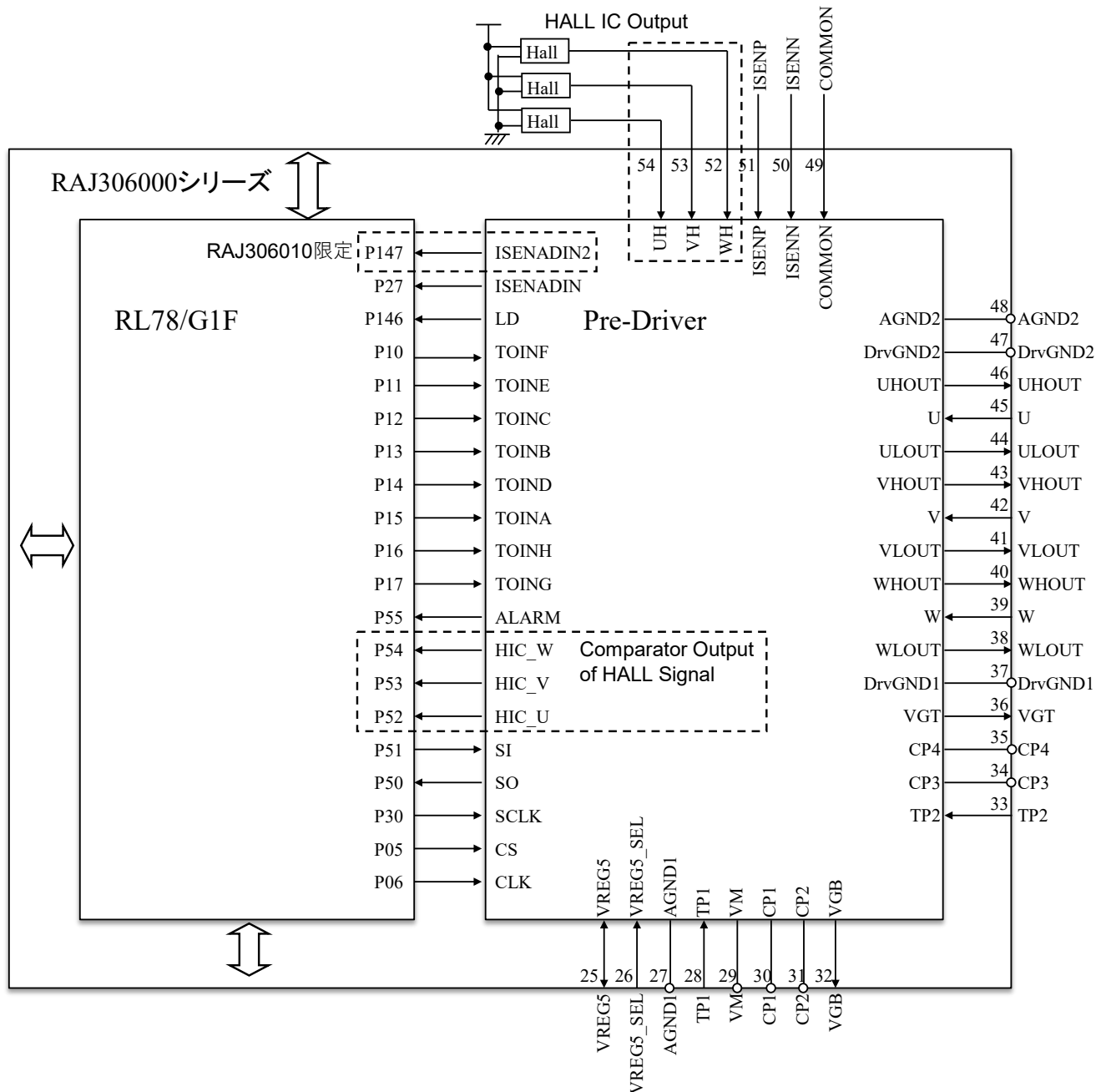
2.1 プリドライバの端子構成

2.1.1 プリドライバの端子接続

2.1.1.1 ホールIC使用時の接続

ホールICを使用する場合、Hall信号処理設定レジスタ(HALL_SIG)のHALL_MODE_SELビットに"0"(ホールIC制御:初期値)を設定してください。UH,VH,WHの信号がホールICコンパレータを介して、HIC_U,HIC_V,HIC_Wから出力されます。

図 2-1 プリドライバの端子構成(ホールIC利用時の接続)



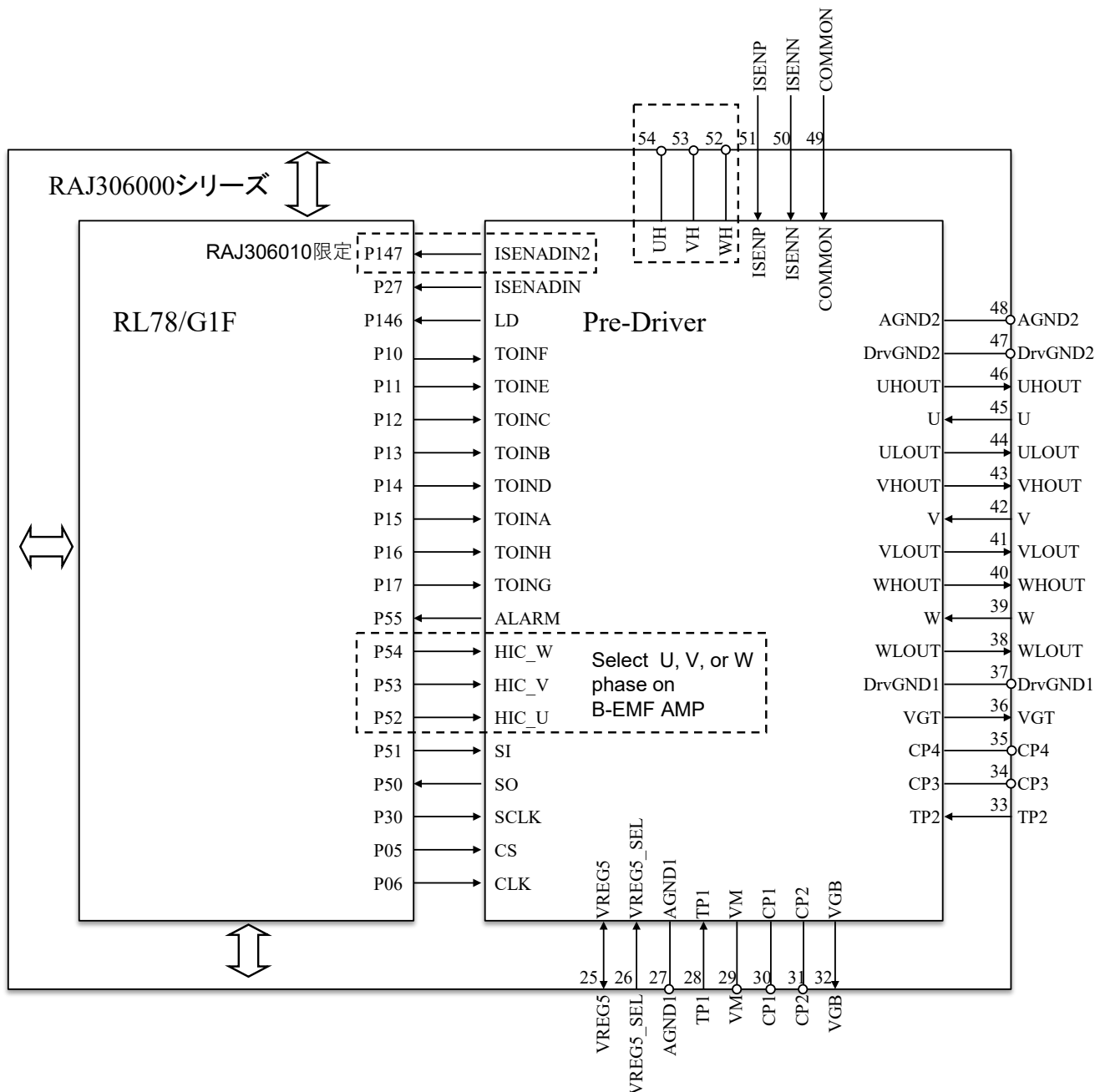
2.1.1.2 センサレス制御時の接続

センサレス制御を使用する場合、HALL_SIGレジスタのHALL_MODE_SELビットに”1”(センサレス制御)を設定してください。GPIOの出力端子として、P52, P53, P54を制御することにより、BEMFアンプにて逆起電圧を測定する相が選択できます。

RAJ306001においてセンサレス制御を行う場合、UH,VH,WH端子についてはGNDに接続しても問題ありませんが、内蔵抵抗によりプルダウンされるためオープンでも構いません。

RAJ306010においてはBEMFアンプ出力をWH端子から出力する機能があります。この機能を使用する場合は、WH端子をGNDに接続しないでください。

図 2-2 プリドライバの端子構成(センサレス時の接続)



2.1.2 ブリドライバの端子表

ブリドライバの外部端子、内部端子について下記に示します。

表 2-1 ブリドライバの外部端子

PIN		I/O level	IN/OUT or POWER/GND	Function
Number	Name			
25	VREG5	VREG5 (5V)	IN/OUT	VREG5はVREG5_SELで機能設定 VREG5_SEL=GND: 内蔵5Vレギュレータ選択(5V出力) VREG5_SEL=5V: 外付け5Vレギュレータ選択(5V入力)
26	VREG5_SEL	VREG5	IN	
27	AGND1	GND	GND	ブリドライバ用アナログ回路GND
28	TP1	VREG5	IN	GNDに接続してください
29	VM	VM	POWER	Power Supply
30	CP1	VGB	-	VGB用昇圧コンデンサ
31	CP2	VGB	-	VGB用昇圧コンデンサ
32	VGB	VGB	OUT	Lowサイド用ゲート駆動電圧
33	TP2	VREG5	IN	GNDに接続してください
34	CP3	VM	-	VGT用昇圧コンデンサ
35	CP4	VGT	-	VGT用昇圧コンデンサ
36	VGT	VGT	OUT	Hightサイド用ゲート駆動電圧
37	DrvGND1	GND	GND	ブリドライバ用出力段回路GND
38	WLOUT	VGB	OUT	W相Lowサイドドライバ(Nch MOSFET)駆動用出力
39	W	VM	IN	W相電圧
40	WHOUT	VGT	OUT	W相Highサイドドライバ(Nch MOSFET)駆動用出力
41	VLOUT	VGB	OUT	V相Lowサイドドライバ(Nch MOSFET)駆動用出力
42	V	VM	IN	V相電圧
43	VHOUT	VGT	OUT	V相Highサイドドライバ(Nch MOSFET)駆動用出力
44	ULOUT	VGB	OUT	U相Lowサイドドライバ(Nch MOSFET)駆動用出力
45	U	VM	IN	U相電圧
46	UHOUT	VGT	OUT	U相Highサイドドライバ(Nch MOSFET)駆動用出力
47	DrvGND2	GND	GND	ブリドライバ用出力段回路GND
48	AGND2	GND	GND	ブリドライバ用アナログ回路GND
49	COMMON	VM	IN	モータコモン信号入力
50	ISENN	VREG5	IN	シャント抵抗マイナス側
51	ISENP	VREG5	IN	シャント抵抗プラス側
52	WH	VREG5	IN	W相ホールIC信号入力
			OUT	BEMFアンプ出力(RAJ306010限定)
53	VH	VREG5	IN	V相ホールIC信号入力
54	UH	VREG5	IN	U相ホールIC信号入力

表 2-2 プリドライバの内部端子

PIN Name	I/O level	IN/OUT	Function
ISENADIN2	Analog	OUT	RAA306010限定: 電流検出アンプのアナログ出力
ISENADIN	Analog	OUT	プリドライバのADC_SELで選択したファンクションのアナログ出力
LD	Digital	OUT	モータロックの状態を出力
TOINF	Digital	IN	タイマRDのTRDIOD1出力(P10)の入力端子
TOINE	Digital	IN	タイマRDのTRDIOC1出力(P11)の入力端子
TOINC	Digital	IN	タイマRDのTRDIOB1出力(P12)の入力端子
TOINB	Digital	IN	タイマRDのTRDIOA1出力(P13)の入力端子
TOIND	Digital	IN	タイマRDのTRDIOD0出力(P14)の入力端子
TOINA	Digital	IN	タイマRDのTRDIOB0出力(P15)の入力端子
TOINH	Digital	IN	タイマRDのTRDIOC0出力(P16)の入力端子
TOING	Digital	IN	タイマRDのTRDIOA0出力(P17)の入力端子
ALARM	Digital	OUT	ALARM信号出力
HIC_W	Digital	IN/OUT	HALL_MODE_SELの設定で下記選択可 0: ホールICコンパレータのW相出力 1: センサレス用W相逆起電圧測定信号入力
HIC_V	Digital	IN/OUT	HALL_MODE_SELの設定で下記選択可 0: ホールICコンパレータのV相出力 1: センサレス用V相逆起電圧測定信号入力
HIC_U	Digital	IN/OUT	HALL_MODE_SELの設定で下記選択可 0: ホールICコンパレータのU相出力 1: センサレス用U相逆起電圧測定信号入力
SI	Digital	IN	4線SPI: 入力データ
SO	Digital	OUT	4線SPI: 出力データ MCUで 内蔵プルアップしてください。
SCLK	Digital	IN	4線SPI: 通信クロック (1MHz)
CS	Digital	IN	4線SPI: チップセレクト入力: H:非選択 L: 選択
CLK	Digital	IN	プリドライバのシステムクロック入力 (4MHz)

2.2 クロック

本ICのプリドライバには、RL78/G1F(MCU)のタイマRJのパルス出力機能を使用したシステムクロックの供給が必要です。タイマRJおよびポートは下記のように設定ください。

1. I/O設定

周辺I/Oリダイレクション・レジスタ1 (PIOR1) : 0BHに設定 [PIOR13,12,11,10] = [1, 0, 1, 1]

対象端子: RL78/G1FのP06をTRJIO0として使用

P06はプリドライバのCLK端子に内部接続されています。

2. タイマRJ

動作モード: パルス出力モード

クロック: 125ns毎の出力反転を設定し周期250ns(4MHz)

プリドライバのクロック検出機能により、クロックが未入力と判定された場合、プリドライバはパワーセーブ状態となります。パワーセーブ時のプリドライバの端子状態は表 2-3に示す状態となります。

省電力化等でプリドライバを停止させる場合、MCUの端子処理はクロックの供給停止後に表 2-3に示す設定にしてください。

また、クロックの再供給開始時に、プリドライバの下記レジスタ設定が1になっている場合、チャージポンプ関連の状態異常を検出する可能性があります。クロックを停止前にこれらのビットは0に設定してください。

1. モータ駆動制御設定レジスタ (DRIVE_SET) のMOT_ENビット、
2. 機能別パワーセーブ制御設定レジスタ (PS) のPS_CPREG_N, PS_CP_Nビット

表 2-3 パワーセーブ(クロック供給停止)時のインタフェース端子および端子処理

PreDriver		RL78/G1F	
PIN	動作	PIN	マイコンの推奨端子処理
ISENADIN	Hi-Z出力	P27/ANI7	・出力ラッチに0設定し、ポート出力機能としてください。
ISENADIN2 ※1	Hi-Z出力	P147/ANI18	どちらかを設定してください。 ・出力ラッチに0設定し、ポート出力機能としてください。 ・Pull-Upを設定し、入力機能としてください。
LD	Lo出力	P146	・ポート入力機能に設定してください。
TOINF	プルダウン	P10	・出力ラッチに0設定し、ポート出力機能としてください。
TOINE	プルダウン	P11	
TOINC	プルダウン	P12	
TOINB	プルダウン	P13	
TOIND	プルダウン	P14	
TOINA	プルダウン	P15	
TOINH	プルダウン	P16	
TOING	プルダウン	P17	
ALARM	Lo出力	P55	・ポート入力機能に設定してください。
HIC_W	プルダウン	P54	・出力ラッチに0設定し、ポート出力機能としてください。
HIC_V	プルダウン	P53	
HIC_U	プルダウン	P52	
SI	プルダウン	P51	
SO	Hi-Z出力	P50	
SCLK	プルダウン	P30	
CS	プルダウン	P05	
CLK	プルダウン	P06	

※1 ISENADIN2はRAJ306010のみとなります。RAJ306001の場合、パワーセーブの状態に関わらず、停止時の端子処理としてください。

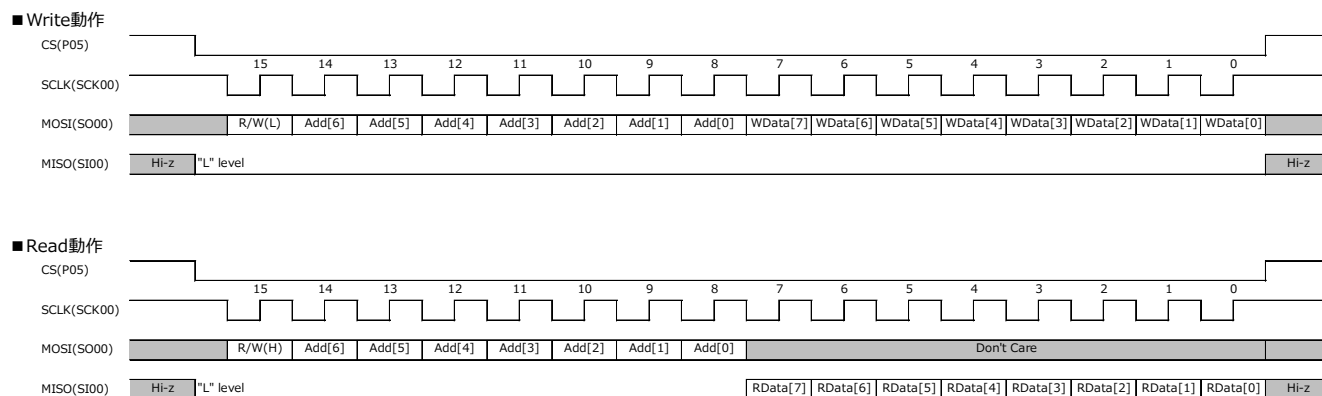
※ポートの切り替え処理は、クロックが停止している間に行ってください。

2.3 通信

本ICに搭載されているプリドライバは、RL78/G1F(MCU)のSPI通信機能を使用してレジスタ設定を行うことが可能です。プリドライバのレジスタを設定するには、RL78/G1FのCSI00機能(SCK00, SO00, SI00)とP05 (CS) の出力を使用し、4線SPI通信をおこないます。4線SPIの通信周波数は1MHzに設定し、CS信号はGPIO機能を利用して出力してください。

通信フォーマットを図 2-3に示します。フォーマットから外れた通信信号は無効となります。

図 2-3 通信波形



2.4 プリドライバのレジスタ

レジスタマップを下記に示します。

- ・ [b14-8]は各レジスタのアドレスを意味し、SPI通信の14-8ビットで指定します。
- ・ [7]~[0]は各レジスタ設定ビットです。"0","1"は予約ビットのため、レジスタ設定時は同じ値を書き込んでください。

表2-4 レジスタマップ

名称	略称	初期値	R/W	b14-8	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
-	-	-	-	00h	0	0	0	0	0	0	0	0
パワーセーブ制御設定レジスタ	PS_ALL	00h	R/W	02h	0	0	0	0	0	0	0	PS_ALL_N
機能別パワーセーブ制御設定レジスタ	PS	00h	R/W	04h	PS_PRE_N	0	PS_BEMF_N	PS_CSAMP_N	PS_VMC_N	PS_HALL_N	PS_CPREG_N	PS_CP_N
ソフトウェアリセット設定レジスタ	SW_RESET	00h	R/W	06h	0	0	0	0	0	0	0	SW_RESETO
ADC選択レジスタ	ADC_SEL	00h	R/W	08h	0	0	0	0	ADC_CH_SEL3 - ADC_CH_SELO			
U相モータ制御信号ポート設定レジスタ	SELSIG_U	03h	R/W	0Ah	0	SELSIG_U_H2 - SELSIG_U_H0			0	SELSIG_U_L2 - SELSIG_U_L0		
V相モータ制御信号ポート設定レジスタ	SELSIG_V	14h	R/W	0Ch	0	SELSIG_V_H2 - SELSIG_V_H0			0	SELSIG_V_L2 - SELSIG_V_L0		
W相モータ制御信号ポート設定レジスタ	SELSIG_W	25h	R/W	0Eh	0	SELSIG_W_H2 - SELSIG_W_H0			0	SELSIG_W_L2 - SELSIG_W_L0		
Hall信号処理設定レジスタ	HALL_SIG	00h	R/W	10h	BEMF_MODE_SEL	CENTERTAP_SEL	HALL_MODE_SEL	PWM_SEL	HALL_POLA	HALL_SEL2 - HALL_SELO		
ALARM状態レジスタ1	ALMSTS1	FFh	R	12h	VREG5_OVP_N	VGT_OVP1_N	VGT_OVP2_N	VGT_UVP_N	VGB_OVP_N	VGB_UVP_N	OCP_N	TSD_N
ALARM動作設定レジスタ1	ALMOPE1	00h	R/W	14h	0	0	0	VGT_UVP_OPE_N	0	VGB_UVP_OPE_N	OCP_OPE_N	TSD_OPE_N
ALARM端子出力設定レジスタ1	ALMOUT1	00h	R/W	16h	VREG5_OVP_ALE_N	VGT_OVP1_ALE_N	VGT_OVP2_ALE_N	VGT_UVP_ALE_N	VGB_OVP_ALE_N	VGB_UVP_ALE_N	OCP_ALE_N	TSD_ALE_N
ALARM状態レジスタ2	ALMSTS2	FFh	R	18h	1	1	1	1	1	1	1	VM_UVP_N
外付けMOSFET過電流判定遮断用閾値設定レジスタ2	CS_SET2	00h	R/W	1Ah	CSAMP_IREF1, 0		CSAMP_ATT	0	0	0	0	0
ALARM端子出力設定レジスタ2	ALMOUT2	00h	R/W	1Ch	0	0	0	0	0	0	0	VM_UVP_ALE_N
エラー検出待ち時間設定レジスタ	ERROR_WAIT	00h	R/W	1Eh	0	0	0	VREG5_OVP_WAIT	UVCP_WAIT1, 0		OCP_WAIT1, 0	
外付けMOSFET過電流判定遮断用閾値設定レジスタ1	CS_SET1	00h	R/W	20h	0	SHUNT_SEL2 - SHUNT_SELO			OCP_SEL_H3 - OCP_SEL_H0			
ホールICコンパレータ閾値調整レジスタ	HAIC_TH	00h	R/W	22h	0	0	HAIC_HYS1 - HAIC_HYS0		0	HAIC_TH2 - HAIC_TH0		
プリドライバ駆動状態レジスタ	PDDSTS	F0h	R	24h	1	1	1	LDS_N	FG	HALLMON_U	HALLMON_V	HALLMON_W
LD判定待ち時間設定レジスタ	LD_WAIT	00h	R/W	26h	LD_ALE_N	0	0	0	0	LD_WAIT2 - LD_WAIT0		
モータ駆動制御設定レジスタ	DRIVE_SET	00h	R/W	28h	OCP_HYS_N	ALM_LATCH_CLR	0	DECAY_MODE_SEL	DT_REG_N	OCP_ERR_SEL	DIR_SEL	MOT_EN
-	-	-	-	2Ah	0	0	0	0	0	0	0	0
Highサイド出力電流能力設定レジスタ	IDRCNT_H	00h	R/W	2Ch	0	IDR_H_P2 - IDR_H_P0		0	IDR_H_N2 - IDR_H_N0			
Lowサイド出力電流能力設定レジスタ	IDRCNT_L	00h	R/W	2Eh	0	IDR_L_P2 - IDR_L_P0		0	IDR_L_N2 - IDR_L_N0			
Pchスルーレート設定レジスタ	TRCNT_P	00h	R/W	30h	0	TR_H_P2 - TR_H_P0			0	TR_L_P2 - TR_L_P0		
チャージポンプ設定レジスタ1	CPSET1	01h	R/W	32h	0	0	0	0	0	0	CP_CLK_DIV1, 0	
チャージポンプ設定レジスタ2	CPSET2	02h	R/W	34h	0	0	0	0	CP_BOOST_N	VREG10_OUT	VREG6P5_OUT	0
チャージポンプ用トリミングレジスタ	CP_TRIM	00h	R/W	36h	CP_TRIM_7 - CP_TRIM_0							
-	-	-	-	38h-3Eh	0	0	0	0	0	0	0	0
5Vレギュレータ電圧設定レジスタ	VREG5_TRIM	00h	R/W	40h	VREG5_TRIM_7 - VREG5_TRIM_0							
外付けFET電流検出AMP設定レジスタ	CSAMP_TRIM	00h	R/W	42h	CSAMP_TRIM_7 - CSAMP_TRIM_0							
-	-	-	-	44h-56h	0	0	0	0	0	0	0	0
ALARM端子モニタレジスタ1	ALMRAW1	FFh	R	58h	1	VGT_OVP1_RAW_N	VGT_OVP2_RAW_N	VGT_UVP_RAW_N	VGB_OVP_RAW_N	VGB_UVP_RAW_N	1	1
-	-	-	-	5Ah	0	0	0	0	0	0	0	0
TOIN端子状態レジスタ	TOIN_MONI	-	R	5Ch	TOINA	TOINB	TOINC	TOIND	TOINE	TOINF	TOING	TOINH
WHO_AM_Iレジスタ	WHO_AM_I	*1	R	5Eh	WHO_AM_I_7 - WHO_AM_I_0							
トリミングプロテクトレジスタ	TRIM_PT	00h	R/W	60h	TRIM_PT_7 - TRIM_PT_0							
-	-	-	-	62h-72h	0	0	0	0	0	0	0	0
トリミングデータ有効レジスタ	TRIM_EN	00h	R/W	74h	0	0	0	0	0	0	0	TRIM_EN
-	-	-	-	76h	0	0	0	0	0	0	0	0
高精度BGR温度補正レジスタ1	BGR_TRIM	xxh	R/W	78h	BGR_TRIM_7 - BGR_TRIM_0							
BUFFAMP絶対値補正レジスタ2	BFAMP_TRIM	xxh	R/W	7Ah	BFAMP_TRIM_7 - BFAMP_TRIM_0							
-	-	-	-	7Ch-7Eh	0	0	0	0	0	0	0	0

*1 WHO_AM_Iは製品によって値が変わります。

RAJ306001 :6Ah ,RAJ306010:6Bh

2.4.1 パワーセーブ制御設定レジスタ(PS_ALL)

PS_ALLレジスタは、ブリドライバのパワーセーブ制御を行うレジスタです。

PS_ALL_Nビットに"0"を設定すると、ブリドライバ全体のパワーセーブモードになり、

PS_ALL_Nビットに"1"の設定で、パワーセーブ制御設定レジスタ(PS)の設定が可能となり機能ブロックごとのパワーセーブ設定が可能となります。

ただし、以下の機能は本レジスタの設定にかかわらず、Enable状態になります。

- ・ サーマルシャットダウン (TSD) 検出機能
- ・ 5Vレギュレータ

また、本レジスタはモータ駆動中(MOT_ENビット=1)の時、設定変更禁止です。

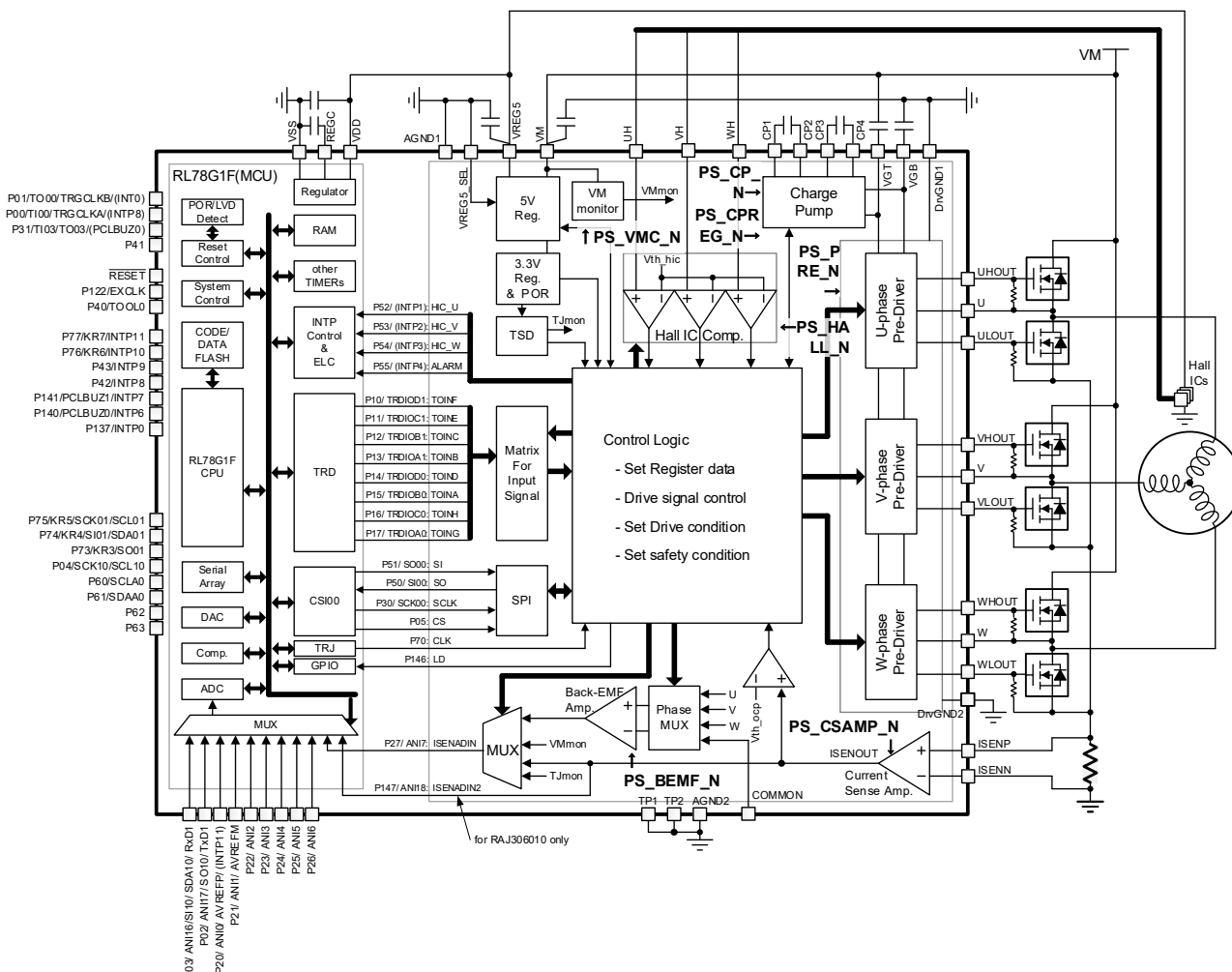
表2-5 パワーセーブ制御設定レジスタ(PS_ALL)のフォーマット

略号	7	6	5	4	3	2	1	0
PS_ALL	0	0	0	0	0	0	0	PS_ALL_N

PS_ALL_N	共通回路及び、機能別パワーセーブ制御設定レジスタのパワーセーブ制御
0	チップ全体のパワーセーブ中
1	チップ全体のパワーセーブ解除(機能別パワーセーブ設定レジスタに(PS)による設定有効)

本ビットが0の場合、機能別パワーセーブレジスタの設定にかかわらず、TSDを除く回路のパワーセーブが有効となります。

図 2-4 PSレジスタにより制御されるブロック



2.4.2 機能別パワーセーブ制御設定レジスタ(PS)

PSレジスタは、ブリドライバ機能ブロック毎にパワーセーブの有効/無効を設定するレジスタで、PS_ALL_Nビットが"1"の場合に有効です。本ビットで機能毎のパワーセーブを行うことで、消費電力を低減できます。

本レジスタは、モータ駆動制御設定レジスタ(DRIVE_SET)のMOT_ENビットが"1" (モータ駆動許可) の時、設定変更禁止です。

表2-6 機能別パワーセーブ制御設定レジスタ(PS)のフォーマット

略号	7	6	5	4	3	2	1	0
PS	PS_PRE_N	0	PS_BEMF_N	PS_CSAMP_N	PS_VMC_N	PS_HALL_N	PS_CPREG_N	PS_CP_N
	PS_PRE_N	ブリドライバ回路のパワーセーブ制御						
	0	パワーセーブ						
	1	パワーセーブ解除						
	*PS_ALL_N=0の場合は、パワーセーブ							
	PS_BEMF_N	逆起検出回路のパワーセーブ制御						
	0	パワーセーブ						
	1	パワーセーブ解除						
	*PS_ALL_N=0の場合は、パワーセーブ							
	PS_CSAMP_N	CSアンプのパワーセーブ制御						
	0	パワーセーブ						
	1	パワーセーブ解除						
	*PS_ALL_N=0の場合は、パワーセーブ							
	PS_VMC_N	VM端子電圧監視コンパレータのパワーセーブ制御						
	0	パワーセーブ						
	1	パワーセーブ解除						
	*PS_ALL_N=0の場合は、パワーセーブ							
	PS_HALL_N	Hall-ICコンパレータ(UVW)のパワーセーブ制御						
	0	パワーセーブ						
	1	パワーセーブ解除						
	*PS_ALL_N=0の場合は、パワーセーブ							
	PS_CPREG_N	チャージポンプ用レギュレータ回路のパワーセーブ制御						
	0	パワーセーブ						
	1	パワーセーブ解除						
	*PS_ALL_N=0の場合は、パワーセーブ							
	PS_CP_N	チャージポンプ回路のパワーセーブ制御						
	0	パワーセーブ						
	1	パワーセーブ解除						
	*PS_ALL_N=0の場合は、パワーセーブ							

2.4.3 ソフトウェアリセット設定レジスタ(SW_RESET)

プリドライバをリセットするレジスタで、SW_RESET0ビットに"1"を設定することでリセットされます。本ビットはリセット後に自動的にクリアされないため、リセット後は"0"を再設定してください。

表2-7ソフトウェアリセット設定レジスタ(SW_RESET)のフォーマット

アドレス:	06h	リセット時:	00h	R/W					
略号	7	6	5	4	3	2	1	0	
SW_RESET	0	0	0	0	0	0	0	0	SW_RESET0
SW_RESET0	プリドライバ内のレジスタを初期化します。								
0	通常動作								
1	ソフトウェアリセット実行								

2.4.4 ADC選択レジスタ(ADC_SEL)

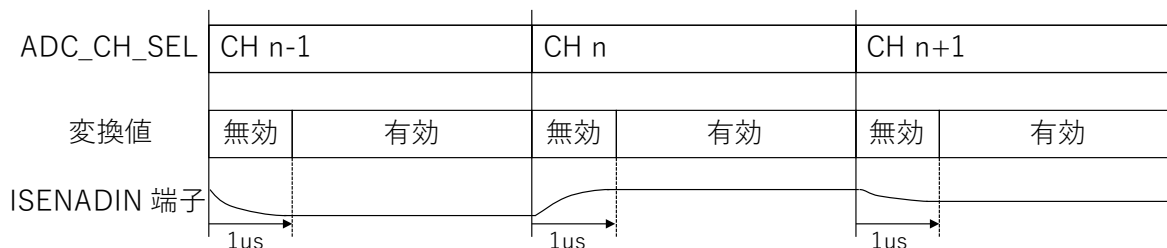
RL78/G1FのP27(ANI7)で読み取る、アナログ入力信号を切り替えるレジスタです。

アナログ信号の切り替えに伴う整定時間を確保するため、信号切り替え後のAD変換は1us以上経過後に開始してください。パワーセーブモード中 (PS_ALL="0") はこの機能を使用できません。

表2-8 ADC選択レジスタ(ADC_SEL)のフォーマット

アドレス:	08h	リセット時:	00h	R/W					
略号	7	6	5	4	3	2	1	0	
ADC_SEL	0	0	0	0	ADC_CH_SEL3	ADC_CH_SEL2	ADC_CH_SEL1	ADC_CH_SEL0	
ADC_CH_SEL3	ADC_CH_SEL2	ADC_CH_SEL1	ADC_CH_SEL0	ADC変換する信号の切換え設定					
0	0	0	0	VM電圧検出(初期値)					
0	0	0	1	電流検出(ISENSE)					
0	0	1	0	チップ温度(TSD)検出					
0	0	1	1	BEMFレベル検出					
上記以外				設定禁止					

図 2-5 ADCのサンプリングタイミング



2.4.5 U/V/W相モータ制御信号ポート設定レジスタ(SELSIG_U/V/W)

U/V/W相を駆動する、RL78/G1FからのPWM信号を、選択するレジスタです。

本レジスタで設定した内容は、モータ駆動制御設定レジスタ(DRIVE_SET)のMOT_ENビットが"0"のときに、Hall信号処理設定レジスタ(HALL_SIG)のPWM_SELビットに"1"を書き込むことで有効となります。

モータ駆動制御設定レジスタ(DRIVE_SET)のMOT_ENビットが"1" (モータ駆動許可) の時は本レジスタの設定変更は無効となります。

表2-9 U相モータ制御信号ポート設定レジスタ(SELSIG_U)のフォーマット

アドレス: 0Ah リセット時: 03h R/W

略号	7	6	5	4	3	2	1	0
SELSIG_U	0	SELSIG_U_H2	SELSIG_U_H1	SELSIG_U_H0	0	SELSIG_U_L2	SELSIG_U_L1	SELSIG_U_L0
SELSIG_U_H2	SELSIG_U_H1	SELSIG_U_H0	U相Highサイド用のPWM信号入力端子を選択					
0	0	0	TOINA(TRDIOB0) (初期値)					
0	0	1	TOINB(TRDIOA1)					
0	1	0	TOINC(TRDIOB1)					
0	1	1	TOIND(TRDIOD0)					
1	0	0	TOINE(TRDIOC1)					
1	0	1	TOINF(TRDIOD1)					
1	1	0	TOING(TRDIOA0)					
1	1	1	TOINH(TRDIOC0)					
SELSIG_U_L2	SELSIG_U_L1	SELSIG_U_L0	U相Lowサイド用のPWM信号入力端子を選択					
0	0	0	TOINA(TRDIOB0)					
0	0	1	TOINB(TRDIOA1)					
0	1	0	TOINC(TRDIOB1)					
0	1	1	TOIND(TRDIOD0) (初期値)					
1	0	0	TOINE(TRDIOC1)					
1	0	1	TOINF(TRDIOD1)					
1	1	0	TOING(TRDIOA0)					
1	1	1	TOINH(TRDIOC0)					

表2-10 V相モータ制御信号ポート設定レジスタ(SELSIG_V)のフォーマット

アドレス: 0Ch リセット時: 14h R/W

略号	7	6	5	4	3	2	1	0
SELSIG_V	0	SELSIG_V_H2	SELSIG_V_H1	SELSIG_V_H0	0	SELSIG_V_L2	SELSIG_V_L1	SELSIG_V_L0
SELSIG_V_H2	SELSIG_V_H1	SELSIG_V_H0	V相Highサイド用のPWM信号入力端子を選択					
0	0	0	TOINA(TRDIOB0)					
0	0	1	TOINB(TRDIOA1)(初期値)					
0	1	0	TOINC(TRDIOB1)					
0	1	1	TOIND(TRDIOD0)					
1	0	0	TOINE(TRDIOC1)					
1	0	1	TOINF(TRDIOD1)					
1	1	0	TOING(TRDIOA0)					
1	1	1	TOINH(TRDIOC0)					
SELSIG_V_L2	SELSIG_V_L1	SELSIG_V_L0	V相Lowサイド用のPWM信号入力端子を選択					
0	0	0	TOINA(TRDIOB0)					
0	0	1	TOINB(TRDIOA1)					
0	1	0	TOINC(TRDIOB1)					
0	1	1	TOIND(TRDIOD0)					
1	0	0	TOINE(TRDIOC1)(初期値)					
1	0	1	TOINF(TRDIOD1)					
1	1	0	TOING(TRDIOA0)					
1	1	1	TOINH(TRDIOC0)					

表2-11 W相モータ制御信号ポート設定レジスタ(SELSIG_W)のフォーマット

アドレス: 0Eh リセット時: 25h R/W

略号	7	6	5	4	3	2	1	0
SELSIG_W	0	SELSIG_W_H2	SELSIG_W_H1	SELSIG_W_H0	0	SELSIG_W_L2	SELSIG_W_L1	SELSIG_W_L0
SELSIG_W_H2	SELSIG_W_H1	SELSIG_W_H0	W相Highサイド用のPWM信号入力端子を選択					
0	0	0	TOINA(TRDIOB0)					
0	0	1	TOINB(TRDIOA1)					
0	1	0	TOINC(TRDIOB1)(初期値)					
0	1	1	TOIND(TRDIOD0)					
1	0	0	TOINE(TRDIOC1)					
1	0	1	TOINF(TRDIOD1)					
1	1	0	TOING(TRDIOA0)					
1	1	1	TOINH(TRDIOC0)					
SELSIG_W_L2	SELSIG_W_L1	SELSIG_W_L0	W相Lowサイド用のPWM信号入力端子を選択					
0	0	0	TOINA(TRDIOB0)					
0	0	1	TOINB(TRDIOA1)					
0	1	0	TOINC(TRDIOB1)					
0	1	1	TOIND(TRDIOD0)					
1	0	0	TOINE(TRDIOC1)					
1	0	1	TOINF(TRDIOD1)(初期値)					
1	1	0	TOING(TRDIOA0)					
1	1	1	TOINH(TRDIOC0)					

2.4.6 Hall信号処理設定レジスタ(HALL_SIG)

プリドライバのHall信号の接続、PWMの接続、モータの制御方法を設定するレジスタです。

本レジスタは、モータ駆動制御設定レジスタ(DRIVE_SET)のMOT_ENビットが"1" (モータ駆動許可) の時、設定変更禁止です。

また、HALL_MODE_SELビットは、Hall-ICコンパレータのパワーセーブ制御でパワーセーブ状態 (PS_HALL_Nビット=0) にして、変更してください。

★ ・ BEMF_MODE_SELビット

BEMFアンプを利用して、逆起電圧の測定ができます。

※RAJ306001とRAJ306010で本ビットの仕様が異なります。

・ CENTERTAP_SELビット

逆起測定で利用する中点を仮想中点(Vn)とするか、COMMON端子とするかを選択します。

・ HALL_MODE_SELビット

ホールIC制御を行うか、センサレス制御を行うかを選択できます。

センサレス制御時は、RL78/G1FのP52, P53, P54からHiを出力する事により、プリドライバの内部端子HIC_U, HIC_V, HIC_Wを制御し、BEMF AMPで測定を行なう非通電相を選択してください。

・ HALL_POLAビット,HALL_SELビット

ハードウェアの接続の関係で実際の駆動波形が、推奨駆動波形と異なる場合、HALL_POLAビット及びHALL_SELビットにより、Hall-ICの入力信号を切り替えることが可能です。

※ Hall-IC制御においてBEMFを測定する場合、DRIVE_SETレジスタのDIR_SELビットを設定し回転方向を指定する必要があります。

表2-12 Hall信号処理設定レジスタ(HALL_SIG)のフォーマット

アドレス: 10h リセット時: 00h R/W

略号
HALL_SIG

7	6	5	4	3	2	1	0
BEMF_MODE_SEL	CENTERTAP_SEL	HALL_MODE_SEL	PWM_SEL	HALL_POLA	HALL_SEL2	HALL_SEL1	HALL_SELO

BEMF_MODE_SEL	RAJ306001: BEMFアンプ出力の選択
0	RL78/G1FのP27(ANI7)端子への出力禁止。
1	RL78/G1FのP27(ANI7)端子への出力許可。(同時にADC_CH_SEL=3の設定が必要)
BEMF_MODE_SEL	RAJ306010: BEMFアンプ出力の選択
0	WH端子へのBEMFアンプ出力禁止
1	WH端子へのBEMFアンプ出力許可

本機能を使用する場合、PSレジスタのPS_BEMF_Nビット=1としパワーセーブ解除にする必要が有ります。

RAJ306010における注意事項

- (1) WH端子のBEMFアンプ出力を使用する場合のみ、BEMF_MODE_SELビットを"1"に設定し、それ以外は"0"を設定してください。
- (2) BEMFアンプ出力をRL78/G1FのP27(ANI7)端子へ出力する際は、ADC_CH_SEL=3の設定のみで出力が可能になります。

CENTERTAP_SEL	逆起電圧測定を行う際の、モータの中点の選択
0	モータ中点に仮想中点を選択
1	モータ中点にCOMMON端子を選択

HALL_MODE_SEL	モータ駆動する際の制御方法の選択
0	ホールIC制御選択 (ブリドドライバ 側: 出力→ RL78/G1F: 入力)
1	センサレス制御選択(RL78/G1F: 出力→ブリドドライバ 側: 入力): BEMFアンプでの測定チャンネルの選択

制御方式に応じて、ブリドドライバ側端子の入出力を切り替えます。
ホールIC制御からセンサレス制御に切り替える場合は、PS_HALL_Nビットを0に設定のうえ、RL78/G1F側の端子をL出力にしてから、本ビットで切替をしてください。

センサレス制御を選択時は、RL78/G1F側のポートからH出力をすることで、BEMFで測定する相を選択できます。複数の相を同時に選択することは禁止となります。

下記に、ブリドドライバ側端子とRL78/G1Fの端子の対応を示します。

ブリドドライバ RL78/G1F
 HIC_U: P52 / INTP1
 HIC_V: P53 / INTP2
 HIC_W: P54 / INTP3

注)センサレス制御が選択されている場合、下記機能ホールICの入力をするため下記機能は利用できません。

- ・コミュニケーションモード
- ・モータロック検出機能
- ・FG出力

PWM_SEL	モータ制御信号のマトリクス設定の切替用のトリガ信号
0	ポートの設定を保ちます。
1	モータ制御信号ポート設定レジスタ(SELSIG_U, SELSIG_V, SELSIG_W)に従い端子接続

HALL_POLA	ホールIC入力信号の処理をバッファ又は、インバータを選択
0	バッファ
1	インバータ

HALL_SEL2	HALL_SEL1	HALL_SELO	ホールICの接続信号を内部で切替え			備考
			HIC_U	HIC_V	HIC_W	
0	0	0	UH	VH	WH	初期値
0	0	1	UH	WH	VH	
0	1	0	VH	UH	WH	
0	1	1	VH	WH	UH	
1	0	0	WH	UH	VH	
1	0	1	WH	VH	UH	

上記以外

設定禁止

本ビットにより、UH端子、VH端子、WH端子に入力された信号の順番及び極性を入れ替え、RL78/G1F及び、内部ロジック(コミュニケーション機能)に出力することが可能です。

内部ロジックを利用される場合、1.4章の推奨駆動波形に従った入力が必要となります。もし、入力されるホール信号が推奨駆動波形と異なる場合、本ビット及びHALL_POLAビットにより、内部ロジックに入力するホールIC波形の順番及び極性を入れ替えてください。

2.4.7 ALARM状態レジスタ1(ALMSTS1)

ブリドライバが検出した異常状態を格納するレジスタで、検出機能は対応するアナログブロックのパワーセーブ解除後に有効となります。“1”は異常未検出、“0”が異常検出で、エラーを検出した際に、エラーの発生要因のビットを1→0に変化させます。一度異常を検出するとレジスタ読み出しまで保持され、読み出し時に最新の情報に更新されます。ただし、過電流検出(OCP)、チャージポンプの低電圧(VGB_UVP、VGT_UVP)の保護は、レジスタの値が0→1に変化しても、モータ駆動制御設定レジスタ(DRIVE_SET)のALM_LATCH_CLRビットに1を設定するまで解除されません。

表2-13 ALARM状態レジスタ1(ALMSTS1)のフォーマット

略号	アドレス: 7	12h	リセット時: 5	FFh	R/W	4	3	2	1	0	
ALMSTS1	VREG5_OVP_N	VGT_OVP1_N	VGT_OVP2_N	VGT_UVP_N	VGB_OVP_N	VGB_UVP_N	OCP_N	TSD_N			
	VREG5_OVP_N	5Vレギュレータ電圧異常上昇検出結果									
	0	異常電圧検出									
	1	異常電圧未検出									
	ALARM検出閾値: VREG5端子電圧 \geq 5.7V(Typ) ERROR_WAITレジスタのVREG5_OVP_WAITビットにより検出閾値時間を設定できます。										
	VGT_OVP1_N	チャージポンプ(VGT端子)出力電圧異常上昇検出結果									
	0	異常電圧検出									
	1	異常電圧未検出									
	ALARM検出閾値: VGT端子電圧 \geq VM電圧 + 18V(Typ) ALARM解除閾値: VGT端子電圧 < VM電圧 + 17V(Typ) 注)本機能は、モータ駆動中(PS_ALL_Nビット=1, PS_CPREG_Nビット=1, PS_CPビット=1, MOT_ENビット=1)の時有効です。 モータ駆動停止中(PS_ALL_Nビット=1, PS_CPREG_Nビット=1, PS_CPビット=1, MOT_ENビット=0)のときはALMRAW1レジスタを確認ください。										
	VGT_OVP2_N	チャージポンプ(VGT端子)出力電圧異常上昇検出結果									
	0	異常電圧検出									
	1	異常電圧未検出									
	ALARM検出閾値: RAJ306001 VGT端子電圧 \geq 48V(Typ)、RAJ306010 VGT端子電圧 \geq 60V(Typ) ALARM解除閾値: RAJ306001 VGT端子電圧 < 47V(Typ)、RAJ306010 VGT端子電圧 < 59V(Typ) 注)本機能は、モータ駆動中(PS_ALL_Nビット=1, PS_CPREG_Nビット=1, PS_CPビット=1, MOT_ENビット=1)の時有効です。 モータ駆動停止中(PS_ALL_Nビット=1, PS_CPREG_Nビット=1, PS_CPビット=1, MOT_ENビット=0)のときはALMRAW1レジスタを確認ください。										
	VGT_UVP_N	チャージポンプ(VGT端子)出力電圧異常低下検出結果									
	0	異常電圧検出									
	1	異常電圧未検出									
	ALARM検出閾値: VGT \leq VM電圧 + 7V(Typ) ALARM解除閾値: VGT > VM電圧 + 7.5V (Typ) ALARM判定は、ERROR_WAITレジスタのUVCP_WAITビットで設定されるWait時間で判定されます。 注)本機能は、モータ駆動中(PS_ALL_Nビット=1, PS_CPREG_Nビット=1, PS_CPビット=1, MOT_ENビット=1)の時有効です。 モータ駆動停止中(PS_ALL_Nビット=1, PS_CPREG_Nビット=1, PS_CPビット=1, MOT_ENビット=0)のときはALMRAW1レジスタを確認ください。										
	VGB_OVP_N	チャージポンプ(VGB端子)出力電圧異常上昇検出結果									
	0	異常電圧検出									
	1	異常電圧未検出									
	ALARM検出閾値: VGB \geq 18V (Typ) ALARM解除閾値: VGB < 17V (Typ) 注)本機能は、モータ駆動中(PS_ALL_Nビット=1, PS_CPREG_Nビット=1, PS_CPビット=1, MOT_ENビット=1)の時有効です。 モータ駆動停止中(PS_ALL_Nビット=1, PS_CPREG_Nビット=1, PS_CPビット=1, MOT_ENビット=0)のときはALMRAW1レジスタを確認ください。										
	VGB_UVP_N	チャージポンプ(VGB端子)出力電圧異常低下検出結果									
	0	異常電圧検出									
	1	異常電圧未検出									
	ALARM検出閾値: VGB \leq 7.6V (Typ) ALARM解除閾値: VGB > 7.8V (Typ) ALARM判定は、ERROR_WAITレジスタのUVCP_WAITビットで設定されるWait時間で判定されます。 注)本機能は、モータ駆動中(PS_ALL_Nビット=1, PS_CPREG_Nビット=1, PS_CPビット=1, MOT_ENビット=1)の時有効です。 モータ駆動停止中(PS_ALL_Nビット=1, PS_CPREG_Nビット=1, PS_CPビット=1, MOT_ENビット=0)のときはALMRAW1レジスタを確認ください。										
	OCP_N	CSアンプによる出力相の過電流検出結果									
	0	過電流検出									
	1	過電流未検出									
	ALARM検出閾値はCS_SET1レジスタとCS_SET2レジスタにて設定可能です。 ALARM判定は、ERROR_WAITレジスタのOCP_WAITビットで設定されるWait時間で判定されます。 注)本機能を利用する場合は、PS_ALL_Nビット=1, PS_CSAMP_Nビット=1が必要です。										
	TSD_N	TSD(サーマルシャットダウン)検出結果									
	0	TSD検出									
	1	TSD未検出									
	TSD機能は、VM端子に電圧印加後有効となります。 ただし、ブリドライバにクロックが供給されていない場合、本エラーが発生してもエラー検出されません。+B75:AJ138										

2.4.8 ALARM動作設定レジスタ1(ALMOPE1)

異常検出時に、プリドライバによる保護処理を選択するレジスタです。

本レジスタの設定により、発熱検出(TSD)、過電流検出(OCP)、チャージポンプの低電圧(VGB_UVP、VGT_UVP)のエラーを検出時に、保護機能を動作させモータの駆動を停止させることができます。保護機能を利用しない場合は、パワーセーブ解除前に該当機能のビットに1を設定してください。ただし、TSD_OPE_Nビットに関しては、必ず0を設定してください。

OCP、VGB_UVP、VGT_UVPが発生した際に動作する保護機能は、エラー要因が解除されALARM状態レジスタ1(ALMSTS1)の対応ビットが“0”→“1”に戻っても自動的に解除されません。解除には、モータ駆動制御設定レジスタ(DRIVE_SET)のALM_LATCH_CLRビットによる保護機能の解除が必要となります。

VGB_UVP、VGT_UVPのエラー検出はモータ駆動許可が有効になっている間のみ可能です。

TSDのエラーを検出した場合は保護機能により5Vレギュレータが停止しますが、TSDエラーが解消(温度低下)した場合、自動的に5Vレギュレータは復帰します。

図 2-6にOCPを例として、保護機能によるモータ駆動状態の変化を示します。

図 2-6 OCPの保護機能によるモータ駆動状態の変化

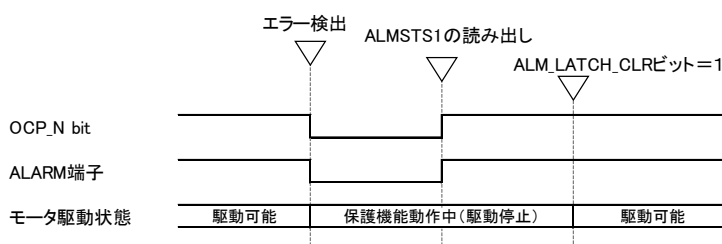


表2-14 ALARM動作設定レジスタ1(ALMOPE1)のフォーマット

略号	7	6	5	4	3	2	1	0
CS_SET1	0	SHUNT_SEL2	SHUNT_SEL1	SHUNT_SEL0	OCP_SEL_H3	OCP_SEL_H2	OCP_SEL_H1	OCP_SEL_H0
SHUNT_SEL0		チャージポンプ(VGT端子)出力電圧異常低下検出時の保護処理の実行許可						
0		保護処理実行許可						
1		保護処理実行禁止						
異常検出時にモータ駆動段出力(UHOUT,ULOUT,VHOUT,VLOUT,WHOUT,WLOUT端子)を強制的にL出力にすることで外付けFET出力をHi-Zにします。保護を解除する場合、DRIVE_SETレジスタのALM_LATCH_CLRビットに1を設定してください。 注)異常検出は、モータ駆動中(PS_ALL_Nビット=1,PS_CPREG_Nビット=1,PS_CP_Nビット=1、MOT_ENビット=1)の时有効です。								
OCP_SEL_H2		チャージポンプ(VGB端子)出力電圧異常低下検出時の保護処理の実行許可						
0		保護処理実行許可						
1		保護処理実行禁止						
異常検出時にモータ駆動段出力(UHOUT,ULOUT,VHOUT,VLOUT,WHOUT,WLOUT端子)を強制的にL出力にすることで外付けFET出力をHi-Zにします。保護を解除する場合、DRIVE_SETレジスタのALM_LATCH_CLRビットに1を設定してください。 注)異常検出は、モータ駆動中(PS_ALL_Nビット=1,PS_CPREG_Nビット=1,PS_CP_Nビット=1、MOT_ENビット=1)の时有効です。								
OCP_SEL_H1		出力相過電流検出時の保護処理の実行許可						
0		保護処理実行許可						
1		保護処理実行禁止						
異常検出時にモータ駆動段出力(UHOUT,ULOUT,VHOUT,VLOUT,WHOUT,WLOUT端子)を強制的に変更することで外付けFETの出力を変更します。保護時の動作はDRIVE_SETレジスタのOCP_ERR_SELビットにて選択可能です。 保護を解除する場合、DRIVE_SETレジスタのALM_LATCH_CLRビットに1を設定してください。 注)異常検出を利用する場合は、PS_ALL_Nビット=1,PS_CSAMP_Nビット=1が必要です。 OCP_OPE_Nビットに1を設定し保護処理実行禁止を設定する場合、ERROR_WAITレジスタのOCP_WAITビットに00以外を設定してください。								
OCP_SEL_H0		TSD検出時の保護処理の実行許可						
0		保護処理実行許可[固定]						
1		保護処理実行禁止[設定禁止]						
TSD検出中、Pre-Driverの周辺回路はパワーセーブ状態となります。モータ駆動段出力(UH,UL,VH,VL,WH,WL端子)は強制的にL出力になり外付けFET出力をHi-Zにします。 内蔵5Vレギュレータ利用時は、内蔵5VレギュレータはOFFされ、RL78/G1Fへの電源供給が停止されます。 そのため、RL78/G1Fに対して、リセットが発生することがあります。 TSD検出中でも、3Vレギュレータ(Pre-Driverロジック回路電源)とTSD検出回路は動作しております。 TSDによる保護動作は温度が下がると解除され、内蔵5Vレギュレータによる供給も再開されます。								

2.4.9 ALARM端子出力設定レジスタ1(ALMOUT1)

本レジスタは、ALARM状態レジスタ1(ALMSTS1)で定義される異常を検出した際に、RL78/G1Fで割り込み処理を行うことを目的としてALARM端子の“H”→“L”動作有無を選択するレジスタです。“0”で許可、“1”で禁止、リセット直後は全て許可になっています。

ALARM端子は、ALARM状態レジスタ1(ALMSTS1)の読み出し時に、異常状態が解消されていると“L”→“H”に戻ります。

表2-15 ALARM端子出力設定レジスタ1(ALMOUT1)のフォーマット

略号	アドレス: 16h	リセット時: 00h	R/W	7	6	5	4	3	2	1	0
ALMOUT1	VREG5_OVP_ALE_N	VGT_OVP1_ALE_N	VGT_OVP2_ALE_N	VGT_UVP_ALE_N	VGB_OVP_ALE_N	VGB_UVP_ALE_N	OCP_ALE_N	TSD_ALE_N			
VREG5_OVP_ALE_N	5Vレギュレータ電圧異常上昇検出時のALARM端子への出力										
0	許可										
1	禁止										
ALARM検出閾値: VREG5端子電圧 \geq 5.7V(Typ) ERROR_WAITレジスタのVREG5_OVP_WAITビットにより検出閾値時間を設定できます。											
VGT_OVP1_ALE_N	チャージポンプ(VGT端子)出力電圧異常上昇検出時のALARM端子への出力										
0	許可										
1	禁止										
ALARM検出閾値: VGT端子電圧 \geq VM電圧 + 18V(Typ) ALARM解除閾値: VGT端子電圧 < VM電圧 + 17V(Typ) 注)本機能は、モータ駆動中(PS_ALL_Nビット=1, PS_CPREG_Nビット=1, PS_CP_Nビット=1, MOT_ENビット=1)の時有効です。											
VGT_OVP2_ALE_N	チャージポンプ(VGT端子)出力電圧異常上昇検出時のALARM端子への出力										
0	許可										
1	禁止										
ALARM検出閾値: RAJ306001 VGT端子電圧 \geq 48V(Typ)、RAJ306010 VGT端子電圧 \geq 60V(Typ) ALARM解除閾値: RAJ306001 VGT端子電圧 < 47V(Typ)、RAJ306010 VGT端子電圧 < 59V(Typ) 注)本機能は、モータ駆動中(PS_ALL_Nビット=1, PS_CPREG_Nビット=1, PS_CP_Nビット=1, MOT_ENビット=1)の時有効です。											
VGT_UVP_ALE_N	チャージポンプ(VGT端子)出力電圧異常低下検出時のALARM端子への出力										
0	許可										
1	禁止										
ALARM検出閾値: VGT \leq VM電圧 + 7V(Typ) ALARM解除閾値: VGT > VM電圧 + 7.5V (Typ) ALARM判定は、ERROR_WAITレジスタのUVCP_WAITビットで設定されるWait時間で判定されます。 注)本機能は、モータ駆動中(PS_ALL_Nビット=1, PS_CPREG_Nビット=1, PS_CP_Nビット=1, MOT_ENビット=1)の時有効です。											
VGB_OVP_ALE_N	チャージポンプ(VGB端子)出力電圧異常上昇検出時のALARM端子への出力										
0	許可										
1	禁止										
ALARM検出閾値: VGB \geq 18V (Typ) ALARM解除閾値: VGB < 17V (Typ) 注)本機能は、モータ駆動中(PS_ALL_Nビット=1, PS_CPREG_Nビット=1, PS_CP_Nビット=1, MOT_ENビット=1)の時有効です。											
VGB_UVP_ALE_N	チャージポンプ(VGB端子)出力電圧異常低下検出時のALARM端子への出力										
0	許可										
1	禁止										
ALARM検出閾値: VGB \leq 7.6V (Typ) ALARM解除閾値: VGB > 7.8V (Typ) ALARM判定は、ERROR_WAITレジスタのUVCP_WAITビットで設定されるWait時間で判定されます。 注)本機能は、モータ駆動中(PS_ALL_Nビット=1, PS_CPREG_Nビット=1, PS_CP_Nビット=1, MOT_ENビット=1)の時有効です。											
OCP_ALE_N	CSアンプによる出力相の過電流検出時のALARM端子への出力										
0	許可										
1	禁止										
ALARM検出閾値はCS_SET1レジスタとCS_SET2レジスタにて設定可能です。 ALARM判定は、ERROR_WAITレジスタのOCP_WAITビットで設定されるWait時間で判定されます。 注)本機能を利用する場合は、PS_ALL_Nビット=1, PS_CSAMP_Nビット=1が必要です。											
TSD_ALE_N	TSD(サーマルシャットダウン)検出時のALARM端子への出力										
0	許可										
1	禁止										
TSDは、VM端子に電圧印加後有効となります。 ただし、プリドライバにクロックが供給されていない場合、本エラーが発生してもエラー検出されません。											

2.4.10 ALARM状態レジスタ2(ALMSTS2)

プリドライバが検出した異常状態を格納するレジスタで、検出機能は対応するアナログブロックのパワーセーブ解除後に有効となります。

“1”は異常未検出、“0”が異常検出で、エラーを検出した際に、エラーの発生要因のビットを1→0に変化させます。一度異常を検出するとレジスタ読み出しまで保持され、読み出し時に最新の情報に更新されます。

表2-16 ALARM状態レジスタ2(ALMSTS2)のフォーマット

ALARM状態レジスタ2 (ALMSTS2)

略号	7	6	5	4	3	2	1	0
ALMSTS2	DI_SEL_U_CMP_N	DI_SEL_V_CMP_N	DI_SEL_W_CMP_N	1	1	1	1	VM_UVP_N
	VM_UVP_N	VMCによるVMの電圧異常低下検出結果						
	0	VMの電圧異常低下検出						
	1	VMの電圧異常低下未検出						
	ARM検出閾値: VM ≤ 5.5V							
	ALARM解除閾値: VM > 5.9V							
	注) 本機能を利用する場合は、PS_ALL_Nビット=1, PS_VMC_Nビット=1が必要です。							

2.4.11 ドライブ用MOSFET過電流判定遮断用閾値設定レジスタ2(CS_SET2)

シャント抵抗に流れる電流により、ISENP端子とISENN端子間の電位差を検出するCSアンプの設定をするためのレジスタです。ドライブ用MOSFET過電流判定遮断用閾値設定レジスタ1(CS_SET1)と組み合わせて使用してください。

表2-17 ドライブ用MOSFET過電流判定遮断用閾値設定レジスタ2(CS_SET2)のフォーマット

略号	7	6	5	4	3	2	1	0
CS_SET2	CSAMP_IREF1	CSAMP_IREF0	CSAMP_ATT	0	0	0	0	0
	CSAMP_IREF1	CSAMP_IREF0	電流検出可変幅調整					
	0	0	可変幅 1倍					
	0	1	可変幅 3倍					
	1	0	可変幅 5倍					
	1	1	設定禁止					
	CSAMP_ATT	電流検出入力レベル調整						
	0	設定禁止						
	1	1.0倍						
	初期値は0になっています。CSAMPを利用する場合は必ず1を設定してください。							

2.4.12 ALARM端子出力設定レジスタ2(ALMOUT2)

本レジスタは、ALARM状態レジスタ2(ALMSTS2)で定義される異常を検出した際に、RL78/G1Fで割り込み処理を行うことを目的としてALARM端子の”H”→”L”動作有無を選択するレジスタです。“0”で許可、“1”で禁止、リセット直後は全て許可になっています。

ALARM端子は、ALARM状態レジスタ2(ALMSTS2)の読み出し時に、異常状態が解消されていると”L”→”H”に戻ります。

表2-18 ALARM端子出力設定レジスタ2(ALMOUT2)のフォーマット

略号	アドレス: 1Ch	リセット時: 00h	R/W	7	6	5	4	3	2	1	0
ALMOUT2	DI_SEL_U_ALE_N	DI_SEL_V_ALE_N	DI_SEL_W_ALE_N	0	0	0	0	0	0	0	VM_UVP_ALE_N
	VM_UVP_ALE_N	VMの電圧異常低下検出時のALARM端子への出力									
	0	許可									
	1	禁止									
	ARM検出閾値: VM ≤ 5.5V ALARM解除閾値: VM > 5.9V 注)本機能を利用する場合は、PS_ALL_Nビット=1,PS_VMC_Nビット=1が必要です。										

2.4.13 エラー検出待ち時間設定レジスタ(ERROR_WAIT)

異常状態の検出に関するフィルター時間を設定します。

本レジスタで設定した時間以上、エラー状態を検出し続けるとエラーと判定します。

また、本レジスタはモータ駆動制御設定レジスタ(DRIVE_SET)のMOT_ENビットが”1” (モータ駆動許可) の時、設定変更禁止です。

OCPの時間設定は、ALARM動作設定レジスタ1(ALMOP1)のOCP_OPE_Nビットが”1”(エラー検出時にモータ駆動の停止を行わない場合、0usの設定は禁止となります)

表2-19 エラー検出待ち時間設定レジスタ(ERROR_WAIT)のフォーマット

略号	アドレス: 1Eh	リセット時: 00h	R/W	7	6	5	4	3	2	1	0
ERROR_WAIT	0	0	0	VREG5_OVP_WAIT	UVCP_WAIT1	UVCP_WAIT0	OCP_WAIT1	OCP_WAIT0			
	VREG5_OVP_WAIT	5Vレギュレータの過電圧検出判定時間									
	0	過電圧検知から1us後									
	1	過電圧検知から2us後									
	UVCP_WAIT1	UVCP_WAIT0	チャージポンプ回路(VGB_VGT端子)電圧降下判定時間の設定								
	0	0	電圧降下検知から0ms後								
	0	1	電圧降下検知から0.5ms後								
	1	0	電圧降下検知から1ms後								
	1	1	電圧降下検知から5ms後								
	OCP_WAIT1	OCP_WAIT0	出力相過電流検出の判定時間条件を設定								
	0	0	出力相過電流検出から0us後(Wait時間無) [OCP_OPE_Nビットが1の時設定禁止]								
	0	1	出力相過電流検出から1us後								
	1	0	出力相過電流検出から2.5us後								
	1	1	出力相過電流検出から5us後								

2.4.14 ドライブ用MOSFET過電流判定遮断用閾値設定レジスタ1(CS_SET1)

ISENP端子とISENN端子間の電位差を検出するCSアンプの設定をするためのレジスタです。

ドライブ用MOSFET過電流判定遮断用閾値設定レジスタ2(CS_SET2)と組み合わせて使用してください。

表2-20 ドライブ用MOSFET過電流判定遮断用閾値設定レジスタ1(CS_SET1)のフォーマット

略号	アドレス: 20h		リセット時: 00h		R/W														
CS_SET1	7	6	5	4	3	2	1	0											
	0	SHUNT_SEL2	SHUNT_SEL1	SHUNT_SEL0	OCP_SEL_H3	OCP_SEL_H2	OCP_SEL_H1	OCP_SEL_H0											
SHUNT_SEL2				SHUNT_SEL1				SHUNT_SEL0				検出電圧側のAmpゲイン設定							
0				0				0				過電流検出Amp:10倍、電流検出Amp: 50倍							
1				0				0				過電流検出Amp: 5倍、電流検出Amp: 25倍							
1				0				1				過電流検出Amp:1.65倍、電流検出Amp: 8.25倍							
上記以外				上記以外				上記以外				設定禁止							
OCP_SEL_H3				OCP_SEL_H2				OCP_SEL_H1				OCP_SEL_H0				過電流検出コンパレータのしきい電圧値の設定			
0				0				0				0				検出電流量=0.07[V]/シャント抵抗値			
0				0				0				1				検出電流量=0.08[V]/シャント抵抗値			
0				0				1				0				検出電流量=0.09[V]/シャント抵抗値			
0				0				1				1				検出電流量=0.10[V]/シャント抵抗値			
0				1				0				0				検出電流量=0.11[V]/シャント抵抗値			
0				1				0				1				検出電流量=0.12[V]/シャント抵抗値			
0				1				1				0				検出電流量=0.13[V]/シャント抵抗値			
0				1				1				1				検出電流量=0.14[V]/シャント抵抗値			
1				0				0				0				検出電流量=0.15[V]/シャント抵抗値			
上記以外				上記以外				上記以外				上記以外				設定禁止			
<p>過電流検出コンパレータのしきい電圧値の設定が出来ます。 本ビットとSHUNT_SEL、OCP_SEL_Hの設定を行う事で外付けしたシャント抵抗の検出電圧値が決定します。 CSアンプの検出電圧値は、シャント抵抗が接続されているISENP端子とISENN端子間の差電圧です。 詳細は【表2-5 CSアンプ検出電圧閾値設定】を参照ください。 しきい電圧値には下記コンディション時のISENP端子とISENN端子の電位差を記載しております。 【コンディション】 CS_SET1レジスタ<アドレス:0x20> SHUNT_SELbit<6:4>...000(検出電圧値x50倍) CS_SET2レジスタ<アドレス:0x1A> CSAMP_IREF bit, CSAMP_ATT bit<7:5>...101(しきい電圧値x5倍)</p>																			

2.4.15 ホールICコンパレータ閾値調整レジスタ(HAIC_TH)

ホールICコンパレータのヒステリシス、しきい値電圧設定を行うレジスタです。

表2-21 ホールICコンパレータ閾値調整レジスタ(HAIC_TH)のフォーマット

略号	アドレス: 22h		リセット時: 00h		R/W						
HAIC_TH	7	6	5	4	3	2	1	0			
	0	0	HAIC_HYS1	HAIC_HYS0	0	HAIC_TH2	HAIC_TH1	HAIC_TH0			
HAIC_HYS1			HAIC_HYS0			ホールICコンパレータのヒステリシス電圧設定					
0			0			0mV					
0			1			50mV					
1			0			100mV					
1			1			設定禁止					
HAIC_TH2			HAIC_TH1			HAIC_TH0			ホールICコンパレータ閾値電圧設定		
0			0			0			0.4V (Typ)		
0			0			1			0.7V (Typ)		
0			1			0			1.0V (Typ)		
0			1			1			1.3V (Typ)		
1			0			0			1.6V (Typ)		
1			0			1			1.9V (Typ)		
1			1			0			2.2V (Typ)		
1			1			1			2.5V (Typ)		

2.4.16 プリドライバ駆動状態レジスタ(PDDSTS)

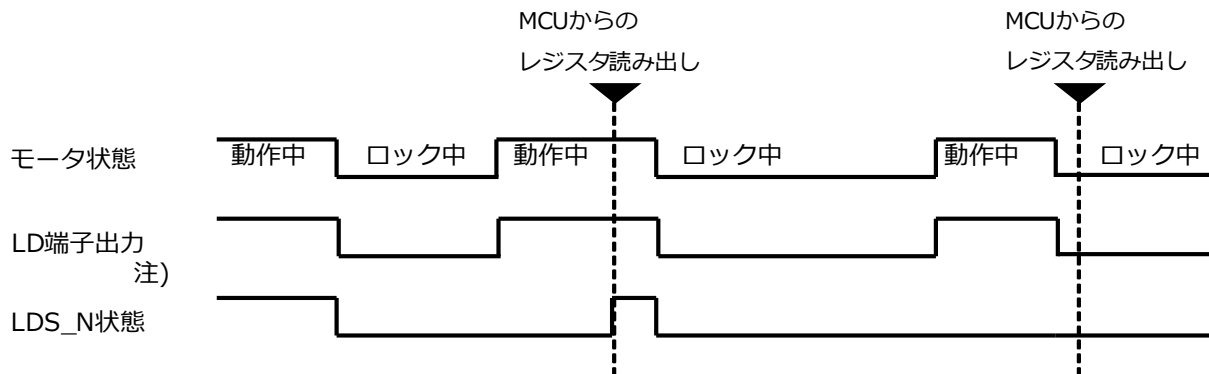
本レジスタには、ホールICの入力状態(HALLMON_U, HALLMON_V, HALLMON_W)及び、ホールICの入力状態から判定した、FG(電気角60°回転)状態 (FG)、モータロック状態 (LDS_N) のステータスが格納されています。センサレス制御を利用している場合、本機能は使用できません。

モータの状態はLD端子及び、LDS_Nビットで確認できます。

LD端子は現在のモータ状態 (High:非ロック状態、Low:ロック状態) を出力します。

LDS_Nビットはモータロック状態を検出すると"1"→"0"に変化し、モータロック状態が解除されてもレジスタを読み出すまで値を保持します。

(前回のレジスタ読み出しから、今回の読み出しまでの間にモータロック状態が発生したことを確認できます。)



注) LD_ALE_NでLD端子への出力有効(LD_ALE_N=0)、LDWAIT="000"に設定時

図 2-7 ロック判定

表2-22 プリドライバ駆動状態レジスタ(PDDSTS)のフォーマット

略号	7	6	5	4	3	2	1	0
PDDSTS	1	1	1	LDS_N	FG	HALLMON_U	HALLMON_V	HALLMON_W
LDS_N	モータロック状態の検出発生を検知							
0	ロック状態の検出あり							
1	ロック状態の未検出							
LDS_Nビットはモータロック状態を検出した場合"0"になり、本レジスタの読み出しにより、最新のロック状態に更新されます。								
FG	電気角60°回転単位で出力が変化							
0	Low							
1	High							
※本bitは、PS_ALL_N bit=1かつPS_HALL_N bit=1の時、常時更新されます。								
HALLMON_U	Hall IC(U相)の入力信号のレベル読み出し							
0	入力レベルLow							
1	入力レベルHigh							
※本bitは、PS_ALL_N bit=1かつPS_HALL_N bit=1の時、常時更新されます。								
HALLMON_V	Hall IC(V相)の入力信号のレベル読み出し							
0	入力レベルLow							
1	入力レベルHigh							
※本bitは、PS_ALL_N bit=1かつPS_HALL_N bit=1の時、常時更新されます。								
HALLMON_W	Hall IC(W相)の入力信号のレベル読み出し							
0	入力レベルLow							
1	入力レベルHigh							
※本bitは、PS_ALL_N bit=1かつPS_HALL_N bit=1の時、常時更新されます。								



2.4.17 LD判定待ち時間レジスタ(LD_WAIT)

モータロック検出時のLD端子出力及び、モータロックの判定時間を設定します。

LD_WAITビットはモータ駆動中(MOT_ENビット=1)、設定変更禁止です。

ホールIC入力3相のうち、いずれか2相の入力が、本レジスタで設定した時間以上変化しない場合、モータロック状態と判定します。

表2-23 LD判定待ち時間レジスタ(LD_WAIT)のフォーマット

★

略号	アドレス: 26h			リセット時: 00h			R/W		
	7	6	5	4	3	2	1	0	
LD_WAIT	LD_ALE_N	0	0	0	0	LD_WAIT2	LD_WAIT1	LD_WAIT0	
LD_ALE_N	モータロック検出時のLD端子の出力								
0	許可								
1	禁止								
LD_WAIT2	LD_WAIT1	LD_WAIT0	モータロック検出判定時間の設定						
0	0	0	0.01s						
0	0	1	0.02s						
0	1	0	0.05s						
0	1	1	0.10s						
1	0	0	0.20s						
1	0	1	0.30s						
1	1	0	0.40s						
1	1	1	0.50s						

2.4.18 モータ駆動制御設定レジスタ(DRIVE_SET)

★ モータの駆動許可、モータ回転方向の設定、OCPが発生した時の制御、デッドタイム調整機能、モータ駆動設定、異常検出時の保護動作の解除、CSアンプのヒステリシスを設定します。

OCP、VGB_UVP、VGT_UVPの検出により保護処理が働き、モータ駆動が停止した場合に、本レジスタのALM_LATCH_CLRビットに“1”を書き込むことで保護処理を解除して、モータ駆動を再開させる事ができます。詳細な内容は“図 2-6 OCPの保護機能によるモータ駆動状態の変化”の例を参照してください。

またOCP_ERR_SELビットの設定により、OCPエラーが発生した際の保護処理を選択可能です。

表2-24モータ駆動制御設定レジスタ(DRIVE_SET)のフォーマット

略号	7	6	5	4	3	2	1	0
DRIVE_SET	OCP_HYS_N	ALM_LATCH_CLR	DI_MASK_N	DECAY_MODE_SEL	DT_REG_N	OCP_ERR_SEL	DIR_SEL	MOT_EN
	アドレス: 28h リセット時: 00h R/W							
	OCP_HYS_N OCPのヒステリシスの有効/無効の設定							
	0	ヒステリシス有効						
	1	ヒステリシス無効						
	ALM_LATCH_CLR ALARM検知時の保護動作の解除							
	0	保護動作の保持						
	1	保護動作の解除						
	保護動作対象のALARMイベントが発生した場合、本ビットによる、保護動作が解除されるまで保護動作が実行されます。保護動作が働いている間、モータはHi-Z状態もしくはLowブレーキ状態となります。 【対象機能】: OCP(過電流検出) VGT_UVP(VGT側チャージポンプ電圧低下) VGB_UVP(VGB側チャージポンプ電圧低下)							
	DECAY_MODE_SEL モータの駆動方法(回生方式)の設定							
	0	Normal制御(PWM制御)						
	1	コミュテーション制御						
	センサレス制御設定時はコミュテーション制御は設定禁止です。 本機能を利用してコミュテーション制御を行う場合は、推奨波形に従った波形を入力してください。							
	DT_REG_N 外付けMOSFETのデッドオフタイム調整機能の設定							
	0	有効・・・入力されたPWM信号に対してPre-Driver側でデッドタイムを調整します。						
	1	無効・・・入力されたPWM信号で駆動します。F/Wでデッドタイムを作り込んでください。						
	OCP_ERR_SEL OCPエラーが発生した場合の制御							
	0	Hi-z出力						
	1	Low-Sideブレーキ						
	他のエラーが発生した場合はHi-zを優先します。							
	DIR_SEL モータの回転方向の設定							
	0	CW						
	1	CCW						
	MCUの制御が、CW/CCWのどちらの方向になっているか設定してください。 内部回路動作で上記設定に基いた制御を行います。本レジスタは、コミュテーションモード及び、ホールIC制御時のBEMFアンプ制御に使用します。							
	MOT_EN モータ駆動の設定							
	0	モータ駆動禁止(モータ駆動停止中)						
	1	モータ駆動許可(モータ駆動中)						
	本ビットが0のとき、モータ駆動段出力の出力(UHOUT,ULOUT,VHOUT,VLOUT,WHOUT,WLOUT端子)はL出力になります。 TRD端子とTOIN端子の接続を変更する場合、モータ駆動停止中に、SELSIG_U、SELSIG_V、SEL_SIG_Wレジスタを設定し、HALL_SIGレジスタのPWM_SELに1を設定してください。							

2.4.19 High/Lowサイド出力電流能力設定レジスタ(IDRCNT_H/IDRCNT_L)

High/Lowサイドドライブ用MOSFETの駆動電流を調整するレジスタです。

High/Lowサイド出力電流能力設定レジスタ(IDRCNT_H/IDRCNT_L)の設定(IDR_H_P*, IDR_H_N*, IDR_L_P*, IDR_L_N* bit)により、ドライブ用MOSFETを駆動するトランジスタ数を変えることで、Source/Sink電流をそれぞれ8段階で調整することが可能です。

Pchスルーレート設定レジスタ(TRCNT_P)と合わせて、使用すると効果的です。

調整部分の図を以下に示します。

図 2-8 High/Lowサイド出力電流能力設定レジスタ(IDRCNT_H/IDRCNT_L)

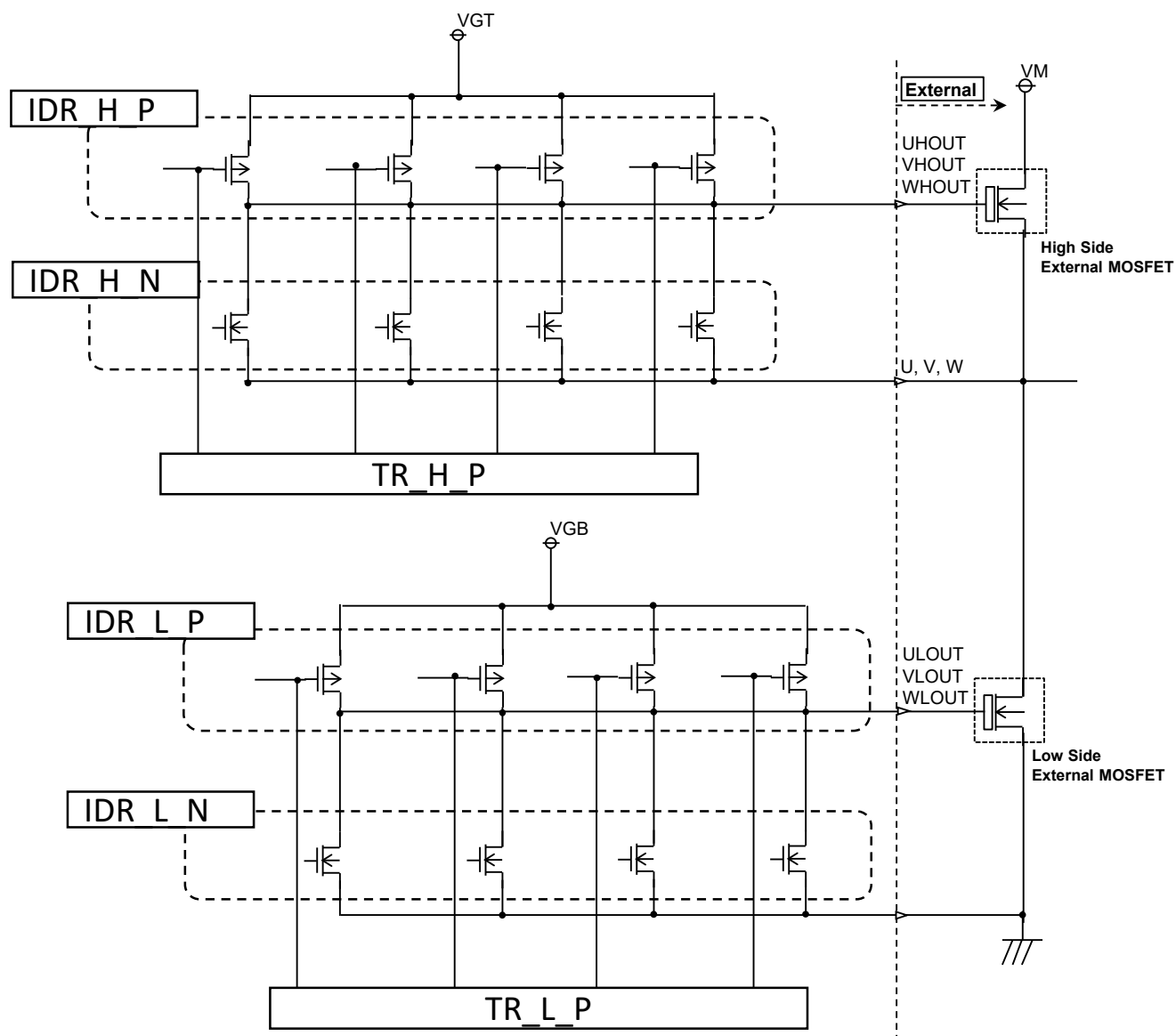


表2-25 Highサイド出力電流能力設定レジスタ(IDRCNT_H)のフォーマット

★

アドレス: 2Ch リセット時: 00h R/W

略号	7	6	5	4	3	2	1	0
IDRCNT_H	0	IDR_H_P2	IDR_H_P1	IDR_H_P0	0	IDR_H_N2	IDR_H_N1	IDR_H_N0
	IDR_H_P2	IDR_H_P1	IDR_H_P0	HighサイドPch電流出力能力設定				
	0	0	0	65.0 Ω (Typ)				
	0	0	1	32.0 Ω (Typ)				
	0	1	0	22.5 Ω (Typ)				
	0	1	1	17.5 Ω (Typ)				
	1	0	0	14.0 Ω (Typ)				
	1	0	1	12.0 Ω (Typ)				
	1	1	0	10.5 Ω (Typ)				
	1	1	1	9.5 Ω (Typ)				
	IDR_H_N2	IDR_H_N1	IDR_H_N0	HighサイドNch電流出力能力設定				
	0	0	0	5.0 Ω (Typ)				
	0	0	1	6.0 Ω (Typ)				
	0	1	0	7.0 Ω (Typ)				
	0	1	1	8.5 Ω (Typ)				
	1	0	0	10.0 Ω (Typ)				
	1	0	1	13.5 Ω (Typ)				
	1	1	0	19.0 Ω (Typ)				
	1	1	1	38.5 Ω (Typ)				

表2-26 Lowサイド出力電流能力設定レジスタ(IDRCNT_L)のフォーマット

★

アドレス: 2Eh リセット時: 00h R/W

略号	7	6	5	4	3	2	1	0
IDRCNT_L	0	IDR_L_P2	IDR_L_P1	IDR_L_P0	0	IDR_L_N2	IDR_L_N1	IDR_L_N0
	IDR_L_P2	IDR_L_P1	IDR_L_P0	LowサイドPch電流出力能力設定				
	0	0	0	27.0 Ω (Typ)				
	0	0	1	14.0 Ω (Typ)				
	0	1	0	10.0 Ω (Typ)				
	0	1	1	8.0 Ω (Typ)				
	1	0	0	7.0 Ω (Typ)				
	1	0	1	6.0 Ω (Typ)				
	1	1	0	5.5 Ω (Typ)				
	1	1	1	5.0 Ω (Typ)				
	IDR_L_N2	IDR_L_N1	IDR_L_N0	LowサイドNch電流出力能力設定				
	0	0	0	2.5 Ω (Typ)				
	0	0	1	3.0 Ω (Typ)				
	0	1	0	3.5 Ω (Typ)				
	0	1	1	4.0 Ω (Typ)				
	1	0	0	5.0 Ω (Typ)				
	1	0	1	6.0 Ω (Typ)				
	1	1	0	9.0 Ω (Typ)				
	1	1	1	17.5 Ω (Typ)				

2.4.20 Pchスルーレート設定レジスタ(TRCNT_P)

ドライブ用MOSFETをONする際の駆動電流のピークレベルを調整するレジスタです。
ピークレベルを変更することにより、立ち上がりのスルーレートを変える事が可能です。

本レジスタ(TRCNT_P)の設定により、下図のドライブ用MOSFETを駆動するMPU1~4、MPL1~4のGate駆動波形を変化させることができ、これによりスルーレートの調整が可能になります。Highサイドは、TR_H_Pビット、Lowサイドは、TR_L_Pビットにて調整します。

High/Lowサイド出力電流設定レジスタ(IDRCNT_H/IDRCNT_L)と組み合わせてご使用ください。

図 2-9 ドライブ用MOSFET駆動電流制御

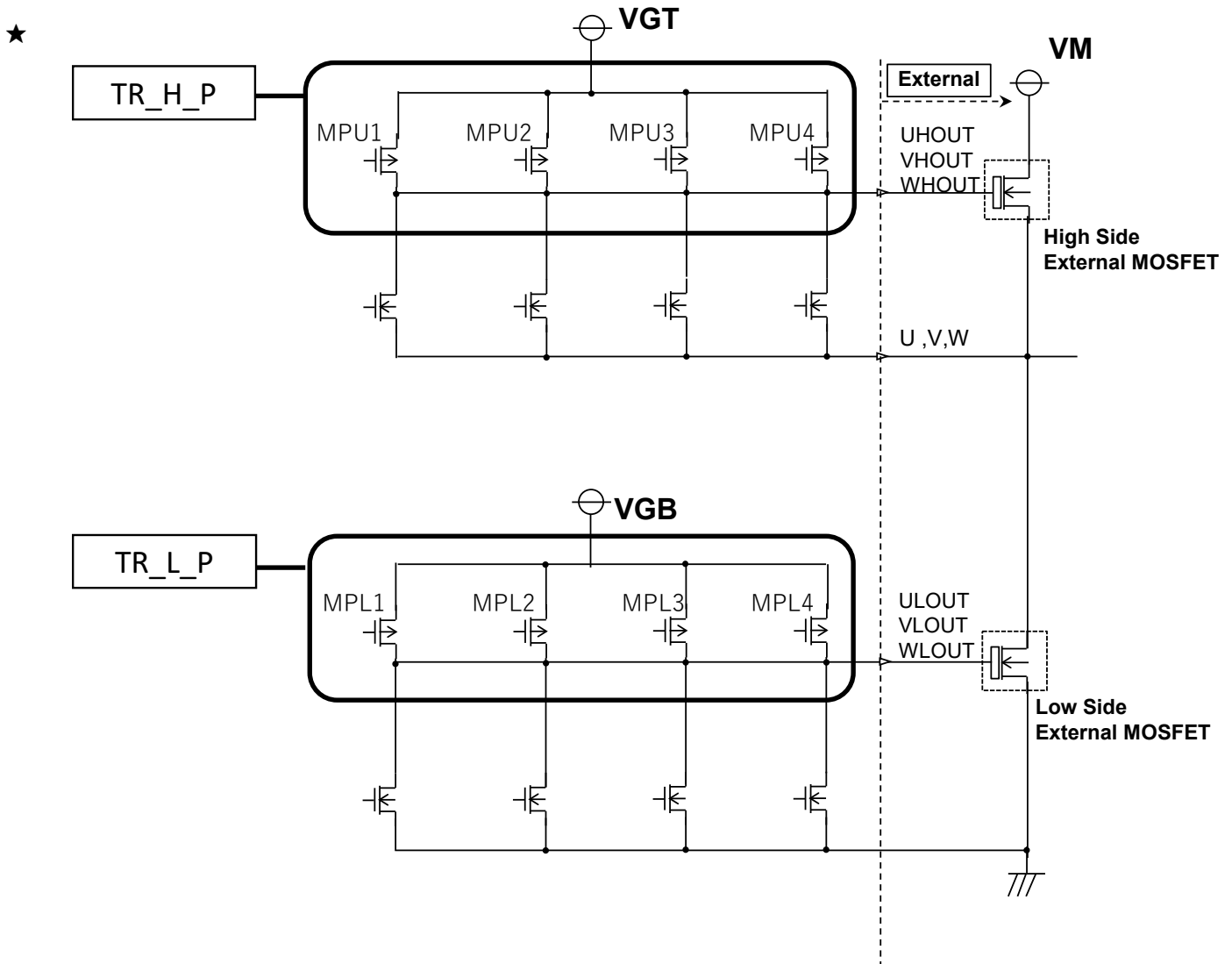


表2-27 Pchスルーレート設定レジスタ(TRCNT_P)のフォーマット

★

アドレス: 30h リセット時: 00h R/W

略号	7	6	5	4	3	2	1	0
TRCNT_P	0	TR_H_P2	TR_H_P1	TR_H_P0	0	TR_L_P2	TR_L_P1	TR_L_P0

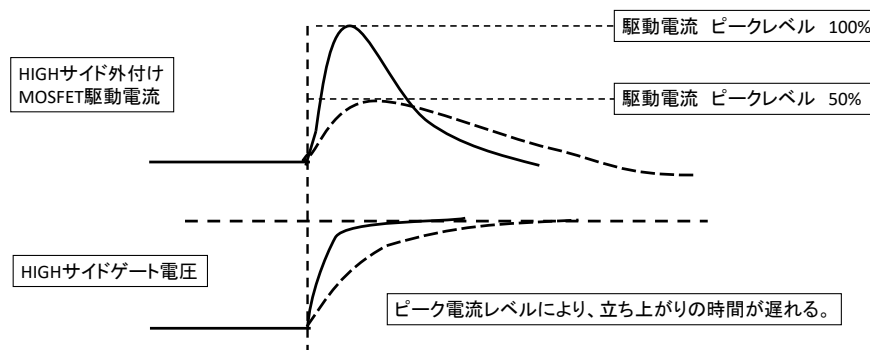
TR_H_P2	TR_H_P1	TR_H_P0	Highサイド外付け MOSFET 駆動電流 ピークレベル調整
0	0	0	100%
0	0	1	95%
0	1	0	90%
0	1	1	80%
1	0	0	65%
1	0	1	55%
1	1	0	40%
1	1	1	30%

注)外付けMOSFETをONする時の駆動電流のピークレベルを基準としています。

TR_L_P2	TR_L_P1	TR_L_P0	Lowサイド外付け MOSFET 駆動電流 ピークレベル調整
0	0	0	100%
0	0	1	95%
0	1	0	90%
0	1	1	85%
1	0	0	70%
1	0	1	50%
1	1	0	40%
1	1	1	30%

注)外付けMOSFETをONする時の駆動電流のピークレベルを基準としています。

図 2-10 ピーク電流調整によるスルーレートの変化



2.4.21 チャージポンプ設定レジスタ1(CPSET1)

チャージポンプの動作クロックの分周比を設定するレジスタです。
初期値は24分周(167kHz)となっています。

本レジスタはチャージポンプ回路の動作中(機能別パワーセーブ制御レジスタ(PS)のPS_CP_Nビットが"1"の時)は設定変更は禁止です。

表2-28チャージポンプ設定レジスタ1(CPSET1)のフォーマット

★

アドレス: 32h リセット時: 01h R/W

略号	7	6	5	4	3	2	1	0
CPSET1	0	0	0	0	0	0	CP_CLK_DIV1	CP_CLK_DIV0

CP_CLK_DIV1	CP_CLK_DIV0	チャージポンプの動作クロックの分周設定
0	0	18分周 (222kHz)
0	1	24分周 (167kHz) (初期値)
1	0	36分周 (111kHz)
1	1	40分周 (100kHz)

2.4.22 チャージポンプ設定レジスタ2(CPSET2)

チャージポンプの二倍昇圧機能の有効/無効を設定するレジスタです。初期値は、二倍昇圧機能が有効となっています。

二倍昇圧機能を有効にするとVGB電圧を約13Vに昇圧し、またその時のVGT電圧はVM電圧+VGB電圧になります。本機能を使用することで、VM電圧低下時(VM=6V~10V)でも、10V以上のVGB電圧が出力可能です。

二倍昇圧機能が無効の場合、VGB電圧は10V、VGT電圧はVM電圧+10Vになります。

またVM電圧が約10V以下になると、VGB電圧はVM電圧と同等まで低下します。

本レジスタはチャージポンプ回路の動作中（機能別パワーセーブ制御レジスタ(PS)のPS_CPREG_Nビットが"1"の時）は、レジスタデータの変更禁止です。

★ 表2-29 チャージポンプ設定レジスタ2(CPSET2)のフォーマット

略号	アドレス: 34h	リセット時: 02h	R/W					
	7	6	5	4	3	2	1	0
CPSET2	0	0	0	0	CP_BOOST_N	VREG10_OUT	VREG6P5_OUT	0
CP_BOOST_N	チャージポンプの2倍昇圧機能の有効/無効の設定。							
0	二倍昇圧有効(初期値)							
1	二倍昇圧無効							
VREG10_OUT	10V用チャージポンプの動作設定							
0	禁止(初期値)							
1	許可							
VREG6P5_OUT	6.5V用チャージポンプの動作設定							
0	禁止							
1	許可(初期値)							
設定を切り替える場合、PSレジスタのPS_CPREG_NとPS_CP_Nビットを"0"にして変更してください。 本レジスタの設定は、必ず下記の組み合わせで後利用ください								
		CP_BOOST_N	VREG10_OUT	VREG6P5_OUT				
		二倍昇圧有効	0(初期値)	0(初期値)	1(初期値)			
		二倍昇圧無効	1	1	0			
二倍昇圧の有無により、推奨回路が異なります。								

2.4.23 チャージポンプ用トリミングレジスタ(CP_TRIM)

チャージポンプのトリミング値を設定するレジスタで、初期値(00h)の変更は禁止です。

本レジスタは設定・変更不要ですが、誤書き込みを防止するために記載しております。

★ 表2-30 チャージポンプ用トリミングレジスタ(CP_TRIM)のフォーマット

略号	アドレス: 36h	リセット時: 00h	R/W					
	7	6	5	4	3	2	1	0
CP_TRIM	CP_TRIM_7 - CP_TRIM_0							
CP_TRIM_7 - CP_TRIM_0	チャージポンプ用のトリミング値を格納							
初期値00h 変更は不要です。								

2.4.24 5Vレギュレータ電圧設定レジスタ(VREG5_TRIM)

5Vレギュレータのトリミング値を設定するレジスタです。

出荷時レギュレータの出力は4.8Vセンター (Bit5&4=0) になっています。

RL78のTRIM_DATA0 (EFFEC h 番地) の上位4bitに、工場出荷時のトリミングデータを書き込んでいます。VREG5_TRIMレジスタのbit5=1、bit4=0、bit3-0にTRIM_DATA0の上位4bitの値を書き込んでご使用ください。具体的な処理については2.5.11のトリミングの章に記載しています。

★ 表2-31 5Vレギュレータ電圧設定レジスタ(VREG5_TRIM)のフォーマット

略号	アドレス: 40h	リセット時: 00h	R/W	7	6	5	4	3	2	1	0
VREG5_TRIM	VREG5_TRIM_7 - VREG5_TRIM_0										
VREG5_TRIM_5 - VREG5_TRIM_4		出力電圧のセンター				備考					
00		4.8V				マニュアルで変更する場合の参考値となります。 RL78のTRIM_DATA0レジスタに書き込んでいるトリミングデータのご使用を推奨します。					
01		4.9V									
10		5.0V									
11		5.1V									
VREG5_TRIM_3 - VREG5_TRIM_0		出力電圧のセンターに対する変位量				備考					
0000		約 0.00%				マニュアルで変更する場合の参考値となります。 RL78のTRIM_DATA0レジスタに書き込んでいるトリミングデータのご使用を推奨します。					
0001		約 0.14%									
0010		約 0.29%									
0011		約 0.43%									
0100		約 0.57%									
0101		約 0.72%									
0110		約 0.86%									
0111		約 1.01%									
1000		約 -1.12%									
1001		約 -0.98%									
1010		約 -0.84%									
1011		約 -0.70%									
1100		約 -0.56%									
1101		約 -0.42%									
1110		約 -0.28%									
1111		約 -0.14%									

2.4.25 ドライブ用MOSFET電流検出AMP設定レジスタ(CSAMP_TRIM)

表2-32 ドライブ用MOSFET電流検出AMP設定レジスタ(CSAMP_TRIM)のフォーマット

略号	7	6	5	4	3	2	1	0
CSAMP_TRIM	CSAMP_TRIM_7 - CSAMP_TRIM_0							
	CSAMP_TRIM_7 - CSAMP_TRIM_0							
	電流検出AMP用トリミングレジスタです。本レジスタを設定することで、電流検出アンプの調整を行います。 過電流検出機能を使用する際は、CSAMP_TRIM5ビットに“1”、CSAMP_TRIM4ビットに“0”を設定してください。							

2.4.26 アラーム状態モニタレジスタ1(ALMRAW1)

チャージポンプ(VGT端子、VGB端子)の電圧をモニタするレジスタです。

電圧が閾値内(正常)であれば“1”、閾値を超えると“0”になり、チャージポンプのステータス(電圧異常)を確認することができます。

チャージポンプは起動後、安定するまでに低電圧状態及び過電圧状態になることがあります。本レジスタを利用しチャージポンプの電圧が安定したことを確認後、モータの駆動を開始してください。

本レジスタはPS_ALL_Nビット=“1”、PS_CPREG_Nビット=“1”、PS_CP_Nビット=“1”の時に有効です。ALARM状態レジスタ1(ALMSTS1)がラッチされるのに対して、本レジスタはラッチされません。

表2-33 アラーム状態モニタレジスタ1(ALMRAW1)のフォーマット

略号	7	6	5	4	3	2	1	0
ALMRAW1	1	VGT_OVP1_RAW_N	VGT_OVP2_RAW_N	VGT_UVP_RAW_N	VGB_OVP_RAW_N	VGB_UVP_RAW_N	1	1
	VGT_OVP1_RAW_N	チャージポンプ(VGT端子)出力電圧異常上昇検知						
	0	検出中						
	1	未検出						
	ALARM検出閾値: VGT端子電圧 \geq VM電圧 + 18V(Typ) ALARM解除閾値: VGT端子電圧 < VM電圧 + 17V(Typ)							
	VGT_OVP2_RAW_N	チャージポンプ(VGT端子)出力電圧異常上昇検知						
	0	検出中						
	1	未検出						
	ALARM検出閾値: RAJ306001 VGT端子電圧 \geq 48V(Typ)、RAJ306010 VGT端子電圧 \geq 60V(Typ) ALARM解除閾値: RAJ306001 VGT端子電圧 < 47V(Typ)、RAJ306010 VGT端子電圧 < 59V(Typ)							
	VGT_UVP_RAW_N	チャージポンプ(VGT端子)出力電圧異常低下(フィルター前)						
	0	検出中						
	1	未検出						
	ALARM検出閾値: VGT \leq VM電圧 + 7V(Typ) ALARM解除閾値: VGT > VM電圧 + 7.5V(Typ)							
	VGB_OVP_RAW_N	チャージポンプ(VGB端子)出力電圧異常上昇						
	0	検出中						
	1	未検出						
	ALARM検出閾値: VGB \geq 18V(Typ) ALARM解除閾値: VGB < 17V(Typ)							
	VGB_UVP_RAW_N	チャージポンプ(VGB端子)出力電圧異常低下(フィルター前)						
	0	検出中						
	1	未検出						
	ALARM検出閾値: VGB \leq 7.6V(Typ) ALARM解除閾値: VGB > 7.8V(Typ)							

2.4.27 TOIN端子状態レジスタ(TOIN_MONI)

PWM端子の端子レベルをモニタすることにより、MCUから想定通りの信号が入力されているか否か、確認することができます。

★

表2-34 TOIN端子状態レジスタ(TOIN_MONI)のフォーマット

略号	アドレス: 5Ch リセット時: - R							
TOIN_MONI	7	6	5	4	3	2	1	0
	TOINA	TOINB	TOINC	TOIND	TOINE	TOINF	TOING	TOINH
TOINA	TOINA端子の入力電圧をモニタ							
0	Lowレベル							
1	Highレベル							
TOINB	TOINB端子の入力電圧をモニタ							
0	Lowレベル							
1	Highレベル							
TOINC	TOINC端子の入力電圧をモニタ							
0	Lowレベル							
1	Highレベル							
TOIND	TOIND端子の入力電圧をモニタ							
0	Lowレベル							
1	Highレベル							
TOINE	TOINE端子の入力電圧をモニタ							
0	Lowレベル							
1	Highレベル							
TOINF	TOINF端子の入力電圧をモニタ							
0	Lowレベル							
1	Highレベル							
TOING	TOING端子の入力電圧をモニタ							
0	Lowレベル							
1	Highレベル							
TOINH	TOINH端子の入力電圧をモニタ							
0	Lowレベル							
1	Highレベル							
※本レジスタリード中、入力の変更禁止。								

2.4.28 WHO_AM_Iレジスタ(WHO_AM_I)

本レジスタを読み出すことにより、プリドライバとRL78/G1Fの通信状態を確認できます。

クロック供給後に、本レジスタを読み出し通信できることを確認してから、各種設定を行ってください。

★

表2-35 WHO_AM_Iレジスタ(WHO_AM_I)のフォーマット

略号	アドレス: 5Eh リセット時: 6Ah R							
WHO_AM_I	7	6	5	4	3	2	1	0
	WHO_AM_I7 - WHO_AM_I0							
WHO_AM_I7 - WHO_AM_I0	接続確認							
RAJ306001:01101010b(6Ah)	通信OK							
RAJ306010:01101011b(6Bh)	通信OK							
上記以外	通信NG							
※本レジスタは製品によって値が異なります。								

2.4.29 トリミングプロテクトレジスタ (TRIM_PT)

TRIM_ENレジスタ、BGR_TRIMレジスタ、BFAMP_TRIMレジスタに対するプロテクトビットです。上記レジスタに書き込みをする前に、プロテクト解除を行ってください。

また、上記設定が完了後、00hを設定し、再度プロテクトを行ってください。

★ 表2-36 トリミングプロテクトレジスタ (TRIM_PT) のフォーマット

略号	アドレス: 60h	リセット時: 00h	R/W	7	6	5	4	3	2	1	0
TRIM_PT	TRIM_PT_7 - TRIM_PT_0										
	TRIM_PT_7 - TRIM_PT_0					TRIM_ENレジスタ、BGR_TRIMレジスタ、BFAMP_TRIMレジスタへの書き込みプロテクト					
	10010101b(A5h)					プロテクト解除(書き込み有効)					
	上記以外					プロテクト中(書き込み無効)					
	TRIM_ENレジスタ、BGR_TRIMレジスタ、BFAMP_TRIMレジスタへアクセスする前に設定してください。										

2.4.30 トリミングデータ有効レジスタ (TRIM_EN)

BGR_TRIMレジスタ、BFAMP_TRIMレジスタにトリミング値を設定後、1を書き込むことで2つのレジスタの値が適応されます。

★ 表2-37 トリミングデータ有効レジスタ (TRIM_EN) のフォーマット

略号	アドレス: 74h	リセット時: 00h	R/W	7	6	5	4	3	2	1	0
TRIM_EN	0	0	0	0	0	0	0	0	0	0	TRIM_EN
TRIM_EN	BGR_TRIMレジスタとBFAMP_TRIMレジスタに書き込まれたトリミングデータの設定有効/無効の切り替え										
	0	BGR_TRIMとBFAMP_TRIMのトリミング値無効									
	1	BGR_TRIMとBFAMP_TRIMのトリミング値有効									
	本レジスタを設定前にTRIM_PTレジスタによる書き込みプロテクトの解除を行ってください。 BGR_TRIMとBFAMP_TRIMにトリミングデータを格納した後1を設定してください。										

2.4.31 高精度BGR温度補正レジスタ (BGR_TRIM)

★ 表2-38 高精度BGR温度補正レジスタ (BGR_TRIM) のフォーマット

略号	アドレス: 78h	リセット時: 00h	R/W	7	6	5	4	3	2	1	0
BGR_TRIM	BGR_TRIM_7 - BGR_TRIM_0										
	BGR_TRIM_7 - BGR_TRIM_0					5Vレギュレータ用BGRの温度補正用トリミングレジスタ					
	本レジスタにトリミングデータを格納することで5Vレギュレータの温度精度が確保できます。 本レジスタの設定はTRIM_ENレジスタに1を設定することで有効となります。 本レジスタを設定前にTRIM_PTレジスタによる書き込みプロテクトの解除を行ってください。										

2.4.32 BUFFAMP絶対値補正レジスタ (BFAMP_TRIM)

★ 表2-39 BUFFAMP絶対値補正レジスタ (BFAMP_TRIM) のフォーマット

略号	アドレス: 7Ah	リセット時: 00h	R/W	7	6	5	4	3	2	1	0
BFAMP_TRIM	BFAMP_TRIM_7 - BFAMP_TRIM_0										
	BFAMP_TRIM_7 - BFAMP_TRIM_0					5Vレギュレータ用BUFFAMPのトリミングレジスタ					
	本レジスタにトリミングデータを格納することで5Vレギュレータ用のバッファアンプのトリミングがされ、VREG5端子より5Vが出るようになります。 本レジスタの設定はTRIM_ENレジスタに1を設定することで有効となります。 本レジスタを設定前にTRIM_PTレジスタによる書き込みプロテクトの解除を行ってください。										

2.5 プリドライバ機能(設定/使用方法)

2.5.1 プリドライブ部

プリドライブ部には、デッドタイム調整機能とスルーレート調整機能があり、RL78/G1Fで制御できます。本機能を使用する場合、PS_ALL_Nビット、PS_CPREG_N、PS_CP_N及びPS_PRE_Nビットによるパワーセーブ解除が必要となります。

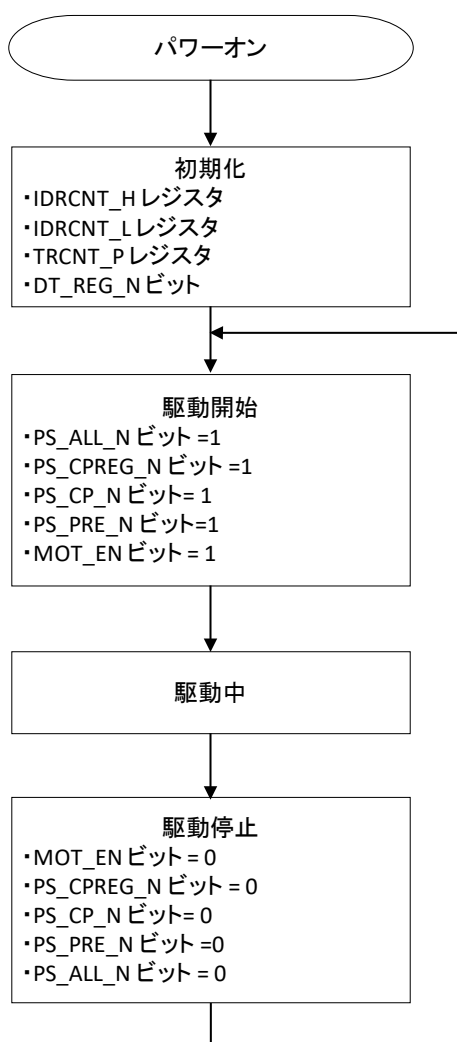
関係するレジスタは下記となります。

- ・ Highサイド出力電流能力設定レジスタ(IDRCNT_H)
- ・ Lowサイド出力電流能力設定レジスタ(IDRCNT_L)
- ・ Pchスルーレート設定レジスタ(TRCNT_P)
- ・ モータ駆動制御設定レジスタ(DRIVE_SET)
- ・ パワーセーブ制御設定レジスタ(PS_ALL)
- ・ 機能別パワーセーブ制御設定レジスタ(PS)

デッドタイム調整機能、スルーレート調整機能を使用する場合、下記の順番で設定してください。

また、モータ接続端子のスイッチングは、プリドライバ部のパワーセーブが解除されてから行うようにしてください。

図 2-11 フローチャート:プリドライバ



2.5.1.1 デッドタイム調整機能

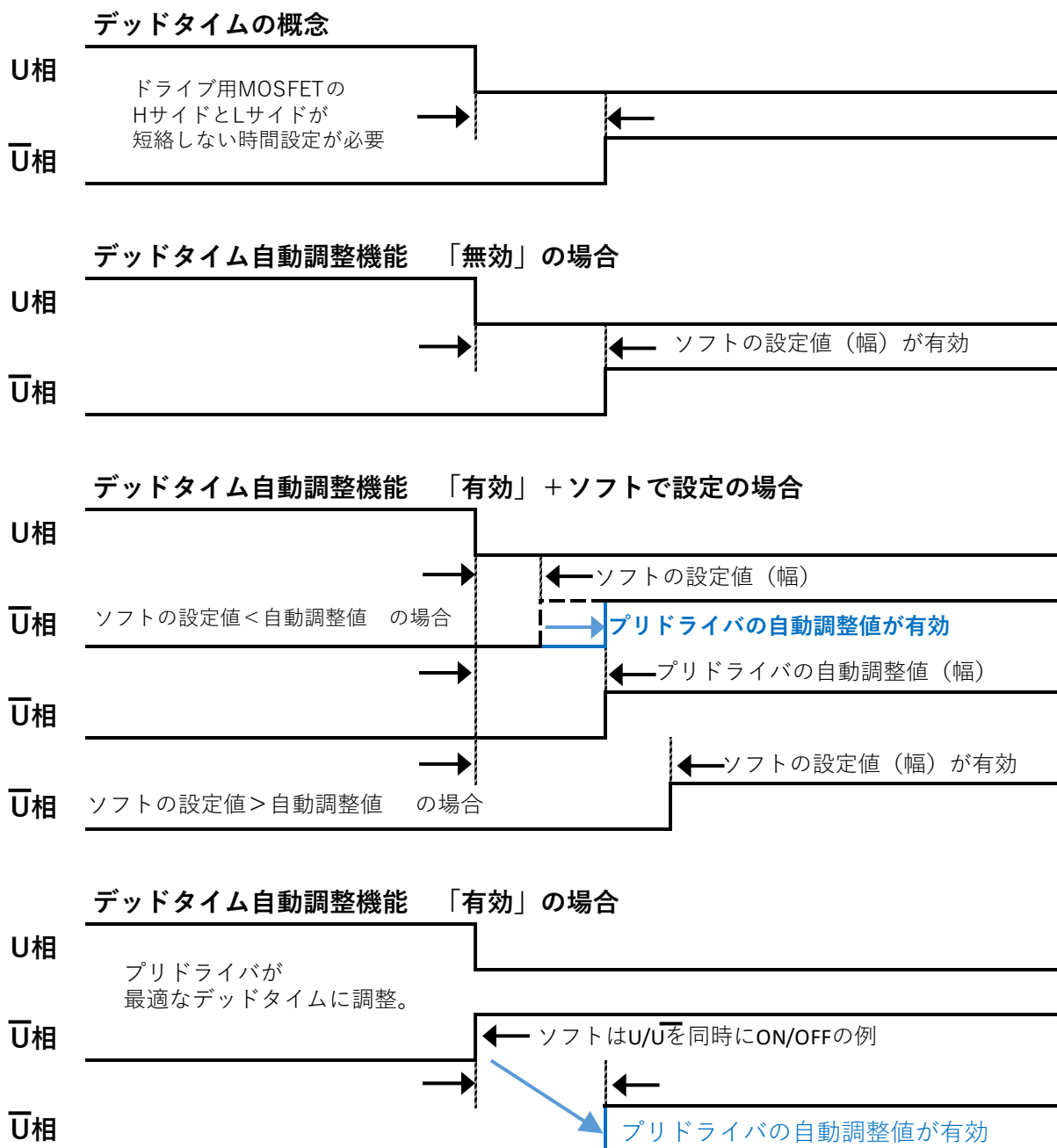
モータ駆動制御設定レジスタ(DRIVE_SET)のデッドタイム調整許可ビット(DT_REG_N)により、デッドタイム調整機能の有効/無効を設定できます。

本設定を有効にした場合、モータドライブ用MOSFETが、「1.5 モータドライブ用MOSFETの選定方法」に記してある条件を満足すれば、MCUにてデッドタイムを設定する必要はありません。なお、デッドタイムをRL78/G1Fから制御する場合でも、本機能で設定する以上のデッドタイムであれば、本デッドタイム調整機能の有効/無効にかかわらず、RL78/G1Fで設定されたデッドタイムが有効となります。

また、安全のため、RL78/G1Fでデッドタイムを設定する場合でも、有効にしたままにすることを推奨します。下記に、デッドタイム調整機能の設定毎の動作波形を示します。

図 2-12 デッドタイム調整機能

★



2.5.2 5Vレギュレータ部

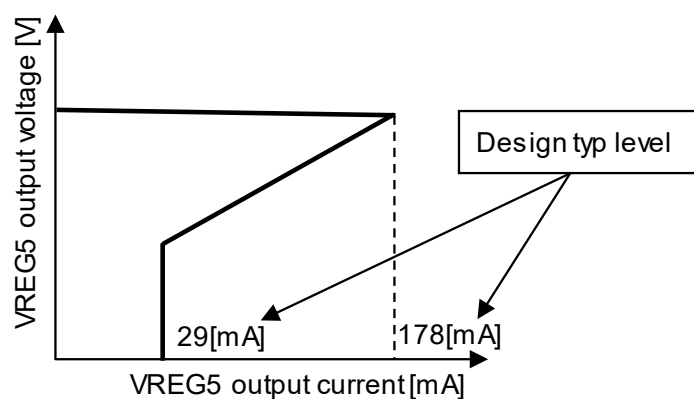
内蔵5Vレギュレータを使用する場合、VREG5_SEL端子を0Vに接地することで、VREG5端子から5Vが出力されます。本レギュレータは過電圧検知機能を有し、約5.7V(設計値typ)以上の過電圧を検出した場合、ALMSTS1レジスタのVREG5_OVP_Nビットを"0"にします。

また、TSDを検出した場合、5Vレギュレータは出力を停止し、TSDの解除閾値を下回ると出力を再開します。詳細は2.5.8 TSD(過熱検知機能)の項目を参照して下さい。その他、本5Vレギュレータは過電流保護機能として、フの字特性による電流制限機能を有しています。(ただし、フの時特性による保護はアラームとして記録されません。)

外部から5Vを供給する場合は、VREG5_SEL端子を5Vに固定し、VREG5端子に5Vを供給してください。

注1. VM端子に電源印加直後の5Vレギュレータの出力は4.8V程度になります。トリミングレジスタを設定することにより5Vに調整されます。5Vレギュレータのトリミングの実施方法は2.5.11.1 内蔵5Vレギュレータトリミングを参照してください。

図 2-13 5Vレギュレータの出力特性



★

2.5.3 ホールICコンパレータ部

ブリドライバはホールIC入力に対応したコンパレータを3ch搭載しています。ホールICコンパレータの出力は内部ロジックを介してRL78/G1Fに出力され、回転位置検出に利用可能です。

- ★ また、ブリドライバには、ホールICコンパレータの入力を利用して、モータロック検出、コミュテーション制御、FG判定を行う機能が搭載されています。ただし、コミュテーション制御を行う場合は「図 1-6 推奨駆動波形」に従う必要があります。

ホールICコンパレータを使用する場合、PS_ALL_Nビット及びPS_HALL_Nビットによるパワーセーブ解除が必要となります。

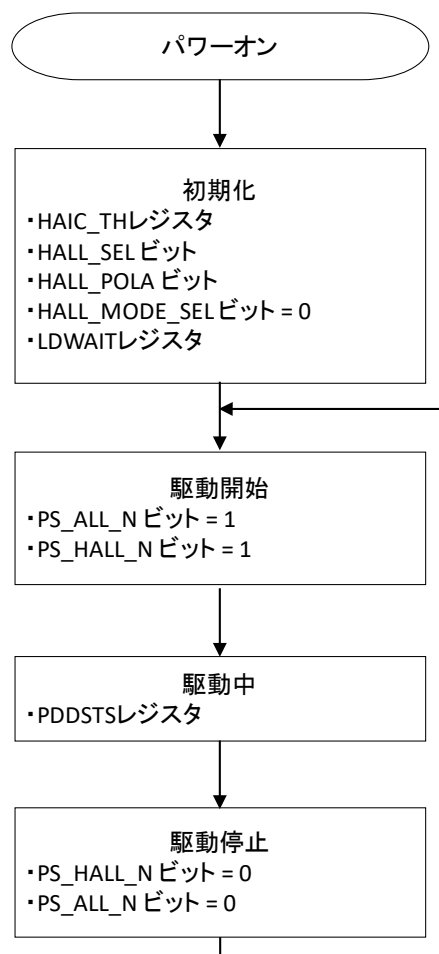
関係するレジスタは下記となります。

- ・ホールICコンパレータ閾値調整レジスタ(HAIC_TH)
- ・Hall信号処理設定レジスタ(HALL_SIG)
- ・LD判定待ち時間レジスタ(LDWAIT)
- ・パワーセーブ制御設定レジスタ(PS_ALL)
- ・機能別パワーセーブ制御設定レジスタ(PS)
- ・モータ駆動制御設定レジスタ(DRIVE_SET)
- ・ブリドライバ駆動状態レジスタ(PDDSTS)

ホールICコンパレータ機能を利用する場合、下記の手順にて設定してください。

図 2-14 フローチャート:ホールICコンパレータ

★

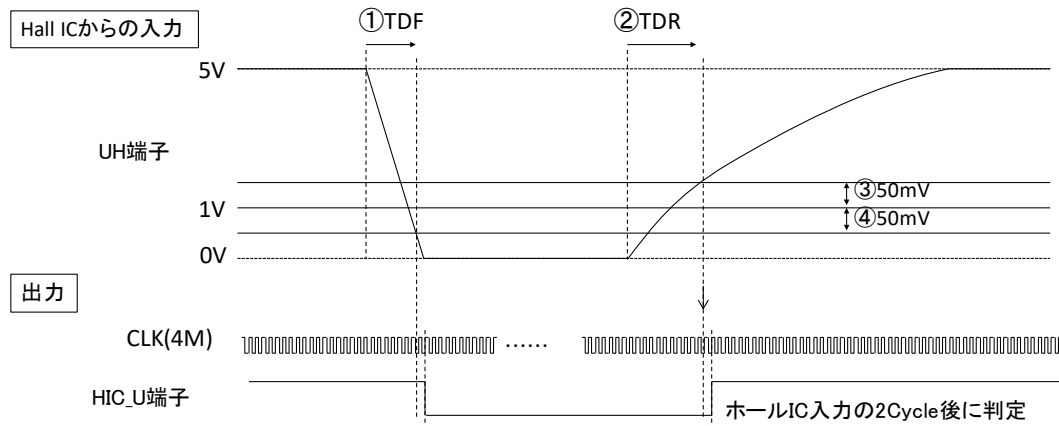


2.5.3.1 ホールICコンパレータ閾値調整レジスタ(HAIC_TH)

ホールICコンパレータ閾値調整レジスタ(HAIC_TH)は、ホールICからの入力信号に対するスレッショルド電圧及び、ヒステリシス電圧を設定するレジスタです。

下記にHAIC_TH=010b(1V), HAIC_HYS=10b(100mV)のを設定した際の波形例を示します。

図 2-15 ホールICコンパレータ波形例



2.5.4 エラー検出部

この機能はプリドライバの起動状態及び、外付け回路の動作状態を監視する機能です。

エラー状態を検出すると、下記動作により異常の通知及び保護を実行します。

- ・ALARM状態レジスタ1、2へ異常状態の格納
- ・ALARM端子出力によるRL78/G1Fへの異常状態を通知（異常状態検出時にLow出力）
- ・ドライブ用MOSFETの駆動を停止。

エラー状態の検出には関連する機能のパワーセーブの解除が必要となります。

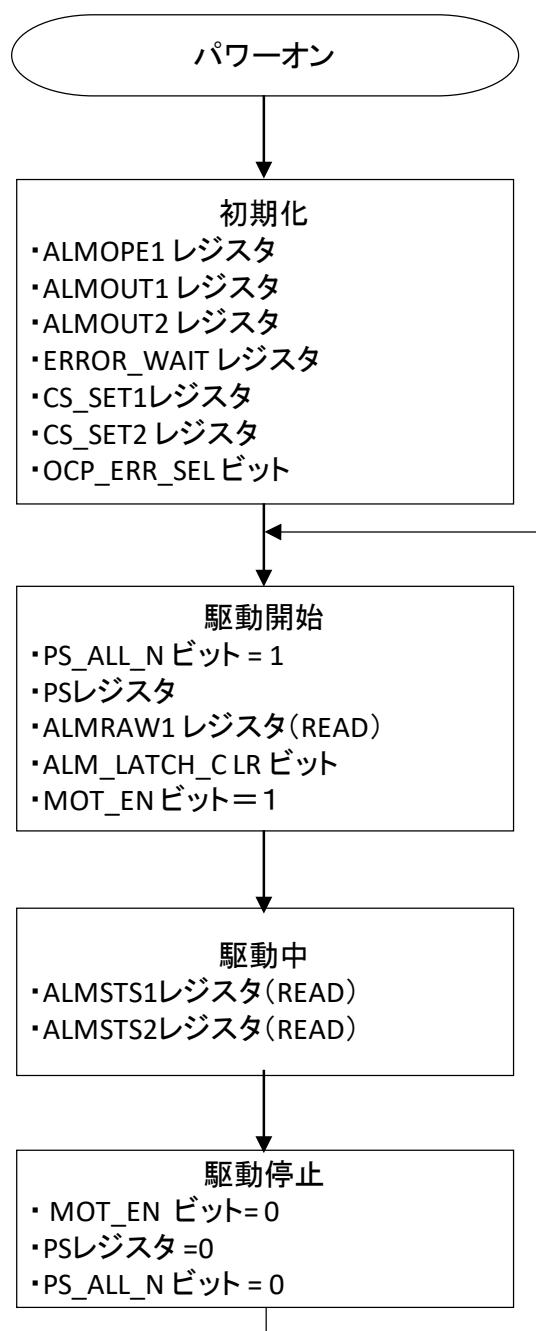
関係するレジスタは下記となります。

- ・ALARM状態レジスタ1(ALMSTS1)
- ・ALARM動作設定レジスタ1(ALMOPE1)
- ・ALARM端子出力設定レジスタ1(ALMOUT1)
- ・ALARM状態モニタレジスタ1(ALMRAW1)
- ・ALARM状態レジスタ2(ALMSTS2)
- ・ALARM端子出力設定レジスタ2(ALMOUT2)
- ・エラー検出待ち時間設定レジスタ(ERROR_WAIT)
- ・モータ駆動制御設定レジスタ(DRIVE_SET)
- ・ドライブ用MOSFET過電流判定遮断用閾値設定レジスタ1(CS_SET1)
- ・ドライブ用MOSFET過電流判定遮断用閾値設定レジスタ2(CS_SET2)
- ・パワーセーブ制御設定レジスタ(PS_ALL)
- ・機能別パワーセーブ制御設定レジスタ(PS)

エラー検出機能を利用する場合、下記の順番で設定してください。

図 2-16 フローチャート: エラー検出機能

★



2.5.5 CSアンプ部

CSアンプ回路は下記の2つの機能を有しています。

- ・電流量の測定のためのシャント抵抗の両端に発生する電位差の増幅
- ・過電流状態の検出

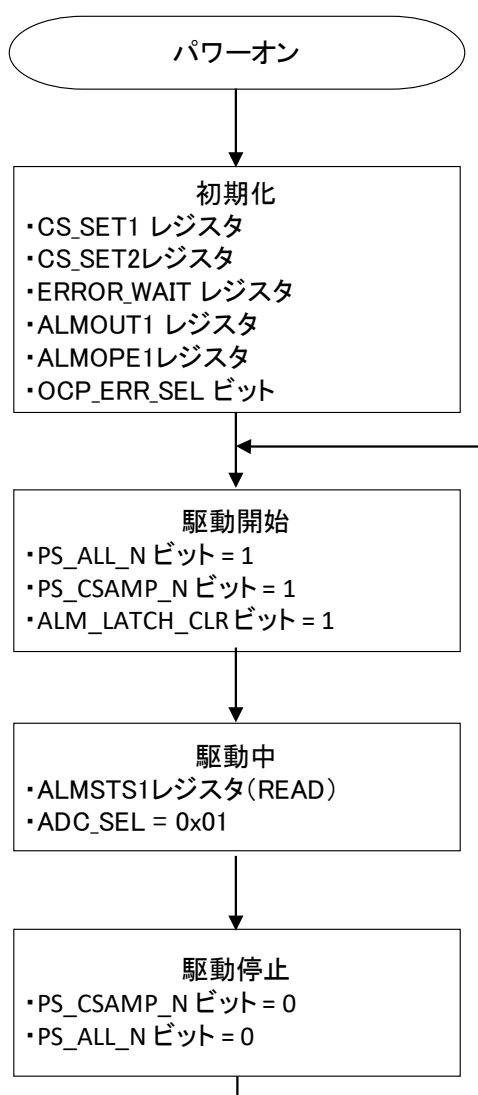
関係するレジスタは下記となります。

- ・エラー検出待ち時間設定レジスタ(ERROR_WAIT)
- ・ALARM状態レジスタ1(ALMSTS1)
- ・ALARM端子出力設定レジスタ1(ALMOUT1)
- ・ALARM動作設定レジスタ1(ALMOPE1)
- ・ドライブ用MOSFET過電流判定遮断用閾値設定レジスタ1(CS_SET1)
- ・ドライブ用MOSFET過電流判定遮断用閾値設定レジスタ2(CS_SET2)
- ・ADC選択レジスタ(ADC_SEL)

CSアンプの機能を使用する場合、下記の順番で設定してください。

図 2-17 フローチャート:CSアンプ

★



2.5.5.1 エラー検出待ち時間設定レジスタ(ERROR_WAIT)

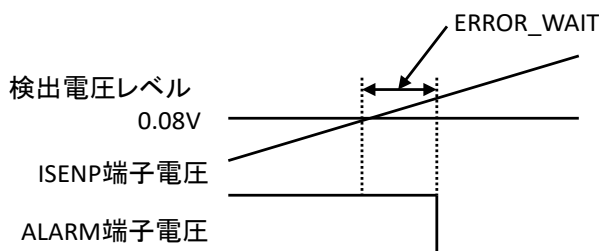
過電流検出の判定時間を設定します。エラー検出待ち時間設定レジスタ(ERROR_WAIT)の出力相過電流検出判定ビット(OCP_WAIT)で設定された時間以上、過電流状態が続いた時、ALARM状態レジスタ1(ALMSTS1)のOCP_Nビットを"0"にします。初期値は"Wait時間無し"となります。

ALARM端子出力設定レジスタ1(ALMOUT1)のOCP_ALE_Nが有効("0")となっている時に、OCPの検出によりALARM端子は"High"→"Low"となります。

ALARM動作設定レジスタ1(ALMOPE1)のOCP_OPE_Nが有効になっているとき、プリドライバの出力をLow(ドライブ用MOSFET: Hi-Z)にします。

図 2-18 OCPのエラー検出設定例(検出電圧: 0.08V)

★



2.5.5.2 ドライブ用MOSFET過電流検知レベルの設定

過電流検知レベルは、ドライブ用MOSFET過電流判定遮断用閾値設定レジスタ1と2(CS_SET1/CS_SET2)の組み合わせにより設定します。ドライブ用MOSFET過電流判定遮断用閾値設定レジスタ1(CS_SET1)には、シャント抵抗に発生する電圧の検出レベルを決める検出電圧ゲイン調整(SHUNT_SEL)と過電流検知が動作する閾値を決める閾値電圧設定(OCP_SL_H)があります。また、ADC選択レジスタ(ADC_SEL)を0x01に設定することで、CSアンプの出力電圧をANI7端子によりモニタが可能です。

表 2-40に代表的な設定の組み合わせ及び、検出電圧値を示します。検出電圧値は、ISEN+端子とISEN-端子の端子間の電位差です。なお本機能を使用する際は、ドライブ用MOSFET電流検出AMP設定レジスタ(CSAMP_TRIM)のCSAMP_TRIM5ビットに"1"、CSAMP_TRIM4ビットに"0"を設定してください。

過電流検出量の計算式は次式になります。

$$\text{検出電流量 [A]} = \text{検出電圧 [V]} / \text{シャント抵抗値 [\Omega]} \quad \text{※2nd AMPは過電流検出には利用しません。}$$

表2-40 CSアンプ検出電圧閾値設定

★

検出電圧ゲイン調整	SHUNT_SEL	設定値	000(50倍)		100(25倍)	101(8.25倍)	
		1st AMP	10倍				
		2nd AMP	5倍				
検出電圧閾値調整	CSAMP_IREF	設定値	00(1倍)	01(3倍)	10(5倍)		
	CSAMP_ATT	設定値	1(1倍)				
	OCP_SEL_H	設定値	検出電位差[V](ISEN+端子-ISEN-端子間電圧)				
		0000	0.016	0.044	0.07	0.14	0.44
		0001	0.018	0.050	0.08	0.17	0.50
		0010	0.020	0.057	0.09	0.19	0.56
		0011	0.023	0.063	0.10	0.21	0.62
		0100	0.025	0.069	0.11	0.23	0.69
		0101	0.027	0.076	0.12	0.25	0.75
		0110	0.029	0.082	0.13	0.27	0.81
0111	0.032	0.088	0.14	0.29	0.87		
1000	0.034	0.094	0.15	0.31	0.93		

過電流検出量の計算例として、0.5mΩのシャント抵抗を利用し、160Aの電流を検出する際の計算式及び、レジスタ設定を下記に示します。

計算式

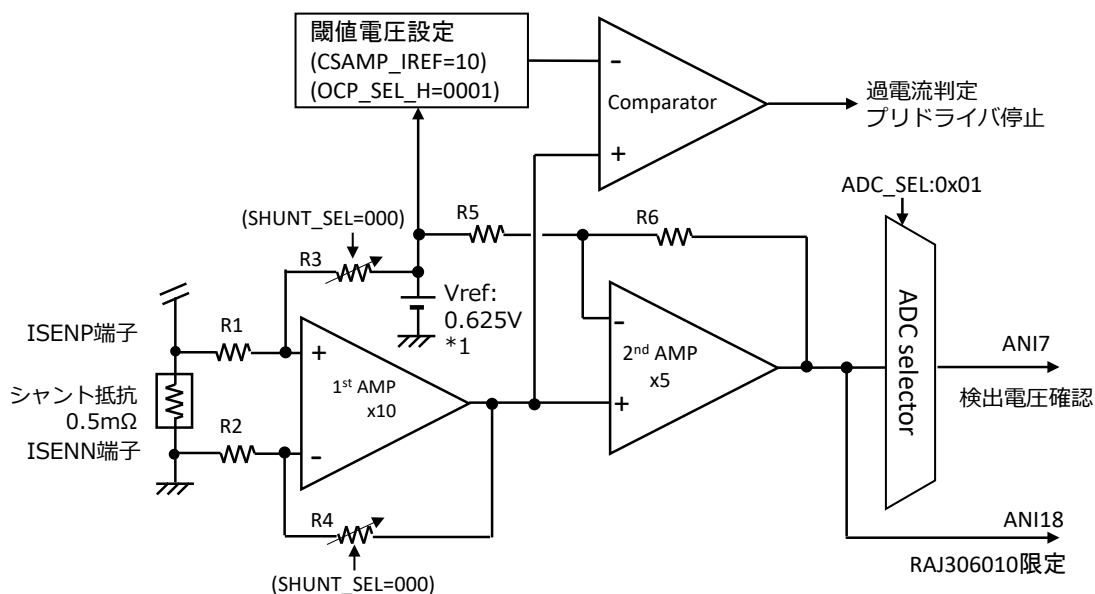
$$\text{検出電流量} 160[\text{A}] * 0.5[\text{m}\Omega] = 0.08[\text{V}]$$

レジスタ設定

- SHUNT_SEL bit . . . 000(検出電圧値x50倍)
- CSAMP_IREF bit . . . 10(閾値電圧値x 5倍)
- CSAMP_ATT bit . . . 1(閾値電圧値x 1倍)
- OCP_SEL_H bit . . . 0001(検出電圧 [V] =0.08V)

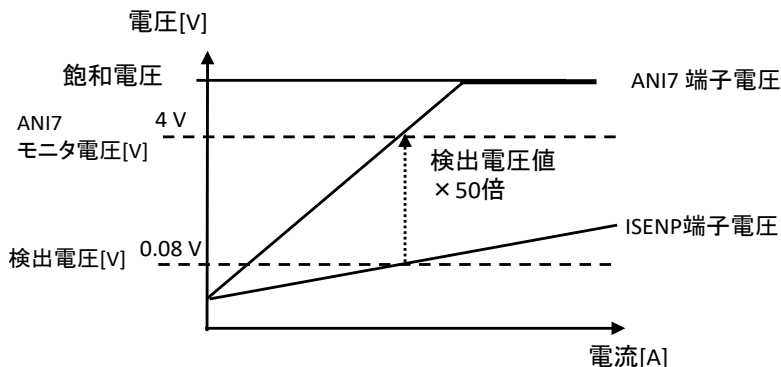
この時の波形例を以下に示します。

図 2-19 CSアンプ概略図



*1: ドライブ用MOSFET電流検出AMP設定レジスタ(CSAMP_TRIM)のCSAMP_TRIM5ビットに"1"、CSAMP_TRIM4ビットに"0"を設定した場合。(過電流検出機能を使用する際の推奨値)

図 2-20 シャント抵抗の電位差とANI7端子の電圧レベル



2.5.6 チャージポンプ部

チャージポンプ回路は、ハイサイド駆動ゲート電圧(以下VGT)、ローサイド駆動ゲート電圧(以下VGB)を生成します。本機能を利用する場合、PS_ALL_Nビット及びPS_CPREG_Nビット,PS_CP_Nビットによるパワーセーブ解除が必要となります。

関係するレジスタは下記となります。

- ・チャージポンプ設定レジスタ1(CPSET1)※
- ・チャージポンプ設定レジスタ2(CPSET2)

※ PS_CP_Nが”1”の時、CPSET1、CPSET2の設定変更禁止。

- ・ALARM状態レジスタ1(ALMSTS1)
- ・ALARM動作設定レジスタ1(ALMOPE1)
- ・ALARM端子出力設定レジスタ1(ALMOUT1)
- ・ALARM状態モニタレジスタ1(ALMRAW1)

図2-21にチャージポンプに関するレジスタ設定の順番を、図2-22にパワーセーブ解除のフローを示します。

図 2-21 チャージポンプ起動フロー

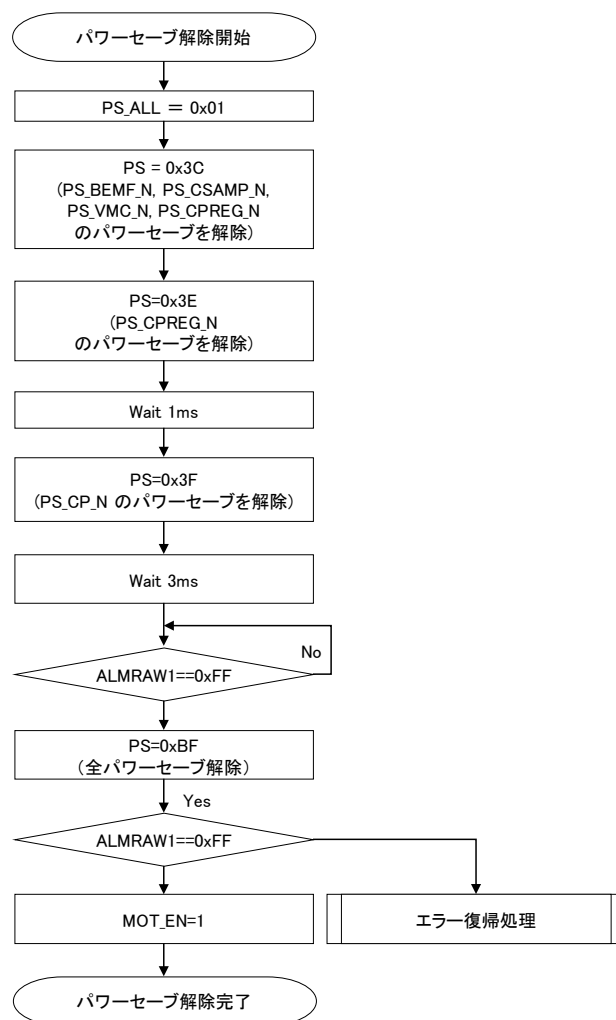
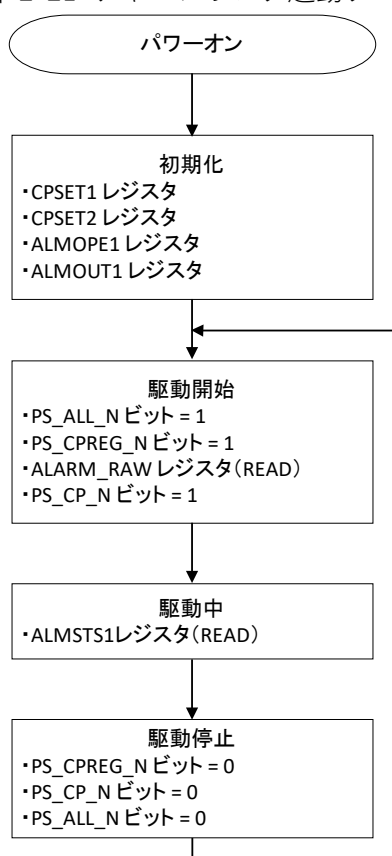


図 2-22 パワーセーブ解除フロー

2.5.6.1 チャージポンプの過電圧、低電圧検出機能(ALMSTS1)

VGBの低電圧はVGB端子電圧が7.6V以下で検知し、VGB_UVP_Nビットが"0"となります。

過電圧はVGB端子電圧が18V以上の場合に検知し、VGB_OVP_Nビットが"0"となります。

VGTの低電圧はVGT端子電圧がVM+7V以下で検知し、VGT_UVP_Nビットが"0"となります。

過電圧はVGT端子電圧がVM+18V以上でVGT_OVP1_Nビットが"0"となり、

- ★ RAJ306001の場合は48V以上、RAJ306010の場合は60V以上でVGT_OVP2_Nビットが"0"となり過電圧を検知します。

検知した結果はALARM端子に出力され、ALMSTS1のレジスタを読み出すことで状態確認が可能です。それぞれの検知電圧は、二倍昇圧機能,昇圧無し機能ともに同じです。

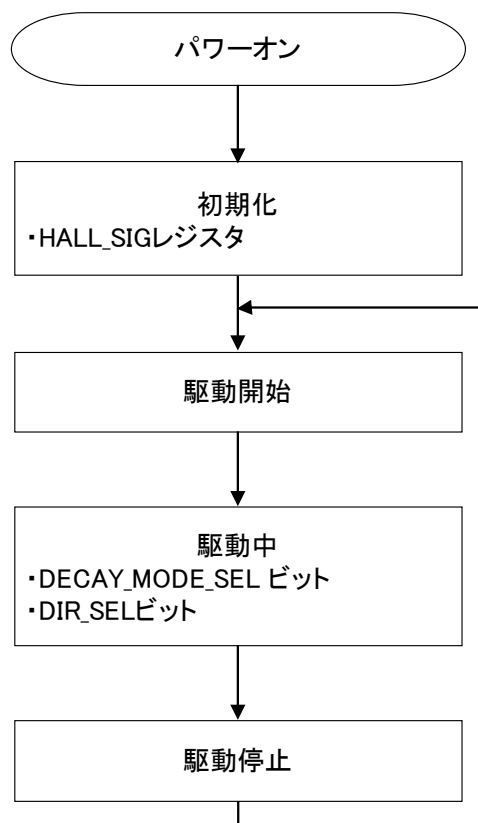
2.5.7 コミュテーション部

モータの制御方法の設定を以下のレジスタにて設定します。

- ・モータ駆動制御設定レジスタ(DRIVE_SET/DECAY_MODE_SEL)
- ・Hall信号処理設定レジスタ(HALL_SIG)

レジスタの設定順番を下記に示します。

2.5.7.1 図 2-23 フローチャート: コミュテーション制御



モータの回転制御方式にはPWM制御とコミュテーション制御があり、DRIVE_SETレジスタのDECAY_MODE_SELビットで選択可能です。初期値は、PWM制御が選択されます。

コミュテーション制御を選択すると、ボディダイオードを介して回生します。

図 2-24、図 2-25にPWMとコミュテーション制御の電流経路、図 2-26にPWM波形とコミュテーション波形を記載します。コミュテーション制御では、PWM波形に対して、グレーの箇所をマスクし、MOSをオフさせます。

図 2-24 電流経路(PWM制御)

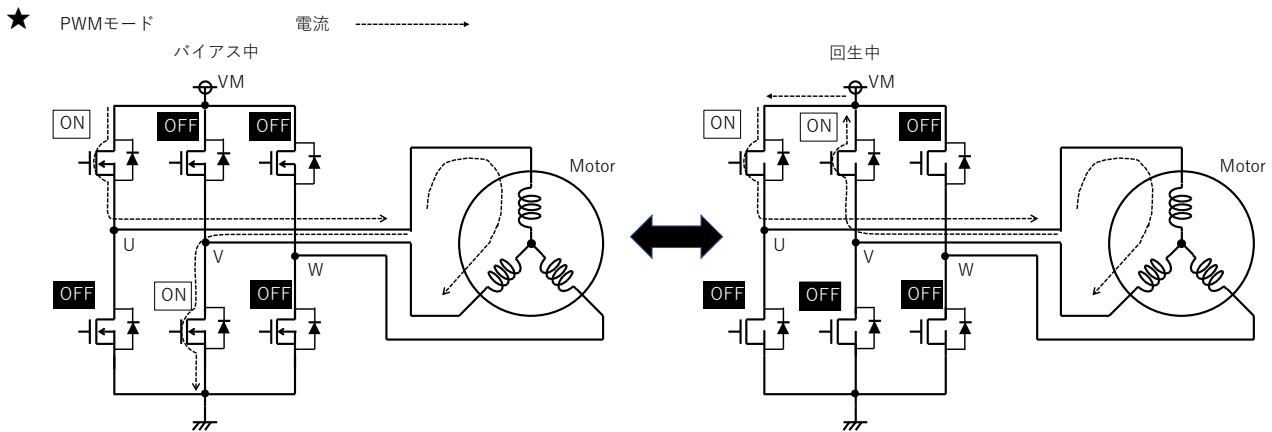
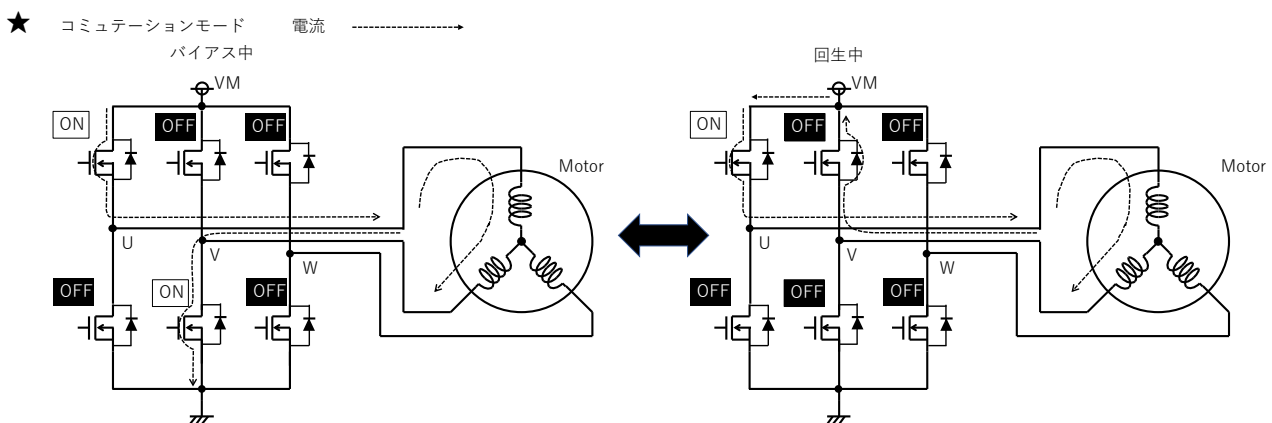
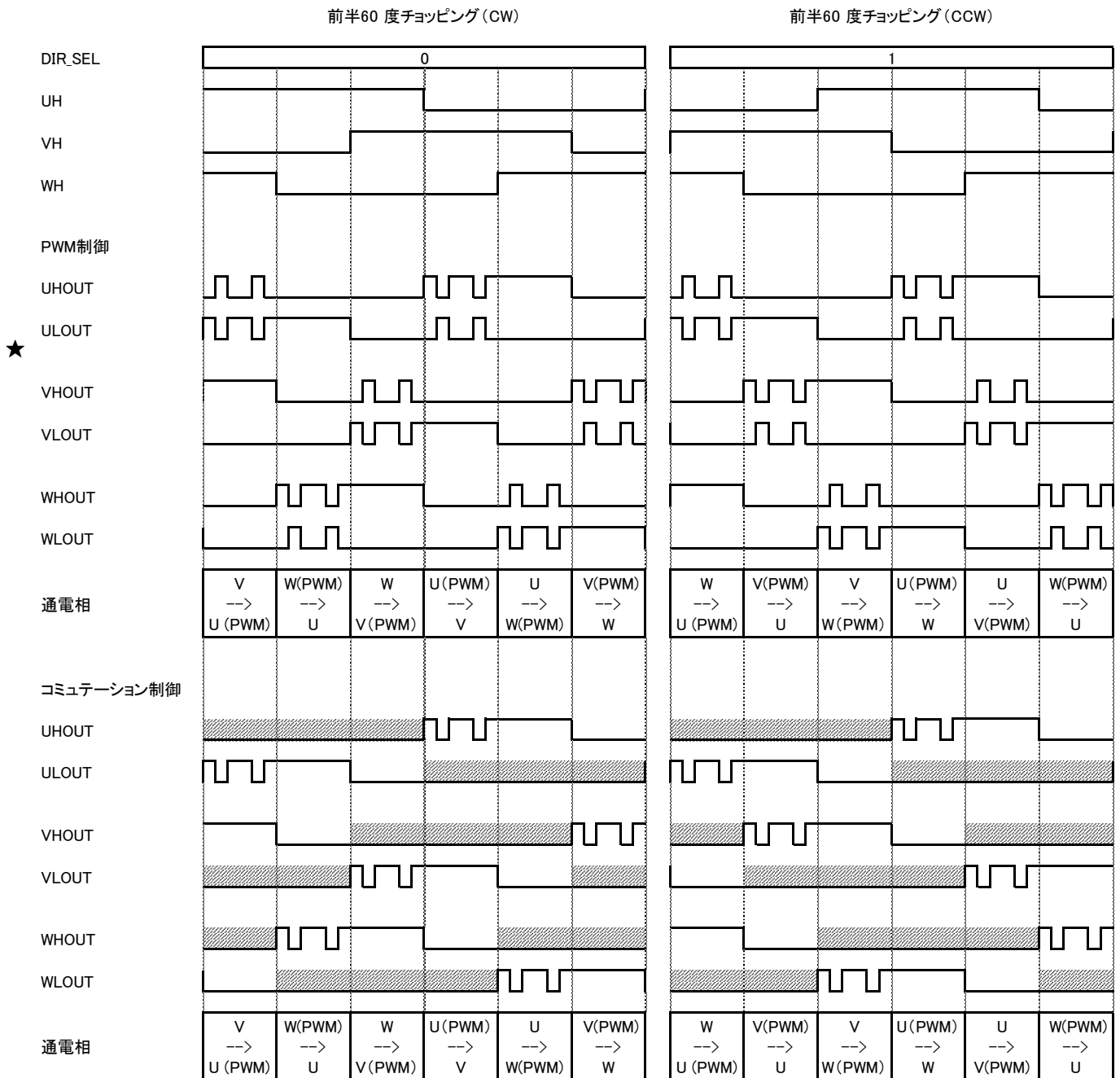


図 2-25 電流経路(コミュテーション制御)



★ 図 2-26 PWM制御波形とコミューション制御波形(CW)



2.5.8 TSD(過熱検知機能)部

TSD回路はパワーセーブレジスタと関係なく動作します。

ジャンクション温度が約150°Cになると、プリドライバの駆動動作と、内蔵5Vレギュレータの動作を停止させます。ジャンクション温度が約140°C以下になると5Vレギュレータの動作を再開します。このとき、プリドライバのレジスタはTSD検知前の状態を保持します。また、ADC_SELでTSDを選択することでプリドライバのジャンクション温度をモニタできます。

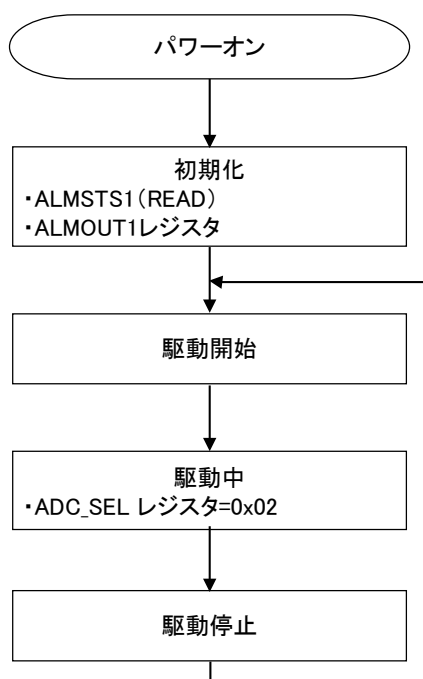
関係するレジスタは下記となります。

- ・ ADC選択レジスタ(ADC_SEL)
- ・ ALARM状態レジスタ1(ALMSTS1)
- ・ ALARM端子出力設定レジスタ1(ALMOUT1)

レジスタの設定フローを下記に示します。

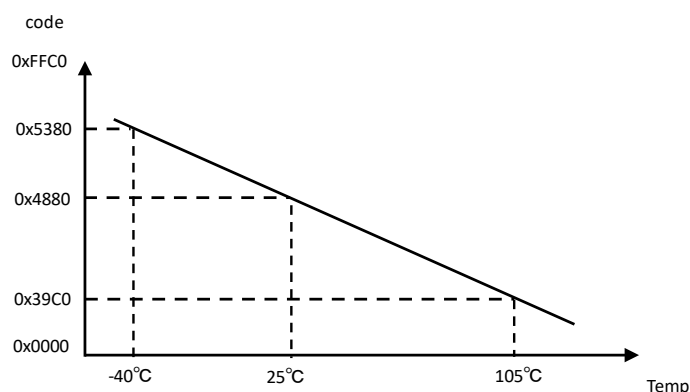
図 2-27 フローチャート:TSD

★



ADC選択レジスタ(ADC_SEL)を0x02に設定することで、TSDの温度情報をANI7端子に入力し、AD変換値をモニタすることができます。以下にAD変換値のcodeと、温度の関係を示します。

★ 図 2-28 ジャンクション温度とAD変換値(ADCRレジスタcode)



※グラフのcodeは、平均的な結果から導出した値です。

1bitあたりの温度の変化量は以下の通りです。

$$(-40^{\circ}\text{C} - 105^{\circ}\text{C}) / (0x5380 - 0x39C0) = -0.022^{\circ}\text{C}$$

ANI7端子によりTSDのcodeをモニタする際のオフセット値として、チップ毎に10ビットA/D変換結果レジスタ(ADCRレジスタ)のTyp値に対するオフセットデータ(符号付き8ビット)をRL78/G1Fのトリミングデータ格納領域(0xefff番地)に格納しております。

TSDの温度情報を読み出す場合、ADCの変換結果からトリミング値を引いてください。

$$T_{j_now} = (\text{ADC result} - (0x4880 + \text{TSD_25} * 64)) * -0.022 + 25 \text{ [degC]}$$

なお、0xefff番地はfar領域にあたるため、アクセスするにはポインタを利用したfarアクセスが必要となります。トリミングデータ格納領域に関しては、2.5.11トリミング部を参照ください。

2.5.9 ボルテージモニタ (VMC)部

ボルテージモニタ (VMC)部は、VM電圧を抵抗ブリーダで減衰させた信号を出力します。減衰ゲイン (RVM)は、RAJ306001の場合は1/9.23倍、RAJ306010の場合は1/12.92倍です。

★ の場合は1/9.23倍、RAJ306010の場合は1/12.92倍です。

関係するレジスタは下記となります。

- ・ ADC選択レジスタ (ADC_SEL)
- ・ ALARM状態レジスタ2 (ALMSTS2)
- ・ ALARM端子出力設定レジスタ2 (ALMOUT2)
- ・ パワーセーブ制御設定レジスタ (PS_ALL)
- ・ 機能別パワーセーブ制御設定レジスタ (PS)

ADC選択レジスタ (ADC_SEL)を0x00(デフォルト値)に設定することで、VMCの出力をRL78/G1F内のADCに入力することができます。

VM電圧をRVM倍した電圧が、RL78/G1FポートANI7に入力され、RL78/G1F内の10ビットADCによってデジタルコード

★ に変換されます。

モニタできるVMの最大電圧は、RAJ306001の場合は36.87V、RAJ306010の場合は51.62V程度となり、この時のRL78/G1F内の10ビットAD)が出力するデジタルコードの最大値は0xCC80程度となります。また、VMの低電圧を検出してALARM状態レジスタ2 (ALMSTS2)に出力する機能もっています。

下記にVMCのブロック図と、VMとADC (RL78/G1FのADCRレジスタ)の関係性をグラフに示します。

図 2-29 VMC等価回路

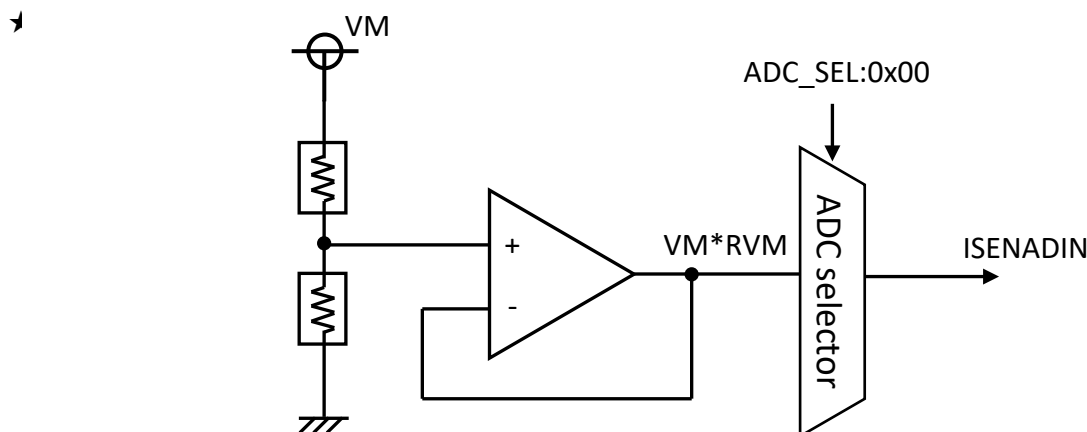
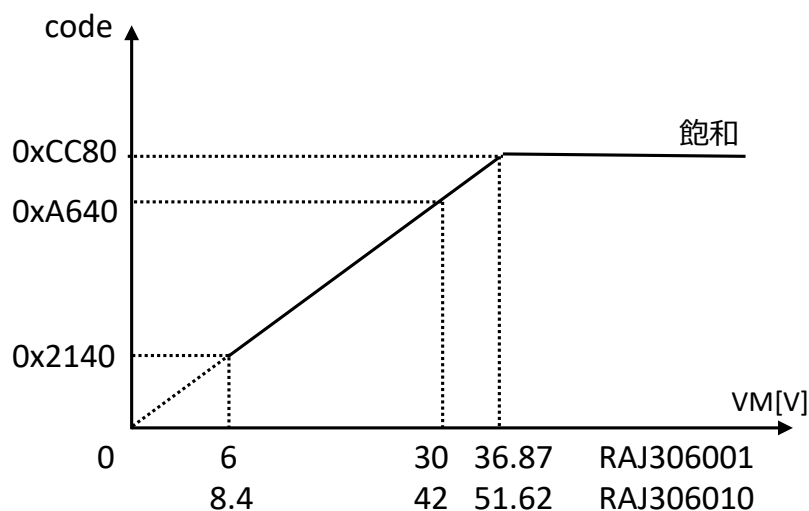


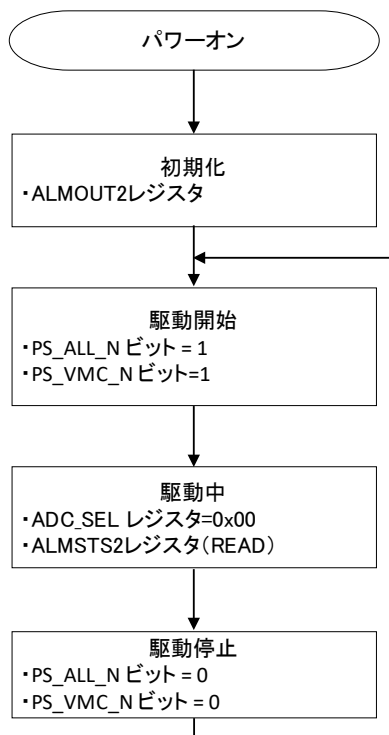
図 2-30 VM端子電圧とADC (ADCRレジスタ)



レジスタの設定順番は下記となります。

★

図 2-31 フローチャート:VMC



2.5.10 BEMFアンプ(逆起電圧)部

BEMFアンプは、逆起電圧測定で使用する差動アンプです。VREG5(5Vレギュレータ出力)電圧の1/2の電圧を中心に入力差動電圧の1.0倍の電圧を出力します。

逆起電圧測定時は、COMMON(モータ中点)電圧あるいは、U/V/W相電圧から作られた仮想中点(Vn:Virtual Neutral point)電圧と、U/V/W相電圧のうち選択した1つの相電圧の差電圧を出力します。



図 2-32 BEMF等価回路

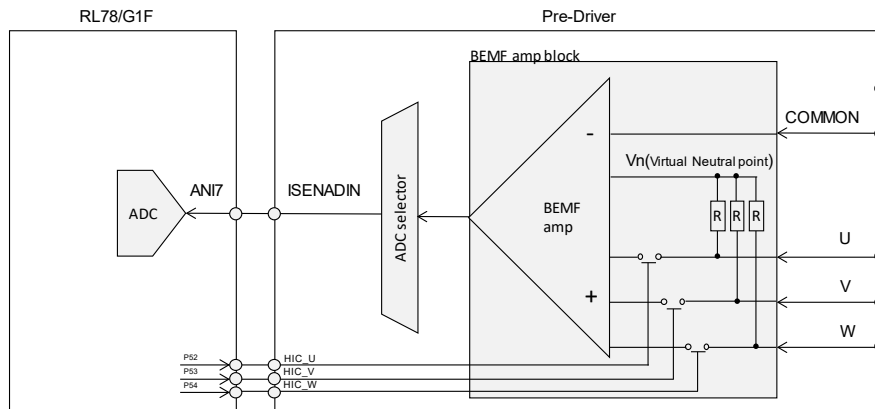
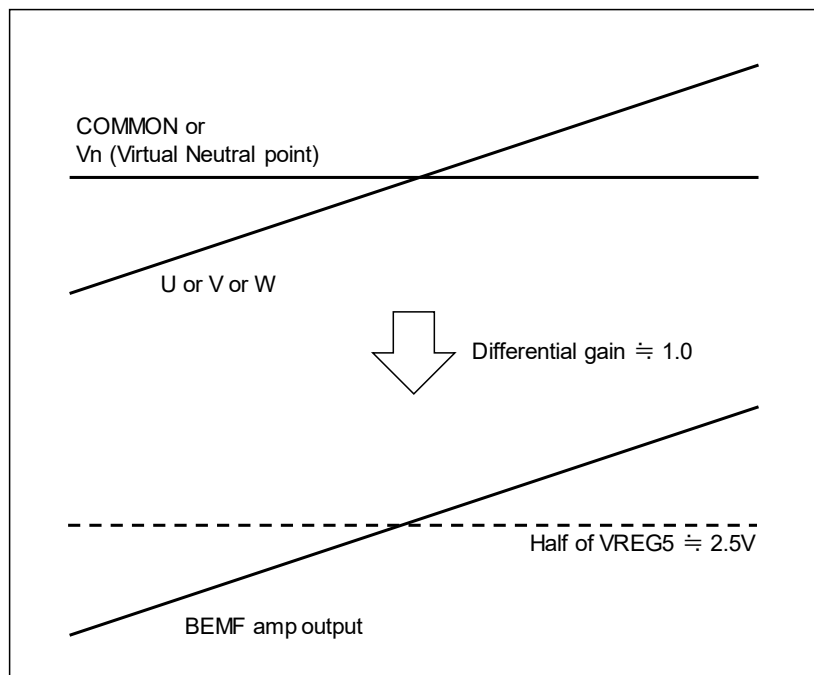


図 2-33 BEMFアンプの入力電圧と出力電圧の関係



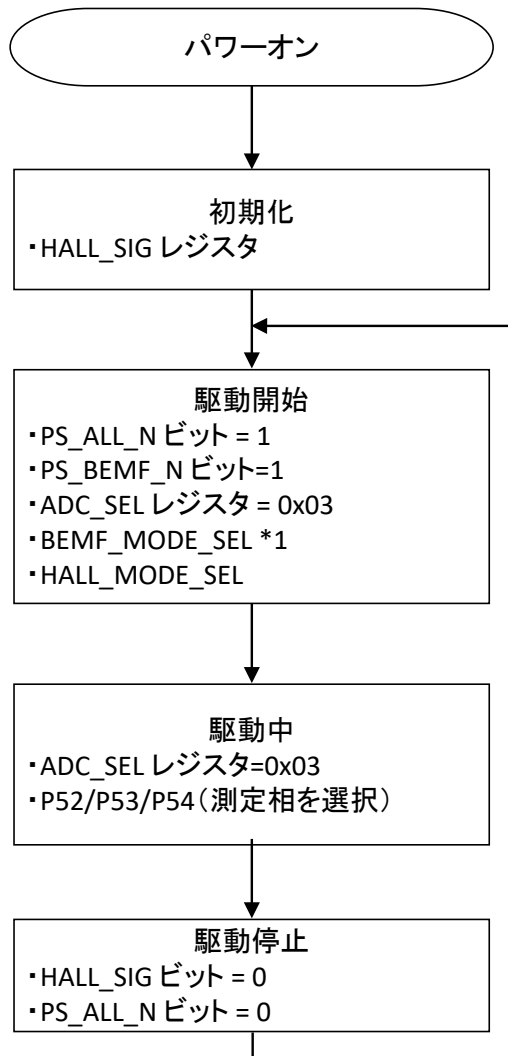
関係するレジスタは下記となります。

- ・ADC選択レジスタ(ADC_SEL)
- ・Hall信号処理設定レジスタ(HALL_SIG)
- ・パワーセーブ制御設定レジスタ(PS_ALL)
- ・機能別パワーセーブ制御設定レジスタ(PS)
- ・モータ駆動制御設定レジスタ(DRIVE_SET)

レジスタの設定順番は下記となります。

★

図 2-34 フローチャート:BEMFアンプ



★

*1.RL78/G1FのANI7を使用してBEMFアンプ出力を測定する場合、RAJ306001とRAJ306010の仕様は異なります。

- ・ RAJ306001
 - ADC_CH_SELビット：“3”
 - BEMF_MODE_SELビット：“1”
- ・ RAJ306010
 - ADC_CH_SELビット：“3”
 - BEMF_MODE_SELビット： WH端子からBEMFアンプ出力時“1”,未出力時“0”※

※RAJ306010は、BEMF_MODE_SELビットをセットすることで、WH端子からのBEMFアンプ信号の出力と監視ができます。BEMFアンプ信号をWH端子から出力する場合は、BEMF_MODE_SELビットに“1”に設定してください。ただし、BEMFアンプ信号をWH端子から出力する場合、外付け回路を付けるとANI17への出力にも影響しますのでご注意ください。

2.5.11 トリミング部

RL78/G1Fにプリドライバのトリミング情報を格納しています。

トリミング情報を起動時に設定することで、VREG5端子からの5V出力、CSアンプによる電流検出の精度等を確保することができます。

トリミングデータの格納領域にアクセスするにはポインタを利用したfarアクセスが必要となります。

C言語によるアクセス例： `(*(__far const uint8_t*)(0xEFFECU));`

表 2-41にRL78/G1Fのトリミングデータ格納領域と格納されているトリミングデータを示します。

★

表2-41 RL78/G1F トリミングデータ格納領域

		BIT							
		7	6	5	4	3	2	1	0
SYMBOL [ADDRESS]	TRIM_DATA0 [0xeffec]	VREG5_TRIM_3 - VREG5_TRIM_0 (4bit)				CSAMP_TRIM_3 - CSAMP_TRIM_0 (4bit)			
	TRIM_DATA1 [0xeffed]	X	X	X	BGR_TRIM_4 - BGR_TRIM_0				
	TRIM_DATA2 [0xeffee]	X	X	X	BFAMP_TRIM_5 - BFAMP_TRIM_1				
	TRIM_DATA3 [0xeffef]	TSD_25<15:8>							

注1.シンボル名のTRIM_DATA*n*はユーザによるシンボル名の定義が必要となります。

トリミングに関係するレジスタは下記となります。

- ・チャージポンプ用トリミングレジスタ(CP_TRIM)
- ・5Vレギュレータ電圧設定レジスタ(VREG5_TRIM)
- ・ドライブ用MOSFET電流検出AMP設定レジスタ(CSAMP_TRIM)
- ・トリミングプロテクトレジスタ(TRIM_PT)
- ・トリミングデータ有効レジスタ(TRIM_EN)
- ・高精度BGR温度補正レジスタ(BGR_TRIM)
- ・BUFFAMP絶対値補正レジスタ(BFAMP_TRIM)

2.5.11.1 内蔵5Vレギュレータトリミング

内蔵5Vレギュレータのトリミングに関連するレジスタは、VREG5_TRIMレジスタ、TRIM_PTレジスタ、TRIM_ENレジスタ、BGR_TRIMレジスタ、BFAMP_TRIMレジスタとなります。通信確認後、下記手順で初期化を行ってください。

- ① トリミングのプロテクト解除 (TRIM_PT=0x95)
- ② BGRの設定 (BGR_TRIM=TRIM_DATA1 & 0x1F)
- ③ Bufferアンプの設定 (BFAMP_TRIM=(TRIM_DATA2<<1) & 0x3E)
- ④ トリミングデータの有効 (TRIM_EN=0x01)
- ⑤ トリミングプロテクト設定 (TRIM_PT=0x00)
- ⑥ VREG5の絶対値補正 (VREG5_TRIM=(TRIM_DATA0>>4) | 0x20)

2.5.11.2 CSアンプトリミング

CSアンプのトリミングに関するレジスタはCSAMP_TRIMレジスタとなります。下記設定は内蔵5Vレギュレータの設定後に行ってください。

- ① CSアンプのトリミング (CSAMP_TRIM=(TRIM_DATA0 & 0x0f) | 0x20)

2.5.11.3 チャージポンプのトリミング

チャージポンプ用のトリミングレジスタとして、CP_TRIMレジスタがあります。
特別な指示がない限り、初期値 (00h) からの変更は禁止です。

- ① チャージポンプのトリミング (CP_TRIM =0x00)※省略可能

第3章 RL78/G1F

3.1 RAJ306000シリーズ搭載RL78/G1Fの概要

本製品はRL78/G1Fの64Pin製品(R5F11BLEGFB)を搭載しております。

ただし、製品の構成上のRL78/G1Fには利用制限があります。

本章では、本製品を利用するために必要なRL78/G1Fのレジスタ設定、制限事項、注意事項に関して記載します。各機能の詳細な利用方法に関しては、RL78/G1Fユーザーズマニュアルハードウェア編(R01UH0516J)を参照、及び最新情報に関しては、テクニカルアップデートをご確認をお願いします。

制限事項がある周辺機能

- ・ポート
- ・クロック発生回路
- ・タイマ・アレイ・ユニット
- ・タイマRJ
- ・タイマRD
- ・タイマRG
- ・リアルタイム・クロック
- ・12ビット・インターバル・タイマ
- ・クロック出力/ブザー出力制御回路
- ・ウォッチドッグ・タイマ
- ・A/Dコンバータ
- ・D/Aコンバータ
- ・コンパレータ(CMP)
- ・プログラムマブル・ゲイン・アンプ(PGA)
- ・シリアル・アレイ・ユニット
- ・IrDA
- ・データ・トランスファ・コントローラ(DTC)
- ・イベント・リンク・コントローラ(ELC)
- ・割込み機能
- ・キー割込み機能
- ・パワーオン・リセット回路
- ・電圧検出回路
- ・オプション・バイト
- ・オンチップ・デバッグ機能

制限事項がない周辺機能

- ・タイマRX
- ・シリアル・インターフェース IICA
- ・スタンバイ機能
- ・リセット機能
- ・安全機能
- ・レギュレータ
- ・フラッシュ・メモリ
- ・10進補正(BCD)回路

3.2 RAJ306000シリーズ利用時のレジスタ設定

本製品を利用する際は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0,PIOR1,PIOR2,PIOR3) は下記の割当を使用してください。

表 3-1 周辺I/O リダイレクション・レジスタ0

周辺I/Oリダイレクション・レジスタ0 (PIOR0)			
ビット名	設定値	機能	備考
PIOR07	0	P42にINTP8を割り当て	—
		P76にINTP10を割り当て	—
		P77にINTP11を割り当て	—
	1	P00にINTP8を割り当て	—
		P01にINTP10を割り当て	—
		P20にINTP11を割り当て	—
PIOR06	0	使用できません。	0を設定してください
PIOR05	0	使用できません。	0を設定してください
PIOR04	0	P141にPCLBUZ1を割り当て	P16はタイマRDで使用のため本機能での使用不可
		P16にINTP5を割り当て	
PIOR03	0	P140にPCLBUZ0を割り当て	—
	1	P31にPCLBUZ0を割り当て	—
PIOR02	0	P60にSCLA0を割り当て	—
		P61にSDAA0を割り当て	—
PIOR01	0	P14にRxD2を割り当て	P14はタイマRDで使用のため本機能での使用不可
		P13にTxD2を割り当て	P13はタイマRDで使用のため本機能での使用不可
		P15にSCL20/SCK20を割り当て	P15はタイマRDで使用のため本機能での使用不可
		P14にSDA20/SI20を割り当て	P14はタイマRDで使用のため本機能での使用不可
		P13にSO20を割り当て	P13はタイマRDで使用のため本機能での使用不可
		P51にTxD0/SO00を割り当て	CSI00によるブリドライバとの通信
		P50にRxD0/SI00を割り当て	CSI00によるブリドライバとの通信
		P30にSCL00を割り当て	CSI00でP30使用のため使用禁止
		P50にSDA00を割り当て	CSI00でP50使用のため使用禁止
		P30にSCK00を割り当て	CSI00によるブリドライバとの通信
PIOR00	1	P52にINTP1を割り当て	HIC_Uの割込み受け付けに使用
		P53にINTP2を割り当て	HIC_Vの割込み受け付けに使用
		P54にINTP3を割り当て	HIC_Wの割込み受け付けに使用
		P55にINTP4を割り当て	ALARMの割込み受け付けに使用
		P43にINTP9を割り当て	—

表 3-2 周辺I/O リダイレクション・レジスタ1

周辺I/Oリダイレクション・レジスタ1 (PIOR1)			
ビット名	設定値	機能	備考
PIOR13, PIOR12	10	P00にTRJ00を割り当て	TRJ00の端子機能の使用は非推奨 CSI00はP50,P30を使用するため割り当て不可
PIOR11, PIOR10	11	P06にTRJIO0を割り当て	タイマRJによるブリドライバへのシステムクロック[4MHz]供給

表 3-3 周辺I/Oリダイレクション・レジスタ2

周辺I/Oリダイレクション・レジスタ2 (PIOR2)			
ビット名	設定値	機能	備考
PIOR27	0	使用できません	0を設定してください
PIOR26	0	P14にTRDIOD0を割り当て	—
PIOR25	0	P10にTRDIOD1を割り当て	—
PIOR24	0	P11にTRDIOC1を割り当て	—
PIOR23	0	P12にTRDIOB1を割り当て	—
PIOR22	0	P13をTRIOA1に割当	—
★ PIOR21	0	P31にVCOUT1を割り当て	PIOR32と組み合わせて使用 P70は未出力端子のためPIOR32にかかわらずVCOUT1の機能は 使用できません
	1	P70にVCOUT1を割り当て	
PIOR20	0	P120にVCOUT0を割り当て	P71,P120は共に未出力端子のため、設定にかかわらずVCOUT0 の機能は使用できません
	1	P71にVCOUT0を割り当て	

表 3-4 周辺I/Oリダイレクション・レジスタ3

周辺I/Oリダイレクション・レジスタ3 (PIOR3)			
ビット名	設定値	機能	備考
★ PIOR32	0	ポート端子へのVCOUT0出力禁止 (ロウレベル固定)	PIOR21と組み合わせて使用 P70は未出力端子のため、PIOR21が1の場合VCOUT0の機能は 使用できません
	1	ポート端子へのVCOUT0出力許可 (PIOR20ビットで指定した端子から出力)	
PIOR31	0	ポート端子へのVCOUT0出力禁止 (ロウレベル固定)	P71,P120は共に未出力端子のため、設定にかかわらずVCOUT0 の機能は使用できません
	1	ポート端子へのVCOUT0出力許可 (PIOR20ビットで指定した端子から出力)	

3.3 RAJ306000シリーズ利用時の周辺機能の制限事項

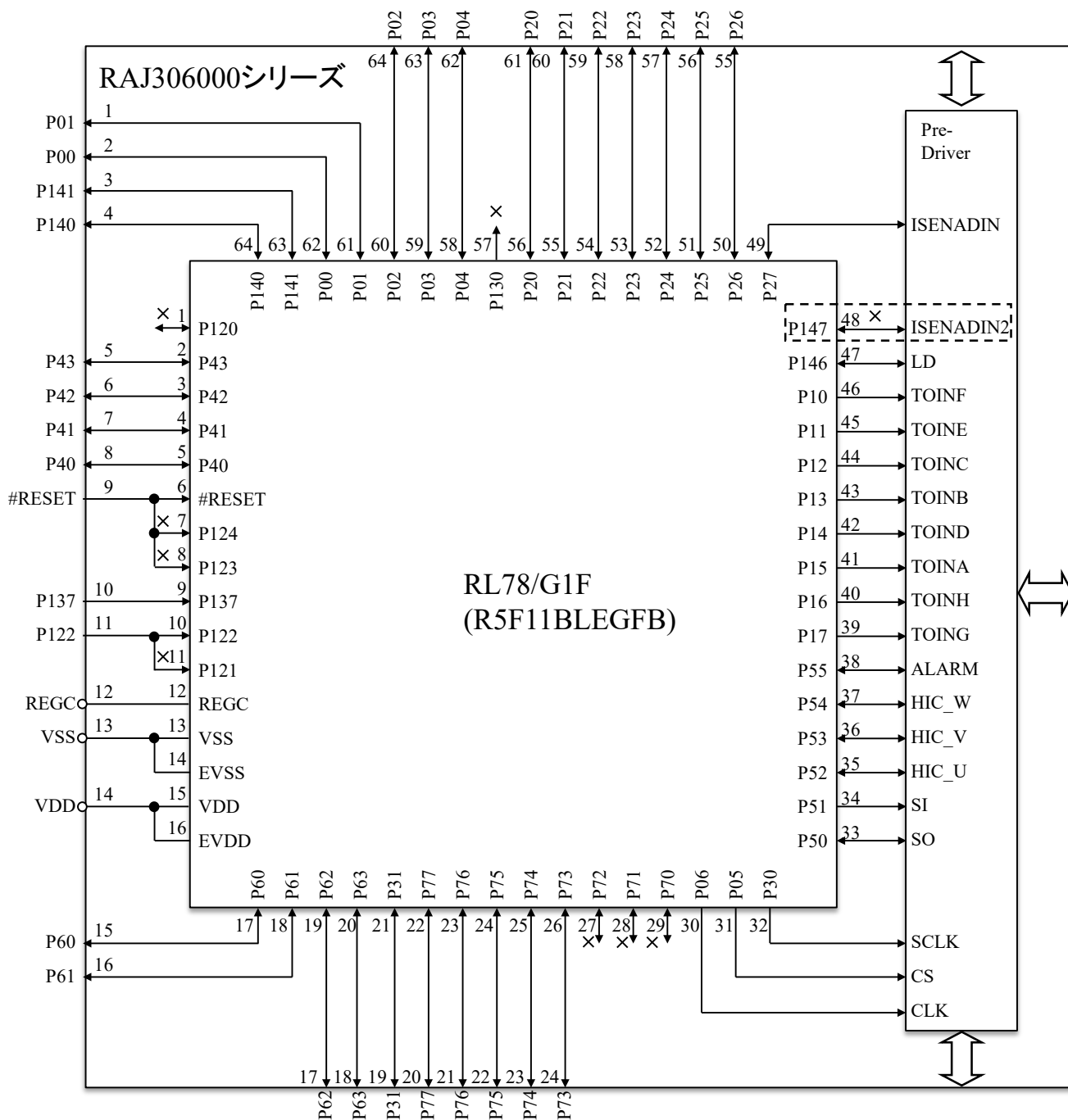
3.3.1 端子機能

3.3.1.1 RL78/G1Fの端子

本製品には、プリドライバのコントローラMCUとしてRL78/G1Fの64Pin製品(R5F11BLEGFB)が内蔵されております。各端子の接続状況を下記に示します。

xは未接続端子です。表 3-9に従って端子処理をする必要があります。

図 3-1 RL78/G1Fの端子構成



※P147端子とISENADIN2端子の接続はRAJ306010のみとなります。RAJ306001ではP147はOPENとなります。

3.3.1.2RL78/G1Fのポート機能

RAJ306000シリーズに搭載のRL78/G1Fは64Pin製品 (R5F11BLEGFB)ですが、端子構成上の利用制限があります。
 下記に、RAJ306000シリーズで利用できる端子機能を記載します。

表 3-5 RAJ306000シリーズ搭載のRL78/G1Fの端子機能(1/4)

PORT名	機能名称	RAJ3060001,10	備考
P20	ANI0	外部端子	
P21	ANI1	外部端子	
P22	ANI2	外部端子	
P23	ANI3	外部端子	
P24	ANI4	外部端子	
P25	ANI5	外部端子	
P26	ANI6	外部端子	
P27	ANI7	内部接続	Pre-DriverのISENADIN端子と内部接続
P03	ANI16	外部端子	
P02	ANI17	外部端子	
P147	ANI18	利用不可 /内部接続	RAJ306001ではP147未接続端子のため利用不可 RAJ306010ではPre-DriverのISENADIN2端子と内部接続
P120	ANI19	利用不可	P120は外部端子未出力のため利用不可
P10	ANI20	利用不可	P10はタイマRDとして利用するため利用不可
P11	ANI21	利用不可	P11はタイマRDとして利用するため利用不可
P12	ANI22	利用不可	P12はタイマRDとして利用するため利用不可
P13	ANI23	利用不可	P13はタイマRDとして利用するため利用不可
P14	ANI24	利用不可	P14はタイマRDとして利用するため利用不可
P22	ANO0	外部端子	
P23	ANO1	外部端子	
P137	INTP0	外部端子	
P52	INTP1	内部接続	Pre-DriverのHIC_U端子と内部接続 PIOR00ビットに1を設定してください
P53	INTP2	内部接続	Pre-DriverのHIC_V端子と内部接続 PIOR00ビットに1を設定してください
P54	INTP3	内部接続	Pre-DriverのHIC_W端子と内部接続 PIOR00ビットに1を設定してください
P55	INTP4	内部接続	Pre-DriverのALARM端子と内部接続 PIOR00ビットに1を設定してください
P16,(P12)	INTP5	利用不可	PIOR04ビットで選択してください P16,P12ともにタイマRDで利用のため
P140	INTP6	外部端子	
P141	INTP7	外部端子	
P42,(P00)	INTP8	外部端子	PIOR07ビットで選択してください
P43	INTP9	外部端子	PIOR00ビットに1を設定してください
P76,(P01)	INTP10	外部端子	PIOR07ビットで選択してください
P77,(P20)	INTP11	外部端子	PIOR07ビットで選択してください
P14	IrRxD	利用不可	P14はタイマRDとして利用するため利用不可
P13	IrTxD	利用不可	P13はタイマRDとして利用するため利用不可
P22	IVCMP0	外部端子	

表 3-6 RAJ306000シリーズ搭載のRL78/G1Fの端子機能(2/4)

PORT名	機能名称	RAJ3060001,10	備考
P147	IVREF0	利用不可/ 内部接続	RAJ306001:未接続のため、使用不可 RAJ306010:Pre-DriverのISENADIN2と接続
P02	IVCMP10	外部端子	
P03	IVCMP11	外部端子	
P20	IVCMP12	外部端子	
P21	IVCMP13	外部端子	
P70	KR0	利用不可	P70は外部端子未出力のため利用不可
P71	KR1	利用不可	P71は外部端子未出力のため利用不可
P72	KR2	利用不可	P72は外部端子未出力のため利用不可
P73	KR3	外部端子	
P74	KR4	外部端子	
P75	KR5	外部端子	
P76	KR6	外部端子	
P77	KR7	外部端子	
P140,(P31)	PCLBUZ0	外部端子	PIOR03ビットで選択してください
P141,(P55)	PCLBUZ1	外部端子	PIOR04ビットで選択してください ただし、P55は未接続端子のため利用不可
P22	PGAI	外部端子	
P23	PGAGND	外部端子	
REGC	REGC	外部端子	
P30	RTC1HZ	利用不可	P30はCSI00として利用するため利用不可
RESET	RESET	外部端子	
P50,(P16)	RxD0	利用不可	P50はCSI00として利用するため利用不可 P16はタイマRDとして利用するため利用不可
P03	RxD1	外部端子	
P14	RxD2	利用不可	P14はタイマRDとして利用するため利用不可 PIOR01ビットは0を設定してください(CSI00の割当のため)
P30	SCK00	内部接続	Pre-DriverのSCLK端子と内部接続 PIOR01ビットは0を設定してください
P75	SCK01	外部端子	
P04	SCK10	外部端子	
P10	SCK11	利用不可	P10はタイマRDで利用するため利用不可
P15	SCK20	利用不可	P15はタイマRDで利用するため利用不可
P70	SCK21	利用不可	P70は外部端子未出力のため利用不可
P60	SCLA0	外部端子	PIOR02ビットに1を設定してください
P30	SCL00	利用不可	P30はCSI00として利用するため利用不可
P75	SCL01	外部端子	
P04	SCL10	外部端子	
P10	SCL11	利用不可	P10はタイマRDで利用するため利用不可
P15	SCL20	利用不可	P15はタイマRDで利用するため利用不可

表 3-7 RAJ306000シリーズ搭載のRL78/G1Fの端子機能(3/4)

PORT名	機能名称	RAJ3060001,10	備考
P70	SCL21	利用不可	P70は外部端子未出力のため利用不可
P61	SDAA0	外部端子	PIOR02ビットに1を設定してください
P50	SDA00	利用不可	P50はCSI00として利用するため利用不可
P74	SDA01	外部端子	
P03	SDA10	外部端子	
P11	SDA11	利用不可	P11はタイマRDで利用するため利用不可
P14	SDA20	利用不可	P14はタイマRDで利用するため利用不可
P71	SDA21	利用不可	P71は外部端子未出力のため利用不可
P50	SI00	内部接続	Pre-DriverのSO端子と内部接続 PIOR01ビットは0を設定してください
P74	SI01	外部端子	
P03	SI10	外部端子	
P11	SI11	利用不可	P11はタイマRDで利用するため利用不可
P14	SI20	利用不可	P14はタイマRDで利用するため利用不可
P71	SI21	利用不可	P71は外部端子未出力のため利用不可
P51	SO00	内部接続	Pre-DriverのSI端子と内部接続 PIOR01ビットは0を設定してください
P73	SO01	外部端子	
P02	SO10	外部端子	
P12	SO11	利用不可	P12はタイマRDで利用するため利用不可
P13	SO20	利用不可	P13はタイマRDで利用するため利用不可
P72	SO21	利用不可	P72は外部端子未出力のため利用不可
P62	SSI00	外部端子	本機能はPre-Driverとの通信には不要
P00	TI00	外部端子	
P16	TI01	利用不可	P16はタイマRDで利用するため利用不可
P17	TI02	利用不可	P17はタイマRDで利用するため利用不可
P31	TI03	外部端子	
P01	TO00	外部端子	
P16	TO01	利用不可	P16はタイマRDで利用するため利用不可
P17	TO02	利用不可	P17はタイマRDで利用するため利用不可
P31	TO03	外部端子	
P06	TRJIO0	内部接続	Pre-DriverのCLK端子と内部接続 PIOR10ビットとPIOR11ビットに1を設定してください
P00	TRJO0	外部端子	本機能はCLK供給には不要 PIOR12ビットに0,PIOR13ビットに1を設定してください
P17	TRDCLK	内部接続	本製品の制御には不要
P17	TRDIOA0	内部接続	Pre-DriverのTOING端子と内部接続
P15	TRDIOB0	内部接続	Pre-DriverのTOINA端子と内部接続
P16	TRDIOC0	内部接続	Pre-DriverのTOINH端子と内部接続

表 3-8 RAJ306000シリーズ搭載のRL78/G1Fの端子機能(4/4)

PORT名	機能名称	RAJ30600xx	備考
P14	TRDIOD0	内部接続	Pre-DriverのTOIND端子と内部接続 PIOR26ビットに1を設定してください
P13	TRDIOA1	内部接続	Pre-DriverのTOINB端子と内部接続 PIOR22ビットに1を設定してください
P12	TRDIOB1	内部接続	Pre-DriverのTOINC端子と内部接続 PIOR23ビットに1を設定してください
P11	TRDIOC1	内部接続	Pre-DriverのTOINE端子と内部接続 PIOR24ビットに1を設定してください
P10	TRDIOD1	内部接続	Pre-DriverのTOINF端子と内部接続 PIOR25ビットに1を設定してください
P50	TRGIOA	利用不可	P50はCSI00で利用するため利用不可
P51	TRGIOB	利用不可	P51はCSI00で利用するため利用不可
P00	TRGCLKA	外部端子	
P01	TRGCLKB	外部端子	
P51	TxD0	利用不可	P51はCSI00で利用するため利用不可
P02	TxD1	外部端子	
P13	TxD2	利用不可	PIOR01ビットは0を設定してください P13はタイマRDで利用するため利用不可
P120,(P71)	VCOUT0	利用不可	PIOR20とPIOR31に0を設定してください。 P120,P71共に外部端子未出力のため利用不可
P31	VCOUT1	内部接続	P31に割り当てる場合は、PIOER21に1,PIOR32に0を設定してください VCOUT1を利用しない場合PIOER21と,PIOR32に0を設定してください
P121	X1	利用不可	P121は外部端子未出力のため利用不可
P122	X2	利用不可	P121が外部端子未出力のため利用不可
P122	EXCLK	外部端子	
P124	EXCLKS	利用不可	P124は外部端子未出力のため利用不可
P123	XT1	利用不可	P123は外部端子未出力のため利用不可
P124	XT2	利用不可	P124は外部端子未出力のため利用不可
VDD	VDD	外部端子	
VDD	EVDD0	内部接続	VDD端子と内部接続
P20	AV _{REFP}	外部端子	
P21	AV _{REFM}	外部端子	
VSS	VSS	外部端子	
VSS	EVSS0	内部接続	VSS端子と内部接続
P50	TOOLRxD	利用不可	P50はCSI00として利用するため利用不可
P51	TOOLTxD	利用不可	P51はCSI00として利用するため利用不可
P40	TOOL0	外部端子	

3.3.1.3端子の処理

表 3-9にRL78/G1Fの外部接続端子・未接続端子の未使用時の推奨端子処理、表 3-10にRL78/G1Fの内部接続端子の推奨端子処理を示します。

内部接続端子の端子処理切替は、プリドライバ未使用時に行ってください。プリドライバ使用時に行くと、端子出力が衝突し意図しない電流が流れ、チップの破損につながる可能性があります。

表 3-9 RL78/G1Fの外部接続端子・未接続端子の未使用時の推奨端子処理(1/2)

端子名称	RL78/G1F端子番号	端子接続	RL78/G1Fの外部接続端子・未接続端子の未使用時の端子処理
P00	62	外部接続端子	入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P01	61		
P02	60		
P03	59		
P04	58		
P20	56		
P21	55		
P22	54		
P23	53		
P24	52		
P25	51		
P26	50		
P31	21		
P40	5		
P41	4		
P42	3		
P43	2		
P60	17		
P61	18		
P62	19		
P63	20		
P70	29	未接続端子	ポートの出力機能を設定してください。
P71	28		
P72	27		
P73	26	外部接続端子	入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P74	25		
P75	24		
P76	23		
P77	22		
P120	1	未接続端子	ポートの出力機能を設定してください。
P121	11		
P122	10	外部接続端子	入力に設定してください。P122と共通端子となります。 抵抗を介して、VDDまたはVSSに接続してください。 ポートの入力機能を設定してください。RESET端子と共通端子となります。
P123	8		
P124	7		
P130	57	未接続端子	ポートの出力機能を設定してください。
P137	9		
P140	64	外部接続端子	個別に抵抗を介して、VDDまたはVSSに接続してください。 入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P141	63		
P147	48		
RESET	6		
REGC	12	外部接続端子	VDDに直接接続または抵抗を介して接続してください。 コンデンサ(0.47~1 μ F)を介し、VSSに接続してください。

※1 P147はRAJ306010のみISENADIN2端子に接続となります。RAJ306001は本ページの設定に従ってください。

表 3-10 RL78/G1Fの内部接続端子の推奨端子処理(2/2)

端子名称	RL78/G1F端子番号	端子接続	PreDriver動作時の端子処理 (RAJIOよりクロック供給時)	PreDriver停止時の端子処理 (TRJIO0からクロック供給停止時/VM供給停止時)		
P05	31	内部接続 端子	GPIO (出力)にてCSI00用CS信号を出力	<ul style="list-style-type: none"> 出力ラッチに0設定し、ポートの出力機能を設定してください。 		
P06	30		TRJIO0を設定し4MHzのクロック出力			
P10	46		タイマRD/ポートの出力機能			
P11	45					
P12	44					
P13	43					
P14	42					
P15	41					
P16	40					
P17	39					
P30	32					SCK00を設定してください。
P50	33					SI00を設定し、PU50により内蔵Pull-UPを設定してください。
P51	34		SO00 (CSI00)を設定してください。			
P52	35		HALL_MODE_SEL=0:INTP1を設定してください。 HALL_MODE_SEL=1:ポートの出力機能			
P53	36		HALL_MODE_SEL=0:INTP2を設定してください。 HALL_MODE_SEL=1:ポートの出力機能			
P54	37		HALL_MODE_SEL=0:INTP3を設定してください。 HALL_MODE_SEL=1:ポートの出力機能			
P27	49		ANI7を設定してください。			
P147	47	ANI18を設定してください。※1	<ul style="list-style-type: none"> どちらかを設定してください。 出力ラッチに0設定し、ポート出力機能としてください。 Pull-Upを設定し、入力機能としてください。 			
P146	48	ポート機能の入力を設定してください。	<ul style="list-style-type: none"> ポート入力機能に設定してください。 			
P55	38	INTP4を設定してください。				

※1 RAJ306010のみP147はISENADIN2端子に接続となります。RAJ306001は表3-9に従って設定してください。

3.3.2 クロック発生回路

本製品のメイン・システム・クロック用発振子/外部クロック入力端子、サブシステム・クロック用発振子接続端子/外部クロック入力端子有無を下記に記します。

表 3-11 クロック端子の利用制限

RL78/G1F	RAJ306001, 10
X1端子, X2端子	× ^{注1}
EXCLK端子	○
XT1端子, XT2端子	× ^{注1}
EXCLKS端子	× ^{注1}

注1. 本ICには、X1端子, XT1端子, XT2端子, EXCLKS端子が無いいため、利用できません。

3.3.3 タイマ・アレイ・ユニット

本製品では64pin版のRL78/G1Fを搭載しておりますが、タイマ・アレイ・ユニットの入出力端子として利用できる端子は下記の表の通りとなります。タイマ入力とタイマ出力が同一端子で兼用されている場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。

表 3-12 タイマ・アレイ・ユニット端子の利用制限

タイマ・アレイ・ユニット・チャンネル		各製品の入出力端子の有無	
		RAJ306001,10	
ユニット0	チャンネル0	TI00, TO00	
	チャンネル1	—	
	チャンネル2	—	
	チャンネル3	TI03/TO03	

3.3.4 タイマRJ

本製品ではタイマRJ(P06)から4MHzを出力し、プリドライバのシステムクロックとして利用します。

3.3.5 タイマRD

本製品では相補PWMモード、リセット同期PWMモード、タイマモードのPWM機能で利用ください。

ただし、タイマモードのPWM機能を利用する場合、SELSIG_Uレジスタ、SELSIG_Vレジスタ、SEL_SIG_Wレジスタ及び、HALL_SIGレジスタのPWM_SELビットによる設定変更が必要となります。プリドライバに搭載されているデッドタイム調整機能を利用する場合、タイマRDによる短絡防止時間の制御は初期設定を使用してください。

また、次のレジスタによる、パルス出力強制遮断時のハイ・インピーダンス出力設定は、プリドライバに不定が入力されるため設定禁止です。

- ・タイマRDデジタルフィルタ機能選択レジスタ0,1(TRDDF0,TRDDF1)
- ・PWMOPA 遮断制御レジスタ0, 1(OPDF0,OPDF1)

3.3.6 タイマRG

本製品ではTRGIOA, TRGIOBの端子をプリドライバとの通信で利用するため、これらの端子をタイマRG用としては利用できません。

3.3.7 リアルタイム・クロック

本製品では、XT1端子, XT2端子, EXCLKS端子が外部出力されていないため、サブシステム・クロック機能は利用できません。低速オンチップ・オシレータ・クロックを利用した定周期割り込み機能のみ利用可能です。

3.3.8 12ビット・インターバル・タイマ

本製品では、XT1,XT2,EXCLKS端子が外部出力されていないため、サブシステム・クロック機能は利用できません。本機能を利用する場合は低速オンチップ・オシレータ・クロックを選択してください。

3.3.9 クロック出力/ブザー出力制御回路

本製品ではP31に対してPCLBUZ0を割り当てて利用することはできません。

また、P55に対してPCLBUZ1を割り当てて利用することはできません。

3.3.10 ウォッチドッグ・タイマ

ウォッチドッグ・タイマのインターバル割り込みを使用する場合は、ウォッチドッグ・タイマのカウントクリア時に、下記の(1)~(5)の手順を実行してください。

- (1) ウォッチドッグ・タイマのカウントクリア前に、
割り込みマスク・フラグ・レジスタ 0 (MK0L)のWDTIMKビットを1にする
- (2) ウォッチドッグ・タイマのカウントをクリアする。
- (3) 80u sec以上ウエイト
- (4) 割り込み要求フラグ・レジスタ 0 (IF0L)のWDTIIFビットを0にする。
- (5) 割り込みマスク・フラグ・レジスタ 0 (MK0L)のWDTIMKビットを0にする。

本制限事項の詳細は、RL78/G1Fのテクニカルアップデート(TN-RL*-A086A/J)を参照してください。

★ 3.3.11 A/Dコンバータ

本製品では下記のチャンネルはA/Dコンバータとして利用できません。

ANI18, ANI19, ANI20, ANI21, ANI22, ANI23, ANI24

また、低電圧モードも、利用できません。

3.3.12 D/Aコンバータ

本製品では未テストのため、D/Aコンバータの動作は保証しません。

3.3.13 コンパレータ(CMP)

本製品では未テストのため、CMPの動作は保証しません。

3.3.14 プログラマブル・ゲイン・アンプ(PGA)

本製品では未テストのため、PGAの動作は保証しません。

3.3.15 シリアル・アレイ・ユニット

本製品ではCSI00(ユニット0の0チャンネル)をプリドライバとの通信として利用します。
また、CSI00の制御にSSI00端子機能を利用しません。SSIE00ビットに0を設定してください。

表 3-13 シリアル・アレイ・ユニットの利用制限

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0 ① [PKG内部接続]	CSI00(スレーブセレクト不可) ① [PKG内部接続]		
	1	CSI01		IIC01
	2	CSI10	UART1(TxD1)	IIC10
	3		UART1(RxD1)	
1	0			
	1			

3.3.16 IrDA

本製品では利用できません。

3.3.17 データ・トランスファ・コントローラ

本製品では、端子構成上、割込み要因として利用できない端子があります。そのためDTCの起動要因として利用できない要因があります。

3.3.18 イベント・リンク・コントローラ(ELC)

本製品では、端子構成上、割込み要因として利用できない端子があるため、イベント発生元として利用できない要因があります。

3.3.19 割込み機能

本製品では、端子構成上利用できない割り込み要因があります。

3.3.20 キー割込み機能

本製品では、KR0,KR1,KR2を利用できません。

3.3.21 パワーオン・リセット回路

本製品利用時はユーザ・オプション・バイト(000C1H/010C1H)に0x61(割込みモード),0x62(割込み&リセット・モード),0x63(リセット・モード)のいずれかを選択してください。

3.3.22 オプション・バイト

本製品利用時はユーザ・オプション・バイト(000C1H/010C1H)に0x61(割込みモード),0x62(割込み&リセット・モード),0x63(リセット・モード)のいずれかを選択してください。

3.3.23 フラッシュ・メモリ

本製品では専用UART(TOOLTxDおよびTOOLRxD)によるフラッシュ・メモリへのアクセスは利用できません。

第4章 シーケンス例

4.1 起動シーケンス

4.1.1 内蔵5Vレギュレータ

内蔵5Vレギュレータを利用して、本製品を起動する場合のシーケンス例を示します。

- ① 5Vレギュレータ供給開始(VM印加)
- ② タイマRJ, シリアル・アレイ・ユニット(CSI00), タイマRD, 他周辺機能の初期設定
- ③ タイマRJ, シリアル・アレイ・ユニットの起動
- ④ プリドライバの初期設定
 - ④-① トリミング設定(5Vレギュレータ,CSアンプ)
 - ④-② 初期設定(PWM_SEL SIG, HALL信号接続選択,スルーレート設定)
 - ④-③ パワーセーブの解除(PS_ALL=1, PS=0xBF)
※詳細は「2.5.6チャージポンプ部」を参照してください。
 - ④-④ モータ駆動許可(MOT_EN=1)
- ⑤ タイマRDのスタート

4.2 停止シーケンス

4.2.1 STOPモード

- ① タイマRD停止
- ② プリドライバの停止
 - ②-① モータ駆動禁止(MOT_EN=0)
 - ②-② パワーセーブの実行(PS_PRE_N=0, PS_CPREG_N=0, PS_CP_N=0)
- ③ タイマRJ, CSI00(シリアル・アレイ・ユニット)他, 各種機能の停止
- ④ 復帰に利用しない周辺機能の割り込みマスク設定
- ⑤ STOP用PORTの設定 (「3.3.1.3端子の処理」を参照してください)
- ⑥ STOP解除用割り込みの設定
- ⑦ STOP命令実行

4.2.2 SNOOZEモード

A/Dコンバータ(ANI6)と12ビット・インターバル・タイマ(100ms)を利用してSNOOZE動作を行う例を下記に示します。

- ① タイマRD停止
- ② プリドライバの停止
 - ②-① モータ駆動禁止(MOT_EN=0)
 - ②-② パワーセーブの実行(PS_PRE_N=0, PS_CPREG_N=0, PS_CP_N=0)
- ③ タイマRJ, シリアル・アレイ・ユニット(CSI00),他各種機能の停止
- ④ 復帰に利用しない周辺機能の割り込みマスク設定
- ⑤ SNOOZE用のPORTの設定
- ⑥ 12ビット・インターバル・タイマの設定(復帰設定)
 - ⑥-① 12ビット・インターバル・タイマの入力クロック供給の制御(RTCEN=1)
 - ⑥-② 12ビット・インターバル・タイマのオペレート停止(ITMC=0x0000)
 - ⑥-③ 12ビット・インターバル・タイマの割り込み設定(ITMK=1, ITIF=0)
 - ⑥-④ 12ビット・インターバル・タイマの周期設定(ITMC=0x05DB)
- ⑦ A/Dコンバータの設定(復帰設定)
 - ⑦-① A/Dコンバータ用クロック供給(ADC_EN=1)
 - ⑦-② AD変換の停止(ADM=0x00, ADMK=1, ADIF=0)
 - ⑦-③ AD変換の割り込み優先度設定(ADPR1=1, ADPR0=1)
 - ⑦-④ 復帰用AD変換チャネルの設定(PMC2=0x40, PM2=0x40)
 - ⑦-⑤ セレクトモード設定、変換クロック設定、変換起動時間設定、コンパレータ動作設定(ADM0=0x31)
 - ⑦-⑥ ハードウェア・トリガ・ウェイト・モード選択、ワンショット変換モード選択、INTIT要因によるAD変換選択(ADM1=0xE3)
 - ⑦-⑦ A/D変換の基準にVDD,VSS選択、コンパレータ動作の割り込み方法選択、10ビット精度選択(ADM2=0x00)
 - ⑦-⑧ 復帰閾値の設定(ADUL=0xB3,ADLL=00)
 - ⑦-⑨ 変換対象チャネルを設定(ADS=1)
- ⑧ A/Dコンバータのスタート
 - ⑧-① ADコンバータ変換停止状態(ADCS=0, ADCE=0)
 - ⑧-② ADコンバータ割り込み許可(ADIF=0, ADMK=0)
 - ⑧-③ スヌーズモード選択(AWC=1)
 - ⑧-④ コンパレートモード許可(ADCE=1)
- ⑨ 12ビット・インターバル・タイマのスタート(ITMC|=0x8000)
- ⑩ STOP命令の実行

第5章 使用上の注意事項

5.1 高温動作に関して

家電用モータ、電動工具等のアプリケーション時の、想定している温度プロファイルは、下記温度プロファイルを想定しておりますので、この使用条件以下でご使用して頂くよう、ご配慮お願い致します。

[RAJ306001GNP, RAJ306010GNP]

高温環境： 55degC < Ta <= 85degC 2.4hrs/day

非高温環境： -40degC <= Ta <= 55degC 21.6hrs/day

[RAJ306001ZGNP, RAJ306010ZGNP]

高温環境1： 85degC < Ta <= 105degC 0.5hrs/day

高温環境2： 55degC < Ta <= 85degC 3.5hrs/day

非高温環境： -40degC <= Ta <= 55degC 20.0hrs/day

付録 A 改版履歴

A. 1 本版 REV.2.02 で改訂された主な箇所 (REV2.01 より)

箇所	内容	分類
第 1 章 概要		
P.2	端子図 Pin1 の Function を修正 : INT0→ INTP10	(a)
第 2 章 プリドライバ		
P.15	I/O 設定とタイマ RJ 設定の記載順を逆に変更	(c)
P.23	BEMF の記載を削除	(c)
第 3 章 プリドライバ		
P.73	端子番号 47 の記載を他の端子と統一	(c)

A. 2 REV.2.01 で改訂された主な箇所 (REV2.00 より)

箇所	内容	分類
第 1 章 概要		
P.9	1.4 推奨波形 逆起電圧測定の記述を削除	(b)
第 2 章 プリドライバ		
P.23	2.4.6 HALL_MODE_SEL ビットの説明より逆起電圧測定の削除	(b)
P.24	BEMF_MODE_SEL の設定方法の明確化のため、 表 2-12 RAJ306010 BEMF_MODE_SEL ビットの仕様記載変更	(c)
P.26	表 2-14 OCP_OPE_N ビットの説明に保護処理実行禁止時の制限事項として下記記載を追加。 ERROR_WAIT レジスタの OCP_WAIT ビットに 00 を設定することは禁止です。	(c)
P.46	2.5.3 ホール IC コンパレータ部の説明より、逆起電圧測定の削除	(b)
P.61	BEMF_MODE_SEL の設定方法の明確化のため、 RAJ306010 の場合の BEMF アンプ出力測定時の注意事項の記載変更	(c)
P61	図 2-34 フローチャートの修正を実施。HALL-IC による逆起電圧測定の削除 BEMF_MODE_SEL ビットの説明を修正。	(b)

備考 表中の「分類」により、改訂内容を次のように区分しています。表現の変更は記載しておりません。

(a) : 誤記訂正, (b) : 仕様(スペック含む)の追加/変更, (c) : 説明, 注意事項の追加/変更,
(d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

A. 3 REV.2.00 で改訂された主な箇所 (REV1.06 より)

箇所	内容	分類
このマニュアルの使い方		
P.d	対象製品に RAJ306001,RAJ306010 を追加 RAJ306000 → RAJ306000 シリーズに記載変更	(d)
第 1 章 概説		
P.1	RAJ306001, RAJ306010 動作電圧仕様追加	(b)
P.2	端子図を QFN パッケージに変更	(d)
P.4	表 1-2 RAJ306010: WH 端子機能として BEMF アンプ出力機能追加 COMMON, ISENN, ISENP,WH, VH, UH 端子のリセット解除時ポート記載誤記訂正	(b)
P.1,2,6,7, 8,10	RAJ306000 → RAJ306000 シリーズに記載変更	(b)
P.8	図 1-4 平滑容量 C2 の接続先に対する仕様記載追加	(b)
P.9	図 1-5 電流 SINK 相記載から通電相記載への表現変更	(c)
P.8, 9	図 1-4,5 の図番号誤記訂正	(a)

備考 表中の「分類」により、改訂内容を次のように区分しています。表現の変更は記載していません。

- (a) : 誤記訂正, (b) : 仕様(スペック含む)の追加/変更, (c) : 説明, 注意事項の追加/変更,
(d) : パッケージ, オータ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

箇所	内容	分類
第2章 ブリドドライバ		
P.11,12	図 2-1,2 RAJ306010: ブリドドライバ ISENADIN2 端子と RL78/G1F P147 端子接続追加	(b)
P.12	センサレス制御時の UH,VH,WH 端子処理に対する仕様記載変更および図 2-2 の変更	(b)
P.13	表 2-1 RAJ306010 WH 端子機能として BEMF アンプ出力機能追加	(b)
P.14	表 2-2 RAJ306010 電流センスアンプ出力 ISENADIN2 端子追加	(b)
P.15	表 2-3 パワーセーブ(クロック供給停止)時のインタフェース端子および端子処理 ISENADIN2 端子追加	(b)
P.23	RAJ306010 BEMF_MODE_SEL ビットの仕様の違いに対する記載追加	(b)
P.24	表 2-12 RAJ306010 BEMF_MODE_SEL ビットの仕様記載追加	(b)
P.25	表 2-13 RAJ306010 VGT_OVP2_N ビットの ALARM 検出、解除しきい値の仕様記載追加	(b)
P.27	表 2-15 RAJ306010 VGT_OVP2_ALE_N ビットの ALARM 検出、解除しきい値の仕様記載追加	(b)
P.40	表 2-33 RAJ306010 VGT_OVP2_RAW_N ビットの ALARM 検出、解除しきい値の仕様記載追加	(b)
P.18 ~62	図、表番号の変更	(a)
P.18	表 2-4 レジスタマップ 製品ごとの WHO_AM_I の値を記載	(b)
P.41	表 2-35 WHO_AM_I レジスタ(WHO_AM_I)のフォーマット 製品ごとの WHO_AM_I の値を記載	(b)
P.51	図 2-19 RAJ306010 電流センスアンプ出力 ISENADIN2 端子追加	(b)
P.53	RAJ306010 の場合の VGT_OVP2_N ビットの ALARM 検出、解除しきい値の仕様記載追加	(b)
P.55	図 2-26 PWM 制御波形とコミュレーション制御波形 120deg 通電波形(前半 60deg PWM)での表現に変更	(c)
P.58	RAJ306010 のボルテージモニタ(VMC)部仕様追加	(b)
P.61	RAJ306010 の場合の BEMF アンプ出力測定時の注意事項の記載追加	(b)
第3章 RL78/G1F		
P.64,65, 67~71	RAJ306000 → RAJ306000 シリーズに記載変更	(b)
P.67	図 3-1 RL78/G1F の端子構成 ISENADIN2 の記載を追加	(b)
P.68,69	表 3-5,6 RAJ306000 シリーズ搭載の RL78/G1F の端子機能 RAJ306010 追加にともなう P147 の仕様を変更	(b)

備考 表中の「分類」により、改訂内容を次のように区分しています。表現の変更は記載しておりません。

- (a) : 誤記訂正, (b) : 仕様(スペック含む)の追加/変更, (c) : 説明, 注意事項の追加/変更,
(d) : パッケージ, オータ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

箇所	内容	分類
第 3 章 RL78/G1F		
P70	表 3-3,4 の PIOR20,PIOR21,PIOR31,PIOR32 の記載を変更	(c)
P72,P73	表 3 9,10 RL78/G1F の外部接続端子・未接続端子の未使用時の推奨端子処理 RAJ306010 追加にともなう P147 の仕様変更、P55、P146 の処理を表 2-3 に合わせて変更	(b)
第 5 章 使用上の注意事項<追加>		
P.79	RAJ306001, RAJ306010 の使用条件追加	(b)

備考 表中の「分類」により、改訂内容を次のように区分しています。表現の変更は記載しておりません。

- (a) : 誤記訂正, (b) : 仕様(スペック含む)の追加/変更, (c) : 説明, 注意事項の追加/変更,
(d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

A. 4 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

Revision	Section	Page	Description	Classification	
Rev.1.00		全般	新規作成		
Rev.1.01	How to	全般	ブリドライバの外部端子ブロック図、データシートに集約のため、削除	(c)	
	第 1 章	P.1	・チップ温度をチップ温度（ブリドライバ）に変更 ・過電流→モータ電流に変更	(c)	
		P.2	誤記訂正 図 1-1 端子図 ・ Pin2 から TRJ00 を削除 ・ Pin7 から TRJIO0 を削除 ・ Pin61 の AVREPP→AVREFP	(a)	
		P.3	表 1-1 端子表(1/3) ・ Pin2 の TRJ00 を削除 ・ Pin17 の CSI00 を削除	(a)	
		P.5	表 1-3 端子表(3/3) ・ Pin61 に（INTP11）を追加	(a)	
		P.6	1.3.1 電源 注 1 に 5V レギュレータを使用しない場合の注意事項を追加	(c)	
		P.8	図 1-5 推奨駆動波形にモータの図の追加。CW を追加。UH, VH, WH を HIC_U, V, W に変更。	(b)	
		第 2 章	P.11	図 2-1 ブリドライバの端子構成（ホール IC 利用時の接続）の LD の接続先を P147→P146 に修正	(a)
			P.12	図 2-2 ブリドライバの端子構成（センサレス時の接続）の LD の接続先を P147→P146 に修正 Hall 入力端子の端子処理を追加	(a)
	P.15		表 2-3 クロック供給停止時の内部端子 ・ LD の接続先を P147 から P146 に修正 ・ クロック供給停止時の MCU の推奨端子処理を修正	(a)	
	P.17		表 2-4 レジスタマップ ・ 不要なビットの削除 ・ ALARM 端子モニタレジスタ 1→ALARM 状態モニタレジスタ 1 に修正 ・ WHO_AM_I レジスタのビット名を修正 ・ BGR_TRIM と BFAMP_TRIM の初期値を修正	(a)	
	P.23		2.4.6 Hall 信号処理設定レジスタ(HALL_SIG) ・ HALL_MODE_SEL ビット, HALL_POLA ビット, HALL_SEL ビットの説明を修正	(a)	
	P.25		図 2-14 ALARM 状態レジスタ 1(ALMSTS1) ・ 誤記訂正 R/W→R	(a)	

Revision	Section	Page	Description	Classification
Rev.1.01	第 2 章	P.28	図 2-18 ALARM 状態レジスタ 2(ALMSTS2) ・誤記訂正 R/W→R	(a)
		P.30	図 2-22 外付け MOSFET 過電流判定遮断用閾値設定レジスタ 1(CS_SET1) ・OCP_SEL_H の備考欄 CS_SET2 レジスタに格納する値を 100→101 に修正	(a)
		P.31	図 2-24 ロック判定見直し	(c)
		P.31	図 2-25 プリドライバ駆動状態レジスタ(PDDSTS) ・読み書きに関して R/W になっていたのを R に修正	(a)
		P.33	図 2-27 モータ駆動制御設定レジスタ(DRIVE_SET) ・誤記訂正 DT_REG ビット→DT_REG_N ビット	(a)
		P.40	図 2-39 アラーム状態モニタレジスタ 1(ALMRAW1) ・誤記訂正 R/W→R	(a)
		P.41	図 2-40 TOIN 端子状態レジスタ(TOIN_MONI)のフォーマット ・誤記訂正 R/W→R	(a)
		P.41	図 2-41 WHO_AM_I レジスタ(WHO_AM_I)のフォーマット ・誤記訂正 R/W→R	(a)
		P.42	図 2-44 高精度 BGR 温度補正レジスタ(BGR_TRIM) のフォーマット ・誤記訂正 リセット時: FFh→00H	(a)
		P.42	図 2-45 BUFFAMP 絶対値補正レジスタ(BFAMP_TRIM) のフォーマット ・誤記訂正 リセット時: FFh→00H	(a)
		P.43	図 2-46 フローチャート:プリドライバ ・誤記訂正 DT_AUTO_N ビット→DT_REG_N ビット	(a)
		P.45	2.5.2 5V レギュレータの説明を修正	(c)
		P.46	2.5.4 ホール IC コンパレータ機能の説明を修正	(c)
		P.47	図 2-50 ホール IC コンパレータ波形例を修正	(c)
		P.49	図 2-51 フローチャート:CS アンプ ・PS_CPREG_N ビット→PS_CSAMP_N ビット	(a)
		P.50	2.5.5.2 ドライブ用 MOSFET 過電流検知レベルの設定 過電流検出機能を使用する際の、CSAMP_TRIM5 ビット及び、CSAMP_TRIM4 ビットの設定を明記	(c)
		P.52	図 2-57 パワーセーブ解除フローを修正	(a)
		P.53	図 2-58 フローチャート:コミュテーション制御 ・ビット名誤記訂正 DECAY_MODE→DECAY_MODE_SEL	(a)
		P.54	図 2-59 電流経路(PWM 制御)と図 2-60 電流経路(コミュテーション制御)の MOSFET の図を修正	(a)
		P.58	図 2-65 VM 端子電圧と ADC(ADCR レジスタ) ・6V と 30V のコードを追加	(c)

Revision	Section	Page	Description	Classification
Rev.1.01	第 2 章	P.59	図 2-66 フローチャート:VMC ・ビット名誤記訂正 PS_VMC→PS_VMC_N	(a)
		P.61	図 2-69 フローチャート:BEMF アンプ ・ビット名誤記訂正 HALL_SIG→PS_BEMF_N ・DIR_SEL にコメントを追加	(a)
		P.63	C 言語によるアクセス例の()を修正	(a)
	第 3 章	P.64	制限事項がある周辺機能に下記を追加 ・ウォッチドッグ・タイマ ・D/A コンバータ	(b)
		P.65	表 3-1 周辺 I/O リダイレクション・レジスタ 0 ・PIOR02 の設定値誤記訂正(1→0) ・PIOR04 ビットの 1 の設定を削除 (利用しないため) ・PIOR02 ビットの備考を削除	(a)
		P.65	表 3-2 周辺 I/O リダイレクション・レジスタ 1 ・TRJ00 に関して使用は非推奨であることを記載。	(a)
		P.66	表 3-3 周辺 I/O リダイレクション・レジスタ 2 ・誤記訂正 PIOR26 - PIOR 22 の設定値(1→0)	(a)
		P.66	表 3-4 周辺 I/O リダイレクション・レジスタ 3 ・誤記訂正 VCOUT1 の割り当てを修正	(a)
		P.67	図 3-1 RL78/G1F の端子構成 ・誤記訂正 LD 端子の接続先 P147→P146	(a)
		P.68	表 3-5 RAJ306000 搭載の RL78/G1F の端子機能(1/4) ・誤記訂正 P147 を内部接続→利用不可	(a)
		P.69	表 3-6 RAJ306000 搭載の RL78/G1F の端子機能(2/4) ・SCLA0 の備考欄を修正	(a)
		P.71	表 3-8 RAJ306000 搭載の RL78/G1F の端子機能(4/4) ・誤記訂正 P14 から P10 の備考欄を修正 ・誤記訂正 P31 を内部接続→外部端子	(a)
		P.72, P.73	表 3-9 未使用時の端子処理を下記に分離 ・表 3-9 RL78/G1F の外部接続端子・未接続端子の未使用時の推奨端子処理 ・表 3-10 RL78/G1F の内部接続端子の推奨端子処理に分離。 推奨処理を修正	(a)
		P.76	3.3.11 A/D コンバータについて、低電圧モードの利用禁止を追記	(b)
		Rev.1.02	How to	全体
第 1 章	P.6, P.8		推奨容量値は、データシートへ集約のため削除。	(c)

Revision	Section	Page	Description	Classification
Rev.1.02	第 1 章	P10	1.5 モータドライブ用 MOSFET の選定方法 RAJ306000 ゲート出力 - ドライブ用 MOSFET ゲート入力間に、抵抗の挿入を推奨しない旨を記載。	(c)
	第 2 章	P.43	2.5.1 ブリドライバ部にて、下記注意事項を追加 「Hi-side 出力の切替は、ブリドライバ部のパワーセーブが解除され、バイアスが立上ってから、行うようにしてください。」	(c)
		P.46	図 2 49 フローチャート：ホール IC コンパレータ ・ HALL_SIG ビット → PS_HALL_N ビット	(a)
		P.51	2-54 CS アンブ概略図 ・ Vref 電圧値を追記	(b)
		P.52	2.5.6 チャージポンプ部 ・ 誤記訂正 図 2-56	(a)
	第 3 章	P.74	3.3.5 タイマ RD について、制限事項追記	(b)
		P.75	3.3.6 タイマ RG について、説明文を変更	(a)
	第 5 章	—	外形図はデータシートに集約のため、削除	(c)
Rev.1.03	How to	P.d	旧：RL78/G1F ハードウェアマニュアル編(R01UH0516J)をご参照ください。 新：RL78/G1F ハードウェアマニュアル編(R01UH0516J)及び、RL78/G1F のテクニカルアップデートをご参照ください。	(c)
	第 3 章	P.75	3.3.10 ウォッチドッグ・タイマを追加	(c)
	第 5 章	P.79	RAJ306000ZGFT の温度プロファイルを追加	(b)
Rev.1.04	第 2 章	全体	ビット名誤記訂正 ・ PS_CP_REG→PS_CPREG_N ・ PS_CP→PS_CP_N ・ OCPWAIT→OCP_WAIT	(a)
		P.24	図 2-13 Hall 信号処理設定レジスタ(HALL_SIG)のフォーマット ・ HALL_POLA ビットと HALL_SEL ビットに備考を追記	(a)
		P.28	誤記訂正 CS_SET→CS_SET1	(a)
		P.33	2.4.1.8 モータ駆動制御設定レジスタ(DRIVE_SET)の説明を修正	(c)
		P.34	2.4.1.9 High/Low サイド出力電流能力設定レジスタ (IDRCNT_H/IDRCNT_L)の説明を修正	(c)
		P.38	誤記訂正 PS_CPREG_N[1] → PS_CPREG_N	(a)
Rev.1.05	How to	P.e	表 フラッシュ・メモリ書き込み用の資料 を更新	(e)
	第 1 章	P.2	図 1-1 端子図 ・ CMP0 の記載を削除	(b)
		P.8	図 1-4 昇圧設定と端子接続 ・ C2 のコンデンサを対 GND から対 VM に変更	(b)

Revision	Section	Page	Description	Classification
Rev.1.05	第 2 章	P.18	図 2-5 PS レジスタにより制御されるブロック VGT のコンデンサを対 GND から対 VM に変更	(b)
	第 3 章	P.75	D/A コンバータ、コンパレータ(CMP)、プログラマブル・ゲイン・アンプ (PGA)に関しては、未テストのため動作を保証しない旨に変更	(b)
Rev.1.06	第 1 章	P.8	図 1-4 昇圧設定と端子接続 ・ C2 の平滑コンデンサの接続は対 VM を推奨、対 GND も問題ない旨記載。	(b)
	第 2 章	P.42	図 2-42 トリミングプロテクトレジスタ (TRIM_PT) のフォーマット ・ プロテクト解除の code 誤記訂正 0010101→10010101	(a)

備考 表中の「分類」により、改訂内容を次のように区分しています。表現の変更は記載しておりません。

- (a) : 誤記訂正, (b) : 仕様(スペック含む)の追加/変更, (c) : 説明, 注意事項の追加/変更,
(d) : パッケージ, オータ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

RAJ306000 シリーズ ユーザーズマニュアル
ハードウェア編

発行年月日 Rev.2.02 Mar. 25th, 2021

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサスエレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24(豊洲フォレシア)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>

© 2017 Renesas Electronics Corporation. All rights reserved.

Colophon 3.1

RAJ306000 シリーズ