

# RL78/F1A

ユーザーズマニュアル ハードウェア編

LIN トランシーバ内蔵マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、 予告なしに、本資料に記載した製品または仕様を変更することがあります。 ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

### ご注意書き

- 1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、 応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアお よびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これ らの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負い ません。
- 2. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
- 3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
- 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、 各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準: コンピュータ、OA機器、通信機器、計測機器、AV機器、

家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準: 輸送機器(自動車、電車、船舶等)、交通用信号機器、

防災・防犯装置、各種安全装置等

当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム(生命維持装置、人体に埋め込み使用するもの等)、もしくは多大な物的損害を発生させるおそれのある機器・システム(原子力制御システム、軍事機器等)に使用されることを意図しておらず、使用することはできません。 たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。 なお、ご不明点がある場合は、当社営業にお問い合わせください。

- 6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件 その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の 故障および事故につきましては、当社は、一切その責任を負いません。
- 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
- 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
- 9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
- 10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
- 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネ サス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する 会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

### CMOSデバイスの一般的注意事項

### 入力端子の印加波形

#### 入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して,VIL(MAX.)からVIH(MIN.)までの領域にとどまるような場合は,誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん,VIL(MAX.)からVIH(MIN.)までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

#### CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性(タイミングは規定しません)を考慮すると、個別に抵抗を介してVpoまたはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

#### MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

#### 初期化以前の状態

### 電源投入時,MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定,レジスタ内容などは保証しておりません。ただし, リセット動作やモード設定で定義している項目については,これらの動作ののちに保証の対象とな ります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

#### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合,原則として内部電源を投入した後に外部電源を投入してください。切断の際には,原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により,内部素子に過電圧が印加され,誤動作を引き起こしたり,異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に,入力信号や入出力プルアップ電源を入れないでください。 入力信号や入出力プルアップ電源からの電流注入により,誤動作を引き起こしたり,異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

### このマニュアルの使い方

対 象 者 このマニュアルはRL78/F1Aの機能を理解し、その応用システムや応用プログラムを設計、開発するユ ーザを対象としています。

目 的 RL78/F1Aは、電源回路、LINトランシーバを内蔵したアナログ部と16ビット・マイクロコントローラ 部を1つにパッケージしたMCP(Multi Chip Package)製品です。このマニュアルは、主にRL78/F1A のアナログ部の機能を理解していただくことを目的としています。

構 成 RL78/F1Aに関連するマニュアルは、主にアナログ部の機能を説明するこのマニュアルと、マイクロコントローラ部の機能を説明するRL78/F13のユーザーズ・マニュアルのハードウェア編および命令の機能を説明するソフトウェア編(RL78ファミリ共通)の3冊に分かれています。

RL78/F1A ユーザーズ・マニュアル ハードウェア編 RL78/F13, F14 ユーザーズ・マニュアル ハードウェア編 RL78ファミリ ユーザーズ・マニュアル ソフトウェア編

• 端子機能

・端子機能

・CPU機能

・内部ブロック機能

・内部ブロック機能

命令セット

その他の内蔵周辺機能

割り込み

命令の説明

• 電気的特性

その他の内蔵周辺機能

• 電気的特性

読 み 方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

・一通りの機能を理解しようとするとき 目次に従って読んでください。

・マイクロコントローラ部の機能を知りたいとき 「RL78/F13, F14 ユーザーズ・マニュアル ハードウェア編」を参照してください。

・マイクロコントローラ部の命令機能を知りたいとき 「RL78ファミリ ユーザーズ・マニュアル ソフトウェア編」を参照してください。

凡 例 データ表記の重み : 左が上位桁, 右が下位桁

アクティブ・ロウの表記 : xxx (端子, 信号名称に上線)

注:本文中につけた注の説明

注意: 気をつけて読んでいただきたい内容

備考:本文の補足説明

数の表記: 2進数...xxxxまたはxxxxB

10進数...×××× 16進数...××××H

#### 関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

### ・デバイスの関連資料

資料名	資料番号		
	和文	英文	
RL78/F1A ユーザーズ・マニュアル ハードウェア編	このマニュアル	R01UH0477E	
RL78/F13, F14 ユーザーズ・マニュアル ハードウェア編	R01UH0368J	R01UH0368E	
RL78ファミリ ユーザーズ・マニュアル ソフトウェア編	R01US0015J	R01US0015E	

### ・フラッシュ・メモリ書き込み用の資料(ユーザーズ・マニュアル)

資料 名	資料	番号
	和文	英文
PG-FP5 フラッシュ・メモリ・プログラマ	R20UT0008J	R20UT0008E

### その他の資料

資料名	資料番号		
	和文	英文	
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E	
半導体パッケージ実装マニュアル	2	注	
NEC半導体デバイスの品質水準	C11531J	C11531E	
静電気放電(ESD)破壊対策ガイド	C11892J	C11892E	
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E	

### 注 「半導体パッケージ実装マニュアル」のホーム・ページ参照

和文:http://japan.renesas.com/products/package/manual/index.jsp 英文:http://www.renesas.com/products/package/manual/index.jsp

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意: 本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

# 目次

第1章	概説		1
1.1	特 徴	<b>½</b>	1
1.1		·····································	
1.2		ルD 用 刀 ま ł · · · · · · · · · · · · · · · · · ·	
1.2		큰	
_			
1.4		7 図	
		RL78/F1A全体のブロック図	
		マイクロコントローラ部のブロック図クロール	
		アナログ部のブロック図	
		記図(Top View)	
1.6	オーダ情	報	10
## o **	Tri → Tric VI		
弗2早	<b>- 新十機能</b>	s 5	11
21	マイクロ	ココントローラ部の端子機能	11
		端子機能の説明	
		未使用端子の処理	
2.2		デ部の端子機能	
۷.۷		端子機能の説明	
		端子機能の説明 未使用端子の処理	
	2.2.2	不使用端子の処理	10
<b>笋</b> 2音	マイクロ	ココントローラ機能	17
カリギ	<b>117</b>	1コンドロープ1及形	17
第4章	電源回路	<u> </u>	18
4.1	レギュレ	vータ出力機能	18
4.2	外部セン	ノサ用電源出力機能	19
4.3	外付けり	ジロッパー補助機能	19
4.4	過電流保	R護機能	20
	4.4.1	内蔵PMOS使用時の過電流保護機能	20
	4.4.2	外付けドロッパー使用時の過電流保護機能	20
	4.4.3	外部センサ用電源の過電流保護機能	20
第5章	LINトラ	ンシーバ機能	21
	<b></b>		
5.1		- F	
		Sleep Mode	
		Normal Mode	
	5.1.3 F	Flash Write Mode	24
	5.1.4 F	Port Mode	24
5.2	過電流保	R護機能	25
5.3	内蔵プル	レアップ抵抗接続制御(オン/オフ)機能	25
<i>bb</i>	/m =++ ' ^	\ \frac{1}{2} \land \frac{1}{2} \rand \frac{1}{	
第6草	保護・検	€知機能と診断出力	26
£ 4	温雷法点	Z =莲 #終 会比	00
6.1	迎电流体	₹護機能	∠6

	6.1.1	電源回路	26
	6.1.2	LINトランシーバ回路	26
6.2	2 過熱検	知機能	26
6.3		力回路	
第7章	電気的	特性(Lグレード)	28
7.1		大定格	
		マイクロコントローラ部とアナログ部の共通の絶対最大定格	
		マイクロコントローラ部の絶対最大定格	
	7.1.3	アナログ部の絶対最大定格	30
7.2	2 マイク	ロコントローラ部の電気的特性	31
	7.2.1	発振回路特性	31
	7.2.2	DC特性	33
	7.2.3	AC特性	41
	7.2.4	周辺機能特性	44
	7.2.5	アナログ特性	62
	7.2.6	電源立ち上げ時間	67
	7.2.7	STOPモード時メモリ保持特性	67
	7.2.8	フラッシュ・メモリ・プログラミング特性	68
7.3	3 アナロ	グ部の電気的特性	69
	7.3.1	電源回路特性	69
	7.3.2	電源電流特性	70
	7.3.3	外部センサ用電源特性	71
	7.3.4	LINトランシーバ部特性	72
	7.3.5	過熱検知回路特性	74
	7.3.6	診断出力回路特性	74
第8章	電気的	特性(Kグレード)	75
8.1	絶対最	大定格	75
	8.1.1	マイクロコントローラ部とアナログ部の共通の絶対最大定格	76
		マイクロコントローラ部の絶対最大定格	
	8.1.3	アナログ部の絶対最大定格	77
8.2	2 マイク	ロコントローラ部の電気的特性	78
	8.2.1	発振回路特性	78
	8.2.2	DC特性	80
	8.2.3	AC特性	88
	8.2.4	周辺機能特性	91
	8.2.5	アナログ特性	
		電源立ち上げ時間	
	8.2.7		
	8.2.8	フラッシュ・メモリ・プログラミング特性	
8.3		グ部の電気的特性	
J.0	8.3.1	電源回路特性	
		電源電流特性	
		キがモルトは	
	8.3.4	LINトランシーバ部特性	
	8.3.5	過熱検知回路特性	
		診断出力回路特性	
	0.0.0		
笙a音	从形図		122

付録A	改版履歴	123
A 1	本版で改訂された主な箇所	123



# RL78/F1A

ルネサスマイクロコントローラ

R01UH0477JJ0110 Rev.1.10 2016.03.04

# 第1章 概説

RL78/F1Aは、電源回路、LINトランシーバを内蔵したアナログ部と16ビット・マイクロコントローラ部を1つにパッケージしたMCP(Multi Chip Package)製品です。RL78/F1Aの16ビット・マイクロコントローラ部はRL78/F13(CAN &LIN搭載版、32ピン)を搭載しています。

### 1.1 特 徵

- 高速(0.03125 μs:高速オンチップ・オシレータ・クロックおよびPLLクロック32 MHz動作時)から
   超低速(66.6 μs:低速オンチップ・オシレータ・クロック15 kHz動作時)まで最小命令実行時間を変更可能
- 汎用レジスタ:8ビット×32レジスタ(8ビット×8レジスタ×4バンク)
- ROM: 32~128KB
- RAM : 2~8KB
- データ・フラッシュ:4KB
- 高速オンチップ・オシレータ・クロック内蔵
  32 MHz(TYP.)/24 MHz(TYP.)/16 MHz(TYP.)/12 MHz(TYP.)/8 MHz(TYP.)/4 MHz(TYP.)/1 MHz(TYP.)
  から選択可能(タイマRDでは64MHz(TYP.)/48MHz(TYP.)も選択可能)
- 低速オンチップ・オシレータ・クロック内蔵: 15kHz×2チャネル(WWDT専用、CPU/WWDT以外の周辺機能用)
- PLL回路内蔵(×3、×4、×6、×8)
- 単電源のフラッシュ・メモリ内蔵 (ブロック消去/書き込み禁止機能あり)
- セルフ・プログラミング機能対応(ブート・スワップ/フラッシュ・シールド・ウインドウ機能あり)
- オンチップ・デバッグ機能内蔵
- パワーオン・リセット(POR)回路、低電圧検出(LVD)回路内蔵
- ウォッチドッグ・タイマ内蔵(専用の低速オンチップ・オシレータ・クロックで動作可能)
- 乗除・積和演算命令対応

16ビット×16ビット=32ビット(符号付き/符号なし) 32ビット÷32ビット=32ビット(符号なし)

16ビット×16ビット+32ビット=32ビット(符号付き/符号なし)

- キー割り込み機能内蔵
- 10進補正(BCD)回路内蔵
- I/Oポート:28本(入力専用端子:1本含む)
- タイマ

16ビット・タイマ・アレイ・ユニット:8/12チャネル

16ビット・タイマRD:2ユニット(三相波形出力(6本)鋸波変調/三角波変調)

16ビット・タイマRJ:1チャネル

ウォッチドッグ・タイマ:1チャネル リアルタイム・クロック:1チャネル

● シリアル・インタフェース

CSI

UART/UART (LIN-bus対応)

I<sup>2</sup>C/簡易I<sup>2</sup>C

LINモジュール(マスタ/スレーブ対応)

CANインタフェース (RS-CAN lite)

- ★ 10ビット分解能A/Dコンバータ(VDD=2.7~5.5 V): 10チャネル
  - DTC(最大39要因)
  - 安全機能(CRC演算機能/PLLロック検出機能/ADテスト機能/SFRガード機能など)
  - 電源回路

入力電圧範囲:6~19V

出力電圧:5V±2%(入力電圧7~19V(内蔵PMOS使用時))

外部センサ用電源出力機能(オン/オフ切り替え可能、過電流保護機能あり)

外付けドロッパー補助機能

過電流保護機能

● LINトランシーバ

LIN Specification Rev.2.x対応

スリープ機能

スレーブ・アプリケーション用プルアップ抵抗接続制御機能(外部端子による制御可能)

LINドライバ過電流保護機能

● 過熱検知機能

### 1.1.1 応用分野

自動車電装一般(スイッチ制御、モータ制御、ドア制御、フロント・ライト制御など)

# 1.2 製品一覧

表1-1 RL78/F1Aのメモリ・ラインナップ

Code Flash	Data Flash	RAM	製品名
32 KB	4KB	2 KB	R5F114GC
48 KB		3 KB	R5F114GD
64 KB		4 KB	R5F114GE
96 KB		6 KB	R5F114GF
128 KB		8 KB	R5F114GG

# 1.3 機能概要

表1-2 RL78/F1A マイクロコントローラ部の機能一覧表

シリーズ名			R5F114GC	R5F114GD	R5F114GF	R5F114GI	F R5F114GG
, , ,,		端子数	110111100	1101 11100	48ピン	11101 11101	11.01 11100
Code Flash		7111 7 30	32KB	48KB	64KB	96KB	128KB
Data Flash			JZND	40110	4KB	3010	IZOND
RAM			2KB	3KB	4KB	6KB	8KB
電源電圧範囲					2.7 V~5.5 V	√ ·	•
最高動作周波	数		32 N	ИHz(Lグレ	ード)、24 N	1Hz(Kグレー	- F)
システム・	メイン発振回路	水晶/セラミック/方形波	1~20 MHz(2.7V~5.5 V動作時)			. ,	
クロック	高速オンチップ・	常用高精度			32 MHz (TYF		
	オシレータ					,	
	低速オンチップ・ オシレータ	低速動作用	15 kHz(TYP.)				
	PLL			DIL海	倍比は×3/×4	1/ × 6/ × 9	
周辺専用	低速オンチップ・	WDT以外の周辺機能用			<u>ів кі із х з/ х і</u> 15 kHz (TYP		
同辺等用 クロック	本述 ファップ・	WDT以外の周辺機能用			15 kHz (TYP		
POR	7 7 0 - 3						
PUR		電源立ち上がり時			1.56 V (TYP		
LVD	V	電源立ち下がり時			1.55 V (TYP		7H+ \
LVD	V <sub>DD</sub> 電圧検出	電源立ち上がり時			~4.74 V (		
		電源立ち下がり時	2.7	75 V (TYP.,	~4.64 V (	IYP.) (6段)	皆)
セーフティ		・ウォッチドッグ・タイマ <u>)</u>			対応		
機能	不正命令実行検出				対応		
	フラッシュ・メモリ				対応		
RAM1ビット・エ					対応		
	RAM2ビット・エラ	一検出機能			対応		
	不正アクセス検出	機能			対応		
	周波数検出機能				対応		
	クロック・モニタ機能				対応		
	スタック・ポインタ	・モニタ機能			対応		
入出力ポート出力信号レベル検出機能		対応					
	A/Dテスト機能		対応				
1/0ポート	入出力	CMOS			25 ch		
	入力	発振端子兼用	2 ch				
		入力端子専用	1 ch				
電源端子	内部用				V <sub>DD</sub> , V <sub>SS</sub> , REO	GC .	
2.000	アナログ回路用(ル	AD)	VDD, VSS, AVREFP, AVREFM				
乗除算•積和	乗算	·	16		<u>ビット(符号</u>		(,)
演算機能	除算				÷32ビット		-,
,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,	積和演算		16ビット				長なし)
	演算命令(拡張命	<b>会セット</b> )	16ビット×16ビット+32ビット(符号付き/符号なし) 対応				
ベクタ割り	外部	12 2 7 1 7			9 ch <sup>注1</sup>		
込み要因	内部				40 ch <sup>注1</sup>		
キー・リターン検出			6 ch				
DTC							
DTC				401	36要因	4.13	
	TAU			161	36要因 ごット(8ch+	4ch)	
DTC	TAU RTC			16 t	36要因 ごット(8ch+ 1 ch		
DTC	TAU RTC タイマRJ			16 t	36要因 ごット(8ch+ 1 ch 16ビット×	1	
DTC タイマ	TAU RTC タイマRJ タイマRD	-		161	36要因 ビット(8ch+ 1 ch 16ビット× 16ビット×	1	
DTC タイマ シリアル・イ	TAU RTC タイマRJ			161	36要因 ジット(8ch+ 1 ch 16ビット× 16ビット× 3 ch/3 ch/2 c	1	
DTC タイマ	TAU RTC タイマRJ タイマRD CSI/簡易I <sup>2</sup> C/ UAR	T SPI		161	36要因 ゴット(8ch+ 1 ch 16ビット× 16ビット× 3 ch/3 ch/2 c	1	
DTC タイマ シリアル・イ	TAU RTC タイマRJ タイマRD CSI/簡易I <sup>2</sup> C/ UAR <sup>2</sup>	SPI		161	36要因 ゴット(8ch+ 1 ch 16ビット× 16ビット× 3 ch/3 ch/2 c 対応 1 ch	1	
DTC タイマ シリアル・イ	TAU RTC タイマRJ タイマRD CSI/簡易I <sup>2</sup> C/ UAR <sup>2</sup> マルチマスタI <sup>2</sup> C LIN/UARTモジュー	SPI -JV (RLIN3)		161	36要因 ゴット(8ch+ 1 ch 16ビット× 16ビット× 3 ch/3 ch/2 c 対応 1 ch 1 ch	1	
DTC タイマ シリアル・イ ンタフェース	TAU RTC タイマRJ タイマRD CSI/簡易I <sup>2</sup> C/ UAR <sup>2</sup> マルチマスタI <sup>2</sup> C LIN/UARTモジュー CANインタフェー	SPI -JV (RLIN3)		161	36要因 ゴット(8ch+ 1 ch 16ビット× 16ビット× 3 ch/3 ch/2 c 対応 1 ch 1 ch 1 ch	1	
DTC タイマ シリアル・イ ンタフェース	TAU RTC タイマRJ タイマRD CSI/簡易I <sup>2</sup> C/ UAR <sup>2</sup> マルチマスタI <sup>2</sup> C LIN/UARTモジュー CANインタフェー VDD	SPI -JV (RLIN3)		161	36要因 ゴット(8ch+ 1 ch 16ビット× 16ビット× 3 ch/3 ch/2 c 対応 1 ch 1 ch 8 ch	1	
DTC         タイマ         シリアル・インタフェース         A/D コンバータ 10 ビッ	TAU RTC タイマRJ タイマRD CSI/簡易I <sup>2</sup> C/ UAR <sup>2</sup> マルチマスタI <sup>2</sup> C LIN/UARTモジュー CANインタフェー VDD EVDD	SPI -JV (RLIN3)		161	36要因 ゴット(8ch+ 1 ch 16ビット× 16ビット× 3 ch/3 ch/2 c 対応 1 ch 1 ch 1 ch 8 ch 2 ch	1	
DTC タイマ シリアル・イ ンタフェース	TAU RTC タイマRJ タイマRD CSI/簡易I <sup>2</sup> C/ UAR <sup>2</sup> マルチマスタI <sup>2</sup> C LIN/UARTモジュー CANインタフェー VDD	SPI -JV (RLIN3)		161	36要因 ゴット(8ch+ 1 ch 16ビット× 16ビット× 3 ch/3 ch/2 c 対応 1 ch 1 ch 8 ch	1	
DTC タイマ シリアル・イ ンタフェース A/D コ ン バ ータ 10 ビッ ト逐次変換	TAU RTC タイマRJ タイマRD CSI/簡易I <sup>2</sup> C/ UAR <sup>2</sup> マルチマスタI <sup>2</sup> C LIN/UARTモジュー CANインタフェー V <sub>DD</sub> EV <sub>DD</sub>	SPI -JV (RLIN3)		161	36要因 ゴット(8ch+ 1 ch 16ビット× 16ビット× 3 ch/3 ch/2 c 対応 1 ch 1 ch 1 ch 8 ch 2 ch	1	
DTC タイマ シリアル・イン シリアル・ケート ショアル・ケート ショアル・ケー ショアル・ケー ショアル・ケー ショアル・ケー ショアル・ケー ショアル・ケー ショアル・ケー ショアル・ケー ショアル・ケー ショアル・ケー ショアル・ケー ショアル・ケー ショアル・ケー ショアル・ケー ショアル・ケー ショアル・ケー ショアル・ケー ショアル・ケー ショアル・ケー シャー ショアル・ケー シャー シャー シャー シャー シャー シャー シャー シャー シャー シャ	TAU RTC タイマRJ タイマRD CSI/簡易I <sup>2</sup> C/ UAR <sup>2</sup> マルチマスタI <sup>2</sup> C LIN/UARTモジュー CANインタフェー VDD EVDD 内部	SPI -JV (RLIN3)		161	36要因 ゴット(8ch+ 1 ch 16ビット× 16ビット× 3 ch/3 ch/2 c 対応 1 ch 1 ch 1 ch 2 ch 2 ch	1	
DTC タイマ シリアル・イン ングフェース A/D コンバット型 セルフ・プロンチンツ オンチップ・	TAU RTC タイマRJ タイマRD CSI/簡易I <sup>2</sup> C/ UAR <sup>2</sup> マルチマスタI <sup>2</sup> C LIN/UARTモジュー CANインタフェー VDD EVDD 内部	SPI -ル (RLIN3) ス (RS-CAN lite)		161	36要因 デット(8ch+ 1 ch 16ビット× 16ビット× 3 ch/3 ch/2 c 対応 1 ch 1 ch 1 ch 2 ch 2 ch 2 ch	1	

注1. INTP4とINTSPMは、内部と外部の両方で1要因ずつカウントしています。

表1-3 RL78/F1A アナログ部の機能一覧表

項目	R5F114GC	R5F114GD	R5F114GE	R5F114GF	R5F114GG	
電源回路	・内蔵ドロッパーとしてPMOSを内蔵					
	出力電圧:5 V±2%	出力電圧:5 V±2%(動作電圧範囲:7~19 V、出力電流:60 mA <sup>注1</sup> 以下)				
	出力電圧:5 V±3%	。 (動作電圧範囲:6~	~7 V、出力電流:50	mA <sup>注1</sup> 以下)		
	・外付けドロッパー	(PNPトランジスタ)	補助機能			
	出力電圧:5 V±5%	6				
	(動作電圧範囲:6	~19 V、動作周囲温	度:25°C≦T <sub>A</sub> ≦105°	C、出力電流:250 m.	A <sup>注2</sup> 以下)	
	出力電圧:5 V±6%	6				
	(動作電圧範囲:6	(動作電圧範囲:6~19 V、動作周囲温度:-40°C≦TA<25°Cまたは105°C <ta≦125°c、出力電流:< th=""></ta≦125°c、出力電流:<>				
	250 mA <sup>注2</sup> 以下)					
	・外部センサ用電源出力機能					
	・過電流保護機能					
LINトランシーバ回路	・LIN Specification Rev.2.x対応					
	・スリープ機能					
	・スルー・レート選択機能					
	・スレーブ・アプリケーション用プルアップ抵抗接続制御機能(オン/オフ切替可能)					
	・LINドライバ過電流	<b>流保護機能</b>				
過熱検知回路	1チャネル					
診断出力回路	1チャネル					

- 注1. 動作周囲温度 (TA) が85℃以下の場合の出力電流値です。85℃以上では30mA以下になります。
  - 2. 回路動作のみを保証するもので発熱を考慮したものではありません。外付けドロッパー (PNPトランジスタ) を使用する場合は、あらかじめ許容損失を十分考慮したうえで使用してください。

## 1.4 ブロック図

### 1.4.1 RL78/F1A全体のブロック図

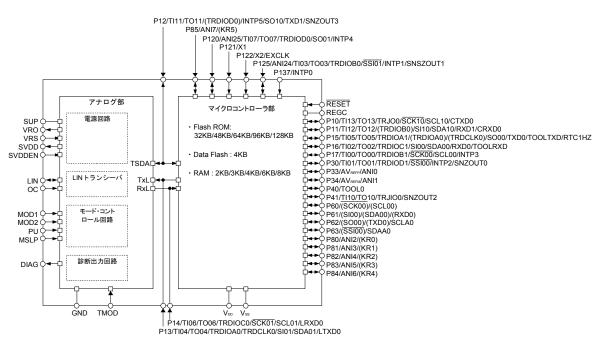
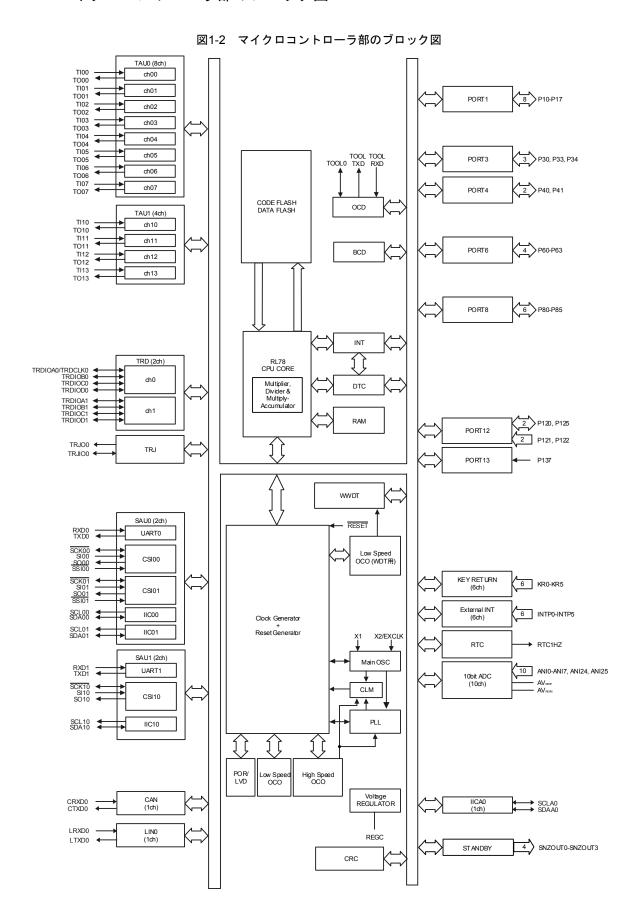


図1-1 RL78/F1A全体のブロック図

注意 P12/TI11/TO11/(TRDIOD0)/INTP5/SO10/TXD1/SNZOUT3、P13/TI04/TO04/TRDIOA0/TRDCLK0/SI01/SDA01/LTXD0、P14/TI06/TO06/TRDIOC0/SCK01/SCL01/LRXD0端子は、パッケージ内部でTSDA、TxL、RxL端子にそれぞれ接続されています。

### 1.4.2 マイクロコントローラ部のブロック図



# 1.4.3 アナログ部のブロック図

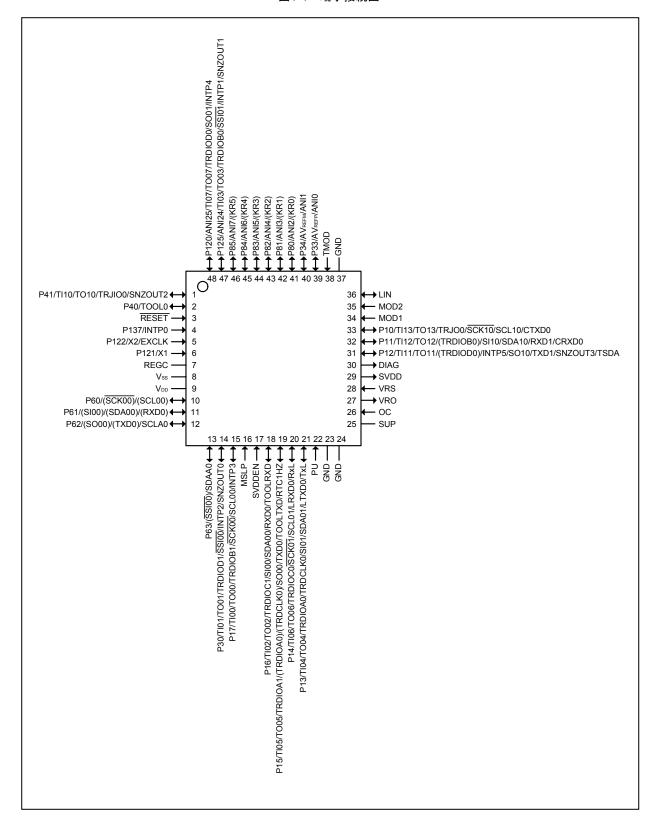
ζoc 過電流保護回路 ⇒SUP VRO DIAG \$ 診断出力回路 VRS 電源回路 MSLP SVDD SVDDEN MOD1 モード・コントロール 回路 GND MOD2 5 PU LINスレーブ用プルアップ抵抗 切り替え回路 LIN 過電流保護回路 ) RxL 過熱検知回路 スルー・レート選択回路 . TxL Ç TSDA ( 負電圧入力保護回路 GND TMOD ( LINトランシーバ

図1-3 アナログ部のブロック図

# 1.5 端子接続図(Top View)

・48ピン・プラスチックLQFP(ファインピッチ)(7×7)

図1-4 端子接続図



# 1.6 オーダ情報

表1-4にRL78/F1Aのオーダ情報を示します。

表1-4 オーダ情報

パッケージ	デバイス	オーダ名称
48ピン・プラスチックLQFP	Lグレード	R5F114GCLFB, R5F114GDLFB, R5F114GELFB, R5F114GFLFB, R5F114GGLFB
	Kグレード	R5F114GCKFB, R5F114GDKFB, R5F114GEKFB, R5F114GFKFB, R5F114GGKFB

# 第2章 端子機能

# 2.1 マイクロコントローラ部の端子機能

### 2.1.1 端子機能の説明

表2-1にマイクロコントローラ部の端子機能を示します。各端子の機能の詳細はRL78/F13のユーザーズ・マニュアルの「2.1 端子機能一覧」を参照してください。

表2-1 マイクロコントローラ部の端子機能(1/2)

端子名	入出力	機能
P10-P17	入出力	ポート入出力
P30, P33, P34		
P40, P41		
P60-P63		
P80-P85		
P120		
P121, P122	入力	ポート入力
P125	入出力	ポート入出力
P137	入力	ポート入力
ANI0-ANI7, ANI24, ANI25	入力	A/Dコンバータのアナログ入力
KR0-KR5	入力	キー割り込み入力
TI00-TI07, TI10-TI13	入力	16ビット・タイマへの外部カウント・クロック/キャプチャ・トリガ入力
TO00-TO07, TO10-TO13	出力	16ビット・タイマへのタイマ出力
TRJI00	入出力	タイマRJ入出力
TRJ00	出力	タイマRJ出力
TRDCLK0	入力	タイマRD外部クロック入力
TRDIOA0-TRDIOD0,	入出力	タイマRD入出力
TRDIOA1-TRDIOD1		
RXD0, RXD1	入力	UARTのシリアル・データ入力
TXD0, TXD1	出力	UARTのシリアル・データ出力
SCLA0	入出力	IICA0のクロック入出力
SCL00, SCL01, SCL10	出力	簡易I <sup>2</sup> Cのクロック出力
SDAA0	入出力	IICA0のシリアル・データ入出力
SDA00, SDA01, SDA10	入出力	簡易I <sup>2</sup> Cのシリアル・データ入出力
SCK00, SCK01, SCK10	入出力	CSIのクロック入出力
SI00, SI01, SI10	入力	CSIのシリアル・データ入力
SO00, SO01, SO10	出力	CSIのシリアル・データ出力
SSI00, SSI01	入力	CSIのスレーブ・セレクト入力
CRXD0	入力	CANのシリアル・データ入力
CTXD0	出力	CANのシリアル・データ出力
LRXD0	入力	LINのシリアル・データ入力
LTXD0	出力	LINのシリアル・データ出力

(次ページに続く)

### 表2-1 マイクロコントローラ部の端子機能(2/2)

端子名	入出力	機能
INTP0-INTP5	入力	外部割り込み入力
SNZOUT0-SNZOUT3	出力	SNOOZEステータス出力
RTC1HZ	出力	リアルタイム・クロック補正クロック(1Hz)出力
EXCLK	入力	メイン・システム・クロック用外部クロック入力
X1, X2	_	メイン・システム・クロック用発振子接続
RESET	入力	外部リセット入力
REGC	_	内部動作用レギュレータ出力安定容量接続
		コンデンサ (0.47~1μF) を介してVssに接続してください。
V <sub>DD</sub>	_	P33、P34、P80-P85、P121、P122、P137、RESET端子の正電源
AVREFP	入力	A/Dコンバータの基準電位(+側)入力
AVREFM	入力	A/Dコンバータの基準電位(-側)入力
Vss	_	P33、P34、P80-P85、P121、P122、P137、RESET端子のグランド電源
		GNDと同電位にしてください。
TOOLRXD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART受信
TOOLTXD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力

# 2.1.2 未使用端子の処理

表2-2にマイクロコントローラ部の各端子の未使用時の推奨接続方法を示します。

表2-2 マイクロコントローラ部の各端子の未使用時の推奨接続方法

端子名	入出力	未使用時の推奨接続方法
P10/TI13/TO13/TRJO0/SCK10/SCL10/	入出力	入力時:個別に抵抗を介してVppまたはVssに接続してください。
CTXD0	71273	出力時:オープンにしてください。
P11/TI12/TO12/(TRDIOB0)/SI10/SDA10/		
RXD1/CRXD0		
P12/TI11/TO11/(TRDIOD0)/INTP5/SO10/	1	
TXD1/SNZOUT3/TSDA		
P13/TI04/TO04/TRDIOA0/TRDCLK0/SI01/	1	・Port modeのとき
SDA01/LTXD0/TxL		入力時:個別に抵抗を介してVppまたはVssに接続してください。
		出力時:オープンにしてください。
		・Port mode以外のとき
		入力時:個別に抵抗を介してVppに接続してください。
		出力時:オープンにしてください。
P14/TI06/TO06/TRDIOC0/SCK01/SCL01/		・Port modeのとき
LRXD0/RxL		入力時:個別に抵抗を介してVpDまたはVssに接続してください。
		出力時:オープンにしてください。
		・Port mode以外のとき
		オープンにしてください。
P15/TI05/TO05/TRDIOA1/(TRDIOA0)/	1	入力時:個別に抵抗を介してVDDまたはVssに接続してください。
(TRDCLK0)/SO00/TXD0/TOOLTXD/		出力時:オープンにしてください。
RTC1HZ		
P16/TI02/TO02/TRDIOC1/SI00/SDA00/		
RXD0/TOOLRXD		
P17/TI00/TO00/TRDIOB1/SCK00/SCL00/		
INTP3		
P30/TI01/TO01/TRDIOD1/SSI00/INTP2/		
SNZOUT0		
P33/AV <sub>REFP</sub> /ANI0		
P34/AVREFM/ANI1		
P40/TOOL0		
P41/TI10/TO10/TRJIO0/SNZOUT2		
P60/(SCK00)/(SCL00)		
P61/(SI00)/(SDA00)/(RXD0)		
P62/(SO00)/(TXD0)/SCLA0		
P63/(SSI00)/SDAA0		
P80/ANI2/(KR0)	_	
P81/ANI3/(KR1)		
P82/ANI4/(KR2)		
P83/ANI5/(KR3)		
P84/ANI6/(KR4)		
P85/ANI7/(KR5)		
P120/ANI25/TI07/TO07/TRDIOD0/SO01/		
INTP4		
P121/X1	入力	個別に抵抗を介してVpDまたはVssに接続してください。
P122/X2/EXCLK		
P125/ANI24/TI03/TO03/TRDIOB0/SSI01/	入出力	入力時:個別に抵抗を介してVDDまたはVssに接続してください。
INTP1/SNZOUT1		出力時:オープンにしてください。
P137/INTP0	入力	個別に抵抗を介してVpDまたはVssに接続してください。
RESET	入力	Vooに直接接続または抵抗を介して接続してください。
REGC	_	コンデンサ (0.47~1μF) を介してVssに接続してください。

備考 ( )内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR)の設定で割り当てることができます。

# 2.2 アナログ部の端子機能

### 2.2.1 端子機能の説明

表2-3にアナログ部の端子機能を示します。

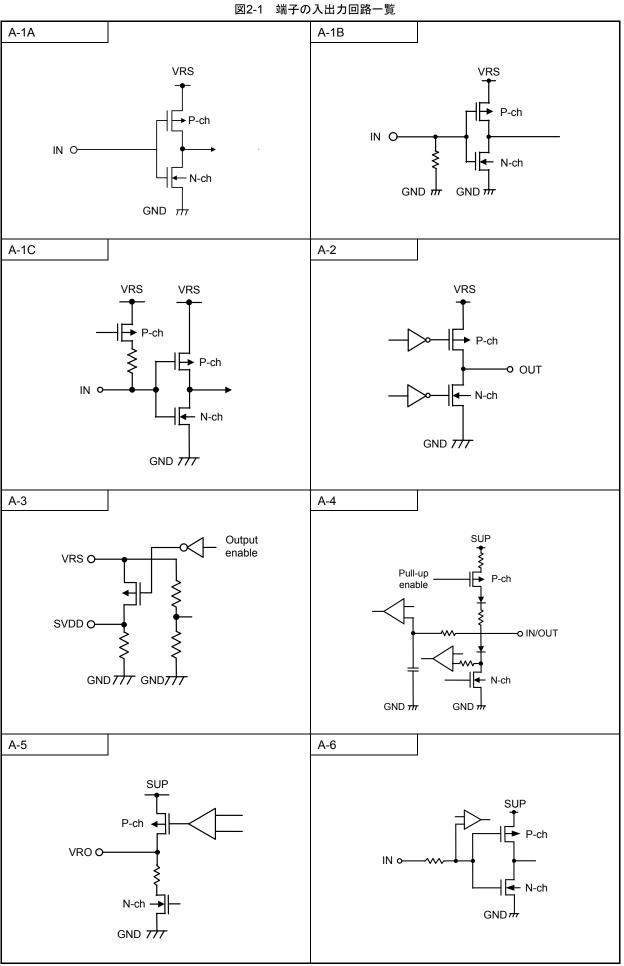
表2-3 アナログ部の端子機能

端子名	入出力	入出力回路 タイプ	機能
GND	_	_	グランド電位 アナログ回路用グランド電位です。
SUP	_	_	電源電源端子です。
VRO	出力	A-5	電源出力 5 V出力ドロッパーとして内蔵PMOSを使用する場合、電源回路の出力端子として機能します。5 V出力ドロッパーとして外付けPNPトランジスタを使用する場合、ベース制御出力端子として機能します。
VRS	入力	A-3	電源/電源電圧帰還入力 電源回路の出力電圧帰還入力端子です。
oc	入力	A-6	電源過電流監視/ドロッパー切り替え制御 5 V出力ドロッパーとして内蔵PMOSを使用する場合、ドロッパー切り替え制御端子として機能します。5 V出力ドロッパーとして外付けPNPトランジスタを使用する場合、電源過電流監視用端子として機能します。詳細は「第4章 電源回路」を参照してください。
SVDD	出力	A-3	外部センサ用電源出力 外部センサ用電源回路の出力端子です。詳細は「第4章 電源回路」を参照してください。
SVDDEN	入力	A-1B	外部センサ用電源出力制御 外部センサ用5 V電源出力の制御端子です。SVDDEN = Lowのとき、SVDD出力はオフします。SVDDEN = Highのとき、SVDD出力はオンします。また、この端子は内部でプルダウンされています。
LIN	入出力	A-4	LINバス LINバス端子です。
TxL <sup>注</sup>	入力	A-1C	シリアル・データ入力
RxL <sup>注</sup>	出力	A-2	シリアル・データ出力
MOD1、 MOD2	入力	A-1A	端子モード制御 マイクロコントローラとの兼用ポートおよびLIN動作モードを選択するモード端子です。 詳細は「5.1 動作モード」を参照してください。
PU	入力	A-1A	LIN内蔵スレーブ抵抗制御 LINスレーブ用プルアップ抵抗の有無を切り替える制御端子です。PU = Lowのとき、内蔵抵抗を接続します。PU = Highのとき、内蔵抵抗は接続されません。詳細は「5.3 内蔵プルアップ抵抗接続制御(オン/オフ)機能」を参照してください。
DIAG	出力	A-2	診断結果出力 診断出力端子です。アナログ部での異常検出時にロウ・レベルを出力します。詳細は「6.3 診断出力回路」を参照してください。
MSLP	入力	A-1B	スリープ・モード選択 LINトランシーバの動作モードを切り替える制御端子です。 Normal modeでMSLP=Lowのとき、LINトランシーバはSleep modeとなります。 Sleep modeでMSLP=Highのとき、LINトランシーバはNormal modeとなります。 また、この端子は内部でプルダウンされています。
TMOD	入力	A-1B	テスト入力 テスト端子です。外部でGNDに直接接続してください。
TSDA <sup>注</sup>	入力	A-1A	テスト入力 アナログ部のテストに使用します。

注 パッケージ内部でマイクロコントローラ部の端子と接続されています。

注意 1. 5V出力ドロッパーに内蔵PMOSを使用する場合、VRSとVppはVROと同電位にしてください。

<sup>2. 5</sup>V出力ドロッパーに外付けPNPトランジスタを使用する場合、VooはVRSと同電位にしてください。



# 2.2.2 未使用端子の処理

表2-4にアナログ部の各端子の未使用時の推奨接続方法を示します。

表2-4 アナログ部の各端子の未使用時の推奨接続方法

端子名	入出力	未使用時の推奨接続方法
DIAG	出力	オープンにしてください。
SVDD	出力	オープンにしてください。
SVDDEN	入力	オープンにしてください。
MOD1	入力	GNDまたはVRSに直接接続してください。
MOD2	入力	GNDまたはVRSに直接接続してください。
MSLP	入力	オープンにしてください。
LIN	入出力	オープンにしてください。
VRO	出力	VRSに直接接続してください。
VRS	入力	VROに直接接続してください。
ос	入力	GNDに抵抗を介して接続してください。
PU	入力	GNDに直接接続してください。

# 第3章 マイクロコントローラ機能

16ビット・マイクロコントローラ部はRL78/F13 (CAN&LIN搭載版、32ピン)を搭載しています。 マイクロコントローラ部の各機能については、RL78/F13のユーザーズ・マニュアルを参照してください。 RL78/F1A 第4章 電源回路

# 第4章 電源回路

電源回路は、12V系のバッテリ供給電圧から5V (TYP.) 電圧を生成するシリーズ・レギュレータです。 次の機能があります。

- ・レギュレータ出力機能
- ・外部センサ用電源出力機能
- ・外付けドロッパ―補助機能
- 過電流保護機能

# 4.1 レギュレータ出力機能

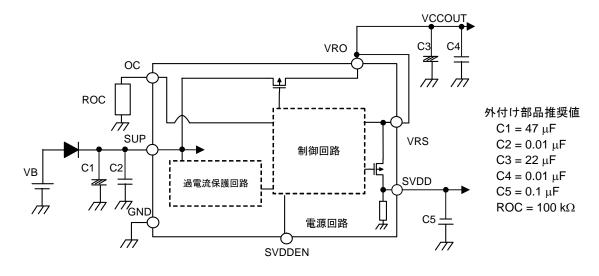
レギュレータ出力機能は、12V系のバッテリ供給電圧から5V(TYP.)電圧を生成する機能です。

OC端子の接続に応じて、内蔵PMOSでの電圧生成と外付けドロッパー (PNPトランジスタ) による電圧生成を切り替えることができます。

項目	切り替え方法			
内蔵PMOS使用時	OC端子-GND端子間に抵抗を接続			
外付けドロッパー使用時	OC端子-SUP端子間に抵抗を接続			

表4-1 ドロッパー切り替え方法

図4-1 内蔵PMOS使用時の電源回路アプリケーション例



注意 SUP-GND端子間のコンデンサ(C1、C2) およびVRO-GND端子間のコンデンサ(C3、C4) は、SUP 端子およびVRO端子の近傍に配置して、配線を極力短くしてください。

RL78/F1A 第4章 電源回路

## 4.2 外部センサ用電源出力機能

外部センサ用電源出力機能は、レギュレータ出力電圧5V(TYP.)から外部センサ用電源出力する機能です。 SVDDEN端子によりオン/オフを制御できます。

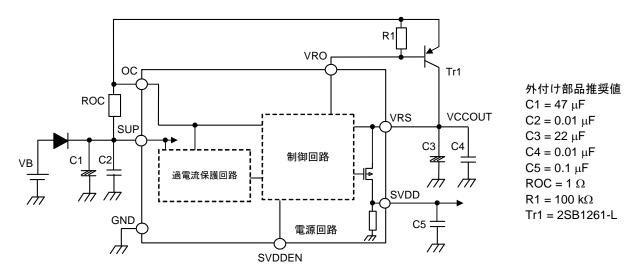
SVDDEN端子のレベル	SVDD出力状態
Low	出力オフ
High	出力オン

表4-2 外部センサ用電源出力制御

# 4.3 外付けドロッパー補助機能

出力電流に応じて、5Vを出力するドロッパーに外付けPNPトランジスタを使用して出力電流の能力を拡張するための補助機能です。OC端子に抵抗を介してSUP端子に接続することにより、外付けドロッパー補助機能が有効となります。

図4-2 外付けPNPトランジスタ使用時の電源回路アプリケーション例



- 注意1. SUP-GND端子間のコンデンサ(C1、C2) およびVRS-GND端子間のコンデンサ(C3、C4)は、SUP端子およびVRS端子の近傍に配置して、配線を極力短くしてください。
  - 2. 外付けPNPトランジスタは、VRO、VRS、SUP端子の近傍に配置して、ベース・エミッタ・コレクタ配線を極力短くしてください。
  - 3. 外付けPNPトランジスタの出力電流はすべての条件で保証するものではありません。十分な評価を行ってください。
- 4. Kグレードでは、必ず外付けドロッパー補助機能を使用して下さい。

RL78/F1A 第4章 電源回路

### 4.4 過電流保護機能

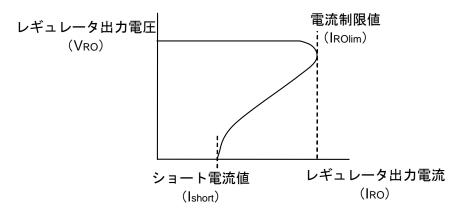
### 4.4.1 内蔵PMOS使用時の過電流保護機能

負荷ショートなどでレギュレータ出力に過電流が流れた場合、電流を制限して内蔵PMOSを保護します。過電流状態が解消された場合、自動的に復帰します。

内蔵PMOS使用時の出力電流制限値は固定です。

• MIN.=61 mA  $(7V \le V_{SUP} \le 19V)$ MIN.=51 mA  $(6V \le V_{SUP} < 7V)$ 

図4-3 レギュレータ出力電流制限特性



### 4.4.2 外付けドロッパー使用時の過電流保護機能

負荷ショートなどで電源ラインに過電流が流れた場合、電流を制限してドロッパーを保護します。ドロッパーの電流制限値は、SUP端子とOC端子間に接続した抵抗(ROC)の両端電位差によって検出します。電流制限値は、ユーザ・システムに応じて調整できます。

- ・電流制限値=過電流判定電圧(VsuPlim)/ROC
- ・過電流判定電圧(V<sub>SUPlim</sub>)=SUP電圧(V<sub>SUP</sub>)−OC電圧(VOC)

V<sub>SUPlim</sub> =300 mV (TYP.)

### 4.4.3 外部センサ用電源の過電流保護機能

外部センサ用電源出力(SVDD)に過電流が流れた場合、出力をシャット・ダウンし保持します。復帰するためには、SVDDEN端子を一度ロウ・レベルにします。

・SVDD出力シャット・ダウン電流値(MIN.)=21 mA

# 第5章 LINトランシーバ機能

LINトランシーバ機能および電気的特性は、LIN Specification Rev.2.xに対応しています。 次の機能があります。

- ・スリープ機能
- 過電流保護機能

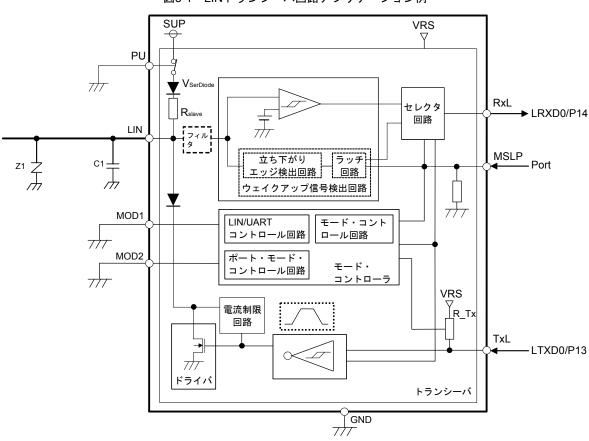


図5-1 LINトランシーバ回路アプリケーション例

- 備考1. RxLとLRXD0、TxLとLTXD0は、パッケージ内部で接続されています。
  - 2. LIN端子には、スレーブ用プルアップ抵抗とダイオードが内蔵されています。
  - 3. スレーブ用プルアップ抵抗とダイオードは、接続の有無を切り替えることができます。

# 5.1 動作モード

Sleep mode LIN Communication:動作停止 TxL=High出力 MSLP=High MOD1=Low MSLP=Low MOD2=High MOD1=High MSLP=High MOD2=Low MOD1=Low MSLP=Low MOD1=MOD2 MOD2=High Flash write mode Normal mode LIN Communication:動作可能 LIN Communication:動作可能 MOD1=MOD2 MSLP=Low MOD1=High MOD2=Low MSLP=Low MOD1=High MOD1=MOD2 MOD2=Low MSLP=High Port mode MOD1=MOD2 MSLP=High LIN Communication: 動作停止 MOD1=Low TxL: Hi-z MOD2=High RxL: Hi-z

図5-2 動作モード状態遷移図

表5-1 LIN動作モード設定

LIN動作モード	スルー・レート	モード設定			端子状態	
		MSLP	MOD1	MOD2	TxL	RxL
Sleep mode	_	Low	Low	Low	プルアップ入力	出力
		Low	High	High	プルアップ入力	出力
Normal mode	Fast	High	Low	Low	プルアップ入力	出力
	Slow	High	High	High	プルアップ入力	出力
Flash write mode	OFF	High	Low	High	プルアップ入力	出力
Port mode		Low	High	Low	Hi-Z	Hi-Z

注意 上記以外の設定は禁止です。

表5-2 各アナログ機能ブロックの動作状態

	機能ブロック	Normal mode	Sleep mode	Port mode	Flash write mode
電源回路	レギュレータ出力	動作可能	動作可能	動作可能	動作可能
	外部センサ用電源出力	制御可能	制御可能	制御可能	制御可能
	過電流保護回路	動作可能	動作可能	動作可能	動作可能
LINトランシーバ回路		動作可能	動作停止	動作停止	動作可能
			(LIN : Recessive)	(LIN : Recessive)	
過熱検知回路	Š.	動作可能	動作停止	動作停止	動作可能

### 5.1.1 Sleep Mode

MSLP=Low、MOD1=MOD2のとき、Sleep modeです。

Sleep mode時のLINドライバの出力状態は、TxL端子のレベルに関係なくハイ・レベル(Recessive)状態の低消費電力状態になります。

ただし、Sleep mode中はLINバス・モニタ状態になり、LINバスがRecessive → Dominantレベルへのエッジを検出すると同時に、RxL端子のレベルがHigh→Lowに変わり、RxL端子のロウ・レベル状態を保持します。RxL端子の状態保持は、MSLP端子にハイ・レベルを入力(Normal modeに移行)するまで続きます。

### 5.1.2 Normal Mode

MSLP=High、MOD1=MOD2のとき、Normal modeです。

LINバスを使った通信が可能です。

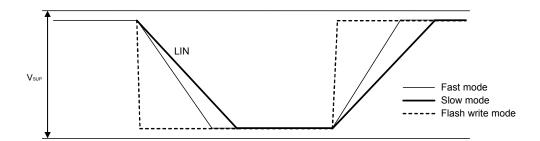
Normal modeでは、TxL端子をハイ・レベルにするとLINドライバ出力はRecessive状態となり、TxL端子をロウ・レベルにするとLINドライバはDominant状態になります。

同時に、LINバスがRecessive状態であればRxL端子はハイ・レベルを出力し、Dominant状態であればRxL端子はロウ・レベルを出力します。

Normal mode中は、MOD1=MOD2端子のレベルにより通信波形のスルー・レートを切り替えられます。

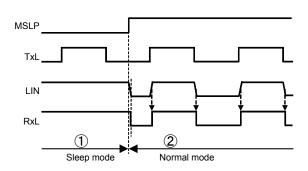
- Fast mode (MOD1=MOD2=Low)対応通信ボー・レート=20 kbpsに適したスルー・レート・モード
- ・Slow mode(MOD1=MOD2=High) 対応通信ボー・レート=10.4 kbpsに適したスルー・レート・モード

図5-3 スルー・レートの応答タイミング



#### 図5-4 タイミング・チャート

#### (a) 送受信動作(TxL → LIN → RxL)

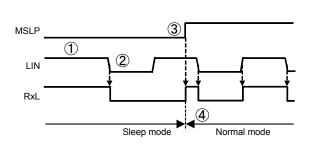


- ① Sleep mode (MSLP=Low) 時は, TxL端子のレベルによらず LINバス=High (Recessive)
- ② Normal mode (MSLP=High) 時は, TxL端子のレベルに応じてLINバスのレベルが変化
  - ・TxL=High時, LINバス=Recessiveレベル
  - ・TxL=Low時, LINバス=Dominantレベル

同時に、LINバスのレベルに応じて RxL端子のレベルが変化する

- ・LINバス=Recessiveレベル時, RxL=High
- ・LINバス=Dominantレベル時, RxL=Low

#### (b) LINバスからのウェイクアップ動作(LIN→RxL)



- ① Sleep mode (MSLP=Low) 時は, LINバス=High (Recessive) で待機 (RxL=High)
- ② Sleep mode (MSLP=Low) 中に, LINバスの立ち下がりエッジを検出すると, RxL=High→Lowに変化して保持
  - → (マイクロコントローラが割り込みを認知)
- ③ MSLP=Highを受信してNormal modeへ移行 (ウェイクアップ)
- ④ LINバスのレベルに応じてRxL端子のレベルが変化

#### 5.1.3 Flash Write Mode

MSLP=High、MOD1=Low、MOD2=Highのとき、Flash write modeです。
LINバスを用いて、通信ボー・レート=100 kbpsでフラッシュROMへの書き込みができます。

注意 Flash write modeでは通信波形のスルー・レート制御を行いません。

### 5.1.4 Port Mode

MSLP=Low、MOD1=High、MOD2=Lowのとき、Port modeです。

マイクロコントローラ部の端子と兼用端子になっているアナログ部のTxL端子とRxL端子がHi-zになり、P13端子とP14端子をマイクロコントローラ部の入出力ポート専用として使用できます。

# 5.2 過電流保護機能

LINバスの電源ショートなどでLINドライバに過電流が流れた場合、LTXD0端子のレベルを問わずLINドライバを強制的にオフ(Recessive)状態にし、保持することで内部回路を保護します。

・電流制限値 (MIN.) =40 mA

復帰するためには、TxL端子をハイ・レベルにします。

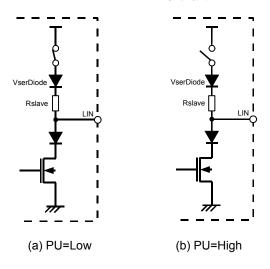
# 5.3 内蔵プルアップ抵抗接続制御(オン/オフ)機能

本機能はISO9141通信に使用できます。PU端子をハイ・レベルにすると内蔵プルアップ抵抗(R<sub>slave</sub>)は非接続にな ★ ります。ISO9141通信でPU端子をハイ・レベルに接続した場合は、LIN端子は外部プルアップ抵抗を介してSUPに接 続して下さい。

表5-3 内蔵プルアップ抵抗接続制御

PU端子のレベル	内蔵プルアップ抵抗状態	
Low	接続	
High	非接続	

図5-5 内蔵プルアップ抵抗接続図



なお、図5-3のスルー・レート切り替え機能は内蔵プルアップ抵抗が非接続時でも有効です。

# 第6章 保護・検知機能と診断出力

RL78/F1Aのアナログ部は次の保護・検知機能があります。

- 過電流保護機能
- 過熱検知機能

表6-1 アナログ部の保護・検知回路の作動/復帰条件

機能ブロック		保護回路	作動条件	復帰条件	
電源回路	レギュレータ出力	過電流保護	レギュレータ出力が過電流状態に	レギュレータ出力の過電流状	
			なったとき	態が解消される	
	外部センサ用電源出力	過電流保護	外部センサ用電源出力が過電流状	SVDDEN端子をロウ・レベルに	
			態になったとき	する	
LINトランシーバ回路		過電流保護	LINドライバが過電流状態になった	TxL端子をハイ・レベルにする	
			とき		
過熱検知回	路	過熱検知	過熱検知温度を超えたとき	チップ温度が下がる	

### 6.1 過電流保護機能

### 6.1.1 電源回路

電源回路にはレギュレータ出力と外部センサ用電源出力に過電流保護機能を内蔵しています。詳細は「4.4 過電流保護機能」を参照してください。

### 6.1.2 LINトランシーバ回路

LINトランシーバ回路には過電流保護機能を内蔵しています。詳細は「5.2 過電流保護機能」を参照してください。

# 6.2 過熱検知機能

過熱検知機能は、異常発生時の過熱による破壊や劣化を防止するために使用する機能です。アナログ部が検出温度 (MIN.: 160°C) を超えた場合、DIAG端子がロウ・レベルになります。

注意 過熱検知機能はシステム異常時におけるデバイスの保護を目的としています。

外部からの加熱や温度監視目的など、積極的な使用は避けてください。

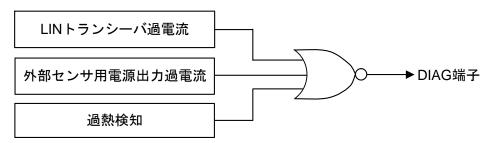
# 6.3 診断出力回路

下記いずれかの状態になると、保護回路および検知回路が作動して、DIAG端子からロウ・レベルを出力します。復帰するための条件については表6-1を参照してください。

- ・LINトランシーバ過電流:LINドライバが過電流状態になる
- ・外部センサ用電源出力過電流:外部センサ用電源出力が過電流状態になる
- ・過熱検知:チップが過熱検知温度を超える状態になる

図6-1に診断出力回路のブロック図を示します。

図6-1 診断出力回路のブロック図



# 第7章 電気的特性(Lグレード)

本章ではRL78/F1Aの電気的特性(Lグレード)について説明します。本章をご覧いただく際には、必ず最新版の RL78/F13のユーザーズ・マニュアルの「第34章 電気的特性(Lグレード)」を合わせてご覧ください。

# 7.1 絶対最大定格

絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。各項目のうち1項目でも、また一瞬でも定格値を超えると、製品の品質を損なう恐れがあります。必ずこの定格値を超えない状態で製品をご使用ください。

## 7.1.1 マイクロコントローラ部とアナログ部の共通の絶対最大定格

項目	略号	条件	定格値	単位
動作周囲温度	TA		-40~+105	°C
保存温度	T <sub>stg</sub>		<b>−65~+150</b>	°C
ジャンクション温度	$T_{jmax}$		150	°C

# 7.1.2 マイクロコントローラ部の絶対最大定格

項目	略号		条件	定格値	単位
電源電圧	V <sub>DD</sub>			-0.5~+6.5	V
	Vss			-0.5~+0.3	V
REGC端子入力電圧	VIREGC	REGC		−0.3 <b>~</b> +2.8	V
				かつ-0.3~V <sub>DD</sub> +0.3 <sup>注1</sup>	
入力電圧	VI1	P10-P17, P30, P40, P41, P60-P63, P120, P125		-0.3~V <sub>DD</sub> +0.3 <sup>注2</sup>	V
	V <sub>12</sub>	P33, P34, P	80-P85, P121, P122, P137, RESET	-0.3~V <sub>DD</sub> +0.3 <sup>注2</sup>	V
出力電圧	V <sub>01</sub>	P10-P17, P3	30, P40, P41, P60-P63, P120, P125	-0.3~V <sub>DD</sub> +0.3 <sup>注2</sup>	V
	V <sub>O2</sub>	P33, P34, P	80-P85	-0.3~V <sub>DD</sub> +0.3	V
アナログ入力電圧	V <sub>AI1</sub>	ANI24, ANI2	25	-0.3~V <sub>DD</sub> +0.3	V
				かつ-0.3~AV <sub>REF (+)</sub> +0.3 <sup>注2, 3</sup>	
	V <sub>Al2</sub>	ANI0-ANI7		-0.3~V <sub>DD</sub> +0.3	V
				かつ-0.3~AV <sub>REF (+)</sub> +0.3 <sup>注2, 3</sup>	
ハイ・レベル出力電流	Іон1	1端子	P10-P17, P30, P40, P41, P60-P63,	-40	mA
			P120, P125		
		端子合計	P40, P41, P120, P125	-70	mA
		-170 mA	P10-P17, P30, P60-P63	-100	mA
	Іон2	1端子	P33, P34, P80-P85	-0.5	mA
		端子合計		-2	mA
ロウ・レベル出力電流	lo <sub>L1</sub>	1端子	P10-P17, P30, P40, P41, P60-P63,	40	mA
			P120, P125		
		端子合計	P40, P41, P120, P125	70	mA
		170 mA	P10-P17, P30, P60-P63	100	mA
	lol2	1端子	P33, P34, P80-P85	1	mA
		端子合計		5	mA

注1. REGC端子にはコンデンサ  $(0.47\sim1\mu\,\mathrm{F})$  を介してVssに接続してください。この値はREGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

- 2. 6.5V以下であること。
- 3. A/D変換対象の端子はAVREF (+)+0.3を越えないでください。

# 7.1.3 アナログ部の絶対最大定格

アナログ部絶対最大定格 (TA = 25°C)

項目	略号	条件	定格値	単位
電源電圧	V <sub>SUP1</sub>	SUP	-0.3~+40	V
入力電圧	V <sub>IA1</sub>	LIN, OC	-0.3~+40	٧
	V <sub>IA2</sub>	VRS	-0.3~+6.5	٧
	VIA3	MOD1, MOD2, MSLP, PU, SVDDEN, TxL, TMOD, TSDA	−0.3~VRS+0.3 <sup>注1</sup>	<b>&gt;</b>
LIN負入力電圧	VILlin	LIN, 7 V≦Vsup≦19 V, 1s	V <sub>SUP</sub> -40	٧
出力電圧	V <sub>OA1</sub>	LIN, VRO	-0.3~+40	٧
	V <sub>OA2</sub>	SVDD	-0.3~+6.5	٧
	Vоаз	RxL, DIAG	-0.3~VRS+0.3 <sup>注1</sup>	٧
出力電流	Iro	VRO	セルフ・リミット <sup>注2</sup>	mA
	Isvdd	SVDD	セルフ・リミット <sup>注2</sup>	mA
	ILIN	LIN	セルフ・リミット <sup>注2</sup>	mA
	Іоа	RxL, DIAG	-10~+10	mA

注1. 6.5V以下であること。

<sup>2.</sup> 過電流制限回路により電流制限がかかる電流値です。

## 7.2 マイクロコントローラ部の電気的特性

#### 7.2.1 発振回路特性

(1) メイン・システム・クロック発振回路特性

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子/ 水晶振動子	Vss X1 X2 Rd Rd C1 C2 mm	X1クロック発振周波数(fx)	2.7V≦V <sub>DD</sub> ≦5.5V	1.0		20.0	MHz

- 注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。
  - ・配線は極力短くする。
  - ・他の信号線と交差させない。
  - ・変化する大電流が流れる線に接近させない。
  - ・発振回路のコンデンサの接地点は、常にVssと同電位になるようにする。
  - ・大電流が流れるグランド・パターンに接地しない。
  - ・発振回路から信号を取り出さない。
  - 2. 発振子の選択および発振回路定数については、発振子メーカ様にお問い合わせいただく等、お客様にて決めてください。また、お客様のシステムにて十分な発振評価をしてください。X1クロックの発振安定時間は、使用する発振子で発振安定時間を十分に評価してから、発振安定時間カウンタ状態レジスタ(OSTC)と発振安定時間選択レジスタ(OSTS)で発振安定時間を決定してください。

#### (2) オンチップ・オシレータ特性

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} 0V)$ 

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ	fıн		1		64	MHz
発振周波数 <sup>注</sup>						
高速オンチップ・オシレータ	_		-2		+2	%
発振周波数精度						
低速オンチップ・オシレータ	fı∟,			15		kHz
発振周波数	<b>f</b> wdt					
低速オンチップ・オシレータ	_		-15		+15	%
発振周波数精度						

注 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H/020C2H) のビット0-4およびHOCODIVレジスタのビット0-2によって選択します。

#### (3) PLL回路特性

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

発振子	略号	条件		MIN.	TYP.	MAX.	単位
PLL入力可能クロック周波数 <sup>注1</sup>	f <sub>PLLI</sub>	PLLMUL = 0	PLLDIV0 = 0	3.92	4.0	4.08	MHz
			PLLDIV0 = 1	7.84	8.0	8.16	MHz
		PLLMUL = 1	PLLDIV0 = 0	3.92	4.0	4.08	MHz
			PLLDIV0 = 1	7.84	8.0	8.16	MHz
PLL出力周波数(センター値)	<b>f</b> PLLO	PLLMUL = 0	PLLDIV0 = 0	f <sub>PLLI</sub> ×12/2			MHz
			PLLDIV0 = 1		f <sub>PLLI</sub> ×12/4		MHz
		PLLMUL = 1	PLLDIV0 = 0	f <sub>PLLI</sub> ×16/2		MHz	
			PLLDIV0 = 1		f <sub>PLLI</sub> ×16/4		MHz
ロングターム・ジッタ <sup>注2,3</sup>	t⊔	f <sub>PLLO</sub> = 24MHz (480	)カウント)	-2		+2	ns
		f <sub>PLLO</sub> = 32MHz(640カウント)		-2		+2	ns
		f <sub>PLLO</sub> = 48MHz (960	-2		+2	ns	
		f <sub>PLLO</sub> = 64MHz (128	30カウント)	-2		+2	ns

- 注1. PLL入力クロックが高速オンチップ・オシレータ・クロックの場合、MIN, MAX値は高速オンチップ・オシレータ発振周波数精度の範囲になります。
  - 2. 本特性は設計保証値であり、出荷時のテストは行いません。
  - 3. 20µsの期間を意味しています。

## 7.2.2 DC特性

#### (1) 端子特性

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

(1/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 <sup>注1</sup>	Іон1	P10-P17, P30, P40, P41,	4.0V≦V <sub>DD</sub> ≦5.5V			-5.0	mA
		P60-P63, P120, P125	2.7V≦V <sub>DD</sub> <4.0V			-3.0	mA
		1端子					
		P10, P12, P14, P30, P120	4.0V≦V <sub>DD</sub> ≦5.5V			-0.6	mA
		1端子(特殊スルー・レート)	2.7V≦V <sub>DD</sub> <4.0V			-0.2	mA
		P40, P41, P120, P125	4.0V≦V <sub>DD</sub> ≦5.5V			-20.0	mA
		合計	2.7V≦V <sub>DD</sub> <4.0V			-10.0	mA
		(デューティ≦70%時 <sup>注2</sup> )					
		P10-P17, P30, P60-P63	4.0V≦V <sub>DD</sub> ≦5.5V			-30.0	mA
		合計	2.7V≦V <sub>DD</sub> <4.0V			-19.0	mA
		(デューティ≦70%時 <sup>注2</sup> )					
		全端子合計	4.0V≦VDD≦5.5V			-50.0	mA
		(デューティ≦70%時 <sup>注2</sup> )	2.7V≦V <sub>DD</sub> <4.0V			-29.0	mA
	10н2	P33, P34, P80-P85	2.7V≦VDD≦5.5V			-0.1	mA
		1端子					
		端子合計	2.7V≦VDD≦5.5V			-0.8	mA
		(デューティ≦70%時 <sup>注2</sup> )					

- 注1. Vpp端子から出力端子に流れ出してもデバイスの動作を保証する電流値です。
  - 2. デューティ≦ 70%の条件での電流の値です。

デューティ>70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn %に変更する場合)。

・端子合計の出力電流=(IoH×0.7)/(n×0.01)

<計算例> IOH = -10.0 mAの場合, n = 80 %

端子合計の出力電流= (-10.0×0.7) / (80×0.01) ≒ -8.7 mA

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せ ません。

注意 P10-P17, P60-P63, P120は、N-chオープン・ドレーン・モード時にはハイ・レベル出力しません。

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

(2/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 <sup>注1</sup>	lo <sub>L1</sub>	P10-P17, P30, P40, P41,	4.0V≦V <sub>DD</sub> ≦5.5V			8.5	mA
		P60-P63, P120, P125	2.7V≦V <sub>DD</sub> <4.0V			4.0	mA
		1端子					
		P10, P12, P14, P30, P120	4.0V≦V <sub>DD</sub> ≦5.5V			0.59	mA
		1端子(特殊スルー・レート)	2.7V≦V <sub>DD</sub> <4.0V			0.07	mA
		P40, P41, P120, P125	4.0V≦V <sub>DD</sub> ≦5.5V			20.0	mA
		合計	2.7V≦V <sub>DD</sub> <4.0V			15.0	mA
		(デューティ≦70%時 <sup>注2</sup> )					
		P10-P17, P30, P60-P63	4.0V≦V <sub>DD</sub> ≦5.5V			45.0	mA
		合計	2.7V≦V <sub>DD</sub> <4.0V			35.0	mA
		(デューティ≦70%時 <sup>注2</sup> )					
		全端子合計	4.0V≦V <sub>DD</sub> ≦5.5V			65.0	mA
		(デューティ≦70%時 <sup>注2</sup> )	2.7V≦V <sub>DD</sub> <4.0V			50.0	mA
	lol2	P33, P34, P80-P85	2.7V≦V <sub>DD</sub> ≦5.5V			0.4	mA
		1端子					
		端子合計	2.7V≦V <sub>DD</sub> ≦5.5V			3.2	mA
		(デューティ≦70%時 <sup>注2</sup> )					

- 注1. 出力端子からVss端子に流れ込んでも、デバイスの動作を保証する電流値です。
- ★ 2. デューティ≦ 70 %の条件での電流の値です。

デューティ>70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn %に変更する場合)。

・端子合計の出力電流 = (loL×0.7) / (n×0.01)

<計算例> IoL = 10.0 mAの場合, n = 80 %

端子合計の出力電流= (10.0×0.7) / (80×0.01) ≒ 8.7 mA

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

(3/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V <sub>IH1</sub>	P10-P17, P30, P40, P41,	4.0 V≦V <sub>DD</sub> ≦5.5 V	0.65 V <sub>DD</sub>		V <sub>DD</sub> 注	V
		P60-P63, P120, P125 (Schmitt 1モード)	2.7 V≦V <sub>DD</sub> <4.0 V	0.7 V <sub>DD</sub>		V <sub>DD</sub> <sup>注</sup>	V
	V <sub>IH2</sub>	P10, P11, P13, P14, P16,	4.0 V≦VDD≦5.5 V	0.8 V <sub>DD</sub>		VDD <sup>注</sup>	V
		P17, P30, P60-P63, P125 (Schmitt 3モード)	2.7 V≦V <sub>DD</sub> <4.0 V	0.85 V <sub>DD</sub>		V <sub>DD</sub> 注	V
	V <sub>IH3</sub>	P10, P11, P13, P14, P16,	4.0 V≦VDD≦5.5 V	2.2		V <sub>DD</sub> 注	٧
		P17, P30, P62, P63, P125 (TTLモード)	2.7 V≦V <sub>DD</sub> <4.0 V	2.0		V <sub>DD</sub> 注	<b>&gt;</b>
	V <sub>IH4</sub>	P33, P34, P80-P85, P137	4.0 V≦V <sub>DD</sub> ≦5.5 V	0.8 V <sub>DD</sub>		V <sub>DD</sub>	V
		(Schmitt 3モード固定)	2.7 V≦V <sub>DD</sub> <4.0 V	0.85 V <sub>DD</sub>		V <sub>DD</sub>	V
	V <sub>IH5</sub>	RESET	4.0 V≦V <sub>DD</sub> ≦5.5 V	0.65 V <sub>DD</sub>		V <sub>DD</sub>	V
		(Schmitt 1モード固定)	2.7 V≦V <sub>DD</sub> <4.0 V	0.7 V <sub>DD</sub>		V <sub>DD</sub>	V
	VIH6	P121, P122, X1, X2, EXCLK	4.0 V≦V <sub>DD</sub> ≦5.5 V	0.8 V <sub>DD</sub>		V <sub>DD</sub>	V
		(Schmitt 2モード固定)	2.7 V≦V <sub>DD</sub> <4.0 V	0.8 V <sub>DD</sub>		V <sub>DD</sub>	٧
ロウ・レベル入力電圧	VIL1	P10-P17, P30, P40, P41,	4.0 V≦VDD≦5.5 V	0		0.35 VDD	V
		P60-P63, P120, P125 (Schmitt 1モード)	2.7 V≦V <sub>DD</sub> <4.0 V	0		0.3 V <sub>DD</sub>	V
	V <sub>IL2</sub>	P10, P11, P13, P14, P16,	4.0 V≦V <sub>DD</sub> ≦5.5 V	0		0.5 V <sub>DD</sub>	V
		P17, P30, P60-P63, P125 (Schmitt 3モード)	2.7 V≦V <sub>DD</sub> <4.0 V	0		0.4 V <sub>DD</sub>	٧
	V <sub>IL3</sub>	P10, P11, P13, P14, P16,	4.0 V≦V <sub>DD</sub> ≦5.5 V	0		0.8	V
		P17, P30, P62, P63,P125 (TTLモード)	2.7 V≦V <sub>DD</sub> <4.0 V	0		0.5	V
	VIL4	P33, P34, P80-P85, P137	4.0 V≦VDD≦5.5 V	0		0.5 V <sub>DD</sub>	V
		(Schmitt 3モード固定)	2.7 V≦V <sub>DD</sub> <4.0 V	0		0.4 V <sub>DD</sub>	V
	V <sub>IL5</sub>	RESET	4.0 V≦VDD≦5.5 V	0		0.35 V <sub>DD</sub>	V
		(Schmitt 1モード固定)	2.7 V≦V <sub>DD</sub> <4.0 V	0		0.3 V <sub>DD</sub>	V
	VIL6	P121, P122, X1, X2, EXCLK	4.0 V≦VDD≦5.5 V	0		0.2 V <sub>DD</sub>	V
		(Schmitt 2モード固定)	2.7 V≦V <sub>DD</sub> <4.0 V	0		0.2 V <sub>DD</sub>	V

注 P10-P17, P60-P63, P120は、N-chオープン・ドレーン・モード時でもV<sub>IH</sub>の最大値はV<sub>DD</sub>です。

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

(1/2)

項目	略号	条件	‡	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V <sub>OH1</sub>	P10-P17, P30, P40, P41,	4.0 V≦V <sub>DD</sub> ≦5.5 V,	V <sub>DD</sub> -0.9			V
		P60-P63, P120, P125	$I_{OH1} = -5.0 \text{ mA}$				
		(通常スルー・レート)	2.7 V≦VDD≦5.5 V,	V <sub>DD</sub> -0.7			٧
			$I_{OH1} = -3.0 \text{ mA}$				
			2.7 V≦V <sub>DD</sub> ≦5.5 V,	V <sub>DD</sub> -0.5			V
			$I_{OH1} = -1.0 \text{ mA}$				
	V <sub>OH2</sub>	P33, P34, P80-P85	2.7 V≦VDD≦5.5 V	V <sub>DD</sub> -0.5			٧
			$I_{OH2} = -100  \mu A$				
	Vонз	P10, P12, P14, P30, P120	4.0 V≦VDD≦5.5 V,	V <sub>DD</sub> -0.8			٧
		(特殊スルー・レート)	$I_{OH3} = -0.6 \text{ mA}$				
			2.7 V≦VDD≦5.5 V,	V <sub>DD</sub> -0.5			V
			$I_{OH3} = -0.2 \text{ mA}$				
ロウ・レベル出力電圧	V <sub>OL1</sub>	P10-P17, P30, P40, P41,	4.0 V≦V <sub>DD</sub> ≦5.5 V,			0.7	٧
		P60-P63, P120, P125	I <sub>OL1</sub> = 8.5 mA				
		(通常スルー・レート)	4.0 V≦V <sub>DD</sub> ≦5.5 V,			0.4	٧
			I <sub>OL1</sub> = 4.0 mA				
			2.7 V≦VDD≦5.5 V,			0.7	٧
			I <sub>OL1</sub> = 4.0 mA				
			2.7 V≦VDD≦5.5 V,			0.4	V
			I <sub>OL1</sub> = 1.5 mA				
	V <sub>OL2</sub>	P33, P34, P80-P85	2.7 V≦VDD≦5.5 V			0.4	V
			I <sub>OL2</sub> = 400 μA				
	Vol3	P10, P12, P14, P30, P120	4.0 V≦V <sub>DD</sub> ≦5.5 V,			0.8	٧
		(特殊スルー・レート)	I <sub>OL3</sub> = 0.6 mA				
			2.7 V≦VDD≦5.5 V,			0.5	٧
			I <sub>OL3</sub> = 0.07 mA				

注意 P10-P17, P60-P63, P120は、N-chオープン・ドレーン・モード時にはハイ・レベル出力しません。

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

(2/2)

項目	略号	:	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク	I <sub>LIH1</sub>	P10-P17, P30, P40, P41,	$V_I = V_{DD}$				1	μΑ
電流		P60-P63, P120, P125						
	ILIH2		$V_I = V_{DD}$				1	$\mu A$
		RESET		1				
	Інз	P121, P122	$V_I = V_{DD}$	入力ポート時、			1	$\mu$ A
		(X1, X2, EXCLK)		外部クロック入力時				
				発振子接続時			10	μΑ
ロウ・レベル入力リーク	ILIL1	P10-P17, P30, P40, P41,	Vı = Vss				-1	$\mu$ A
電流		P60-P63, P120, P125						
	ILIL2	P33, P34, P80-P85, P137,	Vı = Vss				-1	$\mu$ A
		RESET						
	ILIL3	P121, P122	Vı = Vss	入力ポート時、			-1	μΑ
		(X1, X2, EXCLK)		外部クロック入力時				
				発振子接続時			-10	μΑ
内蔵プルアップ抵抗	R∪	P10-P17, P30, P40, P41,	VI = VSS,	入力ポート時	10	20	100	kΩ
		P60-P63, P120, P125						

注意 P10-P17, P60-P63, P120は、N-chオープン・ドレーン・モード時にはハイ・レベル出力しません。

#### (2) 電源電流特性

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

(1/3)

項目	略号			条件			MIN.	TYP.	MAX.	単位
電源電流 <sup>注1</sup>	I <sub>DD1</sub>	動作	通常動作 <sup>注2</sup>	高速オンチップ・	f <sub>IH</sub> = 64 MHz	fclk = 32 MHz		6.5	14.0	mA
		モード		オシレータ・クロ		注3, 4				
				ック動作	fıн = 32 MHz	fclk = fiH <sup>注3, 4</sup>		6.1	13.0	mA
					f <sub>IH</sub> = 1 MHz	fclk = fiH <sup>注3, 4</sup>		1.0	2.5	mA
				発振子動作	f <sub>MX</sub> = 20 MHz	fclk = f <sub>MX</sub> <sup>注3, 5</sup>		4.2	9.0	mA
					f <sub>MX</sub> = 1 MHz	fclk = f <sub>MX</sub> 注3,5		0.9	2.5	mA
				発振子動作	f <sub>PLL</sub> = 64 MHz,	fclk = 32 MHz		6.4	14.0	mA
				(PLL動作)	f <sub>MX</sub> = 8 MHz	注3, 6				
				(PLL入力クロッ	f <sub>PLL</sub> = 32 MHz,	fclk = 32 MHz		6.3	13.5	mA
				ク = f <sub>MX</sub> )	f <sub>MX</sub> = 8 MHz	注3, 6				
					f <sub>PLL</sub> = 32 MHz,	fclk = 32 MHz		6.1	13.0	mA
					f <sub>MX</sub> = 4 MHz	注3, 6				
				低速オンチップ・	fı∟ = 15 kHz	fclk = fil <sup>注7</sup>		3.0	40.0	$\mu$ A
				オシレータ・クロ						
				ック動作						

- 注1. Vooに流れるトータル電流です。入力端子をVooまたはVssに固定した状態での入力リーク電流を含みます。ただし、I/Oバッファ、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。
  - 2. CPU全命令実行時の電流。
  - 3. MAX.値にはバックグランド・オペレーション(BGO)動作を除く周辺動作電流を含みます。ただし、LVD回路、A/Dコンバータは停止。
  - 4. 高速システム・クロック、PLLクロックおよび低速オンチップ・オシレータ・クロック停止時。
  - 5. PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
  - 6. 高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
  - 7. 高速システム・クロック、PLLクロックおよび高速オンチップ・オシレータ・クロック停止時。

備考1. fmx:高速システム・クロック周波数

2. fpll: PLLクロック周波数

3. fin: 高速オンチップ・オシレータ・クロック周波数

4. f<sub>L</sub>: 低速オンチップ・オシレータ・クロック周波数

5. fclk: CPU/周辺ハードウェア・クロック周波数

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

(2/3)

項目	略号			条件			MIN.	TYP.	MAX.	単位
電源電流注1,3	I <sub>DD2</sub>	HALT モード <sup>注2</sup>	通常動作 <sup>注4</sup>	高速オンチップ・ オシレータ・	f <sub>ін</sub> = 64 MHz	fс∟к = 32 MHz ѝ <sup>6</sup>		1.2	10.0	mA
				クロック動作	f <sub>IH</sub> = 32 MHz	fclk = fiH <sup>注6</sup>		1.0	9.0	mA
					fiн = 1 MHz	fclк = fін <sup>注6</sup>		0.3	1.5	mA
				発振子動作	f <sub>MX</sub> = 20 MHz	fclk = fmx <sup>注7</sup>		0.6	6.0	mA
					f <sub>MX</sub> = 1 MHz	fclk = fmx <sup>注7</sup>		0.2	1.5	mA
				発振子動作	f <sub>PLL</sub> = 64 MHz,	fclk = 32 MHz		1.1	10.0	mA
				(PLL動作)	f <sub>MX</sub> = 8 MHz	注8				
				(PLL入力クロ	f <sub>PLL</sub> = 32 MHz,	fclk = 32 MHz		1.0	9.5	mA
				ック = f <sub>MX</sub> )	f <sub>MX</sub> = 8 MHz	注8				
					f <sub>PLL</sub> = 32 MHz,	fclk = 32 MHz		8.0	9.0	mA
					f <sub>MX</sub> = 4 MHz	注8				
				低速オンチップ・	f∟ = 15 kHz	fclk = fil <sup>注9</sup>		0.7	35.0	$\mu A$
				オシレータ・						
				クロック動作						
	I <sub>DD3</sub>	STOP		T <sub>A</sub> = +25°C				0.5		μΑ
		モード <sup>注5</sup>		T <sub>A</sub> = +50°C					2.5	
				T <sub>A</sub> = +70°C					4.5	
				T <sub>A</sub> = + 105°C					30.0	

- 注1. Vpoに流れるトータル電流です。入力端子をVpoまたはVssに固定した状態での入力リーク電流を含みます。ただし、I/Oバッファ、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。
  - 2. フラッシュ・フェッチ中にHALTモードに遷移した場合です。
  - 3. MAX.値には周辺動作電流、STOPリーク電流を含みます。ただし、ウォッチドッグ・タイマ、LVD回路、A/Dコンバータは停止。
  - 4. CPU全命令実行時の電流。
  - 5. 高速システム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時.
  - 6. 高速システム・クロック、PLLクロックおよび低速オンチップ・オシレータ・クロック停止時。
  - 7. PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
  - 8. 高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
  - 9. 高速システム・クロック、PLLクロックおよび高速オンチップ・オシレータ・クロック停止時。

備考1. fmx: 高速システム・クロック周波数

2. fpll: PLLクロック周波数

3. f<sub>H</sub>:高速オンチップ・オシレータ・クロック周波数

4. f<sub>L</sub>: 低速オンチップ・オシレータ・クロック周波数

5. fclk: CPU/周辺ハードウェア・クロック周波数

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

(3/3)

項目	略号		条件			MIN.	TYP.	MAX.	単位
電源電流	Isnoz	SNOOZEモード	A/Dコンパレータ動作	モード遷移中	1		1.0	1.2	mA
注1, 2				変換動作中	標準モード		2.1	2.5	mA
					$AV_{REFP} = V_{DD} = 5.0V$				
			DTC動作				4.5		mA

- 注1. Vooに流れるトータル電流です。入力端子をVooまたはVssに固定した状態での入力リーク電流を含みます。ただし、I/Oバッファ、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。
  - 2. MAX.値にはSTOPリーク電流を含みます。

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号	ş	<b>条件</b>	MIN.	TYP.	MAX.	単位
ウィンドウ・ウォッチ	Iwdt <sup>注1, 2</sup>	fı∟ = 15 kHz			0.22		$\mu$ A
ドッグ・タイマ							
動作電流							
A/Dコンバータ	IADC <sup>注3</sup>	最高速変換時	標準モード		1.3	1.7	mA
動作電流			AV <sub>REFP</sub> = V <sub>DD</sub> = 5.0 V				
		内部基準電圧選択時 <sup>注5</sup>			75.0		μΑ
LVD動作電流	ILVD <sup>注4</sup>				0.08		μΑ
温度センサ動作電流	ITMPS				75.0		μΑ
BGO動作電流	Iвgo <sup>注6</sup>				2.50	12.20	mA

- 注1. 高速オンチップ・オシレータ・クロック、高速システム・クロックは停止時。
  - 2. ウォッチドッグ・タイマにのみ流れる電流です(15 kHzオンチップ・オシレータの動作電流を含みます)。STOPモード時に ウォッチドッグ・タイマが動作中の場合、IDD1またはIDD2またはIDD2またはIDD3にINDTを加算した値が電流値となります。
  - 3. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、IDD1またはIDD2にIADC を加算した値が電流値となります。
  - 4. LVD回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVD回路が動作中の場合、lpp1または lpp2またはlpp3にlkvpを加算した値が電流値となります。
  - 5. 内部基準電圧選択時に増加する動作電流を示します。変換停止中にも流れる電流です。
  - 6. BGOの動作電流です。動作モードまたはHALTモード時にBGOが動作中の場合、lop1またはlop2にlggoを加算した値が電流値となります。

## 7.2.3 AC特性

## (1) 基本動作

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

(1/2)

項目	略号	条	<b>条件</b>	MIN.	TYP.	MAX.	単位
命令サイクル	Тсч	高速オンチップ・オシレー	ータ・クロック動作	0.03125		1	μS
(最小命令実行時間)		高速システム・クロック	ク動作	0.05		1	μS
		PLLクロック動作		0.03125		1	μS
		低速オンチップ・オシし	レータ・クロック動作		66.6		μS
		セルフ・プログラミング	 诗	0.03125		1	μS
CPU/周辺ハードウェア・クロッ	fclk			0.03125		66.6	μS
ク周波数							
外部メイン・システム・クロック	fex			1.0		20.0	MHz
周波数	fexs			29		35	kHz
外部メイン・システム・クロック	texh, texl			24			ns
入力ハイ、ロウ・レベル幅	texHs,			13.7			μS
	<b>t</b> EXLS						
TI00-TI07, TI10-TI13入力ハイ・	t⊤⊩,			1/fмcк+10			ns
レベル幅、ロウ・レベル幅	t⊤∟						
TO00-TO07, TO10-TO13	<b>f</b> TO	すべてのTO端子	4.0V≦V <sub>DD</sub> ≦5.5V			16	MHz
出力周波数		通常スルー・レート	2.7V≦V <sub>DD</sub> <4.0V			8	MHz
		C = 30 pF					
		TO01, TO06, TO07,				2	MHz
		TO11, TO13のみ					
		特殊スルー・レート					
		C = 30 pF					
タイマRJ入力サイクル	<b>t</b> c	TRJIO0		100			ns
タイマRJ入力ハイ・レベル幅、	twн,	TRJIO0		40			ns
ロウ・レベル幅	tw∟						
割り込み入力ハイ・レベル幅、	tınth,	INTP0-INTP5 <sup>注</sup>		1			μS
ロウ・レベル幅	<b>t</b> INTL						
KR0-KR5キー割り込み入力	<b>t</b> kr			250			ns
ロウ・レベル幅							
RESETロウ・レベル幅	<b>t</b> RSL			10			μS

注 RESET, INTPO-INTP3にはMIN. 100 nsのノイズ・フィルタを持ちます。

注意 発振周波数精度誤差を除きます。

備考 fmck:タイマ・アレイ·ユニットの動作クロック周波数。

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

(2/2)

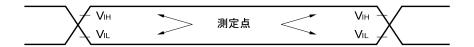
項目	略号	条	件	MIN.	TYP.	MAX.	単位
ポート出力立ち上がり時間,	t <sub>RO</sub> ,	P10-P17, P30, P40,	4.0V≦VDD≦5.5V			25	ns
立ち下がり時間	uo	P41, P60-P63, P120, P125 (通常スルー・レート) C = 30 pF	2.7V≦V <sub>DD</sub> <4.0V			55	ns
		P10, P12, P14, P30,	4.0V≦V <sub>DD</sub> ≦5.5V		25 <sup>注</sup>	60	ns
		P120 (特殊スルー・レート) C = 30 pF	2.7V≦V <sub>DD</sub> <4.0V			100	ns

注 T<sub>A</sub> = +25°C, V<sub>DD</sub> = 5.0 V時。

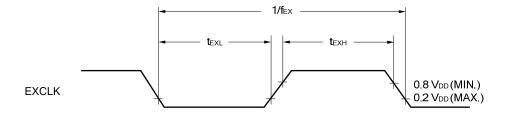
注意 発振周波数精度誤差を除きます。

備考 fmck:タイマ・アレイ・ユニットの動作クロック周波数。

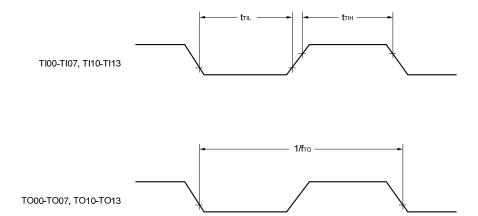
・ACタイミング測定点



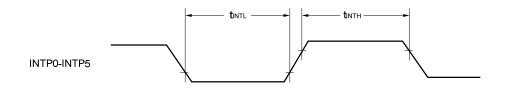
外部システム・クロック・タイミング



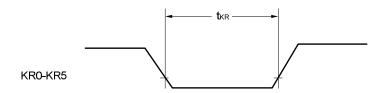
#### ・TI/TOタイミング



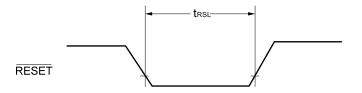
#### ・割り込み要求入力タイミング



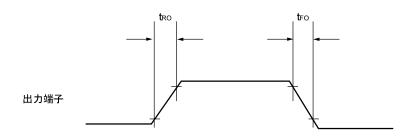
## キー割り込み入力タイミング



## ・RESET入力タイミング



## ・出力立ち上がり、立ち下がりタイミング



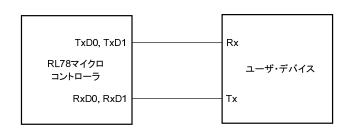
## 7.2.4 周辺機能特性

- (1) シリアル・アレイ・ユニット
- ・同電位通信時(UARTモード)(専用ボー・レート・ジェネレータ出力)

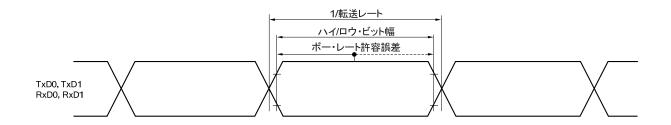
 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号		条件	MIN.	TYP.	MAX.	単位
転送レート	_					fмск/6	bps
		fclk = 32 MHz,	通常スルー・レート			5.3	Mbps
		fmck = fclk	特殊スルー・レート			2	Mbps

#### UARTモード接続図(同電位通信時)



UARTモードのビット幅(同電位通信時) (参考)



「注意 RxD0, RxD1端子は通常入力バッファ、TxD0, TxD1端子は通常出力モードを選択。

備考 fmck:シリアル・アレイ・ユニットの動作クロック周波数

・同電位通信時(CSIモード)(マスタ・モード、SCKp…内部クロック出力、通常スルー・レート)

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	<b>t</b> KCY1		125 <sup>注4</sup>			ns
SCKpハイ、ロウ・レベル幅	<b>t</b> кн1,	4.0V≦V <sub>DD</sub> ≦5.5V	txcy1/2-12			ns
	<b>t</b> KL1	2.7V≦V <sub>DD</sub> <4.0V	tkcy1/2-18			ns
Slpセットアップ時間	tsıĸı	4.0V≦Vpp≦5.5V	44			ns
(対SCKp↑) <sup>注1</sup>		2.7V≦V <sub>DD</sub> <4.0V	55			ns
SIpホールド時間	<b>t</b> ksi1		30			ns
(対SCKp↑) <sup>注1</sup>						
SCKp ↓→SOp出力遅延時間 <sup>注2</sup>	<b>t</b> KSO1	C = 30pF <sup>注3</sup>			40	ns

- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0の ときは"対SCKp↓"となります。
  - 2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0の ときは"対SCKp↑"となります。
  - 3. Cは、SCKp, SOp出カラインの負荷容量です。
  - 4. かつtкcY1≧4/fcLK
- 注意 SIp端子は通常入力バッファ、SOp, SCKp端子は通常出力モードを選択。

備考 p: CSIp (p=00,01,10) , m: ユニットm (m=0,1) , n: チャネルn (n=0,1)

・同電位通信時(CSIモード)(マスタ・モード、SCKp…内部クロック出力、特殊スルー・レート)

 $(T_A = -40 \sim +105^{\circ}C, 4.0V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	<b>t</b> KCY1		500注4			ns
SCKpハイ、ロウ・レベル幅	<b>t</b> кн1,		tkcy1/2-60			ns
	<b>t</b> KL1					
SIpセットアップ時間	<b>t</b> sıĸı		120			ns
(対SCKp↑) <sup>注1</sup>						
SIpホールド時間	<b>t</b> ksi1		80			ns
(対SCKp↑) <sup>洼1</sup>						
SCKp ↓ →SOp出力遅延時間 <sup>注2</sup>	<b>t</b> KSO1	C = 30pF <sup>注3</sup>			90	ns

- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは"対SCKp↓"となります。
  - 2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは"対SCKp↑"となります。
  - 3. Cは、SCKp, SOp出カラインの負荷容量です。
  - 4. かつtкcY1≧4/fcLK
- ★ 注意 SIp端子は通常入力バッファ、SOp, SCKp端子は通常出力モードかつ特殊スルー・レートを選択。

備考 p:CSIp (p=00,01,10), m:ユニットm (m=0,1), n:チャネルn (n=0,1)

・同電位通信時(CSIモード)(スレーブ・モード、 $\overline{\text{SCKp}}$ …外部クロック入力、通常スルー・レート)

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号		条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	<b>t</b> KCY2			8/fмск			ns
SCKpハイ、ロウ・レベル幅	<b>t</b> кн2,			tkcy2/2			ns
	<b>t</b> KL2						
SIpセットアップ時間	tsık2			1/fмcк+20			ns
(対SCKp↑) <sup>注1</sup>							
SIpホールド時間	t <sub>KSI2</sub>			1/fмcк+31			ns
(対SCKp↑) <sup>注1</sup>							
SCKp ↓ →SOp出力遅延時間 <sup>注2</sup>	<b>t</b> KSO2	C = 30 pF <sup>注3</sup>	4.0V≦V <sub>DD</sub> ≦5.5V			2/fmck+44	ns
			2.7V≦V <sub>DD</sub> <4.0V			2/fмcк+57	ns
SSIpセットアップ時間	tssik	DAP=0		120			ns
		DAP=1		1/fmck+120			ns
SSIpホールド時間	tkssı	DAP=0		1/fmck+120			ns
		DAP=1		120			ns

- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは"対SCKp↓"となります。
  - 2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは"対SCKp↑"となります。
  - 3. Cは、SCKp, SOp出カラインの負荷容量です。
- ★ 注意 SIp, SCKp端子およびSSIp端子は通常入力バッファ、SOp端子は通常出力モードを選択。

備考1.  $p:CSIp\;(p=00,\,01,\,10)$  , m: ユニットm  $\,(m=0,\,1)$  , n: チャネルn  $\,(n=0,\,1)$ 

2. fмcк: シリアル・アレイ・ユニットの動作クロック周波数

・同電位通信時(CSIモード)(スレーブ・モード、SCKp···外部クロック入力、特殊スルー・レート)

 $(T_A = -40 \sim +105^{\circ}C, 4.0V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

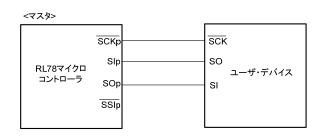
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	<b>t</b> KCY2	20MHz <fmck< td=""><td>10/fмск</td><td></td><td></td><td>ns</td></fmck<>	10/fмск			ns
		10MHz <fмск≦20mhz< td=""><td>8/fмск</td><td></td><td></td><td>ns</td></fмск≦20mhz<>	8/fмск			ns
		fмск≦10MHz	6/fмск			ns
SCKpハイ、ロウ・レベル幅	<b>t</b> кн2,		tkcy2/2			ns
	<b>t</b> KL2					
SIpセットアップ時間	tsık2		1/fmck+50			ns
(対SCKp↑) <sup>注1</sup>						
SIpホールド時間	tksi2		1/fmck+50			ns
(対SCKp↑) <sup>注1</sup>						
SCKp ↓ →SOp出力遅延時間 <sup>注2</sup>	<b>t</b> KSO2	C = 30 pF <sup>注3</sup>			2/fmck+80	ns
SSIpセットアップ時間	<b>t</b> ssık	DAP=0	120			ns
		DAP=1	1/fmck+120			ns
SSIpホールド時間	tkssi	DAP=0	1/fmck+120			ns
		DAP=1	120			ns

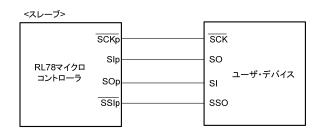
- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは"対SCKp↓"となります。
  - 2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは"対SCKp↑"となります。
  - 3. Cは、SCKp, SOp出カラインの負荷容量です。
- ★ 注意 SIp, SCKp端子およびSSIp端子は通常入力バッファ、SOp端子は通常出力モードかつ特殊スルー・レートを選択。

備考1. p:CSIp~(p=00,01,10) , m:ユニットm~(m=0,1) ,  $n:\mathcal{F}ャネルn~(n=0,1)$ 

2. fmck: シリアル・アレイ・ユニットの動作クロック周波数

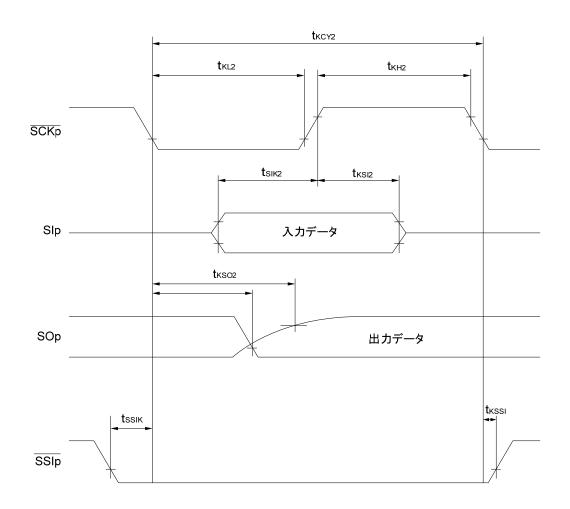
#### CSIモード接続図(同電位通信時)





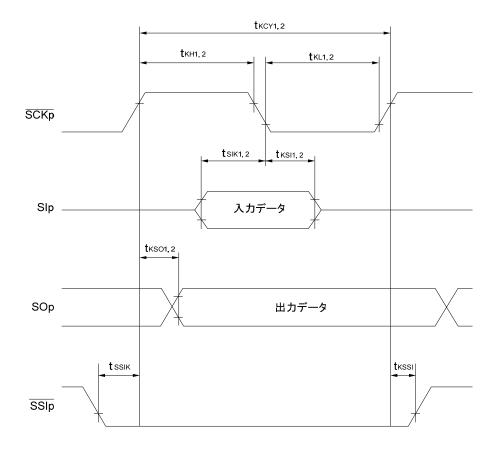
CSIモード・シリアル転送タイミング(同電位通信時)

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



備考 p: CSIp (p=00,01,10), m:ユニットm (m=0,1), n:チャネルn (n=0,1)

# CSIモード・シリアル転送タイミング(同電位通信時) (DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



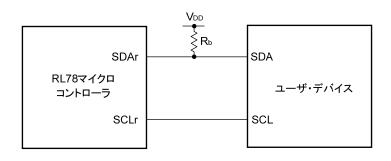
備考 p: CSIp (p=00,01,10), m: ユニットm (m=0,1), n: チャネルn (n=0,1)

・同電位通信時(簡易 $I^2$ Cモード)(SDArはN-chオープン・ドレーン出力(VDD耐圧)モード、SCLrは通常出力モード) (TA =  $-40 \sim +105^{\circ}$ C,  $2.7V \leq VDD \leq 5.5V$ , Vss = 0V)

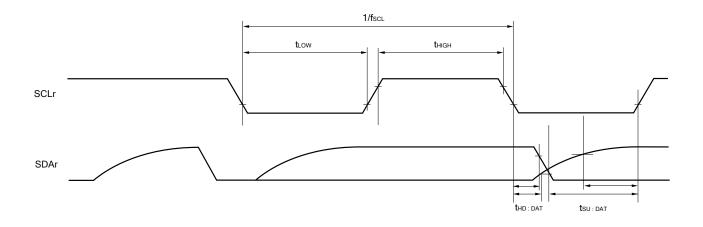
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLrクロック周波数	fscL				1000 <sup>注</sup>	kHz
SCLr = "L"のホールド・タイム	<b>t</b> LOW		475			ns
SCLr = "H"のホールド・タイム	<b>t</b> HIGH		475			ns
データ・セットアップ時間 (受信時)	tsu : DAT		1/fмcк+85			ns
データ・ホールド時間 (送信時)	thd : dat	$C_b = 50 pF, R_b = 2.7 k\Omega$	0		305	ns

注 かつfcLK≦fMCK/4

簡易I<sup>2</sup>Cモード接続図(同電位通信時)



簡易I<sup>2</sup>Cモード・シリアル転送タイミング(同電位通信時)



★ 注意 SDAr端子は通常入力バッファかつN-chオープン・ドレーン出力モード、SCLr端子は通常出力モードを選択。

備考1. R<sub>b</sub> [Ω]: 通信ライン(SDAr)プルアップ抵抗値、C<sub>b</sub> [F]: 通信ライン(SCLr, SDAr)負荷容量値

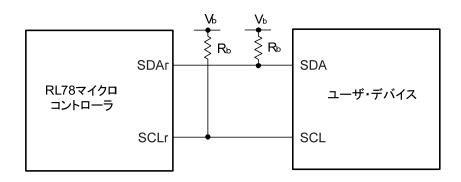
- 2. r: IICr (r = 00, 01, 10)
- 3. fмcк: シリアル・アレイ・ユニットの動作クロック周波数

・同電位通信時(簡易I<sup>2</sup>Cモード)(SDAr, SCLrはN-chオープン・ドレーン出力(VpD耐圧)モード) (T<sub>A</sub> = −40~+105°C, 2.7V≦VpD≦5.5V, Vss = 0V)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	fscL			400 <sup>注</sup>	kHz
SCLr = "L"のホールド・タイム	<b>t</b> LOW	4.0 V≦V <sub>DD</sub> ≦5.5 V,	1300		ns
		$C_b = 100 \text{ pF}, R_b = 1.7 \text{ k}\Omega$			
		2.7 V≦V <sub>DD</sub> <4.0 V,			
		$C_b = 100 \text{ pF}, R_b = 2.7 \text{ k}\Omega$			
SCLr = "H"のホールド・タイム	<b>t</b> HIGH	4.0 V≦V <sub>DD</sub> ≦5.5 V,	600		ns
		$C_b = 100 \text{ pF}, R_b = 1.7 \text{ k}\Omega$			
		2.7 V≦V <sub>DD</sub> <4.0 V,			
		$C_b = 100 \text{ pF}, R_b = 2.7 \text{ k}\Omega$			
データ・セットアップ時間(受信時)	tsu : dat	4.0 V≦V <sub>DD</sub> ≦5.5 V,	1/fmck+120		ns
		$C_b = 100 \text{ pF}, R_b = 1.7 \text{ k}\Omega$			
		2.7 V≦V <sub>DD</sub> <4.0 V,	1/fмск+270		ns
		$C_b = 100 \text{ pF}, R_b = 2.7 \text{ k}\Omega$			
データ・ホールド時間 (送信時)	thd : dat	4.0 V≦V <sub>DD</sub> ≦5.5 V,	0	300	ns
		$C_b = 100 \text{ pF}, R_b = 1.7 \text{ k}\Omega$			
		2.7 V≦V <sub>DD</sub> <4.0 V,			
		$C_b = 100 \text{ pF}, R_b = 2.7 \text{ k}\Omega$			

注 かつfcLk≦fмck/4

簡易I<sup>2</sup>Cモード接続図(同電位通信時)



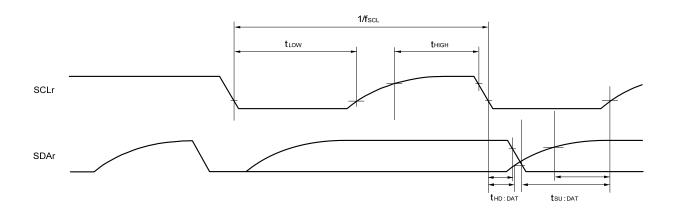
▶ 注意 SDAr, SCLr端子は通常入力バッファかつN-chオープン・ドレーン出力モードを選択。

備考1.  $R_b[\Omega]$ : 通信ライン(SDAr, SCLr) プルアップ抵抗値、 $C_b[F]$ : 通信ライン(SDAr, SCLr) 負荷容量値、

V₀ [V]: 通信ライン電圧

- 2. r: IICr (r = 00, 01, 10)
- 3. fмcк: シリアル・アレイ・ユニットの動作クロック周波数

# 簡易l<sup>2</sup>Cモード・シリアル転送タイミング(同電位通信時)



備考 r: IICr (r = 00, 01, 10)

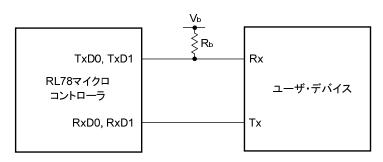
・異電位通信時(UARTモード)(TxD出力バッファ=N-chオープン・ドレーン、RxD入力バッファ=TTL)

 $(T_A = -40 \sim +105^{\circ}C, 4.0V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

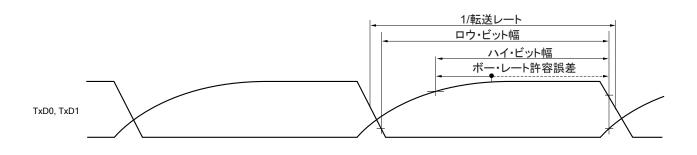
項目	略号		<b>条</b>	 牛	MIN.	TYP.	MAX.	単位
転送レート	_	受信	2.7 V≦Vb≦VDD,				fмск/6	bps
			V <sub>IH</sub> =2.2V,	最大転送レート理論値 <sup>注</sup>			5.3	Mbps
			V <sub>IL</sub> =0.8V	(C <sub>b</sub> =30 pF)				
		送信	2.7 V≦Vb≦VDD,				fмск/6と(式1)	bps
			V <sub>OH</sub> =2.2V,				の小さい方	
			V <sub>OL</sub> =0.8V	最大転送レート理論値 <sup>注</sup>			5.3	Mbps
				(C <sub>b</sub> =30 pF)				
				通常スルー・レート				

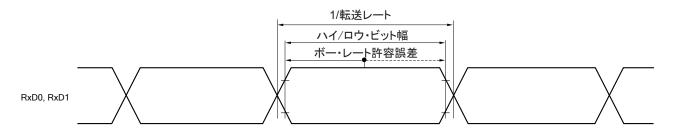
注 式1:最大転送レート=1/[{-Cb×Rb×ln(1-2.2/Vb)}×3]

#### UARTモード接続図(異電位通信時)



UARTモードのビット幅(異電位通信時) (参考)





★ 注意 RxD0, RxD1端子はTTL入力バッファ、TxD0, TxD1端子はN-chオープン・ドレーン出力モードを選択。

備考1.  $R_b[\Omega]$ : 通信ライン(TxD)プルアップ抵抗値、 $C_b[F]$ : 通信ライン(TxD)負荷容量値、

V₀ [V]: 通信ライン電圧

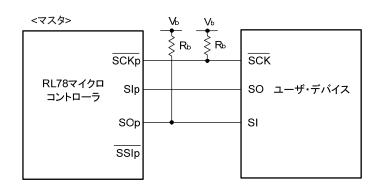
2. fmck: シリアル・アレイ・ユニットの動作クロック周波数

・異電位(3 V系)通信時(CSIモード)(マスタ・モード、SCKp···内部クロック出力、通常スルー・レート)
(TA = -40~+105°C, 4.0V≦VDD≦5.5V, Vss = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	tkcy1	$2.7V \le V_b \le V_{DD}$ , $C_b = 30pF$ , $R_b = 1.4k\Omega$	400 <sup>注3</sup>			ns
SCKpハイ・レベル幅	<b>t</b> кн1	2.7V $\leq$ V <sub>b</sub> $\leq$ V <sub>DD</sub> , C <sub>b</sub> = 30pF, R <sub>b</sub> = 1.4kΩ	txcy1/2-75			ns
SCKpロウ・レベル幅	<b>t</b> KL1	$2.7V \le V_b \le V_{DD}$ , $C_b = 30pF$ , $R_b = 1.4k\Omega$	tkcy1/2-20			ns
SIpセットアップ時間 (対SCKp↑) <sup>注1</sup>	<b>t</b> sıkı	2.7V ≤ $V_b$ ≤ $V_{DD}$ , $C_b$ = 30pF, $R_b$ = 1.4k $\Omega$	150			ns
Slpセットアップ時間 (対SCKp↓) <sup>注2</sup>	tsıĸı	$2.7V \leqq V_b \leqq V_{DD}$ , $C_b = 30pF$ , $R_b = 1.4k\Omega$	70			ns
Slpホールド時間 (対SCKp↑) <sup>注1</sup>	tksi1	2.7V≤V <sub>b</sub> ≤V <sub>DD</sub> , C <sub>b</sub> = 30pF, R <sub>b</sub> = 1.4kΩ	30			ns
Slpホールド時間 (対SCKp↓) <sup>注2</sup>	tksi1	2.7V ≤ $V_b$ ≤ $V_{DD}$ , $C_b$ = 30pF, $R_b$ = 1.4k $\Omega$	30			ns
SCKp ↓ →SOp出力遅延時間 <sup>注1</sup>	tkso1	2.7V≦V₀≦V₀D, C₀ = 30pF, R₀ = 1.4kΩ			120	ns
SCKp↑→SOp出力遅延時間 <sup>注2</sup>	tkso1	2.7V $\leq$ V <sub>b</sub> $\leq$ V <sub>DD</sub> , C <sub>b</sub> = 30pF, R <sub>b</sub> = 1.4kΩ			40	ns

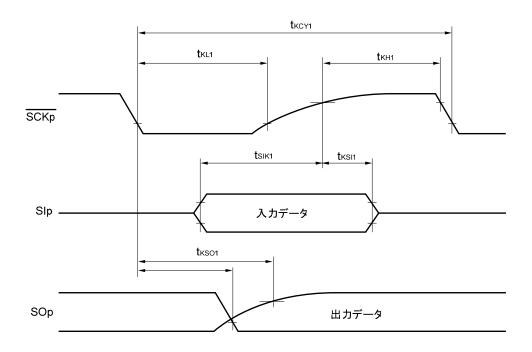
- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。
  - 2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。
  - 3. かつtкcy1≧4/fclk

#### CSIモード接続図(異電位通信時)

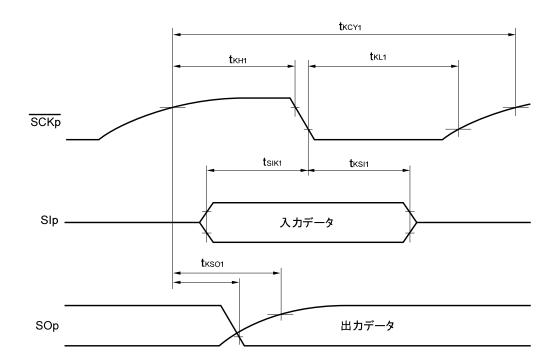


- ★ 注意 SIp端子はTTL入力バッファ、SOp, SCKp端子はN-chオープン・ドレーン出力モードを選択。
  - 備考1.  $R_b[\Omega]$ : 通信ライン( $\overline{SCKp}$ , SOp)プルアップ抵抗値、 $C_b[F]$ : 通信ライン(SOp,  $\overline{SCKp}$ )負荷容量値、 $V_b[V]$ : 通信ライン電圧
    - 2.  $p:CSIp~(p=00,\,01,\,10)$  , m: ユニットm  $\,(m=0,\,1)$  , n: チャネルn  $\,(n=0,\,1)$
    - 3. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のVHとVLを観測点としています。  $4.0~V~\le V_{DD} \le 5.5~V, 2.7~V \le V_{b} \le 4.0~V$ のとき: $V_{IH} = 2.2~V, V_{IL} = 0.8~V$

# CSIモード・シリアル転送タイミング:マスタ・モード(異電位通信時) (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング:マスタ・モード(異電位通信時) (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)

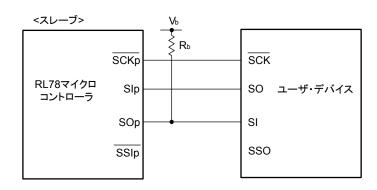


・異電位 (3V系) 通信時 (CSIモード) (スレーブ・モード、SCKp…外部クロック入力、通常スルー・レート) (TA = -40~+105°C, 4.0V≦Vpp≦5.5V, Vss = 0V)

項目	略号		条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	<b>t</b> KCY2	2.7V≦Vb≦VDD	24 MHz <fмck< td=""><td><b>14/f</b>мск</td><td></td><td></td><td>ns</td></fмck<>	<b>14/f</b> мск			ns
			20 MHz <fмcк≦24 mhz<="" td=""><td><b>12/f</b>мск</td><td></td><td></td><td>ns</td></fмcк≦24>	<b>12/f</b> мск			ns
			8 MHz <fмcк≦20 mhz<="" td=""><td>10/fмск</td><td></td><td></td><td>ns</td></fмcк≦20>	10/fмск			ns
			4 MHz <fмcк≦8 mhz<="" td=""><td>8/ƒмск</td><td></td><td></td><td>ns</td></fмcк≦8>	8/ƒмск			ns
			fмcк≦4 MHz	6/ƒмск			ns
SCKpハイ、ロウ・レベル幅	<b>t</b> кн2,	2.7V≦Vb≦VDD		tkcy2/2-20			ns
	<b>t</b> KL2						
SIpセットアップ時間	tsık2			90			ns
(対 <del>SCKp</del> ↑) <sup>注1</sup>							
SIpホールド時間	tksi2			1/fмcк+50			ns
(対 <mark>SCKp</mark> ↑) <sup>洼1</sup>							
SCKp ↓ →SOp出力遅延時間 <sup>注2</sup>	<b>t</b> KS02	2.7V≦V <sub>b</sub> ≦V <sub>DD</sub> ,	$C_b = 30 pF, R_b = 1.4 k\Omega$			2/fмcк+120	ns
 SSIpセットアップ時間	<b>t</b> ssık	DAP=0		120			ns
		DAP=1		1/fmck+120			ns
SSIpホールド時間	<b>t</b> kssi	DAP=0		1/fmck+120			ns
		DAP=1		120			ns

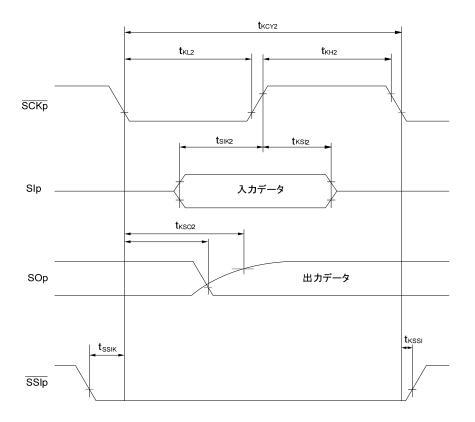
- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは"対SCKp↓"となります。
  - 2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは"対SCKp↑"となります。

#### CSIモード接続図(異電位通信時)

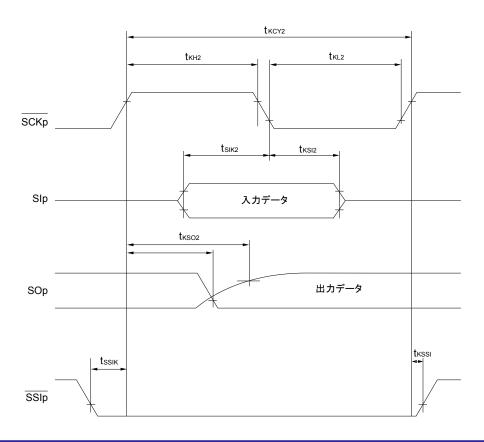


- ★ 注意 SIp, SCKp端子およびSSIp端子はTTL入力バッファ、SOp端子はN-chオープン・ドレーン出力モードを選択。
  - 備考1.  $R_b[\Omega]$ : 通信ライン(SOp)プルアップ抵抗値、 $C_b[F]$ : 通信ライン(SOp)負荷容量値、  $V_b[V]$ : 通信ライン電圧
    - 2. p: CSIp (p=00,01,10), m:ユニットm (m=0,1), n:チャネルn (n=0,1)
    - シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のVHとVLを観測点としています。
       4.0 V≦VD≦5.5 V, 2.7 V≦Vb≦4.0 Vのとき: VH = 2.2 V, VL = 0.8 V

# CSIモード・シリアル転送タイミング:スレーブ・モード(異電位通信時) (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング:スレーブ・モード(異電位通信時) (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



・異電位(3 V系)通信時(簡易I<sup>2</sup>Cモード)

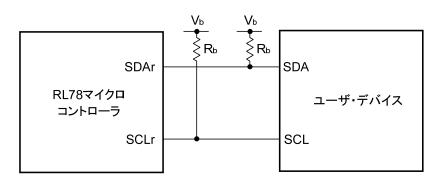
(SDArはTTL入力バッファ・モード、N-chオープン・ドレーン出力(Vpp耐圧)モード、SCLrはN-chオープン・ドレーン出力(Vpp耐圧)モード)

 $(T_A = -40 \sim +105^{\circ}C, 4.0V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

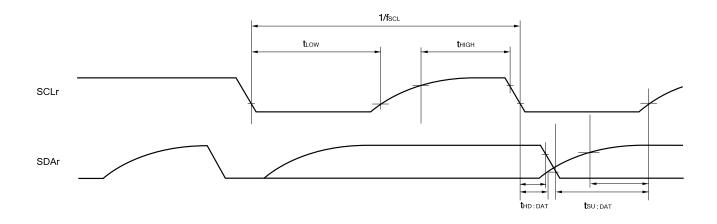
項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	fscL	$2.7V \le V_b \le 4.0V$ , $C_b = 100pF$ , $R_b = 1.4k\Omega$		400 <sup>注</sup>	kHz
SCLr = "L"のホールド・タイム	tLOW	2.7V $\leq$ V <sub>b</sub> $\leq$ 4.0V, C <sub>b</sub> = 100pF, R <sub>b</sub> = 1.4kΩ	1200		ns
SCLr = "H"のホールド・タイム	<b>t</b> HIGH	2.7V $\leq$ V <sub>b</sub> $\leq$ 4.0V, C <sub>b</sub> = 100pF, R <sub>b</sub> = 1.4kΩ	600		ns
データ・セットアップ時間(受信時)	tsu : DAT	2.7V $\leq$ V <sub>b</sub> $\leq$ 4.0V, C <sub>b</sub> = 100pF, R <sub>b</sub> = 1.4kΩ	135+1/fмск		ns
データ・ホールド時間(送信時)	thd : dat	$2.7V \le V_b \le 4.0V$ , $C_b = 100pF$ , $R_b = 1.4k\Omega$	0	140	ns

注 かつfscL≦fмcк/4

簡易 $I^2$ Cモード接続図(異電位通信時)



簡易I<sup>2</sup>Cモード・シリアル転送タイミング(異電位通信時)



★ 注意 SDAr端子はTTL入力バッファかつN-chオープン・ドレーン出力モード、SCLr端子はN-chオープン・ドレーン出力モードを選択。

備考1. R<sub>b</sub> [Ω]:通信ライン(SDAr, SCLr)プルアップ抵抗値、C<sub>b</sub> [F]:通信ライン(SDAr, SCLr)負荷容量値、

V₀ [V]:通信ライン電圧

2. fmck: シリアル・アレイ・ユニットの動作クロック周波数

#### (2) シリアル・インタフェース (IICA)

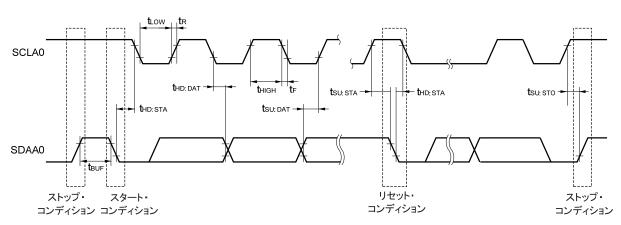
 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号	条件	標準モード		ファースト・		ファースト・		単位
					ŧ-	ード	モード	・プラス	
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fscL	ファースト・モード・プラス:					0	1000	kHz
		10 MHz≦fc∟ĸ							
		ファースト・モード:			0	400			kHz
		3.5 MHz≦falk							
		標準モード:	0	100					kHz
		1 MHz≦fak							
リスタート・コンディションの	tsu : sta		4.7		0.6		0.26		$\mu$ S
セットアップ時間 <sup>注1</sup>									
ホールド時間	thd : STA		4.0		0.6		0.26		μS
SCLA0 = "L"のホールド・タイム	<b>t</b> Low		4.7		1.3		0.5		μS
SCLA0 = "H"のホールド・タイム	<b>t</b> HIGH		4.0		0.6		0.26		μS
データ・セットアップ時間	tsu : DAT		250		100		50		ns
(受信時)									
データ・ホールド時間	thd : dat		0	3.45	0	0.9	0		μS
(送信時) <sup>注2</sup>									
ストップ・コンディションの	<b>t</b> su : sto		4.0		0.6		0.26		μS
セットアップ時間									
バス・フリー時間	<b>t</b> BUF		4.7		1.3		0.5		μS

- 注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスを生成します。
  - 2. thD:DATの最大値(MAX.)は、通常転送時の数値であり、ACK(アクノリッジ)タイミングでは、ウエイトがかかります。
- 備考 各モードにおけるC $\mathrm{b}$ (通信ライン容量)の $\mathrm{MAX}$ .値と、そのときの $\mathrm{R}$  $\mathrm{b}$ (通信ライン・プルアップ抵抗値)の値は、次のとおりです。

標準モード :  $C_b$  = 400pF,  $R_b$  = 2.7k $\Omega$  ファースト・モード :  $C_b$  = 320pF,  $R_b$  = 1.1k $\Omega$  ファースト・モード・プラス :  $C_b$  = 120pF,  $R_b$  = 1.1k $\Omega$ 

#### IICAシリアル転送タイミング



## (3) オンチップ・デバッグ(UART)

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	ı		115.2k		1M	bps

## (4) LIN/UARTモジュール (RLIN3) UARTモード

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号	ĝ	条件	MIN.	TYP.	MAX.	単位
転送レート	_	動作モード、HALTモード	LIN通信クロック源			5333	kbps
			(fcLKまたはfMX)				
			4 MHz~32 MHz				
		SNOOZE <del>T</del> -F	LIN通信クロック源(fclk)			4.8	
			1 MHz~32 MHz				
			ユーザ・オプション・バイト				
			(000C2H/020C2H) の				
			FRQSEL4 = 0				
			LIN通信クロック源(fclk)			2.4	
			1 MHz~32 MHz				
			ユーザ・オプション・バイト				
			(000C2H/020C2H) の				
			FRQSEL4 = 1				

## 7.2.5 アナログ特性

(1) A/Dコンバータ特性

· AV<sub>REF</sub> (+) = AV<sub>REFP</sub>/ANI0(ADREFP1 = 0, ADREFP0 = 1), AV<sub>REF</sub> (-) = AV<sub>REFM</sub>/ANI1(ADREFM = 1)選択時、 対象ANI端子:ANI2-ANI7

(TA = -40~+105°C, 2.7V≦VDD≦5.5 V, VSS = 0 V, 基準電圧(+) = AVREFP, 基準電圧(-) = AVREFM = 0 V)

項目	略号		条件	MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 <sup>注1</sup>	AINL	10ビット分解能	4.0V≦V <sub>DD</sub> ≦5.5V		1.2	±3.0	LSB
		AV <sub>REFP</sub> = V <sub>DD</sub>	2.7V≦V <sub>DD</sub> <4.0V		1.2	±3.5	LSB
変換時間	tconv	10ビット分解能	4.0V≦VDD≦5.5V	2.125		39	μs
		AV <sub>REFP</sub> = V <sub>DD</sub>	2.7V≦V <sub>DD</sub> <4.0V	3.1875		39	μs
ゼロスケール誤差 <sup>注1, 2</sup>	EZS	10ビット分解能	2.7V≦VDD≦5.5V			±0.25	%FSR
		AV <sub>REFP</sub> = V <sub>DD</sub>					
フルスケール誤差 <sup>注1, 2</sup>	EFS	10ビット分解能	2.7V≦VDD≦5.5V			±0.25	%FSR
		AV <sub>REFP</sub> = V <sub>DD</sub>					
積分直線性誤差 <sup>注1</sup>	ILE	10ビット分解能	2.7V≦VDD≦5.5V			±2.5	LSB
		AV <sub>REFP</sub> = V <sub>DD</sub>					
微分直線性誤差 <sup>注1</sup>	DLE	10ビット分解能	2.7V≦VDD≦5.5V			±1.5	LSB
		AV <sub>REFP</sub> = V <sub>DD</sub>					
基準電圧(+)	$AV_REFP$			2.7		$V_{DD}$	V
アナログ入力電圧	Vain			0		AVREFP	V
内部基準電圧(+)	$V_{BGR}$	2.7V≦V <sub>DD</sub> ≦5.5V		1.38	1.45	1.5	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

<sup>2.</sup> フルスケール値に対する比率 (%FSR) で表します。

· AV<sub>REF</sub> (+) = AV<sub>REFP</sub>/ANI0(ADREFP1 = 0, ADREFP0 = 1), AV<sub>REF</sub> (-) = AV<sub>REFM</sub>/ANI1(ADREFM = 1)選択時、 対象ANI端子:ANI24, ANI25

(TA = -40~+105°C, 2.7V≦VDD≦5.5 V, VSS = 0 V, 基準電圧(+) = AVREFP, 基準電圧(-) = AVREFM = 0 V)

項目	略号		条件	MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 <sup>注1</sup>	AINL	10ビット分解能	4.0V≦VDD≦5.5V		1.2	±4.5	LSB
		AV <sub>REFP</sub> = V <sub>DD</sub>	2.7V≦V <sub>DD</sub> <4.0V		1.2	±5.0	LSB
変換時間	tconv	10ビット分解能	4.0V≦VDD≦5.5V	2.125		39	μS
		AV <sub>REFP</sub> = V <sub>DD</sub>	2.7V≦V <sub>DD</sub> <4.0V	3.1875		39	$\mu$ s
ゼロスケール誤差 <sup>注1, 2</sup>	EZS	10ビット分解能	2.7V≦VDD≦5.5V			±0.35	%FSR
		AV <sub>REFP</sub> = V <sub>DD</sub>					
フルスケール誤差 <sup>注1, 2</sup>	EFS	10ビット分解能	2.7V≦VDD≦5.5V			±0.35	%FSR
		AV <sub>REFP</sub> = V <sub>DD</sub>					
積分直線性誤差 <sup>注1</sup>	ILE	10ビット分解能	2.7V≦VDD≦5.5V			±3.5	LSB
		AV <sub>REFP</sub> = V <sub>DD</sub>					
微分直線性誤差 <sup>注1</sup>	DLE	10ビット分解能	2.7V≦VDD≦5.5V			±2.0	LSB
		AV <sub>REFP</sub> = V <sub>DD</sub>					
基準電圧(+)	AVREFP			2.7		$V_{DD}$	V
アナログ入力電圧	Vain			0		AVREFP	٧
						かつVɒɒ	
内部基準電圧(+)	V <sub>BGR</sub>	2.7V≦V <sub>DD</sub> ≦5.5V		1.38	1.45	1.5	V

注1. 量子化誤差(±1/2 LSB)を含みません。

<sup>2.</sup> フルスケール値に対する比率(%FSR)で表します。

· AVREF (+) = VDD(ADREFP1 = 0, ADREFP0 = 0), AVREF (-) = Vss(ADREFM = 0)選択時、

対象ANI端子: ANI0-ANI7, ANI24, ANI25

(T<sub>A</sub> = -40~+105°C, 2.7V≦V<sub>DD</sub>≦5.5 V, V<sub>SS</sub> = 0 V, 基準電圧(+) = V<sub>DD</sub>, 基準電圧(-) = V<sub>SS</sub>)

項目	略号		条件	MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 <sup>注1</sup>	AINL	10ビット分解能	4.0V≦VDD≦5.5V		1.2	±5.0	LSB
		ANI0-ANI7	2.7V≦V <sub>DD</sub> <4.0V		1.2	±5.5	LSB
		10ビット分解能	4.0V≦V <sub>DD</sub> ≦5.5V		1.2	±6.5	LSB
		ANI24, ANI25	2.7V≦V <sub>DD</sub> <4.0V		1.2	±7.0	LSB
変換時間	tconv	10ビット分解能	4.0V≦V <sub>DD</sub> ≦5.5V	2.125		39	<i>μ</i> S
			2.7V≦V <sub>DD</sub> <4.0V	3.1875		39	$\mu$ s
ゼロスケール誤差 <sup>注1, 2</sup>	EZS	10ビット分解能	2.7V≦V <sub>DD</sub> ≦5.5V			±0.50	%FSR
		ANI0-ANI7					
		10ビット分解能	2.7V≦V <sub>DD</sub> ≦5.5V			±0.60	%FSR
		ANI24, ANI25					
フルスケール誤差 <sup>注1, 2</sup>	EFS	10ビット分解能	2.7V≦V <sub>DD</sub> ≦5.5V			±0.50	%FSR
		ANI0-ANI7					
		10ビット分解能	2.7V≦V <sub>DD</sub> ≦5.5V			±0.60	%FSR
		ANI24, ANI25					
積分直線性誤差 <sup>注1</sup>	ILE	10ビット分解能	2.7V≦V <sub>DD</sub> ≦5.5V			±3.5	LSB
		ANI0-ANI7					
		10ビット分解能	2.7V≦V <sub>DD</sub> ≦5.5V			±4.0	LSB
		ANI24, ANI25					
微分直線性誤差 <sup>注1</sup>	DLE	10ビット分解能	2.7V≦V <sub>DD</sub> ≦5.5V			±2.0	LSB
アナログ入力電圧	VAIN	ANI0-ANI7		0		V <sub>DD</sub>	V
		ANI24, ANI25	ANI24, ANI25			V <sub>DD</sub>	V
内部基準電圧(+)	V <sub>BGR</sub>	2.7V≦V <sub>DD</sub> ≦5.5V		1.38	1.45	1.5	V

- 注1. 量子化誤差(±1/2 LSB)を含みません。
  - 2. フルスケール値に対する比率(%FSR)で表します。
- · AV<sub>REF</sub>(+) = 内部基準電圧(ADREFP1 = 1, ADREFP0 = 0), AV<sub>REF</sub>(-) = AV<sub>REFM</sub>/ANI1(ADREFM = 1)選択時、 対象ANI端子:ANI0-ANI7, ANI24, ANI25

(T<sub>A</sub> = -40~+105°C, 2.7V≦V<sub>DD</sub>≦5.5V, V<sub>SS</sub> = 0 V, 基準電圧(+) = V<sub>BGR</sub>, 基準電圧(-) = AV<sub>REFM</sub> = 0 V)

項目	略号		条件		TYP.	MAX.	単位
分解能	RES				8		bit
変換時間	<b>t</b> conv	8ビット分解能	2.7V≦V <sub>DD</sub> ≦5.5V	17		39	μS
ゼロスケール誤差 <sup>注1, 2</sup>	EZS	8ビット分解能	2.7V≦V <sub>DD</sub> ≦5.5V			±0.60	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	8ビット分解能	2.7V≦V <sub>DD</sub> ≦5.5V			±2.0	LSB
微分直線性誤差 <sup>注1</sup>	DLE	8ビット分解能	2.7V≦V <sub>DD</sub> ≦5.5V			±1.0	LSB
基準電圧(+)	V <sub>BGR</sub>			1.38	1.45	1.5	V
アナログ入力電圧	Vain			0		$V_{BGR}$	٧

- 注1. 量子化誤差 (±1/2 LSB) を含みません。
  - 2. フルスケール値に対する比率 (%FSR) で表します。

### (2) 温度センサ特性

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V <sub>TMPS25</sub>	ADSレジスタ = 80H設定、TA =+25℃		1.1		V
リファレンス出力電圧	Vconst	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	FVTMPS	温度センサ電圧の温度依存		-3.3		mV/°C
動作安定待ち時間	<b>t</b> amp		5			μS

### (3) POR回路特性

 $(T_A = -40 \sim +105^{\circ}C, V_{SS} = 0V)$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧 <sup>注</sup>	Vpor	電源立ち上がり時	1.48	1.56	1.62	V
	$V_{PDR}$	電源立ち下がり時	1.47	1.55	1.61	V
最小パルス幅	T <sub>PW</sub>		300			μS
検出遅延	T <sub>PD</sub>		•		350	μS

注 POR回路の特性を示すものであり、下限動作電圧(2.7V)未満での通常動作を保証するものではありません。

### (4) LVD回路特性

・リセット・モード、割り込みモードのLVD検出電圧

 $(T_A = -40 \sim +105^{\circ}C, V_{PDR} \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

	項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V <sub>LVD0</sub>	電源立ち上がり時	4.62	4.74	4.84	V
			電源立ち下がり時	4.52	4.64	4.74	V
		V <sub>LVD1</sub>	電源立ち上がり時	4.50	4.62	4.72	٧
			電源立ち下がり時	4.40	4.52	4.62	٧
		V <sub>LVD2</sub>	電源立ち上がり時	4.30	4.42	4.51	٧
		電源立ち下がり時	4.21	4.32	4.41	٧	
	V <sub>LVD3</sub>	電源立ち上がり時	3.13	3.22	3.29	V	
			電源立ち下がり時	3.07	3.15	3.22	٧
		V <sub>LVD4</sub>	電源立ち上がり時	2.95	3.02	3.09	٧
			電源立ち下がり時	2.89	2.96	3.02	٧
		V <sub>LVD5</sub>	電源立ち上がり時	2.74	2.81	2.87	٧
			電源立ち下がり時	2.68 <sup>注</sup>	2.75	2.81	٧
最小パルス	幅	t∟w		300			μS
検出遅延		<b>t</b> LD				300	μS

注 MIN.値は下限動作電圧(2.7V)を下回りますが、リセット・モードで使用時は、電源立ち下がり時においてリセットがかかるまでは通常動作(VDD = 2.7V時と同等の値での動作)できます。

### ・割り込み&リセット・モードのLVD検出電圧

 $(T_A = -40 \sim +105^{\circ}C, V_{PDR} \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号		条件	MIN.	TYP.	MAX.	単位
割り込み&	V <sub>LVD5</sub>	VPOC2, VPOC1, VPOC0	= 0, 0, 1 <sup>注1</sup> 、	2.68 <sup>注2</sup>	2.75	2.81	V
リセット・モード		立ち下がりリセット電圧	: 2.75V				
	V <sub>LVD2</sub>	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	4.30	4.42	4.51	V
			立ち下がり割り込み電圧	4.21	4.32	4.41	V
	V <sub>LVD5</sub>	VPOC2, VPOC1, VPOC0	POC2, VPOC1, VPOC0 = 0, 1, 0 <sup>½1</sup> 、				V
		立ち下がりリセット電圧	: 2.75V				
	V <sub>LVD1</sub>	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.50	4.62	4.72	V
			立ち下がり割り込み電圧	4.40	4.52	4.62	V
	V <sub>LVD5</sub>	VPOC2, VPOC1, VPOC0	= 0, 1, 1 <sup>注1</sup> 、	2.68 <sup>注2</sup>	2.75	2.81	V
		立ち下がりリセット電圧	: 2.75V				
	V <sub>LVD3</sub>	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	3.13	3.22	3.29	٧
			立ち下がり割り込み電圧	3.07	3.15	3.22	V
	V <sub>LVD0</sub>	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.62	4.74	4.84	V
			立ち下がり割り込み電圧	4.52	4.64	4.74	V

#### 注1. オプション・バイトの設定値を示しています。

2. MIN.値は下限動作電圧 (2.7V) を下回りますが、リセット・モードで使用時は、電源立ち下がり時においてリセットがかかるまでは通常動作 (VD = 2.7V時と同等の値での動作) できます。

## 7.2.6 電源立ち上げ時間

 $(T_A = -40 \sim +105^{\circ}C, V_{SS} = 0V)$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位
最大電源電圧立ち上げ傾き	Svrmax	0V→V <sub>DD</sub> (VPOC2=0ま <i>†</i> :は1 <sup>注2</sup> )			50 <sup>注3</sup>	V/ms
最小電源電圧立ち上げ傾き <sup>注1</sup>	Svrmin	0V→2.7V	6.5			V/ms

注1. 最小電源電圧立ち上げ傾きは、以下の条件の場合にのみ適用対象になります。

電圧検出(LVD)回路が未使用(VPOC2=1)かつ外部リセット回路未使用もしくはVpo=2.7Vまでリセットがかからない場合。

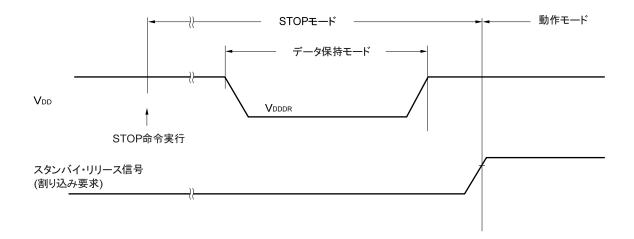
- 2. オプション・バイトの設定値を示しています。
- 3. 電源がVPDR以下に下降し、PORリセットが発生した場合は、0Vまで下降せずに復帰する場合も本スペックの適用対象になります。

## 7.2.7 STOPモード時メモリ保持特性

 $(T_A = -40 \sim +105^{\circ}C, V_{SS} = 0V)$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.47 <sup>注</sup>		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持しません。



# 7.2.8 フラッシュ・メモリ・プログラミング特性

 $(T_A = -40 \sim +105^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fclk		1		32	MHz
コード・フラッシュの書き換え回数 <sup>注1, 2, 3</sup>	Cerwr	保持20年(書き換え後)	1,000			回
		T <sub>A</sub> = +85°C <sup>注4</sup>				
データ・フラッシュの書き換え回数 <sup>注1,2,3</sup>		保持20年(書き換え後)	10,000			
		T <sub>A</sub> = +85°C <sup>注4</sup>				
		保持5年(書き換え後)	100,000			
		T <sub>A</sub> = +85°C <sup>注4</sup>				
消去時間	Terasa	ブロック消去	5			ms
書き込み時間	Twrwa	1ワード書き込み	10			μS

- 注1. 消去1回+消去後の書き込み1回を書き換え回数1回とします。保持年数は、一度書き換えた後、次に書き換えを行うまでの期間とします。
  - 2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用したときになります。
  - 3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。
  - 4. 保持の平均温度です。

## 7.3 アナログ部の電気的特性

## 7.3.1 電源回路特性

DC特性 (特に指定のないかぎり、T<sub>A</sub> = -40~+105°C, 6 V≦Vsup≦19 V)

項目	略号		条件		MIN.	TYP.	MAX.	単位
出力電圧	<b>V</b> ссоит1	7 V≦Vsup≦19 V	IRO +IS	√DD = 1~60 mA	4.9	5	5.1	V
		VCCOUT =	-40 <t< td=""><td>≦85 °C</td><td></td><td></td><td></td><td></td></t<>	≦85 °C				
		VRO = VRS	IRO +Is	√DD = 1~30 mA				
			85 <t< td=""><td>∆≦105 °C</td><td></td><td></td><td></td><td></td></t<>	∆≦105 °C				
	<b>V</b> CCOUT2	6 V≦V <sub>SUP</sub> <7 V	IRO +IS	√DD = 1∼50 mA	4.85	5	5.15	V
		Vccout =	-40 <t< td=""><td>≦85 °C</td><td></td><td></td><td></td><td></td></t<>	≦85 °C				
		VRO = VRS	IRO +Is	√DD = 1~30 mA				
			85 <t< td=""><td>∆≦105 °C</td><td></td><td></td><td></td><td></td></t<>	∆≦105 °C				
	Vссоитз	19 V <v<sub>SUP≦40 V,</v<sub>	4.5	5	5.5	V		
		$T_A = 25$ °C, $I_{RO}$ + $I_{SVDD}$ = 1 mA						
	<b>V</b> CCOUT4	6 V≦Vsup≦19 V,		-40 °C≦T <sub>A</sub> <25 °C	4.7	5	5.3	V
		VCCOUT = VRS						
		外付けPNPトランシ	<b>ジスタ</b>					
		(2SB1261-L) 使用	時,	25 °C < T. < 105 °C	4.75	5	5.25	V
		Ic + IsvDD =1mA~25	50mA <sup>注1</sup>	25 °C≦T <sub>A</sub> ≦105 °C	4.73	3	3.23	V
	<b>V</b> ccouт5		19 V≦Vsup≦40 V, Vccout = VRS, T <sub>A</sub> = 25 °C			5	5.5	V
		外付けPNPトランシ	ジスタ(2	SB1261-L)使用時,				
		Ic+IsvDD = 1mA						
過電流検出電流	ROlim1	7 V≦Vsup≦19 V, V	'RO端子電	<b>電流</b>	61	151	300	mA
内蔵PMOS使用時	ROlim2	6 V≦V <sub>SUP</sub> < 7 V, VF	RO端子電	流	51	79	300	mA
過電流検出電圧	VSUPlim	外付けPNPトランジスタ使用時			250	300	360	mV
		検出抵抗接続端子σ	電位差					
ショート電流	I <sub>short</sub> 注2	外付けPNPトランシ	ジスタ使用	引時は除く		21		mA
		外付けPNPトランシ	ジスタ(2	SB1261-L)使用時		40		mA
負荷安定度	REG <sub>L1</sub>	1 mA <i<sub>RO≦50 mA,</i<sub>	V <sub>SUP</sub> = 1	4 V			60	mV
	REG <sub>L2</sub>	1 mA <ic ma<="" td="" ≦250=""><td><sup>注1</sup>, Vsup</td><td>= 14 V</td><td></td><td></td><td>100</td><td>mV</td></ic>	<sup>注1</sup> , Vsup	= 14 V			100	mV
		外付けPNPトランシ	ジスタ(2	SB1261-L)使用時				
入力安定度	REG <sub>IN1</sub>	7 V≦Vsup≦19 V	I <sub>RO</sub> = 6	0 mA			60	mV
			-40 <t< td=""><td>r<sub>A</sub>≦85 °C</td><td></td><td></td><td></td><td></td></t<>	r <sub>A</sub> ≦85 °C				
			I <sub>RO</sub> = 3	0 mA				
			85 <t< td=""><td>∡≦105 °C</td><td></td><td></td><td></td><td></td></t<>	∡≦105 °C				
		6 V≦V <sub>SUP</sub> < 7 V	I <sub>RO</sub> = 5	0 mA			60	mV
			-40 <t< td=""><td>- _4≦85 °C</td><td></td><td></td><td></td><td></td></t<>	- _4≦85 °C				
			I <sub>RO</sub> = 3	0 mA				
			85 <t< td=""><td>₄≦105 °C</td><td></td><td></td><td></td><td></td></t<>	₄≦105 °C				
	REG <sub>IN2</sub>	6 V≦Vsup≦19 V, Ic = 250 mA <sup>注1</sup>					100	mV
		  外付けPNPトランシ						

- 注1. 回路動作のみを保証するもので発熱を考慮したものではありません。外付けドロッパー (PNPトランジスタ) を使用する場合は、あらかじめ許容損失を十分考慮したうえで使用してください。
  - 2. 数値は設計保証値であり、出荷テストは行いません。

## 7.3.2 電源電流特性

DC特性 (特に指定のないかぎり、T<sub>A</sub> = -40~+105°C, 6 V≦Vsup≦19 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	Isup1 注1, 2	Isup1 = Isup, T <sub>A</sub> = 25°C, Vsup = 14 V,		18	35	$\mu$ A
内蔵PMOS使用時		SVDDEN=Low, MSLP=Low				
	ISUP2 注1, 2	I <sub>SUP2</sub> = I <sub>SUP</sub>		18	50	$\mu$ A
		SVDDEN=Low, MSLP=Low				
	Isup3 注1, 2	Isup3 = Isup, TxL=High		0.18	1	mA
		SVDDEN=Low, MSLP=High				
電源電流	I <sub>SUP4</sub> 注1, 2	I <sub>SUP4</sub> = I <sub>SUP</sub> , T <sub>A</sub> = 25°C, V <sub>SUP</sub> = 14 V,		22	50	$\mu$ A
外付けPNP使用(2SB1261-L)時		SVDDEN=Low, MSLP=Low				
	Isups 注1, 2	Isups = Isup,		22	70	$\mu$ A
		SVDDEN=Low, MSLP=Low				
	Isup6 注1, 2	Isupe = Isup, TxL=High		0.19	1	mA
		SVDDEN=Low, MSLP=High				

- 注1. SUP、VRO内部電源に流れるトータル電流です。ただし、プルアップ抵抗に流れる電流は含みません。
  - 2. Vppに流れる電流は含みません。Vppに流れる電流(lpp)については、RL78/F13のユーザーズ・マニュアルの「第34章 電気的特性(Lグレード)」のDC特性を参照してください。

## 7.3.3 外部センサ用電源特性

DC特性 (特に指定のないかぎり、T<sub>A</sub> = -40~+105°C, 6 V≦Vsup≦19 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力電圧	Vsvdd1	6 V≦Vsup≦19 V, Isvbb = 20mA	VRS-0.3			V
	Vsvdd2	6 V≦Vsup≦19 V, SVDDEN=Low			0.3	V
過電流検出電流	IsvDDlim	6 V≦Vsup≦19 V, SVDD端子電流	21	35	55	mA
ハイ・レベル入力電圧	Vsvddenh	SVDDEN	0.7VRS			V
ロウ・レベル入力電圧	VSVDDENL	SVDDEN			0.3VRS	V
ハイ・レベル入力リーク電流	I <sub>SVDDENH</sub>	SVDDENプルダウン抵抗への電流を含む		50		$\mu$ A
ロウ・レベル入力リーク電流	I <sub>SVDDENL</sub>	SVDDEN	-1			$\mu$ A
SVDDENプルダウン抵抗	RSVDDEN	SVDDEN	50	100	200	kΩ

AC特性(特に指定のないかぎり、T<sub>A</sub> = -40~+105°C, 6 V≦Vsup≦19 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力遅延時間	$T_{dSVDDEN}^{\dot{\Xi}}$	SVDDEN=Low → High			20	μS
		$C_{SVDD} = 0.1 \mu F$				

注 数値は設計保証値であり、出荷テストは行いません。

図7-1 外部センサ用電源出力遅延時間

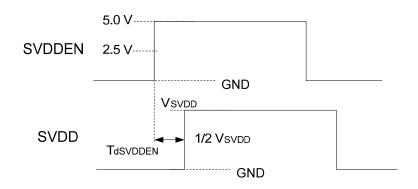
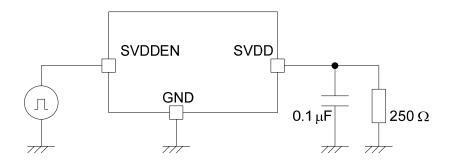


図7-2 外部センサ用電源出力遅延時間測定外部条件



## 7.3.4 LINトランシーバ部特性

DC特性 (特に指定のないかぎり、 $T_A = -40 \sim +105$ °C, 6  $V \le V$ SUP $\le 19 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
LINバス・ドミナント・リーク	BUS_PAS_dom	V <sub>BUS</sub> = 0 V, V <sub>SUP</sub> = 12 V	-1			mA
電流						
LINバス・レセシブ・リーク電流	BUS_PAS_rec	V <sub>BUS</sub> ≧V <sub>SUP</sub>			20	$\mu$ A
LINバス電流1	IBUS_NO_GND 注	0 V <v<sub>BUS&lt;18 V, V<sub>SUP</sub> = 12 V</v<sub>	-1		1	mA
LINバス電流2	IBUS	Vsup_Device = GND, 0 V <vsus<18 td="" v<=""><td></td><td>1</td><td>10</td><td>μΑ</td></vsus<18>		1	10	μΑ
受信ドミナント・レベル入力電圧	VBUSdom				0.4Vsup	V
受信レセシブ・レベル入力電圧	V <sub>BUSrec</sub>		0.6Vsup			V
受信センタ・レベル・スレッシュ	V <sub>BUS_CNT</sub>	(Vth_dom+Vth_rec)/2	0.475	0.5Vsup	0.525	V
ホールド			Vsup		Vsup	
受信ヒステリシス	VHYS	Vth_rec - Vth_dom			0.175	V
					Vsup	
LINドミナント・レベル出力電圧1	VBUSdom_DRV_	V <sub>SUP</sub> = 7.3 V, I <sub>lin</sub> = 15 mA			1.2	V
	LoSUP				_	
LINドミナント・レベル出力電圧2		V <sub>SUP</sub> = 18 V, I <sub>lin</sub> = 36 mA			2	V
	HiSUP			_		
LINシリアル・ダイオード・	VserDiode	TxL = V <sub>RO</sub>	0.4	0.7	1.0	V
ドロップ電圧	_					
LINプルアップ抵抗	Rslave	PU = Low	20	30	60	kΩ
LINプルアップ抵抗オフリーク	slave_leak	PU = High			2	μΑ
LINドライバ過電流制限	Iconst	LIN端子流入電流制限値 	40	80	200	mA
ハイ・レベル入力電圧	Viha	MOD1, MOD2, MSLP, PU, TxL	0.7VRS			V
ロウ・レベル入力電圧	Vila	MOD1, MOD2, MSLP, PU, TxL			0.3VRS	V
ハイ・レベル出力電圧	VorxH	RxL, V <sub>BUS</sub> = V <sub>SUP</sub> , Io = -5 mA	0.8VRS			V
ロウ・レベル出力電圧	VorxL	RxL, V <sub>BUS</sub> = 0 V, Io = 5 mA			0.2VRS	V
ハイ・レベル出カリーク電流	IrxH	RxL, Port mode時			1	$\mu$ A
ロウ・レベル出力リーク電流	IrxL	RxL, Port mode時	-1			$\mu$ A
TxLプルアップ抵抗	RTxL	TxL, Port mode時は除く	50	100	200	kΩ
MSLPプルダウン抵抗	RMSLP	MSLP	50	100	200	kΩ

注 数値は設計保証値であり、出荷テストは行いません。

## AC特性 (特に指定のないかぎり、 $T_A = -40 \sim +105$ °C, 6 $V \le V$ SUP $\le 19 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
デューティ・サイクル1	D <sub>1</sub>	C <sub>bus</sub> ; R <sub>bus</sub> = 1 nF; 1 k $\Omega$ /6.8 nF; 660 $\Omega$ /	0.396			1
(図7-3参照)		10 nF; 500 Ω				
		$t_{\rm BIT}$ = 50 $\mu$ s				
		$TH_{Rec(max)} = 0.744 \times V_{SUP}$				
		$TH_{Dom(max)} = 0.581 \times V_{SUP}$				
		$D_1 = t_{BUS\_rec(min)}/(2 \times t_{BIT})$				
		7 V≦Vsup≦18 V				
		MOD1=MOD2=Low, MSLP=High,				
		PU=Low				
デューティ・サイクル2	D <sub>2</sub>	C <sub>bus</sub> ; R <sub>bus</sub> = 1 nF; 1 k $\Omega$ /6.8 nF; 660 $\Omega$ /			0.581	-
(図7-3参照)		10 nF; 500 Ω				
		$t_{\rm BIT} = 50 \; \mu  {\rm s}$				
		TH <sub>Rec(min)</sub> = 0.422 × V <sub>SUP</sub> ,				
		TH <sub>Dom(min)</sub> = 0.284 × V <sub>SUP</sub>				
		$D_2 = t_{BUS\_rec(max)}/(2 \times t_{BIT})$				
		7.6 V≦V <sub>SUP</sub> ≦18 V				
		MOD1=MOD2=Low, MSLP=High				
		PU=Low				
デューティ・サイクル3	Dз	C <sub>bus</sub> ; R <sub>bus</sub> = 1 nF; 1 k $\Omega$ /6.8 nF; 660 $\Omega$ /	0.417			_
(図7-3参照)		10 nF; 500 Ω				
		$t_{\rm BIT} = 96 \; \mu  {\rm s}$				
		$TH_{Rec(max)} = 0.778 \times V_{SUP}$				
		TH <sub>Dom(max)</sub> = 0.616 × V <sub>SUP</sub>				
		$D_3 = t_{BUS\_rec(min)}/(2 \times t_{BIT})$				
		7 V≦Vsup≦18 V				
		MOD1 = MOD2 = High, MSLP = High				
		PU = Low				
デューティ・サイクル4	D <sub>4</sub>	C <sub>bus</sub> ; R <sub>bus</sub> = 1 nF; 1 k $\Omega$ /6.8 nF; 660 $\Omega$ /			0.590	_
(図7-3参照)		10 nF; 500 Ω				
		t <sub>BIT</sub> = 96 <i>μ</i> s				
		TH <sub>Rec(min)</sub> = 0.389 × V <sub>SUP</sub> ,				
		TH <sub>Dom(min)</sub> = 0.251 × V <sub>SUP</sub>				
		$D_4 = t_{BUS\_rec(max)}/(2 \times t_{BIT})$				
		7.6 V≦Vsup≦18 V				
		MOD1 = MOD2 = High, MSLP = High				
		PU = Low				
伝達遅延時間	t <sub>rx_pd</sub>	trx_pdf(1), trx_pdf(2), trx_pdr(1), trx_pdr(2)			6	μS
立ち上がり、立ち下がり伝達	t <sub>rx_sym</sub>	$t_{\text{rx\_sym}} = t_{\text{rx\_pdf(1)}} - t_{\text{rx\_pdr(1)}},$	-2		2	μs
遅延時間		$t_{rx\_sym} = t_{rx\_pdf(2)} - t_{rx\_pdr(2)}$				

## **t**BIT **t**BIT TXD tBUS dom (max) \_\_\_\_\_\_ 受信レセシブ・レベル・ Vsup スレッシュホールド(max.) 受信ドミナント・レベル・ スレッシュホールド(max.) 受信レセシブ・レベル スレッシュホールド(min.) ▼受信ドミナント・レベル・ スレッシュホールド(min.) tBUS\_rec (max) tBUS\_dom (min) RXD (Recessive max) trx pdf(1)

### 図7-3 デューティ・サイクル

## 7.3.5 過熱検知回路特性

RXD (Recessive min)

過熱検知回路部特性(6 V≦Vsup≦19 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
過熱検知温度	VRth <sup>注</sup>		160	180	200	°C

trx\_pdr (2)

注 数値は設計保証値であり、出荷テストは行いません。ジャンクション温度(T<sub>jmax</sub>)以上の状態が継続的に続いた場合は、本機能の機能・特性が損なわれる恐れがあります。

## 7.3.6 診断出力回路特性

診断出力回路特性 (特に指定のないかぎり、T<sub>A</sub> = -40~+105°C,6 V≦Vsup≦19 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	Voh_diag	DIAG	I <sub>o</sub> = -5.0mA	0.8VRS			٧
ロウ・レベル出力電圧	Vol_diag	DIAG	I <sub>o</sub> = 5.0mA			0.2VRS	V

# 第8章 電気的特性 (Kグレード)

本章ではRL78/F1Aの電気的特性(Kグレード)について説明します。本章をご覧いただく際には、必ず最新版の RL78/F13のユーザーズ・マニュアルの「第35章 電気的特性(Kグレード)」を合わせてご覧ください。

## 8.1 絶対最大定格

絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。各項目のうち1項目でも、また一瞬でも定格値を超えると、製品の品質を損なう恐れがあります。必ずこの定格値を超えない状態で製品をご使用ください。

## 8.1.1 マイクロコントローラ部とアナログ部の共通の絶対最大定格

項目	略号	条件	定格値	単位
動作周囲温度	TA		-40~+125	°C
保存温度	T <sub>stg</sub>		-65 <b>~</b> +150	°C
ジャンクション温度	$T_{jmax}$		150	°C

## 8.1.2 マイクロコントローラ部の絶対最大定格

項目	略号		条件	定格値	単位	
電源電圧	$V_{DD}$			<b>−0.5∼+6.5</b>	V	
	Vss			-0.5 <b>~</b> +0.3	٧	
REGC端子入力電圧	VIREGC	REGC		-0.3~+2.8	٧	
				かつ-0.3~V <sub>DD</sub> +0.3 <sup>注1</sup>		
入力電圧	Vıı	P10-P17, P3	0, P40, P41, P60-P63, P120, P125	-0.3~V <sub>DD</sub> +0.3 <sup>注2</sup>	V	
	V <sub>12</sub>	P33, P34, P8	30-P85, P121, P122, P137, RESET	-0.3~V <sub>DD</sub> +0.3 <sup>注2</sup>	V	
出力電圧	V <sub>01</sub>	P10-P17, P3	0, P40, P41, P60-P63, P120, P125	-0.3~V <sub>DD</sub> +0.3 <sup>注2</sup>	V	
	V <sub>O2</sub>	P33, P34, P8	30-P85	-0.3~V <sub>DD</sub> +0.3	V	
アナログ入力電圧	V <sub>AI1</sub>	ANI24, ANI2	5	-0.3~V <sub>DD</sub> +0.3	V	
				かつ-0.3~AV <sub>REF (+)</sub> +0.3 <sup>注2, 3</sup>		
	V <sub>AI2</sub>	ANI0-ANI7		-0.3~V <sub>DD</sub> +0.3	٧	
				かつ-0.3~AV <sub>REF (+)</sub> +0.3 <sup>注2, 3</sup>		
ハイ・レベル出力電流	<b>І</b> он1	1端子	P10-P17, P30, P40, P41, P60-P63,	-40	mA	
			P120, P125			
		端子合計	P40, P41, P120, P125	<del>-7</del> 0	mA	
		-170 mA	P10-P17, P30, P60-P63	-100	mA	
	<b>І</b> он2	1端子	P33, P34, P80-P85	-0.5	mA	
		端子合計		-2	mA	
ロウ・レベル出力電流	lo <sub>L1</sub>	1端子	P10-P17, P30, P40, P41, P60-P63,	40	mA	
			P120, P125			
		端子合計	P40, P41, P120, P125	70	mA	
		170 mA	P10-P17, P30, P60-P63	100	mA	
	lol2	1端子	P33, P34, P80-P85	1	mA	
		端子合計		5	mA	

注1. REGC端子にはコンデンサ  $(0.47\sim1\mu\,\text{F})$  を介してVssに接続してください。この値はREGC端子の絶対最大定格を規定 するものです。電圧印加して使用しないでください。

- 2. 6.5V以下であること。
- 3. A/D変換対象の端子はAVREF (+)+0.3を越えないでください。

## 8.1.3 アナログ部の絶対最大定格

アナログ部絶対最大定格 (TA = 25°C)

項目	略号	条件	定格値	単位
電源電圧	V <sub>SUP1</sub>	SUP	-0.3~+40	V
入力電圧	V <sub>IA1</sub>	LIN, OC	-0.3~+40	٧
	V <sub>IA2</sub>	VRS	-0.3~+6.5	٧
	VIA3	MOD1, MOD2, MSLP, PU, SVDDEN, TxL, TMOD, TSDA	−0.3~VRS+0.3 <sup>注1</sup>	<b>&gt;</b>
LIN負入力電圧	VILlin	LIN, 7 V≦Vsup≦19 V, 1s	V <sub>SUP</sub> -40	٧
出力電圧	V <sub>OA1</sub>	LIN, VRO	-0.3~+40	٧
	V <sub>OA2</sub>	SVDD	-0.3~+6.5	٧
	Vоаз	RxL, DIAG	-0.3~VRS+0.3 <sup>注1</sup>	٧
出力電流	Iro	VRO	セルフ・リミット <sup>注2</sup>	mA
	Isvdd	SVDD	セルフ・リミット <sup>注2</sup>	mA
	ILIN	LIN	セルフ・リミット <sup>注2</sup>	mA
	Іоа	RxL, DIAG	-10~+10	mA

注1. 6.5V以下であること。

<sup>2.</sup> 過電流制限回路により電流制限がかかる電流値です。

## 8.2 マイクロコントローラ部の電気的特性

### 8.2.1 発振回路特性

(1) メイン・システム・クロック発振回路特性

 $(T_A = -40 \sim +125^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子/ 水晶振動子	Vss X1 X2 Rd Rd C1 C2 777	X1クロック発振周波数(fx)	2.7V≦V <sub>DD</sub> ≦5.5V	1.0		20.0	MHz

- 注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。
  - ・配線は極力短くする。
  - ・他の信号線と交差させない。
  - ・変化する大電流が流れる線に接近させない。
  - ・発振回路のコンデンサの接地点は、常にVssと同電位になるようにする。
  - ・大電流が流れるグランド・パターンに接地しない。
  - ・発振回路から信号を取り出さない。
  - 2. 発振子の選択および発振回路定数については、発振子メーカ様にお問い合わせいただく等、お客様にて決めてください。また、お客様のシステムにて十分な発振評価をしてください。X1クロックの発振安定時間は、使用する発振子で発振安定時間を十分に評価してから、発振安定時間カウンタ状態レジスタ(OSTC)と発振安定時間選択レジスタ(OSTS)で発振安定時間を決定してください。

### (2) オンチップ・オシレータ特性

 $(T_A = -40 \sim +125^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} 0V)$ 

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ	fıн		1		48	MHz
発振周波数 <sup>注</sup>						
高速オンチップ・オシレータ	-		-3		+3	%
発振周波数精度						
低速オンチップ・オシレータ	fı∟,			15		kHz
発振周波数	<b>f</b> wdt					
低速オンチップ・オシレータ	_		-15		+15	%
発振周波数精度						

注 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H/020C2H) のビット0-4およびHOCODIVレジスタのビット0-2によって選択します。

発振子	略号	条	件	MIN.	MIN. TYP. MAX.		
PLL入力可能クロック周波数 <sup>注1</sup>	<b>f</b> PLLI	PLLMUL = 0	PLLDIV0 = 0	3.92	4.0	4.08	MHz
			PLLDIV0 = 1	7.84	8.0	8.16	MHz
		PLLMUL = 1	PLLDIV0 = 0	3.92	4.0	4.08	MHz
			PLLDIV0 = 1	7.84	8.0	8.16	MHz
PLL出力周波数(センター値)	f <sub>PLLO</sub>	PLLMUL = 0	PLLDIV0 = 0	f <sub>PLLI</sub> ×12/2			MHz
			PLLDIV0 = 1		f <sub>PLLI</sub> ×12/4		MHz
		PLLMUL = 1 <sup>注4</sup>	PLLDIV0 = 0 <sup>注4</sup>		f <sub>PLLI</sub> ×16/2		MHz
			PLLDIV0 = 1		f <sub>PLLI</sub> ×16/4		MHz
ロングターム・ジッタ <sup>注2,3</sup>	t∟J	f <sub>PLLO</sub> = 24MHz(480カウント) f <sub>PLLO</sub> = 32MHz(640カウント)		-2		+2	ns
				-2		+2	ns
		f <sub>PLLO</sub> = 48MHz (960	)カウント)	-2		+2	ns

- 注1. PLL入力クロックが高速オンチップ・オシレータ・クロックの場合、MIN, MAX値は高速オンチップ・オシレータ発振周波数精度の範囲になります。
  - 2. 本特性は設計保証値であり、出荷時のテストは行いません。
  - 3. 20µsの期間を意味しています。
  - 4. fplli>6 MHzのとき、PLLMUL = 1かつPLLDIV0 = 0は設定禁止です。

## 8.2.2 DC特性

### (1) 端子特性

 $(T_A = -40 \sim +125^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

(1/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 <sup>注1</sup>	Іон1	P10-P17, P30, P40, P41,	4.0V≦V <sub>DD</sub> ≦5.5V			-5.0	mA
		P60-P63, P120, P125	2.7V≦V <sub>DD</sub> <4.0V			-3.0	mA
		1端子					
		P10, P12, P14, P30, P120	4.0V≦V <sub>DD</sub> ≦5.5V			-0.6	mA
		1端子(特殊スルー・レート)	2.7V≦V <sub>DD</sub> <4.0V			-0.2	mA
		P40, P41, P120, P125	4.0V≦V <sub>DD</sub> ≦5.5V			-20.0	mA
		合計	2.7V≦V <sub>DD</sub> <4.0V			-10.0	mA
		(デューティ≦70%時 <sup>注2</sup> )					
		P10-P17, P30, P60-P63	4.0V≦V <sub>DD</sub> ≦5.5V			-30.0	mA
		合計	2.7V≦V <sub>DD</sub> <4.0V			-19.0	mA
		(デューティ≦70%時 <sup>注2</sup> )					
		全端子合計	4.0V≦V <sub>DD</sub> ≦5.5V			-42.0	mA
		(デューティ≦70%時 <sup>注2</sup> )	2.7V≦V <sub>DD</sub> <4.0V			-29.0	mA
	Іон2	P33, P34, P80-P85	2.7V≦VDD≦5.5V			-0.1	mA
		1端子					
		端子合計	2.7V≦VDD≦5.5V			-0.8	mA
		(デューティ≦70%時 <sup>注2</sup> )					

- 注1. VDD端子から出力端子に流れ出してもデバイスの動作を保証する電流値です。
  - 2. デューティ≦ 70%の条件での電流の値です。

デューティ>70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn %に変更する場合)。

・端子合計の出力電流 = (IoH×0.7) / (n×0.01)

<計算例> IOH = -10.0 mAの場合, n = 80 %

端子合計の出力電流= (-10.0×0.7) / (80×0.01) ≒ -8.7 mA

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P10-P17, P60-P63, P120は、N-chオープン・ドレーン・モード時にはハイ・レベル出力しません。

(2/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 <sup>注1</sup>	lo <sub>L1</sub>	P10-P17, P30, P40, P41,	4.0V≦V <sub>DD</sub> ≦5.5V			8.5	mA
		P60-P63, P120, P125	2.7V≦V <sub>DD</sub> <4.0V			4.0	mA
		1端子					
		P10, P12, P14, P30, P120	4.0V≦V <sub>DD</sub> ≦5.5V			0.59	mA
		1端子(特殊スルー・レート)	2.7V≦V <sub>DD</sub> <4.0V			0.07	mA
		P40, P41, P120, P125	4.0V≦V <sub>DD</sub> ≦5.5V			20.0	mA
		合計	2.7V≦V <sub>DD</sub> <4.0V			15.0	mA
		(デューティ≦70%時 <sup>注2</sup> )					
		P10-P17, P30, P60-P63	4.0V≦V <sub>DD</sub> ≦5.5V			45.0	mA
		合計	2.7V≦V <sub>DD</sub> <4.0V			35.0	mA
		(デューティ≦70%時 <sup>注2</sup> )					
		全端子合計	4.0V≦V <sub>DD</sub> ≦5.5V			65.0	mA
		(デューティ≦70%時 <sup>注2</sup> )	2.7V≦V <sub>DD</sub> <4.0V			50.0	mA
	lol2	P33, P34, P80-P85	2.7V≦V <sub>DD</sub> ≦5.5V			0.4	mA
		1端子					
		端子合計	2.7V≦V <sub>DD</sub> ≦5.5V			3.2	mA
		(デューティ≦70%時 <sup>注2</sup> )					

- 注1. 出力端子からVss端子に流れ込んでも、デバイスの動作を保証する電流値です。
  - 2. デューティ≦ 70%の条件での電流の値です。

デューティ>70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn %に変更する場合)。

・端子合計の出力電流 = (loL×0.7) / (n×0.01)

<計算例> IoL = 10.0 mAの場合, n = 80 %

端子合計の出力電流= (10.0×0.7) / (80×0.01) ≒ 8.7 mA

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

(3/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V <sub>IH1</sub>	P10-P17, P30, P40, P41,	4.0 V≦V <sub>DD</sub> ≦5.5 V	0.65 VDD		V <sub>DD</sub> 注	V
		P60-P63, P120, P125 (Schmitt 1モード)	2.7 V≦V <sub>DD</sub> <4.0 V	0.7 V <sub>DD</sub>		V <sub>DD</sub> <sup>注</sup>	V
	V <sub>IH2</sub>	P10, P11, P13, P14, P16,	4.0 V≦V <sub>DD</sub> ≦5.5 V	0.8 V <sub>DD</sub>		V <sub>DD</sub> <sup>注</sup>	V
		P17, P30, P60-P63, P125 (Schmitt 3モード)	2.7 V≦V <sub>DD</sub> <4.0 V	0.85 V <sub>DD</sub>		V <sub>DD</sub> <sup>注</sup>	V
	V <sub>IH3</sub>	P10, P11, P13, P14, P16,	4.0 V≦V <sub>DD</sub> ≦5.5 V	2.2		V <sub>DD</sub> 注	V
		P17, P30, P62, P63, P125 (TTLモード)	2.7 V≦V <sub>DD</sub> <4.0 V	2.0		V <sub>DD</sub> <sup>注</sup>	V
	V <sub>IH4</sub>	P33, P34, P80-P85, P137	4.0 V≦V <sub>DD</sub> ≦5.5 V	0.8 V <sub>DD</sub>		V <sub>DD</sub>	V
		(Schmitt 3モード固定)	2.7 V≦V <sub>DD</sub> <4.0 V	0.85 VDD		V <sub>DD</sub>	V
	V <sub>IH5</sub>	RESET	4.0 V≦V <sub>DD</sub> ≦5.5 V	0.65 VDD		V <sub>DD</sub>	V
		(Schmitt 1モード固定)	2.7 V≦V <sub>DD</sub> <4.0 V	0.7 V <sub>DD</sub>		V <sub>DD</sub>	V
	VIH6	P121, P122, X1, X2, EXCLK	4.0 V≦V <sub>DD</sub> ≦5.5 V	0.8 V <sub>DD</sub>		V <sub>DD</sub>	V
		(Schmitt 2モード固定)	2.7 V≦V <sub>DD</sub> <4.0 V	0.8 V <sub>DD</sub>		V <sub>DD</sub>	V
ロウ・レベル入力電圧	VIL1	P10-P17, P30, P40, P41,	4.0 V≦V <sub>DD</sub> ≦5.5 V	0		0.35 V <sub>DD</sub>	V
		P60-P63, P120, P125 (Schmitt 1モード)	2.7 V≦V <sub>DD</sub> <4.0 V	0		0.3 V <sub>DD</sub>	V
	V <sub>IL2</sub>	P10, P11, P13, P14, P16,	4.0 V≦V <sub>DD</sub> ≦5.5 V	0		0.5 V <sub>DD</sub>	V
		P17, P30, P60-P63, P125 (Schmitt 3モード)	2.7 V≦V <sub>DD</sub> <4.0 V	0		0.4 V <sub>DD</sub>	V
	V <sub>IL3</sub>	P10, P11, P13, P14, P16,	4.0 V≦V <sub>DD</sub> ≦5.5 V	0		0.8	V
		P17, P30, P62, P63,P125 (TTLモード)	2.7 V≦V <sub>DD</sub> <4.0 V	0		0.5	٧
	V <sub>IL4</sub>	P33, P34, P80-P85, P137	4.0 V≦V <sub>DD</sub> ≦5.5 V	0		0.5 V <sub>DD</sub>	V
		(Schmitt 3モード固定)	2.7 V≦V <sub>DD</sub> <4.0 V	0		0.4 V <sub>DD</sub>	V
	V <sub>IL5</sub>	RESET	4.0 V≦V <sub>DD</sub> ≦5.5 V	0		0.35 V <sub>DD</sub>	V
		(Schmitt 1モード固定)	2.7 V≦V <sub>DD</sub> <4.0 V	0		0.3 V <sub>DD</sub>	V
	VIL6	P121, P122, X1, X2, EXCLK	4.0 V≦V <sub>DD</sub> ≦5.5 V	0		0.2 V <sub>DD</sub>	V
		(Schmitt 2モード固定)	2.7 V≦V <sub>DD</sub> <4.0 V	0		0.2 V <sub>DD</sub>	V

注 P10-P17, P60-P63, P120は、N-chオープン・ドレーン・モード時でもV<sub>H</sub>の最大値はV<sub>DD</sub>です。

(1/2)

項目	略号	条件	<del>+</del>	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V <sub>OH1</sub>	P10-P17, P30, P40, P41,	4.0 V≦V <sub>DD</sub> ≦5.5 V,	V <sub>DD</sub> -0.9			V
		P60-P63, P120, P125	$I_{OH1} = -5.0 \text{ mA}$				
		(通常スルー・レート)	2.7 V≦V <sub>DD</sub> ≦5.5 V,	V <sub>DD</sub> -0.7			V
			$I_{OH1} = -3.0 \text{ mA}$				
			2.7 V≦V <sub>DD</sub> ≦5.5 V,	V <sub>DD</sub> -0.5			V
			$I_{OH1} = -1.0 \text{ mA}$				
	V <sub>OH2</sub>	P33, P34, P80-P85	2.7 V≦V <sub>DD</sub> ≦5.5 V	V <sub>DD</sub> -0.5			V
			$I_{OH2} = -100  \mu A$				
	Vонз	P10, P12, P14, P30, P120	4.0 V≦V <sub>DD</sub> ≦5.5 V,	V <sub>DD</sub> -0.8			V
		(特殊スルー・レート)	$I_{OH3} = -0.6 \text{ mA}$				
			2.7 V≦V <sub>DD</sub> ≦5.5 V,	V <sub>DD</sub> -0.5			V
			$I_{OH3} = -0.2 \text{ mA}$				
ロウ・レベル出力電圧	V <sub>OL1</sub>	P10-P17, P30, P40, P41,	4.0 V≦VDD≦5.5 V,			0.7	V
		P60-P63, P120, P125	I <sub>OL1</sub> = 8.5 mA				
		(通常スルー・レート)	4.0 V≦V <sub>DD</sub> ≦5.5 V,			0.4	V
			I <sub>OL1</sub> = 4.0 mA				
			2.7 V≦VDD≦5.5 V,			0.7	V
			I <sub>OL1</sub> = 4.0 mA				
			2.7 V≦VDD≦5.5 V,			0.4	V
			I <sub>OL1</sub> = 1.5 mA				
	V <sub>OL2</sub>	P33, P34, P80-P85	2.7 V≦VDD≦5.5 V			0.4	V
			I <sub>OL2</sub> = 400 μA				
	V <sub>OL3</sub>	P10, P12, P14, P30, P120	4.0 V≦VDD≦5.5 V,			0.8	V
		(特殊スルー・レート)	I <sub>OL3</sub> = 0.6 mA				
			2.7 V≦V <sub>DD</sub> ≦5.5 V,			0.5	٧
			I <sub>OL3</sub> = 0.07 mA				

注意 P10-P17, P60-P63, P120は、N-chオープン・ドレーン・モード時にはハイ・レベル出力しません。

(2/2)

項目	略号	:	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク	ILIH1	P10-P17, P30, P40, P41,	$V_I = V_{DD}$				1	$\mu$ A
電流		P60-P63, P120, P125						
	ILIH2		V <sub>I</sub> = V <sub>DD</sub>				1	μΑ
		RESET		1				
	Інз	P121, P122	$V_I = V_{DD}$	入力ポート時、			1	$\mu$ A
		(X1, X2, EXCLK)		外部クロック入力時				
				発振 <del>了接続時</del>			10	$\mu$ A
ロウ・レベル入力リーク	ILIL1	P10-P17, P30, P40, P41,	Vı = Vss				-1	μΑ
電流		P60-P63, P120, P125						
	ILIL2	P33, P34, P80-P85, P137,	Vı = Vss				-1	$\mu$ A
		RESET						
	ILIL3	P121, P122	Vı = Vss	入力ポート時、			-1	μΑ
		(X1, X2, EXCLK)		外部クロック入力時				
				発振子接続時			-10	μΑ
内蔵プルアップ抵抗	Rυ	P10-P17, P30, P40, P41,	Vı = Vss,	入力ポート時	10	20	100	kΩ
		P60-P63, P120, P125						

注意 P10-P17, P60-P63, P120は、N-chオープン・ドレーン・モード時にはハイ・レベル出力しません。

#### (2) 電源電流特性

 $(T_A = -40 \sim +125^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

(1/3)

項目	略号			条件			MIN.	TYP.	MAX.	単位
電源電流 <sup>注1</sup>	I <sub>DD1</sub>	動作	通常動作 <sup>注2</sup>	高速オンチップ・	f <sub>IH</sub> = 48 MHz	fclk = 24 MHz		5.1	12.0	mA
		モード		オシレータ・クロ		注3, 4				
				ック動作	fıн = 24 MHz	fclk = fiH <sup>注3, 4</sup>		4.8	11.0	mA
					fiн = 1 MHz	fclk = fiH <sup>注3, 4</sup>		1.0	2.5	mA
				発振子動作	f <sub>MX</sub> = 20 MHz	fclk = fmx <sup>注3, 5</sup>		4.2	9.0	mA
					f <sub>MX</sub> = 1 MHz	fclk = f <sub>MX</sub> <sup>注3, 5</sup>		0.9	2.5	mA
				発振子動作	f <sub>PLL</sub> = 48 MHz,	fclk = 24 MHz		5.0	12.0	mA
				(PLL動作)	f <sub>MX</sub> = 8 MHz	注3, 6				
				(PLL入力クロッ	f <sub>PLL</sub> = 24 MHz,	fclk = 24 MHz		4.9	11.0	mA
				ク = f <sub>MX</sub> )	f <sub>MX</sub> = 8 MHz	注3, 6				
					f <sub>PLL</sub> = 24 MHz,	fclk = 24 MHz		4.7	11.0	mA
					f <sub>MX</sub> = 4 MHz	注3, 6				
				低速オンチップ・	fı∟ = 15 kHz	fclk = fil <sup>注7</sup>		3.0	70.0	$\mu$ A
				オシレータ・クロ						
				ック動作						

- 注1. Vooに流れるトータル電流です。入力端子をVooまたはVssに固定した状態での入力リーク電流を含みます。ただし、I/Oバッファ、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。
  - 2. CPU全命令実行時の電流。
  - 3. MAX.値にはバックグランド・オペレーション(BGO)動作を除く周辺動作電流を含みます。ただし、LVD回路、A/Dコンバータは停止。
  - 4. 高速システム・クロック、PLLクロックおよび低速オンチップ・オシレータ・クロック停止時。
  - 5. PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
  - 6. 高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
  - 7. 高速システム・クロック、PLLクロックおよび高速オンチップ・オシレータ・クロック停止時。

備考1. fmx:高速システム・クロック周波数

2. fpll: PLLクロック周波数

3. fin: 高速オンチップ・オシレータ・クロック周波数

4. f<sub>L</sub>: 低速オンチップ・オシレータ・クロック周波数

5. fclk: CPU/周辺ハードウェア・クロック周波数

(2/3)

項目	略号		条件						MAX.	単位
電源電流注1,3	I <sub>DD2</sub>	HALT モード <sup>注2</sup>	通常動作 <sup>注4</sup>	高速オンチップ・ オシレータ・	f <sub>ін</sub> = 48 МНz	fclk = 24 MHz 注6		0.9	8.0	mA
				クロック動作	f <sub>IH</sub> = 24 MHz	fclk = fiH <sup>注6</sup>		0.7	7.0	mA
					f <sub>IH</sub> = 1 MHz	fcьк = fін <sup>注6</sup>		0.3	1.5	mA
				発振子動作	f <sub>MX</sub> = 20 MHz	fclk = fmx <sup>注7</sup>		0.6	6.0	mA
					f <sub>MX</sub> = 1 MHz	fclk = fmx <sup>注7</sup>		0.2	1.5	mA
				発振子動作 (PLL動作)	f <sub>PLL</sub> = 48 MHz, f <sub>MX</sub> = 8 MHz	fcьк = 24 MHz 注8		0.9	8.0	mA
				(PLL入力クロ ック = f <sub>MX</sub> )	f <sub>PLL</sub> = 24 MHz, f <sub>MX</sub> = 8 MHz	fclk = 24 MHz 注8		0.8	7.0	mA
					f <sub>PLL</sub> = 24 MHz, f <sub>MX</sub> = 4 MHz	fclk = 24 MHz 注8		0.6	7.0	mA
				低速オンチップ・ オシレータ・ クロック動作	fı∟ = 15 kHz	fclk = fil <sup>注9</sup>		0.7	65.0	μΑ
	I <sub>DD3</sub>	STOP		T <sub>A</sub> =+25°C				0.5		μΑ
		モード <sup>注5</sup>		T <sub>A</sub> =+50°C					2.5	1
				T <sub>A</sub> = +70°C					4.5	
				T <sub>A</sub> = + 105°C					30.0	
				T <sub>A</sub> = + 125°C					60.0	1

- 注1. Vppに流れるトータル電流です。入力端子をVppまたはVssに固定した状態での入力リーク電流を含みます。ただし、I/Oバッファ、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。
  - 2. フラッシュ・フェッチ中にHALTモードに遷移した場合です。
  - 3. MAX.値には周辺動作電流、STOPリーク電流を含みます。ただし、ウォッチドッグ・タイマ、LVD回路、A/Dコンバータは停止。
  - 4. CPU全命令実行時の電流。
  - 5. 高速システム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
  - 6. 高速システム・クロック、PLLクロックおよび低速オンチップ・オシレータ・クロック停止時。
  - 7. PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
  - 8. 高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
  - 9. 高速システム・クロック、PLLクロックおよび高速オンチップ・オシレータ・クロック停止時。

備考1. fmx:高速システム・クロック周波数

2. fpll: PLLクロック周波数

3. f<sub>H</sub>:高速オンチップ・オシレータ・クロック周波数

4. f<sub>L</sub>: 低速オンチップ・オシレータ・クロック周波数

5. fclk: CPU/周辺ハードウェア・クロック周波数

(3/3)

項目	略号		条件			MIN.	TYP.	MAX.	単位
電源電流	Isnoz	SNOOZEモード	A/Dコンパレータ動作	モード遷移中	1		1.0	1.2	mA
注1, 2				変換動作中	標準モード		2.1	2.5	mA
					$AV_{REFP} = V_{DD} = 5.0V$				
			DTC動作	•			4.5		mA

- 注1. Vooに流れるトータル電流です。入力端子をVooまたはVssに固定した状態での入力リーク電流を含みます。ただし、I/Oバッファ、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。
  - 2. MAX.値にはSTOPリーク電流を含みます。

 $(T_A = -40 \sim +125^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号	ş	<b>条件</b>	MIN.	TYP.	MAX.	単位
ウィンドウ・ウォッチ	I <sub>WDT</sub> 注 <sup>1, 2</sup>	fı∟ = 15 kHz			0.22		$\mu$ A
ドッグ・タイマ							
動作電流							
A/Dコンバータ	IADC <sup>注3</sup>	最高速変換時	標準モード		1.3	1.7	mA
動作電流			AV <sub>REFP</sub> = V <sub>DD</sub> = 5.0 V				
		内部基準電圧選択時 <sup>注5</sup>			75.0		μΑ
LVD動作電流	ILVD <sup>注4</sup>				0.08		μΑ
温度センサ動作電流	ITMPS				75.0		$\mu$ A
BGO動作電流	Iвgo <sup>注6</sup>				2.50	12.20	mA

- 注1. 高速オンチップ・オシレータ・クロック、高速システム・クロックは停止時。
  - 2. ウォッチドッグ・タイマにのみ流れる電流です(15 kHzオンチップ・オシレータの動作電流を含みます)。STOPモード時に ウォッチドッグ・タイマが動作中の場合、IDD1またはIDD2またはIDD2またはIDD3にINDTを加算した値が電流値となります。
  - 3. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、IDD1またはIDD2にIADC を加算した値が電流値となります。
  - 4. LVD回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVD回路が動作中の場合、lpp1または lpp2またはlpp3にlkvpを加算した値が電流値となります。
  - 5. 内部基準電圧選択時に増加する動作電流を示します。変換停止中にも流れる電流です。
  - 6. BGOの動作電流です。動作モードまたはHALTモード時にBGOが動作中の場合、IDD1またはIDD2にIBGOを加算した値が電流値となります。

## 8.2.3 AC特性

## (1) 基本動作

 $(T_A = -40 \sim +125^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

(1/2)

項目	略号	条	<b>5件</b>	MIN.	TYP.	MAX.	単位
命令サイクル	Тсч	高速オンチップ・オシレー	ータ・クロック動作	0.04166		1	μS
(最小命令実行時間)		高速システム・クロック	う動作	0.05		1	μS
		PLLクロック動作		0.04166		1	μS
		低速オンチップ・オシレ	ノータ・クロック動作		66.6		μS
		セルフ・プログラミング	 诗	0.04166		1	μS
CPU/周辺ハードウェア・クロッ	fclk			0.04166		66.6	μS
ク周波数							
外部メイン・システム・クロック	fex			1.0		20.0	MHz
周波数	fexs			29		35	kHz
外部メイン・システム・クロック	texh, texl			24			ns
入力ハイ、ロウ・レベル幅	texHs,			13.7			μS
	<b>t</b> EXLS						
TI00-TI07, TI10-TI13入力ハイ・	t⊤⊩,			1/fмск+10			ns
レベル幅、ロウ・レベル幅	t⊤∟						
TO00-TO07, TO10-TO13	<b>f</b> TO	すべてのTO端子	4.0V≦V <sub>DD</sub> ≦5.5V			12	MHz
出力周波数		通常スルー・レート	2.7V≦V <sub>DD</sub> <4.0V			6	MHz
		C = 30 pF					
		TO01, TO06, TO07,				2	MHz
		TO11, TO13のみ					
		特殊スルー・レート					
		C = 30 pF					
タイマRJ入力サイクル	<b>t</b> c	TRJIO0		100			ns
タイマRJ入力ハイ・レベル幅、	twн,	TRJIO0		40			ns
ロウ・レベル幅	tw∟						
割り込み入力ハイ・レベル幅、	tinth,	INTP0-INTP5 <sup>注</sup>		1			μS
ロウ・レベル幅	tintl						
KR0-KR5キー割り込み入力	<b>t</b> kr			250			ns
ロウ・レベル幅							
RESETロウ・レベル幅	<b>t</b> RSL			10			μS

注 RESET, INTP0-INTP3にはMIN. 100 nsのノイズ・フィルタを持ちます。

注意 発振周波数精度誤差を除きます。

備考 fmck:タイマ・アレイ·ユニットの動作クロック周波数。

 $(T_A = -40 \sim +125^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

(2/2)

項目	略号	条	件	MIN.	TYP.	MAX.	単位
ポート出力立ち上がり時間,	t <sub>RO</sub> ,	P10-P17, P30, P40,	4.0V≦VDD≦5.5V			25	ns
立ち下がり時間	uo	P41, P60-P63, P120, P125 (通常スルー・レート) C = 30 pF	2.7V≦V <sub>DD</sub> <4.0V			55	ns
		P10, P12, P14, P30,	4.0V≦V <sub>DD</sub> ≦5.5V		25 <sup>注</sup>	60	ns
		P120 (特殊スルー・レート) C = 30 pF	2.7V≦V <sub>DD</sub> <4.0V			100	ns

注 T<sub>A</sub> = +25°C, V<sub>DD</sub> = 5.0 V時。

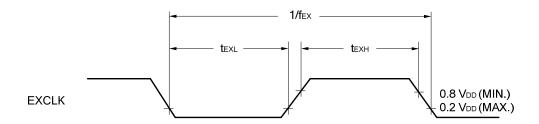
注意 発振周波数精度誤差を除きます。

備考 fmck:タイマ・アレイ・ユニットの動作クロック周波数。

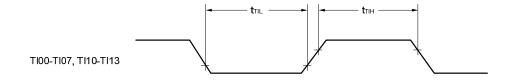
・ACタイミング測定点

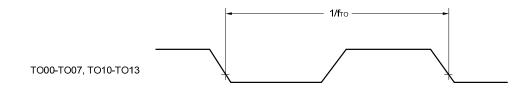


外部システム・クロック・タイミング

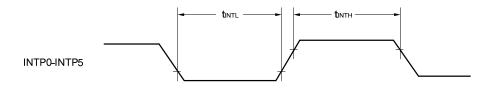


### ・TI/TOタイミング

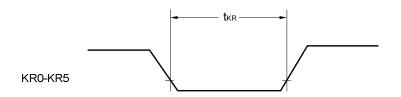




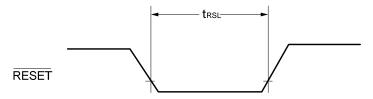
### ・割り込み要求入力タイミング



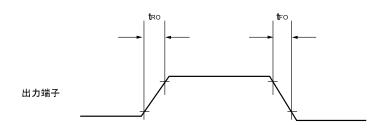
## キー割り込み入力タイミング



## ・RESET入力タイミング



## ・出力立ち上がり、立ち下がりタイミング



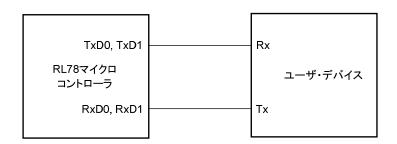
## 8.2.4 周辺機能特性

- (1) シリアル・アレイ・ユニット
- ・同電位通信時(UARTモード)(専用ボー・レート・ジェネレータ出力)

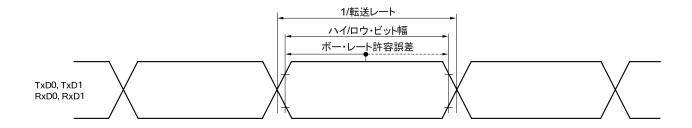
 $(T_A = -40 \sim +125^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号		条件	MIN.	TYP.	MAX.	単位
転送レート	_					fмск/6	bps
		fclk = 24 MHz,	通常スルー・レート			4	Mbps
		fmck = fclk	特殊スルー・レート			2	Mbps

#### UARTモード接続図(同電位通信時)



UARTモードのビット幅(同電位通信時) (参考)



★ 注意 RxD0, RxD1端子は通常入力バッファ、TxD0, TxD1端子は通常出力モードを選択。

備考 fmck: シリアル・アレイ・ユニットの動作クロック周波数

・同電位通信時(CSIモード)(マスタ・モード、SCKp…内部クロック出力、通常スルー・レート)

 $(T_A = -40 \sim +125^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	<b>t</b> KCY1		166.6注4			ns
SCKpハイ、ロウ・レベル幅	<b>t</b> кн1,	4.0V≦V <sub>DD</sub> ≦5.5V	tkcy1/2-12			ns
	<b>t</b> KL1	2.7V≦V <sub>DD</sub> <4.0V	tkcy1/2-18			ns
Slpセットアップ時間	tsıĸı	4.0V≦V <sub>DD</sub> ≦5.5V	55			ns
(対SCKp↑) <sup>注1</sup>		2.7V≦V <sub>DD</sub> <4.0V	66			ns
SIpホールド時間	<b>t</b> ksi1		30			ns
(対 <mark>SCKp</mark> ↑) <sup>注1</sup>						
SCKp ↓ →SOp出力遅延時間 <sup>注2</sup>	<b>t</b> KSO1	C = 30pF <sup>注3</sup>			40	ns

- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0の ときは"対SCKp↓"となります。
  - 2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0の ときは"対SCKp↑"となります。
  - 3. Cは、SCKp, SOp出カラインの負荷容量です。
  - 4. かつtкcY1≧4/fcLK

注意 SIp端子は通常入力バッファ、SOp, SCKp端子は通常出力モードを選択。

備考 p: CSIp (p=00,01,10) , m: ユニットm (m=0,1) , n: チャネルn (n=0,1)

・同電位通信時(CSIモード)(マスタ・モード、SCKp…内部クロック出力、特殊スルー・レート)

 $(T_A = -40 \sim +125^{\circ}C, 4.0V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	<b>t</b> KCY1		500 <sup>注4</sup>			ns
SCKpハイ、ロウ・レベル幅	<b>t</b> кн1,		tkcy1/2-60			ns
	<b>t</b> KL1					
SIpセットアップ時間	<b>t</b> sıĸı		120			ns
(対SCKp↑) <sup>注1</sup>						
SIpホールド時間	<b>t</b> ksi1		80			ns
(対SCKp↑) <sup>洼1</sup>						
SCKp ↓ →SOp出力遅延時間 <sup>注2</sup>	<b>t</b> KSO1	C = 30pF <sup>注3</sup>			90	ns

- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0の ときは"対SCKp↓"となります。
  - 2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0の ときは"対SCKp↑"となります。
  - 3. Cは、SCKp, SOp出カラインの負荷容量です。
  - 4. かつtкcY1≧4/fcLK
- 注意 SIp端子は通常入力バッファ、SOp, SCKp端子は通常出力モードかつ特殊スルー・レートを選択。

備考 p:CSIp (p=00,01,10), m:ユニットm (m=0,1), n:チャネルn (n=0,1)

・同電位通信時(CSIモード)(スレーブ・モード、SCKp…外部クロック入力、通常スルー・レート)

 $(T_A = -40 \sim +125^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号		条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	<b>t</b> KCY2			8/fмск			ns
SCKpハイ、ロウ・レベル幅	<b>t</b> KH2,			tkcy2/2			ns
	<b>t</b> KL2						
SIpセットアップ時間	tsık2			1/fmck+20			ns
(対SCKp↑) <sup>注1</sup>							
SIpホールド時間	t <sub>KSI2</sub>			1/fмcк+31			ns
(対 <mark>SCKp</mark> ↑) <sup>注1</sup>							
SCKp ↓→SOp出力遅延時間 <sup>注2</sup>	<b>t</b> KSO2	C = 30 pF <sup>注3</sup>	4.0V≦V <sub>DD</sub> ≦5.5V			2/fmck+44	ns
			2.7V≦V <sub>DD</sub> <4.0V			2/fмcк+57	ns
SSIpセットアップ時間	tssıĸ	DAP=0		120			ns
		DAP=1		1/fmck+120			ns
SSIpホールド時間	<b>t</b> kssi	DAP=0		1/fmck+120			ns
		DAP=1		120			ns

- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0の ときは"対SCKp↓"となります。
  - 2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0の ときは"対SCKp↑"となります。
  - 3. Cは、SCKp, SOp出カラインの負荷容量です。
- 注意 SIp, SCKp端子およびSSIp端子は通常入力バッファ、SOp端子は通常出力モードを選択。
  - 備考1. p: CSIp (p=00,01,10) , m: ユニットm (m=0,1) , n: チャネルn (n=0,1)
    - 2. fmck: シリアル・アレイ・ユニットの動作クロック周波数

94

・同電位通信時(CSIモード)(スレーブ・モード、SCKp···外部クロック入力、特殊スルー・レート)

 $(T_A = -40 \sim +125^{\circ}C, 4.0V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

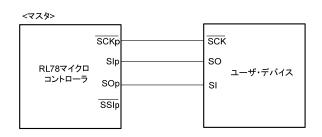
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	<b>t</b> KCY2	20MHz <fmck< td=""><td>10/fмск</td><td></td><td></td><td>ns</td></fmck<>	10/fмск			ns
		10MHz <fмск≦20mhz< td=""><td>8/<b>f</b>мск</td><td></td><td></td><td>ns</td></fмск≦20mhz<>	8/ <b>f</b> мск			ns
		fмcк≦10MHz	6/ <b>f</b> мск			ns
SCKpハイ、ロウ・レベル幅	<b>t</b> кн2,		tkcy2/2			ns
	t <sub>KL2</sub>					
SIpセットアップ時間	tsık2		1/fmck+50			ns
(対 <del>SCKp</del> ↑) <sup>注1</sup>						
SIpホールド時間	t <sub>KSI2</sub>		1/fmck+50			ns
(対 <mark>SCKp</mark> ↑) <sup>注1</sup>						
SCKp ↓ →SOp出力遅延時間 <sup>注2</sup>	<b>t</b> ks02	C = 30 pF <sup>注3</sup>			2/fмcк+80	ns
SSIpセットアップ時間	<b>t</b> ssık	DAP=0	120			ns
		DAP=1	1/fmck+120			ns
SSIpホールド時間	<b>t</b> kssı	DAP=0	1/fmck+120			ns
		DAP=1	120			ns

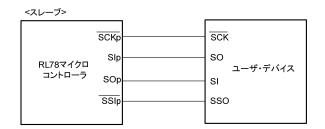
- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは"対SCKp↓"となります。
  - 2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは"対SCKp↑"となります。
  - 3. Cは、SCKp, SOp出カラインの負荷容量です。
- ★ 注意 SIp, SCKp端子およびSSIp端子は通常入力バッファ、SOp端子は通常出力モードかつ特殊スルー・レートを選択。

備考1. p:CSIp~(p=00,01,10) , m:ユニットm~(m=0,1) ,  $n:{\it frak}$  ナヤネルn (n=0,1)

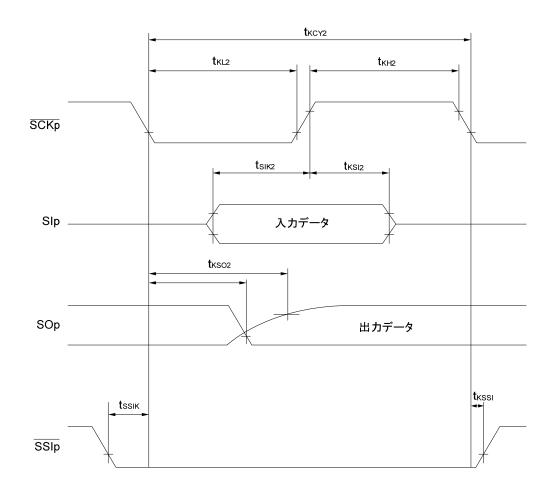
2. fmck: シリアル・アレイ・ユニットの動作クロック周波数

### CSIモード接続図(同電位通信時)

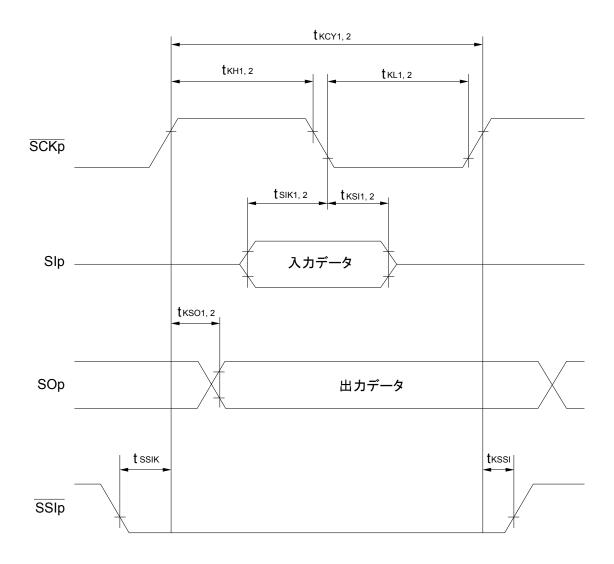




CSIモード・シリアル転送タイミング(同電位通信時) (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



## CSIモード・シリアル転送タイミング(同電位通信時) (DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



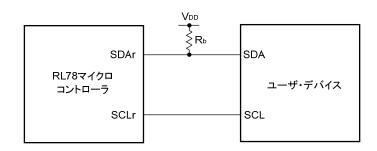
備考  $p:CSIp~(p=00,\,01,\,10)$  , m: ユニットm  $~(m=0,\,1)$  , n: チャネルn  $~(n=0,\,1)$ 

・同電位通信時(簡易 $I^2$ Cモード)(SDArはN-chオープン・ドレーン出力(VDD耐圧)モード、SCLrは通常出力モード) (TA =  $-40 \sim +125$ °C,  $2.7V \leq VDD \leq 5.5V$ , Vss = 0V)

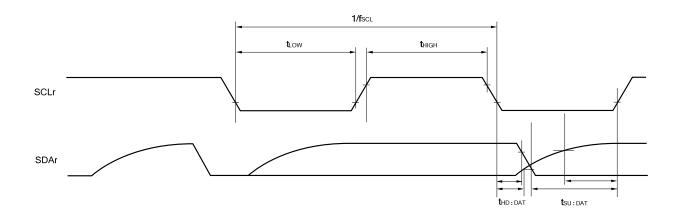
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLrクロック周波数	fscL				1000 <sup>注</sup>	kHz
SCLr = "L"のホールド・タイム	<b>t</b> LOW		475			ns
SCLr = "H"のホールド・タイム	<b>t</b> HIGH		475			ns
データ・セットアップ時間 (受信時)	tsu : DAT		1/fмcк+85			ns
データ・ホールド時間 (送信時)	thd : dat	$C_b = 50 pF, R_b = 2.7 k\Omega$	0		305	ns

注 かつfcLκ≦fмcк/4

簡易I<sup>2</sup>Cモード接続図(同電位通信時)



簡易 $I^2$ Cモード・シリアル転送タイミング(同電位通信時)



★ 注意 SDAr端子は通常入力バッファかつN-chオープン・ドレーン出力モード、SCLr端子は通常出力モードを選択。

備考1. R<sub>b</sub> [Ω]:通信ライン(SDAr)プルアップ抵抗値、C<sub>b</sub> [F]:通信ライン(SCLr, SDAr)負荷容量値

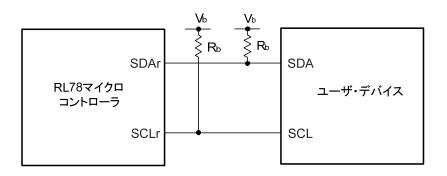
- 2. r: IICr (r = 00, 01, 10)
- 3. fмcк: シリアル・アレイ・ユニットの動作クロック周波数

・同電位通信時(簡易I<sup>2</sup>Cモード)(SDAr, SCLrはN-chオープン・ドレーン出力(VpD耐圧)モード) (T<sub>A</sub> = −40~+125°C, 2.7V≦VpD≦5.5V, Vss = 0V)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	fscL			400 <sup>注</sup>	kHz
SCLr = "L"のホールド・タイム	<b>t</b> LOW	4.0 V≦V <sub>DD</sub> ≦5.5 V,	1300		ns
		$C_b = 100 \text{ pF}, R_b = 1.7 \text{ k}\Omega$			
		2.7 V≦V <sub>DD</sub> <4.0 V,			
		$C_b = 100 \text{ pF}, R_b = 2.7 \text{ k}\Omega$			
SCLr = "H"のホールド・タイム	<b>t</b> HIGH	4.0 V≦V <sub>DD</sub> ≦5.5 V,	600		ns
		$C_b = 100 \text{ pF}, R_b = 1.7 \text{ k}\Omega$			
		2.7 V≦V <sub>DD</sub> <4.0 V,			
		$C_b = 100 \text{ pF}, R_b = 2.7 \text{ k}\Omega$			
データ・セットアップ時間(受信時)	tsu : DAT	4.0 V≦V <sub>DD</sub> ≦5.5 V,	1/fмcк+120		ns
		$C_b = 100 \text{ pF}, R_b = 1.7 \text{ k}\Omega$			
		2.7 V≦V <sub>DD</sub> <4.0 V,	1/fмcк+270		ns
		$C_b = 100 \text{ pF}, R_b = 2.7 \text{ k}\Omega$			
データ・ホールド時間 (送信時)	thd : dat	4.0 V≦V <sub>DD</sub> ≦5.5 V,	0	300	ns
		$C_b = 100 \text{ pF}, R_b = 1.7 \text{ k}\Omega$			
		2.7 V≦V <sub>DD</sub> <4.0 V,			
		$C_b = 100 \text{ pF}, R_b = 2.7 \text{ k}\Omega$			

注 かつfcLK≦fMCK/4

簡易I<sup>2</sup>Cモード接続図(同電位通信時)



★ 注意 SDAr, SCLr端子は通常入力バッファかつN-chオープン・ドレーン出力モードを選択。

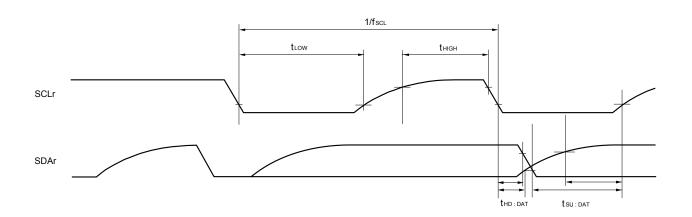
備考1.  $R_b[\Omega]$ : 通信ライン(SDAr, SCLr) プルアップ抵抗値、 $C_b[F]$ : 通信ライン(SDAr, SCLr) 負荷容量値、

V<sub>b</sub> [V]: 通信ライン電圧

2. r: IICr (r = 00, 01, 10)

3. fмcк: シリアル・アレイ・ユニットの動作クロック周波数

# 簡易 $I^2$ Cモード・シリアル転送タイミング(同電位通信時)



備考 r: IICr (r=00,01,10)

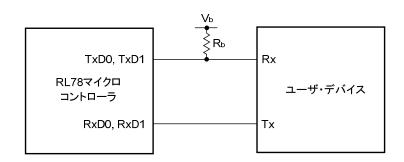
・異電位通信時(UARTモード)(TxD出力バッファ=N-chオープン・ドレーン、RxD入力バッファ=TTL)

 $(T_A = -40 \sim +125^{\circ}C, 4.0V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

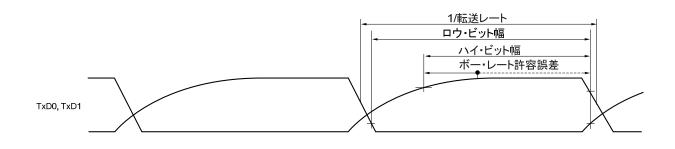
項目	略号		<b>条</b>	<b>4</b>	MIN.	TYP.	MAX.	単位
転送レート	_	受信	2.7 V≦Vb≦VDD,				fмск/6	bps
			V <sub>IH</sub> =2.2V,	最大転送レート理論値 <sup>注</sup>			4.0	Mbps
			V <sub>IL</sub> =0.8V	(C <sub>b</sub> =30 pF)				
		送信	2.7 V≦V₅≦V <sub>DD</sub> ,				fмск/6と(式1)	bps
			V <sub>OH</sub> =2.2V,				の小さい方	
			V <sub>OL</sub> =0.8V	最大転送レート理論値 <sup>注</sup>			4.0	Mbps
				(C <sub>b</sub> =30 pF)				
				通常スルー・レート				

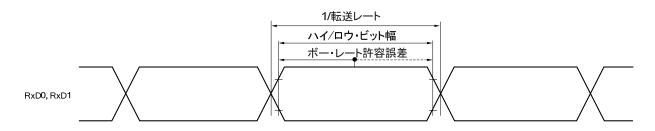
注 式1:最大転送レート=1/[{-Cb×Rb×ln(1-2.2/Vb)}×3]

#### UARTモード接続図(異電位通信時)



UARTモードのビット幅(異電位通信時)(参考)





★ 注意 RxD0, RxD1端子はTTL入カバッファ、TxD0, TxD1端子はN-chオープン・ドレーン出カモードを選択。

備考1.  $R_b[\Omega]$ : 通信ライン(TxD)プルアップ抵抗値、 $C_b[F]$ : 通信ライン(TxD)負荷容量値、

V<sub>b</sub> [V]: 通信ライン電圧

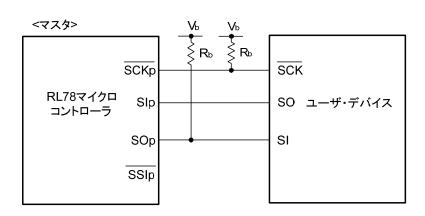
2. fмcк: シリアル・アレイ・ユニットの動作クロック周波数

・異電位(3 V系)通信時(CSIモード)(マスタ・モード、SCKp···内部クロック出力、通常スルー・レート)
(TA = -40~+125°C, 4.0V≦VDD≦5.5V, Vss = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	<b>t</b> KCY1	2.7 $V$ ≤ $V_b$ ≤ $V_{DD}$ , $C_b$ = 30 $pF$ , $R_b$ = 1.4 $k$ Ω	400 <sup>注3</sup>			ns
SCKpハイ・レベル幅	<b>t</b> кн1	2.7 $V$ ≤ $V_b$ ≤ $V_{DD}$ , $C_b$ = 30 $pF$ , $R_b$ = 1.4 $k$ Ω	txcy1/2-75			ns
SCKpロウ・レベル幅	<b>t</b> KL1	2.7 $V \le V_b \le V_{DD}$ , $C_b = 30pF$ , $R_b = 1.4kΩ$	tkcy1/2-20			ns
SIpセットアップ時間	<b>t</b> sıĸı	2.7 $V \le V_b \le V_{DD}$ , $C_b = 30pF$ , $R_b = 1.4kΩ$	150			ns
(対SCKp↑) <sup>注1</sup>						
SIpセットアップ時間	tsıĸ1	$2.7V \le V_b \le V_{DD}$ , $C_b = 30pF$ , $R_b = 1.4k\Omega$	70			ns
(対SCKp↓) <sup>注2</sup>						
Slpホールド時間	<b>t</b> KSI1	$2.7V \le V_b \le V_{DD}$ , $C_b = 30pF$ , $R_b = 1.4k\Omega$	30			ns
(対SCKp↑) <sup>注1</sup>						
SIpホールド時間	<b>t</b> ksı1	$2.7V \le V_b \le V_{DD}$ , $C_b = 30pF$ , $R_b = 1.4k\Omega$	30			ns
(対SCKp↓) <sup>注2</sup>						
SCKp ↓ →SOp出力遅延時間 <sup>注1</sup>	<b>t</b> KSO1	2.7V≦V₀≦Vɒɒ, C₀ = 30pF, R₀ = 1.4kΩ			120	ns
SCKp↑→SOp出力遅延時間 <sup>注2</sup>	<b>t</b> KSO1	2.7 $V$ ≤ $V_b$ ≤ $V_{DD}$ , $C_b$ = 30 $pF$ , $R_b$ = 1.4 $k$ Ω			40	ns

- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。
  - 2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。
  - 3. かつtкcy1≧4/fclk

#### CSIモード接続図(異電位通信時)

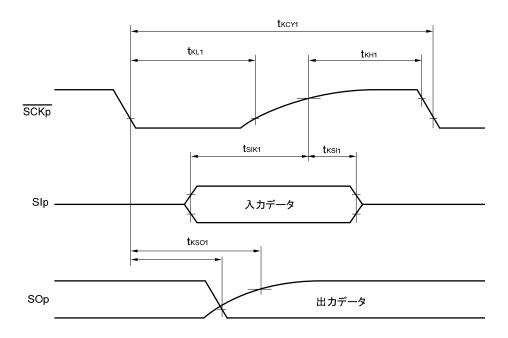


★ 注意 SIp端子はTTL入カバッファ、SOp, SCKp端子はN-chオープン・ドレーン出力モードを選択。

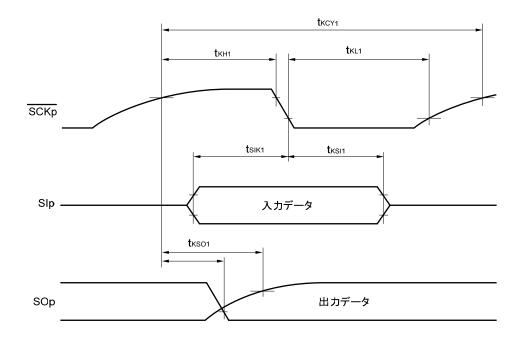
備考1. R<sub>b</sub> [ $\Omega$ ]: 通信ライン( $\overline{SCKp}$ , SOp)プルアップ抵抗値、C<sub>b</sub> [F]: 通信ライン(SOp,  $\overline{SCKp}$ )負荷容量値、 V<sub>b</sub> [V]: 通信ライン電圧

- 2. p: CSIp (p=00,01,10) , m: ユニットm (m=0,1) , n: チャネルn (n=0,1)
- シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のV<sub>IH</sub>とV<sub>IL</sub>を観測点としています。
   4.0 V ≦V<sub>DD</sub>≦5.5 V, 2.7 V≦V<sub>b</sub>≦4.0 Vのとき: V<sub>IH</sub> = 2.2 V, V<sub>IL</sub> = 0.8 V

# CSIモード・シリアル転送タイミング:マスタ・モード(異電位通信時) (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング:マスタ・モード(異電位通信時) (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)

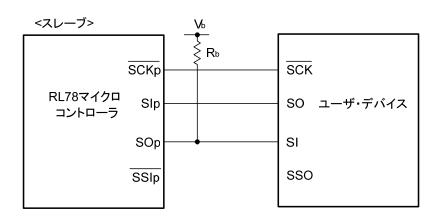


・異電位 (3V系) 通信時 (CSIモード) (スレーブ・モード、SCKp…外部クロック入力、通常スルー・レート) (TA = -40~+125°C, 4.0V≦Voo≤5.5V, Vss = 0V)

項目	略号		条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	<b>t</b> KCY2	2.7V≦Vb≦VDD	20 MHz <fмcк≦24 mhz<="" td=""><td>12/fмск</td><td></td><td></td><td>ns</td></fмcк≦24>	12/fмск			ns
			8 MHz <fмcк≦20 mhz<="" td=""><td>10/fмск</td><td></td><td></td><td>ns</td></fмcк≦20>	10/fмск			ns
			4 MHz <fмcк≦8 mhz<="" td=""><td>8/fмск</td><td></td><td></td><td>ns</td></fмcк≦8>	8/fмск			ns
			fмcк≦4 MHz	6/fмск			ns
SCKpハイ、ロウ・レベル幅	<b>t</b> кн2,	2.7V≦Vb≦VDD		tkcy2/2-20			ns
	<b>t</b> KL2						
Slpセットアップ時間	tsık2			90			ns
(対 <del>SCKp</del> ↑) <sup>洼1</sup>							
SIpホールド時間	tks12			1/fmck+50			ns
(対SCKp↑) <sup>洼1</sup>							
SCKp ↓ →SOp出力遅延時間 <sup>注2</sup>	<b>t</b> KSO2	2.7V≦Vb≦VDD,	$C_b = 30 pF, R_b = 1.4 k\Omega$			2/fмcк+120	ns
 SSIpセットアップ時間	<b>t</b> ssik	DAP=0		120			ns
		DAP=1		1/fmck+120			ns
SSIpホールド時間	tkssi	DAP=0		1/fmck+120			ns
_		DAP=1		120			ns

- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは"対SCKp↓"となります。
  - 2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは"対SCKp↑"となります。

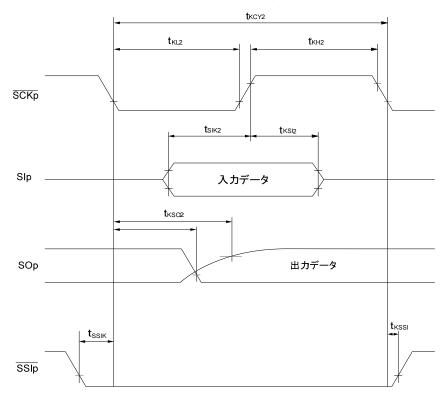
### CSIモード接続図(異電位通信時)



- ★ 注意 SIp, SCKp端子およびSSIp端子はTTL入カバッファ、SOp端子はN-chオープン・ドレーン出カモードを選択。
  - 備考1.  $R_b[\Omega]$ : 通信ライン(SOp)プルアップ抵抗値、 $C_b[F]$ : 通信ライン(SOp)負荷容量値、  $V_b[V]$ : 通信ライン電圧
    - 2. p: CSIp (p=00,01,10), m: ユニットm (m=0,1), n: チャネルn (n=0,1)
    - シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のVHとVLを観測点としています。
       4.0 V≦VD≦5.5 V, 2.7 V≦Vb≦4.0 Vのとき: VH = 2.2 V, VL = 0.8 V

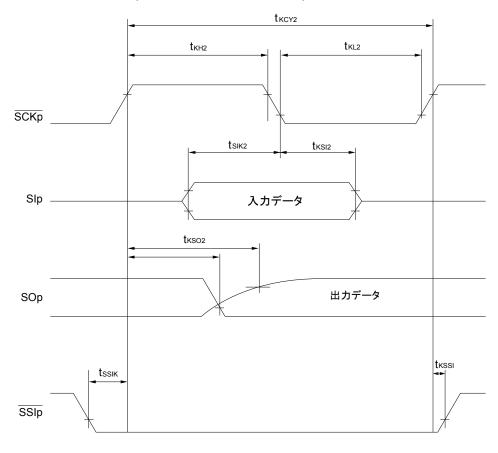
#### CSIモード・シリアル転送タイミング:スレーブ・モード(異電位通信時)

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



## CSIモード・シリアル転送タイミング:スレーブ・モード(異電位通信時)

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



・異電位(3 V系)通信時(簡易I<sup>2</sup>Cモード)

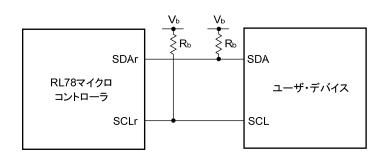
(SDArはTTL入力バッファ・モード、N-chオープン・ドレーン出力(Vpp耐圧)モード、SCLrはN-chオープン・ドレーン出力(Vpp耐圧)モード)

 $(T_A = -40 \sim +125^{\circ}C, 4.0V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

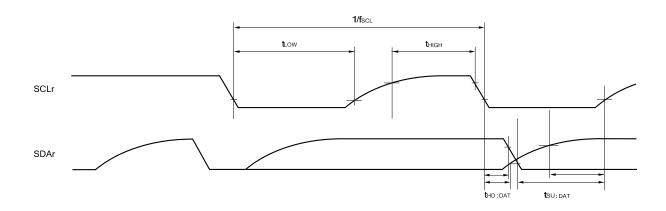
項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	fscL	2.7V $\leq$ V <sub>b</sub> $\leq$ 4.0V, C <sub>b</sub> = 100pF, R <sub>b</sub> = 1.4kΩ		400 <sup>注</sup>	kHz
SCLr = "L"のホールド・タイム	tLOW	2.7V $\leq$ V <sub>b</sub> $\leq$ 4.0V, C <sub>b</sub> = 100pF, R <sub>b</sub> = 1.4kΩ	1200		ns
SCLr = "H"のホールド・タイム	<b>t</b> HIGH	2.7V≦V <sub>b</sub> ≤4.0V, C <sub>b</sub> = 100pF, R <sub>b</sub> = 1.4kΩ	600		ns
データ・セットアップ時間(受信時)	tsu : DAT	2.7V $\leq$ V <sub>b</sub> $\leq$ 4.0V, C <sub>b</sub> = 100pF, R <sub>b</sub> = 1.4kΩ	135+1/fмск		ns
データ・ホールド時間(送信時)	thd : DAT	$2.7V \le V_b \le 4.0V$ , $C_b = 100pF$ , $R_b = 1.4k\Omega$	0	140	ns

注 かつfscL≦fмcк/4

簡易I<sup>2</sup>Cモード接続図(異電位通信時)



簡易 $I^2$ Cモード・シリアル転送タイミング(異電位通信時)



★ 注意 SDAr端子はTTL入カバッファかつN-chオープン・ドレーン出力モード、SCLr端子はN-chオープン・ドレーン出力モードを選択。

備考1. R<sub>b</sub> [Ω]: 通信ライン (SDAr, SCLr) プルアップ抵抗値、C<sub>b</sub> [F]: 通信ライン (SDAr, SCLr) 負荷容量値、

V₀ [V]: 通信ライン電圧

2. fмcк: シリアル・アレイ・ユニットの動作クロック周波数

#### (2) シリアル・インタフェース (IICA)

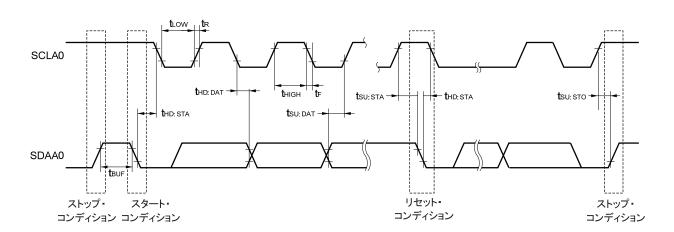
 $(T_A = -40 \sim +125^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号	条件	標準	Eード			ファースト・		単位
					ŧ-	-ド	モード	・プラス	
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fscL	ファースト・モード・プラス:					0	1000	kHz
		10 MHz≦fc∟ĸ							
		ファースト・モード:			0	400			kHz
		3.5 MHz≦fak							
		標準モード:	0	100					kHz
		1 MHz≦fc∟ĸ							
リスタート・コンディションの	tsu : sta		4.7		0.6		0.26		μS
セットアップ時間 <sup>注1</sup>									
ホールド時間	thd : STA		4.0		0.6		0.26		μS
SCLA0 = "L"のホールド・タイム	<b>t</b> Low		4.7		1.3		0.5		μS
SCLA0 = "H"のホールド・タイム	<b>t</b> HIGH		4.0		0.6		0.26		μS
データ・セットアップ時間	tsu : DAT		250		100		50		ns
(受信時)									
データ・ホールド時間	thd : dat		0	3.45	0	0.9	0		μS
(送信時) <sup>注2</sup>									
ストップ・コンディションの	tsu : sto		4.0		0.6		0.26		μS
セットアップ時間									
バス・フリー時間	<b>t</b> BUF		4.7		1.3		0.5		μS

- 注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスを生成します。
  - 2. thD:DATの最大値(MAX.)は、通常転送時の数値であり、ACK(アクノリッジ)タイミングでは、ウエイトがかかります。
- 備考 各モードにおける $C_{\text{\tiny b}}$ (通信ライン容量)のMAX.値と、そのときの $R_{\text{\tiny b}}$ (通信ライン・プルアップ抵抗値)の値は、次のとおり です。

標準モード :  $C_b = 400 pF$ ,  $R_b = 2.7 k\Omega$ ファースト・モード :  $C_b = 320 pF$ ,  $R_b = 1.1 k\Omega$ ファースト・モード・プラス :  $C_b$  = 120pF,  $R_b$  = 1.1kΩ

#### IICAシリアル転送タイミング



## (3) オンチップ・デバッグ(UART)

 $(T_A = -40 \sim +125^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	_		115.2k		1M	bps

### (4) LIN/UARTモジュール (RLIN3) UARTモード

 $(T_A = -40 \sim +125^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号	ş	<b>条件</b>	MIN.	TYP.	MAX.	単位
転送レート	_	動作モード、HALTモード	LIN通信クロック源			4000	kbps
			(fclĸまたはfmx)				
			4 MHz~24 MHz				
		SNOOZEモード	LIN通信クロック源(fclk)			4.8	
			1 MHz~24 MHz				
			ユーザ・オプション・バイト				
			(000C2H/020C2H) の				
			FRQSEL4 = 0				
			LIN通信クロック源(fclk)			2.4	
			1 MHz~24 MHz				
			ユーザ・オプション・バイト				
			(000C2H/020C2H) の				
			FRQSEL4 = 1				

# 8.2.5 アナログ特性

(1) A/Dコンバータ特性

· AV<sub>REF</sub> (+) = AV<sub>REFP</sub>/ANI0(ADREFP1 = 0, ADREFP0 = 1), AV<sub>REF</sub> (-) = AV<sub>REFM</sub>/ANI1(ADREFM = 1)選択時、 対象ANI端子:ANI2-ANI7

(TA = -40~+125°C, 2.7V≦VDD≦5.5 V, VSS = 0 V, 基準電圧(+) = AVREFP, 基準電圧(-) = AVREFM = 0 V)

項目	略号		条件	MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 <sup>注1</sup>	AINL	10ビット分解能	4.0V≦VDD≦5.5V		1.2	±3.0	LSB
		AV <sub>REFP</sub> = V <sub>DD</sub>	2.7V≦VDD<4.0V		1.2	±3.5	LSB
変換時間	tconv	10ビット分解能	4.0V≦VDD≦5.5V	2.125		39	μs
		AV <sub>REFP</sub> = V <sub>DD</sub>	2.7V≦VDD<4.0V	3.1875		39	μs
ゼロスケール誤差 <sup>注1, 2</sup>	EZS	10ビット分解能	2.7V≦VDD≦5.5V			±0.25	%FSR
		AV <sub>REFP</sub> = V <sub>DD</sub>					
フルスケール誤差 <sup>注1, 2</sup>	EFS	10ビット分解能	2.7V≦VDD≦5.5V			±0.25	%FSR
		AVREFP = VDD					
積分直線性誤差 <sup>注1</sup>	ILE	10ビット分解能	2.7V≦VDD≦5.5V			±2.5	LSB
		AVREFP = VDD					
微分直線性誤差 <sup>注1</sup>	DLE	10ビット分解能	2.7V≦VDD≦5.5V			±1.5	LSB
		AV <sub>REFP</sub> = V <sub>DD</sub>					
基準電圧(+)	AVREFP			2.7		$V_{\text{DD}}$	V
アナログ入力電圧	Vain			0		AVREFP	V
内部基準電圧(+)	V <sub>BGR</sub>	2.7V≦V <sub>DD</sub> ≦5.5V		1.38	1.45	1.5	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

<sup>2.</sup> フルスケール値に対する比率 (%FSR) で表します。

· AVREF (+) = AVREFP/ANIO(ADREFP1 = 0, ADREFP0 = 1), AVREF (-) = AVREFM/ANI1(ADREFM = 1)選択時、 対象ANI端子: ANI24, ANI25

(TA = -40~+125°C, 2.7V≦VDD≦5.5 V, VSS = 0 V, 基準電圧(+) = AVREFP, 基準電圧(-) = AVREFM = 0 V)

項目	略号		条件	MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 <sup>注1</sup>	AINL	10ビット分解能	4.0V≦VDD≦5.5V		1.2	±4.5	LSB
		AV <sub>REFP</sub> = V <sub>DD</sub>	2.7V≦V <sub>DD</sub> <4.0V		1.2	±5.0	LSB
変換時間	tconv	10ビット分解能	4.0V≦VDD≦5.5V	2.125		39	μS
		AV <sub>REFP</sub> = V <sub>DD</sub>	2.7V≦V <sub>DD</sub> <4.0V	3.1875		39	$\mu$ s
ゼロスケール誤差 <sup>注1, 2</sup>	EZS	10ビット分解能	2.7V≦VDD≦5.5V			±0.35	%FSR
		AV <sub>REFP</sub> = V <sub>DD</sub>					
フルスケール誤差 <sup>注1, 2</sup>	EFS	10ビット分解能	2.7V≦VDD≦5.5V			±0.35	%FSR
		AV <sub>REFP</sub> = V <sub>DD</sub>					
積分直線性誤差 <sup>注1</sup>	ILE	10ビット分解能	2.7V≦VDD≦5.5V			±3.5	LSB
		AV <sub>REFP</sub> = V <sub>DD</sub>					
微分直線性誤差 <sup>注1</sup>	DLE	10ビット分解能	2.7V≦VDD≦5.5V			±2.0	LSB
		AV <sub>REFP</sub> = V <sub>DD</sub>					
基準電圧(+)	AVREFP			2.7		$V_{DD}$	V
アナログ入力電圧	Vain			0		AVREFP	٧
						かつVɒɒ	
内部基準電圧(+)	V <sub>BGR</sub>	2.7V≦V <sub>DD</sub> ≦5.5V		1.38	1.45	1.5	V

注1. 量子化誤差(±1/2 LSB)を含みません。

<sup>2.</sup> フルスケール値に対する比率(%FSR)で表します。

· AVREF (+) = VDD (ADREFP1 = 0, ADREFP0 = 0), AVREF (-) = Vss (ADREFM = 0) 選択時、

対象ANI端子: ANI0-ANI7, ANI24, ANI25

(T<sub>A</sub> = -40~+125°C, 2.7V≦V<sub>DD</sub>≦5.5 V, V<sub>SS</sub> = 0 V, 基準電圧(+) = V<sub>DD</sub>, 基準電圧(-) = V<sub>SS</sub>)

項目	略号		条件	MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 <sup>注1</sup>	AINL	10ビット分解能	4.0V≦VDD≦5.5V		1.2	±5.0	LSB
		ANI0-ANI7	2.7V≦V <sub>DD</sub> <4.0V		1.2	±5.5	LSB
		10ビット分解能	4.0V≦V <sub>DD</sub> ≦5.5V		1.2	±6.5	LSB
		ANI24, ANI25	2.7V≦V <sub>DD</sub> <4.0V		1.2	±7.0	LSB
変換時間	tconv	10ビット分解能	4.0V≦V <sub>DD</sub> ≦5.5V	2.125		39	μS
			2.7V≦V <sub>DD</sub> <4.0V	3.1875		39	$\mu$ s
ゼロスケール誤差 <sup>注1, 2</sup>	EZS	10ビット分解能	2.7V≦VDD≦5.5V			±0.50	%FSR
		ANI0-ANI7					
		10ビット分解能	2.7V≦VDD≦5.5V			±0.60	%FSR
		ANI24, ANI25					
フルスケール誤差 <sup>注1, 2</sup>	EFS	10ビット分解能	2.7V≦VDD≦5.5V			±0.50	%FSR
		ANI0-ANI7					
		10ビット分解能	2.7V≦VDD≦5.5V			±0.60	%FSR
		ANI24, ANI25					
積分直線性誤差 <sup>注1</sup>	ILE	10ビット分解能	2.7V≦VDD≦5.5V			±3.5	LSB
		ANI0-ANI7					
		10ビット分解能	2.7V≦VDD≦5.5V			±4.0	LSB
		ANI24, ANI25					
微分直線性誤差 <sup>注1</sup>	DLE	10ビット分解能	2.7V≦VDD≦5.5V			±2.0	LSB
アナログ入力電圧	VAIN	ANI0-ANI7		0		V <sub>DD</sub>	V
		ANI24, ANI25		Vss		V <sub>DD</sub>	V
内部基準電圧(+)	V <sub>BGR</sub>	2.7V≦V <sub>DD</sub> ≦5.5V		1.38	1.45	1.5	V

- 注1. 量子化誤差  $(\pm 1/2 \text{ LSB})$  を含みません。
  - 2. フルスケール値に対する比率(%FSR)で表します。
- · AV<sub>REF</sub>(+) = 内部基準電圧(ADREFP1 = 1, ADREFP0 = 0), AV<sub>REF</sub>(-) = AV<sub>REFM</sub>/ANI1(ADREFM = 1)選択時、 対象ANI端子:ANI0-ANI7, ANI24, ANI25

(T<sub>A</sub> = −40~+125°C, 2.7V≦V<sub>DD</sub>≦5.5V, V<sub>SS</sub> = 0 V, 基準電圧(+) = V<sub>BGR</sub>, 基準電圧(−) = AV<sub>REFM</sub> = 0 V)

項目	略号		条件 MIN. TYP. MAX				単位
分解能	RES				8		bit
変換時間	<b>t</b> conv	8ビット分解能	2.7V≦VDD≦5.5V	17		39	μS
ゼロスケール誤差 <sup>注1, 2</sup>	EZS	8ビット分解能	2.7V≦V <sub>DD</sub> ≦5.5V			±0.60	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	8ビット分解能	2.7V≦V <sub>DD</sub> ≦5.5V			±2.0	LSB
微分直線性誤差 <sup>注1</sup>	DLE	8ビット分解能	2.7V≦VDD≦5.5V			±1.0	LSB
基準電圧(+)	V <sub>BGR</sub>			1.38	1.45	1.5	V
アナログ入力電圧	Vain			0		V <sub>BGR</sub>	V

- 注1. 量子化誤差 (±1/2 LSB) を含みません。
  - 2. フルスケール値に対する比率(%FSR)で表します。

#### (2) 温度センサ特性

 $(T_A = -40 \sim +125^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V <sub>TMPS25</sub>	ADSレジスタ = 80H設定、TA =+25℃		1.1		V
リファレンス出力電圧	Vconst	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	FVTMPS	温度センサ電圧の温度依存		-3.3		mV/°C
動作安定待ち時間	tamp		5			μS

#### (3) POR回路特性

 $(T_A = -40 \sim +125^{\circ}C, V_{SS} = 0V)$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧 <sup>注</sup>	Vpor	電源立ち上がり時	1.48	1.56	1.62	V
	V <sub>PDR</sub>	電源立ち下がり時	1.47	1.55	1.61	V
最小パルス幅	T <sub>PW</sub>		300			μS
検出遅延	T <sub>PD</sub>				350	μS

注 POR回路の特性を示すものであり、下限動作電圧(2.7V)未満での通常動作を保証するものではありません。

#### (4) LVD回路特性

・リセット・モード、割り込みモードのLVD検出電圧

 $(T_A = -40 \sim +125^{\circ}C, V_{PDR} \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

	項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V <sub>LVD0</sub>	電源立ち上がり時	4.62	4.74	4.94	V
			電源立ち下がり時	4.52	4.64	4.84	V
		V <sub>LVD1</sub>	電源立ち上がり時	4.50	4.62	4.82	V
			電源立ち下がり時	4.40	4.52	4.71	V
		V <sub>LVD2</sub>	電源立ち上がり時	4.30	4.42	4.61	V
		電源立ち下がり時	4.21	4.32	4.51	V	
		V <sub>LVD3</sub>	電源立ち上がり時	3.13	3.22	3.39	V
			電源立ち下がり時	3.07	3.15	3.31	V
		V <sub>LVD4</sub>	電源立ち上がり時	2.95	3.02	3.17	V
			電源立ち下がり時	2.89	2.96	3.09	V
		V <sub>LVD5</sub>	電源立ち上がり時	2.74	2.81	2.95	V
			電源立ち下がり時	2.68 <sup>注</sup>	2.75	2.88	V
最小パルス	く幅	t∟w		300			μS
検出遅延		<b>t</b> LD				300	$\mu$ S

注 MIN.値は下限動作電圧(2.7V)を下回りますが、リセット・モードで使用時は、電源立ち下がり時においてリセットがかかるまでは通常動作(VDD = 2.7V時と同等の値での動作)できます。

#### ・割り込み&リセット・モードのLVD検出電圧

 $(T_A = -40 \sim +125^{\circ}C, V_{PDR} \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号		条件	MIN.	TYP.	MAX.	単位
割り込み&	V <sub>LVD5</sub>	VPOC2, VPOC1, VPOC0	= 0, 0, 1 <sup>注1</sup> 、	2.68 <sup>注2</sup>	2.75	2.88	V
リセット・モード		立ち下がりリセット電圧	: 2.75V				
	V <sub>LVD2</sub>	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	4.30	4.42	4.61	V
			立ち下がり割り込み電圧	4.21	4.32	4.51	V
	V <sub>LVD5</sub>	VPOC2, VPOC1, VPOC0	= 0, 1, 0 <sup>注1</sup> 、	2.68 <sup>注2</sup>	2.75	2.88	V
		立ち下がりリセット電圧	: 2.75V				
	V <sub>LVD1</sub>	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.50	4.62	4.82	V
			立ち下がり割り込み電圧	4.40	4.52	4.71	V
	V <sub>LVD5</sub>	VPOC2, VPOC1, VPOC0	= 0, 1, 1 <sup>注1</sup> 、	2.68 <sup>注2</sup>	2.75	2.88	V
		立ち下がりリセット電圧	: 2.75V				
	V <sub>LVD3</sub>	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	3.13	3.22	3.39	V
			立ち下がり割り込み電圧	3.07	3.15	3.31	V
	V <sub>LVD0</sub>	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.62	4.74	4.94	V
			立ち下がり割り込み電圧	4.52	4.64	4.84	V

#### 注1. オプション・バイトの設定値を示しています。

2. MIN.値は下限動作電圧 (2.7V) を下回りますが、リセット・モードで使用時は、電源立ち下がり時においてリセットがかかるまでは通常動作 (VD = 2.7V時と同等の値での動作) できます。

# 8.2.6 電源立ち上げ時間

 $(T_A = -40 \sim +125^{\circ}C, V_{SS} = 0V)$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位
最大電源電圧立ち上げ傾き	Svrmax	0V→V <sub>DD</sub> (VPOC2=0ま <i>†</i> :は1 <sup>注2</sup> )			50 <sup>注3</sup>	V/ms
最小電源電圧立ち上げ傾き <sup>注1</sup>	Svrmin	0V→2.7V	6.5			V/ms

注1. 最小電源電圧立ち上げ傾きは、以下の条件の場合にのみ適用対象になります。

電圧検出(LVD)回路が未使用(VPOC2=1)かつ外部リセット回路未使用もしくはVDD=2.7Vまでリセットがかからない場合。

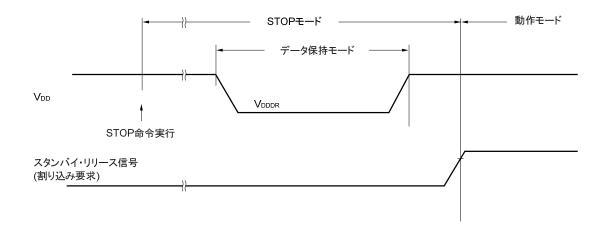
- 2. オプション・バイトの設定値を示しています。
- 3. 電源がVPDR以下に下降し、PORリセットが発生した場合は、0Vまで下降せずに復帰する場合も本スペックの適用対象になります。

## 8.2.7 STOPモード時メモリ保持特性

 $(T_A = -40 \sim +125^{\circ}C, V_{SS} = 0V)$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.47 <sup>注</sup>		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持しません。



# 8.2.8 フラッシュ・メモリ・プログラミング特性

 $(T_A = -40 \sim +125^{\circ}C, 2.7V \leq V_{DD} \leq 5.5V, V_{SS} = 0V)$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fclk		1		24	MHz
コード・フラッシュの書き換え回数 <sup>注1,2,3</sup>	Cerwr	保持20年(書き換え後)	1,000			回
		T <sub>A</sub> = +85°C <sup>注4</sup>				
データ・フラッシュの書き換え回数 <sup>注1,2,3</sup>		保持20年(書き換え後)	10,000			
		T <sub>A</sub> = +85°C <sup>注4</sup>				
		保持5年(書き換え後)	100,000			
		T <sub>A</sub> = +85°C <sup>注4</sup>				
消去時間	Terasa	ブロック消去	5			ms
書き込み時間	Twrwa	1ワード書き込み	10			μS

- 注1. 消去1回+消去後の書き込み1回を書き換え回数1回とします。保持年数は、一度書き換えた後、次に書き換えを行うまでの期間とします。
  - 2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用したときになります。
  - 3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。
  - 4. 保持の平均温度です。

# 8.3 アナログ部の電気的特性

# 8.3.1 電源回路特性

DC特性 (特に指定のないかぎり、T<sub>A</sub> = -40~+125°C, 6 V≦Vsup≦19 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
出力電圧	Vccouт4	6 V≦Vsup≦19 V,	-40 °C≦T <sub>A</sub> <25 °C	4.7	5	5.3	V
		Vccout = VRS	または				
		外付けPNPトランジスタ	105 °C <t<sub>A≦125 °C</t<sub>				
		(2SB1261-L) 使用時,	25 °C≦T <sub>A</sub> ≦105 °C	4.75	5	5.25	V
		Ic + Isvbb =1mA~250mA <sup>注1</sup>					
	Vccouт5	19 V≦Vsup≦40 V, Vccout = V	/RS, T <sub>A</sub> = 25 °C	4.5	5	5.5	V
		外付けPNPトランジスタ(2S					
		Ic+IsvDD = 1mA	c+I <sub>SVDD</sub> = 1mA				
過電流検出電圧	VsuPlim	外付けPNPトランジスタ使用	時	250	300	380	mV
		検出抵抗接続端子の電位差					
ショート電流	I <sub>short</sub> 注2	外付けPNPトランジスタ(2S	B1261-L)使用時		40		mA
負荷安定度	REG <sub>L2</sub>	1 mA <ic ma<sup="" ≦250="">注1, V<sub>SUP</sub> =</ic>	= 14 V			150	mV
		外付けPNPトランジスタ(2S	8B1261-L)使用時				
入力安定度	REG <sub>IN2</sub>	6 V≦Vsup≦19 V, Ic = 250 mA	\ <sup>注1</sup>			100	mV
		外付けPNPトランジスタ(2S	B1261-L)使用時				

注1. 回路動作のみを保証するもので発熱を考慮したものではありません。外付けドロッパー (PNPトランジスタ) を使用する場合 は、あらかじめ許容損失を十分考慮したうえで使用してください。

<sup>2.</sup> 数値は設計保証値であり、出荷テストは行いません。

# 8.3.2 電源電流特性

DC特性 (特に指定のないかぎり、T<sub>A</sub> = -40~+125°C, 6 V≦Vsup≦19 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	ISUP4 注1, 2	Isup4 = Isup, T <sub>A</sub> = 25°C, Vsup = 14 V,		22	50	$\mu$ A
外付けPNP使用(2SB1261-L)時		SVDDEN=Low, MSLP=Low				
	Isups 注1, 2	Isups = Isup,		22	70	$\mu$ A
		SVDDEN=Low, MSLP=Low				
	Isup6 注1, 2	Isupe = Isup, TxL=High		0.19	1	mA
		SVDDEN=Low, MSLP=High				

- 注1. SUP、VRO内部電源に流れるトータル電流です。ただし、プルアップ抵抗に流れる電流は含みません。
  - 2. Vppに流れる電流は含みません。Vppに流れる電流(lpp)については、RL78/F13のユーザーズ·マニュアルの「第35章 電気的特性(Kグレード)」のDC特性を参照してください。

## 8.3.3 外部センサ用電源特性

DC特性 (特に指定のないかぎり、T<sub>A</sub> = -40~+125°C, 6 V≦Vsup≦19 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力電圧	Vsvdd1	6 V≦Vsup≦19 V, IsvDD = 20mA	VRS-0.3			٧
	Vsvdd2	6 V≦Vsup≦19 V, SVDDEN=Low			0.3	٧
過電流検出電流	IsvDDlim	6 V≦Vsup≦19 V, SVDD端子電流	21	35	55	mA
ハイ・レベル入力電圧	Vsvddenh	SVDDEN	0.7VRS			٧
ロウ・レベル入力電圧	VSVDDENL	SVDDEN			0.3VRS	V
ハイ・レベル入力リーク電流	I <sub>SVDDENH</sub>	SVDDENプルダウン抵抗への電流を含む		50		$\mu$ A
ロウ・レベル入力リーク電流	I <sub>SVDDENL</sub>	SVDDEN	-1			μΑ
SVDDENプルダウン抵抗	RSVDDEN	SVDDEN	50	100	200	kΩ

AC特性 (特に指定のないかぎり、 $T_A = -40 \sim +125$ °C, 6  $V \le V$ SUP $\le 19 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力遅延時間	T <sub>dSVDDEN</sub> 注	SVDDEN=Low → High			20	μs
		$C_{SVDD} = 0.1 \mu F$				

注 数値は設計保証値であり、出荷テストは行いません。

図8-1 外部センサ用電源出力遅延時間

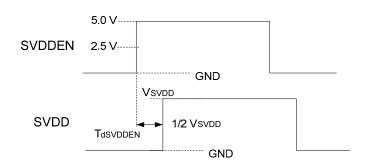
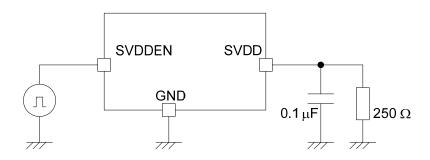


図8-2 外部センサ用電源出力遅延時間測定外部条件



# 8.3.4 LINトランシーバ部特性

DC特性 (特に指定のないかぎり、 $T_A = -40 \sim +125$ °C, 6  $V \le V$ SUP $\le 19 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
LINバス・ドミナント・リーク	BUS_PAS_dom	V <sub>BUS</sub> = 0 V, V <sub>SUP</sub> = 12 V	-1			mA
電流						
LINバス・レセシブ・リーク電流	BUS_PAS_rec	V <sub>BUS</sub> ≧V <sub>SUP</sub>			20	$\mu$ A
LINバス電流1	IBUS_NO_GND 注	0 V <v<sub>BUS&lt;18 V, V<sub>SUP</sub> = 12 V</v<sub>	-1		1	mA
LINバス電流2	IBUS	Vsup_Device = GND, 0 V <vsus<18 td="" v<=""><td></td><td>1</td><td>10</td><td>μΑ</td></vsus<18>		1	10	μΑ
受信ドミナント・レベル入力電圧	VBUSdom				0.4Vsup	V
受信レセシブ・レベル入力電圧	V <sub>BUSrec</sub>		0.6Vsup			V
受信センタ・レベル・スレッシュ	V <sub>BUS_CNT</sub>	(Vth_dom+Vth_rec)/2	0.475	0.5Vsup	0.525	V
ホールド			Vsup		Vsup	
受信ヒステリシス	VHYS	Vth_rec - Vth_dom			0.175	V
					Vsup	
LINドミナント・レベル出力電圧1	VBUSdom_DRV_	V <sub>SUP</sub> = 7.3 V, I <sub>lin</sub> = 15 mA			1.2	V
	LoSUP					
LINドミナント・レベル出力電圧2	VBUSdom_DRV_	V <sub>SUP</sub> = 18 V, I <sub>lin</sub> = 36 mA			2	V
	HISUP					
LINシリアル・ダイオード・	VserDiode	$TxL = V_{RO}$	0.4	0.7	1.0	V
ドロップ電圧						
LINプルアップ抵抗	Rslave	PU = Low	20	30	60	kΩ
LINプルアップ抵抗オフリーク	I <sub>slave_leak</sub>	PU = High			2	μΑ
LINドライバ過電流制限	Iconst	LIN端子流入電流制限值	40	80	200	mA
ハイ・レベル入力電圧	Viha	MOD1, MOD2, MSLP, PU, TxL	0.7VRS			V
ロウ・レベル入力電圧	Vila	MOD1, MOD2, MSLP, PU, TxL			0.3VRS	V
ハイ・レベル出力電圧	VorxH	RxL, V <sub>BUS</sub> = V <sub>SUP</sub> , Io = -5 mA	0.8VRS			V
ロウ・レベル出力電圧	VorxL	RxL, V <sub>BUS</sub> = 0 V, Io = 5 mA			0.2VRS	V
ハイ・レベル出力リーク電流	IrxH	RxL, Port mode時			1	$\mu$ A
ロウ・レベル出カリーク電流	IrxL	RxL, Port mode時	-5			μΑ
TxLプルアップ抵抗	RTxL	TxL, Port mode時は除く	50	100	200	kΩ
MSLPプルダウン抵抗	RMSLP	MSLP	50	100	200	kΩ

注 数値は設計保証値であり、出荷テストは行いません。

# AC特性 (特に指定のないかぎり、 $T_A = -40 \sim +125$ °C, 6 $V \le V$ SUP $\le 19 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
デューティ・サイクル1	D <sub>1</sub>	C <sub>bus</sub> ; R <sub>bus</sub> = 1 nF; 1 k $\Omega$ /6.8 nF; 660 $\Omega$ /	0.396			1
(図8-3参照)		10 nF; 500 Ω				
		$t_{\rm BIT}$ = 50 $\mu$ s				
		$TH_{Rec(max)} = 0.744 \times V_{SUP}$				
		$TH_{Dom(max)} = 0.581 \times V_{SUP}$				
		$D_1 = t_{BUS\_rec(min)}/(2 \times t_{BIT})$				
		7 V≦Vsup≦18 V				
		MOD1=MOD2=Low, MSLP=High,				
		PU=Low				
デューティ・サイクル2	D <sub>2</sub>	C <sub>bus</sub> ; R <sub>bus</sub> = 1 nF; 1 k $\Omega$ /6.8 nF; 660 $\Omega$ /			0.581	-
(図8-3参照)		10 nF; 500 Ω				
		$t_{\rm BIT} = 50 \; \mu  {\rm s}$				
		TH <sub>Rec(min)</sub> = 0.422 × V <sub>SUP</sub> ,				
		TH <sub>Dom(min)</sub> = 0.284 × V <sub>SUP</sub>				
		$D_2 = t_{BUS\_rec(max)}/(2 \times t_{BIT})$				
		7.6 V≦V <sub>SUP</sub> ≦18 V				
		MOD1=MOD2=Low, MSLP=High				
		PU=Low				
デューティ・サイクル3	Dз	C <sub>bus</sub> ; R <sub>bus</sub> = 1 nF; 1 k $\Omega$ /6.8 nF; 660 $\Omega$ /	0.417			_
(図8-3参照)		10 nF; 500 Ω				
		$t_{\rm BIT} = 96 \; \mu  {\rm s}$				
		$TH_{Rec(max)} = 0.778 \times V_{SUP}$				
		TH <sub>Dom(max)</sub> = 0.616 × V <sub>SUP</sub>				
		$D_3 = t_{BUS\_rec(min)}/(2 \times t_{BIT})$				
		7 V≦Vsup≦18 V				
		MOD1 = MOD2 = High, MSLP = High				
		PU = Low				
デューティ・サイクル4	D <sub>4</sub>	C <sub>bus</sub> ; R <sub>bus</sub> = 1 nF; 1 k $\Omega$ /6.8 nF; 660 $\Omega$ /			0.590	_
(図8-3参照)		10 nF; 500 Ω				
		t <sub>BIT</sub> = 96 <i>μ</i> s				
		TH <sub>Rec(min)</sub> = 0.389 × V <sub>SUP</sub> ,				
		TH <sub>Dom(min)</sub> = 0.251 × V <sub>SUP</sub>				
		$D_4 = t_{BUS\_rec(max)}/(2 \times t_{BIT})$				
		7.6 V≦Vsup≦18 V				
		MOD1 = MOD2 = High, MSLP = High				
		PU = Low				
伝達遅延時間	t <sub>rx_pd</sub>	trx_pdf(1), trx_pdf(2), trx_pdr(1), trx_pdr(2)			6	μS
立ち上がり、立ち下がり伝達	t <sub>rx_sym</sub>	$t_{\text{rx\_sym}} = t_{\text{rx\_pdf(1)}} - t_{\text{rx\_pdr(1)}},$	-2		2	μs
遅延時間		$t_{\text{rx\_sym}} = t_{\text{rx\_pdf}(2)} - t_{\text{rx\_pdr}(2)}$				

**t**BIT **t**BIT **t**BIT TXD tBUS\_dom (max) **t**BUS\_rec (min) 受信レセシブ・レベル・ Vsup スレッシュホールド (max.)

受信ドミナント・レベル・
スレッシュホールド (max.) スレッシュホールド(max.) 受信レセシブ・レベル・ スレッシュホールド (min.) 、受信ドミナント・レベル・ スレッシュホールド(min.) tBUS\_dom (min) tBUS\_rec (max) RXD (Recessive max) **t**rx\_pdf(1) **t**rx\_pdr (1) RXD (Recessive min)

#### 図8-3 デューティ・サイクル

# 8.3.5 過熱検知回路特性

過熱検知回路部特性(6 V≦Vsup≦19 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
過熱検知温度	VRth <sup>注</sup>		160	180	200	°C

**t**rx\_pdr (2)

**t**rx\_pdf (2)

## 8.3.6 診断出力回路特性

診断出力回路特性 (特に指定のないかぎり、T<sub>A</sub> = -40~+125°C, 6 V≦Vsup≦19 V)

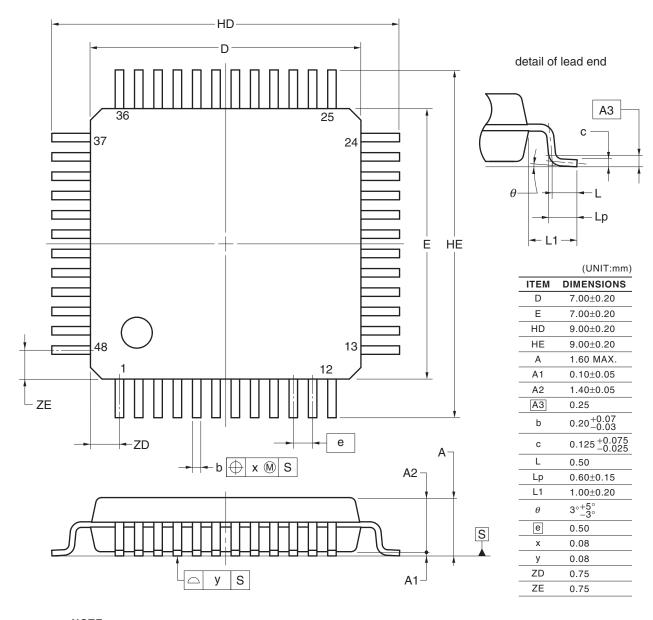
項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	Voh_diag	DIAG	I <sub>o</sub> = -5.0mA	0.8VRS			V
ロウ・レベル出力電圧	V <sub>ol_diag</sub>	DIAG	I₀ = 5.0mA			0.2VRS	V

注 数値は設計保証値であり、出荷テストは行いません。ジャンクション温度(T<sub>jmax</sub>)以上の状態が継続的に続いた場合は、本機能の機能・特性が損なわれる恐れがあります。

RL78/F1A 第9章 外形図

# 第9章 外形図

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP48-7x7-0.50	PLQP0048KF-B	P48GA-50-GAM-2	0.16



## NOTE

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

© 2012 Renesas Electronics Corporation. All rights reserved.

RL78/F1A 付録A子 改版履歴

# 付録A 改版履歴

# A.1 本版で改訂された主な箇所

箇所	内容	分類
第1章 概説		
p.2	1.1 特徴の誤記訂正	(a)
p.4	表1-2 機能一覧表 ベクタ割り込み要因の注記を修正	(c)
p.7	図1-2 マイクロコントローラ部のブロック図にSTANDBY図を追加	(c)
第2章 端子機能		
p.16	表2-2 未使用時の推奨接続方法の誤記訂正	(a)
第4章 電源回路		
p.19	図4-2に注4を追加	(c)
第5章 LINトラン	ノシーバ機能	
p.22	表5-1 LIN動作モード設定に注意を追加	(c)
p.25	5.3 説明文章を追加	(c)
第7章 電気的特	性(Lグレード)	
p.29	7.1.2 マイクロコントローラ部の絶対最大定格の定格を訂正	(a)
p.32	7.2.1 発振回路特性のPLL回路特性に注1を追加	(c)
p.33, 34	7.2.2 端子特性(1/3), (2/3) 条件を変更、注を追加	(a), (c)
p.41	7.2.3 基本動作(1/2) 注記(ノイズ・フィルタ)に "RESET端子"の記載を追加	(c)
p.44-59	7.2.4 シリアル・アレイ・ユニット 図下部の注意 (設定条件) の記載を改訂	(c)
p.52	7.2.4 シリアル・アレイ・ユニット 同電位通信時 (簡易I <sup>2</sup> Cモード) 条件 (2.7V≦VDD<4.0V) のRb (抵抗値) の	(a)
	誤記を修正	
p.68	7.2.8 フラッシュ・メモリ・プログラミング特性 項目 (消去時間) の条件に記載している"セクタ"を"ブロック"に修	(c)
	正および書き込み時間の注を削除	
第8章 電気的特	性(Kグレード)	
p.76	8.1.2 マイクロコントローラ部の絶対最大定格の定格を訂正	(a)
p.79	8.2.1 発振回路特性のPLL回路特性に注1を追加	(c)
p.80, 81	8.2.2 端子特性(1/3), (2/3) 条件を変更、注を追加	(a), (c)
p.88	8.2.3 基本動作(1/2) 注記(ノイズ・フィルタ)に "RESET端子"の記載を追加	(c)
p.91-106	8.2.4 シリアル・アレイ・ユニット 図下部の注意 (設定条件) の記載を改訂	(c)
p.99	8.2.4 シリアル・アレイ・ユニット 同電位通信時 (簡易I <sup>2</sup> Cモード) 条件 (2.7V≦VDD<4.0V) のRb (抵抗値) の	(a)
	誤記を修正	ļ
p.115	8.2.8 フラッシュ・メモリ・プログラミング特性 項目 (消去時間) の条件に記載している"セクタ"を"ブロック"に修	(c)
	正および書き込み時間の注を削除	

備考 表中の「分類」により、改訂内容を次のように区分しています。

(a) : 誤記訂正、 (b) : 仕様 (スペック含む) の追加/変更、 (c) : 説明、注意事項の追加/変更、

(d) : パッケ-ジ、オ-ダ名称、管理区分の追加/変更、(e) : 関連資料の追加/変更

RL78/F1A ユーザーズマニュアル ハードウェア編

発行年月日 2016年3月4日 Rev.1.10

発行 ルネサス エレクトロニクス株式会社

〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社 営業が問合せ窓口

営業お問合せ窓口の住所は変更になることがあります。 最新情報につきましては、弊社ホームページをご覧ください。

http://www.renesas.com

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

技術的なお問合せおよび資料のご請求は下記へどうぞ。 総合お問合せ窓口:http://japan.renesas.com/contact/	•		

RL78/F1A

