User's Manual

32

RA6T2 グループ

ユーザーズマニュアル　ハードウェア編

32 ビット MCU
Renesas RA ファミリ
Renesas RA6 シリーズ

本資料に記載のすべての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.30　Aug 2022

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2022 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

はじめに

1. このドキュメントについて

このマニュアルは通常、製品の概要、CPU、システム制御機能、周辺機器の機能、電気的特性、および使用上の注意事項で構成されています。このマニュアルでは、マイクロコントローラ (MCU) のスーパーセットの製品仕様について説明します。製品によっては、一部のピン、レジスタ、または機能が存在しない場合があります。使用できないレジスタが割り当てられているアドレス空間は予約されています。

2. 対象読者

このマニュアルは、Renesas マイクロコントローラを使用してアプリケーションを設計およびプログラミングするシステム設計者を対象としています。読者には、電気回路、論理回路、および MCU に関する基本的な知識が求められます。

3. 関連ドキュメント

弊社では MCU 用に下記のドキュメントを提供しています。これらのドキュメントを使用する前に、www.renesas.com で最新版のドキュメントを参照してください。

構成	ドキュメントの種類	内容
マイクロコントローラ	データシート	特徴、概要および MCU の電気的特性
	ユーザーズマニュアルハードウェア編	ピン配置、メモリマップ、周辺機能、電気特性、タイミング図、および動作記述などの MCU 仕様
	アプリケーションノート	テクニカルノート、ボードデザインのガイドラインおよびソフトウェア移行情報
	テクニカルアップデート (TU)	制限や正誤表などの製品仕様に関する予備レポート
ソフトウェア	ユーザーズマニュアルソフトウェア	API リファレンス およびプログラミング情報
	アプリケーションノート	プロジェクト・ファイル、ソフトウェア・プログラミングのガイドライン、および組み込みソフトウェアを開発するためのアプリケーション例
ツール &キット、ソリューション	ユーザーズマニュアル開発ツール	開発キット (DK) 、スタートキット (SK) 、プロモーションキット (PK) 、製品例 (PE) 、およびアプリケーション例 (AE) を含むエンベデッド・ソフトウェア・アプリケーションを開発するためのユーザーマニュアルおよびクイック・スタート・ガイド
	ユーザーズマニュアルソフトウェア	
	クイックスタートガイド	
	アプリケーションノート	プロジェクト・ファイル、ソフトウェア・プログラミングのガイドライン、および組み込みソフトウェアを開発するためのアプリケーション例

4. 数値の表記法

このマニュアルでは、次の進数表記を使用しています。

例	内容
011b	2 進数。たとえば、3 という 2 進数に相当する値は 011b です。
0x1F	16 進数。たとえば、31 の 16 進数に相当する数値は 0x1F と記述されています。場合によっては、 16 進数の末尾に h がつくことがあります。
1234	10 進数。10 進数の後にこの記号が続くのは、混乱の可能性がある場合のみです。一般に、 10 進数はサフィックスなしで表示されます。

5. シンボルの表記法

このマニュアルでは、次の表記法が使用されています。

例	内容
WDT.WDTRCR.RSTIRQS	機能モジュールシンボル (WDT)、レジスタシンボル (WDTRCR)、およびビットフィールドシンボル (RSTIRQS) はピリオドで区切られています。
WDT.WDTRCR	機能モジュールシンボル (WDT) とレジスタシンボル (WDTRCR) は、ピリオドで区切られます。
WDTRCR.RSTIRQS	レジスタシンボル (WDTRCR) とビットフィールドシンボル (RSTIRQS) は、ピリオドで区切られます。
CKS[3:0]	角括弧内の数字はビットの幅を示します。例えば、CKS[3:0] は WDT コントロールレジスタ (WDTCR) のビット 3 から 0 を占有します。

6. 単位と単位の接頭部

次の単位と単位接頭辞は誤解を招くことがあります。これらのユニットプレフィックスについては、このマニュアル全体で次の意味で説明されています。

記号	名前	内容
b	2 進数	シングル 0 または 1
B	バイト	この単位記号は、一般に MCU およびアドレス空間やメモリ容量に使用されます。
k	キロ	1000 = 10^3。k は 1024 (2^{10}) を示すためにも使用されますが、このユニットプレフィックスは本書全体で 1000 (10^3) を示すために使用されます。
K	キロ	1024 = 2^{10}。このユニットプレフィックスは、このマニュアル全体で、1000 (10^3) ではなく 1024 (2^{10}) を示すために使用されます。

7. 特殊用語

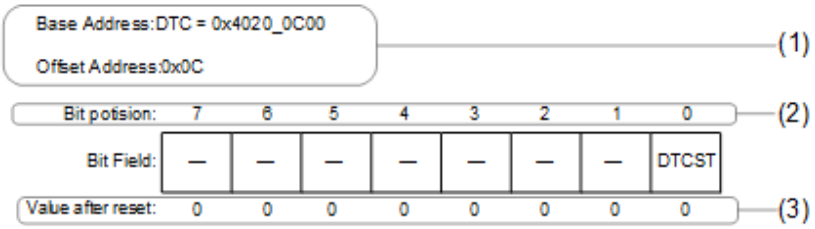
下記の用語には特殊な意味があります。

用語	内容
NC	非接続の端子。NC は、端子が MCU に接続されていないことを意味します。
Hi-Z	ハイインピーダンス

8. レジスタの説明

各章のレジスタの説明には、ビットの並びを示すレジスター配置図と、各ビットの内容を説明するレジスタのビット機能表があります。これらの表で使用される記号の例については、以降の項で説明します。以下は、レジスタの説明および関連するビットフィールドの定義例です。

XXXX　DTCST : DTC Module Start Register



(4) (5) (6)

Bit	Symbol	Function	R/W
0	DTCST	DTC Module Start 0:DTC module stop 1:DTC module start	R/W
7:1	—	These bits are read as 0. The write value should be 0.	R/W

(1) 機能モジュールのシンボル、レジスタのシンボル、およびアドレス割り当て

この部分には、レジスターの機能モジュールシンボル、レジスターシンボル、およびアドレス割り当てが記載されます。データ転送コントローラ (DTC) のベースアドレスとオフセットアドレス平均 DTC モジュール開始レジスタ (DTCST) がアドレス 0x4020_0C00 に割り当てられています。

(2) ビット番号

この数値はビット番号を示します。32 ビットレジスタの場合はビット 31～0 の順に、16 ビットレジスタの場合はビット 15～0 の順に 、8 ビットレジスタの場合はビット 7～0 の順に示されます。

(3) リセット後の値

このシンボルまたは数値は、リセット後の各ビットの値を示します。特に指定がない限り、値はバイナリで表示されます。

0: リセット後の値が 0 であることを示します。

1: リセット後の値が 1 であることを示します。

x: リセット後の値が不定であることを示します。

(4) ビットシンボル

ビットシンボルはビットフィールドの略名です。予約ビットの場合は、—と表記されます。

(5) 機能

機能は、ビットフィールドの正式名と列挙値を示します。

(6) R/W

R/W 列は、そのビットフィールドが読み出し可能であるか書き込み可能であるかを示します。

R/W: 読み出しも書き込みも可能。

R: 読み出しのみ可能。書き込みは無効。

W: 書き込みのみ可能。特に指定のない限り、読み出し値はリセット後の値。

9. 略語

このマニュアルで使用されている略語を次の表に示します。

略語	内容
AES	Advanced Encryption Standard（高度暗号化標準）
AHB	Advanced High-performance Bus（アドバンストハイパフォーマンスバス）
AHB-AP	AHB Access Port（AHB アクセスポート）
APB	Advanced Peripheral Bus（アドバンスト周辺バス）
ARC	Alleged RC（Alleged RC 暗号）
ATB	Advanced Trace Bus（アドバンストトレースバス）
BCD	Binary Coded Decimal（2 進化 10 進数）
BSDL	Boundary Scan Description Language（バウンダリスキャン記述言語）
DES	Data Encryption Standard（データ暗号化標準）
DSA	Digital Signature Algorithm（デジタル署名アルゴリズム）
ETB	Embedded Trace Buffer（エンベデッドトレースバッファ）
ETM	Embedded Trace Macrocell（エンベデッドトレースマクロセル）
FLL	Frequency Locked Loop（周波数安定化ループ回路）
FPU	Floating Point Unit（浮動小数点ユニット）
HMI	Human Machine Interface（ヒューマンマシーンインタフェース）
IrDA	Infrared Data Association（赤外線通信協会／規格）
LSB	Least Significant Bit（最下位ビット）
MSB	Most Significant Bit（最上位ビット）
NVIC	Nested Vector Interrupt Controller（ネスト型ベクタ割り込みコントローラ）
PC	Program Counter（プログラムカウンタ）
PFS	Port Function Select（ポート機能選択）
PLL	Phase Locked Loop（位相同期回路）
POR	Power-on Reset（パワーオンリセット）
PWM	Pulse Width Modulation（パルス幅変調）
RSA	Rivest Shamir Adleman（Rivest/Shamir/Adleman による公開鍵暗号方式）
SHA	Secure Hash Algorithm（セキュアハッシュアルゴリズム）
S/H	Sample and Hold（サンプルアンドホールド）
SP	Stack Pointer（スタックポインタ）
SWD	Serial Wire Debug（シリアルワイヤデバッグ）
SW-DP	Serial Wire-Debug Port（シリアルワイヤデバッグポート）
TRNG	True Random Number Generator（真性乱数生成器）
UART	Universal Asynchronous Receiver/Transmitter（調歩同期式シリアルインタフェース）
VCO	Voltage Controlled Oscillator（電圧制御発振器）

10. 所有権通知

本書に含まれるすべてのテキスト、グラフィック、写真、商標、ロゴ、挿絵、コンピュータコード（総称してコンテンツ）は、ルネサスが所有、管理、またはライセンスを保持するものであり、トレードドレス法、著作権法、特許法および商標法、その他の知的財産権法、不正競争法で保護されています。本書に明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、本書の一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

ARM®および Cortex®は、Arm Limited の登録商標です。CoreSight™ は Arm Limited の商標です。

CoreMark®は、Embedded Microprocessor Benchmark Consortium の登録商標です。

Magic Packet™は、Advanced Micro Devices, Inc.の商標です

本書に記載されているその他のブランドおよび名称は、それぞれの所有者の商標または登録商標です。

11. 製品に関するフィードバック

この製品についてご意見やご提案がある場合は、 お問い合わせにアクセスしてください。

目次

特長 45

1. 概要 46

1.1 機能の概要 46
1.2 ブロック図 50
1.3 型名 50
1.4 機能の比較 53
1.5 端子機能 54
1.6 ピン配置図 57
1.7 端子一覧 60

2. CPU 63

2.1 概要 63
2.1.1 CPU 63
2.1.2 デバッグ 63
2.1.3 動作周波数 64
2.1.4 ブロック図 64
2.2 実装オプション 65
2.3 トレースインタフェース 66
2.4 JTAG/SWD インタフェース 66
2.5 メモリに対するセキュリティ属性 67
2.6 デバッグ機能 67
2.6.1 デバッガの接続性 67
2.6.2 エミュレータ接続 68
2.6.3 セルフホスティングデバッグ機能 69
2.6.4 デバッグ機能の影響 69
2.7 プログラマモデル 70
2.7.1 アドレス空間 70
2.7.2 ペリフェラルアドレスマップ 70
2.7.3 CoreSight ROM テーブル 71
2.7.4 DBGREG 72
2.7.5 OCDREG 74
2.7.6 CPUDSAR : CPU デバッグセキュリティ属性レジスタ 77
2.7.7 CPU アクセスにより発生するエラー応答の処理 77
2.8 CoreSight クロストリガインタフェース (CTI) 79
2.9 CoreSight ATB ファネル 80
2.10 ブレークポイントユニット 81
2.11 CoreSight タイムスタンプ発生器 81
2.12 SysTick タイマ 81

2.13 OCD エミュレータ接続 81
2.13.1 DBGEN 82
2.13.2 エミュレータ接続における制限 82
2.14 参考資料 83
3. 動作モード 84
3.1 概要 84
3.2 動作モードの説明 84
3.2.1 シングルチップモード 84
3.2.2 SCI ブートモード 84
3.3 動作モード遷移 84
3.3.1 モード設定端子による動作モード遷移 84
4. アドレス空間 85
4.1 アドレス空間 85
5. リセット 86
5.1 概要 86
5.2 レジスタの説明 91
5.2.1 RSTSAR : リセットセキュリティ属性レジスタ 91
5.2.2 RSTSR0 : リセットステータスレジスタ 0 91
5.2.3 RSTSR1 : リセットステータスレジスタ 1 93
5.2.4 RSTSR2 : リセットステータスレジスタ 2 95
5.3 動作説明 96
5.3.1 RES 端子リセット 96
5.3.2 パワーオンリセット 96
5.3.3 電圧監視リセット 97
5.3.4 ディープソフトウェアスタンバイリセット 98
5.3.5 独立ウォッチドッグタイマリセット 99
5.3.6 ウォッチドッグタイマリセット 99
5.3.7 ソフトウェアリセット 99
5.3.8 コールドスタート／ウォームスタート判定機能 99
5.3.9 リセット発生要因の判定 100
6. オプション設定メモリ 102
6.1 概要 102
6.2 レジスタの説明 104
6.2.1 OFS0 : オプション機能選択レジスタ 0 104
6.2.2 SAS : スタートアップ領域設定レジスタ 107
6.2.3 OFS1、OFS1_SEC、OFS1_SEL : オプション機能選択レジスタ 1 108
6.2.4 BPS, BPS_SEC, BPS_SEL : ブロック保護設定レジスタ 109
6.2.5 PBPS, PBPS_SEC : 永久ブロック保護設定レジスタ 110
6.3 オプション設定メモリの設定方法 110

6.3.1 オプション設定メモリへのデータの配置方法 110
6.3.2 オプション設定メモリにプログラムするデータの設定方法 110
6.3.3 オプション設定メモリのセキュリティ属性 111
6.3.4 設定値のタイミング 111
6.4 使用上の注意事項 112
6.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ 112
7. 低電圧検出回路 (LVD) 113
7.1 概要 113
7.2 レジスタの説明 115
7.2.1 LVDSAR : 低電圧検出セキュリティ属性レジスタ 115
7.2.2 LVD1CMPCR : 電圧監視 1 コンパレータコントロールレジスタ 115
7.2.3 LVD2CMPCR : 電圧監視 2 コンパレータコントロールレジスタ 116
7.2.4 LVD1CR0 : 電圧監視 1 回路コントロールレジスタ 0 117
7.2.5 LVD2CR0 : 電圧監視 2 回路コントロールレジスタ 0 118
7.2.6 LVD1CR1 : 電圧監視 1 回路コントロールレジスタ 1 119
7.2.7 LVD1SR : 電圧監視 1 回路ステータスレジスタ 120
7.2.8 LVD2CR1 : 電圧監視 2 回路コントロールレジスタ 1 120
7.2.9 LVD2SR : 電圧監視 2 回路ステータスレジスタ 121
7.3 VCC 入力電圧のモニタ 121
7.3.1 Vdet0 のモニタ 121
7.3.2 Vdet1 のモニタ 121
7.3.3 Vdet2 のモニタ 122
7.4 電圧監視 0 リセット 122
7.5 電圧監視 1 割り込み、電圧監視 1 リセット 123
7.6 電圧監視 2 割り込み、リセット 125
7.7 ELC によるリンク動作 128
7.7.1 割り込み処理とイベントリンクの関係 129
8. クロック発生回路 130
8.1 概要 130
8.2 レジスタの説明 134
8.2.1 CGFSAR : クロック発生機能セキュリティ属性レジスタ 134
8.2.2 SCKDIVCR : システムクロック分周コントロールレジスタ 136
8.2.3 SCKSCR : システムクロックソースコントロールレジスタ 140
8.2.4 PLLCCR : PLL クロックコントロールレジスタ 142
8.2.5 PLLCR : PLL コントロールレジスタ 143
8.2.6 PLL2CCR : PLL2 クロックコントロールレジスタ 144
8.2.7 PLL2CR : PLL2 コントロールレジスタ 145
8.2.8 MOSCCR : メインクロック発振器コントロールレジスタ 146
8.2.9 LOCOCR : 低速オンチップオシレータコントロールレジスタ 147

8.2.10 HOCOCR : 高速オンチップオシレータコントロールレジスタ 147
8.2.11 MOCOCR : 中速オンチップオシレータコントロールレジスタ 148
8.2.12 OSCSF : 発振安定フラグレジスタ 149
8.2.13 OSTDCR : 発振停止検出コントロールレジスタ 151
8.2.14 OSTDSR : 発振停止検出ステータスレジスタ 152
8.2.15 MOSCWTCR : メインクロック発振器ウェイトコントロールレジスタ 153
8.2.16 MOMCR : メインクロック発振器モード発振コントロールレジスタ 153
8.2.17 CKOCR : クロックアウトコントロールレジスタ 154
8.2.18 LOCOUTCR : LOCO ユーザートリミングコントロールレジスタ 155
8.2.19 MOCOUTCR : MOCO ユーザートリミングコントロールレジスタ 156
8.2.20 HOCOUTCR : HOCO ユーザートリミングコントロールレジスタ 156
8.2.21 SCISPICKDIVCR : SCI SPI クロック分周コントロールレジスタ 157
8.2.22 CANFDCKDIVCR : CANFD クロック分周コントロールレジスタ 157
8.2.23 GPTCKDIVCR : GPT クロック分周コントロールレジスタ 158
8.2.24 IICCKDIVCR : IIC クロック分周コントロールレジスタ 158
8.2.25 SCISPICKCR : SCI SPI クロックコントロールレジスタ 159
8.2.26 CANFDCKCR : CANFD クロックコントロールレジスタ 160
8.2.27 GPTCKCR : GPT クロックコントロールレジスタ 161
8.2.28 IICCKCR : IIC クロックコントロールレジスタ 162
8.2.29 TRCKCR : トレースクロックコントロールレジスタ 164
8.3 メインクロック発振器 164
8.3.1 発振子を接続する方法 164
8.3.2 外部クロックを入力する方法 165
8.3.3 外部クロック入力に関する注意事項 165
8.4 発振停止検出機能 165
8.4.1 発振停止検出と検出後の動作 165
8.4.2 発振停止検出割り込み 167
8.5 PLL 回路 168
8.6 内部クロック 168
8.6.1 システムクロック (ICLK) 168
8.6.2 周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD） 169
8.6.3 FlashIF クロック (FCLK) 170
8.6.4 GPT クロック (GPTCLK) 170
8.6.5 SCI SPI クロック (SCISPICLK) 170
8.6.6 CAN クロック (CANMCLK) 170
8.6.7 CANFD クロック (CANFDCLK) 170
8.6.8 CAC クロック (CACCLK) 170
8.6.9 IIC クロック (IICCLK) 171
8.6.10 IWDT 専用クロック (IWDTCLK) 171
8.6.11 AGT 専用 LOCO クロック（AGTLCLK） 171

8.6.12 SysTick タイマ専用クロック (SYSTICCLK) 171
8.6.13 外部端子出力クロック (CLKOUT) 171
8.6.14 JTAG クロック 171
8.7 使用上の注意 171
8.7.1 クロック発生回路に関する注意事項 171
8.7.2 ボード設計に関する注意事項 172
8.7.3 発振子接続端子に関する注意事項 172
9. クロック周波数精度測定回路 (CAC) 173
9.1 概要 173
9.2 レジスタの説明 174
9.2.1 CACR0 : CAC コントロールレジスタ 0 174
9.2.2 CACR1 : CAC コントロールレジスタ 1 175
9.2.3 CACR2 : CAC コントロールレジスタ 2 175
9.2.4 CAICR : CAC 割り込み要求許可レジスタ 176
9.2.5 CASTR : CAC ステータスレジスタ 177
9.2.6 CAULVR : CAC 上限値設定レジスタ 178
9.2.7 CALLVR : CAC 下限値設定レジスタ 178
9.2.8 CACNTBR : CAC カウンタバッファレジスタ 179
9.3 動作説明 179
9.3.1 クロック周波数測定 179
9.3.2 CACREF 端子のデジタルフィルタ機能 181
9.4 割り込み要求 181
9.5 使用上の注意事項 181
9.5.1 モジュールストップ機能の設定 181
10. 低消費電力モード 182
10.1 概要 182
10.2 レジスタの説明 186
10.2.1 LPMSAR : 低消費電力モードセキュリティ属性レジスタ 186
10.2.2 DPFSAR : ディープソフトウェアスタンバイ割り込み要因セキュリティ属性レジスタ 187
10.2.3 SBYCR : スタンバイコントロールレジスタ 188
10.2.4 MSTPCRA：モジュールストップコントロールレジスタ A 189
10.2.5 MSTPCRB: モジュールストップコントロールレジスタ B 189
10.2.6 MSTPCRC: モジュールストップコントロールレジスタ C 191
10.2.7 MSTPCRD : モジュールストップコントロールレジスタ D 192
10.2.8 MSTPCRE : モジュールストップコントロールレジスタ E 193
10.2.9 OPCCR：動作電力コントロールレジスタ 194
10.2.10 SNZCR : スヌーズコントロールレジスタ 195
10.2.11 SNZEDCR0 : スヌーズ終了コントロールレジスタ 0 196
10.2.12 SNZREQCR0：スヌーズ要求コントロールレジスタ 0 197

10.2.13 DPSBYCR : ディープソフトウェアスタンバイコントロールレジスタ 199
10.2.14 DPSWCR : ディープソフトウェアスタンバイウェイトコントロールレジスタ 200
10.2.15 DPSIER0 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 0 201
10.2.16 DPSIER1 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 1 201
10.2.17 DPSIER2 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 2 202
10.2.18 DPSIFR0 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 0..... 203
10.2.19 DPSIFR1 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 1..... 204
10.2.20 DPSIFR2 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 2..... 205
10.2.21 DPSIEGR0 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 0..... 206
10.2.22 DPSIEGR1 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 1..... 207
10.2.23 DPSIEGR2 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 2..... 208
10.2.24 SYOCDCR : システムコントロール OCD コントロールレジスタ 208
10.3 クロックの切り替えによる消費電力の低減 209
10.4 モジュールストップ機能 209
10.5 動作電力低減機能 210
10.5.1 動作電力制御モードの設定方法 210
10.6 スリープモード 210
10.6.1 スリープモードへの遷移 210
10.6.2 スリープモードの解除 211
10.7 ソフトウェアスタンバイモード 212
10.7.1 ソフトウェアスタンバイモードへの遷移 212
10.7.2 ソフトウェアスタンバイモードの解除 214
10.7.3 ソフトウェアスタンバイモードの応用例 215
10.8 スヌーズモード 216
10.8.1 スヌーズモードへの遷移 216
10.8.2 スヌーズモードの解除 217
10.8.3 スヌーズモードからソフトウェアスタンバイモードへの復帰 218
10.8.4 スヌーズモードの動作例 219
10.9 ディープソフトウェアスタンバイモード 222
10.9.1 ディープソフトウェアスタンバイモードへの遷移 222
10.9.2 ディープソフトウェアスタンバイモードの解除 223
10.9.3 ディープソフトウェアスタンバイモード解除時の端子状態 224
10.9.4 ディープソフトウェアスタンバイモードの応用例 224
10.9.5 ディープソフトウェアスタンバイモード使用時のフローチャート 225
10.10 使用上の注意 226
10.10.1 レジスタアクセス 226
10.10.2 I/O ポートの端子状態 228
10.10.3 DTC、DMAC のモジュールストップ状態 228
10.10.4 内部割り込み要因 228
10.10.5 DIRQnE ビットによる入力バッファ制御 228

10.10.6 低消費電力モードへの遷移 228
10.10.7 WFI 命令のタイミング 228
10.10.8 スリープモード／スヌーズモード時の DTC または DMAC による WDT/IWDT レジスタの書き込みについて 228
10.10.9 スヌーズモードにおける発振器について 228
10.10.10 RXD0 の立ち下がりエッジによるスヌーズモードエントリ 229
10.10.11 スヌーズモードにおける SCI0 の UART の使用 229
10.10.12 スヌーズモードにおける ELC イベント 229
10.10.13 モジュールストップビット書き込みタイミング 229

11. レジスタライトプロテクション 230
11.1 概要 230
11.2 レジスタの説明 230
11.2.1 PRCR : プロテクトレジスタ 230

12. 割り込みコントローラユニット (ICU) 232
12.1 概要 232
12.2 レジスタの説明 233
12.2.1 ICUSARA : 割り込みコントローラセキュリティ属性レジスタ A 234
12.2.2 ICUSARB : 割り込みコントローラセキュリティ属性レジスタ B 234
12.2.3 ICUSARC : 割り込みコントローラセキュリティ属性レジスタ C 235
12.2.4 ICUSARD : 割り込みコントローラセキュリティ属性レジスタ D 236
12.2.5 ICUSARE : 割り込みコントローラセキュリティ属性レジスタ E 236
12.2.6 ICUSARG : 割り込みコントローラセキュリティ属性レジスタ G 237
12.2.7 ICUSARH : 割り込みコントローラセキュリティ属性レジスタ H 238
12.2.8 ICUSARI : 割り込みコントローラセキュリティ属性レジスタ I 238
12.2.9 IRQCRi : IRQ コントロールレジスタ i（i = 0～15） 239
12.2.10 NMISR : ノンマスカブル割り込みステータスレジスタ 240
12.2.11 NMIER : ノンマスカブル割り込みイネーブルレジスタ 243
12.2.12 NMICLR : ノンマスカブル割り込みステータスクリアレジスタ 244
12.2.13 NMICR : NMI 端子割り込みコントロールレジスタ 246
12.2.14 IELSRn : ICU イベントリンク設定レジスタ n（n = 0～95） 247
12.2.15 DELSRn : DMAC イベントリンク設定レジスタ n （n = 0～7） 248
12.2.16 SELSR0 : SYS イベントリンク設定レジスタ 249
12.2.17 WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0 250
12.3 ベクタテーブル 251
12.3.1 割り込みベクタテーブル 251
12.3.2 イベント番号 254
12.4 割り込み動作 263
12.4.1 割り込みの検出 263
12.5 割り込みの設定手順 264
12.5.1 割り込み要求の許可 264

12.5.2 割り込み要求の禁止 264
12.5.3 割り込みのポーリング 264
12.5.4 割り込み要求先の選択 264
12.5.5 デジタルフィルタ 266
12.5.6 外部端子割り込みの設定手順 267
12.6 ノンマスカブル割り込みの設定手順 267
12.6.1 NMI による TrustZone-M との対応関係 268
12.7 低消費電力モードからの復帰 269
12.7.1 スリープモードからの復帰 269
12.7.2 ソフトウェアスタンバイモードからの復帰 270
12.7.3 スヌーズモードからの復帰 270
12.8 ノンマスカブル割り込みとともに WFI 命令を使用する場合 270
12.9 参考資料 271
13. バス 272
13.1 概要 272
13.2 バスの説明 273
13.2.1 アービトレーション 273
13.2.2 並列動作 273
13.2.3 制約事項 274
13.3 レジスタの説明 274
13.3.1 BUSSARA : バスセキュリティ属性レジスタ A 274
13.3.2 BUSSARB : バスセキュリティ属性レジスタ B 275
13.3.3 BUSSCNT<slave> : スレーブバスコントロールレジスタ (<slave> = FHBIU, FLBIU, S0BIU) 276
13.3.4 BUSSCNT<slave> : スレーブバスコントロールレジスタ (<slave> = PSBIU, PLBIU, PHBIU) 276
13.3.5 BUSnERRADD : バスエラーアドレスレジスタ（n = 1〜3） 277
13.3.6 BUSnERRRW : バスエラーリードライトレジスタ（n = 1〜3） 277
13.3.7 BTZFnERRADD : バス TZF エラーアドレスレジスタ（n = 1〜3） 278
13.3.8 BTZFnERRRW : バス TZF エラーリードライトレジスタ（n = 1〜3） 279
13.3.9 BUSnERRSTAT : バスエラーステータスレジスタ n（n = 1〜3） 279
13.3.10 DMACDTCERRSTAT : DMAC/DTC エラーステータスレジスタ 281
13.3.11 BUSnERRCLR : バスエラークリアレジスタ n（n = 1〜3） 281
13.3.12 DMACDTCERRCLR : DMAC/DTC エラークリアレジスタ 282
13.4 バスエラー監視部 282
13.4.1 バスエラーの種類 282
13.4.2 バスエラー発生時の動作 283
13.4.3 不正アドレスアクセスエラーを引き起こす条件 284
13.4.4 タイムアウト 285
13.5 参考資料 285

13.6 キャッシュ 285
13.6.1 概要 285
13.6.2 レジスタの説明 287
13.6.3 動作説明 292
13.6.4 使用上の注意事項 297
14. メモリプロテクションユニット (MPU) 298
14.1 概要 298
14.2 Arm MPU 298
14.3 バスマスタ MPU 298
14.3.1 レジスタの説明 299
14.3.2 機能説明 307
14.4 参考資料 310
15. DMA コントローラ (DMAC) 312
15.1 概要 312
15.2 レジスタの説明 314
15.2.1 DMACSAR : DMAC コントローラセキュリティ属性レジスタ 314
15.2.2 DMSAR : DMA 転送元アドレスレジスタ 314
15.2.3 DMSRR : DMA 転送元リロードアドレスレジスタ 315
15.2.4 DMDAR : DMA 転送先アドレスレジスタ 315
15.2.5 DMDRR : DMA 転送先リロードアドレスレジスタ 316
15.2.6 DMCRA : DMA 転送カウントレジスタ 316
15.2.7 DMCRB : DMA ブロック転送カウントレジスタ 318
15.2.8 DMTMD : DMA 転送モードレジスタ 318
15.2.9 DMINT : DMA 割り込み設定レジスタ 319
15.2.10 DMAMD : DMA アドレスモードレジスタ 321
15.2.11 DMOFR : DMA オフセットレジスタ 323
15.2.12 DMCNT : DMA 転送イネーブルレジスタ 324
15.2.13 DMREQ : DMA ソフトウェア起動レジスタ 325
15.2.14 DMSTS : DMA ステータスレジスタ 326
15.2.15 DMSBS : DMA 転送元バッファサイズレジスタ 327
15.2.16 DMDBS : DMA 転送先バッファサイズレジスタ 328
15.2.17 DMAST : DMAC モジュール起動レジスタ 329
15.2.18 DMECHR : DMAC エラーチャネルレジスタ 330
15.3 動作説明 331
15.3.1 転送モード 331
15.3.2 拡張リピート領域機能 339
15.3.3 フリーランニング機能 341
15.3.4 オフセットを使用したアドレス更新機能 342
15.3.5 リピート／ブロック転送モードにおけるアドレス更新機能 347

15.3.6 リピート／ブロック転送モードの使用例 349
15.3.7 起動要因 351
15.3.8 動作タイミング 352
15.3.9 DMAC の実行サイクル 353
15.3.10 DMAC の起動 353
15.3.11 DMA 転送の開始 355
15.3.12 DMA 転送中のレジスタ 355
15.3.13 チャネル優先順位 357
15.3.14 チャネルセキュリティ 357
15.3.15 DMAC のマスタ TrustZone フィルタ 358
15.4 DMA 転送の終了 358
15.4.1 設定した総転送回数完了による転送終了 359
15.4.2 リピートサイズ終了割り込みによる転送終了 359
15.4.3 拡張リピート領域オーバーフロー割り込みによる転送終了 359
15.5 DMA 転送エラーの処理 360
15.5.1 NMI ハンドラの処理 360
15.5.2 エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラの処理 363
15.6 割り込み 369
15.6.1 転送終了割り込み 369
15.6.2 転送エラー割り込み 371
15.7 イベントリンク 372
15.8 低消費電力機能 372
15.9 使用上の注意事項 372
15.9.1 DMA 転送中のレジスタアクセスについて 372
15.9.2 予約領域への DMA 転送について 373
15.9.3 割り込みコントローラユニットの DMAC イベントリンク設定レジスタ n (ICU.DELSRn) の設定（n = 0～7） 373
15.9.4 DMAC 起動の保留／再開に関する注意事項 373
15.9.5 DMA 転送再開時の注意事項 373
16. データトランスファコントローラ (DTC) 375
16.1 概要 375
16.2 レジスタの説明 376
16.2.1 DTCSAR : DTC コントローラセキュリティ属性レジスタ 377
16.2.2 MRA : DTC モードレジスタ A 377
16.2.3 MRB : DTC モードレジスタ B 378
16.2.4 SAR : DTC 転送元レジスタ 379
16.2.5 DAR : DTC 転送先レジスタ 379
16.2.6 CRA : DTC 転送カウントレジスタ A 380
16.2.7 CRB : DTC 転送カウントレジスタ B 380
16.2.8 DTCCR : DTC コントロールレジスタ 381

16.2.9 DTCCR_SEC : DTC コントロールレジスタ（セキュア領域） 381
16.2.10 DTCVBR : DTC ベクタベースアドレス 382
16.2.11 DTCVBR_SEC : DTC ベクタベースレジスタ（セキュア領域） 382
16.2.12 DTCST : DTC モジュール起動レジスタ 382
16.2.13 DTCSTS : DTC ステータスレジスタ 383
16.2.14 DTEVR : DTC エラーベクタレジスタ 384
16.3 起動要因 385
16.3.1 転送情報の配置と DTC ベクタテーブル 385
16.4 動作説明 387
16.4.1 転送情報のリードスキップ機能 389
16.4.2 転送情報のライトバックスキップ機能 389
16.4.3 ノーマル転送モード 390
16.4.4 リピート転送モード 391
16.4.5 ブロック転送モード 392
16.4.6 チェーン転送 393
16.4.7 動作タイミング 394
16.4.8 DTC の実行サイクル 396
16.4.9 DTC のバス権解放タイミング 397
16.4.10 ベクタセキュリティ 397
16.4.11 DTC のマスタ TrustZone フィルタ 397
16.5 DTC の設定手順 397
16.6 DTC の使用例 398
16.6.1 ノーマル転送 398
16.6.2 チェーン転送 398
16.6.3 転送カウンタ = 0 のときのチェーン転送 400
16.7 DTC 転送エラーにおける処理 401
16.7.1 NMI ハンドラにおける処理 402
16.7.2 エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラにおける処理 405
16.8 割り込み 411
16.8.1 転送終了割り込み要求 411
16.8.2 転送エラーの割り込み要求 411
16.9 イベントリンク 412
16.10 低消費電力機能 412
16.11 使用上の注意 413
16.11.1 転送情報の開始アドレス 413
17. イベントリンクコントローラ (ELC) 414
17.1 概要 414
17.2 レジスタの説明 415
17.2.1 ELCR : イベントリンクコントローラレジスタ 415
17.2.2 ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0, 1) 416

17.2.3 ELSRn : イベントリンク設定レジスタ n（n = 0〜7、12〜17、19〜24、28、29） 417
17.2.4 ELCSARA : イベントリンクコントローラセキュリティ属性レジスタ A 423
17.2.5 ELCSARB : イベントリンクコントローラセキュリティ属性レジスタ B 424
17.3 動作説明 425
17.3.1 割り込み処理とイベントリンクの関係 425
17.3.2 イベントのリンク 425
17.3.3 イベントリンクの動作設定手順例 425
17.4 使用上の注意事項 425
17.4.1 DMAC/DTC 転送終了のイベントリンクを使用する場合 425
17.4.2 クロックの設定について 426
17.4.3 モジュールストップ機能の設定 426
17.4.4 ELC 遅延時間 426
17.4.5 イベント要求の間隔 426
18. I/O ポート 428
18.1 概要 428
18.2 レジスタの説明 430
18.2.1 PCNTR1/PODR/PDR：ポートコントロールレジスタ 1 430
18.2.2 PCNTR2/EIDR/PIDR：ポートコントロールレジスタ 2 431
18.2.3 PCNTR3/PORR/POSR：ポートコントロールレジスタ 3 432
18.2.4 PCNTR4/EORR/EOSR：ポートコントロールレジスタ 4 433
18.2.5 PmnPFS/PmnPFS_HA/PmnPFS_BY: ポート mn 端子機能選択レジスタ（m = 0, 2, A〜E, n = 00〜15） 434
18.2.6 PWPR：書き込みプロテクトレジスタ 436
18.2.7 PWPRS：セキュア用書き込みプロテクトレジスタ 437
18.2.8 PmSAR : ポート m セキュリティ属性のレジスタ (m = 0, 2, A〜E) 437
18.3 動作 438
18.3.1 汎用入出力ポート 438
18.3.2 ポート機能選択 438
18.3.3 ELC のポートグループ機能 438
18.4 未使用端子の処理 440
18.5 使用上の注意 441
18.5.1 端子機能の設定手順 441
18.5.2 ポートグループ入力の使用手順 441
18.5.3 ポート出力データレジスタ (PODR) の概要 441
18.5.4 アナログ機能使用時の注意事項 441
18.6 製品ごとの周辺選択設定 442
19. キー割り込み機能 (KINT) 448
19.1 概要 448
19.2 レジスタの説明 448
19.2.1 KRCTL : キーリターン制御レジスタ 448

19.2.2 KRF : キーリターンフラグレジスタ 449
19.2.3 KRM : キーリターンモードレジスタ 449
19.3 動作説明 449
19.3.1 キー割り込みフラグを使用しない場合の動作 (KRCTL.KRMD = 0) 449
19.3.2 キー割り込みフラグを使用する場合の動作 (KRCTL.KRMD = 1) 450
19.4 使用上の注意事項 452
20. GPT 用のポートアウトプットイネーブル (POEG) 453
20.1 概要 453
20.2 レジスタの説明 455
20.2.1 POEGGn : POEG グループ n 設定レジスタ（n = A～D） 455
20.2.2 GTONCWPn : GPT 出力停止制御グループ n 書き込み保護レジスタ（n = A～D） 456
20.2.3 GTONCCRn : GPT 出力停止制御グループ n コントロールレジスタ（n = A～D） 457
20.3 動作説明 457
20.3.1 対応する GTETRGn 端子（n = A～D）での入力レベル検出に対する出力停止要求 457
20.3.2 GPT からの出力停止を検出した場合の出力停止要求 458
20.3.3 コンパレータ検出に対応した出力停止要求 458
20.3.4 発振停止検出による出力停止要求 459
20.3.5 レジスタによる出力停止要求 459
20.3.6 出力停止要求の解除 459
20.3.7 検出信号に応答して出力を停止する要求と要求のキャンセル 460
20.4 割り込み要因 462
20.5 GPT に対する外部トリガ出力 463
20.6 使用上の注意事項 463
20.6.1 低消費電力モードへの遷移 463
20.6.2 モジュールを停止するための機能の設定 463
20.6.3 出力停止要求の 2 重化 463
21. 汎用 PWM タイマ (GPT) 464
21.1 概要 464
21.2 レジスタの説明 470
21.2.1 GTWP : 汎用 PWM タイマ書き込み保護レジスタ 470
21.2.2 GTSTR : 汎用 PWM タイマソフトウェアスタートレジスタ 472
21.2.3 GTSTP : 汎用 PWM タイマソフトウェアストップレジスタ 473
21.2.4 GTCLR : 汎用 PWM タイマソフトウェアクリアレジスタ 473
21.2.5 GTSSR : 汎用 PWM タイマスタート要因選択レジスタ 474
21.2.6 GTPSR : 汎用 PWM タイマストップ要因選択レジスタ 477
21.2.7 GTCSR : 汎用 PWM タイマクリア要因選択レジスタ 481
21.2.8 GTUPSR : 汎用 PWM タイマアップカウント要因選択レジスタ 485
21.2.9 GTDNSR : 汎用 PWM タイマダウンカウント要因選択レジスタ 489
21.2.10 GTICASR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A 493

21.2.11 GTICBSR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B 496
21.2.12 GTCR : 汎用 PWM タイマコントロールレジスタ 500
21.2.13 GTUDDTYC : 汎用 PWM タイマカウント方向、デューティー設定レジスタ 503
21.2.14 GTIOR : 汎用 PWM タイマ I/O コントロールレジスタ 505
21.2.15 GTINTAD : 汎用 PWM タイマ割り込み出力設定レジスタ 510
21.2.16 GTST : 汎用 PWM タイマステータスレジスタ 513
21.2.17 GTBER : 汎用 PWM タイマバッファイネーブルレジスタ 519
21.2.18 GTITC : 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ 523
21.2.19 GTCNT : 汎用 PWM タイマカウンタ 525
21.2.20 GTCCRk : 汎用 PWM タイマコンペアキャプチャレジスタ k（k = A～F） 525
21.2.21 GTPR : 汎用 PWM タイマ周期設定レジスタ 525
21.2.22 GTPBR : 汎用 PWM タイマ周期設定バッファレジスタ 526
21.2.23 GTPDBR : 汎用 PWM タイマ周期設定ダブルバッファレジスタ 526
21.2.24 GTADTRk : A/D 変換開始要求タイミングレジスタ k (k = A, B) 527
21.2.25 GTADTBRk : A/D 変換開始要求タイミングバッファレジスタ k (k = A, B) 527
21.2.26 GTADTDBRk : A/D 変換開始要求タイミングダブルバッファレジスタ k (k = A, B) 527
21.2.27 GTDTCR : 汎用 PWM タイマデッドタイムコントロールレジスタ 528
21.2.28 GTDVk : 汎用 PWM タイマデッドタイム値レジスタ k (k = U, D) 529
21.2.29 GTDBk : 汎用 PWM タイマデッドタイムバッファレジスタ k (k = U, D) 530
21.2.30 GTSOS : 汎用 PWM タイマ出力保護機能ステータスレジスタ 530
21.2.31 GTSOTR : 汎用 PWM タイマ出力保護機能一時解除レジスタ 531
21.2.32 GTADSMR : 汎用 PWM タイマ A/D 変換開始要求信号監視レジスタ 531
21.2.33 GTEITC : 汎用 PWM タイマ拡張割り込み間引きカウンタコントロールレジスタ 532
21.2.34 GTEITLI1 : 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1 534
21.2.35 GTEITLI2 : 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2 536
21.2.36 GTEITLB : 汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ 537
21.2.37 GTICLF : 汎用 PWM タイマチャネル間論理演算機能設定レジスタ 539
21.2.38 GTPC : 汎用 PWM タイマ周期カウントレジスタ 541
21.2.39 GTADCMSC : 汎用 PWM タイマ A/D 変換開始要求コンペアマッチ間引きコントロールレジスタ 542
21.2.40 GTADCMSS : 汎用 PWM タイマ A/D 変換開始要求コンペアマッチ間引き設定レジスタ 544
21.2.41 GTSECSR : 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ 546
21.2.42 GTSECR : 汎用 PWM タイマ動作許可ビット同時制御レジスタ 547
21.2.43 GTBER2 : 汎用 PWM タイマバッファイネーブルレジスタ 2 549
21.2.44 GTOLBR : 汎用 PWM タイマ出力レベルバッファレジスタ 554
21.2.45 GTICCR : 汎用 PWM タイマのチャネル間連携インプットキャプチャコントロールレジスタ 555
21.2.46 OPSCR : 出力相切り替えコントロールレジスタ 558
21.2.47 GTCLKCR : 汎用 PWM タイマクロックコントロールレジスタ 561
21.3 動作説明 561
21.3.1 基本動作 561

21.3.2 バッファ動作 574
21.3.3 PWM 出力動作モード 592
21.3.4 デッドタイム自動設定機能 644
21.3.5 カウント方向切り替え機能 649
21.3.6 出力デューティー 0%および出力デューティー 100%機能 649
21.3.7 ハードウェアカウントスタート／カウントストップ、カウントクリア動作 651
21.3.8 同期動作 662
21.3.9 PWM 出力動作例 669
21.3.10 周期計数機能 675
21.3.11 位相計数機能 676
21.3.12 外部パルス幅測定機能 686
21.3.13 出力相切り替え (GPT_OPS) 688
21.3.14 チャネル間論理演算機能 693
21.4 割り込み要因 695
21.4.1 割り込み要因と優先順位 695
21.4.2 DMAC/DTC の起動 697
21.4.3 割り込み、A/D 変換開始要求の間引き機能 697
21.5 A/D 変換開始要求 716
21.6 ELC によるリンク動作 719
21.6.1 ELC へのイベント信号出力 719
21.6.2 ELC からのイベント信号入力 720
21.7 ノイズフィルタ機能 720
21.8 保護機能 721
21.8.1 レジスタの書き込み保護 721
21.8.2 バッファ動作の禁止 721
21.8.3 GTIOCnm 端子出力の出力禁止制御 (n = 0～9, m = A, B) 728
21.8.4 GTIOCnm 端子出力の出力保護機能（n = 0～9；m = A、B） 729
21.9 出力端子の初期化方法 735
21.9.1 リセット後の端子設定 735
21.9.2 動作中の異常による端子の初期化 736
21.10 使用上の注意事項 736
21.10.1 モジュールストップ機能の設定 736
21.10.2 コンペアマッチ動作時の GTCCRn レジスタの設定（n = A～F） 737
21.10.3 GTCNT カウンタの範囲設定 738
21.10.4 GTCNT カウンタのスタート／ストップ 738
21.10.5 イベントごとの優先順位 738
21.10.6 割り込み要求の間隔 739
21.10.7 PWM 遅延生成回路への GTIOCnm 信号入力に関する注意事項（n = 0～3、m = A、B） 739
22. PWM 遅延生成回路 (PDG) 741
22.1 概要 741

22.2 レジスタの説明 743
22.2.1 GTDLYCR : PWM 出力遅延コントロールレジスタ 743
22.2.2 GTDLYCR2 : PWM 出力遅延コントロールレジスタ 2 744
22.2.3 GTDLYRnA : GTIOCnA 立ち上がり出力遅延レジスタ（n = 0〜3） 745
22.2.4 GTDLYFnA: GTIOCnA 立ち下がり出力遅延レジスタ（n = 0〜3） 746
22.2.5 GTDLYRnB : GTIOCnB 立ち上がり出力遅延レジスタ（n = 0〜3） 747
22.2.6 GTDLYFnB : GTIOCnB 立ち下がり出力遅延レジスタ（n = 0〜3） 748
22.3 動作説明 748
22.3.1 PWM 波形における立ち上がりエッジおよび立ち下がりエッジのタイミング調整 748
22.3.2 GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB レジスタ設定値の転送タイミング 750
22.4 使用上の注意事項 751
22.4.1 モジュールストップ機能の設定 751
22.4.2 PWM 遅延生成回路の遅延設定に関する注意事項 751
22.4.3 レジスタ書き込み間隔 752
23. 非同期汎用タイマ (AGTW) 753
23.1 概要 753
23.2 レジスタの説明 754
23.2.1 AGT : AGT カウンタレジスタ 754
23.2.2 AGTCMA : AGT コンペアマッチ A レジスタ 755
23.2.3 AGTCMB : AGT コンペアマッチ B レジスタ 755
23.2.4 AGTCR : AGT コントロールレジスタ 756
23.2.5 AGTMR1 : AGT モードレジスタ 1 757
23.2.6 AGTMR2 : AGT モードレジスタ 2 758
23.2.7 AGTIOC : AGT I/O コントロールレジスタ 759
23.2.8 AGTISR : AGT イベント端子選択レジスタ 761
23.2.9 AGTCMSR : AGT コンペアマッチ機能選択レジスタ 761
23.2.10 AGTIOSEL : AGT 端子選択レジスタ 762
23.3 動作説明 762
23.3.1 リロードレジスタおよびカウンタの書き換え動作 762
23.3.2 リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作 764
23.3.3 タイマモード 765
23.3.4 パルス出力モード 766
23.3.5 イベントカウンタモード 767
23.3.6 パルス幅測定モード 768
23.3.7 パルス周期測定モード 769
23.3.8 コンペアマッチ機能 770
23.3.9 各モードの出力設定 771
23.3.10 スタンバイモード 772
23.3.11 割り込み要因 773
23.3.12 イベントリンクコントローラ (ELC) へのイベント信号出力 773

23.4 使用上の注意事項 774
23.4.1 カウント動作の開始および停止制御 774
23.4.2 カウンタレジスタへのアクセス 774
23.4.3 モード変更時 774
23.4.4 出力端子の設定 774
23.4.5 デジタルフィルタ 774
23.4.6 イベント番号、パルス幅およびパルス周期の計算方法 775
23.4.7 TSTOP ビットで強制的にカウントを停止した場合 775
23.4.8 カウントソースとして AGTW0 のアンダーフローイベント信号を選択した場合 775
23.4.9 モジュールストップ機能 775
23.4.10 ソースクロックの切り替え時 775
24. ウォッチドッグタイマ (WDT) 776
24.1 概要 776
24.2 レジスタの説明 777
24.2.1 WDTRR : WDT リフレッシュレジスタ 777
24.2.2 WDTCR : WDT コントロールレジスタ 778
24.2.3 WDTSR : WDT ステータスレジスタ 780
24.2.4 WDTRCR : WDT リセットコントロールレジスタ 781
24.2.5 WDTCSTPR : WDT カウント停止コントロールレジスタ 782
24.2.6 オプション機能選択レジスタ 0 (OFS0) 782
24.3 動作説明 782
24.3.1 スタートモード別のカウント動作 782
24.3.2 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御 786
24.3.3 リフレッシュ動作 786
24.3.4 ステータスフラグ 787
24.3.5 リセット出力 787
24.3.6 割り込み要因 787
24.3.7 ダウンカウンタ値の読み出し 788
24.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係 788
24.4 イベントリンクコントローラ (ELC) への出力 789
24.5 使用上の注意事項 789
24.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限 789
25. 独立ウォッチドッグタイマ (IWDT) 790
25.1 概要 790
25.2 レジスタの説明 791
25.2.1 IWDTRR : IWDT リフレッシュレジスタ 791
25.2.2 IWDTSR : IWDT ステータスレジスタ 792
25.2.3 OFS0 : オプション機能選択レジスタ 0 793
25.3 動作説明 795

25.3.1 オートスタートモード 795
25.3.2 リフレッシュ動作 796
25.3.3 ステータスフラグ 798
25.3.4 リセット出力 798
25.3.5 割り込み要因 798
25.3.6 ダウンカウンタ値の読み出し 798
25.4 イベントリンクコントローラ (ELC) への出力 799
25.5 使用上の注意事項 799
25.5.1 リフレッシュ動作 799
25.5.2 クロック分周比の設定に関する制限 799
25.5.3 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限 799
26. シリアルコミュニケーションインタフェース (SCI) 800
26.1 概要 800
26.2 レジスタの説明 804
26.2.1 RSR : 受信シフトレジスタ 804
26.2.2 RDR : 受信データレジスタ 805
26.2.3 TDR : 送信データレジスタ 806
26.2.4 TSR : 送信シフトレジスタ 807
26.2.5 CCR0 : 共通コントロールレジスタ 0 807
26.2.6 CCR1 : 共通コントロールレジスタ 1 810
26.2.7 CCR2 : 共通コントロールレジスタ 2 814
26.2.8 CCR3 : 共通コントロールレジスタ 3 827
26.2.9 CCR4 : 共通コントロールレジスタ 4 831
26.2.10 ICR : 簡易 IIC コントロールレジスタ 834
26.2.11 FCR : FIFO コントロールレジスタ 836
26.2.12 MCR : マンチェスタコントールレジスタ 838
26.2.13 DCR : ドライバコントロールレジスタ 841
26.2.14 XCR0 : 簡易 LIN コントロールレジスタ 0 842
26.2.15 XCR1 : 簡易 LIN コントロールレジスタ 1 844
26.2.16 XCR2 : 簡易 LIN コントロールレジスタ 2 845
26.2.17 CSR : 共通ステータスレジスタ 846
26.2.18 ISR : 簡易 IIC ステータスレジスタ 851
26.2.19 FRSR : FIFO 受信ステータスレジスタ 852
26.2.20 FTSR : FIFO 送信ステータスレジスタ 854
26.2.21 MSR : マンチェスタステータスレジスタ 854
26.2.22 XSR0 : 簡易 LIN ステータスレジスタ 0 856
26.2.23 XSR1 : 簡易 LIN ステータスレジスタ 1 858
26.2.24 CFCLR : 共通フラグクリアレジスタ 859
26.2.25 ICFCLR : 簡易 IIC フラグクリアレジスタ 860
26.2.26 FFCLR : FIFO フラグクリアレジスタ 860

26.2.27 MFCLR : マンチェスタフラグクリアレジスタ 861
26.2.28 XFCLR : 簡易 LIN フラグクリアレジスタ 861
26.2.29 CESR : 通信許可ステータスレジスタ 862
26.3 調歩同期式モードの動作 862
26.3.1 シリアル転送フォーマット 863
26.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 864
26.3.3 クロック 865
26.3.4 倍速動作とビットレートの 6 倍の周波数 865
26.3.5 CTS、RTS 機能 866
26.3.6 アドレス一致（受信データー致）検出機能 866
26.3.7 SCI の初期化（調歩同期式モード） 869
26.3.8 シリアルデータの送信（調歩同期式モード） 871
26.3.9 シリアルデータの受信（調歩同期式モード） 877
26.3.10 受信サンプリングタイミング調節機能（調歩同期式モード） 884
26.3.11 送信タイミング調節機能（調歩同期式モード） 887
26.4 マルチプロセッサ通信機能 892
26.4.1 マルチプロセッサシリアルデータ送信 893
26.4.2 マルチプロセッサシリアルデータ受信 896
26.5 マンチェスタモードの動作 902
26.5.1 フレームフォーマット 903
26.5.2 クロック 907
26.5.3 マンチェスタモードにおける SCI の初期化 907
26.5.4 倍速動作 908
26.5.5 CTS、RTS 機能 908
26.5.6 シリアルデータの送信（マンチェスタモード） 908
26.5.7 シリアルデータの受信（マンチェスタモード） 910
26.5.8 マルチプロセッサが使用されている場合の動作 915
26.5.9 受信再タイミング 915
26.5.10 マンチェスタコードの極性設定 916
26.5.11 マンチェスタモードにおけるエラー 917
26.6 クロック同期式モードの動作 922
26.6.1 クロック 922
26.6.2 CTS、RTS 機能 922
26.6.3 SCI の初期化（クロック同期式モード） 923
26.6.4 シリアルデータの送信（クロック同期式モード） 924
26.6.5 シリアルデータの受信（クロック同期式モード） 928
26.6.6 シリアルデータの同時送受信（クロック同期式モード） 932
26.6.7 内部クロックを使用したクロック同期式モードでの受信サンプリングタイミング調整機能 934
26.7 スマートカードインタフェースモードの動作 935

26.7.1 接続例 935
26.7.2 データフォーマット（ブロック転送モード時を除く） 936
26.7.3 ブロック転送モード 937
26.7.4 受信データサンプリングタイミングと受信マージン 937
26.7.5 SCI の初期化（スマートカードインタフェースモード） 938
26.7.6 シリアルデータの送信（ブロック転送モードを除く） 939
26.7.7 シリアルデータの受信（ブロック転送モード時を除く） 942
26.7.8 クロック出力制御 944
26.8 簡易 IIC モードの動作 945
26.8.1 開始条件、再開始条件、停止条件の生成 946
26.8.2 クロック同期化 947
26.8.3 SDAn 出力遅延 948
26.8.4 SCI の初期化（簡易 IIC モード） 949
26.8.5 マスタ送信動作（簡易 IIC モード） 949
26.8.6 マスタ受信動作（簡易 IIC モード） 952
26.9 簡易 SPI モードの動作 954
26.9.1 マスタモード、スレーブモードと各端子の状態 955
26.9.2 マスタモード時の SS 機能 956
26.9.3 スレーブモード時の SS 機能 956
26.9.4 クロックと送受信データの関係 956
26.9.5 SCI の初期化（簡易 SPI モード） 957
26.9.6 シリアルデータの送受信（簡易 SPI モード） 957
26.9.7 内部クロックを使用した簡易 SPI モードでの受信サンプリングタイミング調整機能 957
26.10 ビットレートモジュレーション機能 958
26.11 簡易 LIN モード 958
26.11.1 簡易 LIN スタートフレーム送信 959
26.11.2 簡易 LIN スタートフレーム受信 961
26.11.3 簡易 LIN バス競合検出機能 966
26.11.4 簡易 LIN ビットレート測定機能 967
26.12 割り込み要因 968
26.12.1 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作 968
26.12.2 調歩同期式モード、マンチェスタモード、クロック同期式モード、および簡易 SPI モードにおける割り込み 969
26.12.3 スマートカードインタフェースモードにおける割り込み 970
26.12.4 簡易 IIC モードにおける割り込み 971
26.12.5 簡易 LIN モードにおける割り込み 972
26.13 イベントリンク機能 972
26.14 アドレス不一致イベント出力 (SCI0_DCUF) 974
26.15 ノイズ除去機能 974
26.16 RS-485 ドライバコントロール機能 975

26.17 ループバック機能 976
26.18 半二重通信機能 977
26.19 シンクロナイザーバイパス機能 977
26.20 使用上の注意 978
26.20.1 モジュールストップ機能の設定 978
26.20.2 低消費電力状態での SCI の動作 978
26.20.3 ブレークの検出と処理について 983
26.20.4 マーク状態とブレークの送出 984
26.20.5 受信エラーフラグと送信動作（クロック同期式モードおよび簡易 SPI モード） 984
26.20.6 TDR へのデータ書き込み 984
26.20.7 クロック同期式送信に関する制限事項（クロック同期式モードおよび簡易 SPI モード） 984
26.20.8 DMAC または DTC 使用時の制限 985
26.20.9 通信の開始に関する注意事項 985
26.20.10 簡易 SPI モードに関する制限事項 986
26.20.11 送信許可ビット (CCR0.TE) に関する注意事項 986
26.20.12 簡易 LIN モードに関する注意事項 987
26.20.13 RS-485 ドライバ制御機能に関する注意事項 987
26.20.14 ループバック機能に関する注意事項 987
26.20.15 動作クロック (TCLK) がバスクロック (PCLK) より長い場合のレジスタアクセスに関する注意事項 987
26.20.16 動作の割り込みに関する注意事項 987
26.20.17 CCR3.BPEN ビットの設定に関する注意事項 987

27. I²C バスインタフェース (IIC) 988
27.1 概要 988
27.1.1 機能概要 988
27.1.2 ブロック図 989
27.2 レジスタの説明 989
27.2.1 レジスター覧 989
27.2.2 BCTL：バスコントロールレジスタ 991
27.2.3 RSTCTL：リセットコントロールレジスタ 991
27.2.4 PRSST：現在ステートレジスタ 992
27.2.5 BFCTL：バス機能コントロールレジスタ 994
27.2.6 SVCTL：スレーブコントロールレジスタ 996
27.2.7 REFCKCTL：リファレンスクロックコントロールレジスタ 997
27.2.8 STDBR：スタンダードビットレートレジスタ 998
27.2.9 EXTBR：拡張ビットレートレジスタ 999
27.2.10 BFRECDT：バスフリー状態検出時間レジスタ 1000
27.2.11 OUTCTL：出力コントロールレジスタ 1000
27.2.12 INCTL：入力コントロールレジスタ 1002
27.2.13 TMOCTL：タイムアウトコントロールレジスタ 1003

27.2.14 WUCTL：ウェイクアップユニットコントロールレジスタ 1004
27.2.15 ACKCTL：アクノリッジコントロールレジスタ 1005
27.2.16 SCSTRCTL：SCL ストレッチコントロールレジスタ 1006
27.2.17 CNDCTL：条件コントロールレジスタ 1007
27.2.18 NTDTBP0/NTDTBP0_BY：通常転送データバッファポートレジスタ 0 1009
27.2.19 BST：バスステータスレジスタ 1009
27.2.20 BSTE：バスステータス許可レジスタ 1012
27.2.21 BIE：バス割り込み許可レジスタ 1013
27.2.22 BSTFC：バスステータス強制レジスタ 1015
27.2.23 NTST：通常転送ステータスレジスタ 1016
27.2.24 NTSTE：通常転送ステータス許可レジスタ 1017
27.2.25 NTIE：通常転送割り込み許可レジスタ 1017
27.2.26 NTSTFC：通常転送ステータス強制レジスタ 1018
27.2.27 BCST：バス状態ステータスレジスタ 1019
27.2.28 SVST：スレーブステータスレジスタ 1019
27.2.29 WUST：ウェイクアップユニット動作ステータスレジスタ 1022
27.2.30 SDATBASy：スレーブデバイスアドレステーブル基本レジスタ y (y = 0〜2) 1023
27.2.31 SVDVADy：スレーブデバイスアドレスレジスタ y (y = 0〜2) 1023
27.2.32 BITCNT：ビットカウントレジスタ 1025
27.2.33 PRSTDBG：現在ステートデバッグレジスタ 1025
27.3 動作説明 1026
27.3.1 機能詳細 1026
27.3.2 動作 1067
27.4 割り込み要因 1073
27.4.1 概要 1073
27.4.2 バッファフル割り込み／エンプティ割り込みのバッファ動作 1074
27.5 イベントリンク出力機能 1074
27.5.1 割り込み処理とイベントリンクの関係 1074
27.6 リセットの説明 1074
27.7 使用上の注意事項 1078
27.7.1 動作クロックの設定 1078
28. CAN フレキシブルデータレート (CANFD) 1079
28.1 概要 1079
28.1.1 CANFD モジュール 1079
28.1.2 クロックの制限事項 1081
28.2 レジスタの説明 1081
28.2.1 レジスタ表 1081
28.2.2 凡例 1082
28.2.3 CFDC0NCFG：チャネル 0 公称ビットレートコンフィグレーションレジスタ 1085
28.2.4 CFDC0CTR：チャネル 0 コントロールレジスタ 1086

28.2.5 CFDC0STS : チャネル 0 ステータスレジスタ 1091
28.2.6 CFDC0ERFL : チャネル 0 エラーフラグレジスタ 1094
28.2.7 CFDC0DCFG : チャネル 0 データビットレートコンフィグレーションレジスタ 1100
28.2.8 CFDC0FDCFG : チャネル 0 CANFD コンフィグレーションレジスタ 1101
28.2.9 CFDC0FDCTR : チャネル 0 CANFD コントロールレジスタ 1104
28.2.10 CFDC0FDSTS : チャネル 0 CANFD ステータスレジスタ 1105
28.2.11 CFDC0FDCRC : チャネル 0 CANFD CRC レジスタ 1107
28.2.12 CFDGCFG : グローバルコンフィグレーションレジスタ 1108
28.2.13 CFDGCTR : グローバルコントロールレジスタ 1110
28.2.14 CFDGSTS : グローバルステータスレジスタ 1112
28.2.15 CFDGERFL : グローバルエラーフラグレジスタ 1113
28.2.16 CFDGTINTSTS : グローバル TX 割り込みステータスレジスタ 1114
28.2.17 CFDGTSC : グローバルタイムスタンプカウンタレジスタ 1116
28.2.18 CFDGAFLECTR : グローバルアクセプタンスフィルタリストエントリコントロールレジスタ 1116
28.2.19 CFDGAFLCFG: グローバルアクセプタンスフィルタリストコンフィグレーションレジスタ 1117
28.2.20 CFDGAFLIDr : グローバルアクセプタンスフィルタリスト ID レジスタ（r = 1～16） 1118
28.2.21 CFDGAFLMr : グローバルアクセプタンスフィルタリストマスクレジスタ (r = 1～16) 1119
28.2.22 CFDGAFLP0r : グローバルアクセプタンスフィルタリストポインタ 0 レジスタ（r = 1～16） 1120
28.2.23 CFDGAFLP1r : グローバルアクセプタンスフィルタリストポインタ 1 レジスタ（r = 1～16） 1123
28.2.24 CFDRMNB : RX メッセージバッファ数レジスタ 1123
28.2.25 CFDRMND : RX メッセージバッファ新規データレジスタ 1124
28.2.26 CFDRFCCa : RX FIFO コンフィグレーション／コントロールレジスタ a（a = 0, 1） 1125
28.2.27 CFDRFSTSa : RX FIFO ステータスレジスタ a（a = 0, 1） 1127
28.2.28 CFDRFPCTRa : RX FIFO ポインタコントロールレジスタ a（a = 0、1） 1128
28.2.29 CFDCFCC : 共通 FIFO コンフィグレーション／コントロールレジスタ 1129
28.2.30 CFDCFSTS : 共通 FIFO ステータスレジスタ 1132
28.2.31 CFDCFPCTR : 共通 FIFO ポインタコントロールレジスタ 1134
28.2.32 CFDFESTS : FIFO エンプティステータスレジスタ 1135
28.2.33 CFDFFSTS : FIFO フルステータスレジスタ 1136
28.2.34 CFDFMSTS : FIFO メッセージロストステータスレジスタ 1136
28.2.35 CFDRFISTS : RX FIFO 割り込みフラグステータスレジスタ 1137
28.2.36 CFDCDTCT : DMA 転送コントロールレジスタ 1138
28.2.37 CFDCDTSTS : DMA 転送ステータスレジスタ 1138
28.2.38 CFDTMCi : TX メッセージバッファコントロールレジスタ i（i = 0～3） 1139
28.2.39 CFDTMSTSj : TX メッセージバッファステータスレジスタ j（j = 0～3） 1141
28.2.40 CFDTMTRSTS : TX メッセージバッファ送信要求ステータスレジスタ 1142
28.2.41 CFDTMTARSTS : TX メッセージバッファ送信中断要求ステータスレジスタ 1143

28.2.42 CFDTMTCSTS : TX メッセージバッファ送信完了ステータスレジスタ 1143
28.2.43 CFDTMTASTS : TX メッセージバッファ送信中断ステータスレジスタ 1144
28.2.44 CFDTMIEC : TX メッセージバッファ割り込み許可コンフィグレーションレジスタ 1144
28.2.45 CFDTXQCC : TX キューコンフィグレーション／コントロールレジスタ 1145
28.2.46 CFDTXQSTS : TX キューステータスレジスタ 1147
28.2.47 CFDTXQPCTR : TX キューポインタコントロールレジスタ 1148
28.2.48 CFDTHLCC : TX 履歴リストコンフィグレーション／コントロールレジスタ 1149
28.2.49 CFDTHLSTS : TX 履歴リストステータスレジスタ 1150
28.2.50 CFDTHLACC0 : TX 履歴リストアクセスレジスタ 0 1151
28.2.51 CFDTHLACC1 : TX 履歴リストアクセスレジスタ 1 1152
28.2.52 CFDTHLPCTR : TX 履歴リストポインタコントロールレジスタ 1153
28.2.53 CFDGRSTC : グローバル SW リセットレジスタ 1153
28.2.54 CFDGTSTCFG : グローバルテストコンフィグレーションレジスタ 1154
28.2.55 CFDGTSTCTR : グローバルテストコントロールレジスタ 1155
28.2.56 CFDGFDCFG : グローバル FD コンフィグレーションレジスタ 1155
28.2.57 CFDGLOCKK : グローバルロックキーレジスタ 1156
28.2.58 CFDRPGACCk: RAM テストページアクセスレジスタ k（k = 0～63） 1157
28.2.59 CFDGAFLIGNENT: グローバル AFL 無視エントリレジスタ 1157
28.2.60 CFDGAFLIGNCTR : グローバル AFL 無視コントロールレジスタ 1158
28.2.61 CFDRMIEC : RX メッセージバッファ割り込み許可コンフィグレーションレジスタ 1158
28.2.62 メッセージバッファコンポーネントの構造 1159
28.3 動作の概要 1180
28.3.1 概要 1180
28.3.2 グローバルモード 1180
28.3.3 チャネルモード 1189
28.3.4 グローバルモード遷移とチャネルモード遷移の相互作用 1195
28.4 初期化 1197
28.4.1 CAN クロック、ビットタイミング、ボーレートの初期化 1197
28.4.2 ハードウェアリセット後の CAN モジュールの構成 1204
28.5 グローバルアクセプタンスフィルタリスト（AFL）を使用したアクセプタンスフィルタ機能 1205
28.5.1 概要 1205
28.5.2 AFL エントリの割り当て 1207
28.5.3 AFL エントリの説明 1207
28.5.4 AFL へのエントリの入力 1209
28.5.5 ループバックモード 1212
28.5.6 IDE マスク処理 1212
28.5.7 通信中の AFL エントリの更新 1213
28.6 FIFO バッファと通常のメッセージバッファの構成 1215
28.6.1 通常の RX メッセージバッファ 1216
28.6.2 FIFO バッファ 1217

28.7 割り込みと DMA 1221
28.7.1 割り込み 1221
28.7.2 DMA 転送 1224
28.8 受信／送信 1227
28.8.1 受信 1227
28.8.2 送信 1235
28.9 テストモード 1250
28.9.1 チャネル固有のテストモード 1250
28.9.2 グローバルテストモード 1252
29. CANFD ECC (CNECC) 1257
29.1 概要 1257
29.2 レジスタの説明 1257
29.2.1 EC710CTL : ECC コントロールレジスタ 1257
29.2.2 EC710TMC : ECC テストモードコントロールレジスタ 1260
29.2.3 EC710TED : ECC テスト置換データレジスタ 1261
29.2.4 EC710EAD0 : ECC エラーアドレスレジスタ 1262
29.3 動作説明 1262
29.3.1 ECC 機能設定 1262
29.3.2 ECC デコーダのテスト方法 1263
29.4 割り込み 1264
30. シリアルペリフェラルインタフェース (SPI) 1265
30.1 概要 1265
30.2 レジスタの説明 1268
30.2.1 SPDR : SPI データレジスタ 1268
30.2.2 SPDECR : SPI 遅延コントロールレジスタ 1270
30.2.3 SPCR : SPI コントロールレジスタ 1272
30.2.4 SPCR2 : SPI コントロールレジスタ 2 1277
30.2.5 SPCR3 : SPI コントロールレジスタ 3 1279
30.2.6 SPCMDm : SPI コマンドレジスタ（m = 0〜7） 1281
30.2.7 SPDCR : SPI データコントロールレジスタ 1284
30.2.8 SPDCR2 : SPI データコントロールレジスタ 2 1285
30.2.9 SPSR : SPI ステータスレジスタ 1286
30.2.10 SPTFSR : SPI 転送 FIFO ステータスレジスタ 1292
30.2.11 SPRFSR : SPI 受信 FIFO ステータスレジスタ 1292
30.2.12 SPPSR : SPI ポーリングレジスタ 1293
30.2.13 SPSRC : SPI ステータスクリアレジスタ 1293
30.2.14 SPFCR : SPI FIFO クリアレジスタ 1294
30.3 動作説明 1295
30.3.1 SPI 動作の概要 1295

30.3.2 SPI 端子の制御 ... 1296
30.3.3 SPI システム構成例 ... 1297
30.3.4 データフォーマット ... 1302
30.3.5 転送フォーマット ... 1315
30.3.6 通信動作モード ... 1317
30.3.7 送信バッファエンプティ／受信バッファフル割り込み ... 1320
30.3.8 アイドル割り込み ... 1321
30.3.9 通信終了割り込み ... 1323
30.3.10 エラー検出 ... 1330
30.3.11 SPI の初期化 ... 1337
30.3.12 SPI 動作 ... 1338
30.3.13 クロック同期式動作 ... 1357
30.3.14 ループバックモード ... 1363
30.3.15 パリティビット機能の自己診断 ... 1364
30.3.16 割り込み要因 ... 1365
30.4 イベントリンクコントローラ (ELC) への出力 ... 1366
30.4.1 受信バッファフルイベント出力 ... 1366
30.4.2 送信バッファエンプティイベント出力 ... 1367
30.4.3 モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーまたは受信データレディイベント出力 ... 1367
30.4.4 SPI アイドルイベント出力 ... 1367
30.4.5 通信終了イベント出力 ... 1368
30.4.6 同期バイパス機能 ... 1370
30.5 使用上の注意事項 ... 1371
30.5.1 モジュールストップ機能の設定 ... 1371
30.5.2 低消費電力機能に関する制約 ... 1371
30.5.3 転送の開始に関する制約 ... 1371
30.5.4 モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーまたは受信データレディイベント出力に関する制約 ... 1371
30.5.5 SPSR.SPRF および SPSR.SPTEF フラグに関する制約 ... 1371

31. 巡回冗長検査 (CRC) ... 1372

31.1 概要 ... 1372
31.2 レジスタの説明 ... 1373
31.2.1 CRCCR0 : CRC コントロールレジスタ 0 ... 1373
31.2.2 CRCCR1 : CRC コントロールレジスタ 1 ... 1373
31.2.3 CRCDIR/CRCDIR_BY : CRC データ入力レジスタ ... 1374
31.2.4 CRCDOR/CRCDOR_HA/CRCDOR_BY : CRC データ出力レジスタ ... 1374
31.2.5 CRCSAR : スヌープアドレスレジスタ ... 1375
31.3 動作説明 ... 1375
31.3.1 基本動作 ... 1375

31.3.2 CRC スヌープ機能 1378
31.4 使用上の注意事項 1379
31.4.1 モジュールストップ状態の設定 1379
31.4.2 送信時の注意事項 1379
32. 三角関数ユニット (TFU) 1381
32.1 概要 1381
32.1.1 三角関数ユニットを使用する際の注意事項 1382
32.2 レジスタの説明 1382
32.2.1 TRGSTS : 三角関数ステータスレジスタ 1382
32.2.2 SCDT0 : sin、cos データレジスタ 0 1383
32.2.3 SCDT1 : sin、cos データレジスタ 1 1383
32.2.4 ATDT0 : atan データレジスタ 0 1384
32.2.5 ATDT1 : atan データレジスタ 1 1384
32.3 動作説明 1385
32.3.1 演算処理 1385
32.3.2 入力値および出力値のフォーマット 1385
32.3.3 Sincos 演算の入力値と出力値の関係 1386
32.3.4 Atan 演算の入力値と出力値の関係 1386
32.3.5 hypot_k 演算の入力値と出力値の関係 1386
32.3.6 三角関数演算の手順 1387
33. IIR フィルタアクセラレータ (IIRFA) 1389
33.1 概要 1389
33.2 レジスタの説明 1390
33.2.1 レジスター覧 1390
33.3 動作説明 1402
33.3.1 概要 1402
33.3.2 チャネル処理動作 1404
33.3.3 演算エラー発生時の動作 1405
33.3.4 ECC エラー検出時の動作 1406
33.3.5 使用手順 1407
33.4 割り込み要因 1411
34. バウンダリスキャン 1412
34.1 概要 1412
34.2 レジスタの説明 1413
34.2.1 JTIR : インストラクションレジスタ 1413
34.2.2 JTIDR : ID コードレジスタ 1414
34.2.3 JTBPR : バイパスレジスタ 1414
34.2.4 JTBSR : バウンダリスキャンレジスタ 1414
34.3 動作 1414

34.3.1 TAP コントローラ 1414
34.3.2 コマンド 1415
34.4 使用上の注意 1416
35. セキュア暗号エンジン (SCE5) 1418
35.1 概要 1418
35.2 動作説明 1419
35.2.1 暗号エンジン 1419
35.2.2 暗号／復号処理 1420
35.3 使用上の注意事項 1421
35.3.1 ソフトウェアスタンバイモード 1421
35.3.2 モジュールストップ機能の設定 1421
36. A/D コンバータ 1422
36.1 概要 1422
36.2 レジスタの説明 1430
36.2.1 システム 1430
36.2.2 スキャングループ 1435
36.2.3 仮想チャネル 1443
36.2.4 A/D 変換設定 1448
36.2.5 S&H、PGA、その他 1453
36.2.6 デジタルフィルタ 1459
36.2.7 自己校正 1460
36.2.8 リミッタークリップ機能 1462
36.2.9 コンペアマッチ機能 1466
36.2.10 A/D 変換の開始および停止制御 1473
36.2.11 ステータスレジスタ 1476
36.2.12 FIFO 1484
36.2.13 データレジスタ 1491
36.3 動作説明 1493
36.3.1 A/D 変換クロック 1493
36.3.2 A/D コンバータの動作モード 1494
36.3.3 シングルエンド入力と差動入力 1495
36.3.4 アナログチャネル 1495
36.3.5 仮想チャネル 1496
36.3.6 スキャングループ 1496
36.3.7 スキャン動作説明 1497
36.3.8 自己校正 1506
36.3.9 アナログ入力チャネル 1508
36.3.10 拡張アナログ機能 1508
36.3.11 自己診断機能 1509

36.3.12 内部基準電圧 1510
36.3.13 温度センサ 1511
36.3.14 D/A コンバータ 1511
36.3.15 プログラマブルゲインアンプ 1511
36.3.16 チャネル専用サンプル＆ホールド回路 1514
36.3.17 断線検出アシスト機能 1527
36.3.18 グループ優先動作 1528
36.3.19 同期動作 1535
36.4 A/D 変換データ 1538
36.4.1 内部データ処理手順 1538
36.4.2 デジタルフィルタ機能 1539
36.4.3 校正と補正 1541
36.4.4 A/D 変換値加算／平均機能 1544
36.4.5 リミッタークリップ機能 1545
36.4.6 データフォーマット処理 1546
36.4.7 データフォーマット 1546
36.4.8 コンペアマッチ機能 1553
36.4.9 データレジスタ 1555
36.4.10 FIFO 機能 1555
36.4.11 A/D 変換データエラー検出 1557
36.5 A/D 変換の開始および停止制御 1557
36.5.1 ソフトウェアトリガ 1557
36.5.2 周辺モジュールトリガ 1557
36.5.3 トリガ遅延 1559
36.5.4 A/D 変換動作の強制停止 1559
36.6 エラー検出 1560
36.6.1 A/D コンバータエラー 1560
36.6.2 A/D 変換オーバーフロー 1560
36.6.3 FIFO オーバーフロー 1561
36.7 設定および変更手順 1561
36.7.1 初期設定手順 1561
36.7.2 ADCLK 設定変更手順 1562
36.7.3 A/D コンバータの設定変更手順 1562
36.8 割り込み要因および ELC イベント 1563
36.9 スキャン変換時間 1566
36.9.1 スキャン開始処理時間 1566
36.9.2 変換処理時間 1566
36.9.3 スキャン終了処理時間 1570
36.10 使用上の注意事項 1571
36.10.1 A/D 変換動作中の動作設定変更の禁止 1571

36.10.2 A/D 変換の強制停止に関する使用上の注意事項 1571
36.10.3 A/D データレジスタに関する使用上の注意事項 1572
36.10.4 モジュールストップ機能の設定 1572
36.10.5 低消費電力状態への遷移および解除に関する制限 1572
36.10.6 ボード設計に関する注意事項 1572
36.10.7 PGA が接続されたアナログチャネルを使用する際の注意事項 1573
36.10.8 同期動作に関する注意事項 1573
36.10.9 チャネル専用サンプル&ホールド回路に関する注意事項 1573
36.10.10 複数の A/D コンバータ間で共有されているアナログチャネルに関する制限 1574
36.10.11 A/D 変換開始トリガに関する注意事項 1574
36.10.12 自己校正に関する注意事項 1574
36.10.13 グループ優先動作に関する注意事項 1574
36.10.14 PGA 出力モニタ機能に関する注意事項 1574
36.10.15 SAR モードに関する制限 1574
36.10.16 オーバーサンプリングモードに関する制限 1574
36.10.17 ハイブリッドモードに関する制限 1574
36.10.18 サンプリング時間の見積もり 1575

37. 12 ビット D/A コンバータ (DAC12) 1577

37.1 概要 1577
37.2 レジスタの説明 1579
37.2.1 DADRn : D/A データレジスタ n（n = 0、1） 1579
37.2.2 DACR : D/A コントロールレジスタ 1579
37.2.3 DADPR : DADRn フォーマット選択レジスタ 1581
37.2.4 DAAMPCR : D/A 出力アンプコントロールレジスタ 1581
37.2.5 DAASWCR : D/A アンプ安定ウェイトコントロールレジスタ 1582
37.3 動作 1583
37.4 イベントリンクの動作設定手順 1584
37.4.1 DA0 イベントリンクの動作設定手順 1584
37.4.2 DA1 イベントリンクの動作設定手順 1584
37.4.3 DA2 イベントリンクの動作設定手順 1584
37.4.4 DA3 イベントリンクの動作設定手順 1584
37.5 イベントリンク動作における注意事項 1585
37.6 使用上の注意 1585
37.6.1 モジュールストップ機能の設定 1585
37.6.2 モジュールストップ時の DAC12 の動作 1585
37.6.3 ソフトウェアスタンバイモード時の DAC12 の動作 1585
37.6.4 ディープソフトウェアスタンバイモードへの移行に関する制約 1585
37.6.5 出力アンプを使用した初期化手順 1585
37.6.6 内部モジュールへの出力の初期化手順 1586

38. 温度センサ回路 (TSN) 1587
38.1 概要 1587
38.2 レジスタの説明 1588
38.2.1 TSCR : 温度センサコントロールレジスタ 1588
38.2.2 TSCDR : 温度センサ校正データレジスタ 1588
38.3 温度センサ回路の使用方法 1589
38.3.1 使用前の準備 1589
38.3.2 温度センサ回路の使用手順 1589
38.4 使用上の注意事項 1591
38.4.1 モジュールストップ機能の設定 1591
39. 高速アナログコンパレータ (ACMPHS) 1592
39.1 概要 1592
39.2 レジスタの説明 1593
39.2.1 CMPCTL : コンパレータコントロールレジスタ 1593
39.2.2 CMPSEL0 : コンパレータ入力選択レジスタ 1594
39.2.3 CMPSEL1 : コンパレータ基準電圧選択レジスタ 1594
39.2.4 CMPMON : コンパレータ出力モニタレジスタ 1595
39.2.5 CPIOC : コンパレータ出力コントロールレジスタ 1595
39.3 動作説明 1595
39.4 ノイズフィルタ 1597
39.5 ACMPHS 割り込み 1598
39.6 イベントリンクコントローラ (ELC) への ACMPHS 出力 1598
39.7 ACMPHS 端子出力 1598
39.8 使用上の注意事項 1598
39.8.1 モジュールストップ機能の設定 1598
40. データ演算回路 (DOC) 1599
40.1 概要 1599
40.2 レジスタの説明 1600
40.2.1 DOCR : DOC コントロールレジスタ 1600
40.2.2 DOSR: DOC フラグステータスレジスタ 1601
40.2.3 DOSCR : DOC フラグステータスクリアレジスタ 1602
40.2.4 DODIR : DOC データインプットレジスタ 1602
40.2.5 DODSR0 : DOC データ設定レジスタ 0 1602
40.2.6 DODSR1: DOC データ設定レジスタ 1 1603
40.3 動作説明 1603
40.3.1 データ比較モード 1603
40.3.2 データ加算モード 1605
40.3.3 データ減算モード 1606
40.4 割り込み要因 1607

40.5 イベントリンク出力 1607
40.6 割り込み処理とイベントリンクの関係 1607
40.7 使用上の注意事項 1607
40.7.1 モジュールストップ機能の設定 1607
41. SRAM 1608
41.1 概要 1608
41.2 レジスタの説明 1608
41.2.1 SRAMSAR : SRAM セキュリティ属性レジスタ 1608
41.2.2 PARIOAD : SRAM パリティエラー検出後動作レジスタ 1609
41.2.3 SRAMPRCR : SRAM プロテクトレジスタ 1609
41.2.4 ECCMODE : ECC 動作モードコントロールレジスタ 1610
41.2.5 ECC2STS : ECC 2 ビットエラーステータスレジスタ 1611
41.2.6 ECC1STSEN : ECC 1 ビットエラー情報更新イネーブルレジスタ 1611
41.2.7 ECC1STS : ECC 1 ビットエラーステータスレジスタ 1612
41.2.8 ECCPRCR : ECC プロテクトレジスタ 1612
41.2.9 ECCPRCR2 : ECC プロテクトレジスタ 2 1613
41.2.10 ECCETST : ECC テストコントロールレジスタ 1613
41.2.11 ECCOAD : SRAM ECC エラー検出後動作レジスタ 1614
41.3 動作説明 1614
41.3.1 モジュールストップ機能 1614
41.3.2 ECC 誤り訂正機能 1615
41.3.3 ECC エラー割り込み機能 1615
41.3.4 ECC デコーダのテスト方法 1615
41.3.5 TrustZone フィルタ機能 1616
41.3.6 割り込み要因 1617
41.3.7 アクセスサイクル 1618
41.3.8 ECC エンコード仕様 1618
42. スタンバイ SRAM 1619
42.1 概要 1619
42.2 レジスタの説明 1619
42.2.1 STBRAMSAR : スタンバイ RAM メモリセキュリティ属性レジスタ 1619
42.3 動作説明 1620
42.3.1 データ保持 1620
42.3.2 モジュールストップ機能の設定 1620
42.3.3 パリティ計算機能 1620
42.3.4 TrustZone フィルタ機能 1622
42.3.5 アクセスサイクル 1623
42.4 使用上の注意事項 1623
42.4.1 スタンバイ SRAM 領域からの命令フェッチ 1623

43. フラッシュメモリ 1624
43.1 概要 1624
43.2 メモリ構成 1626
43.3 アドレス空間 1627
43.4 レジスタの説明 1628
43.4.1 FCACHEE : フラッシュキャッシュイネーブルレジスタ 1628
43.4.2 FCACHEIV : フラッシュキャッシュインバリデートレジスタ 1628
43.4.3 FLWT : フラッシュウェイトサイクルレジスタ 1629
43.4.4 FSAR : フラッシュセキュリティ属性レジスタ 1629
43.4.5 UIDRn : ユニーク ID レジスタ n（n = 0～3） 1630
43.4.6 PNRn : 型名レジスタ n（n = 0～3） 1630
43.4.7 MCUVER : MCU バージョンレジスタ 1631
43.4.8 FWEPROR : フラッシュ P/E プロテクトレジスタ 1631
43.4.9 FASTAT : フラッシュアクセスステータスレジスタ 1632
43.4.10 FAEINT : フラッシュアクセスエラー割り込み許可レジスタ 1633
43.4.11 FRDYIE : フラッシュレディ割り込み許可レジスタ 1634
43.4.12 FSADDR : FACI コマンド開始アドレスレジスタ 1634
43.4.13 FEADDR : FACI コマンド終了アドレスレジスタ 1635
43.4.14 FMEPROT : フラッシュ P/E モードエントリ保護レジスタ 1635
43.4.15 FBPROT0 : フラッシュブロック保護レジスタ 1636
43.4.16 FBPROT1 : セキュア用フラッシュブロック保護レジスタ 1637
43.4.17 FSTATR : フラッシュステータスレジスタ 1638
43.4.18 FENTRYR : フラッシュ P/E モードエントリレジスタ 1641
43.4.19 FSUINITR : フラッシュシーケンサセットアップ初期化レジスタ 1643
43.4.20 FCMDR : FACI コマンドレジスタ 1643
43.4.21 FBCCNT : ブランクチェックコントロールレジスタ 1644
43.4.22 FBCSTAT : ブランクチェックステータスレジスタ 1645
43.4.23 FPSADDR : データフラッシュ書き込み開始アドレスレジスタ 1645
43.4.24 FSUASMON : フラッシュスタートアップ領域選択モニタレジスタ 1646
43.4.25 FCPSR : フラッシュシーケンサ処理切り替えレジスタ 1646
43.4.26 FPCKAR : フラッシュシーケンサ処理クロック通知レジスタ 1647
43.4.27 FSUACR : フラッシュスタートアップ領域コントロールレジスタ 1647
43.4.28 FCKMHZ : データフラッシュアクセス周波数レジスタ 1648
43.5 フラッシュキャッシュ 1649
43.5.1 フラッシュキャッシュの特長 1649
43.6 フラッシュメモリ関連の動作モード 1650
43.7 機能概要 1651
43.8 フラッシュシーケンサの動作モード 1652
43.9 FACI コマンド 1653
43.9.1 FACI コマンド一覧 1653

43.9.2 フラッシュシーケンサの状態と FACI コマンドの関係 1654
43.9.3 FACI コマンドの使用方法 1656
43.10 サスペンド動作 1674
43.11 プロテクション機能 1674
43.11.1 ソフトウェアプロテクション 1674
43.11.2 エラープロテクション 1676
43.11.3 スタートアッププログラムプロテクション 1678
43.12 セキュリティ機能 1682
43.12.1 スタートアップ領域選択のセキュリティフラグ 1682
43.12.2 永久ブロック保護設定 1683
43.12.3 TrustZone のフラッシュメモリ保護 1684
43.13 ブートモード 1692
43.13.1 ブートモード（SCI インタフェース） 1693
43.14 シリアルプログラマを使用した書き込み 1693
43.14.1 シリアルプログラミング環境 1694
43.15 セルフプログラミングでの書き換え 1694
43.15.1 概要 1694
43.15.2 バックグラウンドオペレーション 1695
43.16 フラッシュメモリの読み出し 1695
43.16.1 コードフラッシュメモリの読み出し 1695
43.16.2 データフラッシュメモリの読み出し 1695
43.16.3 アクセスサイクル 1695
43.17 使用上の注意事項 1696

44. 内部電圧レギュレータ 1698
44.1 概要 1698
44.2 動作説明 1698

45. セキュリティ機能 1699
45.1 特長 1699
45.2 Arm TrustZone セキュリティ 1699
45.2.1 Arm TrustZone 技術 1699
45.2.2 メモリのセキュリティ属性 1699
45.2.3 周辺モジュールのセキュリティ属性 1701
45.2.4 フラッシュシーケンサのセキュリティ属性 1701
45.2.5 アドレス空間のセキュリティ属性 1702
45.2.6 TrustZone アクセスエラー 1702
45.3 デバイスライフサイクルの管理 1703
45.3.1 ライフサイクル状態の変更 1704
45.3.2 デバッグアクセスレベル 1705
45.3.3 シリアルプログラミング 1705

45.3.4 ライフサイクル変更例 1705
45.3.5 故障解析 1705
45.4 キーインジェクション 1706
45.5 レジスタの説明 1708
45.5.1 PSARB : 周辺モジュールセキュリティ属性レジスタ B 1708
45.5.2 PSARC : 周辺モジュールセキュリティ属性レジスタ C 1709
45.5.3 PSARD : 周辺モジュールセキュリティ属性レジスタ D 1710
45.5.4 PSARE : 周辺モジュールセキュリティ属性レジスタ E 1712
45.5.5 MSSAR : モジュールストップセキュリティ属性レジスタ 1712
45.5.6 CFSAMONA : コードフラッシュセキュリティ属性モニタレジスタ A 1713
45.5.7 CFSAMONB: コードフラッシュセキュリティ属性モニタレジスタ B 1713
45.5.8 DFSAMON: データフラッシュセキュリティ属性モニタレジスタ 1714
45.5.9 SSAMONA: SRAM セキュリティ属性モニタレジスタ A 1714
45.5.10 SSAMONB : SRAM セキュリティ属性モニタレジスタ B 1714
45.5.11 DLMMON : デバイスライフサイクル管理状態モニタレジスタ 1715
45.5.12 TZFSAR : TrustZone フィルタセキュリティ属性レジスタ 1715
45.5.13 TZFOAD : 検出後の TrustZone フィルタ動作レジスタ 1716
45.5.14 TZFPT : TrustZone フィルタ保護レジスタ 1716
45.6 使用上の注意事項 1717
45.6.1 セキュリティ属性の設定に関する制限 1717
45.6.2 SAU 設定 1717
45.6.3 FACI レジスタ設定中の非セキュア例外 1717
45.6.4 FCU 割り込みの使用 1717
46. 電気的特性 1718
46.1 絶対最大定格 1718
46.2 DC 特性 1719
46.2.1 Tj/Ta の定義 1719
46.2.2 I/O VIH, VIL 1720
46.2.3 I/O IOH, IOL 1721
46.2.4 I/O VOH、VOL、その他の特性 1722
46.2.5 動作電流とスタンバイ電流 1723
46.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数 1724
46.2.7 熱特性 1725
46.3 AC 特性 1728
46.3.1 周波数 1728
46.3.2 クロックタイミング 1729
46.3.3 リセットタイミング 1731
46.3.4 ウェイクアップタイミング 1732
46.3.5 NMI/IRQ ノイズフィルタ 1734
46.3.6 I/O ポート、POEG、GPT、AGT、KINT、ADC のトリガタイミング 1735

46.3.7 PDG タイミング 1742
46.3.8 CAC タイミング 1743
46.3.9 SCI タイミング 1743
46.3.10 SPI タイミング 1749
46.3.11 IIC タイミング 1754
46.3.12 CANFD タイミング 1758
46.4 A/D 変換特性 1758
46.5 DAC12 特性 1766
46.6 TSN 特性 1767
46.7 ACMPHS 特性 1767
46.8 PGA 特性 1768
46.9 OSC 停止検出特性 1770
46.10 POR/LVD 特性 1771
46.11 フラッシュメモリ特性 1774
46.11.1 コードフラッシュメモリ特性 1774
46.11.2 データフラッシュメモリ特性 1776
46.11.3 オプション設定メモリ特性 1777
46.12 バウンダリスキャン 1778
46.13 ジョイントテストアクショングループ (JTAG) 1779
46.14 シリアルワイヤデバッグ (SWD) 1780
46.15 エンベデッドトレースマクロインタフェース (ETM) 1781
付録 1. 各プロセスモードのポート状態 1783
付録 2. 外形寸法図 1784
付録 3. I/O レジスタ 1789
3.1 周辺機能のベースアドレス 1789
3.2 アクセスサイクル 1791
付録 4. モジュールバージョン 1794
改訂履歴 1795

高性能な 240 MHz Arm Cortex-M33 コア、バックグラウンド動作の最大 512 KB のコードフラッシュメモリ、16 KB のデータフラッシュメモリ、ECC を備えた 64 KB の SRAM。同時サンプリングが可能なチャネル専用サンプル＆ホールド回路とシングルエンド／疑似差動入力対応アンプを備えた統合 A/D コンバータ。200 MHz 動作および高分解能の統合汎用 PWM タイマ。Arm TrustZone と協調して動作する暗号化アクセラレータおよび鍵管理サポートを備え、セキュア要素機能を有機的に結ぶ統合セキュア暗号エンジン。

特長

■ Arm® Cortex®-M33 コア

- Armv8-M アーキテクチャ（メイン拡張）
- 最高動作周波数：240 MHz
- Arm メモリプロテクションユニット (Arm MPU)
  - 保護メモリシステムアーキテクチャ (PMSAv8)
  - セキュア MPU (MPU_S)：8 領域
  - 非セキュア MPU (MPU_NS)：8 領域
- SysTick タイマ
  - 2 個の SysTick タイマ：セキュア、および非セキュアインスタンス
  - LOCO 駆動またはシステムクロック
- CoreSight™ ETM-M33

■ メモリ

- 最大 512 KB のコードフラッシュメモリ
- 16 KB データフラッシュメモリ（125,000 回のプログラム／イレース (P/E) サイクル）
- 64-KB SRAM

■ 接続性

- シリアルコミュニケーションインタフェース (SCI) × 6
  - 調歩同期式インタフェース
  - 8 ビットクロック同期式インタフェース
  - スマートカードインタフェース
  - 簡易 IIC
  - 簡易 SPI
  - 簡易 LIN
  - マンチェスタコード
- I^2C バスインタフェース (IIC) × 2
  - 最大 3.2 Mpbs の転送（High-speed モード）
- シリアルペリフェラルインタフェース (SPI) × 2
- CAN フレキシブルデータレート (CANFD)

■ アナログ

- A/D コンバータ (ADC) × 2
  - 最大 16 ビットの分解能
  - 最大 6.25 Msps
  - チャネル専用サンプル&ホールド回路 × 6
  - プログラマブルゲインアンプ (PGA) × 4
- 高速アナログコンパレータ (ACMPHS) × 4
- 12 ビット D/A コンバータ (DAC12) × 4
- 温度センサ (TSN)

■ タイマ

- 32 ビット高分解能汎用 PWM タイマ (GPT32) × 4
  - 200 MHz 時 156 ps の分解能
- 32 ビット汎用 PWM タイマ (GPT32) × 6
- 非同期汎用タイマ (AGT) × 2

■ セキュリティおよび暗号化

- セキュア暗号エンジン (SCE5)
  - 対称暗号方式：AES
  - ハッシュ値生成： GHASH
  - 128 ビットのユニーク ID
- Arm® TrustZone®
  - コードフラッシュ用領域：最大 3 領域
  - データフラッシュ用領域：最大 2 領域
  - SRAM 用領域：最大 3 領域
  - 各ペリフェラルに対して個別のセキュアまたは非セキュアのセキュリティ属性
- デバイスライフサイクルの管理

■ システムおよび電源管理

- 低消費電力モード
- イベントリンクコントローラ (ELC)
- データ転送コントローラ (DTC)
- DMA コントローラ (DMAC) × 8
- パワーオンリセット
- 低電圧検出 (LVD)（電圧設定）
- ウォッチドッグタイマ (WDT)
- 独立ウォッチドッグタイマ (IWDT)
- キー割り込み機能 (KINT)

■ データ処理アクセラレータ

- 三角関数ユニット (TFU)
- IIR フィルタアクセラレータ (IIRFA)

■ マルチクロックソース

- メインクロック発振器 (MOSC) (8～24 MHz)
- 高速オンチップオシレータ (HOCO) (16/18/20 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- IWDT 専用オンチップオシレータ (15 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- PLL/PLL2
- クロックアウトのサポート

■ 汎用入出力ポート

- 5 V トレラント、オープンドレイン、入力プルアップ、切り替え可能駆動能力

■ 動作電圧

- VCC: 2.7～3.6 V

■ 動作温度およびパッケージ

- Ta = –40°C～+105°C
  - 100 ピン LQFP（14mm×14mm、0.5mm ピッチ）
  - 64 ピン LQFP（10mm×10mm、0.5mm ピッチ）
  - 48 ピン LQFP（7mm×7mm、0.5mm ピッチ）
  - 64 ピン QFN（8mm×8mm、0.4mm ピッチ）
  - 48 ピン QFN（7mm×7mm、0.5mm ピッチ）

1. 概要

本 MCU は、さまざまなシリーズのソフトウェアと互換性のある Arm®ベースの 32 ビットコアで構成されています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本シリーズの MCU は最高 240 MHz で動作する高性能な Arm Cortex®-M33 コアを内蔵しており、以下の特長があります。

- 最大 512 KB のコードフラッシュメモリ
- 64 KB SRAM
- 汎用 PWM タイマ（GPT）- 拡張高分解能
- アナログ周辺機能
- セキュリティ&セーフティ機能

1.1 機能の概要

表 1.1 CPU

機能	機能の説明
Arm Cortex-M33 コア	● 最高動作周波数：240 MHz ● Arm Cortex-M33 コア： – Armv8-M アーキテクチャ（セキュリティ拡張機能付き） – リビジョン：r0p4-00rel0 ● Arm メモリプロテクションユニット (Arm MPU) – 保護メモリシステムアーキテクチャ (PMSAv8) – セキュア MPU (MPU_S)：8 領域 – 非セキュア MPU (MPU_NS)：8 領域 ● SysTick タイマ – 2 個の SysTick タイマ：セキュア、および非セキュアインスタンス – SysTick タイマクロック (SYSTICCLK) またはシステムクロック (ICLK) による駆動 ● CoreSight™ ETM-M33

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 512 KB のコードフラッシュメモリ。 「43. フラッシュメモリ」を参照してください。
データフラッシュメモリ	16 KB のデータフラッシュメモリ 「43. フラッシュメモリ」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。 「6. オプション設定メモリ」を参照してください。
SRAM	誤り訂正コード (ECC) を備えた高速 SRAM を内蔵しています。 「41. SRAM」を参照してください。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2 種類の動作モード： ● シングルチップモード ● SCI ブートモード 「3. 動作モード」を参照してください。
リセット	本 MCU は、14 種類のリセットをサポートしています。 「5. リセット」を参照してください。
低電圧検出回路 (LVD)	低電圧検出モジュール (LVD) は、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD は、3 つの独立した電圧監視回路（LVD0、LVD1、LVD2）で構成され、LVD0、LVD1、LVD2 は VCC 端子への入力電圧レベルを監視します。LVD のレジスタを設定することにより、さまざまな電圧しきい値で VCC 端子への入力電圧の変動を監視できます。 「7. 低電圧検出回路 (LVD)」を参照してください。

表 1.3 システム (2/2)

機能	機能の説明
クロック	• メインクロック発振器 (MOSC) • 高速オンチップオシレータ (HOCO) • 中速オンチップオシレータ (MOCO) • 低速オンチップオシレータ (LOCO) • IWDT 専用オンチップオシレータ • PLL/PLL2 • クロックアウトのサポート 「8. クロック発生回路」を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内にない時、割り込み要求を発生します。 「9. クロック周波数精度測定回路 (CAC)」を参照してください。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、DMA コントローラ (DMAC)、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。 「12. 割り込みコントローラユニット (ICU)」を参照してください。
キー割り込み機能 (KINT)	キー割り込み機能 (KINT) は、キー割り込み入力端子の立ち上がりエッジまたは立ち下がりエッジが検出されると、キー割り込みを生成します。 「19. キー割り込み機能 (KINT)」を参照してください。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。 「10. 低消費電力モード」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。 「11. レジスタライトプロテクション」を参照してください。
メモリプロテクションユニット (MPU)	本 MCU は、1 つのメモリプロテクションユニットを備えています。 「14. メモリプロテクションユニット (MPU)」を参照してください。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。 「17. イベントリンクコントローラ (ELC)」を参照してください。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。 「16. データトランスファコントローラ (DTC)」を参照してください。
DMA コントローラ (DMAC)	本 MCU は、8 チャネルの DMA コントローラ (DMAC) を内蔵しており、CPU を介さずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。 「15. DMA コントローラ (DMAC)」を参照してください。

表 1.6 タイマ (1/2)

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT32 ×10 チャネルの 32 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーター制御用の PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。 「21. 汎用 PWM タイマ (GPT)」を参照してください。
PWM 遅延生成回路 (PDG)	PWM 遅延生成回路 (PDG) には、GPT に接続可能な 4 つのチャネル遅延回路があります。PDG は、GPT320～GPT323 が生成する PWM 波形の両エッジのタイミングを制御できます。 「22. PWM 遅延生成回路 (PDG)」を参照してください。

表 1.6 タイマ (2/2)

機能	機能の説明
GPT 用のポートアウトプットイネーブル (POEG)	POEG は汎用 PWM タイマ (GPT) の出力端子からの出力を停止する要求を発行します。出力を停止するための検出方法を下記から選択します。 「20. GPT 用のポートアウトプットイネーブル (POEG)」を参照してください。
非同期汎用タイマ (AGT)	非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 32 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。 「23. 非同期汎用タイマ (AGTW)」を参照してください。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットすることができます。さらに、ノンマスカブル割り込みやアンダーフロー割り込み、を発生させるためにも使用できます。 「24. ウォッチドッグタイマ (WDT)」を参照してください。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、システム暴走時に MCU をリセットすることができます。IWDT は、MCU をリセットする機能や、カウンタのアンダーフロー発生時に、割り込み／ノンマスカブル割り込みを発生させることが可能です。 「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

表 1.7 通信インタフェース

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 6 チャネルには調歩同期式および同期式のシリアルインタフェースがあります。 ● 調歩同期式インタフェース（UART および調歩同期式通信インタフェースアダプタ (ACIA)） ● 8 ビットクロック同期式インタフェース ● 簡易 IIC（マスタのみ） ● 簡易 SPI ● 簡易 LIN ● スマートカードインタフェース ● マンチェスタインタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCIn (n = 0～4、9) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。 「26. シリアルコミュニケーションインタフェース (SCI)」を参照してください。
I^2C バスインタフェース (IIC)	I^2C バスインタフェース (IIC) には 2 チャネルあります。IIC は、NXP 社の I^2C (Inter-Integrated Circuit) に準拠しており、それらのサブセット機能を備えています。 「27. I^2C バスインタフェース (IIC)」を参照してください。
シリアルペリフェラルインタフェース (SPI)	シリアルペリフェラルインタフェース (SPI) には 2 チャネルあります。SPI によって、複数のプロセッサや周辺デバイスとの高速な全二重同期式シリアル通信が可能です。 「30. シリアルペリフェラルインタフェース (SPI)」を参照してください。
CAN フレキシブルデータレート (CANFD)	CAN フレキシブルデータレート (CANFD) モジュールは、旧来の CAN フレームと ISO 11898-1 規格に準拠する CAN-FD フレームの両方を取り扱うことができます。 このモジュールは 4 個の送信バッファと 32 個の受信バッファをサポートしています。 「28. CAN フレキシブルデータレート (CANFD)」を参照してください。

表 1.8 アナログ機能 (1/2)

機能	機能の説明
A/D コンバータ (ADC)	A/D コンバータ (ADC) は、2 ユニットのノイズシェーピング SAR 型の A/D コンバータで構成されています。 ● 逐次変換レジスタ型とデルタ-シグマ変調型の特長を結び付けたハイブリッドアーキテクチャ ● 最大 16 ビットの分解能 ● 最大 6.25 Msps ● 最大 29 本のアナログ入力チャネル ● シングルエンド入力または差動入力をサポート ● チャネル専用サンプル&ホールド回路 (SH) を内蔵 ● プログラマブルゲインアンプ (PGA) を内蔵 ● 変換には温度センサ出力、内部基準電圧、および D/A コンバータ出力を選択可能 「36. A/D コンバータ」を参照してください。

表 1.8 アナログ機能 (2/2)

機能	機能の説明
12 ビット D/A コンバータ (DAC12)	12 ビットの D/A コンバータ (DAC12) を内蔵しています。 「37. 12 ビット D/A コンバータ (DAC12)」を参照してください。
高速アナログコンパレータ (ACMPHS)	高速アナログコンパレータ (ACMPHS) はテスト電圧と基準電圧を比較し、変換結果に基づいてデジタル出力を生成します。テスト電圧と基準電圧はともに、DAC12 出力や内蔵 PGA 出力などの内部電圧源、および外部電圧源からコンパレータに供給できます。このような柔軟性は、必ずしも A/D 変換を必要とせずにアナログ信号に対して実行／中止の比較を行う必要があるアプリケーションに有効です。 「39. 高速アナログコンパレータ (ACMPHS)」を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧は ADC で変換されてから、末端の応用機器で使用できます。 「38. 温度センサ回路 (TSN)」を参照してください。

表 1.9 データ処理

機能	機能の説明
巡回冗長検査 (CRC)	巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対するアクセスをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。 「31. 巡回冗長検査 (CRC)」を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16 ビットまたは 32 ビットのデータの比較、加算、および減算に使用します。割り込み要求は以下の条件が当てはまる場合に生成できます。 ● 16 ビットまたは 32 ビットの比較値が検出条件に一致した場合 ● 16 ビットまたは 32 ビットのデータ加算結果がオーバーフローした場合 ● 16 ビットまたは 32 ビットのデータ減算結果がアンダーフローした場合 「40. データ演算回路 (DOC)」を参照してください。

表 1.10 データ処理アクセラレータ

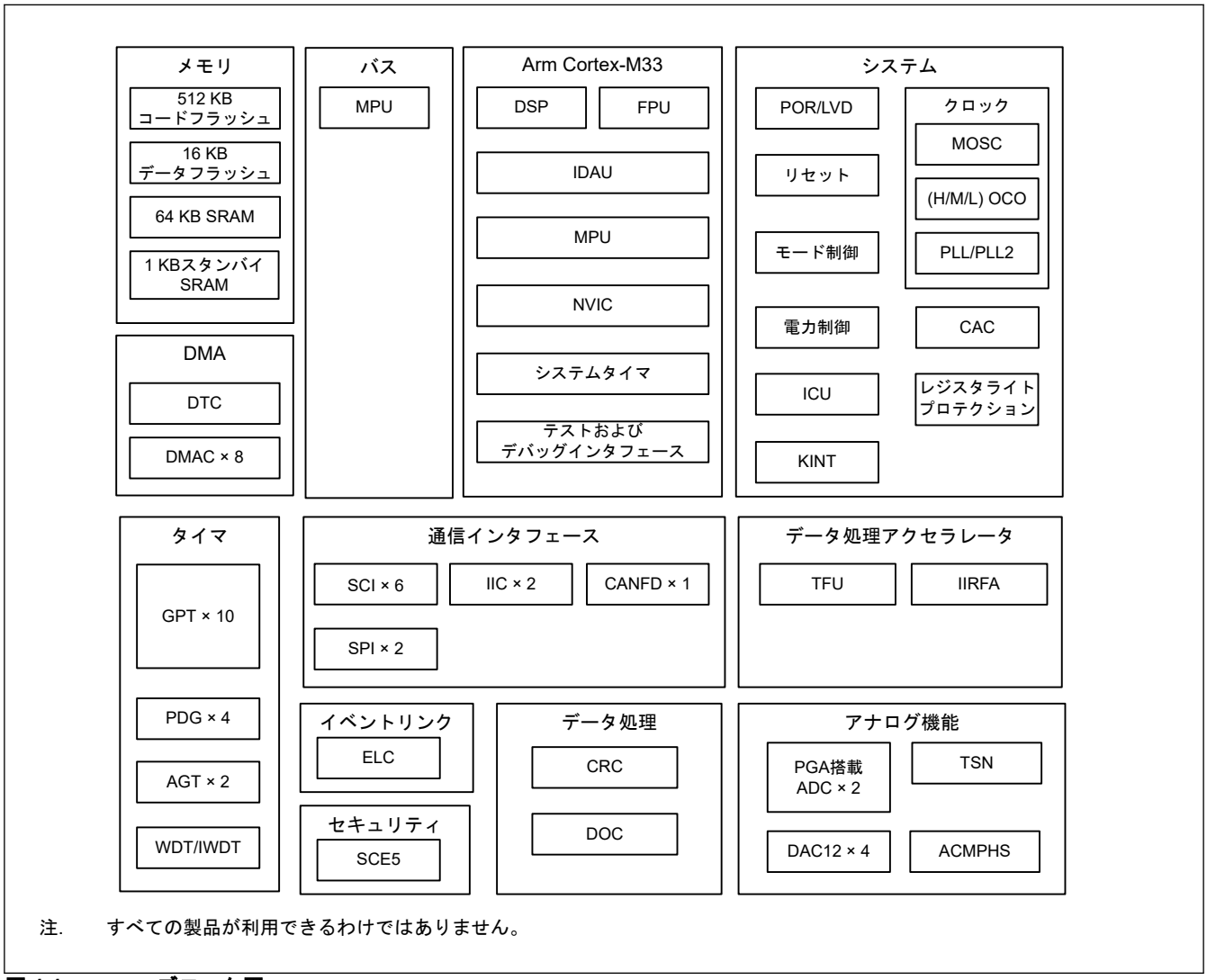
機能	機能説明
三角関数ユニット (TFU)	正弦、余弦、逆正接、および hypot_k ($\sqrt{x^2+y^2}/k$) ● 正弦と余弦は同時に計算できます。 ● 逆正接と hypot_k は同時に計算できます。
IIR フィルタアクセラレータ (IIRFA)	● 16 チャネルの双 2 次 IIR フィルタ ● カスケード接続された双 2 次フィルタ（最大 32 段） ● 単精度浮動小数点数を使用して動作

表 1.11 セキュリティ

機能	機能説明
セキュリティ機能	● ARMv8-M TrustZone セキュリティ ● デバイスライフサイクル管理 ● デバッグアクセスレベル ● キーインジェクション
セキュア暗号エンジン (SCE5)	● 対称暗号方式：AES ● ハッシュ値生成： GHASH ● 128 ビットの固有の ID 「35. セキュア暗号エンジン (SCE5)」を参照してください。

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

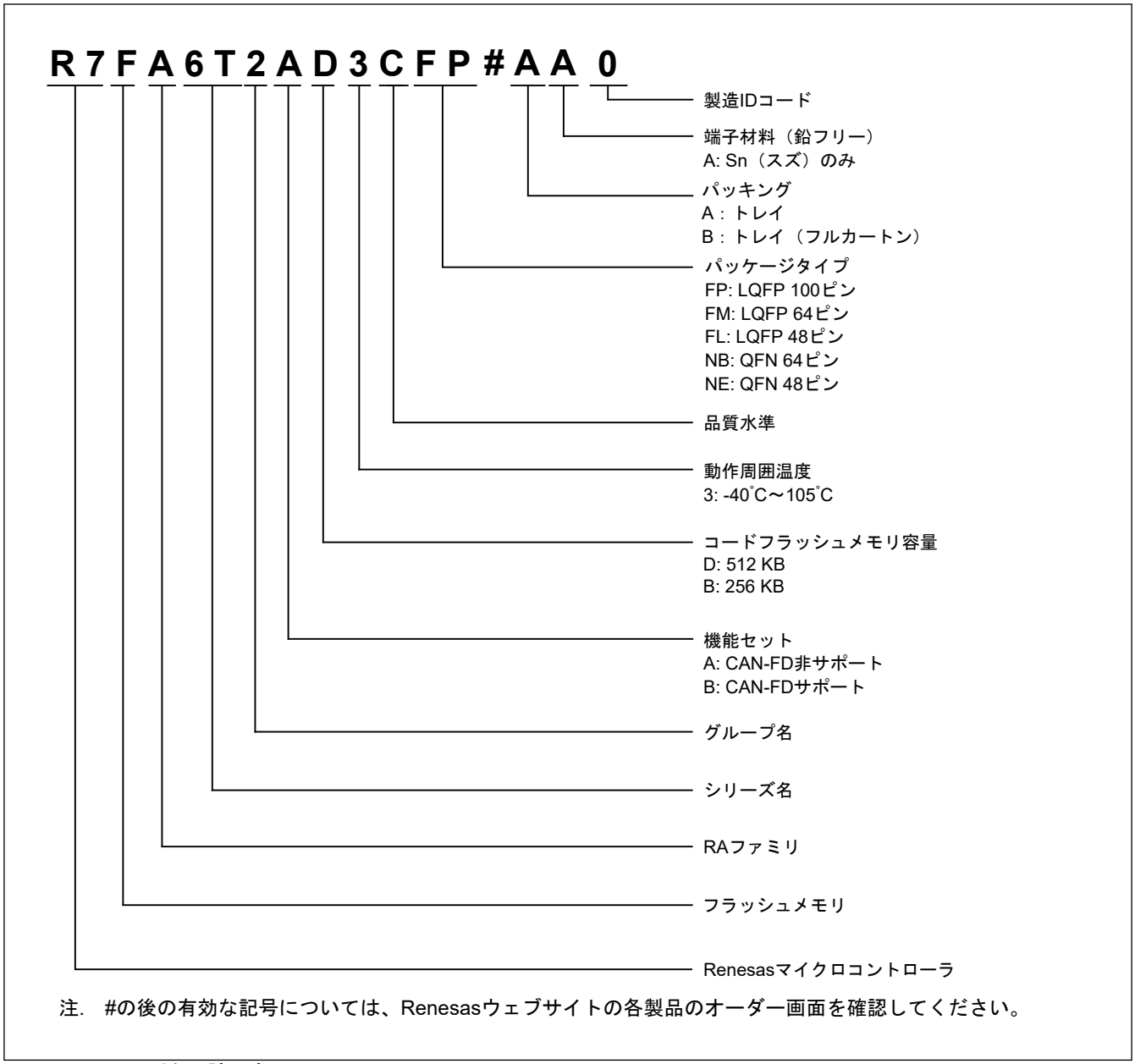


注. すべての製品が利用できるわけではありません。

図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.12 に、製品一覧表を示します。



注. #の後の有効な記号については、Renesasウェブサイトの各製品のオーダー画面を確認してください。

図 1.2 型名の読み方

表 1.12 製品一覧

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	CAN-FD	動作温度
R7FA6T2AD3CFP	PLQP0100KB-B	512 KB	16 KB	64 KB	対応しない	–40～+105°C
R7FA6T2AD3CFM	PLQP0064KB-C					
R7FA6T2AD3CFL	PLQP0048KB-B					
R7FA6T2AD3CNB	PWQN0064LB-A					
R7FA6T2AD3CNE	PWQN0048KC-A					
R7FA6T2AB3CFP	PLQP0100KB-B	256 KB				
R7FA6T2AB3CFM	PLQP0064KB-C					
R7FA6T2AB3CFL	PLQP0048KB-B					
R7FA6T2AB3CNB	PWQN0064LB-A					
R7FA6T2AB3CNE	PWQN0048KC-A					
R7FA6T2BD3CFP	PLQP0100KB-B	512 KB	16 KB	64 KB	対応	–40～+105°C
R7FA6T2BD3CFM	PLQP0064KB-C					
R7FA6T2BD3CFL	PLQP0048KB-B					
R7FA6T2BD3CNB	PWQN0064LB-A					
R7FA6T2BD3CNE	PWQN0048KC-A					
R7FA6T2BB3CFP	PLQP0100KB-B	256 KB				
R7FA6T2BB3CFM	PLQP0064KB-C					
R7FA6T2BB3CFL	PLQP0048KB-B					
R7FA6T2BB3CNB	PWQN0064LB-A					
R7FA6T2BB3CNE	PWQN0048KC-A					

1.4 機能の比較

表 1.13 機能の比較

型名		R7FA6T2XX3CFP	R7FA6T2XX3CFM	R7FA6T2XX3CFL	R7FA6T2XX3CNB	R7FA6T2XX3CNE
端子総数		100	64	48	64	48
パッケージ		LQFP			QFN	
コードフラッシュメモリ		512 KB、256 KB				
データフラッシュメモリ		16 KB				
SRAM	ECC	64 KB				
スタンバイ SRAM	パリティ	1 KB				
DMA	DTC	あり				
	DMAC	8				
システム	CPU クロック	最高 240 MHz				
	CPU クロックソース	MOSC、HOCO、MOCO、LOCO、PLL				
	CAC	あり				
	WDT/IWDT	あり				
	KINT	あり				
通信	SCI	6				
	IIC	2(注2)				
	SPI	2				
	CANFD	1				
タイマ	GPT(注1)	10				
	AGT(注1)	2				
アナログ機能	ADC	ユニット 0：12 + 9(注3)、ユニット 1： 8 + 9(注3)	ユニット 0：10、ユニット 1：8	ユニット 0：6、ユニット 1：4	ユニット 0：10、ユニット 1：8	ユニット 0：6、ユニット 1：4
	DAC12	4		2	4	2
	ACMPHS	4		3	4	3
	PGA	4		3	4	3
	TSN	あり				
データ処理	CRC	あり				
	DOC	あり				
イベントコントロール	ELC	あり				
アクセラレータ	TFU	あり				
	IIRFA	あり				
セキュリティ		SCE5、TrustZone、ライフサイクルマネジメント				

注. 製品型名は、メモリサイズと CAN-FD のサポートによって異なります。「1.3. 型名」を参照してください。
注 1. 使用できる端子はピン数によります。詳細は、「1.7. 端子一覧」を参照してください。
注 2. Fm+および Hs モードは、IIC のチャネル IIC0 でのみ利用できます。
注 3. ユニット 0 とユニット 1 の共有端子。

1.5 端子機能

表 1.14 端子機能一覧 (1/3)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μF のコンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
クロック	EXTAL	入力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	XTAL	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。本端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップエミュレータ	TMS	入力	オンチップエミュレータ用またはバウンダリスキャン用端子
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TCLK	出力	トレースデータと同期をとるためのクロックを出力します。
	TDATA0～TDATA3	出力	トレースデータ出力
	SWO	出力	シリアルワイヤトレース出力端子
	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQn	入力	マスカブル割り込み要求端子
	IRQn-DS	入力	マスカブル割り込み要求端子は、ディープソフトウェアスタンバイモード時も使用できます。
KINT	KR00～KR07	入力	キー割り込み入力端子

表 1.14 端子機能一覧 (2/3)

機能	端子名	入出力	説明
GPT	GTETRGA、GTETRGB、GTETRGC、GTETRGD	入力	外部トリガ入力端子
	GTIOCnA、GTIOCnB	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTADSM0, GTADSM1	出力	A/D 変換開始要求モニタリング出力端子
	GTCPPO0～GTCPPO4, GTCPPO7	出力	PWM 同期トグル出力
	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター一制御用 3 相 PWM 出力（正相 U 相）
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 U 相）
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 V 相）
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 V 相）
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 W 相）
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 W 相）
AGT	AGTEEn	入力	外部イベント入力イネーブル信号
	AGTIOn	入出力	外部イベント入力およびパルス出力端子
	AGTOn	出力	パルス出力端子
	AGTOAn	出力	出力コンペアマッチ A 出力端子
	AGTOBn	出力	出力コンペアマッチ B 出力端子
SCI	SCKn	入出力	クロック用の入出力端子（クロック同期式モード）
	RXDn	入力	受信データ用の入力端子（調歩同期式モード／クロック同期式モード）
	TXDn	出力	送信データ用の出力端子（調歩同期式モード／クロック同期式モード）
	CTSn_RTSn	入出力	送受信の開始制御用の入出力端子（調歩同期式モード／クロック同期式モード）、アクティブ Low
	CTSn	入力	送信の開始用の入力端子
	DEn	出力	ドライバ許可信号用出力端子
	SCLn	入出力	IIC クロック用の入出力端子（簡易 IIC モード）
	SDAn	入出力	IIC データ用の入出力端子（簡易 IIC モード）
	SCKn	入出力	クロック用の入出力端子（簡易 SPI モード）
	MISOn	入出力	データのスレーブ送信用の入出力端子（簡易 SPI モード）
	MOSIn	入出力	データのマスタ送信用の入出力端子（簡易 SPI モード）
	SSn	入力	チップセレクト入力端子（簡易 SPI モード）、アクティブ Low
IIC	SCLn	入出力	クロック入出力端子
	SDAn	入出力	データ用の入出力端子
SPI	RSPCKA、RSPCKB	入出力	クロック入出力端子
	MOSIA、MOSIB	入出力	マスタからの出力データ用の入出力端子
	MISOA、MISOB	入出力	スレーブからの出力データ用の入出力端子
	SSLA0、SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1～SSLA3、SSLB1～SSLB3	出力	スレーブ選択用の出力端子

表 1.14 端子機能一覧 (3/3)

機能	端子名	入出力	説明
CANFD	CRX0	入力	受信データ
	CTX0	出力	送信データ
アナログ電源	AVCC0	入力	アナログ電源端子。それぞれのモジュールのアナログ電源端子として使用されます。この端子には VCC 端子と同じ電圧を供給してください。
	AVSS0	入力	アナロググランド端子。それぞれのモジュールのアナロググランド端子として使用されます。この端子には VSS 端子と同じ電圧を供給してください。
	VREFH0	入力	ADC 用のアナログ基準電圧端子。ADC を使用しない場合は AVCC0 に接続してください。
	VREFL0	入力	ADC 用のアナログ基準グランド端子。ADC を使用しない場合は AVSS0 に接続してください。
ADC	AN000～AN028	入力	A/D コンバータで処理されるアナログ信号用の入力端子
	PGAIN0～PGAIN3	入力	プログラマブルゲインアンプの擬似差動入力端子（信号ソース側）
	PGAVSS0～PGAVSS3	入力	プログラマブルゲインアンプの擬似差動入力端子（基準グランド側）
	PGAOUT0～PGAOUT3	出力	プログラマブルゲインアンプのモニタ出力端子
	ADTRGm	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low
DAC12	DAn	出力	D/A コンバータで処理されるアナログ信号用の出力端子
ACMPHS	VCOUT	出力	コンパレータ出力端子（全ユニットの OR 出力）
	CMPOUTm	出力	コンパレータ出力端子（m：ユニット番号）
	CMPOUT012	出力	コンパレータ出力端子（ユニット 0、1、2 の OR 出力）
	IVREF0, IVREF1	入力	コンパレータ用基準電圧入力端子
	IVCMPm0, IVCMPm2, IVCMPm3	入力	コンパレータ用アナログ電圧入力端子（m：ユニット番号）
I/O ポート	P201、P212、P213、PA08～PA15、PB03～PB10、PB12～PB15、PC06～PC12、PC14、PC15、PD00～PD15、PE00～PE06、PE08～PE15	入出力	汎用入出力端子
	P000、P001、P002、PA00～PA07、PB00～PB02、PC00～PC05、PC13	入力	汎用入力端子

1.6 ピン配置図

以下の図に、ピン配置図（上面図）を示します。

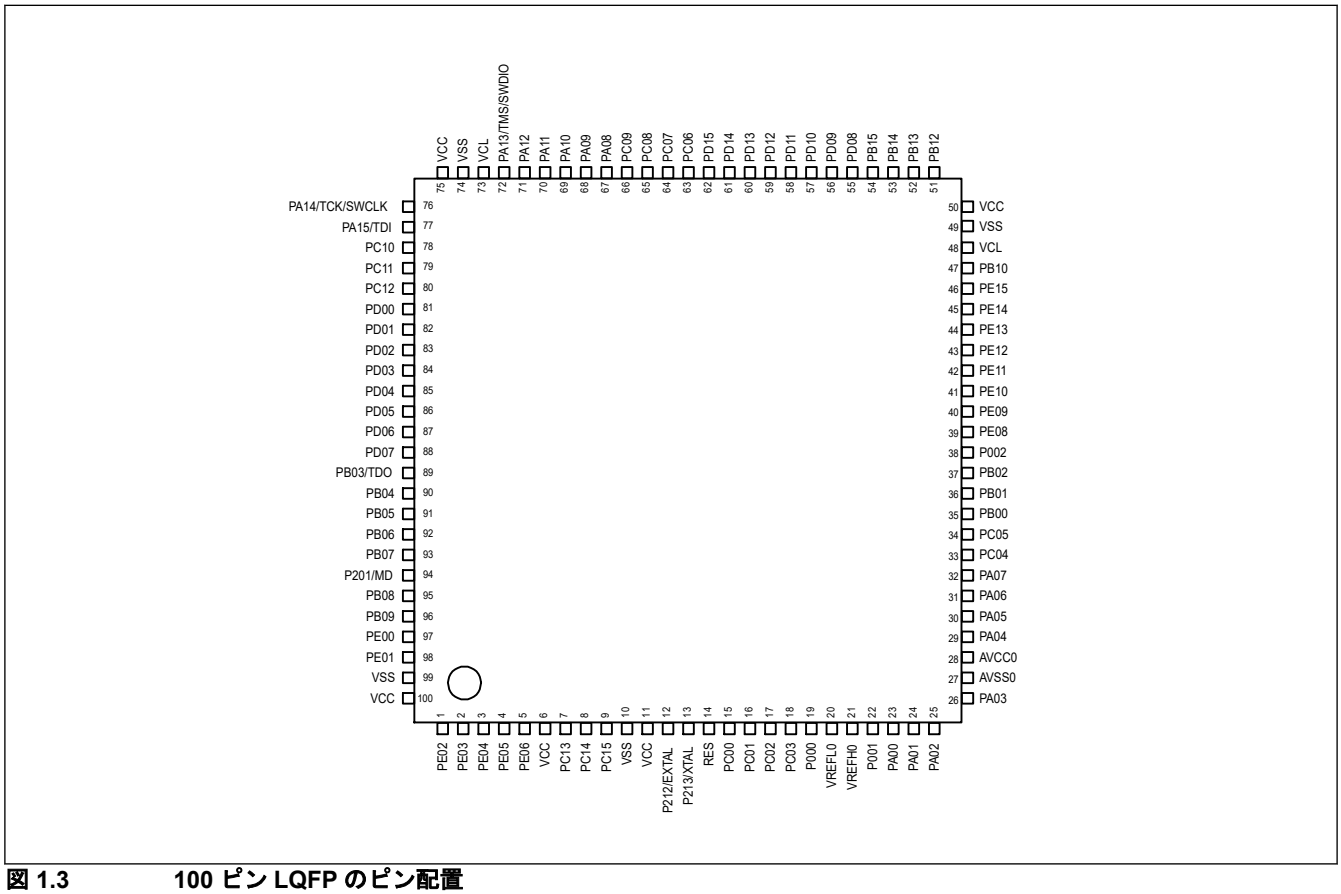


図 1.3 100 ピン LQFP のピン配置

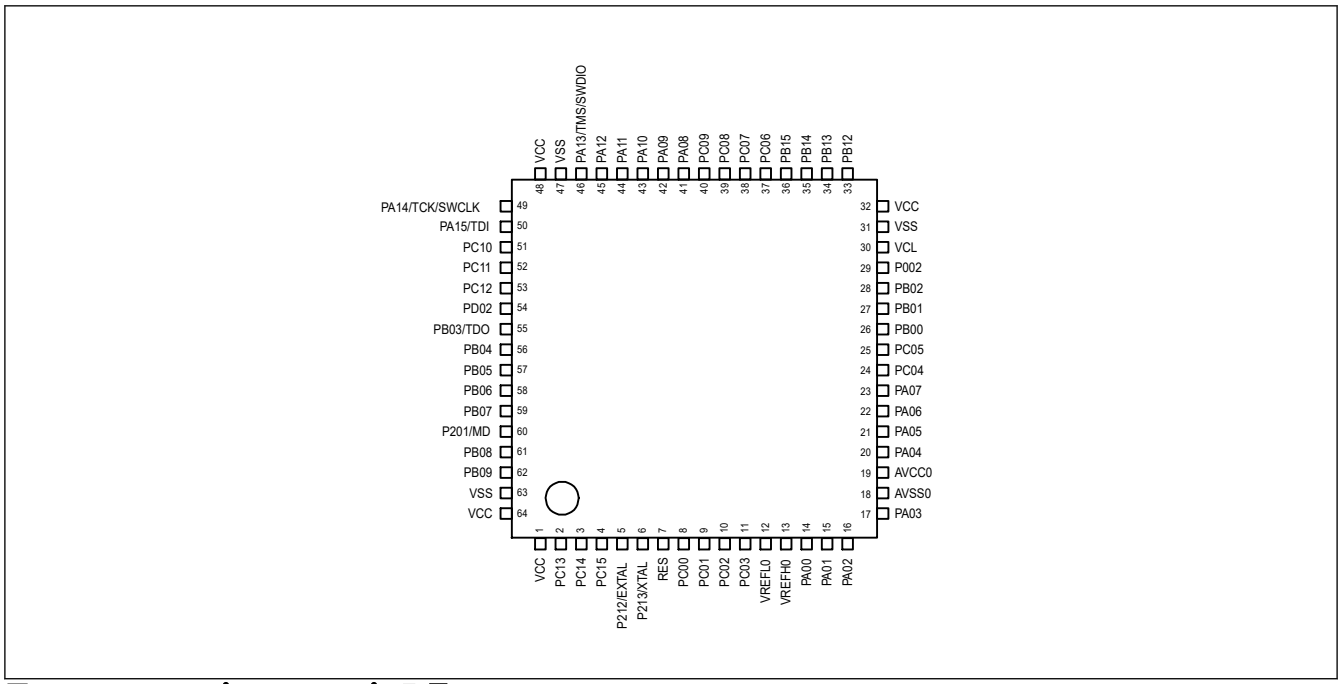


図 1.4 64 ピン LQFP のピン配置

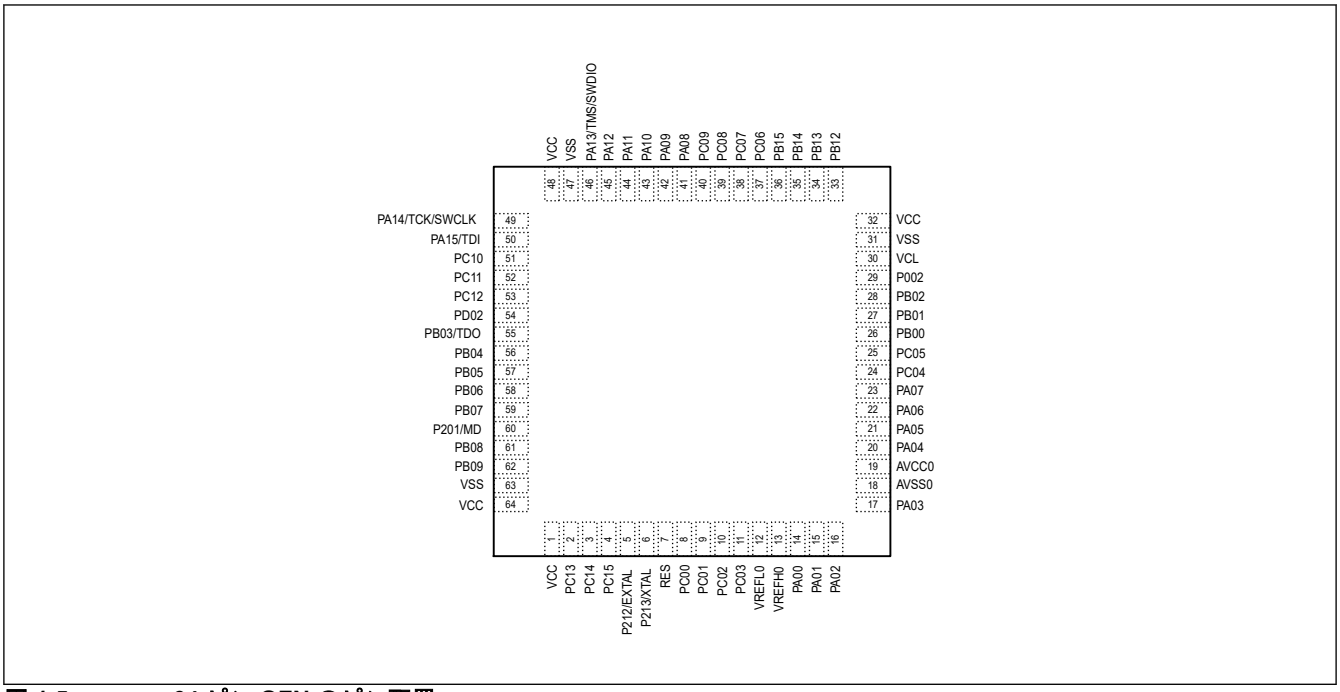


図 1.5　64 ピン QFN のピン配置

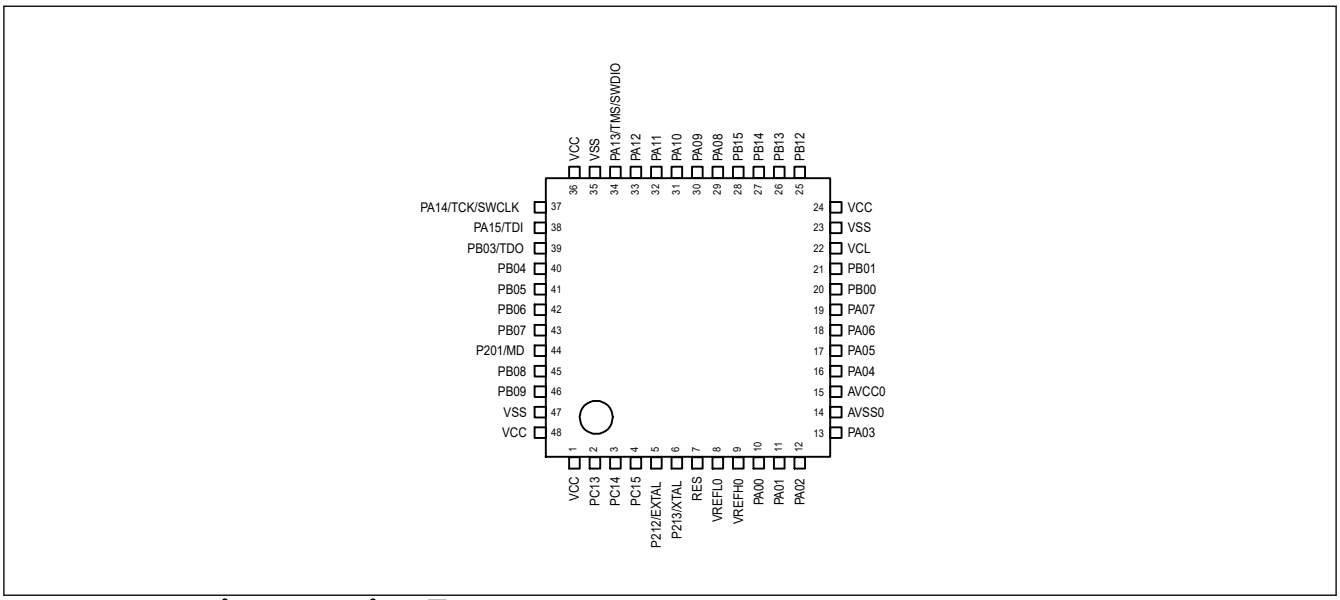


図 1.6　48 ピン LQFP のピン配置

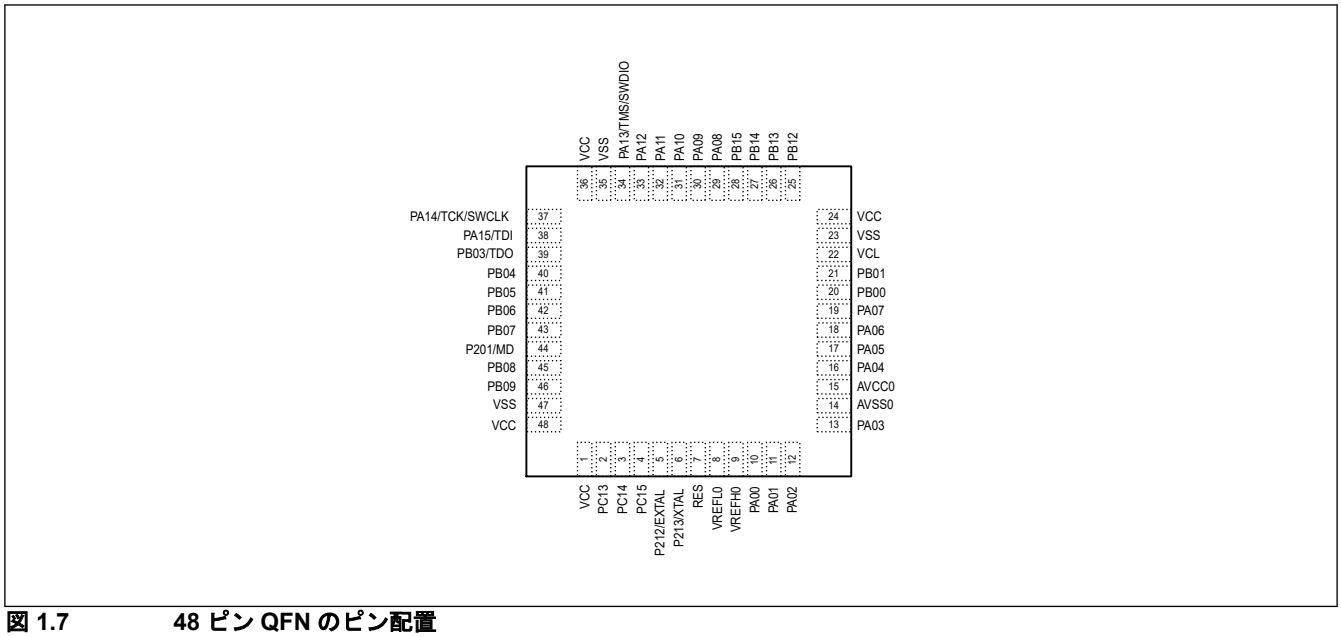


図 1.7 48 ピン QFN のピン配置

1.7 端子一覧

表 1.15 端子一覧 (1/3)

LQFP100	LQFP64, QFN64	LQFP48, QFN48	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み／KINT	SCI/IIC/SPI/CANFD	GPT/AGT	ADC/DAC12/ACMPHS
1	—	—	CLKOUT/TCLK	PE02	—	SCK0_B/DE0/SCK3_A/DE3/RSPCKB_C	GTOVLO/GTIOC7B/GTIOC8A	CMPOUT0
2	—	—	TDATA0	PE03	—	RXD0_B/MISO0_B/SCL0/CTS3_A/SSLB0_C	GTOWLO/GTIOC8A/GTIOC9A	CMPOUT1
3	—	—	TDATA1	PE04	—	TXD0_B/MOSI0_B/SDA0/CTS3_RTS3/ SS3_A/DE3/SSLB1_C	GTOUUP/GTIOC8B/GTIOC7B	CMPOUT2
4	—	—	TDATA2	PE05	—	CTS0_RTS0/SS0_B/DE0/RXD3_A/MISO3_A/ SCL3/MISOB_C	GTOVUP/GTIOC9A/GTIOC8B/ GTCPPO2	CMPOUT3
5	—	—	TDATA3	PE06	—	CTS0_B/TXD3_A/MOSI3_A/SDA3/MOSIB_C	GTOWUP/GTIOC9B/GTCPPO3	—
6	1	1	VCC	—	—	—	—	—
7	2	2	—	PC13	NMI	—	GTETRGD	—
8	3	3	—	PC14	IRQ14	—	GTETRGA/GTIOC3A/GTCPPO0/ GTADSM0/GTCPPO4/AGTIO0	ADTRG0/CMPOUT012
9	4	4	—	PC15	IRQ15	—	GTETRGB/GTIOC3B/GTCPPO1/ GTADSM1/GTCPPO7/AGTIO1	ADTRG1/CMPOUT3
10	—	—	VSS	—	—	—	—	—
11	—	—	VCC	—	—	—	—	—
12	5	5	EXTAL	P212	—	—	—	—
13	6	6	XTAL	P213	IRQ0	—	—	—
14	7	7	RES	—	—	—	—	—
15	8	—	—	PC00	IRQ11-DS	—	—	AN012/PGAOUT0/IVCMP00
16	9	—	—	PC01	IRQ12-DS	—	—	AN013/PGAOUT1/IVCMP10
17	10	—	—	PC02	IRQ13-DS	—	—	AN014/PGAOUT2/IVCMP20
18	11	—	—	PC03	IRQ14-DS	—	—	AN015/PGAOUT3/IVCMP30
19	—	—	—	P000	IRQ0	—	—	AN016/IVREF0
20	12	8	VREFL0	—	—	—	—	—
21	13	9	VREFH0	—	—	—	—	—
22	—	—	—	P001	IRQ2	—	—	AN017/IVREF1
23	14	10	—	PA00	IRQ0-DS	—	—	AN000/PGAIN0/IVCMP02/ IVCMP03
24	15	11	—	PA01	IRQ1	—	—	AN001/PGAVSS0
25	16	12	—	PA02	IRQ2	—	—	AN002/PGAIN1/IVCMP12/ IVCMP13
26	17	13	—	PA03	IRQ3	—	—	AN003/PGAVSS1
27	18	14	AVSS0	—	—	—	—	—
28	19	15	AVCC0	—	—	—	—	—
29	20	16	—	PA04	IRQ4	—	—	AN004/PGAIN2/IVCMP22/ IVCMP23
30	21	17	—	PA05	IRQ5	—	—	AN005/PGAVSS2
31	22	18	—	PA06	IRQ6	—	—	AN006/DA0
32	23	19	—	PA07	IRQ7	—	—	AN007/DA1
33	24	—	—	PC04	IRQ10	—	—	AN010/DA2
34	25	—	—	PC05	IRQ11	—	—	AN011/DA3
35	26	20	—	PB00	IRQ0	—	—	AN008/PGAOUT0/ PGAOUT2
36	27	21	—	PB01	IRQ1	—	—	AN009/PGAOUT1/ PGAOUT3
37	28	—	—	PB02	IRQ15-DS	—	—	AN018/PGAIN3/IVCMP32/ IVCMP33
38	29	—	—	P002	—	—	—	AN019/PGAVSS3
39	—	—	—	PE08	KR00	SSLA3_C	GTIV/GTIOC3A/GTETRGC/ GTADSM0	AN020/ADTRG0/ CMPOUT012
40	—	—	CACREF	PE09	KR01	SSLA2_C	GTIW/GTIOC3B/GTETRGD/ GTADSM1	AN021/ADTRG1/CMPOUT3
41	—	—	—	PE10	KR02	SSLA1_C	GTOULO/GTIOC2A/GTIOC4A/ GTIOC7A	AN022

表 1.15 端子一覧 (2/3)

LQFP100	LQFP64, QFN64	LQFP48, QFN48	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み／KINT	SCI/IIC/SPI/CANFD	GPT/AGT	ADC/DAC12/ACMPHS
42	—	—	—	PE11	KR03	SSLA0_C	GTOUUP/GTIOC2B/GTIOC5A/GTIOC8A	AN023
43	—	—	—	PE12	KR04	RSPCKA_C	GTOVLO/GTIOC1A/GTIOC6A/GTIOC9A	AN024
44	—	—	—	PE13	KR05	MISOA_C	GTOVUP/GTIOC1B/GTIOC4B/GTIOC7B	AN025
45	—	—	—	PE14	KR06	MOSIA_C	GTOWLO/GTIOC0A/GTIOC5B/GTIOC8B	AN026
46	—	—	—	PE15	KR07	RXD4_A/MISO4_A/SCL4	GTOWUP/GTIOC0B/GTIOC6B/GTIOC9B	AN027
47	—	—	CACREF/VCOUT	PB10	IRQ10-DS	TXD4_A/MOSI4_A/SDA4/CTS3_B	GTIU/GTETRGA/GTETRGB/GTCPPO4/GTCPPO7	AN028
48	30	22	VCL	—	—	—	—	—
49	31	23	VSS	—	—	—	—	—
50	32	24	VCC	—	—	—	—	—
51	33	25	—	PB12	IRQ2	SCK4_A/DE4/RXD3_B/MISO3_B/SCL3/SSLB0_A/CRX0	GTETRGA/GTIOC0A/GTIOC4A	ADTRG0
52	34	26	—	PB13	IRQ3	CTS4_A/TXD3_B/MOSI3_B/SDA3/RSPCKB_A/CTX0	GTOULO/GTIOC0B/GTIOC7A/GTIOC5A	—
53	35	27	—	PB14	IRQ4	CTS4_RTS4/SS4_A/DE4/SCK3_B/DE3/SDA0_C/MISOB_A	GTOVLO/GTIOC1A/GTIOC8A/GTIOC6A	—
54	36	28	—	PB15	IRQ5	RXD4_A/MISO4_A/SCL4/CTS3_RTS3/SS3_B/DE3/SCL0_C/MOSIB_A	GTOWLO/GTIOC1B/GTIOC9A/GTIOC4B	—
55	—	—	—	PD08	KR00	CTS2_B/TXD1_A/MOSI1_A/SDA1/SSLB1_A	GTIOC2A	—
56	—	—	—	PD09	KR01	CTS2_RTS2/SS2_B/DE2/RXD1_A/MISO1_A/SCL1/SSLB2_A	GTIOC2B	—
57	—	—	—	PD10	KR02	SCK2_C/DE2/SCK1_A/DE1/SSLB3_A	GTETRGC/GTIOC3A	—
58	—	—	—	PD11	KR03	RXD2_C/MISO2_C/SCL2/CTS1_A	GTIOC3B	—
59	—	—	—	PD12	IRQ12/KR04	TXD2_C/MOSI2_C/SDA2/CTS1_RTS1/SS1_A/DE1/SCL1_D	GTIOC4A	—
60	—	—	—	PD13	IRQ13/KR05	SCK4_C/DE4/SCK9_C/DE9/SDA1_D	GTIOC4B	—
61	—	—	—	PD14	IRQ14/KR06	RXD4_C/MISO4_C/SCL4/RXD9_C/MISO9_C/SCL9/SCL0_F	GTIOC5A	—
62	—	—	—	PD15	IRQ15/KR07	TXD4_C/MOSI4_C/SDA4/TXD9_C/MOSI9_C/SDA9/DE9/SDA0_F	GTIOC5B	—
63	37	—	—	PC06	IRQ6	TXD2_B/MOSI2_B/SDA2/CTS9_RTS9/SS9_C/DE9/SCL1_E	GTETRGD/GTIOC6A/GTIOC5B/AGTO0	—
64	38	—	—	PC07	IRQ7	RXD2_B/MISO2_B/SCL2/CTS9_C/SDA1_E	GTETRGA/GTIOC6B/AGTEE0	—
65	39	—	CACREF	PC08	IRQ8	SCK2_B/DE2/CTS3_RTS3/SS3_C/DE3/SCL0_E/SSLA3_B	GTIV/GTIOC7A/AGTOA0	—
66	40	—	CLKOUT	PC09	IRQ9	CTS2_RTS2/SS2_B/DE2/CTS3_C/SDA0_D/SDA0_E/SSLA2_B	GTIW/GTIOC7B/GTIOC8A/AGTOB0	—
67	41	29	CLKOUT	PA08	IRQ8/KR00	SCK0_A/DE0/SCK1_C/DE1/SCL0_D/SSLA1_B	GTOUUP/GTIOC8A/GTIOC7B/GTIOC2A/GTIOC9A/AGTIO0	CMPOUT2
68	42	30	—	PA09	IRQ9/KR01	TXD0_A/MOSI0_A/SDA0/SCL1_C/SSLA0_B	GTOVUP/GTIOC8B/GTIOC8B/GTIOC2B/GTIOC7B	CMPOUT3
69	43	31	—	PA10	IRQ10/KR02	RXD0_A/MISO0_A/SCL0/SDA1_C/RSPCKA_B	GTOWUP/GTIOC9A/GTIOC9B/GTIOC3A/GTIOC8B	CMPOUT0
70	44	32	—	PA11	IRQ11/KR03	CTS0_A/RXD1_C/MISO1_C/SCL1/MOSIA_B/CTX0	GTETRGD/GTIOC9B/GTETRGC/GTIOC3B	CMPOUT1
71	45	33	CACREF	PA12	IRQ12/KR04	CTS0_RTS0/SS0_A/DE0/TXD1_C/MOSI1_C/SDA1/MISOA_B/CRX0	GTETRGB/GTCPPO0/GTCPPO2/GTADSM0/GTCPPO7	ADTRG1
72	46	34	TMS/SWDIO	PA13	—	SCK0_C/DE0/CTS1_RTS1/SS1_C/DE1	AGTO0	—
73	—	—	VCL	—	—	—	—	—
74	47	35	VSS	—	—	—	—	—
75	48	36	VCC	—	—	—	—	—
76	49	37	TCK/SWCLK	PA14	—	TXD0_C/MOSI0_C/SDA0/SCK9_B/DE9	AGTO1	—
77	50	38	TDI	PA15	IRQ1/KR02	RXD0_C/MISO0_C/SCL0/RXD9_B/MISO9_B/SCL9/SSLA0_A	GTETRGB/GTADSM1/GTCPPO4	ADTRG0/CMPOUT012
78	51	—	—	PC10	IRQ6-DS/KR05	TXD1_B/MOSI1_B/SDA1/SCL0_B/RSPCKB_B	AGTIO1	CMPOUT0

表 1.15 端子一覧 (3/3)

LQFP100	LQFP64, QFN64	LQFP48, QFN48	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み／KINT	SCI/IIC/SPI/CANFD	GPT/AGT	ADC/DAC12/ACMPHS
79	52	—	—	PC11	IRQ7-DS/KR06	RXD1_B/MISO1_B/SCL1/SDA0_B/MISOB_B	AGTOA1	CMPOUT1
80	53	—	—	PC12	IRQ8-DS/KR07	TXD4_B/MOSI4_B/SDA4/SCK1_B/DE1/MOSIB_B	AGTOB1	CMPOUT2
81	—	—	—	PD00	KR00	CTS2_A/RXD3_C/MISO3_C/SCL3/SSLB0_B/CRX0	GTADSM0/GTCPPO4	—
82	—	—	—	PD01	KR01	CTS2_RTS2/SS2_A/DE2/TXD3_C/MOSI3_C/SDA3/SSLB1_B/CTX0	GTADSM1/GTCPPO7	—
83	54	—	CLKOUT	PD02	IRQ9-DS/KR02	RXD4_B/MISO4_B/SCL4/SCK3_C/DE3	GTCPPO0/GTCPPO2/AGTEE1	CMPOUT3
84	—	—	—	PD03	KR03	SCK4_B/DE4/CTS9_A/SSLB2_B	GTCPPO0	CMPOUT0
85	—	—	—	PD04	KR04	CTS4_RTS4/SS4_B/DE4/CTS9_RTS9/SS9_A/DE9/SSLB3_B	GTCPPO1	CMPOUT1
86	—	—	—	PD05	KR05	TXD9_A/MOSI9_A/SDA9/SDA1_B/SSLA3_A	GTADSM0/GTCPPO3	—
87	—	—	—	PD06	KR06	RXD9_A/MISO9_A/SCL9/SCL1_B/SSLA2_A	GTCPPO4	—
88	—	—	—	PD07	KR07	SCK9_A/DE9/SSLA1_A	GTADSM1/GTCPPO7	—
89	55	39	TDO/SWO	PB03	IRQ0/KR03	TXD2_A/MOSI2_A/SDA2/TXD9_B/MOSI9_B/SDA9/RSPCKA_A/CRX0	GTIOC4A/GTCPPO1/GTCPPO3/AGTO1	ADTRG1/CMPOUT3
90	56	40	CACREF/VCOUT	PB04	IRQ13/KR04	RXD2_A/MISO2_A/SCL2/RXD3_D/MISO3_D/SCL3/MISOA_A/CTX0	GTIOC4A/GTIOC5A/GTIOC0A/AGTOA0	—
91	57	41	—	PB05	IRQ3-DS/KR05	SCK2_A/DE2/TXD3_D/MOSI3_D/SDA3/MOSIA_A/CRX0	GTIU/GTIOC4B/GTIOC6A/GTIOC0B/AGTOB0	—
92	58	42	—	PB06	IRQ4-DS/KR06	TXD0_D/MOSI0_D/SDA0/CTS3_RTS3/SS3_D/DE3/SCL0_A/CTX0	GTIV/GTIOC5A/GTIOC4B/GTIOC1A/AGTOA1	—
93	59	43	—	PB07	IRQ5-DS/KR07	RXD0_D/MISO0_D/SCL0/CTS1_RTS1/SS1_D/DE1/SDA0_A	GTIW/GTIOC5B/GTETRGC/GTIOC1B/AGTOB1	—
94	60	44	MD	P201	—	—	—	—
95	61	45	—	PB08	IRQ1-DS/KR00	RXD4/MISO4_C/SCL4/RXD1_D/MISO1_D/SCL1/SCL1_A/CRX0	GTIOC6A/GTIOC5B/GTIOC2A/AGTIO0	—
96	62	46	—	PB09	IRQ2-DS/KR01	TXD4/MOSI4_C/SDA4/TXD1_D/MOSI1_D/SDA1/SDA1_A/CTX0	GTIOC6B/GTIOC2B/AGTIO1	—
97	—	—	CACREF	PE00	—	TXD0_E/MOSI0_E/SDA0/TXD9_D/MOSI9_D/SDA9/SSLB3_C	GTETRGA/GTIOC4A/GTADSM0/AGTEE0	ADTRG0
98	—	—	—	PE01	—	RXD0_E/MISO0_E/SCL0/RXD9_D/MISO9_D/SCL9/SSLB2_C	GTOULO/GTIOC7A/GTIOC4B/GTADSM1/AGTEE1	ADTRG1
99	63	47	VSS	—	—	—	—	—
100	64	48	VCC	—	—	—	—	—

注. いくつかの端子名には、_A, _B, _C, _D, _E、および_F という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

2. CPU

本 MCU は、Arm® Cortex®-M33 CPU コアをベースにしています。

2.1 概要

2.1.1 CPU

- Arm Cortex-M33
  - リビジョン：r0p4-00rel1
  - Armv8-M アーキテクチャプロファイル
  - ANSI/IEEE Std 754-2008 準拠の単精度浮動小数点ユニット
- SAU（セキュリティ属性ユニット）：0 領域
- IDAU（実装定義属性ユニット）：8 領域
  - コードフラッシュ（セキュア／非セキュアコーラブル／非セキュア）
  - データフラッシュ（セキュア／非セキュア）
  - SRAM0（セキュア／非セキュアコーラブル／非セキュア）
- メモリプロテクションユニット (MPU)
  - Armv8 保護メモリシステムアーキテクチャ (PMSAv8)
  - セキュア MPU (MPU_S) ：8 領域
  - 非セキュア MPU (MPU_NS)：8 領域
- SysTick タイマ
  - 2 個の SysTick タイマ：セキュア、および非セキュアインスタンス
  - SysTick タイマクロック (SYSTICCLK) またはシステムクロック (ICLK) による駆動

詳細は、「2.14. 参考資料」の参考資料 1.および参考資料 2.を参照してください。

2.1.2 デバッグ

- Arm® CoreSight™ ETM-M33
  - リビジョン：r0p2-00rel0
  - ARM ETM アーキテクチャバージョン 4.2
- 計装トレースマクロセル (ITM)
- データウォッチポイント&トレースユニット (DWT)
  - ウォッチポイントとトリガ用の 4 つのコンパレータ
- ブレークポイントユニット (BPU)
  - ブレークポイント機能を使用できます。
    - 8 つの命令コンパレータ
    - リテラルコンパレータなし
- タイムスタンプジェネレータ (TSG)
  - ETM および ITM 用タイムスタンプ
  - CPU クロックによる駆動
- デバッグレジスタモジュール (DBGREG)
  - リセット制御
  - 停止制御

- デバッグアクセスポート (DAP)
  - JTAG デバッグポート (JTAG-DP)
  - シリアルワイヤデバッグポート (SW-DP)
- Cortex-M33 トレースポートインタフェースユニット (TPIU)
  - 4 ビット TPIU フォーマッタ出力
  - シリアルワイヤ出力
- クロストリガインタフェース (CTI)
- エンベデッドトレースバッファ (ETB)
  - ETB 構成の CoreSight トレースメモリコントローラ
  - バッファサイズ：2 KB

詳細は、「2.14. 参考資料」の参考資料 1.および参考資料 2.を参照してください。

2.1.3 動作周波数

MCU の動作周波数は以下のとおりです。

- CPU コア：最高 240 MHz
- 4 ビット TPIU トレースインタフェース：最高 60 MHz
- シリアル書き込み出力 (SWO) トレースインタフェース：最高 60 MHz
- ジョイントテストアクショングループ (JTAG) インタフェース：最高 25 MHz
- シリアルワイヤデバッグ (SWD) インタフェース：最高 25 MHz

2.1.4 ブロック図

図 2.1 に Cortex-M33 CPU のブロック図を示します。

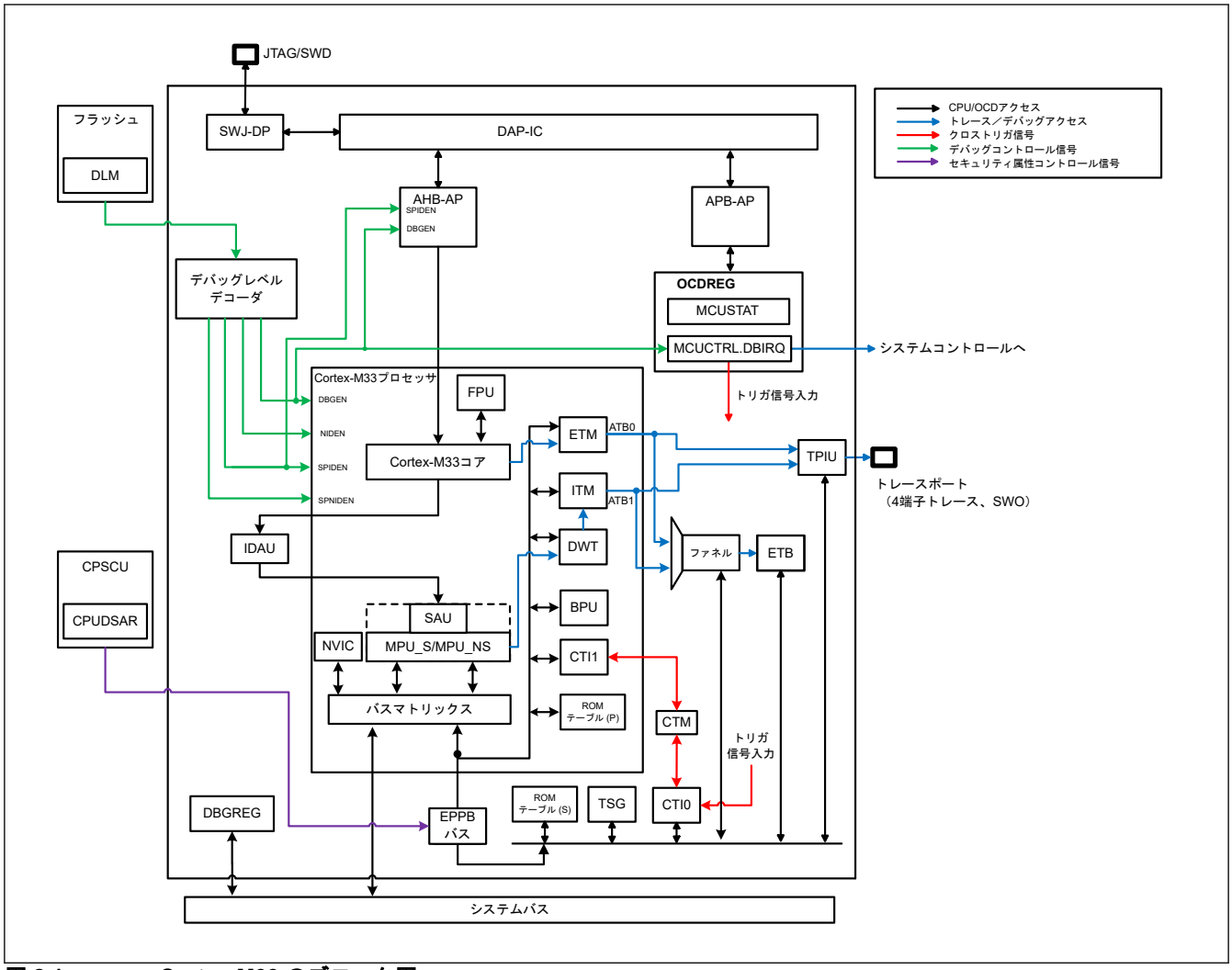


図 2.1 Cortex-M33 のブロック図

2.2 実装オプション

表 2.1 に MCU の実装オプションを示します。

表 2.1 実装オプション (1/2)

オプション	実装
SAU	なし
IDAU	あり。8 領域
MPU	あり。セキュア用に 8 領域と非セキュア用に 8 領域
BPU	あり
クロストリガインタフェース (CTI)	あり
DWT	あり
ウェイクアップ割り込みコントローラ (WIC) の数	なし ICU は WIC ではなく CPU をウェイクアップ可能。詳細は「12. 割り込みコントローラユニット (ICU)」を参照してください。
TPIU	あり ● 4 ビット TPIU フォーマッタ出力 ● シリアルワイヤ出力
FPU	あり
DSP	あり

表 2.1 実装オプション (2/2)

オプション	実装
エンベデッドトレースマクロセル (ETM)	あり
スリープモード消費電力削減	スリープモードとその他の低消費電力モードをサポートします。詳細は「10. 低消費電力モード」を参照してください。 注. SCB.SCR.SLEEPDEEP は無視されます。
割り込み	96
優先順位ビット	4 ビット（16 レベル）
エンディアン	リトルエンディアン
メモリ機能	MCU はキャッシュ可能属性を利用します。詳細は「13. バス」を参照してください。
SysTick	あり
SYST_CALIB レジスタ (0x4000_0147)	ビット[31] = 0 基準クロックを使用できます ビット[30] = 1 TENMS の値が不正確です ビット[29:24] = 0x00 予約 ビット[23:0] = 0x000147 TENMS: (32768 × 10 ms) - 1/32.768 kHz = 326.66（10 進値） = 327（スキュー含む） = 0x000147
イベント入出力	実装なし
グローバル排他的監視	実装なし
システムリセット要求出力	アプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットは CPU をリセットします

2.3 トレースインタフェース

トレースポートインタフェースユニット (TPIU) とシリアルワイヤ出力 (SWO) は、トレース出力を行います。表 2.2 に本機能に対応する MCU 端子を示します。これらの端子は他の機能との兼用端子です。

表 2.2 トレース機能端子

名称	入出力	機能	未使用時の端子処理
TCLK	出力	トレースクロック	オープン
TDATA0	出力	トレースデータ出力 0	オープン
TDATA1	出力	トレースデータ出力 1	オープン
TDATA2	出力	トレースデータ出力 2	オープン
TDATA3	出力	トレースデータ出力 3	オープン
TDO/SWO	出力	シリアルワイヤ出力 JTAG TDO 端子と兼用	オープン

2.4 JTAG/SWD インタフェース

表 2.3 に JTAG/SWD 端子を示します。

表 2.3 JTAG/SWD 端子

名称	入出力	機能	未使用時の端子処理
TDI	入力	JTAG TDI 端子	プルアップ
TDO/SWO	出力	JTAG TDO 端子、シリアルワイヤ出力の多重化	オープン
TCK/SWCLK	入力	JTAG クロック端子 シリアルワイヤクロック端子	プルアップ
TMS/SWDIO	入出力	JTAG TMS 端子 シリアルワイヤデータ入出力端子	プルアップ

2.5 メモリに対するセキュリティ属性

本 MCU では、SAU は実装されていません。IDAU はメモリに対して、領域定義を実行します。図 2.2 に示すように、IDAU はメモリを 8 つの異なる領域に分割します。

コードフラッシュ、データフラッシュ、SRAM はセキュア領域 (S)、ノンセキュア領域 (NS)、ノンセキュアコーラブル領域 (NSC) に分割されます。これらのメモリセキュリティ属性は、デバイスのライフサイクルが SSD 状態の場合にシリアルプログラムコマンドにより、不揮発性メモリに設定されます。これらのメモリセキュリティ属性は、アプリケーション実行前に IDAU とメモリコントローラにロードされます。これらのメモリセキュリティ属性はアプリケーションによる更新できませんが、専用レジスタにより読み出し可能です。

注. メモリセキュリティ属性を設定する場合、メモリ領域は表 2.4 で示される最小アドレスユニットの設定条件を満たす必要があります。

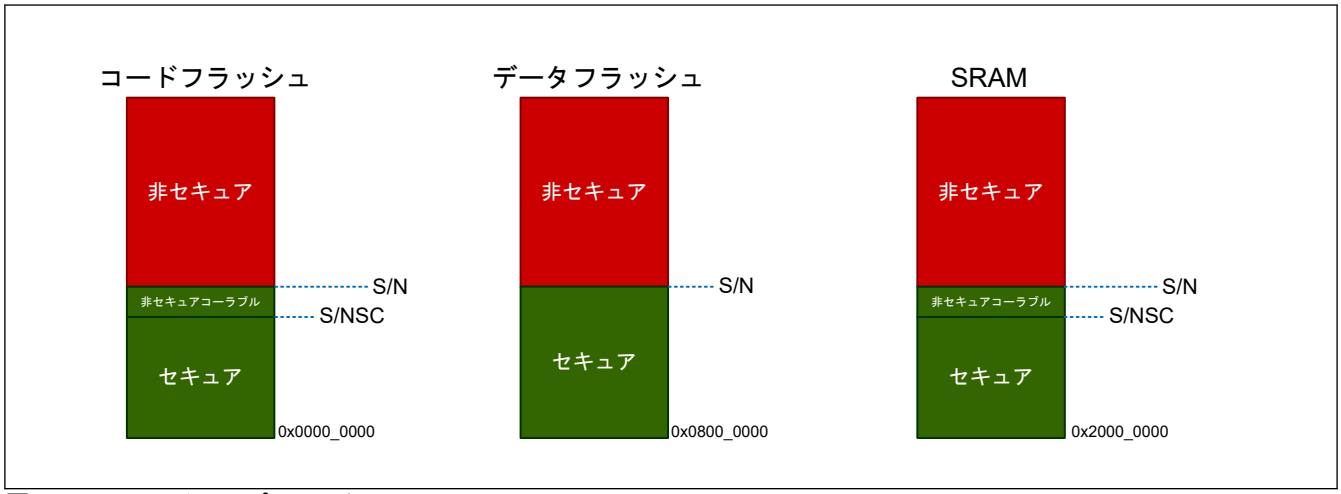


図 2.2 メモリパーティション

表 2.4 S/NS および S/NSC の境界

境界	コードフラッシュ	データフラッシュ	SRAM
S/NS	32 KB	1 KB	8 KB
S/NSC	1 KB	—	1 KB

各領域には以下の専用 ID があります。詳細は、「2.14. 参考資料」を参照してください。

IREGION（IDAU 領域番号）	説明
0x0D	非セキュア SRAM
0x0E	非セキュアコーラブル SRAM
0x0F	セキュア SRAM
0x09	非セキュアデータフラッシュ
0x0B	セキュアデータフラッシュ
0x05	非セキュアコードフラッシュ
0x06	非セキュアコーラブルコードフラッシュ
0x07	セキュアコードフラッシュ

2.6 デバッグ機能

2.6.1 デバッガの接続性

本 MCU では、デバッグ機能には DBG0、DBG1、DBG2 の 3 つのレベルがあります。DBG0 はデバッガで使用できるデバッグ機能がないことを意味しています。ARMv-8 の非セキュアデバッグとして定義される DBG1 レベルでは、デバッガは定義された非セキュアのデバッグアクセス可能領域にのみアクセスできます。ARMv-8 のセ

キュアデバッグとして定義される DBG2 レベルでは、デバッガはすべての定義されたセキュアおよび非セキュアのデバッグアクセス可能領域にアクセスできます。

デバッグレベルは製品のデバイスライフサイクル状態（DLM 状態）により決まります。

デバッガのアクセス可能領域については、図 2.1 を参照してください。

表 2.5 に、デバッグ機能とその条件を示します。

表 2.5 デバッグ機能とその条件

条件			許可されたデバッグ機能
エミュレータとの接続(注1)	DLM の状態	デバッグレベル	内容
接続	CM	DBG2	全デバッグ機能が使用可能
接続	SSD	DBG2	全デバッグ機能が使用可能
接続	NSECSD	DBG1	非セキュアデバッグ機能のみ使用可能
接続	DPL	DBG0	デバッガ接続は使用不可
接続	LCK_DBG	DBG0	デバッガ接続は使用不可
接続	LCK_BOOT	DBG0	デバッガ接続は使用不可
接続	RMA_REQ	DBG0	デバッガ接続は使用不可
接続	RMA_ACK	DBG2	全デバッグ機能が使用可能

注 1. エミュレータとの接続は、SWJ-DP レジスタの CDBGPWRUPREQ ビットの値で判別されます。このビットはエミュレータによってのみ書き込むことができます。なお、このビットの値は、DBGSTR.CDBGPWRUPREQ ビットの読み出しによって確認できます。

2.6.2 エミュレータ接続

ルネサスは、SWD/JTAG 通信を使ったデバッグと SCI を使ったシリアルプログラミングの両方をサポートするエミュレータを提供しています。本エミュレータを使うと、デバッグとシリアルプログラミング間の切り替えを簡単に行うことができます。

表 2.6 に、本エミュレータを使う場合の 10 ピンと 20 ピンのソケットピン配列を示します。SWD および JTAG のピン配列は ARM 標準で、MD、TXD、RXD の各端子は、SCI 通信を使ったシリアルプログラミング用に追加されています。

TrustZone IDAU バウンダリレジスタ設定のプログラミングには、シリアルプログラミングインタフェースを使う必要があります。

デバッグとシリアルプログラミングの両方を使うには、ボード上で PA14/SWCLK/TCK 端子と P201/MD 端子をワイヤード OR 回路を用いて接続することを推奨します。

表 2.6 エミュレータ用端子配置 (1/2)

端子番号	SWD	JTAG	SCI を使ったシリアルプログラミング
1	VCC	VCC	VCC
2	PA13/SWDIO	PA13/TMS	NC
4	PA14/SWCLK P201/MD にワイヤード OR 接続	PA14/TCK P201/MD にワイヤード OR 接続	P201/MD
6	PB03/SWO/TXD9	PB03/SWO/TXD9	PB03/TXD9
8	PA15/RXD9	PA15/TDI/RXD9	PA15/RXD9
9	GND 検出	GND 検出	GND 検出
10	nRESET	nRESET	nRESET
12	PE02/TCLK	PE02/TCLK	NC
14	PE03/TDATA[0]	PE03/TDATA[0]	NC
16	PE04/TDATA[1]	PE04/TDATA[1]	NC

表 2.6 エミュレータ用端子配置 (2/2)

端子番号	SWD	JTAG	SCI を使ったシリアルプログラミング
18	PE05/TDATA[2]	PE05/TDATA[2]	NC
20	PE06/TDATA[3]	PE06/TDATA[3]	NC
3, 5, 15, 17, 19	GND	GND	GND
7	NC	NC	NC
11, 13	NC	NC	NC

2.6.3 セルフホスティングデバッグ機能

「2.7.6. CPUDSAR : CPU デバッグセキュリティ属性レジスタ」に示すように、初期設定では非セキュア状態の CPU から CoreSight デバッグコンポーネントへのアクセスは保護されます。すなわち、セルフホスティングデバッガから CoreSight デバッグコンポーネントへの非セキュアアクセスは、初期設定でデバッグレベルが DBG2 の場合は許可されません。したがって、非セキュア状態の CPU に対してセルフホスティングデバッグ機能を有効にするためには、CPUDSAR.CPUDSA0 ビットを 1 に設定してください。

注. CPU がセキュア状態中は、セルフホスティングデバッグ機能に制約はありません。

2.6.4 デバッグ機能の影響

デバッグ機能は CPU の内部および外部に影響を与えます。

2.6.4.1 低消費電力モード

すべての CoreSight デバッグコンポーネントは、CPU がソフトウェアスタンバイモード、スヌーズモードあるいはディープソフトウェアスタンバイモードに入った場合でも、レジスタの設定値を格納することが可能です。ただし、これらの低消費電力モードにおいては、AHB-AP はオンチップデバッグ (OCD) アクセスに応答できません。すなわち、CoreSight デバッグコンポーネントにアクセスするには、エミュレータは低消費電力モードが解除されるのを待つ必要があります。この場合、エミュレータは MCUCTRL レジスタの DBIRQ ビットを用いて、低消費電力モードの解除を要求できます。詳細は、「2.7.5.2. MCUCTRL : MCU コントロールレジスタ」を参照してください。

2.6.4.2 リセット

OCD モードでは、一部のリセットは CPU 状態と DBGSTOPCR レジスタの設定内容に従います。

表 2.7 リセット／割り込みおよびモード設定 (1/2)

リセット／割り込み名称	OCD モード時の制御	
	OCD ブレークモード	OCD RUN モード
RES 端子リセット	ユーザーモードと同じ	
パワーオンリセット	ユーザーモードと同じ	
独立ウォッチドッグタイマリセット／割り込み	発生しない(注1)	DBGSTOPCR レジスタの設定内容に従う
ウォッチドッグタイマリセット／割り込み	発生しない(注1)	DBGSTOPCR レジスタの設定内容に従う
電圧監視 0 リセット	DBGSTOPCR レジスタの設定内容に従う	
電圧監視 1 リセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
電圧監視 2 リセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
SRAM パリティエラーリセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
SRAM ECC エラーリセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
キャッシュパリティエラーリセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
バスマスタ MPU エラーリセット／割り込み	ユーザーモードと同じ	
ディープソフトウェアスタンバイリセット	ユーザーモードと同じ	

表 2.7 リセット／割り込みおよびモード設定 (2/2)

リセット／割り込み名称	OCD モード時の制御	
	OCD ブレークモード	OCD RUN モード
ソフトウェアリセット	ユーザーモードと同じ	

注. 「OCD ブレークモード」は CPU が停止していることを意味し、「OCD RUN モード」は停止していないことを意味します。
注 1. OCD ブレークモードでは IWDT/WDT は常に停止しています。

2.7 プログラマモデル

2.7.1 アドレス空間

本 MCU のデバッグシステムには、次の 2 つの CoreSight アクセスポート (AP) があります。

- AHB-AP：CPU バスマトリックスに接続され、CPU と同様にシステムアドレス空間にアクセスします。
- APB-AP：専用のアドレス空間（OCD アドレス空間）を持ち、OCDREG レジスタに接続します。

図 2.3 に AP 接続とアドレス空間のブロック図を示します。

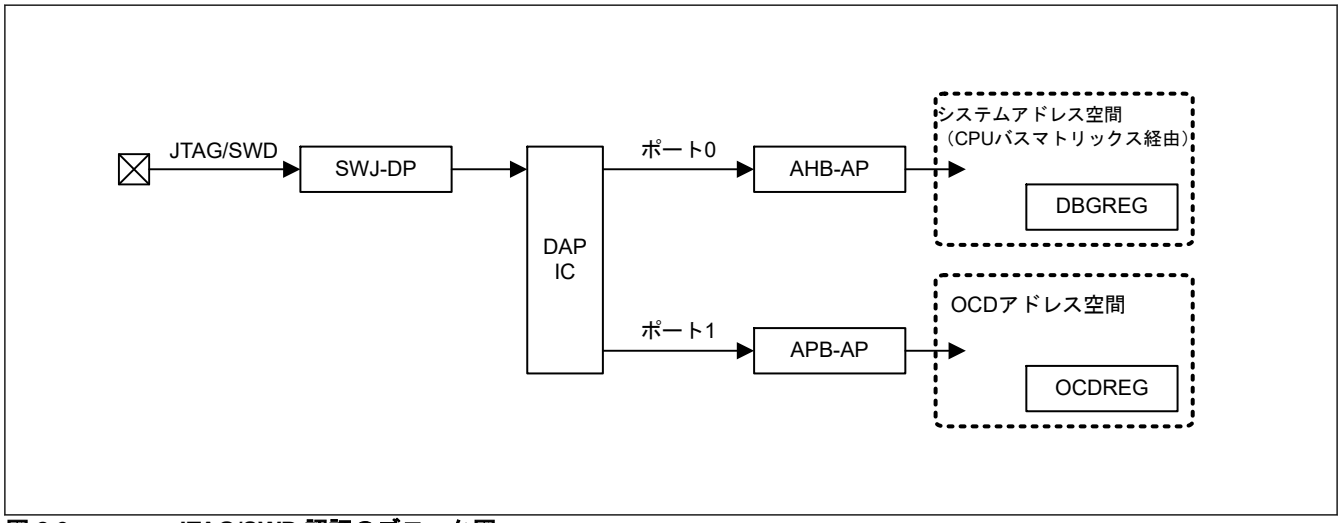


図 2.3 JTAG/SWD 認証のブロック図

デバッグ用に、DBGREG と OCDREG の 2 つのレジスタモジュールが存在します。DBGREG はシステムアドレス空間に配置され、エミュレータ、CPU、および本 MCU における他のバスマスタからアクセスが可能です。OCDREG は OCD アドレス空間に配置され、エミュレータからのみアクセスが可能です。CPU と他のバスマスタは OCDREG レジスタにアクセスできません。

2.7.2 ペリフェラルアドレスマップ

システムアドレス空間では、Cortex-M33 には CPU と OCD エミュレータからのみアクセス可能な Private Peripheral Bus (PPB) があります。PPB は、本 MCU に対する Cortex-M33 の本来の実装からの拡張です。表 2.8 に Cortex-M33 ペリフェラルアドレスマップを示します。

表 2.8 ペリフェラルアドレスマップ (1/2)

コンポーネント名	開始アドレス	終了アドレス	参照
ITM	0xE000_0000	0xE000_0FFF	「2.14. 参考資料」の参考資料 2.を参照してください。
DWT	0xE000_1000	0xE000_1FFF	「2.14. 参考資料」の参考資料 2.を参照してください。
BPU	0xE000_2000	0xE000_2FFF	「2.14. 参考資料」の参考資料 2.を参照してください。
セキュア SCS/SCS	0xE000_E000	0xE000_EFFF	「2.14. 参考資料」の参考資料 1.を参照してください。
非セキュア SCS	0xE002_E000	0xE002_EFFF	「2.14. 参考資料」の参考資料 2.を参照してください。
TPIU	0xE004_0000	0xE004_0FFF	「2.14. 参考資料」の参考資料 3.を参照してください。

表 2.8 ペリフェラルアドレスマップ (2/2)

コンポーネント名	開始アドレス	終了アドレス	参照
ETM	0xE004_1000	0xE004_1FFF	「2.14. 参考資料」の参考資料 1.を参照してください。
CTI1	0xE004_2000	0xE004_2FFF	「2.14. 参考資料」の参考資料 2.を参照してください。
CTI0	0xE004_4000	0xE004_4FFF	「2.14. 参考資料」の参考資料 4.を参照してください。
ATB ファネル	0xE004_7000	0xE004_7FFF	「2.9. CoreSight ATB ファネル」と「2.14. 参考資料」の参考資料 4.を参照してください。
ETB	0xE004_8000	0xE004_8FFF	「2.14. 参考資料」の参考資料 4.を参照してください。
タイムスタンプ発生器	0xE004_9000	0xE004_9FFF	「2.11. CoreSight タイムスタンプ発生器」と「2.14. 参考資料」の参考資料 4.を参照してください。
システム ROM テーブル	0xE00F_E000	0xE00F_EFFF	「2.14. 参考資料」の参考資料 3.を参照してください。
プロセッサ ROM テーブル	0xE00F_F000	0xE00F_FFFF	「2.14. 参考資料」の参考資料 2.を参照してください。

2.7.3 CoreSight ROM テーブル

本 MCU には、プロセッサおよびシステム ROM テーブルという 2 つの CoreSight ROM テーブルがあります。プロセッサ ROM テーブルには、プロセッサ内のデバッグコンポーネントのリストを保持するエントリがあります。システム ROM テーブルには、プロセッサ ROM テーブルやプロセッサ外の他のデバッグコンポーネントのエントリがあります。

2.7.3.1 ROM エントリ

ROM エントリは、システム内のコンポーネントのリストを保持します。 OCD エミュレータは、ROM エントリを使用して、システムに実装されているコンポーネントを特定できます。

表 2.9 と表 2.10 はシステム ROM エントリとプロセッサ ROM エントリを示します。詳細は、「2.14. 参考資料」の参考資料 5.を参照してください。

表 2.9 システム ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象コンポーネント
0	0xE00F_E000	32 ビット	R	0xFFF46003	CTI0
1	0xE00F_E004	32 ビット	R	0xFFF49003	ファネル
2	0xE00F_E008	32 ビット	R	0xFFF4A003	ETB
3	0xE00F_E00C	32 ビット	R	0xFFF4B003	TSG
4	0xE00F_E010	32 ビット	R	0xFFF42003	TPIU
5	0xE00F_E014	32 ビット	R	0x00001003	プロセッサ ROM テーブル
6	0xE00F_E018	32 ビット	R	0x00000000	エントリ終了

表 2.10 プロセッサ ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象コンポーネント
0	0xE00F_F000	32 ビット	R	0xFFF0F003	SCS
1	0xE00F_F004	32 ビット	R	0xFFF02003	DWT
2	0xE00F_F008	32 ビット	R	0xFFF03003	BPU
3	0xE00F_F00C	32 ビット	R	0xFFF01003	ITM
4	0xE00F_F014	32 ビット	R	0xFFF42003	ETM
5	0xE00F_F018	32 ビット	R	0xFFF43003	CTI1
6	0xE00F_F020	32 ビット	R	0x00000000	エントリ終了

2.7.3.2 CoreSight レジスタ

CoreSight ROM テーブルは、Arm® CoreSight アーキテクチャで定義された CoreSight レジスタを含んでいます。

表 2.11 にこれらのレジスタを示します。各レジスタの詳細は、「2.14. 参考資料」の参考資料 5.を参照してください。

表 2.11 CoreSight ROM テーブルの CoreSight レジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0xE00F_EFD0	32 ビット	R	0x00000004
PID5	0xE00F_EFD4	32 ビット	R	0x00000000
PID6	0xE00F_EFD8	32 ビット	R	0x00000000
PID7	0xE00F_EFDC	32 ビット	R	0x00000000
PID0	0xE00F_EFE0	32 ビット	R	0x0000003E
PID1	0xE00F_EFE4	32 ビット	R	0x00000030
PID2	0xE00F_EFE8	32 ビット	R	0x0000000A
PID3	0xE00F_EFEC	32 ビット	R	0x00000000
CID0	0xE00F_EFF0	32 ビット	R	0x0000000D
CID1	0xE00F_EFF4	32 ビット	R	0x00000010
CID2	0xE00F_EFF8	32 ビット	R	0x00000005
CID3	0xE00F_EFFC	32 ビット	R	0x000000B1

2.7.4 DBGREG

DBGREG は、デバッグ機能を制御するレジスタモジュールです。DBGREG は、CoreSight 準拠のコンポーネントとして実装されています。

表 2.12 は、CoreSight コンポーネントレジスタを除いた、DBGREG のレジスター覧です。

表 2.12 CoreSight 以外の DBGREG のレジスタ

名称		DAP ポート	アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	DBGSTR	ポート 0	0x4001_B000	32 ビット	R
デバッグストップコントロールレジスタ	DBGSTOPCR	ポート 0	0x4001_B010	32 ビット	R/W

2.7.4.1 DBGSTR : デバッグステータスレジスタ

Base address: DBG = 0x4001_B000

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	CDBGPWRUPACK	CDBGPWRUPREQ	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
27:0	—	読むと 0 が読めます。	R
28	CDBGPWRUPREQ	デバッグパワーアップ要求 0: エミュレータはデバッグパワーアップを要求していない 1: エミュレータはデバッグパワーアップを要求した	R

ビット	シンボル	機能	R/W
29	CDBGPWRUPACK	デバッグパワーアップアクノリッジ 0: デバッグパワーアップ要求を受け付けていない 1: デバッグパワーアップ要求を受け付けた	R
31:30	—	読むと 0 が読めます。	R

DBGSTR レジスタは、エミュレータから本 MCU に対してのデバッグパワーアップの要求状況を示すステータスレジスタです。

2.7.4.2 DBGSTOPCR : デバッグストップコントロールレジスタ

Base address: DBG = 0x4001_B000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DBGSTOP_CPER	—	—	—	—	—	DBGSTOP_RECCR	DBGSTOP_RPER	—	—	—	—	—	DBGSTOP_LVD2	DBGSTOP_LVD1	DBGSTOP_LVD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSTOP_WDT	DBGSTOP_IWDT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	DBGSTOP_IWDT	OCD RUN モードでの IWDT リセット／割り込み用のマスク OCD ブレークモードでは、このビットの値に関係なく、リセット／割り込みはマスクされ、IWDT カウンタは停止します。 0: IWDT リセット／割り込みを許可 1: IWDT リセット／割り込みをマスクし、IWDT カウントを停止	R/W
1	DBGSTOP_WDT	OCD RUN モードでの WDT リセット／割り込み用のマスク OCD ブレークモードでは、このビットの値に関係なく、リセット／割り込みはマスクされ、WDT カウンタは停止します。 0: WDT リセット／割り込みを許可 1: WDT リセット／割り込みをマスクし、WDT カウントを停止	R/W
15:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	DBGSTOP_LVD0	LVD0 リセット用のマスク 0: LVD0 リセットを許可 1: LVD0 リセットをマスク	R/W
17	DBGSTOP_LVD1	LVD1 リセット／割り込み用のマスク 0: LVD1 リセット／割り込みを許可 1: LVD1 リセット／割り込みをマスク	R/W
18	DBGSTOP_LVD2	LVD2 リセット／割り込み用のマスク 0: LVD2 リセット／割り込みを許可 1: LVD2 リセット／割り込みをマスク	R/W
23:19	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
24	DBGSTOP_RPER	SRAM パリティエラーリセット／割り込み用のマスク 0: SRAM パリティエラーリセット／割り込みを許可 1: SRAM パリティエラーリセット／割り込みをマスク	R/W
25	DBGSTOP_RECCR	SRAM ECC エラーリセット／割り込み用のマスク 0: SRAM ECC エラーリセット／割り込みを許可 1: SRAM ECC エラーリセット／割り込みをマスク	R/W
30:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
31	DBGSTOP_CPER	キャッシュ SRAM パリティエラーリセット／割り込み用のマスク 0: キャッシュ SRAM パリティエラーリセット／割り込みを許可 1: キャッシュ SRAM パリティエラーリセット／割り込みをマスク	R/W

デバッグストップコントロールレジスタ (DBGSTOPCR) は、OCD モード時の機能停止を制御します。MCU が OCD モードではない場合、本レジスタのすべてのビットは 0 と見なされます。

2.7.4.3 DBGREG の CoreSight コンポーネントレジスタ

DBGREG は、Arm®CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを含んでいます。

表 2.13 にこれらのレジスタを示します。各レジスタの詳細は、「2.14. 参考資料」の参考資料 4.を参照してください。

表 2.13 DBGREG の CoreSight コンポーネントレジスター覧

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0x4001_BFD0	32 ビット	R	0x00000004
PID5	0x4001_BFD4	32 ビット	R	0x00000000
PID6	0x4001_BFD8	32 ビット	R	0x00000000
PID7	0x4001_BFDC	32 ビット	R	0x00000000
PID0	0x4001_BFE0	32 ビット	R	0x00000005
PID1	0x4001_BFE4	32 ビット	R	0x00000030
PID2	0x4001_BFE8	32 ビット	R	0x0000000A
PID3	0x4001_BFEC	32 ビット	R	0x00000000
CID0	0x4001_BFF0	32 ビット	R	0x0000000D
CID1	0x4001_BFF4	32 ビット	R	0x000000F0
CID2	0x4001_BFF8	32 ビット	R	0x00000005
CID3	0x4001_BFFC	32 ビット	R	0x000000B1

2.7.5 OCDREG

OCDREG モジュールは、OCD エミュレータのみがアクセス可能です。 OCDREG は、CoreSight 準拠のコンポーネントとして実装されています。

表 2.14 は OCDREG のレジスター覧です。

表 2.14 OCDREG のレジスター覧

名称		DAP ポート	アドレス	アクセスサイズ	R/W
MCU ステータスレジスタ	MCUSTAT	ポート 1	0x8000_0400	32 ビット	R
MCU コントロールレジスタ	MCUCTRL	ポート 1	0x8000_0410	32 ビット	R/W

注. OCDREG は専用の OCD アドレス空間に配置されます。このアドレス空間はシステムのアドレス空間から独立しています。

2.7.5.1 MCUSTAT : MCU ステータスレジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x400

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	SECDBG	DBGFUNCEN	BOOTMD	—	—	—	—	—	—	—	—	CPUSTOPCLK	CPUSLEEP	—
Value after reset:	0	0	1/0 (注1)	1/0 (注1)	1/0 (注1)	0	0	1	0	0	0	0	0	1/0 (注1)	1/0 (注1)	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。	R
1	CPUSLEEP	スリープモード状態フラグ MCU がソフトウェアスタンバイモード、スヌーズモード、またはディープソフトウェアスタンバイモードの場合、このフラグは不定です。 0: CPU はスリープモードではない 1: CPU はスリープモードである	R
2	CPUSTOPCLK	CPU クロック状態 MCU がディープソフトウェアスタンバイモードの場合、このビットは不定です。 0: CPU へのクロックを供給中 1: CPU へのクロックは停止中	R
7:3	—	読むと 0 が読めます。	R
8	—	読むと 1 が読めます。	R
10:9	—	読むと 0 が読めます。	R
11	BOOTMD	ブートモード状態 0: ブートモードではない 1: ブートモードである	R
12	DBGFUNCEN	デバッガ状態 0: デバッガ接続は使用不可 1: デバッガ機能は有効	R
13	SECDBG	セキュアデバッグ状態 0: セキュアデバッグは使用不可 1: セキュアデバッグは使用可能	R
31:14	—	読むと 0 が読めます。	R

注 1. MCU の状態に依存します。

2.7.5.2 MCUCTRL : MCU コントロールレジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x410

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUWAIT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DBIRQ	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	DBIRQ(注2)	デバッグ割り込み要求 DBIRQ ビットに 1 を書き込むと、MCU は低消費電力モードから復帰します。DBIRQ ビットに 0 を書き込むと、DBIRQ ビットはクリアされます。 0: デバッグ割り込みを要求しない 1: デバッグ割り込みを要求する	R/W
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	CPUWAIT(注2)	CPU 停止設定 CPUWAIT ビットに 1 を書き込むとアサート、0 を書き込むとネゲートです(注1)。 0: CPUWAIT を low にする 1: CPUWAIT を high にする	R/W
31:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. CPUWAIT はプロセッサがリセット直後にコードを実行開始するのを防ぐために使用されます。
注 2. ビットへのアクセス (R/W) はデバッグレベルが DBG1 または DBG2 のときのみ有効です。

2.7.5.3 OCDREG の CoreSight コンポーネントレジスタ

OCDREG モジュールは、Arm CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを提供します。

表 2.15 は、これらのレジスタの一覧です。各レジスタの詳細は、「2.14. 参考資料」の参考資料 4.を参照してください。

表 2.15 OCDREG の CoreSight コンポーネントレジスター覧

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0x8000_0FD0	32 ビット	R	0x00000004
PID5	0x8000_0FD4	32 ビット	R	0x00000000
PID6	0x8000_0FD8	32 ビット	R	0x00000000
PID7	0x8000_0FDC	32 ビット	R	0x00000000
PID0	0x8000_0FE0	32 ビット	R	0x00000004
PID1	0x8000_0FE4	32 ビット	R	0x00000030
PID2	0x8000_0FE8	32 ビット	R	0x0000000A
PID3	0x8000_0FEC	32 ビット	R	0x00000000
CID0	0x8000_0FF0	32 ビット	R	0x0000000D
CID1	0x8000_0FF4	32 ビット	R	0x000000F0
CID2	0x8000_0FF8	32 ビット	R	0x00000005
CID3	0x8000_0FFC	32 ビット	R	0x000000B1

2.7.6 CPUDSAR : CPU デバッグセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x1B0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUDSA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

ビット	シンボル	機能	R/W
0	CPUDSA0	CPU デバッグセキュリティ属性 0 0: セキュリティ 1: 非セキュリティ	R/W
31:1	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注. セキュアアクセスのみ本レジスタへ書き込み可能です。セキュアアクセスと非セキュア読み出しアクセスの両方が許可されます。非セキュア書き込みアクセスは拒否され、TrustZone アクセスエラー発生しません。

注. 本レジスタは PRCR レジスタにより書き込み保護されます。

MCU のデバッグレベルが DBG2 のとき、全 EPPB バスを保護することにより、CPU からデバッグ関連コンポーネントへの非セキュアアクセスは CPUDSA0 ビットの値により完全に制御されます。本ビットは CPU がセキュア状態のときのみ変更可能なので、CoreSight デバッグコンポーネントを使用する前に CPUDSAR レジスタに注意してください。

CPUDSA0 ビット (CPU デバッグセキュリティ属性 0)

CPU のデバッグコンポーネントへアクセスするレジスタのセキュリティ属性

0: デバッグコンポーネントはセキュアアクセスでのみアクセス可能

1: デバッグコンポーネントへアクセス時の制約なし

2.7.7 CPU アクセスにより発生するエラー応答の処理

Arm Cortex-M33 プロセッサ固有のエラー検出仕様に加え、本 MCU は「13. バス」章に記載のいくつかの追加エラー情報も提供します。

したがって、本章は Arm Cortex-M33 プロセッサと競合せずに、その追加エラー情報を取り扱う方法を説明します。

表 2.16 に、エラー検出モジュールを示します。これらについて、「13. バス」でも説明します。これらのエラー検出モジュールは、バスモジュールのエラー情報を提供するだけではなく、プロセッサに例外処理を起動するように通知します。

表 2.16 エラー検出モジュール (1/2)

	NMI/RESET 要求	割り込み	バスエラーステータスレジスタ	エラーアドレスレジスタ エラー RW レジスタ
スレーブ TZF	NMISR.TZFST	バスフォールト (注1) （ハードフォールト）	BUS.BUSnERRSTAT.STERRSTAT	BUS.BTZFnERRADD BUS.BTZFnERRRW
スレーブバスエラー	—	バスフォールト (注1) （ハードフォールト）	BUS.BUSnERRSTAT.SLERRSTAT	BUS.BUSnERRADD BUS.BUSnERRRW

表 2.16　エラー検出モジュール (2/2)

	NMI/RESET 要求	割り込み	バスエラーステータスレジスタ	エラーアドレスレジスタ エラー RW レジスタ
不正アドレスアクセスエラー	—	バスフォールト (注1) （ハードフォールト）	BUS.BUSnERRSTAT.ILERRSTAT	BUS.BUSnERRADD BUS.BUSnERRRW

注 1.　バスフォールトはハードフォールトとして扱うことができます。詳細は、「2.14. 参考資料」の *ARM® Cortex®-M33 Device Generic User Guide* を参照してください。

意図しない動作を防止するため、例外処理において例外ルーティングに追加処理を行ってください。

表 2.16 に示す検出されたエラーに起因するバスフォールト：

- 対応するレジスタのエラー情報は、「13. バス」を参照してください。
- エラーアドレスに対応したキャッシュのデータはクリアしてください。
- バスモジュール内のエラーステータスレジスタをクリアしてください。
- Arm のガイドに従った操作による例外処理の実施

Renesas の専用エラー検出モジュールで検出できないバスフォールト（Arm Cortex-M33 内部で発生するエラー）の場合、そのケースの処理については *ARM® Cortex®-M33 Device Generic User Guide* を参照してください。

システムバス仕様においてスレーブ TrustZone フィルタの特定のケースがあり、そこで NMI を生成するエラーが選択された場合、プロセッサがバスフォールト例外処理を実行する前に、より高い優先度の NMI の例外処理を先に実行します。本製品では、このエラーの取り扱いを NMI ハンドラではなく、バスフォールトハンドラで行ってください。つまり、NMI ステータスはクリアする必要がありますが、バスフォールトがエラーの全情報をキャプチャするのを確実に行うため、エラーステータスビットをクリアしてはなりません。

図 2.4 と図 2.5 に、表 2.16 に説明されるエラーに関する NMI ハンドラと BusFault ハンドラの推奨フローを示します。

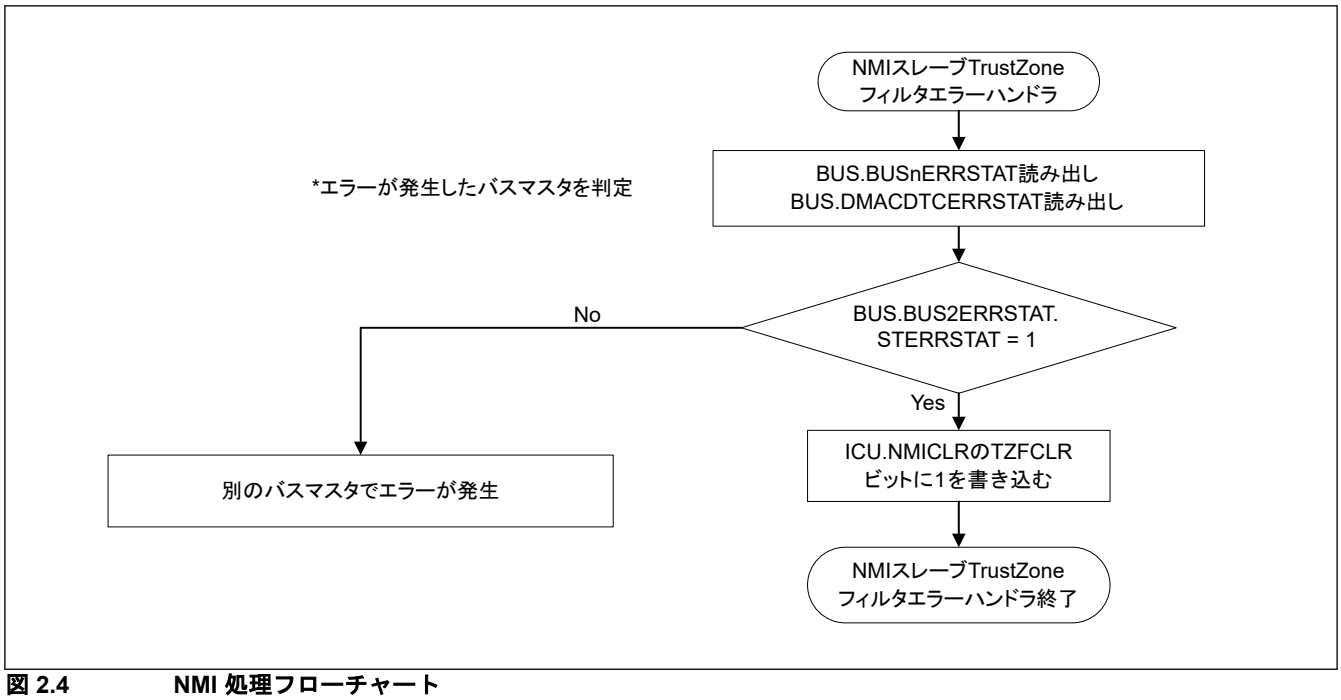


図 2.4　NMI 処理フローチャート

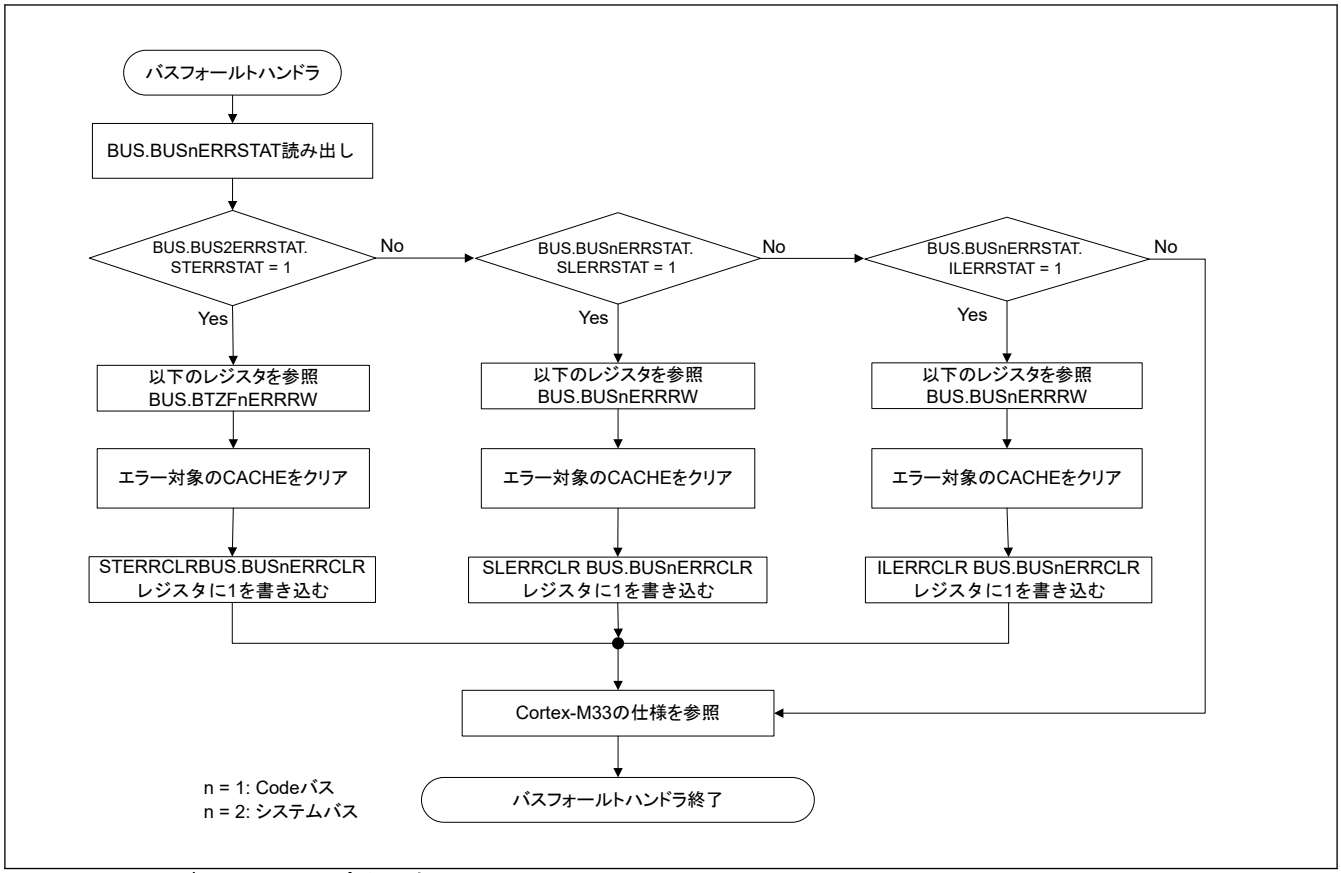


図 2.5 バスフォールト割込み処理フローチャート

2.8 CoreSight クロストリガインタフェース (CTI)

図 2.6 に示すように、CTI（Cross Trigger Interface：クロストリガインタフェース）の入力と出力は 4 つの CTM チャネルを通じて互いにやり取りを行います。ここで、CTI の入力は、4 つの CTM チャネルを通じて他の CTI の出力をトリガするために使うことができます。

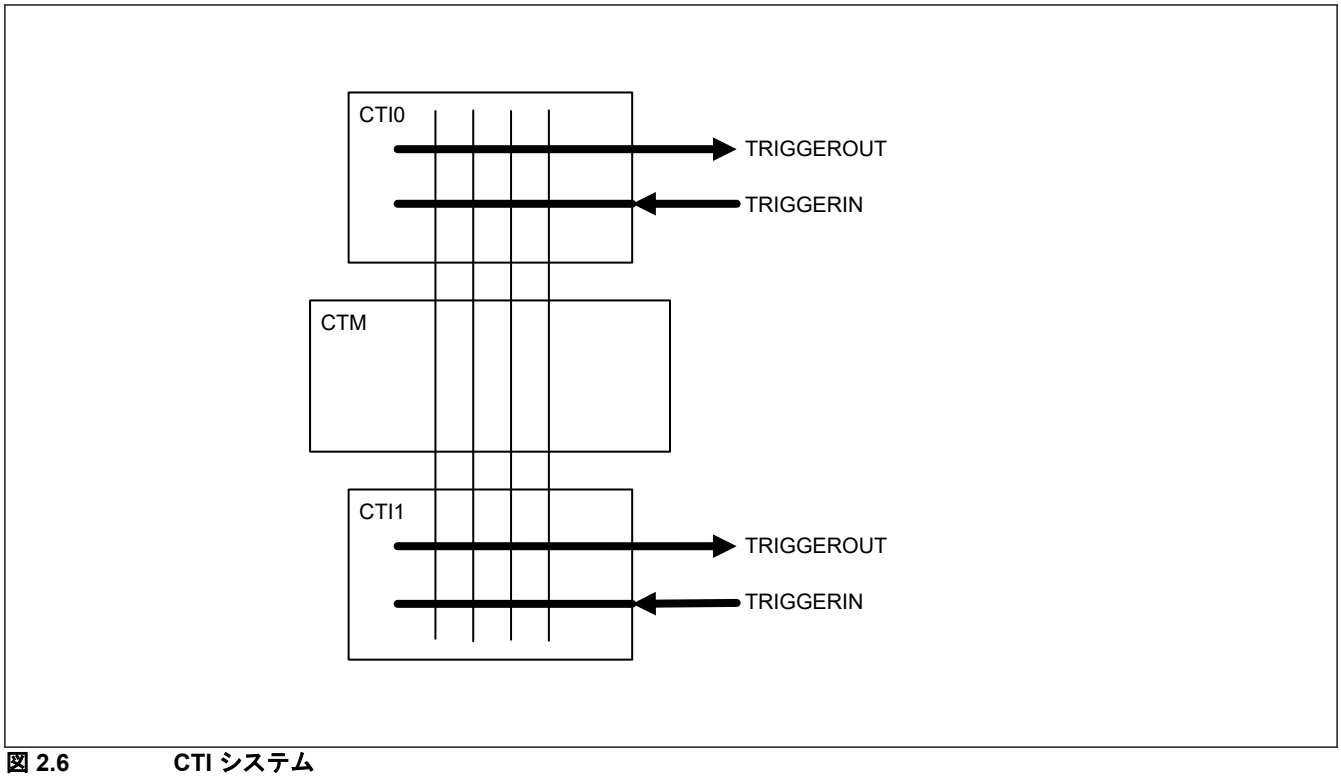


図 2.6 CTI システム

デバッグ割込み要求（DBGIRQ）は、OCDREG モジュールの MCUCTRL レジスタでコントロールします。

表 2.17 CTI トリガ信号

CTI チャネル数	CTITRIGIN		CTITRIGOUT	
CTI0（デバッグ共通）	0	ACQCOMP	0	—
	1	FULL	1	—
	2	DBIRQ	2	ETB FLUSHIN
	3	—	3	ETB TRIGIN
	4	—	4	—
	5	—	5	—
	6	—	6	—
	7	—	7	—
CTI1 (CPU)	0	プロセッサ停止	0	プロセッサデバッグ要求
	1	DWT コンパレータ出力 0	1	プロセッサ再開始
	2	DWT コンパレータ出力 1	2	CTIIRQ[0] (IRQ96 に接続)
	3	DWT コンパレータ出力 2	3	CTIIRQ[1] (IRQ97 に接続)
	4	ETM イベント出力 0	4	ETM イベント入力 0
	5	ETM イベント出力 1	5	ETM イベント入力 1
	6	—	6	ETM イベント入力 2
	7	—	7	ETM イベント入力 3

2.9 CoreSight ATB ファネル

MCU には 1 つの CoreSight ATB ファネルがあります。ファネルには 2 つの ATB スレーブと 1 つの ATB マスタがあり、ETM および ITM から ETB までのデバッグトレースソースを選択します。図 2.7 に MCU 内の CoreSight ATB 接続を示します。

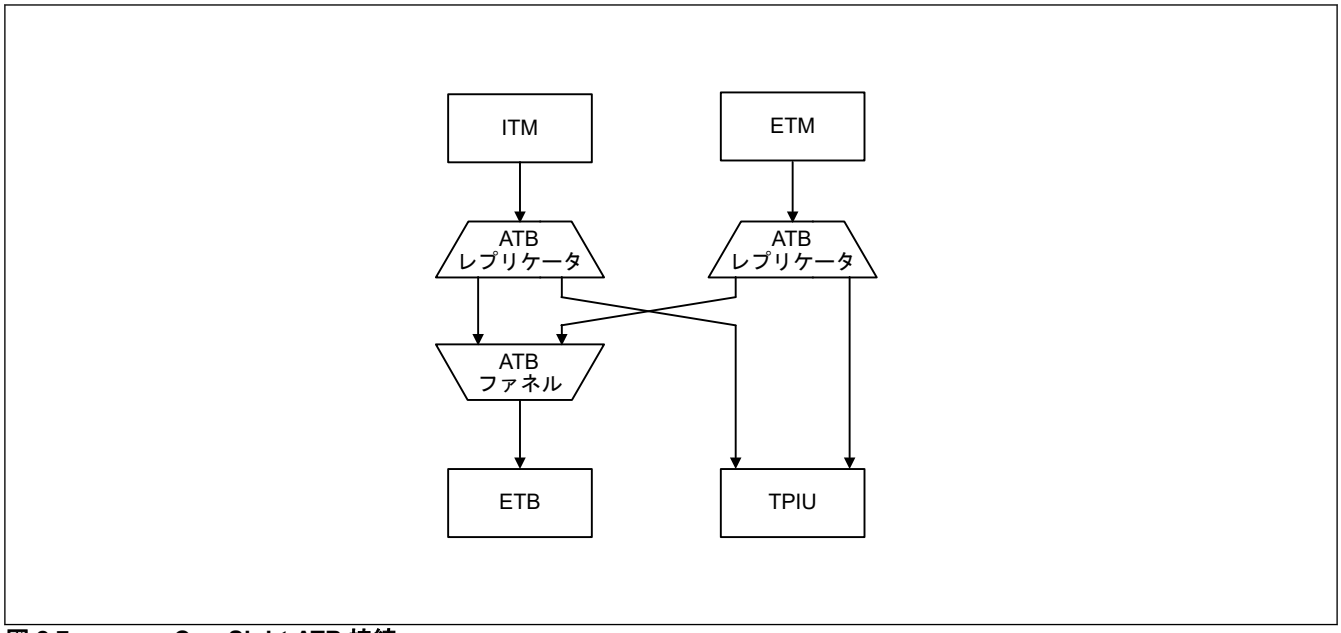


図 2.7 CoreSight ATB 接続

表 2.18 にファネル ATB スレーブ接続を示します。

表 2.18 ATB スレーブ接続

ATB スレーブ番号	接続されたトレースソース
#0	ITM
#1	ETM

ATB とファネルの詳細は、「2.14. 参考資料」の参考資料 4.を参照してください。

2.10 ブレークポイントユニット

MCU にはブレークポイントユニットがあります。このモジュールのレジスタ説明の詳細については、「2.14. 参考資料」の参考資料 1.のブレークポイントユニット章を参照してください。

2.11 CoreSight タイムスタンプ発生器

CoreSight タイムスタンプ発生器は、ITM と ETM へ CPU クロックベースのタイムスタンプを供給します。タイムスタンプは 64 ビットカウンタにより生成されます。詳細は、「2.14. 参考資料」の参考資料 4.を参照してください。

2.12 SysTick タイマ

本 MCU は、非セキュアとセキュアの 2 つの 24 ビットダウンカウンタとなる SysTick タイマを内蔵しています。このタイマは、SysTick タイマクロック (SYSTICCLK) またはシステムクロック (ICLK) を選択できます。

詳細は、「8. クロック発生回路」および「2.14. 参考資料」の参考資料 1.を参照してください。

注. SysTick タイマカウンタ動作は、CPU クロック信号との同期により許可されます。よって、CPU クロックの設定が SysTick タイマクロックより遅い場合は、カウンタは正常に動作しない可能性があります。つまり、クロック設定は次の式を満たさなければなりません。CPU クロック ≧ SysTick タイマクロック (LOCO: 32.768 kHz)

2.13 OCD エミュレータ接続

本製品では、ノンセキュアデバッグとノンセキュアチップリソースに対して、デバッグレベルが DBG1 以上であるかをチェックすることにより、アクセス許可を確認します。デバッグとチップリソースに対して全アクセスを許可するためには、セキュアデバッグレベル DBG2 が必要です。

図 2.8 に、SWD 認証機構のブロック図を示します。

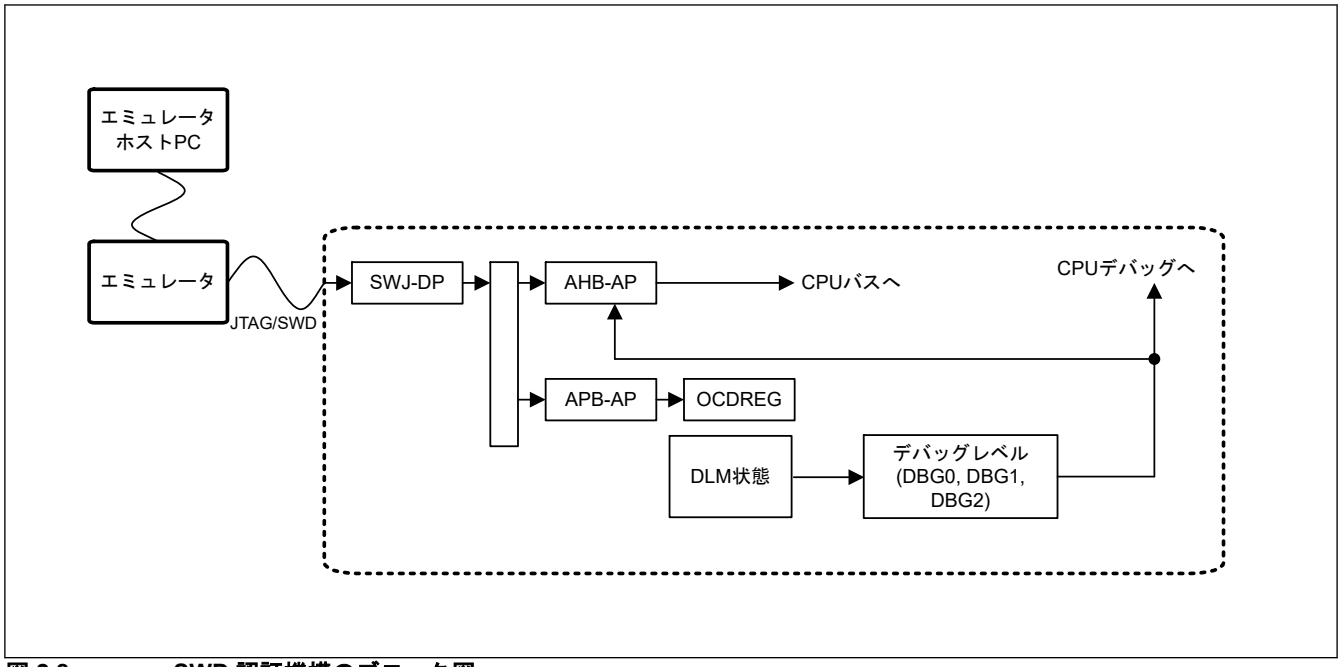


図 2.8 SWD 認証機構のブロック図

デバッグ機能には DBG0、DBG1、DBG2 の 3 つのレベルがあり、それぞれが DLM (Device Level Management) 状態に対応します。デバッグレベルが DBG0 の場合、OCD エミュレータからのデバッグコンポーネントやシステムバスへのアクセスが許可されません。デバッグレベルが DBG1 または DBG2 の場合、デバッグコンポーネントやシステムバスの対応するノンセキュアまたはセキュアデバッグが OCD エミュレータからアクセス可能です。デバッグレベルについての詳細は、表 2.5 を参照してください。

2.13.1 DBGEN

OCD エミュレータは、アクセス許可を取得した後、システムコントロール OCD コントロールレジスタ (SYOCDCR) の DBGEN ビットを設定する必要があります。また、OCD エミュレータは切断する前に DBGEN ビットをクリアする必要があります。詳細は、「10. 低消費電力モード」を参照してください。

2.13.2 エミュレータ接続における制限

本節では、エミュレータアクセスにおける制限を説明します。

2.13.2.1 低消費電力モードにおける接続開始

OCD エミュレータから JTAG/SWD 接続を開始するとき、MCU はノーマルモードかスリープモードでなければいけません。MCU がソフトウェアスタンバイモード、スヌーズモード、またはディープソフトウェアスタンバイモードであると、 OCD エミュレータは MCU をハングさせる場合があります。

2.13.2.2 OCD モード中の低消費電力モードの変更

本 MCU が OCD モードであるとき、低消費電力モードへの切り替えが可能です。ただし、AHB-AP からのシステムバスアクセスは、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードでは禁止されます。これらのモードでは、SWJ-DP、APB-AP、および OCDREG に対してのみ、OCD エミュレータからのアクセスが可能です。表 2.19 に制約事項を示します。

表 2.19 各モードの制限 (1/2)

現在のモード	OCD エミュレータの接続開始	低消費電力モードの変更	AHB-AP とシステムバスへのアクセス	APB-AP と OCDREG へのアクセス
ノーマル	可能	可能	可能	可能
スリープ	可能	可能	可能	可能
ソフトウェアスタンバイ	不可能	可能	不可能	可能

表 2.19 各モードの制限 (2/2)

現在のモード	OCD エミュレータの接続開始	低消費電力モードの変更	AHB-AP とシステムバスへのアクセス	APB-AP と OCDREG へのアクセス
スヌーズ	不可能	可能	不可能	可能
ディープソフトウェアスタンバイモード	不可能	可能	不可能	可能

ソフトウェアスタンバイモード、スヌーズモードまたはディープソフトウェアスタンバイモードにおいてシステムバスアクセスが必要な場合は、OCDREG の MCUCTRL.DBIRQ ビットを設定して、MCU を低消費電力モードから復帰させてください。同時に、OCDREG の MCUCTRL.DBIRQ ビットを用いることで、エミュレータは CPU の実行を開始することなく、本 MCU を復帰させることが可能です。

2.13.2.3 接続順序と JTAG/SWD 認証

1. JTAG または SWD インタフェースを介して OCD デバッガを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。
   設定中にエミュレータは、SWJDP の CDBGPWRUPREQ をアサートしなければなりません。
   コントロールステータスレジスタ、および同じレジスタの CDBGPWRUPACK がアサートされるまで待機してください。
3. OCDREG にアクセスするよう APB-AP を設定します。APB-AP は DAP バスのポート 1 に接続されます。
4. MCUCTRL.CPUWAIT = 1 にします。
5. MCUSTAT を読み出すことにより、デバイスのデバッグ機能を確認してください。
   - デバッグ機能が無効の場合、本デバイスはデバッグできません。
   - デバッグ機能が有効かつセキュアデバッグが使用不可の場合、ノンセキュアデバッグのみ使用可能です。
   - デバッグ機能が有効かつセキュアデバッグが使用可能の場合、全デバッグ機能が使用可能です。

   デバッグ機能が使用可能な場合、デバッグ関連レジスタを設定し、MCUCTRL.CPUWAIT = 0 にしてください。
6. システムアドレス空間にアクセスするよう AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
7. SYOCDCR.DBGEN を 1 に設定してください。
8. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

注. デバッグレベルは製品の現在の DLM の状態により決まります。

2.14 参考資料

1. *ARM®v8-M Architecture Reference Manual* (ARM DDI 0553B.a)
2. *ARM® Cortex®-M33 Processor Technical Reference Manual* (ARM 100230)
3. *ARM® Cortex®-M33 Device Generic User Guide* (ARM 100235)
4. *ARM® CoreSight™ SoC-400 Technical Reference Manual* (ARM DDI 0480G)
5. *ARM® CoreSight™ Architecture Specification* (ARM IHI 0029E)

3. 動作モード

3.1 概要

表 3.1 は、モード設定端子による動作モードの選択を示しています。詳細は、「3.2. 動作モードの説明」を参照してください。どのモードで起動しても、内蔵フラッシュメモリが有効な状態で動作を開始します。

表 3.1 モード設定端子による動作モードの選択

モード設定端子 (MD)	動作モード	内蔵フラッシュ
1	シングルチップモード	有効
0	SCI ブートモード	有効

3.2 動作モードの説明

3.2.1 シングルチップモード

シングルチップモードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。

MD 端子が High になっているときにリセットが解除されると、MCU はシングルチップモードで起動し、内蔵フラッシュメモリが有効になります。

3.2.2 SCI ブートモード

このモードでは、MCU 内部のブート領域に格納された、内蔵フラッシュメモリ書き込みルーチン（SCI ブートプログラム）が用いられます。調歩同期式シリアル通信インタフェース (UART) SCI を使用して、MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることができます。詳細は、「43. フラッシュメモリ」を参照してください。MD 端子を Low に保持してリセットを解除すると、SCI ブートモードで起動します。

3.3 動作モード遷移

3.3.1 モード設定端子による動作モード遷移

MD 端子の設定による動作モード遷移について、 図 3.1 に状態遷移図を示します。

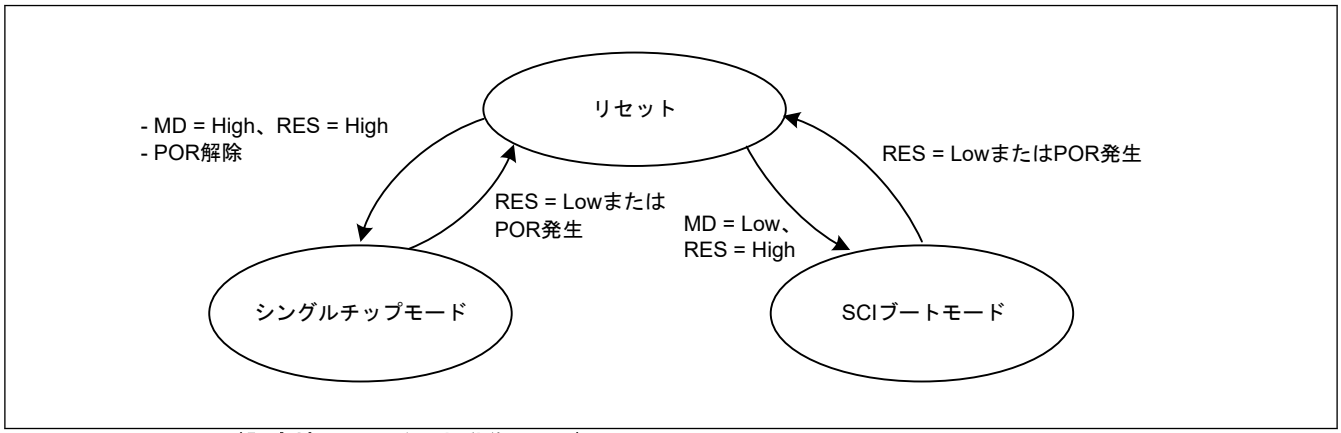


図 3.1 モード設定端子のレベルと動作モード

4. アドレス空間

4.1 アドレス空間

本 MCU は、プログラムとデータの両方を格納できる 4 GB のリニアアドレス空間 (0x0000_0000～0xFFFF_FFFF) をサポートしています。図 4.1 にメモリマップを示します。

注 1. 表 4.1 を参照してください。フラッシュの容量は製品により異なります。
注 2. 予約領域にアクセスしないでください。

図 4.1 メモリマップ

表 4.1 コードフラッシュメモリ、データフラッシュメモリ、SRAM0 の容量

コードフラッシュメモリ		データフラッシュメモリ		SRAM0	
容量	**アドレス**	**容量**	**アドレス**	**容量**	**アドレス**
512 KB	0x0000_0000 - 0x0007_FFFF	16 KB	0x0800_0000 - 0x0800_3FFF	64 KB	0x2000_0000 - 0x2000_FFFF
256 KB	0x0000_0000 - 0x0003_FFFF				

5. リセット

5.1 概要

本 MCU は、14 種類のリセットをサポートしています。

表 5.1 にリセットの名称と要因を示します。

表 5.1 リセットの名称と要因

リセット名	要因
RES 端子リセット	RES 端子への入力電圧が Low
パワーオンリセット	VCC 端子電圧の上昇（監視電圧：V_{POR}）(注1)
独立ウォッチドッグタイマリセット	IWDT のアンダーフローまたはリフレッシュエラーの発生
ウォッチドッグタイマリセット	WDT のアンダーフローまたはリフレッシュエラーの発生
電圧監視 0 リセット	VCC 端子電圧の下降（監視電圧：V_{det0}）(注1)
電圧監視 1 リセット	VCC 端子電圧の下降（監視電圧：V_{det1}）(注1)
電圧監視 2 リセット	VCC 端子電圧の下降（監視電圧：V_{det2}）(注1)
SRAM パリティエラーリセット	SRAM パリティエラー検出
SRAM ECC エラーリセット	SRAM ECC エラー検出
バスマスタ MPU エラーリセット	バスマスタ MPU エラーの検出
TrustZone エラーリセット	TrustZone エラー検出
キャッシュパリティエラーリセット	キャッシュパリティエラー検出
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
ソフトウェアリセット	レジスタ設定（ソフトウェアリセットビット：AIRCR.SYSRESETREQ を使用）

注 1. 監視電圧 (V_{POR}, V_{det0}, V_{det1}, V_{det2}) については、「7. 低電圧検出回路 (LVD)」と「46. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。表 5.2 と表 5.3 に、リセット種別ごとの初期化対象を示します。

表 5.2 リセット種類別の初期化対象（リセット検出フラグ） (1/4)

初期化対象フラグ	リセット要因							
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	✓	—	—	—	—	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF)	✓	✓	—	—	—	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	✓	✓	✓	—	—	—	—	—
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	✓	✓	✓	—	—	—	—	—
電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF)	✓	✓	✓	—	—	—	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF)	✓	✓	✓	—	—	—	—	—

表 5.2 リセット種類別の初期化対象（リセット検出フラグ） (2/4)

初期化対象フラグ	リセット要因							
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	✓	✓	✓	—	—	—	—	—
SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF)	✓	✓	✓	—	—	—	—	—
SRAM ECC エラーリセット検出フラグ (RSTSR1.REERF)	✓	✓	✓	—	—	—	—	—
バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF)	✓	✓	✓	—	—	—	—	—
TrustZone エラーリセット検出フラグ (RSTSR1.TZERF)	✓	✓	✓	—	—	—	—	—
キャッシュパリティエラーリセット検出フラグ (RSTSR1.CPERF)	✓	✓	✓	—	—	—	—	—
ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF)	✓	✓	✓	—	—	—	—	—
コールドスタート／ウォームスタート判別フラグ (RSTSR2.CWSF)	—	✓	—	—	—	—	—	—

表 5.2 リセット種類別の初期化対象（リセット検出フラグ） (3/4)

初期化対象フラグ	リセット要因						
	SRAM パリティエラーリセット	SRAM ECC エラーリセット	バスマスタ MPU エラーリセット	TrustZone エラーリセット	キャッシュパリティエラーリセット	ディープソフトウェアスタンバイリセット	
						DEEPCUT[0] = 0	DEEPCUT[0] = 1
パワーオンリセット検出フラグ (RSTSR0.PORF)	—	—	—	—	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF)	—	—	—	—	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	—	—	—	—	—	✓	✓
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	—	—	—	—	—	✓	✓
電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF)	—	—	—	—	—	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF)	—	—	—	—	—	—	—
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	—	—	—	—	—	✓	✓
SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF)	—	—	—	—	—	✓	✓

表 5.2 リセット種類別の初期化対象（リセット検出フラグ） (4/4)

初期化対象フラグ	リセット要因						
	SRAM パリティエラーリセット	SRAM ECC エラーリセット	バスマスタ MPU エラーリセット	TrustZone エラーリセット	キャッシュパリティエラーリセット	ディープソフトウェアスタンバイリセット	
						DEEPCUT[0] = 0	DEEPCUT[0] = 1
SRAM ECC エラーリセット検出フラグ (RSTSR1.REERF)	—	—	—	—	—	✓	✓
バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF)	—	—	—	—	—	✓	✓
TrustZone エラーリセット検出フラグ (RSTSR1.TZERF)	—	—	—	—	—	✓	✓
キャッシュパリティエラーリセット検出フラグ (RSTSR1.CPERF)	—	—	—	—	—	✓	✓
ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF)	—	—	—	—	—	—	—
コールドスタート／ウォームスタート判別フラグ (RSTSR2.CWSF)	—	—	—	—	—	—	—

注. ✓ : 初期化される
— : 初期化されない

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ） (1/4)

初期化対象レジスタ		リセット要因							
		RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット
独立ウォッチドッグタイマのレジスタ	IWDTRR, IWDTSR	✓	✓	✓	✓	✓	✓	✓	✓
ウォッチドッグタイマのレジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSTPR	✓	✓	✓	✓	✓	✓	✓	✓
電圧監視機能 1 のレジスタ	LVD1CR0, LVD1CMPCR	✓	✓	✓	✓	✓	—	—	—
	LVD1CR1/LVD1SR	✓	✓	✓	✓	✓	—	—	—
電圧監視機能 2 のレジスタ	LVD2CR0, LVD2CMPCR	✓	✓	✓	✓	✓	—	—	—
	LVD2CR1/LVD2SR	✓	✓	✓	✓	✓	—	—	—
LOCO レジスタ	LOCOCR	✓	✓	✓	✓	✓	✓	✓	✓
	LOCOUTCR	—	✓	✓	—	—	✓	✓	—
MOSC レジスタ	MOMCR	✓	✓	✓	✓	✓	✓	✓	✓
バス、MPU および TrustZone エラーレジスタ(注2)	BUS_ERROR_ADDRESS レジスタ BUS_ERROR_STATUS レジスタ	✓	✓	✓	✓	✓	✓	✓	✓
端子状態		✓	✓	✓	✓	✓	✓	✓	✓

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ） (2/4)

初期化対象レジスタ		リセット要因							
		RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット
低消費電力機能のレジスタ	DPSBYCR, DPSIER0～DPSIER2, DPSIFR0～DPSIFR2, DPSIEGR0～DPSIEGR2	✓	✓	✓	✓	✓	✓	✓	✓
	SYOCDCR	—	✓	—	—	—	—	—	—
セキュリティ属性のレジスタ	CPUDSAR, RSTSAR, LVDSAR, CGFSAR, LPMSAR, DPFSAR, ICUSARx, BUSSARA, BUSSARB, CSAR, MMPUSARA, MMPUSARB, DMACSAR, DTCSAR, ELCSARA, ELCSARB, PmSAR, SRAMSAR, STBRAMSAR, FSAR, PSARB, PSARC, PSARD, PSARE, MSSAR, TZFSAR	✓(注3)	✓	✓(注3)	✓(注3)	✓(注3)	✓(注3)	✓(注3)	✓(注3)
上記以外のレジスタ、CPU、および内部状態		✓	✓	✓	✓	✓	✓	✓	✓

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ） (3/4)

初期化対象レジスタ		リセット要因						
		SRAM パリティエラーリセット	SRAM ECC エラーリセット	バスマスタ MPU エラーリセット	TrustZone エラーリセット	キャッシュパリティエラーリセット	ディープソフトウェアスタンバイリセット	
							DEEPCUT[0] = 0	DEEPCUT[0] = 1
独立ウォッチドッグタイマのレジスタ	IWDTRR, IWDTSR	✓	✓	✓	✓	✓	✓	✓
ウォッチドッグタイマのレジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSTPR	✓	✓	✓	✓	✓	✓	✓
電圧監視機能 1 のレジスタ	LVD1CR0, LVD1CMPCR	—	—	—	—	—	—	—
	LVD1CR1/LVD1SR	—	—	—	—	—	✓	✓
電圧監視機能 2 のレジスタ	LVD2CR0, LVD2CMPCR	—	—	—	—	—	—	—
	LVD2CR1/LVD2SR	—	—	—	—	—	✓	✓
LOCO レジスタ	LOCOCR	✓	✓	✓	✓	✓	✓	✓
	LOCOUTCR	—	—	—	—	—	—	✓
MOSC レジスタ	MOMCR	✓	✓	✓	✓	✓	—	—
バス、MPU および TrustZone エラーレジスタ(注2)	BUS_ERROR_ADDRESS レジスタ BUS_ERROR_STATUS レジスタ	✓	✓	—	—	—	✓	✓
端子状態		✓	✓	✓	✓	✓	(注1)	(注1)

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ） (4/4)

初期化対象レジスタ		リセット要因						
		SRAM パリティエラーリセット	SRAM ECC エラーリセット	バスマスタ MPU エラーリセット	TrustZone エラーリセット	キャッシュパリティエラーリセット	ディープソフトウェアスタンバイリセット	
							DEEPCUT[0] = 0	DEEPCUT[0] = 1
低消費電力機能のレジスタ	DPSBYCR, DPSIER0～DPSIER2, DPSIFR0～DPSIFR2, DPSIEGR0～DPSIEGR2	✓	✓	✓	✓	✓	—	—
	SYOCDCR	—	—	—	—	—	—	—
セキュリティ属性のレジスタ	CPUDSAR, RSTSAR, LVDSAR, CGFSAR, LPMSAR, DPFSAR, ICUSARx, BUSSARA, BUSSARB, CSAR, MMPUSARA, MMPUSARB, DMACSAR, DTCSAR, ELCSARA, ELCSARB, PmSAR, SRAMSAR, STBRAMSAR, FSAR, PSARB, PSARC, PSARD, PSARE, MSSAR, TZFSAR	✓(注3)	✓(注3)	✓(注3)	✓(注3)	✓(注3)	✓(注4)	✓(注4)
上記以外のレジスタ、CPU、および内部状態		✓	✓	✓	✓	✓	✓	✓

注. ✓ : 初期化される
— : 初期化されない
注 1. DPSBYCR.IOKEEP の設定値に依存します。
注 2. 一部の制御ビットは、いずれのリセットによっても初期化されません。対象ビットの詳細については、「13. バス」を参照してください。
注 3. オンチップデバッガが無効 (SYOCDCR.DBGEN = 0) であっても、デバッガが接続 (DBGSTR.CDBGPWRUPREQ = 1) されているとリセットは発生しません。
注 4. オンチップデバッガが有効 (SYOCDCR.DBGEN = 1) であると、リセットは発生しません。

表 5.4 にリセット発生時の LOCO の状態を示します。

表 5.4 リセット発生時の LOCO の状態

		リセット要因	
		POR、LVD0、LVD1、LVD2、ディープソフトウェアスタンバイ (DEEPCUT[0] = 1)	その他
LOCO	有効／無効	有効に初期化	
	発振精度(注1)	初期化（パワーオンによる調整前の精度（精度：± 10%））	LOCOUTCR レジスタにより調整された精度を継続

注 1. LOCO ユーザートリミングコントロールレジスタ (LOCOUTCR) は、POR, LVD0, LVD1, LVD2 およびディープソフトウェアスタンバイ (DEEPCUT[0] = 1) の各リセットでリセットされます。これにより LOCO は、デフォルトの発振精度に戻ります。事前に設定した LOCO 発振精度に戻すには、これらのいずれかのリセット後、LOCOUTCR に必要なトリミング値をリロードしてください。

リセットが解除されると、リセット例外処理を開始します。

表 5.5 にリセット機能に関連する入出力端子を示します。

表 5.5 リセット関連の入出力端子

端子名	入出力	機能
RES	入力	リセット端子

5.2 レジスタの説明

5.2.1 RSTSAR : リセットセキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3C4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	NONSEC2	NONSEC1	NONSEC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	NONSEC0	非セキュア属性 0 対象レジスタ: リセットステータスレジスタ 0 0: セキュア 1: 非セキュア	R/W
1	NONSEC1	非セキュア属性 1 対象レジスタ: リセットステータスレジスタ 1 0: セキュア 1: 非セキュア	R/W
2	NONSEC2	非セキュア属性 2 対象レジスタ: リセットステータスレジスタ 2 0: セキュア 1: 非セキュア	R/W
31:3	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

NONSEC0 ビット（非セキュア属性 0）

RSTSR0 のセキュア属性を制御します。

NONSEC1 ビット（非セキュア属性 1）

RSTSR1 のセキュア属性を制御します。

NONSEC2 ビット（非セキュア属性 2）

RSTSR2 のセキュア属性を制御します。

5.2.2 RSTSR0 : リセットステータスレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x410

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DPSRSTF	—	—	—	LVD2RF	LVD1RF	LVD0RF	PORF
Value after reset:	x(注1)	0	0	0	x(注1)	x(注1)	x(注1)	x(注1)

ビット	シンボル	機能	R/W
0	PORF	パワーオンリセット検出フラグ 0: パワーオンリセット未検出 1: パワーオンリセット検出	R/W(注2)
1	LVD0RF	電圧監視 0 リセット検出フラグ 0: 電圧監視 0 リセット未検出 1: 電圧監視 0 リセット検出	R/W(注2)
2	LVD1RF	電圧監視 1 リセット検出フラグ 0: 電圧監視 1 リセット未検出 1: 電圧監視 1 リセット検出	R/W(注2)
3	LVD2RF	電圧監視 2 リセット検出フラグ 0: 電圧監視 2 リセット未検出 1: 電圧監視 2 リセット検出	R/W(注2)
6:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	DPSRSTF	ディープソフトウェアスタンバイリセット検出フラグ 0: 割り込みによるディープソフトウェアスタンバイモード解除要求の発生なし 1: 割り込みによるディープソフトウェアスタンバイモード解除要求の発生あり	R/W(注2)

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. リセット後の値は、リセット要因で異なります。
注 2. 本レジスタは表 5.2 に示すリセットが発生した時、およびフラグをクリアするための 0 書き込みによりクリアされます。クリアしたいフラグ以外は 1 を書き込む必要があります

PORF フラグ（パワーオンリセット検出フラグ）

PORF フラグはパワーオンリセットが発生したことを示します。

[1 になる条件]

- パワーオンリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- PORF から 1 を読み出した後に、0 を書き込んだとき

LVD0RF フラグ（電圧監視 0 リセット検出フラグ）

LVD0RF フラグは VCC 電圧が V_{det0} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 0 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- LVD0RF から 1 を読み出した後に、0 を書き込んだとき

LVD1RF フラグ（電圧監視 1 リセット検出フラグ）

LVD1RF フラグは VCC 電圧が V_{det1} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 1 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- LVD1RF から 1 を読み出した後に、0 を書き込んだとき

LVD2RF フラグ（電圧監視 2 リセット検出フラグ）

LVD2RF フラグは VCC 電圧が V_{det2} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 2 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- LVD2RF から 1 を読み出した後に、0 を書き込んだとき

DPSRSTF フラグ（ディープソフトウェアスタンバイリセット検出フラグ）

DPSRSTF フラグは、外部または内部割り込みによってディープソフトウェアスタンバイモードが解除されたこと、およびディープソフトウェアスタンバイモードからの例外発生時に内部リセット（ディープソフトウェアスタンバイリセット）が発生したことを示します。

[1 になる条件]

- 外部または内部割り込みによってディープソフトウェアスタンバイモードが解除されたとき。詳細は、「10. 低消費電力モード」を参照してください。

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- DPSRSTF から 1 を読み出した後に、0 を書き込んだとき

5.2.3 RSTSR1：リセットステータスレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x0C0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CPERF	—	TZERF	—	BUSMRF	—	REERF	RPERF	—	—	—	—	—	SWRF	WDTRF	IWDTRF
Value after reset:	x(注1)	0	x(注1)	0	x(注1)	0	x(注1)	x(注1)	0	0	0	0	0	x(注1)	x(注1)	x(注1)

ビット	シンボル	機能	R/W
0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ 0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/W(注2)
1	WDTRF	ウォッチドッグタイマリセット検出フラグ 0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R/W(注2)
2	SWRF	ソフトウェアリセット検出フラグ 0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/W(注2)
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	RPERF	SRAM パリティエラーリセット検出フラグ 0: SRAM パリティエラーリセット未検出 1: SRAM パリティエラーリセット検出	R/W(注2)
9	REERF	SRAM ECC エラーリセット検出フラグ 0: SRAM ECC エラーリセット未検出 1: SRAM ECC エラーリセット検出	R/W(注2)
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	BUSMRF	バスマスタ MPU エラーリセット検出フラグ 0: バスマスタ MPU エラーリセット未検出 1: バスマスタ MPU エラーリセット検出	R/W(注2)

ビット	シンボル	機能	R/W
12	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
13	TZERF	TrustZone エラーリセット検出フラグ 0: TrustZone エラーリセット未検出 1: TrustZone エラーリセット検出	R/W(注2)
14	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15	CPERF	キャッシュパリティエラーリセット検出フラグ 0: キャッシュパリティエラーリセット未検出 1: キャッシュパリティエラーリセット検出	R/W(注2)

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. リセット後の値は、リセット要因で異なります。
注 2. フラグをクリアするための 0 書き込みのみ可能です。フラグは、1 を読んだ後に 0 を書く必要があります。

IWDTRF フラグ（独立ウォッチドッグタイマリセット検出フラグ）

IWDTRF フラグは独立ウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- 1 を読み出して IWDTRF に 0 を書いたとき

WDTRF フラグ（ウォッチドッグタイマリセット検出フラグ）

WDTRF フラグはウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- 1 を読み出して WDTRF に 0 を書いたとき

SWRF フラグ（ソフトウェアリセット検出フラグ）

SWRF フラグはソフトウェアリセットが発生したことを示します。

[1 になる条件]

- ソフトウェアリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- 1 を読み出して SWRF に 0 を書いたとき

RPERF フラグ（SRAM パリティエラーリセット検出フラグ）

RPERF フラグは SRAM パリティエラーリセットが発生したことを示します。

[1 になる条件]

- SRAM パリティエラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき

- 1 を読み出して RPERF に 0 を書いたとき

REERF フラグ（SRAM ECC エラーリセット検出フラグ）

REERF フラグは SRAM ECC エラーリセットが発生したことを示します。

[1 になる条件]

- SRAM ECC エラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- 1 を読み出して REERF に 0 を書いたとき

BUSMRF フラグ（バスマスタ MPU エラーリセット検出フラグ）

BUSMRF フラグはバスマスタ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バスマスタ MPU エラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- 1 を読み出して BUSMRF に 0 を書いたとき

TZERF フラグ（TrustZone エラーリセット検出フラグ）

TZERF フラグは TrustZone エラーリセットが発生したことを示します。

[1 になる条件]

- TrustZone エラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- 1 を読み出して TZERF に 0 を書いたとき

CPERF フラグ（キャッシュパリティエラーリセット検出フラグ）

CPERF フラグはキャッシュパリティエラーリセットが発生したことを示します。

[1 になる条件]

- キャッシュパリティエラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- 1 を読み出して CPERF に 0 を書いたとき

5.2.4 RSTSR2 : リセットステータスレジスタ 2

Base address: SYSC = 0x4001_E000

Offset address: 0x411

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CWSF
Value after reset:	0	0	0	0	0	0	0	x(注1)

ビット	シンボル	機能	R/W
0	CWSF	コールドスタート／ウォームスタート判別フラグ 0: コールドスタート 1: ウォームスタート	R/W(注2)
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. リセット後の値は、リセット要因で異なります。
注 2. フラグをセットするための 1 書き込みのみ可能です。

RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。

CWSF フラグ (コールドスタート／ウォームスタート判別フラグ)

CWSF フラグはリセット処理の種類（コールドスタートまたはウォームスタート）を示します。RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。CWSF フラグはパワーオンリセットで初期化されます。RES 端子で生成されたリセット信号では初期化されません。

[1 になる条件]

- プログラムで 1 を書いたとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき

5.3 動作説明

5.3.1 RES 端子リセット

RES 端子によるリセットです。RES 端子が Low になると実行中の処理はすべて打ち切られ、本 MCU はリセット状態になります。適切にリセットするには、電源投入時の規定の電源安定時間だけ RES 端子は Low を保持していなければいけません。

RES 端子が Low から High になったとき、RES 解除後待機時間 (t_{RESWT}) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

詳細は、「46. 電気的特性」を参照してください。

5.3.2 パワーオンリセット

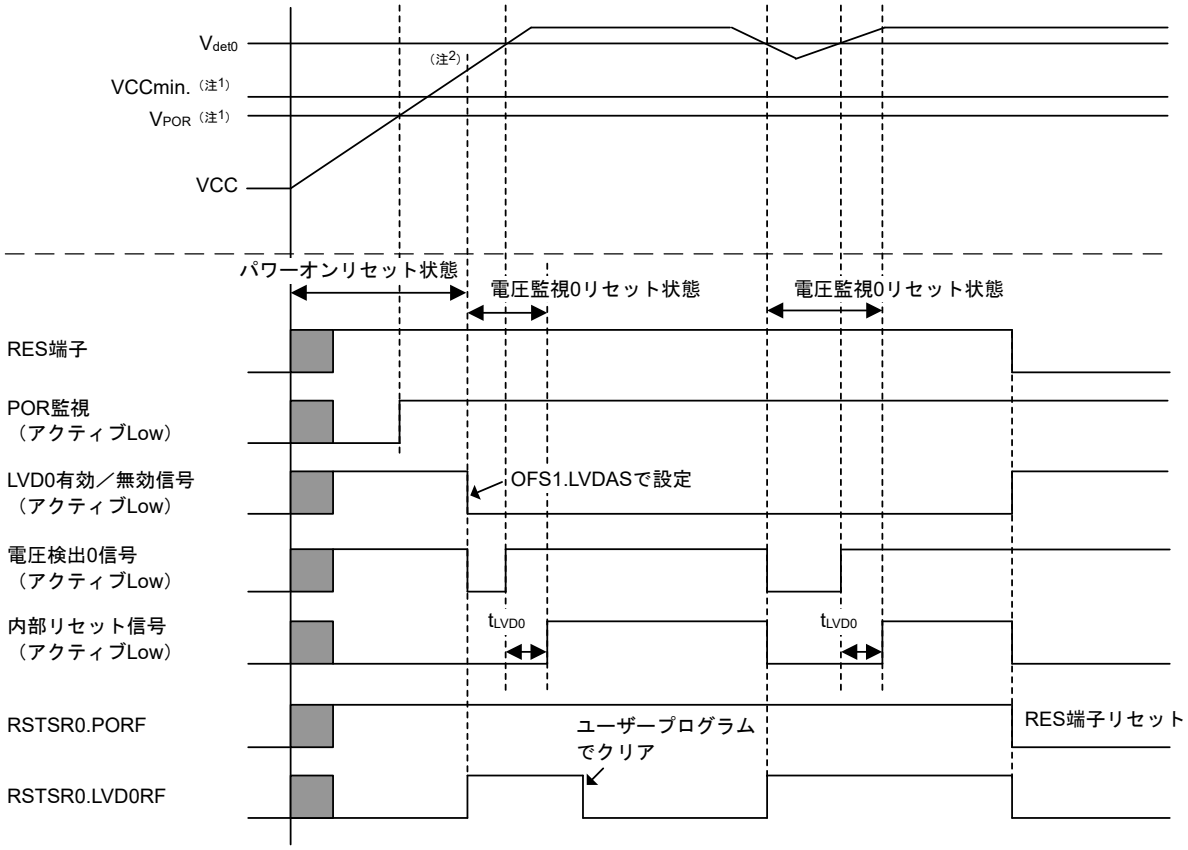
パワーオンリセット (POR) は、パワーオンリセット回路による内部リセットです。以下の条件で発生します。

1. RES 端子を High にした状態で、電源を投入した場合
2. RES 端子を High にした状態で、VCC 電圧が V_{POR} 電圧より低下した場合

パワーオンリセット中に VCC 電圧が V_{POR} 電圧を超えると、パワーオンリセット時間 (t_{POR}) 経過後、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源が安定し、かつ本 MCU が安定して動作するための時間です。

パワーオンリセットが発生すると、RSTSR0.PORF フラグが 1 になります。PORF フラグは、RES 端子リセットによって初期化されます。VCC 電圧が V_{POR} を下回った場合、パワーオンリセット状態となります。

図 5.1 に、パワーオンリセット時の動作例を示します。



注. 電気的特性についての詳細は、「46. 電気的特性」を参照してください。
注 1. V_{POR} はパワーオンリセット回路の電圧検出レベル、VCCmin は MCU の最低保証動作電圧を表します。
注 2. 電源立ち上がり時、パワーオンリセットが解除されるまでに VCC が最低保証動作電圧以上まで上昇している必要があります。

図 5.1 パワーオンリセット時の動作例

5.3.3 電圧監視リセット

電圧監視 i リセット (i = 0, 1, 2) は、電圧監視 i 回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0（リセット後、電圧監視 0 リセット有効）の状態で、VCC が V_{det0} 以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。VCC が V_{det0} を超えると、電圧監視 0 リセット時間 (t_{LVD0}) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 1 回路コントロールレジスタ 0 (LVD1CR0) の電圧監視 1 割り込み／リセット許可ビット (RIE) が 1（電圧監視 1 回路によるリセット／割り込み有効）で、かつ電圧監視 1 回路モード選択ビット (RI) が 1（低電圧検出時、リセット発生）の状態にあるとき、VCC の電圧が V_{det1} 以下になると、RSTSR0.LVD1RF フラグが 1 になり、電圧監視 1 回路は電圧監視 1 リセットを発生させます。

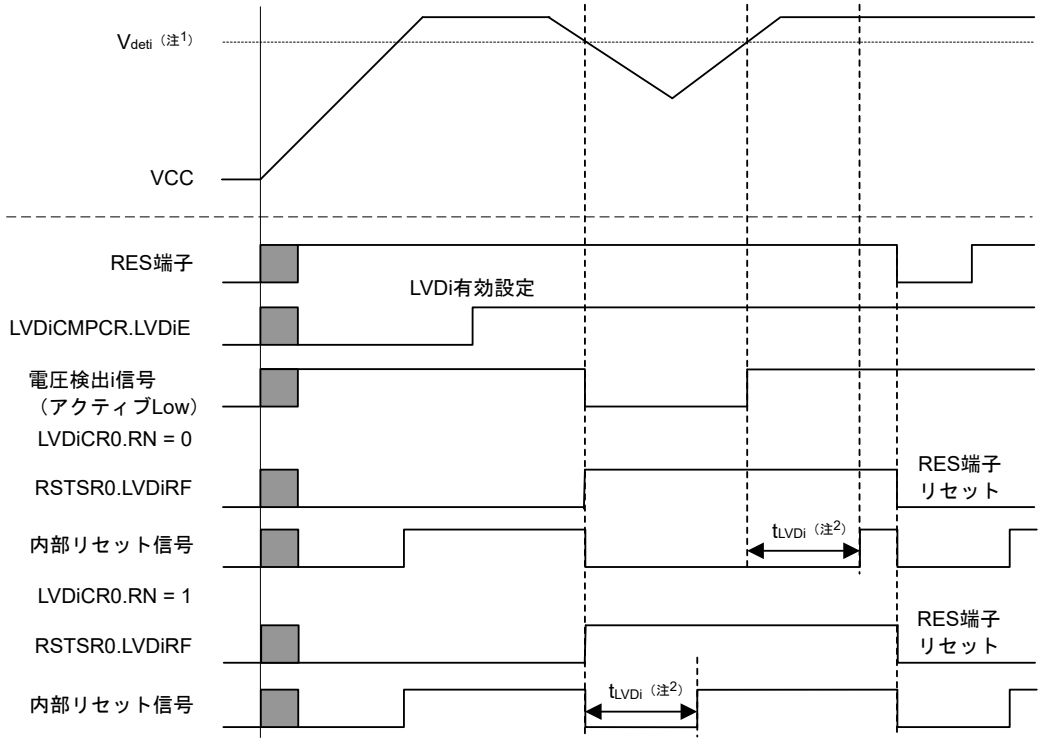
電圧監視 2 回路コントロールレジスタ 0 (LVD2CR0) の電圧監視 2 割り込み／リセット許可ビット (RIE) が 1（電圧監視 2 回路によるリセット／割り込み有効）で、かつ電圧監視 2 回路モード選択ビット (RI) が 1（低電圧検出時、リセット発生）の状態にあるとき、VCC の電圧が V_{det2} 以下になると、RSTSR0.LVD2RF フラグが 1 になり、電圧監視 2 回路は電圧監視 2 リセットを発生させます。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (RN) で選択可能です。LVD1CR0.RN ビットが 0 で、かつ VCC の電圧が V_{det1} 以下になっている場合、V_{det1} を超えてから LVD1 リセット時間 (t_{LVD1}) が経過すると、内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.RN ビットが 1 で、かつ VCC の電圧が V_{det1} 以下になっている場合、LVD1 リセット時間 (t_{LVD1}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングは、LDV2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (RN) で選択可能です。

電圧監視回路コントロールレジスタ (LVD1CMPCR/LVD2CMPCR) により、V_{det1} および V_{det2} の検出レベルは変更可能です。

図 5.2 に電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。電圧監視 1 リセットと電圧監視 2 リセットの詳細は、「7. 低電圧検出回路 (LVD)」を参照してください。



注. 電気的特性の詳細は、「46. 電気的特性」を参照してください。
注 1. V_{deti} は、電圧監視 i リセットの検出レベルを表しています (i = 1, 2)。
注 2. t_{LVDi} は、電圧監視 i リセット時間を表しています (i = 1, 2)。

図 5.2 電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例

5.3.4 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイリセットは、ディープソフトウェアスタンバイモードを割り込みによって解除する場合に発生する内部リセットです。

ディープソフトウェアスタンバイモードの解除要因が発生すると、ディープソフトウェアスタンバイリセットが発生します。t_{DSBY}（ディープソフトウェアスタンバイモード解除後の復帰時間）が経過した後に、ディープソフトウェアスタンバイリセットは解除されます。このとき同時に、ディープソフトウェアスタンバイモードも解除されます。

ディープソフトウェアスタンバイモードの解除後に、t_{DSBYWT}（ディープソフトウェアスタンバイモード解除後の待機時間）が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ディープソフトウェアスタンバイリセットの詳細は、「10. 低消費電力モード」を参照してください。

5.3.5 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマリセットは、独立ウォッチドッグタイマによる内部リセットです。 オプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセットの出力を選択した場合、独立ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は、「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

5.3.6 ウォッチドッグタイマリセット

ウォッチドッグタイマリセットは、ウォッチドッグタイマによる内部リセットです。WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセットの出力を選択した場合、ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「24. ウォッチドッグタイマ (WDT)」を参照してください。

5.3.7 ソフトウェアリセット

ソフトウェアリセットは、ARM コア内部の AIRCR レジスタの SYSRESETREQ ビットに対するソフトウェア設定によって発生する内部リセットです。SYSRESETREQ ビットを 1 にすると、ソフトウェアリセットが発生します。ソフトウェアリセットの発生後に、内部リセット時間（t_{RESW2}）が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

SYSRESETREQ ビットについての詳細は、*ARM® Cortex®-M33 Technical Reference Manual* を参照してください。

5.3.8 コールドスタート／ウォームスタート判定機能

RSTSR2.CWSF フラグの読み出しによって、リセット処理の原因、すなわち、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定できます。

RSTSR2.CWSF フラグは、パワーオンリセットが発生すると 0（コールドスタート）になります。その他のリセットを行っても 0 になりません。また、プログラムで 1 を書くと 1 になります。0 を書いても 0 になりません。

図 5.3 にコールドスタート／ウォームスタート判定機能の動作例を示します。

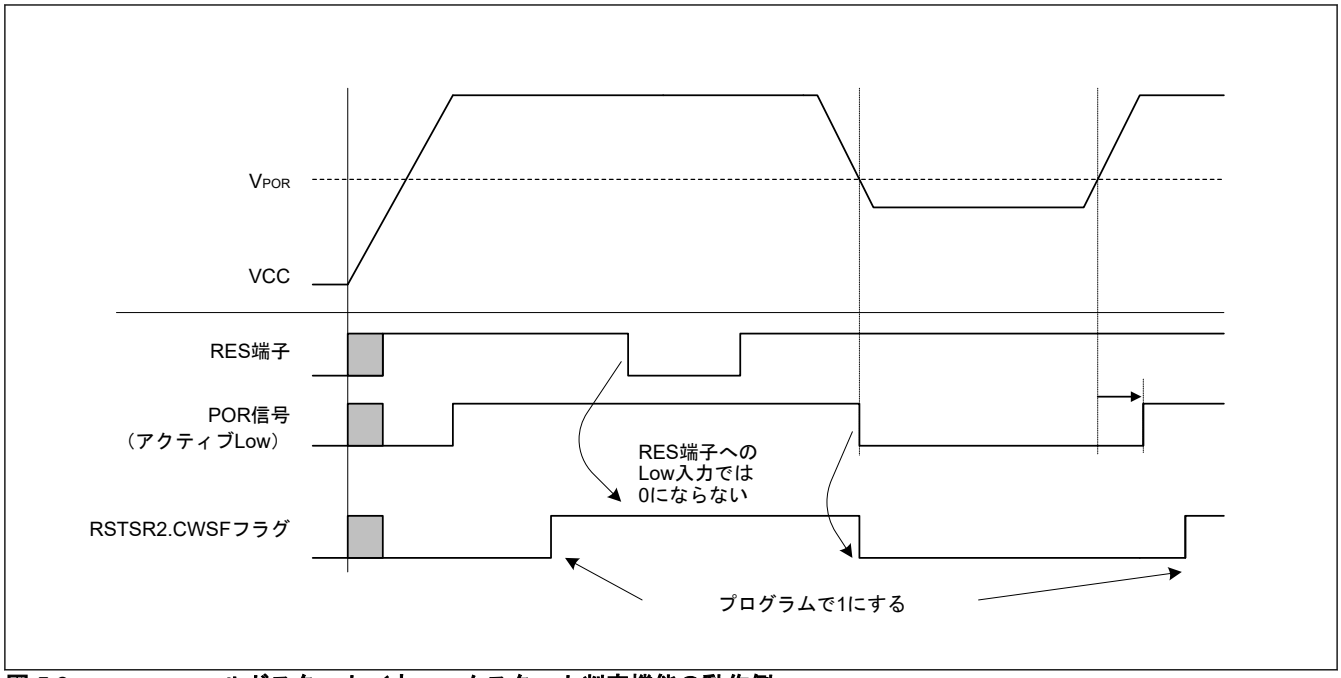
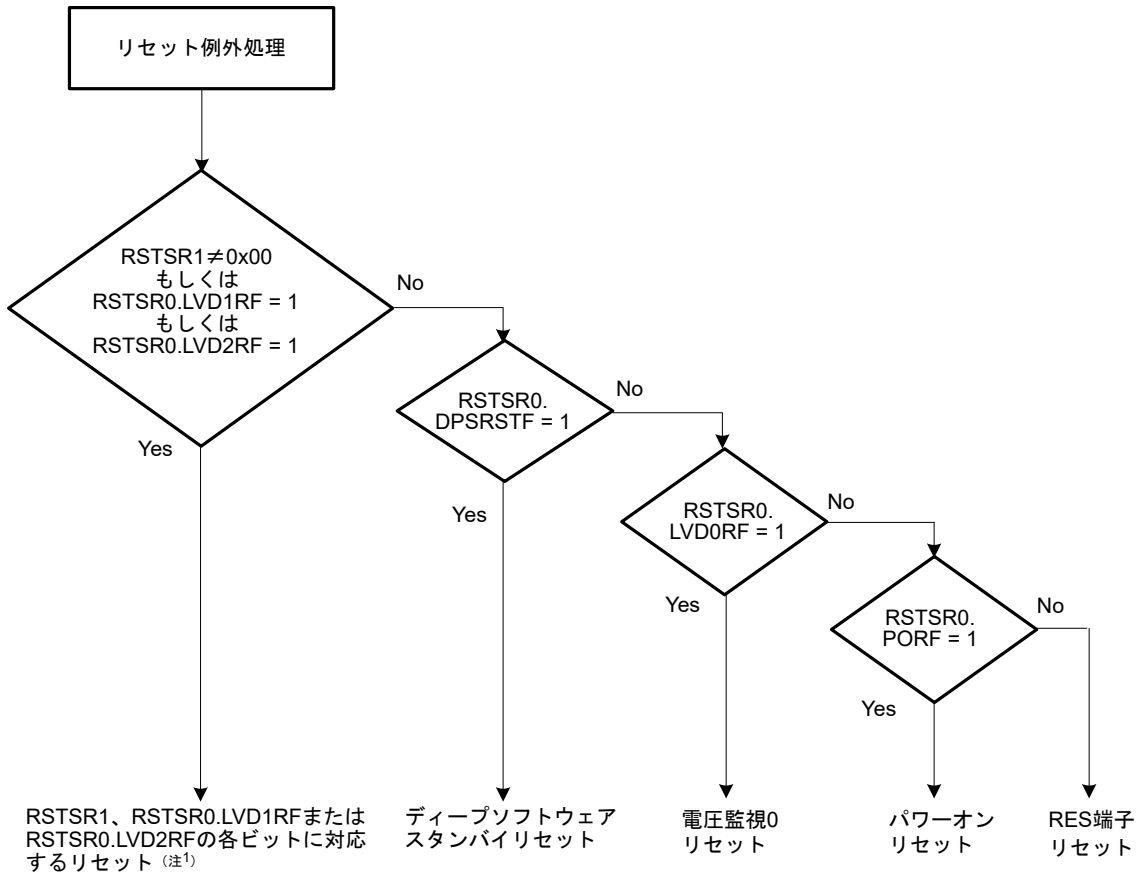


図 5.3 コールドスタート／ウォームスタート判定機能の動作例

5.3.9 リセット発生要因の判定

RSTSR0 レジスタと RSTSR1 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認できます。

図 5.4 にリセット発生要因の判定フロー例を示します。リセットフラグは、クリアするフラグ以外は 1 を書いてください。



注 1. 複数のリセット要因が同時に発生した場合は、複数のリセットフラグが 1 になります。

図 5.4 リセット発生要因の判定フロー例

6. オプション設定メモリ

6.1 概要

オプション設定メモリは、MCU のリセット後の状態を決定します。オプション設定メモリは、フラッシュメモリのコンフィグレーション設定領域に割り当てられています。

図 6.1 にオプション設定メモリの領域を示します。オプション設定メモリにはセキュア領域があります。表 6.1 にオプション設定メモリ領域のプログラミング条件を示します。

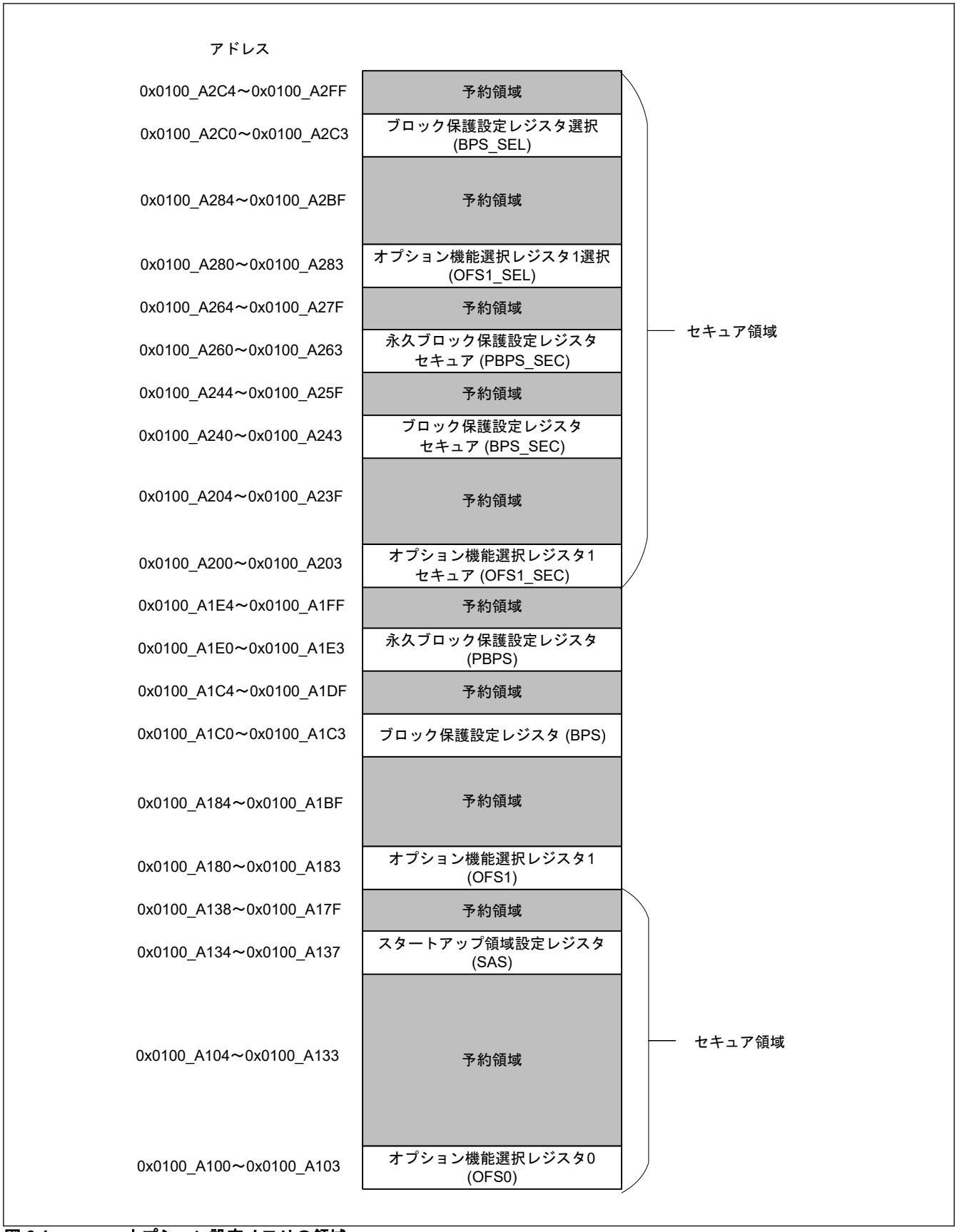


図 6.1 オプション設定メモリの領域

表 6.1 オプション設定メモリ領域のプログラミング条件

	セルフプログラミング	シリアルプログラミング	オンチップデバッガによるプログラミング
セキュア領域	セキュアアクセスにより発行されたプログラミングコマンド	デバイスライフサイクルが SSD のとき発行されたプログラミングコマンド	デバッグレベルが DBG2 のとき発行されたプログラミングコマンド
その他の領域	セキュアまたは非セキュアアクセスにより発行されたプログラミングコマンド	デバイスライフサイクルが SSD または NSECSD のとき発行されたプログラミングコマンド	デバッグレベルが DBG2 または DBG1 のとき発行されたプログラミングコマンド

6.2 レジスタの説明

6.2.1 OFS0：オプション機能選択レジスタ 0

Address: 0x0100_A100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	WDTSTPCTL	—	WDTRSTIRQS	WDTRPSS[1:0]		WDTRPES[1:0]		WDTCKS[3:0]				WDTTOPS[1:0]		WDTSTRT	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	IWDTSTPCTL	—	IWDTRSTIRQS	IWDTRPSS[1:0]		IWDTRPES[1:0]		IWDTCKS[3:0]				IWDTTOPS[1:0]		IWDTSTRT	—
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
0	—	読むと設定値が読めます。書く場合、1 としてください。	R
1	IWDTSTRT	IWDT スタートモード選択 0: リセット後、IWDT は自動的に起動（オートスタートモード） 1: リセット後、IWDT は停止状態	R
3:2	IWDTTOPS[1:0]	IWDT タイムアウト期間選択 0 0: 128 サイクル (0x007F) 0 1: 512 サイクル (0x01FF) 1 0: 1024 サイクル (0x03FF) 1 1: 2048 サイクル (0x07FF)	R
7:4	IWDTCKS[3:0]	IWDT 専用クロック分周比選択 0x0: 分周なし 0x2: 16 分周 0x3: 32 分周 0x4: 64 分周 0xF: 128 分周 0x5: 256 分周 その他: 設定禁止	R
9:8	IWDTRPES[1:0]	IWDT ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R
11:10	IWDTRPSS[1:0]	IWDT ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウの開始位置設定なし）	R
12	IWDTRSTIRQS	IWDT リセット割り込み要求選択 0: 割り込み 1: リセット	R

ビット	シンボル	機能	R/W
13	—	読むと設定値が読めます。書く場合、1 としてください。	R
14	IWDTSTPCTL	IWDT 停止制御 0: カウント継続 1: スリープモード、スヌーズモード、またはソフトウェアスタンバイモードの状態にあるとき、カウント停止	R
16:15	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R
17	WDTSTRT	WDT スタートモード選択 0: リセット後、WDT は自動的に起動（オートスタートモード） 1: リセット後、WDT は停止状態（レジスタスタートモード）	R
19:18	WDTTOPS[1:0]	WDT タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R
23:20	WDTCKS[3:0]	WDT クロック分周比選択 0x1: PCLKB/4 0x4: PCLKB/64 0xF: PCLKB/128 0x6: PCLKB/512 0x7: PCLKB/2048 0x8: PCLKB/8192 その他: 設定禁止	R
25:24	WDTRPES[1:0]	WDT ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R
27:26	WDTRPSS[1:0]	WDT ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウの開始位置設定なし）	R
28	WDTRSTIRQS	WDT リセット割り込み要求選択 0: 割り込み 1: リセット	R
29	—	読むと設定値が読めます。書く場合、1 としてください。	R
30	WDTSTPCTL	WDT 停止制御 0: カウント継続 1: スリープモード遷移時にカウント停止	R
31	—	読むと設定値が読めます。書く場合、1 としてください。	R

注 1. 未書き込み状態では、0xFFFFFFFF です。ユーザーがプログラムした値になります。

IWDTSTRT ビット（IWDT スタートモード選択）

IWDTSTRT ビットは、リセット後の IWDT の起動モード（停止状態、またはオートスタートモード）が選択できます。

IWDTTOPS[1:0]ビット（IWDT タイムアウト期間選択）

IWDTTOPS[1:0]ビットは、ダウンカウンタがアンダーフローするまでの時間、すなわちタイムアウト期間を、IWDTCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、128、512、1024、または 2048 の各サイクル数で指定します。リフレッシュ動作後、カウンタがアンダーフローするまでの時間は、IWDTCKS[3:0]ビットと IWDTTOPS[1:0]ビットの組み合わせにより決定されます。

詳細は「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTCKS[3:0]ビット（IWDT 専用クロック分周比選択）

IWDTCKS[3:0]ビットは、IWDT 専用クロックを分周するプリスケーラの分周比設定を、1 分周、16 分周、32 分周、64 分周、128 分周、256 分周から選択します。この設定を IWDTTOPS[1:0]ビットと組み合わせて、IWDT のカウント期間を 128～524288 サイクルの間で設定できます。

詳細は「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRPES[1:0]ビット（IWDT ウィンドウ終了位置選択）

IWDTRPES[1:0]ビットは、ダウンカウンタのウィンドウ終了位置を、カウント値の 75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置＞ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDTRPSS[1:0]、IWDTRPES[1:0]ビットで設定したウィンドウ開始／終了位置のカウンタ値は、IWDTTOPS[1:0]ビットの設定により変わります。

詳細は「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRPSS[1:0]ビット（IWDT ウィンドウ開始位置選択）

IWDTRPSS[1:0]ビットは、ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を 100%、アンダーフロー発生時を 0%）の 100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は、「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRSTIRQS ビット（IWDT リセット割り込み要求選択）

IWDTRSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。独立ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTSTPCTL ビット（IWDT 停止制御）

IWDTSTPCTL ビットは、スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時にカウントを停止するかどうかを選択します。

詳細は「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

WDTSTRT ビット（WDT スタートモード選択）

WDTSTRT ビットは、リセット後の WDT の起動モード（停止状態、またはオートスタートモードでの起動）を選択できます。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

WDTTOPS[1:0]ビット（WDT タイムアウト期間選択）

WDTTOPS[1:0]ビットは、ダウンカウンタがアンダーフローするまでのタイムアウト期間を、WDTCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024、4096、8192、または 16384 の各サイクル数で指定します。リフレッシュ後、アンダーフローするまでの PCLKB サイクル数は、WDTCKS[3:0]ビットと WDTTOPS[1:0]ビットの組み合わせで決定されます。

詳細は「24. ウォッチドッグタイマ (WDT)」を参照してください。

WDTCKS[3:0]ビット（WDT クロック分周比選択）

WDTCKS[3:0]ビットは、PCLKB を分周するプリスケーラの分周比設定を、4、64、128、512、2048、8192 の各分周から選択します。この設定を WDTTOPS[1:0]ビット設定と組み合わせることで、WDT のカウント期間は 4096 から 134217728 までの PCLKB サイクル数に設定可能です。

詳細は「24. ウォッチドッグタイマ (WDT)」を参照してください。

WDTRPES[1:0]ビット（WDT ウィンドウ終了位置選択）

WDTRPES[1:0]ビットは、ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始

位置＞ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置より大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

WDTRPSS[1:0]、WDTRPES[1:0]ビットで設定したウィンドウ開始／終了位置のカウンタ値は、WDTTOPS[1:0]ビットの設定により変わります。

詳細は「24. ウォッチドッグタイマ (WDT)」を参照してください。

WDTRPSS[1:0]ビット（WDT ウィンドウ開始位置選択）

WDTRPSS[1:0]ビットは、ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を 100%、アンダーフロー発生時を 0%）の 100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、

それ以外はリフレッシュ禁止期間となります。

詳細は、「24. ウォッチドッグタイマ (WDT)」を参照してください。

WDTRSTIRQS ビット（WDT リセット割り込み要求選択）

WDTRSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「24. ウォッチドッグタイマ (WDT)」を参照してください。

WDTSTPCTL ビット（WDT 停止制御）

WDTSTPCTL ビットは、スリープモード遷移時に、カウントを停止させるかどうかを選択します。

詳細は「24. ウォッチドッグタイマ (WDT)」を参照してください。

6.2.2 SAS : スタートアップ領域設定レジスタ

Address: 0x0100_A134

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BTFLG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSPR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値															

ビット	シンボル	機能	R/W
14:0	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R
15	FSPR	スタートアップ領域選択機能の保護 スタートアップ領域選択フラグ (SAS.BTFLG)、およびテンポラリブートスワップ制御に対する書き込み／イレース保護の書き換えを制御します。本ビットは一度 0 にすると、1 に変更できません。 0: スタートアップ領域選択フラグ (SAS.BTFLG) 書き換え用のコンフィグレーション設定コマンドの実行は無効です。 1: スタートアップ領域選択フラグ (SAS.BTFLG) 書き換え用のコンフィグレーション設定コマンドの実行は有効です。	R
30:16	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R
31	BTFLG	スタートアップ領域選択フラグ スタートアップ領域のアドレスをブートスワップ機能用に入れ替えるか否かを指定します。 0: 最初の 8 KB 領域 (0x0000_0000～0x0000_1FFF) と 2 番目の 8 KB 領域 (0x0000_2000～0x0000_3FFF) が入れ替わる 1: 最初の 8 KB 領域 (0x0000_0000～0x0000_1FFF) と 2 番目の 8 KB 領域 (0x0000_2000～0x0000_3FFF) は入れ替わらない	R

6.2.3 OFS1、OFS1_SEC、OFS1_SEL : オプション機能選択レジスタ 1

Address: OFS1: 0x0100_A180
OFS1_SEC: 0x0100_A200
OFS1_SEL: 0x0100_A280

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	PGADEN[3:0]			
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	HOCOFRQ0[1:0]		HOCOEN	—	—	—	—	—	LVDAS	VDSEL[1:0]	
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
1:0	VDSEL[1:0]	電圧検出 0 レベル選択 0 0: 設定禁止 0 1: 2.94 V を選択 1 0: 2.87 V を選択 1 1: 2.80 V を選択	R
2	LVDAS	電圧検出 0 回路起動 0: リセット後、電圧監視 0 リセット有効 1: リセット後、電圧監視 0 リセット無効	R
7:3	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R
8	HOCOEN	HOCO 発振有効 0: リセット後、HOCO 発振が有効 1: リセット後、HOCO 発振が無効	R
10:9	HOCOFRQ0[1:0]	HOCO 周波数設定 0 0 0: 16 MHz 0 1: 18 MHz 1 0: 20 MHz 1 1: 設定禁止	R
15:11	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R
19:16	PGADEN[3:0]	PGAn 疑似差動入力許可（n = 0～3） 設定されていない場合、PGAn の疑似差動入力が許可されます。 PGAs の疑似差動入力を使用しない場合は本ビットを 0 にします。 0: リセット後、PGAn の疑似差動入力は禁止されます（シングルエンド入力） 1: リセット後、PGAn の疑似差動入力は許可されます	R
31:20	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R

注 1. ブランク品は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

セキュア開発者のみが OFS1_SEC レジスタおよび OFS1_SEL レジスタを書き換え可能です。OFS1_SEC レジスタは、セキュア開発者用で、OFS1 レジスタは非セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタの対応ビットの設定値により決まります。詳細は、「6.3.3. オプション設定メモリのセキュリティ属性」を参照してください。

VDSEL[1:0]ビット（電圧検出 0 レベル選択）

VDSEL[1:0]ビットは、電圧検出 0 回路の電圧検出レベルを選択します。

LVDAS ビット（電圧検出 0 回路起動）

LVDAS ビットは、リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

HOCOEN ビット（HOCO 発振有効）

HOCOEN ビットは、リセット後、HOCO 発振を有効にするか無効にするかを選択します。本ビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始でき、発振安定の待ち時間を減らすことができます。

注. HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット (SCKSCR.CKSEL[2:0]) を設定することによってのみ、システムクロックソースは HOCO に切り替わります。HOCO クロックを使用する場合は、OFS1.HOCOFRQ0 ビットを最適な値に設定してください。

HOCOFRQ0[1:0]ビット（HOCO 周波数設定 0）

HOCOFRQ0[1:0]ビットは、リセット後の HOCO 周波数を、16、18、20 MHz から選択します。

PGADEN[3:0]ビット（PGAn 疑似差動入力許可）

このビットは、リセット後に PGAn 端子の疑似差動入力を許可するか禁止するかを選択します（シングルエンド入力）。

6.2.4 BPS, BPS_SEC, BPS_SEL：ブロック保護設定レジスタ

address:

BPS: 0x0100_A1C0
BPS_SEC: 0x0100_A240
BPS_SEL: 0x0100_A2C0

Bit position:	31 … 0
Bit field:	
Value after reset:	ユーザー設定値(注1)

注 1. ブランク品は、0xFFFF_FFFF です。ユーザーがプログラムした値になります。

セキュア開発者のみが BPS_SEC レジスタおよび BPS_SEL レジスタを書き換え可能です。BPS_SEC レジスタは、セキュア開発者用で、BPS レジスタは非セキュア開発者用です。適用される設定値は、BPS_SEL レジスタの対応ビットの設定値により決まります。詳細は、「6.3.3. オプション設定メモリのセキュリティ属性」を参照してください。

BPS レジスタおよび BPS_SEC レジスタは、コードフラッシュメモリへのプログラミングおよびイレースをインバリデートします。本レジスタのビットが 0 の場合、対応するブロックへのプログラミングおよびイレースは無効です。図 6.2 に、各製品のコードフラッシュのブロック構成を示します。図 6.3 に、レジスタのビットとブロック番号の関係を示します。使用されていないビットは予約ビットで、1 に設定します。

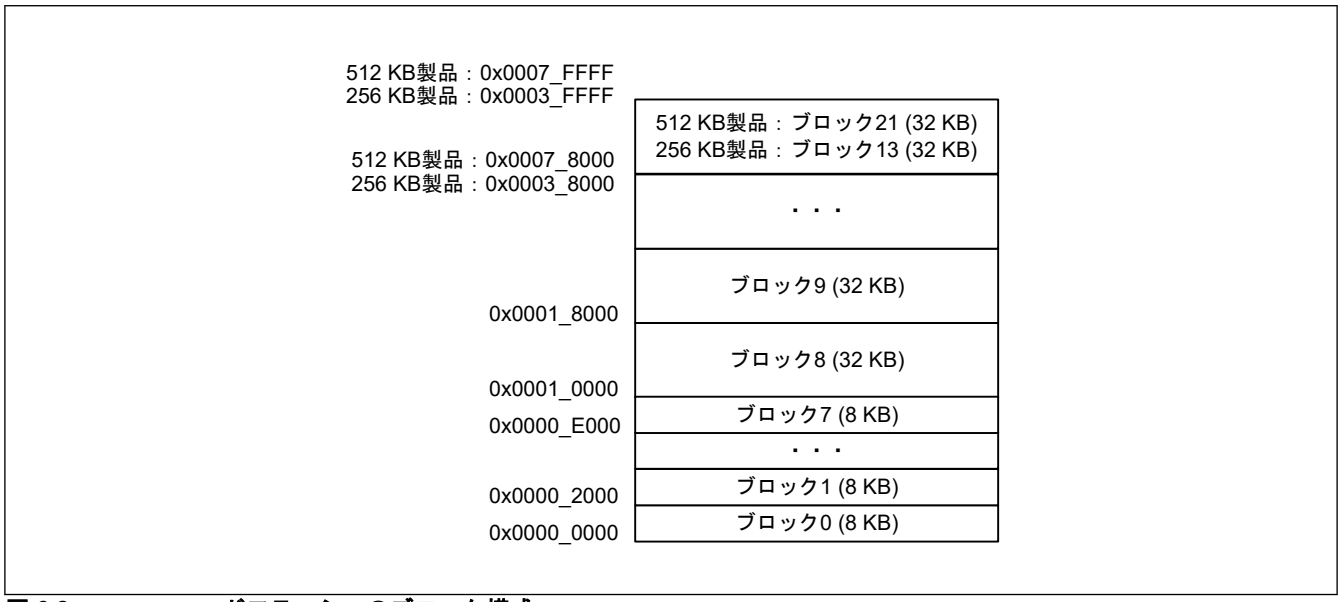


図 6.2 コードフラッシュのブロック構成

レジスタ	アドレス	+31	+30	+29	+28	+27	+26	+25	+24	+23	+22	+21	+20	+19	+18	+17	+16	+15	+14	+13	+12	+11	+10	+ 9	+ 8	+ 7	+ 6	+ 5	+ 4	+ 3	+ 2	+ 1	+ 0
BPS_SEL	0x0100_A2C0											21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	⋮																																
BPS_SEC	0x0100_A240											21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	⋮																																
BPS	0x0100_A1C0											21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

図 6.3 レジスタのビットとブロック番号の関係

6.2.5 PBPS, PBPS_SEC : 永久ブロック保護設定レジスタ

Address: PBPS: 0x0100_A1E0
PBPS_SEC: 0x0100_A260

Bit position:	31 … 0
Bit field:	
Value after reset:	ユーザー設定値(注1)

注 1. ブランク品は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

セキュア開発者のみが PBPS_SEC レジスタを書き換え可能です。PBPS_SEC レジスタはセキュア開発者用で、PBPS レジスタは非セキュア開発者用です。適用される設定値は、BPS_SEL レジスタの対応ビットの設定値により決まります。詳細は、「6.3.3. オプション設定メモリのセキュリティ属性」を参照してください。セキュリティ属性レジスタは、ブロック保護および永久ブロック保護の両方で同じ BPS_SEL レジスタになります。

PBPS レジスタおよび PBPS_SEC レジスタは、BPS レジスタおよび BPS_SEC レジスタのビットへの書き込みをインバリデートします。本レジスタのビットが 0 になるのは、BPS レジスタおよび BPS_SEC レジスタの対応するビットが 0 の場合です。本レジスタのビットが 0 の場合、BPS レジスタおよび BPS_SEC レジスタの対応するビットへの書き込みは無効です。本レジスタのビットは一度 0 にすると、1 に変更できません。表 6.2 に、適用される PBPS レジスタのビットと BPS レジスタのビットとの関係を示します。

本レジスタのビットとブロック番号との関係は、BPS レジスタおよび BPS_SEC レジスタ (「6.2.4. BPS, BPS_SEC, BPS_SEL : ブロック保護設定レジスタ」) と同じです。使用されていないビットは予約ビットで、1 に設定します。

表 6.2 PBPS、PBPS_SEC レジスタのビットと BPS、BPS_SEC レジスタのビットとの関係

適用される PBPS のビット	適用される BPS のビット	内容
1	1	対応するブロックへのプログラミングおよびイレースは有効。
1	0	対応するブロックへのプログラミングおよびイレースは無効。FBPROT0 または FBPROT1 レジスタにより保護をキャンセル可能。
0	1	本条件の設定不可。
0	0	対応するブロックへのプログラミングおよびイレースは永久に無効。

6.3 オプション設定メモリの設定方法

6.3.1 オプション設定メモリへのデータの配置方法

オプション設定メモリにプログラムするデータは、図 6.1 に示すアドレスに配置してください。配置したデータは、フラッシュメモリ書き込みソフトウェアやオンチップデバッガなどのツールで使用されます。

注. プログラミング形式はコンパイラによって異なります。 詳細については、コンパイラのマニュアルを参照してください。

6.3.2 オプション設定メモリにプログラムするデータの設定方法

「6.3.1. オプション設定メモリへのデータの配置方法」に記載した方法でデータを配置するだけでは、オプション設定メモリにデータを書き込むことにはなりません。合わせて、本項に記載されている下記のいずれかを実施してください。

(1) セルフプログラミングでオプション設定メモリを変更する場合

また、コンフィグレーション設定領域のオプション設定メモリへデータを書き込むには、コンフィグレーション設定コマンドを使用してください。

オプション設定メモリはバックグラウンドオペレーション (BGO) に対応していません。オプション設定メモリに書き込むには、書き込みソフトウェアを SRAM にコピー後 SRAM にジャンプします。

コンフィグレーション設定コマンドの詳細は、「43. フラッシュメモリ」を参照してください。

(2) OCD によるデバッグ時またはフラッシュライタによってプログラムする場合

この手順は使用するツールによって異なるため、詳細についてはツールのマニュアルを参照してください。

本 MCU には、以下の 2 つの設定手順があります。

- 「6.3.1. オプション設定メモリへのデータの配置方法」に記述されているように配置されたデータを、コンパイラが生成するオブジェクトファイルやモトローラ S 形式ファイルから読み取り、本 MCU へプログラムします
- ツールの GUI インタフェースを使用して、「6.3.1. オプション設定メモリへのデータの配置方法」に記述されているように配置されたデータをプログラムします

6.3.3 オプション設定メモリのセキュリティ属性

非セキュア (FUNC NAME)、セキュア (FUNC NAME_SEC)、セキュリティ属性 (FUNC NAME_SEL) 用に 3 つのレジスタを備えた機能があります。セキュアおよびセキュリティ属性用のレジスタを設定できるのはセキュア開発者のみです。図 6.4 に示すように、セキュリティ属性レジスタのビットが 0 になると、セキュアレジスタの対応ビットが適用されます。セキュリティ属性レジスタのビットが 1 になると、非セキュアレジスタの対応ビットが適用されます。

たとえば、OFS1 レジスタの LVD をセキュアに、OFS1 レジスタの HOCO と PGA を非セキュアに設定したい場合、セキュア開発者は OFS1_SEL レジスタを下記のように設定する必要があります。

OFS1_SEL = 0xFFFF_FFF8

このように設定すると、OFS1_SEC レジスタの LVDAS および VDSEL[1:0]ビット値と OFS1 レジスタの HOCOFRQ0[1:0]、PGADEN[3:0] および HOCOEN ビット値が MCU に適用されます。セキュリティ属性レジスタ (FUNC NAME_SEL) の予約ビットは 1 に設定してください。

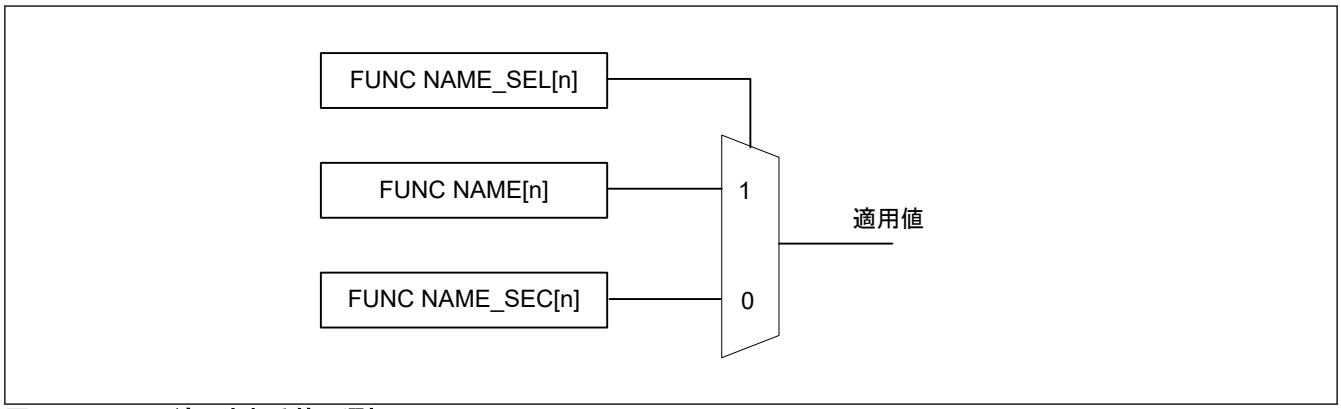


図 6.4 適用される値の選択

6.3.4 設定値のタイミング

SAS、BPS、BPS_SEC、PBPS、PBPS_SEC レジスタにおいて、関連する設定領域とブロック保護の設定値の適用タイミングは、書き込みの直後です。その他のレジスタについては、設定値は MCU リセット後に適用されます。

顧客の工場でのシリアルプログラミングモードでのプログラミングの場合、セキュアユーザー用のブロック保護は MCU リセット後に適用されることに注意してください。ブロック保護のセキュリティ属性レジスタ (BPS_SEL) の初期値は 1（非セキュア）なので、BPS_SEL レジスタの対応ビットが 0（セキュア）に設定されていても、セキュア開発者用のブロック保護設定 (BPS_SEC/PBPS_SEC) は、MCU がリセットされるまで適用されません。

6.4 使用上の注意事項

6.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットがプログラム範囲内にある場合、予約領域の全ビットおよび全予約ビットには 1 を書き込んでください。これらのビットに 0 を書き込んだ場合、正常動作は保証されません。

7. 低電圧検出回路 (LVD)

7.1 概要

低電圧検出モジュール (LVD) は、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD は、3 つの独立した電圧監視回路（LVD0、LVD1、LVD2）で構成され、LVD0、LVD1、LVD2 は VCC 端子への入力電圧レベルを監視します。LVD のレジスタを設定することにより、さまざまな電圧しきい値で VCC 端子への入力電圧の変動を監視できます。

また、電圧監視レジスタを用いることで、電圧しきい値を通過したときに、割り込み、イベントリンク出力、またはリセットを発生させることもできます。

表 7.1 に LVD の仕様を示します。 図 7.1 に電圧監視 0 回路のブロック図を、図 7.2 に電圧監視 1 回路のブロック図を、図 7.3 に電圧監視 2 回路のブロック図を示します。

表 7.1 LVD の仕様

項目		電圧監視 0 の仕様	電圧監視 1 の仕様	電圧監視 2 の仕様
動作設定方法		OFS1 レジスタで設定	LVD のレジスタで設定	LVD のレジスタで設定
監視対象		VCC 端子入力電圧	VCC 端子入力電圧	VCC 端子入力電圧
監視電圧		V_{det0}	V_{det1}	V_{det2}
検出イベント		下降して V_{det0} を通過	上昇または下降して V_{det1} を通過	上昇または下降して V_{det2} を通過
検出電圧		OFS1.VDSEL[1:0]ビットで 3 レベルから選択可能	LVD1CMPCR.LVD1LVL[4:0]ビットで 3 レベルから選択可能	LVD2CMPCR.LVD2LVL[2:0]ビットで 3 レベルから選択可能
モニタフラグ		なし	LVD1SR.MON フラグ：電圧が V_{det1} より高いか低いかを監視	LVD2SR.MON フラグ：電圧が V_{det2} より高いか低いかを監視
			LVD1SR.DET フラグ：V_{det1} 通過検出	LVD2SR.DET フラグ：V_{det2} 通過検出
電圧検出時の処理	リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		V_{det0} ＞ VCC でリセット。VCC ＞ V_{det0} の一定時間後に CPU 動作再開	V_{det1} ＞ VCC でリセット。CPU 動作再開タイミングとして、VCC ＞ V_{det1} の一定時間後、または V_{det1} ＞ VCC の一定時間後を選択可能	V_{det2} ＞ VCC でリセット。CPU 動作再開タイミングとして、VCC ＞ V_{det2} の一定時間後、または V_{det2} ＞ VCC の一定時間後を選択可能
	割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み
			ノンマスカブル割り込み、またはマスカブル割り込みを選択可能	ノンマスカブル割り込み、またはマスカブル割り込みを選択可能
			V_{det1} ＞ VCC および VCC ＞ V_{det1} の両方、またはどちらかのとき割り込み要求	V_{det2} ＞ VCC および VCC ＞ V_{det2} の両方、またはどちらかのとき割り込み要求
デジタルフィルタ	有効／無効の切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	LOCO クロックの n 分周 × 2 (n: 2, 4, 8, 16)	LOCO クロックの n 分周 × 2 (n: 2, 4, 8, 16)
イベントリンク機能		なし	あり V_{det1} 通過検出時にイベント信号出力	あり V_{det2} 通過検出時にイベント信号出力
TrustZone フィルタ		—	セキュリティ属性は各レジスタに対して設定可能	

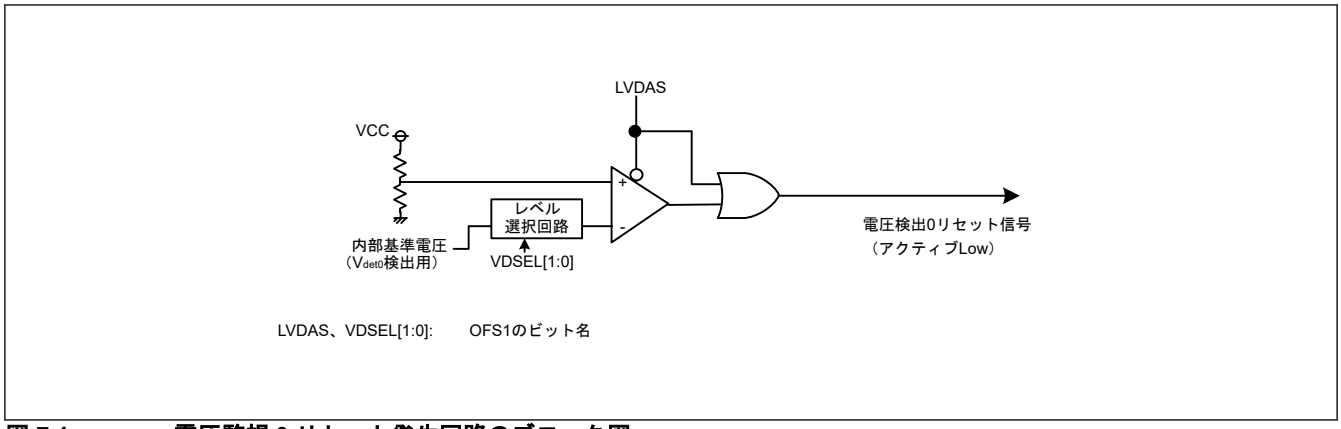


図 7.1 電圧監視 0 リセット発生回路のブロック図

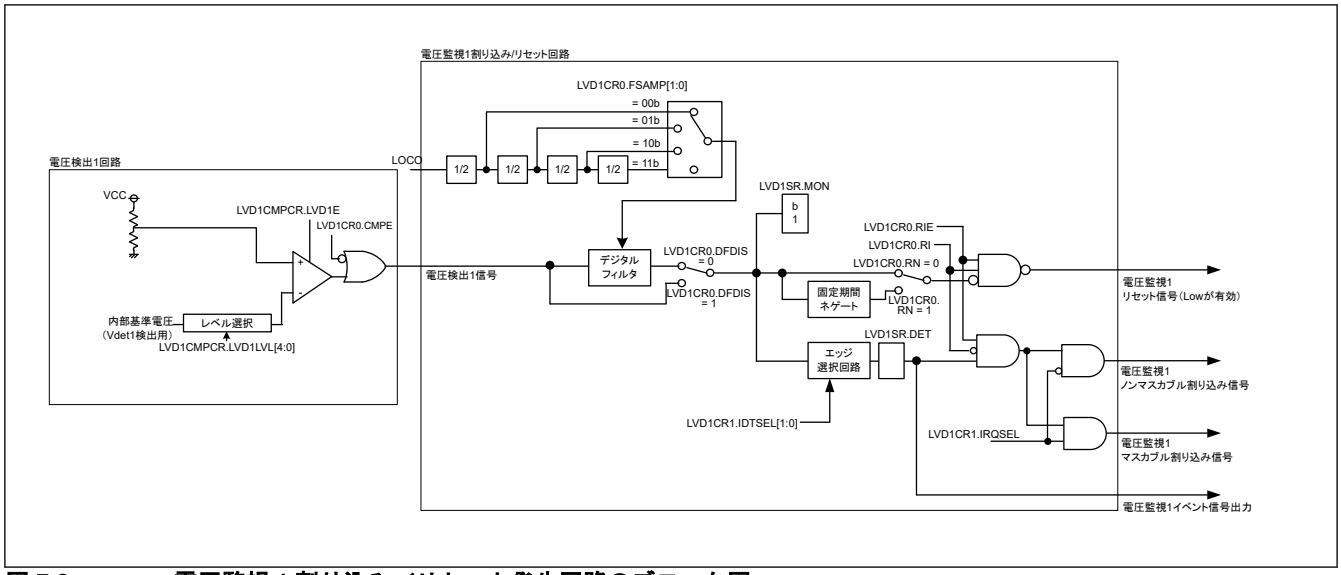


図 7.2 電圧監視 1 割り込み／リセット発生回路のブロック図

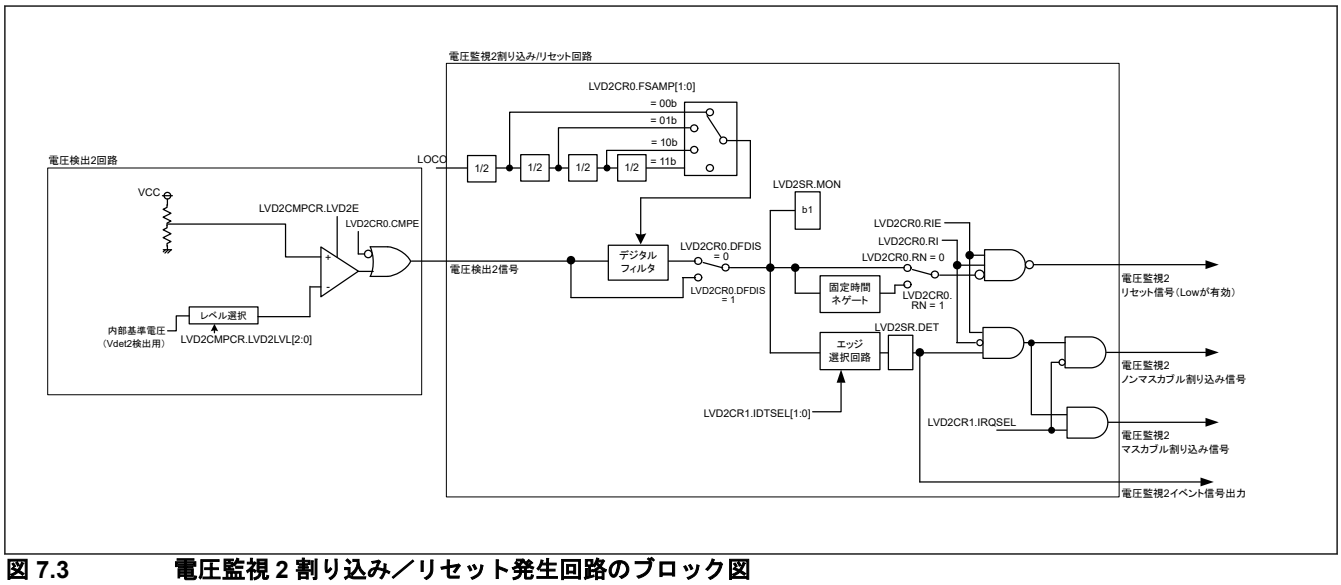


図 7.3 電圧監視 2 割り込み／リセット発生回路のブロック図

7.2 レジスタの説明

7.2.1 LVDSAR : 低電圧検出セキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3CC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NONSEC1	NONSEC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	NONSEC0	ノンセキュリティ属性ビット 0 対象レジスタ：LVD1 用レジスタ 0: セキュリティオン 1: セキュリティオフ	R/W
1	NONSEC1	ノンセキュリティ属性ビット 1 対象レジスタ：LVD2 用レジスタ 0: セキュリティオン 1: セキュリティオフ	R/W
31:2	—	読むと 1 が読めます。 書き込み可能な場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

LVDSAR レジスタは LVD レジスタのセキュア属性を制御します。

NONSEC0 ビット（ノンセキュリティ属性ビット 0）

本ビットは LVD1CMPCR、LVD1CR0、LVD1CR1、LVD1SR のセキュリティ属性を制御します。

NONSEC1 ビット（ノンセキュリティ属性ビット 1）

本ビットは LVD2CMPCR、LVD2CR0、LVD2CR1、LVD2SR のセキュリティ属性を制御します。

7.2.2 LVD1CMPCR : 電圧監視 1 コンパレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x417

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LVD1E	—	—	LVD1LVL[4:0]				
Value after reset:	0	0	0	1	0	0	1	1

ビット	シンボル	機能	R/W
4:0	LVD1LVL[4:0]	電圧検出 1 レベル選択（電圧下降時の標準電圧） 0x11: 2.99 V (Vdet1_1) 0x12: 2.92 V (Vdet1_2) 0x13: 2.85 V (Vdet1_3) その他: 設定禁止	R/W
6:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	LVD1E	電圧検出 1 許可 0: 電圧検出 1 回路無効 1: 電圧検出 1 回路有効	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

LVD1CMPCR.LVD1LVL ビットは、LVD1CMPCR.LVD1E ビットと LVD2CMPCR.LVD2E ビットの両方が 0 の時だけ書き換えることができます。また、電圧検出回路 1 と電圧検出回路 2 は、同じ電圧検出レベルに設定しないでください。

LVD1CMPCR.LVD1LVL ビットと LVD1CMPCR.LVD1E ビットを同時に書き換えないでください。

LVD1E ビット（電圧検出 1 許可）

電圧検出 1 の割り込み／リセットまたは LVD1SR.MON ビットを使用する場合、LVD1E ビットを 1 にしてください。LVD1E ビットの値を 0 から 1 に変更した後、$t_{d(E-A)}$ 経過すると、電圧検出 1 回路が動作を開始します。また、ディープソフトウェアスタンバイモード時に電圧検出 1 回路を使用する場合、DPSBYCR.DEEPCUT[1:0]ビットを 11b にしないでください。

7.2.3 LVD2CMPCR : 電圧監視 2 コンパレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x418

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LVD2E	—	—	—	—	LVD2LVL[2:0]		
Value after reset:	0	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
2:0	LVD2LVL[2:0]	電圧検出 2 レベル選択（電圧下降時の標準電圧） 1 0 1: 2.99 V (Vdet2_1) 1 1 0: 2.92 V (Vdet2_2) 1 1 1: 2.85 V (Vdet2_3) その他: 設定禁止	R/W
6:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	LVD2E	電圧検出 2 許可 0: 電圧検出 2 回路無効 1: 電圧検出 2 回路有効	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

LVD2CMPCR.LVD2LVL ビットは、LVD1CMPCR.LVD1E ビットと LVD2CMPCR.LVD2E ビットの両方が 0 の時だけ書き換えることができます。また、電圧検出回路 1 と電圧検出回路 2 は、同じ電圧検出レベルに設定しないでください。

LVD2CMPCR.LVD2LVL ビットと LVD2CMPCR.LVD2E ビットを同時に書き換えないでください。

LVD2E ビット（電圧検出 2 許可）

電圧検出 2 の割り込み／リセットまたは LVD2SR.MON ビットを使用する場合、LVD2E ビットを 1 にしてください。LVD2E ビットの値を 0 から 1 に変更した後、$t_{d(E-A)}$ 経過すると、電圧検出 2 回路が動作を開始します。ま

た、ディープソフトウェアスタンバイモード時に電圧検出 2 回路を使用する場合、DPSBYCR.DEEPCUT[1:0]ビットを 11b にしないでください。

7.2.4 LVD1CR0 : 電圧監視 1 回路コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x41A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RN	RI	FSAMP[1:0]		—	CMPE	DFDIS	RIE
Value after reset:	1	0	0	0	x	0	1	0

ビット	シンボル	機能	R/W
0	RIE	電圧監視 1 割り込み／リセット許可 0: 禁止 1: 許可	R/W
1	DFDIS	電圧監視 1 デジタルフィルタイネーブル 0: デジタルフィルタ有効 1: デジタルフィルタ無効	R/W
2	CMPE	電圧監視 1 回路比較結果出力許可 0: 電圧監視 1 回路比較結果出力禁止 1: 電圧監視 1 回路比較結果出力許可	R/W
3	—	読み出し値は不定です。 書く場合、1 としてください。	R/W
5:4	FSAMP[1:0]	サンプリングクロック選択 0 0: LOCO クロックの 2 分周 0 1: LOCO クロックの 4 分周 1 0: LOCO クロックの 8 分周 1 1: LOCO クロックの 16 分周	R/W
6	RI	電圧監視 1 回路モード選択 0: V_{det1} 通過時に電圧監視 1 割り込み発生 1: 下降して V_{det1} 通過時に電圧監視 1 リセット許可	R/W
7	RN	電圧監視 1 リセットネゲート選択 0: VCC ＞ V_{det1} 検出時、一定時間 (t_{LVD1}) 経過後にネゲート 1: LVD1 リセットアサート時、一定時間 (t_{LVD1}) 経過後にネゲート	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

RIE ビット（電圧監視 1 割り込み／リセット許可）

RIE ビットは電圧監視 1 リセットと電圧監視 1 割り込みを許可または禁止にします。フラッシュメモリのプログラム／イレーズ中は、0 に設定してください。

DFDIS ビット（電圧監視 1 デジタルフィルタイネーブル）

DFDIS ビットはデジタルフィルタの有効または無効を設定します。このビットが 0（有効）の場合、LOCOCR.LCSTP ビットは 0（LOCO 動作）にしてください。電圧監視 1 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで使用する場合、このビットを 1（無効）にしてください。

CMPE ビット（電圧監視 1 回路比較結果出力許可）

CMPE ビットは、電圧監視 1 回路比較結果出力を許可／禁止します。電圧検出 1 回路を有効にして安定化時間 ($t_{d(E-A)}$) 経過後に、CMPE ビットを 1 に設定してください。電圧検出 1 回路を停止するときは、CMPE ビットを 0 に設定してから電圧検出 1 回路を無効にしてください。

FSAMP[1:0]ビット（サンプリングクロック選択）

FSAMP[1:0]ビットは、LVD1CR0.DFDIS ビットが 1（デジタルフィルタ無効）の場合のみ、本ビットを書き換え可能です。LVD1CR0.DFDIS ビットが 0（デジタルフィルタ有効）の場合は書き換えないでください。

RI ビット（電圧監視 1 回路モード選択）

RI ビットが 1（電圧監視 1 リセット選択）の場合、ディープソフトウェアスタンバイモードへ遷移できません。この場合、ソフトウェアスタンバイモードへ遷移します。ディープソフトウェアスタンバイモードへ遷移するには、RI ビットを 0（電圧監視 1 割り込み選択）にしてください。

RN ビット（電圧監視 1 リセットネゲート選択）

RN ビットを 1（電圧監視 1 リセットアサート後、一定時間経過後に電圧監視 1 リセットをネゲート）にする場合は、LOCOCR.LCSTP ビットは 0（LOCO 動作）にしてください。また、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードでは、RN ビットは 0（VCC ＞ V_{det1} 検出時、一定時間経過後にネゲート）のみが可能です。この場合、RN ビットを 1 にしないでください。

7.2.5 LVD2CR0 : 電圧監視 2 回路コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x41B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RN	RI	FSAMP[1:0]		—	CMPE	DFDIS	RIE
Value after reset:	1	0	0	0	x	0	1	0

ビット	シンボル	機能	R/W
0	RIE	電圧監視 2 割り込み／リセット許可 0: 禁止 1: 許可	R/W
1	DFDIS	電圧監視 2 デジタルフィルタイネーブル 0: デジタルフィルタ有効 1: デジタルフィルタ無効	R/W
2	CMPE	電圧監視 2 回路比較結果出力許可 0: 電圧監視 2 回路比較結果出力禁止 1: 電圧監視 2 回路比較結果出力許可	R/W
3	—	読み出し値は不定です。 書く場合、1 としてください。	R/W
5:4	FSAMP[1:0]	サンプリングクロック選択 0 0: LOCO クロックの 2 分周 0 1: LOCO クロックの 4 分周 1 0: LOCO クロックの 8 分周 1 1: LOCO クロックの 16 分周	R/W
6	RI	電圧監視 2 回路モード選択 0: V_{det2} 通過時に電圧監視 2 割り込み発生 1: 下降して V_{det2} 通過時に電圧監視 2 リセット許可	R/W
7	RN	電圧監視 2 リセットネゲート選択 0: VCC ＞ V_{det2} 検出時、一定時間 (t_{LVD2}) 経過後にネゲート 1: LVD2 リセットアサート時、一定時間 (t_{LVD2}) 経過後にネゲート	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

RIE ビット（電圧監視 2 割り込み／リセット許可）

RIE ビットは電圧監視 2 リセットと電圧監視 2 割り込みを許可または禁止にします。フラッシュメモリのプログラム／イレーズ中は、0 に設定してください。

DFDIS ビット（電圧監視 2 デジタルフィルタイネーブル）

DFDIS ビットはデジタルフィルタの有効または無効を設定します。このビットが 0（デジタルフィルタ有効）の場合、LOCOCR.LCSTP ビットは 0（LOCO 動作）にしてください。電圧監視 2 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで使用する場合、このビットを 1（デジタルフィルタ無効）にしてください。

CMPE ビット（電圧監視 2 回路比較結果出力許可）

CMPE ビットは、電圧監視 2 回路比較結果出力を許可／禁止します。電圧検出 2 回路を有効にして安定化時間（$t_{d(E-A)}$）経過後に、CMPE ビットを 1 に設定してください。電圧検出 2 回路を停止するときは、CMPE ビットを 0 に設定してから電圧検出 2 回路を無効にしてください。

FSAMP[1:0] ビット（サンプリングクロック選択）

FSAMP[1:0]ビットは LVD2CR0.DFDIS ビットが 1（デジタルフィルタ無効）の場合のみ、本ビットを書き換え可能です。LVD2CR0.DFDIS ビットが 0（デジタルフィルタ有効）の場合は書き換えないでください。

RI ビット（電圧監視 2 回路モード選択）

RI ビットが 1（電圧監視 2 リセット選択）の場合、ディープソフトウェアスタンバイモードへ遷移できません。この場合、ソフトウェアスタンバイモードへ遷移します。ディープソフトウェアスタンバイモードへ遷移するには、RI ビットを 0（電圧監視 2 割り込み選択）にしてください。

RN ビット（電圧監視 2 リセットネゲート選択）

RN ビットを 1（電圧監視 2 リセットアサート後、一定時間経過後に電圧監視 2 リセットをネゲート）にする場合は、LOCOCR.LCSTP ビットは 0（LOCO 動作）にしてください。また、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードでは、RN ビットは 0（VCC > V_{det2} 検出時、一定時間経過後にネゲート）のみが可能です。この場合、RN ビットを 1 にしないでください。

7.2.6 LVD1CR1 : 電圧監視 1 回路コントロールレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x0E0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	IDTSEL[1:0]	電圧監視 1 割り込み発生条件選択 0 0: VCC ≧ V_{det1}（上昇）検出時に発生 0 1: VCC ＜ V_{det1}（下降）検出時に発生 1 0: 下降および上昇検出時に発生 1 1: 設定禁止	R/W
2	IRQSEL	電圧監視 1 割り込み種類選択 0: ノンマスカブル割り込み 1: マスカブル割り込み(注1)	R/W
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. マスカブル割り込みを設定する場合、ICU にある NMIER.LVD1EN ビットをリセット状態から変更しないでください。

7.2.7 LVD1SR : 電圧監視 1 回路ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0E1

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MON	DET
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	DET	電圧監視 1 電圧変化検出フラグ 0: 未検出 1: V_{det1} 通過検出	R/W(注1)
1	MON	電圧監視 1 信号モニタフラグ 0: VCC < V_{det1} 1: VCC ≧ V_{det1} または MON 無効	R
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックで 2 サイクルの時間が必要です。

DET フラグ（電圧監視 1 電圧変化検出フラグ）

DET フラグは、LVD1CMPCR.LVD1E ビットが 1（電圧検出 1 回路有効）であり、かつ LVD1CR0.CMPE ビットが 1（電圧監視 1 回路比較結果出力許可）のときに有効になります。

V_{det1} を検出するとき、DET フラグを 0 にするときは、LVD1CR0.RIE を 0（禁止）にしてから行ってください。LVD1CR0.RIE ビットを 0 に設定した後そのビットを 1（許可）に設定する場合は、PCLKB の 2 クロック期間以上待ってから設定してください。

MON フラグ（電圧監視 1 信号モニタフラグ）

MON フラグは、LVD1CMPCR.LVD1E ビットが 1（電圧検出 1 回路有効）であり、かつ LVD1CR0.CMPE ビットが 1（電圧監視 1 回路比較結果出力許可）のときに有効になります。

7.2.8 LVD2CR1 : 電圧監視 2 回路コントロールレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x0E2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	IDTSEL[1:0]	電圧監視 2 割り込み発生条件選択 0 0: VCC ≧ V_{det2}（上昇）検出時に発生 0 1: VCC ＜ V_{det2}（下降）検出時に発生 1 0: 下降および上昇検出時に発生 1 1: 設定禁止	R/W
2	IRQSEL	電圧監視 2 割り込み種類選択 0: ノンマスカブル割り込み 1: マスカブル割り込み(注1)	R/W

ビット	シンボル	機能	R/W
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. マスカブル割り込みを設定する場合、ICU にある NMIER.LVD2EN ビットをリセット状態から変更しないでください。

7.2.9 LVD2SR : 電圧監視 2 回路ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0E3

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MON	DET
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	DET	電圧監視 2 電圧変化検出フラグ 0: 未検出 1: V_{det2} 通過検出	R/W(注1)
1	MON	電圧監視 2 信号モニタフラグ 0: VCC < V_{det2} 1: VCC ≧ V_{det2} または MON 無効	R
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックで 2 サイクルの時間が必要です。

DET フラグ（電圧監視 2 電圧変化検出フラグ）

DET フラグは、LVD2CMPCR.LVD2E ビットが 1（電圧検出 2 回路有効）であり、かつ LVD2CR0.CMPE ビットが 1（電圧監視 2 回路比較結果出力許可）のときに有効になります。

DET フラグを 0 にするときは、LVD2CR0.RIE ビットを 0（禁止）にしてから行ってください。LVD2CR0.RIE ビットを 0 に設定した後そのビットを 1（許可）に設定する場合は、PCLKB の 2 クロック期間以上待ってから設定してください。

MON フラグ（電圧監視 2 信号モニタフラグ）

MON フラグは、LVD2CMPCR.LVD2E ビットが 1（電圧検出 2 回路有効）であり、かつ LVD2CR0.CMPE ビットが 1（電圧監視 2 回路比較結果出力許可）のときに有効になります。

7.3 VCC 入力電圧のモニタ

7.3.1 V_{det0} のモニタ

電圧監視 0 の比較結果は、読み出すことができません。

7.3.2 V_{det1} のモニタ

表 7.2 に V_{det1} のモニタの設定手順を示します。設定が完了すると、LVD1SR.MON フラグで電圧監視 1 の比較結果をモニタできます。

表 7.2 V_{det1} のモニタの設定手順

手順		電圧監視 1 割り込み（電圧監視 1 ELC イベント出力）、電圧監視 1 リセット
電圧検出 1 回路の設定	1	LVCMPCR レジスタへ書き込む前に、LVCMPCR.LVD1E = 0 にして、電圧検出 1 回路を無効にする
	2	LVD1CMPCR.LVD1LVL[4:0]ビットで検出電圧を選択する
	3	LVD1CMPCR.LVD1E = 1 にして、電圧検出 1 回路を有効にする
	4	$t_{d(E-A)}$（LVD 有効切り替え後の LVD 動作安定時間）以上待つ(注1)
デジタルフィルタの設定 (注2)	5	LVD1CR0.FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する
	6	LVD1CR0.DFDIS = 0 にして、デジタルフィルタを有効にする
	7	LOCO クロックの 2n+3 サイクル以上待つ（ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの n 分周である）
出力許可の設定	8	LVD1CR0.CMPE = 1 にして、電圧監視 1 の比較結果出力を許可する

注 1. 手順 4 の待ち時間中に手順 5～7 を行うことができます。$t_{d(E-A)}$の詳細は、「46. 電気的特性」を参照してください。
注 2. デジタルフィルタを使用しない場合、手順 5～7 は不要です。

7.3.3 V_{det2} のモニタ

表 7.3 に V_{det2} のモニタの設定手順を示します。設定が完了すると、LVD2SR.MON フラグで電圧監視 2 の比較結果をモニタできます。

表 7.3 V_{det2} のモニタの設定手順

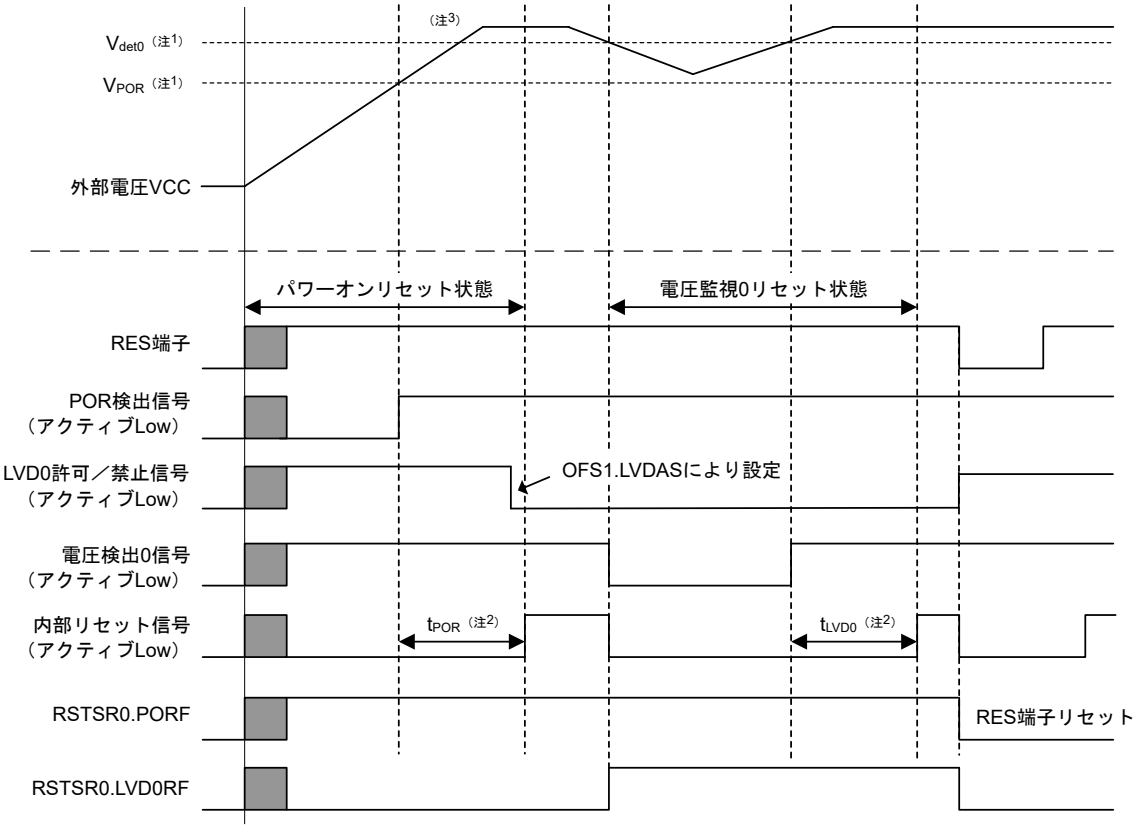
手順		電圧監視 2 割り込み、リセット
電圧検出 2 回路の設定	1	LVCMPCR.LVD2LVL[2:0]ビットへ書き込む前に、LVCMPCR.LVD2E = 0 にして、電圧検出 2 回路を無効にする
	2	LVD2CMPCR.LVD2LVL[2:0]ビットで検出電圧を選択する
	3	LVD2CMPCR.LVD2E = 1 にして、電圧検出 2 を有効にする
	4	$t_{d(E-A)}$（LVD2 有効切り替え後の LVD2 動作安定時間）以上待つ(注1)
デジタルフィルタの設定 (注2)	5	LVD2CR0.FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する
	6	LVD2CR0.DFDIS = 0 にして、デジタルフィルタを有効にする
	7	LOCO クロックの 2n+3 サイクル以上待つ（ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの n 分周である）
出力許可の設定	8	LVD2CR0.CMPE = 1 にして、電圧監視 2 の比較結果出力を許可する

注 1. 手順 4 の待ち時間中に手順 5～7 を行うことができます。$t_{d(E-A)}$の詳細は、「46. 電気的特性」を参照してください。
注 2. デジタルフィルタを使用しない場合、手順 5～7 は不要です。

7.4 電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0（リセット後、電圧監視 0 リセット有効）にしてください。ただし、ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧監視 0 リセットは無効です。

図 7.4 に電圧監視 0 リセットの動作例を示します。



注. 電気的特性の詳細は、「46. 電気的特性」を参照してください。
注 1. V_{POR} はパワーオンリセットの検出レベルを表し、V_{det0} は電圧監視 0 リセットの検出レベルを表します。
注 2. t_{POR}: パワーオンリセットが解除されるまでの期間
t_{LVD0}: LVD0 リセットが解除されるまでの期間
注 3. パワーオンの際に VCC が最低保証電圧に達した後、パワーオンリセットが解除されます。

図 7.4 電圧監視 0 リセットの動作例

7.5 電圧監視 1 割り込み、電圧監視 1 リセット

電圧監視 1 回路での比較結果により、割り込みやリセットを発生させることができます。

表 7.4 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を示します。表 7.5 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を示します。図 7.5 に電圧監視 1 割り込みの動作例を示します。電圧監視 1 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

なお、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで電圧監視 1 回路を使用する場合は、回路を本項に記述している手順で設定してください。

(1) ソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (LVD1CR0.DFDIS = 1) にしてください。
- VCC > V_{det1} 検出時、LVD1 動作安定時間経過後に電圧監視 1 リセット信号をネゲート (LVD1CR0.RN = 0) にしてください。

(2) ディープソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (LVD1CR0.DFDIS = 1) にしてください。
- 電圧監視 1 割り込みを許可 (LVD1CR0.RI = 0) にしてください。電圧監視 1 リセットが許可 (LVD1CR0.RI = 1) になっている場合、ディープソフトウェアスタンバイモードへ遷移せず、ソフトウェアスタンバイモードへ遷移します。

- DPSBYCR.DEEPCUT[1:0]ビットが 11b の場合は、電圧監視 1 回路が停止します。ディープソフトウェアスタンバイモードで電圧監視 1 回路を使用するには、DPSBYCR.DEEPCUT[1:0]ビットを 11b 以外にします。

表 7.4　電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順		電圧監視 1 割り込み（電圧監視 1 ELC イベント出力）	電圧監視 1 リセット
電圧検出 1 回路の設定	1	LVD1CMPCR レジスタへ書き込む前に、LVD1CMPCR.LVD1E = 0 にして、電圧検出 1 回路を無効にしてください	
	2	LVD1CMPCR.LVD1LVL[4:0]ビットで検出電圧を選択してください	
	3	LVD1CMPCR.LVD1E = 1 にして、電圧検出 1 回路を有効にしてください	
	4	$t_{d(E-A)}$（LVD1 有効切り替え後の LVD1 動作安定時間）以上待ってください(注1)	
デジタルフィルタの設定 (注3)	5	LVD1CR0.FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択してください	
	6	LVD1CR0.DFDIS = 0 にして、デジタルフィルタを有効にしてください	
	7	LOCO クロックの 2n+3 サイクル以上待ってください（ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの n 分周です）(注4)	
電圧監視 1 割り込み/リセットの設定	8	LVD1CR0.RI = 0 にして、電圧監視 1 割り込みを選択してください	• LVD1CR0.RI = 1 にして、電圧監視 1 リセットを選択してください • LVD1CR0.RN ビットでリセットネゲートの種類を選択してください
	9	• LVD1CR1.IDTSEL[1:0]ビットで割り込み要求のタイミングを選択してください • LVD1CR1.IRQSEL ビットで割り込みの種類を選択してください	—
出力許可の設定	10	LVD1SR.DET = 0 にしてください	
	11	LVD1CR0.RIE = 1 にして、電圧監視 1 割り込み／リセットを許可してください(注2)	
	12	LVD1CR0.CMPE = 1 にして、電圧監視 1 の比較結果出力を許可してください	

注 1.　手順 4 の待ち時間中に手順 5～11 を行うことができます。$t_{d\ (E-A)}$の詳細は、「46. 電気的特性」を参照してください。
注 2.　ELC イベント信号のみを出力させる場合、手順 11 は不要です。
注 3.　デジタルフィルタを使用しない場合、手順 5～7 は不要です。
注 4.　手順 7 の待ち時間中に手順 8～11 を行うことができます。

表 7.5　電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

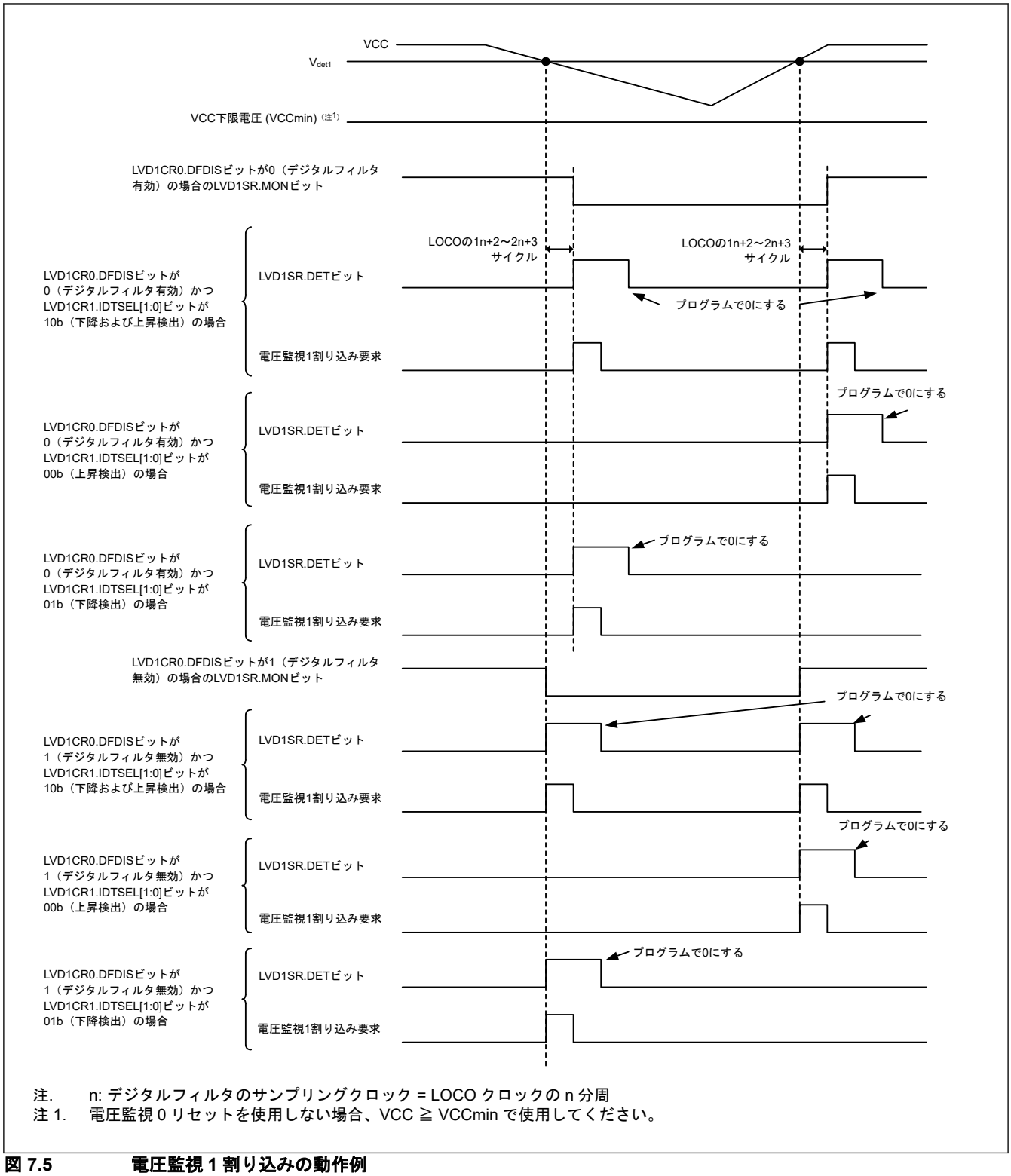
手順		電圧監視 1 割り込み（電圧監視 1 ELC イベント出力）、電圧監視 1 リセット
出力許可停止の設定	1	LVD1CR0.CMPE = 0 にして、電圧監視 1 の比較結果出力を禁止してください
	2	LOCO クロックの 2n+3 サイクル以上待ってください（ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの n 分周である）(注2)
	3	LVD1CR0.RIE = 0 にして、電圧監視 1 割り込み／リセットを禁止してください(注1)
デジタルフィルタ停止の設定	4	LVD1CR0.DFDIS = 1 にして、デジタルフィルタを無効にしてください(注2) (注3)
電圧検出 1 回路停止の設定	5	LVD1CMPCR.LVD1E = 0 にして、電圧検出 1 回路を無効にしてください

注 1.　ELC イベント信号のみを出力させる場合、手順 3 は不要です。
注 2.　デジタルフィルタを使用しない場合、手順 2 と 4 は不要です。
注 3.　デジタルフィルタを有効状態から無効にした後に再度有効にする場合、無効にしてから再度有効にするまで、LOCO クロックの 2 サイクル以上待つ必要があります。

電圧監視 1 割り込み／リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 1 回路の設定を変更しない場合、電圧検出 1 回路に対する再設定は不要
- デジタルフィルタの設定を変更しない場合、デジタルフィルタに対する再設定は不要
- 電圧監視 1 割り込み／リセットの設定を変更しない場合、電圧監視 1 割り込み／リセットに対する再設定は不要

図 7.5 に電圧監視 1 割り込みの動作例を示します。



注. n: デジタルフィルタのサンプリングクロック = LOCO クロックの n 分周
注 1. 電圧監視 0 リセットを使用しない場合、VCC ≧ VCCmin で使用してください。

図 7.5 電圧監視 1 割り込みの動作例

7.6 電圧監視 2 割り込み、リセット

電圧監視 2 回路での比較結果により、割り込みやリセットを発生させることができます。

表 7.6 に、電圧監視 2 割り込み、リセット関連ビットの動作設定手順を示します。表 7.7 に、電圧監視 2 割り込み、リセット関連ビットの停止設定手順を示します。図 7.6 に電圧監視 2 割り込みの動作例を示します。電圧監視 2 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

なお、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード電圧監視 2 回路を使用する場合は、回路を以下のように設定してください。

(1) ソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (LVD2CR0.DFDIS = 1) にしてください。
- VCC ＞ V_{det2} 検出時、LVD2 動作安定時間経過後に電圧監視 2 リセット信号をネゲート(LVD2CR0.RN = 0) にしてください。

(2) ディープソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (LVD2CR0.DFDIS = 1) にしてください。
- 電圧監視 2 割り込みを許可 (LVD2CR0.RI = 0) にしてください。電圧監視 2 リセットが許可 (LVD2CR0.RI = 1) になっている場合、ディープソフトウェアスタンバイモードへ遷移せず、ソフトウェアスタンバイモードへ遷移します。
- DPSBYCR.DEEPCUT[1:0]ビットが 11b の場合は、電圧監視 2 回路が停止します。ディープソフトウェアスタンバイモードで電圧監視 2 回路を使用するには、DPSBYCR.DEEPCUT[1:0]ビットを 11b 以外にします。

表 7.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順		電圧監視 2 割り込み(電圧監視 2ELC イベント出力)	電圧監視 2 リセット
電圧検出 2 回路の設定	1	LVD2CMPCR レジスタへ書き込む前に、LVD2CMPCR.LVD2E = 0 にして、電圧検出 2 回路を無効にしてください	
	2	LVD2CMPCR.LVD2LVL[2:0]ビットで検出電圧を選択してください	
	3	LVD2CMPCR.LVD2E = 1 にして、電圧検出 2 回路を有効にしてください	
	4	$t_{d(E-A)}$（LVD2 有効切り替え後の LVD2 動作安定時間）以上待ってください(注1)	
デジタルフィルタの設定 (注3)	5	LVD2CR0.FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択してください	
	6	LVD2CR0.DFDIS = 0 にして、デジタルフィルタを有効にしてください	
	7	LOCO クロックの 2n+3 サイクル以上待ってください（ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの n 分周です）(注4)	
電圧監視 2 割り込み/リセットの設定	8	LVD2CR0.RI = 0 にして、電圧監視 2 割り込みを選択してください	• LVD2CR0.RI = 1 にして、電圧監視 2 リセットを選択してください • LVD2CR0.RN ビットでリセットネゲートの種類を選択してください
	9	• LVD2CR1.IDTSEL[1:0]ビットで割り込み要求のタイミングを選択してください • LVD2CR1.IRQSEL ビットで割り込みの種類を選択してください	—
出力許可の設定	10	LVD2SR.DET = 0 にしてください	
	11	LVD2CR0.RIE = 1 にして、電圧監視 2 割り込み／リセットを許可してください(注2)	
	12	LVD2CR0.CMPE = 1 にして、電圧監視 2 回路の比較結果出力を許可してください	

注 1. 手順 4 の待ち時間中に手順 5～11 を行うことができます。$t_{d(E-A)}$の詳細は、「46. 電気的特性」を参照してください。
注 2. ELC イベント信号のみが出力される場合は、手順 11 は不要です。
注 3. デジタルフィルタを使用しない場合、手順 5～7 は不要です。
注 4. 手順 7 の待ち時間中に手順 8～11 を行うことができます。

表 7.7 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

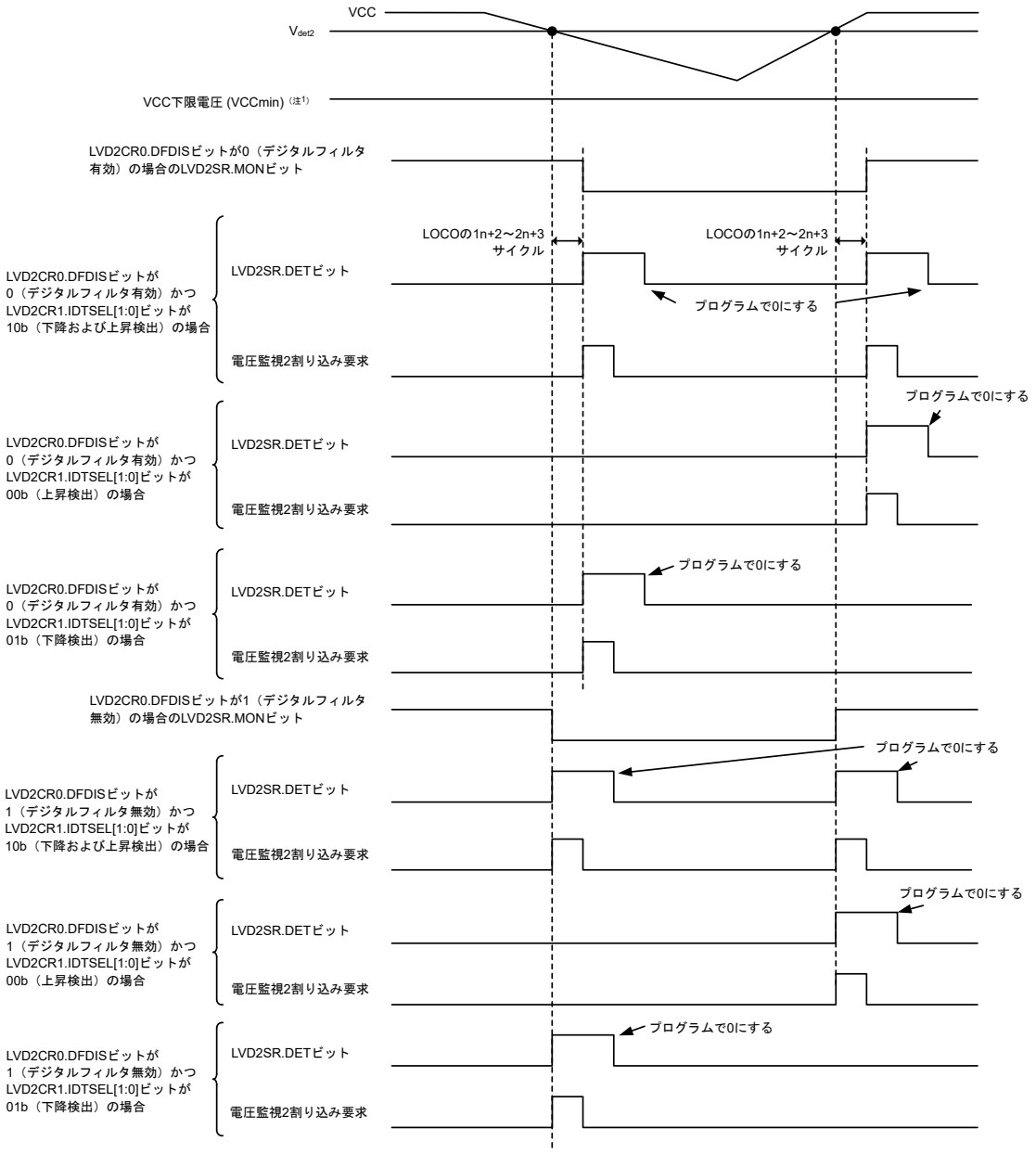
手順		電圧監視 2 割り込み (電圧監視 2ELC イベント出力)、電圧監視 2 リセット
出力許可停止の設定	1	LVD2CR0.CMPE = 0 にして、電圧監視 2 回路の比較結果出力を禁止してください
	2	LOCO クロックの 2n+3 サイクル以上待ってください（ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの n 分周です）(注2)
	3	LVD2CR0.RIE = 0 にして、電圧監視 2 割り込み／リセットを禁止してください(注1)
デジタルフィルタ停止の設定	4	LVD2CR0.DFDIS = 1 にして、デジタルフィルタを無効にしてください(注2) (注3)
電圧検出 2 回路停止の設定	5	LVD2CMPCR.LVD2E = 0 にして、電圧検出 2 回路を無効にしてください

注 1. ELC イベント信号のみが出力される場合は、手順 3 は不要です。

注 2. デジタルフィルタを使用しない場合、手順 2 と 4 は不要です。
注 3. デジタルフィルタを有効状態から無効にした後に再度有効にする場合、無効にしてから再度有効にするまで、LOCO クロックの 2 サイクル以上待つ必要があります。

電圧監視 2 割り込み／リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 2 回路の設定を変更しない場合、その回路に対する再設定は不要
- デジタルフィルタの設定を変更しない場合、デジタルフィルタに対する再設定は不要
- 電圧監視 2 割り込みまたは電圧監視 2 リセットの設定を変更しない場合、電圧監視 2 割り込みまたはリセットに対する再設定は不要



注. n: デジタルフィルタのサンプリングクロック = LOCO クロックの n 分周
注 1. 電圧監視 0 リセットを使用しない場合、VCC ≧ VCCmin で使用してください。

図 7.6 電圧監視 2 割り込みの動作例

7.7 ELC によるリンク動作

LVD は、ELC に対してイベント信号出力が可能です。

(1) V_{det1} 通過検出イベント

電圧検出 1 回路有効かつ電圧監視 1 回路比較結果出力許可の状態において、V_{det1} 通過を検出した場合にイベント信号を出力します。

(2) V_{det2} 通過検出イベント

電圧検出 2 回路有効かつ電圧監視 2 回路比較結果出力許可の状態において、V_{det2} 通過を検出した場合にイベント信号を出力します。

LVD のイベントリンク出力機能を有効にする場合、LVD を有効にしてから、ELC 側の LVD イベントリンク機能を有効にする必要があります。LVD のイベントリンク出力機能を停止にする場合は、LVD を停止してから、ELC 側の LVD イベントリンク機能を無効にする必要があります。

7.7.1 割り込み処理とイベントリンクの関係

LVD には、電圧監視 1 と電圧監視 2 割り込みに割り込み許可／禁止を制御するビットがあります。割り込み要因が発生すると、割り込み許可ビットが許可の場合は、割り込み信号が CPU へ出力されます。

これに対してイベントリンク信号は、割り込み許可ビットの状態とは無関係に、割り込み要因が発生するとただちに ELC を介して他のモジュールにイベント信号として出力されます。

ソフトウェアスタンバイモード、およびディープソフトウェアスタンバイモードにおいても、電圧監視 1 および電圧監視 2 割り込み信号を出力することができます。ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードでは、ELC 用のイベント信号が以下のように出力されます。

- ソフトウェアスタンバイモード期間中に V_{det1} または V_{det2} 通過イベントを検出した場合、ソフトウェアスタンバイモードではクロックが供給されていないため ELC 用のイベント信号は出力されません。V_{det1} および V_{det2} 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、V_{det1} および V_{det2} 検出フラグ状態にしたがって ELC 用のイベント信号が出力されます。
- ディープソフトウェアスタンバイモード期間中に Vdet1 または Vdet2 通過イベントを検出した場合、ELC 用のイベント信号は出力されません。

8. クロック発生回路

8.1 概要

本 MCU はクロック発生回路を内蔵しています。表 8.1 および表 8.2 に、クロック発生回路の仕様を示します。図 8.1 にブロック図を、表 8.3 に入出力端子を示します。

表 8.1 クロック発生回路の仕様（クロックソース）

クロックソース	項目	内容
メインクロック発振器 (MOSC)	発振子周波数	8 MHz～24 MHz
	外部クロック入力周波数	最高 24 MHz
	外部発振子または付加回路	セラミック発振子、水晶振動子
	接続端子	EXTAL, XTAL
	駆動能力切り替え	あり
	発振停止検出機能	あり
PLL 回路	入力クロックソース	MOSC, HOCO
	入力分周比	1, 2, 3 分周から選択可能
	入力周波数	8 MHz～24 MHz
	逓倍比	10～30 逓倍から選択可能（0.5 ステップ単位）
	出力分周比	なし
	PLL 出力周波数	120 MHz～240 MHz
PLL2 回路	入力クロックソース	MOSC, HOCO
	入力分周比	1, 2, 3 分周から選択可能
	入力周波数	8 MHz～24 MHz
	逓倍比	10～30 逓倍から選択可能（0.5 ステップ単位）
	出力分周比	なし
	PLL 出力周波数	120 MHz～240 MHz
	PLL2-LDO ストップ機能	なし
高速オンチップオシレータ (HOCO)	発振周波数	16/18/20 MHz
	FLL 機能	なし
	ユーザートリミング	あり
中速オンチップオシレータ (MOCO)	発振周波数	8 MHz
	ユーザートリミング	あり
低速オンチップオシレータ (LOCO)	発振周波数	32.768 kHz
	ユーザートリミング	あり
IWDT 専用オンチップオシレータ (IWDTLOCO)	発振周波数	15 kHz
	ユーザートリミング	なし
JTAG 用外部クロック入力 (TCK)	入力クロック周波数	最高 25 MHz
SWD 用外部クロック入力 (SWCLK)	入力クロック周波数	最高 25 MHz

表 8.2 クロック発生回路の仕様（内部クロック） (1/2)

項目	クロックソース	クロック供給	内容
システムクロック (ICLK)	MOSC/HOCO/MOCO/ LOCO/PLL	CPU, DTC, DMAC、フラッシュ、 RAM, I/O ポート、TFU, IIRFA	最高 240 MHz 分周比：1/2/4/8/16/32/64

表 8.2 クロック発生回路の仕様（内部クロック） (2/2)

項目	クロックソース	クロック供給	内容
周辺モジュールクロック A (PCLKA)	MOSC/HOCO/MOCO/ LOCO/PLL	周辺モジュール (SCI, CANFD-RAM, CNECC, SPI, CRC, DOC, ADC, DAC12, SCE5, GPT bus clock, PDG, IIC)	最高 120 MHz 分周比：1/2/4/8/16/32/64
周辺モジュールクロック B (PCLKB)	MOSC/HOCO/MOCO/ LOCO/PLL	周辺モジュール (CAC, ELC, POEG, WDT, IWDT, AGT, CANFD, TSN、スタンバイ SRAM, KINT ACMPHS)	最高 60 MHz 分周比：1/2/4/8/16/32/64
周辺モジュールクロック C (PCLKC)	MOSC/HOCO/MOCO/ LOCO/PLL	周辺モジュール (ADC)	最高 60 MHz 分周比：1/2/4/8/16/32/64
周辺モジュールクロック D (PCLKD)	MOSC/HOCO/MOCO/ LOCO/PLL	周辺モジュール (GPT)	最高 120 MHz 分周比：1/2/4/8/16/32/64
FlashIF クロック (FCLK)	MOSC/HOCO/MOCO/ LOCO/PLL	FlashIF	4 MHz～60 MHz (P/E) 最高 60 MHz（読み出し） 分周比：1/2/4/8/16/32/64
CANFD クロック (CANFDCLK)	PLL/PLL2	CANFD	最高 40 MHz 分周比：1/2/4/6/8
CAN クロック (CANMCLK)	MOSC	CANFD	8 MHz～24 MHz
GPT 用周辺モジュール非同期クロック (GPTCLK)	MOSC/HOCO/MOCO/ LOCO/PLL/PLL2	GPT	最高 200 MHz 分周比：1/2/4/6/8
IIC 用周辺モジュール非同期クロック (IICCLK)	MOSC/HOCO/MOCO/ LOCO/PLL/PLL2	IIC	最高 200 MHz 分周比：1/2/4/6/8
SCI/SPI 用周辺モジュール非同期クロック (SCISPICLK)	MOSC/HOCO/MOCO/ LOCO/PLL/PLL2	SCI, SPI	最高 120 MHz 分周比：1/2/4/6/8
AGT クロック (AGTLCLK)	LOCO	AGT	32.768 kHz
CAC メインクロック (CACMCLK)	MOSC	CAC	最高 24 MHz
CAC LOCO クロック (CACLCLK)	LOCO	CAC	32.768 kHz
CAC MOCO クロック (CACMOCLK)	MOCO	CAC	8 MHz
CAC HOCO クロック (CACHCLK)	HOCO	CAC	16/18/20 MHz
CAC IWDTLOCO クロック (CACILCLK)	IWDTLOCO	CAC	15 kHz
IWDT クロック (IWDTCLK)	IWDTLOCO	IWDT	15 kHz
SysTick タイマクロック (SYSTICCLK)	LOCO	SysTick タイマ	32.768 kHz
JTAG クロック (JTAGTCK)	TCK	JTAG	最高 25 MHz
シリアルワイヤクロック (SWCLK)	SWCLK	OCD	最高 25 MHz
トレースクロック (TRCLK)	MOSC/HOCO/MOCO/ LOCO/PLL	CPU-OCD	最高 120 MHz 分周比：1/2/4
TCLK 端子出力 (TCLK)	TRCLK の 2 分周	TCLK 端子	最高 60 MHz
クロック／ブザー出力 (CLKOUT)	MOSC/LOCO/MOCO/HOCO	CLKOUT 端子	最高 24 MHz 分周比：1/2/4/8/16/32/64/128

注. クロック周波数の設定に関する制限：ICLK ≧ PCLKA ≧ PCLKB, PCLKD ≧ PCLKA ≧ PCLKB, GPTCLK ≧ PCLKA
ICLK ≧ FCLK
クロック周波数比に関する制限：（N は最大 64 の整数）
ICLK:FCLK = N:1, ICLK:PCLKA = N:1, ICLK:PCLKB = N:1, ICLK:PCLKC = N:1 または 1:N, ICLK:PCLKD = N:1 または 1:N,
ICLK:TRCLK = N:1 または 1:N
CANFD を用いる場合、クロック周波数比は、PCLKA:PCLKB = 2:1 に制限されます。

注. P/E の場合の最低 FCLK 周波数 4 MHz における制限

注. HOCO 周波数を考慮し、PLL と PLL2 の逓倍は PLL, PLL2 の出力周波数範囲内としてください。HOCO 周波数を考慮し、PLL と PLL2 入力の分周も PLL, PLL2 の入力周波数範囲内としてください。

注. クロックには、許容周波数範囲があります（表 8.2 を参照してください）。
フラッシュメモリにも、各ウェイトサイクルの設定値に許容動作周波数範囲があります（「43. フラッシュメモリ」を参照してください）。
これらのクロック周波数範囲は HOCO 自身に最高または最低周波数があったとしても、必ず満たす必要があります（「46. 電気的特性」を参照してください）。

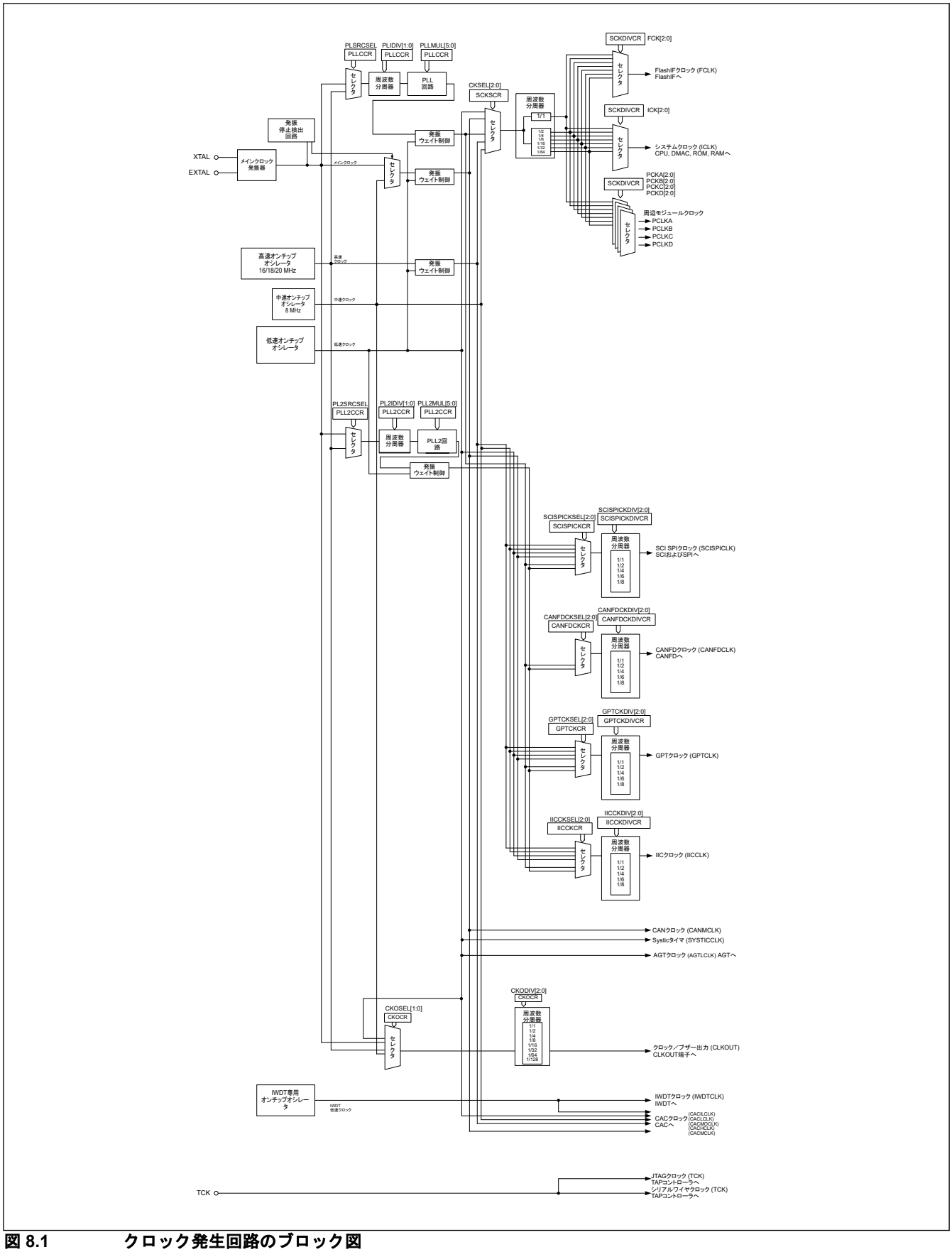


図 8.1　　クロック発生回路のブロック図

表 8.3 にクロック発生回路の入出力端子を示します。

表 8.3　クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	セラミック発振子、水晶振動子用の接続端子。EXTAL 端子は外部クロックを入力することもできます。詳細は、「8.3.2. 外部クロックを入力する方法」を参照してください。
EXTAL	入力	
TCK/SWCLK	入力	JTAG/SWD 用のクロック入力端子
CLKOUT	出力	CLKOUT/BUZZER クロックを出力します。

8.2　レジスタの説明

8.2.1　CGFSAR：クロック発生機能セキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	NONSEC20	NONSEC19	NONSEC18	NONSEC17	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	NONSEC11	—	NONSEC09	NONSEC08	—	NONSEC06	NONSEC05	NONSEC04	NONSEC03	NONSEC02	—	NONSEC00
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	NONSEC00(注1)	非セキュア属性ビット 00 対象レジスタ：SCKDIVCR、SCKSCR 対象要素：システムクロックコントロール 0: セキュア 1: 非セキュア	R/W
1	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
2	NONSEC02(注1)	非セキュア属性ビット 02 対象レジスタ： HOCOCR, HOCOUTCR 対象要素： HOCO 0: セキュア 1: 非セキュア	R/W
3	NONSEC03(注1)	非セキュア属性ビット 03 対象レジスタ：MOCOCR、MOCOUTCR 対象要素： MOCO 0: セキュア 1: 非セキュア	R/W
4	NONSEC04	非セキュア属性ビット 04 対象レジスタ：LOCOCR、LOCOUTCR 対象要素： LOCO 0: セキュア 1: 非セキュア	R/W
5	NONSEC05	非セキュア属性ビット 05 対象レジスタ：MOSCCR、MOSCWTCR、MOMCR 対象要素： MOSC 0: セキュア 1: 非セキュア	R/W
6	NONSEC06	非セキュア属性ビット 06 対象レジスタ：OSTDCR、OSTDSR 対象要素：発振停止検出コントロール 0: セキュア 1: 非セキュア	R/W
7	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
8	NONSEC08(注1)	非セキュア属性ビット 08 対象レジスタ：PLLCCR、PLLCR 対象要素： PLL 0: セキュア 1: 非セキュア	R/W
9	NONSEC09	非セキュア属性ビット 09 対象レジスタ：PLL2CCR、PLL2CR 対象要素： PLL2 0: セキュア 1: 非セキュア	R/W
10	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
11	NONSEC11	非セキュア属性ビット 11 対象レジスタ：CKOCR 対象要素：CLKOUT 制御 0: セキュア 1: 非セキュア	R/W
16:12	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
17	NONSEC17	非セキュア属性ビット 17 対象レジスタ： SCISPICKDIVCR, SCISPICKCR 対象要素： SCISPICLK 0: セキュア 1: 非セキュア	R/W
18	NONSEC18	非セキュア属性ビット 18 対象レジスタ：CANFDCKDIVCR、CANFDCKCR 対象要素：CANFDCLK 0: セキュア 1: 非セキュア	R/W
19	NONSEC19	非セキュア属性ビット 19 対象レジスタ： GPTCKDIVCR, GPTCKCR 対象要素： GPTCLK 0: セキュア 1: 非セキュア	R/W
20	NONSEC20	非セキュア属性ビット 20 対象レジスタ： IICCKDIVCR, IICCKCR 対象要素： IICCLK 0: セキュア 1: 非セキュア	R/W
31:21	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。
注 1. デバイスライフサイクルが NSECSD (DLMMON.DLMMON[3:0] = 0011b) である場合、これらのビットを非セキュアに設定することを推奨します。詳細は、「45.6.1. セキュリティ属性の設定に関する制限」を参照してください。

CGFSAR レジスタは、クロック発生機能レジスタのセキュリティ属性を制御します。

NONSEC00 ビット（非セキュア属性ビット 00）

本ビットは SCKDIVCR、SCKSCR レジスタのセキュリティ属性を制御します。

NONSEC02 ビット（非セキュア属性ビット 02）

本ビットは HOCOCR、HOCOUTCR レジスタのセキュリティ属性を制御します。

NONSEC03 ビット（非セキュア属性ビット 03）

本ビットは MOCOCR、MOCOUTCR レジスタのセキュリティ属性を制御します。

NONSEC04 ビット（非セキュア属性ビット 04）

本ビットは LOCOCR、LOCOUTCR レジスタのセキュリティ属性を制御します。

NONSEC05 ビット（非セキュア属性ビット 05）

本ビットは MOSCCR、MOSCWTCR、MOMCR レジスタのセキュリティ属性を制御します。

NONSEC06 ビット（非セキュア属性ビット 06）

本ビットは OSTDCR、OSTDSR レジスタのセキュリティ属性を制御します。

NONSEC08 ビット（非セキュア属性ビット 08）

本ビットは PLLCCR、PLLCR レジスタのセキュリティ属性を制御します。

NONSEC09 ビット（非セキュア属性ビット 09）

本ビットは PLL2CCR、PLL2CR レジスタのセキュリティ属性を制御します。

NONSEC11 ビット（非セキュア属性ビット 11）

本ビットは CKOCR レジスタのセキュリティ属性を制御します。

NONSEC17 ビット（非セキュア属性ビット 17）

本ビットは SCISPICKDIVCR、SCISPICKCR レジスタのセキュリティ属性を制御します。

NONSEC18 ビット（非セキュア属性ビット 18）

本ビットは CANFDCKDIVCR、CANFDCKCR レジスタのセキュリティ属性を制御します。

NONSEC19 ビット（非セキュア属性ビット 19）

本ビットは GPTCKDIVCR、GPTCKCR レジスタのセキュリティ属性を制御します。

NONSEC20 ビット（非セキュア属性ビット 20）

本ビットは IICCKDIVCR、IICCKCR レジスタのセキュリティ属性を制御します。

8.2.2 SCKDIVCR : システムクロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	FCK[2:0]			—	ICK[2:0]			—	—	—	—	—	RSV		
Value after reset:	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	PCKA[2:0]			—	PCKB[2:0]			—	PCKC[2:0]			—	PCKD[2:0]		
Value after reset:	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0

ビット	シンボル	機能	R/W
2:0	PCKD[2:0](注3)	周辺モジュールクロック D (PCLKD) 選択 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6:4	PCKC[2:0](注3)	周辺モジュールクロック C (PCLKC) 選択 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
10:8	PCKB[2:0](注2)	周辺モジュールクロック B (PCLKB) 選択 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
11	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
14:12	PCKA[2:0](注2)	周辺モジュールクロック A (PCLKA) 選択 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
15	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
18:16	RSV	予約これらのビットは PCKB[2:0]と同じ値に設定してください。 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
23:19	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
26:24	ICK[2:0](注1)(注2)(注3)(注4)	システムクロック (ICLK) 選択 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
27	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
30:28	FCK[2:0](注1)	FlashIF クロック (FCLK) 選択 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
31	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. システムクロック (ICLK) と FlashIF クロック (FCLK) との間には以下の周波数関係が必要です。
ICLK:FCLK = N:1（N：整数）
注 2. システムクロック (ICLK) と周辺モジュールクロック (PCLKA, PCLKB) との間には次の周波数関係が必要です。
ICLK:PCLKA = N:1、ICLK:PCLKB = N:1（N：整数）
注 3. システムクロック (ICLK) と周辺モジュールクロック (PCLKC, PCLKD) との間には次の周波数関係が必要です。
ICLK:PCLKC または ICLK:PCLKD = N:1 または 1:N（N：整数）
注 4. システムクロック (ICLK) の周波数は、フラッシュウェイトサイクルレジスタ (FLWT) によって制限されます。「43. フラッシュメモリ」を参照してください。

SCKDIVCR レジスタは、システムクロック (ICLK) 、周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD）、FlashIF クロック (FCLK) の周波数を選択するレジスタです。

クロックソースとして PLL を選択した場合、以下のモジュールをモジュールストップ状態に設定してから本レジスタの値を変更してください：ADC、SCE5

また、SCKDIVCR のいずれかの値を低い分周比から高い分周比に変更する場合、事前に少なくとも 750 ns 待機してください。変更前の ICLK 周波数に応じて以下のように変更してください。

- 変更前の ICLK 周波数が 120 MHz 以上のとき：
最初に ICLK の分周比を 1/2 に設定してから 5 µs 待機し、次に SCKDIVCR を設定してから 5 µs 待機してください。
- 変更前の ICLK 周波数が 120 MHz 以下の場合：
SCKDIVCR を設定してから 5 µs 待機してください。

高い分周比から低い分周比に値を変更した場合、次の処理を開始する前に、変更後の ICLK 周波数に応じて以下の処理を実施してください。値を変更してから少なくとも 250 ns 待機してから、後続の処理を開始してください。

- 変更後の ICLK 周波数が 120 MHz 以上の場合：
最初に ICLK の分周比を 1/2 に設定してから 1 µs 待機し、次に SCKDIVCR を設定してから 1 µs 待機してください。
- 変更後の ICLK 周波数が 120 MHz 以下の場合：
SCKDIVCR を設定してから 1 µs 待機してください。

待機時間の計測にはソフトウェアを使用することを推奨します。

ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。

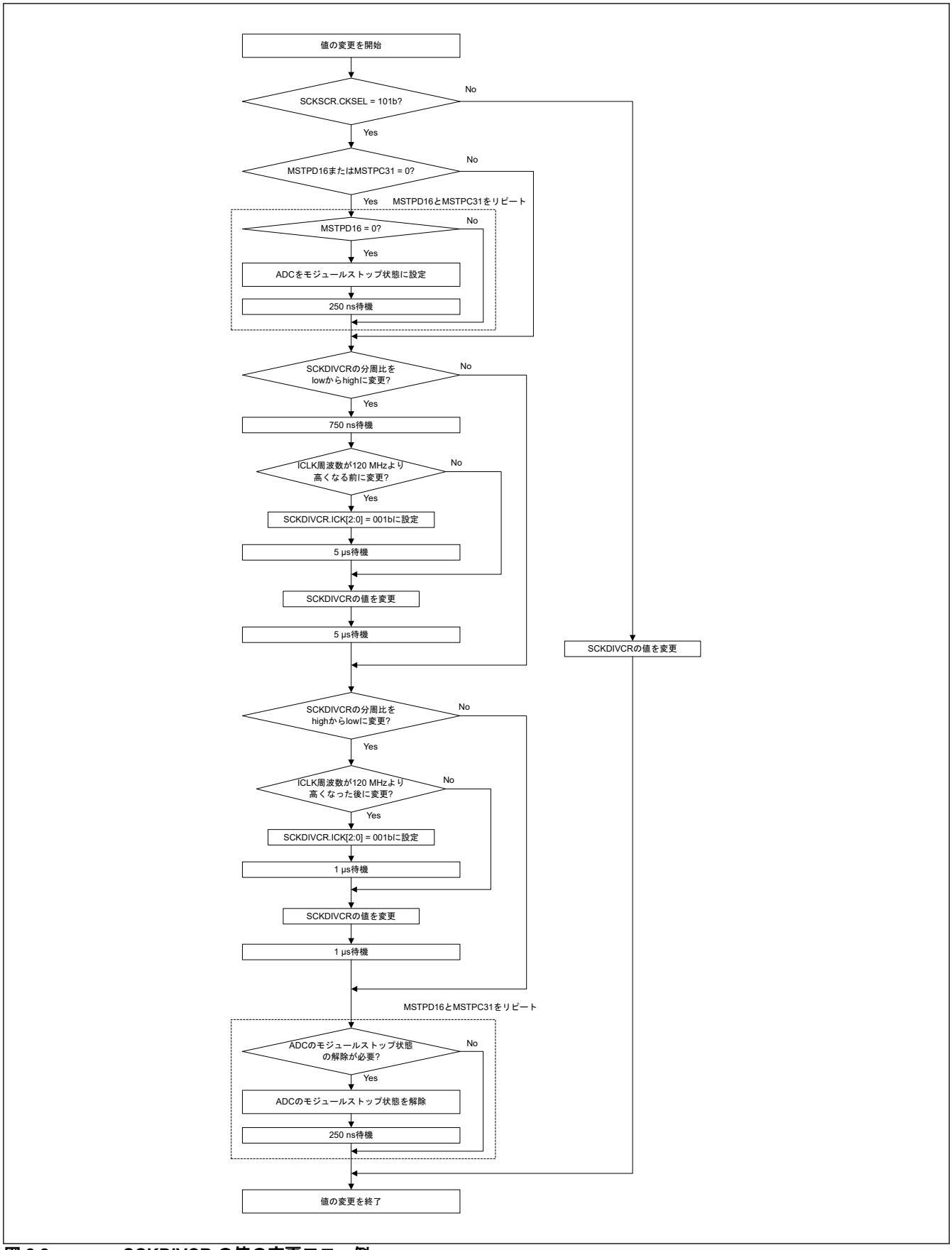


図 8.2 SCKDIVCR の値の変更フロー例

8.2.3 SCKSCR : システムクロックソースコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x026

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	CKSEL[2:0]	クロックソース選択ビット 0 0 0: HOCO 0 0 1: MOCO 0 1 0: LOCO 0 1 1: メインクロック発振器 (MOSC) 1 0 0: 設定禁止 1 0 1: PLL 1 1 0: 設定禁止 1 1 1: 設定禁止	R/W
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

SCKSCR レジスタは、システムクロックのクロックソースを選択するレジスタです。

SCKSCR の値を変更して PLL を選択または非選択とする場合, 以下のモジュールをモジュールストップ状態にしてから SCKSCR の値を変更してください：ADC、SCE5

また，SCKSCR の値を PLL から別のクロックソースに変更する場合は，750 ns 以上待ってから変更し，変更前の ICLK 周波数に応じて以下のように変更してください。

- 変更前の ICLK 周波数が 120 MHz 以上の場合：
  まず、ICLK の分周比を 1/2 に設定してから 5 µs 待機し、次に SCKSCR を設定してから 5 µs 待機してください。
- 変更前の ICLK 周波数が 120 MHz 以下の場合：
  SCKSCR を設定してから 5 µs 待機してください。

PLL 以外のクロックソースから PLL に変更する場合は，変更後の ICLK 周波数に合わせて以下のように変更してから後続の処理を開始してください。

- 変更後の ICLK 周波数が 120 MHz 以上の場合：
  まず、ICLK の分周比を 1/2 に設定してから 1 µs 待機し、次に SCKSCR を設定してから 1 µs 待機してください。
- 変更後の ICLK 周波数が 120 MHz 以下の場合：
  SCKSCR を設定してから 1 µs 待機してください。

待機時間の計測にはソフトウェアを使用することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。

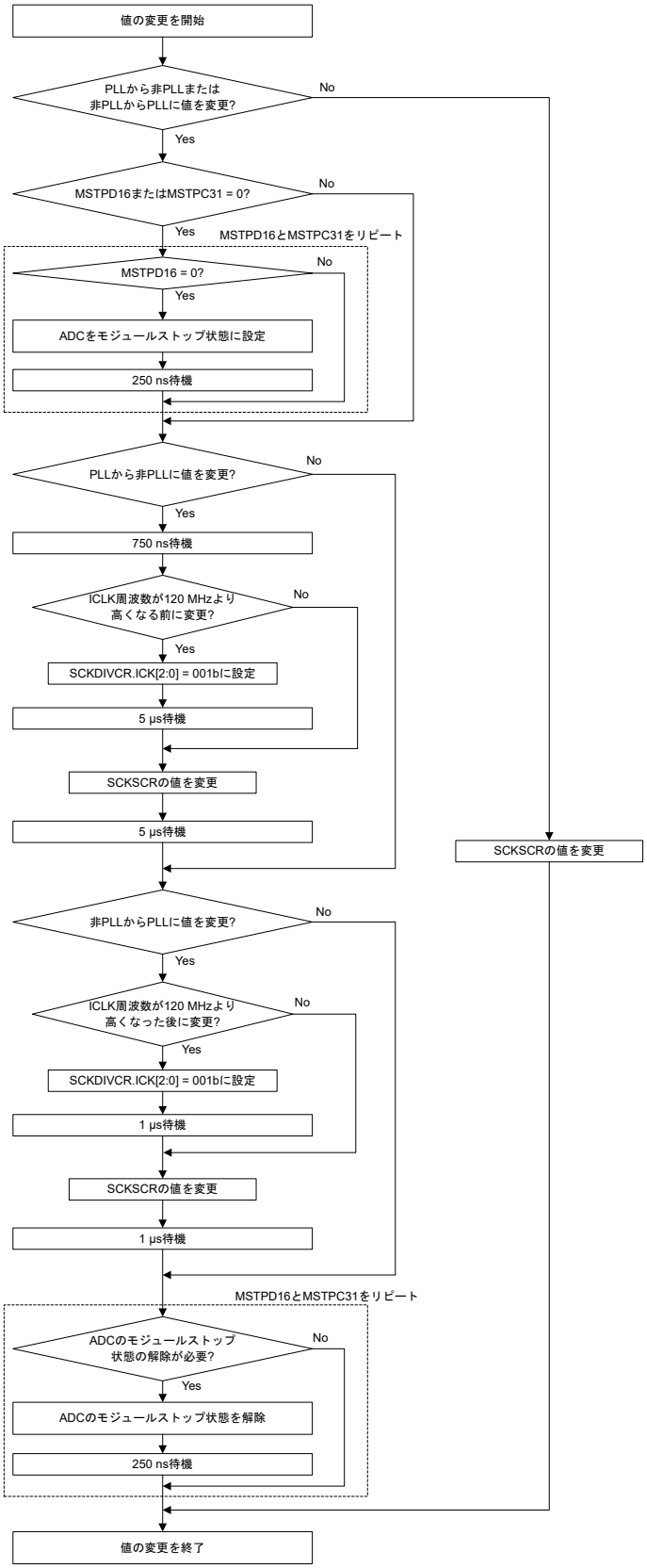


図 8.3 SCKSCR の値の変更フロー例

CKSEL[2:0]ビット（クロックソース選択ビット）

CKSEL[2:0]ビットは、下記のモジュールに対してソースを選択します。

- システムクロック (ICLK)
- 周辺モジュールクロック （PCLKA、PCLKB、PCLKC、PCLKD）
- Flash-IF クロック (FCLK)

本ビットは下記のソースから 1 つを選択します。

- 低速オンチップオシレータ (LOCO)
- 中速オンチップオシレータ (MOCO)
- 高速オンチップオシレータ (HOCO)
- メインクロック発振器 (MOSC)
- PLL

各クロックソースの動作状態は、クロック発振器の有効設定だけでなく、製品動作モードによっても制御されます。使用する製品動作モードによっては、強制停止となるクロックソースがあります。

各製品の動作モードにおけるクロックソースの動作状態を確認し、停止するクロックソースを SCKSCR で選択しないようにしてください。なお、クロックソースの切り替えは、WDT/IWDT からの割り込みが発生していないタイミングで実施してください。

8.2.4 PLLCCR：PLL クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x028

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	PLLMUL[5:0]						—	—	—	PLSRCSEL	—	—	PLIDIV[1:0]	
Value after reset:	0	0	0	1	0	0	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PLIDIV[1:0](注1)	PLL 入力分周比選択 0 0: 1 分周 0 1: 2 分周 1 0: 3 分周 その他: 設定禁止	R/W
3:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	PLSRCSEL	PLL クロックソース選択 0: メインクロック発振器 1: HOCO	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
13:8	PLLMUL[5:0](注2)	PLL 周波数逓倍率選択 0x13: 10.0 倍（リセット後の値） 0x14: 10.5 倍 0x15: 11.0 倍 ⋮ 0x1C: 14.5 倍 0x1D: 15.0 倍 0x1E: 15.5 倍 ⋮ 0x3A: 29.5 倍 0x3B: 30.0 倍 その他: 設定禁止	R/W
15:14	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. PLIDIV[1:0]ビットは、PLL の入力周波数が「8.1. 概要」の範囲に入るように設定してください。
注 2. PLLMUL[5:0]ビットは、PLL の出力周波数が「8.1. 概要」の範囲に入るように設定してください。

PLLCCR レジスタは、PLL 回路の動作を設定するレジスタです。

PLLCR.PLLSTP ビットが 0（PLL 動作）のとき、PLLCCR レジスタへの書き込みは禁止です。

PLIDIV[1:0]ビット（PLL 入力分周比選択）

PLL のクロックソースの分周比を選択します。

PLSRCSEL ビット（PLL クロックソース選択）

PLL のクロックソースを選択します。

PLLMUL[5:0]ビット（PLL 周波数逓倍率選択）

PLL 回路の周波数逓倍率を選択します。

8.2.5 PLLCR：PLL コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x02A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PLLSTP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	PLLSTP	PLL 停止制御 0: PLL 動作 1: PLL 停止	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

PLLCR レジスタは、PLL 回路の動作を設定するレジスタです。

PLLSTP ビット（PLL 停止制御）

本ビットは PLL 回路を動作または停止させます。

PLLCCR.PLSRCSEL ビットで、メインクロック発振器をクロックソースとして選択する場合、メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。

PLL を動作させるように PLLSTP ビットの設定を変更した場合は、OSCSF.PLLSF ビットが 1 になっていることを確認してから、PLL クロックを使用してください。PLL は、動作開始後発振が安定するまでに一定の時間を要します。また、PLL 動作が停止した後も、発振が停止するまでに一定の時間を要します。さらに、PLLSTP ビットで PLL 動作を開始および停止させる場合、以下の制限があります。

- PLL の停止後、PLL 動作を再開させる前に OSCSF.PLLSF ビットが 0 であることを確認してください。
- PLL を停止させる前に、PLL が動作していること、および OSCSF.PLLSF ビットが 1 であることを確認してください。

- PLL クロックをシステムクロックとして選択しているかどうかに関わらず、PLL を動作させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF ビットが 1 になっていることを確認した上で WFI 命令を実行してください。
- PLL を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF ビットが 0 になっていることを確認した上で WFI 命令を実行してください。

SCKSCR.CKSEL[2:0]ビットが 101（システムクロックソース = PLL）のとき、PLLSTP ビットへ 1 を書き込むことは禁止です。

PLLSTP に 0 を書き込む前に、以下の条件が満たされていることを確認してください。

- PLL ソースクロック = MOSC の場合：MOSCCR.MOSTP = 0（MOSC 動作）
- PLL ソースクロック = HOCO の場合：HOCOCR.HCSTP = 0（HOCO 動作）

8.2.6 PLL2CCR : PLL2 クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x048

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	PLL2MUL[5:0]						—	—	—	PL2SRCSEL	—	—	PL2IDIV[1:0]	
Value after reset:	0	0	0	1	0	0	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PL2IDIV[1:0](注1)	PLL2 入力分周比選択 0 0: 1 分周（リセット後の値） 0 1: 2 分周 1 0: 3 分周 その他: 設定禁止	R/W
3:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	PL2SRCSEL	PLL2 クロックソース選択 0: メインクロック発振器 1: HOCO	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
13:8	PLL2MUL[5:0](注2)	PLL2 周波数逓倍率選択 0x13: 10.0 倍（リセット後の値） 0x14: 10.5 倍 0x15: 11.0 倍 ⋮ 0x1C: 14.5 倍 0x1D: 15.0 倍 0x1E: 15.5 倍 ⋮ 0x3A: 29.5 倍 0x3B: 30.0 倍 その他: 設定禁止	R/W
15:14	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. PL2IDIV[1:0]ビットは、PLL2 の入力周波数が「8.1. 概要」の範囲に入るように設定してください。
注 2. PLL2MUL[5:0]ビットは、PLL2 の出力周波数が「8.1. 概要」の範囲に入るように設定してください。

PLL2CCR レジスタは、PLL2 回路の動作を設定するレジスタです。

PLL2CR.PLL2STP ビットが 0（PLL2 動作）のとき、PLL2CCR レジスタへの書き込みは禁止です。

PL2IDIV[1:0]ビット（PLL2 入力分周比選択）

PLL2 のクロックソースの分周比を選択します。

PL2SRCSEL ビット（PLL2 クロックソース選択）

PLL2 のクロックソースを選択します。

PLL2MUL[5:0]ビット（PLL2 周波数逓倍率選択）

PLL2 回路の周波数逓倍率を選択します。

8.2.7 PLL2CR : PLL2 コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x04A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PLL2STP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	PLL2STP	PLL2 停止制御 : 0: PLL2 動作 1: PLL2 停止	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

PLL2CR レジスタは、PLL2 回路の動作を制御するレジスタです。

PLL2STP ビット（PLL2 停止制御）

本ビットは PLL2 回路を動作または停止させます。

PLL2CCR.PL2SRCSEL ビットで、メインクロック発振器を PLL2 のクロックソースとして選択する場合、メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。

PLL2 を動作させるように PLL2STP ビットの設定を変更した場合は、OSCSF.PLL2SF ビットが 1 になっていることを確認してから、PLL2 クロックを使用してください。PLL2 は、動作開始後発振が安定するまでに一定の時間を要します。また、PLL2 動作が停止した後も、発振が停止するまでに一定の時間を要します。さらに、PLL2STP ビットで PLL2 動作を開始および停止させる場合、以下の制限があります。

- PLL2 の停止後、動作を再開させる前に OSCSF.PLL2SF ビットが 0 であることを確認してください。
- PLL2 を停止させる前に、PLL2 が動作していること、および OSCSF.PLL2SF ビットが 1 であることを確認してください。
- PLL2 を動作させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLL2SF ビットが 1 になっていることを確認した上で WFI 命令を実行してください。
- PLL2 を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLL2SF ビットが 0 になっていることを確認した上で WFI 命令を実行してください。

PLL2STP に 0 を書き込む前に、以下の条件が満たされていることを確認してください。

- PLL2 ソースクロック = MOSC の場合：MOSCCR.MOSTP = 0（MOSC 動作）
- PLL2 ソースクロック = HOCO の場合：HOCOCR.HCSTP = 0（HOCO 動作）

8.2.8 MOSCCR : メインクロック発振器コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x032

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MOSTP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	MOSTP	メインクロック発振器停止 0: メインクロック発振器動作(注1) 1: メインクロック発振器停止	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. MOSTP を 0 にする前に、MOMCR レジスタを設定する必要があります。

MOSCCR レジスタは、メインクロック発振器を制御するレジスタです。

MOSTP ビット（メインクロック発振器停止）

MOSTP ビットは、メインクロック発振器を動作または停止させます。

MOSTP ビット値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。

メインクロックを使用する場合は、MOSTP ビットを 0 にする前に、メインクロック発振器モード発振コントロールレジスタ (MOMCR) およびメインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) を設定する必要があります。MOSTP ビットを 0 にした後、OSCSF.MOSCSF ビットが 1 になっていることを確認してから、メインクロック発振器を使用してください。

メインクロック発振器を動作するように設定してから、発振が安定するまでに一定の待ち時間を要します。また、メインクロック発振器が停止した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- メインクロック発振器の停止後､動作を再開させる前に OSCSF.MOSCSF ビットが 0 であることを確認してください。
- メインクロック発振器を停止させる前に、メインクロック発振器が動作していること、および OSCSF.MOSCSF ビットが 1 であることを確認してください。
- メインクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、メインクロック発振器の動作後にソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 1 になっていることを確認した上で WFI 命令を実行してください。
- メインクロック発振器を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 0 になっていることを確認した上で WFI 命令を実行してください。

以下の条件下で MOSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）かつ SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）かつ PLLCR.PLLSTP = 0（PLL 動作）
- PLL2CCR.PL2SRCSEL = 0（PLL2 ソースクロック = MOSC）かつ PLL2CR.PLL2STP = 0（PLL2 動作）

8.2.9 LOCOCR : 低速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x490

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LCSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LCSTP	LOCO 停止 0: LOCO 動作 1: LOCO 停止	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

LOCOCR レジスタは、LOCO を制御するレジスタです。

LCSTP ビット（LOCO 停止）

LCSTP ビットは、LOCO を動作または停止させます。

LCSTP ビットを 0 にして LOCO を動作させた後、LOCO クロック発振安定待機時間（t_{LOCOWT}）が経過してから、LOCO クロックを使用してください。LOCO を動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでにも一定の待機時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- LOCO の停止後、動作を再開させるまでに LOCO クロックで 5 サイクル以上の待ち時間が必要です。
- LOCO を停止させる前に、LOCO クロックの発振が安定していることを確認してください。
- LOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックの発振が安定している状態で WFI 命令を実行してください。
- LOCO を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックで 3 サイクル以上待ってから WFI 命令を実行してください。

以下の条件下で LCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 010b（システムクロックソース = LOCO）

LOCO クロックは他の発振器の発振安定待ち時間を計測しているため、LOCOCR.LCSTP ビットの設定値にかかわらず、発振安定待ち時間の計測中は LOCO クロックが発振しています。そのため、LCSTP ビットが停止に設定されていても、意図せず LOCO クロックが供給される場合があります。

8.2.10 HOCOCR : 高速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x036

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	HCSTP
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	機能	R/W
0	HCSTP	HOCO 停止 0: HOCO 動作 (注2) 1: HOCO 停止	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. OFS1.HOCOEN ビットが 0 のとき、HCSTP ビットのリセット後の値は 0 になります。OFS1.HOCOEN ビットが 1 のとき、このビットのリセット後の値は 1 になります。
注 2. HOCO (HCSTP = 0) を動作させる前に、OFS1.HOCOFRQ0[1:0]ビットを最適な値に設定してください。

HOCOCR レジスタは、HOCO を制御するレジスタです。

HCSTP ビット（HOCO 停止）

HCSTP ビットは、HOCO を動作または停止させます。

HCSTP ビットを 0 にして HOCO を動作させた後、OSCSF.HOCOSF ビットが 1 になっていることを確認してから、HOCO クロックを使用してください。OFS1.HOCOEN ビットが 0 になっている場合、OSCSF.HOCOSF フラグも 1 になっていることを確認してから、HOCO クロックを使用してください。HOCO が動作するように設定してから、発振が安定するまでに一定の時間を要します。また、HOCO を停止するように設定した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- HOCO クロック停止後に、OSCSF.HOCOSF ビットが 0 になっていることを確認してから、HOCO クロックを再開してください。
- HOCO を停止させる前に、HOCO クロックが動作していること、および OSCSF.HOCOSF が 1 であることを確認してください。
- HOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、HCSTP ビットで HOCO を動作設定にしてソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF が 1 になっていることを確認した上で WFI 命令を実行してください。
- HOCO を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF が 0 になっていることを確認した上で WFI 命令を実行してください。

以下の条件で HCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 000b（システムクロックソース = HOCO）
- PLLCCR.PLSRCSEL = 1（PLL ソースクロック = HOCO）および SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）
- PLLCCR.PLSRCSEL = 1（PLL ソースクロック = HOCO）および PLLCR.PLLSTP = 0（PLL 動作）
- PLL2CCR.PL2SRCSEL = 1（PLL2 ソースクロック = HOCO）および PLL2CR.PLL2STP = 0（PLL2 動作）

8.2.11 MOCOCR : 中速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x038

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MCSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MCSTP	MOCO 停止 0: MOCO 動作 1: MOCO 停止	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

MOCOCR レジスタは、MOCO を制御するレジスタです。

MCSTP ビット（MOCO 停止）

MCSTP は、MOCO を動作または停止させます。

MCSTP ビットを 0 にした後、MOCO クロック発振安定待機時間（t_{MOCOWT}）が経過してから、MOCO クロックを使用してください。MOCO を動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでにも一定の待機時間を要します。

発振器の開始および停止に関しては、以下の制限があります。

- MOCO の停止後、動作を再開させるまでに MOCO クロックで 5 サイクル以上の待ち時間が必要です。
- MOCO を停止させる前に、MOCO クロックの発振が安定していることを確認してください。
- MOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、MOCO クロックの発振が安定している状態で WFI 命令を実行してください。
- MOCO を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、MOCO クロックで 3 サイクル以上待ってから WFI 命令を実行してください。

以下の条件下で MCSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 001b（システムクロックソース = MOCO）

発振停止検出コントロールレジスタの発振停止検出機能有効ビット (OSTDCR.OSTDE) を有効にしているとき、MCSTP ビットを 1（MOCO 停止）にすることは禁止されています。

8.2.12 OSCSF : 発振安定フラグレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x03C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	PLL2SF	PLLSF	—	MOSCSF	—	—	HOCOSF
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	機能	R/W
0	HOCOSF	HOCO クロック発振安定フラグ 0: HOCO クロックは停止、または発振安定待ち中 1: HOCO クロックは安定、システムクロックとして使用可能	R
2:1	—	読むと 0 が読めます。	R
3	MOSCSF	メインクロック発振安定フラグ 0: メインクロック発振器は停止 (MOSTP = 1) または発振安定待ち中(注2) 1: メインクロック発振器は安定、システムクロックとして使用可能	R
4	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
5	PLLSF	PLL クロック発振安定フラグ 0: PLL クロックは停止、または発振安定待ち中 1: PLL クロックは安定、システムクロックとして使用可能	R
6	PLL2SF	PLL2 クロック発振安定フラグ 0: PLL2 クロックは停止、または発振安定待ち中 1: PLL2 クロックは安定	R
7	—	読むと 0 が読めます。	R

注 1. リセット後の値は、OFS1.HOCOEN の設定値で決まります。
OFS1.HOCOEN = 1（HOCO 停止）の場合、HOCOSF のリセット後の値は 0 です。
OFS1.HOCOEN = 0（HOCO 動作）の場合、リセット解除直後は HOCOSF は 0 ですが、HOCO 発振安定待機時間経過後に HOCOSF は 1 になります。
注 2. メインクロック発振器のウェイトコントロールレジスタに適切な値が設定されている場合に当てはまります。値（待機時間）が不十分な場合、発振が安定する前に発振安定フラグが 1 になり、内部回路へのクロック信号の供給が開始します。

このレジスタは、CGFSAR レジスタにより制御されません。

OSCSF レジスタは、各発振器の発振安定待ち回路内にあるカウンタの動作状態を示すフラグからなるレジスタです。これらのカウンタは、発振開始後、各発振器の出力クロックが内部回路に供給されるまでの待機時間を計測します。カウンタのオーバーフローは、クロック供給が安定しており、対応する回路で利用可能なことを示します。

HOCOSF フラグ（HOCO クロック発振安定フラグ）

HOCOSF フラグは高速クロック発振器 (HOCO) の待機時間を計測するカウンタの動作状態を示します。
OFS1.HOCOEN が 0 のとき、HOCO クロックを使用する前に OSCSF.HOCOSF フラグが 1 であることを確認してください。

[1 になる条件]

- HOCO 停止時、HOCOCR.HCSTP ビットが 0 になった後、LOCO クロックで HOCO 発振安定時間をカウントし、MCU 内部へ HOCO クロック供給を開始したとき。HOCO 発振安定待機時間は「46. 電気的特性」を参照してください。

[0 になる条件]

- HOCO の動作時に、HOCOCR.HCSTP ビットを 1 にした結果、HOCO が発振停止になったとき

MOSCSF フラグ（メインクロック発振安定フラグ）

MOSCSF フラグは、メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- メインクロック発振器停止時、MOSCCR.MOSTP ビットが 0 になった後、MOSCWTCR レジスタの設定値に応じた LOCO サイクル数をカウントし、MCU 内部へメインクロック供給を開始したとき

[0 になる条件]

- メインクロック発振器の動作時に、MOSCCR.MOSTP ビットを 1 にした結果、メインクロック発振器が発振停止になったとき

PLLSF フラグ（PLL クロック発振安定フラグ）

PLLSF フラグは、PLL の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- PLL 停止時、PLLCR.PLLSTP ビットが 0 になった後、LOCO クロックで PLL 発振安定時間をカウントし、MCU 内部へ PLL クロック供給が開始されたとき。ただし、PLLCR.PLLSTP ビットを 0 にしたときに、PLL クロックソースの発振が安定していなければ、PLL クロックソースの発振が安定した後も LOCO サイクルのカウントは継続します。PLL 発振安定時間は「46. 電気的特性」を参照してください。

[0 になる条件]

- PLL の動作時に、PLLCR.PLLSTP ビットを 1 にした結果、PLL が発振停止になったとき

PLL2SF フラグ（PLL2 クロック発振安定フラグ）

PLL2SF フラグは、PLL2 の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- PLL2 停止時、PLL2CR.PLL2STP ビットが 0 になった後、LOCO クロックで PLL2 発振安定時間をカウントし、MCU 内部へ PLL2 クロック供給が開始されたとき。ただし、PLL2CR.PLL2STP ビットを 0 にしたときに、PLL2 クロックソースの発振が安定していなければ、PLL2 クロックソースの発振が安定した後も LOCO サイクルのカウントは継続します。PLL2 発振安定時間は「46. 電気的特性」を参照してください。

[0 になる条件]

- PLL2 の動作時に、PLL2CR.PLL2STP ビットを 1 にした結果、PLL2 が発振停止になったとき

8.2.13 OSTDCR : 発振停止検出コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x040

Bit position:	7	6	5	4	3	2	1	0
Bit field:	OSTDE	—	—	—	—	—	—	OSTDIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OSTDIE	発振停止検出割り込み許可 0: 発振停止検出割り込みを禁止（POEG への通知なし） 1: 発振停止検出割り込みを許可（POEG への通知あり）	R/W
6:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	OSTDE	発振停止検出機能有効 0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

OSTDCR レジスタは、発振停止検出機能を制御するレジスタです。

OSTDIE ビット（発振停止検出割り込み許可）

OSTDIE ビットは、発振停止検出機能割り込みを許可します。また、発振停止検出を POEG に通知するかどうかを制御します。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) をクリアする必要がある場合、OSTDIE ビットを 0 にしてから OSTDF をクリアしてください。OSTDIE ビットを 1 にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことで、PCLKB の 2 サイクル以上の待ち時間を確保できます。

OSTDE ビット（発振停止検出機能有効）

OSTDE ビットは、発振停止検出機能を有効にします。

OSTDE ビットを 1（有効）にすると、MOCO 停止ビット (MOCOCR.MCSTP) が 0 となり、MOCO が起動します。発振停止検出機能が有効の間は、MOCO クロックは停止できません。MOCOCR.MCSTP ビットへの 1 の書き込み（MOCO 停止）は無効です。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が 1（メインクロック発振停止検出）のとき、OSTDE ビットへの 0 の書き込みは無効です。

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する前に、OSTDE ビットを 0 にする必要があります。ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、最初に OSTDE ビットを 0 にしてから WFI 命令を実行してください。

発振停止検出機能を使用する場合、以下の制限があります。
Low-speed モードでは、ICLK、FCLK、PCLKA、PCLKB、PCLKC、PCLKD に対して、分周比 1、2、4、8 を選択しないでください。

8.2.14 OSTDSR : 発振停止検出ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x041

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OSTDF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OSTDF	発振停止検出フラグ 0: メインクロックの発振停止を未検出 1: メインクロックの発振停止を検出	R/W(注1)
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. 0 のみ書けます。本フラグをクリアするには 1 を読んだ後に 0 を書く必要があります。

OSTDSR レジスタは、メインクロック発振器の発振停止の検出状態を示すレジスタです。

OSTDF フラグ（発振停止検出フラグ）

OSTDF フラグは、メインクロック発振器の状態を示します。本フラグが 1 のとき、メインクロックの発振停止が検出されたことを示します。発振停止が検出された後、メインクロックの発振が再開しても OSTDF フラグは 0 になりません。OSTDF フラグをクリアするには 1 を読んだ後に 0 を書く必要があります。

OSTDF に 0 を書き込んでから、0 を読み出せるようになるまで、ICLK で 3 サイクル以上待つ必要があります。メインクロックの発振が停止しているとき、OSTDF フラグを 0 にすると、OSTDF フラグはいったん 0 になった後、再度 1 に戻ります。

以下の条件下では、OSTDF フラグは 0 にできません。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）かつ SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）

クロックソースをメインクロック発振器と PLL 以外に切り替えた後、OSTDF フラグを 0 にする必要があります。

[1 になる条件]

- OSTDCR.OSTDE ビットが 1（発振停止検出機能有効）の状態で、メインクロックの発振が停止したとき

[0 になる条件]

- SCKSCR.CKSEL[2:0]ビットが 011b（システムクロックが MOSC）、101b（システムクロックが PLL）以外で、PLLCCR.PLSRCSEL ビットが 0（PLL ソースクロックが MOSC）以外の場合に、1 を読み出し後に 0 を書き込む

8.2.15 MOSCWTCR : メインクロック発振器ウェイトコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0A2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	MSTS[3:0]			
Value after reset:	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
3:0	MSTS[3:0]	メインクロック発振安定待機時間設定 0x0: 待機時間 = 3 サイクル (11.4 µs) 0x1: 待機時間 = 35 サイクル (133.5 µs) 0x2: 待機時間 = 67 サイクル (255.6 µs) 0x3: 待機時間 = 131 サイクル (499.7 µs) 0x4: 待機時間 = 259 サイクル (988.0 µs) 0x5: 待機時間 = 547 サイクル (2086.6 µs) 0x6: 待機時間 = 1059 サイクル (4039.8 µs) 0x7: 待機時間 = 2147 サイクル (8190.2 µs) 0x8: 待機時間 = 4291 サイクル (16368.9 µs) 0x9: 待機時間 = 8163 サイクル (31139.4 µs) その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

MSTS[3:0]ビット（メインクロック発振安定待機時間設定）

MSTS[3:0]ビットは、メインクロック発振器の発振安定待機時間を指定します。

発振器メーカが推奨する安定時間以上の時間をメインクロック発振安定時間に設定してください。メインクロックが外部から入力される場合、発振安定時間は必要ないので 0x0 に設定してください。

これらのビットに設定した待機時間は、次式を用いてカウントされます。 1 サイクル (µs) = 1/(fLOCO[MHz] × 8) = 1/(0.032768 × 8) = 3.81 (µs) (min.)。LOCO は、必要であれば、LOCO.LCSTP ビットの値にかかわらず、自動的に発振を開始します。設定した待機時間が経過すると、MCU 内部へメインクロック発振器の供給が開始され、OSCSF.MOSCSF フラグは 1 になります。設定した待機時間が短いと、クロックの発振が安定になる前に、メインクロック発振器の供給が開始されます。

MOSCWTCR レジスタの書き換えは、MOSCCR.MOSTP ビットが 1 で、かつ OSCSF.MOSCSF フラグが 0 の場合にのみ行ってください。他の状態ではレジスタの書き換えを行わないでください。

8.2.16 MOMCR : メインクロック発振器モード発振コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x413

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	MOSEL	MODRV[1:0]		—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
5:4	MODRV[1:0]	メインクロック発振器駆動能力 0 切り替え 0 0: 20 MHz～24 MHz 0 1: 16 MHz～20 MHz 1 0: 8 MHz～16 MHz 1 1: 8 MHz	R/W
6	MOSEL	メインクロック発振器切り替え 0: 発振子 1: 外部クロック入力	R/W
7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. EXTAL/XTAL 端子はポートとしても使用されます。初期状態では、この端子はポートとして設定されます。
注. このレジスタを変更する前に、MOSCCR.MOSTP ビットを 1（MOSC 停止）にする必要があります。
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

MODRV[1:0]ビット （メインクロック発振器駆動能力 0 切り替え）

この MODRV[1:0]ビットでメインクロック発振器のドライブ能力を切り替えます。

MOSEL ビット （メインクロック発振器切り替え）

MOSEL ビットでメインクロック発振器の発振源を切り替えます。

8.2.17 CKOCR : クロックアウトコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x03E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CKOEN	CKODIV[2:0]			—	CKOSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CKOSEL[2:0]	クロック出力ソース選択 0 0 0: HOCO（リセット後の値） 0 0 1: MOCO 0 1 0: LOCO 0 1 1: MOSC 1 0 0: 設定禁止 1 0 1: 設定禁止 その他: 設定禁止	R/W
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6:4	CKODIV[2:0]	クロック出力周波数分周比 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 1 1 1: × 1/128	R/W
7	CKOEN	クロック出力許可 0: クロック出力禁止 1: クロック出力許可	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。
注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

CKOSEL[2:0]ビット（クロック出力ソース選択）

CKOSEL[2:0]ビットは、CLKOUT 端子から出力するクロックのソースを選択します。クロックソースを変更する場合、CKOEN ビットを 0 にしてください。

CKODIV[2:0]ビット（クロック出力周波数分周比）

CKODIV[2:0]ビットは、クロック分周比を設定します。分周比を変更する場合、CKOEN ビットを 0 にしてください。

CKOEN ビット（クロック出力許可）

CKOEN ビットは、CLKOUT 端子からの出力を許可します。

1 を書き込むと、CKOSEL[2:0]と CKODIV[2:0]で設定したクロックが出力されます。0 を書き込むと、Low が出力されます。本ビットを変更する場合は、CKOSEL[2:0]ビットで選択したクロック出力のクロックソースが安定していることを確認してください。クロックソースが安定していないと、出力にグリッチを生じることがあります。

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する際は、これらのモードで選択中のクロック出力ソースを停止させる場合、事前に CKOEN ビットを 0 にしてください。

8.2.18 LOCOUTCR : LOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x492

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	LOCOUTRM[7:0]	LOCO ユーザートリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

LOCOUTCR レジスタは元の LOCO トリミングデータに追加されます。

LOCOUTCR に LOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。
LOCOUTCR が修正されるとき、周波数安定待機時間は MCU の動作開始時の周波数安定待機時間に対応しています。LOCO 周波数と他の発振周波数の比が整数値の場合、LOCOUTCR の値を変更しないでください。

8.2.19 MOCOUTCR : MOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x061

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	MOCOUTRM[7:0]	MOCO ユーザートリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

MOCOUTCR レジスタは元の MOCO トリミングデータに追加されます。

MOCOUTCR に MOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。
MOCOUTCR が修正されるとき、周波数安定待機時間は MCU の動作開始時の周波数安定待機時間に対応しています。MOCO 周波数と他の発振周波数の比が整数値の場合、MOCOUTCR の値を変更しないでください。

8.2.20 HOCOUTCR : HOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x062

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	HOCOUTRM[7:0]	HOCO ユーザートリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

HOCOUTCR レジスタは元の HOCO トリミングデータに追加されます。

HOCOUTCR に HOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。
HOCOUTCR が修正されるとき、周波数安定待機時間は MCU の動作開始時の周波数安定待機時間に対応しています。

8.2.21 SCISPICKDIVCR : SCI SPI クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x06D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SCISPICKDIV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SCISPICKDIV[2:0]	SCI SPI クロック (SCISPICLK) 分周比選択 0 0 0: 1 分周（リセット後の値） 0 0 1: 2 分周 0 1 0: 4 分周 0 1 1: 6 分周 1 0 0: 8 分周 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SCISPICKDIVCR は、SCI SPI クロック (SCISPICLK) を制御します。

SCISPICKDIV[2:0]ビット（SCI SPI クロック (SCISPICLK) 分周比選択）

本ビットは、SCI SPI クロック (SCISPICLK) の周波数を選択します。書き換えは、SCISPICKCR.SCISPICKSRDY が 1 のときに行ってください。

8.2.22 CANFDCKDIVCR : CANFD クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x06E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CANFDCKDIV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CANFDCKDIV[2:0]	CANFD クロック (CANFDCLK) 分周比選択 0 0 0: 1 分周（リセット後の値） 0 0 1: 2 分周 0 1 0: 4 分周 0 1 1: 6 分周 1 0 0: 8 分周 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと、非セキュアリードアクセスが可能です。

- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと、非セキュアアクセスが可能です。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CANFDCKDIVCR レジスタは、CANFD クロック (CANFDCLK) を制御します。

CANFDCKDIV[2:0]ビット（CANFD クロック (CANFDCLK) 分周比選択）

本ビットは、CANFD クロック (CANFDCLK) の周波数を選択します。

本ビットは、必ず CANFDCKCR.CANFDCKSRDY = 1 のときに書き換えてください。

8.2.23 GPTCKDIVCR : GPT クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x06F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	GPTCKDIV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	GPTCKDIV[2:0]	GPT クロック (GPTCLK) 分周比選択 0 0 0: 1 分周（リセット後の値） 0 0 1: 2 分周 0 1 0: 4 分周 0 1 1: 6 分周 1 0 0: 8 分周 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと、非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと、非セキュアアクセスが許可されます。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

GPTCKDIVCR は GPT クロック (GPTCLK) を制御します。

GPTCKDIV[2:0]ビット（GPT クロック (GPTCLK) 分周比選択）

本ビットは、GPT クロック (GPTCLK) の周波数を選択します。

本ビットは、必ず GPTCKCR.GPTCKCRSRDY = 1 のときに書き換えてください。

8.2.24 IICCKDIVCR : IIC クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x070

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IICCKDIV[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	IICCKDIV[2:0]	IIC クロック (IICCLK) 分周比選択 0 0 0: 1 分周（リセット後の値） 0 0 1: 2 分周 0 1 0: 4 分周 0 1 1: 6 分周 1 0 0: 8 分周 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと、非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと、非セキュアアクセスが許可されます。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

IICCKDIVCR は IIC クロック (IICCLK) を制御します。

IICCKDIV[2:0]ビット（IIC クロック (IICCLK) 分周比選択）

本ビットは、IIC クロック (IICCLK) の周波数を選択します。

本ビットは、必ず IICCKCR.IICCKSRDY = 1 のときに書き換えてください。

8.2.25 SCISPICKCR : SCI SPI クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x075

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SCISPICKSRDY	SCISPICKSREQ	—	—	—	SCISPICKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	SCISPICKSEL[2:0]	SCI SPI クロック (SCISPICLK) ソース選択 0 0 0: HOCO 0 0 1: MOCO（リセット後の値） 0 1 0: LOCO 0 1 1: メインクロック発振器 1 0 1: PLL 1 1 0: PLL2 その他: 設定禁止	R/W
5:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6	SCISPICKSREQ	SCI SPI クロック (SCISPICLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	SCISPICKSRDY	SCI SPI クロック (SCISPICLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SCISPICKCR レジスタは、SCI SPI クロック (SCISPICLK) を制御します。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにしなければなりません。

SCISPICKDIVCR.SCISPICKDIV[2:0]ビットと SCISPICKSEL[2:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

1. SCISPICKSREQ に 1 を書き込む
2. SCISPICKSRDY フラグが 1 になるまでポーリングする SCISPICKSRDY が 1 である間、SCISPICLK にクロックが出力されない
3. SCISPICKDIVCR.SCISPICKDIV[2:0]および SCISPICKSEL[2:0]に書き込む
4. SCISPICKSREQ に 0 を書き込む
5. SCISPICKSRDY フラグが 0 になるまでポーリングする
6. SCISPICKSRDY フラグが 0 になると、SCISPICLK 出力を開始するクロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間に WFI 命令を実行しないでください。すなわち、SCISPICKSREQ = 1 かつ SCISPICKSRDY = 0、または、SCISPICKSREQ = 0 かつ SCISPICKSRDY = 1 であるときに WFI 命令を実行しないでください。

SCISPICKSEL[2:0]ビット（SCI SPI クロック (SCISPICLK) ソース選択）

本ビットは、SCI SPI クロック (SCISPICLK) のクロックソースを選択します。書き換えは、SCISPICKCR.SCISPICKSRDY が 1 のときに行ってください。

SCISPICKSREQ ビット（SCI SPI クロック (SCISPICLK) 切り替え要求）

本ビットは、SCISPICLK の切り替え要求を選択します。

SCISPICKSRDY フラグ（SCI SPI クロック (SCISPICLK) 切り替え可能状態フラグ）

本フラグは、SCISPICLK の切り替え可能状態を示します。SCISPICKSRDY が 1 である間、SCISPICLK にクロックが出力されません。

8.2.26 CANFDCKCR : CANFD クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x076

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CANFDCKSRDY	CANFDCKSREQ	—	—	—	CANFDCKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	CANFDCKSEL[2:0]	CANFD クロック (CANFDCLK) ソース選択 1 0 1: PLL 1 1 0: PLL2 その他: 設定禁止	R/W
5:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6	CANFDCKSREQ	CANFD クロック (CANFDCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	CANFDCKSRDY	CANFD クロック (CANFDCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと、非セキュアリードアクセスが可能です。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと、非セキュアアクセスが可能です。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CANFDCKCR レジスタは、CANFD クロック (CANFDCLK) を制御するレジスタです。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにしなければなりません。CANFDCKDIVCR.CANFDCKDIV[2:0]ビットと CANFDCKSEL[2:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

1. CANFDCKSREQ に 1 を書き込み
2. CANFDCKSRDY フラグが 1 になるまでポーリングする CANFDCKSRDY が 1 である間、CANFDCLK にクロックが出力されない
3. CANFDCKDIVCR.CANFDCKDIV[2:0]ビットと CANFDCKSEL[2:0]ビットに書き込み
4. CANFDCKSREQ に 0 を書き込み
5. CANFDCKSRDY フラグが 0 になるまでポーリングする
6. CANFDCKSRDY フラグが 0 になると、CANFDCLK 出力を開始するクロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間に WFI 命令を実行しないでください。すなわち、CANFDCKSREQ = 1 かつ CANFDCKSRDY = 0、または、CANFDCKSREQ = 0 かつ CANFDCKSRDY = 1 であるときに WFI 命令を実行しないでください。

CANFDCKSEL[2:0]ビット（CANFD クロック (CANFDCLK) ソース選択）

本ビットは、CANFD クロック (CANFDCLK) のクロックソースを選択します。書き換えは、CANFDCKCR.CANFDCKSRDY が 1 の時に行ってください。

CANFDCKSREQ ビット（CANFD クロック (CANFDCLK) 切り替え要求）

本ビットは、CANFDCLK の切り替え要求を選択します。

CANFDCKSRDY フラグ（CANFD クロック (CANFDCLK) 切り替え可能状態フラグ）

本フラグは、CANFDCLK の切り替え可能状態を示します。CANFDCKSRDY が 1 である間、CANFDCLK にクロックが出力されません。

8.2.27 GPTCKCR : GPT クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x077

Bit position:	7	6	5	4	3	2	1	0
Bit field:	GPTCKSRDY	GPTCKSREQ	—	—	—	GPTCKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	GPTCKSEL[2:0]	GPT クロック (GPTCLK) ソース選択 0 0 0: HOCO 0 0 1: MOCO（リセット後の値） 0 1 0: LOCO 0 1 1: メインクロック発振器 1 0 1: PLL 1 1 0: PLL2 その他: 設定禁止	R/W
5:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6	GPTCKSREQ	GPT クロック (GPTCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	GPTCKSRDY	GPT クロック (GPTCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと、非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと、非セキュアアクセスが許可されます。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

GPTCKCR レジスタは、GPT クロック (GPTCLK) を制御します。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにしなければなりません。GPTCKDIVCR.GPTCKDIV[2:0]ビットと GPTCKSEL[2:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

1. GPTCKSREQ に 1 を書き込む
2. GPTCKSRDY フラグが 1 になるまでポーリングする GPTCKSRDY が 1 である間、GPTCLK にクロックが出力されません。
3. GPTCKDIVCR.GPTCKDIV[2:0]と GPTCKSEL[2:0]に書き込む
4. GPTCKSREQ に 0 を書き込む
5. GPTCKSRDY フラグが 0 になるまでポーリングする
6. GPTCKSRDY フラグが 0 になると、GPTCLK 出力を開始するクロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間に WFI 命令を実行しないでください。すなわち、GPTCKSREQ = 1 かつ GPTCKSRDY = 0、または、GPTCKSREQ = 0 かつ GPTCKSRDY = 1 であるときに WFI 命令を実行しないでください。

GPTCKSEL[2:0]ビット（GPT クロック (GPTCLK) ソース選択）

本ビットは、GPT クロック (GPTCLK) のクロックソースを選択します。書き換えは、GPTCKCR.GPTCKSRDY が 1 のときに行ってください。

GPTCKSREQ ビット（GPT クロック (GPTCLK) 切り替え要求）

本ビットは、GPTCLK の切り替え要求を選択します。

GPTCKSRDY フラグ（GPT クロック (GPTCLK) 切り替え可能状態フラグ）

本フラグは、GPTCLK の切り替え可能状態を示します。GPTCKSRDY が 1 である間、GPTCLK にクロックが出力されません。

8.2.28 IICCKCR : IIC クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x078

Bit position:	7	6	5	4	3	2	1	0
Bit field:	IICCK SRDY	IICCK SREQ	—	—	—	IICCKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	IICCKSEL[2:0]	IIC クロック (IICCLK) ソース選択 0 0 0: HOCO 0 0 1: MOCO（リセット後の値） 0 1 0: LOCO 0 1 1: メインクロック発振器 1 0 1: PLL 1 1 0: PLL2 その他: 設定禁止	R/W
5:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6	IICCKSREQ	IIC クロック (IICCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	IICCKSRDY	IIC クロック (IICCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと、非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと、非セキュアアクセスが許可されます。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

IICCKCR レジスタは、IIC クロック (IICCLK) を制御するレジスタです。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにしなければなりません。IICCKDIVCR.IICCKDIV[2:0]ビットと IICCKSEL[2:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

1. IICCKSREQ に 1 を書き込む
2. IICCKSRDY フラグが 1 になるまでポーリングする IICCKSRDY が 1 である間、IICCLK にクロックが出力されません。
3. IICCKDIVCR.IICCKDIV[2:0]ビットと IICCKSEL[2:0]ビットに書き込む
4. IICCKSREQ に 0 を書き込む
5. IICCKSRDY フラグが 0 になるまでポーリングする
6. IICCKSRDY フラグが 0 になると、IICCLK 出力を開始するクロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間に WFI 命令を実行しないでください。すなわち、IICCKSREQ = 1 かつ IICCKSRDY = 0、または、IICCKSREQ = 0 かつ IICCKSRDY = 1 であるときに WFI 命令を実行しないでください。

IICCKSEL[2:0]ビット（IIC クロック (IICCLK) ソース選択）

本ビットは、IIC クロック (IICCLK) のクロックソースを選択します。書き換えは、IICCKCR.IICCKSRDY が 1 のときに行ってください。

IICCKSREQ ビット（IIC クロック (IICCLK) 切り替え要求）

本ビットは、IICCLK の切り替え要求を選択します。

IICCKSRDY フラグ（IIC クロック (IICCLK) 切り替え可能状態フラグ）

本フラグは、IICCLK の切り替え可能状態を示します。IICCKSRDY が 1 である間、IICCLK にクロックが出力されません。

8.2.29 TRCKCR : トレースクロックコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x03F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TRCKEN	—	—	—	TRCK[3:0]			
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
3:0	TRCK[3:0]	トレースクロック動作周波数選択 0x0: 1 分周 0x1: 2 分周（リセット後の値） 0x2: 4 分周 その他: 設定禁止	R/W
6:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	TRCKEN	トレースクロック動作許可 0: 停止 1: 動作許可	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

トレースクロックコントロールレジスタは、トレースクロックの切り替えを制御するレジスタです。

TRCKCR レジスタは、デバッガが接続されているとき (DBGSTR.CDBGPWRUPREQ ビットが 1) のみ、書き込み可能です。

TRCLK の周波数は、TRCKEN ビットが 0 の状態で変更してください。

TRCKCR レジスタはすべてのリセット要因により初期化されます。

8.3 メインクロック発振器

メインクロック発振器にクロック信号を供給するには、以下のいずれかの方法を使用します。

- 発振子を接続
- 外部クロック信号の入力を接続

8.3.1 発振子を接続する方法

図 8.4 に発振子の接続例を示します。必要に応じてダンピング抵抗 (Rd) を挿入してください。

この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカの推奨する値を使用してください。また、振動子メーカから外部に帰還抵抗 (Rf) を追加するよう指示があった場合は、その指示に従って EXTAL と XTAL の間に Rf を挿入してください。

振動子を接続してクロックを供給する場合、その振動子の周波数は、表 8.1 に記載されているように、メインクロック発振器の発振子周波数の範囲内としてください。

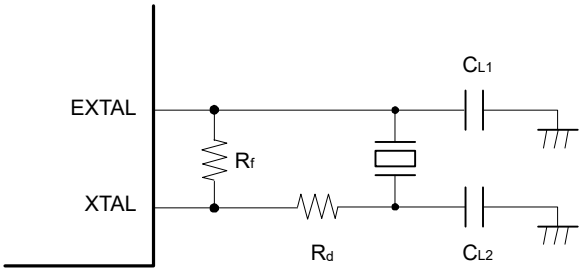


図 8.4 発振子の接続例

図 8.5 に発振子の等価回路を示します。

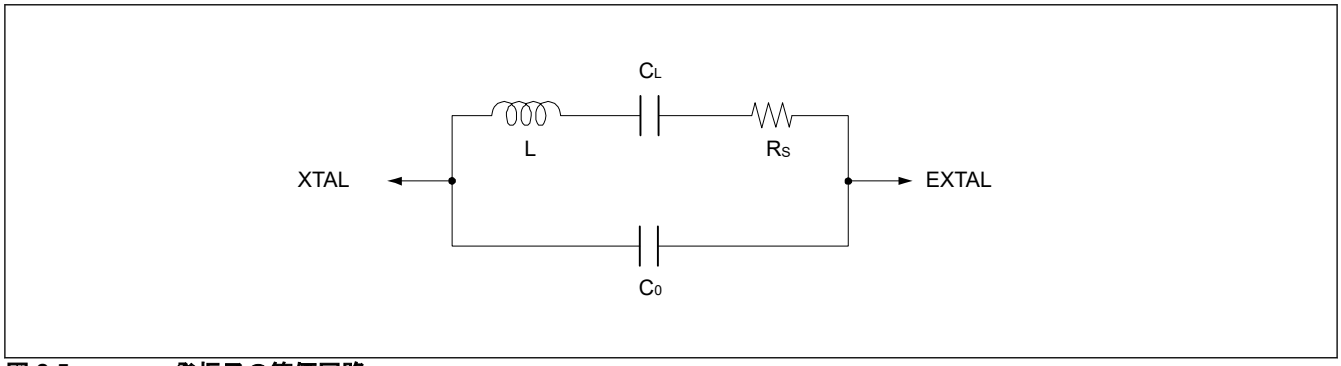


図 8.5 発振子の等価回路

8.3.2 外部クロックを入力する方法

図 8.6 に、外部クロック入力の接続例を示します。外部クロックで発振器を動作させるには、MOMCR.MOSEL ビットを 1 にしてください。XTAL 端子はハイインピーダンスになります。

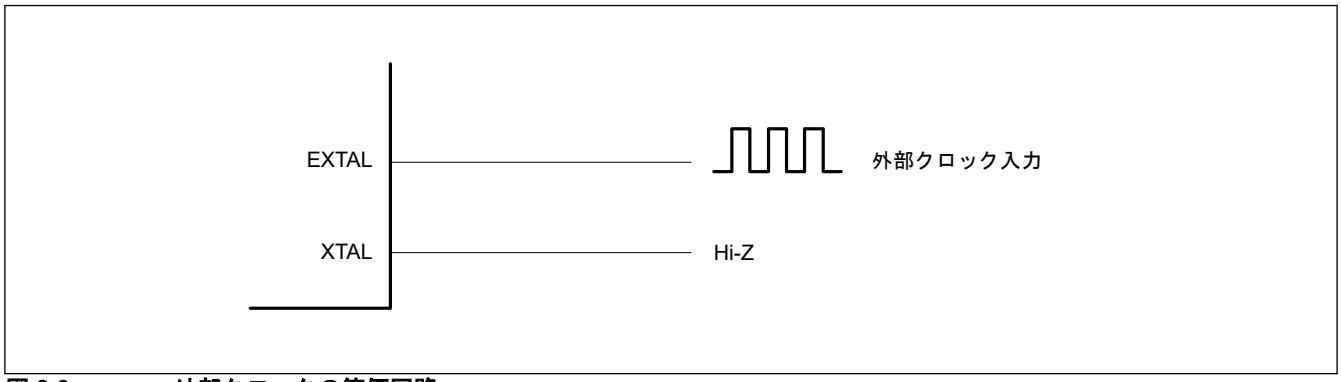


図 8.6 外部クロックの等価回路

8.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器の停止ビット（MOSCCR.MOSTP）が 0 の場合、外部クロック入力の周波数を変更しないでください。

8.4 発振停止検出機能

8.4.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出します。発振停止が検出されると、システムクロックは以下のように切り替わります。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）で発振停止が検出された場合、システムクロックソースは MOCO クロックに切り替わる
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）および SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）で発振停止が検出されると、PLL クロックはシステムクロックソースのままとなります。ただし、周波数はフリーラン発振周波数となります。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。さらに、検出時の汎用 PWM タイマ (GPT) 出力をハイインピーダンスにすることが可能です。

メインクロック発振器に異常が発生した場合など、入力クロックが一定期間 0 または 1 のままとなった場合、メインクロックの発振停止が検出されます。「46. 電気的特性」を参照してください。

メインクロック発振器と MOCO クロックの切り替え、または PLL クロックと PLL フリーランクロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。OSTDF フラグが 1 になると MOCO クロッ

クへ切り替わり、OSTDF フラグを 0 にするとメインクロックに戻ります。ただし、CKSEL[2:0]ビットでメインクロックを選択している場合は、OSTDF フラグを 0 にできません。

OSTDF は切り替えたクロックを以下のように制御します。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）の場合：
  - OSTDF が 0 から 1 になると、クロックソースは MOCO クロックに切り替わる
  - OSTDF が 1 から 0 になると、クロックソースは MOSC に戻る
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）かつ SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）の場合：
  - OSTDF が 0 から 1 になると、クロックソースは PLL フリーランニング発振クロックに切り替わる
  - OSTDF が 1 から 0 になると、クロックソースは PLL に戻る

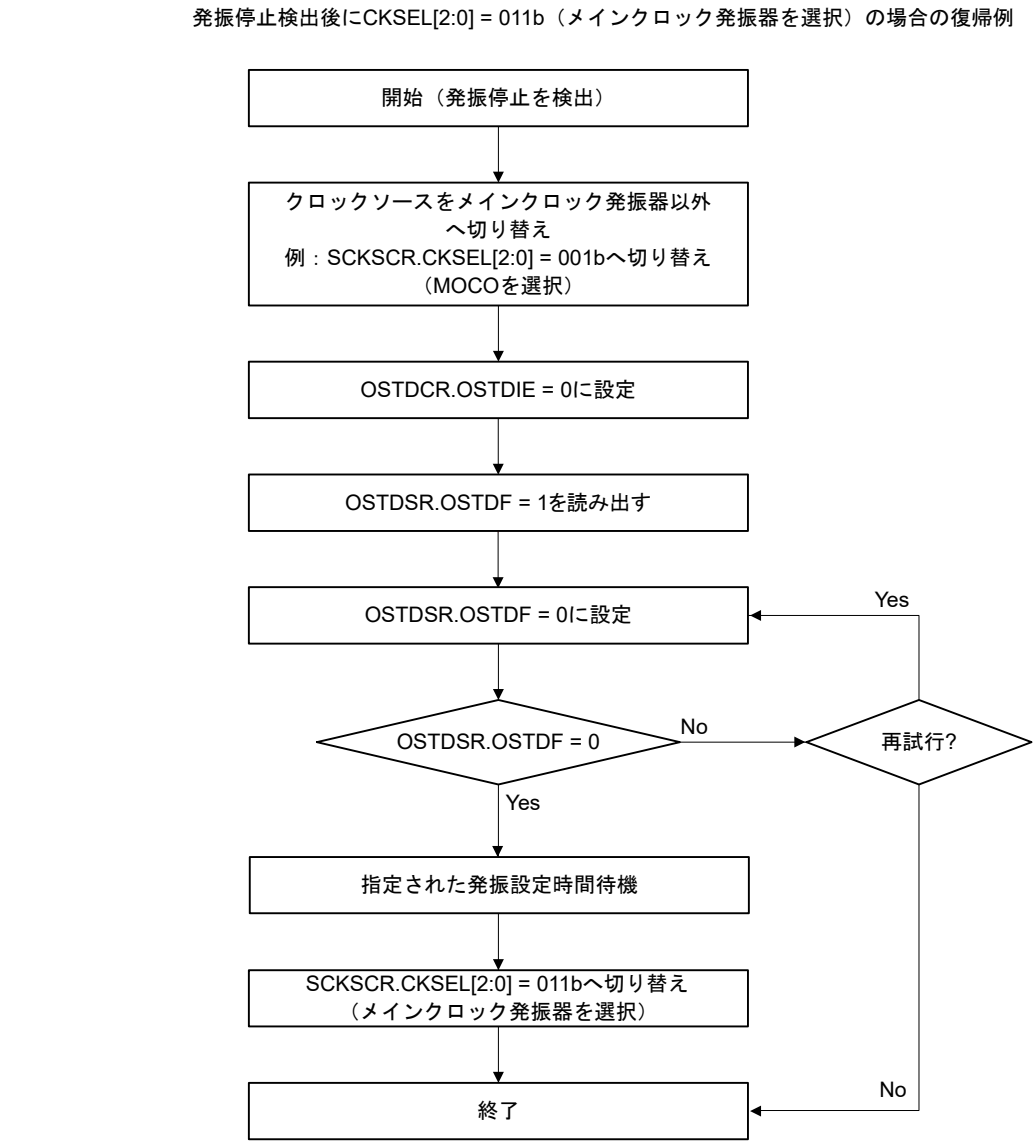
発振停止検出後にクロックソースをメインクロックあるいは PLL クロックに戻したい場合は、一度 CKSEL[2:0]ビットの設定をメインクロックおよび PLL クロック以外に変更し、OSTDF フラグを 0 にしてください。さらに、OSTDF フラグが 1 になっていないことを確認した後、所定の発振安定時間が経過してから、CKSEL[2:0]ビットの設定をメインクロックまたは PLL クロックに変更してください。

リセット解除後、メインクロック発振器は停止して、発振停止検出機能は無効になります。発振停止検出機能を有効にするには、メインクロック発振器を動作させた後、所定の発振安定時間が経過してから、発振停止検出機能有効ビット (OSTDCR.OSTDE) に 1 を書き込んでください。

発振停止検出機能は、外部要因によってメインクロックが停止したことを検出します。そのため、ソフトウェアによるメインクロック発振器の停止、あるいはソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへの遷移の前に、発振停止検出機能を無効にする必要があります。

発振停止検出機能は、CLKOUT 以外のメインクロックとして選択可能なすべてのクロックを MOCO（システムクロックが MOSC の場合）または PLL フリーラン（システムクロックが PLL の場合）に切り替えます。

MOCO 動作中（システムクロックが MOSC の場合）または PLL フリーラン動作中（システムクロックが PLL の場合）のシステムクロック (ICLK) 周波数は、MOCO 発振周波数と、システムクロック選択ビット (SCKDIVCR.ICK[2:0]) で設定された分周比に指定されます。



注. 発振停止状態から復帰する際は、発振を再開できるように、メインクロック発振回路の停止要因をシステムから取り除く必要があります。

図 8.7 発振停止検出時の復帰フロー

8.4.2 発振停止検出割り込み

発振停止検出フラグ (OSTDSR.OSTDF) が 1 で、かつ発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が 1（許可）のとき、発振停止検出割り込み (MOSC_STOP) が発生します。このときポートアウトプットイネーブル (POEG) に対して、メインクロック発振器の停止が通知されます。POEG はこの通知を受けて、POEG グループ n 設定レジスタ (POEGGn.OSTPF) (n = A, B, C, D) の発振停止検出フラグを 1 にします。

発振停止を検出後、POEGGn.OSTPF フラグに書き込みする場合は、PCLKB で 10 クロックサイクル以上待ってから行ってください。OSTDSR.OSTDF フラグのクリアは、発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を 0 にした後に行ってください。OSTDCR.OSTDIE ビットを 1 にする場合は、PCLKB で 2 クロックサイクル以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、これ以上の PCLKB 待ち時間が必要になる場合があります。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態ではノンマスカブル割り込みは禁止されているため、発振停止検出割り込みを使用する前にソフトウェアでノンマスカブル割り込みを許可してください。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

8.5 PLL 回路

PLL 回路は、発振器からの周波数を逓倍する機能を持っています。

8.6 内部クロック

内部クロック用のクロックソースには以下のものがあります。

- メインクロック
- HOCO クロック
- MOCO クロック
- LOCO クロック
- PLL クロック
- PLL2 クロック
- IWDT 専用クロック
- JTAG クロック

これらのクロックソースから、以下の内部クロックが生成されます。

- CPU、DMAC、DTC、フラッシュ、I/O ポート、TFU、IIRFA、および RAM の動作クロック：システムクロック (ICLK)
- 周辺モジュールの動作クロック：周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD）
- FlashIF の動作クロック：FlashIF クロック (FCLK)
- GPT の動作クロック：GPT クロック（GPTCLK）
- SCI および SPI の動作クロック：SCI SPI クロック (SCISPICLK)
- CANFD の動作クロック：CANFD クロック (CANFDCLK)
- CANFD の動作クロック：CAN クロック (CANMCLK)
- IIC の動作クロック：IIC クロック (IICCLK)
- CAC の動作クロック：CAC クロック (CACCLK)
- IWDT の動作クロック：IWDT 専用クロック (IWDTCLK)
- AGT の動作クロック：AGT 専用 LOCO クロック (AGTLCLK)
- SysTick タイマの動作クロック：SysTick タイマ専用クロック (SYSTICCLK)
- 外部端子出力のクロック：クロック／ブザー出力クロック　(CLKOUT)
- JTAG の動作クロック：JTAG クロック (JTAGTCK)

内部クロックの周波数設定に使用するレジスタの詳細については、「8.6.1. システムクロック (ICLK)」～「8.6.14. JTAG クロック」を参照してください。

各ビットを書き換えると、変更後の周波数で動作します。

8.6.1 システムクロック (ICLK)

システムクロック (ICLK) は、CPU、DMAC、DTC、フラッシュメモリ、I/O ポート、TFU、IIRFA、および SRAM の動作クロックです。

ICLK の周波数は、SCKDIVCR.ICK[2:0]ビット、SCKSCR.CKSEL[2:0]ビット、PLLCCR.PLLMUL[5:0]ビット、PLLCCR.PLIDIV[1:0]ビット、OFS1.HOCOFRQ0[1:0]ビットで設定します。

ICLK クロックソースの切り替え時、クロックソース切り替えを行う間、ICLK クロックサイクルが長くなります。図 8.8 と図 8.9 を参照してください。

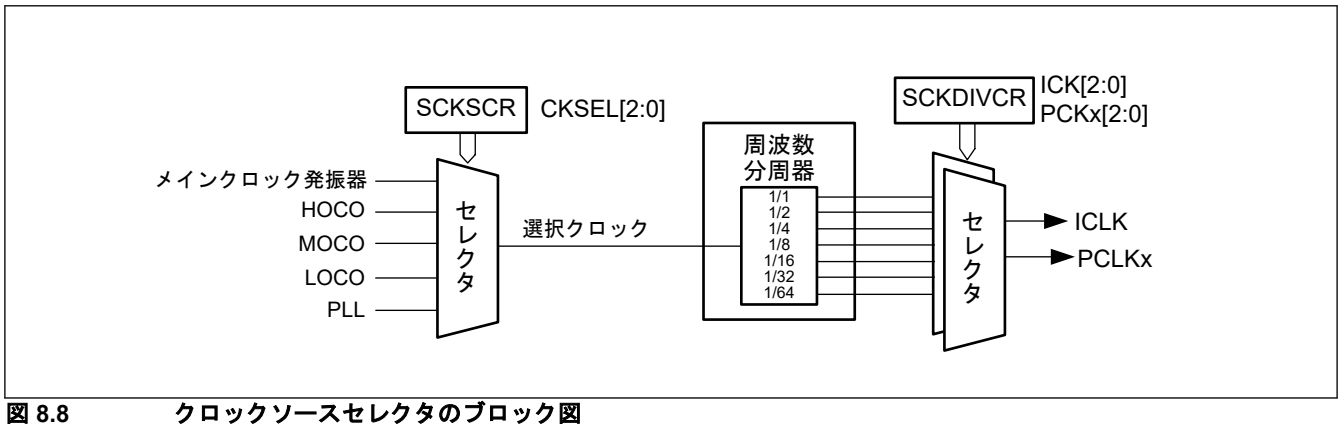


図 8.8　クロックソースセレクタのブロック図

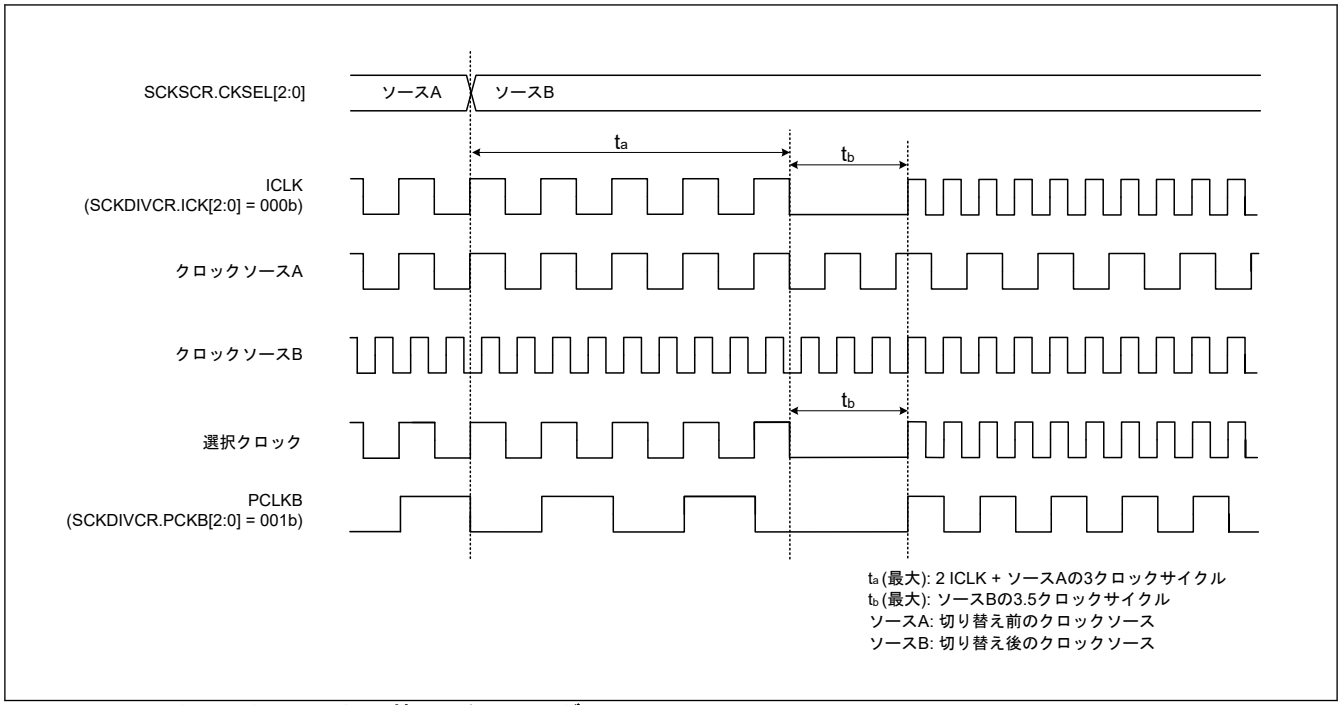


図 8.9　クロックソース切り替えのタイミング

8.6.2　周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD）

周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD）は、周辺モジュールが使用する動作クロックです。

各クロックの周波数は、それぞれ以下のビットで設定します。

- SCKDIVCR.PCKA[2:0]ビット、SCKDIVCR.PCKB[2:0]ビット、SCKDIVCR.PCKC[2:0]ビット、SCKDIVCR.PCKD[2:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[5:0]ビットおよび PLLCCR.PLIDIV[1:0]ビット
- OFS1.HOCOFRQ0[1:0]ビット

周辺モジュールクロックのクロックソースの切り替え時、クロックソース切り替えを行う間、周辺モジュールクロックのクロックサイクルが長くなります。図 8.8 と図 8.9 を参照してください。

8.6.3 FlashIF クロック (FCLK)

フラッシュインタフェースクロック (FCLK) は、フラッシュメモリインタフェースの動作クロックです。データフラッシュからの読み出しに加え、コードフラッシュとデータフラッシュのプログラム／イレースに使用されます。

FCLK の周波数は、以下のビットで設定します。

- SCKDIVCR.FCK[2:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[5:0]ビットおよび PLLCCR.PLIDIV[1:0]ビット
- OFS1.HOCOFRQ0[1:0]ビット

8.6.4 GPT クロック (GPTCLK)

GPT クロック (GPTCLK) は、GPT モジュールの動作クロックです。

GPTCLK の周波数は、以下のビットで設定します。

- GPTCKCR.GPTCKSEL[2:0]ビット
- GPTCKDIVCR.GPTCKDIV[2:0]ビット
- PLLCCR.PLLMUL[5:0]ビットおよび PLLCCR.PLIDIV[1:0]ビット
- PLL2CCR.PLL2MUL[5:0]ビットおよび PLL2CCR.PL2IDIV[1:0]ビット
- OFS1.HOCOFRQ0[1:0]ビット

8.6.5 SCI SPI クロック (SCISPICLK)

SCI SPI クロック (SCISPICLK) は、SCI および SPI モジュールの動作クロックです。

SCISPICLK の周波数は、以下のビットで設定します。

- SCISPICKCR.SCISPICKSEL[2:0]ビット
- SCISPICKDIVCR.SCISPICKDIV[2:0]ビット
- PLLCCR.PLLMUL[5:0]および PLLCCR.PLIDIV[1:0]ビット
- PLL2CCR.PLL2MUL[5:0]ビットおよび PLL2CCR.PL2IDIV[1:0]ビット
- OFS1.HOCOFRQ0[1:0]ビット

8.6.6 CAN クロック (CANMCLK)

CAN クロック (CANMCLK) は、CANFD モジュールの動作クロックです。CANMCLK は、メインクロック発振器で生成されます。

8.6.7 CANFD クロック (CANFDCLK)

CANFD クロック (CANFDCLK) は、CANFD モジュールの動作クロックです。

CANFDCLK の周波数は、以下のビットで設定します。

- CANFDCKCR.CANFDCKSEL[2:0]ビット
- CANFDCKDIVCR.CANFDCKDIV[2:0]ビット
- PLLCCR.PLLMUL[5:0]ビットおよび PLLCCR.PLIDIV[1:0]ビット
- PLL2CCR.PLL2MUL[5:0]ビットおよび PLL2CCR.PL2IDIV[1:0]ビット

8.6.8 CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC の動作クロックです。CACCLK は下記の発振器で生成されます。

- メインクロック発振器

- 高速クロック発振器 (HOCO)
- 中速クロック発振器 (MOCO)
- 低速オンチップオシレータ (LOCO)
- IWDT 専用オンチップオシレータ (IWDTLOCO)

8.6.9 IIC クロック (IICCLK)

IIC クロック (IICCLK) は、IIC モジュールの動作クロックです。

IICCLK 周波数は、以下のビットで設定します。

- IICCKCR.IICCKSEL[2:0]ビット
- IICCKDIVCR.IICCKDIV[2:0]ビット
- PLLCCR.PLLMUL[5:0]ビットおよび PLLCCR.PLIDIV[1:0]ビット
- PLL2CCR.PLL2MUL[5:0]ビットおよび PLL2CCR.PL2IDIV[1:0]ビット
- OFS1.HOCOFRQ0[1:0]ビット

8.6.10 IWDT 専用クロック (IWDTCLK)

IWDT 専用クロック (IWDTCLK) は、IWDT の動作クロックです。IWDTCLK は、IWDT 専用オンチップオシレータの内部発振によって生成されます。

8.6.11 AGT 専用 LOCO クロック（AGTLCLK）

AGT 専用 LOCO クロック (AGTLCLK) は、AGT の動作クロックです。 AGTLCLK は LOCO クロックで生成されます。

8.6.12 SysTick タイマ専用クロック (SYSTICCLK)

SysTick タイマ専用クロック (SYSTICCLK) は、SysTick タイマの動作クロックです。SYSTICCLK は、LOCO クロックで生成されます。

8.6.13 外部端子出力クロック (CLKOUT)

CLKOUT は、クロック出力またはブザー出力として、CLKOUT 端子から外部に出力されます。CKOCR.CKOEN ビットを 1 にすると、CLKOUT は CLKOUT 端子に出力されます。CKOCR.CKODIV[2:0]ビットまたは CKOCR.CKOSEL[2:0]ビットの値を変更できるのは、CKOCR.CKOEN ビットが 0 の場合だけです。

CLKOUT クロックの周波数はそれぞれ、次のようなビットで指定されます。

- CKOCR.CKODIV[2:0]ビットまたは CKOCR.CKOSEL[2:0]ビット
- OFS1.HOCOFRQ0[1:0]ビット

8.6.14 JTAG クロック

JTAG クロック (JTAGTCK) は、JTAG のクロックです。

JTAGTCK は、JTAG 外部クロック (TCK) から生成されたクロックです。

8.7 使用上の注意

8.7.1 クロック発生回路に関する注意事項

各モジュールへ供給される以下のクロックの周波数は、SCKDIVCR レジスタの設定に従って変わります。

- システムクロック (ICLK)
- 周辺モジュールクロック （PCLKA、PCLKB、PCLKC、PCLKD）
- Flash-IF クロック (FCLK)

各周波数は、以下の条件を満たす必要があります。

- 各周波数は、AC 電気的特性で規定される動作周波数 (f) の動作保証範囲内に収まるように選択すること。「46. 電気的特性」を参照してください。
- システムクロックと周辺モジュールクロックは、必ず表 8.2 に従い設定してください。

クロック周波数変更後の処理を確実に実行するには、最初に該当のクロックコントロールレジスタに書き込んで周波数を変更してからレジスタ値を読み出して確認し、最後にその後の処理を実行してください。

8.7.2 ボード設計に関する注意事項

水晶振動子を使用する場合は、振動子およびコンデンサはできるだけ XTAL/EXTAL 端子の近くに配置してください。図 8.10 に示すように、発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。図 8.10 はメインクロック発振器を使用した場合です。

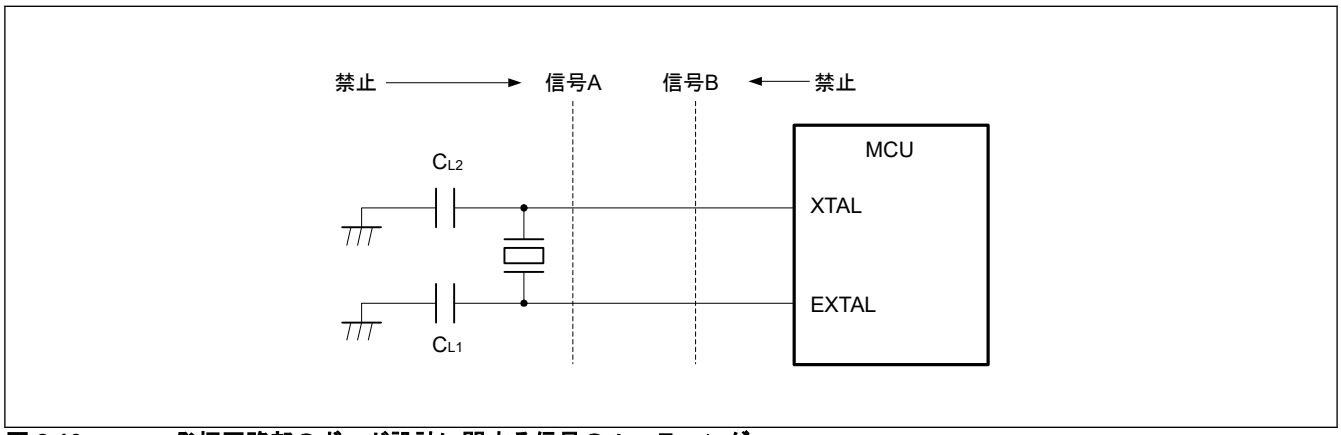


図 8.10 発振回路部のボード設計に関する信号のルーティング

8.7.3 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子と XTAL 端子は、汎用ポートとして使用可能です。これらの端子を汎用ポートとして使用する場合は、メインクロックを停止させる（MOSCCR.MOSTP ビットを 1 にする）必要があります。

9. クロック周波数精度測定回路 (CAC)

9.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内にない時、割り込み要求を発生します。

表 9.1 に CAC の仕様を、図 9.1 に CAC のブロック図を、表 9.2 に CAC の入出力端子を示します。

表 9.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 • メインクロック発振器 • HOCO クロック • MOCO クロック • LOCO クロック • 周辺モジュールクロック B (PCLKB) • IWDT 専用クロック
測定基準クロック	以下のクロックの周波数を測定基準とすることが可能 • CACREF 端子への外部クロック入力 • メインクロック発振器 • HOCO クロック • MOCO クロック • LOCO クロック • 周辺モジュールクロック B (PCLKB) • IWDT 専用クロック
選択機能	デジタルフィルタ機能
割り込み要因	• 測定終了割り込み • 周波数エラー割り込み • オーバーフロー割り込み
消費電力低減機能	モジュールストップ状態への設定が可能
TrustZone フィルタ	セキュリティ属性の設定が可能

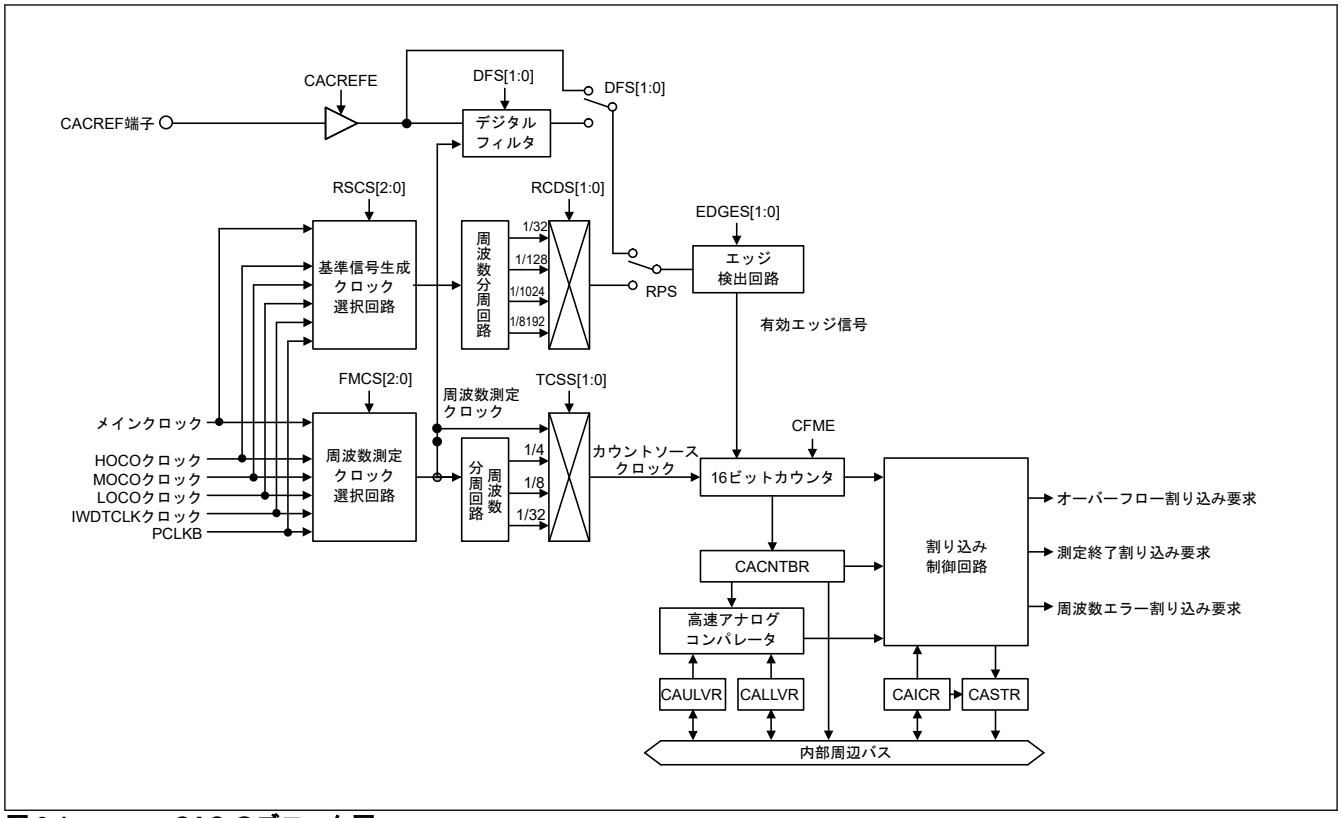


図 9.1　　CAC のブロック図

表 9.2　　CAC の入出力端子

機能	端子名	入出力	内容
CAC	CACREF	入力	測定基準クロックの入力端子

9.2　レジスタの説明

9.2.1　CACR0 : CAC コントロールレジスタ 0

Base address: CAC = 0x4008_3600

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFME
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CFME	クロック周波数測定有効 0: クロック周波数測定無効 1: クロック周波数測定有効	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

CFME ビット（クロック周波数測定有効）

CFME ビットはクロック周波数の測定機能が有効か無効かを設定します。このビットを書き換えても内部回路に反映されるまでは時間がかかります。書き換えが反映されたかはビットの読み出しで確認できます。

9.2.2 CACR1 : CAC コントロールレジスタ 1

Base address: CAC = 0x4008_3600

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EDGES[1:0]		TCSS[1:0]		FMCS[2:0]			CACREFE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CACREFE	CACREF 端子入力有効 0: CACREF 端子入力無効 1: CACREF 端子入力有効	R/W
3:1	FMCS[2:0]	測定対象クロック選択 0 0 0: メインクロック発振器 0 0 1: 設定禁止 0 1 0: HOCO クロック 0 1 1: MOCO クロック 1 0 0: LOCO クロック 1 0 1: 周辺モジュールクロック B (PCLKB) 1 1 0: IWDT 専用クロック 1 1 1: 設定禁止	R/W
5:4	TCSS[1:0]	タイマカウントクロックソース選択 0 0: 分周なしクロック 0 1: × 4 分周クロック 1 0: × 8 分周クロック 1 1: × 32 分周クロック	R/W
7:6	EDGES[1:0]	有効エッジ選択 0 0: 立ち上がりエッジ 0 1: 立ち下がりエッジ 1 0: 立ち上がり／立ち下がり両エッジ 1 1: 設定禁止	R/W

注. CACR1 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

CACREFE ビット（CACREF 端子入力有効）

CACREFE ビットは、CACREF 端子からの入力が有効か無効かを設定します。

FMCS[2:0]ビット（測定対象クロック選択）

FMCS[2:0]ビットは、周波数を測定する測定対象クロックを選択します。

TCSS[1:0]ビット（タイマカウントクロックソース選択）

TCSS[1:0]ビットは、測定対象クロックの分周比を選択します。

EDGES[1:0]ビット（有効エッジ選択）

EDGES[1:0]ビットは、測定基準クロックの有効エッジを選択します。

9.2.3 CACR2 : CAC コントロールレジスタ 2

Base address: CAC = 0x4008_3600

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DFS[1:0]		RCDS[1:0]		RSCS[2:0]			RPS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPS	基準信号選択 0: CACREF 端子入力 1: 内部クロック（内部生成信号）	R/W
3:1	RSCS[2:0]	測定基準クロック選択 0 0 0: メインクロック発振器 0 0 1: 設定禁止 0 1 0: HOCO クロック 0 1 1: MOCO クロック 1 0 0: LOCO クロック 1 0 1: 周辺モジュールクロック B (PCLKB) 1 1 0: IWDT 専用クロック 1 1 1: 設定禁止	R/W
5:4	RCDS[1:0]	測定基準クロック分周比選択 0 0: × 32 分周クロック 0 1: × 128 分周クロック 1 0: × 1024 分周クロック 1 1: × 8192 分周クロック	R/W
7:6	DFS[1:0]	デジタルフィルタ機能選択 0 0: デジタルフィルタ機能無効 0 1: 測定対象クロックでサンプリング 1 0: 測定対象クロックの 4 分周でサンプリング 1 1: 測定対象クロックの 16 分周でサンプリング	R/W

注. CACR2 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

RPS ビット（基準信号選択）

RPS ビットは、エッジ検出回路への入力として CACREF 端子入力か内部クロックから生成した内部生成信号のどちらを使用するか選択します。

RSCS[2:0]ビット（測定基準クロック選択）

RSCS[2:0]ビットは、測定基準クロックを選択します。

RCDS[1:0]ビット（測定基準クロック分周比選択）

RCDS[1:0]ビットは、測定基準クロックとして内部クロックが選択されている場合、測定基準クロックの分周比を選択します。RPS = 0 （CACREF 端子入力が測定基準クロックとして使用）の場合、測定基準クロックは分周されません。

DFS[1:0]ビット（デジタルフィルタ機能選択）

DFS[1:0]ビットは、デジタルフィルタのサンプリングクロックを選択します。

9.2.4 CAICR : CAC 割り込み要求許可レジスタ

Base address: CAC = 0x4008_3600

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	OVFFCL	MENDFCL	FERRFCL	—	OVFIE	MENDIE	FERRIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FERRIE	周波数エラー割り込み要求許可 0: 周波数エラー割り込み要求無効 1: 周波数エラー割り込み要求有効	R/W
1	MENDIE	測定終了割り込み要求許可 0: 測定終了割り込み要求無効 1: 測定終了割り込み要求有効	R/W

ビット	シンボル	機能	R/W
2	OVFIE	オーバーフロー割り込み要求許可 0: オーバーフロー割り込み要求無効 1: オーバーフロー割り込み要求有効	R/W
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	FERRFCL	FERRF フラグクリア 0: 影響なし 1: CASTR.FERRF フラグをクリアします。	W
5	MENDFCL	MENDF フラグクリア 0: 影響なし 1: CASTR.MENDF フラグをクリアします。	W
6	OVFFCL	OVFF フラグクリア 0: 影響なし 1: CASTR.OVFF フラグをクリアします。	W
7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

FERRIE ビット（周波数エラー割り込み要求許可）

FERRIE ビットは、周波数エラー割り込み要求が有効か無効かを設定します。

MENDIE ビット（測定終了割り込み要求許可）

MENDIE ビットは、測定終了割り込み要求が有効か無効かを設定します

OVFIE ビット（オーバーフロー割り込み要求許可）

OVFIE ビットは、オーバーフロー割り込み要求が有効か無効かを設定します。

FERRFCL ビット（FERRF フラグクリア）

FERRFCL ビットは、1 を書くと CASTR.FERRF フラグをクリアします。

MENDFCL ビット（MENDF フラグクリア）

MENDFCL ビットは、1 を書くと CASTR.MENDF フラグをクリアします。

OVFFCL ビット（OVFF フラグクリア）

OVFFCL ビットは、1 を書くと CASTR.OVFF フラグをクリアします。

9.2.5 CASTR : CAC ステータスレジスタ

Base address: CAC = 0x4008_3600

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	OVFF	MENDF	FERRF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FERRF	周波数エラーフラグ 0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた（周波数エラー）	R
1	MENDF	測定終了フラグ 0: 測定中 1: 測定が終了	R
2	OVFF	オーバーフローフラグ 0: カウンタがオーバーフローしていない 1: カウンタがオーバーフローしている	R
7:3	—	読むと 0 が読めます。	R

FERRF フラグ（周波数エラーフラグ）

FERRF フラグは測定クロックのカウント値が設定値を外れた（周波数エラー）ことを示します。

[1 になる条件]

- 測定クロックのカウント値が設定値を外れたとき

[0 になる条件]

- CAICR.FERRFCL ビットに 1 を書き込んだとき

MENDF フラグ（測定終了フラグ）

MENDF フラグは測定が終了したことを示します。

[1 になる条件]

- 測定終了したとき

[0 になる条件]

- CAICR.MENDFCL ビットに 1 を書き込んだとき

OVFF フラグ（オーバーフローフラグ）

OVFF フラグはカウンタがオーバーフローしたことを示します。

[1 になる条件]

- カウンタがオーバーフローしたとき

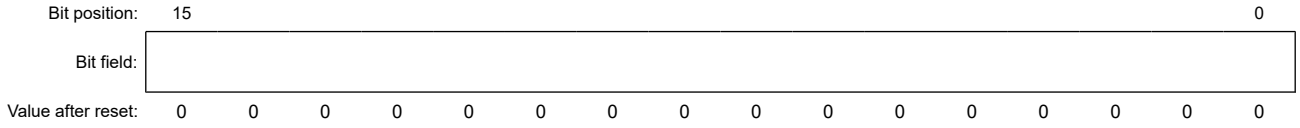
[0 になる条件]

- CAICR.OVFFCL ビットに 1 を書き込んだとき

9.2.6 CAULVR : CAC 上限値設定レジスタ

Base address: CAC = 0x4008_3600

Offset address: 0x06

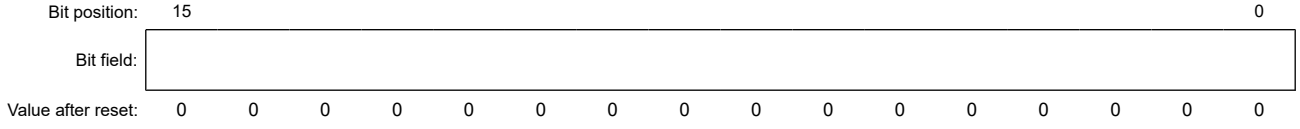


ビット	シンボル	機能	R/W
15:0	n/a	許容範囲の上限値 CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み書き可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。CACR0.CFME ビットが 0 のときに設定してください。 デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により、CACNTBR レジスタに保持されるカウンタ値がずれることがありますので、余裕をもった値を設定してください。	R/W

9.2.7 CALLVR : CAC 下限値設定レジスタ

Base address: CAC = 0x4008_3600

Offset address: 0x08



ビット	シンボル	機能	R/W
15:0	n/a	許容範囲の下限値 CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み書き可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。CACR0.CFME ビットが 0 のときに設定してください。 デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により、CACNTBR レジスタに保持されるカウンタ値がずれることがありますので、余裕をもった値を設定してください。	R/W

9.2.8 CACNTBR : CAC カウンタバッファレジスタ

Base address: CAC = 0x4008_3600

Offset address: 0x0A

Bit position:	15															0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	測定結果 CACNTBR レジスタは測定基準クロックの有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。	R

9.3 動作説明

9.3.1 クロック周波数測定

CAC は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。 図 9.2 に CAC の動作例を示します。CAC は、クロック周波数測定時、以下のように動作します。

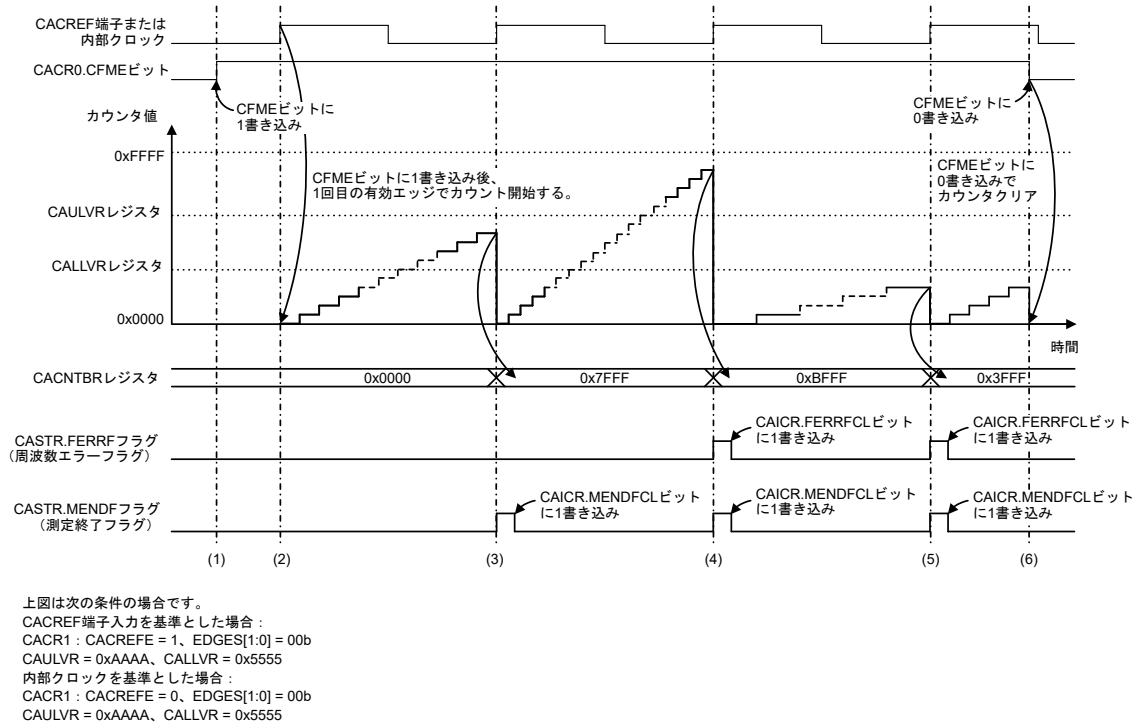


図 9.2 CAC の動作例

図 9.2 におけるイベントは以下の通りです。

1. CACREF 端子入力を基準とした場合 (CACR1.CACREFE = 1) は、CACR2.RPS ビットを 0、CACR1.CACREFE ビットを 1 に設定した状態で、CACR0.CFME ビットに 1 を書き込むとクロック周波数測定が有効になります。一方、内部クロックを基準とした場合 (CACR1.CACREFE = 0) は、CACR2.RPS ビットを 1 に設定した状態で、CACR0.CFME ビットに 1 を書き込むとクロック周波数測定が有効になります。
2. CACREF 端子入力を基準とした場合は、CFME ビットに 1 を書き込み後、CACREF 端子から CACR1.EDGES[1:0]ビットで選択した有効エッジ（図 9.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)）が入力されるとタイマのカウントアップが開始します。内部クロックを基準とした場合は、CFME ビットに 1 を書き込み後、CACR2.RSCS[2:0]ビットで選択したクロックソースを元に CACR1.EDGES[1:0]ビットで選択した有効エッジ（図 9.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)）が入力されるとタイマのカウントアップが開始します。
3. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 ≦ CAULVR レジスタの値かつ CACNTBR レジスタの値 ≧ CALLVR レジスタの値のときはクロック周波数が正常なので CASTR.MENDF フラグだけが 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。
4. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 > CAULVR レジスタの値のときはクロック周波数が異常なので CASTR.FERRF フラグが 1 にセットされます。また、CAICR.FERRIE ビットを 1 に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。
5. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 < CALLVR レジスタの値のときはクロック周波数が異常なので CASTR.FERRF フラグが 1 にセットされます。また、CAICR.FERRIE ビットを 1 に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。

6. CACR0.CFME ビットが 1 の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACR0.CFME ビットに 0 を書き込むと、カウンタをクリアしカウントアップが停止します。

9.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へは同じレベルを伝達し続けます。デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

カウント値誤差 = (カウントソースクロック1周期) / (サンプリングクロック1周期)

9.4 割り込み要求

CAC が要求する割り込み要因には次の 3 種類があります。

- 周波数エラー割り込み
- 測定終了割り込み
- オーバーフロー割り込み

各割り込み要因が発生すると各ステータスフラグが 1 にセットされます。 表 9.3 に CAC 割り込み要求を示します。

表 9.3 CAC 割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタ値を CAULVR レジスタ値および CALLVR レジスタ値と比較をした結果が、CACNTBR レジスタ値> CAULVR レジスタ値または CACNTBR レジスタ値< CALLVR レジスタ値のとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	• 測定基準クロックの有効エッジが入力されたとき • ただし、CACR0.CFME ビットを 1 に書き込み後、1 回目の有効エッジでは測定終了割り込みは発生しない。
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

9.5 使用上の注意事項

9.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CAC の動作禁止／許可を設定することが可能です。リセット後の値では、CAC は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

10. 低消費電力モード

10.1 概要

本 MCU には、クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能があります。

表 10.1 に、低消費電力モード機能の仕様を示します。表 10.2 に、低消費電力モードへの遷移条件、CPU と周辺モジュールの状態、および各モードの解除方法を示します。リセット後、MCU はプログラム実行状態に遷移しますが、DTC、DMAC と SRAM のみが動作しています。

表 10.1 低消費電力モード機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)、およびフラッシュインタフェースクロック (FCLK) に対して、個別に分周比を選択可能(注1)
モジュールストップ	各周辺モジュールに対して、個別に機能停止が可能
低消費電力モード	• スリープモード • ソフトウェアスタンバイモード • スヌーズモード • ディープソフトウェアスタンバイモード
電力制御モード	• 動作周波数に応じて適切な動作電力制御モードを選択することにより、ノーマルモード時およびスリープモード時の消費電力を低減することが可能 • 以下の 2 つの動作電力制御モードが利用可能 High-speed モード Low-speed モード
TrustZone フィルタ	各レジスタに対してセキュリティ属性の設定が可能

注 1. 詳細は、「8. クロック発生回路」を参照してください。

表 10.2 各低消費電力モードの動作状態 (1/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード	ディープソフトウェアスタンバイモード
遷移条件	SBYCR.SSBY = 0 の状態で WFI 命令	SBYCR.SSBY = 1 かつ DPSBYCR.DPSBY = 0 の状態で WFI 命令	ソフトウェアスタンバイモードにおけるスヌーズ要求トリガ SNZCR.SNZE = 1	SBYCR.SSBY = 1 かつ DPSBYCR.DPSBY = 1 の状態で WFI 命令
解除方法	すべての割り込み このモードで利用可能なすべてのリセット	表 10.3 に示す割り込み。 このモードで利用可能なすべてのリセット	表 10.3 に示す割り込み。 このモードで利用可能なすべてのリセット	表 10.3 に示す割り込み。 このモードで利用可能なすべてのリセット
割り込みによる解除後の状態	プログラム実行状態（割り込み処理）	プログラム実行状態（割り込み処理）	プログラム実行状態 （割り込み処理）	リセット状態
リセットによる解除後の状態	リセット状態	リセット状態	リセット状態	リセット状態
メインクロック発振器	選択可能	停止	選択可能(注4)	停止
高速オンチップオシレータ	選択可能	停止	選択可能	停止
中速オンチップオシレータ	選択可能	停止	選択可能	停止
低速オンチップオシレータ	選択可能	選択可能	選択可能	選択可能(注7)
IWDT 専用オンチップオシレータ	選択可能(注1)	選択可能(注1)	選択可能(注1)	停止
PLL	選択可能	停止	選択可能(注4)	停止
PLL2	選択可能	停止	選択可能(注4)	停止
発振停止検出機能	選択可能	動作禁止	動作禁止	動作禁止
クロック／ブザー出力機能	選択可能	選択可能(注2)	選択可能	停止（不定）
CPU	停止（保持）	停止（保持）	停止（保持）	停止（不定）
SRAMn (n = 0)	選択可能	停止（保持）	選択可能	停止（不定）
スタンバイ SRAM	選択可能	停止（保持）	選択可能	停止（保持／不定）(注8)
フラッシュメモリ	動作	停止（保持）	停止（保持）	停止（保持）
DMA コントローラ (DMAC)	選択可能	停止（保持）	動作禁止	停止（不定）

表 10.2 各低消費電力モードの動作状態 (2/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード	ディープソフトウェアスタンバイモード
データトランスファコントローラ (DTC)	選択可能	停止（保持）	選択可能	停止（不定）
ウォッチドッグタイマ (WDT)	選択可能(注1)	停止（保持）	停止（保持）	停止（不定）
独立ウォッチドッグタイマ (IWDT)	選択可能(注1)	選択可能(注1)	選択可能(注1)	停止（不定）
非同期汎用タイマ (AGTn (n = 0, 1))	選択可能	選択可能(注12)	選択可能(注12)	停止（不定）
A/D コンバータ (ADC)	選択可能	停止（保持）	動作禁止	停止（不定）
プログラマブルゲインアンプ (PGA)	選択可能(注13)	停止（保持）	選択可能(注13)	停止（不定）
12 ビット D/A コンバータ (DAC12)	選択可能	停止（保持）	選択可能	停止（不定）
データ演算回路 (DOC)	選択可能	停止（保持）	選択可能	停止（不定）
シリアルコミュニケーションインタフェース (SCI0)	選択可能	停止（保持）	選択可能 （スヌーズモードに遷移するのに RXD0 立ち下がりエッジが利用可能）（調歩同期式モード時のみ）(注5)	停止（不定）
シリアルコミュニケーションインタフェース (SCIn (n = 1～4、9))	選択可能	停止（保持）	動作禁止	停止（不定）
I2C バスインタフェース (IIC0)	選択可能	選択可能(注3)	選択可能(注3) ウェイクアップ割り込みのみが利用可能	停止（不定）
I2C バスインタフェース (IIC1)	選択可能	停止（保持）	動作禁止	停止（不定）
イベントリンクコントローラ (ELC)	選択可能	停止（保持）	選択可能(注6)	停止（不定）
高速アナログコンパレータ (ACMPHSn, n = 0～3)	選択可能	停止（保持）	選択可能 VCOUT 機能のみ(注9)	停止（不定）
IRQn (n = 0～15) 端子割り込み	選択可能	選択可能	選択可能	停止（不定）
NMI、IRQn-DS (n = 0～15) 端子割り込み	選択可能	選択可能	選択可能	選択可能
キー割り込み機能 (KINT)	選択可能	選択可能	選択可能	停止（不定）
低電圧検出 (LVD)	選択可能	選択可能	選択可能	選択可能(注10)
パワーオンリセット回路	動作	動作	動作	動作(注11)
その他の周辺モジュール	選択可能	停止（保持）	動作禁止	停止（不定）
I/O ポート	動作	保持	動作	保持

注. 「選択可能」とは、動作／停止がコントロールレジスタによって選択できることを意味します。
「停止（保持）」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。
「動作禁止」とは、ソフトウェアスタンバイモードへ遷移する前に、その機能を停止させる必要があることを意味します。
「停止（不定）」とは、内部レジスタの内容が不定で、内部回路への通電が遮断されることを意味します。
モジュールストップビットが 0 に設定されているモジュールはすべて、スヌーズモード遷移後に PCLK が供給されると、ただちに起動します。スヌーズモード時に消費電力の増大を防ぐには、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要なモジュールのストップビットを 1 にしてください。

注 1. IWDT 専用オンチップオシレータおよび IWDT の場合、IWDT オートスタートモード時、オプション機能選択レジスタ 0 の IWDT 停止制御ビット (OFS0.IWDTSTPCTL) の設定により、動作／停止を選択できます。WDT の場合、WDT オートスタートモード時、オプション機能選択レジスタ 0 の WDT 停止制御ビット (OFS0.1WDTSTPCTL) の設定により、動作／停止を選択できます。動作周波数に応じて適切な動作電力制御モードを選択することにより、ノーマルモード時およびスリープモード時の消費電力を低減できます。

注 2. クロック出力ソース選択ビット (CKOCR.CKOSEL[2:0]) が 010b (LOCO) 以外の値に設定されている場合は停止します。

注 3. IIC0 ウェイクアップ割り込みが利用可能です。

注 4. スヌーズモードで SCI0 を使用する場合、MOSCCR.MOSTP ビット、PLLCR.PLLSTP ビット、および PLL2CR.PLL2STP ビットを 1 にしてください。

注 5. SCI0 のシリアル通信モードは、調歩同期式モードに限定されます。

注 6. イベントは、「10.10.12. スヌーズモードにおける ELC イベント」に記載のものに限定されます。

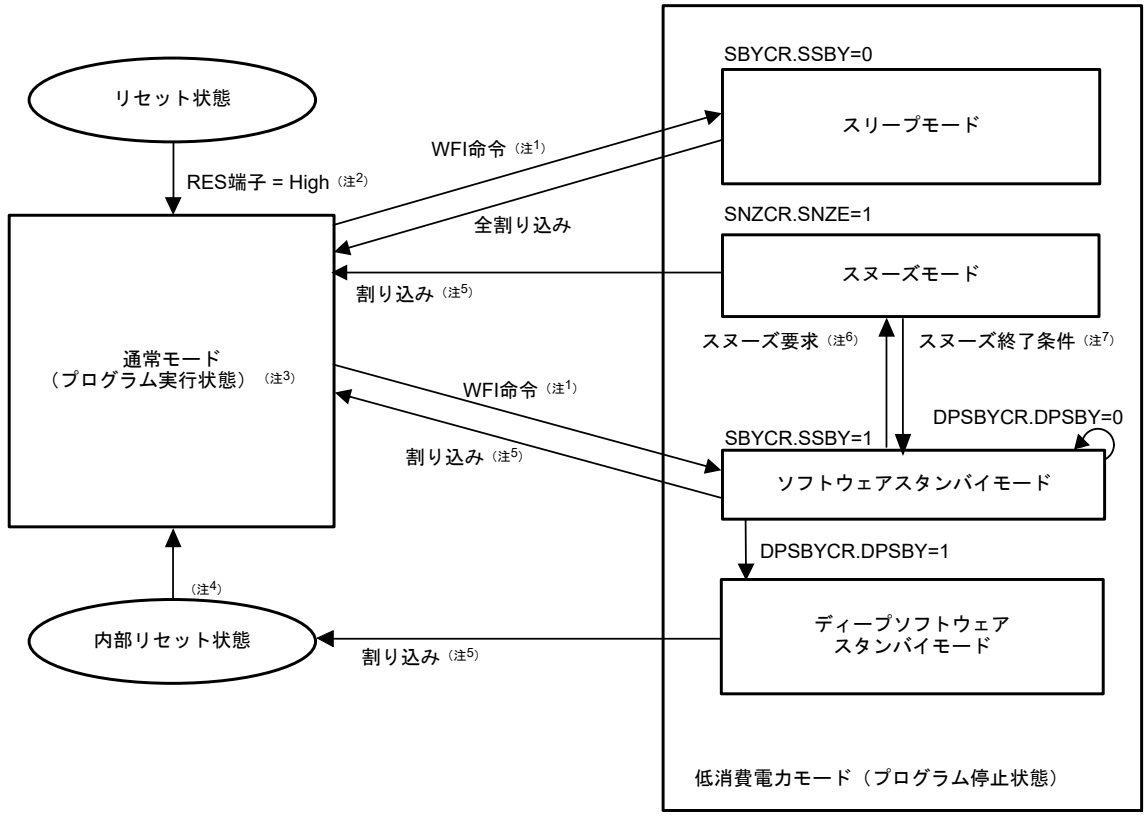
注 7. DPSBYCR.DEEPCUT[1:0]ビットが 00b の場合、発振器の状態はディープソフトウェアスタンバイモード遷移前と同じです。
DPSBYCR.DEEPCUT[1:0]ビットが 00b ではない場合、MCU がディープソフトウェアスタンバイモードへ遷移すると発振器は停止します。

注 8. DPSBYCR.DEEPCUT[1:0]ビットが 00b の場合、ディープソフトウェアスタンバイモードではスタンバイ SRAM のデータが保持されます。DPSBYCR.DEEPCUT[1:0]ビットが 00b でない場合、ディープソフトウェアスタンバイモードではスタンバイ SRAM のデータは不定です。
注 9. VCOUT 機能のみが許可されます。ACMPHS がデジタルフィルタを使用していない場合に、VCOUT 端子は動作します。デジタルフィルタの詳細については、「39. 高速アナログコンパレータ (ACMPHS)」を参照してください。
注 10. ディープソフトウェアスタンバイモードで LVD を使用する場合、ディープソフトウェアスタンバイモードへ遷移する前に DPSBYCR.DEEPCUT[1:0]ビットを 00b または 01b にする必要があります。
注 11. DPSBYCR.DEEPCUT[1:0]ビットが 11b の状態で MCU がディープソフトウェアスタンバイモードへ遷移した場合、LVD 回路は停止し、パワーオンリセット回路の低消費電力機能が有効になります。
注 12. AGT0.AGTMR1.TCK[2:0]ビットで 100b (AGTLCLK) が選択されている場合、AGT0 は動作可能です。AGT1.AGTMR1.TCK[2:0]ビットで 100b (AGTLCLK) または 101b（AGT0 からのアンダーフローイベント信号）が選択されている場合、AGT1 は動作可能です。
注 13. プログラマブルゲインアンプを使用する場合、MSTPD16 は 0 に設定してください。詳細は、「36.3.15. プログラマブルゲインアンプ」を参照してください。

表 10.3 スヌーズモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードを解除するための割り込み要因

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード	ディープソフトウェアスタンバイモード
NMI		可能	可能	可能
ポート	PORT_IRQn (n = 0～15)	可能	可能	可能(注3)
LVD	LVD_LVD1	可能	可能	可能
	LVD_LVD2	可能	可能	可能
IWDT	IWDT_NMIUNDF	可能	可能	不可能
KINT	KEY_INTKR	可能	可能	不可能
AGT1	AGT1_AGTI	可能	可能(注2)	不可能
	AGT1_AGTCMAI	可能	可能	不可能
	AGT1_AGTCMBI	可能	可能	不可能
IIC0	IIC0_WU	可能	可能	不可能
SCI0	SCI0_AM	不可能	SELSR0 で可能(注1)	不可能
DTC	DTC_COMPLETE	不可能	SELSR0 で可能(注1) (注2)	不可能
DOC	DOC_DOPCI	不可能	SELSR0 で可能 (注1)	不可能

注 1. 割り込み要求をスヌーズモードからの復帰トリガとして使用するには、この割り込み要求を SELSR0 で選択する必要があります。SELSR0 を設定するには、「12. 割り込みコントローラユニット (ICU)」を参照してください。SELSR0 で選択したトリガが、WFI 命令の実行後、ノーマルモードからソフトウェアスタンバイモードへの遷移途中に発生した場合は、その要求が受け付けられる可能性はトリガ発生のタイミングに依存します。
注 2. SNZEDCR0 レジスタで許可されたイベントを使用してはいけません。
注 3. IRQn-DS 端子割り込みを使用可能です。IRQn 端子割り込みは使用できません。



注 1. WFI 命令の実行後、プログラム停止状態へ遷移する途中に解除トリガとして機能する割り込みが受け付けられると、低消費電力モードへ遷移せずに、MCU は割り込み例外処理を実行します。
注 2. リセット状態からノーマルモードへ遷移した後は、MOCO クロックが動作クロックソースです。
注 3. 割り込みによって、スリープモード、スヌーズモード、またはソフトウェアスタンバイモードからノーマルモードへ遷移します。クロックソースは低消費電力モードへ遷移する前と同じです。
注 4. 利用可能な割り込み要求が発生すると、内部リセット（ディープソフトウェアスタンバイリセット）が一定時間発生します。内部リセット状態の解除とともにディープソフトウェアスタンバイモードは解除されます。その後、MCU はノーマルモードへ遷移して、MOCO クロックを動作クロックソースとしてリセット例外処理を実行します。
注 5. 表 10.3 を参照してください。
注 6. 表 10.7 を参照してください。
注 7. 表 10.9 を参照してください。

図 10.1 モード遷移

10.2 レジスタの説明

10.2.1 LPMSAR : 低消費電力モードセキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	NONSEC9	NONSEC8	—	—	—	NONSEC4	—	NONSEC2	—	NONSEC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	NONSEC0(注1)	非セキュア属性ビット 0 対象レジスタ：OPCCR 0: セキュア 1: 非セキュア	R/W
1	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
2	NONSEC2	非セキュア属性ビット 2 対象レジスタ：SBYCR 0: セキュア 1: 非セキュア	R/W
3	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
4	NONSEC4	非セキュア属性ビット 4 対象レジスタ：SNZCR、SNZEDCR0、SNZREQCR0 0: セキュア 1: 非セキュア	R/W
7:5	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
8	NONSEC8	非セキュア属性ビット 8 対象レジスタ： DPSBYCR 0: セキュア 1: 非セキュア	R/W
9	NONSEC9	非セキュア属性ビット 9 対象レジスタ： DPSWCR 0: セキュア 1: 非セキュア	R/W
31:10	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

注 1. デバイスライフサイクルが NSECSD (DLMMON.DLMMON[3:0] = 0011b)である場合、これらのビットを非セキュアに設定することを推奨します。詳細は、「45.6.1. セキュリティ属性の設定に関する制限」を参照してください。

LPMSAR レジスタは、低消費電力モードレジスタのセキュア属性を制御します。

NONSEC0 ビット（非セキュア属性ビット 0）

OPCCR レジスタのセキュア属性を制御します。

NONSEC2 ビット（非セキュア属性ビット 2）

SBYCR レジスタのセキュア属性を制御します。

NONSEC4 ビット（非セキュア属性ビット 4）

SNZCR、SNZEDCR0、SNZREQCR0 の各レジスタのセキュア属性を制御します。

NONSEC8 ビット（非セキュア属性ビット 8）

DPSBYCR レジスタのセキュア属性を制御します。

NONSEC9 ビット（非セキュア属性ビット 9）

DPSWCR レジスタのセキュア属性を制御します。

10.2.2 DPFSAR : ディープソフトウェアスタンバイ割り込み要因セキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3E0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	DPFSA20	—	—	DPFSA17	DPFSA16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DPFSA15	DPFSA14	DPFSA13	DPFSA12	DPFSA11	DPFSA10	DPFSA9	DPFSA8	DPFSA7	DPFSA6	DPFSA5	DPFSA4	DPFSA3	DPFSA2	DPFSA1	DPFSA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	DPFSA0～DPFSA7	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット n (n = 0～7) 対象レジスタ: DPSIER0.bn, DPSIFR0.bn, DPSIEGR0.bn（n = 0～7） 対象要因: IRQn-DS 端子 (n = 0～7) 0: セキュア 1: 非セキュア	R/W
15:8	DPFSA8～DPFSA15	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット n (n = 8～15) 対象レジスタ：DPSIER1.bn, DPSIFR1.bn, DPSIEGR1.bn (n = 0～7) 対象要因: IRQn-DS 端子 (n = 8～15) 0: セキュア 1: 非セキュア	R/W
16	DPFSA16	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 16 対象レジスタ: DPSIER2.b0, DPSIFR2.b0, DPSIEGR2.b0 対象要因: LVD1 0: セキュア 1: 非セキュア	R/W
17	DPFSA17	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 17 対象レジスタ: DPSIER2.b1, DPSIFR2.b1, DPSIEGR2.b1 対象要因: LVD2 0: セキュア 1: 非セキュア	R/W
19:18	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
20	DPFSA20	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 20 対象レジスタ: DPSIER2.b4, DPSIFR2.b4, DPSIEGR2.b4 対象要因: NMI 端子 0: セキュア 1: 非セキュア	R/W
31:21	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

DPFSAR レジスタは、ディープソフトウェアスタンバイ割り込み要因コントロールレジスタのセキュリティ属性を制御します。

DPFSA ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット n (n = 0～7)）

DPSIER0.bn, DPSIFR0.bn, DPSIEGR0.bn（n = 0～7）の各レジスタのセキュリティ属性を制御します。

対象要因は、IRQn-DS 端子（n = 0～7）です。

DPFSA ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット n (n = 8～15)）

DPSIER1.bn, DPSIFR1.bn, DPSIEGR1.bn（n = 0～7）の各レジスタのセキュリティ属性を制御します。

対象要因は、IRQn-DS 端子（n = 8～15）です。

DPFSA16 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 16）

DPSIER2.b0, DPSIFR2.b0, DPSIEGR2.b0 の各レジスタのセキュリティ属性を制御します。

対象要因は、LVD1 です。

DPFSA17 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 17）

DPSIER2.b1, DPSIFR2.b1, DPSIEGR2.b1 の各レジスタのセキュリティ属性を制御します。

対象要因は、LVD2 です。

DPFSA20 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 20）

DPSIER2.b4, DPSIFR2.b4, DPSIEGR2.b4 の各レジスタのセキュリティ属性を制御します。

対象要因は、NMI 端子です。

10.2.3 SBYCR : スタンバイコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x00C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むとリセット値が読めます。書く場合、リセット値を書いてください。	R/W
15	SSBY	ソフトウェアスタンバイモード選択 0: スリープモード 1: ソフトウェアスタンバイモード	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SSBY ビット（ソフトウェアスタンバイモード選択）

SSBY ビットは、WFI 命令実行後の遷移先を設定します。

SSBY ビットが 1 の状態で WFI 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。なお、割り込みによってソフトウェアスタンバイモードから通常モードへ復帰したときは、SSBY ビットは 1 のままです。0 を書き込むことにより、SSBY ビットをクリアできます。

OSTDCR.OSTDE ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行すると MCU はスリープモードへ遷移します。

FENTRYR.FENTRYC ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行すると MCU はスリープモードへ遷移します。

FENTRYR.FENTRYD ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行すると MCU はスリープモードへ遷移します。

10.2.4 MSTPCRA：モジュールストップコントロールレジスタ A

Base address: MSTP = 0x4008_4000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	MSTPA22	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	MSTPA7	—	—	—	—	—	—	MSTPA0
Value after reset:	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	0

ビット	シンボル	機能	R/W
0	MSTPA0	SRAM0 モジュールストップ設定 対象モジュール: SRAM0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
6:1	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
7	MSTPA7	スタンバイ SRAM モジュールストップ設定 対象モジュール: スタンバイ SRAM 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21:8	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
22	MSTPA22	DMA コントローラ／データトランスファコントローラモジュールストップ設定(注1) 対象モジュール: DTC、DMAC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:23	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. MSTPA22 ビットを 0 から 1 に書き換える場合、DMAC および DTC を無効にしてから MSTPA22 ビットを設定してください。

10.2.5 MSTPCRB: モジュールストップコントロールレジスタ B

Base address: MSTP = 0x4008_4000

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSTPB31	MSTPB30	MSTPB29	MSTPB28	MSTPB27	—	—	—	—	MSTPB22	—	—	MSTPB19	MSTPB18	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MSTPB9	MSTPB8	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
8	MSTPB8	I2C バスインタフェース 1 モジュールストップ設定(注1) 対象モジュール: IIC1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
9	MSTPB9	I2C バスインタフェース 0 モジュールストップ設定(注1) 対象モジュール: IIC0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
17:10	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
18	MSTPB18	シリアルペリフェラルインタフェース 1 モジュールストップ設定(注2) 対象モジュール: SPI1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
19	MSTPB19	シリアルペリフェラルインタフェース 0 モジュールストップ設定(注2) 対象モジュール: SPI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21:20	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
22	MSTPB22	シリアルコミュニケーションインタフェース 9 モジュールストップ設定(注2) 対象モジュール: SCI9 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
26:23	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
27	MSTPB27	シリアルコミュニケーションインタフェース 4 モジュールストップ設定(注2) 対象モジュール: SCI4 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
28	MSTPB28	シリアルコミュニケーションインタフェース 3 モジュールストップ設定(注2) 対象モジュール: SCI3 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
29	MSTPB29	シリアルコミュニケーションインタフェース 2 モジュールストップ設定(注2) 対象モジュール: SCI2 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
30	MSTPB30	シリアルコミュニケーションインタフェース 1 モジュールストップ設定(注2) 対象モジュール: SCI1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31	MSTPB31	シリアルコミュニケーションインタフェース 0 モジュールストップ設定(注2) 対象モジュール: SCI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. MSTPBi ビットの書き換えは、本ビットによって制御されるクロックの発振が安定しているときに行う必要があります。MSTPBi ビットを書き換えた後、ソフトウェアスタンバイモードへ遷移する場合は、書き換え後 IICCLK が 2 サイクル経過してから WFI 命令を実行してください (i = 8, 9)。

注 2. MSTPBi ビットの書き換えは、本ビットによって制御されるクロックの発振が安定しているときに行う必要があります。MSTPBi ビットを書き換えた後、ソフトウェアスタンバイモードへ遷移する場合は、書き換え後 SCISPICLK が 2 サイクル経過してから WFI 命令を実行してください（i = 18, 19, 22, 27～31）。

10.2.6 MSTPCRC: モジュールストップコントロールレジスタ C

Base address: MSTP = 0x4008_4000

Offset address: 0x008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSTPC31	—	—	—	MSTPC27	—	—	—	—	—	MSTPC21	MSTPC20	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MSTPC14	MSTPC13	—	—	—	—	—	—	—	—	—	—	—	MSTPC1	MSTPC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	MSTPC0	クロック周波数精度測定回路モジュールストップ設定(注1) 対象モジュール: CAC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
1	MSTPC1	巡回冗長検査モジュールストップ設定 対象モジュール: CRC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
12:2	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
13	MSTPC13	データ演算回路モジュールストップ設定 対象モジュール: DOC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
14	MSTPC14	イベントリンクコントローラモジュールストップ設定 対象モジュール: ELC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
19:15	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
20	MSTPC20	三角関数ユニットモジュールストップ設定 対象モジュール: TFU 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21	MSTPC21	IIR フィルタアクセラレータモジュールストップ設定 対象モジュール: IIRFA 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
26:22	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
27	MSTPC27	CANFD モジュールストップ設定(注2) 対象モジュール: CANFD 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
30:28	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
31	MSTPC31	セキュア暗号エンジンモジュールストップ設定 対象モジュール: SCE5 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. MSTPC0 ビットの書き換えは、本ビットによって制御されるクロックの発振が安定しているときに行う必要があります。このビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、発振器によって出力されるクロックのうち、最も遅いクロックが 2 サイクル経過してから WFI 命令を実行してください。
注 2. MSTPC27 ビットの書き換えは、本ビットによって制御されるクロックの発振が安定しているときに行う必要があります。MSTPC27 ビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、書き換え後 CANFD クロック (CANFDCLK) が 2 サイクル経過してから WFI 命令を実行してください。

10.2.7 MSTPCRD : モジュールストップコントロールレジスタ D

Base address: MSTP = 0x4008_4000

Offset address: 0x00C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	MSTPD28	MSTPD27	MSTPD26	MSTPD25	—	—	MSTPD22	—	MSTPD20	MSTPD19	—	—	MSTPD16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MSTPD14	MSTPD13	MSTPD12	MSTPD11	—	—	—	—	—	—	—	MSTPD3	MSTPD2	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
1:0	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
2	MSTPD2	非同期汎用タイマ 1 モジュールストップ設定(注1) 対象モジュール：AGT1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
3	MSTPD3	非同期汎用タイマ 0 モジュールストップ設定(注2) 対象モジュール：AGT0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
10:4	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
11	MSTPD11	GPT 用ポートアウトプットイネーブルグループ D モジュールストップ設定 対象モジュール：POEGGD 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
12	MSTPD12	GPT 用ポートアウトプットイネーブルグループ C モジュールストップ設定 対象モジュール：POEGGC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
13	MSTPD13	GPT 用ポートアウトプットイネーブルグループ B モジュールストップ設定 対象モジュール：POEGGB 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
14	MSTPD14	GPT 用ポートアウトプットイネーブルグループ A モジュールストップ設定 対象モジュール：POEGGA 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
15	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
16	MSTPD16	A/D コンバータモジュールストップ設定 Target module: ADC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
18:17	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
19	MSTPD19	12 ビット D/A コンバータ 1 モジュールストップ設定 対象モジュール：DAC121 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

ビット	シンボル	機能	R/W
20	MSTPD20	12 ビット D/A コンバータ 0 モジュールストップ設定 対象モジュール：DAC120 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
22	MSTPD22	温度センサモジュールストップ設定 Target module: TSN 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
24:23	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
25	MSTPD25	高速アナログコンパレータ 3 モジュールストップ設定 対象モジュール：ACMPHS3 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
26	MSTPD26	高速アナログコンパレータ 2 モジュールストップ設定 対象モジュール：ACMPHS2 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
27	MSTPD27	高速アナログコンパレータ 1 モジュールストップ設定 対象モジュール：ACMPHS1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
28	MSTPD28	高速アナログコンパレータ 0 モジュールストップ設定 対象モジュール：ACMPHS0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:29	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. カウントソースが LOCO の場合、MSTPD2 ビットを 1 にしても、AGT1 のカウントは停止しません。カウントソースが LOCO の場合、AGT1 レジスタにアクセスするときを除いて、本ビットを 1 にする必要があります。

注 2. カウントソースが LOCO の場合、MSTPD3 ビットを 1 にしても、AGT0 のカウントは停止しません。カウントソースが LOCO の場合、AGT0 レジスタにアクセスするときを除いて、本ビットを 1 にする必要があります。

10.2.8 MSTPCRE : モジュールストップコントロールレジスタ E

Base address: MSTP = 0x4008_4000

Offset address: 0x010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSTPE31	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	MSTPE4	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
3:0	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
4	MSTPE4	キー割り込み機能モジュールストップ 対象モジュール：KINT 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
30:5	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
31	MSTPE31	汎用 PWM タイマおよび PWM 遅延生成回路モジュールストップ(注1) 対象モジュール：GPT、PDG 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. MSTPE31 ビットの書き換えは、本ビットによって制御されるクロックの発振が安定しているときに行う必要があります。MSTPE31 ビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、書き換え後 GPTCLK が 2 サイクル経過してから WFI 命令を実行してください。

10.2.9 OPCCR：動作電力コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0A0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	OPCMTSF	—	—	OPCM[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	OPCM[1:0]	動作電力制御モード選択 0 0: High-speed モード 0 1: 設定禁止 1 0: 設定禁止 1 1: Low-Speed モード	R/W
3:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	OPCMTSF	動作電力制御モード遷移状態フラグ 0: 遷移完了 1: 遷移中	R
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

OPCCR レジスタは、低い動作周波数を指定することによって、通常モードとスリープモード時の消費電力を低減させるためのレジスタです。動作電力制御モードの変更手順については、「10.5. 動作電力低減機能」を参照してください。

ソフトウェアスタンバイモードから通常モードまたはスヌーズモードへ遷移する場合は、ソフトウェアスタンバイモード遷移前の設定値にかかわらず、OPCCR.OPCM[1:0]ビットの設定値は以下のとおりです。

- OPCCR.OPCM[1:0] = 00b（High-speed モード）

ソフトウェアスタンバイモードへの遷移が完了する前にソフトウェアスタンバイモードが解除されると、OPCCR.OPCM[1:0]ビットは、WFI 命令実行前の設定値を保持します。これによって問題が生じる場合は、ソフトウェアスタンバイモードを解除する際の例外処理手順において MCU を High-speed モードに設定してください。

OPCM[1:0]ビット（動作電力制御モード選択）

通常モードとスリープモード時の動作電力制御モードを選択します。表 10.4 は、各動作電力制御モードと、OPCM[1:0]ビットの設定値との関係を示しています。

OPCMTSF フラグ（動作電力制御モード遷移状態フラグ）

OPCMTSF フラグは、動作電力制御モード切り替え時の切り替え制御状態を表します。本フラグは、OPCM ビットが書き換えられると 1、モード遷移が完了すると 0 になります。本フラグを読み取って 0 であることを確認してから次の処理を行ってください。

表 10.4　動作電力制御モード

動作電力制御モード	OPCM[1:0]ビット	消費電力
High-speed モード	00b	高
Low-speed モード	11b	低

動作周波数の範囲の詳細は、「46. 電気的特性」を参照してください。

各動作電力制御モードについて以下に説明します。

- High-speed モード
  リセット解除後、MCU はこのモードで動作します。
- Low-speed モード
  Low-speed モードには下記の制限事項があります。
  – フラッシュメモリに対するプログラム／イレース操作は禁止
  – PLL および PLL2 は使用禁止です。「10.10.1. レジスタアクセス」を参照してください。

  このモードでは、同じ条件（動作周波数など）で同じ動作をさせる場合、High-speed モードよりも消費電力を低減できます。

10.2.10　SNZCR : スヌーズコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x092

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SNZE	—	—	—	—	—	SNZDTCEN	RXDREQEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RXDREQEN	RXD0 スヌーズ要求許可 0: ソフトウェアスタンバイモード時に RXD0 の立ち下がりエッジを無視 1: ソフトウェアスタンバイモード時に RXD0 の立ち下がりエッジを検出	R/W
1	SNZDTCEN	スヌーズモード時の DTC 許可 0: DTC 動作を禁止 1: DTC 動作を許可	R/W
6:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	SNZE	スヌーズモード許可 0: スヌーズモードを禁止 1: スヌーズモードを許可	R/W

注.　セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注.　PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

RXDREQEN ビット（RXD0 スヌーズ要求許可）

RXDREQEN ビットはソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジを検出するか否かを指定します。このビットは SCI0 が調歩同期式モードで動作しているときのみ使用可能です。RXD0 端子の立ち下がりエッジを検出するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを設定してください。このビットが 1 の場合、ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジが検出されると、MCU はスヌーズモードへ遷移します。

SNZDTCEN ビット（スヌーズモード時の DTC 許可）

SNZDTCEN ビットは、スヌーズモード時に DTC と SRAM を使用するか否かを指定します。スヌーズモードで DTC と SRAM を使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、IELSRn レジスタを設定することで、DTC を起動することが可能です。

SNZE ビット（スヌーズモード許可）

SNZE ビットは、ソフトウェアスタンバイモードからスヌーズモードへの遷移を許可するか否かを指定します。スヌーズモードを使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、ソフトウェアスタンバイモード時に表 10.7 に示すトリガによって、MCU はスヌーズモードへ遷移します。ソフトウェアスタンバイモードまたはスヌーズモードから通常モードへ遷移した後、ソフトウェアスタンバイモードへ再遷移する場合は、あらかじめ SNZE ビットをいったん 0 にしてから再設定してください。詳細は「10.8. スヌーズモード」を参照してください。

10.2.11 SNZEDCR0 : スヌーズ終了コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x094

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SCI0UMTED	—	—	—	—	DTCNZRED	DTCZRED	AGTUNFED
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	AGTUNFED	AGT1 アンダーフロー時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
1	DTCZRED	最後の DTC 送信完了時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
2	DTCNZRED	最後以外の DTC 送信完了時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
6:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	SCI0UMTED	SCI0 アドレス不一致スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SNZEDCR0 レジスタは、スヌーズモードからソフトウェアスタンバイモードに切り替える条件を制御します。表 10.8 に示すトリガの 1 つをスヌーズモードからソフトウェアスタンバイモードへの切り替え条件として使用するには、SNZEDCR0 レジスタの対応するビットを 1 にしてください。

表 10.3 に示すように、スヌーズモードから通常モードへ復帰させるためのイベントは SNZEDCR0 レジスタで許可しないでください。

AGTUNFED ビット（AGT1 アンダーフロー時スヌーズ終了許可）

AGTUNFED ビットは、AGT1 アンダーフローを契機とするスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「23. 非同期汎用タイマ (AGTW)」を参照してください。

DTCZRED ビット（最後の DTC 送信完了時スヌーズ終了許可）

DTCZRED ビットは、最後の DTC 送信完了（すなわち、DTC の CRA または CRB レジスタが 0）を契機とする、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「16. データトランスファコントローラ (DTC)」を参照してください。

DTCNZRED ビット（最後以外の DTC 送信完了時スヌーズ終了許可）

DTCNZRED ビットは、各 DTC 送信完了（すなわち、DTC の CRA または CRB レジスタが 0 以外）を契機とする、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「16. データトランスファコントローラ (DTC)」を参照してください。

SCI0UMTED ビット（SCI0 アドレス不一致スヌーズ終了許可）

SCI0UMTED ビットは、ソフトウェアスタンバイモード時に受信したアドレスが期待値と一致しない場合に、SCI0 イベントを契機とするスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「26. シリアルコミュニケーションインタフェース (SCI)」を参照してください。このビットは SCI0 が調歩同期式モードを作動しているときにのみ 1 にしてください。

10.2.12 SNZREQCR0：スヌーズ要求コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x098

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	SNZREQEN30	SNZREQEN29	SNZREQEN28	—	—	—	—	—	—	—	—	—	—	SNZREQEN17	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SNZREQEN15	SNZREQEN14	SNZREQEN13	SNZREQEN12	SNZREQEN11	SNZREQEN10	SNZREQEN9	SNZREQEN8	SNZREQEN7	SNZREQEN6	SNZREQEN5	SNZREQEN4	SNZREQEN3	SNZREQEN2	SNZREQEN1	SNZREQEN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SNZREQEN0	IRQ0 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
1	SNZREQEN1	IRQ1 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
2	SNZREQEN2	IRQ2 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
3	SNZREQEN3	IRQ3 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
4	SNZREQEN4	IRQ4 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
5	SNZREQEN5	IRQ5 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W

ビット	シンボル	機能	R/W
6	SNZREQEN6	IRQ6 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
7	SNZREQEN7	IRQ7 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
8	SNZREQEN8	IRQ8 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
9	SNZREQEN9	IRQ9 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
10	SNZREQEN10	IRQ10 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
11	SNZREQEN11	IRQ11 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
12	SNZREQEN12	IRQ12 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
13	SNZREQEN13	IRQ13 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
14	SNZREQEN14	IRQ14 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
15	SNZREQEN15	IRQ15 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
16	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
17	SNZREQEN17	キー割り込みのスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
27:18	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
28	SNZREQEN28	AGT1 アンダーフローのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
29	SNZREQEN29	AGT1 コンペアマッチ A のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
30	SNZREQEN30	AGT1 コンペアマッチ B のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
31	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SNZREQCR0 レジスタは、ソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのトリガを制御します。WUPENn レジスタ（「12. 割り込みコントローラユニット (ICU)」を参照）の設定によって、トリガがソフトウェアスタンバイモードの解除要求として選択されている場合、SNZREQCR0 レジスタの対応するビットが 1 であっても、そのトリガが発生すると MCU は通常モードへ遷移します。WUPENn レジスタの設定値は、

SNZREQCR0 レジスタの設定値よりも常に優先順位は高くなります。詳細は、「10.8. スヌーズモード」および「12. 割り込みコントローラユニット (ICU)」を参照してください。

10.2.13 DPSBYCR : ディープソフトウェアスタンバイコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x400

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DPSBY	IOKEEP	—	—	—	—	DEEPCUT[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	DEEPCUT[1:0]	電源制御 0 0: ディープソフトウェアスタンバイモード時に、スタンバイ RAM、低速オンチップオシレータへ電源を供給する 0 1: ディープソフトウェアスタンバイモード時に、スタンバイ RAM、低速オンチップオシレータへ電源を供給しない 1 0: 設定禁止 1 1: ディープソフトウェアスタンバイモード時に、スタンバイ RAM、低速オンチップオシレータへ電源を供給しない。さらに、LVD を無効にし、パワーオンリセット回路の低消費電力機能を有効にする	R/W
5:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6	IOKEEP	I/O ポート保持 0: ディープソフトウェアスタンバイモード解除時に、I/O ポートはリセット状態 1: ディープソフトウェアスタンバイモード解除時に、I/O ポートはディープソフトウェアスタンバイモード時と同じ状態	R/W
7	DPSBY	ディープソフトウェアスタンバイ 0: スリープモード (SBYCR.SSBY=0) / ソフトウェアスタンバイモード (SBYCR.SSBY=1) 1: スリープモード (SBYCR.SSBY=0) / ディープソフトウェアスタンバイモード (SBYCR.SSBY=1)	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードを制御します。

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

DEEPCUT[1:0]ビット（電源制御）

DEEPCUT[1:0]ビットはディープソフトウェアスタンバイモード時に、スタンバイ RAM、低速オンチップオシレータへの内部電源供給を制御します。さらに、ディープソフトウェアスタンバイモード時に、LVD とパワーオンリセット回路の状態を制御します。

また、ディープソフトウェアスタンバイモード時に LVD 割り込みを使用する場合は、DEEPCUT[1:0]ビットを 00b または 01b にする必要があります。

低消費電力化のため、LVD を停止させ、パワーオンリセット回路の低消費電力機能を有効にする場合は、DEEPCUT[1:0]ビットを 11b にしてください。

DEEPCUT[1:0]ビットの設定に関係なく、ディープソフトウェアスタンバイモード中は、スタンバイ SRAM を除く SRAM への内部電源供給は停止します。

ディープソフトウェアスタンバイモードが使用される場合、ディープソフトウェアスタンバイモードに遷移する前に DEEPCUT[1]の値により DPSWCR.WTSTS ビットを設定してください。

IOKEEP ビット（I/O ポート保持）

ディープソフトウェアスタンバイモード時に、I/O ポートはソフトウェアスタンバイモード時と同じ状態を維持します。IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除後、I/O ポートの状態をリセットするか否かを指定します。

DPSBY ビット（ディープソフトウェアスタンバイ）

ディープソフトウェアスタンバイモードへの遷移を制御します。

SBYCR.SSBY ビットと DPSBYCR.DPSBY ビットがともに 1 の状態で WFI 命令を実行すると、MCU は、ソフトウェアスタンバイモードを経由してディープソフトウェアスタンバイモードへ遷移します。

外部端子割り込み発生要因となる一部の端子（NMI、IRQn-DS (n = 0～15)）、または周辺機能割り込み（電圧監視 1、電圧監視 2）によってディープソフトウェアスタンバイモードを解除したときは、DPSBY ビットは 1 のままです。本ビットをクリアするときは、0 を書いてください。

OFS0.IWDTSTPCTL ビットが 0（カウント継続）の場合、OFS0.IWDTSTRT ビットの設定値にかかわらず、DPSBY ビットの設定値は無効です。この場合、SBYCR.SSBY ビットが 1 でかつ DPSBY ビットが 1 であっても、WFI 命令実行後はソフトウェアスタンバイモードへ遷移します。

また、電圧監視 1 リセットが許可 (LVD1CR0.RI = 1) の場合、あるいは電圧監視 2 リセットが許可 (LVD2CR0.RI = 1) の場合も、DPSBY ビットの設定値は無効です。この場合、SBYCR.SSBY ビットが 1 でかつ DPSBY ビットが 1 であっても、WFI 命令実行後はソフトウェアスタンバイモードへ遷移します。

10.2.14 DPSWCR : ディープソフトウェアスタンバイウェイトコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x401

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	WTSTS[5:0]					
Value after reset:	0	0	0	1	1	0	0	1

ビット	シンボル	機能	R/W
5:0	WTSTS[5:0]	ディープソフトウェアウェイトスタンバイ時間設定 0x0E: ファストリカバリ用のウェイトサイクル数 0x19: スローリカバリ用のウェイトサイクル数 その他: 設定禁止	R/W
7:6	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSWCR レジスタは、外部端子割り込みまたは周辺割り込みの要因である端子によってディープソフトウェアスタンバイモードが解除されるときの安定待機時間を設定します。

本レジスタに設定される安定待機時間中、ディープソフトウェアスタンバイリセットが発生し、MCU は初期化されます。

DPSWCR レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

ディープソフトウェアスタンバイモードが使用される場合、ディープソフトウェアスタンバイモードに遷移する前に DPSBYCR.DEEPCUT[1]の値により DPSWCR.WTSTS ビットを設定してください。

DPSBYCR.DEEPCUT[1] = 0 の場合、DPSWCR.WTSTS をファストリカバリ用のウェイトサイクル数に設定できます。

DPSBYCR.DEEPCUT[1] = 1 の場合、DPSWCR.WTSTS をスローリカバリ用のウェイトサイクル数に設定する必要があります。

10.2.15 DPSIER0 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x402

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ7E	DIRQ6E	DIRQ5E	DIRQ4E	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ0E	IRQ0-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	DIRQ1E	IRQ1-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
2	DIRQ2E	IRQ2-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
3	DIRQ3E	IRQ3-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
4	DIRQ4E	IRQ4-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
5	DIRQ5E	IRQ5-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
6	DIRQ6E	IRQ6-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
7	DIRQ7E	IRQ7-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIER0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

なお、DPSIER0 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR0 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR0 レジスタを 0 にしてください。

10.2.16 DPSIER1 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x403

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ15E	DIRQ14E	DIRQ13E	DIRQ12E	DIRQ11E	DIRQ10E	DIRQ9E	DIRQ8E
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ8E	IRQ8-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	DIRQ9E	IRQ9-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
2	DIRQ10E	IRQ10-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
3	DIRQ11E	IRQ11-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
4	DIRQ12E	IRQ12-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
5	DIRQ13E	IRQ13-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
6	DIRQ14E	IRQ14-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
7	DIRQ15E	IRQ15-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIER1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

なお、DPSIER1 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR1 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR1 レジスタを 0 にしてください。

10.2.17 DPSIER2 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 2

Base address: SYSC = 0x4001_E000

Offset address: 0x404

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DNMIE	—	—	DLVD2IE	DLVD1IE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DLVD1IE	LVD1 ディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	DLVD2IE	LVD2 ディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
3:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
4	DNMIE	NMI 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W(注1)
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. 一度だけ 1 を書くことができます。以後のライトアクセスは無効です。

DPSIER2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

なお、DPSIER2 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR2 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR2 レジスタを 0 にしてください。

10.2.18 DPSIFR0 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x406

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ7F	DIRQ6F	DIRQ5F	DIRQ4F	DIRQ3F	DIRQ2F	DIRQ1F	DIRQ0F
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ0F	IRQ0-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
1	DIRQ1F	IRQ1-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
2	DIRQ2F	IRQ2-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
3	DIRQ3F	IRQ3-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
4	DIRQ4F	IRQ4-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
5	DIRQ5F	IRQ5-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
6	DIRQ6F	IRQ6-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
7	DIRQ7F	IRQ7-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. 0 を書くとフラグが 0 になります。1 の書き込みは無視されます。
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

それぞれのフラグは、DPSIEGR0 レジスタで設定した解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER0 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR0 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER0 レジスタの設定変更後に DPSIFR0 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR0 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER0 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。DPSIER0 レジスタの設定変更後に DPSIFR0 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR0 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER0 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。詳細は、「5. リセット」を参照してください。

DIRQnF フラグ（IRQn-DS 端子ディープソフトウェアスタンバイ解除フラグ） (n = 0～7)

DIRQnF フラグは IRQn-DS 端子による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR0 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

10.2.19 DPSIFR1 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x407

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ15F	DIRQ14F	DIRQ13F	DIRQ12F	DIRQ11F	DIRQ10F	DIRQ9F	DIRQ8F
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ8F	IRQ8-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
1	DIRQ9F	IRQ9-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
2	DIRQ10F	IRQ10-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
3	DIRQ11F	IRQ11-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
4	DIRQ12F	IRQ12-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
5	DIRQ13F	IRQ13-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
6	DIRQ14F	IRQ14-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W

ビット	シンボル	機能	R/W
7	DIRQ15F	IRQ15-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. 0 を書くとフラグが 0 になります。1 の書き込みは無視されます。
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

それぞれのフラグは、DPSIEGR1 レジスタで設定した解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER1 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR1 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER1 レジスタの設定変更後に DPSIFR1 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR1 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER1 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

DIRQnF フラグ（IRQn-DS 端子ディープソフトウェアスタンバイ解除フラグ）（n = 8～15）

DIRQnF フラグは IRQn-DS 端子による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR1 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

10.2.20 DPSIFR2 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 2

Base address: SYSC = 0x4001_E000

Offset address: 0x408

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DNMIF	—	—	DLVD2IF	DLVD1IF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DLVD1IF	LVD1 ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
1	DLVD2IF	LVD2 ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DNMIF	NMI 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. 0 を書くとフラグが 0 になります。1 の書き込みは無視されます。
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

それぞれのフラグは、DPSIEGR2 レジスタで設定した解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER2 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR2 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER2 レジスタの設定変更後に DPSIFR2 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR2 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER2 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

DLVDmIF フラグ（LVDm ディープソフトウェアスタンバイ解除フラグ） (m = 1, 2)

DLVDmIF フラグは電圧監視 m 信号による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR2 レジスタで選択した電圧監視 m 信号による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

DNMIF フラグ（NMI 端子ディープソフトウェアスタンバイ解除フラグ）

NMI 端子による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR2 レジスタで設定した NMI 端子による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

10.2.21 DPSIEGR0 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x40A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ7EG	DIRQ6EG	DIRQ5EG	DIRQ4EG	DIRQ3EG	DIRQ2EG	DIRQ1EG	DIRQ0EG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ0EG	IRQ0-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
1	DIRQ1EG	IRQ1-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
2	DIRQ2EG	IRQ2-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
3	DIRQ3EG	IRQ3-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
4	DIRQ4EG	IRQ4-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

ビット	シンボル	機能	R/W
5	DIRQ5EG	IRQ5-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
6	DIRQ6EG	IRQ6-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
7	DIRQ7EG	IRQ7-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIEGR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

10.2.22 DPSIEGR1 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x40B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ15EG	DIRQ14EG	DIRQ13EG	DIRQ12EG	DIRQ11EG	DIRQ10EG	DIRQ9EG	DIRQ8EG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ8EG	IRQ8-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
1	DIRQ9EG	IRQ9-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
2	DIRQ10EG	IRQ10-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
3	DIRQ11EG	IRQ11-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
4	DIRQ12EG	IRQ12-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
5	DIRQ13EG	IRQ13-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
6	DIRQ14EG	IRQ14-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
7	DIRQ15EG	IRQ15-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIEGR1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

10.2.23 DPSIEGR2 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 2

Base address: SYSC = 0x4001_E000

Offset address: 0x40C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DNMIEG	—	—	DLVD2EG	DLVD1EG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DLVD1EG	LVD1 エッジ選択 0: VCC ＜ V_{det1}（下降）検出時に解除要求を発生 1: VCC ≧ V_{det1}（上昇）検出時に解除要求を発生	R/W
1	DLVD2EG	LVD2 エッジ選択 0: VCC ＜ V_{det2}（下降）検出時に解除要求を発生 1: VCC ≧ V_{det2}（上昇）検出時に解除要求を発生	R/W
3:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	DNMIEG	NMI 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIEGR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

10.2.24 SYOCDCR : システムコントロール OCD コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x040E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DBGEN	—	—	—	—	—	—	DOCDF
Value after reset:	0	0	0	0	0	0	0	x

ビット	シンボル	機能	R/W
0	DOCDF	ディープソフトウェアスタンバイ OCD フラグ 0: DBIRQ の発生なし 1: DBIRQ の発生あり	R/W(注1)
6:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	DBGEN	デバッガ有効 オンチップデバッグモードで最初に 1 にしてください。 0: オンチップデバッガは無効 1: オンチップデバッガは有効	R/W

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. 0 を書くとフラグが 0 になります。1 の書き込みは無視されます。

本レジスタはどのセキュリティ属性レジスタ（例：LPMSAR、DPFSAR）によっても制御されません。

SYOCDCR レジスタは、デバッガが接続されている場合 (DBGSTR.CDBGPWRUPREQ = 1) のみ書き込むことができます。

SYOCDCR レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。

DOCDF フラグ（ディープソフトウェアスタンバイ OCD フラグ）

DOCDF フラグは、MCUCTRL.DBIRQ ビットによるディープソフトウェアスタンバイモード解除要求の発生を示すフラグです。解除要求が発生すると、DOCDF フラグは 1 に設定されます。ディープソフトウェアスタンバイモードではない状態でも、解除要求が発生すれば 1 になる場合があります。そのため、必ず DOCDF フラグを 0 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

[1 になる条件]

- MCUCTRL.DBIRQ ビットによる解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DBGEN ビットが 0 のとき

DBGEN ビット（デバッガ有効）

DBGEN ビットはオンチップデバッグモードを有効にします。このビットは、オンチップデバッグモードで最初に 1 にする必要があります。

[1 になる条件]

- デバッガの接続時に 1 を書いたとき

[0 になる条件]

- パワーオンリセットが発生したとき
- 0 を書いたとき

注. DBGEN ビットが 1 に設定可能な MCU 状態に関して、特定の制約が適用されます。詳細は、「2.13.2. エミュレータ接続における制限」を参照してください。

10.3 クロックの切り替えによる消費電力の低減

SCKDIVCR レジスタを設定すると、クロック周波数が切り替わります。

モジュールとクロックの対応関係は、「8.2.2. SCKDIVCR : システムクロック分周コントロールレジスタ」を参照してください。

10.4 モジュールストップ機能

モジュールストップ機能は、各内蔵周辺モジュールへのクロック供給を停止することが可能です。

MSTPCRn（n = A～E）レジスタの MSTPmi ビット（m = A～E、i = 31～0）を 1 にすると、指定したモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は動作を継続します。MSTPmi ビットを 0 にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。

リセット解除後は、DMAC、DTC、SRAMn 以外の全モジュールがモジュールストップ状態になります。MSTPmi ビットが 1 であるときは、対応するモジュールにアクセスしないでください。また、対応するモジュールにアクセス中であるときは、MSTPmi ビットを 1 にしないでください。

PLL がクロックソースとして選択されている場合、MSTPmi ビットは 1 回で 1 ビットのみ変更してください。以下のビットのいずれかを変更する場合、各 MSTPmi ビットを変更後、次の処理を開始する前に少なくとも 250 ns 待機してください。

MSTPD16 (ADC)、MSTPC31 (SCE5)

待機時間の計測にはソフトウェアを使用することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。

10.5 動作電力低減機能

動作周波数に応じて適切な動作電力制御モードを選択することにより、ノーマルモード時、スリープモード時、およびスヌーズモード時の消費電力を低減できます。

10.5.1 動作電力制御モードの設定方法

動作電力制御モードを切り替える場合は、その前後において、周波数範囲などの動作条件が仕様範囲内に収まっていることを確認してください。

動作電力制御モードの切り替え手順例を以下に示します。

表 10.5 各モードで利用可能な発振器

モード	発振器					
	PLL、PLL2	高速オンチップオシレータ	中速オンチップオシレータ	低速オンチップオシレータ	メインクロック発振器	IWDT 専用オンチップオシレータ
High-speed	可能	可能	可能	可能	可能	可能
Low-speed	不可能	可能	可能	可能	可能	可能

(1) 消費電力が大きいモードから小さいモードへ切り替える場合

例 1：High-speed モードから Low-speed モードへの切り替え

（最初は High-Speed モードで動作しています）

1. 発振器を Low-speed モードで使用するものに変更する。各クロックの周波数を、Low-speed モードにおける最高動作周波数以下にする。
2. Low-speed モードで不要な発振器を OFF にする。
3. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。
4. OPCCR.OPCM[1:0]ビットを 11b（Low-speed モード）にする。
5. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。

（動作は Low-speed モードになります）

(2) 消費電力が小さいモードから大きいモードへ切り替える場合

例 1：Low-speed モードから High-speed モードへの切り替え

（最初は Low-speed モードで動作しています）

1. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。
2. OPCCR.OPCM[1:0]ビットを 00b （High-speed モード）にする。
3. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。
4. High-speed モードで必要な発振器を ON にする。
5. 各クロックの周波数を、High-speed モードにおける最高動作周波数以下とする。

（動作は High-speed モードになります）

10.6 スリープモード

10.6.1 スリープモードへの遷移

SBYCR.SSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はスリープモードへ遷移します。このモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しませ

ん。スリープモードで利用可能なリセットまたは割り込みが発生すると、スリープモードが解除されます。すべての割り込み要因が利用可能です。割り込みを使用してスリープモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止）の場合、MCU がスリープモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続）の場合、MCU がスリープモードへ遷移しても IWDT はカウントを継続します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 1（スリープモード時に WDT カウント停止）の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSTPR.SLCSTP ビットが 1（スリープモード時に WDT カウント停止）の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 0（スリープモード時に WDT カウント継続）の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSTPR.SLCSTP ビットが 0（スリープモード時に WDT カウント継続）の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。

10.6.2 スリープモードの解除

スリープモードは以下の方法で解除されます。

- 割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- SRAM パリティエラーリセット
- SRAM ECC エラーリセット
- バスマスタ MPU エラーリセット
- TrustZone エラーリセット
- IWDT または WDT アンダーフローによるリセット

動作は以下のとおりです。

1. 割り込みによる解除
   割り込み要求が発生すると、スリープモードが解除されて、MCU は割り込み処理を開始します。
2. RES 端子リセットによる解除
   RES 端子を Low にすると、MCU はリセット状態になります。「46. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. IWDT リセットによる解除
   - IWDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、スリープモード時に IWDT が停止して、スリープモードを解除するための内部リセットが発生しません。
   - OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1
4. WDT リセットによる解除
   WDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、通常モード時にカウントしている場合でも WDT はスリープモードで停止して、スリープモードを解除するための内部リセットが発生しません。
   - OFS0.WDTSTRT = 0（オートスタートモード）かつ OFS0.WDTSTPCTL = 1
   - OFS0.WDTSTRT = 1（レジスタスタートモード）かつ WDTCSTPR.SLCSTP = 1

5. スリープモードで利用可能な他のリセットによる解除
   その他の利用可能なリセットによってスリープモードは解除され、MCU はリセット例外処理を開始します。

注. 割り込みの正しい設定方法については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

10.7 ソフトウェアスタンバイモード

10.7.1 ソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1 で、かつ DPSBYCR.DPSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はソフトウェアスタンバイモードへ遷移します。このモードでは、CPU、ほとんどの内蔵周辺機能、および発振器が停止します。ただし、CPU の内部レジスタの値と SRAM データ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、ほとんどの発振器が停止するため、消費電力が大幅に削減されます。表 10.2 には、各内蔵周辺機能と発振器の状態が示されています。ソフトウェアスタンバイモードで利用可能なリセットまたは割り込みが発生すると、ソフトウェアスタンバイモードが解除されます。利用可能な割り込み要因については表 10.3 を、ソフトウェアスタンバイモードからの復帰については、「12.2.17. WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0」を参照してください。割り込みを使用して割り込みを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

スヌーズモード時に DTC を使用する場合を除き、DMAST.DMST ビットと DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止）の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続）の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続します。

MCU がソフトウェアスタンバイモードへ遷移すると、PCLKB が停止するため WDT はカウントを停止します。

OSTDCR.OSTDE = 1（発振停止検出機能が有効）の状態で、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、発振停止検出機能を無効 (OSTDCR.OSTDE = 0) にした後、WFI 命令を実行してください。OSTDCR.OSTDE = 1 の状態で WFI 命令を実行すると、SBYCR.SSBY = 1 であっても、MCU はスリープモードへ遷移します。

フラッシュメモリのプログラム／イレース処理中は、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、プログラム／イレース処理が完了してから WFI 命令を実行してください。

クロックソースとして PLL を選択した場合、以下のモジュールをモジュールストップ状態に設定してから WFI 命令を実行してください：

ADC、SCE5

この場合、少なくとも 750 ns 待機し、もし WFI 命令を実行する前の ICLK 周波数が 120 MHz を超過する場合、ICLK 分周比を 1/2 にして 5 µs 待機してください。待機時間の計測にはソフトウェアを使用することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。

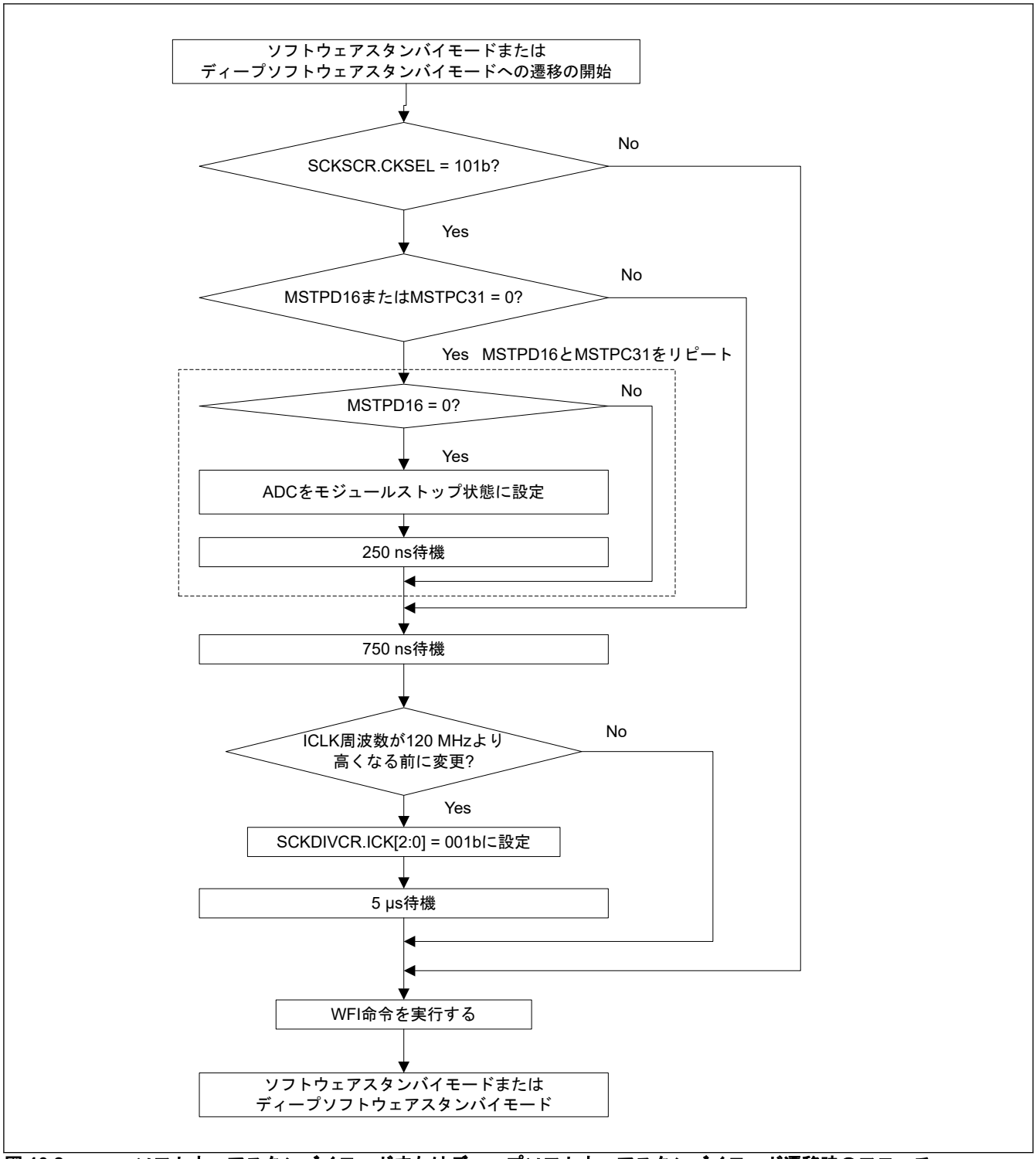


図 10.2 ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード遷移時のフローチャート例

表 10.6 に、関連する制御ビットの設定値と、WFI 命令実行後に遷移するモードを示します。

表 10.6 WFI 命令実行時にモードに影響を及ぼすビット設定

		SBYCR.SSBY ビットと PSBYCR.DPSBY ビットの設定値			
		SSBY = 0, DPSBY = 0	SSBY = 0, DPSBY = 1	SSBY = 1, DPSBY = 0	SSBY = 1, DPSBY = 1
OSTDCR.OSTDE	0	スリープ	スリープ	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ
	1			スリープ	スリープ
FENTRYR.FENTRYC FENTRYR.FENTRYD	0	スリープ	スリープ	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ
	1			スリープ	スリープ
OFS0.IWDTSTPCTL	0	スリープ	スリープ	ソフトウェアスタンバイ	ソフトウェアスタンバイ
	1				ディープソフトウェアスタンバイ
LVD1CR0.RI	0	スリープ	スリープ	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ
	1				ソフトウェアスタンバイ
LVD2CR0.RI	0	スリープ	スリープ	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ
	1				ソフトウェアスタンバイ

10.7.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは以下の方法で解除されます。

- 表 10.3 に示す利用可能な割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- IWDT アンダーフローに起因したリセット

ソフトウェアスタンバイモードが解除されると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰します。ソフトウェアスタンバイモードから復帰させる方法については、「12.2.17. WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0」を参照してください。

以下の方法のいずれかによって、ソフトウェアスタンバイモードを解除できます。

1. 割り込みによる解除
   利用可能な割り込み要求（表 10.3 を参照）が発生すると、ソフトウェアスタンバイモードへ遷移する前に動作していたすべての発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰し、割り込み処理を開始します。
   クロックソースに PLL を選択した場合、割り込み処理の開始時に 250 ns 以上の待ち時間を挿入する必要があります。待機時間の計測にはソフトウェアを使用することを推奨します。
   ワーストケースを考慮した待ち時間を確保してください。

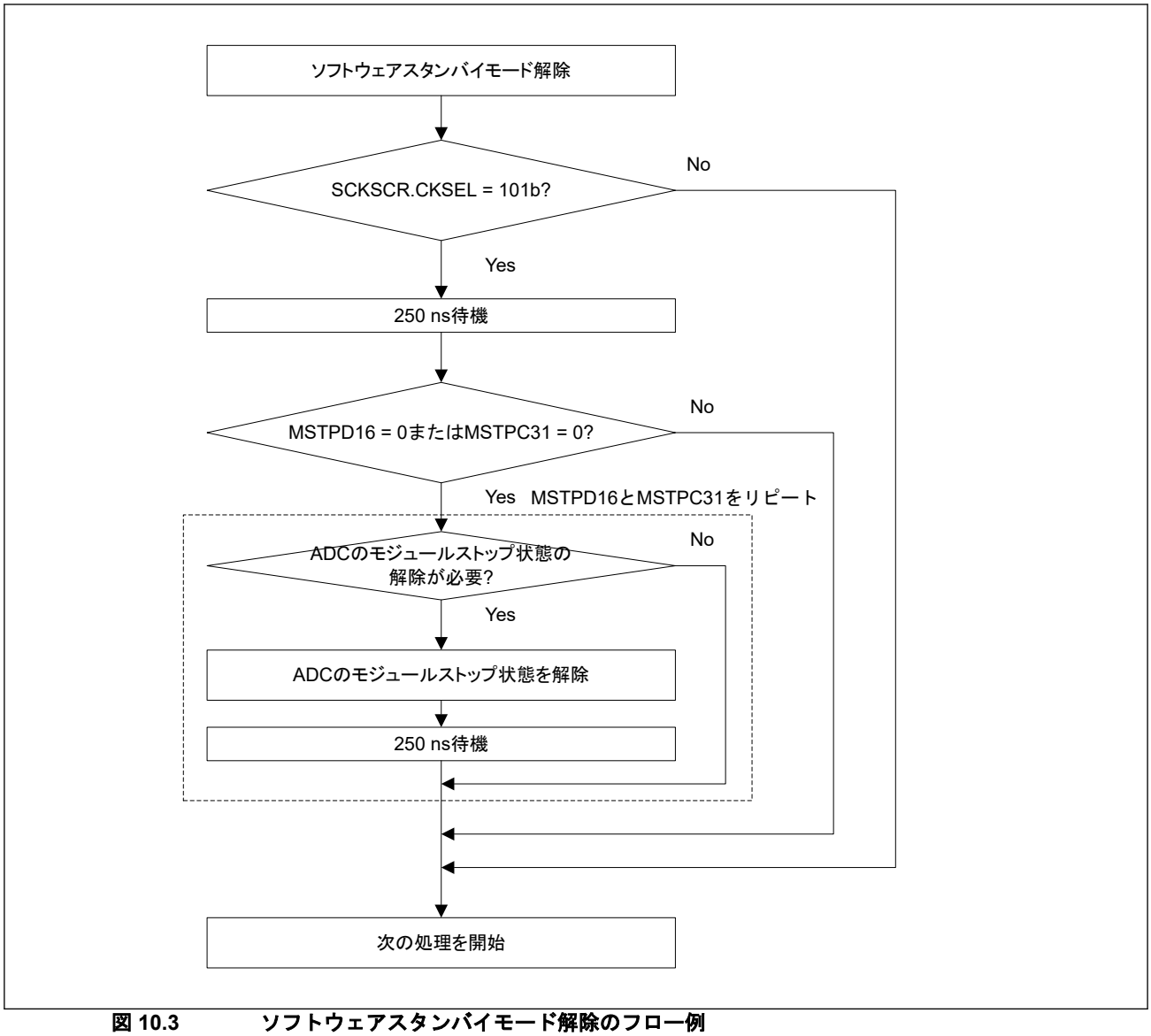


図 10.3 ソフトウェアスタンバイモード解除のフロー例

2. RES 端子リセットによる解除
   RES 端子を Low にすると、MCU はリセット状態に遷移し、デフォルトで動作状態にあった発振器が発振を開始します。「46. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. パワーオンリセットによる解除
   パワーオンリセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
4. 電圧監視リセットによる解除
   電圧検出回路による電圧監視リセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
5. IWDT リセットによる解除
   IWDT アンダーフローによる内部リセットが発生すると、ソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。ただし、下記の条件下では、ソフトウェアスタンバイモード時に IWDT が停止して、ソフトウェアスタンバイモードを解除するための内部リセットが発生しません。
   - OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1

10.7.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジ検出時のソフトウェアスタンバイモードへの遷移と、IRQn 端子の立ち上がりエッジによるソフトウェアスタンバイモードの解除の例を図 10.4 に示します。

この例では、通常モードにおいて、ICU の IRQCRi.IRQMD[1:0]ビットが 00b（立ち下がりエッジ）の状態で IRQn 端子の割り込みを受け付けた後、IRQCRi.IRQMD[1:0]ビットを 01b（立ち上がりエッジ）にしています。続いて、SBYCR.SSBY ビットを 1 にした後、WFI 命令を実行しています。その結果、ソフトウェアスタンバイモードへの遷移が完了し、その後、IRQn 端子の立ち上がりエッジによってソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、ICU の設定も必要になります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。図 10.4 の発振安定時間については、「46. 電気的特性」に示されています。

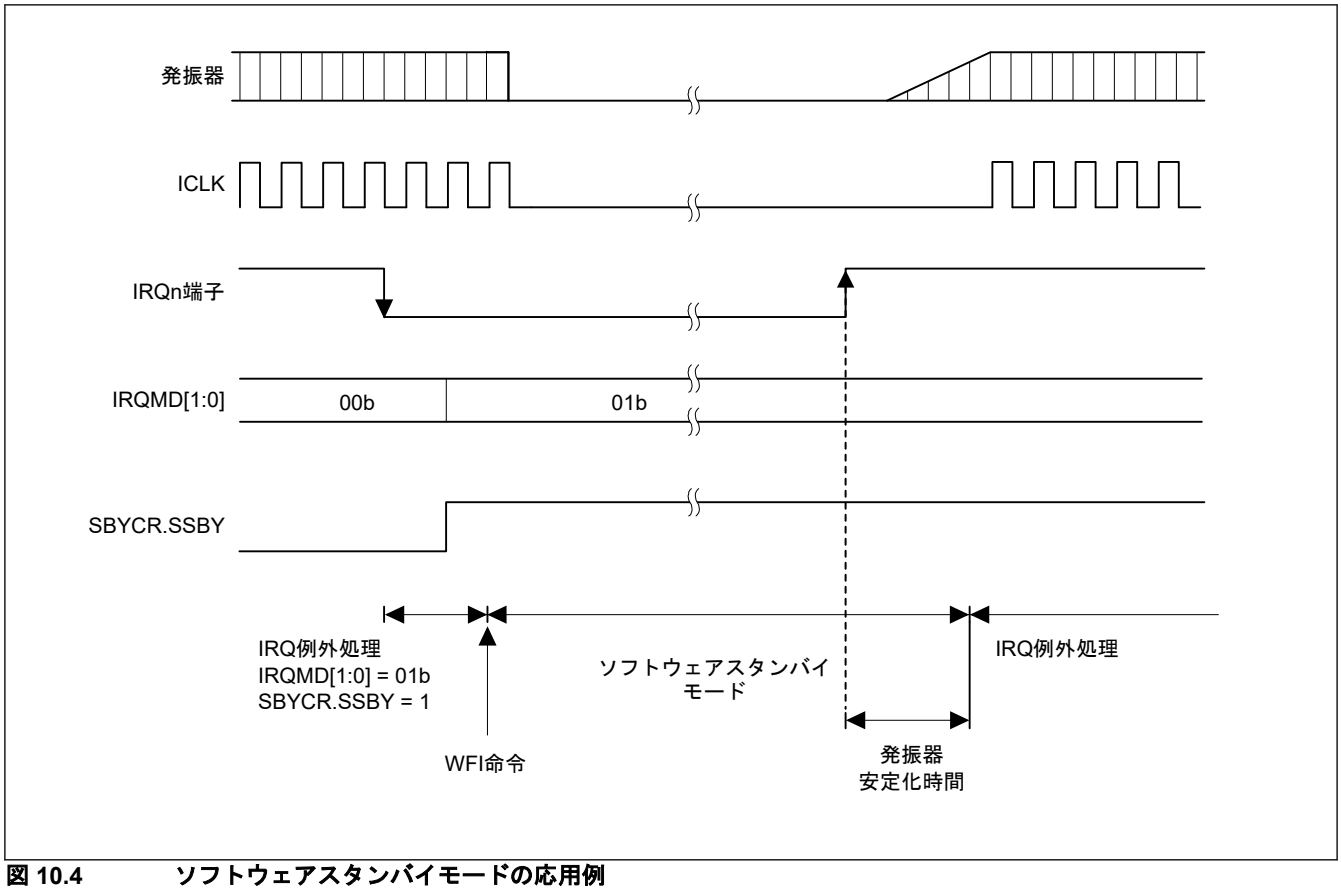


図 10.4　ソフトウェアスタンバイモードの応用例

10.8　スヌーズモード

10.8.1　スヌーズモードへの遷移

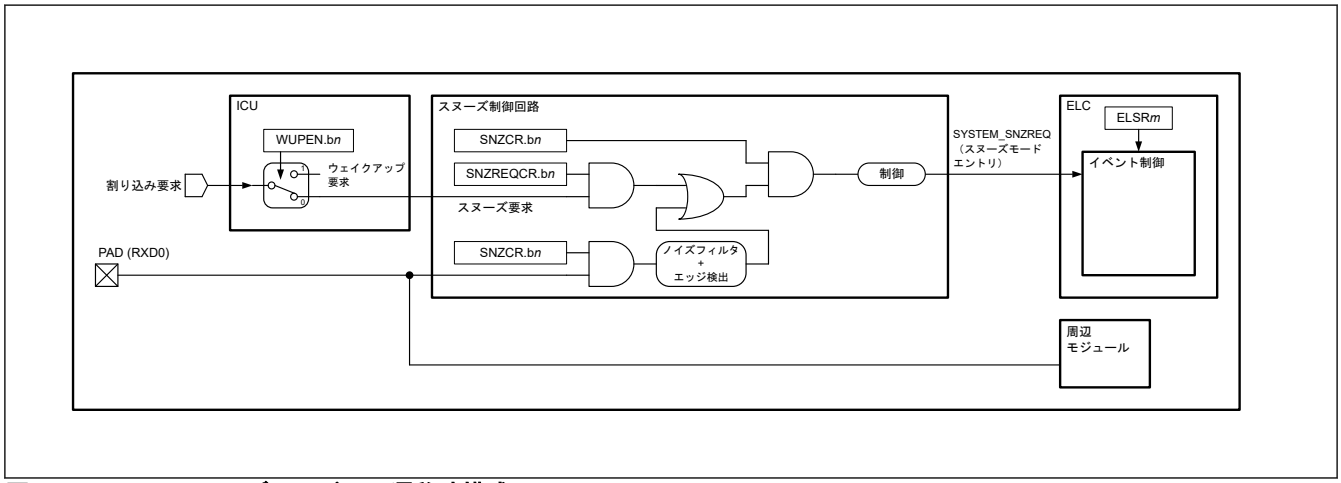


図 10.5　スヌーズモードへの遷移時構成

ソフトウェアスタンバイモード時に、スヌーズ制御回路が利用可能なスヌーズ要求を受け付けると、MCU はスヌーズモードへ遷移します。このモードでは、CPU が復帰していなくても一部の周辺モジュールは動作します。スヌーズモードで動作可能な周辺モジュールを、表 10.2 に示します。また、スヌーズモード時の DTC の動作は、SNZCR.SNZDTCEN ビットで選択できます。

表 10.7 に、MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのスヌーズ要求を示します。これらのスヌーズ要求をスヌーズモードへ切り替えるためのトリガとして使用するには、ソフトウェアスタンバイモードへ遷移する前に、対応する SNZREQCR0 レジスタの SNZREQENn ビット、または SNZCR レジスタの RXDREQEN ビットを設定する必要があります。

表 10.7 スヌーズモードへの切り替えに利用可能なスヌーズ要求

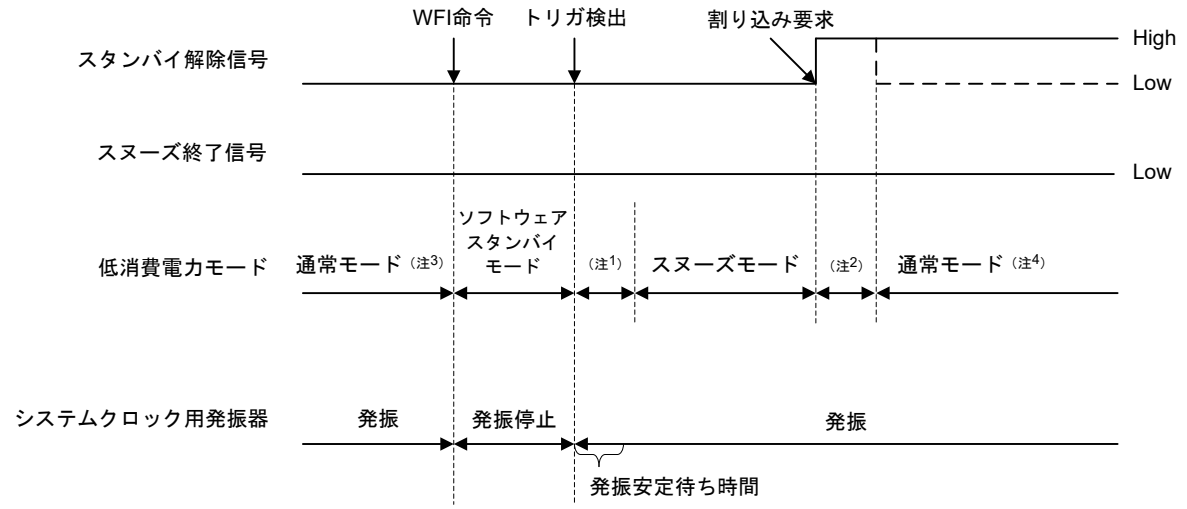
スヌーズ要求	コントロールレジスタ	
	レジスタ	ビット(注1)
PORT_IRQn（n = 0～15）	SNZREQCR0	SNZREQENn（n = 0～15）
KEY_INTKR	SNZREQCR0	SNZREQEN17
AGT1_AGTI	SNZREQCR0	SNZREQEN28
AGT1_AGTCMAI	SNZREQCR0	SNZREQEN29
AGT1_AGTCMBI	SNZREQCR0	SNZREQEN30
RXD0 立ち下がりエッジ	SNZCR	RXDREQEN(注2)

注 1. 同時に複数のスヌーズ要求を有効にしないでください。
注 2. 調歩同期式モード以外では、RXDREQEN ビットを 1 にしないでください。

スヌーズモード時に DTC を使用する場合を除き、DMAST.DMST ビットと DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。

10.8.2 スヌーズモードの解除

スヌーズモードは、ソフトウェアスタンバイモードで利用可能な割り込み要求、またはリセットで解除されます。各モードを解除するために使用可能な要求を、表 10.3 に示します。スヌーズモードの解除後、MCU は通常モードへ遷移して、該当の割り込みまたはリセットの例外処理を開始します。SELSR0 で選択した割り込み要求によって引き起こされる動作が、スヌーズモードを解除します。スヌーズモードを解除するための割り込みは、対応する割り込み処理の NVIC とリンクさせるため、IELSRn で選択してください。SELSR0 レジスタと IELSRn レジスタについては、「12. 割り込みコントローラユニット (ICU)」を参照してください。



注 1. ソフトウェアスタンバイモードからスヌーズモードへの遷移時間
注 2. スヌーズモードから通常モードへの遷移時間
注 3. ソフトウェアスタンバイモードへ切り替わる直前にスヌーズモードを許可します（SNZCR.SNZE = 1）
注 4. 通常モードへ復帰後ただちにスヌーズモードを禁止 (SNZCR.SNZE = 0) にする必要があります。

図 10.6 割り込み要求信号が発生する場合のスヌーズモードの解除

10.8.3 スヌーズモードからソフトウェアスタンバイモードへの復帰

表 10.8 に、ソフトウェアスタンバイモードへの復帰トリガとして使用可能なスヌーズ終了要求を示します。スヌーズ終了要求は、スヌーズモードでのみ利用可能です。MCU がスヌーズモードでないときに要求が発生しても、それらは無視されます。複数の要求を選択した場合、それぞれの要求がスヌーズモードからソフトウェアスタンバイモードへの遷移を行います。

表 10.9 に、スヌーズ終了条件を構成するスヌーズ終了要求と周辺モジュールの条件を示します。SCI0、DTC の各モジュールは、それらの動作が完了するまで本 MCU をスヌーズモードに保つことができます。ただし、ソフトウェアスタンバイモードへの復帰トリガとしての AGTn (n = 1) アンダーフローは、SCI0 動作の終了を待たずにスヌーズモードを解除します。

図 10.7 にスヌーズモードからソフトウェアスタンバイモードへの遷移に対するタイミング図を示します。このモード遷移は、SNZEDCR0 レジスタにスヌーズ終了要求が設定されると発生します。ソフトウェアスタンバイモードへ復帰後にスヌーズ要求は自動的にクリアされます。

表 10.8 利用可能なスヌーズ終了要求（ソフトウェアスタンバイモードへの復帰トリガ）

周辺モジュール	スヌーズ終了要求	許可／禁止制御	
		レジスタ	ビット
AGT1	AGT1 アンダーフロー (AGT1_AGTI)	SNZEDCR0	AGTUNFED
DTC	最後の DTC 送信完了 (DTC_COMPLETE)	SNZEDCR0	DTCZRED
DTC	最後以外の DTC 送信完了 (DTC_TRANSFER)	SNZEDCR0	DTCNZRED
SCI0	SCI0 アドレス不一致 (SCI0_DCUF)	SNZEDCR0	SCI0UMTED

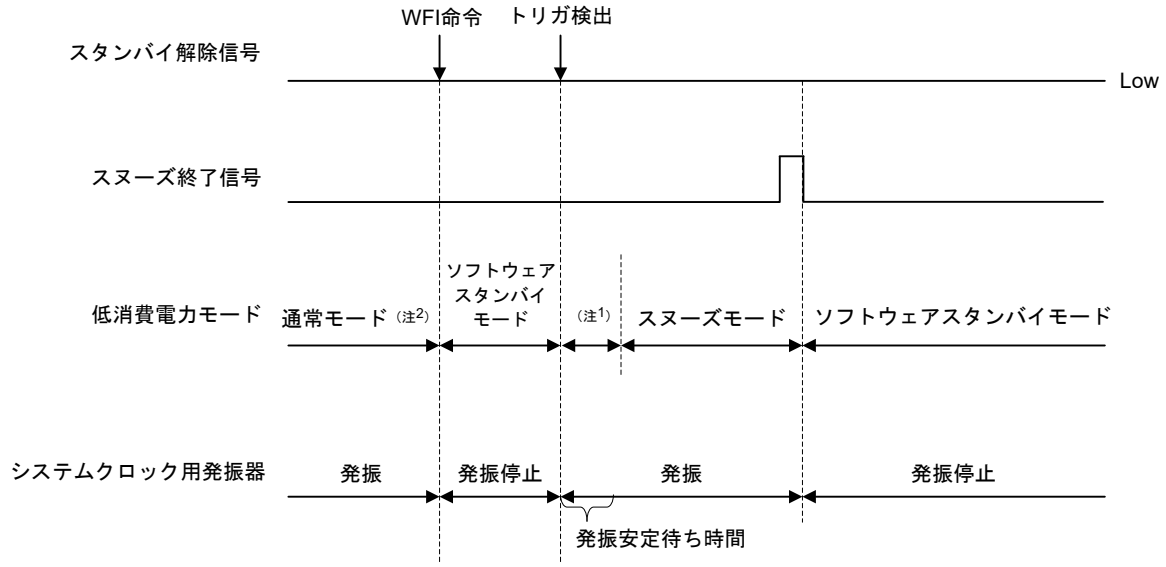
表 10.9 スヌーズ終了条件 (1/2)

スヌーズ終了要求発生時の動作モジュール	スヌーズ終了要求	
	AGT1 アンダーフロー	AGT1 アンダーフロー以外
DTC	DTC が動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する	DTC および SCI0 が動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する
SCI0	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する	

表 10.9 スヌーズ終了条件 (2/2)

スヌーズ終了要求発生時の動作モジュール	スヌーズ終了要求	
	AGT1 アンダーフロー	AGT1 アンダーフロー以外
指定以外	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する	

注. DTC を用いて SCI を起動した場合は、スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移します。

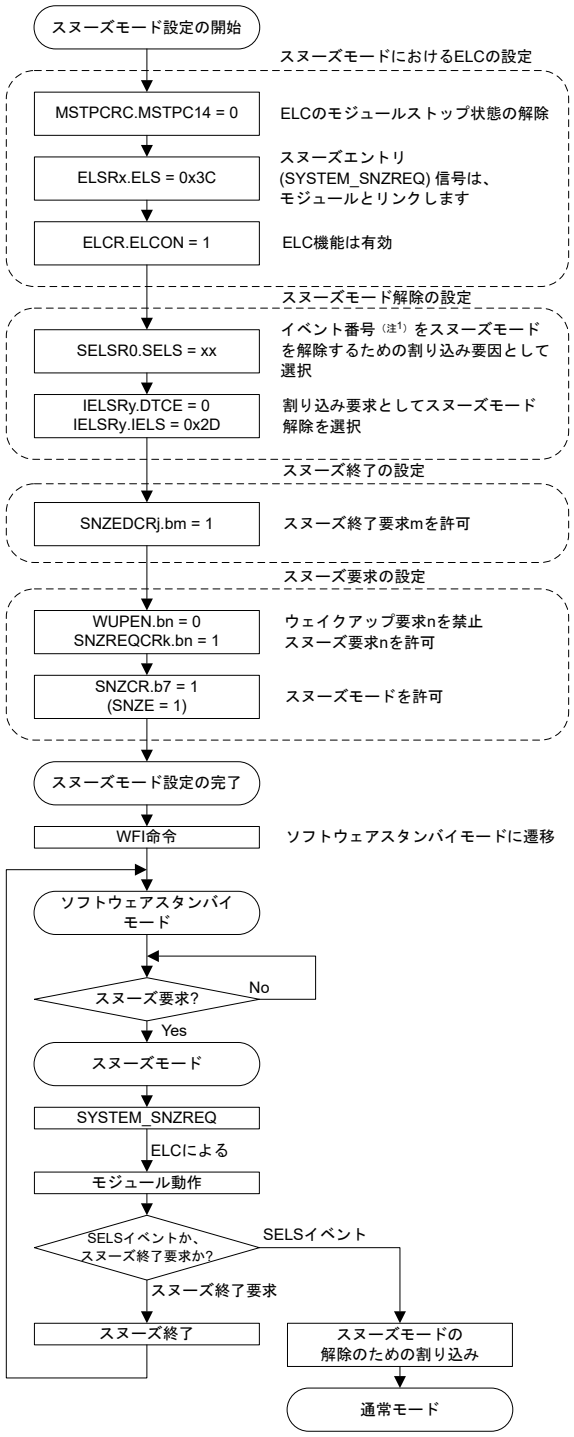


注 1. ソフトウェアスタンバイモードからスヌーズモードへの遷移時間
注 2. ソフトウェアスタンバイモードへ切り替わる直前にスヌーズモードを許可にしてください (SNZCR.SNZE = 1)。

図 10.7 割り込み要求信号が発生しない場合のスヌーズモードの解除

10.8.4 スヌーズモードの動作例

図 10.8 に、スヌーズモードで ELC を使用する場合の設定例を示します。



注 1. 表 12.4 を参照してください。

図 10.8 スヌーズモードで ELC を使用するための設定例

本 MCU は、CPU を介さずに SCI0 の調歩同期式モードでデータの送受信が可能です。スヌーズモードで SCI0 を使用する場合、High-speed モードまたは Low-speed モードのいずれかを使用してください。

表 10.10 に、スヌーズモードにおける SCI0 の最大転送速度を示します。

表 10.10 HOCO: ± 1.4% (Ta = -20°C～105°C)（単位：bps）

ICLK、PCLKA、PCLKB、PCLKC、PCLKD、FCLK、TRCLK の最大分周比	HOCO 周波数					
	LOCO 停止中			LOCO 動作中		
	16 MHz	18 MHz	20 MHz	16 MHz	18 MHz	20 MHz
1	2400			4800		
2						
4						
8						
16						
32	1200			2400		
64						

スヌーズモードで SCI0 を使用する場合、以下の設定を使用してください。BGDM = 0、ABCS = 0、ABCSE = 0。これらのビットについての詳細は、「26. シリアルコミュニケーションインタフェース (SCI)」を参照してください。

図 10.9 に、スヌーズモードエントリで SCI0 を使用する場合の設定例を示します。

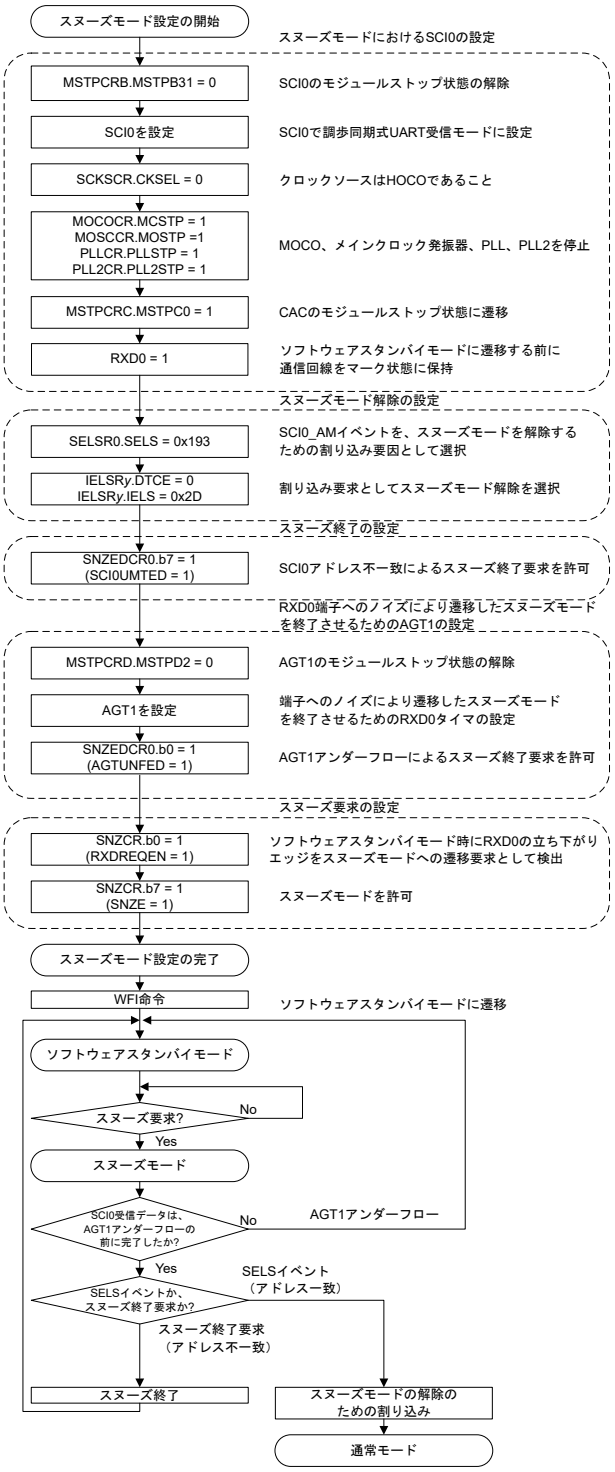


図 10.9　スヌーズモードエントリで SCI0 を使用するための設定例

10.9　ディープソフトウェアスタンバイモード

10.9.1　ディープソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1 で、かつ DPSBYCR.DPSBY ビットが 1 の状態で WFI 命令を実行すると、MCU はディープソフトウェアスタンバイモードへ遷移します。関連する制御ビットの設定値については、表 10.6 を参照して

ください。このモードでは、CPU、内蔵周辺機能、SRAM（スタンバイ RAM を除く）、およびすべての発振器（低速オンチップオシレータを除く）が停止します。また、これらのモジュールに対する内部電源の供給が停止するので、消費電力が著しく削減されます。CPU レジスタと内蔵周辺モジュールの内容はすべて不定となります。

スタンバイ SRAM のデータについては、DEEPCUT[1:0]ビットを 00b にすることによって、保持することが可能です。DEEPCUT[1:0]ビットを 01b に設定した場合は、スタンバイ SRAM への内部電源の供給も停止しますので、消費電力が低減されます。このとき、スタンバイ SRAM のデータは不定となります。DEEPCUT[1:0]ビットを 11b に設定した場合は、スタンバイ SRAM への内部電源の供給停止に加え、LVD を停止し、パワーオンリセット回路の低消費電力機能を有効にしますので、消費電力がさらに低減されます。詳細は、「46. 電気的特性」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 の状態で MCU がディープソフトウェアスタンバイモードへ遷移すると、IWDT 専用クロックと IWDT への電源供給が停止し、IWDT はカウントを停止します。

OFS0.IWDTSTPCTL ビットが 0 の場合は、OFS0.IWDTSTRT ビットまたは DPSBYCR.DPSBY ビットの設定値にかかわらず、MCU はディープソフトウェアスタンバイモードではなく、ソフトウェアスタンバイモードへ遷移します。OFS0.IWDTSTRT ビットが 0（オートスタートモード）で OFS0.IWDTSTPCTL ビットが 0 の場合は、IWDT 専用クロックと IWDT は動作を継続します。

LVD1CR0.RI ビットが 1（電圧監視 1 リセット選択）、または LVD2CR0.RI ビットが 1（電圧監視 2 リセット選択）の場合は、MCU はディープソフトウェアスタンバイモードではなく、ソフトウェアスタンバイモードへ遷移します。I/O ポートの状態はソフトウェアスタンバイモード時と同じです。

クロックソースとして PLL を選択した場合、以下のモジュールをモジュールストップ状態に設定してから WFI 命令を実行してください：

ADC、SCE5.

この場合、少なくとも 750 ns 待機し、もし WFI 命令を実行する前の ICLK 周波数が 120 MHz を超過する場合、ICLK 分周比を 1/2 にして 5 µs 待機してください。待機時間の計測にはソフトウェアを使用することを推奨します。タイマーを使用する場合は、使用条件にかかわらず、待機時間が経過していることを確認してください。

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード遷移時のフローチャート例については、図 10.2 を参照してください。

注. WAIT 命令実行前に、ソフトウェアスタンバイモードへ遷移する際の DTC、DMAC、IWDT に関する条件を満たしておく必要があります。詳細は、「10.7. ソフトウェアスタンバイモード」を参照してください。

10.9.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードは、以下の場合に解除されます。

- 表 10.3 に示す割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視 0 リセット

(1) 割り込みによる解除

割り込みによる解除は、DPSIERn（n = 0～2）レジスタと DPSIFRn（n = 0～2）レジスタで制御されます。ディープソフトウェアスタンバイモードの解除可能な割り込み要求が発生すると、DPSIFRn レジスタの当該フラグが 1 になります。DPSIERn レジスタで割り込みが許可されていると、ディープソフトウェアスタンバイモードが解除されます。また、立ち上がりエッジと立ち下がりエッジの選択は、DPSIEGRn（n = 0～2）にて設定可能です。エッジ選択が可能な割り込みは、NMI、IRQn-DS（n = 0～15）、電圧監視 1、電圧監視 2 割り込みです。ディープソフトウェアスタンバイモードの解除要求が発生すると、内部電源が供給され、MOCO クロックが発振を開始し、MCU 全体に対して内部リセット（ディープソフトウェアスタンバイリセット）が発生します。

安定した MOCO クロックが MCU 全体に供給され、ディープソフトウェアスタンバイリセットが解除されます。そして MCU はリセット例外処理を開始します。

外部割り込み端子または内部割り込み信号によってディープソフトウェアスタンバイモードが解除されると、RSTSR0.DPSRSTF フラグが 1 になります。

(2) RES 端子リセットによる解除

RES 端子を Low にすると、本 MCU はディープソフトウェアスタンバイモードを解除して、リセット状態になります。「46. 電気的特性」で規定した時間に従って、RES 端子を Low に保つようにしてください。規定の時間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。

(3) パワーオンリセットによる解除

パワーオンリセットによってディープソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。

(4) 電圧監視 0 リセットによる解除

電圧検出回路による電圧監視 0 リセットによってディープソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。

10.9.3 ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、I/O ポートはソフトウェアスタンバイモードと同じ状態を保持しています。ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって MCU は初期化され、ただちにリセット例外処理が開始されます。DPSBYCR.IOKEEP ビットの設定値によって、I/O ポートを初期化するか、またはソフトウェアスタンバイモード時の I/O ポート状態を保持するかが決まります。ビット設定に対する I/O ポート状態は下記の通りです。

- DPSBYCR.IOKEEP ビットが 0 の場合
  ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、I/O ポートは初期化されます。
- DPSBYCR.IOKEEP ビットが 1 の場合
  ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、MCU は初期化されますが、I/O ポートは MCU の内部状態にかかわらずソフトウェアスタンバイモード時の状態を保持します。I/O ポートまたは周辺モジュールの設定を行っても、I/O ポート状態はソフトウェアスタンバイモード時のまま変わりません。DPSBYCR.IOKEEP ビットを 0 にすることによって、保持されていた I/O ポート状態が解放され、MCU は内部状態に従って動作します。DPSBYCR.IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって初期化されません。

10.9.4 ディープソフトウェアスタンバイモードの応用例

(1) ディープソフトウェアスタンバイモードの遷移と復帰

IRQn-DS 端子の立ち下がりエッジでのディープソフトウェアスタンバイモードへの遷移と、IRQn-DS 端子の立ち上がりエッジでのディープソフトウェアスタンバイモードからの復帰の例を図 10.10 に示します。この例では、ICU の IRQCRi.IRQMD[1:0]ビットを 00b（立ち下がりエッジ）にした状態で、IRQn 端子の割り込みを受け付けています。次に、DPSIEGRy.DIRQnEG（y = 0 または 1、n = 0～15）ビットを 1（立ち上がりエッジ）にして、SBYCR.SSBY ビットと DPSBYCR.DPSBY ビットをともに 1 にした後、WFI 命令を実行しています。その結果、MCU はディープソフトウェアスタンバイモードへ遷移します。その後、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

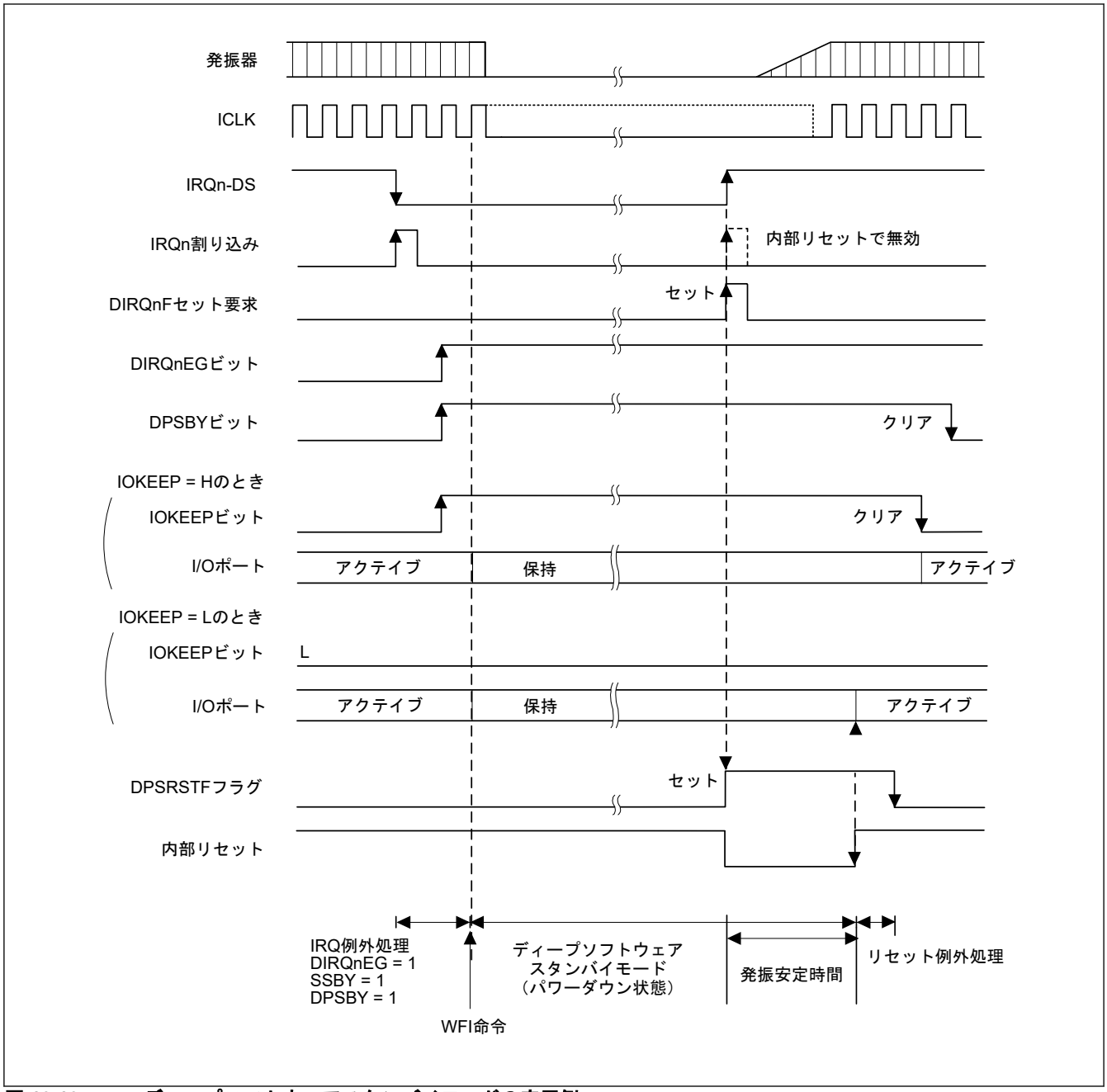


図 10.10　ディープソフトウェアスタンバイモードの応用例

10.9.5　ディープソフトウェアスタンバイモード使用時のフローチャート

図 10.11 に、ディープソフトウェアスタンバイモード使用時のフローチャート例を示します。

この例では、リセット例外処理の後、リセット機能の RSTSR0.DPSRSTF フラグを読み出して、RES 端子によるリセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。

RES 端子によるリセットの場合は、必要なレジスタの設定を行った後、ディープソフトウェアスタンバイモードへ遷移しています。

ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で、DPSBYCR.IOKEEP ビットを 0 にクリアしています。

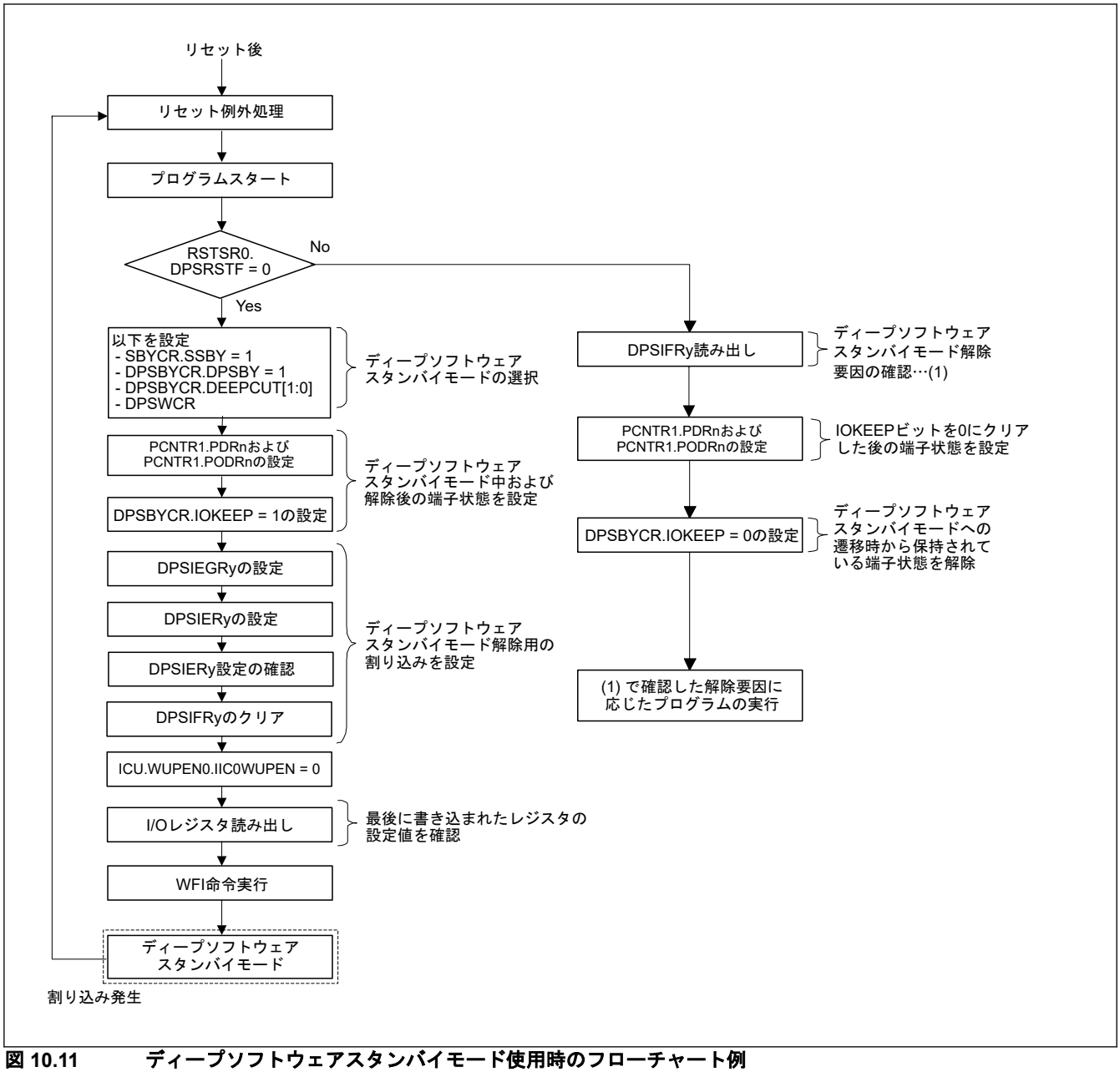


図 10.11　ディープソフトウェアスタンバイモード使用時のフローチャート例

10.10　使用上の注意

10.10.1　レジスタアクセス

(1)　特定モードの期間中または遷移中の無効なレジスタへの書き込みアクセス

下記のいかなる条件においても、レジスタ書き込みを行わないでください。

［レジスタ］

- SYSTEM という周辺名をもつ全レジスタ

［条件］

- OPCCR.OPCMTSF = 1（動作電力制御モードへの遷移中）
- WFI 命令の実行から通常モードへ復帰するまでの期間中
- FENTRYR.FENTRYC = 1 または FENTRYR.FENTRYD = 1（フラッシュ P/E モード、データフラッシュ P/E モード）

(2) クロック関連レジスタに対する有効な設定値

表 10.11 と表 10.12 に、各動作電力制御モードにおけるクロック関連レジスタの有効な設定値を示します。有効な設定値以外の値を書き込まないようにしてください。また、各レジスタには、動作電力制御モード関連以外の特定の条件下で禁止される設定値もあります。各レジスタに対する他の条件については、「8. クロック発生回路」を参照してください。

表 10.11 クロック関連レジスタに対する有効な設定値 (1)

モード	設定有効値							
	SCKSCR. CKSEL[2:0] CKOCR. CKOSEL[2:0]	SCKDIVCR. FCK[2:0] ICK[2:0]	PLLCR. PLLSTP	PLL2CR. PLL2STP	HOCOCR. HCSTP	MOCOCR. MCSTP	LOCOCR. LCSTP	MOSCCR. MOSTP
High-speed	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b（メインクロック） 101b (PLL) (注1)	000b (1/1) 001b (1/2) 010b (1/4) 011b (1/8) 100b (1/16) 101b (1/32) 110b (1/64)	0（動作） 1（停止）	0（動作） 1（停止）	0（動作） 1（停止）	0（動作） 1（停止）	0（動作） 1（停止）	0（動作） 1（停止）
Low-speed	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b（メインクロック）		1（停止）	1（停止）				

注 1. SCKSCR.CKSEL[2:0]のみ

表 10.12 クロック関連レジスタに対する有効な設定値 (2)

動作発振器	設定有効値 OPCCR.OPCM[1:0]
PLL, PLL2	00b
高速オンチップオシレータ	00b, 11b
中速オンチップオシレータ	
メインクロック発振器	
低速オンチップオシレータ	
IWDT 専用オンチップオシレータ	

(3) DTC または DMAC による無効なレジスタへの書き込みアクセス

DTC または DMAC によって、下記のレジスタに書き込まないでください。

［レジスタ］

- MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD, MSTPCRE

(4) スヌーズモードにおける無効なレジスタへの書き込みアクセス

スヌーズモード時に、下記のレジスタに書き込まないでください。これらのレジスタの設定は、ソフトウェアスタンバイモードへ遷移する前に行ってください。

［レジスタ］

- SNZCR, SNZEDCR0, SNZREQCR0

(5) PRCR.PRC1 ビットが 0 の場合の無効な書き込みアクセス

PRCR.PRC1 ビットが 0 の場合、下記のレジスタに書き込まないでください。

［レジスタ］

- SBYCR, SNZCR, SNZEDCR0, SNZREQCR0, OPCCR, DPSBYCR, DPSWCR, DPSIERn, DPSIFRn, DPSIEGRn, SYOCDCR

(6) PRCR.PRC4 ビットが 0 の場合の無効な書き込みアクセス

PRCR.PRC4 ビットが 0 の場合、下記のレジスタに書き込まないでください。

［レジスタ］

- LPMSAR, DPFSAR

10.10.2 I/O ポートの端子状態

ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、およびスヌーズモード（スヌーズモード時に書き換える場合は除く）における I/O ポートの端子状態は、各モードへ遷移する前と同じです。したがって、High を出力している間、消費電力は低減されません。

10.10.3 DTC、DMAC のモジュールストップ状態

MSTPCRA.MSTPA22 ビットを 1 にする前に、DMAC の DMAST.DMST ビットと DTC の DTCST.DTCST ビットを 0 にしてください。詳細は、「15. DMA コントローラ (DMAC)」および「16. データトランスファコントローラ (DTC)」を参照してください。

10.10.4 内部割り込み要因

モジュールストップ状態では、割り込みの動作ができません。割り込み要求が発生しているときに、モジュールストップビットを設定すると、CPU の割り込み要因や DTC または DMAC の起動要因をクリアできません。そのため、事前に対応する割り込みを禁止してから、モジュールストップビットを設定してください。

10.10.5 DIRQnE ビットによる入力バッファ制御

DPSIER0.DIRQnE (n = DPSIERy.DIRQnE（y = 0 または 1、n = 0～15）) ビットを 1 に設定することにより、IRQn-DS (n = 0～15) 端子の対応する入力バッファが有効になります。これらの端子への入力は DPSIFRy.DIRQnF（y = 0 または 1、n = 0～15）ビットには送られますが、割り込みコントローラ (ICU)、周辺モジュール、および I/O ポートには送られないことに注意してください。

10.10.6 低消費電力モードへの遷移

本 MCU はイベントによるウェイクアップをサポートしていないため、WFE 命令の実行によって低消費電力モード（スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードなど）へ遷移させないでください。また、本 MCU は SLEEPDEEP による低消費電力モードをサポートしていないため、Cortex-M33 コアが内蔵するシステムコントロールレジスタの SLEEPDEEP ビットは設定しないでください。

10.10.7 WFI 命令のタイミング

WFI 命令は、I/O レジスタの書き込みが完了する前に実行されることがあり、その場合、意図しない動作を起こす恐れがあります。これは、I/O レジスタへの書き込み直後に WFI 命令が実行された場合に生じます。この問題を避けるには、書き込まれたレジスタを読み戻して、書き込みの完了を確認してください。

10.10.8 スリープモード／スヌーズモード時の DTC または DMAC による WDT/IWDT レジスタの書き込みについて

スリープモードやスヌーズモードに遷移すると WDT や IWDT が停止します。停止中は DTC または DMAC によって、WDT または IWDT 関連のレジスタを書き換えないでください。

10.10.9 スヌーズモードにおける発振器について

ソフトウェアスタンバイモードへ遷移して停止した発振器は、スヌーズモードへの切り替えトリガが発生すると、自動的に動作を再開します。すべての発振器が安定するまで、MCU はスヌーズモードへ遷移しません。スヌーズモード時には、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要な発振器を無効にする必要があります。そうしないと、ソフトウェアスタンバイモードからスヌーズモードへの遷移に時間がかかります。

10.10.10 RXD0 の立ち下がりエッジによるスヌーズモードエントリ

SNZCR.RXDREQEN ビットが 1 の場合、SCI0 の UART をスヌーズモードで使用する場合、RXD0 端子の立ち下がりエッジを使用して本 MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えます。この場合、SCI0_AM、またはアドレス不一致イベントなどの割り込みが、スヌーズモードを解除するための要因として使用されます。ただし、RXD0 端子のノイズが原因で、本 MCU が意図せずソフトウェアスタンバイモードからスヌーズモードへ遷移する場合があります。ノイズ発生後、MCU が RXD0 データを受信しなければ、割り込み（SCI0_AM など）もアドレス不一致イベントも発生せず、MCU はスヌーズモードを維持します。AGTn (n = 1) アンダーフローの前に UART 受信データが完了しなければ、AGTn (n = 1) アンダーフロー割り込みを使用して、ソフトウェアスタンバイモードまたはノーマルモードへ復帰するようにしてください。ただし、UART 通信中は、ソフトウェアスタンバイモードへの復帰要因として AGTn (n = 1) アンダーフローを使用しないでください。これにより、UART が中途半端な状態で動作を停止します。

10.10.11 スヌーズモードにおける SCI0 の UART の使用

スヌーズモードで UART を使用する場合、スヌーズ要求（RXD0 端子の立ち下がりエッジ）が WUPEN レジスタにて設定されたウェイクアップ要求と競合しないようにしてください。競合した場合の UART 動作は保証されません。

スヌーズモードで UART を使用する場合は、下記の条件が満たされなければいけません。

- クロックソースは HOCO であること
- MOCO、PLL、PLL2、メインクロック発振器は、ソフトウェアスタンバイモード遷移前に停止していること
- RXD0 端子は、ソフトウェアスタンバイモード遷移前に High を維持していること
- SCI0 通信中は、ソフトウェアスタンバイモードへの遷移が生じないこと
- ソフトウェアスタンバイモード遷移前に、MSTPCRC.MSTPC0 ビットが 1 であること

10.10.12 スヌーズモードにおける ELC イベント

本節ではスヌーズモードで使用できる ELC イベントを示します。これ以外のイベントは使用しないでください。スヌーズモードへ遷移後、初めて周辺モジュールを起動する場合は、イベントリンク設定レジスタ (ELSRn) において、スヌーズモードエントリイベント (SYSTEM_SNZREQ) をトリガとして設定する必要があります。

- スヌーズモードエントリ (SYSTEM_SNZREQ)
- DTC 転送終了 (DTC_DTCEND)
- データ演算回路割り込み (DOC_DOPCI)

10.10.13 モジュールストップビット書き込みタイミング

対応するモジュールストップビットの書き込みが完了する前に I/O レジスタへのアクセスを実行することは可能です。この場合、I/O レジスタへのアクセスは意図しない動作を起こす恐れがあります。この問題を避けるには、I/O レジスタにアクセスする前に、モジュールストップビットを読み戻して、書き込みの完了を確認してください。

11. レジスタライトプロテクション

11.1 概要

レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 11.1 に PRCR レジスタのビットと保護されるレジスタの対応関係を示します。

表 11.1 PRCR レジスタのビットと保護されるレジスタの対応関係

PRCR レジスタ	保護されるレジスタ
PRC0	• クロック発生回路関連レジスタ SCKDIVCR, SCKSCR, PLLCCR, PLLCR, MOSCCR, HOCOCR, MOCOCR, CKOCR, OSTDCR, OSTDSR, PLL2CCR, PLL2CR, MOCOUTCR, HOCOUTCR, SCISPICKDIVCR, CANFDCKDIVCR, GPTCKDIVCR, IICCKDIVCR, SCISPICKCR, CANFDCKCR, GPTCKCR, IICCKCR, MOSCWTCR, MOMCR, LOCOCR, LOCOUTCR
PRC1	• 低消費電力モード関連レジスタ SBYCR, SNZCR, SNZEDCR0, SNZREQCR0, OPCCR, DPSBYCR, DPSWCR, DPSIER0-2, DPSIFR0-2, DPSIEGR0-2, SYOCDCR
PRC3	• LVD 関連レジスタ LVD1CR1, LVD1SR, LVD2CR1, LVD2SR, LVD1CMPCR, LVD2CMPCR, LVD1CR0, LVD2CR0
PRC4	• セキュリティ機能関連レジスタ CGFSAR, RSTSAR, LPMSAR, LVDSAR, DPFSAR, CSAR, SRAMSAR, STBRAMSAR, DTCSAR, DMACSAR, ICUSARx, BUSSARx, MMPUSARx, TZFSAR, CPUDSAR, FSAR, PSARx, MSSAR, PmSAR, ELCSARx

11.2 レジスタの説明

11.2.1 PRCR : プロテクトレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3FE

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								—	—	—	PRC4	PRC3	—	PRC1	PRC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRC0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
1	PRC1	低消費電力モード関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
3	PRC3	LVD 関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
4	PRC4	セキュリティ機能関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	PRC キーコード PRCR レジスタへの書き込みを制御します。PRCR レジスタを書き換える場合、上位 8 ビットに 0xA5、下位 8 ビットに任意の値を、16 ビット単位で書いてください。	W

PRCn ビット（プロテクトビット n）(n = 0, 1, 3, 4)

PRCn ビットによって、表 11.1 に記載されているレジスタの書き込みを許可または禁止します。PRCn ビットを 1 にすると書き込み許可になり、0 にすると書き込み禁止になります。

PRCR と PRCR に制御されるレジスタが連続的に書き込みされる場合、PRC4 により制御されるレジスタは PRC4 の変更を反映しない可能性があります。連続的な書き込みを避けるか、または PRC4 の変更後に PRCR を読み出してから、PRC4 で制御されるレジスタに書き込みをしてください。

12. 割り込みコントローラユニット (ICU)

12.1 概要

割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、DMA コントローラ (DMAC)、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。

表 12.1 に ICU の仕様、図 12.1 に ICU のブロック図、表 12.2 に ICU の入出力端子を示します。

表 12.1 ICU の仕様

項目		内容
マスカブル割り込み	周辺機能割り込み	• 周辺モジュールからの割り込み 要因数： 265（イベントリスト番号 17～511 から要因を選択）
	外部端子割り込み	• 割り込み検出：Low レベル(注4)、立ち下がりエッジ、立ち上がりエッジ、両エッジ。要因ごとに設定可能 • デジタルフィルタ機能 • 16 要因（IRQi（i = 0～15）端子からの割り込み）
	CPU (NVIC) への割り込み要求	• 96 本の割り込み要求を NVIC に対して出力
	DMAC 制御	• 割り込み要因によって DMAC の起動が可能 (注1) • DMAC の全チャネル個別に対象の割り込み要因を選択可能
	DTC 制御	• 割り込み要因によって DTC の起動が可能 (注1) • 割り込み要因の選択方式は、NVIC への割り込み要求と同一
ノンマスカブル割り込み(注2)	NMI 端子割り込み	• NMI 端子からの割り込み • 割り込み検出：立ち下がりエッジまたは立ち上がりエッジ • デジタルフィルタ機能
	WDT アンダーフロー／リフレッシュエラー(注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	IWDT アンダーフロー／リフレッシュエラー(注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	低電圧検出 1(注3)	電圧監視 1 回路の電圧監視 1 割り込み (LVD_LVD1)
	低電圧検出 2(注3)	電圧監視 2 回路の電圧監視 2 割り込み (LVD_LVD2)
	RPEST(注5)	SRAM パリティエラー発生時の割り込み
	RECCST	SRAM ECC エラー発生時の割り込み
	TZFST(注5)	TrustZone フィルタエラー発生時の割り込み
	CPEST(注5)	キャッシュ RAM パリティエラー発生時の割り込み
	発振停止検出割り込み (注3)	メイン発振器の停止を検出したときの割り込み
	バスマスタ MPU エラー (注5)	バスマスタ MPU エラー割り込み
低消費電力モード		• スリープモード：ノンマスカブル割り込みまたはその他の割り込み要因によって復帰 • ソフトウェアスタンバイモード：ノンマスカブル割り込みによって復帰。WUPEN レジスタで割り込みの選択が可能 • スヌーズモード：ノンマスカブル割り込みによって復帰。SELSR0 および WUPEN レジスタで割り込みの選択が可能 「12.2.16. SELSR0 : SYS イベントリンク設定レジスタ」と「12.2.17. WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0」を参照してください。
TrustZone フィルタ		使用可能

注 1. DMAC と DTC の起動要因については、表 12.4 を参照してください。
注 2. リセット解除後に 1 回だけノンマスカブル割り込みを許可することができます。
注 3. これらのノンマスカブル割り込みは、マスカブル割り込みとしても使用可能です。マスカブル割り込みとして使用する場合、NMIER レジスタの値をリセット状態から変更しないでください。電圧監視 1 と電圧監視 2 の割り込みを許可するには、LVD1CR1.IRQSEL ビットと LVD2CR1.IRQSEL ビットを 1 にしてください。
注 4. Low レベルが一度検出されると、IELSRn の IR フラグがリセットされ続けるので、IR フラグをクリアしなければ、割り込み要求はクリアされません。

注 5. これらのノンマスカブル割り込み要因は、要求されたソースクロックが低消費電力モード中に停止した場合は、復元できません。

図 12.1 に ICU のブロック図を示します。

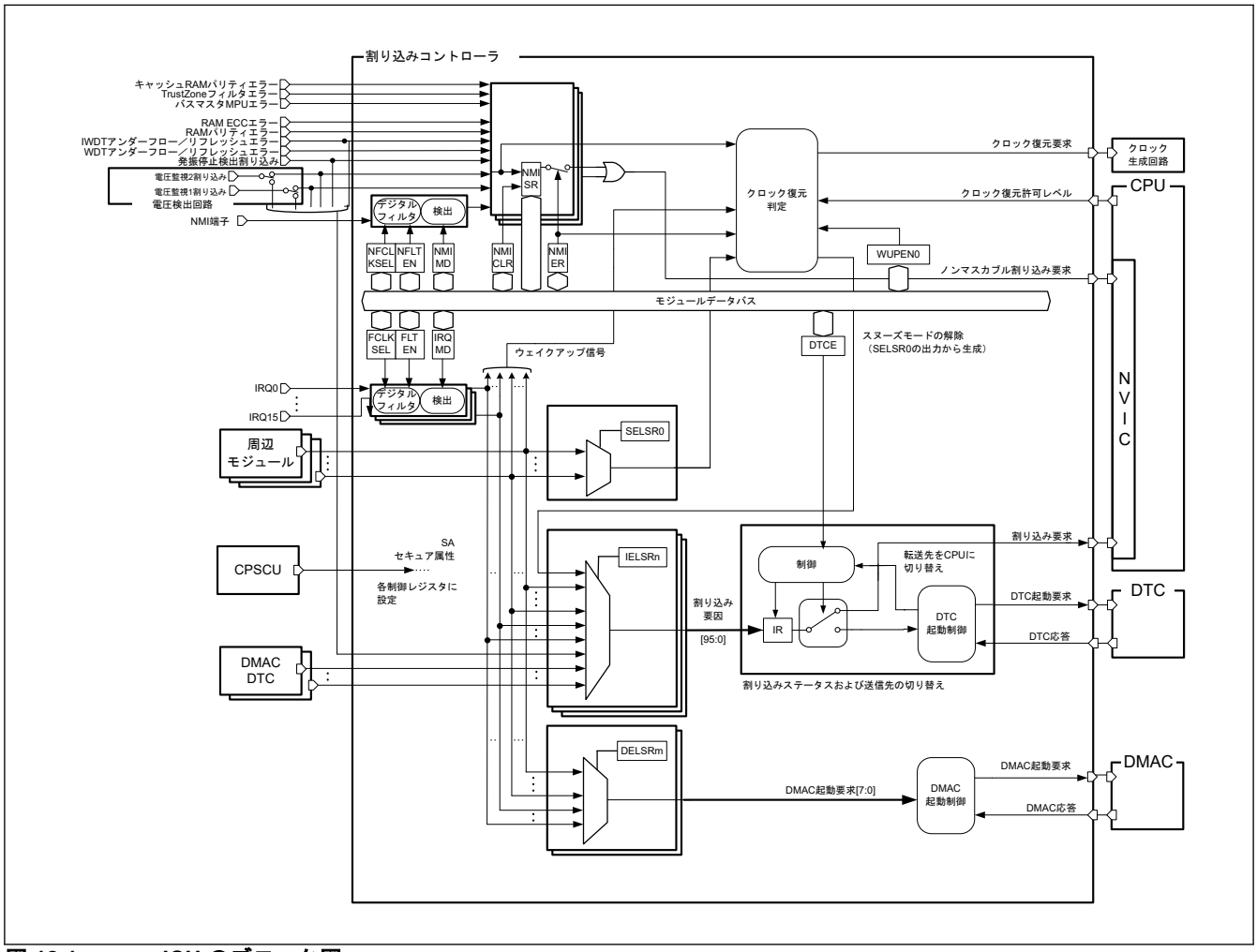


図 12.1 ICU のブロック図

表 12.2 に ICU の入出力端子を示します。

表 12.2 ICU の入出力端子

端子名	入出力	内容
NMI	入力	ノンマスカブル割り込み要求端子
IRQi（i = 0～15）	入力	外部割り込み要求端子

12.2 レジスタの説明

本章では、ARM® NVIC の内部レジスタについては説明していません。これらのレジスタについては、ARM Limited., ARM® Cortex®-M33 Processor Technical Reference Manual (ARM 100230)を参照してください。

12.2.1 ICUSARA：割り込みコントローラセキュリティ属性レジスタ A

Base address: CPSCU = 0x4000_8000

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIRQ CR15	SAIRQ CR14	SAIRQ CR13	SAIRQ CR12	SAIRQ CR11	SAIRQ CR10	SAIRQ CR9	SAIRQ CR8	SAIRQ CR7	SAIRQ CR6	SAIRQ CR5	SAIRQ CR4	SAIRQ CR3	SAIRQ CR2	SAIRQ CR1	SAIRQ CR0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	SAIRQCR15～SAIRQCR0	IRQCRn レジスタのためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:16	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SAIRQCRn ビット（IRQCRn レジスタのためのレジスタのセキュリティ属性）

対象レジスタは以下です。

- IRQCR0～IRQCR15 レジスタ
- WUPEN0.IRQWUPEN[15:0]ビット

12.2.2 ICUSARB：割り込みコントローラセキュリティ属性レジスタ B

Base address: CPSCU = 0x4000_8000

Offset address: 0x44

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SANMI
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	SANMI	ノンマスカブル割り込みのためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SANMI ビット（ノンマスカブル割り込みのためのレジスタのセキュリティ属性）

SANMI ビットはノンマスカブル割り込みのためのレジスタのセキュリティ属性を指定します。対象レジスタは以下です。

- NMIER
- NMICLR
- NMICR

ARM CPU のアプリケーション割り込みおよびリセットコントロールレジスタのの AIRCR.BFHFNMINS（ビット 13）の値は、セキュリティ属性の値と同じである必要があります。AIRCR.BFHFNMINS ビットと SANMI ビットの初期値は異なります。AIRCR.BFHFNMINS ビットはセキュアで、SANMI ビットは非セキュアです。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

注. ノンマスカブル割り込み関連のレジスタのセキュリティ属性には、セキュアか非セキュアのいずれか一方のみ設定できます。セキュア属性をセキュアとしてプログラムすると、常にセキュア割り込みハンドラにジャンプします。いずれかのノンマスカブル割り込み要因を非セキュアユーザーに解放する必要がある場合は、セキュア用割り込みハンドラから非セキュアプログラムを実行する関数を準備してください。

12.2.3 ICUSARC : 割り込みコントローラセキュリティ属性レジスタ C

Base address: CPSCU = 0x4000_8000

Offset address: 0x48

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SADMAC7	SADMAC6	SADMAC5	SADMAC4	SADMAC3	SADMAC2	SADMAC1	SADMAC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	SADMAC7～SADMAC0	DMAC チャネルのためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:8	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SADMACn ビット（DMAC チャネルのためのレジスタのセキュリティ属性）

SADMACn ビットは DMAC チャネルのためのレジスタのセキュリティ属性を指定します。本レジスタは ICU および DMAC のレジスタのセキュリティ属性を指定します。

ICU の対象レジスタは以下です。

- DELSRn

DMAC の対象レジスタは以下です。

- DMACn.DMSAR
- DMACn.DMSRR
- DMACn.DMDAR
- DMACn.DMDRR
- DMACn.DMCRA
- DMACn.DMCRB
- DMACn.DMTMD
- DMACn.DMINT

- DMACn.DMAMD
- DMACn.DMOFR
- DMACn.DMCNT
- DMACn.DMREQ
- DMACn.DMSTS
- DMACn.DMSBS
- DMACn.DMDBS

DMAC のレジスタの詳細については、「15. DMA コントローラ (DMAC)」を参照してください。

12.2.4 ICUSARD：割り込みコントローラセキュリティ属性レジスタ D

Base address: CPSCU = 0x4000_8000

Offset address: 0x4C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SASELSR0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	SASELSR0	SELSR0 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

12.2.5 ICUSARE：割り込みコントローラセキュリティ属性レジスタ E

Base address: CPSCU = 0x4000_8000

Offset address: 0x50

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIIC0WUP	SAAGT1CBWUP	SAAGT1CAWUP	SAAGT1UDWUP	—	—	—	—	—	—	—	—	SALVD2WUP	SALVD1WUP	SAKEYWUP	SAIWDTWUP
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
16	SAIWDTWUP	WUPEN0.b16 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
17	SAKEYWUP	WUPEN0.b17 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
18	SALVD1WUP	WUPEN0.b18 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
19	SALVD2WUP	WUPEN0.b19 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
27:20	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
28	SAAGT1UDWUP	WUPEN0.b28 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
29	SAAGT1CAWUP	WUPEN0.b29 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
30	SAAGT1CBWUP	WUPEN0.b30 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31	SAIIC0WUP	WUPEN0.b31 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。

12.2.6 ICUSARG：割り込みコントローラセキュリティ属性レジスタ G

Base address: CPSCU = 0x4000_8000

Offset address: 0x70

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIELSR31	SAIELSR30	SAIELSR29	SAIELSR28	SAIELSR27	SAIELSR26	SAIELSR25	SAIELSR24	SAIELSR23	SAIELSR22	SAIELSR21	SAIELSR20	SAIELSR19	SAIELSR18	SAIELSR17	SAIELSR16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIELSR15	SAIELSR14	SAIELSR13	SAIELSR12	SAIELSR11	SAIELSR10	SAIELSR9	SAIELSR8	SAIELSR7	SAIELSR6	SAIELSR5	SAIELSR4	SAIELSR3	SAIELSR2	SAIELSR1	SAIELSR0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	SAIELSR31～SAIELSR0	IELSR31～IELSR0 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。

SAIELSRn ビット（IELSR31～IELSR0 のためのレジスタのセキュリティ属性）

ARM CPU NVIC で管理するセキュア属性は、IELSEn（n = 0～31）のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS0[31:0]にあります。NVIC_ITNS0 と ICUSARG の初期値は異なります。NVIC_ITNS0 はセキュア、ICUSARG は非セキュアです。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

12.2.7 ICUSARH：割り込みコントローラセキュリティ属性レジスタ H

Base address: CPSCU = 0x4000_8000

Offset address: 0x74

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIELSR63	SAIELSR62	SAIELSR61	SAIELSR60	SAIELSR59	SAIELSR58	SAIELSR57	SAIELSR56	SAIELSR55	SAIELSR54	SAIELSR53	SAIELSR52	SAIELSR51	SAIELSR50	SAIELSR49	SAIELSR48
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIELSR47	SAIELSR46	SAIELSR45	SAIELSR44	SAIELSR43	SAIELSR42	SAIELSR41	SAIELSR40	SAIELSR39	SAIELSR38	SAIELSR37	SAIELSR36	SAIELSR35	SAIELSR34	SAIELSR33	SAIELSR32
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	SAIELSR63～SAIELSR32	IELSR63～IELSR32 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SAIELSRn ビット（IELSR63～IELSR32 のためのレジスタのセキュリティ属性）

ARM CPU NVIC で管理するセキュア属性は、IELSEn（n = 32～63）のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS1[31:0]にあります。NVIC_ITNS1 と ICUSARH の初期値は異なります。NVIC_ITNS1 はセキュア、ICUSARH は非セキュアです。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

12.2.8 ICUSARI：割り込みコントローラセキュリティ属性レジスタ I

Base address: CPSCU = 0x4000_8000

Offset address: 0x78

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIELSR95	SAIELSR94	SAIELSR93	SAIELSR92	SAIELSR91	SAIELSR90	SAIELSR89	SAIELSR88	SAIELSR87	SAIELSR86	SAIELSR85	SAIELSR84	SAIELSR83	SAIELSR82	SAIELSR81	SAIELSR80
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIELSR79	SAIELSR78	SAIELSR77	SAIELSR76	SAIELSR75	SAIELSR74	SAIELSR73	SAIELSR72	SAIELSR71	SAIELSR70	SAIELSR69	SAIELSR68	SAIELSR67	SAIELSR66	SAIELSR65	SAIELSR64
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	SAIELSR95～SAIELSR64	IELSR95～IELSR64 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SAIELSRn ビット（IELSR95～IELSR64 のためのレジスタのセキュリティ属性）

ARM CPU NVIC で管理するセキュア属性は、IELSEn（n = 64～95）のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS2[31:0]にあります。NVIC_ITNS2 と ICUSARI の初期値は異なります。NVIC_ITNS2 はセキュア、ICUSARI は非セキュアです。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

12.2.9 IRQCRi : IRQ コントロールレジスタ i（i = 0～15）

Base address: ICU = 0x4000_6000

Offset address: 0x000 + 0x1 × i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	FLTEN	—	FCLKSEL[1:0]		—	—	IRQMD[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	IRQMD[1:0]	IRQi 検出センス選択 0 0: 立ち下がりエッジ 0 1: 立ち上がりエッジ 1 0: 両エッジ 1 1: Low レベル	R/W
3:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
5:4	FCLKSEL[1:0]	IRQi デジタルフィルタサンプリングクロック選択 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
6	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	FLTEN	IRQi デジタルフィルタ有効 0: 無効 1: 有効	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

IRQCRi レジスタの変更には、以下の条件があります。

- CPU 割り込みまたは DTC 起動要因の場合：
  IRQCRi レジスタの設定を変更してから、対象の IELSRn レジスタ（n = 0～95）を設定する必要があります。対象の IELSRn レジスタが 0x0000 の場合にのみ、レジスタ値の変更が可能です。
- DMAC 起動要因の場合：
  IRQCRi レジスタの設定を変更してから、対象の DELSRn レジスタ（n = 0～7）を設定する必要があります。対象の DELSRn レジスタが 0x0000 の場合にのみ、レジスタ値の変更が可能です。
- ウェイクアップ許可信号の場合：
  IRQCRi レジスタの設定を変更してから、対象の WUPEN0.IRQWUPEN[n]（n = 0～15）ビットを設定する必要があります。対象の WUPEN0.IRQWUPEN[n]ビットが 0 の場合に、レジスタ値の変更が可能です。

IRQMD[1:0]ビット（IRQi 検出センス選択）

IRQMD[1:0]ビットは IRQi 外部端子割り込み要因の検出センシング方法を設定します。外部端子割り込み使用時の設定方法については、「12.5.6. 外部端子割り込みの設定手順」を参照してください。

FCLKSEL[1:0]ビット（IRQi デジタルフィルタサンプリングクロック選択）

FCLKSEL[1:0]ビットは IRQi 外部端子割り込み要求端子用のデジタルフィルタサンプリングクロックを選択します。以下から選択可能です。

- PCLKB (1 サイクルごと)
- PCLKB/8 (8 サイクルごと)
- PCLKB/32 (32 サイクルごと)
- PCLKB/64 (64 サイクルごと)

デジタルフィルタの詳細は、「12.5.5. デジタルフィルタ」を参照してください。

FLTEN ビット（IRQi デジタルフィルタ有効）

FLTEN ビットは IRQi 外部端子割り込み要因に使用されるデジタルフィルタを有効にします。デジタルフィルタは IRQCRi.FLTEN ビットが 1 の場合に有効で、IRQCRi.FLTEN ビットが 0 の場合に無効です。IRQi の端子レベルは IRQCRi.FCLKSEL[1:0]ビットで指定されるクロックサイクルでサンプリングされます。サンプリングレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細は、「12.5.5. デジタルフィルタ」を参照してください。

12.2.10 NMISR : ノンマスカブル割り込みステータスレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x140

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CPEST	—	TZFST	—	BUSMST	—	RECCST	RPEST	NMIST	OSTST	—	—	LVD2ST	LVD1ST	WDTST	IWDTST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTST	IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
1	WDTST	WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
2	LVD1ST	電圧監視 1 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
3	LVD2ST	電圧監視 2 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
5:4	—	読むと 0 が読めます。	R
6	OSTST	メインクロック発振停止検出割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
7	NMIST	NMI 端子割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
8	RPEST	SRAM パリティエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
9	RECCST	SRAM ECC エラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
10	—	読むと 0 が読めます。	R
11	BUSMST	バスマスタ MPU エラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
12	—	読むと 0 が読めます。	R
13	TZFST	TrustZone フィルタエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
14	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
15	CPEST	キャッシュ RAM パリティエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R

NMISR レジスタは、ノンマスカブル割り込み要因のステータスを監視します。NMISR レジスタへの書き込みは無視されます。ノンマスカブル割り込みイネーブルレジスタ (NMIER) の設定は、このレジスタには影響しません。ノンマスカブル割り込みの処理ルーチンでは、このレジスタの全ビットが 0 になっていることをチェックして、他の NMI 要求が発生していないことを確認してから、処理を終了してください。

IWDTST フラグ（IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ）

IWDTST フラグは IWDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.IWDTCLR ビットでクリアされます。

[1 になる条件]

IWDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.IWDTCLR ビットに 1 を書いたとき

WDTST フラグ（WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ）

WDTST フラグは WDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.WDTCLR ビットでクリアされます。

[1 になる条件]

WDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.WDTCLR ビットに 1 を書いたとき

LVD1ST フラグ（電圧監視 1 割り込みステータスフラグ）

LVD1ST フラグは電圧監視 1 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD1CLR ビットでクリアされます。

[1 になる条件]

電圧監視 1 割り込みが発生したとき

[0 になる条件]

NMICLR.LVD1CLR ビットに 1 を書いたとき

LVD2ST フラグ（電圧監視 2 割り込みステータスフラグ）

LVD2ST フラグは電圧監視 2 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD2CLR ビットでクリアされます。

[1 になる条件]

電圧監視 2 割り込みが発生したとき

[0 になる条件]

NMICLR.LVD2CLR ビットに 1 を書いたとき

OSTST フラグ（メインクロック発振停止検出割り込みステータスフラグ）

OSTST フラグはメインクロック発振停止検出割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.OSTCLR ビットでクリアされます。

[1 になる条件]

メインクロック発振停止検出割り込みが発生したとき

[0 になる条件]

NMICLR.OSTCLR ビットに 1 を書いたとき

NMIST フラグ（NMI 端子割り込みステータスフラグ）

NMIST フラグは NMI 端子割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.NMICLR ビットでクリアされます。

[1 になる条件]

NMICR.NMIMD ビットで指定したエッジが NMI 端子に入力されたとき

[0 になる条件]

NMICLR.NMICLR ビットに 1 を書いたとき

RPEST フラグ（SRAM パリティエラー割り込みステータスフラグ）

RPEST フラグは SRAM パリティエラー割り込み要求を示します。

[1 になる条件]

SRAM パリティエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.RPECLR ビットに 1 を書いたとき

RECCST フラグ（SRAM ECC エラー割り込みステータスフラグ）

RECCST フラグは SRAM ECC エラー割り込み要求を示します。

[1 になる条件]

SRAM ECC エラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.RECCCLR ビットに 1 を書いたとき

BUSMST フラグ（バスマスタ MPU エラー割り込みステータスフラグ）

BUSMST フラグはバスマスタ MPU エラー割り込み要求を示します。

[1 になる条件]

バスマスタ MPU エラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.BUSMCLR ビットに 1 を書いたとき

TZFST フラグ（TrustZone フィルタエラー割り込みステータスフラグ）

TrustZone フィルタエラー割り込み要求を示します。

[1 になる条件]

TrustZone フィルタエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.TZFCLR ビットに 1 を書いたとき

CPEST フラグ（キャッシュ RAM パリティエラー割り込みステータスフラグ）

CPEST フラグはキャッシュ RAM パリティエラー割り込み要求を示します。

[1 になる条件]

キャッシュ RAM パリティエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.CPECLR ビットに 1 を書いたとき

12.2.11 NMIER : ノンマスカブル割り込みイネーブルレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x120

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CPEEN	—	TZFEN	—	BUSMEN	—	RECCEN	RPEEN	NMIEN	OSTEN	—	—	LVD2EN	LVD1EN	WDTEN	IWDTEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTEN	IWDT アンダーフロー／リフレッシュエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
1	WDTEN	WDT アンダーフロー／リフレッシュエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
2	LVD1EN	電圧監視 1 割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
3	LVD2EN	電圧監視 2 割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
5:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6	OSTEN	メインクロック発振停止検出割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
7	NMIEN	NMI 端子割り込み許可 0: 禁止 1: 許可	R/W(注1)
8	RPEEN	SRAM パリティエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
9	RECCEN	SRAM ECC エラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
11	BUSMEN	バスマスタ MPU エラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
12	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
13	TZFEN	TrustZone フィルタエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
14	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15	CPEEN	キャッシュ RAM パリティエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. リセット後、本ビットに 1 回だけ 1 を書き込むことが可能です。以後のライトアクセスは無効です。0 の書き込みは無効です。
注 2. イベント信号として使用する場合、1 にしないでください。

IWDTEN ビット（IWDT アンダーフロー／リフレッシュエラー割り込み許可）

IWDTEN ビットは、NMI の起動要因となる IWDT アンダーフロー／リフレッシュエラー割り込みを許可します。

WDTEN ビット（WDT アンダーフロー／リフレッシュエラー割り込み許可）

WDTEN ビットは、NMI の起動要因となる WDT アンダーフロー／リフレッシュエラー割り込みを許可します。

LVD1EN ビット（電圧監視 1 割り込み許可）

LVD1EN ビットは、NMI の起動要因となる電圧監視 1 割り込みを許可します。

LVD2EN ビット（電圧監視 2 割り込み許可）

LVD2EN ビットは、NMI の起動要因となる電圧監視 2 割り込みを許可します。

OSTEN ビット（メインクロック発振停止検出割り込み許可）

OSTEN ビットは、NMI の起動要因となるメインクロック発振停止検出割り込みを許可します。

NMIEN ビット（NMI 端子割り込み許可）

NMIEN ビットは、NMI の起動要因となる NMI 端子割り込みを許可します。

RPEEN ビット（SRAM パリティエラー割り込み許可）

RPEEN ビットは、NMI の起動要因となる SRAM パリティエラー割り込みを許可します。

RECCEN ビット（SRAM ECC エラー割り込み許可）

RECCEN ビットは、NMI の起動要因となる SRAM ECC エラー割り込みを許可します。

BUSMEN ビット（バスマスタ MPU エラー割り込み許可）

BUSMEN ビットは、NMI の起動要因となるバスマスタエラー割り込みを許可します。

TZFEN ビット（TrustZone フィルタエラー割り込み許可）

TZFEN ビットは、NMI の起動要因となる TrustZone フィルタエラー割り込みを許可します。

CPEEN ビット（キャッシュ RAM パリティエラー割り込み許可）

CPEEN ビットは、NMI の起動要因となるキャッシュ RAM パリティエラー割り込みを許可します。

12.2.12 NMICLR：ノンマスカブル割り込みステータスクリアレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x130

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CPECLR	—	TZFCLR	—	BUSMCLR	—	RECCCLR	RPECLR	NMICLR	OSTCLR	—	—	LVD2CLR	LVD1CLR	WDTCLR	IWDTCLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTCLR	IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.IWDTST フラグをクリア	R/W(注1)
1	WDTCLR	WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.WDTST フラグをクリア	R/W(注1)
2	LVD1CLR	電圧監視 1 割り込みステータスフラグクリア 0: 影響なし 1: NMISR.LVD1ST フラグをクリア	R/W(注1)
3	LVD2CLR	電圧監視 2 割り込みステータスフラグクリア 0: 影響なし 1: NMISR.LVD2ST フラグをクリア	R/W(注1)

ビット	シンボル	機能	R/W
5:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6	OSTCLR	発振停止検出割り込みステータスフラグクリア 0: 影響なし 1: NMISR.OSTST フラグをクリア	R/W(注1)
7	NMICLR	NMI 端子割り込みステータスフラグクリア 0: 影響なし 1: NMISR.NMIST フラグをクリア	R/W(注1)
8	RPECLR	SRAM パリティエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.RPEST フラグをクリア	R/W(注1)
9	RECCCLR	SRAM ECC エラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.RECCST フラグをクリア	R/W(注1)
10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
11	BUSMCLR	バスマスタ MPU エラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.BUSMST フラグをクリア	R/W(注1)
12	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
13	TZFCLR	TrustZone フィルタエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.TZFCLR フラグをクリア	R/W(注1)
14	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15	CPECLR	キャッシュ RAM パリティエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.CPECLR フラグをクリア	R/W(注1)

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. このビットには 1 のみ書けます。

IWDTCLR ビット（IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア）

IWDTCLR ビットに 1 を書き込むことにより、NMISR.IWDTST フラグをクリアします。読むと 0 が読めます。

WDTCLR ビット（WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア）

WDTCLR ビットに 1 を書き込むことにより、NMISR.WDTST フラグをクリアします。読むと 0 が読めます。

LVD1CLR ビット（電圧監視 1 割り込みステータスフラグクリア）

LVD1CLR ビットに 1 を書き込むことにより、NMISR.LVD1ST フラグをクリアします。読むと 0 が読めます。

LVD2CLR ビット（電圧監視 2 割り込みステータスフラグクリア）

LVD2CLR ビットに 1 を書き込むことにより、NMISR.LVD2ST フラグをクリアします。読むと 0 が読めます。

OSTCLR ビット（発振停止検出割り込みステータスフラグクリア）

OSTCLR ビットに 1 を書き込むことにより、NMISR.OSTST フラグをクリアします。読むと 0 が読めます。

NMICLR ビット（NMI 端子割り込みステータスフラグクリア）

NMICLR ビットに 1 を書き込むことにより、NMISR.NMIST フラグをクリアします。読むと 0 が読めます。

RPECLR ビット（SRAM パリティエラー割り込みステータスフラグクリア）

RPECLR ビットに 1 を書き込むことにより、NMISR.RPEST フラグをクリアします。読むと 0 が読めます。

RECCCLR ビット（SRAM ECC エラー割り込みステータスフラグクリア）

RECCCLR ビットに 1 を書き込むことにより、NMISR.RECCST フラグをクリアします。読むと 0 が読めます。

BUSMCLR ビット（バスマスタ MPU エラー割り込みステータスフラグクリア）

BUSMCLR ビットに 1 を書き込むことにより、NMISR.BUSMSST フラグをクリアします。読むと 0 が読めます。

TZFCLR ビット（TrustZone フィルタエラー割り込みステータスフラグクリア）

TZFCLR ビットに 1 を書き込むことにより、NMISR.TZFST フラグをクリアします。読むと 0 が読めます。

CPECLR ビット（キャッシュ RAM パリティエラー割り込みステータスフラグクリア）

CPECLR ビットに 1 を書き込むことにより、NMISR.CPEST フラグをクリアします。読むと 0 が読めます。

12.2.13 NMICR : NMI 端子割り込みコントロールレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x100

Bit position:	7	6	5	4	3	2	1	0
Bit field:	NFLTEN	—	NFCLKSEL[1:0]		—	—	—	NMIMD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NMIMD	NMI 検出設定 0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
3:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
5:4	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリングクロック選択 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
6	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	NFLTEN	NMI デジタルフィルタ有効 0: 無効 1: 有効	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

NMICR レジスタの設定を変更してから、NMI 端子割り込みを許可（NMIER.NMIEN ビットを 1）にしてください。

NMIMD ビット（NMI 検出設定）

NMIMD ビットは NMI 端子割り込みの検出イベントを選択します。

NFCLKSEL[1:0]ビット（NMI デジタルフィルタサンプリングクロック選択）

NFCLKSEL[1:0]ビットは NMI 端子割り込み用のデジタルフィルタサンプリングクロックを選択します。以下から選択可能です。

- PCLKB（1 サイクルごと）
- PCLKB/8（8 サイクルごと）
- PCLKB/32（32 サイクルごと）
- PCLKB/64（64 サイクルごと）

デジタルフィルタの詳細は、「12.5.5. デジタルフィルタ」を参照してください。

NFLTEN ビット（NMI デジタルフィルタ有効）

NFLTEN ビットは、NMI 端子割り込みのデジタルフィルタを有効にします。デジタルフィルタは、NFLTEN ビットが 1 の場合に有効になり、NFLTEN ビットが 0 の場合に無効になります。NMI 端子レベルは、NFCLKSEL[1:0]ビットで指定されたサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、「12.5.5. デジタルフィルタ」を参照してください。

12.2.14 IELSRn : ICU イベントリンク設定レジスタ n（n = 0～95）

Base address: ICU = 0x4000_6000

Offset address: 0x300 + 0x4 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	DTCE	—	—	—	—	—	—	—	IR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	IELS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	IELS[8:0]	ICU イベントリンク選択 0x00: 対応する NVIC または DTC モジュールへの割り込みは禁止 その他: リンクするイベント信号の番号詳細は、「12.3.2. イベント番号」を参照してください。	R/W
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	IR	割り込みステータスフラグ 0: 割り込み要求の発生なし 1: 割り込み要求の発生あり	R/W(注1)
23:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
24	DTCE	DTC 起動許可 0: 禁止 1: 許可	R/W
31:25	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. 本レジスタはハーフワードアクセスまたはワードアクセスを要求します。

注 1. 1 を書かないでください。

IELSRn レジスタは NVIC により使用される IRQi 要因を選択します。詳細は表 12.3 を参照してください。
IELSRn は NVIC IRQ 入力要求番号 (n = 0～95) に対応します。

IELS[8:0]ビット（ICU イベントリンク選択）

IELS[8:0]ビットは対応する NVIC または DTC モジュールにリンクするイベント信号を指定します。また、イベント選択肢の組み合わせとして 8 つ（グループ 0～7）にグルーピングしています。詳細は、表 12.3 と表 12.4 を参照してください。

IR フラグ（割り込みステータスフラグ）

IR フラグは IELS[8:0]ビットで指定されたイベントからの割り込み要求の有無を示します。

[1 になる条件]

対応する周辺モジュールまたは IRQi 端子から割り込み要求を受信したとき

[0 になる条件]

- 0 を書くことにより、IR フラグはクリアされます。
- DTC.DISEL = 0 の場合。DTCE = 1 で DTC 転送の最終転送終了時以外は、IR フラグはハードウェアにより繰り返しセット、クリアされます。
- DTC.DISEL = 1 の場合。DTCE = 1 で DTC 転送しているとき、IR フラグはハードウェアによりクリアされません。CPU で 0 を書き込みクリアしてください。

最終転送以外の DTC 転送が終了する場合（DTCE ビットは 1 から 0 になる）

DTCE = 1 のとき、IR レジスタに 0 を書き込まないでください。

レベル検出の場合、IR フラグのクリアは以下の手順に従ってください。

1. 入力割り込み信号をネゲートする。
2. 周辺リードアクセスを 1 回実行し、対象モジュールクロックの 2 クロックサイクル分待つ。
3. 0 を書くことにより IR フラグをクリアする。

DTCE ビット（DTC 起動許可）

DTCE ビットを 1 にすると、対応するイベントが DTC 起動要因として選択されます。

[1 になる条件]

- DTCE ビットに 1 を書いたとき

[0 になる条件]

- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき
- DTCE ビットに 0 を書いたとき

注. DTC 転送中のエラー

DTC 転送中にエラー応答が発生すると、DTC はエラーが発生した ICU を通知します。ICU は対象の IELSRn（n = 0～95）のすべてのビットをクリアします。対象外の IELSRn（n = 0～95）はクリアされません。

注. スヌーズモード時の DTC 転送エラー

スヌーズモード時の DTC 転送エラーが発生したとき、ICU はウェイクアップ要求を発行します。しかし、割り込み要求は自動的には発行されません。DTC エラー発生時に割り込みを設定する方法については、「16. データトランスファコントローラ (DTC)」を参照してください。

12.2.15 DELSRn : DMAC イベントリンク設定レジスタ n （n = 0～7）

Base address: ICU = 0x4000_6000

Offset address: 0x280 + 0x4 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DELS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	DELS[8:0]	DMAC イベントリンク選択 0x00: 対応する DMAC モジュールへの割り込みは禁止 その他: リンクするイベント信号の番号。詳細は、表 12.4 を参照してください。	R/W
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
16	IR	DMAC 起動要求ステータスフラグ 0: DMAC 起動要求なし 1: DMAC 起動要求あり	R/W(注1)
31:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. IR フラグに 1 を書き込まないでください。

DELS[8:0]ビット（DMAC イベントリンク選択）

DELS[8:0]ビットは対応する DMAC モジュールへのイベント信号にリンクします。複数の DELSRn レジスタに同じイベント番号を設定しないでください。

IR フラグ（DMAC 起動要求ステータスフラグ）

IR フラグは DMAC 起動要求のステータスフラグです。このフラグは本レジスタの DELS[8:0]ビットに対応します。

[1 になる条件]

本フラグは、対応する周辺モジュールまたは IRQi 端子からの DMAC 起動要求が発生すると、1 になります。

[0 になる条件]

- IR フラグに 0 を書いたとき
- DMAC 起動要求の発生後、DMA 転送が開始したとき

注. IR フラグは DMA 転送終了後に自動的にクリアされます。よって、アボート発生時以外は 0 を書き込まないでください。0 書き込み時の DMA 転送動作は保証できません。

注. DMAC 転送中のエラー

DMAC 転送中にエラー応答が発生すると、DMAC はエラーが発生したことを ICU に通知します。

ICU は DELSRn（n = 0～7）の対象チャネルのすべてのビットをクリアします。対象チャネル以外の DELSRn はクリアされません。

12.2.16 SELSR0 : SYS イベントリンク設定レジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x200

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SELS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	SELS[8:0]	SYS イベントリンク選択 0x00: 対応する低消費電力モードのモジュールへのイベント出力無効 その他: リンクするイベント信号の番号詳細は表 12.4 を参照してください。	R/W
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

SELSR0 レジスタはスヌーズモードから復帰するためのイベントを選択します。表 12.4 のスヌーズモードの解除欄に✓が付いているイベントのみを使用できます。IELSRn.IELS[8:0]ビットで ICU_SNZCANCEL が選択されている場合、スヌーズモードを解除する割り込みが発生します。

【使用上の注意】一連の動作に関連する部分に追加されるセキュリティ属性に対して、セキュリティホールが生成されないようにすべてのセキュリティ属性を一致させてください。

一致させるセキュリティ属性は以下です。

- **SELSR0 に設定されるイベント要因**
- **SELSR0**
- **イベント No. 45 (ICU_SNZCANCEL) を受信する IELSRn（n = 0～95）**
- **前項目で指定した割り込みの CPU 内の NVIC 内部レジスタ**
- **割り込みハンドラ**

12.2.17 WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0

Base address: ICU = 0x4000_6000

Offset address: 0x1A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	IIC0WUPEN	AGT1CBWUPEN	AGT1CAWUPEN	AGT1UDWUPEN	—	—	—	—	—	—	—	—	LVD2WUPEN	LVD1WUPEN	KEYWUPEN	IWDTWUPEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	IRQWUPEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	IRQWUPEN[15:0]	IRQn 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可（n = 0～15） 0: IRQn 割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: IRQn 割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可 (注1)	R/W
16	IWDTWUPEN	IWDT 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: IWDT 割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: IWDT 割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W
17	KEYWUPEN	キー割り込みによるソフトウェアスタンバイ復帰許可 0: キー割り込みによるソフトウェアスタンバイ復帰禁止 1: キー割り込みによるソフトウェアスタンバイ復帰許可	R/W
18	LVD1WUPEN	LVD1 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: LVD1 割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: LVD1 割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W
19	LVD2WUPEN	LVD2 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: LVD2 割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: LVD2 割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W
27:20	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
28	AGT1UDWUPEN	AGT1 アンダーフロー割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: AGT1 アンダーフロー割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: AGT1 アンダーフロー割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W
29	AGT1CAWUPEN	AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W

ビット	シンボル	機能	R/W
30	AGT1CBWUPEN	AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W
31	IIC0WUPEN	IIC0 アドレスマッチ割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可 0: IIC0 アドレスマッチ割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: IIC0 アドレスマッチ割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. 説明は、各ビットについて示します。

本レジスタのセキュリティ属性は、ウェイクアップイベントごとに設定されます。

セキュリティホールの発生を避けるため、ウェイクアップの対象イベントと、本ビットに追加されるセキュリティ属性が一致していなければなりません。

12.3 ベクタテーブル

ICU は、マスカブル割り込みとノンマスカブル割り込みの 2 種類の割り込みを検出します。割り込み優先順位は Arm NVIC で設定されます。これらのレジスタについての情報は、「12.9. 参考資料」を参照してください。

12.3.1 割り込みベクタテーブル

表 12.3 に割り込みベクタテーブルの内容を示します。割り込みベクタアドレスは、NVIC の仕様に従います。

表 12.3 割り込みベクタテーブル (1/4)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
0	—	0x000	Arm	初期スタックポインタ
1	—	0x004	Arm	初期プログラムカウンタ（リセットベクタ）
2	—	0x008	Arm	ノンマスカブル割り込み (NMI)
3	—	0x00C	Arm	ハード障害
4	—	0x010	Arm	MemManage 障害
5	—	0x014	Arm	バス障害
6	—	0x018	Arm	使用障害
7	—	0x01C	Arm	セキュア障害
8	—	0x020	Arm	予約
9	—	0x024	Arm	予約
10	—	0x028	Arm	予約
11	—	0x02C	Arm	スーパバイザーコール (SVCall)
12	—	0x030	Arm	デバッグ監視
13	—	0x034	Arm	予約
14	—	0x038	Arm	システムサービスに対する保留可能な要求 (PendableSrvReq)
15	—	0x03C	Arm	SysTick タイマ (SysTick)
16	0	0x040	ICU.IELSR0	ICU.IELSR0 レジスタで選択されたイベント
17	1	0x044	ICU.IELSR1	ICU.IELSR1 レジスタで選択されたイベント

表 12.3 割り込みベクタテーブル (2/4)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
18	2	0x048	ICU.IELSR2	ICU.IELSR2 レジスタで選択されたイベント
19	3	0x04C	ICU.IELSR3	ICU.IELSR3 レジスタで選択されたイベント
20	4	0x050	ICU.IELSR4	ICU.IELSR4 レジスタで選択されたイベント
21	5	0x054	ICU.IELSR5	ICU.IELSR5 レジスタで選択されたイベント
22	6	0x058	ICU.IELSR6	ICU.IELSR6 レジスタで選択されたイベント
23	7	0x05C	ICU.IELSR7	ICU.IELSR7 レジスタで選択されたイベント
24	8	0x060	ICU.IELSR8	ICU.IELSR8 レジスタで選択されたイベント
25	9	0x064	ICU.IELSR9	ICU.IELSR9 レジスタで選択されたイベント
26	10	0x068	ICU.IELSR10	ICU.IELSR10 レジスタで選択されたイベント
27	11	0x06C	ICU.IELSR11	ICU.IELSR11 レジスタで選択されたイベント
28	12	0x070	ICU.IELSR12	ICU.IELSR12 レジスタで選択されたイベント
29	13	0x074	ICU.IELSR13	ICU.IELSR13 レジスタで選択されたイベント
30	14	0x078	ICU.IELSR14	ICU.IELSR14 レジスタで選択されたイベント
31	15	0x07C	ICU.IELSR15	ICU.IELSR15 レジスタで選択されたイベント
32	16	0x080	ICU.IELSR16	ICU.IELSR16 レジスタで選択されたイベント
33	17	0x084	ICU.IELSR17	ICU.IELSR17 レジスタで選択されたイベント
34	18	0x088	ICU.IELSR18	ICU.IELSR18 レジスタで選択されたイベント
35	19	0x08C	ICU.IELSR19	ICU.IELSR19 レジスタで選択されたイベント
36	20	0x090	ICU.IELSR20	ICU.IELSR20 レジスタで選択されたイベント
37	21	0x094	ICU.IELSR21	ICU.IELSR21 レジスタで選択されたイベント
38	22	0x098	ICU.IELSR22	ICU.IELSR22 レジスタで選択されたイベント
39	23	0x09C	ICU.IELSR23	ICU.IELSR23 レジスタで選択されたイベント
40	24	0x0A0	ICU.IELSR24	ICU.IELSR24 レジスタで選択されたイベント
41	25	0x0A4	ICU.IELSR25	ICU.IELSR25 レジスタで選択されたイベント
42	26	0x0A8	ICU.IELSR26	ICU.IELSR26 レジスタで選択されたイベント
43	27	0x0AC	ICU.IELSR27	ICU.IELSR27 レジスタで選択されたイベント
44	28	0x0B0	ICU.IELSR28	ICU.IELSR28 レジスタで選択されたイベント
45	29	0x0B4	ICU.IELSR29	ICU.IELSR29 レジスタで選択されたイベント
46	30	0x0B8	ICU.IELSR30	ICU.IELSR30 レジスタで選択されたイベント
47	31	0x0BC	ICU.IELSR31	ICU.IELSR31 レジスタで選択されたイベント
48	32	0x0C0	ICU.IELSR32	ICU.IELSR32 レジスタで選択されたイベント
49	33	0x0C4	ICU.IELSR33	ICU.IELSR33 レジスタで選択されたイベント
50	34	0x0C8	ICU.IELSR34	ICU.IELSR34 レジスタで選択されたイベント
51	35	0x0CC	ICU.IELSR35	ICU.IELSR35 レジスタで選択されたイベント
52	36	0x0D0	ICU.IELSR36	ICU.IELSR36 レジスタで選択されたイベント
53	37	0x0D4	ICU.IELSR37	ICU.IELSR37 レジスタで選択されたイベント
54	38	0x0D8	ICU.IELSR38	ICU.IELSR38 レジスタで選択されたイベント
55	39	0x0DC	ICU.IELSR39	ICU.IELSR39 レジスタで選択されたイベント
56	40	0x0E0	ICU.IELSR40	ICU.IELSR40 レジスタで選択されたイベント
57	41	0x0E4	ICU.IELSR41	ICU.IELSR41 レジスタで選択されたイベント
58	42	0x0E8	ICU.IELSR42	ICU.IELSR42 レジスタで選択されたイベント

表 12.3 割り込みベクタテーブル (3/4)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
59	43	0x0EC	ICU.IELSR43	ICU.IELSR43 レジスタで選択されたイベント
60	44	0x0F0	ICU.IELSR44	ICU.IELSR44 レジスタで選択されたイベント
61	45	0x0F4	ICU.IELSR45	ICU.IELSR45 レジスタで選択されたイベント
62	46	0x0F8	ICU.IELSR46	ICU.IELSR46 レジスタで選択されたイベント
63	47	0x0FC	ICU.IELSR47	ICU.IELSR47 レジスタで選択されたイベント
64	48	0x100	ICU.IELSR48	ICU.IELSR48 レジスタで選択されたイベント
65	49	0x104	ICU.IELSR49	ICU.IELSR49 レジスタで選択されたイベント
66	50	0x108	ICU.IELSR50	ICU.IELSR50 レジスタで選択されたイベント
67	51	0x10C	ICU.IELSR51	ICU.IELSR51 レジスタで選択されたイベント
68	52	0x110	ICU.IELSR52	ICU.IELSR52 レジスタで選択されたイベント
69	53	0x114	ICU.IELSR53	ICU.IELSR53 レジスタで選択されたイベント
70	54	0x118	ICU.IELSR54	ICU.IELSR54 レジスタで選択されたイベント
71	55	0x11C	ICU.IELSR55	ICU.IELSR55 レジスタで選択されたイベント
72	56	0x120	ICU.IELSR56	ICU.IELSR56 レジスタで選択されたイベント
73	57	0x124	ICU.IELSR57	ICU.IELSR57 レジスタで選択されたイベント
74	58	0x128	ICU.IELSR58	ICU.IELSR58 レジスタで選択されたイベント
75	59	0x12C	ICU.IELSR59	ICU.IELSR59 レジスタで選択されたイベント
76	60	0x130	ICU.IELSR60	ICU.IELSR60 レジスタで選択されたイベント
77	61	0x134	ICU.IELSR61	ICU.IELSR61 レジスタで選択されたイベント
78	62	0x138	ICU.IELSR62	ICU.IELSR62 レジスタで選択されたイベント
79	63	0x13C	ICU.IELSR63	ICU.IELSR63 レジスタで選択されたイベント
80	64	0x140	ICU.IELSR64	ICU.IELSR64 レジスタで選択されたイベント
81	65	0x144	ICU.IELSR65	ICU.IELSR65 レジスタで選択されたイベント
82	66	0x148	ICU.IELSR66	ICU.IELSR66 レジスタで選択されたイベント
83	67	0x14C	ICU.IELSR67	ICU.IELSR67 レジスタで選択されたイベント
84	68	0x150	ICU.IELSR68	ICU.IELSR68 レジスタで選択されたイベント
85	69	0x154	ICU.IELSR69	ICU.IELSR69 レジスタで選択されたイベント
86	70	0x158	ICU.IELSR70	ICU.IELSR70 レジスタで選択されたイベント
87	71	0x15C	ICU.IELSR71	ICU.IELSR71 レジスタで選択されたイベント
88	72	0x160	ICU.IELSR72	ICU.IELSR72 レジスタで選択されたイベント
89	73	0x164	ICU.IELSR73	ICU.IELSR73 レジスタで選択されたイベント
90	74	0x168	ICU.IELSR74	ICU.IELSR74 レジスタで選択されたイベント
91	75	0x16C	ICU.IELSR75	ICU.IELSR75 レジスタで選択されたイベント
92	76	0x170	ICU.IELSR76	ICU.IELSR76 レジスタで選択されたイベント
93	77	0x174	ICU.IELSR77	ICU.IELSR77 レジスタで選択されたイベント
94	78	0x178	ICU.IELSR78	ICU.IELSR78 レジスタで選択されたイベント
95	79	0x17C	ICU.IELSR79	ICU.IELSR79 レジスタで選択されたイベント
96	80	0x180	ICU.IELSR80	ICU.IELSR80 レジスタで選択されたイベント
97	81	0x184	ICU.IELSR81	ICU.IELSR81 レジスタで選択されたイベント
98	82	0x188	ICU.IELSR82	ICU.IELSR82 レジスタで選択されたイベント
99	83	0x18C	ICU.IELSR83	ICU.IELSR83 レジスタで選択されたイベント

表 12.3 割り込みベクタテーブル (4/4)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
100	84	0x190	ICU.IELSR84	ICU.IELSR84 レジスタで選択されたイベント
101	85	0x194	ICU.IELSR85	ICU.IELSR85 レジスタで選択されたイベント
102	86	0x198	ICU.IELSR86	ICU.IELSR86 レジスタで選択されたイベント
103	87	0x19C	ICU.IELSR87	ICU.IELSR87 レジスタで選択されたイベント
104	88	0x1A0	ICU.IELSR88	ICU.IELSR88 レジスタで選択されたイベント
105	89	0x1A4	ICU.IELSR89	ICU.IELSR89 レジスタで選択されたイベント
106	90	0x1A8	ICU.IELSR90	ICU.IELSR90 レジスタで選択されたイベント
107	91	0x1AC	ICU.IELSR91	ICU.IELSR91 レジスタで選択されたイベント
108	92	0x1B0	ICU.IELSR92	ICU.IELSR92 レジスタで選択されたイベント
109	93	0x1B4	ICU.IELSR93	ICU.IELSR93 レジスタで選択されたイベント
110	94	0x1B8	ICU.IELSR94	ICU.IELSR94 レジスタで選択されたイベント
111	95	0x1BC	ICU.IELSR95	ICU.IELSR95 レジスタで選択されたイベント

12.3.2 イベント番号

下表は、イベント番号を記した表 12.4 の各項目の説明です。

項目	内容
割り込み要求発生元	割り込み要求の発生元の名称
名称	割り込みの名称
NVIC への接続	CPU 割り込みとして使用可能な割り込みが✓印で示されています。
DTC の起動	DTC の起動要求に使用可能な割り込みが✓印で示されています。
DMAC の起動	DMAC の起動要求に使用可能な割り込みが✓印で示されています。
スヌーズモードの解除	スヌーズモードからの復帰要求に使用可能な割り込みが✓印で示されています。
ソフトウェアスタンバイモードの解除	ソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが✓印で示されています。
ディープソフトウェアスタンバイの解除	ディープソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが✓印で示されています。

表 12.4 イベントテーブル (1/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x001	ポート	PORT_IRQ0	✓	✓	✓	✓	✓	✓
0x002		PORT_IRQ1	✓	✓	✓	✓	✓	✓
0x003		PORT_IRQ2	✓	✓	✓	✓	✓	✓
0x004		PORT_IRQ3	✓	✓	✓	✓	✓	✓
0x005		PORT_IRQ4	✓	✓	✓	✓	✓	✓
0x006		PORT_IRQ5	✓	✓	✓	✓	✓	✓
0x007		PORT_IRQ6	✓	✓	✓	✓	✓	✓
0x008		PORT_IRQ7	✓	✓	✓	✓	✓	✓
0x009		PORT_IRQ8	✓	✓	✓	✓	✓	✓
0x00A		PORT_IRQ9	✓	✓	✓	✓	✓	✓
0x00B		PORT_IRQ10	✓	✓	✓	✓	✓	✓
0x00C		PORT_IRQ11	✓	✓	✓	✓	✓	✓
0x00D		PORT_IRQ12	✓	✓	✓	✓	✓	✓
0x00E		PORT_IRQ13	✓	✓	✓	✓	✓	✓
0x00F		PORT_IRQ14	✓	✓	✓	✓	✓	✓
0x010		PORT_IRQ15	✓	✓	✓	✓	✓	✓
0x011	IIRFA	IIRFA_ORDY0	✓	—	—	—	—	—
0x012		IIRFA_ORDY1	✓	—	—	—	—	—
0x013		IIRFA_ORDY2	✓	—	—	—	—	—
0x014		IIRFA_ORDY3	✓	—	—	—	—	—
0x015		IIRFA_CPRCF0	✓	—	—	—	—	—
0x016		IIRFA_CPRCF1	✓	—	—	—	—	—
0x017		IIRFA_CPRCF2	✓	—	—	—	—	—
0x018		IIRFA_CPRCF3	✓	—	—	—	—	—
0x019		IIRFA_ERR	✓	—	—	—	—	—
0x020	DMAC0	DMAC0_INT	✓	✓	—	—	—	—
0x021	DMAC1	DMAC1_INT	✓	✓	—	—	—	—
0x022	DMAC2	DMAC2_INT	✓	✓	—	—	—	—
0x023	DMAC3	DMAC3_INT	✓	✓	—	—	—	—
0x024	DMAC4	DMAC4_INT	✓	✓	—	—	—	—
0x025	DMAC5	DMAC5_INT	✓	✓	—	—	—	—
0x026	DMAC6	DMAC6_INT	✓	✓	—	—	—	—
0x027	DMAC7	DMAC7_INT	✓	✓	—	—	—	—
0x029	DTC	DTC_COMPLETE	✓	—	—	✓(注1)	—	—
0x02B	DMAC/DTC	DMA_TRANSERR	✓	—	—	✓	—	—
0x02D	ICU	ICU_SNZCANCEL	✓	—	—	✓	—	—
0x030	FCU	FCU_FIFERR	✓	—	—	—	—	—
0x031		FCU_FRDYI	✓	—	—	—	—	—

表 12.4 イベントテーブル (2/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x038	LVD	LVD_LVD1	✓	—	—	✓	✓	✓
0x039		LVD_LVD2	✓	—	—	✓	✓	✓
0x03B	MOSC	MOSC_STOP	✓	—	—	—	—	—
0x03C	LPW	SYSTEM_SNZREQ	—	✓	—	—	—	—
0x040	AGT0	AGT0_AGTI	✓	✓	✓	—	—	—
0x041		AGT0_AGTCMAI	✓	✓	✓	—	—	—
0x042		AGT0_AGTCMBI	✓	✓	✓	—	—	—
0x043	AGT1	AGT1_AGTI	✓	✓	✓	✓	✓	—
0x044		AGT1_AGTCMAI	✓	✓	✓	✓	✓	—
0x045		AGT1_AGTCMBI	✓	✓	✓	✓	✓	—
0x052	IWDT	IWDT_NMIUNDF	✓	—	—	✓	✓	—
0x053	WDT	WDT_NMIUNDF	✓	—	—	—	—	—
0x059	CANFD	CAN_RXF	✓	—	—	—	—	—
0x05A		CAN_GLERR	✓	—	—	—	—	—
0x05B		CAN_RF_DMAREQ0	✓	✓	✓	—	—	—
0x05C		CAN_RF_DMAREQ1	✓	✓	✓	—	—	—
0x063		CAN0_TX	✓	—	—	—	—	—
0x064		CAN0_CHERR	✓	—	—	—	—	—
0x065		CAN0_COMFRX	✓	—	—	—	—	—
0x066		CAN0_CF_DMAREQ	✓	✓	✓	—	—	—
0x067		CAN0_RXMB	✓	—	—	—	—	—
0x08F	ACMPHS	ACMP_HS0	✓	—	—	—	—	—
0x090		ACMP_HS1	✓	—	—	—	—	—
0x091		ACMP_HS2	✓	—	—	—	—	—
0x092		ACMP_HS3	✓	—	—	—	—	—
0x09D	KINT	KEY_INTKR	✓	—	—	✓(注2)	✓(注2)	—
0x09E	CAC	CAC_FERRI	✓	—	—	—	—	—
0x09F		CAC_MENDI	✓	—	—	—	—	—
0x0A0		CAC_OVFI	✓	—	—	—	—	—
0x0B1	PORT	IOPORT_GROUPB	✓	✓(注3)	✓(注3)	—	—	—
0x0B2		IOPORT_GROUPC	✓	✓(注3)	✓(注3)	—	—	—
0x0B3		IOPORT_GROUPD	✓	✓(注3)	✓(注3)	—	—	—
0x0B4		IOPORT_GROUPE	✓	✓(注3)	✓(注3)	—	—	—
0x0B5	ELC	ELC_SWEVT0	✓(注4)	✓	—	—	—	—
0x0B6		ELC_SWEVT1	✓(注4)	✓	—	—	—	—
0x0B7	POEG	POEG_GROUPA	✓	—	—	—	—	—
0x0B8		POEG_GROUPB	✓	—	—	—	—	—
0x0B9		POEG_GROUPC	✓	—	—	—	—	—
0x0BA		POEG_GROUPD	✓	—	—	—	—	—

表 12.4 イベントテーブル (3/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x0C0	GPT0	GPT0_CCMPA	✓	✓	✓	—	—	—
0x0C1		GPT0_CCMPB	✓	✓	✓	—	—	—
0x0C2		GPT0_CMPC	✓	✓	✓	—	—	—
0x0C3		GPT0_CMPD	✓	✓	✓	—	—	—
0x0C4		GPT0_CMPE	✓	✓	✓	—	—	—
0x0C5		GPT0_CMPF	✓	✓	✓	—	—	—
0x0C6		GPT0_OVF	✓	✓	✓	—	—	—
0x0C7		GPT0_UDF	✓	✓	✓	—	—	—
0x0C8		GPT0_PC	✓	✓	✓	—	—	—
0x0CA		GPT0_ADTRGA	✓	✓	✓	—	—	—
0x0CB		GPT0_ADTRGB	✓	✓	✓	—	—	—
0x0CC	GPT1	GPT1_CCMPA	✓	✓	✓	—	—	—
0x0CD		GPT1_CCMPB	✓	✓	✓	—	—	—
0x0CE		GPT1_CMPC	✓	✓	✓	—	—	—
0x0CF		GPT1_CMPD	✓	✓	✓	—	—	—
0x0D0		GPT1_CMPE	✓	✓	✓	—	—	—
0x0D1		GPT1_CMPF	✓	✓	✓	—	—	—
0x0D2		GPT1_OVF	✓	✓	✓	—	—	—
0x0D3		GPT1_UDF	✓	✓	✓	—	—	—
0x0D4		GPT1_PC	✓	✓	✓	—	—	—
0x0D6		GPT1_ADTRGA	✓	✓	✓	—	—	—
0x0D7		GPT1_ADTRGB	✓	✓	✓	—	—	—
0x0D8	GPT2	GPT2_CCMPA	✓	✓	✓	—	—	—
0x0D9		GPT2_CCMPB	✓	✓	✓	—	—	—
0x0DA		GPT2_CMPC	✓	✓	✓	—	—	—
0x0DB		GPT2_CMPD	✓	✓	✓	—	—	—
0x0DC		GPT2_CMPE	✓	✓	✓	—	—	—
0x0DD		GPT2_CMPF	✓	✓	✓	—	—	—
0x0DE		GPT2_OVF	✓	✓	✓	—	—	—
0x0DF		GPT2_UDF	✓	✓	✓	—	—	—
0x0E0		GPT2_PC	✓	✓	✓	—	—	—
0x0E2		GPT2_ADTRGA	✓	✓	✓	—	—	—
0x0E3		GPT2_ADTRGB	✓	✓	✓	—	—	—

表 12.4 イベントテーブル (4/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x0E4	GPT3	GPT3_CCMPA	✓	✓	✓	—	—	—
0x0E5		GPT3_CCMPB	✓	✓	✓	—	—	—
0x0E6		GPT3_CMPC	✓	✓	✓	—	—	—
0x0E7		GPT3_CMPD	✓	✓	✓	—	—	—
0x0E8		GPT3_CMPE	✓	✓	✓	—	—	—
0x0E9		GPT3_CMPF	✓	✓	✓	—	—	—
0x0EA		GPT3_OVF	✓	✓	✓	—	—	—
0x0EB		GPT3_UDF	✓	✓	✓	—	—	—
0x0EC		GPT3_PC	✓	✓	✓	—	—	—
0x0EE		GPT3_ADTRGA	✓	✓	✓	—	—	—
0x0EF		GPT3_ADTRGB	✓	✓	✓	—	—	—
0x0F0	GPT4	GPT4_CCMPA	✓	✓	✓	—	—	—
0x0F1		GPT4_CCMPB	✓	✓	✓	—	—	—
0x0F2		GPT4_CMPC	✓	✓	✓	—	—	—
0x0F3		GPT4_CMPD	✓	✓	✓	—	—	—
0x0F4		GPT4_CMPE	✓	✓	✓	—	—	—
0x0F5		GPT4_CMPF	✓	✓	✓	—	—	—
0x0F6		GPT4_OVF	✓	✓	✓	—	—	—
0x0F7		GPT4_UDF	✓	✓	✓	—	—	—
0x0FA		GPT4_ADTRGA	✓	✓	✓	—	—	—
0x0FB		GPT4_ADTRGB	✓	✓	✓	—	—	—
0x0FC	GPT5	GPT5_CCMPA	✓	✓	✓	—	—	—
0x0FD		GPT5_CCMPB	✓	✓	✓	—	—	—
0x0FE		GPT5_CMPC	✓	✓	✓	—	—	—
0x0FF		GPT5_CMPD	✓	✓	✓	—	—	—
0x100		GPT5_CMPE	✓	✓	✓	—	—	—
0x101		GPT5_CMPF	✓	✓	✓	—	—	—
0x102		GPT5_OVF	✓	✓	✓	—	—	—
0x103		GPT5_UDF	✓	✓	✓	—	—	—
0x106		GPT5_ADTRGA	✓	✓	✓	—	—	—
0x107		GPT5_ADTRGB	✓	✓	✓	—	—	—

表 12.4 イベントテーブル (5/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x108	GPT6	GPT6_CCMPA	✓	✓	✓	—	—	—
0x109		GPT6_CCMPB	✓	✓	✓	—	—	—
0x10A		GPT6_CMPC	✓	✓	✓	—	—	—
0x10B		GPT6_CMPD	✓	✓	✓	—	—	—
0x10C		GPT6_CMPE	✓	✓	✓	—	—	—
0x10D		GPT6_CMPF	✓	✓	✓	—	—	—
0x10E		GPT6_OVF	✓	✓	✓	—	—	—
0x10F		GPT6_UDF	✓	✓	✓	—	—	—
0x112		GPT6_ADTRGA	✓	✓	✓	—	—	—
0x113		GPT6_ADTRGB	✓	✓	✓	—	—	—
0x114	GPT7	GPT7_CCMPA	✓	✓	✓	—	—	—
0x115		GPT7_CCMPB	✓	✓	✓	—	—	—
0x116		GPT7_CMPC	✓	✓	✓	—	—	—
0x117		GPT7_CMPD	✓	✓	✓	—	—	—
0x118		GPT7_CMPE	✓	✓	✓	—	—	—
0x119		GPT7_CMPF	✓	✓	✓	—	—	—
0x11A		GPT7_OVF	✓	✓	✓	—	—	—
0x11B		GPT7_UDF	✓	✓	✓	—	—	—
0x11E		GPT7_ADTRGA	✓	✓	✓	—	—	—
0x11F		GPT7_ADTRGB	✓	✓	✓	—	—	—
0x120	GPT8	GPT8_CCMPA	✓	✓	✓	—	—	—
0x121		GPT8_CCMPB	✓	✓	✓	—	—	—
0x122		GPT8_CMPC	✓	✓	✓	—	—	—
0x123		GPT8_CMPD	✓	✓	✓	—	—	—
0x124		GPT8_CMPE	✓	✓	✓	—	—	—
0x125		GPT8_CMPF	✓	✓	✓	—	—	—
0x126		GPT8_OVF	✓	✓	✓	—	—	—
0x127		GPT8_UDF	✓	✓	✓	—	—	—
0x12A		GPT8_ADTRGA	✓	✓	✓	—	—	—
0x12B		GPT8_ADTRGB	✓	✓	✓	—	—	—

表 12.4 イベントテーブル (6/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x12C	GPT9	GPT9_CCMPA	✓	✓	✓	—	—	—
0x12D		GPT9_CCMPB	✓	✓	✓	—	—	—
0x12E		GPT9_CMPC	✓	✓	✓	—	—	—
0x12F		GPT9_CMPD	✓	✓	✓	—	—	—
0x130		GPT9_CMPE	✓	✓	✓	—	—	—
0x131		GPT9_CMPF	✓	✓	✓	—	—	—
0x132		GPT9_OVF	✓	✓	✓	—	—	—
0x133		GPT9_UDF	✓	✓	✓	—	—	—
0x136		GPT9_ADTRGA	✓	✓	✓	—	—	—
0x137		GPT9_ADTRGB	✓	✓	✓	—	—	—
0x138	GPT	GPT_UVWEDGE	✓	—	—	—	—	—
0x140	IIC0	IIC0_RX	✓	✓	✓	—	—	—
0x141		IIC0_TX	✓	✓	✓	—	—	—
0x142		IIC0_TEND	✓	—	—	—	—	—
0x143		IIC0_EEI	✓	—	—	—	—	—
0x144		IIC0_WU	✓	—	—	✓	✓	—
0x146	IIC1	IIC1_RX	✓	✓	✓	—	—	—
0x147		IIC1_TX	✓	✓	✓	—	—	—
0x148		IIC1_TEND	✓	—	—	—	—	—
0x149		IIC1_EEI	✓	—	—	—	—	—

表 12.4 イベントテーブル (7/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x157	ADC	ADC_LIMCLPI	✓	—	—	—	—	—
0x158		ADC_FIFOOVF	✓	—	—	—	—	—
0x159		ADC_ADI0	✓	✓	✓	—	—	—
0x15A		ADC_ADI1	✓	✓	✓	—	—	—
0x15B		ADC_ADI2	✓	✓	✓	—	—	—
0x15C		ADC_CMPI0	✓	—	—	—	—	—
0x15D		ADC_CMPI1	✓	—	—	—	—	—
0x15E		ADC_CCMPM0	✓	✓	✓	—	—	—
0x160		ADC_ERR0	✓	—	—	—	—	—
0x161		ADC_RESOVF0	✓	—	—	—	—	—
0x163		ADC_CALEND0	✓	—	—	—	—	—
0x164		ADC_FIFOREQ0	✓	✓	✓	—	—	—
0x165		ADC_FIFOREQ1	✓	✓	✓	—	—	—
0x166		ADC_FIFOREQ2	✓	✓	✓	—	—	—
0x167		ADC_ADI3	✓	✓	✓	—	—	—
0x168		ADC_ADI4	✓	✓	✓	—	—	—
0x169		ADC_ADI5678	✓	✓	✓	—	—	—
0x16A		ADC_CMPI2	✓	—	—	—	—	—
0x16B		ADC_CMPI3	✓	—	—	—	—	—
0x16C		ADC_CCMPM1	✓	✓	✓	—	—	—
0x16E		ADC_ERR1	✓	—	—	—	—	—
0x16F		ADC_RESOVF1	✓	—	—	—	—	—
0x171		ADC_CALEND1	✓	—	—	—	—	—
0x172		ADC_FIFOREQ3	✓	✓	✓	—	—	—
0x173		ADC_FIFOREQ4	✓	✓	✓	—	—	—
0x174		ADC_FIFOREQ5678	✓	✓	✓	—	—	—
0x18D	SCI0	SCI0_RXI	✓	✓	✓	—	—	—
0x18E		SCI0_TXI	✓	✓	✓	—	—	—
0x18F		SCI0_TEI	✓	—	—	—	—	—
0x190		SCI0_ERI	✓	—	—	—	—	—
0x191		SCI0_AED	✓	—	—	—	—	—
0x192		SCI0_BFD	✓	—	—	—	—	—
0x193		SCI0_AM	✓	—	—	✓(注1)	—	—

表 12.4 イベントテーブル (8/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x195	SCI1	SCI1_RXI	✓	✓	✓	—	—	—
0x196		SCI1_TXI	✓	✓	✓	—	—	—
0x197		SCI1_TEI	✓	—	—	—	—	—
0x198		SCI1_ERI	✓	—	—	—	—	—
0x199		SCI1_AED	✓	—	—	—	—	—
0x19A		SCI1_BFD	✓	—	—	—	—	—
0x19B		SCI1_AM	✓	—	—	—	—	—
0x19C	SCI2	SCI2_RXI	✓	✓	✓	—	—	—
0x19D		SCI2_TXI	✓	✓	✓	—	—	—
0x19E		SCI2_TEI	✓	—	—	—	—	—
0x19F		SCI2_ERI	✓	—	—	—	—	—
0x1A0		SCI2_AED	✓	—	—	—	—	—
0x1A1		SCI2_BFD	✓	—	—	—	—	—
0x1A2		SCI2_AM	✓	—	—	—	—	—
0x1A3	SCI3	SCI3_RXI	✓	✓	✓	—	—	—
0x1A4		SCI3_TXI	✓	✓	✓	—	—	—
0x1A5		SCI3_TEI	✓	—	—	—	—	—
0x1A6		SCI3_ERI	✓	—	—	—	—	—
0x1A7		SCI3_AED	✓	—	—	—	—	—
0x1A8		SCI3_BFD	✓	—	—	—	—	—
0x1A9		SCI3_AM	✓	—	—	—	—	—
0x1AA	SCI4	SCI4_RXI	✓	✓	✓	—	—	—
0x1AB		SCI4_TXI	✓	✓	✓	—	—	—
0x1AC		SCI4_TEI	✓	—	—	—	—	—
0x1AD		SCI4_ERI	✓	—	—	—	—	—
0x1AE		SCI4_AED	✓	—	—	—	—	—
0x1AF		SCI4_BFD	✓	—	—	—	—	—
0x1B0		SCI4_AM	✓	—	—	—	—	—
0x1B1	SCI9	SCI9_RXI	✓	✓	✓	—	—	—
0x1B2		SCI9_TXI	✓	✓	✓	—	—	—
0x1B3		SCI9_TEI	✓	—	—	—	—	—
0x1B4		SCI9_ERI	✓	—	—	—	—	—
0x1B5		SCI9_AED	✓	—	—	—	—	—
0x1B6		SCI9_BFD	✓	—	—	—	—	—
0x1B7		SCI9_AM	✓	—	—	—	—	—

表 12.4 イベントテーブル (9/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x1C4	SPI0	SPI0_SPRI	✓	✓	✓	—	—	—
0x1C5		SPI0_SPTI	✓	✓	✓	—	—	—
0x1C6		SPI0_SPII	✓	—	—	—	—	—
0x1C7		SPI0_SPEI	✓	—	—	—	—	—
0x1C8		SPI0_SPCEND	✓	—	—	—	—	—
0x1C9	SPI1	SPI1_SPRI	✓	✓	✓	—	—	—
0x1CA		SPI1_SPTI	✓	✓	✓	—	—	—
0x1CB		SPI1_SPII	✓	—	—	—	—	—
0x1CC		SPI1_SPEI	✓	—	—	—	—	—
0x1CD		SPI1_SPCEND	✓	—	—	—	—	—
0x1D0	CANFD ECC	CAN_MRAM_ERI	✓	—	—	—	—	—
0x1DB	DOC	DOC_DOPCI	✓	—	—	✓(注1)	—	—

注 1. SELSR0 を使用します。
注 2. KRCTL.KRMD = 1 の場合にのみサポートされます。
注 3. 最初のエッジ検出のみが有効です。
注 4. DTC 転送後の割り込みのみがサポートされます。

12.4 割り込み動作

ICU は下記の機能を実行します。

- 割り込みの検出
- 割り込みの許可／禁止
- 割り込み要求先の選択（CPU 割り込み、DTC 起動、DMAC 起動など）

12.4.1 割り込みの検出

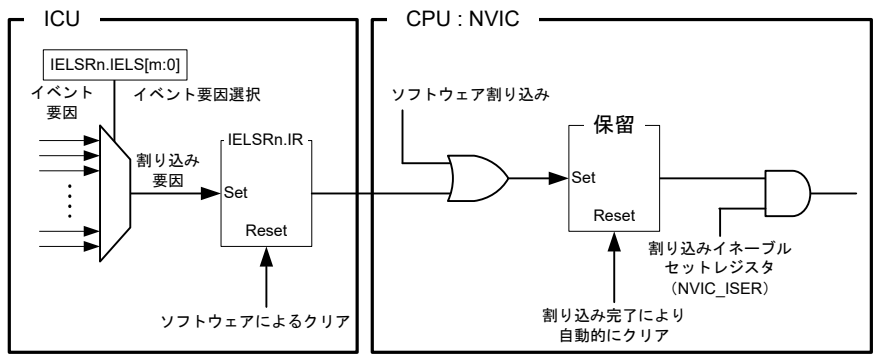
ICU は、周辺機能割り込みや外部端子割り込みから入力されるイベント要因を、IELSRn.IELS[8:0]で選択します。

受け付けた割り込み要因は、IELSRn.IR フラグを 1 にして、NVIC へ割り込み要求を伝えます。

外部端子割り込み要求は下記のいずれかにより検出されます。

- エッジ（立ち下がりエッジ、立ち上がりエッジ、または立ち上がり／立ち下がりエッジ）
- 割り込み信号のレベル（Low レベル）

IRQi 端子用の検出モードを選択するために、IRQCRi.IRQMD[1:0]ビットを設定してください。周辺モジュールに対応する割り込み要因については、表 12.3 および表 12.4 を参照してください。イベントは割り込みが発生し、CPU で受け入れられる前に、NVIC で受け入れられなければなりません。



注. m = 8

図 12.2 ICU および CPU の割り込み経路 (NVIC)

12.5 割り込みの設定手順

12.5.1 割り込み要求の許可

割り込み要求を許可するための手順を以下に示します。

1. 割り込みイネーブルセットレジスタ (NVIC_ISER) を設定してください。
2. 対象となる割り込み要因を IELSRn.IELS[8:0]ビットに設定してください。
3. DMAC の起動（DELSRn.DELS[8:0]ビットの設定）や、スヌーズモードの解除（SELSR0.SELS[8:0]ビットの設定）、ソフトウェアスタンバイモードの解除（WUPEN レジスタの設定）など、イベント要因に対する各種設定をしてください。

12.5.2 割り込み要求の禁止

割り込み要求を禁止する手順を以下に示します。

1. DMAC の起動（DELSRn.DELS[8:0]ビットの設定）や、スヌーズモードの解除（SELSR0.SELS[8:0]ビットの設定）、ソフトウェアスタンバイモードの解除（WUPEN レジスタの設定）など、イベント要因に対する各種設定を解除してください。
2. 設定した割り込み要因をクリアしてください (IELSRn.IELS[8:0] = 0x00)。
3. 割り込みステータスフラグをクリアしてください (IELSRn.IR = 0)。
4. 割り込みクリア許可レジスタ (NVIC_ICER) と割り込みクリア保留レジスタ (NVIC_ICPR) をクリアしてください。

12.5.3 割り込みのポーリング

割り込み要求のポーリングをする手順を以下に示します。

1. 割り込みクリア許可レジスタ (NVIC_ICER) を設定してください。
2. 割り込み要因として、IELSRn.IELS[8:0]ビットを設定してください。
3. DMAC の起動（DELSRn.DELS[8:0]ビットの設定）、スヌーズモードの解除（SELSR0.SELS[8:0]ビットの設定）、ソフトウェアスタンバイモードの解除（WUPEN レジスタの設定）など、イベント要因に対する動作設定をしてください。
4. 割り込みセット保留レジスタ (NVIC_ISPR) をポーリングしてください。

12.5.4 割り込み要求先の選択

選択可能な要求先は、表 12.3、表 12.4 に示されているように、割り込みごとに固定されています。

割り込み要求先（CPU、 DMAC、DTC）は、割り込み要因ごとに個別に選択できます。

「12.3.2. イベント番号」に✓印の記載がある割り込み要求を設定してください。

注. IELSRn レジスタと DELSRn レジスタで、同じ割り込み要因は設定しないでください。

DMAC または DTC が IRQi 端子からの割り込み要求先として選択された場合、その割り込み要求に対して IRQCRi.IRQMD[1:0]ビットをエッジ検出に設定してください。

12.5.4.1 CPU への割り込み要求

IELSRn.DTCE = 0 のとき、IELSRn レジスタで指定されたイベントが NVIC に出力されます。IELSRn.IELS[8:0]ビットで対象のイベントを選択し、かつ IELSRn.DTCE ビットを 0 に設定してください。

12.5.4.2 DTC の起動

IELSRn.DTCE = 1 のとき、IELSRn レジスタで指定されたイベントが DTC に出力されます。以下の手順に従ってください。

1. IELSRn.IELS[8:0]ビットで対象のイベントを選択し、かつ IELSRn.DTCE ビットを 1 に設定してください。
2. DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

表 12.5 に DTC が割り込み要求先となる場合の動作を示します。

表 12.5 DTC が割り込み要求先となる場合の動作

割り込み要求先	DISEL (注1)	残り転送数	割り込み要求 1 回あたりの動作	IR(注2)	転送後の割り込み要求先
DTC(注3)	1	≠ 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	CPU（IELSRn.DTCE ビットが自動的にクリアされる）
	0	≠ 0	DTC 転送	DTC 転送データの読み出し後、DTC データ転送の開始時にクリアされる。	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	CPU（IELSRn.DTCE ビットが自動的にクリアされる）

注 1. DTC.MRB.DISEL ビットで DTC から CPU への割り込み要求の発生の仕方を設定します。
注 2. IELSRn.IR フラグが 1 のとき、再度発生した割り込み要求（DTC 起動要求）は無視されます。
注 3. チェーン転送の場合は、最後のチェーン転送が終了するまで DTC 転送が継続します。DISEL ビットの状態と残りの転送数によって、転送後の CPU 割り込み発生の有無、IELSRn.IR フラグクリアのタイミング、および割り込み要求先が決まります。「16. データトランスファコントローラ (DTC)」の表 16.2 を参照してください。

注. DTC 転送中のエラー

DTC 転送中にエラー応答が生じると、DTC はエラーが生じた ICU に通知します。ICU は対象の IELSRn（n = 0～95）の全ビットをクリアします。対象以外の IELSRn（n = 0～95）はクリアされません。

注. スヌーズモードにおける DTC 転送エラー

スヌーズモードで DTC 転送エラーが生じると、ICU はウェイクアップ要求を発行します。しかし、割り込み要求は自動的に発行されません。DTC エラー発生時の割り込みの設定方法については、「16. データトランスファコントローラ (DTC)」を参照してください。

12.5.4.3 DMAC の起動

DELSRn レジスタで指定されたイベントが DMAC に出力されます。

DMAC に対して割り込み要因を設定するには、以下の手順に従ってください。

1. DELSRn.DELS[8:0]ビットで DMAC の起動イベントを設定する。
2. CPU への割り込みを使用する場合、IELSRn.IELS ビットを DMAC 割り込み要因に設定し、かつ IELSRn.DTCE ビットを 0 に設定する。
3. 対象の DMAC チャネルの起動要因 (DMACm.DMTMD.DCTG[1:0]) を 01b（割り込みモジュール検出）にする。

4. 対象の DMAC チャネルの DMAC 転送許可ビット (DMACm.DMCNT.DTE) を 1 にする。
5. DMAC 動作許可ビット (DMAST.DMST) を 1 にする。

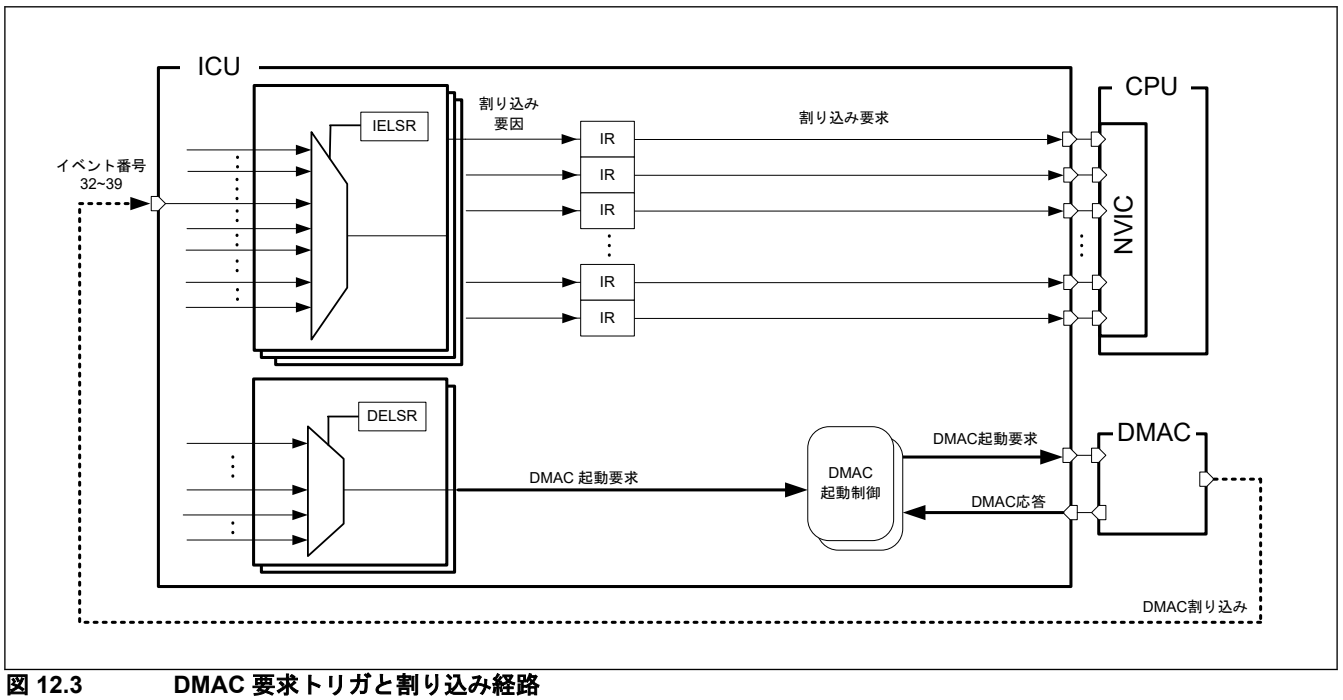


図 12.3 DMAC 要求トリガと割り込み経路

注. DMAC 転送中のエラー

DMAC 転送中にエラー応答が発生した場合、DMAC はエラーの発生を ICU に通知します。

ICU は DELSRn（n = 0～7）の対象チャネルのすべてのビットをクリアします。対象チャネル以外の DELSRn（n = 0～7）はクリアされません。

12.5.5 デジタルフィルタ

デジタルフィルタ機能は外部割り込み要求端子（IRQi、i = 0～15）と NMI 端子割り込みに用いられます。デジタルフィルタ機能はフィルタ PCLKB サンプリングクロックの入力信号をサンプリングし、3 サンプリングサイクル以下のパルス幅の信号を除去します。

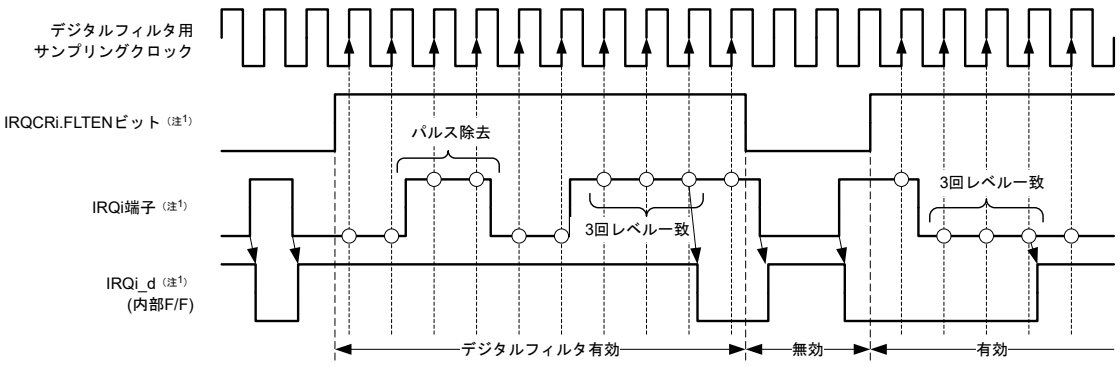
IRQi 端子に対してデジタルフィルタを用いるには、以下のようにしてください。

1. IRQCRi.FCLKSEL[1:0]ビット（i = 0～15）でサンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32 または PCLKB/64 に設定してください。
2. IRQCRi.FLTEN ビット（i = 0～15）を 1（デジタルフィルタ有効）に設定してください。

NMI 端子に対してデジタルフィルタを用いるには、以下のようにしてください。

1. NMICR.NFCLKSEL[1:0]ビットでサンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32 または PCLKB/64 に設定してください。
2. NMICR.NFLTEN ビットを 1（デジタルフィルタ有効）に設定してください。

図 12.4 にデジタルフィルタの動作例を示します。



IRQCRi.IRQMD[1:0] = 11b (lowレベル検出) の場合の動作例

注 1. i = 0～7

図 12.4 デジタルフィルタの動作例

ソフトウェアスタンバイモードに遷移する前に、IRQCRi.FLTEN ビットと NMICR.NFLTEN ビットによりデジタルフィルタを無効にしてください。ソフトウェアスタンバイモードでは、ICU クロックは停止します。

ソフトウェアスタンバイモード終了時、回路はスタンバイモード前後の状態を比較することにより、エッジを検出します。ソフトウェアスタンバイモード中に入力が変化すると、不適切なエッジが検出される可能性があります。ソフトウェアスタンバイモード終了後は、再度、デジタルフィルタを有効にすることができます。

12.5.6 外部端子割り込みの設定手順

外部端子割り込みを使用する時の手順を以下に示します。

1. I/O ポートの設定をしてください。
2. IRQCRi.FLTEN ビット（i = 0～15）を 0（デジタルフィルタ無効）にしてください。
3. IRQCRi レジスタ（i = 0～15）の IRQMD[1:0]ビットを設定して検出センスを選択してください。
4. IRQCRi レジスタの FCLKSEL[1:0]ビット、および FLTEN ビットを設定してください。
5. IRQ 端子を以下のように設定してください。
   - IRQ 端子を CPU への割り込み要求に使用する場合は、IELSRn.IELS[8:0]ビットを設定し、IELSRn.DTCE ビットを 0 にしてください。
   - IRQ 端子を DTC の起動に使用する場合は、IELSRn.IELS[8:0]ビットを設定し、IELSRn.DTCE ビットを 1 にしてください。
   - IRQ 端子を DMAC の起動に使用する場合は、DELSRn.DELS[8:0]ビットを設定してください。

12.6 ノンマスカブル割り込みの設定手順

ノンマスカブル割り込みをトリガできるのは、以下の要因です。

- NMI 端子割り込み
- 発振停止検出割り込み
- WDT アンダーフロー／リフレッシュエラー割り込み
- IWDT アンダーフロー／リフレッシュエラー割り込み
- 電圧監視 1 割り込み
- 電圧監視 2 割り込み
- SRAM パリティエラー割り込み
- SRAM ECC エラー割り込み
- バスマスタ MPU エラー割り込み

- TrustZone フィルタエラー割り込み
- キャッシュ RAM パリティエラー割り込み

ノンマスカブル割り込みは CPU でのみ使用可能です。DTC または DMAC の起動には使用できません。ノンマスカブル割り込みは他のすべての割り込みよりも優先します。ノンマスカブル割り込みの状態は、ノンマスカブル割り込みステータスレジスタ (NMISR) で確認できます。NMI 処理ルーチンから復帰する前に、NMISR のビットがすべて 0 であることを確認してください。

ノンマスカブル割り込みは初期設定では禁止になっています。ノンマスカブル割り込みを使用するには、以下の手順で設定してください。

1. NMICR.NFLTEN ビットを 0 にしてください（デジタルフィルタ無効）。
2. NMICR レジスタの NMIMD ビット、NFCLKSEL[1:0]ビット、および NFLTEN ビットを設定してください。
3. NMICLR.NMICLR ビットを 1 にして NMISR.NMIST フラグを 0 にしてください。
4. ノンマスカブル割り込みイネーブルレジスタ (NMIER) の NMIEN ビットを 1 にしてノンマスカブル割り込みを許可にしてください。

NMIER レジスタに 1 が書き込まれた後、NMIER.NMIEN ビットへの書き込みは無視されます。NMI は許可されると、リセットの場合を除き、禁止にすることはできません。

Arm CPU のアプリケーション割り込みおよびリセットコントロールレジスタ (AIRCR) で管理するセキュア属性は、NMI のセキュリティ属性と一致している必要があります。

CPU の NMI セキュア属性は、AIRCR.BFHFNMINS の設定で変更します。それは、セキュアプログラムを管理するソフトウェア開発者が管理します。

12.6.1 NMI による TrustZone-M との対応関係

NMI のセキュリティは、AIRCR.BFHFNMINS で設定します。

CPU としては NMI は 1 つしかありませんが、複数の要因を設定可能です。

ここでは、NMI のセキュア要因と非セキュア要因を組み合わせて使用する手順を説明します。

セキュア要因と非セキュア要因を組み合わせて使用する際、CPU の NMI 関連レジスタはセキュアに設定する必要があります。

NMI 関連レジスタ:

- NMIER
- NMICLR
- NMICR

フローを図 12.5 に示します。

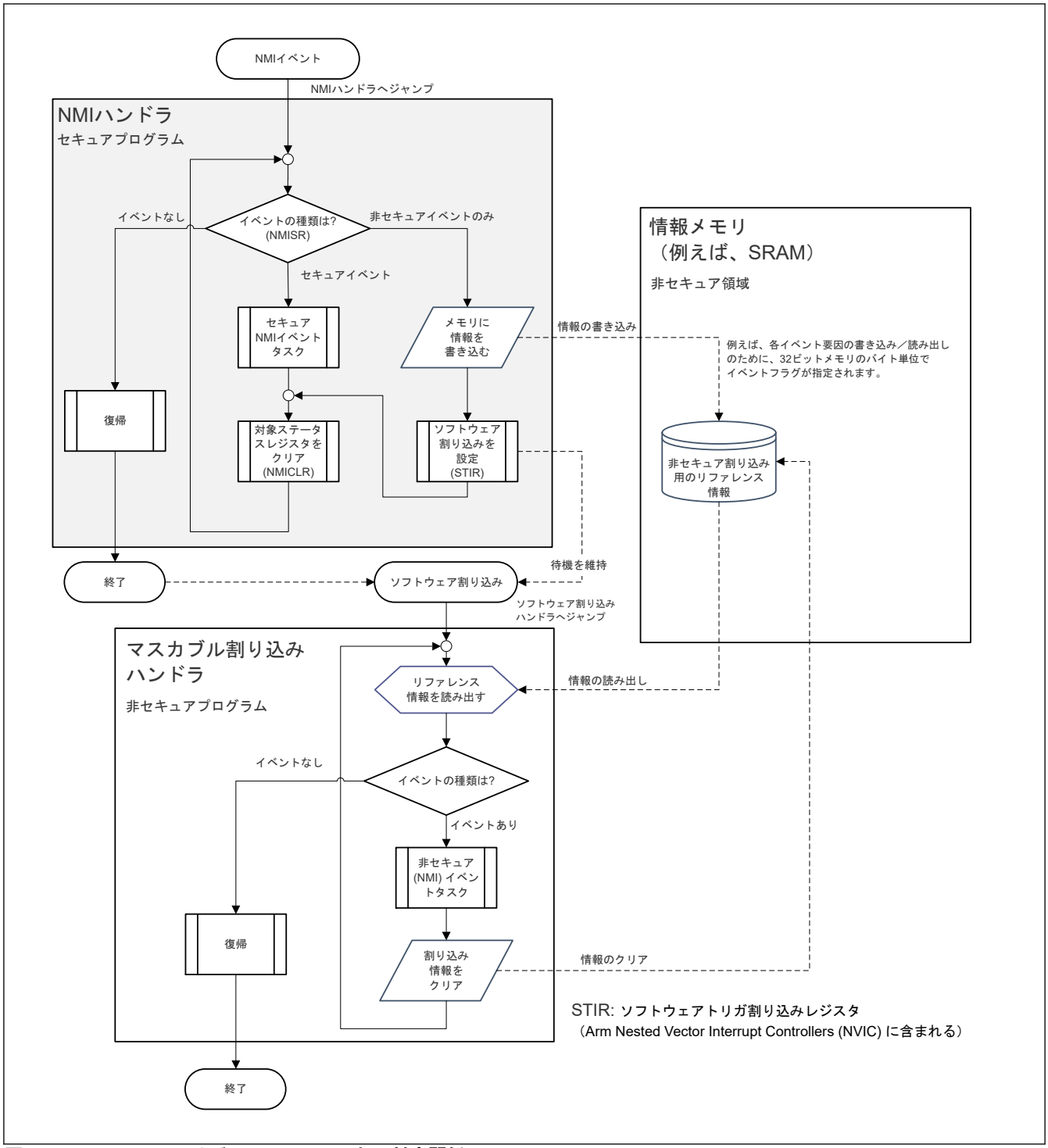


図 12.5　NMI による TrustZone-M との対応関係

セキュアと非セキュアの間で移行することに関して、詳細は ARM マニュアルを参照してください。

12.7　低消費電力モードからの復帰

スリープモード、スヌーズモードまたはソフトウェアスタンバイモードを終了させるために使用可能な割り込み要因を表 12.4 に示します。詳細は、「10. 低消費電力モード」を参照してください。

12.7.1　スリープモードからの復帰

スリープモードからの復帰は、すべての割り込み要因で可能です。

ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込み要求を許可してください。

マスカブル割り込み

- 割り込み要求先を CPU にしてください。
- NVIC のレジスタを設定して割り込みを許可してください。

12.7.2 ソフトウェアスタンバイモードからの復帰

ICU は、ノンマスカブル割り込みまたはマスカブル割り込みによりソフトウェアスタンバイモードから復帰できます。解除要因のマスカブル割り込みについては、表 12.4 を参照してください。

ソフトウェアスタンバイモードからの復帰方法：

1. ソフトウェアスタンバイモードからの復帰可能な要因を選択してください。
   - ノンマスカブル割り込みの場合は、NMIER レジスタによって該当する割り込みの生成を許可してください。
   - マスカブル割り込みの場合は、WUPEN レジスタで必要な割り込み要求を復帰許可にしてください。
2. 割り込み要求先を CPU にしてください。
3. NVIC のレジスタを設定して割り込みを許可してください。

これらの条件を満たさない IRQn 端子による割り込み要求は、ソフトウェアスタンバイモードでクロックが停止している間は検出されません。

同様に、ソフトウェアスタンバイモードでクロックが停止している要求元からのノンマスカブル割り込みの要求は、検出できません。

ソフトウェアスタンバイモードへの／からの遷移

1. ソフトウェアスタンバイモードに入る前に、復帰対象（IRQCRi.FLTEN = 0、NMICR.NFLTEN = 0）としての割り込み要因に対するデジタルフィルタを無効にする。
2. ソフトウェアスタンバイモードから復帰した後、デジタルフィルタを再度使用するには、デジタルフィルタを有効（IRQCRi.FLTEN = 1、NMICR.NFLTEN = 1）にする。

12.7.3 スヌーズモードからの復帰

ICU は、スヌーズモード用に提供された割り込みを使用して、スヌーズモードから通常モードに復帰するとができます。

スヌーズモードから通常モードに復帰するには：

1. SELSR0 レジスタの SELS[8:0]ビットに、必要な割り込み要求を設定してください。
2. IELSRn（n = 0～95）レジスタの IELS[8:0]ビットに、0x02D (ICU_SNZCANCEL) を設定してください。
3. 割り込み要求先を CPU にしてください。
4. NVIC で割り込みを許可してください。

これらの条件を満たさないノンマスカブル割り込み要求は、スヌーズモードでクロックが停止している間は検出されません。

注. スヌーズモードでは、クロックが ICU に供給されます。IELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、CPU は割り込みアクノリッジを実行できます。DELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、DMAC は割り込みアクノリッジを実行できます。

12.8 ノンマスカブル割り込みとともに WFI 命令を使用する場合

WFI 命令を実行するときは、常に NMISR レジスタのステータスフラグがすべて 0 であることを確認してください。

12.9 参考資料

- ARM Limited., ARM® Cortex®-M33 Processor Technical Reference Manual (ARM 100230)

13. バス

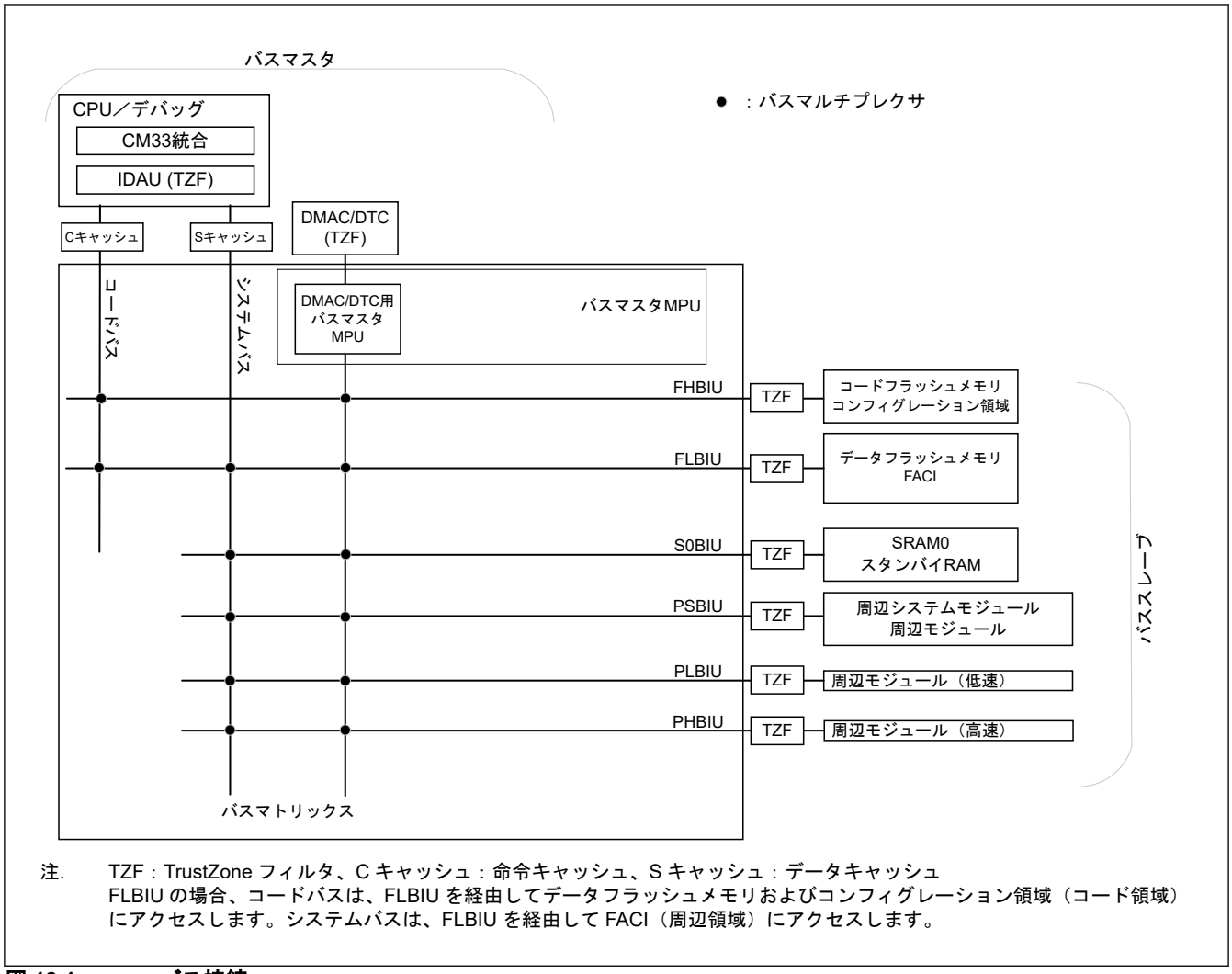
13.1 概要

バスは、32 ビットの AHB バスマトリックスより構成されます。表 13.1 にバスマスタおよびバススレーブを、図 13.1 にバスの構成図を示します。

表 13.1 バスの仕様

分類	バスマスタ／スレーブ名	バス I/F 最大周波数	同期クロック	仕様
バスマスタ	コードバス (Cortex-M33)	240 MHz	ICLK	命令とオペランド用 CPU 命令キャッシュを接続
	システムバス (Cortex-M33)	240 MHz	ICLK	システム用 CPU データキャッシュを接続
	DMAC/DTC	240 MHz	ICLK	DMAC/DTC を接続
バススレーブ	FHBIU	240 MHz	ICLK	コードフラッシュメモリとコンフィグレーション領域を接続
	FLBIU	60 MHz	FCLK	データフラッシュメモリ、FACI を接続
	S0BIU	240 MHz	ICLK	SRAM0（スタンバイ RAM）を接続
	PSBIU	240 MHz	ICLK	• 周辺システムモジュール（DTC、DMAC、ICU、フラッシュ、MPU、SRAM、デバッグ／トレースモジュール、システムコントローラ、BUS コントローラ）を接続 • 周辺モジュール（IIRFA、TFU、および IO ポート）を接続
	PLBIU	60 MHz	PCLKB	周辺モジュール（CAC、ELC、POEG、WDT、IWDT、AGT、CANFD、TSN、ACMPHS、KINT）を接続
	PHBIU	120 MHz	PCLKA	周辺モジュール（GPT、SCI、SPI、CRC、DOC、ADC、DAC12、CNECC、IIC、SCE5、PDG）を接続

注. FHBIU: フラッシュ高速バスインタフェースユニット
FLBIU: フラッシュ低速バスインタフェースユニット
S0BIU: SRAM0 バスインタフェースユニット
PSBIU: 周辺システムバスインタフェースユニット
PLBIU: 周辺低速バスインタフェースユニット
PHBIU: 周辺高速バスインタフェースユニット



注. TZF：TrustZone フィルタ、C キャッシュ：命令キャッシュ、S キャッシュ：データキャッシュ
FLBIU の場合、コードバスは、FLBIU を経由してデータフラッシュメモリおよびコンフィグレーション領域（コード領域）にアクセスします。システムバスは、FLBIU を経由して FACI（周辺領域）にアクセスします。

図 13.1 バス接続

13.2 バスの説明

13.2.1 アービトレーション

各スレーブにおけるマスタ間アービトレーションについては、各マスタについて優先順位固定とラウンドロビン方式を選択可能です。詳細は、「13.3.3. BUSSCNT<slave> : スレーブバスコントロールレジスタ (<slave> = FHBIU, FLBIU, S0BIU)」、「13.3.4. BUSSCNT<slave> : スレーブバスコントロールレジスタ (<slave> = PSBIU, PLBIU, PHBIU)」を参照してください。

13.2.2 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作可能です。たとえば、CPU がコードフラッシュから命令をフェッチし、SRAM0 からオペランドをフェッチ中に、DMAC は周辺モジュール間の転送を行うことができます。

並列動作の例を図 13.2 に示します。この例では、CPU はコードバスとシステムバスを使用して、それぞれ FHBIU と S0BIU に同時にアクセスします。また、CPU が FHBIU と S0BIU にアクセスする間、DMAC/DTC は周辺バスに同時にアクセスします。

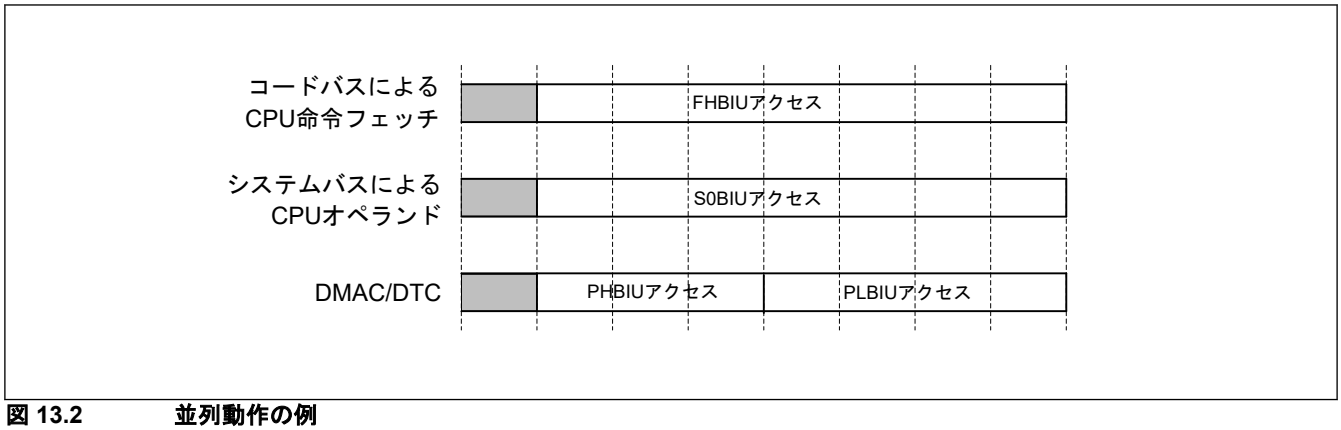


図 13.2　並列動作の例

13.2.3　制約事項

(1)　エンディアンに関する制約事項

Cortex コードを実行するには、メモリ空間はリトルエンディアンでなければいけません。

(2)　バッファリング可能ライトアクセス

CPU が PLBIU または PHBIU に対してバッファリング可能ライトアクセスを実行したときに STZF エラーが発生すると、エラー応答はインバリデートされます。したがって、エラーフラグはセットされませんし、NMI / RESET 要求も発生しません。

CPU が PHBIU に対してバッファリング可能ライトアクセスを実行したときにスレーブバスエラーが発生すると、エラー応答は無効になり、エラーフラグはセットされません。

エラー応答が必要な場合は、バスマスタをバッファリング不可アクセスに設定してください。

(3)　FLBIU および S0BIU の予約領域へのアクセス

FLBIU および S0BIU の予約領域へのアクセスは禁止です。アクセスした場合動作は保証されません。

(4)　クロック設定

FLBIU、PLBIU、PHBIU へのスレーブバスアクセス中にクロック分周比の設定を変更しないでください。

13.3　レジスタの説明

13.3.1　BUSSARA : バスセキュリティ属性レジスタ A

Base address: CPSCU = 0x4000_8000

Offset address: 0x0100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BUSSA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	BUSSA0	バスセキュリティ属性 A0 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
31:1	—	読むと 1 が読めます。	R

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。

BUSSA0 ビット（バスセキュリティ属性 A0）

レジスタと BIU 名の対応を以下に示します。

接続 (BUSSCNT<slave> = FHBIU/FLBIU/S0BIU/PSBIU/PLBIU/PHBIU)

BIU と BUS 間の接続については図 13.1 を参照してください。

- BUSSCNTFHBIU
- BUSSCNTFLBIU
- BUSSCNTS0BIU
- BUSSCNTPSBIU
- BUSSCNTPLBIU
- BUSSCNTPHBIU

13.3.2 BUSSARB : バスセキュリティ属性レジスタ B

Base address: CPSCU = 0x4000_8000

Offset address: 0x0104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BUSSB0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	BUSSB0	バスセキュリティ属性 B0 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。	R

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。

BUSSB0 ビット（バスセキュリティ属性 B0）

BUSSB0 ビットは、バスエラークリアレジスタおよび DMAC/DTC エラークリアレジスタ用セキュリティ属性を指定します。

BUS1ERRCLR：コードバス

BUS2ERRCLR：システムバス

BUS3ERRCLR: DMAC/DTC

DMACDTCERRCLR: DMAC/DTC（マスタ TZF）

各バスの接続については、図 13.1 を参照してください。

13.3.3 BUSSCNT<slave> : スレーブバスコントロールレジスタ (<slave> = FHBIU, FLBIU, S0BIU)

Base address: BUS = 0x4000_3000

Offset address: 0x1100 (BUSSCNTFHBIU)
0x1104 (BUSSCNTFLBIU)
0x1110 (BUSSCNTS0BIU)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARBS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ARBS[1:0]	2 マスタのアービトレーション選択 バスマスタの優先順位を指定します。 > : 優先順位固定 ↔: ラウンドロビン 0 0: DMAC/DTC > CPU 0 1: DMAC/DTC ↔ CPU 1 0: 設定禁止 1 1: 設定禁止	R/W
15:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注.
- BUSSCNT<slave> : <slave>は、スレーブのバスインタフェースユニット名です。
- 予約ビットを初期値 0 から書き換えることは禁止されています。書き換え中の動作は保証されません。

ARBS[1:0]ビット（2 マスタのアービトレーション選択）

ARBS ビットは、各マスタのアービトレーション方式を設定します。

13.3.4 BUSSCNT<slave> : スレーブバスコントロールレジスタ (<slave> = PSBIU, PLBIU, PHBIU)

Base address: BUS = 0x4000_3000

Offset address: 0x1120 (BUSSCNTPSBIU)
0x1130 (BUSSCNTPLBIU)
0x1134 (BUSSCNTPHBIU)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARBS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ARBS	2 マスタのアービトレーション選択 バスマスタの優先順位を指定します。 > : 優先順位固定 ↔: ラウンドロビン 0: DMAC/DTC > CPU 1: DMAC/DTC ↔ CPU	R/W
15:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. ● BUSSCNT<slave> ：<slave>は、スレーブのバスインタフェースユニット名です。
● 予約ビットを初期値 (0) から書き換えることは禁止されています。書き換え中の動作は保証されません。

ARBS ビット（2 マスタのアービトレーション選択）

ARBS ビットは、各マスタのアービトレーション方法を設定します。

13.3.5 BUSnERRADD : バスエラーアドレスレジスタ （n = 1～3）

Base address: BUS = 0x4000_3000

Offset address: 0x1800 + 0x10 × (n - 1)

Bit position:	31																												0
Bit field:	BERAD[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	BERAD[31:0]	バスエラーアドレス バスエラーが発生した場合、そのエラーアドレスを格納します。	R

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU、TZF 関連リセットの詳細は、「5. リセット」、「14. メモリプロテクションユニット (MPU)」、「45.2. Arm TrustZone セキュリティ」を参照してください。

マスタバスとバスエラーの対応は以下のとおりです。

BUS1ERRADD：コードバス

BUS2ERRADD：システムバス

BUS3ERRADD: DMAC/DTC

BERAD[31:0]ビット（バスエラーアドレス）

BERAD[31:0]ビットは、関連するバスでエラーが起こった場合アドレスを示します。バスで発生するエラーの詳細については、「13.3.9. BUSnERRSTAT : バスエラーステータスレジスタ n（n = 1～3）」および「13.4. バスエラー監視部」を参照してください。

バス上でエラーが発生すると、BUSnERRSTAT（n = 1～3）レジスタの ILERRSTAT、MMERRSTAT、SLERRSTAT の対応ビットが 1 になり、同時に、バスエラーアクセスのアドレスが BERAD[31:0]ビットに格納されます。

BUSnERRSTAT（n = 1～3）レジスタの ILERRSTAT、MMERRSTAT、SLERRSTAT の各ビットが 1 である場合のみ、BERAD[31:0]ビットは有効です。

13.3.6 BUSnERRRW : バスエラーリードライトレジスタ （n = 1～3）

Base address: BUS = 0x4000_3000

Offset address: 0x1804 + 0x10 × (n - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	RWSTAT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RWSTAT	エラーアクセスリード／ライト状態 エラー発生時の状態 0: リードアクセス 1: ライトアクセス	R
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU 関連リセットの詳細は、「5. リセット」および「14. メモリプロテクションユニット (MPU)」を参照してください。

マスタバスとバスエラーの対応は以下のとおりです。

BUS1ERRRW：コードバス

BUS2ERRRW：システムバス

BUS3ERRRW: DMAC/DTC

RWSTAT ビット（エラーアクセスリード／ライト状態）

RWSTAT ビットは、関連するバスでエラーが起こった場合のアクセス状態（ライトアクセスかリードアクセスか）を示します。バスで発生するエラーの詳細については、「13.3.9. BUSnERRSTAT : バスエラーステータスレジスタ n（n = 1～3）」および「13.4. バスエラー監視部」を参照してください。

バス上でエラーが発生すると、BUSnERRSTAT（n = 1～3）レジスタの ILERRSTAT、MMERRSTAT、SLERRSTAT の対応ビットが 1 になり、同時に、バスエラーアクセスのリード／ライト状態が RWSTAT ビットに格納されます。

BUSnERRSTAT（n = 1～3）レジスタの ILERRSTAT、MMERRSTAT、SLERRSTAT の各ビットが 1 である場合のみ、RWSTAT ビットは有効です。

13.3.7 BTZFnERRADD : バス TZF エラーアドレスレジスタ（n = 1～3）

Base address: BUS = 0x4000_3000

Offset address: 0x1900 + 0x10 × (n - 1)

Bit position:	31																												0
Bit field:	BTZFERAD[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	BTZFERAD[31:0]	バス TrustZone フィルタエラーアドレス バスエラーが発生した場合、そのエラーアドレスを格納します。	R

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU、TZF 関連リセットの詳細は、「5. リセット」、「14. メモリプロテクションユニット (MPU)」、「45.2. Arm TrustZone セキュリティ」を参照してください。

マスタバスとバスエラーの対応は以下のとおりです。

BTZF1ERRADD：コードバス

BTZF2ERRADD：システムバス

BTZF3ERRADD: DMAC/DTC

各バスの接続については、図 13.1 を参照してください。

BTZFERAD[31:0]ビット（バス TrustZone フィルタエラーアドレス）

BTZFERAD[31:0]ビットは、関連するバスでエラーが起こった場合のアドレスを示します。バスで発生するエラーの詳細については、「13.3.9. BUSnERRSTAT : バスエラーステータスレジスタ n（n = 1～3）」および「13.4. バスエラー監視部」を参照してください。

バス上でエラーが発生すると、BUSnERRSTAT（n = 1～3）レジスタの STERRSTAT の対応ビットが 1 になり、同時に、バスエラーアクセスのアドレスが BTZFERAD[31:0]ビットに格納されます。

BUSnERRSTAT（n = 1～3）レジスタの STERRSTAT ビットが 1 である場合のみ、BTZFERAD[31:0]ビットは有効です。

13.3.8 BTZFnERRRW : バス TZF エラーリードライトレジスタ（n = 1～3）

Base address: BUS = 0x4000_3000

Offset address: 0x1904 + 0x10 × (n - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TRWSTAT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TRWSTAT	TrustZone フィルタエラーアクセスリード／ライト状態 エラー発生時の状態 0: リードアクセス 1: ライトアクセス	R
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU、TZF 関連リセットの詳細は、「5. リセット」、 「14. メモリプロテクションユニット (MPU)」、「45.2. Arm TrustZone セキュリティ」を参照してください。

マスタバスとバスエラーの対応は以下のとおりです。

BTZF1ERRRW：コードバス

BTZF2ERRRW：システムバス

BTZF3ERRRW: DMAC/DTC

各バスの接続については、図 13.1 を参照してください。

TRWSTAT ビット（TrustZone フィルタエラーアクセスリード／ライト状態）

TRWSTAT ビットは、関連するバスでエラーが起こった場合のアクセス状態（ライトアクセスかリードアクセスか）を示します。バスで発生するエラーの詳細については、「13.3.9. BUSnERRSTAT : バスエラーステータスレジスタ n（n = 1～3）」および「13.4. バスエラー監視部」を参照してください。

バス上でエラーが発生すると、BUSnERRSTAT（n = 1～3）レジスタの STERRSTAT の対応ビットが 1 になり、同時に、バスエラーアクセスのリード／ライト状態が TRWSTAT ビットに格納されます。BUSnERRSTAT（n = 1～3）レジスタの STERRSTAT ビットが 1 である場合のみ、TRWSTAT ビットは有効です。

13.3.9 BUSnERRSTAT : バスエラーステータスレジスタ n（n = 1～3）

Base address: BUS = 0x4000_3000

Offset address: 0x1A00 + 0x10 × (n - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	ILERRSTAT	MMERRSTAT	—	STERRSTAT	SLERRSTAT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SLERRSTAT	スレーブバスエラー状態 0: エラーなし 1: エラー発生	R
1	STERRSTAT	スレーブ TrustZone フィルタエラー状態 0: エラーなし 1: エラー発生	R
2	—	読むと 0 が読めます。	R
3	MMERRSTAT	マスタ MPU エラー状態 0: エラーなし 1: エラー発生	R
4	ILERRSTAT	不正アドレスアクセスエラー状態 0: エラーなし 1: エラー発生	R
7:5	—	読むと 0 が読めます。	R

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU および TZF 関連のリセットの詳細は、「5. リセット」、「14. メモリプロテクションユニット (MPU)」および「45.2. Arm TrustZone セキュリティ」を参照してください。

マスタバスとバスエラーの対応は以下のとおりです。

BUS1ERRSTAT：コードバス

BUS2ERRSTAT：システムバス

BUS3ERRSTAT: DMAC/DTC

各バスの接続については、図 13.1 を参照してください。

不正アクセスエラー、マスタ MPU エラー、スレーブバスエラーのすべてが同時に発生した場合、STAT ビットは下記の順番でのみ有効になります。左側が優先になります。

マスタ MPU エラー ＞ 不正アクセスエラー、スレーブバスエラー

注. 不正アクセスエラーとスレーブバスエラーは同時には発生しません。

ILERRSTAT、MMERRSTAT、または SLERRSTAT の 1 つが設定されると、これらのビットはクリアされるまで更新されません。

SLERRSTAT ビット（スレーブバスエラー状態）

バスにスレーブエラーが発生すると、BUSnERRSTAT.SLERRSTAT (n = 1～3) が 1 になります。クリア条件がリセットされます。あるいは、BUSnERRCLR.SLERRCLR (n = 1～3) を 1 にしてください。スレーブエラーとは、タイムアウトのようなスレーブに発生するエラーです。バスに発生するスレーブエラーの詳細については、「13.4. バスエラー監視部」を参照してください。

STERRSTAT ビット（スレーブ TrustZone フィルタエラー状態）

バスにスレーブ TrustZone フィルタエラーが発生すると、BUSnERRSTAT.STERRSTAT (n = 1～3) が 1 になります。クリア条件がリセットされます。あるいは、BUSnERRCLR.STERRCLR (n = 1～3) を 1 にしてください。デバッガがセキュリティ領域にアクセスするときは STERRSTAT ビットはセットされません。バスに発生するスレーブ TrustZone フィルタエラーの詳細については、「45. セキュリティ機能」 を参照してください。

MMERRSTAT ビット（マスタ MPU エラー状態）

バスにマスタ MPU エラーが発生すると、BUSnERRSTAT.MMERRSTAT (n = 1～3) が 1 になります。クリア条件がリセットされます。あるいは、BUSnERRCLR.MMERRCLR (n = 1～3) を 1 にしてください。バスに発生するマスタ MPU エラーの詳細については、「14. メモリプロテクションユニット (MPU)」を参照してください。

注. マスタ MPU エラーが DMAC または DTC アクセス中に発生し、エラーアドレス値がマスタ MPU 領域にない場合、DMAC または DTC アクセス以前に不正アドレスアクセスエラーまたはスレーブエラーが発生しています。エラーアドレス値を参考にしてどのエラーが起きたのかを判断してください。

ILERRSTAT ビット（不正アドレスアクセスエラー状態）

バスに不正アドレスアクセスエラーが発生すると、BUSnERRSTAT.ILERRSTAT (n = 1～3) が 1 になります。クリア条件がリセットされます。あるいは、BUSnERRCLR.ILERRCLR (n = 1～3) を 1 にしてください。バスに発生する不正アドレスアクセスエラーの詳細については、「13.4. バスエラー監視部」を参照してください。

13.3.10 DMACDTCERRSTAT : DMAC/DTC エラーステータスレジスタ

Base address: BUS = 0x4000_3000

Offset address: 0x1A24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MTERRSTAT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MTERRSTAT	マスタ TrustZone フィルタエラー状態 0: エラーなし 1: エラー発生	R
7:1	—	読むと 0 が読めます。	R

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU および TZF 関連のリセットの詳細は、「5. リセット」、「14. メモリプロテクションユニット (MPU)」および「45.2. Arm TrustZone セキュリティ」を参照してください。

MTERRSTAT ビット（マスタ TrustZone フィルタエラー状態）

DMAC または DTC によりマスタ TrustZone フィルタエラーが発生すると、DMACDTCERRSTAT.MTERRSTAT が 1 になります。クリア条件がリセットされ、DMACDTCERRCLR.MTERRCLR が 1 になります。

DMAC または DTC により発生するマスタ TrustZone フィルタエラーの詳細については、「15. DMA コントローラ (DMAC)」および「16. データトランスファコントローラ (DTC)」を参照してください。

13.3.11 BUSnERRCLR : バスエラークリアレジスタ n（n = 1～3）

Base address: BUS = 0x4000_3000

Offset address: 0x1A08 + 0x10 × (n - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	ILERRCLR	MMERRCLR	—	STERRCLR	SLERRCLR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SLERRCLR	スレーブバスエラークリア SLERRCLR ビットに 1 を書くと、BUSnERRSTAT.SLERRSTAT（n = 1～3）: がクリアされます。	R/W(注1)
1	STERRCLR	スレーブ TrustZone フィルタエラークリア STERRCLR ビットに 1 を書くと、BUSnERRSTAT.STERRSTAT（n = 1～3）がクリアされます。	R/W(注1)
2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
3	MMERRCLR	マスタ MPU エラークリア MMERRCLR ビットに 1 を書くと、BUSnERRSTAT.MMERRSTAT（n = 1～3）がクリアされます。	R/W(注1)

ビット	シンボル	機能	R/W
4	ILERRCLR	不正アドレスアクセスエラークリア ILERRCLR ビットに 1 を書くと、BUSnERRSTAT.ILERRSTAT（n = 1～3）がクリアされます。	R/W(注1)
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. 本ビットには 1 のみ書けます。読むと 0 が読めます。0 の書き込みは無効です。

マスタバスとバスエラーの対応は以下のとおりです。

BUS1ERRCLR：コードバス

BUS2ERRCLR：システムバス

BUS3ERRCLR: DMAC/DTC

BUSnERRCLR（n = 1～3）に 1 を書き込む場合、バスアクセスを停止してください。対応するバスマスタでのエラーの原因になります。

13.3.12 DMACDTCERRCLR : DMAC/DTC エラークリアレジスタ

Base address: BUS = 0x4000_3000

Offset address: 0x1A2C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MTERRCLR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MTERRCLR	マスタ TrustZone フィルタエラークリア 1 を書き込むことにより、DMACDTCERRSTAT.MTERRSTAT フラグをクリアできます。	R/W(注1)
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. 本ビットには 1 のみ書けます。読むと 0 が読めます。0 の書き込みは無効です。

DMACDTCERRCLR に 1 を書き込む場合、バスアクセスを停止してください。DMAC/DTC でのエラーの原因になります。

13.4 バスエラー監視部

バスエラー監視システムは、個々の領域を監視して、エラーを検出すると AHB-Lite エラー応答プロトコルを用いてそのエラーを要求マスタ IP に返します。

13.4.1 バスエラーの種類

それぞれのバスでは、下記のエラーが生じる可能性があります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- TrustZone フィルタエラー
- 各スレーブ IP より送信されるバスエラー

表 13.2 に、アクセスによって不正アドレスアクセスエラーが引き起こされるアドレスレンジを示します。スレーブの予約領域は、不正アドレスアクセスエラーを引き起こしません。バスマスタ MPU については、「14. メモリプロテクションユニット (MPU)」を参照してください。

13.4.2 バスエラー発生時の動作

バスエラーが発生すると、動作は保証されず、要求マスタ IP にエラーが返されます。

図 13.3 に、バス上の各エラー検出からユーザー通知までの動作を示します。

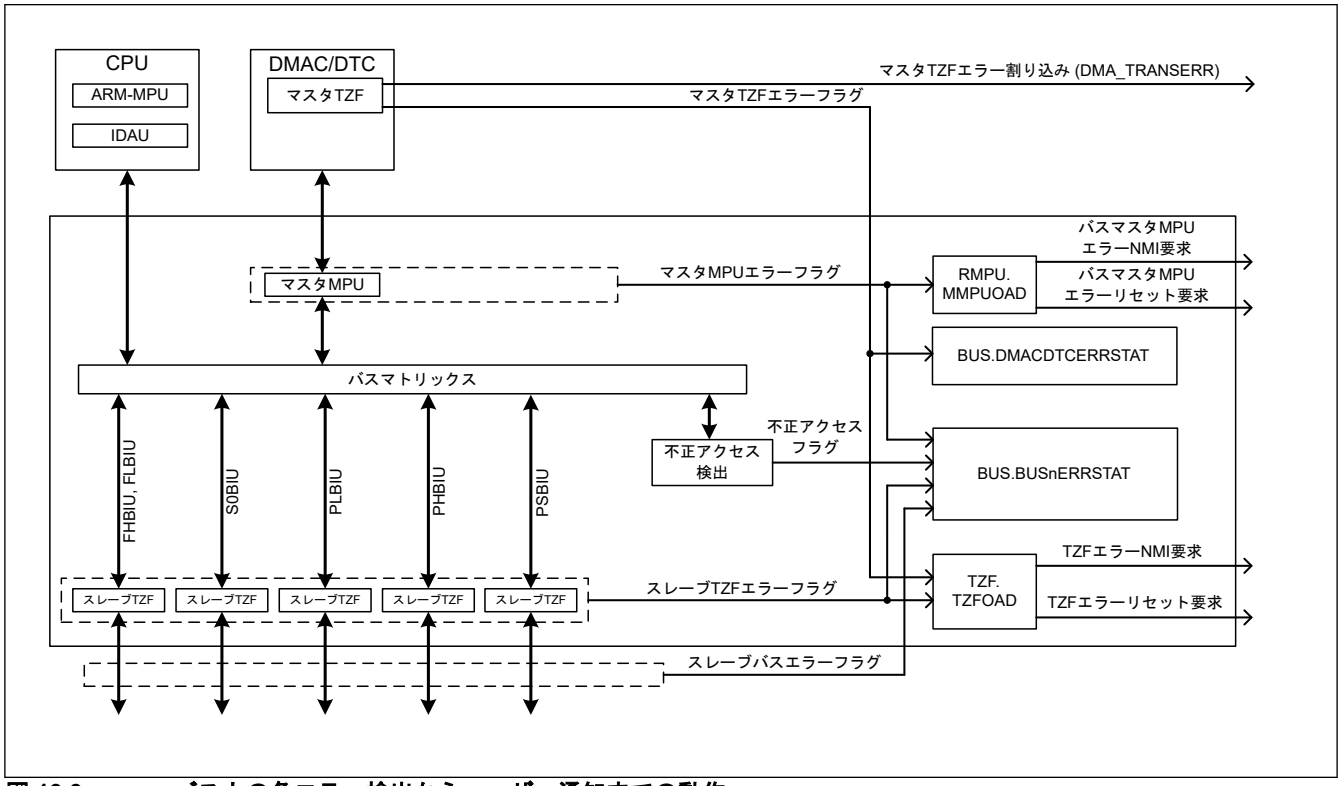


図 13.3 バス上の各エラー検出からユーザー通知までの動作

(1) バスマスタ MPU エラー

DMAC/DTC のバスマスタは、設定されたアドレス領域のアクセス制御のためにマスタ MPU を備えています。CPU には Arm MPU があるので、マスタ MPU はありません。マスタ MPU エラーが検出されると、マスタにエラー応答が返されます。同時に以下の手順を実行します。

1. BUSnERRADD (n = 3) にエラーのアドレスを格納します。
2. BUSnERRRW (n = 3) にエラーのリード／ライト情報を格納します。
3. BUSnERRSTAT (n = 3) レジスタの MMERRSTAT ビットに 1 を設定します。

MMPUOAD.OAD ビットの設定に従って NMI 要求またはリセット要求が発生します（「14. メモリプロテクションユニット (MPU)」参照）。BUSnERRADD (n = 3)、BUSnERRRW (n = 3)、BUSnERRSTAT (n =3) の各レジスタは、MPU および TZF 関連リセット以外のリセットまたは BUSnERRCLR (n = 3) でクリアされるまで保持されるので、NMI 処理ルーチン内またはリセット後に確認できます。

NMI 要求は、リセットまたは BUSnERRCLR (n = 3) による BUSnERRSTAT.MMERRSTAT ビット (n = 3) のクリア後の最初のマスタ MPU エラー時にのみ発生します。

(2) 不正アクセスエラー

「13.4.3. 不正アドレスアクセスエラーを引き起こす条件」に不正アクセスエラーの内容を示します。不正アクセスエラーが検出されると、マスタにエラー応答が返されます。同時に以下の手順を実行します。

1. BUSnERRADD（n = 1～3）にエラーのアドレスを格納します。

2. BUSnERRRW（n = 1～3）にエラーのリード／ライト情報を格納します。
3. BUSnERRSTAT（n = 1～3）レジスタの ILERRSTAT ビットに 1 を設定します。

NMI 要求とリセット要求は発生しません。BUSnERRADD（n =1～3）、BUSnERRRW（n = 1～3）、BUSnERRSTAT（n = 1～3）の各レジスタは、MPU および TZF 関連リセット以外のリセットまたは BUSnERRCLR（n = 1～3）でクリアされるまで保持されるので、バス障害処理ルーチンまたは割り込み処理ルーチン内で確認できます。

(3) マスタ TZF エラー

「45. セキュリティ機能」に示すように、DMAC/DTC には、マスタ TZF エラーがあります。マスタ TZF エラーが検出されると、DMACDTCERRSTAT.MTERRSTAT ビットを 1 にします。DMAC/DTC はバスアクセスを行わないので、BTZF3ERRADD および BTZF3ERRRW レジスタにはバスエラー情報は格納されません。

TZFOAD.OAD ビットの設定に従って NMI 要求またはリセット要求が発生します。マスタ TZF エラーの詳細は、「15. DMA コントローラ (DMAC)」、「16. データトランスファコントローラ (DTC)」を参照してください。DMACDTCERRSTAT レジスタは、MPU および TZF 関連リセット以外のリセットまたは DMACDTCERRCLR レジスタでクリアされるまで保持されるので、NMI 処理ルーチン内またはリセット後に確認できます。

NMI 要求は、リセットまたは DMACDTCERRCLR による DMACDTCERRSTAT.MTERRSTAT ビットのクリア後の最初のマスタ TZF エラー時にのみ発生します。

(4) スレーブ TZF エラー

「45. セキュリティ機能」に示すように、FHBIU（コードフラッシュ）、FLBIU（データフラッシュ）、S0BIU (SRAM)、PSBIU、PHBIU および PLBIU にはスレーブ TZF エラーがあります。各周辺モジュールでの TZF エラーの発生については、「45.2.3. 周辺モジュールのセキュリティ属性」を参照してください。スレーブ TZF エラーを検出したら、以下の手順を実行します。

1. BTZFnERRADD (n = 1～3) にエラーのアドレスを格納します。
2. BTZFnERRRW (n = 1～3) にエラーのリード／ライト情報を格納します。
3. BUSnERRSTAT (n = 1～3) レジスタの STERRSTAT ビットに 1 を設定します。

TZFOAD.OAD ビットの設定に従って NMI 要求またはリセット要求が発生します。BTZFnERRADD（n = 1～3）、BTZFnERRRW（n = 1～3）、BUSnERRSTAT（n =1～3）の各レジスタは、MPU および TZF 関連リセット以外のリセットまたは BUSnERRCLR（n = 1～3）でクリアされるまで保持されるので、NMI 処理ルーチン内またはリセット後に確認できます。

NMI 要求は、リセットまたは BUSnERRCLR（n = 1～3）による BUSnERRSTAT.STERRSTAT ビット（n = 1～3）のクリア後の最初のスレーブ TZF エラー時にのみ発生します。

(5) スレーブバスエラー

スレーブバスエラーはスレーブで発生します。スレーブバスエラーが検出されると、マスタにエラー応答が返されます。同時に以下の手順を実行します。

1. BUSnERRADD（n = 1～3）にエラーのアドレスを格納します。
2. BUSnERRRW（n = 1～3）にエラーのリード／ライト情報を格納します。
3. BUSnERRSTAT（n = 1～3）レジスタの SLERRSTAT ビットに 1 を設定します。

NMI 要求とリセット要求は発生しません。BUSnERRADD (n =1～3)、BUSnERRRW (n = 1～3)、BUSnERRSTAT (n = 1～3) の各レジスタは、MPU および TZF 関連リセット以外のリセットまたは BUSnERRCLR (n = 1～3) でクリアされるまで保持されるので、バス障害処理ルーチンまたは割り込み処理ルーチン内で確認できます。

13.4.3 不正アドレスアクセスエラーを引き起こす条件

表 13.2 に、不正アドレスアクセスエラーを引き起こす、バスごとのアドレス空間を示します。

表 13.2　不正アドレスアクセスエラーを引き起こす条件

アドレス	スレーブバス	マスタバス		
		CPU		DMA
		コード	システム	
0x0000_0000～0x01FF_FFFF	FHBIU	—		—
0x0200_0000～0x07FF_FFFF	予約	E		E
0x0800_0000～0x0803_FFFF	FLBIU	—		—
0x0804_0000～0x0FFF_FFFF	予約	E		E
0x1000_0000～0x100F_FFFF	予約	—		E
0x1010_0000～0x1FFF_FFFF	予約	E		E
0x2000_0000～0x2800_FFFF	S0BIU		—	—
0x2801_0000～0x3FFF_FFFF	予約		E	E
0x4000_0000～0x4007_FFFF	PSBIU		—	—
0x4008_0000～0x400F_FFFF	PLBIU		—	—
0x4010_0000～0x4017_FFFF	PHBIU		—	—
0x4018_0000～0x407D_FFFF	予約		E	E
0x407E_0000～0x407F_FFFF	FLBIU		—	—
0x4080_0000～0x5FFF_FFFF	予約		E	E
0x6000_0000～0xDFFF_FFFF	予約		E	E
0xE000_0000～0xFFFF_FFFF	Cortex®-M33 用システム			E

注.　"E"：バスエラーが発生。
" "：転送が実行されない。
"—"：バスエラーの発生なし。予約領域があった場合でも、バスエラーは発生していません。
FLBIU および S0BIU の予約領域にはアクセスしないでください。アクセスすると、スレーブ TZF エラーが発生することがあります。

13.4.4　タイムアウト

一部の周辺モジュールでは、モジュールストップ機能によってタイムアウトエラーが発生します。一定期間スレーブから応答がないと、タイムアウトエラーが検出されます。タイムアウトエラーは、AHB-Lite エラー応答プロトコルを用いて要求マスタ IP に返されます。

13.5　参考資料

1. ARM Limited, *ARM v8-M Architecture Reference Manual* (ARM DDI0553B.g)
2. ARM Limited, *ARM Cortex-M33 Processor Technical Reference Manual Revision:r0p4* (ARM 100230_0004_00_en)
3. ARM Limited, *ARM AMBA 5 AHB Protocol Specification AHB5, AHB-Lite* (ARM IHI 0033B.b)
4. ARM Limited, *ARM AMBA AXI and ACE Protocol Specification AXI3, AXI4, and AXI4-Lite, ACE and ACE-Lite* (ARM IHI 0022D)
5. ARM Limited, *ARM AMBA APB Protocol Specification Version: 2.0* (ARM IHI 0024C)

13.6　キャッシュ

13.6.1　概要

キャッシュには 2 種類あります。
- コードバス用の C キャッシュ
- システムバス用の S キャッシュ

表 13.3 にキャッシュの仕様を、図 13.4 にキャッシュのブロック図を、図 13.5 にキャッシュの構造を示します。

表 13.3　キャッシュの仕様

項目	C キャッシュ	S キャッシュ
容量	4 KB	4 KB
ウェイ	4 ウェイセットアソシアティブ	4 ウェイセットアソシアティブ
ラインサイズ	32/64 バイト	32/64 バイト
エントリ数	32/16 エントリ／ウェイ	32/16 エントリ／ウェイ
ライトウェイ	書き込みなし	ライトスルー、非書き込み割り当て
置き換えウェイ	4 ウェイ Full LRU (least recently used)	4 ウェイ Full LRU (least recently used)
キャッシュサポート領域	0x0000_0000～0x1FFF_FFFF	0x2000_0000 – 0xDFFF_FFFF(注1) スタンバイ SRAM 領域 (0x2800_0000～0x2FFF_FFFF) 以外

注 1.　Arm MPU において、周辺領域 0x4000_0000～0x5FFF_FFFF の属性はキャッシュ可能属性であってはなりません。

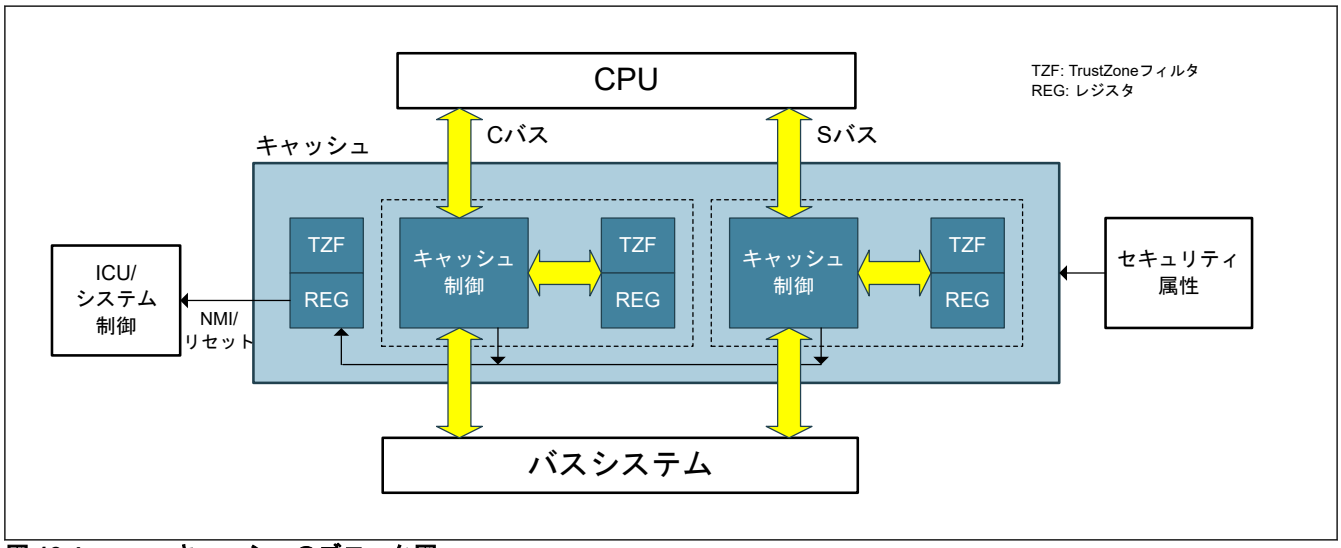


図 13.4　キャッシュのブロック図

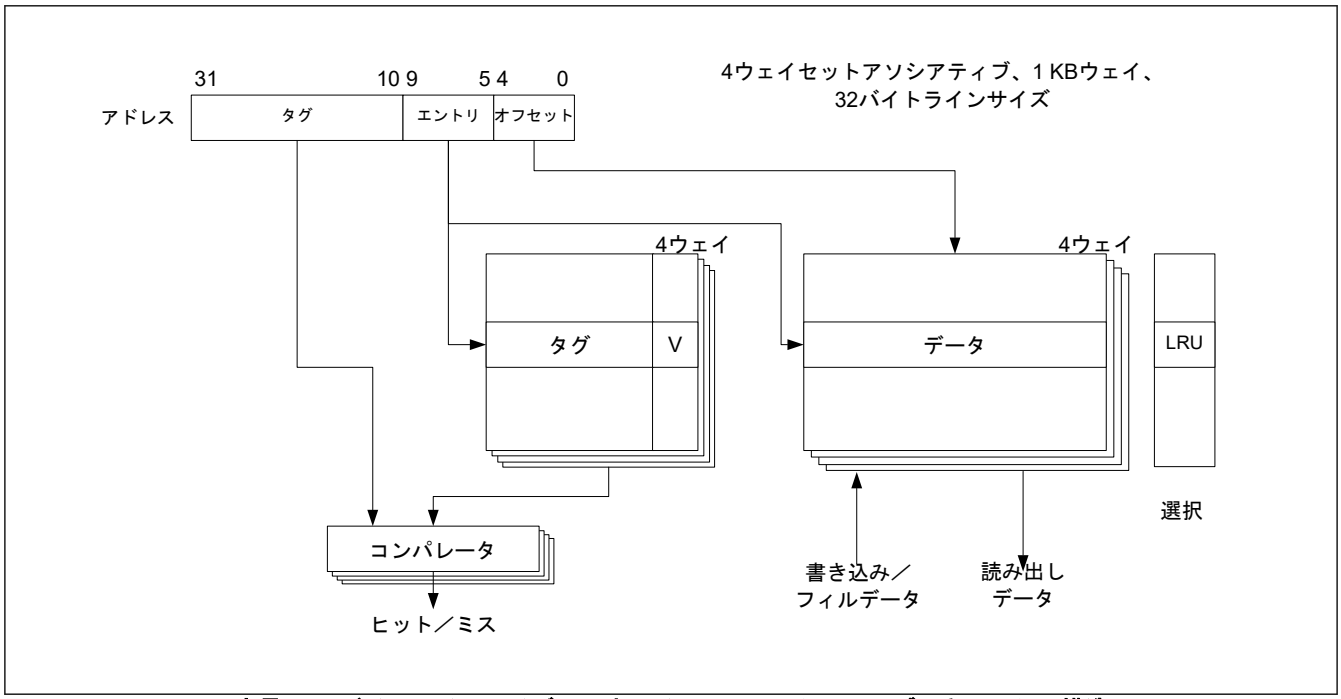


図 13.5　4 KB 容量、32 バイトラインサイズの 4 ウェイセットアソシアティブのキャッシュ構造

13.6.2 レジスタの説明

13.6.2.1 CSAR : キャッシュセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	CACHEESA	CACHELSA	CACHESA
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	CACHESA	キャッシュ制御用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	CACHELSA	キャッシュラインコンフィグレーション用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	CACHEESA	キャッシュエラー用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:3	—	読むと 1 が読めます。	R

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. 本レジスタへの書き込みは、PRCR レジスタにより保護されています。

注. CACHESA = 0（セキュア）である場合、プログラムの更新後はキャッシュメンテナンス動作を実施できません。
そのため、デバッグ時、キャッシュ対象領域に対してソフトウェアブレークポイントを使用できません。

CACHESA ビット（キャッシュ制御用レジスタのセキュリティ属性）

CACHESA ビットは、キャッシュ制御用レジスタのセキュリティ属性を示します。対象レジスタは以下です。

- CCACTL
- CCAFCT
- SCACTL
- SCAFCT

CACHELSA ビット（キャッシュラインコンフィグレーション用レジスタのセキュリティ属性）

CACHELSA ビットは、キャッシュラインコンフィグレーション用レジスタのセキュリティ属性を示します。対象レジスタは以下です。

- CCALCF
- SCALCF

CACHEESA ビット（キャッシュエラー用レジスタのセキュリティ属性）

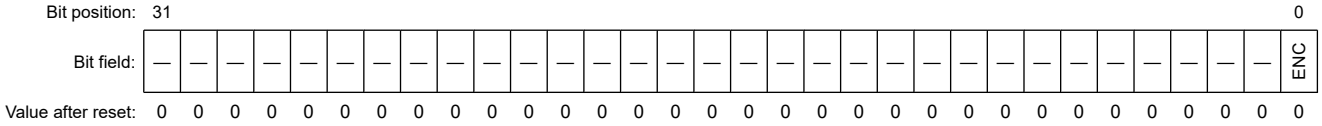
CACHEESA ビットは、キャッシュエラー用レジスタのセキュリティ属性を示します。

- CAPOAD
- CAPRCR

13.6.2.2 CCACTL : C キャッシュコントロールレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x000



ビット	シンボル	機能	R/W
0	ENC	C キャッシュ許可 C キャッシュの許可／禁止を設定します。 0: C キャッシュを禁止 1: C キャッシュを許可	R/W
31:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

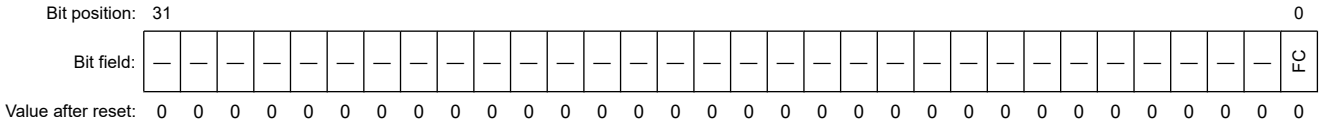
ENC ビット（C キャッシュ許可）

ENC ビットは、C キャッシュのキャッシュ許可／禁止を制御します。ENC ビットが 0 から 1 に変化した場合、C キャッシュの VALID ビットはクリアされます。

13.6.2.3 CCAFCT : C キャッシュフラッシュコントロールレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x004



ビット	シンボル	機能	R/W
0	FC	C キャッシュフラッシュ C キャッシュのラインフラッシュを設定します。 0: 動作なし 1: C キャッシュラインフラッシュ（すべてのラインをインバリデート）	R/W
31:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

FC ビット（C キャッシュフラッシュ）

FC ビットは、C キャッシュのキャッシュフラッシュを制御します。

[1 になる条件]

- 本ビットに 1 を書き込んだとき
- CCACTL.ENC ビットが 0 から 1 に切り替わったとき

[0 になる条件]

- 本ビットは、キャッシュフラッシュが実行されたとき自動的にクリアされます。

13.6.2.4 CCALCF : C キャッシュラインコンフィグレーションレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x008

Bit position:	31																												1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	CC[1:0]	C キャッシュラインサイズ C キャッシュのラインサイズを設定します。 0 0: 禁止 0 1: キャッシュラインサイズ 32 バイト 1 0: キャッシュラインサイズ 64 バイト 1 1: 禁止	R/W
31:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

CC[1:0]ビット（C キャッシュラインサイズ）

CC[1:0]ビットは、C キャッシュのキャッシュラインサイズを制御します。CCACTL.ENC ビットが 0 の場合に、本ビットに対する書き込みが可能になります。CCACTL.ENC ビットが 0 でない場合は、本ビットに対する書き込みはできません。

13.6.2.5 SCACTL : S キャッシュコントロールレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x040

Bit position:	31																													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ENS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENS	S キャッシュ許可 S キャッシュの許可／禁止を設定します。 0: S キャッシュを禁止 1: S キャッシュを許可	R/W
31:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

ENS ビット（S キャッシュ許可）

ENS ビットは、S キャッシュのキャッシュ有効／無効を制御します。ENS ビットが 0 から 1 に変化した場合、S キャッシュの VALID ビットはクリアされます。

13.6.2.6 SCAFCT : S キャッシュフラッシュコントロールレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x044

Bit position:	31																													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FS	S キャッシュフラッシュ S キャッシュのラインフラッシュを設定します。 0: 動作なし 1: S キャッシュラインフラッシュ（すべてのラインをインバリデート）	R/W
31:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

FS ビット（S キャッシュフラッシュ）

FS ビットは、S キャッシュのキャッシュフラッシュを制御します。

[1 になる条件]

本ビットに 1 を書き込んだとき

SCACTL.ENS ビットが 0 から 1 に切り替わったとき

[0 になる条件]

本ビットは、キャッシュフラッシュが実行されたとき自動的にクリアされます。

13.6.2.7 SCALCF : S キャッシュラインコンフィグレーションレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x048

Bit position:	31																												1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	CS[1:0]	S キャッシュラインサイズ S キャッシュのラインサイズを設定します。 0 0: 禁止 0 1: キャッシュラインサイズ 32 バイト 1 0: キャッシュラインサイズ 64 バイト 1 1: 禁止	R/W
31:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

CS[1:0]ビット（S キャッシュラインサイズ）

CS[1:0]ビットは、S キャッシュのキャッシュラインサイズを制御します。また、本ビットの書き換えは、SCACTL.ENS ビットが 0 のときに行ってください。SCACTL.ENS ビットが 0 でない場合は、本ビットに対する書き込みはできません。

[1 になる条件]

また、本ビットの書き換えは、CACTL.ENS ビットが 0 のときに行ってください。CACTL.ENS ビットが 0 でない場合は、本ビットに対する書き込みはできません。

13.6.2.8 CAPOAD : キャッシュパリティエラー検出後動作レジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x200

Bit position:	31																													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 検出後の動作を選択します。 0: ノンマスカブル割り込み 1: リセット	R/W
31:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

OAD ビット（検出後の動作）

OAD ビットは、パリティエラーが検出された場合に、リセットまたはノンマスカブル割り込みのどちらを発生させます。

本レジスタへの書き込みはプロテクトレジスタ (CAPRCR) によって保護されています。まず、プロテクトレジスタ (CAPRCR) の VALID ビットを許可にしてから本ビットへの書き込みを行ってください。CAPOAD レジスタへの書き込みはキャッシュへのアクセスを行っていない状態で行ってください。

13.6.2.9 CAPRCR : キャッシュプロテクトレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x204

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	KW[6:0]							PRCR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRCR	レジスタ書き込み制御 レジスタへの書き込み制御を設定します。 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW[6:0]	書き込みキーコード PRCR ビットへの書き込みを許可または禁止します。	R/W
31:8	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

PRCR ビット（レジスタ書き込み制御）

PRCR ビットは、CAPOAD レジスタのライトモードを制御します。本ビットが 1 のとき、CAPOAD レジスタへの書き込みが許可されます。本ビットに書き込む場合、同時に KW[6:0]ビットに 0x78 を書き込んでください。

KW[6:0]ビット（書き込みキーコード）

KW[6:0]ビットは、PRCR ビットへの書き込みを許可または禁止します。PRCR ビットに書き込む場合、同時に KW[6:0]ビットに 0x78 を書き込んでください。0x78 以外の値を KW[6:0]ビットに書き込むと、PRCR ビットは更新されません。KW[6:0]は読むと常に 0x00 が読み出されます。

13.6.3 動作説明

13.6.3.1 S キャッシュ

図 13.6 に、CPU から S キャッシュへのアクセスフローを示します。

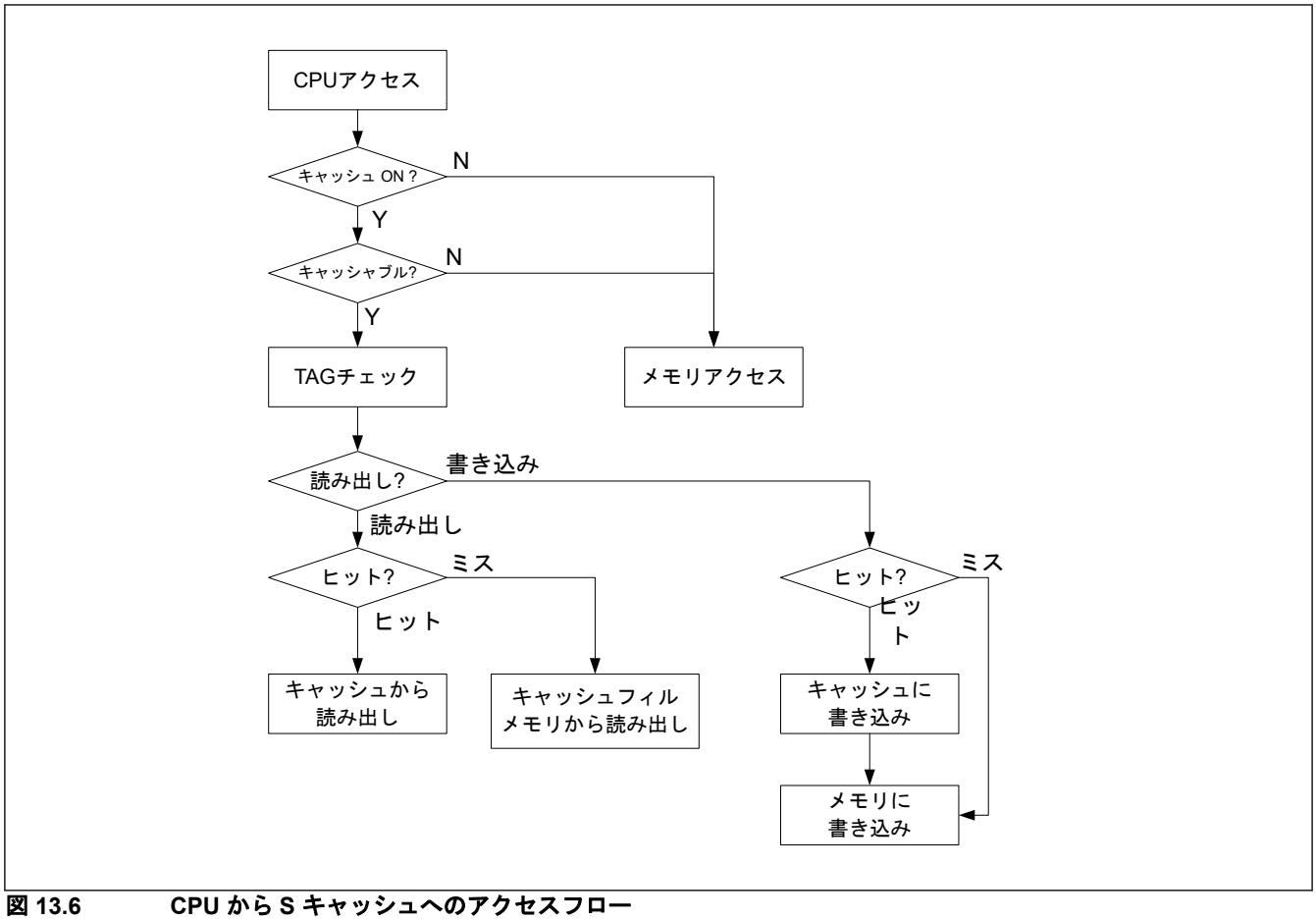


図 13.6 CPU から S キャッシュへのアクセスフロー

キャッシュ機能が動作するのは、キャッシュが有効 (CACTL.ENS = 1) で、キャッシュ可能アクセスが CPU からの場合です。キャッシュは、CPU アクセス要求およびキャッシュタグ内の要求のアドレスをチェックし、CPU アクセスがヒットなのかミスヒットなのかを判断します。

リードミス

キャッシュはメモリから 1 つのキャッシュラインデータを読み出し、それをキャッシュデータに格納します。続いてキャッシュは必要なデータを CPU に返します。

リードヒット

キャッシュは必要なデータをキャッシュデータから読み出し、それを CPU に戻します。次にアクセスサイクルは、0 ウェイトサイクルであるのでヒットと判断します。

ライトミス

キャッシュはメモリへのライトサイクルのみを処理します。キャッシュデータに影響ありません。

ライトヒット

キャッシュは、キャッシュデータへのライトサイクルおよびメモリへのライトサイクルの両方を処理します。

13.6.3.2 C キャッシュ

図 13.7 に、CPU から C キャッシュへのアクセスフローを示します。

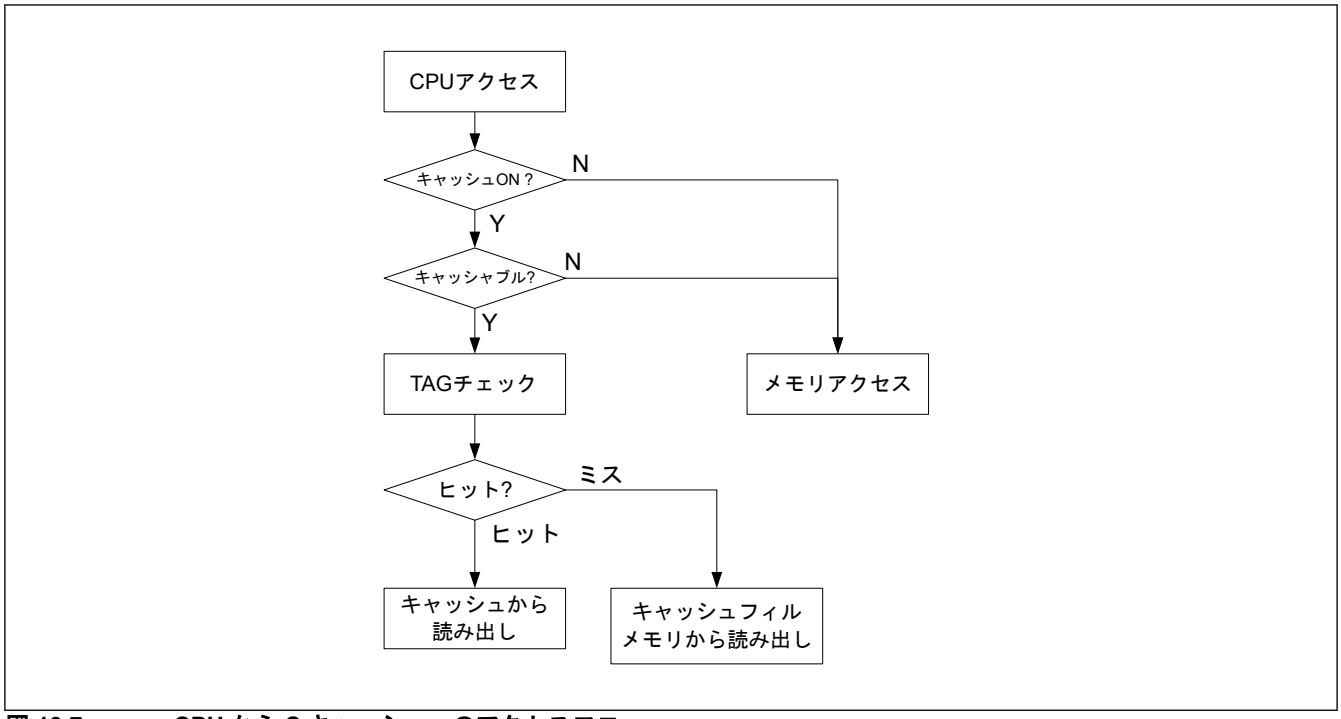


図 13.7 CPU から C キャッシュへのアクセスフロー

キャッシュ機能が動作するのは、キャッシュが有効 (CACTL.ENC = 1) で、キャッシュ可能アクセスが CPU からの場合です。キャッシュは、CPU アクセス要求およびキャッシュタグ内の要求のアドレスをチェックし、CPU アクセスがヒットなのかミスヒットなのかを判断します。

リードミス

キャッシュはメモリから 1 つのキャッシュラインデータを読み出し、それをキャッシュデータに格納します。続いてキャッシュは必要なデータを CPU に返します。

リードヒット

キャッシュは必要なデータをキャッシュデータから読み出し、それを CPU に戻します。次にアクセスサイクルは、0 ウェイトサイクルであるのでヒットと判断します。

C キャッシュは C キャッシュの ROM 領域では動作せず、読み出し専用アクセスで動作します。

13.6.3.3 キャッシュフラッシュ

VALID ビットは CAFCT レジスタでクリアされます。しかしながら、タグおよびキャッシュデータは CAFCT レジスタにより影響を受けません。

VALID ビットはまた、CACTL レジスタが 0 から 1 になったときクリアされます。

注. キャッシュ可能属性を Arm MPU により変更後、CAFCT レジスタを使って VALID ビットをクリアしてください。

13.6.3.4 LRU と置き換え

キャッシュは、キャッシュ置き換えアルゴリズムとして LRU (Least Recently Used) 方式を使用します。CPU アクセスがヒットまたはミスヒットと判定された場合、キャッシュは最新回復データではないキャッシュデータを置き換えます。さらに、キャッシュはキャッシュデータの LRU において最新データというタグを付けられます。したがって、キャッシュウェイのキャッシュラインがフルの場合、キャッシュはより古いデータを示す LRU を使ってキャッシュデータを置き換えできます。

4 ウェイフル LRU のアルゴリズムは、たとえばウェイ 0～ウェイ 3 といった、各ウェイの順序を示します。

13.6.3.5 パリティチェック

キャッシュには、キャッシュフィルデータとして格納されているキャッシュ RAM に対してパリティチェック機能があります。キャッシュは 32 ビットデータに対して 4 ビットパリティがあります。すなわち、データが読み

出されるとき、32 ビットデータ幅の 8 ビットデータごとにパリティビットが付加されます。ヒット状態でデータを読み出すとき、キャッシュはパリティエラーをチェックします。パリティエラーが発生すると、パリティエラー通知が生成されます。

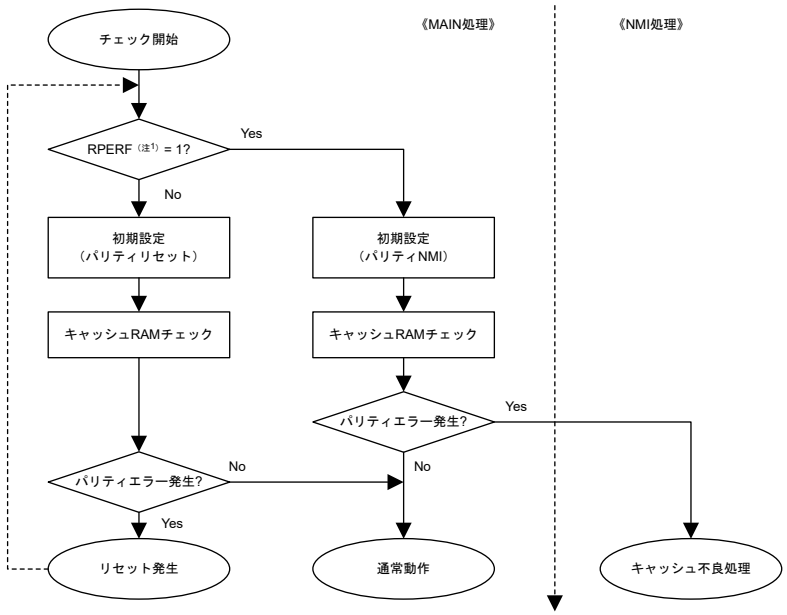
CPU がバイトリードまたはハーフバイトリードを要求している場合でもキャッシュは 32 ビットデータを読み出します。

注. CPU が要求していない、バリデートされていないデータのバイトで引き起こされた場合でもパリティエラーが発生する可能性があります。

パリティエラー通知には、CAPOAD レジスタでノンマスカブル割り込みまたはリセット要求を指定できます。しかしながら、デバッグモードによりパリティエラー通知抑止が要求される場合、通知は生成されません。

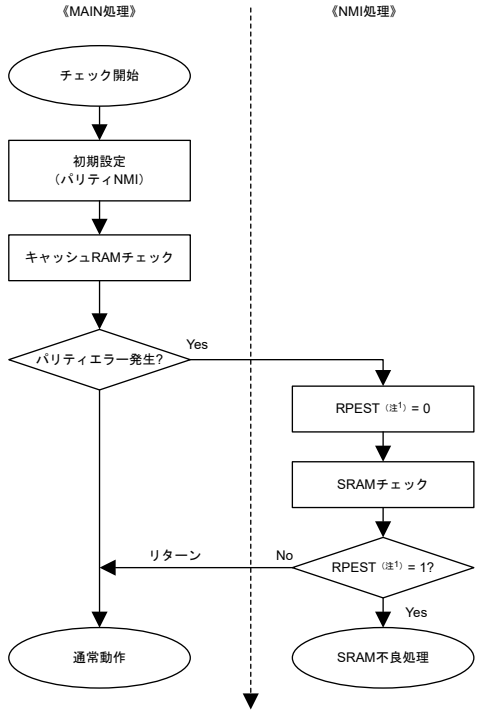
パリティエラーが発生するとキャッシュはキャッシュフラッシュを実行せず、CPU に対してバスエラーを返しません。

パリティエラーはノイズにより頻繁に発生します。パリティエラーの原因がノイズか破損かを確認するには、図 13.8 および図 13.9 に示されたキャッシュパリティチェックフローを使用します。



注 1. RPERF: キャッシュパリティエラーリセット検出フラグ (RSTSR1.RPERF)

図 13.8 パリティリセット許可の場合のキャッシュパリティチェックのフロー



注 1. RPEST: キャッシュパリティエラー割り込み検出フラグ (NMISR.RPEST)

図 13.9 パリティ割り込み許可の場合のキャッシュパリティチェックのフロー

13.6.3.5.1 キャッシュ RAM チェック

キャッシュ RAM のパリティエラーは、「リードヒット」キャッシュ状態での CPU のリードアクセスで発生します。「リードヒット」状態では、キャッシュ RAM チェックを実行する前にいくつかの条件が必要です。S キャッシュをチェックするには、フラッシュメモリでチェックプログラムを実行してください。C キャッシュをチェックするには、SRAM でチェックプログラムを実行してください。

(1) キャッシュ RAM のチェックフロー

1. キャッシュ内の全 VALID ビットをフラッシュし、キャッシュイネーブルビットをクリアします。
2. S キャッシュ用に SRAM のような 4 KB のワークメモリを確保します。MCU 内の各キャッシュは、各ウェイが 1 KB の RAM である、4 ウェイセットアソシアティブキャッシュなので、S キャッシュには合計 4 KB 必要です。対象のアドレスは予約領域として使用しないでください。
3. キャッシュイネーブルビットを 1 にします。
4. CPU を使って 4 KB の対象ワードアドレスからデータを読み出します。キャッシュの状態は、リードミスで、その結果はキャッシュフィルデータとして格納されます。
5. もう一つのウェイからデータを読み出します。そのアドレスはステップ 4.のアドレスに 1 KB アドレスを加算することによって計算されます。キャッシュの状態は、リードミスで、その結果はもう一つのウェイにキャッシュフィルデータとして格納されます。
6. もう一つのウェイからデータを読み出します。そのアドレスはステップ 5.のアドレスに 1 KB アドレスを加算することによって計算されます。キャッシュの状態は、リードミスで、その結果はもう一つのウェイにキャッシュフィルデータとして格納されます。
7. もう一つのウェイからデータを読み出します。そのアドレスはステップ 6.のアドレスに 1 KB アドレスを加算することによって計算されます。キャッシュの状態は、リードミスで、その結果はもう一つのウェイにキャッシュフィルデータとして格納されます。これでライト／リードヒット状態のキャッシュ RAM チェックが完了しました。
8. ステップ 4.、5.、6.、7.の対象ワードアドレスに試験データを書き込みます。ステップ 4.、5.、6.、7.のキャッシュの状態は、ライトヒットで、その結果はキャッシュ RAM に書き込まれます。
9. ステップ 4.、5.、6.、7.の対象ワードアドレスから読み出します。ステップ 4.、5.、6.、7.のキャッシュ状態はリードヒットになります。ワードデータのパリティチェックが完了です。

10. 別の対象アドレスについてパリティチェックを継続するにはステップ 1.に進む。

13.6.3.6 バスエラー

バスエラーに対するバススレーブの対応について以下で説明します。

キャッシュ OFF の場合

キャッシュは CPU にバスエラーを返します。

キャッシュ不可アクセスの場合

キャッシュは CPU にバスエラーを返します。

キャッシュフィルのためのリードアクセス中

CPU アクセス要求に対応する最初のデータに対して、キャッシュは CPU にバスエラーを返します。キャッシュラインフィル中のその他のリードデータに対して、「Early Forwarding」でデータを読み出す場合を除いて、キャッシュは CPU にバスエラーを返します。キャッシュがスレーブからのバスエラーを受け付ける場合、キャッシュイネーブルビットがキャッシュラインをクリアします。

ライトヒット状態の場合

キャッシュイネーブルビットがキャッシュラインをクリアしないので、キャッシュはバスエラーを CPU に返せません。

ライトミス状態の場合

キャッシュは CPU にバスエラーを返せません。

13.6.3.7 Early Forwarding 機能

キャッシュにデータをフィルしているとき、CPU 読み出し要求のアドレスとキャッシュフィル要求のアドレスが同一の場合、キャッシュは CPU にデータを返します。表 13.4 に例を示します。

表 13.4 Early Forwarding の例

動作	アクセスシーケンス								
CPU 読み出し要求のアドレス	0x04	0x08	0x0C	0x14	→	0x10	→	→	→
キャッシュフィル要求のアドレス	0x04	0x08	0x0C	0x10	0x14	0x18	0x1C	0x00	—
CPU アクセス状態	読み出し (0x04)	読み出し (0x08)	読み出し (0x0C)	—	読み出し (0x14)	—	—	—	読み出し (0x10)

CPU が読み出しを要求し、そのアドレスが順に 0x04、0x08、0x0C、0x14、0x10 の場合、アドレス 0x04 に対する最初の読み出しはミスヒット状態で、キャッシュはデータをキャッシュにフィル開始します。Early Forwarding 機能は、キャッシュがキャッシュラインをフィル中アクセスがアドレス 0x08、0x0C および 0x14 に対してであった場合、読み出しデータを CPU に返します。一方、アドレス 0x10 に対するアクセスは、キャッシュラインのフィル完了を待つ必要があります。キャッシュは、キャッシュラインのフィルを終了するとアドレス 0x10 のデータを返します。

13.6.4 使用上の注意事項

13.6.4.1 キャッシュラインコンフィグレーションレジスタ

状態がキャッシュ OFF の場合キャッシュラインコンフィグレーションレジスタへの書き込みが可能です（S キャッシュの場合 CACTL.ENS = 0、C キャッシュの場合 CACTL.ENC = 0）。

13.6.4.2 コヒーレンシ

キャッシュと内部 SRAM とのコヒーレンシはソフトウェアにより保証する必要があります。

キャッシュ対応エリア内で CPU と DMAC のようなバスマスタ間で共有メモリを割り当てる場合、必要に応じてキャッシュデータを無効としてください。

14. メモリプロテクションユニット (MPU)

14.1 概要

本 MCU は、1 つのメモリプロテクションユニットを備えています。

表 14.1 に、MPU の仕様を示します。また、表 14.2 に、各 MPU エラー検出の動作を示します。

表 14.1 MPU の仕様

項目	モジュール／機能	内容
不正メモリアクセス	Arm® Cortex®-M33 CPU	• Arm® CPU はデフォルトのメモリマップを内蔵。CPU が不正アクセスを行うと、例外割り込みが発生 • デフォルトのメモリマップは MPU で変更可能
メモリプロテクション	Arm® MPU	CPU 用のメモリプロテクション機能 • セキュアと非セキュアに対するサブ領域とバックグラウンド領域で MPU は (8+8) 領域
	バスマスタ MPU	CPU を除くマスタ用のメモリプロテクション機能 • DMAC/DTC: 8 領域

表 14.2 MPU エラー検出動作

MPU の種類	通知方法	AHB I/F の HRESP 信号によるエラー応答	エラー検出時のバスアクセス	エラーアクセス情報の格納
Arm MPU	• ハードフォールト	非サポート	• 正しくライトアクセスしない • 正しくリードアクセスしない	Cortex-M33 プロセッサに格納する
バスマスタ MPU	• リセットまたはノンマスカブル割り込み • ハードフォールト	サポート	• ライトアクセスは無視 • リードアクセスは 0 が読めます。	格納する

Arm® MPU に対するエラーアクセスについては、「14.4. 参考資料」を参照してください。他の MPU に対するエラーアクセスについては、「13. バス」の「13.3. レジスタの説明」および「13.4. バスエラー監視部」を参照してください。

14.2 Arm MPU

Arm MPU は全アドレス空間（0x0000_0000～0xFFFF_FFFF）を対象に CPU がアクセスするアドレスを監視しており、次の機能を備えています。

- (8 + 8) つの保護領域を設定可能
- メモリ領域が重複している場合、コアアクセスが重複領域にヒットすると、プロセッサはフォルトを生成します。
- 保護領域へのアクセス権設定が可能（読み出し、書き込み、実行）
- メモリ属性のシステムへのエクスポート

Arm MPU の不一致およびアクセス違反によって、プログラマブルプライオリティ MemManage フォルト（ハードフォルト）ハンドラが呼び出されます。詳細は、「14.4. 参考資料」を参照してください。

14.3 バスマスタ MPU

本 MCU はバスマスタ MPU を内蔵しており、全アドレス空間（0x0000_0000～0xFFFF_FFFF）を対象にマスタがアクセスするアドレスを監視しています。アクセス制御情報は、DMAC/DTC で 8 領域まで設定可能です。各領域へのアクセスの監視は本情報に従います。

保護領域に対するアクセスが検出されると、バスマスタ MPU は内部リセットまたはノンマスカブル割り込みを発生させます。エラーアクセスについての詳細は、「13. バス」の「13.3. レジスタの説明」および「13.4. バスエラー監視部」を参照してください。

各領域のアクセス制御情報は、読み出し保護または保護対象外と書き込み保護または保護対象外の情報で構成されます。

表 14.3 にバスマスタ MPU の仕様を示します。

表 14.3 バスマスタ MPU の仕様

項目	内容
マスタグループ	• DMAC, DTC
メモリプロテクション対象領域	0x0000_0000～0xFFFF_FFFF
領域数	• DMAC/DTC: 8 領域
各領域のアドレス指定	• 領域の開始アドレスと終了アドレスを設定
各領域のメモリプロテクション有効または無効設定	• 対応する領域に対し有効または無効を設定
各領域のアクセス制御情報設定	• 読み出しおよび書き込み許可
検出後の動作	• リセットまたはノンマスカブル割り込み
レジスタの保護	• バスマスタ MPU レジスタに対する不正書き込みの検出が可能
TrustZone フィルタ	• DMAC：各領域に対するセキュリティ属性を設定可能

14.3.1 レジスタの説明

MPU レジスタに書き込む前にバスアクセスを停止してください。

14.3.1.1 MMPUSARA : マスタメモリプロテクションセキュリティ属性レジスタ A

Base address: CPSCU = 0x4000_8000

Offset address: 0x130

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	MMPUASA7	MMPUASA6	MMPUASA5	MMPUASA4	MMPUASA3	MMPUASA2	MMPUASA1	MMPUASA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	MMPUASAn	MMPUA セキュリティ属性（n = 0～7） 0: セキュア 1: 非セキュア	R/W
31:8	—	読むと 1 が読めます。	R(注1)

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。
注 1. 本ビットは読み出し専用です。

MMPUASAn ビット（MMPUA セキュリティ属性（n = 0～7））

MMPUASAn ビットは、バスマスタ MPU 領域設定レジスタ用レジスタのセキュリティ属性を指定します。対象レジスタは以下です。

- MMPUSDMACn（n = 0～7）
- MMPUEDMACn（n = 0～7）
- MMPUACDMACn（n = 0～7）

14.3.1.2 MMPUSARB : マスタメモリプロテクションセキュリティ属性レジスタ B

Base address: CPSCU = 0x4000_8000

Offset address: 0x134

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MMPUBSA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	MMPUBSA0	MMPUB セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。	R(注1)

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。
注 1. 本ビットは読み出しのみ可能です。

MMPUBSA0 ビット（MMPUB セキュリティ属性）

MMPUBSA0 ビットは、バスマスタ MPU 領域設定レジスタ、保護レジスタ、OAD レジスタ用レジスタのセキュリティ属性を指定します。対象レジスタは以下です。

- MMPUENDMAC
- MMPUENPTDMAC
- MMPURPTDMAC
- MMPURPTDMAC_SEC
- MMPUOAD
- MMPUOADPT

MMPUBSA0 ビットが 0（セキュア）である場合は、セキュアユーザーが非セキュアユーザーに対して、MMPURPTDMAC 値を変更するためのセキュア API を提供します。

14.3.1.3 MMPUSDMACn : DMAC 用 MMPU スタートアドレスレジスタ（n = 0～7）

Base address: RMPU = 0x4000_0000

Offset address: 0x0204 + 0x010 × n

Bit position:	31	5	4	3	2	1	0
Bit field:	MMPUS[31:5]	—	—	—	—	—	—
Value after reset:	x x x x x x x x x x x x x x x x x x x x x x x x x x x	0	0	0	0	0	

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
31:5	MMPUS[31:5]	領域スタートアドレスレジスタ 領域スタートアドレス（領域決定に使用）	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。

- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

MMPUSDMACn（n = 0～7）レジスタは、領域開始位置のアドレスを指定します。

本レジスタは、ワードアクセスをする必要があります。バイトアクセスやハーフワードアクセスはしないでください。バイトアクセスやハーフワードアクセスは動作保証の対象外です。

MMPUSDMACn（n = 0～7）、MMPUEDMACn（n = 0～7）、および MMPUACDMACn（n = 0～7）レジスタで設定される領域をセキュアアクセスに設定するか非セキュアアクセスに設定するかは、MMPUSARA レジスタで設定します。対応する MMPUSARA.MMPUASAn（n = 0～7）ビットが 1 に設定されると、その領域には非セキュアアクセスのみが許可されます。一方、対応する MMPUSARA.MMPUASAn（n = 0～7）ビットが 0 に設定されると、その領域にはセキュアアクセスのみが許可されます。

14.3.1.4 MMPUEDMACn : DMAC 用 MMPU エンドアドレスレジスタ（n = 0～7）

Base address: RMPU = 0x4000_0000

Offset address: 0x0208 + 0x010 × n

Bit position:	31																							5					0
Bit field:	MMPUE[31:5]																							—	—	—	—	—	
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	1	1	1	1	1	

ビット	シンボル	機能	R/W
4:0	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
31:5	MMPUE[31:5]	領域エンドアドレスレジスタ 領域エンドアドレス（領域決定に使用）	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

MMPUEDMACn（n = 0～7）レジスタは、領域終了位置のアドレスを指定します。

本レジスタは、ワードアクセスをする必要があります。バイトアクセスとハーフワードアクセスは禁止されています。バイトアクセスとハーフワードアクセスを実行した場合には、その動作を保証していません。

14.3.1.5 MMPUACDMACn : DMAC 用 MMPU アクセスコントロールレジスタ（n = 0～7）

Base address: RMPU = 0x4000_0000

Offset address: 0x0200 + 0x010 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	WP	RP	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	領域有効 0: DMAC 領域 n ユニット無効 1: DMAC 領域 n ユニット有効	R/W
1	RP	読み出し保護 0: 読み出し許可 1: 読み出し保護	R/W
2	WP	書き込み保護 0: 書き込み許可 1: 書き込み保護	R/W

ビット	シンボル	機能	R/W
15:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

領域 n ユニットごとに、ENABLE ビット、RP ビット、WP ビットを個別に設定します。

ENABLE ビット（領域有効）

ENABLE ビットは、DMAC/DTC 領域 n（n = 0〜7）ユニットを有効または無効にします。

ENABLE ビットが 1 に設定されると、RP ビットと WP ビットは MMPUSDMACn（n = 0〜7）と MMPUEDMACn（n = 0〜7）の範囲への読み出し保護および書き込み保護に対するアクセス許可を制御します。

ENABLE ビットを 0 にした場合、DMAC 領域 n（n = 0〜7）へのアクセスは領域外となります。

RP ビット（読み出し保護）

RP ビットは、DMAC/DTC 領域 n（n = 0〜7）読み出し保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、RP ビットを使用可能になります。

WP ビット（書き込み保護）

WP ビットは、DMAC/DTC 領域 n（n = 0〜7）の書き込み保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、WP ビットを使用可能になります。

表 14.4 DMAC 用領域制御回路の機能

MMPUACDMACn（n = 0〜7）			アクセス	領域	DMAC 領域 n ユニットの出力（n = 0〜7）
ENABLE	RP	WP			
0	—	—	リード	—	外部領域
			ライト		外部領域
1	0	0	リード	内部	許可領域
				外部	外部領域
			ライト	内部	許可領域
				外部	外部領域
	0	1	リード	内部	許可領域
				外部	外部領域
			ライト	内部	保護領域
				外部	外部領域
	1	0	リード	内部	保護領域
				外部	外部領域
			ライト	内部	許可領域
				外部	外部領域
	1	1	リード	内部	保護領域
				外部	外部領域
			ライト	内部	保護領域
				外部	外部領域

注. DMAC と DTC の各領域は、MMPUSARA レジスタによりセキュアアクセスまたは非セキュアアクセスに設定されます。この場合では、セキュアアクセスにおける非セキュア領域と、非セキュアアクセスにおけるセキュア領域は領域外となります。

表 14.5 DMAC 用マスタ制御回路の機能

MMPUENDMAC ENABLE	DMAC 領域 0 ユニットの出力	DMAC 領域 1 ユニットの出力	DMAC 領域 2～7 ユニットの出力	DMAC の機能
1	保護領域	Don't care	Don't care	エラー発生
	Don't care	保護領域	Don't care	エラー発生
	Don't care	Don't care	保護領域	エラー発生
	外部領域	外部領域	外部領域	エラー発生
上記以外				エラー発生なし

マスタ MPU エラーは下記の条件で発生します。

1. MMPUENDMAC.ENABLE = 1 で、かつ 1 つ以上の領域 n ユニットの出力が、保護領域の場合
2. MMPUENDMAC.ENABLE = 1、かつすべての領域 n ユニットの出力が領域外の場合

その他の場合は許可領域として処理される

14.3.1.6 MMPUENDMAC : DMAC 用 MMPU イネーブルレジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x0100

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	DMAC のバスマスタ MPU 有効 0: DMAC のバスマスタ MPU 無効 1: DMAC のバスマスタ MPU 有効	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード ENABLE ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

ENABLE ビット（DMAC のバスマスタ MPU 有効）

ENABLE ビットは、マスタグループごとにバスマスタ MPU 機能を有効または無効にします。

ENABLE ビットを 1 に設定すると、MMPUACDMACn（n = 0～7）レジスタを使用可能になります。ENABLE ビットを 0 に設定すると、MMPUACDMACn（n = 0～7）レジスタがすべての領域に対して使用できなくなります。バスマスタ MPU 機能は、各マスタグループの ENABLE ビットを設定します。ENABLE ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、ENABLE ビットへの書き込みを許可または禁止します。ENABLE ビットへ書き込み際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。0xA5 以外の値を KEY[7:0]ビットに書き込むと、ENABLE ビットは更新されません。 KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

14.3.1.7 MMPUENPTDMAC : DMAC 用 MMPU イネーブル保護レジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x0104

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: MMPUENDMAC レジスタの書き込みは可能 1: MMPUENDMAC レジスタの書き込みから保護。読み出しは可能。	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、MMPUENDMAC レジスタへの書き込みを許可または禁止します。

PROTECT ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。0xA5 以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

14.3.1.8 MMPURPTDMAC : DMAC 用 MMPU 領域保護レジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x0108

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: DMAC 用バスマスタ MPU レジスタの書き込みは可能 1: DMAC 用バスマスタ MPU レジスタの書き込みから保護。読み出しは可能。	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPURPTDMAC.PROTECT ビットは下記のレジスタを制御します。

- 非セキュアプログラムの MMPUSDMACn（n = 0～7）レジスタ
- 非セキュアプログラムの MMPUEDMACn（n = 0～7）レジスタ
- 非セキュアプログラムの MMPUACDMACn（n = 0～7）レジスタ

PROTECT ビットへ書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。これ以外の値を書き込むと、PROTECT ビットは更新されません。

KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

14.3.1.9 MMPURPTDMAC_SEC : DMAC セキュリティ用 MMPU 領域保護レジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x010C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: DMAC 用バスマスタ MPU レジスタのセキュア書き込みは可能 1: DMAC 用バスマスタ MPU レジスタのセキュア書き込みから保護。読み出しは可能。	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPURPTDMAC_SEC.PROTECT ビットは下記のレジスタを制御します。

- セキュアプログラムの MMPUSDMACn（n = 0～7）レジスタ
- セキュアプログラムの MMPUEDMACn（n = 0～7）レジスタ
- セキュアプログラムの MMPUACDMACn（n = 0～7）レジスタ

PROTECT ビットへ書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。これ以外の値を書き込むと、PROTECT ビットは更新されません。

KEY[7:0]ビットは、読むと常に 0x00 が読み出されます。

14.3.1.10 MMPUOAD : MMPU 検出後の動作レジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x0000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード OAD ビットへの書き込みを許可／禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

OAD ビット（検出後の動作）

OAD ビットは、バスマスタ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか指定します。

OAD ビットへ書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、OAD ビットへの書き込みを許可または禁止します。OAD ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。これ以外の値を書き込むと、OAD ビットは更新されません。

KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

14.3.1.11 MMPUOADPT : MMPU 検出後の動作保護レジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x0004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: MMPUOAD レジスタの書き込みは可能 1: MMPUOAD レジスタの書き込みから保護。読み出しは可能。	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPUOADPT.PROTECT ビットは下記のレジスタを制御します。

- MMPUOAD

同時に PROTECT ビットを設定する際は、ハーフワードアクセスによって KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。同時に PROTECT ビットへ書き込む際は、KEY[7:0]ビットに 0xA5 を書き込んでください。これ以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0]ビットは、読むと常に 0x00 が読み出されます。

14.3.2 機能説明

14.3.2.1 メモリプロテクション

バスマスタ MPU は、各アクセス制御領域に設定されたアクセス制御情報を用いてメモリアクセスを監視します。保護領域に対するからのアクセスが検出されると、バスマスタ MPU はメモリプロテクションエラーを発生させます。

バスマスタ MPU は最大 8 つの保護領域まで設定可能です。許可領域と保護領域がオーバーラップした領域は保護領域であり、2 つの保護領域がオーバーラップした領域も保護領域です。

バスマスタ MPU には DMAC/DTC のマスタグループがあります。

メモリプロテクション機能は、統合したマスタグループに対してバスのアドレスをチェックするため、マスタグループによる全アクセスが検出されます。

DMAC/DTC 用バスマスタ MPU の領域設定レジスタは、MMPUSARA レジスタを使用したセキュアアクセスおよび非セキュアアクセスに対して設定可能です。各 DMAC/DTC チャネルや対応するバスマスタ MPU の領域設定レジスタに対して、セキュアアクセスおよび非セキュアアクセスの設定を同じにしてください。

バスマスタ MPU はリセット後に全領域が許可領域となります。MMPUENDMAC.ENABLE = 1 にすることにより、全領域が保護されます。

領域ごとに、許可領域が保護領域上に設定されます。保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。

図 14.1 に、バスマスタ MPU の使用例を示します。

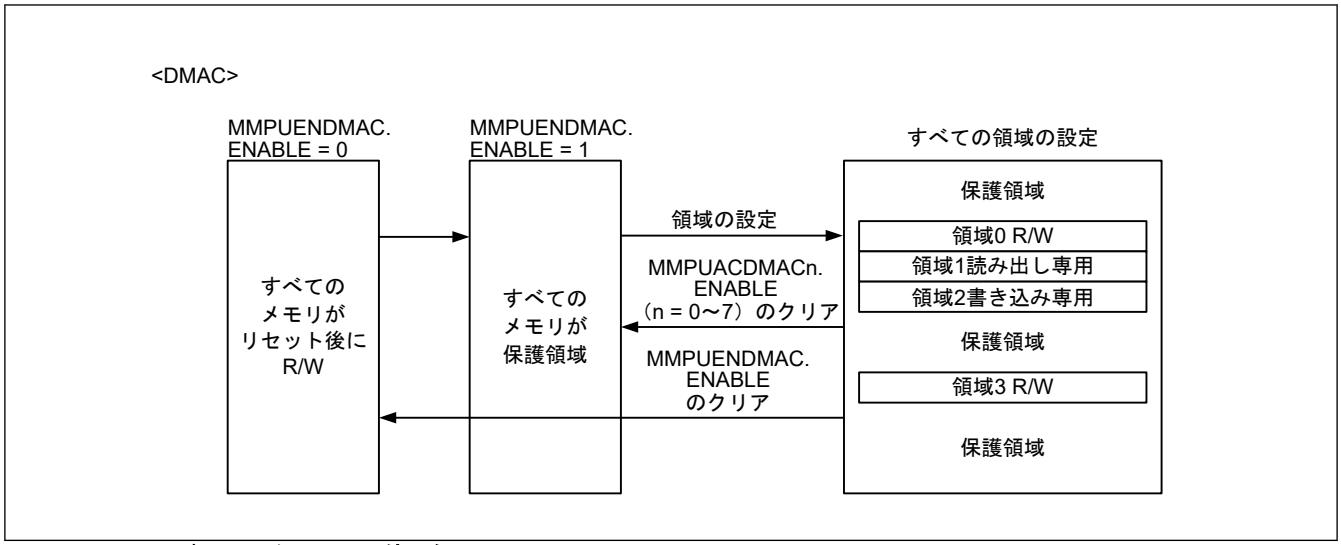


図 14.1　バスマスタ MPU の使用例

図 14.2 に、領域のオーバーラップによるアクセス制御について示します。

オーバーラップ領域へのアクセス制御は以下のとおりです。

- 1 つ以上の領域の出力が保護領域の場合、領域は保護領域として処理されます。
- 全領域の出力が領域外の場合、領域は保護領域として処理されます。
- 他の場合は許可領域として処理されます。

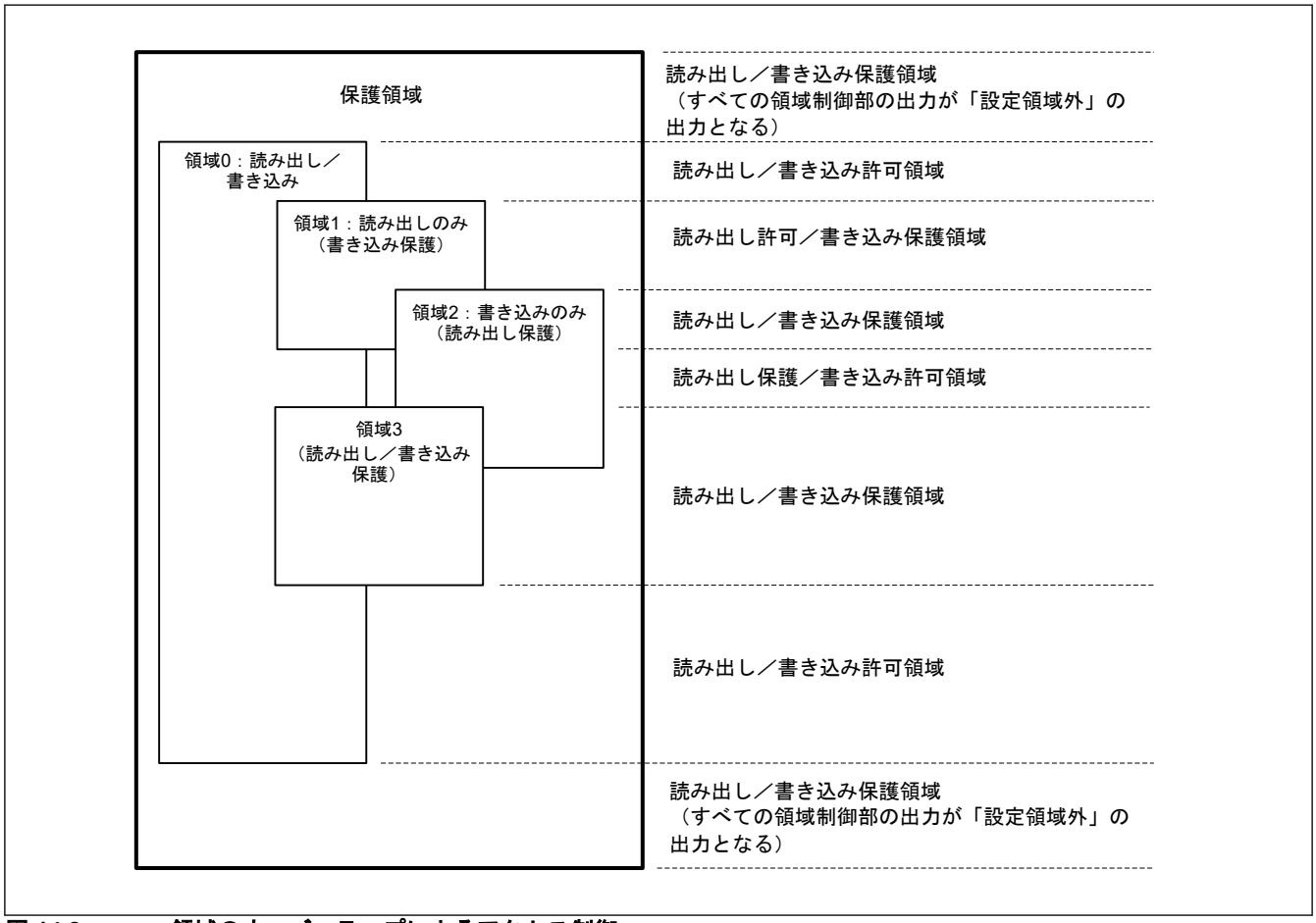


図 14.2　領域のオーバーラップによるアクセス制御

図 14.3 にリセット後のレジスタ設定フローを示します。本レジスタ設定中は、CPU 以外のすべてのバスマスタを停止してください。

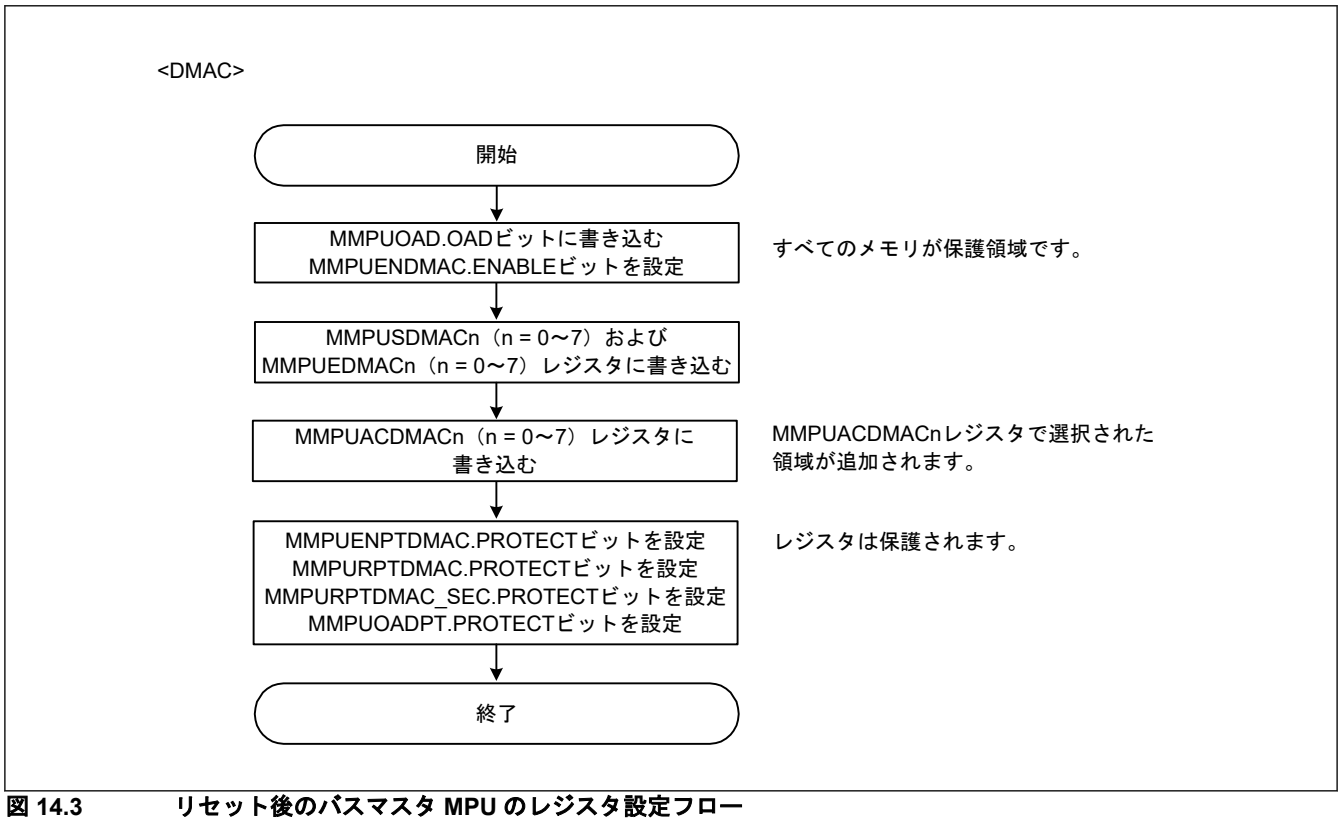


図 14.3 リセット後のバスマスタ MPU のレジスタ設定フロー

図 14.4 に領域追加のレジスタ設定フローを示します。本レジスタ設定中は、CPU 以外のすべてのマスタを停止してください。

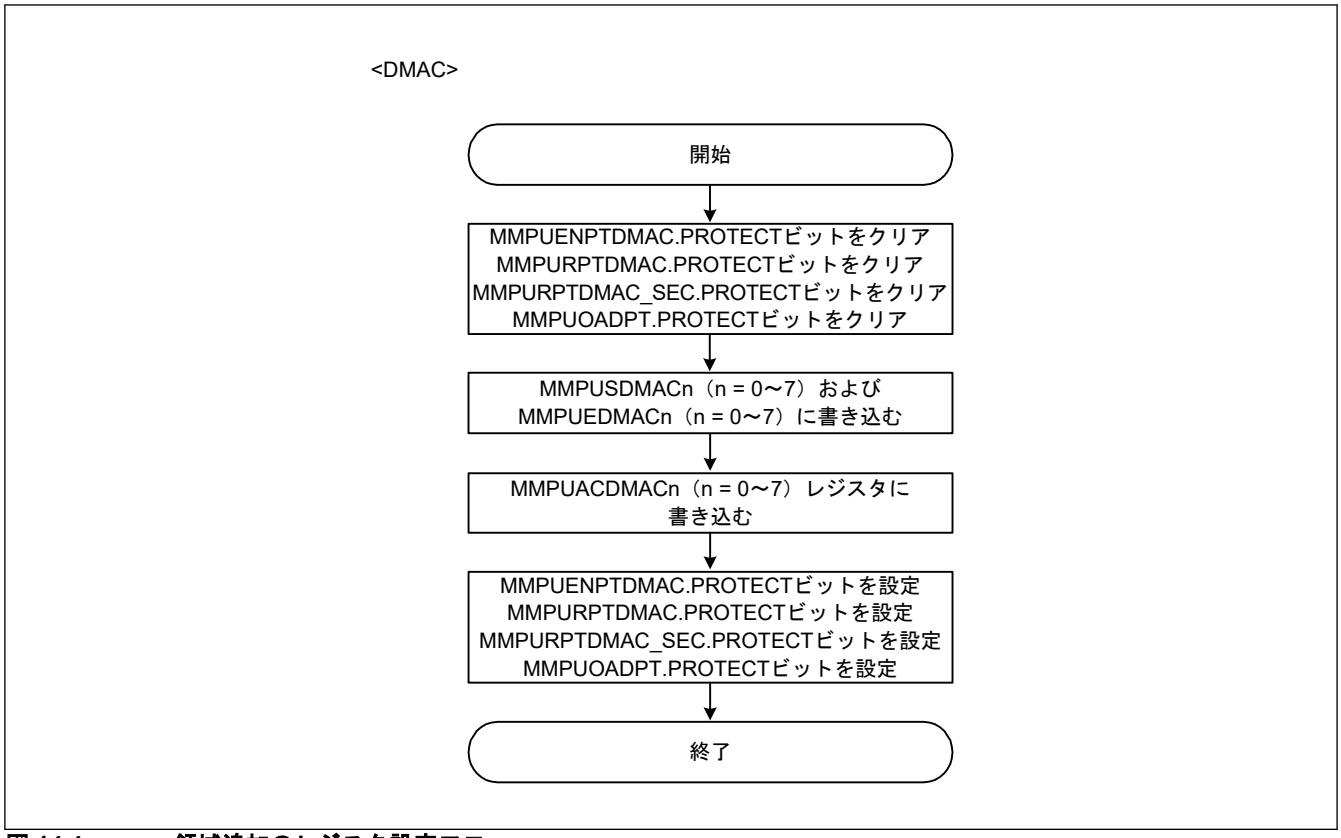


図 14.4　領域追加のレジスタ設定フロー

14.3.2.2　レジスタの保護

バスマスタ MPU 関連のレジスタは、MMPUENPTDMAC、MMPURPTDMAC、MMPURPTDMAC_SEC、および MMPUOADPT レジスタの PROTECT ビットで保護することが可能です。

表 14.6　PROTECT ビットと保護対象レジスタ

PROTECT ビット	保護対象レジスタ
MMPUENPTDMAC.PROTECT	MMPUENDMAC
MMPURPTDMAC.PROTECT	以下のレジスタは、MMPUSARA.MMPUASAn（n = 0～7）により、非セキュアに設定されます。 MMPUSDMACn（n = 0～7） MMPUEDMACn（n = 0～7） MMPUACDMACn（n = 0～7）
MMPURPTDMAC_SEC.PROTECT	以下のレジスタは、MMPUSARA.MMPUASAn（n = 0～7）により、セキュアに設定されます。 MMPUSDMACn（n = 0～7） MMPUEDMACn（n = 0～7） MMPUACDMACn（n = 0～7）
MMPUOADPT.PROTECT	MMPUOAD

14.3.2.3　メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。メモリプロテクションエラーは、OAD ビットによってノンマスカブル割り込みまたはリセットのいずれかを選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.BUSMST フラグに示されます。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。リセットの状態は SYSTEM.RSTSR1.BUSMRF フラグに示されます。詳細は、「5. リセット」を参照してください。

14.4　参考資料

1. *Arm®v8-M Architecture Reference Manual* (ARM DDI0553B.g)

2. *Arm® Cortex®-M33 Processor Technical Reference Manual* (ARM 100230_0004_00_en)

15. DMA コントローラ (DMAC)

15.1 概要

本 MCU は、8 チャネルの DMA コントローラ (DMAC) を内蔵しており、CPU を介さずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。

表 15.1 に DMAC の仕様を、図 15.1 に DMAC のブロック図を示します。

表 15.1 DMAC の仕様 (1/2)

項目		内容
チャネル数		8 チャネル（DMACn（n = 0～7））
転送空間		4 GB （0x0000_0000～0xFFFF_FFFF のうち、予約領域を除く領域）
最大転送データ数		64M データ （ブロック転送モードにおける最大転送数：1,024 データ／ブロック × 65,536 ブロック）
DMAC 起動要因		チャネルごとに個別に選択可能 ● ソフトウェアトリガ ● 周辺モジュールからの割り込み要求／外部割り込み入力端子からのトリガ(注1)
チャネル優先順位		チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3... > チャネル 7（チャネル 0: 最優先）
転送データ	1 データ	ビット長：8 ビット、16 ビット、32 ビット
	ブロックサイズ	データ数：1～1024
転送モード	ノーマル転送モード	● 1 回の DMA 転送要求で 1 データを転送 ● 設定可能なフリーランニング機能（データ転送の全回数の設定の指定なし）
	リピート転送モード	● 1 回の DMA 転送要求で 1 データを転送 ● 転送元または転送先に指定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 ● 設定可能な最大リピートサイズ：1024 ● 選択可能なフリーランニング機能
	リピート／ブロック転送モード	● 1 回の DMA 転送要求で 1 ブロックを転送 ● 設定可能な最大ブロックサイズ：1024 ● ブロック転送はリピート可能 ● 設定可能な最大リピートサイズ：64K ● 選択可能なフリーランニング機能
	ブロック転送モード	● 1 回の DMA 転送要求で 1 ブロックを転送 ● 設定可能な最大ブロックサイズ：1024 ● 選択可能なフリーランニング機能
選択機能	拡張リピート領域機能	● 転送アドレスレジスタの上位ビット値を固定したまま、特定範囲のアドレス値を繰り返すことでデータ転送が可能 ● 拡張リピート領域は 2 バイトから 128 MB まで転送元、転送先別に設定可能
DMA 転送エラーの処理		● DMAC 転送エラー発生時に、エラーを発生させたチャネルの転送を停止 ● DMAC エラーチャネルの起動要求用レジスタのクリア要求を ICU に送信
CPU 割り込み要因 (DMACn_INT)	転送終了割り込み	転送カウンタで設定したデータ数の転送終了時に発生
	転送エスケープ終了割り込み	● リピートサイズ分のデータ転送の終了時に発生 ● 拡張リピート領域の転送元アドレスがオーバーフローした時に発生 ● 拡張リピート領域の転送先アドレスがオーバーフローした時に発生
CPU 割り込み要因 (DMA_TRANSERR)	エラー応答検出割り込み	DMAC 転送エラーが生じた時に発生
イベントリンク機能 (DMACn_INT)		各データ転送後（ブロックの場合は各ブロック転送後）、イベントリンク要求を発生
マスタ TrustZone フィルタ		非セキュアチャネルがバスにアクセスする前に、フラッシュや SRAM の TrustZone 違反領域が検出されます。
モジュールストップ機能		モジュールストップ状態の設定が可能

表 15.1 DMAC の仕様 (2/2)

項目	内容
TrustZone フィルタ	各チャネルに対してセキュリティ属性の設定が可能

注. DMAC チャネルのセキュリティ属性レジスタは ICU.ICUSARC で説明されます。
注 1. DMAC の起動要因については、「12. 割り込みコントローラユニット (ICU)」の表 12.4 を参照してください。

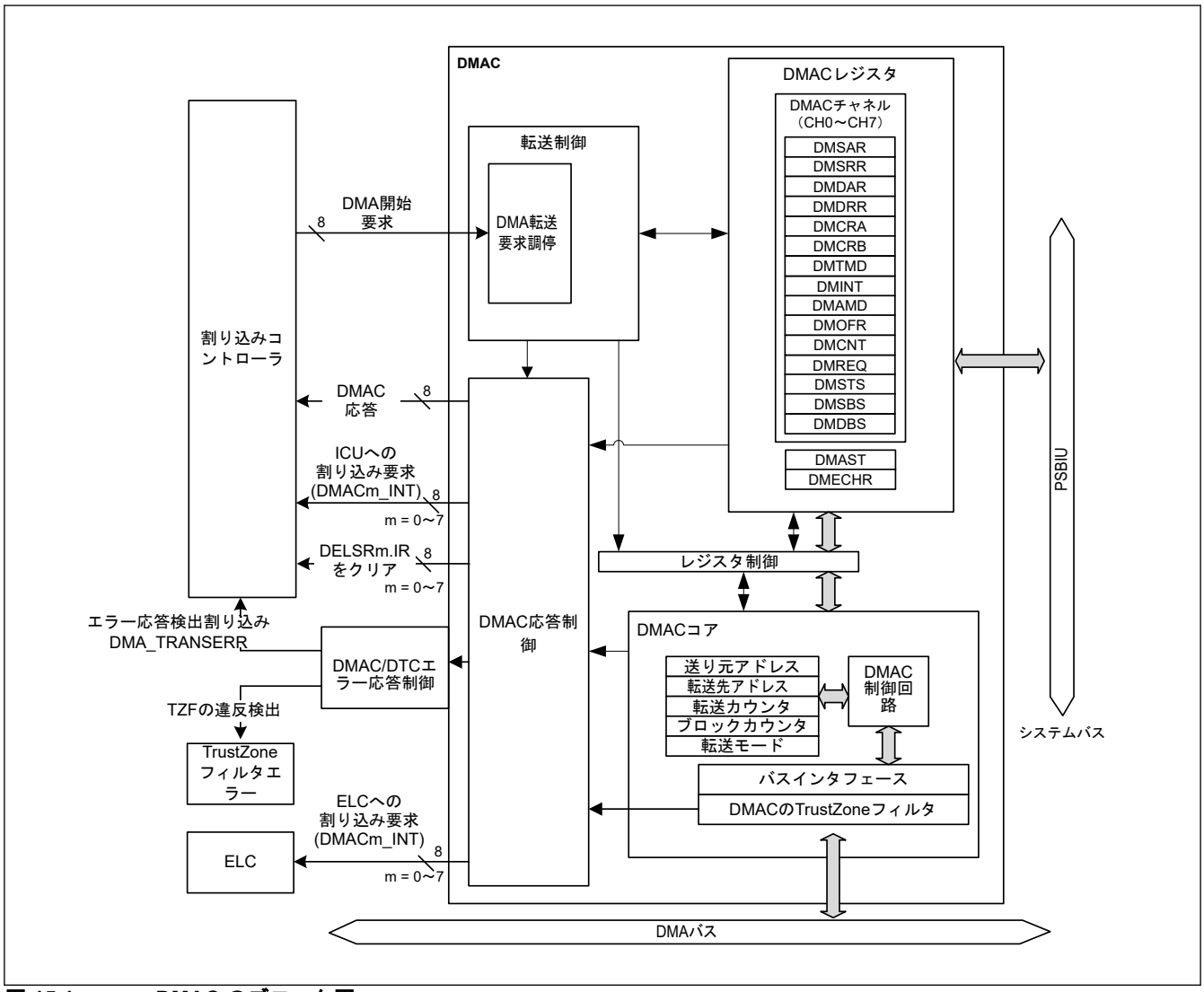


図 15.1 DMAC のブロック図

15.2 レジスタの説明

15.2.1 DMACSAR : DMAC コントローラセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x34

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMASTSA
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	DMASTSA	DMAST セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

DMAC ではセキュリティ属性は各チャネルに設定されます。ただし、本レジスタは DMAST レジスタのセキュリティ属性のみを設定します。各チャネルにおけるセキュリティ属性の設定を「12.2.3. ICUSARC : 割り込みコントローラセキュリティ属性レジスタ C」に示します。

DMASTSA ビット（DMAST セキュリティ属性）

DMASTSA ビットは DMAST 用レジスタのセキュリティ属性を指定します。DMA 転送が有効またはバスマスタが DMA レジスタに書き込んでいる間は、DMASTSA ビットに書き込まないでください。

15.2.2 DMSAR : DMA 転送元アドレスレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x00

Bit position:	31	0
Bit field:		
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	n/a	転送元の開始アドレスを設定 設定範囲：0x0000_0000～0xFFFF_FFFF (4 GB)	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

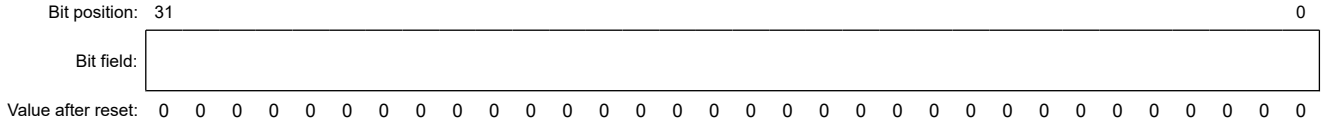
DMSAR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

15.2.3 DMSRR : DMA 転送元リロードアドレスレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x20



ビット	シンボル	機能	R/W
31:0	n/a	転送元リロードアドレス指定 設定範囲：0x0000_0000～0xFFFF_FFFF (4 GB)	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DMSRR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

DMSRR は DMSAR の初期値です。リピート／ブロック転送モードにおいて、DMSAR は転送終了後に DMSRR の値をリロードします。

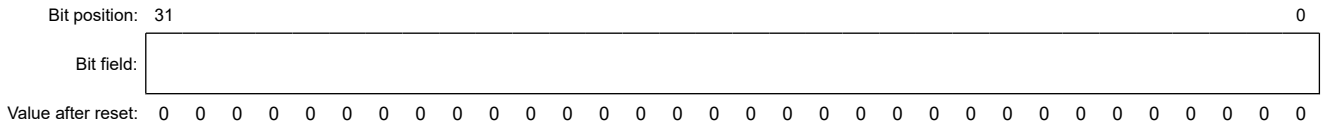
ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMSRR は使用されず、その設定は無効です。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

15.2.4 DMDAR : DMA 転送先アドレスレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x04



ビット	シンボル	機能	R/W
31:0	n/a	転送先の開始アドレスを設定 設定範囲：0x0000_0000～0xFFFF_FFFF (4 GB)	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DMDAR レジスタは、DMAC 起動禁止 (DMAST.DMST = 0)、または DMA 転送禁止 (DMCNT.DTE = 0) のときに設定してください。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

15.2.5 DMDRR : DMA 転送先リロードアドレスレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x24

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	転送先リロードアドレス指定 設定範囲：0x0000_0000～0xFFFF_FFFF (4 GB)	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DMDRR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

DMDRR は DMDAR の初期値です。リピート／ブロック転送モードにおいて、DMDAR は転送終了後に DMDRR の値をリロードします。

ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMDRR は使用されず、その設定は無効です。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

15.2.6 DMCRA : DMA 転送カウントレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	DMCRAH[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMCRAL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMCRAL[15:0]	転送カウント下位ビット 転送回数を設定	R/W
25:16	DMCRAH[9:0]	転送カウント上位ビット 転送回数を設定	R/W
31:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

リピート転送モード、ブロック転送モードおよびリピート／ブロック転送モードでは、DMCRAH ビットと DMCRAL ビットに同じ値を設定してください。リピート転送モード、ブロック転送モードおよびリピート／ブロック転送モードではビット 15～ビット 10 は 0 に固定です。

(1) ノーマル転送モード (DMTMD.MD[1:0] = 00b) の場合

ノーマル転送モードでは、DMCRAL レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回となります。1 回のデータ転送を行うたびにデクリメント (–1) されます。

設定値が 0x0000 のときは転送回数の指定なしとなり、転送カウンタが停止した状態でデータ転送を行います（フリーランニング機能）。

ノーマル転送モードでは、フリーランニング機能は DMTMD.TKP ビットにより選択されません。

ノーマル転送モードでは、DMCRAH レジスタを使用しないでください。DMCRAH レジスタへは 0x0000 を書いてください。

(2) リピート転送モード (DMTMD.MD[1:0] = 01b) の場合

リピート転送モードでは、DMCRAH レジスタはリピートサイズを指定し、DMCRAL レジスタは 10 ビットの転送カウンタとして機能します。

転送回数は、設定値が 0x001 のときは 1 回、0x3FF のときは 1023 回、0x000 のときは 1024 回となります。リピート転送モードでは、0x000～0x3FF（1～1024 回）の範囲の値を DMCRAH レジスタと DMCRAL レジスタに設定可能です。

DMCRAL[15:10]ビットの設定は無効です。これらのビットには 0 を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (–1) され、0x000 になると DMCRAH レジスタの値が DMCRAL レジスタにロードされます。

(3) ブロック転送モード (DMTMD.MD[1:0] = 10b) の場合

ブロック転送モードでは、DMCRAH レジスタはブロックサイズを指定し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。

設定値が 0x001 のときはブロックサイズ 1、0x3FF のときはブロックサイズ 1023、0x000 のときはブロックサイズ 1024 となります。ブロック転送モードでは、0x000～0x3FF の範囲の値を DMCRAH レジスタと DMCRAL レジスタに設定可能です。

DMCRAL[15:10]ビットの設定は無効です。これらのビットには 0 を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (–1) され、0x000 になると DMCRAH レジスタの値が DMCRAL レジスタにロードされます。

(4) リピート／ブロック転送モード (DMTMD.MD[1:0] = 11b) の場合

リピート／ブロック転送モードでは、DMCRAH レジスタはブロックサイズを指定し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。

設定値が 0x001 のときはブロックサイズ 1、0x3FF のときはブロックサイズ 1023、0x000 のときはブロックサイズ 1024 となります。このモードでは、DMCRAH レジスタと DMCRAL レジスタの設定可能範囲は、0x000～0x3FF です。

DMCRAL[15:10]ビットの設定は無効です。これらのビットには 0 を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (–1) され、0x000 になると DMCRAH レジスタの値が DMCRAL レジスタにロードされます。

15.2.7 DMCRB : DMA ブロック転送カウントレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DMCRBH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMCRBL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMCRBL[15:0]	ブロック転送回数、リピート転送回数またはリピート／ブロック転送回数をカウント 0x0001～0xFFFF（1～65535） 0x0000 (65536)	R/W
31:16	DMCRBH[15:0]	ブロック転送回数、リピート転送回数またはリピート／ブロック転送回数を設定 0x0001～0xFFFF（1～65535） 0x0000 (65536)	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

リピート転送モード、ブロック転送モード、およびリピート／ブロック転送モードでは、DMCRBH ビットと DMCRBL ビットに同じ値を設定してください。

DMCRBH ビットは、ブロック転送モード時、リピート転送モード時、およびリピート／ブロック転送モード時の転送回数を指定します。また、DMCRBL ビットは、ブロック転送モード時、リピート転送モード時、およびリピート／ブロック転送モード時に 16 ビットの転送回数カウンタとして機能します。

転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。

リピート転送モードの場合、1 リピートサイズの最終データ転送時にデクリメント (–1) されます。

ブロック転送モードおよびリピート／ブロック転送モードの場合、最終ブロックのデータ転送時にデクリメント (–1) されます。

ノーマル転送モードでは、設定は無効ですので、DMCRB レジスタは使用しないでください。

DMTMD.TKP = 1 で 1 リピートサイズまたは 1 ブロックサイズの最終データ転送時に、DMCRBL ビットは自動的に DMCRBH ビットの値をリロードします。

15.2.8 DMTMD : DMA 転送モードレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x10

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MD[1:0]		DTS[1:0]		—	TKP	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	DCTG[1:0]	転送要求元選択 0 0: ソフトウェア 0 1: 周辺モジュールまたは外部割り込み入力端子からの割り込み(注1) 1 0: 設定禁止 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
9:8	SZ[1:0]	転送データサイズ選択 0 0: 8 ビット 0 1: 16 ビット 1 0: 32 ビット 1 1: 設定禁止	R/W
10	TKP	転送継続 0: 設定した総転送回数完了により転送が終了する 1: 設定した総転送回数完了により転送が終了しない（フリーランニング）	R/W
11	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
13:12	DTS[1:0]	リピート領域選択 0 0: 転送先をリピート領域またはブロック領域に設定 0 1: 転送元をリピート領域またはブロック領域に設定 1 0: リピート領域、ブロック領域の設定なし 1 1: 設定禁止	R/W
15:14	MD[1:0]	転送モード選択 0 0: ノーマル転送 0 1: リピート転送 1 0: ブロック転送 1 1: リピート／ブロック転送	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. DMAC の起動要因を選択するには、ICU の DELSRn レジスタを使用してください。DMAC の起動要因については、表 12.4（「12. 割り込みコントローラユニット (ICU)」）を参照してください。

DTS[1:0]ビット（リピート領域選択）

DTS[1:0]ビットは、リピート転送またはブロック転送モードにおいて、リピート領域としての転送元または転送先を選択します。ノーマル転送モードまたはリピート／ブロック転送モードでは、これらのビットの設定値は無効です。

TKP ビット（転送継続）

TKP ビットは、リピート転送、ブロック転送、またはリピート／ブロック転送モードにおいて、設定した総転送回数完了により転送が終了するか、継続するかを選択します。ノーマル転送モードでは、このビットの設定値は無効です。

15.2.9 DMINT : DMA 割り込み設定レジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x13

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DARIE	転送先アドレス拡張リピート領域オーバーフロー割り込み許可 0: 転送先アドレス拡張リピート領域オーバーフロー割り込み要求を禁止 1: 転送先アドレス拡張リピート領域オーバーフロー割り込み要求を許可	R/W

ビット	シンボル	機能	R/W
1	SARIE	転送元アドレス拡張リピート領域オーバーフロー割り込み許可 0: 転送元アドレス拡張リピート領域オーバーフロー割り込み要求を禁止 1: 転送元アドレス拡張リピート領域オーバーフロー割り込み要求を許可	R/W
2	RPTIE	リピートサイズ終了割り込み許可 0: リピートサイズ終了割り込み要求を禁止 1: リピートサイズ終了割り込み要求を許可	R/W
3	ESIE	転送エスケープ終了割り込み許可 0: 転送エスケープ終了割り込み要求を禁止 1: 転送エスケープ終了割り込み要求を許可	R/W
4	DTIE	転送終了割り込み許可 0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DARIE ビット（転送先アドレス拡張リピート領域オーバーフロー割り込み許可）

DARIE ビットが 1 のときに、転送先アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、転送先アドレスの拡張リピート領域オーバーフローによって割り込みが要求されることを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1 ブロック分のデータ転送終了後に割り込み要求が発生します。転送を終了したチャネルの DMCNT.DTE ビットを 1 にすると、転送終了時の状態から再び転送を開始することができます。

転送先アドレスに拡張リピート領域を設定していない場合、このビットは無視されます。

リピートブロック転送モードへ設定する場合、本ビットを使用しないでください。

SARIE ビット（転送元アドレス拡張リピート領域オーバーフロー割り込み許可）

SARIE ビットが 1 のときに、転送元アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、転送元アドレスの拡張リピート領域オーバーフローによって割り込みが要求されることを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1 ブロック分のデータ転送終了後に割り込み要求が発生します。転送を終了したチャネルの DMCNT.DTE ビットを 1 にすると、転送終了時の状態から再び転送を開始することができます。

転送元アドレスに拡張リピート領域を設定していない場合は、このビットは無視されます。

リピートブロック転送モードへ設定する場合、本ビットを使用しないでください。

RPTIE ビット（リピートサイズ終了割り込み許可）

リピート転送モードにおいて RPTIE ビットを 1 にすると、1 リピートサイズ分のデータ転送終了後に DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0]ビットを 10b（リピート領域、ブロック領域の指定なし）にしたときも、リピートサイズ終了割り込み要求を発生させることができます。

このビットをブロック転送モードで 1 にしたときも、リピート転送モードの場合と同様に 1 ブロックのデータ転送終了後に DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0]ビットを 10b（リピート領域、ブロック領域の指定なし）にしたときも、リピートサイズ終了割り込み要求を発生させることができます。

リピートブロック転送モードへ設定する場合、本ビットを使用しないでください。

ESIE ビット（転送エスケープ終了割り込み許可）

ESIE ビットは DMA 転送中に発生した転送エスケープ終了割り込み要求（リピートサイズ終了割り込み要求、拡張リピート領域オーバーフロー割り込み要求）を許可します。

このビットが 1 のとき割り込みが発生して、DMSTS.ESIF フラグが 1 になります。転送エスケープ終了割り込みを解除するには、このビットまたは DMSTS.ESIF フラグを 0 にします。

DTIE ビット（転送終了割り込み許可）

DTIE ビットは指定した回数のデータ転送が終了したときに発生する転送終了割り込み要求を許可します。

このビットが 1 のとき、DMSTS.DTIF フラグが 1 になると、転送終了割り込みが発生します。転送終了割り込みを解除するには、このビットまたは DMSTS.DTIF フラグを 0 にします。

15.2.10 DMAMD : DMA アドレスモードレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x14

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SM[1:0]		SADR	SARA[4:0]					DM[1:0]		DADR	DARA[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	DARA[4:0]	転送先アドレス拡張リピート領域設定 転送先アドレスに拡張リピート領域を設定します。設定についての詳細は、表 15.2 を参照してください。	R/W
5	DADR	リロード後の転送先アドレス更新選択 0: リロードのみ 1: リロード後にインデックス追加	R/W
7:6	DM[1:0]	転送先アドレス更新モード設定 0 0: 転送先アドレス固定 0 1: オフセット加算 1 0: 転送先アドレスインクリメント 1 1: 転送先アドレスデクリメント	R/W
12:8	SARA[4:0]	転送元アドレス拡張リピート領域設定 転送元アドレスに拡張リピート領域を設定します。設定値についての詳細は、表 15.2 を参照してください。	R/W
13	SADR	リロード後の転送元アドレス更新選択 0: リロードのみ 1: リロード後にインデックス追加	R/W
15:14	SM[1:0]	転送元アドレス更新モード設定 0 0: 転送元アドレス固定 0 1: オフセット加算 1 0: 転送元アドレスインクリメント 1 1: 転送元アドレスデクリメント	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DARA[4:0]ビット（転送先アドレス拡張リピート領域設定）

DARA[4:0]ビットは転送先アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2 バイトから 128 MB まで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMTMD.DTS[1:0] = 00b（転送先にリピート領域またはブロック領域を設定）であれば、DARA[4:0]ビットには 00000b を書いてください。

リピート／ブロック転送モードでは、DARA[4:0]ビットには 00000b を書いてください。

拡張リピート領域でオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.DARIE ビットを 1 にしてください。 表 15.2 には、各設定値に対応した拡張リピート領域が示されています。

DADR ビット（リロード後の転送先アドレス更新選択）

リピート／ブロック転送モードでは、本ビットは DMDRR リロード後の DMDAR の動作を指定します。

本ビットに 1 を設定すると、DMDRR リロード後の DMDAR にインデックス値（(DMDBSH-DMDBSL) × データサイズ）が付加されます。

本ビットに 0 を設定すると、DMDAR は DMDRR はリロードするだけです。本動作を表 15.13 に示します。

通常のリピート／ブロック転送モードでは、本ビットは無視されます。

DM[1:0]ビット（転送先アドレス更新モード設定）

DM[1:0]ビットは転送先アドレスの更新モードを選択します。

インクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、または 10b を設定した場合、転送先アドレスはそれぞれ 1、2、または 4 ごとにインクリメントされます。

デクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、または 10b を設定した場合、転送先アドレスはそれぞれ 1、2、または 4 ごとにデクリメントされます。

オフセット加算を選択した場合、DMOFR レジスタで設定したオフセット値がアドレスに加算されます。

SARA[4:0]ビット（転送元アドレス拡張リピート領域設定）

SARA[4:0]ビットは転送元アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2 バイトから 128 MB まで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMTMD.DTS[1:0] = 01b（転送元にリピート領域またはブロック領域を設定）であれば、SARA[4:0]ビットには 00000b を書いてください。

リピート／ブロック転送モードでは、SARA[4:0]ビットには 00000b を書いてください。

拡張リピート領域でオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.SARIE ビットを 1 にしてください。 表 15.2 には、各設定値に対応した拡張リピート領域が示されています。

SADR ビット（リロード後の転送元アドレス更新選択）

リピート／ブロック転送モードでは、本ビットは DMSRR リロード後の DMSAR の動作を指定します。

本ビットに 1 を設定すると、DMSRR リロード後の DMSAR にインデックス値（(DMSBSH-DMSBSL) × データサイズ）が付加されます。

本ビットに 0 を設定すると、DMSAR は DMSRR はリロードするだけです。本動作を表 15.12 に示します。

通常のリピート／ブロック転送モードでは、本ビットは無視されます。

SM[1:0]ビット（転送元アドレス更新モード設定）

SM[1:0]ビットは転送元アドレスの更新モードを選択します。

インクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、または 10b を設定した場合、転送元アドレスはそれぞれ 1、2、または 4 ごとにインクリメントされます。

デクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、または 10b を設定した場合、転送元アドレスはそれぞれ 1、2、または 4 ごとにデクリメントされます。

オフセット加算を選択した場合、DMOFR レジスタで設定したオフセット値がアドレスに加算されます。

表 15.2 SARA[4:0]ビットまたは DARA[4:0]ビットの設定値と対応するリピート領域

SARA[4:0]ビットまたは DARA[4:0]ビットの設定値	拡張リピート領域
00000b	拡張リピート領域を設定しない
00001b	当該アドレスの下位 1 ビット（2 バイト）を拡張リピート領域に設定
00010b	当該アドレスの下位 2 ビット（4 バイト）を拡張リピート領域に設定
00011b	当該アドレスの下位 3 ビット（8 バイト）を拡張リピート領域に設定
00100b	当該アドレスの下位 4 ビット（16 バイト）を拡張リピート領域に設定
00101b	当該アドレスの下位 5 ビット（32 バイト）を拡張リピート領域に設定
00110b	当該アドレスの下位 6 ビット（64 バイト）を拡張リピート領域に設定
00111b	当該アドレスの下位 7 ビット（128 バイト）を拡張リピート領域に設定
01000b	当該アドレスの下位 8 ビット（256 バイト）を拡張リピート領域に設定
01001b	当該アドレスの下位 9 ビット（512 バイト）を拡張リピート領域に設定
01010b	当該アドレスの下位 10 ビット (1 KB) を拡張リピート領域に設定
01011b	当該アドレスの下位 11 ビット (2 KB) を拡張リピート領域に設定
01100b	当該アドレスの下位 12 ビット (4 KB) を拡張リピート領域に設定
01101b	当該アドレスの下位 13 ビット (8 KB) を拡張リピート領域に設定
01110b	当該アドレスの下位 14 ビット (16 KB) を拡張リピート領域に設定
01111b	当該アドレスの下位 15 ビット (32 KB) を拡張リピート領域に設定
10000b	当該アドレスの下位 16 ビット (64 KB) を拡張リピート領域に設定
10001b	当該アドレスの下位 17 ビット (128 KB) を拡張リピート領域に設定
10010b	当該アドレスの下位 18 ビット (256 KB) を拡張リピート領域に設定
10011b	当該アドレスの下位 19 ビット (512 KB) を拡張リピート領域に設定
10100b	当該アドレスの下位 20 ビット (1 MB) を拡張リピート領域に設定
10101b	当該アドレスの下位 21 ビット (2 MB) を拡張リピート領域に設定
10110b	当該アドレスの下位 22 ビット (4 MB) を拡張リピート領域に設定
10111b	当該アドレスの下位 23 ビット (8 MB) を拡張リピート領域に設定
11000b	当該アドレスの下位 24 ビット (16 MB) を拡張リピート領域に設定
11001b	当該アドレスの下位 25 ビット (32 MB) を拡張リピート領域に設定
11010b	当該アドレスの下位 26 ビット (64 MB) を拡張リピート領域に設定
11011b	当該アドレスの下位 27 ビット (128 MB) を拡張リピート領域に設定
11100b～11111b	設定禁止

15.2.11 DMOFR : DMA オフセットレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x18

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	転送元または転送先のアドレス更新モードとしてオフセット加算が選択されている場合、そのオフセット値を設定 0x00000000～0x00FFFFFF（0 バイト～(16M–1) バイト） 0xFF000000～0xFFFFFFFF（–16 MB～–1 バイト）	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

このレジスタへの書き込みは、データ転送中ではなく、DMAC 動作停止中または DMA 転送が禁止されているときに行ってください。

b31～b25 の設定は無効です。b24 の値が b31～b25 へ拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

リピート／ブロック転送モードでは、オフセット加算が選択された場合、オフセットは DMOFR レジスタにより指定されません。DMOFR レジスタに 0 を書き込んでください。

15.2.12 DMCNT : DMA 転送イネーブルレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DTE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DTE	DMA 転送許可 0: DMA 転送禁止 1: DMA 転送許可	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DTE ビット（DMA 転送許可）

DMA 転送は、DMAST.DMST ビットが 1（DMAC 動作許可）のとき、対応するチャネルの DTE ビットを 1 にすることで、開始することができます。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- 設定された総転送データ数の転送が終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピート領域オーバーフロー割り込みによって DMA 転送が停止したとき
- アクセスエラー発生により、DMA 転送が停止したとき。「15.5. DMA 転送エラーの処理」を参照してください。

15.2.13 DMREQ : DMA ソフトウェア起動レジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x1D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	CLRS	—	—	—	SWREQ
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SWREQ	DMA ソフトウェア起動 0: DMA 転送を要求しない 1: DMA 転送を要求する	R/W
3:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	CLRS	DMA ソフトウェア起動ビット自動クリア選択 0: ソフトウェアによる DMA 転送開始後に SWREQ ビットをクリアする 1: ソフトウェアによる DMA 転送開始後に SWREQ ビットをクリアしない	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

SWREQ ビット（DMA ソフトウェア起動）

SWREQ ビットを 1 にすると DMA 転送要求が発生します。その要求に対して転送が開始されると、CLRS ビットが 0 の場合、SWREQ ビットが 0 になります。CLRS ビットが 1 の場合はクリアされません。DMA 転送要求は、転送終了後に再発行できます。

DMTMD.DCTG[1:0]ビットが 00b（DMAC 起動要因がソフトウェア）になっている場合のみ、このビットの設定が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0]ビットが 00b 以外になっている場合、このビットの設定は無効です。

CLRS ビットが 0 の状態でソフトウェアによる DMA 転送を行う場合、SWREQ ビットが 0 であることを確認してから SWREQ ビットに 1 を書いてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- CLRS ビットが 0（ソフトウェアによる DMA 転送開始後に SWREQ ビットをクリアする）の場合に、ソフトウェアによる DMA 転送要求が受け付けられて DMA 転送が開始したとき
- 0 を書いたとき

CLRS ビット（DMA ソフトウェア起動ビット自動クリア選択）

CLRS ビットは SWREQ ビットを 1 にして転送要求を発生させた場合、その要求に対して DMA 転送が開始した後、SWREQ ビットを 0 にするか否かを設定します。CLRS ビットを 0 にすると、DMA 転送の開始後、SWREQ ビットは 0 になります。1 にすると、SWREQ ビットは 0 にクリアされません。DMA 転送要求は、転送終了後に再発行できます。

15.2.14 DMSTS : DMA ステータスレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x1E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ACT	—	—	DTIF	—	—	—	ESIF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ESIF	転送エスケープ終了割り込みフラグ 0: 転送エスケープ終了割り込み発生なし 1: 転送エスケープ終了割り込み発生あり	R/W(注1)
3:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	DTIF	転送終了割り込みフラグ 0: 転送終了割り込み発生なし 1: 転送終了割り込み発生あり	R/W(注1)
6:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	ACT	DMA アクティブフラグ 0: DMAC がアイドル状態 1: DMAC が動作中	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

ESIF フラグ（転送エスケープ終了割り込みフラグ）

転送エスケープ終了割り込みが発生したことを示します。

[1 になる条件]

- リピート転送モードにおいて、DMINT.RPTIE ビットが 1 の状態で 1 リピートサイズ分のデータ転送が終了したとき
- ブロック転送モードにおいて、DMINT.RPTIE ビットが 1 の状態で 1 ブロック分のデータ転送が終了したとき
- DMINT.SARIE ビットが 1 で、かつ DMAMD.SARA[4:0]ビットが 00000b 以外（転送元アドレスに拡張リピート領域を設定）の状態で、転送元アドレスに拡張リピート領域オーバーフローが発生したとき
- DMINT.DARIE ビットが 1 で、かつ DMAMD.DARA[4:0]ビットが 00000b 以外（転送先アドレスに拡張リピート領域を設定）の状態で、転送先アドレスに拡張リピート領域オーバーフローが発生したとき

[0 になる条件]

- 0 を書いたとき
- DMCNT.DTE ビットに 1 を書いたとき

DTIF フラグ（転送終了割り込みフラグ）

転送終了割り込みが発生したことを示します。

[1 になる条件]

- ノーマル転送モードにおいて、指定した回数のデータ転送が終了したとき（DMCRAL レジスタの値が 0 になり転送が終了したとき）
- リピート転送モードにおいて、指定した回数のリピート転送が終了したとき（DMCRBL レジスタの値が 0 になり転送が終了したとき (DMTMD.TKP = 0) または DMCRBH をリロードした DMCRBL の値 (DMTMD.TKP = 1)）

- ブロック転送モードおよびリピート／ブロック転送モードにおいて、指定したブロック数の転送が終了したとき（DMCRBL レジスタの値が 0 になり転送が終了したとき (DMTMD.TKP = 0) または DMCRBH をリロードした DMCRBL の値 (DMTMD.TKP = 1)）

[0 になる条件]

- 0 を書いたとき
- DMCNT.DTE ビットに 1 を書いたとき

ACT フラグ（DMA アクティブフラグ）

DMAC が停止状態であるか、または動作中であるかを示します。

[1 になる条件]

- DMAC がデータ転送を開始したとき

[0 になる条件]

- 1 転送要求に対するデータ転送が終了したとき

15.2.15 DMSBS : DMA 転送元バッファサイズレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DMSBSH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMSBSL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMSBSL[15:0]	リピート／ブロック転送モードでのデータ転送カウンタ 利用可能な設定は、表 15.3 を参照してください。	R/W
31:16	DMSBSH[15:0]	リピート／ブロック転送モードでのリピート領域サイズ指定 利用可能な設定は、表 15.3 を参照してください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

リピート／ブロック転送モードでは、DMSBSH と DMSBSL に対して、同じ値を設定してください。ノーマル転送モード、リピート転送モード、ブロック転送モードでは、DMSBS に 0x00000000 を書き込んでください。

リピート／ブロック転送モードでは、DMSBSH はバッファサイズを指定し、DMSBSL は 16 ビットのバッファサイズカウンタとして機能します。リピート／ブロック転送モードでは、転送元リピート領域を DMSBSH で指定します。

アドレス更新モードがインクリメントアドレスかデクリメントアドレスのいずれかの場合、このレジスタはバッファ全体のデータの数を示します。アドレス更新モードがオフセット加算の場合、このレジスタはそれぞれのバッファのデータの数を示します。オフセット加算の場合、DMSBSH と DMSBSL に 0x0000 を設定することは禁止です。バッファサイズの最終データが転送されたとき、DMSBSL は DMSBSH の値をリロードします。アドレス更新モードがアドレス固定の場合、このレジスタは無視されます。表 15.3 に、転送元アドレス更新モードでの転送データサイズに対応した DMA 転送元バッファサイズレジスタの設定値を示します。

表 15.3 リピート／ブロック転送モードにおいて DMSBS レジスタで利用可能な設定

転送元アドレス更新モード (DMAMD.SM)	転送データサイズ (DMTMD.SZ)	DMSBSH ビットと DMSBSL ビットで利用可能な設定
転送元アドレス固定 (SM = 00b)	Don't care	0x0000（DMSBS 未使用時）
オフセット加算 (SM = 01b)	8 ビット (SZ = 00b)	0x0001～0xFFFF（1～65535）
	16 ビット (SZ = 01b)	0x0001～0x7FFF（1～32767）
	32 ビット (SZ = 10b)	0x0001～0x3FFF（1～16383）
転送元アドレスがインクリメントアドレスかデクリメントアドレス (SM = 1xb)	Don't care	0x0000（無限） 0x0001～0xFFFF（1～65535）

ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMSBS は使用されず、その設定は無効です。

15.2.16 DMDBS : DMA 転送先バッファサイズレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DMDBSH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMDBSL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMDBSL[15:0]	リピート／ブロック転送モードでのデータ転送カウンタ 利用可能な設定は、表 15.4 を参照してください。	R/W
31:16	DMDBSH[15:0]	リピート／ブロック転送モードでのリピート領域サイズ指定 利用可能な設定は、表 15.4 を参照してください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

リピートブロック転送モードでは、DMDBSH と DMDBSL に対して、同じ値を設定してください。ノーマル転送モード、リピート転送モード、ブロック転送モードでは、DMDBS に 0x00000000 を書き込んでください。

リピート／ブロック転送モードにおいて、DMDBSH はバッファサイズを指定し、DMDBSL は 16 ビットバッファサイズカウンタとして機能します。リピート／ブロック転送モードでは、転送先のリピート領域は DMDBSH により指定されます。

アドレス更新モードがインクリメントアドレスかデクリメントアドレスのいずれかの場合、このレジスタはバッファ全体のデータの数を示します。アドレス更新モードがオフセット加算の場合、このレジスタはそれぞれのバッファのデータの数を示します。オフセット加算の場合、DMDBSH と DMDBSL に 0x0000 を設定することは禁止です。バッファサイズの最終データが転送されたとき、DMDBSL は DMDBSH の値をリロードします。アドレス更新モードがアドレス固定の場合、このレジスタは無視されます。表 15.4 に、転送先アドレス更新モードでの転送データサイズに対応した転送先バッファサイズレジスタの設定値を示します。

表 15.4 リピートブロック転送モードにおいて DMDBS レジスタで利用可能な設定 (1/2)

転送先アドレス更新モード (DMAMD.DM)	転送データサイズ (DMTMD.SZ)	DMDBSH ビットと DMDBSL ビットで利用可能な設定
転送先アドレスは固定 (DM = 00b)	Don't care	0x0000（DMDBS 未使用時）

表 15.4 リピートブロック転送モードにおいて DMDBS レジスタで利用可能な設定 (2/2)

転送先アドレス更新モード (DMAMD.DM)	転送データサイズ (DMTMD.SZ)	DMDBSH ビットと DMDBSL ビットで利用可能な設定
オフセット加算 (DM = 01b)	8 ビット (SZ = 00b)	0x0001～0xFFFF（1～65535）
	16 ビット (SZ = 01b)	0x0001～0x7FFF（1～32767）
	32 ビット (SZ = 10b)	0x0001～0x3FFF（1～16383）
転送先アドレスはインクリメントまたはデクリメント (DM = 1xb)	Don't care	0x0000（無限） 0x0001～0xFFFF（1～65535）

ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMDBS は使用されず、その設定は無効です。

15.2.17 DMAST : DMAC モジュール起動レジスタ

Base address: DMA = 0x4000_5200

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DMST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DMST	DMAC 動作許可 0: DMAC 起動禁止 1: DMAC 起動許可	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DMST ビット（DMAC 動作許可）

DMAST.DMST ビットを 1 にすると、DMAC 全チャネルの起動が許可されます。DMST ビットを 1（DMAC 起動許可）にした場合、複数チャネルの DMCNT.DTE ビットを 1（DMA 転送許可）にすることで、対応する全チャネルが同時に転送要求受け付け可能状態になります。

DMA 転送中に DMST ビットを 0 にすると、実行中の 1 転送要求に対するデータ転送が終了した後、DMA 転送が一時停止します。DMA 転送を再開するには、再度 DMST ビットを 1 にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき

15.2.18 DMECHR : DMAC エラーチャネルレジスタ

Base address: DMA = 0x4000_5200

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMESTA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DMECHSAM	—	—	—	—	—	DMECH		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	DMECH	DMAC エラーチャネル エラーが発生したチャネル番号を示します。 0 0 0: チャネル 0 でエラー発生 0 0 1: チャネル 1 でエラー発生 0 1 0: チャネル 2 でエラー発生 ⋮ ⋮ 1 1 1: チャネル 7 でエラー発生	R
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R
8	DMECHSAM	DMAC エラーチャネルセキュリティ属性監視 エラーが発生したチャネルのセキュリティ属性を示します。 0: セキュアチャネル 1: 非セキュアチャネル	R
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R
16	DMESTA	DMAC エラーステータス 0: DMA 転送エラー発生なし 1: DMA 転送エラー発生あり	R/W(注1)
31:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R

注 1. DMESTA への書き込みは DMECHSAM の値に依存します。

DMECH[2:0]ビット（DMAC エラーチャネル）

DMA 転送起因の転送エラーが発生した場合、DMECH[2:0]ビットは違反した DMAC のチャネルを格納します。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択された場合、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DMAC 転送エラーが発生し、かつ DMESTA = 0 の場合

[0 になる条件]

- DMESTA に 1 を書く場合

DMECHSAM ビット（DMAC エラーチャネルセキュリティ属性監視）

DMA 転送起因の転送エラーが発生した場合、DMECHSAM ビットは違反した DMAC チャネルのセキュリティ属性を示します。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択された場合、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DMAC 転送エラーが発生し、かつ DMESTA = 0 の場合

[0 になる条件]

- DMESTA に 1 を書く場合

DMESTA ビット（DMAC エラーステータス）

DMESTA ビットは DMA 転送エラーの発生の有無を示します。

DMESTA に 1 を書くことにより、DMECH、DMECHSAM、DMESTA はクリアされます。DMESTA への 0 の書き込みは無視されます。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択された場合、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DMAC 転送エラーが発生した場合

[0 になる条件]

- DMESTA に 1 を書く場合

注. DMECHSAM = 1 の場合、セキュア状態および非セキュア状態でクリア可能です。DMECHSAM = 0 の場合、非セキュア状態ではクリアできません。

15.3 動作説明

15.3.1 転送モード

15.3.1.1 ノーマル転送モード

ノーマル転送モードでは、1 転送要求に対して 1 データの転送を行います。DMCRAL レジスタで転送回数を最大 65535 回まで設定できます。また、これらのビットを 0x0000 にすると、転送回数は指定なしとなり、転送カウンタが停止した状態でデータ転送を行います（フリーランニング機能）。ノーマル転送モードでは、DMCRB レジスタの設定は無効です。フリーランニング機能を除き、指定した転送回数の終了後に転送終了割り込み要求を発生させることができます。

表 15.5 にノーマル転送モードにおけるレジスタ更新動作を、図 15.2 にノーマル転送モードにおける転送動作を示します。

表 15.5 ノーマル転送モードでのレジスタ更新動作

レジスタ	機能	1 転送要求に対する転送終了後の更新動作
DMSAR	転送元アドレス	インクリメント／デクリメント／固定／オフセット加算
DMDAR	転送先アドレス	インクリメント／デクリメント／固定／オフセット加算
DMCRAL	転送カウント	1 減算／更新なし（フリーランニング機能時）
DMCRAH	—	更新なし（ノーマル転送モードでは使用しない）
DMCRB	—	更新なし（ノーマル転送モードでは使用しない）

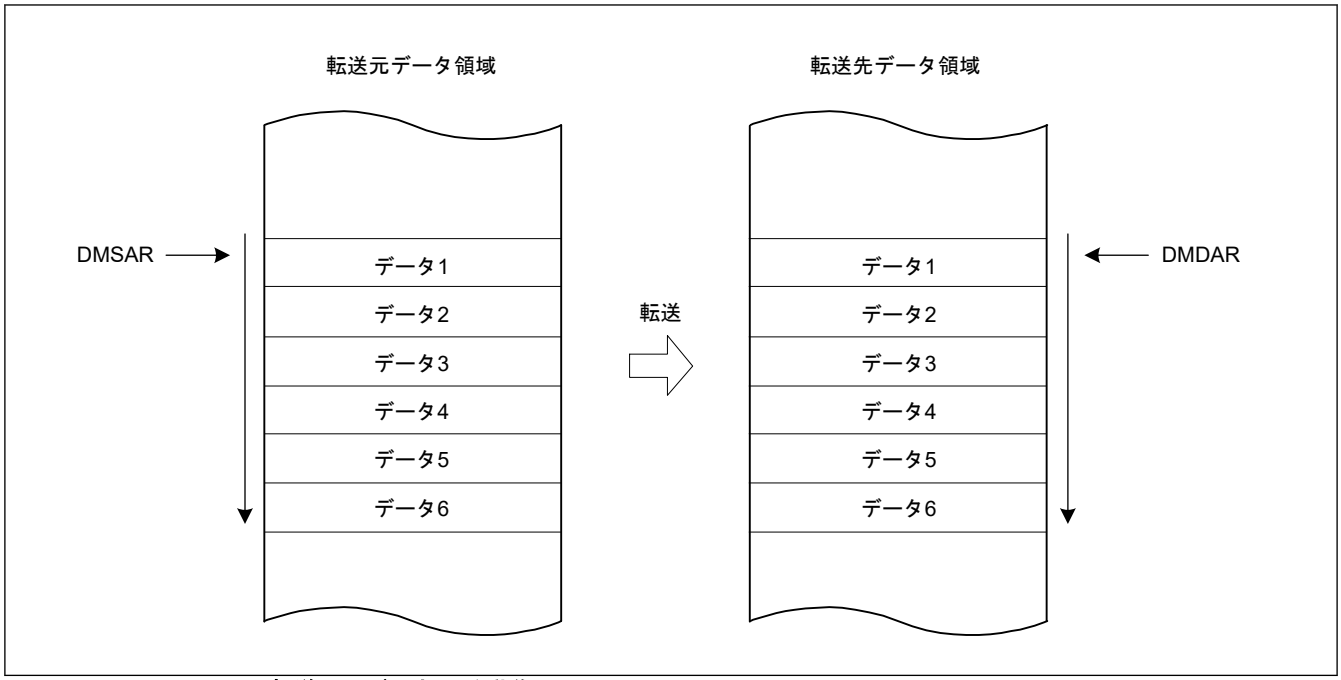


図 15.2　ノーマル転送モードにおける動作

15.3.1.2　リピート転送モード

リピート転送モードは 1 回の転送要求について 1 データの転送を行います。

DMCRA レジスタで最大 1K データのリピート転送サイズを設定できます。

また、DMCRB レジスタで最大 64K 回の指定リピート回数を設定できます。総データ転送数は最大 1K データ× 64K リピート回数 = 64M データの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ（DMSAR または DMDAR）は、リピートサイズ分のデータ転送が終了すると、転送開始時のアドレスに復帰します。リピート転送モードでは、指定されたリピートサイズ分のデータの転送がすべて終了した時に、DMA 転送を停止させ、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMCNT.DTE ビットに 1 を書くと DMA 転送を再開することができます。

また、指定したリピート転送回数の終了後に、転送終了割り込み要求を発生させることができます。

リピート転送モードにおけるレジスタ更新動作を表 15.6 に、リピート転送モードにおける転送動作を図 15.3 に示します。

表 15.6　リピート転送モードでのレジスタ更新動作 (1/2)

レジスタ	機能	1 転送要求に対する転送終了後の更新動作	
		DMCRAL レジスタが 1 以外のとき	DMCRAL レジスタが 1 のとき（リピートサイズの最終データ転送）
DMSAR	転送元アドレス	インクリメント／デクリメント／固定／オフセット加算	• DMTMD.DTS[1:0] = 00b インクリメント／デクリメント／固定／オフセット加算 • DMTMD.DTS[1:0] = 01b DMSAR の初期値 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算

表 15.6 リピート転送モードでのレジスタ更新動作 (2/2)

レジスタ	機能	1 転送要求に対する転送終了後の更新動作	
		DMCRAL レジスタが 1 以外のとき	DMCRAL レジスタが 1 のとき（リピートサイズの最終データ転送）
DMDAR	転送先アドレス	インクリメント／デクリメント／固定／オフセット加算	• DMTMD.DTS[1:0] = 00b DMDAR の初期値 • DMTMD.DTS[1:0] = 01b インクリメント／デクリメント／固定／オフセット加算 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMCRAH	リピートサイズ	更新なし	更新なし
DMCRAL	転送カウント	1 減算	DMCRAH
DMCRBH	リピート転送回数	更新なし	更新なし
DMCRBL	リピート転送回数のカウント	更新なし	1 減算

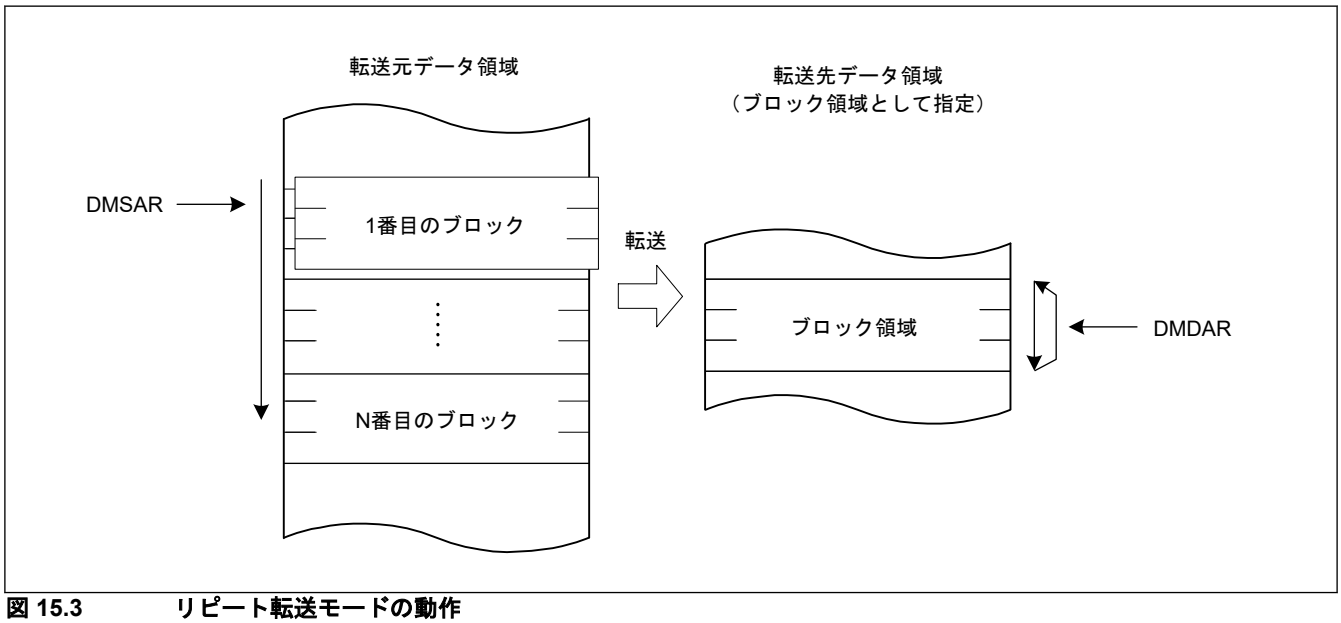


図 15.3 リピート転送モードの動作

15.3.1.3 ブロック転送モード

ブロック転送モードは、1 回の転送要求について 1 ブロックのデータ転送を行います。

DMCRA レジスタで最大 1K データのブロック転送サイズを設定できます。

また、DMCRB レジスタで最大 64K 回の指定ブロック転送回数を設定できます。総データ転送数は最大 1K データ×64K ブロック転送回数 = 64M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ（DMSAR または DMDAR）は、1 ブロック分のデータ転送が終了すると、転送開始時のアドレスに復帰します。ブロック転送モードでは、1 ブロックのデータ転送がすべて終了した時に、DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMCNT.DTE ビットに 1 を書くと DMA 転送を再開することができます。

また、指定したブロック転送回数の終了後に、転送終了割り込み要求を発生させることができます。

ブロック転送モードにおけるレジスタ更新動作を表 15.7 に、ブロック転送モードにおける転送動作を図 15.4 に示します。

表 15.7 ブロック転送モードでのレジスタ更新動作

レジスタ	機能	1 転送要求に対する 1 ブロック転送終了後の更新動作
DMSAR	転送元アドレス	• DMTMD.DTS[1:0] = 00b インクリメント／デクリメント／固定／オフセット加算 • DMTMD.DTS[1:0] = 01b DMSAR の初期値 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMDAR	転送先アドレス	• DMTMD.DTS[1:0] = 00b DMDAR の初期値 • DMTMD.DTS[1:0] = 01b インクリメント／デクリメント／固定／オフセット加算 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMCRAH	ブロックサイズ	更新なし
DMCRAL	転送カウント	DMCRAH
DMCRBH	ブロック転送回数	更新なし
DMCRBL	ブロック転送回数のカウント	1 減算

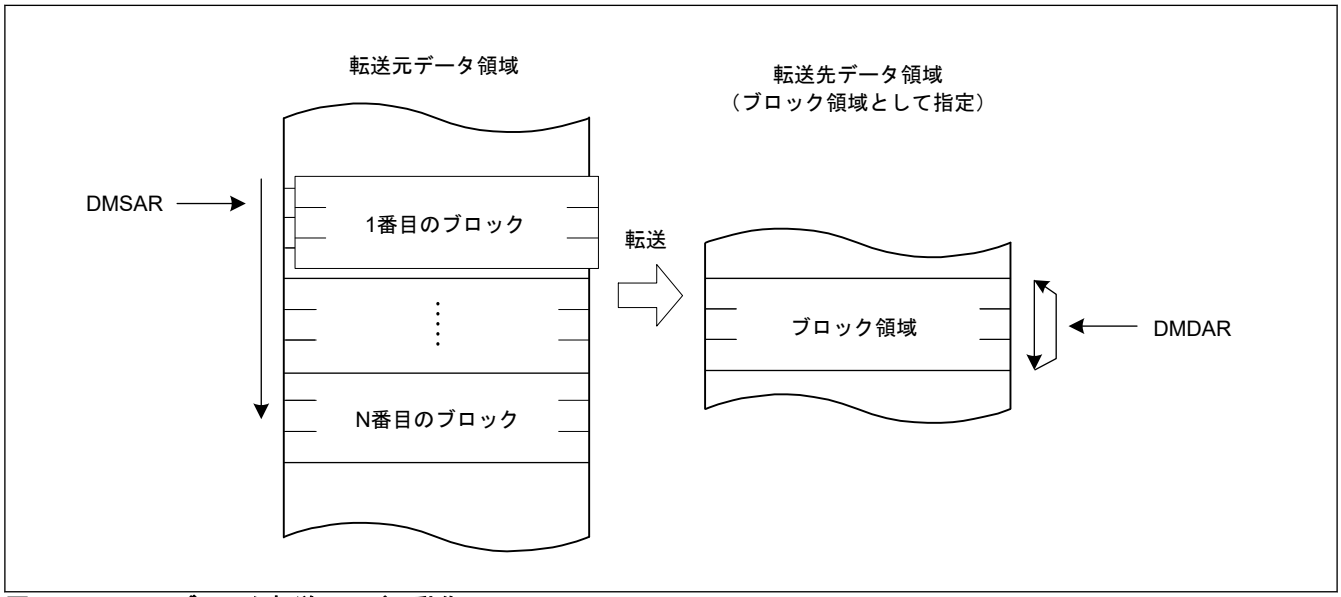


図 15.4 ブロック転送モードの動作

15.3.1.4 リピート／ブロック転送モード

リピート／ブロック転送はブロック転送機能に追加された以下の機能をもつ動作モードです。

リピート機能：特定のアドレス領域をリピートする追加機能（リングバッファ）

オフセット機能：オフセットのある複数の領域を 1 ブロック転送内で指定可能

リピート機能とオフセット機能は、リピート／ブロック転送の転送元と転送先に対して使用可能です。

図 15.5 に転送先へリピート機能を追加する例を示します。

図 15.6 に転送先へオフセット加算するリピート／ブロック転送の例を示します。

リピート／ブロック転送モードでは、1 つの転送要求で 1 つのブロックデータが転送されます。

DMACn の DMCRA を使用して、最大 1 K のデータを合計ブロック転送サイズとして設定可能です。

DMACn の DMCRB を使用して、最大 64 K をブロック転送回数として設定可能です。したがって、最大 64 M のデータ（1 K データ × 64 K ブロック転送回数）を合計データ転送サイズとして設定可能です。

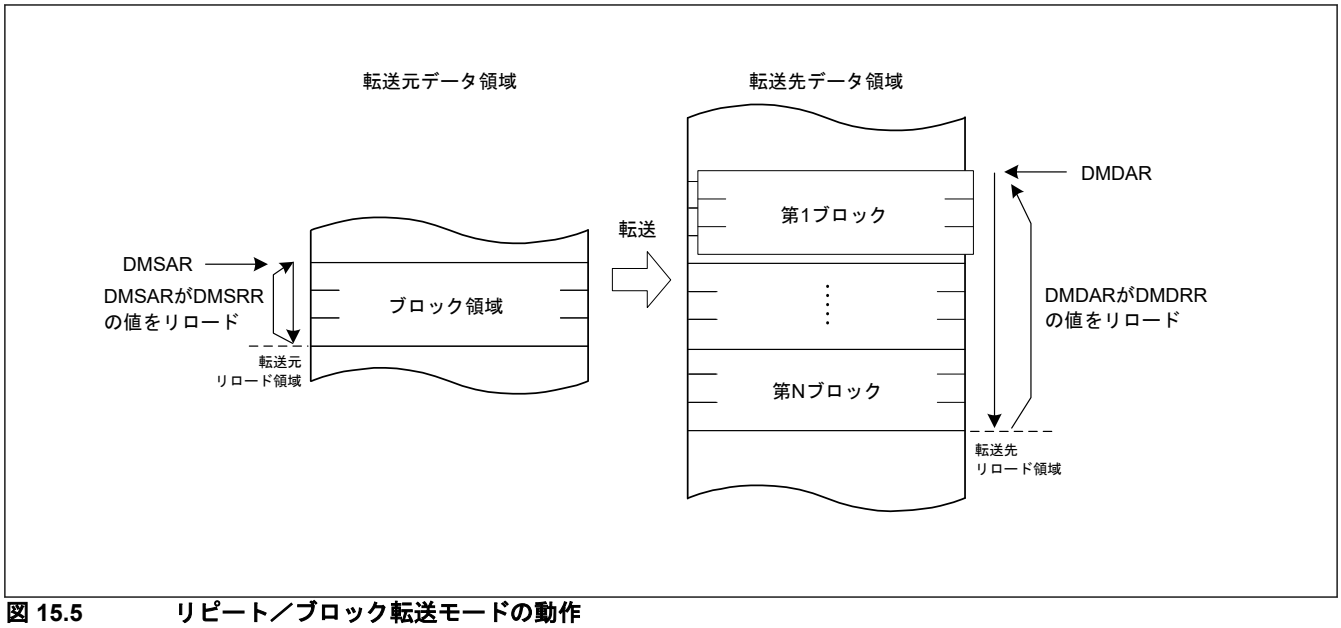


図 15.5　リピート／ブロック転送モードの動作

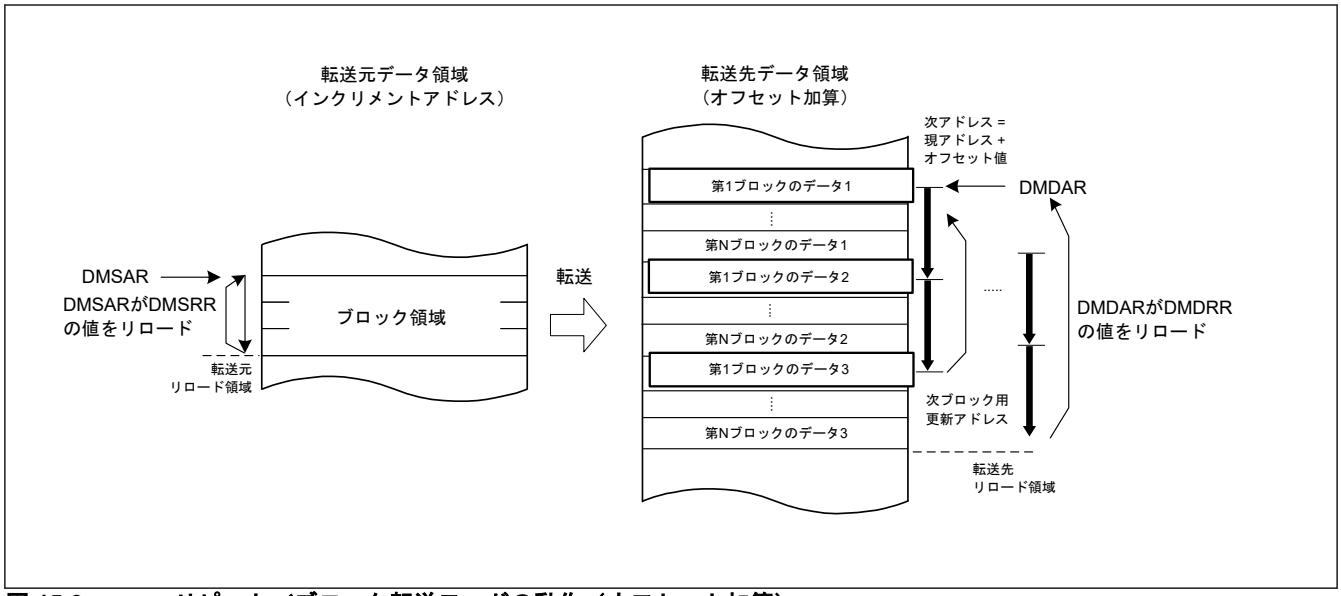


図 15.6　リピート／ブロック転送モードの動作（オフセット加算）

表 15.8～表 15.13 にリピート／ブロック転送モードのレジスタ更新動作をまとめます。

表 15.8　リピート／ブロック転送モードにおける転送元領域に対応するレジスタ更新動作（固定アドレス DMAMD.SM[1:0] = 00b）(1/2)

レジスタ	機能	シングルデータ転送後の更新動作		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSRR	転送元リロードアドレス	更新なし	更新なし	更新なし
DMSAR	転送元アドレス	更新なし	更新なし	更新なし
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし

表 15.8 リピート／ブロック転送モードにおける転送元領域に対応するレジスタ更新動作（固定アドレス DMAMD.SM[1:0] = 00b） (2/2)

レジスタ	機能	シングルデータ転送後の更新動作		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]

表 15.9 リピート／ブロック転送モードにおける転送先領域に対応するレジスタ更新動作（固定アドレス DMAMD.DM[1:0] = 00b）

レジスタ	機能	シングルデータ転送後の更新動作		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMDRR	転送先リロードアドレス	更新なし	更新なし	更新なし
DMDAR	転送先アドレス	更新なし	更新なし	更新なし
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]

表 15.10 リピート／ブロック転送モードにおける転送元領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.SM[1:0] = 10b または 11b） (1/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMSBSL[15:0]が 1 ではない			DMSBSL[15:0]が 1		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1		DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSRR	転送元リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMSAR	DMTMD.SM[1:0] = 10b の場合の転送元アドレス	データサイズによるインクリメント			DMSRR		
	DMTMD.SM[1:0] = 11b の場合の転送元アドレス	データサイズによるデクリメント			DMSRR		
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	1 減算	DMCRAH[9:0]	DMCRAH[9:0]

表 15.10 リピート／ブロック転送モードにおける転送元領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.SM[1:0] = 10b または 11b） (2/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMSBSL[15:0]が 1 ではない			DMSBSL[15:0]が 1		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1		DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSBSH[15:0]	転送元バッファサイズ（リピートサイズ）	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMSBSL[15:0]	転送元バッファの転送データカウント	1 減算	1 減算	1 減算	DMSBSH	DMSBSH	DMSBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]			DMCRBH[15:0]

表 15.11 リピート／ブロック転送モードにおける転送先領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.DM[1:0] = 10b または 11b） (1/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMDBSL[15:0]が 1 ではない			DMDBSL[15:0]が 1		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1		DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMDRR	転送先リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMDAR	DMTMD.DM[1:0] = 10b の場合の転送先アドレス	データサイズによるインクリメント			DMDRR		
	DMTMD.DM[1:0] = 11b の場合の転送先アドレス	データサイズによるデクリメント			DMDRR		
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	1 減算	DMCRAH[9:0]	DMCRAH[9:0]
DMDBSH[15:0]	転送先バッファサイズ（リピートサイズ）	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMDBSL[15:0]	転送先バッファの転送データカウント	1 減算	1 減算	1 減算	DMDBSH	DMDBSH	DMDBSH

表 15.11 リピート／ブロック転送モードにおける転送先領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.DM[1:0] = 10b または 11b） (2/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMDBSL[15:0]が 1 ではない			DMDBSL[15:0]が 1		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1		DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]			DMCRBH[15:0]

表 15.12 リピート／ブロック転送モードにおける転送元領域に対応するレジスタ更新動作（オフセット加算 DMAMD.SM[1:0] = 01b）

レジスタ	機能	DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)			
			DMSBSL[15:0]が 1 ではない		DMSBSL[15:0]が 1	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1	DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSRR	転送元リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし
DMSAR	DMAMD.SADR = 0 の場合の転送元アドレス	DMSBSH によるオフセット加算	DMSRR		DMSRR	
	DMAMD.SADR = 1 の場合の転送元アドレス		DMSRR + (DMS-BSH - DMSBSL) × (データサイズ)			
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]
DMSBSH[15:0]	転送元バッファサイズ（リピートサイズ）	更新なし	更新なし	更新なし	更新なし	更新なし
DMSBSL[15:0]	転送元バッファの転送データカウント	更新なし	1 減算	1 減算	DMSBSH	DMSBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]		DMCRBH[15:0]

表 15.13 リピート／ブロック転送モードにおける転送先領域に対応するレジスタ更新動作（オフセット加算 DMAMD.DM[1:0] = 01b）

レジスタ	機能	DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)			
			DMDBSL[15:0]が 1 ではない		DMDBSL[15:0]が 1	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1	DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMDRR	転送先リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし
DMSAR	DMAMD.DADR = 0 の場合の転送先アドレス	DMDBSH によるオフセット加算	DMDRR		DMDRR	
	DMAMD.DADR = 1 の場合の転送先アドレス		DMDRR + (DMDBSH - DMDBSL) × (データサイズ)			
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]
DMDBSH[15:0]	転送先バッファサイズ（リピートサイズ）	更新なし	更新なし	更新なし	更新なし	更新なし
DMDBSL[15:0]	転送先バッファの転送データカウント	更新なし	1 減算	1 減算	DMDBSH	DMDBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]		DMCRBH[15:0]

15.3.2 拡張リピート領域機能

DMAC には、転送元アドレスと転送先アドレスに拡張リピート領域を設定する機能があります。拡張リピート領域を設定すると、アドレスレジスタは拡張リピート領域に指定した範囲のアドレス値を繰り返します。

この機能を設定すると、アドレスレジスタは拡張リピート領域に指定した範囲のアドレス値を繰り返します。

転送元アドレスの拡張リピート領域は、DMAMD.SARA[4:0]ビットで設定します転送先アドレスの拡張リピート領域は、DMAMD.DARA[4:0]ビットで設定します。転送元と転送先に異なるサイズの設定が可能です。

ただし、リピート領域またはブロック領域として設定した転送元または転送先に、拡張リピート領域を設定することはできません。

アドレスレジスタの値が拡張リピート領域の終了アドレスに到達し、拡張リピート領域がオーバーフローすると、DMA 転送を停止させて、拡張リピート領域オーバーフロー割り込み要求を発生させることができます。DMINT.SARIE ビットが 1 のとき、転送元の拡張リピート領域がオーバーフローすると、DMSTS.ESIF フラグが 1 になり、DMCNT.DTE ビットを 0 にして DMA 転送を終了させます。このとき、DMINT.ESIE ビットが 1 になっていると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMINT.DARIE ビットが 1 の場合、この機能は転送先アドレスレジスタが対象になります。DMA 転送を再開させるには、割り込み処理で DMCNT.DTE ビットに 1 を書き込んでください。

図 15.7 に、拡張リピート領域の動作例を示します。

DMSAR の下位 3 ビット（8 バイト）を拡張リピート領域に設定する (DMAMD.SARA[4:0] = 00011b)。データサイズが 8 ビット (DMTMD.SZ[1:0] = 00b) の場合

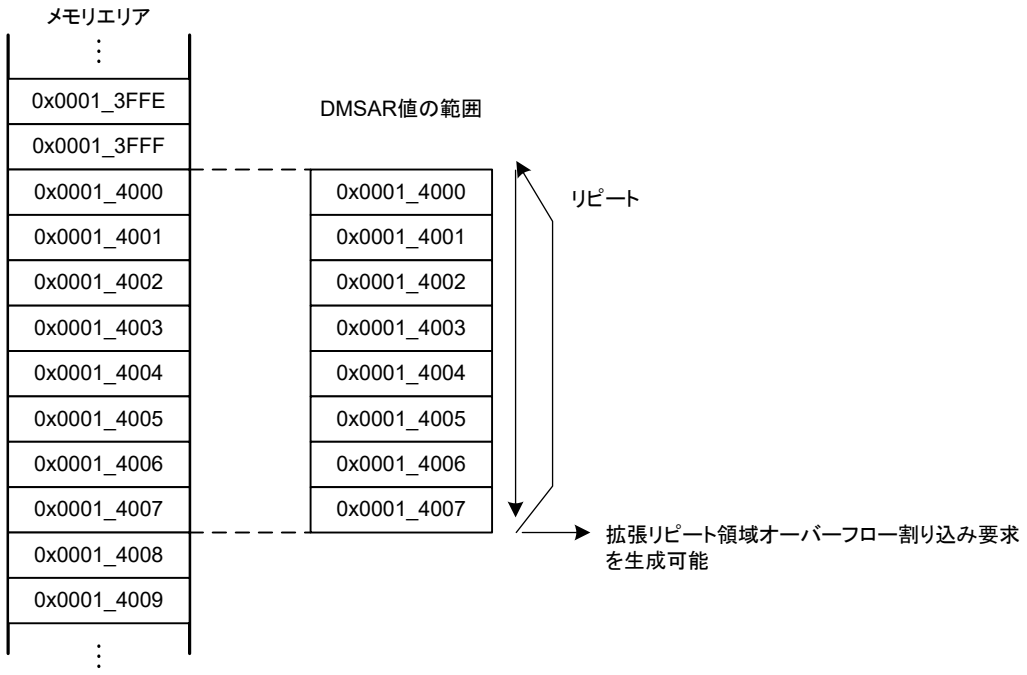


図 15.7 拡張リピート領域の動作例

ブロック転送モードで拡張リピート領域オーバーフロー割り込みを使用する場合は、以下の点に注意してください。

拡張リピート領域オーバーフロー割り込みで転送を終了させる場合、ブロックサイズを 2 のべき乗になるように設定するか、またはブロックサイズの境界と拡張リピート領域の範囲の境界が一致するようにアドレスレジスタの値を設定する必要があります。また、1 ブロックの転送中に拡張リピート領域にオーバーフローが発生した場合、そのブロックの転送が終了するまで拡張リピート領域オーバーフロー割り込みは保留され、転送はオーバーランします。

図 15.8 に、ブロック転送モードにおける拡張リピート領域機能の使用例を示します。

DMSAR の下位 3 ビット（8 バイト）を拡張リピート領域に設定し (DMAMD.SARA[4:0] = 00011b)、ブロック転送モードでブロックサイズを 5 に設定し (DMCRA = 0x00050005)、転送元アドレスをブロック領域に指定しない。データサイズが 8 ビット (DMTMD.SZ[1:0] = 00b) の場合

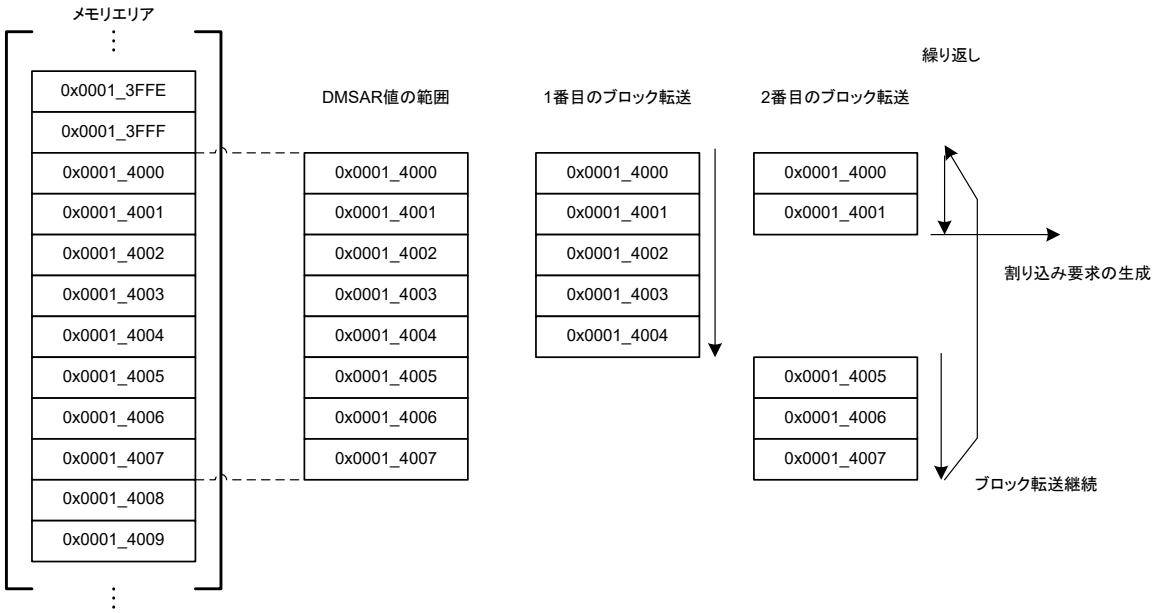


図 15.8 ブロック転送モードにおける拡張リピート領域機能の使用例

15.3.3 フリーランニング機能

DMAC はフリーランニング機能をサポートしています。この機能は割り込みハンドラを再設定することなく、リピート転送を許可します。

15.3.3.1 ノーマル転送モード

ノーマル転送モードで、DMCRA.DMCRAL ビットが 0x0000 の場合、転送動作の回数は設定されません。データ転送は、転送カウンタ停止で実行されます。

詳細については、「15.3.1.1. ノーマル転送モード」を参照してください。

15.3.3.2 他の転送モード

リピート転送モード、ブロック転送モード、およびリピートブロック転送モードでは、DMAC は DMTMD.TKP ビットを使用したフリーランニング機能をサポートしています。DMTMD.TKP ビットが 1 に設定される場合、転送動作の指定された全回数の終了により転送は停止せず、繰り返し DMCRBH をリロードします。

図 15.9 にフリーランニング機能がない場合のブロック転送例を示します。

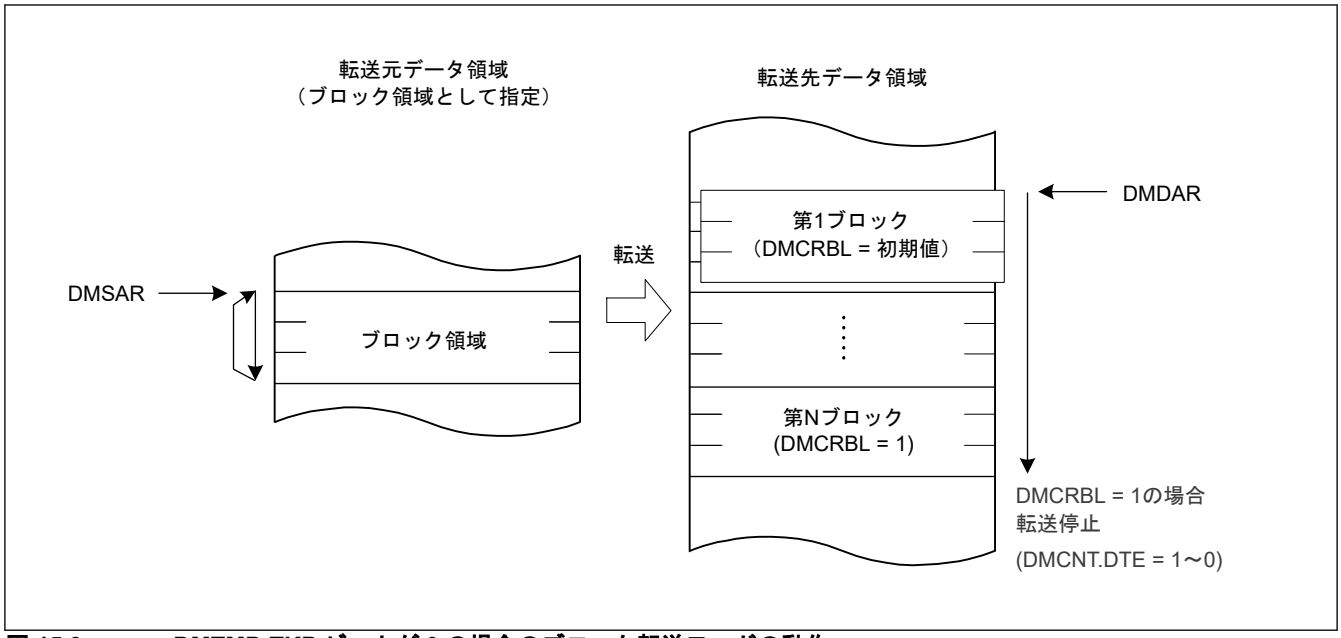


図 15.9　DMTMD.TKP ビットが 0 の場合のブロック転送モードの動作

図 15.10 にフリーランニング機能がある場合のブロック転送例を示します。

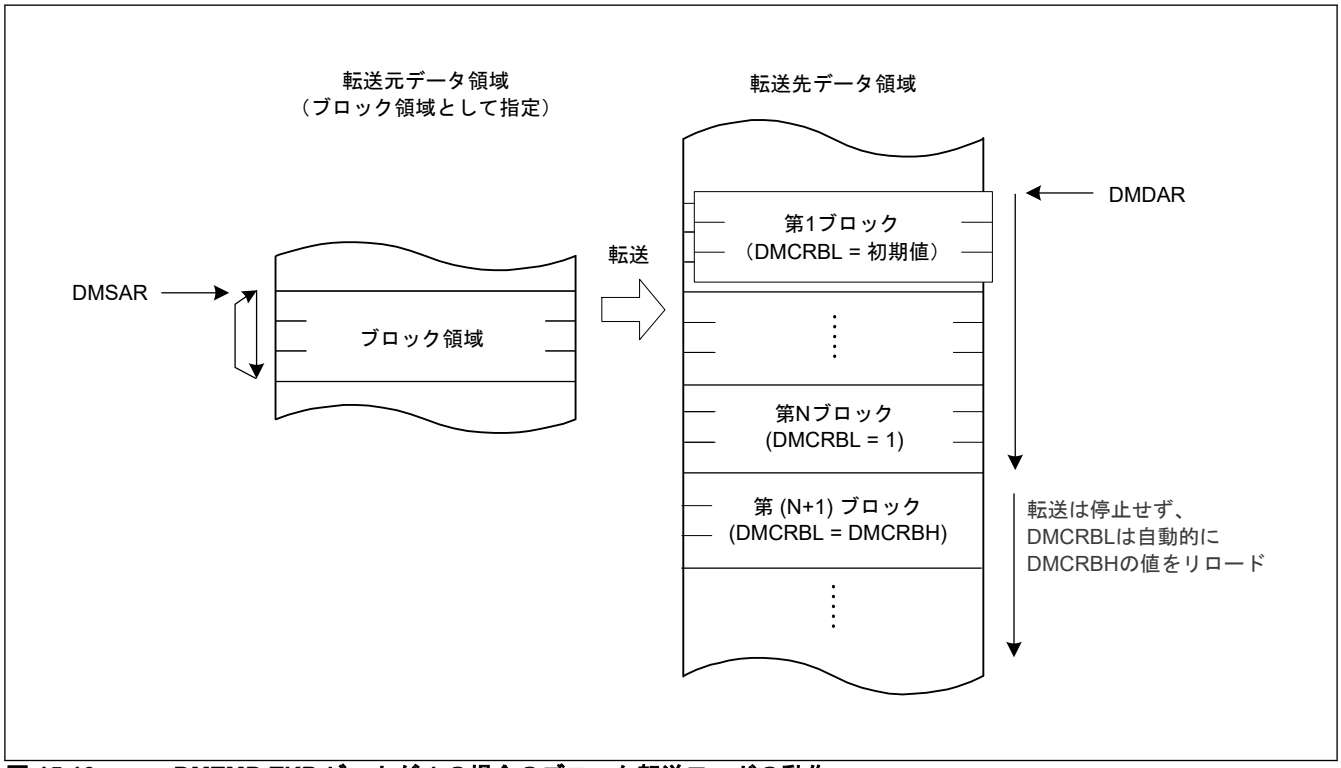


図 15.10　DMTMD.TKP ビットが 1 の場合のブロック転送モードの動作

15.3.4　オフセットを使用したアドレス更新機能

転送元アドレスと転送先アドレスの更新方法には、固定、インクリメント、デクリメントの他にオフセット加算があります。ノーマル、リピート、ブロック転送モードにおいて、オフセット加算では DMAC が 1 データの転送を実行するたびに、DMA オフセットレジスタ (DMOFR) で設定したオフセット値がアドレスに加算されます。この機能によって、分散した領域にアドレスが割り付けられた状態でデータ転送を実施できます。

また、DMOFR に負の値を設定すると、オフセットによる減算も可能です。負の値は 2 の補数で設定する必要があります。

リピート／ブロック転送モードでは、DMOFR の代わりに DMSBS または DMDBS が使用されます。詳細については、「15.3.1.4. リピート／ブロック転送モード」を参照してください。

表 15.14 に各アドレス更新モードにおけるアドレス更新方法を示します。

表 15.14　各アドレス更新モードにおけるアドレス更新方法

アドレス更新モード	アドレス更新モードに対する DMAMD.SM[1:0]および DMAMD.DM[1:0]の設定値	アドレス更新方法 (DMTMD.SZ[1:0]設定値別)		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMOFR(注1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注 1.　DMA オフセットレジスタに負の値を設定する場合、その値は次式で計算される 2 の補数でなければいけません。
負のオフセット値の 2 の補数表現 = ～（オフセット値）+1（～：ビット反転）

15.3.4.1　オフセット加算を使用した基本的な転送

図 15.11 にオフセット加算によるアドレス更新機能の動作例を示します。

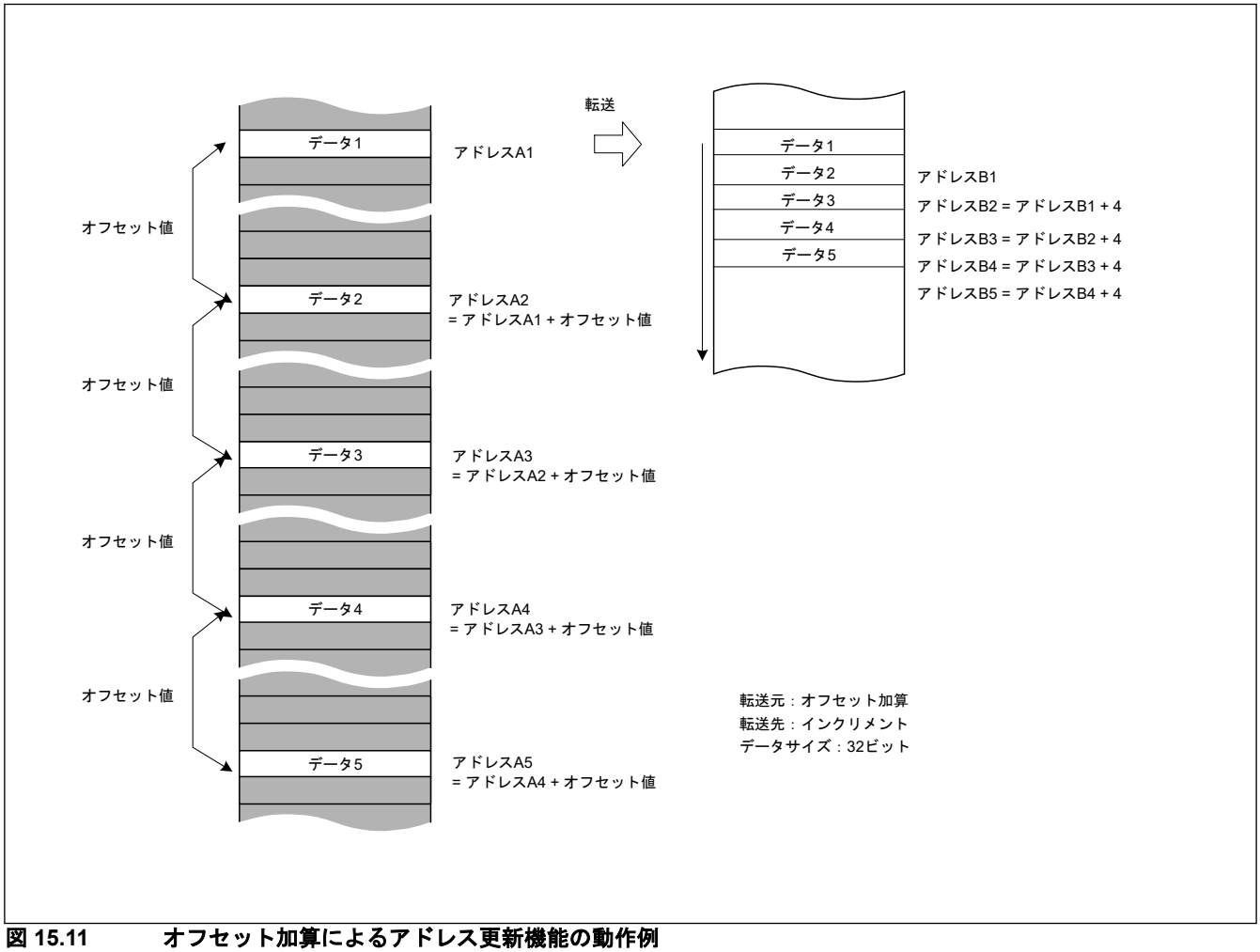


図 15.11　オフセット加算によるアドレス更新機能の動作例

図 15.11 では、以下のように設定しています。

- 転送データサイズは 32 ビット
- 転送元アドレスの更新モードはオフセット加算
- 転送先アドレスの更新モードはインクリメント

2 回目以降のデータは、前回のアドレスにオフセット値を加算することで得られる転送元アドレスから読み出されます。指定された間隔で読み出されたデータは、転送先では連続した領域に書き込まれます。

15.3.4.2 オフセット加算を使用した XY 変換例

図 15.12 に、リピート転送モードとオフセット加算を組み合わせて XY 変換を行うときの動作を示します。

設定方法は以下のとおりです。

- DMAMD.SM — 転送元アドレス更新モード：オフセット加算
- DMAMD.DM — 転送先アドレス更新モード：転送先アドレスがインクリメントされる
- DMTMD.SZ — 転送データサイズ選択：32 ビット
- DMTMD.MD — 転送モード選択：リピート転送
- DMTMD.DTS — リピート領域選択：転送元をリピート領域に設定
- DMOFR — オフセットアドレス：0x10
- DMCRA—リピートサイズ：0x4
- DMINT.RPTIE — リピートサイズ終了割り込みを許可

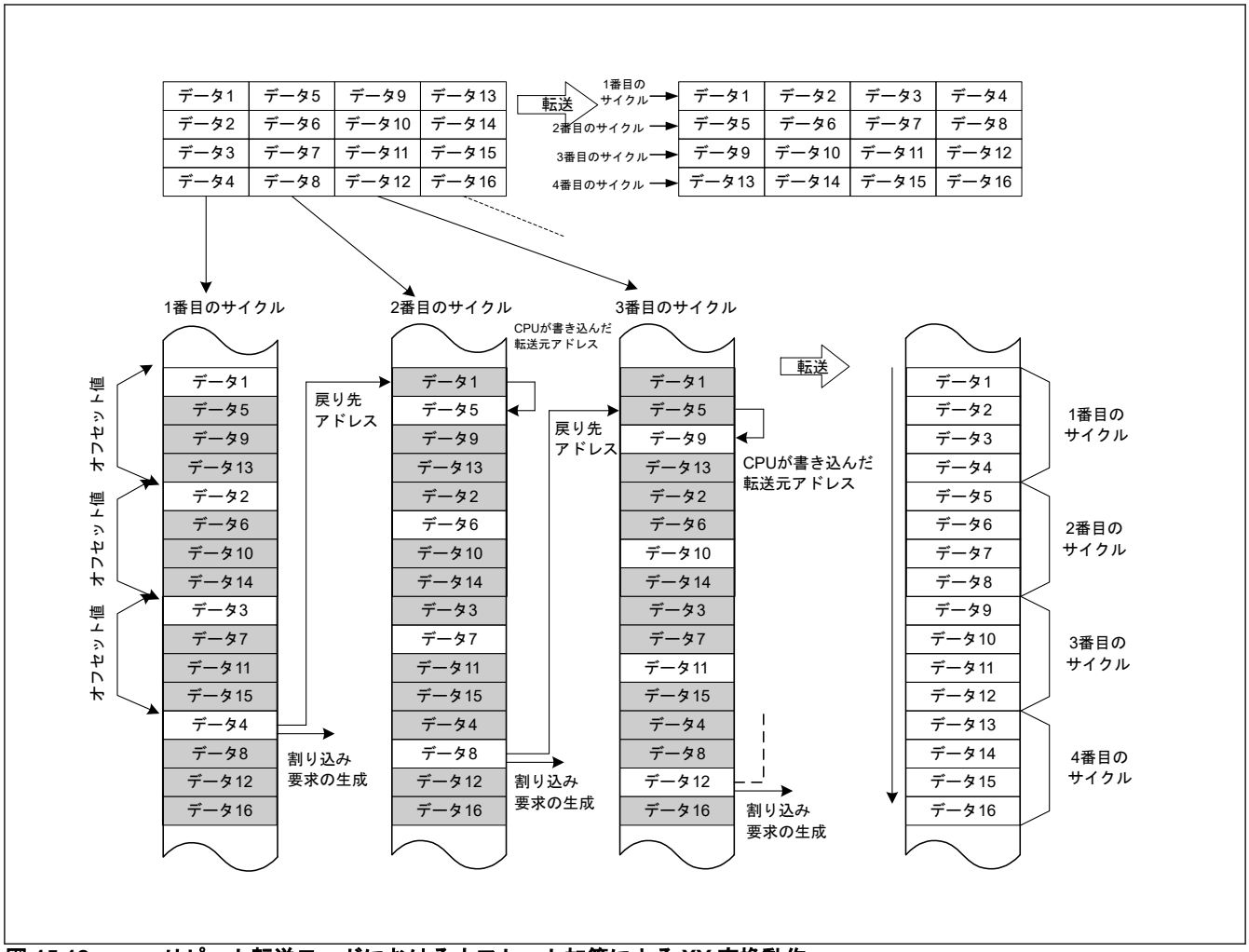


図 15.12 リピート転送モードにおけるオフセット加算による XY 変換動作

転送が開始されると、毎回、転送元アドレスにオフセット値を加算してデータ転送が行われます。転送データは、連続した転送先アドレスに書き込まれます。“データ 4”まで転送されたときの動作は以下のとおりです。

- リピートサイズ分のデータ転送が終了する
- 転送元アドレスは転送開始時のアドレス（転送元の“データ 1”のアドレス）に復帰する

- リピートサイズ終了割り込み要求が発生する

この割り込みによって転送が一時停止している間、以下の処理を行います。

- DMSAR—DMA 転送元アドレスをデータ 5 のアドレスに書き換える
  （この例では“データ 1”のアドレスに 4 を加算）
- DMCNT—DTE ビットを 1 にする

DMA 転送が中断したときの状態から DMA 転送が再開されます。以降、同じ処理を繰り返すと、転送元のデータが転送先で配置を入れ替えられます（XY 変換）。

図 15.13 に XY 変換の処理フローを示します。

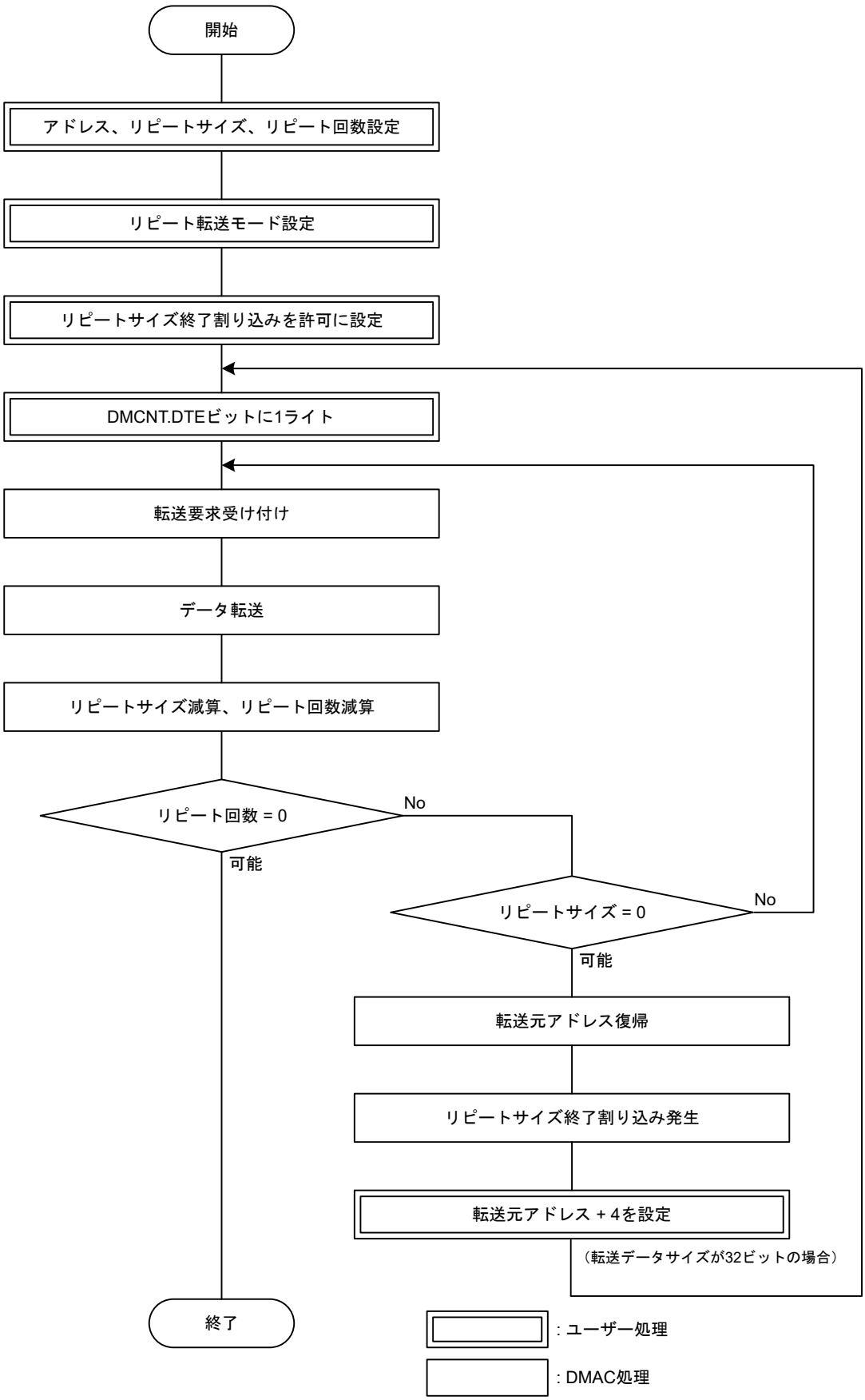


図 15.13 リピート転送モードにおけるオフセット加算による変換フロー

15.3.5 リピート／ブロック転送モードにおけるアドレス更新機能

リピート／ブロック転送モードは、リピート転送モードとブロック転送モードの拡張です。ただし、アドレス更新の詳細な動作は、これらの 2 つのモードでは異なります。ここでは、リピート／ブロック転送モードにおけるアドレス更新機能の詳細を説明します。

15.3.5.1 固定アドレスモード

DMAMD.SM[1:0]ビットが 00b の場合、転送元のアドレス更新モードは固定アドレスモードです。
DMAMD.DM[1:0]ビットが 00b の場合、転送先のアドレス更新モードは固定アドレスモードです。

固定アドレスモードでは、アドレスは DMSAR と DMDAR の初期値から更新されません。ブロックサイズ (DMCRA) が 1 より大きい場合、1 つの要求に対して同じデータが複数回転送されます。

図 15.14 に固定アドレスモードにおけるアドレス更新を示します。

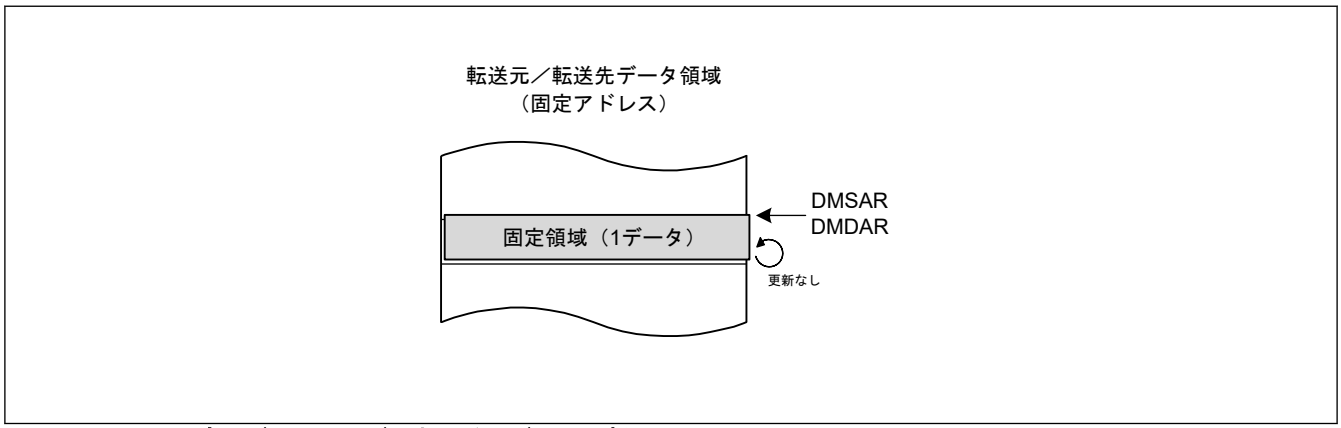


図 15.14 固定アドレスモードにおけるアドレス更新

15.3.5.2 インクリメントアドレスモードとデクリメントアドレスモード

DMAMD.SM[1:0]ビットが 10b の場合、転送元のアドレス更新モードはインクリメントアドレスモードです。
DMAMD.DM[1:0]ビットが 10b の場合、転送先のアドレス更新モードはインクリメントアドレスモードです。
DMAMD.SM[1:0]ビットが 11b の場合、転送元のアドレス更新モードはデクリメントアドレスモードです。
DMAMD.DM[1:0]ビットが 11b の場合、転送先のアドレス更新モードはデクリメントアドレスモードです。

これらの更新モードでは、DMTMD.SZ[1:0]ビットの設定に従って、アドレスはインクリメントまたはデクリメントされます。

これらの更新モードでは、DMSBS と DMDBS はリロード領域を示します。DMSBS と DMDBS の単位はデータ数です。転送開始時に DMSBSL と DMDBSL（DMSBS と DMDBS の下位 16 ビット）はダウンカウンタとして動作し、1 つのデータが転送されるごとにデクリメントします。値が 1 になると、DMSAR と DMDAR は、DMSRR と DMDRR の値をリロードします。

図 15.15 にインクリメントアドレスモードにおけるアドレス更新を示します。

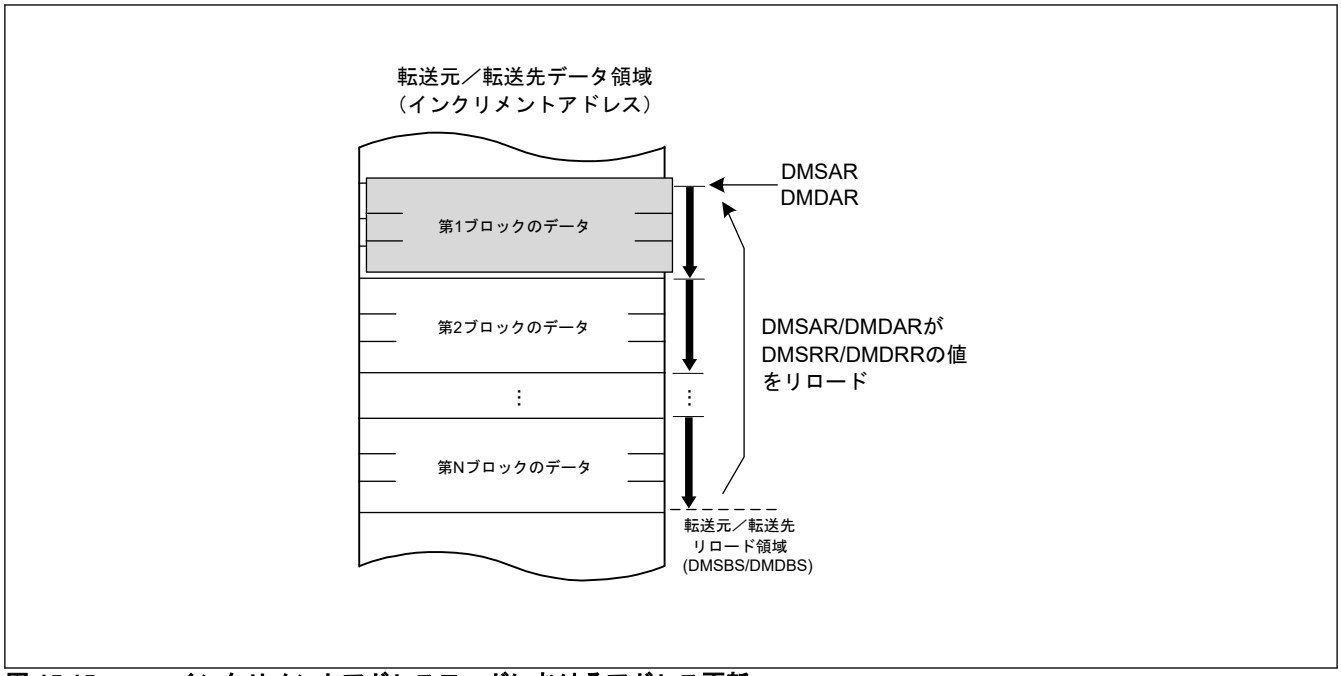


図 15.15　インクリメントアドレスモードにおけるアドレス更新

15.3.5.3　オフセット加算モード

DMAMD.SM[1:0]ビットが 01b の場合、転送元のアドレス更新モードはオフセット加算モードです。
DMAMD.DM[1:0]ビットが 01b の場合、転送先のアドレス更新モードはオフセット加算モードです。

オフセット加算モードでは、DMSBS と DMDBS はリロード領域を示し、アクセスオフセット値としても機能します。他の転送モードとは異なり、DMOFR レジスタはリピート／ブロック転送モードでは、使用されません。オフセット加算モードでは、DMSBS と DMDBS の単位はブロック数です。転送開始時に DMCRAL はダウンカウンタとして動作し、1 つのブロックが転送されるごとに DMSAR と DMDAR は、DMSRR と DMDRR の値をリロードします。さらに、DMSBSL と DMDBSL（DMSBS と DMDBS の下位 16 ビット）はダウンカウンタとしても動作し、1 つのブロックが転送されるごとにデクリメントします。DMSBS と DMDBS の値が 1 になると、DMSAR と DMDAR は、DMSRR と DMDRR の値をリロードします。

DMAMD.SADR と DMAMD.DADR が 0 の場合、同じ領域のオフセット加算動作が繰り返されます。DMDAR は DMDRR をリロードするだけです。図 15.16 にオフセット加算モードにおけるアドレス更新（DMAMD.SADR = 0 かつ DMAMD.DADR = 0 の場合）を示します。

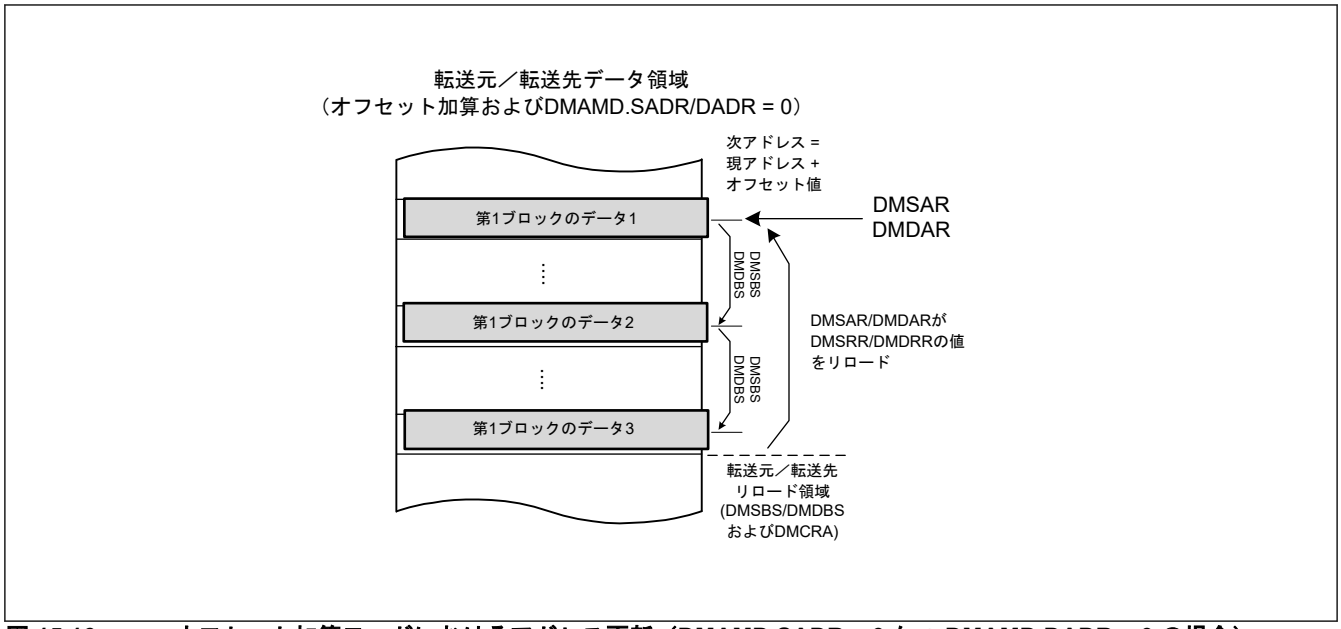


図 15.16　オフセット加算モードにおけるアドレス更新（DMAMD.SADR = 0 かつ DMAMD.DADR = 0 の場合）

DMAMD.SADR ビットと DMAMD.DADR ビットが 1 の場合、DMSRR と DMDRR が DMCRAL = 1 によりリロードされた後に、アドレスは 1 データ単位でインクリメントされます。 言い換えると、DMDRR のリロード後にインデックス値（(DMDBSH-DMDBSL) × データサイズ）が DMDAR に加算されます。この動作はマルチリングバッファを実装するのに使用されます。 図 15.17 にオフセット加算モードにおけるアドレス更新（DMAMD.SADR = 1 かつ DMAMD.DADR = 1 の場合）を示します。

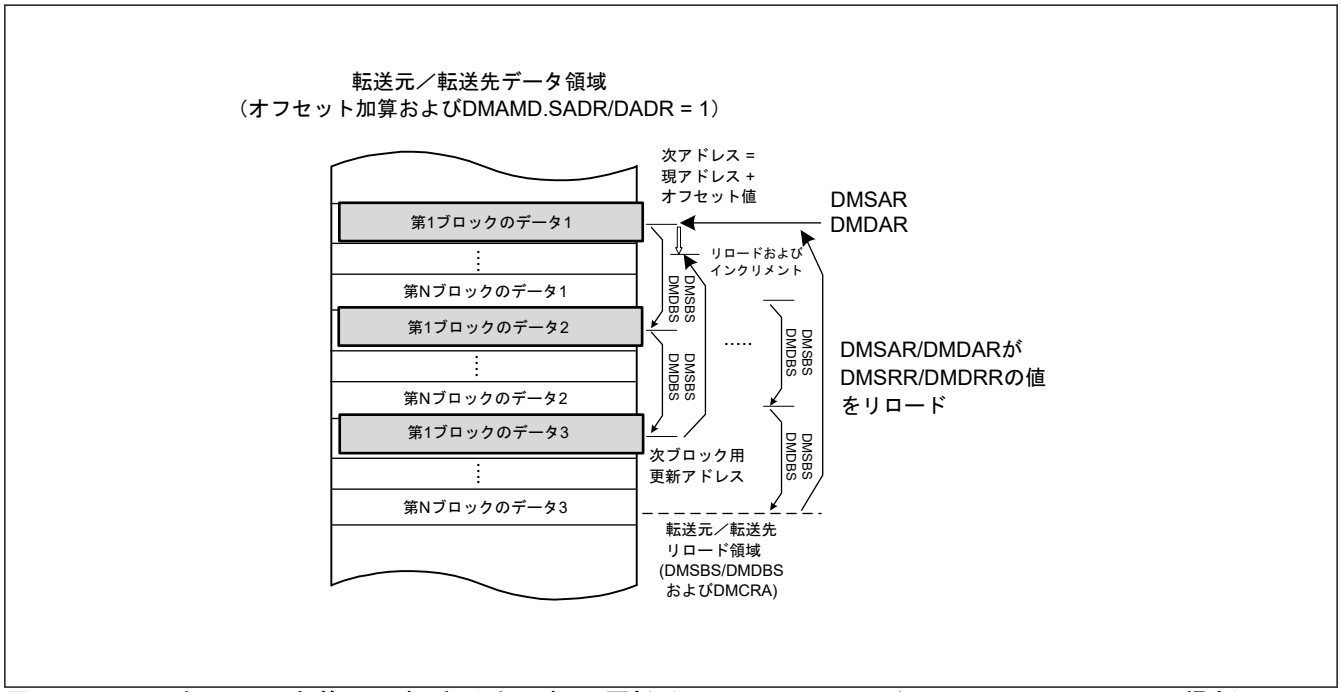


図 15.17　オフセット加算モードにおけるアドレス更新（DMAMD.SADR = 1 かつ DMAMD.DADR = 1 の場合）

15.3.6　リピート／ブロック転送モードの使用例

リピート／ブロック転送モードでは、前述のアドレス更新モードを組み合わせることにより、インターバルデータやシングルリングバッファまたはマルチリングバッファへのリピートアクセスが可能です。以下の節では、いくつかの使用例を示します。

15.3.6.1 インターバルアドレスからシングルリングバッファへ

図 15.18 に ADC モジュールのインターバル ADDRn レジスタ（データレジスタ）の読み出しおよびシングルリングバッファへの格納の例を示します。1 要求につき、4 ワードごとに 2 データの転送を行います。DMSAR は 1 要求ごとに 1 データ、インクリメントされます。転送要因をオフセット加算および DMAMD.SADR = 1 に、ブロックサイズ (DMCRA) を 2 に、転送元オフセット (DMSBS) を 4 に設定することで、これが可能になります。表 15.15 にこの設定例を示します。

表 15.15 インターバルアドレスからシングルリングバッファへの設定

レジスタ	値	説明
DMSAR, DMSRR	0x4017_1000	初期転送元アドレス
DMDAR, DMDRR	0x2000_0000	初期転送先アドレス
DMTMD.SZ[1:0]	10b	データサイズ：ワード
DMAMD.SADR	1	リロード後のインクリメンタル転送元アドレス
DMAMD.SM[1:0]	01b	転送元の更新モード：オフセット加算
DMAMD.DM[1:0]	10b	転送先の更新モード：インクリメンタルアドレス
DMCRAH, DMCRAL	2	転送ブロックサイズ
DMSBSH, DMSBSL	4	転送元の全バッファサイズ（単位はブロック）および転送元のアクセスオフセット（単位はデータ）
DMDBSH, DMDBSL	N × 2 (DMCRA)	転送先のバッファサイズ（単位はデータ）

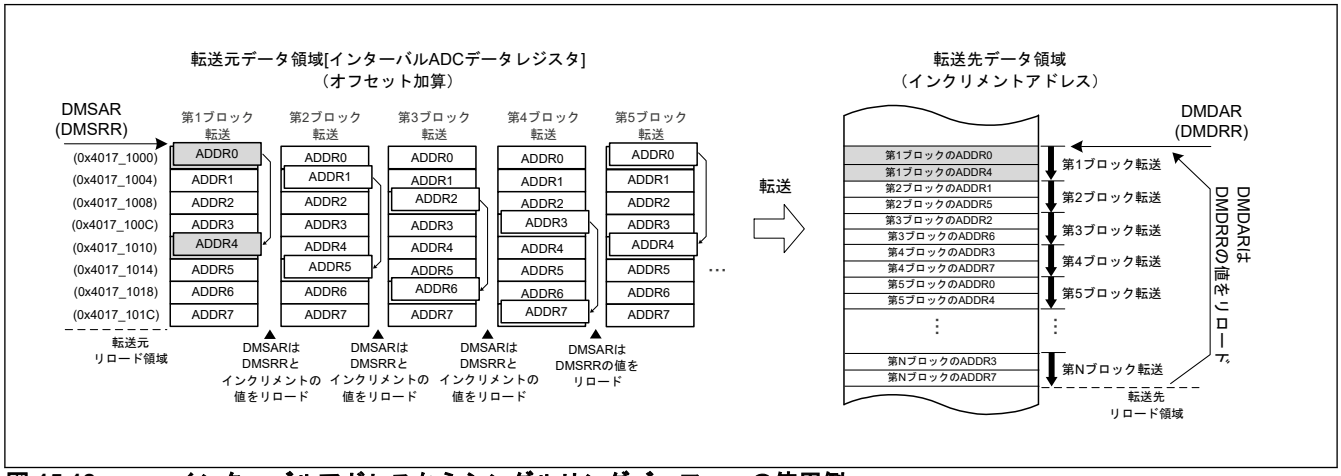


図 15.18 インターバルアドレスからシングルリングバッファへの使用例

15.3.6.2 シングルブロックからマルチリングバッファへ

図 15.19 に ADC モジュールの連続 ADDRn レジスタ（データレジスタ）の値をマルチリングバッファに個々に格納する例を示します。この例では、シングルブロックの最初の要素 (ADDR0) のみが転送順序に従い配置されるリングバッファが転送先で生成されます。また、次の領域では、2 番目の要素 (ADDR1) のみが転送順序に従い配置されるリングバッファが転送先で生成されます。以下の場合では、長さ N のリングバッファが生成され、DMDBS により定義されます。ブロック内のデータ要素数が 3 の場合、DMCRA により定義されます。表 15.16 に設定例を示します。

表 15.16 設定例：シングルブロックからマルチリングバッファへ (1/2)

レジスタ	値	内容
DMSAR, DMSRR	0x4017_1000	初期転送元アドレス
DMDAR, DMDRR	0x2000_0000	初期転送先アドレス
DMTMD.SZ[1:0]	10b	データサイズは word

表 15.16 設定例：シングルブロックからマルチリングバッファへ (2/2)

レジスタ	値	内容
DMAMD.SADR	0	リロードのみ
DMAMD.DADR	1	リロード後のインクリメント転送先アドレス
DMAMD.SM[1:0]	10b	転送元更新モード：インクリメントアドレス
DMAMD.DM[1:0]	01b	転送先更新モード：インクリメントアドレス
DMCRAH, DMCRAL	3	転送ブロックサイズ
DMSBSH, DMSBSL	3	転送元バッファサイズ（単位は"データ"）
DMDBSH, DMDBSL	N	転送先全バッファサイズ（単位は"ブロック"）および転送先アクセスオフセット（単位は"データ"）

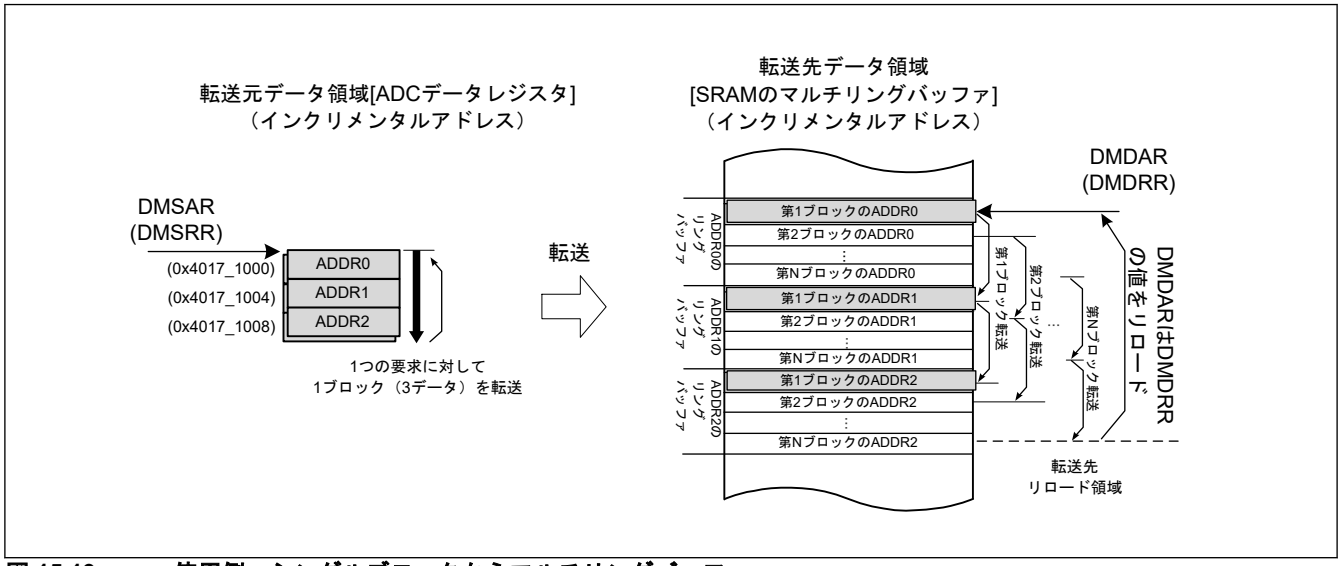


図 15.19 使用例：シングルブロックからマルチリングバッファへ

15.3.7 起動要因

ソフトウェア、周辺モジュールからの割り込み要求、および外部割り込み要求は、すべて DMAC 起動要因として指定可能です。起動要因を選択するには、DMTMD.DCTG[1:0]ビットを設定します。

15.3.7.1 ソフトウェアによる DMAC 起動

ソフトウェアによって DMA 転送を開始する場合、以下の手順に従ってください。

1. DMTMD.DCTG[1:0]ビットを 00b にする。
2. DMCNT.DTE ビットを 1（DMA 転送許可）にする。
3. DMAST.DMST ビットを 1（DMAC 起動許可）にする。
4. DMREQ.SWREQ ビットを 1（DMA 転送要求あり）にする。

DMREQ.CLRS ビットが 0 の状態でソフトウェアによる DMAC 起動を行った場合、DMA 転送要求に対する転送が開始されると DMREQ.SWREQ ビットが 0 になります。

DMREQ.CLRS ビットが 1 の状態でソフトウェアによる DMAC 起動を行った場合は、転送を開始しても DMREQ.SWREQ ビットは 0 になりません。要求に対する転送終了後、再び DMA 転送要求が発生します。

15.3.7.2 内蔵周辺モジュール／外部割り込み要求による DMAC 起動

内蔵周辺モジュールからの割り込み要求と外部割り込み要求を、DMAC 起動要因に指定することができます。起動要因は、ICU.DELSRn.DELS[8:0]ビット（n = 0～7）でチャネルごとに個別に選択できます。

内蔵周辺モジュールからの割り込み要求または外部割り込み要求によって DMA 転送を開始する場合、以下の手順に従います。

1. ICU.DELSRn.DELS[8:0]（n = 0～7）ビットにイベント番号を設定する（DMAC イベントリンクを選択する）。
2. DMTMD.DCTG[1:0]ビットを 01b（周辺モジュールまたは外部割り込み端子からの割り込み）にする。
3. DMCNT.DTE ビットを 1（DMA 転送許可） にする。
4. DMAST.DMST ビットを 1（DMAC 起動許可）にする。

DMAC の起動要因となる割り込み要求については、「12. 割り込みコントローラユニット (ICU)」の表 12.3 を参照してください。

15.3.8 動作タイミング

以下に示すタイミング図は、最小実行サイクル数を示しています。

図 15.20 と図 15.21 に動作タイミングを示します。

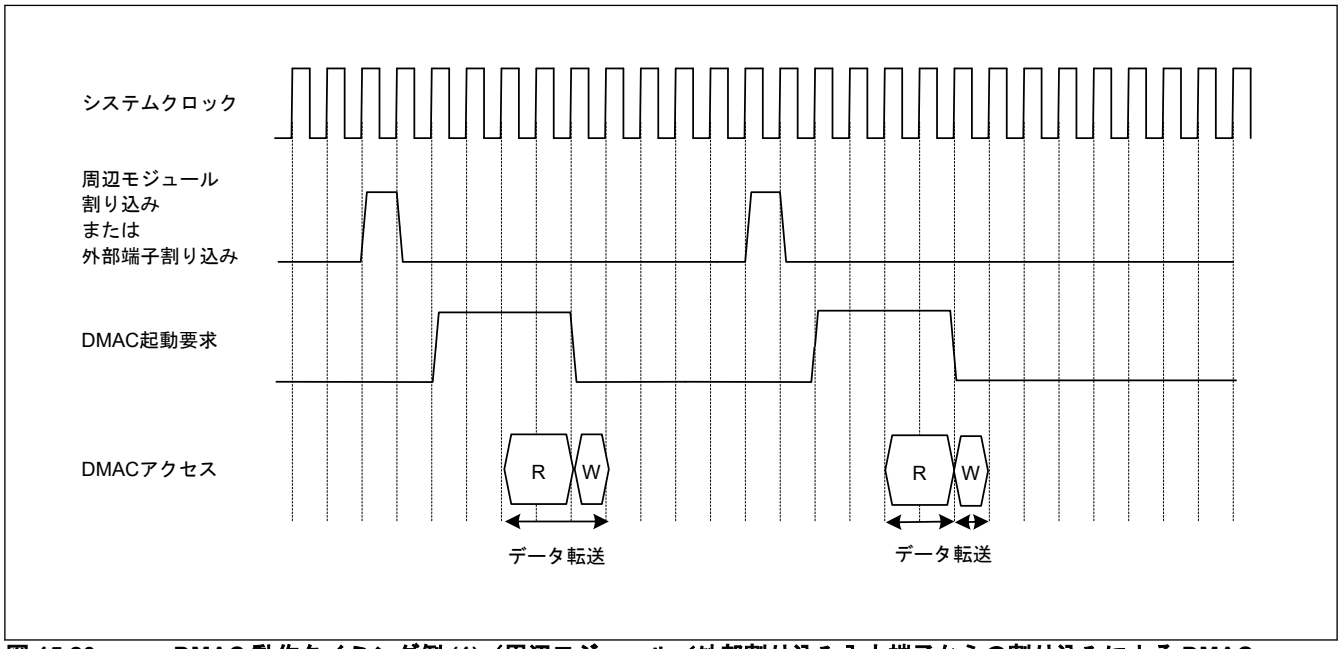


図 15.20 DMAC 動作タイミング例 (1)（周辺モジュール／外部割り込み入力端子からの割り込みによる DMAC 起動、ノーマル転送モード、リピート転送モードの場合）

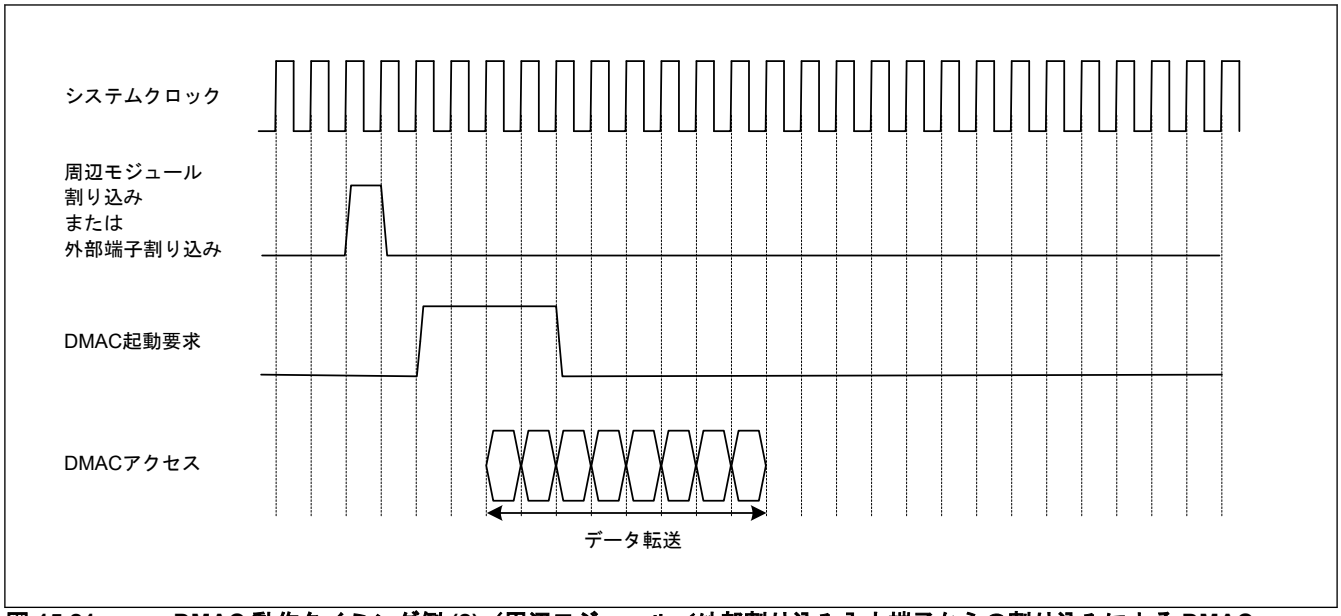


図 15.21 DMAC 動作タイミング例 (2)（周辺モジュール／外部割り込み入力端子からの割り込みによる DMAC 起動、ブロック転送モード、ブロックサイズ = 4 の場合）

15.3.9 DMAC の実行サイクル

表 15.17 に、1 回の DMAC データ転送動作における実行サイクルを示します。

表 15.17 DMAC の実行サイクル

転送モード	データ転送（読み出し）	データ転送（書き込み）
ノーマル	Cr+1	Cw
リピート	Cr+1	Cw
ブロック(注1)	P × Cr	P × Cw

注. P：ブロックサイズ（DMCRAH レジスタの設定値）
Cr：データリード先アクセスサイクル
Cw：データライト先アクセスサイクル
注 1. ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

Cr と Cw はアクセス先で異なります。各アクセス先のサイクル数については、「41. SRAM」、「43. フラッシュメモリ」および「13. バス」を参照してください。システムクロックと周辺クロックの周波数比も考慮されています。

データ転送（読み出し）列の「+1」の単位は、システムクロック (ICLK) の 1 サイクルです。動作例については、「15.3.8. 動作タイミング」を参照してください。

15.3.10 DMAC の起動

表 15.18 にノーマルモード、リピートモード、ブロック転送モードにおけるレジスタの設定手順を示します。また、表 15.19 にリピート／ブロック転送モードにおけるレジスタの設定手順を示します。

表 15.18 ノーマル転送モード、リピート転送モード、ブロック転送モードのレジスタの設定手順 (1/2)

No.	ステップ名	説明
1	DMACn 要求要因となる周辺機能を禁止に設定する。	DMAC 起動要因として周辺機能割り込みを使用する場合。 周辺機能の制御レジスタを禁止に設定する。
2	DMACn 要求要因となる IRQn 端子を禁止に設定する。	DMAC 起動要因として外部端子割り込みを使用する場合。
3	DMACn イベントリンク選択 (ICU.DELSRn.DELS[8:0]) ビットを 0x00 に設定する。	DMACn 要求を禁止に設定する。
4	DMCNT.DTE ビットを 0 にクリアする。	DMA 転送を禁止に設定する。

表 15.18　ノーマル転送モード、リピート転送モード、ブロック転送モードのレジスタの設定手順 (2/2)

No.	ステップ名	説明
5	ICU にて、DMACn 要求要因となる割り込み要求を DMAC イベントリンク設定レジスタ (ICU.DELSRn) に設定する。	DMAC 起動要因として内部周辺割り込みまたは外部端子割り込みを使用する場合。 起動要因の割り込みビットを許可する。DMACn の起動要因を設定する。
6	DMACn 要求要因となる周辺モジュールを設定する。	DMAC 起動要因として周辺機能割り込みを使用する場合。 周辺機能の制御レジスタを設定するが、開始はさせない。
7	ICU にて IRQn 端子機能を設定する。	DMAC 起動要因として外部端子割り込みを使用する場合。 割り込みコントローラユニットにて IRQn 端子機能を設定する。
8	DMAMD.DM[1:0]ビットを設定する。 DMAMD.SM[1:0]ビットを設定する。 DMAMD.DARA[4:0]ビットを設定する。 DMAMD.SARA[4:0]ビットを設定する。	転送先アドレス更新モードビットを設定する。 転送元アドレス更新モードビットを設定する。 転送先アドレス拡張リピート領域ビットを設定する。 転送元アドレス拡張リピート領域ビットを設定する。
9	DMTMD.DCTG[1:0]ビットを設定する。 DMTMD.SZ[1:0]ビットを設定する。 DMTMD.DTS[1:0]ビットを設定する。 DMTMD.MD[1:0]ビットを設定する。 DMTMD.TKP ビットを設定する。	転送要求選択ビットを設定する。 データ転送サイズビットを設定する。 リピート領域選択ビットを設定する。 転送モード選択ビットを設定する。 転送保持選択ビットを設定する。
10	DMSAR レジスタをを設定する。 DMDAR レジスタをを設定する。 DMCRA レジスタをを設定する。	転送元の開始アドレスを設定する。 転送先の開始アドレスを設定する。 転送回数を設定する。
11	DMCRB レジスタをを設定する。	ブロック転送モードまたはリピート転送モードの場合。 ブロック転送回数を設定する。
12	DMOFR レジスタをを設定する。	オフセットを使ったアドレス更新機能を使用する場合。 オフセット値を設定する。
13	DMINT.DTIE ビットを 1 に設定する。	DMA 転送終了割り込みを使用する場合。 DMACn 転送終了割り込みを許可します。
14	DMINT.RPTIE ビットを設定する。 DMINT.SARIE ビットを設定する。 DMINT.DARIE ビットを設定する。 DMINT.ESIE ビットを 1 に設定する。	DMA 転送エスケープ終了割り込みを使用する場合。 リピートサイズ終了割り込みを設定をする。 転送元アドレス拡張リピート領域オーバーフロー割り込みを設定をする。 転送先アドレス拡張リピート領域オーバーフロー割り込みを設定をする。 DMA 転送エスケープ終了割り込みを許可する。
15	DMCNT.DTE ビットを 1 に設定する。	DMA 転送を許可する。
16	DMAST.DMST ビットを 1 に設定する。	DMAC 動作を許可する。(注1) DMAC 共通設定
17	DMACn 転送を禁止に設定する。	DMAC 起動要因として周辺機能割り込みを使用する場合。
18	DMACn 要求要因となる IRQn 端子を許可する。	DMAC 起動要因として外部端子割り込みを使用する場合。
19	初期設定終了	ソフトウェアでの起動 初期設定完了後、DMA ソフトウェア起動ビット (DMREQ.SWREQ) に 1 を書き込むと DMA 転送を開始する。

注.　n：DMAC チャネル（n = 0～7）
注 1.　DMAST.DMST ビットの設定は、各起動要因に対する必要な設定の後である必要はありません。

表 15.19　リピート／ブロック転送モードのレジスタ設定手順 (1/2)

No.	ステップ名	説明
1	DMACn 要求要因となる周辺機能を禁止に設定する。	DMA 起動要因として周辺機能割り込みを使用する場合。 周辺機能の制御レジスタを禁止に設定する。
2	DMACn 要求要因となる IRQ 端子を禁止に設定する。	DMA 起動要因として外部端子割り込みを使用する場合。
3	DMACn イベントリンク選択 (ICU.DELSRn.DELS[8:0]) ビットを 00h に設定する。	DMACn 要求を禁止に設定する。
4	DMCNT.DTE ビットを 0 にクリアする。	DMACn 転送を禁止に設定する。

表 15.19 リピート／ブロック転送モードのレジスタ設定手順 (2/2)

No.	ステップ名	説明
5	ICU にて、DMACn 要求要因となる割り込み要求を DMACn イベントリンク設定レジスタ (ICU.DELSRn) に設定する。	DMA 起動要因として内部周辺割り込みまたは外部端子割り込みを使用する場合。 起動要因の割り込みビットを許可する。 DMACn の起動要因を設定する。
6	DMACn 要求要因となる周辺モジュールを設定する。	DMA 起動要因として周辺機能割り込みを使用する場合。 周辺機能の制御レジスタを設定するが、開始はさせない。
7	割り込みコントローラユニットにて IRQ 端子機能を設定する。	DMA 起動要因として外部端子割り込みを使用する場合。 割り込みコントローラユニットにて IRQ 端子機能を設定する。
8	DMAMD.DM[1:0]ビットを設定する。 DMAMD.SM[1:0]ビットを設定する。 DMAMD.DADR ビットを設定する。 DMAMD.SADR ビットを設定する。	転送先アドレス更新モードビットを設定する。 転送元アドレス更新モードビットを設定する。 リロード後転送先アドレス更新選択ビットを設定する。 リロード後転送元アドレス更新選択ビットを設定する。
9	DMTMD.DCTG[1:0]ビットを設定する。 DMTMD.SZ[1:0]ビットを設定する。 DMTMD.MD[1:0]ビットを設定する。 DMTMD.TKP ビットを設定する。	転送要求選択ビットを設定する。 データ転送サイズビットを設定する。 転送モードをリピート／ブロック転送モードに設定する。 転送保持選択ビットを設定する。
10	DMSAR レジスタをを設定する。 DMDAR レジスタをを設定する。 DMSRR レジスタをを設定する。 DMDRR レジスタをを設定する。 DMCRA レジスタをを設定する。 DMCRB レジスタをを設定する。	転送元の開始アドレスを設定する。 転送先の開始アドレスを設定する。 転送元の開始アドレスの初期値を設定する。 転送先の開始アドレスの初期値を設定する。 転送回数を設定する。 ブロック転送回数を設定する。
11	DMSBS レジスタをを設定する。 DMDBS レジスタをを設定する。	インクリメント、デクリメント、またはオフセットを使ったアドレス更新機能を使用する場合。 転送元バッファサイズとアクセスオフセットを設定する。 転送先バッファサイズとアクセスオフセットを設定する。
12	DMINT.DTIE ビットを 1 に設定する。	DMA 転送終了割り込みを使用する場合。 DMACn 転送終了割り込みを許可する。
13	DMCNT.DTE ビットを 1 に設定する。	DMA 転送を許可する。
14	DMAST.DMST ビットを 1 に設定する。	DMAC 動作を許可する。(注1)
15	DMACn 要求要因となる周辺機能を開始する。	DMA 起動要因として周辺機能割り込みを使用する場合。
16	DMACn 要求要因となる IRQ 端子を許可する。	DMA 起動要因として外部端子割り込みを使用する場合。
17	初期設定終了	ソフトウェアでの起動 初期設定完了後、DMA ソフトウェア起動ビット (DMREQ.SWREQ) に 1 を書き込むと DMA 転送を開始する。

注. m：DELSRn.DELS ビット番号（m = 0～8）
n：DMAC チャネル（n = 0～7）

注 1. DMAST.DMST ビットの設定は、各起動要因に対する必要な設定の後である必要はありません。

15.3.11 DMA 転送の開始

チャネル n の DMA 転送を有効にするには、DMCNT.DTE ビットを 1（DMA 転送許可）にして、DMAST.DMST ビットを 1（DMAC 起動許可）にします。

他の DMAC チャネルや DTC の転送中は、新たな起動要求は受け付けられません。先行する転送が終了した時点で最も優先順位の高いチャネルの DMA 転送要求が選択され、そのチャネルの DMA 転送が開始されます。DMA 転送が始まると、DMSTS.ACT フラグが 1（DMAC 動作中）になります。

15.3.12 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理によって値が更新されます。更新される値は、各種設定や転送の状態によって異なります。更新されるレジスタは、DMSAR、DMDAR、DMCRA、DMCRB、DMSBS、DMDBS、DMCNT、および DMSTS です。これらの説明を下記に示します。

DMA 転送元アドレスレジスタ (DMSAR)

1 転送要求に対するデータ転送が終了すると、DMSAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.5～表 15.13 を参照してください。

DMA 転送先アドレスレジスタ (DMDAR)

1 転送要求に対するデータ転送が終了すると、DMDAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.5～表 15.13 を参照してください。

DMA 転送カウントレジスタ (DMCRA)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.5～表 15.13 を参照してください。

DMA ブロック転送カウントレジスタ (DMCRB)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.5～表 15.13 を参照してください。

DMA 転送元バッファサイズレジスタ (DMSBS)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.8～表 15.13 を参照してください。

DMA 転送先バッファサイズレジスタ (DMDBS)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.8～表 15.13 を参照してください。

DMA 転送許可ビット (DMCNT.DTE)

DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可／禁止を制御します。DMA 転送の状態に応じて自動的に DMAC によって 0 にクリアされます。

DMAC がこのビットをクリアする条件は、以下のとおりです。

- 設定された総転送データ数の転送が終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピート領域オーバーフロー割り込みによって DMA 転送が停止したとき
- DMA 転送エラーが発生したとき

対応する DMCNT.DTE ビットが 1 になっているチャネルのレジスタへは書き込まないでください（DMCNT レジスタを除く）。DTE ビットを 0 にした後のみ、書き込みが可能になります。

DMA アクティブフラグ (DMSTS.ACT)

DMSTS.ACT フラグは、DMACn がアイドル状態であるか、または動作中であるかを示します。

このフラグは DMAC がデータ転送を開始すると 1 になり、1 転送要求に対するデータ転送が終了すると 0 になります。

DMA 転送中に DMCNT.DTE ビットに 0 を書いて DMA 転送を停止させた場合でも、このフラグは DMA 転送が終了するまで 1 を保持します。

転送終了割り込みフラグ (DMSTS.DTIF)

総転送サイズ分の DMA 転送が終了すると、DMSTS.DTIF フラグは 1 になります。

このフラグと DMINT.DTIE ビットがともに 1 の場合、転送終了割り込み要求が発生します。

このフラグが 1 になるタイミングは、DMA 転送のバスサイクルが終了し、DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。

割り込み処理中に DMCNT.DTE ビットを 1 にした場合、このフラグは自動的に 0 にクリアされます。

転送エスケープ終了割り込みフラグ (DMSTS.ESIF)

リピートサイズ終了割り込み要求、または拡張リピート領域オーバーフロー割り込み要求が発生したとき、DMSTS.ESIF フラグは 1 になります。このフラグと DMINT.ESIE ビットがともに 1 の場合、転送エスケープ終了割り込み要求が発生します。

このフラグが 1 になるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了し、DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。

割り込み処理中に DMCNT.DTE ビットを 1 にした場合、このフラグは自動的に 0 にクリアされます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。

詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

15.3.13 チャネル優先順位

DMAC は、複数の DMA 転送要求が発生したとき、DMA 転送要求のあるチャネルの優先順位を判断します。

- チャネル優先順位は、以下の順で固定です。チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3… > チャネル 7（チャネル 0: 最優先）

データ転送中に DMA 転送要求が発生した場合は、最終データの転送後にチャネルアービトレーションを行い、最も優先順位の高いチャネルの転送が開始されます。

15.3.14 チャネルセキュリティ

DMACn の転送アクセスのセキュリティ属性、DMACn のレジスタへのアクセスのセキュリティ属性、および ICU.DELSRn レジスタへのアクセスのセキュリティ属性は、ICUSARC.SADMACn ビットにより制御されます。ICUSARC レジスタの詳細については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

ICUSARC.SADMACn ビットが 0 の場合、DMACn の転送は、読み出しおよび書き込みに対してセキュアアクセスです。同時に、チャネル n のレジスタと DELSRn レジスタは、非セキュアアクセスから保護されます。

ICUSARC.SADMACn ビットが 1 の場合、DMACn の転送は、読み出しおよび書き込みに対して非セキュアアクセスです。同時に、チャネル n のレジスタと DELSRn レジスタは、非セキュア属性です。

同じチャネルの DMA 転送が許可されている、またはバスマスタが同じチャネルの DMA レジスタに書き込んでいる間は、ICUSARC.SADMACn ビットに書き込まないでください。

図 15.22 に各 DMAC チャネルに関するセキュリティ属性を示します。

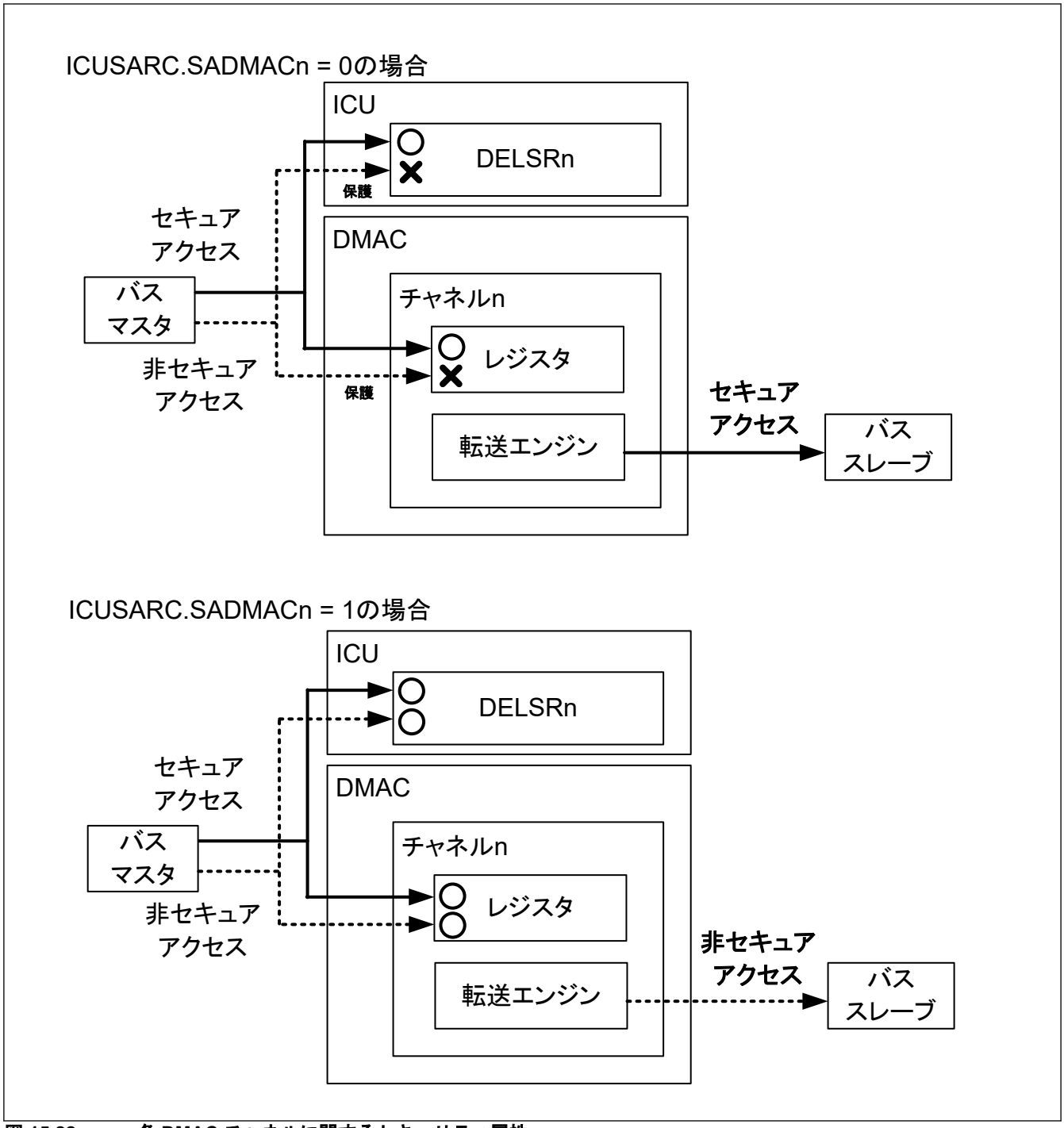


図 15.22 各 DMAC チャネルに関するセキュリティ属性

15.3.15 DMAC のマスタ TrustZone フィルタ

DMAC には、マスタ TrustZone フィルタがあります。DMAC のマスタ TrustZone フィルタは、IDAU で定義するフラッシュ領域（コードフラッシュとデータフラッシュ）と SRAM 領域のセキュリティ領域を検出できます。非セキュアチャネルがそれらのアドレスにアクセスすると、セキュリティ違反を検出します。セキュリティ違反のアクセスは実行されません。検出したエラーは、マスタ TrustZone フィルタエラーとして扱います。

15.4 DMA 転送の終了

DMA 転送の終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMCNT.DTE ビットと DMSTS.ACT フラグが 1 から 0 になります。

15.4.1 設定した総転送回数完了による転送終了

(1) ノーマル転送モード (DMTMD.MD[1:0] = 00b) の場合

DMCRAL レジスタの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、同時に DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ転送終了割り込み要求が送信されます。

(2) リピート転送モード (DMTMD.MD[1:0] = 01b) の場合

DMCRBL レジスタの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMTMD.TKP ビットが 1（フリーランニング機能）であると、DMSTS.DTIF ビットは 1 になりますが、DMCNT.DTE ビットは 0 になりません。

(3) ブロック転送モード (DMTMD.MD[1:0] = 10b) の場合

DMCRBL レジスタの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。

詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

DMTMD.TKP ビットが 1（フリーランニング機能）であると、DMSTS.DTIF ビットは 1 になりますが、DMCNT.DTE ビットは 0 になりません。

(4) リピート／ブロック転送モード (DMTMD.MD[1:0] = 11b) の場合

DMCRBL レジスタの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

DMTMD.TKP ビットが 1（フリーランニング機能）であると、DMSTS.DTIF ビットは 1 になりますが、DMCNT.DTE ビットは 0 になりません。

15.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMINT.RPTIE ビットが 1 であれば、1 リピートサイズ分の転送終了時にリピートサイズ終了割り込み要求が発生します。DMTMD.TKP ビットが 1 の場合でも（フリーランニング機能）、DMCNT.DTE ビットが 0 になり、DMSTS.ESIF フラグが 1 になります。このとき DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。転送を再開させるには、DMCNT.DTE ビットに 1 を書き込んでください。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。1 ブロックサイズ分の転送終了時に、リピート転送モードと同様に割り込み要求が発生します。

リピート／ブロック転送モードにおいては、リピートサイズ終了割り込み要求を発生させることができません。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

15.4.3 拡張リピート領域オーバーフロー割り込みによる転送終了

拡張リピート領域が指定され、かつ DMINT.SARIE ビットまたは DMINT.DARIE ビットが 1 の場合に、DMTMD.TKP ビットが 1 の場合でも（フリーランニング機能）、拡張リピート領域がオーバーフローすると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMA 転送が停止して、DMCNT.DTE ビットが 0 になり、DMSTS.ESIF フラグが 1 になります。このとき DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

この割り込み要求がリードサイクル中に発生しても、以降のライトサイクルは実行されます。

ブロック転送モードでは、割り込み要求が 1 ブロックの転送中に発生しても、そのブロックの残りのデータが転送されるまで、転送は終了しません。

リピート／ブロック転送モードでは、拡張リピート領域オーバーフロー割り込み要求はできません。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

15.5 DMA 転送エラーの処理

DMA 転送エラーは、DMAC のマスタ TrustZone フィルタエラー、スレーブ TrustZone フィルタエラー、マスタ MPU エラー、スレーブバスエラー、または不正アクセスエラーによって発生します。DMA 転送中にアクセスエラーが発生すると、DMAC はエラーの発生したチャネルの転送をただちに停止します。この時、対応するチャネルの ICU 設定もクリアされます。エラーを引き起こしたチャネル以外のチャネルからのリクエストがあれば、そのまま再調停となります。

転送エラー発生時、エラー発生チャネルの DMCNT.DTE は 0 になります。また、エラー応答は対応するチャネルの ICU.DELSRn に伝えられます。各レジスタへのライトバックは実行されません。さらに、エラーが DMAC/DTC 転送により発生したことを通知するために、エラー応答検出割り込み要求 (DMA_TRANSERR) が発生します。

マスタ TrustZone フィルタエラー、スレーブ TrustZone エラー、またはマスタ MPU エラーが発生したとき、NMI を選択することで DMAC のエラー情報を確認できます。リセットを選択すると、DMAC エラーチャネルレジスタはクリアされます。DMAC の転送エラーによって NMI が生成する条件では、2 つの割り込み（NMI と DMA_TRANSERR）を生成します。この場合、NMI は常に最初に応答します。

スレーブバスエラーまたは不正アクセスエラーが発生すると、エラー応答検出割り込み要求 (DMA_TRANSERR) が発生します。さらに、エラー応答検出割り込み要求 (DMA_TRANSERR) が NMI ハンドラでクリアされない場合、ノンマスカブル割り込み後にそれが発生します。

「15.5.1. NMI ハンドラの処理」に NMI ハンドラの DMAC のエラー情報を確認する方法を示します。

「15.5.2. エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラの処理」に DMA_TRANSERR ハンドラの DMAC のエラー情報を確認する方法を示します。

転送エラー起因の割り込みとエラー情報を「15.6.2. 転送エラー割り込み」に示します。

15.5.1 NMI ハンドラの処理

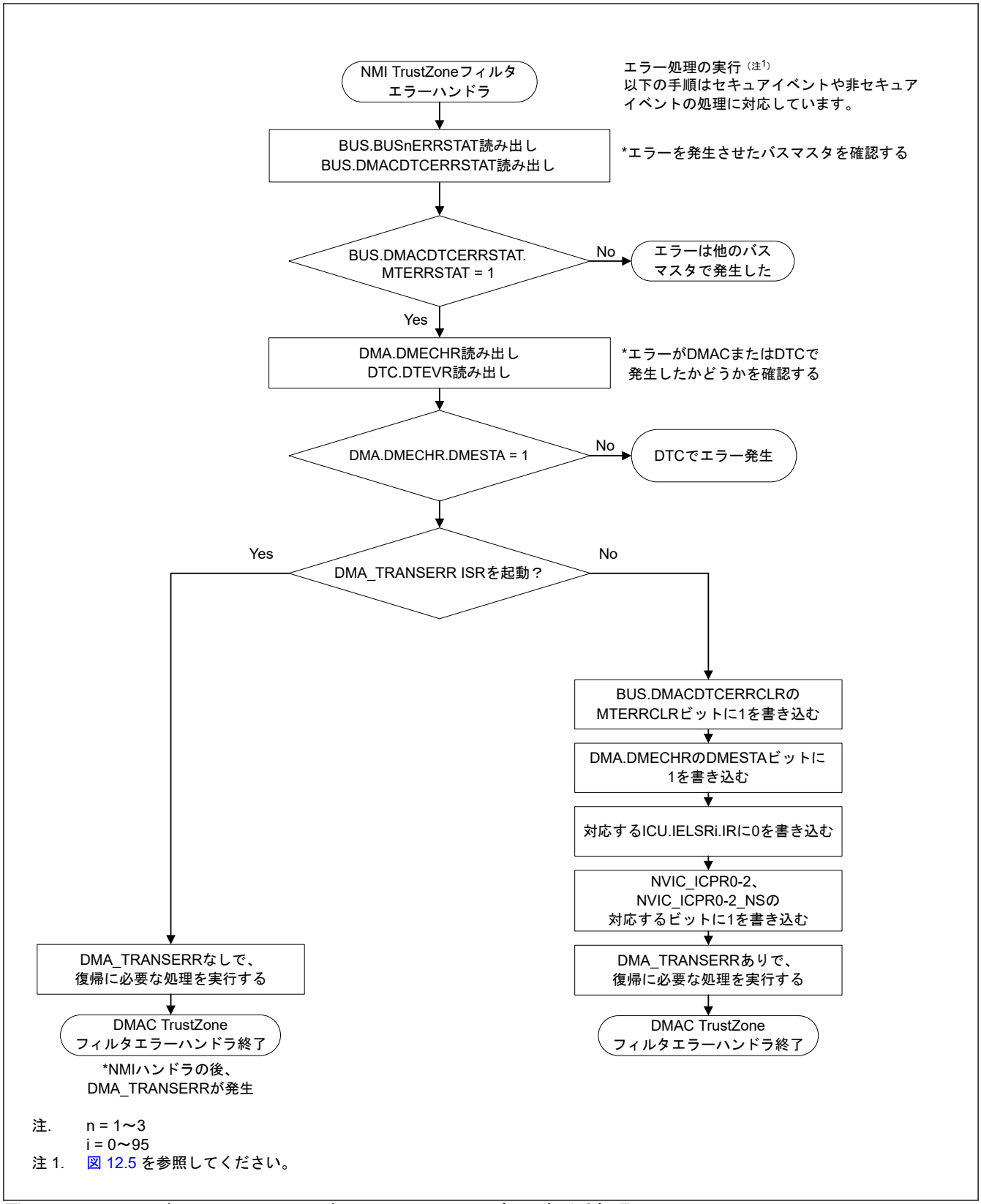
DMA 転送エラーに起因する NMI の原因は、マスタ TrustZone フィルタエラー、スレーブ TrustZone フィルタエラー、またはマスタ MPU エラーです。NMI が DMAC 転送エラーに起因して発生するとき、NMI ハンドラの終了後にエラー応答検出割り込み要求 (DMA_TRANSERR) が発生します。エラーの原因と、エラーの発生した DMAC チャネルを確認することができます。NMI が発生したときは、ICU 章で説明するフローに従って必要な処理を実行してください。

図 15.23 に DMAC のマスタ TrustZone フィルタエラーが発生したチャネルを確認するフローを示します。

図 15.24 に DMAC のスレーブ TrustZone フィルタエラーが発生したチャネルを確認するフローを示します。

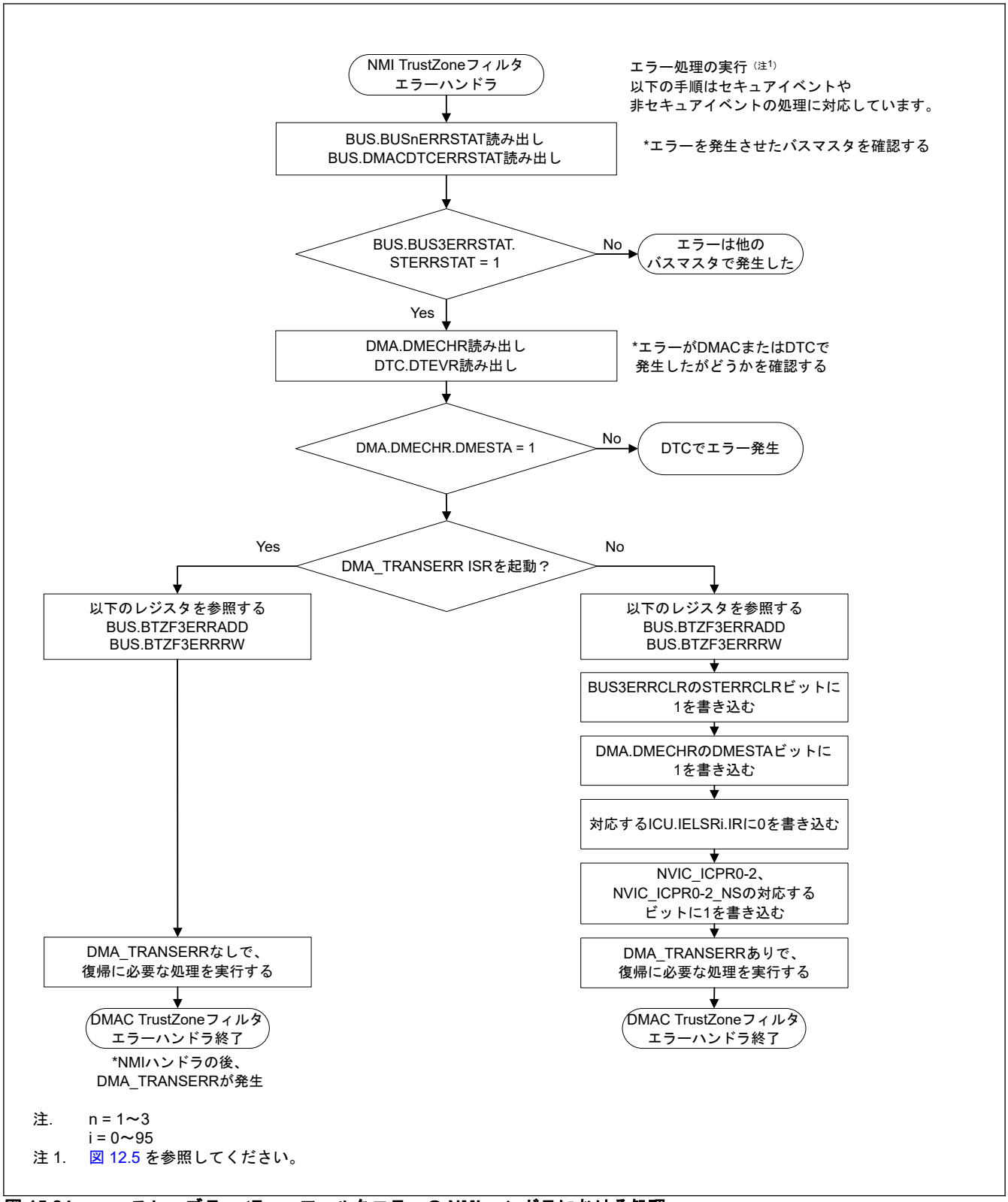
図 15.25 に DMAC のマスタ MPU エラーが発生したチャネルやセキュリティ属性を確認するフローを示します。

NMI ハンドラのすべての処理を終了すると、その後に発生するエラー応答検出割り込み要求 (DMA_TRANSERR) をクリアすることが可能です。



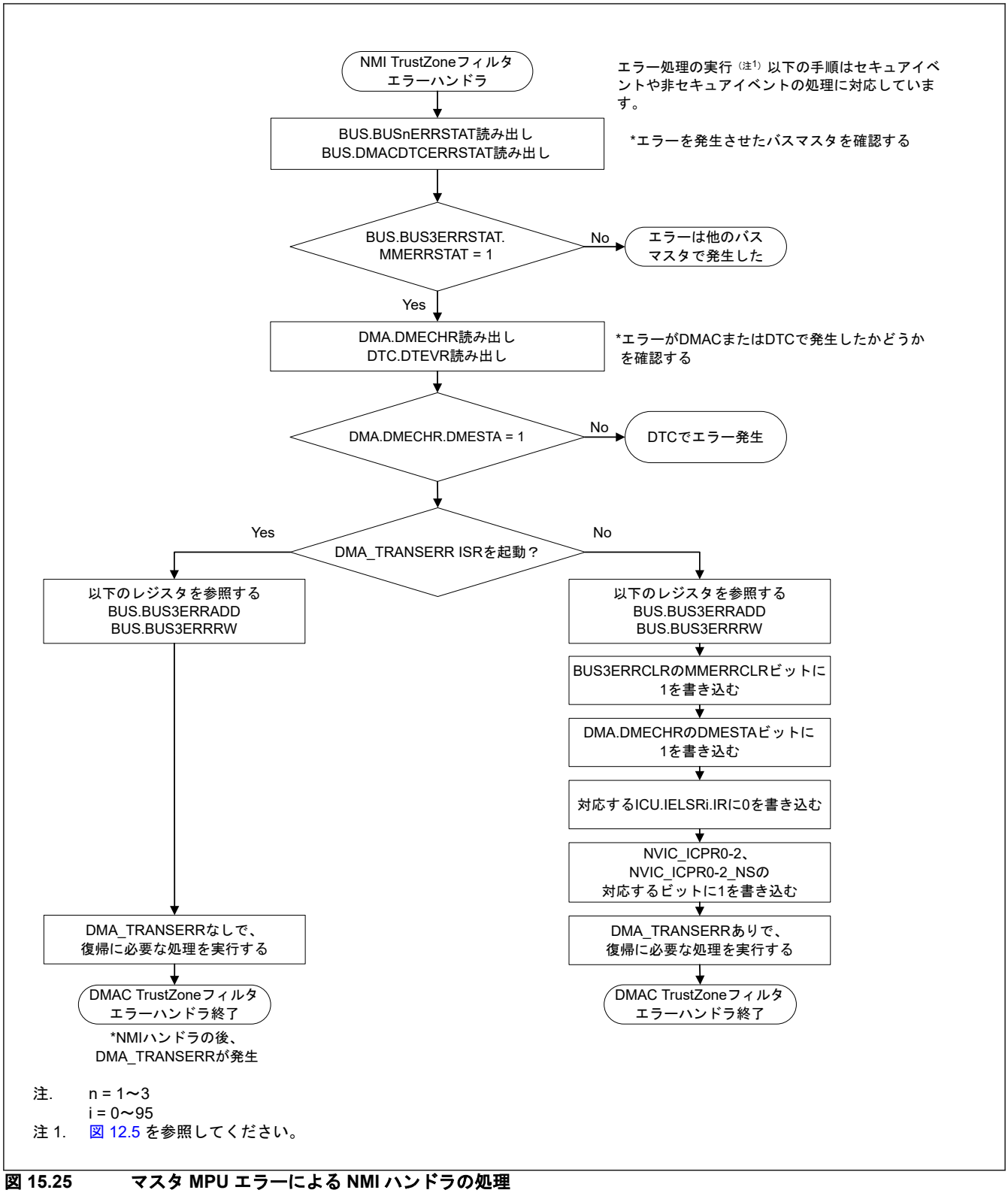
注. n = 1～3
i = 0～95
注 1. 図 12.5 を参照してください。

図 15.23 マスタ TrustZone フィルタエラーの NMI ハンドラにおける処理



注. n = 1～3
i = 0～95
注 1. 図 12.5 を参照してください。

図 15.24 スレーブ TrustZone フィルタエラーの NMI ハンドラにおける処理



注. n = 1～3
i = 0～95
注 1. 図 12.5 を参照してください。

図 15.25 マスタ MPU エラーによる NMI ハンドラの処理

15.5.2 エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラの処理

DMA 転送エラーに起因するエラー応答検出割り込み要求 (DMA_TRANSERR) の原因は、スレーブバスエラー、または不正アクセスエラーです。またこのエラーは、NMI ハンドラエラー応答検出割り込み要求 (DMA_TRANSERR) が NMI ハンドラによりクリアされなかった際にも発生します。

エラーの原因とエラーが発生した DMAC のチャネルを確認することが可能です。

図 15.26 にエラーの原因の確認手順を示します。

図 15.27 に DMAC のマスタ TrustZone フィルタエラーが発生したチャネルを確認するフローを示します。
図 15.28 に DMAC のスレーブ TrustZone フィルタエラーが発生したチャネルを確認するフローを示します。
図 15.29 に DMAC のマスタ MPU エラーが発生したチャネルとセキュリティ属性を確認するフローを示します。
図 15.30 に DMAC のスレーブバスエラーが発生したチャネルとセキュリティ属性を確認するフローを示します。
図 15.31 に DMAC の不正アクセスエラーが発生したチャネルとセキュリティ属性を確認するフローを示します。

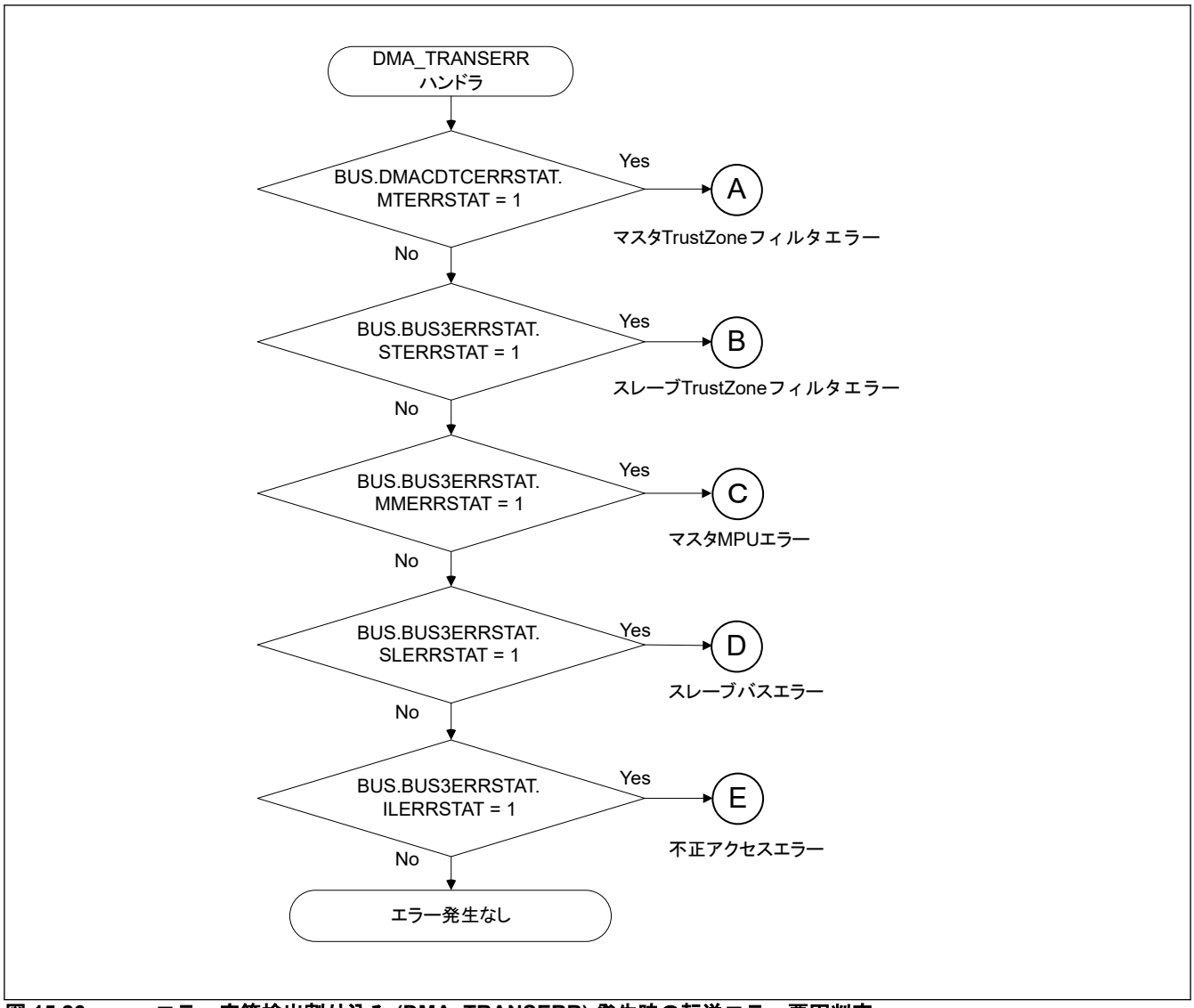
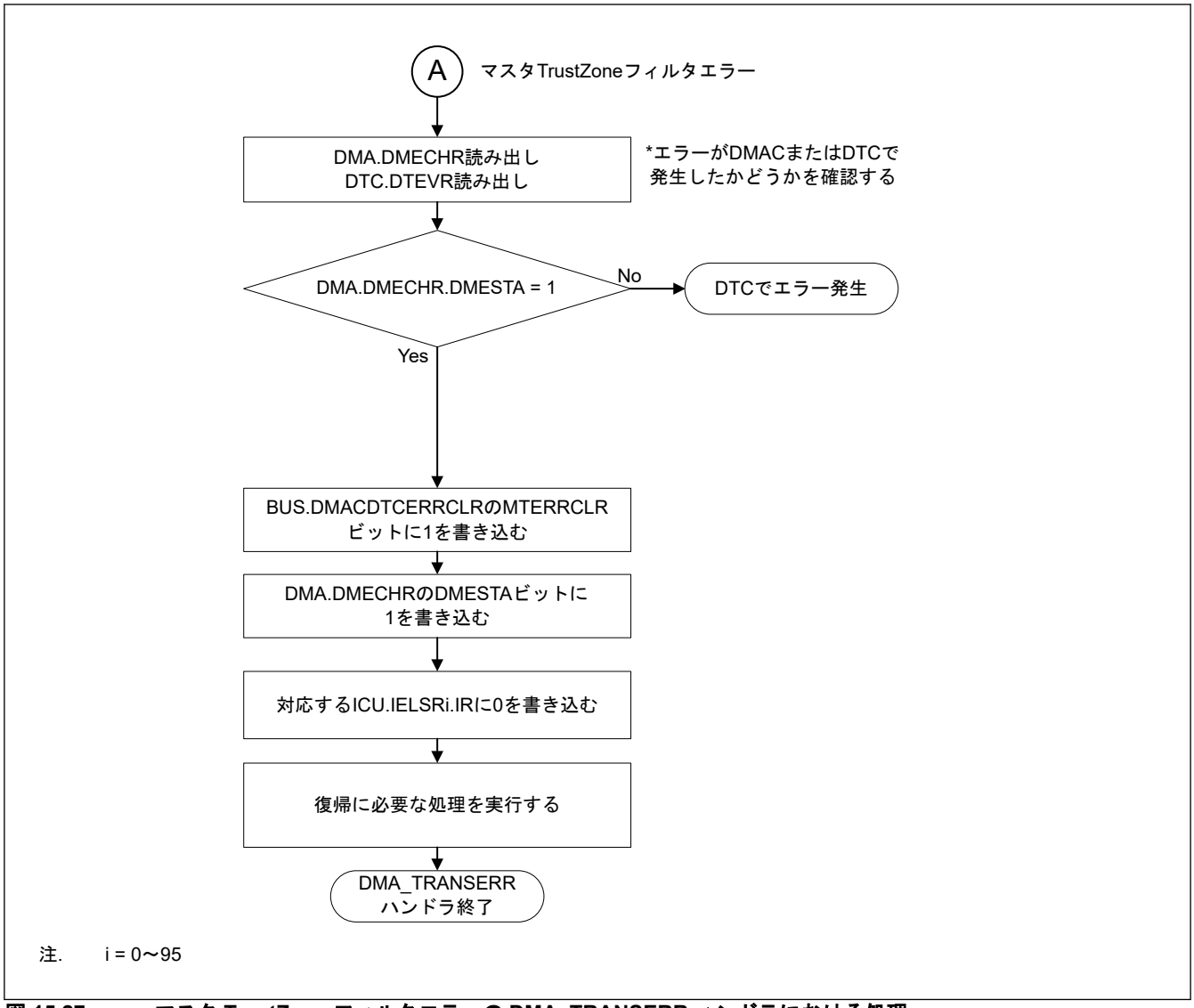
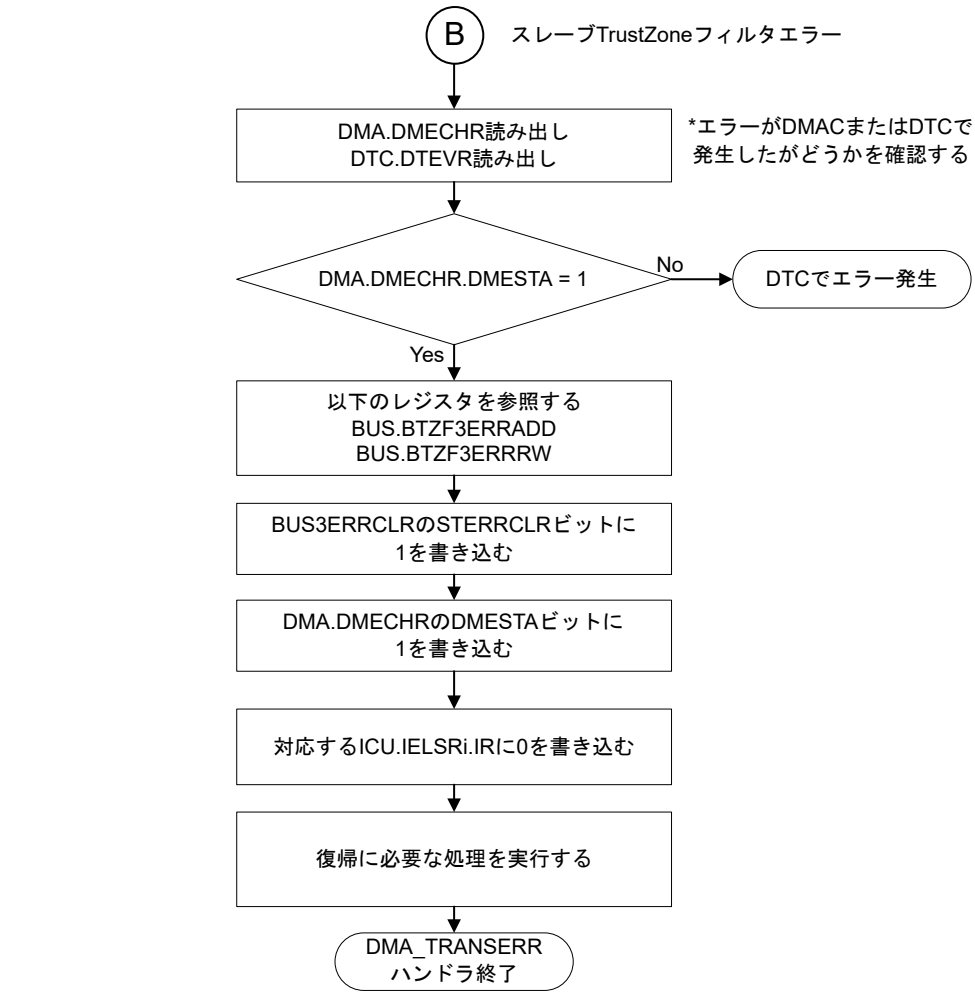


図 15.26 エラー応答検出割り込み (DMA_TRANSERR) 発生時の転送エラー要因判定



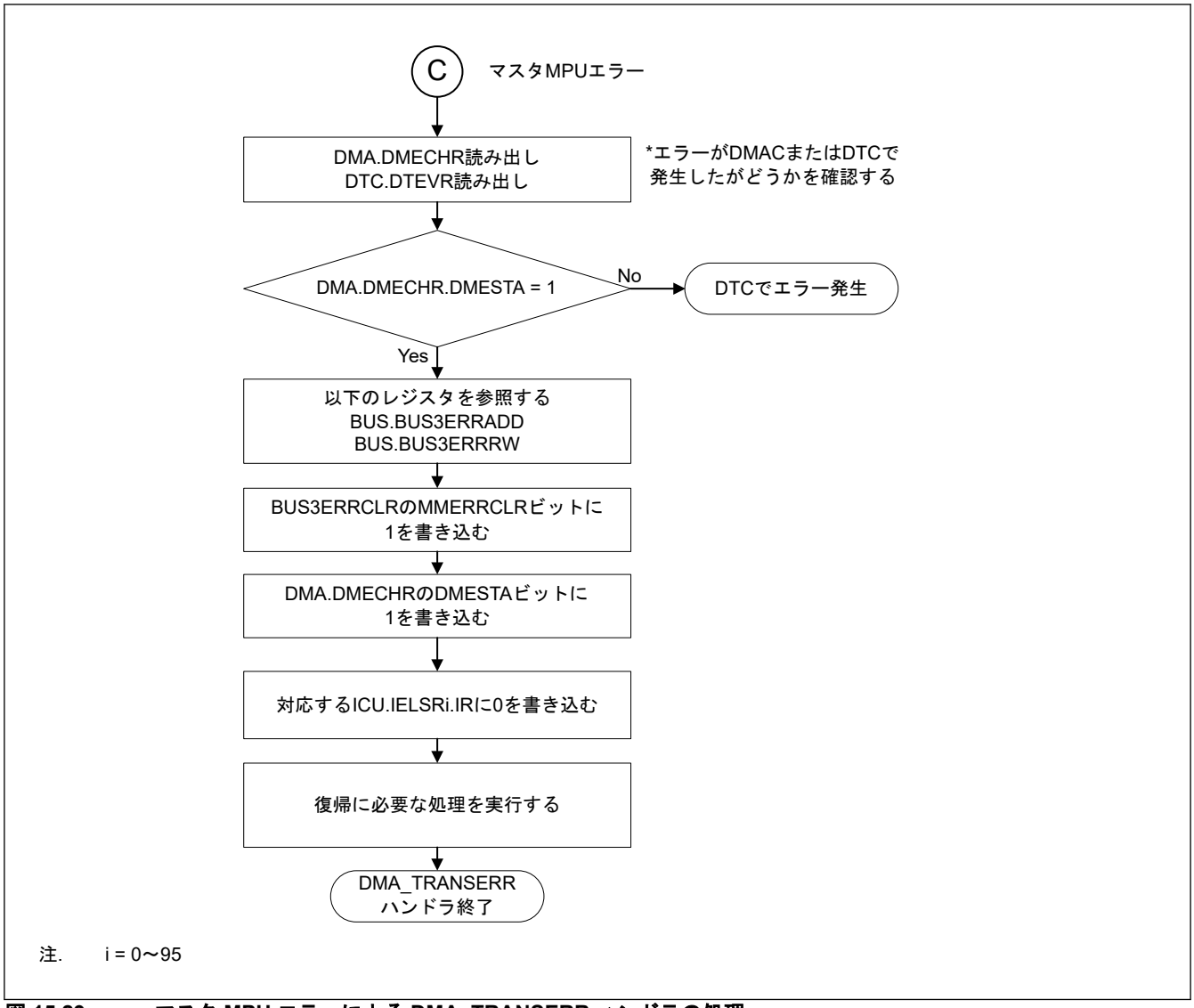
注. i = 0～95

図 15.27 マスタ TrustZone フィルタエラーの DMA_TRANSERR ハンドラにおける処理



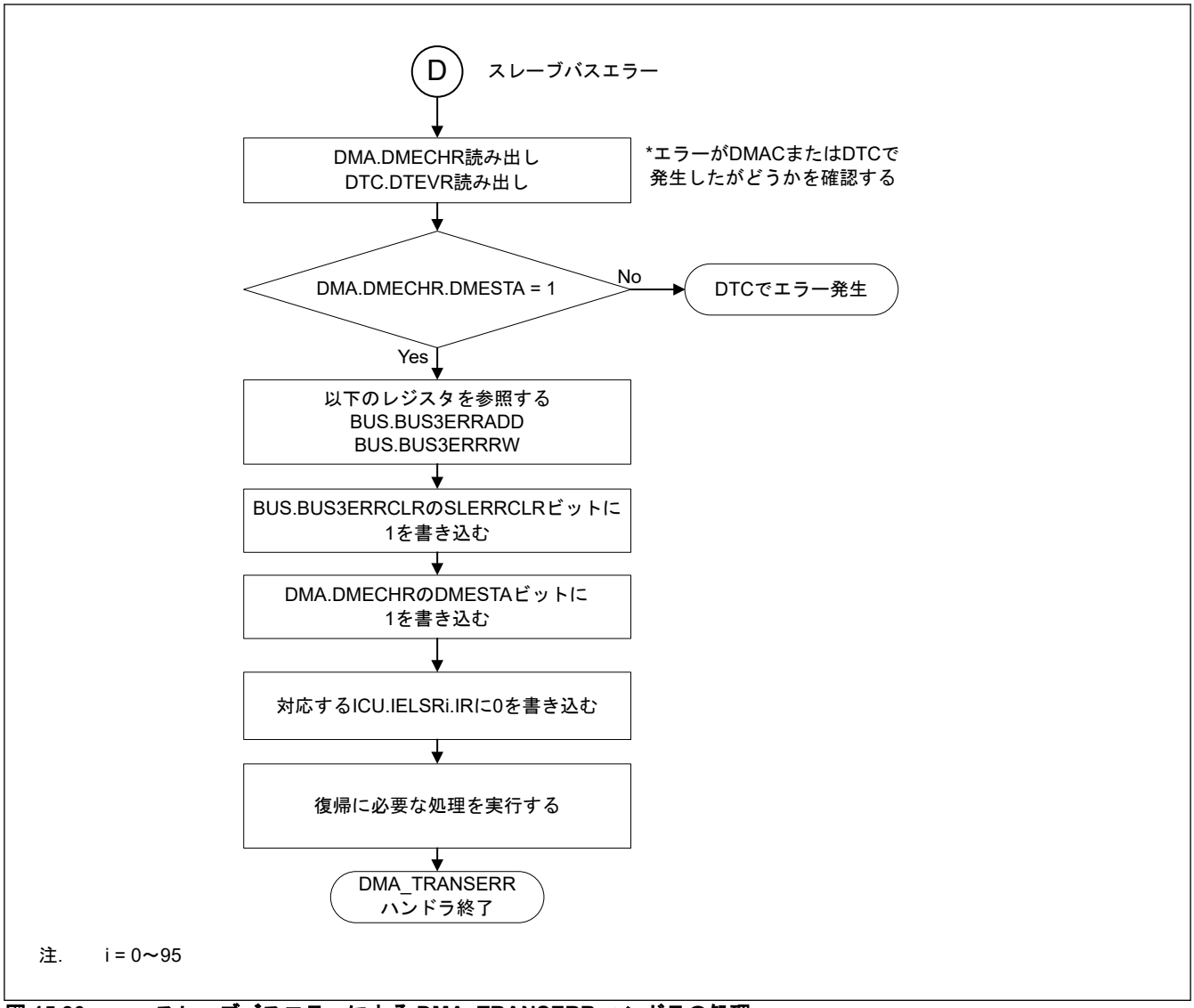
注. i = 0～95

図 15.28 スレーブ TrustZone フィルタエラーの DMA_TRANSERR ハンドラにおける処理



注. i = 0～95

図 15.29 マスタ MPU エラーによる DMA_TRANSERR ハンドラの処理



注. i = 0～95

図 15.30 スレーブバスエラーによる DMA_TRANSERR ハンドラの処理

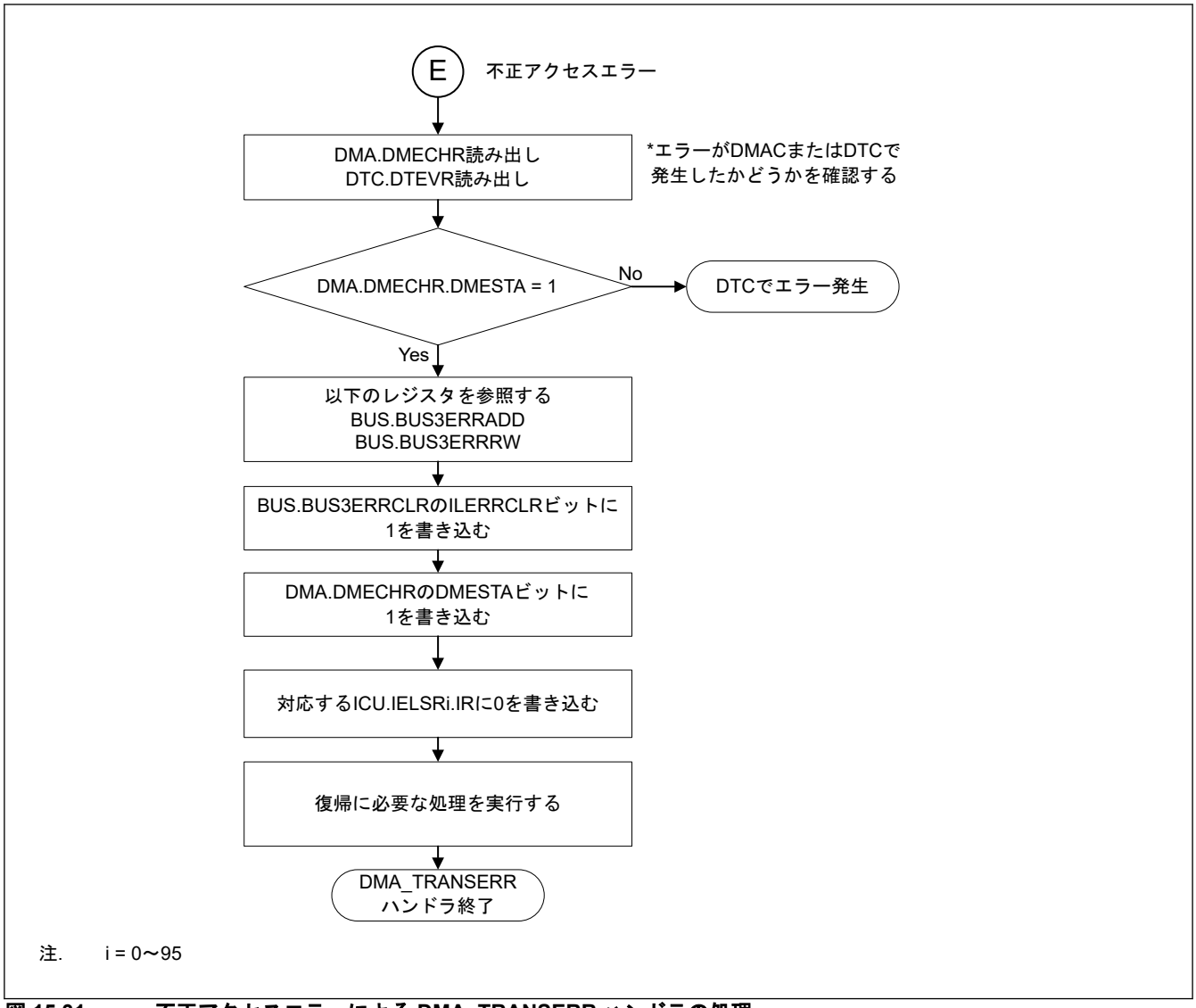


図 15.31 不正アクセスエラーによる DMA_TRANSERR ハンドラの処理

15.6 割り込み

15.6.1 転送終了割り込み

各 DMAC チャネルは、1 要求分の転送終了後、CPU または DTC へ割り込み要求 (DMACn_INT) を出力することができます。

リピートブロック転送モードでは、エスケープ転送終了割り込みを許可しないでください。

表 15.20 に、各割り込み要因とそれらに対応するステータスフラグおよび許可ビットを示します。 図 15.32 に、割り込み出力 (DMACn (n = 0～7)) の概略論理図を示します。 図 15.33 に DMAC 割り込み処理ルーチンで DMA 転送を再開／終了する手順を示します。

表 15.20 割り込み要因、割り込みステータスフラグ、割り込み許可ビットの対応関係 (1/2)

割り込み要因	割り込み許可ビット	割り込みステータスフラグ	要求出力許可ビット
転送終了	—	DMSTS.DTIF	DMINT.DTIE

表 15.20 割り込み要因、割り込みステータスフラグ、割り込み許可ビットの対応関係 (2/2)

割り込み要因		割り込み許可ビット	割り込みステータスフラグ	要求出力許可ビット
エスケープ転送終了	リピートサイズ終了	DMINT.RPTIE	DMSTS.ESIF	DMINT.ESIE
	転送元アドレス拡張リピート領域オーバーフロー	DMINT.SARIE		
	転送先アドレス拡張リピート領域オーバーフロー	DMINT.DARIE		

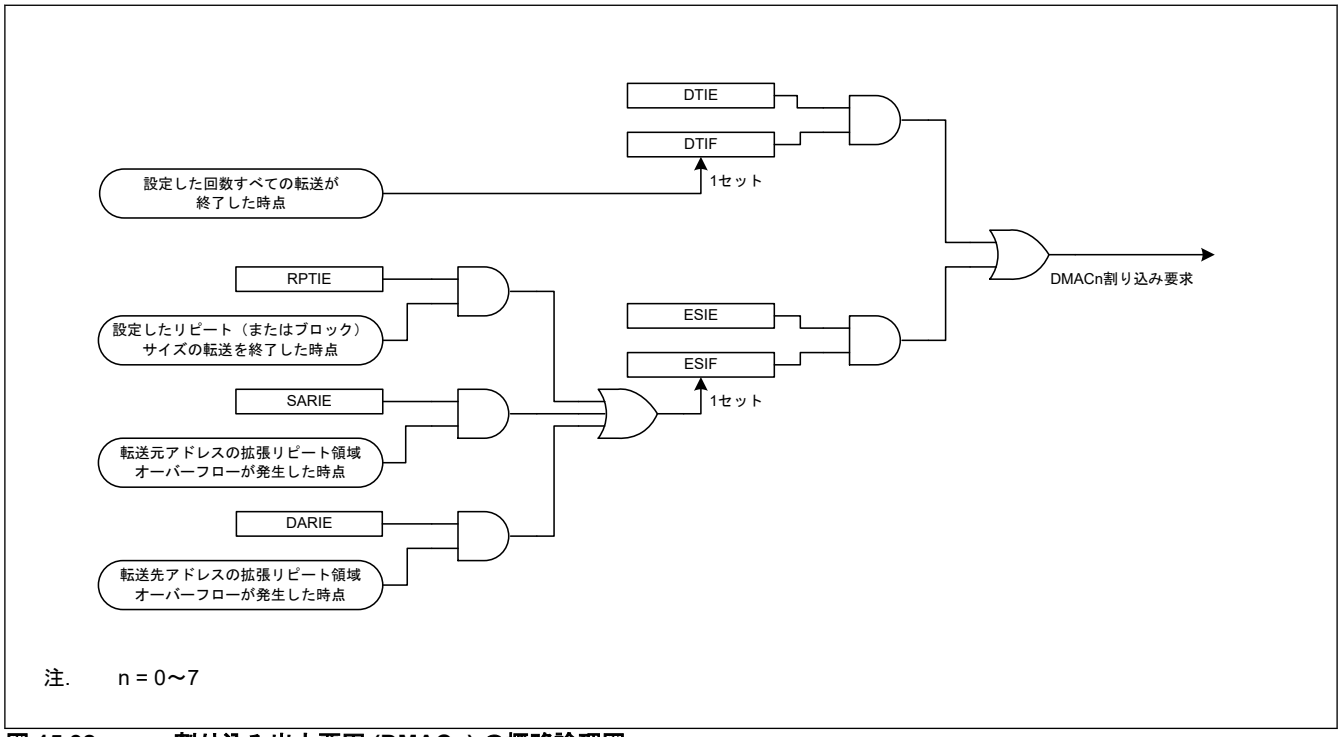


図 15.32 割り込み出力要因 (DMACn) の概略論理図

割り込みを解除して DMA 転送を再開する方法は、以下のケースで異なります。

- DMA 転送を終了した場合
- DMA 転送を継続した場合

15.6.1.1 DMA 転送を終了した場合

転送終了割り込みの場合は、DMSTS.DTIF フラグに 0 を書いてください。また、リピートサイズ割り込みと拡張リピート領域オーバーフロー割り込みの場合は、DMSTS.ESIF フラグに 0 を書いてください。DMACn は停止状態を保ちます。その後、新たな DMA 転送を開始する場合は、必要なレジスタを設定して、DMCNT.DTE ビットを 1（DMA 転送許可）にしてください。

15.6.1.2 DMA 転送を継続した場合

DMCNT.DTE ビットに 1 を書いてください。自動的に DMSTS.ESIF フラグが 0 にクリア（割り込み要因がクリア）され、DMA 転送が再開します。

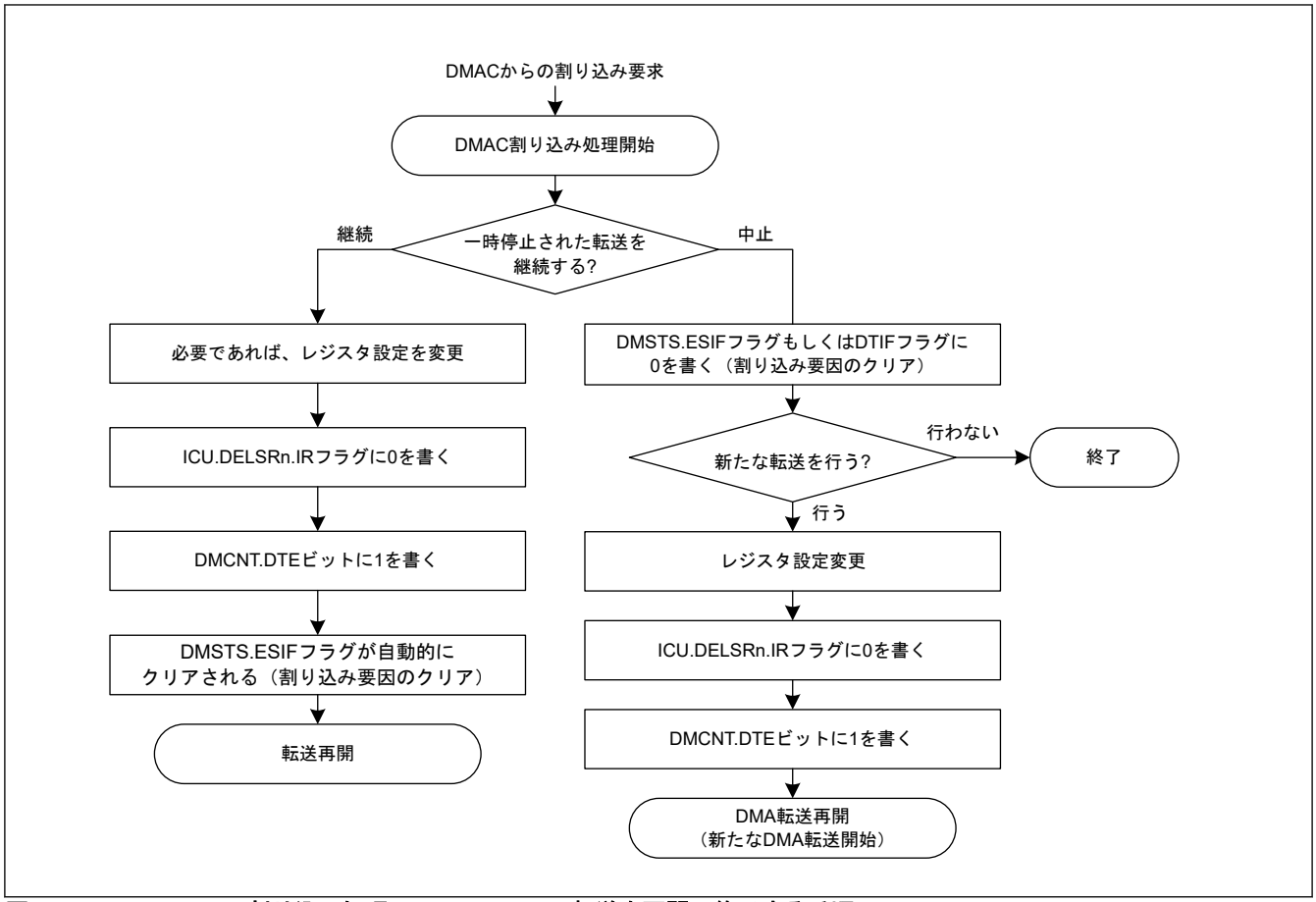


図 15.33 DMAC 割り込み処理ルーチンで DMA 転送を再開／終了する手順

15.6.2 転送エラー割り込み

DMAC 転送中に転送エラーが検出されると、DMAC/DTC からエラー応答検出割り込み要求 (DMA_TRANSERR) が発生します。DMAC 転送エラー発生時に生じる割り込みの種類を表 15.21 に示します。転送エラー発生時に格納されるエラー情報を表 15.21 に示します。

表 15.21 DMAC 転送エラー起因の割り込みとエラー情報

転送エラー要因	NMI/RESET(注1)要求	割り込み要求	バスエラー状態	エラーアドレスエラー R/W	エラーチャネル情報
DMAC/DTC のマスタ TrustZone フィルタ	ICU.NMISR.TZFST (注1)	DMA_TRANSERR	BUS.DMACDTCERRSTAT.MTERRSTAT (注1)	—	DMA.DMECHR
スレーブ TrustZone フィルタ	ICU.NMISR.TZFST (注1)	DMA_TRANSERR	BUS.BUS3ERRSTAT.STERRSTAT(注1)	BUS.BTZF3ERRADD BUS.BTZF3ERRRW	DMA.DMECHR
マスタ MPU	ICU.NMISR.BUSMST	DMA_TRANSERR	BUS.BUS3ERRSTAT.MMERRSTAT	BUS.BUS3ERRADD BUS.BUS3ERRRW	DMA.DMECHR
スレーブバスエラー	—(注2)	DMA_TRANSERR	BUS.BUS3ERRSTAT.SLERRSTAT(注2)	BUS.BUS3ERRADD BUS.BUS3ERRRW	DMA.DMECHR
不正アクセスエラー	—(注2)	DMA_TRANSERR	BUS.BUS3ERRSTAT.ILERRSTAT(注2)	BUS.BUS3ERRADD BUS.BUS3ERRRW	DMA.DMECHR

注 1. マスタ MPU エラーや TrustZone フィルタエラー検出後の動作として NMI リクエストが選択されると、割り込みを生成します。BUS.BUS3ERRSTAT ビットと BUS.DMACDTCERRSTAT ビットを確認することにより、マスタかスレーブかを判定します。

注 2. エラー応答検出割り込み (DMA_TRANSERR) が発生し、かつマスタ MPU の NMI または TrustZone フィルタの NMI が発生しない場合、不正アドレスアクセスエラーまたはスレーブバスエラーとして扱ってください。それは BUS.BUS3ERRSTAT ビットと BUS.DMACDTCERRSTAT ビットによっても判定可能です。

最後の転送データに書き込むときにバスエラーが発生すると、転送終了イベントとエラー応答検出割り込み (DMA_TRANSERR) が発生することに注意してください。

15.7 イベントリンク

各 DMAC チャネルは、1 回のデータ転送（ブロック転送モードの場合は 1 ブロックの転送）が終了するたびに、イベントリンク要求信号 (DMACn_INT) を出力します。

詳細は、「17. イベントリンクコントローラ (ELC)」を参照してください。

最後の転送データ書き込み時にバスエラーが発生すると、転送終了イベントおよびエラー応答検出割り込み (DMA_TRANSERR) が発生します。

15.8 低消費電力機能

モジュールストップ状態、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードへ遷移する前に、最初に DMAST.DMST ビットを 0（DMAC サスペンド状態）にして、以下のように設定してください。

(1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書いたとき、DMA 転送が動作中の場合は、DMA 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のとき、DMAC のレジスタにはアクセスしないでください。MSTPCRA.MSTPA22 ビットに 0 を書くことで、DMAC のモジュールストップ状態は解除されます。

(2) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「10.7.1. ソフトウェアスタンバイモードへの遷移」、および「10.9.1. ディープソフトウェアスタンバイモードへの遷移」の手順に従って設定してください。

WFI 命令実行時に DMA 転送が動作中の場合、DMA 転送が終了してからソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへ遷移します。

(3) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定については、「10.10.7. WFI 命令のタイミング」を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットを 1 にしてください。ソフトウェアスタンバイモード時に発生した要求を、DMAC 起動要求ではなく CPU への割り込み要求として使用する場合は、「12.4.1. 割り込みの検出」に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。

15.9 使用上の注意事項

15.9.1 DMA 転送中のレジスタアクセスについて

同じチャネルの DMSTS.ACT フラグが 1 (DMAC 動作中)、または同じチャネルの DMCNT.DTE ビットが 1 (DMA 転送許可）の状態で、下記のレジスタに書き込まないでください。

- DMSAR
- DMDAR
- DMCRA
- DMCRB
- DMTMD
- DMINT
- DMAMD
- DMOFR
- DMSBS
- DMDBS
- DMSRR
- DMDRR

- ICUSARC
- DMACSAR

15.9.2 予約領域への DMA 転送について

予約領域への DMA 転送は行わないでください。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域の詳細は、「4. アドレス空間」を参照してください。

15.9.3 割り込みコントローラユニットの DMAC イベントリンク設定レジスタ n (ICU.DELSRn) の設定（n = 0～7）

DMAC イベントリンク設定レジスタ n (ICU.DELSRn) を設定する前に、DMA 転送許可ビット（DMCNT.DTE ビット）が 0（DMA 転送禁止）であることを確認してください。さらに、ICU.DELSRn レジスタにより設定されている同じイベント番号に対応する DTC 起動許可レジスタ（ICU.IELSRn.DTCE（n = 0～95））は 1 にしないでください。ICU.IELSRn.DTCE ビットと ICU.DELSRn レジスタの詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

15.9.4 DMAC 起動の保留／再開に関する注意事項

DMAC 起動要求を一時停止するために、DMAC イベントリンク選択ビット (ICU.DELSRn.DELS[8:0]) に 0x00 を書き込んでください。DMA 転送を再開するには、「15.3.10. DMAC の起動」に記載された設定に従い、ICU.DELSRn.DELS[8:0]ビットにイベント番号を書き込んでください。

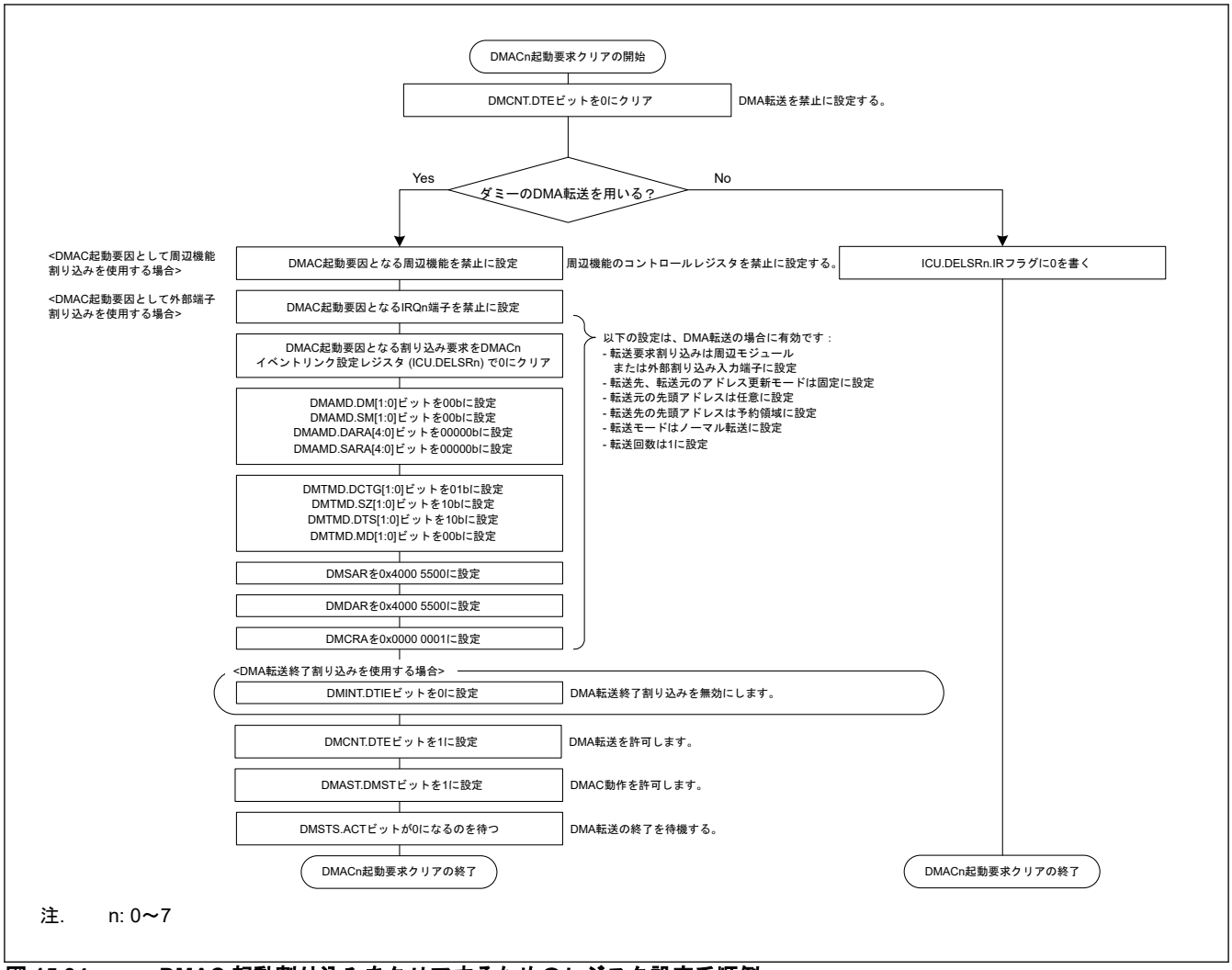
15.9.5 DMA 転送再開時の注意事項

DMA 転送終了後、次の要求時に DMAC 起動要求が発生する場合があります。このような状況が生じた場合、DMA 転送が開始され、DMAC 起動要求は DMAC 内に保持されます。これを避けるには、ICU の DELSRn.DELS[8:0]ビットを 0 にして、DMAC 起動要求を停止してください。

最後の DMA 転送後に DMAC 起動要求が発生した場合は、以下のいずれかの方法で DMAC 起動要求をクリアしてください。

- ダミーの DMA 転送を用いて DMAC 起動要求をクリアする。
- DMCNT.DTE ビットを 0 に設定した後、ICU.DELSRn.IR フラグを 0 にしてください。

図 15.34 を参照してください。



注. n: 0〜7

図 15.34 DMAC 起動割り込みをクリアするためのレジスタ設定手順例

16. データトランスファコントローラ (DTC)

16.1 概要

データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。

表 16.1 に DTC の仕様を、図 16.1 に DTC のブロック図を示します。

表 16.1 DTC の仕様

項目	内容
転送モード	• ノーマル転送モード 1 回の起動で 1 データを転送 • リピート転送モード 1 回の起動で 1 データを転送 リピートサイズ分のデータを転送すると転送開始時のアドレスに復帰 リピート回数は最大 256 回設定可能で、最大 256 × 32 ビット（1024 バイト）転送可能 • ブロック転送モード 1 回の起動で 1 ブロックを転送 ブロックサイズは、最大 256 × 32 ビット = 1024 バイト設定可能
転送チャネル	• 割り込み要因に対応するチャネルの転送が可能（ICU からの DTC 起動要求で転送） • 1 つの起動要因に対して複数データの転送が可能（チェーン転送） • チェーン転送は「カウンタが 0 のとき実施」または「毎回実施」のいずれかを選択可能
転送空間	• 0x0000_0000～0xFFFF_FFFF のうち予約領域を除く 4 GB の領域
データ転送単位	• 1 データ：1 バイト（8 ビット）、1 ハーフワード（16 ビット）、1 ワード（32 ビット） • 1 ブロックサイズ：1～256 データ
CPU 割り込み要因	• DTC を起動した割り込み、または DTC_COMPLETE で CPU への割り込み要求を発生可能 • 1 回のデータ転送後に CPU への割り込み要求を発生可能 • 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
DTC 転送エラーの処理	• DTC 転送エラーが発生すると、エラーを引き起こした転送が停止します。 • ICU への DTC エラー番号の起動要求に対して、レジスタのクリアを要求します。
エラー応答検出割り込み	DTC 転送エラーが生じると発生します。
イベントリンク機能	1 回のデータ転送後（ブロックの場合は 1 ブロック転送後）、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを実行可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、ライトバックスキップを実行可能
TrustZone	フラッシュや SRAM の TrustZone 違反領域は、バスへのアクセス前に事前に検出されます。
モジュールストップ機能	モジュールストップ状態の設定が可能
TrustZone フィルタ	起動要因ごとにセキュリティ属性の設定が可能

注. DTC のセキュリティ属性レジスタは、ICU.ICUSARG、ICU.ICUSARH、および ICU.ICUSARI で説明します。

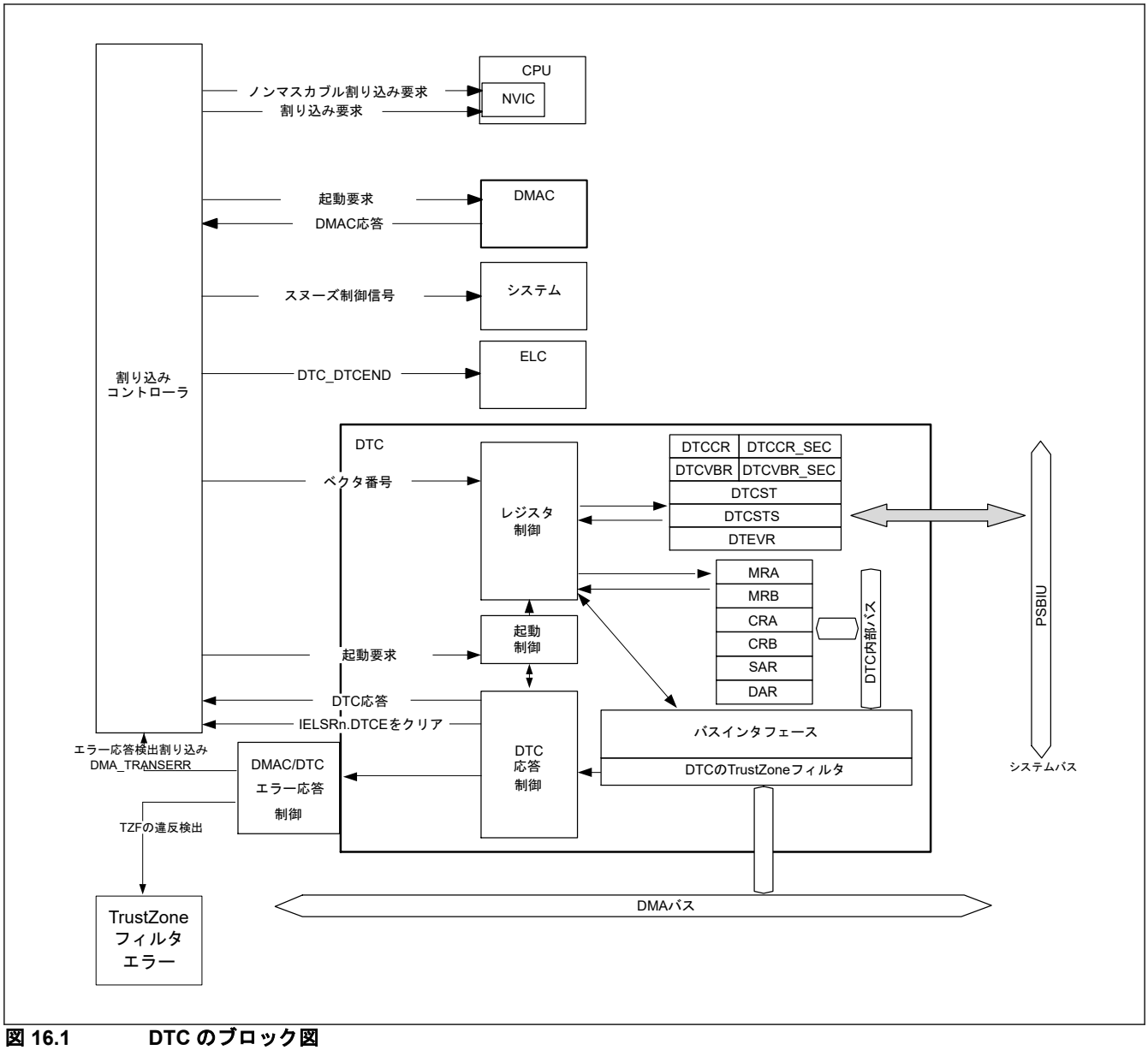


図 16.1　　DTC のブロック図

DTC と NVIC（CPU 内）の接続関係については、「12. 割り込みコントローラユニット (ICU)」の「12.1. 概要」を参照してください。

16.2　レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB は、すべて DTC の内部レジスタであり、CPU から直接アクセスすることはできません。これら DTC 内部レジスタの設定値は、SRAM 領域に転送情報として配置されます。起動要求が発生すると、DTC は SRAM 領域から転送情報を読み出して、それを DTC の内部レジスタに設定します。データ転送の終了後、内部レジスタの内容は転送情報として SRAM 領域にライトバックされます。

16.2.1 DTCSAR : DTC コントローラセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTCSTSA
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	DTCSTSA	DTC セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

本レジスタは DTCST セキュリティ属性のみを設定します。

DTCSTSA ビット（DTC セキュリティ属性）

本ビットは DTCST レジスタのセキュリティ属性を設定します。

DTC 転送が有効またはバスマスタが DTC レジスタに書き込み中は、DTCSTSA ビットに書き込まないでください。

16.2.2 MRA : DTC モードレジスタ A

Base address: DTCVBR

Offset address: 0x03 + 0x4 × Vector number
（CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MD[1:0]		SZ[1:0]		SM[1:0]		—	—
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。 書く場合、0 としてください。リセット後の値は不定値です。	—
3:2	SM[1:0]	転送元アドレスアドレッシングモード 0 0: SAR レジスタはアドレス固定（SAR レジスタへのライトバックをスキップ） 0 1: SAR レジスタはアドレス固定（SAR レジスタへのライトバックをスキップ） 1 0: 転送後 SAR レジスタをインクリメント： SZ[1:0]ビットが 00b のとき+1 SZ[1:0]ビットが 01b のとき+2 SZ[1:0]ビットが 10b のとき+4 1 1: 転送後 SAR レジスタをデクリメント： SZ[1:0]ビットが 00b のとき-1 SZ[1:0]ビットが 01b のとき-2 SZ[1:0]ビットが 10b のとき-4	—

ビット	シンボル	機能	R/W
5:4	SZ[1:0]	DTC データトランスファサイズ 0 0: バイト（8 ビット）転送 0 1: ハーフワード（16 ビット）転送 1 0: ワード（32 ビット）転送 1 1: 設定禁止	—
7:6	MD[1:0]	DTC 転送モード選択 0 0: ノーマル転送モード 0 1: リピート転送モード 1 0: ブロック転送モード 1 1: 設定禁止	—

MRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x03）に MRA レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x03）から、MRA レジスタへ設定値を転送します。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

16.2.3 MRB : DTC モードレジスタ B

Base address: DTCVBR

Offset address: 0x02 + 0x4 × Vector number
（CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CHNE	CHNS	DISEL	DTS	DM[1:0]		—	—
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。 書く場合、0 としてください。リセット後の値は不定値です。	—
3:2	DM[1:0]	転送先アドレスアドレッシングモード 0 0: DAR レジスタはアドレス固定（DAR レジスタへのライトバックをスキップ） 0 1: DAR レジスタはアドレス固定（DAR レジスタへのライトバックをスキップ） 1 0: 転送後 DAR レジスタをインクリメント： MRA.SZ[1:0]ビットが 00b のとき+1 MRA.SZ[1:0]ビットが 10b のとき+4MRA.SZ[1:0]ビットが 01b のとき+2 1 1: 転送後 DAR レジスタをデクリメント： MRA.SZ[1:0]ビットが 00b のとき-1 MRA.SZ[1:0]ビットが 01b のとき-2 MRA.SZ[1:0]ビットが 10b のとき-4	—
4	DTS	DTC 転送モード選択 0: 転送先にリピート領域またはブロック領域を選択 1: 転送元にリピート領域またはブロック領域を選択	—
5	DISEL	DTC 割り込み選択 0: 指定されたデータ転送の終了時、CPU への割り込み要求が発生 1: DTC データ転送のたびに、CPU への割り込み要求が発生	—
6	CHNS	DTC チェーン転送選択 0: 連続してチェーン転送を行う 1: 転送カウンタが 1→0、または 1→CRAH となったときにのみチェーン転送を行う	—
7	CHNE	DTC チェーン転送許可 0: チェーン転送禁止 1: チェーン転送許可	—

MRB レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x02）に MRB レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x02）から、MRB レジスタへ設定値を転送します。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

DM[1:0]ビット（転送先アドレスアドレッシングモード）

DM[1:0]ビットは DAR レジスタのアドレスを固定または転送後の DAR レジスタのインクリメント/デクリメントを指定します。

DTS ビット（DTC 転送モード選択）

DTS ビットはリピート転送モードあるいはブロック転送モードにおいて、転送元または転送先をリピート領域またはブロック領域に指定します。

DISEL ビット（DTC 割り込み選択）

DISEL ビットは CPU への割り込み要求を発生する条件を指定します。

CHNS ビット（DTC チェーン転送選択）

CHNS ビットはチェーン転送の条件を選択します。CHNE ビットが 0 のとき、CHNS ビットの設定は無視されます。チェーン転送の条件については、表 16.3 を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定も、起動要因フラグのクリアも行われず、CPU への割り込み要求は発生しません。

CHNE ビット（DTC チェーン転送許可）

CHNE ビットはチェーン転送を許可します。チェーン転送条件の選択は、CHNS ビットで行います。チェーン転送の詳細については、「16.4.6. チェーン転送」を参照してください。

16.2.4 SAR : DTC 転送元レジスタ

Base address: DTCVBR

Offset address: 0x04 + 0x4 × Vector number
（CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	31																												0
Bit field:																													
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x04）に SAR レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x04）から、SAR レジスタへ設定値を転送します。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0] = 01b の場合、ビット 0 は 0 を設定してください。また、MRA.SZ[1:0] = 10b の場合、ビット 1 およびビット 0 はともに 0 を設定してください。

16.2.5 DAR : DTC 転送先レジスタ

Base address: DTCVBR

Offset address: 0x08 + 0x4 × Vector number
（CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	31																												0
Bit field:																													
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。CPU は SRAM 領域（転送情報 (n) の開始アドレス 0x08）に DAR レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス 0x08）から、DAR レジスタへ設定値を転送します。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0] = 01b の場合、ビット 0 は 0 を設定してください。また、MRA.SZ[1:0] = 10b の場合、ビット 1 およびビット 0 はともに 0 を設定してください。

16.2.6 CRA : DTC 転送カウントレジスタ A

Base address: DTCVBR

Offset address: 0x0E + 0x4 × Vector number
（CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	CRAL	転送カウンタ A 下位 転送回数を設定	—
15:8	CRAH	転送カウンタ A 上位 転送回数を設定	—

注. 転送モードによって機能が異なります。
注. リピート転送モードとブロック転送モードでは、CRAH および CRAL レジスタには同じ値を設定してください。

CRA レジスタは 16 ビットです。CRAL は下位 8 ビット、CRAH は上位 8 ビットです。CRA はノーマル転送モードで使用されます。

CRAL と CRAH はリピート転送モードとブロック転送モードで使用されます。

CRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0E）に CRA レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0E）から、CRA レジスタへ設定値を転送します。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

(1) ノーマル転送モード (MRA.MD[1:0] = 00b) の場合

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRA レジスタの値は、データ転送を 1 回行うたびにデクリメント (–1) されます。

(2) リピート転送モード (MRA.MD[1:0] = 01b) の場合

リピート転送モードでは、CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (–1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

(3) ブロック転送モード (MRA.MD[1:0] = 10b) の場合

ブロック転送モードでは、CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (–1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

16.2.7 CRB : DTC 転送カウントレジスタ B

Base address: DTCVBR

Offset address: 0x0C + 0x4 × Vector number
（CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

CRB レジスタは、ブロック転送モードのブロック転送回数を指定するレジスタです。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRB レジスタの値は、

1 ブロックサイズの最終データ転送時にデクリメント (–1) されます。ノーマル転送モードまたはリピート転送モードを選択した場合、本レジスタは使用されず、設定値は無視されます。

CRB レジスタは CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0C）に CRB レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0C）から、CRB レジスタへ設定値を転送します。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

16.2.8 DTCCR : DTC コントロールレジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RRS	—	—	—	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
3	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
4	RRS	DTC 転送情報リードスキップ許可 0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

RRS ビット（DTC 転送情報リードスキップ許可）

RRS ビットはベクタ番号が一致したとき、転送情報のリードスキップを許可します。DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。ベクタ番号が一致し、かつ RRS ビットが 1 になっていると、転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ（CRA レジスタ）が 0 になっている場合と、ブロック転送で転送カウンタ（CRB レジスタ）が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

16.2.9 DTCCR_SEC : DTC コントロールレジスタ（セキュア領域）

Base address: DTC = 0x4000_5400

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RRS	—	—	—	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
3	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
4	RRS	DTC 転送情報リードスキップ許可（セキュア領域） 0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュアアクセスは許可されます。非セキュアアクセスは読み取り専用です。

RRS ビット（DTC 転送情報リードスキップ許可（セキュア領域））

RRS ビットはベクタ番号が一致したとき、転送情報のリードスキップを許可します。DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。ベクタ番号が一致し、かつ RRS ビットが 1 になっていると、転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ（CRA レジスタ）が 0 になっている場合と、ブロック転送で転送カウンタ（CRB レジスタ）が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

16.2.10 DTCVBR : DTC ベクタベースアドレス

Base address: DTC = 0x4000_5400

Offset address: 0x04

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	DTC ベクタベースアドレス DTC ベクタベースアドレスを設定（下位 10 ビットは 0 にしてください）	R/W

DTCVBR レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定するレジスタです。0x0000_0000～0xFFFF_FFFF (4 GB) の範囲内で 1 KB 単位の設定が可能です。

16.2.11 DTCVBR_SEC : DTC ベクタベースレジスタ（セキュア領域）

Base address: DTC = 0x4000_5400

Offset address: 0x14

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	DTC ベクタベースアドレス（セキュア領域） DTC ベクタベースアドレス（セキュア領域）を設定（下位 10 ビットは 0 にしてください）	R/W

注. セキュアアクセスは許可されます。非セキュアアクセスは読み取り専用です。

DTCVBR_SEC レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定するレジスタです。0x0000_0000～0xFFFF_FFFF (4 GB) の範囲内で 1 KB 単位の設定が可能です。

16.2.12 DTCST : DTC モジュール起動レジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DTCST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DTCST	DTC モジュール起動 0: DTC モジュール停止 1: DTC モジュール起動	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DTCST ビット（DTC モジュール起動）

DTC が転送要求を受け付けられるようにするには、DTCST ビットを 1 にしてください。DTCST ビットを 0 にすると、新たな転送要求を受け付けません。データ転送中に 0 に書き換えた場合、受け付け済みの転送要求は処理が終了するまで有効です。

下記の状態へ遷移する際は、事前に DTCST ビットを 0 にする必要があります。

- モジュールストップ状態
- スヌーズモードへの遷移を伴わないソフトウェアスタンバイモード
- ディープソフトウェアスタンバイモード

これらの遷移については、「16.10. 低消費電力機能」と「10. 低消費電力モード」を参照してください。

16.2.13 DTCSTS : DTC ステータスレジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ACT	—	—	—	—	—	—	—	VECN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	VECN[7:0]	DTC アクティブベクタ番号モニタ DTC 転送動作中にその起動要因をベクタ番号で示します。 この値は、DTC 転送動作中（ACT フラグが 1 の場合）にのみ有効です。	R
14:8	—	読むと 0 が読めます。	R
15	ACT	DTC アクティブフラグ 0: DTC 転送動作なし 1: DTC 転送動作中	R

VECN[7:0]ビット（DTC アクティブベクタ番号モニタ）

VECN[7:0]ビットは DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。ACT フラグが 1（DTC 転送動作中）であれば、読み出された VECN[7:0]ビットの値は有効であり、ACT フラグが 0（DTC 転送動作なし）であれば、読み出された VECN[7:0]ビットの値は無効です。

ACT フラグ（DTC アクティブフラグ）

ACT フラグは DTC の転送動作状態を示します。

[1 になる条件]

- 転送要求によって DTC が起動したとき

[0 になる条件]

- 転送要求に対する DTC の転送が完了したとき

16.2.14 DTEVR : DTC エラーベクタレジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTESTA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DTEVSAM	DTEV[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DTEV[7:0]	DTC エラーベクタ番号 DTC のエラーベクタを表します。	R
8	DTEVSAM	DTC エラーベクタ番号 SA モニタ エラーを引き起こすベクタ番号の SA を示します。 0: セキュアベクタ番号 1: 非セキュアベクタ番号	R
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R
16	DTESTA	DTC エラーステータスフラグ 0: DTC 転送エラー発生なし 1: DTC 転送エラー発生あり	R/W
31:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R

注. DTESTA への書き込みは DTEVSAM の値に依存します。

DTEV[7:0]ビット（DTC エラーベクタ番号）

DTC 転送起因の転送エラーが発生した場合、DTEV[7:0]ビットは違反した DTC のチャネルを格納します。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DTC 転送エラーが発生し、DTESTA = 0 の場合

[0 になる条件]

- DTEVR.DTESTA に 1 を書き込む場合

DTEVSAM ビット（DTC エラーベクタ番号 SA モニタ）

DTC 転送起因の転送エラーが発生した場合、DTEVSAM ビットは違反した DTC ベクタ番号の SA を示します。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DTC 転送エラーが発生し、DTESTA = 0 の場合

[0 になる条件]

- DTEVR.DTESTA に 1 を書き込む場合

DTESTA ビット（DTC エラーステータスフラグ）

DTESTA ビットは DTC 転送エラーの発生の有無を示します。

DTEV、DTEVSAM、DTESTA は DTESTA に 1 を書き込むことによりクリアされます。

DTESTA への 0 の書き込みは無視されます。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DTC 転送エラーが発生した場合

[0 になる条件]

- DTEVR.DTESTA に 1 を書き込む場合

注. DTEVSAM = 1 の場合、セキュア状態と非セキュア状態で本ビットをクリアできます。DTEVSAM = 0 の場合、非セキュア状態では本ビットをクリアできません。

16.3 起動要因

DTC は割り込み要求によって起動します。ICU.IELSRn.DTCE ビットを 1 にすると、対応する割り込みによって DTC が起動します。ICU.IELSRn レジスタで設定されたセレクタ出力番号 *n*（n = 0～95）は、割り込みベクタ番号として定義されます。許可された割り込みに対して、各割り込みベクタ番号 *n* に対応した特定の DTC 割り込み要因が、ICU.IELSRn.IELS[8:0]（n = 0～95）ビットによって選択されます。このビットの設定方法については、「12. 割り込みコントローラユニット (ICU)」の「12.3.2. イベント番号」を参照してください。ソフトウェアによる起動については、「17.2.2. ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0, 1)」を参照してください。

割り込みベクタ番号は DTC ベクタテーブル番号と同等です。DTC が起動要求を受け付けると、その要求に対する転送が終了するまで、新たな起動要求は優先順位にかかわらず受け付けません。DTC 転送中に複数の起動要求が発生した場合、転送の終了時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が 0 の状態で、複数の起動要求が発生した場合、DTC は、その後このビットが 1 になったときに最も優先順位の高い要求を受け付けます。割り込みベクタ番号が小さいほど優先順位は高くなります。

1 回のデータ転送開始時（チェーン転送の場合、連続した最後の転送時）、DTC は以下のように動作します。

- 指定した回数のデータ転送が終了すると、ICU.IELSRn.DTCE ビットが 0 になり、CPU に対して割り込み要求が発生する
- MRB.DISEL ビットが 1 の場合、データ転送完了時に CPU に対して割り込み要求が発生する
- 上記のいずれでもない場合、起動要因となった ICU.IELSRn.IR フラグはデータ転送開始時に 0 になる

16.3.1 転送情報の配置と DTC ベクタテーブル

DTC は、起動要因ごとにベクタテーブルから転送情報の開始アドレスを読み出して、このアドレスから始まる転送情報を読み出します。

DTC には、非セキュア側とセキュア側の 2 つのベクタテーブルがあります。それは、DTC に対するトリガとして働く割り込みベクタ番号が非セキュア側とセキュア側に分割されるためです。SA = 1 である割り込みベクタ番号のベクタテーブルを非セキュア側の DTCVBR に配置してください。SA = 0 である割り込みベクタ番号のベクタテーブルをセキュア側の DTCVBR_SEC に配置してください。

ベクタテーブルのベースアドレス（開始アドレス）は、下位 10 ビットが 0 になるように配置する必要があります。DTC ベクタベースレジスタ (DTCVBR) を用いて、DTC ベクタテーブルのベースアドレスを設定してください。転送情報は SRAM 領域に配置します。SRAM 領域では、ベクタ番号 *n* を持つ転送情報 *n* の開始アドレスは、ベクタテーブルのベースアドレス+4n 番地でなければいけません。

DTC ベクタテーブルと転送情報の対応を図 16.2 に示します。SRAM 領域上の転送情報の配置を図 16.3 に示します。

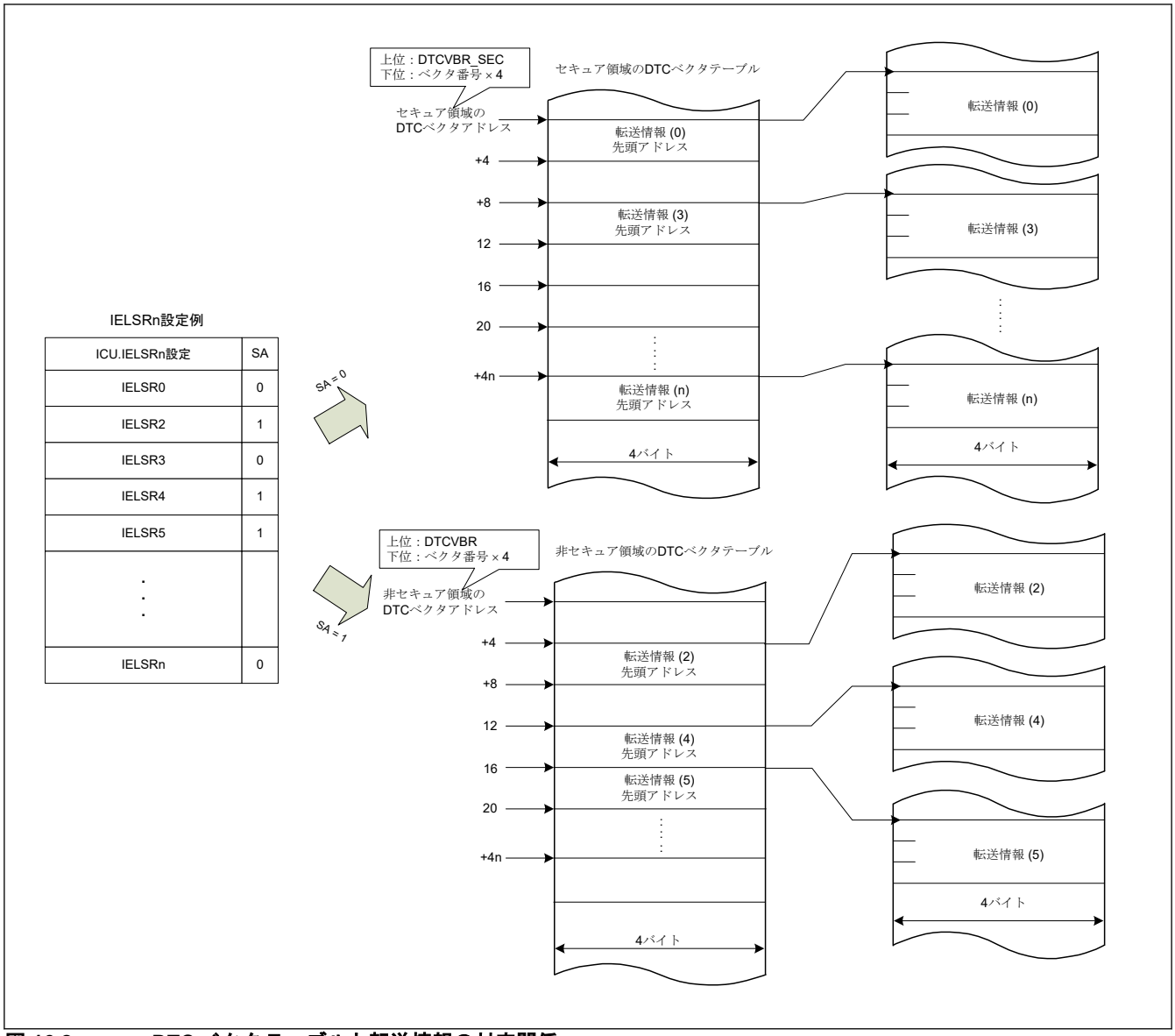


図 16.2 DTC ベクタテーブルと転送情報の対応関係

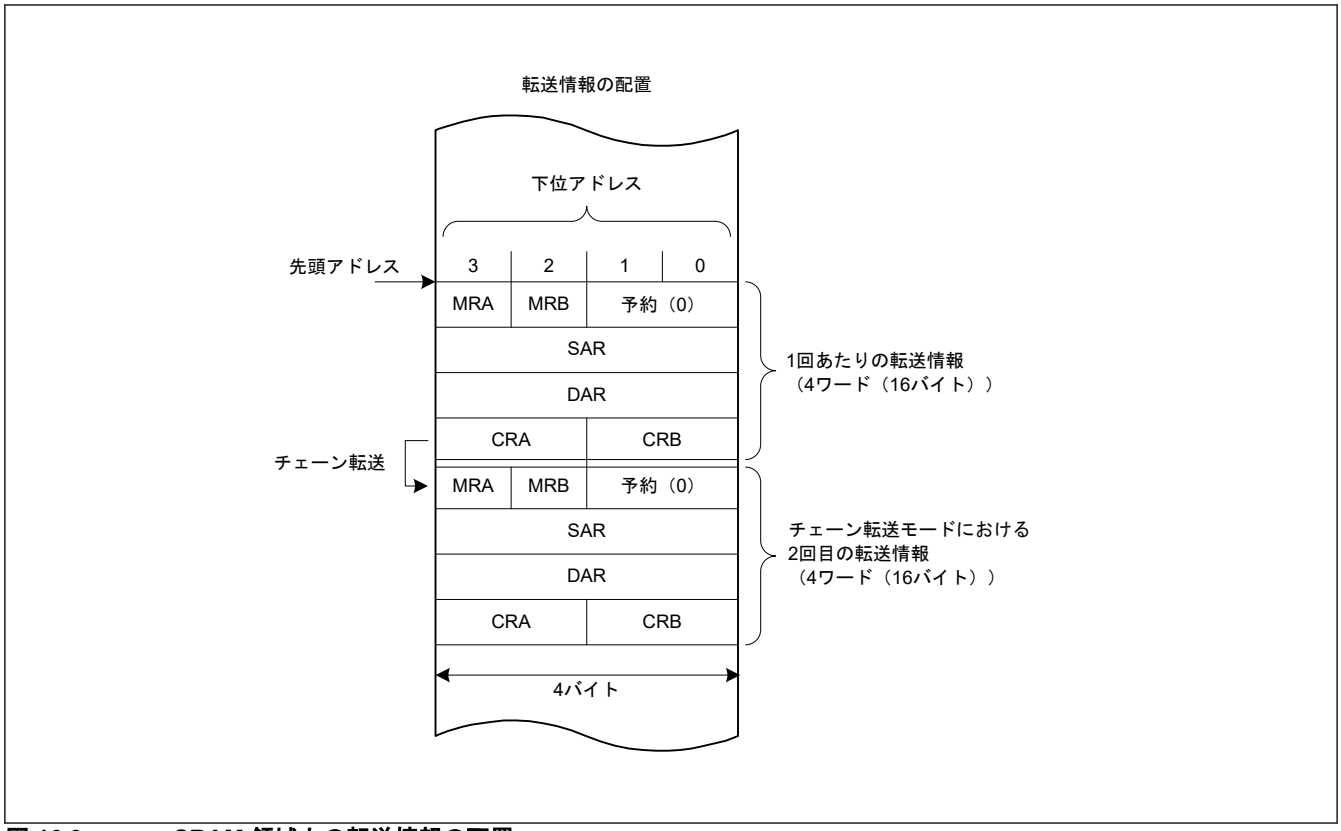


図 16.3 SRAM 領域上の転送情報の配置

16.4 動作説明

DTC は、転送情報に従ってデータを転送します。DTC を動作させるには、あらかじめ転送情報を SRAM 領域に格納しておく必要があります。DTC が起動すると、DTC はベクタ番号に対応する DTC ベクタを読み出します。次に DTC は、DTC ベクタが示す転送情報格納アドレスから転送情報を読み出して、データ転送を行います。データ転送後に、DTC は転送情報のライトバックを行います。転送情報を SRAM 領域に格納することで、任意のチャネル数のデータ転送が可能になります。

転送モードには、下記の 3 種類があります。

- ノーマル転送モード
- リピート転送モード
- ブロック転送モード

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。これらのレジスタ値は、データの転送後、それぞれ個別にインクリメント、デクリメント、あるいはアドレス固定されます。

表 16.2 に DTC の転送モードを示します。

表 16.2 DTC の転送モード

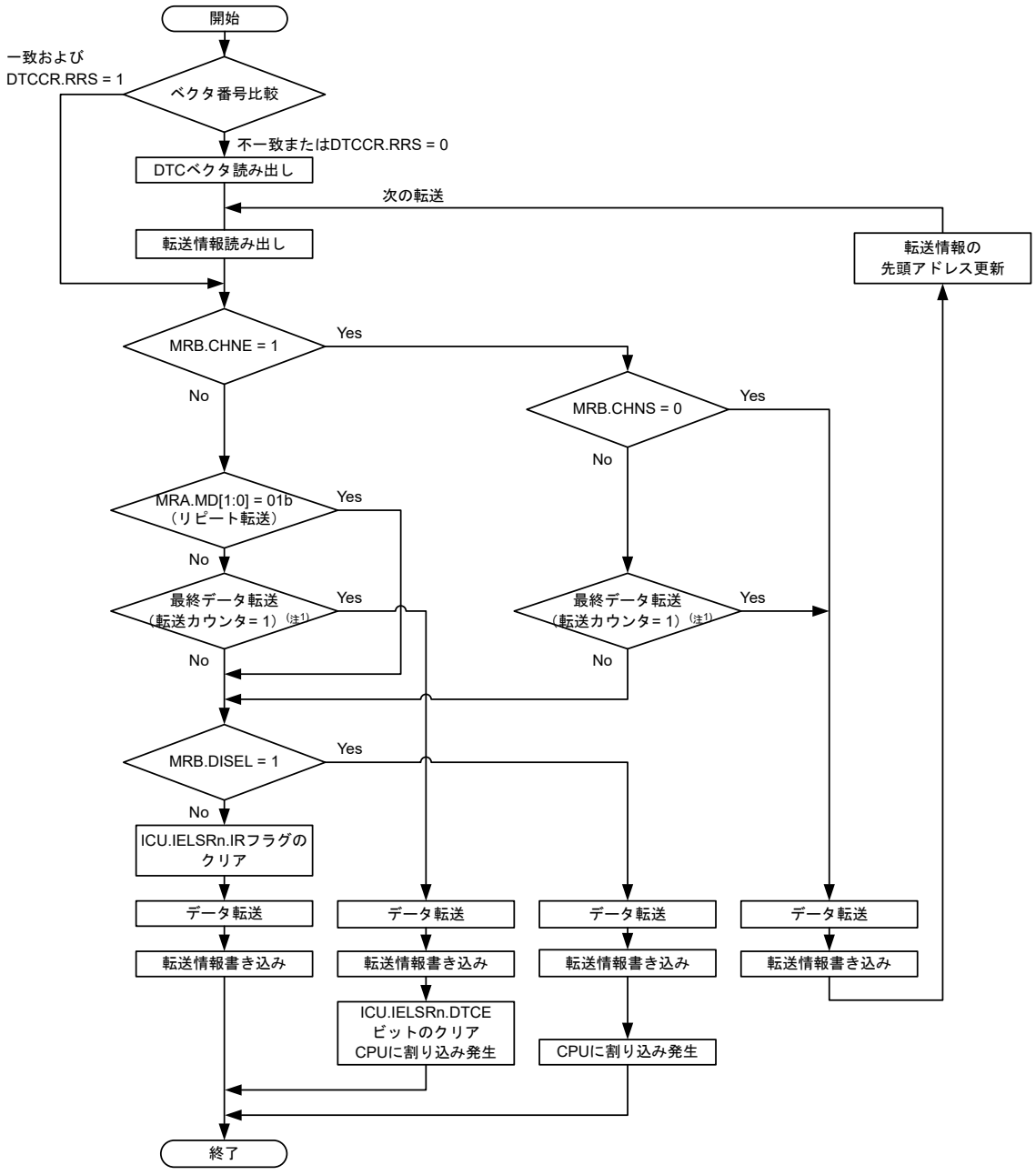
転送モード	1 回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1 バイト（8 ビット）／1 ハーフワード（16 ビット）／1 ワード（32 ビット）	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536 回
リピート転送モード (注1)	1 バイト（8 ビット）／1 ハーフワード（16 ビット）／1 ワード（32 ビット）	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～256 回(注3)
ブロック転送モード (注2)	CRAH レジスタで指定したブロックサイズ（1～256 バイト／1～256 ハーフワード（2～512 バイト）／1～256 ワード（4～1024 バイト））	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536 回

注 1. 転送元または転送先のいずれかをリピート領域に設定します。
注 2. 転送元または転送先のいずれかをブロック領域に設定します。

注 3. 指定回数の転送終了後は、初期状態に戻り、動作を再開します。

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数転送またはチェーン転送が可能です。指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

図 16.4 に DTC の動作フローチャートを示します。 表 16.3 にチェーン転送の条件を示します。この表では、2 番目以降の転送に対する制御情報の組み合わせは省略されています。



注 1. データ転送開始前のカウンタ値

図 16.4 DTC 動作フローチャート

表 16.3 チェーン転送の条件

第 1 転送				第 2 転送(注3)				
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ(注1) (注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ(注1) (注2)	DTC 転送
0	—	0	(1→0) 以外	—	—	—	—	第 1 転送で終了
0	—	0	(1→0)	—	—	—	—	第 1 転送で終了し CPU へ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ割り込み要求
				0	—	1	—	
1	1	0	(1→*) 以外	—	—	—	—	第 1 転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ割り込み要求
				0	—	1	—	
1	1	1	(1→*) 以外	—	—	—	—	第 1 転送で終了し CPU へ割り込み要求

注 1. 使用する転送カウンタは、以下のように、各転送モードで異なります。
ノーマル転送モード : CRA レジスタ
リピート転送モード : CRAL レジスタ
ブロック転送モード : CRB レジスタ

注 2. 転送終了時のカウンタ動作は以下の通りです。
ノーマル転送モードとブロック転送モードでは (1→0)
リピート転送モードでは (1→CRAH)
表中の (1→*) は、これら両方の動作を表します。

注 3. 2 番目以降の転送に対してチェーン転送の選択が可能です。第 2 転送と CHNE ビットが 1 の組み合わせに対する条件は省略しています。

16.4.1 転送情報のリードスキップ機能

DTCCR.RRS ビットを設定することにより、ベクタアドレスと転送情報の読み出しをスキップできます。DTC 起動要求発生時に、今回の DTC ベクタ番号と前回起動時の DTC ベクタ番号が比較されます。ベクタ番号が一致し、かつ DTCCR.RRS ビットが 1 になっているときは、ベクタアドレスと転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送の場合は、ベクタアドレスと転送情報が読み出されます。さらに、前回のノーマル転送中に転送カウンタ（CRA レジスタ）が 0 になっている場合と、前回のブロック転送中に転送カウンタ（CRB レジスタ）が 0 になっている場合も、DTCCR.RRS ビットの値にかかわらず転送情報の読み出しが行われます。図 16.12 に転送情報の読み出しがスキップされる場合の例を示します。

DTC ベクタテーブルと転送情報を更新する場合は、DTCCR.RRS ビットを 0 にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを 1 に戻してください。DTCCR.RRS ビットをいったん 0 にすることによって、格納されていたベクタ番号が破棄されます。次回の起動時には、更新された DTC ベクタテーブルと転送情報が読み出されます。

16.4.2 転送情報のライトバックスキップ機能

MRA.SM[1:0]ビットまたは MRB.DM[1:0]ビットを「アドレス固定」に設定すると、転送情報の一部はライトバックされません。 表 16.4 に転送情報のライトバックスキップ条件と対応するレジスタを示します。CRA レジスタと CRB レジスタはライトバックされますが、MRA レジスタと MRB レジスタのライトバックはスキップされます。

表 16.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

16.4.3 ノーマル転送モード

ノーマル転送モードでは、1 つの起動要因で、1 バイト（8 ビット）、1 ハーフワード（16 ビット）、1 ワード（32 ビット）のデータ転送が可能です。転送回数は 1～65536 回まで設定できます。転送元アドレスと転送先アドレスは、それぞれ個別に、インクリメント、デクリメント、または固定に設定できます。このモードでは指定回数の転送が終了すると、CPU への割り込み要求を発生させることができます。

表 16.5 にノーマル転送モードのレジスタ機能を、図 16.5 にノーマル転送モードのメモリマップを示します。

表 16.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	インクリメント／デクリメント／固定(注1)
DAR	転送先アドレス	インクリメント／デクリメント／固定(注1)
CRA	転送カウンタ A	CRA - 1
CRB	転送カウンタ B	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

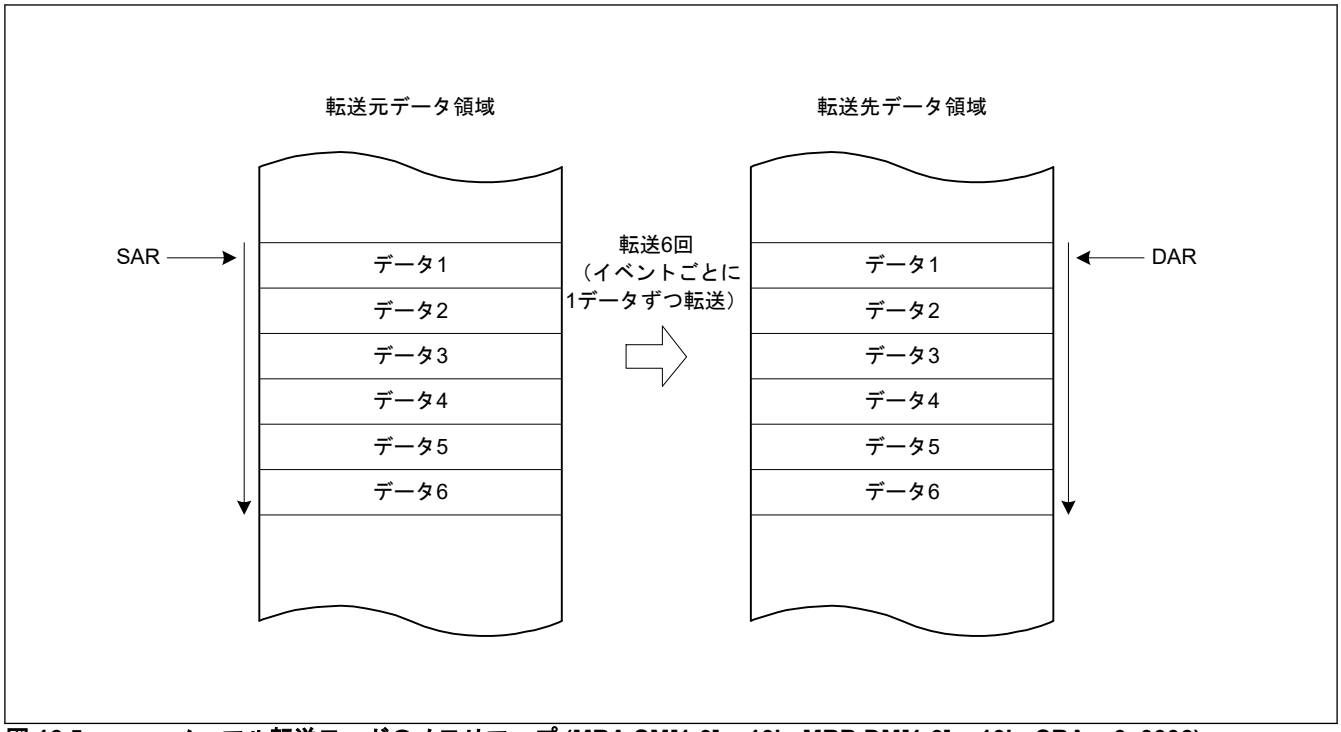


図 16.5　ノーマル転送モードのメモリマップ (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRA = 0x0006)

16.4.4　リピート転送モード

このモードでは、1 つの起動要因で、1 バイト（8 ビット）、1 ハーフワード（16 ビット）、または 1 ワード（32 ビット）のデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをリピート領域に指定する必要があります。転送回数は 1～256 回まで設定できます。指定回数の転送が終了すると、リピート領域に設定された方のアドレスレジスタは初期値に戻り、転送カウンタも初期値に戻ります。そして転送が繰り返されます。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ（CRAL レジスタ）が 0x00 になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタが 0x00 にならないので、MRB.DISEL ビットが 0 になっていると、CPU への割り込み要求は発生しません。指定されたデータ転送が終了したとき、CPU への割り込みが発生します。

表 16.6 にリピート転送モードのレジスタ機能を、図 16.6 にリピート転送モードのメモリマップを示します。

表 16.6　リピート転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値	
		CRAL が 1 以外のとき	CRAL が 1 のとき
SAR	転送元アドレス	インクリメント／デクリメント／固定(注1)	• （MRB.DTS = 0 のとき） インクリメント／デクリメント／固定(注1) • （MRB.DTS = 1 のとき） SAR レジスタの初期値
DAR	転送先アドレス	インクリメント／デクリメント／固定(注1)	• （MRB.DTS = 0 のとき） DAR レジスタの初期値 • （MRB.DTS = 1 のとき） インクリメント／デクリメント／固定(注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新なし	更新なし

注 1.　アドレス固定のとき、ライトバックはスキップされます。

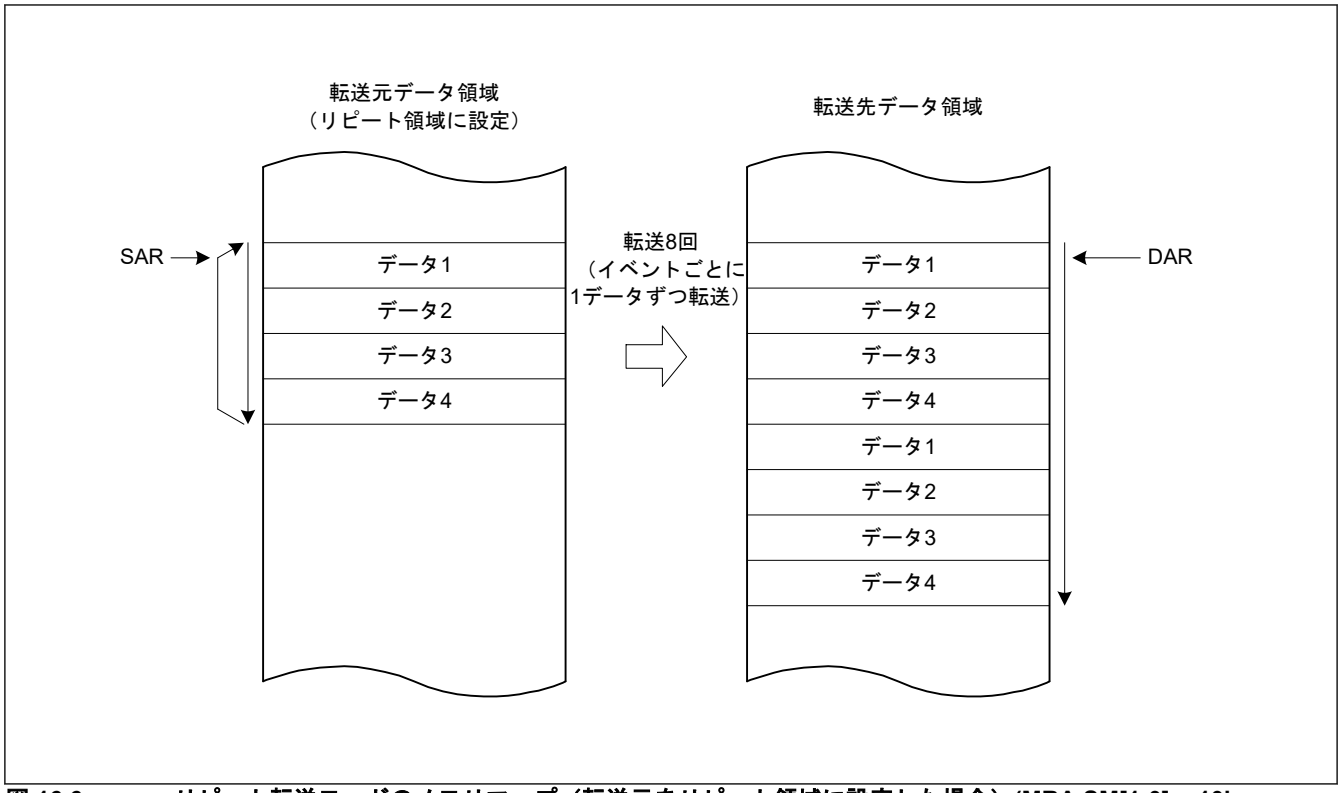


図 16.6 リピート転送モードのメモリマップ（転送元をリピート領域に設定した場合）(MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRAH = 0x04)

16.4.5 ブロック転送モード

このモードでは、1 つの起動要因で 1 ブロックのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをブロック領域に指定する必要があります。ブロックサイズは、1～256 バイト、1～256 ハーフワード（2～512 バイト）、または 1～256 ワード（4～1024 バイト）に設定できます。指定された 1 ブロックの転送が終了すると、ブロックサイズカウンタ（CRAL レジスタ）と、ブロック領域に指定したアドレスレジスタ（MRB.DTS ビットが 1 のときは SAR レジスタ、MRB.DTS ビットが 0 のときは DAR レジスタ）は初期値に戻ります。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

転送回数（ブロック数）は、1～65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込み要求を発生させることができます。

表 16.7 にブロック転送モードのレジスタ機能を、図 16.7 にブロック転送モードのメモリマップを示します。

表 16.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	• （MRB.DTS = 0 のとき） インクリメント／デクリメント／固定(注1) • （MRB.DTS = 1 のとき） SAR レジスタの初期値
DAR	転送先アドレス	• （MRB.DTS = 0 のとき） DAR レジスタの初期値 • （MRB.DTS = 1 のとき） インクリメント／デクリメント／固定(注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注 1. アドレス固定のとき、ライトバックはスキップされます。

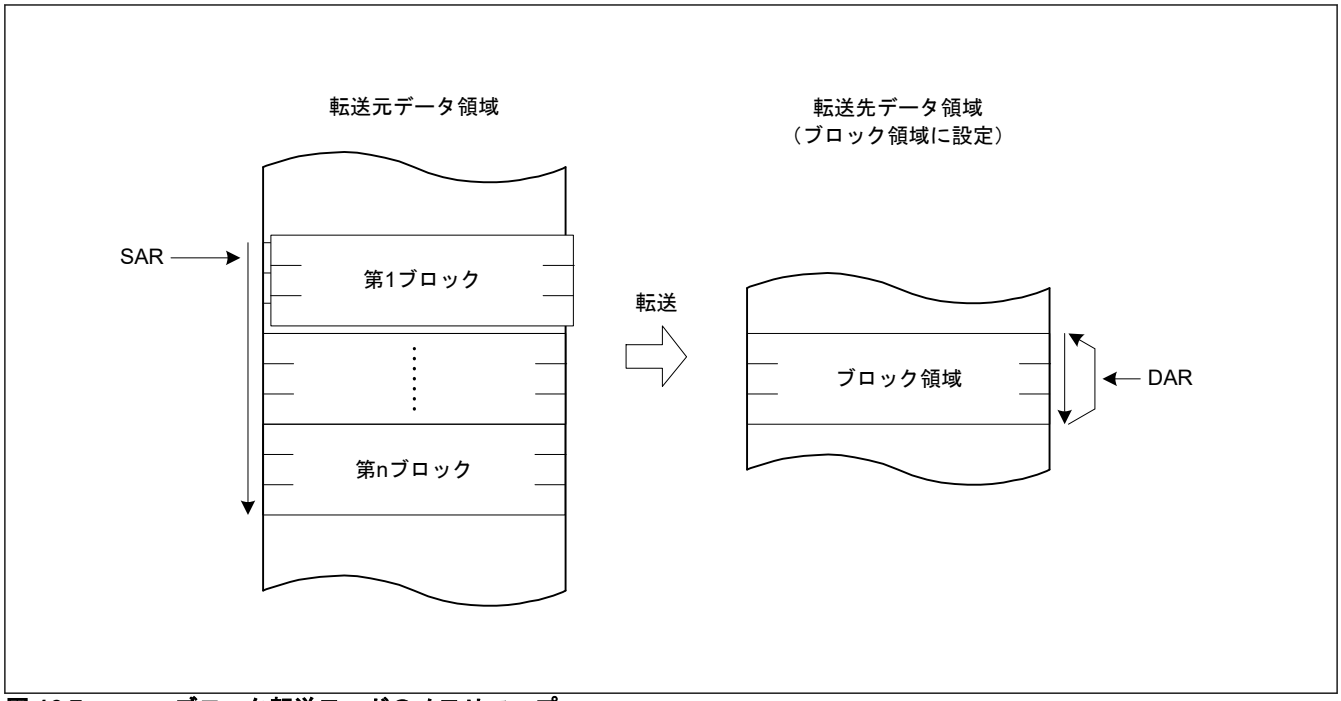


図 16.7　ブロック転送モードのメモリマップ

16.4.6　チェーン転送

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数のデータ転送を連続して行うチェーン転送が可能になります。MRB.CHNE ビットを 1 にして、MRB.CHNS ビットを 0 にした場合は、指定した転送回数の終了による CPU への割り込み要求も、MRB.DISEL = 1 による CPU への割り込み要求も発生しません。割り込み要求は、DTC データ転送のたびに CPU に送信されます。データ転送が、起動要因の ICU.IELSRn.IR フラグに影響を与えることはありません。

データ転送を定義するための SAR、DAR、CRA、CRB、MRA、および MRB レジスタは、それぞれ個別に設定可能です。図 16.8 にチェーン転送の動作を示します。

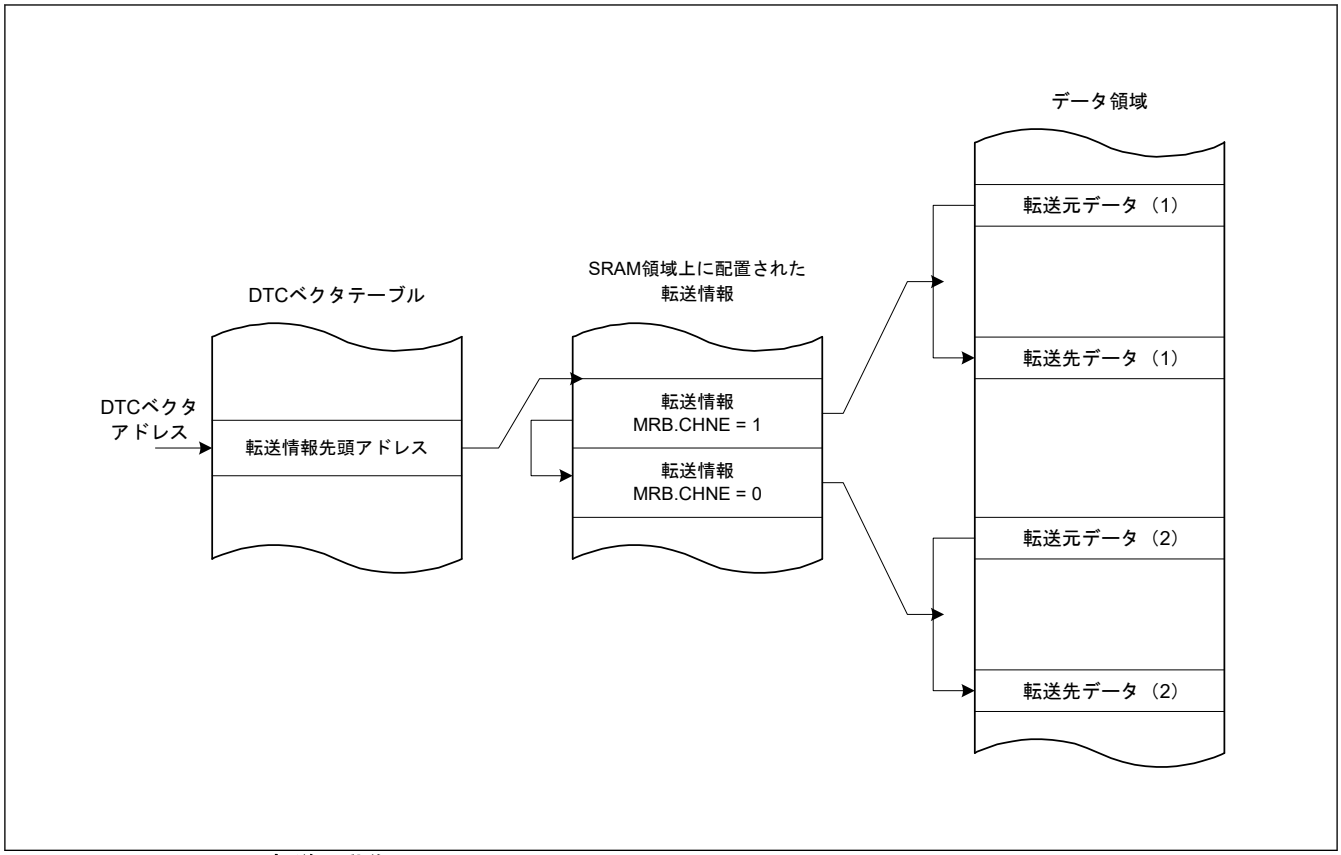


図 16.8　チェーン転送の動作

MRB.CHNE ビットと MRB.CHNS ビットを 1 にした場合、指定されたデータ転送終了時にのみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送の終了時にチェーン転送が実行されます。チェーン転送の条件については、表 16.3 を参照してください。

16.4.7　動作タイミング

図 16.9～図 16.12 に示すタイミング図は、最小実行サイクル数を示しています。

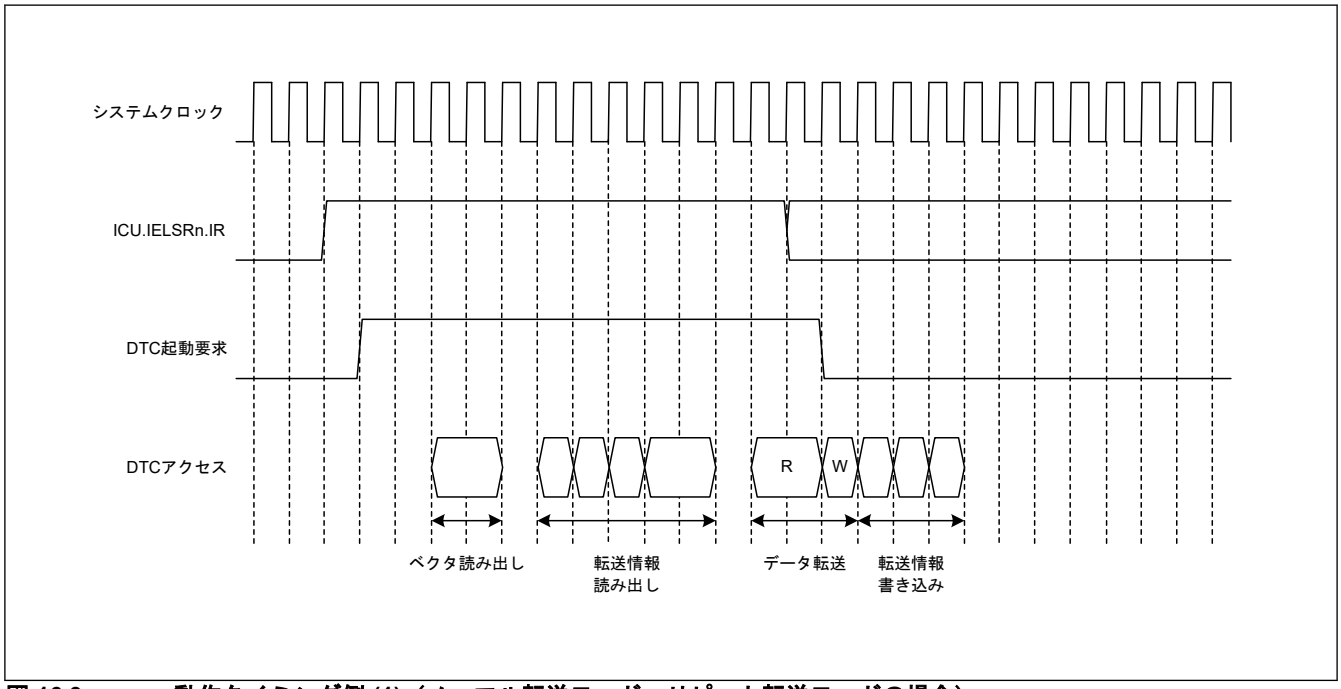


図 16.9　動作タイミング例 (1)（ノーマル転送モード、リピート転送モードの場合）

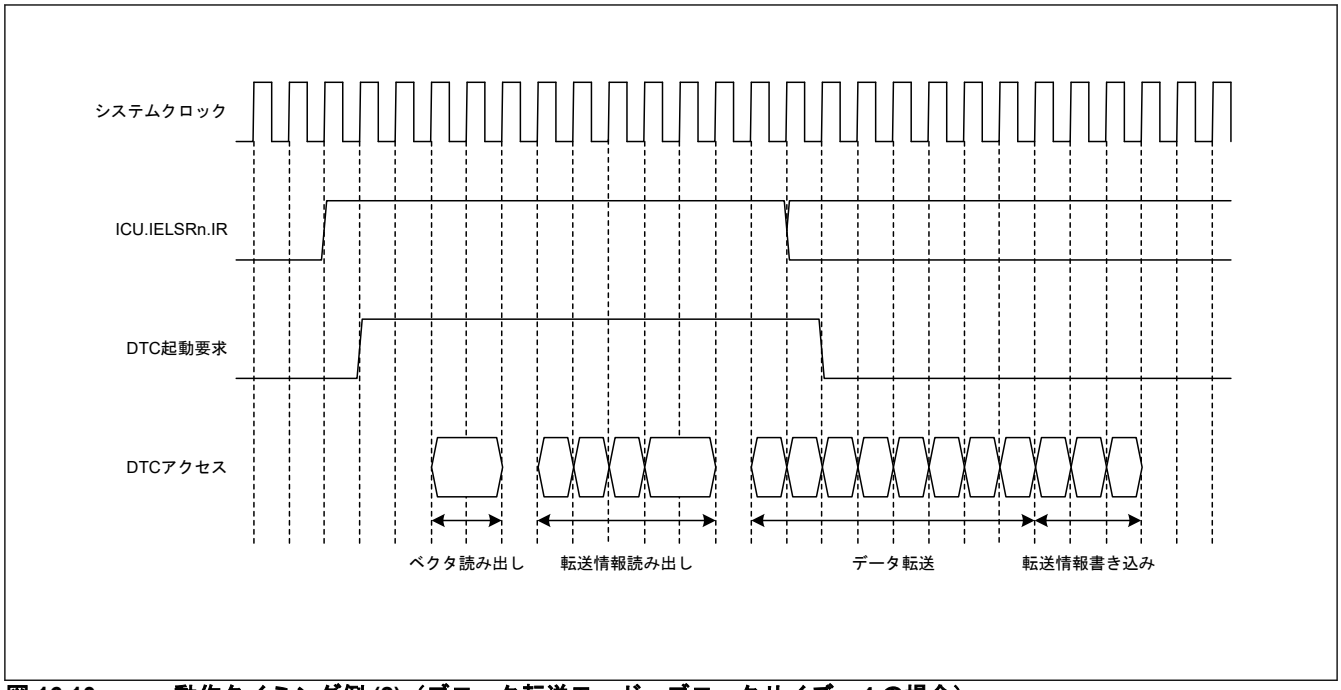


図 16.10　動作タイミング例 (2)（ブロック転送モード、ブロックサイズ = 4 の場合）

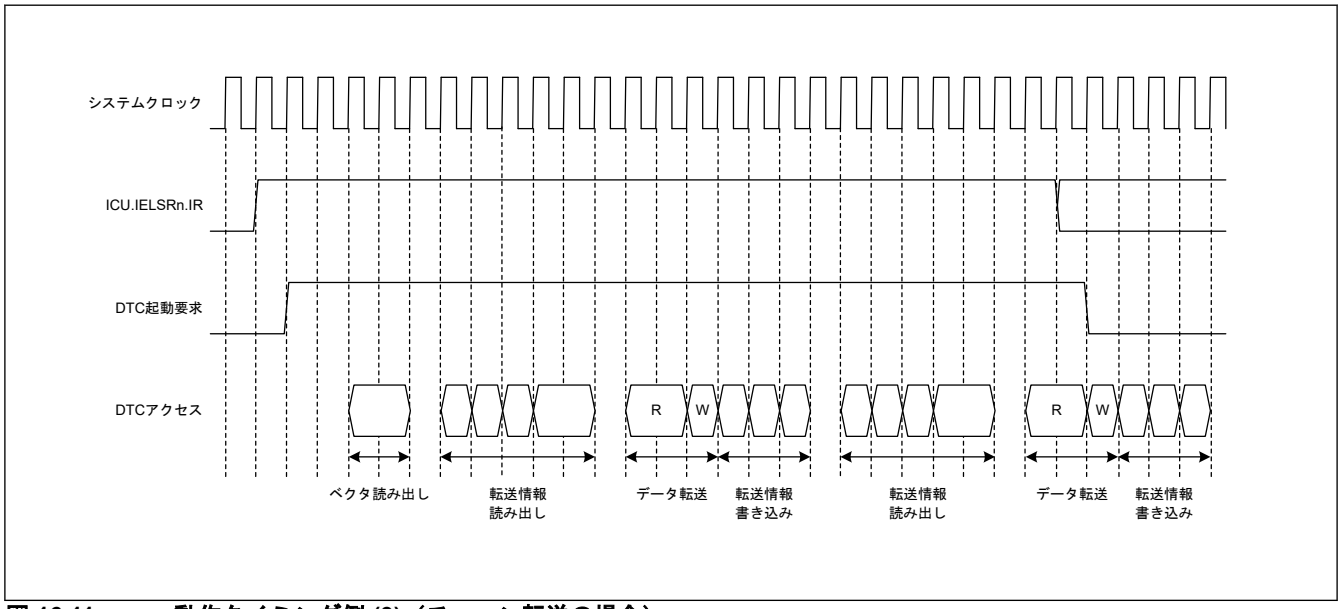
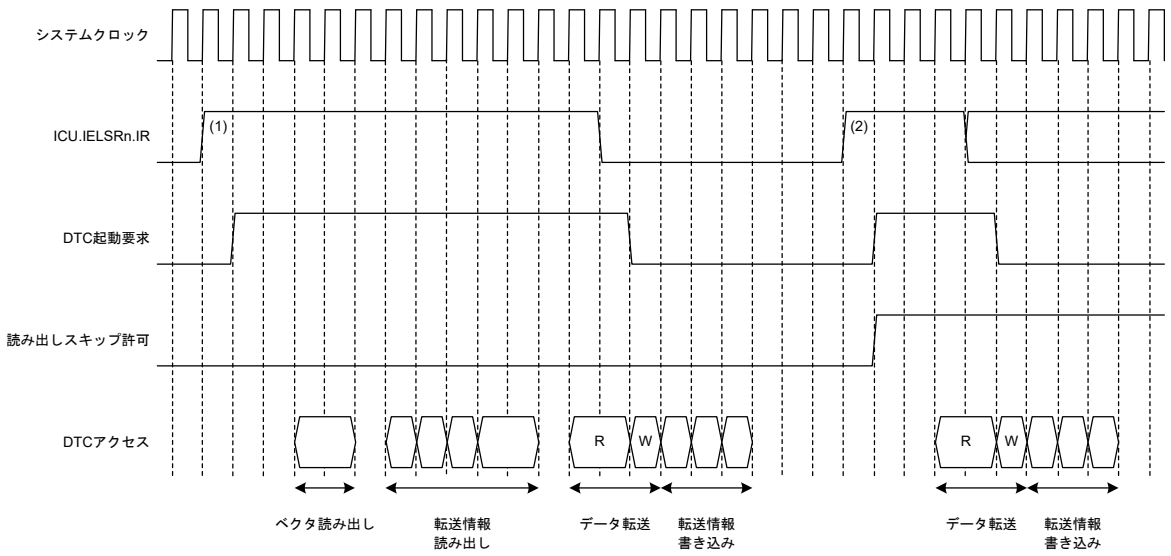


図 16.11　動作タイミング例 (3)（チェーン転送の場合）



注. (1) と (2) で起動要因（ベクタ番号）が同一で、DTCCR.RRS = 1 のとき、(2) の要求に対して転送情報読み出しスキップを行う。

図 16.12 転送情報リードスキップ実行時の動作例（ベクタ、転送情報、転送先データが SRAM にあり、転送元データが周辺モジュールにある場合）

16.4.8 DTC の実行サイクル

表 16.8 に DTC の 1 回のデータ転送の実行サイクルを示します。各実行状態の順序については、「16.4.7. 動作タイミング」を参照してください。

表 16.8 DTC の実行サイクル

P: ブロックサイズ（CRAH および CRAL レジスタの初期設定値）
Cv: ベクタ転送情報格納先へのアクセスサイクル
Ci: 転送情報格納先アドレスへのアクセスサイクル
Cr: データリード先へのアクセスサイクル
Cw: データライト先へのアクセスサイクル
ベクタ読み出し、転送情報読み出し、データ転送読み出しの各列に記載の“+1”の単位と、内部動作の列に記載の“2”の単位は、いずれもシステムクロック (ICLK) です。
Cv、Ci、Cr、Cw は対応するアクセス先で異なります。それぞれのアクセス先に対するサイクル数については、「41. SRAM」、「43. フラッシュメモリ」および「13. バス」を参照してください。
システムクロックと周辺クロックの周波数比も考慮されています。
DTC の応答時間は、DTC の起動要因が検出されてから DTC 転送が始まるまでの時間です。
表 16.8 には、DTC の起動要因がアクティブになってから DTC データ転送が始まるまでの時間は含まれていません。

転送モード	ベクタ読み出し		転送情報読み出し		転送情報書き込み			データ転送		内部動作	
								読み出し	書き込み		
ノーマル	Cv + 1	0(注1)	4 × Ci + 1	0(注1)	3 × Ci + 1(注2)	2 × Ci + 1(注3)	Ci(注4)	Cr + 1	Cw + 1	2	0(注1)
リピート								Cr + 1	Cw + 1		
ブロック (注5)								P × Cr	P × Cw		

注 1. 転送情報がリードスキップされる場合
注 2. SAR レジスタと DAR レジスタがともにアドレス固定でない場合
注 3. SAR レジスタと DAR レジスタのいずれかがアドレス固定の場合
注 4. SAR レジスタと DAR レジスタがともにアドレス固定の場合
注 5. ブロックサイズが 2 以上の場合。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

16.4.9 DTC のバス権解放タイミング

DTC は、転送情報の読み出し中はバス権を解放しません。転送情報の読み出しや書き込みが実施される前に、バスマスタ調停部によって決定された優先順位に従ってバス調停が行われます。バス調停については、「13. バス」を参照してください。

16.4.10 ベクタセキュリティ

DTC ベクタ n の転送アクセスのセキュリティ属性と ICU の IELSRn（n = 0～95）レジスタへのアクセスのセキュリティ属性は、CPSCU の ICUSARx (x = G, H, I) レジスタの SAIELSRn ビットで制御されます。CPSCU.ICUSARx レジスタの詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

CPSCU.ICUSARx.SAIELSRn ビットが 0 の場合、DTC ベクタ n の転送は読み出しおよび書き込みの両方に対してセキュアアクセスです。同時に、IELSRn レジスタはノンセキュアアクセスから保護されます。

CPSCU.ICUSARx.SAIELSRn ビットが 1 の場合、DTC ベクタ n の転送は読み出しおよび書き込みの両方に対してノンセキュアアクセスです。同時に、IELSRn レジスタはノンセキュア属性を有します。

DTC 転送が許可され、バスマスタが同じチャネルの DTC レジスタに書き込んでいる間は、CPSCU.ICUSARx.SAIELSRn ビットに書き込まないでください。

「16.3.1. 転送情報の配置と DTC ベクタテーブル」 に各 DTC ベクタに関するセキュリティ属性を示します。

16.4.11 DTC のマスタ TrustZone フィルタ

DTC には、マスタ TrustZone フィルタがあります。DTC のマスタ TrustZone フィルタは、IDAU で定義するフラッシュ領域（コードフラッシュとデータフラッシュ）と SRAM 領域のセキュリティ領域を検出できます。それらのアドレスへの非セキュアアクセスは、セキュリティ違反として検出されます。セキュリティ違反のアクセスは実行されません。検出したエラーは、マスタ TrustZone フィルタエラーとして扱います。

16.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。ICU.IELSRn.IELS[8:0]ビットを 0 にして NVIC の割り込みを禁止してから、表 16.9 の手順に従い DTC の設定を行ってください。

表 16.9 DTC の設定手順

No.	手順	内容
1	DTCCR(注1).RRS ビットを 0 にします。	DTCCR(注1).RRS ビットを 0 にして、転送情報読み出しスキップフラグをリセットします。その後、DTC を起動したときは、転送情報読み出しはスキップされません。転送情報を更新したときは、この設定を行ってください。
2	転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) を設定します。	転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) を SRAM 領域に配置してください。転送情報の設定は、「16.2. レジスタの説明」を参照してください。転送情報の配置方法は、「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。
3	転送情報の先頭アドレスを DTC ベクタテーブルに設定します。	転送情報の先頭アドレスを DTC ベクタテーブルに設定してください。DTC ベクタテーブルの設定方法は、「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。
4	DTCCR(注1).RRS ビットを 1 にします。	DTCCR(注1).RRS ビットを 1 にすることで、同一の割り込み要因による連続した DTC 起動を行う場合の 2 回目以降の転送情報読み出しサイクルをスキップできます。RRS ビットへの 1 の書き込みは可能ですが、DTC 転送中の設定は次回の転送から有効になります。
5	ICU.IELSRn.DTCE ビットを 1 にします。ICU.IELSRn.IELS[8:0]ビットを割り込み要因として設定します。この割り込みは NVIC で許可に設定する必要があります。	ICU.IELSRn.DTCE ビットを 1 にしてください。また、DTC をトリガする割り込み要因として ICU.IELSRn.IELS[8:0]を設定してください。この割り込みは NVIC で許可に設定する必要があります。「12. 割り込みコントローラユニット (ICU)」の「12.3.2. イベント番号」を参照してください。
6	起動要因となる割り込みの許可ビットを 1 に設定します。	起動要因となる割り込みの許可ビットを 1 に設定してください。要因となる割り込みが発生すると、DTC が起動されます。割り込み要因許可ビットの設定については、起動要因となるモジュールの設定方法を参照してください。
7	DTCST.DTCST ビットを 1 にします。	DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

注. DTCST.DTCST ビットの設定は、各起動要因の設定の後でなくても構いません。
注. 非セキュア状態で使用する場合、DTCSAR.DTCSTSA = 1 または DTCST.DTCST = 1 を設定してください。

注 1. セキュア状態で使用する場合、DTCCR ではなく DTCCR_SEC にアクセスしてください。

16.6 DTC の使用例

16.6.1 ノーマル転送

ここでは、DTC の使用例として、SCI から 128 バイトのデータ受信を行う場合を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] = 00b)、ノーマル転送モード (MRA.MD[1:0] = 00b)、およびバイト転送 (MRA.SZ[1:0] = 00b) を設定します。MRB レジスタには、転送先アドレスのインクリメント (MRB.DM[1:0] = 10b) と、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE = 0、MRB.DISEL = 0) を設定します。MRB.DTS ビットは任意の値を設定できます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する SRAM 領域の開始アドレス、CRA レジスタには 128 回 (0x0080) を設定します。CRB レジスタは任意の値を設定できます。

(2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の開始アドレスを、DTC のベクタテーブルに設定します。

(3) ICU の設定と DTC モジュールの起動

ICU.IELSRn.DTCE ビットを 1 にします。また、SCI 割り込みとして ICU.IELSRn.IELS[8:0]ビットを設定します。この割り込みは NVIC で許可に設定する必要があります。DTCST.DTCST ビットを 1 にします。

(4) SCI の設定

SCI の CCR0.RIE ビットを 1 にして SCIn_RXI (n = 0～4、9) 割り込みを許可します。SCI の受信動作中に受信エラーが発生すると、受信が停止します。これに対処するため、CPU が受信エラー割り込みを受け付けられるように設定してください。

(5) DTC 転送

SCI が 1 バイトのデータ受信を完了するごとに SCIn_RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから SRAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントが行われます。

(6) 割り込み処理

128 回のデータ転送が終了して CRA レジスタが 0 になると、CPU に対する SCIn_RXI 割り込み要求が発生します。割り込み処理ルーチンで終了処理を行ってください。

16.6.2 チェーン転送

ここでは、DTC のチェーン転送の例として、汎用 PWM タイマ (GPT) によってパルスを出力する場合を示します。チェーン転送を利用して、PWM タイマのコンペア値を転送し、GPT 用 PWM タイマの周期を変更することができます。

チェーン転送の最初の転送には、GPTm.GTCCRC（m = 320～329）レジスタへの転送用にノーマル転送モードを指定します。チェーン転送の 2 番目の転送には、GPTm.GTCCRE（m = 320～329）レジスタへの転送用にノーマル転送モードを指定します。チェーン転送の 3 番目の転送には、GPTm.GTPBR（m = 320～329）レジスタへの転送用にノーマル転送モードを指定します。これは、起動要因のクリアや指定回数の転送終了時の割り込み発生が、チェーン転送の 3 番目の転送、すなわち MRB.CHNE = 0 のときの転送にのみ行われるからです。

以下の例では、DTC の起動要因として、GPT320.GTPR レジスタによるカウンタオーバーフロー割り込みの使用方法を説明します。

(1) 第 1 転送情報の設定

GPT320.GTCCRC レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。

3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1, MRB.CHNS = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRC レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(2) 第 2 転送情報の設定

GPT320.GTCCRE レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1, MRB.CHNS = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRE レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(3) 第 3 転送情報の設定

GPT320.GTPBR レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE = 0, MRB.DISEL = 0) を設定します。MRB.DTS ビットは任意の値を設定できます。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTPBR レジスタのアドレスを設定します。
6. CRA レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(4) 転送情報の配置

GPT320.GTPBR レジスタへの転送で使用する転送情報は、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタで使用する転送制御情報のすぐ後に配置します。

(5) DTC ベクタテーブルの設定

DTC ベクタテーブルで、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへの転送で使用する転送制御情報の開始アドレスを設定します。

(6) ICU の設定と DTC モジュールの起動

1. GPT320 カウンタオーバーフロー割り込みに対応する ICU.IELSRn.DTCE ビットを設定します。
2. ICU.IELSRn.IELS[8:0]ビットを設定して、GPT320 カウンタオーバーフローを指定します。
3. DTCST.DTCST ビットを 1 にします。

(7) GPT の設定

1. GTCCRA および GTCCRB レジスタがアウトプットコンペアレジスタとして動作できるように、GPT320.GTIOR レジスタを設定します。
2. GPT320.GTCCRA レジスタと GPT320.GTCCRB レジスタには、デフォルトの PWM タイマコンペア値を設定し、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタには、次の PWM タイマコンペア値を設定します。

3. GPT320.GTPR レジスタには、デフォルトの PWM タイマ周期を設定し、GPT320.GTPBR レジスタには、次の PWM タイマ周期を設定します。
4. PmnPFS.PDR ビットを 1 にして、PmnPFS.PSEL[4:0]ビットを 00011b にします。

(8) GPT の起動

GPT320.GTSTR.CSTRT ビットを 1 にして、GPT320.GTCNT カウンタのカウント動作を開始します。

(9) DTC 転送

GPT320.GTPR レジスタで GPT320 カウンタオーバーフローが発生するたびに、次の PWM タイマコンペア値が GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへ転送されます。また、次の PWM タイマ周期の設定値が GPT320.GTPBR レジスタへ転送されます。

(10) 割り込み処理

指定した回数の転送終了後（たとえば、GPT 転送用 CRA レジスタの値が 0 になると）、CPU に対して GPT320 カウンタオーバーフロー割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

16.6.3 転送カウンタ = 0 のときのチェーン転送

第 2 転送は第 1 転送の転送カウンタが 0 になったときにだけ実行されます。第 1 転送情報は第 2 転送が実行されるたびに繰り返し変更されます。チェーン転送によって、256 回以上のリピート転送が可能になります。

以下に、1 KB の入力バッファを構成する例を示します。入力バッファは下位アドレスが 0x00 から始まるように設定されています。図 16.13 に転送カウンタ = 0 のときのチェーン転送を示します。

1. 第 1 転送のデータ入力用にノーマル転送モードを設定します。以下のように設定してください。
   (a) 転送元アドレス = 固定
   (b) CRA = 0x0200（512 回）
   (c) MRB.CHNE = 1（チェーン転送許可）
   (d) MRB.CHNS = 1（転送カウンタが 0 の場合のみチェーン転送を行う）
   (e) MRB.DISEL = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
2. 第 1 転送の転送先アドレスの 512 回ごとに、開始アドレスの上位 8 ビットアドレスを別の領域（コードフラッシュメモリなど）に用意してください。たとえば、入力バッファを 0x8000～0x83FF にする場合は、0x82 と 0x80 を用意します。
3. 第 2 転送は以下のように設定してください。
   (a) 第 1 転送の転送カウンタをリセットするため、リピート転送モード（転送元および転送先アドレスは固定）に設定
   (b) 転送先として、第 1 転送情報領域の CAR レジスタを指定
   (c) MRB.CHNE = 1（チェーン転送許可）
   (d) MRB.CHNS = 0（連続チェーン転送を選択）
   (e) MRB.DISEL = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
   (f) CRA = 0x0101（転送回数は 1 回）
4. 第 3 転送は以下のように設定してください。
   (a) 第 1 転送の転送先アドレスをリセットするため、リピート転送モード（転送元をリピート領域）に設定
   (b) 転送先として、第 1 転送情報領域の DAR レジスタの上位 8 ビットを指定
   (c) MRB.CHNE = 0（チェーン転送禁止）
   (d) MRB.DISEL = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
   (e) 入力バッファを 0x8000～0x83FF にした場合は、転送カウンタ = 2
5. 1 回の割り込みで、第 1 転送が 512 回実行されます。第 1 転送の転送カウンタが 0 になると、第 2 転送がスタートします。第 1 転送の転送カウンタを 0x0200 にしてください。第 1 転送の転送先アドレスの下位 8 ビット（転送カウンタ）は 0x0200 になっています。

6. 1 回の割り込みで、第 2 転送が 1 回実行されます。第 1 転送の転送カウンタが 0 になると、第 3 転送がスタートします。第 1 転送の転送先アドレスの上位 8 ビットを 0x82 にしてください。転送先アドレスの下位 8 ビットは 0x00、第 1 転送の転送カウンタは 0x0200 になっています。
7. 引き続き 1 回の割り込みで、第 1 転送用に指定された 512 回だけ、第 1 転送が実行されます。第 1 転送の転送カウンタが 0 になると、第 2 転送がスタートします。第 1 転送の転送カウンタを 0x0200 にしてください。第 1 転送の転送先アドレスの下位 8 ビット（転送カウンタ）は 0x0200 になっています。
8. 1 回の割り込みで、第 2 転送が 1 回実行されます。第 1 転送の転送カウンタが 0 になると、第 3 転送がスタートします。第 1 転送の転送先アドレスの上位 8 ビットを 0x80 にしてください。転送先アドレスの下位 8 ビットは 0x00、第 1 転送の転送カウンタは 0x0200 になっています。
9. 手順 5 と 8 が無限に繰り返されます。第 2 転送はリピート転送モードのため、CPU への割り込み要求は発生しません。

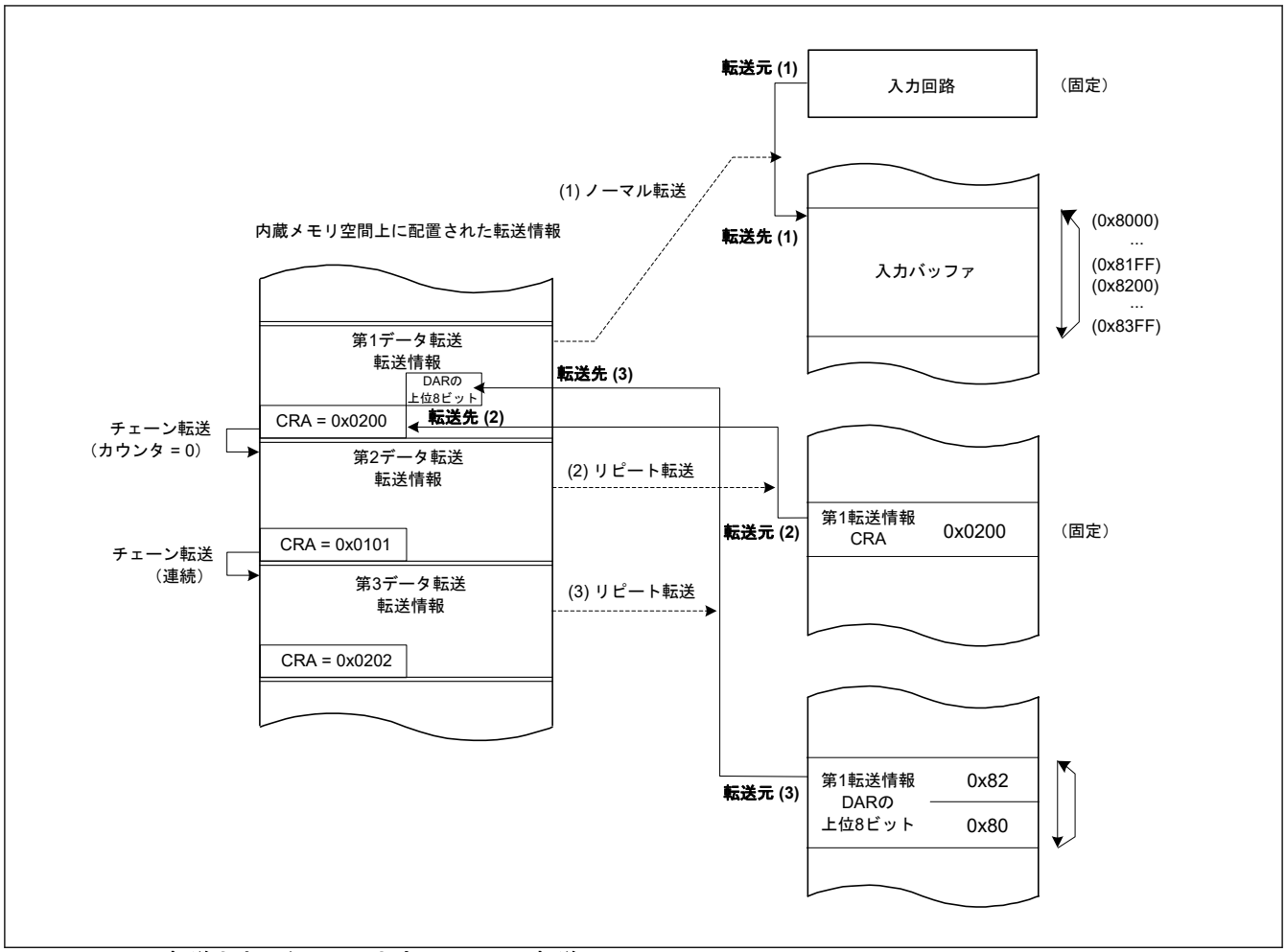


図 16.13　転送カウンタ = 0 のときのチェーン転送

16.7　DTC 転送エラーにおける処理

DTC 転送中にアクセスエラーが発生すると、DTC は即座にアクセスを停止します。エラーを引き起こしたベクタ番号のみを停止させるために、ICU にエラーを引き起こしたベクタ番号を伝え、対応する ICU の設定をクリアしてください。その後、エラーを引き起こしたベクタ番号以外の要求があれば、そのまま再調停となります。DTC の TrustZone フィルタが違反を検出するときに、転送エラー発生状況が示されます。

転送エラーが発生すると、エラー応答が ICU に伝わります。ICU は、転送エラーを引き起こした対応するベクタ番号の ICU.IELSRn をクリアします。さらに、DMAC/DTC 転送によるエラーの発生を通知するために、ICU はエラー応答検出割り込みを発生させます（「16.8.2. 転送エラーの割り込み要求」）。SRAM への書き込みは実行されません。

マスタ TrustZone フィルタエラー、スレーブ TrustZone エラー、またはマスタ MPU エラーが発生したとき、NMI を選択することで DTC のエラー情報を確認できます。リセットを選択すると、DTC エラーベクタレジスタはクリアされます。DTC の転送エラーによって NMI が生成する条件では、2 つの割り込み（NMI と DMA_TRANSERR）を生成します。この場合、NMI は常に最初に応答します。

エラー応答検出割り込み要求 (DMA_TRANSERR) は、スレーブバスエラーまたは不正アクセスエラーが起こる場合に発生します。さらに、それはエラー応答検出割り込み要求 (DMA_TRANSERR) が NMI ハンドラでクリアされない場合の NMI 発生後に起こります。

「16.7.1. NMI ハンドラにおける処理」 に NMI ハンドラでの DTC のエラー情報を確認する方法を示します。
「16.7.2. エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラにおける処理」 に DMA_TRANSERR ハンドラでの DTC のエラー情報を確認する方法を示します。

「16.8.2. 転送エラーの割り込み要求」に転送エラー起因で発生した割り込みとエラー情報を示します。

16.7.1 NMI ハンドラにおける処理

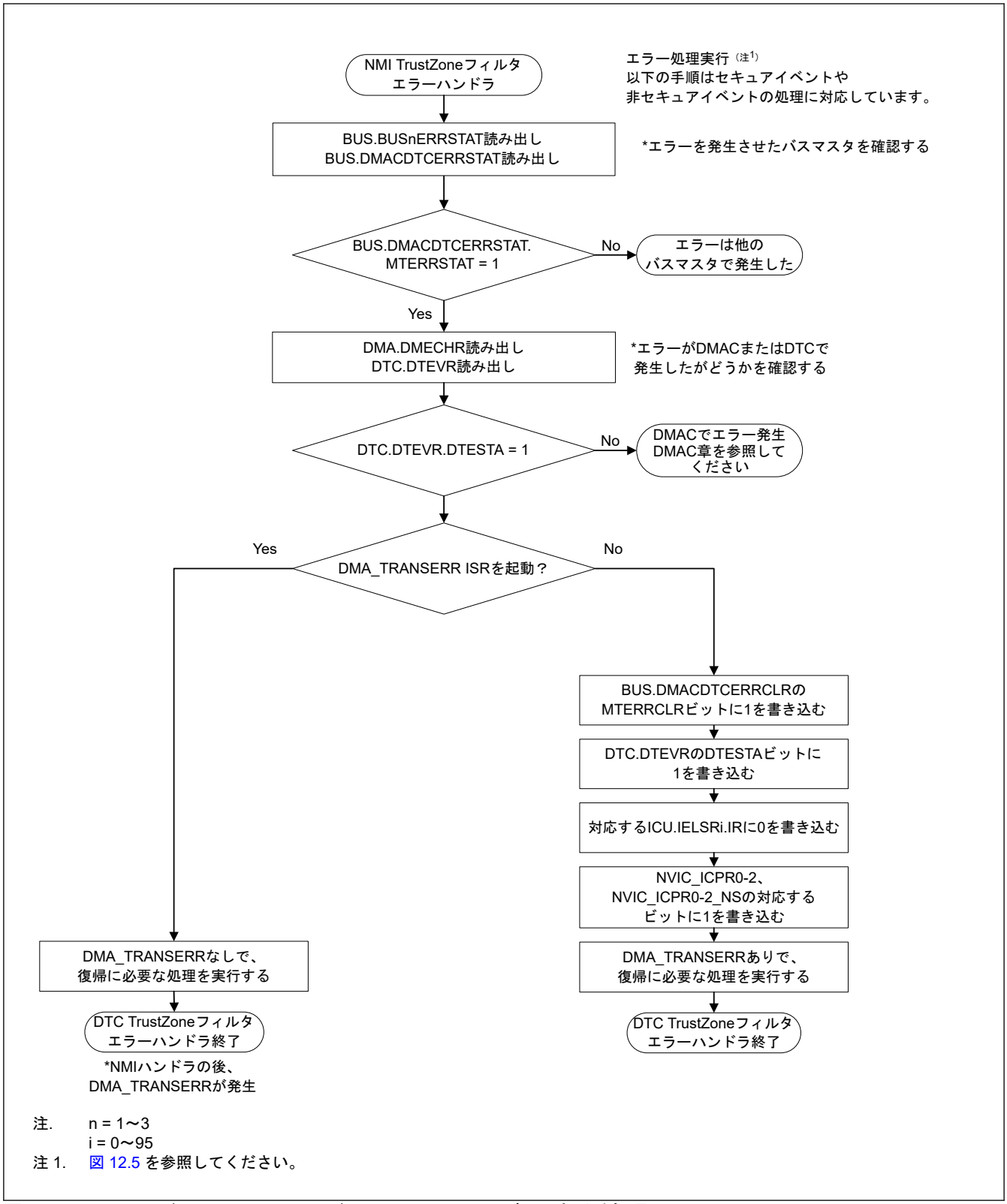
DMA 転送エラーに起因する NMI の原因は、マスタ TrustZone フィルタエラー、スレーブ TrustZone フィルタエラー、またはマスタ MPU エラーです。NMI が DTC 転送エラーに起因して発生するとき、NMI ハンドラの終了後にエラー応答検出割り込み要求 (DMA_TRANSERR) が発生します。エラーの原因と、エラーの発生した DTC ベクタ番号を確認することができます。NMI は発生したときは、ICU 章に記載されているフローに従って必要な処理を実行してください。

図 16.14 に DTC でマスタ TrustZone フィルタエラーが発生したベクタ番号を確認するためのフローを示します。

図 16.15 に DTC でスレーブ TrustZone フィルタエラーが発生したベクタ番号を確認するためのフローを示します。

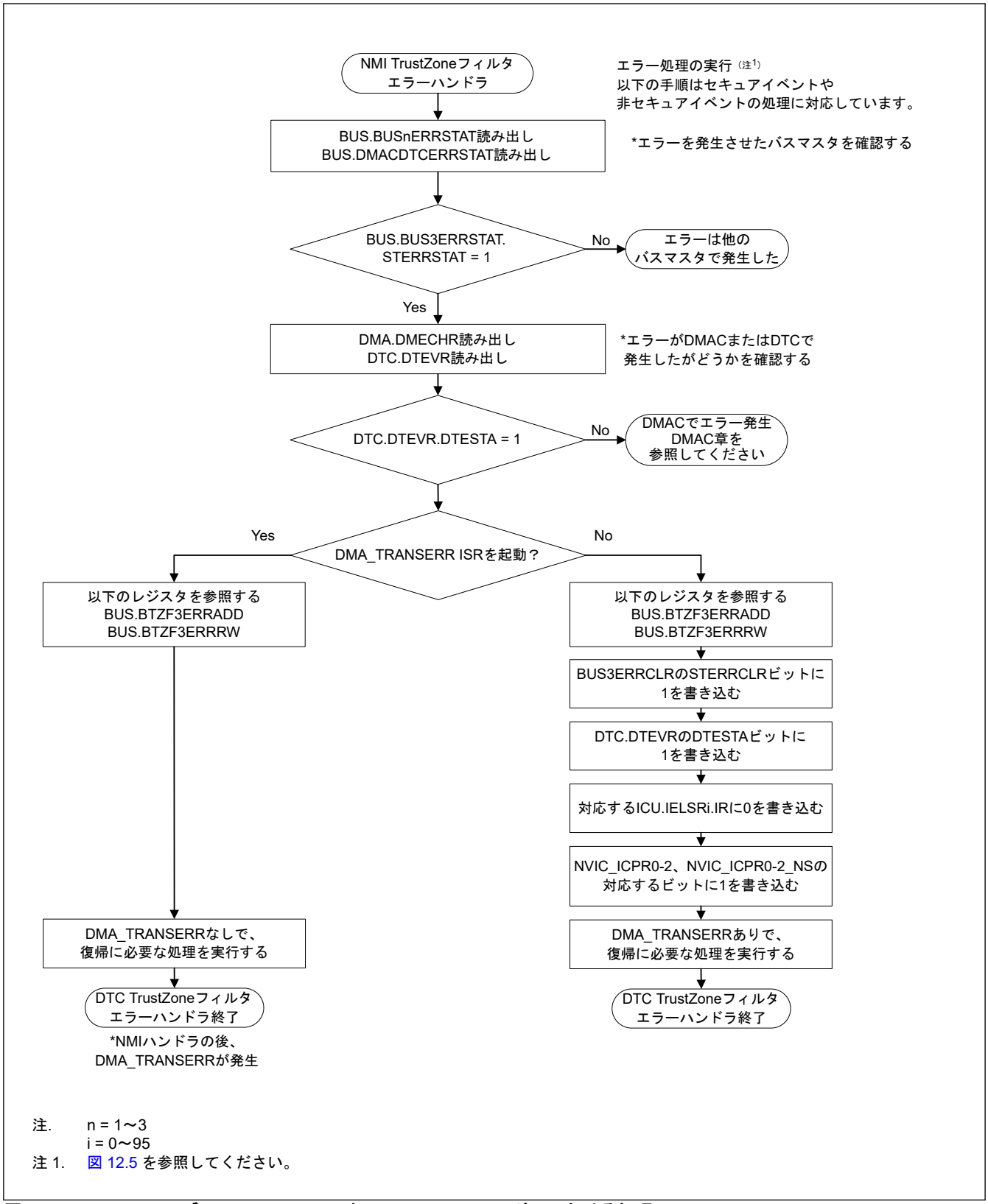
図 16.16 に DTC でマスタ MPU エラーが発生したベクタ番号とセキュリティ属性を確認するためのフローを示します。

NMI ハンドラでのすべての処理が終了すると、その後に発生するエラー応答検出割り込み要求 (DMA_TRANSERR) をクリアすることが可能です。



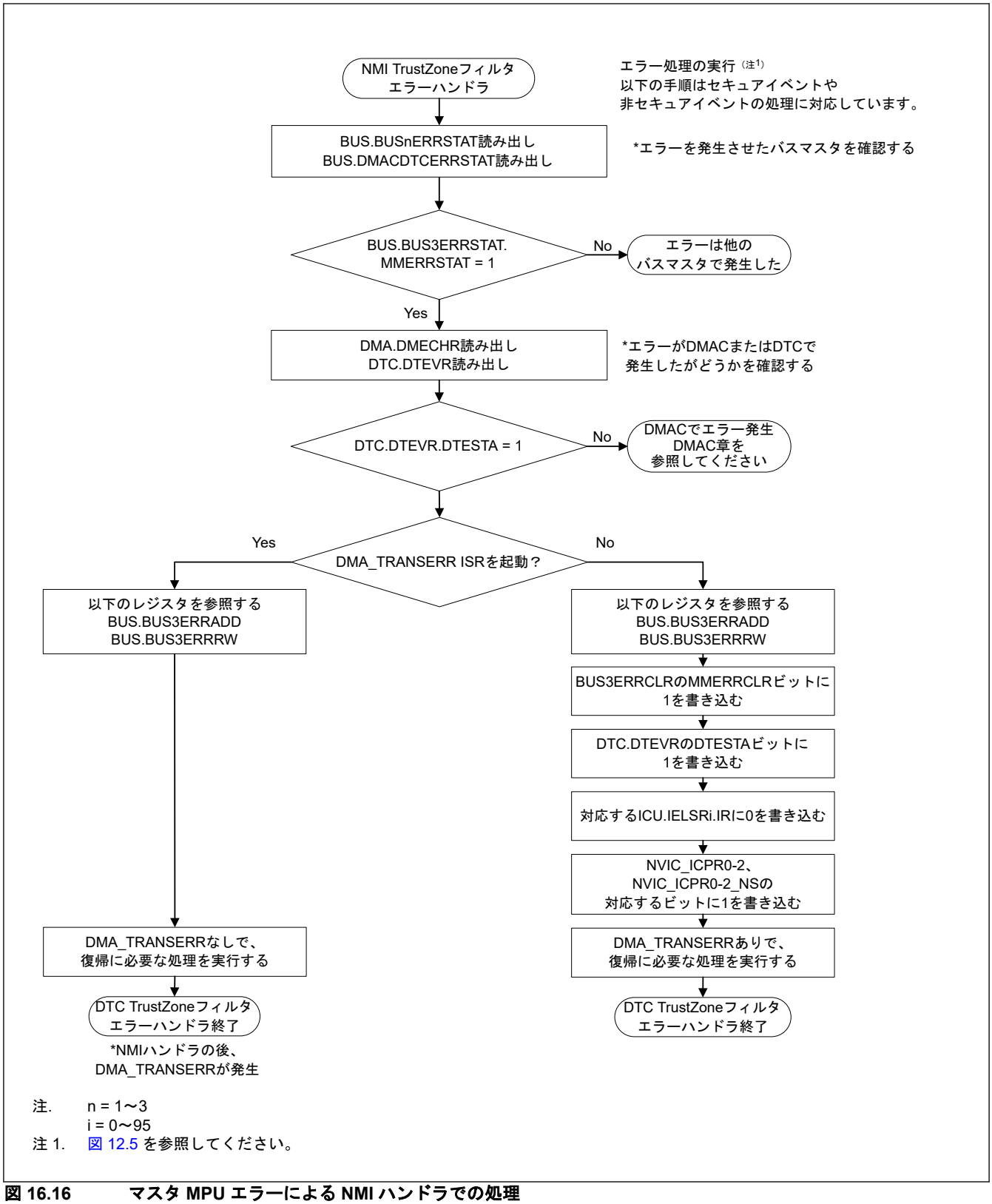
注. n = 1～3
i = 0～95
注 1. 図 12.5 を参照してください。

図 16.14 マスタ TrustZone フィルタエラーの NMI ハンドラにおける処理



注. n = 1～3
i = 0～95
注 1. 図 12.5 を参照してください。

図 16.15 スレーブ TrustZone フィルタエラーの NMI ハンドラにおける処理



注. n = 1～3
i = 0～95
注 1. 図 12.5 を参照してください。

図 16.16 マスタ MPU エラーによる NMI ハンドラでの処理

16.7.2 エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラにおける処理

DMA 転送エラーに起因するエラー応答検出割り込み要求 (DMA_TRANSERR) の原因は、スレーブバスエラー、または不正アクセスエラーです。またこのエラーは、NMI ハンドラエラー応答検出割り込み要求 (DMA_TRANSERR) が NMI ハンドラによりクリアされなかった際にも発生します。

エラーの原因とエラーが発生した DTC ベクタ番号を確認することが可能です。

図 16.17 にエラー原因確認手順を示します。

図 16.18 に DTC でマスタ TrustZone フィルタエラーが発生したベクタ番号を確認するためのフローを示します。

図 16.19 に DTC でスレーブ TrustZone フィルタエラーが発生したベクタ番号を確認するためのフローを示します。

図 16.20 に DTC のマスタ MPU エラーが発生したベクタ番号とセキュリティ属性を確認するフローを示します。

図 16.21 に DTC のスレーブバスエラーが発生したベクタ番号とセキュリティ属性を確認するフローを示します。

図 16.22 に DTC の不正アクセスエラーが発生したベクタ番号とセキュリティ属性を確認するフローを示します。

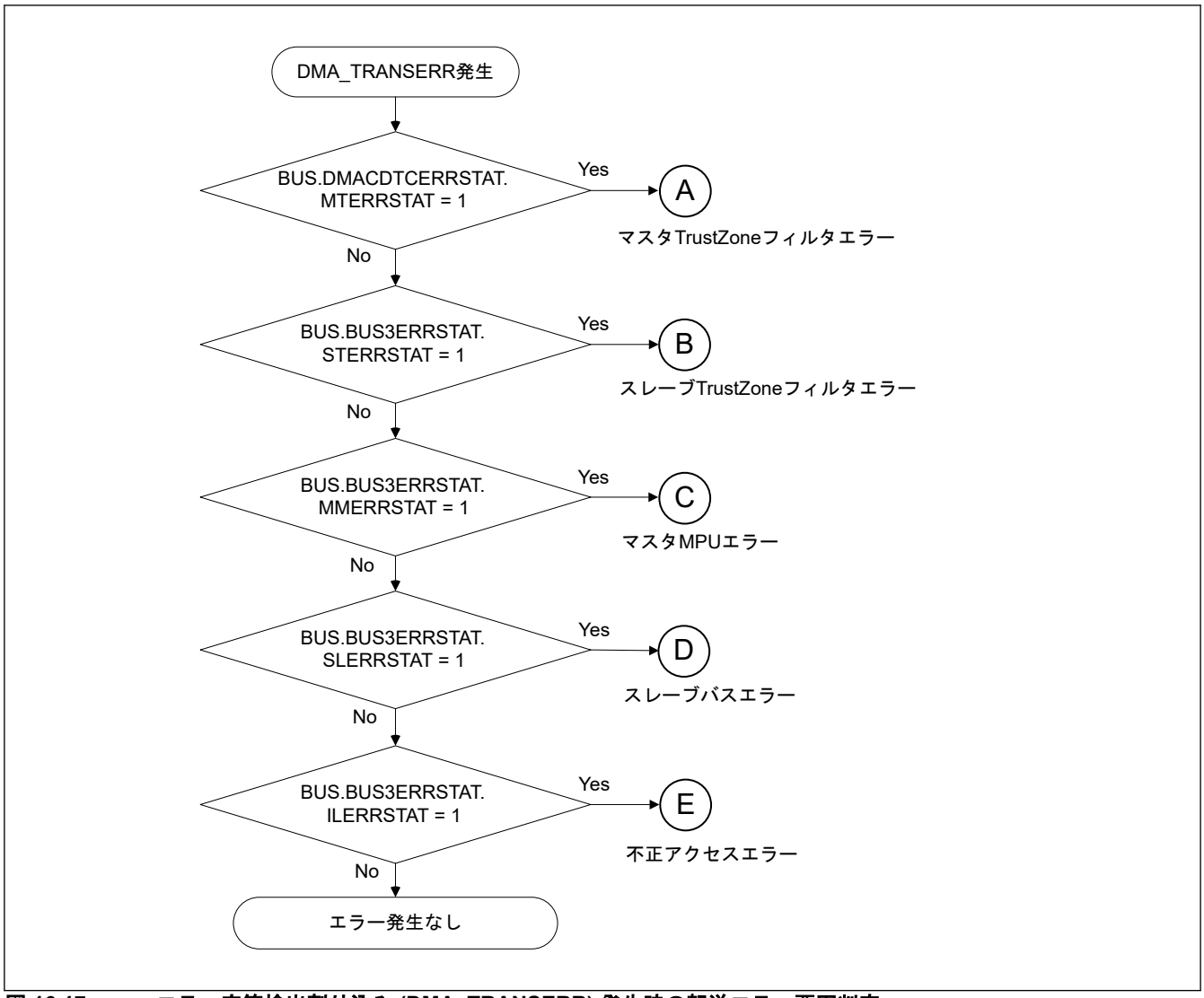
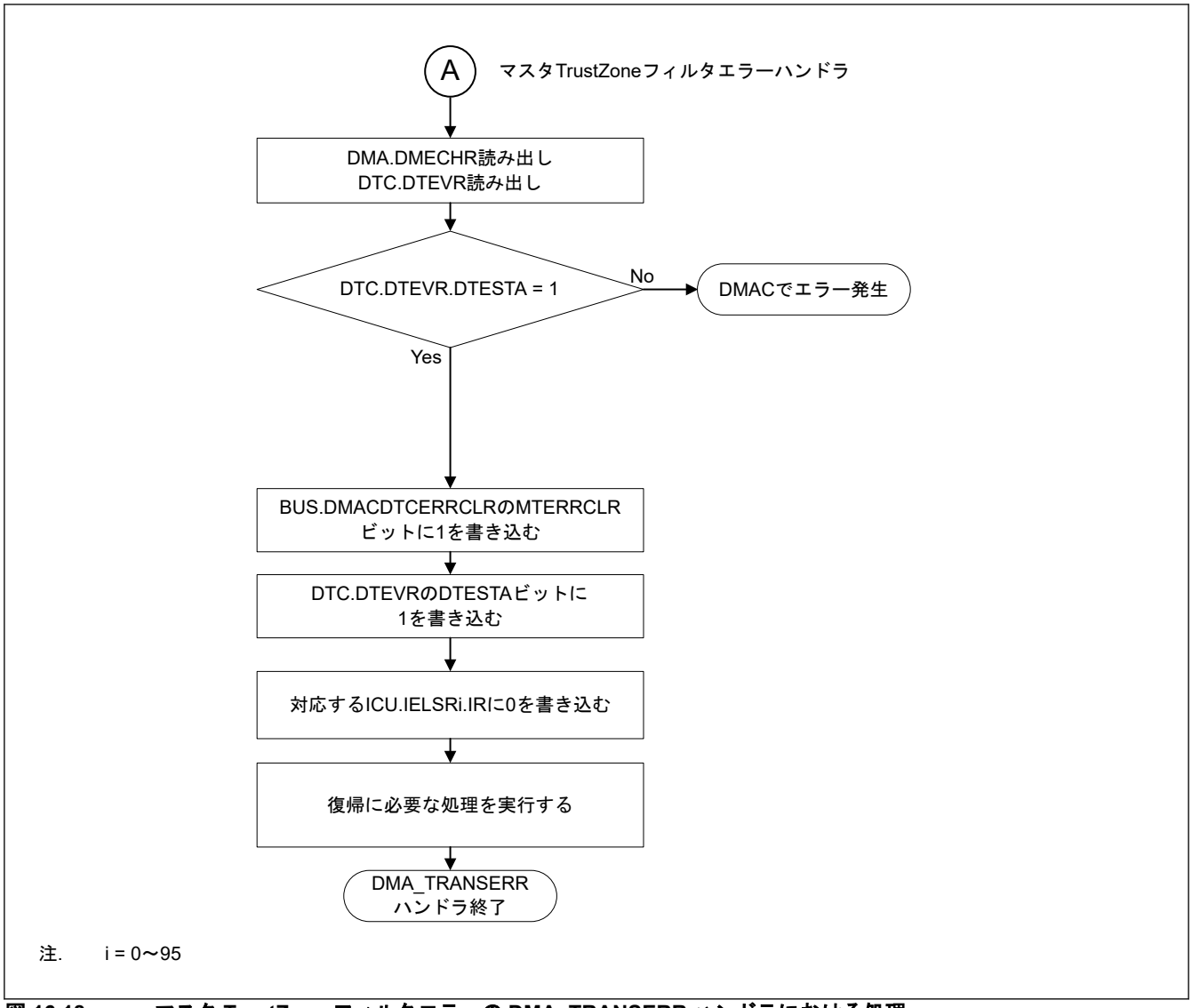
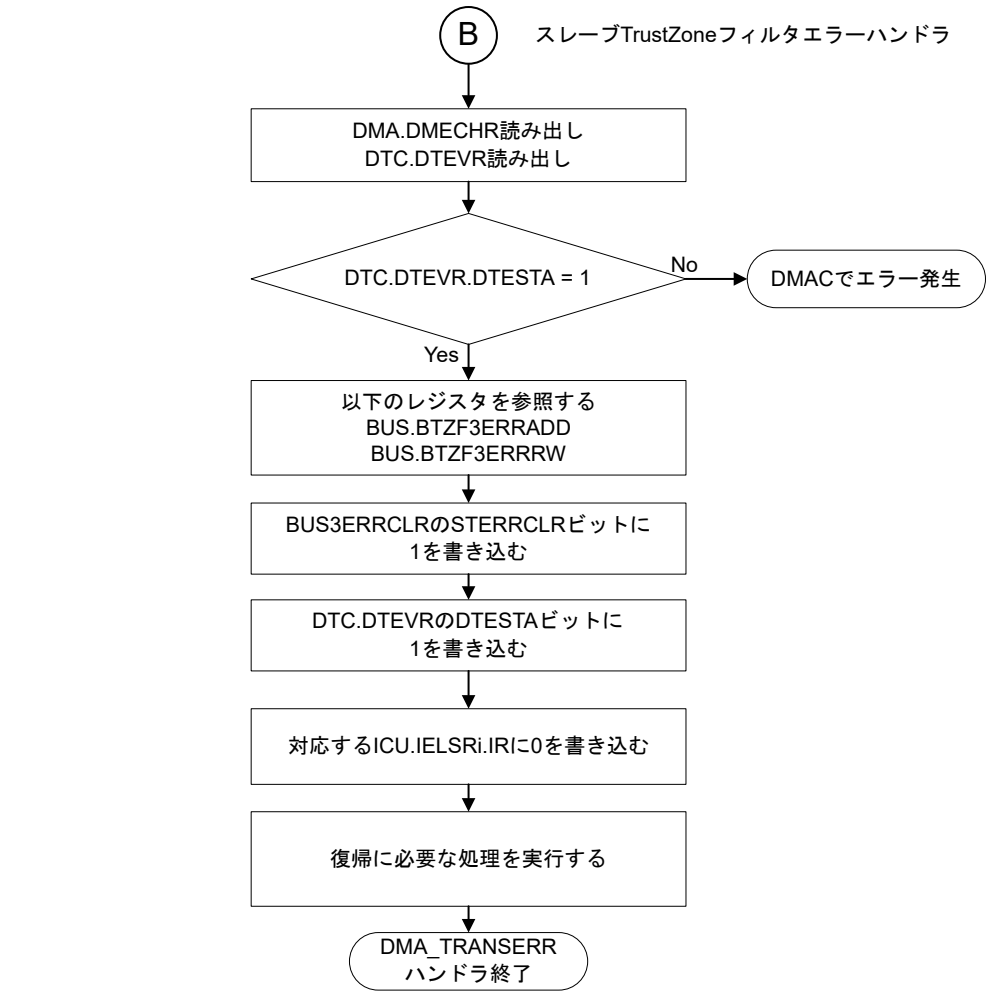


図 16.17 エラー応答検出割り込み (DMA_TRANSERR) 発生時の転送エラー要因判定



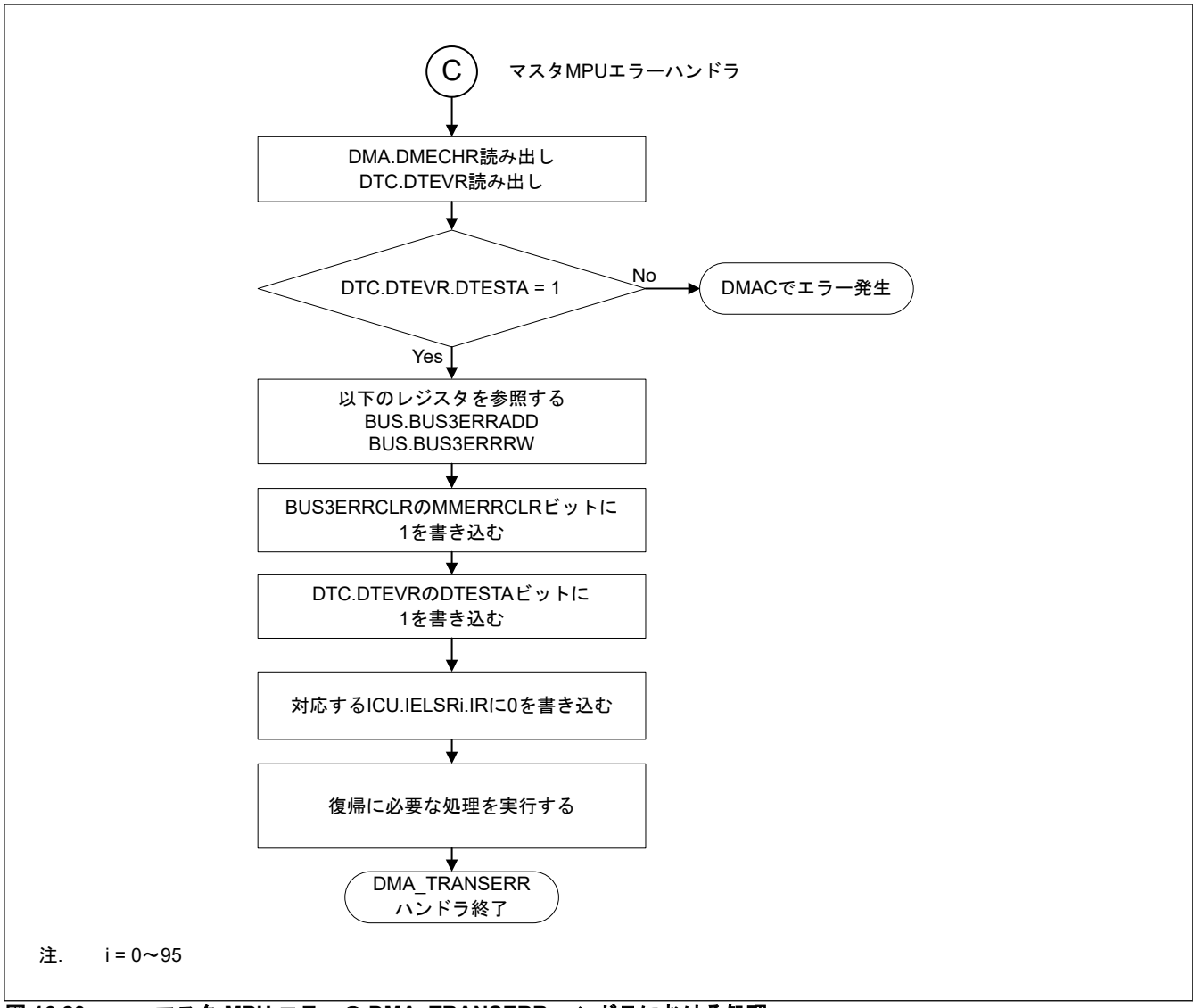
注. i = 0～95

図 16.18 マスタ TrustZone フィルタエラーの DMA_TRANSERR ハンドラにおける処理



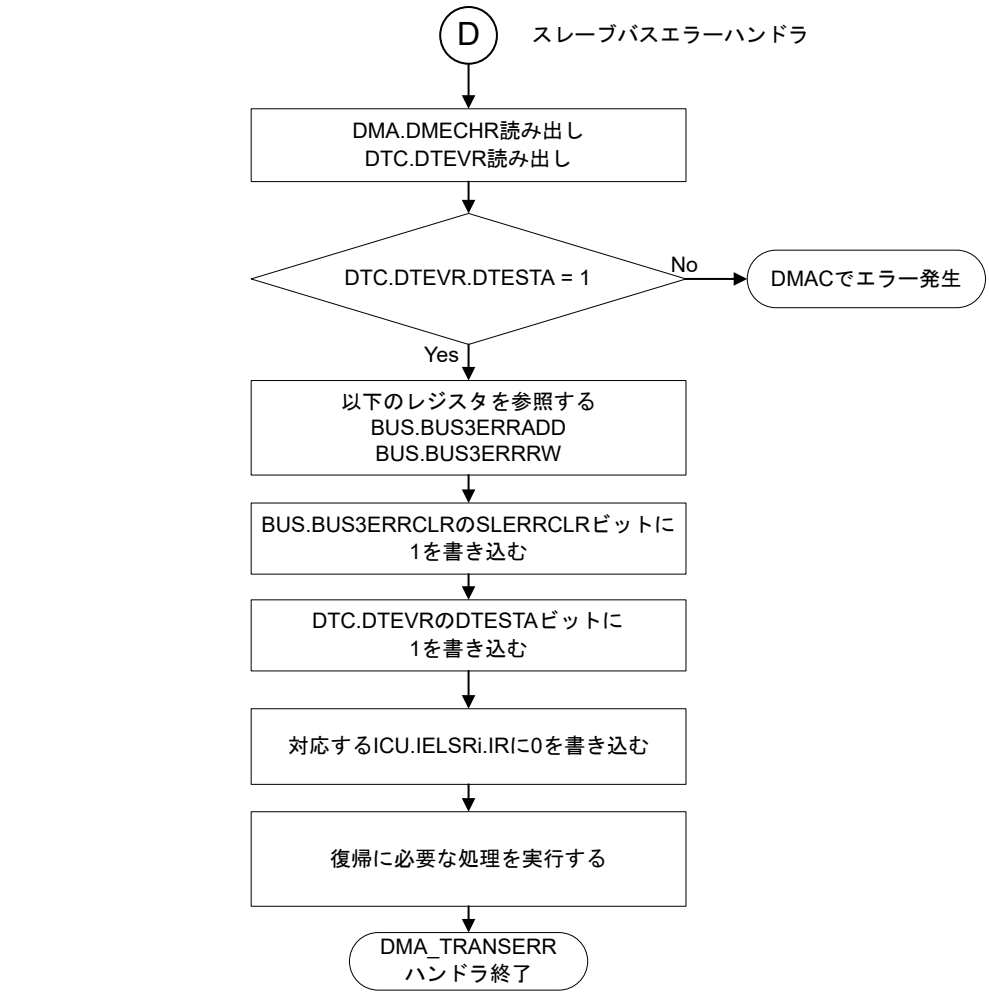
注. i = 0～95

図 16.19 スレーブ TrustZone フィルタエラーの DMA_TRANSERR ハンドラにおける処理



注. i = 0～95

図 16.20 マスタ MPU エラーの DMA_TRANSERR ハンドラにおける処理



注. i = 0～95

図 16.21 スレーブバスエラーの DMA_TRANSERR ハンドラにおける処理

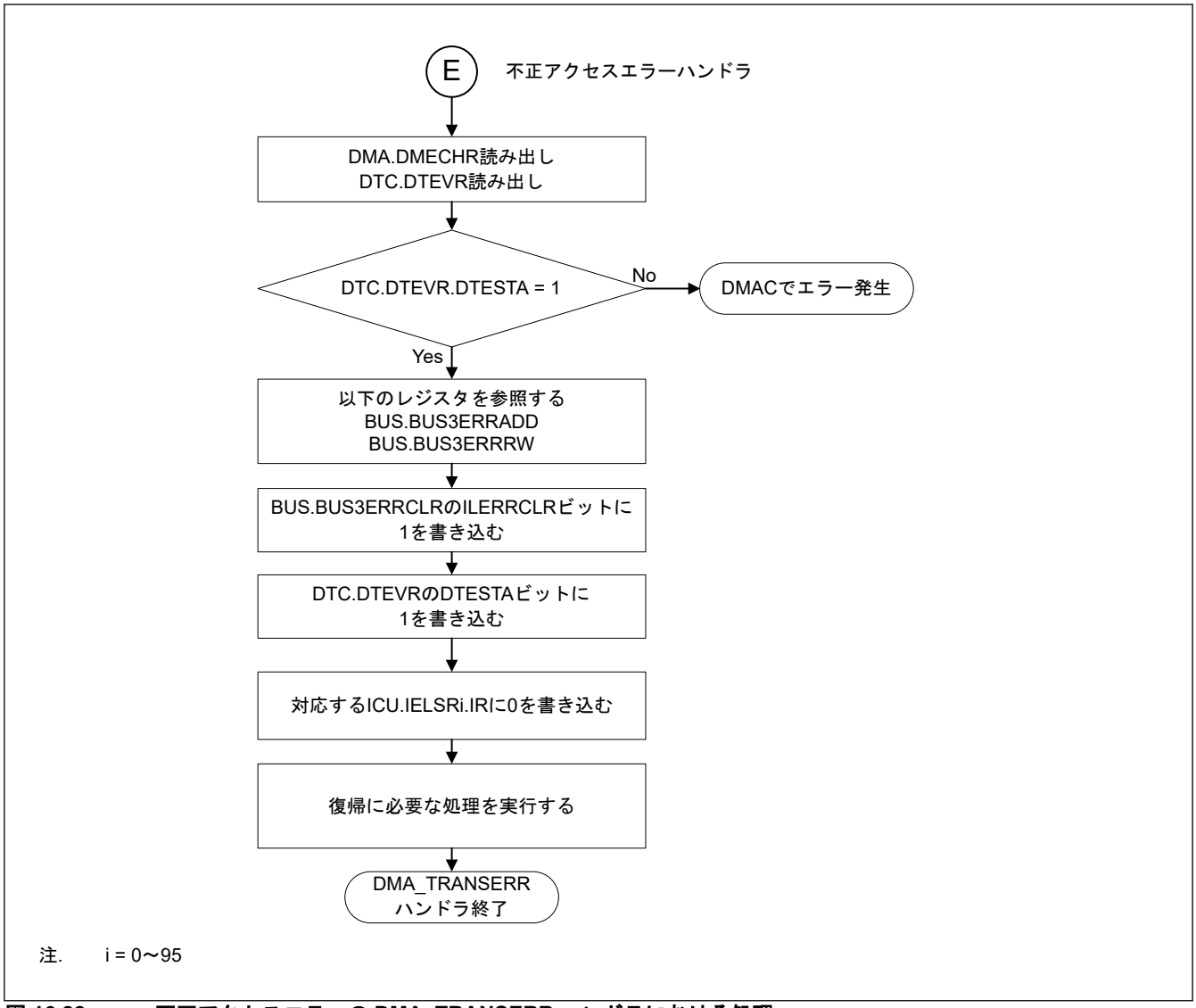


図 16.22 不正アクセスエラーの DMA_TRANSERR ハンドラにおける処理

16.8 割り込み

16.8.1 転送終了割り込み要求

DTC が指定された回数のデータ転送を完了したとき、または MRB.DISEL ビットが 1 の状態でデータ転送が完了したとき、DTC の起動要因によって CPU に対する割り込みが発生します。DTC の起動に起因する割り込み（チャネルごと）とイベント信号 DTC_COMPLETE に起因する割り込み（全チャネル共通）の 2 種類の割り込みが使用可能です。CPU に対する割り込みは、NVIC および ICU.IELSRn.IELS[8:0]ビットの設定に従って制御されます。「12. 割り込みコントローラユニット (ICU)」を参照してください。DTC により決定される起動要因の優先順位は、割り込みベクタ番号が小さいほど高くなります。CPU への割り込みの優先順位は、NVIC の優先順位で決定されます。

16.8.2 転送エラーの割り込み要求

DTC 転送中に転送エラーが検出されると、エラー応答検出割り込み要求 (DMA_TRANSERR) が DMAC または DTC から発生します。表 16.10 に DTC 転送エラー発生時の割り込みの種類を示します。表 16.10 には転送エラー発生時に格納されるエラー情報も示されています。

表 16.10 DTC 転送エラーに起因する割り込みとエラー情報

転送エラー要因	NMI/RESET(注1)要求	割り込み要求	バスエラー状態	エラーアドレス エラー R/W	エラーチャネル情報
DMAC/DTC のマスタ TrustZone フィルタ	ICU.NMISR.TZFST (注1)	DMA_TRANSERR	BUS.DMACDTCERRSTAT.MTERRSTAT (注1)	—	DTC.DTEVR
スレーブ TrustZone フィルタ	ICU.NMISR.TZFST (注1)	DMA_TRANSERR	BUS.BUS3ERRSTAT.STERRSTAT(注1)	BUS.BTZF3ERRADD BUS.BTZF3ERRRW	DTC.DTEVR
マスタ MPU	ICU.NMISR.BUSMST	DMA_TRANSERR	BUS.BUS3ERRSTAT.MMERRSTAT	BUS.BUS3ERRADD BUS.BUS3ERRRW	DTC.DTEVR
スレーブバスエラー	—(注2)	DMA_TRANSERR	BUS.BUS3ERRSTAT.SLERRSTAT(注2)	BUS.BUS3ERRADD BUS.BUS3ERRRW	DTC.DTEVR
不正アクセスエラー	—(注2)	DMA_TRANSERR	BUS.BUS3ERRSTAT.ILERRSTAT(注2)	BUS.BUS3ERRADD BUS.BUS3ERRRW	DTC.DTEVR

注 1. ノンマスカブル割り込み (NMI) 要求がマスタ MPU エラーと TrustZone フィルタエラーの検出後の動作として選択した場合に、割り込みが発生します BUS.BUS3ERRSTAT ビットと BUS.DMACDTCERRSTAT ビットを確認することにより、マスタかスレーブかを判定します。

注 2. エラー応答検出割り込み (DMA_TRANSERR) が発生し、かつマスタ MPU の NMI または TrustZone フィルタの NMI が発生しない場合、不正アドレスアクセスエラーまたはスレーブバスエラーとして扱ってください。それは BUS.BUS3ERRSTAT ビットと BUS.DMACDTCERRSTAT ビットによっても判定可能です。

転送の最終データを書き込む際にバスエラーが発生すると、転送終了イベントとエラー応答検出割り込み (DMA_TRANSERR) が発生することに注意してください。

16.9 イベントリンク

1 転送要求分の転送完了時に、DTC はイベントリンク要求を出力できます。

16.10 低消費電力機能

モジュールストップ状態、スヌーズモードへの遷移を伴わないソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ遷移する際は、事前に DTCST.DTCST ビットを 0 にしてください。その後、本節に示す動作を実行してください。SYSTEM.SNZCR.SNZDTCEN ビットを 1 にすると、DTC はスヌーズモードでも利用可能です。「10. 低消費電力モード」を参照してください。

(1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書き込むと、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書き込むと、DTC 転送が動作中の場合は DTC 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のときは、DTC のレジスタにアクセスしないでください。MSTPCRA.MSTPA22 ビットに 0 を書き込むと、DTC のモジュールストップ状態が解除されます。

(2) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「10.7.1. ソフトウェアスタンバイモードへの遷移」、または「10.9.1. ディープソフトウェアスタンバイモードへの遷移」の手順に従って設定してください。

WFI 命令実行時点で DTC 転送が動作中の場合、DTC 転送が終了してからソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移します。

(3) スヌーズモード

ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。「10.8.1. スヌーズモードへの遷移」を参照してください。スヌーズモード時の DTC の動作は、SYSTEM.SNZCR.SNZDTCEN ビットで選択できます。スヌーズモード時に DTC 動作を許可にする場合、ソフトウェアスタンバイモードへ遷移する前に、DTCST.DTCST ビットを 1 にしてください。DTC によってソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR0.DTCZRED ビットまたは SYSTEM.SNZEDCR0.DTCNZRED ビットを 1 にしてください。「10.8.3. スヌーズモードからソフトウェアスタンバイモードへの復帰」を参照してください。SYSTEM.SNZEDCR0.DTCZRED ビットは、最後の DTC 送信完了（CRA レジスタと CRB レジスタが 0 であることによって検出）時に、スヌーズ終了要求を許可または禁止にします。SYSTEM.SNZEDCR0.DTCNZRED ビットは、最後以外の DTC 送信完了（CRA レジスタと CRB レジスタが

0 以外であることによって検出）時に、スヌーズ終了要求を許可または禁止にします。ソフトウェアスタンバイモード中は ICU からの DTC 起動要求は停止しますが、スヌーズモード中は停止しません。

(4) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定手順については、「10. 低消費電力モード」を参照してください。

スヌーズモードへ遷移しないで低消費電力モードから復帰した後に DTC 転送を行うには、再度 DTCST.DTCST ビットを 1 にしてください。

ソフトウェアスタンバイモード時に発生した要求を、DTC 起動要求ではなく CPU への割り込み要求として使用する場合は、「12.4.1. 割り込みの検出」に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。スヌーズモード時に DTC 動作を許可にする場合、DTC のモジュールストップ機能を使用しないでください。

16.11 使用上の注意

16.11.1 転送情報の開始アドレス

ベクタテーブルに指定する転送情報の開始アドレスは 4n 番地でなければいけません。4n 番地以外を指定すると、アドレスの最下位 2 ビットは 00b としてアクセスされます。

17. イベントリンクコントローラ (ELC)

ELC モジュールの ELC_B バージョンです。

この章では、ELC_B を ELC と表記します。

17.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 17.1 に ELC の仕様を、図 17.1 にブロック図を示します。

表 17.1 ELC の仕様

項目	内容
イベントリンク機能	215 種類のイベント信号を、直接モジュールに接続可能。ELC イベント信号と、DTC 起動用のイベントの発生
モジュールストップ機能	モジュールストップ状態の設定が可能
TrustZone フィルタ	各レジスタに対してセキュリティ属性の設定が可能

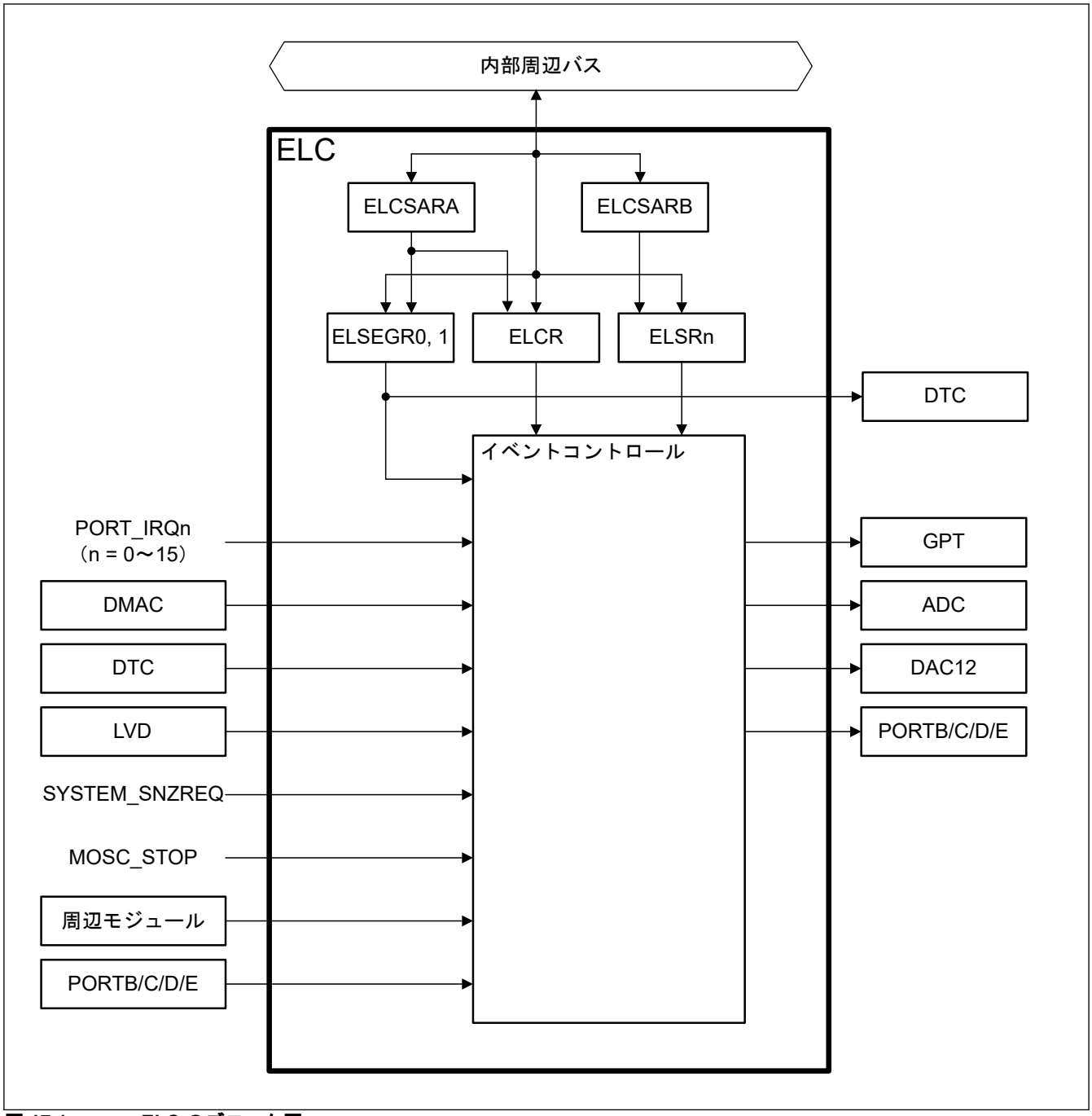


図 17.1 ELC のブロック図

17.2 レジスタの説明

17.2.1 ELCR : イベントリンクコントローラレジスタ

Base address: ELC_B = 0x4008_2000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ELCON	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	ELCON	全イベントリンク許可 0: ELC 機能は無効 1: ELC 機能は有効	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

ELCR レジスタは、ELC の動作を制御するレジスタです。

17.2.2 ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0, 1)

Base address: ELC_B = 0x4008_2000

Offset address: 0x04 + 0x04 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	WI	WE	—	—	—	—	—	SEG
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SEG	ソフトウェアイベント発生 0: 通常動作 1: ソフトウェアイベント発生	W
5:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6	WE	SEG ビット書き込み許可 0: SEG ビットへの書き込み禁止 1: SEG ビットへの書き込み許可	R/W
7	WI	ELSEGR レジスタ書き込み禁止 0: ELSEGR レジスタへの書き込み許可 1: ELSEGR レジスタへの書き込み禁止	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

SEG ビット（ソフトウェアイベント発生）

WE ビットが 1 の状態で、SEG ビットに 1 を書くとソフトウェアイベントが発生します。読むと 0 が読めます。1 を書いてもデータは格納されません。WE ビットを 1 にしてから、本ビットを書く必要があります。

ソフトウェアイベントは、DTC に対してイベントリンクをトリガすることができます。

WE ビット（SEG ビット書き込み許可）

WE ビットが 1 の場合にのみ、SEG ビットへの書き込みが可能になります。WI ビットを 0 にクリアしてから、本ビットを書く必要があります。

[1 になる条件]

- WI ビットが 0 の状態で、1 を書いたとき

[0 になる条件]

- WI ビットが 0 の状態で、0 を書いたとき

WI ビット（ELSEGR レジスタ書き込み禁止）

WI ビットへの書き込み値が 0 の場合にのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと 1 が読めます。WI ビットを 0 にしてから、WE または SEG ビットを設定する必要があります。

17.2.3 ELSRn : イベントリンク設定レジスタ n（n = 0～7、12～17、19～24、28、29）

Base address: ELC_B = 0x4008_2000

Offset address: 0x20 + 0x04 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ELS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	ELS[8:0]	イベントリンク選択 0x000: 対応する周辺モジュールへのイベント出力は禁止 0x001: リンクするイベント信号の番号を指定 ⋮ 0x1DB: リンクするイベント信号の番号を指定 その他: 設定禁止	R/W
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を表 17.2 に示します。また、ELSRn レジスタに設定するイベント信号名と信号番号の対応関係を 表 17.3 に示します。

表 17.2 ELSRn レジスタと周辺機能の対応 (1/2)

レジスタ名称	周辺機能（モジュール）	イベント名
ELSR0	GPT (A)	ELC_GPTA
ELSR1	GPT (B)	ELC_GPTB
ELSR2	GPT (C)	ELC_GPTC
ELSR3	GPT (D)	ELC_GPTD
ELSR4	GPT (E)	ELC_GPTE
ELSR5	GPT (F)	ELC_GPTF
ELSR6	GPT (G)	ELC_GPTG
ELSR7	GPT (H)	ELC_GPTH
ELSR12	DAC12 チャネル 0	ELC_DA0
ELSR13	DAC12 チャネル 1	ELC_DA1
ELSR14	PORTB	ELC_PORTB
ELSR15	PORTC	ELC_PORTC
ELSR16	PORTD	ELC_PORTD
ELSR17	PORTE	ELC_PORTE
ELSR19	ADCA0	ELC_AD00
ELSR20	ADCB0	ELC_AD01
ELSR21	ADCC0	ELC_AD02
ELSR22	ADCA1	ELC_AD10

表 17.2 ELSRn レジスタと周辺機能の対応 (2/2)

レジスタ名称	周辺機能（モジュール）	イベント名
ELSR23	ADCB1	ELC_AD11
ELSR24	ADCC1	ELC_AD12
ELSR28	DAC12 チャネル 2	ELC_DA2
ELSR29	DAC12 チャネル 3	ELC_DA3

表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (1/6)

イベント番号	割り込み要求発生元	名称	内容
0x001	ポート	PORT_IRQ0(注1)	外部端子割り込み 0
0x002		PORT_IRQ1(注1)	外部端子割り込み 1
0x003		PORT_IRQ2(注1)	外部端子割り込み 2
0x004		PORT_IRQ3(注1)	外部端子割り込み 3
0x005		PORT_IRQ4(注1)	外部端子割り込み 4
0x006		PORT_IRQ5(注1)	外部端子割り込み 5
0x007		PORT_IRQ6(注1)	外部端子割り込み 6
0x008		PORT_IRQ7(注1)	外部端子割り込み 7
0x009		PORT_IRQ8(注1)	外部端子割り込み 8
0x00A		PORT_IRQ9(注1)	外部端子割り込み 9
0x00B		PORT_IRQ10(注1)	外部端子割り込み 10
0x00C		PORT_IRQ11(注1)	外部端子割り込み 11
0x00D		PORT_IRQ12(注1)	外部端子割り込み 12
0x00E		PORT_IRQ13(注1)	外部端子割り込み 13
0x00F		PORT_IRQ14(注1)	外部端子割り込み 14
0x010		PORT_IRQ15(注1)	外部端子割り込み 15
0x020	DMAC0	DMAC0_INT	DMAC 転送終了 0
0x021	DMAC1	DMAC1_INT	DMAC 転送終了 1
0x022	DMAC2	DMAC2_INT	DMAC 転送終了 2
0x023	DMAC3	DMAC3_INT	DMAC 転送終了 3
0x024	DMAC4	DMAC4_INT	DMAC 転送終了 4
0x025	DMAC5	DMAC5_INT	DMAC 転送終了 5
0x026	DMAC6	DMAC6_INT	DMAC 転送終了 6
0x027	DMAC7	DMAC7_INT	DMAC 転送終了 7
0x02A	DTC	DTC_DTCEND(注2)	DTC 転送終了
0x038	LVD	LVD_LVD1	電圧監視 1 割り込み
0x039		LVD_LVD2	電圧監視 2 割り込み
0x03B	MOSC	MOSC_STOP	メインクロック発振停止
0x03C	LPW	SYSTEM_SNZREQ(注2) (注3)	スヌーズエントリ
0x040	AGT0	AGT0_AGTI	AGT 割り込み
0x041		AGT0_AGTCMAI	コンペアマッチ A
0x042		AGT0_AGTCMBI	コンペアマッチ B

表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (2/6)

イベント番号	割り込み要求発生元	名称	内容
0x043	AGT1	AGT1_AGTI	AGT 割り込み
0x044		AGT1_AGTCMAI	コンペアマッチ A
0x045		AGT1_AGTCMBI	コンペアマッチ B
0x052	IWDT	IWDT_NMIUNDF	IWDT アンダーフロー
0x053	WDT	WDT_NMIUNDF	WDT アンダーフロー
0x08F	ACMPHS	ACMP_HS0	高速アナログコンパレータ割り込み 0
0x090		ACMP_HS1	高速アナログコンパレータ割り込み 1
0x091		ACMP_HS2	高速アナログコンパレータ割り込み 2
0x092		ACMP_HS3	高速アナログコンパレータ割り込み 3
0x0B1	I/O ポート	IOPORT_GROUPB	ポート B イベント
0x0B2		IOPORT_GROUPC	ポート C イベント
0x0B3		IOPORT_GROUPD	ポート D イベント
0x0B4		IOPORT_GROUPE	ポート E イベント
0x0B5	ELC	ELC_SWEVT0	ソフトウェアイベント 0
0x0B6		ELC_SWEVT1	ソフトウェアイベント 1
0x0C0	GPT0	GPT0_CCMPA	コンペアマッチ A
0x0C1		GPT0_CCMPB	コンペアマッチ B
0x0C2		GPT0_CMPC	コンペアマッチ C
0x0C3		GPT0_CMPD	コンペアマッチ D
0x0C4		GPT0_CMPE	コンペアマッチ E
0x0C5		GPT0_CMPF	コンペアマッチ F
0x0C6		GPT0_OVF	オーバーフロー
0x0C7		GPT0_UDF	アンダーフロー
0x0C8		GPT0_PC	サイクルカウント機能終了
0x0CA		GPT0_ADTRGA	A/D コンバータ開始要求 A
0x0CB		GPT0_ADTRGB	A/D コンバータ開始要求 B
0x0CC	GPT1	GPT1_CCMPA	コンペアマッチ A
0x0CD		GPT1_CCMPB	コンペアマッチ B
0x0CE		GPT1_CMPC	コンペアマッチ C
0x0CF		GPT1_CMPD	コンペアマッチ D
0x0D0		GPT1_CMPE	コンペアマッチ E
0x0D1		GPT1_CMPF	コンペアマッチ F
0x0D2		GPT1_OVF	オーバーフロー
0x0D3		GPT1_UDF	アンダーフロー
0x0D4		GPT1_PC	サイクルカウント機能終了
0x0D6		GPT1_ADTRGA	A/D コンバータ開始要求 A
0x0D7		GPT1_ADTRGB	A/D コンバータ開始要求 B

表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (3/6)

イベント番号	割り込み要求発生元	名称	内容
0x0D8	GPT2	GPT2_CCMPA	コンペアマッチ A
0x0D9		GPT2_CCMPB	コンペアマッチ B
0x0DA		GPT2_CMPC	コンペアマッチ C
0x0DB		GPT2_CMPD	コンペアマッチ D
0x0DC		GPT2_CMPE	コンペアマッチ E
0x0DD		GPT2_CMPF	コンペアマッチ F
0x0DE		GPT2_OVF	オーバーフロー
0x0DF		GPT2_UDF	アンダーフロー
0x0E0		GPT2_PC	サイクルカウント機能終了
0x0E2		GPT2_ADTRGA	A/D コンバータ開始要求 A
0x0E3		GPT2_ADTRGB	A/D コンバータ開始要求 B
0x0E4	GPT3	GPT3_CCMPA	コンペアマッチ A
0x0E5		GPT3_CCMPB	コンペアマッチ B
0x0E6		GPT3_CMPC	コンペアマッチ C
0x0E7		GPT3_CMPD	コンペアマッチ D
0x0E8		GPT3_CMPE	コンペアマッチ E
0x0E9		GPT3_CMPF	コンペアマッチ F
0x0EA		GPT3_OVF	オーバーフロー
0x0EB		GPT3_UDF	アンダーフロー
0x0EC		GPT3_PC	サイクルカウント機能終了
0x0EE		GPT3_ADTRGA	A/D コンバータ開始要求 A
0x0EF		GPT3_ADTRGB	A/D コンバータ開始要求 B
0x0F0	GPT4	GPT4_CCMPA	コンペアマッチ A
0x0F1		GPT4_CCMPB	コンペアマッチ B
0x0F2		GPT4_CMPC	コンペアマッチ C
0x0F3		GPT4_CMPD	コンペアマッチ D
0x0F4		GPT4_CMPE	コンペアマッチ E
0x0F5		GPT4_CMPF	コンペアマッチ F
0x0F6		GPT4_OVF	オーバーフロー
0x0F7		GPT4_UDF	アンダーフロー
0x0FA		GPT4_ADTRGA	A/D コンバータ開始要求 A
0x0FB		GPT4_ADTRGB	A/D コンバータ開始要求 B
0x0FC	GPT5	GPT5_CCMPA	コンペアマッチ A
0x0FD		GPT5_CCMPB	コンペアマッチ B
0x0FE		GPT5_CMPC	コンペアマッチ C
0x0FF		GPT5_CMPD	コンペアマッチ D
0x100		GPT5_CMPE	コンペアマッチ E
0x101		GPT5_CMPF	コンペアマッチ F
0x102		GPT5_OVF	オーバーフロー
0x103		GPT5_UDF	アンダーフロー
0x106		GPT5_ADTRGA	A/D コンバータ開始要求 A
0x107		GPT5_ADTRGB	A/D コンバータ開始要求 B

表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (4/6)

イベント番号	割り込み要求発生元	名称	内容
0x108	GPT6	GPT6_CCMPA	コンペアマッチ A
0x109		GPT6_CCMPB	コンペアマッチ B
0x10A		GPT6_CMPC	コンペアマッチ C
0x10B		GPT6_CMPD	コンペアマッチ D
0x10C		GPT6_CMPE	コンペアマッチ E
0x10D		GPT6_CMPF	コンペアマッチ F
0x10E		GPT6_OVF	オーバーフロー
0x10F		GPT6_UDF	アンダーフロー
0x112		GPT6_ADTRGA	A/D コンバータ開始要求 A
0x113		GPT6_ADTRGB	A/D コンバータ開始要求 B
0x114	GPT7	GPT7_CCMPA	コンペアマッチ A
0x115		GPT7_CCMPB	コンペアマッチ B
0x116		GPT7_CMPC	コンペアマッチ C
0x117		GPT7_CMPD	コンペアマッチ D
0x118		GPT7_CMPE	コンペアマッチ E
0x119		GPT7_CMPF	コンペアマッチ F
0x11A		GPT7_OVF	オーバーフロー
0x11B		GPT7_UDF	アンダーフロー
0x11E		GPT7_ADTRGA	A/D コンバータ開始要求 A
0x11F		GPT7_ADTRGB	A/D コンバータ開始要求 B
0x120	GPT8	GPT8_CCMPA	コンペアマッチ A
0x121		GPT8_CCMPB	コンペアマッチ B
0x122		GPT8_CMPC	コンペアマッチ C
0x123		GPT8_CMPD	コンペアマッチ D
0x124		GPT8_CMPE	コンペアマッチ E
0x125		GPT8_CMPF	コンペアマッチ F
0x126		GPT8_OVF	オーバーフロー
0x127		GPT8_UDF	アンダーフロー
0x12A		GPT8_ADTRGA	A/D コンバータ開始要求 A
0x12B		GPT8_ADTRGB	A/D コンバータ開始要求 B
0x12C	GPT9	GPT9_CCMPA	コンペアマッチ A
0x12D		GPT9_CCMPB	コンペアマッチ B
0x12E		GPT9_CMPC	コンペアマッチ C
0x12F		GPT9_CMPD	コンペアマッチ D
0x130		GPT9_CMPE	コンペアマッチ E
0x131		GPT9_CMPF	コンペアマッチ F
0x132		GPT9_OVF	オーバーフロー
0x133		GPT9_UDF	アンダーフロー
0x136		GPT9_ADTRGA	A/D コンバータ開始要求 A
0x137		GPT9_ADTRGB	A/D コンバータ開始要求 B
0x138	GPT	GPT_UVWEDGE	UVW エッジイベント

表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (5/6)

イベント番号	割り込み要求発生元	名称	内容
0x140	IIC0	IIC0_RX	Rx データバッファフル
0x141		IIC0_TX	Tx データバッファエンプティ
0x142		IIC0_TEND	送信終了
0x145		IIC0_COM	通信イベント
0x146	IIC1	IIC1_RX	Rx データバッファフル
0x147		IIC1_TX	Tx データバッファエンプティ
0x148		IIC1_TEND	送信終了
0x14A		IIC1_COM	通信イベント
0x159	ADC	ADC_ADI0	スキャングループ 0 の A/D スキャン終了
0x15A		ADC_ADI1	スキャングループ 1 の A/D スキャン終了
0x15B		ADC_ADI2	スキャングループ 2 の A/D スキャン終了
0x15E		ADC_CCMPM0	複合コンペアマッチ 0
0x167		ADC_ADI3	スキャングループ 3 の A/D スキャン終了
0x168		ADC_ADI4	スキャングループ 4 の A/D スキャン終了
0x169		ADC_ADI5678	スキャングループ 5～8 の A/D スキャン終了
0x16C		ADC_CCMPM1	複合コンペアマッチ 1
0x18D	SCI0	SCI0_RXI(注4)	受信データフル
0x18E		SCI0_TXI(注4)	送信データエンプティ
0x18F		SCI0_TEI(注4)	送信終了
0x190		SCI0_ERI	受信エラー
0x191		SCI0_AED	有効エッジ検出
0x193		SCI0_AM	アドレス一致イベント
0x195	SCI1	SCI1_RXI(注4)	受信データフル
0x196		SCI1_TXI(注4)	送信データエンプティ
0x197		SCI1_TEI(注4)	送信終了
0x198		SCI1_ERI	受信エラー
0x199		SCI1_AED	有効エッジ検出
0x19B		SCI1_AM	アドレス一致イベント
0x19C	SCI2	SCI2_RXI(注4)	受信データフル
0x19D		SCI2_TXI(注4)	送信データエンプティ
0x19E		SCI2_TEI(注4)	送信終了
0x19F		SCI2_ERI	受信エラー
0x1A0		SCI2_AED	有効エッジ検出
0x1A2		SCI2_AM	アドレス一致イベント
0x1A3	SCI3	SCI3_RXI(注4)	受信データフル
0x1A4		SCI3_TXI(注4)	送信データエンプティ
0x1A5		SCI3_TEI(注4)	送信終了
0x1A6		SCI3_ERI	受信エラー
0x1A7		SCI3_AED	有効エッジ検出
0x1A9		SCI3_AM	アドレス一致イベント

表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (6/6)

イベント番号	割り込み要求発生元	名称	内容
0x1AA	SCI4	SCI4_RXI(注4)	受信データフル
0x1AB		SCI4_TXI(注4)	送信データエンプティ
0x1AC		SCI4_TEI(注4)	送信終了
0x1AD		SCI4_ERI	受信エラー
0x1AE		SCI4_AED	有効エッジ検出
0x1B0		SCI4_AM	アドレス一致イベント
0x1B1	SCI9	SCI9_RXI(注4)	受信データフル
0x1B2		SCI9_TXI(注4)	送信データエンプティ
0x1B3		SCI9_TEI(注4)	送信終了
0x1B4		SCI9_ERI	受信エラー
0x1B5		SCI9_AED	有効エッジ検出
0x1B7		SCI9_AM	アドレス一致イベント
0x1C4	SPI0	SPI0_SPRI	受信バッファフル
0x1C5		SPI0_SPTI	送信バッファエンプティ
0x1C6		SPI0_SPII	アイドル
0x1C7		SPI0_SPEI	エラー
0x1C8		SPI0_SPCEND	通信完了イベント
0x1C9	SPI1	SPI1_SPRI	受信バッファフル
0x1CA		SPI1_SPTI	送信バッファエンプティ
0x1CB		SPI1_SPII	アイドル
0x1CC		SPI1_SPEI	エラー
0x1CD		SPI1_SPCEND	送信完了イベント
0x1DB	DOC	DOC_DOPCI(注2)	データ演算回路割り込み

注 1. パルス（エッジ検出）のみがサポートされています。
注 2. このイベントはスヌーズモードで発生可能です。
注 3. ELSR14～ELSR17 および ELSR19～ELSR24 が、このイベントを選択できます。
注 4. このイベントは FIFO モードではサポートされていません。

17.2.4 ELCSARA : イベントリンクコントローラセキュリティ属性レジスタ A

Base address: ELC_B = 0x4008_2000

Offset address: 0xE0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	ELSEGR1	ELSEGR0	ELCR
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	ELCR	イベントリンクコントローラレジスタセキュリティ属性 対象レジスタ：ELCR 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
1	ELSEGR0	イベントリンクソフトウェアイベント発生レジスタ 0 セキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	ELSEGR1	イベントリンクソフトウェアイベント発生レジスタ 1 セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:3	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。

ELCR レジスタは、ELC の動作を制御するレジスタです。

17.2.5 ELCSARB : イベントリンクコントローラセキュリティ属性レジスタ B

Base address: ELC_B = 0x4008_2000

Offset address: 0xE4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	ELSR29	ELSR28	—	—	—	ELSR24	ELSR23	ELSR22	ELSR21	ELSR20	ELSR19	—	ELSR17	ELSR16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ELSR15	ELSR14	ELSR13	ELSR12	—	—	—	—	ELSR7	ELSR6	ELSR5	ELSR4	ELSR3	ELSR2	ELSR1	ELSR0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	ELSR7～ELSR0	イベントリンク設定レジスタ n セキュリティ属性 対象レジスタ：ELSRn（n = 0～7） 0: セキュア 1: 非セキュア	R/W
11:8	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
17:12	ELSR17～ELSR12	イベントリンク設定レジスタ n セキュリティ属性 対象レジスタ：ELSRn（n = 12～17） 0: セキュア 1: 非セキュア	R/W
18	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
24:19	ELSR24～ELSR19	イベントリンク設定レジスタ n セキュリティ属性 対象レジスタ：ELSRn（n = 19～24） 0: セキュア 1: 非セキュア	R/W
27:25	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
29:28	ELSR29～ELSR28	イベントリンク設定レジスタ n セキュリティ属性 対象レジスタ：ELSRn（n = 28～29） 0: セキュア 1: 非セキュア	R/W
31:30	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。

このレジスタは、ELSRn（n = 0～7、12～17、19～24、28、29）レジスタのセキュリティ属性を指定します。

17.3 動作説明

17.3.1 割り込み処理とイベントリンクの関係

イベントリンクのイベント番号は、対応する割り込み要因のイベント番号と同一です。イベント信号の発生方法については、各イベント出力元モジュールの章を参照してください。

17.3.2 イベントのリンク

イベントリンク設定レジスタ (ELSRn) に設定しておいたイベントが発生すると、対応するモジュールが起動します。起動するモジュールの動作設定は、前もって完了しておく必要があります。表 17.4 に、イベントが発生したときのモジュール別動作一覧を示します。

表 17.4 イベント発生時のモジュール動作

モジュール	イベント入力時の動作
GPT	• カウント開始 • カウント停止 • カウントクリア • アップカウント • ダウンカウント • インプットキャプチャ
DAC12	D/A 変換開始
I/O ポート	• EORR（リセット）または EOSR（セット）に基づく端子出力の変更 • 端子状態を EIDR にラッチ • ELC で使用可能なポート： ポート B ポート C ポート D ポート E
ADC	A/D 変換開始
DTC	DTC データ転送開始

17.3.3 イベントリンクの動作設定手順例

イベントのリンク方法は以下の通りです。

1. イベントをリンクするモジュールの動作設定を行います。
2. イベントをリンクするモジュールに対して、ELSRn.ELS[8:0]ビットを設定します。
3. ELCR.ELCON ビットを 1 にして、すべてのイベントリンクを有効にします。
4. イベント出力元モジュールの設定を行い、起動させます。これによって、2 つのモジュール間のリンクがアクティブになります。
5. モジュール単位でイベントリンク動作を停止させるには、そのモジュールに対応する ELSRn.ELS[8:0]ビットを 0 にします。また、ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

LVD のイベントリンク出力機能を使用する場合は、LVD の設定を行った後、ELC を設定してください。 LVD を無効にするには、対応する ELSRn レジスタを 0x00 にしてから実施してください。

17.4 使用上の注意事項

17.4.1 DMAC/DTC 転送終了のイベントリンクを使用する場合

DMAC/DTC 転送終了のイベントリンクを使用する場合、DMAC/DTC 転送先とイベントのリンク先を同一周辺モジュールに設定しないでください。設定すると周辺モジュールへの DMAC/DTC 転送が完了する前に、周辺モジュールが起動する可能性があります。

17.4.2 クロックの設定について

イベントリンクを使用するには、ELC と対象モジュールが動作可能な状態でなければいけません。対象モジュールがモジュールストップ状態の場合、または、対象モジュールが停止するような低消費電力モード（ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード）の場合、そのモジュールは動作できません。

モジュールによっては、スヌーズモードで動作できるものもあります。詳細については、表 17.3 および「10. 低消費電力モード」を参照してください。

17.4.3 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、ELC の動作を禁止または許可することが可能です。リセット後の初期状態では、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタを用いて ELC の動作を禁止する場合は、事前に ELCON ビットを 0 にする必要があります。詳細については、表 17.3 および「10. 低消費電力モード」を参照してください。

17.4.4 ELC 遅延時間

図 17.2 に示すように、モジュール A は ELC を介してモジュール B にアクセスします。モジュール A とモジュール B の間には、ELC モジュールでの遅延時間が存在します。表 17.5 に ELC 遅延時間を示します。

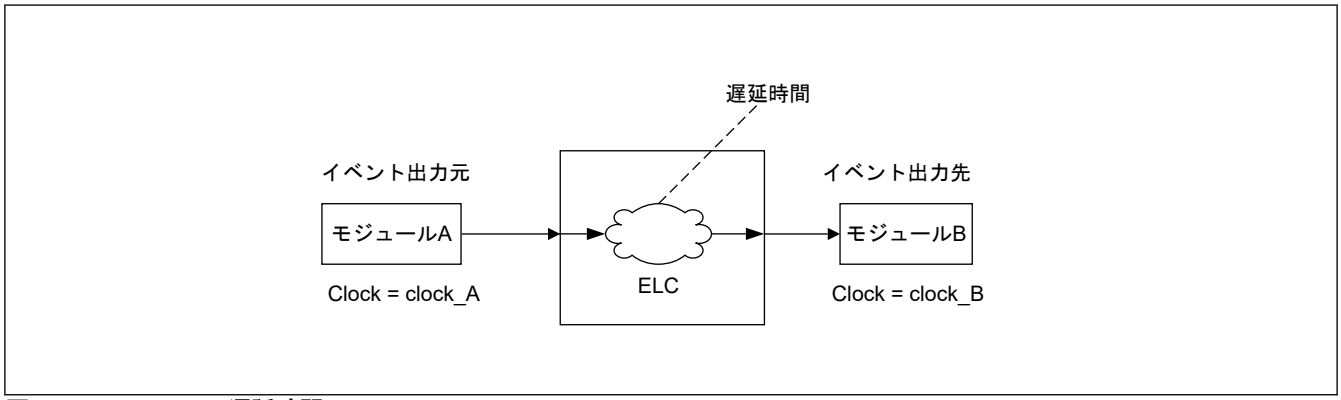


図 17.2 ELC 遅延時間

表 17.5 ELC 遅延時間

クロックドメイン	クロック周波数	ELC 遅延時間
clock_A = clock_B	clock_A = clock_B	0 サイクル
clock_A ≠ clock_B	clock_A = clock_B	1～2 サイクル
	clock_A > clock_B	clock_B 1～2 サイクル
	clock_A < clock_B	clock_A 1～2 サイクル

17.4.5 イベント要求の間隔

表 17.6 に示されるイベント出力元およびイベント出力先のクロックの組み合わせの場合、同一のイベント要求信号に対して、あるイベント要求と次のイベント要求の間隔が以下の計算式の値（イベント間隔）より小さいとき、イベント要求が失われる可能性があります。

ただし、イベント出力先が GPT または ADC で、異なる ELSR レジスタを使用する場合、この制限は適用されません。

表 17.6 にクロックと制限付きイベント間隔の組み合わせを示し、図 17.3 に GPT0_ADTRGA のイベント間隔の例を示します。

イベント間隔は以下の式で計算します。

イベント間隔 [ns] = 出力元クロック期間 [ns] × 6 + 出力先クロック期間 [ns] × 4

表 17.6 クロックと制限付きイベント間隔の組み合わせ

イベント出力元	出力元クロック	イベント出力先	出力先クロック
GPT 以外	PCLKA または PCLKB	GPT	GPTCLK
		ADC	GPTCLK または PCLKC
GPT	PCLKD	ADC	GPTCLK または PCLKC
	GPTCLK	ADC	PCLKA または PCLKC
		DAC12	PCLKA
		I/O ポート	PCLKB

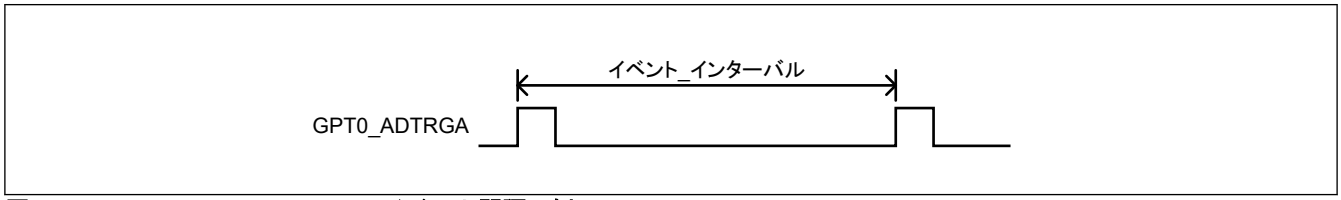


図 17.3 GPT0_ADTRGA のイベント間隔の例

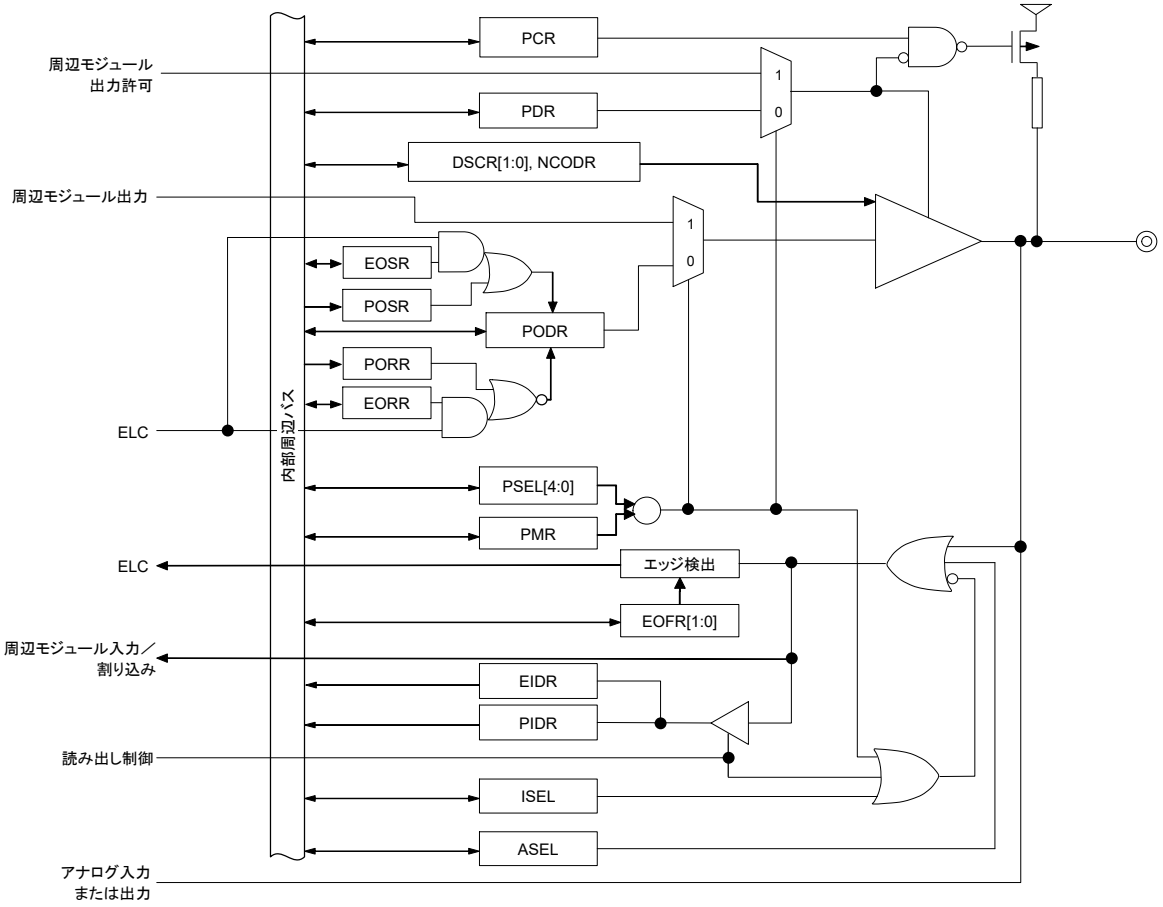
18. I/O ポート

18.1 概要

I/O ポート端子は、汎用入出力ポート端子、周辺モジュールの入出力端子、割り込み入力端子、アナログ入出力、ELC のポートグループ機能として動作します。

（JTAG ポートの TDO としての）PB03 を除くすべての端子は、リセット直後は入力端子として動作しますが、レジスタの設定によって機能を切り替えることができます。各端子の I/O ポートと周辺モジュールは、対応するレジスタで設定します。

図 18.1 に、I/O ポートレジスタの接続図を示します。パッケージによって、I/O ポートの構成は異なります。表 18.1 にパッケージ別の I/O ポートの仕様を、表 18.2 に I/O ポートの機能を示します。



注. この図はポートの基本構成を示しています。ポートによって構成は異なります。

図 18.1 I/O ポートレジスタの接続図

表 18.1 I/O ポートの仕様 (1/2)

	パッケージ		パッケージ		パッケージ	
ポート	100 ピン	本数	64 ピン	本数	48 ピン	本数
PORT0	P000～P002	3	P002	1	—	0
PORT2	P201、P212、P213	3	P201、P212、P213	3	P201、P212、P213	3
PORTA	PA00～PA15	16	PA00～PA15	16	PA00～PA15	16

表 18.1 I/O ポートの仕様 (2/2)

ポート	パッケージ 100 ピン	本数	パッケージ 64 ピン	本数	パッケージ 48 ピン	本数
PORTB	PB00～PB10、PB12～PB15	15	PB00～PB09、PB12～PB15	14	PB00、PB01、PB03～PB09、PB12～PB15	13
PORTC	PC00～PC15	16	PC00～PC15	16	PC13～PC15	3
PORTD	PD00～PD15	16	PD02	1	—	0
PORTE	PE00～PE06、PE08～PE15	15	—	0	—	0

表 18.2 I/O ポートの機能

ポート	ポート名	入力プルアップ	オープンドレイン出力	駆動能力切り替え	5 V トレラント	I/O
PORT0	P000、P001	○	—	—	—	入力
	P002	—	—	—	—	入力
PORT2	P201	○	○	低	—	入出力
	P212、P213	○	○	低、中、高	—	入出力
PORTA	PA00～PA05	—	—	—	—	入力
	PA06、PA07	○	—	—	—	入力
	PA08～PA11	○	○	低、中、高、高電流駆動	—	入出力
	PA12～PA15	○	○	低、中、高	○	入出力
PORTB	PB00、PB01	○	—	—	—	入力
	PB02	—	—	—	—	入力
	PB03、PB05～PB09	○	○	低、中、高	○	入出力
	PB04、PB10	○	○	低、中、高	—	入出力
	PB12～PB15	○	○	低、中、高、高電流駆動	—	入出力
PORTC	PC00～PC05	○	—	—	—	入力
	PC06～PC09	○	○	低、中、高、高電流駆動	—	入出力
	PC10～PC12	○	○	低、中、高	○	入出力
	PC13	○	—	—	—	入力
	PC14、PC15	○	○	低	○	入出力
PORTD	PD00～PD07	○	○	低、中、高	○	入出力
	PD08～PD15	○	○	低、中、高、高電流駆動	—	入出力
PORTE	PE00、PE01	○	○	低、中、高	○	入出力
	PE02～PE06	○	○	低、中、高、高速高駆動	—	入出力
	PE08、PE09	○	○	低、中、高	—	入出力
	PE10～PE15	○	○	低、中、高、高電流駆動	—	入出力

注. ○：利用可能
—：設定禁止

18.2 レジスタの説明

18.2.1 PCNTR1/PODR/PDR：ポートコントロールレジスタ 1

Base address: PORTm = 0x4001_F000 + 0x0020 × m (m = 0, 2, A～E)

Offset address: 0x000 (PCNTR1/PDR)
0x002 (PODR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PODR15	PODR14	PODR13	PODR12	PODR11	PODR10	PODR09	PODR08	PODR07	PODR06	PODR05	PODR04	PODR03	PODR02	PODR01	PODR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	PDR09	PDR08	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PDR15～PDR00	Pmn 方向 0: 入力（入力端子として機能） 1: 出力（出力端子として機能）	R/W(注1)
31:16	PODR15～PODR00	Pmn 出力データ 0: Low 出力 1: High 出力	R/W(注2)

注. m = 0, 2, A～E、n = 00～15

注 1. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと、非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと、非セキュアアクセスが許可されます。

注 2. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスが許可されます。
- 非セキュアリード値は 0 になりますが、TrustZone アクセスエラーは発生しません。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと、非セキュアアクセスが許可されます。

ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR) は、32 ビットまたは 16 ビットの読み出し／書き込みレジスタで、ポート方向およびポート出力データを制御します。PCNTR1 はポート方向とポート出力データを指定し、32 ビット単位でアクセスされます。PDRn（PCNTR1 のビット[15:0]）および PODRn（PCNTR1 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。

PDRn ビット（Pmn 方向）

PDRn ビットは、汎用入出力端子として設定されている個々のポート端子の入力／出力方向を選択します。ポート m の各端子はそれぞれ PORTm.PCNTR1.PDRn ビットに対応しています。入出力方向は 1 ビット単位で指定できます。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。入力専用ポートの場合、PDRn ビットは予約ビットです。「18.1. 概要」を参照してください。PORTm.PCNTR1 レジスタの PDRn ビットは、PFS.PmnPFS レジスタの PDR ビットと同じ機能です。

PODRn ビット（Pmn 出力データ）

PODRn ビットは、汎用入出力端子から出力されるデータを格納します。存在しないポート m のビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。入力専用のポートでは、PODRn ビットは予約ビットになります。「18.1. 概要」を参照してください。PORTm.PCNTR1 レジスタの PODRn ビットは、PFS.PmnPFS レジスタの PODR ビットと同じ機能です。

18.2.2 PCNTR2/EIDR/PIDR：ポートコントロールレジスタ 2

Base address: PORTm = 0x4001_F000 + 0x0020 × m (m = 0, 2, A～E)

Offset address: 0x004 (PCNTR2/PIDR)
0x006 (EIDR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EIDR15	EIDR14	EIDR13	EIDR12	EIDR11	EIDR10	EIDR09	EIDR08	EIDR07	EIDR06	EIDR05	EIDR04	EIDR03	EIDR02	EIDR01	EIDR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PIDR15	PIDR14	PIDR13	PIDR12	PIDR11	PIDR10	PIDR09	PIDR08	PIDR07	PIDR06	PIDR05	PIDR04	PIDR03	PIDR02	PIDR01	PIDR00
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
15:0	PIDR15～PIDR00	Pmn 状態 0: Low レベル 1: High レベル	R
31:16	EIDR15～EIDR00(注2)	ポートイベント入力データ(注1) ELC_PORTx 信号の発生時 0: Low 入力 1: High 入力	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュア読み出しアクセスが許可されます。
- 非セキュア読み出し値は 0 になりますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアおよび非セキュアの読み出しアクセスが許可されます。

注. m = 0, 2, A～E、n = 00～15
注 1. x = B, C, D または E（EIDR のみ）
注 2. ポート B, C, D または E に対応しています。

ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR) は、32 ビットまたは 16 ビット単位での、Pmn 状態およびポートイベント入力データへのリードアクセスを可能にします。

PCNTR2 は Pmn 状態とポートイベント入力データを指定し、32 ビット単位でアクセスされます。

PIDRn（PCNTR2 のビット[15:0]）および EIDRn（PCNTR2 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。存在しない端子に対応するビットは予約ビットです。予約ビットは、読むと不定値が読めます。

PIDRn ビット（Pmn 状態）

PIDRn ビットは、PmnPFS.PMR ビットと PORTm.PCNTR1.PDRn ビットの設定値にかかわらず、個々のポートの端子状態を反映します。PORTm.PCNTR2 レジスタの PIDRn ビットは、PFS.PmnPFS レジスタの PIDR ビットと同じ機能です。

次の機能が有効の場合、端子状態は PIDRn に反映できません。

- アナログ機能 (ASEL = 1)

EIDRn ビット（ポートイベント入力データ）

EIDRn ビットは、ELC_PORTx 信号の発生時に端子状態をラッチします。PmnPFS.PMR = 0 かつ PORTm.PCNTR1.PDRn = 0 の場合にのみ、EIDRn ビットに端子状態を入力できます。PmnPFS.ASEL ビットを 1 にすると、関連する端子状態は EIDRn に反映されません。

18.2.3 PCNTR3/PORR/POSR：ポートコントロールレジスタ 3

Base address: PORTm = 0x4001_F000 + 0x0020 × m (m = 0, 2, A～E)

Offset address: 0x008 (PCNTR3/POSR)
0x00A (PORR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PORR15	PORR14	PORR13	PORR12	PORR11	PORR10	PORR09	PORR08	PORR07	PORR06	PORR05	PORR04	PORR03	PORR02	PORR01	PORR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	POSR15	POSR14	POSR13	POSR12	POSR11	POSR10	POSR09	POSR08	POSR07	POSR06	POSR05	POSR04	POSR03	POSR02	POSR01	POSR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	POSR15～POSR00	Pmn 出力設定 0: 出力に影響なし 1: High 出力	W
31:16	PORR15～PORR00	Pmn 出力リセット 0: 出力に影響なし 1: Low 出力	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアライトアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアライトアクセスと非セキュアライトアクセスが許可されます。

注. m = 0, 2, A～E、n = 00～15

ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR) は、32 ビットまたは 16 ビットの書き込みレジスタで、ポート出力データの設定またはリセットを制御します。

PCNTR3 はポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。

POSRn（PCNTR3 のビット[15:0]）および PORRn（PCNTR3 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。

POSRn ビット（Pmn 出力設定）

POSR ビットがソフトウェア書き込みによって設定されると、PODR ビットが変更されます。たとえば PD00 の場合、PORTD.PCNTR3.POSR00 = 1 であると、PORTD.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、POSRn ビットは予約ビットになります。「18.1. 概要」を参照してください。

PORRn ビット（Pmn 出力リセット）

PORR ビットがソフトウェア書き込みによってリセットされると、PODR ビットが変更されます。たとえば PD00 の場合、PORTD.PCNTR3.PORR00 = 1 であると、PORTD.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、PORRn ビットは予約ビットになります。「18.1. 概要」を参照してください。

注. EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。
注. PORRn ビットと POSRn ビットは、どちらか一方のみ設定してください。

18.2.4 PCNTR4/EORR/EOSR：ポートコントロールレジスタ 4

Base address: PORTm = 0x4001_F000 + 0x0020 × m (m = B～E)

Offset address: 0x00C (PCNTR4/EOSR)
0x00E (EORR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EORR 15	EORR 14	EORR 13	EORR 12	EORR 11	EORR 10	EORR 09	EORR 08	EORR 07	EORR 06	EORR 05	EORR 04	EORR 03	EORR 02	EORR 01	EORR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EOSR 15	EOSR 14	EOSR 13	EOSR 12	EOSR 11	EOSR 10	EOSR 09	EOSR 08	EOSR 07	EOSR 06	EOSR 05	EOSR 04	EOSR 03	EOSR 02	EOSR 01	EOSR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	EOSR15～EOSR00	Pmn イベント出力設定 ELC_PORTx 信号の発生時 0: 出力に影響なし 1: High 出力	R/W
31:16	EORR15～EORR0	Pmn イベント出力リセット ELC_PORTx 信号の発生時 0: 出力に影響なし 1: Low 出力	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスが許可されます。
- 非セキュアのリード値は 0 になりますが、TrustZone アクセスエラーは生成されません。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと、非セキュアアクセスが許可されます。

注. m = B～E、n = 00～15、x = B～E

ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR) は、32 ビットまたは 16 ビットの読み出し／書き込み可能なレジスタで、ELC からのイベント入力によりポート出力データの設定またはリセットを制御します。

PCNTR4 は、ELC からのイベント入力によりポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。

EOSRn（PCNTR4 のビット[15:0]）および EORRn（PCNTR4 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。

EOSRn ビット（Pmn イベント出力設定）

EOSR ビットが ELC_PORTx 信号の発生によって設定されると、PODR ビットが変更されます。たとえば PD00 の場合、ELC_PORTx 信号の発生時に PORTD.PCNTR4.EOSR00 が 1 になると、PORTD.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、EOSRn ビットは予約ビットになります。「18.1. 概要」を参照してください。

EORRn ビット（Pmn イベント出力リセット）

EORR ビットが ELC_PORTx 信号の発生によってリセットされると、PODR ビットが変更されます。たとえば PD00 端子の場合、ELC_PORTx の発生時に PORTD.PCNTR4.EORR00 = 1 になると、PORTD.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、EORRn ビットは予約ビットになります。「18.1. 概要」を参照してください。

注. EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。

注. EORRn ビットと EOSRn ビットは、どちらか一方のみ設定してください。

18.2.5 PmnPFS/PmnPFS_HA/PmnPFS_BY: ポート mn 端子機能選択レジスタ（m = 0, 2, A～E, n = 00～15）

Base address: PFS_B = 0x4001_F800

Offset address: 0x000 + 0x040 × m + 0x004 × n (m = 0, 2, A～E)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	PSEL[4:0]					—	—	—	—	—	—	—	PMR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0(注1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ASEL	ISEL	EOFR[1:0]		DSCR[1:0]		—	—	—	NCODR	—	PCR	—	PDR	PIDR	PODR
Value after reset:	0(注1)	0	0	0	0	0(注1)	0	0	0	0	0	0(注1)	0	0	x	0

ビット	シンボル	機能	R/W
0	PODR	ポート出力データ 0: Low 出力 1: High 出力	R/W(注5)
1	PIDR	Pmn 状態 0: Low レベル 1: High レベル	R(注6)
2	PDR	ポート方向 0: 入力（入力端子として機能） 1: 出力（出力端子として機能）	R/W(注7)
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	PCR	プルアップ制御 0: 入力プルアップ無効 1: 入力プルアップ有効	R/W(注7)
5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6	NCODR	N チャネルオープンドレイン制御 0: CMOS 出力 1: NMOS オープンドレイン出力	R/W(注7)
9:7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
11:10	DSCR[1:0]	ポート駆動能力 0 0: 低駆動 0 1: 中駆動 1 0: 高速高駆動(注2)／高電流駆動(注3) 1 1: 高駆動	R/W(注7)
13:12	EOFR[1:0]	立ち下がり時イベント／立ち上がり時イベント(注4) 0 0: Don't care 0 1: 立ち上がりエッジを検出 1 0: 立ち下がりエッジを検出 1 1: 両エッジを検出	R/W(注7)
14	ISEL	IRQ 入力許可 0: IRQn 入力端子として使用しない 1: IRQn 入力端子として使用する	R/W(注7)
15	ASEL	アナログ入力許可 0: アナログ端子として使用しない 1: アナログ端子として使用する	R/W(注7)
16	PMR	ポートモード制御 0: 汎用入出力端子として使用する 1: 周辺機能用の入出力ポートとして使用する	R/W(注7)
23:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
28:24	PSEL[4:0]	周辺機能選択 周辺機能を選択します。各端子の機能については、この章の関連する表を参照してください。	R/W(注7)
31:29	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. P002, P201, PA00～PA05, PA13～PA15, PB02, PB03 の初期値は 0x0000_0000 ではありません。P002, PA00～PA05, PB02 は 0x0000_8000, P201 は 0x0000_0010, PA13 は 0x0001_0410, PA14 および PA15 は 0x0001_0010, PB03 は 0x0001_0400 です。
注 2. 高速高駆動をサポートしている端子のみが設定可能です。他の端子は設定禁止です。
注 3. 高電流駆動をサポートしている端子のみが設定可能です。他の端子は設定禁止です。
注 4. PORTn（n = B～E）でサポートされています。
注 5. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスが許可されます。
- 非セキュアリード値は 0 になりますが、TrustZone アクセスエラーは発生しません。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと、非セキュアアクセスが許可されます。

注 6. セキュリティ属性がセキュアに設定されている場合、
- セキュアリードアクセスが許可されます。
- 非セキュアリード値は 0 になりますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアおよび非セキュアのリードアクセスが許可されます。

注 7. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと、非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと、非セキュアアクセスが許可されます。

ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS_HA/PmnPFS_BY) は、32 ビット、16 ビット、および 8 ビットの読み出し／書き込みコントロールレジスタで、ポート mn 端子機能を選択し、32 ビット単位でアクセスされます。PmnPFS_HA（PmnPFS のビット[15:0]）は 16 ビット単位でアクセスされます。PmnPFS_BY（PmnPFS のビット[7:0]）は 8 ビット単位でアクセスされます。

使用可能なポート mn 端子は製品により異なります。詳細は表 18.1 を参照してください。

PODR ビット（ポート出力データ）、PIDR ビット（ポート状態）、PDR ビット（ポート方向）

PDR ビット、PIDR ビット、PODR ビットは、PCNTR レジスタと同じ機能を果たします。これらのビットを読むと、PCNTR レジスタ値が読めます。

PCR ビット（プルアップ制御）

PCR ビットは、ポートの各端子に対して入力プルアップ抵抗を有効または無効にします。端子が入力状態にあって、PmnPFS.PCR に関連するビットが 1 になっている場合、その端子に接続されたプルアップ抵抗が有効になります。汎用ポート出力端子、または周辺機能出力端子に設定されている場合は、PCR の設定値にかかわらず、プルアップ抵抗は無効になります。リセット状態でもプルアップ抵抗は無効になります。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

NCODR ビット（N チャネルオープンドレイン制御）

NCODR ビットは、ポート端子の出力タイプを設定します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

DSCR[1:0]ビット（ポート駆動能力）

DSCR[1:0]ビットは、ポートの駆動能力を切り替えます。端子の駆動能力が固定されている場合、対応するビットは読み出し／書き込み可能ですが、駆動能力は変更できません。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

EOFR[1:0]ビット（立ち下がり時イベント／立ち上がり時イベント）

EOFR[1:0]ビットは、ポートグループ入力信号のエッジ検出方法を選択します。立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を選択できます。EOFR[1:0]ビットを 01b、10b、または 11b にすると、入出力セルの入力許可がアサートされます。それに続いて、外部端子からイベントパルスが入力され、GPIO が ELC にイベントパルスを出力します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

ISEL ビット（IRQ 入力許可）

ISEL ビットは、IRQ 入力端子を設定します。同じ番号の IRQn（外部端子割り込み）は 1 つの端子にのみ許可できます。未指定の IRQn に対する ISEL ビットは予約ビットです。

ASEL ビット（アナログ入力許可）

ASEL ビットは、アナログ端子を設定します。本ビットでアナログ端子に設定する場合、以下のように指定します。

1. ポートモード制御ビット (PmnPFS.PMR) で、その端子を汎用入出力ポートに指定します。
2. プルアップ制御ビット (PmnPFS.PCR) で、プルアップ抵抗を無効にします。
3. ポート方向ビット (PmnPFS.PDR) で、入力に設定します。このとき、端子状態を読むことはできません。

PmnPFS レジスタは、ライトプロテクトレジスタ (PWPR) によって保護されています。書き込み禁止を解除してから、レジスタを書き換えてください。

未指定のアナログ入出力端子に対する ASEL ビットは予約ビットです。

PMR ビット（ポートモード制御）

PMR ビットは、ポートの端子機能を設定します。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。

PSEL[4:0]ビット（周辺機能選択）

PSEL[4:0]ビットは、周辺機能を割り当てます。

18.2.6 PWPR：書き込みプロテクトレジスタ

Base address: PFS_B = 0x4001_F800

Offset address: 0x50C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	B0WI	PFSWE	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6	PFSWE	PmnPFS レジスタ書き込み許可 0: PmnPFS レジスタへの書き込みを禁止 1: PmnPFS レジスタへの書き込みを許可	R/W
7	B0WI	PFSWE ビット書き込み禁止 0: PFSWE ビットへの書き込みを許可 1: PFSWE ビットへの書き込みを禁止	R/W

PFSWE ビット（PmnPFS レジスタ書き込み許可）

PFSWE ビットを 1 にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。最初に B0WI ビットに 0 を書いてから、PFSWE ビットを 1 にする必要があります。

B0WI ビット（PFSWE ビット書き込み禁止）

B0WI ビットに 0 を書いたときのみ、PFSWE ビットに対する書き込みが許可されます。

18.2.7 PWPRS：セキュア用書き込みプロテクトレジスタ

Base address: PFS_B = 0x4001_F800

Offset address: 0x514

Bit position:	7	6	5	4	3	2	1	0
Bit field:	B0WI	PFSWE	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6	PFSWE	PmnPFS レジスタ書き込み許可 0: PmnPFS レジスタへの書き込みを禁止 1: PmnPFS レジスタへの書き込みを許可	R/W
7	B0WI	PFSWE ビット書き込み禁止ビット 0: PFSWE ビットへの書き込みを許可 1: PFSWE ビットへの書き込みを禁止	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

PFSWE ビット（PmnPFS レジスタ書き込み許可）

PFSWE ビットを 1 にしたときのみ、PmSAR レジスタによって「セキュア」に設定された I/O ポート端子の PmnPFS レジスタに対する書き込みが許可されます。最初に B0WI ビットに 0 を書いてから、PFSWE ビットを 1 にする必要があります。

B0WI ビット（PFSWE ビット書き込み禁止ビット）

B0WI ビットを 0 にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

18.2.8 PmSAR : ポート m セキュリティ属性のレジスタ (m = 0, 2, A～E)

Base address: PFS_B = 0x4001_F800

Offset address: 0x530 + 0x004 × m

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PMNSA[15:0]															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	PMNSA[15:0]	Pmn のセキュリティ属性 対象の I/O ポート端子：Pmn 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

注. m = 0, 2, A～E、n = 00～15

ポートセキュリティ属性レジスタは、各ポートのセキュリティ属性を設定するための 16 ビットのレジスタです。16 ビット単位のみでアクセスされます。

PMNSA[15:0]ビット（Pmn のセキュリティ属性）

PMNSA ビットは Pmn のセキュリティ属性を指定します。

18.3 動作

18.3.1 汎用入出力ポート

P002, PA00～PA05, PB02 以外のすべての端子は、リセット後は汎用入力ポートとして動作します。汎用入出力ポートは各ポート 16 ビットで構成され、ポートコントロールレジスタ（PCNTRn; n = 1～4）によるポート単位のアクセス、またはポート mn 端子機能選択レジスタによる端子単位のアクセスが可能です。これらのレジスタの詳細は、「18.2. レジスタの説明」を参照してください。

各ポートには以下のビットがあります。

- ポートセキュリティ属性レジスタ (PmSAR)（m = 0, 2, A～E）はセキュリティ属性を示します。
- ポート方向ビット (PDRn)：入力／出力の方向を選択する
- ポート出力データビット (PODRn)：出力用データを格納する
- ポート入力データビット (PIDRn)：端子状態を示す
- イベント入力データビット (EIDRn)：ELC_PORTn（n = B, C, D または E）信号発生時の端子状態を示す
- ポート出力設定ビット (POSRn)：ソフトウェア書き込み発生時の出力値を示す
- ポート出力リセットビット (PORRn)：ソフトウェア書き込み発生時の出力値を示す
- イベント出力設定ビット (EOSRn)：ELC_PORTn（n = B, C, D または E）信号発生時の出力値を示す
- イベント出力リセットビット (EORRn)：ELC_PORTn（n = B, C, D または E）信号発生時の出力値を示す

18.3.2 ポート機能選択

各端子の設定時、以下のポート機能を利用できます。

- セキュリティ機能：各端子のセキュリティ属性
- 入出力設定：CMOS 出力または NMOS オープンドレイン出力、プルアップ制御、および駆動強度
- 汎用入出力ポート：ポート方向、出力データ設定、および読み出し入力データ
- 代替機能：端子への機能の割り当て

各端子は、ポート mn 端子機能選択レジスタ (PmnPFS) に関連付けられます。このレジスタには、対応するビット PODR、PIDR、および PDR があります。さらに、PmnPFS レジスタは以下のビットを持ちます。

- PCR：入力プルアップ MOS のオン／オフを切り替えるためのプルアップ抵抗制御ビット
- NCODR：各端子の出力タイプを選択するための N チャネルオープンドレイン制御ビット
- DSCR[1:0]：駆動能力を選択するための駆動能力制御ビット
- EOFR[1:0]：ポートグループから入力されるイベントのエッジを選択
- ISEL：IRQ 入力端子を設定するための IRQ 入力許可ビット
- ASEL：アナログ端子を設定するためのアナログ入力許可ビット
- PMR：各ポートの端子機能を設定するためのポートモードビット
- PSEL[4:0]：対応する周辺機能を選択するためのポート機能選択ビット

これらは、ポート mn 端子機能選択レジスタへのシングルレジスタアクセスで設定することができます。詳細は、「18.2.5. PmnPFS/PmnPFS_HA/PmnPFS_BY: ポート mn 端子機能選択レジスタ（m = 0, 2, A～E, n = 00～15）」を参照してください。

18.3.3 ELC のポートグループ機能

本 MCU では、ポート B～ポート E が ELC ポートグループ機能に割り当てられています。

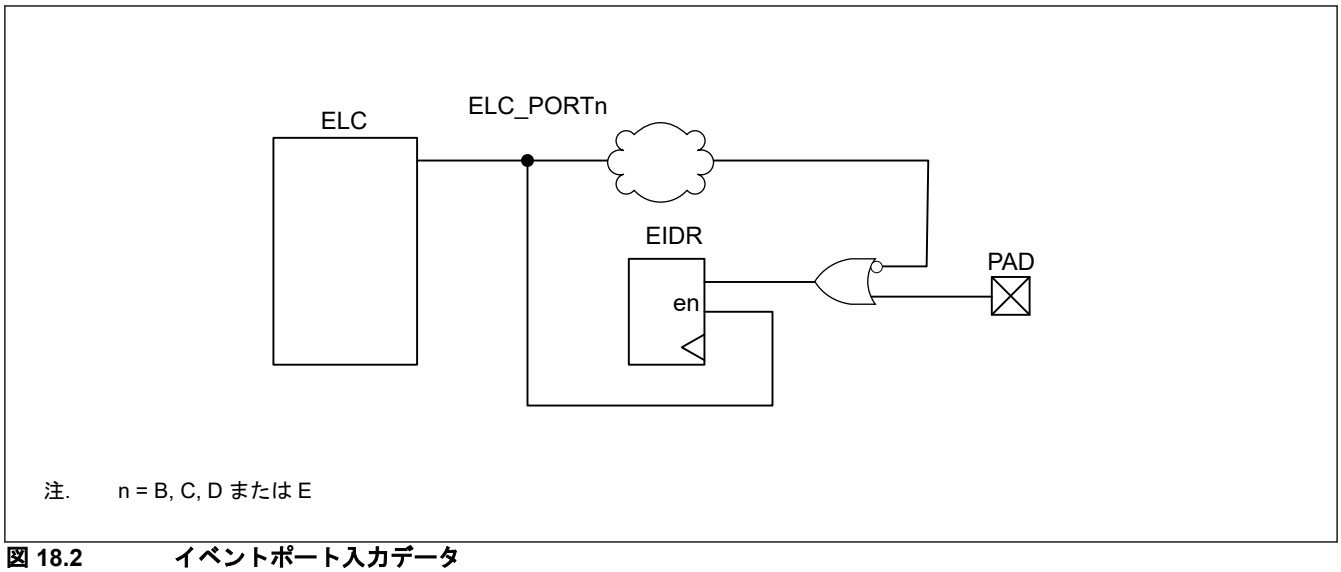
18.3.3.1 ELC から ELC_PORTn（n = B, C, D または E）が入力された場合の動作

ELC から ELC_PORTn（n = B, C, D または E）信号が入力されたとき、本 MCU は、以下に示す 2 つの機能をサポートしています。

(1) EIDR への入力

GPI 機能（PmnPFS レジスタの PDR = 0 および PMR = 0）では、ELC から ELC_PORTn (n = B, C, D または E) 信号が入力されると、入出力セルの入力許可がアサートされ、外部端子からのデータが EIDR ビットに読み込まれます。図 18.2 を参照してください。

GPO 機能 (PDR = 1) または周辺モード (PMR = 1) では、外部端子から EIDR ビットに 0 が入力されます。



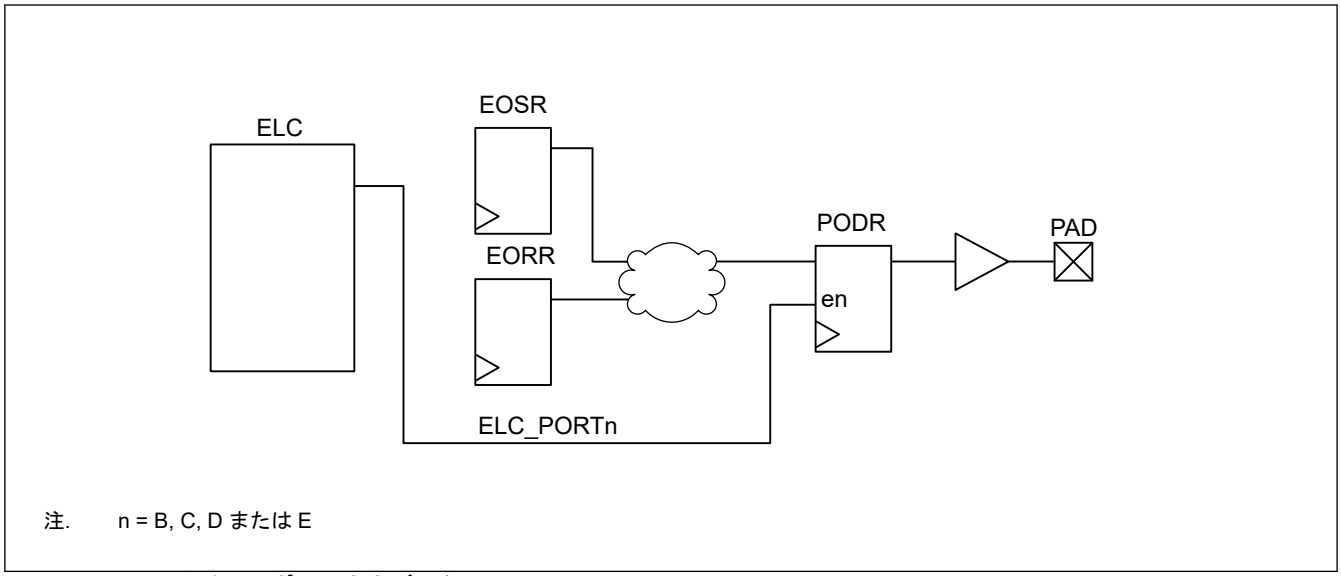
注. n = B, C, D または E

図 18.2 イベントポート入力データ

(2) EOSR および EORR による PODR からの出力

ELC_PORTn（n = B, C, D または E）信号の発生時に、EOSR および EORR レジスタの設定値に基づいて、PODR から外部端子へデータが出力されます。

- EOSR を 1 にすると、ELC_PORTn（n = B, C, D または E）信号の発生時に PODR レジスタは外部端子へ 1 を出力します。EOSR = 0 の場合、PODR の値が保持されます。
- EORR を 1 にすると、ELC_PORTn（n = B, C, D または E）信号の発生時に PODR レジスタは外部端子へ 0 を出力します。EORR = 0 の場合、PODR の値が保持されます。



注. n = B, C, D または E

図 18.3 イベントポート出力データ

18.3.3.2 イベントパルスが ELC に出力された場合の動作

外部端子から ELC にイベントパルスを出力するには、PmnPFS レジスタの EOFR[1:0]ビットを設定します。詳細は、「18.2.5. PmnPFS/PmnPFS_HA/PmnPFS_BY: ポート mn 端子機能選択レジスタ （m = 0, 2, A～E, n = 00～15）」を参照してください。EOFR[1:0]ビットを設定すると、入出力セルの入力許可がアサートされます。

外部端子からのデータが入力となります。たとえばポート E に対して、PE00 から PE15 へデータが入力されると、これら 16 端子のデータは OR 論理で構成されます。このデータは、ワンショットパルスとして形成され、ELC に入力されます。ポート n（n = B～D）の動作もポート E と同様です。図 18.4 を参照してください。

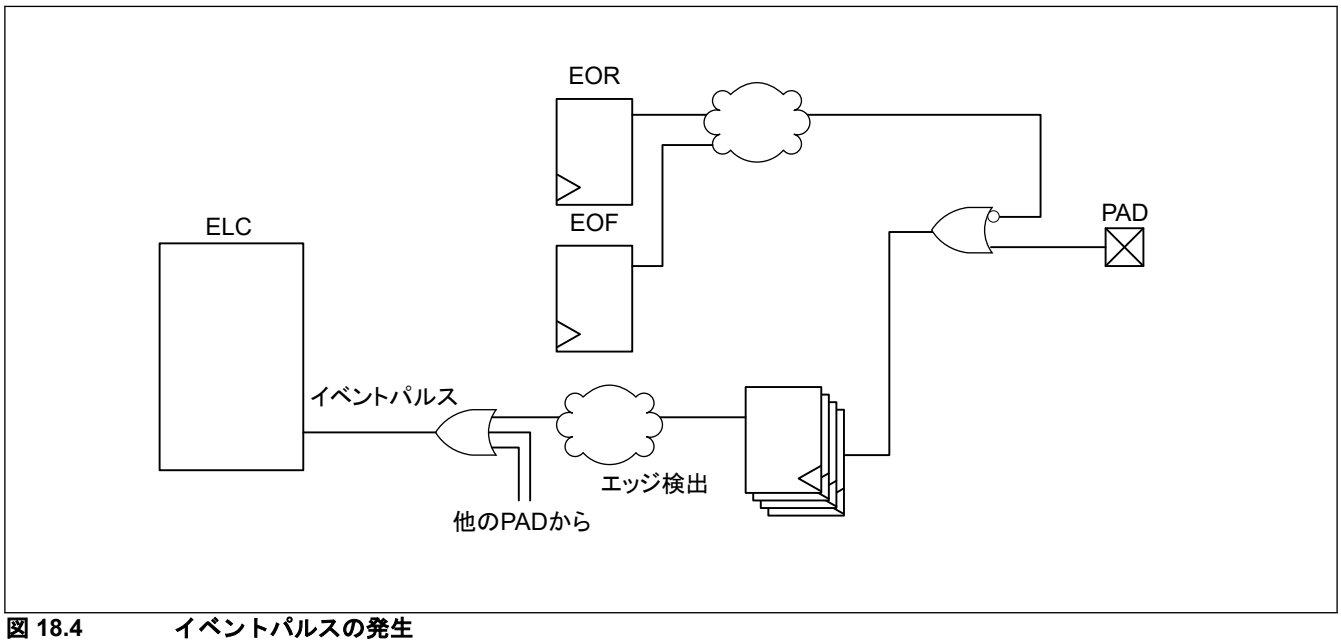


図 18.4 イベントパルスの発生

18.4 未使用端子の処理

表 18.3 に、未使用端子の処理方法を示します。

表 18.3 未使用端子の処理

端子名	未使用時の処理
MD	モード選択端子として使用
RES	抵抗を介して VCC に接続（プルアップ）
PC13/NM1	抵抗を介して VCC に接続（プルアップ）
EXTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTP ビットを 1（汎用ポート P212）に設定する。この端子をポート P212 として使用しない場合、ポート A～E と同じ方法で設定される。
XTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTP ビットを 1（汎用ポート P213）に設定する。外部クロックが EXTAL 端子に入力される場合、XTAL 端子機能は P213 として機能する。この端子をポート P213 として使用しない場合、ポート A～E と同じ方法で設定される。
P000, P001 PA00, PA02, PA04, PA06, PA07 PB00～PB02 PC00～PC05	抵抗を介して AVCC0 に接続（プルアップ）または抵抗を介して AVSS0 に接続（プルダウン） (注1)
P002 PA01, PA03, PA05	抵抗を介して AVCC0 に接続（プルアップ）
その他のポート	• 入力 (PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して VCC に接続（プルアップ）、または抵抗を介して VSS に接続（プルダウン） (注1)(注2) • 出力（PCNTR1.PDRn = 1）に設定した場合、端子を解放 (注1)(注3)
VREFH0	AVCC0 に接続
VREFL0	AVSS0 に接続

注 1. PmnPFS.PMR ビット、PmnPFS.ISEL ビット、PmnPFS.PCR ビット、および PmnPFS.ASEL ビットを 0 にクリアしてください。
注 2. PA13～PA15 は初期値 (PmnPFS.PCR = 1) から入力プルアップが有効です。
注 3. PB03 は初期値からの出力であるため、出力の方向の設定に推奨されます (PCNTR1.PDRn = 1)。

18.5 使用上の注意

18.5.1 端子機能の設定手順

入出力端子機能を設定するには、下記の手順に従ってください。

1. PWPR.B0WI ビットをクリアします。PWPR.PFSWE ビットへの書き込みが許可されます。(注1)
2. PWPR.PFSWE ビットを 1 にします。PmnPFS レジスタへの書き込みが許可されます。(注1)
3. 当該端子の PMR のポートモード制御ビットを 0 にして、汎用入出力ポートに設定します。
4. PmnPFS.PSEL[4:0]ビットによって、この端子の入出力機能を設定します。
5. 必要に応じて PMR ビットを 1 にして、選択した入出力機能に切り替えます。
6. PWPR.PFSWE ビットをクリアします。PmnPFS レジスタへの書き込みが禁止されます。(注1)
7. PWPR.B0WI ビットを 1 にします。PWPR.PFSWE ビットへの書き込みが禁止されます。(注1)

注 1. Pmn のセキュリティ属性が 0 のとき、PmnPFS レジスタへの書き込みをするには PWPRS レジスタを設定してください。

18.5.2 ポートグループ入力の使用手順

ポートグループ入力（ポート n (n = B～E)）を使用するには、下記の手順に従ってください。

1. ELSRx.ELS[8:0]ビットをすべて 0 にして、意図しないパルスを無視します。詳細は、「17. イベントリンクコントローラ (ELC)」を参照してください。
2. PmnPFS レジスタの EOFR[1:0]ビットを設定して、立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を指定します。
3. ダミーリードを実行するか、少しの間（たとえば 100 ns）待ちます。意図しないパルスを無視するかどうかは、外部端子の初期値によって異なります。
4. ELSRx.ELS[8:0]ビットを設定して、イベント信号を許可します。

18.5.3 ポート出力データレジスタ (PODR) の概要

本レジスタは下記のようにデータを出力します。

1. ELC_PORTn (n = B, C, D または E) 信号発生時に PCNTR4.EORR ビットを 1 にすると、0 を出力します。
2. ELC_PORTn (n = B, C, D または E) 信号発生時に PCNTR4.EOSR ビットを 1 にすると、1 を出力します。
3. PCNTR3.PORR ビットを 1 にすると、0 を出力します。
4. PCNTR3.POSR ビットを 1 にすると、1 を出力します。
5. PCNTR1.PODRn ビットが設定されると、0 または 1 を出力します。
6. PmnPFS.PODRn ビットが設定されると、0 または 1 を出力します。

上記の番号は、PODRn への書き込み優先順位に相当しています。たとえば、上記の 1.と 3.が同時に発生した場合、優先順位の高い 1.が実行されます。

18.5.4 アナログ機能使用時の注意事項

アナログ機能を使用するには、ポートモード制御ビット (PMR) とポート方向ビット (PDRn) を両方とも 0 にして、端子が汎用入力ポートとして動作できるようにしてください。その後、ポート mn 端子機能選択レジスタ (PmnPFS.ASEL) のアナログ入力許可ビット (ASEL) を 1 にしてください。

PGA が擬似差動入力モードに設定されているとき、PGA 機能（PGAINn、PGAVSSn（n = 0～3））を割り当てた端子は、汎用ポートとして使用できません。

対応する端子を汎用ポートとして使用する場合、対応する PGA をシングルモードに設定してください。 詳細は「36.3.15.2. PGA 動作設定」を参照してください。.

それから対応する端子を汎用ポートとしての機能に設定してください。

18.6 製品ごとの周辺選択設定

本節では、PmnPFS レジスタを用いた端子機能選択設定について説明します。いくつかの端子名には、接尾語として_A, _B, _C, _D, _E または_F が付加されています。IIC および SPI 機能を割り当てる場合は、同じ接尾語の機能端子を選択してください。その他の端子は、接尾語に関係なく選択可能です。ただし、同じ機能を 2 つ以上の端子に同時に割り当てることはしないでください。

1. Pmn 端子機能選択レジスタ (PmnPFS) では、対象端子の PMR ビットが 0 のときに、PSEL ビットを設定する必要があります。PMR ビットが 1 のときに PSEL ビットを設定すると、入力機能の場合は意図しないエッジが入力され、出力機能の場合は意図しないパルスが外部端子に出力される場合があります。
2. PmnPFS レジスタの PSEL ビットでは、許可された値（機能）以外に設定しないでください。このレジスタに許可されていない値を設定した場合、正しい動作は保証されません。
3. PmnPFS レジスタでは、1 つの機能を複数の端子に割り付けないでください。
4. ポート 0 とポート A、B、C、E は、A/D コンバータなどのアナログ機能を持っています。これらの端子をアナログ機能として使用する場合、分解能の低下を防止するため、PMR ビットと PDR ビットは 0 にしてください。その後、ASEL ビットを 1 にしてください。

表 18.4 入出力端子機能のレジスタ設定 (PORT0)

PSEL[4:0]設定値	機能	端子		
		P000	P001	P002
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z		
ASEL ビット		AN016/IVREF0	AN017/IVREF1	AN019/PGAVSS3
ISEL ビット		IRQ0	IRQ2	—
DSCR[1:0]ビット	駆動能力制御	—	—	—
NCODR ビット	N チャネルオープンドレイン	—	—	—
PCR ビット	プルアップ	✓	✓	—
100 ピン製品		✓	✓	✓
64 ピン製品		—	—	✓
48 ピン製品		—	—	—

✓：利用可能
—：設定禁止

表 18.5 入出力端子機能のレジスタ設定 (PORT2)

PSEL[4:0]設定値	機能	端子		
		P201	P212	P213
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z		
ASEL ビット		—	—	—
ISEL ビット		—	—	IRQ0
DSCR[1:0]ビット	駆動能力制御	L(注1)	L/M/H	L/M/H
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓
100 ピン製品		✓	✓	✓
64 ピン製品		✓	✓	✓
48 ピン製品		✓	✓	✓

✓：利用可能
—：設定禁止
注 1. このポートの駆動能力は、PmnPFS.DSCR[1:0]ビットで制御することはできません。

表 18.6 入出力端子機能のレジスタ設定 (PORTA) (1/2)

PSEL[4:0]設定値	機能	端子															
		PA00	PA01	PA02	PA03	PA04	PA05	PA06	PA07	PA08	PA09	PA10	PA11	PA12	PA13	PA14	PA15
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z													TMS/SWDIO	TCK/SWCLK	TDI
00001b	AGT	—	—	—	—	—	—	—	—	AGTIO0	—	—	—	—	AGTO0	AGTO1	—

表 18.6　入出力端子機能のレジスタ設定 (PORTA) (2/2)

PSEL[4:0] 設定値	機能	端子															
		PA00	PA01	PA02	PA03	PA04	PA05	PA06	PA07	PA08	PA09	PA10	PA11	PA12	PA13	PA14	PA15
00010b	GPT	—	—	—	—	—	—	—	—	GTOUUP	GTOVUP	GTOWUP	GTETRGD	GTETRGB	—	—	GTETRGB
00011b	GPT(注1)	—	—	—	—	—	—	—	—	GTIOC8A	GTIOC8B	GTIOC9A	GTIOC9B	GTCPPO0	—	—	—
00100b	SCI(注3)	—	—	—	—	—	—	—	—	SCK0_A	TXD0_A/MOSI0_A/SDA0	RXD0_A/MISO0_A/SCL0	CTS0_A	CTS0_RTS0/SS0_A	SCK0_C	TXD0_C/MOSI0_C/SDA0	RXD0_C/MISO0_C/SCL0
00101b	SCI(注3)	—	—	—	—	—	—	—	—	SCK1_C	—	—	RXD1_C/MISO1_C/SCL1	TXD1_C/MOSI1_C/SDA1	CTS1_RTS1/SS1_C	SCK9_B	RXD9_B/MISO9_B/SCL9
00110b	SPI(注2)	—	—	—	—	—	—	—	—	SSLA1_B	SSLA0_B	RSPCKA_B	MOSIA_B	MISOA_B	—	—	SSLA0_A
00111b	IIC(注2)	—	—	—	—	—	—	—	—	SCL0_D	SCL1_C	SDA1_C	—	—	—	—	—
01000b	KINT	—	—	—	—	—	—	—	—	KR00	KR01	KR02	KR03	KR04	—	—	KR02
01001b	CLKOUT	—	—	—	—	—	—	—	—	CLKOUT	—	—	—	—	—	—	—
01010b	ADC	—	—	—	—	—	—	—	—	—	—	—	—	ADTRG1	—	—	ADTRG0
01100b	ACMPHS	—	—	—	—	—	—	—	—	CMPOUT2	CMPOUT3	CMPOUT0	CMPOUT1	—	—	—	CMPOUT012
01101b	SCI	—	—	—	—	—	—	—	—	DE1	—	—	—	—	DE1	DE9	—
01110b	SCI	—	—	—	—	—	—	—	—	DE0	—	—	—	DE0	DE0	—	—
10000b	CANFD	—	—	—	—	—	—	—	—	—	—	—	CTX0	CRX0	—	—	—
10100b	GPT(注1)	—	—	—	—	—	—	—	—	GTIOC7B	GTIOC8B	GTIOC9B	GTETRGC	GTCPPO2	—	—	—
10101b	GPT(注1)	—	—	—	—	—	—	—	—	GTIOC2A	GTIOC2B	GTIOC3A	GTIOC3B	GTADSM0	—	—	GTADSM1
10110b	GPT(注1)	—	—	—	—	—	—	—	—	GTIOC9A	GTIOC7B	GTIOC8B	—	GTCPPO7	—	—	GTCPPO4
11001b	CAC	—	—	—	—	—	—	—	—	—	—	—	—	CACREF	—	—	—
ASEL ビット		AN000/PGAIN0/IVCMP02/IVCMP03	AN001/PGAVSS0	AN002/PGAIN1/IVCMP12/IVCMP13	AN003/PGAVSS1	AN004/PGAIN2/IVCMP22/IVCMP23	AN005/PGAVSS2	AN006/DA0	AN007/DA1	—	—	—	—	—	—	—	—
ISEL ビット		IRQ0-DS	IRQ1	IRQ2	IRQ3	IRQ4	IRQ5	IRQ6	IRQ7	IRQ8	IRQ9	IRQ10	IRQ11	IRQ12	—	—	IRQ1
DSCR[1:0] ビット	駆動能力制御	—	—	—	—	—	—	—	—	L/M/H/HC	L/M/H/HC	L/M/H/HC	L/M/H/HC	L/M/H	L/M/H	L/M/H	L/M/H
NCODR	N チャネルオープンドレイン	—	—	—	—	—	—	—	—	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	—	—	—	—	—	—	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
64 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
48 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓

✓：利用可能
—：設定禁止

注 1.　中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキュー仕様 (tGTISK) に合わせて、同じ駆動バッファを使用することを推奨します。

注 2.　所属グループを示すため、端子名の末尾に_A、_B、_C、_D などの文字を付加して使用することを推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 3.　所属グループを示すため、端子名の末尾に_A、_B、_C などの文字を付加して使用することを推奨します。詳細は、「46. 電気的特性」を参照してください。

表 18.7 入出力端子機能のレジスタ設定 (PORTB)

PSEL[4:0] 設定値	機能	端子														
		PB00	PB01	PB02	PB03	PB04	PB05	PB06	PB07	PB08	PB09	PB10	PB12	PB13	PB14	PB15
00000b（リセット後の値）	Hi-Z/ JTAG/SWD	Hi-Z			TDO/SWO	Hi-Z										
00001b	AGT	—	—	—	AGTO1	AGTOA0	AGTOB0	AGTOA1	AGTOB1	AGTIO0	AGTIO1	—	—	—	—	—
00010b	GPT	—	—	—	—	—	GTIU	GTIV	GTIW	—	—	GTIU	GTETRGA	GTOULO	GTOVLO	GTOWLO
00011b	GPT(注1)	—	—	—	—	GTIOC4A	GTIOC4B	GTIOC5A	GTIOC5B	GTIOC6A	GTIOC6B	GTETRGA	GTIOC0A	GTIOC0B	GTIOC1A	GTIOC1B
00100b	SCI(注3)	—	—	—	TXD2_A/ MOSI2_A/ SDA2	RXD2_A/ MISO2_A/ SCL2	SCK2_A	TXD0_D/ MOSI0_D/ SDA0	RXD0_D/ MISO0_D/ SCL0	RXD4/ MISO4_C/ SCL4	TXD4/ MOSI4_C/ SDA4	TXD4_A/ MOSI4_A/ SDA4	SCK4_A	CTS4_A	CTS4_RTS4/ SS4_A	RXD4_A/ MISO4_A/ SCL4
00101b	SCI(注3)	—	—	—	TXD9_B/ MOSI9_B/ SDA9	RXD3_D/ MISO3_D/ SCL3	TXD3_D/ MOSI3_D/ SDA3	CTS3_RTS3/ SS3_D	CTS1_RTS1/ SS1_D	RXD1_D/ MISO1_D/ SCL1	TXD1_D/ MOSI1_D/ SDA1	CTS3_B	RXD3_B/ MISO3_B/ SCL3	TXD3_B/ MOSI3_B/ SDA3	SCK3_B	CTS3_RTS3/ SS3_B
00110b	SPI(注2)	—	—	—	RSPCKA_A	MISOA_A	MOSIA_A	—	—	—	—	—	SSLB0_A	RSPCKB_A	MISOB_A	MOSIB_A
00111b	IIC(注2)	—	—	—	—	—	—	SCL0_A	SDA0_A	SCL1_A	SDA1_A	—	—	—	SDA0_C	SCL0_C
01000b	KINT	—	—	—	KR03	KR04	KR05	KR06	KR07	KR00	KR01	—	—	—	—	—
01001b	CLKOUT	—	—	—	—	VCOUT	—	—	—	—	—	VCOUT	—	—	—	—
01010b	ADC	—	—	—	ADTRG1	—	—	—	—	—	—	—	ADTRG0	—	—	—
01100b	ACMPHS	—	—	—	CMPOUT3	—	—	—	—	—	—	—	—	—	—	—
01101b	SCI	—	—	—	—	—	—	DE3	DE1	—	—	—	—	—	DE3	DE3
01110b	SCI	—	—	—	—	—	DE2	—	—	—	—	—	DE4	—	DE4	—
10000b	CANFD	—	—	—	CRX0	CTX0	CRX0	CTX0	—	CRX0	CTX0	—	CRX0	CTX0	—	—
10100b	GPT(注1)	—	—	—	GTIOC4A	GTIOC5A	GTIOC6A	GTIOC4B	GTETRGC	GTIOC5B	—	GTETRGB	—	GTIOC7A	GTIOC8A	GTIOC9A
10101b	GPT(注1)	—	—	—	GTCPPO1	GTIOC0A	GTIOC0B	GTIOC1A	GTIOC1B	GTIOC2A	GTIOC2B	GTCPPO4	GTIOC4A	GTIOC5A	GTIOC6A	GTIOC4B
10110b	GPT	—	—	—	GTCPPO3	—	—	—	—	—	—	GTCPPO7	—	—	—	—
11001b	CAC	—	—	—	—	CACREF	—	—	—	—	—	CACREF	—	—	—	—
11101b + ASEL ビット	PGAOUT (注4)	PGAOUT0	PGAOUT1	—	—	—	—	—	—	—	—	—	—	—	—	—
11110b + ASEL ビット	PGAOUT (注4)	PGAOUT2	PGAOUT3	—	—	—	—	—	—	—	—	—	—	—	—	—
ASEL ビット		AN008	AN009	AN018/ PGAIN3/ IVCMP32/ IVCMP33	—	—	—	—	—	—	—	AN028	—	—	—	—
ISEL ビット		IRQ0	IRQ1	IRQ15-DS	IRQ0	IRQ13	IRQ3-DS	IRQ4-DS	IRQ5-DS	IRQ1-DS	IRQ2-DS	IRQ10-DS	IRQ2	IRQ3	IRQ4	IRQ5
DSCR[1:0] ビット	駆動能力制御	—	—	—	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H/HC	L/M/H/HC	L/M/H/HC	L/M/H/HC
NCODR	N チャネルオープンドレイン	—	—	—	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	—	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
64 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—	✓	✓	✓	✓
48 ピン製品		✓	✓	—	✓	✓	✓	✓	✓	✓	✓	—	✓	✓	✓	✓

✓：利用可能
—：設定禁止

注 1. 中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキュー仕様 (tGTISK) に合わせて、同じ駆動バッファを使用することを推奨します。

注 2. 所属グループを示すため、端子名の末尾に_A や_C などの文字を付加して使用することを推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注 3. 所属グループを示すため、端子名の末尾に_A、_B、_C、_D などの文字を付加して使用することを推奨します。詳細は、「46. 電気的特性」を参照してください。
注 4. 対応する端子の ASEL ビットが 1 で、PSEL[4:0]ビットが指定された組み合わせの場合は、PGAOUTn（n = 0～3）機能が選択されます。対応する端子を PGAOUTn として使用する場合、そのピンを他のアナログピン機能とともに使用することはしないでください。

表 18.8 入出力端子機能のレジスタ設定 (PORTC)

PSEL[4:0] 設定値	機能	端子															
		PC00	PC01	PC02	PC03	PC04	PC05	PC06	PC07	PC08	PC09	PC10	PC11	PC12	PC13	PC14	PC15
00000b（リセット後の値）	Hi-Z/ JTAG/SWD	Hi-Z															
00001b	AGT	—	—	—	—	—	—	AGTO0	AGTEE0	AGTOA0	AGTOB0	AGTIO1	AGTOA1	AGTOB1	—	AGTIO0	AGTIO1
00010b	GPT	—	—	—	—	—	—	GTETRGD	GTETRGA	GTIV	GTIW	—	—	—	GTETRGD	GTETRGA	GTETRGB
00011b	GPT(注1)	—	—	—	—	—	—	GTIOC6A	GTIOC6B	GTIOC7A	GTIOC7B	—	—	—	—	GTIOC3A	GTIOC3B
00100b	SCI(注3)	—	—	—	—	—	—	TXD2_B/ MOSI2_B/ SDA2	RXD2_B/ MISO2_B/ SCL2	SCK2_B	CTS2_RTS2/ SS2_B	—	—	TXD4_B/ MOSI4_B/ SDA4	—	—	—
00101b	SCI(注3)	—	—	—	—	—	—	CTS9_RTS9/ SS9_C	CTS9_C	CTS3_RTS3/ SS3_C	CTS3_C	TXD1_B/ MOSI1_B/ SDA1	RXD1_B/ MISO1_B/ SCL1	SCK1_B	—	—	—
00110b	SPI(注2)	—	—	—	—	—	—	—	—	SSLA3_B	SSLA2_B	RSPCKB_B	MISOB_B	MOSIB_B	—	—	—
00111b	IIC(注2)	—	—	—	—	—	—	SCL1_E	SDA1_E	SCL0_E	SDA0_D/ SDA0_E	SCL0_B	SDA0_B	—	—	—	—
01000b	KINT	—	—	—	—	—	—	—	—	—	—	KR05	KR06	KR07	—	—	—
01001b	CLKOUT	—	—	—	—	—	—	—	—	—	CLKOUT	—	—	—	—	—	—
01010b	ADC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADTRG0	ADTRG1
01100b	ACMPHS	—	—	—	—	—	—	—	—	—	—	CMPOUT0	CMPOUT1	CMPOUT2	—	CMPOUT012	CMPOUT3
01101b	SCI	—	—	—	—	—	—	DE9	—	DE3	—	—	—	DE1	—	—	—
01110b	SCI	—	—	—	—	—	—	—	—	DE2	DE2	—	—	—	—	—	—
10100b	GPT	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GTCPPO0	GTCPPO1
10101b	GPT(注1)	—	—	—	—	—	—	GTIOC5B	—	—	—	—	—	—	—	GTADSM0	GTADSM1
10110b	GPT(注1)	—	—	—	—	—	—	—	—	—	GTIOC8A	—	—	—	—	GTCPPO4	GTCPPO7
11001b	CAC	—	—	—	—	—	—	—	—	CACREF	—	—	—	—	—	—	—
11101b + ASEL ビット	PGAOUT (注4)	PGAOUT0	PGAOUT1	PGAOUT2	PGAOUT3	—	—	—	—	—	—	—	—	—	—	—	—
ASEL ビット		AN012/ IVCMP00	AN013/ IVCMP10	AN014/ IVCMP20	AN015/ IVCMP30	AN010/ DA2	AN011/ DA3	—	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ11-DS	IRQ12-DS	IRQ13-DS	IRQ14-DS	IRQ10	IRQ11	IRQ6	IRQ7	IRQ8	IRQ9	IRQ6-DS	IRQ7-DS	IRQ8-DS	NMI	IRQ14	IRQ15
DSCR[1:0] ビット	駆動能力制御	—	—	—	—	—	—	L/M/H/HC	L/M/H/HC	L/M/H/HC	L/M/H/HC	L/M/H	L/M/H	L/M/H	—	L(注5)	L(注5)
NCODR	N チャネルオープンドレイン	—	—	—	—	—	—	✓	✓	✓	✓	✓	✓	✓	—	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
64 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
48 ピン製品		—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	✓

✓：利用可能

—：設定禁止
注 1. 中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキュー仕様 (tGTISK) に合わせて、同じ駆動バッファを使用することを推奨します。
注 2. 所属グループを示すため、端子名の末尾に_B、_D、_E などの文字を付加して使用することを推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注 3. 所属グループを示すため、端子名の末尾に_B や_C などの文字を付加して使用することを推奨します。詳細は、「46. 電気的特性」を参照してください。
注 4. 対応する端子の ASEL ビットが 1 で、PSEL[4:0]ビットが指定された組み合わせの場合は、PGAOUTn（n = 0～3）機能が選択されます。対応する端子を PGAOUTn として使用する場合、そのピンを他のアナログピン機能とともに使用することはしないでください。
注 5. このポートの駆動能力は、PmnPFS.DSCR[1:0]ビットで制御することはできません。

表 18.9 入出力端子機能のレジスタ設定 (PORTD)

PSEL[4:0] 設定値	機能	端子															
		PD00	PD01	PD02	PD03	PD04	PD05	PD06	PD07	PD08	PD09	PD10	PD11	PD12	PD13	PD14	PD15
00000b（リセット後の値）	Hi-Z/ JTAG/SW D	Hi-Z															
00001b	AGT	—	—	AGTEE 1	—	—	—	—	—	—	—	—	—	—	—	—	—
00010b	GPT	—	—	—	—	—	—	—	—	—	—	GTETR GC	—	—	—	—	—
00011b	GPT(注1)	—	—	—	—	—	—	—	—	GTIOC 2A	GTIOC 2B	GTIOC 3A	GTIOC 3B	GTIOC 4A	GTIOC 4B	GTIOC 5A	GTIOC 5B
00100b	SCI(注3)	CTS2_ A	CTS2_ RTS2/ SS2_A	RXD4_ B/ MISO4 _B/ SCL4	SCK4_ B	CTS4_ RTS4/ SS4_B	—	—	—	CTS2_ B	CTS2_ RTS2/ SS2_B	SCK2_ C	RXD2_ C/ MISO2 _C/ SCL2	TXD2_ C/ MOSI2 _C/ SDA2	SCK4_ C	RXD4_ C/ MISO4 _C/ SCL4	TXD4_ C/ MOSI4 _C/ SDA4
00101b	SCI(注3)	RXD3_ C/ MISO3 _C/ SCL3	TXD3_ C/ MOSI3 _C/ SDA3	SCK3_ C	CTS9_ A	CTS9_ RTS9/ SS9_A	TXD9/ MOSI9 _A/ SDA9	RXD9_ A/ MISO9 _A/ SCL9	SCK9_ A	TXD1_ A/ MOSI1 _A/ SDA1	RXD1_ A/ MISO1 _A/ SCL1	SCK1_ A	CTS1_ A	CTS1_ RTS1/ SS1_A	SCK9_ C	RXD9_ C/ MISO9 _C/ SCL9	TXD9_ C/ MOSI9 _C/ SDA9
00110b	SPI(注2)	SSLB0 _B	SSLB1 _B	—	SSLB2 _B	SSLB3 _B	SSLA3 _A	SSLA2 _A	SSLA1 _A	SSLB1 _A	SSLB2 _A	SSLB3 _A	—	—	—	—	—
00111b	IIC(注2)	—	—	—	—	—	SDA1_ B	SCL1_ B	—	—	—	—	—	SCL1_ D	SDA1_ D	SCL0_ F	SDA0_ F
01000b	KINT	KR00	KR01	KR02	KR03	KR04	KR05	KR06	KR07	KR00	KR01	KR02	KR03	KR04	KR05	KR06	KR07
01001b	CLKOUT	—	—	CLKOU T	—	—	—	—	—	—	—	—	—	—	—	—	—
01100b	ACMPHS	—	—	CMPO UT3	CMPO UT0	CMPO UT1	—	—	—	—	—	—	—	—	—	—	—
01101b	SCI	—	—	DE3	—	DE9	—	—	DE9	—	—	DE1	—	DE1	DE9	—	DE9
01110b	SCI	—	DE2	—	DE4	DE4	—	—	—	—	DE2	DE2	—	—	DE4	—	—
10000b	CANFD	CRX0	CTX0	—	—	—	—	—	—	—	—	—	—	—	—	—	—
10101b	GPT	GTADS M0	GTADS M1	GTCPP O0	—	—	GTADS M0	—	GTADS M1	—	—	—	—	—	—	—	—
10110b	GPT	GTCPP O4	GTCPP O7	GTCPP O2	GTCPP O0	GTCPP O1	GTCPP O3	GTCPP O4	GTCPP O7	—	—	—	—	—	—	—	—
ISEL ビット		—	—	IRQ9-DS	—	—	—	—	—	—	—	—	—	IRQ12	IRQ13	IRQ14	IRQ15
DSCR[1:0] ビット	駆動能力制御	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H/ HC	L/M/H/ HC	L/M/H/ HC	L/M/H/ HC	L/M/H/ HC	L/M/H/ HC	L/M/H/ HC	L/M/H/ HC
NCODR	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
64 ピン製品		—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—
48 ピン製品		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

✓：利用可能
—：設定禁止
注 1. 中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキュー仕様 (tGTISK) に合わせて、同じ駆動バッファを使用することを推奨します。
注 2. 所属グループを示すため、端子名の末尾に_A、_B、_D、_F などの文字を付加して使用することを推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注 3. 所属グループを示すため、端子名の末尾に_A、_B、_C などの文字を付加して使用することを推奨します。詳細は、「46. 電気的特性」を参照してください。

表 18.10　入出力端子機能のレジスタ設定 (PORTE)

PSEL[4:0] 設定値	機能	端子														
		PE00	PE01	PE02	PE03	PE04	PE05	PE06	PE08	PE09	PE10	PE11	PE12	PE13	PE14	PE15
00000b（リセット後の値）	Hi-Z/ JTAG/SWD	Hi-Z														
00001b	AGT	AGTEE0	AGTEE1	—	—	—	—	—	—	—	—	—	—	—	—	—
00010b	GPT	—	GTOULO	GTOVLO	GTOWLO	GTOUUP	GTOVUP	GTOWUP	GTIV	GTIW	GTOULO	GTOUUP	GTOVLO	GTOVUP	GTOWLO	GTOWUP
00011b	GPT(注1)	GTETRGA	GTIOC7A	GTIOC7B	GTIOC8A	GTIOC8B	GTIOC9A	GTIOC9B	GTIOC3A	GTIOC3B	GTIOC2A	GTIOC2B	GTIOC1A	GTIOC1B	GTIOC0A	GTIOC0B
00100b	SCI(注3)	TXD0_E/ MOSI0_E/ SDA0	RXD0_E/ MISO0_E/ SCL0	SCK0_B	RXD0_B/ MISO0_B/ SCL0	TXD0_B/ MOSI0_B/ SDA0	CTS0_RTS0/ SS0_B	CTS0_B	—	—	—	—	—	—	—	RXD4_A/ MISO4_A/ SCL4
00101b	SCI(注3)	TXD9_D/ MOSI9_D/ SDA9	RXD9_D/ MISO9_D/ SCL9	SCK3_A	CTS3_A	CTS3_RTS3/ SS3_A	RXD3_A/ MISO3_A/ SCL3	TXD3_A/ MOSI3_A/ SDA3	—	—	—	—	—	—	—	—
00110b	SPI(注2)	SSLB3_C	SSLB2_C	RSPCKB_C	SSLB0_C	SSLB1_C	MISOB_C	MOSIB_C	SSLA3_C	SSLA2_C	SSLA1_C	SSLA0_C	RSPCKA_C	MISOA_C	MOSIA_C	—
01000b	KINT	—	—	—	—	—	—	—	KR00	KR01	KR02	KR03	KR04	KR05	KR06	KR07
01001b	CLKOUT	—	—	CLKOUT	—	—	—	—	—	—	—	—	—	—	—	—
01010b	ADC	ADTRG0	ADTRG1	—	—	—	—	—	ADTRG0	ADTRG1	—	—	—	—	—	—
01100b	ACMPHS	—	—	CMPOUT0	CMPOUT1	CMPOUT2	CMPOUT3	—	CMPOUT012	CMPOUT3	—	—	—	—	—	—
01101b	SCI	—	—	DE3	—	DE3	—	—	—	—	—	—	—	—	—	—
01110b	SCI	—	—	DE0	—	—	DE0	—	—	—	—	—	—	—	—	—
10100b	GPT(注1)	GTIOC4A	GTIOC4B	GTIOC8A	GTIOC9A	GTIOC7B	GTIOC8B	—	GTETRGC	GTETRGD	GTIOC4A	GTIOC5A	GTIOC6A	GTIOC4B	GTIOC5B	GTIOC6B
10101b	GPT(注1)	GTADSM0	GTADSM1	—	—	—	—	—	GTADSM0	GTADSM1	GTIOC7A	GTIOC8A	GTIOC9A	GTIOC7B	GTIOC8B	GTIOC9B
10110b	GPT	—	—	—	—	—	GTCPPO2	GTCPPO3	—	—	—	—	—	—	—	—
11001b	CAC	CACREF	—	—	—	—	—	—	—	CACREF	—	—	—	—	—	—
11010b	トレース（デバッグ）	—	—	TRCLK	TRDATA0	TRDATA1	TRDATA2	TRDATA3	—	—	—	—	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	AN020	AN021	AN022	AN023	AN024	AN025	AN026	AN027
ISEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DSCR[1:0] ビット	駆動能力制御	L/M/H	L/M/H	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H	L/M/H	L/M/H/HC	L/M/H/HC	L/M/H/HC	L/M/H/HC	L/M/H/HC	L/M/H/HC
NCODR	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
64 ピン製品		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
48 ピン製品		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

✓：利用可能
—：設定禁止

注 1.　中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキュー仕様 (tGTISK) に合わせて、同じ駆動バッファを使用することを推奨します。

注 2.　所属グループを示すため、端子名の末尾に_C などの文字を付加して使用することを推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 3.　所属グループを示すため、端子名の末尾に_A、_B、_D、_E などの文字を付加して使用することを推奨します。詳細は、「46. 電気的特性」を参照してください。

19. キー割り込み機能 (KINT)

19.1 概要

キー割り込み機能 (KINT) は、キー割り込み入力端子の立ち上がりエッジまたは立ち下がりエッジが検出されると、キー割り込みを生成します。図 19.1 にブロック図を、表 19.1 に入出力端子を示します。

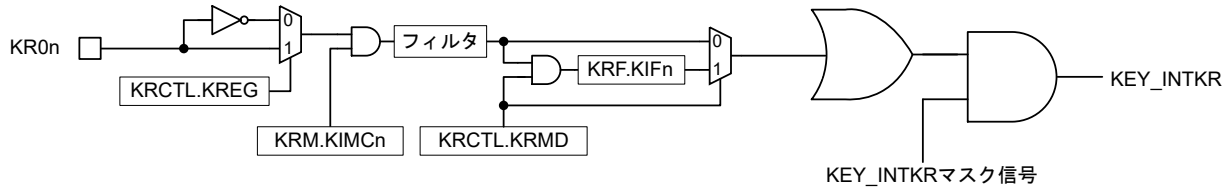


図 19.1 KINT のブロック図

すべてのキー割り込み信号は 1 つの OR ゲートに入力され、その OR ゲートの出力が KEY_INTKR マスク信号によってマスクされた信号がキー割り込み信号（KEY_INTKR 信号）になります。キー割り込みフラグ n (KRF.KIFn) を使用する (KRCTL.KRMD = 1) 場合、KEY_INTKR マスク信号は、KRF.KIFn フラグをクリアすることでアサートされる出力マスクとして使用されます。

表 19.1 KINT の入出力端子

端子名	入出力	機能
KR00～KR07	入力	キー割り込み入力端子

19.2 レジスタの説明

19.2.1 KRCTL : キーリターン制御レジスタ

Base address: KINT = 0x4008_5000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	KRMD	—	—	—	—	—	—	KREG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	KREG	検出エッジ選択（KR00～KR07 端子） 0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
6:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	KRMD	キー割り込みフラグ使用状態（KRF.KIF0～KRF.KIF7） 0: キー割り込みフラグを使用しない 1: キー割り込みフラグを使用する	R/W

KRCTL レジスタは、キー割り込みフラグ KRF.KIFn（n = 0～7）の状態を制御し、検出エッジを設定するためのレジスタです。

19.2.2 KRF : キーリターンフラグレジスタ

Base address: KINT = 0x4008_5000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	KIF7	KIF6	KIF5	KIF4	KIF3	KIF2	KIF1	KIF0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	KIF0～KIF7	キー割り込みフラグ n 0: 割り込みの検出なし 1: 割り込みの検出あり	R/W

KRF レジスタは、キー割り込みフラグ (KIFn) を制御するレジスタです。

KRCTL.KRMD = 0 の場合、KIFn フラグを 1 にすることは禁止です。KIFn フラグを 1 に設定しても、KIFn フラグの値は変化しません。

KIFn フラグをクリアする場合には、クリアするフラグが 1 であることを確認した後、クリアするフラグに 0、その他のフラグに 1 を同時に書いてください。

19.2.3 KRM : キーリターンモードレジスタ

Base address: KINT = 0x4008_5000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	KIMC7	KIMC6	KIMC5	KIMC4	KIMC3	KIMC2	KIMC1	KIMC0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	KIMC0～KIMC7	キー割り込みモード制御 n 0: キー割り込み信号を検出しない 1: キー割り込み信号を検出する	R/W

KRM レジスタは、キー割り込みモードを設定するレジスタです。

KR0n 端子へ入力中の信号が Low レベル（KRCTL.KREG = 0 の場合）または High レベル（KRCTL.KREG = 1 の場合）のとき、KRM レジスタの対象ビットがセットされると割り込みが発生します。この割り込みを無視するには、割り込み処理を禁止してから、KRM レジスタを設定してください。

KINT は PmnPFS.PSEL[4:0] ビットで割り当てることができます。対応するキー割り込み入力端子をプルアップ機能に設定することで、内蔵プルアップ抵抗の適用も可能です。詳細は「18. I/O ポート」を参照してください。

19.3 動作説明

19.3.1 キー割り込みフラグを使用しない場合の動作 (KRCTL.KRMD = 0)

KR0n 端子に、KRCTL.KREG ビットで指定された有効エッジが入力されたとき、KEY_INTKR が発生します。有効エッジが入力されたチャネルを判別するには、KEY_INTKR 発生後にポートレジスタを読み出して、I/O ポートのレベルをチェックしてください。

KEY_INTKR 信号は、KR0n 端子の入力レベルに応じて変化します。

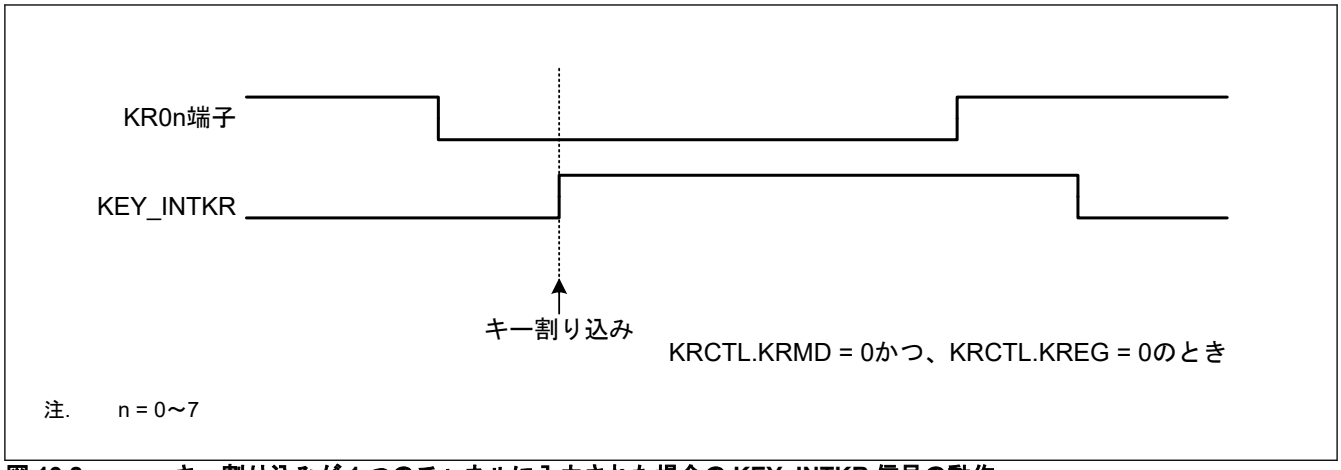


図 19.2 キー割り込みが 1 つのチャネルに入力された場合の KEY_INTKR 信号の動作

図 19.3 に有効エッジが複数の KR0n 端子に入力された場合の動作を示します。一方の端子に Low レベルが入力中であると、KEY_INTKR 信号がセットされます（KRCTL.KREG = 0 の場合）。そのため、この期間中に他の端子に立ち下がりエッジが入力されても、再度 KEY_INTKR は発生しません。図 19.3 の [1] を参照してください。

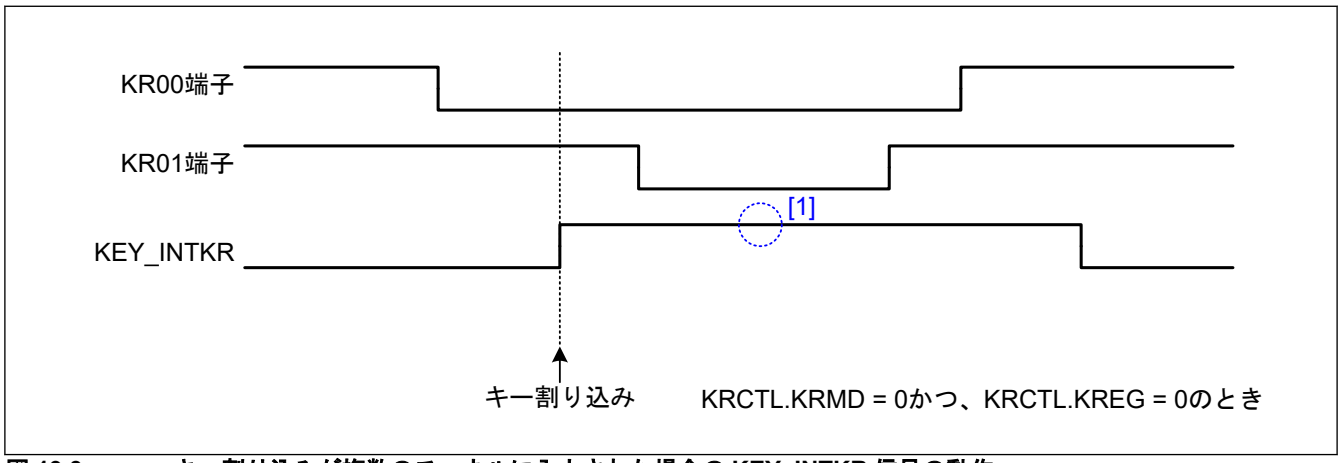


図 19.3 キー割り込みが複数のチャネルに入力された場合の KEY_INTKR 信号の動作

19.3.2 キー割り込みフラグを使用する場合の動作 (KRCTL.KRMD = 1)

KR0n 端子に、KRCTL.KREG ビットで指定された有効エッジが入力されたとき、KEY_INTKR が発生します。有効エッジが入力されたチャネルを判別するには、KEY_INTKR の発生後にキーリターンフラグレジスタ (KRF) を読み出します。KRCTL.KRMD ビットが 1 になっている場合は、KRF レジスタの対応するビットをクリアして、KEY_INTKR 信号をクリアしてください。

図 19.4 に示すように、1 つのチャネルに立ち下がりエッジが入力されるごとに、1 回だけ割り込みが発生します（KRCTL.KREG = 0 の場合）。立ち上がりエッジが入力される前や後に KRF.KIFn フラグがクリアされても、それ以上割り込みは発生しません。

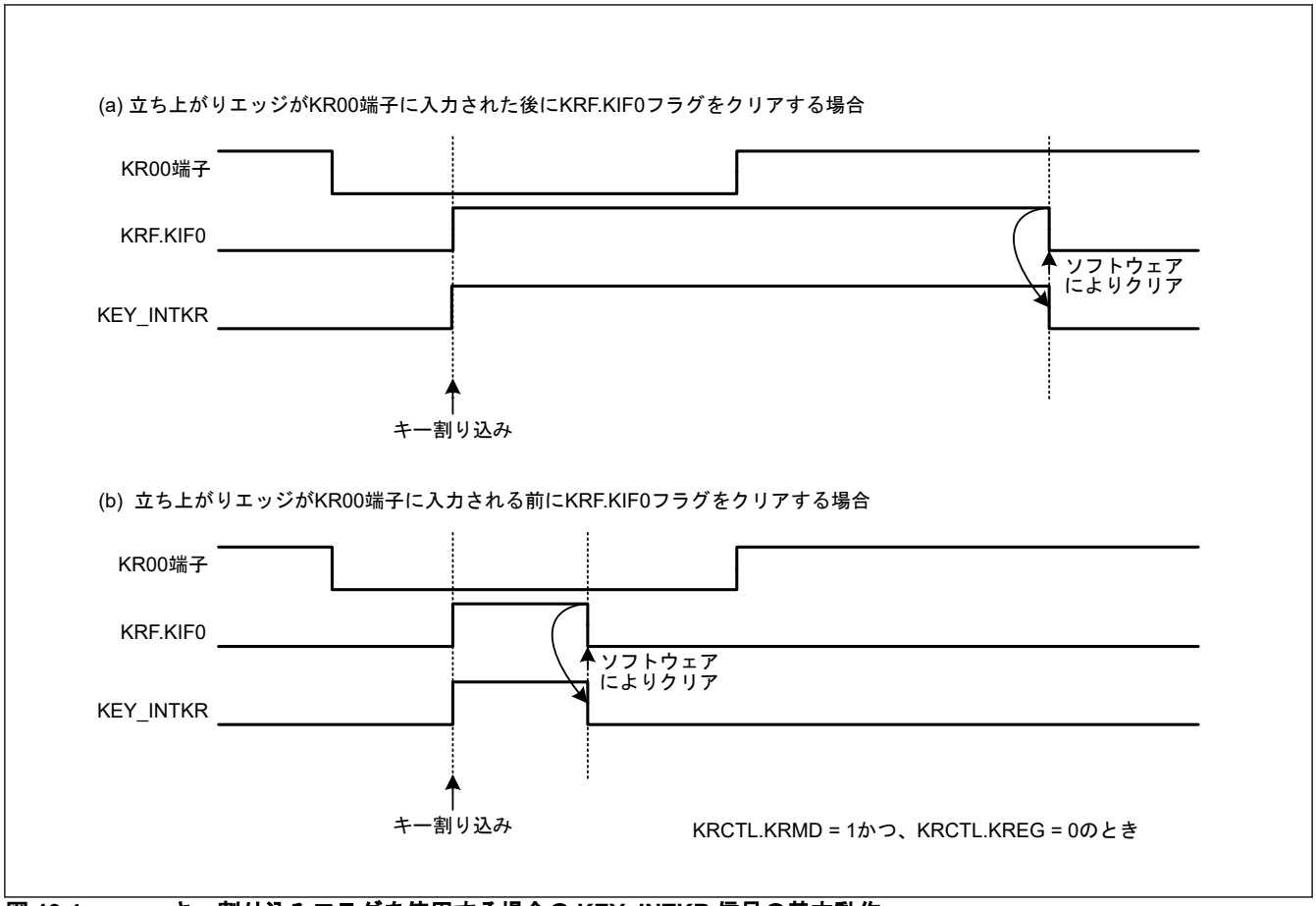


図 19.4 キー割り込みフラグを使用する場合の KEY_INTKR 信号の基本動作

図 19.5 に有効エッジが複数の KR0n 端子に入力された場合の動作を示します。KR00 端子に立ち下がりエッジが入力された後に、KR01 端子と KR05 端子にも立ち下がりエッジが入力されます（KRCTL.KREG = 0 の場合）。KRF.KIF0 フラグがクリアされたとき、KRF.KIF1 フラグはセット状態になっています。KRF.KIF0 フラグがクリアされた後に、KEY_INTKR 信号は 1 クロック (PCLKB) サイクルネゲートされます。図 19.5 の[1]を参照してください。

また、KR05 端子に立ち下がりエッジが入力された後に、KRF.KIF5 フラグがセットされます。図中の[2]で KRF.KIF1 フラグがクリアされます。KRF.KIF1 フラグがクリアされた後に、KEY_INTKR 信号は 1 クロック (PCLKB) サイクルネゲートされます。図中の[3]を参照してください。したがって、複数チャネルに有効エッジが入力されたとき、各キー割り込みを発生させることが可能です。

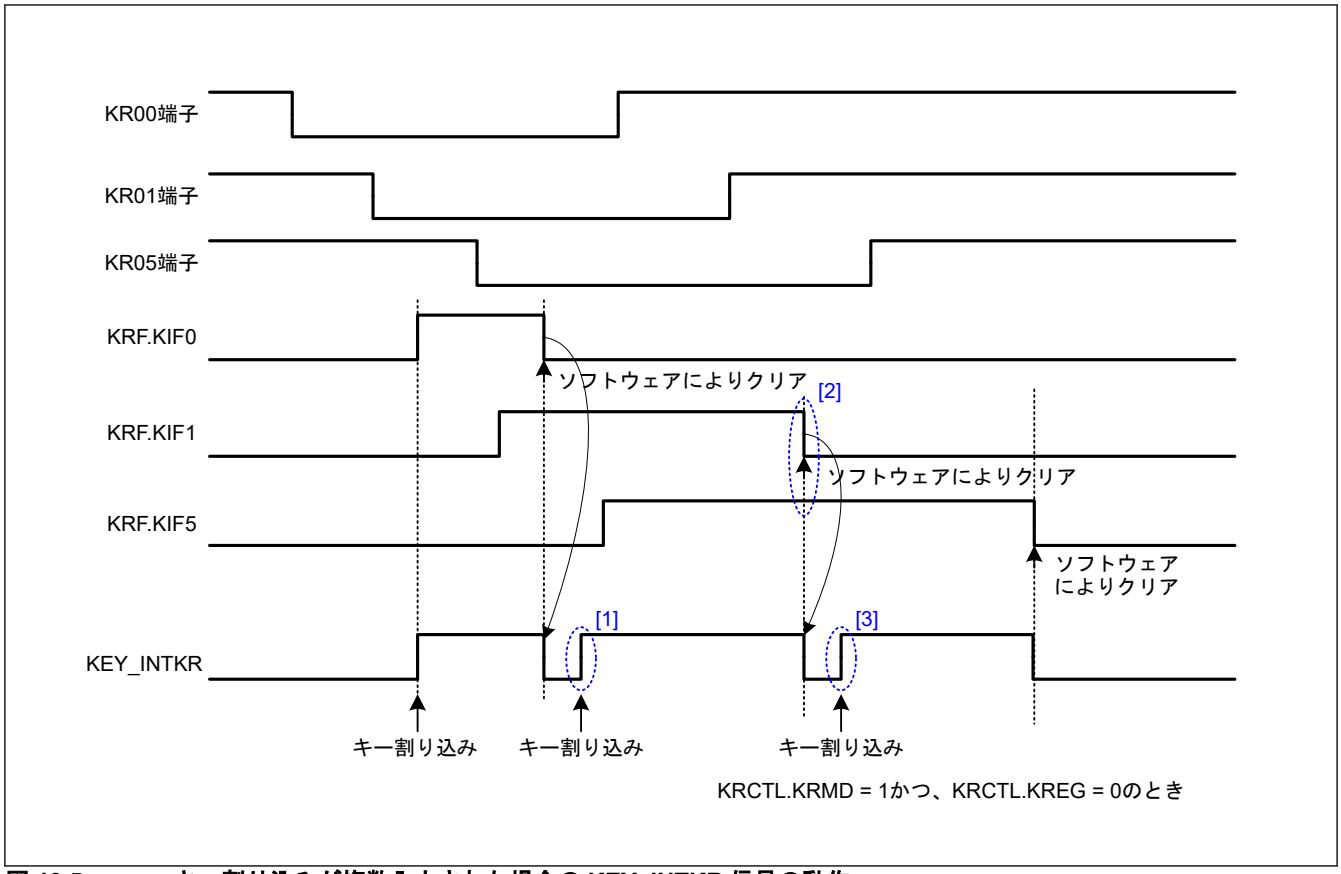


図 19.5 キー割り込みが複数入力された場合の KEY_INTKR 信号の動作

19.4 使用上の注意事項

- KEY_INTKR をスヌーズ要求として用いる場合は、KRCTL.KRMD ビットを 0 にしてください。
- KEY_INTKR をスヌーズモードおよびソフトウェアスタンバイモードから通常モードへ復帰するための割り込み要因として用いる場合は、KRCTL.KRMD ビットを 1 にしてください。
- KINT が端子に割り当てられる場合、この端子入力はソフトウェアスタンバイモード時に常に許可されています。また、端子レベルが変化すると、対応する KRF.KIFn フラグがセットされる可能性があることがあります。そのため、ソフトウェアスタンバイモードの解除時に、KEY_INTKR が発生する場合があります。ソフトウェアスタンバイモード時の KR0n 端子の変化を無視するには、ソフトウェアスタンバイモードへ遷移する前に、対応する KRM.KIMCn ビットをクリアしてください。ソフトウェアスタンバイモードの解除後は、対応する KRM.KIMCn ビットをセットする前に、KRF.KIFn フラグをクリアする必要があります。

20. GPT 用のポートアウトプットイネーブル (POEG)

20.1 概要

POEG は汎用 PWM タイマ (GPT) の出力端子からの出力を停止する要求を発行します。出力を停止するための検出方法を下記から選択します。

- GTETRGn 端子（n = A～D）の入力レベル検出
- GPT から出力停止検出
- コンパレータによる検出（エッジ検出かレベル検出）
- メインクロックの発振停止検出回路による発振停止検出
- レジスタ設定

GPT の外部トリガ入力端子への出力に GTETRGn ピンを使用できます。

表 20.1 に仕様を、図 20.1 にブロック図を、表 20.2 に入力端子を示します。

表 20.1 POEG の仕様

項目	説明
入力レベル検出に対する出力停止要求	• 出力停止要求は、対応する GTETRGn 端子（n = A～D）で選択したレベルの入力が検出されて POEGGn.PIDF フラグがセットされたときに、GPT に対して発行されます。 • 出力停止要求は、対応する GTETRGn 端子で選択したレベルの入力が検出されるとただちに、GPT に対して発行されます。
GPT からの出力停止信号による出力停止要求	• 出力停止要求は、対応する POEGGn.IOCF フラグがセットされている状態で、GTIOCA 端子と GTIOCB 端子のアクティブレベル（High または Low）を同時に検出したときに、GPT に対して発行されます。 • 出力停止要求は、対応する POEGGn.IOCF フラグがセットされている状態で、GPT がデッドタイムエラーを検出したときに、GPT に対して発行されます。
コンパレータによる検出に対する出力停止要求	• 出力停止要求は、コンパレータによるエッジ検出に対して POEGGn.IOCF フラグがセットされたときに、GPT に対して発行されます。 • 出力停止要求は、コンパレータでレベルが検出されると、GPT に対して直接発行されます。
発振停止検出に対する出力停止要求	出力停止要求は、対応する POEGGn.OSTPF フラグがセットされている状態で、メインクロックの発振停止検出回路が発振停止を検出したときに、GPT に対して発行されます。
ソフトウェアによる出力停止要求	出力停止要求は、ソフトウェアが POEGGn.SSF フラグをセットしたときに、GPT に対して発行されます。
割り込み	• 割り込みは、POEGGn.PIDF フラグによる出力停止要求に対して発生します。 • 割り込みは、POEGGn.IOCF フラグによる出力停止要求に対して発生します。
GPT に対する外部トリガ出力機能	GTETRGn 端子は、外部トリガとして出力に使用されます。
ノイズ除去	• 各 GTETRGn 端子はデジタルノイズフィルタ機能を持っています。 • フィルタには 4 種類のサンプリングクロックが設定できます。
TrustZone フィルタ	• グループ別にセキュリティ属性を設定できます。

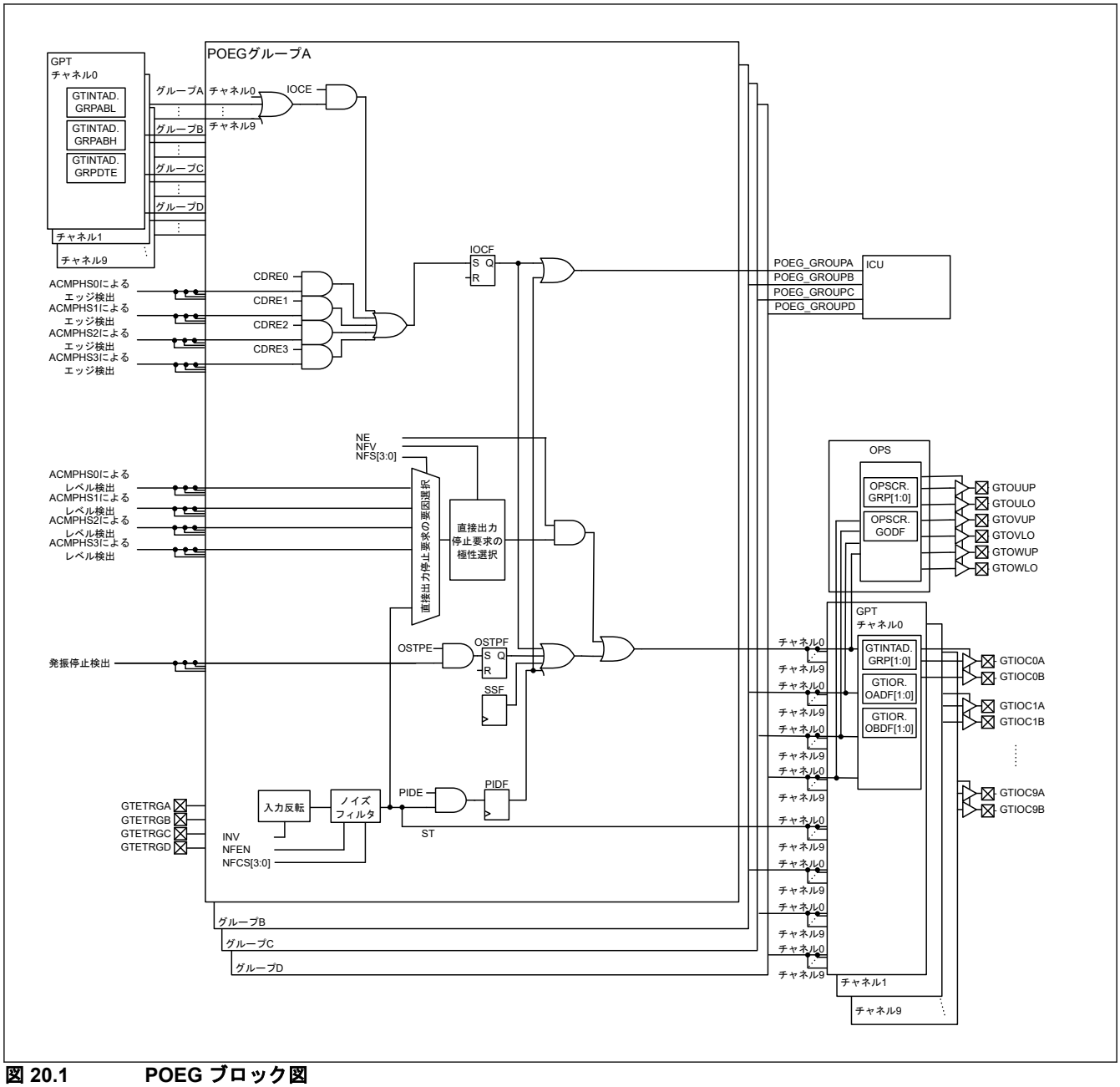


図 20.1 POEG ブロック図

表 20.2 POEG の入出力端子

端子名	入出力	機能
GTETRGA	入力	GPT 出力端子の出力停止検出信号および GPT 外部トリガ入力端子 A
GTETRGB	入力	GPT 出力端子の出力停止検出信号および GPT 外部トリガ入力端子 B
GTETRGC	入力	GPT 出力端子の出力停止検出信号および GPT 外部トリガ入力端子 C
GTETRGD	入力	GPT 出力端子の出力停止検出信号および GPT 外部トリガ入力端子 D

20.2 レジスタの説明

20.2.1 POEGGn : POEG グループ n 設定レジスタ（n = A～D）

Base address: POEG = 0x4008_A000

Offset address: 0x000 (POEGGA)
0x100 (POEGGB)
0x200 (POEGGC)
0x300 (POEGGD)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCS[1:0]		NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	ST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CDRE3	CDRE2	CDRE1	CDRE0	—	OSTPE	IOCE	PIDE	SSF	OSTPF	IOCF	PIDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIDF	ポート入力検出フラグ 0: 選択した入力レベルは GTETRGn 端子で未検出 1: 選択した入力レベルは GTETRGn 端子で検出	R/W(注1)
1	IOCF	GPT または ACMPHS 出力停止要求検出フラグ 0: GPT 出力の停止もコンパレータのエッジも未検出 1: GPT 出力の停止またはコンパレータのエッジを検出	R/W(注1)
2	OSTPF	発振停止検出フラグ 0: 発振停止を未検出 1: 発振停止を検出	R/W(注1)
3	SSF	ソフトウェア停止フラグ 0: ソフトウェアが出力を停止していない 1: ソフトウェアが出力を停止した	R/W
4	PIDE	ポート入力検出許可 0: 対応する GTETRGn 端子における入力レベルの検出を禁止 1: 対応する GTETRGn 端子における入力レベルの検出を許可	R/W(注2)
5	IOCE	GPT 出力停止要求の許可 0: GPT からの出力停止検出を禁止 1: GPT からの出力停止検出を許可	R/W(注2)
6	OSTPE	発振停止時の出力停止の許可 0: 発振停止検出を禁止 1: 発振停止検出を許可	R/W(注2)
7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	CDRE0	ACMPHS0 有効 0: コンパレータのエッジ検出 0 が無効 1: コンパレータのエッジ検出 0 が有効	R/W(注2)
9	CDRE1	ACMPHS1 有効 0: コンパレータのエッジ検出 1 が無効 1: コンパレータのエッジ検出 1 が有効	R/W(注2)
10	CDRE2	ACMPHS2 有効 0: コンパレータのエッジ検出 2 が無効 1: コンパレータのエッジ検出 2 が有効	R/W(注2)
11	CDRE3	ACMPHS3 有効 0: コンパレータのエッジ検出 3 が無効 1: コンパレータのエッジ検出 3 が有効	R/W(注2)
15:12	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
16	ST	GTETRGn 入力ステータスフラグ 0: GPT への出力の対応する外部トリガが 0 1: GPT への出力の対応する外部トリガが 1	R
27:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
28	INV	GTETRGn 入力反転 0: GTETRGn 端子の入力を反転しない 1: GTETRGn 端子の入力を反転する	R/W
29	NFEN	ノイズフィルタ有効 0: GTETRGn 端子のデジタルノイズフィルタは無効 1: GTETRGn 端子のデジタルノイズフィルタは有効	R/W
31:30	NFCS[1:0]	ノイズフィルタクロック選択 0 0: PCLKB/1 クロックあたり GTETRGn 端子の入力レベルを 3 回サンプリング 0 1: PCLKB/8 クロックあたり GTETRGn 端子の入力レベルを 3 回サンプリング 1 0: PCLKB/32 クロックあたり GTETRGn 端子の入力レベルを 3 回サンプリング 1 1: PCLKB/128 クロックあたり GTETRGn 端子の入力レベルを 3 回サンプリング	R/W

注 1. フラグをクリアするための 0 の書き込みのみ可能です。
注 2. リセット後、1 回のみ書き込み可能です。

POEGGn レジスタ（n = A～D）は、各種信号の検出に基づいて出力停止要求および GPT の外部トリガを制御します。

SSF フラグ（ソフトウェア停止フラグ）

SSF フラグに 1 を書くと、出力停止要求が GPT に対して発行され、0 を書くと GPT の出力停止要求が解除されます。また、ソフトウェアによって発行された出力停止要求は、本フラグを読み出すことでモニタできます。

20.2.2 GTONCWPn : GPT 出力停止制御グループ n 書き込み保護レジスタ（n = A～D）

Base address: POEG = 0x4008_A000

Offset address: 0x040 (GTONCWPA)
0x140 (GTONCWPB)
0x240 (GTONCWPC)
0x340 (GTONCWPD)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								—	—	—	—	—	—	—	WP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WP	レジスタ書き込み禁止 0: GTONCCRn レジスタへの書き込みを許可 1: GTONCCRn レジスタへの書き込みを禁止	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	キーコード GTONCWPn レジスタへの新しい値の書き込みが可能かどうかを制御します。 GTONCWPn レジスタに書き込むには、上位 8 ビットに 0xA5 を書き込み、同時に下位 8 ビットに 16 ビット単位を構成する任意の値を書き込みます。読むと 0x00 が読めます	R/W

GTONCWPn レジスタ (n = A～D) はレジスタへの誤書き込みを防止するために、GTONCCRn レジスタへの書き込みを許可します。

20.2.3 GTONCCRn : GPT 出力停止制御グループ n コントロールレジスタ（n = A～D）

Base address: POEG = 0x4008_A000

Offset address: 0x044 (GTONCCRA)
0x144 (GTONCCRB)
0x244 (GTONCCRC)
0x344 (GTONCCRD)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	NFV	NFS[3:0]				—	—	—	NE
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NE	直接停止要求設定 0: 検出用の信号は直接停止要求信号として設定されていません。 1: 検出用の信号は直接停止要求信号として設定されています。	R/W
3:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7:4	NFS[3:0]	直接停止要求選択 上記以外は設定しないでください。 0x0: コンパレータ レベル検出 0 0x1: コンパレータ レベル検出 1 0x2: コンパレータ レベル検出 2 0x4: コンパレータ レベル検出 3 0x7: GTETRGn 端子入力レベル検出（n = A～D） その他: 設定禁止	R/W
8	NFV	直接停止要求極性 0: 出力停止検出信号が 0 のとき、出力停止が要求されます。 1: 出力停止検出信号が 1 のとき、出力停止が要求されます。	R/W
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTONCCRn レジスタ（n = A～D）は、検出された信号に応答して出力停止の要求を設定します。

NE ビット（直接停止要求設定）

NE ビットに 1 を書き込むと、NFS[3:0]ビットによって選択された検出用の信号に応答して停止要求信号の直接出力が発生します。

20.3 動作説明

20.3.1 対応する GTETRGn 端子（n = A～D）での入力レベル検出に対する出力停止要求

出力停止要求には 2 種類あります。POEGGn.PIDF フラグ（n = A～D）の設定による要求と、検出信号に直接対応する要求です。

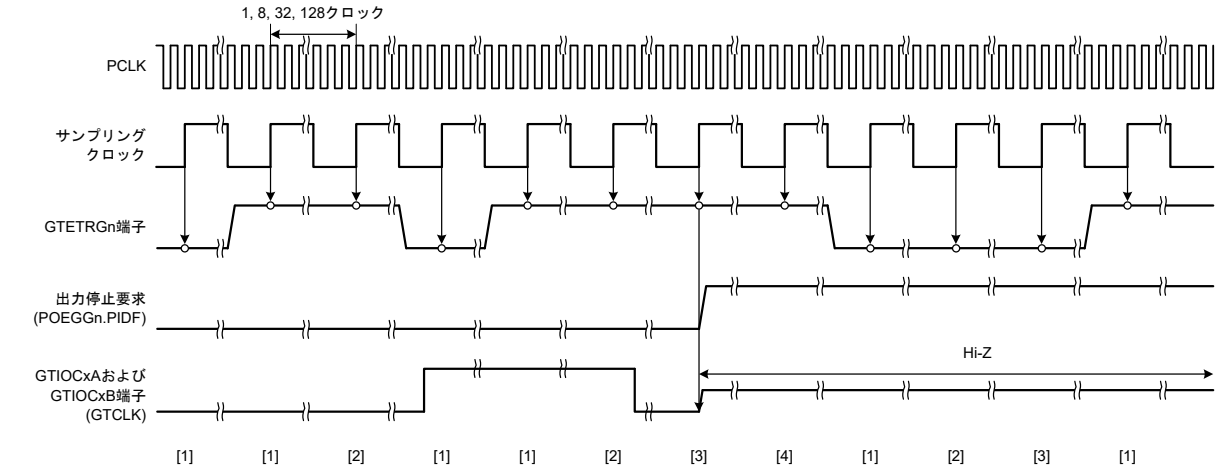
1. PIDF フラグがセットされたときに出力の停止が要求されるのは、POEGGn.PIDE ビットが 1 に設定された状態で、POEGGn レジスタ内に設定された入力（INV ビットに設定された反転または非反転、NFEN ビットによって有効または無効にされたフィルタリング、NFCS[1:0]ビットに設定されたフィルタリング用サンプルクロック）が検出された場合です。これに対して POEGGn.PIDF フラグが 1 に設定された後は、GPT の各チャネルに対してグループごとに出力禁止要求が発行されます。出力を停止するための要求信号を解除するには、POEGGn.PIDF フラグをクリアします。出力停止要求の解除については、「20.3.6. 出力停止要求の解除」を参照してください。
2. 選択された信号の入力レベル検出に直接対応する形で出力停止を要求するには、GTONCCRn.NE ビットが 1 に設定された状態で、GTONCCRn.NFS[3:0]ビットで選択された GTETRGn 端子に対して POEGGn に設定された入力（INV ビットで反転または非反転に設定、NFEN ビットでフィルタリングを有効または無効に設定、NFCS[1:0]ビットでフィルタリング用サンプルクロックを設定）を検出し、その後 GPT のチャネルグループごとに出力停止要求を直接発行します。検出された入力レベルが要求発行条件と一致しない場合は、出力停止を要求する信号が解除されます。詳細は、「20.3.7. 検出信号に応答して出力を停止する要求と要求のキャンセル」を参照してください。

20.3.1.1 デジタルノイズフィルタ

各 GTETRGn 端子入力はデジタルノイズフィルタ機能を持っています。図 20.2 に、フィルタを使用して High レベルを検出したときの動作例を示します。デジタルノイズフィルタが有効（POEGGn.NFEN ビット = 1）で、POEGGn.NFCS[1:0]ビットで選択されたサンプリングクロック周期で 3 回連続して High レベルが検出され、POEGGn.INV ビット設定によって反転または非反転の状態が決まる場合、High レベルの検出とみなされて GPT に出力停止要求が発行されます。

このとき、シーケンス内で 1 回でも Low レベルが検出されると、High レベルの検出とはみなされません。また、サンプリングクロックが出力されていない間は、GTETRGA～GTETRGD 端子のレベル変化は無視されます。

デジタルノイズフィルタは、POEGGn.PIDF フラグ（n = A～D）の設定に応じた出力停止要求、検出された信号に直接反応した出力停止要求，および GPT への外部トリガの出力に使用できます。



注. 各チャネルの出力は、GPT32x で設定できます。
注. POEGGn.INV ビットを 1 にすることで、極性を反転できます。
注. PCLK = PCLKB

図 20.2 デジタルノイズフィルタの動作例

20.3.2 GPT からの出力停止を検出した場合の出力停止要求

GPT のデッドタイムエラー、あるいは同時 High 出力または同時 Low 出力のいずれかが検出された場合は、対応する POEGGn.IOCF フラグが 1 に設定されて、GPT 内の各チャネルに対しグループごとに出力停止要求が発行されます。POEGGn.IOCF フラグは、コンパレータによるエッジ検出、および出力停止要求の両方を示すのに使われます。要求を解除するには、セットされた POEGGn.IOCF フラグをクリアします。詳細は、「20.3.6. 出力停止要求の解除」を参照してください。

GPT のデッドタイムエラー、あるいは同時 High 出力または同時 Low 出力のいずれかを検出するには、該当する GPT32n.GTINTAD レジスタの GRPDTE、GRPABH、および GRPABL ビットで出力停止検出を許可する必要があります。GPT32n.GTINTAD.GRP[1:0]ビットで、停止を検出する GPT のグループを指定してください。詳細は、「21.2.15. GTINTAD : 汎用 PWM タイマ割り込み出力設定レジスタ」を参照してください。

20.3.3 コンパレータ検出に対応した出力停止要求

コンパレータによる検出に対応して、出力停止要求を GPT に発行することができます。出力停止要求には、コンパレータによるエッジ検出のために POEGGn.IOCF フラグ (n = A～D) の設定に対応した出力要求と、コンパレータによるレベル検出に対応した直接的な出力要求の 2 種類があります。

1. IOCF フラグの設定に対応した出力を停止するために、POEGGn.CDRE[3:0]ビットが 1 のとき、対応するエッジはコンパレータによって検出されます。このとき、POEGGn.IOCF フラグは 1 に設定され、これによって、GPT の各チャネルの指定されたグループからの出力を停止する要求が出されます。POEGGn.IOCF フラグは、コンパレータのエッジ検出と出力停止要求の両方に使用されます。出力停止要求を解除するには、POEGGn.IOCF フラグをクリアします。詳細は、「20.3.6. 出力停止要求の解除」を参照してください。

2. 出力は、検出された信号を、出力を停止する直接要求として使用することによって停止することもできます。GTONCCRn.NFS[3:0]ビットで選択されたコンパレータレベル検出信号が GTONCCRn.NFV ビットで設定されたレベルに一致すると、グループごとに出力を停止する要求が、GPT の各チャネルに発行されます。出力停止要求は、コンパレータレベル検出が発行条件に一致しないときに解除されます。詳細は、「20.3.7. 検出信号に応答して出力を停止する要求と要求のキャンセル」を参照してください。

20.3.4 発振停止検出による出力停止要求

POEGGn.OSTPE ビットが 1 のときにメインクロック発振器の発振停止検出回路が発振停止を検出すると、POEGGn.OSTPF フラグが 1 になり、GPT の各チャネルにグループごとの出力停止要求が発行されます。出力停止要求を解除するには、POEGGn.OSTPF フラグをクリアします。詳細は、「20.3.6. 出力停止要求の解除」を参照してください。

20.3.5 レジスタによる出力停止要求

ソフトウェア停止フラグ (POEGGn.SSF) に 1 を書き込むことで、GPT の各チャネルに対しグループごとに出力停止要求が発行されます。出力禁止要求を解除するには、POEGGn.SSF フラグをクリアします。詳細は、「20.3.6. 出力停止要求の解除」を参照してください。

20.3.6 出力停止要求の解除

出力停止要求は、以下の 3 つの方法のいずれかによって解除できます。

1. リセットによる解除（初期状態への復帰）
2. POEGGn レジスタ内のすべてのフラグをクリアすることによる解除
3. 検出信号の直接入力への応答による解除

(1) リセットによる解除

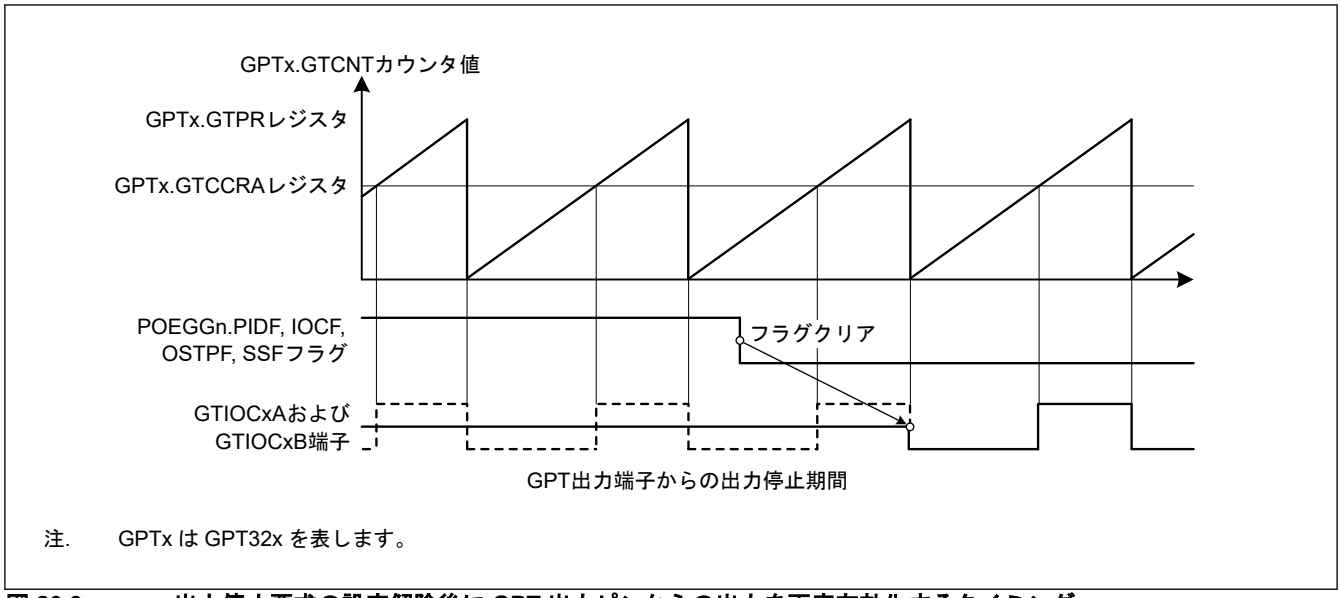
出力停止要求は、あらゆるタイプのリセットによって解除できます。詳細は、「5. リセット」を参照してください。

(2) POEGGn レジスタ内のすべてのフラグをクリアすることによる解除

- POEGGn.PIDF
- POEGGn.IOCF
- POEGGn.OSTPF
- POEGGn.SSF

要求の解除は GPT によるカウンティングのサイクル終了時に GPT に取り込まれ、その時点から 3 GTCLK サイクル以上経過した後に出力ピンが停止状態から解放されます。図 20.3 に、出力停止状態からの解放のタイミングを示します。それぞれのフラグをクリアするには、各ソースのステータスフラグを読み出してソース状態が検出されていないことを確認し、その後に 0 を書き込みます。検出状態でフラグがクリアされた場合でも、コンパレータによるエッジ検出以外のソースをクリアすることはできません。エッジ検出時にコンパレータがエッジを検出した後に、検出状態で 0 を書き込むとそのフラグがクリアされ、関連ソースが次のエッジを生成するまでフラグはセットされなくなります。それぞれのソースのステータスフラグを以下に示します。

入力レベルの検出	POEGGn.ST（GTETRGn 入力ステータスフラグ）
コンパレータのエッジ検出	ACMPHSn.CMPMON.CMPMON（コンパレータ出力モニタリングフラグ）
発振停止検出	OSTDSR.OSTDF（発振停止検出フラグ）
GPT からの停止検出	GPT32n.GTST.DTEF（デッドタイムエラーフラグ） GPT32n.GTST.OABLF（同時出力レベル Low フラグ） GPT32n.GTST.OABHF（同時出力レベル High フラグ）



注. GPTx は GPT32x を表します。

図 20.3 出力停止要求の設定解除後に GPT 出力ピンからの出力を再度有効化するタイミング

(3) 検出信号の直接入力への応答による解除

詳細は、「20.3.7. 検出信号に応答して出力を停止する要求と要求のキャンセル」を参照してください。

20.3.7 検出信号に応答して出力を停止する要求と要求のキャンセル

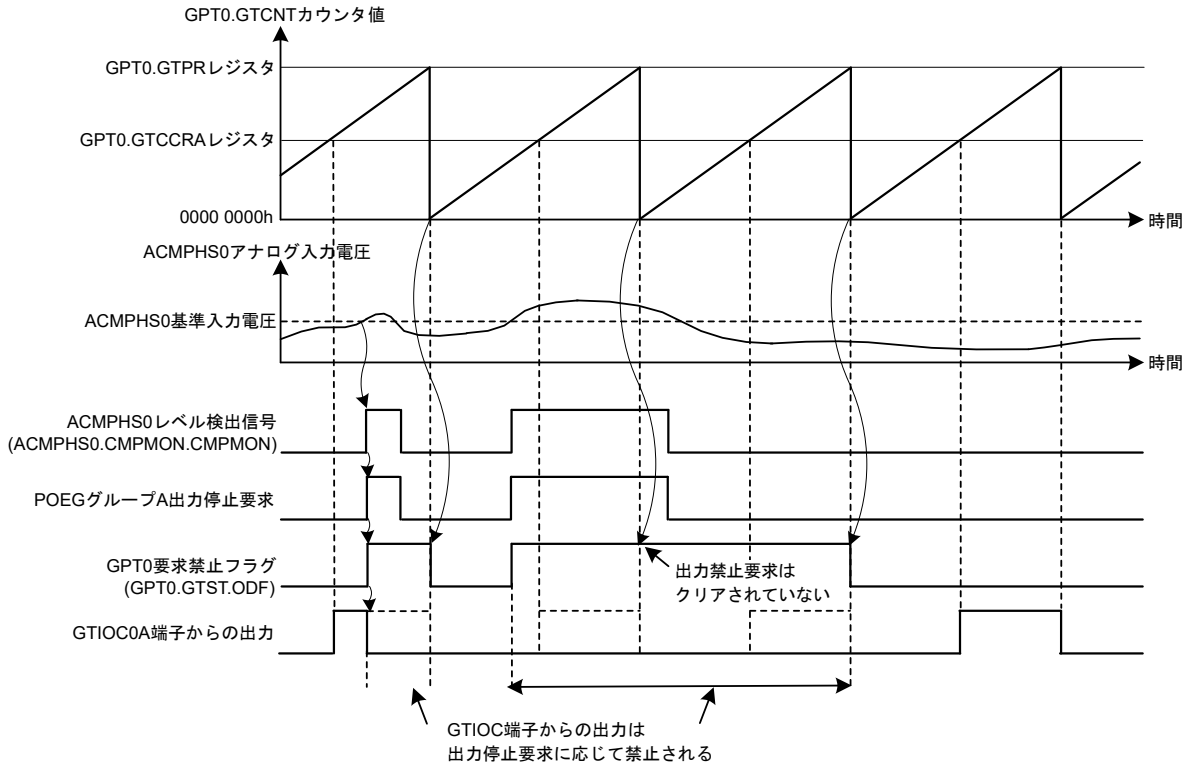
GTETRGn 端子（n = A～D）の入力レベル検出信号と、ACMPHSm（m = 0～3）のコンパレータレベル検出信号は、検出信号に応答して出力を停止する直接要求として使用できます。検出用の信号のソースは GTONCCRn.NFS[3:0]ビットで選択され、検出用の極性は GTONCCRn.NFV ビットに設定されます。出力を停止する直接要求を起動するよう GTONCCRn.NE ビットを設定すると、出力停止検出のための選択されたソース信号が生成されたとき、GPT への出力を停止する要求が発行されます。

出力を停止する要求は、GTETRGn 端子の入力レベル検出信号またはコンパレータレベル検出が、発行条件に一致しないときに解除されます。要求をキャンセルするには、POEGGn レジスタの PIDF フラグと IOCF フラグの値が 0 になっていることを確認します。

図 20.4 に、ACMPHS0 によるレベル検出に応答して発行される出力を停止する要求の動作を示します。この例では、ACMPHS0 のアナログ入力電圧が基準電圧より高くなったことをコンパレータが検出する一方、GPT はサイクルカウントベースで PWM 波形を GTIOC0A 端子に生成しており、コンパレータからのレベル検出信号は POEG に入力されている場合を示しています。POEG 出力は、上記のように検出に基づき出力を停止する要求を GPT に出力し、GPT はカウントサイクルの終了まで（出力を停止する要求がそれまでにキャンセルされた場合でも）停止したままになります。

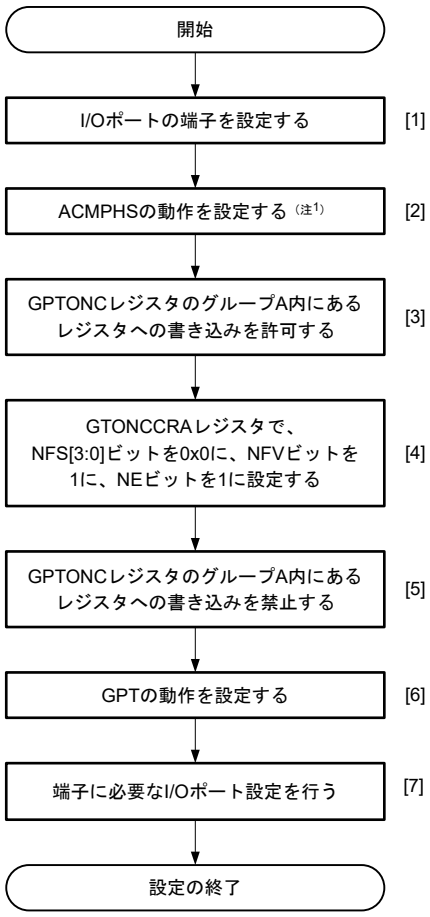
出力を停止する要求がカウントサイクルのサイクル終了時にキャンセルされていない場合、GPT からの出力は次のカウントサイクルの終了時まで停止し、その後も同様になります。

出力停止状態は、GPT の汎用 PWM タイマステータスレジスタ (GTST) の ODF フラグを読み出すことによってチェックできます。詳細は、「21.2.16. GTST : 汎用 PWM タイマステータスレジスタ」の ODF フラグの説明を参照してください。図 20.5 に、検出信号に応答して出力を停止する要求を設定するための手順を示します。



注. GPT0 は GPT320 を示します。

図 20.4 コンパレータによるレベル検出に応答して GTIOC 端子からの出力を停止する動作の例



[1] I/Oポートを設定します。
ACMPHS0アナログ入力端子機能やGPT出力端子機能を使用するために、I/Oポートの対応する端子を汎用入出力ポート端子に設定します。

[2] アナログ入力電圧と基準入力電圧の比較に応じてPOEGにレベル検出信号を出力するように、ACMPHS0の動作を設定します。

[3] GTONCWPAレジスタに0xA500を書き込み、GTONCCPRAレジスタへの書き込みを許可します。

[4] GTONCCRA.NFS[3:0]ビットを0x0にして、コンパレータのレベル検出を選択します。GTONCCRA.NFVビットを1にすることで、選択されたソースが1を示したときに出力停止要求が送信されるようになります。
GTONCCRA.NEビットを1にすることで、出力停止要求を許可します。

[5] GTONCWPAレジスタに0xA501を書き込み、GTONCCPRAレジスタへの書き込みを禁止します。

[6] GTIOCn端子にPWM波形が出力されるようにGPTを設定します。

[7] ACMPHS0アナログ入力端子とGPT出力端子を使用するために、I/Oポートを設定します。

以上の設定により、GPT端子からPWM波形が出力されているときに、アナログ入力電圧と基準入力電圧の比較に応じて出力停止要求を出力し、GPT端子からの出力を停止します。

注 1.　この例では、コンパレータ出力は非反転です。

図 20.5　コンパレータによるレベル検出に応答して GTIOC 端子の出力を停止する設定の例

20.4　割り込み要因

POEG は、以下のいずれかが検出されると、割り込みコントローラに割り込みを発生させます。

- 入力レベルの検出。POEGGn.PIDF フラグで示されます
- GPT からの出力停止の検出。POEGGn.IOCF フラグで示されます
- コンパレータによるエッジの検出。POEGGn.IOCF フラグで示されます

表 20.3 に、割り込み要因と条件を示します。

表 20.3　割り込み要因と条件 (1/2)

割り込み要因	シンボル	対応するフラグ	トリガ条件
POEG グループ A 割り込み	POEG_GROUPA	POEGGA.IOCF	GPT からの出力停止検出
			コンパレータによるエッジ検出
		POEGGA.PIDF	GTETRGA 端子からの入力レベル検出
POEG グループ B 割り込み	POEG_GROUPB	POEGGB.IOCF	GPT からの出力停止検出
			コンパレータによるエッジ検出
		POEGGB.PIDF	GTETRGB 端子からの入力レベル検出

表 20.3 割り込み要因と条件 (2/2)

割り込み要因	シンボル	対応するフラグ	トリガ条件
POEG グループ C 割り込み	POEG_GROUPC	POEGGC.IOCF	GPT からの出力停止検出
			コンパレータによるエッジ検出
		POEGGC.PIDF	GTETRGC 端子からの入力レベル検出
POEG グループ D 割り込み	POEG_GROUPD	POEGGD.IOCF	GPT からの出力停止検出
			コンパレータによるエッジ検出
		POEGGD.PIDF	GTETRGD 端子からの入力レベル検出

20.5 GPT に対する外部トリガ出力

GTETRGD 端子からの入力レベル検出は、極性選択とデジタルノイズフィルタを介して POEGGn.ST フラグによって監視できます。GPT は外部トリガ信号に応答して以下のように機能できます。

- カウント開始
- カウント停止
- カウンタクリア
- アップカウント
- ダウンカウント
- インプットキャプチャ

上記の機能の詳細については、「21. 汎用 PWM タイマ (GPT)」を参照してください。

20.6 使用上の注意事項

20.6.1 低消費電力モードへの遷移

POEG を使用する場合は、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに遷移させないでください。このモードでは、POEG が停止しているため出力の停止を要求できません。

20.6.2 モジュールを停止するための機能の設定

モジュールストップコントロールレジスタによって、POEG の動作を許可または禁止できます。リセット後、POEG の動作はただちに停止します。モジュールストップ状態を解除することにより、POEG のレジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

20.6.3 出力停止要求の 2 重化

POEGGn レジスタの PIDF フラグまたは IOCF フラグが 1 の間は、GTONCCRn レジスタに設定された検出信号による停止要求の解除は機能しません。これは、このフラグの値のために引き続き停止要求が出力されるためです。つまり、対応フラグの検出に対する応答が出力停止に設定されている場合、出力停止要求は解除されません。フラグ設定に従って出力を停止するための要求信号は、出力を停止するための対応検出信号の論理 OR として得られます。

21. 汎用 PWM タイマ (GPT)

21.1 概要

汎用 PWM タイマ (GPT) は、GPT32 ×10 チャネルの 32 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーター制御用の PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。

GPT は、チャネル 0～3 に対する高精度 PWM 波形生成機能、A/D 変換開始要求機能、非対称自動デッドタイム設定機能、拡張割り込みスキップ機能を提供します。さらに、チャネル 0～3 に対する外部パルス幅測定機能、チャネル 4～9 に対する追加 PWM モード、拡張バッファ転送機能、GTCPPO 端子出力機能、チャネル間連携機能を提供します。

表 21.1 に GPT の仕様を、表 21.2 に GPT の機能一覧を示します。また、図 21.1 に GPT のブロック図を示します。

表 21.1 GPT の仕様

Item	内容
機能	• 32 ビット × 10 チャネル（GPT32n（n = 0～9）） • 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、またはアップダウンカウント（三角波）を選択可能 • チャネルごとに独立したクロックソースを選択可能 • チャネルごとに 2 本の入出力端子 • チャネルごとにアウトプットコンペア／インプットキャプチャ用レジスタが 2 本 • 各チャネル 2 本のアウトプットコンペア／インプットキャプチャレジスタに対し、4 本のバッファレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山／谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成 • チャネルごとにフレーム周期設定用レジスタを搭載（オーバーフロー／アンダーフローで割り込み可能） • PWM 動作の際にデッドタイム生成が可能 • デューティー 0%/100%の PWM 波形近傍の高精度デューティー生成 • アウトプットコンペア動作では、コンペアレジスタの設定がただちにデッドタイム付き PWM 波形の生成に使用されます。 • 任意チャネルのカウンタの同期スタート／ストップ／クリア可能 • 最大 8 つの ELC イベントによるカウントスタート／ストップ／クリア／アップカウント／ダウンカウント／インプットキャプチャ動作が可能 • 2 本の入力端子の状態を検出し、カウントスタート／ストップ／クリア／アップカウント／ダウンカウント／インプットキャプチャ動作が可能 • 最大 4 本の外部トリガにより、カウントスタート／ストップ／クリア／アップカウント／ダウンカウント／インプットキャプチャ動作が可能 • 出力端子間の短絡検出およびデッドタイムエラーによる出力端子無効機能 • A/D 変換開始要求生成機能 • ブラシレス DC モーター制御用の PWM 波形生成が可能 • コンペアマッチ A～F イベント、オーバーフローイベント／アンダーフローイベントおよび入力 UVW エッジイベントを ELC に出力可能 • インプットキャプチャおよび入力 UVW 用のノイズフィルタが有効 • 周期計数機能 • 外部パルス幅測定機能 • チャネル出力間の論理演算 • 同期カウンタクリア／カウンタ設定／チャネル間インプットキャプチャ • バスクロック：PCLKA、コアクロック：GTCLK(注1) • 周波数比：PCLKA:PCLKD = 1:N (N = 1/2/4/8/16/32/64)（同期クロック使用時）、PCLKA ≦ GTCLK（非同期クロック使用時）

注 1. GPT コアクロック (GTCLK) は、同期クロック選択時は PCLKD、非同期クロック選択時は GPTCLK です。図 21.3 を参照してください。

表 21.2 GPT の機能一覧 (1/2)

項目		内容
カウントクロック		GTCLK GTCLK/2 GTCLK/4 GTCLK/8 GTCLK/16 GTCLK/32 GTCLK/64 GTCLK/128 GTCLK/256 GTCLK/512 GTCLK/1024 GTETRGA、GTETRGB、GTETRGC、GTETRGD
アウトプットコンペア／インプットキャプチャレジスタ (GTCCR)		GTCCRA GTCCRB
コンペア／バッファレジスタ		GTCCRC GTCCRD GTCCRE GTCCRF
周期設定レジスタ		GTPR
周期設定バッファレジスタ		GTPBR GTPDBR
入出力端子		GTIOCnA GTIOCnB (n = 0～9)
外部トリガ入力端子(注1)		GTETRGA GTETRGB GTETRGC GTETRGD
カウンタクリア要因		GTPR レジスタコンペアマッチ インプットキャプチャ 入力端子の状態 ELC イベント入力 GTETRGn (n = A～D) 端子入力 GTCCR レジスタコンペアマッチ 他のチャネルのカウンタクリア要因
周期計数機能		可能（GPT32n (n = 0～3)）
コンペアマッチ出力	Low 出力	使用可能
	High 出力	使用可能
	トグル出力	使用可能
インプットキャプチャ機能		使用可能
デッドタイム自動付加機能		使用可能
PWM モード		使用可能
高精度 PWM 波形		可能（GPT32n (n = 0～3)）
位相計数機能		可能（GPT32n（n = 0～3））
外部パルス幅測定機能		可能（GPT32n（n = 0～3））
バッファ動作		ダブルバッファ 複数チャネルへの同時動作無効制御 カウンタクリア／コンペアマッチによるバッファ動作
ワンショット動作		使用可能
DMAC/DTC の起動		すべての割り込み要因
A/D 変換開始要求		GTADTRA レジスタまたは GTADTRB レジスタのコンペアマッチ
ブラシレス DC モーター制御機能		使用可能

表 21.2 GPT の機能一覧 (2/2)

項目	内容
割り込み要因	11 要因 ● GTCCRA コンペアマッチ／入力キャプチャ (GPTn_CCMPA) ● GTCCRB コンペアマッチ／入力キャプチャ (GPTn_CCMPB) ● GTCCRC コンペアマッチ (GPTn_CMPC) ● GTCCRD コンペアマッチ (GPTn_CMPD) ● GTCCRE コンペアマッチ (GPTn_CMPE) ● GTCCRF コンペアマッチ (GPTn_CMPF) ● GTADTRA コンペアマッチ (GPTn_ADTRGA) ● GTADTRB コンペアマッチ (GPTn_ADTRGB) ● GTCNT オーバーフロー（GTPR コンペアマッチ）(GPTn_OVF) ● GTCNT アンダーフロー (GPTn_UDF) ● GTPC カウント停止 (GPTx_PC)（x = 0～3）
割り込みスキップ機能	● GTCNT カウンタオーバーフロー (GTPR レジスタコンペアマッチ) (GTPn_OVF) および GTCNT カウンタアンダーフロー (GTPn_UDF) の割り込みスキップ（他の割り込みと A/D 変換開始要求のインターロック） ● GTADTRA レジスタ、GTADTRB レジスタのコンペアマッチのスキップ (GPT32y (y = 4～9)) ● バッファ動作スキップ機能
イベントリンク (ELC) 機能	使用可能(注2)
ノイズフィルタ機能	使用可能
チャネル出力間の論理演算	使用可能
同期カウンタクリア／カウンタ設定／インプットキャプチャ	使用可能

注 1. GTETRGn は、POEG モジュールを経由して GPT に接続します。そのため、GPT 機能を使用するには、MSTPCRD.MSTPDn（n = 11～14）ビットをクリアして POEG にクロックを供給する必要があります。
注 2. 「21.6. ELC によるリンク動作」を参照してください。

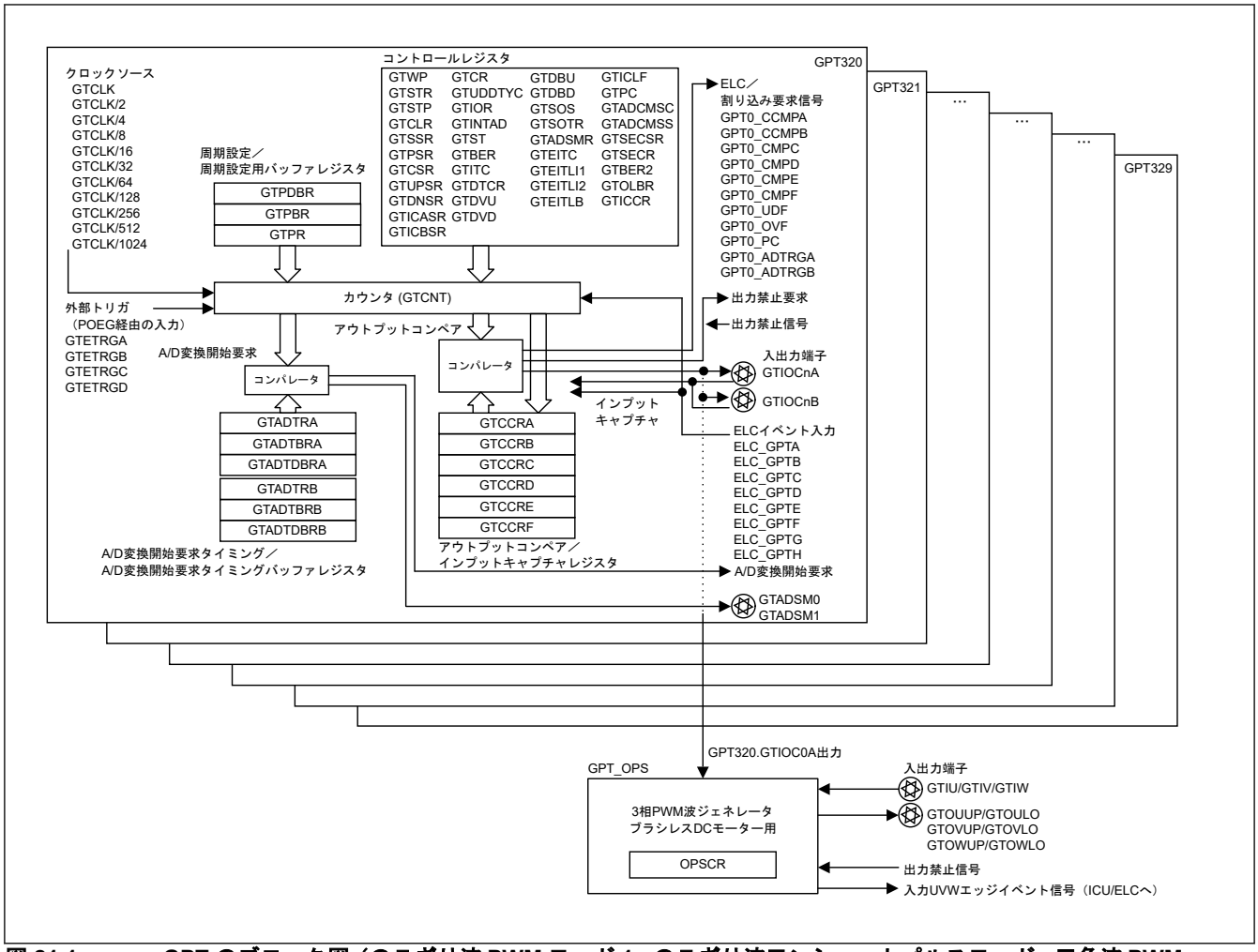


図 21.1 GPT のブロック図（のこぎり波 PWM モード 1、のこぎり波ワンショットパルスモード、三角波 PWM モード 1、2、3）

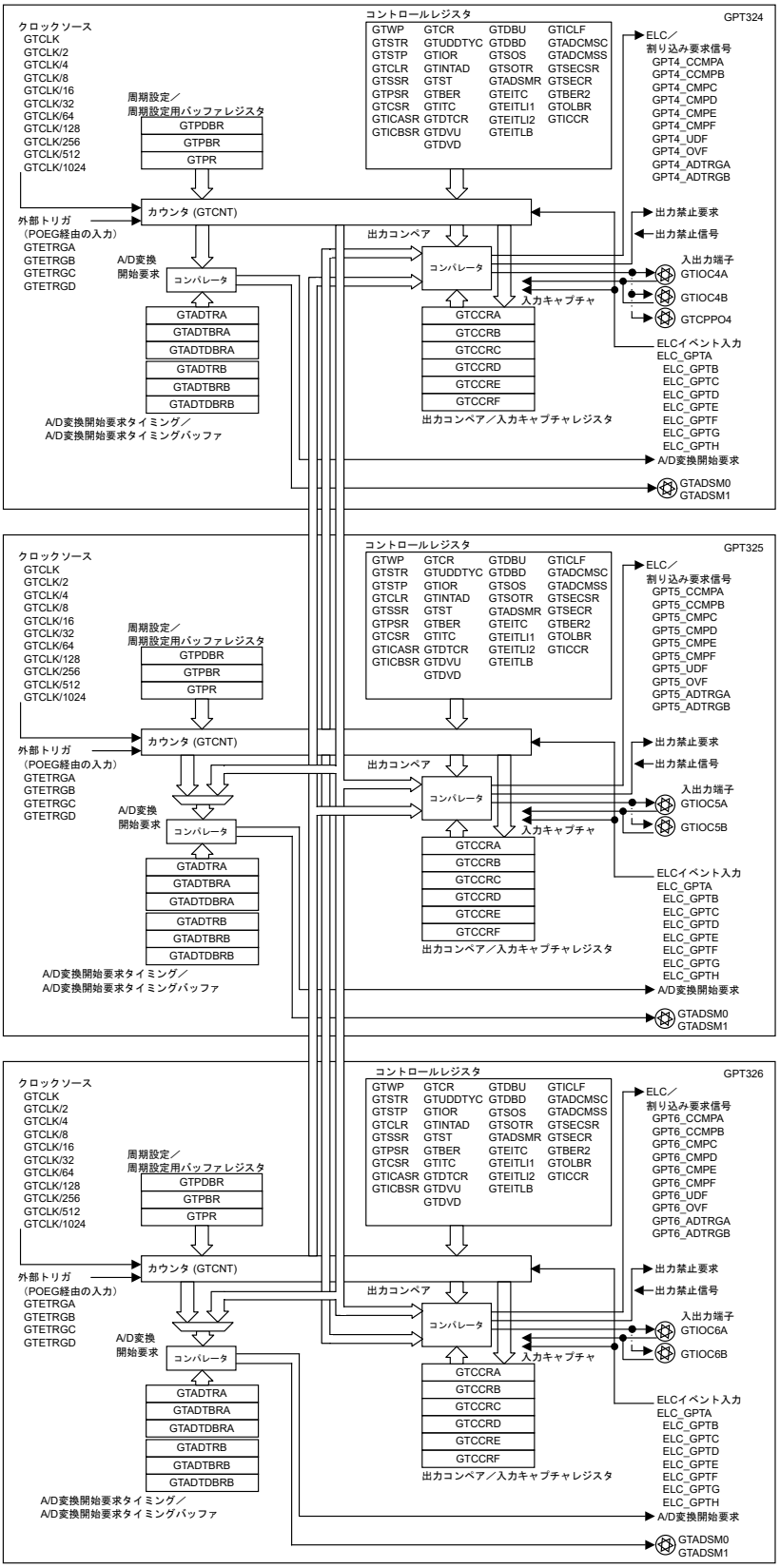


図 21.2　GPT のブロック図（のこぎり波 PWM モード 1、2、のこぎり波ワンショットパルスモード、三角波 PWM モード 1、2、3、相補 PWM モード 1、2、3、4 の場合）

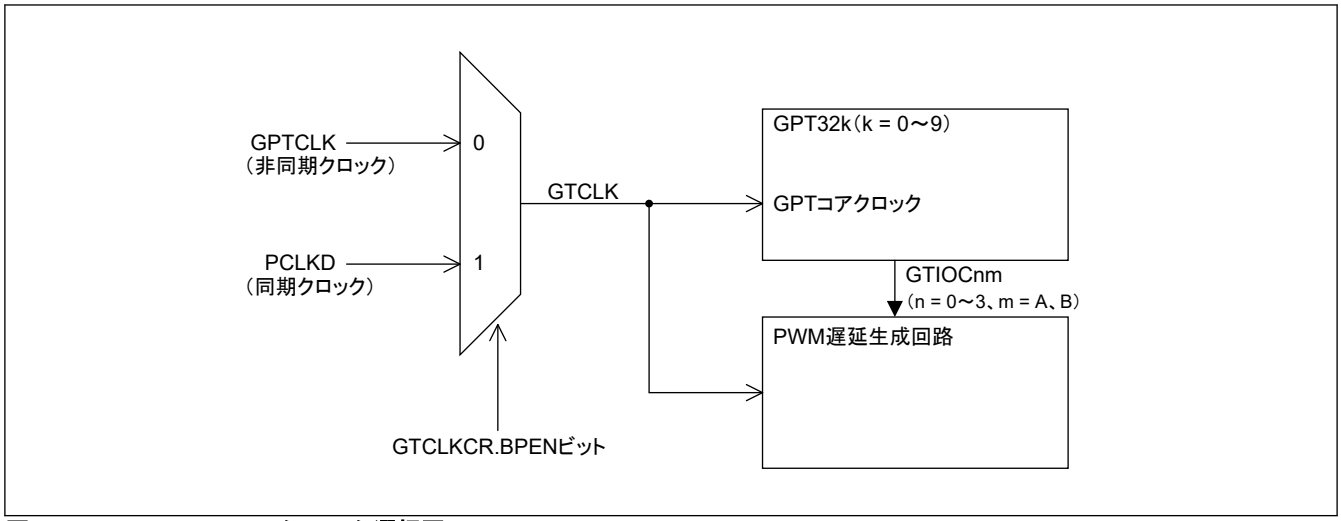


図 21.3　GPT コアクロック選択図

本仕様では、相補 PWM モードを構成する 3 つの連続したチャネルが相補 PWM モードチャネルグループとして定義されます。相補 PWM モードチャネルグループで最低位のチャネルは、マスタチャネルとして定義されます。2 番目のチャネルはスレーブチャネル 1 として定義されます。最高位のチャネルはスレーブチャネル 2 として定義されます。

図 21.4 にチャネルとモジュール名の関係を示します。

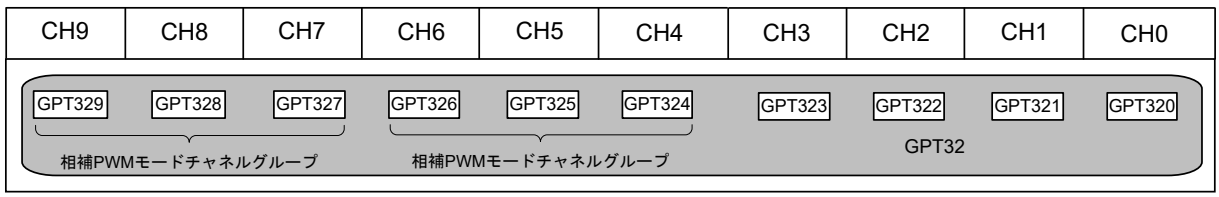


図 21.4　GPT チャネルとモジュール名の関係

表 21.3 に入出力端子の一覧を示します。

表 21.3　GPT の入出力端子 (1/2)

チャネル	端子名	入出力	機能
共通	GTETRGx	入力	外部トリガ入力端子 x（POEG 経由の入力）
	GTADSM0	出力	A/D 変換開始要求監視 0 出力端子
	GTADSM1	出力	A/D 変換開始要求監視 1 出力端子
GPT32n	GTIOCnA	入出力	GTCCRA レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子
	GTIOCnB	入出力	GTCCRB レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子
	GTCPPOk	出力	PWM 同期トグル出力
GPT_OPS	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 U 相）
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 U 相）
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 V 相）
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 V 相）

表 21.3 GPT の入出力端子 (2/2)

チャネル	端子名	入出力	機能
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 W 相）
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 W 相）

注. x: A～D
n: 0～9
k: 0～4、7

21.2 レジスタの説明

21.2.1 GTWP : 汎用 PWM タイマ書き込み保護レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								—	—	—	CMNWP	CLRWP	STPWP	STRWP	WP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WP	レジスタ書き込み禁止 0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
1	STRWP	GTSTR.CSTRT ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
2	STPWP	GTSTP.CSTOP ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
3	CLRWP	GTCLR.CCLR ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
4	CMNWP	共通レジスタ書き込み禁止 0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	GTWP キーコード これらのビットに 0xA5 を書き込むと、WP、STRWP、STPWP、CLRWP、CMNWP ビットへの書き込みが許可されます。読むと 0 が読めます。	W
31:16	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可または禁止するレジスタです。GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

WP ビット（レジスタ書き込み禁止）

書き込みが許可または禁止されるレジスタは以下のとおりです。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTITC, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTPDBR,

GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTDVD, GTDBU, GTDBD, GTSOS, GTSOTR, GTADSMR, GTEITC, GTEITLI1, GTEITLI2, GTEITLB, GTICLF, GTPC, GTADCMSC, GTADCMSS, GTBER2, GTOLBR, GTICCR.

STRWP ビット（GTSTR.CSTRT ビット書き込み禁止）

STRWP ビットは、GTSTR レジスタのチャネル番号に対応する CSTRTn ビット（n = 0～9）に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSTR レジスタの各 CSTRTn ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTSTR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの STRWP ビットは書き込みを制御するのではなく、すべてのチャネルで同時に行われる書き込みに対して、そのチャネルに対応する CSTRT ビットの更新のみを制御します。

したがって、STRWP ビットが 1（書き込み禁止）に設定されたチャネルの CSTRT ビットへの書込みの場合、そのチャネルの CSTRT ビットは更新されませんが、STRWP ビットが 0（書き込み許可）に設定されているチャネルに対応する CSTRT ビットは更新されます。例えば、GPT320.GTWP.STRWP ビットが 0（書き込み許可）であるとき、GPT321.GTSTR.CSTRT0 ビットが 0 であるときこれに 1 を書き込むと、値が更新され、GPT320.GTCNT カウンタがカウント開始します。GPT320.GTWP.STRWP ビットが 1（書き込み禁止）であるとき、GPT321.GTSTR.CSTRT0 ビットが 0 であるときこれに 1 を書き込んでもこの値は 0 のままとなり、GPT320.GTCNT カウンタは動作しません。

GTSTR レジスタの全ビットの更新を保護したい場合は、全チャネルの STRWP ビットを 1 に設定してください。

STPWP ビット（GTSTP.CSTOP ビット書き込み禁止）

STPWP ビットは、 GTSTP レジスタのチャネル番号に対応する CSTOPn ビット（n = 0～9）に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSTP レジスタの各 CSTOPn ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTSTP レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの STPWP ビットは書き込みを制御するのではなく、すべてのチャネルで同時に行われる書き込みに対して、そのチャネルに対応する CSTOP ビットの更新のみを制御します。

したがって、STPWP ビットが 1（書き込み禁止）に設定されたチャネルの CSTOP ビットへの書込みの場合、そのチャネルの CSTOP ビットは更新されませんが、STPWP ビットが 0（書き込み許可）に設定されているチャネルに対応する CSTOP ビットは更新されます。例えば、GPT320.GTWP.STPWP ビットが 0（書き込み許可）であるとき、GPT321.GTSTP.CSTOP0 ビットが 0 であるときこれに 1 を書き込むと、値が更新され、GPT320.GTCNT カウンタがカウント停止します。GPT320.GTWP.STPWP ビットが 1（書き込み禁止）であるとき、GPT321.GTSTP.CSTOP0 ビットが 0 であるときこれに 1 を書き込んでもこの値は 0 のままとなり、GPT320.GTCNT カウンタはカウントを停止しません。

GTSTP レジスタの全ビットの更新を保護したい場合は、全チャネルの STPWP ビットを 1 に設定してください。

CLRWP ビット（GTCLR.CCLR ビット書き込み禁止）

CLRWP ビットは、 GTCLR レジスタのチャネル番号に対応する CCLRn ビット（n = 0～9）に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTCLR レジスタの各 CCLRn ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTCLR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの CLRWP ビットは書き込みを制御するのではなく、すべてのチャネルで同時に行われる書き込みに対して、そのチャネルに対応する CCLR ビットの更新のみを制御します。

したがって、CLRWP ビットが 1（書き込み禁止）に設定されたチャネルの CCLR ビットへの書込みの場合、そのチャネルの CCLR ビットは更新されませんが、CLRWP ビットが 0（書き込み許可）に設定されているチャネルに対応する CCLR ビットは更新されます。例えば、GPT320.GTWP.CLRWP ビットが 0（書き込み許可）であるとき、GPT321.GTCLR.CCLR0 ビットが 0 であるときこれに 1 を書き込むと、値が更新され、GPT320.GTCNT カウンタがクリアされます。GPT320.GTWP.CLRWP ビットが 1（書き込み禁止）であるとき、GPT321.GTCLR.CCLR0 ビットが 0 であるときこれに 1 を書き込んでもこの値は 0 のままとなり、GPT320.GTCNT カウンタはクリアされません。

GTCLR レジスタの全ビットの更新を保護したい場合は、全チャネルの CLRWP ビットを 1 に設定してください。

CMNWP ビット（共通レジスタ書き込み禁止）

CMNWP ビットは、GTSECSR レジスタまたは GTSECR レジスタのチャネル番号に対応する SECSELn ビット（n = 0～9）に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSECSR レジスタの各 SECSEL ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTSECSR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。任意のチャネルの GTSECR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの CMNWP ビットは書き込みを制御するのではなく、すべてのチャネルで同時に行われる書き込みに対して、そのチャネルに対応する SECSEL ビットおよび GTSECR レジスタ値の更新のみを制御します。

このように、CMNWP ビットが 1（書き込み禁止）に設定されたチャネルの SECSEL ビットと GTSECR レジスタ値への書込みの場合、そのチャネルの SECSEL ビットと GTSECR レジスタ値は更新されませんが、CMNWP ビットが 0（書き込み許可）に設定されているチャネルに対応する SECSEL ビットと GTSECR レジスタ値は更新されます。

例えば、GPT320.GTWP.CMNWP ビットが 0（書き込み許可）であるとき、GPT321.GTSECSR.SECSEL0 ビットに値を書き込むと、GPT320.GTSECSR.SECSEL0 ビットの値が更新されます。同様に、GPT321.GTSECR レジスタへの書き込みをすると、GPT320.GTSECR レジスタの値を更新します。 GPT320.GTWP.CMNWP ビットが 1（書き込み禁止）であるとき、GPT321.GTSECSR.SECSEL0 ビットに値を書き込んでも GPT320.GTSECSR.SECSEL0 ビットの値は更新されません。同様に、GPT321.GTSECR レジスタに値を書き込んでも、GPT320.GTSECR レジスタの値は更新されません。

GTSECSR レジスタと GTSECR レジスタの全ビットの更新を保護したい場合は、全チャネルの CMNWP ビットを 1 に設定してください。

PRKEY[7:0]ビット（GTWP キーコード）

PRKEY[7:0]ビットは WP、STRWP、STPWP、CLRWP および CMNWP ビットへの書き込みを制御します。

21.2.2 GTSTR : 汎用 PWM タイマソフトウェアスタートレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x04

Bit position:	31																												0
Bit field:	CSTRT31～CSTRT0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CSTRT0～ CSTRT31(注1)	チャネル n GTCNT カウントスタート（n：ビット位置の値と同一） 0: GTCNT カウンタ動作を開始しない 1: GTCNT カウンタ動作を開始する	R/W

注 1. 使用可能なビットは製品により変わります。CSTRTn の n は GPT のチャネル番号と同一です。本製品では、n は 0～9 です。

GTSTR レジスタは、各チャネル n（n = 0～9）の GTCNT カウンタ動作を開始します。

GTSTR レジスタのビット番号はチャネル番号に相当します。GTSTR レジスタは各チャネル共通です。1 が書き込まれた GTSTR レジスタのビット番号に対応するチャネルの GTCNT カウンタが動作を開始します。 0 を書き込んでも、GTCNT カウンタの状態と GTSTR レジスタの値には影響しません。

相補 PWM モードでは、マスタチャネルの CSTRTn ビットへの書き込みのみ有効です。スレーブチャネルのビットがマスタチャネルのビット値を反映します。

モジュール名とチャネル番号の関係については、図 21.4 を参照してください。

CSTRTn ビット（チャネル n GTCNT カウントスタート（n = 0～9））

CSTRTn ビットはチャネル n の GTCNT カウンタ動作を開始します。GTSSR.CSTRT ビットを 1 にしないかぎり、GTSTR.CSTRTn ビットへの書き込みは無効です（n = 0～9）。

リードデータは各チャネルのカウンタ状態（GTCR.CST ビット値）を示します。0 はカウンタ停止中を、1 はカウンタ動作中を意味します。

21.2.3 GTSTP : 汎用 PWM タイマソフトウェアストップレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x08

Bit position:	31																												0
Bit field:	CSTOP31～CSTOP0																												
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	CSTOP0～ CSTOP31(注1)	チャネル n GTCNT カウントストップ（n：ビット位置の値と同一） 0: GTCNT カウンタ動作を停止しない 1: GTCNT カウンタ動作を停止する	R/W

注 1. 使用可能なビットは製品により変わります。CSTOPn の n は GPT のチャネル番号と同一です。本製品では、n は 0～9 です。

GTSTP レジスタは、各チャネル n（n = 0～9）の GTCNT カウンタ動作を停止します。

GTSTP レジスタのビット番号はチャネル番号に相当します。GTSTP レジスタは各チャネル共通です。 1 が書き込まれた GTSTP レジスタのビット番号に対応するチャネルの GTCNT カウンタが停止します。0 を書き込んでも、GTCNT カウンタの状態と GTSTP レジスタの値には影響しません。

相補 PWM モードでは、マスタチャネルの CSTOPn ビットへの書き込みのみ有効です。スレーブチャネルのビットがマスタチャネルのビット値を反映します。

モジュール名とチャネル番号の関係については、図 21.4 を参照してください。

CSTOPn ビット（チャネル n GTCNT カウントストップ（n = 0～9））

CSTOPn ビットはチャネル n の GTCNT カウンタ動作を停止します。GTPSR.CSTOP ビットを 1 にしないかぎり、GTSTP.CSTOPn ビット（n = 0～9）への書き込みは無効です。リードデータは各チャネルのカウンタ状態（GTCR.CST ビットの反転値）を示します。0 はカウンタ動作中を、1 はカウンタ停止中を意味します。

21.2.4 GTCLR : 汎用 PWM タイマソフトウェアクリアレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x0C

Bit position:	31																												0
Bit field:	CCLR31～CCLR0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CCLR0～ CCLR31(注1)	チャネル n GTCNT カウントクリア（n：ビット値と同一） 0: GTCNT カウンタ値がクリアされない 1: GTCNT カウンタ値がクリアされる	W

注 1. 使用可能なビットは製品により変わります。CCLRn の n は GPT のチャネル番号と同一です。本製品では、n は 0～9 です。

GTCLR レジスタは書き込み専用レジスタで、各チャネル n（n = 0～9）の GTCNT カウンタをクリアします。

GTCLR レジスタのビット番号はチャネル番号に相当します。GTCLR レジスタは各チャネル共通です。1 が書き込まれた GTCLR レジスタのビット番号に対応するチャネルの GTCNT カウンタがクリアされます。 0 を書き込んでも GTCNT カウンタ値の状態には影響しません。

相補 PWM モードでは、マスタチャネルの CCLRn ビットへの書き込みのみ有効です。スレーブチャネルのビットがマスタチャネルのビット値を反映します。

モジュール名とチャネル番号の関係については、図 21.4 を参照してください。

CCLRn ビット（チャネル n GTCNT カウントクリア（n = 0～9））

GTCR.MD[2:0]ビットで選択されたのこぎり波モードでカウント方向フラグがデクリメント (GTST.TUCF = 0) に設定される場合、GTCNT カウンタ値は CCLRn ビットへの 1 書き込みに対応する GTPR レジスタの値になります。カウンタ値は他の設定で 0x00000000 になります。読むと 0 が読めます。

21.2.5 GTSSR : 汎用 PWM タイマスタート要因選択レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CSTRT	—	—	—	—	—	—	—	SSELCH	SSELCG	SSELCF	SSELCE	SSELCD	SSELCC	SSELCB	SSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SSCBFAH	SSCBFAL	SSCBRAH	SSCBRAL	SSCAFBH	SSCAFBL	SSCARBH	SSCARBL	SSGTRGDF	SSGTRGDR	SSGTRGCF	SSGTRGCR	SSGTRGBF	SSGTRGBR	SSGTRGAF	SSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SSGTRGAR	GTETRGA 立ち上がり要因カウントスタート許可 0: GTETRGA 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGA 入力の立ち上がりによるカウントスタートを許可	R/W(注1)
1	SSGTRGAF	GTETRGA 立ち下がり要因カウントスタート許可 0: GTETRGA 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGA 入力の立ち下がりによるカウントスタートを許可	R/W(注1)
2	SSGTRGBR	GTETRGB 立ち上がり要因カウントスタート許可 0: GTETRGB 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGB 入力の立ち上がりによるカウントスタートを許可	R/W(注1)
3	SSGTRGBF	GTETRGB 立ち下がり要因カウントスタート許可 0: GTETRGB 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGB 入力の立ち下がりによるカウントスタートを許可	R/W(注1)
4	SSGTRGCR	GTETRGC 立ち上がり要因カウントスタート許可 0: GTETRGC 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGC 入力の立ち上がりによるカウントスタートを許可	R/W(注1)
5	SSGTRGCF	GTETRGC 立ち下がり要因カウントスタート許可 0: GTETRGC 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGC 入力の立ち下がりによるカウントスタートを許可	R/W(注1)
6	SSGTRGDR	GTETRGD 立ち上がり要因カウントスタート許可 0: GTETRGD 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGD 入力の立ち上がりによるカウントスタートを許可	R/W(注1)
7	SSGTRGDF	GTETRGD 立ち下がり要因カウントスタート許可 0: GTETRGD 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGD 入力の立ち下がりによるカウントスタートを許可	R/W(注1)
8	SSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを許可	R/W
9	SSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを許可	R/W

ビット	シンボル	機能	R/W
10	SSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを許可	R/W
11	SSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを許可	R/W
12	SSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを許可	R/W
13	SSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを許可	R/W
14	SSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを許可	R/W
15	SSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを許可	R/W
16	SSELCA	ELC_GPTA イベント要因カウントスタート許可 0: ELC_GPTA イベント入力によるカウントスタートを禁止 1: ELC_GPTA イベント入力によるカウントスタートを許可	R/W(注1)
17	SSELCB	ELC_GPTB イベント要因カウントスタート許可 0: ELC_GPTB イベント入力によるカウントスタートを禁止 1: ELC_GPTB イベント入力によるカウントスタートを許可	R/W(注1)
18	SSELCC	ELC_GPTC イベント要因カウントスタート許可 0: ELC_GPTC イベント入力によるカウントスタートを禁止 1: ELC_GPTC イベント入力によるカウントスタートを許可	R/W(注1)
19	SSELCD	ELC_GPTD イベント要因カウントスタート許可 0: ELC_GPTD イベント入力によるカウントスタートを禁止 1: ELC_GPTD イベント入力によるカウントスタートを許可	R/W(注1)
20	SSELCE	ELC_GPTE イベント要因カウントスタート許可 0: ELC_GPTE イベント入力によるカウントスタートを禁止 1: ELC_GPTE イベント入力によるカウントスタートを許可	R/W(注1)
21	SSELCF	ELC_GPTF イベント要因カウントスタート許可 0: ELC_GPTF イベント入力によるカウントスタートを禁止 1: ELC_GPTF イベント入力によるカウントスタートを許可	R/W(注1)
22	SSELCG	ELC_GPTG イベント要因カウントスタート許可 0: ELC_GPTG イベント入力によるカウントスタートを禁止 1: ELC_GPTG イベント入力によるカウントスタートを許可	R/W(注1)
23	SSELCH	ELC_GPTH イベント要因カウントスタート許可 0: ELC_GPTH イベント入力によるカウントスタートを禁止 1: ELC_GPTH イベント入力によるカウントスタートを許可	R/W(注1)
30:24	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
31	CSTRT	ソフトウェア要因カウントスタート許可 0: GTSTR レジスタによるカウントスタートを禁止 1: GTSTR レジスタによるカウントスタートを許可	R/W(注1)

注 1. 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。

GTSSR レジスタは、GTCNT カウンタのカウントスタートの要因を設定するレジスタです。

GTETRGn（n = A～D）端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

SSGTRGAR ビット（GTETRGA 立ち上がり要因カウントスタート許可）

SSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGAF ビット（GTETRGA 立ち下がり要因カウントスタート許可）

SSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGBR ビット（GTETRGB 立ち上がり要因カウントスタート許可）

SSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGBF ビット（GTETRGB 立ち下がり要因カウントスタート許可）

SSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGCR ビット（GTETRGC 立ち上がり要因カウントスタート許可）

SSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGCF ビット（GTETRGC 立ち下がり要因カウントスタート許可）

SSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGDR ビット（GTETRGD 立ち上がり要因カウントスタート許可）

SSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGDF ビット（GTETRGD 立ち下がり要因カウントスタート許可）

SSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可）

SSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可）

SSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可）

SSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可）

SSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可）

SSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可）

SSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可）

SSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可）

SSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSELCm ビット（ELC_GPTm イベント要因カウントスタート許可）（m = A～H）

SSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウントスタートの許可／禁止を選択します。

CSTRT ビット（ソフトウェア要因カウントスタート許可）

CSTRT ビットは GTSTR レジスタによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

21.2.6 GTPSR : 汎用 PWM タイマストップ要因選択レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CSTOP	—	—	—	—	—	—	—	PSELCH	PSELCG	PSELCF	PSELCE	PSELCD	PSELCC	PSELCB	PSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PSCBFAH	PSCBFAL	PSCBRAH	PSCBRAL	PSCAFBH	PSCAFBL	PSCARBH	PSCARBL	PSGTRGDF	PSGTRGDR	PSGTRGCF	PSGTRGCR	PSGTRGBF	PSGTRGBR	PSGTRGAF	PSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PSGTRGAR	GTETRGA 立ち上がり要因カウントストップ許可 0: GTETRGA 入力の立ち上がりによるカウントストップを禁止 1: GTETRGA 入力の立ち上がりによるカウントストップを許可	R/W(注1)
1	PSGTRGAF	GTETRGA 立ち下がり要因カウントストップ許可 0: GTETRGA 入力の立ち下がりによるカウントストップを禁止 1: GTETRGA 入力の立ち下がりによるカウントストップを許可	R/W(注1)

ビット	シンボル	機能	R/W
2	PSGTRGBR	GTETRGB 立ち上がり要因カウントストップ許可 0: GTETRGB 入力の立ち上がりによるカウントストップを禁止 1: GTETRGB 入力の立ち上がりによるカウントストップを許可	R/W(注1)
3	PSGTRGBF	GTETRGB 立ち下がり要因カウントストップ許可 0: GTETRGB 入力の立ち下がりによるカウントストップを禁止 1: GTETRGB 入力の立ち下がりによるカウントストップを許可	R/W(注1)
4	PSGTRGCR	GTETRGC 立ち上がり要因カウントストップ許可 0: GTETRGC 入力の立ち上がりによるカウントストップを禁止 1: GTETRGC 入力の立ち上がりによるカウントストップを許可	R/W(注1)
5	PSGTRGCF	GTETRGC 立ち下がり要因カウントストップ許可 0: GTETRGC 入力の立ち下がりによるカウントストップを禁止 1: GTETRGC 入力の立ち下がりによるカウントストップを許可	R/W(注1)
6	PSGTRGDR	GTETRGD 立ち上がり要因カウントストップ許可 0: GTETRGD 入力の立ち上がりによるカウントストップを禁止 1: GTETRGD 入力の立ち上がりによるカウントストップを許可	R/W(注1)
7	PSGTRGDF	GTETRGD 立ち下がり要因カウントストップ許可 0: GTETRGD 入力の立ち下がりによるカウントストップを禁止 1: GTETRGD 入力の立ち下がりによるカウントストップを許可	R/W(注1)
8	PSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを許可	R/W
9	PSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを許可	R/W
10	PSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを許可	R/W
11	PSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを許可	R/W
12	PSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを許可	R/W
13	PSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを許可	R/W
14	PSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを許可	R/W
15	PSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを許可	R/W

ビット	シンボル	機能	R/W
16	PSELCA	ELC_GPTA イベント要因カウントストップ許可 0: ELC_GPTA イベント入力によるカウントストップを禁止 1: ELC_GPTA イベント入力によるカウントストップを許可	R/W(注1)
17	PSELCB	ELC_GPTB イベント要因カウントストップ許可 0: ELC_GPTB イベント入力によるカウントストップを禁止 1: ELC_GPTB イベント入力によるカウントストップを許可	R/W(注1)
18	PSELCC	ELC_GPTC イベント要因カウントストップ許可 0: ELC_GPTC イベント入力によるカウントストップを禁止 1: ELC_GPTC イベント入力によるカウントストップを許可	R/W(注1)
19	PSELCD	ELC_GPTD イベント要因カウントストップ許可 0: ELC_GPTD イベント入力によるカウントストップを禁止 1: ELC_GPTD イベント入力によるカウントストップを許可	R/W(注1)
20	PSELCE	ELC_GPTE イベント要因カウントストップ許可 0: ELC_GPTE イベント入力によるカウントストップを禁止 1: ELC_GPTE イベント入力によるカウントストップを許可	R/W(注1)
21	PSELCF	ELC_GPTF イベント要因カウントストップ許可 0: ELC_GPTF イベント入力によるカウントストップを禁止 1: ELC_GPTF イベント入力によるカウントストップを許可	R/W(注1)
22	PSELCG	ELC_GPTG イベント要因カウントストップ許可 0: ELC_GPTG イベント入力によるカウントストップを禁止 1: ELC_GPTG イベント入力によるカウントストップを許可	R/W(注1)
23	PSELCH	ELC_GPTH イベント要因カウントストップ許可 0: ELC_GPTH イベント入力によるカウントストップを禁止 1: ELC_GPTH イベント入力によるカウントストップを許可	R/W(注1)
30:24	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
31	CSTOP	ソフトウェア要因カウントストップ許可 0: GTSTP レジスタによるカウントストップを禁止 1: GTSTP レジスタによるカウントストップを許可	R/W(注1)

注 1. 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。

GTPSR レジスタは、GTCNT カウンタのカウントストップの要因を設定するレジスタです。

GTETRGn（n = A～D）端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

PSGTRGAR ビット（GTETRGA 立ち上がり要因カウントストップ許可）

PSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGAF ビット（GTETRGA 立ち下がり要因カウントストップ許可）

PSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGBR ビット（GTETRGB 立ち上がり要因カウントストップ許可）

PSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGBF ビット（GTETRGB 立ち下がり要因カウントストップ許可）

PSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGCR ビット（GTETRGC 立ち上がり要因カウントストップ許可）

PSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGCF ビット（GTETRGC 立ち下がり要因カウントストップ許可）

PSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGDR ビット（GTETRGD 立ち上がり要因カウントストップ許可）

PSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGDF ビット（GTETRGD 立ち下がり要因カウントストップ許可）

PSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可）

PSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可）

PSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可）

PSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可）

PSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可）

PSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可）

PSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可）

PSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可）

PSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSELCm ビット（ELC_GPTm イベント要因カウントストップ許可）（m = A～H）

PSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウントストップの許可／禁止を選択します。

CSTOP ビット（ソフトウェア要因カウントストップ許可）

CSTOP ビットは GTSTP レジスタによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

21.2.7 GTCSR : 汎用 PWM タイマクリア要因選択レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CCLR	—	—	—	CP1CCE	CSCMSC[2:0]			CSELCH	CSELCG	CSELCF	CSELCE	CSELCD	CSELCC	CSELCB	CSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CSCBFAH	CSCBFAL	CSCBRAH	CSCBRAL	CSCAFBH	CSCAFBL	CSCARBH	CSCARBL	CSGTRGDF	CSGTRGDR	CSGTRGCF	CSGTRGCR	CSGTRGBF	CSGTRGBR	CSGTRGAF	CSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CSGTRGAR	GTETRGA 立ち上がり要因カウンタクリア許可 0: GTETRGA 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGA 入力の立ち上がりによるカウンタクリアを許可	R/W(注1)
1	CSGTRGAF	GTETRGA 立ち下がり要因カウンタクリア許可 0: GTETRGA 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGA 入力の立ち下がりによるカウンタクリアを許可	R/W(注1)
2	CSGTRGBR	GTETRGB 立ち上がり要因カウンタクリア許可 0: GTETRGB 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGB 入力の立ち上がりによるカウンタクリアを許可	R/W(注1)
3	CSGTRGBF	GTETRGB 立ち下がり要因カウンタクリア許可 0: GTETRGB 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGB 入力の立ち下がりによるカウンタクリアを許可	R/W(注1)
4	CSGTRGCR	GTETRGC 立ち上がり要因カウンタクリア許可 0: GTETRGC 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGC 入力の立ち上がりによるカウンタクリアを許可	R/W(注1)
5	CSGTRGCF	GTETRGC 立ち下がり要因カウンタクリア許可 0: GTETRGC 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGC 入力の立ち下がりによるカウンタクリアを許可	R/W(注1)
6	CSGTRGDR	GTETRGD 立ち上がり要因カウンタクリア許可 0: GTETRGD 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGD 入力の立ち上がりによるカウンタクリアを許可	R/W(注1)
7	CSGTRGDF	GTETRGD 立ち下がり要因カウンタクリア許可 0: GTETRGD 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGD 入力の立ち下がりによるカウンタクリアを許可	R/W(注1)
8	CSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを許可	R/W
9	CSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを許可	R/W

ビット	シンボル	機能	R/W
10	CSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを許可	R/W
11	CSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを許可	R/W
12	CSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを許可	R/W
13	CSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを許可	R/W
14	CSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを許可	R/W
15	CSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを許可	R/W
16	CSELCA	ELC_GPTA イベント要因カウンタクリア許可 0: ELC_GPTA イベント入力によるカウンタクリアを禁止 1: ELC_GPTA イベント入力によるカウンタクリアを許可	R/W(注1)
17	CSELCB	ELC_GPTB イベント要因カウンタクリア許可 0: ELC_GPTB イベント入力によるカウンタクリアを禁止 1: ELC_GPTB イベント入力によるカウンタクリアを許可	R/W(注1)
18	CSELCC	ELC_GPTC イベント要因カウンタクリア許可 0: ELC_GPTC イベント入力によるカウンタクリアを禁止 1: ELC_GPTC イベント入力によるカウンタクリアを許可	R/W(注1)
19	CSELCD	ELC_GPTD イベント要因カウンタクリア許可 0: ELC_GPTD イベント入力によるカウンタクリアを禁止 1: ELC_GPTD イベント入力によるカウンタクリアを許可	R/W(注1)
20	CSELCE	ELC_GPTE イベント要因カウンタクリア許可 0: ELC_GPTE イベント入力によるカウンタクリアを禁止 1: ELC_GPTE イベント入力によるカウンタクリアを許可	R/W(注1)
21	CSELCF	ELC_GPTF イベント要因カウンタクリア許可 0: ELC_GPTF イベント入力によるカウンタクリアを禁止 1: ELC_GPTF イベント入力によるカウンタクリアを許可	R/W(注1)
22	CSELCG	ELC_GPTG イベント要因カウンタクリア許可 0: ELC_GPTG イベント入力によるカウンタクリアを禁止 1: ELC_GPTG イベント入力によるカウンタクリアを許可	R/W(注1)
23	CSELCH	ELC_GPTH イベント要因カウンタクリア許可 0: ELC_GPTH イベント入力によるカウンタクリアを禁止 1: ELC_GPTH イベント入力によるカウンタクリアを許可	R/W(注1)

ビット	シンボル	機能	R/W
26:24	CSCMSC[2:0]	コンペアマッチ／インプットキャプチャ／同期カウンタクリア要因カウンタクリア許可 0 0 0: コンペアマッチ／インプットキャプチャ／同期カウンタクリアグループによるカウンタクリア禁止 0 0 1: GTCCRA レジスタコンペアマッチ／インプットキャプチャによるカウンタクリア許可 0 1 0: GTCCRB レジスタコンペアマッチ／インプットキャプチャによるカウンタクリア許可 0 1 1: GTCCRC レジスタコンペアマッチによるカウンタクリア許可 1 0 0: GTCCRD レジスタコンペアマッチによるカウンタクリア許可 1 0 1: GTCCRE レジスタコンペアマッチによるカウンタクリア許可 1 1 0: GTCCRF レジスタコンペアマッチによるカウンタクリア許可 1 1 1: 同期カウンタクリアグループによるカウンタクリア許可	R/W
27	CP1CCE	相補 PWM モード 1 山要因カウンタクリア許可(注2) 0: 相補 PWM モード 1 の山でのカウンタクリアを禁止 1: 相補 PWM モード 1 の山でのカウンタクリアを許可	R/W(注1)
30:28	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
31	CCLR	ソフトウェア要因カウンタクリア許可 0: GTCLR レジスタによるカウンタクリアを禁止 1: GTCLR レジスタによるカウンタクリアを許可	R/W(注1)

注 1. 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。
注 2. 本ビットは GPT324～GPT329 でのみ使用可能です。
GPT320～GPT323 で本ビットは 0 が読めます。書く場合、0 としてください。

GTCSR レジスタは、GTCNT カウンタのカウンタクリアの要因を設定するレジスタです。

カウンタクリアは、カウンタが動作中 (GTCR.CST = 1) の場合でも、停止 (GTCR.CST = 0) の場合でも実行可能です。

GTETRGn（n = A～D）端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

CSGTRGAR ビット（GTETRGA 立ち上がり要因カウンタクリア許可）

CSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGAF ビット（GTETRGA 立ち下がり要因カウンタクリア許可）

CSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGBR ビット（GTETRGB 立ち上がり要因カウンタクリア許可）

CSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGBF ビット（GTETRGB 立ち下がり要因カウンタクリア許可）

CSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGCR ビット（GTETRGC 立ち上がり要因カウンタクリア許可）

CSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGCF ビット（GTETRGC 立ち下がり要因カウンタクリア許可）

CSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGDR ビット（GTETRGD 立ち上がり要因カウンタクリア許可）

CSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGDF ビット（GTETRGD 立ち下がり要因カウンタクリア許可）

CSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可）

CSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可）

CSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可）

CSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可）

CSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可）

CSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可）

CSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可）

CSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可）

CSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSELCm ビット（ELC_GPTm イベント要因カウンタクリア許可）（m = A～H）

CSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCMSC[2:0]ビット（コンペアマッチ／インプットキャプチャ／同期カウンタクリア要因カウンタクリア許可）

本ビットはコンペアマッチ／インプットキャプチャ／同期カウンタクリアグループによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

バッファ動作（波形モード固有の場合を含む）を実行しているレジスタによるコンペアマッチは発生しないので、バッファ動作の対象レジスタをコンペアマッチ要因とするカウンタクリア許可設定は無効です。

相補 PWM モードでは、GTCCRB レジスタ、GTCCRE レジスタ、および GTCCRF レジスタのコンペアマッチに対するカウンタクリア許可設定は、バッファ動作が実行されていない場合でも無効です。

CP1CCE ビット（相補 PWM モード 1 山要因カウンタクリア許可）

本ビットは相補 PWM モード 1 の山でのカウンタクリアの許可／禁止を選択します。

本ビットを許可するために、GTIOR レジスタの PSYE ビットを 1 に設定しないでください。

相補 PWM モードでは、マスタチャネルに対してのみ有効です。相補 PWM モードでは、マスタチャネルの設定もスレーブチャネルの GTCNT カウンタをクリアします。

CCLR ビット（ソフトウェア要因カウンタクリア許可）

CCLR ビットは GTCLR レジスタによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

21.2.8 GTUPSR : 汎用 PWM タイマアップカウント要因選択レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～3)

Offset address: 0x1C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	USILVL[3:0]				USELCH	USELCG	USELCF	USELCE	USELCD	USELCC	USELCB	USELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	USCBFAH	USCBFAL	USCBRAH	USCBRAL	USCAFBH	USCAFBL	USCARBH	USCARBL	USGTRGDF	USGTRGDR	USGTRGCF	USGTRGCR	USGTRGBF	USGTRGBR	USGTRGAF	USGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	USGTRGAR	GTETRGA 立ち上がり要因アップカウント許可 0: GTETRGA 入力の立ち上がりによるアップカウントを禁止 1: GTETRGA 入力の立ち上がりによるアップカウントを許可	R/W
1	USGTRGAF	GTETRGA 立ち下がり要因アップカウント許可 0: GTETRGA 入力の立ち下がりによるアップカウントを禁止 1: GTETRGA 入力の立ち下がりによるアップカウントを許可	R/W
2	USGTRGBR	GTETRGB 立ち上がり要因アップカウント許可 0: GTETRGB 入力の立ち上がりによるアップカウントを禁止 1: GTETRGB 入力の立ち上がりによるアップカウントを許可	R/W
3	USGTRGBF	GTETRGB 立ち下がり要因アップカウント許可 0: GTETRGB 入力の立ち下がりによるアップカウントを禁止 1: GTETRGB 入力の立ち下がりによるアップカウントを許可	R/W
4	USGTRGCR	GTETRGC 立ち上がり要因アップカウント許可 0: GTETRGC 入力の立ち上がりによるアップカウントを禁止 1: GTETRGC 入力の立ち上がりによるアップカウントを許可	R/W
5	USGTRGCF	GTETRGC 立ち下がり要因アップカウント許可 0: GTETRGC 入力の立ち下がりによるアップカウントを禁止 1: GTETRGC 入力の立ち下がりによるアップカウントを許可	R/W
6	USGTRGDR	GTETRGD 立ち上がり要因アップカウント許可 0: GTETRGD 入力の立ち上がりによるアップカウントを禁止 1: GTETRGD 入力の立ち上がりによるアップカウントを許可	R/W
7	USGTRGDF	GTETRGFD 立ち下がり要因アップカウント許可 0: GTETRGD 入力の立ち下がりによるアップカウントを禁止 1: GTETRGD 入力の立ち下がりによるアップカウントを許可	R/W

ビット	シンボル	機能	R/W
8	USCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを許可	R/W
9	USCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを許可	R/W
10	USCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを許可	R/W
11	USCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを許可	R/W
12	USCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを許可	R/W
13	USCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを許可	R/W
14	USCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを許可	R/W
15	USCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを許可	R/W
16	USELCA	ELC_GPTA イベント要因アップカウント許可 0: ELC_GPTA イベント入力によるアップカウントを禁止 1: ELC_GPTA イベント入力によるアップカウントを許可	R/W
17	USELCB	ELC_GPTB イベント要因アップカウント許可 0: ELC_GPTB イベント入力によるアップカウントを禁止 1: ELC_GPTB イベント入力によるアップカウントを許可	R/W
18	USELCC	ELC_GPTC イベント要因アップカウント許可 0: ELC_GPTC イベント入力によるアップカウントを禁止 1: ELC_GPTC イベント入力によるアップカウントを許可	R/W
19	USELCD	ELC_GPTD イベント要因アップカウント許可 0: ELC_GPTD イベント入力によるアップカウントを禁止 1: ELC_GPTD イベント入力によるアップカウントを許可	R/W
20	USELCE	ELC_GPTE イベント要因アップカウント許可 0: ELC_GPTE イベント入力によるアップカウントを禁止 1: ELC_GPTE イベント入力によるアップカウントを許可	R/W
21	USELCF	ELC_GPTF イベント要因アップカウント許可 0: ELC_GPTF イベント入力によるアップカウントを禁止 1: ELC_GPTF イベント入力によるアップカウントを許可	R/W

ビット	シンボル	機能	R/W
22	USELCG	ELC_GPTG イベント要因アップカウント許可 0: ELC_GPTG イベント入力によるアップカウントを禁止 1: ELC_GPTG イベント入力によるアップカウントを許可	R/W
23	USELCH	ELC_GPTH イベント要因アップカウント許可 0: ELC_GPTH イベント入力によるアップカウントを禁止 1: ELC_GPTH イベント入力によるアップカウントを許可	R/W
27:24	USILVL[3:0]	外部入力レベル要因アップカウント許可 0 0 0 0: 外部入力レベルによるアップカウントを禁止 0 0 0 1: 設定禁止 0 0 1 0: GTIOCnA 端子入力レベル 0 によるアップカウントを許可 0 0 1 1: GTIOCnA 端子入力レベル 1 によるアップカウントを許可 0 1 0 0: GTIOCnB 端子入力レベル 0 によるアップカウントを許可 0 1 0 1: GTIOCnB 端子入力レベル 1 によるアップカウントを許可 0 1 1 0: 設定禁止 0 1 1 1: 設定禁止 1 0 0 0: GTETRGA 端子入力レベル 0 によるアップカウントを許可 1 0 0 1: GTETRGA 端子入力レベル 1 によるアップカウントを許可 1 0 1 0: GTETRGB 端子入力レベル 0 によるアップカウントを許可 1 0 1 1: GTETRGB 端子入力レベル 1 によるアップカウントを許可 1 1 0 0: GTETRGC 端子入力レベル 0 によるアップカウントを許可 1 1 0 1: GTETRGC 端子入力レベル 1 によるアップカウントを許可 1 1 1 0: GTETRGD 端子入力レベル 0 によるアップカウントを許可 1 1 1 1: GTETRGD 端子入力レベル 1 によるアップカウントを許可	R/W
31:28	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTUPSR レジスタは、GTCNT カウンタのアップカウントの要因を設定するレジスタです。

GTUPSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCR.TPCS ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、本レジスタで 1 となっている要因によるアップカウントを行います。

複数の要因が同時に発生した場合でも、カウント時のインクリメント数は 1 です。

GTETRGn（n = A～D）端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

USGTRGAR ビット（GTETRGA 立ち上がり要因アップカウント許可）

USGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGAF ビット（GTETRGA 立ち下がり要因アップカウント許可）

USGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGBR ビット（GTETRGB 立ち上がり要因アップカウント許可）

USGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGBF ビット（GTETRGB 立ち下がり要因アップカウント許可）

USGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGCR ビット（GTETRGC 立ち上がり要因アップカウント許可）

USGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGCF ビット（GTETRGC 立ち下がり要因アップカウント許可）

USGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGDR ビット（GTETRGD 立ち上がり要因アップカウント許可）

USGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGDF ビット（GTETRGFD 立ち下がり要因アップカウント許可）

USGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可）

USCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可）

USCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可）

USCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可）

USCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可）

USCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可）

USCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可）

USCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可）

USCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USELCm ビット（ELC_GPTm イベント要因アップカウント許可）（m = A～H）

USELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのアップカウントの許可／禁止を選択します。

USILVL[3:0]ビット（外部入力レベル要因アップカウント許可）

本ビットは、GTIOCnA 端子入力レベル、GTIOCnB 端子入力レベル、および GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力レベルによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

21.2.9 GTDNSR : 汎用 PWM タイマダウンカウント要因選択レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～3)

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	DSILVL[3:0]				DSELCH	DSELCG	DSELCF	DSELCE	DSELCD	DSELCC	DSELCB	DSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DSCBFAH	DSCBFAL	DSCBRAH	DSCBRAL	DSCAFBH	DSCAFBL	DSCARBH	DSCARBL	DSGTRGDF	DSGTRGDR	DSGTRGCF	DSGTRGCR	DSGTRGBF	DSGTRGBR	DSGTRGAF	DSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DSGTRGAR	GTETRGA 立ち上がり要因ダウンカウント許可 0: GTETRGA 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGA 入力の立ち上がりによるダウンカウントを許可	R/W
1	DSGTRGAF	GTETRGA 立ち下がり要因ダウンカウント許可 0: GTETRGA 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGA 入力の立ち下がりによるダウンカウントを許可	R/W
2	DSGTRGBR	GTETRGB 立ち上がり要因ダウンカウント許可 0: GTETRGB 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGB 入力の立ち上がりによるダウンカウントを許可	R/W
3	DSGTRGBF	GTETRGB 立ち下がり要因ダウンカウント許可 0: GTETRGB 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGB 入力の立ち下がりによるダウンカウントを許可	R/W
4	DSGTRGCR	GTETRGC 立ち上がり要因ダウンカウント許可 0: GTETRGC 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGC 入力の立ち上がりによるダウンカウントを許可	R/W
5	DSGTRGCF	GTETRGC 立ち下がり要因ダウンカウント許可 0: GTETRGC 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGC 入力の立ち下がりによるダウンカウントを許可	R/W
6	DSGTRGDR	GTETRGD 立ち上がり要因ダウンカウント許可 0: GTETRGD 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGD 入力の立ち上がりによるダウンカウントを許可	R/W
7	DSGTRGDF	GTETRGD 立ち下がり要因ダウンカウント許可 0: GTETRGD 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGD 入力の立ち下がりによるダウンカウントを許可	R/W
8	DSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを許可	R/W
9	DSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを許可	R/W
10	DSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを許可	R/W

ビット	シンボル	機能	R/W
11	DSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを許可	R/W
12	DSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを許可	R/W
13	DSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを許可	R/W
14	DSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを許可	R/W
15	DSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを許可	R/W
16	DSELCA	ELC_GPTA イベント要因ダウンカウント許可 0: ELC_GPTA イベント入力によるダウンカウントを禁止 1: ELC_GPTA イベント入力によるダウンカウントを許可	R/W
17	DSELCB	ELC_GPTB イベント要因ダウンカウント許可 0: ELC_GPTB イベント入力によるダウンカウントを禁止 1: ELC_GPTB イベント入力によるダウンカウントを許可	R/W
18	DSELCC	ELC_GPTC イベント要因ダウンカウント許可 0: ELC_GPTC イベント入力によるダウンカウントを禁止 1: ELC_GPTC イベント入力によるダウンカウントを許可	R/W
19	DSELCD	ELC_GPTD イベント要因ダウンカウント許可 0: ELC_GPTD イベント入力によるダウンカウントを禁止 1: ELC_GPTD イベント入力によるダウンカウントを許可	R/W
20	DSELCE	ELC_GPTE イベント要因ダウンカウント許可 0: ELC_GPTE イベント入力によるダウンカウントを禁止 1: ELC_GPTE イベント入力によるダウンカウントを許可	R/W
21	DSELCF	ELC_GPTF イベント要因ダウンカウント許可 0: ELC_GPTF イベント入力によるダウンカウントを禁止 1: ELC_GPTF イベント入力によるダウンカウントを許可	R/W
22	DSELCG	ELC_GPTG イベント要因ダウンカウント許可 0: ELC_GPTG イベント入力によるダウンカウントを禁止 1: ELC_GPTG イベント入力によるダウンカウントを許可	R/W
23	DSELCH	ELC_GPTH イベント要因ダウンカウント許可 0: ELC_GPTH イベント入力によるダウンカウントを禁止 1: ELC_GPTH イベント入力によるダウンカウントを許可	R/W

ビット	シンボル	機能	R/W
27:24	DSILVL[3:0]	外部入力レベル要因ダウンカウント許可 0 0 0 0: 外部入力レベルによるダウンカウントを禁止 0 0 0 1: 設定禁止 0 0 1 0: GTIOCnA 端子入力レベル 0 によるダウンカウントを許可 0 0 1 1: GTIOCnA 端子入力レベル 1 によるダウンカウントを許可 0 1 0 0: GTIOCnB 端子入力レベル 0 によるダウンカウントを許可 0 1 0 1: GTIOCnB 端子入力レベル 1 によるダウンカウントを許可 0 1 1 0: 設定禁止 0 1 1 1: 設定禁止 1 0 0 0: GTETRGA 端子入力レベル 0 によるダウンカウントを許可 1 0 0 1: GTETRGA 端子入力レベル 1 によるダウンカウントを許可 1 0 1 0: GTETRGB 端子入力レベル 0 によるダウンカウントを許可 1 0 1 1: GTETRGB 端子入力レベル 1 によるダウンカウントを許可 1 1 0 0: GTETRGC 端子入力レベル 0 によるダウンカウントを許可 1 1 0 1: GTETRGC 端子入力レベル 1 によるダウンカウントを許可 1 1 1 0: GTETRGD 端子入力レベル 0 によるダウンカウントを許可 1 1 1 1: GTETRGD 端子入力レベル 1 によるダウンカウントを許可	R/W
31:28	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTDNSR レジスタは、GTCNT カウンタのダウンカウントの要因を設定するレジスタです。

GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCR.TPCS ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、本レジスタで 1 となっている要因によるダウンカウントを行います。

複数の要因が同時に発生した場合でも、カウント時のデクリメント数は 1 です。

GTETRGn（n = A～D）端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

DSGTRGAR ビット（GTETRGA 立ち上がり要因ダウンカウント許可）

DSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGAF ビット（GTETRGA 立ち下がり要因ダウンカウント許可）

DSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGBR ビット（GTETRGB 立ち上がり要因ダウンカウント許可）

DSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGBF ビット（GTETRGB 立ち下がり要因ダウンカウント許可）

DSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGCR ビット（GTETRGC 立ち上がり要因ダウンカウント許可）

DSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGCF ビット（GTETRGC 立ち下がり要因ダウンカウント許可）

DSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGDR ビット（GTETRGD 立ち上がり要因ダウンカウント許可）

DSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGDF ビット（GTETRGD 立ち下がり要因ダウンカウント許可）

DSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可）

DSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可）

DSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可）

DSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可）

DSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可）

DSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可）

DSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可）

DSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可）

DSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSELCm ビット（ELC_GPTm イベント要因ダウンカウント許可）（m = A～H）

DSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSILVL[3:0]ビット（外部入力レベル要因ダウンカウント許可）

本ビットは、GTIOCnA 端子入力レベル、GTIOCnB 端子入力レベル、および GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力レベルによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

21.2.10 GTICASR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	ASOC	ASELCH	ASELCG	ASELCF	ASELCE	ASELCD	ASELCC	ASELCB	ASELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ASCBFAH	ASCBFAL	ASCBRAH	ASCBRAL	ASCAFBH	ASCAFBL	ASCARBH	ASCARBL	ASGTRGDF	ASGTRGDR	ASGTRGCF	ASGTRGCR	ASGTRGBF	ASGTRGBR	ASGTRGAF	ASGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ASGTRGAR	GTETRGA 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGA 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGA 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
1	ASGTRGAF	GTETRGA 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGA 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGA 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
2	ASGTRGBR	GTETRGB 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGB 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGB 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
3	ASGTRGBF	GTETRGB 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGB 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGB 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
4	ASGTRGCR	GTETRGC 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGC 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGC 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
5	ASGTRGCF	GTETRGC 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGC 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGC 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
6	ASGTRGDR	GTETRGD 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGD 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGD 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
7	ASGTRGDF	GTETRGD 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGD 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGD 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
8	ASCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
9	ASCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
10	ASCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
11	ASCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
12	ASCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
13	ASCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
14	ASCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
15	ASCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
16	ASELCA	ELC_GPTA イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTA イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTA イベント入力による GTCCRA インプットキャプチャを許可	R/W
17	ASELCB	ELC_GPTB イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTB イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTB イベント入力による GTCCRA インプットキャプチャを許可	R/W
18	ASELCC	ELC_GPTC イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTC イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTC イベント入力による GTCCRA インプットキャプチャを許可	R/W
19	ASELCD	ELC_GPTD イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTD イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTD イベント入力による GTCCRA インプットキャプチャを許可	R/W
20	ASELCE	ELC_GPTE イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTE イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTE イベント入力による GTCCRA インプットキャプチャを許可	R/W
21	ASELCF	ELC_GPTF イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTF イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTF イベント入力による GTCCRA インプットキャプチャを許可	R/W
22	ASELCG	ELC_GPTG イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTG イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTG イベント入力による GTCCRA インプットキャプチャを許可	R/W
23	ASELCH	ELC_GPTH イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTH イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTH イベント入力による GTCCRA インプットキャプチャを許可	R/W
24	ASOC	他チャネル要因 GTCCRA インプットキャプチャ許可 0: 他のチャネル要因による GTCCRA インプットキャプチャを禁止 1: 他のチャネル要因による GTCCRA インプットキャプチャを許可	R/W
31:25	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTICASR レジスタは、GTCCRA レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICASR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCCRA レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGn（n = A～D）端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

ASGTRGAR ビット（GTETRGA 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGAF ビット（GTETRGA 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGBR ビット（GTETRGB 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGBF ビット（GTETRGB 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGCR ビット（GTETRGC 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGCF ビット（GTETRGC 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGDR ビット（GTETRGD 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGDF ビット（GTETRGD 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASELCm ビット（ELC_GPTm イベント要因 GTCCRA インプットキャプチャ許可）（m = A～H）

ASELCm ビットは ELC_GPTm からのイベント入力による GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASOC ビット（他チャネル要因 GTCCRA インプットキャプチャ許可）

本ビットは他のチャネル要因による GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

他のチャネル要因のインプットキャプチャは、GTICCR レジスタの ICAFA ビットと ICBFA ビットにより設定された他のチャネルに対するインプットキャプチャ要因には従いません。

21.2.11 GTICBSR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	BSOC	BSELCH	BSELCG	BSELCF	BSELCE	BSELCD	BSELCC	BSELCB	BSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSCBFAH	BSCBFAL	BSCBRAH	BSCBRAL	BSCAFBH	BSCAFBL	BSCARBH	BSCARBL	BSGTRGDF	BSGTRGDR	BSGTRGCF	BSGTRGCR	BSGTRGBF	BSGTRGBR	BSGTRGAF	BSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BSGTRGAR	GTETRGA 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGA 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGA 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
1	BSGTRGAF	GTETRGA 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGA 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGA 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
2	BSGTRGBR	GTETRGB 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGB 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGB 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
3	BSGTRGBF	GTETRGB 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGB 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGB 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
4	BSGTRGCR	GTETRGC 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGC 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGC 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
5	BSGTRGCF	GTETRGC 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGC 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGC 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
6	BSGTRGDR	GTETRGD 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGD 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGD 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
7	BSGTRGDF	GTETRGD 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGD 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGD 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
8	BSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
9	BSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
10	BSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
11	BSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
12	BSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
13	BSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
14	BSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
15	BSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
16	BSELCA	ELC_GPTA イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTA イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTA イベント入力による GTCCRB インプットキャプチャを許可	R/W
17	BSELCB	ELC_GPTB イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTB イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTB イベント入力による GTCCRB インプットキャプチャを許可	R/W
18	BSELCC	ELC_GPTC イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTC イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTC イベント入力による GTCCRB インプットキャプチャを許可	R/W
19	BSELCD	ELC_GPTD イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTD イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTD イベント入力による GTCCRB インプットキャプチャを許可	R/W
20	BSELCE	ELC_GPTE イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTE イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTE イベント入力による GTCCRB インプットキャプチャを許可	R/W
21	BSELCF	ELC_GPTF イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTF イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTF イベント入力による GTCCRB インプットキャプチャを許可	R/W
22	BSELCG	ELC_GPTG イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTG イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTG イベント入力による GTCCRB インプットキャプチャを許可	R/W
23	BSELCH	ELC_GPTH イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTH イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTH イベント入力による GTCCRB インプットキャプチャを許可	R/W
24	BSOC	他チャネル要因 GTCCRB インプットキャプチャ許可 0: 他のチャネル要因による GTCCRB インプットキャプチャを禁止 1: 他のチャネル要因による GTCCRB インプットキャプチャを許可	R/W
31:25	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTICBSR レジスタは、GTCCRB レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICBSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCCRB レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGn（n = A～D）端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

BSGTRGAR ビット（GTETRGA 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGAF ビット（GTETRGA 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGBR ビット（GTETRGB 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGBF ビット（GTETRGB 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGCR ビット（GTETRGC 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGCF ビット（GTETRGC 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGDR ビット（GTETRGD 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGDF ビット（GTETRGD 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSELCm ビット（ELC_GPTm イベント要因 GTCCRB インプットキャプチャ許可）（m = A～H）

BSELCm ビットは ELC_GPTm からのイベント入力による GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSOC ビット（他チャネル要因 GTCCRB インプットキャプチャ許可）

本ビットは他のチャネル要因による GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

他のチャネル要因のインプットキャプチャは、GTICCR レジスタの ICAFB ビットと ICBFB ビットにより設定された他のチャネルに対するインプットキャプチャ要因には従いません。

21.2.12 GTCR : 汎用 PWM タイマコントロールレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	CKEG[1:0]		TPCS[3:0]				—	—	—	MD[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SSCEN	—	—	CPSCD	SSCGRP[1:0]		SCGTIOC	ICDS	—	—	—	—	—	—	—	CST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CST	カウントスタート 0: カウント動作を停止 1: カウント動作を実行	R/W(注1)
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	ICDS	カウントストップ中のインプットキャプチャ動作選択 0: カウントストップ中のインプットキャプチャ動作あり 1: カウントストップ中のインプットキャプチャ動作なし	R/W
9	SCGTIOC	GTIOC 入力要因同期クリア許可 0: 他のチャネルのクリア要因として GTIOC 入力によるカウンタクリアの使用を禁止 1: 他のチャネルのクリア要因として GTIOC 入力によるカウンタクリアの使用を許可	R/W
11:10	SSCGRP[1:0]	同期セット／クリアグループ選択 0 0: 同期セット／クリアグループ A を選択 0 1: 同期セット／クリアグループ B 選択 1 0: 同期セット／クリアグループ C 選択 1 1: 同期セット／クリアグループ D 選択	R/W(注1)
12	CPSCD	相補 PWM モード同期クリア禁止(注2) 0: 相補 PWM モードで谷部以外の他のチャネルによる同期カウンタクリアを許可 1: 相補 PWM モードで谷部以外の他のチャネルによる同期カウンタクリアを禁止	R/W(注1)
14:13	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
15	SSCEN	同期セット／クリア許可 0: GTCNT カウンタの同期セット／クリア禁止 1: GTCNT カウンタの同期セット／クリア許可	R/W(注1)
19:16	MD[3:0]	モード選択(注3) 0 0 0 0: のこぎり波 PWM モード 1（シングル／ダブルバッファ可） 0 0 0 1: のこぎり波ワンショットパルスモード（バッファ動作固定） 0 0 1 0: のこぎり波 PWM モード 2（シングル／ダブルバッファ可） 0 0 1 1: 設定禁止 0 1 0 0: 三角波 PWM モード 1（谷 32 ビット転送）（シングル／ダブルバッファ可） 0 1 0 1: 三角波 PWM モード 2（山／谷 32 ビット転送）（シングル／ダブルバッファ可） 0 1 1 0: 三角波 PWM モード 3（谷 64 ビット転送）（バッファ動作固定） 0 1 1 1: 設定禁止 1 0 0 0: 設定禁止 1 0 0 1: 設定禁止 1 0 1 0: 設定禁止 1 0 1 1: 設定禁止 1 1 0 0: 相補 PWM モード 1（山転送） 1 1 0 1: 相補 PWM モード 2（谷転送） 1 1 1 0: 相補 PWM モード 3（山／谷転送） 1 1 1 1: 相補 PWM モード 4（即転送）	R/W(注1)
22:20	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
26:23	TPCS[3:0]	タイマプリスケーラ選択 0 0 0 0: GTCLK/1 0 0 0 1: GTCLK/2 0 0 1 0: GTCLK/4 0 0 1 1: GTCLK/8 0 1 0 0: GTCLK/16 0 1 0 1: GTCLK/32 0 1 1 0: GTCLK/64 0 1 1 1: GTCLK/128 1 0 0 0: GTCLK/256 1 0 0 1: GTCLK/512 1 0 1 0: GTCLK/1024 1 0 1 1: 設定禁止 1 1 0 0: GTETRGA（POEG 経由） 1 1 0 1: GTETRGB（POEG 経由） 1 1 1 0: GTETRGC（POEG 経由） 1 1 1 1: GTETRGD（POEG 経由）	R/W(注1)
28:27	CKEG[1:0]	クロックエッジ選択 0 0: クロックカウントに GTETRG の立ち上がりエッジを選択 0 1: クロックカウントに GTETRG の立ち下がりエッジを選択 その他: クロックカウントに GTETRG の両エッジを選択	R/W(注1)
31:29	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。
注 2. 本ビットは GPT324～GPT329 でのみ使用可能です。
GPT320～GPT323 で本ビットは 0 が読めます。書く場合、0 としてください。
注 3. MD[3]ビットは GPT324～GPT329 でのみ使用可能です。GPT320～GPT323 は、のこぎり波 PWM モードと三角波 PWM モード（のこぎり波 PWM モード 2 以外）のみサポートします。

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

8 ビット単位での GTCR へのアクセスはしないでください。

CST ビット（カウントスタート）

CST ビットは GTCNT カウンタのスタート／ストップを制御します。

[1 になる条件]

- GTSSR.CSTRT ビットが 1 の状態で、GTSTR レジスタの値（チャネル番号はビット番号に対応）を 1 にしたとき
- GTSSR レジスタでカウントスタート要因として許可された、ELC イベント入力、外部トリガ、または GTIOCnA 入力/GTIOCnB 入力が発生したとき (n = 0～9)

- ソフトウェアで直接 1 を書き込んだとき

[0 になる条件]

- GTPSR.CSTOP ビットが 1 の状態で、GTSTP レジスタの値（チャネル番号はビット番号に対応）を 1 にしたとき
- GTPSR レジスタでカウントストップ要因として許可された、ELC イベント入力、外部トリガ、または GTIOCnA 入力/GTIOCnB 入力が発生したとき (n = 0〜9)
- ソフトウェアで直接 0 を書き込んだとき
- GTPC.ASTP ビットが 1 の間に周期計数機能が終了する場合

ICDS ビット（カウントストップ中のインプットキャプチャ動作選択）

本ビットはインプットキャプチャ機能が選択された場合に、カウントストップ中のインプットキャプチャ動作を選択します。

SCGTIOC ビット（GTIOC 入力要因同期クリア許可）

本ビットは、他のチャネルのカウンタクリア要因として GTCSR レジスタにより選択された GTIOCnA/GTIOCnB 入力端子によるカウンタクリアの使用を許可または禁止します。

SSCGRP[1:0]ビット（同期セット／クリアグループ選択）

本ビットは同期セット／クリアのチャネルグループを選択します。

相補 PWM モードでは、マスタチャネルの SSCGRP[1:0]ビットの設定により、スレーブチャネルも制御されます。

CPSCD ビット（相補 PWM モード同期クリア禁止）

本ビットは、相補 PWM モードで谷部以外において他のチャネルからの同期クリアが発生した場合、カウンタクリアの許可または禁止を選択します。

スレーブチャネルもマスタチャネルの CPSCD ビットの設定により、制御されます。

SSCEN ビット（同期セット／クリア許可）

本ビットは同期セット／クリアの許可または禁止を選択します。

相補 PWM モードでは、マスタチャネルの SSCEN ビットの設定により、スレーブチャネルも制御されます。

MD[3:0]ビット（モード選択）

本ビットは GPT の動作モードを選択します。

相補 PWM モードでは、マスタチャネルの MD ビットの設定により、スレーブチャネルも制御されます。

インプットキャプチャで MD[3:2]ビットのみが有効です。(GPT320〜GPT323 に対しては MD[2]ビット) カウントはのこぎり波モードでは MD[3:2]ビットに対して 00 (GPT320〜GPT323 の MD[2]ビットに対して 0)、三角波モードでは MD[3:2]ビットに対して 01 (GPT320〜GPT323 の MD[2]ビットに対して 1)、相補 PWM モードでは MD[3]ビットに対して 1 で実行されます。

MD ビットの設定は、GTCNT の動作が停止した状態で行ってください。

イベントカウント動作中 (GTUPSR レジスタ、GTDNSR レジスタのビットの内、少なくとも 1 つのビットが 1 の場合)、MD ビットの設定は無視されます。その場合、のこぎり波モード、三角波モード、相補 PWM モードでのカウントは実行されません。その代わり、GTUPSR レジスタ、GTDNSR レジスタで設定される要因によるアップカウントまたはダウンカウントが実行されます。

TPCS[3:0]ビット（タイマプリスケーラ選択）

TPCS[3:0]ビットは GTCNT 用クロックを選択します。チャネルごとに個別にクロックプリスケーラの選択が可能です。TPCS[3:0]ビットの設定は、GTCNT の動作が停止した状態で行ってください。

CKEG[1:0]ビット（クロックエッジ選択）

GTETRG 入力が TPCS[3:0]ビットにより選択される場合、GTCNT カウンタのクロックとして使用される GTETRG 入力エッジを選択してください。

CKEG[1:0]ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

21.2.13 GTUDDTYC : 汎用 PWM タイマカウント方向、デューティー設定レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	OBDTYR	OBDTYF	OBDTY[1:0]		—	—	—	—	OADTYR	OADTYF	OADTY[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	UD	カウント方向設定 0: GTCNT カウンタはダウンカウント 1: GTCNT カウンタはアップカウント	R/W
1	UDF	カウント方向強制設定 0: 強制設定しない 1: 強制設定する	R/W
15:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
17:16	OADTY[1:0]	GTIOCnA 出力デューティー設定 0 0: GTIOCnA 端子のデューティーはコンペアマッチに依存 0 1: GTIOCnA 端子のデューティーはコンペアマッチに依存 1 0: GTIOCnA 端子のデューティーは 0% 1 1: GTIOCnA 端子のデューティーは 100%	R/W
18	OADTYF	GTIOCnA 出力デューティー強制設定 0: 強制設定しない 1: 強制設定する	R/W
19	OADTYR	0%/100%デューティー設定解除後の GTIOCnA 出力値選択 0: 0%/100%デューティー比設定解除後にデューティー比が設定された場合、GTIOA[3:2]ビットで選択された機能が出力値に適用 1: 0%/100%デューティー比設定解除後に GTIOA[3:2]ビットで選択された機能がマスクされたコンペアマッチ出力値に適用	R/W
23:20	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:24	OBDTY[1:0]	GTIOCnB 出力デューティー設定 0 0: GTIOCnB 端子のデューティーはコンペアマッチに依存 0 1: GTIOCnB 端子のデューティーはコンペアマッチに依存 1 0: GTIOCnB 端子のデューティーは 0% 1 1: GTIOCnB 端子のデューティーは 100%	R/W
26	OBDTYF	GTIOCnB 出力デューティー強制設定 0: 強制設定しない 1: 強制設定する	R/W
27	OBDTYR	0%/100%デューティー設定解除後の GTIOCnB 出力値選択 0: 0%/100%デューティー比設定解除後にデューティー比が設定された場合、GTIOB[3:2]ビットで選択された機能が出力値に適用 1: 0%/100%デューティー比設定解除後に GTIOB[3:2]ビットで選択された機能がマスクされたコンペアマッチ出力値に適用	R/W
31:28	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTUDDTYC レジスタは、GTCNT カウンタのカウント方向（アップ／ダウン）および GTIOCnA/GTIOCnB 端子出力のデューティーを設定するレジスタです。

イベントカウント動作、のこぎり波 PWM モード 2、相補 PWM モード中では、本設定は無効です。

【カウント方向】

- のこぎり波モードの場合

アップカウント中に UD 値を 0 にした場合、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。ダウンカウント中に UD 値を 1 にした場合、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。
カウント停止中に UDF ビットが 0 の状態で UD 値を 1 から 0 に変更した場合、カウント動作はアップカウントとなり、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。カウント停止中に UDF ビットが 0 の状態で UD 値を 0 から 1 に変更した場合、カウント動作はダウンカウントとなり、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。
カウント停止中に UDF ビットを 1 にすると、UD ビット値がカウントスタート時のカウント方向に反映されます。

- 三角波モードの場合
  カウント中に UD 値を変更しても、カウント方向は切り替わりません。カウントストップ中に UDF ビットが 0 の状態で UD 値を変更しても、カウントスタート時のカウント方向には反映されません。
  カウント停止中に UDF ビットを 1 にすると、そのときの UD 値がカウントスタート時のカウント方向に反映されます。

UD ビット（カウント方向設定）

UD ビットは GTCNT カウンタのカウント方向（アップ／ダウン）を設定します。

UDF ビット（カウント方向強制設定）

UDF ビットは GTCNT カウンタスタート時のカウント方向を強制的に UD 値に設定します。カウンタが動作している間は、このビットに 0 以外を書き込まないでください。カウントストップ中に 1 を書いた場合、カウントがスタートする前に 0 に戻してください。

【出力デューティー】

- のこぎり波モードの場合
  アップカウント中に OADTY/OBDTY 値を変更すると、オーバーフロー時 (GTCNT = GTPR) にデューティーが反映されます。ダウンカウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時 (GTCNT = 0) にデューティーが反映されます。
  カウント停止中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーは反映されません。カウント方向がアップカウントの場合、オーバーフロー時 (GTCNT = GTPR) に出力デューティーが反映されます。カウント方向がダウンカウントの場合、アンダーフロー時 (GTCNT = 0) に出力デューティーが反映されます。
  カウント停止中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーが反映されます。
- 三角波モードの場合
  カウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時にデューティーが反映されます。
  カウント停止中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーは反映されません。ただし、アンダーフロー時に出力デューティーが反映されます。
  カウント停止中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーが反映されます。

のこぎり波モードと三角波モードで、OADTYF/OBDTYF ビットが 0 に戻った場合、および OADTYF/OBDTYF ビットを 1 にして、カウント動作停止中に最初の周期のデューティーに対して OADTY[1:0]/OBDTY[1:0]ビットを設定した後に OADTY[1:0]/OBDTY[1:0]ビットを設定した場合、カウント動作停止中に設定されたこれらのデューティー周期は、カウント動作開始後の最初の周期と 2 番目の周期に反映されます。

OmDTY[1:0]ビット（GTIOCnm 出力デューティー設定）（m = A、B）

OmDTY[1:0]ビットは GTIOCnm 端子の出力デューティー（0%、100%、またはコンペアマッチ制御）を設定します。

OmDTYF ビット（GTIOCnm 出力デューティー強制設定）（m = A、B）

OmDTYF ビットは出力デューティー比を OmDTY の設定値に強制的に設定します。カウンタの動作中は、本ビットを 0 にしてください。

OmDTYR ビット（0%/100%デューティー設定解除後の GTIOCnm 出力値選択）（m = A、B）

制御が 0%/100%デューティー設定から GTIOCnm 端子のコンペアマッチに変更され、かつ GTIOR.GTIOm[3:2]ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）に設定された場合、OmDTYR ビットは周期の終わりで出力保持／トグル出力の対象となる値を選択します。

デューティー比 0%/100%動作中に、GPT は内部でコンペアマッチ動作を継続します。OmDTYR ビットを 1 にすると、周期の終わりでのコンペアマッチの値が GTIOm[3:2]ビットに適用されます。

21.2.14 GTIOR : 汎用 PWM タイマ I/O コントロールレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x34

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCSB[1:0]		NFBEN	—	OBEOCD	OBDF[1:0]		OBE	OBHLD	OBDFLT	—	GTIOB[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	NFCSA[1:0]		NFAEN	PSYE	OAEOCD	OADF[1:0]		OAE	OAHLD	OADFLT	CPSCIR	GTIOA[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	GTIOA[4:0]	GTIOCnA 端子機能選択 表 21.4 と表 21.5 を参照してください。	R/W
5	CPSCIR(注1)	同期クリア時の相補 PWM モード初期出力禁止 0: 相補 PWM モードの谷部で同期クリア発生時に、GTIOR.GTIOA ビットおよび GTIOR.GTIOB ビットで設定される初期値を出力 1: 初期値出力禁止	R/W
6	OADFLT	カウントストップ時の GTIOCnA 端子出力値設定 0: カウントストップ時に GTIOCnA 端子は Low を出力 1: カウントストップ時に GTIOCnA 端子は High を出力	R/W
7	OAHLD	カウントスタート／ストップ時の GTIOCnA 端子出力設定 0: カウントスタート／ストップ時の GTIOCnA 端子出力レベルはレジスタ設定値に従う 1: カウントスタート／ストップ時の GTIOCnA 端子出力レベルは保持される	R/W
8	OAE	GTIOCnA 端子出力許可 0: 出力を禁止 1: 出力を許可	R/W
10:9	OADF[1:0]	GTIOCnA 端子禁止値設定 0 0: 以下のいずれも設定しない 0 1: 出力ネゲート制御に対応して GTIOCnA 端子は Hi-Z に設定される 1 0: 出力ネゲート制御に対応して GTIOCnA 端子は 0 に設定される 1 1: 出力ネゲート制御に対応して GTIOCnA 端子は 1 に設定される	R/W
11	OAEOCD(注1)	GTCCRA コンペアマッチ周期終了出力無効 0: GTIOA[3:2]設定有効 1: GTIOA[3:2]設定無効（GTIOCnA 端子出力保持）	R/W
12	PSYE	PWM 同期出力許可 0: GTCPPOm 端子出力禁止 1: GTCPPOm 端子出力許可	R/W
13	NFAEN	GTIOCnA 端子入力ノイズフィルタ有効 0: GTIOCnA 端子のノイズフィルタは無効 1: GTIOCnA 端子のノイズフィルタは有効	R/W

ビット	シンボル	機能	R/W
15:14	NFCSA[1:0]	GTIOCnA 端子入力ノイズフィルタサンプリングクロック選択 0 0: GTCLK/1 0 1: GTCLK/4 1 0: GTCLK/16 1 1: GTCLK/64	R/W
20:16	GTIOB[4:0]	GTIOCnB 端子機能選択 表 21.4 と表 21.5 を参照してください。	R/W
21	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
22	OBDFLT	カウントストップ時の GTIOCnB 端子出力値設定 0: カウントストップ時に GTIOCnB 端子は Low を出力 1: カウントストップ時に GTIOCnB 端子は High を出力	R/W
23	OBHLD	カウントスタート／ストップ時の GTIOCnB 端子出力設定 0: カウントスタート／ストップ時の GTIOCnB 端子出力レベルはレジスタ設定値に従う 1: カウントスタート／ストップ時の GTIOCnB 端子出力レベルは保持される	R/W
24	OBE	GTIOCnB 端子出力許可 0: 出力を禁止 1: 出力を許可	R/W
26:25	OBDF[1:0]	GTIOCnB 端子禁止値設定 0 0: 以下のいずれも設定しない 0 1: 出力ネゲート制御に対応して GTIOCnB 端子は Hi-Z に設定される 1 0: 出力ネゲート制御に対応して GTIOCnB 端子は 0 に設定される 1 1: 出力ネゲート制御に対応して GTIOCnB 端子は 1 に設定される	R/W
27	OBEOCD(注1)	GTCCRB コンペアマッチ周期終了出力無効 0: のこぎり波 PWM モード 1 の場合、GTIOB[3:2]の設定は有効になります。 のこぎり波 PWM モード 2 の場合、GTIOA[3:2]の設定は有効になります。 1: のこぎり波 PWM モード 1 の場合、GTIOB[3:2]の設定は無効になります。 （GTIOCnB 端子出力は保持されます。） のこぎり波 PWM モード 2 の場合、GTIOA[3:2]の設定は無効になります。 （GTIOCnA 端子出力は保持されます。）	R/W
28	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
29	NFBEN	ノイズフィルタ B 有効 0: GTIOCnB 端子のノイズフィルタは無効 1: GTIOCnB 端子のノイズフィルタは有効	R/W
31:30	NFCSB[1:0]	ノイズフィルタ B サンプリングクロック選択 0 0: GTCLK/1 0 1: GTCLK/4 1 0: GTCLK/16 1 1: GTCLK/64	R/W

注 1. 本ビットは GPT324～GPT329 でのみ使用可能です。
GPT320～GPT323 で本ビットは 0 が読めます。書く場合、0 としてください。

GTIOR レジスタは GTIOCnA 端子、GTIOCnB 端子、および GTCPPOm 端子の機能を設定するレジスタです。（n = 0～9、m = 0～4、7）

GTIOA[4:0]ビット（GTIOCnA 端子機能選択）

GTIOA[4:0]ビットは GTIOCnA 端子の機能を選択します。詳細は、表 21.4 および表 21.5 を参照してください。

CPSCIR ビット（同期クリア時の相補 PWM モード初期出力禁止）

本ビットは相補 PWM モードで同期クリア発生時に出力波形を選択します。

相補 PWM モードにおいて同期クリアが谷部で発生した時のみ、本機能により初期出力が禁止されます。他のいかなる時に同期クリアが発生した場合でも、GTIOA[4]/GTIOB[4]ビットにより設定された初期値は、CPSCIR ビットの設定に関係なく、出力されます。さらに、カウント開始直後に同期クリアが谷部で発生した場合でも、GTIOA[4]/GTIOB[4]ビットにより設定された初期値は出力されます。

OADFLT ビット（カウントストップ時の GTIOCnA 端子出力値設定）

OADFLT ビットはカウントストップ時に、GTIOCnA 端子が High または Low のいずれを出力するかを設定します。

OAHLD ビット（カウントスタート／ストップ時の GTIOCnA 端子出力設定）

OAHLD ビットはカウントスタート／ストップ時に、GTIOCnA 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

[OAHLD ビットを 0 にした場合]

- カウントスタート時に、GTIOA[4]ビットで指定した値を出力
- カウントストップ時に、OADFLT ビットで指定した値を出力
- カウントストップ中に、OADFLT ビットを書き換えた場合、ただちに出力に反映される

[OAHLD ビットを 1 にした場合]

- カウントスタート／ストップ時に出力が保持される

OAE ビット（GTIOCnA 端子出力許可）

OAE ビットは GTIOCnA 端子出力する/しないを選択します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合（GTICASR レジスタの少なくともひとつのビットが 1 の状態の場合 ） は、OAE ビットの設定にかかわらず GTIOCnA 端子出力を行いません。

OADF[1:0]ビット（GTIOCnA 端子禁止値設定）

OADF[1:0]ビットは POEG からの出力禁止要求に対応して GTIOCnA 端子の出力値を選択します。

OAEOCD ビット（GTCCRA コンペアマッチ周期終了出力無効）

周期終了がのこぎり波 PWM モード 1、2 の GTCCRA コンペアマッチタイミングと一致するとき、本ビットは GTIOA[3:2]ビットの設定の有効または無効を選択します。1（無効）が設定されると、周期終了と GTCCRA コンペアマッチタイミングが一致するとき、GTIOCnA 端子は出力を保持します。

PSYE ビット（PWM 同期出力許可）

本ビットは、相補 PWM モードおよび三角波モードまたはのこぎり波モードの周期の終わりにおける、山／谷／GTCNT カウンタクリアでトグルする PWM 周期と同期して、GTCPPOm 端子からの出力信号を許可または禁止します。

GTCPPOn 出力端子の初期出力は Low であり、カウント開始により、High になります。

NFAEN ビット（GTIOCnA 端子入力ノイズフィルタ有効）

NFAEN ビットは GTIOCnA 端子からの入力に対してノイズフィルタを有効または無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

NFCSA[1:0]ビット（GTIOCnA 端子入力ノイズフィルタサンプリングクロック選択）

NFCSA[1:0]ビットは GTIOCnA 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

GTIOB[4:0]ビット（GTIOCnB 端子機能選択）

GTIOB[4:0]ビットは GTIOCnB 端子の機能を選択します。詳細は、表 21.4 および表 21.5 を参照してください。

のこぎり波 PWM モード 2 では、GTIOB[1:0]ビットのみが有効で、GTCCRB レジスタコンペアマッチにより GTIOCnB 端子の代わりに GTIOCnA 端子出力が選択されます。

OBDFLT ビット（カウントストップ時の GTIOCnB 端子出力値設定）

OBDFLT ビットはカウントストップ時に、GTIOCnB 端子が High または Low のいずれを出力するかを設定します。

OBHLD ビット（カウントスタート／ストップ時の GTIOCnB 端子出力設定）

OBHLD ビットはカウントスタート／ストップ時に、GTIOCnB 端子の出力レベルが保持されるか、レジスタ設定値に従うか指定します。

［OBHLD ビットを 0 にした場合］

- カウントスタート時に、GTIOB[4]ビットで指定した値を出力
- カウントストップ時に、OBDFLT ビットで指定した値を出力
- カウントストップ中に、OBDFLT ビットを書き換えた場合、ただちに出力に反映される

［OBHLD ビットを 1 にした場合］

- カウントスタート／ストップ時に出力が保持される

OBE ビット（GTIOCnB 端子出力許可）

OBE ビットは GTIOCnB 端子出力する/しないを選択します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用する場合（GTICBSR レジスタの少なくともひとつのビットが 1 の状態の場合 ） は、OBE ビットの設定にかかわらず GTIOCnB 端子出力を行いません。

OBDF[1:0]ビット（GTIOCnB 端子禁止値設定）

OBDF[1:0]ビットは POEG からの出力禁止要求に対応して GTIOCnB 端子の出力値を選択します。

OBEOCD ビット（GTCCRB コンペアマッチ周期終了出力無効）

周期終了がのこぎり波 PWM モード 1、2 の GTCCRB コンペアマッチタイミングと一致するとき、本ビットはのこぎり波 PWM モード 1 での GTIOB[3:2]ビットの設定またはのこぎり波 PWM モード 2 での GTIOA[3:2]ビットの設定の有効または無効を選択します。1（無効）が設定されると、周期終了と GTCCRB コンペアマッチタイミングが一致するとき、のこぎり波 PWM モード 1 での GTIOCnB 端子またはのこぎり波 PWM モード 2 での GTIOCnA 端子は出力を保持します。

NFBEN ビット（ノイズフィルタ B 有効）

NFBEN ビットは GTIOCnB 端子からの入力に対してノイズフィルタを有効または無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

NFCSB[1:0]ビット（ノイズフィルタ B サンプリングクロック選択）

NFCSB[1:0]ビットは GTIOCnB 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

表 21.4 GTIOA[4:0]ビットと GTIOB[4:0]ビットの設定値（のこぎりモード、三角波モード）

GTIOA/GTIOB[4:0]ビット					機能		
b4	b3	b2	b1	b0	b4(注4)	b3, b2(注1) (注2) (注3) (注4)	b1, b0(注2)
0	0	0	0	0	初期出力は Low	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	0	0	0	0	初期出力は High	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

注 1. 周期の終わりとは、のこぎり波モードのときはオーバーフロー（アップカウント動作時に GTCNT が GTPR から 0 になる）、アンダーフロー（ダウンカウント動作時に GTCNT が 0 から GTPR になる）、カウンタクリア、三角波モードのときは谷（GTCNT が 0 から 1 になる）を示します。

注 2. コンペアマッチ動作時に、周期の終わりと GTCCRA/GTCCRB コンペアマッチのタイミングが一致した場合、OAEOCD ビットと OBEOCD ビットが 0 に設定され、周期の終わりの出力が許可されるとき、のこぎり波 PWM モードでは b3-b2 の設定値が優先され、それ以外のモードでは b1-b0 の設定値が優先されます。

注 3. イベントカウント動作時（GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合）、b3-b2 の設定は無効です。（GPT320～GPT323）

注 4. のこぎり波 PWM モード 2 では、GTIOB[4:2]ビットの設定は無効になります。GTIOCnA 端子のみが出力端子であるため、GTIOA[4]ビットを初期出力として設定します。周期の終わりで、GTIOA[3:2]ビットを出力に設定します。

表 21.5 GTIOA[4:0]ビットと GTIOB[4:0]ビットの設定値（相補 PWM モード）

GTIOA/GTIOB[4:0]ビット(注1) (注2) (注3)					機能		
					初期出力、アクテイブレベル	アップカウントコンペアマッチ出力	ダウンカウントコンペアマッチ出力
b4	b3	b2	b1	b0	b4	b3, b2	b1, b0
0	0	1	1	0	初期出力は Low アクティブレベルは High	Low 出力	High 出力
0	1	0	0	1		High 出力	Low 出力
1	0	1	1	0	初期出力は High アクティブレベルは Low	Low 出力	High 出力
1	1	0	0	1		High 出力	Low 出力

注 1. 相補 PWM モードでは、GTIOA[4:0]ビットで設定可能な値は 01001b と 10110b のみです。他の値の設定は禁止されています。
注 2. 相補 PWM モードでは、GTIOB[4:0]ビットで設定可能な値は 00110b と 11001b のみです。他の値の設定は禁止されています。
注 3. 相補 PWM モードでは、GTIOB[4:0]ビットの設定に GTCCRB レジスタのコンペアマッチを使いません。コンペアマッチの対象であるカウンタとレジスタの組み合わせは、相補 PWM モードの動作周期によります。詳細は、「21.3.3.7. 相補 PWM モード 1、2、3 の場合」を参照してください。

21.2.15 GTINTAD : 汎用 PWM タイマ割り込み出力設定レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x38

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	GRPABL	GRPABH	GRPDTE	—	—	GRP[1:0]		—	—	—	—	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SCFPU	SCFPO	SCFF	SCFE	SCFD	SCFC	SCFB	SCFA	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	SCFA	GTCCRA レジスタコンペアマッチ／インプットキャプチャ要因同期クリア許可 0: 他チャネルのクリア要因としての GTCCRA レジスタコンペアマッチ／インプットキャプチャの使用を禁止 1: 他チャネルのクリア要因としての GTCCRA レジスタコンペアマッチ／インプットキャプチャの使用を許可	R/W
9	SCFB	GTCCRB レジスタコンペアマッチ／インプットキャプチャ要因同期クリア許可 0: 他チャネルのクリア要因としての GTCCRB レジスタコンペアマッチ／インプットキャプチャの使用を禁止 1: 他チャネルのクリア要因としての GTCCRB レジスタコンペアマッチ／インプットキャプチャの使用を許可	R/W
10	SCFC	GTCCRC レジスタコンペアマッチ要因同期クリア許可 0: 他チャネルのクリア要因としての GTCCRC レジスタコンペアマッチの使用を禁止 1: 他チャネルのクリア要因としての GTCCRC レジスタコンペアマッチの使用を許可	R/W
11	SCFD	GTCCRD レジスタコンペアマッチ要因同期クリア許可 0: 他チャネルのクリア要因としての GTCCRD レジスタコンペアマッチの使用を禁止 1: 他チャネルのクリア要因としての GTCCRD レジスタコンペアマッチの使用を許可	R/W
12	SCFE	GTCCRE レジスタコンペアマッチ要因同期クリア許可 0: 他チャネルのクリア要因としての GTCCRE レジスタコンペアマッチの使用を禁止 1: 他チャネルのクリア要因としての GTCCRE レジスタコンペアマッチの使用を許可	R/W

ビット	シンボル	機能	R/W
13	SCFF	GTCCRF レジスタコンペアマッチ要因同期クリア許可 0: 他チャネルのクリア要因としての GTCCRF レジスタコンペアマッチの使用を禁止 1: 他チャネルのクリア要因としての GTCCRF レジスタコンペアマッチの使用を許可	R/W
14	SCFPO	オーバーフロー要因同期クリア許可 0: 他チャネルのクリア要因としてのオーバーフローの使用を禁止 1: 他チャネルのクリア要因としてのオーバーフローの使用を許可	R/W
15	SCFPU	アンダーフロー要因同期クリア許可 0: 他チャネルのクリア要因としてのアンダーフローの使用を禁止 1: 他チャネルのクリア要因としてのアンダーフローの使用を許可	R/W
16	ADTRAUEN	GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
17	ADTRADEN	GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
18	ADTRBUEN	GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
19	ADTRBDEN	GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
23:20	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:24	GRP[1:0]	出力禁止要因選択 0 0: グループ A 出力禁止要因選択 0 1: グループ B 出力禁止要因選択 1 0: グループ C 出力禁止要因選択 1 1: グループ D 出力禁止要因選択	R/W
27:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
28	GRPDTE	デッドタイムエラー出力禁止要求許可 0: デッドタイムエラー出力禁止要求を禁止 1: デッドタイムエラー出力禁止要求を許可	R/W
29	GRPABH	同時出力レベル High 禁止要求許可 0: 同時出力レベル High 禁止要求を禁止 1: 同時出力レベル High 禁止要求を許可	R/W
30	GRPABL	同時出力レベル Low 禁止要求許可 0: 同時出力レベル Low 禁止要求を禁止 1: 同時出力レベル Low 禁止要求を許可	R/W
31	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTINTAD レジスタは、割り込み要求、A/D 変換開始要求、および出力禁止要求の許可／禁止を設定するレジスタです。

SCFA ビット（GTCCRA レジスタコンペアマッチ／インプットキャプチャ要因同期クリア許可）

本ビットは他チャネルのクリア要因としての GTCCRA レジスタコンペアマッチ／インプットキャプチャの使用を許可または禁止します。

SCFB ビット（GTCCRB レジスタコンペアマッチ／インプットキャプチャ要因同期クリア許可）

本ビットは他チャネルのクリア要因としての GTCCRB レジスタコンペアマッチ／インプットキャプチャの使用を許可または禁止します。

相補 PWM モードでは、本設定は無効です。

SCFC ビット（GTCCRC レジスタコンペアマッチ要因同期クリア許可）

本ビットは他チャネルのクリア要因としての GTCCRC レジスタコンペアマッチの使用を許可または禁止します。

相補 PWM モードでは、本設定は無効です。

SCFD ビット（GTCCRD レジスタコンペアマッチ要因同期クリア許可）

本ビットは他チャネルのクリア要因としての GTCCRD レジスタコンペアマッチの使用を許可または禁止します。

相補 PWM モードでは、本設定は無効です。

SCFE ビット（GTCCRE レジスタコンペアマッチ要因同期クリア許可）

本ビットは他チャネルのクリア要因としての GTCCRE レジスタコンペアマッチの使用を許可または禁止します。

相補 PWM モードでは、本設定は無効です。

SCFF ビット（GTCCRF レジスタコンペアマッチ要因同期クリア許可）

本ビットは他チャネルのクリア要因としての GTCCRF レジスタコンペアマッチの使用を許可または禁止します。

相補 PWM モードでは、本設定は無効です。

SCFPO ビット（オーバーフロー要因同期クリア許可）

本ビットは他チャネルのクリア要因としてのオーバーフローの使用を許可または禁止します。

相補 PWM モードでは、マスタチャネルに対してのみ本設定は有効です。

SCFPU ビット（アンダーフロー要因同期クリア許可）

本ビットは他チャネルのクリア要因としてのアンダーフローの使用を許可または禁止します。

相補 PWM モードでは、マスタチャネルに対してのみ本設定は有効です。

ADTRAUEN ビット（GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可）

GTCNT カウンタがアップカウント時の GTADTRA レジスタとのコンレジスタペアマッチによる A/D 変換開始要求を許可／禁止します。

相補 PWM モードでは、マスタチャネルに対してのみ本設定は有効です。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

ADTRADEN ビット（GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可）

GTCNT カウンタがダウンカウント時の GTADTRA レジスタとのコンレジスタペアマッチによる A/D 変換開始要求を許可／禁止します。

相補 PWM モードでは、マスタチャネルに対してのみ本設定は有効です。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

ADTRBUEN ビット（GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可）

GTCNT カウンタがアップカウント時の GTADTRB レジスタとのコンレジスタペアマッチによる A/D 変換開始要求を許可／禁止します。

相補 PWM モードでは、マスタチャネルに対してのみ本設定は有効です。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

ADTRBDEN ビット（GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可）

GTCNT カウンタがダウンカウント時の GTADTRB レジスタとのコンレジスタペアマッチによる A/D 変換開始要求を許可／禁止します。

相補 PWM モードでは、マスタチャネルに対してのみ本設定は有効です。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

GRP[1:0]ビット（出力禁止要因選択）

GPT から POEG への出力禁止要求のグループと、POEG から GPT への GTIOCnA 端子と GTIOCnB 端子の出力禁止のグループを選択します。

POEG への出力禁止要求は、それぞれの禁止要求許可ビットに続くデッドタイムエラー、同時 High 出力、同時 Low 出力要因とともに、GRP[1:0]ビットで選択されたグループへ出力されます。

GTST.ODF は GRP[1:0]ビットで選択した出力禁止要因グループの要求を示します。GTIOR.OAE ビットと GTIOR.OBE ビットがともに 0 の場合に GRP[1:0]ビットを設定してください。

GRPDTE ビット（デッドタイムエラー出力禁止要求許可）

本ビットはデッドタイムエラーによる出力禁止要求を許可または禁止します。

イベントカウント動作中には、デッドタイムエラーによる出力禁止要求は発生しません。

GRPABH ビット（同時出力レベル High 禁止要求許可）

GRPABH ビットは GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力する場合に、出力禁止要求を許可または禁止します。

GRPABL ビット（同時出力レベル Low 禁止要求許可）

GRPABL ビットは GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力する場合に、出力禁止要求を許可または禁止します。

21.2.16 GTST : 汎用 PWM タイマステータスレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x3C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PCF	OABLF	OABHF	DTEF	—	—	—	ODF	—	—	—	—	ADTRBDF	ADTRBUF	ADTRADF	ADTRAUF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TUCF	—	—	—	—	ITCNT[2:0]			TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
Value after reset:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCFA	インプットキャプチャ／コンペアマッチフラグ A 0: GTCCRA インプットキャプチャ／コンペアマッチの発生なし 1: GTCCRA インプットキャプチャ／コンペアマッチの発生あり	R/W(注1)
1	TCFB	インプットキャプチャ／コンペアマッチフラグ B 0: GTCCRB インプットキャプチャ／コンペアマッチの発生なし 1: GTCCRB インプットキャプチャ／コンペアマッチの発生あり	R/W(注1)
2	TCFC	インプットコンペアマッチフラグ C 0: GTCCRC コンペアマッチの発生なし 1: GTCCRC コンペアマッチの発生あり	R/W(注1)
3	TCFD	インプットコンペアマッチフラグ D 0: GTCCRD コンペアマッチの発生なし 1: GTCCRD コンペアマッチの発生あり	R/W(注1)
4	TCFE	インプットコンペアマッチフラグ E 0: GTCCRE コンペアマッチの発生なし 1: GTCCRE コンペアマッチの発生あり	R/W(注1)
5	TCFF	インプットコンペアマッチフラグ F 0: GTCCRF コンペアマッチの発生なし 1: GTCCRF コンペアマッチの発生あり	R/W(注1)

ビット	シンボル	機能	R/W
6	TCFPO	オーバーフローフラグ 0: オーバーフロー（山）の発生なし 1: オーバーフロー（山）の発生あり	R/W(注1)
7	TCFPU	アンダーフローフラグ 0: アンダーフロー（谷）の発生なし 1: アンダーフロー（谷）の発生あり	R/W(注1)
10:8	ITCNT[2:0]	GPTn_OVF/GPTn_UDF 割り込みスキップカウントカウンタ	R
14:11	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15	TUCF	カウント方向フラグ 0: GTCNT カウンタはダウンカウント 1: GTCNT カウンタはアップカウント	R
16	ADTRAUF	GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ 0: アップカウント時に GTADTRA レジスタコンペアマッチの発生なし 1: アップカウント時に GTADTRA レジスタコンペアマッチの発生あり	R/W(注1)
17	ADTRADF	GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ 0: ダウンカウント時に GTADTRA レジスタコンペアマッチの発生なし 1: ダウンカウント時に GTADTRA レジスタコンペアマッチの発生あり	R/W(注1)
18	ADTRBUF	GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ 0: アップカウント時に GTADTRB レジスタコンペアマッチの発生なし 1: アップカウント時に GTADTRB レジスタコンペアマッチの発生あり	R/W(注1)
19	ADTRBDF	GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ 0: ダウンカウント時に GTADTRB レジスタコンペアマッチの発生なし 1: ダウンカウント時に GTADTRB レジスタコンペアマッチの発生あり	R/W(注1)
23:20	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
24	ODF	出力禁止フラグ 0: 出力禁止要求の発生なし 1: 出力禁止要求の発生あり	R
27:25	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
28	DTEF	デッドタイムエラーフラグ 0: デッドタイムエラーの発生なし 1: デッドタイムエラーの発生あり	R
29	OABHF	同時出力レベル High フラグ 0: GTIOCnA 端子と GTIOCnB 端子は同時に 1 を出力していない 1: GTIOCnA 端子と GTIOCnB 端子は同時に 1 を出力した	R
30	OABLF	同時出力レベル Low フラグ 0: GTIOCnA 端子と GTIOCnB 端子は同時に 0 を出力していない 1: GTIOCnA 端子と GTIOCnB 端子は同時に 0 を出力した	R
31	PCF(注2)	周期計数機能終了フラグ 0: 周期計数機能が終了していない 1: 周期計数機能が終了した	R/W(注1)

注 1. このビットは 0 のみ書けます。1 を書かないでください。
ADTRAUF フラグ、ADTRADF フラグ、ADTRBUF フラグ、または ADTRBDF フラグをクリアする場合、その対象フラグまたはクリアするフラグにのみ 0 を書き込んでください。また、他のクリア対象外フラグには 1 を書き込んでください。

注 2. 本ビットは GPT320～GPT323 でのみ使用可能です。
GPT324～GPT329 で本ビットは 0 が読めます。書く場合、0 としてください。

GTST レジスタは、GPT の状態を示します。

TCFA フラグ（インプットキャプチャ／コンペアマッチフラグ A）

TCFA フラグは GTCCRA のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRA レジスタ値になったとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

[0 になる条件]

- このフラグに 0 を書いたとき

TCFB フラグ（インプットキャプチャ／コンペアマッチフラグ B）

TCFB フラグは GTCCRB のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRB レジスタ値になったとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

[0 になる条件]

- このフラグに 0 を書いたとき

TCFC フラグ（インプットコンペアマッチフラグ C）

TCFC フラグは GTCCRC のコンペアマッチのステータスを示します。

GTCCRC がバッファ動作を行う場合、GTCCRC はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRC レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 01b、10b、11b（GTCCRC レジスタがバッファ動作）

TCFD フラグ（インプットコンペアマッチフラグ D）

TCFD フラグは GTCCRD のコンペアマッチのステータスを示します。

GTCCRD がバッファ動作を行う場合、GTCCRD はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRD レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 10b、11b（GTCCRD レジスタがバッファ動作）

TCFE フラグ（インプットコンペアマッチフラグ E）

TCFE フラグは GTCCRE のコンペアマッチのステータスを示します。

GTCCRE がバッファ動作を行う場合、GTCCRE はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRE レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 01b、10b、11b（GTCCRE レジスタがバッファ動作）

TCFF フラグ（インプットコンペアマッチフラグ F）

TCFF フラグは GTCCRF のコンペアマッチのステータスを示します。

GTCCRF がバッファ動作を行う場合、GTCCRF はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRF レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 10b、11b（GTCCRF レジスタがバッファ動作）

TCFPO フラグ（オーバーフローフラグ）

TCFPO フラグはオーバーフローまたは山が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、オーバーフロー（アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化）が発生したとき
- 三角波モードにおいて、山（GTCNT カウンタが GTPR 値から GTPR 値-1 に変化）が発生したとき
- ハードウェア要因によるカウントで、オーバーフロー（アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化）が発生したとき

[0 になる条件]

- このフラグに 0 を書いたとき

TCFPU フラグ（アンダーフローフラグ）

TCFPU フラグはアンダーフローまたは谷が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、アンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき
- 三角波モードにおいて、谷（GTCNT カウンタが 0 から 1 に変化）が発生したとき
- ハードウェア要因によるカウントで、アンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき

[0 になる条件]

- このフラグに 0 を書いたとき

ITCNT[2:0]フラグ（GPTn_OVF/GPTn_UDF 割り込みスキップカウントカウンタ）

GPTn_OVF/GPTn_UDF 割り込みスキップ機能が使用される場合（GTITC.IVTC[1:0]ビットが 00b 以外の値に設定される場合）、GTITC.IVTC[1:0]ビットで選択された GPTn_OVF/GPTn_UDF 割り込み要因が発生するたびにカウンタは 1 インクリメントされます。

これらのビットは GTEITC レジスタによる拡張割り込みスキップとは独立に動作します。

[0 になる条件]

- GPTn_OVF/GPTn_UDF 割り込みスキップ機能が使用されないとき（IVTC[1:0]ビットが 00b の場合、GTITC.IVTT[2:0]ビットが 000b）
- GPTn_OVF/GPTn_UDF 割り込みスキップカウントが指定されたカウントと一致するとき（ITCNT[2:0]ビットが IVTT[2:0]ビットで指定されたスキップカウントと一致するとき）
- カウント動作が停止するとき

TUCF フラグ（カウント方向フラグ）

TUCF フラグは GTCNT カウンタのカウント方向を示します。イベントカウント動作で、このフラグはアップカウント時に 1、ダウンカウント時に 0 になります。

ADTRAUF フラグ（GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ）

本ステータスフラグは、アップカウント時の GTADTRA レジスタコンペアマッチの発生を示します。

[1 になる条件]

- アップカウントで GTCNT カウンタ値が GTADTRA レジスタ値と一致したとき

[0 になる条件]

- ADTRAUF フラグに 0 を書いたとき

ADTRADF フラグ（GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ）

本ステータスフラグは、ダウンカウント時の GTADTRA レジスタコンペアマッチの発生を示します。

[1 になる条件]

- ダウンカウントで GTCNT カウンタ値が GTADTRA レジスタ値と一致したとき

[0 になる条件]

- ADTRADF フラグに 0 を書いたとき

ADTRBUF フラグ（GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ）

本ステータスフラグは、アップカウント時の GTADTRB レジスタコンペアマッチの発生を示します。

[1 になる条件]

- アップカウントで GTCNT カウンタ値が GTADTRB レジスタ値と一致したとき

[0 になる条件]

- ADTRBUF フラグに 0 を書いたとき

ADTRBDF フラグ（GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ）

本ステータスフラグは、ダウンカウント時の GTADTRB レジスタコンペアマッチの発生を示します。

[1 になる条件]

- ダウンカウントで GTCNT カウンタ値が GTADTRB レジスタ値と一致したとき

[0 になる条件]

- ADTRBDF フラグに 0 を書いたとき

ODF フラグ（出力禁止フラグ）

ODF フラグは GRP[1:0]ビットで選択する出力禁止要因グループの要求を示します。

出力が禁止された場合、出力禁止要求がネゲートされる周期内では、出力禁止制御は解除されません。次の周期に解除されます。

DTEF フラグ（デッドタイムエラーフラグ）

本フラグはデッドタイム自動追加後のタイマ出力トグルポイントがカウント周期を超えたことを示します。

デッドタイム自動追加後のタイマ出力トグルポイントが周期内に戻る場合、本フラグは 0 になります。

本フラグは読み出しのみ可能です。（このフラグをクリアするための 0 の書き込みはしないでください。）

DTEF フラグによる出力禁止要求が許可されている場合（GTINTAD.GRPDTE ビットが 1 である場合）、出力禁止要求として DTEF フラグが POEG に出力されます。GPT にはデッドタイムエラー割り込みがありません。割り込みが必要な場合、POEG の割り込み機能を使用します。

[1 になる条件]

- デッドタイムの自動設定後の波形の変化点がカウント周期を超えたとき（以下の場合）
  - 三角波モードでアップカウントの場合：
    GTCCRA レジスタ値 – GTDVU レジスタ値 ≦ 0
  - 三角波モードでダウンカウントの場合：
    GTCCRA レジスタ値 – GTDVD レジスタ値 < 0
  - のこぎり波ワンショットパルスモードでアップカウントの場合：
    GTCCRA レジスタ値 – GTDVU レジスタ値 < 0、または
    GTCCRA レジスタ値 + GTDVD レジスタ値 > GTPR レジスタ値
  - のこぎり波ワンショットパルスモードでダウンカウントの場合：
    GTCCRA レジスタ値 + GTDVU レジスタ値 > GTPR レジスタ値、または
    GTCCRA レジスタ値 – GTDVD レジスタ値 < 0

[0 になる条件]

- デッドタイム自動追加後のタイマ出力トグルポイントがカウント周期内のとき

OABHF フラグ（同時出力レベル High フラグ）

OABHF フラグは GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したことを示します。

GTIOCnA 端子または GTIOCnB 端子が 0 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするための 0 の書き込みはしないでください。

OABHF フラグによる出力禁止要求が許可 (GTINTAD.GRPABH = 1) されている場合、OABHF フラグが出力禁止要求として POEG に出力されます。GPT には出力が同時に High に駆動されていることを示す割り込みがありません。割り込みが必要な場合、POEG の割り込み機能を使用します。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

OABLF フラグ（同時出力レベル Low フラグ）

OABLF フラグは GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したことを示します。

GTIOCnA 端子または GTIOCnB 端子が 1 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするための 0 の書き込みはしないでください。

OABLF フラグによる出力禁止要求が許可 (GTINTAD.GRPABL = 1) されている場合、OABLF フラグが出力禁止要求として POEG に出力されます。GPT には出力が同時に Low に駆動されていることを示す割り込みがありません。割り込みが必要な場合、POEG の割り込み機能を使用します。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

OABHF/OABLF フラグを生成する比較対象信号は、出力禁止機能でマスクされる前のコンペアマッチ出力（PWM 出力）信号です。出力禁止条件下においても、内部ではコンペアマッチ動作が継続します。OABHF フラグまたは OABLF フラグが動作結果に基づいて更新されます。

PCF フラグ（周期計数機能終了フラグ）

本フラグは周期計数機能終了のステータスフラグです。

[1 になる条件]

- 周期の終わりで GTPC.PCEN ビットが 1、GTPC.PCNT カウンタが 1 のとき
- カウントクロックで GTPC.PCEN ビットが 1、GTPC.PCNT カウンタが 0 のとき

[0 になる条件]

- このフラグに 0 を書いたとき

21.2.17 GTBER : 汎用 PWM タイマバッファイネーブルレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	DBRTECB	—	DBRTECA	—	—	—	—	BD3	BD2	BD1	BD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BD0	GTCCR バッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
1	BD1	GTPR バッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W(注1)
2	BD2	GTADTRA/GTADTRB レジスタバッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
3	BD3	GTDVU/GTDVD レジスタバッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
7:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	DBRTECA	GTCCRA レジスタダブルバッファリピート動作許可 0: GTCCRA レジスタダブルバッファリピート動作禁止 1: GTCCRA レジスタダブルバッファリピート動作許可	R/W
9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
10	DBRTECB	GTCCRB レジスタダブルバッファリピート動作許可 0: GTCCRB レジスタダブルバッファリピート動作禁止 1: GTCCRB レジスタダブルバッファリピート動作許可	R/W
15:11	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
17:16	CCRA[1:0]	GTCCRA バッファ動作 0 0: バッファ動作しない 0 1: シングルバッファ動作（GTCCRA レジスタ ↔ GTCCRC レジスタ） その他: ダブルバッファ動作（GTCCRA レジスタ ↔ GTCCRC レジスタ ↔ GTCCRD レジスタ）	R/W
19:18	CCRB[1:0]	GTCCRB バッファ動作 0 0: バッファ動作しない 0 1: シングルバッファ動作（GTCCRB レジスタ ↔ GTCCRE レジスタ） その他: ダブルバッファ動作（GTCCRB レジスタ ↔ GTCCRE レジスタ ↔ GTCCRF レジスタ）	R/W
21:20	PR[1:0]	GTPR バッファ動作 0 0: バッファ動作しない 0 1: シングルバッファ動作（GTPBR レジスタ → GTPR レジスタ） その他: ダブルバッファ動作（GTPDBR レジスタ → GTPBR レジスタ → GTPR レジスタ）	R/W
22	CCRSWT	GTCCRA・GTCCRB 強制バッファ動作 1 を書くと GTCCRA および GTCCRB レジスタのバッファ転送を強制的に行います。このビットは 1 を書いた後、自動的に 0 に戻ります。読むと 0 が読めます。	W
23	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:24	ADTTA[1:0]	GTADTRA レジスタバッファ転送タイミング選択 0 0: 三角波、または相補 PWM モードの場合、転送なし のこぎり波モードの場合、転送なし 0 1: 三角波モードまたは相補 PWM モードの場合、山で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送 1 0: 三角波、または相補 PWM モードの場合、谷で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送 1 1: 三角波モードまたは相補 PWM モードの場合、山と谷の両方で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送	R/W
26	ADTDA	GTADTRA レジスタダブルバッファ動作 0: シングルバッファ動作（GTADTBRA レジスタ → GTADTRA レジスタ） 1: ダブルバッファ動作（GTADTDBRA レジスタ → GTADTBRA レジスタ → GTADTRA レジスタ）	R/W
27	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
29:28	ADTTB[1:0]	GTADTRB レジスタバッファ転送タイミング選択 0 0: 三角波、または相補 PWM モードの場合、転送なし のこぎり波モードの場合、転送なし 0 1: 三角波モードまたは相補 PWM モードの場合、山で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送 1 0: 三角波、または相補 PWM モードの場合、谷で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送 1 1: 三角波、または相補 PWM モードの場合、山と谷の両方で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送	R/W
30	ADTDB	GTADTRB レジスタダブルバッファ動作 0: シングルバッファ動作（GTADTBRB レジスタ → GTADTRB レジスタ） 1: ダブルバッファ動作（GTADTDBRB レジスタ → GTADTBRB レジスタ → GTADTRB レジスタ）	R/W

ビット	シンボル	機能	R/W
31	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。

GTBER レジスタは、バッファ動作を設定するレジスタです。BDx（x = 0～3）ビットを除く GTBER レジスタは、GTCNT カウンタが停止しているときに設定する必要があります。

BD0 ビット（GTCCR バッファ動作禁止）

BD0 ビットは GTCCRA、GTCCRB、GTCCRC、GTCCRD、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

GTDTCR.TDE ビットが 1 のとき、BD0 ビットを 0 にしても、のこぎり波ワンショットパルスモードまたは三角波 PWM モードでは、GTCCRB レジスタはバッファ動作を行いません。GTCCRB レジスタは、デッドタイム付き逆相波形のコンペアマッチ値に自動的に設定されます。

相補 PWM モードでは、GTCCRC レジスタと GTCCRE レジスタのバッファ動作に対してのみ有効です。GTCCRA レジスタのバッファ動作は禁止できません。GTCCRE レジスタと GTCCRF レジスタのバッファ動作は、GTBER2 レジスタの CP3DB ビットにより許可または禁止されます。相補 PWM モードでは、GTCCRB レジスタへのバッファ転送は実行されません。

GTSECSR レジスタにより 1 を書き込まれたビットの配置に対応するチャネルの BD0 ビット値は、GTSECR.SBDCE または GTSECR.SBDCD に 1 が書き込まれた場合に設定可能です。

DBRTECm（m = A、B）ビットが 1 の場合、動作モードがのこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 の間に BD0 ビットを 1 に設定すると、中間バッファから GTCCRm レジスタへ転送されます。

BD1 ビット（GTPR バッファ動作禁止）

BD1 ビットは GTPR、GTPDBR、および GTPBR レジスタを組み合わせたバッファ動作を禁止します。

GTSECSR レジスタにより 1 を書き込まれたビットの配置に対応するチャネルの BD1 ビット値は、GTSECR.SBDPE または GTSECR.SBDPD に 1 が書き込まれた場合に設定可能です。

相補 PWM モードでは、マスタチャネルの BD1 ビットの設定により、スレーブチャネルも制御されます。

BD2 ビット（GTADTRA/GTADTRB レジスタバッファ動作禁止）

本ビットは GTADTRA、GTADTBRA、GTADTDBRA レジスタを共に使用したバッファ動作、および GTADTRB、GTADTBRB、GTADTDBRB レジスタを共に使用したバッファ動作を禁止します。

本設定はイベントカウント動作中は無効であり、GTADTRA、GTADTRB レジスタを使用したバッファ動作は実行されません。

GTSECSR レジスタにより 1 を書き込まれたビットの位置に関連するチャネルの BD2 ビット値は、GTSECR レジスタの SBDAE または SBDAD ビットに 1 が書き込まれたときに設定可能です。

BD3 ビット（GTDVU/GTDVD レジスタバッファ動作禁止）

のこぎり波 PWM モード 1、のこぎり波ワンショットパルスモード、または三角波 PWM モードにおいて、本ビットは GTDVU、GTDBU レジスタを共に使用したバッファ動作および GTDVD、GTDBD レジスタを共に使用したバッファ動作を禁止します。

BD3 ビットが 0 の場合でも、GTDVD レジスタのバッファ動作は、GTDTCR.TDFER ビットが 1 の場合には実行されません。その代わり、GTDVU レジスタ値は自動的に設定されます。

のこぎり波 PWM モード 2 または相補 PWM モードの場合、本ビットは無効であり、GTDVU、GTDVD レジスタはバッファ動作を実行しません。

本設定はイベントカウント動作中は無効であり、GTDVU、GTDVD レジスタを使用したバッファ動作は実行されません。

GTSECSR レジスタにより 1 を書き込まれたビットの位置に関連するチャネルの BD3 ビット値は、GTSECR レジスタの SBDDE または SBDDD ビットに 1 が書き込まれたときに設定可能です。

DBRTECm ビット（GTCCRm レジスタダブルバッファリピート動作許可）(m = A, B)

GTCCRm レジスタを使用したダブルバッファ動作実行時に、本設定はバッファ転送禁止期間中の周期による中間バッファから GTCCRm レジスタへの転送リピート動作を許可します。

のこぎり波ワンショットパルスモードおよび三角波 PWM モード 3 の場合は、有効です。

バッファ転送禁止期間は、BD0 ビットの設定によるバッファ転送停止期間（GTSECSR レジスタによる CPU 書き込みまたは同時バッファ動作制御）および GTEITLB レジスタによるバッファ転送拡張スキップ期間（山と谷両方でのカウントによるスキップの場合を除く）を示しています。

DBRTECm ビットが 1 のとき、CPU による GTCCRm レジスタへの書き込みはテンポラリレジスタ x (x = C, E) に同じ値を設定します。GTCCRx (x = C, E) レジスタ値もバッファ強制転送によりテンポラリレジスタ x (x = C, E) に転送されます。

CCRA[1:0]ビット（GTCCRA バッファ動作）

CCRA[1:0]ビットは GTCCRA、GTCCRC、および GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。

のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3（谷での 64 ビット転送）、または相補 PWM モードでは、バッファ動作モードは固定されます。

CCRB[1:0]ビット（GTCCRB バッファ動作）

CCRB[1:0]ビットは GTCCRB、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。

のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3（谷での 64 ビット転送）、または相補 PWM モードでは、バッファ動作モードは固定されます。

PR[1:0]ビット（GTPR バッファ動作）

PR[1:0]ビットは GTPR、GTPDBR、および GTPBR レジスタを組み合わせたバッファ動作を設定します。

相補 PWM モードでは、本設定は無効です。相補 PWM モード固有のバッファ動作は、PR[1:0]ビット設定値に関係なく実行されます。

CCRSWT ビット（GTCCRA・GTCCRB 強制バッファ動作）

CCRSWT ビットに 1 を書くと GTCCRA、および GTCCRB レジスタのバッファ転送を強制的に行います。このビットは 1 を書いた後、自動的に 0 に戻ります。本ビットは 0 が読み出され、カウントストップ時にコンペマッチ動作が設定されている場合にのみ有効です。

相補 PWM モードでは、本設定は無効です。

ADTTA[1:0]ビット（GTADTRA レジスタバッファ転送タイミング選択）

本ビットは GTADTRA、GTADTBRA、および GTADTDBRA レジスタのバッファ動作の転送タイミングを設定します。

イベントカウント動作中は、本設定は無効です。

ADTDA ビット（GTADTRA レジスタダブルバッファ動作）

本ビットは GTADTRA、GTADTBRA、および GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。

イベントカウント動作中は、本設定は無効です。

ADTTB[1:0]ビット（GTADTRB レジスタバッファ転送タイミング選択）

本ビットは GTADTRB、GTADTBRB、および GTADTDBRB レジスタのバッファ動作の転送タイミングを設定します。

イベントカウント動作中は、本設定は無効です。

ADTDB ビット（GTADTRB レジスタダブルバッファ動作）

本ビットは GTADTRB、GTADTBRB、および GTADTDBRB レジスタを組み合わせたバッファ動作を設定します。

イベントカウント動作中は、本設定は無効です。

21.2.18 GTITC : 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x44

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	ADTBL	—	ADTAL	—	IVTT[2:0]			IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ITLA	GTCCRA レジスタコンペアマッチ／インプットキャプチャ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
1	ITLB	GTCCRB レジスタコンペアマッチ／インプットキャプチャ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
2	ITLC	GTCCRC レジスタコンペアマッチ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
3	ITLD	GTCCRD レジスタコンペアマッチ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
4	ITLE	GTCCRE レジスタコンペアマッチ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
5	ITLF	GTCCRF レジスタコンペアマッチ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
7:6	IVTC[1:0]	GPTn_OVF/GPTn_UDF 割り込み間引き機能選択 0 0: 間引かない 0 1: のこぎり波のときにオーバーフロー／アンダーフロー両方を(注1)、三角波と相補 PWM モードのときに山をカウントして間引く 1 0: のこぎり波のときにオーバーフロー／アンダーフロー両方を(注1)、三角波と相補 PWM モードのときに谷をカウントして間引く 1 1: のこぎり波のときにオーバーフロー／アンダーフロー両方を(注1)、三角波と相補 PWM モードのときに谷／山の両方をカウントして間引く	R/W
10:8	IVTT[2:0]	GPTn_OVF/GPTn_UDF 割り込み間引き回数選択 0 0 0: 間引かない 0 0 1: 間引き回数：1 回 0 1 0: 間引き回数：2 回 0 1 1: 間引き回数：3 回 1 0 0: 間引き回数：4 回 1 0 1: 間引き回数：5 回 1 1 0: 間引き回数：6 回 1 1 1: 間引き回数：7 回	R/W
11	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
12	ADTAL	GTADTRA レジスタ A/D 変換開始要求連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
13	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
14	ADTBL	GTADTRB レジスタ A/D 変換開始要求連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
31:15	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. のこぎり波 PWM モード 2 はこの機能の対象外です。

GTITC レジスタは、GTCNT カウンタのオーバーフロー（GTPR レジスタのコンペアマッチ）割り込み（GPTn_OVF）とアンダーフロー割り込み（GPTn_UDF）の間引き機能の設定と、他の割り込みおよび A/D 変換開始要求を GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させるかどうかの設定をするレジスタです。
POEG への出力禁止要求は、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動できないので注意してください。
また、割り込み間引き機能を実行した場合、ステータスフラグの変化も間引かれます。

イベントカウント動作中は、この設定は無効です。

この設定の動作は GTEITC レジスタによる拡張割り込み間引きとは無関係に実行されます。

ITLA ビット（GTCCRA レジスタコンペアマッチ／インプットキャプチャ割り込み連動）

GTCCRA コンペアマッチ／インプットキャプチャ割り込み（GPTn_CCMPA）を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させるかどうかを指定します。

ITLB ビット（GTCCRB レジスタコンペアマッチ／インプットキャプチャ割り込み連動）

GTCCRB コンペアマッチ／インプットキャプチャ割り込み（GPTn_CCMPB）を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させるかどうかを指定します。

ITLC ビット（GTCCRC レジスタコンペアマッチ割り込み連動）

GTCCRC コンペアマッチ割り込み（GPTn_CMPC）を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させるかどうかを指定します。

ITLD ビット（GTCCRD レジスタコンペアマッチ割り込み連動）

GTCCRD コンペアマッチ割り込み（GPTn_CMPD）を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させるかどうかを指定します。

ITLE ビット（GTCCRE レジスタコンペアマッチ割り込み連動）

GTCCRE コンペアマッチ割り込み（GPTn_CMPE）を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させるかどうかを指定します。

ITLF ビット（GTCCRF レジスタコンペアマッチ割り込み連動）

GTCCRF コンペアマッチ割り込み（GPTn_CMPF）を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させるかどうかを指定します。

IVTC[1:0]ビット（GPTn_OVF/GPTn_UDF 割り込み間引き機能選択）

GTPR レジスタのコンペアマッチ（GTCNT カウンタのオーバーフロー）割り込み（GPTn_OVF）と GTCNT カウンタのアンダーフロー割り込み（GPTn_UDF）の間引き機能を設定します。

IVTT[2:0]ビット（GPTn_OVF/GPTn_UDF 割り込み間引き回数選択）

GTPR レジスタのコンペアマッチ（GTCNT カウンタのオーバーフロー）割り込み（GPTn_OVF）と GTCNT カウンタのアンダーフロー割り込み（GPTn_UDF）の間引き回数を設定します。

IVTT[2:0] ビットを書き換える場合は、最初に IVTC[1:0] ビットを 00b にしてください。

ADTAL ビット（GTADTRA レジスタ A/D 変換開始要求連動）

GTCNT カウンタと GTADTRA レジスタとのコンペアマッチによって発生する GTADTRA レジスタの A/D 変換開始要求を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させるかどうかを指定します。

ADTBL ビット（GTADTRB レジスタ A/D 変換開始要求連動）

GTCNT カウンタと GTADTRB レジスタとのコンペアマッチによって発生する GTADTRB レジスタの A/D 変換開始要求を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させるかどうかを指定します。

21.2.19 GTCNT : 汎用 PWM タイマカウンタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x48

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	GTCNT は GPT32n (n = 0～9) 用の 32 ビットの読み出し／書き込みカウンタです。 GTCNT はカウント停止後に書き込みのみ可能です。 GTCNT カウンタに 8 ビット単位または 16 ビット単位のアクセスはしないでください。32 ビット単位でアクセスしてください。 のこぎり波または三角波の場合は、GTCNT カウンタは、0 ≦ GTCNT ≦ GTPR の範囲に収まるように設定してください。	R/W

21.2.20 GTCCRk : 汎用 PWM タイマコンペアキャプチャレジスタ k（k = A～F）

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x4C (GTCCRA)
0x50 (GTCCRB)
0x54 (GTCCRC)
0x58 (GTCCRE)
0x5C (GTCCRD)
0x60 (GTCCRF)

Bit position:	31																												0
Bit field:																													
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTCCRk レジスタは読み出し／書き込みレジスタです。GTCCRk レジスタへの 8 ビットまたは 16 ビットアクセスは禁止されています。32 ビットアクセスをしてください。 GTCCRA レジスタと GTCCRB レジスタは、アウトプットコンペア／インプットキャプチャ兼用のレジスタです。GTCCRC レジスタと GTCCRE レジスタはコンペアマッチレジスタであり、GTCCRA レジスタと GTCCRB レジスタ用のバッファレジスタとしても機能します。 GTCCRD レジスタと GTCCRF レジスタはコンペアマッチレジスタであり、GTCCRC レジスタと GTCCRE レジスタ用のバッファレジスタ（GTCCRA レジスタと GTCCRB レジスタ用のダブルバッファレジスタ）としても機能します。	R/W

21.2.21 GTPR : 汎用 PWM タイマ周期設定レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x64

Bit position:	31																												0
Bit field:																													
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTPR レジスタは、読み出し／書き込み可能なレジスタで、GTCNT カウンタのカウント最大値を設定するレジスタです。GTPR レジスタへの 8 ビットまたは 16 ビットアクセスは禁止されています。32 ビットアクセスをしてください。 のこぎり波 PWM モード 2 での設定は無効です。のこぎり波 PWM モード 2 以外ののこぎり波の場合は、 (GTPR + 1) の値が周期になります。三角波または相補 PWM モードの場合は、(GTPR× 2) の値が周期になります。 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。	R/W

21.2.22 GTPBR : 汎用 PWM タイマ周期設定バッファレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x68

Bit position:	31																												0
Bit field:																													
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能する、読み出し／書き込みレジスタです。GTPBR レジスタへの 8 ビットまたは 16 ビットアクセスは禁止されています。32 ビットアクセスをしてください。 のこぎり波 PWM モード 2 では、本設定は無効です。 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。	R/W

21.2.23 GTPDBR : 汎用 PWM タイマ周期設定ダブルバッファレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x6C

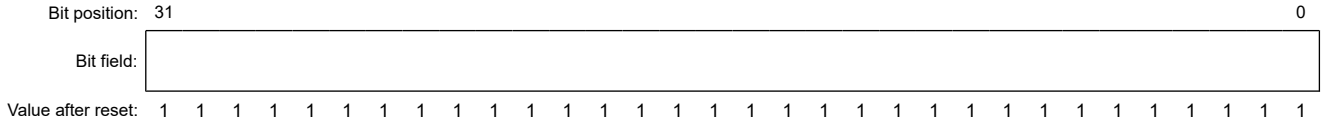
Bit position:	31																												0
Bit field:																													
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTPBR レジスタ用のバッファレジスタ（すなわち、GTPR レジスタ用のダブルバッファレジスタ） GTPDBR レジスタへの 8 ビットまたは 16 ビットアクセスは禁止されています。32 ビットアクセスをしてください。 のこぎり波 PWM モード 2 では、この設定は無効です。 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。	R/W

21.2.24 GTADTRk : A/D 変換開始要求タイミングレジスタ k (k = A, B)

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x70 (GTADTRA)
0x7C (GTADTRB)

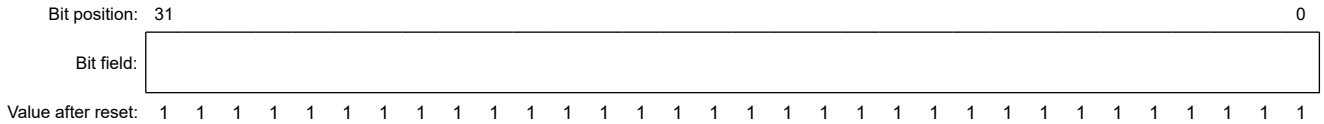


ビット	シンボル	機能	R/W
31:0	n/a	A/D 変換開始要求の発生タイミングを設定します。 GTADTRk レジスタへの 8 ビットまたは 16 ビットアクセスは禁止されています。32 ビットアクセスをしてください。 GTADTRk レジスタの値が GTCNT カウンタ値と一致したとき、A/D 変換開始要求が発生します。 相補 PWM モードでは、マスタチャネルの GTCNT カウンタがこのレジスタと一致したときに、A/D 変換開始要求が発生します。	R/W

21.2.25 GTADTBRk : A/D 変換開始要求タイミングバッファレジスタ k (k = A, B)

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x74 (GTADTBRA)
0x80 (GTADTBRB)

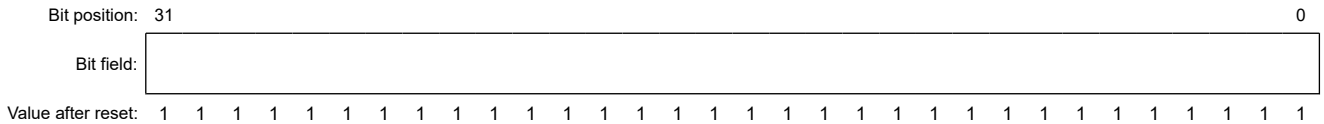


ビット	シンボル	機能	R/W
31:0	n/a	GTADTRk レジスタ用のバッファレジスタ GTADTBRk レジスタへの 8 ビットまたは 16 ビットアクセスは禁止されています。32 ビットアクセスをしてください。	R/W

21.2.26 GTADTDBRk : A/D 変換開始要求タイミングダブルバッファレジスタ k (k = A, B)

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x78 (GTADTDBRA)
0x84 (GTADTDBRB)



ビット	シンボル	機能	R/W
31:0	n/a	GTADTBRk レジスタ用のバッファレジスタ（すなわち、GTADTRk レジスタ用のダブルバッファレジスタ） GTADTDBRk レジスタへの 8 ビットまたは 16 ビットアクセスは禁止されています。32 ビットアクセスをしてください。	R/W

21.2.27 GTDTCR : 汎用 PWM タイマデッドタイムコントロールレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x88

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TDFER	—	—	TDBDE	TDBUE	—	—	—	TDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDE	逆相波形設定 0: GTDVU レジスタおよび GTDVD レジスタを使用しないで、GTCCRB レジスタを設定する 1: GTDVU レジスタと GTDVD レジスタを使用して、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定する	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TDBUE	GTDVU レジスタバッファ動作許可 0: GTDVU レジスタバッファ動作を禁止 1: GTDVU レジスタバッファ動作を許可	R/W
5	TDBDE	GTDVD レジスタバッファ動作許可 0: GTDVD レジスタバッファ動作を禁止 1: GTDVD レジスタバッファ動作を許可	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TDFER	GTDVD レジスタの設定値 0: GTDVU レジスタと GTDVD レジスタを個別に設定 1: GTDVU レジスタに書き込まれた値が GTDVD レジスタに自動設定	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDTCR レジスタは、デッドタイム付き逆相波形のコンペアマッチ値の自動設定を許可するレジスタです。GPT にはデッドタイム制御機能があります。デッドタイム値の設定には GTDVU レジスタと GTDVD レジスタを使用します。

本機能はのこぎり波 PWM モード 2 または相補 PWM モードでは無効です。

イベントカウント動作中は、本設定は無効です。

TDE ビット（逆相波形設定）

TDE ビットは GTDVU レジスタおよび GTDVD レジスタを使用するか否かを指定します。GTDVU レジスタと GTDVD レジスタを使用する場合、正相波形のコンペアマッチ値（GTCCRA 値）とデッドタイム値（GTDVU 値と GTDVD 値）から算出されたデッドタイム付き逆相波形のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。

TDE ビットの設定値は、のこぎり波 PWM モードでは無視され、GTCCRB レジスタで自動設定は行われません。

GTCCRB レジスタ値が自動設定されるとき、下記のような上限／下限値があります。算出された GTCCRB 値がこの範囲に収まらない場合、GTCCRB レジスタには下記の制限値が設定されます。また、GTST.DTEF フラグが 1 になります。ただし、算出された GTCCRB 値が三角波 PWM モードの上限値を超える場合、DTEF フラグは 0 になります。

- 三角波の場合
  上限値：GTPR 値 − 1
  下限値：アップカウント時は 1、ダウンカウント時は 0
- のこぎり波ワンショットパルスモードの場合
  上限値：GTPR 値

下限値：0

TDBUE ビット（GTDVU レジスタバッファ動作許可）

本ビットは GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作を許可します。

バッファ転送のタイミングは三角波モードの谷、およびのこぎり波モードのオーバーフローまたはアンダーフローです。

TDBDE ビット（GTDVD レジスタバッファ動作許可）

本ビットは GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を許可します。

バッファ転送のタイミングは三角波モードの谷、およびのこぎり波モードのオーバーフローまたはアンダーフローです。

本ビットと TDFER ビットを同時に 1 にする場合、TDFER ビットの設定が優先されます。

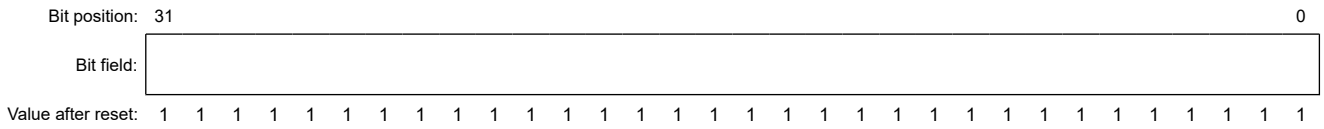
TDFER ビット（GTDVD レジスタの設定値）

本ビットは GTDVU レジスタに書き込まれた値が GTDVD レジスタにも自動設定されるか否かを設定します。

21.2.28 GTDVk : 汎用 PWM タイマデッドタイム値レジスタ k (k = U, D)

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x8C (GTDVU)
0x90 (GTDVD)



ビット	シンボル	機能	R/W
31:0	n/a	GTDVk レジスタは、デッドタイム付き PWM 波形を生成するためのデッドタイム値を設定する読み出し／書き込みレジスタです。 GTDVk レジスタへの 8 ビットまたは 16 ビットアクセスは禁止されています。32 ビットアクセスをしてください。 のこぎり波 PWM モード 2 では、この設定は無効です。 相補 PWM モードの場合、GTDVD レジスタは無効であり、アップカウント時とダウンカウント時の両方で GTDVU レジスタをデッドタイム値として使用します。マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどの GTDVU レジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。 三角波の場合、GTDVU レジスタはアップカウントに使用します。GTDVD レジスタはダウンカウントに使用します。 のこぎり波の場合、アップカウント／ダウンカウントにかかわらず、GTDVU レジスタは前半のデッドタイムを、GTDVD レジスタは後半のデッドタイムを制御します。 GTDVk 値に GTPR 以上の値を設定しないでください。 相補 PWM モードの場合、以下の条件を満たすように GTDVU レジスタを設定してください。 • GTDVU ＞ 0 • GTDVU ＜ GTPR/2 • GTDVU + GTPR≦0xffffffff また、デッドタイム自動設定機能を使用する場合、波形の変化点がカウント周期を超えるような設定をしないでください。逆相波形の変化点（自動的に計算）は、GTCCRB レジスタの読み出しで取得します。 GTDVk レジスタを使用する場合、GTCCRB レジスタへの書き込みはしないでください。相補 PWM モード以外の場合、このレジスタ値を 0 にすると、デッドタイムなしの波形が出力されます。 GTDTCR.TDFER ビットが 1 の場合、GTDVD レジスタへの書き込みは無効です。このとき GTDVD レジスタを読み出すと、GTDVU レジスタの値が読み出されます。 GPT の動作中は、GTDVk レジスタ値の変更はしないでください。GTDVk を新しい値に変更するには、GTCR レジスタの CST ビットで GPT を停止してください。	R/W

21.2.29 GTDBk : 汎用 PWM タイマデッドタイムバッファレジスタ k (k = U, D)

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x94 (GTDBU)
0x98 (GTDBD)

Bit position:	31																												0
Bit field:																													
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTDVk レジスタ用のバッファレジスタ GTDBk レジスタへの 8 ビットまたは 16 ビットアクセスは禁止されています。32 ビットアクセスをしてください。	R/W

21.2.30 GTSOS : 汎用 PWM タイマ出力保護機能ステータスレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0x9C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SOS[1:0]	出力保護機能ステータス 0 0: 通常動作 0 1: 保護状態（谷もしくは山の転送で GTCCRA レジスタ = 0 が設定された） 1 0: 保護状態（谷の転送で GTCCRA レジスタ≧GTPR レジスタが設定された） 1 1: 保護状態（山の転送で GTCCRA レジスタ≧GTPR レジスタが設定された）	R
7:2	—	読むと 0 が読めます。	R
9:8	—	読み出し値は不定です。	R
31:10	—	読むと 0 が読めます。	R

GTSOS レジスタは出力保護機能の状態を示すステータスレジスタです。出力保護機能は、三角波モードでデッドタイムが自動的に設定（GTDTCR.TDE ビット = 1）されている場合にのみ有効です。

SOS[1:0]ビット（出力保護機能ステータス）

三角波 PWM モードでの出力保護機能のステータスを示します。出力保護機能の詳細については、「21.8.4. GTIOCnm 端子出力の出力保護機能（n = 0～9；m = A、B）」を参照してください。

21.2.31 GTSOTR : 汎用 PWM タイマ出力保護機能一時解除レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0xA0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOTR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SOTR	出力保護機能一時解除 0: 保護状態を解除しない 1: 保護状態を解除する	R/W
31:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTSOTR レジスタは、出力保護状態時に GTIOCnB 端子出力の保護状態（n = 0～9）を一時的に解除します。

GTSOS.SOS[1:0] ビットが 10b（谷の転送で GTCCRA レジスタ≧GTPR レジスタとなったことを示す保護状態）の場合のみ、解除することができます。他の状態の場合には、保護状態は解除できません。

SOTR ビット（出力保護機能一時解除）

出力保護状態時に GTIOCnB 端子出力の保護状態を一時的に解除するか／しないかを設定します。

SOTR ビットを 1 にすると、最初に現れる谷以降の出力保護機能を解除します。また、SOTR ビットを 0 にすると、最初に現れる谷以降の出力保護を再開します。

21.2.32 GTADSMR : 汎用 PWM タイマ A/D 変換開始要求信号監視レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0xA4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	ADSM EN1	—	—	—	—	—	—	ADSMS1[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ADSM EN0	—	—	—	—	—	—	ADSMS0[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ADSMS0[1:0]	A/D 変換開始要求信号監視 0 の選択 0 0: アップカウント時の、GTADTRA レジスタによる A/D 変換開始要求信号発生 0 1: ダウンカウント時の、GTADTRA レジスタによる A/D 変換開始要求信号発生 1 0: アップカウント時の、GTADTRB レジスタによる A/D 変換開始要求信号発生 1 1: ダウンカウント時の、GTADTRB レジスタによる A/D 変換開始要求信号発生	R/W
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	ADSMEN0	A/D 変換開始要求信号監視 0 の出力許可 0: A/D 変換開始要求信号監視 0 の出力を禁止 1: A/D 変換開始要求信号監視 0 の出力を許可	R/W

ビット	シンボル	機能	R/W
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
17:16	ADSMS1[1:0]	A/D 変換開始要求信号監視 1 の選択 0 0: アップカウント時に GTADTRA レジスタによる A/D 変換開始要求信号発生 0 1: ダウンカウント時に GTADTRA レジスタによる A/D 変換開始要求信号発生 1 0: アップカウント時に GTADTRB レジスタによる A/D 変換開始要求信号発生 1 1: ダウンカウント時に GTADTRB レジスタによる A/D 変換開始要求信号発生	R/W
23:18	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
24	ADSMEN1	A/D 変換開始要求信号監視 1 の出力許可 0: A/D 変換開始要求信号監視 1 の出力を禁止 1: A/D 変換開始要求信号監視 1 の出力を許可	R/W
31:25	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTADSMR レジスタは、フレーム期間と同期した A/D 変換開始要求信号の監視を制御するために使用します。

ADSMSk[1:0] ビット（A/D 変換開始要求信号監視 k の選択）(k = 0, 1)

GTASMk 端子で監視するフレーム期間と同期した A/D 変換開始要求信号を選択するビットです。

三角波 PWM モードまたは相補 PWM モードでは、以下の設定は禁止されています。

- GTADTRA = 0 のときに ADSMSk[1:0] ビットを 00b（アップカウント時の A/D 変換開始要求）に設定
- GTADTRB = 0 のときに ADSMSk[1:0] ビットを 10b（アップカウント時の A/D 変換開始要求）に設定
- GTADTRA = GTPR のときに ADSMSk[1:0] ビットを 01b（ダウンカウント時の A/D 変換開始要求）に設定
- GTADTRB = GTPR のときに ADSMSk[1:0] ビットを 11b（ダウンカウント時の A/D 変換開始要求）に設定

ADSMENk ビット（A/D 変換開始要求信号監視 k の出力許可）(k = 0, 1)

GTADSMk 端子への監視出力許可／禁止を選択します。

出力を禁止すると、GTADSMk 端子が Low になります。

このビットが 1 の場合、GTADSMk 端子の信号は、ADSMSk[1:0] ビットで選択した A/D 変換開始要求信号のアサート時に High になり、A/D 変換開始を要求する任意の信号を発生させるチャネルの現在のタイマ周期の終わりに Low に戻ります。カウンタが停止すると、カウンタ停止時の値が出力用に保持されます。ADSMENk ビットを 0 にして Low レベルを出力してください。

A/D 変換開始要求信号がタイマ周期の終わりに発生した場合、出力監視に関してはこの信号の発生が優先され、出力は次の周期の終わりまで High のままです。

複数チャネルに対して同じ A/D 変換開始要求信号監視の出力を許可した場合、信号の論理和が GPT から出力されます。

21.2.33 GTEITC : 汎用 PWM タイマ拡張割り込み間引きカウンタコントロールレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0xA8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EITCNT2[3:0]				EITCNT2IV[3:0]				EIVTT2[3:0]				—	—	EIVTC2[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EITCNT1[3:0]				—	—	—	—	EIVTT1[3:0]				—	—	EIVTC1[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	EIVTC1[1:0]	拡張割り込み間引きカウンタ 1 のカウントソース選択 0 0: カウントしない（間引きなし） 0 1: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの山をカウント 1 0: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの谷をカウント 1 1: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの山／谷両方をカウント	R/W
3:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7:4	EIVTT1[3:0]	拡張割り込み間引き 1 の間引き回数設定 拡張割り込み間引き 1 の間引き回数	R/W
11:8	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:12	EITCNT1[3:0]	拡張割り込み間引きカウンタ 1	R
17:16	EIVTC2[1:0]	拡張割り込み間引きカウンタ 2 のカウントソース選択 0 0: カウントしない（間引きなし） 0 1: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの山をカウント 1 0: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの谷をカウント 1 1: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの山／谷両方をカウント	R/W
19:18	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
23:20	EIVTT2[3:0]	拡張割り込み間引き 2 の間引き回数設定 拡張割り込み間引き 2 の間引き回数	R/W
27:24	EITCNT2IV[3:0]	拡張割り込み間引きカウンタ 2 の初期値	R/W(注1)
31:28	EITCNT2[3:0]	拡張割り込み間引きカウンタ 2	R

注 1. 00b だった EIVTC2[1:0] ビットに 00b 以外の値を書き込んだときにだけ、EITCNT2IV[3:0] ビットへの書き込みが可能です。

GTEITC レジスタは、GTCNT カウンタのオーバーフロー時とアンダーフロー時のカウントによって割り込み、A/D 変換開始要求、バッファ転送を別々に間引くための拡張割り込み間引き機能を設定します。

この設定の動作は GTITC レジスタまたは GTADCMSC レジスタによる割り込み間引きとは無関係に実行されます。

イベントカウント動作中は、この設定は無効です。

GTEITC レジスタの 8 ビット単位でのアクセスは禁止です。

EIVTCk[1:0] ビット（拡張割り込み間引きカウンタ k カウントソース選択）(k = 1, 2)

拡張割り込み間引きカウンタ k のカウント方法を選択します。

これらのビットを設定するだけでは、割り込み、A/D 変換開始要求、バッファ転送を間引きません。間引き対象である割り込み、A/D 変換開始要求、バッファ転送に対する間引き機能は、それぞれ個別に GTEITLI1 レジスタ、GTEITLI2 レジスタ、GTEITLB レジスタで設定します。

EIVTTk[3:0] ビット（拡張割り込み間引き k の間引き回数設定）(k = 1, 2)

連続間引きがある期間の回数を、間引き回数として設定します。このとき、EIVTCk[1:0] ビットで選択したカウントソースの発生から次のカウントソースの発生までを 1 期間とします。

EIVTTk[3:0] ビットが EITCNTk[3:0] ビットに一致しているときにカウントソースが発生した場合、EITCNTk[3:0] ビットがクリアされます。

これらのビットが 0x0 の場合、間引きしません。

EITCNT1[3:0] ビット（拡張割り込み間引きカウンタ 1）

EIVTC1[1:0] ビットで選択したカウントソース（オーバーフロー／アンダーフロー／山／谷）が発生するたびに、カウントを 1 ずつインクリメントします。

カウントは 0～EIVTT1[3:0] ビットの範囲で定期的に実行されます。

GTCNT カウンタが停止しても、値はクリアされず、GTCNT カウンタ停止時の値が保持されます。

[0 になる条件]

- EIVTC1[1:0] ビットに 00b を書き込む。
- EIVTT1[3:0] ビットに 0x0 を書き込む。
- EIVTC1[1:0] ビットで選択したカウントソース（オーバーフロー／アンダーフロー／山／谷）は、EIVTT1[3:0] ビットで設定した拡張割り込み間引き 1 の間引き回数設定が EITCNT1[3:0] の値に一致した場合に発生します。

EITCNT2IV[3:0]ビット（拡張割り込み間引きカウンタ 2 の初期値）

拡張割り込み間引きカウンタ 2 の初期値です。

EITCNT2IV[3:0] への書き込みが行われるのは、EIVTC2[1:0] ビットの書き込み値が 00b 以外の場合と、EITCNT2[3:0] ビットをカウントなしに設定時（EIVTC2[1:0] ビットは 00b）に上位 16 ビットまたは 32 ビットのアクセスにより GTEITC レジスタに書き込みが行われた場合のみです。EITCNT2IV[3:0] ビットを書き込むと、EITCNT2IV[3:0] ビットに書き込んだ値は同時に EITCNT2[3:0] ビットに書き込まれます。

EITCNT2[3:0] ビットをカウントありに設定した場合（EIVTC2[1:0] ビットは 00b 以外）またはカウントなしに設定した場合（EIVTC2[1:0] ビットに 00b 書き込み）は、EITCNT2IV[3:0] ビットへの書き込みは無視されます。

EITCNT2IV[3:0] ビットは、EIVTC2[1:0] ビットへの 00b 書き込みによりリセットされません。

EITCNT2[3:0]ビット（拡張割り込み間引きカウンタ 2）

EIVTC2[1:0] ビットで選択したカウントソース（オーバーフロー／アンダーフロー／山／谷）が発生するたびに、カウントを 1 ずつインクリメントします。

カウントは 0～EIVTT2[3:0] ビットの範囲で定期的に実行されます。

GTCNT カウンタが停止しても、値はクリアされず、GTCNT カウンタ停止時の値が保持されます。

EITCNT2[3:0] ビットの初期値が設定されるのは、EIVTC2[1:0] ビットの書き込み値が 00b 以外のときと、拡張割り込み間引きカウンタ 2 をカウントなしに設定した状態（EIVTC2[1:0] ビットは 00b）で上位 16 ビットまたは 32 ビットのアクセスにより GTEITC レジスタに書き込みが行われたときのみです。

初期値を設定すると、EITCNT2IV[3:0] ビットの書き込み値が初期値として EITCNT2[3:0] ビットに書き込まれます。

[0 になる条件]

- EIVTC2[1:0] ビットに 00b を書き込む。
- EIVTT2[3:0] ビットに 0x0 を書き込む。
- EIVTC2[1:0] ビットに 00b を設定した状態で、EIVTC2[1:0] ビットに 00b 以外の値を書き込むと同時に EITCNT2IV[3:0] ビットに 0x0 を書き込む。
- EIVTC2[1:0] ビットで選択したカウントソース（オーバーフロー／アンダーフロー／山／谷）は、EIVTT2[3:0] ビットで設定した拡張割り込み間引き 2 の間引き回数が EITCNT2[3:0] の値に一致したときに発生する。

21.2.34 GTEITLI1 : 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0xAC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	EITLU[2:0]			—	EITLV[2:0]			—	EITLF[2:0]			—	EITLE[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	EITLD[2:0]			—	EITLC[2:0]			—	EITLB[2:0]			—	EITLA[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	EITLA[2:0]	GTCCRA レジスタコンペアマッチ／インプットキャプチャ割り込み拡張間引き機能選択 表 21.6 を参照してください。	R/W
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6:4	EITLB[2:0]	GTCCRB レジスタコンペアマッチ／インプットキャプチャ割り込み拡張間引き機能選択 表 21.6 を参照してください。	R/W
7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
10:8	EITLC[2:0]	GTCCRC レジスタコンペアマッチ割り込み拡張間引き機能選択 表 21.6 を参照してください。	R/W
11	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
14:12	EITLD[2:0]	GTCCRD レジスタコンペアマッチ割り込み拡張間引き機能選択 表 21.6 を参照してください。	R/W
15	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
18:16	EITLE[2:0]	GTCCRE レジスタコンペアマッチ割り込み拡張間引き機能選択 表 21.6 を参照してください。	R/W
19	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
22:20	EITLF[2:0]	GTCCRF レジスタコンペアマッチ割り込み拡張間引き機能選択 表 21.6 を参照してください。	R/W
23	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
26:24	EITLV[2:0]	オーバーフロー割り込み拡張間引き機能選択 表 21.6 を参照してください。	R/W
27	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
30:28	EITLU[2:0]	アンダーフロー割り込み拡張間引き機能選択 表 21.6 を参照してください。	R/W
31	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTEITLI1 レジスタは、コンペアマッチ／インプットキャプチャ、オーバーフロー、アンダーフローなどの割り込みに対する拡張間引き機能を設定します。

このレジスタを設定するだけでは間引きは実行されません。対応する拡張割り込み間引きカウンタがカウント動作するように GTEITC レジスタを設定してください。

この設定の動作は GTITC レジスタまたは GTADCMSC レジスタによる割り込み間引きとは無関係に実行されます。

イベントカウント動作中は、この設定は無効です。

EITLm[2:0] ビット（GTCCRm レジスタコンペアマッチ／インプットキャプチャ割り込み拡張間引き機能選択）(m = A, B)

GTCCRm レジスタのコンペアマッチ／インプットキャプチャ割り込み（GPTn_CCMPm）を間引くための拡張割り込み間引き機能を選択します。表 21.6 を参照してください。

EITLx[2:0] ビット（GTCCRx レジスタコンペアマッチ割り込み拡張間引き機能選択）(x = C, D, E, F)

GTCCRx レジスタのコンペアマッチ割り込み（GPTn_CMPx）を間引くための拡張割り込み間引き機能を選択します。表 21.6 を参照してください。

EITLV[2:0]ビット（オーバーフロー割り込み拡張間引き機能選択）

オーバーフロー時の割り込み（GPTn_OVF）を間引くための拡張割り込み間引き機能を選択します。表 21.6 を参照してください。

EITLU[2:0]ビット（アンダーフロー割り込み拡張間引き機能選択）

アンダーフロー時の割り込み（GPTn_UDF）を間引くための拡張割り込み間引き機能を選択します。表 21.6 を参照してください。

表 21.6 GTEITLI1 の機能選択の設定

EITLy[2:0]	機能
0 0 0	拡張割り込み間引きしません
0 0 1	拡張割り込み間引きカウンタ 1 の値が 0 以外である期間、割り込みを間引きます（割り込みは EITCNT1[3:0] ビット = 0 の期間に出力されます）
0 1 0	拡張割り込み間引きカウンタ 2 の値が 0 以外である期間、割り込みを間引きます（割り込みは、EITCNT2[3:0] ビット = 0 の期間に出力されます）
0 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が 0 以外である期間、割り込みを間引きます（割り込みは EITCNT1[3:0] ビット = 0 かつ EITCNT2[3:0] ビット = 0 の期間に出力されます）
1 0 0	設定禁止
1 0 1	拡張割り込み間引きカウンタ 1 の値が間引き回数以外である期間、割り込みを間引きます（割り込みは EITCNT1[3:0] ビット = EIVTT1[3:0] ビットの期間に出力されます）
1 1 0	拡張割り込み間引きカウンタ 2 の値が間引き回数以外である期間、割り込みを間引きます（割り込みは EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に出力されます）
1 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が間引き回数以外である期間、割り込みを間引きます（割り込みは EITCNT1[3:0] ビット = EIVTT1[3:0] ビットかつ EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に出力されます）

注.
- y = A, B, C, D, E, F, V, U
- 意図する間引きカウンタをカウントなしに設定（EIVTCk[1:0] ビット = 00b または EIVTTk[3:0] ビット = 0x0）した場合は間引きしません。(k = 1, 2)
- EITLy[2:0] ビットを 011b または 111b に設定した場合、および間引きカウンタ 1／2 のどちらかをカウントなしに設定した場合は間引きしません。

21.2.35 GTEITLI2 : 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0xB0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	EADTBL[2:0]			—	EADTAL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	EADTAL[2:0]	GTADTRA レジスタ A/D 変換開始要求の拡張間引き機能選択 表 21.7 を参照してください。	R/W
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6:4	EADTBL[2:0]	GTADTRB レジスタ A/D 変換開始要求の拡張間引き機能選択 表 21.7 を参照してください。	R/W
31:7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTEITLI2 レジスタは A/D 変換開始要求の拡張間引き機能を設定します。

このレジスタを設定するだけでは間引きは実行されません。対応する拡張割り込み間引きカウンタがカウント動作するように GTEITC レジスタを設定してください。

この設定の動作は GTITC レジスタまたは GTADCMSC レジスタによる割り込み間引きとは無関係に実行されます。

イベントカウント動作中は、この設定は無効です。

EADTmL[2:0] ビット（GTADTRm レジスタ A/D 変換開始要求の拡張間引き機能選択）(m = A, B)

GTADTRm レジスタのコンペアマッチに対する A/D 変換開始要求を間引くための拡張間引き機能を選択します。表 21.7 を参照してください。

表 21.7　GTEITLI2 レジスタの機能選択の設定

EADTmL[2:0]	機能
0 0 0	拡張割り込み間引きしません
0 0 1	拡張割り込み間引きカウンタ 1 の値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT1[3:0] ビット = 0 の期間に出力されます）
0 1 0	拡張割り込み間引きカウンタ 2 の値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT2[3:0] ビット = 0 の期間に出力されます）
0 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT1[3:0] ビット = 0 かつ EITCNT2[3:0] ビット = 0 の期間に出力されます）
1 0 0	設定禁止
1 0 1	拡張割り込み間引きカウンタ 1 の値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT1[3:0] ビット = EIVTT1[3:0] ビットの期間に出力されます）
1 1 0	拡張割り込み間引きカウンタ 2 の値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に出力されます）
1 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT1[3:0] ビット = EIVTT1[3:0] ビットかつ EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に出力されます）

注.
- m = A、B
- 意図する間引きカウンタをカウントなしに設定（EIVTCk[1:0] ビット = 00b または EIVTTk[3:0] ビット = 0x0）した場合は間引きしません。 (k = 1, 2)
- EADTmL[2:0] ビットを 011b または 111b に設定した場合、および間引きカウンタ 1／2 のどちらかをカウントなしに設定した場合は間引きしません。

21.2.36　GTEITLB : 汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0xB4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	EBTLDVD[2:0]			—	EBTLDVU[2:0]			—	EBTLADB[2:0]			—	EBTLADA[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	EBTLPR[2:0]			—	EBTLCB[2:0]			—	EBTLCA[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	EBTLCA[2:0]	GTCCRA レジスタバッファ転送拡張間引き機能選択 表 21.8 を参照してください。	R/W
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6:4	EBTLCB[2:0]	GTCCRB レジスタバッファ転送拡張間引き機能選択 表 21.8 を参照してください。	R/W
7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
10:8	EBTLPR[2:0]	GTPR レジスタバッファ転送拡張間引き機能選択 表 21.8 を参照してください。	R/W(注1)
15:11	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
18:16	EBTLADA[2:0]	GTADTRA レジスタバッファ転送拡張間引き機能選択 表 21.8 を参照してください。	R/W

ビット	シンボル	機能	R/W
19	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
22:20	EBTLADB[2:0]	GTADTRB レジスタバッファ転送拡張間引き機能選択 表 21.8 を参照してください。	R/W
23	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
26:24	EBTLDVU[2:0]	GTDVU レジスタバッファ転送拡張間引き機能選択 表 21.8 を参照してください。	R/W
27	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
30:28	EBTLDVD[2:0]	GTDVD レジスタバッファ転送拡張間引き機能選択 表 21.8 を参照してください。	R/W
31	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。

GTEITLB レジスタはバッファ転送の拡張間引き機能を設定します。

このレジスタを設定するだけでは間引きは実行されません。対応する拡張割り込み間引きカウンタがカウント動作するように GTEITC レジスタを設定してください。

この設定の動作は GTITC レジスタによる割り込み間引きとは無関係に実行されます。

GTOLBR レジスタから GTIOR.GTIOA[4:0] ビットと GTIOB[4:0] ビットへのバッファ転送は、拡張バッファ転送間引き機能の対象外です。

イベントカウント動作中は、この設定は無効です。

EBTLCA[2:0]ビット（GTCCRA レジスタバッファ転送拡張間引き機能選択）

GTCCRA レジスタのバッファ転送（GTCCRA／GTCCRC／GTCCRD レジスタ／テンポラリレジスタ A 間の転送）を間引くための拡張バッファ転送間引き機能を選択します。表 21.8 を参照してください。

カウント動作停止中は、GTCCRA レジスタのバッファ転送の拡張間引きは GTBER.CCRSWT ビットによるバッファ強制転送に対して有効です。GTCCRA レジスタのバッファ強制転送は、拡張バッファ転送間引きを実行しない状態で実施してください。

相補 PWM モードでの GTCCRC／GTCCRE／GTCCRA レジスタ間のバッファ転送は間引くことができません。

EBTLCB[2:0]ビット（GTCCRB レジスタバッファ転送拡張間引き機能選択）

GTCCRB レジスタのバッファ転送（GTCCRB／GTCCRE／GTCCRF レジスタ／テンポラリレジスタ B 間の転送）を間引くための拡張バッファ転送間引き機能を選択します。表 21.8 を参照してください。

カウント動作停止中は、GTCCRB レジスタのバッファ転送の拡張間引きは GTBER.CCRSWT ビットによるバッファ強制転送に対して有効です。GTCCRB レジスタのバッファ強制転送は、拡張バッファ転送間引きを実行しない状態で実施してください。

EBTLPR[2:0]ビット（GTPR レジスタバッファ転送拡張間引き機能選択）

GTPR レジスタのバッファ転送（GTPR／GTPBR／GTPDBR レジスタ間の転送）を間引くための拡張バッファ転送間引き機能を選択します。表 21.8 を参照してください。

GTPR のバッファ転送を相補 PWM モードで間引いた場合、スレーブチャネルのバッファ転送タイミングがマスタチャネルと一致するように、スレーブチャネルの GTEITC 設定とマスタチャネルの設定を一致させてください。

EBTLADm[2:0] ビット（GTADTRm レジスタバッファ転送拡張間引き機能選択）(m = A, B)

GTADTRm レジスタのバッファ転送（GTADTRm／GTADTBRm／GTADTDBRm レジスタ間の転送）を間引くための拡張バッファ転送間引き機能を選択します。表 21.8 を参照してください。

EBTLDVm[2:0] ビット（GTDVm レジスタバッファ転送拡張間引き機能選択）(m = U, D)

GTDVm レジスタのバッファ転送（GTDVm／GTDBm レジスタ間の転送）を間引くための拡張バッファ転送間引き機能を選択します。表 21.8 を参照してください。

表 21.8 GTEITLB レジスタの機能選択の設定

EBTLx[2:0] ビット	機能
0 0 0	拡張割り込み間引きしません
0 0 1	拡張割り込み間引きカウンタ 1 の値が 0 以外の場合、バッファ転送を間引きます（バッファ転送は EITCNT1[3:0] ビット = 0 の期間に発生します）
0 1 0	拡張割り込み間引きカウンタ 2 の値が 0 以外の場合、バッファ転送を間引きます（バッファ転送は EITCNT2[3:0] ビット = 0 の期間に発生します）
0 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が 0 以外である期間、バッファ転送を間引きます（バッファ転送は EITCNT1[3:0] ビット = 0 かつ EITCNT2[3:0] ビット = 0 の期間に発生します）
1 0 0	設定禁止
1 0 1	拡張割り込み間引きカウンタ 1 の値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は EITCNT1[3:0] ビット = EIVTT1[3:0] ビットの期間に発生します）
1 1 0	拡張割り込み間引きカウンタ 2 の値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に発生します）
1 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は EITCNT1[3:0] ビット = EIVTT1[3:0] ビットかつ EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に発生します）

注.
- y = CA, CB, PR, ADA, ADB, DVU, DVD
- 意図する間引きカウンタをカウントなしに設定（EIVTCk[1:0] ビット = 00b または EIVTTk[3:0] ビット = 0x0）した場合は間引きしません。 (k = 1, 2)
- EBTLx[2:0] ビットを 011b または 111b に設定した場合、および間引きカウンタ 1／2 のどちらかをカウントなしに設定した場合は間引きしません。

21.2.37 GTICLF : 汎用 PWM タイマチャネル間論理演算機能設定レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0xB8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	ICLFSELD[5:0]						—	ICLFB[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ICLFSELC[5:0]						—	ICLFA[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ICLFA[2:0]	GTIOCnA 出力論理演算機能選択 0 0 0: A（遅延なし） 0 0 1: NOT A（遅延なし） 0 1 0: C（1GTCLK サイクル遅延） 0 1 1: NOT C（1GTCLK サイクル遅延） 1 0 0: A AND C（1GTCLK サイクル遅延）(注2) 1 0 1: A OR C（1GTCLK サイクル遅延）(注2) 1 1 0: A EXOR C（1GTCLK サイクル遅延）(注2) 1 1 1: A NOR C（1GTCLK サイクル遅延）(注2)	R/W
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
9:4	ICLFSELC[5:0]	チャネル間信号 C 選択(注1)(注2) 0x00: GTIOC0A 0x01: GTIOC0B 0x02: GTIOC1A 0x03: GTIOC1B 0x04: GTIOC2A 0x05: GTIOC2B 0x06: GTIOC3A 0x07: GTIOC3B ⋮ ⋮ 0x3E: GTIOC31A 0x3F: GTIOC31B	R/W
15:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
18:16	ICLFB[2:0]	GTIOCnB 出力論理演算機能選択 0 0 0: B（遅延なし） 0 0 1: NOT B（遅延なし） 0 1 0: D（1GTCLK サイクル遅延） 0 1 1: NOT D（1GTCLK サイクル遅延） 1 0 0: B AND D（1GTCLK サイクル遅延）(注3) 1 0 1: B OR D（1GTCLK サイクル遅延）(注3) 1 1 0: B EXOR D（1GTCLK サイクル遅延）(注3) 1 1 1: B NOR D（1GTCLK サイクル遅延）(注3)	R/W
19	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:20	ICLFSELD[5:0]	チャネル間信号 D 選択(注1)(注3) 0x00: GTIOC0A 0x01: GTIOC0B 0x02: GTIOC1A 0x03: GTIOC1B 0x04: GTIOC2A 0x05: GTIOC2B 0x06: GTIOC3A 0x07: GTIOC3B ⋮ ⋮ 0x3E: GTIOC31A 0x3F: GTIOC31B	R/W
31:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. 出力禁止制御を実行する前に、信号が選択されます。
注 2. チャネル自身の GTIOCnA が選択されると、C は 1 として扱われます。
注 3. チャネル自身の GTIOCnB が選択されると、D は 1 として扱われます。

GTICLF レジスタはコンペアマッチ出力間の論理演算機能を設定します。コンペアマッチ制御後にデューティー 0%/100%処理を行った信号に対して、論理演算が実行されます。（出力禁止制御は論理演算後の信号に対して実行されます。）

GTICLF への 8 ビット単位でのアクセスはしないでください。

ICLFm[2:0]ビット（GTIOCnm 出力論理演算機能選択）(m = A, B)

これらのビットにより、GTIOCnm の出力禁止制御をする前の信号間の論理演算機能を選択します。GPT 出力のハザードを防ぐため、論理演算後の信号は、GTCLK でデータが取り込まれます。データが取り込まれたら、出力禁止制御を実行します。1 GTCLK サイクルの遅延を生じる論理演算機能を選択したとき、出力許可信号も同様に 1 GTCLK サイクル遅延して出力禁止制御に入力されます。

論理演算機能 AND、OR、EXOR、および NOR に対して同じ信号が選択されると、1 つの信号は 1 として扱われます。

ICLFSELk[5:0]ビット（チャネル間信号 k 選択）（k = C, D）

本ビットは、GTIOCnm に対する出力禁止制御を実行する前に、論理演算が実行される信号 k を選択します。

21.2.38 GTPC : 汎用 PWM タイマ周期カウントレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～3)

Offset address: 0xBC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	PCNT[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ASTP	—	—	—	—	—	—	—	PCEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PCEN	周期計数機能許可 0: 周期計数機能は禁止 1: 周期計数機能は許可	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	ASTP	自動停止機能許可 0: 自動停止機能は禁止 1: 自動停止機能は許可	R/W
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
27:16	PCNT[11:0]	周期カウンタ 周期計数のカウンタ	R/W
31:28	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTPC レジスタは周期回数をカウントします。

PCEN ビット（周期計数機能許可）

周期計数機能を許可／禁止します。

計数が進行中、停止中いずれにおいても書き込み可能です。

GTSECR.SPCE ビットまたは GTSECR.SPCD ビットのどちらかに 1 が書き込まれたとき、GTSECSR レジスタにより 1 が設定されたチャネルの PCEN ビットに値が同時に設定されます。

ASTP ビット（自動停止機能許可）

周期計数終了後の GTCNT カウンタ自動停止を許可／禁止します。

PCEN ビットが 0 のとき、書き込み可能です。

PCEN ビットが 1 のとき、書き込み禁止です。

PCEN ビットが 1 のとき、ASTP ビットが 1 でありかつ PCNT カウンタが PCNT = 0 で停止すると、GTCNT カウンタも停止します。ASTP ビットが 0 のときは、GTCNT はカウント動作を継続します。

PCNT[11:0]ビット（周期カウンタ）

周期回数をカウントするカウンタです。

PCEN ビットが 0 のとき、周期回数を書き込み可能です。

PCEN ビットが 1 のとき、書き込みは無効であり、周期の終わりでダウンカウントが実行されます。のこぎり波モードの場合、周期の終わりがオーバーフロー、アンダーフロー、またはカウンタクリアを表します。三角波モードまたは相補 PWM モードの場合は、それは谷を表します。

周期の終わりに PCNT カウンタが 1 であるとき、カウンタは 0 になり、計数を停止します。

周期計数機能が許可された状態で、GTCNT カウンタが停止したとき、PCNT カウンタはその値を保持します。GTCNT カウンタがカウントを再開して PCEN ビットが 1 のとき、PCNT カウンタは保持していた値からダウンカウントを再開します。

PCNT カウンタが 0 かつ ASTP ビットが 1 の間に PCEN ビットが 0 から 1 に変化するとき、GTCNT カウンタがその直後にカウントクロックで停止します。

21.2.39 GTADCMSC : 汎用 PWM タイマ A/D 変換開始要求コンペアマッチ間引きコントロールレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 4～9)

Offset address: 0xC0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ADCMSCNT2[3:0]				ADCMSCNT2IV[3:0]				ADCMST2[3:0]				—	—	ADCMSC2[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADCMSCNT1[3:0]				ADCMSCNT1IV[3:0]				ADCMST1[3:0]				—	—	ADCMSC1[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ADCMSC1[1:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 のカウントソース選択 0 0: カウントしない（間引きなし） 0 1: GTADTRA レジスタのコンペアマッチをカウント 1 0: GTADTRB レジスタのコンペアマッチをカウント 1 1: GTADTRA レジスタのコンペアマッチと GTADTRB レジスタのコンペアマッチの両方をカウント	R/W
3:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7:4	ADCMST1[3:0]	A/D 変換開始要求コンペアマッチ間引き 1 の間引き回数設定 A/D 変換開始要求コンペアマッチ間引き 1 の間引き回数	R/W
11:8	ADCMSCNT1IV[3:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 の初期値	R/W(注1)
15:12	ADCMSCNT1[3:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 1	R
17:16	ADCMSC2[1:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 のカウントソース選択 0 0: カウントしない（間引きなし） 0 1: GTADTRA レジスタのコンペアマッチをカウント 1 0: GTADTRB レジスタのコンペアマッチをカウント 1 1: GTADTRA レジスタのコンペアマッチと GTADTRB レジスタのコンペアマッチの両方をカウント	R/W
19:18	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
23:20	ADCMST2[3:0]	A/D 変換開始要求コンペアマッチ間引き 2 の間引き回数設定 A/D 変換開始要求コンペアマッチ間引き 2 の間引き回数	R/W
27:24	ADCMSCNT2IV[3:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の初期値	R/W(注2)
31:28	ADCMSCNT2[3:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 2	R

注 1. ADCMSC1[1:0] ビットが 00b のときに、00b 以外の値を ADCMSC1[1:0] ビットに書き込む場合のみ、書き込みが可能です。
注 2. ADCMSC2[1:0] ビットが 00b のときに、00b 以外の値を ADCMSC2[1:0] ビットに書き込む場合のみ、書き込みが可能です。

GTADCMSC レジスタは A/D 変換開始要求コンペアマッチ間引き機能の間引きカウンタを制御します。この機能は GTADTRA レジスタと GTADTRB レジスタのコンペアマッチをカウントし、A/D 変換開始要求とバッファ転送を別々に間引きます。

このレジスタ設定の動作は GTITC レジスタまたは GTEITC レジスタによる割り込み間引きとは無関係に実行されます。

GTADCMSC レジスタの 8 ビット単位でのアクセスは禁止です。

ADCMSCk[1:0] ビット（A/D 変換開始要求コンペアマッチ間引きカウンタ k のカウントソース選択）(k = 1, 2)

A/D 変換開始要求コンペアマッチ間引きカウンタ k のカウント方法を選択します。

これらのビットを設定するだけでは、A/D 変換開始要求とバッファ転送は間引きされません。間引き対象である A/D 変換開始要求とバッファ転送に対する間引き機能は、それぞれ個別に GTADCMSS レジスタに設定します。

ADCMSTk[3:0] ビット（A/D 変換開始要求コンペアマッチ間引き k の間引き回数設定）(k = 1, 2)

連続間引きがある期間の回数を、間引き回数として設定します。この場合、ADCMSCk[1:0] ビットで選択したカウントソースの発生から次のカウントソースの発生までを 1 期間とします。

ADCMSTk[3:0] ビットが ADCMSCNTk[3:0] ビットに一致しているときにカウントソースが発生した場合、ADCMSCNTk[3:0] ビットがクリアされます。

これらのビットが 0x0 の場合、間引きしません。

ADCMSCNTkIV[3:0] ビット（A/D 変換開始要求コンペアマッチ間引きカウンタ k の初期値）(k = 1, 2)

A/D 変換開始要求コンペアマッチ間引きカウンタ k の初期値です。

ADCMSCNTkIV[3:0] への書き込みが行われるのは、ADCMSCk[1:0] ビットの書き込み値が 00b 以外の場合と、ADCMSCNTk[3:0] ビットをカウントなしに設定した状態（ADCMSCk[1:0] ビットは 00b）で 16 ビットまたは 32 ビットのアクセスにより GTADCMSC レジスタに書き込みが行われた場合のみです。ADCMSCNTkIV[3:0] ビットに書き込むと、ADCMSCNTkIV[3:0] ビットに書き込んだ値は同時に ADCMSCNTk[3:0] ビットに書き込まれます。

ADCMSCNTk[3:0] ビットをカウントありに設定した場合（ADCMSCk[1:0] ビットは 00b 以外）またはカウントなしに設定した場合（ADCMSCk[1:0] ビットに 00b 書き込み）は、ADCMSCNTkIV[3:0] ビットへの書き込みは無視されます。

ADCMSCNTkIV[3:0] ビットは、ADCMSCk[1:0] ビットへの 00b 書き込みによりリセットされません。

ADCMSCNTk[3:0] ビット（A/D 変換開始要求コンペアマッチ間引きカウンタ k）(k = 1, 2)

ADCMSCk[1:0] ビットで選択したカウントソースが発生するたびに、カウントを 1 ずつインクリメントします。

カウントは 0～ADCMSTk[3:0] ビットの範囲で定期的に実行されます。

GTCNT カウンタが停止しても、値はクリアされず、GTCNT カウンタ停止時の値が保持されます。

ADCMSCNTk[3:0] ビットの初期値が設定されるのは、ADCMSCk[1:0] ビットの書き込み値が 00b 以外の場合と、A/D 変換開始要求コンペアマッチ間引きカウンタ k をカウントなしに設定した状態（ADCMSCk[1:0] ビットは 00b）で 16 ビットまたは 32 ビットのアクセスにより GTADCMSC レジスタに書き込みが行われた場合のみです。

初期値を設定すると、ADCMSCNTkIV[3:0] ビットへの書き込み値が初期値として ADCMSCNTk[3:0] ビットに書き込まれます。

[0 になる条件]

- ADCMSCk[1:0] ビットに 00b を書き込む。
- ADCMSTk[3:0] ビットに 0x0 を書き込む。
- ADCMSCk[1:0] ビットに 00b を設定した状態で、ADCMSCk[1:0] ビットに 00b 以外の値を書き込むと同時に ADCMSCNTkIV[3:0] ビットに 0x0 を書き込む。
- ADCMSCk[1:0] ビットで選択したカウントソースは、ADCMSTk[3:0] ビットで設定した拡張割り込み間引き 2 の間引き回数が ADCMSCNTk[3:0] の値に一致したときに発生します。

21.2.40 GTADCMSS : 汎用 PWM タイマ A/D 変換開始要求コンペアマッチ間引き設定レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 4～9)

Offset address: 0xC4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	ADCMBSB[2:0]			—	ADCMBSA[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	ADCMSBL[2:0]			—	ADCMSAL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ADCMSAL[2:0]	GTADTRA レジスタ A/D 変換開始要求コンペアマッチ間引き機能選択 表 21.9 を参照してください。	R/W
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6:4	ADCMSBL[2:0]	GTADTRB レジスタ A/D 変換開始要求コンペアマッチ間引き機能選択 表 21.9 を参照してください。	R/W
15:7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
18:16	ADCMBSA[2:0]	A/D 変換開始要求コンペアマッチ間引き機能による GTADTRA レジスタバッファ転送の選択 表 21.10 を参照してください。	R/W
19	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
22:20	ADCMBSB[2:0]	A/D 変換開始要求コンペアマッチ間引き機能による GTADTRB レジスタバッファ転送の選択 表 21.10 を参照してください。	R/W
31:23	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTADCMSS レジスタは、A/D 変換開始要求コンペアマッチ間引き機能の選択、または A/D 変換開始要求コンペアマッチ間引き機能による GTADTRm（m = A, B）レジスタバッファ転送の選択をします。

このレジスタを設定するだけでは間引きは実行されません。対応する A/D 変換開始要求コンペアマッチ間引きカウンタがカウント動作するように GTADCMSC レジスタを設定してください。

このレジスタ設定の動作は GTITC レジスタまたは GTEITC レジスタによる割り込み間引きとは無関係に実行されます。

ADCMSmL[2:0] ビット（GTADTRm レジスタ A/D 変換開始要求コンペアマッチ間引き機能選択）(m = A, B)

GTADTRm（m = A, B）レジスタの A/D 変換開始要求コンペアマッチ間引き機能を選択します。表 21.9

ADCMBSm[2:0] ビット（A/D 変換開始要求コンペアマッチ間引き機能による GTADTRm レジスタバッファ転送の選択）(m = A, B)

A/D 変換開始要求コンペアマッチ間引き機能による GTADTRm（m = A, B）レジスタバッファ転送を選択します。この機能は GTADTRm（m = A, B）レジスタのバッファ転送（GTADTRm レジスタ／GTADTBRm レジスタ／GTADTDBRm レジスタ間の転送）を間引きます。表 21.10 を参照してください。

表 21.9 GTADTRm レジスタ A/D 変換開始要求コンペアマッチ間引き機能選択ビットの設定（m = A, B） (1/2)

ADCMSmL[2:0]	機能
0 0 0	A/D 変換開始要求コンペアマッチ間引きしません
0 0 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 の値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT1[3:0] ビット = 0 の期間に出力されます）

表 21.9 GTADTRm レジスタ A/D 変換開始要求コンペアマッチ間引き機能選択ビットの設定（m = A, B） (2/2)

ADCMSmL[2:0]	機能
0 1 0	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT2[3:0] ビット = 0 の期間に出力されます）
0 1 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1／2 のどちらかの値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT1[3:0] ビット = 0 かつ ADCMSCNT2[3:0] ビット = 0 の期間に出力されます）
1 0 0	設定禁止
1 0 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 の値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT1[3:0] ビット = ADCMST1[3:0] ビットの期間に出力されます）
1 1 0	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT2[3:0] ビット = ADCMST2[3:0] ビットの期間に出力されます）
1 1 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1／2 のどちらかの値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT1[3:0] ビット = ADCMST1[3:0] ビットかつ ADCMSCNT2[3:0] ビット = ADCMST2[3:0] ビットの期間に出力されます）。

注.
- m = A、B
- 意図する間引きカウンタをカウントなしに設定（ADCMSCk[1:0] ビット = 00b または ADCMSTk[3:0] ビット = 0x0）した場合は間引きしません。（k = 1, 2）
- ADCMSmL[2:0] ビットを 011b または 111b に設定した場合、および間引きカウンタのどちらかをカウントなしに設定した場合は間引きしません。

表 21.10 A/D 変換開始要求コンペアマッチ間引き機能による GTADTRm レジスタバッファ転送選択ビットの設定（m = A, B）

ADCMBSm[2:0]	機能
0 0 0	A/D 変換開始要求コンペアマッチ間引きによる GTADTRm レジスタバッファ転送をしません
0 0 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 の値が 0 以外の場合、バッファ転送を間引きます（バッファ転送は ADCMSCNT1[3:0] ビット = 0 の期間に発生します）
0 1 0	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の値が 0 以外の場合、バッファ転送を間引きます（バッファ転送は ADCMSCNT2[3:0] ビット = 0 の期間に発生します）
0 1 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1／2 のどちらかの値が 0 以外である期間、バッファ転送を間引きます（バッファ転送は ADCMSCNT1[3:0] ビット = 0 かつ ADCMSCNT2[3:0] ビット = 0 の期間に発生します）
1 0 0	設定禁止
1 0 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 の値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は ADCMSCNT1[3:0] ビット = ADCMST1[3:0] ビットの期間に発生します）
1 1 0	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は ADCMSCNT2[3:0] ビット = ADCMST2[3:0] ビットの期間に発生します）
1 1 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1／2 のどちらかの値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は ADCMSCNT1[3:0] ビット = ADCMST1[3:0] ビットかつ ADCMSCNT2[3:0] ビット = ADCMST2[3:0] ビットの期間に発生します）

注.
- m = A、B
- 意図する間引きカウンタをカウントなしに設定（ADCMSCk[1:0] ビット = 00b または ADCMSTk[3:0] ビット = 0x0）した場合は間引きしません。（k = 1, 2）
- ADCMSmL[2:0] ビットを 011b または 111b に設定した場合、および間引きカウンタのどちらかをカウントなしに設定した場合は間引きしません。

21.2.41 GTSECSR : 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0xD0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SECSEL9	SECSEL8	SECSEL7	SECSEL6	SECSEL5	SECSEL4	SECSEL3	SECSEL2	SECSEL1	SECSEL0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SECSEL0	チャネル 0 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
1	SECSEL1	チャネル 1 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
2	SECSEL2	チャネル 2 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
3	SECSEL3	チャネル 3 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
4	SECSEL4	チャネル 4 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
5	SECSEL5	チャネル 5 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
6	SECSEL6	チャネル 6 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
7	SECSEL7	チャネル 7 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
8	SECSEL8	チャネル 8 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
9	SECSEL9	チャネル 9 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
31:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTSECR レジスタにより動作許可ビットを更新するチャネル n (n = 0～9) を、GTSECSR レジスタで選択します。GTSECSR レジスタのビット位置はチャネル番号を示します。各チャネルの GTSECSR レジスタは共通レジスタで、任意のチャネルの GTSECSR レジスタのビットに 1 を書き込み更新すると、GTSECSR レジスタにより 1 が書き込まれたビット位置に対応するチャネルを GTSECR レジスタによる動作許可ビットで同時制御できるようにします。

GTSECSR へ 8 ビット単位、16 ビット単位でのアクセスはしないでください。32 ビット単位でアクセスしてください。

SECSELn ビット（動作許可ビット同時制御チャネル選択） (n = 0～9)

本ビットはチャネル n の動作許可の同時制御を許可または禁止します。

本ビットを 1 にすると、同時制御が許可されます。本ビットを 0 にすると、同時制御が禁止されます。

21.2.42 GTSECR : 汎用 PWM タイマ動作許可ビット同時制御レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0xD4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	SSCD	SPCD	—	—	—	—	—	—	SSCE	SPCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	SBDDD	SBDAD	SBDPD	SBDCD	—	—	—	—	SBDDE	SBDAE	SBDPE	SBDCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SBDCE	GTCCR レジスタバッファ動作同時許可 0: GTCCR レジスタバッファ動作を同時許可しない 1: GTCCR レジスタバッファ動作を同時許可する	R/W
1	SBDPE	GTPR レジスタバッファ動作同時許可 0: GTPR レジスタバッファ動作の同時許可を禁止 1: GTPR レジスタバッファ動作を同時許可	R/W(注1)
2	SBDAE	GTADTR レジスタバッファ動作同時許可 0: GTADTR レジスタバッファ動作の同時許可を禁止 1: GTADTR レジスタバッファ動作を同時許可	R/W
3	SBDDE	GTDV レジスタバッファ動作同時許可 0: GTDV レジスタバッファ動作の同時許可を禁止 1: GTDV レジスタバッファ動作を同時許可	R/W
7:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	SBDCD	GTCCR レジスタバッファ動作同時禁止 0: GTCCR レジスタバッファ動作を同時禁止しない 1: GTCCR レジスタバッファ動作を同時禁止する	R/W
9	SBDPD	GTPR レジスタバッファ動作同時禁止 0: GTPR レジスタバッファ動作の同時禁止を禁止 1: GTPR レジスタバッファ動作を同時禁止	R/W(注1)
10	SBDAD	GTADTR レジスタバッファ動作同時禁止 0: GTADTR レジスタバッファ動作の同時禁止を禁止 1: GTADTR レジスタバッファ動作を同時禁止	R/W
11	SBDDD	GTDV レジスタバッファ動作同時禁止 0: GTDV レジスタバッファ動作の同時禁止を禁止 1: GTDV レジスタバッファ動作を同時禁止	R/W
15:12	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	SPCE	周期計数機能の同時許可(注2) 0: 周期計数機能を同時許可しない 1: 周期計数機能を同時許可する	R/W
17	SSCE	同期セット／クリア同時許可 0: 同期セット／クリアの同時許可を禁止 1: 同期セット／クリアを同時許可	R/W(注1)
23:18	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
24	SPCD	周期計数機能の同時禁止(注2) 0: 周期計数機能を同時禁止しない 1: 周期計数機能を同時禁止する	R/W
25	SSCD	同期セット／クリア同時禁止 0: 同期セット／クリアの同時禁止を禁止 1: 同期セット／クリアを同時禁止	R/W(注1)
31:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。
注 2. 本ビットは GPT320～GPT323 でのみ使用可能です。
GPT324～GPT329 で本ビットは 0 が読めます。書く場合、0 としてください。

GTSECR レジスタは、GTSECSR レジスタで設定されたチャネルの動作許可ビットの値を同時に更新します。

任意のチャネルの GTSECR レジスタのビットに 1 を書き込み更新すると、全ての GTSECSR レジスタで 1 が書かれたビット位置に関連する全チャネルの動作許可ビットを更新します。

GTSECR レジスタの同じ動作許可ビットの許可／禁止ビットを 1 に設定することは禁止です。

1 を書き込んだビットは自動的にクリアされます。GTSECR は読むと 0 が読めます。

GTSECR レジスタは、8 ビットまたは 16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

SBDCE ビット（GTCCR レジスタバッファ動作同時許可）

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTBER.BD[0]ビットに同時に 0 が設定され、GTCCRA、GTCCRC、GTCCRD レジスタと GTCCRB、GTCCRE、GTCCRF レジスタを使ったバッファ動作が許可されます。

SBDCE ビットと SBDCD ビットを同時に 1 に設定することは禁止です。

SBDPE ビット (GTPR レジスタバッファ動作同時許可)

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[1]ビットに同時に 0 が設定され、GTPR、GTPDBR、GTPBR レジスタによるバッファ動作が許可されます。

SBDPE ビットと SBDPD ビットを同時に 1 に設定することは禁止です。

SBDAE ビット (GTADTR レジスタバッファ動作同時許可)

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[2]ビットに同時に 0 が設定され、GTADTRA、GTADTBRA、GTADTDBRA レジスタおよび GTADTRB、GTADTBRB、GTADTDBRB レジスタによるバッファ動作が許可されます。

SBDAE ビットと SBDAD ビットを同時に 1 に設定しないでください。

SBDDE ビット (GTDV レジスタバッファ動作同時許可)

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[3]ビットに同時に 0 が設定され、GTDVU、GTDBU レジスタおよび GTDVD、GTDBD レジスタによるバッファ動作が許可されます。

SBDDE ビットと SBDDD ビットを同時に 1 に設定しないでください。

SBDCD ビット（GTCCR レジスタバッファ動作同時禁止）

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTBER.BD[0]ビットに同時に 1 が設定され、GTCCRA、GTCCRC、GTCCRD レジスタと GTCCRB、GTCCRE、GTCCRF レジスタを使ったバッファ動作が禁止されます。

SBDCE ビットと SBDCD ビットを同時に 1 に設定することは禁止です。

SBDPD ビット (GTPR レジスタバッファ動作同時禁止)

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[1]ビットに同時に 1 が設定され、GTPR、GTPDBR、GTPBR レジスタによるバッファ動作が禁止されます。

SBDPE ビットと SBDPD ビットを同時に 1 に設定することは禁止です。

SBDAD ビット (GTADTR レジスタバッファ動作同時禁止)

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[2]ビットに同時に 1 が設定され、GTADTRA、GTADTBRA、GTADTDBRA レジスタおよび GTADTRB、GTADTBRB、GTADTDBRB レジスタによるバッファ動作が禁止されます。

SBDAE ビットと SBDAD ビットを同時に 1 に設定しないでください。

SBDDD ビット (GTDV レジスタバッファ動作同時禁止)

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[3]ビットに同時に 1 が設定され、GTDVU、GTDBU レジスタおよび GTDVD、GTDBD レジスタによるバッファ動作が禁止されます。

SBDDE ビットと SBDDD ビットを同時に 1 に設定しないでください。

SPCE ビット（周期計数機能の同時許可）

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTPC.PCEN ビットに同時に 1 が設定され、周期計数機能が許可されます。

SPCE ビットと SPCD ビットを同時に 1 に設定することは禁止です。

SSCE ビット (同期セット／クリア同時許可)

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTCR.SSCEN ビットに同時に 1 が設定され、同期セット／クリア機能が許可されます。

SSCE ビットと SSCD ビットを同時に 1 に設定しないでください。

SPCD ビット（周期計数機能の同時禁止）

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTPC.PCEN ビットに同時に 0 が設定され、周期計数機能が禁止されます。

SPCE ビットと SPCD ビットを同時に 1 に設定することは禁止です。

SSCD ビット (同期セット／クリア同時禁止)

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTCR.SSCEN ビットに同時に 0 が設定され、同期セット／クリア機能が禁止されます。

SSCE ビットと SSCD ビットを同時に 1 に設定しないでください。

21.2.43 GTBER2 : 汎用 PWM タイマバッファイネーブルレジスタ 2

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0xE0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	OLTTB[1:0]		OLTTA[1:0]		CPBTD	CP3DB	—		CPTDV	CPTADB	CPTADA	CPTPR	CPTCB	CPTCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	CMTADB	CMTADA	—	CMTCB[1:0]		CMTCA[1:0]		—	—	CCTDV	CCTADB	CCTADA	CCTPR	CCTCB	CCTCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CCTCA	カウンタクリア要因 GTCCRA レジスタバッファ転送禁止 0: カウンタクリアによる GTCCRA レジスタのバッファ転送許可 1: カウンタクリアによる GTCCRA レジスタのバッファ転送禁止	R/W
1	CCTCB	カウンタクリア要因 GTCCRB レジスタバッファ転送禁止 0: カウンタクリアによる GTCCRB レジスタのバッファ転送許可 1: カウンタクリアによる GTCCRB レジスタのバッファ転送禁止	R/W

ビット	シンボル	機能	R/W
2	CCTPR	カウンタクリア要因 GTPR レジスタバッファ転送禁止 0: カウンタクリアによる GTPR レジスタのバッファ転送許可 1: カウンタクリアによる GTPR レジスタのバッファ転送禁止	R/W
3	CCTADA	カウンタクリア要因 GTADTRA レジスタバッファ転送禁止 0: カウンタクリアによる GTADTRA レジスタのバッファ転送許可 1: カウンタクリアによる GTADTRA レジスタのバッファ転送禁止	R/W
4	CCTADB	カウンタクリア要因 GTADTRB レジスタバッファ転送禁止 0: カウンタクリアによる GTADTRB レジスタのバッファ転送許可 1: カウンタクリアによる GTADTRB レジスタのバッファ転送禁止	R/W
5	CCTDV	カウンタクリア要因 GTDVU/GTDVD レジスタバッファ転送禁止 0: カウンタクリアによる GTDVU/GTDVD レジスタのバッファ転送許可 1: カウンタクリアによる GTDVU/GTDVD レジスタのバッファ転送禁止	R/W
7:6	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
9:8	CMTCA[1:0]	コンペアマッチ要因 GTCCRA レジスタバッファ転送許可 0 0: GTCCRA レジスタと GTCCRB レジスタのコンペアマッチによる GTCCRA レジスタのバッファ転送禁止 0 1: GTCCRA レジスタのコンペアマッチによる GTCCRA レジスタのバッファ転送許可 1 0: GTCCRB レジスタのコンペアマッチによる GTCCRA レジスタのバッファ転送許可 1 1: GTCCRA レジスタと GTCCRB レジスタのコンペアマッチによる GTCCRA レジスタのバッファ転送許可	R/W
11:10	CMTCB[1:0]	コンペアマッチ要因 GTCCRB レジスタバッファ転送許可 0 0: GTCCRA レジスタと GTCCRB レジスタのコンペアマッチによる GTCCRB レジスタのバッファ転送禁止 0 1: GTCCRA レジスタのコンペアマッチによる GTCCRB レジスタのバッファ転送許可 1 0: GTCCRB レジスタのコンペアマッチによる GTCCRB レジスタのバッファ転送許可 1 1: GTCCRA レジスタと GTCCRB レジスタのコンペアマッチによる GTCCRB レジスタのバッファ転送許可	R/W
12	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
13	CMTADA	コンペアマッチ要因 GTADTRA レジスタバッファ転送許可 0: GTADTRA レジスタのコンペアマッチによる GTADTRA レジスタのバッファ転送禁止 1: GTADTRA レジスタのコンペアマッチによる GTADTRA レジスタのバッファ転送許可	R/W
14	CMTADB	コンペアマッチ要因 GTADTRB レジスタバッファ転送許可 0: GTADTRB レジスタのコンペアマッチによる GTADTRB レジスタのバッファ転送禁止 1: GTADTRB レジスタのコンペアマッチによる GTADTRB レジスタのバッファ転送許可	R/W
15	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	CPTCA	オーバーフロー／アンダーフロー要因 GTCCRA レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTCCRA レジスタのバッファ転送許可 1: オーバーフロー／アンダーフローによる GTCCRA レジスタのバッファ転送禁止	R/W
17	CPTCB	オーバーフロー／アンダーフロー要因 GTCCRB レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTCCRB レジスタのバッファ転送許可 1: オーバーフロー／アンダーフローによる GTCCRB レジスタのバッファ転送禁止	R/W
18	CPTPR	オーバーフロー／アンダーフロー要因 GTPR レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTPR レジスタのバッファ転送許可 1: オーバーフロー／アンダーフローによる GTPR レジスタのバッファ転送禁止	R/W
19	CPTADA	オーバーフロー／アンダーフロー要因 GTADTRA レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTADTRA レジスタのバッファ転送許可 1: オーバーフロー／アンダーフローによる GTADTRA レジスタのバッファ転送禁止	R/W
20	CPTADB	オーバーフロー／アンダーフロー要因 GTADTRB レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTADTRB レジスタのバッファ転送許可 1: オーバーフロー／アンダーフローによる GTADTRB レジスタのバッファ転送禁止	R/W

ビット	シンボル	機能	R/W
21	CPTDV	オーバーフロー／アンダーフロー要因 GTDVU/GTDVD レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTDVU/GTDVD レジスタのバッファ転送許可 1: オーバーフロー／アンダーフローによる GTDVU/GTDVD レジスタのバッファ転送禁止	R/W
23:22	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
24	CP3DB	相補 PWM モード 3、4 ダブルバッファ選択(注1) 0: 相補 PWM モード 3、4 でのダブルバッファ禁止 1: 相補 PWM モード 3、4 でのダブルバッファ許可	R/W
25	CPBTD	相補 PWM モードのバッファ転送禁止(注1) 0: テンポラリレジスタから GTCCRC レジスタと GTPBR レジスタへのバッファ転送許可 1: テンポラリレジスタから GTCCRC レジスタと GTPBR レジスタへのバッファ転送禁止	R/W
27:26	OLTTA[1:0]	GTIOCnA 出力レベルのバッファ転送タイミング選択(注1) 0 0: 転送しない 0 1: 三角波、相補 PWM モードの場合、山で転送 のこぎり波の場合、周期の終わりで転送 1 0: 三角波、相補 PWM モードの場合、谷で転送 のこぎり波の場合: GTCCRA レジスタのコンペアマッチで転送 1 1: 三角波、相補 PWM モードの場合、谷と山の両方で転送 のこぎり波の場合、設定禁止	R/W
29:28	OLTTB[1:0]	GTIOCnB 出力レベルのバッファ転送タイミング選択(注1) 0 0: 転送しない 0 1: 三角波、相補 PWM モードの場合、山で転送 のこぎり波の場合、周期の終わりで転送 1 0: 三角波、相補 PWM モードの場合、谷で転送 のこぎり波の場合、GTCCRB レジスタのコンペアマッチで転送 1 1: 三角波、相補 PWM モードの場合、谷と山の両方で転送 のこぎり波の場合、設定禁止	R/W
31:30	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. このビットは GPT324～GPT329 でのみ使用可能です。
GPT320～GPT323 の場合、このビットは 0 が読めます。書く場合、0 としてください。

GTBER2 レジスタは、バッファ動作用の設定をします。

CP3DB ビットと OLTTm[1:0] （m = A, B）ビットは GTCNT カウンタの停止時に設定してください。

CCTCA ビット（カウンタクリア要因 GTCCRA レジスタバッファ転送禁止）

GTCCRA レジスタ／GTCCRC レジスタ／GTCCRD レジスタを同時に使用したカウンタクリアによるバッファ転送を禁止します。

このビットは、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRA[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。CCTCA ビットが 0 でも、カウンタクリアによるバッファ転送はしません。

CMTCA ビット設定と競合する場合、CCTCA ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CCTCB ビット（カウンタクリア要因 GTCCRB レジスタバッファ転送禁止）

GTCCRB レジスタ／GTCCRE レジスタ／GTCCRF レジスタを同時に使用したカウンタクリアによるバッファ転送を禁止します。

このビットは、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRB[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。CCTCB ビットが 0 でも、カウンタクリアによるバッファ転送はしません。

CMTCB ビット設定と競合する場合、CCTCB ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CCTPR ビット（カウンタクリア要因 GTPR レジスタバッファ転送禁止）

GTPR レジスタ／GTPBR レジスタ／GTPDBR レジスタを同時に使用したカウンタクリアによるバッファ転送を禁止します。

このビットは、GTBER.BD[1] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.PR[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。CCTPR ビットが 0 でも、カウンタクリアによるバッファ転送はしません。

イベントカウント動作中は、この設定は無効です。

CCTADm ビット（カウンタクリア要因 GTADTRm レジスタバッファ転送禁止）(m = A, B)

GTADTRm レジスタ／GTADTBRm レジスタ／GTADTDBRm レジスタを同時に使用したカウンタクリアによるバッファ転送を禁止します。

このビットは、GTBER.BD[2] ビットが 0（バッファ動作許可）で、のこぎり波の ADTTm[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。CCTADm ビットが 0 でも、カウンタクリアによるバッファ転送はしません。

CMTADm ビット設定と競合する場合、CCTADm ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CCTDV ビット（カウンタクリア要因 GTDVU/GTDVD レジスタバッファ転送禁止）

GTDVU レジスタと GTDBU レジスタ、または GTDVD レジスタと GTDBD レジスタを同時に使用したカウンタクリアによるバッファ転送を禁止します。

このビットは、GTBER.BD[3] ビットが 0（バッファ動作許可）で、のこぎり波の GTDTCR.TDBUE ビットまたは GTDTCR.TDBDE ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。CCTDV ビットが 0 でも、カウンタクリアによるバッファ転送はしません。

イベントカウント動作中は、この設定は無効です。

CMTCA[1:0]ビット（コンペアマッチ要因 GTCCRA レジスタバッファ転送許可）

GTCCRA レジスタ／GTCCRC レジスタ／GTCCRD レジスタを同時に使用した GTCCRA のコンペアマッチによるバッファ転送を許可します。

このビットは、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRA[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

CCTCA ビット設定と競合する場合、CCTCA ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CMTCB[1:0]ビット（コンペアマッチ要因 GTCCRB レジスタバッファ転送許可）

GTCCRB レジスタ／GTCCRE レジスタ／GTCCRF レジスタを同時に使用した GTCCRB のコンペアマッチによるバッファ転送を許可します。

このビットは、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRB[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

CCTCB ビット設定と競合する場合、CCTCB ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CMTADm ビット（コンペアマッチ要因 GTADTRm レジスタバッファ転送許可）(m = A, B)

GTADTRm レジスタ／GTADTBRm レジスタ／GTADTDBRm レジスタを同時に使用した GTADTRm のコンペアマッチによるバッファ転送を許可します。

このビットは、GTBER.BD[2] ビットが 0（バッファ動作許可）で、のこぎり波の ADTTm[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

CCTADm ビット設定と競合する場合、CCTADm ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CPTCA ビット（オーバーフロー／アンダーフロー要因 GTCCRA レジスタバッファ転送禁止）

GTCCRA レジスタ／GTCCRC レジスタ／GTCCRD レジスタを同時に使用したのこぎり波のオーバーフロー／アンダーフローによるバッファ転送を禁止します。

このビットは、CCTCA ビットが 0（カウンタクリアによる GTCCRA レジスタバッファ転送許可）、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRA[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

イベントカウント動作中は、この設定は無効です。

CPTCB ビット（オーバーフロー／アンダーフロー要因 GTCCRB レジスタバッファ転送禁止）

GTCCRB レジスタ／GTCCRE レジスタ／GTCCRF レジスタを同時に使用したのこぎり波のオーバーフロー／アンダーフローによるバッファ転送を禁止します。

このビットは、CCTCB ビットが 0（カウンタクリアによる GTCCRB レジスタバッファ転送許可）、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRB[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

イベントカウント動作中は、この設定は無効です。

CPTPR ビット（オーバーフロー／アンダーフロー要因 GTPR レジスタバッファ転送禁止）

GTPR レジスタ／GTPBR レジスタ／GTPDBR レジスタを同時に使用したのこぎり波のオーバーフロー／アンダーフローによるバッファ転送を禁止します。

このビットは、CCTPR ビットが 0（カウンタクリアによる GTPR レジスタバッファ転送許可）、GTBER.BD[1] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.PR[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

イベントカウント動作中は、この設定は無効です。

CPTADm ビット（オーバーフロー／アンダーフロー要因 GTADTRm レジスタバッファ転送禁止）(m = A, B)

GTADTRm レジスタ／GTADTBRm レジスタ／GTADTDBRm レジスタを同時に使用したのこぎり波のオーバーフロー／アンダーフローによるバッファ転送を禁止します。

このビットは、CCTADm ビットが 0（カウンタクリアによる GTADTRm レジスタバッファ転送許可）、GTBER.BD[2] ビットが 0（バッファ動作許可）で、のこぎり波の ADTTm[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

イベントカウント動作中は、この設定は無効です。

CPTDV ビット（オーバーフロー／アンダーフロー要因 GTDVU/GTDVD レジスタバッファ転送禁止）

GTDVU レジスタと GTDBU レジスタ、または GTDVD レジスタと GTDBD レジスタを同時に使用したのこぎり波のオーバーフロー／アンダーフローによるバッファ転送を禁止します。

このビットは、CCTDV ビットが 0（カウンタクリアによる GTDVU/GTDVD レジスタバッファ転送許可）、GTBER.BD[3] ビットが 0（バッファ動作許可）で、のこぎり波の GTDTCR.TDBUE ビットまたは GTDTCR.TDBDE ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

イベントカウント動作中は、この設定は無効です。

CP3DB ビット（相補 PWM モード３、４ダブルバッファ選択）

相補 PWM モード 3、4 で GTCCRA レジスタ／GTCCRE レジスタ／GTCCRF レジスタを同時に使用したバッファ転送を許可します。

CPBTD ビット（相補 PWM モードのバッファ転送禁止）

相補 PWM モード 1、2、3 でのタイマカウント時に、テンポラリレジスタ（テンポラリレジスタ A とテンポラリレジスタ P）から GTCCRC レジスタと GTPBR レジスタへのバッファ転送を禁止します。CP3DB ビットが 1 のときは、テンポラリレジスタ B から GTCCRE レジスタへのバッファ転送も禁止します。相補 PWM モード 4 では、この設定は無効です。

OLTTm[1:0] ビット（GTIOCnA 出力レベルのバッファ転送タイミング選択）(m = A, B)

GTOLBR.GTIOmB[4:0] ビットから GTIOR.GTIOm[4:0] ビットへのバッファ転送のタイミングを設定します。

21.2.44 GTOLBR : 汎用 PWM タイマ出力レベルバッファレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 4～9)

Offset address: 0xE4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	GTIOBB[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	GTIOAB[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	GTIOAB[4:0]	GTIOA バッファビット	R/W
15:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
20:16	GTIOBB[4:0]	GTIOB バッファビット	R/W
31:21	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTOLBR レジスタは GTIOR.GTIOA[4:0] ビットと GTIOR.GTIOB[4:0] ビット用のバッファレジスタです。

GTIOmB[4:0] ビット（GTIOm バッファビット）(m = A, B)

GTIOR.GTIOm[4:0] ビットのバッファビットです。

これらのビットは、GTBER2.OLTTm[1:0] （m = A, B）ビットで選択した転送タイミングで GTIOR.GTIOm[4:0] ビットへ転送されます。

21.2.45 GTICCR : 汎用 PWM タイマのチャネル間連携インプットキャプチャコントロールレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0～9)

Offset address: 0xEC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ICBGRP[1:0]		—	—	—	—	—	ICBCLK	ICBFPU	ICBFPO	ICBFF	ICBFE	ICBFD	ICBFC	ICBFB	ICBFA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ICAGRP[1:0]		—	—	—	—	—	ICACLK	ICAFPU	ICAFPO	ICAFF	ICAFE	ICAFD	ICAFC	ICAFB	ICAFA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ICAFA	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRA レジスタコンペアマッチ／インプットキャプチャの転送許可 0: 他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRA レジスタコンペアマッチ／インプットキャプチャの転送禁止 1: 他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRA レジスタコンペアマッチ／インプットキャプチャの転送許可	R/W
1	ICAFB	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRB レジスタコンペアマッチ／インプットキャプチャの転送許可 0: 他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRB レジスタコンペアマッチ／インプットキャプチャの転送禁止 1: 他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRB レジスタコンペアマッチ／インプットキャプチャの転送許可	R/W
2	ICAFC	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRC レジスタコンペアマッチの転送許可 0: 他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRC レジスタコンペアマッチの転送禁止 1: 他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRC レジスタコンペアマッチの転送許可	R/W
3	ICAFD	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRD レジスタコンペアマッチの転送許可 0: 他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRD レジスタコンペアマッチの転送禁止 1: 他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRD レジスタコンペアマッチの転送許可	R/W
4	ICAFE	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRE レジスタコンペアマッチの転送許可 0: 他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRE レジスタコンペアマッチの転送禁止 1: 他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRE レジスタコンペアマッチの転送許可	R/W
5	ICAFF	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRF レジスタコンペアマッチの転送許可 0: 他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRF レジスタコンペアマッチの転送禁止 1: 他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRF レジスタコンペアマッチの転送許可	R/W
6	ICAFPO	他のチャネルの GTCCRA インプットキャプチャ要因へのオーバーフローの転送許可 0: 他のチャネルの GTCCRA インプットキャプチャ要因への、のこぎり波のオーバーフローあるいは三角波または相補 PWM モードの山の転送禁止 1: 他のチャネルの GTCCRA インプットキャプチャ要因への、のこぎり波のオーバーフローあるいは三角波または相補 PWM モードの山の転送許可	R/W

ビット	シンボル	機能	R/W
7	ICAFPU	他のチャネルの GTCCRA インプットキャプチャ要因へのアンダーフローの転送許可 0: 他のチャネルの GTCCRA インプットキャプチャ要因への、のこぎり波のアンダーフローあるいは三角波または相補 PWM モードの谷の転送禁止 1: 他のチャネルの GTCCRA インプットキャプチャ要因への、のこぎり波のアンダーフローあるいは三角波または相補 PWM モードの谷の転送許可	R/W
8	ICACLK	他のチャネルの GTCCRA インプットキャプチャ要因へのカウントクロックの転送許可 0: 他のチャネルの GTCCRA インプットキャプチャ要因へのカウントクロックの転送禁止 1: 他のチャネルの GTCCRA インプットキャプチャ要因へのカウントクロックの転送許可	R/W
13:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:14	ICAGRP[1:0]	GTCCRA インプットキャプチャグループ選択 0 0: グループ A を選択 0 1: グループ B を選択 1 0: グループ C を選択 1 1: グループ D を選択	R/W
16	ICBFA	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRA レジスタコンペアマッチ／インプットキャプチャの転送許可 0: 他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRA レジスタコンペアマッチ／インプットキャプチャの転送禁止 1: 他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRA レジスタコンペアマッチ／インプットキャプチャの転送許可	R/W
17	ICBFB	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRB レジスタコンペアマッチ／インプットキャプチャの転送許可 0: 他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRB レジスタコンペアマッチ／インプットキャプチャの転送禁止 1: 他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRB レジスタコンペアマッチ／インプットキャプチャの転送許可	R/W
18	ICBFC	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRC レジスタコンペアマッチの転送許可 0: 他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRD レジスタコンペアマッチの転送禁止 1: 他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRD レジスタコンペアマッチの転送許可	R/W
19	ICBFD	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRD レジスタコンペアマッチの転送許可 0: 他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRD レジスタコンペアマッチの転送禁止 1: 他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRD レジスタコンペアマッチの転送許可	R/W
20	ICBFE	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRE レジスタコンペアマッチの転送許可 0: 他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRE レジスタコンペアマッチの転送禁止 1: 他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRE レジスタコンペアマッチの転送許可	R/W
21	ICBFF	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRF レジスタコンペアマッチの転送許可 0: 他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRF レジスタコンペアマッチの転送禁止 1: 他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRF レジスタコンペアマッチの転送許可	R/W
22	ICBFPO	他のチャネルの GTCCRB インプットキャプチャ要因へのオーバーフローの転送許可 0: 他のチャネルの GTCCRB インプットキャプチャ要因への、のこぎり波のオーバーフローあるいは三角波または相補 PWM モードの山の転送禁止 1: 他のチャネルの GTCCRB インプットキャプチャ要因への、のこぎり波のオーバーフローあるいは三角波または相補 PWM モードの山の転送許可	R/W

ビット	シンボル	機能	R/W
23	ICBFPU	他のチャネルの GTCCRB インプットキャプチャ要因へのアンダーフローの転送許可 0: 他のチャネルの GTCCRB インプットキャプチャ要因への、のこぎり波のアンダーフローあるいは三角波または相補 PWM モードの谷の転送禁止 1: 他のチャネルの GTCCRB インプットキャプチャ要因への、のこぎり波のアンダーフローあるいは三角波または相補 PWM モードの谷の転送許可	R/W
24	ICBCLK	他のチャネルの GTCCRB インプットキャプチャ要因へのカウントクロックの転送許可 0: 他のチャネルの GTCCRB インプットキャプチャ要因へのカウントクロックの転送禁止 1: 他のチャネルの GTCCRB インプットキャプチャ要因へのカウントクロックの転送許可	R/W
29:25	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
31:30	ICBGRP[1:0]	GTCCRB インプットキャプチャグループ選択 0 0: グループ A を選択 0 1: グループ B を選択 1 0: グループ C を選択 1 1: グループ D を選択	R/W

GTICCR レジスタはチャネル間連携によるインプットキャプチャを制御します。

チャネル間連携によるインプットキャプチャを実行するチャネルの場合、インプットキャプチャが発生する GTCCRA レジスタまたは GTCCRB レジスタに対応するインプットキャプチャ要因の転送許可ビットは無効です。

ICAFm ビット（他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRm レジスタコンペアマッチ／インプットキャプチャの転送許可）(m = A, B)

GTCCRm レジスタのコンペアマッチ／インプットキャプチャを、他のチャネルの GTCCRA レジスタのインプットキャプチャ要因として使うことを許可／禁止します。

ICAFx ビット（他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRx レジスタコンペアマッチの転送許可）(x = C, D, E, F)

GTCCRx レジスタのコンペアマッチを、他のチャネルの GTCCRA レジスタのインプットキャプチャ要因として使うことを許可／禁止します。

ICAFPO ビット（他のチャネルの GTCCRA インプットキャプチャ要因へのオーバーフローの転送許可）

のこぎり波のオーバーフロー、三角波または相補 PWM モードの山を、他のチャネルの GTCCRA レジスタのインプットキャプチャ要因として使うことを許可／禁止します。

ICAFPU ビット（他のチャネルの GTCCRA インプットキャプチャ要因へのアンダーフローの転送許可）

のこぎり波のアンダーフロー、三角波または相補 PWM モードの谷を、他のチャネルの GTCCRA レジスタのインプットキャプチャ要因として使うことを許可／禁止します。

ICACLK ビット（他のチャネルの GTCCRA インプットキャプチャ要因へのカウントクロックの転送許可）

カウントクロックを他のチャネルの GTCCRA レジスタのインプットキャプチャ要因として使うことを許可／禁止します。

ICAGRP[1:0]ビット（GTCCRA インプットキャプチャグループ選択）

GTCCRA レジスタのチャネル間連携によるインプットキャプチャのグループを選択します。

他のチャネルからのインプットキャプチャ要因により GTCCRA レジスタのインプットキャプチャを受け付けるチャネルの場合、GTICASR.ASOC ビットを 1 にして、ICAGRP[1:0] ビットでチャネル間連携のグループを選択してください。

ICBFm ビット（他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRm レジスタコンペアマッチ／インプットキャプチャの転送許可）(m = A, B)

GTCCRm レジスタのコンペアマッチ／インプットキャプチャを、他のチャネルの GTCCRB レジスタのインプットキャプチャ要因として使うことを許可／禁止します。

ICBFx ビット（他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRx レジスタコンペアマッチの転送許可）(x = C, D, E, F)

GTCCRx レジスタのコンペアマッチを、他のチャネルの GTCCRB レジスタのインプットキャプチャ要因として使うことを許可／禁止します。

ICBFPO ビット（他のチャネルの GTCCRB インプットキャプチャ要因へのオーバーフローの転送許可）

のこぎり波のオーバーフロー、三角波または相補 PWM モードの山を、他のチャネルの GTCCRB レジスタのインプットキャプチャ要因として使うことを許可／禁止します。

ICBFPU ビット（他のチャネルの GTCCRB インプットキャプチャ要因へのアンダーフローの転送許可）

のこぎり波のアンダーフロー、三角波または相補 PWM モードの谷を、他のチャネルの GTCCRB レジスタのインプットキャプチャ要因として使うことを許可／禁止します。

ICBCLK ビット（他のチャネルの GTCCRB インプットキャプチャ要因へのカウントクロックの転送許可）

カウントクロックを他のチャネルの GTCCRB レジスタのインプットキャプチャ要因として使うことを許可／禁止します。

ICBGRP[1:0]ビット（GTCCRB インプットキャプチャグループ選択）

GTCCRB レジスタのチャネル間連携によるインプットキャプチャのグループを選択します。

他のチャネルからのインプットキャプチャ要因により GTCCRB レジスタのインプットキャプチャを受け付けるチャネルの場合、GTICBSR.BSOC ビットを 1 にして、ICBGRP[1:0] ビットでチャネル間連携のグループを選択してください。

21.2.46 OPSCR : 出力相切り替えコントロールレジスタ

Base address: GPT_OPS = 0x4016_9A00

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCS[1:0]		NFEN	—	—	GODF	GRP[1:0]		—	—	ALIGN	RV	INV	N	P	FB
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	EN	—	W	V	U	—	WF	VF	UF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	UF	入力相ソフト設定 ソフトウェア設定により入力相を設定します。 OPSCR.FB ビットが 1 のとき、これらのビットの設定が有効になります。	R/W
1	VF		R/W
2	WF		R/W
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	U	入力 U 相監視 入力相の状態を監視します。 OPSCR.FB = 0 : GTCLK と外部入力同期 OPSCR.FB = 1 : ソフトウェア設定（UF ビット）	R
5	V	入力 V 相監視 入力相の状態を監視します。 OPSCR.FB = 0 : GTCLK と外部入力同期 OPSCR.FB = 1 : ソフトウェア設定（VF ビット）	R
6	W	入力 W 相監視 入力相の状態を監視します。 OPSCR.FB = 0 : GTCLK と外部入力同期 OPSCR.FB = 1 : ソフトウェア設定（WF ビット）	R
7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	EN	出力相許可 0: 出力しない（外部端子は Hi-Z） 1: 出力する(注1)	R/W
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	FB	外部フィードバック信号許可 入力相をソフトウェア設定値と外部入力から選択します。 0: 外部入力を選択 1: ソフトウェア設定（OPSCR.UF、VF、WF ビット）を選択	R/W
17	P	正相出力 (P) 制御 0: レベル信号出力 1: PWM 信号出力	R/W
18	N	逆相出力 (N) 制御 0: レベル信号出力 1: PWM 信号出力	R/W
19	INV	出力相反転制御 0: 正論理（アクティブ High）を出力 1: 負論理（アクティブ Low）を出力	R/W
20	RV	出力相回転方向反転 0: 正回転 1: 逆回転	R/W
21	ALIGN	入力相アライメント 0: 入力相を GTCLK に調整 1: 入力相を PWM の立ち下がりエッジに調整	R/W
23:22	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:24	GRP[1:0]	出力禁止要因選択 0 0: グループ A 出力禁止要因を選択 0 1: グループ B 出力禁止要因を選択 1 0: グループ C 出力禁止要因を選択 1 1: グループ D 出力禁止要因を選択	R/W
26	GODF	グループ出力禁止機能 0: このビット機能を無視 1: グループ禁止で OPSCR.EN ビットをクリア(注1)	R/W
28:27	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
29	NFEN	外部入力ノイズフィルタ有効 0: 外部入力にノイズフィルタを使用しない 1: 外部入力にノイズフィルタを使用する	R/W
31:30	NFCS[1:0]	外部入力ノイズフィルタクロック選択 外部入力のノイズフィルタサンプリングクロック設定 0 0: GTCLK/1 0 1: GTCLK/4 1 0: GTCLK/16 1 1: GTCLK/64	R/W

注 1. OPSCR.GODF ビット= 1 の場合、OPSCR.GRP[1:0]ビットで選択した信号値が High であると、OPSCR.EN ビットは 0 になります。

OPSCR レジスタは、ブラシレス DC モーター制御に必要な信号波形の出力を設定するレジスタです。

UF , VF , WF ビット（入力相ソフト設定）

UF 、VF 、WF ビットはソフトウェア設定からの入力相を設定します。OPSCR.FB ビットが 1 の場合に、これらのビットが有効になります。UF /VF /WF ビットの設定値が U/V/W 外部入力の代わりになります。

U, V, W ビット（入力相監視）

OPSCR.FB ビットが 0 の場合、GTCLK と同期した外部入力をこれらのビットで監視します。OPSCR.FB ビットが 1 の場合、OPSCR.U、OPSCR.V、OPSCR.W ビットは、OPSCR.UF 、OPSCR.VF 、OPSCR.WF ビットを読み出せます。

EN ビット（出力相許可）

EN ビットは出力相（正相／逆相）の出力許可信号を制御します。

OPSCR.EN ビットが 1 の時に出力します。

OPSCR.EN ビットが 0 のとき、まず OPSCR.FB、OPSCR.UF /VF /WF （ソフトウェア設定選択時）、OPSCR.P/N、OPSCR.INV、OPSCR.RV、OPSCR.ALIGN、OPSCR.GRP[1:0]、OPSCR.GODF、OPSCR.NFEN、 OPSCR.NFCS を設定してください。それから、EN ビットを 1 に設定してください。EN ビットは POEG から出力禁止要求が発生していない場合に設定してください。また、OPSCR.GODF ビットが 1 かつ OPSCR.GRP[1:0]ビットで選択した信号値が High になると、OPSCR.EN ビットは 0 になります。ソフトウェアで 1 が書かれても、EN ビットは 0 のままです。

復帰の場合は、ソフトウェアで出力禁止要求をクリア後に EN ビットを 1 に設定してください。

EN ビットの優先順位は以下のとおりです（競合発生時）。

EN ビットでソフトウェアによる 1 書き込みと出力禁止要求による 0 クリアが競合している場合は、出力禁止要求による 0 クリアが有効です。

FB ビット（外部フィードバック信号許可）

FB ビットは入力相にソフトウェアで設定した値 (OPSCR.UF, VF, WF) を用いるか、ホールエレメントのような外部入力を用いるかを選択します。

P ビット（正相出力 (P) 制御）

P ビットは正相出力（GTOUUP 端子、GTOVUP 端子、GTOWUP 端子）に対して、レベル信号出力または PWM 信号出力のどちらかを選択します。

N ビット（逆相出力 (N) 制御）

N ビットは逆相出力（GTOULO 端子、GTOVLO 端子、GTOWLO 端子）に対して、レベル信号出力または PWM 信号出力のどちらかを選択します。

INV ビット（出力相反転制御）

INV ビットは出力相として、正論理（アクティブ High）出力、または負論理（アクティブ Low）出力のどちらかを選択します。

RV ビット（出力相回転方向反転）

RV ビットは V 相／ W 相を入れ替えることにより、モーターの回転方向を反転させます。

ALIGN ビット（入力相アライメント）

ALIGN ビットは入力相のサンプリングとして、GTCLK または PWM を選択します（入力相は OPSCR.FB ビットで指定）。

OPSCR.ALIGN ビットが 0 のとき、入力相は GTCLK に調整されます。

注. チョッピングが実行される場合、出力 PWM パルス幅は出力相切り替えの前後において、チョップに使用された PWM パルス幅よりも短パルスになる場合があります。これは、パルス出力切り替えタイミングと PWM 相の差分によります。

OPSCR.ALIGN ビットが 1 のとき、入力相は PWM の立ち下がりエッジに調整されます。

GRP[1:0]ビット（出力禁止要因選択）

GRP[1:0]ビットは出力禁止要因を選択します。

GODF ビットが 0 のときに GRP ビットを設定してください。GRP ビットが接続グループ以外の POEG を選択するとき、出力端子のステータスは禁止に変わりません。

GODF ビット（グループ出力禁止機能）

OPSCR.GODF = 1 かつ OPSCR.GRP[1:0]ビットで選択した要因の信号値が High になると、OPSCR.EN ビットを 0 クリアします。

OPSCR.GODF = 0 の時は、本ビットは無視されます。

GODF ビットは POEG から出力禁止要求が発生していない場合に設定してください。

NFEN ビット（外部入力ノイズフィルタ有効）

NFEN ビットはホールセンサ入力用のノイズフィルタを選択します。OPSCR.NFEN = 0 の場合、ホールセンサ入力にノイズフィルタは使用されません。

注. 本ビットの切り替えにより生じる、意図しない内部エッジの発生を避けるために、EN ビットが 0 の間に本ビットを設定してください。

NFCS[1:0]ビット（外部入力ノイズフィルタクロック選択）

NFCS[1:0]ビットはホールセンサ入力用のノイズフィルタのクロックを選択します。OPSCR.NFEN = 1 の場合、ホールセンサ入力のノイズフィルタサンプリングクロック設定が有効になります。

1. NFCS[1:0]を設定します。
2. クロックの 2 周期分待ちます。
3. OPSCR.EN ビットを 1 にします。

21.2.47 GTCLKCR : 汎用 PWM タイマクロックコントロールレジスタ

Base address: GPT_GTCLK = 0x4016_9B00

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BPEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BPEN	同期化回路バイパス許可 0: バスクロックと GPT コアクロックを非同期で使用する場合 1: バスクロックと GPT コアクロックを同期させて使用する場合	R/W
31:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTCLKCR レジスタはクロックを制御します。

リセット後はまず最初に初期設定をしてください。

MSTPCRE.MSTPE31 ビットが 0 の場合、このレジスタは変更禁止です。

BPEN ビット（同期化回路バイパス許可）

バスクロック（PCLKA）と GPT コアクロック（GTCLK）間の同期バイパス機能を許可／禁止します。

コアクロックとして非同期クロック（GPTCLK）を使うときは 0 を、同期クロック（PCLKD）を使うときは 1 を設定してください。

21.3 動作説明

21.3.1 基本動作

各チャネルには 32 ビットタイマがあり、各タイマは、カウントクロックとハードウェア要因を用いて周期的なカウント動作を実行します。カウント機能にはアップカウントとダウンカウントの両方があります。GTPR レジスタまたは GTCCRm（m = A～F）レジスタがカウント周期を制御します。

GTCNT カウンタ値が GTCCRA または GTCCRB レジスタの値に一致すると、対応する GTIOCnA 端子または GTIOCnB 端子からの出力を変更できます（n = 0～9）。GTCCRA または GTCCRB レジスタは、ハードウェア要因によるインプットキャプチャレジスタとして使用できます。

GTCCRC および GTCCRD レジスタは、 GTCCRA レジスタ用のバッファレジスタとしても機能します。また、GTCCRE および GTCCRF レジスタは、 GTCCRB レジスタ用のバッファレジスタとしても機能します。

21.3.1.1 カウンタの動作

(1) カウンタスタート／ストップ

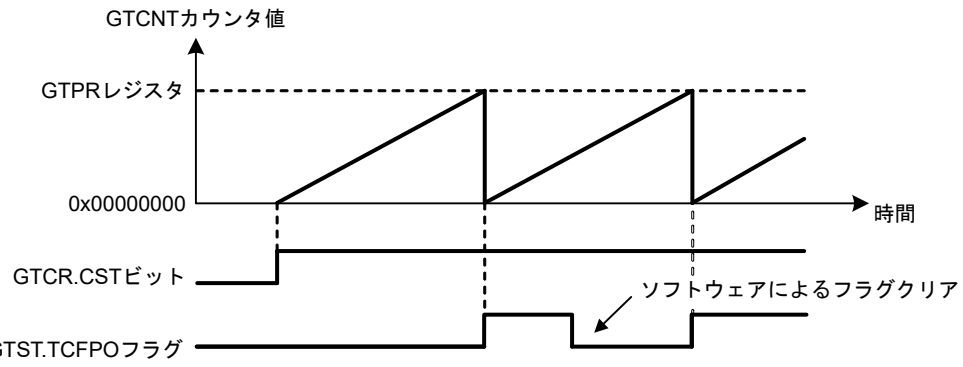
各チャネルのカウンタは、GTCR.CST ビットを 1 にするとカウント動作を開始し、GTCR.CST ビットを 0 にするとカウント動作を停止します。GTCR.CST ビット値は以下の要因によって変化します。

- GTCR レジスタへの書き込み
- GTSSR.CSTRT ビットが 1 になっている場合、GTSTR レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTPSR.CSTOP ビットが 1 になっている場合、GTSTP レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTSSR レジスタで選択したハードウェア要因
- GTPSR レジスタで選択したハードウェア要因
- GTPC.ASTP ビットが 1 の状態での周期計数機能の終了

(2) カウントクロックによるアップカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、GTUPSR および GTDNSR レジスタを 0x00000000 にした状態で、対応する GTCR.CST ビットを 1 にすると、アップカウントを開始します。GTCNT カウンタ値が GTPR 値から 0 に変化（オーバーフロー）する、またはのこぎり波 PWM モード 2 で GTCSR.CSCMSC[2:0]ビットで選択された GTCCRm (m = A～F) の値が 0 になると、GTST.TCFPO フラグが 1 になり、オーバーフロー割り込み (GPTn_OVF) も発生します。GTCNT カウンタはオーバーフロー後、0x00000000 からアップカウントを再開します。

図 21.5 にカウントクロックによるアップカウント時の周期カウント動作例を示します。



注. レジスタのベースアドレスは同じです。

図 21.5 カウントクロックによるアップカウント時の周期カウント動作例

表 21.11 にカウントクロックによるアップカウント時の周期カウント動作の設定例を示します。

表 21.11 カウントクロックによるアップカウント時の周期カウント動作の設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 21.5 では 000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.5 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。

表 21.11 カウントクロックによるアップカウント時の周期カウント動作の設定例 (2/2)

No.	手順名	説明
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx（x = A～F）を選択し、周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。（図 21.5 では 0x00000000 を設定）
6	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

(3) カウントクロックによるダウンカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、GTUPSR および GTDNSR レジスタを 0x00000000 にした状態で、GTUDDTYC.UD ビットを設定することにより、ダウンカウントを実行できます。GTCNT カウンタ値が 0 から GTPR 値に変化（アンダーフロー）すると、GTST.TCFPU フラグが 1 になり、アンダーフロー割り込み (GPTn_UDF) も発生します。GTCNT カウンタはアンダーフロー後、GTPR 値からダウンカウントを再開します。

図 21.6 にカウントクロックによるダウンカウント時の周期カウント動作例を示します。

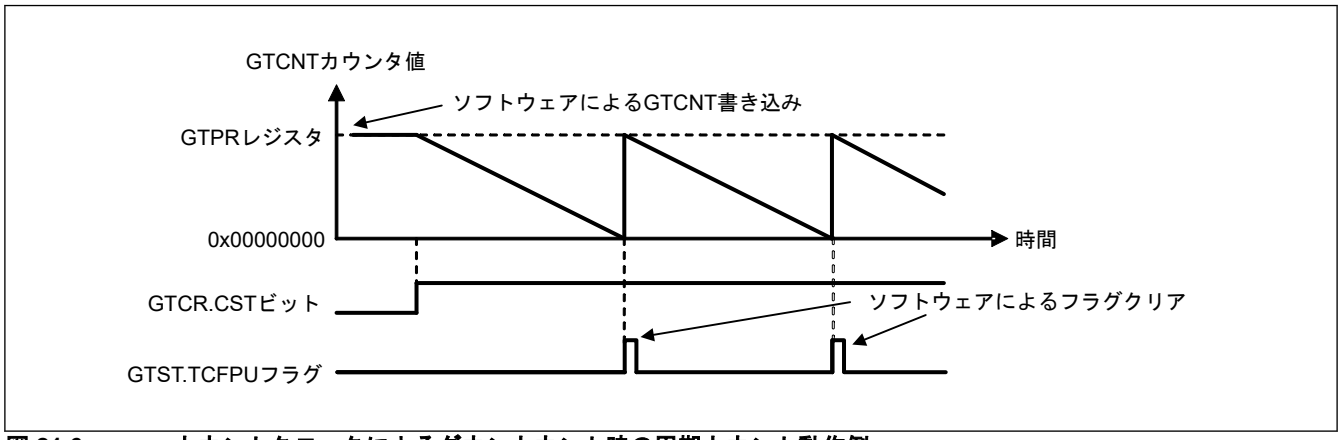


図 21.6 カウントクロックによるダウンカウント時の周期カウント動作例

表 21.12 にカウントクロックによるダウンカウント時の周期カウント動作の設定例を示します。

表 21.12 カウントクロックによるダウンカウント時の周期カウント動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 21.6 では 000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向を設定します。 図 21.6 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します（ダウンカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 21.6 では GTPR 値を設定します。
6	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。 図 21.6 では、CST ビットに 1 を設定します。

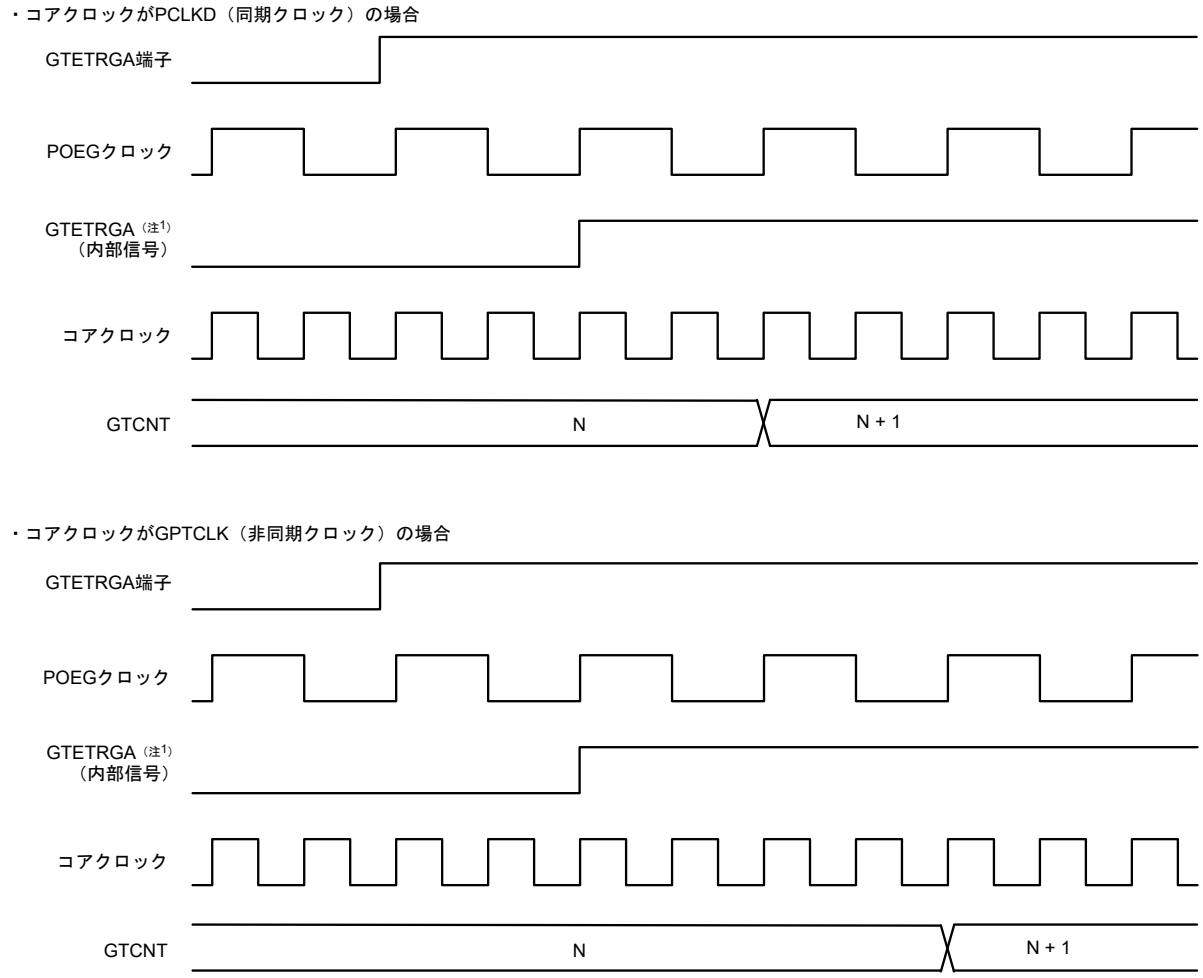
(4) ハードウェア要因によるアップカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTUPSR レジスタで設定したハードウェア要因を使用して、アップカウントを行うことができます。

GTUPSR レジスタが設定されている場合、GTCR.TPCS[3:0]ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで設定したカウント方向は無効です。アップカウントのハードウェア要因とダウンカウントのハードウェア要因が同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるアップカウント時のオーバーフロー動作は、カウントクロックによるアップカウント動作と同様です。

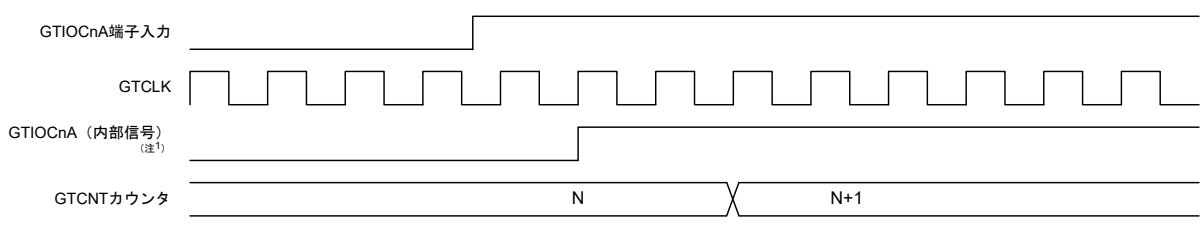
ハードウェア要因を使用してアップカウントを行う場合、カウント動作を有効にするために、GTCR.CST ビットを 1 にしてください。カウント動作の開始は GTCR.TPCS[3:0]ビットで選択されたカウントクロックに同期しているため、GTCR.CST ビットを 1 にした後、GTCR.TPCS[3:0]ビットにより、1 カウントクロック期間は、アップカウント動作を行うことはできません。GTCR.CST ビットを 1 にした 1GTCLK 後からアップカウントを行うためには、GTCR.TPCS[3:0]ビットを 000b にしてください。

図 21.7 と図 21.8 にハードウェア要因（GTETRGA 端子入力の立ち上がりエッジおよび GTIOCnA 端子入力の立ち上がりエッジ）によるアップカウント時のイベントカウント動作例を示します。



注. POEG クロック：PCLKB
注 1. POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 21.7 ハードウェア要因によるアップカウント時のイベントカウント動作例



注 1. これはデジタルノイズフィルタが使用されていない場合です。

図 21.8 イベントカウント動作例（GTIOCnA 端子入力の立ち上がりエッジによるアップカウント時）

図 21.9 に ELC_GPTA イベント入力によるイベントカウント動作例を示します。

これは GPT321.GTCNT カウンタのイベントカウント動作例です。GPT320.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT321 への出力用トリガとして選択されます。

ELC は GPT320 からのイベント信号出力を遅延なく GPT321 へ渡します。

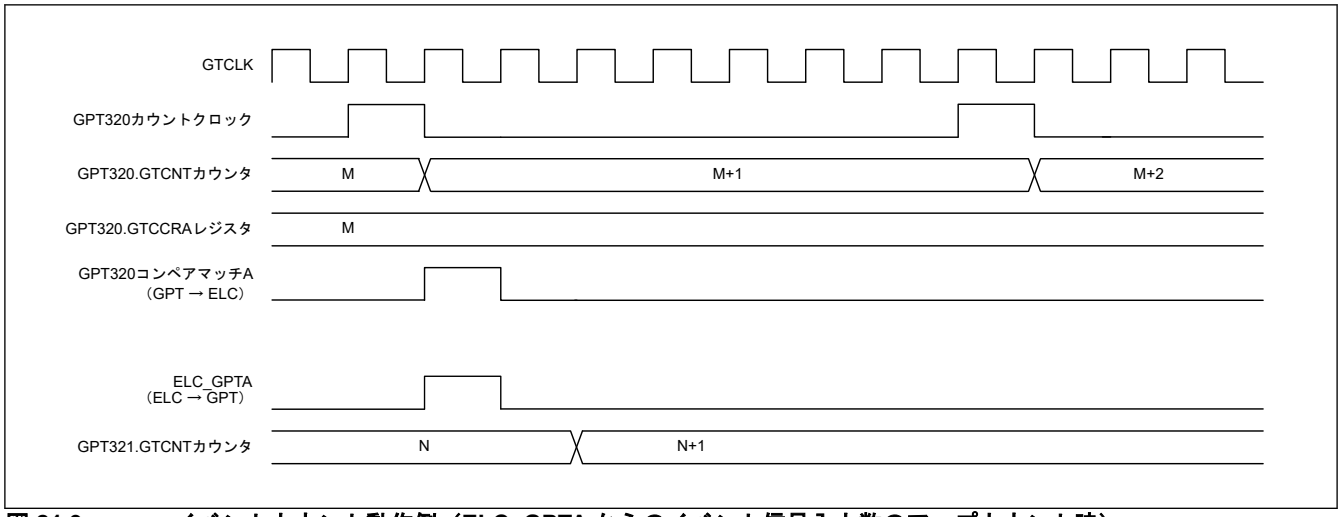


図 21.9　イベントカウント動作例（ELC_GPTA からのイベント信号入力数のアップカウント時）

表 21.13 にハードウェア要因によるアップカウント時のイベントカウント動作の設定例を示します。

表 21.13　ハードウェア要因によるアップカウント時のイベントカウント動作の設定例

No.	手順名	説明
1	カウント要因設定	GTUPSR レジスタでアップカウントのハードウェア要因を選択します。
2	周期設定	GTPR レジスタに周期を設定します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

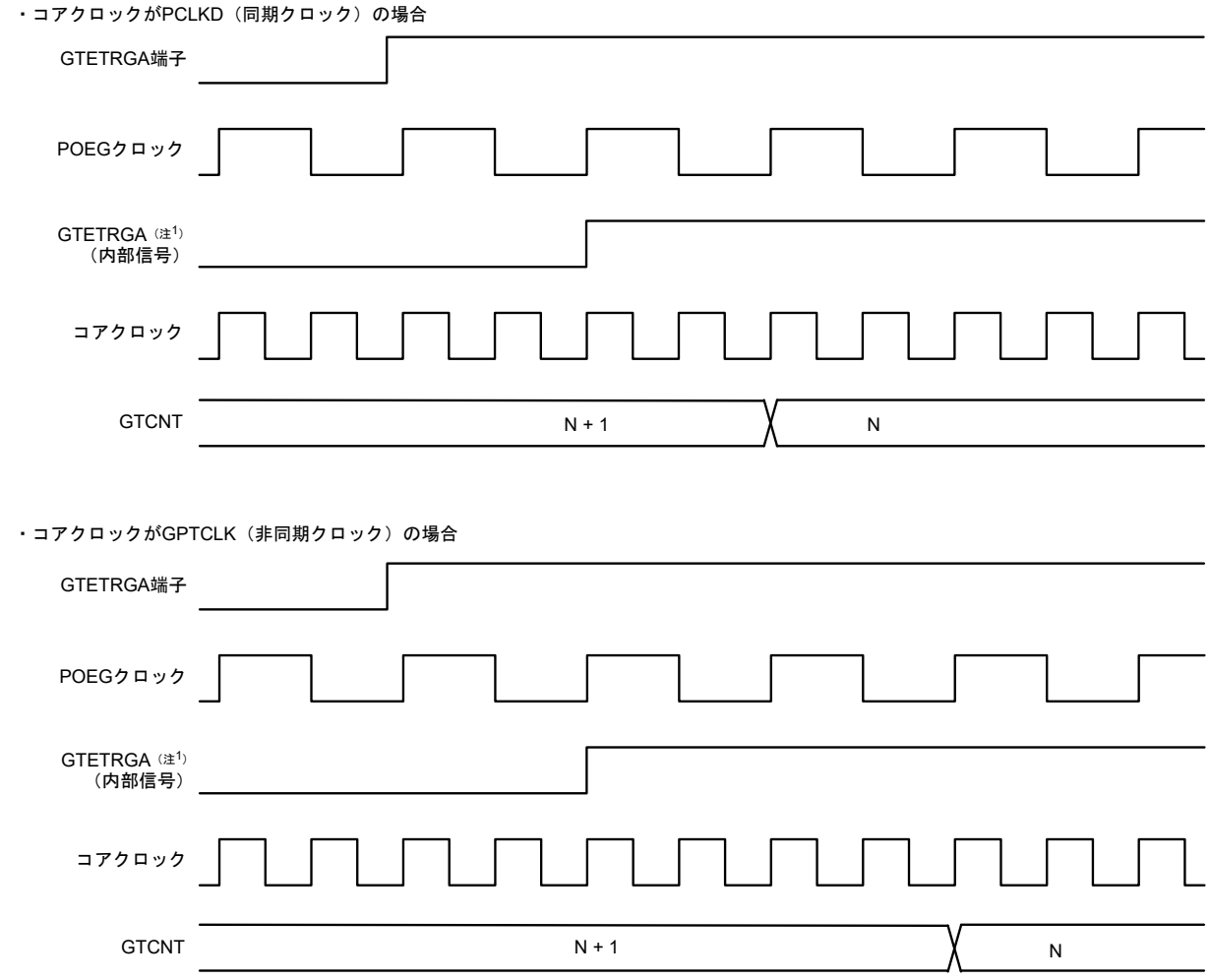
(5)　ハードウェア要因によるダウンカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTDNSR レジスタで設定したハードウェア要因を使用して、ダウンカウントを行うことができます。

GTDNSR レジスタが設定されている場合、GTCR.TPCS[3:0]ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで設定したカウント方向は無効です。アップカウントのハードウェア要因とダウンカウントのハードウェア要因が同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるダウンカウント時のアンダーフロー動作は、カウントクロックによるダウンカウント時のアンダーフロー動作と同じです。

ハードウェア要因を使用してダウンカウントを行うために、GTCR.CST ビットを 1 にすると、カウント動作が有効になります。カウント動作は、GTCR.TPCS[3:0]ビットで選択されたカウントクロックに同期しているため、GTCR.CST ビットを 1 にした後、GTCR.TPCS[3:0]ビットで指定された 1 クロックサイクルの間、ダウンカウント動作を行うことはできません。GTCR.CST ビットを 1 にした 1GTCLK 後からダウンカウントを行うためには、GTCR.TPCS[3:0]ビットを 000b にしてください。

図 21.10 にハードウェア要因（GTETRGA の立ち上がりエッジ）によるダウンカウント時のイベントカウント動作例を示します。



注. POEG クロック：PCLKB
注 1. POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 21.10 ハードウェア要因によるダウンカウント時のイベントカウント動作例

表 21.14 にハードウェア要因によるダウンカウント時のイベントカウント動作の設定例を示します。

表 21.14 ハードウェア要因によるダウンカウント時のイベントカウント動作の設定例

No.	手順名	説明
1	カウント要因設定	GTDNSR レジスタでダウンカウントのハードウェア要因を選択します。
2	周期設定	GTPR レジスタに周期を設定します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

(6) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアすることが可能です。

- GTCNT レジスタへの 0 の書き込み
- GTCSR.CCLR ビットが 1 の状態での GTCLR レジスタのチャネル番号に対応するビットへの 1 書き込み
- GTCSR レジスタで選択したハードウェア要因

カウント動作中は、GTCNT レジスタに書き込むことはできません。カウント中の書き込みアクセス（CST = 1 の場合）はできません。GTCLR レジスタへの 1 の書き込みおよびハードウェア要因によるクリア要求により、

GTCNT カウンタが動作中 (GTCR.CST = 1) の場合でも、停止中 (GTCR.CST = 0) の場合でも GTCNT カウンタをクリアすることができます。

GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットでのこぎり波モード（のこぎり波 PWM モード 2 以外）を選択し、カウント方向フラグがデクリメント (GTST.TUCF フラグ = 0) の場合、GTCLR レジスタへ 1 を書き込みかつハードウェア要因によりクリアするとき、GTCNT レジスタは GTPR レジスタの値になります。

のこぎり波モード（のこぎり波 PWM モード 2 以外）やダウンカウントではない場合、GTCLR レジスタへ 1 を書き込みかつハードウェア要因によりクリアするとき、GTCNT レジスタは 0 になります。

GTUPSR または GTDNSR レジスタの少なくとも 1 つのビットが 1 になっている場合のイベントカウント動作では、クリア要因の発生後、GTCLR レジスタへの書き込みとハードウェア要因によるクリアの両方が直ちに実行され、GTCLK と同期が取られます。その他の設定を使用すると、GTCR.TPCS[3:0]ビットで選択したカウンタクロックと同期してクリアが実行されます。

21.3.1.2 コンペアマッチによる波形出力機能

コンペアマッチとは、GTCNT カウンタ値が GTCCRA または GTCCRB レジスタ値と一致することを意味します。コンペアマッチが発生すると、イベントカウントを含むカウントクロックと同期して、コンペアマッチフラグが発生します。同時に、GPT は、対応する GTIOCnA または GTIOCnB 出力端子から Low 出力／High 出力／トグル出力を行うことができます（n = 0～9）。また、GTPR レジスタまたはのこぎり波 PWM モード 2 で GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因として選択された GTCCRm レジスタ（n = 0～9、m = A～F）で決定される周期の終わりにおいても、GTIOCnA または GTIOCnB 端子出力を Low 出力／High 出力／トグル出力とすることができます。

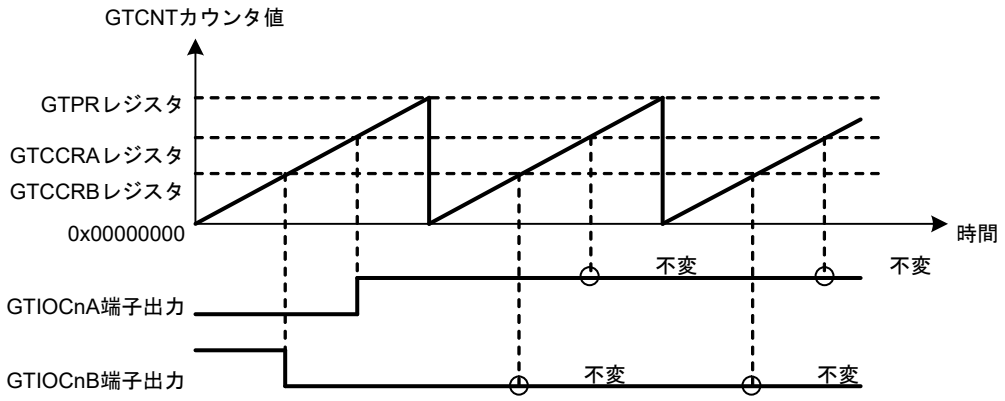
“周期の終わり”とは、以下の場合です。

- アップカウント時ののこぎり波の場合（のこぎり波 PWM モード 2 以外）: GTCNT カウンタが GTPR 値から 0 に変化したとき（オーバーフロー）
- ダウンカウント時ののこぎり波の場合（のこぎり波 PWM モード 2 以外）: GTCNT カウンタが 0 から GTPR 値に変化したとき（アンダーフロー）
- のこぎり波 PWM モード 2 で GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因として選択された GTCCRm レジスタ（m = A～F）の場合：GTCNT カウンタが GTCCRm 値から 0x00000000 に変化したとき
- のこぎり波の場合：GTCNT カウンタがクリアされたとき
- 三角波または相補 PWM モードの場合：GTCNT カウンタが 0 から 1 に変化したとき（谷）

(1) Low 出力／High 出力

図 21.11 に GTCCRA および GTCCRB レジスタのコンペアマッチによる Low 出力／High 出力の動作例を示します。

この例では、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチによって GTIOCnA 端子から High が出力され、GTCCRB レジスタのコンペアマッチによって GTIOCnB 端子から Low が出力されるように設定しています。設定したレベルと端子レベルが一致した場合は、端子レベルは変化しません。



[設定例]
GTIOR.GTIOA[4:0]ビットの設定: 初期出力はLow出力、コンペアマッチでHigh出力、周期の終わりで出力保持
GTIOR.GTIOB[4:0]ビットの設定: 初期出力はHigh出力、コンペアマッチでLow出力、周期の終わりで出力保持

注. レジスタのベースアドレスは同じです。

図 21.11 Low 出力／High 出力動作例

表 21.15 に Low 出力／High 出力動作の設定例を示します。

表 21.15 Low 出力／High 出力動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 21.11 では 000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.11 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx（x = A～F）を選択し、周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 21.11 では、GTIOA[4:0] = 00010b、GTIOB[4:0] = 10001b
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ値設定(注1)	GTCCRA レジスタ、GTCCRB レジスタにコンペアマッチ値を設定します。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

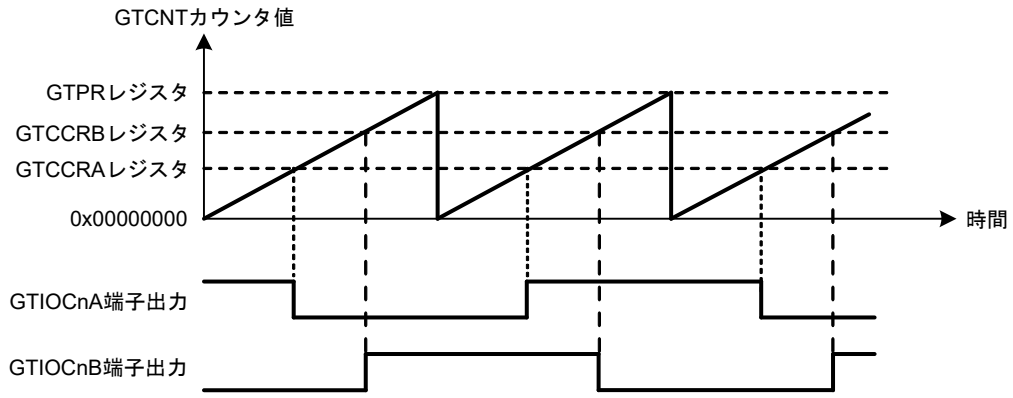
注. n: 0～9
m: A, B
注 1. PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

(2) トグル出力

図 21.12 および図 21.13 に GTCCRA および GTCCRB レジスタのコンペアマッチによるトグル出力動作例を示します。

図 21.12 は、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチと、GTCCRB レジスタのコンペアマッチによって、それぞれ GTIOCnA 端子と GTIOCnB 端子がトグル出力となるように設定した例です。

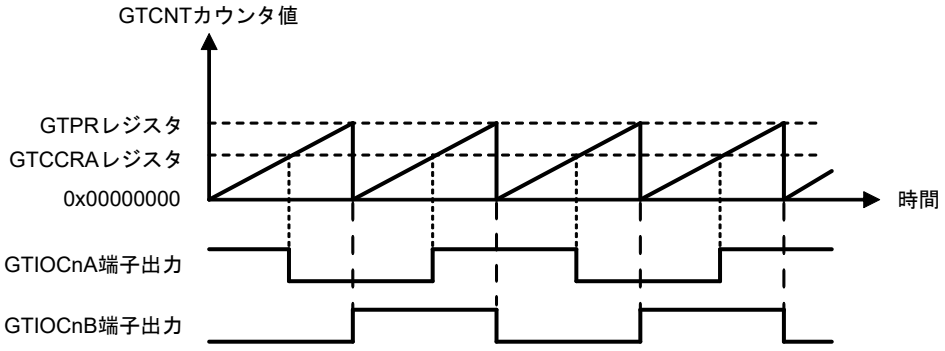
図 21.13 は、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチによって GTIOCnA 端子がトグル出力となり、周期の終わりで GTIOCnB 端子がトグル出力となるように設定した例です。



［設定例］
GTIOR.GTIOA[4:0]ビットの設定：初期出力はHigh出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GTIOR.GTIOB[4:0]ビットの設定：初期出力はLow出力、コンペアマッチでトグル出力、周期の終わりで出力保持

注. レジスタのベースアドレスは同じです。

図 21.12 トグル出力動作例 (1)



［設定例］
GTIOR.GTIOA[4:0]ビットの設定：初期出力はHigh出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GTIOR.GTIOB[4:0]ビットの設定：初期出力はLow出力、コンペアマッチで出力保持、周期の終わりでトグル出力

注. レジスタのベースアドレスは同じです。

図 21.13 トグル出力動作例 (2)

表 21.16 にトグル出力動作の設定例を示します。

表 21.16 トグル出力動作の設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 21.12 と図 21.13 では 000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。図 21.12 と図 21.13 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx（x = A～F）を選択し、周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。

表 21.16 トグル出力動作の設定例 (2/2)

No.	手順名	説明
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。図 21.12 では GTIOA[4:0] = 10011b、GTIOB[4:0] = 00011b、図 21.13 では GTIOA[4:0] = 10011b、GTIOB[4:0] = 01100b
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ値設定(注1)	GTCCRA レジスタ、GTCCRB レジスタにコンペアマッチ値を設定します。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

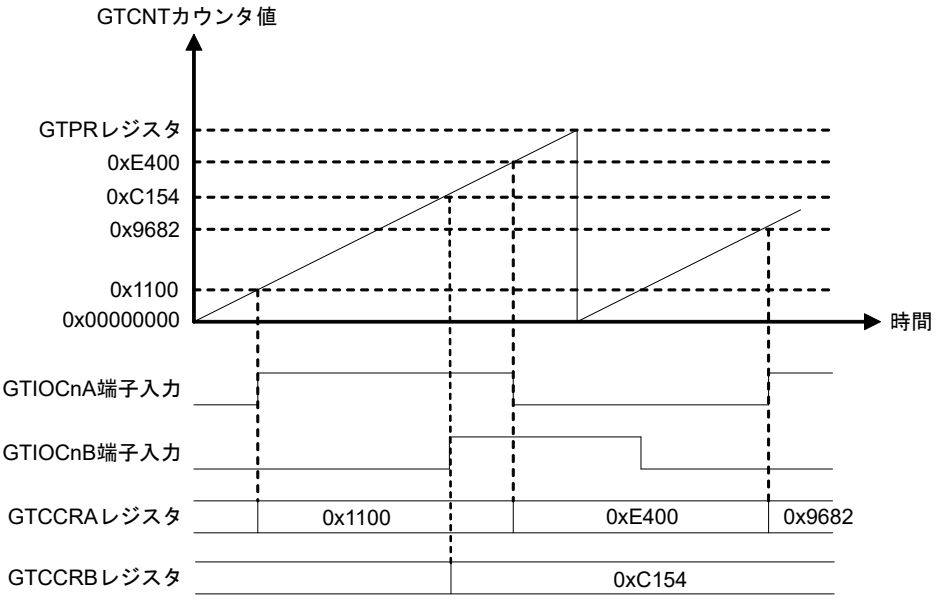
注. n: 0～9
m: A, B
注 1. PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

21.3.1.3 インプットキャプチャ機能

GTICASR および GTICBSR レジスタに設定されたハードウェア要因の検出時に、GTCCRA レジスタまたは GTCCRB レジスタのいずれか一方に GTCNT カウンタ値を転送できます。(相補 PWM モードでは、GTCCRA レジスタと GTCCRB レジスタはインプットキャプチャレジスタとして機能しません。)

インプットキャプチャ機能の動作例を図 21.14 に示します。

この例では、カウントクロックで GTCNT カウンタがアップカウント動作を行い、GTIOCnA 入力端子の両エッジで GTCCRA レジスタにインプットキャプチャを実行し、GTIOCnB 入力端子の立ち上がりエッジで GTCCRB レジスタにインプットキャプチャを実行するように設定しています。



注. レジスタのベースアドレスは同じです。
注. [設定例]
GTICASR 設定：両エッジでインプットキャプチャ
GTICBSR 設定：立ち上がりエッジでインプットキャプチャ

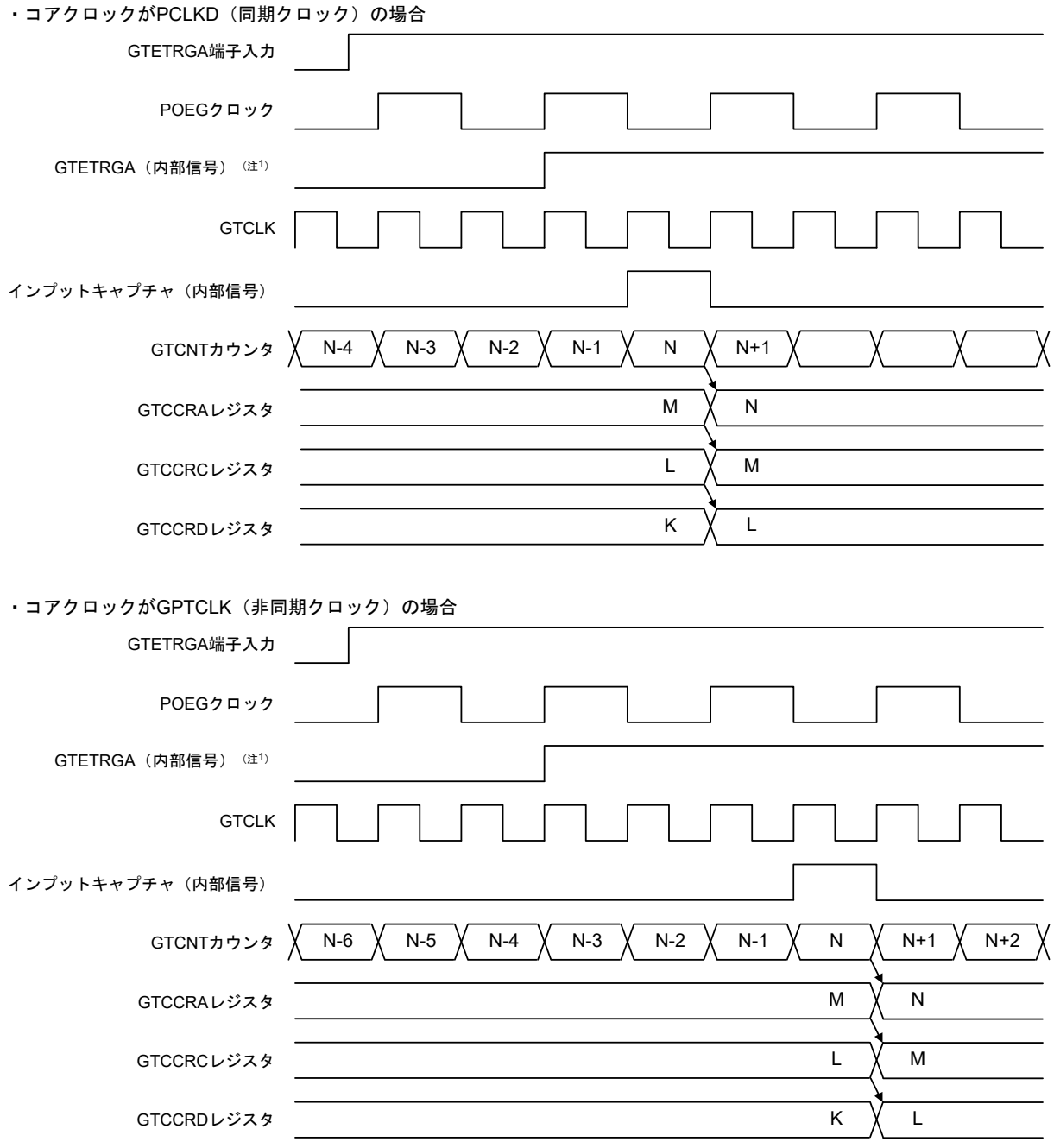
図 21.14 インプットキャプチャ動作例

カウントクロックによるカウント動作でのインプットキャプチャ動作の設定例を表 21.17 と表 21.21 に示します。

表 21.17　インプットキャプチャ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 21.14 では 000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.14 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx（x = A～F）を選択し、周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	インプットキャプチャ要因の選択	GTICASR レジスタおよび GTICBSR レジスタでインプットキャプチャ要因を選択します。 図 21.14 では、GTICASR = 0x00000F00、GTICBSR = 0x00003000 他のチャネル要因による印譜とキャプチャを使用する場合、GTICmSR.mSOC ビット（m = A または B）を 1 に設定し、他のチャネル要因によるインプットキャプチャを有効にします。そして、GTICCR レジスタで他のチャネル要因によるインプットキャプチャをするグループを選択します。
7	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

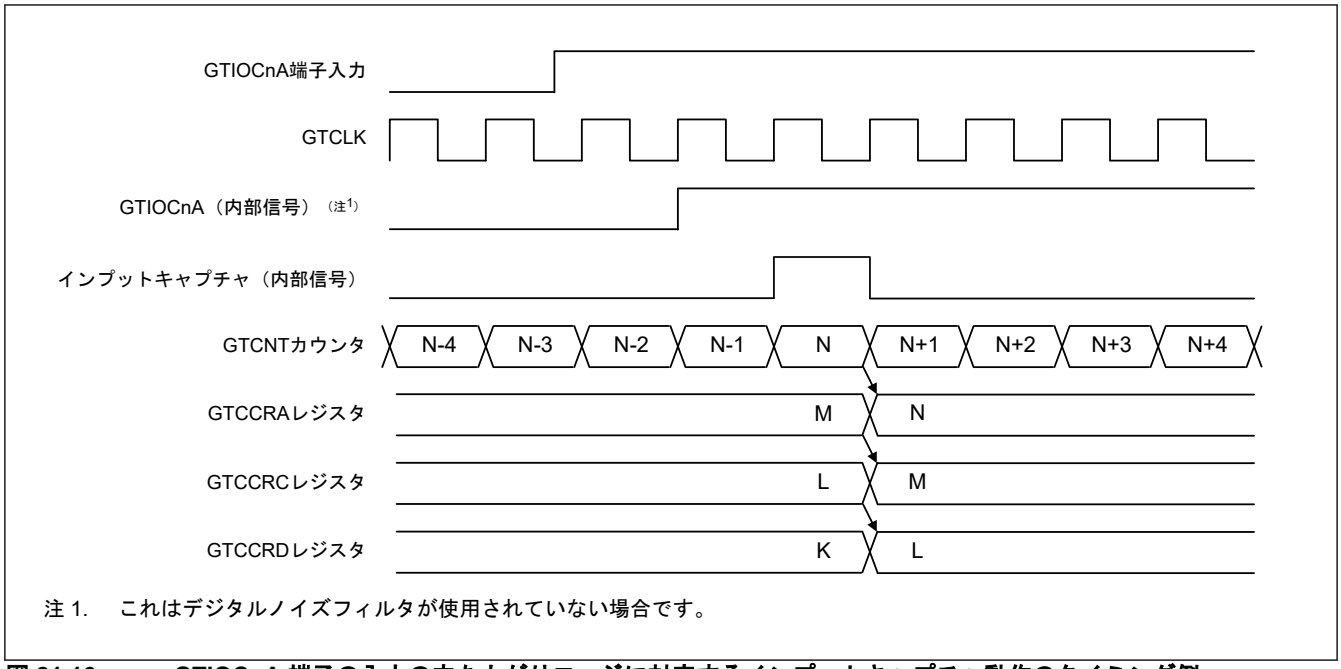
図 21.15 に GTETRGA 端子の入力の立ち上がりエッジに対応するインプットキャプチャ動作のタイミング例を示します。



注. POEG クロック：PCLKB
注 1. POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 21.15 GTETRGA 端子の入力の立ち上がりエッジに対応するインプットキャプチャ動作のタイミング例

図 21.16 に GTIOCnA 端子の入力の立ち上がりエッジに対応するインプットキャプチャ動作のタイミング例を示します。



注 1. これはデジタルノイズフィルタが使用されていない場合です。

図 21.16 GTIOCnA 端子の入力の立ち上がりエッジに対応するインプットキャプチャ動作のタイミング例

図 21.17 に ELC_GPTA のイベント入力に対応するインプットキャプチャ動作のタイミング例を示します。

これは入力信号に対応する GPT321.GTCCRA レジスタによるカウンタ値のキャプチャ例です。
GPT320.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT321 への出力用トリガとして選択されます。

ELC は GPT320 からのイベント信号出力を遅延なく GPT321 へ渡します。

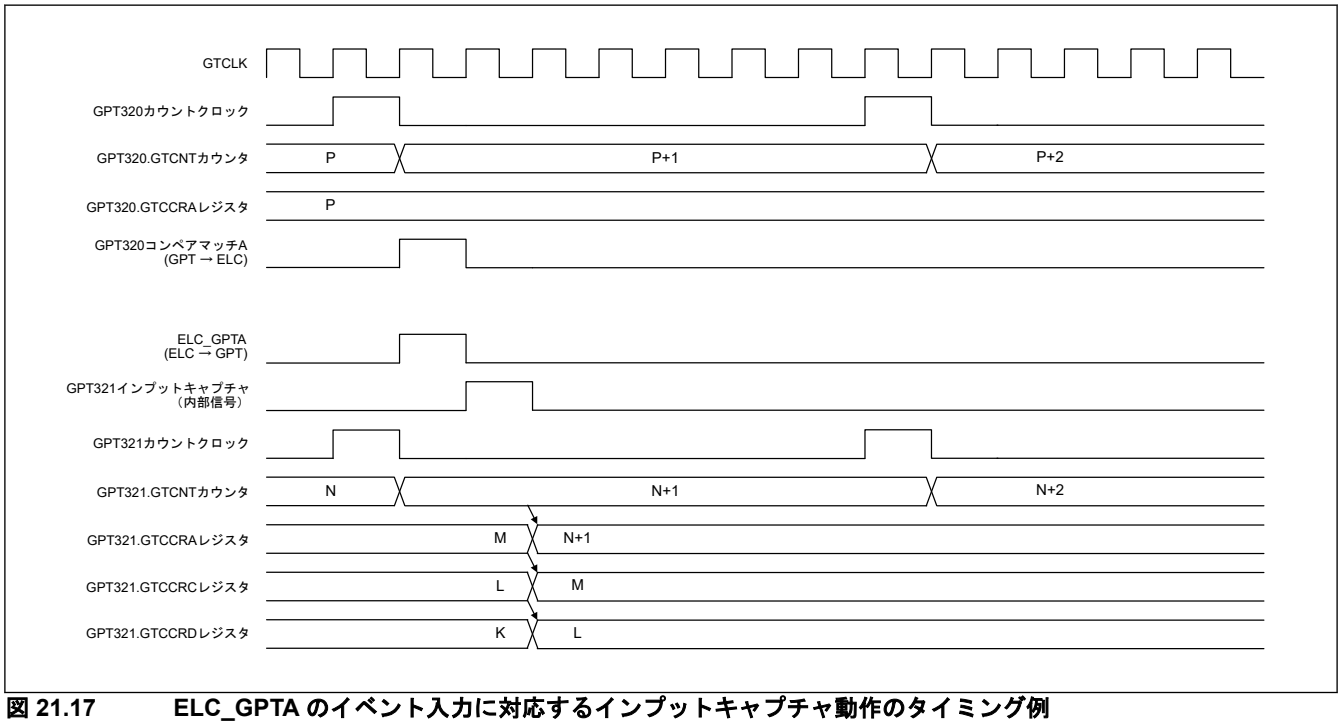


図 21.17 ELC_GPTA のイベント入力に対応するインプットキャプチャ動作のタイミング例

図 21.18 に他のチャネルからのカウントクロックに対応するインプットキャプチャ動作のタイミング例を示します。

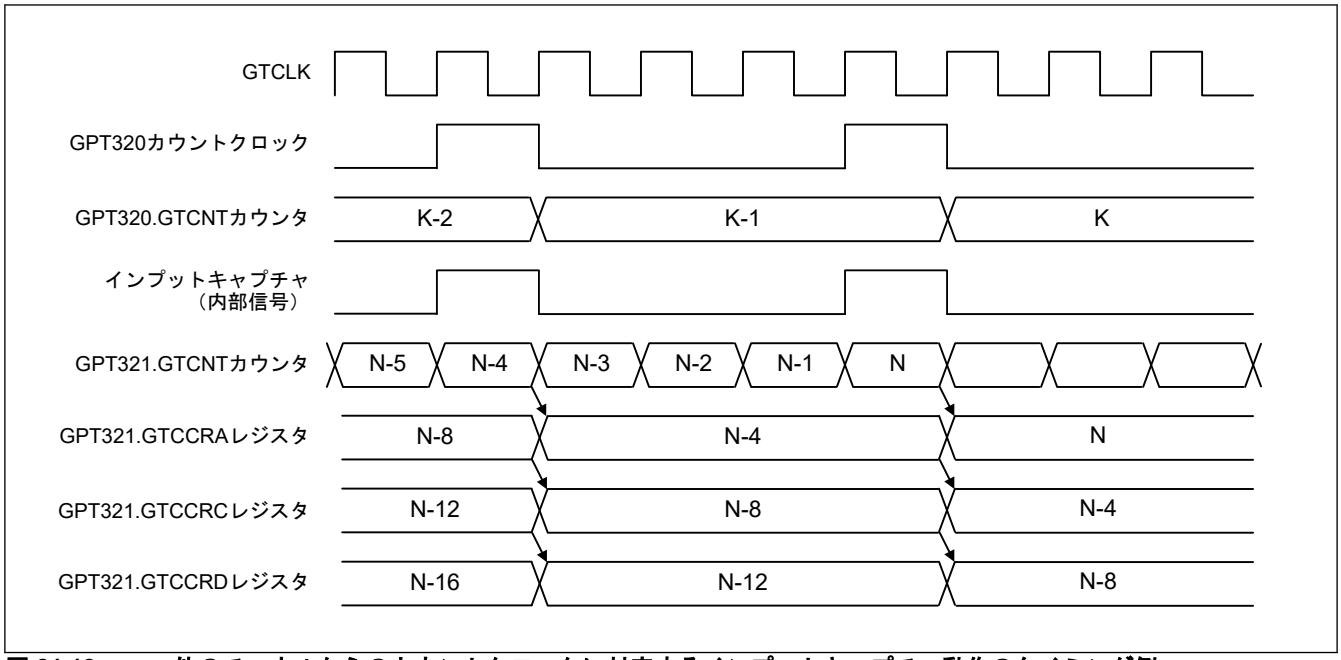


図 21.18 他のチャネルからのカウントクロックに対応するインプットキャプチャ動作のタイミング例

21.3.2 バッファ動作

GTBER レジスタによって、以下のバッファ動作の設定が可能です。

- GTPR レジスタ、GTPBR レジスタ、GTPDBR レジスタ
- GTCCRA レジスタ、GTCCRC レジスタ、GTCCRD レジスタ
- GTCCRB レジスタ、GTCCRE レジスタ、GTCCRF レジスタ
- GTADTRA レジスタ、GTADTBRA レジスタ、GTADTDBRA レジスタ
- GTADTRB レジスタ、GTADTBRB レジスタ、GTADTDBRB レジスタ

GTDTCR レジスタを設定することにより、以下のバッファ動作が許可されます。

- GTDVU レジスタ、GTDBU レジスタ
- GTDVD レジスタ、GTDBD レジスタ

GTBER2 レジスタを設定することにより、以下のバッファ動作が許可されます。

- GTCCRA レジスタ、GTCCRE レジスタ、GTCCRF レジスタ（相補 PWM モード 3、4 の場合）
- GTOLBR.GTIOAB[4:0]ビット、GTIOR.GTIOA[4:0]ビット
- GTOLBR.GTIOBB[4:0]ビット、GTIOR.GTIOB[4:0]ビット

21.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能します。

GTPDBR レジスタは GTPBR レジスタ用のバッファレジスタ（すなわち、GTPR レジスタ用のダブルバッファレジスタ）として機能します。

相補 PWM モードでは、マスタチャネル (GPT32n) でのみ、GTPDBR レジスタからテンポラリレジスタ P へのバッファ転送が実行されます。テンポラリレジスタ P はマスタチャネル、スレーブチャネル 1 (GPT32n+1)、およびスレーブチャネル 2 (GPT32n+2) の各 GTPBR レジスタに転送されます。GTPBR レジスタから GTPR レジスタへの転送は、3 チャネル同時に実行されます。従って、同じ値はその 3 チャネルの同じレジスタに格納されます。マスタチャネルの GTPR レジスタは、GTCNT カウンタの (GTCNTn) 周期を示します。スレーブチャネルでは、GTPR レジスタ値と GTDVU レジスタ値を使って周期をコントロールします。

のこぎり波 PWM モード 2 では、本設定は無効です。

バッファ転送は、のこぎり波モードまたはイベントカウントでは、オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に実行されます。また、三角波モードでは谷で実行されます。

のこぎり波モードまたはイベントカウントでは、カウント中に以下のカウンタクリア動作が発生すると、バッファ転送が実行されます。

- ハードウェア要因によるクリア（クリア要因は GTCSR レジスタで選択）
- ソフトウェアによるクリア（GTCSR.CCLR ビットが 1、GTCLR.CCLRn ビットが 1、n = 0～9）

のこぎり波の場合、カウンタのクリアによるバッファ転送を GTBER2.CCTPR ビットで禁止できます。

相補 PWM モード時のバッファ転送のタイミングを表 21.18 に示します。

表 21.18　相補 PWM モードにおける GTPR バッファ転送タイミング

	相補 PWM モード 1	相補 PWM モード 2	相補 PWM モード 3、4
GTPDBR ↓ テンポラリレジスタ P	スレーブチャネル 2 (GPT32n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後	スレーブチャネル 2 (GPT32n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後	スレーブチャネル 2 (GPT32n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後
テンポラリレジスタ P ↓ GTPBR	(1) アップカウント中間部分でテンポラリレジスタ P にデータ転送されたとき : テンポラリレジスタ P へのデータ転送から GTCLK の 1 サイクル後 (2) アップカウント中間部分以外の部分でテンポラリレジスタ P にデータ転送されたとき : 谷部分の最後	(1) ダウンカウント中間部分でテンポラリレジスタ P にデータ転送されたとき : テンポラリレジスタ P へのデータ転送から GTCLK の 1 サイクル後 (2) ダウンカウント中間部分以外の部分でテンポラリレジスタ P にデータ転送されたとき : 山部分の最後	(1) 中間部分でテンポラリレジスタ P にデータ転送されたとき : テンポラリレジスタ P へのデータ転送から GTCLK の 1 サイクル後 (2) 中間部分以外の部分でテンポラリレジスタ P にデータ転送されたとき : 山部分の最後および谷部分の最後
GTPBR ↓ GTPR	山部分の最後 同期クリア	谷部分の最後 同期クリア	山部分の最後 谷部分の最後 同期クリア

GTPR レジスタをバッファとして機能するように設定する場合は、GTBER.PR ビットを 1 にしてください。GTPR レジスタをバッファとして機能しないように設定する場合は、GTBER.PR ビットを 0 にしてください。

GTPR レジスタをダブルバッファとして機能するように設定する場合は、GTBER.PR[1:0]ビットを 10b または 11b にしてください。シングルバッファ動作の場合は、01b とします。バッファとして動作設定しない場合は、00b にしてください。

相補 PWM モードでは、相補 PWM モード固有のバッファ動作が GTBER.PR[1:0]ビットの設定に関係なく実行されます。

GTPR レジスタのバッファ動作例を図 21.19～図 21.24 に、GTPR レジスタのバッファ動作の設定例を表 21.19 に示します。相補 PWM モードでの動作設定の詳細は、「21.3.3.7. 相補 PWM モード 1、2、3 の場合」を参照してください。

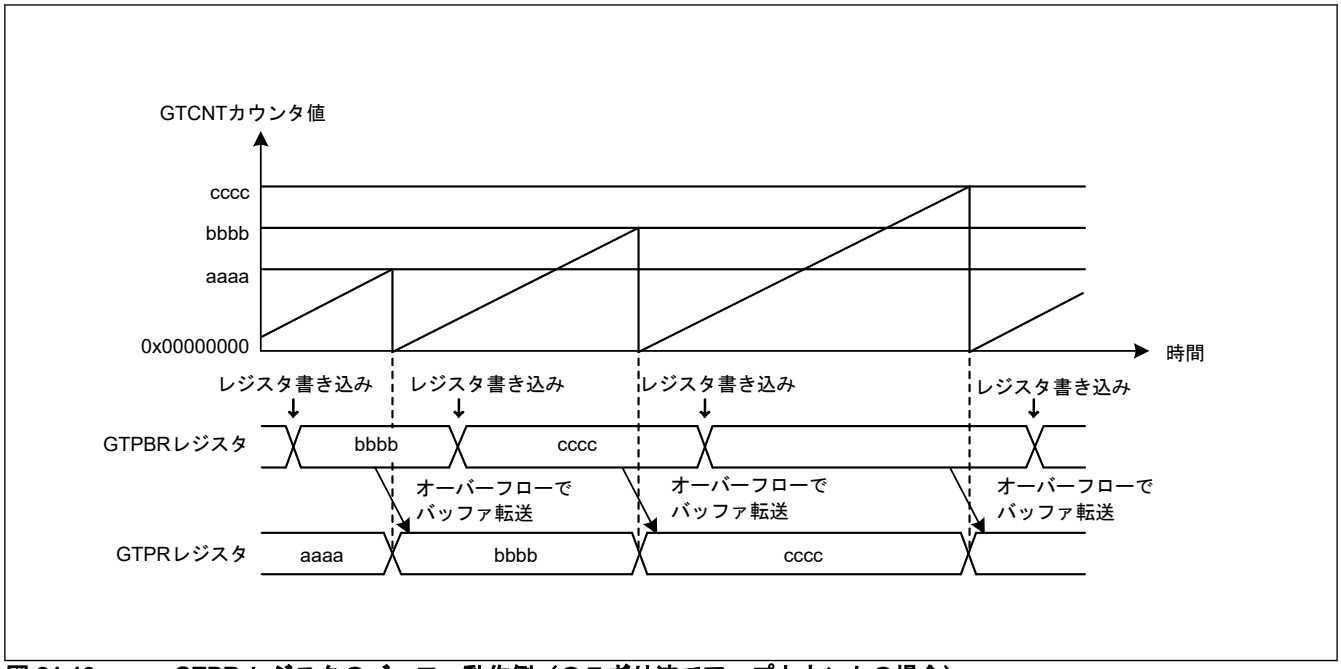


図 21.19　GTPR レジスタのバッファ動作例（のこぎり波でアップカウントの場合）

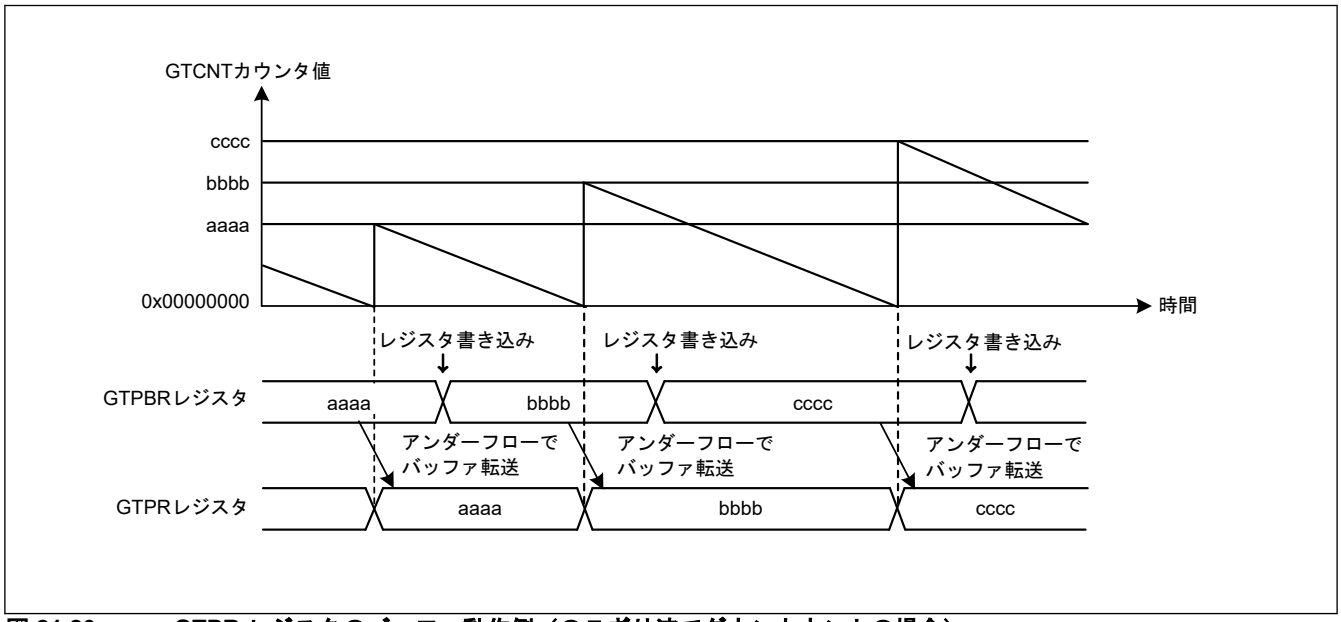


図 21.20　GTPR レジスタのバッファ動作例（のこぎり波でダウンカウントの場合）

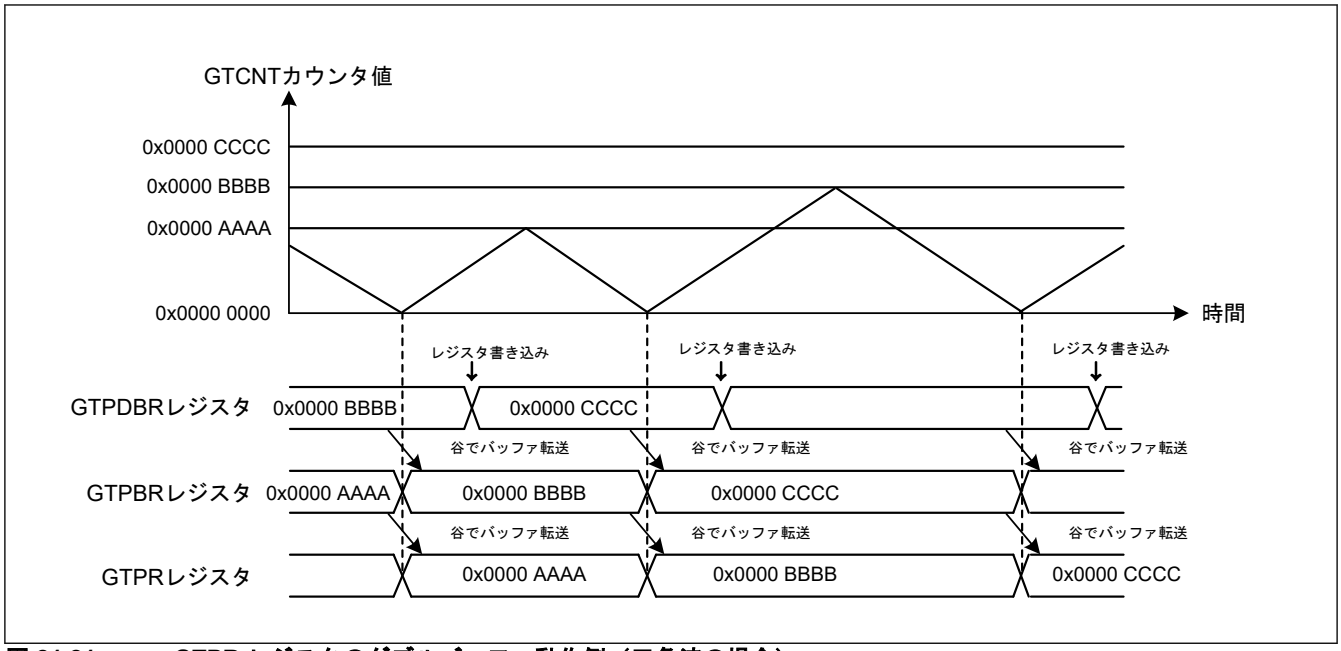


図 21.21　GTPR レジスタのダブルバッファ動作例（三角波の場合）

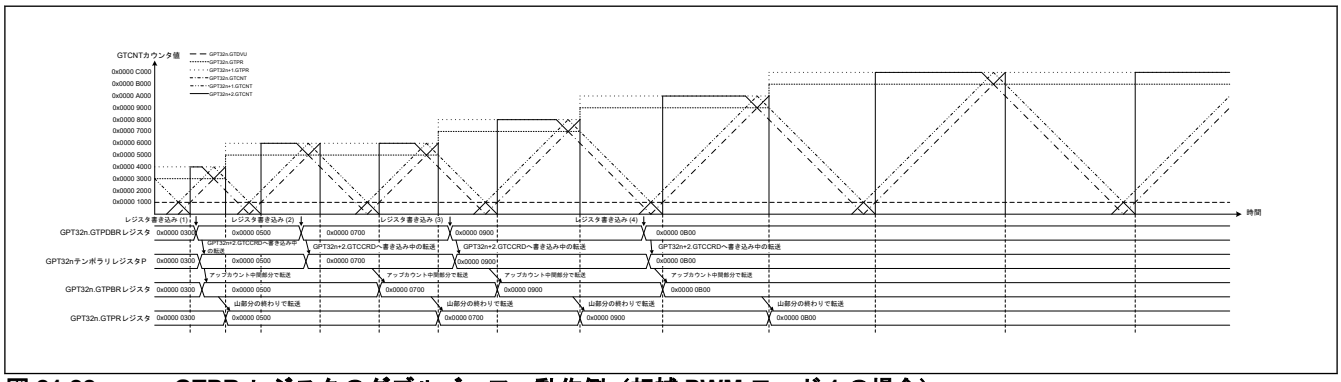


図 21.22　GTPR レジスタのダブルバッファ動作例（相補 PWM モード 1 の場合）

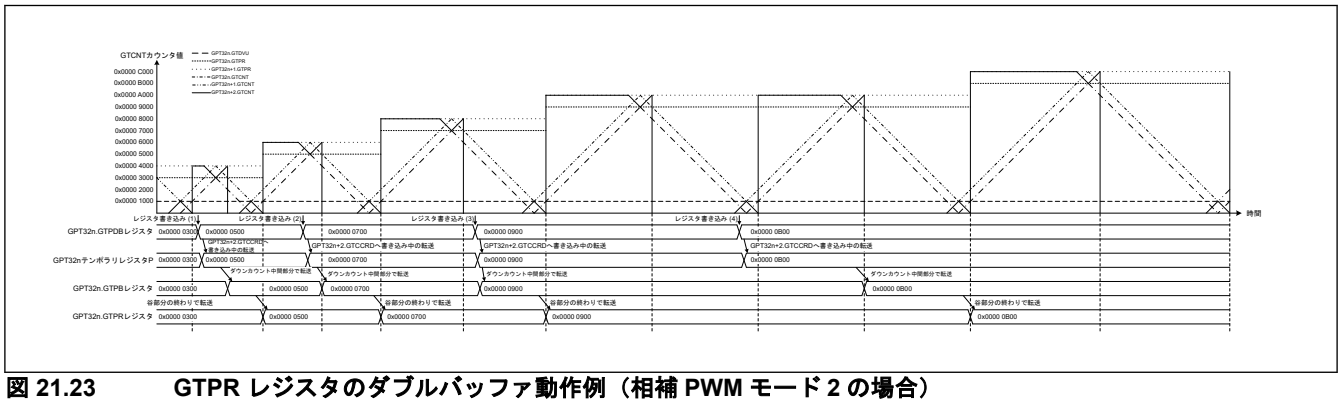


図 21.23　GTPR レジスタのダブルバッファ動作例（相補 PWM モード 2 の場合）

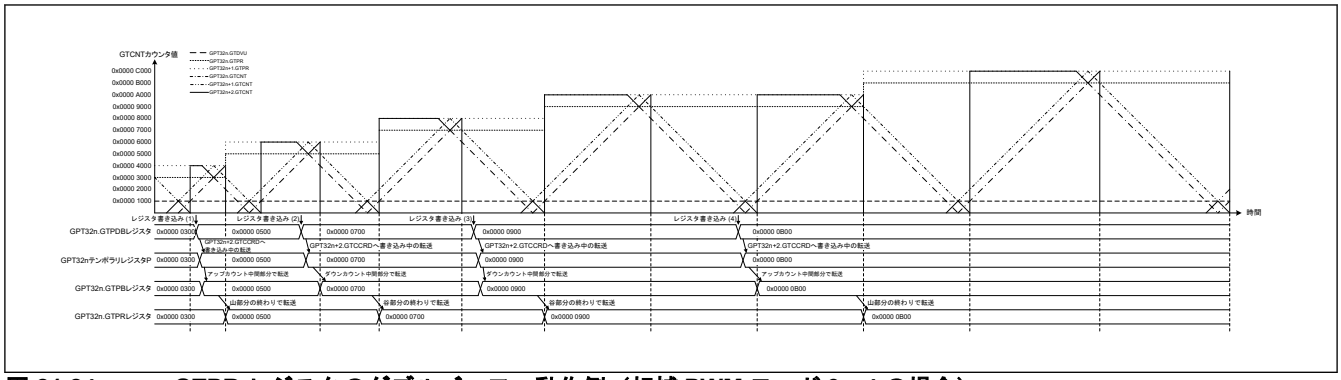


図 21.24　GTPR レジスタのダブルバッファ動作例（相補 PWM モード 3、4 の場合）

表 21.19　GTPR レジスタのバッファ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 21.19、図 21.20 では 000b または 0000b（のこぎり波 PWM モード 1）、図 21.21 では 100b または 0100b（三角波 PWM モード 1）を設定します。（図 21.22～図 21.24 では、11xxb（相補 PWM モード）を設定します。）
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.19 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。図 21.20 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します（ダウンカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	バッファ動作の設定	GTBER.PR[1:0]ビットでバッファ動作を設定します。図 21.19、および図 21.20 では PR[1:0] = 01b、図 21.21 では PR[1:0] = 1xb、図 21.22～図 21.24 では PR[1:0]ビットの設定なし
7	バッファ値設定	バッファ動作時は、1 周期後の周期を GTPBR レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の周期を GTPDBR レジスタに設定します。
8	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
9	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の周期を GTPBR レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の周期を GTPDBR レジスタに設定します。 相補 PWM モード 1（山で転送）で、GTPDBR レジスタがアップカウント谷部分または中間部分で設定されるときは、1 周期後の周期の値を設定します。他の部分では、2 周期後の周期の値を設定します。 相補 PWM モード 2（谷で転送）で、GTPDBR レジスタがアップカウント部分、またはダウンカウント山部分または中間部分で設定されるときは、1 周期後の周期の値を設定します。他の部分では、2 周期後の周期の値を設定します。 相補 PWM モード 3 または 4（山／谷で即時転送）で、GTPDBR レジスタがダウンカウント谷部分以外の部分で設定されるときは、1 周期後の周期の値を設定します。ダウンカウント谷部分では、2 周期後の周期の値を設定します。

21.3.2.2　GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタ用のバッファレジスタとして、GTCCRD レジスタは GTCCRC レジスタ用のバッファレジスタ（すなわち、GTCCRA レジスタ用のダブルバッファレジスタ）として機能します。同様に、GTCCRE レジスタは GTCCRB レジスタ用のバッファレジスタとして、GTCCRF レジスタは GTCCRE レジスタ用のバッファレジスタ（すなわち、GTCCRB レジスタ用のダブルバッファレジスタ）として機能します。

GTCCRA または GTCCRB レジスタをダブルバッファ動作させるには、GTBER.CCRA[1:0]または GTBER.CCRB[1:0]ビットを 10b または 11b に設定します。シングルバッファ動作の場合は、01b とします。GTCCRA または GTCCRB レジスタをバッファ動作させない場合は、00b にしてください。

のこぎり波ワンショットパルスモード、三角波 PWM モード 3、および相補 PWM モードでは、各 PWM 出力動作モードに固有のバッファ動作は、GTBER.CCRA[1:0]ビットと GTBER.CCRB[1:0]ビットの設定値に関係なく実行されます。

(1) GTCCRA または GTCCRB レジスタがアウトプットコンペアレジスタとして機能する場合

のこぎり波ワンショットパルスモード、三角波 PWM モード 3、および相補 PWM モードでは、各 PWM 出力動作モードに固有のバッファ動作は、GTBER.CCRA[1:0]ビットと GTBER.CCRB[1:0]ビットの設定値に関係なく実行されます。詳細は、「21.3.3. PWM 出力動作モード」を参照してください。上記の PWM 出力動作モード以外では、バッファ転送は次の場合に実行されます。

- オーバーフロー／アンダーフローによるバッファ転送
  のこぎり波モードまたはイベントカウント動作では、オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に、バッファ転送が実行されます。三角波モードでは、谷（三角波 PWM モード 1）または山および谷（三角波 PWM モード 2）で、バッファ転送が実行されます。
- カウンタクリアによるバッファ転送
  のこぎり波モードまたはイベントカウント動作では、カウント中に「21.3.2.1. GTPR レジスタのバッファ動作」に示される場合と類似したカウンタクリア要因によって、バッファ転送が（同じく、アップカウント中のオーバーフロー時またはダウンカウント中のアンダーフロー時に）実行されます。
  のこぎり波では、カウンタクリアによる GTCCRm レジスタのバッファ転送は、GTBER2.CCTCm ビット（m = A、B）で禁止できます。
  三角波モードでは、カウンタクリアによるバッファ転送は実行されません。
- コンペアマッチによるバッファ転送
  のこぎり波では、GTBER2.CMTCm（m = A、B）ビットにより許可される、GTCCRm レジスタのコンペアマッチによるバッファ転送が実行されます。
- バッファ強制転送
  のこぎり波でも三角波でもイベントカウント動作でも、カウント停止中に GTBER.CCRSWT ビットに 1 を書くと、GTCCRA レジスタ、GTCCRB レジスタのバッファ転送を強制的に行います。
  さらに、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 では、GTCCRD レジスタからテンポラリレジスタ A へのバッファ転送、および GTCCRF レジスタからテンポラリレジスタ B へのバッファ転送が実行されます。

のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 で GTBER.DBRTECm（m = A、B）ビットの設定値が 1 の場合、GTBER.BD[0]ビットの設定またはバッファ転送拡張スキップ機能（バッファ転送禁止時のリピートダブルバッファ動作に対する機能）によりバッファ転送が禁止されているときにおいても、中間バッファから GTCCRm（m = A、B）レジスタへの転送が周期ベースで繰り返されます。詳細は、「21.8.2.2. GTCCR バッファ転送禁止時のリピートダブルバッファ動作」を参照してください。

図 21.25～図 21.28 に GTCCRA および GTCCRB レジスタのバッファ動作例を、表 21.20 に GTCCRA および GTCCRB レジスタのバッファ動作の設定例を示します。

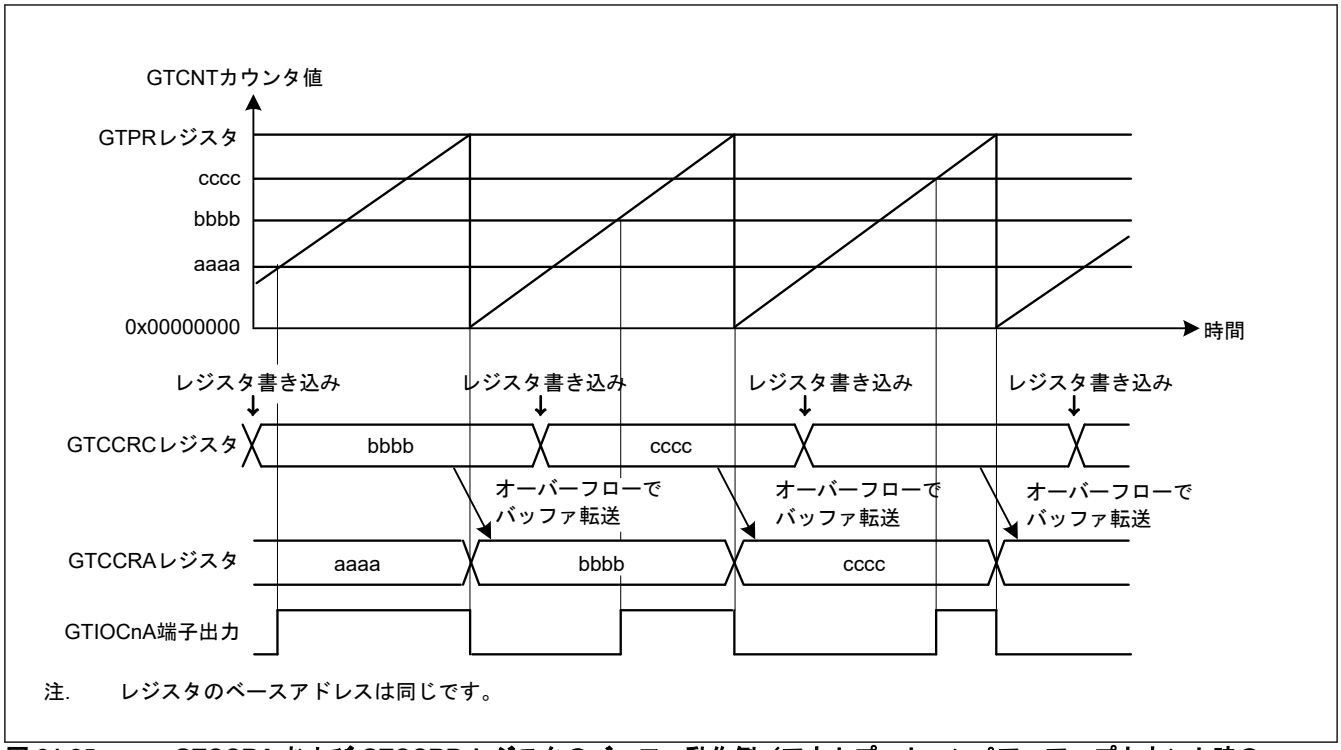


図 21.25 GTCCRA および GTCCRB レジスタのバッファ動作例（アウトプットコンペア、アップカウント時のこぎり波 PWM モード 1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）

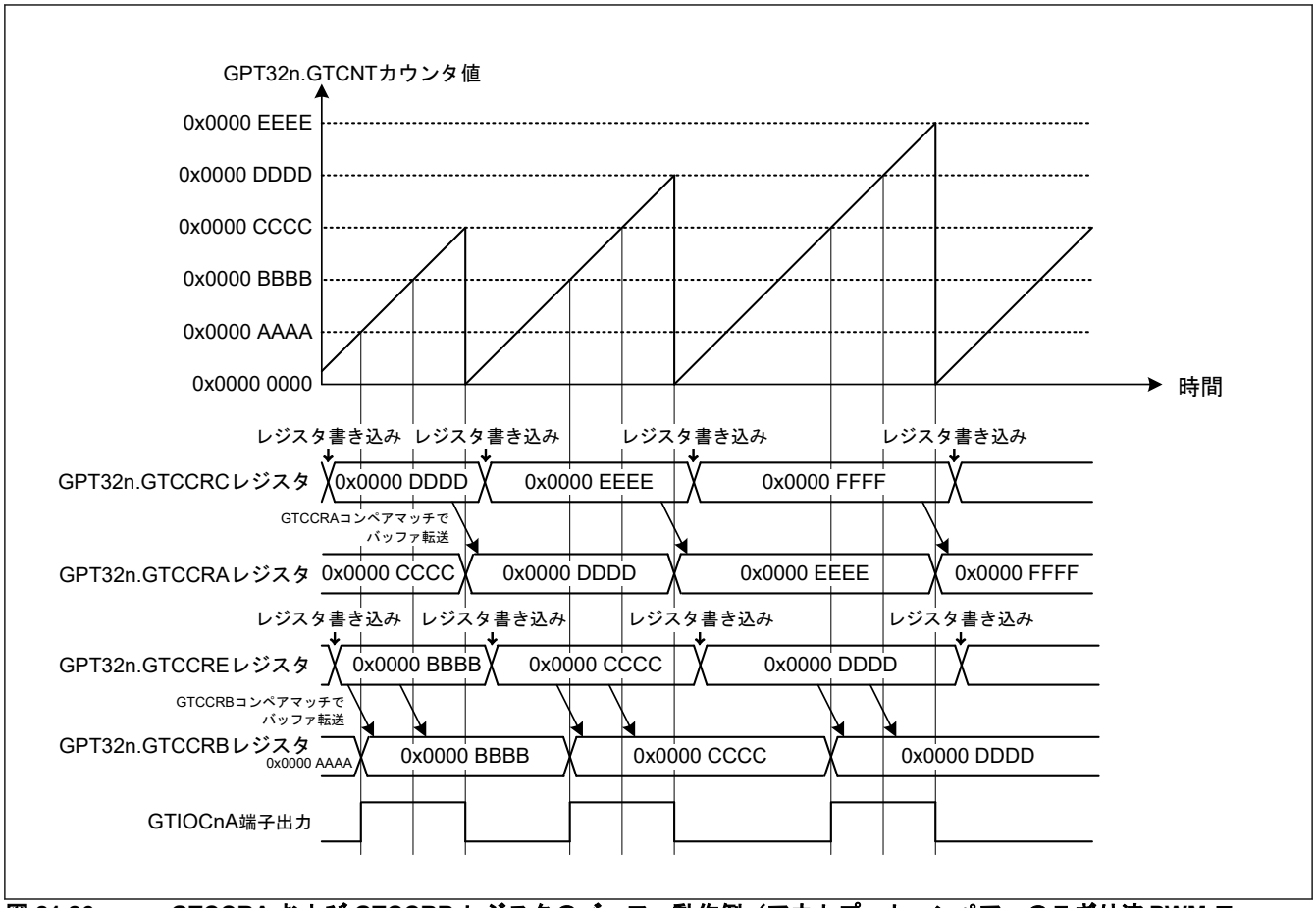
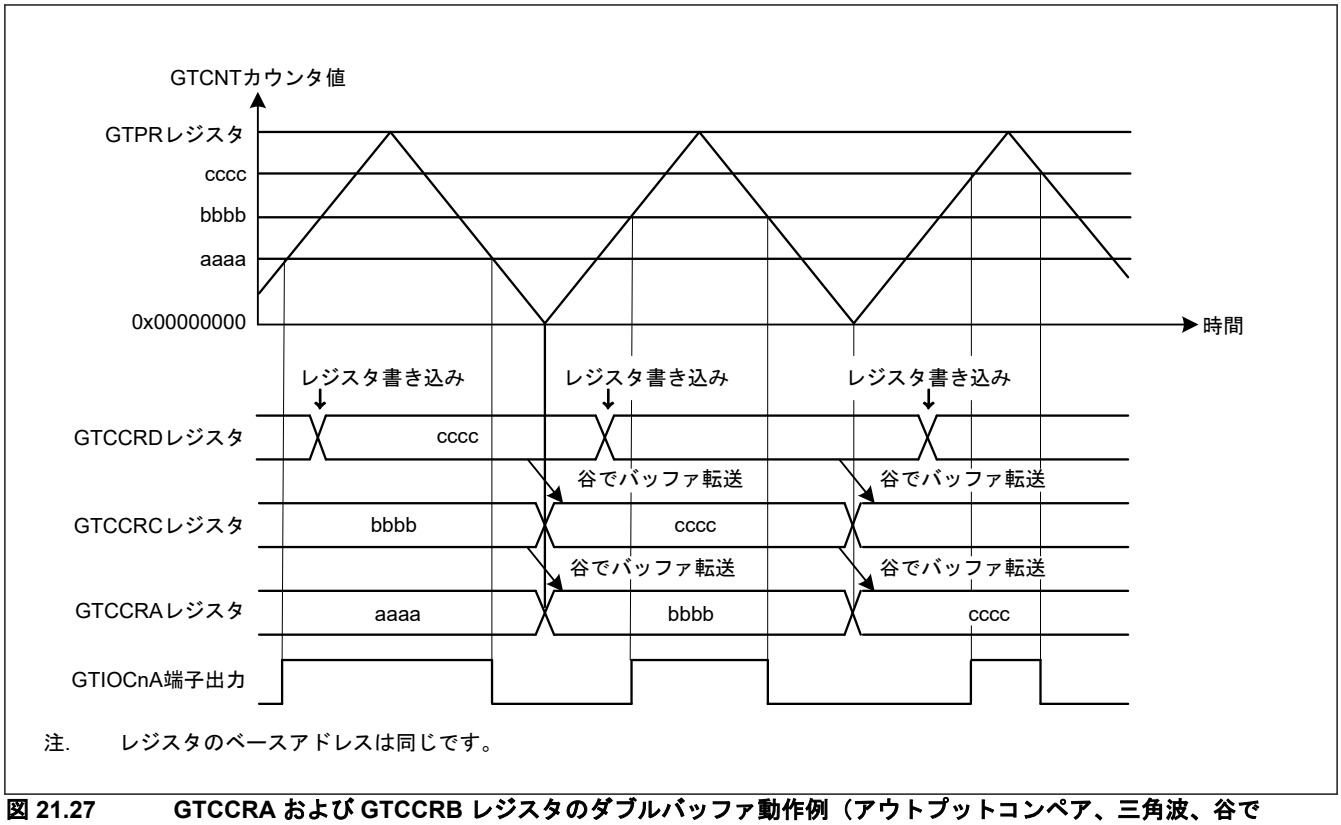
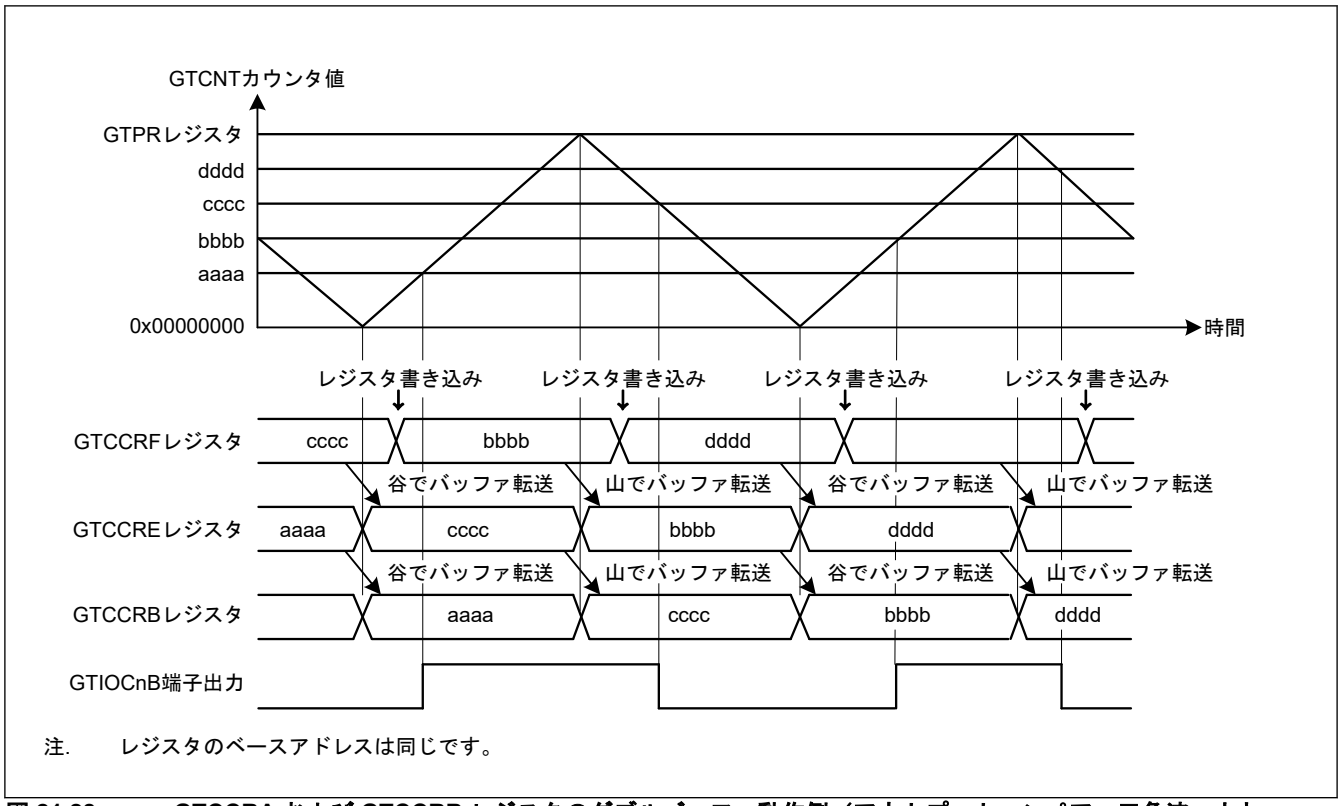


図 21.26 GTCCRA および GTCCRB レジスタのバッファ動作例（アウトプットコンペア、のこぎり波 PWM モード 2、GTCCRA レジスタのコンペアマッチでのバッファ転送、カウンタクリア、Low 出力、GTCCRB レジスタのコンペアマッチでのバッファ転送、High 出力）（n = 4～9）



注. レジスタのベースアドレスは同じです。

図 21.27 GTCCRA および GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）



注. レジスタのベースアドレスは同じです。

図 21.28 GTCCRA および GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、山と谷でバッファ動作、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

表 21.20 GTCCRA、GTCCRB レジスタのバッファ動作設定例（アウトプットコンペア時）

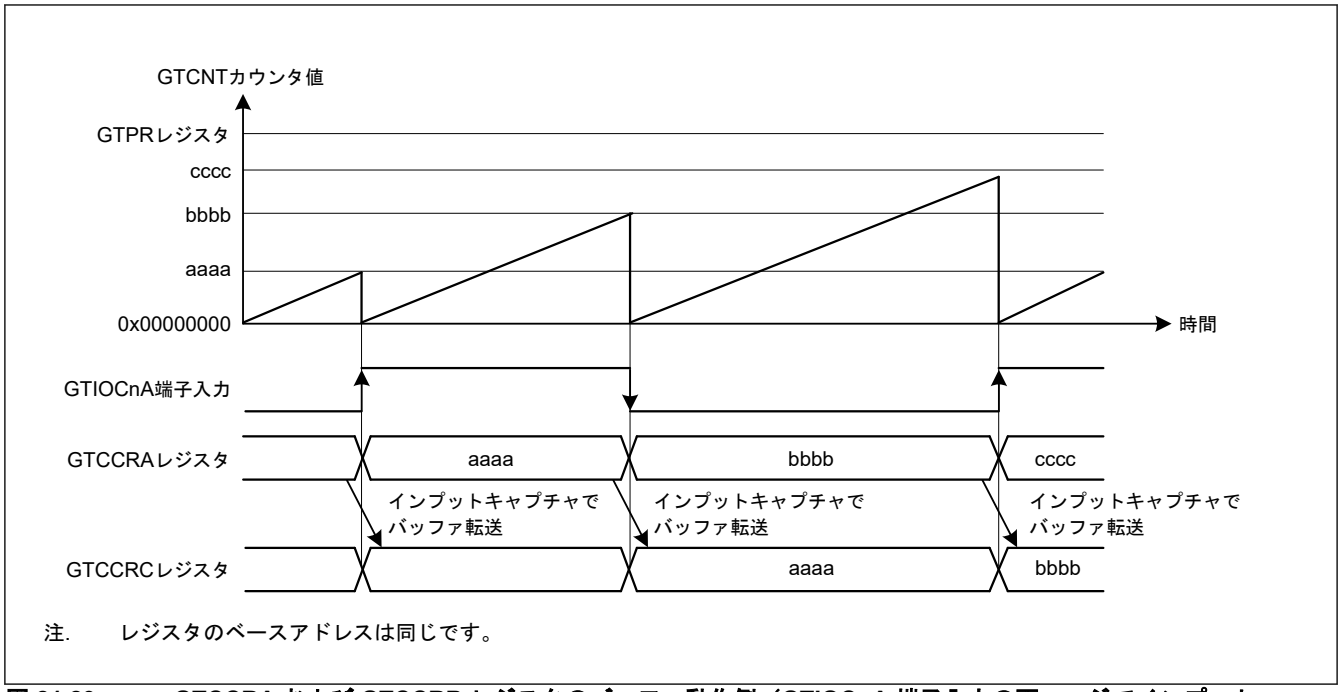
No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 21.25 では 000b または 0000b（のこぎり波 PWM モード 1）、図 21.26 では 0010b（のこぎり波 PWM モード 2）、図 21.27 では 100b または 0100b（三角波 PWM モード 1）、図 21.28 では 101b または 0101b（三角波 PWM モード 2）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.25 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx（x = A～F）を選択し、周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 21.25 では GTIOA[4:0] = 00110b、図 21.26 では GTIOA[4:0] = 00101b および GTIOB[1:0] = 10b、図 21.27 では GTIOA[4:0] = 00011b、図 21.28 では GTIOB[4:0] = 00011b
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 21.25 では CCRA[1:0] = 01b、図 21.26 では CCRA[1:0] = 01b および CCRB[1:0] = 01b、図 21.27 では CCRA[1:0] = 1xb、図 21.28 では CCRB[1:0] = 1xb
9	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。
10	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、2 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、2 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注. n：0～9
m：A、B
注 1. PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

(2) GTCCRA または GTCCRB レジスタがインプットキャプチャレジスタとして機能する場合

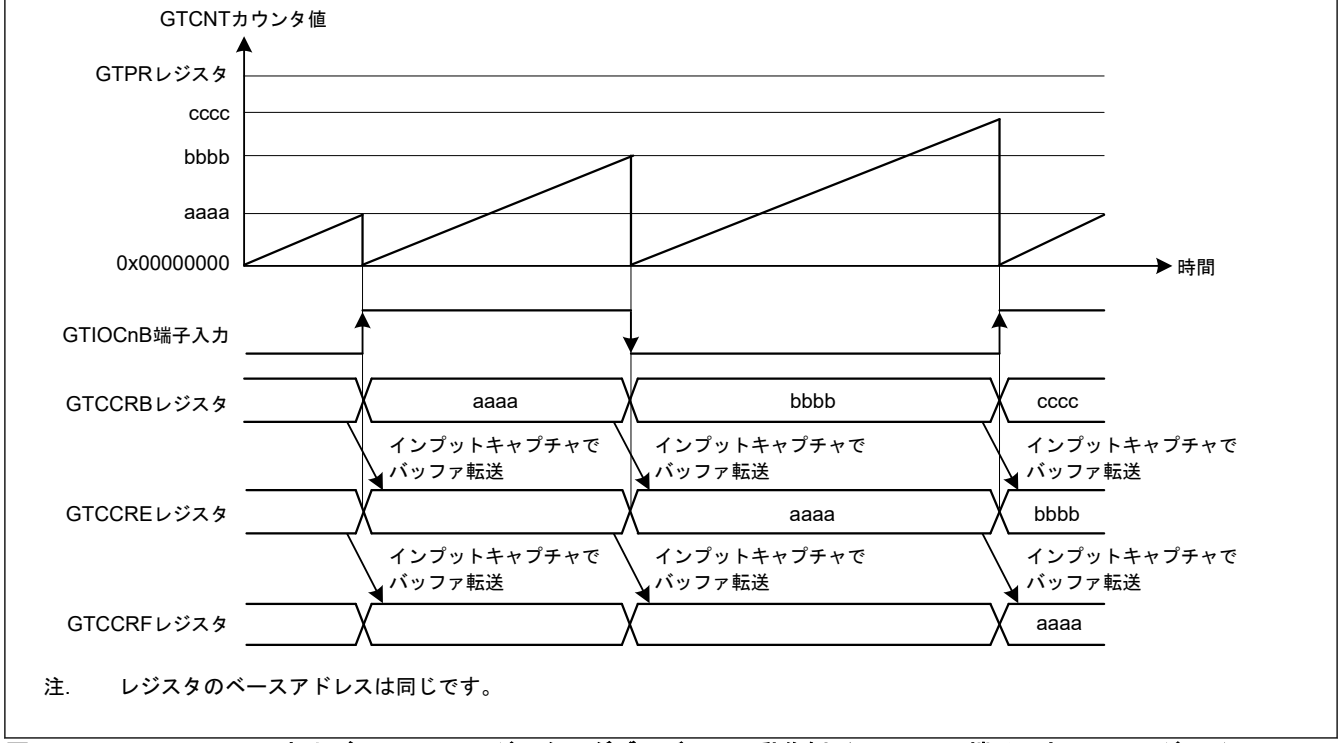
インプットキャプチャが発生すると、GTCNT カウンタ値が GTCCRA および GTCCRB レジスタに転送されると同時に、それまで格納されていた GTCCRA および GTCCRB レジスタ値がバッファレジスタに転送されます。インプットキャプチャ動作では、カウンタクリアによるバッファ転送は実行されません。

図 21.29 と図 21.30 に GTCCRA および GTCCRB レジスタのバッファ動作例を、表 21.21 に GTCCRA および GTCCRB レジスタのバッファ動作の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 21.29 GTCCRA および GTCCRB レジスタのバッファ動作例（GTIOCnA 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOCnA 端子入力の両エッジで GTCNT カウンタクリアの場合）



注. レジスタのベースアドレスは同じです。

図 21.30 GTCCRA および GTCCRB レジスタのダブルバッファ動作例（GTIOCnB 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOCnB 端子入力の両エッジで GTCNT カウンタクリアの場合）

表 21.21 GTCCRA、GTCCRB レジスタのバッファ動作設定例（インプットキャプチャ時）

No.	手順名	説明
1	動作モードとカウンタクリア要因の設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定し、GTCSR レジスタでカウンタクリア要因を設定します。 図 21.29 では MD[2:0] = 000b または MD[3:0] = 0000b（のこぎり波 PWM モード 1）および GTCSR = 0x00000F00、図 21.30 では MD[2:0] = 000b または MD[3:0] = 0000b（のこぎり波 PWM モード 1）および GTCSR = 0x0000F000
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.29 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx（x = A～F）を選択し、周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	インプットキャプチャ要因の選択	GTICASR レジスタおよび GTICBSR レジスタでインプットキャプチャ要因を選択します。 図 21.29 では GTICASR = 0x00000F00、図 21.30 では GTICBSR = 0x0000F000 他のチャネル要因でインプットキャプチャを実行するためには、GTICCR.ICmGRP ビット（m = A または B）によるチャネル間連携を行うグループを選択してください。インプットキャプチャ要因の出力側チャネルに対して、他のチャネルに出力するために、インプットキャプチャ要因が有効になるように GTICCR レジスタを設定してください。 入力側チャネルに対して、他のチャネル要因でのインプットキャプチャが有効になるように GTIOmSR.mSOC ビット（m = A または B）を設定してください。
7	バッファ動作の設定	GTBER レジスタの CCRA ビット、CCRB ビットで、バッファ動作を設定します。 図 21.29 では CCRA[1:0] = 01b、図 21.30 では CCRB[1:0] = 1xb
8	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

21.3.2.3 GTADTRA、GTADTRB レジスタのバッファ動作

GTADTBRA レジスタは GTADTRA レジスタのバッファレジスタ、GTADTDBRA レジスタは GTADTBRA レジスタのバッファレジスタ（GTADTRA レジスタのダブルバッファレジスタ）として動作します。同様に、GTADTBRB レジスタは GTADTRB レジスタのバッファレジスタ、GTADTDBRB レジスタは GTADTBRB レジスタのバッファレジスタ（GTADTRB レジスタのダブルバッファレジスタ）として動作します。

GTADTRA または GTADTRB レジスタをダブルバッファとして動作させる場合には、GTBER.ADTDA または ADTDB ビットを 1 にします。シングルバッファとして動作設定するには、0 にしてください。GTADTRA、GTADTRB レジスタをバッファ動作させない場合には、それぞれ GTBER.ADTTA[1:0]、ADTTB[1:0] ビットを 00b にします。

バッファ転送タイミングは、ADTTA[1:0] ビットと ADTTB[1:0] ビットでのこぎり波モードのオーバーフロー（アップカウント）またはアンダーフロー（ダウンカウント）を設定できます。また ADTTA[1:0] ビットと ADTTB[1:0] ビットで三角波モードまたは相補 PWM モードの山（01b）、谷（10b）、山と谷の両方（11b）を設定できます。

のこぎり波モードでは、ADTTA[1:0] ビットと ADTTB[1:0] ビットを 00b 以外の値に設定したカウント動作時、「21.3.2.1. GTPR レジスタのバッファ動作」と同様のカウンタクリア要因により、オーバーフロー時（アップカウント時）またはアンダーフロー時（ダウンカウント時）と同じ方法でバッファ転送が実行されます。

相補 PWM モードでは、スレーブチャネル 2 の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後にバッファ転送が実行されます。

のこぎり波モードでは、カウンタクリアによる GTADTRm レジスタのバッファ転送を GTBER2.CCTADm（m = A、B）ビット設定で禁止できます。

のこぎり波モードでは、GTADTRm レジスタ自身のコンペアマッチによる GTADTRm レジスタのバッファ転送を GTBER2.CMTADm（m = A、B）ビット設定で許可できます。

図 21.31～図 21.35 に GTADTRA、GTADTRB レジスタのバッファ動作例を、表 21.22 に GTADTRA、GTADTRB レジスタのバッファ動作の設定例を示します。

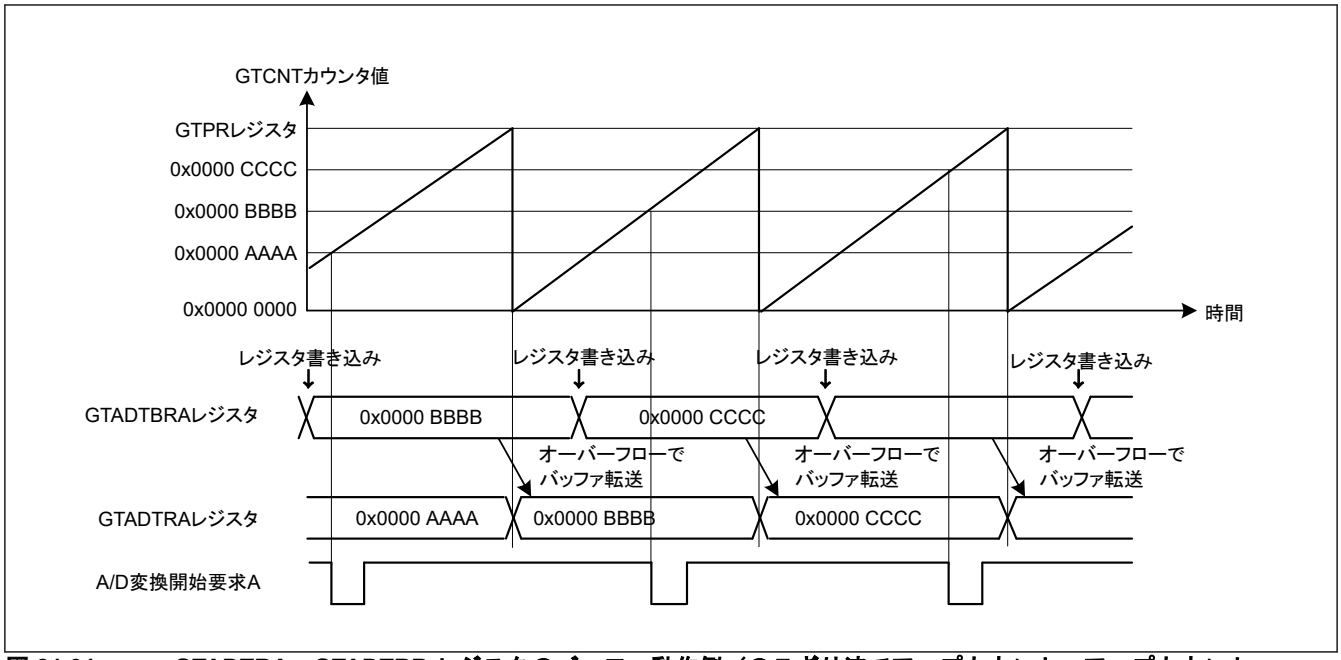


図 21.31 GTADTRA、GTADTRB レジスタのバッファ動作例（のこぎり波でアップカウント、アップカウントで A/D 変換開始要求発生の場合）

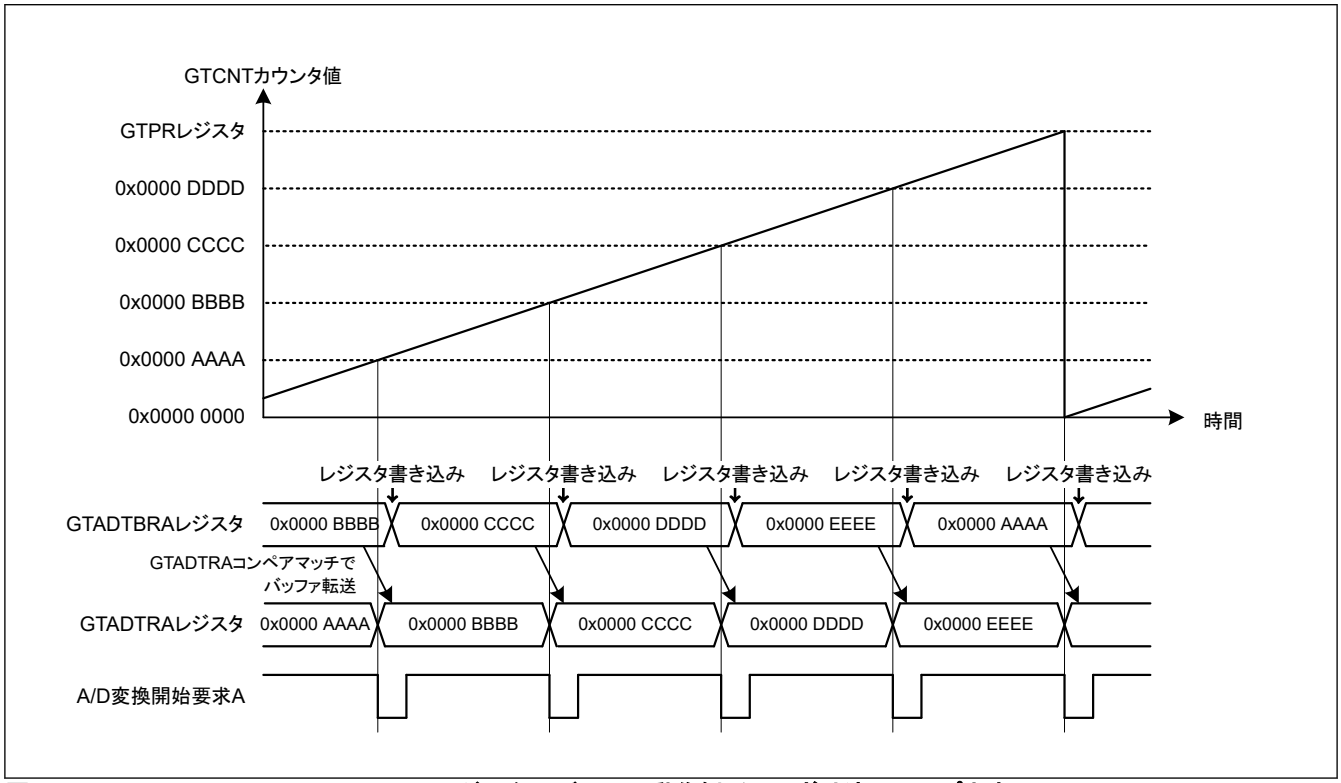


図 21.32 GTADTRA、GTADTRB レジスタのバッファ動作例（のこぎり波でアップカウント、GTADTRA コンペアマッチでバッファ転送、アップカウントで A/D 変換開始要求発生の場合）

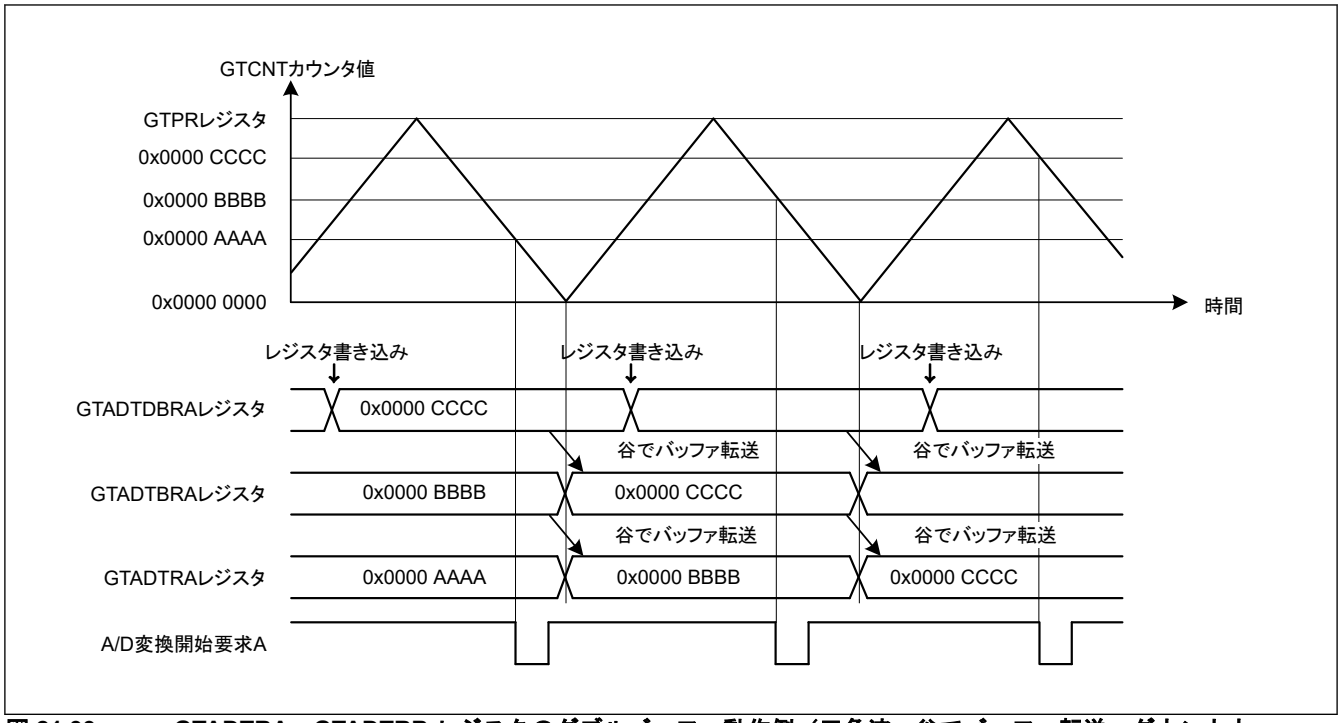


図 21.33 GTADTRA、GTADTRB レジスタのダブルバッファ動作例（三角波、谷でバッファ転送、ダウンカウントで A/D 変換開始要求発生の場合）

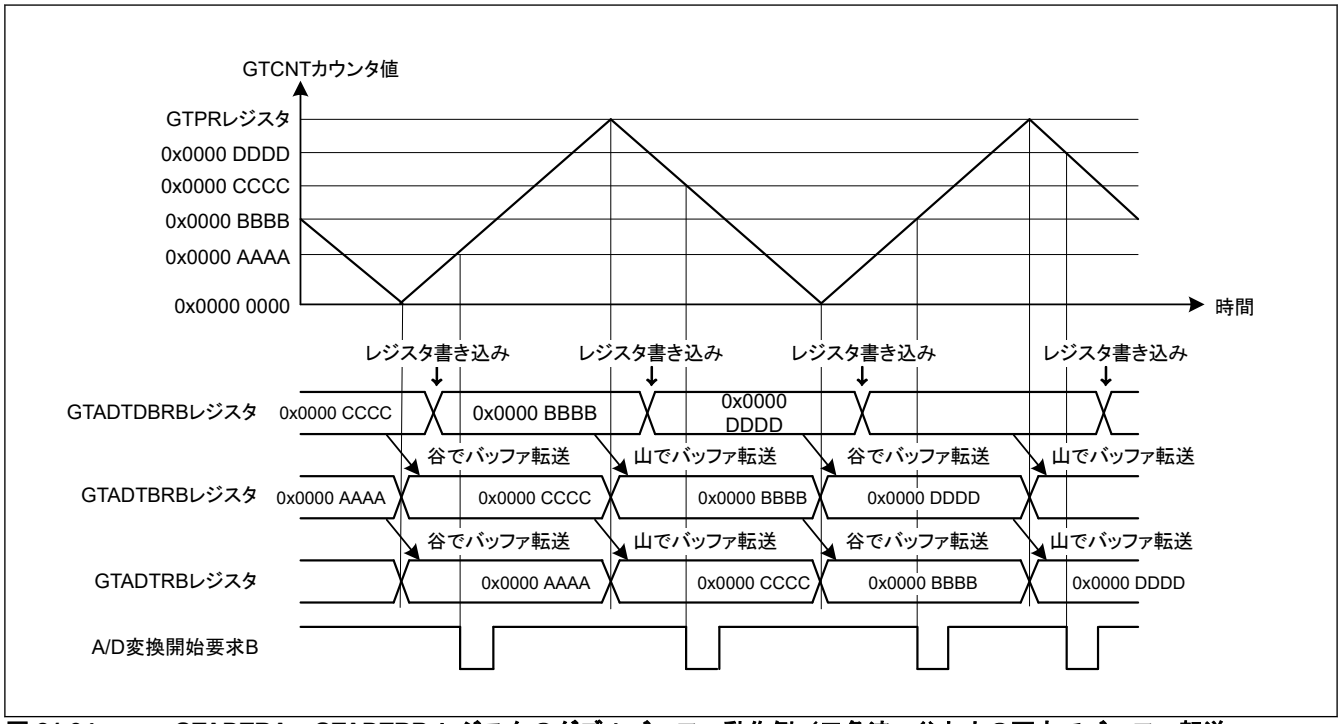


図 21.34 GTADTRA、GTADTRB レジスタのダブルバッファ動作例（三角波、谷と山の両方でバッファ転送、アップカウントとダウンカウントの両方で A/D 変換開始要求発生の場合）

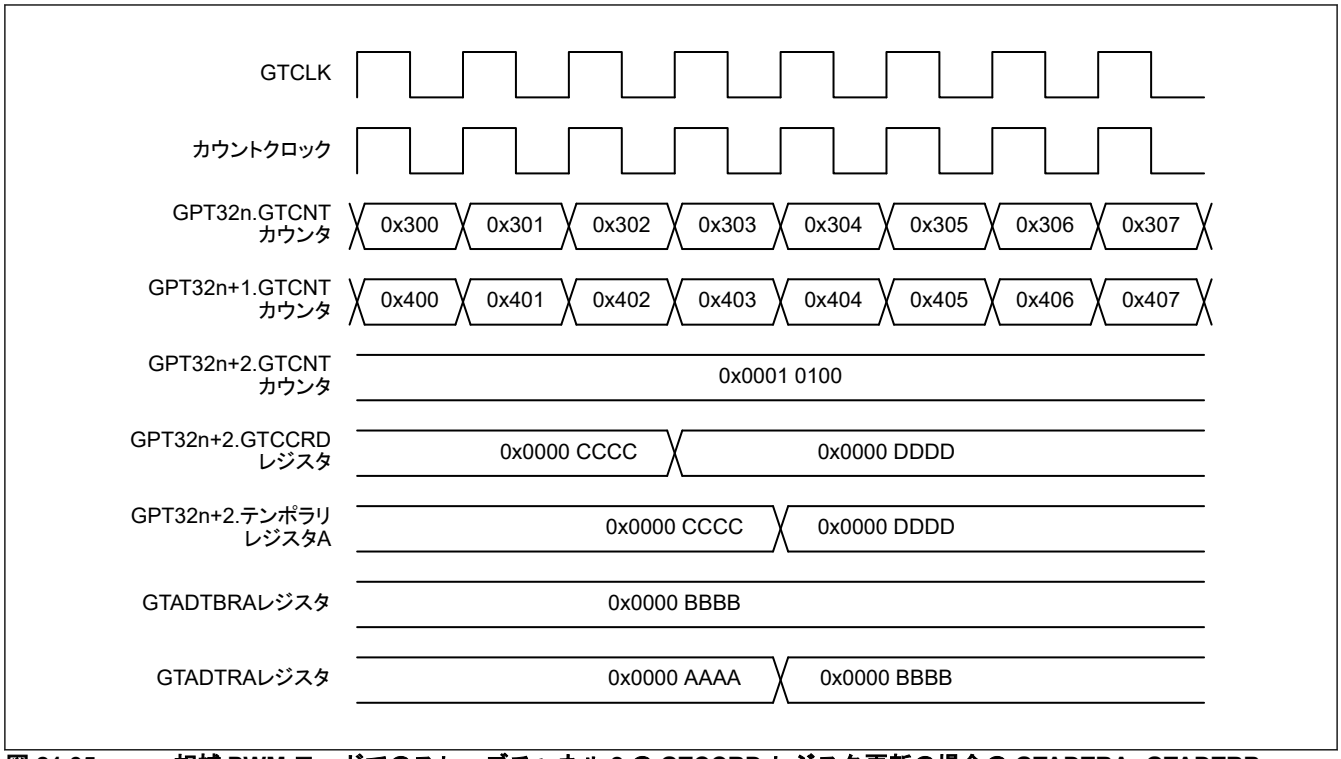


図 21.35　相補 PWM モードでのスレーブチャネル 2 の GTCCRD レジスタ更新の場合の GTADTRA、GTADTRB レジスタのバッファ動作例

表 21.22　GTADTRA、GTADTRB レジスタのバッファ動作設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0] ビットまたは GTCR.MD[3:0] ビットで動作モードを設定します。 （図 21.31 と図 21.32 では 000b または 0000b（のこぎり波 PWM モード 1）を設定。図 21.33 と図 21.34 では 100b、101b、110b、0100b、0101b、または 0110b（三角波 PWM モード）を設定）
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 （図 21.31 と図 21.32 では GTUDDTYC[1:0] ビットに 11b を設定してから GTUDDTYC[1:0] ビットに 01b（アップカウント）を設定）
3	カウントクロックの選択	GTCR.TPCS[3:0] ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0] ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx（x = A～F）を選択し、周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	バッファ動作の設定	GTBER レジスタの ADTTA[1:0]、ADTTB[1:0]、ADTDA、ADTDB ビットでバッファ動作を設定します。 ADTRAm（m = A, B）レジスタのコンペアマッチでバッファ転送を実行するには、GTBER2.CMTADm ビットを 1 にしてください。 （図 21.31 では、ADTTA[1:0] ビット = 01b、10b、または 11b、ADTDA ビット = 0、図 21.32 では、CMTADA ビット = 1、図 21.33 では ADTTA[1:0] ビット = 10b、ADTDA ビット = 1、図 21.34 では、ADTTB[1:0] ビット = 11b、ADTDB ビット = 1）
7	コンペアマッチ値設定	A/D 変換開始要求ポイントを GTADTRA、GTADTRB レジスタに設定します。
8	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA レジスタと GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA レジスタと GTADTDBRB レジスタに設定します。
9	A/D 変換開始要求を許可	GTINTAD レジスタの ADTRAUEN、ADTRADEN、ADTRBUEN、ADTRBDEN ビットで A/D 変換開始要求の許可を設定します。 （図 21.31 と図 21.32 では ADTRAUEN ビット = 1、図 21.33 では ADTRADEN ビット = 1、図 21.34 では ADTRBUEN ビット = 1、ADTRBDEN ビット = 1）

表 21.22 GTADTRA、GTADTRB レジスタのバッファ動作設定例 (2/2)

No.	ステップ名	説明
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA レジスタと GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（のこぎり波モード、または三角波モードで谷または山でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA レジスタと GTADTDBRB レジスタに設定します。

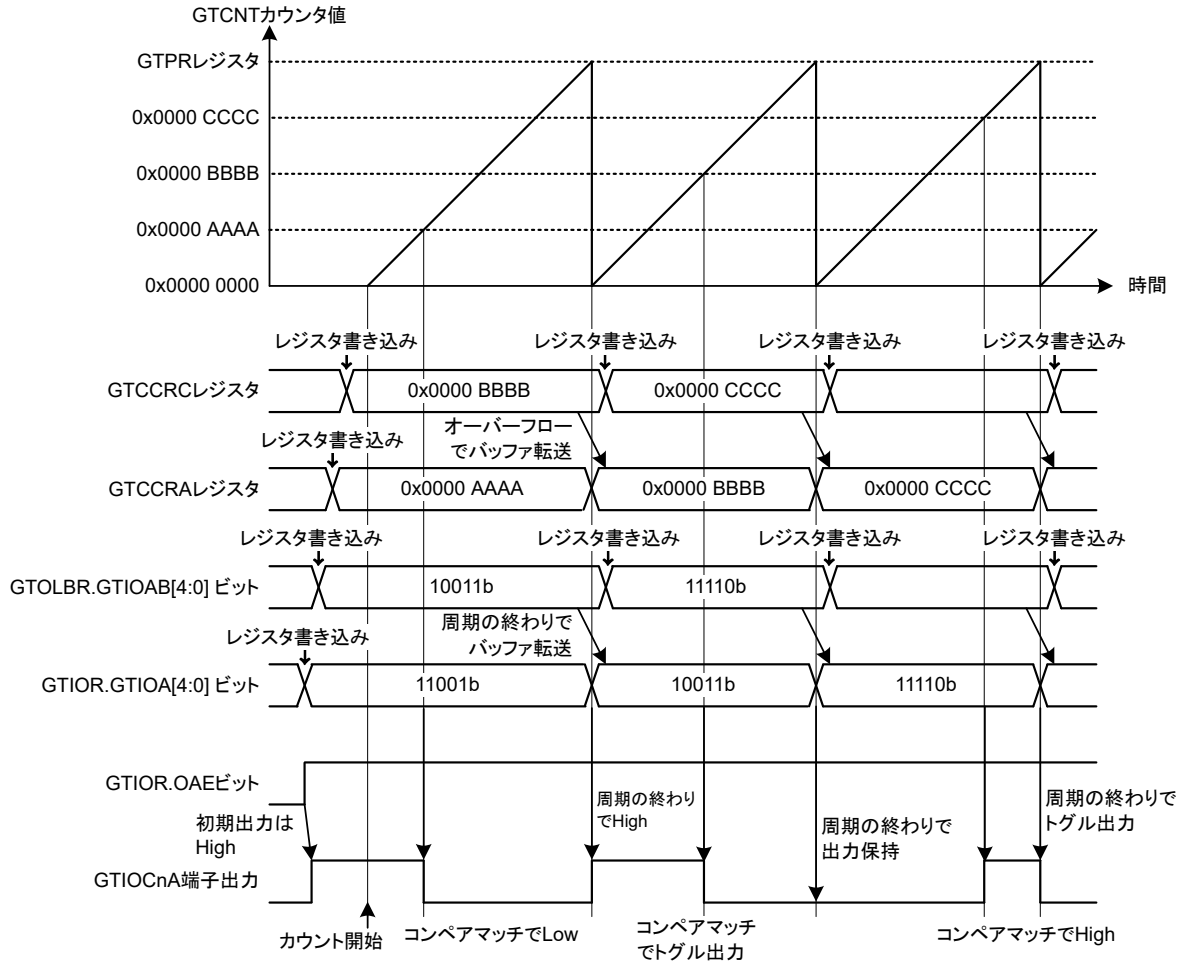
21.3.2.4 GTIOA、GTIOB レジスタのバッファ動作

GTOLBR.GTIOAB[4:0] ビットは GTIOR.GTIOA[4:0] ビットのバッファレジスタ、GTOLBR.GTIOBB[4:0] ビットは GTIOR.GTIOB[4:0] ビットのバッファレジスタとして動作します。

バッファ転送のタイミングは、GTBER2.OLTTm[1:0] ビット（m = A, B）で設定できます。このタイミングは、周期の終わりまたは GTCCR レジスタのコンペアマッチ（のこぎり波モードの場合）、もしくは山、谷、山と谷の両方（三角波モードおよび相補 PWM モードの場合）から選択できます。GTBER2.OLTTm[1:0] ビットが 00b の場合、バッファ転送はしません。

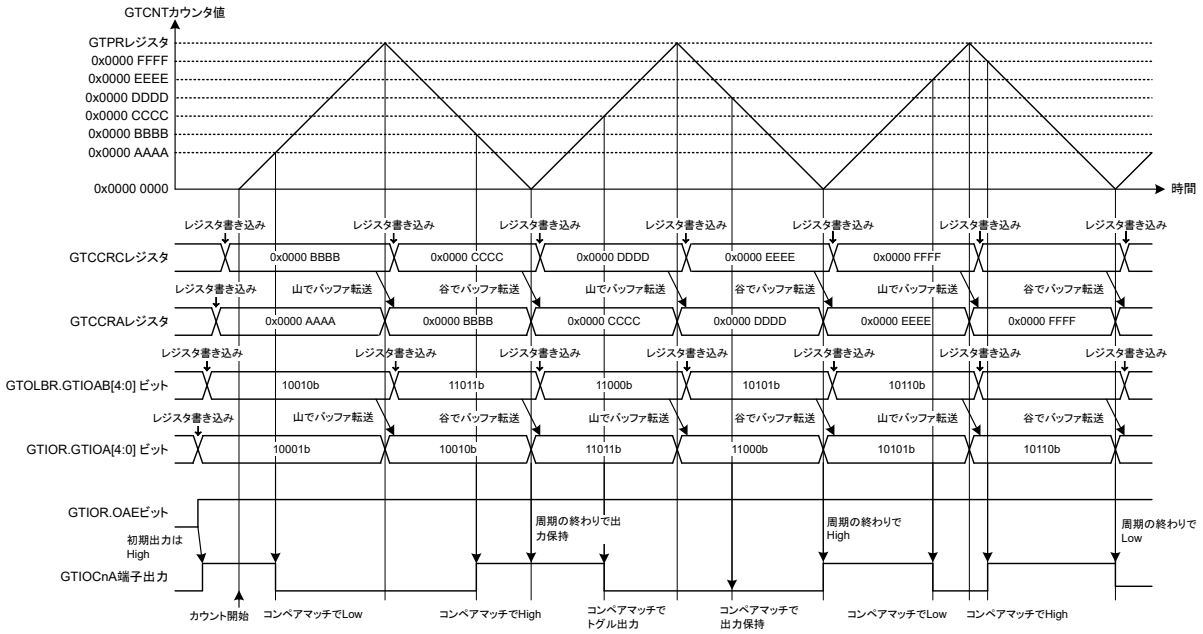
相補 PWM モードでは、デッドタイムとオーバーラップするバッファ転送タイミングの設定は禁止です。そのため、バッファ転送タイミングを山にする場合、GTCCRm ＜ GTPR となるように GTCCRm（m = A,C,E）レジスタを設定してください。また、バッファ転送タイミングを谷にする場合、GTDVU ＜ GTCCRm になるように GTCCRm レジスタを設定してください。

図 21.36～図 21.38 に GTIOR.GTIOA[4:0]、GTIOR.GTIOB[4:0] ビットのバッファ動作例を示します。表 21.23 に GTIOR.GTIOA[4:0]、GTIOR.GTIOB[4:0] ビットのバッファ動作の設定例を示します。



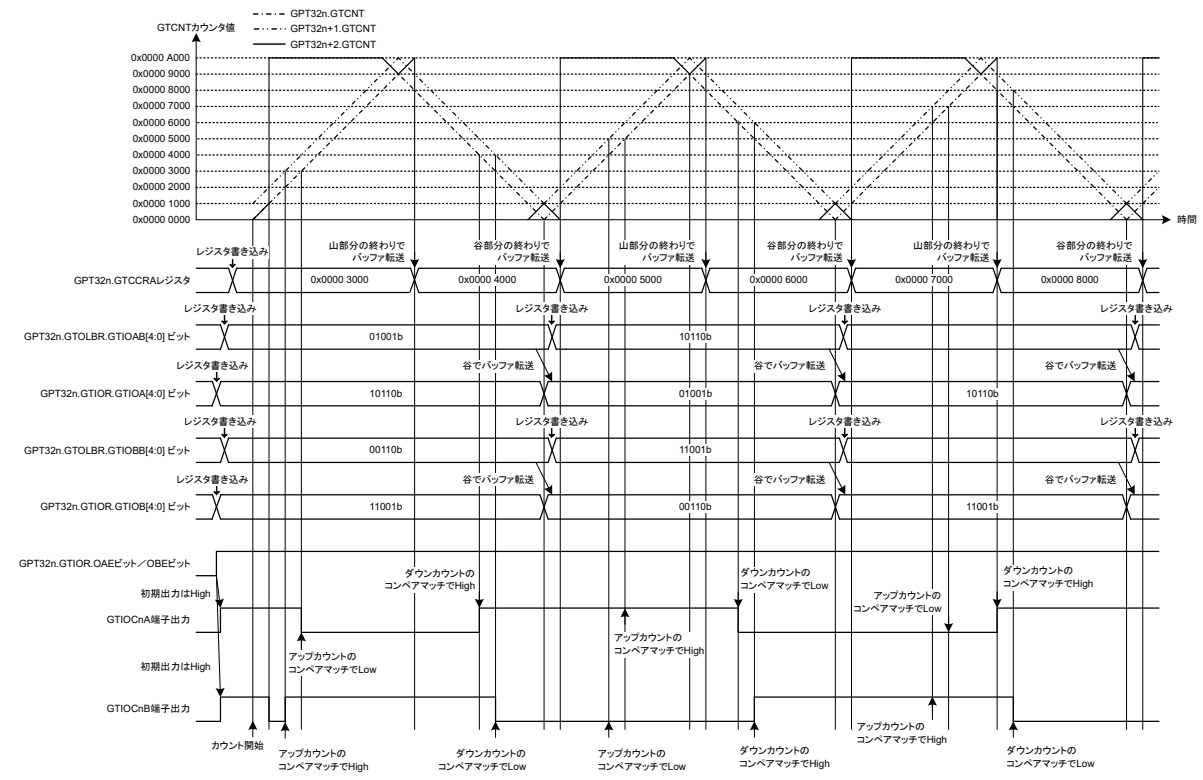
注. 初期出力はカウントクロックに同期します。

図 21.36 GTIOA、GTIOB ビットのバッファ動作例（のこぎり波 PWM モード 1 でアップカウント、周期の終わりでバッファ転送の場合）



注. 初期出力はカウントクロックに同期します。

図 21.37 GTIOA、GTIOB ビットのバッファ動作例（三角波 PWM モード 2、山と谷でバッファ転送の場合）



注. 初期出力はカウントクロックに同期します。

図 21.38 GTIOA、GTIOB ビットのバッファ動作例（相補 PWM モード 3、谷でバッファ転送の場合）

表 21.23 GTIOA、GTIOB ビットのバッファ動作設定例

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[3:0] ビットで動作モードを設定します。 （図 21.36 では 0000b（のこぎり波 PWM モード 1）を設定、図 21.37 では 0101b（三角波 PWM モード 2）を設定、図 21.38 では 1110b（相補 PWM モード 3）を設定）
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 （図 21.36 では GTUDDTYC[1:0] ビットを 11b にした後、GTUDDTYC[1:0] ビットを 01b にする（アップカウント））
3	カウントクロックの選択	GTCR.TPCS[3:0] ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0] ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx（x = A～F）を選択し、周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0] ビット、GTIOB[4:0] ビットに GTIOCnm 端子の機能を設定します。 （図 21.36 では GTIOA[4:0] = 11001b、図 21.37 では GTIOA[4:0] = 10001b、図 21.38 では GTIOA[4:0] = 10110b、GTIOB[4:0] = 11001b）
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビットと OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作の設定	GTBER2 レジスタの OLTTm[1:0] ビットでバッファ動作を設定します。 （図 21.36 では OLTTA[1:0] に 01b を設定、図 21.37 では OLTTA[1:0] に 11b を設定、図 21.38 では OLTTA[1:0] に 10b、OLTTB[1:0] に 10b を設定）
9	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードおよび三角波モード／相補 PWM モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モード／相補 PWM モードで山と谷の両方でバッファ転送の場合）の GTIOCnm 端子機能を GTOLBR レジスタに設定します。
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードおよび三角波モード／相補 PWM モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モード／相補 PWM モードで山と谷の両方でバッファ転送の場合）の GTIOCnm 端子機能を GTOLBR レジスタに設定します。

注. n = 4～9
m = A, B

21.3.3 PWM 出力動作モード

GPT は、GTCNT カウンタと GTCCRA または GTCCRB レジスタとのコンペアマッチに基づいて、GTIOCnA 端子または GTIOCnB 端子へ PWM 波形を出力することができます（n = 0～9）。

また、GTDTCR レジスタ、GTDVU レジスタ、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

相補 PWM モードでは、0%/100%デューティー付近の PWM 出力パルス幅の直線性を保証する、デッドタイム付き PWM 波形（正相、逆相）を出力することが可能です。

のこぎり波 PWM モード 2 以外ののこぎり波モード、三角波モード、またはマスタチャネルの相補 PWM モードでは、GTIOR.PSYE ビットを 1 に設定することにより、PWM 周期と同期した信号を GTCPPOn 出力端子から出力可能です。のこぎり波モードでは周期の終わりに、三角波モードまたは相補 PWM モードでは山／谷／GTCNT カウンタクリアのタイミングで GTCPPOn がトグル出力されます。GTCPPOn の初期出力は Low であり、カウント開始時に High になります。

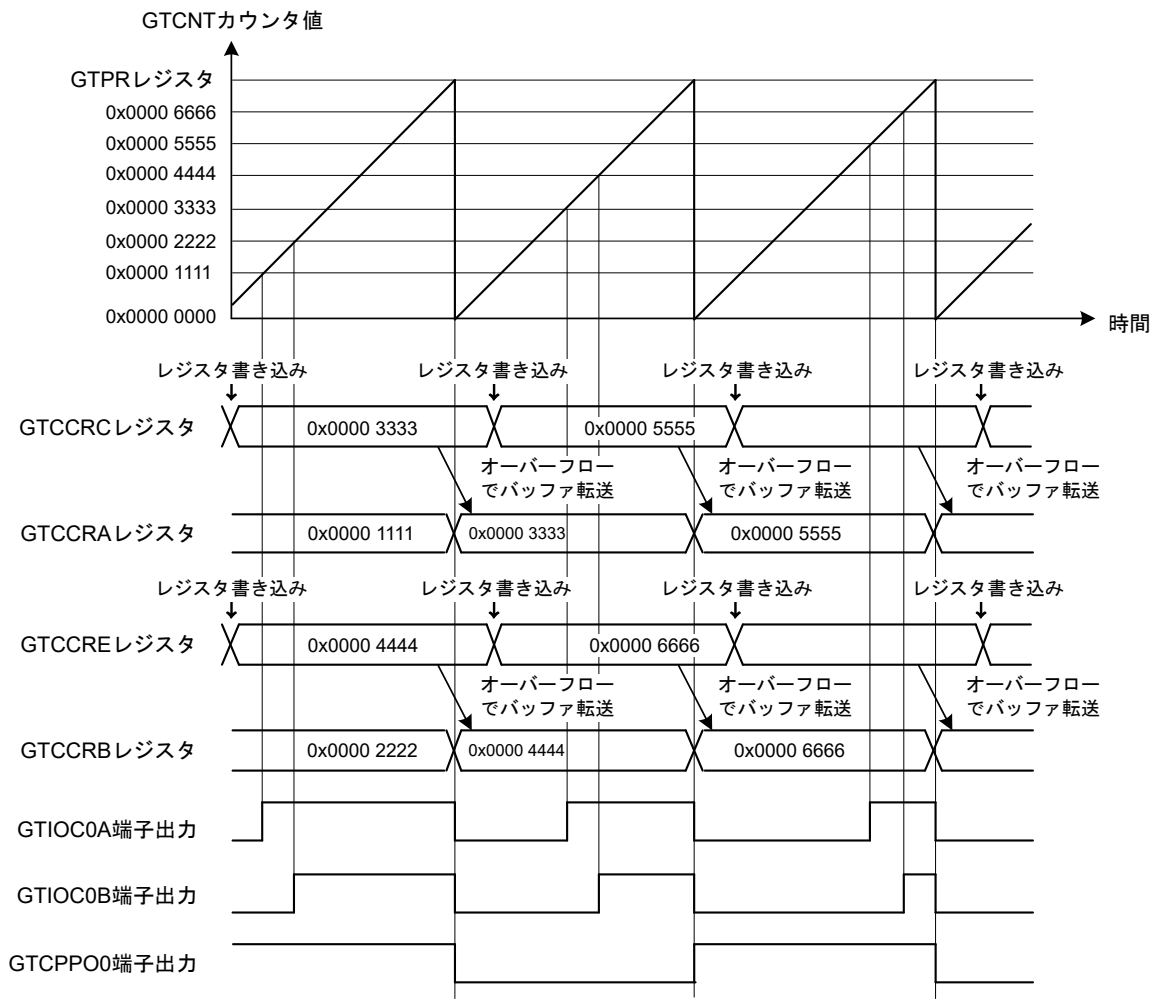
21.3.3.1 のこぎり波 PWM モード 1

のこぎり波 PWM モード 1 では、GTPR レジスタに周期を設定することにより、GTCNT カウンタにのこぎり波（半波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に、GTIOCnA 端子または GTIOCnB 端子（n = 0～9）に PWM 波形を出力させます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／High 出力／トグル出力、周期の終わりで Low 出力／High 出力／トグル出力を選択することができます。

GTIOR.OxEOCD (x = A, B)ビットが 0 に設定され、周期の終わりと GTCCRx レジスタのコンペアマッチのタイミングが同じ場合、出力端子は GTIOR.GTIOx[3:2]ビットにより設定された周期の終わりに対する PWM 出力設定に従います。

GTIOR.OxEOCD ビットに 1 が設定されると、GTIOCnx 出力が保持されます。

図 21.39 にのこぎり波 PWM モード 1 の動作例を、表 21.24 にのこぎり波 PWM モード 1 の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 21.39 のこぎり波 PWM モード 1 の動作例（アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力および GTIOR.PSYE = 1 の場合）

表 21.24 のこぎり波 PWM モード 1 の設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。図 21.39 では 000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.39 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 21.39 では GTIOA[4:0] = 00110b、GTIOB[4:0] = 00110b
7	GTCPPOn 端子出力許可設定	GTIOR レジスタの PSYE ビットで、GTCPPOn 端子出力の許可または禁止を設定します。
8	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。

表 21.24 のこぎり波 PWM モード 1 の設定例 (2/2)

No.	手順名	説明
9	バッファ動作設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。図 21.39 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
10	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。 GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。
11	バッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
12	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
13	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注. n: 0～9
m: A, B

注 1. PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

21.3.3.2 のこぎり波 PWM モード 2

のこぎり波 PWM モード 2 では、GTCNT カウンタは GTPR レジスタを使わずにアップカウントによりのこぎり波として動作し、GTCCRA レジスタと GTCCRB レジスタのコンペアマッチにより PWM 波形を出力します。端子の出力レベルは、GTIOR レジスタの設定によって、コンペアマッチ時にそれぞれ個別に Low 出力／High 出力／トグル出力から選択できます。

GTIOCnA 端子は出力端子として使用します。GTIOR.GTIOB[1:0] ビットを使用して、GTCCRB レジスタのコンペアマッチ時の GTIOCnA 端子出力を設定してください。

GTCSR レジスタで選択した GTCNT カウンタクリア要因によりカウンタクリアが発生した場合、周期の終わりに処理され、GTIOR.GTIOA[3:2] ビットで選択した周期の終わりで PWM 出力動作が実行されます。GTCCRx（x = A, B）レジスタのコンペアマッチのためにカウンタクリア（周期の終わり）が PWM 出力変更と競合する場合、PWM 出力動作を周期の終わりに実行（GTIOR.OxEOCD ビット = 0 の場合）もしくは PWM 出力が保持されます（GTIOR.OxEOCD ビット = 1 の場合）。

のこぎり波 PWM モード 2 の動作例を図 21.40～図 21.42 に示します。表 21.25 にのこぎり波 PWM モード 2 の設定例を示します。

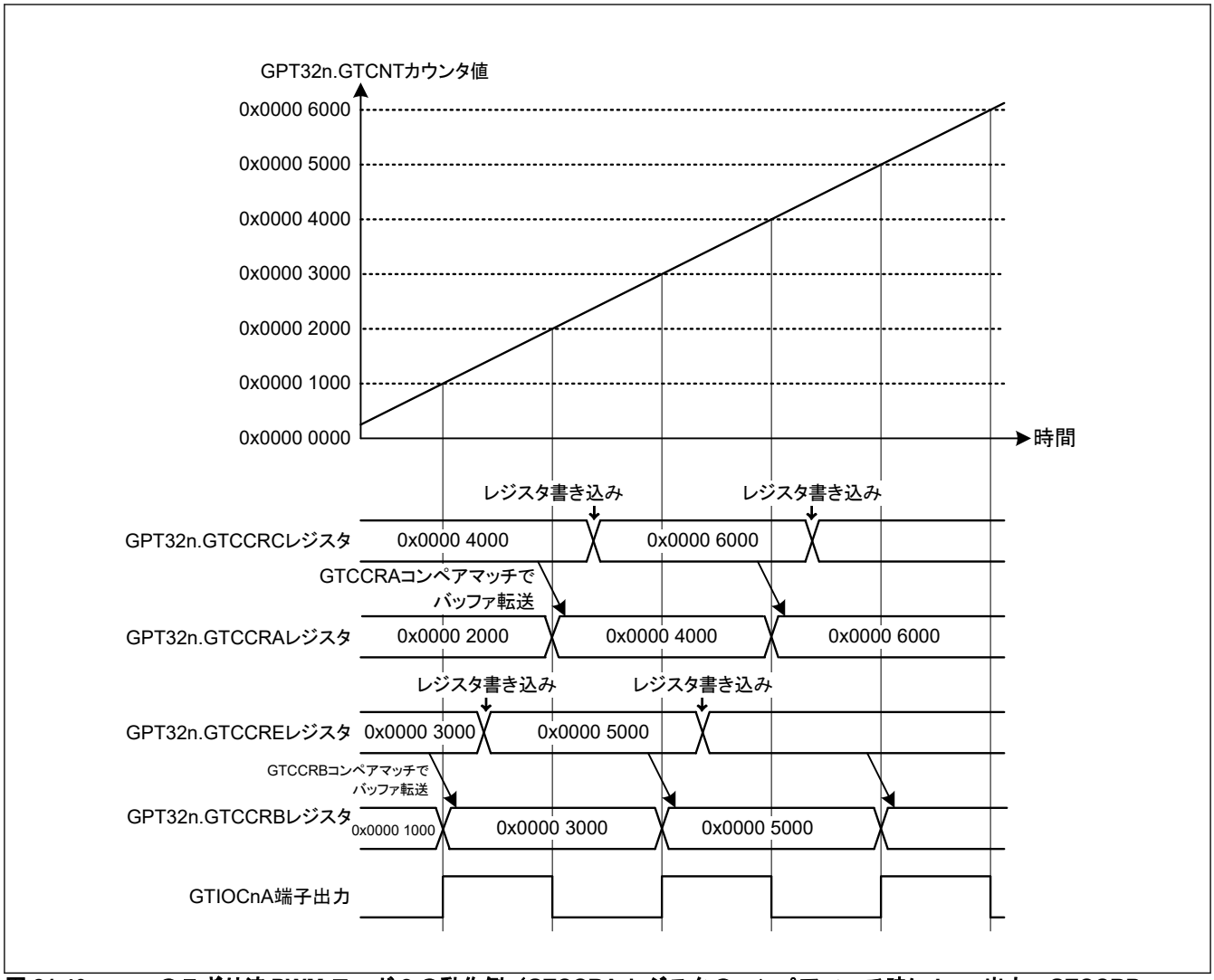


図 21.40 のこぎり波 PWM モード 2 の動作例（GTCCRA レジスタのコンペアマッチ時に Low 出力、GTCCRB レジスタのコンペアマッチ時に High 出力、シングルバッファ動作、クリアなし設定の場合）（n = 4～9）

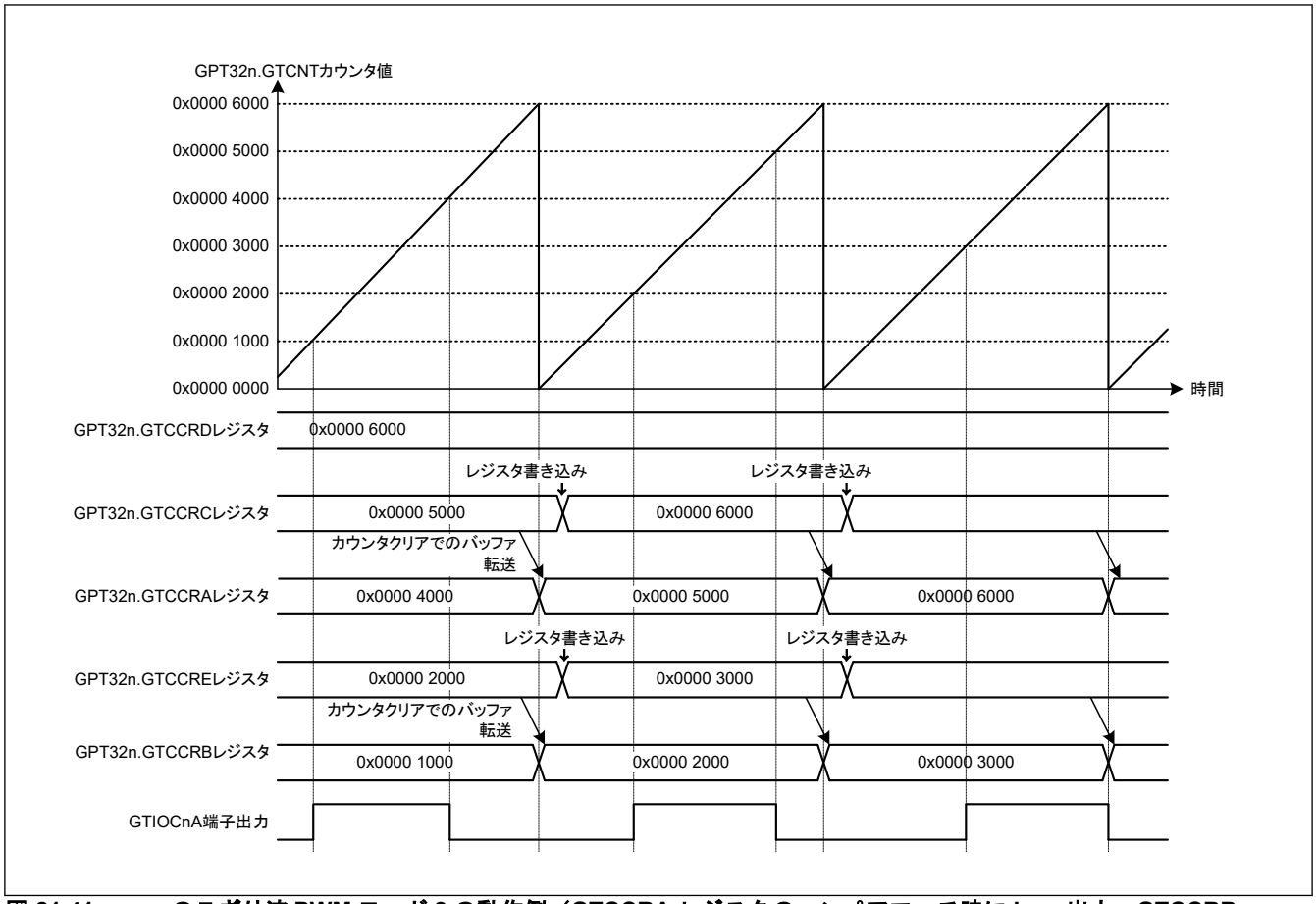


図 21.41 のこぎり波 PWM モード 2 の動作例（GTCCRA レジスタのコンペアマッチ時に Low 出力、GTCCRB レジスタのコンペアマッチ時に High 出力、周期の終わりに Low 出力、シングルバッファ動作、GTCCRD レジスタのコンペアマッチ時にクリア、GTIOR.OAEOCD ビット = 0 の場合）（n = 4～9）

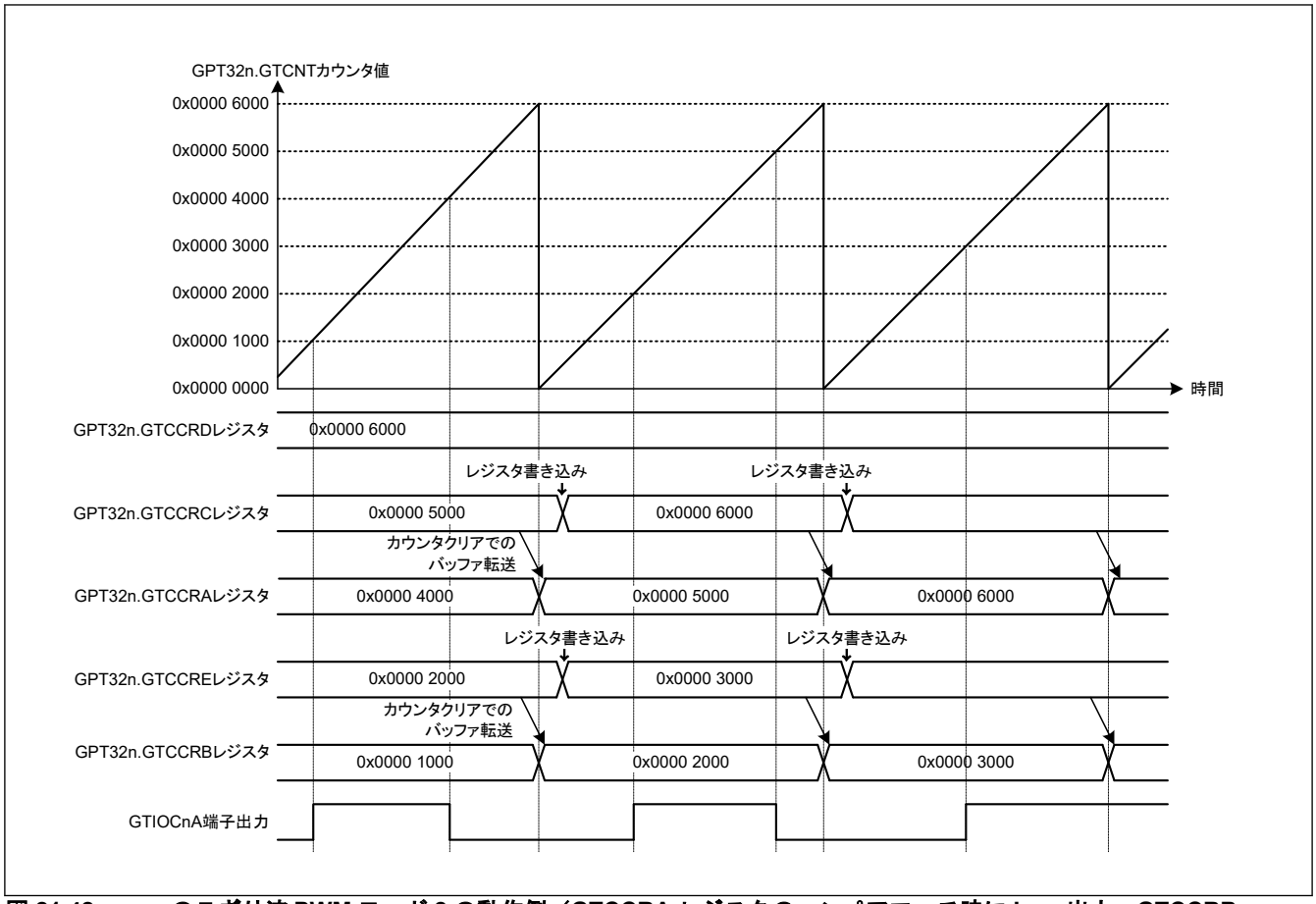


図 21.42　のこぎり波 PWM モード 2 の動作例（GTCCRA レジスタのコンペアマッチ時に Low 出力、GTCCRB レジスタのコンペアマッチ時に High 出力、周期の終わりに Low 出力、シングルバッファ動作、GTCCRD レジスタのコンペアマッチ時にクリア、GTIOR.OAEOCD ビット = 1 の場合）（n = 4～9）

表 21.25　のこぎり波 PWM モード 2 の設定例

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[3:0] ビットで動作モードを設定します。 （図 21.40～図 21.42 では 0010b（のこぎり波 PWM モード 2）を設定）
2	カウントクロックの選択	GTCR.TPCS[3:0] ビットでカウントクロックを選択します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	GTIOCnA 端子機能設定	GTIOR レジスタの GTIOA[4:0] ビットと GTIOB[4:0] ビットで、GTIOCnA 端子の機能を設定します。 （図 21.40～図 21.42 では、GTIOA[4:0] = 00001b、GTIOB[1:0] = 10b）
5	GTIOCnA 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビットで、GTIOCnA 端子出力の許可を設定します。
6	バッファ動作の設定	GTBER レジスタの CCRA[1:0] ビットと CCRB[1:0] ビットで、バッファ動作を設定します。 （図 21.40～図 21.42 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b）
7	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA、GTCCRB レジスタに設定します。
8	バッファ値設定	バッファ動作時は、1 周期後に使用する GTCCRA レジスタ値を GTCCRC レジスタに、GTCCRB レジスタ値を GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後に使用する GTCCRA レジスタ値を GTCCRD レジスタに、GTCCRB レジスタ値を GTCCRF レジスタに設定します。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
10	周期ごとのバッファ値設定	バッファ動作時は、1 周期後に使用する GTCCRA レジスタ値を GTCCRC レジスタに、GTCCRB レジスタ値を GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後に使用する GTCCRA レジスタ値を GTCCRD レジスタに、GTCCRB レジスタ値を GTCCRF レジスタに設定します。

注.　n: 4～9

注 1. PWM 遅延生成回路を使用する場合、GTIOCnA 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

21.3.3.3 のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定して GTCNT カウンタをのこぎり波（半波）動作させ、バッファ動作固定で、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子または GTIOCnB 端子に PWM 波形を出力するモードです（n = 0～9）。

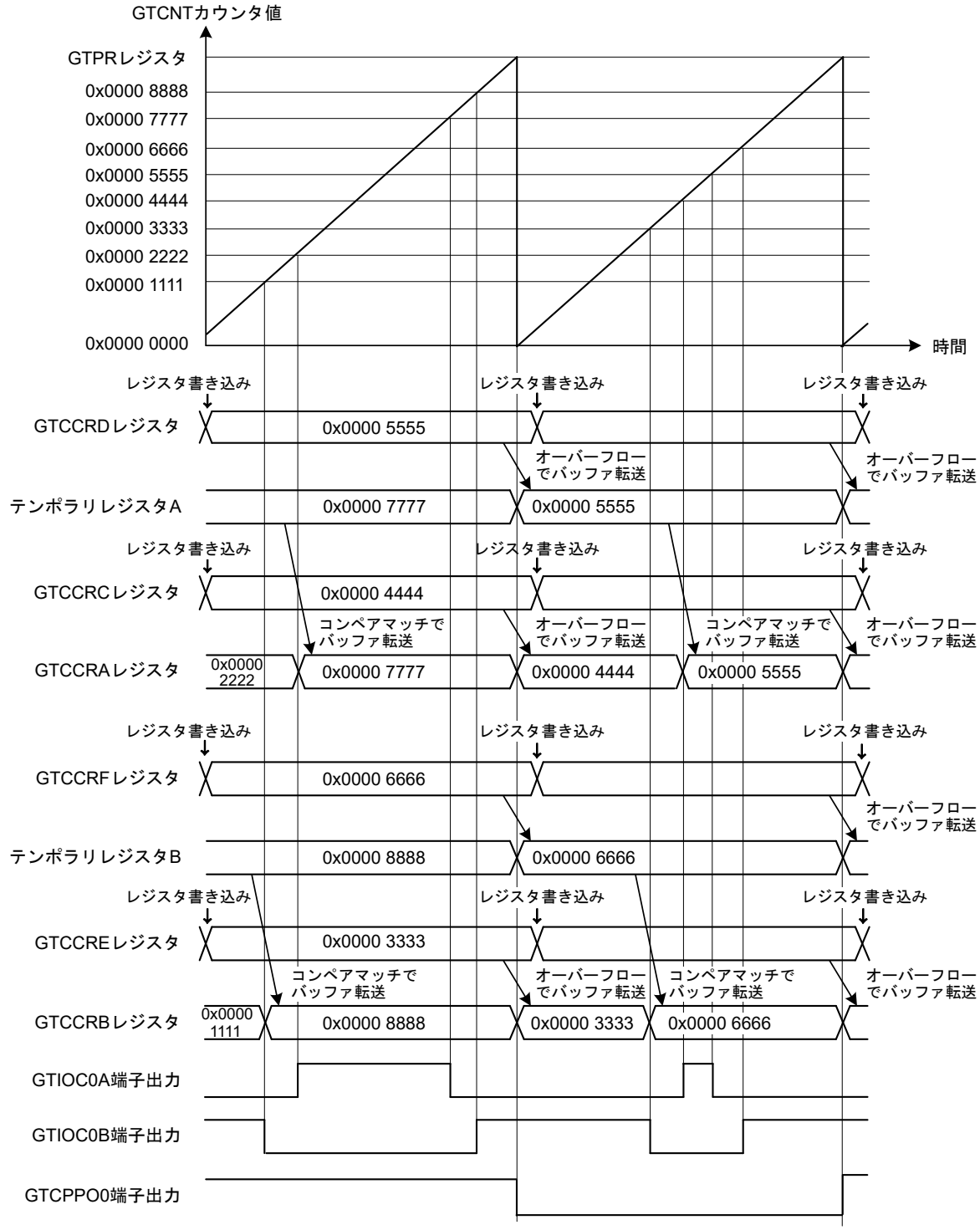
のこぎり波ワンショットパルスモードのバッファ動作は通常のバッファ動作と異なります。バッファ転送は、下記のとおりです。

- 周期の終わりで、GTCCRC レジスタから GTCCRA レジスタ
- 周期の終わりで、GTCCRE レジスタから GTCCRB レジスタ
- 周期の終わりで、GTCCRD レジスタからテンポラリレジスタ A
- 周期の終わりで、GTCCRF レジスタからテンポラリレジスタ B
- GTCCRA レジスタのコンペアマッチで、テンポラリレジスタ A から GTCCRA レジスタ
- GTCCRB レジスタのコンペアマッチで、テンポラリレジスタ B から GTCCRB レジスタ

端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／High 出力／トグル出力、周期の終わりで Low 出力／High 出力／トグル出力を選択することができます。カウントストップ中に GTBER.CCRSWT ビットを 1 にすると、GTCCRD レジスタから一時レジスタ A へ、および GTCCRF レジスタから一時レジスタ B へ、バッファ転送が強制的に実行されます。また、GTDTCR、GTDVU、GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値は GTCCRB レジスタに自動設定されます。

GTBER.DBRTECm (m = A, B) ビットが 1 のとき、バッファ転送が禁止されている場合でも（バッファ転送禁止中のリピートダブルバッファ動作機能）、GTCCRx レジスタと GTCCRm レジスタの中間バッファとしてそれぞれ動作するテンポラリレジスタ x (x = C, E) とテンポラリレジスタ m を使用して、中間バッファから GTCCRm レジスタへの転送が周期ベースで繰り返されます。詳細は、「21.8.2.2. GTCCR バッファ転送禁止時のリピートダブルバッファ動作」を参照してください。

図 21.43 に、のこぎり波ワンショットパルスモードの動作例を、表 21.26 に、のこぎり波ワンショットパルスモードの設定例を示します。



注. レジスタのベースアドレスは同じです。

図 21.43 のこぎり波ワンショットパルスモードの動作例（アップカウント、カウントスタート時に GTIOCnA 端子 = Low 出力／GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持および GTIOR.PSYE = 1 の場合）

表 21.26　のこぎり波ワンショットパルスモード設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 21.43 では 001b（のこぎり波ワンショットパルスモード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.43 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 21.43 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
7	GTCPPOn 端子出力許可設定	GTIOR レジスタの PSYE ビットで、GTCPPOn 端子出力の許可または禁止を設定します。
8	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
9	コンペアマッチ値設定(注1)	カウント開始直後の周期の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
10	バッファ強制転送設定(注1)	GTBER.CCRSWT ビットを 1 にし、バッファレジスタの強制転送を行います。
11	バッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
12	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
13	周期ごとのバッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。

注.　n: 0～9
　　m: A, B

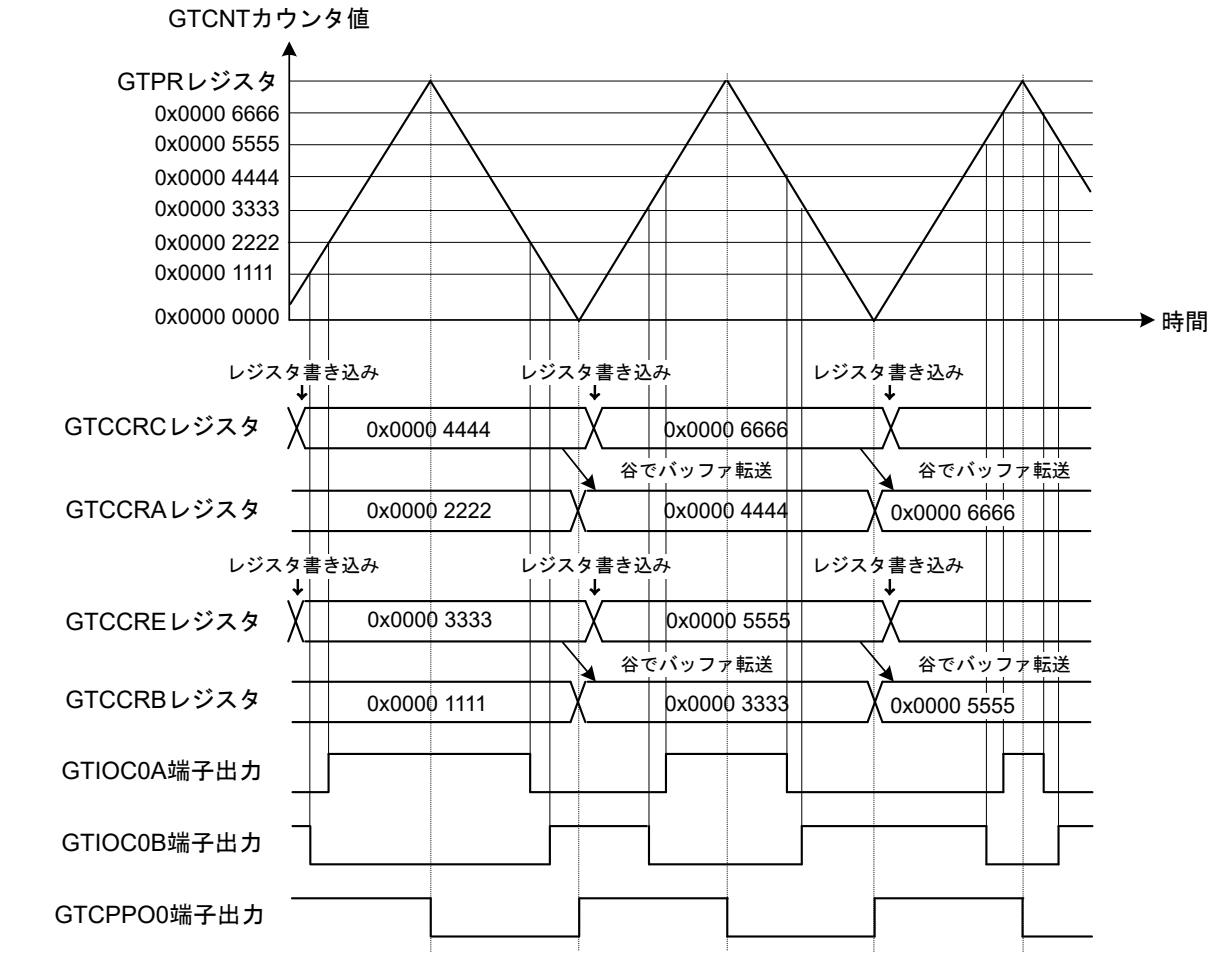
注 1.　PWM 遅延生成回路を使用する場合、「GTIOCnm 端子出力許可設定」および「コンペアマッチ値設定+バッファ強制転送設定」の順序を変更してください。

21.3.3.4　三角波 PWM モード 1（谷 32 ビット転送）

三角波 PWM モード 1 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に GTIOCnA 端子または GTIOCnB 端子 (n = 0～9) に PWM 波形を出力させます。バッファ転送は谷で行われます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／High 出力／トグル出力、周期の終わりで Low 出力／High 出力／トグル出力を選択することができます。

また、GTDTCR レジスタ、GTDVU レジスタ、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 21.44 に三角波 PWM モード 1 の動作例を、表 21.27 に三角波 PWM モード 1 の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 21.44 三角波 PWM モード 1 の動作例（バッファ動作、カウントスタート時に GTIOCnA 端子= Low 出力／GTIOCnB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持および GTIOR.PSYE = 1 の場合）

表 21.27 三角波 PWM モード 1 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 21.44 では、100b（三角波 PWM モード 1）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 21.44 では、GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTCPPOn 端子出力許可設定	GTIOR レジスタの PSYE ビットで、GTCPPOn 端子出力の許可または禁止を設定します。
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 21.44 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
9	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。

表 21.27 三角波 PWM モード 1 設定例 (2/2)

No.	手順名	説明
10	バッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

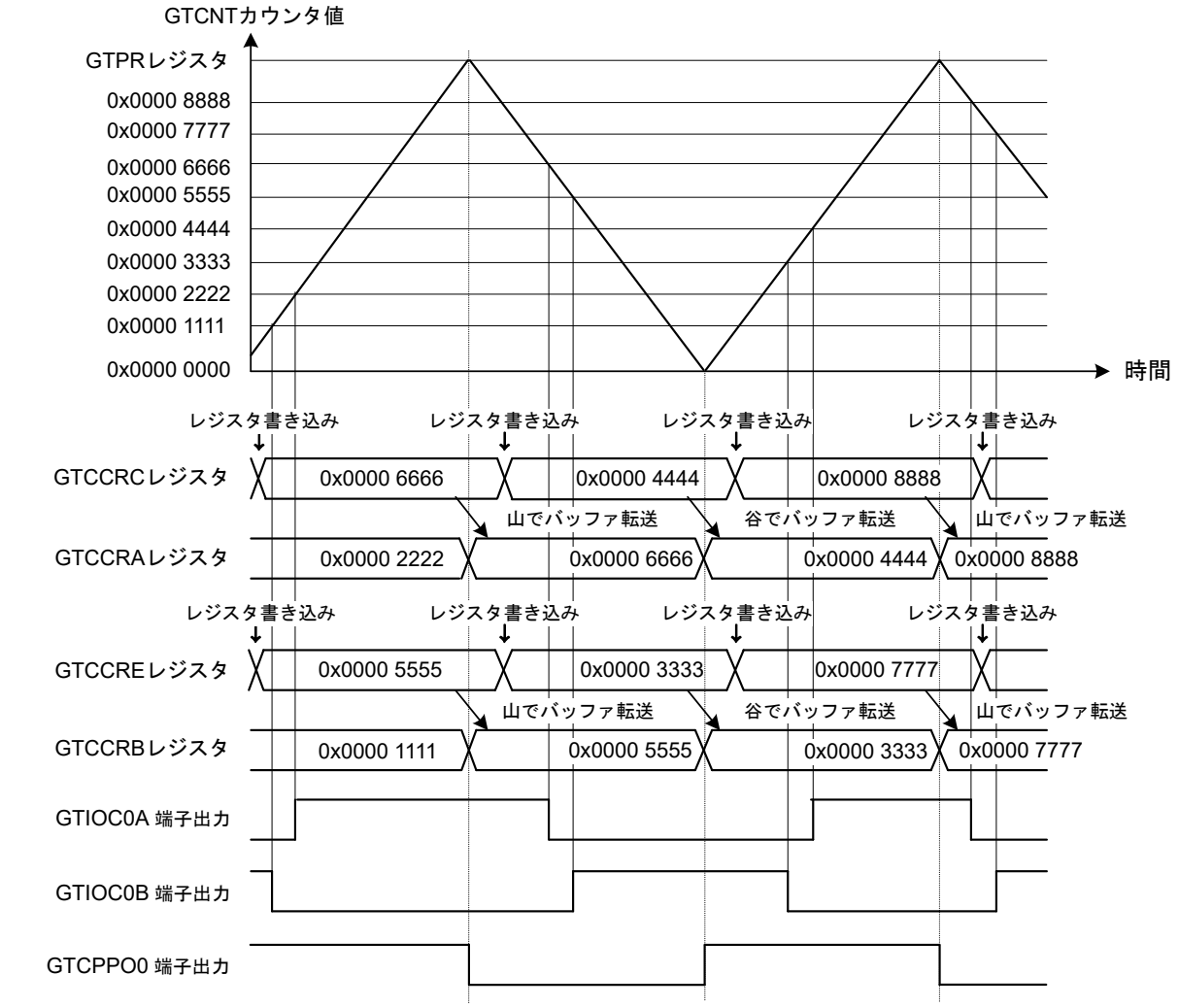
注. n: 0～9
m: A、B
注 1. PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

21.3.3.5 三角波 PWM モード 2（山／谷 32 ビット転送）

三角波 PWM モード 1 と同様に、三角波 PWM モード 2 でも GTPR レジスタに周期を設定します。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に GTIOCnA 端子または GTIOCnB 端子 (n = 0～9) に PWM 波形を出力させます。山および谷の両方でバッファ転送が行われます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／High 出力／トグル出力、周期の終わりで Low 出力／High 出力／トグル出力を選択することができます。

また、GTDTCR レジスタ、GTDVU レジスタ、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 21.45 に三角波 PWM モード 2 の動作例を、表 21.28 に三角波 PWM モード 2 の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 21.45 三角波 PWM モード 2 の動作例（バッファ動作、カウントスタート時に GTIOCnA 端子= Low 出力／GTIOCnB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持および GTIOR.PSYE = 1 の場合）

表 21.28 三角波 PWM モード 2 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 21.45 では、101b（三角波 PWM モード 2）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 21.45 では、GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTCPPOn 端子出力許可設定	GTIOR レジスタの PSYE ビットで、GTCPPOn 端子出力の許可または禁止を設定します。
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 21.45 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b

表 21.28 三角波 PWM モード 2 設定例 (2/2)

No.	手順名	説明
9	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。
10	バッファ値設定	バッファ動作時は、半周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	半周期ごとのバッファ値設定	バッファ動作時は、半周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注. n: 0～9
m: A、B
注 1. PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

21.3.3.6 三角波 PWM モード 3（谷 64 ビット転送）

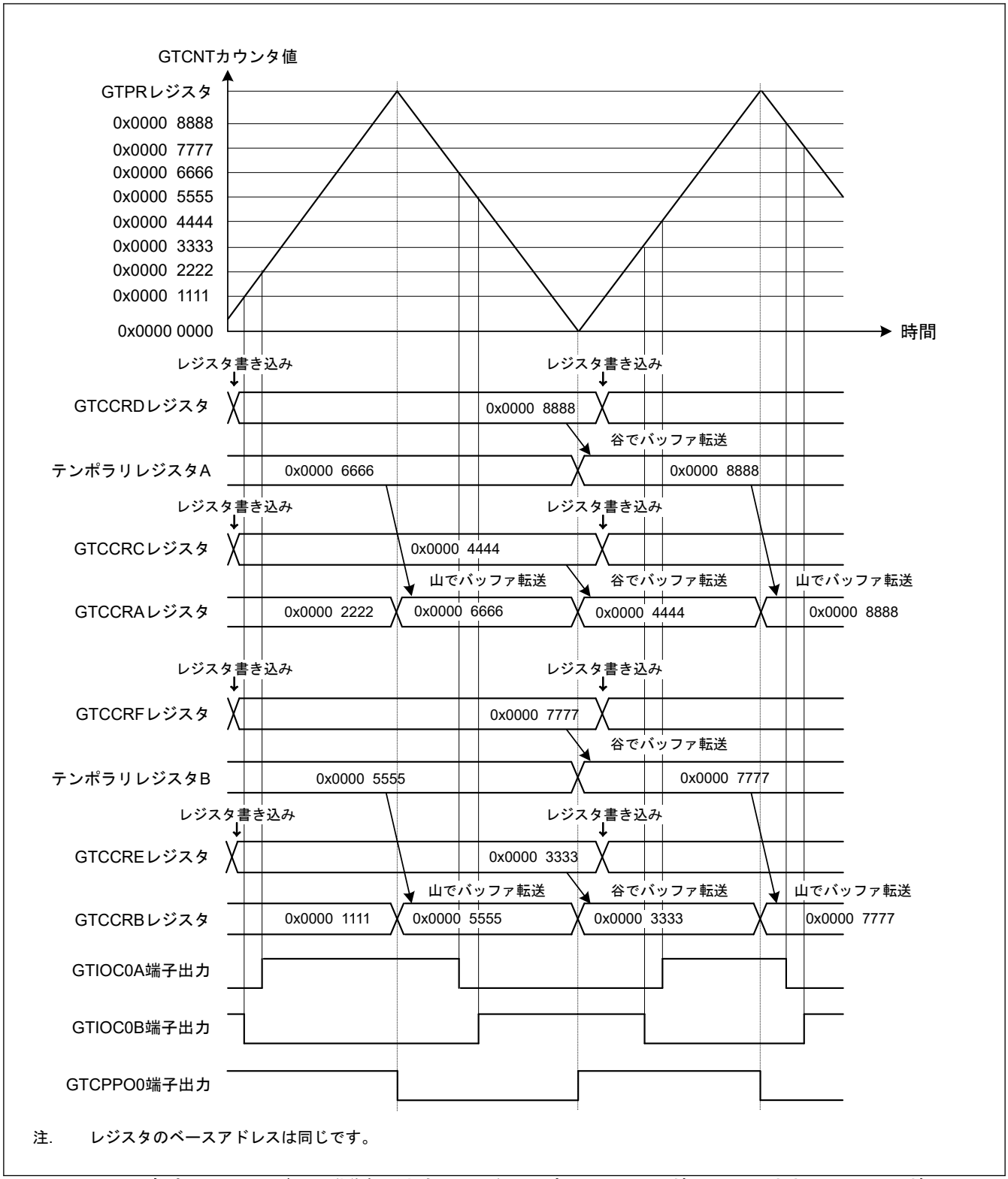
三角波 PWM モード 3 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタを三角波（全波）動作させ、バッファ動作固定で、GTCCRA レジスタ、GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子、GTIOCnB 端子に PWM 波形を出力するモードです（n = 0～9）。三角波 PWM モード 3 のバッファ動作は通常のバッファ動作と異なります。バッファ転送は、下記のとおりです。

- 谷で、GTCCRC レジスタから GTCCRA レジスタ
- 谷で、GTCCRE レジスタから GTCCRB レジスタ
- 谷で、GTCCRD レジスタからテンポラリレジスタ A
- 谷で、GTCCRF レジスタからテンポラリレジスタ B
- 山で、テンポラリレジスタ A から GTCCRA レジスタ
- 山で、テンポラリレジスタ B から GTCCRB レジスタ

端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／High 出力／トグル出力、周期の終わりで Low 出力／High 出力／トグル出力、を設定することができます。

また、GTDTCR レジスタ、GTDVU レジスタ、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 21.46 に三角波 PWM モード 3 の動作例を、表 21.29 に三角波 PWM モード 3 の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 21.46 三角波 PWM モード 3 の動作例（カウントスタート時に GTIOCnA 端子 = Low 出力／GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持および GTIOR.PSYE = 1 の場合）

表 21.29 三角波 PWM モード 3 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 21.46 では 110b（三角波 PWM モード 3）を設定します。

表 21.29 三角波 PWM モード 3 設定例 (2/2)

No.	手順名	説明
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 21.46 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTCPPOn 端子出力許可設定	GTIOR レジスタの PSYE ビットで、GTCPPOn 端子出力の許可または禁止を設定します。
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ値設定(注1)	カウント開始直後の周期の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
9	バッファ強制転送設定(注1)	GTBER.CCRSWT ビットを 1 にし、バッファレジスタの強制転送を行います。
10	バッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。

注. n: 0～9
m: A, B

注 1. PWM 遅延生成回路を使用する場合、「GTIOCnm 端子出力許可設定」および「コンペアマッチ値設定+バッファ強制転送設定」の順序を変更してください。

21.3.3.7 相補 PWM モード 1、2、3 の場合

相補 PWM モードでは、連続する 3 つのチャネルの GTCNT カウンタを使い、0%／100%デューティー付近の直線性を確保するデッドタイム付き 3 相 PWM 波形を出力できます。バッファ動作の違いにより 4 つのモードがあります。(1) 相補 PWM モード 1（山で転送）、(2) 相補 PWM モード 2（谷で転送）、(3) 相補 PWM モード 3（山と谷で転送）、(4) 相補 PWM モード 4（即時転送）

図 21.47 に、相補 PWM モード 1～3 のブロック図を示します。

連続する 3 チャネルのうち、最低位のチャネルはマスタチャネルとします。隣接する上位 2 チャネルはスレーブチャネル 1（低位側）とスレーブチャネル 2（上位側）とします。

各チャネルの GTCNT カウンタは、マスタチャネルの周期動作のもとで、独立したカウント動作を行います。各チャネルでは、各動作部分の 3 つの GTCNT カウンタの 1 つを選択して、GTCCRA レジスタとのコンペアマッチを行います。そして、マスタチャネルの GTDVU レジスタに設定したデッドタイム値のオーバーラップをしていない部分で、GTIOCn+iA 端子と GTIOCn+iB 端子（i = 0、1、2）からそれぞれ正相波形と逆相波形を出力します。

GTCCRA レジスタは、GTCCRC レジスタ、テンポラリレジスタ A、GTCCRD レジスタによるバッファ動作を行います。また、相補 PWM モード 3 では、GTBER2.CP3DB ビットを 1 に設定すると、GTCCRA レジスタ、GTCCRE レジスタ、テンポラリレジスタ B、GTCCRF レジスタによるバッファ動作を許可し、ダブルバッファ動作が可能となります。

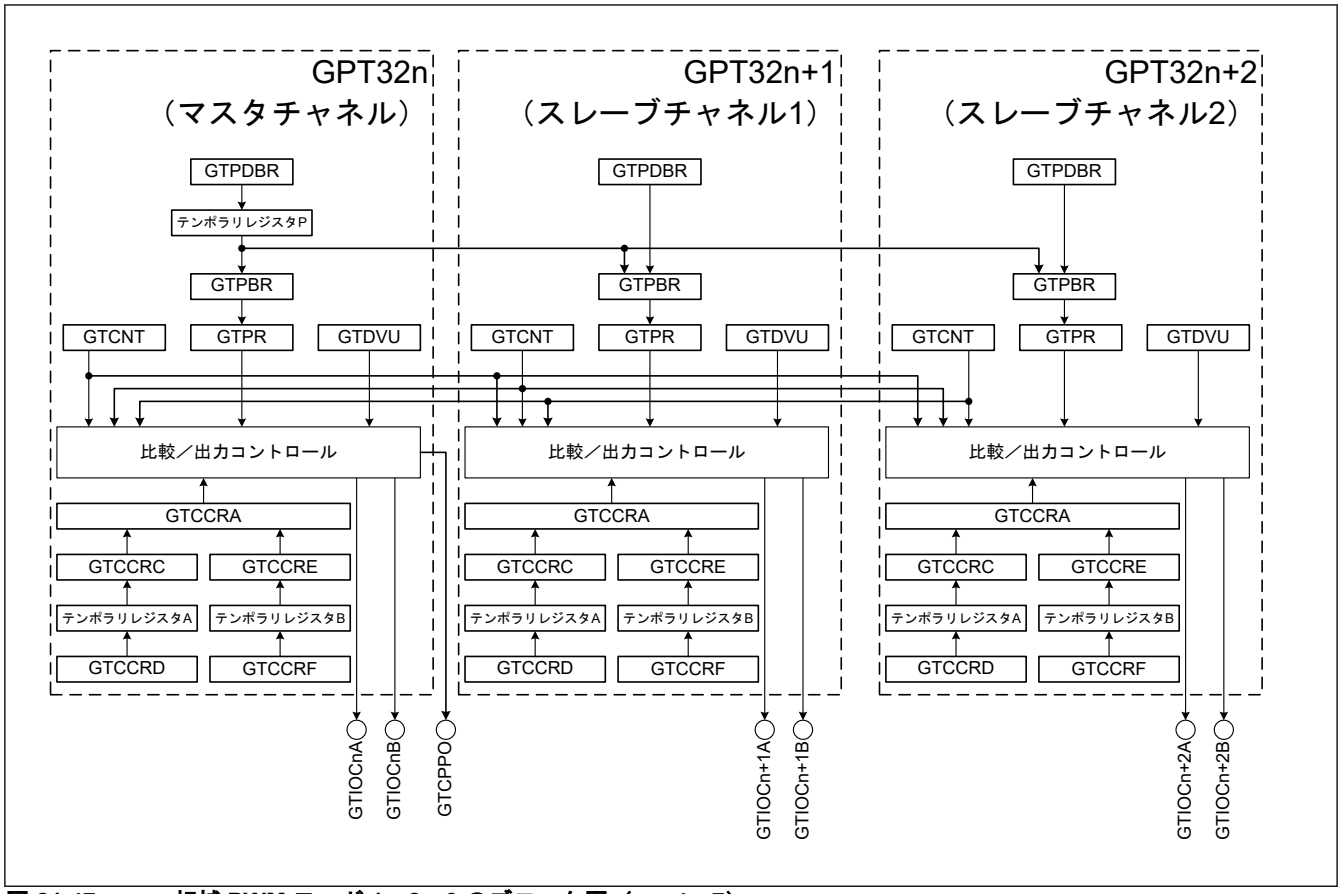


図 21.47　相補 PWM モード 1、2、3 のブロック図（n = 4、7）

GPT32n.GTCNT カウンタは、GPT32n.GTPR レジスタを周期レジスタとして用いた三角波のためのカウント動作を行います。GPT32n.GTCNT カウンタ値がデッドタイム値より大きくない部分は、谷部分を示します。

GPT32n+1.GTCNT カウンタは、（GPT32n.GTCNT カウンタ値 + GPT32n.GTDVU レジスタに設定されたデッドタイム値）を用いてカウント動作を行います。GPT32n+1.GTCNT カウンタ値が GPT32n.GTPR レジスタ値より大きい部分は、山部分を示します。

山部分と谷部分は、カウント方向によってアップカウント山部分、ダウンカウント山部分、アップカウント谷部分、ダウンカウント谷部分に分類できます。山と谷の間の部分は、カウント方向によってアップカウント中間部分またはダウンカウント中間部分に分類できます。カウント動作の開始後に、アップカウント谷部分と同様である部分は、初期出力部とされ、ほかのアップカウント谷部分と動作が部分的に異なります。

GPT32n+2.GTCNT カウンタは、0%／100%デューティー付近の直線性を確保するカウンタとして機能します。谷部分では、このカウンタは（GPT32n.GTPR レジスタ値 + デッドタイム値）の値を初期値として、GPT32n.GTPR レジスタ値を谷とした三角波のカウント動作（ダウンカウントの後アップカウント）を行います。このカウンタは、山部分の終わりで 0 にクリアされ、次の谷部分までカウントを停止します。谷部分でこのカウンタは、初期値が 0 で山としてのデッドタイム値である三角波のカウント動作を行います。このカウンタは、谷部分の終わりで（GPT32n.GTPR レジスタ値 + デッドタイム値）の値となり、次の山部分までカウントを停止します。初期の出力部で、このカウンタは初期値の 0 からデッドタイム値までカウントアップし、（GPT32n.GTPR レジスタ値 + デッドタイム値）の値になります。

相補 PWM モードでこのカウンタが停止して再スタートした場合、各チャネルのカウンタはカウント動作開始後に初期値に戻り、初期の出力部からカウントを開始します。

表 21.30 と表 21.31 に、各部分におけるカウント動作（カウント方向／カウント範囲）を示します。これらの表で、チャネル ID がないレジスタは、マスタチャネル、スレーブチャネル 1、スレーブチャネル 2 の各レジスタに同じ値が格納されることを示します。

表 21.30 相補 PWM モードのカウント動作

カウンタ	初期値	初期出力部（開始後）	アップカウント中間部分	アップカウント山部分	ダウンカウント山部分
GPT32n.GTCNT	0	アップカウント 0 → GTDVU	アップカウント GTDVU + 1 → GTPR - GTDVU	アップカウント GTPR - GTDVU + 1 → GTPR	ダウンカウント GTPR - 1 → GTPR - GTDVU
GPT32n+1.GTCNT	GTDVU	アップカウント GTDVU → GTDVU × 2	アップカウント GTDVU × 2 + 1 → GTPR	アップカウント GTPR + 1 → GTPR + GTDVU	ダウンカウント GTPR + GTDVU - 1 → GTPR
GPT32n+2.GTCNT	0	アップカウント 0 → GTDVU	停止 GTPR + GTDVU	ダウンカウント GTPR + GTDVU - 1 → GTPR	アップカウント GTPR + 1 → GTPR + GTDVU

表 21.31 相補 PWM モードのカウント動作

カウンタ	ダウンカウント中間部分	ダウンカウント谷部分	アップカウント谷部分
GPT32n.GTCNT	ダウンカウント GTPR - GTDVU-1 → GTDVU	ダウンカウント GTDVU - 1 → 0	アップカウント 1 → GTDVU
GPT32n+1.GTCNT	ダウンカウント GTPR - 1 → GTDVU × 2	ダウンカウント GTDVU × 2 + 1 → GTDVU	アップカウント GTDVU + 1 → GTDVU × 2
GPT32n+2.GTCNT	停止 0	アップカウント 1 → GTDVU	ダウンカウント GTDVU - 1 → 0

相補 PWM モードでは、GTCCRA レジスタが独特のバッファ動作を行います。

GPT32n+2 チャネルの GTCCRD レジスタに値を書き込むことで、GTCCRD レジスタからテンポラリレジスタ A へのデータ転送、および GTCCRF レジスタからテンポラリレジスタ B へのデータ転送が 3 チャネル同時に実行されます。

テンポラリレジスタ A とテンポラリレジスタ B から GTCCRC レジスタと GTCCRE レジスタへのデータ転送は、テンポラリレジスタ A とテンポラリレジスタ B への伝送タイミングによります。GTCCRC レジスタと GTCCRE レジスタから GTCCRA レジスタへのデータ転送は、各相補 PWM モード名（山転送、谷転送、山／谷転送）に従って行われます。

相補 PWM モードでの GTPR レジスタのバッファ動作を「21.3.2.1. GTPR レジスタのバッファ動作」に説明します。相補 PWM モードでは、GTDVU レジスタでバッファ動作を行わないでください。

表 21.32 に、相補 PWM モード 1～3 のシングルバッファ動作中のバッファ転送タイミングを示します。表 21.33 に、相補 PWM モード 3 のダブルバッファ動作中のバッファ転送タイミングを示します。

表 21.32 相補 PWM モード 1、2、3 におけるシングルバッファ転送タイミング

バッファ転送	相補 PWM モード 1	相補 PWM モード 2	相補 PWM モード 3（シングルバッファ）
GTCCRD ↓ テンポラリレジスタ A	スレーブチャネル 2 (GPT32n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後	スレーブチャネル 2 (GPT32n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後	スレーブチャネル 2 (GPT32n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後
テンポラリレジスタ A ↓ GTCCRC	(1) アップカウント中間部分でテンポラリレジスタ A にデータ転送されたとき テンポラリレジスタ A へのデータ転送から GTCLK の 1 サイクル後 (2) アップカウント中間部分以外の部分でテンポラリレジスタ A にデータ転送されたとき 谷部分の最後	(1) ダウンカウント中間部分でテンポラリレジスタ A にデータ転送されたとき テンポラリレジスタ A へのデータ転送から GTCLK の 1 サイクル後 (2) ダウンカウント中間部分以外の部分でテンポラリレジスタ A にデータ転送されたとき 山部分の最後	(1) 中間部分でテンポラリレジスタ A にデータ転送されたとき テンポラリレジスタ A へのデータ転送から GTCLK の 1 サイクル後 (2) 中間部分以外の部分でテンポラリレジスタ A にデータ転送されたとき 山部分の最後および谷部分の最後
GTCCRC ↓ GTCCRA	山部分の最後 アップカウント中間部分とアップカウント山部分でカウンタクリア	谷部分の最後（初期出力部分を除く） ダウンカウント中間部分とダウンカウント谷部分でカウンタクリア	山部分の最後 谷部分の最後 （初期出力部分を除く）カウンタクリア

表 21.33 相補 PWM モード 3 におけるダブルバッファ転送タイミング

GTCCRD から GTCCRA への転送		GTCCRF から GTCCRA への転送	
バッファ転送	**転送タイミング**	**バッファ転送**	**転送タイミング**
GTCCRD ↓ テンポラリレジスタ A	スレーブチャネル 2 (GPT32n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後	GTCCRF ↓ テンポラリレジスタ B	スレーブチャネル 2 (GPT32n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後
テンポラリレジスタ A ↓ GTCCRC	(1) 中間部分でテンポラリレジスタ A にデータ転送されたとき テンポラリレジスタ A へのデータ転送から GTCLK の 1 サイクル後 (2) 中間部分以外の部分でテンポラリレジスタ A にデータ転送されたとき 山部分の最後および谷部分の最後	テンポラリレジスタ B ↓ GTCCRE	(1) 中間部分でテンポラリレジスタ B にデータ転送されたとき テンポラリレジスタ B へのデータ転送から GTCLK の 1 サイクル後 (2) 中間部分以外の部分でテンポラリレジスタ B にデータ転送されたとき 山部分の最後および谷部分の最後
GTCCRC ↓ GTCCRA	山部分の最後 カウンタクリア	GTCCRE ↓ GTCCRA	谷部分の最後（初期出力部分を除く）

各動作部分で決まるカウンタとレジスタの組み合わせによるコンペアマッチによって、GTIOCn+iA 端子（i = 0、1、2）からの正相波形と GTIOCn+iB 端子からの逆相波形の出力レベルの変化が発生します。中間部分では、GPT32n.GTCNT カウンタと GTCCRA レジスタのコンペアマッチで正相波形出力レベルが変わり、GPT32n+1.GTCNT カウンタと GTCCRA レジスタのコンペアマッチで逆相波形出力レベルが変わります。山部分と谷部分では 0%／100%デューティー付近の直線性を確保するために、GPT32n+2.GTCNT カウンタ、GTCCRC レジスタ、GTCCRE レジスタを使ったコンペアマッチ動作が行われます。

コンペアマッチ値が GPT32n.GTPR レジスタ値以上の場合、デューティーが 0%（正相波形 OFF、逆相波形 ON）になります。コンペアマッチ値が 0 の場合、デューティーが 100%（正相波形 ON、逆相波形 OFF）になります。

表 21.34 に各動作部分で正相波形と逆相波形を生成するためのコンペアマッチ動作に使用するカウンタとレジスタの組み合わせを示します。

表 21.34 相補 PWM モードにおけるコンペアマッチ動作のカウンタとレジスタの組み合わせ

	アップカウント中間部分	アップカウント山部分	ダウンカウント山部分	ダウンカウント中間部分	ダウンカウント谷部分	アップカウント谷部分
逆相 OFF	GPT32n+1.GTCNT	GPT32n+1.GTCNT	—	GPT32n+2.GTCNT(注1)	GPT32n+2.GTCNT	GPT32n+1.GTCNT
	GTCCRA	GTCCRA	—	GTCCRC（GTCCRE、ダブルバッファ動作時）	GTCCRC（GTCCRE、ダブルバッファ動作時）	GTCCRC（GTCCRE、ダブルバッファ動作時）
正相 ON	GPT32n.GTCNT	GPT32n.GTCNT	GPT32n+2.GTCNT	—	GPT32n.GTCNT (注1)	GPT32n.GTCNT
	GTCCRA	GTCCRA	GTCCRA	—	GTCCRC（GTCCRE、ダブルバッファ動作時）	GTCCRC（GTCCRE、ダブルバッファ動作時）
正相 OFF	GPT32n+2.GTCNT(注1)	GPT32n+2.GTCNT	GPT32n.GTCNT	GPT32n.GTCNT	GPT32n.GTCNT	—
	GTCCRC	GTCCRC	GTCCRC	GTCCRA	GTCCRA	—
逆相 ON	—	GPT32n+1.GTCNT(注1)	GPT32n+1.GTCNT	GPT32n+1.GTCNT	GPT32n+1.GTCNT	GPT32n+2.GTCNT
	—	GTCCRC	GTCCRC	GTCCRA	GTCCRA	GTCCRA

注 1. 対象部分の最終カウント時にのみコンペアマッチが行われ、最終カウント以外のカウント値では行われません。

通常の相補 PWM モード波形の場合、逆相 OFF → 正相 ON → 正相 OFF → 逆相 ON の順序で PWM 波形の変化が起こります。ただし、動作部分とレジスタ値によってはこの順序が変わります。この場合、逆相波形では、谷部分で OFF が優先となり、山部分で ON が優先となります。正相波形では、谷部分で ON が優先となり、山部分で

OFF が優先となります。より高い優先度のコンペアマッチと同時に発生するか後に発生する低優先度のコンペアマッチは、無視されます。

初期出力部分で、GTIOR レジスタに設定される初期出力は維持されます。初期出力部分の最後で GTCCRA レジスタ値が GTDVU レジスタ値より大きい場合、逆相が有効になります。GTCCRA レジスタ値が GTDVU レジスタ値以下場合、正相が有効になります。

以下に、中間部分でコンペアマッチ動作が発生した場合の通常の相補 PWM モード波形の動作例を示します。 相補 PWM モード 1 の例：図 21.48、図 21.49 相補 PWM モード 2 の例：図 21.50、図 21.51 シングルバッファ相補 PWM モード 3 の例：図 21.52、図 21.53 ダブルバッファ相補 PWM モード 3 の例：図 21.54、図 21.55

図 21.56～図 21.67 に、山部分と谷部分でコンペアマッチ動作が発生した場合の相補 PWM モード波形と、コンペアマッチ発生順序による差異を示します。

図 21.68、図 21.69 に GTCCRA レジスタ値による初期出力動作を示します。

表 21.35 に、相補 PWM モード 1～3 の設定例を示します。

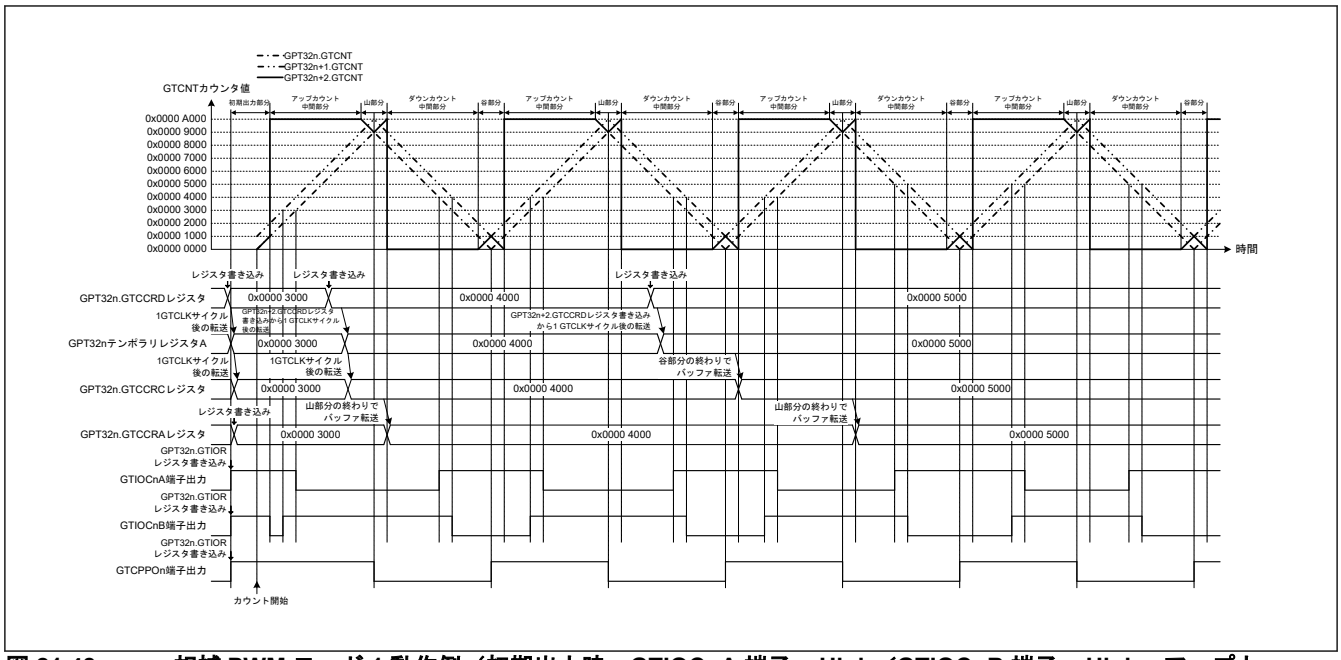


図 21.48 相補 PWM モード 1 動作例（初期出力時：GTIOCnA 端子 = High／GTIOCnB 端子 = High、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、GTCCRD レジスタを中間部分で更新）（n = 4、7）

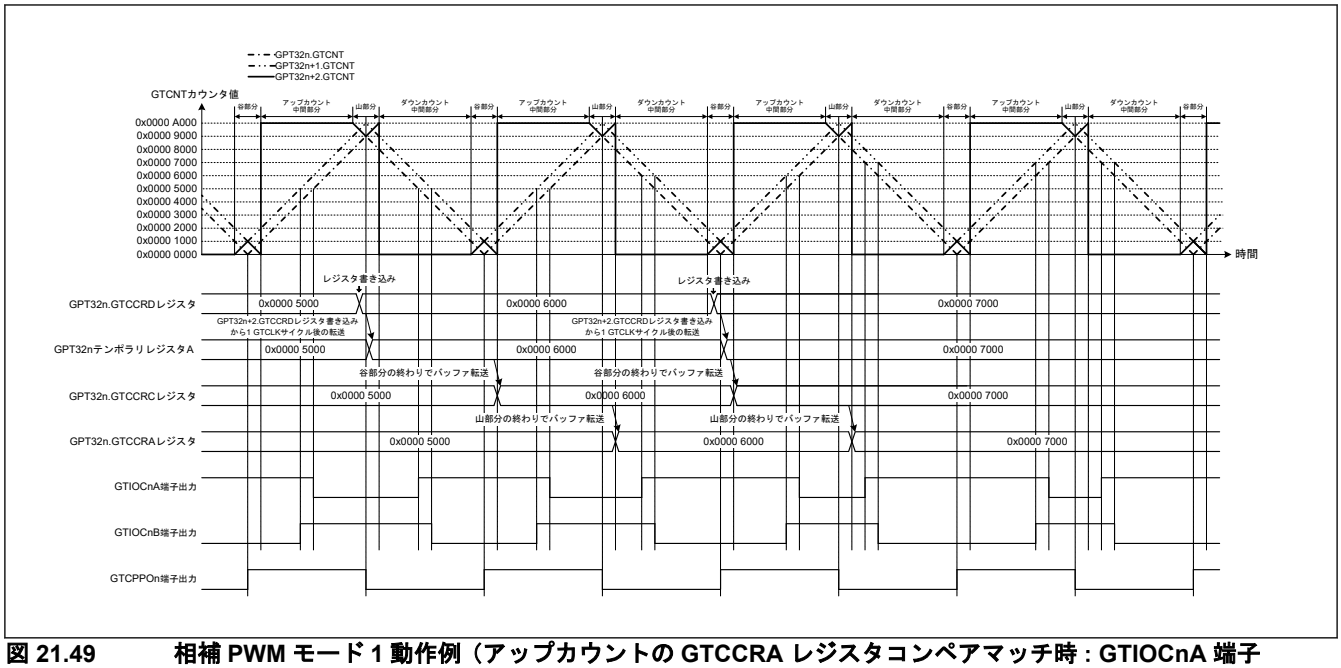


図 21.49　相補 PWM モード 1 動作例（アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値 : 0x0000 1000、GTCCRD レジスタを山部分と谷部分で更新）（n = 4、7）

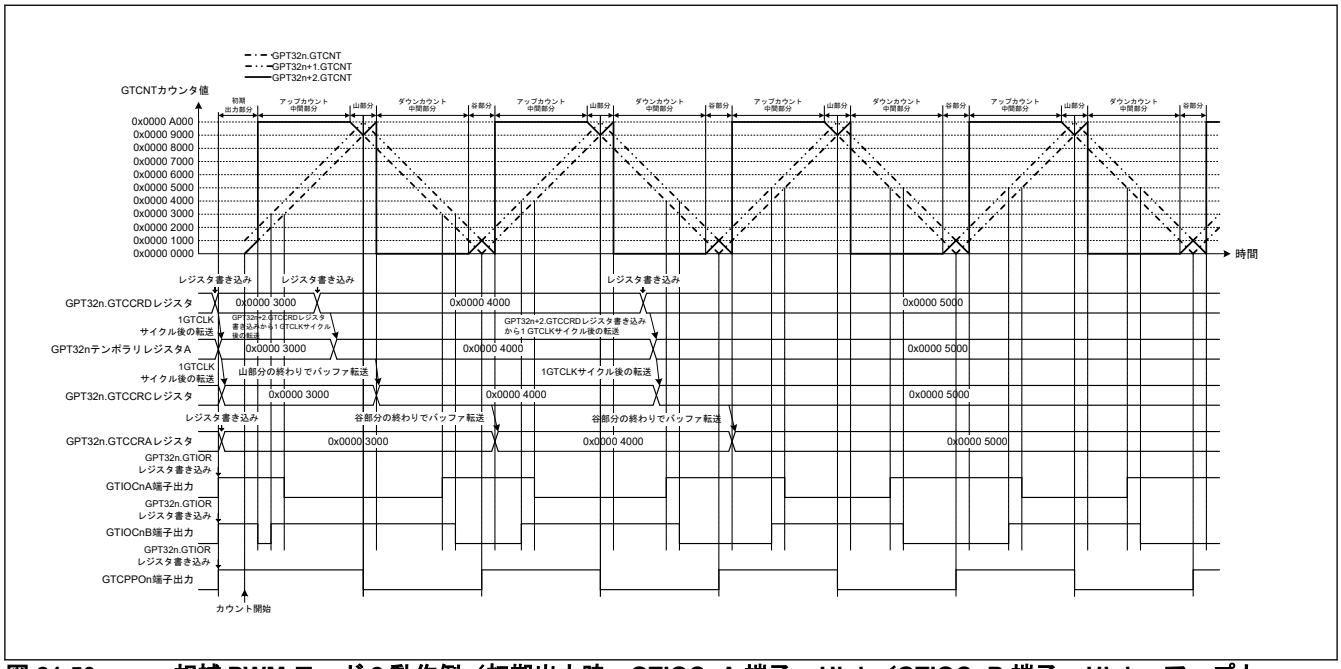


図 21.50　相補 PWM モード 2 動作例（初期出力時 : GTIOCnA 端子 = High／GTIOCnB 端子 = High、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値 : 0x0000 1000、GTCCRD レジスタを中間部分で更新）（n = 4、7）

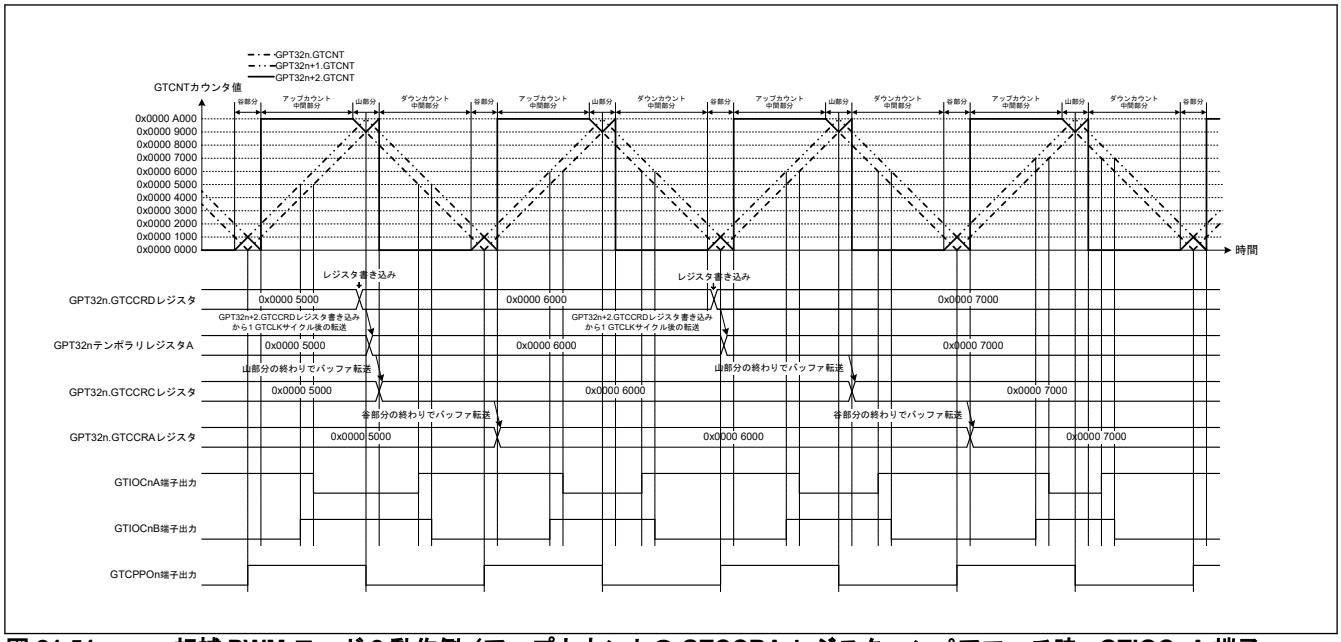


図 21.51　相補 PWM モード 2 動作例（アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値 : 0x0000 1000、GTCCRD レジスタを山部分と谷部分で更新）（n = 4、7）

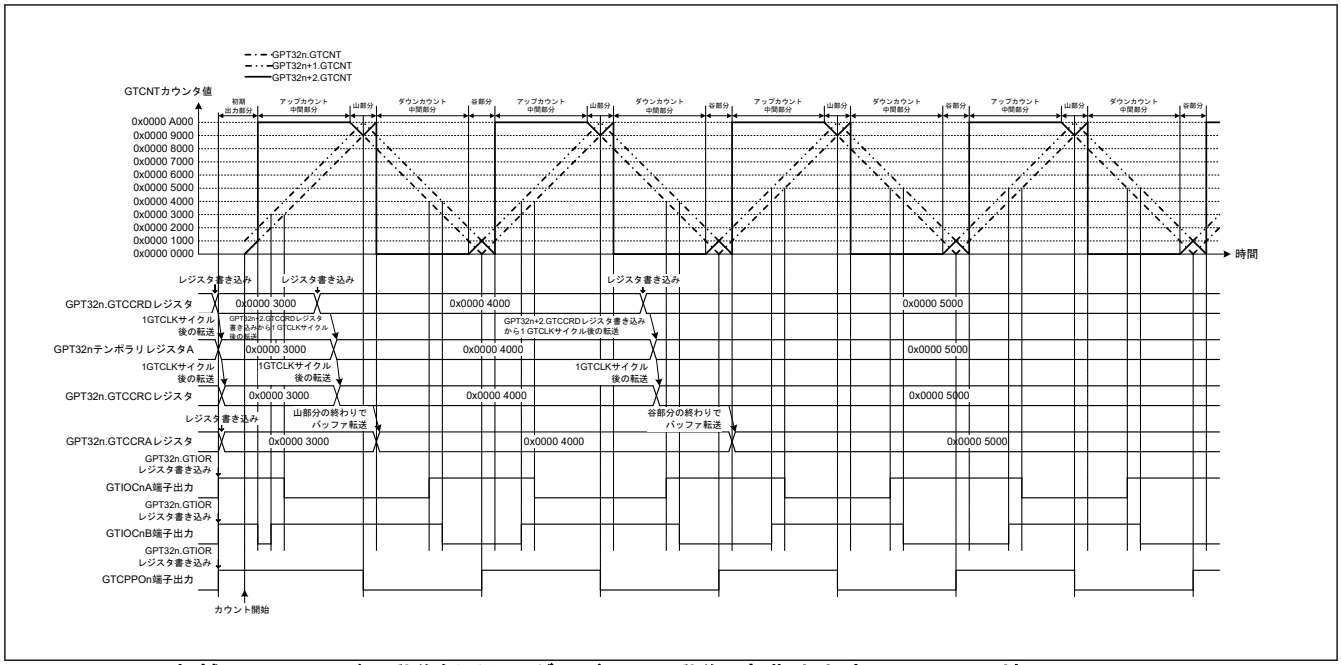


図 21.52　相補 PWM モード 3 動作例（シングルバッファ動作、初期出力時 : GTIOCnA 端子 = High／GTIOCnB 端子 = High、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値 : 0x0000 1000、GTCCRD レジスタを中間部分で更新）（n = 4、7）

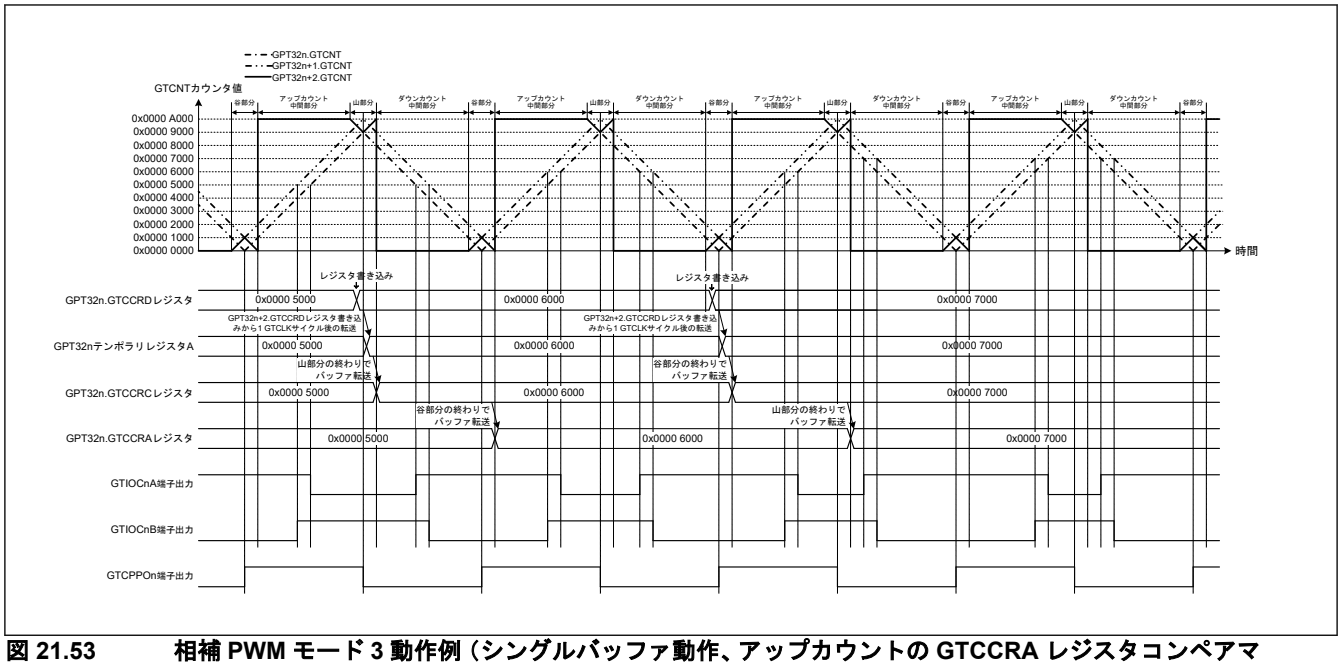


図 21.53　相補 PWM モード 3 動作例（シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値 : 0x0000 1000、GTCCRD レジスタを山部分と谷部分で更新）（n = 4、7）

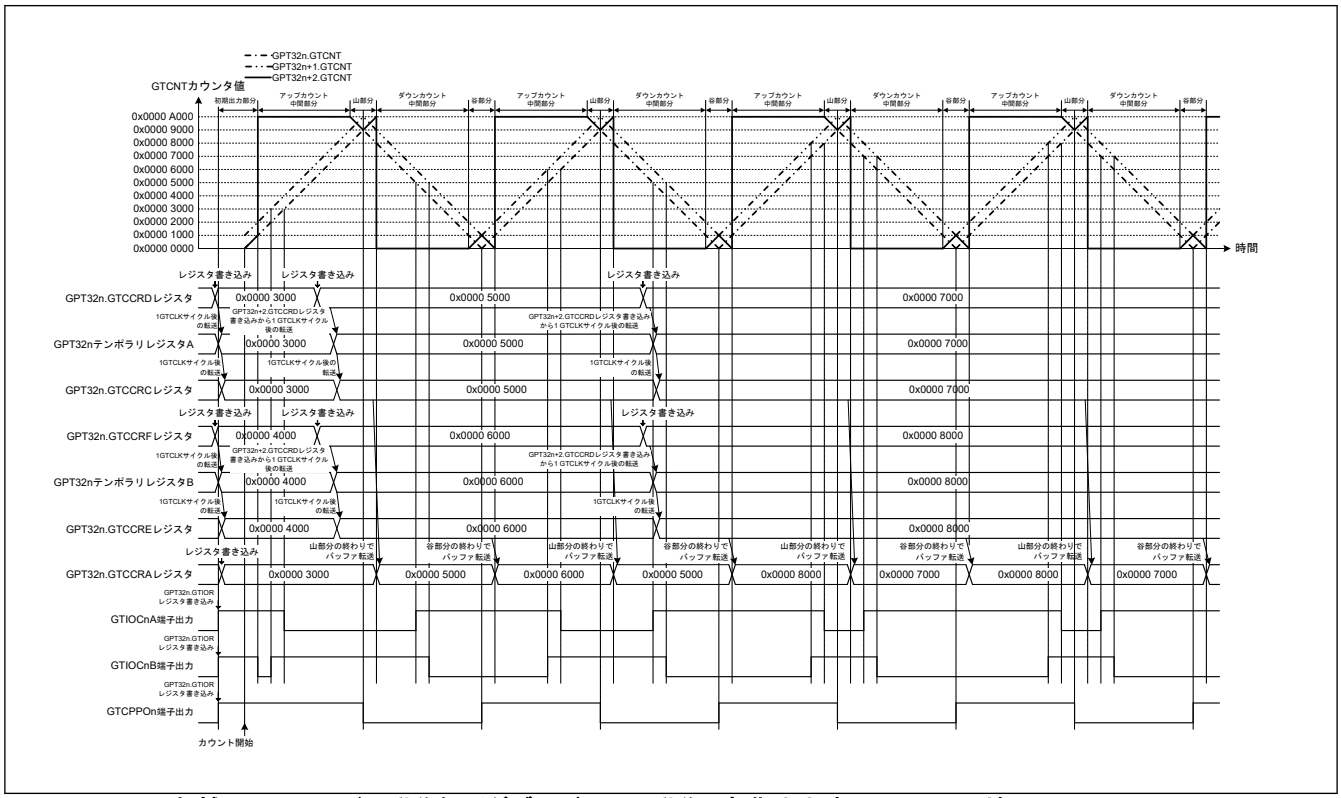


図 21.54　相補 PWM モード 3 動作例（ダブルバッファ動作、初期出力時 : GTIOCnA 端子 = High／GTIOCnB 端子 = High、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値 : 0x0000 1000、GTCCRD レジスタを中間部分で更新）（n = 4、7）

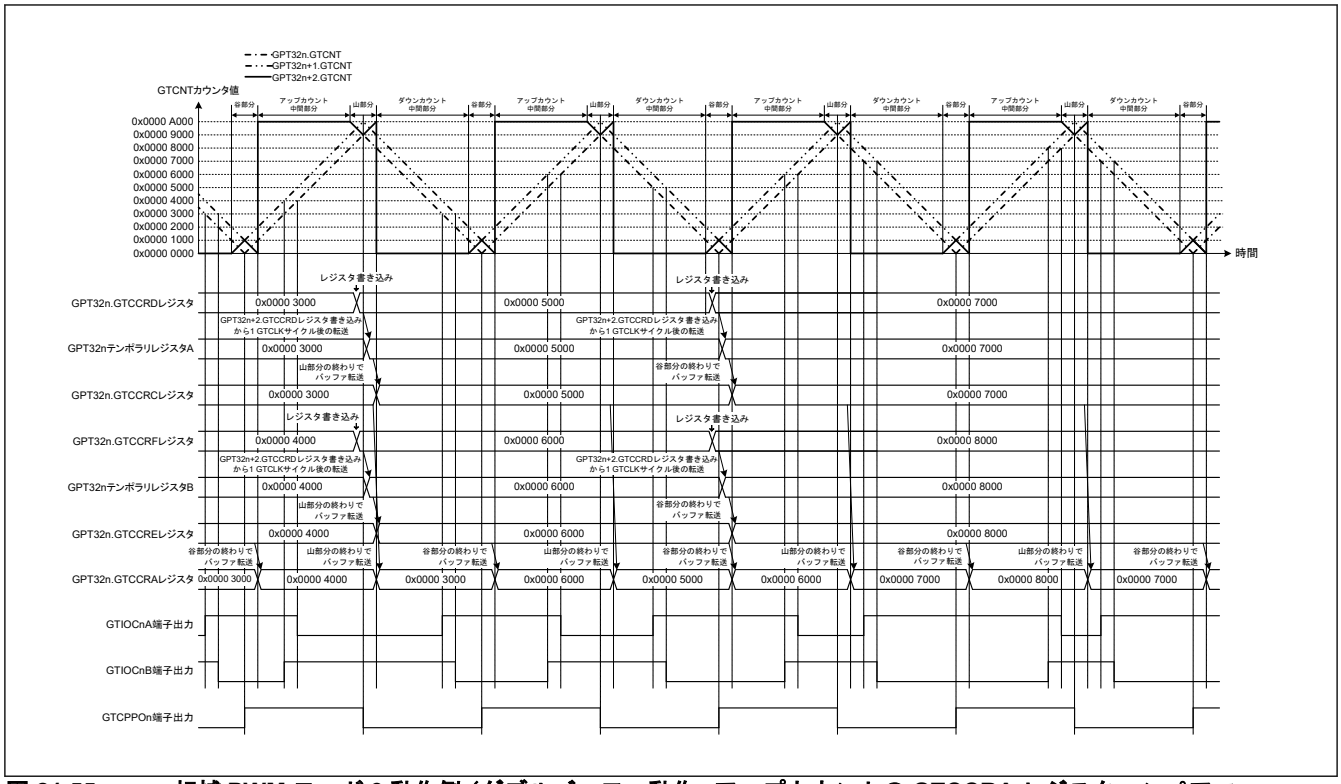


図 21.55 相補 PWM モード 3 動作例（ダブルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値 : 0x0000 1000、GTCCRD レジスタを山部分と谷部分で更新）（n = 4、7）

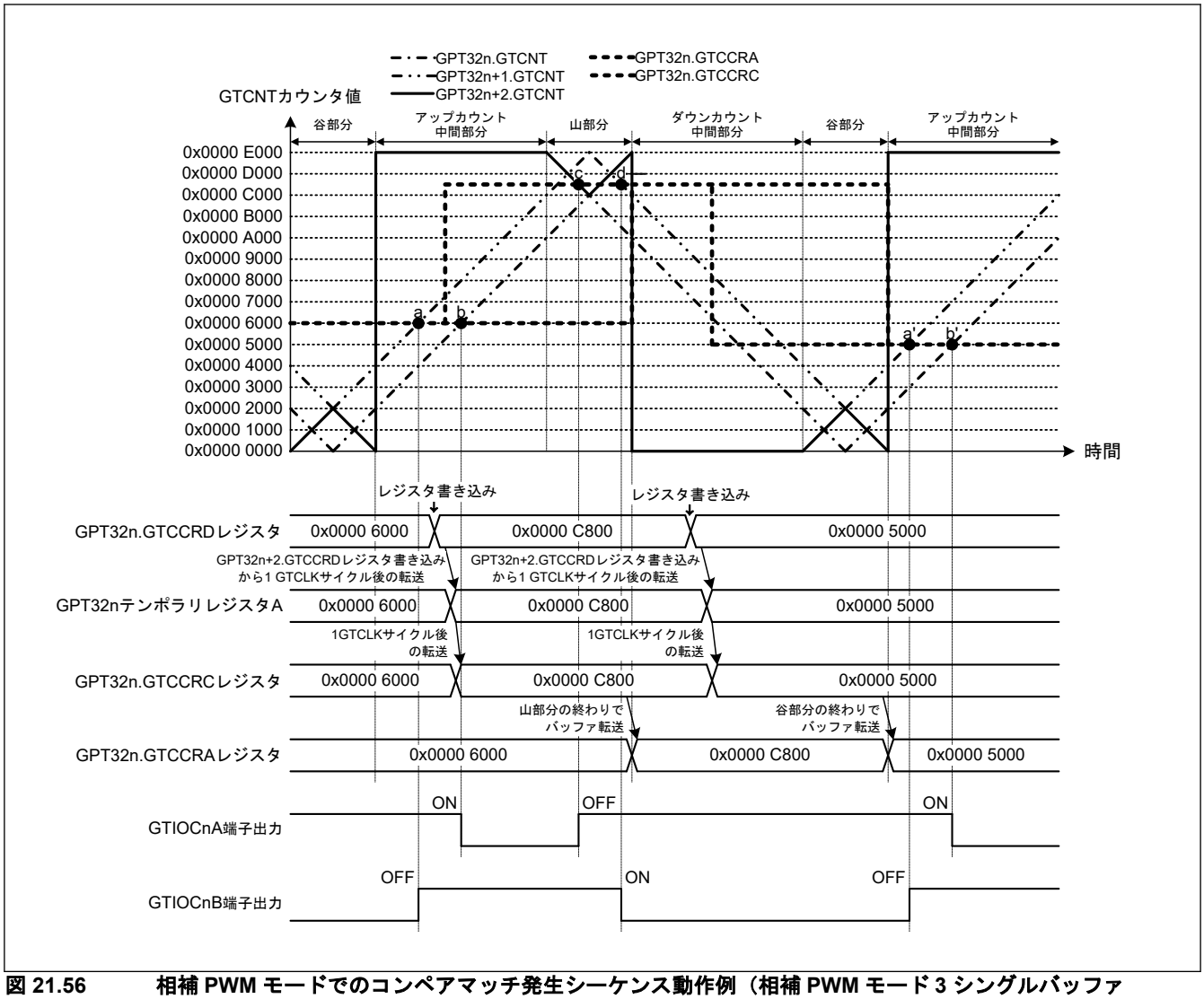


図 21.56 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：a → b → c → d）（n = 4、7）

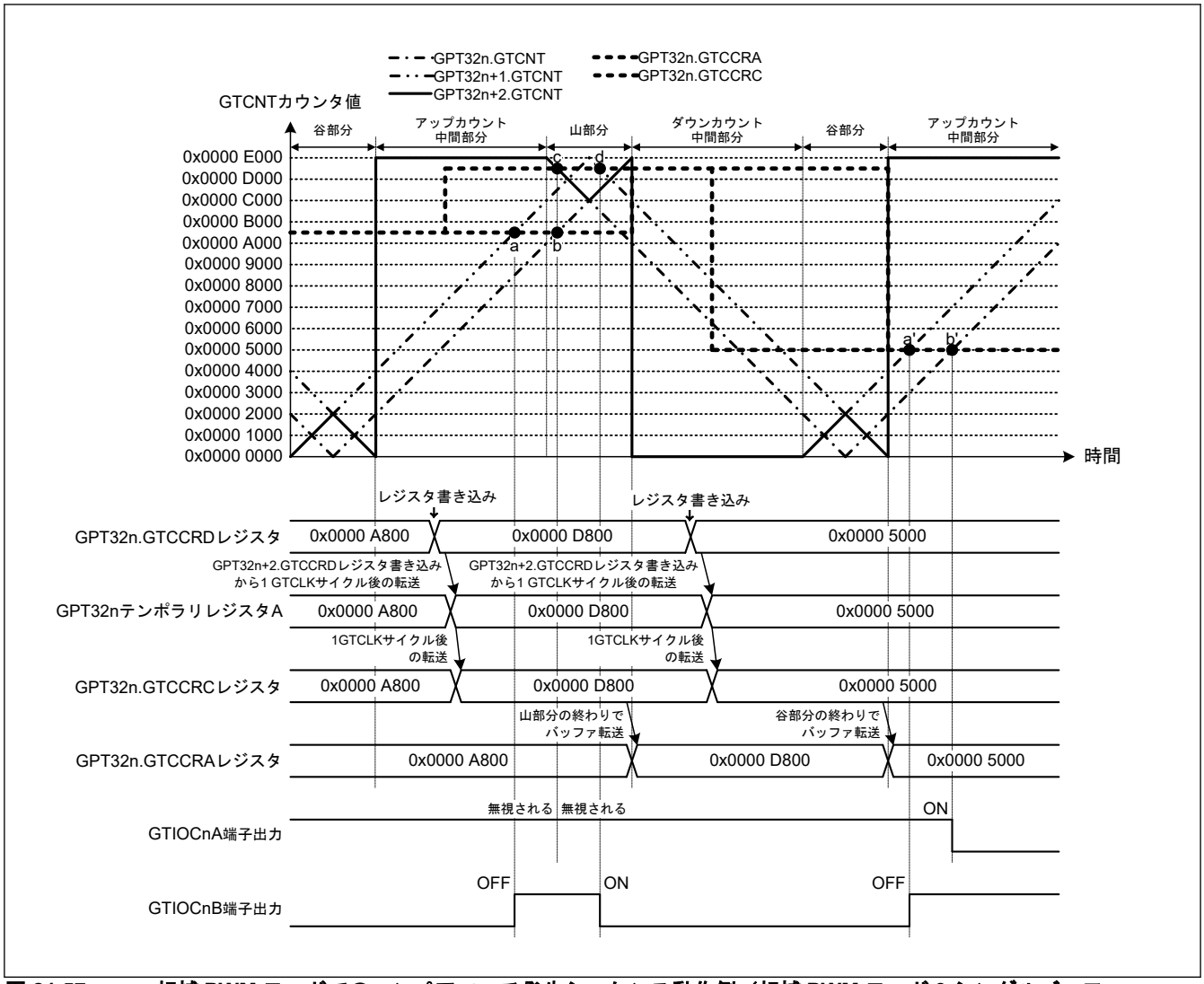


図 21.57 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：a →（b、c）→ d）（n = 4、7）

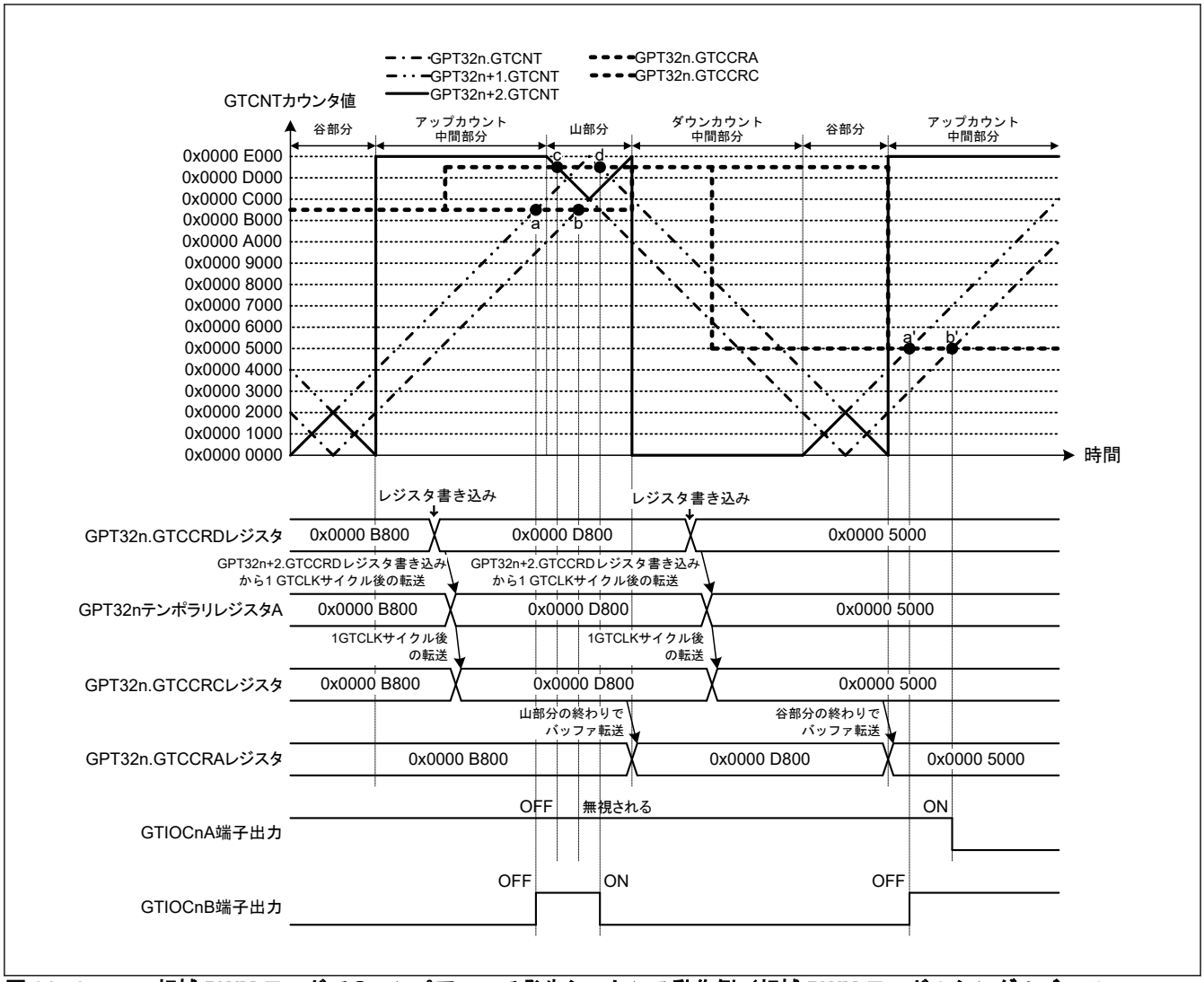


図 21.58 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：a → c → b → d）（n = 4、7）

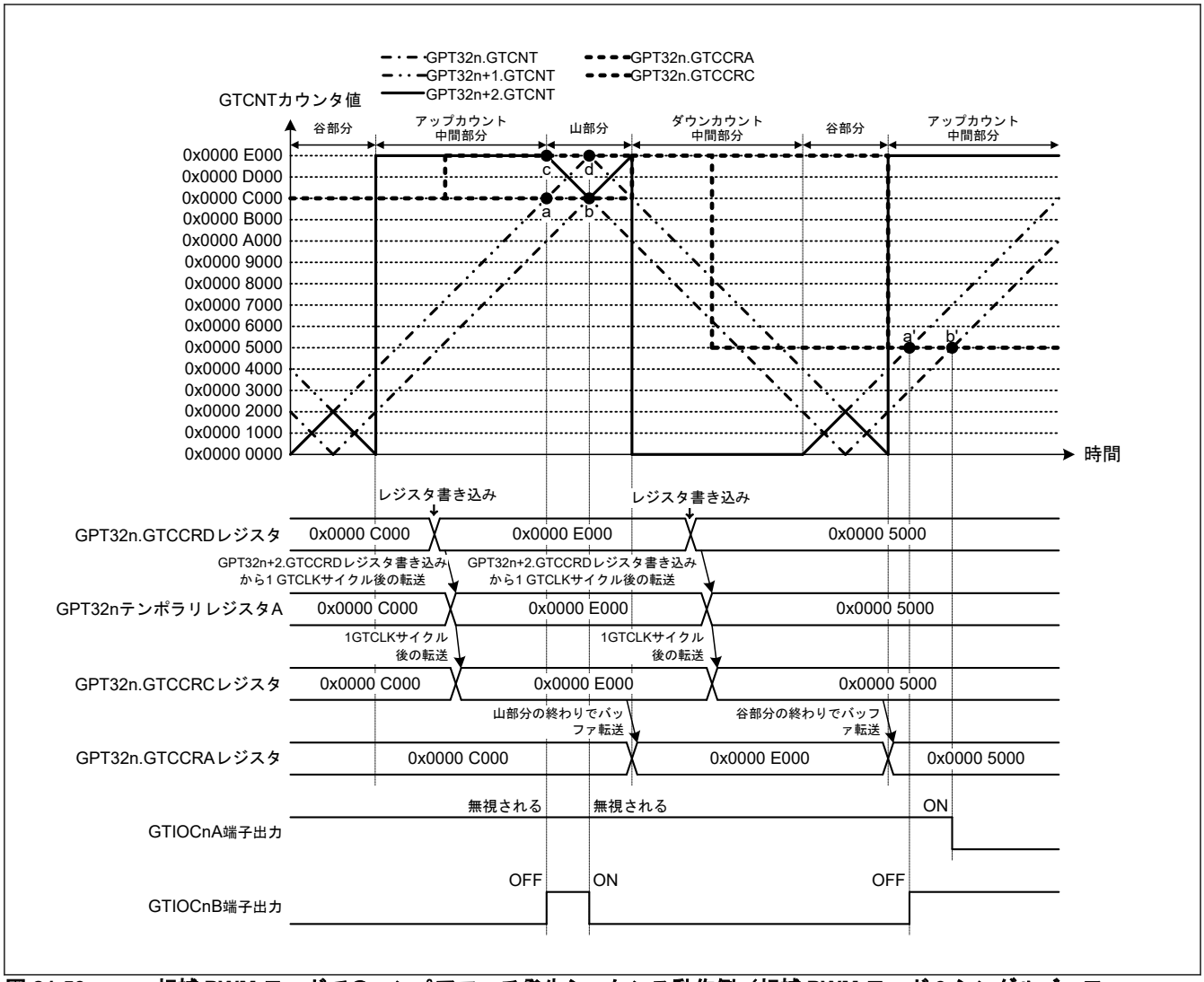


図 21.59 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：（a、c）→（b、d））（n = 4、7）

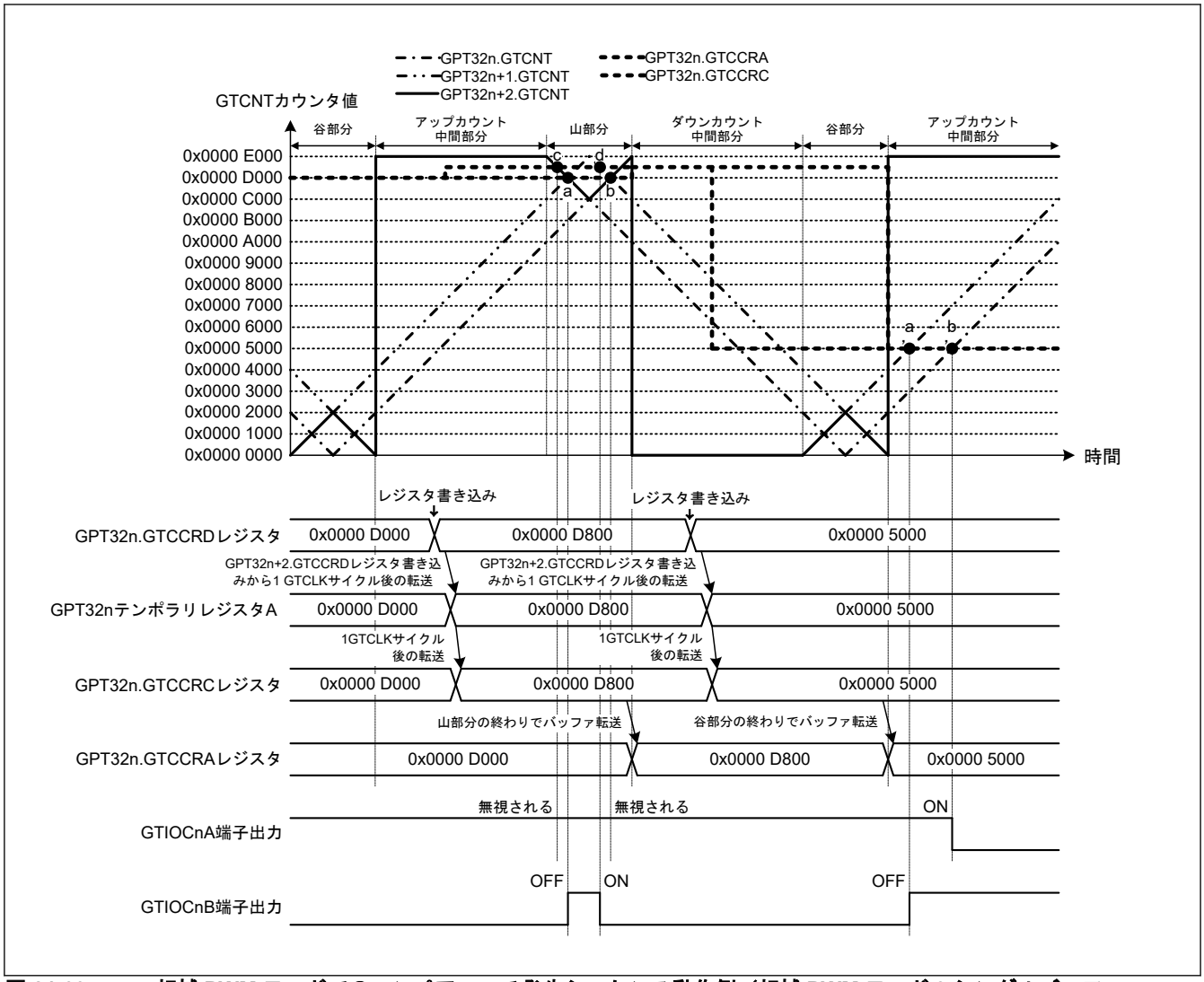


図 21.60 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：c → a → d → b）（n = 4、7）

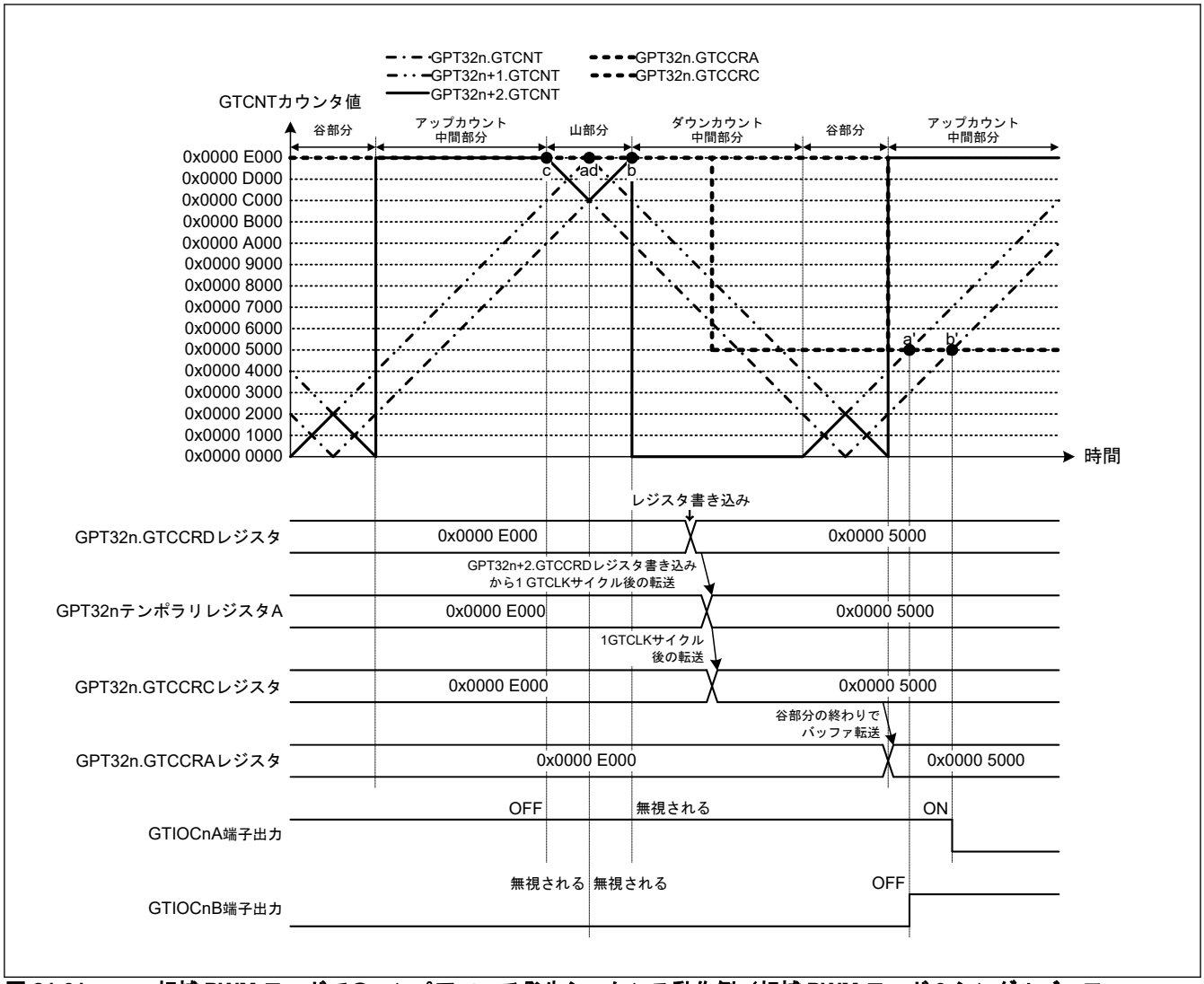


図 21.61 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：c →（a、d）→ b）（n = 4、7）

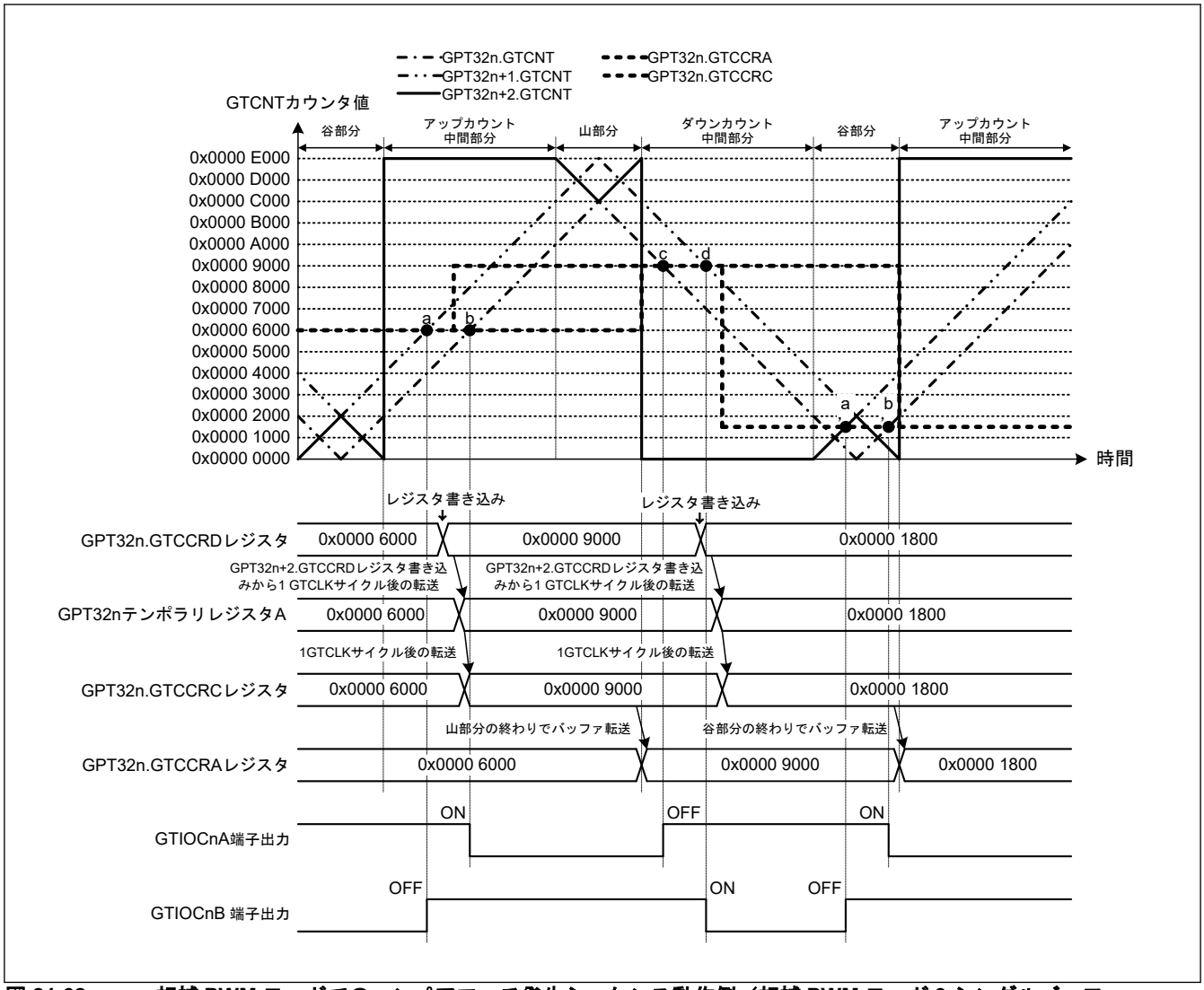


図 21.62 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：c → d → a’ → b’）（n = 4、7）

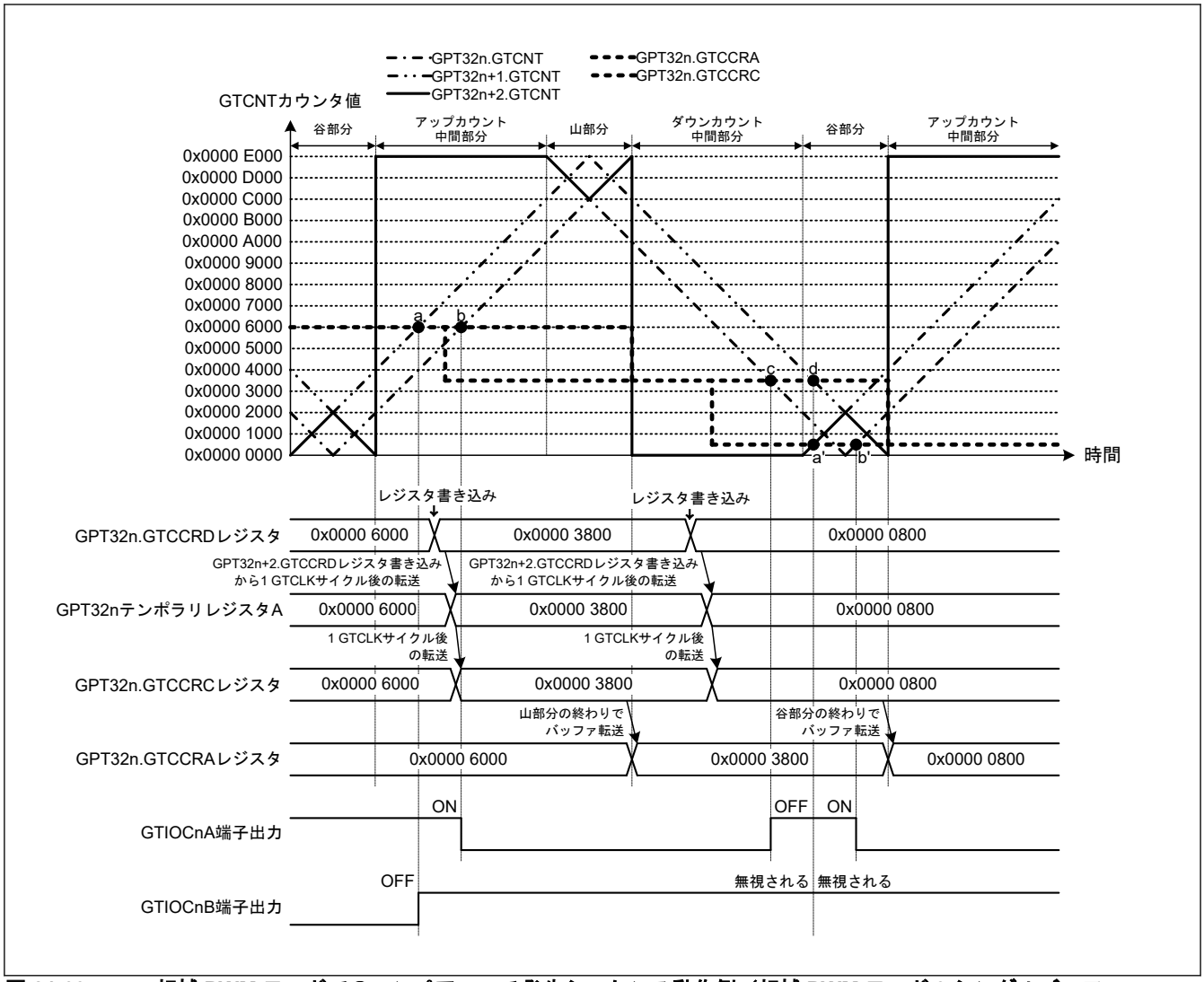


図 21.63 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：c →（d、a’）→ b’）（n = 4、7）

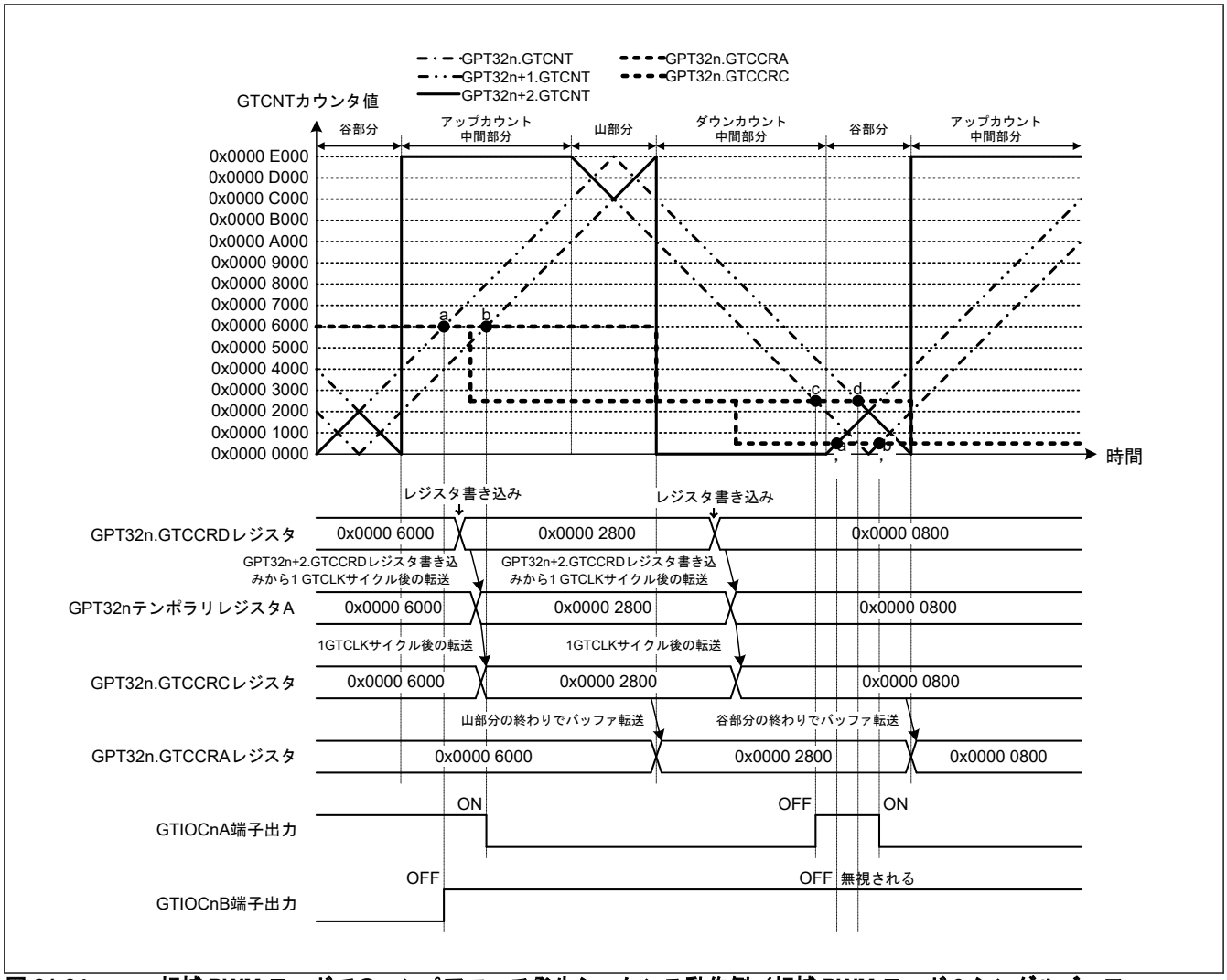


図 21.64 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：c → a’ → d → b’）（n = 4、7）

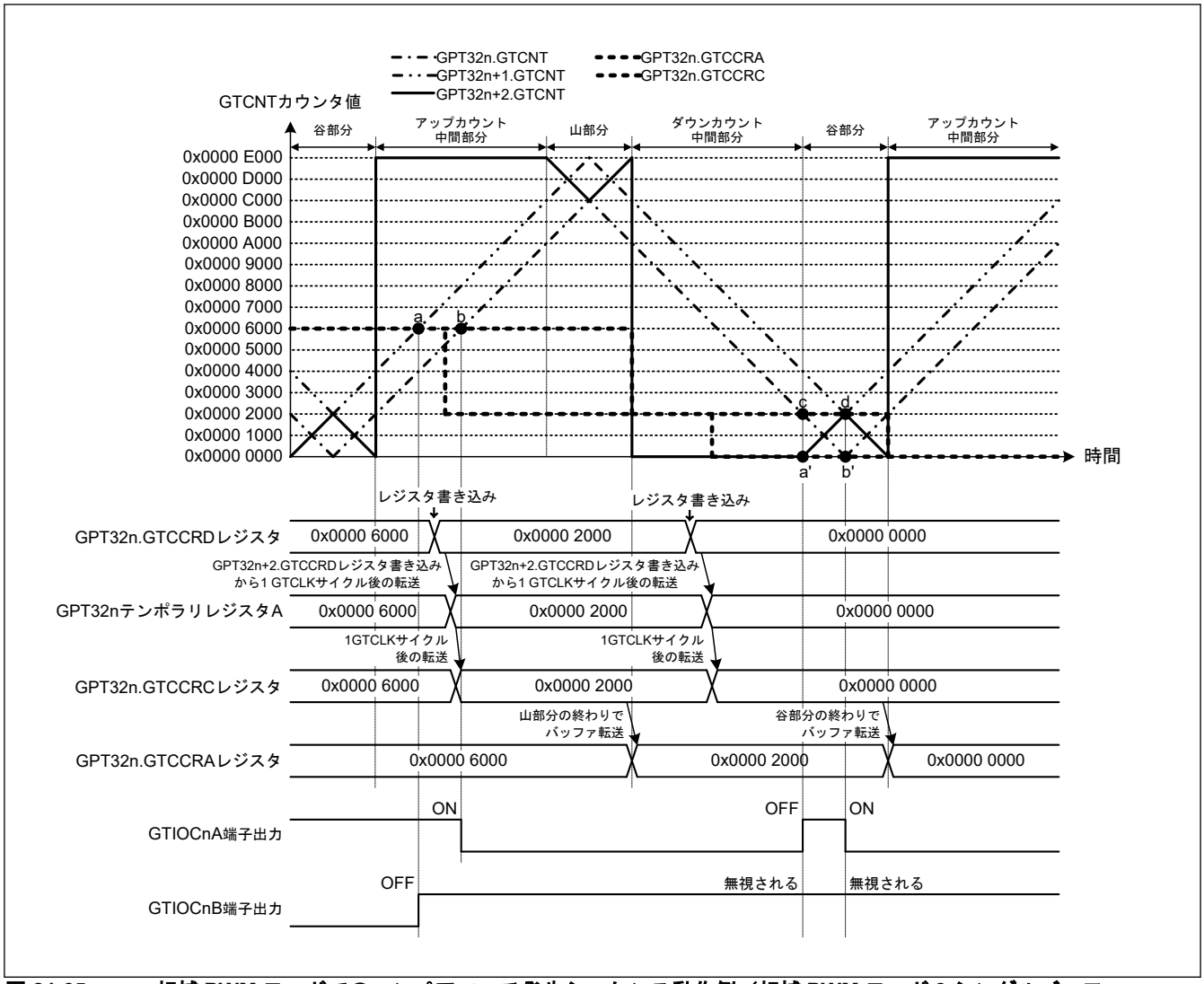


図 21.65 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：（c、a’）→（d、b’））（n = 4、7）

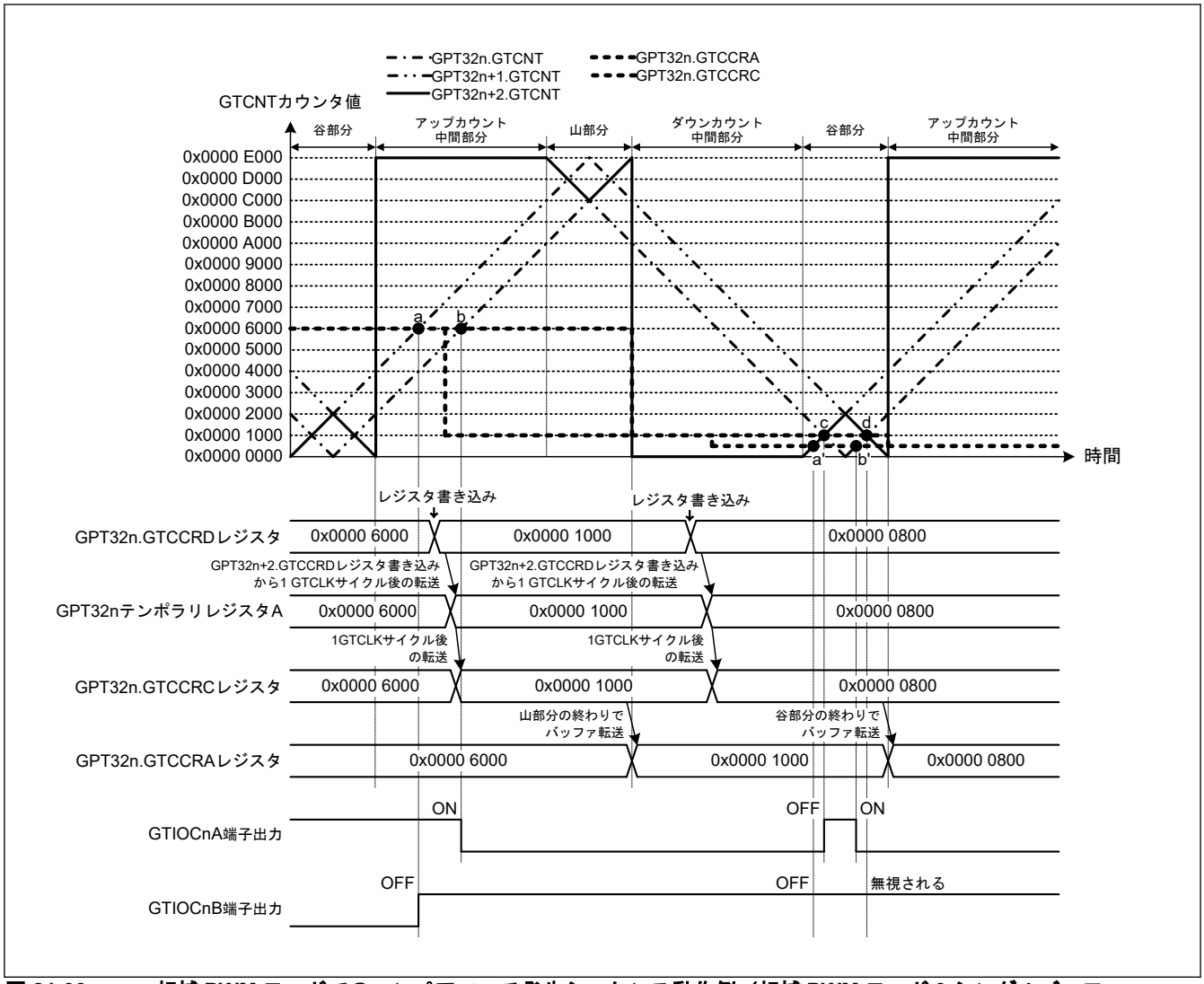


図 21.66 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：a' → c → b' → d）（n = 4、7）

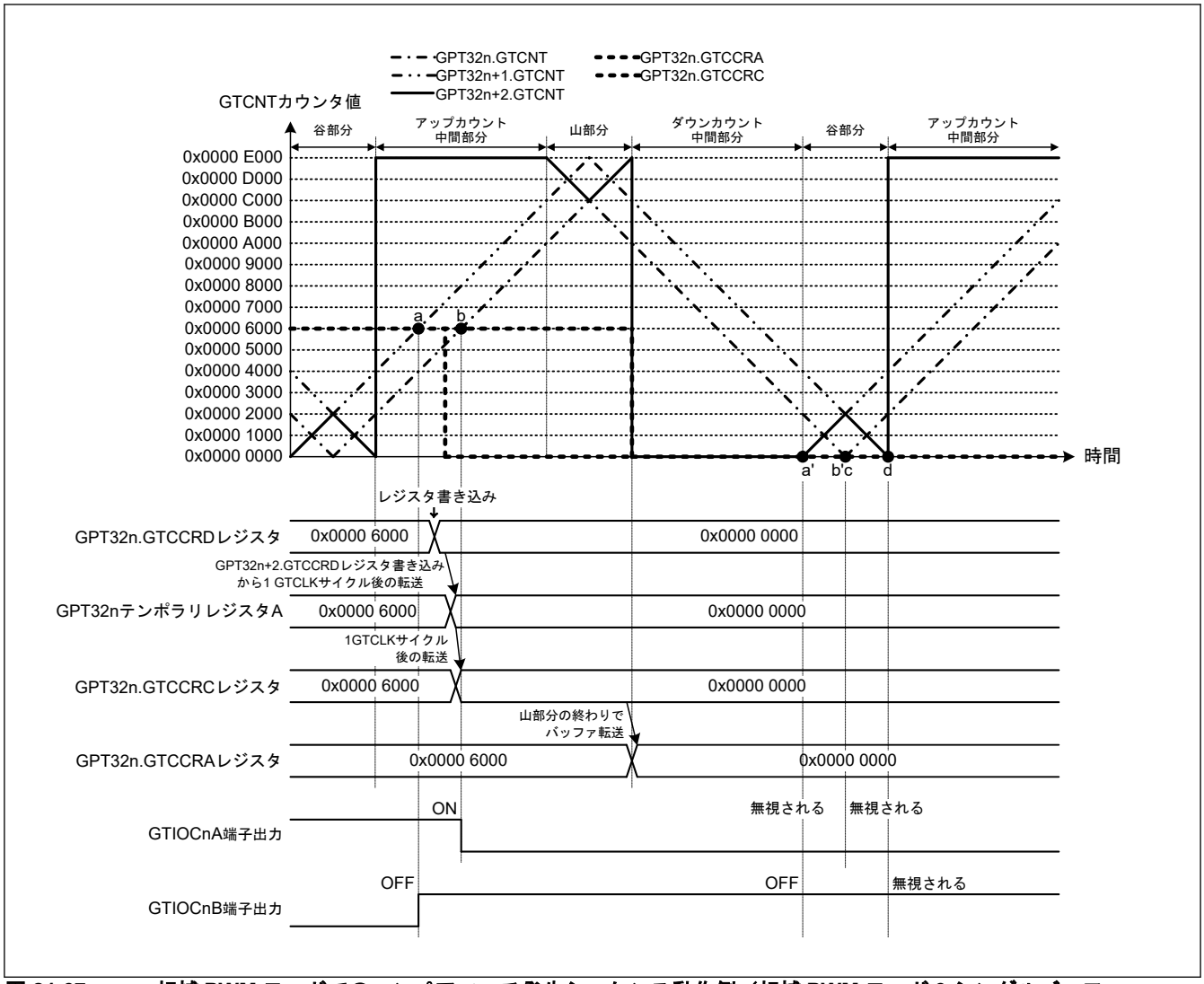


図 21.67 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：a’ →（b’、c）→ d）（n = 4、7）

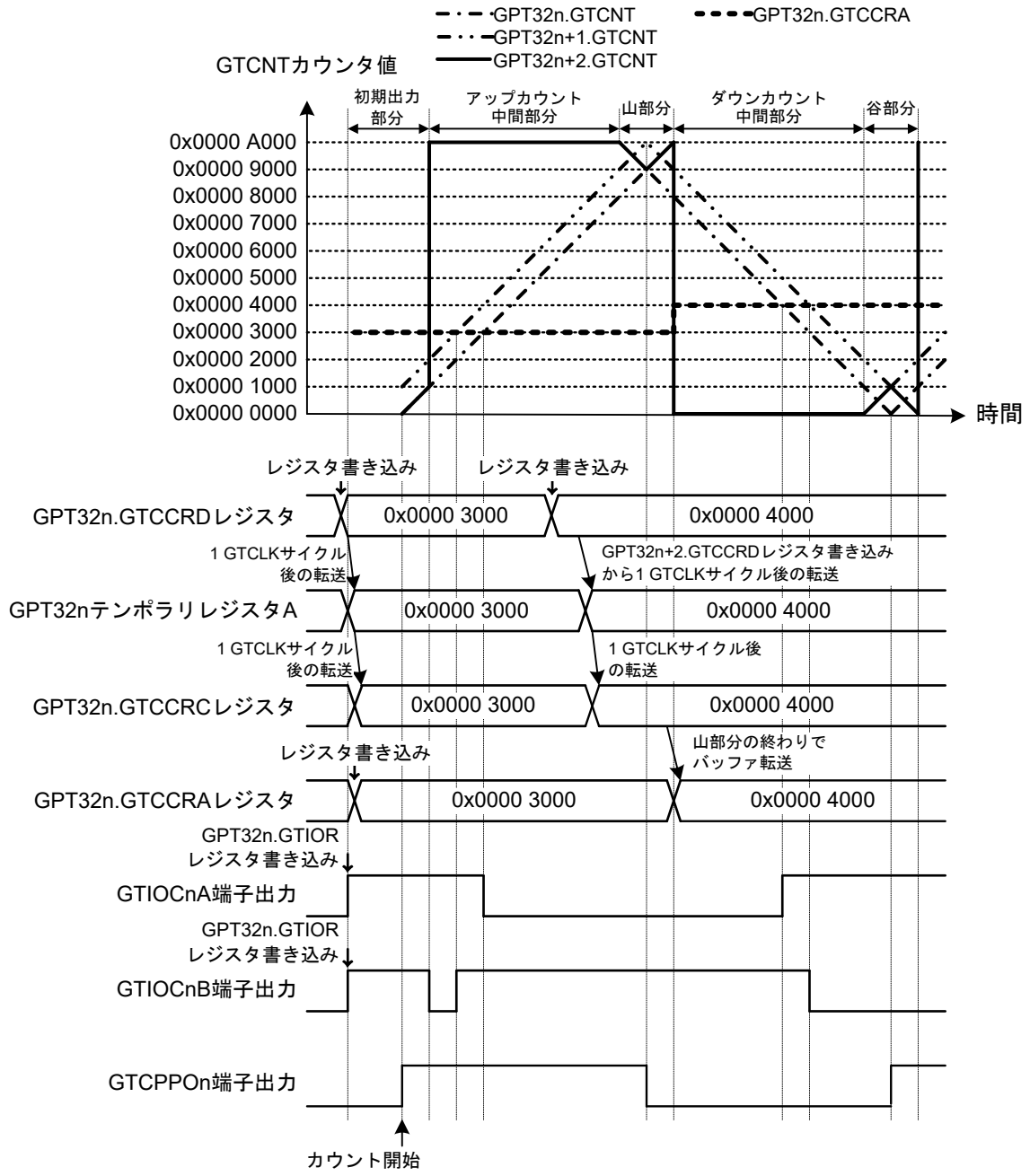


図 21.68 相補 PWM モード初期出力動作例（相補 PWM モード 1 動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、初期 GTCCRA レジスタ値がデッドタイム値より大きい場合）（n = 4、7）

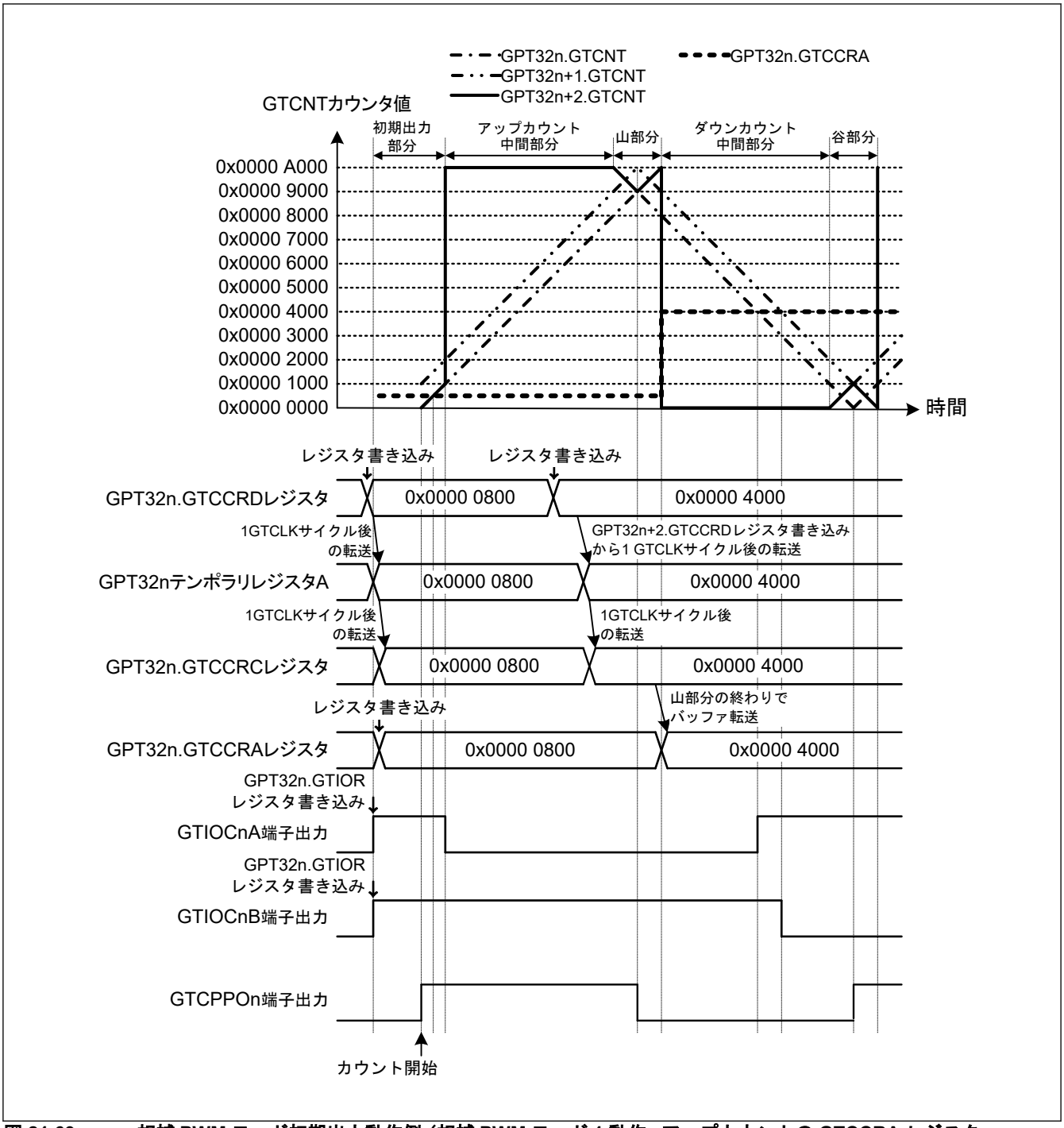


図 21.69　相補 PWM モード初期出力動作例（相補 PWM モード 1 動作、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、デッドタイム値 : 0x0000 1000、初期 GTCCRA レジスタ値がデッドタイム値以下の場合）（n = 4、7）

表 21.35　相補 PWM モード 1、2、3 の設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTP32n チャネルの GTCR.MD[3:0]ビットで動作モードを設定します。
2	カウントクロックの選択	GPT32n チャネルの GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GPT32n チャネルの GTPR レジスタに周期を設定します。
4	GTIOCnm／GTIOCn+1m／GTIOCn+2m 端子機能設定	GPT32n、GPT32n+1、GPT32n+2 の各チャネルの GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm、GTIOCn+1m、GTIOCn+2m 端子の機能を設定します。

表 21.35 相補 PWM モード 1、2、3 の設定例 (2/2)

No.	ステップ名	説明
5	GTCPPOn 端子出力許可設定	GPT32n チャネルの GTIOR レジスタの PSYE ビットで、GTCPPOn 端子からの PWM 同期出力の許可または禁止を設定します。
6	GTIOCnm／GTIOCn+1m／GTIOCn+2m 端子出力許可設定	GPT32n、GPT32n+1、GPT32n+2 の各チャネルの GTIOR レジスタの OAE ビット、OBE ビットに GTIOCnm、GTIOCn+1m、GTIOCn+2m 端子出力許可を設定します。
7	バッファ動作の設定	相補 PWM モード 3 では、GPT32n、GPT32n+1、GPT32n+2 チャネルの GTBER2.CP3DB ビットの設定により、バッファ動作を設定します。
8	コンペアマッチ値設定	GPT32n、GPT32n+1、GPT32n+2 の各チャネルの GTCCRA レジスタにカウント開始後アップカウント中の出力端子変更ポイントを設定します。
9	バッファ値設定	シングルバッファ動作で、(カウント開始後の最初の GTCCRA レジスタへのバッファ転送で転送される）データを GTCCRD レジスタに設定します。 相補 PWM モード 2 のバッファ動作で最初のバッファ転送が実施されないため、GTCCRA レジスタと同じ値を GTCCRD レジスタに設定します。 相補 PWM モード 3 でのダブルバッファ動作時は、最初の山の終わりに転送するデータを GTCCRD レジスタに、最初の谷の終わりに転送するデータを GTCCRF レジスタに設定します。
10	デッドタイム値設定	デッドタイム値を GTP32n チャネルの GTDVU レジスタに設定します。
11	カウント動作開始	GPT32n チャネルの GTCR.CST ビットを 1 にしてカウント動作を開始してください。
12	周期ごとのバッファ値設定	シングルバッファ動作で、(GTCCRA レジスタへの次のバッファ転送で転送される）データを GTCCRD レジスタに設定します。 相補 PWM モード 3 のダブルバッファ動作で、次のバッファ転送で転送されるデータを GTCCRF レジスタに設定します。 最終的に GPT32n+2.GTCCRD レジスタに対する設定を行ってください。データはテンポラリレジスタへ転送されます。

注. n = 4、7
m = A、B

21.3.3.8 相補 PWM モード 4

相補 PWM モード 4 では、山または谷の転送タイミングの前のテンポラリレジスタへの転送中に GTCCRA レジスタにもデータを転送することにより、GTCCRD レジスタと GTCCRF レジスタの書き込み値を即座にコンペアマッチ動作に適用します。

図 21.70 に、相補 PWM モード 4 のブロック図を示します。

相補 PWM モード 4 の構成では、GTCCRD レジスタから GTCCRC、GTCCRA レジスタへのバッファ転送経路と GTCCRF レジスタから GTCCRE、GTCCRA レジスタへのバッファ転送経路が表 21.35 に示す他の相補 PWM モードに追加されています。

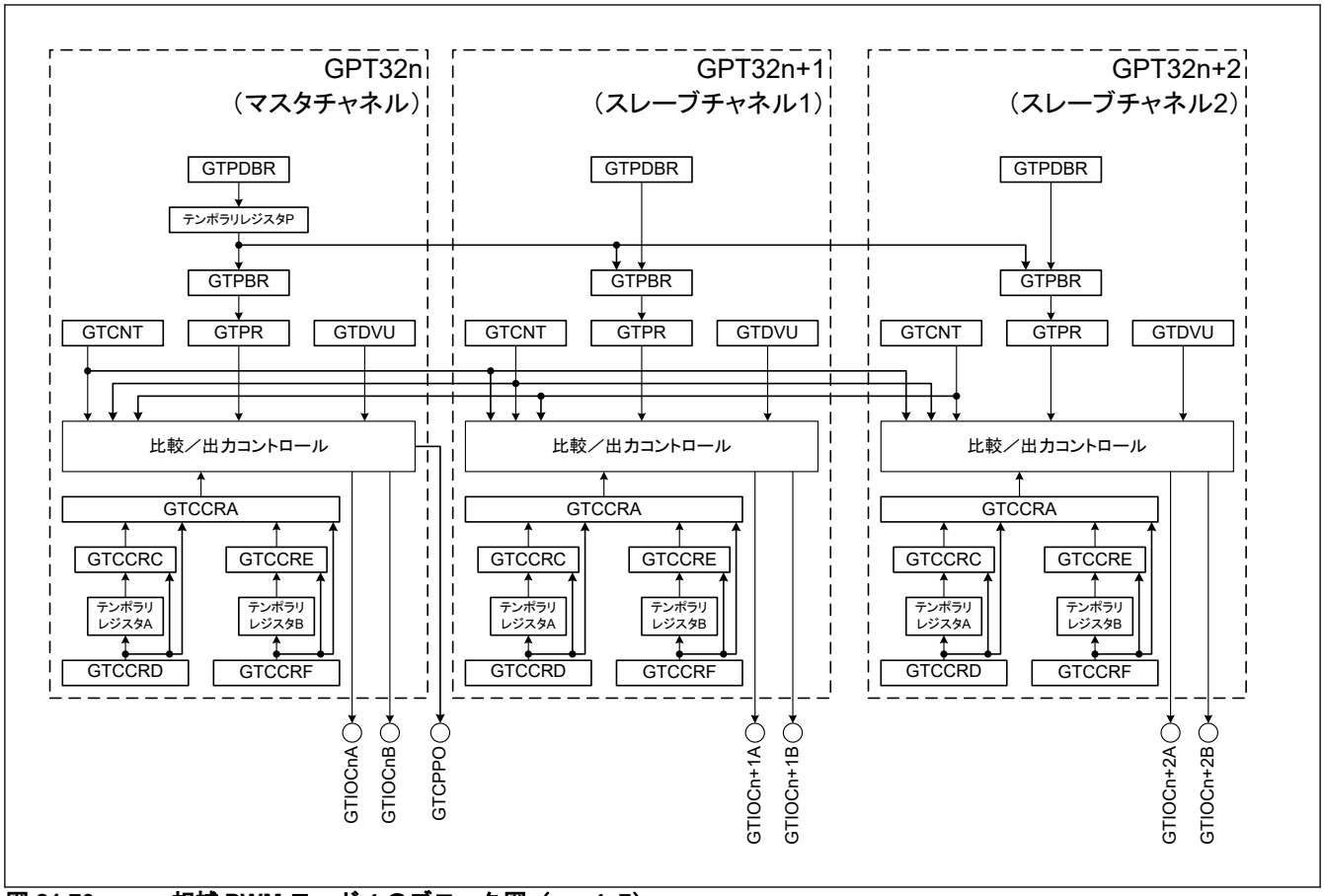


図 21.70　相補 PWM モード 4 のブロック図（n = 4, 7）

相補 PWM モード 1～3 と同様にカウント動作を実行します。表 21.30 と表 21.31 を参照してください。

相補 PWM モード 4 でのバッファ動作と PWM 波形の変更に関しては、相補 PWM モード 3 の動作を基にして GTCCRD、GTCCRF レジスタからのバッファ転送（図 21.70 参照）が追加されます。バッファ転送と PWM 波形は、動作部分、GTCCRA レジスタとの比較状態、および書き込み値に従って制御されます。

GTCCRF レジスタの書き込みによるダブルバッファ機能は、GTBER2.CP3DB ビットで有効／無効の設定ができます。ダブルバッファ動作時は、GTCCRD レジスタの書き込み値はダウンカウント時の正相 OFF（逆相 ON）のコンペアマッチ値として使用し、GTCCRF レジスタの書き込み値はアップカウント時の逆相 OFF（正相 ON）のコンペアマッチ値として使用します。転送レジスタ、転送値、および PWM 出力の変更は動作部分（値の書き込み先）、GTCCRA レジスタとの比較状態、および書き込み値により制御されます。

ダブルバッファ動作はアップカウント中間部分とダウンカウント中間部分でのみ保証されます。デッドタイム値以下かつカウント周期以上の値は設定禁止です。

シングルバッファ動作時は、コンペアマッチ値は GTCCRD レジスタにのみ書き込まれ、転送レジスタ、転送値、および PWM 出力の変更は、動作部分（値の書き込み先）、GTCCRA レジスタとの比較状態、および書き込み値により制御されます。

GTCCRD レジスタからテンポラリレジスタ A の転送と GTCCRF レジスタからテンポラリレジスタ B への転送は、その他の相補 PWM モードと同じ方法で実行します。GPT32n+2.GTCCRD レジスタに値を書き込むことにより、3 つのチャネルで同時に転送を実行します。GTCCRD レジスタから GTCCRC レジスタ、GTCCRA レジスタ、テンポラリレジスタ B、GTCCRE レジスタへの転送、および GTCCRF レジスタから GTCCRE レジスタ、GTCCRA レジスタへの転送は、前述のテンポラリレジスタへの転送と同時に実行します。

表 21.36 と表 21.37 に、相補 PWM モード 4 のシングルバッファ動作時での GTCCRD レジスタへの値の書き込みによる、GTCCRC レジスタ、GTCCRA レジスタへの即時バッファ転送（GPT32n+2.GTCCRD レジスタへの値の書き込みによるテンポラリレジスタへの転送の場合）を各動作部分のコンペアマッチ状態ごとに示します。表 21.36 と表 21.37 に示す以外の転送（GTCCRD レジスタからテンポラリレジスタ A,、テンポラリレジスタ A から GTCCRC レジスタ、GTCCRC レジスタから GTCCRA レジスタへの転送）は、表 21.32 に示す相補 PWM モード 3 のシングルバッファ転送と同じです。

表 21.38 と表 21.39 に、相補 PWM モード 4 のダブルバッファ動作時での GTCCRD、GTCCRF への値の書き込みによる、各レジスタへの即時バッファ転送（GPT32n+2.GTCCRD レジスタへの値の書き込みによるテンポラリレジスタへの転送の場合）を各動作部分のコンペアマッチ状態ごとに示します。表 21.38 と表 21.39 に示す以外の転送（GTCCRD レジスタからテンポラリレジスタ A,、GTCCRF レジスタからテンポラリレジスタ B、テンポラリレジスタ A から GTCCRC レジスタ、テンポラリレジスタ B から GTCCRE レジスタ、GTCCRC、GTCCRE レジスタから GTCCRA レジスタへの転送）は、表 21.33 に示す相補 PWM モード 3 のダブルバッファ転送と同じです。

表 21.36 相補 PWM モード 4 の GTCCRD レジスタからのシングルバッファ即時転送 (1/2)

動作部分	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	GTCCRA
アップカウント中間部分	アップカウントのコンペアマッチ前	GTCCRD	(i) GTCCRD ＞ GPT32n +1.GTCNT の場合 GTCCRD (ii) GTCCRD≦GPT32+1.GTCNT の場合 GPT32n+1.GTCNT 逆相 OFF
	アップカウントのデッドタイム期間	GTCCRD	転送なし
	アップカウントのコンペアマッチ後	GTCCRD	転送なし
アップカウント山部分	アップカウントのコンペアマッチ前	ダウンカウントのコンペアマッチ前 GTCCRD ダウンカウントのデッドタイム開始後 転送なし	ダウンカウントのコンペアマッチ前 (i) GTCCRD ＞ GPT32n +1.GTCNT の場合 GTCCRD (ii) GTCCRD≦GPT32n +1.GTCNT の場合 GPT32n+1.GTCNT 逆相 OFF ダウンカウントのデッドタイム開始後 転送なし
	アップカウントのデッドタイム期間	ダウンカウントのコンペアマッチ前 GTCCRD ダウンカウントのデッドタイム開始後 転送なし	転送なし
	アップカウントのコンペアマッチ後	ダウンカウントのコンペアマッチ前 (i) GTCCRD ＜ GPT32n +2.GTCNT の場合 GTCCRD (ii) GTCCRD≧GPT32n +2.GTCNT の場合 GPT32n+2.GTCNT 正相 OFF ダウンカウントのデッドタイム開始後 転送なし	転送なし

表 21.36　相補 PWM モード 4 の GTCCRD レジスタからのシングルバッファ即時転送 (2/2)

動作部分	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	GTCCRA
ダウンカウント山部分	ダウンカウントのコンペアマッチ前	アップカウントのデッドタイム期間 (i) GTCCRD ＜ GPT32n+1.GTCNT の場合 GTCCRD (ii) GTCCRD≧GPT32n+1.GTCNT の場合 GPT32n+1.GTCNT 逆相 ON アップカウントのコンペアマッチ後 (i) GTCCRD ＜ GPT32n.GTCNT の場合 GTCCRD (ii) GTCCRD≧GPT32n.GTCNT の場合 GPT32n.GTCNT 正相 OFF	転送なし
	ダウンカウントのデッドタイム期間	転送なし	転送なし
	ダウンカウントのコンペアマッチ後	転送なし	転送なし

表 21.37　相補 PWM モード 4 の GTCCRD レジスタからのシングルバッファ即時転送 (1/2)

動作部分	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	GTCCRA
ダウンカウント中間部分	ダウンカウントのコンペアマッチ前	GTCCRD	(i) GTCCRD ＜ GPT32n.GTCNT の場合 GTCCRD (ii) GTCCRD≧GPT32n.GTCNT の場合 GPT32n.GTCNT 正相 OFF
	ダウンカウントのデッドタイム期間	GTCCRD	転送なし
	ダウンカウントのコンペアマッチ後	GTCCRD	転送なし

表 21.37 相補 PWM モード 4 の GTCCRD レジスタからのシングルバッファ即時転送 (2/2)

動作部分	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	GTCCRA
ダウンカウント谷部分	ダウンカウントのコンペアマッチ前	アップカウントのコンペアマッチ前 GTCCRD アップカウントのデッドタイム開始後 転送なし	アップカウントのコンペアマッチ前 (i) GTCCRD ＜ GPT32n.GTCNT の場合 GTCCRD (ii) GTCCRD≧GPT32n.GTCNT の場合 GPT32n.GTCNT 正相 OFF アップカウントのデッドタイム開始後 転送なし
	ダウンカウントのデッドタイム期間	アップカウントのコンペアマッチ前 GTCCRD アップカウントのデッドタイム開始後 転送なし	転送なし
	ダウンカウントのコンペアマッチ後	アップカウントのコンペアマッチ前 (i) GTCCRD ＞ GPT32n+2.GTCNT の場合 GTCCRD (ii) GTCCRD≦GPT32n+2.GTCNT の場合 GPT32n+2.GTCNT 逆相 OFF アップカウントのデッドタイム開始後 転送なし	転送なし
アップカウント谷部分	アップカウントのコンペアマッチ前	ダウンカウントのデッドタイム期間 (i) GTCCRD ＞ GPT32n.GTCNT の場合 GTCCRD (ii) GTCCRD≦GPT32n.GTCNT の場合 GPT32n.GTCNT 正相 ON ダウンカウントのコンペアマッチ後 (i) GTCCRD ＞ GPT32n+1.GTCNT の場合 GTCCRD (ii) GTCCRD≦GPT32n+1.GTCNT の場合 GPT32n+1.GTCNT 逆相 OFF	転送なし
	アップカウントのデッドタイム期間	転送なし	転送なし
	アップカウントのコンペアマッチ後	転送なし	転送なし

表 21.38　相補 PWM モード 4 の GTCCRD、GTCCRF レジスタからのダブルバッファ即時転送

動作部分	コンペアマッチ状態	即時転送先レジスタ		
		GTCCRC	GTCCRE	GTCCRA
アップカウント中間部分	アップカウントのコンペアマッチ前	GTCCRD	GTCCRF	(i) GTCCRF ＞ GPT32n+1.GTCNT の場合 GTCCRF (ii) GTCCRF≦ GPT32+1.GTCNT の場合 GPT32n+1.GTCNT 逆相 OFF
	アップカウントのデッドタイム期間	GTCCRD	GTCCRF	転送なし
	アップカウントのコンペアマッチ後	GTCCRD	GTCCRF	転送なし

表 21.39　相補 PWM モード 4 の GTCCRD、GTCCRF レジスタからのダブルバッファ即時転送

動作部分	コンペアマッチ状態	即時転送先レジスタ		
		GTCCRC	GTCCRE	GTCCRA
ダウンカウント中間部分	ダウンカウントのコンペアマッチ前	GTCCRD	GTCCRF	(i) GTCCRD ＜ GPT32n.GTCNT の場合 GTCCRD (ii) GTCCRD≧ GPT32n.GTCNT の場合 GPT32n.GTCNT 正相 OFF
	ダウンカウントのデッドタイム期間	GTCCRD	GTCCRF	転送なし
	ダウンカウントのコンペアマッチ後	GTCCRD	GTCCRF	転送なし

図 21.71～図 21.75 に、相補 PWM モード 4 でのシングルバッファ動作例を動作部分ごとに示します。

図 21.76～図 21.79 に、相補 PWM モード 4 セクションのダブルバッファ動作例をしましょう。

表 21.40 に、相補 PWM モード 4 の設定例を示します。

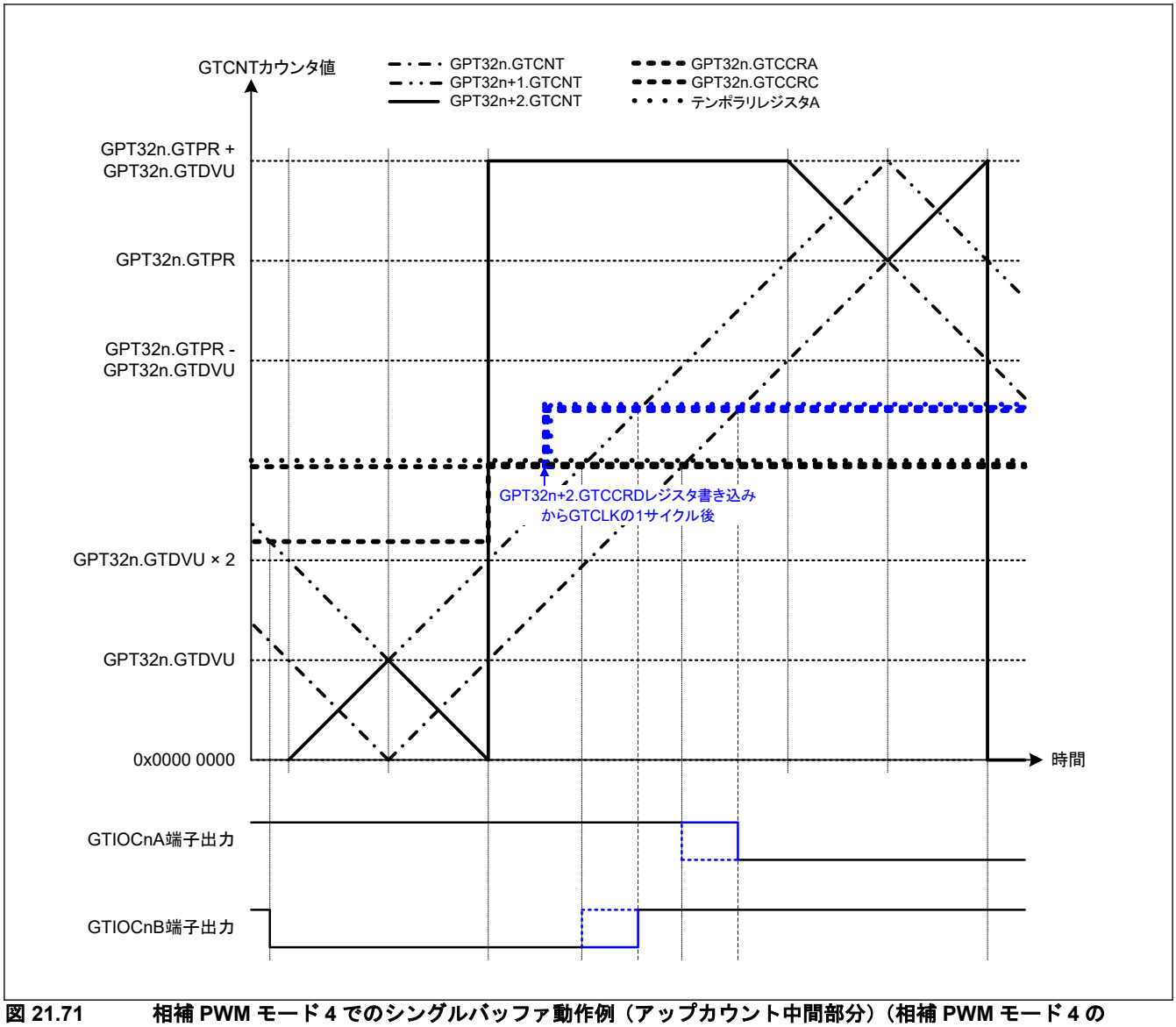


図 21.71 相補 PWM モード 4 でのシングルバッファ動作例（アップカウント中間部分）（相補 PWM モード 4 のシングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、アップカウントのコンペアマッチ前に GPT32n+1.GTCNT 値より大きい値を GTCCRD レジスタに書き込んだ場合）(n = 4, 7)

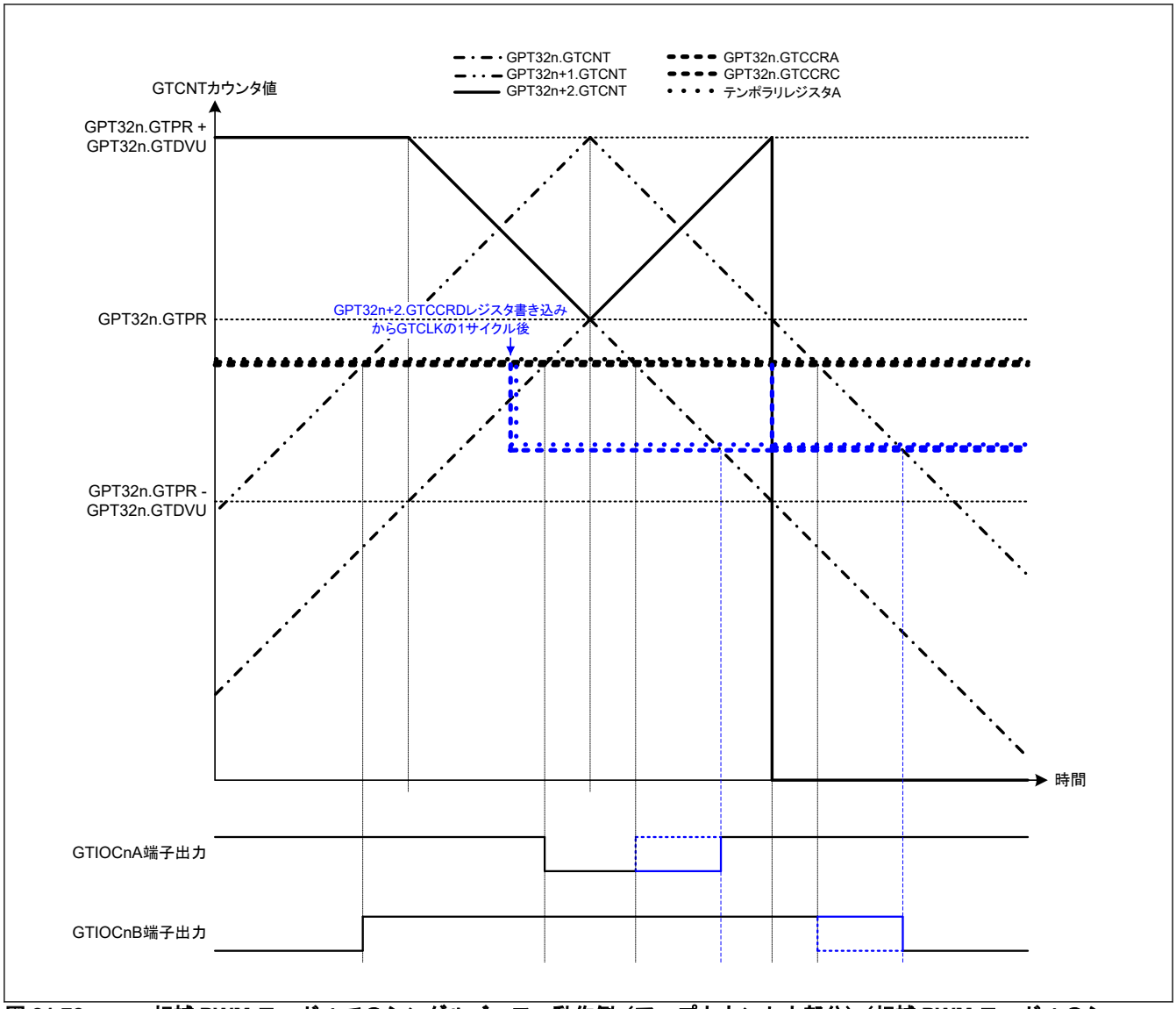


図 21.72 相補 PWM モード 4 でのシングルバッファ動作例（アップカウント山部分）（相補 PWM モード 4 のシングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、アップカウントのデッドタイム中に任意の値を GTCCRD レジスタに書き込んだ場合）(n = 4, 7)

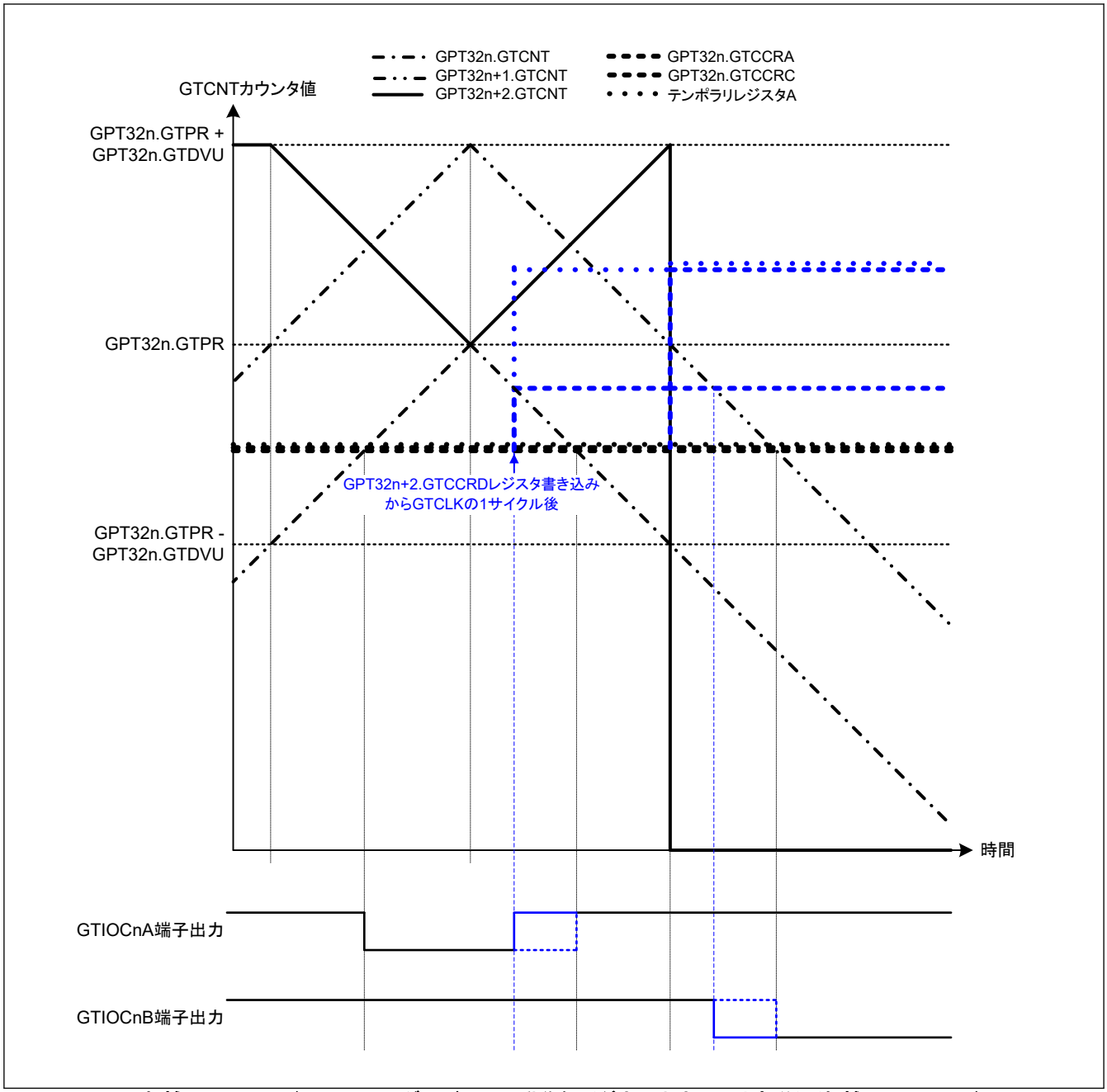


図 21.73 相補 PWM モード 4 でのシングルバッファ動作例（ダウンカウント山部分）（相補 PWM モード 4 のシングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low ／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、アップカウントのコンペアマッチ後でダウンカウントのコンペアマッチ前に GPT32n.GTCNT 値以上の値を GTCCRD レジスタに書き込んだ場合）(n = 4, 7)

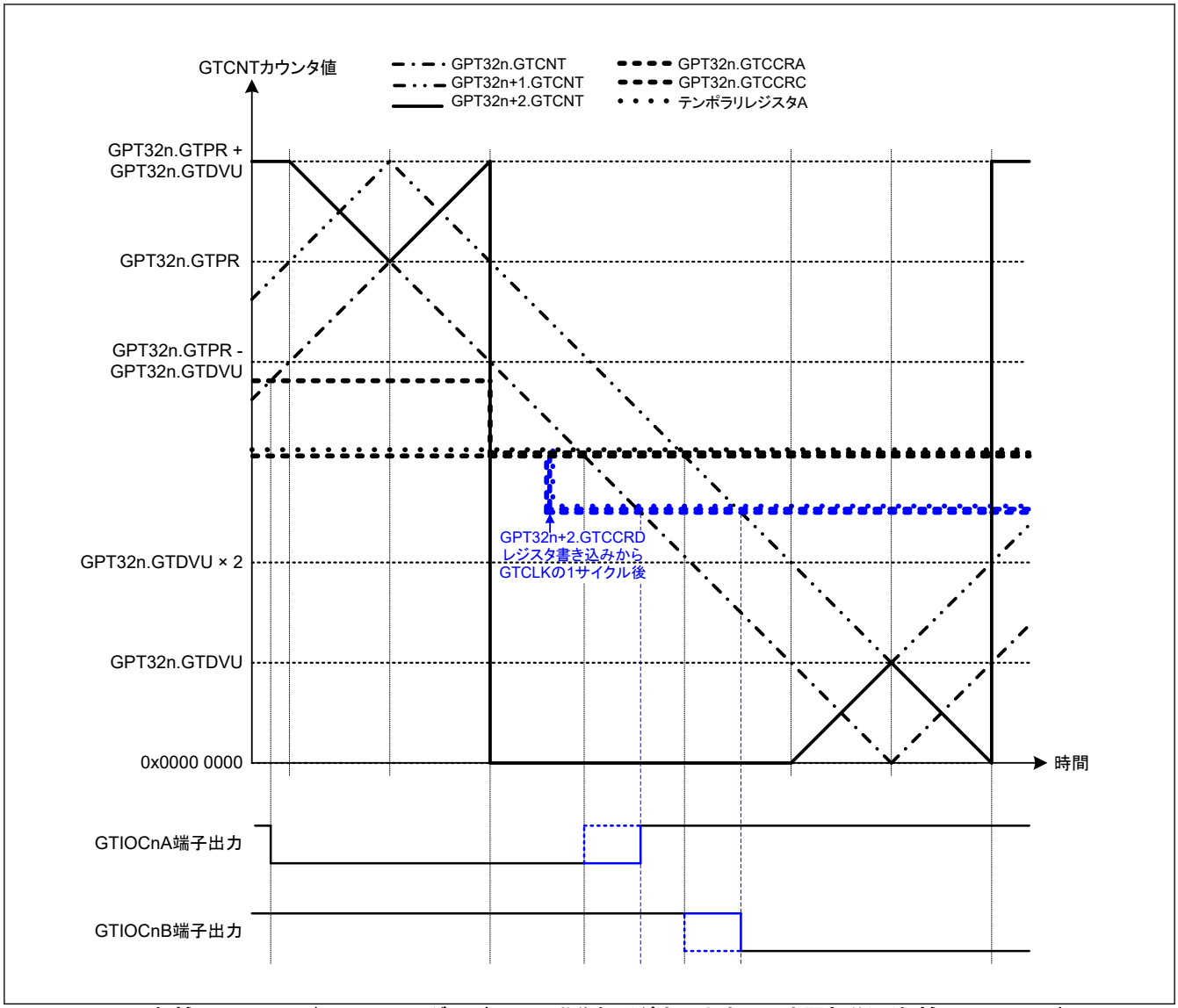


図 21.74 相補 PWM モード 4 でのシングルバッファ動作例（ダウンカウント中間部分）（相補 PWM モード 4 のシングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、ダウンカウントのコンペアマッチ前に GPT32n.GTCNT 値より小さい値を GTCCRD レジスタに書き込んだ場合）(n = 4, 7)

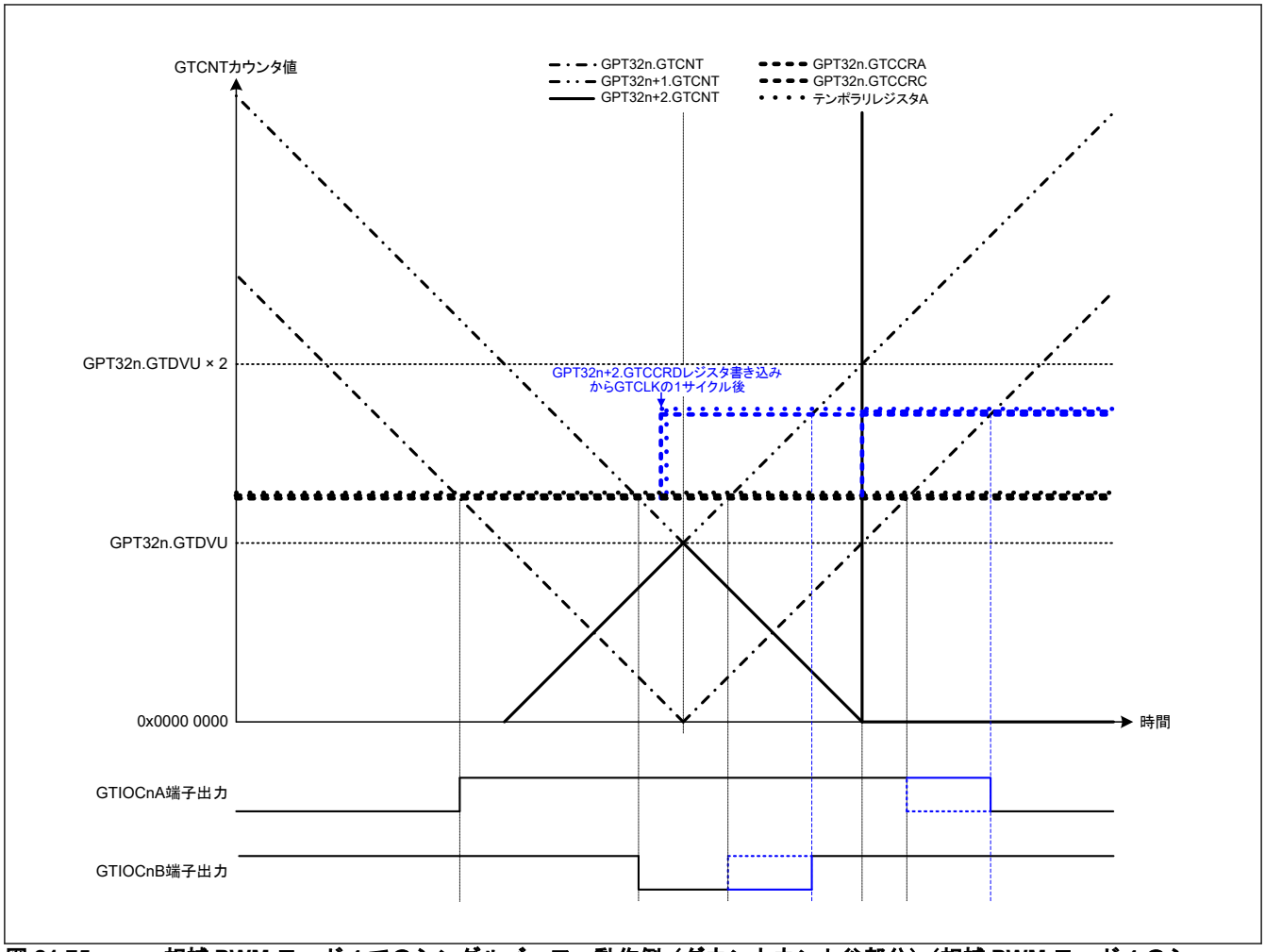


図 21.75 相補 PWM モード 4 でのシングルバッファ動作例（ダウンカウント谷部分）（相補 PWM モード 4 のシングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、ダウンカウントのコンペアマッチ後に GPT32n+2.GTCNT 値より大きい値を GTCCRD レジスタに書き込んだ場合）(n = 4, 7)

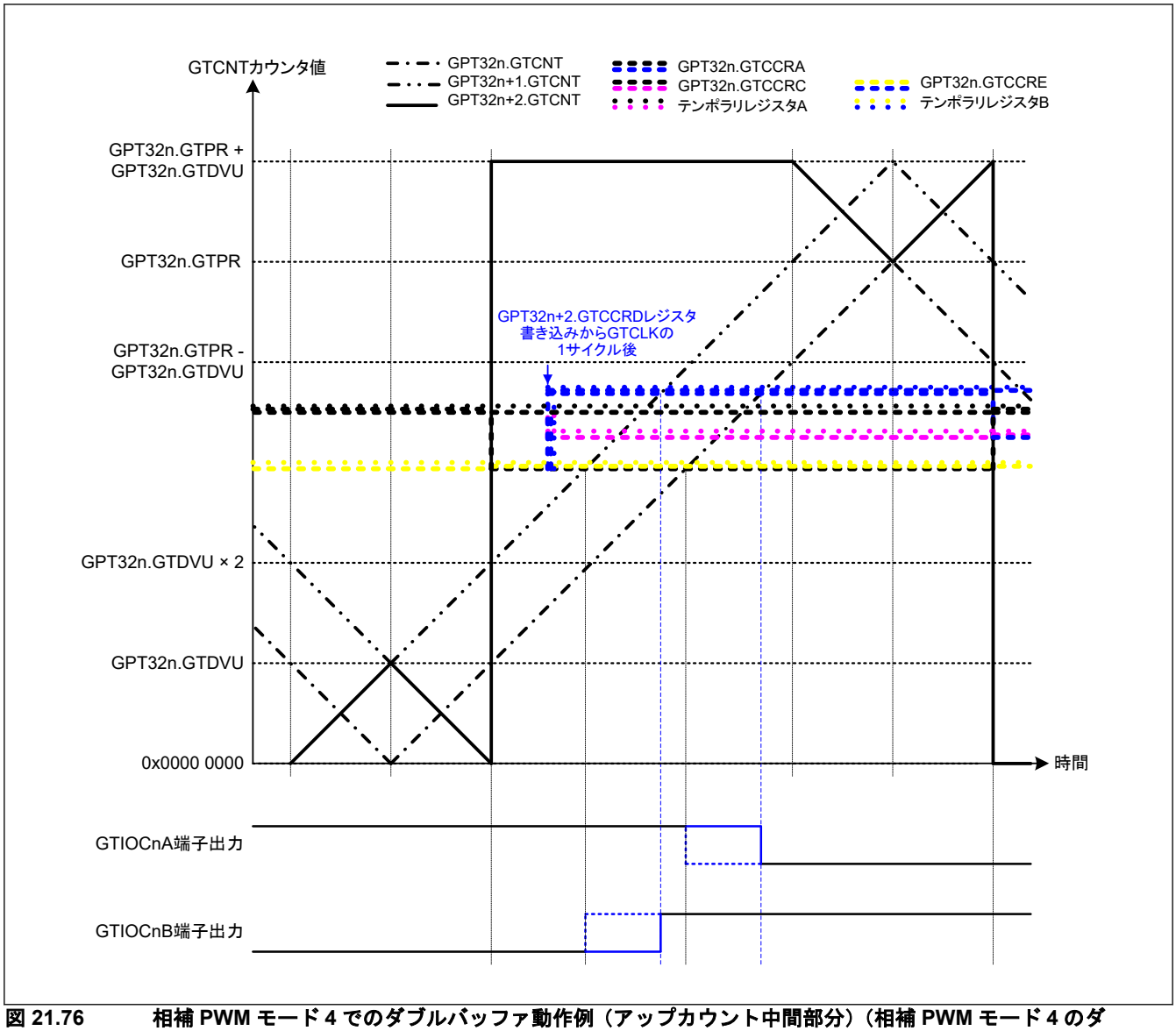


図 21.76 相補 PWM モード 4 でのダブルバッファ動作例（アップカウント中間部分）（相補 PWM モード 4 のダブルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、アップカウントのコンペアマッチ前に GPT32n+1.GTCNT 値より大きい値を GTCCRF レジスタに書き込んだ場合）(n = 4, 7)

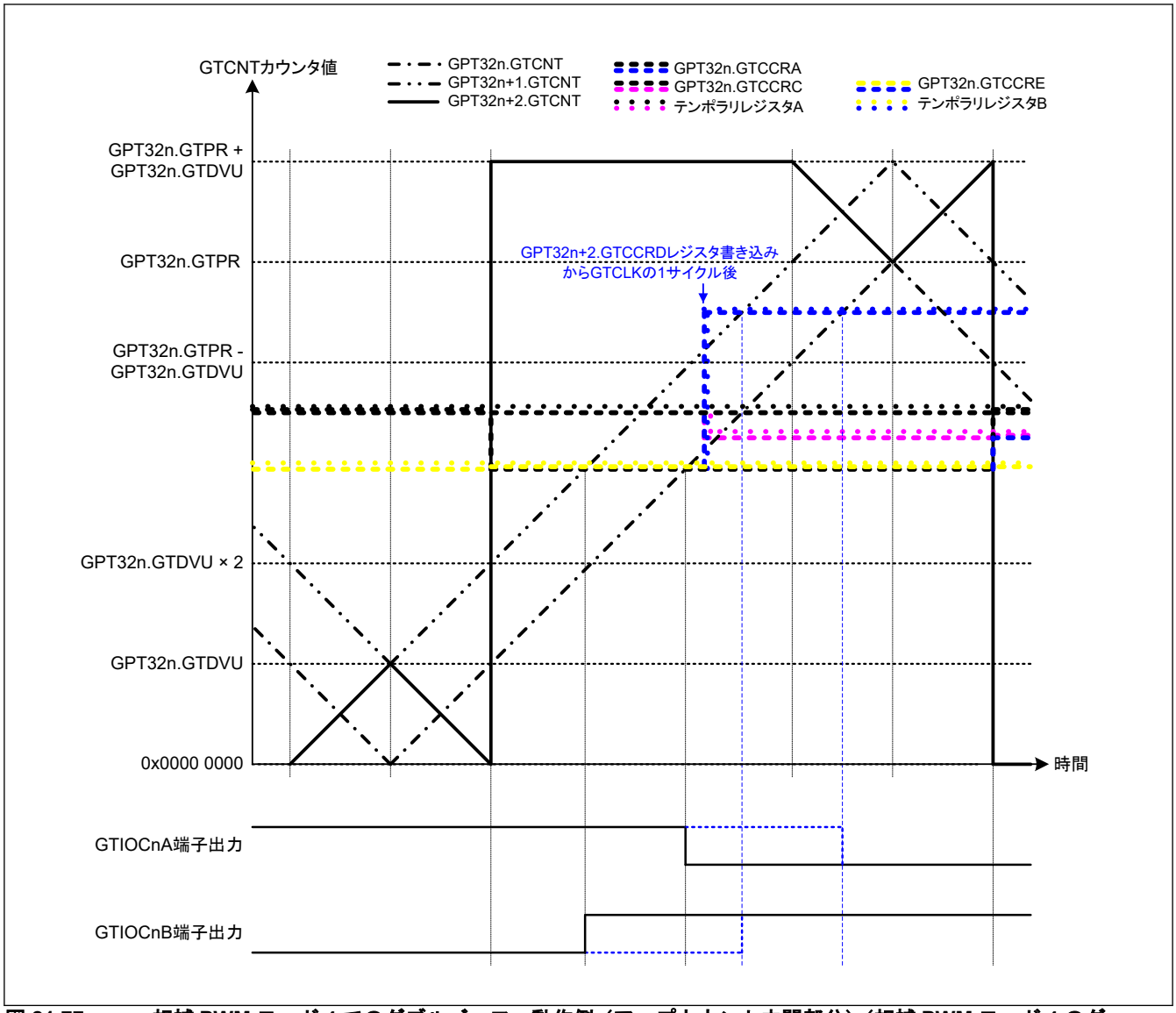


図 21.77 相補 PWM モード 4 でのダブルバッファ動作例（アップカウント中間部分）（相補 PWM モード 4 のダブルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、アップカウントのコンペアマッチ後に任意の値を GTCCRF レジスタに書き込んだ場合）(n = 4, 7)

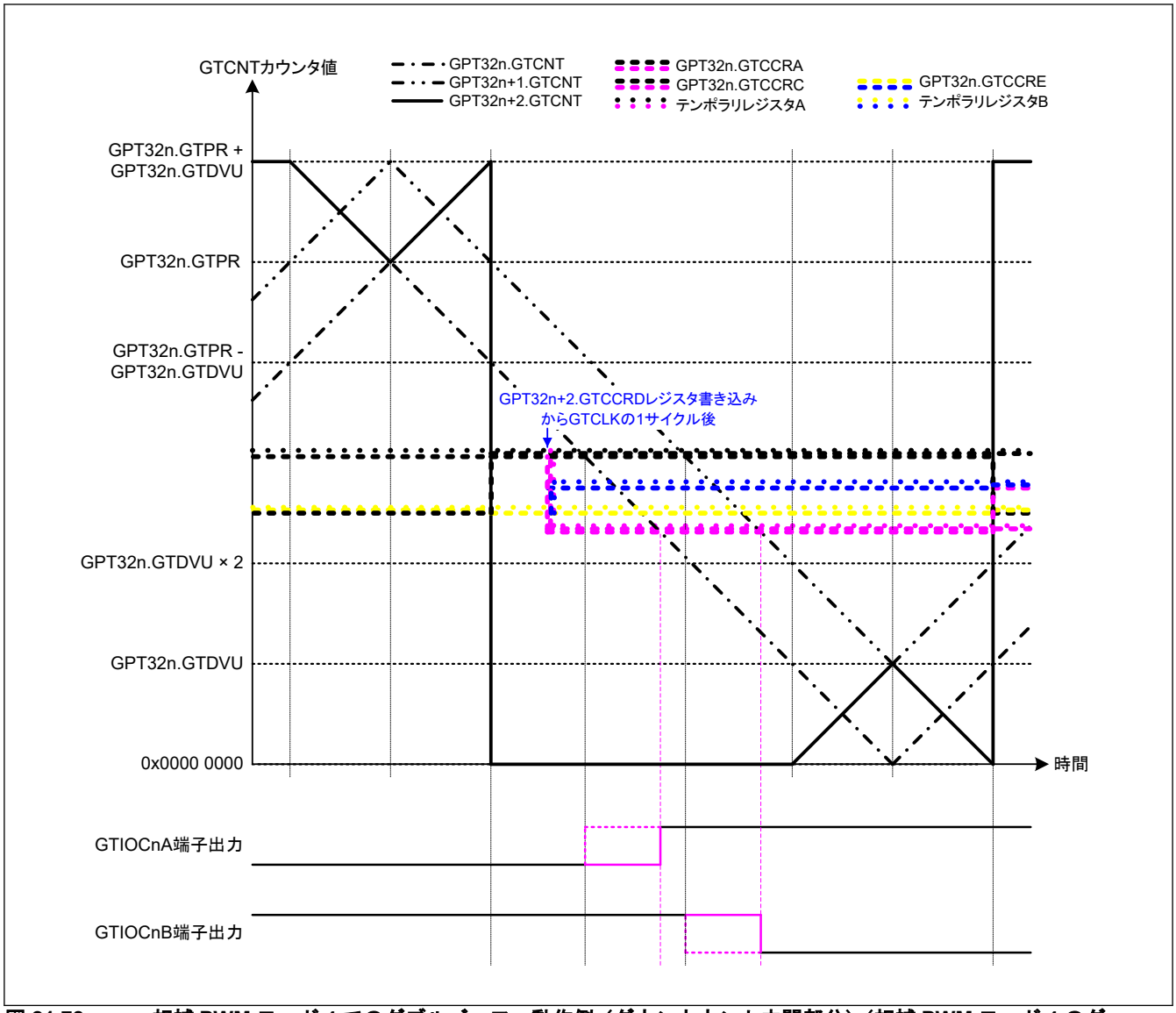


図 21.78 相補 PWM モード 4 でのダブルバッファ動作例（ダウンカウント中間部分）（相補 PWM モード 4 のダブルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、ダウンカウントのコンペアマッチ前に GPT32n.GTCNT 値より小さい値を GTCCRD レジスタに書き込んだ場合）(n = 4, 7)

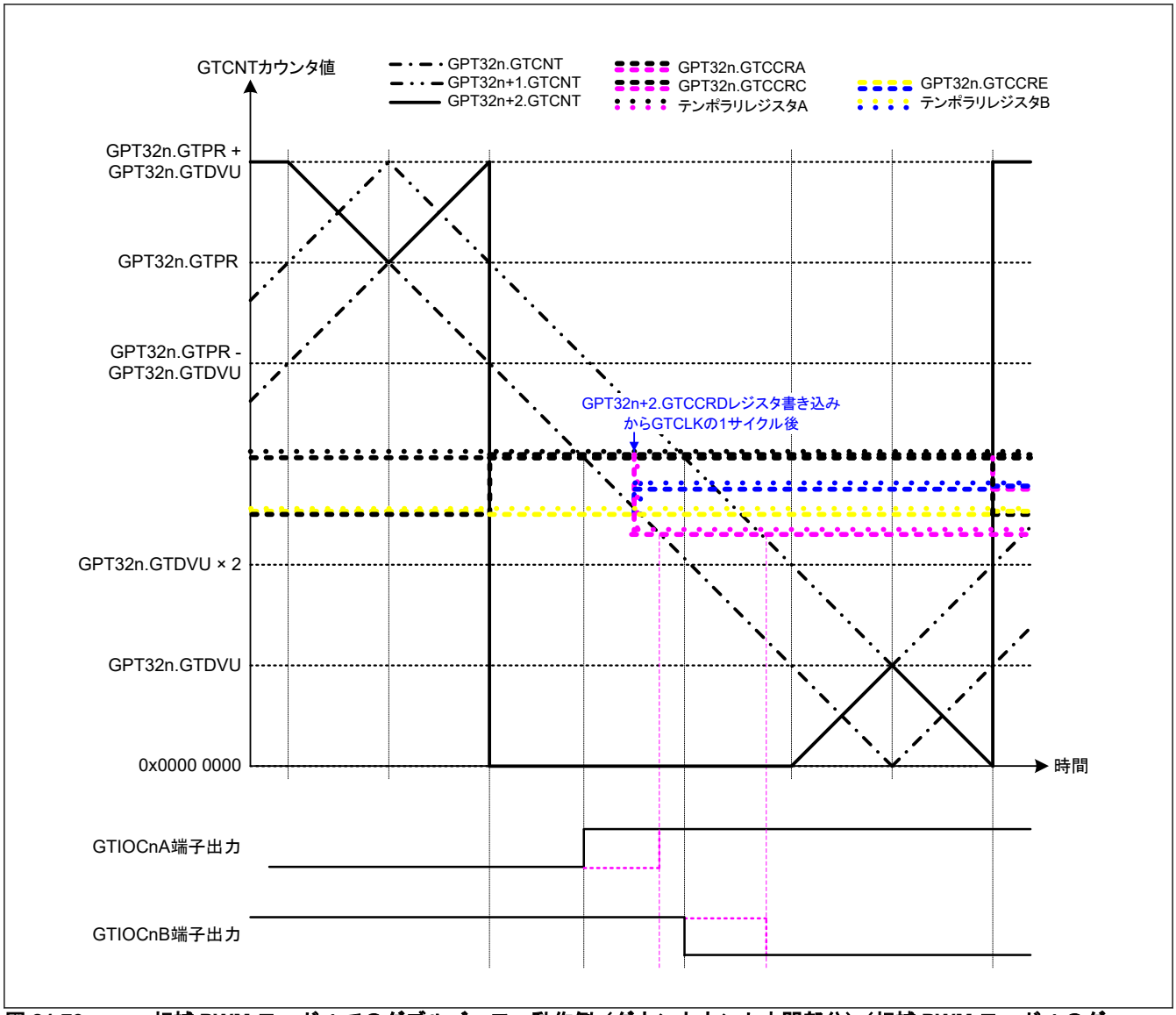


図 21.79　相補 PWM モード 4 でのダブルバッファ動作例（ダウンカウント中間部分）（相補 PWM モード 4 のダブルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、ダウンカウントのデッドタイム中に任意の値を GTCCRD レジスタに書き込んだ場合）(n = 4, 7)

表 21.40　相補 PWM モード 4 の設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTP32n チャネルの GTCR.MD[3:0] ビットで動作モード（1111b）を設定します。
2	カウントクロックの選択	GPT32n チャネルの GTCR.TPCS[3:0] ビットでカウントクロックを選択します。
3	周期設定	GPT32n チャネルの GTPR レジスタに周期を設定します。
4	GTIOCnm／GTIOCn+1m／GTIOCn+2m 端子機能設定	GPT32n、GPT32n+1、GPT32n+2 の各チャネルの GTIOR レジスタの GTIOA[4:0] ビット、GTIOB[4:0] ビットに GTIOCnm、GTIOCn+1m、GTIOCn+2m 端子の機能を設定します。
5	GTIOCnm／GTIOCn+1m／GTIOCn+2m 端子出力許可設定	GPT32n、GPT32n+1、GPT32n+2 の各チャネルの GTIOR レジスタの OAE ビット、OBE ビットに GTIOCnm、GTIOCn+1m、GTIOCn+2m 端子出力許可を設定します。
6	バッファ動作設定	GPT32n、GPT32n+1、GPT32n+2 チャネルの GTBER2.CP3DB ビットの設定により、バッファ動作を設定します。
7	コンペアマッチ値設定	GPT32n、GPT32n+1、GPT32n+2 の各チャネルの GTCCRA レジスタにカウント開始後アップカウント中の出力端子の切り替わりポイントを設定します。

表 21.40 相補 PWM モード 4 の設定例 (2/2)

No.	ステップ名	説明
8	バッファ値設定	シングルバッファ動作の場合は、(カウント開始後の最初の GTCCRA レジスタへのバッファ転送で転送される) データを GTCCRD レジスタに設定します。 ダブルバッファ動作の場合は、最初の山の終わりに転送するデータを GTCCRD レジスタに、最初の谷の終わりに転送するデータを GTCCRF レジスタに設定します。
9	デッドタイム値設定	デッドタイム値を GTP32n チャネルの GTDVU レジスタに設定します。
10	カウント動作開始	GPT32n チャネルの GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	即時転送対象のコンペアマッチ値設定	シングルバッファ動作の場合は、(GTCCRA レジスタに即時転送される) データを GTCCRD レジスタに設定します。 ダブルバッファ動作の場合は、即時転送対象のダウンカウント用コンペアマッチ値を GTCCRD レジスタに設定し、アップカウント用コンペアマッチ値を GTCCRF レジスタに設定します。 最後に GPT32n+2.GTCCRD レジスタに対する設定を行ってください。(データはテンポラリレジスタへ転送されます。)

注. n = 4, 7
m = A, B

21.3.4 デッドタイム自動設定機能

GTDTCR レジスタを設定することにより、正相波形のコンペアマッチ値 (GTCCRA 値) と指定したデッドタイム値 (GTDVU および GTDVD 値) から算出されたデッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

デッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

デッドタイムは、1 つの波形の前半部と後半部で個別に設定できます。逆相波形の前半部の切り替わりポイントにおけるデッドタイムは GTDVU レジスタに、後半部の切り替わりポイントにおけるデッドタイムは GTDVD レジスタに設定します。GTDTCR.TDFER ビットを 1 にすることにより、前半部と後半部で同じデッドタイムを設定することも可能です。

GTDBU レジスタは GTDVU レジスタのバッファレジスタとして、GTDBD レジスタは GTDVD レジスタのバッファレジスタとして使用可能です。バッファ転送は周期の終わり (のこぎり波モードの場合は GTCNT カウンタのオーバーフロー (アップカウント)、アンダーフロー (ダウンカウント)、あるいは GTCNT カウンタクリア、三角波モードの場合は谷) で実行されます。

逆相波形の変化点 (自動的に計算) は、GTCCRB レジスタの読み出しで取得します。デッドタイム自動設定機能を使用する時は、GTCCRB レジスタへの書き込みは禁止です。

波形の変化点がカウント周期を超えるようなデッドタイムは設定しないでください。デッドタイムエラーを発生させるようなデッドタイム設定をした場合は、デッドタイムを確保した波形を発生させるために、表 21.41 に示すように正相波形と逆相波形の変化点を調整してください。調整された逆相波形の変化点は GTCCRB レジスタに自動的に設定されます。内部信号は正相波形の変化点の判定に使用されるので、GTCCRA レジスタの値は調整値で更新されません。

のこぎり波ワンショットパルスモードでは、デッドタイムエラー発生による波形変化点の調整によって変化点の順番に矛盾が生じたり、調整後の変化点がカウント周期を超えている場合は、正相と逆相の相補関係は保証されません。

三角波 PWM モードでは、0x00000000 の設定によりデッドタイムがカウント周期を超えたり、GTPR レジスタの設定値以上の値を GTCCRA レジスタに設定した場合は、出力変化は出力保護機能で制御されます (「21.8.4. GTIOCnm 端子出力の出力保護機能 (n = 0～9 ; m = A、B)」参照)。GTCCRA レジスタの値が「GTPR レジスタ + GTDVm (m = U, D) レジスタ」以上の場合、「GTPR レジスタ - 1」が上限値として GTCCRB レジスタに設定されます。

GTCCRB レジスタへのデッドタイム値の自動設定は、自動設定値計算用のレジスタ値の更新後の次のカウントクロックで実行されます。三角波モードでは、この自動設定は現在の山の次のカウントクロックでも実行されます。

表 21.41 デッドタイムエラー発生時の波形変化点の調整

PWM 出力動作モード	カウント方向	期間	デッドタイムエラー条件	調整後の正相波形の変化点	調整後の逆相波形の変化点
のこぎり波ワンショットパルスモード	アップカウント	前半部	GTCCRA - GTDVU ＜ 0	GTDVU	0
		後半部	GTCCRA + GTDVD ＞ GTPR (GTCCRA + GTDVU ＞ GTPR) (注1)	GTPR - GTDVD (GTPR - GTDVU)(注1)	GTPR
	ダウンカウント	前半部	GTCCRA + GTDVU ＞ GTPR	GTPR - GTDVU	GTPR
		後半部	GTCCRA - GTDVD ＜ 0 (GTCCRA - GTDVU ＜ 0)(注1)	GTDVD (GTDVU)(注1)	0
三角波 PWM モード 1/2/3	アップカウント	（前半）	GTCCRA - GTDVU≦0	GTDVU + 1	1
	ダウンカウント	（後半）	GTCCRA - GTDVD ＜ 0 (GTCCRA - GTDVU ＜ 0)(注1)	GTDVD (GTDVU)(注1)	0

注 1. GTDTCR.TDFER = 1 の場合

デッドタイム自動設定機能の動作例を図 21.80～図 21.83 に示します。設定例を表 21.42 および表 21.43 に示します。

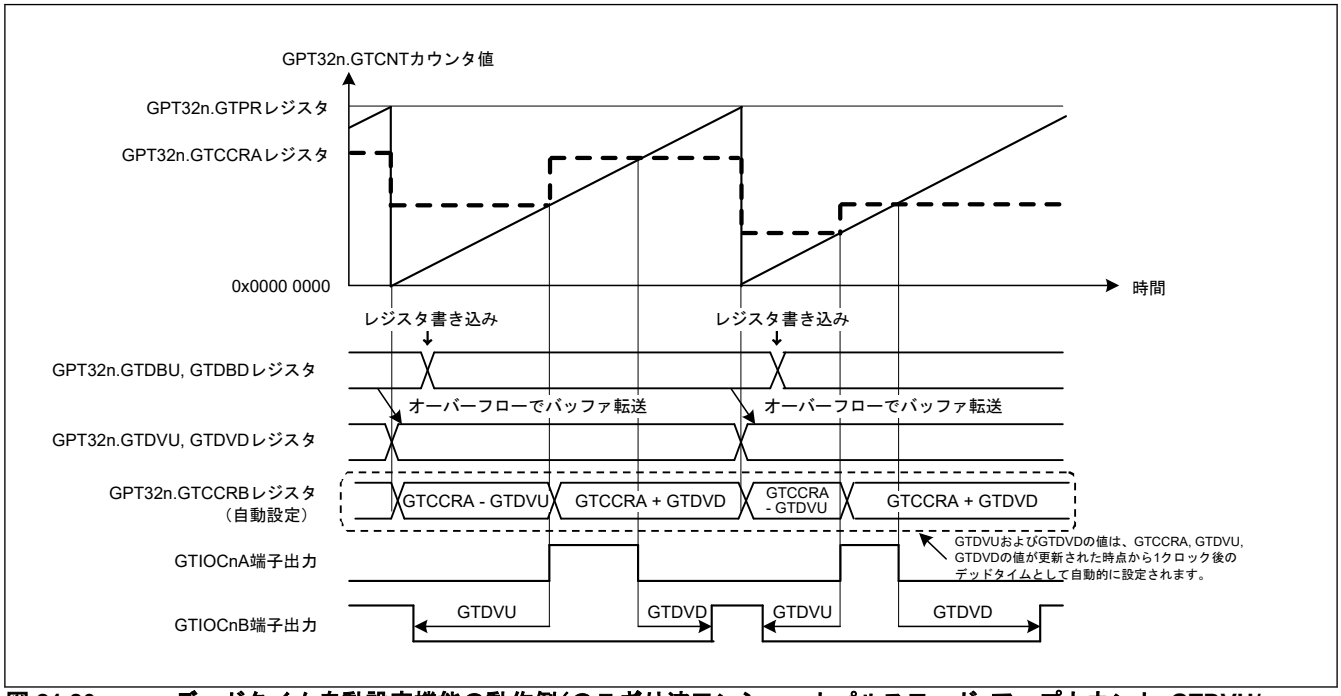


図 21.80 デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、アップカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合）

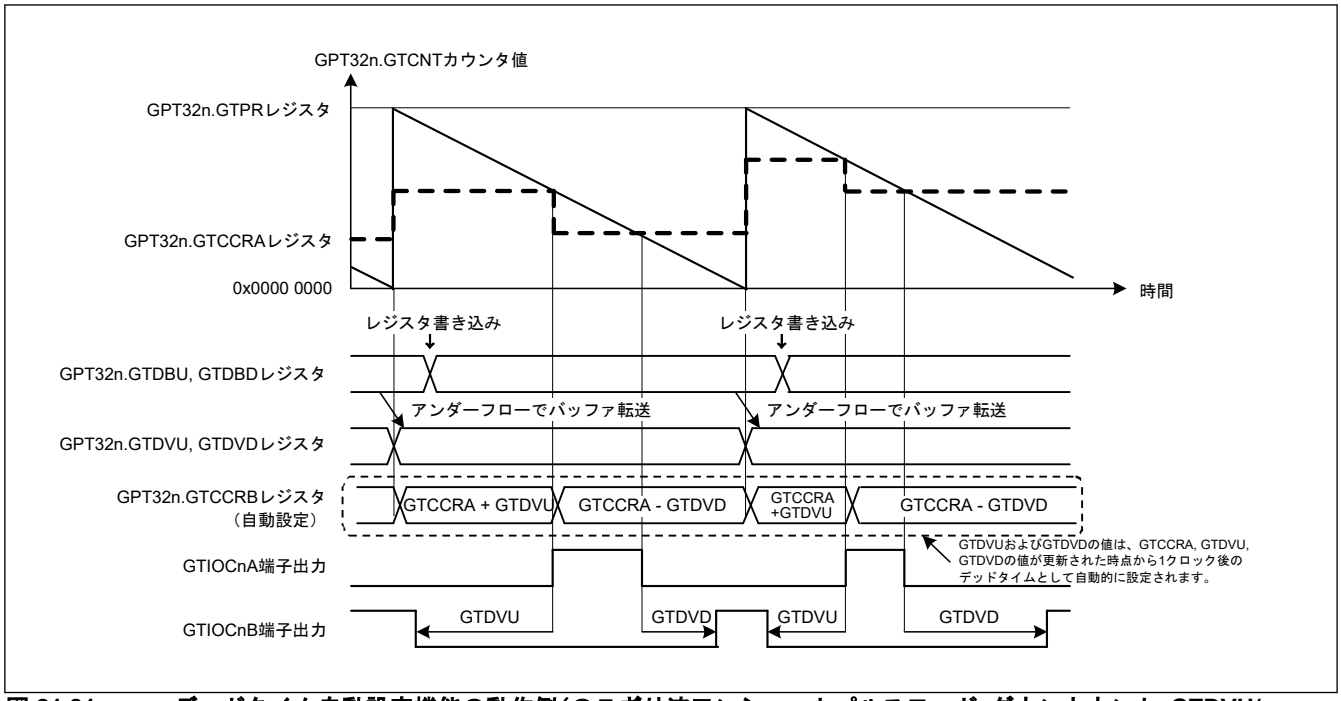


図 21.81　デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、ダウンカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合）

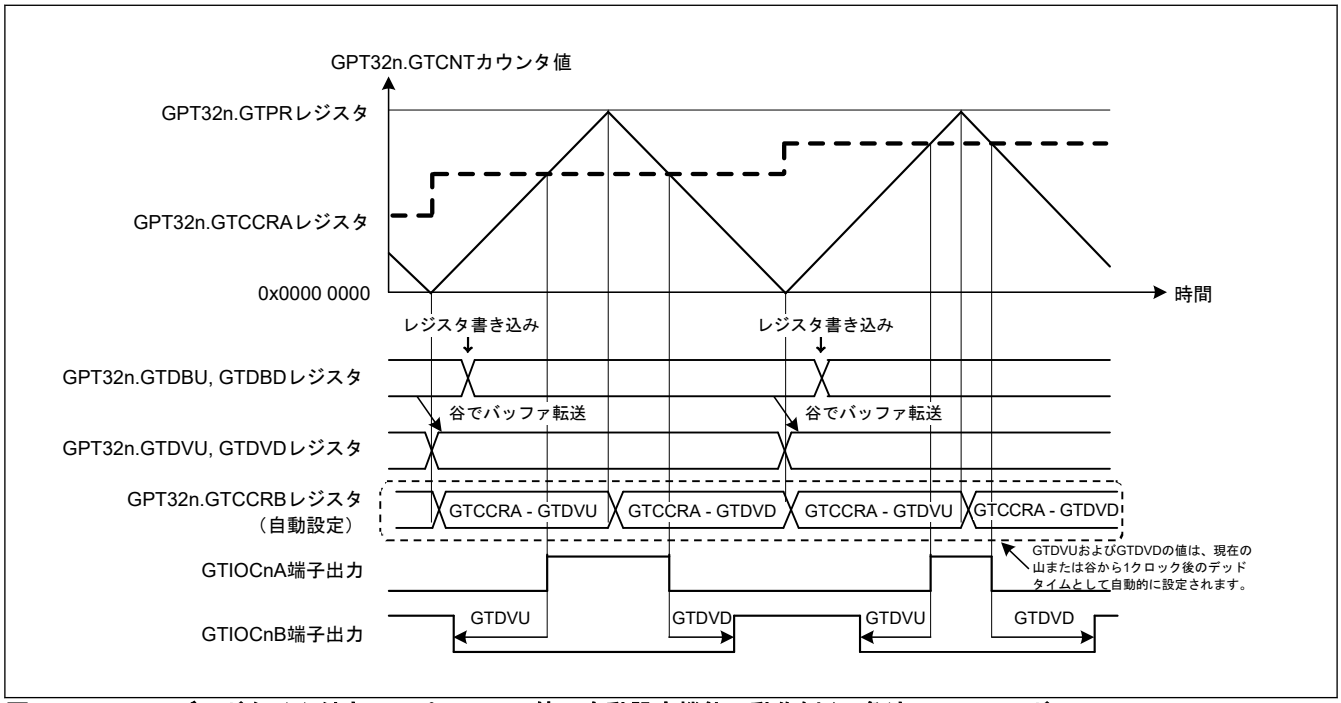


図 21.82　デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 1、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合）

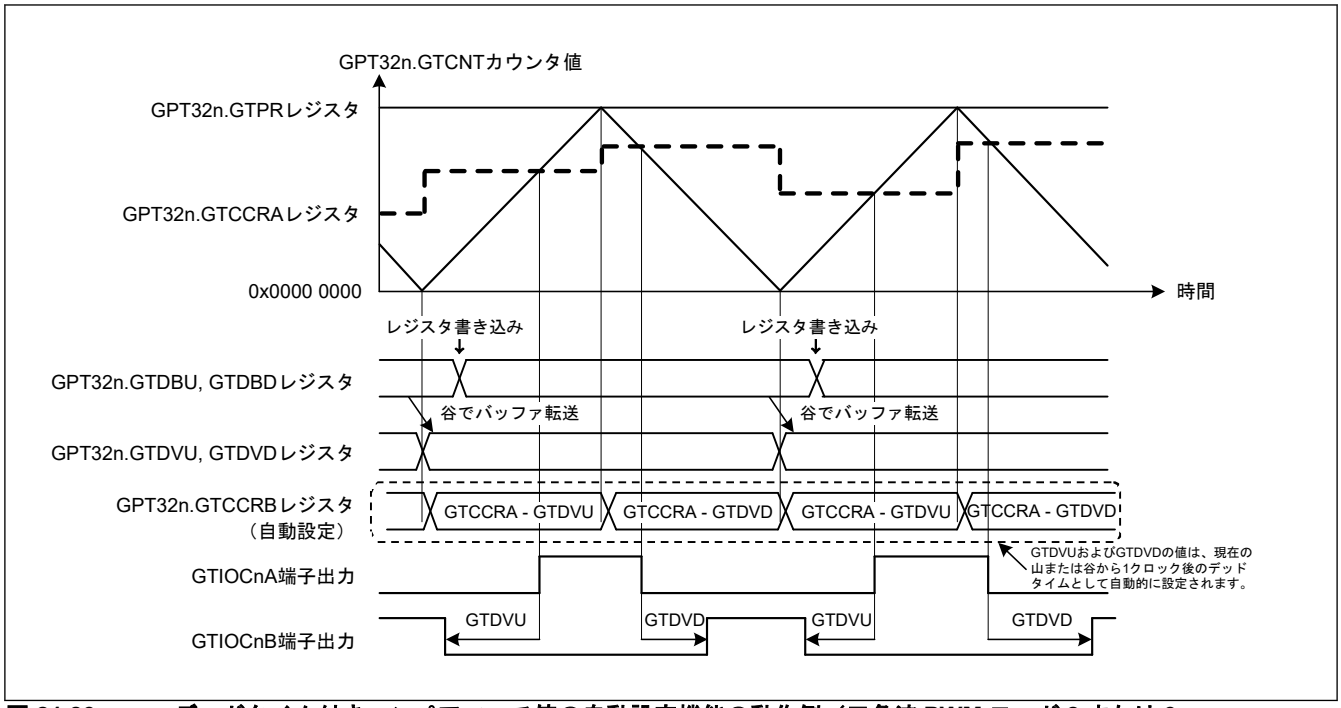


図 21.83 デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 2 または 3、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合）

表 21.42 デッドタイム自動設定機能の設定例（のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合）(1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0] ビットまたは GTCR.MD[3:0] ビットで動作モードを設定します。 図 21.80 および図 21.81 では、001b または 0001b（のこぎり波ワンショットパルスモード）を設定します。図 21.83 では、110b または 0110b（三角波 PWM モード 3）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.80 では、GTUDDTYC[1:0] に 11b を設定してから 01b を設定します（アップカウント）。図 21.81 では、GTUDDTYC[1:0] に 10b を設定してから 00b を設定します（ダウンカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0] ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0] ビット、GTIOB[4:0] ビットに GTIOCnm 端子の機能を設定します。 図 21.80、図 21.81、図 21.83 では、GTIOA[4:0] = 00011b かつ GTIOB[4:0] = 10011b）です。
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビットと OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ用バッファ値設定(注1)	カウント開始直後の周期の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。
9	コンペアマッチ用バッファ強制転送設定(注1)	GTBER.CCRSWT ビットを 1 にし、バッファレジスタから GTCCRA レジスタへの強制転送を行います。
10	コンペアマッチ用バッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。
11	デッドタイム自動設定機能の設定	GTDTCR.TDE ビットを 1 にして、デッドタイム自動設定機能を有効にします。
12	デッドタイム用バッファ動作設定	GTDTCR レジスタの TDBUE ビットと TDBDE ビットにバッファ動作を設定します。
13	デッドタイム値設定	前半部のデッドタイム値を GTDVU レジスタに、後半部のデッドタイム値を GTDVD レジスタに設定します。GTDTCR.TDFER ビットを 1 にして GTDVU レジスタを設定すると、同じ値が GTDVD レジスタにも反映され、同じデッドタイム値を前半部と後半部に設定できます。
14	デッドタイム用バッファ値設定	バッファ動作時は、1 周期後の前半部のデッドタイム値を GTDBU レジスタに、後半部のデッドタイム値を GTDBD レジスタに設定します。

表 21.42 デッドタイム自動設定機能の設定例（のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合）(2/2)

No.	ステップ名	説明
15	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
16	周期ごとのバッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。 デッドタイムレジスタをバッファ動作用に使用する場合、1 周期後の前半部のデッドタイム値を GTDBU レジスタに、後半部のデッドタイム値を GTDBD レジスタに設定します。

注. n: 0～9
m: A, B
注 1. PWM 遅延生成回路を使用する場合、「GTIOCnm 端子出力許可設定」および「コンペアマッチ用バッファ値設定 + コンペアマッチ用バッファ強制転送設定」の順序を変更してください。

表 21.43 デッドタイム自動設定機能の設定例（三角波 PWM モード 1 または 2 の場合）

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0] ビットまたは GTCR.MD[3:0] ビットで動作モードを設定します。 図 21.82 では、100b または 0100b（三角波 PWM モード 1）を設定します。図 21.83 では、101b または 0101b（三角波 PWM モード 2）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0] ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0] ビット、GTIOB[4:0] ビットに GTIOCnm 端子の機能を設定します。 図 21.82、図 21.83 では、GTIOA[4:0] = 00011b かつ GTIOB[4:0] = 10011b です。
6	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビットと OBE ビットで、GTIOCnm 端子出力の許可を設定します。
7	コンペアマッチ用バッファ動作設定	GTBER レジスタの CCRA ビットにバッファ動作を設定します。
8	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。
9	コンペアマッチ用バッファ値設定	バッファ動作時は、1 周期後（三角波 PWM モード 1 の場合）もしくは半周期後（三角波 PWM モード 2 の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（三角波 PWM モード 1 の場合）もしくは 1 周期後（三角波 PWM モード 2 の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに設定します。
10	デッドタイム自動設定機能の設定	GTDTCR.TDE ビットを 1 にして、デッドタイム自動設定機能を有効にします。
11	デッドタイム用バッファ動作設定	GTDTCR レジスタの TDBUE ビットと TDBDE ビットにバッファ動作を設定します。
12	デッドタイム値設定	前半部のデッドタイム値を GTDVU レジスタに、後半部のデッドタイム値を GTDVD レジスタに設定します。GTDTCR.TDFER ビットを 1 にして GTDVU レジスタを設定すると、同じ値が GTDVD レジスタにも反映され、同じデッドタイム値を前半部と後半部に設定できます。
13	デッドタイム用バッファ値設定	バッファ動作時は、1 周期後の前半部のデッドタイム値を GTDBU レジスタに、後半部のデッドタイム値を GTDBD レジスタに設定します。
14	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
15	周期ごとのバッファ値設定	コンペアマッチレジスタをバッファ動作用に使用する場合、1 周期後（三角波 PWM モード 1 の場合）、あるいは半周期後（三角波 PWM モード 2 の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに設定します。 コンペアマッチレジスタをダブルバッファ動作用に使用する場合、2 周期後（三角波 PWM モード 1 の場合）、あるいは 1 周期後（三角波 PWM モード 2 の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに設定します。 同様に、現在の周期後の前半部のデッドタイム値を GTDBU レジスタに、後半部のデッドタイム値を GTDBD レジスタに設定します。

注. n: 0～9
m: A, B
注 1. PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

21.3.5 カウント方向切り替え機能

GTUDDTYC.UD ビットの値を書き換えることにより、GTCNT カウンタのカウント方向を切り替えることが可能です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、カウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その変更値はカウントスタート時に反映されず、オーバーフローまたはアンダーフロー発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更しても、カウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その値はカウント動作に反映されません。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

のこぎり波のカウント動作中にカウント方向を変更すると、アップカウント中はアップカウントスタート後の GTPR 値がカウント周期に反映され、ダウンカウント中はダウンカウントスタート後の GTPR 値がカウント周期に反映されます。

図 21.84 にカウント方向切り替え機能の動作例を示します。

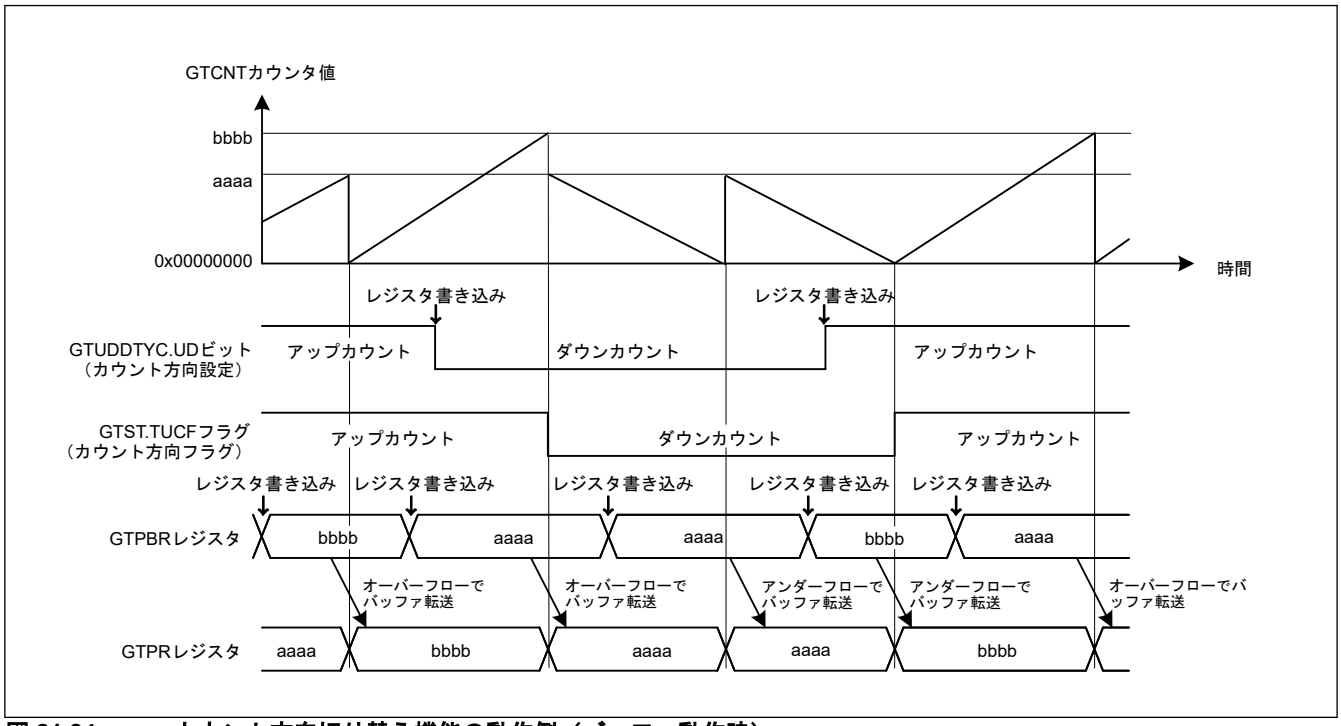


図 21.84 カウント方向切り替え機能の動作例（バッファ動作時）

21.3.6 出力デューティー 0%および出力デューティー 100%機能

GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更することにより、GTIOCnA 端子と GTIOCnB 端子の出力デューティーが 0%または 100%に設定されます（n = 0～9）。

本機能はのこぎり波 PWM モード 2 または相補 PWM モードでは無効です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、出力デューティーの設定値が反映されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティーの変更値はカウントスタート時に反映されません。出力デューティーはオーバーフローまたはアンダーフロー発生時に変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビット

または GTUDDTYC.OBDTY ビットを変更すると、その時の GTUDDTYC.OADTY ビット値または GTUDDTYC.OBDTY ビット値はカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、アンダーフロー発生時に出力デューティーの設定値が反映されます。

カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティーの変更値はカウントスタート時に反映されません。アンダーフロー時に出力デューティーが変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、出力デューティーの変更値はカウントスタート時に反映されます。

0%または 100%デューティー動作の実行時、GPT は内部で以下の動作を継続します。

- コンペアマッチ動作の実行
- コンペアマッチフラグの設定
- 割り込み出力
- バッファ動作の実行

0%または 100%デューティー設定からコンペアマッチに制御が変更されると、周期の終わりでの GTIOCnA 端子の出力値は、GTIOR.GTIOA[3:2]ビットと GTUDDTYC.OADTYR ビットで決定されます。周期の終わりでの GTIOCnB 端子の出力値は、GTIOR.GTIOB[3:2]ビットと GTUDDTYC.OBDTYR ビットで決定されます。

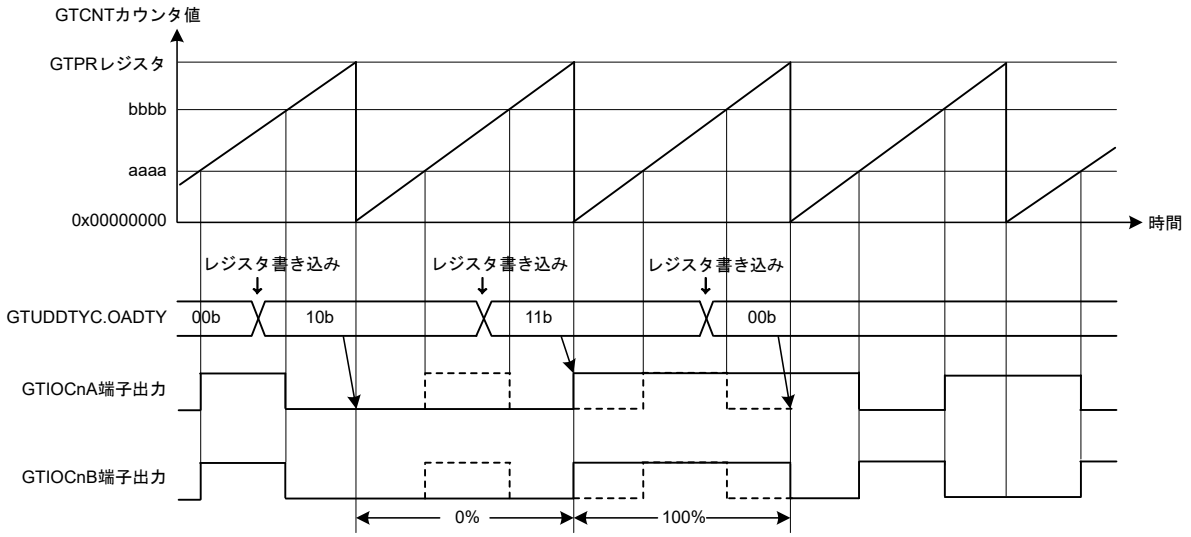
GTIOR.GTIOA[3:2]ビットと GTIOR.GTIOB[3:2]ビットを 01b にすると、出力端子は周期の終わりで Low 出力となります。GTIOR.GTIOA[3:2]ビットと GTIOR.GTIOB[3:2]ビットを 10b にすると、出力端子は周期の終わりで High 出力となります。

GTIOR.GTIOm[3:2]ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）になっている場合、GTUDDTYC.OADTYR ビットでは、周期の終わりで出力保持／トグル出力の対象となる値を選択します。 表 21.44 に周期の終わりでの GTIOCnA/GTIOCnB 端子の出力値を示します。

表 21.44　0%または 100%デューティー設定解除後の出力値 (m = A、B)

GTIOR.GTIOm[3:2]	0%/100%デューティー設定でマスクされた周期の終わりでのコンペアマッチ値	GTUDDTYC.OADTYR（デューティー 0%設定時）		GTUDDTYC.OADTYR（デューティー 100%設定時）	
		0	1	0	1
00 （周期の終わりで出力保持）	0	0	0	1	0
	1	0	1	1	1
01 （周期の終わりで Low 出力）	—	0	0	0	0
10 （周期の終わりで High 出力）	—	1	1	1	1
11 （周期の終わりでトグル出力）	0	1	1	0	1
	1	1	0	0	0

図 21.85 に出力デューティー 0%、100%機能の動作例を示します。



注. レジスタのベースアドレスは同じです。

注. ［設定例］

GTIOR.GTIOA[4:0]ビット：	00011b 初期は Low 出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GTUDDTYC.OADTYR ビット：	0b 0%/100%デューティー比設定解除後にデューティー比が設定された場合、GTIOA[3:2]ビットで選択された機能が出力値に適用されます。
GTIOR.GTIOB[4:0]ビット：	00011b 初期は Low 出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GTUDDTYC.OBDTYR ビット：	1 GTIOB[3:2]ビットの機能が 0%/100%デューティー設定解除後にマスクされたコンペアマッチ出力値に適用されます。

図 21.85 出力デューティー 0%、100%機能動作例

21.3.7 ハードウェアカウントスタート／カウントストップ、カウントクリア動作

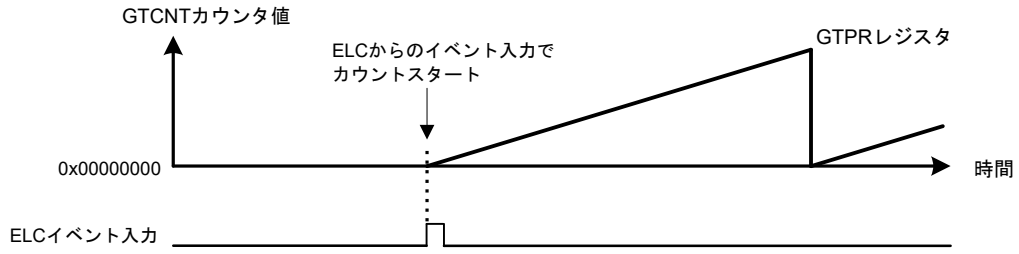
下記のハードウェア要因によって、GTCNT カウンタのカウントスタート、カウントストップ、またはカウントクリアが可能です。

- 外部トリガ入力
- ELC イベント入力
- GTIOCnA/GTIOCnB 端子入力（n = 0～9）

21.3.7.1 ハードウェアスタート動作

GTSSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントスタートが可能です。

図 21.86 にハードウェア要因によるカウントスタートの動作例を示します。表 21.45 に設定例を示します。



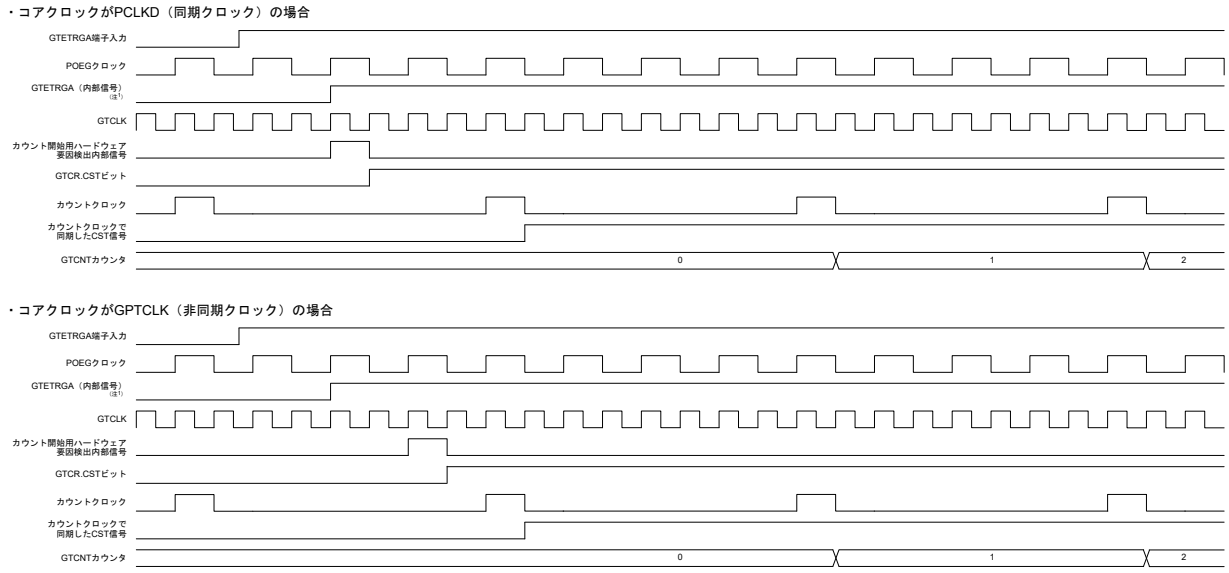
注. ELC イベント入力：ELC_GPTA イベント入力

図 21.86 ハードウェア要因によるカウントスタート動作例（ELC_GPTA イベントからの信号入力時のスタート）

表 21.45 ハードウェア要因によるカウントスタート動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 21.86 では 000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.86 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 21.86 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択します。 図 21.86 では GTSSR.SSELCA = 1
7	ハードウェア要因の動作設定	GTSSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタートさせます。 図 21.86 では ELC_GPTA イベント入力の動作を設定します。

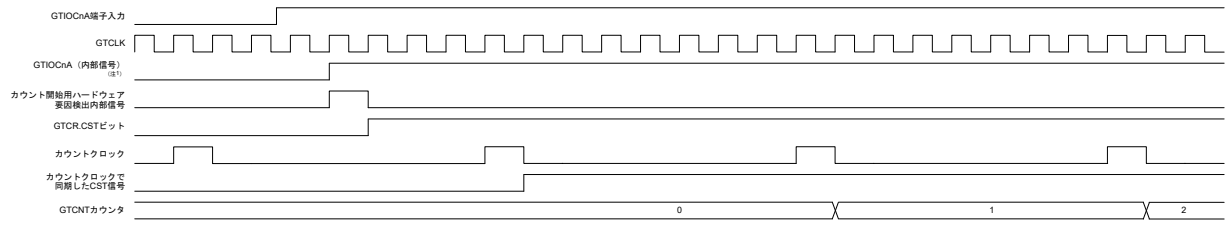
図 21.87 に GTETRGA 端子の入力の立ち上がりエッジに対応するカウントスタート動作のタイミング例を示します。



注. POEG クロック：PCLKB
注 1. POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 21.87 GTETRGA 端子の入力の立ち上がりエッジに対応するカウントスタート動作のタイミング例

図 21.88 に GTIOCnA 端子の入力の立ち上がりエッジに対応するカウントスタート動作のタイミング例を示します。



注 1. これはデジタルノイズフィルタが使用されていない場合です。

図 21.88 GTIOCnA 端子の入力の立ち上がりエッジに対応するカウントスタート動作のタイミング例

図 21.89 に ELC_GPTA のイベント入力に対応するカウントスタート動作のタイミング例を示します。

これは信号に対応する GPT321.GTCNT カウンタによるカウントスタートの動作例です。GPT320.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT321 への出力用トリガとして選択されます。

ELC は GPT320 からのイベント信号出力を遅延なく GPT321 へ渡します。

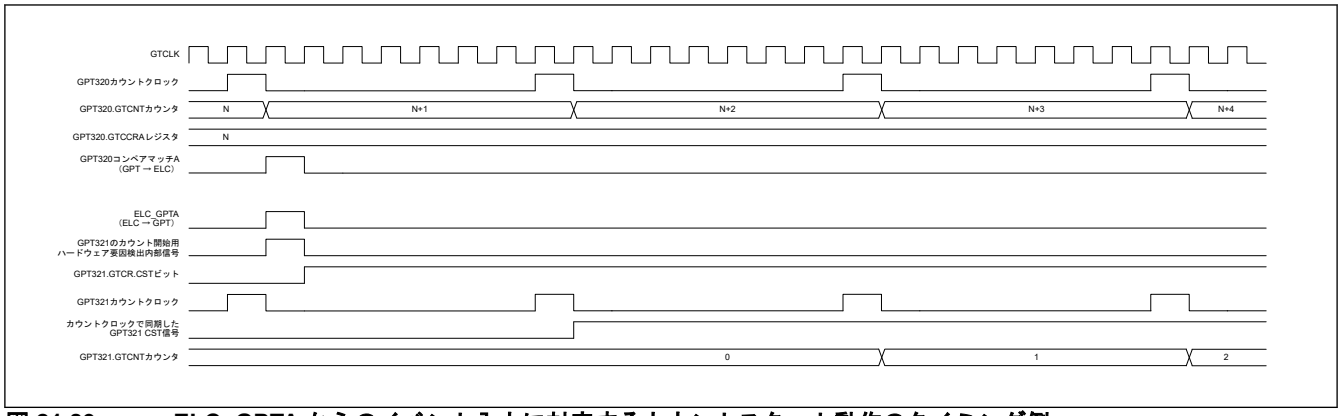
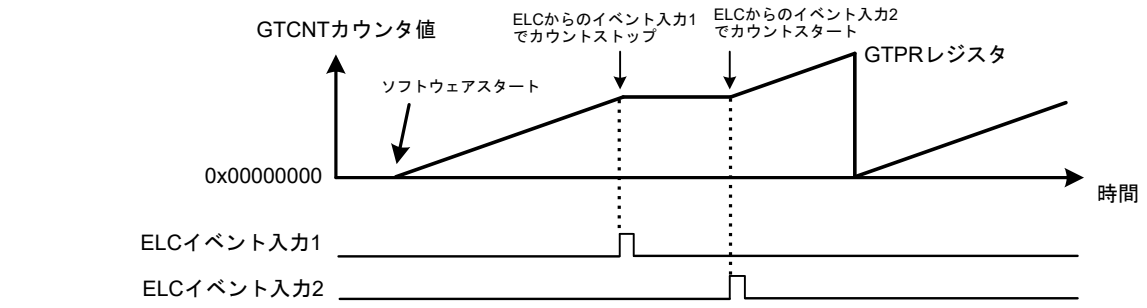


図 21.89 ELC_GPTA からのイベント入力に対応するカウントスタート動作のタイミング例

21.3.7.2 ハードウェアストップ動作

GTPSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントストップが可能です。

図 21.90 にハードウェア要因によるカウントストップの動作例を示します。表 21.46 に設定例を示します。この例では、カウント動作が ELC_GPTA イベント入力でストップし、ELC_GPTB イベント入力で再スタートしています。



注. ELC イベント入力 1 : ELC_GPTA イベント入力
ELC イベント入力 2 : ELC_GPTB イベント入力

図 21.90 ハードウェア要因によるカウントストップ動作例（ソフトウェアによるスタート、ELC_GPTA 入力でのストップ、ELC_GPTB 入力での再スタートの場合）

表 21.46 ハードウェア要因によるカウントストップ動作設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 21.90 では 000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.90 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 21.90 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。図 21.90 では GTSSR.SSELCB = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。図 21.90 では GTPSR.PSELCA = 1

表 21.46 ハードウェア要因によるカウントストップ動作設定例 (2/2)

No.	手順名	説明
8	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート／ストップさせます。図 21.90 では ELC_GPTA 入力、ELC_GPTB 入力の動作を設定します。

図 21.91 にハードウェア要因によるカウントスタート／ストップ動作例を示します。表 21.47 に設定例を示します。この例では、外部トリガ入力 GTETRGA 端子が High の期間に、カウンタが動作しています。

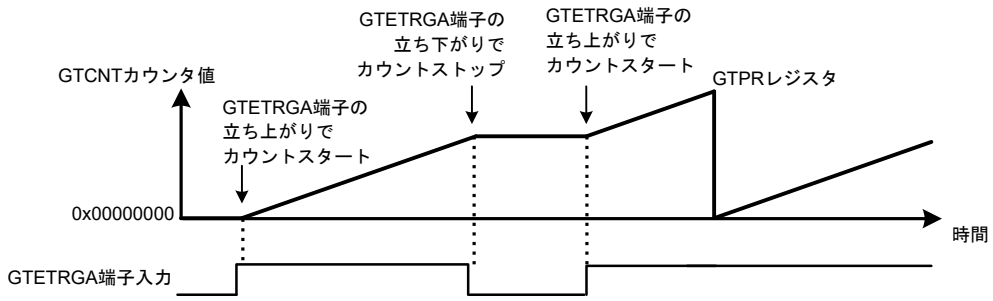
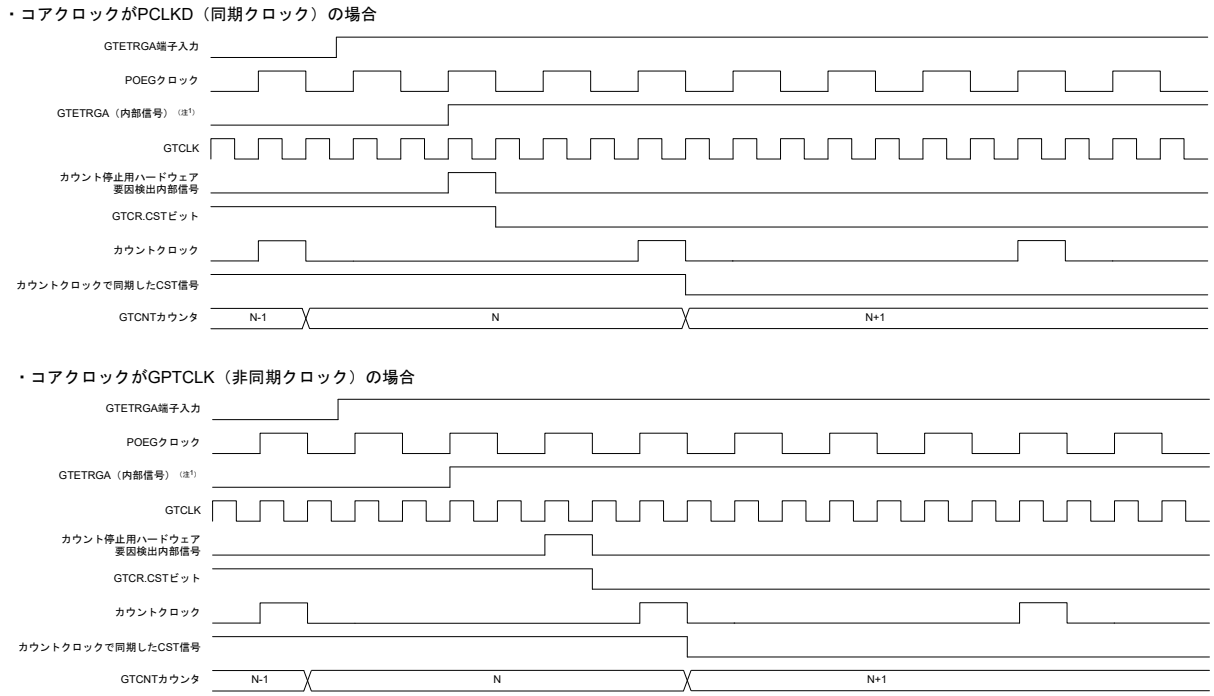


図 21.91 ハードウェア要因によるカウントスタート／ストップ動作例（GTETRGA 端子入力の立ち上がりエッジでスタート、GTETRGA 端子入力の立ち下がりエッジでストップの場合）

表 21.47 ハードウェア要因によるカウントスタート／ストップ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 21.91 では 000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.91 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 21.91 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。 図 21.91 では GTSSR.SSGTRGAR = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。 図 21.91 では GTPSR.PSGTRGAF = 1
8	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート／ストップさせます。 図 21.91 では GTETRGA 端子の動作を設定します。

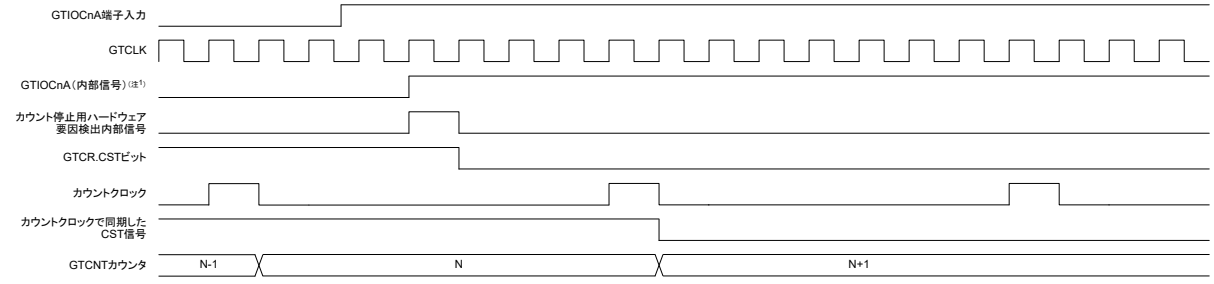
図 21.92 に GTETRGA 端子の入力の立ち上がりエッジに対応するカウントストップ動作のタイミング例を示します。



注. POEG クロック：PCLKB
注 1. POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 21.92 GTETRGA 端子の入力の立ち上がりエッジに対応するカウントストップ動作のタイミング例

図 21.93 に GTIOCnA 端子の入力の立ち上がりエッジに対応するカウントストップ動作のタイミング例を示します。



注 1. これはデジタルノイズフィルタが使用されていない場合です。

図 21.93 GTIOCnA 端子の入力の立ち上がりエッジに対応するカウントストップ動作のタイミング例

図 21.94 に ELC_GPTA からのイベント入力に対応するカウントストップ動作のタイミング例を示します。

これは信号に対応する GPT321.GTCNT カウンタによるカウントストップの動作例です。GPT320.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT321 への出力用トリガとして選択されます。

ELC は GPT320 からのイベント信号出力を遅延なく GPT321 へ渡します。

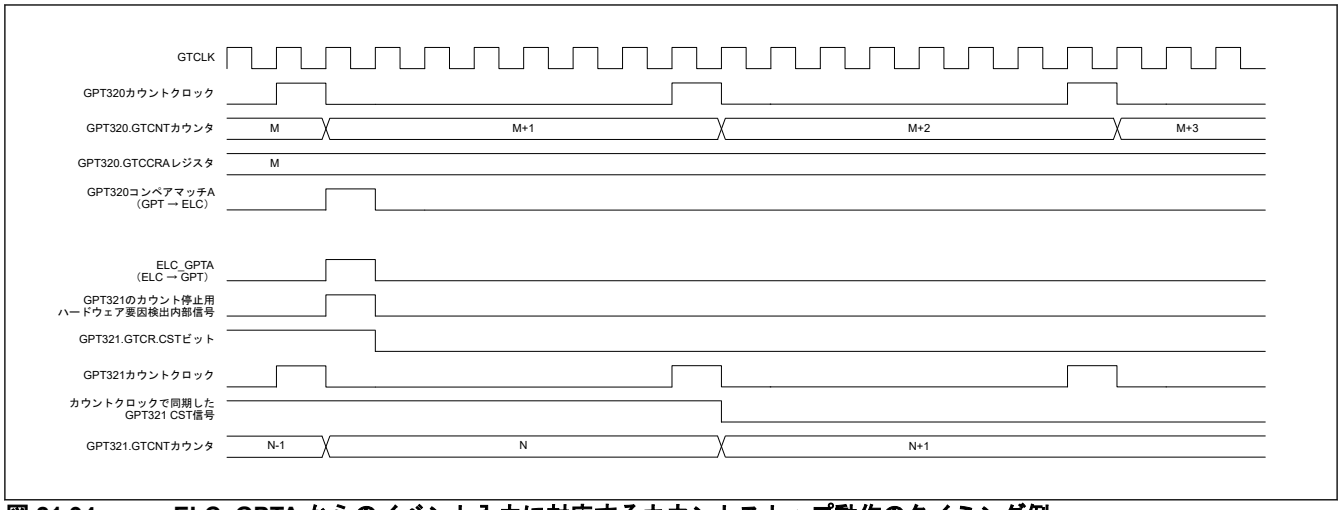
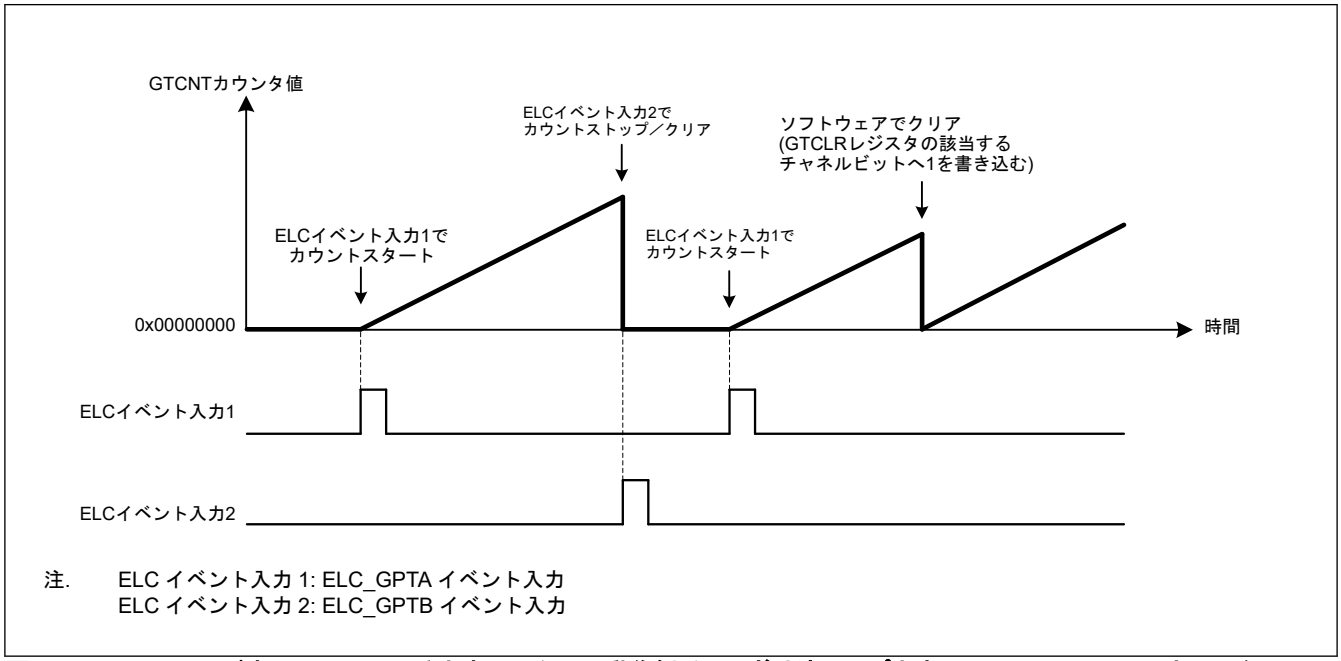


図 21.94 ELC_GPTA からのイベント入力に対応するカウントストップ動作のタイミング例

21.3.7.3 ハードウェアクリア動作

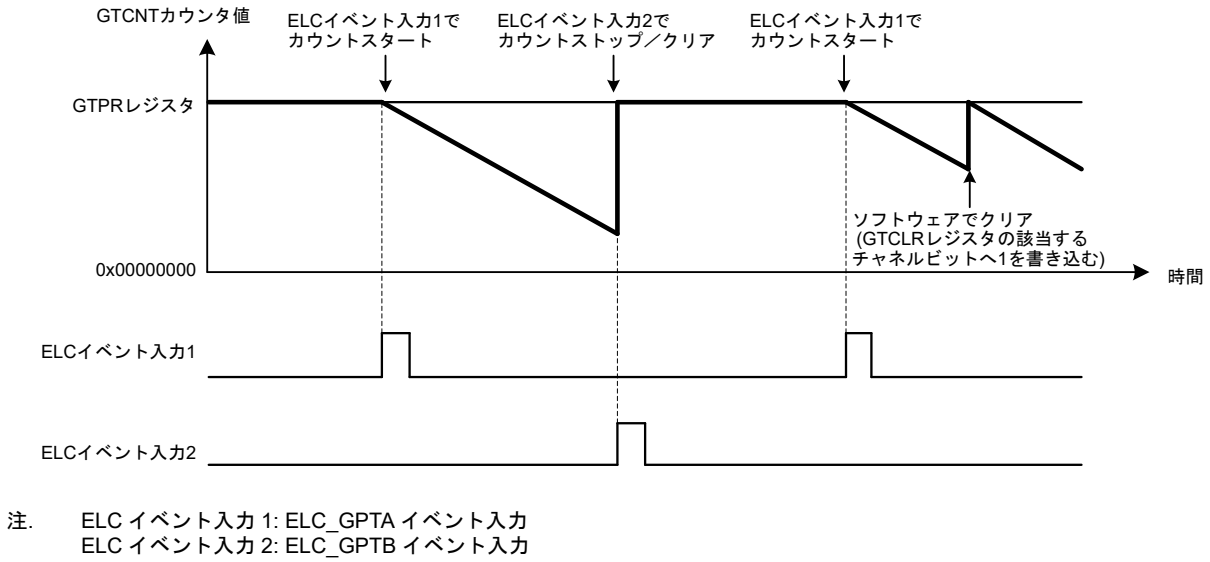
GTCSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントクリアが可能です。なお、ハードウェア要因またはソフトウェアによって GTCNT カウンタがクリアされても、GPTn_OVF/GPTn_UDF (n = 0～9) 割り込み（オーバーフロー／アンダーフロー割り込み）は発生しません。

図 21.95 および図 21.96 に、ハードウェア要因による GTCNT カウンタのクリア動作例を示します。表 21.48 に設定例を示します。この例では、GTCNT カウンタは ELC_GPTA 入力でスタートし、ELC_GPTB 入力でストップおよびクリアされています。



注. ELC イベント入力 1: ELC_GPTA イベント入力
ELC イベント入力 2: ELC_GPTB イベント入力

図 21.95 ハードウェア要因によるカウントクリア動作例（のこぎり波アップカウント、ELC_GPTA 入力でスタート、ELC_GPTB 入力でストップ／クリアの場合）



注. ELC イベント入力 1: ELC_GPTA イベント入力
ELC イベント入力 2: ELC_GPTB イベント入力

図 21.96 ハードウェア要因によるカウントクリア動作例（のこぎり波ダウンカウント、ELC_GPTA 入力でスタート、ELC_GPTB 入力でストップ／クリアの場合）

表 21.48 ハードウェア要因によるカウントクリア動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 21.95 と図 21.96 では 000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.95 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。 図 21.96 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します（ダウンカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 21.95 では 0x00000000 を設定します。図 21.96 では GTPR 値を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。図 21.95、図 21.96 では GTSSR.SSELCA = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。図 21.95、図 21.96 では GTPSR.PSELCB = 1
8	ハードウェアカウントクリア設定	GTCSR レジスタでカウントをクリアさせるハードウェア要因を選択し、ハードウェア要因によるカウンタクリア待ち状態にします。図 21.95、図 21.96 では GTCSR.CSELCB = 1
9	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタ、GTCSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート／ストップ／クリアさせます。 図 21.95、図 21.96 では ELC_GPTA 入力、ELC_GPTB 入力を設定します。

ハードウェア要因またはソフトウェアによってカウンタがクリアされても、GPTn_OVF/GPTn_UDF (n = 0～9) 割り込み（オーバーフロー／アンダーフロー割り込み）は発生しません。

図 21.97 にハードウェア要因によるカウンタクリアと GPTn_OVF (n = 0～9) 割り込みの関係を示します。

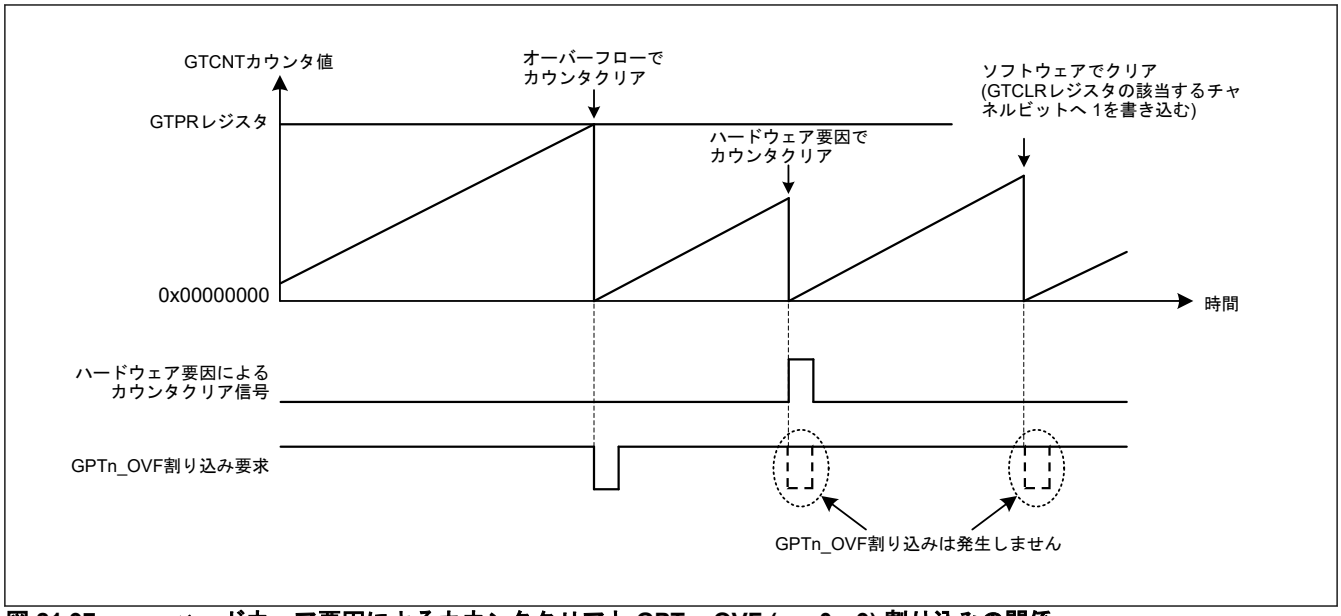
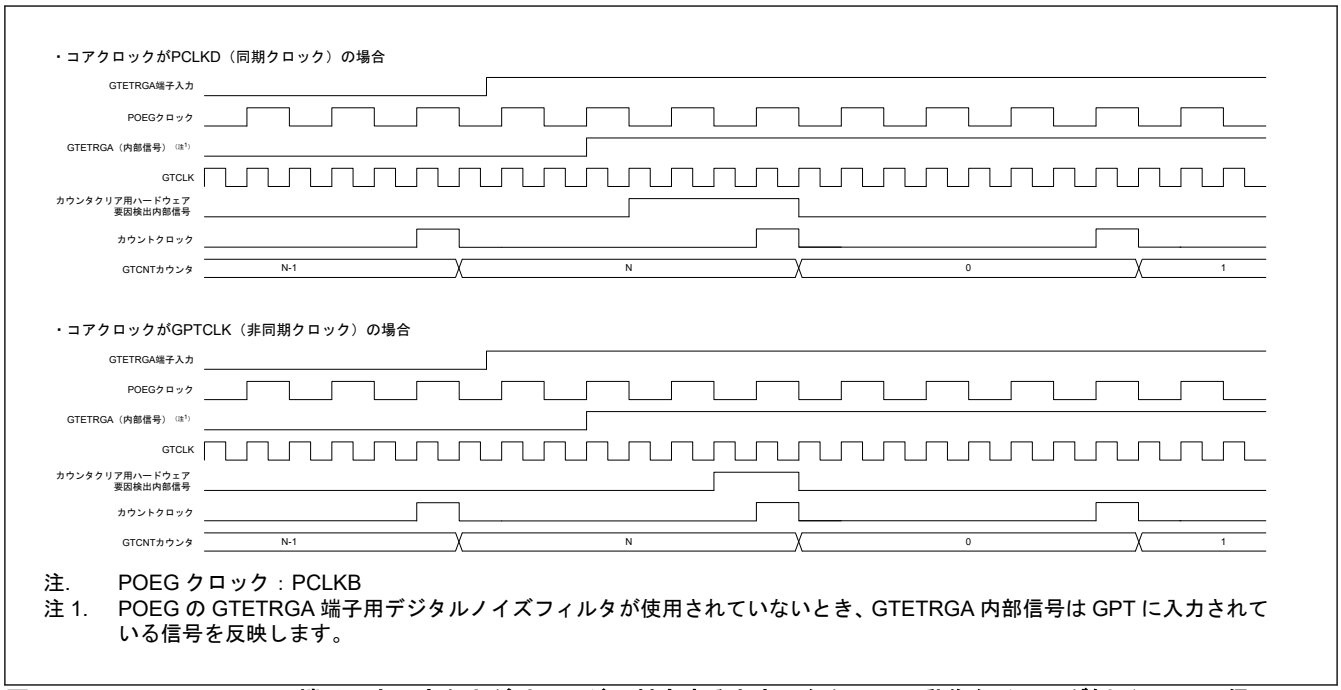


図 21.97 ハードウェア要因によるカウンタクリアと GPTn_OVF (n = 0～9) 割り込みの関係

GTCLK 信号の分周により生成されるクロック信号が GTCNT カウンタに対するカウンタクロックとして使用される場合、GTETRGA 端子入力の立ち上がりエッジに対応するカウンタクリアの動作タイミング例を図 21.98 に示します。

GPT32 が内部クリア信号を検出した後にカウントが進行中の場合、GTCNT カウンタはクリアされます。

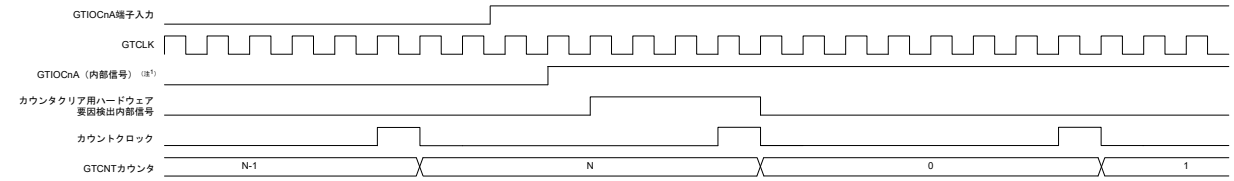


注. POEG クロック：PCLKB
注 1. POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 21.98 GTETRGA 端子入力の立ち上がりエッジに対応するカウンタクリアの動作タイミング例（GTCLK 信号の分周により生成されるクロック信号の周期計数中）

GTCLK 信号の分周により生成されるクロック信号が GTCNT カウンタに対するカウンタクロックとして使用される場合、GTIOCnA 端子入力の立ち上がりエッジに対応するカウンタクリアの動作タイミング例を図 21.99 に示します。

GPT32 が内部クリア信号を検出した後にカウントが進行中の場合、GTCNT カウンタはクリアされます。



注 1. これはデジタルノイズフィルタが使用されていない場合です。

図 21.99 GTIOCnA 端子入力の立ち上がりエッジに対応するカウンタクリアの動作タイミング例（GTCLK 信号の分周により生成されるクロック信号の周期計数中）

GTCLK 信号の分周により生成されるクロック信号が GTCNT カウンタに対するカウンタクロックとして使用される場合、ELC_GPTA からのイベント入力に対応するカウンタクリアの動作タイミング例を図 21.100 に示します。

これは信号に対応する GPT321.GTCNT カウンタによるカウントクリアの動作例です。GPT320.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT321 への出力用トリガとして選択されます。

ELC は GPT320 からのイベント信号出力を遅延なく GPT321 へ渡します。

GPT32 が内部クリア信号を検出した後にカウントが進行中の場合、GTCNT カウンタはクリアされます。

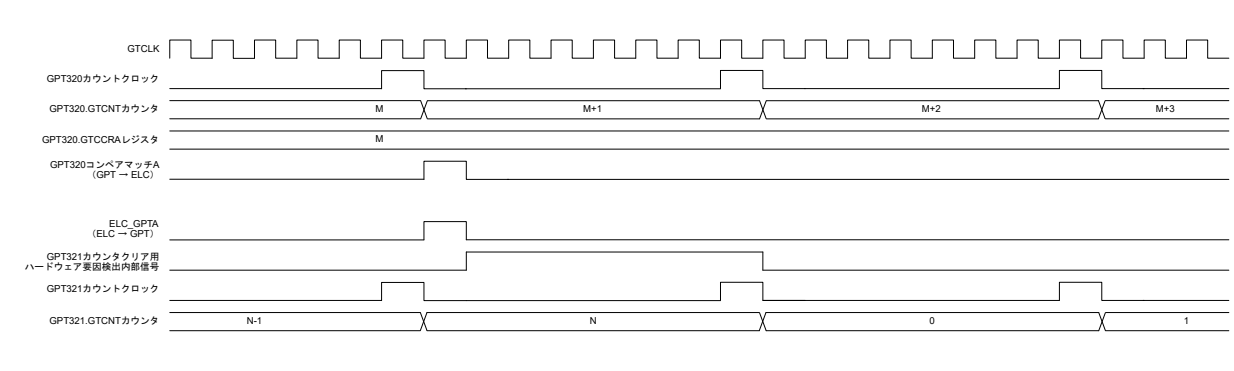
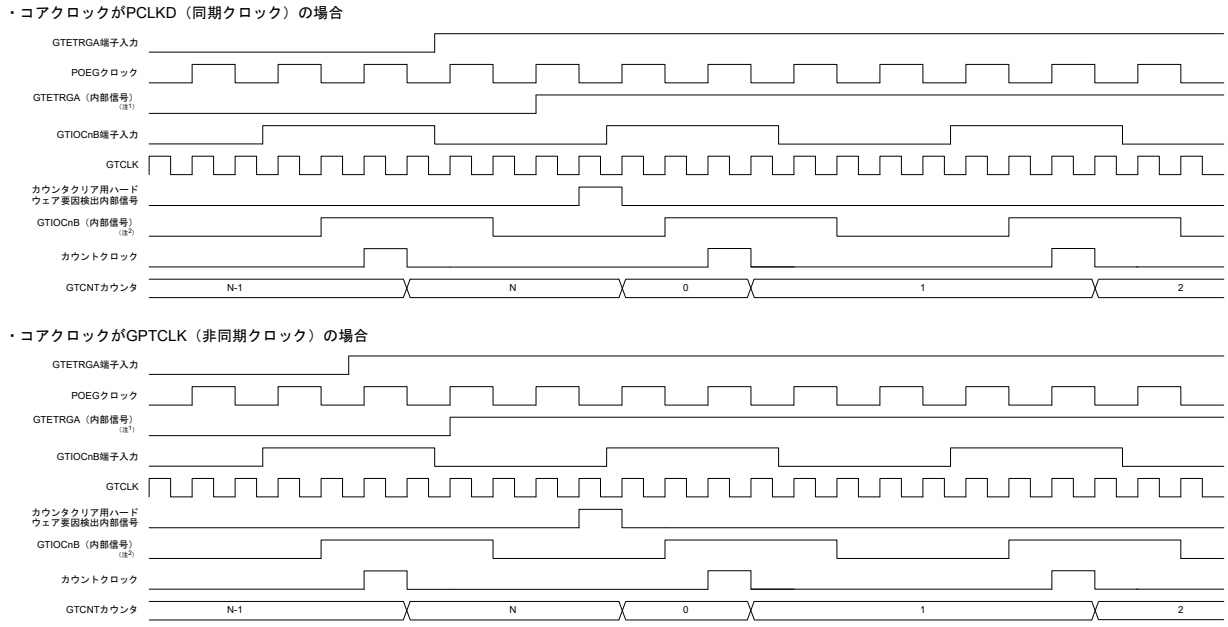


図 21.100 ELC_GPTA からのイベント入力に対応するカウンタクリアの動作タイミング例（GTCLK 信号の分周により生成されるクロック信号の周期計数中）

図 21.101 にハードウェア要因によりカウントがトリガされる場合の GTETRGA 端子入力の立ち上がりエッジに対応するカウンタクリア動作のタイミング例を示します。

GPT32 が内部クリア信号を検出した後に、GTCNT カウンタは GTCLK と同期してクリアされます。

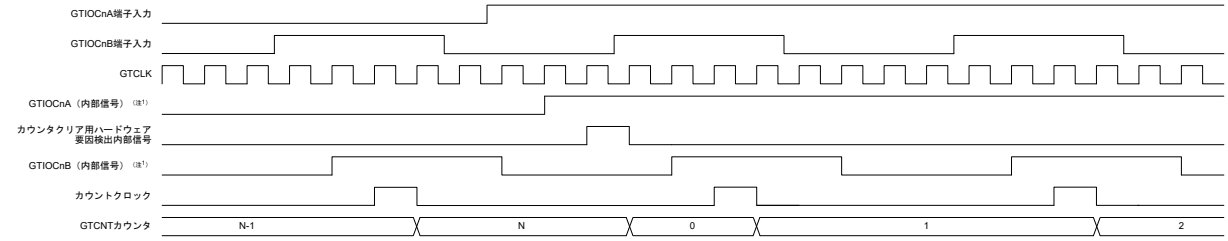


注. POEG クロック：PCLKB
注 1. POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。
注 2. これはデジタルノイズフィルタが使用されていない場合です。

図 21.101 GTETRGA 端子入力の立ち上がりエッジに対応するカウンタクリアの動作タイミング例（ハードウェア要因によりトリガされるカウント中）

図 21.102 にハードウェア要因によりカウントがトリガされる場合の GTIOCnA 端子入力の立ち上がりエッジに対応するカウンタクリア動作のタイミング例を示します。

GPT32 が内部クリア信号を検出した後に、GTCNT カウンタは GTCLK と同期してクリアされます。



注 1. これはデジタルノイズフィルタが使用されていない場合です。

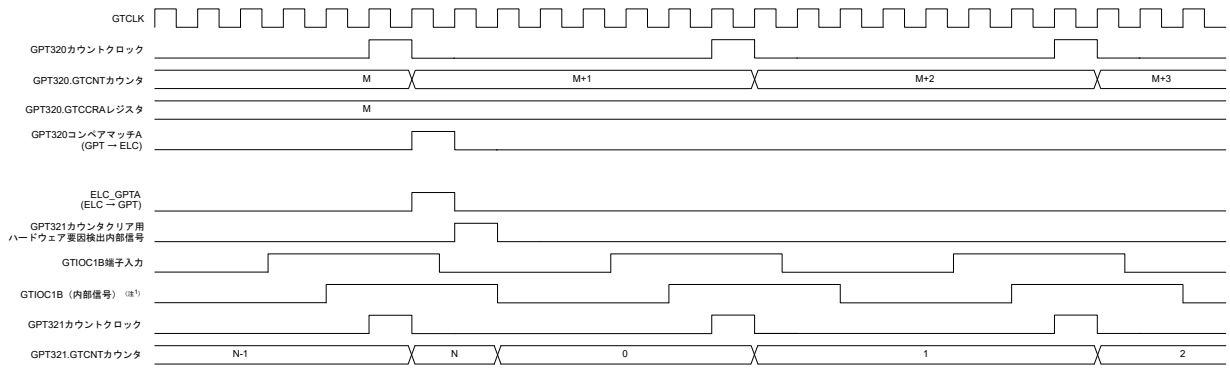
図 21.102 GTIOCnA 端子入力の立ち上がりエッジに対応するカウンタクリアの動作タイミング例（ハードウェア要因によりトリガされるカウント中）

図 21.103 にハードウェア要因によりカウントがトリガされる場合の ELC_GPTA からのイベント信号入力に対応するカウンタクリア動作のタイミング例を示します。

これは信号に対応する GPT321.GTCNT カウンタによるカウントクリアの動作例です。GPT320.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT321 への出力用トリガとして選択されます。

ELC は GPT320 からのイベント信号出力を遅延なく GPT321 へ渡します。

GPT32 が内部クリア信号を検出した後に、GTCNT カウンタは GTCLK と同期してクリアされます。



注 1. これはデジタルノイズフィルタが使用されていない場合です。

図 21.103 ELC_GPTA からのイベント入力に対応するカウンタクリアの動作タイミング例（ハードウェア要因によりトリガされるカウント中）

21.3.8 同期動作

同期スタート／ストップ／クリア動作など、チャネル間の同期動作を実行できます。

21.3.8.1 ソフトウェアによる同期動作

GTCNT カウンタは、対応する GTSTR ビット、GTSTP ビット、または GTCLR ビットを同時に 1 にすることにより、複数のチャネル上でスタート／ストップ／クリアできます。

また、GTCNT カウンタの初期値を設定し、対応する GTSTR ビットを同時に 1 にすることにより、位相の異なるカウントスタートが可能です。

GTCNT 同期セット／クリア機能が GTCR.SSCEN ビットで有効な場合、GTCR.SSCGRP[1:0]ビットの同じグループで設定されたチャネルの GTCNT レジスタは同時に書き込み可能です。

相補 PWM モードでは、GTCNT への同時書き込みは無効です。

GTSECR レジスタの SSCE ビットまたは SSCD ビットのどちらかが 1 の場合、GTSECSR レジスタで選択されたチャネルの GTCR.SSCEN ビットが 0 または 1 に設定され、複数のチャネル上での GTCNT 同期セット／クリア機能が同時に有効または無効になります。

カウント動作のクロックが各チャネルの GTCR.TPCS[3:0]ビットにより選択されるので、同期動作（カウントスタート／ストップ／クリア）を実行する各チャネルのクロック周期が他と異なる場合、チャネルごとの同期動作タイミングは全く同一ではありません。

図 21.104 にソフトウェアによる同時スタート／ストップ／クリアの動作例を示します。図 21.105 にソフトウェアによる位相スタートの動作例を示します。図 21.106、図 21.107、図 21.108 に異なるカウント周期の同時スタート／ストップ／クリアの動作例を示します。

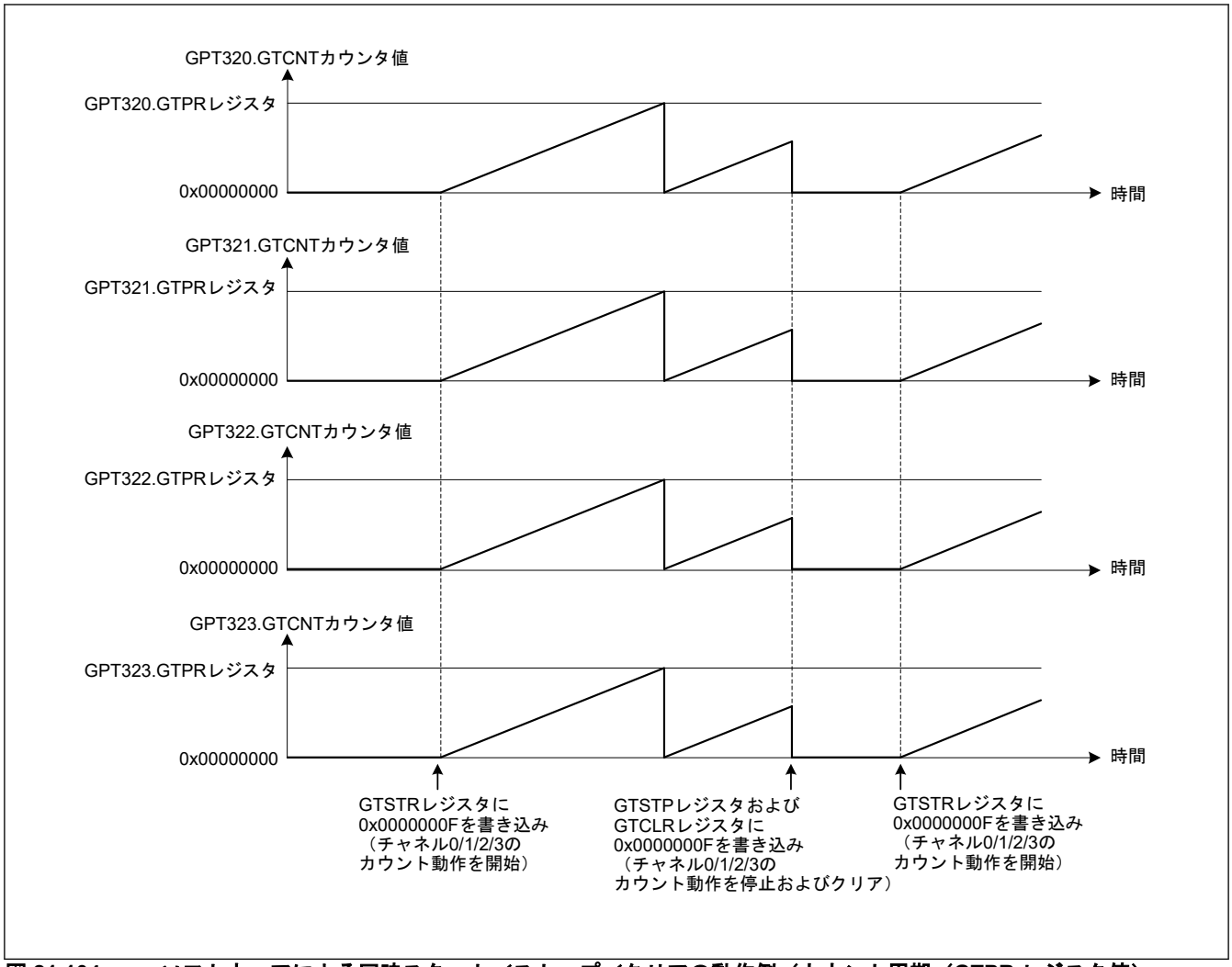


図 21.104　ソフトウェアによる同時スタート／ストップ／クリアの動作例（カウント周期（GTPR レジスタ値）が同一のとき）

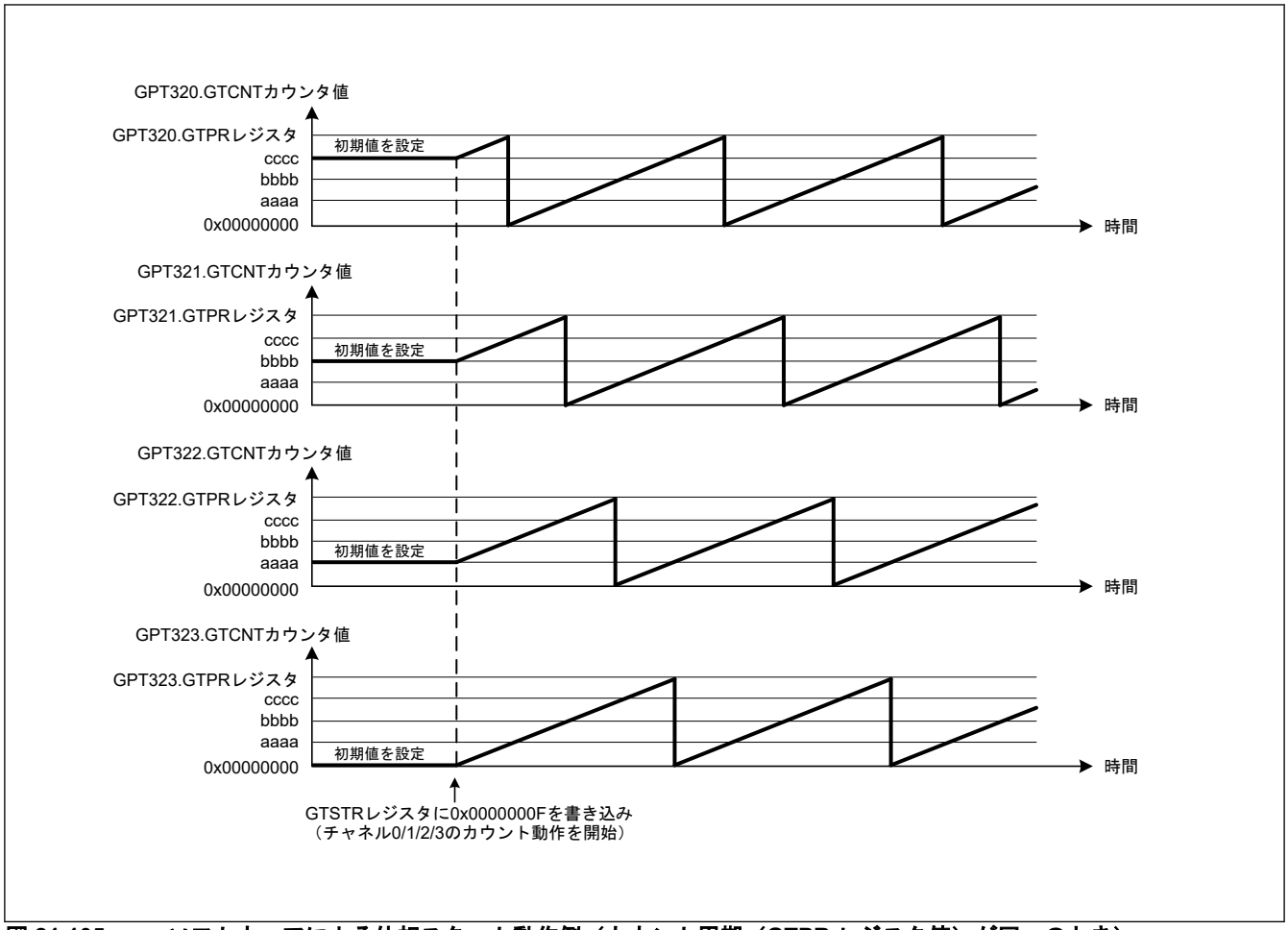


図 21.105　ソフトウェアによる位相スタート動作例（カウント周期（GTPR レジスタ値）が同一のとき）

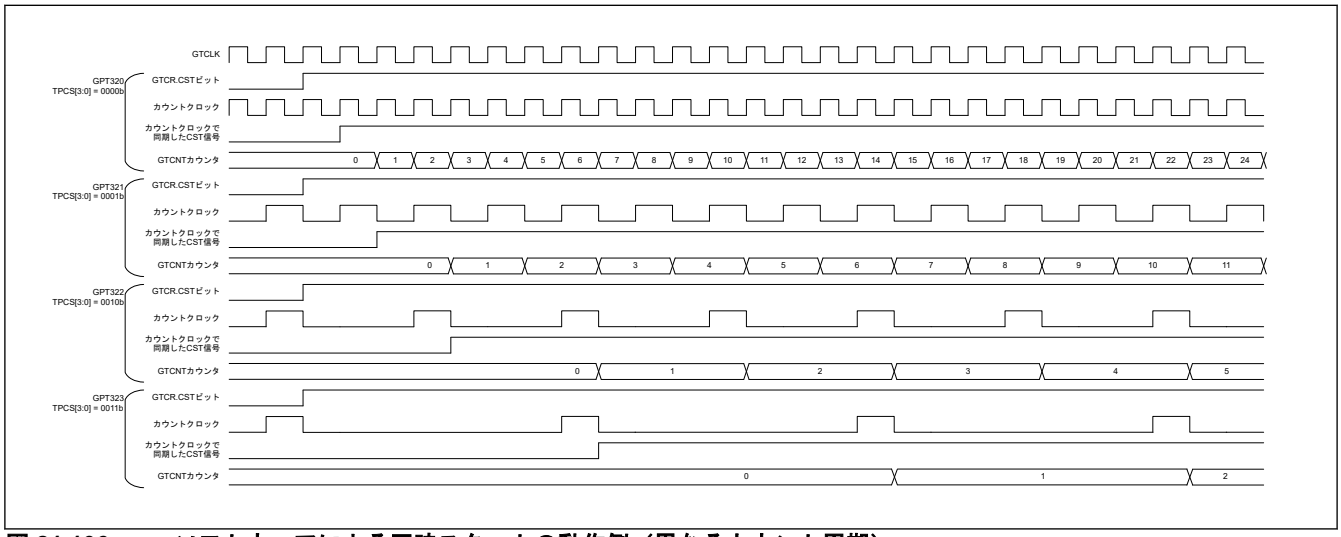


図 21.106　ソフトウェアによる同時スタートの動作例（異なるカウント周期）

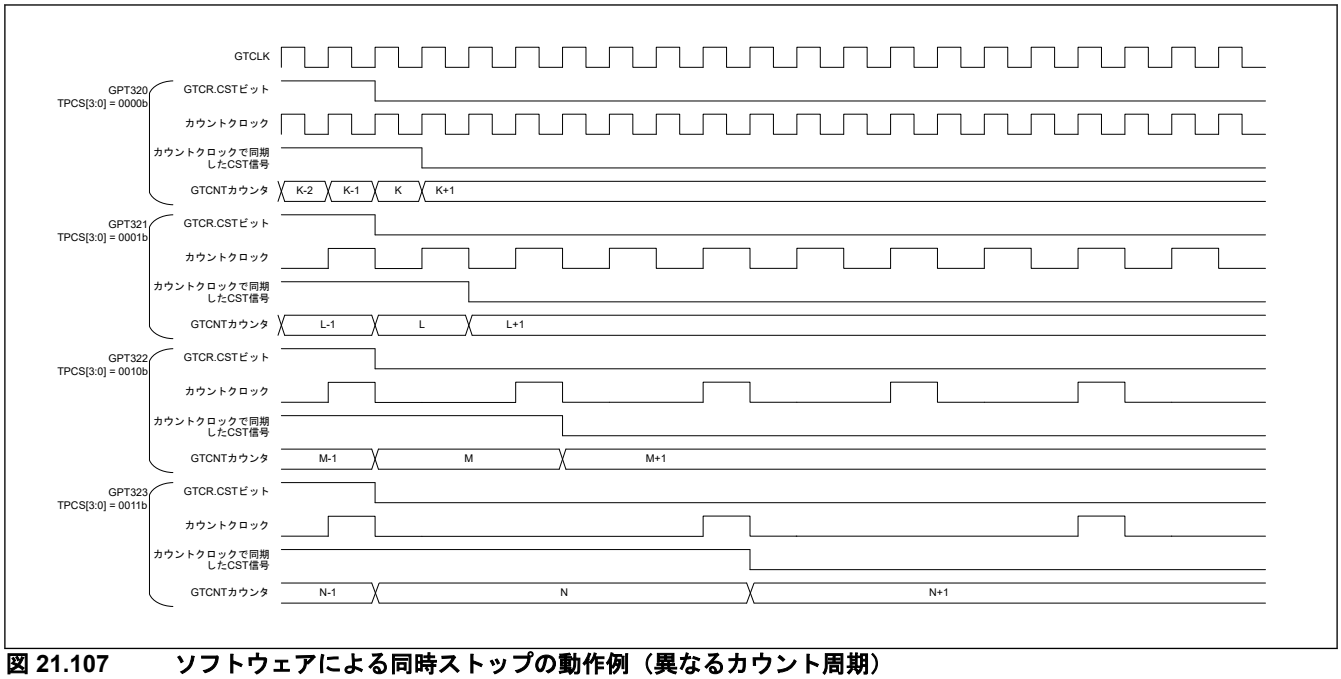


図 21.107　ソフトウェアによる同時ストップの動作例（異なるカウント周期）

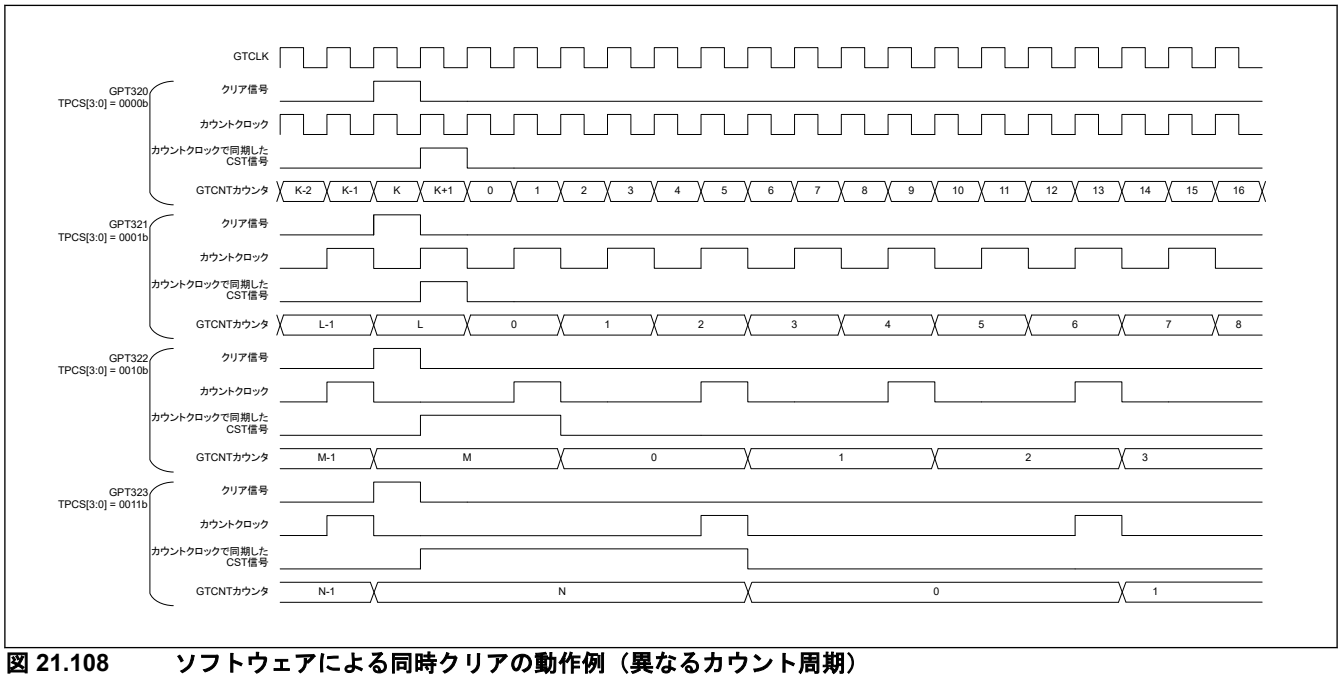
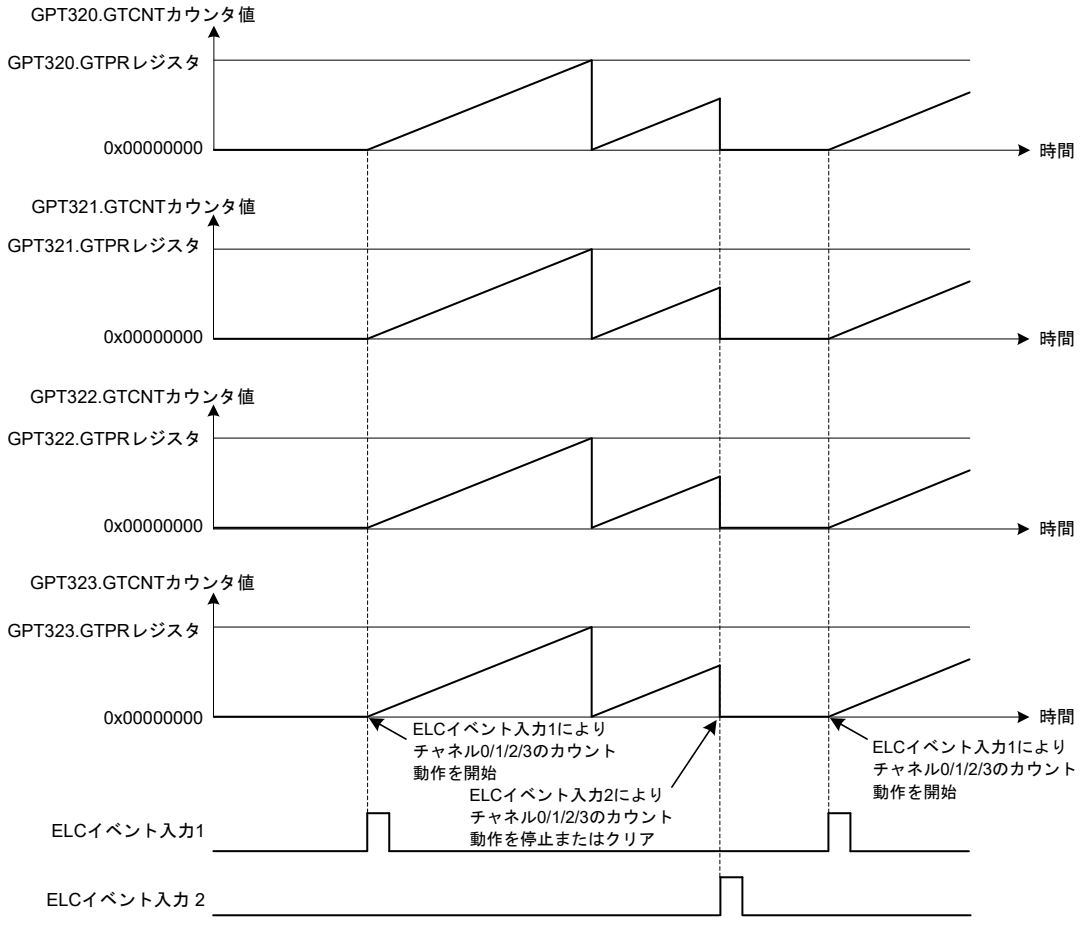


図 21.108　ソフトウェアによる同時クリアの動作例（異なるカウント周期）

21.3.8.2　ハードウェアによる同期動作

ハードウェア要因により、各チャネルのカウンタを同時にスタート、ストップ、クリアすることができます。同期動作が可能なハードウェア要因は、外部トリガ入力と ELC イベント入力です。GTIOCnA および GTIOCnB 端子入力による同期動作は、インプットキャプチャによる ELC イベントをハードウェア要因として設定することで実現できます（n = 0～9）。

図 21.109 にハードウェア要因による同時スタート／ストップ／クリアの動作例を示します。表 21.49 に設定例を示します。



注. ELC イベント入力 1： ELC_GPTA イベント入力
ELC イベント入力 2： ELC_GPTB イベント入力

図 21.109 ハードウェア要因による同時スタート／ストップ／クリア動作例（カウント周期（GTPR レジスタ値）が同一のとき）

表 21.49 ハードウェア要因による同時スタート設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 21.109 では 000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.109 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 21.109 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。 図 21.109 では GTSSR.SSELCA = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。 図 21.109 では GTPSR.PSELCB = 1

表 21.49　ハードウェア要因による同時スタート設定例 (2/2)

No.	手順名	説明
8	ハードウェアカウンタクリア設定	GTCSR レジスタでカウントをクリアさせるハードウェア要因を選択し、ハードウェア要因によるカウンタクリア待ち状態にします。 図 21.109 では GTCSR.CSELCB = 1
9	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタ、GTCSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート／ストップ／クリアさせます。 図 21.109 では ELC_GPTA イベント入力、ELC_GPTB イベント入力の設定をします。

21.3.8.3　チャネル間連携による同期クリア動作

コンペアマッチ、インプットキャプチャ、のこぎり波のアップカウントオーバーフロー、のこぎり波のダウンカウントオーバーフロー、GTCSR レジスタの GTIOCnA／GTIOCnB 端子入力の選択によるチャネルのカウンタクリア時に、他のチャネルのカウンタも同時にクリアできます。

GTCLR レジスタ、外部トリガ入力、および ELC 入力によるカウンタクリアは、同じカウンタクリア要因を同期クリアの対象チャネルに設定している場合に、同期クリアとして実行できます。そのため、これらの要因はチャネル間連携による同期クリア動作用に準備されていません。

同期クリア要因を発生させるチャネルと、同期クリアするチャネルを、GTCR.SSCGRP[1:0] ビットで同じ同期セット／クリアグループに設定してください。

「21.3.8.1. ソフトウェアによる同期動作」の同期動作と同様に、GTCR.TPCS[3:0] ビットで選択したカウントクロックがチャネルごとに異なる場合、同期クリア動作を正確に同じタイミングで実行することはできません。図 21.108 のソフトウェアによる同期クリア動作例と同様に、カウントクロックがチャネルごとに異なる場合、同期クリア要因が各チャネルのカウントクロックに同期してからカウンタがクリアされます。

GTSECR レジスタの SSCE ビットまたは SSCD ビットのどちらかが 1 の場合、GTSECSR レジスタで選択されたチャネルの GTCR.SSCEN ビットが 0 または 1 に設定され、複数のチャネル上での GTCNT 同期セット／クリア機能が同時に有効または無効になります。

図 21.110 にチャネル間連携による同期クリアの動作例を、表 21.50 にチャネル間連携による同期クリア動作の設定例を示します。

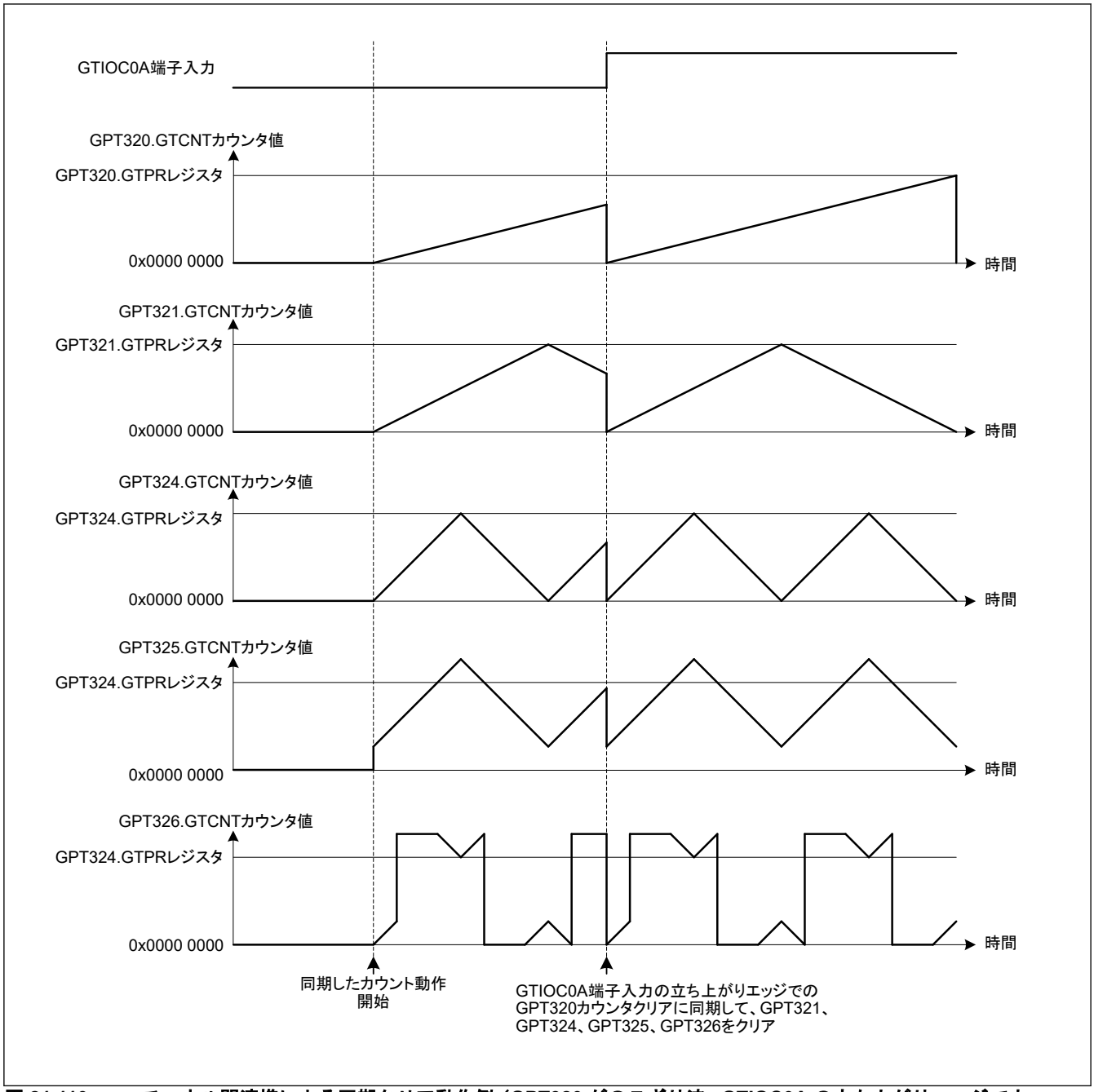


図 21.110 チャネル間連携による同期クリア動作例（GPT320 がのこぎり波、GTIOC0A の立ち上がりエッジでカウンタクリア、GPT321 が三角波、GPT324、GPT325、GPT326 が相補 PWM モード。GPT320、GPT321、GPT324、GPT325、GPT326 は同じ同期セット／クリアグループ）

表 21.50 チャネル間連携による同期クリア動作の設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0] ビットまたは GTCR.MD[3:0] ビットで動作モードを設定します。 図 21.110 の例では、GPT320 に 000b（のこぎり波 PWM モード 1）を設定します。GPT321 に 100b（三角波 PWM モード 1）を設定します。GPT324（GPT325、GPT326）には 1100b（相補 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.110 の例では、GPT320 と GPT321 の場合は GTUDDTYC の下位 2 ビットに 11b 設定してから、GTUDDTYC の下位 2 ビットに 01b（アップカウント）を設定します。
3	カウントクロックの選択	各チャネルの GTCR.TPCS[3:0] ビットでカウントクロックを選択します。

表 21.50 チャネル間連携による同期クリア動作の設定例 (2/2)

No.	ステップ名	説明
4	周期設定	各チャネルの GTPR レジスタに周期を設定します。 相補 PWM モードの場合、マスタチャネルの GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	各チャネルの GTCNT カウンタに初期値を設定します。
6	チャネル間連携の同期クリア設定（ソースチャネル）	チャネル間連携の同期クリアのソースチャネルの GTINTAD レジスタと GTCR.SCGTIOC ビットを設定して同期クリアを許可します。 相補 PWM モードの場合、マスタチャネルの GTINTAD レジスタを設定します。 図 21.110 の例では、GPT320.GTCR.SCGTIOC ビットは 1 です。
7	チャネル間連携の同期クリア設定（クリアチャネル）	チャネル間連携の同期クリアのクリアチャネルの GTCSR.CSCMSC[2:0] ビットを設定して同期カウンタクリアグループによるカウンタクリアを選択します。 相補 PWM モードの場合、マスタチャネルの GTCSR レジスタを設定します。 図 21.110 の例では、GPT321 と GPT324 の GTCSR.CSCMSC[2:0] ビットは 111b です。
8	チャネル間連携の同期クリアのグループ設定	チャネル間連携の同期クリアのソースチャネルと各クリアチャネルの GTCR.SSCGRP[1:0] ビットに同じ値を設定し、これらのチャネルを同じ同期セット／クリアグループに設定します。 相補 PWM モードの場合、マスタチャネルの GTCR レジスタを設定します。
9	チャネル間連携の同期クリア許可	チャネル間連携の同期クリアのソースチャネルと各クリアチャネルの GTCR.SSCEN ビットを設定して同期クリアを許可します。

21.3.9 PWM 出力動作例

(1) 同期 PWM 出力

最大 10 チャネル 10 × 2 相の連動した PWM 波形を出力します。

図 21.111 に、4 チャネルをのこぎり波 PWM モード 1 で同期動作させて、8 相の PWM 波形を出力させる例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCnB 端子は、初期値として Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。

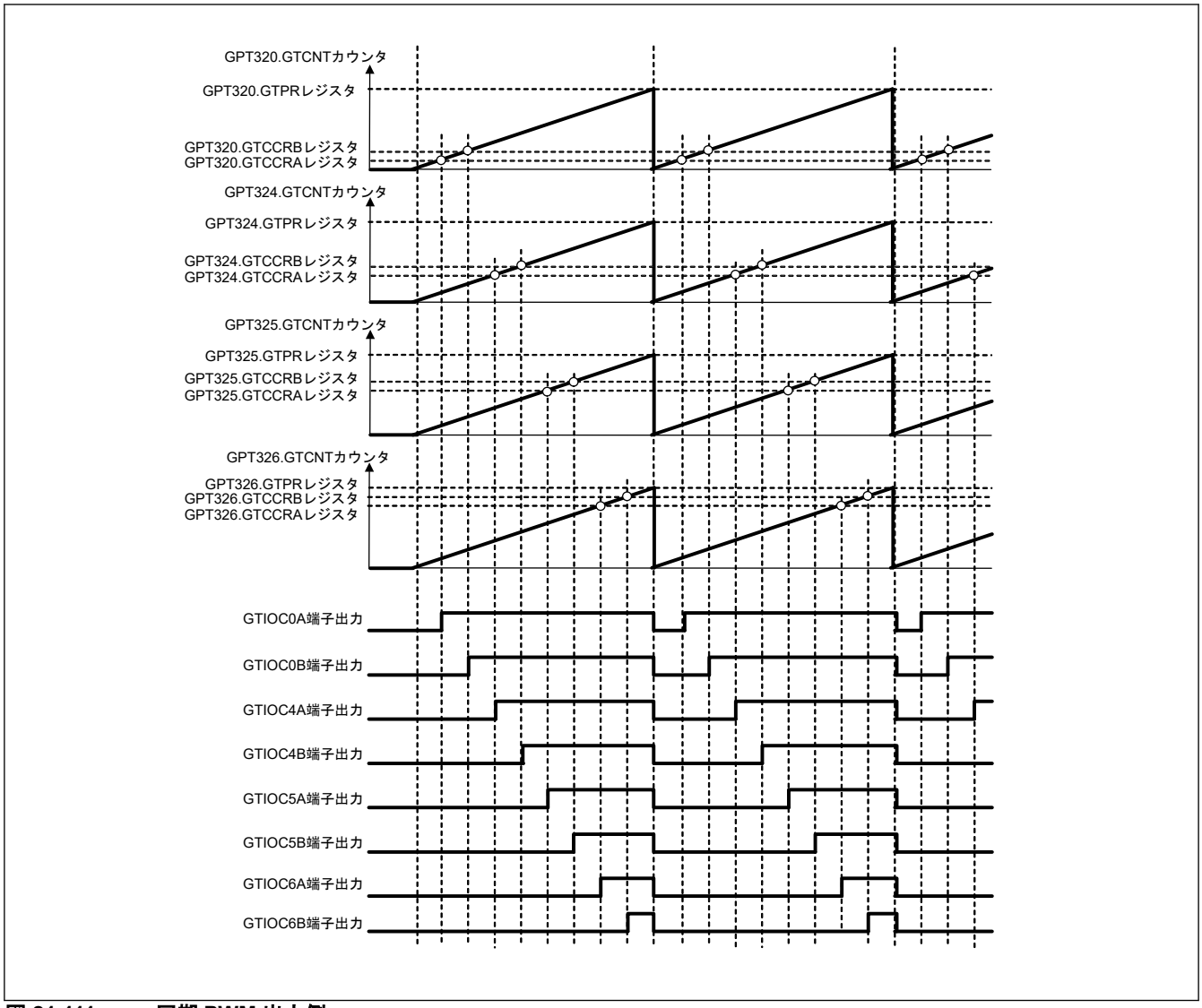


図 21.111　同期 PWM 出力例

(2)　のこぎり波 3 相相補 PWM 出力

図 21.112 に、3 チャネルをのこぎり波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力するように設定されています。

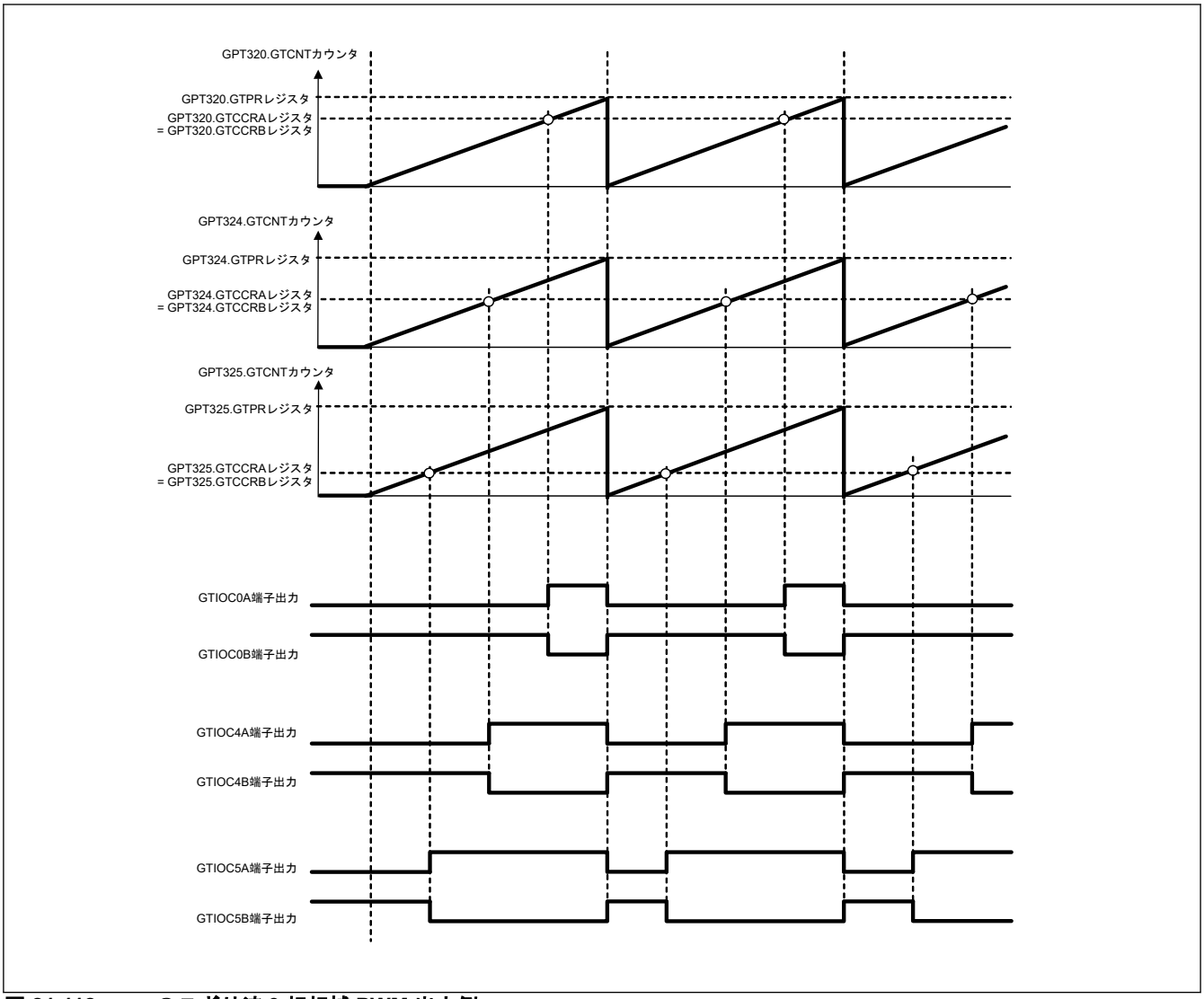


図 21.112　　のこぎり波 3 相相補 PWM 出力例

(3)　のこぎり波 3 相相補 PWM 出力（デッドタイム自動設定）

図 21.113 に、デッドタイム自動設定機能を使用して、3 チャネルをのこぎり波ワンショットパルスモードで同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

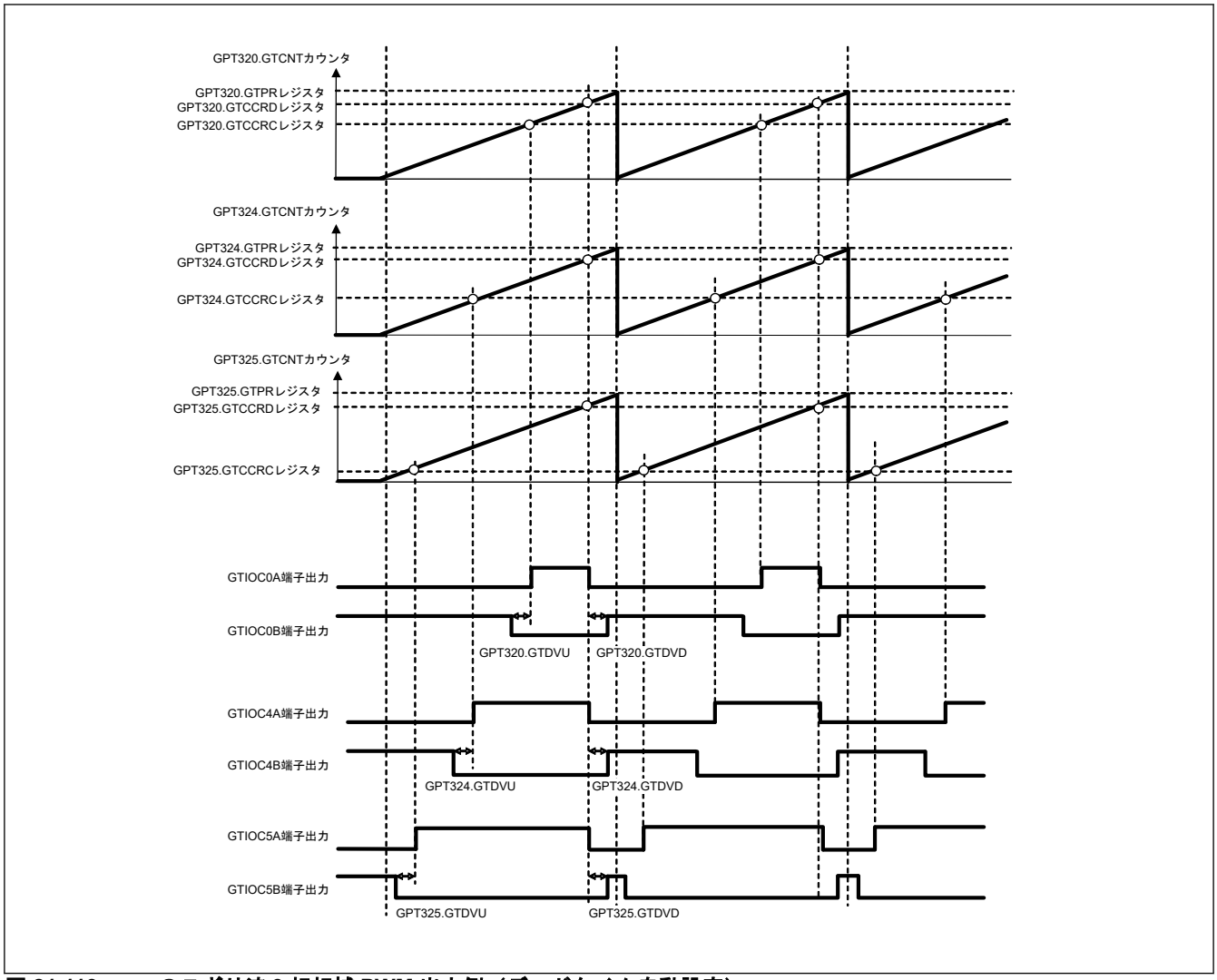


図 21.113　　のこぎり波 3 相相補 PWM 出力例（デッドタイム自動設定）

(4)　三角波 3 相相補 PWM 出力

図 21.114 に、3 チャネルを三角波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

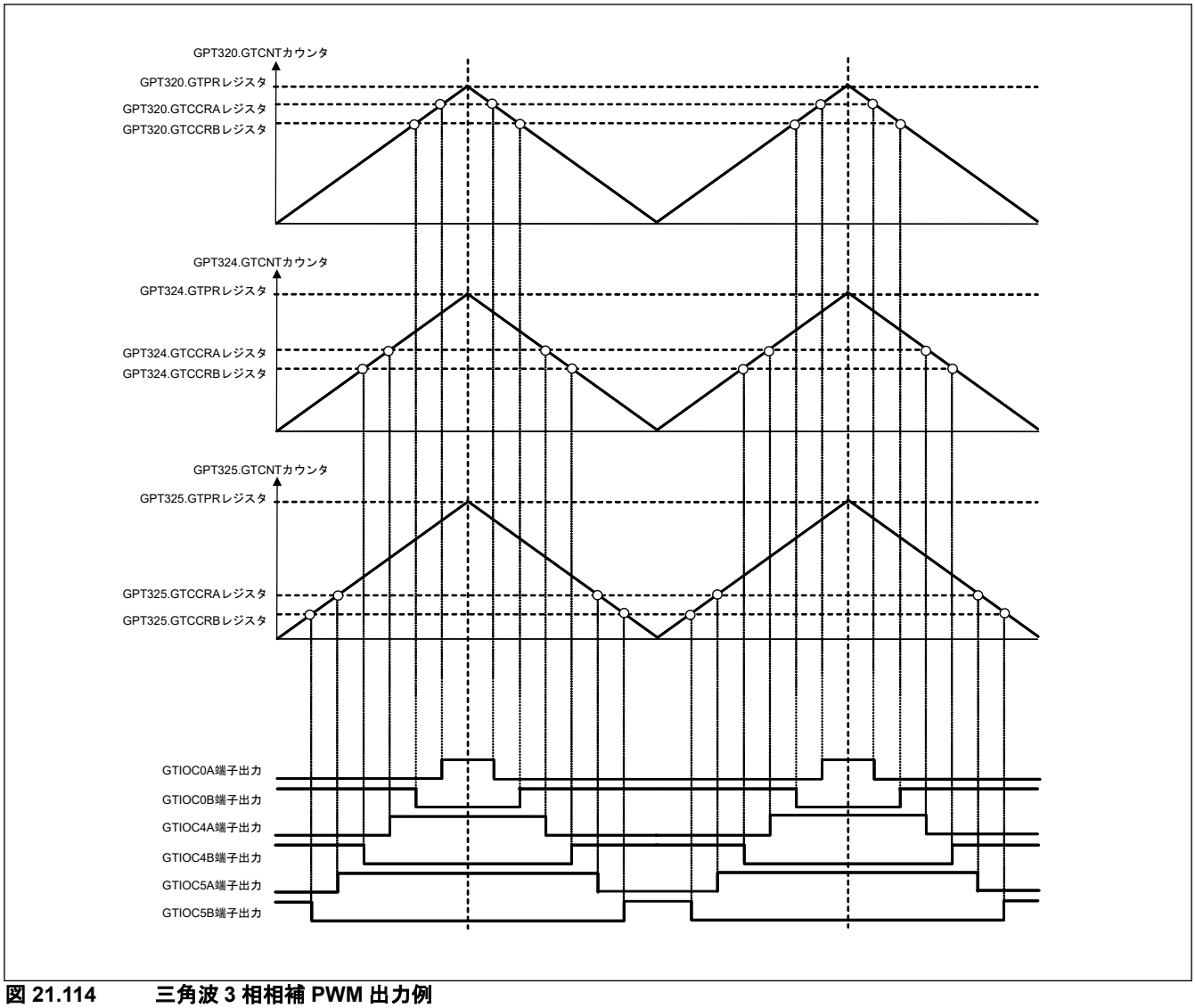


図 21.114　三角波 3 相相補 PWM 出力例

(5)　三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 21.115 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 1 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

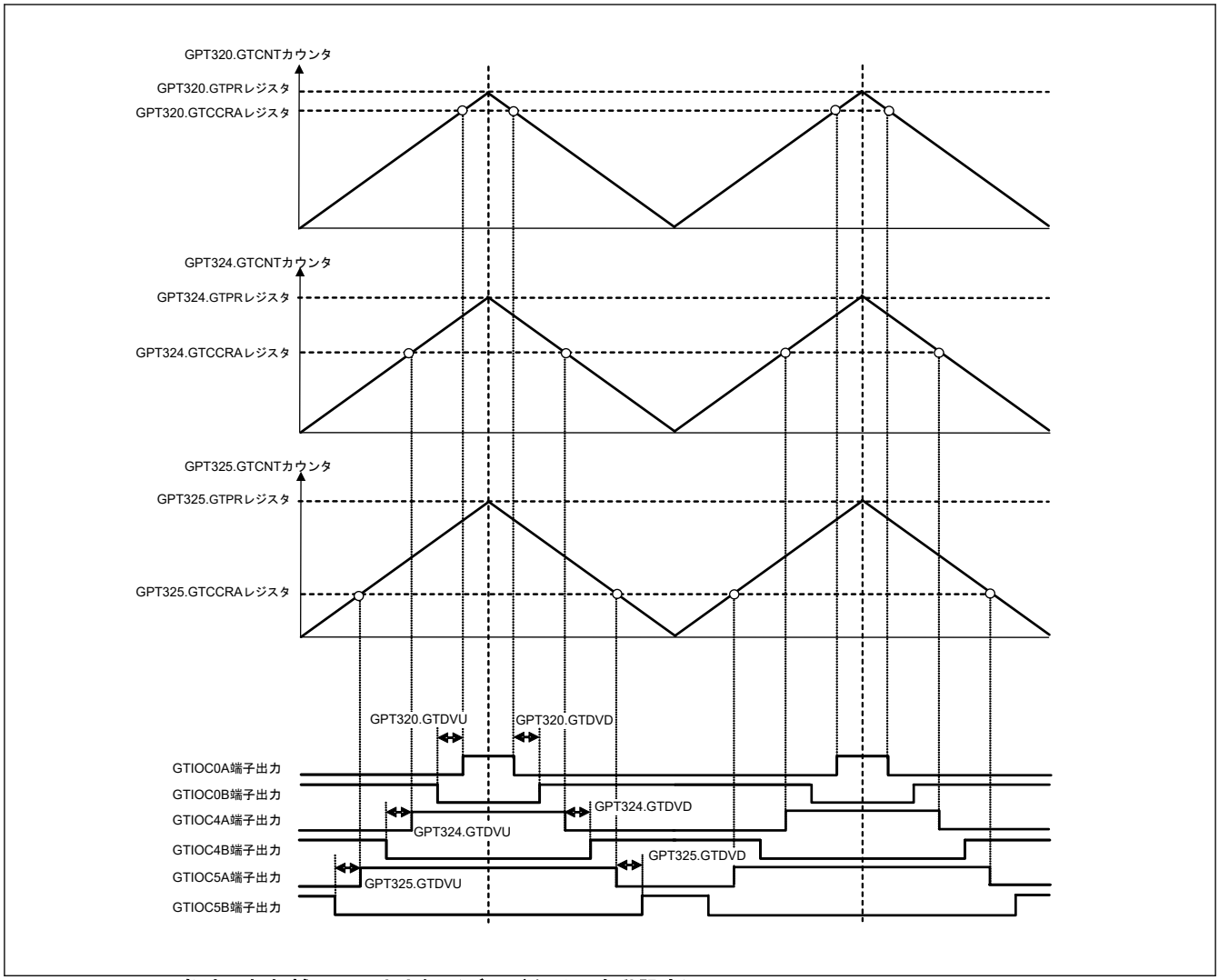


図 21.115　三角波 3 相相補 PWM 出力例（デッドタイム自動設定）

(6)　非対称三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 21.116 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 3 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

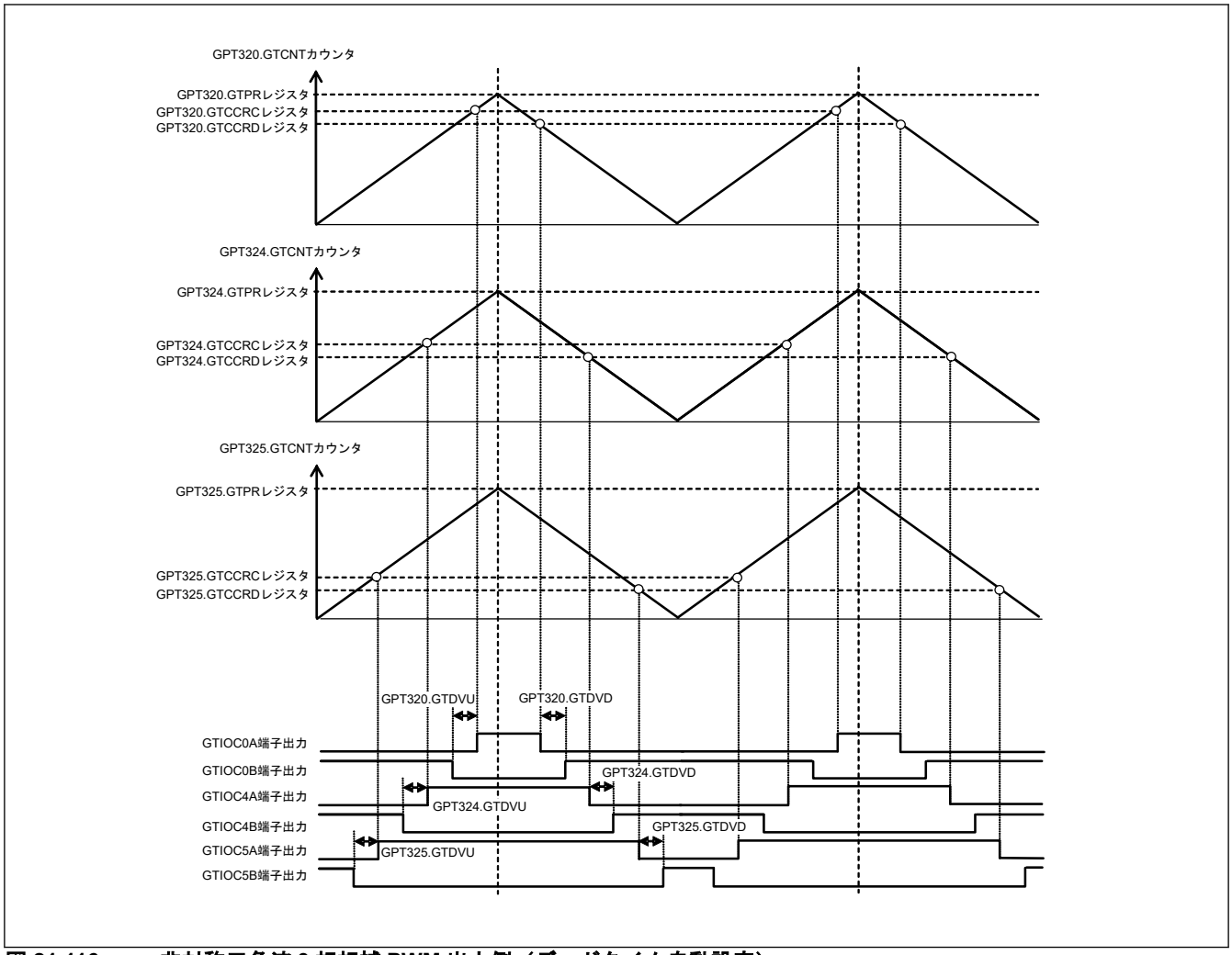


図 21.116　非対称三角波 3 相相補 PWM 出力例（デッドタイム自動設定）

21.3.10　周期計数機能

GTPC レジスタを設定すると、周期の終了を計数できます。

GTPC.PCEN ビットが 0 の場合、計数する周期の数は GTPC.PCNT カウンタに設定します。PCEN ビットが 1 のとき、PCNT カウンタを読み出せますが、書き込みはできません。PCEN ビットが 1 のとき、周期の終わりでダウンカウントが実行されます。周期の終わりに PCNT カウンタが 1 であるとき、カウンタは 0 になり、計数を停止し周期計数機能を終了します。その時、GTST.PCF フラグが設定され、周期計数機能終了割り込み要求 GPTn_PC が発生します。GTPC.ASTP ビットが 1 の場合、周期計数機能が終了したときに GTCNT カウンタも同時に停止します。

周期計数機能が許可された状態で、GTCNT カウンタが停止したとき、PCNT カウンタはその値を保持します。GTCNT カウンタがカウントを再開して PCEN ビットが 1 のとき、PCNT カウンタは保持していた値からダウンカウントを再開します。

PCNT カウンタが 0 で ASTP ビットが 1 の状態で PCEN ビットを 0 から 1 に変更した場合、GTCNT カウンタはその直後にカウントクロックで停止します。

GTSECR.SPCE ビットまたは GTSECR.SPCD ビットいずれかが 1 に設定されたとき、GTSECSR レジスタによって 1 に設定されたチャネルの PCEN ビットが、複数のチャネルの周期計数機能を許可／禁止する値に同時に設定されます。

PWM 周期計数機能の例を図 21.117 と図 21.118 に示します。

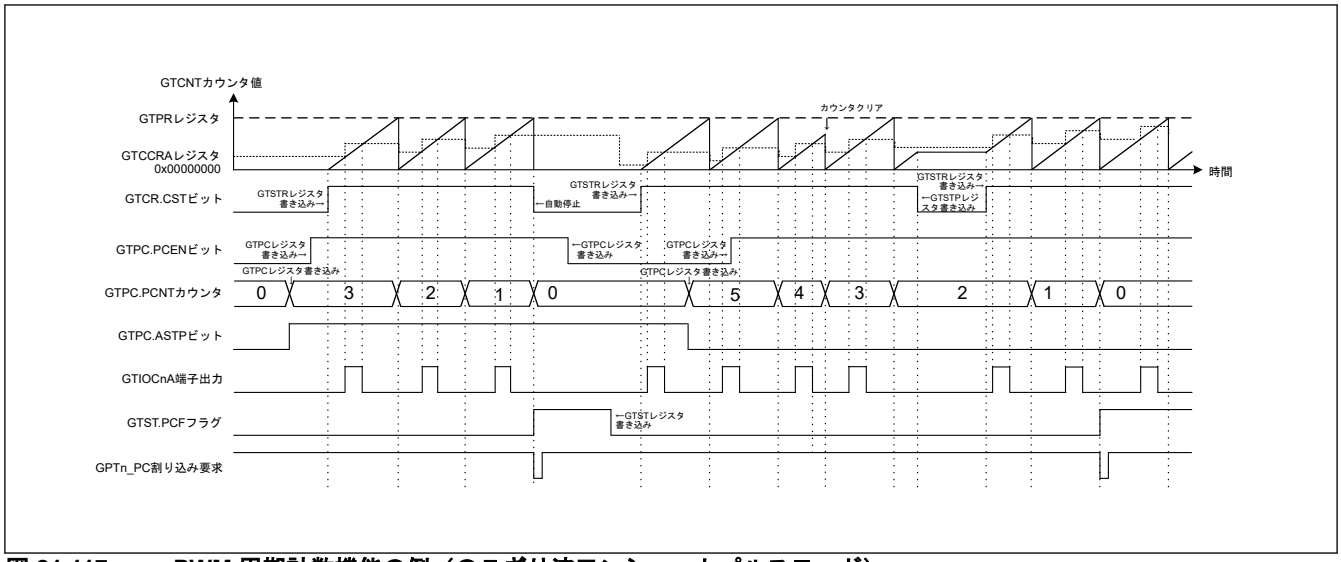
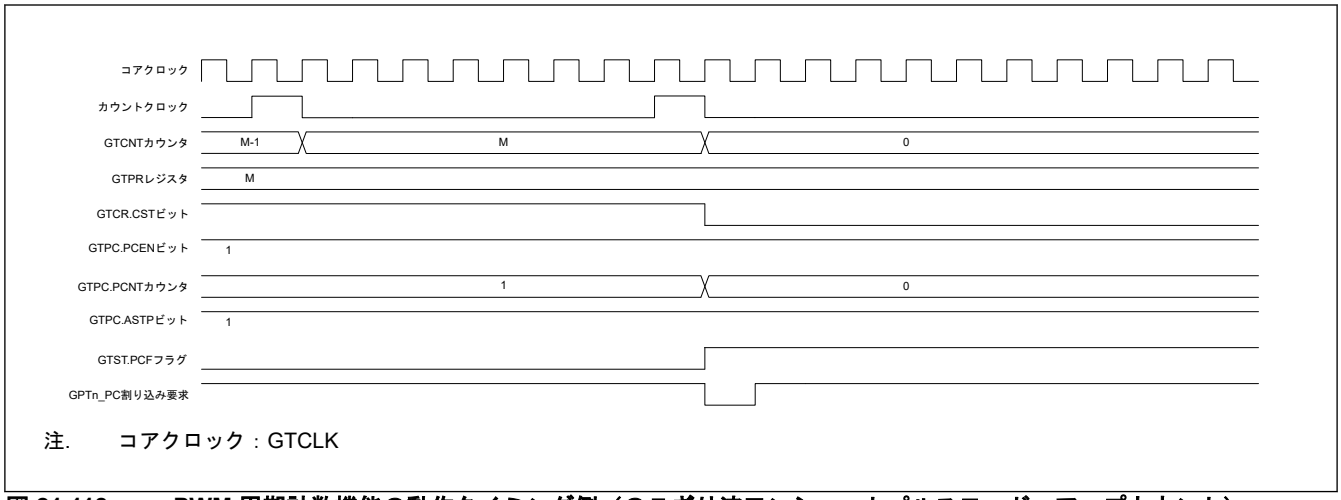


図 21.117 PWM 周期計数機能の例（のこぎり波ワンショットパルスモード）



注. コアクロック：GTCLK

図 21.118 PWM 周期計数機能の動作タイミング例（のこぎり波ワンショットパルスモード、アップカウント）

21.3.11 位相計数機能

GTIOCnA 端子入力と GTIOCnB 端子入力の間で位相差が検出されると、対応する GTCNT カウンタがアップカウントまたはダウンカウントを実行します（n = 0～3）。GTUPSR および GTDNSR レジスタに設定されている GTIOCnA 端子入力と GTIOCnB 端子入力のレベルとエッジの関係が、どのような組み合わせであっても位相差を検出できます。カウント動作については、「21.3.1.1. カウンタの動作」を参照してください。

図 21.119～図 21.128 に GTIOCnA 端子、GTIOCnB 端子を使用する場合の位相計数モード 1～5 の動作例を示します。表 21.51～表 21.60 にアップカウント／ダウンカウントの条件を、図 21.119～図 21.128 に対応する GTUPSR レジスタおよび GTDNSR レジスタの設定値を示します。

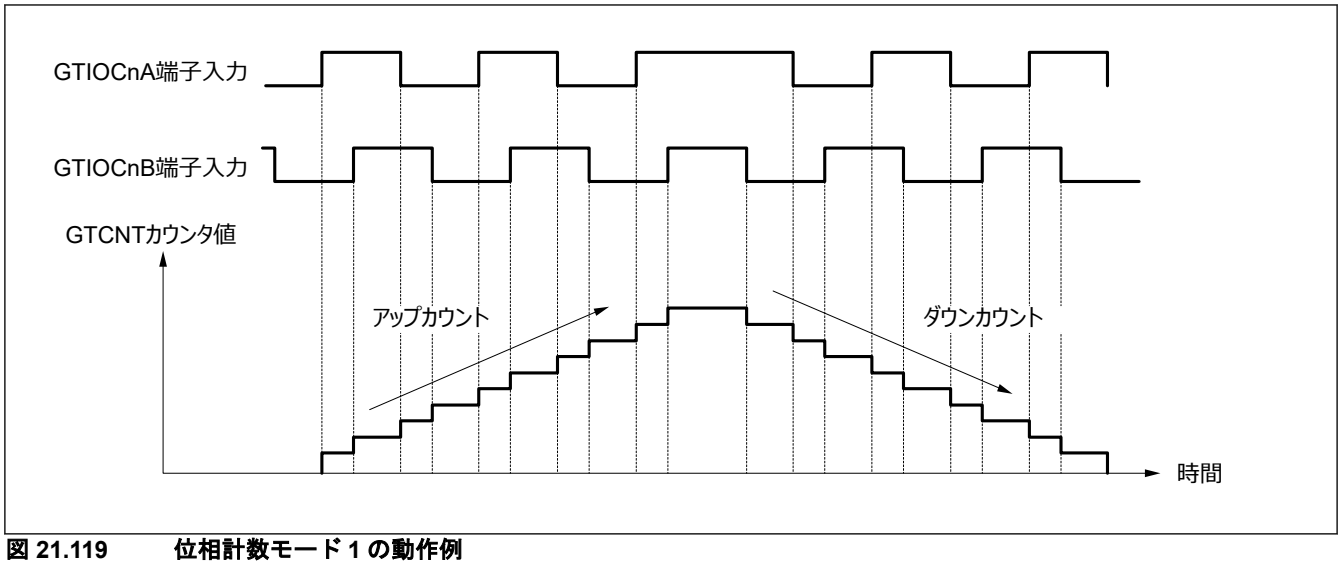


図 21.119　位相計数モード 1 の動作例

表 21.51　位相計数モード 1 でのアップカウント／ダウンカウントの条件

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	アップカウント	GTUPSR = 0x00006900 GTDNSR = 0x00009600
Low	↓		
↑	Low		
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High		
↓	Low		

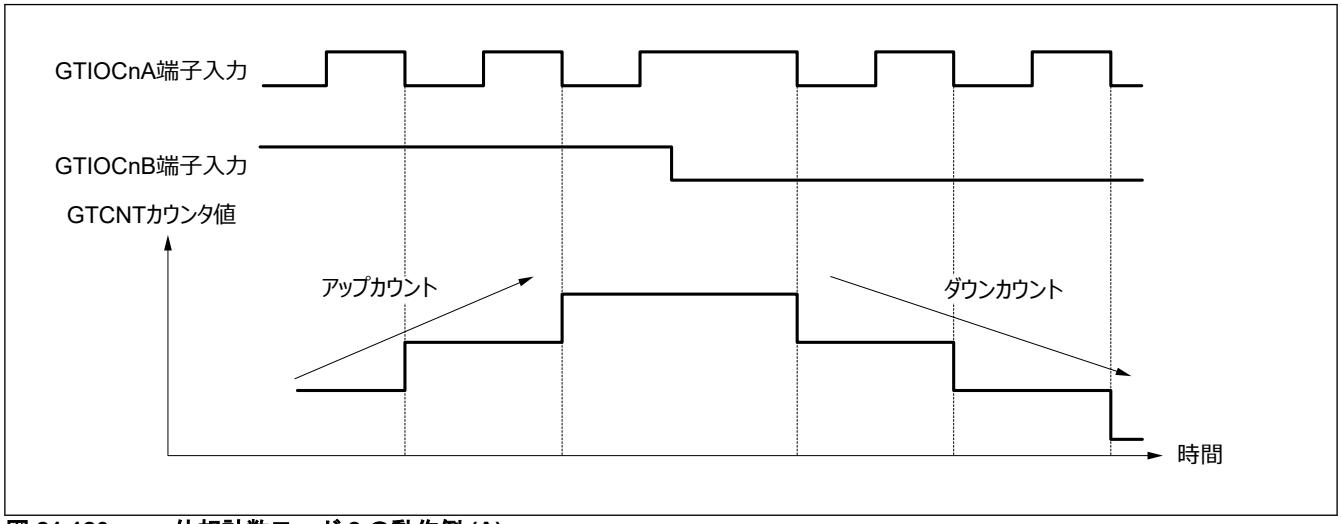


図 21.120　位相計数モード 2 の動作例 (A)

表 21.52 位相計数モード 2 でのアップカウント／ダウンカウントの条件 (A)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000800 GTDNSR = 0x00000400
Low			
	Low		
	High	アップカウント	
High		カウントしない	
Low			
	High		
	Low	ダウンカウント	

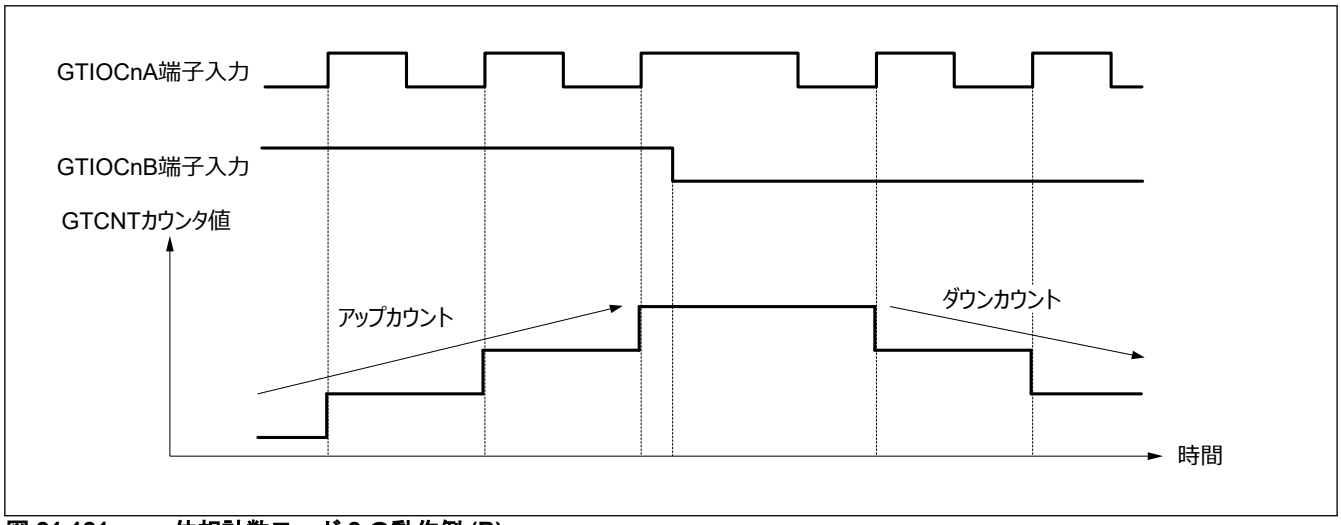


図 21.121 位相計数モード 2 の動作例 (B)

表 21.53 位相計数モード 2 でのアップカウント／ダウンカウントの条件 (B)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000200 GTDNSR = 0x00000100
Low			
	Low	ダウンカウント	
	High	カウントしない	
High			
Low			
	High	アップカウント	
	Low	カウントしない	

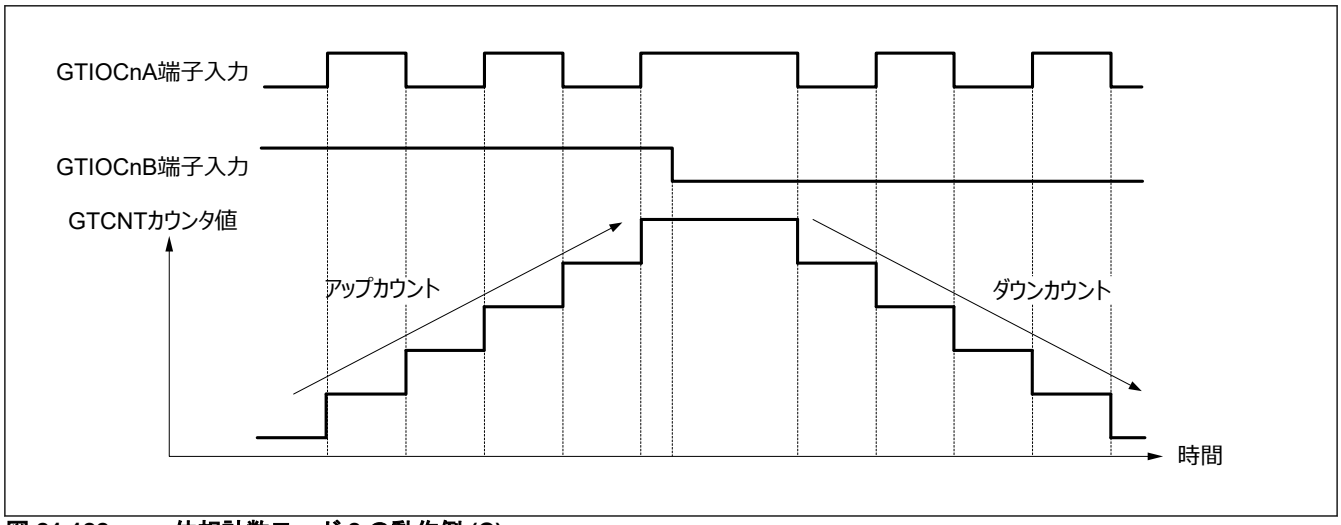


図 21.122 位相計数モード 2 の動作例 (C)

表 21.54　位相計数モード 2 でのアップカウント／ダウンカウントの条件 (C)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000A00 GTDNSR = 0x00000500
Low			
	Low	ダウンカウント	
	High	アップカウント	
High		カウントしない	
Low			
	High	アップカウント	
	Low	ダウンカウント	

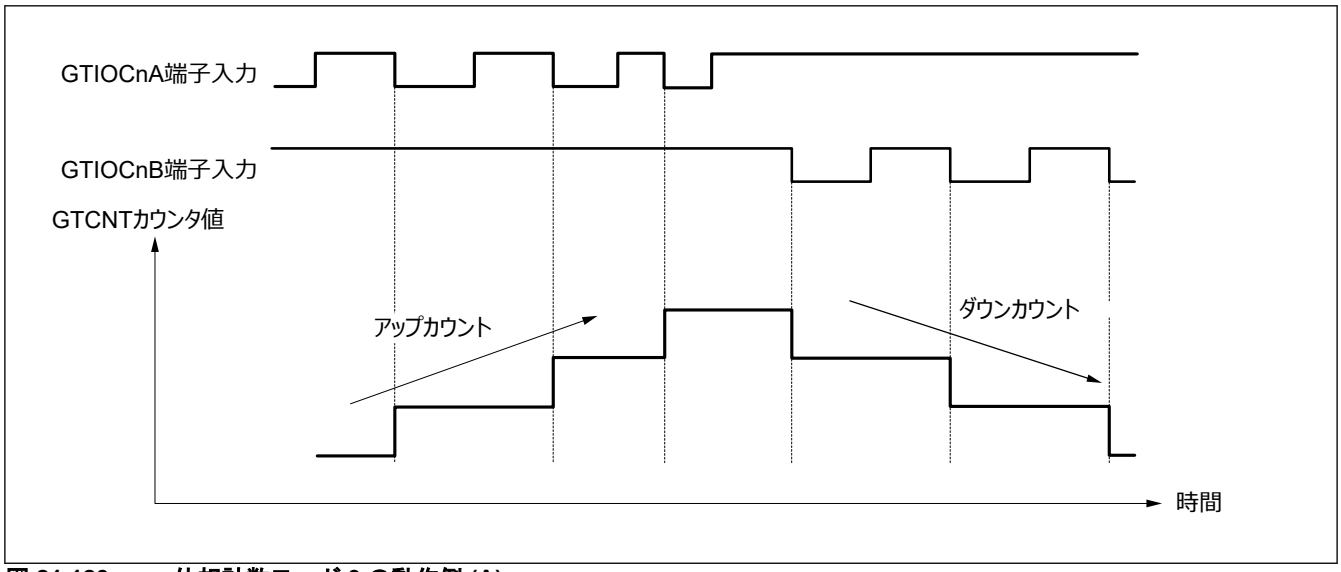


図 21.123　位相計数モード 3 の動作例 (A)

表 21.55　位相計数モード 3 でのアップカウント／ダウンカウントの条件 (A)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000800 GTDNSR = 0x00008000
Low			
	Low		
	High	アップカウント	
High		ダウンカウント	
Low		カウントしない	
	High		
	Low		

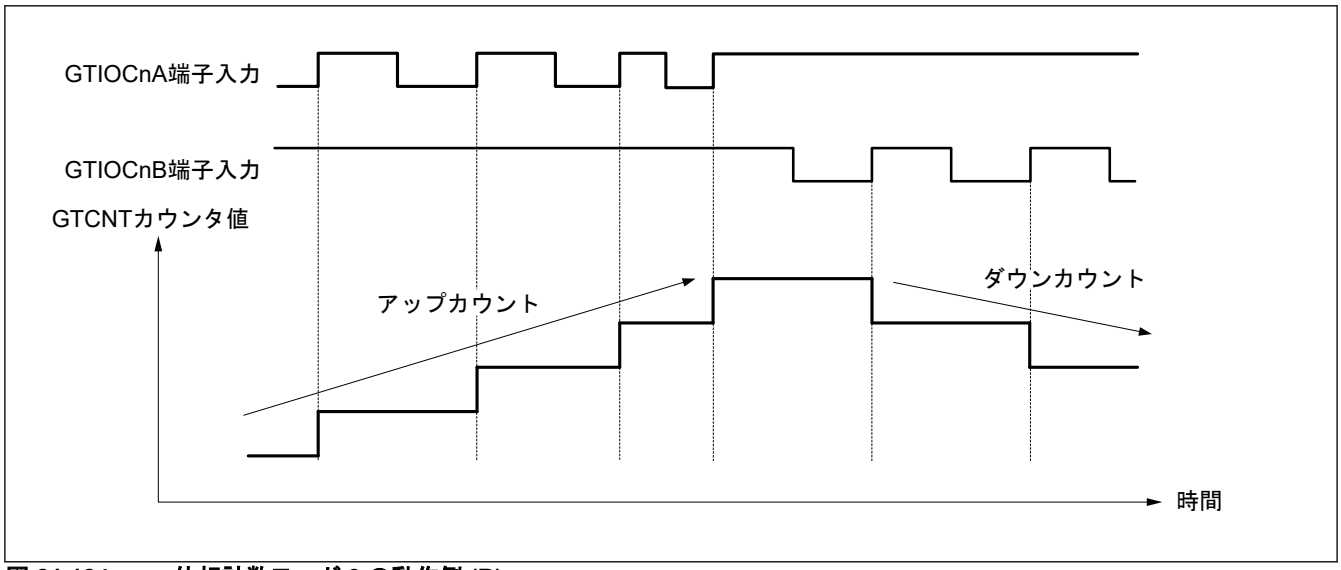


図 21.124　位相計数モード 3 の動作例 (B)

表 21.56　位相計数モード 3 でのアップカウント／ダウンカウントの条件 (B)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	ダウンカウント	GTUPSR = 0x00000200 GTDNSR = 0x00002000
Low	↓	カウントしない	
↑	Low		
↓	High		
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	カウントしない	

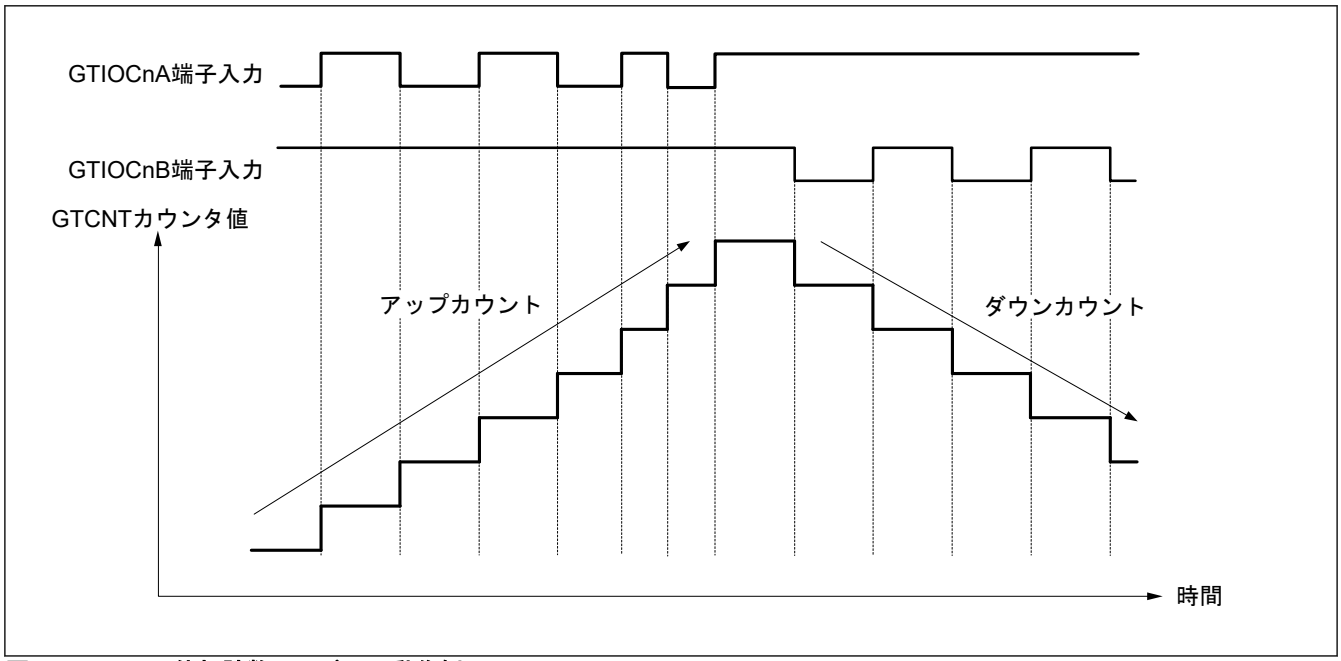


図 21.125　位相計数モード 3 の動作例 (C)

表 21.57　位相計数モード 3 でのアップカウント／ダウンカウントの条件 (C)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		ダウンカウント	GTUPSR = 0x00000A00 GTDNSR = 0x0000A000
Low		カウントしない	
	Low		
	High	アップカウント	
High		ダウンカウント	
Low		カウントしない	
	High	アップカウント	
	Low	カウントしない	

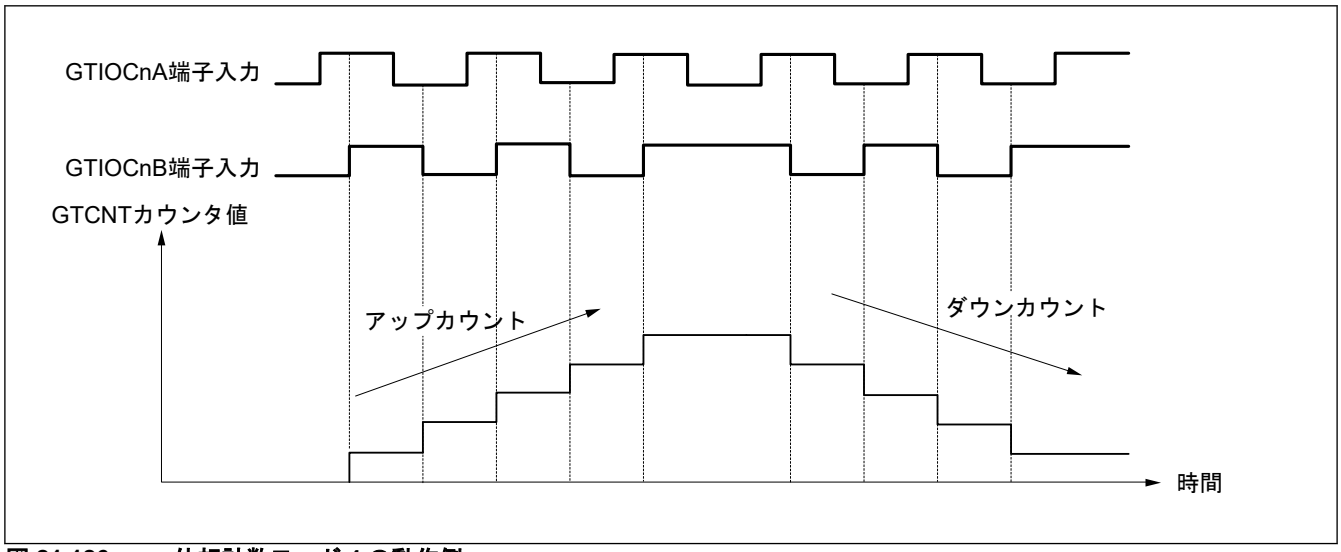


図 21.126　位相計数モード 4 の動作例

表 21.58　位相計数モード 4 でのアップカウント／ダウンカウントの条件

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		アップカウント	GTUPSR = 0x00006000 GTDNSR = 0x00009000
Low			
	Low	カウントしない	
	High		
High		ダウンカウント	
Low			
	High	カウントしない	
	Low		

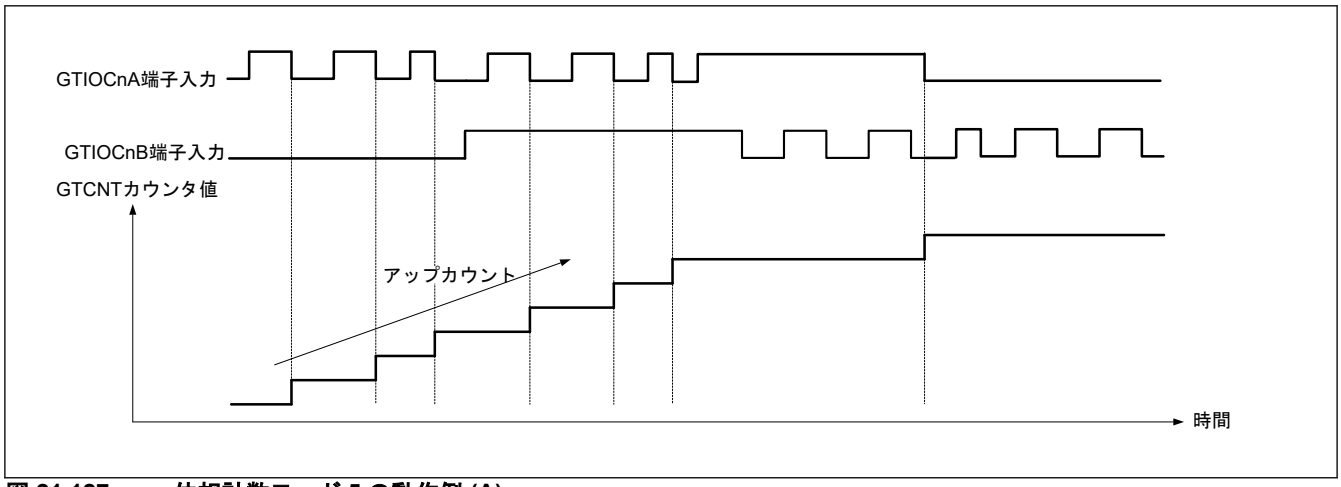


図 21.127　位相計数モード 5 の動作例 (A)

表 21.59　位相計数モード 5 でのアップカウント／ダウンカウントの条件 (A)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000C00 GTDNSR = 0x00000000
Low			
	Low		
	High	アップカウント	
High		カウントしない	
Low			
	High		
	Low	アップカウント	

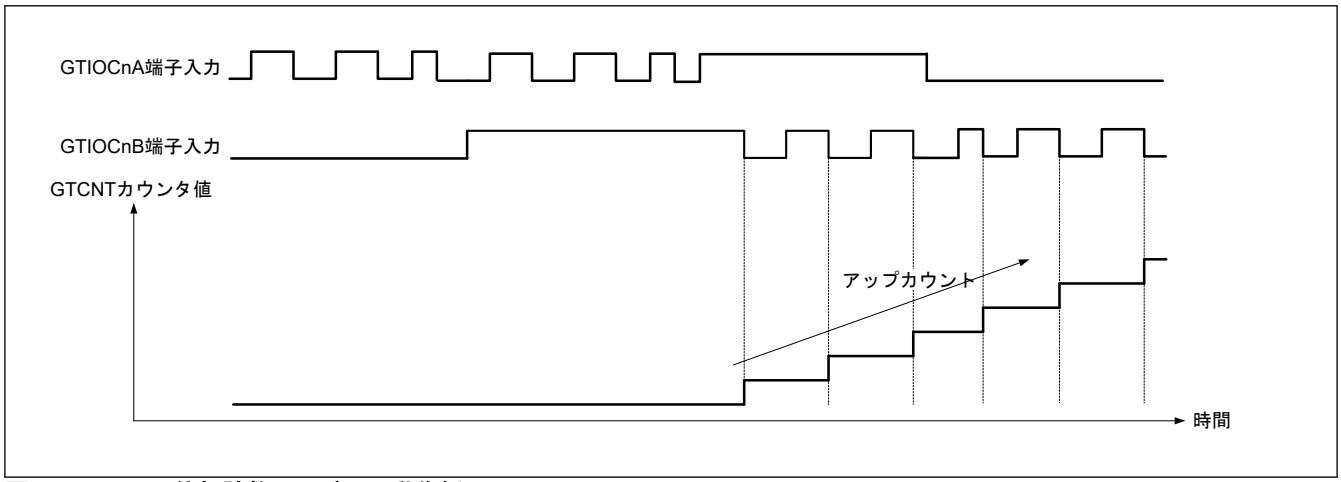


図 21.128　位相計数モード 5 の動作例 (B)

表 21.60　位相計数モード 5 でのアップカウント／ダウンカウントの条件 (B)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x0000C000 GTDNSR = 0x00000000
Low		アップカウント	
	Low	カウントしない	
	High		
High		アップカウント	
Low		カウントしない	
	High		
	Low		

21.3.12　外部パルス幅測定機能

GTIOCnA 端子入力（n = 0～3）、GTIOCnB 端子入力、および GTETRGA／GTETRGB／GTETRGC／GTETRGD 端子入力のパルス幅が測定可能です。

GTCNT カウンタのアップカウントの許可／禁止設定およびパルス幅を測定する入力端子とレベルは、GTUPSR レジスタの USILVL[3:0] ビットで選択します。

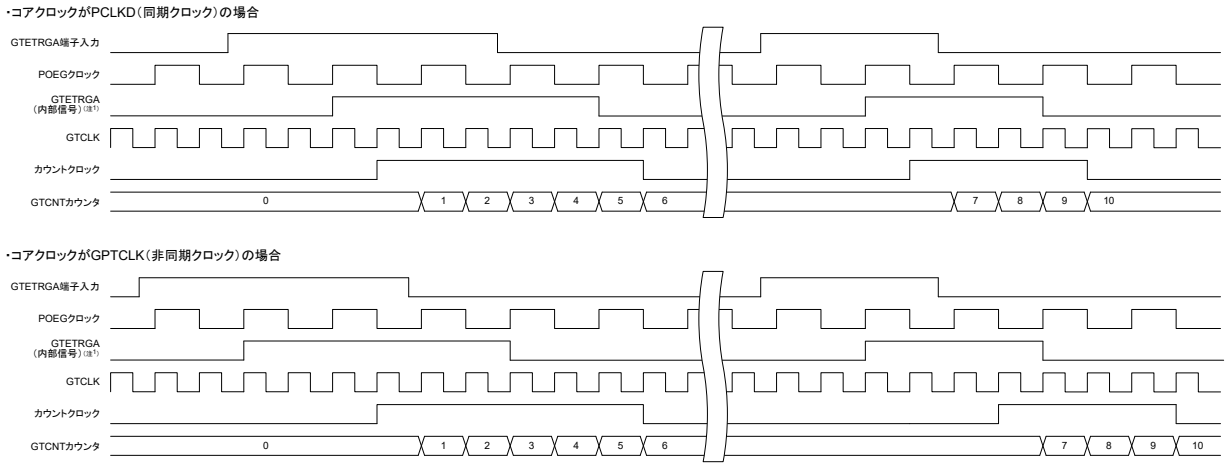
GTCNT カウンタのダウンカウントの許可／禁止設定およびパルス幅を測定する入力端子とレベルは、GTDNSR レジスタの DSILVL[3:0] ビットで選択します。

GTCNT カウンタのアップカウントとダウンカウントを同時に許可する設定は禁止です。

カウント動作は GTPR レジスタの周期で周期カウントを実行します。

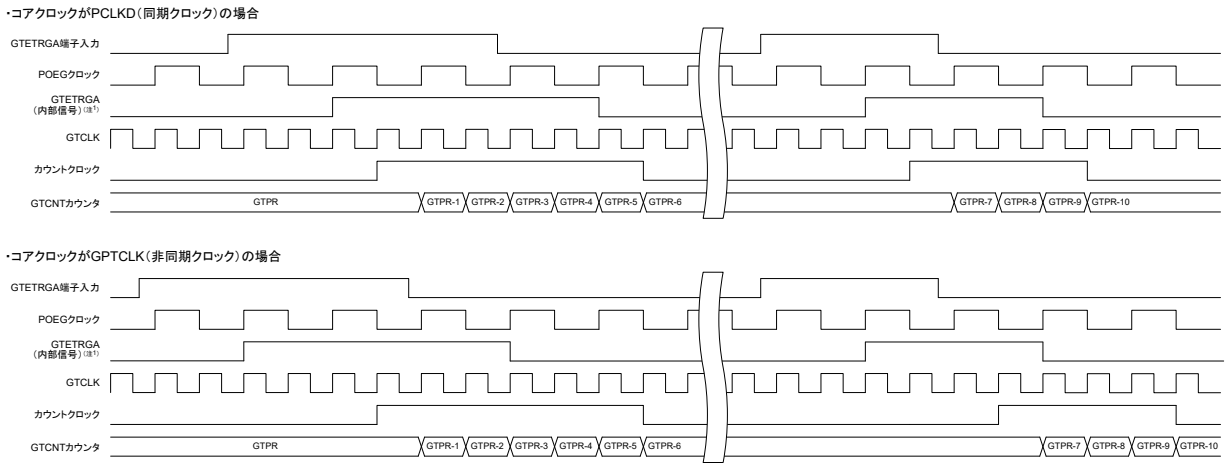
位相計数機能とパルス幅測定機能を同時に許可した場合、パルス幅測定機能は動作せず、位相計数機能が動作します。

図 21.129、図 21.130 に外部パルス幅測定機能の例を、表 21.61 に外部パルス幅測定機能の設定例を示します。



注. POEG クロック：PCLKB
注 1. GTETRGA 端子のデジタルノイズフィルタを POEG で使用しない場合の GPT への入力信号を示します。

図 21.129 外部パルス幅測定機能の例（アップカウント）



注. POEG クロック：PCLKB
注 1. GTETRGA 端子のデジタルノイズフィルタを POEG で使用しない場合の GPT への入力信号を示します。

図 21.130 外部パルス幅測定機能の例（ダウンカウント）

表 21.61 外部パルス幅測定機能の設定例

No.	ステップ名	説明
1	外部パルス幅測定機能の設定	外部パルス幅測定機能を許可し（アップカウント動作の場合は GTUPSR.USILVL[3:0] ビット、ダウンカウント動作の場合は GTDNSR.DSILVL[3:0] ビット）、測定対象の入力端子とレベルを選択します。 図 21.129 の例では、GTUPSR.USILVL[3:0] = 1001b（GTETRGA 端子が 1 の時にカウントアップ）、 図 21.130 の例では、GTDNSR.DSILVL[3:0] = 1001b（GTETRGA 端子が 1 の時にカウントダウン）
2	カウントクロックの選択	各チャネルの GTCR.TPCS[3:0] ビットでカウントクロックを選択します。
3	周期設定	各チャネルの GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	各チャネルの GTCNT カウンタに初期値を設定します。 図 21.129 の例では、0000 0000h を設定。図 21.130 の例では、GTPR レジスタ値を設定。
5	カウント動作開始	測定対象の入力端子にパルスを入力してカウント動作を開始します。

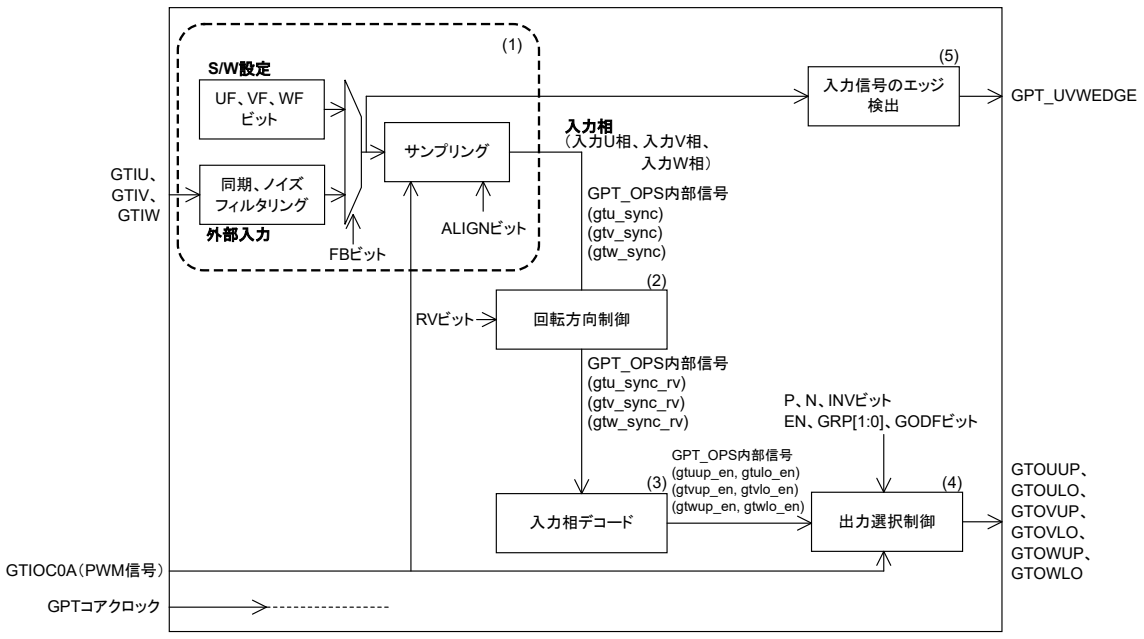
21.3.13 出力相切り替え (GPT_OPS)

GPT_OPS は、出力相切り替えコントロールレジスタ (OPSCR) を使ってブラシレス DC モーターを簡単に制御することができます。

GPT_OPS は S/W 設定値（OPSCR.UF、VF、WF ビット）またはホール素子により検知した外部信号を入力信号として使用します。GPT_OPS は、レベル信号または GPT320 の PWM によるチョップ信号をモーター制御用の 6 相（U 正相／逆相、V 正相／逆相、W 正相／逆相）信号として出力します。

図 21.131 に GPT_OPS のブロック図を示します。

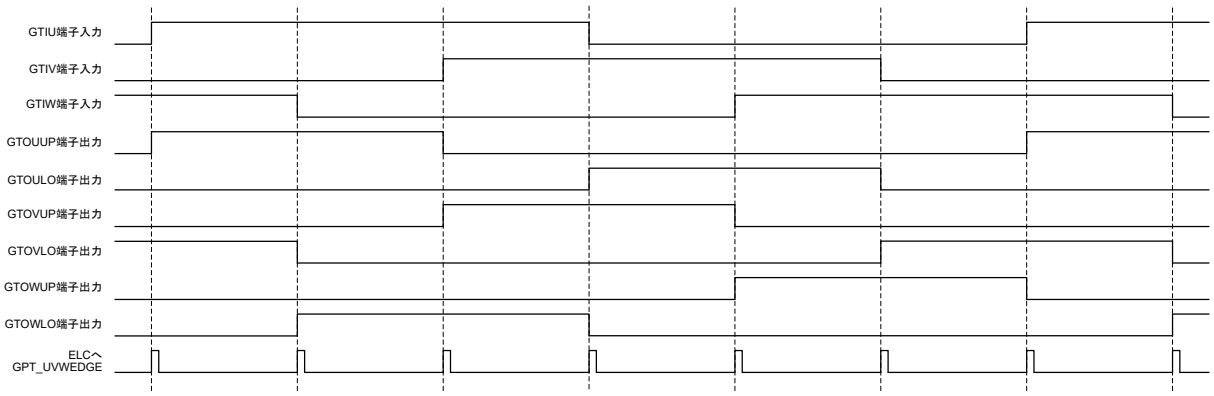
GPT_UVWEDGE 信号は、入力信号のエッジ検出により生成される、ELC への出力信号です。



注. GPT コアクロック：GTCLK（PCLKD または GPTCLK）

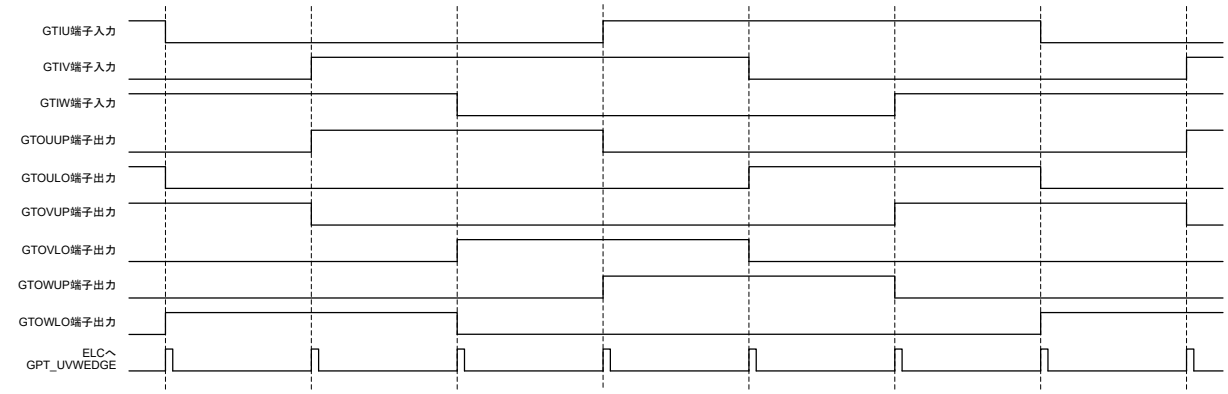
図 21.131 GPT_OPS のブロック図

図 21.132 と図 21.133 に GPT_OPS レベル出力の動作例を示します。



注. レジスタ設定値：OPSCR.FB = 0、OPSCR.RV = 0、OPSCR.P = 0、OPSCR.N = 0、OPSCR.INV = 0

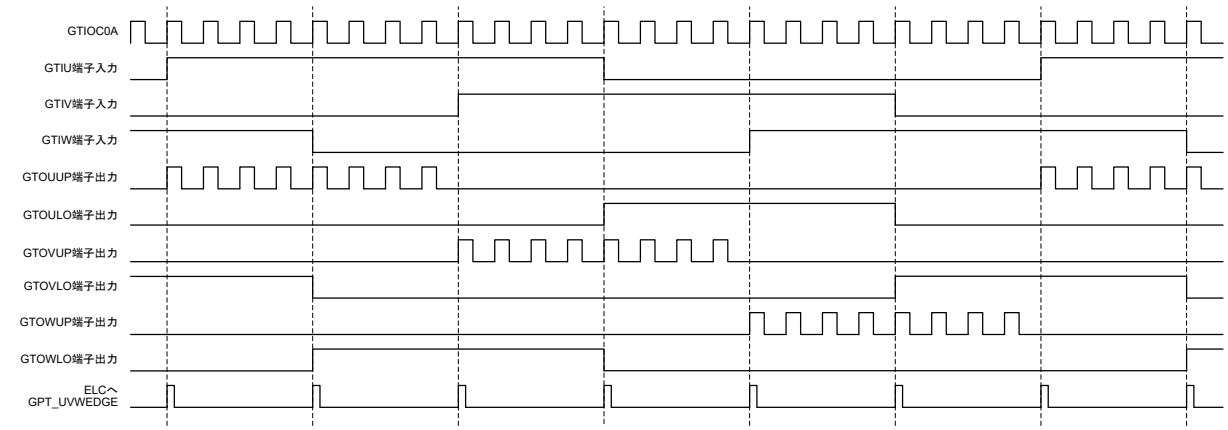
図 21.132 GPT_OPS レベル出力動作例（正回転）



注. レジスタ設定値：OPSCR.FB = 0、OPSCR.RV = 1、OPSCR.P = 0、OPSCR.N = 0、OPSCR.INV = 0

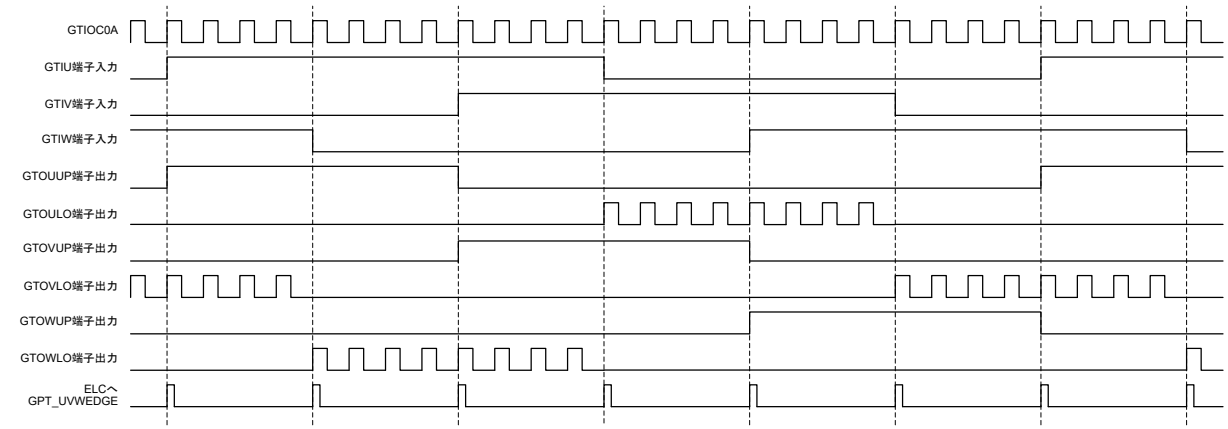
図 21.133 GPT_OPS レベル出力動作例（逆回転）

図 21.134 と図 21.135 に GPT_OPS チョップ出力の動作例を示します。



注. レジスタ設定値：OPSCR.FB = 0、OPSCR.RV = 0、OPSCR.P = 1、OPSCR.N = 0、OPSCR.INV = 0

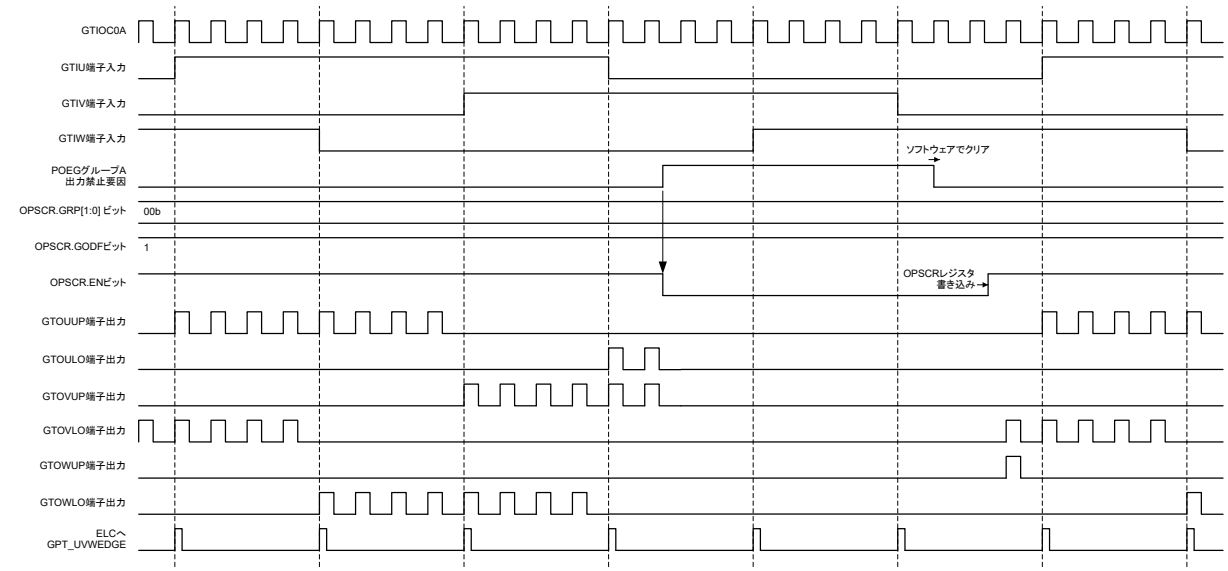
図 21.134 GPT_OPS チョップ出力動作例（正相 120°）



注. レジスタ設定値：OPSCR.FB = 0、OPSCR.RV = 0、OPSCR.P = 0、OPSCR.N = 1、OPSCR.INV = 0

図 21.135 GPT_OPS チョップ出力動作例（逆相 120°）

図 21.136 に GPT_OPS 出力禁止制御の動作例を示します。



注. レジスタ設定値：OPSCR.FB = 0、OPSCR.RV = 0、OPSCR.P = 1、OPSCR.N = 1、OPSCR.INV = 0

図 21.136 GPT_OPS 出力禁止制御動作例

21.3.13.1 入力選択とサンプリング

FB ビットは入力信号としてソフトウェア設定値または外部入力を選択します。

FB ビットが 0 の場合、GPT コアクロック（GTCLK）との同期およびノイズフィルタ後に、GPT_OPS への入力信号として GTIU、GTIV、GTIW 外部入力が選択されます。

FB ビットが 1 の場合、GPT_OPS への入力信号としてソフトウェア設定値（UF、VF、WF ビット）が選択されます。

選択した入力信号は ALIGN ビットで選択した方法でサンプリングされ、GPT_OPS の入力相として扱われます。

ALIGN ビットが 0 のとき、入力信号は GTCLK でサンプリングされます。

ALIGN ビットが 1 のとき、入力信号は GTIOC0A 端子出力の立ち下がりエッジでサンプリングされます。

サンプリング後の信号は U、V、W ビットで読み出し可能です。

表 21.62 に、FB ビットによる入力選択と ALIGN ビットによるサンプリング方法を示します。

表 21.62 入力選択とサンプリング方法

OPSCR レジスタ		入力選択 サンプリング方法	入力相 （GPT_OPS 内部信号）
FB ビット	ALIGN ビット		
0	0	GTIU、GTIV、GTIW 外部入力 GTCLK サンプリング	入力 U 相（gtu_sync） 入力 V 相（gtv_sync） 入力 W 相（gtw_sync）
	1	GTIU、GTIV、GTIW 外部入力 GTIOC0A 立ち下がりエッジのサンプリング	
1	0	ソフトウェア設定値（UF、VF、WF ビット） GTCLK サンプリング	
	1	ソフトウェア設定値（UF、VF、WF ビット） GTIOC0A 立ち下がりエッジのサンプリング	

21.3.13.2 回転方向制御

回転方向が逆回転の場合（RV ビット = 1）、入力相が反転します。

21.3.13.3 入力相デコード

回転方向制御後の入力相をデコードすることによって 6 相信号が生成されます。

表 21.63 と表 21.64 に、モーターを正回転 (RV = 0) および逆回転 (RV = 1) するための入力相のデコード表を示します。

表 21.63 入力相デコード表（正回転）

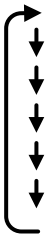
	入力相			回転方向制御後の入力相			6 相信号					
	U 相	V 相	W 相	U 相	V 相	W 相	U 正相	U 逆相	V 正相	V 逆相	W 正相	W 逆相
	gtu_sync	gtv_sync	gtw_sync	gtu_sync_rv	gtv_sync_rv	gtw_sync_rv	gtuup_en	gtulo_en	gtvup_en	gtvlo_en	gtwup_en	gtwlo_en
	1	0	1	1	0	1	1	0	0	1	0	0
	1	0	0	1	0	0	1	0	0	0	0	1
	1	1	0	1	1	0	0	0	1	0	0	1
	0	1	0	0	1	0	0	1	1	0	0	0
	0	1	1	0	1	1	0	1	0	0	1	0
	0	0	1	0	0	1	0	0	0	1	1	0
	0	0	0	0	0	0	0	0	0	0	0	0
	1	1	1	1	1	1	0	0	0	0	0	0

表 21.64 入力相デコード表（逆回転）

	入力相			回転方向制御後の入力相			6 相信号					
	U 相	V 相	W 相	U 相	V 相	W 相	U 正相	U 逆相	V 正相	V 逆相	W 正相	W 逆相
	gtu_sync	gtv_sync	gtw_sync	gtu_sync_rv	gtv_sync_rv	gtw_sync_rv	gtuup_en	gtulo_en	gtvup_en	gtvlo_en	gtwup_en	gtwlo_en
	1	0	1	0	1	0	0	1	1	0	0	0
	1	0	0	0	1	1	0	1	0	0	1	0
	1	1	0	0	0	1	0	0	0	1	1	0
	0	1	0	1	0	1	1	0	0	1	0	0
	0	1	1	1	0	0	1	0	0	0	0	1
	0	0	1	1	1	0	0	0	1	0	0	1
	0	0	0	0	0	0	0	0	0	0	0	0
	1	1	1	1	1	1	0	0	0	0	0	0

21.3.13.4 出力選択制御

EN、P、N、INV ビットで出力波を選択します。

EN ビットで 6 相出力を許可します。EN ビットが 1 の場合、6 相出力を許可します。EN ビットが 0 の場合、外部端子出力は Hi-Z です。

P、N ビットは正相と逆相のチョッピングを実行するかどうかを選択します。P、N ビットが 1 の場合、GTIOC0A 端子出力によりチョッピングを実行します。

チョッピングを実行する場合、出力 PWM パルス幅は出力相切り替えの前後において、チョップに使用された PWM パルス幅よりも短パルスになる場合があります。これは、出力切り替えタイミング相と PWM 相の差分によります。

INV ビットは相出力の極性（正論理または負論理）を選択します。

表 21.65 と表 21.66 に、正相／逆相出力の出力選択制御方法を示します。

表 21.65　出力選択制御方法（正相）

EN ビット	P ビット	INV ビット	GTOUUP/GTOVUP/GTOWUP
0	x	x	0（外部端子出力は Hi-Z）
1	0	0	正論理レベル出力 (gtuup_en) (gtvup_en) (gtwup_en)
1	0	1	負論理レベル出力 (~gtuup_en) (~gtvup_en) (~gtwup_en)
1	1	0	正論理チョップ出力 (GTIOC0A & gtuup_en) (GTIOC0A & gtvup_en) (GTIOC0A & gtwup_en)
1	1	1	負論理チョップ出力 (～(GTIOC0A & gtuup_en)) (～(GTIOC0A & gtvup_en)) (～(GTIOC0A & gtwup_en))

表 21.66　出力選択制御方法（逆相）

EN ビット	N ビット	INV ビット	GTOULO/GTOVLO/GTOWLO
0	x	x	0（外部端子出力は Hi-Z）
1	0	0	正論理レベル出力 (gtulo_en) (gtvlo_en) (gtwlo_en)
1	0	1	負論理レベル出力 (～gtulo_en) (～gtvlo_en) (～gtwlo_en)
1	1	0	正論理チョップ出力 (GTIOC0A & gtulo_en) (GTIOC0A & gtvlo_en) (GTIOC0A & gtwlo_en)
1	1	1	負論理チョップ出力 (～(GTIOC0A & gtulo_en)) (～(GTIOC0A & gtvlo_en)) (～(GTIOC0A & gtwlo_en))

21.3.13.5　出力選択制御（グループ出力禁止機能）

GODF ビット = 1 かつ GRP ビットで選択した信号値が Hi（出力禁止要求）のとき、GPT_OPS の出力端子は非同期に Hi-Z に変化し、GTCLK と同期した出力禁止要求信号により OPSCR.EN ビットは 0 にクリアされます。

復帰の場合は、ソフトウェアで出力禁止要求をクリア後に EN ビットを 1 に設定してください。

EN ビットが 0 にクリアされるタイミングは、出力禁止要求が発生してから GTCLK の 3 サイクル後です。出力禁止制御を確実に実行するには、出力禁止要求の生成から停止まで GTCLK の 4 サイクル以上空いたタイミングで、POEG の出力禁止要求フラグをクリアする必要があります。

グループ出力禁止制御の動作例については、前述の図 21.136 を参照してください。

21.3.13.6　イベントリンクコントローラ (ELC) 出力

入力相の U 相、V 相、W 相それぞれの立ち上がりエッジと立ち下がりエッジで検出したパルスの論理和は、イベントリンクコントローラ (ELC) に出力されます。入力相が High の期間が短いと、検出したエッジが論理和のせいで ELC に正しく送信されない場合があります。

21.3.13.7 GPT_OPS スタート動作設定フロー

表 21.67 GPT_OPS スタート動作設定例

No.	ステップ名	説明
1	GPT320 の動作モード設定	GPT320 の PWM 出力動作モードを設定します。 「21.3.3. PWM 出力動作モード」を参照してください。
2	GTP320 のカウント動作開始	GPT320 のカウント動作を開始して、PWM 波形を出力します。
3	GPT_OPS 入力条件の設定	• ソフト設定を選択する場合、UF、VF、WF ビットにソフト設定値を設定します。 • 外部入力を選択する場合、必要に応じてノイズフィルタリングを使用します。NFCS[1:0] ビットへの外部入力のサンプリングクロックを選択し、NFEN ビットを 1 にします。
4	GPT_OPS 入力相とアライメントの選択	FB ビットで入力相を選択します。ALIGN ビットで入力相のアライメントを選択します。
5	GPT_OPS 出力相条件の設定	RV ビットで回転方向を設定します。 チョッピングを実行するかどうかを P、N ビットで選択します。 INV ビットで出力極性を選択します。
6	GPT_OPS 出力禁止条件の設定	GRP[1:0] ビットでエラーグループを選択します。 GODF ビットで、グループ出力禁止機能のオン／オフを設定します。
7	GPT_OPS 動作の設定	EN ビットを 1 にして、ブラシレス DC モーターを駆動するための 6 相出力を出力します。

21.3.14 チャネル間論理演算機能

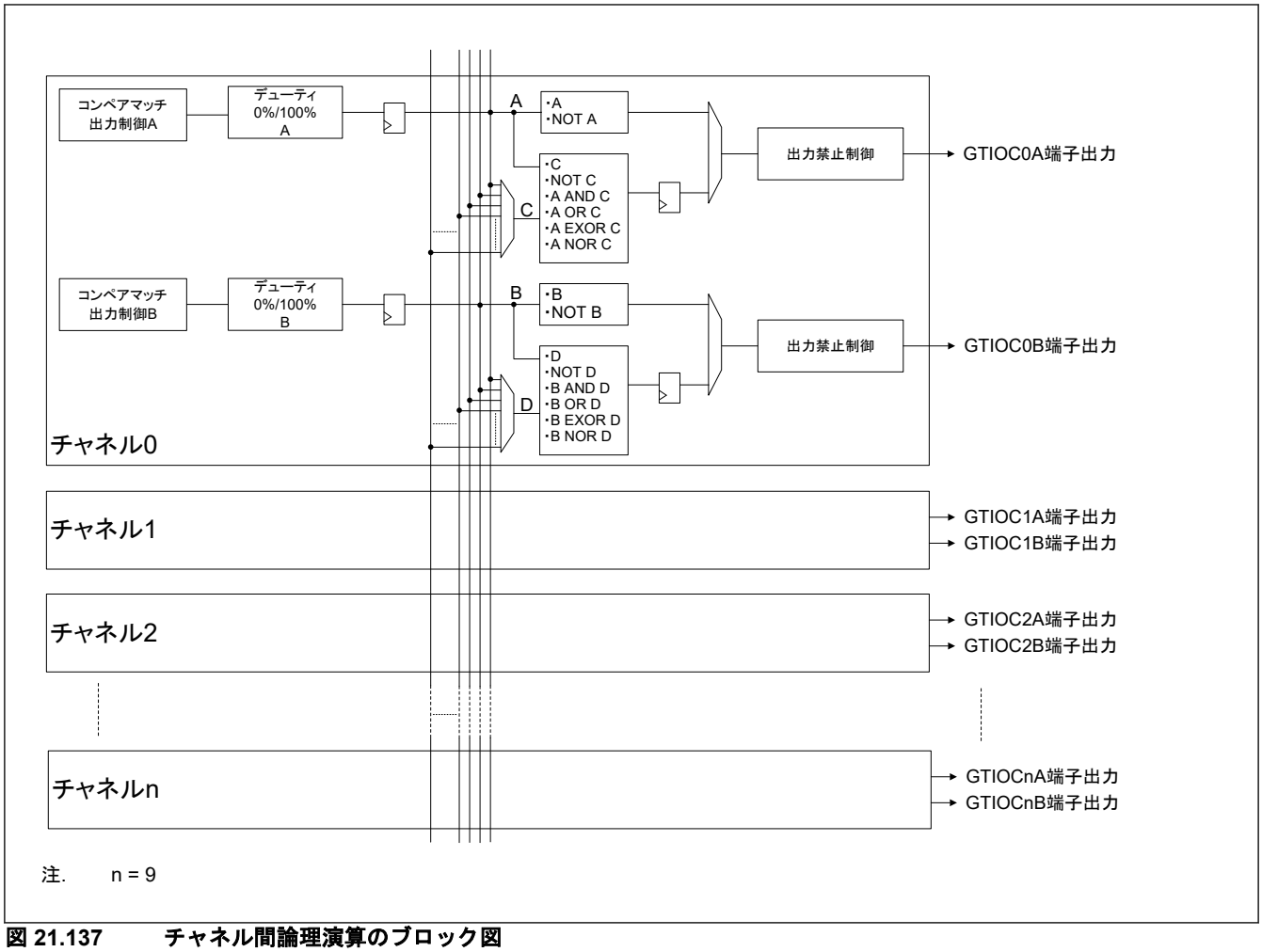
コンペアマッチ出力間の論理演算機能が可能です。

図 21.137 に、チャネル間論理演算のブロック図を示します。

GPT 出力のハザードを防ぐため、論理演算後の信号は、GTCLK でデータが取り込まれます。データが取り込まれたら、出力禁止制御を実行します。

1GTCLK サイクルの遅延を生じる論理演算式を選択したとき、出力許可信号も同様に 1GTCLK サイクル遅延して出力禁止制御に入力されます。

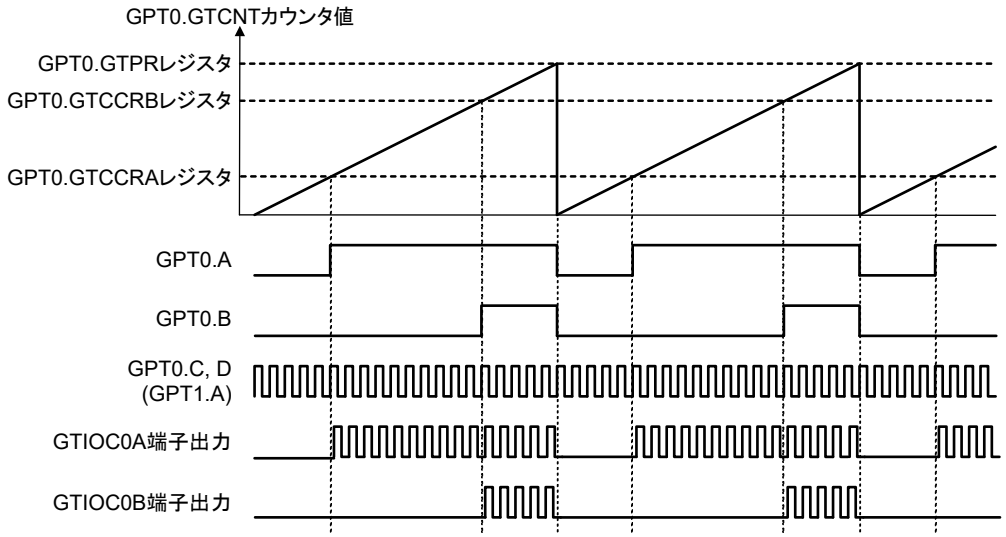
論理関数 AND、OR、EXOR、NOR で演算するために同じ信号(C = A または D = B)が選択されている場合、C または D が 1 として取り扱われます。GTIOCnA 端子出力の場合、A の同じチャネルを C でも選択したとき、AND 演算の結果は A、OR 演算の結果は 1、EXOR 演算の結果は NOT A、NOR 演算の結果は 0 です。



注. n = 9

図 21.137 チャネル間論理演算のブロック図

図 21.138 に、チャネル間論理演算の例を示します。



注. GPT0、GPT1 はそれぞれ GPT320、GPT321 を意味します。

図 21.138 チャネル間論理演算の例

21.4 割り込み要因

21.4.1 割り込み要因と優先順位

GPT には以下の割り込み要因があります。

- GTCCR のインプットキャプチャ／コンペアマッチ
- GTADTR コンペアマッチ
- GTCNT カウンタのオーバーフロー（GTPR のコンペアマッチ）／アンダーフロー
- 周期計数機能終了

各割り込み要因には、それぞれ専用のステータスフラグがあります。割り込み要因信号が発生すると、GTST レジスタの対応するステータスフラグが 1 になります。そして、割り込み要求が発生します。GTST レジスタの対応するステータスフラグは、0 を書き込むことでクリアできます。フラグのセットとクリアが同時に発生した場合、フラグのクリアが優先されます。これらのフラグは、内部状態により自動更新されます。割り込みコントローラユニットでは、チャネル間の優先順位を変更できます。ただし、1 つのチャネル内での優先順位は固定されています。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 21.68 は、GPT の割り込み要因の一覧です。

表 21.68 割り込み要因

チャネル	名称	割り込み要因	割り込みフラグ	DTC の起動
n = 0～9	GPTn_CCMPA	GPT32n.GTCCRA の入力キャプチャ／コンペアマッチ	GTST[0] (TCFA)	可能
	GPTn_CCMPB	GPT32n.GTCCRB の入力キャプチャ／コンペアマッチ	GTST[1] (TCFB)	可能
	GPTn_CMPC	GPT32n.GTCCRC コンペアマッチ	GTST[2] (TCFC)	可能
	GPTn_CMPD	GPT32n.GTCCRD コンペアマッチ	GTST[3] (TCFD)	可能
	GPTn_CMPE	GPT32n.GTCCRE コンペアマッチ	GTST[4] (TCFE)	可能
	GPTn_CMPF	GPT32n.GTCCRF コンペアマッチ	GTST[5] (TCFF)	可能
	GPTn_OVF	GPT32n.GTCNT カウンタのオーバーフロー（GPT32n.GTPR レジスタのコンペアマッチ）	GTST[6] (TCFPO)	可能
	GPTn_UDF	GPT32n.GTCNT アンダーフロー	GTST[7] (TCFPU)	可能
	GPTn_ADTRGA	GPT32n.GTADTRA コンペアマッチ	GTST[17:16] (ADTRADF, ADTRAUF)	可能
	GPTn_ADTRGB	GPT32n.GTADTRB コンペアマッチ	GTST[19:18] (ADTRBDF, ADTRBUF)	可能
	GPTn_PC	周期計数機能終了（n = 0～3）	GTST[31] (PCF)	可能

(1) GPTn_CCMPA 割り込み（n = 0～9）

割り込み要求は以下の条件で発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値（相補 PWM モードでは、マスタチャネルの GTCNT カウンタ値）が GTCCRA レジスタ値と一致したとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合に、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき相補 PWM モードでは、GTCCRA レジスタはインプットキャプチャレジスタとして機能しません。

(2) GPTn_CCMPB 割り込み（n = 0～9）

割り込み要求は以下の条件で発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRB レジスタ値と一致したとき相補 PWM モードでは、GTCCRB レジスタはコンペアマッチレジスタとして機能しません。

- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合に、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRB レジスタに転送されたとき相補 PWM モードでは、GTCCRB レジスタはインプットキャプチャレジスタとして機能しません。

(3) GPTn_CCMPC 割り込み（n = 0～9）

割り込み要求は以下の条件で発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値（相補 PWM モードでは、マスタチャネルの GTCNT カウンタ値）が GTCCRC レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[3:0] = 0001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[3:0] = 0110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 01b, 10b, 11b（GTCCRC レジスタがバッファ動作）

(4) GPTn_CCMPD 割り込み（n = 0～9）

割り込み要求は以下の条件で発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値（相補 PWM モードでは、マスタチャネルの GTCNT カウンタ値）が GTCCRD レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[3:0] = 0001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[3:0] = 0110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 10b, 11b（GTCCRD レジスタがバッファ動作）

(5) GPTn_CCMPE 割り込み（n = 0～9）

割り込み要求は以下の条件で発生します。

- GTCCRE レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値（相補 PWM モードでは、マスタチャネルの GTCNT カウンタ値）が GTCCRE レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[3:0] = 0001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[3:0] = 0110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 01b, 10b, 11b（GTCCRE レジスタがバッファ動作）

(6) GPTn_CCMPF 割り込み（n = 0～9）

割り込み要求は以下の条件で発生します。

- GTCCRF レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値（相補 PWM モードでは、マスタチャネルの GTCNT カウンタ値）が GTCCRF レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[3:0] = 0001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[3:0] = 0110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 10b, 11b（GTCCRF レジスタがバッファ動作）

(7) GPTn_OVF 割り込み（n = 0～9）

割り込み要求は以下の条件で発生します。

- のこぎり波 PWM モード 1 およびのこぎり波ワンショットパルスモードの場合に、オーバーフロー（アップカウント動作中に GTCNT カウンタ値が GTPR から 0 に変化する）で割り込み要求が許可されたとき

- のこぎり波 PWM モード 2 の場合に、オーバーフロー（GTCNT カウンタ値が GTCSR.CSCMSC[2:0]ビットで選択された GTCCRm（m = A～F）レジスタ値から 0 に変化する）で割り込み要求が許可されたとき、または GTCNT カウンタ値が GTPR レジスタ値と一致するとき
- 三角波の場合、山（GTCNT が GTPR から GTPR-1 になる）が発生したとき
- 相補 PWM モードの場合に、山（マスタチャネルの GTCNT カウンタ値が GTPR レジスタ値から GTPR レジスタ値-1 に変化する）で割り込み要求が許可されたとき
- ハードウェア要因によるカウント動作の場合に（外部パルス幅測定機能を含む）、オーバーフロー（アップカウント動作時に GTCNT カウンタ値が GTPR から 0 に変化する）が発生したとき

(8) GPTn_UDF 割り込み（n = 0～9）

割り込み要求は以下の条件で発生します。

- のこぎり波 PWM モード 1 およびのこぎり波ワンショットパルスモードの場合に、アンダーフロー（ダウンカウント動作中に GTCNT カウンタ値が 0 から GTPR に変化する）で割り込み要求が許可されたとき
- 三角波の場合、谷（GTCNT が 0 から 1 になる）が発生したとき
- 相補 PWM モードの場合に、谷（マスタチャネルの GTCNT カウンタ値が 0 から 1 に変化する）で割り込み要求が許可されたとき
- ハードウェア要因によるカウント動作の場合に（外部パルス幅測定機能を含む）、アンダーフロー（ダウンカウント動作時に GTCNT カウンタ値が 0 から GTPR に変化する）が発生したとき

割り込み信号と割り込みステータスフラグについては、「21.2.16. GTST : 汎用 PWM タイマステータスレジスタ」を参照してください。

(9) GPTn_ADTRGA 割り込み（n = 0～9）

GTCNT カウンタ値が GTADTRA と一致する場合に、割り込み要求が以下の条件で発生します。

- アップカウント動作時に割り込み許可ビット (GTINTAD.ADTRAUEN) が 1 のとき
- ダウンカウント動作時に割り込み許可ビット (GTINTAD.ADTRADEN) が 1 のとき
  イベントカウント動作実行時には、この割り込み要求は発生しません。

(10) GPTn_ADTRGB 割り込み（n = 0～9）

GTCNT カウンタ値が GTADTRB と一致する場合に、割り込み要求が以下の条件で発生します。

- アップカウント動作時に割り込み許可ビット (GTINTAD.ADTRBUEN) が 1 のとき
- ダウンカウント動作時に割り込み許可ビット (GTINTAD.ADTRBDEN) が 1 のとき
  イベントカウント動作実行時には、この割り込み要求は発生しません。

(11) GPTn_PC 割り込み（n = 0～3）

GTPC.PCEN ビットが 1 かつ GTPC.PCNT カウンタが 1 の場合、周期の終わりに割り込み要求が発生します。

21.4.2 DMAC/DTC の起動

各チャネルの割り込みによって、DMAC および DTC を起動することができます。詳細は、「12. 割り込みコントローラユニット (ICU)」、「15. DMA コントローラ (DMAC)」、および「16. データトランスファコントローラ (DTC)」を参照してください。

21.4.3 割り込み、A/D 変換開始要求の間引き機能

21.4.3.1 GTITC レジスタによる割り込み間引き機能

GTITC レジスタを設定することにより、GTCNT カウンタのオーバーフロー（GTPR レジスタのコンペアマッチ）割り込み（GPTn_OVF）と、アンダーフロー割り込み（GPTn_UDF）を間引くことが可能です。また、他の割り込みや A/D 変換開始要求信号も、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動して間引くことができます。

割り込みを間引いた場合、関連するステータスフラグの更新も間引かれます。ステータスフラグを 1 にしても、割り込み間引きは継続します。

割り込み間引き機能は GTITC レジスタ設定のみに関連する機能であり、GTINTAD レジスタ割り込み許可ビットの設定には関連しません。GTINTAD レジスタ設定で割り込みを禁止しても、割り込み間引きは継続します。

三角波モードで谷と山の両方をカウントして間引く場合、間引き回数を奇数に設定すると、間引きカウンタの開始タイミングによっては、谷のみまたは山のみで GPTn_OVF/GPTn_UDF 割り込み要求が発生しません。そのため、三角波モードで谷と山の両方をカウントし、谷のみまたは山のみで GPTn_OVF/GPTn_UDF 割り込みを発生させるには、間引き回数を偶数に設定してください。

同様に、のこぎり波モードでカウント方向を変えながらオーバーフローとアンダーフローの両方をカウントして間引く場合、オーバーフローまたはアンダーフローのいずれか一方のみでは GPTn_OVF/GPTn_UDF 割り込み要求が発生しない場合があります。そのため、のこぎり波モードでカウント方向を変えながらオーバーフローとアンダーフローの両方をカウントし、オーバーフローまたはアンダーフローのいずれか一方のみで GPTn_OVF/GPTn_UDF 割り込みを発生させるには、間引き状態を十分検討のうえ、使用してください。

間引き回数を変更する場合は、間引き機能をいったん解除（GTITC.IVTC[1:0] ビット = 00b）してから行ってください。

間引き機能の動作例を図 21.139～図 21.144 に示します。

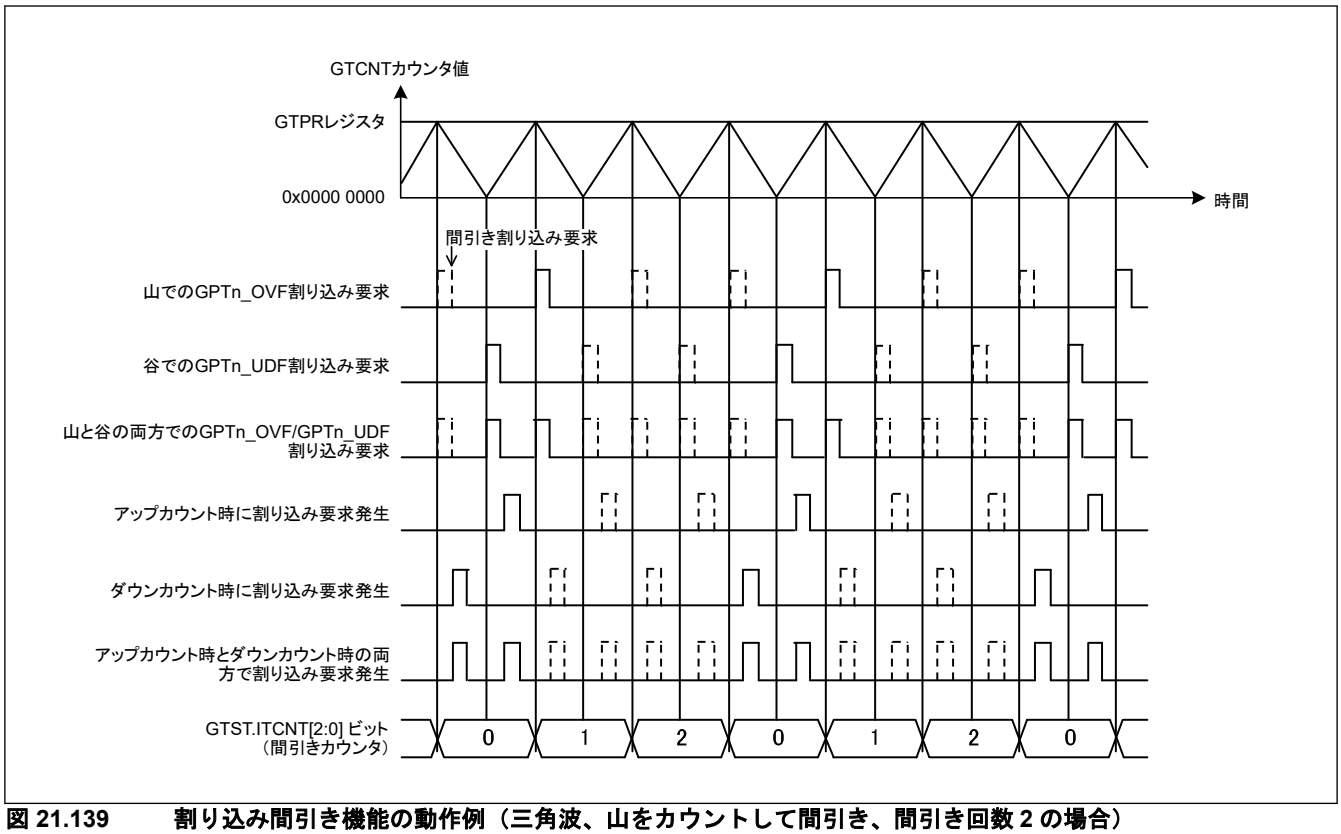


図 21.139　割り込み間引き機能の動作例（三角波、山をカウントして間引き、間引き回数 2 の場合）

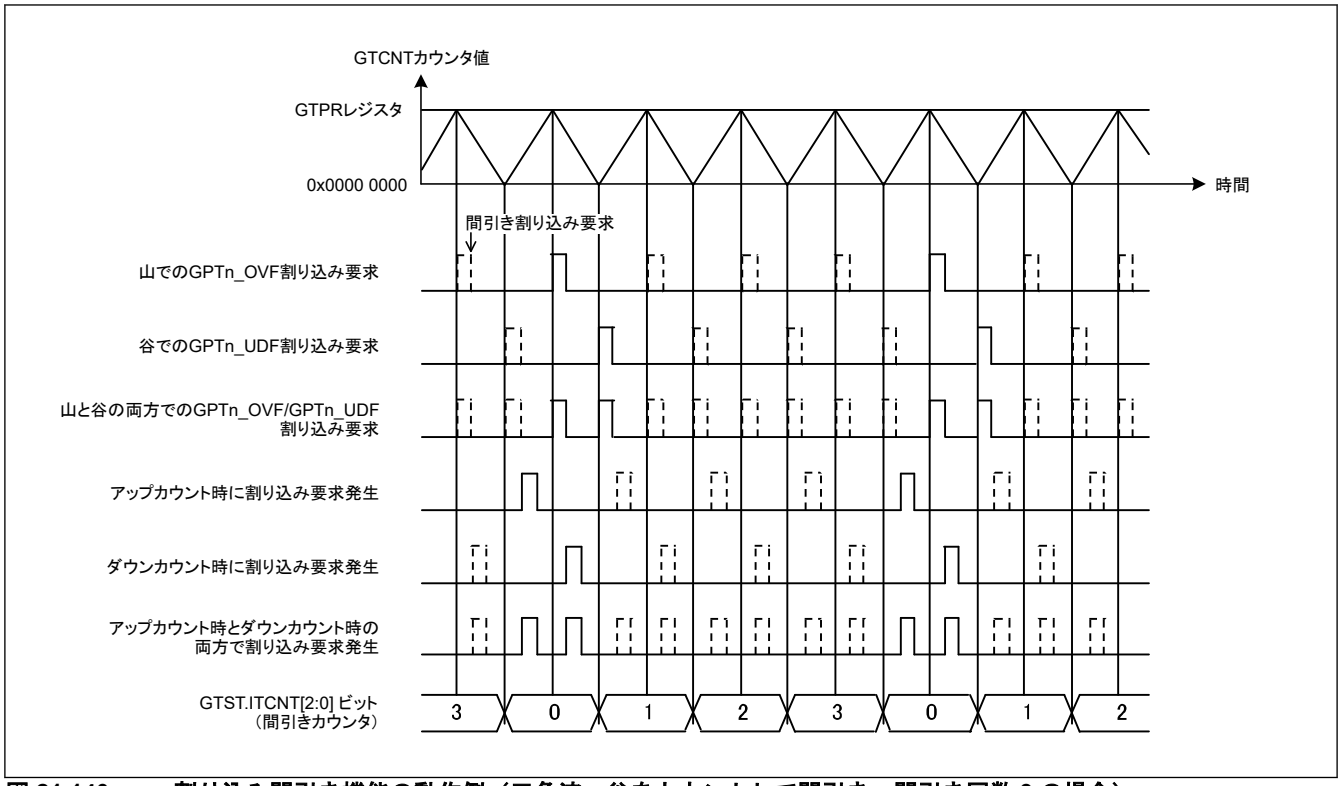


図 21.140　割り込み間引き機能の動作例（三角波、谷をカウントして間引き、間引き回数 3 の場合）

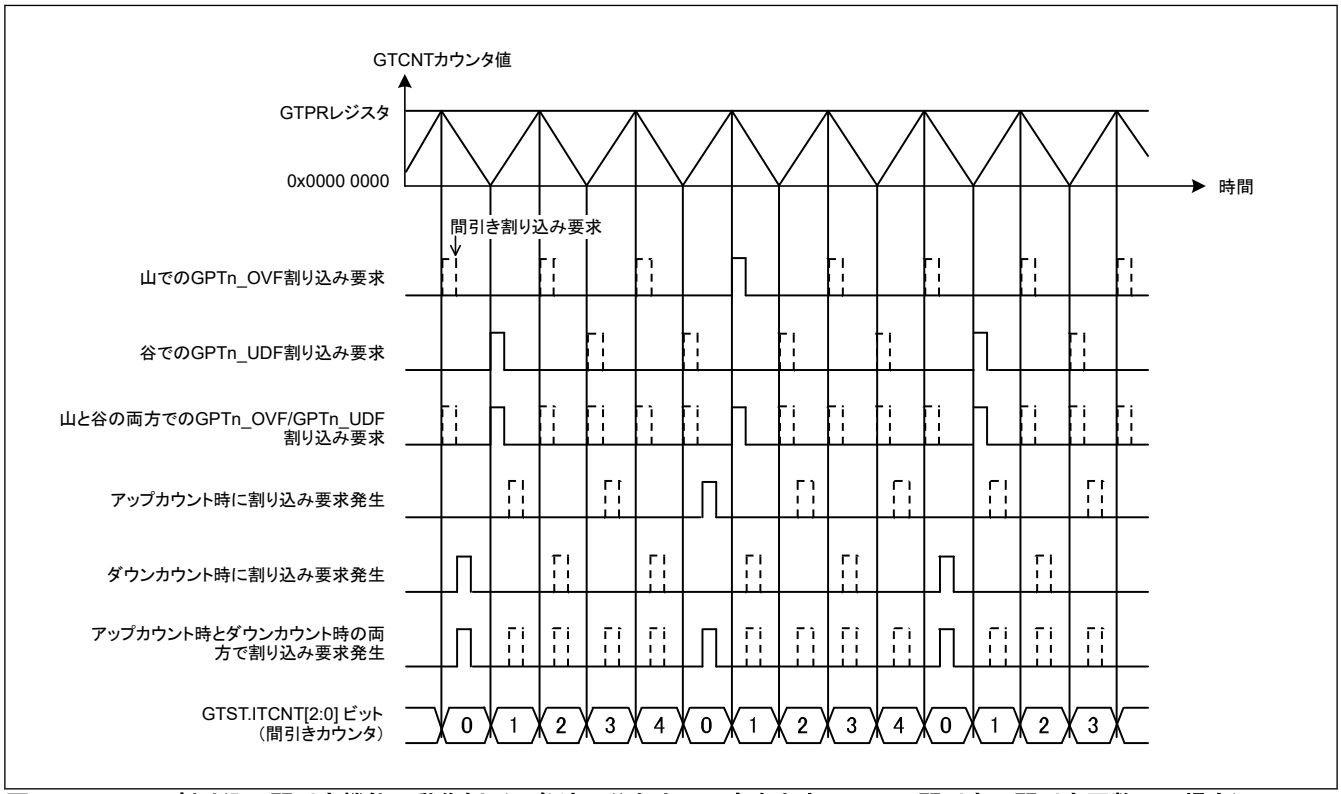


図 21.141　割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 4 の場合）

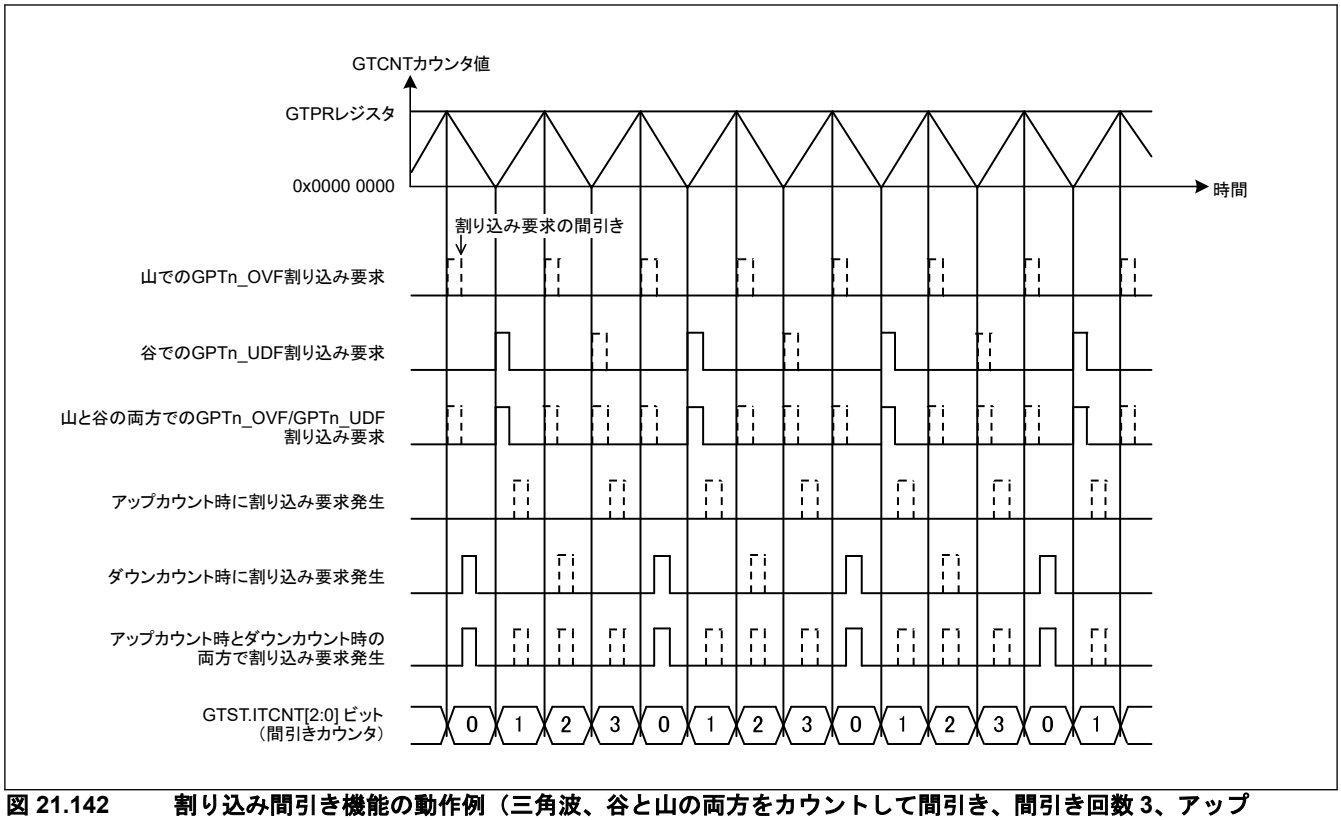


図 21.142　割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 3、アップカウントで間引き開始の場合）

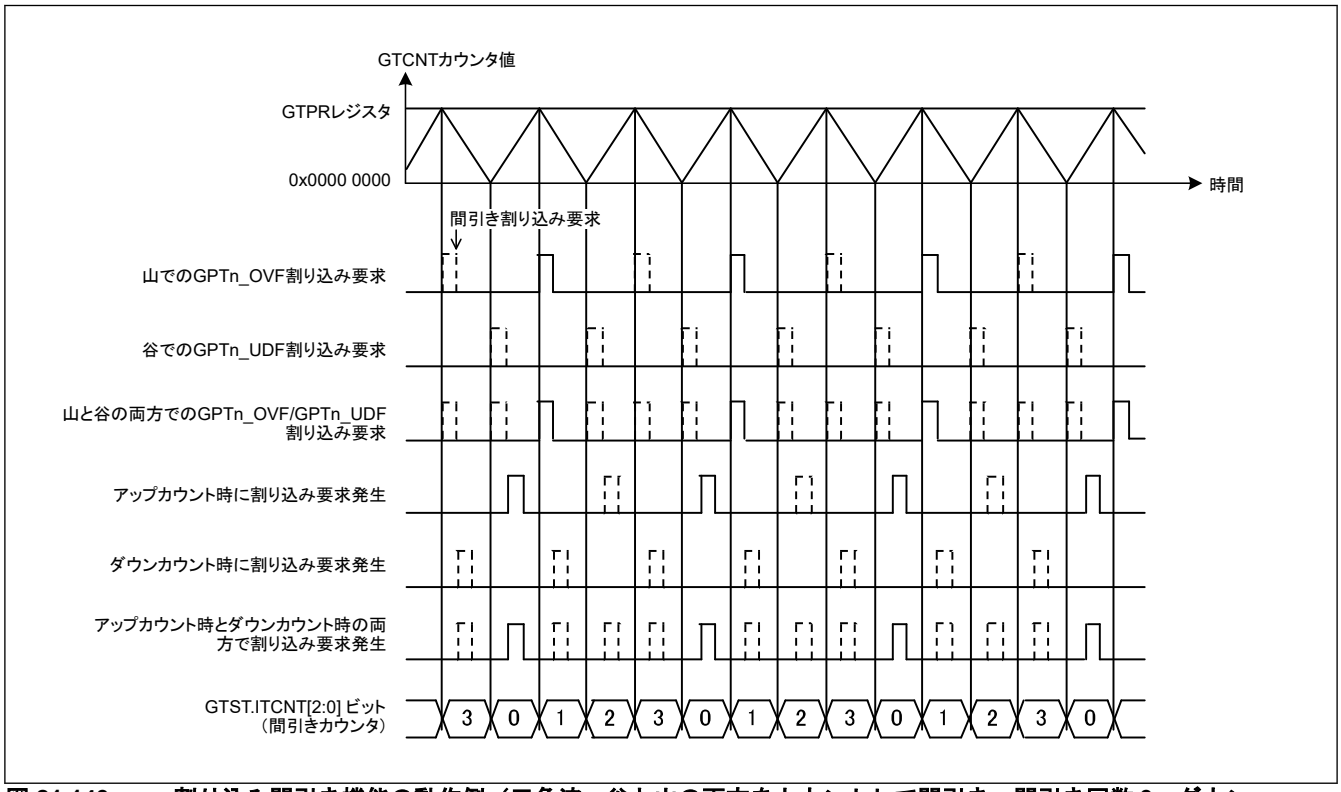


図 21.143　割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 3、ダウンカウントで間引き開始の場合）

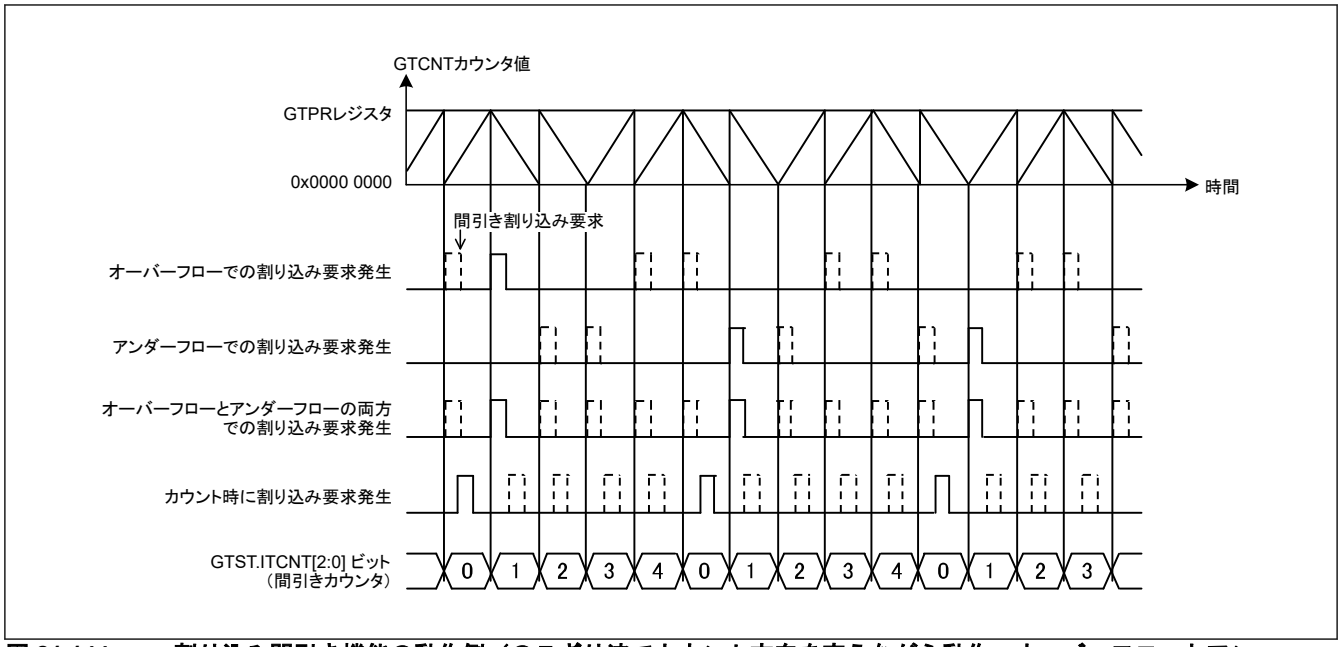


図 21.144 割り込み間引き機能の動作例（のこぎり波でカウント方向を変えながら動作、オーバーフローとアンダーフローの両方をカウントして間引き、間引き回数 4 の場合）

21.4.3.2 拡張割り込み間引き機能

GTEITC、GTEITLI1、GTEITLI2、GTEITLB レジスタの設定に基づいて GTCNT カウンタのオーバーフローまたはアンダーフローをカウントすることで、オーバーフロー／アンダーフロー割り込み、コンペアマッチ／インプットキャプチャ割り込み、A/D 変換開始要求、およびバッファ転送を間引くことが可能です。

オーバーフロー／アンダーフロー割り込み、コンペアマッチ／インプットキャプチャ割り込み、A/D 変換開始要求、およびバッファ転送は、GTEITLI1、GTEITLI2、GTEITLB レジスタを使って個別に間引き設定でき、間引き期間も設定できます。

間引き期間は、独立した 2 つの拡張割り込み間引きカウンタ（GTEITC レジスタの EITCNT1[3:0] ビットと EITCNT2[3:0] ビット）の動作に関連して、これらの間引きカウンタのカウンタ値のいずれかが 0 以外または間引き回数以外の期間として設定します。間引き期間は、両方の間引きカウンタのカウンタ値が 0 以外または間引き回数以外に設定されている期間として設定することも可能です。

図 21.145 に GTITC レジスタによる割り込み間引きと拡張割り込み間引きのカウンタ動作を示します。

拡張割り込み間引きのカウンタ動作は GTEITC レジスタで設定します。

EITCNT1[3:0] ビットには初期値として 0 を設定します。この場合、拡張割り込みカウンタ 1 のカウントソース選択ビット（GTEITC.EIVTC1[1:0] ビット）で選択したカウントソース（図 21.145 では山を選択）をカウントし、拡張割り込み間引き 1 の間引き回数設定ビット（EIVTT1[3:0] ビット）で設定した間引き回数（図 21.145 では 2 回）に達したときに 0 を返すカウント動作を繰り返します。

EITCNT2[3:0] ビットに初期値を設定できます。この場合、拡張割り込みカウンタ 2 のカウントソース選択ビット（EIVTC2[1:0] ビット）で選択したカウントソース（図 21.145 では谷を選択）をカウントし、EIVTT2[3:0] ビット）で設定した間引き回数（図 21.145 では 2 回）に達したときに 0 を返すカウント動作を繰り返します。初期値が設定されるのは、拡張割り込み間引きカウンタ 2 をカウントしない設定（EIVTC2[1:0] ビットを 00b）にした状態で上位 16 ビットまたは 32 ビットのアクセスにより GTEITC レジスタに書き込みが行われた場合と、EIVTC2[1:0] ビットの書き込み値が 00b 以外の場合です。初期値を設定すると、拡張割り込み間引きカウンタ 2 の初期値ビット（EITCNT2IV[3:0] ビット）の書き込み値が EITCNT2[3:0] ビットの初期値として設定されます。

拡張割り込み間引きカウンタは、「カウントしない」から「カウントする」に設定を変更した後の最初のカウントクロックからアップカウントを開始します。

GTITC レジスタで設定した割り込み間引き機能の割り込み間引きカウンタ(GTST.ITCNT[2:0] ビット）は、GTCNT カウンタ動作の停止時に 000b にリセットされます。ただし、拡張割り込み間引き機能の EITCNT1[3:0] ビットと EITCNT2[3:0] ビットは GTCNT カウンタ動作の停止後も値を保持し、カウンタが停止する前の値からカウントを再開することができます。EITCNT1[3:0] ビットと EITCNT2[3:0] ビットの値をリセット（0000b）する場合、EIVTC1[1:0] ビットと EIVTC2[1:0] ビットを 00b にしてカウントしない（間引きなし）設定にしてください。

間引き回数を変更する場合、間引きカウンタ動作を停止状態（EIVTC1[1:0] ビットか EIVTC2[1:0] ビットのいずれかを 00b）にしてからカウントを変更してください。

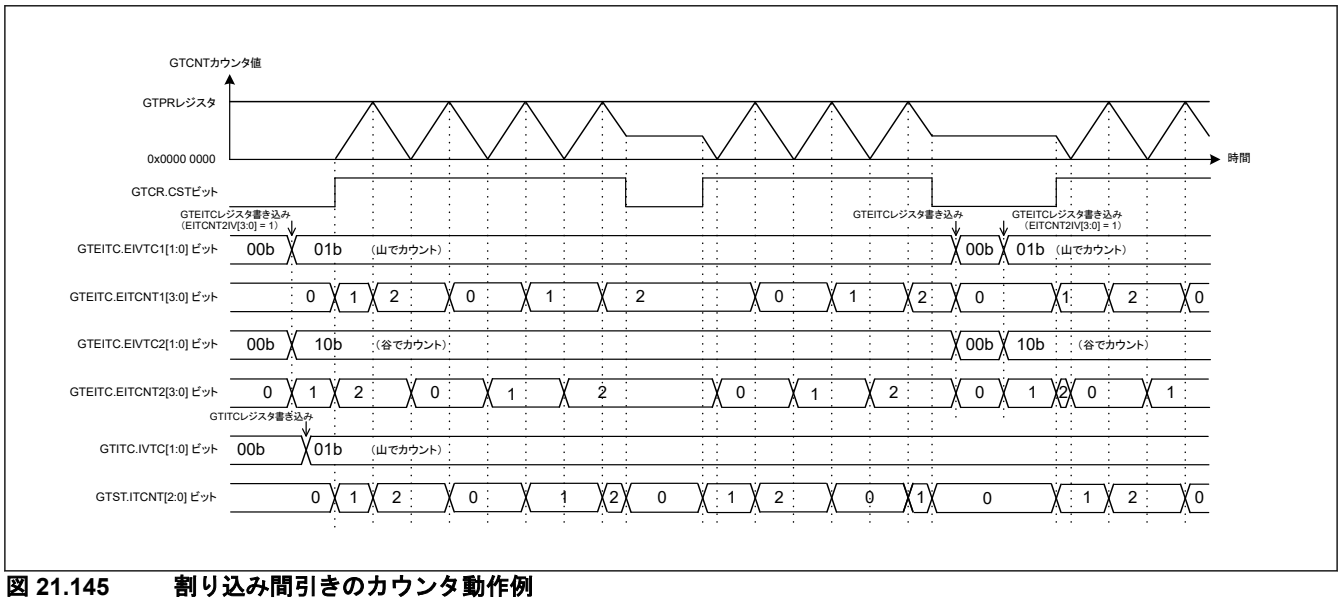


図 21.145　割り込み間引きのカウンタ動作例

GTEITL1 レジスタによる割り込み間引きと GTEITLI2 レジスタによる A/D 変換開始要求間引きは、GTITC レジスタまたは GTADCMSC レジスタによる間引きと同時に実行できます。この場合の間引き期間は各レジスタの間引き期間の論理和として表します。

図 21.146 に、対応する割り込み間引き動作を異なるレジスタで同時に実行する場合を示します。

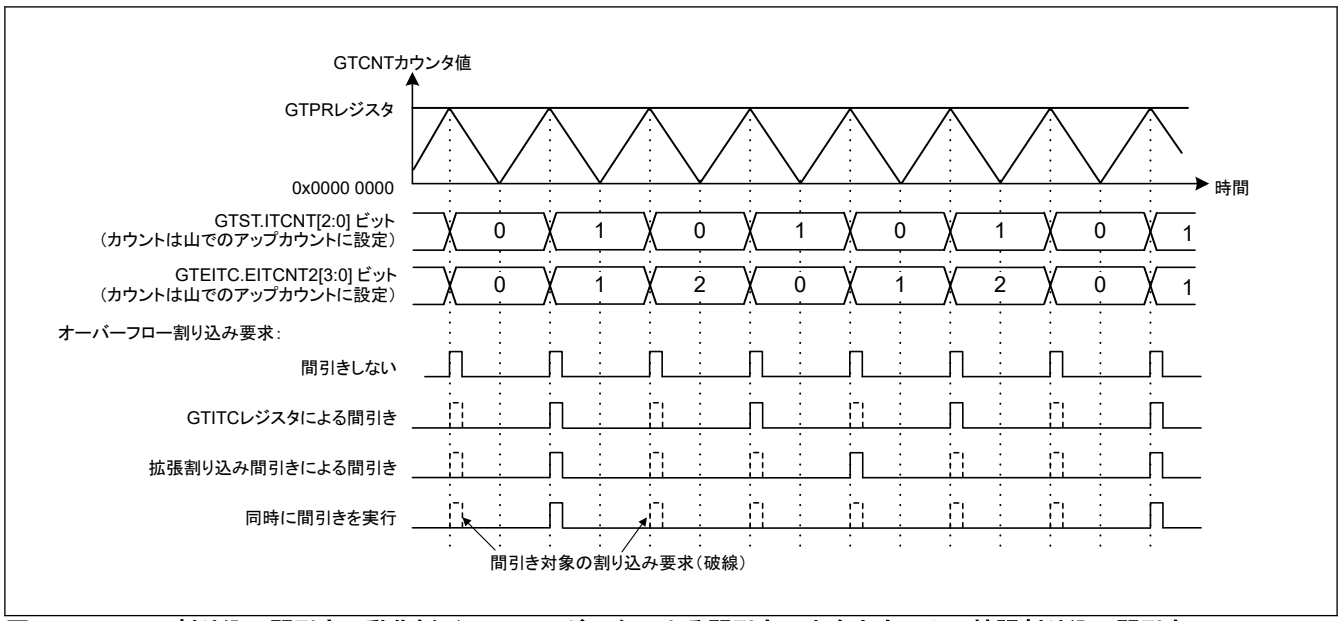


図 21.146　割り込み間引きの動作例（GTITC レジスタによる間引き：山をカウント、拡張割り込み間引き：EIVTC1[1:0] ビット = 00b、EIVTC2[1:0] ビット = 01b、EITLV[2:0] ビット = 010b の場合）

GTEITLI1 レジスタで選択した拡張割り込み間引きを実行した場合、関連するステータスフラグも間引かれます。ステータスフラグを 1 にしても、間引き機能は継続します。

GTEITLI2 レジスタで選択した A/D 変換開始要求間引きを実行した場合、関連するステータスフラグも間引かれます。ステータスフラグを 1 にしても、間引き機能は継続します。

GTEITLI2 レジスタで間引き設定ができる A/D 変換開始要求に対応するステータスフラグの更新と ELC イベント要因出力の間引きは、GTITC レジスタと拡張割り込み間引きレジスタの設定のみに基づいて設定され、GTINTAD レジスタの A/D 変換開始要求許可ビットの設定とは関係ありません。A/D 変換開始要求許可ビットは、間引き後の A/D 変換開始要求の出力（ELC イベント要因出力）のみに使用します。

GTEITLB レジスタによるバッファ転送間引きは、GTBER レジスタ、GTDTCR レジスタ、GTBER2 レジスタで許可したすべてのバッファ動作、あるいはのこぎり波ワンショットパルスモード、三角波 PWM モード 3、相補 PWM モードのいずれかで実行するすべてのバッファ動作（GTCCRC、GTCCRE から GTCCRA へのバッファ転送を除く）で実行されます。

割り込み間引きとバッファ転送間引きは個別に動作します。バッファ転送を実行しない割り込み出力と、割り込み出力なしのバッファ転送の実行も可能です。

拡張間引き機能の動作例を図 21.147～図 21.154 に示します。

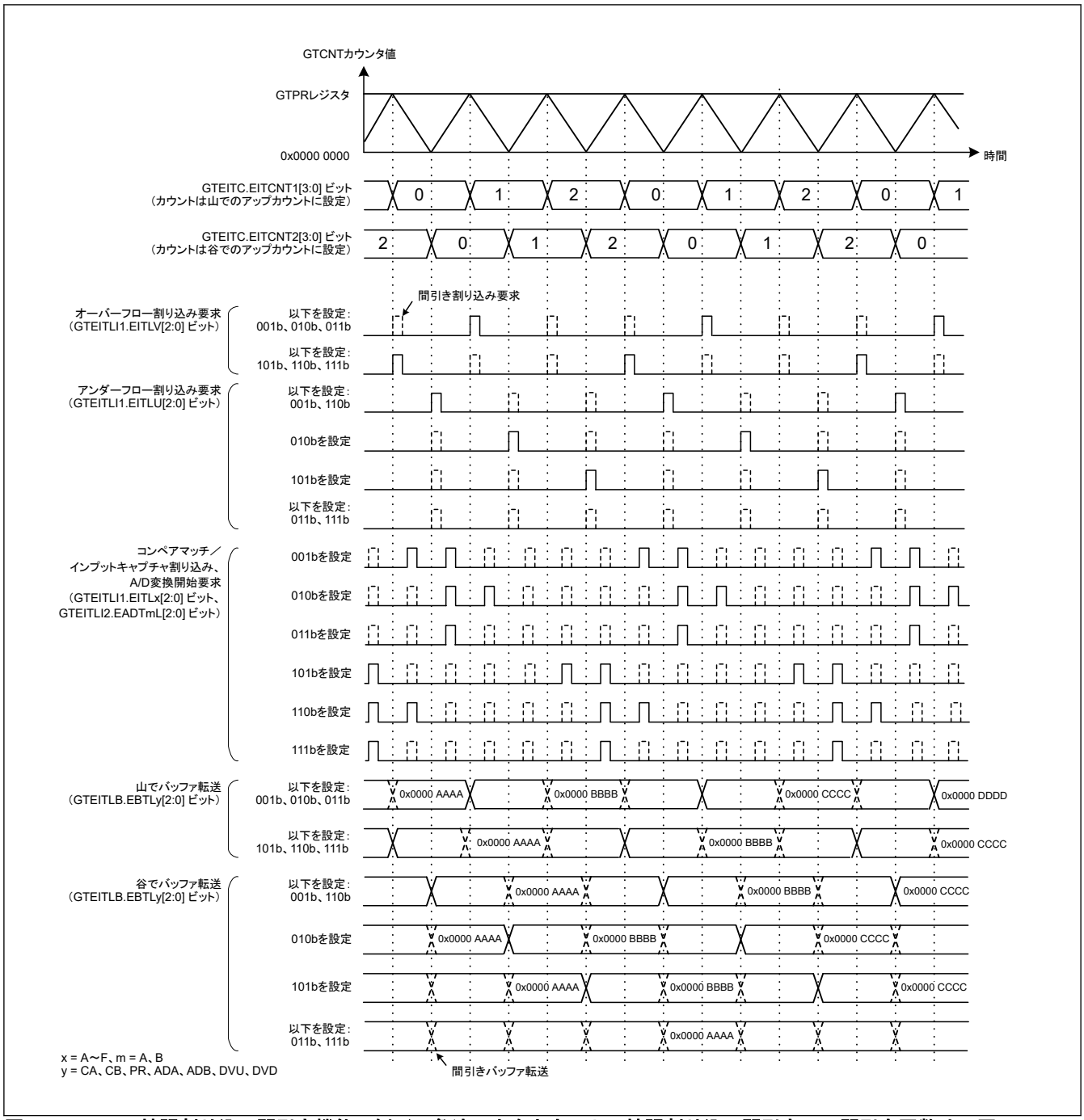


図 21.147　拡張割り込み間引き機能の例（三角波、山をカウント、拡張割り込み間引き 1 の間引き回数は 2 回、谷をカウント、拡張割り込み間引き 2 の間引き回数は 2 回、拡張割り込み間引きカウンタ 2 の初期値は 0 の場合）

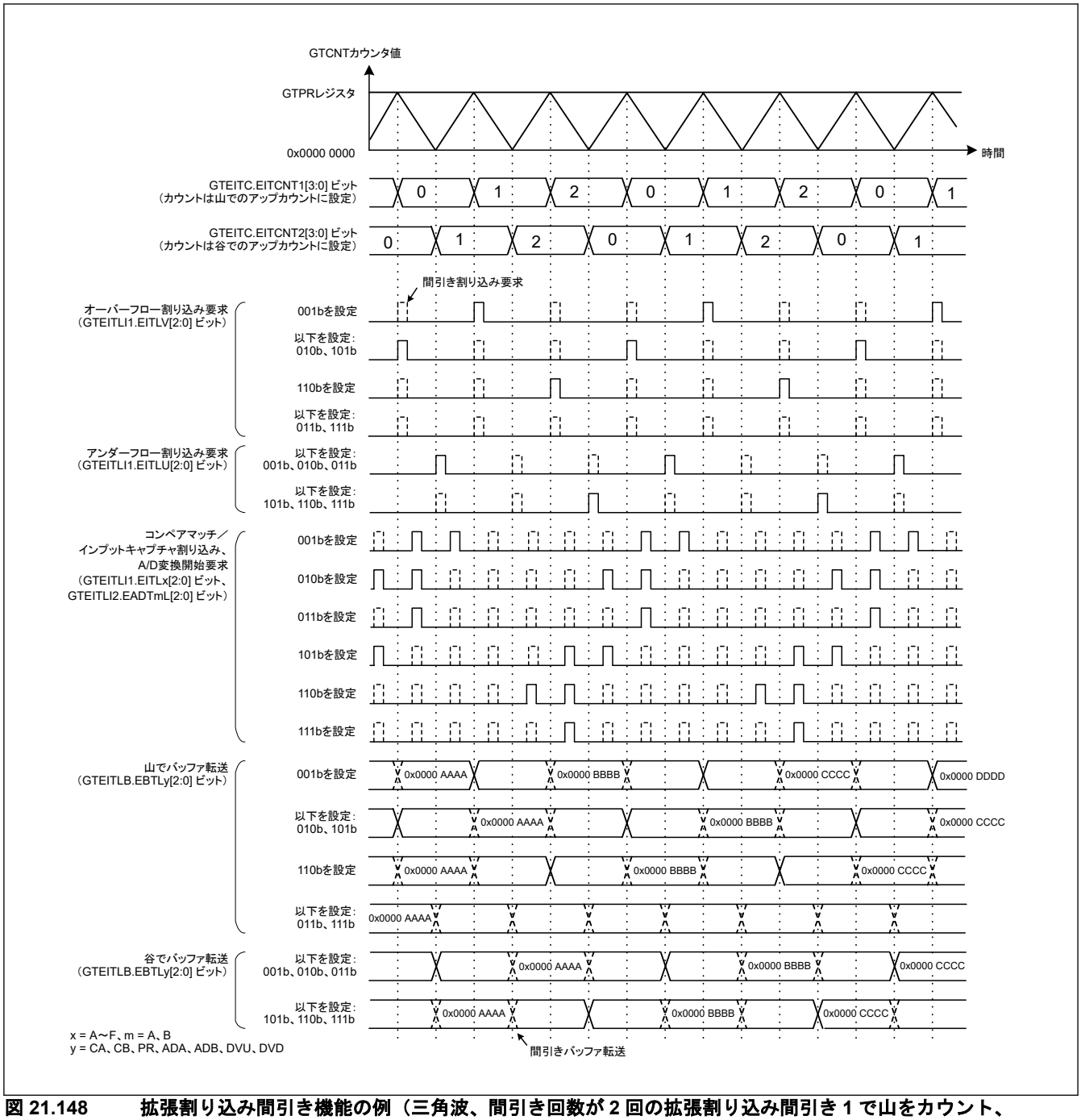


図 21.148　拡張割り込み間引き機能の例（三角波、間引き回数が 2 回の拡張割り込み間引き 1 で山をカウント、間引き回数が 2 回の拡張割り込み間引き 2 で谷をカウント、拡張割り込み間引きカウンタ 2 の初期値は 1 の場合）

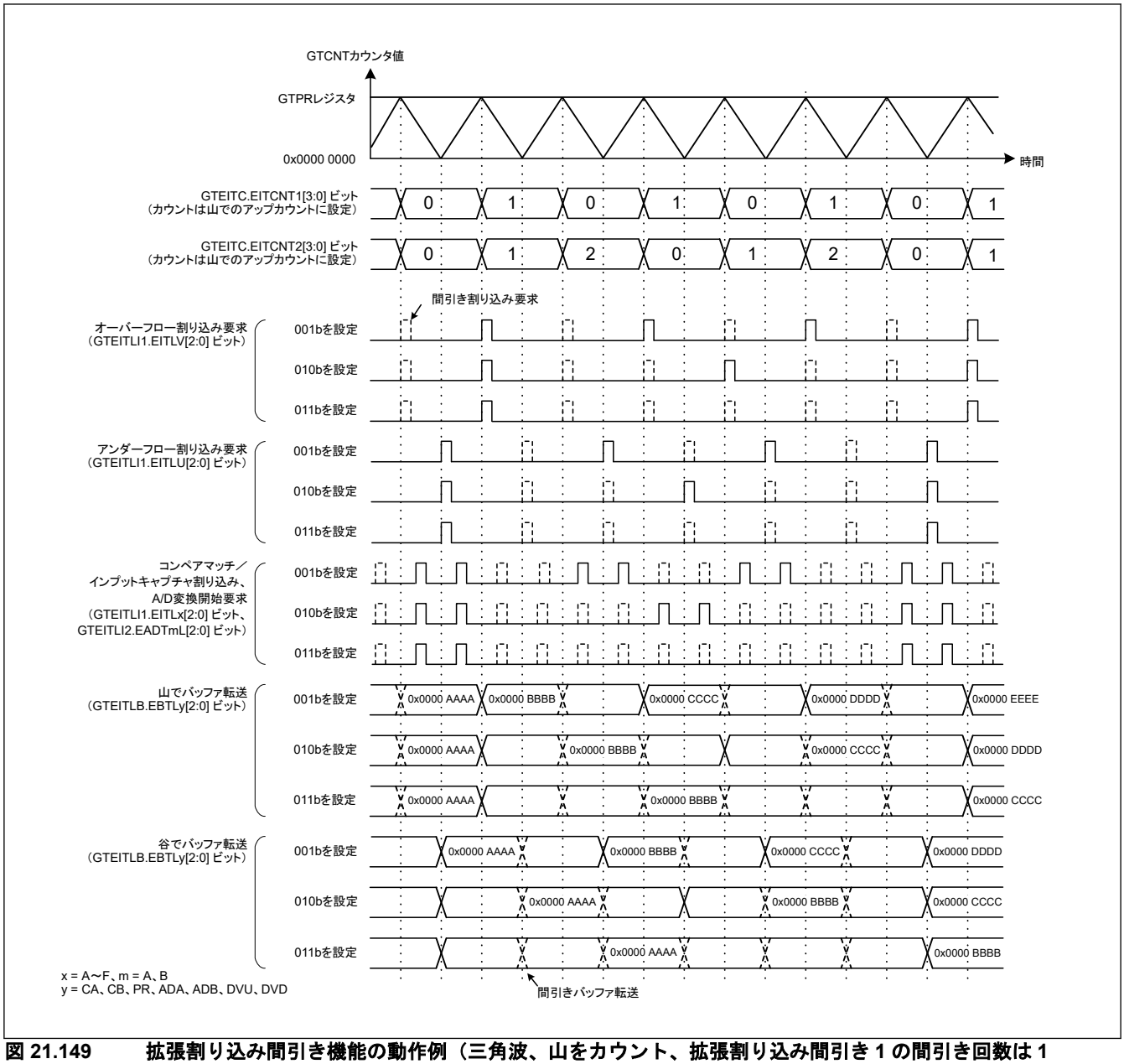


図 21.149 拡張割り込み間引き機能の動作例（三角波、山をカウント、拡張割り込み間引き 1 の間引き回数は 1 回、山をカウント、拡張割り込み間引き 2 の間引き回数は 2 回、拡張割り込み間引きカウンタ 2 の初期値は 0、GTEITC.EITCNTk ビット（k = 1, 2）が 0 以外の期間に間引く場合）

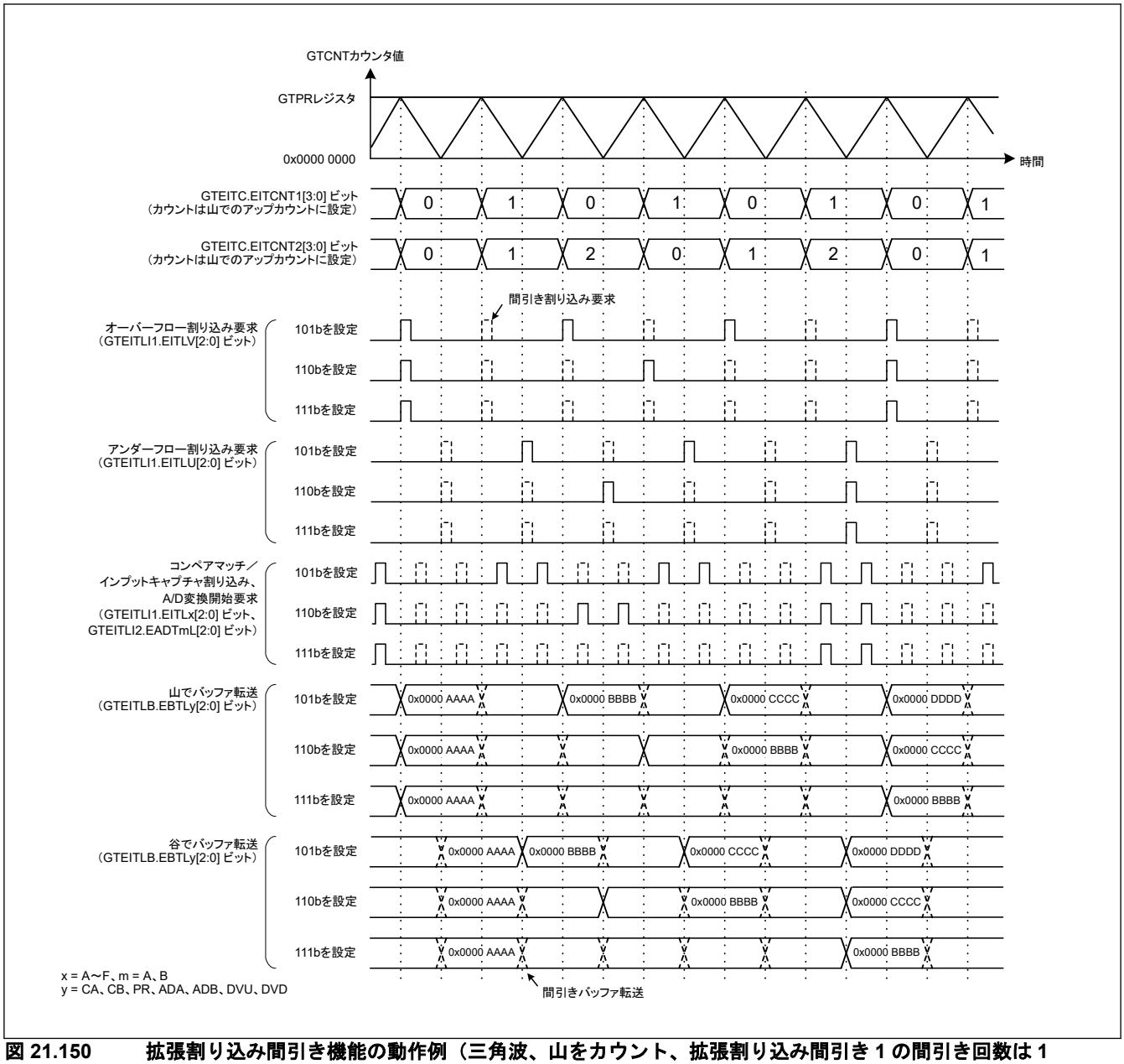


図 21.150 拡張割り込み間引き機能の動作例（三角波、山をカウント、拡張割り込み間引き 1 の間引き回数は 1 回、山をカウント、拡張割り込み間引き 2 の間引き回数は 2 回、拡張割り込み間引きカウンタ 2 の初期値は 0、GTEITC.EITCNTk ビット（k = 1, 2）が GTEITC.EIVTTk ビット以外の期間に間引く場合）

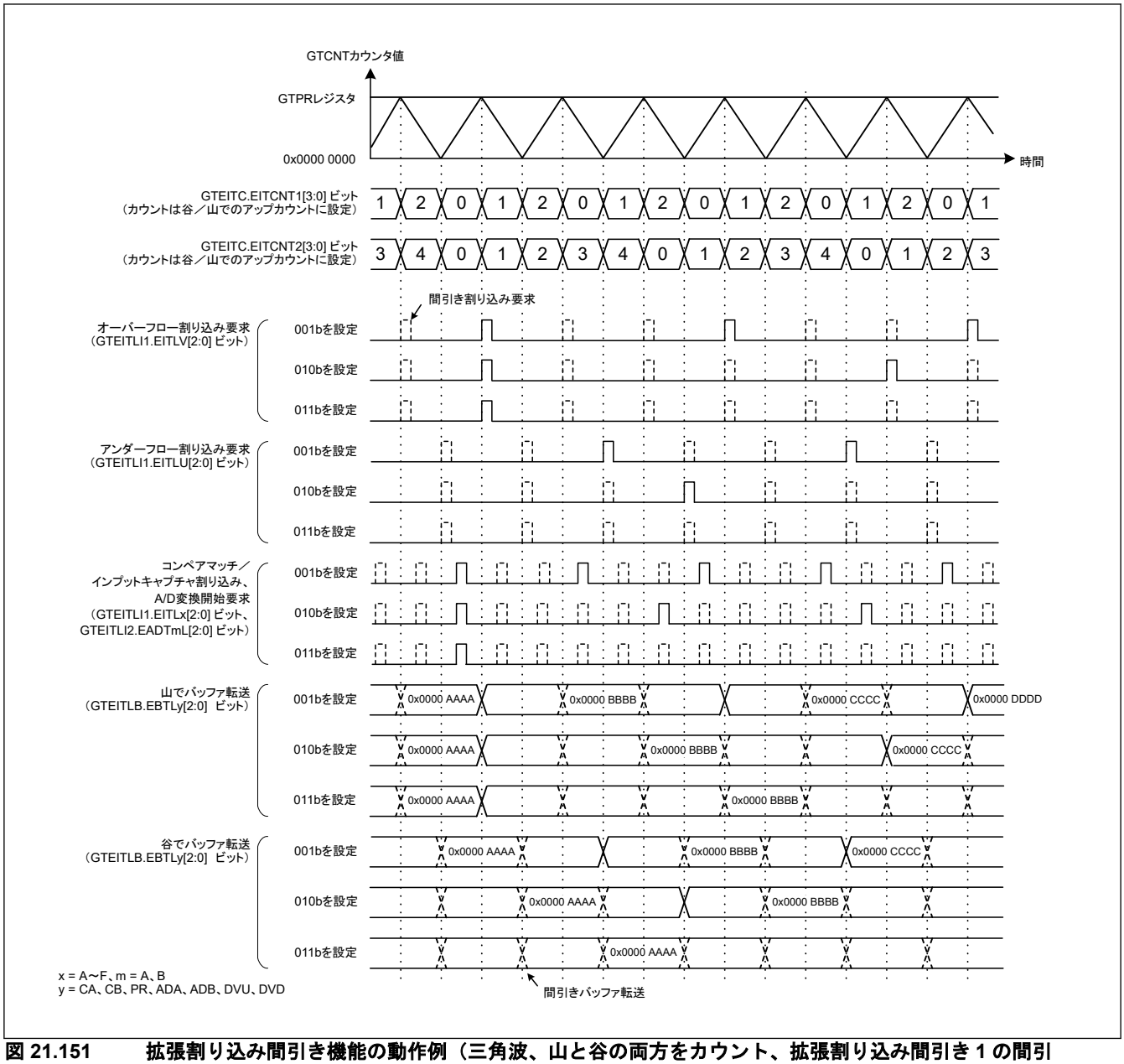


図 21.151 拡張割り込み間引き機能の動作例（三角波、山と谷の両方をカウント、拡張割り込み間引き 1 の間引き回数は 2 回、山と谷の両方をカウント、拡張割り込み間引き 2 の間引き回数は 4 回、拡張割り込み間引きカウンタ 2 の初期値は 0、GTEITC.EITCNTk ビット（k = 1, 2）が 0 以外の期間に間引く場合）

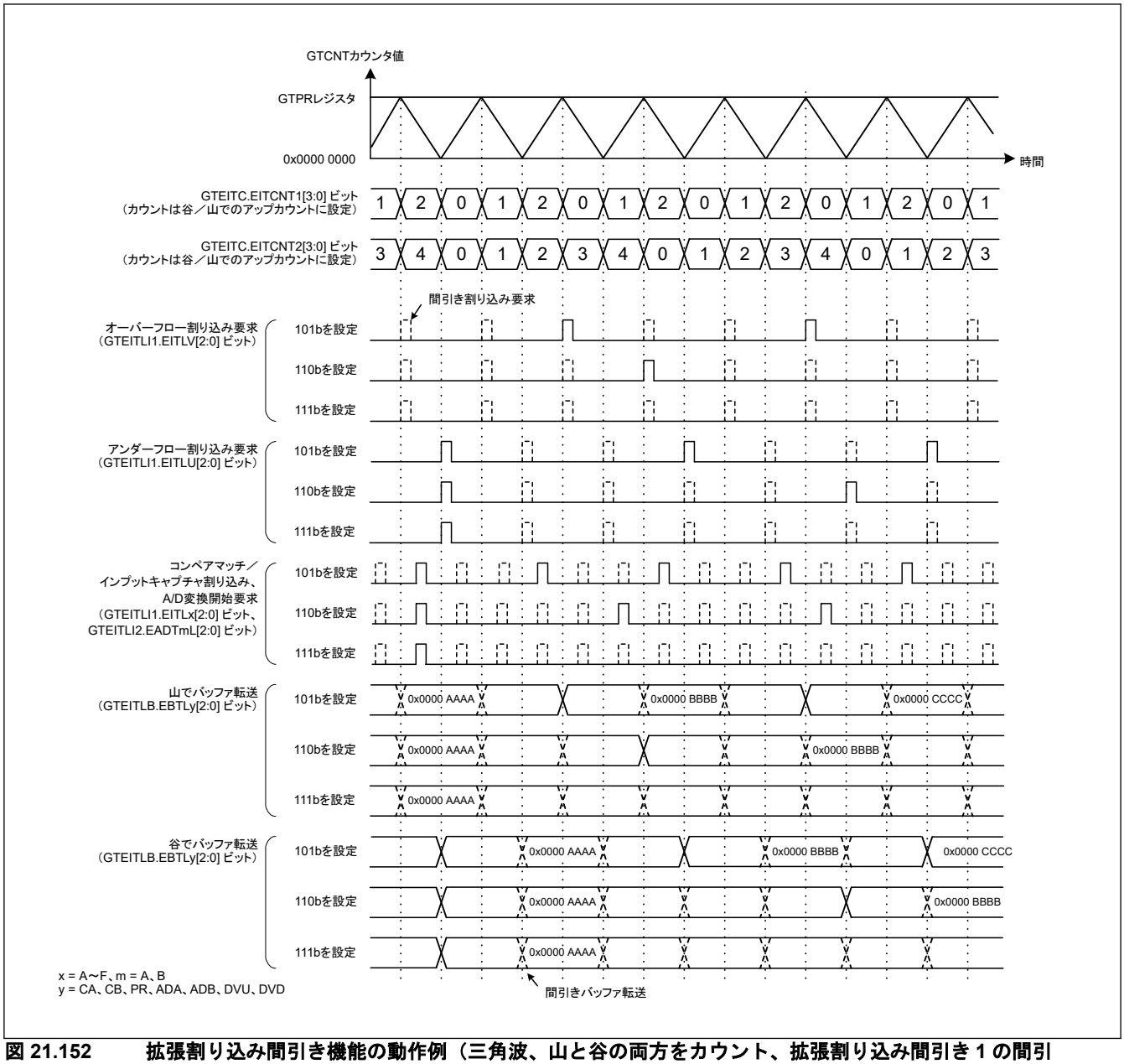


図 21.152 拡張割り込み間引き機能の動作例（三角波、山と谷の両方をカウント、拡張割り込み間引き 1 の間引き回数は 2 回、山と谷の両方をカウント、拡張割り込み間引き 2 の間引き回数は 4 回、拡張割り込み間引きカウンタ 2 の初期値は 0、GTEITC.EITCNTk ビット（k = 1, 2）が GTEITC.EIVTTk ビット以外の期間に間引く場合）

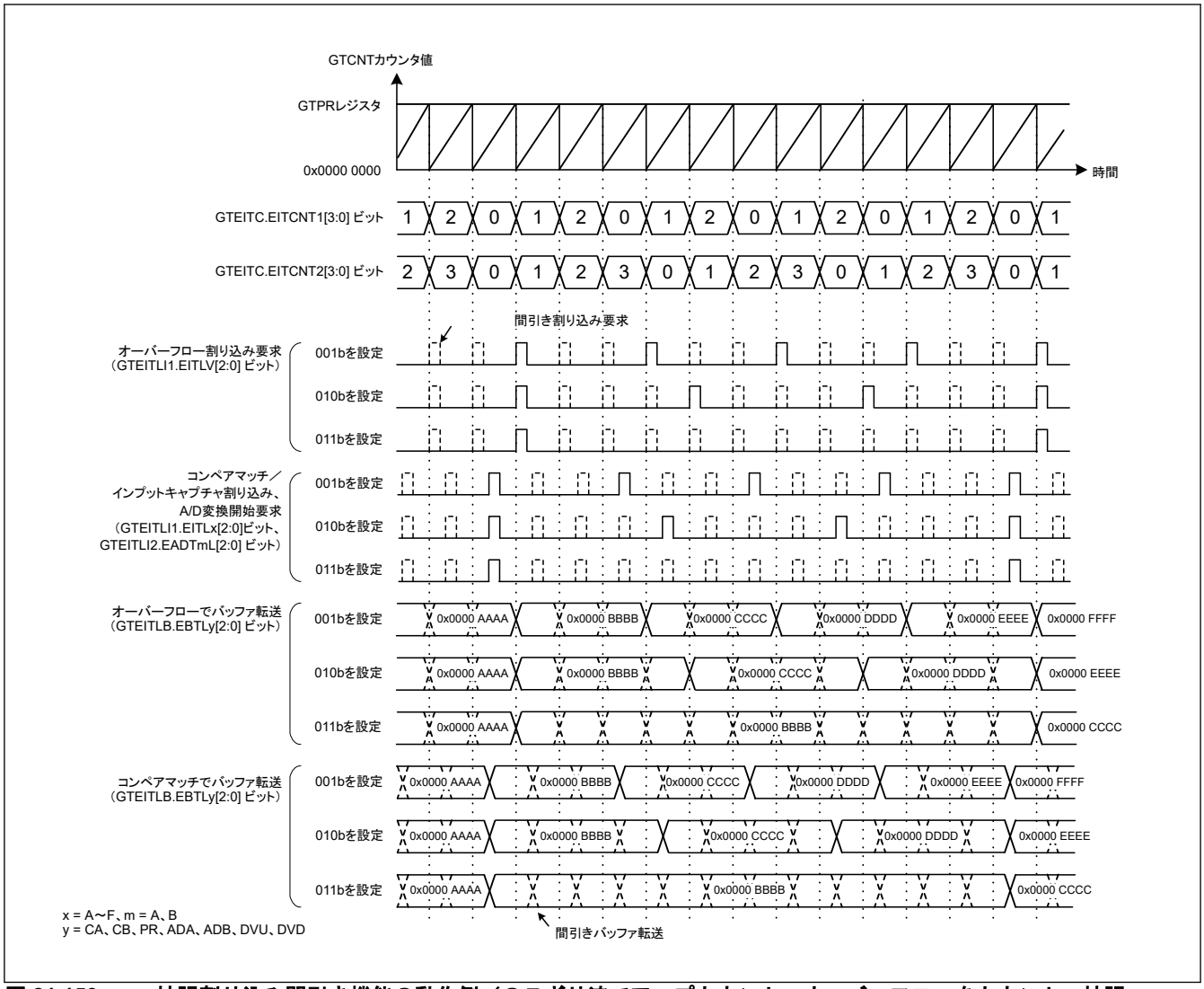


図 21.153 拡張割り込み間引き機能の動作例（のこぎり波でアップカウント、オーバーフローをカウント、拡張割り込み間引き 1 の間引き回数は 2 回、オーバーフローをカウント、拡張割り込み間引き 2 の間引き回数は 3 回、拡張割り込み間引きカウンタ 2 の初期値は 0、GTEITC.EITCNTk ビット（k = 1, 2）が 0 以外の期間に間引く場合）

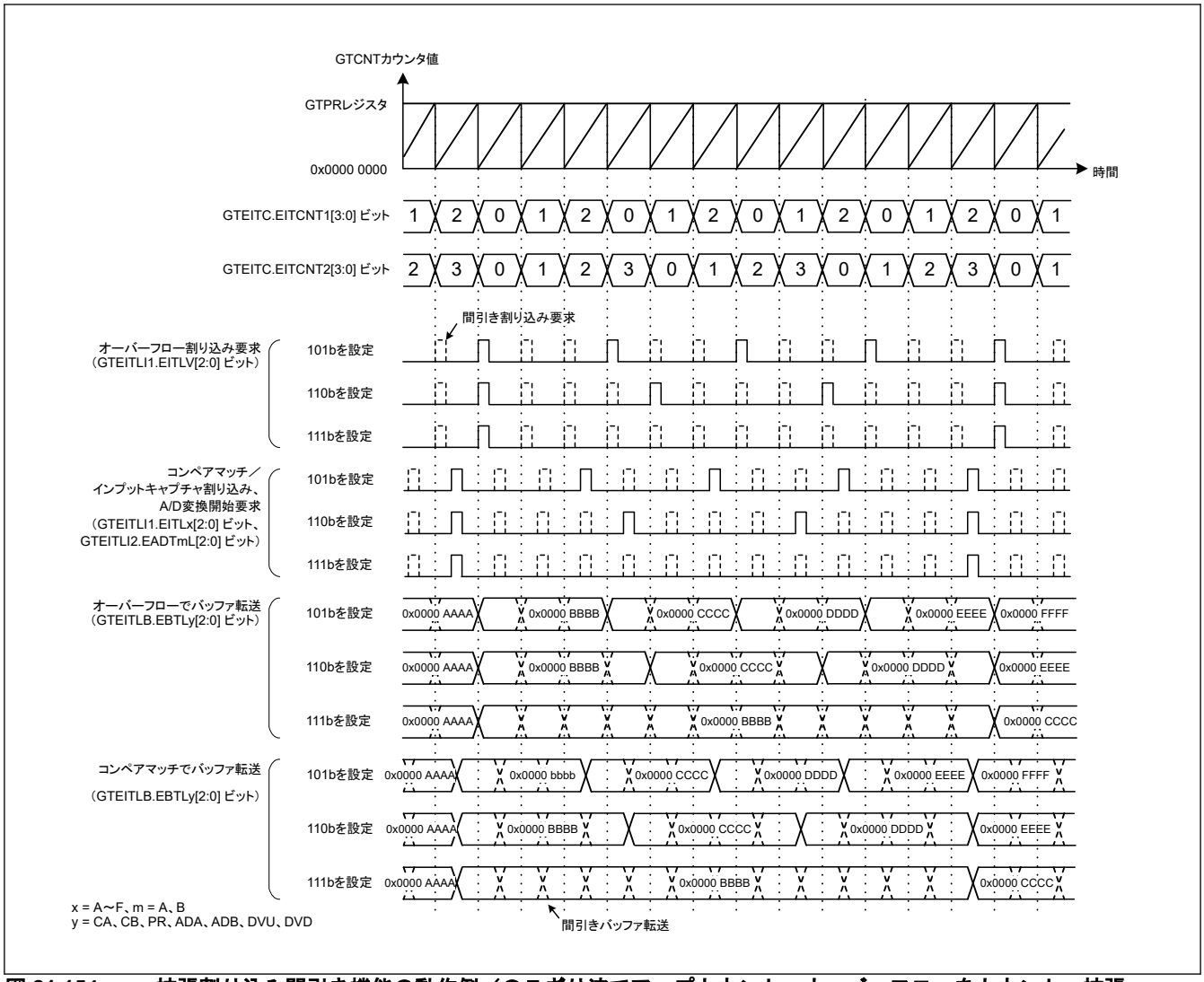


図 21.154 拡張割り込み間引き機能の動作例（のこぎり波でアップカウント、オーバーフローをカウント、拡張割り込み間引き 1 の間引き回数は 2 回、オーバーフローをカウント、拡張割り込み間引き 2 の間引き回数は 3 回、拡張割り込み間引きカウンタ 2 の初期値は 0、GTEITC.EITCNTk ビット（k = 1, 2）が GTEITC.EIVTTk ビット以外の期間に間引く場合）

図 21.155 に、インプットキャプチャでの拡張割り込み間引き動作例を示します。GTCNT カウンタのカウント停止時のインプットキャプチャ動作設定（GTCR.ICDS ビット = 0）の場合、インプットキャプチャによる割り込みとバッファ転送の拡張間引きは GTCNT カウンタのカウント停止中でも許可されます。

ICDS ビットを 0 にすることで GTCNT カウンタのカウント停止中にインプットキャプチャが発生した場合、間引きカウンタ値が、対応する割り込み間引き機能選択ビットで設定した間引き期間と同じならば、割り込みとバッファ転送が間引かれます。

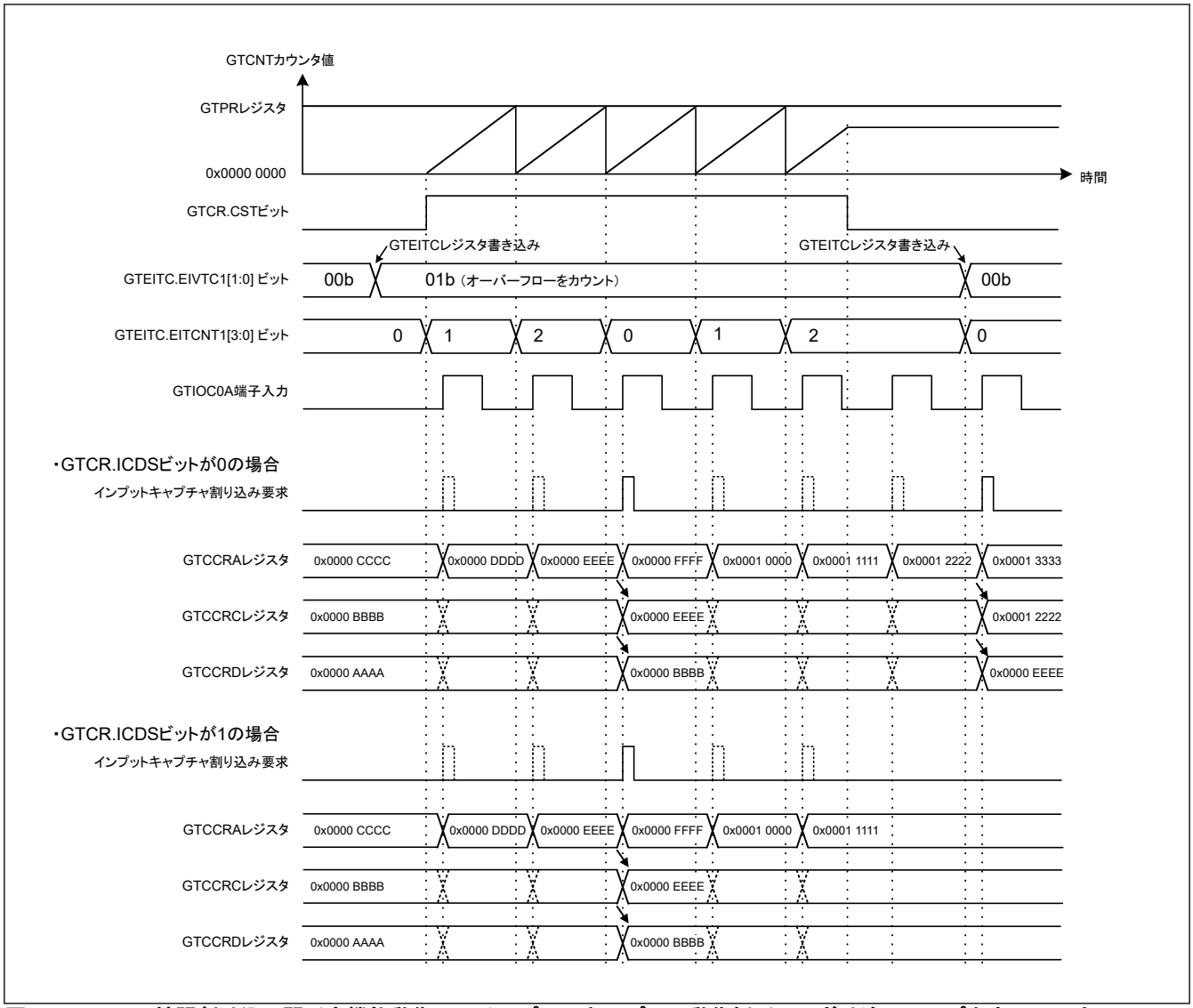


図 21.155　拡張割り込み間引き機能動作でのインプットキャプチャ動作例（のこぎり波でアップカウント、オーバーフローをカウント、拡張割り込み間引き 1 の間引き回数は 2 回、EITCNT1 ビットが 0 以外の期間で間引き、入力の立ち上がりでインプットキャプチャの場合）

表 21.69 に拡張割り込み間引きの設定例を示します。

拡張割り込み間引きカウンタ 2 の初期値は、拡張割り込み間引きカウンタ 2 のカウントソースをカウントしない（GTEITC.EIVTC2[1:0] ビット = 00b）からカウントする（EIVTC2[1:0] ビット = 00b 以外）に設定変更するために適用する ETICNT2IV[3:0] ビットの書き込み値で設定されます。拡張割り込み間引きカウンタ 2 の初期値ビット（ETICNT2IV[3:0] ビット）への書き込みが行われるのは、上述の拡張割り込み間引きカウンタ 2 の初期値の設定を書き込んだときのみです。

表 21.69　拡張割り込み間引きの設定例 (1/2)

No.	ステップ名	説明
1	GTCNT カウンタ動作設定、 バッファ動作設定、 コンペアマッチ値設定	「21.3.2. バッファ動作」、「21.3.3. PWM 出力動作モード」などを参照してください。
2	拡張割り込み間引き機能の設定	間引き対象の割り込み、A/D 変換開始要求、バッファ転送に対する間引き機能選択ビットを、それぞれ GTEITLI1 レジスタ、GTEITLI2 レジスタ、GTEITLB レジスタで設定して、間引きに使用する間引きカウンタと間引き期間を選択します。

表 21.69 拡張割り込み間引きの設定例 (2/2)

No.	ステップ名	説明
3	拡張間引きカウンタの設定	GTEITC レジスタで、間引きに使用する間引きカウンタのカウントソース、間引き回数、間引きカウンタ 2 の初期値を以下の順番で設定します。 EIVTCk[1:0] ビット（k = 1, 2）を 00b 以外の値に、EIVTTk[3:0] ビットを 0000b 以外の値に設定します。 間引きカウンタ 2 を使用する場合、EIVTC2[1:0] ビットを 00b から 00b 以外の値に変更し、EITCNT2IV[3:0] ビットを間引きカウンタ 2 の初期値に設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
5	周期ごとのバッファ値設定	「21.3.2. バッファ動作」、「21.3.3. PWM 出力動作モード」などを参照してください。

21.4.3.3 A/D 変換開始要求コンペアマッチ間引き機能

GTADCMSC レジスタと GTADCMSS レジスタの設定に基づいて GTADTRA レジスタと GTADTRB レジスタのコンペアマッチをカウントすることで、A/D 変換開始要求と GTADTR レジスタバッファ転送を間引くことができます。

間引き期間は、独立した 2 つの A/D 変換開始要求コンペアマッチ間引きカウンタ（GTADCMSC レジスタの ADCMSCNT1[3:0] ビットと ADCMSCNT2[3:0] ビット）の動作に関連して、これらの間引きカウンタのカウンタ値のいずれかが 0 以外または間引き回数以外の期間として設定します。間引き期間は、両方の間引きカウンタのカウンタ値が 0 以外または間引き回数以外に設定されている期間として設定することも可能です。

図 21.156 に、A/D 変換開始要求コンペアマッチ間引きのカウンタ動作を示します。

A/D 変換開始要求コンペアマッチ間引きのカウンタ動作は GTADCMSC レジスタで設定します。

ADCMSCNT1[3:0] ビットは A/D 変換開始要求コンペアマッチ間引きカウンタ 1 のカウントソース選択ビット（GTADCMSC.ADCMSC1[1:0] ビット）で選択したカウントソース（図 21.156 では山を選択）をカウントし、A/D 変換開始要求コンペアマッチ間引き 1 の間引き回数設定ビット（ADCMST1[3:0] ビット）で設定した間引き回数（図 21.156 では 2 回）に達したときに 0 を返すカウント動作を繰り返します。

ADCMSCNT2[3:0] ビットは A/D 変換開始要求コンペアマッチ間引きカウンタ 2 のカウントソース選択ビット（GTADCMSC.ADCMSC2[1:0] ビット）で選択したカウントソース（図 21.156 では谷を選択）をカウントし、A/D 変換開始要求コンペアマッチ間引き 2 の間引き回数設定ビット（ADCMST2[3:0] ビット）で設定した間引き回数（図 21.156 では 2 回）に達したときに 0 を返すカウント動作を繰り返します。

ADCMSCNTk[3:0] ビット（k = 1, 2）に初期値を設定できます。初期値が設定されるのは、A/D 変換開始要求コンペアマッチ間引きカウンタ k をカウントしない設定（ADCMSCk[1:0] ビットを 00b）にした状態で 16 ビットまたは 32 ビットのアクセスにより GTADCMSC レジスタに書き込みが行われた場合と、ADCMSCk[1:0] ビットの書き込み値が 00b 以外の場合です。初期値を設定すると、A/D 変換開始要求コンペアマッチ間引きカウンタ k の初期値ビット（ADCMSCNTkIV[3:0] ビット）の書き込み値が ADCMSCNT2[3:0] ビットの初期値として設定されます。

A/D 変換開始要求コンペアマッチ間引きカウンタは、「カウントしない」から「カウントする」に設定を変更した後の最初のカウントクロックからアップカウントを開始します。

A/D 変換開始要求コンペアマッチ間引き機能の ADCMSCNT1[3:0] ビットと ADCMSCNT2[3:0] ビットは GTCNT カウンタ動作の停止後も値を保持し、カウンタが停止する前の値からカウントを再開することができます。ADCMSCNT1[3:0] ビットと ADCMSCNT2[3:0] ビットの値をリセット（0000b）する場合、ADCMSC1[1:0] ビットと ADCMSC2[1:0] ビットを 00b にしてカウントしない（間引きなし）設定にしてください。

間引き回数を変更する場合、間引きカウンタ動作を停止状態（ADCMSC1[1:0] ビットか ADCMSC2[1:0] ビットのいずれかを 00b）にしてからカウントを変更してください。

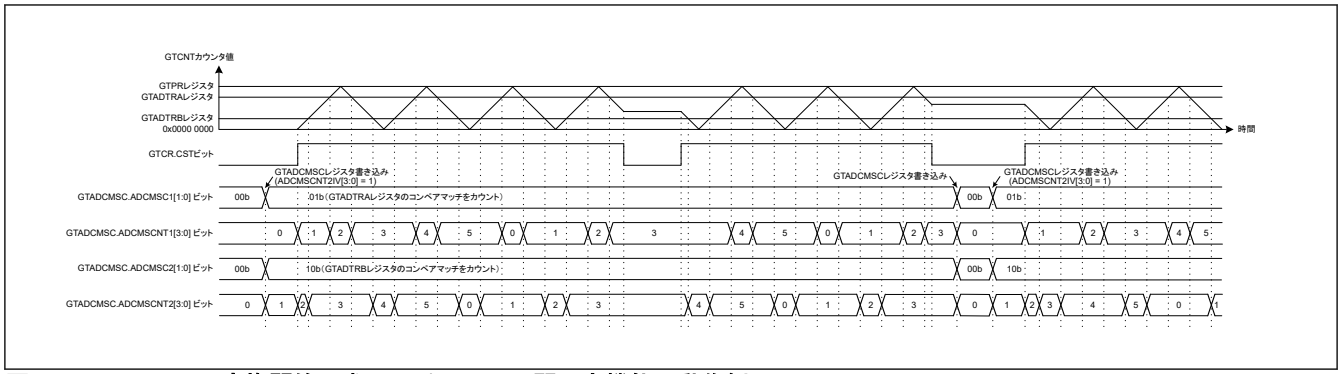


図 21.156　A/D 変換開始要求コンペアマッチ間引き機能の動作例

ADCMSC レジスタによる A/D 変換開始要求間引きは、GTITC レジスタまたは GTEITC レジスタによる間引きと同時に実行できます。この場合の間引き期間は各レジスタの間引き期間の論理和として表します。

図 21.157 に、対応する割り込み間引き動作と A/D 変換開始要求間引き動作を同時に実行する場合を示します。

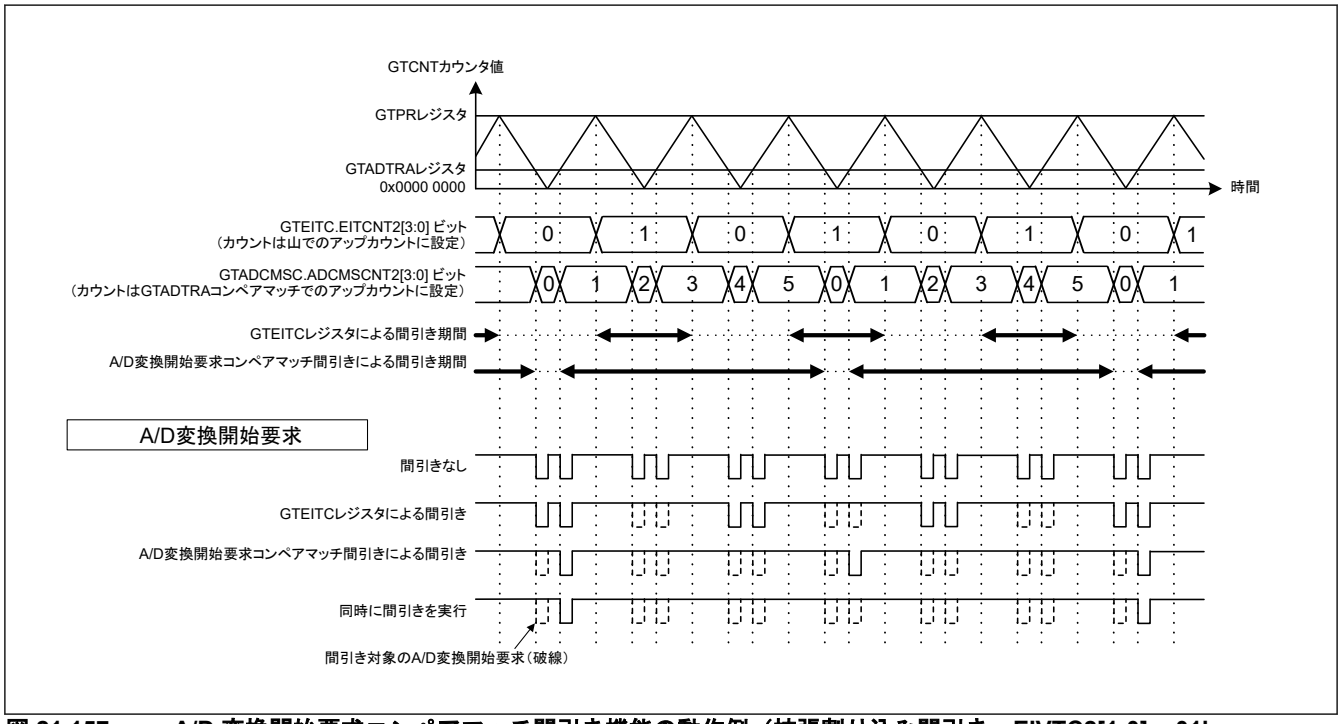


図 21.157　A/D 変換開始要求コンペアマッチ間引き機能の動作例（拡張割り込み間引き：EIVTC2[1:0] = 01b、EADTAL[2:0] = 010b、A/D 変換開始要求コンペアマッチ間引き：ADCMSC2[1:0] = 01b、ADCMSAL[2:0] = 010b の場合）

GTADCMSS レジスタで設定可能な A/D 変換開始要求間引きを実行した場合、ステータスフラグの更新と ELC イベント出力は GTINTAD レジスタの A/D 変換開始要求許可ビットにより異なります。GTINTAD レジスタで禁止設定した A/D 変換開始要求の動作は、すべて実行されません。

GTADCMSS レジスタによるバッファ転送間引きは、GTBER レジスタと GTBER2 レジスタで許可したすべてのバッファ動作、あるいはのこぎり波ワンショットパルスモード、三角波 PWM モード 3、相補 PWM モードのいずれかで実行するすべてのバッファ動作（GTCCRC、GTCCRE から GTCCRA へのバッファ転送を除く）で実行されます。

A/D 変換開始要求間引きとバッファ転送間引きは個別に動作します。

拡張間引き機能の動作例を図 21.158 と図 21.159 に示します。

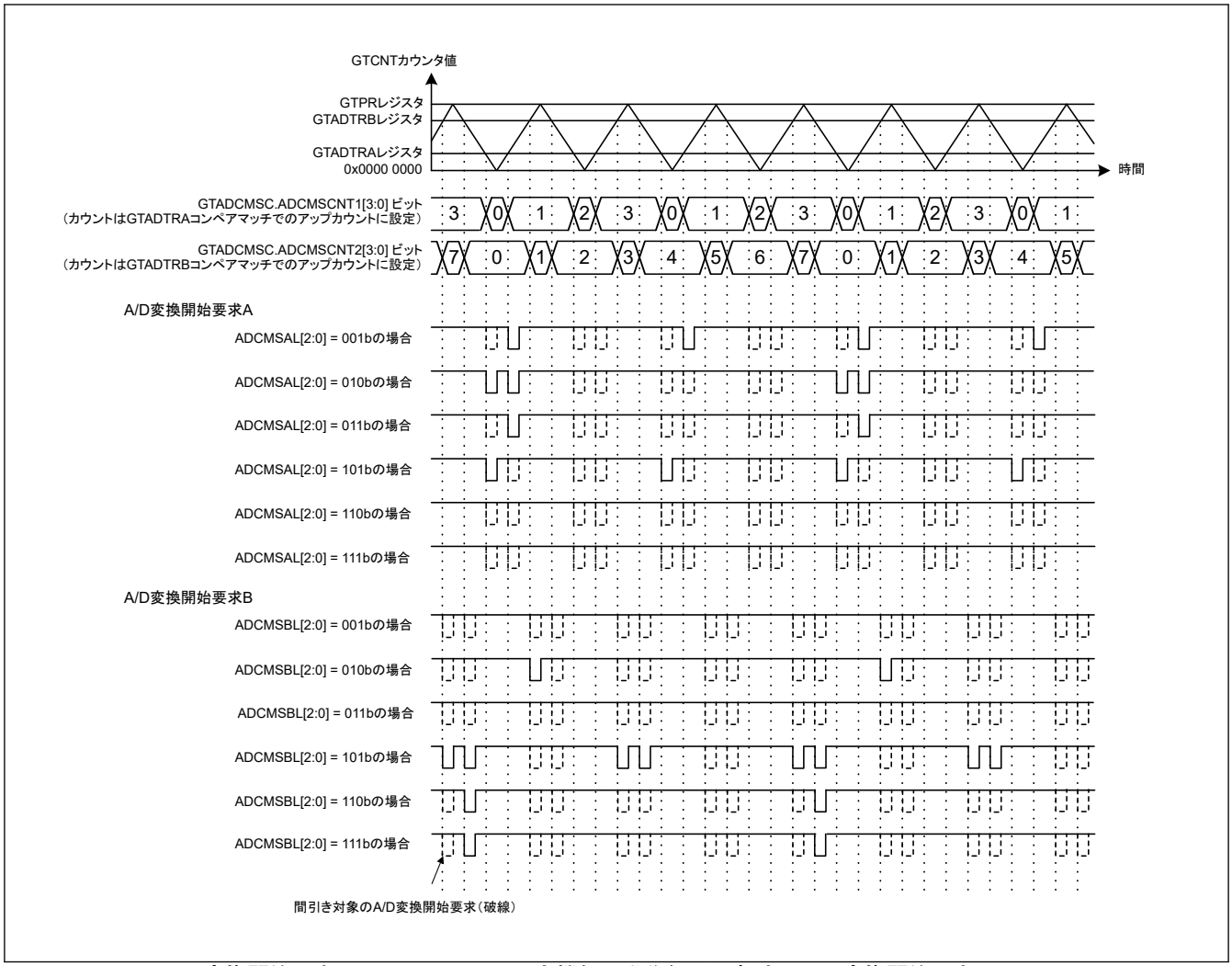


図 21.158 A/D 変換開始要求コンペアマッチ間引き機能の動作例（三角波、A/D 変換開始要求コンペアマッチ間引き 1 の間引き回数は 3 回で GTADTRA コンペアマッチをカウント、A/D 変換開始要求コンペアマッチ間引き 2 の間引き回数は 7 回で GTADTRB コンペアマッチをカウントする場合）

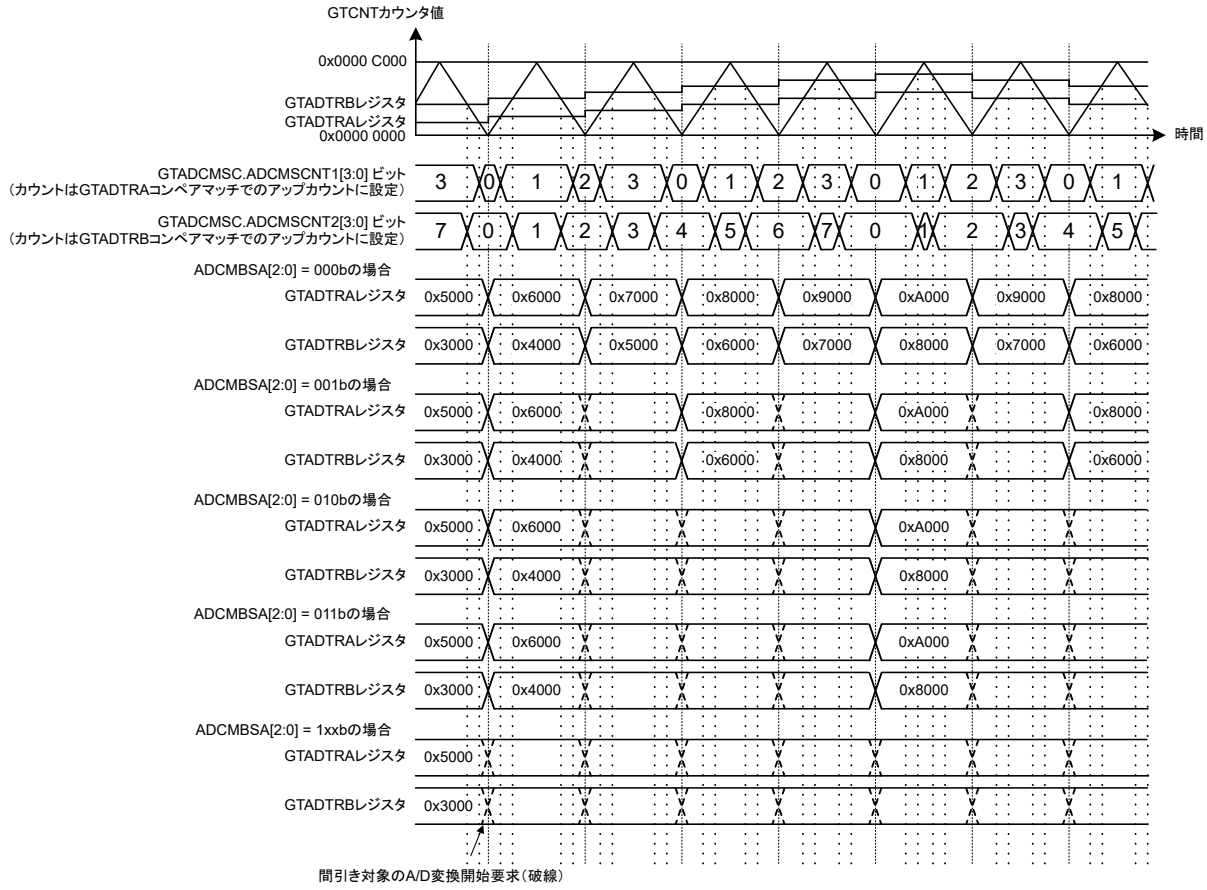


図 21.159 A/D 変換開始要求コンペアマッチ間引き機能の動作例（三角波、A/D 変換開始要求コンペアマッチ間引き 1 の間引き回数は 3 回で GTADTRA コンペアマッチをカウント、A/D 変換開始要求コンペアマッチ間引き 2 の間引き回数は 7 回で GTADTRB コンペアマッチをカウント、GTADTRA と GTADTRB のバッファ転送を谷で実行する場合）

表 21.70 に、A/D 変換開始要求コンペアマッチ間引きの設定例を示します。

A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の初期値は、拡張割り込み間引きカウンタ 2 のカウントソースをカウントしない（GTADCMSC.ADCMSC2[1:0] ビット = 00b）からカウントする（ADCMSC2[1:0] ビット = 00b 以外）に設定変更するために適用する ADCMSCNT2IV[3:0] ビットの書き込み値で設定されます。A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の初期値ビット（ADCMSCNT2IV[3:0] ビット）への書き込みが行われるのは、上述の A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の初期値の設定を書き込んだときのみです。

表 21.70 A/D 変換開始要求コンペアマッチ間引きの設定例 (1/2)

No.	ステップ名	説明
1	GTCNT カウンタ動作設定、 バッファ動作設定、 コンペアマッチ値設定	「21.3.2. バッファ動作」、「21.3.3. PWM 出力動作モード」、「21.5. A/D 変換開始要求」などを参照してください。
2	A/D 変換開始要求コンペアマッチ間引き機能の設定	間引き対象の A/D 変換開始要求またはバッファ転送に対する間引き機能選択ビットを GTADCMSS レジスタで設定して、間引きカウンタと割り込み期間を選択します。
3	A/D 変換開始要求コンペアマッチ間引きカウンタ k（k = 1, 2）の設定	GTADCMSC レジスタで、間引きカウンタのカウントソース、間引き回数、間引きカウンタ k の初期値を以下の順番で設定します。 GTADCMSC.ADCMSCk[[1:0] ビットを 00b 以外の値に、ADCMSTk[3:0] ビットを 0000b 以外の値に設定します。 ADCMSCk[1:0] ビットを 00b から 00b 以外の値に変更し、ADCMSCNTkIV[3:0] ビットを間引きカウンタ k の初期値に設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

表 21.70 A/D 変換開始要求コンペアマッチ間引きの設定例 (2/2)

No.	ステップ名	説明
5	周期ごとのバッファ値設定	「21.3.2. バッファ動作」、「21.3.3. PWM 出力動作モード」、「21.5. A/D 変換開始要求」などを参照してください。

21.5 A/D 変換開始要求

A/D 変換開始要求は GTCNT カウンタと GTADTRA レジスタまたは GTADTRB レジスタとのコンペアマッチで発行できます。また GTINTAD レジスタの設定で、アップカウント時のみ、ダウンカウント時のみ、またはアップカウントとダウンカウントの両方が指定できます。

相補 PWM モードの場合、マスタチャネルの GTCNT カウンタとのコンペアマッチで A/D 変換開始要求を発行できます。

イベントカウント動作実行時は、A/D 変換開始要求を発生させることはできません。

A/D 変換開始要求はイベント信号として ELC に出力されます。

GTADTRA レジスタおよび GTADTRB レジスタは、それぞれ 2 つのバッファレジスタを持ちます。GTADTRA レジスタを GTADTBRA レジスタや GTADTDBRA レジスタと一緒に使用してバッファ動作を実行したり、GTADTRB レジスタを GTADTBRB レジスタや GTADTDBRB レジスタと一緒に使用してバッファ動作を実行したりできます。

A/D 変換開始要求の発生タイミングは外部端子で監視することができます。監視対象の A/D 変換開始要求信号を GTADSMR.ADSMSk ビット（k = 0, 1）で選択し、ADSMENk ビットで出力を許可した場合、A/D 変換開始要求信号の生成に使用するタイマの周期フレームに同期した信号が出力されます。この出力は GTADSMk 端子による A/D 変換開始要求信号の発生時に High になり、周期の終わりに Low になります。A/D 変換開始要求信号が周期の終わりに発生した場合、監視出力に関してはこの信号の発生が優先され、出力は次の周期の終わりまで High のままです。A/D 変換開始要求信号の発生元であるレジスタ（GTADTRA および GTADTRB）とカウント方向は、GTST レジスタの A/D 変換開始要求フラグ（ADTRAUF、ADTRADF、ADTRBUF、ADTRBDF）で確認できます。複数チャネルに対して同じ A/D 変換開始要求信号監視の出力を許可した場合、信号の論理和が GPT32 から出力されます。

図 21.160 とに A/D 変換開始要求動作例を、表 21.71 とに A/D 変換開始要求動作設定例を示します。

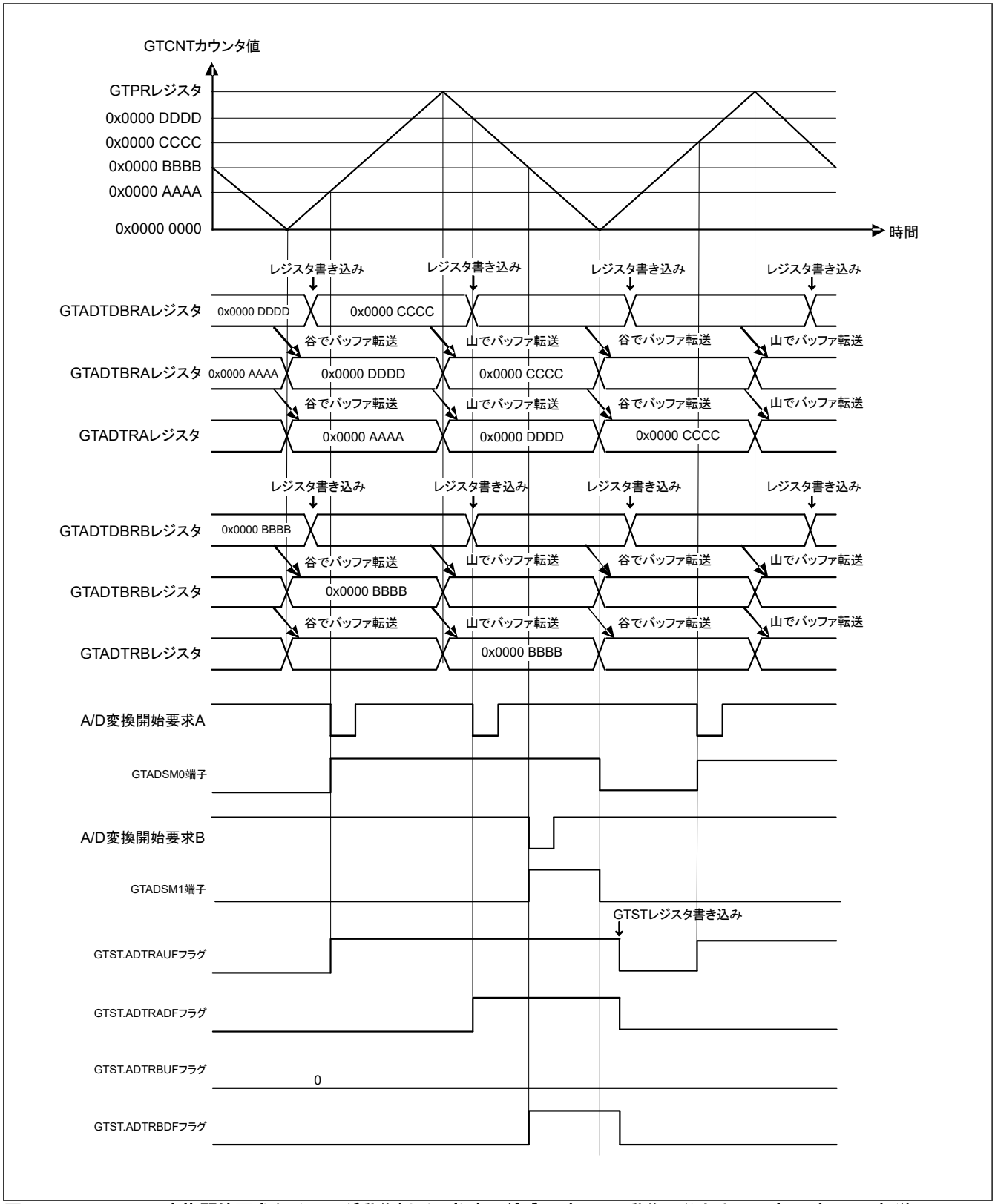


図 21.160 A/D 変換開始要求タイミング動作例（三角波、ダブルバッファ動作、谷と山の両方でバッファ転送、GTADTRA レジスタはアップカウントとダウンカウントの両方で A/D 変換開始要求を発生、GTADTRB レジスタはダウンカウントで A/D 変換開始要求を発生、GTADTRA レジスタのアップカウントを GTADSM0 端子で監視、GTADTRB レジスタのダウンカウントを GTADSM1 端子で監視する場合）

表 21.71 A/D 変換開始要求タイミング動作設定例

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0] ビットまたは GTCR.MD[3:0] ビットで動作モードを設定します。 図 21.160 では、100b、101b、110b のいずれか（0100b,、0101b、0110b のいずれか）（三角波 PWM モード）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0] ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	バッファ動作の設定	GTBER レジスタの ADTTA[1:0]、ADTTB[1:0]、ADTDA、ADTDB ビットでバッファ動作を設定します。 図 21.160 では、ADTTA[1:0] = 11b、ADTTB[1:0] = 11b、ADTDA = 1、ADTDB = 1 です。
6	コンペアマッチ値設定	A/D 変換開始要求ポイントを GTADTRA、GTADTRB レジスタに設定します。
7	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA レジスタと GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA レジスタと GTADTDBRB レジスタに設定します。
8	監視用の A/D 変換開始要求を設定	GTADSMR レジスタの ADSMS0[1:0] ビットと ADSMS1[1:0] ビットで、監視対象の A/D 変換開始要求信号（GTADSM0 端子と GTADSM1 端子から出力）を選択し、GTADSMR レジスタの ADSMEN0 ビットと ADSMEN1 ビットで、監視中の A/D 変換開始要求信号の出力を許可します。 図 21.160 では、ADSMS0[1:0] = 00b、ADSMS1[1:0] = 11b、ADSMEN0 = 1、ADSMEN1 = 1 です。
9	A/D 変換開始要求を許可	GTINTAD レジスタの ADTRAUEN、ADTRADEN、ADTRBUEN、ADTRBDEN ビットで A/D 変換開始要求の許可を設定します。 図 21.160 では、ADTRAUEN ビット = 1、ADTRADEN ビット = 1、ADTRBUEN ビット = 0、ADTRBDEN ビット = 1 です。
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA レジスタと GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA レジスタと GTADTDBRB レジスタに設定します。

図 21.161、に A/D 変換開始要求タイミング動作例を示します。

これは、A/D コンバータの開始要因 0 (ELC_AD00) として、ELC による A/D 変換開始要求 A の出力例を示します。GTADTRA レジスタとのコンペアマッチに対して、ELC により A/D 変換開始要求 A 信号が出力されます。

GPT からの A/D 変換開始要求 A 信号を、ELC を経由せず ADC に直接入力する場合にも同じタイミングが適用されます。

GPT が PCLKD で動作し、ADC が PCLKA で動作している場合、A/D 変換開始要求 A は PCLKA の次の立ち上がりエッジで ELC に渡されます。

GPT が GPTCLK で動作し、ADC も GPTCLK で動作している場合、A/D 変換開始要求 A は遅延なしで ELC に渡されます。

その他のすべてのクロック組み合わせの場合は、A/D 変換開始要求 A が同期して ELC に渡されます。

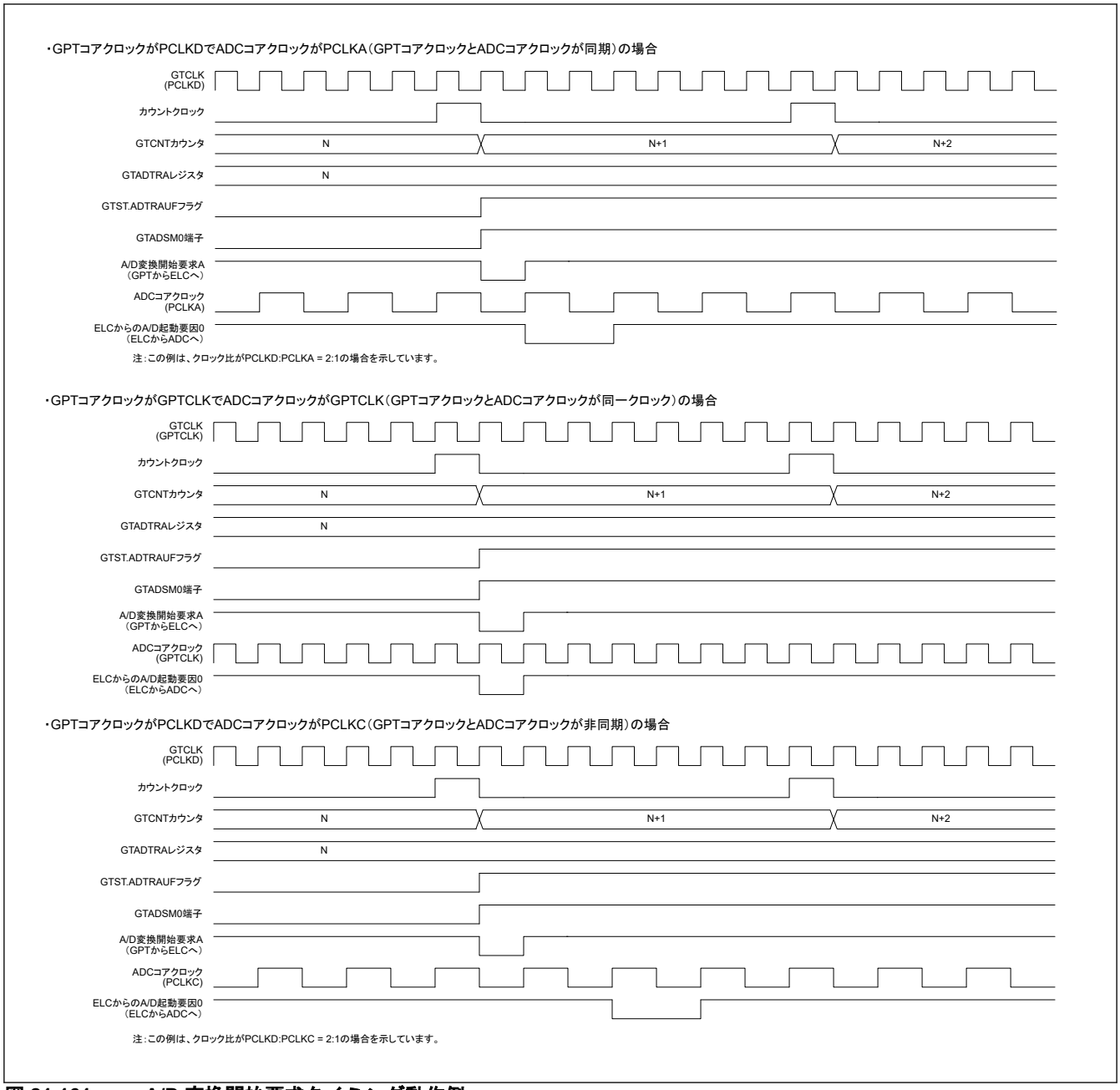


図 21.161　A/D 変換開始要求タイミング動作例

A/D 変換開始要求の制限事項については、「17. イベントリンクコントローラ (ELC)」と「21.10.6. 割り込み要求の間隔」を参照してください。

21.6　ELC によるリンク動作

21.6.1　ELC へのイベント信号出力

GPT では、その割り込み要求信号がイベントリンクコントローラ (ELC) でイベント信号として使用された場合、あらかじめ設定しておいたモジュールとのリンク動作が可能です。

アップカウント／ダウンカウント中の A/D 変換開始要求は、ELC へイベントを出力するために、A/D 変換開始要求許可ビットで個別に許可または禁止することができます。

GPT には以下の ELC イベント信号があります。

- コンペアマッチ A 割り込み発生 (GPTn_CCMPA)
- コンペアマッチ B 割り込み発生 (GPTn_CCMPB)

- コンペアマッチ C 割り込み発生 (GPTn_CMPC)
- コンペアマッチ D 割り込み発生 (GPTn_CMPD)
- コンペアマッチ E 割り込み発生 (GPTn_CMPE)
- コンペアマッチ F 割り込み発生 (GPTn_CMPF)
- オーバーフロー割り込み発生 (GPTn_OVF)
- アンダーフロー割り込み発生 (GPTn_UDF)
- A/D 変換開始要求 A 発生 (GPTn_ADTRGA)
- A/D 変換開始要求 B 発生 (GPTn_ADTRGB)
- 周期計数機能の終了 (GPTm_PC)

注. n = 0～9
m = 0～3

21.6.2 ELC からのイベント信号入力

GPT は、イベントリンクコントローラ (ELC) からの最大 8 個のイベントに対して、以下の動作の実行が可能です。

- カウントスタート／ストップ／クリア
- アップカウント／ダウンカウント
- インプットキャプチャ

ELC とイベント信号入力の接続関係は、「17. イベントリンクコントローラ (ELC)」を参照してください。

21.7 ノイズフィルタ機能

GPT のインプットキャプチャ入力端子とホールセンサ入力端子には、ノイズフィルタが装備されています。ノイズフィルタは、入力信号をサンプリングクロックでサンプリングし、3 サンプリング周期に満たない長さのパルスを除去します。

ノイズフィルタ機能では、端子ごとにノイズフィルタ機能を有効／無効にすることや、チャネルごとにサンプリングクロックを設定することが可能です。

図 21.162 にノイズフィルタのタイミングを示します。

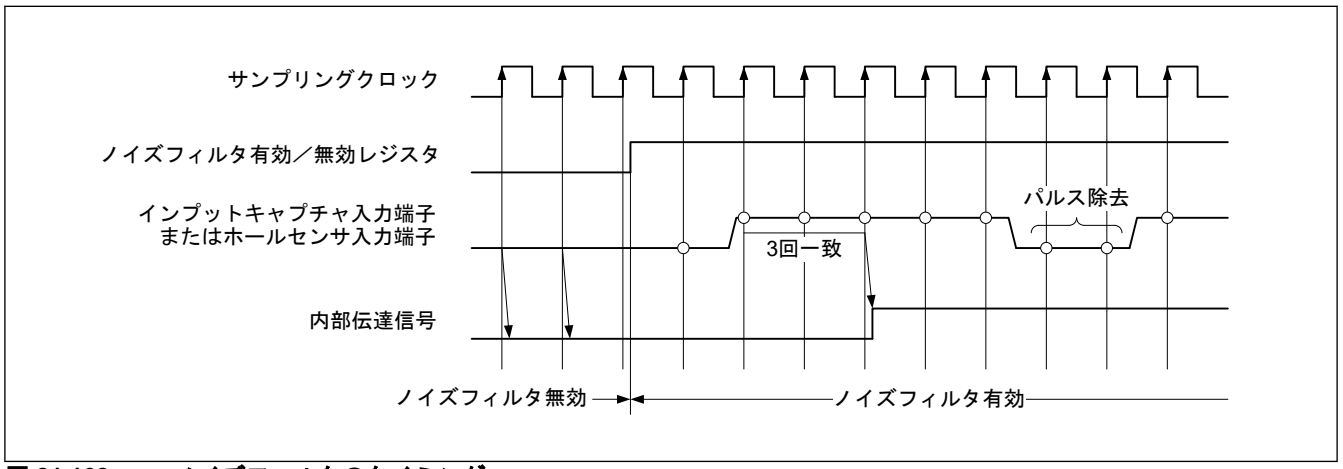


図 21.162 ノイズフィルタのタイミング

ノイズフィルタ機能を有効にすると、(サンプリング周期 × 2 + GTCLK) の最短の遅延の後、ノイズフィルタ対象信号のエッジでインプットキャプチャ動作またはホールセンサ入力動作が実行されます。この遅延は、インプットキャプチャ入力またはホールセンサ入力に対するノイズフィルタリングに起因するものです。

21.8 保護機能

21.8.1 レジスタの書き込み保護

レジスタへの誤書き込みを防止するため、GTWP.WP ビットを設定することで、チャネル単位でレジスタへの書き込みを禁止できます。下記のレジスタに対して、書き込み保護の設定が可能です。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTITC, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTDVD, GTDBU, GTDBD, GTSOS, GTSOTR, GTADSMR, GTEITC, GTEITLI1, GTEITLI2, GTEITLB, GTICLF, GTPC, GTADCMSC, GTADCMSS, GTBER2, GTOLBR, GTICCR.

どのチャネルのレジスタを更新しても全チャネルを制御できる GTSTR, GTSTP, GTCLR レジスタは、それぞれ GTWP.STRWP, STPWP, CLRWP ビットの設定で、チャネル番号に対応するビットへの書き込みをチャネルごとに許可または禁止することで誤書き込みを防止することが可能です。

同様に、GTSECSR レジスタや GTSECR レジスタ（既定のチャネルの GTSECSR レジスタや GTSECR レジスタへの書き込みにより、全チャネルを制御可能）への書き込みは、GTWP.CMNWP ビットの設定により、許可または禁止することができます。

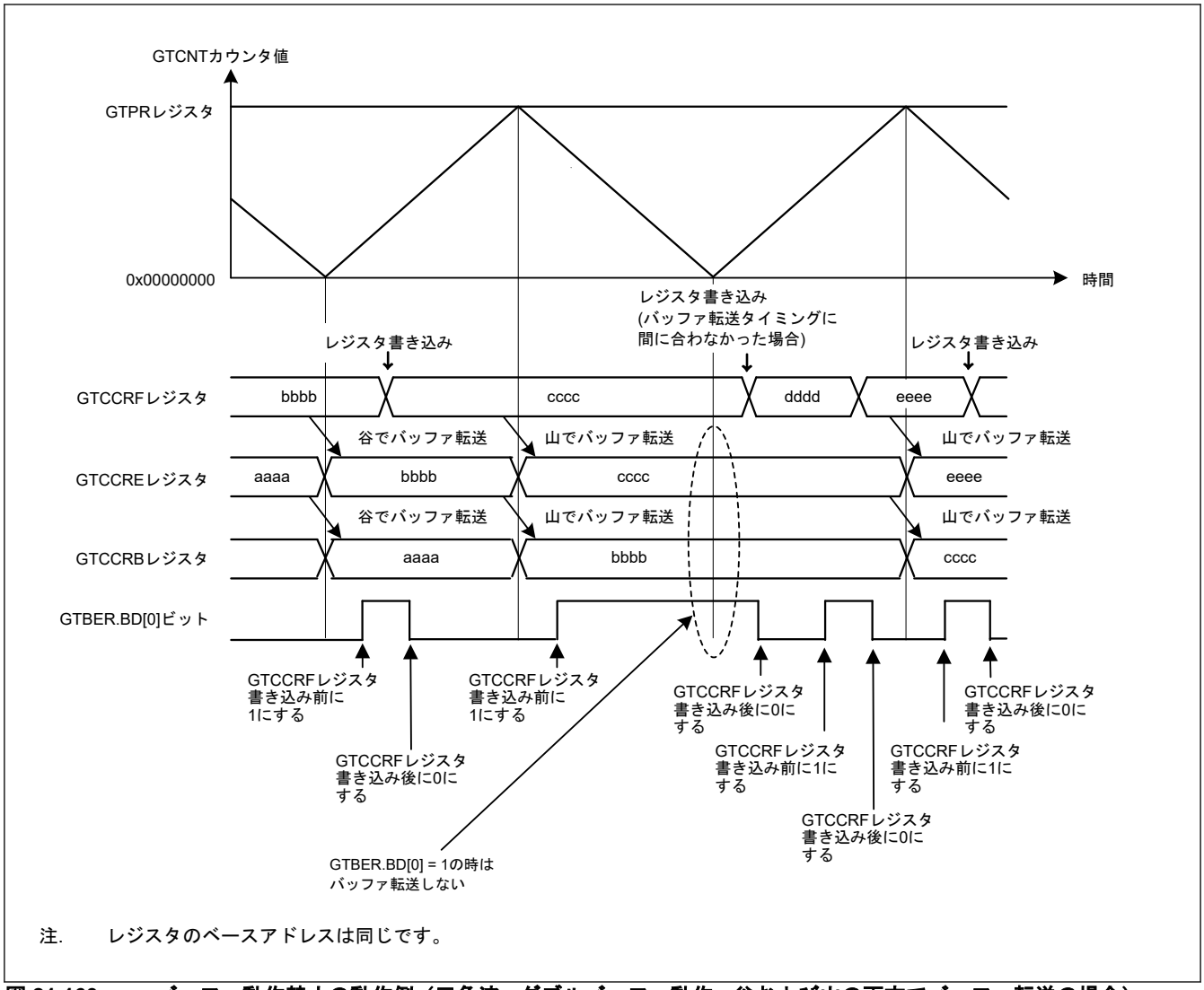
GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

21.8.2 バッファ動作の禁止

バッファレジスタへの書き込みのタイミングがバッファ転送より遅延している場合、GTBER.BD[3]、BD[2]、BD[1]、および BD[0]ビットの設定でバッファ動作の中断が可能です。具体的には、バッファレジスタへの書き込み前に BD[3]、BD[2]、BD[1]、および BD[0]ビットを 1（バッファ動作禁止）にしておき、すべてのバッファレジスタへの書き込み終了後に 0（バッファ動作許可）にすることで、バッファレジスタへの書き込み中にバッファ転送条件が発生しても、バッファ転送を一時的に禁止することができます。

BD[3]、BD[2]、BD[1]、および BD[0]ビットは GTBER レジスタへ直接書き込むことにより、チャネル上に設定できます。あるいは、GTSECSR レジスタで設定された複数のチャネルに対して、GTSECR レジスタを設定することにより、同時に 0 を設定することができます。

図 21.163 に GTBER レジスタへの書き込みによりバッファ動作を禁止するための動作例を示します。



注. レジスタのベースアドレスは同じです。

図 21.163 バッファ動作禁止の動作例（三角波、ダブルバッファ動作、谷および山の両方でバッファ転送の場合）

21.8.2.1 複数チャネルのバッファ動作の同時制御

GTBER.BD ビットは、チャネル毎の GTBER レジスタに直接書き込むか、GTSECSR にすでに設定された複数チャネルの GTSECR レジスタ内に設定を作成することにより設定できます。

複数チャネルの GTBER.BD ビットを同時に設定するには、以下の手順に従ってください。

1. GTSECSR レジスタによる同時設定用チャネルを選択してください。
   同時設定する GTBER.BD ビットのチャネルに対応するビット位置の値が 1 になるように、GTSECSR レジスタを設定してください。いずれかのチャネルの GTSECSR レジスタに書き込むと、全ての GTSECSR レジスタを更新できます。
2. GTSECR レジスタを更新することで、同時に GTBER.BD ビットを設定します。
   同時に設定される GTBER.BD ビットの動作（バッファ動作を許可／禁止）を、GTSECR レジスタで設定します。いずれかのチャネルの GTSECR レジスタに書き込むと、GTSECR レジスタの値に応じて GTSECSR レジスタに 1 が設定されているビットに対応する全てのチャネルの GTBER.BD ビットを更新します。

図 21.164 と図 21.165 に複数チャネルのバッファ動作の許可または禁止の同時制御の例を示します。

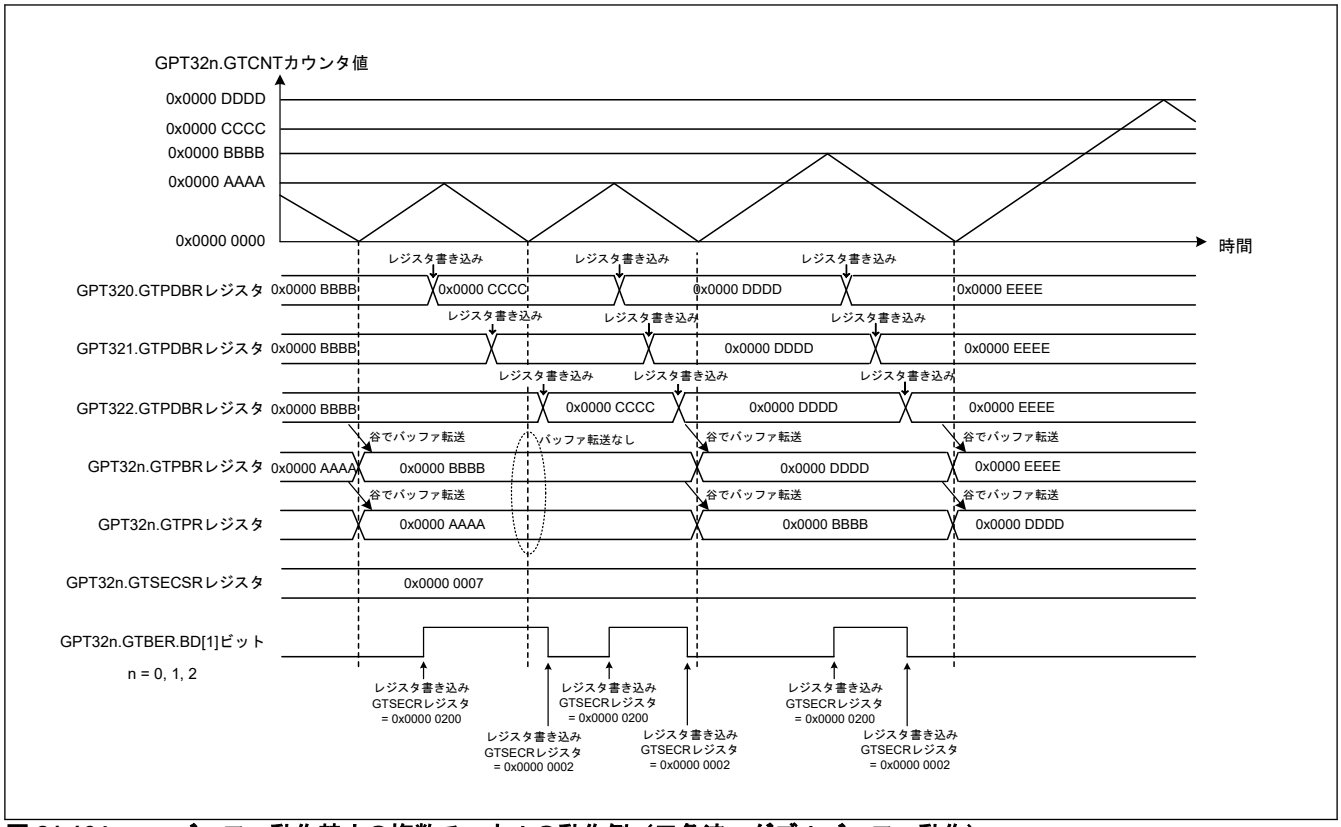


図 21.164　　バッファ動作禁止の複数チャネルの動作例（三角波、ダブルバッファ動作）

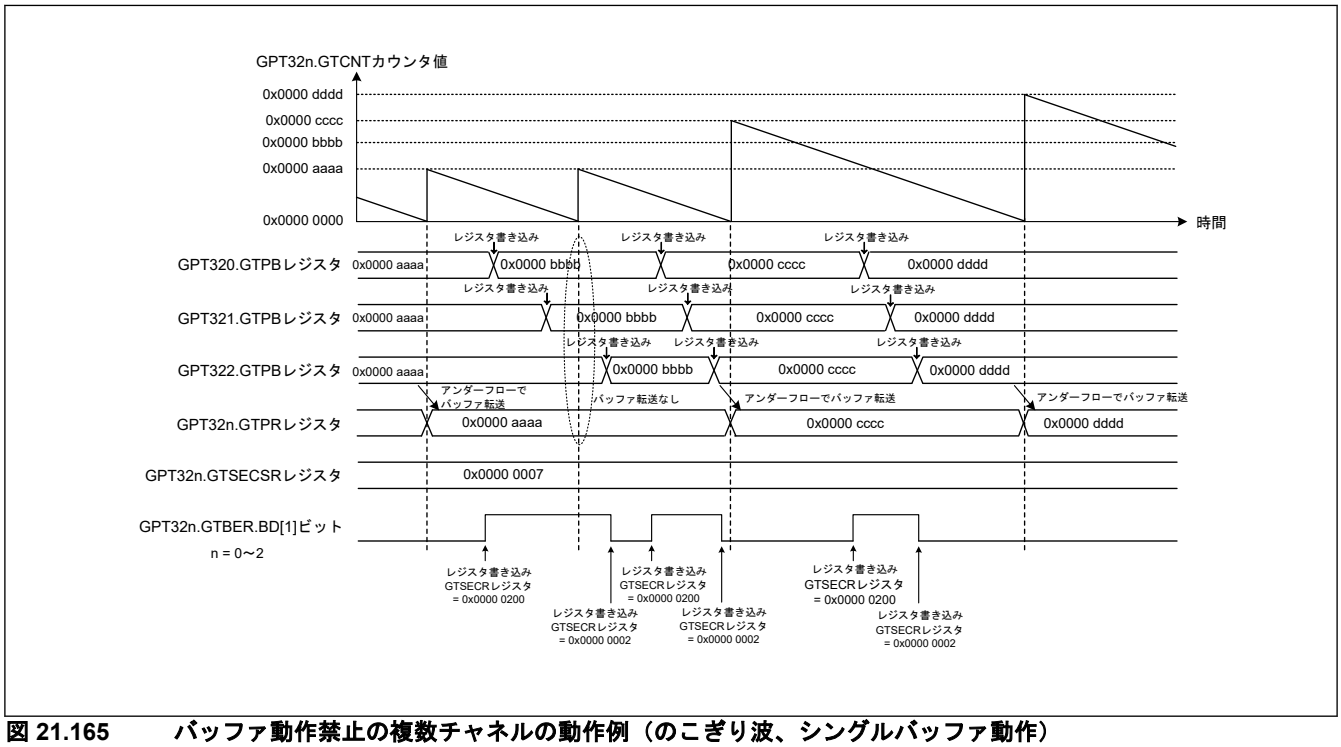


図 21.165　　バッファ動作禁止の複数チャネルの動作例（のこぎり波、シングルバッファ動作）

21.8.2.2　GTCCR バッファ転送禁止時のリピートダブルバッファ動作

のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 で GTBER.DBRTECm (m = A, B) ビットが 1 の場合、GTBER.BD[0]ビットの設定またはバッファ転送拡張スキップ機能によりバッファ転送が禁止されているときでも、中間バッファから GTCCRm (m = A, B) レジスタへの転送が周期ベースで繰り返されます。

(1) のこぎり波ワンショットパルスモードの場合

のこぎり波ワンショットパルスモードでは、波形の前半のコンペアマッチ値は GTCCRx (x = C, E) レジスタの中間バッファとしてのテンポラリレジスタ x (x = C, E) に格納されます。波形の後半のコンペアマッチ値は GTCCRy (y = D, F) レジスタの中間バッファとしてのテンポラリレジスタ m (m = A, B) に格納されます。リピートバッファ動作中のコンペアマッチ値に対して、値は GTCCRm (m = A, B) レジスタに交互に転送されます。

のこぎり波ワンショットパルスモードでカウント中の GTCCR レジスタのバッファ転送の種類を表 21.72 に示します。

カウントが停止している間は、テンポラリレジスタの設定値はバッファ強制転送により、転送されます。バッファ強制転送では、対応する GTBER.DBRTECm (m = A, B) ビットの設定値が 1 のとき、GTCCRy (y = D, F) レジスタの値がテンポラリレジスタ m (m = A, B) に転送され、GTCCRx (x = C, E) レジスタの値がテンポラリレジスタ x (x = C, E) に転送されます。

GTBER.DBRTECm ビット (m = A, B) が 1 のとき、CPU による GTCCRm レジスタ (m = A, B) への書き込みはテンポラリレジスタ x (x = C, E) に同じ値を設定します。

表 21.72 GTCNT カウント中の GTCCR バッファ転送動作（のこぎり波ワンショットパルスモードの場合）

GTBER.DBRTECm	バッファ転送	転送タイミング				
		GTCCRx ↓ GTCCRm	GTCCRx ↓ テンポラリレジスタ x	テンポラリレジスタ x ↓ GTCCRm	GTCCRy ↓ テンポラリレジスタ m	テンポラリレジスタ m ↓ GTCCRm
0	転送許可期間	オーバーフローまたはアンダーフロー	転送なし	転送なし	オーバーフローまたはアンダーフロー	GTCCRm コンペアマッチ
	転送禁止期間	転送なし	転送なし	転送なし	転送なし	転送なし
1	転送許可期間	オーバーフローまたはアンダーフロー	オーバーフローまたはアンダーフロー	転送なし	オーバーフローまたはアンダーフロー	GTCCRm コンペアマッチ
	転送禁止期間	転送なし	転送なし	オーバーフローまたはアンダーフロー	転送なし	GTCCRm コンペアマッチ

注. m = A, B
x = C, E
y = D, F

のこぎり波ワンショットパルスモードでの GTCCR バッファ転送禁止時のリピートダブルバッファ動作例として、拡張バッファ転送スキップ機能による転送禁止期間発生の動作例を図 21.166 に示します。

のこぎり波ワンショットパルスモードでの GTCCR バッファ転送禁止時のリピートダブルバッファ動作例として、GTBER.BD[0]ビット更新による転送禁止期間発生の動作例を図 21.167 に示します。

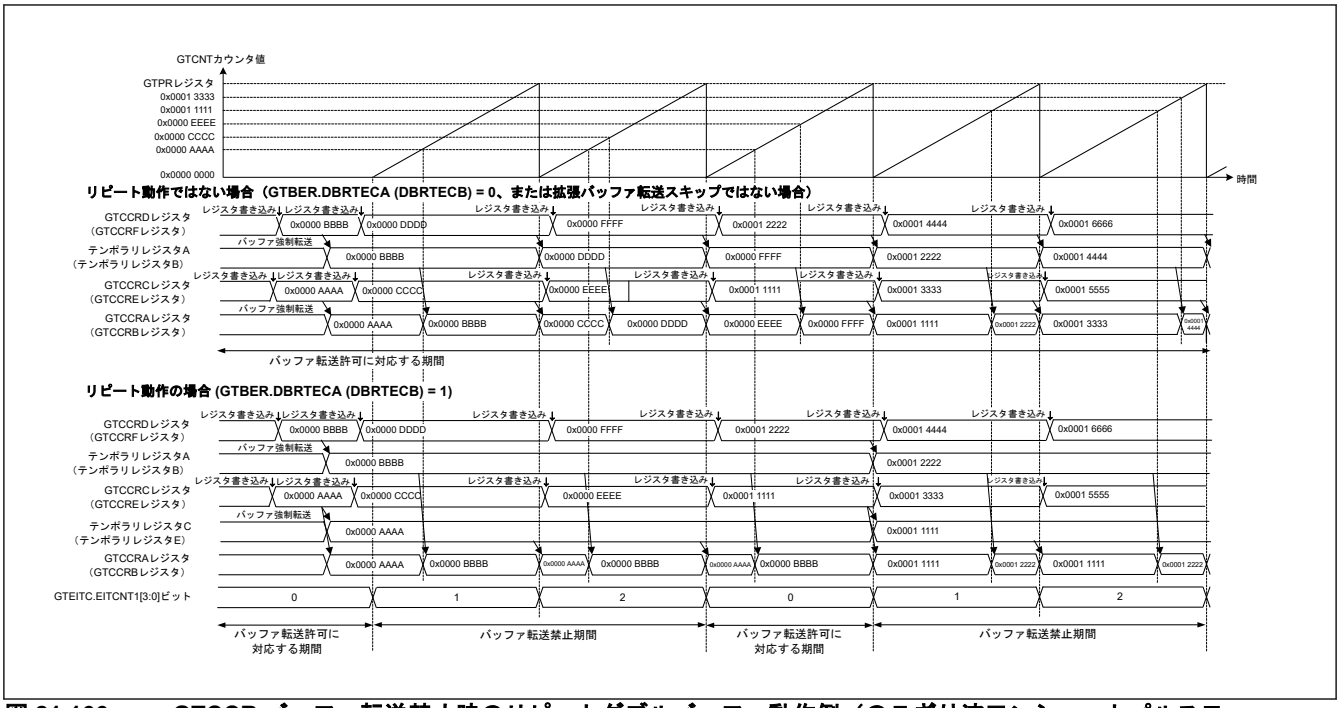


図 21.166　GTCCR バッファ転送禁止時のリピートダブルバッファ動作例（のこぎり波ワンショットパルスモード、拡張バッファ転送スキップ機能使用、GTBER.BD[0]ビットが常に 0 の場合）

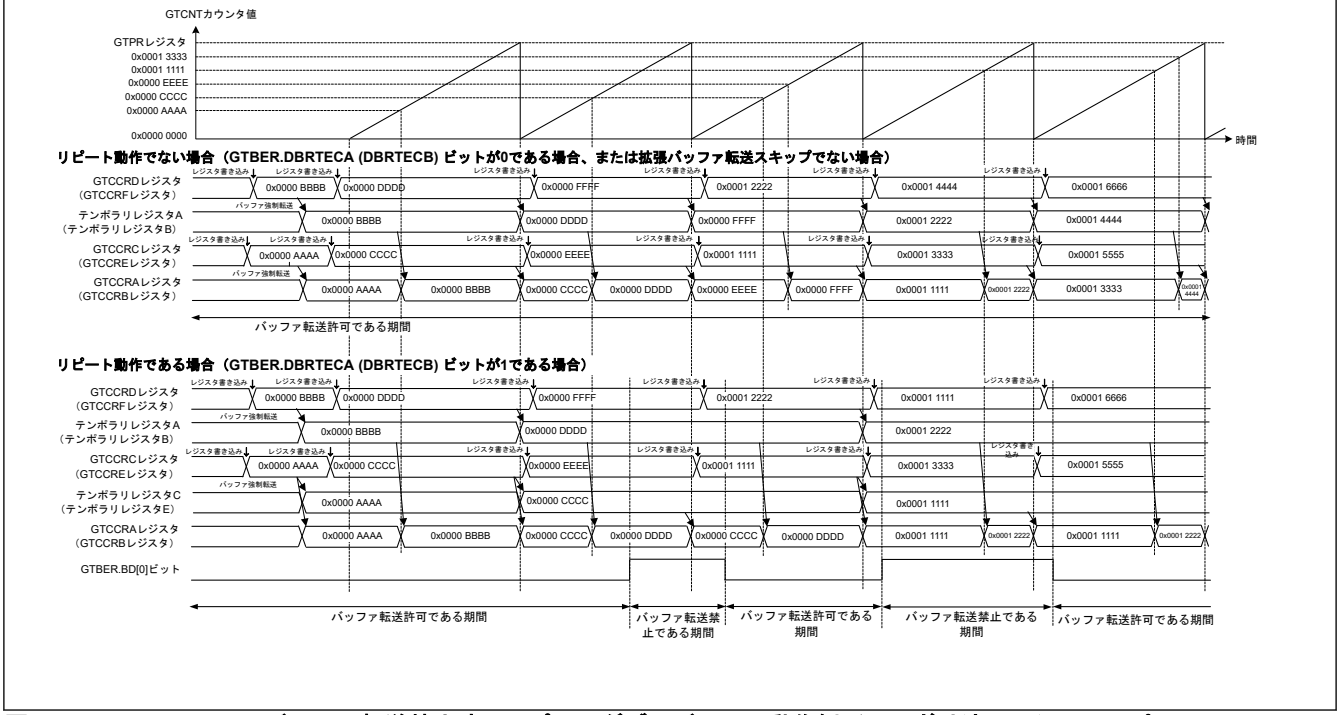


図 21.167　GTCCR バッファ転送禁止時のリピートダブルバッファ動作例（のこぎり波ワンショットパルスモード、GTBER.BD[0]ビット更新の場合）

(2)　三角波 PWM モード 3 の場合

三角波 PWM モード 3 では、波形の前半のコンペアマッチ値は GTCCRx (x = C, E) レジスタの中間バッファとしてのテンポラリレジスタ x (x = C, E) に格納されます。波形の後半のコンペアマッチ値は GTCCRy (y = D, F) レジスタの中間バッファとしてのテンポラリレジスタ m (m = A, B) に格納されます。リピートバッファ動作中のコンペアマッチ値に対して、値は GTCCRm (m = A, B) レジスタに交互に転送されます。

三角波 PWM モード 3 でカウント中の GTCCR レジスタのバッファ転送の種類を表 21.73 に示します。

カウントが停止している間は、テンポラリレジスタの設定値はバッファ強制転送により、転送されます。バッファ強制転送では、対応する GTBER.DBRTECm (m = A, B) ビットの設定値が 1 のとき、GTCCRy (y = D, F) レジスタの値がテンポラリレジスタ m (m = A, B) に転送され、GTCCRx (x = C, E) レジスタの値がテンポラリレジスタ x (x = C, E) に転送されます。

GTBER.DBRTECm (m = A, B) ビットの設定値が 1 のとき、CPU により GTCCRm (m = A, B) レジスタに書き込まれた値がテンポラリレジスタ x (x = C, E) の値として反映されます。

表 21.73 GTCNT カウント中の GTCCR バッファ転送動作（三角波 PWM モード 3 の場合）

GTBER.DBRTECm	バッファ転送	転送タイミング				
		GTCCRx ↓ GTCCRm	GTCCRx ↓ テンポラリレジスタ x	テンポラリレジスタ x ↓ GTCCRm	GTCCRy ↓ テンポラリレジスタ m	テンポラリレジスタ m ↓ GTCCRm
0	転送許可期間	谷	転送なし	転送なし	谷	山
	転送禁止期間	転送なし	転送なし	転送なし	転送なし	転送なし
1	転送許可期間	谷	谷	転送なし	谷	山
	転送禁止期間	転送なし	転送なし	谷	転送なし	山

注. m = A, B
x = C, E
y = D, F

三角波 PWM モード 3 での GTCCR バッファ転送禁止時のリピートダブルバッファ動作例として、拡張バッファ転送スキップ機能による転送禁止期間発生の動作例を図 21.168 に示します。

三角波 PWM モード 3 での GTCCR バッファ転送禁止時のリピートダブルバッファ動作例として、GTBER.BD[0] ビット更新による転送禁止期間発生の動作例を図 21.169 に示します。

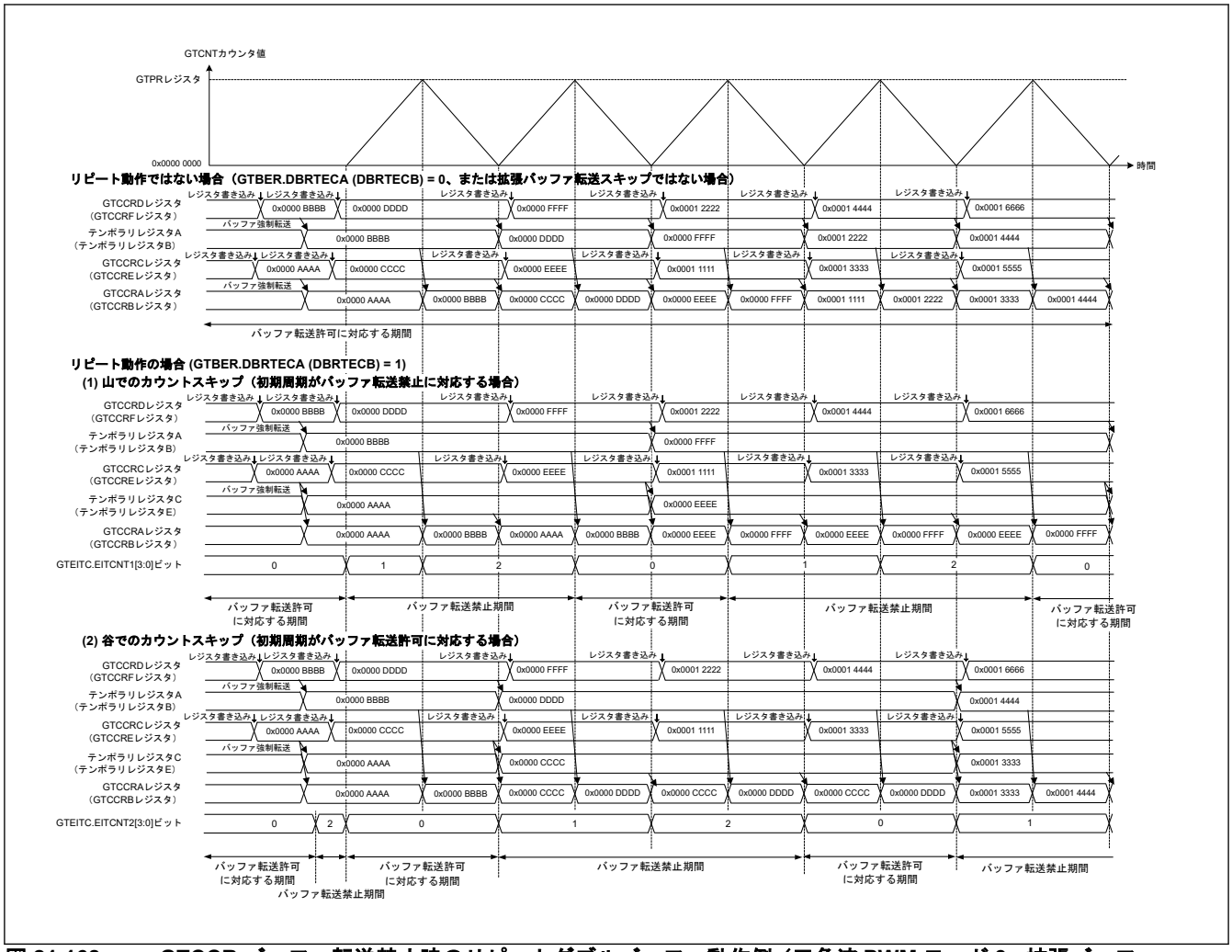


図 21.168 GTCCR バッファ転送禁止時のリピートダブルバッファ動作例（三角波 PWM モード 3、拡張バッファ転送スキップ機能使用、GTBER.BD[0]ビットが常に 0 の場合）

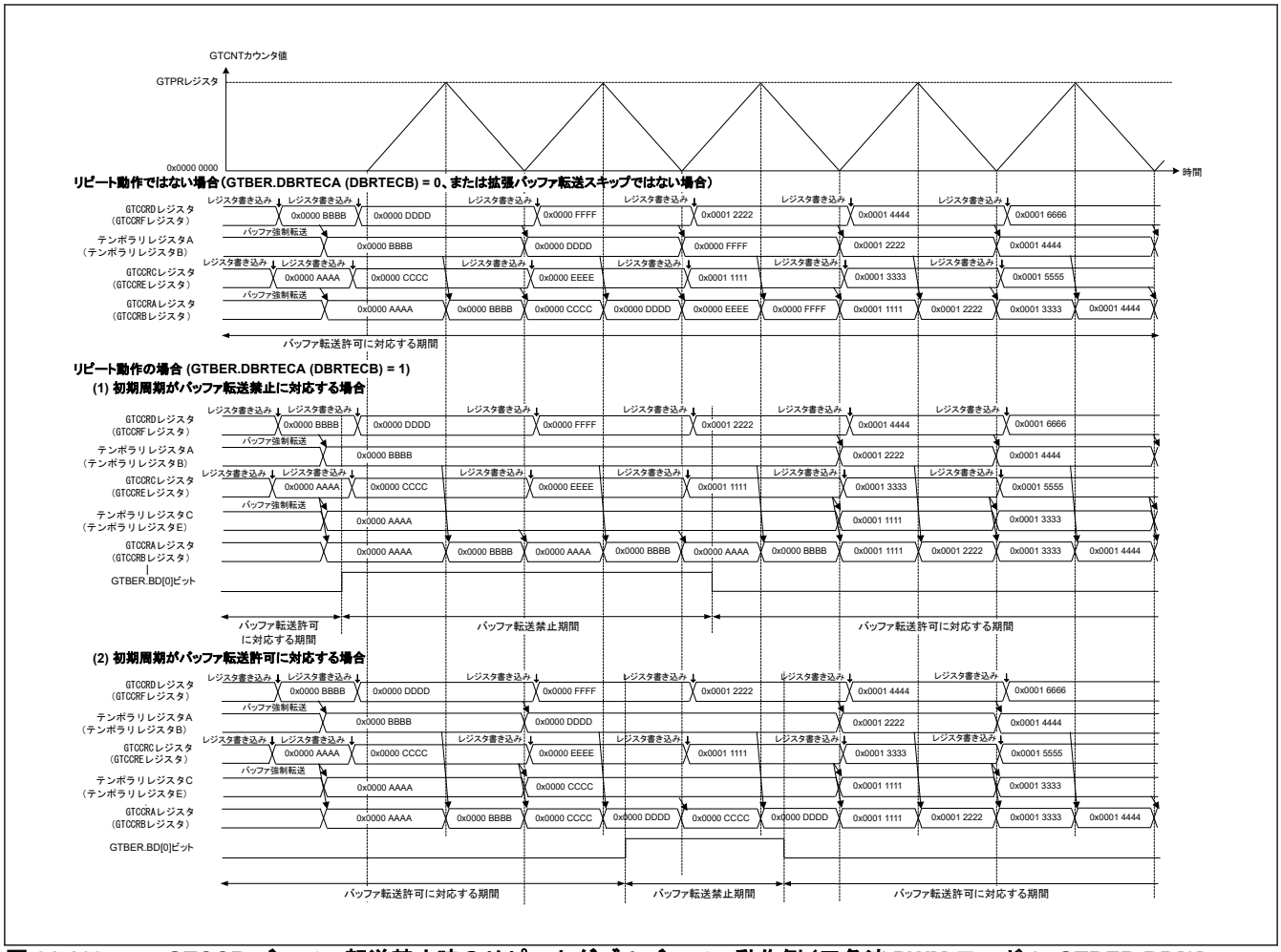


図 21.169 GTCCR バッファ転送禁止時のリピートダブルバッファ動作例 (三角波 PWM モード 3、GTBER.BD[0] ビット更新の場合)

21.8.3 GTIOCnm 端子出力の出力禁止制御 (n = 0～9, m = A, B)

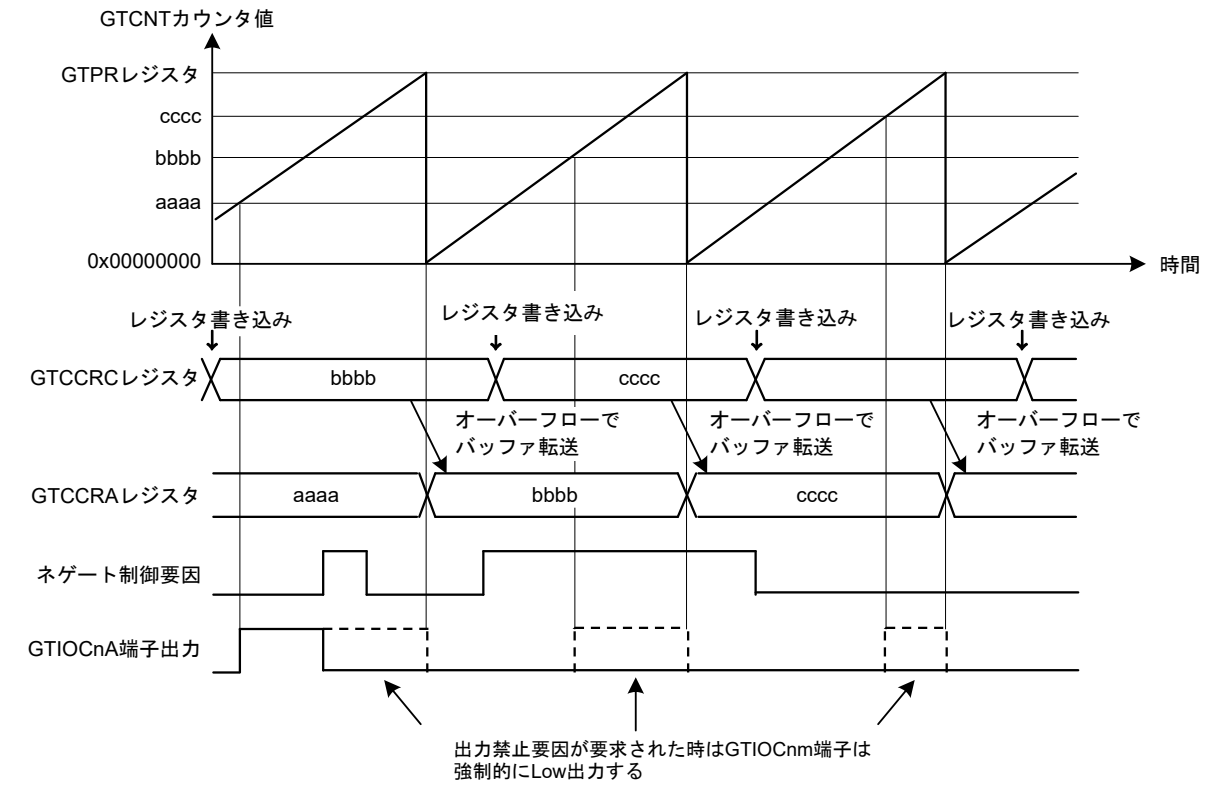
システム異常時の保護のため、POEG からの出力禁止要求によって、GTIOCnm 端子出力値を強制的に変更する出力禁止制御を、GTIOCnm 端子出力に対して行うことができます。デッドタイムエラーまたは同じ出力レベルが GTIOCnA 端子と GTIOCnB 端子に検出されるとき、出力保護が要求されます。GTINTAD.GRPDTE、GTINTAD.GRPABH、GTINTAD.GRPABL などの出力禁止要求許可ビットの設定に従って、GPT はこの条件を検出し、POEG に出力禁止要求を発生させます。POEG が各チャネルからの出力禁止要求と外部入力からの出力禁止要求の論理和をとった後で、POEG は GPTT に対して出力禁止要求を発生させます。

GTINTAD.GRP[1:0]ビットを設定することで、GTIOCnA 端子と GTIOCnB 端子共通の出力禁止要求信号として、POEG から入力される 4 本の出力禁止要求から 1 本を選択することができます。選択された出力禁止要求は、GTST.ODF フラグを読むことにより確認することができます。出力禁止時の端子状態は、GTIOCnA 端子は GTIOR.OADF[1:0]ビット、GTIOCnB 端子は GTIOR.OBDF[1:0]ビットで設定することができます。

出力禁止状態への変更は、POEG から出力禁止要求を発生させることで非同期に実行されます。出力禁止状態の解除は、出力禁止要求を停止させることで周期の終わりに実行されます。出力禁止要求の条件が満たされなくなり出力禁止要求が解除されるのは、最短で 3GTCLK 目以降です。出力禁止を確実に制御するには、4 サイクルの GTCLK を経過して出力禁止要求の条件が満たされなくなってから、出力を禁止するための POEG のフラグをクリアしてください。

イベントカウント動作時、動作モードがのこぎり波 PWM モード 2 の場合、または周期の終わりを待たずにすぐに出力禁止状態を解除したい場合は、GTIOCnA 端子は GTIOR.OADF[1:0]ビットを 00b に、GTIOCnB 端子は GTIOR.OBDF[1:0]ビットを 00b にしてください。

図 21.170 に GTIOCnm 端子出力禁止制御の動作例を示します。(n = 0～9, m = A, B)



注. レジスタのベースアドレスは同じです。

図 21.170 GTIOCnm 端子出力禁止制御動作例（のこぎり波でアップカウント、バッファ動作、アクティブレベル 1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、出力禁止で Low 出力の場合）(n = 0～9, m = A, B)

21.8.4 GTIOCnm 端子出力の出力保護機能（n = 0～9；m = A、B）

GTCCRA レジスタに誤った値（0x0000 0000 か、GTPR レジスタの値と等しいかより大きい値）が設定された場合に備えて、三角波 PWM モードで自動デッドタイムが設定されているとき（GTDTCR.TDE ビット = 1）、GTIOCnm 端子出力の出力保護機能（禁止機能）が起動されます。

出力保護機能の動作状態は、GTSOS.SOS[1:0]ビットで確認することができます。

図 21.171 に出力保護機能の状態遷移を示します。

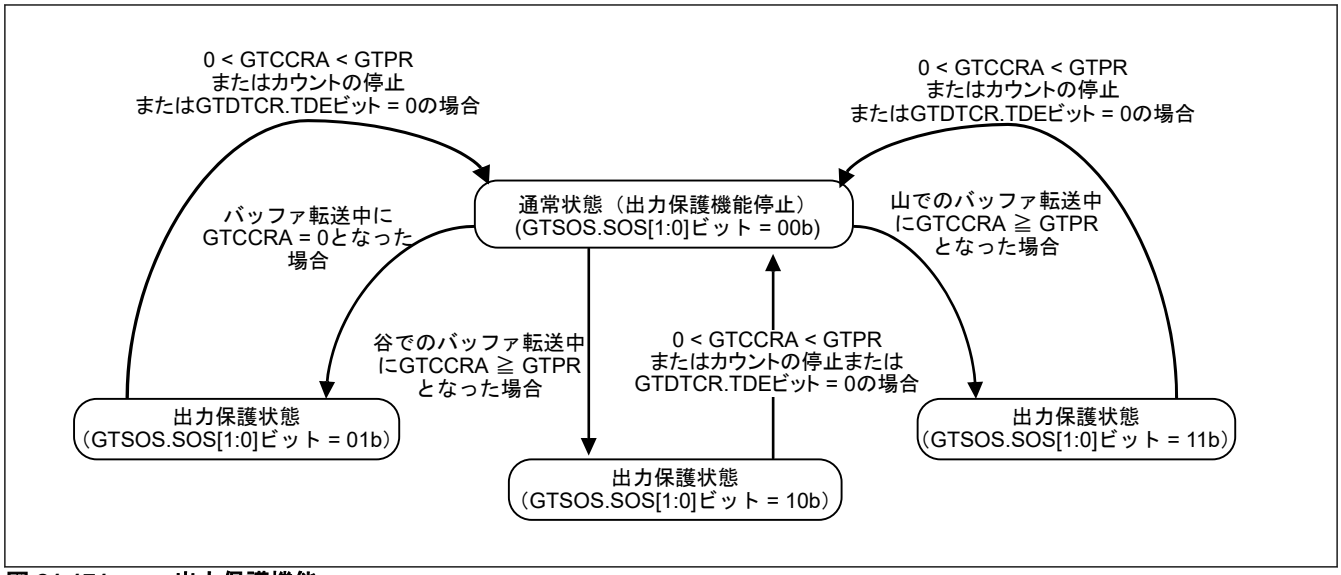
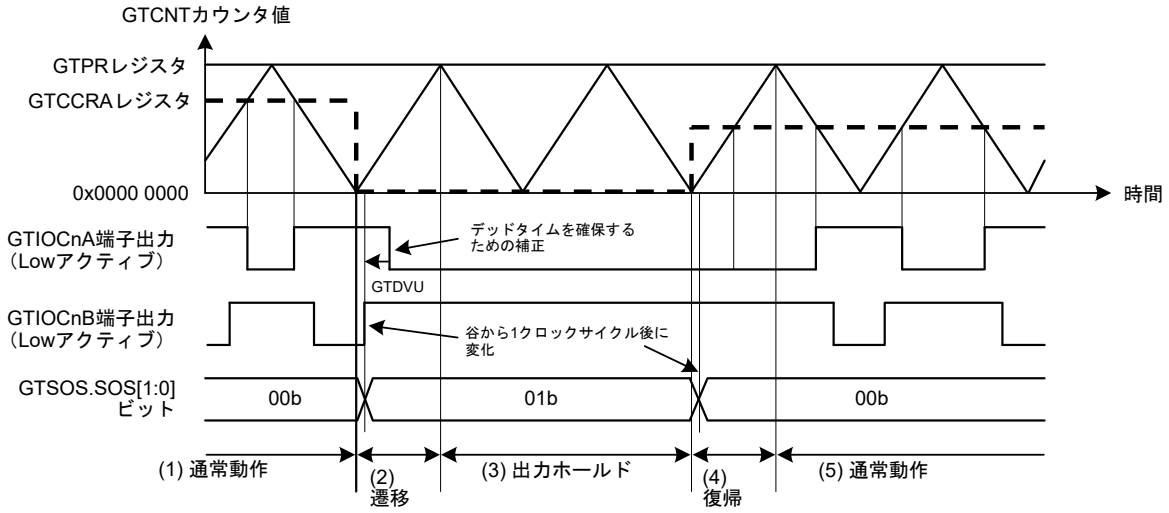


図 21.171　出力保護機能

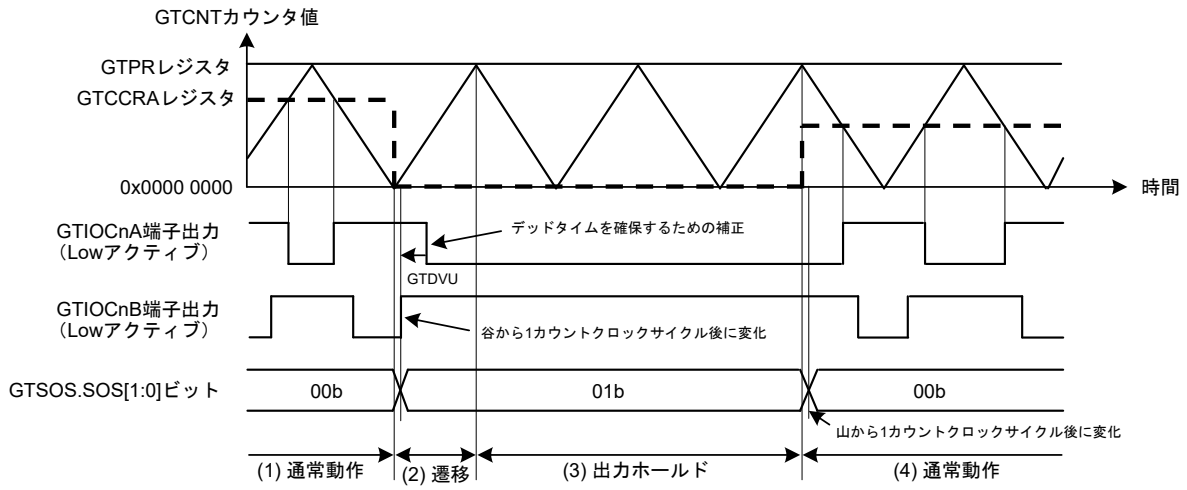
(1)　バッファ転送中に GTCCRA レジスタが 0x0000 0000 になった場合の出力保護機能

図 21.172 と図 21.173 に、谷でのバッファ転送中に GTCCRA レジスタが 0x0000 0000 になった場合の出力保護機能の動作例を、図 21.174 と図 21.175 に、山でのバッファ転送中に GTCCRA レジスタが 0x0000 0000 になった場合の出力保護機能の動作例を示します。



(1) 通常動作期間：　コンペアマッチによるトグル出力が正常に行われた期間
(2) 遷移期間：　GTCCRA = 0が谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 01bに変わり、次の山まで出力のトグルが継続します。
(3) 出力ホールド期間：GTCCRA = 0である間、出力をホールドします。
(4) 復帰期間：　0 < GTCCRA < GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、次の山まで出力が保持されます。
(5) 通常動作期間：　コンペアマッチによるトグル出力が正常に行われた期間

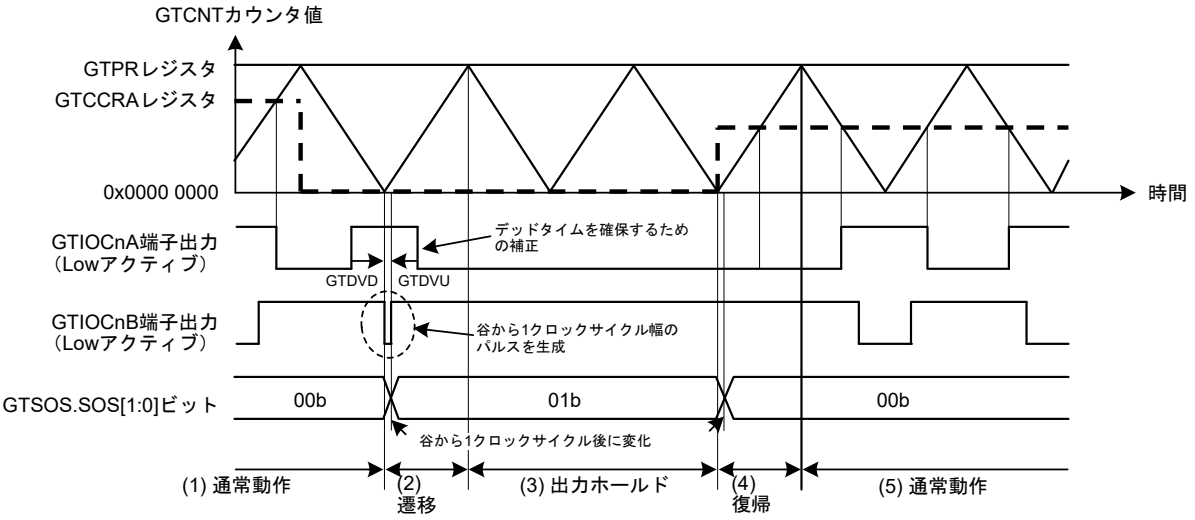
図 21.172　谷のバッファ転送で GTCCRA レジスタが 0x0000 0000 である場合の出力保護機能の動作例（谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合）（n = 0～9）



(1) 通常動作期間：コンペアマッチによるトグル出力が正常に行われた期間
(2) 遷移期間：GTCCRA = 0が谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 01bに変わり、次の山まで出力のトグルが継続します。

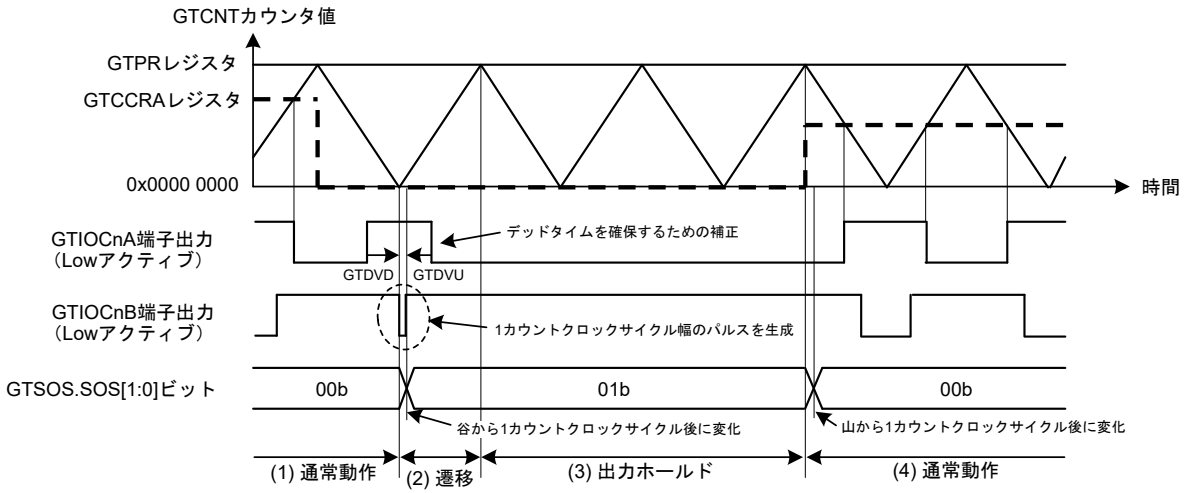
(3) 出力ホールド期間： GTCCRA = 0である間、出力をホールドします。
(4) 通常動作期間：0 < GTCCRA < GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 21.173 谷のバッファ転送で GTCCRA レジスタが 0x0000 0000 である場合の出力保護機能の動作例（山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合）（n = 0～9）



(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間
(2) 遷移期間： GTCCRA = 0が谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 01bに変わり、次の山まで出力のトグルが継続します。
(3) 出力ホールド期間： GTCCRA = 0である間、出力をホールドします。
(4) 復帰期間： 0 < GTCCRA < GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、次の山まで出力が保持されます。
(5) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間

図 21.174 谷のバッファ転送で GTCCRA レジスタが 0x0000 0000 である場合の出力保護機能の動作例（山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合）（n = 0～9）



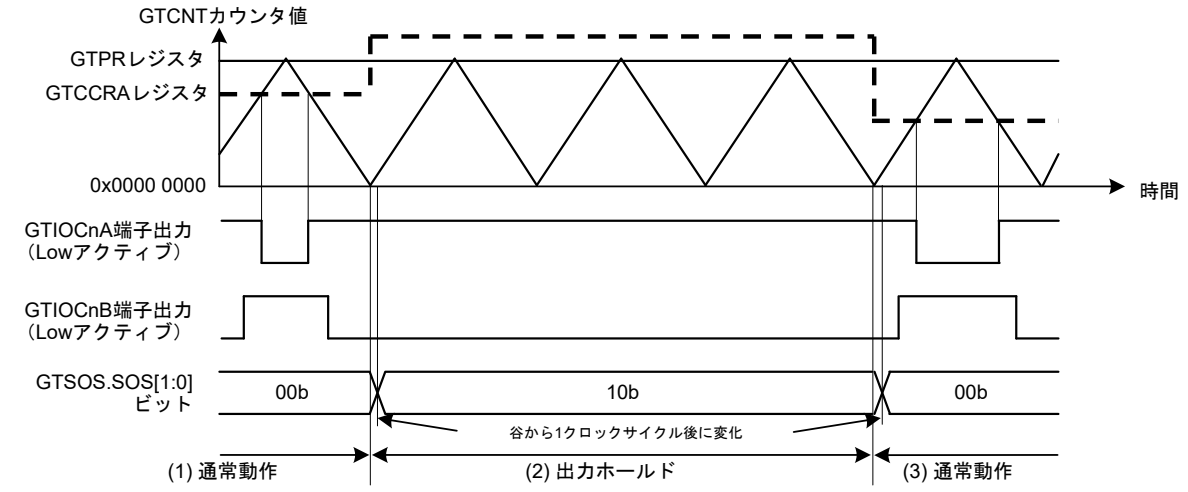
(1) 通常動作期間：コンペアマッチによるトグル出力が正常に行われた期間
(2) 遷移期間：GTCCRA = 0が谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 01bに変わり、次の山までトグル出力が継続します。

(3) 出力ホールド期間：GTCCRA = 0である間、出力を保持します。
(4) 通常動作期間：0 < GTCCRA < GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 21.175　山のバッファ転送で GTCCRA レジスタが 0x0000 0000 である場合の出力保護機能の動作例（山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合）（n = 0～9）

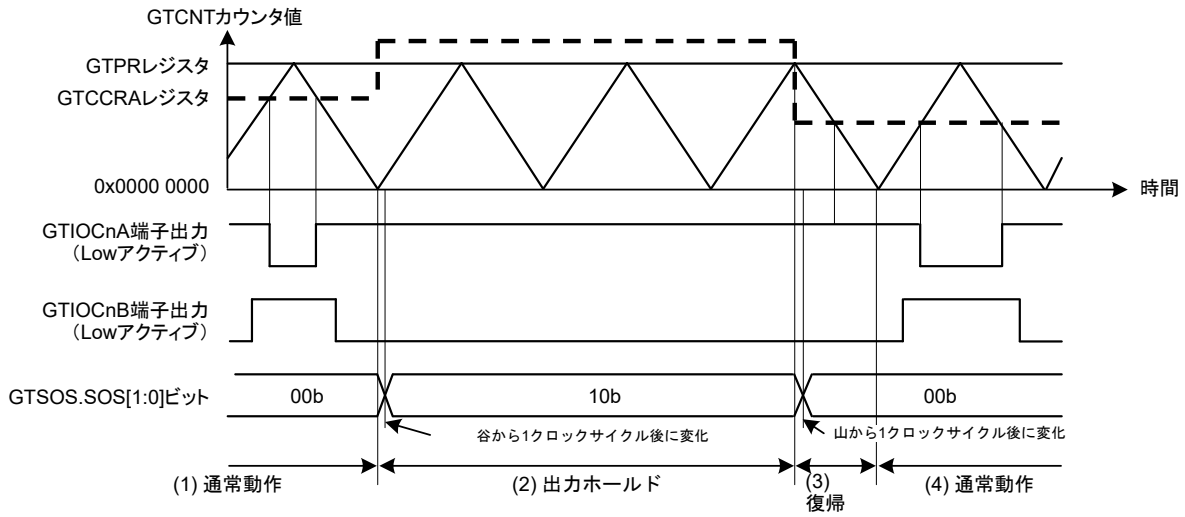
(2)　谷のバッファ転送で GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能

図 21.176 と図 21.177 に、谷でのバッファ転送中に GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の動作例を示します。



(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間
(2) 出力ホールド期間： GTCCRA ≧ GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 10bに変わり、GTCCRA ≧ GTPRである間、出力が保持されます。
(3) 通常動作期間： 0 < GTCCRA < GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 21.176　谷のバッファ転送で GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の動作例（谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合）（n = 0～9）

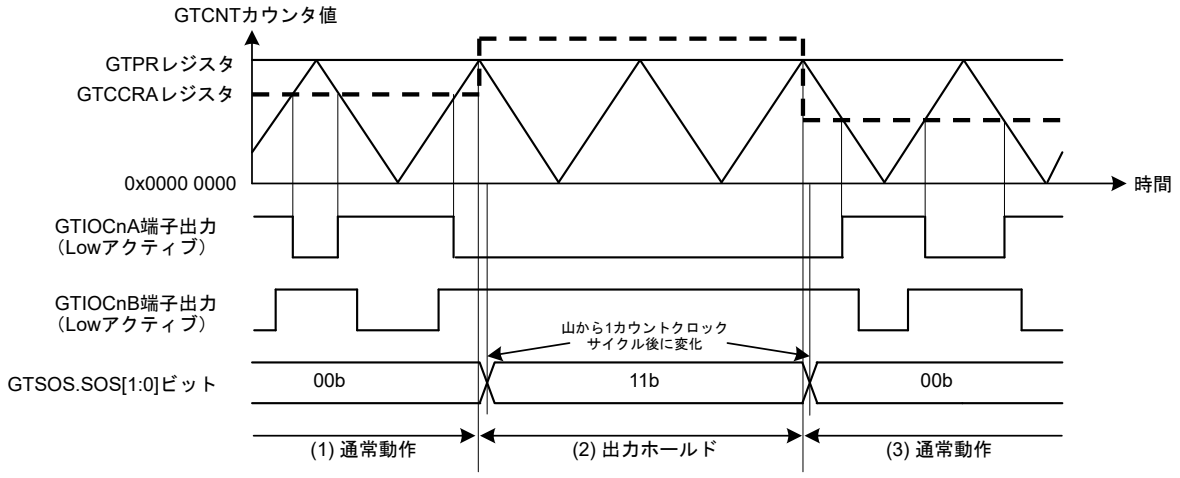


(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間
(2) 出力ホールド期間： GTCCRA ≧ GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 10bに変わり、GTCCRA ≧ GTPRである間、出力が保持されます。
(3) 復帰期間： 0 < GTCCRA < GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、次の谷まで出力が保持されます。
(4) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間

図 21.177 谷のバッファ転送で GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の動作例（山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合）（n = 0～9）

(3) 山でのバッファ転送中に GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能

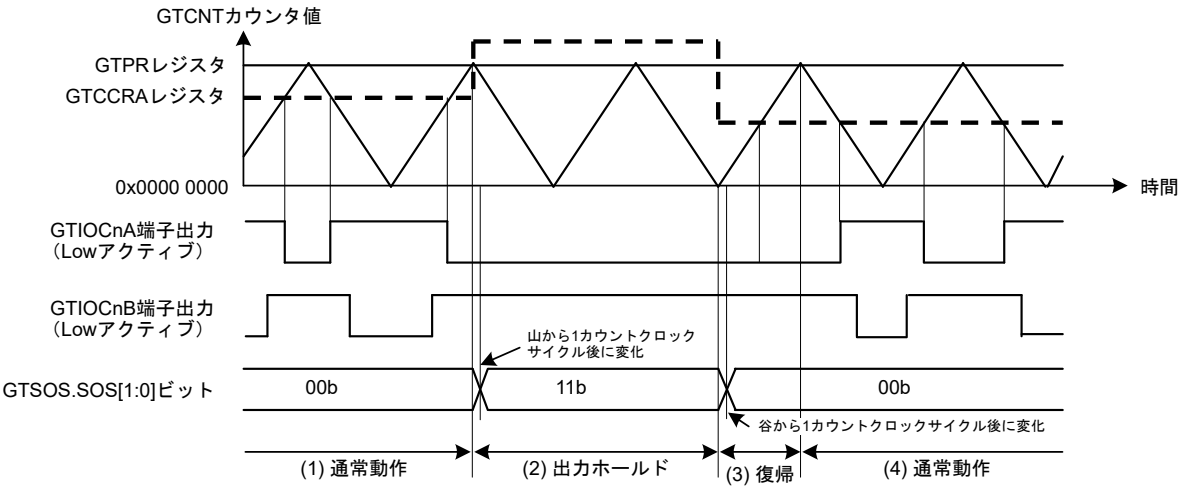
図 21.178 と図 21.179 に、山でのバッファ転送中に GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の動作例を示します。



(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間
(2) 出力ホールド期間： GTCCRA ≧ GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 11bに変わり、GTCCRA ≧ GTPRである間、出力が保持されます。

(3) 通常動作期間： 0 < GTCCRA < GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 21.178 山のバッファ転送で GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の動作例（山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合）（n = 0～9）



(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間
(2) 出力ホールド期間： GTCCRA ≧ GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0] = 11bに変わり、GTCCRA ≧ GTPRである間、出力が保持されます。

(3) 復帰期間：0 < GTCCRA < GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0] = 00bに変わり、次の山まで出力が保持されます。

(4) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間

図 21.179 山のバッファ転送で GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の動作例（谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合）（n = 0～9）

(4) 出力保護機能の仕様上の制約事項

カウント動作で GTCCRA レジスタに誤った値（0x0000 0000 か、GTPR レジスタの値と等しいかより大きい値）が設定されても、出力保護機能が指定された通り働き、正相、逆相のうちいずれかの出力が非アクティブになります。ただし、下記の条件を満足しない場合、出力保護機能は正常に動作しません。

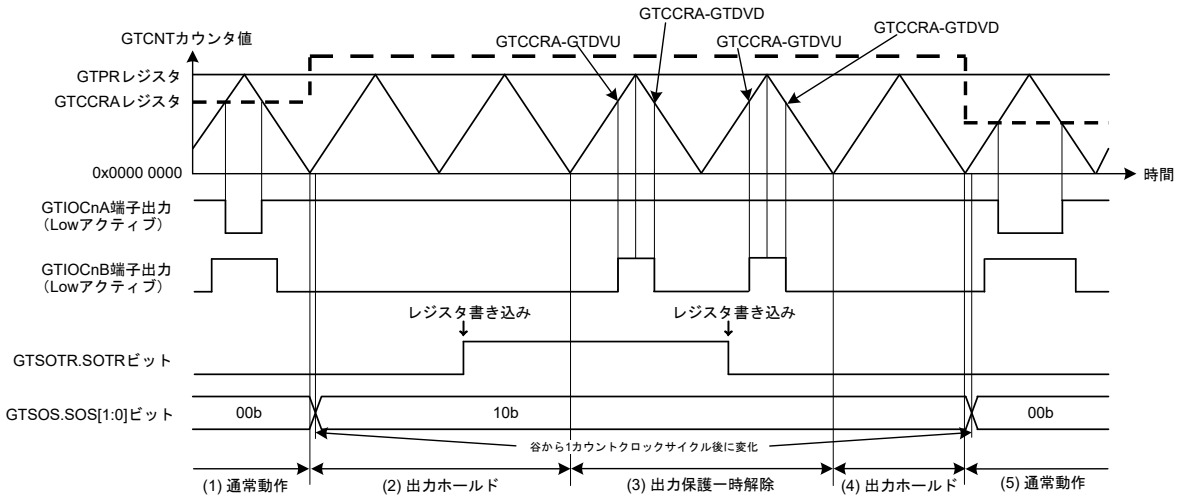
- カウント動作開始時点の GTCCRA レジスタの値が 0x0000 0000 より大きく、GTPR レジスタの設定値より小さい場合

(5) 出力保護機能の一時解除

GTSOS.SOS[1:0]ビット = 10b（谷の転送で GTCCRA レジスタ≧GTPR レジスタとなったことを示す保護状態）の場合、GTSOTR.SOTR ビットを 1 にすると、GTIOCnB 端子出力の保護状態を一時的に解除できます。出力保護機能を解除しても、SOS[1:0]ビットは 10b を保持します。

また、SOTR ビットを 0 にすると、GTIOCnB 端子出力保護を再開できます。

図 21.180 に、谷でのバッファ転送中に GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の一時解除の動作例を示します。



(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間
(2) 出力ホールド期間： GTCCRA ≧ GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 10bに変わり、GTCCRA ≧ GTPRである間、出力が保持されます。出力保護期間中にGTSOTR.SOTRビットを1にしても、設定後の最初の谷からGTIOCnB端子出力が保持されます。

(3) 出力保護一時解除期間：GTSOTR.SOTRビットを1にすると、設定後の最初の谷からGTIOCnB端子出力が正常に行われます。
出力保護解除期間中にGTSOTR.SOTRビットを0にしても、設定後の最初の谷からGTIOCnB端子出力が保持されます。

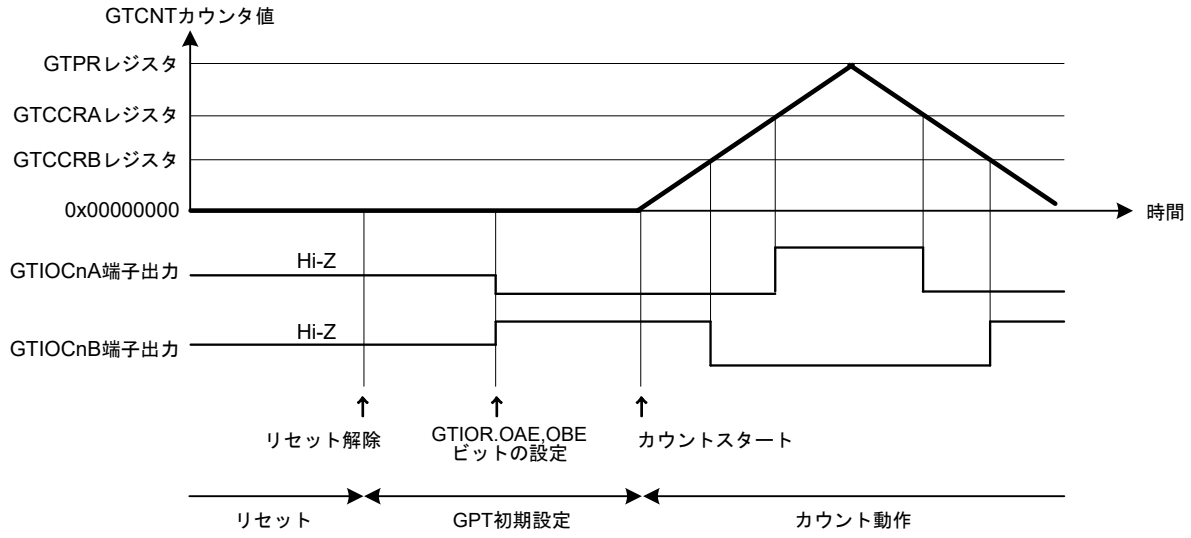
(4) 出力ホールド期間： 0 < GTCCRA < GTPRが谷で検出されるまで、出力が保持されます。
(5) 通常動作期間： 0 < GTCCRA < GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 21.180 谷のバッファ転送で GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護一時解除の例（谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合）（n = 0～9）

21.9 出力端子の初期化方法

21.9.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。ポートのモード選択設定、GTIOR.OAE ビット、 GTIOR.OBE ビットの設定を行い、GPT 機能を外部端子出力にした後、カウント動作を開始してください。



[設定例]
GTIOR.GTIOA[4:0]ビットの設定: 初期出力はLow出力、周期の終わりで出力保持、コンペアマッチでトグル出力
GTIOR.GTIOB[4:0]ビットの設定: 初期出力はHigh出力、周期の終わりで出力保持、コンペアマッチでトグル出力

注. レジスタのベースアドレスは同じです。

図 21.181 リセット後の端子設定例

21.9.2 動作中の異常による端子の初期化

GPT の動作中に異常が発生した場合、端子を初期化する前に、下記の 4 種類の端子コントロールを実行できます。

- GTIOR レジスタの OAHLD および OBHLD ビットを 1 にして、カウントストップ時の出力を保持する
- GTIOR レジスタの OAHLD および OBHLD ビットを 0 にするとともに、GTIOR レジスタの OADFLT および OBDFLT ビットに任意の出力値を設定して、カウントストップ時に任意の値を出力させる
- あらかじめ I/O ポートの PDR、PODR、PMR ビットを設定することにより、端子が汎用出力ポートとして任意の値を出力するように設定する。GTIOR レジスタの OAE および OBE ビットを 0 にするとともに、端子に対応した PMR ビットの制御ビットを 0 にして、エラー発生時に、汎用出力ポートとして設定した端子から任意の値が出力されるように設定する
- POEG 機能を使用して、出力をハイインピーダンス状態にする

デッドタイムの自動設定を行ったときは、カウントストップ後に GTDTCR.TDE ビットを 0 にしてください。カウントストップ時は、GPT の外部要因によって変更されたレジスタ値のみが変化します。カウントが再開すると、停止していた状態から動作が継続します。カウントを停止させた場合は、各レジスタを初期化してからカウントを開始してください。

21.10 使用上の注意事項

21.10.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、GPT の動作禁止／許可を設定することができます。リセット後の値では、GPT の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

モジュールストップ状態を解除する前に、GTCLKCR レジスタを設定してください。

21.10.2 コンペアマッチ動作時の GTCCRn レジスタの設定（n = A～F）

(1) 三角波 PWM モードでデッドタイムの自動設定を行う場合

GTCCRA レジスタは次のすべての条件を満たす必要があります。

- GTDVU < GTCCRA
- GTCCRA > GTDVD
- 0 < GTCCRA < GTPR

カウント動作中に GTCCRA レジスタに、GTCCRA = 0 もしくは GTCCRA ≧ GTPR の値が設定されると出力保護機能が動作します。ただし、下記の条件を満足しない場合、出力保護機能は正常に機能しません。

- カウント開始時の GTCCRA レジスタの値が、0 < GTCCRA < GTPR

詳細は、「21.8.4. GTIOCnm 端子出力の出力保護機能（n = 0～9；m = A、B）」を参照してください。

(2) 三角波 PWM モードでデッドタイムの自動設定を行わない場合

GTCCRA レジスタは、0 < GTCCRA < GTPR の範囲内に設定してください。GTCCRA = 0 もしくは GTCCRA = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRA = 0 もしくは GTCCRA = GTPR が成立したときのみとなります。また、GTCCRA > GTPR が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、0 < GTCCRB < GTPR の範囲内に設定してください。GTCCRB = 0 もしくは GTCCRB = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRB = 0 もしくは GTCCRB = GTPR が成立したときのみとなります。また、GTCCRB > GTPR が設定されると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行う場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時：GTCCRC < GTCCRD、GTCCRC > GTDVU、GTCCRD < GTPR - GTDVD
- ダウンカウント時：GTCCRC > GTCCRD、GTCCRC < GTPR - GTDVU、GTCCRD > GTDVD

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行わない場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 < GTCCRC < GTCCRD < GTPR
- ダウンカウント時：GTPR > GTCCRC > GTCCRD > 0

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 < GTCCRE < GTCCRF < GTPR
- ダウンカウント時：GTPR > GTCCRE > GTCCRF > 0

(5) のこぎり波 PWM モードの場合

GTCCRA レジスタは、0 < GTCCRA < GTPR の範囲に収まるように設定してください。GTCCRA = 0 または GTCCRA = GTPR に設定すると、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、0 < GTCCRB < GTPR の範囲に収まるように設定してください。GTCCRB = 0 または GTCCRB = GTPR に設定すると、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

(6) 相補 PWM モード 1、2、3 の場合

GTCCRn レジスタは、0 ≦ GTCCRn ≦ GTPR + GTDVU の範囲に収まるように設定してください。

(7) 相補 PWM モード 4 の場合

シングルバッファ動作時では、GTCCRn レジスタは、0 ≦ GTCCRn ≦ GTPR + GTDVU の範囲に収まるように設定してください。

ダブルバッファ動作時では、GTCCRn レジスタは、GTDVU < GTCCRn < GTPR の範囲に収まるように設定してください。

21.10.3 GTCNT カウンタの範囲設定

のこぎり波 PWM モード 2 および相補 PWM モード以外では、GTCNT カウンタのレジスタは、0 ≦ GTCNT ≦ GTPR の範囲で設定してください。

21.10.4 GTCNT カウンタのスタート／ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート／ストップ制御タイミングは、GTCR.TPCS[3:0]ビットで選択したカウントクロックと同期しています。GTCR.CST ビットを更新すると、GTCR.TPCS[3:0]ビットで選択したカウントクロックに従って、GTCNT カウンタがスタート／ストップします。このため、GTCNT カウンタが実際にスタートする前に発生したイベントは無視され、結果として GTCR.CST ビットが 0 になってからイベントが受け付けられたり、割り込みが発生したりします。

21.10.5 イベントごとの優先順位

(1) GTCNT レジスタ

表 21.74 に、GTCNT レジスタを更新するイベントの優先順位を示します。

表 21.74 GTCNT を更新する要因の優先順位

GTCNT を更新する要因	優先順位
CPU による書き込み（GTCNT/GTCLR レジスタへの書き込み）	高
GTCSR レジスタで設定したハードウェア要因によるクリア	↑
GTUPSR/GTDNSR レジスタで設定したハードウェア要因によるアップ／ダウンカウント	↑
カウント動作	低

ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。GTCNT レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(2) GTCR.CST ビット

GTSSR/GTPSR レジスタで設定したハードウェア要因によるスタート／ストップと CPU による書き込み（GTCR/GTSTR/GTSTP レジスタへの書き込み）の間で競合があると、CPU による書き込みが優先されます。

周期計数機能によるストップと CPU 書き込み（GTCR/GTSTR レジスタへの書き込み）によるスタートが競合した場合、周期計数機能は GTST.PCF フラグをセットして動作を終了しますが、CST ビットの状態は変わらず、カウントを継続します。

GTSSR レジスタで設定したハードウェア要因によるスタートと GTPSR レジスタに設定したハードウェア要因によるストップの間で競合があると、GTCR.CST ビット値は変化しません。GTCR.CST ビットの更新と CPU による読み出し（GTCR/GTSTR/GTSTP レジスタからの読み出し）の間で競合があると、更新前のデータが読み出されます。

(3) GTCCRm レジスタ (m = A～F)

インプットキャプチャ／バッファ転送動作と GTCCRm レジスタへの書き込みの間で競合があると、GTCCRm レジスタへの書き込みが優先されます。インプットキャプチャと CPU によるカウンタレジスタへの書き込みおよびハードウェア要因によるカウンタレジスタの更新の間で競合があると、更新前のカウンタ値がキャプチャされます。GTCCRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(4) GTPR レジスタ

バッファ転送動作と GTPR レジスタへの書き込みの間で競合があると、GTPR レジスタへの書き込みが優先されます。GTPR レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(5) GTADTRm レジスタ（m = A、B）

バッファ転送動作と GTADTRm レジスタへの書き込みの間で競合があると、GTADTRm レジスタへの書き込みが優先されます。

GTADTRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(6) GTDVm レジスタ（m = U、D）

バッファ転送動作と GTDVm レジスタへの書き込みの間で競合があると、GTDVm レジスタへの書き込みが優先されます。

GTDVm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(7) GTIOR.GTIOm レジスタ（m = A、B）

バッファ転送動作と GTIOR.GTIOm レジスタへの書き込みの間で競合があると、GTIOR.GTIOm レジスタへの書き込みが優先されます。

GTIOR.GTIOm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

21.10.6 割り込み要求の間隔

GPT のコアクロックが GPTCLK の場合、同じ割り込み信号間の間隔が以下の値より短いと、割り込みが失われることがあります。ただし、この制限は異なる割り込み信号の場合には適用されません。

割り込み間隔[ns] = GPTCLK の期間[ns] × 6 + PCLKA の期間[ns] × 4

イベント信号の制限事項については、「17. イベントリンクコントローラ (ELC)」を参照してください。

さらに、ADTRGGPTx レジスタ（x = 0～8）の設定により、ADC は GPT からの A/D 変換開始要求を ELC を経由せずに受信できます。

また、表 21.75 に示すように GPT と ADC のクロックを組み合わせた場合に、ある A/D 変換開始要求と次の要求の間隔が同じ A/D 変換開始要求に対する以下の値よりも小さいと、A/D 変換開始要求が失われる場合があります。

ただし、この制限は異なる A/D 変換開始要求の場合には適用されません。

イベント間隔[ns] = GPT コアクロックの期間[ns] × 6 + ADC コアクロックの期間[ns] × 4

表 21.75 イベント間隔を制限した場合のクロックの組み合わせ

GPT コアクロック	ADC コアクロック
GPTCLK	PCLKA または PCLKC
PCLKD	PCLKC または GPTCLK

図 21.182 GPT0_ADTRGA イベント間隔の例

21.10.7 PWM 遅延生成回路への GTIOCnm 信号入力に関する注意事項（n = 0～3、m = A、B）

PWM 遅延生成回路で PWM 波形の遅延を制御する場合、以下の制限があります。

- のこぎり波モードの場合、オーバーフローあるいはアンダーフロー直前の 3 クロックサイクルの間は GTIOCnm 信号の変更は禁止です。
- のこぎり波モードの場合、カウント動作中は GTCSR による GTCNT レジスタのクリアは禁止です。
- 三角波モードの場合、谷直前の 3 クロックサイクルの間は GTIOCnm 信号の変更は禁止です。

上記の制限事項を守らないと、PWM 遅延生成回路から出力した信号波形のエッジが失われることがあります。

図 21.183 に、受け付けできない GTIOCnm 信号の変更タイミング例を示します。

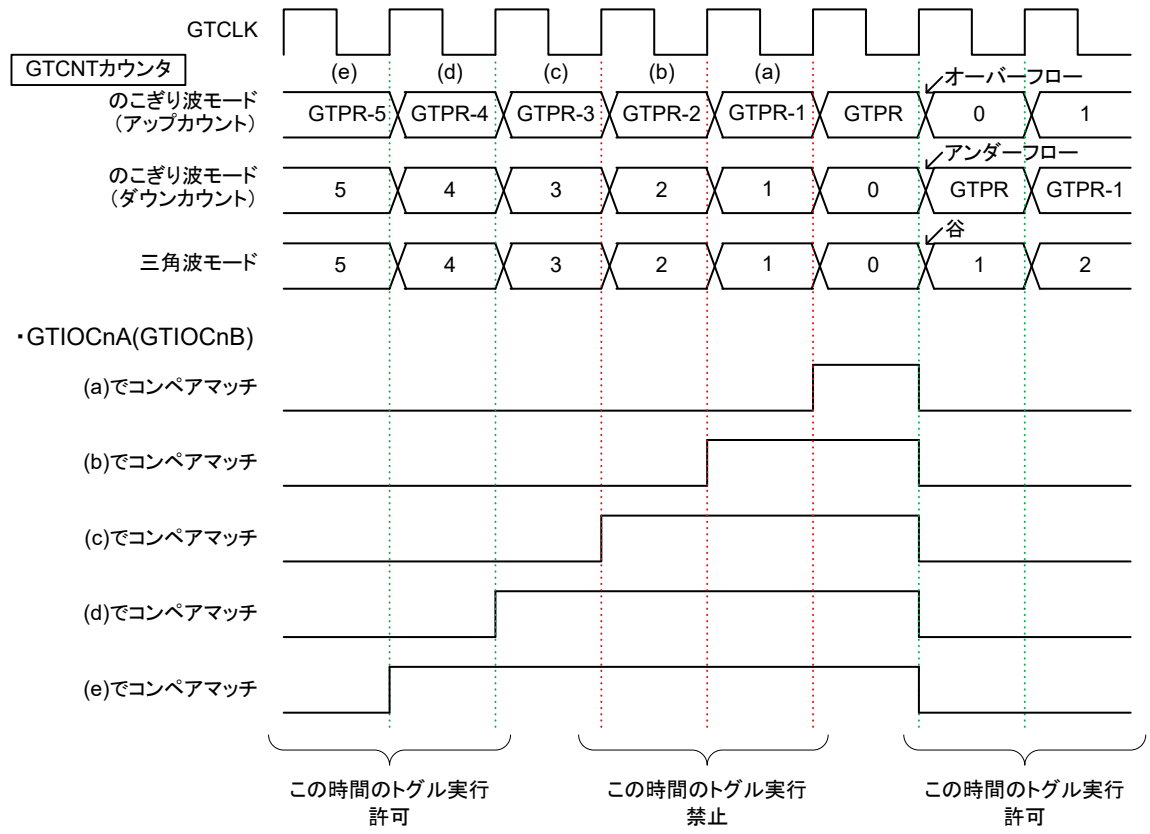


図 21.183　受け付けできない GTIOCnm 信号タイミング例（n = 0～3、m = A、B）

22. PWM 遅延生成回路 (PDG)

22.1 概要

PWM 遅延生成回路 (PDG) には、GPT に接続可能な 4 つのチャネル遅延回路があります。PDG は、GPT320～GPT323 が生成する PWM 波形の両エッジのタイミングを制御できます。

表 22.1 に PWM 遅延生成回路の仕様を、図 22.1 にブロック図を、表 22.2 に入出力端子を示します。

表 22.1 PWM 遅延生成回路の仕様

項目	仕様
機能	本回路は、チャネル 0/1/2/3 の 2 つの PWM 出力端子の信号の立ち上がりと立ち下がりのタイミングを GPT コアクロック (GTCLK) 周期の最大 1/32 の精度で制御することができます。 GPT コアクロック (GTCLK) は PCLKD または GPTCLK から選択できます。

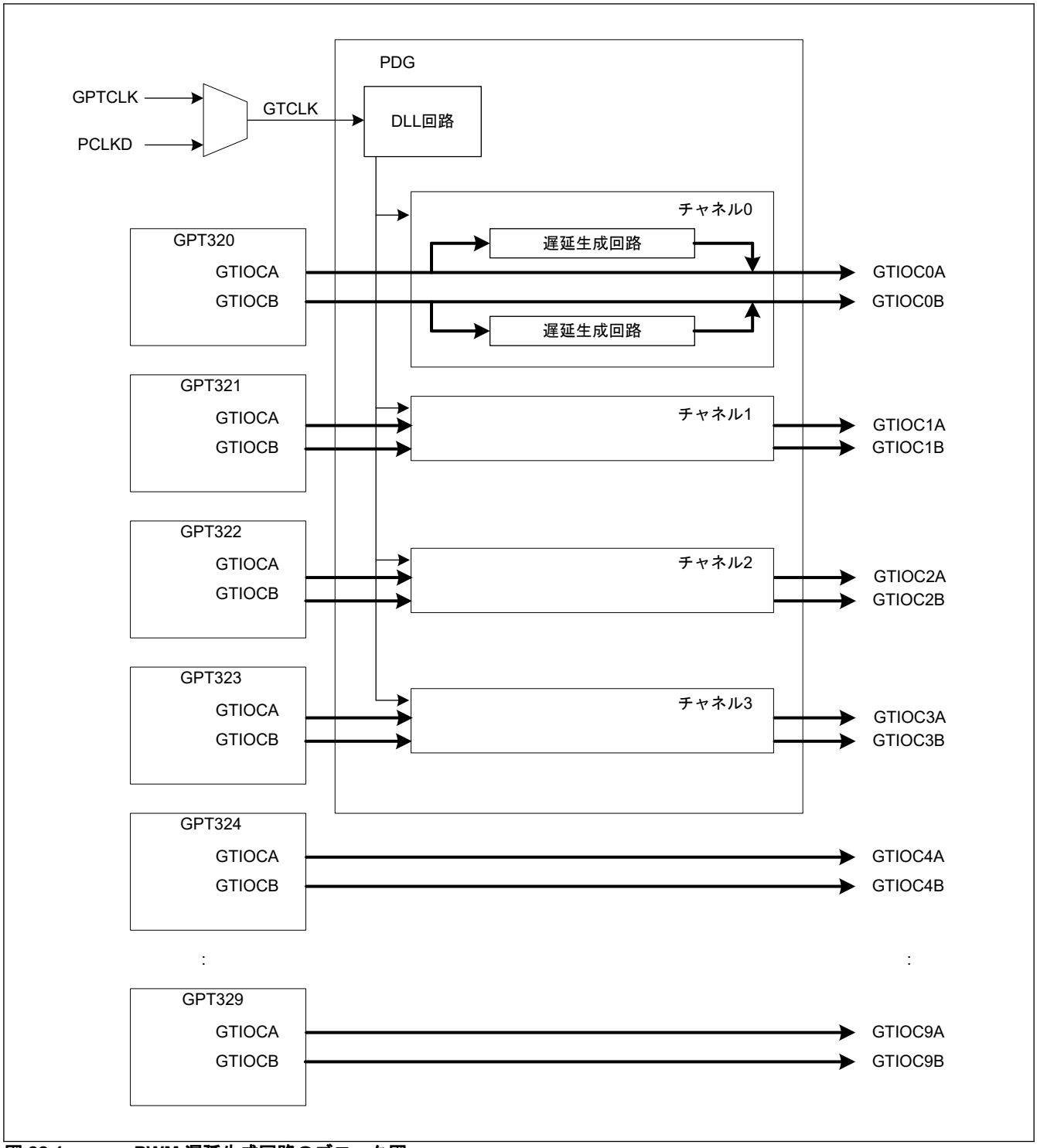


図 22.1 PWM 遅延生成回路のブロック図

表 22.2 PWM 遅延生成回路の入出力端子 (1/2)

入出力端子	入出力	機能
GTIOC0A	出力	GPT チャネル 0 の GTIOCA 端子の遅延出力
GTIOC0B	出力	GPT チャネル 0 の GTIOCB 端子の遅延出力
GTIOC1A	出力	GPT チャネル 1 の GTIOCA 端子の遅延出力
GTIOC1B	出力	GPT チャネル 1 の GTIOCB 端子の遅延出力
GTIOC2A	出力	GPT チャネル 2 の GTIOCA 端子の遅延出力

表 22.2 PWM 遅延生成回路の入出力端子 (2/2)

入出力端子	入出力	機能
GTIOC2B	出力	GPT チャネル 2 の GTIOCB 端子の遅延出力
GTIOC3A	出力	GPT チャネル 3 の GTIOCA 端子の遅延出力
GTIOC3B	出力	GPT チャネル 3 の GTIOCB 端子の遅延出力

22.2 レジスタの説明

22.2.1 GTDLYCR : PWM 出力遅延コントロールレジスタ

Base address: PDG = 0x4016_A000

Offset address: 0x0000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FRANGE	—	—	—	—	—	—	DLYRST	DLLEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DLLEN	DLL 動作許可 0: DLL 動作を禁止 1: DLL 動作を許可	R/W
1	DLYRST	PWM 遅延生成回路のリセット 0: 通常動作 1: リセット	R/W
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	FRANGE	GPT コアクロックの周波数範囲 0: GPT コアクロック周波数は 115 MHz～200 MHz 1: GPT コアクロック周波数は 80 MHz～120 MHz	R/W
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTDLYCR レジスタは PWM 遅延生成回路を制御します。この回路は PWM 出力に遅延を発生させます。GTDLYCR への書き込みは、レジスタライトプロテクションが無効 (GPT320.GTWP.WP = 0) の場合に行うことができます。

GPT320.GTWP.WP ビットの値を変更した後に GTDLYCR を変更する場合は、必ず GTWP レジスタの値を読み戻してから GTDLYCR の値を変更してください。

DLLEN ビット（DLL 動作許可）

DLLEN ビットは、PWM 遅延生成回路内のオンチップ DLL を起動させるかどうかを選択します。

DLYRST ビット（PWM 遅延生成回路のリセット）

DLYRST ビットは、PWM 遅延生成回路の内部状態をリセットします。

FRANGE ビット（GPT コアクロックの周波数範囲）

FRANGE ビットは、GPT コアクロックの周波数範囲を設定します。

FRANGE ビットは、DLLEN ビットが 0 のときのみセットしてください。

22.2.2 GTDLYCR2 : PWM 出力遅延コントロールレジスタ 2

Base address: PDG = 0x4016_A000

Offset address: 0x0002

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	DLYEN3	DLYEN2	DLYEN1	DLYEN0	—	—	—	—	DLYBS3	DLYBS2	DLYBS1	DLYBS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DLYBS0	チャネル 0 の PWM 遅延生成回路バイパス 0: チャネル 0 の遅延生成回路をバイパスする 1: チャネル 0 の遅延生成回路をバイパスしない	R/W
1	DLYBS1	チャネル 1 の PWM 遅延生成回路バイパス 0: チャネル 1 の遅延生成回路をバイパスする 1: チャネル 1 の遅延生成回路をバイパスしない	R/W
2	DLYBS2	チャネル 2 の PWM 遅延生成回路バイパス 0: チャネル 2 の遅延生成回路をバイパスする 1: チャネル 2 の遅延生成回路をバイパスしない	R/W
3	DLYBS3	チャネル 3 の PWM 遅延生成回路バイパス 0: チャネル 3 の遅延生成回路をバイパスする 1: チャネル 3 の遅延生成回路をバイパスしない	R/W
7:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	DLYEN0	チャネル 0 の PWM 遅延生成回路許可 0: チャネル 0 の遅延生成回路を許可 1: チャネル 0 の遅延生成回路を禁止	R/W
9	DLYEN1	チャネル 1 の PWM 遅延生成回路許可 0: チャネル 1 の遅延生成回路を許可 1: チャネル 1 の遅延生成回路を禁止	R/W
10	DLYEN2	チャネル 2 の PWM 遅延生成回路許可 0: チャネル 2 の遅延生成回路を許可 1: チャネル 2 の遅延生成回路を禁止	R/W
11	DLYEN3	チャネル 3 の PWM 遅延生成回路許可 0: チャネル 3 の遅延生成回路を許可 1: チャネル 3 の遅延生成回路を禁止	R/W
15:12	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTDLYCR2 レジスタは、PWM 遅延生成回路の各チャネルを制御します。レジスタライトプロテクションが禁止の場合 (GPT320.GTWP.WP = 0)、GTDLYCR2 を書き込むことができます。

GPT320.GTWP.WP ビットの値を変更した後に GTDLYCR2 を変更する場合は、必ず GTWP レジスタの値を読み出してから、GTDLYCR2 の値を変更してください。

DLYBSn（n = 0～3）ビット（チャネル n の PWM 遅延生成回路バイパス）

DLYBSn ビットは、GTIOCnA 端子および GTIOCnB 端子（n = 0～3）からの PWM 出力信号を PWM 遅延生成回路で遅延させるのか回路をバイパスするのかを選択します。

PWM 遅延生成回路で遅延させた信号は，PWM 遅延生成回路をバイパスした場合に比べて、GPT コアクロック (GTCLK) の 3 サイクル分遅れて出力されます。

DLYENn（n = 0～3）ビット（チャネル n の PWM 遅延生成回路許可）

DLYENn ビットは、PWM 遅延発生回路のチャネル n（n = 0～3）の電源オン／オフを選択します。PWM 遅延生成回路のチャネル n を使用しない場合は 1 に設定します。

22.2.3 GTDLYRnA : GTIOCnA 立ち上がり出力遅延レジスタ（n = 0～3）

Base address: PDG = 0x4016_A000

Offset address: 0x018 + 0x4 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	DLY[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	DLY[4:0]	GTIOCnA 出力立ち上がりエッジ遅延設定 0x00: 立ち上がりエッジの遅延を適用しない 0x01: GTCLK 周期の 1/32 倍の遅延を適用 0x02: GTCLK 周期の 2/32 倍の遅延を適用 0x03: GTCLK 周期の 3/32 倍の遅延を適用 0x04: GTCLK 周期の 4/32 倍の遅延を適用 0x05: GTCLK 周期の 5/32 倍の遅延を適用 0x06: GTCLK 周期の 6/32 倍の遅延を適用 0x07: GTCLK 周期の 7/32 倍の遅延を適用 0x08: GTCLK 周期の 8/32 倍の遅延を適用 0x09: GTCLK 周期の 9/32 倍の遅延を適用 0x0A: GTCLK 周期の 10/32 倍の遅延を適用 0x0B: GTCLK 周期の 11/32 倍の遅延を適用 0x0C: GTCLK 周期の 12/32 倍の遅延を適用 0x0D: GTCLK 周期の 13/32 倍の遅延を適用 0x0E: GTCLK 周期の 14/32 倍の遅延を適用 0x0F: GTCLK 周期の 15/32 倍の遅延を適用 0x10: GTCLK 周期の 16/32 倍の遅延を適用 0x11: GTCLK 周期の 17/32 倍の遅延を適用 0x12: GTCLK 周期の 18/32 倍の遅延を適用 0x13: GTCLK 周期の 19/32 倍の遅延を適用 0x14: GTCLK 周期の 20/32 倍の遅延を適用 0x15: GTCLK 周期の 21/32 倍の遅延を適用 0x16: GTCLK 周期の 22/32 倍の遅延を適用 0x17: GTCLK 周期の 23/32 倍の遅延を適用 0x18: GTCLK 周期の 24/32 倍の遅延を適用 0x19: GTCLK 周期の 25/32 倍の遅延を適用 0x1A: GTCLK 周期の 26/32 倍の遅延を適用 0x1B: GTCLK 周期の 27/32 倍の遅延を適用 0x1C: GTCLK 周期の 28/32 倍の遅延を適用 0x1D: GTCLK 周期の 29/32 倍の遅延を適用 0x1E: GTCLK 周期の 30/32 倍の遅延を適用 0x1F: GTCLK 周期の 31/32 倍の遅延を適用	R/W
15:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTDLYRnA レジスタは、GTIOCnA 端子の出力信号の立ち上がりエッジに適用される遅延時間を設定します。設定の転送タイミングについては、「22.3.2. GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB レジスタ設定値の転送タイミング」を参照してください。

レジスタライトプロテクションが無効のとき (GPT32n.GTWP.WP = 0)、GTDLYRnA を書き込むことができます。

GPT32n.GTWP.WP ビットの値を変更した後に GTDLYRnA を変更する場合は、必ず GTWP レジスタの値を読み戻してから GTDLYRnA の値を変更してください。

22.2.4 GTDLYFnA: GTIOCnA 立ち下がり出力遅延レジスタ（n = 0～3）

Base address: PDG = 0x4016_A000

Offset address: 0x028 + 0x4 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	DLY[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	DLY[4:0]	GTIOCnA 出力立ち下がりエッジ遅延設定 0x00: 立ち下がりエッジの遅延を適用しない 0x01: GTCLK 周期の 1/32 倍の遅延を適用 0x02: GTCLK 周期の 2/32 倍の遅延を適用 0x03: GTCLK 周期の 3/32 倍の遅延を適用 0x04: GTCLK 周期の 4/32 倍の遅延を適用 0x05: GTCLK 周期の 5/32 倍の遅延を適用 0x06: GTCLK 周期の 6/32 倍の遅延を適用 0x07: GTCLK 周期の 7/32 倍の遅延を適用 0x08: GTCLK 周期の 8/32 倍の遅延を適用 0x09: GTCLK 周期の 9/32 倍の遅延を適用 0x0A: GTCLK 周期の 10/32 倍の遅延を適用 0x0B: GTCLK 周期の 11/32 倍の遅延を適用 0x0C: GTCLK 周期の 12/32 倍の遅延を適用 0x0D: GTCLK 周期の 13/32 倍の遅延を適用 0x0E: GTCLK 周期の 14/32 倍の遅延を適用 0x0F: GTCLK 周期の 15/32 倍の遅延を適用 0x10: GTCLK 周期の 16/32 倍の遅延を適用 0x11: GTCLK 周期の 17/32 倍の遅延を適用 0x12: GTCLK 周期の 18/32 倍の遅延を適用 0x13: GTCLK 周期の 19/32 倍の遅延を適用 0x14: GTCLK 周期の 20/32 倍の遅延を適用 0x15: GTCLK 周期の 21/32 倍の遅延を適用 0x16: GTCLK 周期の 22/32 倍の遅延を適用 0x17: GTCLK 周期の 23/32 倍の遅延を適用 0x18: GTCLK 周期の 24/32 倍の遅延を適用 0x19: GTCLK 周期の 25/32 倍の遅延を適用 0x1A: GTCLK 周期の 26/32 倍の遅延を適用 0x1B: GTCLK 周期の 27/32 倍の遅延を適用 0x1C: GTCLK 周期の 28/32 倍の遅延を適用 0x1D: GTCLK 周期の 29/32 倍の遅延を適用 0x1E: GTCLK 周期の 30/32 倍の遅延を適用 0x1F: GTCLK 周期の 31/32 倍の遅延を適用	R/W
15:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTDLYFnA レジスタは、GTIOCnA 端子の出力信号の立ち下がりエッジに適用される遅延時間を設定します。設定の転送タイミングについては、「22.3.2. GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB レジスタ設定値の転送タイミング」を参照してください。

レジスタライトプロテクションが無効のとき (GPT32n.GTWP.WP = 0)、GTDLYFnA を書き込むことができます。

GPT32n.GTWP.WP ビットの値を変更した後に GTDLYFnA を変更する場合は、必ず GTWP レジスタの値を読み戻してから GTDLYFnA の値を変更してください。

22.2.5 GTDLYRnB : GTIOCnB 立ち上がり出力遅延レジスタ（n = 0～3）

Base address: PDG = 0x4016_A000

Offset address: 0x01A + 0x4 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	DLY[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	DLY[4:0]	GTIOCnB 出力立ち上がりエッジ遅延設定 0x00: 立ち上がりエッジの遅延を適用しない 0x01: GTCLK 周期の 1/32 倍の遅延を適用 0x02: GTCLK 周期の 2/32 倍の遅延を適用 0x03: GTCLK 周期の 3/32 倍の遅延を適用 0x04: GTCLK 周期の 4/32 倍の遅延を適用 0x05: GTCLK 周期の 5/32 倍の遅延を適用 0x06: GTCLK 周期の 6/32 倍の遅延を適用 0x07: GTCLK 周期の 7/32 倍の遅延を適用 0x08: GTCLK 周期の 8/32 倍の遅延を適用 0x09: GTCLK 周期の 9/32 倍の遅延を適用 0x0A: GTCLK 周期の 10/32 倍の遅延を適用 0x0B: GTCLK 周期の 11/32 倍の遅延を適用 0x0C: GTCLK 周期の 12/32 倍の遅延を適用 0x0D: GTCLK 周期の 13/32 倍の遅延を適用 0x0E: GTCLK 周期の 14/32 倍の遅延を適用 0x0F: GTCLK 周期の 15/32 倍の遅延を適用 0x10: GTCLK 周期の 16/32 倍の遅延を適用 0x11: GTCLK 周期の 17/32 倍の遅延を適用 0x12: GTCLK 周期の 18/32 倍の遅延を適用 0x13: GTCLK 周期の 19/32 倍の遅延を適用 0x14: GTCLK 周期の 20/32 倍の遅延を適用 0x15: GTCLK 周期の 21/32 倍の遅延を適用 0x16: GTCLK 周期の 22/32 倍の遅延を適用 0x17: GTCLK 周期の 23/32 倍の遅延を適用 0x18: GTCLK 周期の 24/32 倍の遅延を適用 0x19: GTCLK 周期の 25/32 倍の遅延を適用 0x1A: GTCLK 周期の 26/32 倍の遅延を適用 0x1B: GTCLK 周期の 27/32 倍の遅延を適用 0x1C: GTCLK 周期の 28/32 倍の遅延を適用 0x1D: GTCLK 周期の 29/32 倍の遅延を適用 0x1E: GTCLK 周期の 30/32 倍の遅延を適用 0x1F: GTCLK 周期の 31/32 倍の遅延を適用	R/W
15:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTDLYRnB レジスタは、GTIOCnB 端子の出力信号の立ち上がりエッジに適用される遅延時間を設定します。設定の転送タイミングについては、「22.3.2. GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB レジスタ設定値の転送タイミング」を参照してください。

レジスタライトプロテクションが無効のとき (GPT32n.GTWP.WP = 0)、GTDLYRnB を書き込むことができます。

GPT32n.GTWP.WP ビットの値を変更した後に GTDLYRnB を変更する場合は、必ず GTWP レジスタの値を読み戻してから GTDLYRnB の値を変更してください。

22.2.6 GTDLYFnB : GTIOCnB 立ち下がり出力遅延レジスタ（n = 0～3）

Base address: PDG = 0x4016_A000

Offset address: 0x02A + 0x4 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	DLY[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	DLY[4:0]	GTIOCnB 出力立ち下がりエッジ遅延設定 0x00: 立ち下がりエッジの遅延を適用しない 0x01: GTCLK 周期の 1/32 倍の遅延を適用 0x02: GTCLK 周期の 2/32 倍の遅延を適用 0x03: GTCLK 周期の 3/32 倍の遅延を適用 0x04: GTCLK 周期の 4/32 倍の遅延を適用 0x05: GTCLK 周期の 5/32 倍の遅延を適用 0x06: GTCLK 周期の 6/32 倍の遅延を適用 0x07: GTCLK 周期の 7/32 倍の遅延を適用 0x08: GTCLK 周期の 8/32 倍の遅延を適用 0x09: GTCLK 周期の 9/32 倍の遅延を適用 0x0A: GTCLK 周期の 10/32 倍の遅延を適用 0x0B: GTCLK 周期の 11/32 倍の遅延を適用 0x0C: GTCLK 周期の 12/32 倍の遅延を適用 0x0D: GTCLK 周期の 13/32 倍の遅延を適用 0x0E: GTCLK 周期の 14/32 倍の遅延を適用 0x0F: GTCLK 周期の 15/32 倍の遅延を適用 0X10: GTCLK 周期の 16/32 倍の遅延を適用 0x11: GTCLK 周期の 17/32 倍の遅延を適用 0x12: GTCLK 周期の 18/32 倍の遅延を適用 0x13: GTCLK 周期の 19/32 倍の遅延を適用 0x14: GTCLK 周期の 20/32 倍の遅延を適用 0x15: GTCLK 周期の 21/32 倍の遅延を適用 0x16: GTCLK 周期の 22/32 倍の遅延を適用 0x17: GTCLK 周期の 23/32 倍の遅延を適用 0x18: GTCLK 周期の 24/32 倍の遅延を適用 0x19: GTCLK 周期の 25/32 倍の遅延を適用 0x1A: GTCLK 周期の 26/32 倍の遅延を適用 0x1B: GTCLK 周期の 27/32 倍の遅延を適用 0x1C: GTCLK 周期の 28/32 倍の遅延を適用 0x1D: GTCLK 周期の 29/32 倍の遅延を適用 0x1E: GTCLK 周期の 30/32 倍の遅延を適用 0x1F: GTCLK 周期の 31/32 倍の遅延を適用	R/W
15:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

GTDLYFnB レジスタは、GTIOCnB 端子の出力信号の立ち下がりエッジに適用する遅延を設定します。設定の転送タイミングについては、「22.3.2. GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB レジスタ設定値の転送タイミング」を参照してください。

レジスタライトプロテクションが無効のとき (GPT32n.GTWP.WP = 0)、GTDLYFnB を書き込むことができます。

GPT32n.GTWP.WP ビットの値を変更した後に GTDLYFnB を変更する場合は、必ず GTWP レジスタの値を読み戻してから GTDLYFnB の値を変更してください。

22.3 動作説明

22.3.1 PWM 波形における立ち上がりエッジおよび立ち下がりエッジのタイミング調整

GTIOCnA および GTIOCnB 端子（n = チャネル番号）から出力される PWM 波形の立ち上がりエッジおよび立ち下がりエッジのタイミングは、GPT コアクロック (GTCLK) 周期の 1/32 の精度で遅延させることができます。

GTIOCnA および GTIOCnB 端子から出力される PWM 波形の立ち上がりエッジまたは立ち下がりエッジのタイミングを調整する必要がある場合は、図 22.2 に示す手順で PWM 生成回路の初期設定を行ってください。

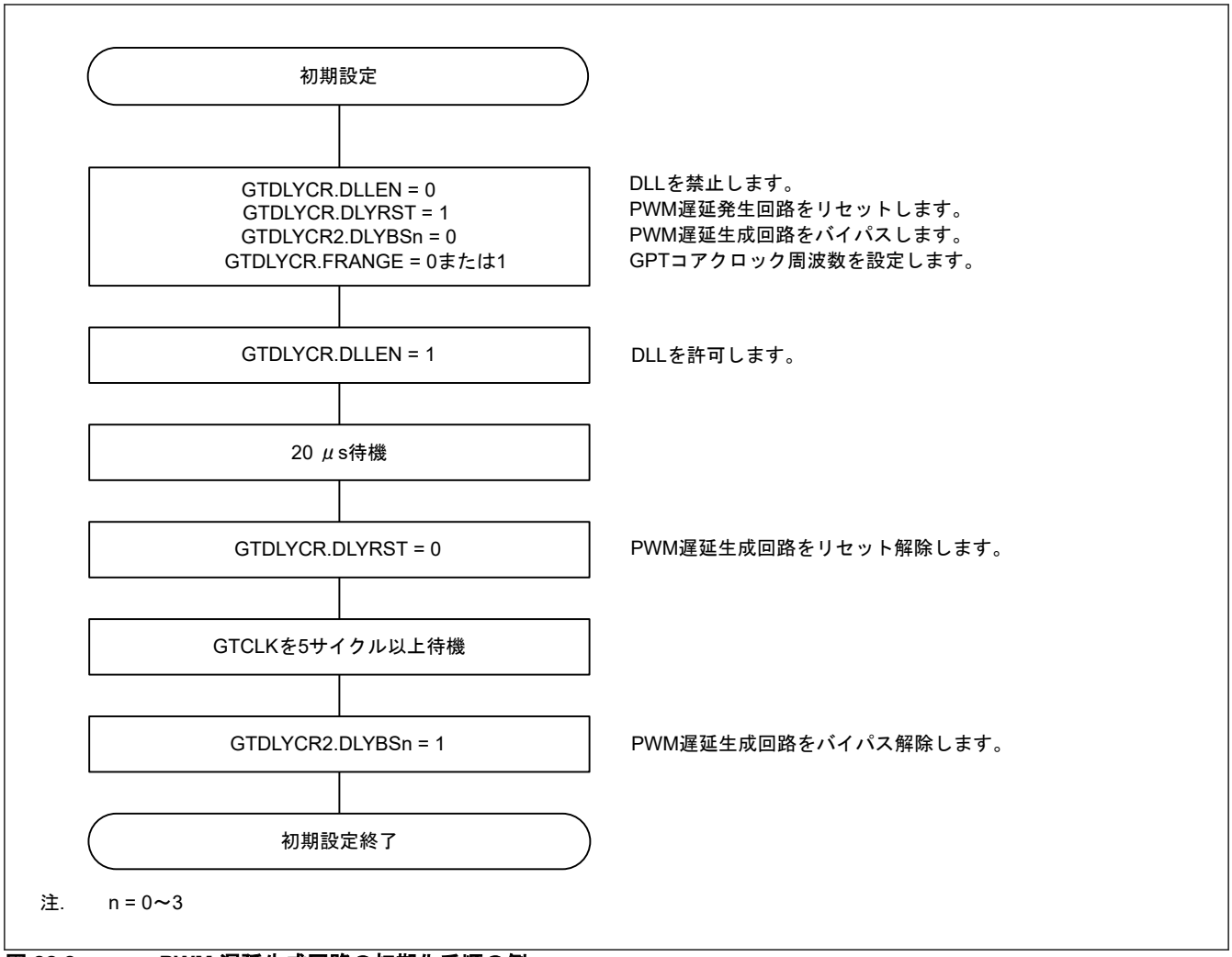


図 22.2 PWM 遅延生成回路の初期化手順の例

PWM 遅延生成回路では、PWM 出力の立ち上がりエッジと立ち下がりエッジを GPT コアクロック (GTCLK) 周期の 1/32 の精度で遅延させることができます。これについては、「21.3.3. PWM 出力動作モード」で説明します。設定に伴う遅延は、「22.3.2. GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB レジスタ設定値の転送タイミング」で説明するタイミングで PWM 出力に反映されます。表 22.3 に、GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB の各レジスタと PWM 出力の対応関係を示します。

表 22.3 PWM 出力端子と遅延設定レジスタの対応関係

PWM 出力端子	立ち上がりエッジ遅延設定レジスタ	立ち下がりエッジ遅延設定レジスタ
GTIOC0A	GTDLYR0A	GTDLYF0A
GTIOC0B	GTDLYR0B	GTDLYF0B
GTIOC1A	GTDLYR1A	GTDLYF1A
GTIOC1B	GTDLYR1B	GTDLYF1B
GTIOC2A	GTDLYR2A	GTDLYF2A
GTIOC2B	GTDLYR2B	GTDLYF2B
GTIOC3A	GTDLYR3A	GTDLYF3A
GTIOC3B	GTDLYR3B	GTDLYF3B

PWM 遅延生成回路を使用した場合、PWM 出力信号の立ち上がりと立ち下がりのタイミングを GPT コアクロック (GTCLK) 周期の 1/32 の精度で制御することができます。このオプションを使用しない場合、PWM 出力波形の周期は、タイマカウンタの入力クロック (GTCLK) 1 周期分の精度で制御されます。PWM 遅延生成回路を使用すると、32 倍高い精度で出力を制御することができます。また、遅延設定では、PWM 波形の High と Low の周

期を特定の精度で制御することもできます。PWM 遅延生成回路のチャネルは、個別に許可／禁止を設定できます。

22.3.2 GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB レジスタ設定値の転送タイミング

GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB レジスタの設定値は、最初にテンポラリレジスタに転送され、その後、GTIOCnA および GTIOCnB（n = 0～3）出力の遅延に反映されます。設定値は、のこぎり波の場合はオーバーフロー（アップカウント中）またはアンダーフロー（ダウンカウント中）のときに、三角波の場合は谷のときに転送されます。

図 22.3 および図 22.4 に、GTDLYR0A および GTDLYF0A レジスタの動作例を示します。

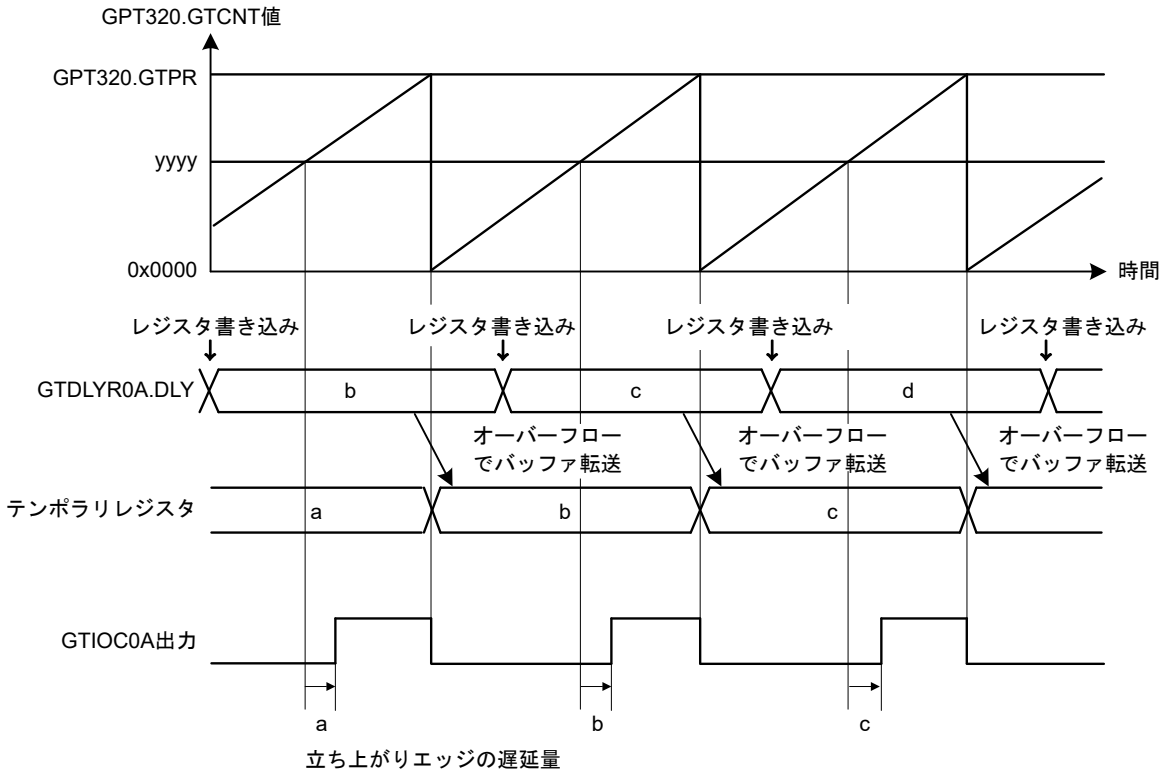


図 22.3 PWM のこぎり波生成時の GTDLYR0A レジスタ動作の例

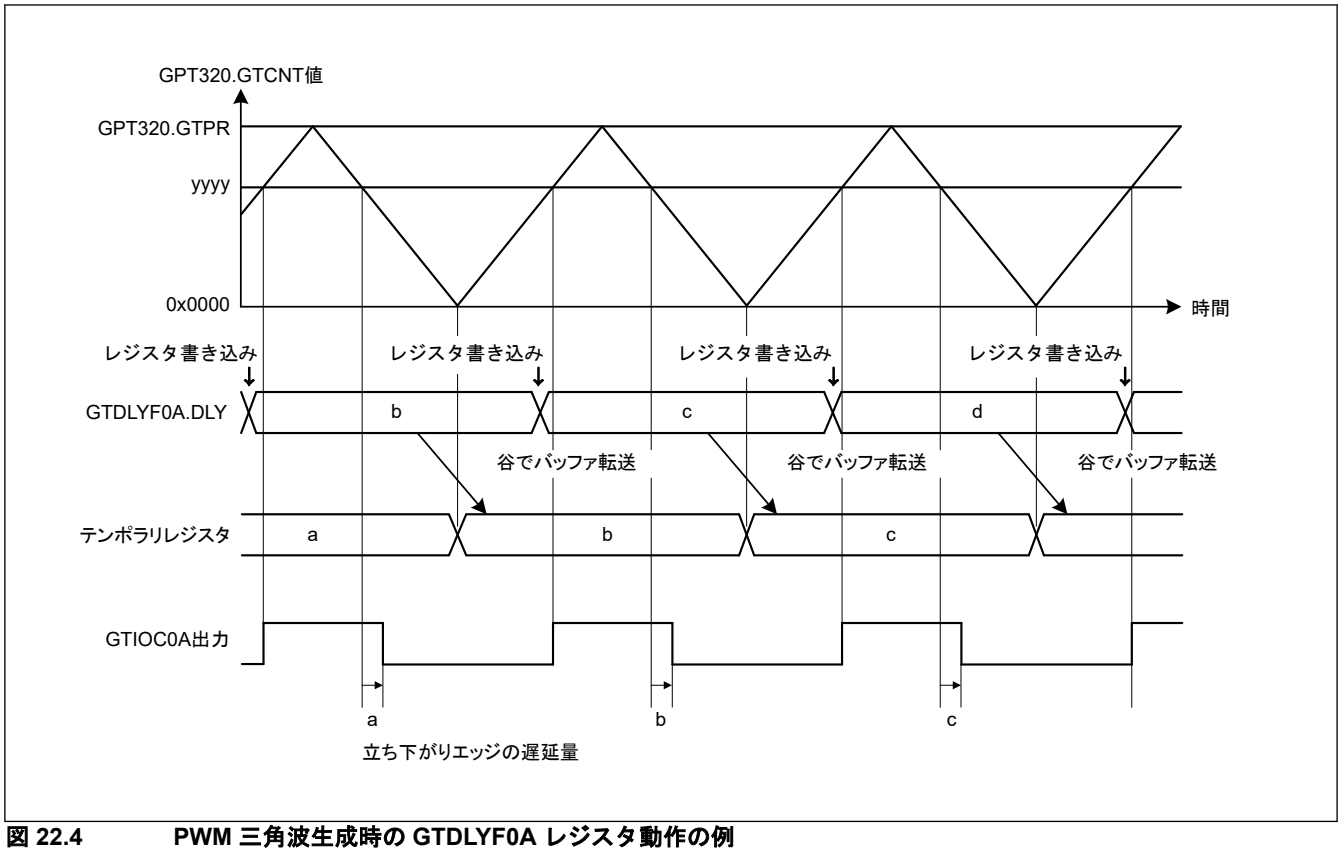


図 22.4 PWM 三角波生成時の GTDLYF0A レジスタ動作の例

22.4 使用上の注意事項

22.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、PWM 遅延生成回路の動作禁止／許可を設定することが可能です。リセット後の初期状態では、PWM 遅延生成回路は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

22.4.2 PWM 遅延生成回路の遅延設定に関する注意事項

PWM 遅延生成回路が PWM 出力波形の遅延を生成し、コンペアマッチに応答する形でその波形をトグル出力する場合、コンペアマッチの値が表 22.4 に示す範囲内にあるときは遅延の設定を変更しないでください。この制約は、GTDLYFnA、GTDLYRnA、GTDLYFnB、および GTDLYRnB レジスタに適用されます。

表 22.4 遅延設定に関する制約

モード	カウント方向	コンペアマッチ値
のこぎり波モード	アップ	GTPR - 2 以上
	ダウン	2 以下
三角波モード	ダウン	2 以下

図 22.5 に、のこぎり波形ワンショットパルスモード（アップカウント）における GTDLYFnA 設定のタイミングに対して、この制約をどのように適用するのかについて例を示します。(GTCCRD ≥ GTPR - 2) の間は GTDLYFnA に設定された値を変更しないでください。

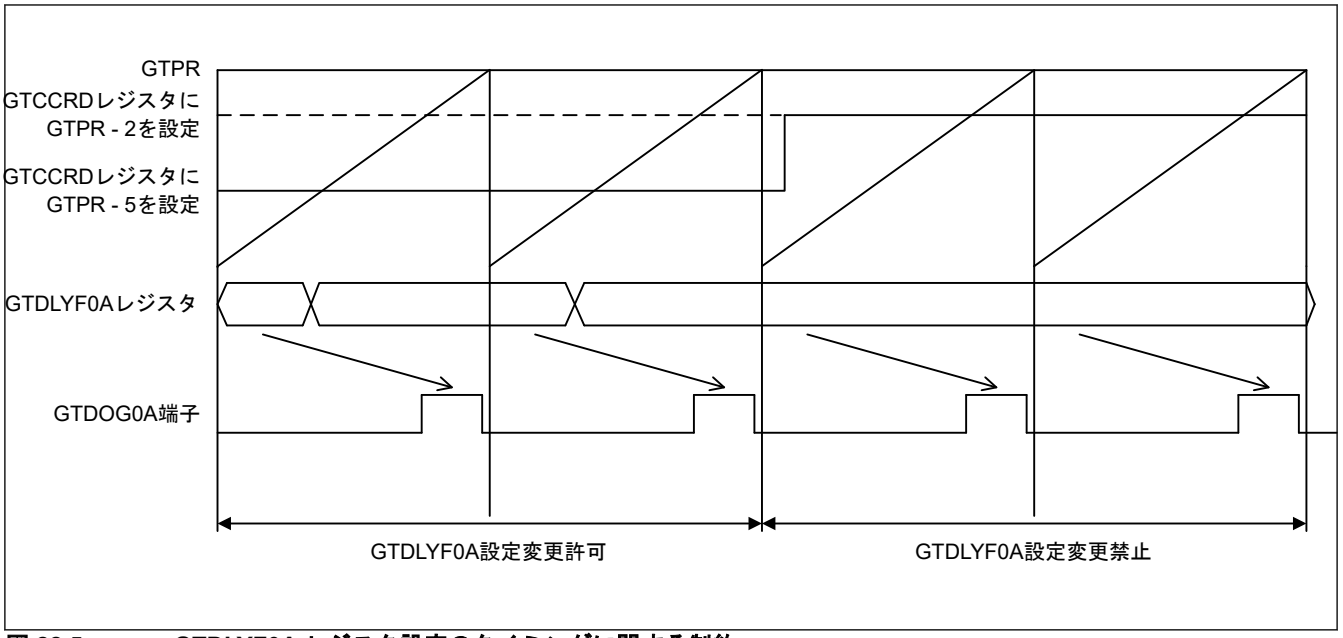


図 22.5 GTDLYF0A レジスタ設定のタイミングに関する制約

設定変更が禁止されているときに GTDLYFnA、GTDLYRnA、GTDLYFnB、および GTDLYRnB レジスタの値を変更すると、出力波形遷移のタイミングが期待値からずれるなど、出力波形に異常が生じる可能性があります。

22.4.3 レジスタ書き込み間隔

GPT コアクロックが GPTCLK の場合、GTDLYRnA/GTDLYFnA/GTDLYRnB/GTDLYFnA レジスタへの書き込み間隔が以下のインターバル時間より短いとき、書き込み値が反映されないことがあります。この制限は、同一レジスタへの連続書き込み時に適用されます。

Write_Interval [ns] = Period_of_PCLKA [ns] × 6 + Period_of_GPTCLK [ns] × 4

23. 非同期汎用タイマ (AGTW)

AGTW モジュールの AGTW_B バージョンです。

この章では、AGTW_B を AGTW と表記します。

23.1 概要

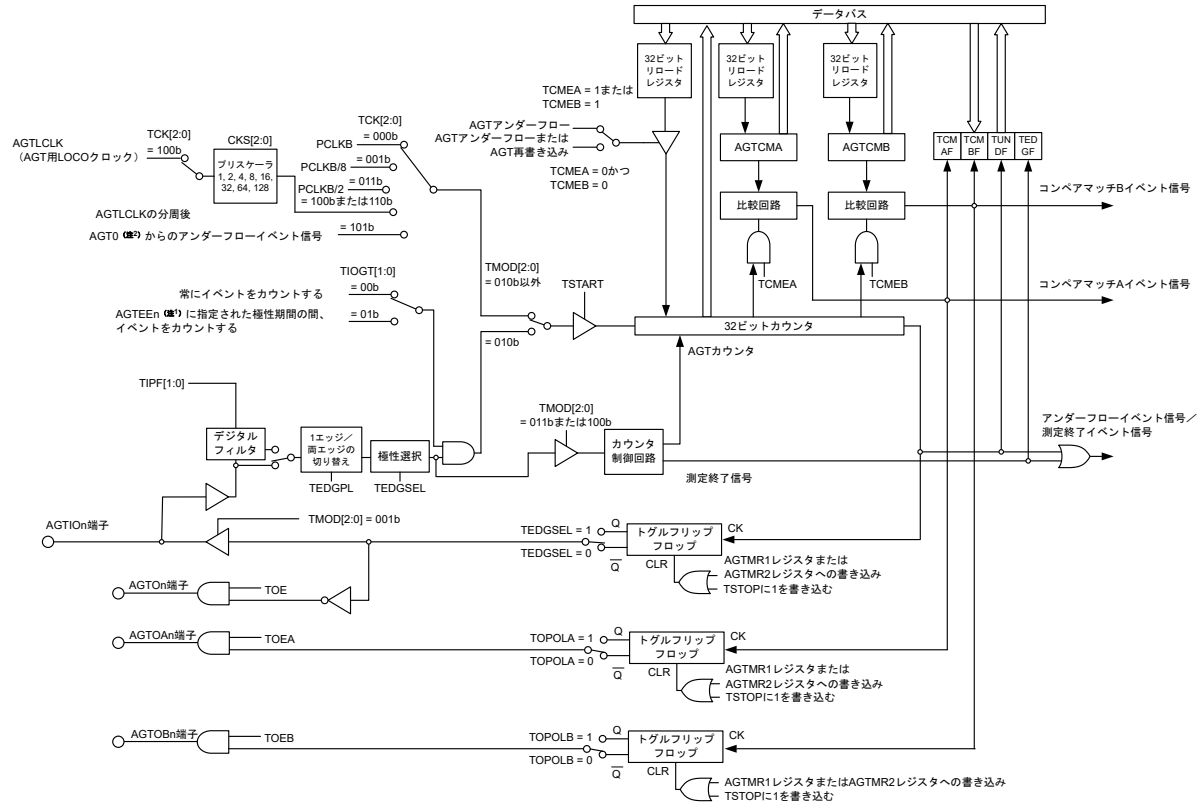
非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 32 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。

表 23.1 に AGTW の仕様、図 23.1 にブロック図、表 23.2 に入出力端子、を示します。

表 23.1 AGTW の仕様

項目		内容
動作モード	タイマモード	カウントソースをカウント
	パルス出力モード	カウントソースをカウントし、アンダーフローするごとに出力を反転
	イベントカウントモード	外部イベントをカウント
	パルス幅測定モード	外部パルス幅を測定
	パルス周期測定モード	外部パルス周期を測定
構成		AGTWn（32 ビット）×2 チャネル（n = 0、1）
カウントソース（動作クロック）(注2)	タイマモード	PCLKB, PCLKB/2, PCLKB/8, AGTLCLK/d（d = 1, 2, 4, 8, 16, 32, 64, または 128）、または AGTW0 のアンダーフロー信号を選択可能(注1)
	パルス出力モード	
	パルス幅測定モード	
	パルス周期測定モード	
	イベントカウントモード	外部イベント入力
割り込み／イベントリンク機能		• アンダーフローイベント信号または測定完了イベント信号 – カウンタがアンダーフローしたとき – パルス幅測定モードで、外部入力（AGTWIOn 端子）のアクティブ幅の測定が終了したとき – パルス周期測定モードで外部入力（AGTWIOn 端子）の設定エッジが入力されたとき • コンペアマッチ A イベント信号 – AGT レジスタと AGTCMA レジスタの値が一致したとき（コンペアマッチ A 機能が有効） • コンペアマッチ B イベント信号 – AGT と AGTCMB の値が一致したとき（コンペアマッチ B 機能が有効） • スヌーズモードまたはソフトウェアスタンバイモードからの復帰 は AGT1_AGTI、AGT1_AGTCMAI、または AGT1_AGTCMBI で実行可能です。(注3)
選択可能な機能		• コンペアマッチ機能 コンペアマッチ A レジスタとコンペアマッチ B レジスタの両方または一方を選択可能
TrustZone フィルタ		各チャネルに対して、セキュリティ属性を設定可能

注 1. AGTW0 では使用できません。AGTW1 は AGTW0 タイマからのアンダーフローイベント信号を使用します。
注 2. 周辺モジュールクロック B (PCLKB) 周波数 ≧ カウントソースクロック周波数となるように設定してください。
注 3. 詳細は「10. 低消費電力モード」を参照してください。



注 1. AGTISR レジスタの EEPS ビットで極性を選択できます。
注 2. AGTW0 では AGTW0 アンダーフローイベントを使用できません。AGTW1 では AGTW0 からのアンダーフロー信号を使用します。

図 23.1 AGTW のブロック図

表 23.2 AGTW の入出力端子

端子名	入出力	機能
AGTEEn	入力	AGTW の外部イベント入力イネーブル
AGTIOn	入出力	AGTW の外部イベント入力およびパルス出力
AGTOn	出力	AGTW のパルス出力
AGTOAn	出力	AGTW のコンペアマッチ A 出力
AGTOBn	出力	AGTW のコンペアマッチ B 出力

注. チャネル番号（n = 0、1）

23.2 レジスタの説明

23.2.1 AGT : AGT カウンタレジスタ

Base address: AGTW_Bn = 0x400E_8000 + 0x0100 × n (n = 0、1)

Offset address: 0x00

Bit position:	31																												0
Bit field:																													
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	32 ビットのカウンタおよびリロードレジスタ 設定範囲 0x00000000～0xFFFFFFFF	R/W

AGTWn.AGT は 32 ビットのレジスタです。書き込み値はリロードレジスタに書き込まれ、読み出し値はカウンタから読み出されます。

リロードレジスタとカウンタの状態は、AGTCR レジスタの TSTART ビットと AGTCMSR レジスタの TCMEA/TCMEB ビットに応じて変化します。詳細は「23.3.1. リロードレジスタおよびカウンタの書き換え動作」を参照してください。

AGTCR レジスタの TSTOP ビットに 1 を書き込むと、AGT カウンタは強制的に停止して、 0xFFFFFFFF になります。

AGTMR1 レジスタの TCK[2:0]ビットの設定値が 001b (PCLKB/8) または 011b (PCLKB/2) 以外の場合、AGT レジスタが 0x00000000 になると、ICU、DMAC/DTC、および ELC への要求信号が、カウント開始直後に一度発生します。および AGTWOn、AGTWIOn 端子はトグル出力となります。

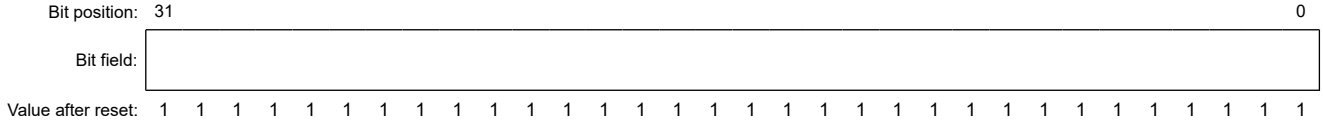
イベントカウントモードで AGT レジスタが 0x00000000 になると、TCK[2:0]ビットの値にかかわらず、ICU、DMAC/DTC、および ELC への要求信号が、カウント開始直後に一度発生します。

また、指定したカウント期間以外の期間も AGTWOn 端子出力はトグル出力となります。AGT レジスタが 0x00000001 以上になると、AGT がアンダーフローするたびに要求信号が発生します。

23.2.2 AGTCMA : AGT コンペアマッチ A レジスタ

Base address: AGTW_Bn = 0x400E_8000 + 0x0100 × n (n = 0、1)

Offset address: 0x04



ビット	シンボル	機能	R/W
31:0	n/a	32 ビットのコンペアマッチ A データを格納(注1) 設定範囲 0x00000000～0xFFFFFFFF	R/W

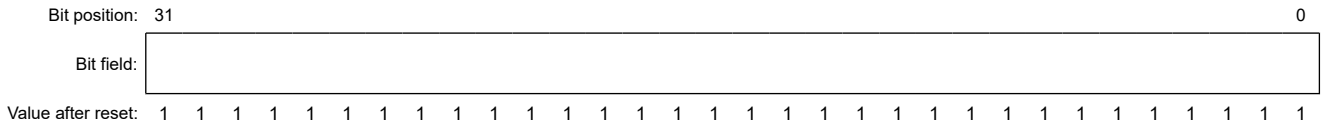
注 1. コンペアマッチ A を使用しない場合、AGTCMA レジスタは 0xFFFFFFFF にしてください。

AGTCMA レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し／書き込みレジスタです。リロードレジスタとコンペアレジスタ A の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は、「23.3.2. リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作」を参照してください。

23.2.3 AGTCMB : AGT コンペアマッチ B レジスタ

Base address: AGTW_Bn = 0x400E_8000 + 0x0100 × n (n = 0、1)

Offset address: 0x08



ビット	シンボル	機能	R/W
31:0	n/a	32 ビットのコンペアマッチ B データを格納(注1) 設定範囲 0x00000000～0xFFFFFFFF	R/W

注 1. コンペアマッチ B を使用しない場合、AGTCMB レジスタは 0xFFFFFFFF にしてください。

AGTCMB レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し／書き込みレジスタです。リロードレジスタとコンペアレジスタ B の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は「23.3.2. リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作」を参照してください。

23.2.4 AGTCR : AGT コントロールレジスタ

Base address: AGTW_Bn = 0x400E_8000 + 0x0100 × n (n = 0、1)

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TCMBF	TCMAF	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSTART	AGT カウント開始(注2) 0: カウント停止 1: カウント開始	R/W
1	TCSTF	AGT カウント状態フラグ(注2) 0: カウント停止 1: カウント中	R
2	TSTOP	AGT カウント強制停止(注1) 0: 書き込みは無効 1: 強制的にカウント停止	W
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	TEDGF	アクティブエッジ判定フラグ 0: アクティブエッジ未受信 1: アクティブエッジ受信	R/(W)(注3)
5	TUNDF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフローあり	R/(W)(注3)
6	TCMAF	コンペアマッチ A フラグ 0: 不一致 1: 一致	R/(W)(注3)
7	TCMBF	コンペアマッチ B フラグ 0: 不一致 1: 一致	R/(W)(注3)

注 1. TSTOP ビットに 1（強制的にカウント停止）を書き込むと、TSTART ビットおよび TCSTF フラグが同時に初期化されます。パルス出力レベルも初期化されます。読むと 0 が読めます。
注 2. TSTART ビットおよび TCSTF フラグの使用方法については、「23.4.1. カウント動作の開始および停止制御」を参照してください。
注 3. フラグをクリアするための 0 の書き込みのみ可能です。

TSTART ビット（AGT カウント開始）

TSTART ビットに 1 を書き込むとカウント動作が開始し、0 を書き込むとカウント動作が停止します。TSTART ビットを 1 にすると、カウントソースと同期して、TCSTF フラグが 1（カウント実行中）になります。また、TSTART ビットに 0 を書き込むと、カウントソースと同期して、TCSTF フラグが 0（カウント停止）になります。詳細は「23.4.1. カウント動作の開始および停止制御」を参照してください。

TCSTF フラグ（AGT カウント状態フラグ）

TCSTF フラグは AGT のカウント状態を示します。

[1 になる条件]

- TSTART ビットに 1 を書いたとき（カウントソースと同期して、TCSTF フラグが 1 になる）

[0 になる条件]

- TSTART ビットに 0 を書いたとき（カウントソースと同期して、TCSTF フラグが 0 になる）

- TSTOP ビットに 1 を書いたとき

TSTOP ビット（AGT カウント強制停止）

TSTOP ビットに 1 を書くと、強制的にカウントが停止します。読むと 0 が読めます。

TEDGF フラグ（アクティブエッジ判定フラグ）

TEDGF フラグはアクティブエッジが検出されたことを示します。

[1 になる条件]

- パルス幅測定モードで外部入力端子（AGTWIOn 端子）のアクティブ幅の測定が終了したとき
- パルス周期測定モードで外部入力端子（AGTWIOn 端子） の設定エッジが入力されたとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TUNDF フラグ（アンダーフローフラグ）

TUNDF フラグはカウンタがアンダーフローしたことを示します。

[1 になる条件]

- カウンタがアンダーフローしたとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TCMAF フラグ（コンペアマッチ A フラグ）

TCMAF フラグはコンペアマッチ A が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMA レジスタ値と一致したとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TCMBF フラグ（コンペアマッチ B フラグ）

TCMBF フラグはコンペアマッチ B が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMB レジスタ値と一致したとき

[0 になる条件]

- 本ビットに 0 を書いたとき

23.2.5 AGTMR1 : AGT モードレジスタ 1

Base address: AGTW_Bn = 0x400E_8000 + 0x0100 × n (n = 0、1)

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	TCK[2:0]			TEDGPL	TMOD[2:0]		
Value after reset:	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	TMOD[2:0]	動作モード(注3) 0 0 0: タイマモード 0 0 1: パルス出力モード 0 1 0: イベントカウントモード 0 1 1: パルス幅測定モード 1 0 0: パルス周期測定モード その他: 設定禁止	R/W
3	TEDGPL	エッジ極性(注4) 0: 片エッジ 1: 両エッジ	R/W
6:4	TCK[2:0]	カウントソース(注1) (注2) (注5) (注7) 0 0 0: PCLKB 0 0 1: PCLKB/8 0 1 1: PCLKB/2 1 0 0: AGTMR2 レジスタの CKS[2:0]ビットで設定した分周クロック (AGTLCLK) 1 0 1: AGTW0(注6)からのアンダーフローイベント信号 1 1 0: 設定禁止 その他: 設定禁止	R/W
7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. AGTMR1 レジスタに書き込みを行うと、AGTWOn, AGTWIOn, AGTWOAn, AGTWOBn 端子からの出力が初期化されます。初期化時の出力レベルの詳細については、「23.2.7. AGTIOC : AGT I/O コントロールレジスタ」を参照してください。
注 1. イベントカウンタモードを選択した場合、TCK[2:0]ビットの設定にかかわらず、カウントソースとして外部入力端子 (AGTWIOn) が選択されます。
注 2. カウント動作中は、カウントソースを切り替えないでください。カウントソースは、AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0（カウント停止）の場合にのみ切り替えてください。
注 3. AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0（カウント停止）の状態で、カウントが停止している場合にのみ、動作モードを変更できます。カウント動作中は、動作モードを変更しないでください。
注 4. TEDGPL ビットは、イベントカウントモード時に限り有効です。
注 5. ソフトウェアスタンバイモード、スヌーズモードで AGT を動作させるには、AGTLCLK (TCK[2:0] = 100b) を選択してください。
注 6. AGTW0 では AGTW0 のアンダーフローは使用できません（設定禁止）。AGTW1 が AGTW0 のアンダーフローを使用します。
注 7. AGTMR2 レジスタの CKS[2:0]ビットが 000b 以外の場合は、TCK[2:0]ビットを切り替えないでください。AGTMR2 レジスタの CKS[2:0]ビットを 000b にした後、TCK[2:0]ビットを切り替えて、カウントソースの 1 サイクル分待機してください。

23.2.6 AGTMR2 : AGT モードレジスタ 2

Base address: AGTW_Bn = 0x400E_8000 + 0x0100 × n (n = 0、1)

Offset address: 0x0E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LPM	—	—	—	—	CKS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CKS[2:0]	AGTLCLK カウントソースクロック分周比(注1) (注2) (注3) 0 0 0: 1/1 0 0 1: 1/2 0 1 0: 1/4 0 1 1: 1/8 1 0 0: 1/16 1 0 1: 1/32 1 1 0: 1/64 1 1 1: 1/128	R/W
6:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	LPM	低消費電力モード 0: 通常モード 1: 低消費電力モード	R/W

注 1. カウント動作中は、CKS[2:0]ビットを書き換えないでください。AGTCR レジスタの TSTART ビットと TCSTF フラグがどちらも 0（カウント停止）の場合にのみ、CKS[2:0]ビットを書き換えてください。
注 2. カウントソースが AGTLCLK の場合、CKS[2:0]ビットの切り替えが有効となります。

注 3. CKS[2:0]ビットが 000b 以外の場合は、AGTMR1 レジスタの TCK[2:0]ビットを切り替えないでください。CKS[2:0]ビットを 000b にした後、AGTMR1 レジスタの TCK[2:0]ビットを切り替えて、カウントソースの 1 サイクル分待機してください。

CKS[2:0]ビット（AGTLCLK カウントソースクロック分周比）

CKS[2:0]ビットで AGTLCLK カウントソースクロック分周比を選択します。

LPM ビット（低消費電力モード）

LPM ビットは低消費電力動作を設定します。これによって、特定の AGT レジスタへのアクセスに影響があります。低消費電力で動作させるには本ビットを 1 にしてください。

本ビットが 1 の場合、下記のレジスタへはアクセスしないでください。

- AGT/AGTCMA/AGTCMB/AGTCR

本ビットを 1 から 0 に切り替えた後は、最初のレジスタアクセスが以下のように制限されます。

- AGT レジスタから読み出す場合、AGT レジスタを 2 回読み出します。2 回目の読み出しデータのみが有効です。
- AGT、AGTCMA、AGTCMB、および AGTCR レジスタに書き込む場合、カウントソースクロックで 2 サイクル以上の余裕が必要です。
- AGT、AGTCMA、AGTCMB、および AGTCR レジスタに書き込まれた値を確認する場合
  - カウント動作の停止時：データ書き込み後、次のサイクルで読み出し可能です。
  - カウント動作の実行中：データ書き込み後、カウントソースクロックの 4 サイクル後に読み出し可能です。

図 23.2 に LPM ビットに書き込む方法のフローチャートを示します。

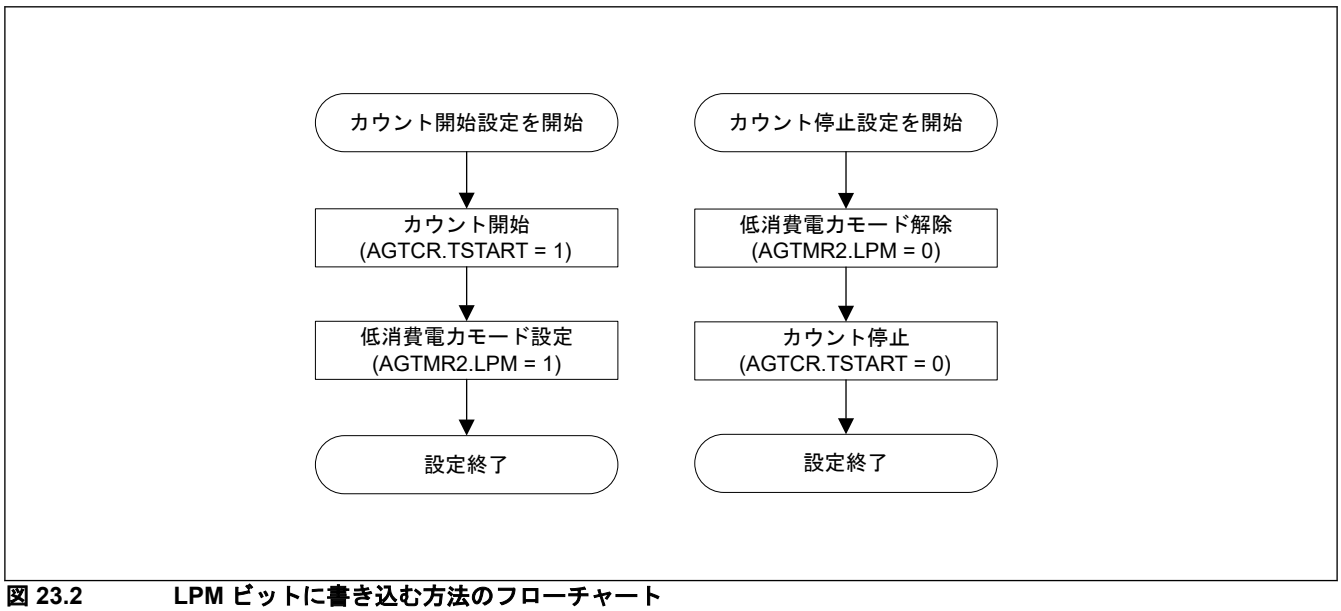


図 23.2 LPM ビットに書き込む方法のフローチャート

23.2.7 AGTIOC : AGT I/O コントロールレジスタ

Base address: AGTW_Bn = 0x400E_8000 + 0x0100 × n (n = 0、1)

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIOGT[1:0]		TIPF[1:0]		—	TOE	—	TEDG SEL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TEDGSEL	I/O 極性切り替え 動作モードによって機能が異なります。表 23.3 と表 23.4 を参照してください。	R/W
1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
2	TOE	AGTWOn 出力許可 0: AGTWOn 端子出力を禁止 1: AGTWOn 端子出力を許可	R/W
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
5:4	TIPF[1:0]	入力フィルタ(注3) これらのビットは、AGTWIOn 端子入力用フィルタのサンプリング周波数を指定します。AGTWIOn 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。 0 0: フィルタなし 0 1: PCLKB でのフィルタサンプリング 1 0: PCLKB/8 でのフィルタサンプリング 1 1: PCLKB/32 でのフィルタサンプリング	R/W
7:6	TIOGT[1:0]	カウント制御(注1) (注2) 0 0: 常にイベントをカウントする 0 1: AGTWEEn 端子に指定された極性の期間に、イベントをカウントする その他: 設定禁止	R/W

注 1. AGTWEEn 端子を使用する場合、イベントをカウントするための極性は AGTISR レジスタの EEPS ビットで選択できます。
注 2. TIOGT[1:0]ビットは、イベントカウントモード時に限り有効です。
注 3. ソフトウェアスタンバイモード中にイベントカウントモード動作が実行される場合、デジタルフィルタ機能は使用できません。

TEDGSEL ビット（I/O 極性切り替え）

TEDGSEL ビットは AGTWOn 端子の出力極性および AGTWIOn 端子の入出力エッジと極性を切り替えます。

パルス出力モードでは、AGTWOn 端子の出力極性と AGTWIOn 端子の出力極性のみが制御されます。AGTWOn 端子出力と AGTWIOn 端子出力は、AGTMR1 レジスタに書き込みを行ったとき、または AGTCR レジスタの TSTOP ビットに 1 を書いたときに初期化されます。

TOE ビット（AGTWOn 出力許可）

TOE ビットは AGTOn 端子出力の禁止または許可を選択します。

TIPF[1:0]ビット（入力フィルタ）

TIPF[1:0]ビットは AGTIOn 端子入力用フィルタのサンプリング周波数を指定します。AGTIOn 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。

TIOGT[1:0]ビット（カウント制御）

TIOGT[1:0]ビットはイベントカウントを制御します。

表 23.3 AGTWIOn 端子の入出力エッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない
パルス出力モード	0: High で出力開始（初期レベル：High）：反転出力 1: Low で出力開始（初期レベル：Low）：通常出力
イベントカウントモード	0: 立ち上がりエッジでカウント 1: 立ち下がりエッジでカウント
パルス幅測定モード	0: Low レベル幅を測定 1: High レベル幅を測定
パルス周期測定モード	0: ある立ち上がりエッジから次の立ち上がりエッジまで測定 1: ある立ち下がりエッジから次の立ち下がりエッジまで測定

表 23.4 AGTWOn 端子の出力極性切り替え

動作モード	機能
全モード	0: 出力が Low（初期レベル：Low）で開始する通常出力 1: 出力が High（初期レベル：High）で開始する反転出力

23.2.8 AGTISR : AGT イベント端子選択レジスタ

Base address: AGTW_Bn = 0x400E_8000 + 0x0100 × n (n = 0、1)

Offset address: 0x11

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	EEPS	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
2	EEPS	AGTWEEn 極性選択 0: Low の期間、イベントをカウントする 1: High の期間、イベントをカウントする	R/W
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

EEPS ビット（AGTWEEn 極性選択）

EEPS ビットはカウントされるイベントの極性を選択します。

23.2.9 AGTCMSR : AGT コンペアマッチ機能選択レジスタ

Base address: AGTW_Bn = 0x400E_8000 + 0x0100 × n (n = 0、1)

Offset address: 0x12

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	TOPOLB	TOEB	TCMEB	—	TOPOLA	TOEA	TCMEA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCMEA	AGT コンペアマッチ A レジスタ有効(注1) (注2) (注3) 0: AGT コンペアマッチ A レジスタを無効 1: AGT コンペアマッチ A レジスタを有効	R/W
1	TOEA	AGTWOAn 端子出力許可(注1) (注2) 0: AGTWOAn 端子出力を禁止 1: AGTWOAn 端子出力を許可	R/W
2	TOPOLA	AGTWOAn 端子極性選択(注1) (注2) 0: AGTWOAn 端子出力を Low で開始：通常出力 1: AGTWOAn 端子出力を High で開始：反転出力	R/W
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	TCMEB	AGT コンペアマッチ B レジスタ有効(注1) (注2) (注3) 0: AGT コンペアマッチ B レジスタを無効 1: AGT コンペアマッチ B レジスタを有効	R/W
5	TOEB	AGTWOBn 端子出力許可(注1) (注2) 0: AGTWOBn 端子出力を禁止 1: AGTWOBn 端子出力を許可	R/W

ビット	シンボル	機能	R/W
6	TOPOLB	AGTWOBn 端子極性選択(注1) (注2) 0: AGTWOBn 端子出力を Low で開始：通常出力 1: AGTWOBn 端子出力を High で開始：反転出力	R/W
7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. カウント動作中は、AGTCMSR レジスタを書き換えないでください。AGTCMSR レジスタは、AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0（カウント停止）の場合にのみ書き換えてください。
注 2. パルス幅測定モードまたはパルス周期測定モード中は、1 にしないでください。
注 3. AGTCR レジスタの TSTOP ビットに 1 を書くと、TCMEA ビットおよび TCMEB ビットは強制停止し、0 になります。

23.2.10 AGTIOSEL : AGT 端子選択レジスタ

Base address: AGTW_Bn = 0x400E_8000 + 0x0100 × n (n = 0、1)

Offset address: 0x13

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TIES	—	—	—	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	TIES	AGTWIOn 端子入力許可 0: ソフトウェアスタンバイモード中、外部イベント入力を禁止 1: ソフトウェアスタンバイモード中、外部イベント入力を許可	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ソフトウェアスタンバイモード時に AGTWIOn 端子を使用する場合、AGTIOSEL レジスタで AGTWIOn 端子の設定を行います。

TIES ビット（AGTWIOn 端子入力許可）

TIES ビットは外部イベント入力を許可または禁止します。

23.3 動作説明

23.3.1 リロードレジスタおよびカウンタの書き換え動作

動作モードにかかわらず、リロードレジスタとカウンタへの書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値、および AGTCMSR レジスタの TCMEA または TCMEB ビット値によって異なります。
TSTART ビットが 0（カウント停止）の場合、カウント値がリロードレジスタとカウンタに直接書き込まれます。
TSTART ビットが 1（カウント開始）で、かつ TCMEA および TCMEB ビットが 0（AGT コンペアマッチ A/B レジスタが無効）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、次のカウントソースと同期してカウンタに書き込まれます。TSTART ビットが 1（カウント開始）で、かつ TCMEA または TCMEB ビットが 1（AGT コンペアマッチ A/B レジスタが有効）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してカウンタに書き込まれます。

TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミングを図 23.3 および図 23.4 に示します。

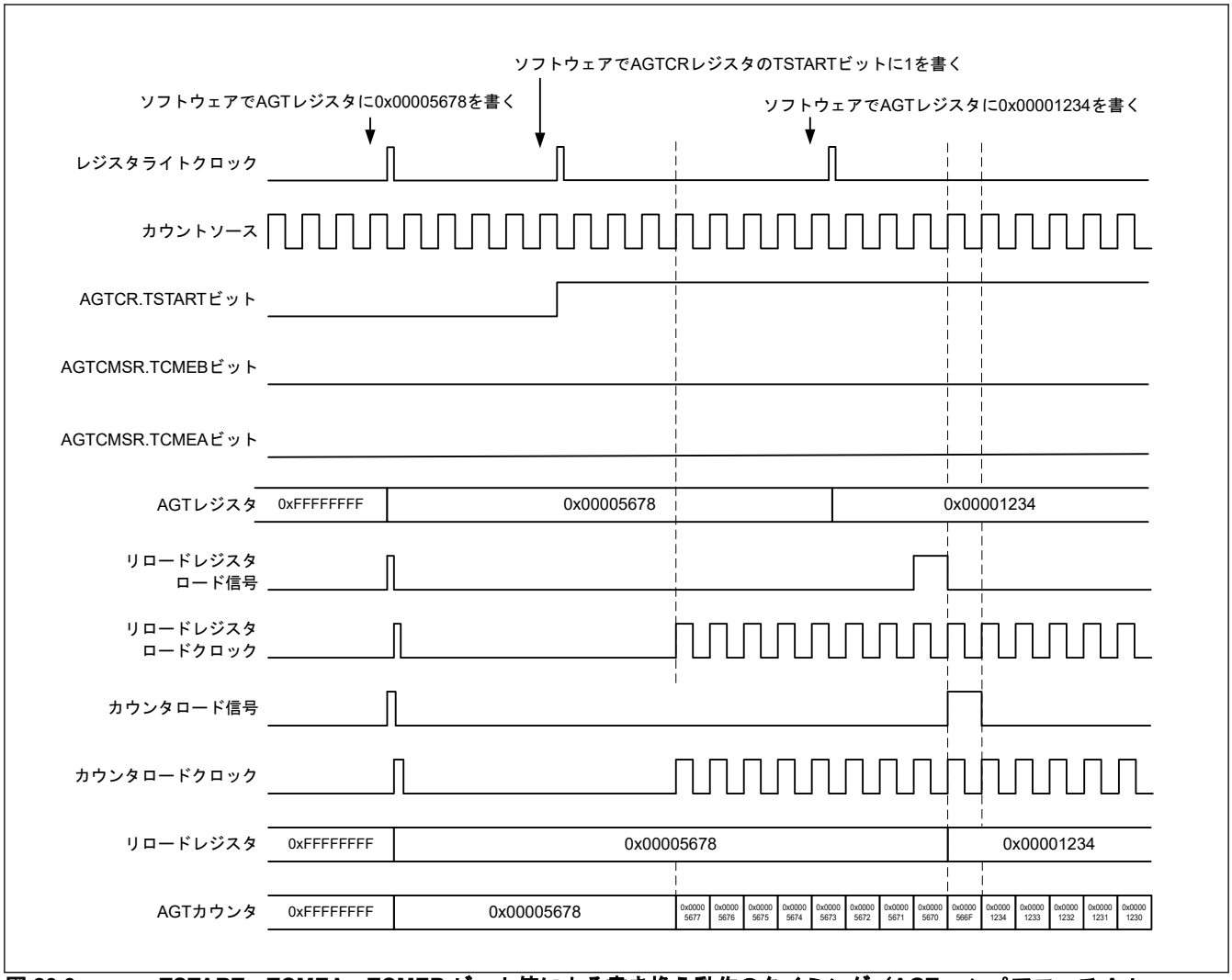


図 23.3 TSTART、TCMEA、TCMEB ビット値による書き換え動作のタイミング（AGT コンペアマッチ A レジスタと AGT コンペアマッチ B レジスタが無効の場合）

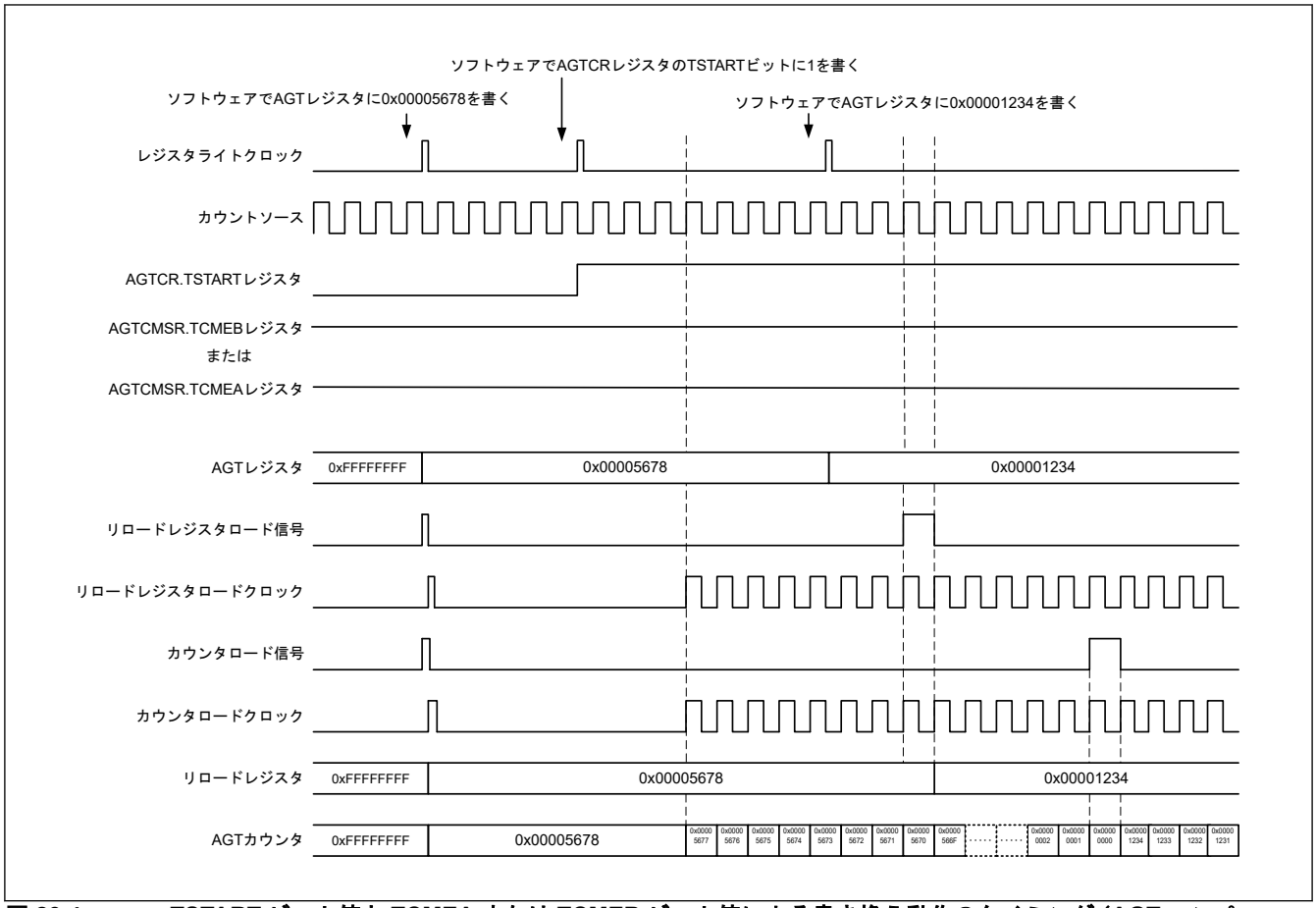


図 23.4 TSTART ビット値と TCMEA または TCMEB ビット値による書き換え動作のタイミング（AGT コンペアマッチ A レジスタまたは AGT コンペアマッチ B レジスタが有効の場合）

23.3.2 リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作

動作モードにかかわらず、リロードレジスタと AGT コンペアレジスタ A/B への書き換え動作のタイミングは、AGTCR レジスタの TSTART ビットの値によって異なります。TSTART ビットが 0（カウント停止）の場合、カウント値がリロードレジスタと AGT コンペアレジスタ A/B に直接書き込まれます。TSTART ビットが 1（カウント開始）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してコンペアレジスタに書き込まれます。

TSTART ビット値によるコンペアレジスタ A への書き換え動作のタイミングを図 23.5 に示します。AGT コンペアレジスタ B の場合も AGT コンペアレジスタ A と同じです。

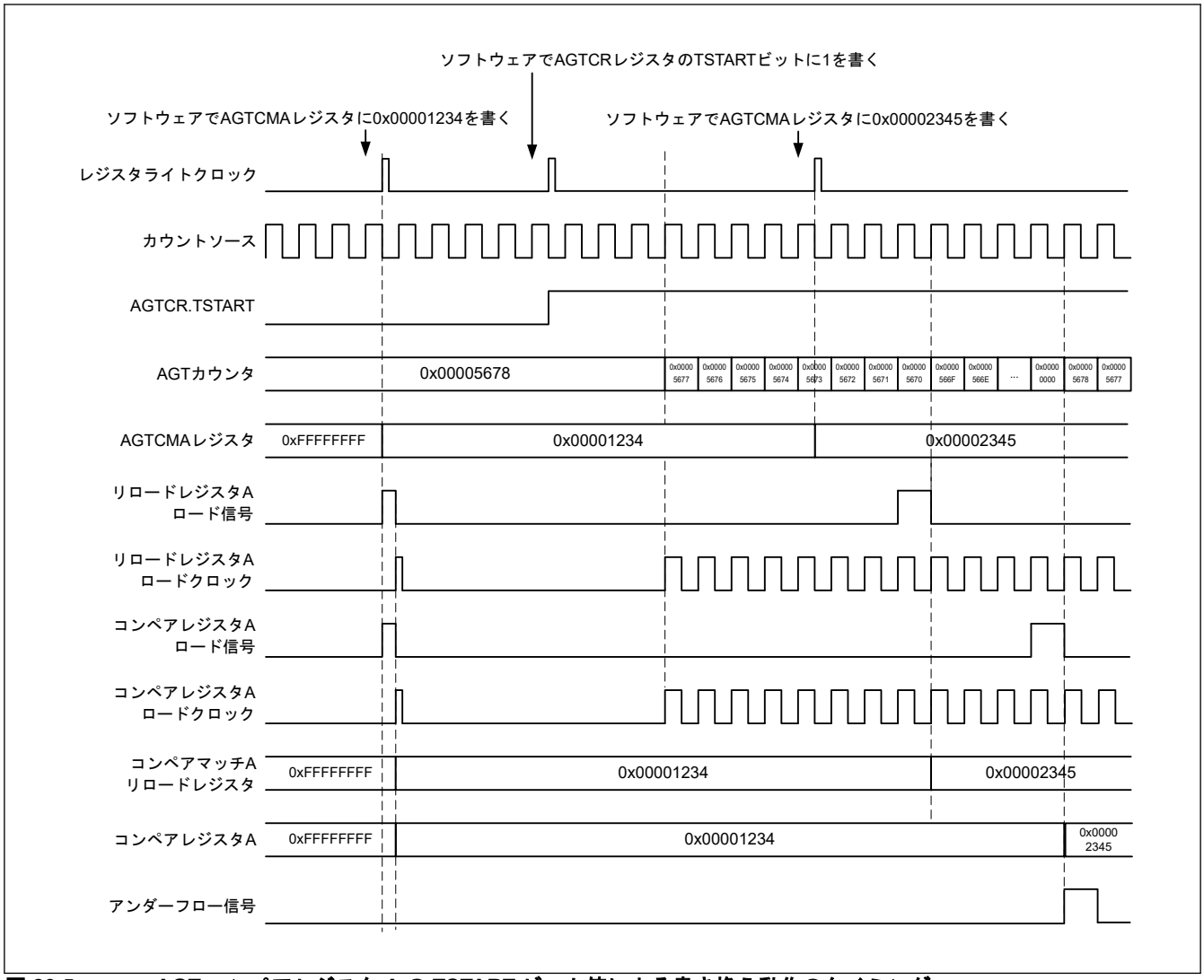


図 23.5 AGT コンペアレジスタ A の TSTART ビット値による書き換え動作のタイミング

23.3.3 タイマモード

タイマモードでは、AGT カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。タイマモードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。AGT レジスタのカウント値が 0x00000000 に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。

図 23.6 にタイマモードでの動作例を示します。

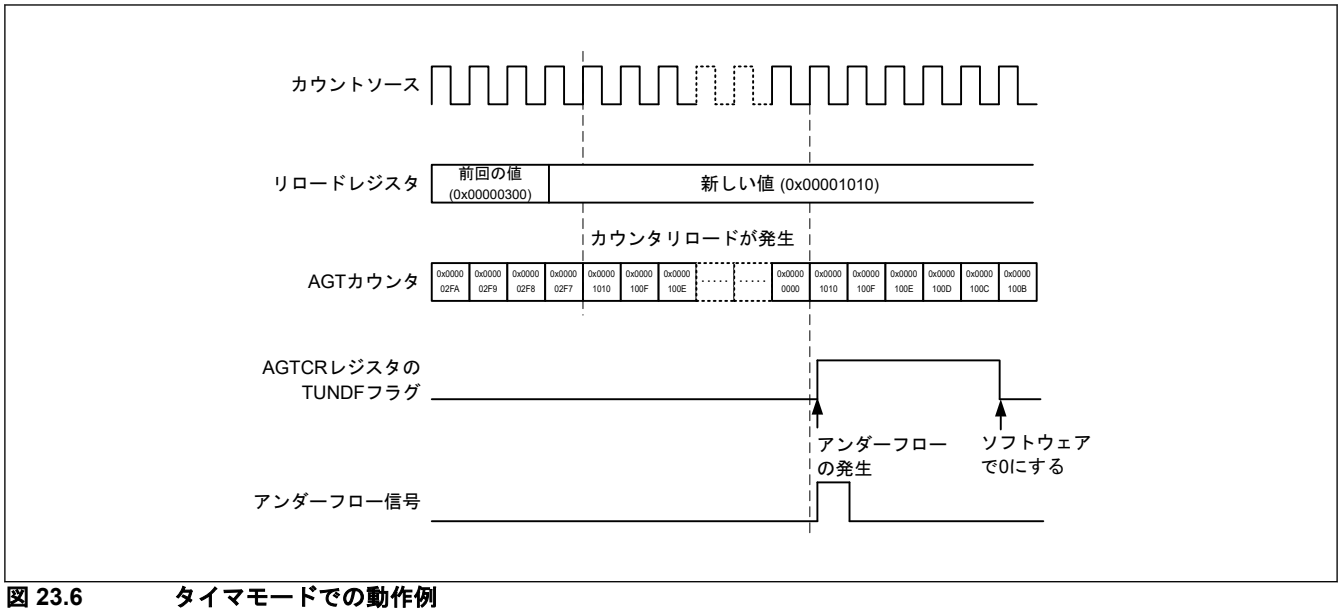


図 23.6 タイマモードでの動作例

23.3.4 パルス出力モード

パルス出力モードでは、カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントし、アンダーフローが発生するたびに AGTWIOn および AGTOn 端子の出力レベルは反転します。

パルス出力モードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0x00000000 に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。さらに、AGTWIOn および AGTOn 端子からパルスを出力できます。その出力レベルは、アンダーフローが発生するたびに反転します。AGTWOn 端子からのパルス出力は、AGTIOC レジスタの TOE ビットで停止できます。出力レベルは、AGTIOC レジスタの TEDGSEL ビットで選択できます。

パルス出力モードでの動作例を図 23.7 に示します。

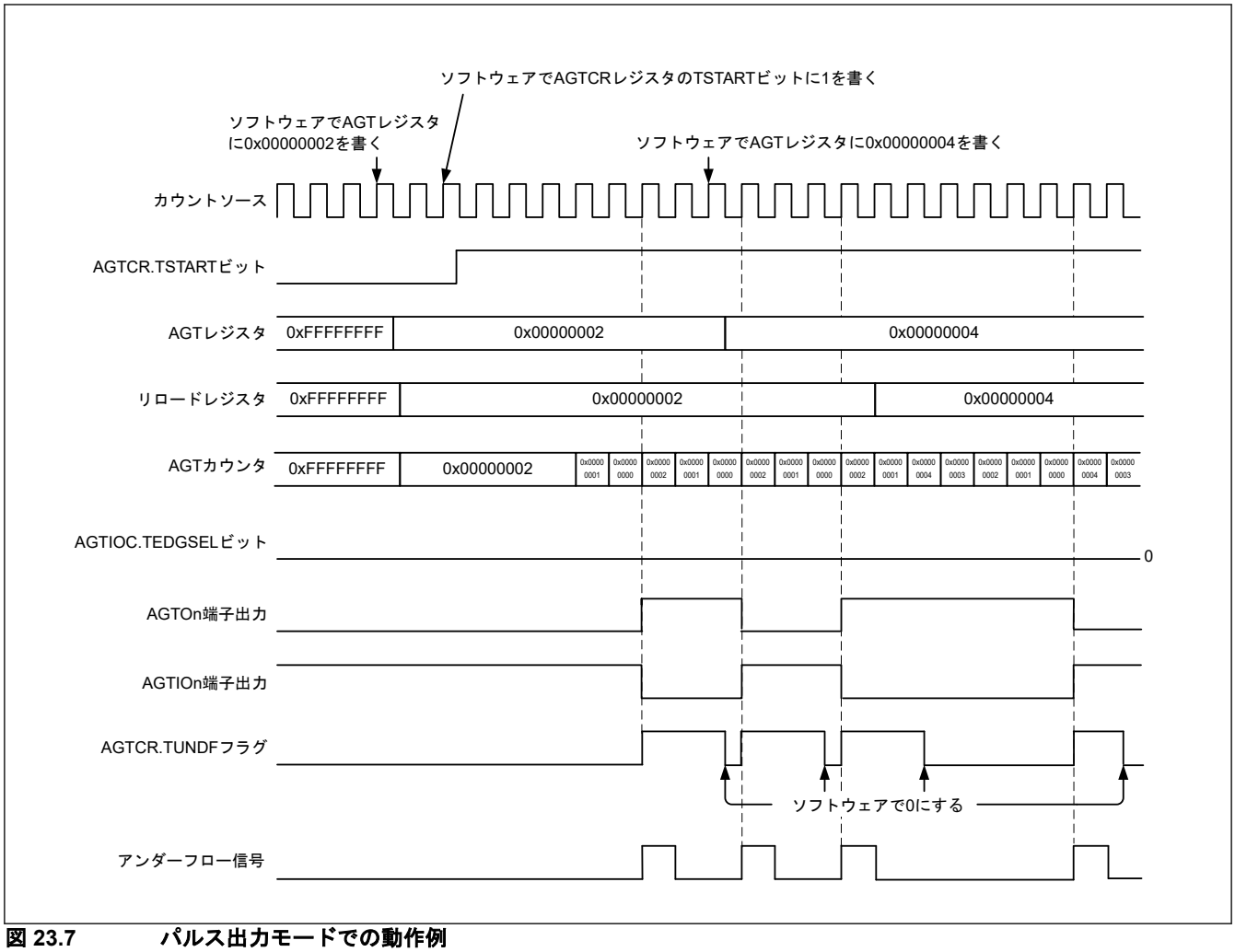


図 23.7 パルス出力モードでの動作例

23.3.5 イベントカウンタモード

イベントカウンタモードでは、カウンタは AGTWIOn 端子への外部イベント信号（カウントソース）入力によってデクリメントします。イベントをカウントする期間は、AGTIOC レジスタの TIOGT[1:0]ビットと AGTISR レジスタによってさまざまな設定が可能です。さらに、AGTIOC レジスタの TIPF[1:0]ビットによって、AGTWIOn 端子入力用のフィルタ機能を指定できます。イベントカウンタモードでも、AGTWOn 端子からトグル出力が可能です。

イベントカウンタモードでの動作例を図 23.8 に示します。

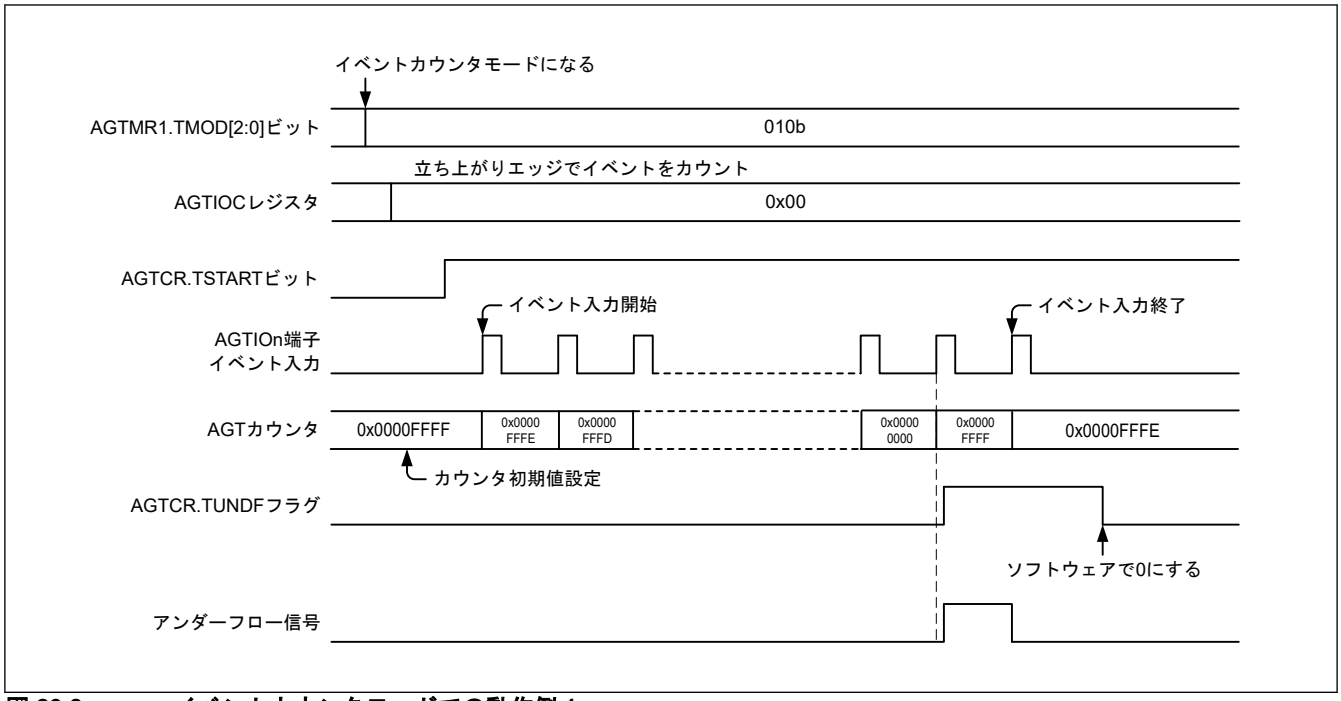
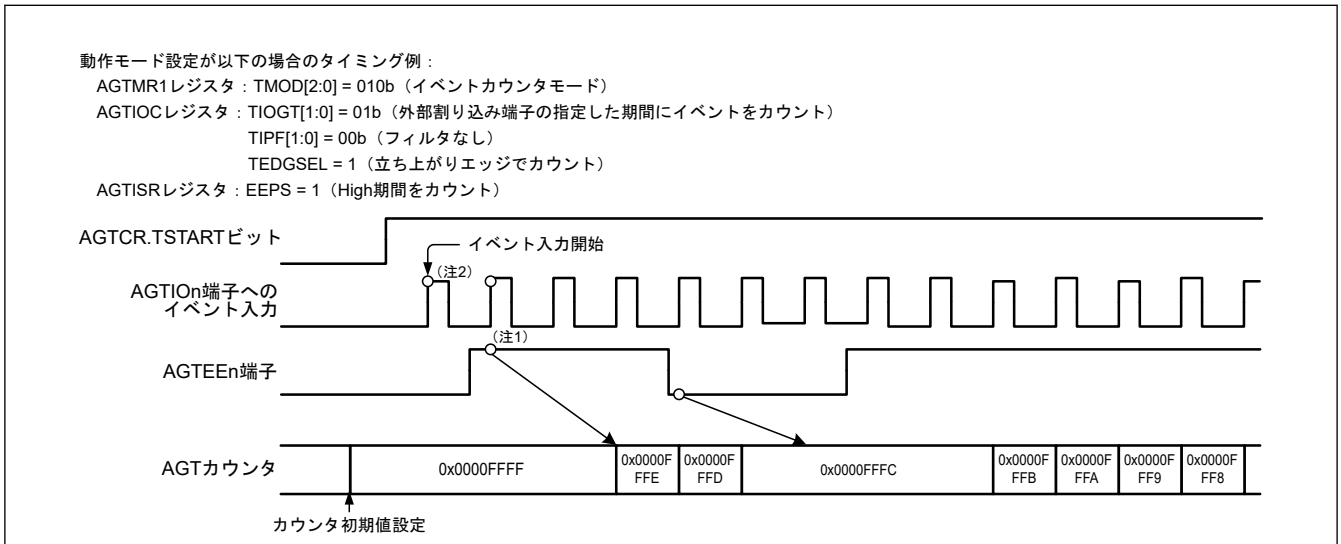


図 23.8　イベントカウンタモードでの動作例 1

イベントカウンタモード時に、指定された期間にイベントがカウントされるように（AGTIOC レジスタの TIOGT[1:0]ビットを 01b に設定）した場合の動作例を図 23.9 に示します。



注 1.　同期制御のため、カウント動作が変更されるまでに、カウントソースの 2 サイクル分遅延が生じます。AGTWEEn とサンプリングクロックの位相差によって、カウント開始のタイミングが 1 サイクル分ずれる可能性があります。

注 2.　カウント停止前の状態によっては、カウント開始直後のカウントソースの 2 サイクル中にカウント動作が実行される場合があります。
カウント開始直後の 2 サイクル中のカウント動作を無効にするには、AGTCR レジスタの TSTOP ビットに 1 を書き込んで内部回路を初期化した後、動作設定を終えてからカウント動作を開始します。

図 23.9　イベントカウンタモードでの動作例 2

23.3.6　パルス幅測定モード

パルス幅測定モードでは、AGTWIOn 端子に入力される外部信号のパルス幅を測定します。AGTIOC レジスタの TEDGSEL ビットで指定したレベルが AGTWIOn 端子に入力されると、カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。指定した AGTWIOn 端子レベルが終了すると、カウンタは停止して、AGTCR レジスタの TEDGF フラグが 1（アクティブエッジ受信）になり、割り込み要求が発生します。カウンタの停止中にカウント値を読み出すことで、パルス幅データが測定されます。ま

た、測定中にカウンタがアンダーフローすると、AGTCR レジスタの TUNDF フラグが 1 になり、割り込み要求が発生します。

図 23.10 にパルス幅測定モードでの動作例を示します。

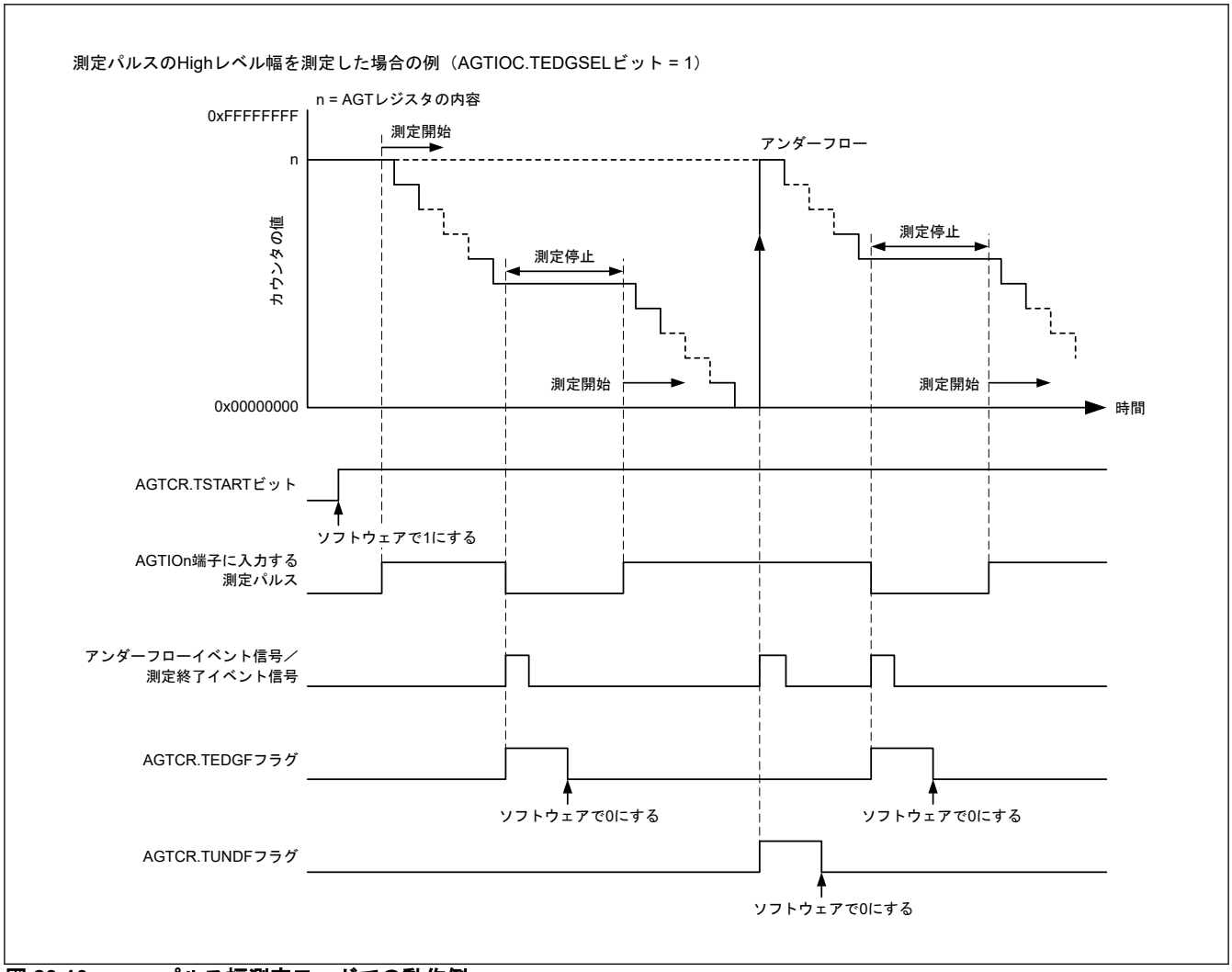


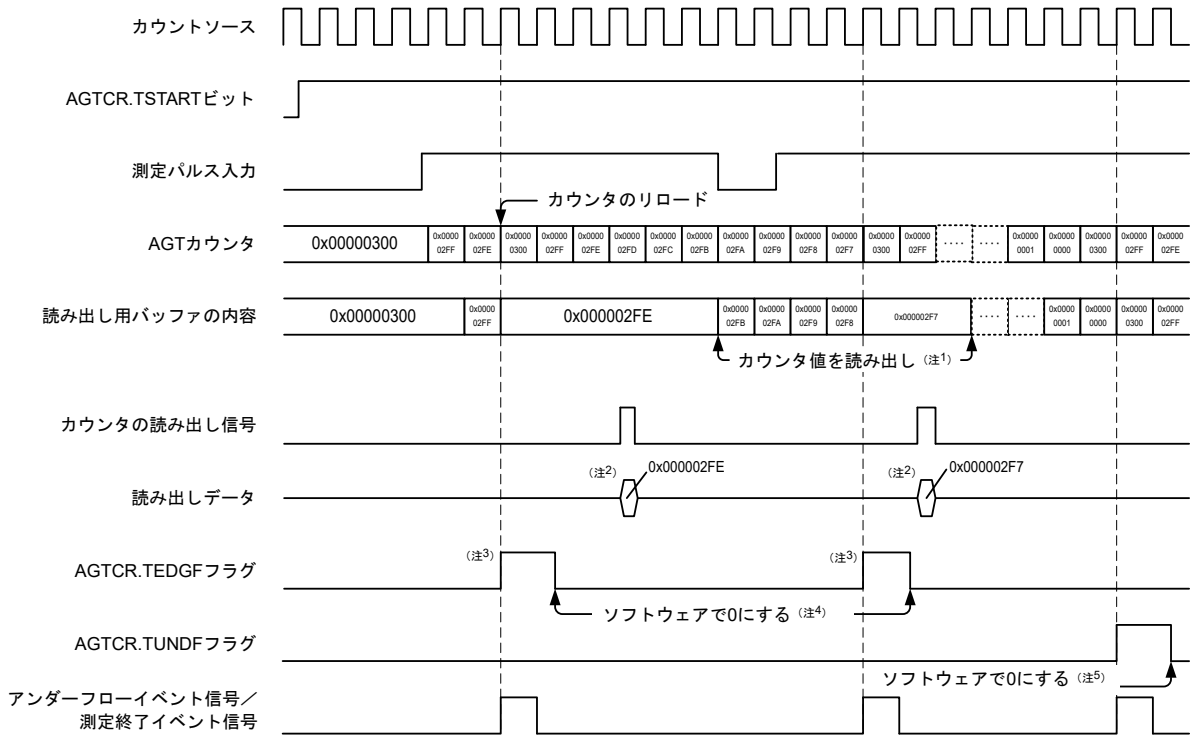
図 23.10　パルス幅測定モードでの動作例

23.3.7　パルス周期測定モード

パルス周期測定モードでは、AGTWIOn 端子に入力される外部信号のパルス周期を測定します。カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。AGTIOC レジスタの TEDGSEL ビットで指定した周期のパルスが AGTWIOn 端子に入力されると、カウント値が、カウントソースの立ち上がりエッジで読み出しバッファに転送されます。リロードレジスタの値は、次の立ち上がりエッジでカウンタにロードされます。同時に、AGTCR レジスタの TEDGF フラグが 1（アクティブエッジ受信）になり、割り込み要求が発生します。この時点で読み出しバッファ（AGT レジスタ）が読み出され、リロード値（「23.4.6. イベント番号、パルス幅およびパルス周期の計算方法」を参照）との差が入力パルスの周期データとなります。この周期データは、読み出しバッファが読み出されるまで保持されます。カウンタがアンダーフローすると、AGTCR レジスタの TUNDF フラグが 1（アンダーフロー）になり、割り込み要求が発生します。

パルス周期測定モードでの動作例を図 23.11 に示します。

カウントソース周期の 2 倍よりも長い周期を持つ入力パルスのみが測定されます。また、Low 幅と High 幅は、両方ともカウントソースの周期より長くなければいけません。これらの条件よりも短いパルス周期が入力されると、その入力は無視される場合があります。



この例は、AGTレジスタの初期値がA、AGTIOCレジスタのTEDGSELビットが0に設定され、
測定パルスの1つの立ち上がりエッジから次のエッジまでの期間が測定される場合に適用されます。

注 1. AGT レジスタからの読み出しは、TEDGF フラグが 1（アクティブエッジ受信）になってから、次のアクティブエッジが入力されるまでの期間に行う必要があります。読み出しバッファの内容は、AGT レジスタが読み出されるまで保持されます。アクティブエッジが入力される前に読み出さないと、前の周期の測定結果が保持されます
注 2. パルス周期測定モードで AGT レジスタを読み出すと、読み出しバッファの内容が読み出されます。
注 3. 測定パルスのアクティブエッジが入力された後に、外部パルスの設定エッジが入力された場合、AGTCR レジスタの TEDGF フラグが 1（アクティブエッジ受信）になります。
注 4. ソフトウェアによって 0 にするには、8 ビットのメモリ操作命令によって AGTCR レジスタの TEDGF フラグに 0 を書き込んでください。
注 5. ソフトウェアによって 0 にするには、8 ビットのメモリ操作命令によって AGTCR レジスタの TUNDF フラグに 0 を書き込んでください。

図 23.11 パルス周期測定モードでの動作例

23.3.8 コンペアマッチ機能

コンペアマッチ機能は、AGTCMA/AGTCMB レジスタの内容と AGT レジスタの内容の一致（コンペアマッチ）を検出します。この機能は、AGTCMSR レジスタの TCMEA または TCMEB ビットが 1（コンペアマッチ A/B レジスタが有効）の場合に有効となります。カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。AGT の値と AGTCMA/AGTCMB の値が一致した場合、AGTCR レジスタの TCMAF/TCMBF フラグが 1（一致）になり、割り込み要求が発生します。

コンペアマッチ機能が有効の場合、リロードレジスタとカウンタでは、書き換え動作のタイミングが異なります。詳細は、「23.3.1. リロードレジスタおよびカウンタの書き換え動作」を参照してください。また、AGTWOAn および AGTWOBn 端子の出力レベルは、一致およびアンダーフローによって反転します。出力レベルは、AGTCMSR レジスタの TOPOLA または TOPOLB ビットで選択できます。

図 23.12 にコンペアマッチ機能の動作例を示します。

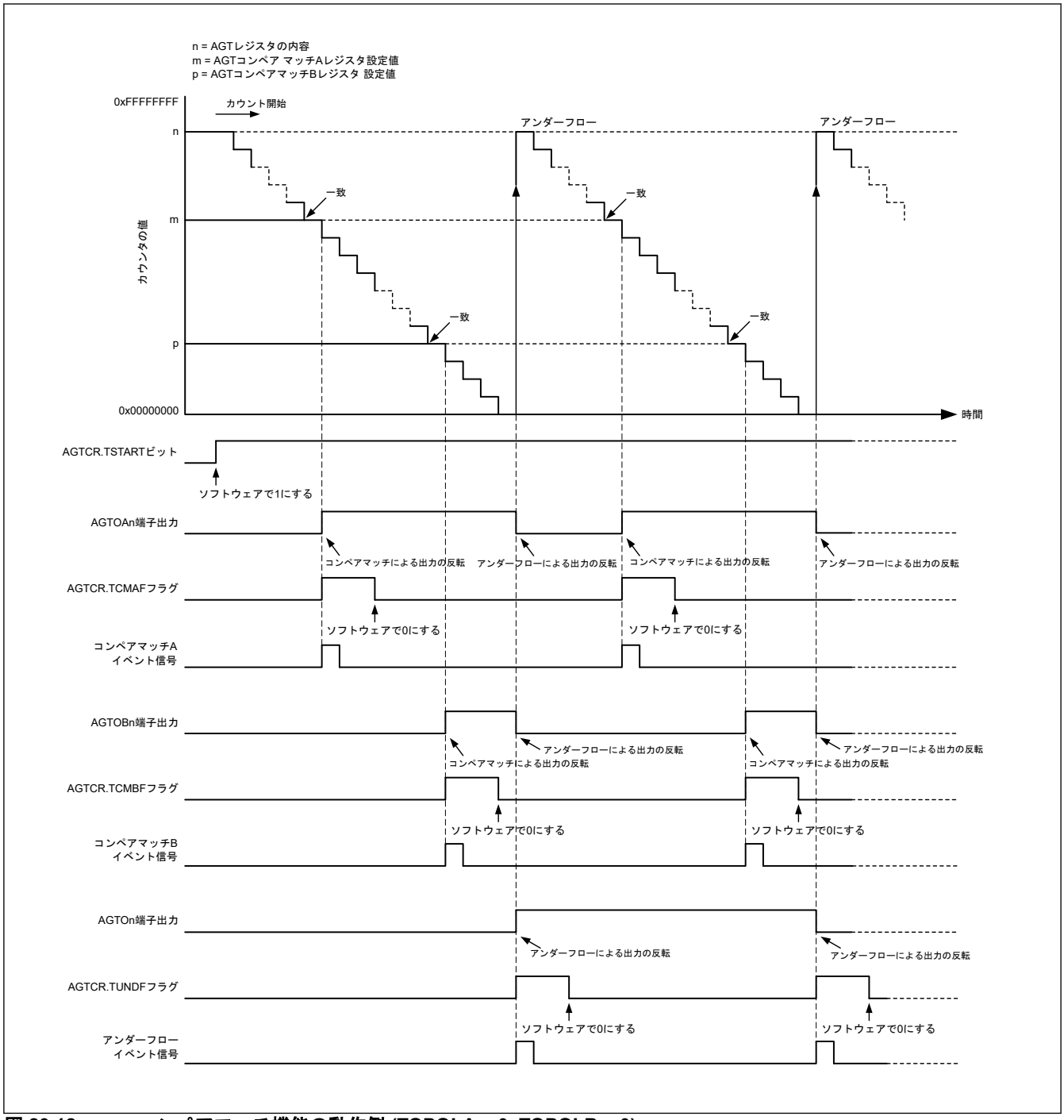


図 23.12　コンペアマッチ機能の動作例 (TOPOLA = 0, TOPOLB = 0)

23.3.9　各モードの出力設定

表 23.5～表 23.8 に各モードでの AGTWOn、AGTWIOn、AGTWOAn および AGTWOBn 端子の状態を示します。

表 23.5　AGTWOn 端子の設定

動作モード	AGTIOC レジスタ		AGTWOn 端子出力
	TOE ビット	TEDGSEL ビット	
全モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止

表 23.6 AGTWIOn 端子の設定

動作モード	AGTIOC レジスタ TEDGSEL ビット	AGTWIOn 端子入出力
タイマモード	0 または 1	入力（使用しない）
パルス出力モード	1	通常出力
	0	反転出力
イベントカウントモード	0 または 1	入力
パルス幅測定モード		
パルス周期測定モード		

表 23.7 AGTWOAn 端子の設定

動作モード	AGTCMSR レジスタ TOEA ビット	AGTCMSR レジスタ TOPOLA ビット	AGTWOAn 端子出力
タイマモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
イベントカウントモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

表 23.8 AGTWOBn 端子の設定

動作モード	AGTCMSR レジスタ TOEB ビット	AGTCMSR レジスタ TOPOLB ビット	AGTWOBn 端子出力
タイマモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
イベントカウントモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

23.3.10 スタンバイモード

AGT はソフトウェアスタンバイモードで動作可能です。カウント動作開始（TSTART = 1 および TCSTF = 1）の状態で、ソフトウェアスタンバイモードに設定してください。

表 23.9 と表 23.10 にソフトウェアスタンバイモードで使用可能な設定を示します。

表 23.9 ソフトウェアスタンバイモードで使用可能な AGTW0 の設定

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPU 復帰要因
タイマモード	100b	AGTLCLK	–
パルス出力モード	100b	AGTLCLK	–
イベントカウントモード	–	AGTWIOn (n = 0)(注1)	–
パルス幅測定モード	100b	AGTLCLK	–
パルス周期測定モード	100b	AGTLCLK	–

注. –（無効）
注 1. ソフトウェアスタンバイモードで AGTWIOn 端子を外部イベント入力として使用する場合は、AGTIOSEL.TIES = 1 に設定する必要があります。

表 23.10 ソフトウェアスタンバイモードで使用可能な AGTW1 の設定

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPU 復帰要因
タイマモード	100b または 101b(注1)	AGTLCLK または AGTW0 アンダーフロー	• アンダーフロー • コンペアマッチ A/B
パルス出力モード	100b または 101b(注1)	AGTLCLK または AGTW0 アンダーフロー	• アンダーフロー • コンペアマッチ A/B
イベントカウントモード	–	AGTWIOn (n = 1)(注2)	• アンダーフロー • コンペアマッチ A/B
パルス幅測定モード	100b または 101b(注1)	AGTLCLK または AGTW0 アンダーフロー	• アンダーフロー • アクティブエッジ
パルス周期測定モード	100b または 101b(注1)	AGTLCLK または AGTW0 アンダーフロー	• アンダーフロー • アクティブエッジ

注. –（無効）
注. ソフトウェアスタンバイモードの解除ができるのは AGT1 のみです。
注. コンペアマッチ A/B はソフトウェアスタンバイモードからの CPU 復帰要因です。
注 1. AGTW0 が表 23.9 の状態で動作している場合のみ。
注 2. ソフトウェアスタンバイモードで AGTWIOn 端子を外部イベント入力として使用する場合は、AGTIOSEL.TIES = 1 に設定する必要があります。

23.3.11 割り込み要因

AGTWn には、表 23.11 に示されるように、3 つの割り込み要因があります。

表 23.11 AGTW 割り込み要因

名称	割り込み要因	DMAC/DTC の起動
AGTn_AGTI	• カウンタがアンダーフローしたとき • パルス幅測定モードで外部入力端子 (AGTWIOn) のアクティブ幅の測定が終了したとき • パルス周期測定モードで外部入力端子 (AGTWIOn) の設定エッジが入力されたとき	可能
AGTn_AGTCMAI	• AGT レジスタと AGTCMA レジスタの値が一致したとき	可能
AGTn_AGTCMBI	• AGT レジスタと AGTCMB レジスタの値が一致したとき	可能

注. チャネル番号 (n = 0、1)

23.3.12 イベントリンクコントローラ (ELC) へのイベント信号出力

AGTWn (n = 0、1) はイベントリンクコントローラ (ELC) により、割り込み要求をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。AGTWn (n = 0、1) は、コンペアマッチ A、コンペアマッチ B、およびアンダーフロー／測定完了信号をイベント信号として出力します。詳細は「17. イベントリンクコントローラ (ELC)」を参照してください。

23.4 使用上の注意事項

23.4.1 カウント動作の開始および停止制御

- 動作モード（表 23.1 を参照）がイベントカウントモードまたはカウントソースが AGTWn アンダーフローイベント信号 (TCK[2:0] = 101b) 以外に設定されている場合
  - カウント停止中に AGTCR レジスタの TSTART ビットに 1（カウント開始）を書き込んでも、AGTCR レジスタの TCSTF フラグは、カウントソースの 3 サイクル間、0（カウント停止）のままです。TCSTF フラグが 1（カウント動作中）になるまで、TCSTF フラグ以外の AGTW 関連レジスタにはアクセスしないでください。
  - カウント動作中に TSTART ビットに 0（カウント停止）を書き込んでも、カウントソースの 3 サイクル中は、TCSTF フラグは 1 のままです。TCSTF フラグが 0 になったとき、カウントが停止します。TCSTF フラグが 0 になるまで、TCSTF フラグ以外の AGTW 関連レジスタにはアクセスしないでください。

- 動作モード（表 23.1 を参照）がイベントカウントモードまたはカウントソースが AGTW1 アンダーフローイベント信号 (TCK[2:0] = 101b) に設定されている場合
  - カウント停止中に AGTCR レジスタの TSTART ビットに 1（カウント開始）を書き込んでも、AGTCR レジスタの TCSTF フラグは、PCLKB の 2 サイクル間、0（カウント停止）のままです。TCSTF フラグが 1（カウント動作中）になるまで、TCSTF フラグ以外の AGTW 関連レジスタにはアクセスしないでください。
  - カウント動作中に TSTART ビットに 0（カウント停止）を書き込んでも、PCLKB の 2 サイクル中は、TCSTF フラグは 1 のままです。TCSTF フラグが 0 になったとき、カウントが停止します。TCSTF フラグが 0 になるまで、TCSTF フラグ以外の AGTW 関連レジスタにはアクセスしないでください。

23.4.2 カウンタレジスタへのアクセス

AGTCR レジスタの TSTART ビットおよび TCSTF フラグがともに 1（カウント動作中）のときに、AGT レジスタへ連続してライトアクセスする場合には、カウントソースクロックの 3 サイクル以上待ってください。

23.4.3 モード変更時

AGT の動作モードに関連するレジスタ（AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR）は、TSTART ビットおよび TCSTF フラグがともに 0（カウント停止）になって、カウントが停止した場合にのみ変更可能です。カウント動作中は、これらのレジスタを変更しないでください。

AGT の動作モードに関連するレジスタが変更されると、TEDGF、TUNDF、TCMAF、および TCMBF フラグの値は不定となります。カウントを開始する前に、以下のフラグに 0 を書き込んでください。

- TEDGF（アクティブエッジ未受信）
- TUNDF（アンダーフローなし）
- TCMAF（不一致）
- TCMBF（不一致）

23.4.4 出力端子の設定

AGTWOn、AGTWIOn、AGTWOAn または AGTWOBn 端子を出力端子として使用する場合には、AGT を設定し、出力初期値が決まった後に PmnPFS.PMR ビットを 1 に設定してください。

パルス幅測定モードとパルス周期幅測定モードで AGTWIOn 端子を入力端子として使用する場合には、AGT を設定し、カウント動作開始後に、AGTWIOn 端子から外部イベントを入力してください。また、最初の測定は無効とし、2 回目以降の測定完了処理を有効としてください。

23.4.5 デジタルフィルタ

デジタルフィルタの使用時に、TIPF[1:0]ビットを設定した後、および AGTIOC レジスタの TEDGSEL ビットを変更した場合は、デジタルフィルタクロックの 5 サイクル内はタイマ動作を開始しないでください。

23.4.6 イベント番号、パルス幅およびパルス周期の計算方法

- イベントカウントモードでは、イベント番号が以下の式で求められます。
  イベント番号＝カウンタ[AGT レジスタ]の初期値－アクティブイベント終了のカウンタ値
- パルス幅測定モードでは、パルス幅が以下の式で求められます。
  パルス幅＝測定停止のカウンタ値－次の測定停止のカウンタ値
- パルス周期測定モードでは、入力パルス周期が以下の式で求められます。
  入力パルス周期＝（カウンタ[AGT レジスタ]の初期値－読み出しバッファの読み出し値）＋1

23.4.7 TSTOP ビットで強制的にカウントを停止した場合

AGTCR レジスタの TSTOP ビットでカウンタを強制的に停止した後、カウントソースの 1 サイクル間、下記のレジスタにアクセスしないでください。

- AGT
- AGTCMA
- AGTCMB
- AGTCR
- AGTMR1
- AGTMR2

23.4.8 カウントソースとして AGTW0 のアンダーフローイベント信号を選択した場合

カウントソースにアンダーフローイベント信号を選択する場合、以下の手順に従って動作させてください。

(1) 動作開始手順

1. AGTW を設定します。
2. AGTW1 のカウント動作を開始します（TSTART = 1 を書き込む）。
3. AGTW0 のカウント動作を開始します（TSTART = 1 を書き込む）。

(2) 動作停止手順

1. AGTW0 のカウント動作を停止します（TSTART = 0 を書き込む）。
2. AGTW1 のカウント動作を停止します（TSTART = 0 を書き込む）。
3. AGTW1 のクロック供給を停止します（TCK[2:0] = 000b を書き込む）。

23.4.9 モジュールストップ機能

モジュールストップコントロールレジスタ D（MSTPCRD）によって、AGTW の動作を許可または禁止することが可能です。AGTW モジュールは、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「10. 低消費電力モード」を参照してください。

23.4.10 ソースクロックの切り替え時

SCKSCR.CKSEL[2:0]を書き換えてクロックソースの切り替えを行う際に、セレクタからのクロック出力を切り替え後のクロック 4 サイクル分停止します。そのため、AGTWIOn、AGTWEEn の一方または両方の入力を外部イベント入力として使う際は、クロックソースを切り替えないでください。外部イベント入力を使いながらクロックソースを切り替えるときは、入力パルス幅を切り替え後のクロックで 4 サイクル分延長してください。

24. ウォッチドッグタイマ (WDT)

24.1 概要

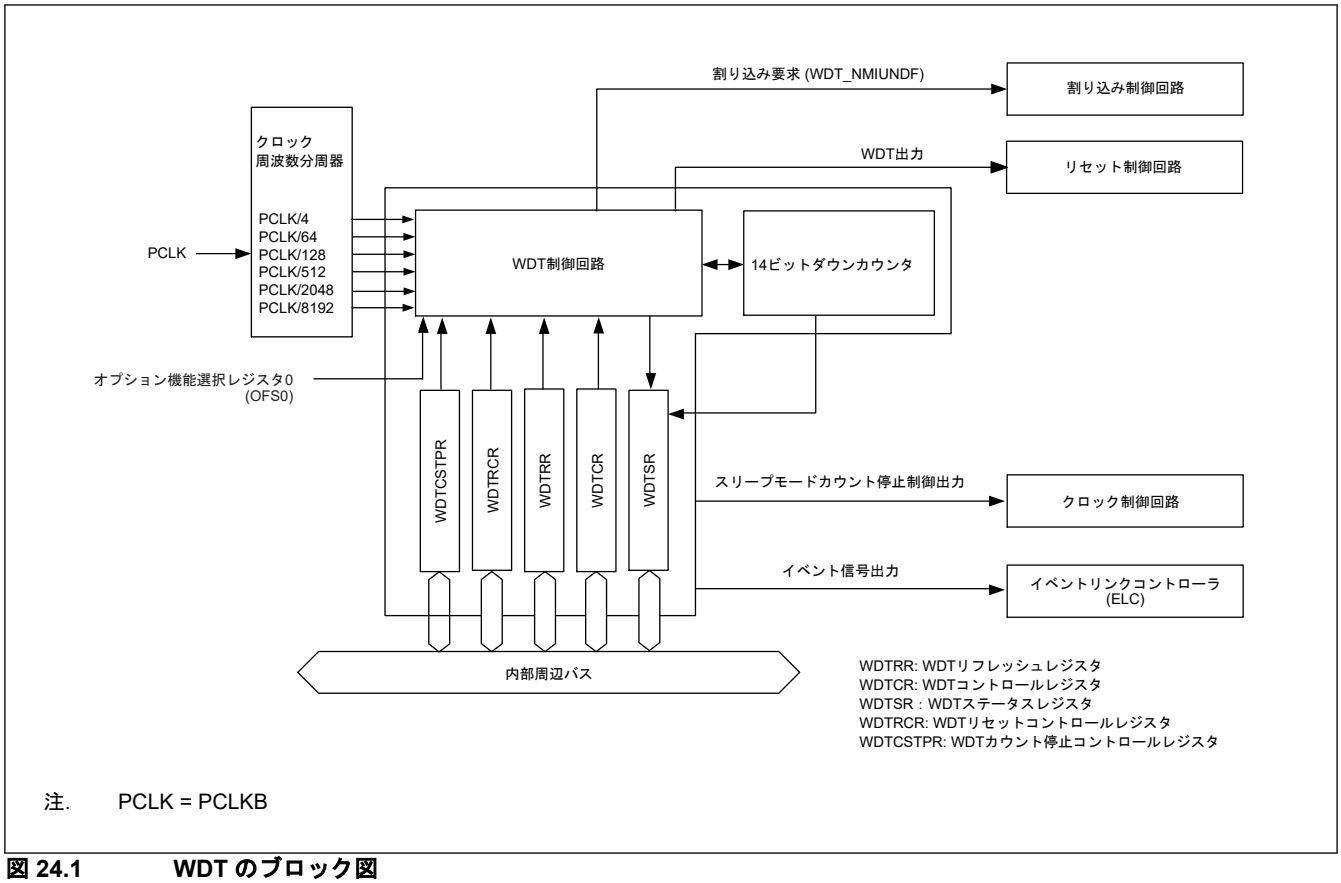
ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットすることができます。さらに、ノンマスカブル割り込みやアンダーフロー割り込み、を発生させるためにも使用できます。

表 24.1 に WDT の仕様を、図 24.1 に WDT のブロック図を示します。

表 24.1 WDT の仕様

項目	内容
カウントソース(注1)	周辺クロック (PCLKB)
クロック分周比	4 分周／64 分周／128 分周／512 分周／2048 分周／8192 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	• オートスタートモード : リセット後、またはアンダーフロー／リフレッシュエラー発生後に自動的にカウント開始 • レジスタスタートモード : WDTRR レジスタへの書き込みによるリフレッシュ動作でカウント開始 • セキュアデベロッパーのみがオートスタートモードまたはレジスタスタートモードを選択可能
カウント停止条件	• リセット（ダウンカウンタおよび他のレジスタが初期値に戻る） • カウンタのアンダーフローまたはリフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能（リフレッシュ許可／禁止期間）
ウォッチドッグタイマリセット要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
ノンマスカブル割り込み／割り込み要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能（出力）	• ダウンカウンタアンダーフローイベント出力 • リフレッシュエラーイベント出力
出力信号（内部信号）	• リセット出力 • 割り込み要求出力 • スリープモードカウント停止制御出力
TrustZone フィルタ	セキュリティ属性を設定可能

注 1. 周辺モジュールクロック (PCLKB) 周波数 ≧ 4 ×（カウントクロックソースの分周後周波数）となるように設定してください。



注. PCLK = PCLKB

図 24.1 WDT のブロック図

24.2 レジスタの説明

24.2.1 WDTRR : WDT リフレッシュレジスタ

Base address: WDT = 0x4008_3400

Offset address: 0x00

Bit position:	7							0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでダウンカウンタがリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間内に、WDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、WDT のダウンカウンタがリフレッシュされます。

オートスタートモードでは WDT タイムアウト期間選択ビット (OFS0.WDTTOPS[1:0]) で設定した値からダウンカウントがスタートします。レジスタスタートモードでは、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントがスタートします。

読み出し値は、0x00 を書き込んだ場合は 0x00 であり、0x00 以外の値を書き込んだ場合は 0xFF となります。リフレッシュ動作の詳細は、「24.3.3. リフレッシュ動作」を参照してください。

24.2.2 WDTCR : WDT コントロールレジスタ

Base address: WDT = 0x4008_3400

Offset address: 0x02

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
Value after reset:	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	機能	R/W
1:0	TOPS[1:0]	タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R/W
3:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7:4	CKS[3:0]	クロック分周比選択 0x1: PCLKB/4 0x4: PCLKB/64 0xF: PCLKB/128 0x6: PCLKB/512 0x7: PCLKB/2048 0x8: PCLKB/8192 その他: 設定禁止	R/W
9:8	RPES[1:0]	ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウ終了位置の設定なし）	R/W
11:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
13:12	RPSS[1:0]	ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウ開始位置の設定なし）	R/W
15:14	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

WDTCR レジスタは、レジスタスタートモード時のダウンカウンタがアンダーフローするまでのタイムアウト期間、クロック分周比、リフレッシュのウィンドウ開始／終了位置を設定するレジスタです。

WDTCR レジスタへの書き込みには、いくつかの制限があります。詳細は「24.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、WDTCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCR レジスタと同様の設定が可能です。詳細は、「24.3.8. オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係」を参照してください。

TOPS[1:0]ビット（タイムアウト期間選択）

TOPS[1:0]ビットはタイムアウト期間（ダウンカウンタがアンダーフローするまでの期間）を、CKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル／4096 サイクル／8192 サイクル／16384 サイクルから選択します。ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間（PCLKB サイクル数）は、CKS[3:0]ビットと TOPS[1:0]ビットの組み合わせで決定されます。

表 24.2 に、CKS[3:0]および TOPS[1:0]ビットの設定値、タイムアウト期間、および PCLKB サイクル数の関係を示します。

表 24.2　タイムアウト期間の設定

CKS[3:0]ビット	TOPS[1:0]ビット	クロック分周比	タイムアウト期間（サイクル数）	PCLKB クロックサイクル数
0x1	00b	PCLKB/4	1024	4096
	01b		4096	16384
	10b		8192	32768
	11b		16384	65536
0x4	00b	PCLKB/64	1024	65536
	01b		4096	262144
	10b		8192	524288
	11b		16384	1048576
0xF	00b	PCLKB/128	1024	131072
	01b		4096	524288
	10b		8192	1048576
	11b		16384	2097152
0x6	00b	PCLKB/512	1024	524288
	01b		4096	2097152
	10b		8192	4194304
	11b		16384	8388608
0x7	00b	PCLKB/2048	1024	2097152
	01b		4096	8388608
	10b		8192	16777216
	11b		16384	33554432
0x8	00b	PCLKB/8192	1024	8388608
	01b		4096	33554432
	10b		8192	67108864
	11b		16384	134217728

CKS[3:0]ビット（クロック分周比選択）

CKS[3:0]ビットはダウンカウンタで使用するクロックの分周比を設定します。分周比は、WDT カウントクロック (PCLKB) の 4 分周／64 分周／128 分周／512 分周／2048 分周／8192 分周から選択できます。TOPS[1:0]ビット設定と組み合わせて、WDT のカウント期間を PCLKB クロックの 4096～134217728 サイクルから選択できます。

RPES[1:0]ビット（ウィンドウ終了位置選択）

RPES[1:0]ビットはリフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0%から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

RPSS[1:0]ビット（ウィンドウ開始位置選択）

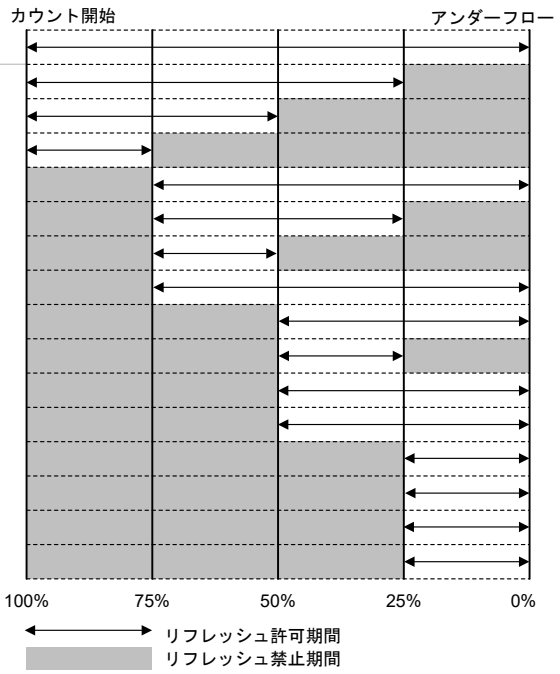
RPSS[1:0]ビットはリフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25%から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

表 24.3 にウィンドウ開始、終了位置のカウンタ値を、図 24.2 に RPSS[1:0]、RPES[1:0]、TOPS[1:0]ビットで設定されるリフレッシュ許可期間を示します。

表 24.3 タイムアウト期間とウィンドウ開始／終了カウンタ値の対応表

TOPS[1:0] ビット	タイムアウト期間		ウィンドウ開始／終了カウンタ値			
	サイクル数	カウンタ値	100%	75%	50%	25%
00b	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
01b	4096	0x0FFF	0x0FFF	0x0BFF	0x07FF	0x03FF
10b	8192	0x1FFF	0x1FFF	0x17FF	0x0FFF	0x07FF
11b	16384	0x3FFF	0x3FFF	0x2FFF	0x1FFF	0x0FFF

RPSS[1:0]ビット		RPES[1:0]ビット		ウィンドウ	
b13	b12	b9	b8	開始 (%)	終了 (%)
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75



注. ウィンドウ終了位置設定 ≧ ウィンドウ開始位置設定の場合、ウィンドウ終了位置設定は 0%になります。

図 24.2 RPSS[1:0]および RPES[1:0]ビットとリフレッシュ許可期間

24.2.3 WDTSR : WDT ステータスレジスタ

Base address: WDT = 0x4008_3400

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	REFEF	UNDF	CNTVAL[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウンタ値	R
14	UNDFF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフロー発生	R/W(注1)

ビット	シンボル	機能	R/W
15	REFEF	リフレッシュエラーフラグ 0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/W(注1)

注 1. フラグをクリアするための 0 書き込みのみ可能です。

WDTSR レジスタは、ダウンカウンタのカウンタ値表示、およびアンダーフロー、リフレッシュエラーの発生状態を表示するレジスタです。

CNTVAL[13:0]ビット（ダウンカウンタ値）

CNTVAL[13:0]ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDFF フラグ（アンダーフローフラグ）

UNDFF フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

UNDFF フラグのクリアには、(N+1) PCLKB サイクルを要します。さらに、アンダーフローの発生から (N+1) PCLKB サイクルの間は、このフラグをクリアしても無視されます。N は以下のように、WDTCR.CKS[3:0]ビットで指定されます。

- WDTCR.CKS[3:0] = 0x1 の時、N = 4
- WDTCR.CKS[3:0] = 0x4 の時、N = 64
- WDTCR.CKS[3:0] = 0xF の時、N = 128
- WDTCR.CKS[3:0] = 0x6 の時、N = 512
- WDTCR.CKS[3:0] = 0x7 の時、N = 2048
- WDTCR.CKS[3:0] = 0x8 の時、N = 8192

REFEF フラグ（リフレッシュエラーフラグ）

REFEF フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、(N+1) PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から (N+1) PCLKB サイクルの間は、このフラグをクリアしても無視されます。N は以下のように、WDTCR.CKS[3:0]ビットで指定されます。

- WDTCR.CKS[3:0] = 0x1 の時、N = 4
- WDTCR.CKS[3:0] = 0x4 の時、N = 64
- WDTCR.CKS[3:0] = 0xF の時、N = 128
- WDTCR.CKS[3:0] = 0x6 の時、N = 512
- WDTCR.CKS[3:0] = 0x7 の時、N = 2048
- WDTCR.CKS[3:0] = 0x8 の時、N = 8192

24.2.4 WDTRCR : WDT リセットコントロールレジスタ

Base address: WDT = 0x4008_3400

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RSTIRQS	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	RSTIRQS	WDT 動作選択 0: 割り込み 1: リセット	R/W

WDTRCR レジスタは、WDT のダウンカウンタのアンダーフローによるリセット出力、または割り込み要求出力の制御を行うレジスタです。

WDTRCR レジスタへの書き込みには、いくつかの制限があります。詳細は、「24.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、WDTRCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタと同様の設定が可能です。詳細は、「24.3.8. オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係」を参照してください。

24.2.5 WDTCSTPR : WDT カウント停止コントロールレジスタ

Base address: WDT = 0x4008_3400

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SLCSTP	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	SLCSTP	スリープモードカウント停止コントロールレジスタ 0: カウント停止を禁止 1: スリープモード遷移時にカウント停止	R/W

WDTCSTPR レジスタは、スリープモードにおいて、WDT カウンタを停止させるか否かを制御します。
WDTCSTPR レジスタへの書き込みには、いくつかの制限があります。詳細は、「24.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、WDTCSTPR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCSTPR レジスタと同様の設定が可能です。詳細は、「24.3.8. オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係」を参照してください。

SLCSTP ビット（スリープモードカウント停止コントロールレジスタ）

SLCSTP ビットはスリープモード遷移時に、カウントを停止させるかどうかを選択します。

24.2.6 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタの詳細は、「24.3.8. オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係」を参照してください。

24.3 動作説明

24.3.1 スタートモード別のカウント動作

WDT には、次の 2 つのスタートモードがあります。

- オートスタートモード：リセット状態の解除後、自動的にカウント開始
- レジスタスタートモード：レジスタへの書き込みによるリフレッシュでカウント開始

オートスタートモードでは、リセット状態の解除後、フラッシュメモリ内のオプション機能選択レジスタ 0 (OFS0) の設定に従って自動的にカウントを開始します。

レジスタスタートモードでは、リセット状態の解除後、各レジスタを設定してから WDTRR レジスタへの書き込みによるリフレッシュを行うと、カウントを開始します。

オートスタートモードまたはレジスタスタートモードの選択は、OFS0 レジスタの WDT スタートモード選択ビット (OFS0.WDTSTRT) で行います。

オートスタートモードを選択した場合、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

レジスタスタートモードを選択した場合、OFS0 レジスタの設定値は無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値が有効となります。

24.3.1.1 レジスタスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が 1 の場合、レジスタスタートモードが選択されて、OFS0 レジスタが無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) が有効となります。

リセット状態の解除後、以下の設定をしてください。

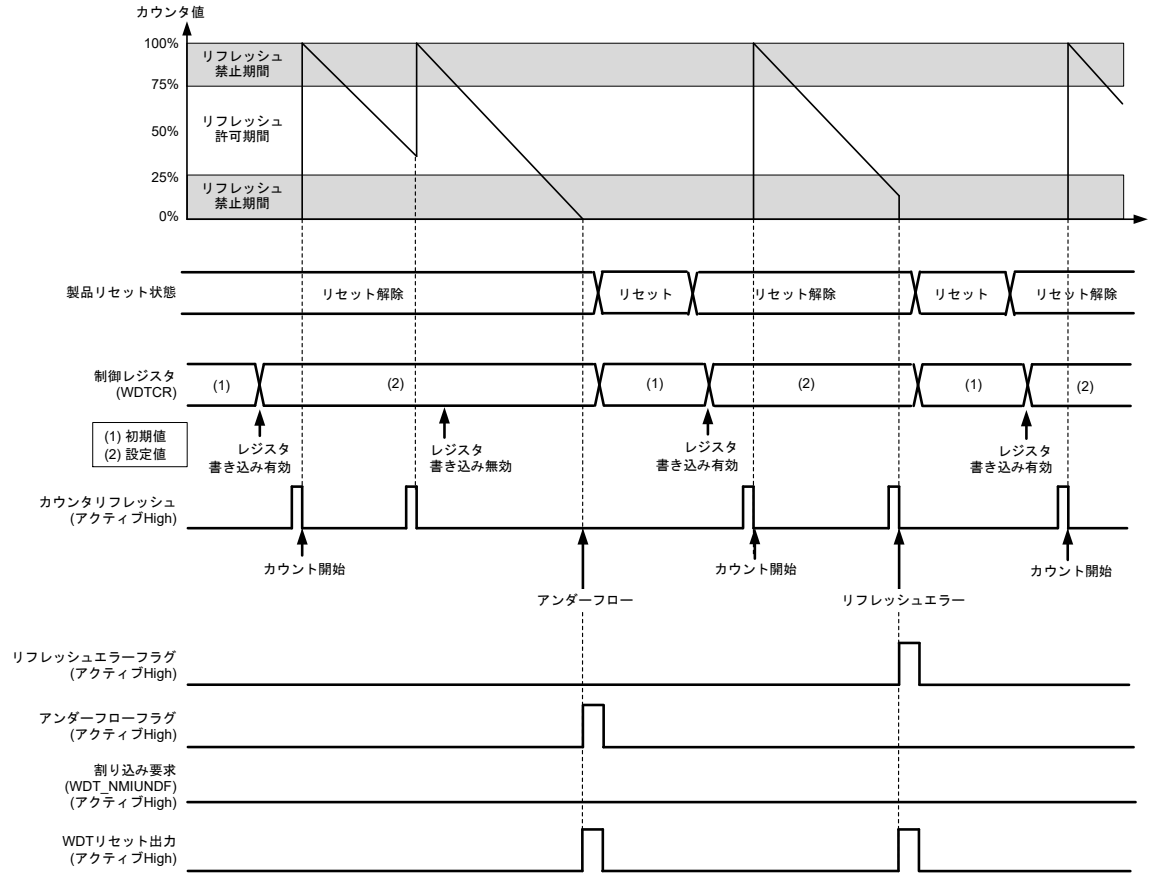
- WDTCR レジスタのクロック分周比
- WDTCR レジスタのウィンドウ開始／終了位置
- WDTCR レジスタにおいて、タイムアウト期間
- WDTRCR レジスタにおいて、リセット出力または割り込み要求出力
- WDTCSTPR レジスタでスリープモード遷移時のカウンタ停止制御

WDT リフレッシュレジスタ (WDTRR) がダウンカウンタをリフレッシュします。結果として、タイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求を出力しません。ただし、プログラムの暴走によってダウンカウンタのリフレッシュができないためにダウンカウンタがアンダーフローした場合、またはリフレッシュ許可期間外のカウンタのリフレッシュによってリフレッシュエラーが発生した場合、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力します。リセット出力または割り込み要求出力は、WDT リセット割り込み要求選択ビット (WDTRCR.RSTIRQS) で選択できます。ノンマスカブル割り込み要求を許可する割り込みは、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で選択できます。

図 24.3 に、下記の条件下での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- WDT リセット割り込み要求選択 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)



注. カウンタをリフレッシュするには、リフレッシュ要求からリフレッシュ実行まで最大 4 カウント信号サイクルを必要とします。

注 1. 「24.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。
リセット端子 = RES

図 24.3 レジスタスタートモードでの動作例

24.3.1.2 オートスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が 0 の場合、オートスタートモードが選択されます。WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が WDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始／終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- スリープモード遷移時のカウンタ停止制御

リセット状態が解除されると、WDT タイムアウト期間選択ビット (OFS0.WDTTOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、カウンタのリフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力しません。ただし、プログラムの暴走

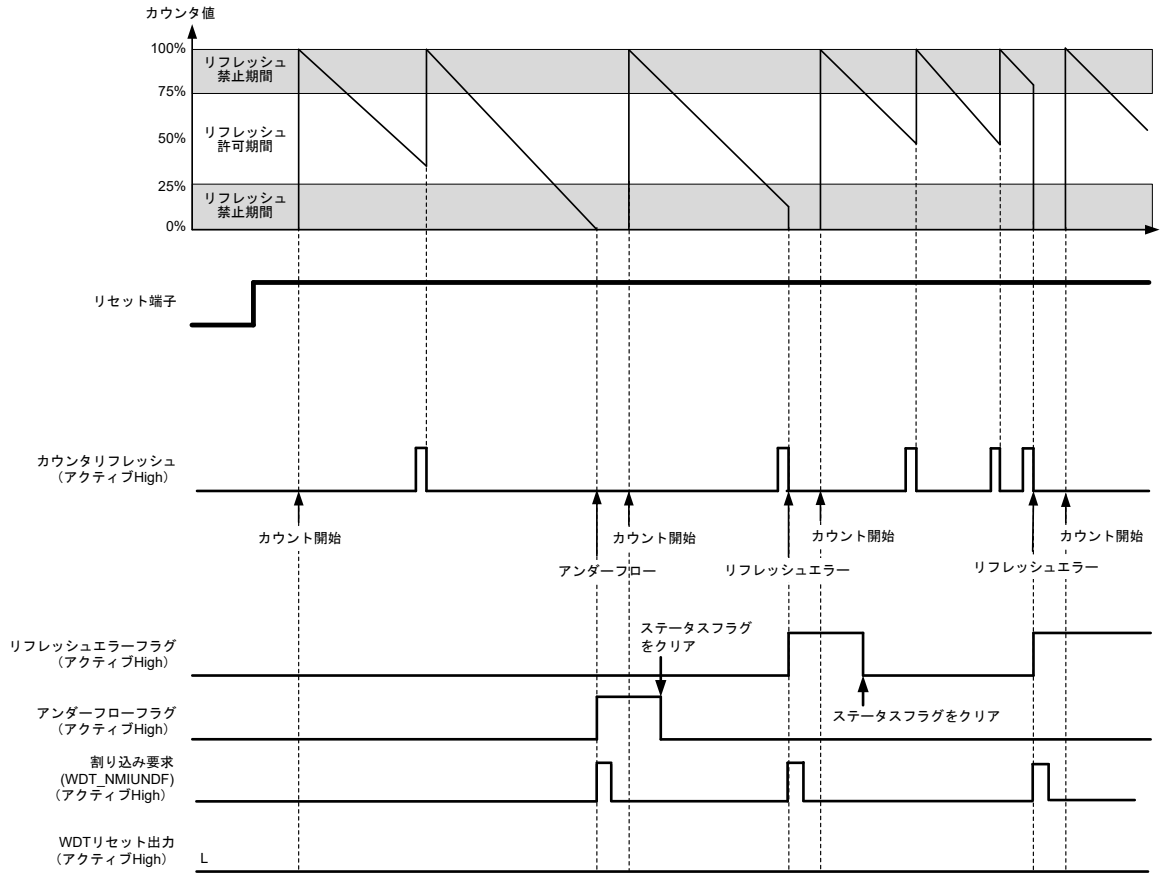
によってダウンカウンタのリフレッシュができないためにダウンカウンタがアンダーフローした場合、またはリフレッシュ許可期間外のカウンタのリフレッシュによってリフレッシュエラーが発生した場合、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントが再開します。

リセット出力または割り込み要求出力は、WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を設定することにより選択できます。ノンマスカブル割り込み要求または割り込み要求は、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で選択できます。

図 24.4 に、下記の条件下での動作（ノンマスカブル割り込み）例を示します。

- オートスタートモード (OFS0.WDTSTRT = 0)
- WDT 動作選択：割り込み (OFS0.WDTRSTIRQS = 0)
- ノンマスカブル割り込み：IWDT アンダーフロー／リフレッシュエラー割り込み許可 (NMIER.WDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.WDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.WDTRPES[1:0] = 10b)



注. カウンタをリフレッシュするには、リフレッシュ要求からリフレッシュ実行まで最大 4 カウント信号サイクルを必要とします。

注. リセット端子 = RES

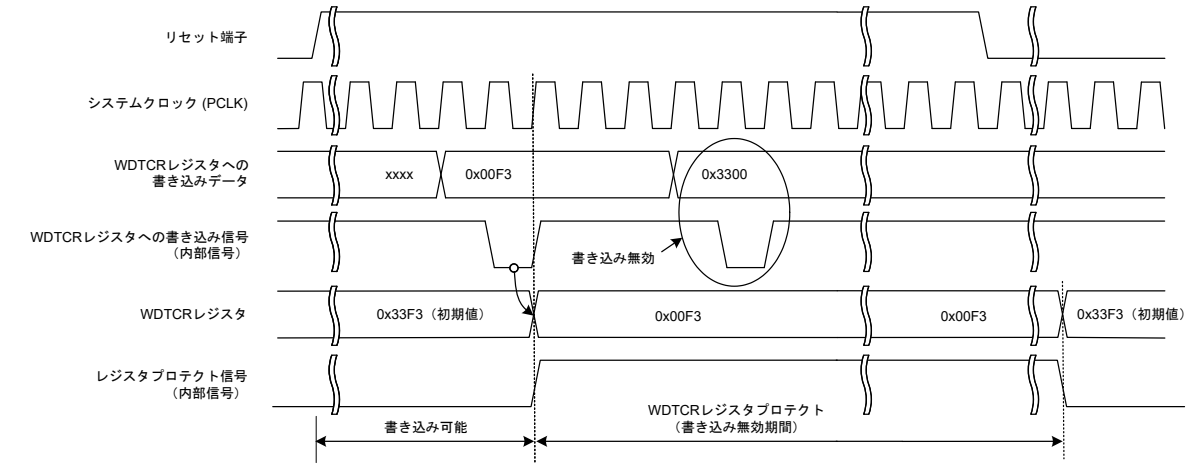
図 24.4 オートスタートモードでの動作例

24.3.2 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) への書き込みは、リセット状態の解除から最初のリフレッシュ動作までの間に 1 回可能です。

リフレッシュ（カウントスタート）後、あるいは WDTCR、WDTRCR、または WDTCSTPR レジスタへ書き込み後に、WDT 内部のプロテクト信号が 1 となり、以後 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込みを保護します。この保護動作は、WDT のリセット要因によって解除されます。それ以外のリセット要因では解除されません。

図 24.5 に、WDTCR レジスタへの書き込みに対して生成される制御波形を示します。



注. PCLK = PCLKB
リセット端子 = RES

図 24.5 WDTCR レジスタへの書き込みに対して生成される制御波形

24.3.3 リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、WDT リフレッシュレジスタ (WDTRR) に 0x00 の書き込みに続けて 0xFF を書き込んでください。0x00 の書き込み後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、WDTRR レジスタに 0x00 の書き込みに続けて 0xFF を書き込むことにより、リフレッシュが正常に行われます。

WDTRR レジスタへの 0x00 書き込みと 0xFF 書き込みの間に、WDTRR のレジスタ以外へのアクセス、または WDTRR レジスタの読み出しを行った場合も正常なリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があり、この判定は 0xFF の書き込み時に行われます。そのため、0x00 の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

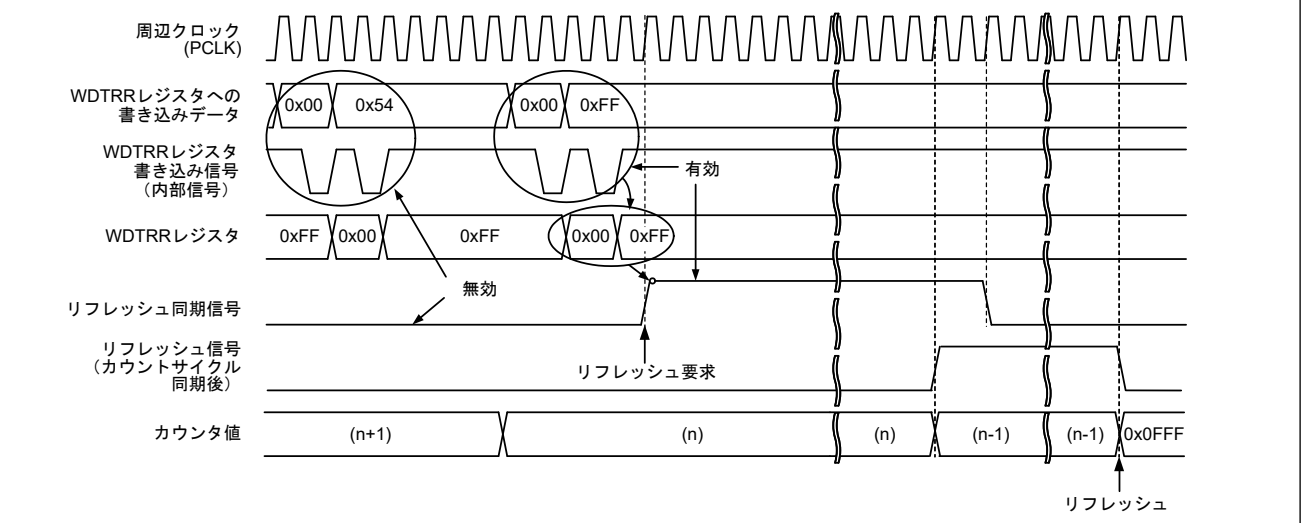
- 0x00 → 0xFF
- 0x00（n-1 回目）→ 0x00（n 回目）→ 0xFF
- 0x00 →別レジスタへのアクセスまたは WDTRR レジスタの読み出し→ 0xFF

【カウンタのリフレッシュに無効な書き込み順序の例】

- 0x23（0x00 以外の値）→ 0xFF
- 0x00 → 0x54（0xFF 以外の値）
- 0x00 → 0xAA（0x00 および 0xFF 以外の値）→ 0xFF

ダウンカウンタのリフレッシュには、WDT リフレッシュレジスタ (WDTRR) に 0xFF を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します。この要件を満たすには、ダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、WDTRR レジスタへの 0xFF の書き込みを完了する必要があります。

図 24.6 に、クロック分周比が PCLKB/64 である場合の WDT リフレッシュ動作波形を示します。



注. PCLK = PCLKB

図 24.6 WDT リフレッシュ動作波形（WDTCR.CKS[3:0] = 0x4、WDTCR.TOPS[1:0] = 01b の場合）

注. リフレッシュ時間を設定する際は、PCLKB と WDTCLK のクロックソースの発振精度を考慮してください。発振精度による誤差の範囲で周期が変動してもリフレッシュできる値を設定してください。

24.3.4 ステータスフラグ

リフレッシュエラーフラグ (WDTSR.REFEF) とアンダーフローフラグ (WDTSR.UNDFF) は、WDT の割り込み要求が発生した場合の割り込み要因を保持します。割り込み要求の発生後に、WDTSR.REFEF フラグと WDTSR.UNDFF フラグを読み出すことで、割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。ステータスフラグをそのままにしておいても、動作に影響を与えません。次に WDT が割り込み要求を出力したとき、フラグがクリアされていなければ、古い割り込み要因はクリアされて、新しい割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでの時間は、「24.2.3. WDTSR : WDT ステータスレジスタ」を参照してください。

24.3.5 リセット出力

レジスタスタートモードでリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) を 1 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を 1 サイクル間出力します。

レジスタスタートモードでは、リセット信号の出力後、ダウンカウンタが初期化され（全ビットが 0 になり）、その状態のまま停止します。リセット状態が解除されて、プログラムが再起動した後は、リフレッシュ動作によってカウンタが設定され、ダウンカウントを再開します。オートスタートモードでは、リセット状態の解除後、自動的にダウンカウントを開始します。

24.3.6 割り込み要因

レジスタスタートモードでリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) を 0 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット

(OFS0.WDTRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み (WDT_NMIUNDF) 信号が発生します。この割り込みは、ノンマスカブル割り込みまたは割り込みとして使用可能です。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

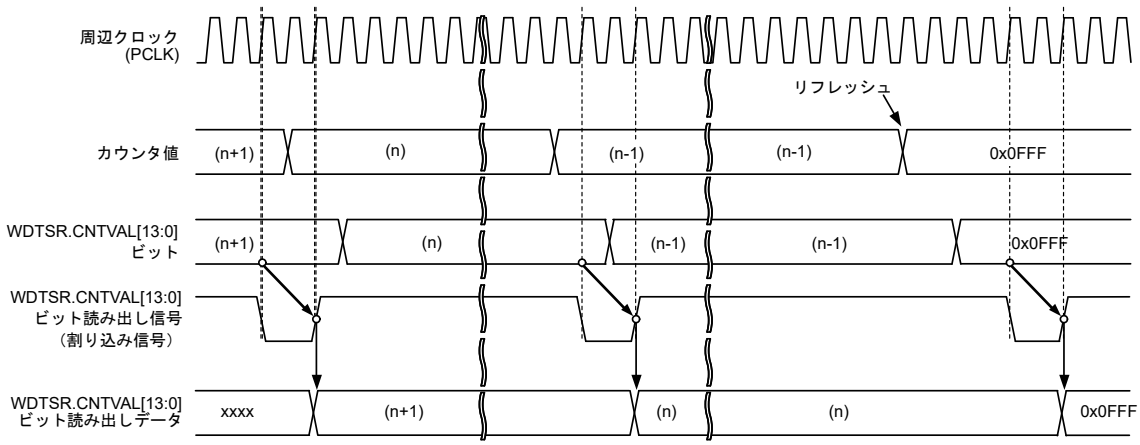
表 24.4 WDT の割り込み要因

名称	割り込み要因	CPU への割り込み	DMAC/DTC の起動
WDT_NMIUNDF	• ダウンカウンタのアンダーフロー • リフレッシュエラー	可能	不可能

24.3.7 ダウンカウンタ値の読み出し

WDT は、カウンタ値を WDT ステータスレジスタのダウンカウンタ値ビット (WDTSR.CNTVAL[13:0]) に格納します。これらのビットを確認して、カウンタ値を取得してください。ダウンカウンタの読み出し値は、実際のカウントから 1 カウントずれる場合があります。

図 24.7 に、クロック分周比が PCLKB/64 である場合の WDT ダウンカウンタ値の読み出し処理を示します。



注. PCLK = PCLKB

図 24.7 WDT ダウンカウンタ値の読み出し処理（WDTCR.CKS[3:0] = 0x4、WDTCR.TOPS[1:0] = 01b の場合）

24.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係

表 24.5 に、オートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) と、レジスタスタートモードで使用するレジスタの対応関係を示します。オプション機能選択レジスタ 0 (OFS0) については、「6.2.1. OFS0：オプション機能選択レジスタ 0」を参照してください。

表 24.5 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係 (1/2)

制御対象	機能	OFS0 レジスタ（オートスタートモードで有効）OFS0.WDTSTRT = 0	WDT のレジスタ（レジスタスタートモードで有効）OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTTOPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]

表 24.5 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係 (2/2)

制御対象	機能	OFS0 レジスタ（オートスタートモードで有効）OFS0.WDTSTRT = 0	WDT のレジスタ（レジスタスタートモードで有効）OFS0.WDTSTRT = 1
リセット出力／割り込み要求出力	リセット割り込み要求を選択	OFS0.WDTRSTIRQS	WDTRCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.WDTSTPCTL	WDTCSTPR.SLCSTP

24.4 イベントリンクコントローラ (ELC) への出力

ELC が割り込み要求信号をイベント信号として使用する場合、WDT は設定したモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。イベント信号は、レジスタスタートモードでは WDTRCR.RSTIRQS ビットの設定とは無関係に、オートスタートモードでは OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。リフレッシュエラーフラグ (WDTSR.REFEF) またはアンダーフローフラグ (WDTSR.UNDFF) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「17. イベントリンクコントローラ (ELC)」を参照してください。

24.5 使用上の注意事項

24.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限

WDT リセット割り込み要求選択をリセット（OFS0.WDTRSTIRQS = 0 または WDTRCR.RSTIRQS = 0）にした場合、またはイベントリンク動作を許可 (ELSRm.ELS[8:0] = 0x53) にした場合、ICU イベントリンク設定レジスタ n (ICU.IELSRn) に 0x53 を設定することは禁止されています。

25. 独立ウォッチドッグタイマ (IWDT)

25.1 概要

独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、システム暴走時に MCU をリセットすることができます。IWDT は、MCU をリセットする機能や、カウンタのアンダーフロー発生時に、割り込み／ノンマスカブル割り込みを発生させることが可能です。

IWDT の機能は、WDT とは以下の点で異なります。

- カウントソースとして IWDT 専用クロック (IWDTCLK) の分周したものを使用（PCLKB の影響を受けない）
- IWDT はレジスタスタートモードを非サポート

表 25.1 に IWDT の仕様を、図 25.1 に IWDT のブロック図を示します。

表 25.1 IWDT の仕様

項目	内容
カウントソース(注1)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1 分周／16 分周／32 分周／64 分周／128 分周／256 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	• リセット後、自動的にカウント開始 • セキュアデベロッパーのみが IWDT を開始可能
カウント停止条件	• リセット（ダウンカウンタおよび他のレジスタが初期値に戻る） • カウンタのアンダーフローまたはリフレッシュエラー発生時自動的にカウント再開
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能（リフレッシュ許可／禁止期間）
独立ウォッチドッグタイマリセット要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
ノンマスカブル割り込み／割り込み要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能	• ダウンカウンタアンダーフローイベント出力 • リフレッシュエラーイベント出力
出力信号（内部信号）	• リセット出力 • 割り込み要求出力 • スリープモードカウント停止制御出力
オートスタートモード	以下のトリガに対して設定可能： • リセット後のクロック分周比の選択（OFS0.IWDTCKS[3:0]ビット） • 独立ウォッチドッグタイマのタイムアウト期間の選択（OFS0.IWDTTOPS[1:0]ビット） • 独立ウォッチドッグタイマのウィンドウ開始位置の選択（OFS0.IWDTRPSS[1:0]ビット） • 独立ウォッチドッグタイマのウィンドウ終了位置の選択（OFS0.IWDTRPES[1:0]ビット） • リセット出力または割り込み要求出力の選択（OFS0.IWDTRSTIRQS ビット） • スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時のダウンカウント停止機能の選択（OFS0.IWDTSTPCTL ビット）
TrustZone フィルタ	セキュリティ属性を設定可能

注 1. 周辺モジュールクロック (PCLKB) 周波数 ≧ 4 ×（カウントクロックソースの分周後周波数）となるように設定してください。

バスインタフェース部とレジスタ部は PCLKB で動作し、14 ビットカウンタと制御回路は IWDTCLK で動作します。

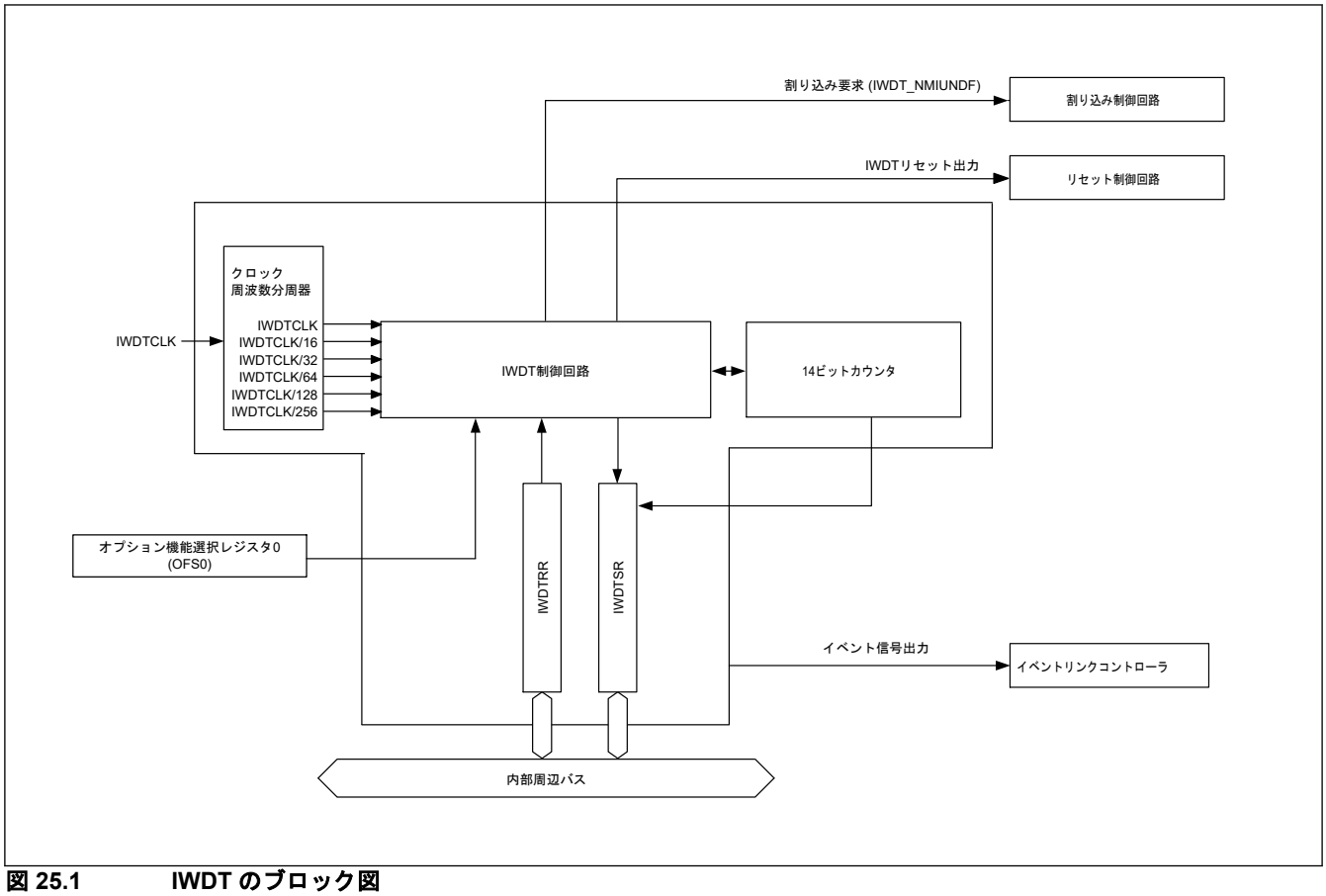


図 25.1 IWDT のブロック図

25.2 レジスタの説明

25.2.1 IWDTRR : IWDT リフレッシュレジスタ

Base address: IWDT = 0x4008_3200

Offset address: 0x00

Bit position:	7							0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでダウンカウンタがリフレッシュ	R/W

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするためのレジスタです。リフレッシュ許可期間内に、IWDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、IWDT のダウンカウンタがリフレッシュされます。ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 (OFS0) の IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定した値からダウンカウントがスタートします。

読み出し値は、0x00 を書き込んだ場合は 0x00 であり、0x00 以外の値を書き込んだ場合は 0xFF となります。リフレッシュ動作の詳細は、「25.3.2. リフレッシュ動作」を参照してください。

25.2.2 IWDTSR : IWDT ステータスレジスタ

Base address: IWDT = 0x4008_3200

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	REFEF	UNDFF	CNTVAL[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウンタ値	R
14	UNDFF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフロー発生	R/W(注1)
15	REFEF	リフレッシュエラーフラグ 0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/W(注1)

注 1. フラグをクリアするための 0 書き込みのみ可能です。

IWDTSR レジスタは、ダウンカウンタのカウンタ値表示、およびアンダーフロー、リフレッシュエラーの発生状態を表示するレジスタです。

CNTVAL[13:0]ビット（ダウンカウンタ値）

CNTVAL[13:0]ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDFF フラグ（アンダーフローフラグ）

UNDFF フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには、UNDFF フラグに 0 を書き込んでください。1 の書き込みは無効です。

UNDFF フラグのクリアには、(N+2) IWDTCLK サイクルと 2PCLKB サイクルを要します。さらに、アンダーフローの発生から (N+2) IWDTCLK サイクル数の間は、このフラグをクリアしても無視されます。N は以下のように、OFS0.IWDTCKS[3:0]ビットで指定されます。

- OFS0.IWDTCKS[3:0] = 0x0 の時、N = 1
- OFS0.IWDTCKS[3:0] = 0x2 の時、N = 16
- OFS0.IWDTCKS[3:0] = 0x3 の時、N = 32
- OFS0.IWDTCKS[3:0] = 0x4 の時、N = 64
- OFS0.IWDTCKS[3:0] = 0xF の時、N = 128
- OFS0.IWDTCKS[3:0] = 0x5 の時、N = 256

REFEF フラグ（リフレッシュエラーフラグ）

REFEF フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、REFEF フラグに 0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、(N+2) IWDTCLK サイクルと 2PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から (N+2) IWDTCLK サイクル数の間は、このフラグをクリアしても無視されます。N は以下のように、OFS0.IWDTCKS[3:0]ビットで指定されます。

- OFS0.IWDTCKS[3:0] = 0x0 の時、N = 1
- OFS0.IWDTCKS[3:0] = 0x2 の時、N = 16
- OFS0.IWDTCKS[3:0] = 0x3 の時、N = 32

- OFS0.IWDTCKS[3:0] = 0x4 の時、N = 64
- OFS0.IWDTCKS[3:0] = 0xF の時、N = 128
- OFS0.IWDTCKS[3:0] = 0x5 の時、N = 256

25.2.3 OFS0 : オプション機能選択レジスタ 0

オプション機能選択レジスタ 0 (OFS0) の詳細は、「6.2.1. OFS0 : オプション機能選択レジスタ 0」を参照してください。

IWDTTOPS[1:0]ビット（IWDT タイムアウト期間選択）

IWDTTOPS[1:0]ビットはタイムアウト期間（ダウンカウンタがアンダーフローするまでの期間）を、IWDTCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、128 サイクル／512 サイクル／1024 サイクル／2048 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間（IWDTCLK サイクル数）は、IWDTCKS[3:0]ビットと IWDTTOPS[1:0]ビットの組み合わせで決定されます。

表 25.2 に、IWDTCKS[3:0]および IWDTTOPS[1:0]ビットの設定値、タイムアウト期間、および IWDTCLK サイクル数の関係を示します。

表 25.2 タイムアウト期間の設定

IWDTCKS[3:0]ビット				IWDTTOPS[1:0]ビット		クロック分周比	タイムアウト期間（サイクル数）	IWDTCLK クロックサイクル数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	IWDTCLK	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	IWDTCLK/16	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	IWDTCLK/32	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	IWDTCLK/64	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	IWDTCLK/128	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	IWDTCLK/256	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

IWDTCKS[3:0]ビット（IWDT 専用クロック分周比選択）

IWDTCKS[3:0]ビットはダウンカウンタで使用するクロックの分周比を設定します。分周比は、IWDT 専用クロック (IWDTCLK) の 1 分周／16 分周／32 分周／64 分周／128 分周／256 分周から選択できます。IWDTTOPS[1:0]ビット設定と組み合わせて、IWDT のカウント期間を IWDTCLK の 128～524288 サイクルから選択できます。

IWDTRPES[1:0]ビット（IWDT ウィンドウ終了位置選択）

IWDTRPES[1:0]ビットはリフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0%から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

IWDTRPSS[1:0]ビット（IWDT ウィンドウ開始位置選択）

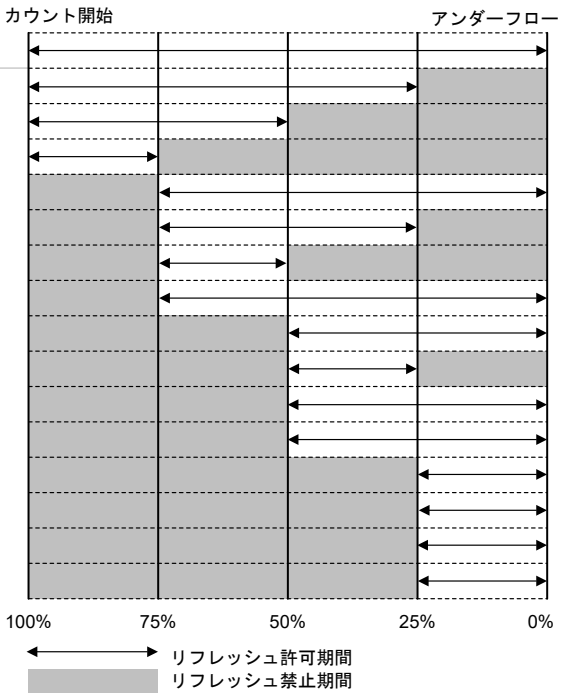
IWDTRPSS[1:0]ビットはリフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25%から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

ウィンドウ開始、終了位置のカウンタ値を表 25.3 に、IWDTRPSS[1:0]、IWDTRPES[1:0]、IWDTTOPS[1:0]ビットで設定されるリフレッシュ許可期間を図 25.2 に示します。

表 25.3　タイムアウト期間とウィンドウ開始／終了カウンタ値の対応表

IWDTTOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始／終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	0x007F	0x007F	0x005F	0x003F	0x001F
0	1	512	0x01FF	0x01FF	0x017F	0x00FF	0x007F
1	0	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
1	1	2048	0x07FF	0x07FF	0x05FF	0x03FF	0x01FF

IWDTRPSS[1:0]ビット		IWDTRPES[1:0]ビット		ウィンドウ	
b13	b12	b9	b8	開始 (%)	終了 (%)
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75



注. ウィンドウ終了位置設定 ≧ ウィンドウ開始位置設定の場合、ウィンドウ終了位置設定は 0%になります。

図 25.2 IWDTRPSS[1:0]および IWDTRPES[1:0]ビットとリフレッシュ許可期間

IWDTRSTIRQS ビット（IWDT リセット割り込み要求選択）

IWDTRSTIRQS ビットは、アンダーフローまたはリフレッシュエラー発生時の動作を指定します。1 にすると、リセット出力が選択されます。0 にすると、割り込みが選択されます。

IWDTSTPCTL ビット（IWDT 停止制御）

スリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移した時にカウントを停止させるかどうかを選択します。

25.3 動作説明

25.3.1 オートスタートモード

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 0 の場合、オートスタートモードが選択されています。OFS0.IWDTSTRT ビットが 1 の場合、リセット後の IWDT は停止状態です。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が IWDT のレジスタに設定されます。

- クロック分周比 (OFS0.IWDTCKS[3:0])
- ウィンドウ開始および終了位置 (OFS0.IWDTRPSS[1:0]、OFS0.IWDTRPES[1:0])
- タイムアウト期間 (OFS0.IWDTTOPS[1:0])
- リセット出力または割り込み要求 (OFS0.IWDTRSTIRQS)

リセット状態が解除されると、IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

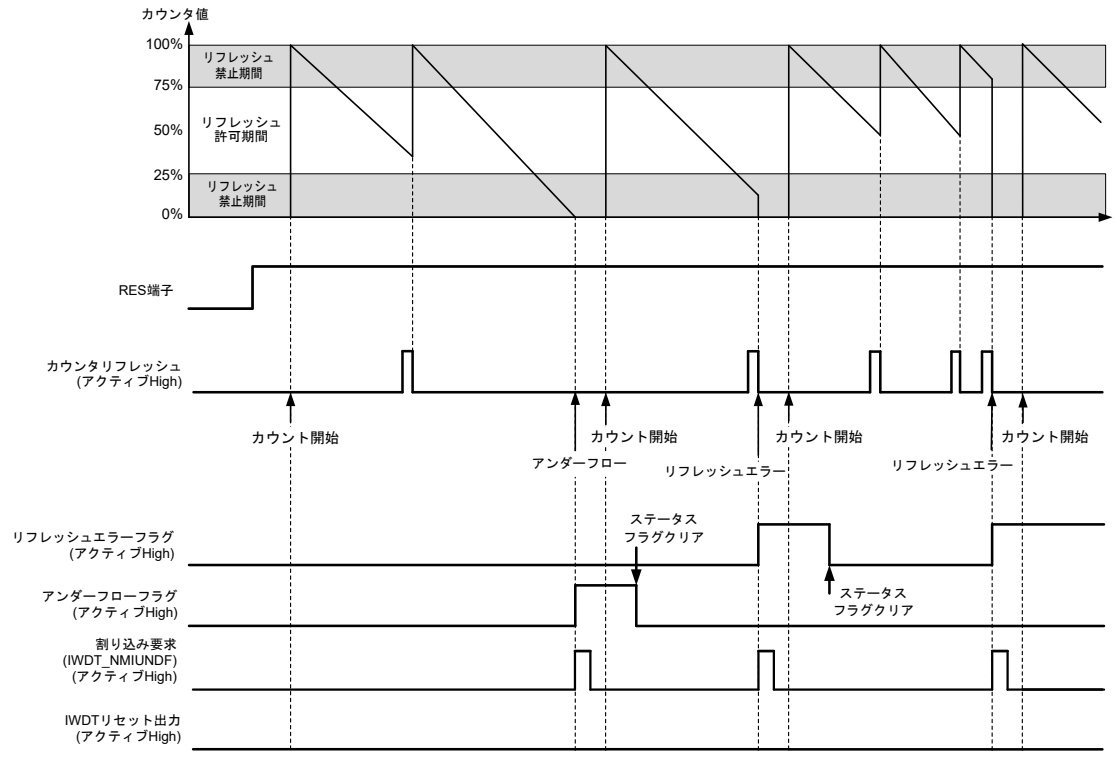
以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウント継続中は、IWDT はリセット信号を出力しません。プログラムの暴走によりダウンカウンタのリフレッシュが行われず、ダウンカ

ウンタのアンダーフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求または割り込み要求 (IWDT_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントを開始します。リセット出力または割り込み要求出力は、IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) で選択できます。ノンマスカブル割り込み要求を許可する割り込みは、IWDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.IWDTEN) で選択できます。

図 25.3 に、下記の条件下での動作例（ノンマスカブル割り込み）を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- IWDT 動作選択：割り込み (OFS0.IWDTRSTIRQS = 0)
- ノンマスカブル割り込み：IWDT アンダーフロー／リフレッシュエラー割り込み許可 (NMIER.IWDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.IWDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDTRPES[1:0] = 10b)



注 1. リセット端子 = RES

図 25.3 オートスタートモードでの動作例

25.3.2 リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、IWDT リフレッシュレジスタ (IWDTRR) に 0x00 の書き込みに続けて 0xFF を書き込んでください。0x00 の書き込み後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、IWDTRR レジスタに 0x00 の書き込みに続けて 0xFF を書き込むことにより、リフレッシュが正常に行われます。

0X00（1 回目）→ 0x00（2 回目）の順で書き込みを行った場合でも、その後に 0xFF を書き込めば、0x00 → 0xFF の書き込み順序が成立します。0X00（n-1 回目）→ 0x00（n 回目）→ 0xFF という書き込み順序は有効であり、

正常にリフレッシュを行います。0X00 より前の書き込み値が 0x00 以外であっても、動作に 0x00 → 0xFF という書き込み順序が含まれている限り、正常にリフレッシュを行います。

また、IWDTRR レジスタへの 0x00 の書き込みと 0xFF の書き込みの間に、IWDTRR 以外のレジスタにアクセスするか、または IWDTRR レジスタを読み出しても、正常にリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があります。この判定は 0xFF の書き込み時に行われます。そのため、0x00 の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 0x00 → 0xFF
- 0x00（n-1 回目）→ 0x00（n 回目）→ 0xFF
- 0x00 → 別レジスタへのアクセスまたは IWDTRR レジスタの読み出し → 0xFF

【カウンタのリフレッシュに無効な書き込み順序の例】

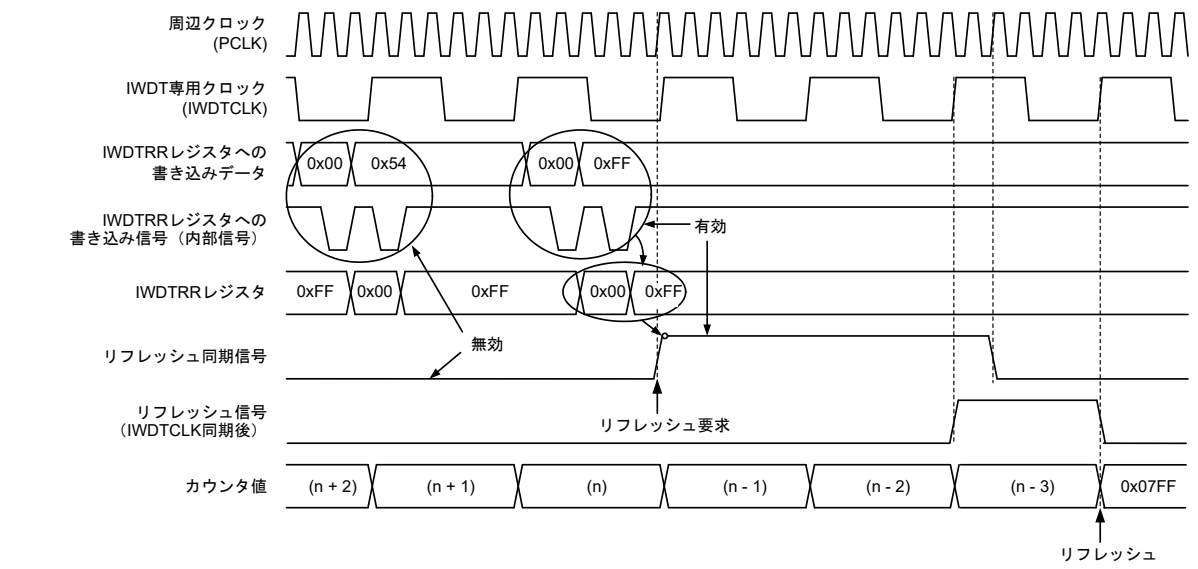
- 0x23（0x00 以外の値）→ 0xFF
- 0x00 → 0x54（0xFF 以外の値）
- 0x00 → 0xAA（0x00 および 0xFF 以外の値）→ 0xFF

ダウンカウンタのリフレッシュには、IWDTRR レジスタに 0xFF を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します（1 サイクル間の IWDT 専用クロック (IWDTCLK) 数は、IWDT 専用クロック分周比選択ビット (OFS0.IWDTCKS[3:0]) の設定値により異なります）。この要件を満たすには、リフレッシュ許可期間の終了またはダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、IWDTRR レジスタへの 0xFF 書き込みを完了してください。カウンタの値はカウンタ値ビット (IWDTSR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を 0x1FFF とした場合、IWDTRR レジスタへの 0x00 の書き込みが 0x1FFF より前（たとえば 0x2002）であっても、IWDTSR.CNTVAL[13:0]ビット値が 0x1FFF になってから IWDTRR レジスタへ 0xFF を書き込めば、リフレッシュを行います。
- ウィンドウ終了位置を 0x1FFF とした場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTSR.CNTVAL[13:0]ビットから読み出した値が 0x2003（0x1FFF の 4 カウントサイクル前）以上であれば、リフレッシュを行います。
- リフレッシュ許可期間が 0x0000 まで続く場合、アンダーフローの直前でリフレッシュが可能です。この場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTSR.CNTVAL[13:0]ビットから読み出した値が 0x0003（アンダーフローの 4 カウントサイクル前）以上であれば、アンダーフローは発生しないでリフレッシュを行います。

図 25.4 に、PCLKB ＞ IWDTCLK のとき、クロック分周比が IWDTCLK × 1 分周である場合の IWDT リフレッシュ動作波形を示します。



注. PCLK = PCLKB

図 25.4 IWDT リフレッシュ動作波形（OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合）

25.3.3 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF) とアンダーフローフラグ (IWDTSR.UNDFF) は、IWDT の割り込み要求が発生した場合の割り込み要因を保持します。割り込み要求の発生後に、IWDTSR.REFEF フラグと IWDTSR.UNDFF フラグを読み出すことで、割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。

ステータスフラグをそのままにしておいても、動作に影響を与えません。次に IWDT が割り込み要求を出力したときに、現在のフラグの値にかかわらず、新しい割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでの時間は、「25.2.2. IWDTSR : IWDT ステータスレジスタ」を参照してください。

25.3.4 リセット出力

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を出力します。リセットが解除された後、自動でダウンカウントを開始します。

25.3.5 割り込み要因

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み信号 (IWDT_NMIUNDF) を生成します。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 25.4 IWDT の割り込み要因

名称	割り込み要因	CPU への割り込み	DMAC/DTC の起動
IWDT_NMIUNDF	• ダウンカウンタのアンダーフロー • リフレッシュエラー	可能	不可能

25.3.6 ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。IWDT は、カウンタ値を周辺クロック (PCLKB) に同期させて、IWDT ステータスレジスタのダウンカ

ウンタ値ビット (IWDTSR.CNTVAL[13:0]) へ格納します。これらのビットを確認して、間接的にカウンタ値を取得してください。

カウンタ値の読み出しには PCLKB で数クロックサイクル（最大 4 クロックサイクル）を要するため、読み出されるカウント値は、実際のカウンタ値から 1 カウントずれる場合があります。

図 25.5 に、PCLKB ＞ IWDTCLK のとき、クロック分周比が IWDTCLK × 1 分周である場合の IWDT ダウンカウンタ値の読み出し処理を示します。

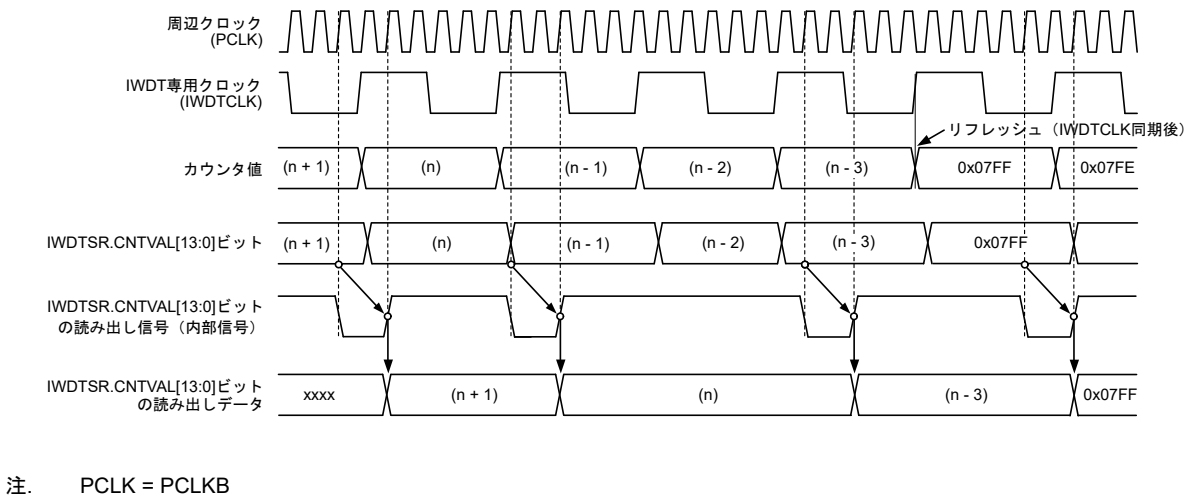


図 25.5 IWDT ダウンカウンタ値の読み出し処理（OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合）

25.4 イベントリンクコントローラ (ELC) への出力

ELC が割り込み要求信号をイベント信号として使用する場合、IWDT は設定したモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。

イベント信号は、OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。また、リフレッシュエラーフラグ (IWDTSR.REFEF) またはアンダーフローフラグ (IWDTSR.UNDFF) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「17. イベントリンクコントローラ (ELC)」を参照してください。

25.5 使用上の注意事項

25.5.1 リフレッシュ動作

リフレッシュ時間を設定する際は、PCLKB と IWDTCLK のクロックソースの発振精度を考慮してください。発振精度による誤差の範囲で周期が変動してもリフレッシュできる値を設定してください。

25.5.2 クロック分周比の設定に関する制限

周辺モジュールクロック (PCLKB) の周波数が下記の要件を満たすように設定してください。

PCLKB ≧ 4 ×（カウントクロックソースの分周後周波数）

25.5.3 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限

IWDT リセットアサートを許可 (OFS0.IWDTRSTIRQS = 0) にした場合、またはイベントリンク動作を許可 (ELSRn.ELS[8:0] = 0x52) にした場合、ICU イベントリンク設定レジスタ n (IELSRn.IELS[8:0]) に 0x52 を設定することは禁止されています。

26. シリアルコミュニケーションインタフェース (SCI)

SCI モジュールの SCI_B バージョンです。

この章では、SCI_B を SCI と表記します。

26.1 概要

シリアルコミュニケーションインタフェース (SCI) × 6 チャネルには調歩同期式および同期式のシリアルインタフェースがあります。

- 調歩同期式インタフェース（UART および調歩同期式通信インタフェースアダプタ (ACIA)）
- 8 ビットクロック同期式インタフェース
- 簡易 IIC（マスタのみ）
- 簡易 SPI
- 簡易 LIN
- スマートカードインタフェース
- マンチェスタインタフェース

スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCIn (n = 0～4、9) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。

本節では、PCLK は PCLKA を指し、TCLK は SCITCLK を指します。を指します。

表 26.1 に SCI の仕様を、図 26.1 に SCI のブロック図を、表 26.2 に SCI の入出力端子を示します。

表 26.1 SCI の仕様 (1/3)

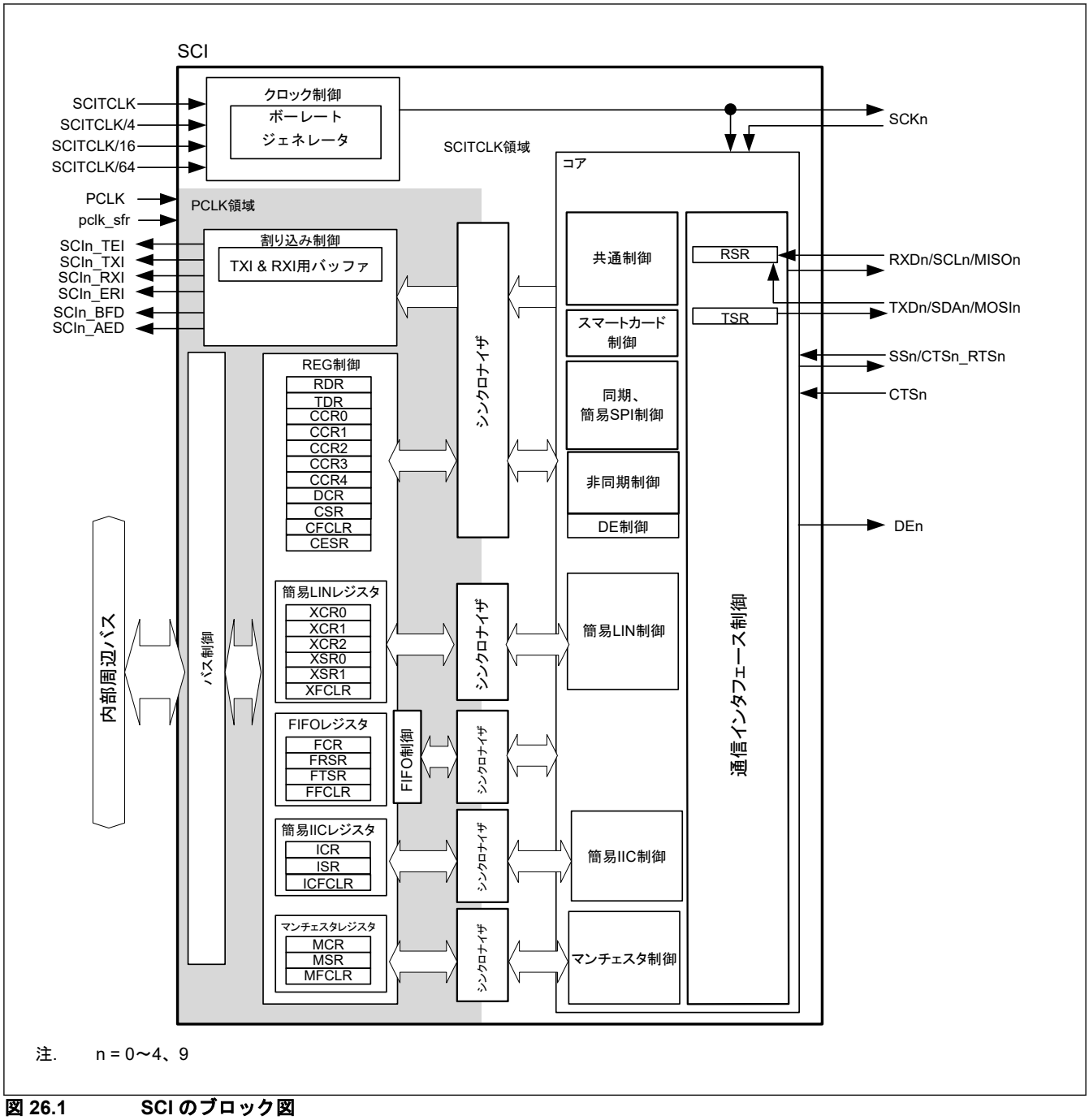
項目		内容
モジュール数		6 (SCIn (n = 0～4、9))
シリアル通信方式		• 調歩同期式 • クロック同期式 • 簡易 IIC • 簡易 SPI • 簡易 LIN • スマートカードインタフェース • マンチェスタインタフェース
転送速度		内蔵のボーレートジェネレータにより任意のビットレートを設定可能
全二重通信		• 送信部：ダブルバッファによる連続送信が可能 • 受信部：ダブルバッファによる連続受信が可能
半二重通信		TXDn 端子のみを使用した半二重通信が可能です。
データ転送		LSB ファースト／MSB ファーストの選択が可能
通信端子（RXDn、TXDn）のためのインバータ		各端子（RXDn、TXDn）に選択できるインバータ
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、アドレス一致 Break Field 検出／出力機能あり、バス衝突検出機能あり、アクティブエッジ検出機能あり 開始条件、再開始条件、停止条件の生成完了（簡易 IIC モード用）
ループバック機能		IP 内部の送受信による通信機能の自己診断が可能
シンクロナイザーバイパス機能		バスクロックと動作クロック (TCLK) の間の同期回路のバイパスが可能
モジュールストップ機能		チャネルごとにモジュールストップ状態の設定が可能
スヌーズ終了要求		SCI0 アドレス不一致 (SCI0_DCUF)
クロック同期式モード	データ長	8 ビット

表 26.1 SCI の仕様 (2/3)

項目		内容
	受信サンプリングタイミングの調節	内部クロック使用時のみ、マスタモードでデフォルトタイミングから後に調節可能な受信サンプリングタイミング
	受信エラー検出機能	オーバーランエラー
	クロックソース	内部クロック（マスタモード）または外部クロック（スレーブモード）の選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	ハードウェアフロー制御	CTSn_RTSn 端子を用いた送受信制御が可能
	送信／受信	1 段レジスタまたは 16 段 FIFO のいずれかを選択可能
調歩同期式モード	データ長	7 ビット／8 ビット／9 ビット
	送信ストップビット	1 または 2 ビット
	受信サンプリングタイミングの調節	デフォルトタイミングから前または後に調節可能な受信サンプリングタイミング
	送信タイミングの調節	レジスタの設定値によって制御される送信波形の調節可能エッジタイミング
	パリティ	偶数パリティ／奇数パリティ／パリティなし
	受信エラー検出機能	• パリティエラー • オーバーランエラー • フレーミングエラー
	ハードウェアフロー制御	CTSn_RTSn、CTS ｎ端子を用いた送受信制御が可能
	送信／受信	1 段レジスタまたは 16 段 FIFO のいずれかを選択可能
	アドレス一致	受信データとコンペアマッチレジスタの値が一致したとき、割り込み要求／イベント出力の発行が可能
	アドレス不一致（SCI0 のみ）受信データ	受信データとコンペアマッチレジスタ内の値が一致しないとき、スヌーズ終了要求の発行が可能
	スタートビットの検出	Low 検出／立ち下がりエッジ検出を選択可能
	ブレークの検出	CSR レジスタを読み出すことで、フレーミングエラーからのブレークの検出が可能
	クロックソース	内部クロックまたは外部クロックの選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数プロセッサ間でシリアル通信が可能
	RS-485 ドライバコントロール機能	外部トランシーバ送信モードを有効にする出力 DEn 信号
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
スマートカードインタフェースモード	エラー処理	受信中にパリティエラーを検出するとエラーシグナルを自動送出
		送信中にエラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション／インバースコンベンションをサポート
マンチェスタモード	通信フォーマット	プレフィスとスタートビットが付加されたマンチェスタコード
	データ長	7 ビット、8 ビット、または 9 ビット
	送信ストップビット	1 または 2 ビット
	パリティ機能	偶数パリティ／奇数パリティ／パリティなし
	受信エラー検出機能	パリティエラー、オーバーランエラー、フレーミングエラー、マンチェスタエラー
	ハードウェアフロー制御	CTSn_RTSn、CTS ｎ端子を用いた送受信制御が可能
	クロックソース	内部クロックのみが使用可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能

表 26.1　SCI の仕様 (3/3)

項目		内容
	マルチプロセッサ通信機能	複数プロセッサ間のシリアル通信機能
	マンチェスタエンコード／デコード機能	送受信データのマンチェスタエンコード／デコードを行い、マンチェスタコードで通信する機能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
	プレフィスを設定/検出する機能	設定されたプレフィスパターンを出力し検出する
	スタートビットを設定/検出する機能	設定されたスタートビットパターンを出力し検出する
	受信再タイミング機能	受信信号の各ビットに対してタイミングを補正
簡易 IIC モード	通信フォーマット	I^2C バスフォーマット（MSB ファーストのみ）
	動作モード	マスタ（シングルマスタ動作のみ）
	転送速度	最大 400 kbps
	ノイズ除去	SCLn 端子と SDAn 端子の入力経路にデジタルノイズフィルタを内蔵し、ノイズ除去幅の調整が可能
簡易 SPI モード	データ長	8 ビット
	エラー検出	オーバーランエラー
	クロックソース	内部クロック（マスタモード）または外部クロック（スレーブモード）の選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	送受信	1 段レジスタまたは 16 段 FIFO の選択が可能
	受信サンプリングタイミングの調節	内部クロック使用時のみ、マスタモードでデフォルトタイミングから後に調節可能な受信サンプリングタイミング
	SSn 入力端子機能	SSn 端子を High にすることで、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能
簡易 LIN	Start Frame 送信	• Break Field の出力が可能／Break Field 出力完了割り込み出力が可能 • バス衝突検出が可能、バス衝突検出割り込み出力が可能
	Start Frame 受信	• Break Field の検出が可能／Break Field 検出割り込み出力が可能 • Control Field 0/1 データ比較機能あり • Control Field 1 にはプライマリ／セカンダリの 2 種類の比較データを設定可能 • Control Field 1 にプライオリティインタラプトビットを設定可能 • Break Field がない Start Frame にも対応可能 • Control Field 0 がない Start Frame にも対応可能 • ビットレート測定機能あり
	入出力制御機能	• TXDn 信号と RXDn 信号の極性選択が可能 • RXDn 信号にデジタルフィルタ機能選択が可能 • 同じ端子で RXDn 信号と TXDn 信号を兼用した半二重通信が可能 • RXDn 端子受信データサンプリングタイミング選択可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差の低減が可能
イベントリンク機能		受信エラーまたはエラーシグナル検出におけるエラーイベント出力 (SCIn_ERI) (n = 0～4、9)
		受信データフルイベント出力 (SCIn_RXI) (n = 0～4、9)
		送信データエンプティイベント出力 (SCIn_TXI) (n = 0～4、9)
		アドレス一致イベント出力 (SCIn_AM) (n = 0～4、9)
		アクティブエッジ検出イベント出力 (SCIn_AED) (n = 0～4、9)
		送信終了イベント出力 (SCIn_TEI) (n = 0～4、9)
TrustZone フィルタ		各チャネルに対してセキュリティ属性を設定可能



注. n = 0～4、9

図 26.1 SCI のブロック図

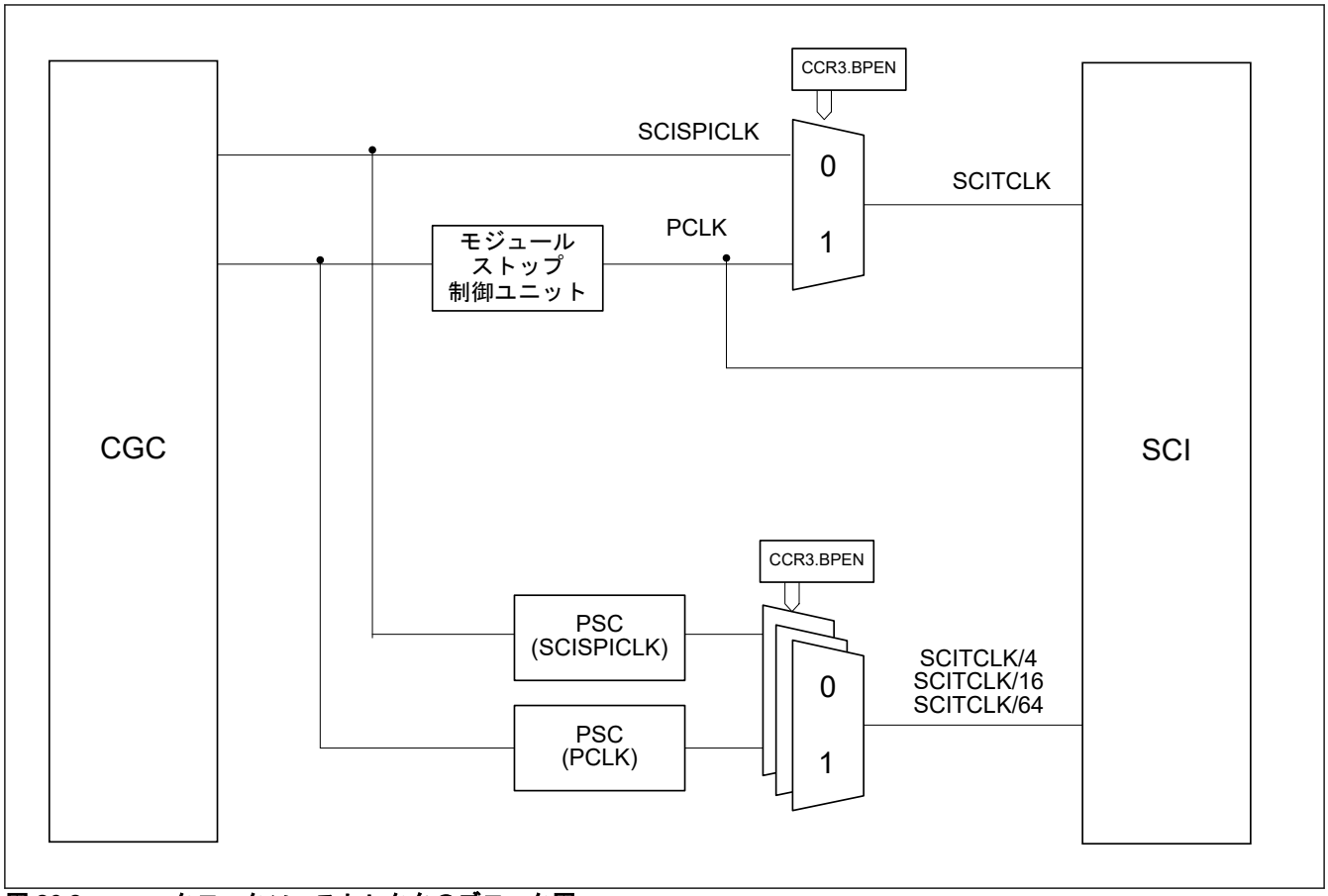


図 26.2 クロックソースセレクタのブロック図

表 26.2 SCI の入出力端子

機能	端子名	入出力	説明
SCIn (n = 0～4、9)	RXDn/SCLn/MISOn	入出力	SCIn の受信データ入力 SCIn の I^2C クロック入出力 SCIn のスレーブ送信データ入出力
	TXDn/SDAn/MOSIn	入出力	SCIn の送信データ出力 SCIn の I^2C データ入出力 SCIn のマスタ送信データ入出力
	SSn/CTSn_RTSn	入出力	SCIn のチップセレクト入力、アクティブ Low SCIn の送受信開始制御用入出力、アクティブ Low
	CTSn	入力	SCIn の送受信開始制御用入力、アクティブ Low
	DEn	出力	ドライバイネーブル信号出力
	SCKn	入出力	SCIn のクロック入出力

26.2 レジスタの説明

26.2.1 RSR : 受信シフトレジスタ

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。CPU から RSR レジスタに直接アクセスすることはできません。

26.2.2 RDR : 受信データレジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	FER	PER	—	—	ORER	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	FFER	FPER	DR	MPB	RDAT[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	RDAT[8:0]	シリアル受信データ RDAT レジスタは、受信データを格納するための 9 ビットのレジスタです。 受信データは、7 ビットデータを選択した場合は[6:0] に、8 ビットデータを選択した場合は[7:0] に、9 ビットデータを選択した場合は[8:0] に格納されます。0 は未使用ビットに格納されます。	R
9	MPB	マルチプロセッサフラグ 0: データ送信サイクル 1: ID 送信サイクル	R
10	DR	受信データレディフラグ FRSR.DR の読み出しが可能です。	R
11	FPER	FIFO パリティエラーフラグ 調歩同期式モードでのみ有効 0: 受信 FIFO からの読み出しデータにパリティエラーが存在しません。 1: 受信 FIFO からの読み出しデータにパリティエラーが存在します。	R
12	FFER	FIFO フレーミングエラーフラグ 調歩同期式モードでのみ有効 0: 受信 FIFO からの読み出しデータにフレーミングエラーが存在しません。 1: 受信 FIFO からの読み出しデータにフレーミングエラーが存在します。	R
23:13	—	読むと 0 が読めます。	R
24	ORER	オーバーランエラーフラグ CSR.ORER の読み出しが可能です。	R
26:25	—	読むと 0 が読めます。	R
27	PER	パリティエラーフラグ CSR.PER の読み出しが可能です。	R
28	FER	フレーミングエラーフラグ CSR.FER の読み出しが可能です。	R
31:29	—	読むと 0 が読めます。	R

FIFO モード (CCR3.FM = 1) では、このレジスタは 16 段 FIFO バッファ構成です。

RDAT[8:0]ビット（シリアル受信データ）

1 フレーム分のデータを受信すると、受信データは RSR レジスタからこのレジスタへ転送されるため、RSR レジスタは次のデータを受信できるようになります。

RSR レジスタと RDR レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。

非 FIFO モードでは、RDR の読み出しは、受信データフル割り込み (SCIn_RXI) 要求が発生した場合に 1 回だけ行ってください。RDR から受信データの読み出しを行わずに、次の 1 フレームを受信すると、オーバーランエラーが発生します。

FIFO モードでは、16 段が格納されるまで連続受信が実行されます。受信 FIFO (RDR) に受信データが存在しない場合、データを読み出すと、その値は不定となります。受信 FIFO (RDR) が受信データでいっぱいになると、それ以降のシリアル受信データは失われます。

CPU から RDR に書き込むことはできません。

調歩同期式モードおよびマンチェスタモードの 7 ビット通信時または 8 ビット通信時に受信されないビット位置 (RDR.bit8 または RDR.bit7) に、0 が格納されます。

MPB ビット（マルチプロセッサフラグ）

調歩同期式モードおよびマンチェスタモードで、マルチプロセッサ通信 (CCR3.MP = 1) 中に、受信データ (RDAT[8:0]) に対応するマルチプロセッサビットの値を読み出すことができます。

FPER ビット（FIFO パリティエラーフラグ）

受信 FIFO からの読み出しデータにパリティエラーが存在するかどうかを示します。

0 は非 FIFO モードの場合に格納されます。

FFER ビット（FIFO フレーミングエラーフラグ）

受信 FIFO からの読み出しデータにフレーミングエラーが存在するかどうかを示します。

0 は非 FIFO モードの場合に格納されます。

26.2.3 TDR : 送信データ レジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TSYNC	—	—	MPBT	TDAT[8:0]								
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
8:0	TDAT[8:0]	シリアル送信データ TDAT レジスタは、送信データを設定するための 9 ビットのレジスタです。 送信データは、7 ビットデータを選択した場合は[6:0] に、8 ビットデータを選択した場合は[7:0] に、9 ビットデータを選択した場合は[8:0] に設定されます。 バイトアクセスの場合は、TDR [15:8] を書き込んでから TDR [7:0] を書き込みます。	R/W
9	MPBT	マルチプロセッサ送信ビットフラグ 送信フレーム内のマルチプロセッサビットの値このビットは調歩同期式モードおよびマンチェスタモードで使用されます。このビットが使用されていない場合に書き込むときは、初期値を書き込みます。 0: データ送信サイクル 1: ID 送信サイクル	R/W
11:10	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
12	TSYNC	送信 SYNC データ マンチェスタモードで MCR.SBSEL = 1 かつ MCR.SYNSEL = 1 であるときに有効です。このビットが使用されていない場合は、初期値を書き込みます。 0: スタートビットは DATA SYNC として送信されます。 1: スタートビットは COMMAND SYNC として送信されます。	R/W
31:13	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

FIFO モード (CCR3.FM = 1) では、このレジスタは 16 段 FIFO バッファ構成です。

TDAT[8:0]ビット（シリアル送信データ）

TDR レジスタは、送信データを格納するための 9 ビットのレジスタです。

TSR レジスタに空きが検出されると、TDR レジスタに格納された送信データが TSR レジスタへ転送されて、送信が開始されます。

TSR レジスタと TDR レジスタはダブルバッファ構成であるため、連続送信動作が可能になります。1 フレーム分のデータを送信した後、TDR レジスタに次の送信データが格納されていれば、TSR レジスタへの転送によって送信動作が継続します。

SCI は、送信シフトレジスタ (TSR) に空きを検出すると、送信 FIFO (TDR) に書き込まれたデータを TSR に送信し、シリアル送信を開始します。送信 FIFO (TDR) に送信データが残っていない状態になるまで、連続シリアル送信が実行されます。

非 FIFO モードでは、送信データエンプティ割り込み (SCIn_TXI) 要求が発生しており、かつ CCR0.TE が 1 の場合、送信データを TDR に 1 回だけ書き込みます。

FIFO モードでは、送信 FIFO が送信データの 16 フレームでいっぱいになると、次のデータを書き込むことはできません。新たに書き込みを試みても、そのデータは無視されます。

TDR レジスタは、常に CPU から読み出し／書き込み可能です。バイトアクセスの場合は、TDR[15:8] を書き込んでから TDR[7:0] を書き込みます。

MPBT ビット（マルチプロセッサ送信ビットフラグ）

送信フレームのマルチプロセッサビットを選択します。

TSYNC ビット（送信 SYNC データ）

マンチェスターモードで、MCR.SBSEL = 1 かつ MCR.SYNSEL = 1 のとき、このビットに従って選択した SYNC のタイプが、送信フレームのスタートビットになります。

26.2.4 TSR : 送信シフトレジスタ

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。シリアルデータ送信を行う場合、SCI は最初、TDR から TSR レジスタへ送信データを自動転送し、その後、そのデータを TXDn 端子に送出します。CPU から TSR レジスタに直接アクセスすることはできません。

26.2.5 CCR0 : 共通コントロールレジスタ 0

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	SSE	—	—	TEIE	TIE	—	—	—	RIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IDSEL	DCME	MPIE	—	—	—	TE	—	—	—	RE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RE	受信許可 0: シリアル受信を禁止 1: シリアル受信を許可	R/W(注1) (注3)
3:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	TE	送信許可 0: シリアル送信を禁止 1: シリアル送信を許可	R/W(注1)
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	MPIE	マルチプロセッサ割り込み許可 CCR3.MP が 1 のときに、調歩同期式モードおよびマンチェスタモードで有効です。 スマートカードインタフェースモードでは、このビットを 0 にしてください。 0: 非マルチプロセッサ受信 1: マルチプロセッサ受信 マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み出されず、ステータスフラグを 1 にすることはできません。マルチプロセッサビットが 1 のデータを受信した場合、MPIE ビットは自動的に 0 にクリアされ、非マルチプロセッサ受信動作に戻ります。マルチプロセッサ機能を使用して受信動作を続けるには、次の受信フレームの STOP ビットの受信よりも十分に早いタイミングで、このビットを 1 にしてください。（同期遅延時間を考慮してください。）	R/W(注2)
9	DCME	データコンペアマッチ有効 調歩同期式モードでのみ有効 0: アドレスマッチ機能は無効 1: アドレスマッチ機能は有効	R/W(注2)
10	IDSEL	ID フレーム選択 マルチプロセッサを使用する調歩同期式モードでのみ有効 0: MPB ビットの値とは無関係に、常にデータを比較 1: MPB ビットが 1（ID フレーム）のときにのみデータを比較	R/W
15:11	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	RIE	受信割り込み許可 0: SCIn_RXI 割り込み要求と SCIn_ERI 割り込み要求を禁止 1: SCIn_RXI 割り込み要求と SCIn_ERI 割り込み要求を許可	R/W
19:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
20	TIE	送信割り込み許可 0: SCIn_TXI 割り込み要求を禁止 1: SCIn_TXI 割り込み要求を許可	R/W
21	TEIE	送信終了割り込み許可 スマートカードインタフェースモードでは、このビットを 0 にしてください。 0: SCIn_TEI 割り込み要求を禁止 1: SCIn_TEI 割り込み要求を許可	R/W
23:22	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
24	SSE	SSn 端子機能有効 簡易 SPI モードで有効 スレーブモード（CCR3.CKE[1:0] は 1x）では、このビットを 1 にしてください。 0: SSn 端子機能は無効 1: SSn 端子機能は有効	R/W
31:25	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. クロック同期式モード (CCR3.MOD[2:0] = 010b)、簡易 SPI モード (CCR3.MOD[2:0] = 011b)、および簡易 IIC モード (CCR3.MOD[2:0] = 100b) では、TE = 0 かつ RE = 0 のときのみ 1 を書き込むことができます。 TE または RE を 1 にした後、TE と RE に 0 のみ書き込み可能です。他のモードでは、どの条件でも書き込みが許可されます。

注 2. このビットは、ハードウェアによってクリアされるビットです。ビット操作命令を使用してこのビット以外のビットに書き込むと、リードモディファイライト命令によってこのビットが意図せず 1 になる可能性があります。

注 3. クロック同期式モードおよび簡易 SPI モードでは、内部クロック（マスタモード）での受信専用設定は禁止されています（TE が 0 かつ RE が 1 の設定は禁止）。

RE ビット（受信許可）

シリアル受信動作を有効または無効にします。

このビットが 1 のとき、調歩同期式モードで同期遅延時間が経過するか、またはクロック同期式モードでは同期クロック入力、マンチェスタモードでは RXDn の立ち下がりエッジ、スマートカードインタフェースモードではスタートビットが検出されると、シリアル受信が可能になります。

受信フォーマットを指定するには、RE ビットを 1 にする前に CCR3 を設定する必要があります。

スマートカードインタフェースモードを除き、RE ビットを 0 にして受信動作を停止しても、CSR.RDRF、FER、PER、ORER、MSR.MER、SBER、SYER、PFER、FRSR.DR の各フラグは影響を受けず、前の値が保持されます。スマートカードインタフェースモードでは、RE ビットを 0 にして受信動作を停止しても、CSR.FER、PER、ORER の各フラグは影響を受けず、以前の値が保持されます。また、受信動作を停止するには、RE ビットを 0 にしてから受信動作が停止されるまでに同期遅延時間が必要です。

TE ビット（送信許可）

シリアル送信を有効または無能にします。

このビットが 1 のとき、同期遅延時間が経過すると、シリアル送信が可能になります。同期遅延時間が経過すると、送信データが TDR に書き込まれて送信が開始されます。送信フォーマットを指定するには、TE ビットを 1 にする前に CCR3 を設定する必要があります。また、TE ビットを 0 にしてから送信制御回路が停止するまでに同期遅延時間が必要です。

MPIE ビット（マルチプロセッサ割り込み許可）

このビットを 1 にすると、マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み出されず、ステータスフラグの設定 (CSR.RDRF, ORER, FER, FRSR, DR, MSR.MER, SYER, PFER, SBER) は無効になります。

マルチプロセッサビットが 1 のデータを受信すると、MPIE ビットは自動的に 0 にクリアされ、通常の受信動作に戻ります。詳細は、「26.4. マルチプロセッサ通信機能」を参照してください。マルチプロセッサ機能を使用して受信動作を継続したい場合は、次の受信フレームの STOP ビットを受信するよりも十分に早く、本ビットを 1 にしてください。

受信データに 0 の MPB ビットが含まれている場合、RSR から RDR へ受信データは転送されず、受信エラーも検出されません。また、ORER、FER、MER、SYER、PFER、および SBER の各フラグを 1 にすることはできません。

受信データに 1 の MPB ビットが含まれている場合、MPB ビットが 1 になると、MPIE ビットは自動的に 0 にクリアされ、SCIn_RXI 割り込み要求および SCIn_ERI 割り込み要求が許可されて（CCR0.RIE が 1 の場合）、ORER、FER、MER、SYER、PFER、および SBER の各フラグを 1 にすることが可能になります。

マルチプロセッサ通信機能を使用しない場合は、MPIE を 0 にしてください。

DCME ビット（データコンペアマッチ有効）

アドレスマッチ機能（データコンペアマッチ機能）を使用するかどうかを選択できます。

DCME が 1 のとき、SCI が比較データ (CCR4.CMPD) と受信データの一致を検出すると、DCME は自動的にクリアされ、その後、SCI 動作モードはデータコンペアマッチ機能なしの受信モードになります。

「26.3.6. アドレス一致（受信データ一致）検出機能」を参照してください。

調歩同期式モード以外では、書き込み値は 0 にする必要があります。

IDSEL ビット（ID フレーム選択）

アドレスマッチ機能が有効なときに、MPB ビットの値にかかわらずデータを比較するのか、または MPB ビットが 1 の場合（ID フレーム）にのみデータを比較するのかを選択できます。DCME と同時に設定してください。

RIE ビット（受信割り込み許可）

SCIn_RXI 割り込み要求および SCIn_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn_RXI 割り込み要求および SCIn_ERI 割り込み要求が禁止されます。

SCIn_ERI 割り込み要求を解除するには、CSR.ORER、FER、または PER から 1 を読み出してからフラグを 0 にするか、RIE ビットを 0 にします。

マンチェスタモードでは、MER、SYER、PFER、および SBER の各フラグも SCIn_ERI 割り込み要求の要因となるため、同じ処理が必要です。これらのフラグについては、「26.2.12. MCR : マンチェスタコントロールレジスタ」と「26.2.21. MSR : マンチェスタステータスレジスタ」を参照してください。

TIE ビット（送信割り込み許可）

SCIn_TXI 割り込み要求を許可または禁止します。

TIE ビットを 0 にすると、SCIn_TXI 割り込み要求が禁止されます。送信開始時に、CCR0.TE と CCR0.TIE を同時に 1 にしてください。その後、SCIn_TXI 割り込み要求が発生します。

TEIE ビット（送信終了割り込み許可）

SCIn_TEI 割り込み要求を許可または禁止します。TEIE ビットを 0 にすると、SCIn_TEI 割り込み要求が禁止されます。

簡易 IIC モードでは、開始／再開始／停止条件の発行完了時の割り込み（STIn 割り込み）に SCIn_TEI が割り当てられます。この場合、TEIE ビットによって STIn 割り込み要求を許可または禁止することが可能です。

SSE ビット（SSn 端子機能有効）

SSn 端子を送受信の制御に使用する場合（簡易 SPI モード）、このビットを 1 にします。

他のすべてのモードでは 0 にしてください。SSE ビットと CTSE ビットの両方を有効にするように設定しないでください（両方を有効にした場合、これらのビットを 0 にしたときと同じ動作になります）。

スレーブモード（CCR3.CKE[1:0] が 10 または 11）では、SSE を 1 にしてください。

マスターモード（CCR3.CKE[1:0] が 00 または 01）およびシングルマスタでは、マスタ側の SSn 端子は送受信の制御に不要なため、SSE を 0 にしてください。

26.2.6　CCR1 : 共通コントロールレジスタ 1

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	NFEN	—	NFCS[2:0]			—	—	—	SHARPS	—	—	—	SPLP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RINV	TINV	—	—	PM	PE	—	—	SPB2IO	SPB2DT	—	—	CTSPEN	CTSE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	CTSE	CTS 有効 0: CTS 機能は無効（RTS 出力機能は有効） 1: CTS 機能は有効	R/W
1	CTSPEN	CTS 外部端子許可 0: 1 つの端子で CTS 機能および RTS 機能を交互に使用するための設定 1: CTS 機能および RTS 機能をそれぞれ別の端子で専用に使用するための設定	R/W
3:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	SPB2DT	シリアルポートブレークデータ選択 CCR0.TE = 0 かつ SPB2IO = 1 のときに、TXDn 端子の出力レベルを選択します。(注1) 0: TINV が 0 のとき、TXDn 端子は Low を出力する TINV が 1 のとき、TXDn 端子は High を出力する 1: TINV が 0 のとき、TXDn 端子は High を出力する TINV が 1 のとき、TXDn 端子は Low を出力する	R/W
5	SPB2IO	シリアルポートブレーク入出力 CCR0.TE = 0 のときに、TXDn 端子が SPB2DT の値を出力するかどうかを選択します。(注1) 0: TXDn 端子は SPB2DT ビットの値を出力しない 1: TXDn 端子は SPB2DT ビットの値を出力する	R/W
7:6	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	PE	パリティ許可 調歩同期式モードおよびマンチェスタモードでのみ有効です。スマートカードインタフェースモードでは、このビットを 1 にしてください。 0: 送信時: パリティビットを付加しない 受信時: パリティビットをチェックしない 1: 送信時: パリティビットを付加する 受信時: パリティビットをチェックする	R/W
9	PM	パリティモード PE ビット = 1 の場合にのみ有効です。 0: 偶数パリティを選択する 1: 奇数パリティを選択する	R/W
11:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
12	TINV	TXD 反転 0: 送信データを反転せずに TXDn 端子に出力する(注2) 1: 送信データを反転し TXDn 端子に出力する	R/W
13	RINV	RXD 反転 0: RXDn 端子からの受信データを反転せずに入力する(注2) 1: RXDn 端子からの受信データを反転して入力する	R/W
15:14	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	SPLP	ループバックコントロール 調歩同期式モードでの内部クロック動作時、マンチェスタモードでの内部モード動作時、クロック同期式モードでの内部クロック動作時に使用できます。 0: ノーマルモード 1: ループバックモード	R/W
19:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
20	SHARPS	半二重通信選択 簡易 IIC モード、スマートカードインタフェースモード、または簡易 SPI モードでは、本ビットを 0 に設定してください。 0: TXDn 端子、RXDn 端子は独立 1: TXDn/RXDn 端子の組み合わせを使用 （TXDn 端子を使用した半二重通信）	R/W
23:21	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
26:24	NFCS[2:0]	ノイズフィルタクロック選択 調歩同期式モード、マンチェスタモード、簡易 LIN モード、および簡易 IIC モードで有効 簡易 IIC モードでは、000 の設定はしないでください。 内蔵ボーレートジェネレータソースクロックは、CCR2.CKS [1:0] で選択されるクロックのことです。 ノイズフィルタのクロックソースに選択します。 0 0 0: 基本クロック信号の 1 分周 0 0 1: 内蔵ボーレートジェネレータソースクロックの 1 分周 0 1 0: 内蔵ボーレートジェネレータソースクロックの 2 分周 0 1 1: 内蔵ボーレートジェネレータソースクロックの 4 分周 1 0 0: 内蔵ボーレートジェネレータソースクロックの 8 分周 その他: 設定禁止	R/W
27	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
28	NFEN	デジタルノイズフィルタ機能有効 調歩同期式モード、マンチェスタモード、簡易 LIN モード、および簡易 IIC モードで有効 0: 調歩同期式モード、マンチェスタモード、簡易 LIN モードの場合: RXDn 入力信号のノイズ除去機能は無効 簡易 IIC モードの場合: SCLn 入力信号および SDAn 入力信号のノイズ除去機能は無効 1: 調歩同期式モード、マンチェスタモード、簡易 LIN モードの場合: RXDn 入力信号のノイズ除去機能は有効 簡易 IIC モードの場合: SCLn 入力信号および SDAn 入力信号のノイズ除去機能は有効	R/W
31:29	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. 本ビットを調歩同期式モードおよびマンチェスタモードでのみ使用してください。他のモードでの動作は保証されません。
注 2. スマートカードインタフェースモードおよび簡易 IIC モードでは、RINV/TINV を 0 に設定してください。

CTSE ビット（CTS 有効）

SSn 端子を CTSn 制御信号入力として用いて送受信制御を行う場合は 1 を設定します。本ビットを 0 にした場合は RTSn 信号が出力されます。スマートカードインタフェースモード、簡易 SPI モード、簡易 LIN モード、および簡易 IIC モードでは、本ビットを 0 にしてください。CTSE ビット、SSE ビットの両方を有効にしないでください（設定した場合、両ビットともに 0 にしたときと同じ動作となります）。

CTSPEN ビット（CTS 外部端子許可）

CTSE が 1 の場合に、CTS 機能と RTS 機能を使用時、CTSPEN ビットは端子の使用方法を選択します。2 つの端子に CTS 機能と RTS 機能を適用して、同時に使用する場合は、本ビットを 1 にしてください。調歩同期式モードおよびマンチェスタモード以外では、本ビットを 0 にしてください。

CTSE ビットと CTSPEN ビットの設定と、CTSn_RTSn 端子機能と CTSn 端子機能の関係を表 26.3 に示します。

表 26.3 CTSE ビットおよび CTSPEN ビットの設定および端子の機能

CTSE ビット	CTSPEN ビット	CTSn_RTSn 端子	CTSn 端子
0	0	RTSn 信号出力	使用しない
1	0	CTSn 信号入力	使用しない
1	1	RTSn 信号出力	CTSn 信号入力

注. CTSE = 0 のとき、CTSPEN = 0 にしてください。

SPB2DT ビット（シリアルポートブレークデータ選択）、SPB2IO ビット（シリアルポートブレーク入出力）

CCR0.TE ビット、CCR1.SPB2IO ビット、および CCR1.SPB2DT ビットの組み合わせで決定される TXDn 端子状態を表 26.4 に示します。

表 26.4 TXDn 端子の状態

CCR0.TE の値	CCR1.SPB2IO の値	CCR1.SPB2DT の値	TXDn 端子の状態 （TINV が 0 の場合）
0	0	—	Hi-Z（初期値）
0	1	0	Low を出力
0	1	1	High を出力
1	—	—	シリアル送信データを出力

注. —: Don't care

PE ビット（パリティ許可）

PE ビットが 1 の場合、送信前に送信データにパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサ形式では、このビットの設定にかかわらずパリティビットの付加やパリティチェックは行われません。

PM ビット（パリティモード）

送受信時のパリティモード（偶数パリティまたは奇数パリティ）を選択します。マルチプロセッサモードでは、このビットは無効です。

スマートカードインタフェースモードにおけるこのビットの使用方法の詳細については、「26.7.2. データフォーマット（ブロック転送モード時を除く）」を参照してください。

TINV ビット（TXD 反転）、RINV ビット（RXD 反転）

RDR のデータは RINV と CCR3.SINV によって制御されます。TXDn 端子からのデータは TINV と CCR3.SINV によって制御されます。RINV/TINV による制御は通信端子 (RXDn/TXDn) に対して実施されます。したがって、データビットだけでなく他のビット（スタートビット、ストップビット、パリティビット）も制御可能です。詳細は、図 26.3 を参照してください。

簡易 SPI モードで半二重通信およびスレーブ動作の間は、受信に TXDn 端子を使用し、TINV ビットで受信データの反転制御の設定をしてください。

注. IP 動作説明の説明文とタイミングチャートは、TINV の値および RINV の値が指定されていない場合の TINV = 0 および RINV = 0 を説明したものです。

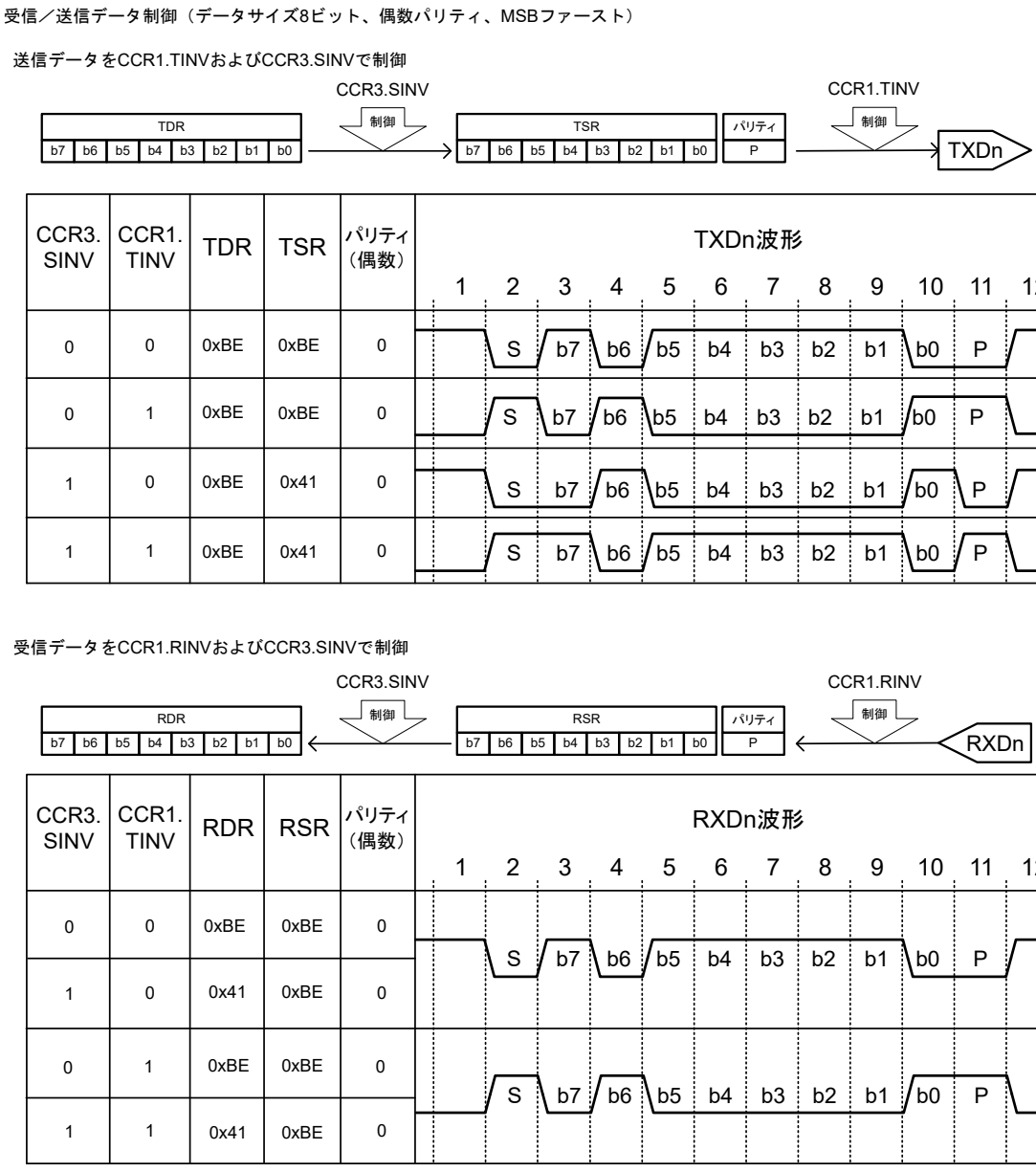


図 26.3　　受信／送信データ制御の例

SPLP ビット（ループバックコントロール）

このビットを 1 にすると、SCI は RXDn からの入力パスをブロックして、TXDn への出力パスを受信データレジスタに接続します。

TINV ビットと組み合わせると、送信データを反転して受信することが可能です。

スレーブ動作時のクロック同期式モード、外部クロック使用時の調歩同期式モード、および簡易 LIN モードでは、このビットを 0 にしてください。

SHARPS ビット（半二重通信選択）

本ビットを 1 にすると、TXDn 端子を使用した半二重通信が許可されます。ただし、簡易 SPI モード、簡易 IIC モード、およびスマートカードインタフェースモードでは使用できません。

このビットを 1 にし、CCR0.TE = 1、CCR0.RE = 0 の場合、TXDn 端子は通信出力になります。このビットを 1 にし、CCR0.TE = 0、CCR0.RE = 1 の場合、TXDn 端子は通信入力になります。詳細は、「26.18. 半二重通信機能」を参照してください。

NFCS[2:0]ビット（ノイズフィルタクロック選択）

これらビットは、デジタルノイズフィルタのサンプリングクロックを選択します。

ノイズフィルタを調歩同期式モード、マンチェスタコード、および簡易 LIN モードで使用するには、これらのビットを 000b から 100b にします。簡易 IIC モードでは、これらのビットを 001b～100b の範囲の値にしてください。

NFEN ビット（デジタルノイズフィルタ機能有効）

本ビットはデジタルノイズフィルタ機能を有効または無効にします。デジタルノイズフィルタ機能を有効にすると、調歩同期式モード、マンチェスタモード、簡易 LIN モードの場合は RXDn 入力信号のノイズを除去し、簡易 IIC モードの場合は SDAn および SCLn 入力信号のノイズを除去します。上記以外のモードでは NFEN ビットを 0 にし、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として転送されます。

26.2.7 CCR2 : 共通コントロールレジスタ 2

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MDDR[7:0]								—	—	CKS[1:0]		—	—	—	BRME
Value after reset:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BRR[7:0]								—	ABCSE	ABCS	BGDM	—	BCP[2:0]		
Value after reset:	1	1	1	1	1	1	1	1	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
2:0	BCP[2:0]	基本クロックパルス スマートカードインタフェースモードにおける、基本クロックのサイクル数を選択します。 0 0 0: 93 クロックサイクル (S = 93)(注1) 0 0 1: 128 クロックサイクル (S = 128)(注1) 0 1 0: 186 クロックサイクル (S = 186)(注1) 0 1 1: 512 クロックサイクル (S = 512)(注1) 1 0 0: 32 クロックサイクル (S = 32)(注1)（初期値） 1 0 1: 64 クロックサイクル (S = 64)(注1) 1 1 0: 372 クロックサイクル (S = 372)(注1) 1 1 1: 256 クロックサイクル (S = 256)(注1)	R/W
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	BGDM	ボーレートジェネレータ倍速モード選択 調歩同期式モード／マンチェスタモード／クロック同期式モード／簡易 SPI モードにおいて、CCR3.CKE[1] が 0 のときに有効です。 0: ボーレートジェネレータから単一周波数のクロックを出力 1: ボーレートジェネレータから 2 倍の周波数のクロックを出力	R/W
5	ABCS	調歩同期基本クロック選択 調歩同期式モード、マンチェスタモード、簡易 LIN モードで有効です。 0: 1 ビット期間に対して基本クロックの 16 サイクルを選択 1: 1 ビット期間に対して基本クロックの 8 サイクルを選択	R/W
6	ABCSE	調歩同期拡張基本クロック選択 調歩同期式モードにおいて CCR3.CKE[1] = 0 の場合にのみ有効です。 0: 1 ビット期間でのクロックサイクルを CCR2.BGDM と CCR2.ABCS の組み合わせで決定 1: ボーレートは 1 ビット期間に対して基本クロックの 6 サイクルであり、ボーレートジェネレータから 2 倍の周波数のクロックを出力	R/W
7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
15:8	BRR[7:0]	ビットレート設定 BRR は、ビットレートを調整する 8 ビットのレジスタです。	R/W
16	BRME	ビットモジュレーション有効 0: ビットレートモジュレーション機能は無効 1: ビットレートモジュレーション機能は有効	R/W
19:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
21:20	CKS[1:0]	クロック選択 0 0: TCLK クロック (n = 0)(注2) 0 1: TCLK/4 クロック (n = 1)(注2) 1 0: TCLK/16 クロック (n = 2)(注2) 1 1: TCLK/64 クロック (n = 3)(注2)	R/W
23:22	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
31:24	MDDR[7:0]	モジュレーションデューティ設定 MDDR は、BRR[7:0]ビットで調節されたビットレートを補正します。	R/W

注 1. S は、BRR[7:0]ビットの説明に記載されている S の値のことです。
注 2. n は、BRR[7:0]ビットの説明に記載されている n の値の 10 進表記のことです。

BCP[2:0]ビット（基本クロックパルス）

これらのビットは、スマートカードインタフェースモードにおいて、1 ビットデータ転送期間中の基本クロックサイクル数を選択します。

詳細は、「26.7.4. 受信データサンプリングタイミングと受信マージン」を参照してください。

BGDM ビット（ボーレートジェネレータ倍速モード選択）

このビットは、調歩同期式モード、マンチェスタモード、クロック同期式モード、簡易 SPI モードにおいて、クロックソースに内蔵ボーレートジェネレータ (CCR3.CKE[1] = 0) を選択したとき有効です。外部クロック選択時 (CCR3.CKE[1] = 1) は、0 にしてください。ボーレートジェネレータからのクロック出力には、単一または 2 倍の周波数を選択できます。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビットを 1 にすると、基本クロックのサイクルが 1/2 倍になり、ビットレートが 2 倍になります。

このビットは、調歩同期式モード、マンチェスタモード、クロック同期式モード、および簡易 SPI モード以外では 0 にしてください。

ABCS ビット（調歩同期基本クロック選択）

1 ビット期間に対してクロックサイクルを選択します。

調歩同期式モード、マンチェスタモード、および簡易 LIN モード以外では 0 にしてください。

ABCSE ビット（調歩同期拡張基本クロック選択）

1 ビット期間での基本クロックのパルス数は 6 であり、ボーレートジェネレータから 2 倍の周波数のクロックが出力されます。バスクロック周波数を分周してビットレートを 6 にする場合にのみ、このビットを使用し、かつ CCR2.CKS[1:0] = 00b および BRR[7:0] = 0x00 に設定してください。

このビットは、調歩同期式モード以外では 0 にしてください。調歩同期式モードにおいても、外部クロックを使っている場合は、このビットを 0 にしてください。

表 26.5 1 ビットごとの基本クロックサイクル数

ABCSE	ABCS	BGDM	1 ビットごとの基本クロックサイクル数	ボーレートジェネレータの周波数
0	0	0	16	×1
0	0	1	16	×2
0	1	0	8	×1
0	1	1	8	×2
1	—（don't care）	—（don't care）	6	×2

BRR[7:0]ビット（ビットレート設定）

BRR は、ビットレートを調整する 8 ビットのレジスタです。

SCI はボーレートジェネレータが独立しているため、それぞれ異なるビットレートの設定が可能です。調歩同期式モード、マルチプロセッサ通信、マンチェスタモード、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードにおける、BRR レジスタの設定値 N とビットレート B の関係を表 26.6 に示します。

表 26.6　BRR の設定値 N とビットレート B の関係

モード	CCR2 の設定			BRR[7:0]の設定	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ、マンチェスタ、簡易 LIN(注3)	0	0	0	$N = \frac{TCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) $= \left\{\frac{TCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
	1	0	0	$N = \frac{TCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) $= \left\{\frac{TCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{TCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 (%) $= \left\{\frac{TCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
	Don't care	Don't care	1(注2)	$N = \frac{TCLK \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 (%) $= \left\{\frac{TCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
クロック同期式、簡易 SPI				$N = \frac{TCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	—
スマートカードインタフェース				$N = \frac{TCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) $= \left\{\frac{TCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1\right\} \times 100$
簡易 IIC(注1)				$N = \frac{TCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	—

注.　B：ビットレート (bps)
N：内蔵ボーレートジェネレータの BRR 設定値 (0≦N≦255)
TCLK：動作周波数 (MHz)
n および S：表 26.8 と表 26.9 に示される CCR2 レジスタの設定により決定スマートカードインタフェースモードでは $2^{(2n+1)}$が使用され、他のモードでは $2^{(2n-1)}$が使用されることに注意してください。
注 1.　簡易 IIC モードでは、SCL 出力の High/Low 幅が IIC 規格を満たすように、ビットレートを調整してください。
注 2.　マンチェスタモードでは、ABCSE = 0 のみ選択できます。
注 3.　簡易 LIN モードでは BGDM = 0 および ABCSE = 0 を選択できます。

表 26.7　SCL の High/Low 幅の計算

モード	SCLn	算出式（結果は秒単位）
IIC	High 幅（最小値）	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{TCLK \times 10^6}$
	Low 幅（最小値）	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{TCLK \times 10^6}$

表 26.8　クロックソースの設定

CCR2 の設定		
CKS[1:0]ビット	クロックソース	n
00	TCLK クロック	0
01	TCLK/4 クロック	1
10	TCLK/16 クロック	2
11	TCLK/64 クロック	3

表 26.9　スマートカードインタフェースモード時の基本クロックの設定

CCR2 の設定 BCP[2:0]の設定	1 ビット期間中の基本クロックサイクル	S
0 0 0	93 クロックサイクル	93
0 0 1	128 クロックサイクル	128
0 1 0	186 クロックサイクル	186
0 1 1	512 クロックサイクル	512
1 0 0	32 クロックサイクル	32
1 0 1	64 クロックサイクル	64
1 1 0	372 クロックサイクル	372
1 1 1	256 クロックサイクル	256

調歩同期式モードとマンチェスタモードにおける BRR レジスタの設定値 N の設定例を表 26.10 と表 26.11 に示します。各動作周波数において設定可能な最大ビットレートを表 26.12 に示します。クロック同期式モードと簡易 SPI モードにおける、BRR レジスタ値 N の設定例を表 26.15 に示します。また、スマートカードインタフェースモードにおける、BRR レジスタ値 N の設定例を表 26.17 に示します。簡易 IIC モードにおける、BRR レジスタ値 N の設定例を表 26.19 に示します。スマートカードインタフェースモードでは、1 ビットデータ転送時間における基本クロックのサイクル数 S を選択できます。詳細は、「26.7.4. 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 26.14 と表 26.16 に外部クロック入力時の最大ビットレートを示します。

調歩同期式モードおよびマンチェスタモードにおいて、調歩同期基本クロック選択ビット (ABCS) またはボーレートジェネレータ倍速モード選択ビット (BGDM) のいずれかを 1 にした場合、ビットレートは表 26.10 および表 26.11 に記載された値の 2 倍になります。これらのレジスタの両方を 1 にした場合、ビットレートは記載された値の 4 倍になります。

表 26.10　各ビットレートに対する BRR の設定例（調歩同期式モードおよびマンチェスタモード） (1) (1/3)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0	2	129	0.16	2	155	0.16	2	159	0
300	1	207	0.16	1	255	0	2	64	0.16	2	77	0.16	2	79	0
600	1	103	0.16	1	127	0	1	129	0.16	1	155	0.16	1	159	0
1200	0	207	0.16	0	255	0	1	64	0.16	1	77	0.16	1	79	0
2400	0	103	0.16	0	127	0	0	129	0.16	0	155	0.16	0	159	0
4800	0	51	0.16	0	63	0	0	64	0.16	0	77	0.16	0	79	0
9600	0	25	0.16	0	31	0	0	32	-1.36	0	38	0.16	0	39	0
19200	0	12	0.16	0	15	0	0	15	1.73	0	19	-2.34	0	19	0
31250	0	7	0	0	9	-1.7	0	9	0	0	11	0	0	11	2.4
38400	—	—	—	0	7	0	0	7	1.73	0	9	-2.34	0	9	0

表 26.10　各ビットレートに対する BRR の設定例（調歩同期式モードおよびマンチェスタモード） (1) (2/3)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0	2	233	0.16	2	255	0
300	2	90	0.16	2	103	0.16	2	111	0	2	116	0.16	2	127	0

表 26.10　各ビットレートに対する BRR の設定例（調歩同期式モードおよびマンチェスタモード） (1) (3/3)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
600	1	181	0.16	1	207	0.16	1	223	0	1	233	0.16	1	255	0
1200	1	90	0.16	1	103	0.16	1	111	0	1	116	0.16	1	127	0
2400	0	181	0.16	0	207	0.16	0	223	0	0	233	0.16	0	255	0
4800	0	90	0.16	0	103	0.16	0	111	0	0	116	0.16	0	127	0
9600	0	45	-0.93	0	51	0.16	0	55	0	0	58	-0.69	0	63	0
19200	0	22	-0.93	0	25	0.16	0	27	0	0	28	1.02	0	31	0
31250	0	13	0	0	15	0	0	16	1.2	0	17	0	0	19	-1.7
38400	—	—	—	0	12	0.16	0	13	0	0	14	-2.34	0	15	0

注.　これは、CCR2.ABCS が 0、CCR2.BGDM が 0、かつ CCR2.ABCSE が 0 の場合の例です。
ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。
ABCS を 1 かつ BGDM1 にした場合は、ビットレートが 4 倍になります。

表 26.11　各ビットレートに対する BRR の設定例（調歩同期式モードおよびマンチェスタモード） (2) (1/3)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13	3	145	0.33	3	177	-0.25
150	3	64	0.16	3	80	0.47	3	97	-0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	-0.15	2	194	0.16	2	214	-0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	-0.15	1	194	0.16	1	214	-0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	-0.15	0	194	0.16	0	214	-0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35	0	106	0.39	0	129	0.16
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	64	0.16
31250	0	19	0	0	24	0	0	29	0	0	32	0	0	39	0
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	-0.54	0	32	-1.36

表 26.11　各ビットレートに対する BRR の設定例（調歩同期式モードおよびマンチェスタモード） (2) (2/3)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	50			60			100			120			160		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	221	-0.02	—	—	—	—	—	—	—	—	—	—	—	—
150	3	162	-0.15	3	194	0.16	—	—	—	—	—	—	—	—	—
300	3	80	0.47	3	97	-0.35	3	162	-0.15	3	194	0.16	—	—	—
600	2	162	-0.15	2	194	0.16	3	80	0.47	3	97	-0.35	3	129	0.16
1200	2	80	0.47	2	97	-0.35	2	162	-0.15	2	194	0.16	3	64	0.16
2400	1	162	-0.15	1	194	0.16	2	80	0.47	2	97	-0.35	2	129	0.16
4800	1	80	0.47	1	97	-0.35	1	162	-0.15	1	194	0.16	2	64	0.16
9600	0	162	-0.15	0	194	0.16	1	80	0.47	1	97	-0.35	1	129	0.16
19200	0	80	0.47	0	97	-0.35	0	162	-0.15	0	194	0.16	1	64	0.16
31250	0	49	0	0	59	0	1	24	0	0	119	0	0	159	0

表 26.11　各ビットレートに対する BRR の設定例（調歩同期式モードおよびマンチェスタモード） (2) (3/3)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	50			60			100			120			160		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
38400	0	40	-0.76	0	48	-0.35	0	80	0.47	0	97	-0.35	0	129	0.16

注.　これは、CCR2.ABCS が 0、CCR2.BGDM が 0、かつ CCR2.ABCSE が 0 の場合の例です。
ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。
ABCS を 1 かつ BGDM1 にした場合は、ビットレートが 4 倍になります。

表 26.12　各動作周波数における最大ビットレート（調歩同期式モードおよびマンチェスタモード） (1)

TCLK (MHz)	CCR2 の設定					最大ビットレート (bps)	TCLK (MHz)	CCR2 の設定					最大ビットレート (bps)
	BGDM	ABCS	ABCSE	n	N			BGDM	ABCS	ABCSE	n	N	
8	0	0	0	0	0	250000	16	0	0	0	0	0	500000
		1	0	0	0	500000			1	0	0	0	1000000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1000000			1	0	0	0	2000000
	Don't care	Don't care	1	0	0	1333333		Don't care	Don't care	1	0	0	2666666
9.8304	0	0	0	0	0	307200	17.2032	0	0	0	0	0	537600
		1	0	0	0	614400			1	0	0	0	1075200
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1228800			1	0	0	0	2150400
	Don't care	Don't care	1	0	0	1638400		Don't care	Don't care	1	0	0	2867200
10	0	0	0	0	0	312500	18	0	0	0	0	0	562500
		1	0	0	0	625000			1	0	0	0	1125000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1250000			1	0	0	0	2250000
	Don't care	Don't care	1	0	0	1666666		Don't care	Don't care	1	0	0	3000000
12	0	0	0	0	0	375000	19.6608	0	0	0	0	0	614400
		1	0	0	0	750000			1	0	0	0	1228800
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1500000			1	0	0	0	2457600
	Don't care	Don't care	1	0	0	2000000		Don't care	Don't care	1	0	0	3276800
12.288	0	0	0	0	0	384000	20	0	0	0	0	0	625000
		1	0	0	0	768000			1	0	0	0	1250000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1536000			1	0	0	0	2500000
	Don't care	Don't care	1	0	0	2048000		Don't care	Don't care	1	0	0	3333333
14	0	0	0	0	0	437500	25	0	0	0	0	0	781250
		1	0	0	0	875000			1	0	0	0	1562500
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1750000			1	0	0	0	3125000
	Don't care	Don't care	1	0	0	2333333		Don't care	Don't care	1	0	0	4166666

表 26.13　各動作周波数における最大ビットレート（調歩同期式モードおよびマンチェスタモード） (2)

TCLK (MHz)	CCR2 の設定					最大ビットレート (bps)	TCLK (MHz)	CCR2 の設定					最大ビットレート (bps)
	BGDM	ABCS	ABCSE	n	N			BGDM	ABCS	ABCSE	n	N	
30	0	0	0	0	0	937500	50	0	0	0	0	0	1562500
		1	0	0	0	1875000			1	0	0	0	3125000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	3750000			1	0	0	0	6250000
	Don't care	Don't care	1	0	0	5000000		Don't care	Don't care	1	0	0	8333333
33	0	0	0	0	0	1031250	60	0	0	0	0	0	1875000
		1	0	0	0	2062500			1	0	0	0	3750000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	4125000			1	0	0	0	7500000
	Don't care	Don't care	1	0	0	5500000		Don't care	Don't care	1	0	0	10000000
40	0	0	0	0	0	1250000	120	0	0	0	0	0	3750000
		1	0	0	0	2500000			1	0	0	0	7500000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	5000000			1	0	0	0	15000000
	Don't care	Don't care	1	0	0	6666666		Don't care	Don't care	1	0	0	20000000
							160	0	0	0	0	0	5000000
									1	0	0	0	10000000
								1	0	0	0	0	
									1	0	0	0	20000000
								Don't care	Don't care	1	0	0	26666666

表 26.14　外部クロック入力時の最大ビットレート（調歩同期式モード）

TCLK (MHz)	外部クロック (MHz)	最大ビットレート (bps)		TCLK (MHz)	外部クロック (MHz)	最大ビットレート (bps)	
		CCR2.ABCS ビット = 0	CCR2.ABCS ビット = 1			CCR2.ABCS ビット = 0	CCR2.ABCS ビット = 1
8	2	125000	250000	25	6.25	390625	781250
9.8304	2.4576	153600	307200	30	7.5	468750	937500
10	2.5	156250	312500	33	8.25	515625	1031250
12	3	187500	375000	40	10	625000	1250000
12.288	3.072	192000	384000	50	12.5	781250	1562500
14	3.5	218750	437500	60	15	937500	1875000
16	4	250000	500000	120	30	1875000	3750000
17.2032	4.3008	268800	537600	160	40	2500000	5000000
18	4.5	281250	562500				
19.6608	4.9152	307200	614400				
20	5	312500	625000				

表 26.15　各ビットレートに対する BRR の設定（クロック同期式モード、簡易 SPI モード）

ビットレート (bps)	動作周波数 TCLK (MHz)																	
	8			10			30			60			120			160		
	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N
250	0	3	124	0	3	177	—	—	—	—	—	—	—	—	—	—	—	—
500	0	2	249	0	3	77	0	3	233	—	—	—	—	—	—	—	—	—
1k	0	2	124	0	3	38	0	3	116	0	3	233	—	—	—	—	—	—
2.5k	0	2	49	0	1	249	0	3	46	0	3	93	0	3	187	0	3	249
5k	0	2	24	0	1	124	0	2	93	0	3	46	0	3	93	0	3	124
10k	0	1	49	0	0	249	0	2	46	0	2	93	0	3	46	0	2	249
25k	0	2	4	0	1	24	0	1	74	0	1	149	0	2	74	0	3	24
50k	0	1	9	0	0	49	0	0	149	0	1	74	0	1	149	0	2	49
100k	0	1	4	0	0	24	0	0	74	0	0	149	0	1	74	0	2	24
250k	0	1	1	0	0	9	0	0	29	0	1	14	0	1	29	0	2	9
500k	0	1	0	0	0	4	0	0	14	0	0	29	0	1	14	0	2	4
1M	0	0	1	1	0	4	1	0	14	0	0	14	0	0	29	0	1	9
2.5M	—	—	—	0	0	0	0	0	2	0	0	5	0	1	2	0	2	0
5M	—	—	—	1	0	0	1	0	2	0	0	2	0	0	5	0	1	1
7.5M	—	—	—	—	—	—	0	0	0	0	0	1	1	1	0	1	0	10
60M	—	—	—	—	—	—	—	—	—	—	—	—	1	0	0	—	—	—

注.　—: 設定可能ですが、10%を超える誤差が生じます。

表 26.16　外部クロック入力時の最大ビットレート（クロック同期式モード、簡易 SPI モード）

TCLK (MHz)	外部クロック (MHz)	最大ビットレート (Mbps)	TCLK (MHz)	外部クロック (MHz)	最大ビットレート (Mbps)
8	4	4	25	12.5	12.5
10	5	5	30	15	15
12	6	6	33	16.5	16.5
14	7	7	40	20	20
16	8	8	50	25	25
18	9	9	60	30	30
20	10	10	120	60	60

表 26.17　各ビットレートに対する BRR の設定例（スマートカードインタフェースモード、n ＝ 0、S ＝ 372 の場合）(1/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	-30	0	1	-25	0	1	-8.99

表 26.17　各ビットレートに対する BRR の設定例（スマートカードインタフェースモード、n = 0、S = 372 の場合） (2/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	-15.99	0	2	-6.66

表 26.17　各ビットレートに対する BRR の設定例（スマートカードインタフェースモード、n = 0、S = 372 の場合） (3/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	25.00			30.00			33.00			40.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	-12.49	0	3	5.01	0	4	-7.59	0	5	-6.66

表 26.17　各ビットレートに対する BRR の設定例（スマートカードインタフェースモード、n = 0、S = 372 の場合） (4/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	50.00			60.00			120.00			160.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	6	0.01	0	7	5.01	0	16	-1.17	0	21	1.82

表 26.18　各動作周波数における最大ビットレート（スマートカードインタフェースモード、S = 32 の場合）

TCLK (MHz)	最大ビットレート (bps)	n	N	TCLK (MHz)	最大ビットレート (bps)	n	N
10	156250	0	0	30	468750	0	0
10.7136	167400	0	0	33	515625	0	0
13	203125	0	0	40	625000	0	0
16	250000	0	0	50	781250	0	0
18	281250	0	0	60	937500	0	0
20	312500	0	0	120	1875000	0	0
25	390625	0	0	160	2500000	0	0

表 26.19　各ビットレートに対する BRR の設定例（簡易 IIC モードの場合） (1/3)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	8			10			16			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0	0	31	-2.3	1	12	-3.8	1	15	-2.3
25k	0	9	0	0	12	-3.8	1	4	0	1	6	-10.7
50k	0	4	0	0	6	-10.7	1	2	-16.7	1	3	-21.9
100k	0	2	-16.7	0	3	-21.9	0	4	0	0	6	-10.7
250k	0	0	0	0	1	-37.5	0	1	0	0	2	-16.7
350k										0	1	-10.7
400k										0	1	-21.9

表 26.19　各ビットレートに対する BRR の設定例（簡易 IIC モードの場合） (2/3)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	1	19	-2.3	1	23	-2.3	1	25	-0.8	0	124	0
25k	1	7	-2.3	1	9	-6.3	1	10	-6.3	0	40	0
50k	1	3	-2.3	1	4	-6.3	1	5	-14.1	0	24	0
100k	1	1	-2.3	1	2	-21.9	1	2	-14.1	0	12	-3.85
250k	0	3	-21.9	0	3	-6.3	0	4	-17.5	0	4	0
350k	0	2	-25.6	0	2	-10.7	0	2	-1.8	0	3	-10.71
400k	0	1	-2.3	0	1	17.2	0	2	-14.1	0	2	4.17

表 26.19　各ビットレートに対する BRR の設定例（簡易 IIC モードの場合） (3/3)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	50			60			120			160		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	2	9	-2.3	1	46	-0.27	1	93	-0.27	1	124	0
25k	2	3	-2.3	0	74	0	0	149	0	0	199	0
50k	2	1	-2.3	0	37	-1.32	0	74	0	0	99	0
100k	1	3	-2.3	0	18	-1.32	0	37	-1.31	0	49	0
250k	0	6	-10.7	0	7	-6.25	0	14	0	0	19	0
350k	0	4	-10.7	0	4	7.14	0	10	-2.6	0	13	2.04
400k	0	3	-2.34	0	4	-6.25	0	8	4.17	0	12	-3.85

表 26.20　各ビットレートでの SCL High/Low 幅最小値（簡易 IIC モードの場合） (1/3)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	8			10			16			20		
	n	N	High/Low 幅最小値 (μs)	n	N	High/Low 幅最小値 (μs)	n	N	High/Low 幅最小値 (μs)	n	N	High/Low 幅最小値 (μs)
10k	0	24	43.75 / 50.00	0	31	44.80 / 51.20	1	12	45.50 / 52.00	1	15	44.80 / 51.20
25k	0	9	17.50 / 20.00	0	12	18.20 / 20.80	1	4	17.50 / 20.00	1	6	19.60 / 22.40
50k	0	4	8.75 / 10.00	0	6	9.80 / 11.20	1	2	10.50 / 12.00	1	3	11.20 / 12.80
100k	0	2	5.25 / 6.00	0	3	5.60 / 6.40	0	4	4.37 / 5.00	0	6	4.90 / 5.60
250k	0	0	1.75 / 2.00	0	1	2.80 / 3.20	0	1	1.75 / 2.00	0	2	2.10 / 2.40
350k										0	1	1.40 / 1.60
400k										0	1	1.40 / 1.60

表 26.20 各ビットレートでの SCL High/Low 幅最小値（簡易 IIC モードの場合） (2/3)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	25			30			33			40		
	n	N	High/Low 幅最小値 (µs)	n	N	High/Low 幅最小値 (µs)	n	N	High/Low 幅最小値 (µs)	n	N	High/Low 幅最小値 (µs)
10k	1	19	44.80 / 51.20	1	23	44.80 / 51.20	1	25	44.12 / 50.42	1	32	46.20 / 52.80
25k	1	7	17.92 / 20.48	1	9	18.66 / 21.33	1	10	18.66 / 21.33	1	12	18.20 / 20.80
50k	1	3	8.96 / 10.24	1	4	9.33 / 10.66	1	5	10.18 / 11.63	1	6	9.80 / 11.20
100k	1	1	4.48 / 5.12	1	2	5.60 / 6.40	1	2	5.09 / 5.81	0	13	4.90 / 5.60
250k	0	3	2.24 / 2.56	0	3	1.86 / 2.13	0	4	2.12 / 2.42	0	4	1.75 / 2.00
350k	0	2	1.68 / 1.92	0	2	1.40 / 1.60	0	2	1.27 / 1.45	0	3	1.40 / 1.60
400k	0	1	1.12 / 1.28	0	1	0.93 / 1.07	0	2	1.27 / 1.45	0	2	1.05 / 1.20

表 26.20 各ビットレートでの SCL High/Low 幅最小値（簡易 IIC モードの場合） (3/3)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	50			60			120			160		
	n	N	High/Low 幅最小値 (µs)	n	N	High/Low 幅最小値 (µs)	n	N	High/Low 幅最小値 (µs)	n	N	High/Low 幅最小値 (µs)
10k	2	9	44.80 / 51.20	1	47	44.80 / 51.20	1	93	43.87 / 50.13	1	124	43.75 / 50
25k	2	3	17.92 / 20.48	0	74	17.50 / 20.00	0	149	17.50 / 20.00	0	199	17.50 / 20.00
50k	2	1	8.96 / 10.24	0	37	8.87 / 10.13	0	74	8.75 / 10.00	0	99	8.75 / 10.00
100k	1	3	4.48 / 5.12	0	18	4.43 / 5.07	0	37	4.43 / 5.07	0	49	4.38 / 5.00
250k	0	6	1.96 / 2.24	0	7	1.87 / 2.13	0	15	1.87 / 2.13	0	49	1.75 / 2.00
350k	0	4	1.40 / 1.60	0	5	1.40 / 1.60	0	10	1.28 / 1.47	0	19	1.23 / 1.40
400k	0	3	1.12 / 1.28	0	4	1.17 / 1.33	0	9	1.17 / 1.33	0	12	1.14 / 1.30

BRME ビット（ビットモジュレーション有効）

ビットレートモジュレーション機能を有効または無効にします。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートが均一に補正されます。

クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモードおよび簡易 LIN モードでは、0 にしてください。

CKS[1:0]ビット（クロック選択）

これらのビットは内蔵ボーレートジェネレータのクロックソースを選択します。

これらのビットの設定値とボーレートの関係については、BRR[7:0]ビットの説明を参照してください。

MDDR[7:0]ビット（モジュレーションデューティ設定）

BRME ビットが 1 のとき、内蔵ボーレートジェネレータにより生成されるビットレートは、MDDR の設定値 (M/256) に応じて均一に補正されます。MDDR の設定値 M とビットレート B の関係を表 26.21 に示します。

MDDR の初期値は FFh です。このレジスタのビット 7 は 1 に固定されています。

表 26.21　ビットレートモジュレーション機能使用時の MDDR の設定値 M とビットレート B の関係

モード(注1)	CCR2 の設定			BRR 設定値	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ転送	0	0	0	$N = \frac{TCLK \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{TCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{TCLK \times 10^6}{32 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{TCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{TCLK \times 10^6}{16 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{TCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	x（任意）	x（任意）	1 (注2)	$N = \frac{TCLK \times 10^6}{12 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{TCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
簡易 IIC(注2)	$N = \frac{TCLK \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$				

注.　B：ビットレート (bps)
M: MDDR の設定値 (128≦M≦255)
N：ボーレートジェネレータの BRR の設定値 (0≦N≦255)
TCLK：動作周波数 (MHz)
n：表 26.8 に記載されているように、CKS[1:0]の設定値によって決定。

注 1.　クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモード、および簡易 LIN モードでは、この機能を使用しないでください。

注 2.　簡易 IIC モードでは、SCL 出力の High/Low 幅が I2C 規格を満たすように、ビットレートを調整してください。

調歩同期式モードにおける BRR の値Nと MDDR の値 M の設定例を表 26.22 と表 26.23 に示します。

表 26.22　各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (1) (1/3)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	8					9.8304					10				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	5	236	0	0.03	0	7	(256) (注1)	0	0	0	10	173	1	-0.01
57600	0	3	236	0	0.03	0	4	240	0	0	0	4	236	0	0.03
115200	0	1	236	0	0.03	0	1	192	0	0	0	4	236	1	0.03
230400	0	0	236	0	0.03	0	0	192	0	0	0	1	189	1	0.14
460800	0	0	236	1	0.03	0	0	192	1	0	0	0	189	1	0.14

表 26.22　各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (1) (2/3)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	12					12.288					14				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	8	236	0	0.03	0	9	(256) (注1)	0	0	0	16	191	1	0
57600	0	5	236	0	0.03	0	4	192	0	0	0	13	236	1	0.03
115200	0	2	236	0	0.03	0	4	192	1	0	0	6	236	1	0.03
230400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460800	0	0	157	1	-0.18	0	0	154	1	0.26	0	0	135	1	0.14

表 26.22 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (1) (3/3)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	16					17.2032					18				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	11	236	0	0.03	0	13	(256) (注1)	0	0	0	18	166	1	-0.01
57600	0	7	236	0	0.03	0	6	192	0	0	0	18	249	1	-0.01
115200	0	3	236	0	0.03	0	6	192	1	0	0	8	236	1	0.03
230400	0	1	236	0	0.03	0	3	219	1	-0.2	0	1	210	0	0.14
460800	0	1	236	1	0.03	0	1	219	1	-0.2	0	0	210	0	0.14

注. これは、CCR2.ABCS が 0、かつ CCR2.ABCSE が 0 の場合の例です。
注 1. つまり、ビットレートモジュレーション機能は無効です。(CCR2.BRME= 0, M = 256)

表 26.23 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (2) (1/5)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	19.6608					20					25				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	15	(256) (注1)	0	0	0	10	173	0	-0.01	0	11	151	0	0
57600	0	9	240	0	0	0	9	236	0	0.03	0	7	151	0	0
115200	0	4	240	0	0	0	4	236	0	0.03	0	3	151	0	0
230400	0	1	192	0	0	0	4	236	1	0.03	0	1	151	0	0
460800	0	0	192	0	0	0	0	189	0	0.14	0	0	151	0	0

表 26.23 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (2) (2/5)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	30					33					40				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	36	194	1	0.01	0	14	143	0	0.01	0	21	173	0	-0.01
57600	0	10	173	0	-0.01	0	9	143	0	0.01	0	38	230	1	-0.01
115200	0	10	173	1	-0.01	0	4	143	0	0.01	0	9	236	0	0.03
230400	0	6	220	1	-0.09	0	4	143	1	0.01	0	4	236	0	0.03
460800	0	3	252	1	0.14	0	1	229	0	0.1	0	4	236	1	0.03

表 26.23 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (2) (3/5)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	50					60					120				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	23	151	0	0	0	36	194	0	0.01	0	73	194	0	0.01
57600	0	15	151	0	0	0	21	173	0	-0.01	0	58	232	0	0
115200	0	7	151	0	0	0	10	173	0	-0.01	0	21	173	0	-0.01

表 26.23 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (2) (4/5)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	50					60					120				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
230400	0	3	151	0	0	0	10	173	1	-0.01	0	10	173	0	-0.01
460800	0	1	151	0	0	0	6	220	1	-0.09	0	10	173	1	-0.01

表 26.23 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (2) (5/5)

ビットレート (bps)	動作周波数 TCLK (MHz)				
	160				
	n	N	M	BGDM ビット	誤差 (%)
38400	0	117	232	0	0
57600	0	58	174	0	0
115200	1	58	174	0	0
230400	1	38	230	0	-0.01
460800	0	9	236	0	0.03

注. これは、CCR2.ABCS が 0、かつ CCR2.ABCSE が 0 の場合の例です。
注 1. つまり、ビットレートモジュレーション機能は無効です。(CCR2.BRME= 0, M = 256)

26.2.8 CCR3 : 共通コントロールレジスタ 3

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0〜4、9)

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	BLK	GM	—	—	CKE[1:0]		—	—	DEN	FM	MP	MOD[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RXDESEL	STP	SINV	LSBF	—	—	CHR[1:0]		BPEN	—	—	—	—	—	CPOL	CPHA
Value after reset:	0	0	0	1	0	0	1	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	CPHA	クロック位相選択 クロック同期式モードおよび簡易 SPI モードで有効です。このビットは、CCR0.TE = 0 かつ RE = 0 の場合にのみ設定してください。 0: データは奇数エッジでサンプリングされ、偶数エッジで変化。（クロック遅れあり） 1: データは奇数エッジで変化し、偶数エッジでサンプリングされる。（クロック遅れなし）	R/W
1	CPOL	クロック極性選択 クロック同期式モードおよび簡易 SPI モードで有効です。このビットは、CCR0.TE = 0 かつ RE = 0 の場合にのみ設定します。 0: アイドル状態の SCKn は 0。 1: アイドル状態の SCKn は 1。	R/W
6:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	BPEN	シンクロナイザーバイパス有効 このビットは、バスクロックと動作クロックの間でシンクロナイザー回路をバイパスするかどうかを制御します。 0: シンクロナイザー回路をバイパスしない。 1: シンクロナイザー回路をバイパスする。	R/W

ビット	シンボル	機能	R/W
9:8	CHR[1:0]	キャラクタ長 調歩同期式モードおよびマンチェスタモードで有効です。(注1) 送受信用のデータ長を選択します。 0 0: データ長 9 ビットで送受信 0 1: データ長 9 ビットで送受信 1 0: データ長 8 ビットで送受信（初期値） 1 1: データ長 7 ビットで送受信(注2)	R/W
11:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
12	LSBF	LSB ファースト選択 簡易 IIC モードでは、本ビットを 0 にしてください。 簡易 LIN モードでは、このビットを 1 にします。 0: MSB ファースト 1: LSB ファースト	R/W
13	SINV	送受信データ反転 簡易 IIC モードでは、本ビットを 0 にしてください。 通信端子 (RXDn/TXDn) のレベルは、本ビットと CCR1.TINV/RINV ビットの組み合わせにより制御されます。詳細は、図 26.3 を参照してください。 0: TDR レジスタの内容を TSR レジスタにそのまま送信。 RSR レジスタの内容を RDR レジスタにそのまま格納。 1: TSR レジスタへの送信前に TDR レジスタの内容を反転。 RSR レジスタの内容を反転して RDR レジスタに格納。	R/W
14	STP	ストップビット長 調歩同期式モード、マンチェスタモード、簡易 LIN モードで有効です。 0: 1 ストップビット／ブレークデリミタ長は 1 ビットです。 1: 2 ストップビット／ブレークデリミタ長は 2 ビットです。	R/W
15	RXDESEL	調歩同期化スタートビットエッジ検出選択 調歩同期式モードでのみ有効 簡易 LIN モードでは、このビットを 1 にします。 0: RXDn 端子の Low レベルでスタートビットとして検出。 1: RXDn 端子の立ち下がりエッジでスタートビットとして検出。	R/W
18:16	MOD[2:0]	通信モード選択 SCI 通信モードの設定を選択します。 0 0 0: 調歩同期式モード（マルチプロセッサモード） 0 0 1: スマートカードインタフェースモード 0 1 0: クロック同期式モード 0 1 1: 簡易 SPI モード 1 0 0: 簡易 IIC モード 1 0 1: マンチェスタモード 1 1 0: 簡易 LIN モード 1 1 1: 設定禁止	R/W
19	MP	マルチプロセッサモード 調歩同期式モードおよびマンチェスタモードで有効です。 0: マルチプロセッサ通信機能が無効 1: マルチプロセッサ通信機能が有効	R/W
20	FM	FIFO モード選択 調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、簡易 SPI モードで有効です。 0: TDR レジスタ、RDR レジスタが非 FIFO バッファ構成 1: TDR レジスタ、RDR レジスタが FIFO バッファ構成	R/W
21	DEN	ドライバ有効 0: RS-485 ドライバ制御機能が無効。 1: RS-485 ドライバ制御機能が有効。	R/W
23:22	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
25:24	CKE[1:0]	クロック許可 0 0: 調歩同期式モードの場合 内蔵ボーレートジェネレータ I/O ポートの設定に従って、SCKn 端子は入出力ポートとして使用できます。 マンチェスタモードおよび簡易 LIN モードの場合 内蔵ボーレートジェネレータ SCKn 端子は入出力ポートとして使用できます。 クロック同期モードおよび簡易 SPI モードの場合 内部クロック（マスタ動作） SCKn 端子はクロック出力端子となります。 スマートカードインタフェースモードおよび CCR3.GM が 0 の場合 出力禁止（I/O ポートの設定に従って、SCKn 端子は入出力ポートとして使用できます。） スマートカードインタフェースモードおよび CCR3.GM が 1 の場合 Low 出力固定 0 1: 調歩同期式モードの場合 内蔵ボーレートジェネレータ SCKn 端子からビットレートと同じ周波数のクロックを出力します。 マンチェスタモードおよび簡易 LIN モードの場合 禁止 クロック同期モードおよび簡易 SPI モードの場合 内部クロック（マスタ動作） SCKn 端子はクロック出力端子となります。 スマートカードインタフェースモードおよび CCR3.GM が 0 の場合 クロック出力 スマートカードインタフェースモードおよび CCR3.GM が 1 の場合 クロック出力 1 0: 調歩同期式モードの場合 外部クロック ● 外部クロックを使用する場合 CCR2.ABCS ビットが 0 の場合、SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。CCR2.ABCS ビットが 1 の場合、ビットレートの 8 倍の周波数のクロック信号を入力してください。 マンチェスタモードおよび簡易 LIN モードの場合 禁止 クロック同期モードおよび簡易 SPI モードの場合 外部クロック（スレーブ動作） SCKn 端子はクロック入力端子となります。 スマートカードインタフェースモードおよび CCR3.GM が 0 の場合 禁止 スマートカードインタフェースモードおよび CCR3.GM が 1 の場合 High 出力固定 1 1: 調歩同期式モードの場合 外部クロック ● 外部クロックを使用する場合 CCR2.ABCS ビットが 0 の場合、SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。CCR2.ABCS ビットが 1 の場合、ビットレートの 8 倍の周波数のクロック信号を入力してください。 マンチェスタモードおよび簡易 LIN モードの場合 禁止 クロック同期モードおよび簡易 SPI モードの場合 外部クロック（スレーブ動作） SCKn 端子はクロック入力端子となります。 スマートカードインタフェースモードおよび CCR3.GM が 0 の場合 禁止 スマートカードインタフェースモードおよび CCR3.GM が 1 の場合 クロック出力	R/W
27:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
28	GM	GSM モード スマートカードインタフェースモードでのみ有効です。 0: 非 GSM モードで動作 1: GSM モードで動作	R/W
29	BLK	ブロック転送モード スマートカードインタフェースモードでのみ有効です。 0: 非ブロック転送モードで動作 1: ブロック転送モードで動作	R/W

ビット	シンボル	機能	R/W
31:30	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. 調歩同期式モードおよびマンチェスタモード以外では、設定は無効でデータ長は 8 ビット固定です。簡易 LIN モードでデータ長は 8 ビットのみが利用可能であるため、それを初期値として設定します。
注 2. LSB ファースト固定となり、送信時に TDR の MSB（ビット 7）は送信されません。

CPHA ビット（クロック位相選択）

本ビットは、SCKn 端子からのクロック信号出力の位相を選択します。詳細は、図 26.97 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では、ビットを 1 にしてください。

CPOL ビット（クロック極性選択）

本ビットは、SCKn 端子からのクロック信号出力の極性を選択します。詳細は、図 26.97 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では、ビットを 1 にしてください。

BPEN ビット（シンクロナイザーバイパス有効）

バスクロックと動作クロック (TCLK) に同じクロックが入力されている場合にのみ、このビットで同期回路をバイパスできます。詳細は、「26.19. シンクロナイザーバイパス機能」を参照してください。

注. このビット設定の詳細については、「26.20.17. CCR3.BPEN ビットの設定に関する注意事項」を参照してください。

CHR[1:0]ビット（キャラクタ長）

送受信用のデータ長を選択します。

調歩同期式モードとマンチェスタモード以外では、データ長は 8 ビット固定です。

LSBF ビット（LSB ファースト選択）

データの送受信を MSB ファーストで行うのか LSB ファーストで行うのかを選択します。

SINV ビット（送受信データ反転）

SINV は、TDR から TSR への送信データビットの反転と、RSR から RDR への受信データの反転が可能です。このビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させるには、CCR1.PM を反転させます。

STP ビット（ストップビット長）

送信のストップビット長を選択します。

受信時には、このビットの設定にかかわらず、受信したストップビットの 1 ビット目のみがチェックされます。2 ビット目が 0 の場合は、次の送信フレームのスタートビットと見なされます。

また、Start Frame を簡易 LIN モードで送出するときは、これをブレークデリミタ長として使用します。

RXDESEL ビット（調歩同期化スタートビットエッジ検出選択）

調歩同期式モードで受信する場合のスタートビットの検出方法を選択します。このビットの設定により、ブレーク時のデータ受信動作が異なります。ブレーク中に受信動作を停止させたい場合、またはブレーク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せずに受信を開始したい場合、このビットを 1 にします。

簡易 LIN モードでは、このビットを 1 にします。調歩同期式モードおよび簡易 LIN モード以外では、このビットを 0 にします。

MOD[2:0]ビット（通信モード選択）

SCI 通信モードを選択します。

表 26.24　通信モード選択ビット (MOD[2:0]) とその他の動作モード設定ビットの関係

通信モード	調歩同期式				スマートカードインタフェース	クロック同期式	簡易 SPI				簡易 IIC	マンチェスタ		簡易 LIN
CCR3.MOD[2:0]	000b				001b	010b	011b				100b	101b		110b
CCR3.MP	0		1		—	—	—				—	0	1	—
CCR3.FM	0	1	0	1	—	0	1	0	1		—	—		—
CCR3.DEN	0	1	0	1	0	1	0	1	—	—	—	—		—
CCR0.SSE	—				—		0	1	0	1	—	—		—

注.　— は禁止設定です。

MP ビット（マルチプロセッサモード）

マルチプロセッサ通信機能を無効／有効にします。PE ビットおよび PM ビットの設定は、マルチプロセッサモードでは無効です。

FM ビット（FIFO モード選択）

FM ビットを 1 にすると、TDR レジスタ／RDR レジスタが FIFO 構成に切り替わるため、送信 FIFO（TDR レジスタ）／受信 FIFO（RDR レジスタ）をシリアル送信／受信に使用できます。

DEN ビット（ドライバ有効）

RS-485 ドライバ制御機能の無効または有効を選択します。

CKE[1:0]ビット（クロック許可）

これらのビットは、クロックソースおよび SCKn 端子機能を選択します。

スマートカードインタフェースモードでは、これらのビットは SCKn 端子からのクロック出力を制御します。

GSM モードでは、クロック出力を動的に切り替えることが可能です。詳細は、「26.7.8. クロック出力制御」を参照してください。

GM ビット（GSM モード）

このビットを 1 にすると、GSM モードで動作します。

GSM モードでは、CSR.TEND フラグのセットタイミングが、先頭から 11.0 etu（etu : elementary time unit = 1 ビット転送時間）に繰り上げられ、クロック出力制御機能が追加されます。詳細は、「26.7.6. シリアルデータの送信（ブロック転送モードを除く）」、「26.7.8. クロック出力制御」を参照してください。

BLK ビット（ブロック転送モード）

このビットを 1 にすると、ブロック転送モードで動作します。

詳細は、「26.7.3. ブロック転送モード」を参照してください。

26.2.9　CCR4 : 共通コントロールレジスタ 4

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0〜4、9)

Offset address: 0x18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	AET	ATT[2:0]			AJD	AST[2:0]			—	—	—	—	—	—	ATEN	ASEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPD[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	CMPD[8:0]	コンペアマッチデータ 調歩同期式モードでのみ有効 アドレス一致ウェイクアップ機能用の比較データパターンを設定します。	R/W
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	ASEN	受信サンプリングタイミング調節許可 内部クロックを使用した調歩同期式モード、内部クロックを使用した簡易 LIN モード、マスタとして動作するクロック同期式モード、マスタとして動作する簡易 SPI モードで有効 0: サンプリングタイミング調節を禁止 1: サンプリングタイミング調節を許可	R/W
17	ATEN	送信タイミング調節許可 内部クロックを使用した調歩同期式モードでのみ有効 0: 送信タイミング調節を禁止 1: 送信タイミング調節を許可	R/W
23:18	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
26:24	AST[2:0]	受信サンプリングタイミングの調節値 このビットは ASEN = 1 の場合にのみ有効です。 調歩同期式モードおよび内部クロックを使用した簡易 LIN モードの場合 RXDn 端子のサンプリングタイミングは、次の式によってビットの中間から調節されます。 調節サンプリングタイミング = 基本クロック × AST[2:0]の設定値 クロック同期式モードおよび内部クロックを使用した簡易 SPI モードの場合 1～4 TCLK 遅延させることにより、RXDn サンプリングタイミングを調整できます。 0 0 0: 1 TCLK 遅延 0 0 1: 2 TCLK 遅延 0 1 0: 3 TCLK 遅延 0 1 1: 4 TCLK 遅延 その他: 設定禁止	R/W
27	AJD	受信サンプリングタイミングの調節方向 内部クロックを使用した調歩同期式モードおよび内部クロックを使用した簡易 LIN モードで有効 このビットは ASEN = 1 の場合にのみ有効です。 RXDn の受信サンプリングタイミングの調節方向はこのビットで決まります。詳細は、「26.3.10. 受信サンプリングタイミング調節機能（調歩同期式モード）」を参照してください。 0: サンプリングタイミングはビットの中間に向かって後ろ方向に調節されます。 1: サンプリングタイミングはビットの中間に向って前方向に調節されます。	R/W
30:28	ATT[2:0]	送信タイミングの調節値 内部クロックを使用した調歩同期式モードおよび内部クロックを使用した簡易 LIN モードで有効 このビットは ATEN = 1 の場合にのみ有効です。 TXDn のエッジ選択タイミングは次の式によって調節されます。 調整エッジタイミング = 基本クロック × ATT[2:0]の設定値 この設定タイミングは基本クロックサイクルの設定によって制限されます。詳細は、「26.3.11. 送信タイミング調節機能（調歩同期式モード）」を参照してください。	R/W
31	AET	送信タイミングの調節エッジ 内部クロックを使用した調歩同期式モードおよび内部クロックを使用した簡易 LIN モードで有効 調節可能エッジはこのビットによって設定されます。ATEN = 1 のときのみ、本ビットは有効です。詳細は、「26.3.11. 送信タイミング調節機能（調歩同期式モード）」を参照してください。 0: CCR1.TINV が 0 のとき、立ち上がりエッジタイミングを調節。 CCR1.TINV が 1 のとき、立ち下がりエッジタイミングを調節。 1: CCR1.TINV が 0 のとき、立ち下がりエッジタイミングを調節。 CCR1.TINV が 1 のとき、立ち上がりエッジタイミングを調節。	R/W

CMPD[8:0]ビット（コンペアマッチデータ）

アドレス一致検出機能が有効 (CCR0.DCME = 1) な場合、受信データ用の比較データを設定します。CCR0.DCME が 0 のとき、CCR4.CMPD[8:0]に書き込んでください。

比較データでは、3 種類のデータ長（7 ビット長が有効な CMPD[6:0]、8 ビット長の CMPD[7:0]、および 9 ビット長の CMPD[8:0]）を選択できます。

注. このドキュメントの説明およびタイミングチャートに ASEN/ATEN の設定値が指定されていない場合、受信サンプリング調整機能／送信タイミング調節機能は OFF (CCR4.ASEN= 0, CCR4.ATEN= 0).

ASEN ビット（受信サンプリングタイミング調節許可）

このビットが 1 のとき、受信サンプリングタイミング調整機能が有効になります。調歩同期式モード、簡易 LIN モード、クロック同期式モード、および簡易 SPI モードでは、制御が異なります。

内部クロックを使用する調歩同期式モードの詳細は、「26.6.7. 内部クロックを使用したクロック同期式モードでの受信サンプリングタイミング調整機能」を参照してください。簡易 LIN モードで内部クロックを選択した場合の動作は、調歩同期式モードで内部クロックを選択した場合の動作と同じです。

マスタとして動作するクロック同期式モード、マスタとして動作する簡易 SPI モードの詳細は、「26.6.6. シリアルデータの同時送受信（クロック同期式モード）」を参照してください。マスタモード受信サンプリングクロック (MRCLK) のデジタル遅延のみ、このビットで制御できます。MRCLK アナログ遅延は制御できません。

ATEN ビット（送信タイミング調節許可）

このビットが 1 のとき、送信タイミング調節機能が有効になります。送信タイミング調節機能で、TXDn 端子からの波形出力のエッジタイミングを調整できます。詳細は、「26.3.11. 送信タイミング調節機能（調歩同期式モード）」を参照してください。

AST[2:0]ビット（受信サンプリングタイミングの調節値）

ASEN ビットが 1 のとき、このビット設定値に従って受信サンプリングタイミングを調整できます。

内部クロックを使用した調歩同期式モードおよび簡易 LIN モードの場合

RXDn 端子のサンプリングタイミングは、次の式によってビットの中間から調節されます。この設定値は基本クロックサイクルの設定によって制限されます。詳細は、「26.3.10. 受信サンプリングタイミング調節機能（調歩同期式モード）」を参照してください。

調節サンプリングタイミング = 基本クロック × AST[2:0]の設定値

クロック同期式モードおよび内部クロックを使用した簡易 SPI モードの場合

RXDn 端子のサンプリングタイミングは、1 TCLK～4 TCLK の範囲の遅延で調節できます。詳細は、「26.6.7. 内部クロックを使用したクロック同期式モードでの受信サンプリングタイミング調整機能」を参照してください。

000: 1 TCLK 遅延

001: 2 TCLK 遅延

010: 3 TCLK 遅延

011: 4 TCLK 遅延

1xx: 設定禁止

AJD ビット（受信サンプリングタイミングの調節方向）

RXDn 端子サンプリングタイミングの調整方向をビット中間から後ろ方向または前方向に設定します。詳細は、「26.3.10. 受信サンプリングタイミング調節機能（調歩同期式モード）」を参照してください。

ATT[2:0]ビット（送信タイミングの調節値）

AET ビットで指定される TXDn 端子のエッジタイミングは、基本クロック × ATT[2:0]の設定値で調節されます。設定可能な調節時間の上限は、基本クロックサイクルの数によって制限されます。詳細は、「26.3.11. 送信タイミング調節機能（調歩同期式モード）」を参照してください。

AET ビット（送信タイミングの調節エッジ）

タイミング調整用の TXDn 端子エッジを設定します。詳細は、「26.3.11. 送信タイミング調節機能（調歩同期式モード）」を参照してください。

26.2.10 ICR : 簡易 IIC コントロールレジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	IICSCLS[1:0]		IICSDAS[1:0]		—	IICSTPREQ	IICRSTAREQ	IICSTAREQ
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	IICACKT	—	—	—	IICCSC	IICINTM	—	—	—	IICDL[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	IICDL[4:0]	SDA 遅延出力選択 以下のサイクルは、内蔵ボーレートジェネレータからのクロック信号のサイクルです。 0x00: 出力遅延なし 0x01: 0～1 サイクル 0x02: 1～2 サイクル 0x03: 2～3 サイクル 0x04: 3～4 サイクル 0x05: 4～5 サイクル ⋮ 0x1E: 29～30 サイクル 0x1F: 30～31 サイクル	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	IICINTM	IIC 割り込みモード選択 0: ACK/NACK 割り込みを使用 1: 受信割り込みおよび送信割り込みを使用	R/W
9	IICCSC	クロック同期化 0: クロック信号と同期しない 1: クロック信号と同期する	R/W
12:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
13	IICACKT	ACK 送信データ 0: ACK 送信 1: NACK 送信または ACK/NACK 受信	R/W
15:14	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	IICSTAREQ	開始条件生成 0: 開始条件を生成しない 1: 開始条件を生成する。(注1) (注3) (注4) (注5)	R/W
17	IICRSTAREQ	再開始条件生成 0: 再開始条件を生成しない。 1: 再開始条件を生成する。(注2) (注3) (注4) (注5)	R/W
18	IICSTPREQ	停止条件生成 0: 停止条件を生成しない。 1: 停止条件を生成する。(注2) (注3) (注4) (注5)	R/W
19	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
21:20	IICSDAS[1:0]	SDA 出力選択 0 0: シリアルデータ出力 0 1: 開始条件、再開始条件、または停止条件を生成する。 1 0: SDAn 端子に Low を出力する。 1 1: SDAn 端子をハイインピーダンス状態にする。	R/W

ビット	シンボル	機能	R/W
23:22	IICSCLS[1:0]	SCL 出力選択 0 0: シリアルクロック出力 0 1: 開始条件、再開始条件、または停止条件を生成する。 1 0: SCLn 端子に Low を出力する。 1 1: SCLn 端子をハイインピーダンス状態にする。	R/W
31:24	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. バスフリー状態の場合、開始条件生成を行ってください。
注 2. バスビジー状態の場合、図 26.84 および図 26.85 に記載されているアクノリッジ後の SCLn 端子が Low の場合、再開始条件生成または停止条件生成を行ってください。
注 3. IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットは、2 つ以上を 1 にしないでください。
注 4. IICSTIF フラグの値を 0 にしてから、条件生成を行ってください。
注 5. このビットが 1 の状態にあるとき、0 を書き込まないでください。このビットが 1 の状態にあるときに 0 を書き込むと、条件生成が中断します。

IICDL[4:0]ビット（SDA 遅延出力選択）

SCLn 端子の出力の立ち下がりエッジに対する SDAn 端子の出力に、遅延を設定するビットです。内蔵ボーレートジェネレータからのクロック信号を基準として、「遅延なし」から 31 サイクルまでの範囲で設定が可能です。CCR2.CKS[1:0] ビットの設定によって分周された TCLK クロックが、内蔵ボーレートジェネレータからのクロック信号として供給されます。

簡易 IIC モード以外では、これらのビットを 00000b にしてください。簡易 IIC モードでは、これらのビットを 00001b～11111b の範囲で設定してください。

IICINTM ビット（IIC 割り込みモード選択）

このビットは、簡易 IIC モードにおいて、割り込み要求の要因を選択します。

IICCSC ビット（クロック同期化）

他のデバイスによって待機が挿入されて SCLn 端子が Low になっている場合などに、内部生成の SCLn クロック信号を同期化するには、IICCSC ビットを 1 にします。

IICCSC ビットを 0 にすると、SCLn クロック信号の同期化は行われません。SCLn 端子の入力レベルにかかわらず、BRR レジスタで選択したビットレートに従って SCLn クロック信号が生成されます。

デバッグ時を除いて、IICCSC ビットは 1 にしてください。

IICACKT ビット（ACK 送信データ）

送信データは ACK ビットを含みます。ACK ビットおよび NACK ビット受信時は、このビットを 1 にしてください。

IICSTAREQ ビット（開始条件生成）

開始条件の生成を行うときは、IICSTAREQ ビットを 1 にするとともに、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットをそれぞれ 01b にしてください。

停止条件の生成後に開始条件を生成するには、停止条件生成割り込み (STI) 要求出力のビットレートの半サイクルで、開始条件の生成を開始します。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 開始条件の生成終了

IICRSTAREQ ビット（再開始条件生成）

再開始条件の生成を行うときは、IICRSTAREQ ビットを 1 にするとともに、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 再開始条件の生成終了

IICSTPREQ ビット（停止条件生成）

停止条件の生成を行うときは、IICSTPREQ ビットを 1 にするとともに、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 停止条件の生成終了

IICSDAS[1:0]ビット（SDA 出力選択）

このビットは SDAn 端子の出力を制御します。

IICSCLS[1:0]ビット（SCL 出力選択）

このビットは SCLn 端子の出力を制御します。

26.2.11 FCR : FIFO コントロールレジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	RSTRG[4:0]					RFRST	—	—	RTRG[4:0]				
Value after reset:	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TFRST	—	—	TTRG[4:0]					—	—	—	—	—	—	—	DRES
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DRES	受信データレディエラー選択ビット 調歩同期式モードで有効 このビットは、受信データレディ検出の割り込み要求を選択します。 0: 受信データフル割り込み (SCIn_RXI) 1: 受信エラー割り込み (SCIn_ERI)	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
12:8	TTRG[4:0]	送信 FIFO データトリガ数 調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、簡易 SPI モードで有効 トリガ数を 15 以下にしてください。 0x00: トリガ数 0 ⋮ 0x1F: トリガ数 31	R/W
14:13	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15	TFRST	送信 FIFO データレジスタリセット このビットは CCR3.FM が 1 の場合にのみ有効です。 読むと常に 0 が読めます。 0: 無効。動作に影響なし。 1: 送信 FIFO（TDR レジスタ）に格納されたデータの数は 0	W

ビット	シンボル	機能	R/W
20:16	RTRG[4:0]	受信 FIFO データトリガ数 調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、簡易 SPI モードで有効 トリガ数を 15 以下にしてください。 0x00: トリガ数 0 ⋮ 0x1F: トリガ数 31	R/W
22:21	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
23	RFRST	受信 FIFO データレジスタリセット このビットは CCR3.FM が 1 の場合にのみ有効です。 読むと常に 0 が読めます。 0: 無効。動作に影響なし。 1: 受信 FIFO（RDR レジスタ）に格納されたデータの数は 0	W
28:24	RSTRG[4:0]	RTS 出力アクティブトリガ数選択 調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モードで有効 このビットは、CCR3.FM = 1、CCR1.CTSE = 0、CCR0.SSE = 0 の場合にのみ有効です。 トリガ数を 15 以下にしてください。 0x00: トリガ数 0 ⋮ 0x1F: トリガ数 31	R/W
31:29	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

DRES ビット（受信データレディエラー選択ビット）

受信データレディ (FRSR.DR flag = 1) の検出により、SCIn_RXI 割り込み要求が発生するのか SCIn_ERI 要求が発生するのかを選択します。

TTRG[4:0]ビット（送信 FIFO データトリガ数）

送信 FIFO（TDR レジスタ）内の送信データの数が指定された送信トリガ数以下のとき、TDFE フラグは 1 になります。SCR.TIE = 1 のとき、SCIn_TXI 割り込み要求が発生します。

注. トリガ数を 15 にしてください。トリガ数を 16 以上にすると、予期しない SCIn_TXI 割り込みが発生します。

TFRST ビット（送信 FIFO データレジスタリセット）

TFRST ビットを 1 にすると、送信 FIFO（TDR レジスタ）に格納された送信データの数が 0 になります。

RTRG[4:0]ビット（受信 FIFO データトリガ数）

受信 FIFO（RDR レジスタ）内の受信データ数が指定された受信トリガ数以上のとき、CSR.RDRF フラグは 1 になります。CCR0.RIE = 1 のとき、SCIn_RXI 割り込み要求が発生します。FCR.RTRG が 0 であり、受信 FIFO 内のデータの数が 1 以上のとき、RDRF ビットが設定されます。

注. トリガ数を 15 にしてください。トリガ数を 16 以上にすると、予期しない SCIn_RXI 割り込みが発生します。

RFRST ビット（受信 FIFO データレジスタリセット）

RFRST ビットを 1 にすると、受信 FIFO（RDR レジスタ）に格納された受信データの数が 0 になります。

RSTRG[4:0]ビット（RTS 出力アクティブトリガ数選択）

受信 FIFO（RDR レジスタ）に格納された受信データの数がこの数以上のとき、RTSn 信号は High になります。FCR.RSTRG を 0 にし、受信 FIFO 内のデータの数が 1 以上のとき、RTSn は High になります。

注. トリガ数を 15 にしてください。トリガ数を 16 以上にすると、予期しないタイミングで RTSn が High になります。

26.2.12 MCR : マンチェスタコントールレジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	SBERE N	SYERE N	PFERE N	—	—	RPPAT[1:0]		RPLEN[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	TPPAT[1:0]		TPLEN[3:0]				—	SBSEL	SYNSEL	SYNVAL	—	ERTEN	TMPOL	RMPOL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RMPOL	受信マンチェスタコードの極性 受信マンチェスタコードの極性を設定します 0: 論理 0 をマンチェスタコードの 0 から 1 への遷移によってコード化 論理 1 をマンチェスタコードの 1 から 0 への遷移によってコード化 1: 論理 0 をマンチェスタコードの 1 から 0 への遷移によってコード化 論理 1 をマンチェスタコードの 0 から 1 への遷移によってコード化	R/W
1	TMPOL	送信マンチェスタコードの極性 送信マンチェスタコードの極性を設定します 0: 論理 0 をマンチェスタコードの 0 から 1 への遷移によってコード化 論理 1 をマンチェスタコードの 1 から 0 への遷移によってコード化 1: 論理 0 をマンチェスタコードの 1 から 0 への遷移によってコード化 論理 1 をマンチェスタコードの 0 から 1 への遷移によってコード化	R/W
2	ERTEN	マンチェスタエッジ再タイミング許可 受信再タイミング機能を設定します 0: 受信再タイミング機能が無効 1: 受信再タイミング機能が有効	R/W
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	SYNVAL	SYNC 値設定 マンチェスタコードのスタートビットの SYNC タイプを設定します スタートビット領域が 1 ビットで構成される場合。(SBSEL = 0) ● 送信時 0: 0 から 1 への遷移するスタートビットが追加されます。 1: 1 から 0 への遷移するスタートビットが追加されます。 ● 受信時 0: スタートビットが 0 から 1 に遷移した場合にのみデータが受信されます。他の場合はエラーと判断されます。 1: スタートビットが 1 から 0 に遷移した場合にのみデータが受信されます。他の場合はエラーと判断されます。 スタートビット領域が 3 ビットで構成される場合。(SBSEL = 1) ● 送信時 0: 0 から 1 への遷移するスタートビットが追加されます。(DATA SYNC) 1: スタートビットを 1 から 0 への遷移によってコード化(COMMAND SYNC) ● 受信時 スタートビット領域が 3 ビットで構成される場合、このビットとは関係なしにデータが受信されます。	R/W
5	SYNSEL	SYNC 選択 0: スタートビットパターンを SYNVAL ビットで設定 1: スタートビットパターンを TSYNC ビットで設定	R/W
6	SBSEL	スタートビット選択 0: スタートビット領域を 1 ビットで構成 1: スタートビット領域を 3 ビットで構成 （COMMAND SYNC または DATA SYNC）	R/W
7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
11:8	TPLEN[3:0]	送信プレフィス長 マンチェスタモードでの送信データのプレフィス長を設定します 0x0: 送信プレフィスの生成が無効 その他: 送信プレフィス長（ビット長）	R/W
13:12	TPPAT[1:0]	送信プレフィスパターン 送信データのプレフィスパターンを設定します 0 0: すべて 0 0 1: 0 と 1 1 0: 1 と 0 1 1: すべて 1	R/W
15:14	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
19:16	RPLEN[3:0]	受信プレフィス長 マンチェスタモードが有効な場合、受信フレームにプレフィス長を設定します 0x0: 受信プレフィスの生成は無効 その他: 受信プレフィス長（ビット長）	R/W
21:20	RPPAT[1:0]	受信プレフィスパターン 受信フレームのプレフィスパターンを設定します 0 0: すべて 0 0 1: 0 と 1 1 0: 1 と 0 1 1: すべて 1	R/W
23:22	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
24	PFEREN	プレフィスエラー許可 プレフィスエラーを割り込み要因として扱うかどうかを指定します 0: プレフィスエラーを割り込み要因として扱わない 1: プレフィスエラーを割り込み要因として扱う	R/W
25	SYEREN	受信 SYNC エラー許可 受信 SYNC エラーを割り込み要因として扱うかどうかを指定します 0: 受信 SYNC エラーを割り込み要因として扱わない 1: 受信 SYNC エラーを割り込み要因として扱う	R/W
26	SBEREN	スタートビットエラー許可 スタートビットエラーを割り込み要因として扱うかどうかを指定します 0: スタートビットエラーを割り込み要因として扱わない 1: スタートビットエラーを割り込み要因として扱う	R/W
31:27	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

RMPOL ビット（受信マンチェスタコードの極性）

このビットは、受信マンチェスタコードの極性を設定します。詳細は、「26.5.7. シリアルデータの受信（マンチェスタモード）」を参照してください。

TMPOL ビット（送信マンチェスタコードの極性）

このビットは、送信マンチェスタコードの極性を設定します。詳細は、「26.5.6. シリアルデータの送信（マンチェスタモード）」を参照してください。

ERTEN ビット（マンチェスタエッジ再タイミング許可）

このビットは、マンチェスタコードの受信再タイミング機能を設定します。

受信再タイミング機能については、「26.5.9. 受信再タイミング」を参照してください。

SYNVAL ビット（SYNC 値設定）

このビットは、このレジスタの SYNSEL ビットが 0 に設定されているときに有効です。

SYNC タイプは、このビットと SBSEL ビットを組み合わせることによって設定できます。

このビットと SBSEL ビットを組み合わせることによって決まるスタートビット領域については、図 26.52 と図 26.53 を参照してください。

SYNSEL ビット（SYNC 選択）

このビットは、このレジスタの SBSEL ビットが 1 に設定されているときに有効です。このビットは、マンチェスタフレームに追加されるスタートビット領域の SYNC タイプを設定する際の、参照先を指定します。

このビットが 0 のとき、このレジスタの SYNVAL ビットが参照されます。

このビットが 1 のとき、TDR レジスタの TSYNC ビットが参照されます。

SBSEL ビット（スタートビット選択）

このビットは、マンチェスタフレームのスタートビット領域を設定します。

このビットが 1 のときは、各フレームに追加されるスタートビット領域は 3 ビットで構成され、このレジスタの SYNSEL ビットと SYNVAL ビットが有効です。

このビットが 0 のときは、各フレームに追加されるスタートビット領域は 1 ビットで構成されます。

TPLEN[3:0]ビット（送信プレフィス長）

これらビットは、マンチェスタモードでの送信データのプレフィスビット長を設定します。

設定範囲は 0x0～0xF（0d～15d）です。0h の場合は送信プレフィスが無効になり、付加されなくなります。

TPPAT[1:0]ビット（送信プレフィスパターン）

これらのビットは、マンチェスタモードでの 4 つのプレフィスパターンのうちのいずれかに設定されます。TPPAT[1:0]ビットが設定されている場合の送信データについては、図 26.51 を参照してください。

これらビットが 00b のとき、プレフィス領域はすべて 0 に設定されます。

これらビットが 01b のとき、プレフィス領域は 0-1-0-1 のパターンに設定されます。

これらビットが 10b のとき、プレフィス領域は 1-0-1-0 のパターンに設定されます。

これらビットが 11b のとき、プレフィス領域はすべて 1 に設定されます。

RPLEN[3:0]ビット（受信プレフィス長）

これらビットは、マンチェスタモードでの受信フレームのプレフィスビット長を設定します。

設定範囲は 0x0～0xF（0d～15d）です。0x0 の場合は受信プレフィスが無効になり、付加されなくなります。0x1～0xF が設定された場合は、設定値が受信プレフィスビット長として扱われます。

RPPAT[1:0]ビット（受信プレフィスパターン）

これらのビットは、マンチェスタモードでの 4 つのプレフィスパターンのうちのいずれかに設定されます。TPPAT[1:0]ビットが設定されている場合の送信データと受信データについては、図 26.51 を参照してください。

これらビットが 00b のとき、プレフィス領域はすべて 0 として扱われます。

これらビットが 01b のとき、プレフィス領域は 0-1-0-1 のパターンとして扱われます。

これらビットが 10b のとき、プレフィス領域は 1-0-1-0 のパターンとして扱われます。

これらビットが 11b のとき、プレフィス領域はすべて 1 として扱われます。

PFEREN ビット（プレフィスエラー許可）

プレフィスエラーを割り込み要因として扱うかどうかを指定します。

0 にすると、プレフィスエラーが割り込み要因として扱われません。1 にすると、プレフィスエラーが割り込み要因として扱われます。

SYEREN ビット（受信 SYNC エラー許可）

受信 SYNC エラーを割り込み要因として扱うかどうかを指定します。

0 にすると、受信 SYNC エラーが割り込み要因として扱われません。1 にすると、受信 SYNC エラーが割り込み要因として扱われます。

SBEREN ビット（スタートビットエラー許可）

このビットは、スタートビットエラーを割り込み要因として扱うかどうかを指定します。

0 にすると、スタートビットエラーが割り込み要因として扱われません。1 にすると、スタートビットエラーが割り込み要因として扱われます。

26.2.13 DCR : ドライバコントロールレジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0〜4、9)

Offset address: 0x30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	DENGT[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DEAST[4:0]					—	—	—	—	—	—	—	DEPOL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DEPOL	ドライバ有効極性選択 調歩同期式モードでのみ有効 0: DEn 信号はアクティブ High 1: DEn 信号はアクティブ Low	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
12:8	DEAST[4:0]	ドライバアサート時間 調歩同期式モードでのみ有効 ドライバアサート時間を設定します。DEN = 1 のとき、通常の送信待機時間に加えてドライバアサート時間が挿入されます。 DEAST[4:0] = 5'H00 を設定することは禁止されています。	R/W
15:13	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
20:16	DENGT[4:0]	ドライバネゲート時間 調歩同期式モードでのみ有効 ドライバネゲート時間を設定します。DEN = 1 のとき、ストップビット送信終了の後にドライバネゲート時間が挿入されます。 DENGT[4:0] = 5'H00 を設定することは禁止されています。	R/W
31:21	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

DEPOL ビット（ドライバ有効極性選択）

DEn 信号のアクティブレベルを選択します。

DEAST[4:0]ビット（ドライバアサート時間）

ドライバアサート時間（DEn（ドライバ有効）信号の起動からスタートビットの開始までの時間）を設定します。これは、基本クロック期間で表されます。

ドライバアサート時間

= DEAST[4:0] 設定値 × 基本クロック期間 + 送信待機時間

DENGT[4:0]ビット（ドライバネゲート時間）

ドライバネゲート時間（送信メッセージの最後のストップビットの終了から DEn（ドライバ有効）信号が無効になるまでの時間）を設定します。これは、基本クロック期間で表されます。

ドライバネゲート時間

= DENGT[4:0] 設定値 × 基本クロック期間

送信データがドライバネゲート時間中に書き込まれる場合、送信開始動作は書き込み時間に応じて異なります。（DEn 信号は有効なままになり、送信待機時間が経過した後でスタートビットの送信が開始される可能性があります。また、DEn 信号は 1 回無効になる可能性があり、スタートビットの送信はドライバアサート時間が経過した後で開始される可能性があります。）

26.2.14 XCR0 : 簡易 LIN コントロールレジスタ 0

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x34

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	BCCS[1:0]		—	AEDIE	COFIE	BFDIE	—	—	BCDIE	BFOIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PIBS[2:0]			PIBE	CF1DS[1:0]		CF0RE	BFE	—	—	—	—	—	—	TCSS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	TCSS[1:0]	タイマカウントクロックソース選択 （簡易 LIN モードで有効） LIN モジュールのタイマのクロックソースを選択します。 0 1: TCLK/4 1 0: TCLK/16 1 1: TCLK/64	R/W(注1)
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	BFE	Break Field 許可 スタートフレームの Break Field の有無を設定します。 0: Break Field なし 1: Break Field あり	R/W(注3)
9	CF0RE	Control Field 0 許可 スタートフレームの Control Field 0 の有無を設定します。 0: Control Field 0 なし 1: Control Field 0 あり	R/W(注3)
11:10	CF1DS[1:0]	Control Field1 比較データ選択 Control Field 1 の比較データを選択します。 0 0: XCR1.PCF1D[7:0] を比較データとして選択 0 1: XCR1.SCF1D[7:0] を比較データとして選択 1 0: XCR1.PCF1D[7:0] と XCR1.SCF1D[7:0] の両方を比較データとして選択 1 1: 設定禁止	R/W(注3)
12	PIBE	優先割り込みビット許可 0: 優先割り込みビットを禁止 1: 優先割り込みビットを許可	R/W(注3)
15:13	PIBS[2:0]	優先割り込みビット選択 Control Field 1 のビット 1～7 のいずれかを優先割り込みビットとして指定します。 0 0 0: Control Field 1 0 ビット 0 0 1: Control Field 1 1 ビット 0 1 0: Control Field 1 2 ビット 0 1 1: Control Field 1 3 ビット 1 0 0: Control Field 1 4 ビット 1 0 1: Control Field 1 5 ビット 1 1 0: Control Field 1 6 ビット 1 1 1: Control Field 1 7 ビット	R/W(注3)
16	BFOIE	Break Field 出力完了割り込み許可 Break Field 出力完了を SCIn_TXI 割り込み要因として含めるかどうかを選択します。 0: Break Field 出力完了は、SCIn_TXI 割り込み要因には含まれていません。 1: Break field 出力完了を SCIn_TXI 割り込み要因に含める	R/W
17	BCDIE	バス競合検出割り込み許可 バス競合が検出されたときに SCIn_ERI 割り込みを出力するかどうかを選択します。 0: バス競合検出を SCIn_ERI 割り込み要因に含めない 1: バス競合検出を SCIn_ERI 割り込み要因に含める	R/W
19:18	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
20	BFDIE	Break Field 検出割り込み許可 Break Field が検出されたとき、SCIn_BFD 割り込みを出力するかどうかを選択します。 0: Break Field 検出割り込みを禁止 1: Break Field 検出割り込みを許可	R/W
21	COFIE	カウンタオーバーフロー割り込み許可 カウントオーバーフローを SCIn_ERI 割り込み要因として含めるかどうかを選択します。 0: カウンタオーバーフローを SCIn_ERI 割り込み要因に含めない 1: カウンタオーバーフローを SCIn_ERI 割り込み要因に含める	R/W
22	AEDIE	有効エッジ検出割り込み許可 有効エッジが検出されたときに SCIn_AED 割り込みを出力するかどうかを選択します。 0: アクティブエッジ検出割り込みを禁止 1: アクティブエッジ検出割り込みを許可	R/W
23	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:24	BCCS[1:0]	バス競合検出クロック選択 バス競合検出回路のサンプリングクロックを選択します。 CCR2.ABCS = 1 のとき、BCCS[1:0]を 1x にすることは禁止されています。 0 0: 基本クロック(注2) 0 1: 基本クロック/2 1 0: 基本クロック/4 1 1: 設定禁止	R/W
31:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. TCSS[1:0]を書き換えできるのは、タイマが停止している場合（TCST = 0、SDST = 0、および BMEN = 0）だけです。
注 2. 基本クロック：CCR2.ABCS が 0 のとき、1 ビットの 1/16 の期間。CCR2.ABCS が 1 のとき、1 ビットの 1/8 の期間。
注 3. このビットは、スタートフレーム受信動作に必要な設定ビットですこのビットの書き換えは、スタートフレームが受信中または送信中でない場合（XCR1.SDST = 0 および XCR1.TCST = 0）に行ってください。

TCSS[1:0]ビット（タイマカウントクロックソース選択）

簡易 LIN モードのタイマのクロックソースを選択します。

BFE ビット（Break Field 許可）

スタートフレームの Break Field の有無を設定します。

CF0RE ビット（Control Field 0 許可）

スタートフレームの Break Field 0 の有無を設定します。

CF1DS[1:0]ビット（Control Field1 比較データ選択）

Control Field 1 の比較データを選択します。

PIBE ビット（優先割り込みビット許可）

Control Field 1 の優先割り込みビット比較を許可するかどうかを選択します。このビットが 1 のとき、XCR1.CF1CE [7:0] の設定値にかかわらず、PIBS [2:0] に指定されたビットが Control Field 1 (XCR1.PCF1D [7:0]) のプライマリ比較データと比較されます。

PIBS[2:0]ビット（優先割り込みビット選択）

Control Field 1 の N ビット（N = 0～7）を優先割り込みビットとして指定します。

BFOIE ビット（Break Field 出力完了割り込み許可）

Break Field 出力完了を SCIn_TXI 割り込み要因として含めるかどうかを選択します。CCR0.TIE を 1 に、CCR3.MOD [1: 0] を 110b にすると、Break Field 出力の完了時に SCIn_TXI を出力します。

BCDIE ビット（バス競合検出割り込み許可）

バス競合が検出されたときに SCIn_ERI 割り込みを出力するかどうかを選択します。簡易 LIN モード (CCR3.MOD [1:0] = 110b) では、SCIn_ERI 出力の制御はこのビットで行います。CCR3.MOD [1:0] が 110b かつ BCDIE が 1 のときは、CCR0.RIE が 0 の場合でも、バス競合が検出されると SCIn_ERI 割り込みが発行されます。

COFIE ビット（カウンタオーバーフロー割り込み許可）

カウントオーバーフローを SCIn_ERI 割り込み要因として含めるかどうかを選択します。カウンタオーバーフローが発生したら SCIn_ERI を出力するには、CCR0.RIE を 1 かつ CCR3.MOD [1:0] を 110b にする必要があります。

AEDIE ビット（有効エッジ検出割り込み許可）

有効エッジが検出されたときに SCIn_AED 割り込みを出力するかどうかを選択します。有効エッジが検出されたら SCIn_AED を出力するには、XCR1.BMEN を 1 かつ CCR3.MOD [1:0] を 110b にする必要があります。

BCCS[1:0]ビット（バス競合検出クロック選択）

バス競合検出回路のサンプリングクロックを選択します。

26.2.15 XCR1 : 簡易 LIN コントロールレジスタ 1

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x38

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CF1CE[7:0]								SCF1D[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PCF1D[7:0]								—	—	BMEN	SDST	—	—	—	TCST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCST	Break Field 出力タイマカウント開始トリガ 0: Break Field 出力タイマカウントが停止 1: Break Field 出力タイマカウントが開始	R/W
3:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	SDST	スタートフレーム検出有効 0: スタートフレーム／Break Field 検出が無効 1: スタートフレーム／Break Field 検出が有効 このビットと TCST ビットを同時に 1 に設定しないでください。	R/W
5	BMEN	ビットレート測定有効 このビットを SDST ビットと同時に 1 にします。このビットを 0 にした場合、いつでも 0 にできます。 0: ビットレート測定が無効 1: ビットレート測定が有効	R/W
7:6	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	PCF1D[7:0]	Control Field 1 の優先比較データ Control Field 1 の優先比較データ	R/W
23:16	SCF1D[7:0]	Control Field 1 の二次比較データ Control Field 1 の二次比較データ	R/W
31:24	CF1CE[7:0]	Control Field 1 比較ビット有効 Control Field 1 の N ビットを比較するかどうかを選択します。（N = 0～7） 0: Control Field 1 N ビットの比較が無効 1: Control Field 1 N ビットの比較が有効	R/W

TCST ビット（Break Field 出力タイマカウント開始トリガ）

[0 になる条件]

- TCST に 0 を書き込んだとき。Break Field 出力タイマカウントが停止し、TXDn 出力がアイドルレベルになります。
- XCR2.BFLW [15: 0] に設定された期間の Break Field 出力が完了したとき。

[1 になる条件]

- TCST に 1 を書き込んだとき。TXDn から Break Field 出力を開始します。Break Field 出力時に 1 を保持します。

SDST ビット（スタートフレーム検出有効）

このビットに 1 を書き込むと、スタートフレーム検出が開始します。XCR0.BFE が 1 のとき、スタートフレームの検出中および検出後に Break Field を検出できます。XCR0.BFE が 0 のとき、Break Field は検出されません。

このビットに 0 を書き込むと、スタートフレーム検出と Break Field 検出が停止します。ただし、停止時に XSR0.RXDSF が 0 のとき、このビットで SCI コアのデータ受信を停止することはできません。CCR0.RE に 0 を書き込んで受信動作を停止するか、または受信完了後に受信完了処理（CSR.RDRF クリアまたは RDR 読み出し）を実行します。

BMEN ビット（ビットレート測定有効）

このビットを SDST ビットと同時に 1 にします。このビットを 1 にすると、Control Field 0 データと Control Field 1 データの有効エッジインターバルが測定されます。

PCF1D[7:0]ビット（Control Field 1 の優先比較データ）

Control Field 1 の優先比較データを設定します。

SCF1D[7:0]ビット（Control Field 1 の二次比較データ）

Control Field 1 の二次比較データを設定します。

CF1CE[7:0]ビット（Control Field 1 比較ビット有効）

Control Field 1 の N ビットを比較するかどうかを選択します。（N = 0～7）

これらの全ビットが 0 に設定されている場合 (CF1CE[7:0] = 8'h00)、受信完了時に常に Control Field 1 が一致していると判断され、XSR0.CF1MF が設定されます。このビットは PCF1D[7:0]または SCF1D[7:0]での比較有効であり、優先割り込みビット比較有効ではありません。

26.2.16 XCR2 : 簡易 LIN コントロールレジスタ 2

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x3C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BFLW[15:0]															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CF0CE[7:0]								CF0D[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CF0D[7:0]	Control Field 0 コンペアデータ Control Field 0 の比較データ	R/W
15:8	CF0CE[7:0]	Control Field 0 比較ビット有効 Control Field 0 の N ビットを比較するかどうかを選択します。(N = 0～7) 0: Control Field 0 N ビットの比較が無効 1: Control Field 0 N ビットの比較が有効	R/W
31:16	BFLW[15:0]	Break Field 長設定 このレジスタは Break Field 長を設定します。 Break Field 長は、（BFLW [15:0]設定値 + 1） * タイマのクロック このレジスタ設定の上限は 0xFFFE です。 （0xFFFF の設定禁止）	R/W

CF0D[7:0]ビット（Control Field 0 コンペアデータ）

Control Field 0 の比較データ。

CF0CE[7:0]ビット（Control Field 0 比較ビット有効）

Control Field 0 の N ビットを比較するかどうかを選択します。(N = 0～7)

これらの全ビットが 0 に設定されている場合 (CF0CE[7:0] = 8'h00)、受信完了時に常に Control Field 0 が一致していると判断され、XSR0.CF0MF が設定されます。

BFLW[15:0]ビット（Break Field 長設定）

BFLW[15:0]は 16 ビットの Break Field 長設定ビットであり、初期値は 0xFFFE です。

Break Field 長を 1 フレーム以上に設定します。LIN 規格は、Break Field 長を 13 ビット以上と規定しています。

Break Field 送信時：TCST に 1 を書き込むと、SCI は Break Field を TXDn に出力開始します。XCR0.TCSS[1:0]で選択したタイマのクロックで、カウントアップを実施します。カウント値がこのレジスタに設定した値と一致したとき、カウントアップが停止し、TXDn からの Break Field 出力もまた停止します。

Break Field 受信時。SDST に 1 を書き込むと、スタートフレームの検出が有効になります。SCI が RXDn の立ち下がりエッジからカウントを開始します。タイマのクロックは xcr0.tcss[1:0] で選択されます。

カウント値がこのレジスタに設定した値と一致したとき、Break Field が検出されたと判断されます。カウントアップは、次の有効なエッジまたはカウンタのオーバーフローまで続きます。

26.2.17 CSR : 共通ステータスレジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x48

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	RDRF	TEND	TDRE	FER	PER	MFF	—	ORER	—	—	—	—	—	DFER	DPER	DCMF
Value after reset:	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RXDMON	—	—	—	—	—	—	—	—	—	—	ERS	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。	R
4	ERS	エラーシグナルステータスフラグ スマートカードインタフェースモードでのみ有効です。 0: エラーシグナル Low 応答なし 1: エラーシグナル Low 応答あり	R
14:5	—	読むと 0 が読めます。	R
15	RXDMON	シリアル入力データモニタビット パスクロックによる同期化なしの RXDn 端子の状態が表示されます。 0: RINV が 0 のとき、RXDn 端子は Low になる RINV が 1 のとき、RXDn 端子は High になる 1: RINV が 0 のとき、RXDn 端子は High になる RINV が 1 のとき、RXDn 端子は Low になる	R
16	DCMF	データコンペアマッチフラグ 調歩同期式モードでのみ有効 0: 不一致 1: 一致	R
17	DPER	データコンペアマッチパリティエラーフラグ 調歩同期式モードでのみ有効 0: アドレス一致検出時にパリティエラーの発生なし 1: アドレス一致検出時にパリティエラーの発生あり	R

ビット	シンボル	機能	R/W
18	DFER	データコンペアマッチフレーミングエラーフラグ 調歩同期式モードでのみ有効 0: アドレス一致検出時にフレーミングエラーの発生なし 1: アドレス一致検出時にフレーミングエラーの発生あり	R
23:19	—	読むと 0 が読めます。	R
24	ORER	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R
25	—	読むと 0 が読めます。	R
26	MFF	モードフォルトフラグ 簡易 SPI モードでのみ有効 0: モードフォルトエラーなし 1: モードフォルトエラーあり	R
27	PER	パリティエラーフラグ 0: 非 FIFO 選択時 (CCR3.FM = 0): パリティエラーの発生なし FIFO 選択時 (CCR3.FM = 1): 受信 FIFO 内のすべての受信データにパリティエラーなし 1: 非 FIFO 選択時 (CCR3.FM = 0): パリティエラーの発生あり FIFO 選択時 (CCR3.FM = 1): 受信 FIFO 内の受信データに 1 つまたは複数のパリティエラーの発生あり	R
28	FER	フレーミングエラーフラグ 0: 非 FIFO 選択時 (CCR3.FM = 0): フレーミングエラーの発生なし FIFO 選択時 (CCR3.FM = 1): 受信 FIFO 内のすべての受信データにフレーミングエラーなし 1: 非 FIFO 選択時 (CCR3.FM = 0): フレーミングエラーの発生あり FIFO 選択時 (CCR3.FM = 1): 受信 FIFO 内の受信データに 1 つまたは複数のフレーミングエラーの発生あり	R
29	TDRE	送信データエンプティフラグ 0: 非 FIFO 選択時 (CCR3.FM = 0): TDR レジスタに送信データあり FIFO 選択時 (CCR3.FM = 1): 送信 FIFO に書き込まれた送信データの数が、指定された送信トリガ数を超えている 1: 非 FIFO 選択時 (CCR3.FM = 0): TDR レジスタに送信データなし FIFO 選択時 (CCR3.FM = 1): 送信 FIFO に書き込まれた送信データの数が、指定された送信トリガ数以下である	R
30	TEND	送信終了フラグ 0: キャラクタが送信中または送信スタンバイ中 1: キャラクタの送信が完了、または Break Field を送信中	R
31	RDRF	受信データフルフラグ 0: 非 FIFO 選択時 (CCR3.FM = 0): RDR レジスタに受信データなし FIFO 選択時 (CCR3.FM = 1): 受信 FIFO に書き込まれた受信データの数が、指定された受信トリガ数より少ない 1: 非 FIFO 選択時 (CCR3.FM = 0): RDR レジスタに受信データあり FIFO 選択時 (CCR3.FM = 1): 受信 FIFO に書き込まれた受信データの数が、指定された受信トリガ数以上である	R

ERS ビット（エラーシグナルステータスフラグ）

[1 になる条件]

- エラーシグナル Low がサンプリングされたとき

[0 になる条件]

- CFCLR.ERSC に 1 を書き込んだとき

DCMF ビット（データコンペアマッチフラグ）

DCMF ビットは、SCI が比較データ (CCR4.CMPD) と受信データの一致を検出することを示します。

CCR0.RE ビットを 0 にしても、DCMF フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- CCR0.DCME = 1 の状態で比較データ (CCR4.CMPD) と受信データが一致

[0 になる条件]

- CFCLR.DCMFC に 1 を書き込んだとき

DPER ビット（データコンペアマッチパリティエラーフラグ）

DPER ビットは、アドレス一致検出（受信データの一致検出）時にパリティエラーが発生したことを示します。

CCR0.RE ビットを 0 にしても、DPER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- アドレス一致が検出されたフレームでパリティエラーが検出されたとき

[0 になる条件]

- CFCLR.DPERC に 1 を書き込んだとき

DFER ビット（データコンペアマッチフレーミングエラーフラグ）

DFER ビットは、アドレス一致検出（受信データの一致検出）時にフレーミングエラーが発生したことを示します。

CCR0.RE ビットを 0 にしても、DFER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- アドレス一致が検出されたフレームのストップビットが 0 のとき。
  2 ストップモードの場合、ストップビットの 1 ビット目は 1 であるかどうかだけ判断し、ストップビットの 2 ビット目をチェックしません。

[0 になる条件]

- CFCLR.DFERC に 1 を書き込んだとき

ORER ビット（オーバーランエラーフラグ）

ORER ビットは、受信時にオーバーランエラーが発生して受信が異常終了したことを示します。

CCR0.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の状態を保持します。簡易 IIC モードでは、本ビットは使用されません。

[非 FIFO モード (CCR3.FM = 0) のときの 1 になる条件]

- RDR に格納されたエラーなしの受信データを RDR から読み出す前に、次のデータを受信した場合。
  RDR では、オーバーランエラーが発生する前の受信データを保持しますが、オーバーランエラーが発生した後に受信したデータは失われます。ORER フラグが 1 のときには、受信データは RDR レジスタへ転送されません。
  なお、クロック同期式モードおよび簡易 SPI モードでは、シリアル受信は停止します。

[FIFO モード (CCR3.FM = 1) のときの 1 になる条件]

- 受信 FIFO が 16 バイトの受信データでフルになった状態で、次のシリアル受信を完了したとき

[0 になる条件]

- CFCLR.ORERC に 1 を書き込んだとき

MFF ビット（モードフォルトフラグ）

MFF ビットは、モードフォルトエラーが発生したことを示します。マルチマスタ構成では、MFF フラグを読み出すとモードフォルトエラーの発生を判別できます。

[1 になる条件]

- 簡易 SPI モードで、マスタ動作（CCR3.CKE[1:0] が 00 または 01）時に Low の SSn 端子に入力が発生

[0 になる条件]

- CFCLR.MFFC に 1 を書き込んだとき

PER ビット（パリティエラーフラグ）

PER ビットは、受信時にパリティエラーが発生して受信が異常終了したことを示します。

CCR0.RE ビットを 0 にしても、PER フラグは影響を受けず、以前の値を保持します。

クロック同期式モード、簡易 SPI モード、および簡易 IIC モードでは、本ビットは使用されません。

[1 になる条件]

- 受信中にパリティエラーが検出されたとき。FIFO 選択モードでは、受信 FIFO データに 1 つ以上のパリティエラーが検出されたとき。
  非 FIFO モードでは、パリティエラーが発生したときの受信データは RDR へ転送されますが、SCIn_RXI 割り込み要求は発生しません。なお、PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- CFCLR.PERC に 1 を書き込んだとき

FER ビット（フレーミングエラーフラグ）

FER ビットは、受信時にフレーミングエラーが発生して受信が異常終了したことを示します。

CCR0.RE ビットを 0 にしても、FER フラグは影響を受けず、以前の値を保持します。

クロック同期式モード、簡易 SPI モード、および簡易 IIC モードでは、本ビットは使用されません。

[1 になる条件]

- 受信時にストップビットとして 0 がサンプリングされたとき。FIFO 選択モードでは、受信 FIFO データに 1 つ以上のフレーミングエラーが検出されたとき。マンチェスタモードでは、両方のサンプリング結果（1/4 と 3/4 のサンプリングポイント）が 1 ストップビットに対して 1 でないとき。簡易 LIN モードでは、XCR1.SDST が 1 の状態で 1 へ変化する条件が発生した場合でも、FER 設定タイミングは Break Field である可能性があるため、最長で Break Field 判定タイミングまで遅延が発生します。Break Field 判定タイミングの前に RXDn 信号でエッジが検出された場合は、FER が検出されます。Break Field 判定タイミングの前に RXDn 信号でエッジが検出されない場合は、Break Field が検出されます。
  2 ストップビットモードでは、ストップビットの 1 ビット目のみが 1 であるかチェックされ、2 ビット目はチェックされません。非 FIFO モードでは、フレーミングエラーが発生したときの受信データは RDR へ転送されますが、SCIn_RXI 割り込み要求は発生しません。さらに、FER フラグが 1 の状態では、以降の受信データは RDR へ転送されません。

[0 になる条件]

- CFCLR.FERC に 1 を書き込んだとき

TDRE ビット（送信データエンプティフラグ）

[非 FIFO 選択時 (CCR3.FM = 0)]

TDRE ビットは TDR レジスタ内の送信データの有無を示します。

条件 CCR0.TE = 0 は条件 0 よりも優先されます。

その他の 1 になる条件と 0 になる条件が同時に満たされた場合、TDRE フラグは 0 になります。

[1 になる条件]

- CCR0.TE が 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- CFCLR.TDREC に 1 を書き込んだとき
- CCR0.TE が 1 の状態で、TDR レジスタに送信データを書き込んだとき

[FIFO 選択時 (CCR3.FM = 1)]

TDRE ビットは、データが送信 FIFO (TDR) から送信シフトレジスタ (TSR) へ転送されており、送信 FIFO 内のデータの数が指定された送信トリガ数以下であることを示します。

1 になる条件と 0 になる条件が同時に形成された場合、TDRE フラグは 0 になります。その後、送信 FIFO に格納されたデータの数が判別され、この数が TTRG 値以上の場合、1　PCLK 後に TDRE は 1 になります。

[1 になる条件]

- 送信 FIFO に書き込まれた送信データの数が、指定された送信トリガ数以下である(注1)

注 1.　送信 FIFO は 16 段の FIFO レジスタであり、TDRE フラグが 1 のときに書き込み可能なデータの最大数は 0x10 の FTSR.T[5:0] に示されます。それ以上のデータが書き込まれると、データは破棄されます。

[0 になる条件]

- CFCLR.TDREC に 1 を書き込んだとき
- DTC または DMAC によって送信データが送信 FIFO に書き込まれたとき（ブロック転送時の最後のブロック転送）

TEND ビット（送信終了フラグ）

[非 FIFO 選択時 (CCR3.FM = 0)、非スマートカードインタフェースモード (CCR3.MOD[2:0] ≠ 001) の場合]

TEND ビットは、送信が終了したことを示します。

[1 になる条件]

- CCR0.TE が 0 のとき
- CCR0.TE ビットを 0 から 1 に変更しても、TEND フラグは影響を受けず、値 1 を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき
- DE 制御機能が有効 (CCR3.DEN = 1) な状態で、DE ネゲート時間の終了時に TDR レジスタが更新されていないとき
- Break Field が送信されるとき

[0 になる条件]

- CCR0.TE = 1 の状態で送信データが TDR レジスタに書き込まれた後で、同期遅延時間が経過したとき
- CCR0.TE = 1 の状態で、CFCLR.TDREC に 1 を書き込んだとき

[非 FIFO 選択時 (CCR3.FM = 0)、スマートカードインタフェースモード (CCR3.MOD [2:0] = 001) の場合]

受信側からエラー信号がなく、次の送信データが TDR レジスタに転送可能となったとき、このビットは 1 になります。

[1 になる条件]

- CCR0.TE が 0 のとき
- CCR0.TE ビットを 0 から 1 に変更しても、TEND フラグは影響を受けず、値 1 を保持します。
- 1 バイトのデータを送信してから指定した期間が経過した後、ERS フラグが 0 で、TDR レジスタが更新されないとき。1 になるタイミングは、以下のようにレジスタの設定値によって決まります。
  GM = 0、BLK = 0 のとき、送信開始から 12.5ETU 経過後
  GM = 0、BLK = 1 のとき、送信開始から 11.5ETU 経過後
  GM = 1、BLK = 0 のとき、送信開始から 11.0ETU 経過後
  GM = 1、BLK = 1 のとき、送信開始から 11.0ETU 経過後

[0 になる条件]

- CCR0.TE = 1 の状態で送信データが TDR レジスタに書き込まれた後で、同期遅延時間が経過したとき
- CCR0.TE = 1 の状態で、CFCLR.TDREC に 1 を書き込んだとき

[FIFO 選択時 (CCR3.FM = 1)]

TEND ビットは、シリアルキャラクタの最後尾ビットの送信時に、送信 FIFO に有効なデータがなく、送信が停止したことを示します。

[1 になる条件]

- 1 バイトのシリアルキャラクタの最後尾ビット送信時に、送信 FIFO に送信データがないときに、TEND は 1 になる
- DE 制御機能が有効 (CCR3.DEN = 1) な状態で、DE ネゲート時間の終了時に TDR レジスタが更新されていないとき

[0 になる条件]

- CCR0.TE = 1 の状態で送信データが TDR レジスタに書き込まれた後で、同期遅延時間が経過したとき

RDRF ビット（受信データフルフラグ）

[非 FIFO 選択時 (CCR3.FM = 0)]

RDRF ビットは、RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- CFCLR.RDRFC に 1 を書き込んだとき
- RDR レジスタからデータが読み出されたとき

[FIFO 選択時 (CCR3.FM = 1)]

RDRF ビットは、受信データが FIFO データレジスタ (RDR) へ転送されて、受信 FIFO 内のデータの数が指定された受信トリガ数以上であることを示します。FCR.RTRG が 1 であり、受信 FIFO 内のデータの数が 1 以上のときに、RDRF が設定されます。

[1 になる条件]

- 受信 FIFO 内の受信データの数が、指定された受信トリガ数以上である場合、RDRF は 1 になる(注1)

注 1.　受信 FIFO は 16 段の FIFO レジスタであるため、RDF が 1 のときに読み出し可能なデータの最大数は、指定された受信データ数 (FDR.R[5:0]) と同等です。受信 FIFO 内のデータをすべて読み出した後に、さらに読み出しを行おうとすると、不定値が読み出されます。

[0 になる条件]

- CFCLR.RDRFC に 1 を書き込んだとき
- DTC または DMAC によって受信データが受信 FIFO から読み出されたとき（ブロック転送時の最後のブロック転送）

1 になる条件と 0 になる条件が同時に形成された場合、RDRF フラグは 0 になります。その後、受信 FIFO に格納されたデータの数が判別され、この数が RTRG 値以上の場合、1　PCLK 後に RDRF は 1 になります。

注.　割り込み通信時を除き、RDRF と TDRE は CFCLR レジスタを使用してクリアしないでください。

26.2.18　ISR : 簡易 IIC ステータスレジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x4C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	IICSTIF	—	—	IICACKR
Value after reset:	0	0	0	0	0	0	0	0	0	0	x	x	0	x	0	0

ビット	シンボル	機能	R/W
0	IICACKR	ACK 受信データフラグ 0: ACK 受信 1: NACK 受信	R
1	—	読むと 0 が読めます。	R
2	—	読み出し値は不定です。	R
3	IICSTIF	開始/再開始/停止条件生成完了フラグ 0: 各条件の生成要求がない状態、または条件が生成中の状態 1: 開始条件、再開始条件、または停止条件の生成が完了した状態	R
5:4	—	読み出し値は不定です。	R
31:6	—	読むと 0 が読めます。	R

IICACKR ビット（ACK 受信データフラグ）

受信した ACK ビットおよび NACK ビットを、このビットから読み出すことができます。

IICACKR フラグは、ACK/NACK ビット受信時の SCLn クロックの立ち上がりのタイミングで更新されます。

IICSTIF ビット（開始/再開始/停止条件生成完了フラグ）

このビットは、各条件の生成後に、生成が完了したことを示します。IICSTAREQ ビット、IICRSTAREQ ビット、または IICSTPREQ ビットを用いて各条件の生成を行うときは、IICSTIF フラグを 0 にしてから生成を実行してください。

CCR0.TEIE ビットで割り込み要求が許可されているとき、IICSTIF フラグが 1 の場合に STIn 要求が出力されます。

[1 になる条件]

- 開始条件、再開始条件、または停止条件の生成完了（ただし、1 になる条件が、以下に示す 0 になるフラグ条件と競合した場合は、0 になる条件が優先となります）。

[0 になる条件]

- CFCLR.IICSTIFC ビットに 1 を書いたとき
- 簡易 IIC モードの動作ではないとき
- CCR0.TE ビットに 0 を書いたとき

26.2.19 FRSR : FIFO 受信ステータスレジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x50

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	FNUM[5:0]						—	—	PNUM[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	R[5:0]						—	—	—	—	—	—	—	DR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0

ビット	シンボル	機能	R/W
0	DR	受信データレディフラグ 0: 受信中であるか、または正常に受信を完了した後で受信 FIFO に受信データが残っていない（受信 FIFO が空である） 1: 受信 FIFO にしきい値を下回るデータを格納した後で、次の受信データを一定期間受信していない	R

ビット	シンボル	機能	R/W
1	—	読み出し値は不定です。	R
7:2	—	読むと 0 が読めます。	R
13:8	R[5:0]	受信 FIFO データ数 FCR.FM が 1 のとき、調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、簡易 SPI モードで有効です。 受信 FIFO に格納された受信データの数を示します。	R
15:14	—	読むと 0 が読めます。	R
21:16	PNUM[5:0]	パリティエラー数 調歩同期式モードでのみ有効 受信 FIFO データレジスタに格納された受信データ中の、パリティエラーのあるデータの数を示します。	R
23:22	—	読むと 0 が読めます。	R
29:24	FNUM[5:0]	フレーミングエラー数 調歩同期式モードでのみ有効 受信 FIFO レジスタに格納された受信データ中の、フレーミングエラーのあるデータの数を示します。	R
31:30	—	読むと 0 が読めます。	R

DR ビット（受信データレディフラグ）

DR ビットは、受信 FIFO データレジスタ (RDR) に格納されたデータの数が指定された受信トリガ数より少ないこと、および、調歩同期式モードにおいて最後のストップビットから 15ETU 経過しても次のデータが受信されていないことを示します。このビットは、調歩同期式モード（マルチプロセッサモードを含む）かつ FIFO 選択時にのみ有効です。他のモードでは、このビットは 1 になりません。

[1 になる条件]

- 以下の条件を満たしたとき、DR が 1 になります。
  - 受信 FIFO (RDR) が受信したデータが指定された受信トリガ数より少なく、さらに最後のストップビットから 15ETU(注1)経過しても次のデータが受信されていない。
  - CSR.FER フラグ、CSR.PER フラグが 0 である。

注 1. これは、8 ビットフォーマットで 1 ストップビットが選択されている場合の 1.5 フレーム分に相当します (ETU: Elementary Time Unit)。

[0 になる条件]

- 受信 FIFO（RDR レジスタ）内のすべての受信データが読み出されて、FFCLR.DRC に 1 が書き込まれた場合。
- CCR3.FM ビットが 0 の場合。

R[5:0]ビット（受信 FIFO データ数）

R[5:0]ビットは、受信 FIFO に格納された受信データの数を示します。

0x00 は受信データがないことを意味します。0x10 は受信 FIFO がいっぱいであることを意味します。

PNUM[5:0]ビット（パリティエラー数）

この値は、受信 FIFO レジスタに格納されたデータ中の、パリティエラーのあるデータの数を示します。

FNUM[5:0]ビット（フレーミングエラー数）

この値は、受信 FIFO レジスタに格納されたデータ中の、フレーミングエラーのあるデータの数を示します。

26.2.20 FTSR : FIFO 送信ステータスレジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x54

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	T[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	T[5:0]	送信 FIFO データ数 FCR.FM が 1 のとき、調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、簡易 SPI モードで有効です。 送信 FIFO に格納された未送信データの数を示します。	R
31:6	—	読むと 0 が読めます。	R

T[5:0]ビット（送信 FIFO データ数）

T[5:0]ビットは、送信 FIFO に格納された未送信データの数を示します。

0x00 は未送信データがないことを意味します。0x10 は送信 FIFO がいっぱいであることを意味します。

26.2.21 MSR : マンチェスタステータスレジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x58

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	RSYNC	—	MER	—	SBER	SYER	PFER
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PFER	プレフィスエラーフラグ このビットはプレフィスエラー（パターン不一致）が検出されたときに設定されます。 0: プレフィスエラーの検出なし 1: プレフィスエラーの検出あり	R
1	SYER	SYNC エラーフラグ このビットは受信再タイミング時の調節可能範囲でエッジが検出されなかったときに設定されます。 0: 受信 SYNC エラーの検出なし 1: 受信 SYNC エラーの検出あり	R
2	SBER	スタートビットエラーフラグ このビットはスタートビット領域でパターン不一致が検出されたときに設定されます。 0: スタートビットエラーの検出なし 1: スタートビットエラーの検出あり	R
3	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
4	MER	マンチェスタエラーフラグ マンチェスタモードでのみ有効 0: マンチェスタエラーの発生なし 1: マンチェスタエラーの発生あり	R
5	—	読むと 0 が読めます。	R
6	RSYNC	受信 SYNC データビット マンチェスタモードで MCR.SBSEL = 1 であるときに有効です。それ以外の場合 0 が読み出されます。 0: 受信したスタートビットは DATA SYNC です。 1: 受信したスタートビットは COMMAND SYNC です。	R
31:7	—	読むと 0 が読めます。	R

PFER ビット（プレフィスエラーフラグ）

このビットはマンチェスタモードでのフレーム受信時にプレフィスエラーを検出したことを示します。

CCR0 の RE ビットを 0（シリアル受信を禁止）にしても、PFER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- マンチェスタモードでのフレーム受信時にプレフィスエラーが検出されたとき
  プレフィスエラーが発生したときに以下の動作が行われます。
  - <MCR.PFEREN = 1 の場合>
    受信データは RDR レジスタに転送されず、SCIn_RXI 割り込み要求は発生しません。代わりに SCIn_ERI 割り込み要求が発生します。なお、PFER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。
  - <MCR.PFEREN = 0 の場合>
    受信データが RDR レジスタに転送され、SCIn_RXI 割り込み要求が発生します。SCIn_ERI 割り込み要求は発生しません。PFER フラグが 1 になっていても以降の受信動作には影響しません。

[0 になる条件]

- MFCLR.PFERC に 1 を書き込む

SYER ビット（SYNC エラーフラグ）

このビットはマンチェスタモードで MCR.ERTEN = 1（マンチェスタエッジ再タイミング許可）の場合のフレーム受信時に受信 SYNC エラーを検出したことを示します。

CCR0 の RE ビットを 0（シリアル受信を禁止）にしても、SYER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- マンチェスタモードでのフレーム受信時に受信 SYNC エラーが検出されたとき
  受信 SYNC エラーが発生したときに以下の動作が行われます。
  - <MCR.SYEREN = 1 の場合>
    受信データが RDR レジスタに転送されますが、SCIn_RXI 割り込み要求は発生しません。代わりに SCIn_ERI 割り込み要求が発生します。なお、SYER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。
  - <MCR.SYEREN = 0 の場合>
    受信データが RDR レジスタに転送され、SCIn_RXI 割り込み要求が発生します。SCIn_ERI 割り込み要求は発生しません。SYER フラグが 1 になっていても以降の受信動作には影響しません。

[0 になる条件]

- MFCLR.SYERC に 1 を書き込む

SBER ビット（スタートビットエラーフラグ）

このビットはマンチェスタモードでのフレーム受信時にスタートビットエラーを検出したことを示します。

CCR0 の RE ビットを 0（シリアル受信を禁止）にしても、SBER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- マンチェスタモードでのフレーム受信時にスタートビットエラーが検出されたとき
  スタートビットエラーが発生したときに以下の動作が行われます。
  - <MCR.SBEREN = 1 の場合>
    受信データは RDR レジスタに転送されず、SCIn_RXI 割り込み要求は発生しません。代わりに SCIn_ERI 割り込み要求が発生します。なお、SBER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。
  - <MCR.SBEREN = 0 の場合>
    受信データが RDR レジスタに転送され、SCIn_RXI 割り込み要求が発生ます。SCIn_ERI 割り込み要求は発生しません。SBER フラグが 1 になっていても以降の受信動作には影響しません。

[0 になる条件]

- MFCLR.SBERC に 1 を書き込む

MER ビット（マンチェスタエラーフラグ）

マンチェスタモードでデータを受信すると、マンチェスタエラーが検出され表示されます。CCR0 の RE ビットを 0（シリアル受信を禁止）にしても、MER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- マンチェスタモードでの受信中に、受信フレームのデータ領域でマンチェスタコードエラーを検出したとき。
  エラー発生時は受信データが RDR レジスタに転送されますが、SCIn_RXI 割り込み要求は発生せず、SCIn_ERI 割り込み要求が発生します。
  マンチェスタエラーフラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。
  マンチェスタエラーの詳細については、「26.5.11. マンチェスタモードにおけるエラー」を参照してください。

[0 になる条件]

- MFCLR.MERC に 1 を書き込む

RSYNC ビット（受信 SYNC データビット）

このビットは、マンチェスターモード (CCR3.MOD[2:0] = 101b) で MCR.SBSEL = 1 であるとき、受信したスタートビットの SYNC のタイプを示します。そのほかの設定では、0 に固定されています。

26.2.22　XSR0 : 簡易 LIN ステータスレジスタ 0

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x5C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CF1RD[7:0]								CF0RD[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	AEDF	COF	PIBDF	CF1MF	CF0MF	BFDF	BCDF	BFOF	—	—	—	—	—	—	RXDSF	SFSF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SFSF	スタートフレームステータスフラグ 0: スタートフレーム検出が無効またはスタートフレーム検出が完了 1: スタートフレーム検出前またはスタートフレーム検出中	R(注1)

ビット	シンボル	機能	R/W
1	RXDSF	RXDXn 入力ステータスフラグ 0: SCI への RXDn 入力は有効 1: SCI への RXDn 入力は無効	R(注1)
7:2	—	読むと 0 が読めます。	R
8	BFOF	Break Field 出力完了フラグ 0: Break Field は未出力または出力中 1: Break Field の出力は完了	R
9	BCDF	バス競合検出フラグ 0: バス競合が検出されなかったとき 1: バス競合が検出されたとき	R
10	BFDF	Break Field 検出フラグ 0: Break Field が検出されなかったとき 1: Break Field が検出されたとき	R
11	CF0MF	Control Field 0 コンペアマッチフラグ 0: Control Field 0 データと比較データが一致しなかったとき 1: Control Field 0 データと比較データが一致したとき	R
12	CF1MF	Control Field 1 コンペアマッチフラグ 0: Control Field 1 データと比較データが一致しなかったとき 1: Control Field 1 データと比較データが一致したとき	R
13	PIBDF	優先割り込みビット検出フラグ 0: 優先割り込みビットが検出されなかったとき 1: 優先割り込みビットが検出されたとき	R
14	COF	カウンタオーバーフローフラグ 0: Break Field 検出のカウンタがオーバーフローしなかったとき 1: Break Field 検出のカウンタがオーバーフローしたとき	R
15	AEDF	アクティブエッジ検出フラグ 0: アクティブエッジが検出されなかったとき 1: アクティブエッジが検出されたとき	R
23:16	CF0RD[7:0]	Control Field 0 受信データ Control Field 0 の受信データ。	R
31:24	CF1RD[7:0]	Control Field 1 受信データ Control Field 1 の受信データ。	R

注 1. PCLK が TCLK より速い場合、フラグが 1 になるタイミングは受信データフル割り込み (SCIn_RXI) 出力から遅延します。この条件下でこのフラグを参照するには、受信データフル割り込み (SCIn_RXI) 後に TCLK を 1 サイクル以上待ってから、このレジスタを読み出してください。

SFSF ビット（スタートフレームステータスフラグ）

スタートフレームを検出するかどうかを示します。

[1 になる条件]

- XCR1.SDST レジスタに 1 が書き込まれたとき
- Control Field 0/Control Field 1/情報フィールドフェーズで Break Field が検出され、Control Field 0 または Control Field 1 受信状態への遷移が発生したとき

[0 になる条件]

- XCR1.SDST が 0 のとき
- スタートフレーム検出が完了したとき

RXDSF ビット（RXDXn 入力ステータスフラグ）

SCI コアへの RXDn 入力ステータスを示します。このビットが 1 のとき、RXDn 入力は簡易 LIN モジュールでのみ受信され、Break Field は検出されて SCI コアに入力されません。

BFOF ビット（Break Field 出力完了フラグ）

Break Field 出力の完了を示します。

XFCLR.BFOC に 1 を書き込むと、このビットをクリアできます。

BCDF ビット（バス競合検出フラグ）

簡易 LIN 送信動作におけるバス競合の検出を示します。

XFCLR.BCDC に 1 を書き込むと、このビットをクリアできます。

BFDF ビット（Break Field 検出フラグ）

Break Field 検出を示します。

XFCLR.BFDC に 1 を書き込むと、このビットをクリアできます。

CF0MF ビット（Control Field 0 コンペアマッチフラグ）

Control Field 0 と比較データのコンペアマッチを示します。

XFCLR.CF0MC に 1 を書き込むと、このビットをクリアできます。

CF1MF ビット（Control Field 1 コンペアマッチフラグ）

Control Field 1 と比較データのコンペアマッチ検出を示します。

XFCLR.CF1MC に 1 を書き込むと、このビットをクリアできます。

PIBDF ビット（優先割り込みビット検出フラグ）

Control Field 1 と優先割り込みビットのコンペアマッチ検出を示します。

XFCLR.PIBDC に 1 を書き込むと、このビットをクリアできます。

COF ビット（カウンタオーバーフローフラグ）

簡易 LIN モードで 16 ビットカウンタがオーバーフローしたことを示します。

XFCLR.COFC に 1 を書き込むと、このビットをクリアできます。

AEDF ビット（アクティブエッジ検出フラグ）

アクティブエッジ検出を示します。

XFCLR.AEDC に 1 を書き込むと、XSR1.TCNT[15:0] の読み出し時に、このビットをクリアできます。

CF0RD[7:0]ビット（Control Field 0 受信データ）

Control Field 0 一致が検出された受信データを格納します。

CF1RD[7:0]ビット（Control Field 1 受信データ）

Control Field 1 一致が検出された受信データを格納します。

26.2.23 XSR1 : 簡易 LIN ステータスレジスタ 1

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x60

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TCNT[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TCNT[15:0]	タイマカウントキャプチャ値 16 ビットカウンタのキャプチャ値を格納します。初期値は 0000 です。	R
31:16	—	読むと 0 が読めます。	R

TCNT[15:0]ビット（タイマカウントキャプチャ値）

簡易 LIN モジュールの 16 ビットカウンタのキャプチャ値を格納します。

- スタートフレーム送信時
  このレジスタは前回の値を保持します。
- スタートフレーム受信時（ビットレート測定が無効）
  Break Field 検出状態（図 26.79 を参照）で Break Field が検出された場合、Break Field 長がキャプチャされ保持されます。（カウンタ値は RXDn の立ち上がりエッジでキャプチャされます。）Break Field が Break Field 検出状態以外の状態で検出された場合は、前の値を保持します。
  カウンタがオーバーフローした場合は、キャプチャされません。
- スタートフレーム受信時（ビットレート測定が有効）
  カウント値は、有効エッジ（両方の RXDn エッジ）でキャプチャされて保持されます。ただし、Break Field 検出状態では、有効エッジが発生した場合でもカウント値はキャプチャされません。カウンタのキャプチャ値の保持は、このレジスタ読み出しで解除されます。読み出し前に有効エッジが発生した場合でも、カウンタ値はキャプチャされません。

26.2.24 CFCLR : 共通フラグクリアレジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x68

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	RDRFC	—	TDREC	FERC	PERC	MFFC	—	ORERC	—	—	—	—	—	DFERC	DPERC	DCMFC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	ERSC	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	書く場合、0 としてください。	W
4	ERSC	ERS クリアビット このビットを 1 にすると CSR.ERS ビットをクリアします。読むと常に 0 が読めます。	W
15:5	—	書く場合、0 としてください。	W
16	DCMFC	DCMF クリアビット このビットを 1 にすると CSR.DCMF ビットをクリアします。読むと常に 0 が読めます。	W
17	DPERC	DPER クリアビット このビットを 1 にすると CSR.DPER ビットをクリアします。読むと常に 0 が読めます。	W
18	DFERC	DFER クリアビット このビットを 1 にすると CSR.DFER ビットをクリアします。読むと常に 0 が読めます。	W
23:19	—	書く場合、0 としてください。	W
24	ORERC	ORER クリアビット このビットを 1 にすると CSR.ORER ビットをクリアします。読むと常に 0 が読めます。	W
25	—	書く場合、0 としてください。	W
26	MFFC	MFF クリアビット このビットを 1 にすると CSR.MFF ビットをクリアします。読むと常に 0 が読めます。	W

ビット	シンボル	機能	R/W
27	PERC	PER クリアビット このビットを 1 にすると CSR.PER ビットをクリアします。読むと常に 0 が読めます。	W
28	FERC	FER クリアビット 本ビットを 1 にすると CSR.FER ビットをクリアします。読むと常に	W
29	TDREC	TDRE クリアビット このビットを 1 にすると CSR.TDRE ビットをクリアします。読むと常に 0 が読めます。	W
30	—	書く場合、0 としてください。	W
31	RDRFC	RDRF クリアビット このビットを 1 にすると CSR.RDRF ビットをクリアします。読むと常に 0 が読めます。	W

26.2.25 ICFCLR : 簡易 IIC フラグクリアレジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x6C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	IICSTIFC	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	書く場合、0 としてください。	W
3	IICSTIFC	IICSTIF クリアビット IICSTIF クリアビットを 1 にすると ISR.IICSTIF ビットをクリアします。読むと常に 0 が読めます。	W
31:4	—	書く場合、0 としてください。	W

26.2.26 FFCLR : FIFO フラグクリアレジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x70

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DRC	DR クリアビット このビットを 1 にすると FRSR.DR ビットをクリアします。読むと常に 0 が読めます。	W
31:1	—	書く場合、0 としてください。	W

26.2.27 MFCLR : マンチェスタフラグクリアレジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x74

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	MERC	—	SBERC	SYERC	PFERC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PFERC	PFER クリアビット このビットを 1 にすると MSR.PFER ビットをクリアします。読むと常に 0 が読めます。	W
1	SYERC	SYER クリアビット このビットを 1 にすると MSR.SYER ビットをクリアします。読むと常に 0 が読めます。	W
2	SBERC	SBER クリアビット このビットを 1 にすると MSR.SBER ビットをクリアします。読むと常に 0 が読めます。	W
3	—	書く場合、0 としてください。	W
4	MERC	MER クリアビット このビットを 1 にすると MSR.MER ビットをクリアします。読むと常に 0 が読めます。	W
31:5	—	書く場合、0 としてください。	W

26.2.28 XFCLR : 簡易 LIN フラグクリアレジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0～4、9)

Offset address: 0x78

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	AEDC	COFC	PIBDC	CF1MC	CF0MC	BFDC	BCDC	BFOC	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	書く場合、0 としてください。	W
8	BFOC	BFOF クリアビット このビットを 1 にすると XSR0.BFOF ビットをクリアします。読むと常に 0 が読めます。	W
9	BCDC	BCDF クリアビット 本ビットを 1 にすると XSR0.BCDF ビットをクリアします。読むと常に 0 が読めます。	W
10	BFDC	BFDF クリアビット 本ビットを 1 にすると XSR0.BFDF ビットをクリアします。読むと常に 0 が読めます。	W
11	CF0MC	CF0MF クリアビット このビットを 1 にすると XSR0.CF0MF ビットをクリアします。読むと常に 0 が読めます。	W
12	CF1MC	CF1MF クリアビット このビットを 1 にすると XSR0.CF1MF ビットをクリアします。読むと常に 0 が読めます。	W

ビット	シンボル	機能	R/W
13	PIBDC	PIBDF クリアビット 本ビットを 1 にすると XSR0.PIBDF ビットをクリアします。読むと常に 0 が読めます。	W
14	COFC	COFF クリアビット 本ビットを 1 にすると XSR0.COF ビットをクリアします。読むと常に 0 が読めます。	W
15	AEDC	AEDF クリアビット このビットを 1 にすると XSR0.AEDF ビットをクリアし、XSR1 レジスタの保持を解除します。読むと常に 0 が読めます。	W
31:16	—	書く場合、0 としてください。	W

26.2.29 CESR : 通信許可ステータスレジスタ

Base address: SCI_Bn = 0x4011_8000 + 0x0100 × n (n = 0〜4、9)

Offset address: 0x1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TIST	—	—	—	RIST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RIST	RE 内部ステータス 0: RE 信号内部ステート値 0 1: RE 信号内部ステート値 1	R
3:1	—	読むと 0 が読めます。	R
4	TIST	TE 内部ステータス 0: TE 信号内部ステート値 0 1: TE 信号内部ステート値 1	R
7:5	—	読むと 0 が読めます。	R

通信モジュールとコントロールレジスタの動作クロックを非同期に使用できます。一部のコントロールレジスタ値は同期回路を介して内部的に送信されるため、非同期の場合でも正常に動作します。コントロールレジスタの書き換え後にステートが内部的に反映されるまで、ある程度時間がかかります。

通信許可 CCR0.TE および CCR0.RE はこのレジスタに対応しています。これらのコントロールビットを、次の通信の TE 信号および RE 信号のコントロールビットを書き換えるために 1 から 0 にする場合、内部ステートが 0 になった後で次のコントロールビットを書き換える必要があります。非常に長いクロックを通信モジュールクロックに使用している場合、TE ビットおよび RE ビットのステートは内部的に徐々に反映されるわけではありません。このとき、このレジスタを使用して内部ステータスを確認できます。

26.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 26.4 に示します。1 フレームは、スタートビット (Low) で始まり、送受信データ、パリティビット、ストップビット (High) の順に構成されます。調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High) に保たれています。

SCI は通信回線を監視しています。スタートビットを検出すると、シリアル通信を開始します。スタートビットの検出条件は、CCR3.RXDESEL ビットの設定に従います。CCR3.RXDESEL ビットが 0 であるとき、SCI はスペース（Low レベル）をスタートビットとみなします。RXDESEL ビットが 1 であるとき、SCI は立ち下がりエッジをスタートビットとみなします。

SCI 内部では送信部と受信部は独立しており、全二重通信が可能です。また、送信部と受信部はどちらも FIFO モードに加えてダブルバッファ構成になっているため、送受信中でもデータの読み出し／書き込みが可能であり、連続送受信動作が実現されます。

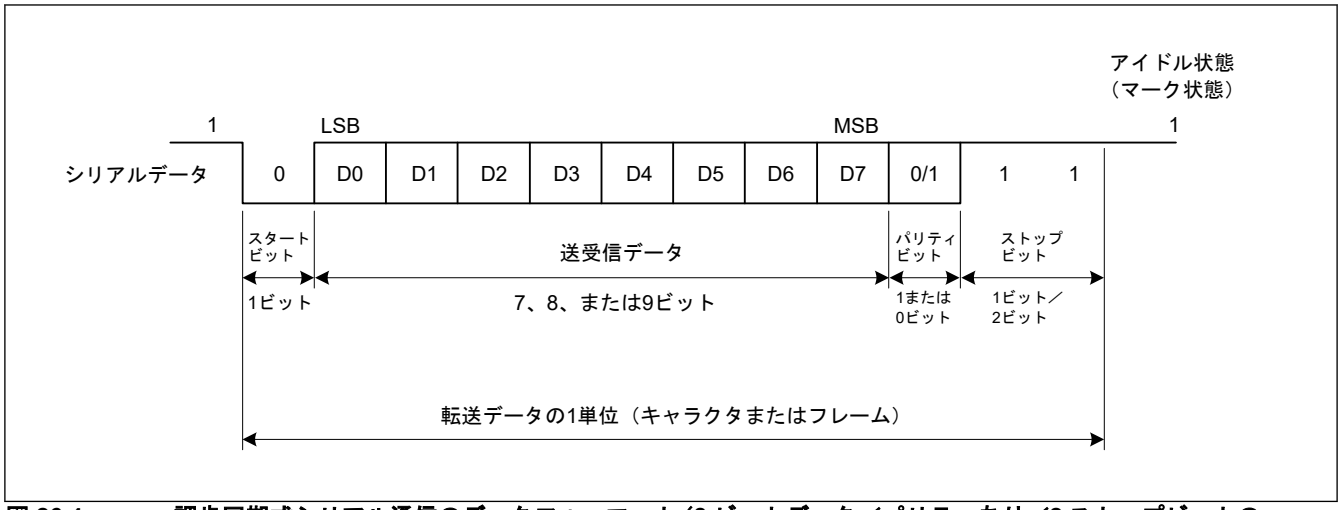


図 26.4　調歩同期式シリアル通信のデータフォーマット（8 ビットデータ／パリティあり／2 ストップビットの場合）

26.3.1　シリアル転送フォーマット

調歩同期式モードで設定できるシリアル送信／受信フォーマットを表 26.25 に示します。フォーマットは 18 種類あり、CCR1 レジスタおよび CCR3 レジスタの設定で選択できます。マルチプロセッサ機能の詳細については「26.4. マルチプロセッサ通信機能」を参照してください。

表 26.25　シリアル転送フォーマット（調歩同期式モード） (1/2)

CCR3		CCR1		CCR3	シリアル送信／受信フォーマットとフレーム長
CHR[1:0]		PE	MP	STP	1 2 3 4 5 6 7 8 9 10 11 12 13
0	0	0	0	0	ST 9 ビットデータ SP
0	0	0	0	1	ST 9 ビットデータ SP SP
0	0	1	0	0	ST 9 ビットデータ P SP
0	0	1	0	1	ST 9 ビットデータ P SP SP
1	0	0	0	0	ST 8 ビットデータ SP
1	0	0	0	1	ST 8 ビットデータ SP SP
1	0	1	0	0	ST 8 ビットデータ P SP
1	0	1	0	1	ST 8 ビットデータ P SP SP
1	1	0	0	0	ST 7 ビットデータ SP
1	1	0	0	1	ST 7 ビットデータ SP SP
1	1	1	0	0	ST 7 ビットデータ P SP
1	1	1	0	1	ST 7 ビットデータ P SP SP

表 26.25　シリアル転送フォーマット（調歩同期式モード） (2/2)

CCR3		CCR1		CCR3	シリアル送信／受信フォーマットとフレーム長
CHR[1:0]		PE	MP	STP	1 2 3 4 5 6 7 8 9 10 11 12 13
0	0	—	1	0	ST | 9 ビットデータ | MPB | SP
0	0	—	1	1	ST | 9 ビットデータ | MPB | SP | SP
1	0	—	1	0	ST | 8 ビットデータ | MPB | SP
1	0	—	1	1	ST | 8 ビットデータ | MPB | SP | SP
1	1	—	1	0	ST | 7 ビットデータ | MPB | SP
1	1	—	1	1	ST | 7 ビットデータ | MPB | SP | SP

ST: スタートビット
SP: ストップビット
P: パリティビット
MPB: マルチプロセッサビット

26.3.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりエッジを基本クロックでサンプリングして内部を同期化します。(注2)

また、図 26.5 に示すように、受信データは基本クロックの 8 パルス目(注1)の立ち上がりエッジでサンプリングされるため、各ビット（サンプリング時間を調整しない場合（CCR4.ASEN = 0 または CCR4.ASEN = 1 かつ CCR4.AST[2:0] = 000b））の中間でデータが取り込まれます。調歩同期式モードでの受信マージンは以下の式 (1) のように表すことができます。

$$M = \left|\left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F)\right| \times 100\ [\%] \quad \ldots \quad \text{式 (1)}$$

注.　M: 受信マージン
N: クロックに対するビットレートの比
（CCR2.ABCSE = 0 かつ CCR2.ABCS = 0 の場合は、N = 16）
CCR2.ABCSE = 0 かつ CCR2.ABCS = 1 の場合、N = 8
（CCR2.ABCSE = 1 の場合は、N = 6）
D: クロックのデューティーサイクル（D = 0.5～1.0）
L: フレーム長（L = 9～13）
F: クロック周波数の偏差の絶対値

式（1）で、F = 0、D = 0.5 とすると、受信マージンは下記の式で算出されます。
$M = \{0.5 - 1/(2 \times 16)\} \times 100\ (\%) = 46.875\ \%$

これは計算上の値を表しています。システム設計の際には 20～30%の余裕を持たせることが推奨されます。

注 1.　この例では、CCR2.ABCS ビットと CCR2.ABCSE ビットが 0 です。ABCS ビットが 1 で ABCSE ビットが 0 の場合は、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 パルス目の立ち上がりエッジでサンプリングされます。
ABCSE ビットが 1 の場合は、ビットレートの 6 倍の周波数が基本クロックとなり、受信データは基本クロックの 3 パルス目の立ち上がりエッジでサンプリングされます。

注 2.　スタートビットの決定条件は以下の通りです。
サンプリングタイミング調節機能がオフ (ASEN = 0) :

スタートビットの決定条件は、Low 状態がビットの中間点より後ろまで続くことです。サンプリングタイミングと同様です。図 26.5 では、スタートビットを検出するためには Low 状態が 8 サイクルより長く続く必要があります。Low 状態が 8 サイクルより長く続かなかった場合は、IP はこれをノイズと判断します。したがって IP はスタートビットの受信待機をしません。

サンプリングタイミング調節機能がオン (ASEN = 1) :

スタートビットの決定条件は、Low 状態がサンプリングタイミングまで継続することです。サンプリングタイミングを前に調節 (AJD = 1) すると、ノイズをスタートビットと誤って判断する可能性が増します。

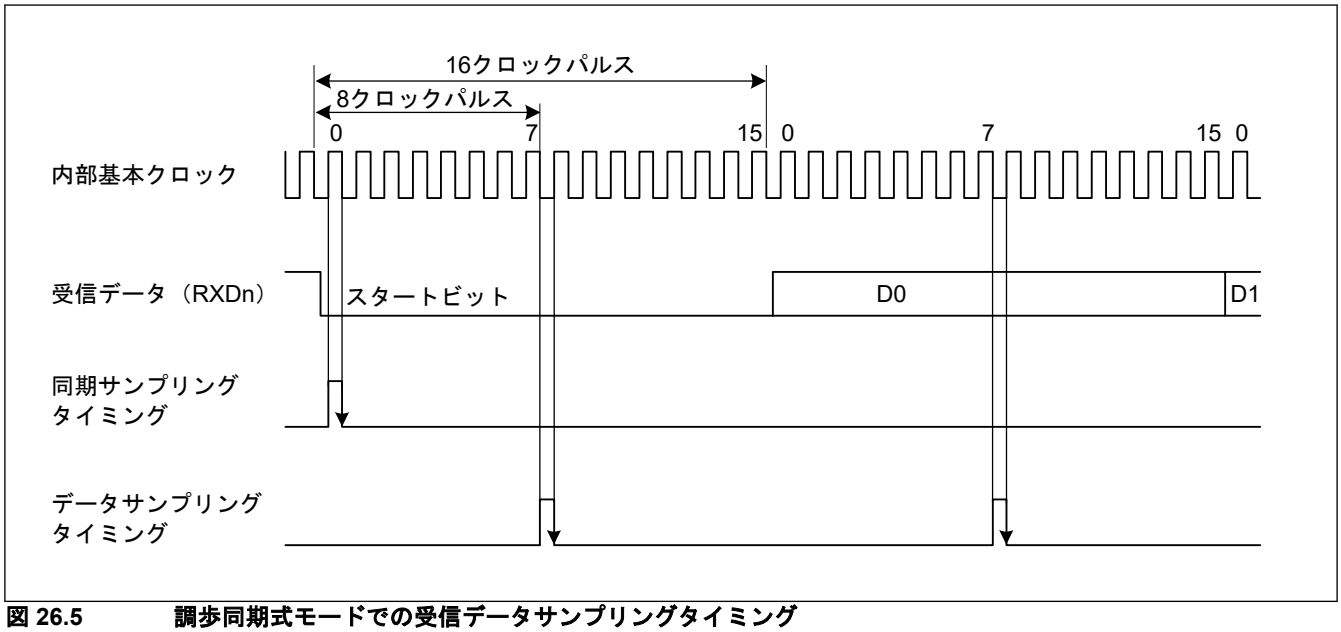


図 26.5　調歩同期式モードでの受信データサンプリングタイミング

26.3.3　クロック

SCI の送受信クロックは、CCR3.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍（CCR2.ABCS ビット = 0 のとき）、または 8 倍（CCR2.ABCS ビット = 1 のとき）の周波数のクロックを入力する必要があります。

内部クロックで動作させるときは、SCKn 端子からクロックを出力させることができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 26.6 に示すように、送信データの中間にクロックの立ち上がりエッジが来るように設定されます。

内部クロックが選択される場合、CCR0.TE ビットまたは CCR0.RE ビットを 1 に設定後に SCKn 端子が出力されます。

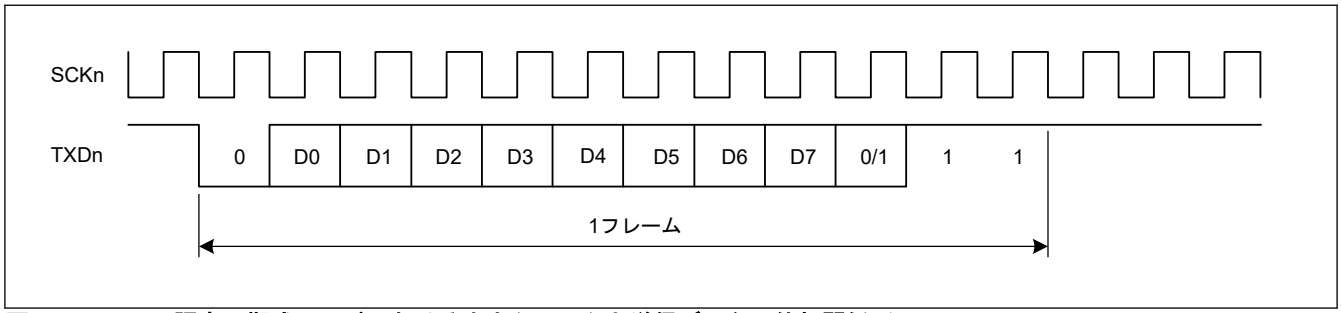


図 26.6　調歩同期式モードにおける出力クロックと送信データの位相関係（CCR1.PE = 1、CCR3.CHR[1:0] = 10b、MP = 0、および STP = 1 の場合）

26.3.4　倍速動作とビットレートの 6 倍の周波数

CCR2.ABCS ビットを 1 にした場合、ABCS ビットが 0 の場合に比べて、SCI は 2 倍のビットレートで動作します。CCR2.BGDM ビットが 1 になっていると、基本クロックの周期は 1/2 倍になり、ビットレートは BGDM ビッ

トが 0 の場合の 2 倍になります。CCR3.CKE[1]ビットを 0 にして、内蔵ボーレートジェネレータを選択した場合、ABCS ビットと BGDM ビットを 1 にすることにより、ABCS ビットと BGDM ビットが 0 の場合に比べて、SCI は 4 倍のビットレートで動作できるようになります。

CCR2.ABCSE ビットが 1 になっている場合、基本クロックのパルス数は 1 ビット期間中 6、基本クロックの周波数は半分になり、CCR2.ABCS、CCR2.BGDM、および CCR2.ABCSE が 0 の場合に比べて、SCI は 16/3 倍のビットレートで動作します。

「26.3.2. 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式 (1) に示すとおり、CCR2.ABCS ビットまたは CCR2.ABCSE ビットが 1 の場合、受信マージンは減少します。そのため、ABCS ビットまたは ABCSE ビットが 0 の状態で目的とするビットレートが達成できるのであれば、ABCS ビットと ABCSE ビットを 0 にして SCI を使用することが推奨されます。

26.3.5 CTS、RTS 機能

CTS 機能は CTSn 端子入力を使用して送信を制御します。CCR1.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS、RTS 機能に対して、CTSn_RTSn 端子を多重端子として設定することで、1 端子で片方の機能を使用する設定または 2 端子（CTSn 信号に対しては CTSn 端子、RTSn 信号に対しては CTSn_RTSn 端子）で各機能を独立に使用する専用設定を選択できます。これは CCR1.CTSPEN ビットにより設定されます。

CTS 機能が有効な場合、CTSn_RTSn 端子入力が Low になると送信が開始されます。

FIFO が使用され、送信前に CTSn_RTSn 信号が High で保持されていても、送信は開始されません。よって、TDR レジスタへの書き込み回数とデータ格納回数は同じです（クロック同期式 FIFO を使用する場合は異なります）。

送信中に CTSn_RTSn 端子入力を High にしても、送信中のフレームは影響を受けません。

RTS 機能は、CTSn_RTSn 端子出力を使用して受信要求を行う機能で、受信可能な状態になると Low を出力します。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

下記条件をすべて満たす場合

非 FIFO 選択時

- CCR0.RE ビットが 1
- 次の受信が可能な場合
  - 読み出し前の受信データがなく、受信しない
  - CSR.ORER、FER、PER フラグがすべて 0

FIFO 選択時

- CCR0.RE ビットが 1
- 次の受信が可能な場合
  - 受信 FIFO (RDR) に書き込まれた受信データ数が FCR.RSTRG[4:0]の設定値より少ない
  - CSR.ORER (RDR.ORER) フラグが 0

[High になる条件]

- Low になる条件を満たさない場合

26.3.6 アドレス一致（受信データ一致）検出機能

アドレス一致検出機能は、調歩同期式モードでのみ使用可能です。

CCR0.DCME ビットを 1 にした場合(注2)、1 フレーム分のデータを受信すると、SCI は受信データと CCR4.CMPD ビットの値を比較します。SCI によって受信データと比較データ（CCR4.CMPD(注1)）の一致が検出された場合、SCIn_RXI 割り込み要求を発生させることができます。

CCR3.MP ビットが 0 の場合は、受信フォーマットの有効データのみが比較対象になります。マルチプロセッサモード（CCR3.MP ビット = 1）では、CCR0.IDSEL ビットが 1 の場合、MPB ビット = 1 の受信データがアドレス一致の比較対象となり、MPB ビット = 0 の受信データは、常に不一致として処理されます。

CCR0.IDSEL ビットが 0 の場合、受信データの MPB ビットの値にかかわらず、SCI はアドレス一致検出を実行します。

受信データと比較データ（CCR4.CMPD(注1)）の一致が検出されるまで、受信データが読み飛ばされる（廃棄される）ので、SCI はパリティエラーもフレーミングエラーも検出することができません。

SCI が一致を検出すると、CCR0.DCME ビットは自動的にクリアされ、CSR.DCMF フラグは 1 になります。CCR0.IDSEL ビットが 1 の場合は、CCR0.MPIE ビットが自動的にクリアされます。また、CCR0.IDSEL ビットが 0 であれば、CCR0.MPIE ビットの値が保持されます。CCR0.RIE ビットが 1 になっていると、SCI は SCIn_RXI 割り込み要求を発行します。

一致が検出された受信データに対して、SCI がフレーミングエラーを検出すると、CSR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、CSR.DPER フラグが 1 になります。比較された受信データおよび MPB ビットは RDR レジスタに格納されません。また、CSR.RDRF フラグは 0 を保持します。

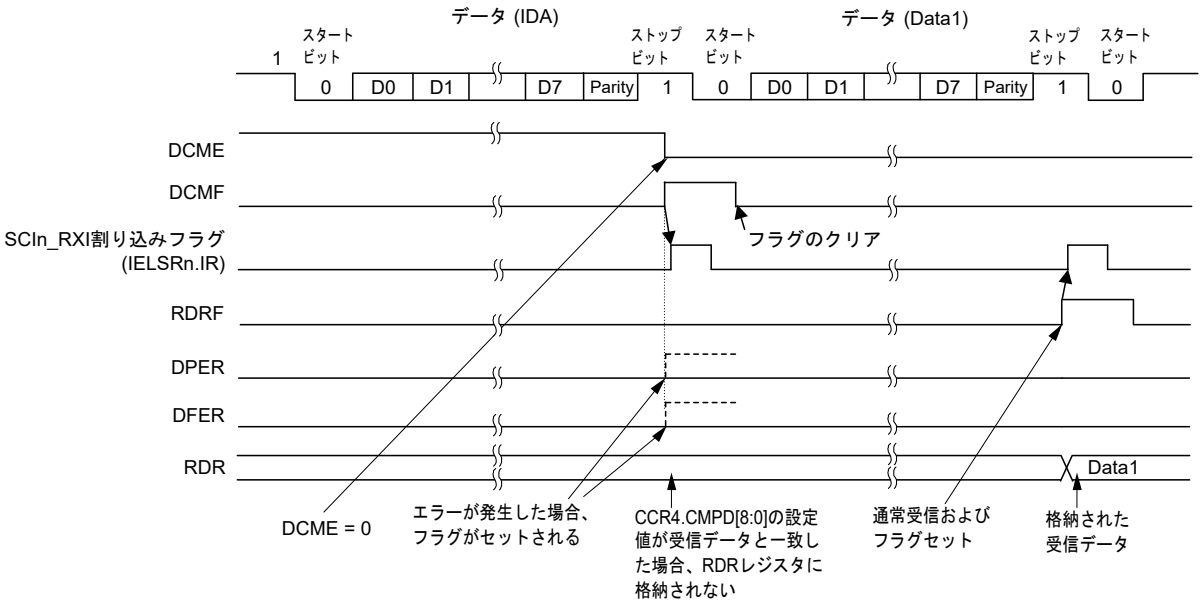
SCI が一致を検出すると、CCR0.DCME ビットは自動的にクリアされ、SCI は現在のレジスタ設定に基づいて次のデータを連続して受信します。

CSR.DFER フラグまたは CSR.DPER フラグが 1 の状態では、アドレス一致検出は実行されません。アドレス一致検出機能を有効にする場合は、事前に DCCR.DFER フラグと DCCR.DPER フラグを 0 にしてください。

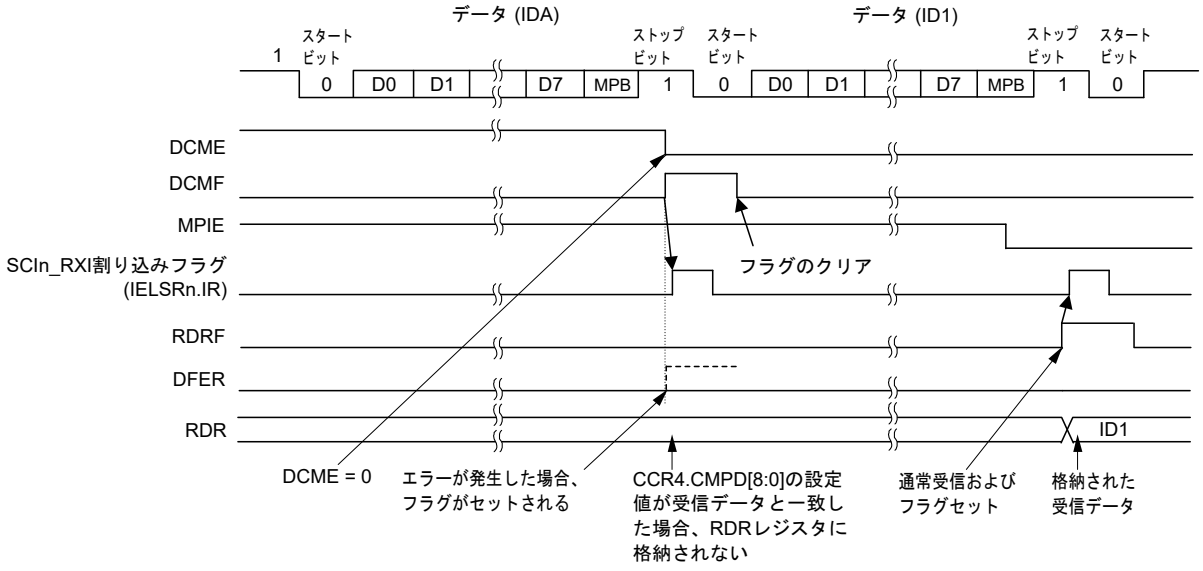
アドレス一致検出機能の例を図 26.7 および図 26.8 に示します。

注 1. 比較対象は、以下の 3 種類のビット長から選択できます。7 ビット長の CMPD[6:0]、8 ビット長の CMPD[7:0]、および 9 ビット長の CMPD[8:0]

注 2. アドレス一致検出を実行する受信フレームのスタートビットを受信する前に、CCR0.DCME ビットを 1 にしてください。

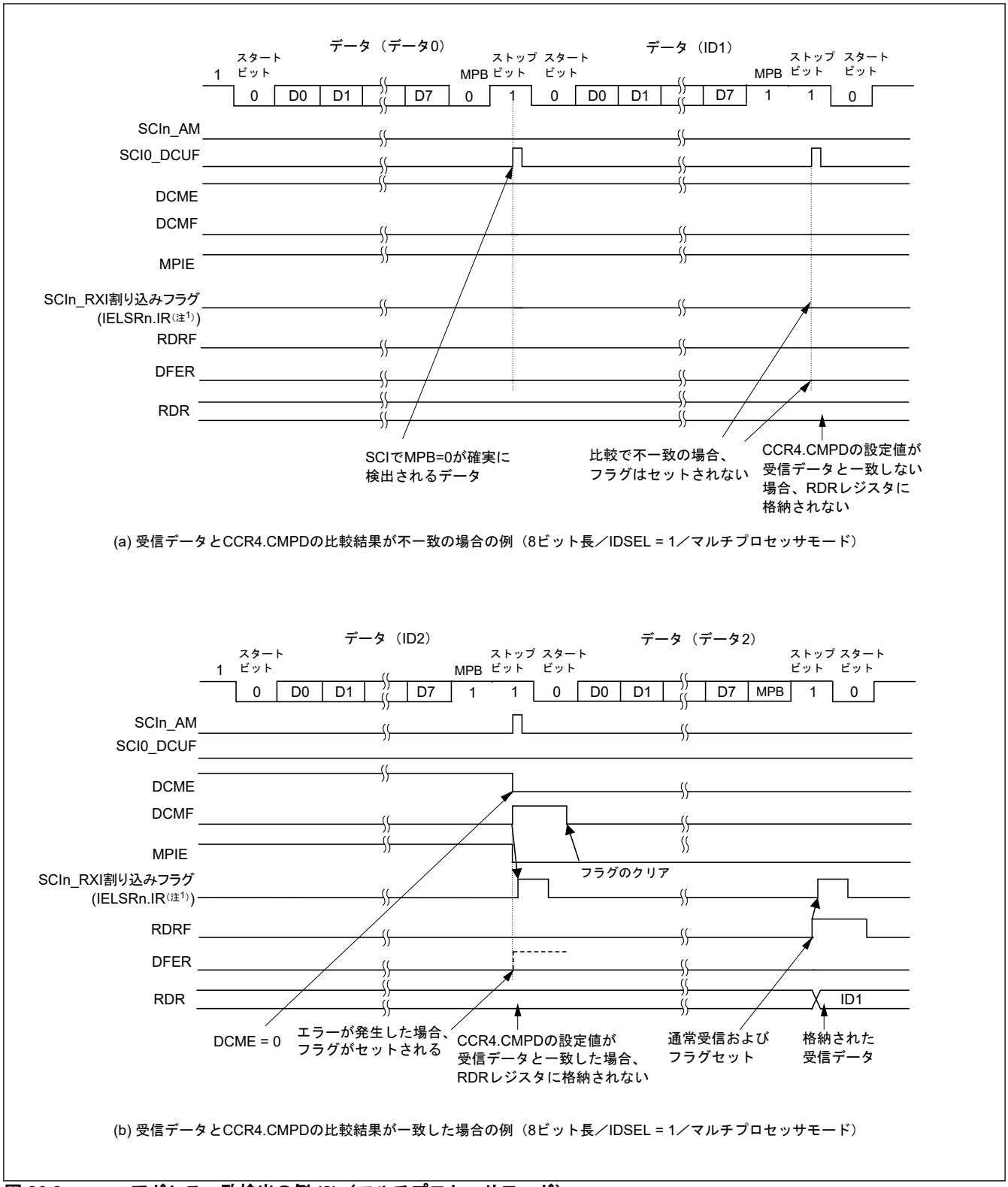


(a) 受信データとCCR4.CMPD[8:0]の比較結果が一致した場合の例（8ビット長／パリティ／通常モード）



(b) 受信データとCCR4.CMPD[8:0]の比較結果が一致した場合の例（8ビット長／マルチプロセッサモード）

図 26.7 アドレス一致検出の例 (1)（通常モード）



(a) 受信データとCCR4.CMPDの比較結果が不一致の場合の例（8ビット長／IDSEL = 1／マルチプロセッサモード）

(b) 受信データとCCR4.CMPDの比較結果が一致した場合の例（8ビット長／IDSEL = 1／マルチプロセッサモード）

図 26.8　　アドレス一致検出の例 (2)（マルチプロセッサモード）

26.3.7　SCI の初期化（調歩同期式モード）

データを送受信する前に、最初に初期値 0 を CCR0.TE ビットおよび CCR0.RE ビット（または CCR0 レジスタ）に書き込み、次に SCI の初期設定（非 FIFO 選択時または FIFO 選択時）を表 26.26 と表 26.27 のフローチャートに従って続けてください。動作モードまたは通信フォーマットを変更する場合も、CCR0.TE ビットおよび CCR0.RE ビットを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

注.　CCR0.RE ビットを 0 にしても、CSR レジスタと RDR レジスタの ORER、FER、RDRF、RDAT、PER、DR フラグは初期化されません。FIFO 選択時に TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。

動作モードの変更時も注意してください。

注.　CCR0.TIE ビットが 1 の状態で、CCR0.TE ビットを 0 から 1 に変更すると、SCIn_TXI 割り込み要求が発生します。

表 26.26　非 FIFO を選択した調歩同期式モードにおける SCI 初期化の手順例

No.	ステップ名	説明
1	初期化開始	—
2	CCR0 を設定	CCR0.TEIE、TIE、RIE、TE、RE の各ビットを 0 に設定。初期設定から変更していない場合は、この手順を省略できます。
3	CCR3 を設定	以下の機能と通信モードを設定します。 RS-485 のドライバ制御機能、FIFO 未使用、マルチプロセッサモード、通信モード (MOD[2:0] = 000b) 送信／受信フォーマット クロック許可（クロック出力時の初期値を残します） 未使用ビットを初期値のままにします。
4	CCR2 を設定	ビットレートモジュレーション機能の設定(注1)(注2)、クロック選択、ビットレート設定(注2)を行います。
5	CCR1 を設定	ノイズフィルタ機能、ループバック機能、通信端子ステータス、パリティチェック機能、CTSn_RTSn 機能を設定します。
6	CCR4 を設定	サンプリングタイミング調整機能と送信タイミング調整機能の設定をします。
7	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
8	CCR3 を設定	クロックの出力時に、この段階でクロックイネーブルビット (CKE[1:0]) を設定します。このレジスタ設定の後、ただちにクロック端子が出力状態になります。
9	CFCLR を設定	以下のビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします。CFCLR.RDRFC、FERC、PERC、MFFC、ORERC、DFERC、DPERC、DCMFC、ERSC リセットの後の初期化のフローで行う場合は、この段階を省略できます。
10	CCR0 を設定	TE ビットまたは RE ビットを 1 にします。割り込みを有効にするためには、TE ビット、TIE ビット、RE ビット、RIE ビットを 1 つの命令で同時に 1 にします。TE ビットおよび RE ビットを設定することで、TXDn および RXDn が使用可能となります。
11	初期化完了	—

注 1.　ビットレートモジュレーション機能を使用しない場合、この設定は不要です。
注 2.　外部クロックを使用する場合、この設定は不要です。

表 26.27　FIFO を選択した調歩同期式モードにおける SCI 初期化の手順例 (1/2)

No.	ステップ名	説明
1	初期化開始	—
2	CCR0 を設定	CCR0.TEIE、TIE、RIE、TE、RE の各ビットを 0 に設定。初期設定から変更していない場合は、この手順を省略できます。
3	CCR3 を設定	以下の機能と通信モードを設定します。 RS-485 のドライバ制御機能、FIFO 使用、マルチプロセッサモード、通信モード (MOD[2:0] = 000b) 送信／受信フォーマット クロック許可（クロック出力時の初期値を残します） 未使用ビットを初期値のままにします。
4	CCR2 を設定	ビットレートモジュレーション機能の設定(注1)(注2)、クロック選択、ビットレート設定(注2)を行います。
5	CCR1 を設定	ノイズフィルタ機能、ループバック機能、通信端子ステータス、パリティチェック機能、CTSn_RTSn 機能を設定します。
6	CCR4 を設定	サンプリングタイミング調整機能と送信タイミング調整機能の設定をします。
7	FCR を設定	TFRST ビットおよび RFRST ビットを 1 にして、FIFO をエンプティにします。DRES ビット、TTRG[4:0]ビット、RTRG[4:0]ビット、および RSTRG[4:0]ビットを設定します。
8	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。

表 26.27　FIFO を選択した調歩同期式モードにおける SCI 初期化の手順例 (2/2)

No.	ステップ名	説明
9	CCR3 を設定	非同期モードでクロック出力を選択する場合、CKE[1:0]ビットを設定してください。このレジスタ設定の後、ただちにクロック端子が出力状態になります。ただし、クロックは TE ビットまたは RE ビットを 1 にした後に動作します。
10	CFCLR を設定	以下のビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします。CFCLR.RDRFC、FERC、PERC、MFFC、ORERC、DFERC、DPERC、DCMFC、ERSC リセット後の初期化のフローで行う場合は、この段階を省略できます。
11	FFCLR を設定	FFCLR.BRKC ビット、DRC ビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします。リセットの後の初期化のフローで行う場合は、この段階を省略できます。
12	CCR0 を設定	TE ビットまたは RE ビットを 1 にします。割り込みを有効にするためには、TE ビット、TIE ビット、RE ビット、RIE ビットを 1 つの命令で同時に 1 にします。TE ビットおよび RE ビットを設定することで、TXDn および RXDn が使用可能となります。
13	初期化完了	—

注 1.　ビットレートモジュレーション機能を使用しない場合、この設定は不要です。
注 2.　外部クロックを使用する場合、この設定は不要です。

図 26.9 に、リセット解除後にデータを転送し、表 26.26 または表 26.27 に従って SCI を調歩同期式モードに設定する際のタイミング例を示します。図に示す通り、TXDn 端子に端子機能を設定したとき、CCR0.TE ビットが 0 なので、端子はハイインピーダンスとなります。CCR0.TE を 1 に設定した後、送信データを書き込むと、データ送信を開始されます。TDR 書き込みからデータ送信開始までの送信ウェイト時間があります。調歩同期モードでは、この間 TXDn は High となります。

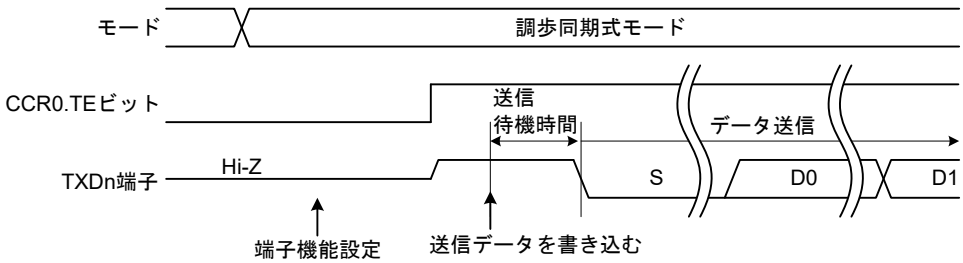


図 26.9　調歩同期モードでのデータ送信タイミング例

26.3.8　シリアルデータの送信（調歩同期式モード）

(1) 非 FIFO 選択時

図 26.10, 図 26.11, 図 26.12、および図 26.13 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

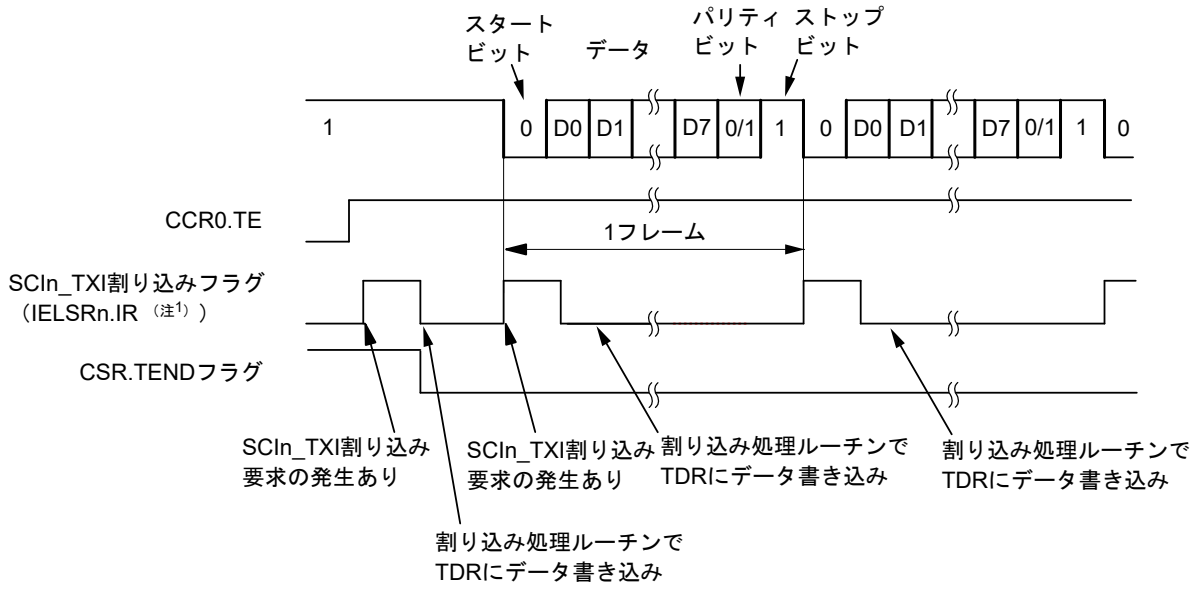
本項では、シリアルデータ送信時の SCI の動作について説明します。

1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。
   なお、送信開始時の SCIn_TXI 割り込み要求は、CCR0.TE ビットと CCR0.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. CCR1.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子入力が Low であると、TDR レジスタから TSR レジスタへデータが転送され、送信が開始されます。CCR0.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、CCR0.TIE ビットを 0（SCIn_TXI 割り込み要求を禁止）にして、CCR0.TEIE ビットを 1（SCIn_TEI 割り込み要求を許可）にします。
3. データは、以下の順に TXDn 端子から送り出されます。
   - スタートビット
   - 送信データ

- パリティビットまたはマルチプロセッサビット（フォーマットによっては、ない場合もある）
- ストップビット

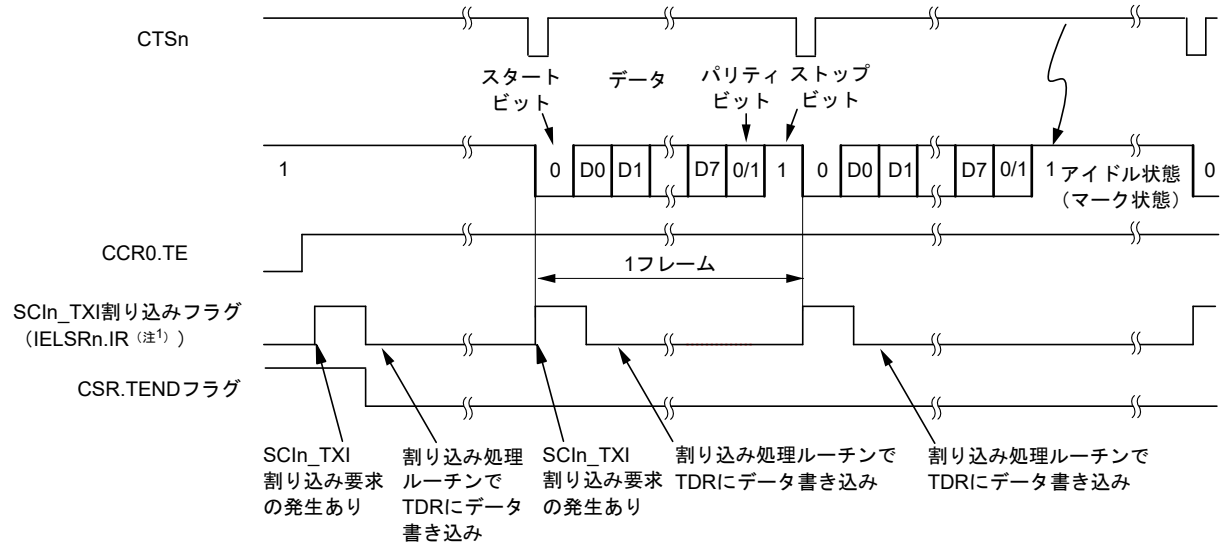
4. ストップビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていると、CCR1.CTSE ビットが 0（CTS 機能は無効）、または CTSn_RTSn 端子入力が Low に設定されていれば、次の送信データが TDR レジスタから TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
6. TDR レジスタが更新されていない場合は、CSR.TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、CCR0.TEIE ビットが 1 になっていると、CSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

図 26.10、図 26.11 図 26.12、および図 26.13 に、調歩同期式モードにおけるシリアル送信の動作例を示します。



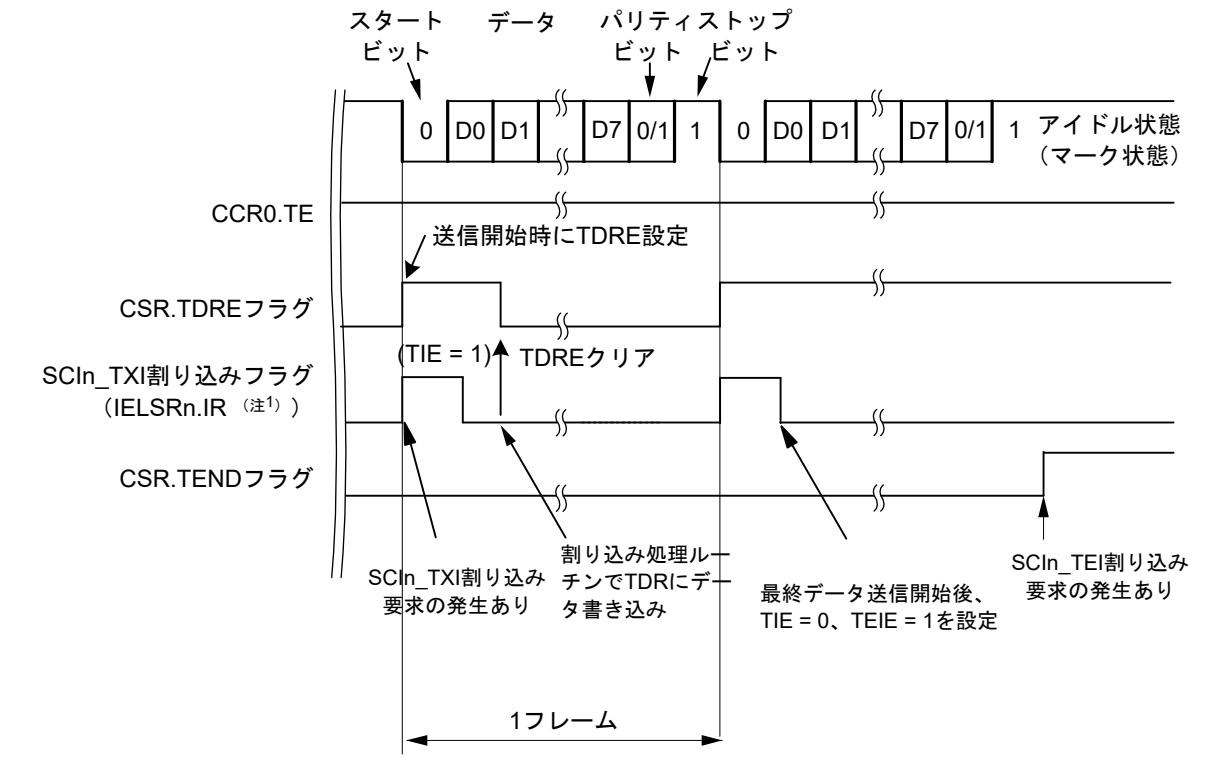
注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.10　調歩同期式モードにおけるシリアル送信の動作例 (1)（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能不使用／送信開始時）



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.11　調歩同期式モードにおけるシリアル送信の動作例 (2)（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能使用／送信開始時）



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.12　調歩同期式モードにおけるシリアル送信の動作例 (3)（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能不使用／送信中～送信終了時）

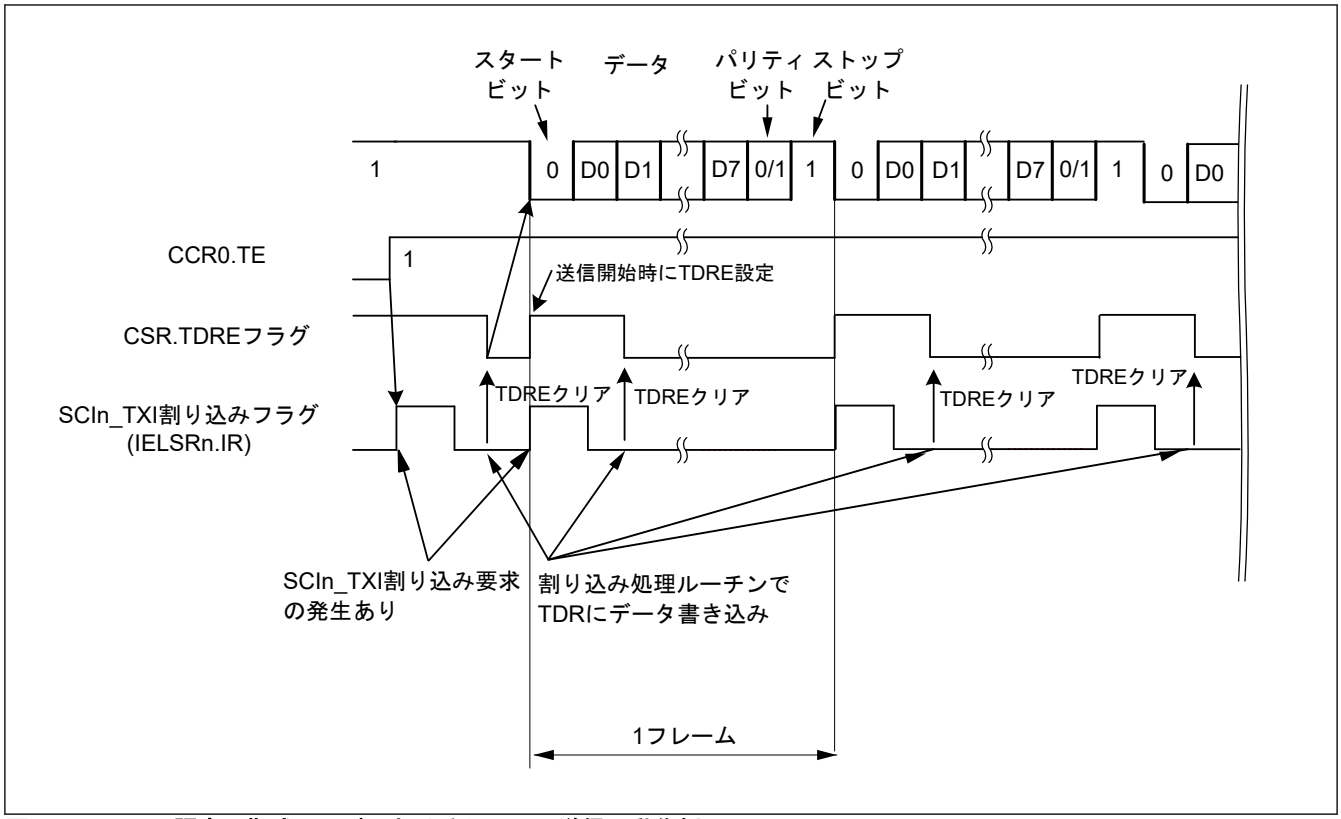
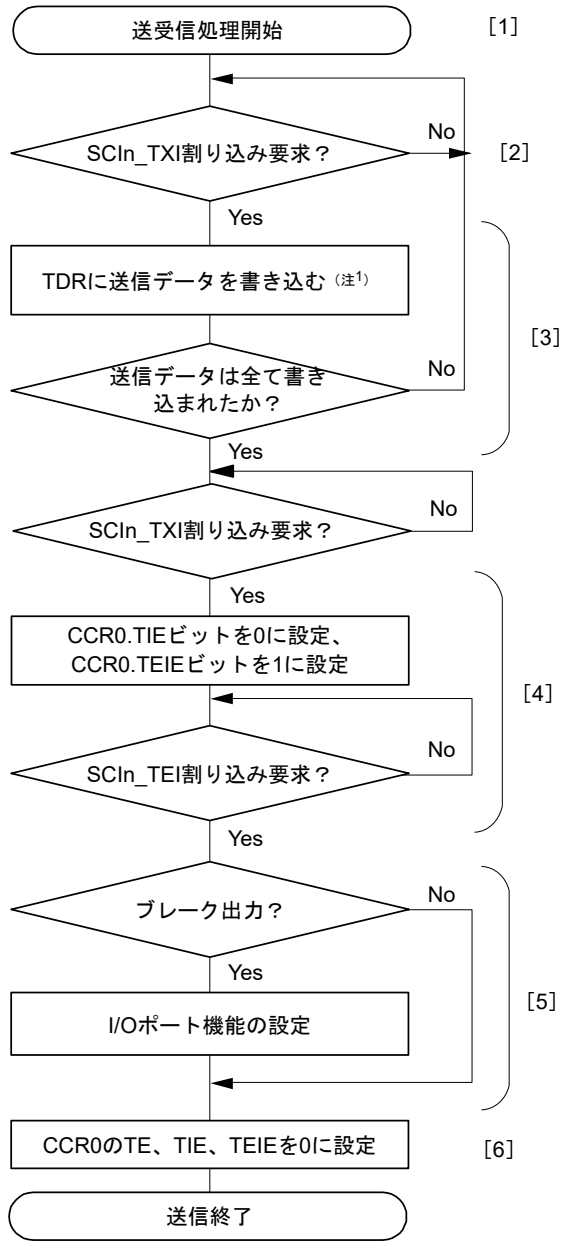


図 26.13 調歩同期式モードにおけるシリアル送信の動作例 (4)
（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能使用しない/送信中～送信終了時）



[1]　送信処理開始

[2]　SCIn_TXI割り込み要求：
送信データエンプティ割り込み (SCIn_TXI) が発生するのは、次の条件が成立したときです。
TEとTIEが同時に0になる。
TDRからTSRへ送信データが転送される。

[3]　シリアル送信の継続手順：
シリアル送信を継続するときには、SCIn_TXIを使用して送信データをTDR (注1) に1回書き込みます。
送信データは、DMACまたはDTCを起動することでも書き込むことができます。

[4]　TEIを使用する場合は、最後の送信データがTDR (注1) に書き込まれて送信が開始した後に、TIEに0を、TEIEに1を設定します。

[5]　シリアル送信終了時のブレーク出力：
ブレークを出力するには、TEが0のときに、出力状態設定にSPB2IOとSPB2DTを設定する必要があります。
（これらのビットを初期化時に設定する場合はこのステップを省略できます。）

[6]　CCR0のTE、TIE、TEIEを0に設定

注 1.　データ長 9 ビットでのバイトアクセス時、書き込み送信データは TDR[15:8]ビット、TDR[7:0]ビットの順になります。

図 26.14　調歩同期式モードにおけるシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 26.15 に、調歩同期式モード（FIFO 選択時）において TDR レジスタに書き込まれるデータフォーマットの例を示します。

データ長に対応したデータが FTDRH レジスタと FTDRL レジスタ TDR[8:0]に設定されます。使用しないビットには 0 を書いてください。TDR[15:8]→TDR[7:0]の順に書いてください。

データ長	レジスタ設定		TDR[15:0]内の送信データ															
	CCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	–	–	–	–	–	–	MPBT	–	–	TDAT[6:0]						
8ビット	1	0	–	–	–	–	–	–	MPBT	–	TDAT[7:0]							
9ビット	0	Don't care	–	–	–	–	–	–	MPBT	TDAT[8:0]								

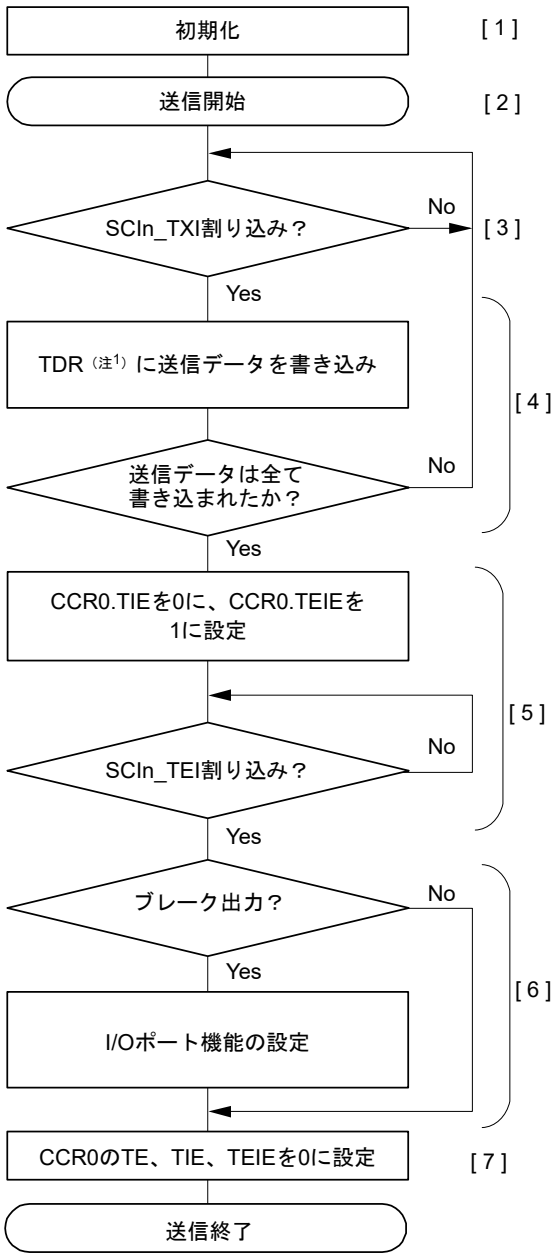
注.　—：無効書く場合、0 としてください。

図 26.15　送信 FIFO (TDR) に書き込まれるデータフォーマット（FIFO 選択時）

本項では、シリアルデータ送信時の SCI の動作について説明します。

1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。TDR レジスタに書き込み可能なデータのバイト数は“16 - FTSR.T[5:0]”です。なお、送信開始時の SCIn_TXI 割り込み要求は、CCR0.TE ビットと CCR0.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. CCR1.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子入力が Low であると、TDR レジスタから TSR レジスタへデータが転送され、送信が開始されます。TDR レジスタに書き込まれた送信データ数が、指定された送信トリガ数以下のとき、CSR.TDFE ビットが 1 になります。CCR0.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。
   SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、CCR0.TIE ビットを 0（SCIn_TXI 割り込み要求を禁止）にして、CCR0.TEIE ビットを 1（SCIn_TEI 割り込み要求を許可）にします。
3. データは、以下の順に TXDn 端子から送り出されます。
   - スタートビット
   - 送信データ
   - パリティビットまたはマルチプロセッサビット（フォーマットによっては、ない場合もある）
   - ストップビット
4. ストップビットを送り出すタイミングで、SCI は TDR レジスタに未送信データが残っていないかチェックします。
5. 送信 FIFO (TDR) レジスタにデータがある場合、CCR1.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子入力が Low であると、次の送信データが TDR レジスタから TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
6. 送信 FIFO (TDR) レジスタにデータがない場合、CSR レジスタの TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、CCR0.TEIE ビットが 1 になっていると、CSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

図 26.16 に、調歩同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。



[1] SCIの初期化：
SCIn_TXI割り込みを有効にするため、1回の命令でTEとTIEを同時に1にします。

[2] 送信FIFO (TDR) への送信データの設定：
設定できる送信可能データの数は16です。

[3] TXI割り込み要求：
送信データエンプティ割り込み (SCIn_TXI) が発生するのは、送信データが送信FIFO (TDR) からTSRへ転送される際に、送信FIFOに書き込まれる送信データ数が送信FIFOのしきい値以下の場合です。

[4] シリアル送信の継続手順：
シリアル送信を継続するときには、SCIn_TXI割り込みを使用して全ての送信データを送信FIFO (TDR) に書き込み、TDREフラグを0にクリアします。
（送信データは、DMACまたはDTCを起動することでも送信FIFO (TDR) に書き込むことができます。この場合、TDREフラグは自動的にクリアされるので、TDREフラグを操作しないでください。）
書き込み可能な送信データの数は、格納されている送信FIFOデータの数を16から引いた数です。）

[5] SCIn_TEIを使用する場合は、最後の送信データがTDR (注1) に書き込まれた後に、TIEに0を、TEIEに1を設定します。

[6] シリアル送信終了時のブレーク出力：
ブレークを出力するには、TEが0のときに、出力状態設定にSPB2IOとSPB2DTを設定する必要があります。
（これらのビットを初期化時に設定する場合はこのステップを省略できます。）

[7] CCR0のTE、TIE、TEIEを0に設定

注 1.　データ長 9 ビットでのバイトアクセス時、書き込み送信データは TDR[15:8]ビット、TDR[7:0]ビットの順になります。

図 26.16　　調歩同期式モードにおけるシリアル送信のフローチャート例（FIFO 選択時）

26.3.9　　シリアルデータの受信（調歩同期式モード）

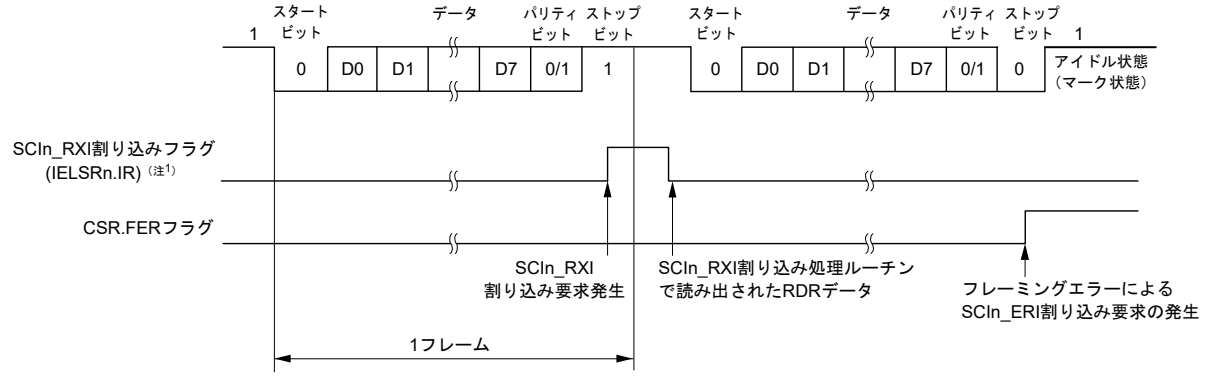
(1) 非 FIFO 選択

図 26.17 と図 26.18 に、調歩同期式モードにおけるシリアル受信の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

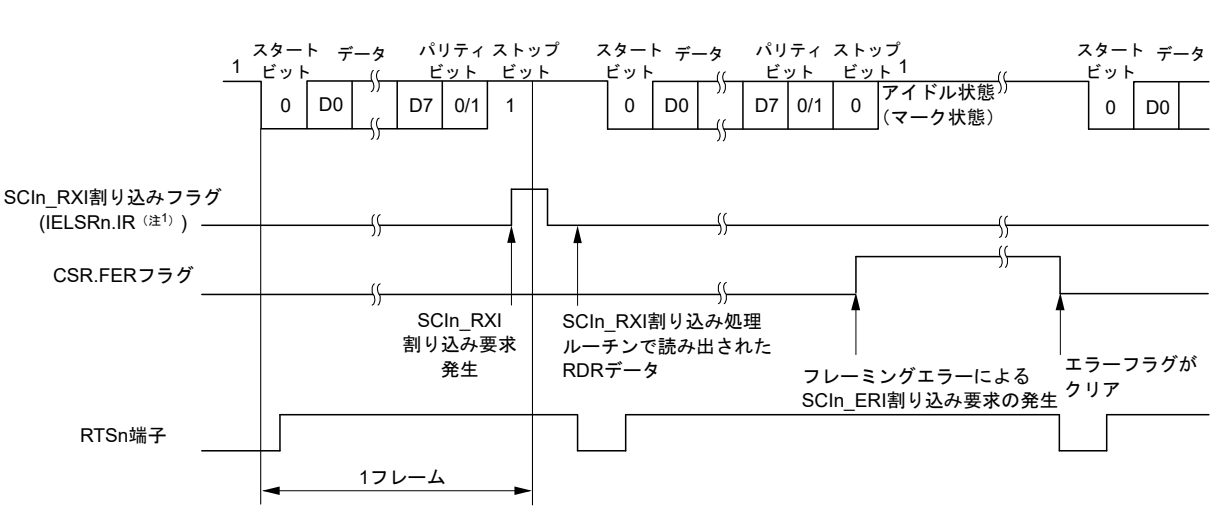
1. CCR0.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバーランエラーが発生した場合、CSR.ORER フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。

4. パリティエラーが検出された場合は、CSR.PER フラグが 1 になり、受信データが RDR レジスタへ転送されます。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。
5. フレーミングエラーが検出された場合は、CSR.FER フラグが 1 になり、受信データが RDR レジスタへ転送されます。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データが RDR レジスタへ転送されます。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。
RDR レジスタへ転送された受信データが読み出されると、CTSn_RTSn 端子出力が Low になります。



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.17　調歩同期式モードにおけるシリアル受信の動作例 (1)（RTS 機能を使用しない場合）（8 ビットデータ／パリティあり／1 ストップビットの場合）



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.18　調歩同期式モードにおけるシリアル受信の動作例 (2)（RTS 機能を使用する場合）（8 ビットデータ／パリティあり／1 ストップビットの場合）

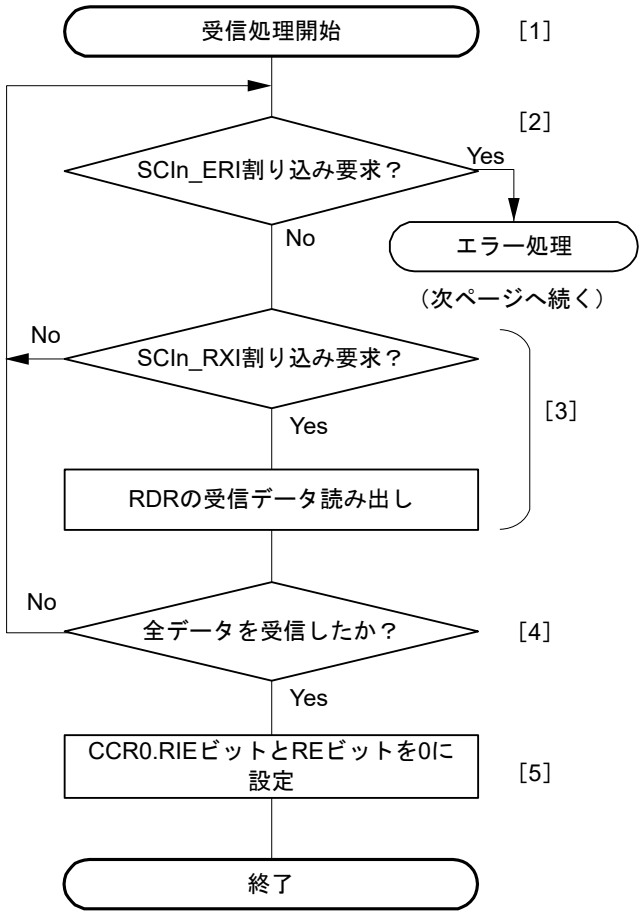
受信エラーを検出した場合の CSR ステータスレジスタの各フラグの状態と受信データの処理を表 26.28 に示します。

受信エラーが検出されると、SCIn_ERI 割り込み要求は発生しますが、SCIn_RXI 割り込み要求は発生しません。受信エラーフラグが 1 の状態では受信動作を再開できません。したがって、ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に CCR0.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 26.19 と図 26.20 に、シリアル受信のフローチャート例を示します。

表 26.28　CSR ステータスレジスタのフラグの状態と受信データの処理

CSR ステータスレジスタのフラグ			受信データ	受信エラーの種類
ORER	FER	PER		
1	0	0	消失	オーバーランエラー
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバーランエラー＋フレーミングエラー
1	0	1	消失	オーバーランエラー＋パリティエラー
0	1	1	RDR へ転送	フレーミングエラー＋パリティエラー
1	1	1	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー



[1]　受信処理開始

[2]　受信エラー処理とブレークの検出：
受信エラーが発生した場合、SCIn_ERI割り込みが発生します。所定のエラー処理を行った後、必ずORER、PER、FERフラグをすべて0にしてください。これらのフラグが一つでも1の場合、受信を再開できません。また、フレーミングエラー時にRXDn端子に対応する入力ポートの値を読み出すことでブレークの検出が可能です。

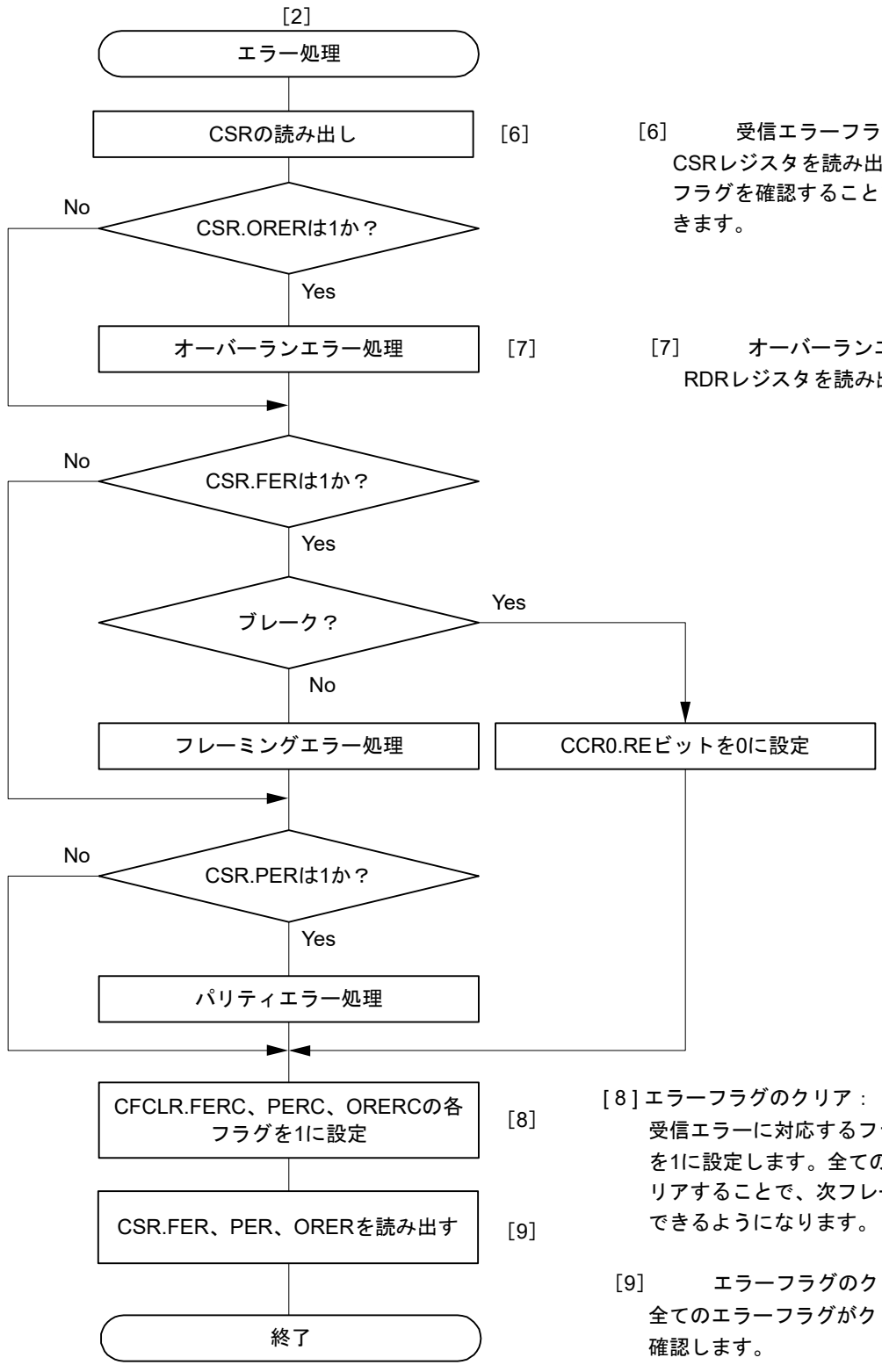
[3]　SCIn_RXI割り込み処理ルーチンで、RDR内の受信データを1回読み出します。

[4]　シリアル受信の継続手順：
シリアル受信を継続するときには、現在のフレームのストップビットを受信する前に、SCIn_RXI割り込み処理ルーチン内でRDRからデータを読み出します。RDRのデータは、DMACまたはDTCを起動することでも読み出すことができます。

[5]　CCR0のRIEおよびREに0を設定します。

注 1.　ここで RDR レジスタを読み出す前に、RE ビットを 0 にしないでください。

図 26.19　調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出無効時）(1)



注.　データ長 9 ビット選択時は、RDR レジスタは RDRHL レジスタになります。

図 26.20　調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出無効時）(2)

(2) FIFO 選択

図 26.21 に、調歩同期式モードにおいて受信 FIFO (RDR) レジスタに書き込まれるデータフォーマットの例を示します。

調歩同期式モードでは、RDR レジスタの MPB ビットに 0 が書き込まれます。データ長に対応したデータが RDR レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。ソフトウェアが RDR レジスタを読み出すと、SCI は FER、PER、および RDR レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。RDR レジスタの RDF、ORER、および DR フラグは、常に CSR レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		RDR[31:0]、MPB、RDAT[8:0]の受信フラグ															
	CCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	-	-	-	FFER	FPER	DR	MPB	0	0	RDAT[6:0]						
8ビット	1	0	-	-	-	FFER	FPER	DR	MPB	0	RDAT[7:0]							
9ビット	0	Don't care	-	-	-	FFER	FPER	DR	MPB	RDAT[8:0]								
	CCR3.CHR[1:0]		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
7ビット	1	1	-	-	-	FER	PER	-	-	ORER	-	-	-	-	-	-	-	-
8ビット	1	0	-	-	-	FER	PER	-	-	ORER	-	-	-	-	-	-	-	-
9ビット	0	Don't care	-	-	-	FER	PER	-	-	ORER	-	-	-	-	-	-	-	-

注.　MPB フラグ (FRDRH[9]) では常に 0 が読み出されます。
データ長 7 ビット選択時、RDAT[8:7]ビットから 0 が読み出されます。
データ長 8 ビット選択時、RDAT[8]ビットから 0 が読み出されます。

図 26.21　受信 FIFO (RDR) に格納されるデータフォーマット（FIFO 選択時）

FIFO 選択時、受信エラーを検出した場合の CSR レジスタの各ステータスフラグの状態と受信データの処理を表 26.29 に示します。図 26.22 と図 26.23 に、FIFO 選択時のシリアル受信のフローチャートの例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. CCR0.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込みます。
3. 通常の通信でオーバーランエラーが発生した場合、CSR.ORER フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. パリティエラーが検出された場合は、PER フラグと受信データが RDR レジスタへ転送されます。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。
5. フレーミングエラーが検出された場合は、FER フラグと受信データが RDR レジスタへ転送されます。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。
6. フレーミングエラーが検出された後、SCI によって連続受信データが 1 フレーム分 0 であることが検出された場合、受信動作が停止します。
7. RDR レジスタに格納されたデータ数が、指定された受信トリガ数より少なく、かつ、調歩同期式モードにおいて最後のストップビットから 15 ETU 経過しても次のデータが受信されていない場合は、FRSR.DR フラグが 1 になります。CCR0.RIE ビットが 1 で、FCR.DRES ビットが 0 の場合、SCI は SCIn_RXI 割り込み要求を発生させます。FCR.DRES ビットが 1 の場合、SCI は SCIn_ERI 割り込み要求を発生させます。
8. 正常に受信終了したときは、受信データが RDR レジスタへ転送されます。RDR に書き込まれた受信データ数が、指定された受信トリガ数以上であると、RDRF ビットが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データ数が RTS トリガ数未満であると、CTSn_RTSn 端子出力が Low になります。

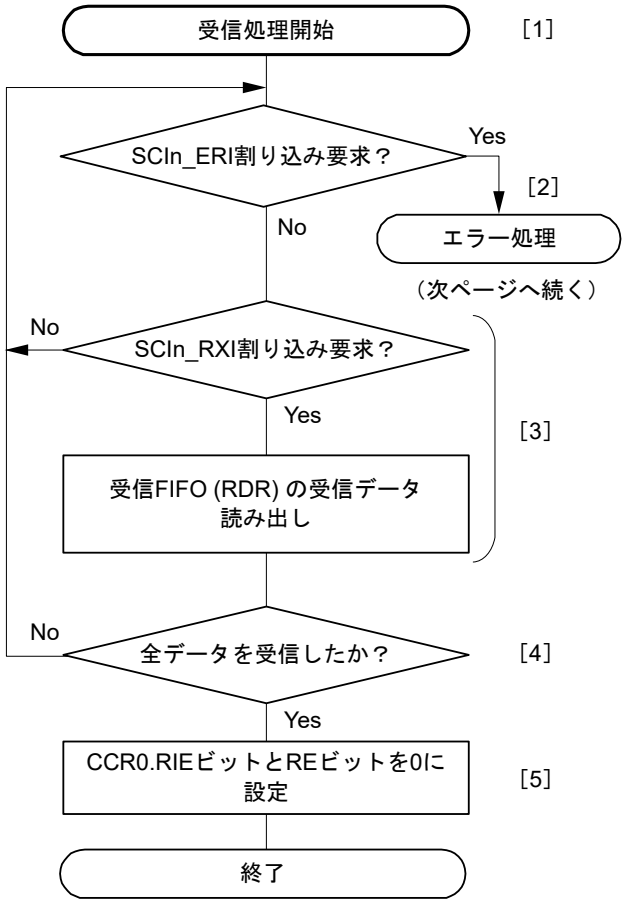
表 26.29　CSR ステータスレジスタのフラグの状態と受信データの処理（FIFO 選択時） (1/2)

CSR 値			受信 FIFO (RDR)	受信エラーの種類
ORER	FER(注1)	PER(注1)	RDAT[8:0]	
1	0	0	消失	オーバーランエラー

表 26.29　CSR ステータスレジスタのフラグの状態と受信データの処理（FIFO 選択時） (2/2)

CSR 値			受信 FIFO (RDR)	受信エラーの種類
ORER	FER(注1)	PER(注1)	RDAT[8:0]	
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバーランエラー＋フレーミングエラー
1	0	1	消失	オーバーランエラー＋パリティエラー
0	1	1	RDR へ転送	フレーミングエラー＋パリティエラー
1	0	0	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー

注 1.　本フラグは、受信完了時に受信データのエラー有無を示します。



[1]　受信処理開始

[2]　受信エラー処理とブレークの検出：
受信エラーが発生した場合、SCIn_ERI割り込みが発生します。所定のエラー処理を行った後、必ずORERフラグを0にしてください。ORERフラグが1の状態では受信を再開できません。PER、FER、またはDRフラグが1であっても、受信動作は継続します。

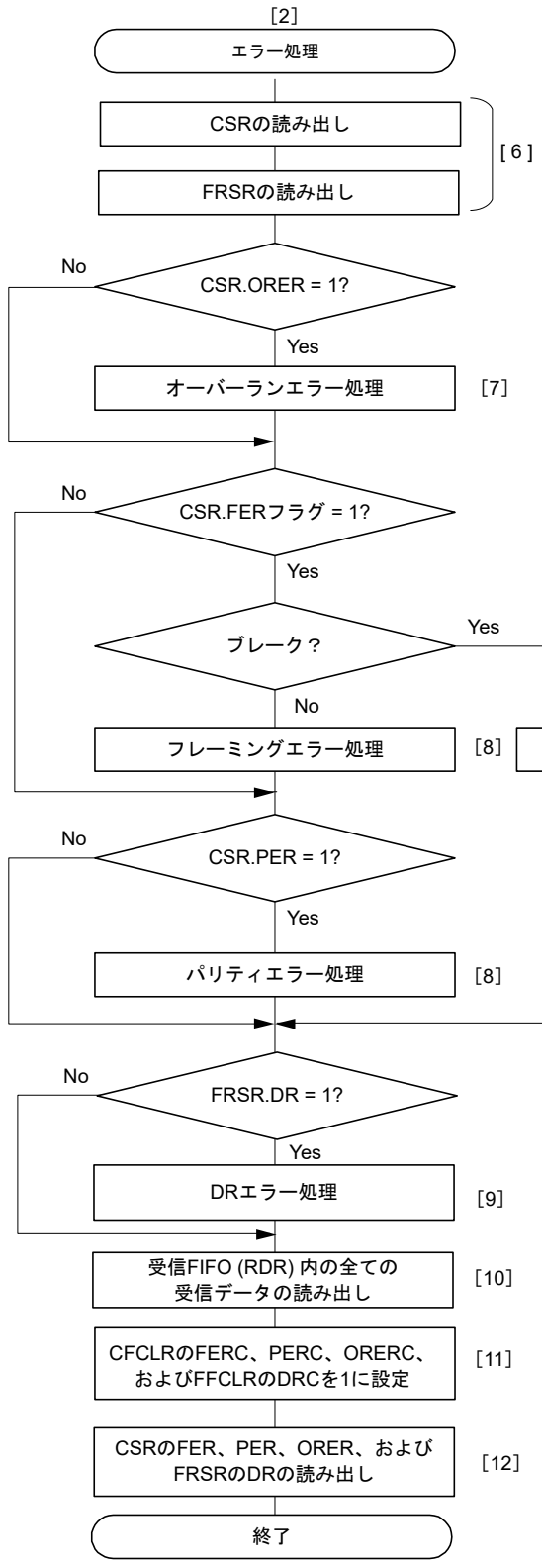
[3]　SCIn_RXI割り込み処理ルーチンで、受信FIFO (RDR) の受信データを読み出します。受信FIFO (RDR) に格納された受信データは、格納データ数がFCR.RTRGの値未満になるまで読み出されます。FRSR.R[5:0]ビットでFIFO内の受信データ数を確認できます。

[4]　シリアル受信の継続手順：
シリアル受信を継続する場合は、オーバーランエラーが発生する前に、SCIn_RXI割り込み処理ルーチンで受信FIFO (RDR) からデータを読み出して、CSR.RDRFフラグとFRSR.DRフラグを0にクリアします。 DMAまたはDTCを起動することでも、受信FIFOのデータを読み出すことが可能です。この場合、RDRFフラグは自動的にクリアされるため、RDRFフラグには書き込まないでください。

[5]　CCR0.RIEビットとREビットを0に設定します。

注 1.　RDR.ORER、PER、FER、DR の各フラグによって読み出し可能です。

図 26.22　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出有効時） (1)



[6]　受信エラーフラグの確認：
CSRとFRSRの読み出し
フラグを確認することでエラーを特定できます。

[7]　オーバーランエラー処理：
受信FIFO (RDR) を読み出し、受信FIFO (RDR) にスペースをつくります。

[8]　ブレーク処理：
CCR3.RXDESELが0のとき、受信FIFO (RDR) 内の受信データのうちで最新のものは、フレーミングエラーが発生し全てのデータビットが0のブレークデータです。このため、最新の受信データを破棄します。

[8]　フレーミングエラー処理／パリティエラー処理：
受信FIFO (RDR) に格納されたエラー発生データを全て読み出します。（あるいは、FCR.RFRSTビットに1を書き込んで受信FIFO (RDR) を空にします。）

[9]　DRエラー処理（FCR.DRESが1の場合）：
システムが必要とするエラー処理を実行します（たとえば、データ数管理用カウンタの設定など）。

[10]　受信FIFO (RDR) の全ての受信データを読み出します。

[11]　エラーフラグのクリア：
FER、PER、ORER、DRをクリアします。

[12]　エラーフラグのクリア確認：
FER、PER、ORER、DRがクリアされていることを確認します。

図 26.23　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出無効時）(2)

26.3.10　受信サンプリングタイミング調節機能（調歩同期式モード）

フォトカプラ通過後の波形で立ち上がり転送時間と立ち下がり転送時間の差がある場合、ビットの中間部分での受信サンプリングタイミングが受信マージンに影響します。この場合、この機能を利用することで受信サンプリングタイミングをビットの中間部分から最適なタイミングに調整できます。

受信サンプリングタイミングは、下記の式によりビットの中間部分から調整します。また、調整方向は CCR4.AJD により設定されます。後ろ方向に調整 (CCR4.AJD = 0) の場合は AJD = +1 とし、前方向に調整 (CCR4.AJD = 1) の場合は AJD = -1 とします。

サンプリングタイミング調整 = ビットの中間 + AJD × （基本クロック × CCR4.AST[2:0]設定値）

設定タイミングは、1 ビットごとの基本クロックサイクル数により制限されます。詳細は、表 26.30 を参照してください。

この機能を使用した場合の、フォトカプラを通過する通信の受信動作の概要を図 26.24、図 26.25 と図 26.26 に、本機能の動作の説明を図 26.27 に示します。

立ち上がり転送時間と立ち下がり転送時間に差がない場合はこの機能を使用しないでください。受信マージンに悪影響を及ぼす可能性があります。

表 26.30　CCR4 レジスタの許容値（内部クロックを使用した調歩同期式モード）

CCR2.ABCSE	CCR2.ABCS	1 ビットごとの基本クロックサイクル数	CCR4 の許容値	
			CCR4.AJD	CCR4.AST
1	x	6	0	000b～010b(注1)
			1	
0	1	8	0	000b～011b(注1)
			1	
0	0	16	0	000b～111b
			1	

注.　x: Don't care
注 1.　CCR4.AST の値が許容値を超えている場合、サンプリングはデフォルトのタイミングで行われます。（サンプリングの調整は行われません。）

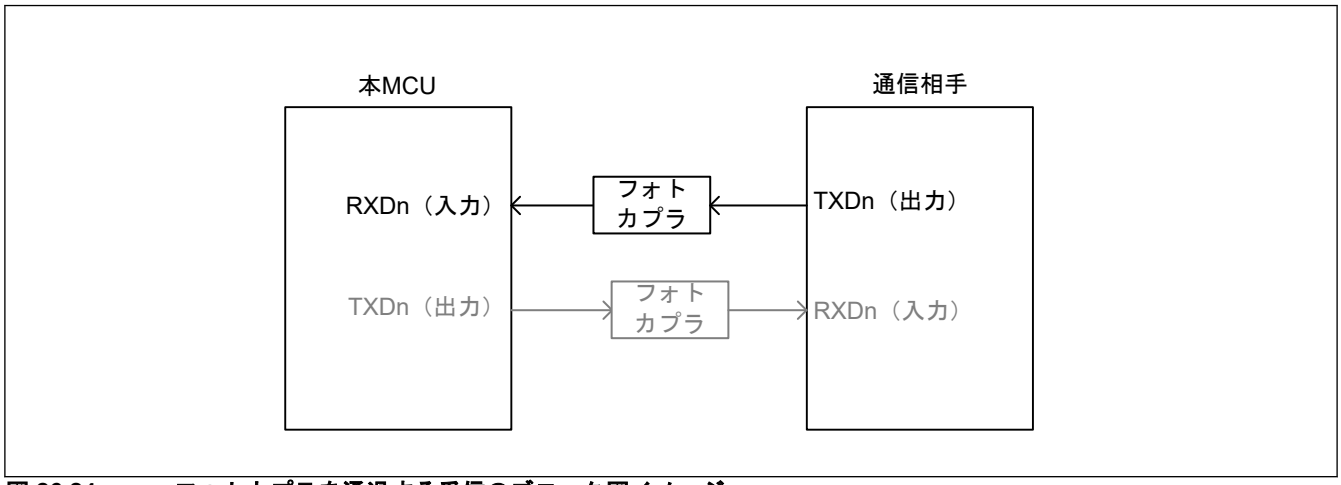
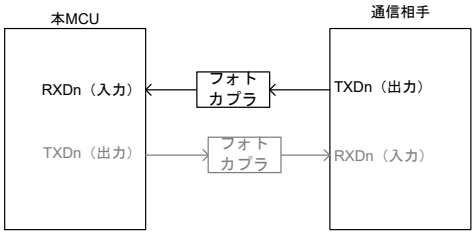
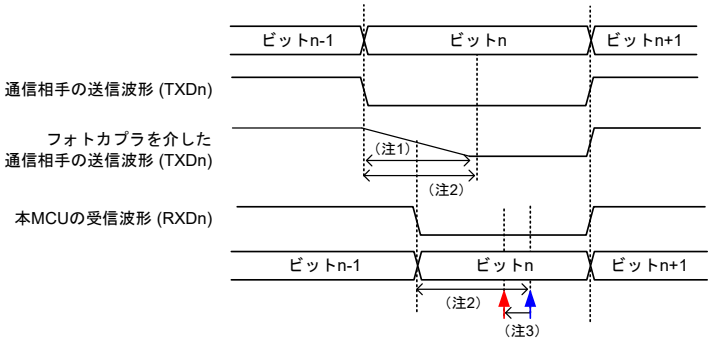


図 26.24　フォトカプラを通過する受信のブロック図イメージ



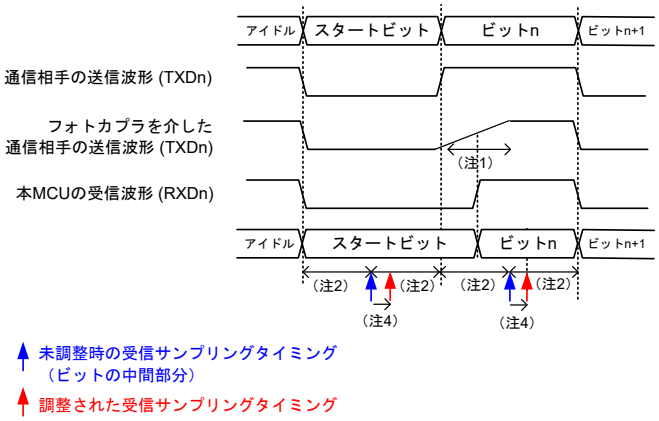
(a)「立ち下がり転送時間 >> 立ち上がり転送時間」の場合

受信波形の立ち下がりエッジは下図に示すように鈍くなります。この場合、受信サンプリングタイミングを前方向に調整すると (AJD = 1)、ビットの中間でサンプリング可能です。



(b)「立ち下がり転送時間 << 立ち上がり転送時間」の場合

受信波形の立ち上がりエッジは下図に示すように鈍くなります。したがって、通信相手の受信マージンは悪化します。この場合、受信サンプリングタイミングを後方向に調整することにより受信マージンを改善できます。



注.　この波形は受信サンプリングタイミング調整の動作イメージを示します。
注 1.　フォトカプラの不感時間設定
注 2.　通信レートでのビット中央タイミング
注 3.　CCR4.AJD が 1 の場合、受信サンプリングタイミングを、CCR4.AST[2:0]ビットの設定値により前方向にシフトします。
注 4.　CCR4.AJD が 0 の場合、受信サンプリングタイミングを、ACTR.AST[2:0]ビットの設定値により後ろ方向にシフトします。

図 26.25　フォトカプラを通過する通信の受信動作の概要

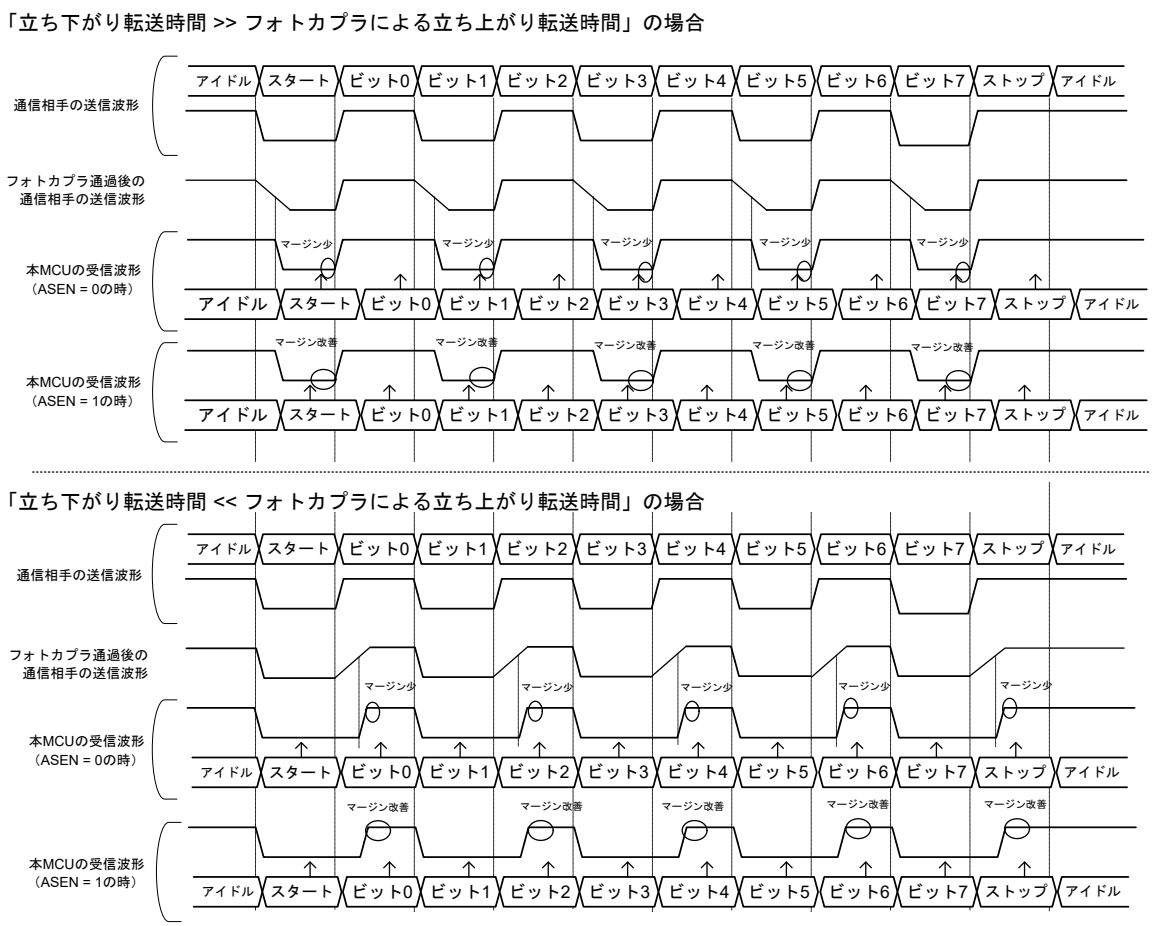


図 26.26　　受信サンプリングタイミング調整機能による受信マージン向上の例

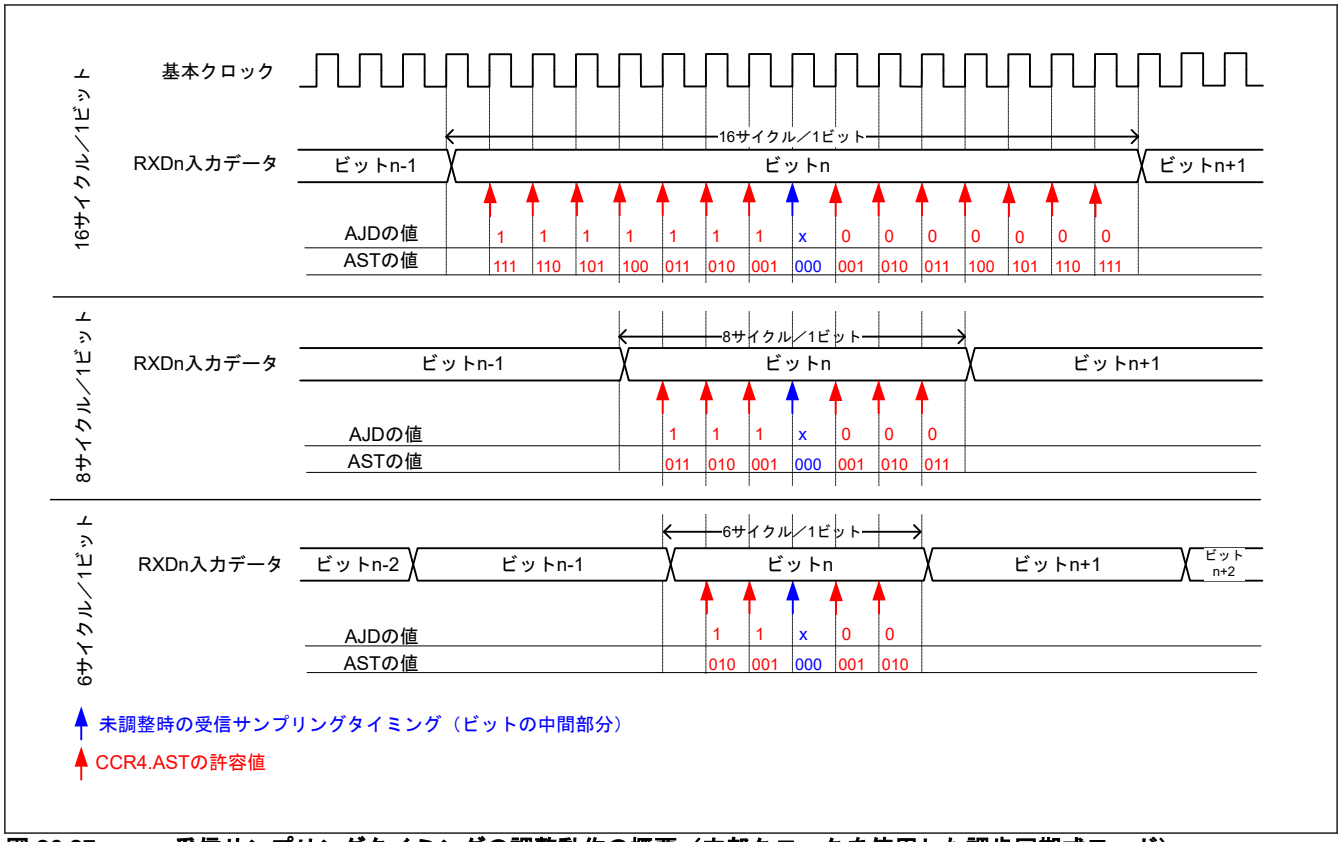


図 26.27　受信サンプリングタイミングの調整動作の概要（内部クロックを使用した調歩同期式モード）

26.3.11　送信タイミング調節機能（調歩同期式モード）

フォトカプラなどを経由した通信では、TXDn 出力信号の立ち上がりまたは立ち下がりの遷移時間が長い場合に、通信先で受信する波形が鈍くなります。この場合、受信マージンに影響する可能性があります。

このような場合は、通信先で送信タイミング調節機能を使用してビットの中間部分でサンプリングするようにします。

CCR4.ATEN が 1 の場合に、この機能により、CCR4.AET により設定されたエッジに対してエッジタイミングを次の式で算出されるタイミングに調節できます。

調節エッジタイミング = 基本クロック × CCR4.ATT[2:0]

さらに、調節エッジタイミングの上限は基本クロックの設定によって制限されます。詳細は、表 26.31 を参照してください。

この機能を使用した場合の、フォトカプラを通過する通信の送信動作イメージ図を図 26.28、図 26.29 と図 26.30 に、本機能の動作の概要を図 26.31 と図 26.32 に示します。

立ち上がり転送時間と立ち下がり転送時間に差がない場合はこの機能を使用しないでください。通信相手の受信マージンに悪影響を及ぼす可能性があります。

表 26.31　CCR4.AET と CCR4.ATT の許容値（内部クロックを使用した調歩同期式モード）

ABCSE	ABCS	1 ビットごとの基本クロックサイクル数	CCR4 の許容値	
			AET	ATT[2:0]
1	x	6	0	000b～101b
			1	
0	1	8	0	000b～111b
			1	
0	0	16	0	000b～111b
			1	

注. x: Don’t care
注. ACTR.AET または ATT の値が許容範囲内にない場合、この SCI モジュールは送信タイミングの調節を行いません。

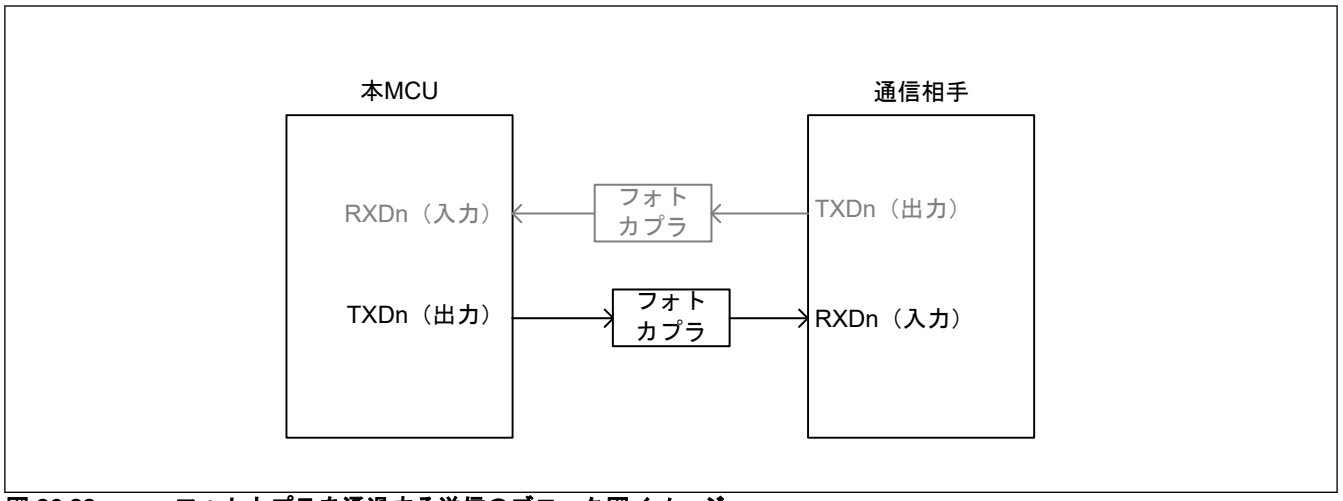
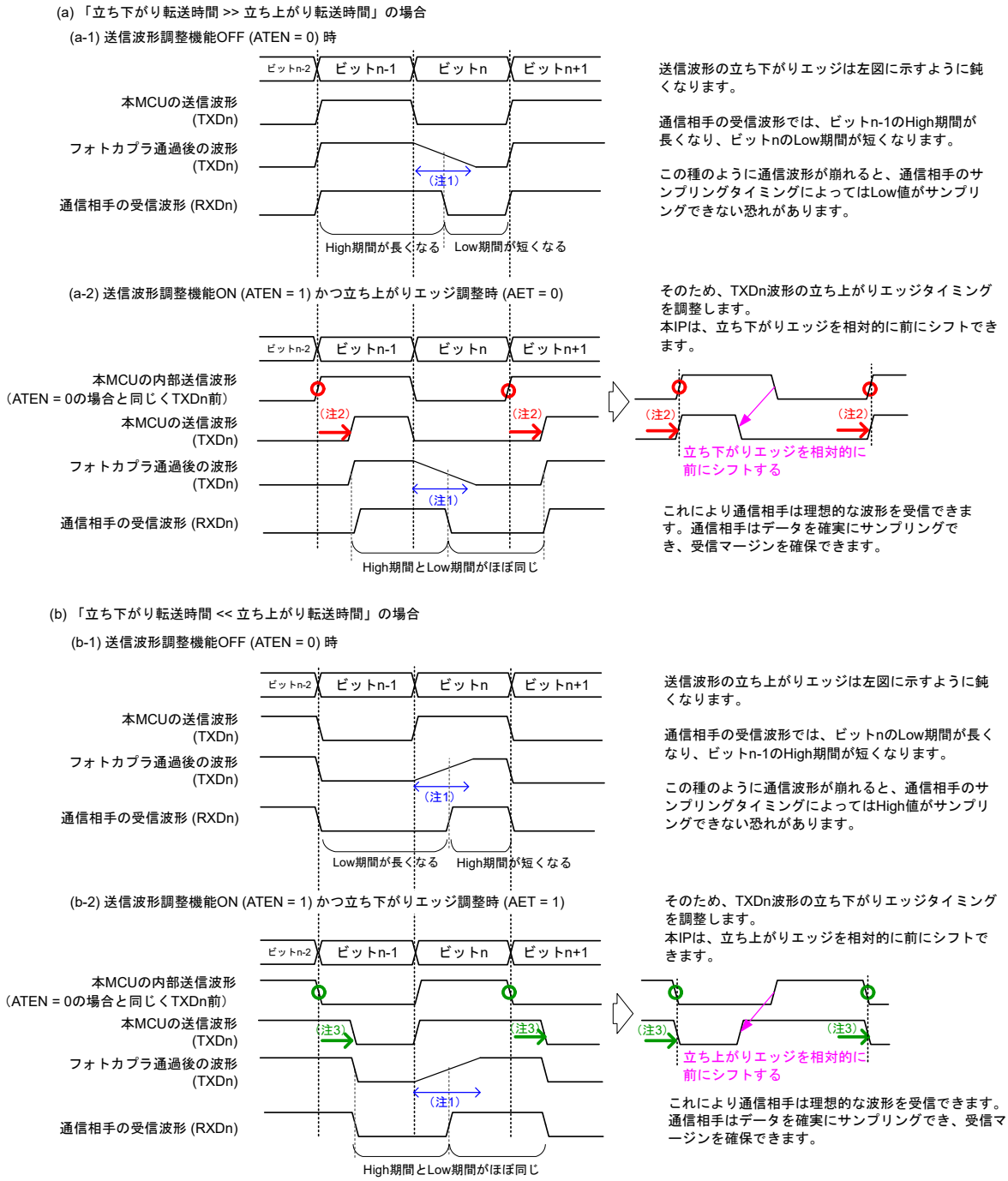


図 26.28 フォトカプラを通過する送信のブロック図イメージ



注.　この波形は送信タイミング調節の動作イメージを示します。
注 1.　フォトカプラの不感時間
注 2.　CCR4.AET が 0 の場合、送信波形タイミングの立ち下がりエッジを、CCR4.ATT[2:0]ビットの設定値により後ろにシフトします。この IP 送信波形は、立ち下がりエッジを相対的に前にシフトします。
注 3.　CCR4.AET が 1 の場合、送信波形タイミングの立ち下がりエッジを、CCR4.ATT[2:0]ビットの設定値により後ろにシフトします。この IP 送信波形は、立ち上がりエッジを相対的に前にシフトします。

図 26.29　フォトカプラを通過する通信の送信動作の概要

送信タイミング調整機能使用時のフォトカプラを経由した通信の送信波形の説明

送信タイミング調整機能の使用時は、送信波形のエッジタイミングを調整し、通信相手の受信波形を補正してください。
次の例は、8ビット長のデータの場合です。

(a)「立ち下がりエッジ転送時間 >> 立ち上がり転送時間」の場合

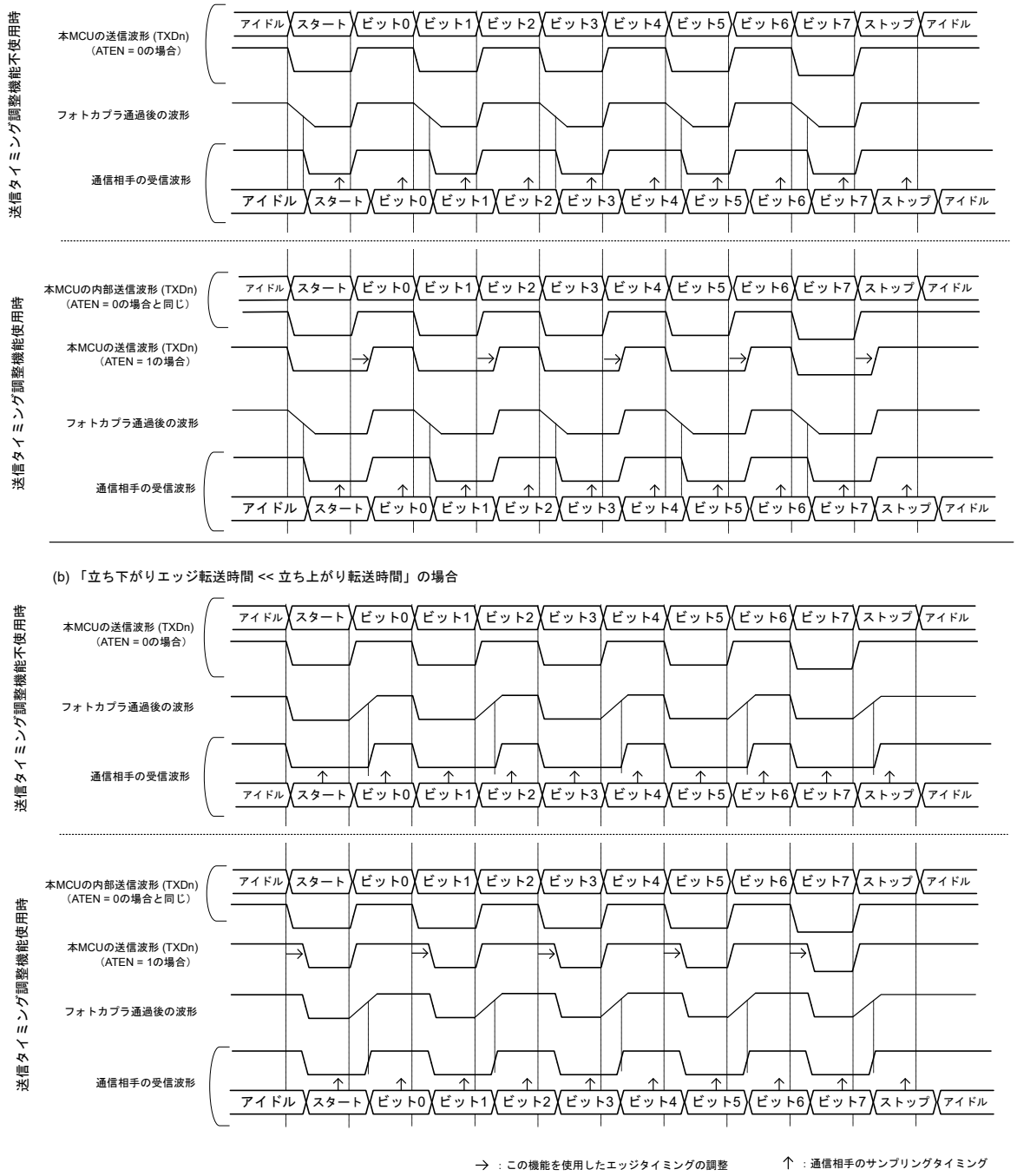
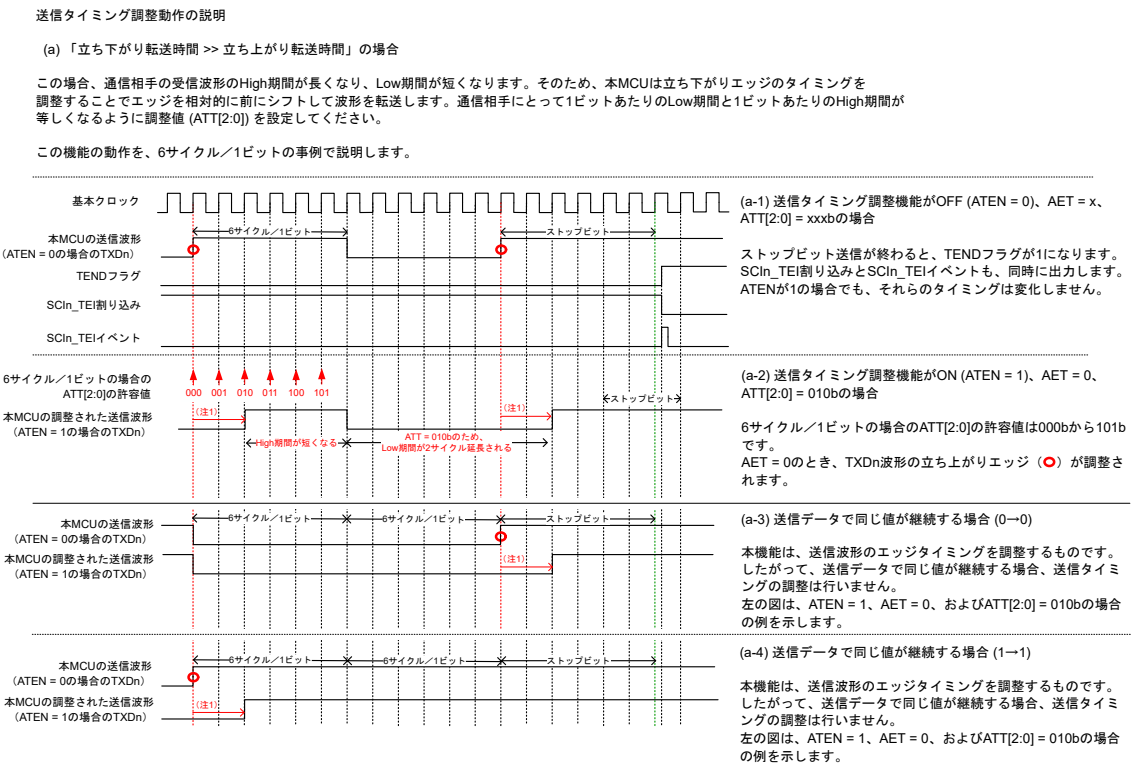
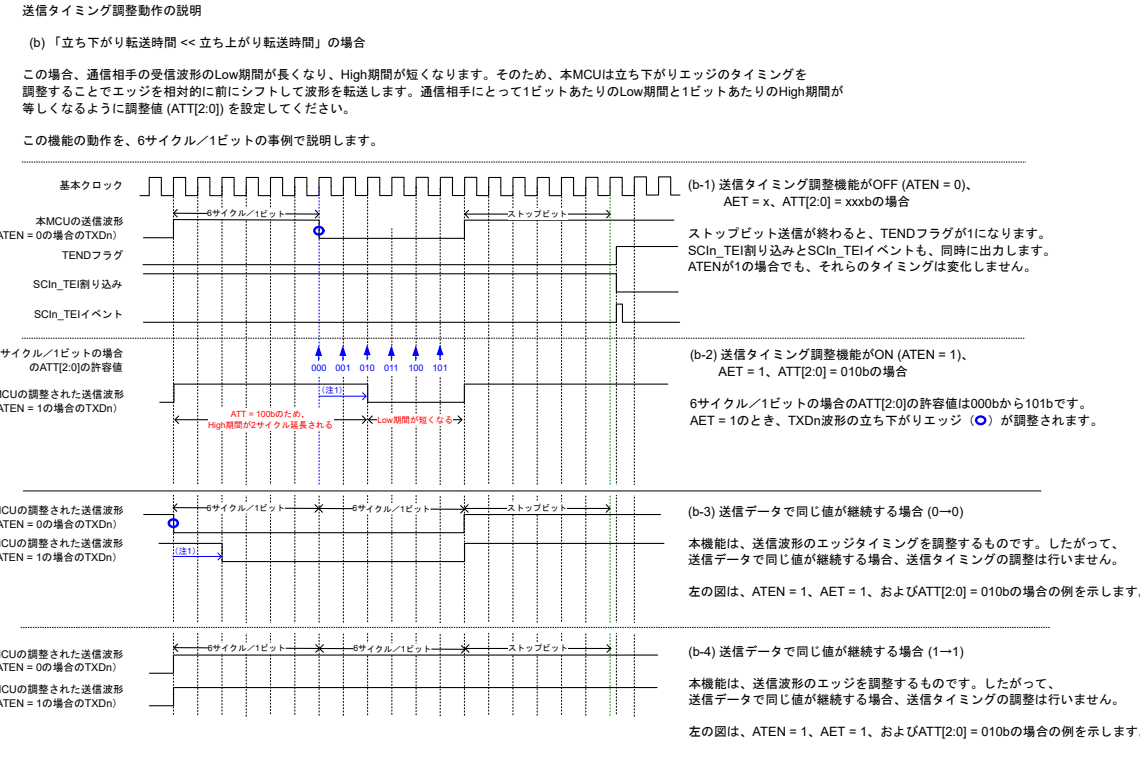


図 26.30　フォトカプラを経由する送信波形の説明



注 1.　送信タイミング立ち上がりエッジを、CCR4.ATT[2:0]ビットの設定値により後ろにシフトします。

図 26.31　　AET が 0 の場合の送信タイミング調節動作の説明



注 1.　送信タイミング立ち下がりエッジを、CCR4.ATT[2:0]ビットの設定値により後ろにシフトします。

図 26.32　　AET が 1 の場合の送信タイミング調節動作の説明

26.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信の回線を共有することにより、複数のプロセッサ間でデータの送受信が可能になります。マルチプロセッサ通信では、各受信局にそれぞれ固有の ID コードが割り付けられます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと、指定された受信局にデータを送信するためのデータ送信サイクルで構成されます。

ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。

- マルチプロセッサビットが 1 のとき、送信サイクルは ID 送信サイクル
- マルチプロセッサビットが 0 のとき、送信サイクルはデータ送信サイクル

図 26.33 に、マルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードに 1 を設定したマルチプロセッサビットを付加した通信データを送信します。続いて、送信データに 0 を設定したマルチプロセッサビットを付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、受信した ID を自局の ID と比較します。2 つが一致した場合、受信局は、続いて送信される通信データを受信します。一致しなかった場合、マルチプロセッサビットが 1 の通信データを受信するまで、受信局は通信データを読み飛ばします。

RTS 制御は 1 対多数の通信に対応しているため、マルチプロセッサ通信機能では使用できません。

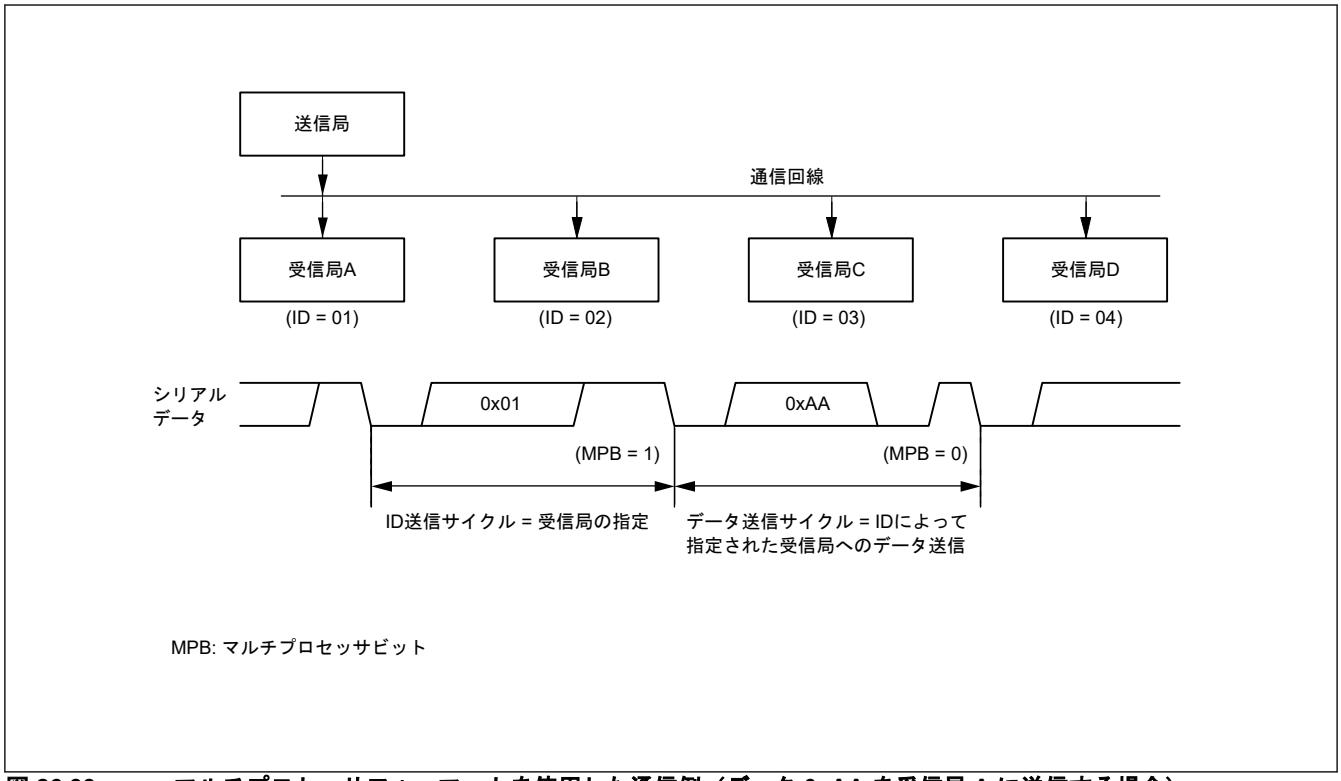


図 26.33 マルチプロセッサフォーマットを使用した通信例（データ 0xAA を受信局 A に送信する場合）

(1) 非 FIFO 選択時

この機能をサポートするため、SCI は CCR0.MPIE ビットを用意しています。MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR レジスタへの受信データの転送
- 受信エラーの検出
- CSR レジスタの RDRF、ORER、FER の各ステータスフラグの設定

マルチプロセッサビットが 1 のキャラクタを SCI が受信すると、RDR.MPB ビットが 1 になるとともに、CCR0.MPIE ビットが自動的にクリアされ、SCI は非マルチプロセッサ受信動作に戻ります。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は、非マルチプロセッサの調歩同期式モードの動作と変わりません。マルチプロセッサ通信に使用されるクロックは、非マルチプロセッサの調歩同期式モードで使用するクロックと同一です。

(2) FIFO 選択時

データ送信では、ソフトウェアにおいて、TDR.TDAT 内の送信データに対応する TDR.MPBT（マルチプロセッサビット転送）ビットにデータを書き込む必要があります。データ受信では、受信データの一部であるマルチプロセッサビットが RDR.MPB ビットに書き込まれ、受信データは RDR.RDAT レジスタに書き込まれます。

MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR.RDAT レジスタへの受信データの転送
- 受信エラーの検出
- DR の検出
- CSR レジスタの RDRF、ORER、FER の各ステータスフラグの設定

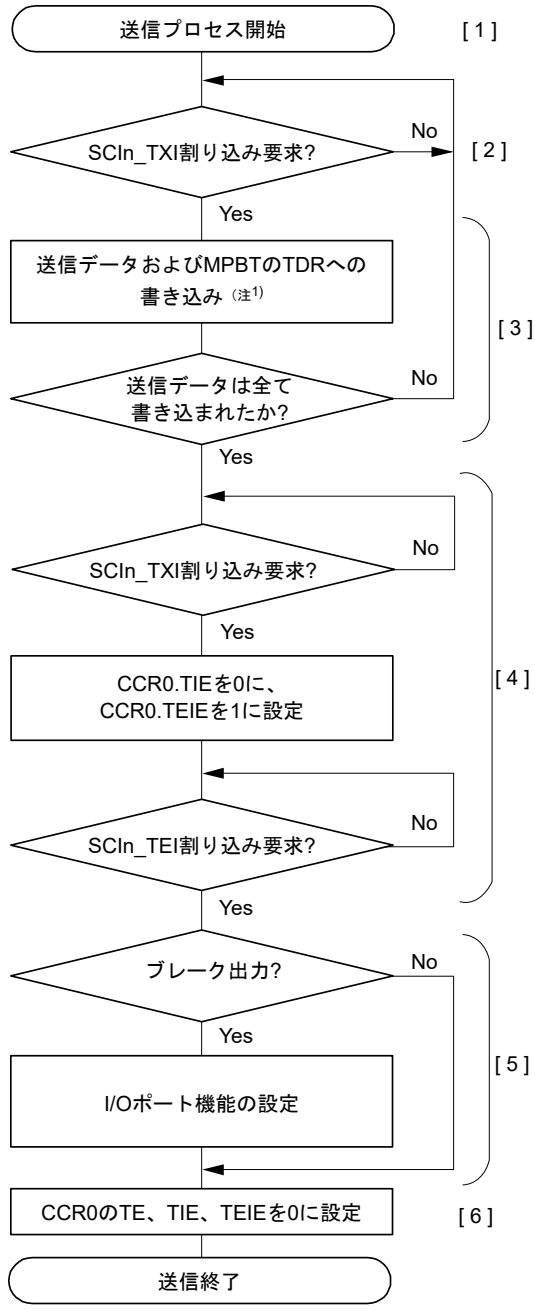
マルチプロセッサビットが 1 のキャラクタを SCI が受信すると、RDR.MPB ビットが 1 になるとともに、受信データが受信 FIFO (RDR.RDAT)に書き込まれます。CCR0.MPIE ビットが自動的にクリアされ、SCI は通常の受信動作に戻ります。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は通常の調歩同期式モードの FIFO 選択時と変わりません。

26.4.1 マルチプロセッサシリアルデータ送信

(1) 非 FIFO 選択時

図 26.34 に、マルチプロセッサデータ送信のフロー例を示します。ID 送信サイクルでは、TDR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードの動作と同じです。



[1] 送信プロセス開始

[2] SCIn_TXI 割り込み要求:
送信データエンプティ割り込み (SCIn_TXI) が発生するのは、次の条件が成立したときです。
CCR0のTEとTIEが同時に0になる。
TDRからTSRへ送信データが転送される。

[3] シリアル送信の継続手順:
シリアル送信を継続するときには、SCIn_TXIを使用して送信データとMPBT設定値を1回TDR（注1）に書き込みます。送信データとMPBT設定値は、DMACまたはDTCを起動することでも書き込むことができます。

[4] SCIn_TEIを使用する場合は、最後の送信データがTDR (注1) に書き込まれて送信が開始した後に、TIEに0を、TEIEに1を設定します。

[5] シリアル送信終了時のブレーク出力:
ブレークを出力するには、TEが0のときに、出力状態設定にSPB2IOとSPB2DTを設定する必要があります。
（これらのビットを初期化時に設定する場合はこのステップを省略できます。）

[6] CCR0のTE、TIE、TEIEを0に設定

注 1.　データ長 9 ビットまたは MPBT ビットへの書き込みでのバイトアクセス時、書き込み送信データは TDR[15:8]ビット、TDR[7:0]ビットの順になります。

図 26.34　　マルチプロセッサシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

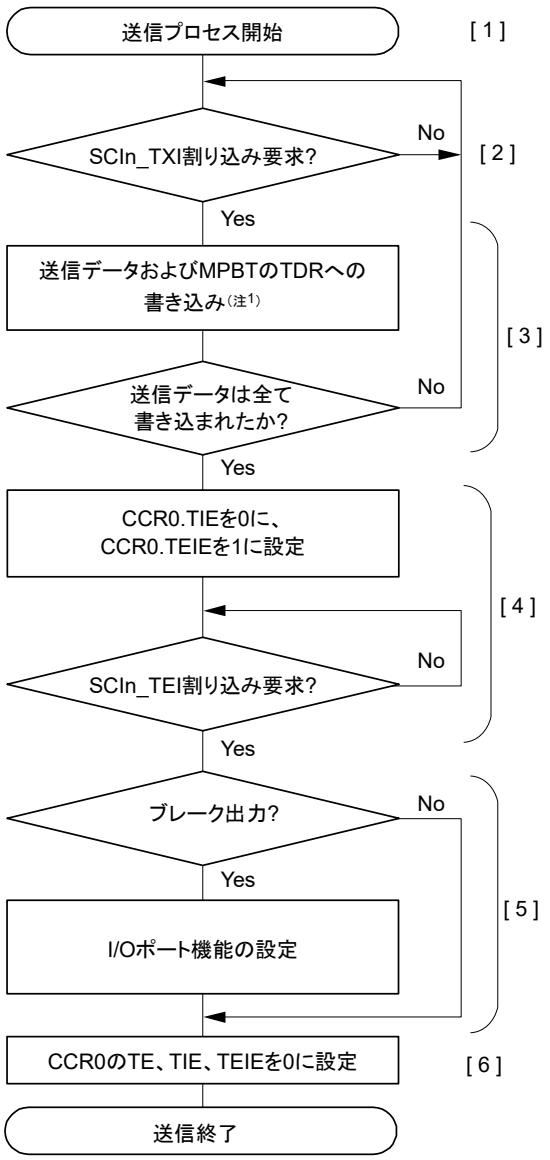
図 26.35 に、マルチプロセッサモードにおいて送信 FIFO (TDR) レジスタに書き込まれるデータフォーマットの例を示します。TDR.MPBT ビットは 1 になります。適切なデータ長のデータが送信 FIFO (TDR) レジスタに書き込まれます。使用しないビットには 0 を書いてください。

データ長	レジスタ設定		TDR[15:0]内の送信データ															
	CCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	–	–	–	–	–	–	MPBT	–	–	TDAT[6:0]						
8ビット	1	0	–	–	–	–	–	–	MPBT	–	TDAT[7:0]							
9ビット	0	Don't Care	–	–	–	–	–	–	MPBT	TDAT[8:0]								

注. —：無効。書く場合、0 としてください。

図 26.35 マルチプロセッサモードにおいて送信 FIFO (TDR) に書き込まれるデータフォーマット（FIFO 選択時）

図 26.36 に、FIFO 選択時のマルチプロセッサシリアル送信のフローチャート例を示します。ID 送信サイクルでは、TDR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードにおける FIFO 選択時の動作と同じです。



[1] 送信プロセス開始
送信開始時のSCIn_TXI割り込みを有効にするため、1回の命令でCCR0のTEとTIEを同時に1にします。
また、CCR3のFMとMPを1にします。

[2] SCIn_TXI割り込み要求:
送信データエンプティ割り込み (SCIn_TXI) が発生するのは、送信データが送信FIFO (TDR) からTSRへ転送される際に、送信FIFOに書き込まれる送信データ数が送信FIFOのしきい値以下の場合です。

[3] シリアル送信の継続手順:
シリアル送信を継続するときには、SCIn_TXI割り込みを使用して全ての送信データとMPBT設定値を送信FIFO (TDR) に書き込みます。送信データとMPBT設定値は、DMACまたはDTCを起動することでも送信FIFO (TDR) に書き込むことができます。

[4] SCIn_TEIを使用する場合は、最後の送信データがTDR(注1)に書き込まれた後に、TIE = 0とTEIE = 1を設定します。

[5] シリアル送信終了時のブレーク出力:
ブレークを出力するには、TEが0のときに、出力状態設定にSPB2IOとSPB2DTを設定する必要があります。
(これらのビットを初期化時に設定する場合はこのステップを省略できます。)

[6] CCR0のTE、TIE、TEIEを0に設定

注 1. データ長 9 ビットまたは MPBT ビットへの書き込みでのバイトアクセス時、書き込み送信データは TDR[15:8]ビット、TDR[7:0]ビットの順になります。

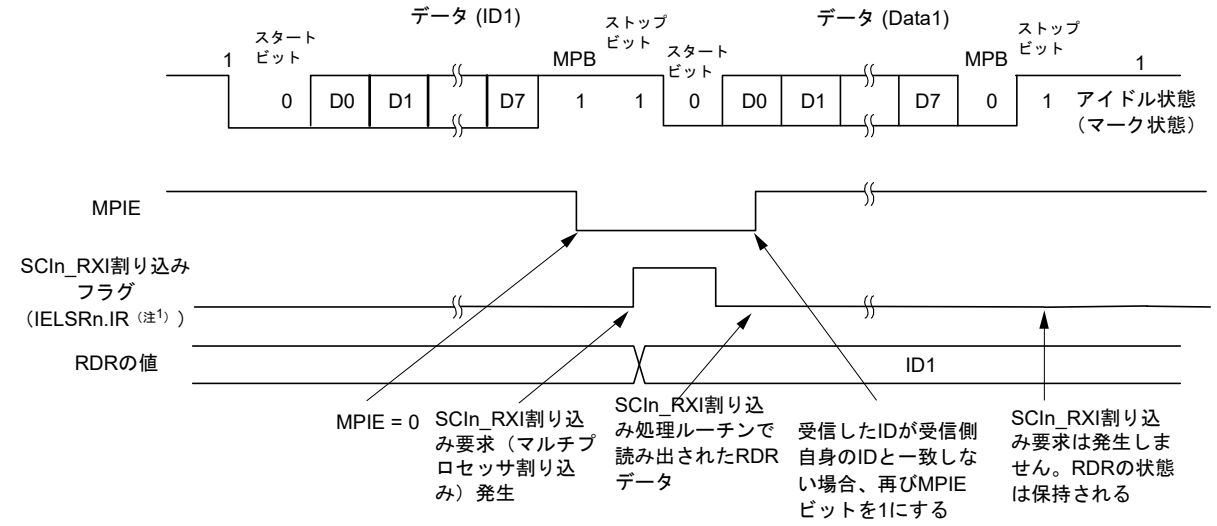
図 26.36 マルチプロセッサモードにおけるシリアル送信のフローチャート例（FIFO 選択時）

26.4.2 マルチプロセッサシリアルデータ受信

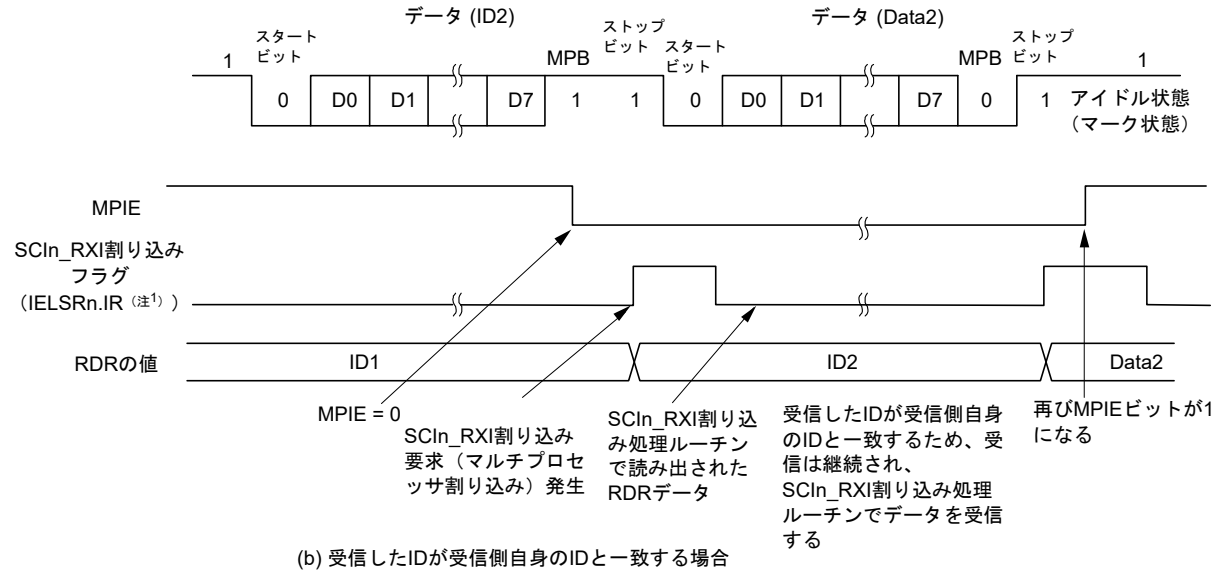
(1) 非 FIFO 選択時

図 26.38 と図 26.39 に、マルチプロセッサシリアル受信のフローチャート例を示します。CCR0.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データは RDR レジスタへ転送され、SCIn_RXI 割り込み要求が発生します。その他の動作は、調歩同期式モードの動作と同じです。

図 26.37 に、データ受信時の動作例を示します。



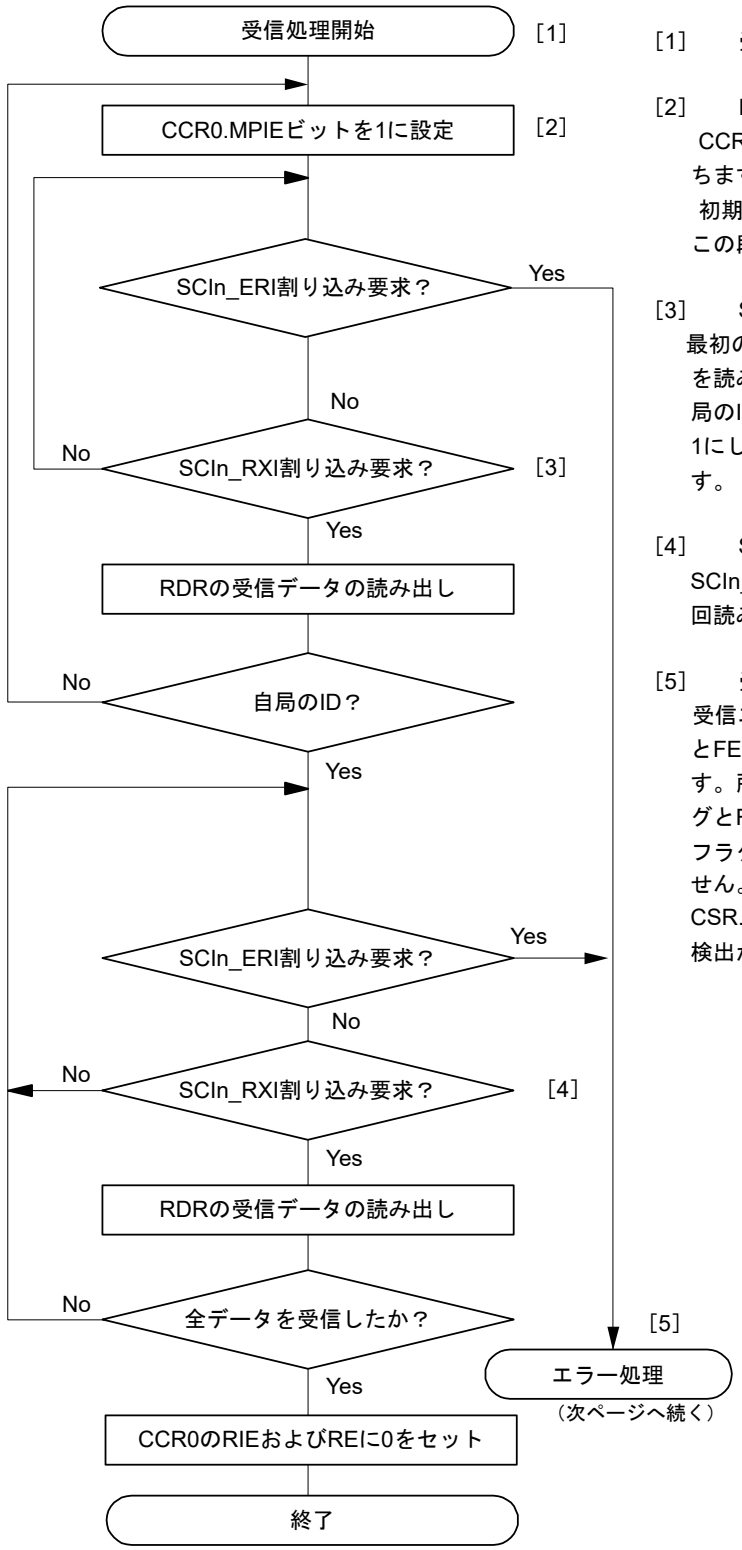
(a) 受信したIDが受信側自身のIDと一致しない場合



(b) 受信したIDが受信側自身のIDと一致する場合

注 1. 対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.37 SCI の受信時の動作例（8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの場合）



[1]　受信処理開始

[2]　ID受信サイクル：
CCR0.MPIEビットを1に設定して、IDの受信を待ちます。
初期化［1］の時にこのビットを設定する場合は、この段階を省略できます。

[3]　SCIステータス確認およびIDの受信と比較：
最初のSCIn_RXI割り込みでRDRレジスタのデータを読み出して、それを自局のIDと比較します。自局のIDと一致しなかった場合、再びMPIEビットを1にして、次のSCIn_RXI割り込み要求を待ちます。

[4]　SCIn_RXI割り込みでのデータ受信：
SCIn_RXI割り込みルーチンで、RDRのデータを1回読み出します。

[5]　受信エラー処理とブレークの検出：
受信エラーが発生した場合、CSRのORERフラグとFERフラグを読み出すことでエラーを判定します。所定のエラー処理を行った後、必ずORERフラグとFERフラグをクリアしてください。これらのフラグのいずれかが1の状態では受信を再開できません。フレーミングエラーの発生時、CSR.RXDMONビットを読み出すことでブレークの検出が可能です。

図 26.38　マルチプロセッサシリアル受信のフローチャート例（非 FIFO 選択時）(1)

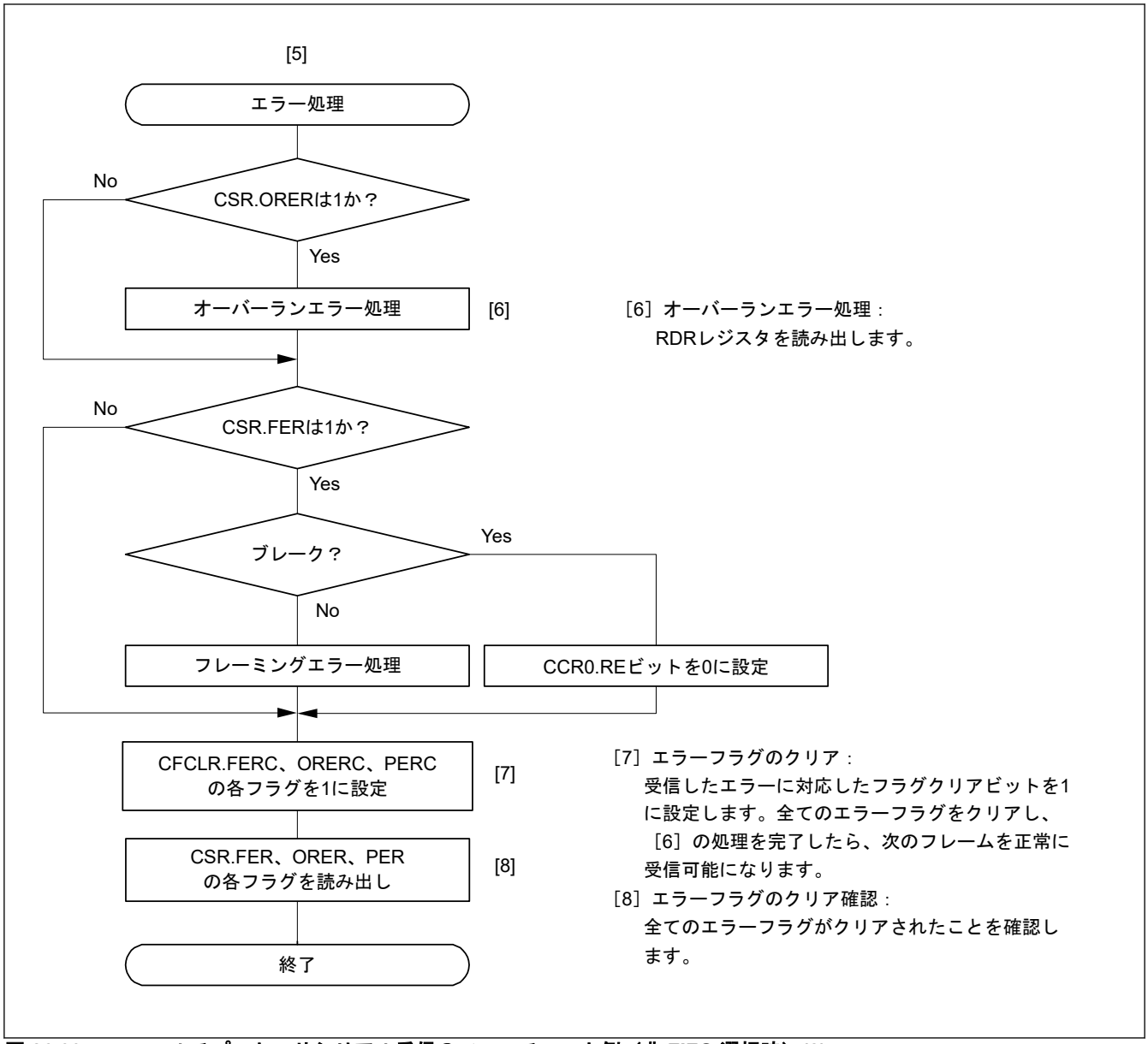


図 26.39　マルチプロセッサシリアル受信のフローチャート例（非 FIFO 選択時）(2)

(2) FIFO 選択時

図 26.40 に、マルチプロセッサモードにおいて受信 FIFO (RDR) レジスタに書き込まれるデータフォーマットの例を示します。

マルチプロセッサモードでは、受信データの一部である MPB の値が RDR.MPB ビットに書き込まれます。RDR.FPER フラグおよび PER フラグに 0 が書き込まれます。適切なデータ長のデータが受信 FIFO (RDR) レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。ソフトウェアが受信 FIFO (RDR) レジスタを読み出すと、SCI は RDR.FFER、FPER、MPB フラグ、および受信 FIFO (RDR) レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。受信 FIFO (RDR) レジスタの FER、PER、ORER フラグは、常に CSR、FRSR レジスタの対応するフラグを反映しています。

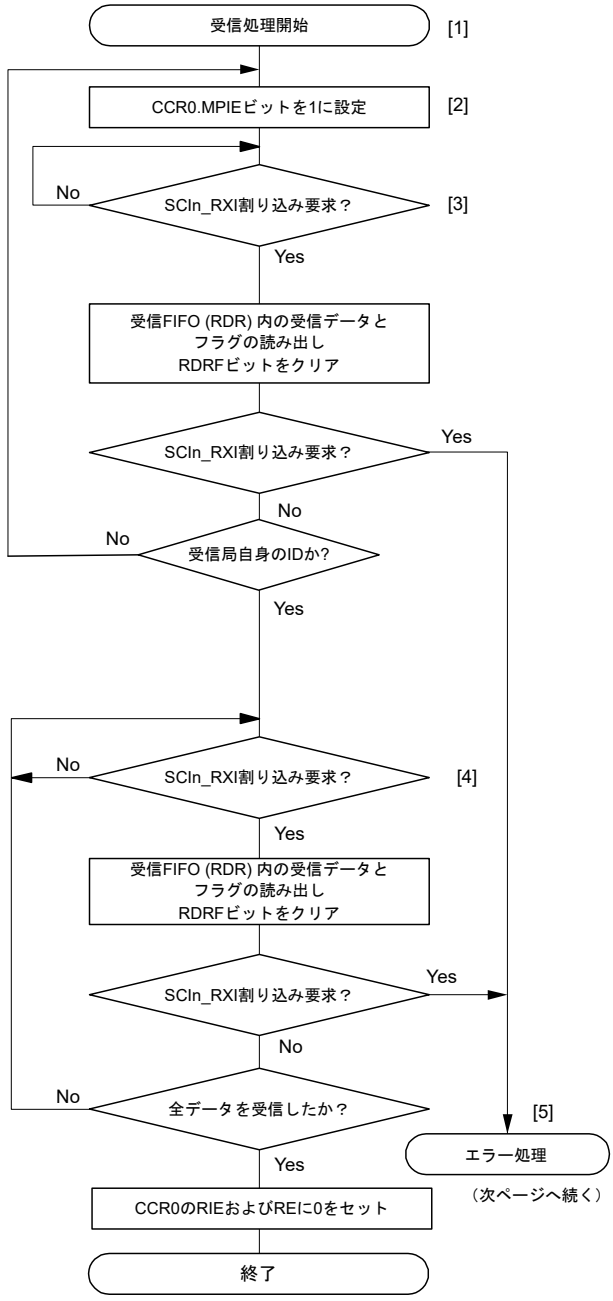
データ長	レジスタ設定 CCR3.CHR[1:0]		RDR[31:0]内の受信データ b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	0	0	0	FFER	FPER	DR	MPB	0	0	RDAT[6:0]						
8ビット	1	0	0	0	0	FFER	FPER	DR	MPB	0	RDAT[7:0]							
9ビット	0	Don't Care	0	0	0	FFER	FPER	DR	MPB	RDAT[8:0]								
データ長	CCR3.CHR[1:0]		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
7ビット	1	1	0	0	0	FER	PER	0	0	ORER	0	0	0	0	0	0	0	0
8ビット	1	0	0	0	0	FER	PER	0	0	ORER	0	0	0	0	0	0	0	0
9ビット	0	Don't Care	0	0	0	FER	PER	0	0	ORER	0	0	0	0	0	0	0	0

注.　データ長が 7 ビットの場合、RDAT[8:7]は常に 0 が読み出されます。
　　データ長が 8 ビットの場合、RDAT[8]は常に 0 が読み出されます。

図 26.40　マルチプロセッサモードにおいて受信 FIFO (RDR) に格納されるデータフォーマット（FIFO 選択時）

図 26.41 に、FIFO 選択時のマルチプロセッサデータ受信のフローチャート例を示します。CCR0.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データ、MPB、および関連のエラーが受信 FIFO (RDR) レジスタへ転送されます。CCR0.MPIE ビットは自動的にクリアされ、通常の受信動作が継続します。

フレーミングエラーが発生して CSR.FER フラグが 1 になると、SCI はデータ受信を継続します。その他の動作は、調歩同期式モードにおける FIFO 選択時の動作と同じです。



[1]　受信処理開始
MPの検出でSCIn_RXI割り込み要求を発生させるには、FCR.RTRGビットに1を、FCR.DRESビットに0を設定してください。

[2]　ID受信サイクル：
CCR0.MPIEビットを1にして、IDの受信を待ちます。このビット設定を初期化［1］時に行う場合、このステップは省略できます。

[3]　SCIステータス確認およびIDの受信と比較：
MPBビットが1の通信データを受信するまで、通信データを読み飛ばします。このとき、MPBビットが1のデータを受信すると、SCIn_XRI割り込み要求が発生します。SCIn_RXI割り込み要求を受信したとき、受信したFIFO（RDRレジスタ）のデータを読み出し、自局IDと比較します。それが自局IDでない場合、再びMPIEビットを1にして、次のSCIn_RXI割り込み要求を待ちます。自局IDであれば、受信FIFOしきい値を必要な値に設定します。

[4]　SCIn_RXI割り込みでのデータ受信：
FIFOのしきい値を超える数の受信データが受信FIFO（RDRレジスタ）に格納されると、CSR.RDRFビットが1になり、SCIn_RXI割り込み要求が発生します。また、受信FIFO（RDRレジスタ）に格納された受信データの数が1以上でありかつFIFOのしきい値より小さい場合、15 etu経過後にFRSR.DRビットが1になり、SCIn_RXI割り込み要求が発生します。SCIn_RXI割り込みルーチンが、受信FIFO（RDRレジスタ）からデータを読み出します。

[5]　受信エラー処理とブレークの検出：
受信エラーが発生した場合、CSRのORERフラグとFERフラグを読み出すことでエラーを判定します。所定のエラー処理を行った後、必ずORERフラグとFERフラグをクリアしてください。 フレーミングエラーの場合、RXDn端子の値を読み出すことでブレークを検出できます。

図 26.41　　マルチプロセッサモードにおけるシリアル受信のフローチャート例（FIFO 選択時）

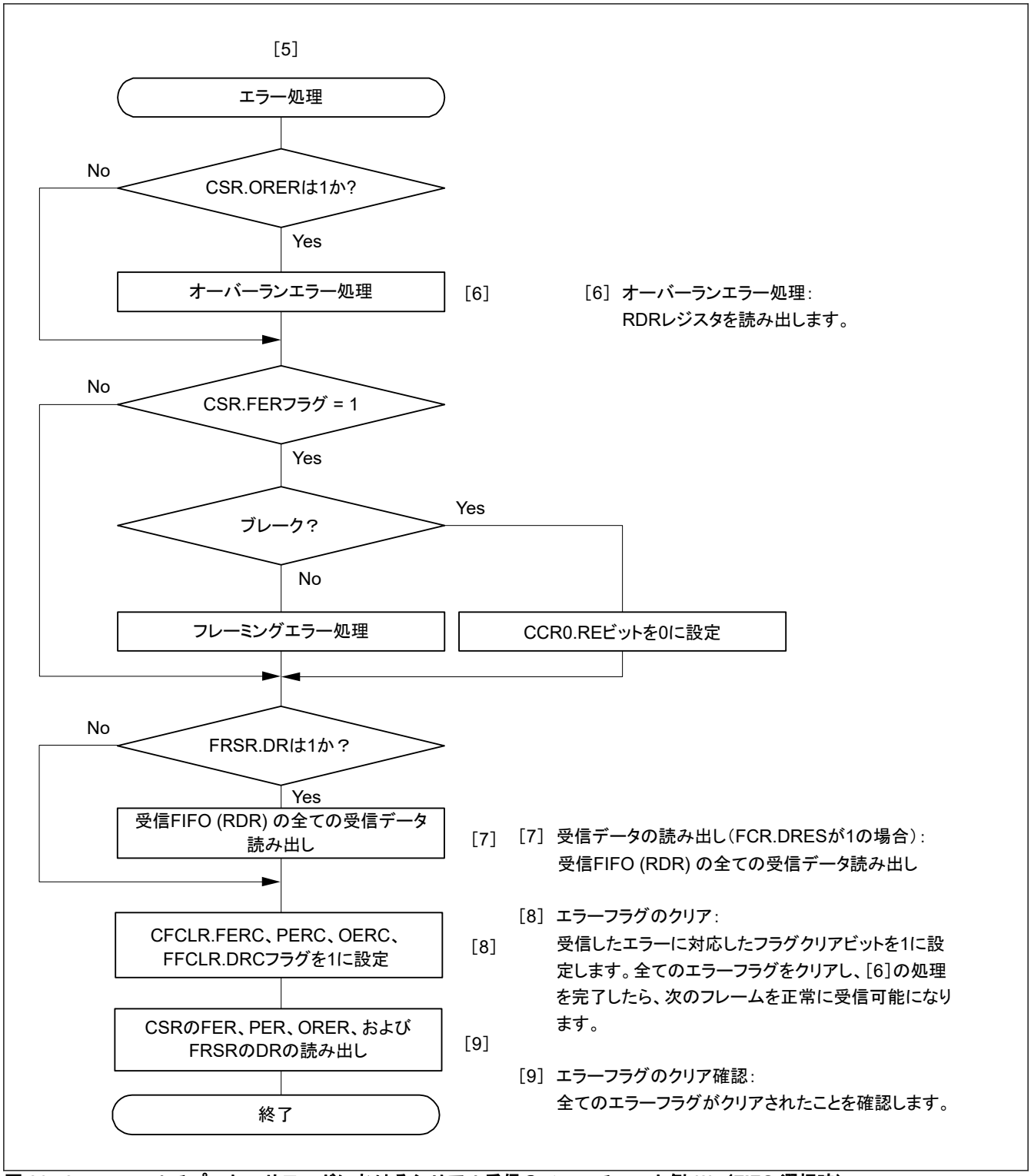


図 26.42 マルチプロセッサモードにおけるシリアル受信のフローチャート例 (2)（FIFO 選択時）

26.5 マンチェスタモードの動作

マンチェスタモードにおいては、受信または送信されるシリアルデータはマンチェスタエンコードによってコード化されます。

図 26.43 にマンチェスタエンコードのイメージを示します。

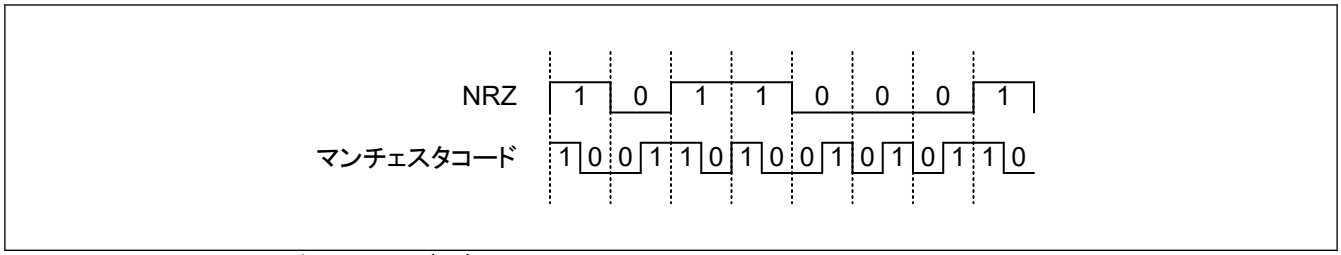


図 26.43　　マンチェスタエンコードの例

マンチェスタモードでは、プレフィスとスタートビット領域がレジスタ内の送信データに追加され、送信フレームが構成されます。送信時に、データはマンチェスタエンコードでコード化されます。データが受信される時に、送信フレームと同じフォーマットのフレームが検出され、マンチェスタデコードが行われます。

フレームフォーマットの詳細については、「26.5.1. フレームフォーマット」を参照してください。

26.5.1　　フレームフォーマット

図 26.44 にマンチェスタモードでのフレームフォーマットを示します。

図の上半分に関係する設定レジスタを示します。

プレフィス領域とデータ領域はマンチェスタエンコーディングでコーディングされます。

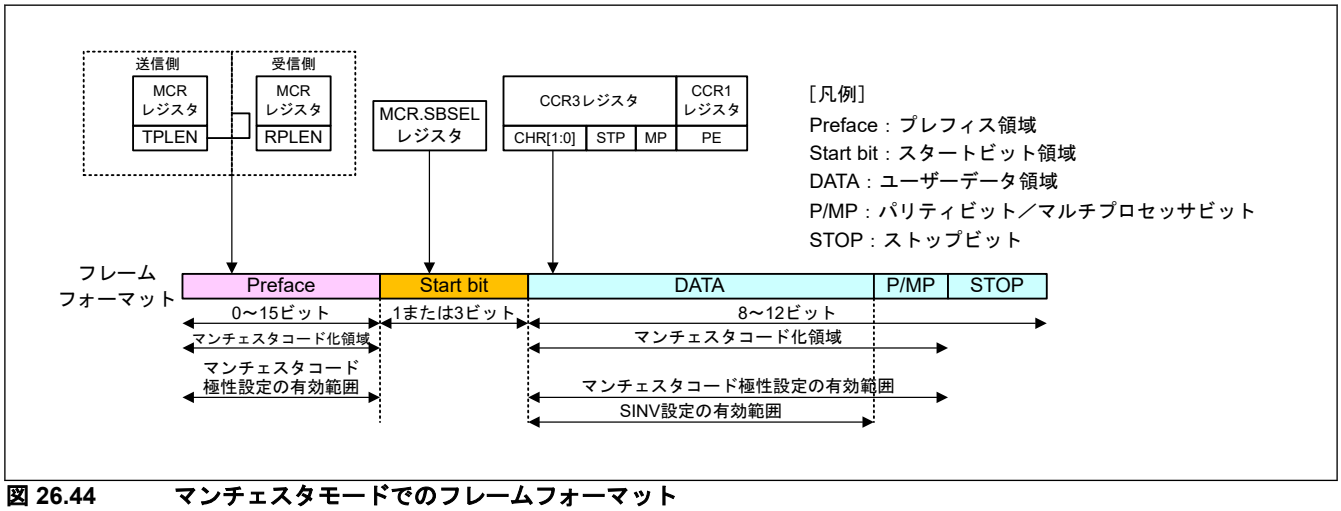


図 26.44　　マンチェスタモードでのフレームフォーマット

(1)　プレフィス領域

この領域は固定パターンであり、各フレームの先頭に位置しています。

プレフィス領域の送信と受信の設定のためにいくつかのレジスタが使用されます。送信時のプレフィス長は MCR.TPLEN[3:0]の設定で決まります。受信については MCR.RPLEN[3:0]の設定で決まります。

0 に設定されると、送信プレフィスは無効になり付加されません。

1d～15d に設定されると、この設定で決まる長さのプレフィスが付加されます。

（例えば 1d に設定されると 1 ビット長のプレフィスが付加されます。15d に設定されると 15 ビット長のプレフィスが付加されます。）

送信時と受信時のプレフィスパターンは、それぞれ MCR.TPPAT[1:0]と MCR.RPPAT[1:0]により 4 パターンから選択されます。

図 26.45 にプレフィスがどのように設定されるかを示します。プレフィス領域とスタートビット領域が各通信フレームに付加されます。

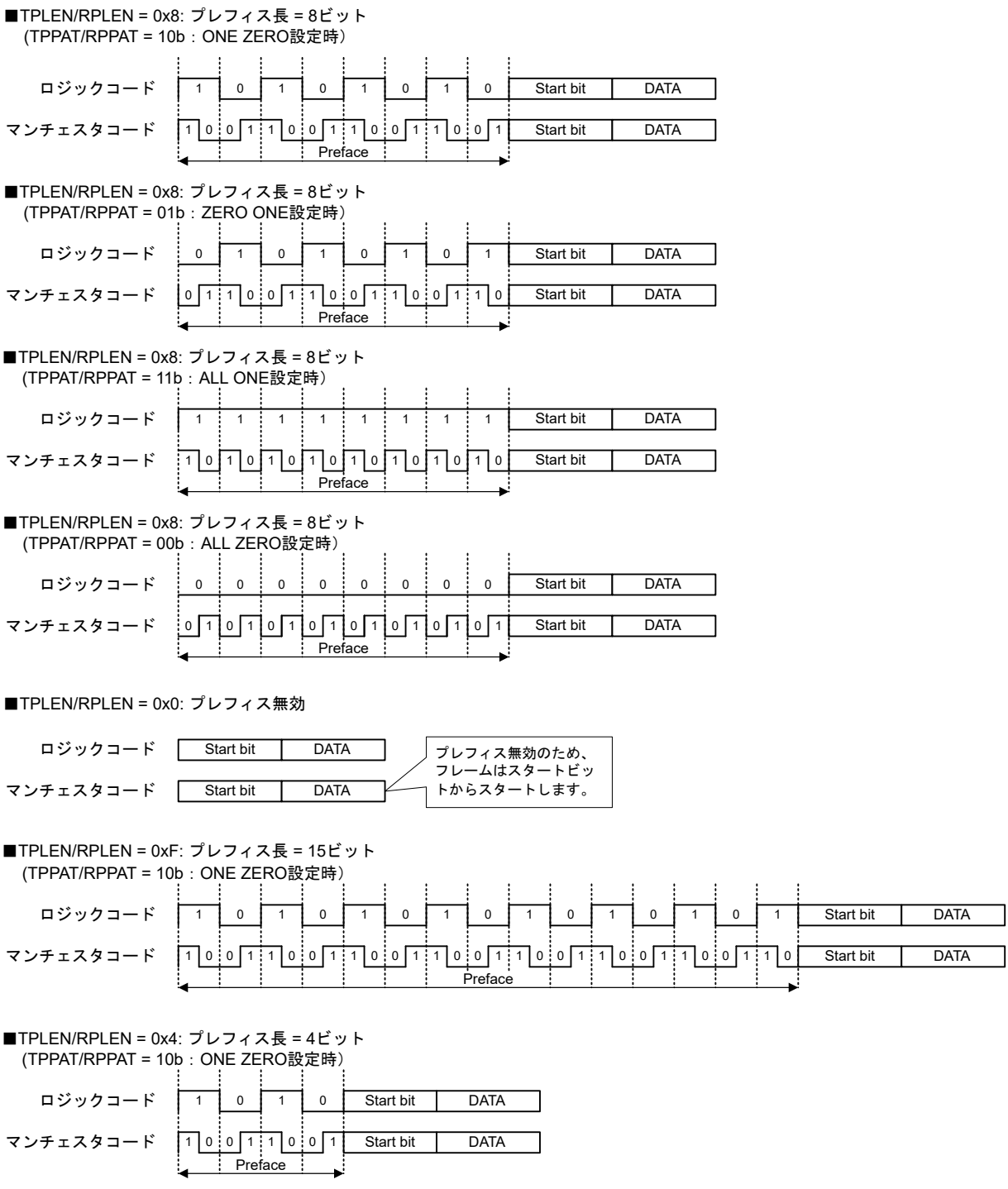


図 26.45　プレフィスパターンの設定例

(2)　スタートビット領域

フレーム内の有効データの開始を示します。この領域はプレフィス領域の後に追加されます。

スタートビット長は MCR.SBSEL の設定によって決まります。MCR.SBSEL = 0 の場合は、スタートビット長が 1 ビットです。

MCR.SBSEL = 1 の場合は、スタートビット長が 3 ビットです。

MCR.SBSEL = 1 の場合は、SYNC タイプをコマンド SYNC とデータ SYNC から選択できます。

コマンド SYNC は 3 ビットが 1 から 0 への遷移として付加されることを意味します。

データ SYNC は 3 ビットが 0 から 1 への遷移として付加されることを意味します。

SYNC タイプは MCR.SYNSEL、MCR.SYNVAL、および TDR.TSYNC の設定で決まります。

（受信時は、MSR.RSYNC に受信結果が適用されます。）

MCR.SBSEL = 0 の場合は、スタートビットが 0 から 1 または 1 から 0 への遷移として付加されます。

どちらにするかは MCR.SYNVAL の設定によって選択されます。

MCR.SYNSEL ビットは送信設定時の参照先を示します。

MCR.SYNSEL ビットが 1 のときは MCR.SYNVAL の設定が参照されます。MCR.SYNSEL ビットが 0 のときは TDR.TSYNC の設定が参照されます。

図 26.46 に MCR.SYNSEL レジスタ、MCR.SYNVAL レジスタ、および TDR.TSYNC レジスタの設定によって決まる送信時のスタートビット領域の状態を示します。図 26.47 に受信の場合を示します。

スタートビットは MCR.TMPOL または MCR.RMPOL の設定の影響を受けません。

*d.c.= don't care、Preface = プレフィス領域、START = スタートビット領域、Data = ユーザーデータ領域、
P = パリティビット、MP = マルチプロセッサビット、STOP = ストップビット

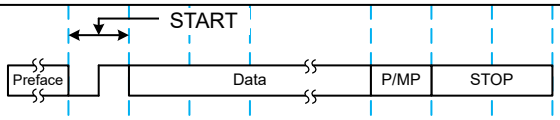
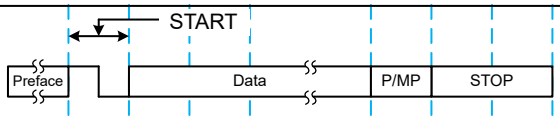
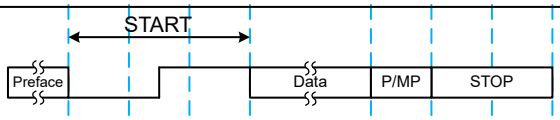
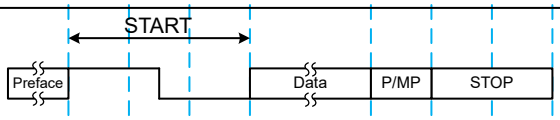
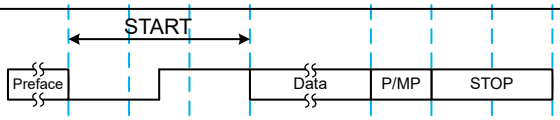
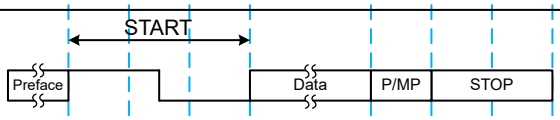
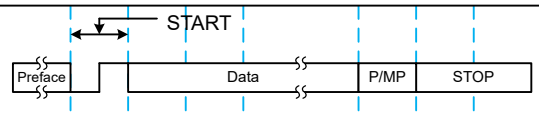
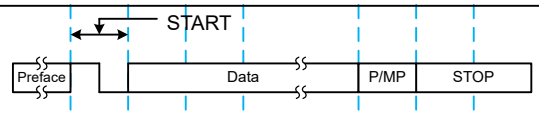
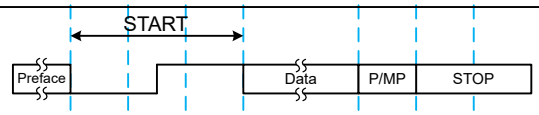
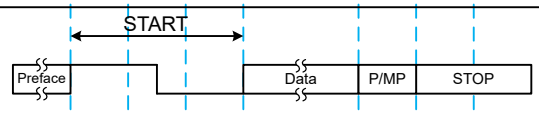
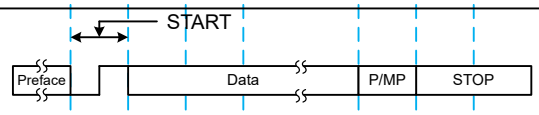
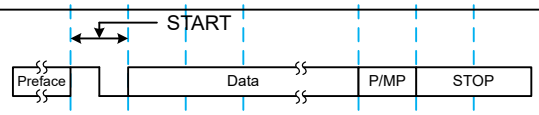
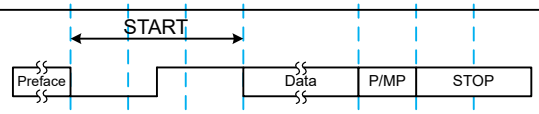
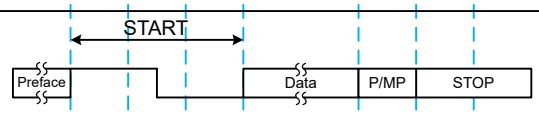
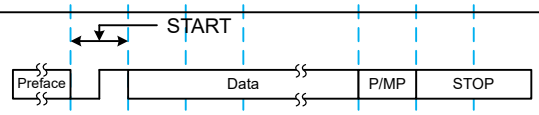
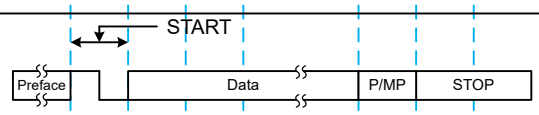
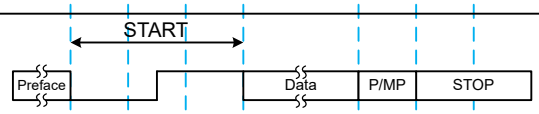
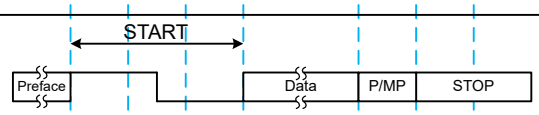
レジスタ設定				出力信号	出力スタートビット
MCR			TDR	TXDn出力波形	
SBSEL	SYNSEL	SYNVAL	TSYNC		
0	d.c.	0	d.c.		1ビット 0→1遷移
0	d.c.	1	d.c.		1ビット 1→0遷移
1	0	0	d.c.		3ビット 0→1遷移 （データ同期）
1	0	1	d.c.		3ビット 1→0遷移 （コマンド同期）
1	1	d.c.	0		3ビット 0→1遷移 （データ同期）
1	1	d.c.	1		3ビット 1→0遷移 （コマンド同期）

図 26.46　送信時のスタートビット領域に関する設定とフォーマット

d.c. = don't care、Preface = プレフィス領域、START = スタートビット領域、Data = データ領域
P = パリティビット、MP = マルチプロセッサビット、STOP = ストップビット

レジスタ設定				入力信号	スタートビット検出結果 (注1)	レジスタ表示
MCR			TDR	RXDn入力波形		
SBSEL	SYNSEL	SYNVAL	TSYNC			MSR.RSYNC
0	d.c.	0	d.c.		スタートビット正常（1ビット：0→1遷移）	0
					スタートビットエラー	0
					スタートビットエラー	0
					スタートビットエラー	0
0	d.c.	1	d.c.		スタートビットエラー	0
					スタートビット正常（1ビット：1→0遷移）	0
					スタートビットエラー	0
					スタートビットエラー	0
1	d.c.	d.c.	d.c.		スタートビットエラー	0
					スタートビットエラー	0
					データ同期	0
					コマンド同期	1

注 1.　スタートビット以外のデータは正常であると仮定します。

図 26.47　　受信時のスタートビット領域に関する設定と判定

(3)　DATA

データ領域のフォーマットについては、調歩同期式モードと同様ですので「26.3.1. シリアル転送フォーマット」を参照してください。

図 26.43 マンチェスタモードでのフレームフォーマットに示される通り、ストップビットはマンチェスタエンコーディングの範囲に含まれません。

26.5.2 クロック

CCR2.CKS[1:0]を設定することによって、マンチェスタモードでの送受信クロックとして内蔵ボーレートジェネレータから生成されるクロックが使用されます。

また、CCR2.ABCS ビットによってオーバーサンプリング（1 ビット時間の転送速度）を設定することも可能です。

CCR2.ABCS ビットが 0 に設定されると、1 ビット時間を基本クロックの 16 サイクルとして、オーバーサンプリング x16 が選択されます。CCR2.ABCS ビットが 1 に設定されると、1 ビット時間を基本クロックの 8 サイクルとして、オーバーサンプリング x8 が選択されます。

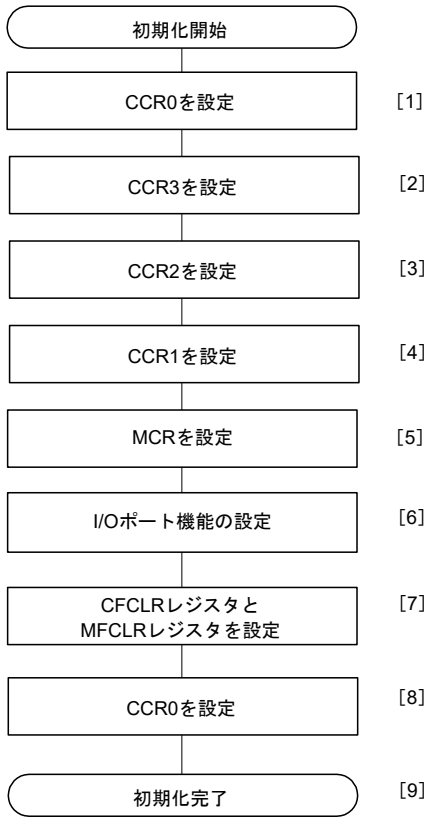
26.5.3 マンチェスタモードにおける SCI の初期化

データの送受信前に、CCR0.TE ビットと CCR0.RE ビットに 0 を書き込み（または CCR0 レジスタに初期値を書き込み）、図 26.48 のフローチャート例に従って、SCI を初期化してください。

動作モードまたは通信フォーマットを変更する場合も、CCR0 レジスタを初期値にしてから変更してください。

CCR0.RE ビットを 0 にしても、CSR レジスタの ORER、FER、PER、RDRF、RDF フラグ、MSR レジスタの SYER、PFER、MER、SBER フラグ、ならびに RDR レジスタは初期化されません。

また、CCR0.TIE が 1 のときに CCR0.TE の値を 0 から 1 に変化させると、SCIn_TXI 割り込み要求が生成されます。



[1] CCR0レジスタの以下のビットを0にします。
TEIE、TIE、RIE、TE、REビット
初期設定から変更していない場合は、この手順を省略できます。

[2] ドライバコントロール、マルチプロセッサ通信、通信モード、
送受信フォーマット、クロックイネーブルを設定します。
CPOLやCPHAなどの機能ビットを初期値で使用しないでください。

[3] クロックの選択とビットレート設定を設定します。
使用しない機能のビットは、初期値のままにします。（例：BRME）

[4] ノイズフィルタ、ループバックコントロール、通信端子ステータス、
パリティチェック、CTS/RTS機能を設定します。

[5] マンチェスタ送信／受信設定を設定します。
スタートビット設定、リタイミング設定、マンチェスタ極性設定、
送信プレフィス設定、受信プレフィス設定

[6] TXDn、RXDn、SCKn端子のうち、必要な端子機能が有効となるように
I/Oポートを設定します。

[7] 対象フラグをクリアするため、CFCLRレジスタとMFCLRレジスタの
以下のクリアビットを1に設定します。
CFCLR.RDRFC、FERC、PERC、MFFC、ORERC、DFERC、
DPERC、DCMFC、ERSC、
MFCLR.MERC、SBERC、SYERC、PFERC
リセット後の初期設定時には、この手順を省略できます。

[9] TEビットまたはREビットを1にします。割り込みを有効にするためには、
TEビットとTIEビット、およびREビットとRIEビットを1つの命令で
同時に1にし、マルチプロセッサ機能を設定します。TEビットとREビット
を設定すると、TXDn端子とRXDn端子を使用できます。

図 26.48　SCI の初期化フロー（マンチェスタモード）

26.5.4 倍速動作

CCR2.ABCS ビットを 1 にして、1 ビット期間として基本クロックの 8 パルスを選択した場合、ABCS ビットが 0 の場合に比べて、SCI は 2 倍のビットレートで動作します。

CCR2.BGDM ビットが 1 になっていると、基本クロックの周期は 1/2 倍に減少し、SCI のビットレートは ABCS ビットが 0 の場合の 2 倍になります。

CCR2 レジスタの ABCS、BGDM ビットが 1 に設定されているときは、CCR2 レジスタの ABCS、BGDM ビットが 0 に設定されているときと比べて、SCI は 4 倍のビットレートで動作します。

26.5.5 CTS、RTS 機能

CTS 機能は、CTSn 端子入力を使用して送信制御を行う機能です。CCR1.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTSn_RTSn 端子は、1 つの端子が CTS または RTS いずれの機能にも使用できる兼用端子としても設定できますし、各端子を CTSn 端子は CTS 機能に、CTSn_RTSn 端子は RTS 機能に対応する専用端子としても設定できます。この設定を行うには、CCR1.CTSPEN ビットを使ってください。

CTS 機能有効時、CTSn 端子が Low の場合のみ受信開始します。

送信開始後に CTSn 端子入力を High にしても、送信中のフレームは影響を受けず、送信を継続します。

RTS 機能は、CTSn_RTSn 端子出力を使用して送信要求を行います。SCI は受信可能になると、CTSn_RTSn 端子に Low を出力します。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件がすべて満たされる場合：

- CCR0.RE ビットが 1
- SCI が次の受信が可能である
  - 読み出す受信データがまだなく、受信もしていない
  - 以下のすべてのフラグが 0 になっている：CSR レジスタの ORER、FER、PER フラグ、MSR レジスタの MER、SYER フラグ（SYEREN = 1 の場合）、PFER フラグ（PFEREN = 1 の場合）、SBER フラグ（SBEREN = 1 の場合）

[High になる条件]

- Low になる条件を満たさない場合

26.5.6 シリアルデータの送信（マンチェスタモード）

SCI はマンチェスタエンコーディングによりデータをコード化し、その結果をマンチェスタモードで送信します。

極性設定 (MCR.TMPOL) が 0 の場合、論理 0 はマンチェスタコード内での 0 から 1 への遷移、論理 1 はマンチェスタコード内での 1 から 0 への遷移としてエンコーディングされます。

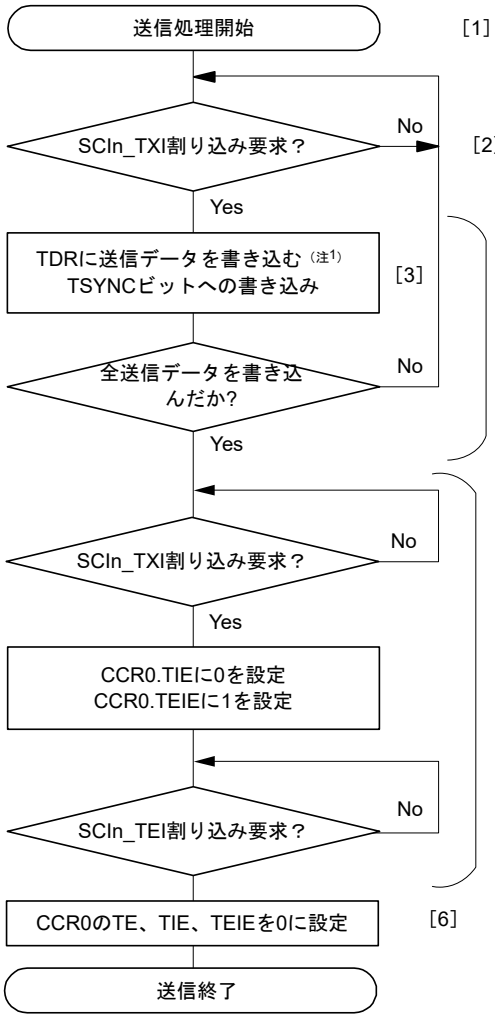
極性設定 (MCR.TMPOL) が 1 の場合、論理 0 はマンチェスタコード内での 1 から 0 への遷移、論理 1 はマンチェスタコード内での 0 から 1 への遷移としてエンコーディングされます。

そのため、マンチェスタエンコードされたデータのレベル遷移が各論理データの中間で発生します。（図 26.43 を参照してください。）

送信部はデータにプレフィスを付加し極性設定に従ってスタートビットを設定したうえで、特定のフォーマットで送信フレームを作成します。そして作成されたシリアルデータを送信します。

フレームフォーマットの詳細については、「26.5.1. フレームフォーマット」を参照してください。

図 26.49 に送信のフローチャートを示します。送信開始時に 1 命令で同時に CCR0.TIE ビットおよび CCR0.TE ビットを 1 にしてください。その後、SCIn_TXI 割り込み要求が発生します。図 26.50、図 26.51、および図 26.52 にマンチェスタモードのシリアル送信の動作例を示します。



[1]　送信処理開始

[2]　SCIn_TXI割り込み：
CCR0.TIE = 1かつTE = 0→1であるときに送信データがTDRからTSRに転送されると、送信データエンプティ割り込み (SCIn_TXI) 要求が発生します。

[3]　TDR設定：
送信データをTDRに書き込みます。
TSYNC使用時は、TDR.TSYNCも設定します。

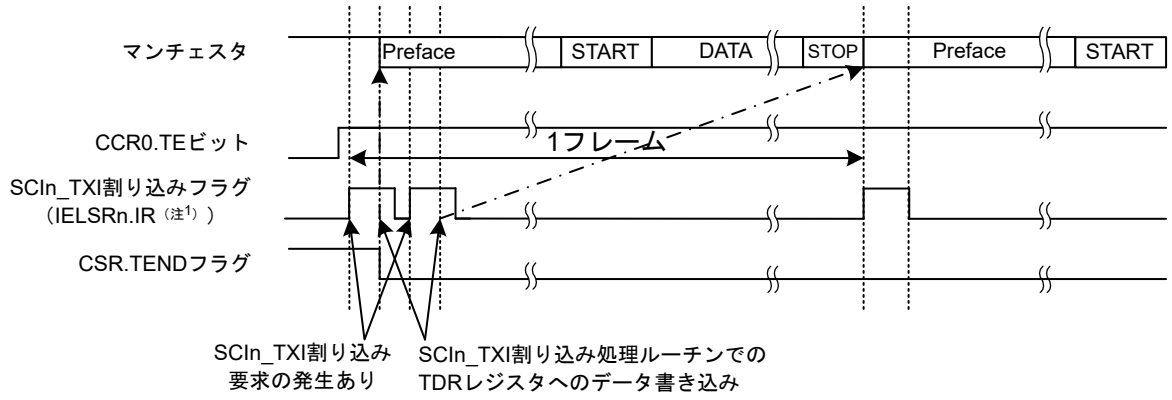
[4]　シリアル送信の継続手順：
シリアル送信を継続するときには、SCIn_TXI割り込みを使用して送信データをTDRに1回書き込みます。（注1）
送信データは、SCIn_TXI割り込み要求でDMACまたはDTCを起動することでもTDRに書き込むことができます。（注1）

[5]　SCIn_TEI割り込み要求を使用する場合は、最後の送信データがTDRに書き込まれて送信を開始した後に、CCR0.TIEビットを0、CCR0.TEIEビットを1にします。

[6]　CCR0.TE、TIE、TEIEビットを0に設定します。

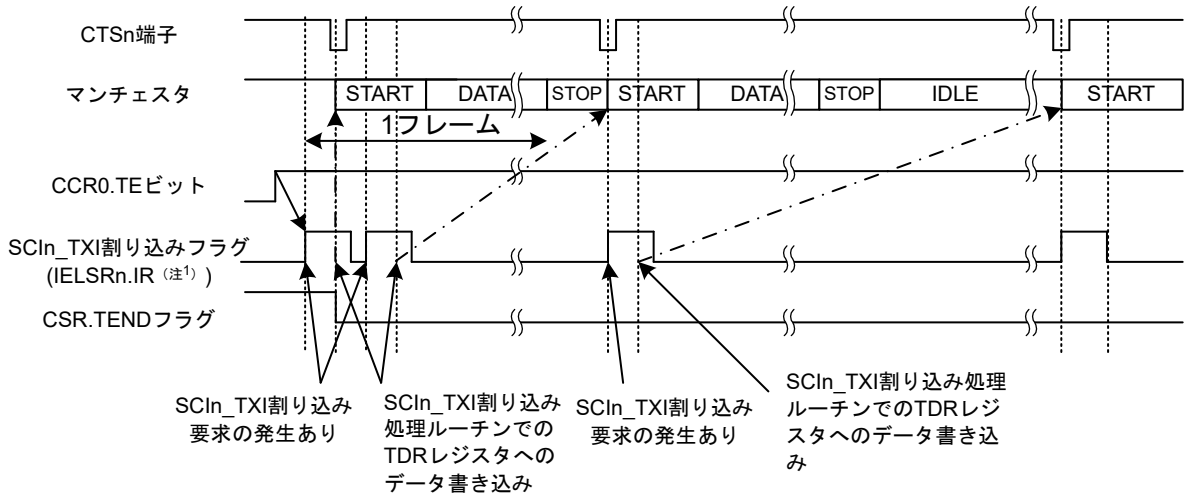
注 1.　TDR[15:8]ビットがデータ書き込みを要求し、バイトアクセスが要求される場合、送信データを TDR[15:8]ビット、TDR[7:0]ビットの順に書き込んでください。

図 26.49　　マンチェスタモードのシリアル送信のフローチャート例



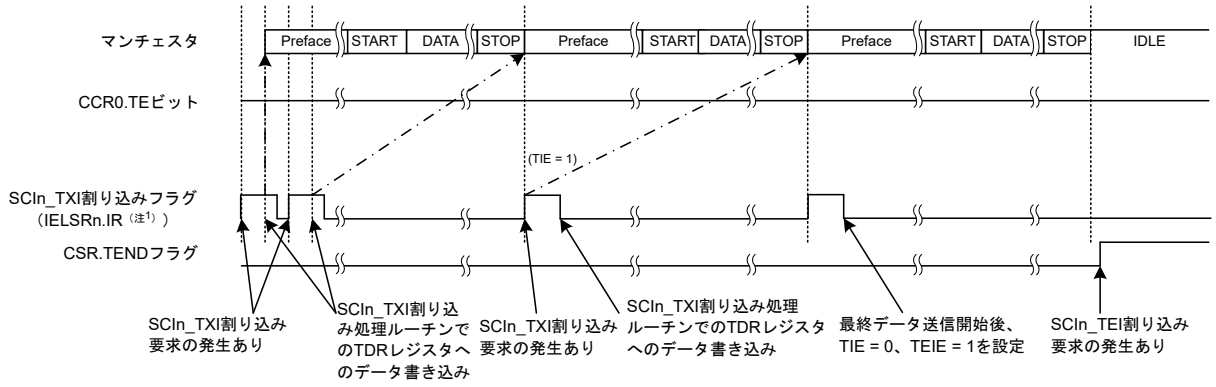
注 1.　対応する割り込み番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.50　　マンチェスタモードにおけるシリアル送信の送信開始動作の例（プレフィスあり、CTS 機能なし）



注 1.　対応する割り込み番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.51　　マンチェスタモードにおけるシリアル送信の送信開始動作の例（プレフィスなし、CTS 機能あり）



注 1.　対応する割り込み番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.52　　マンチェスタモードにおけるシリアル送信の終了動作の例（プレフィスあり、CTS 機能なし）

26.5.7　シリアルデータの受信（マンチェスタモード）

マンチェスタモードでは、SCI はビットレートの 16 倍(注1)の周波数の基本クロックで動作します。受信は、基本クロックでの受信データの立ち下がりエッジのサンプリングによって開始します。図 26.53 に示す通り、受信は受信データの立ち下がりエッジで開始し、受信データが 1/4 ビットの間 Low 状態を維持すると受信が継続します。受信データが 1/4 ビットの間で High になると、SCI はエラーと判断し、次の立ち下がりエッジを待機します。

受信データの前半において High レベルであることが予想されると、SCI は 1 基本クロックサイクルの Low レベルをエラーと判断し、Low レベルへの変化を無視します。

注 1.　これは CCR2.ABCS = 0 の場合です。CCR2.ABCS = 1 の場合、SCI はビットレートの 8 倍の周波数の基本クロックで動作します。

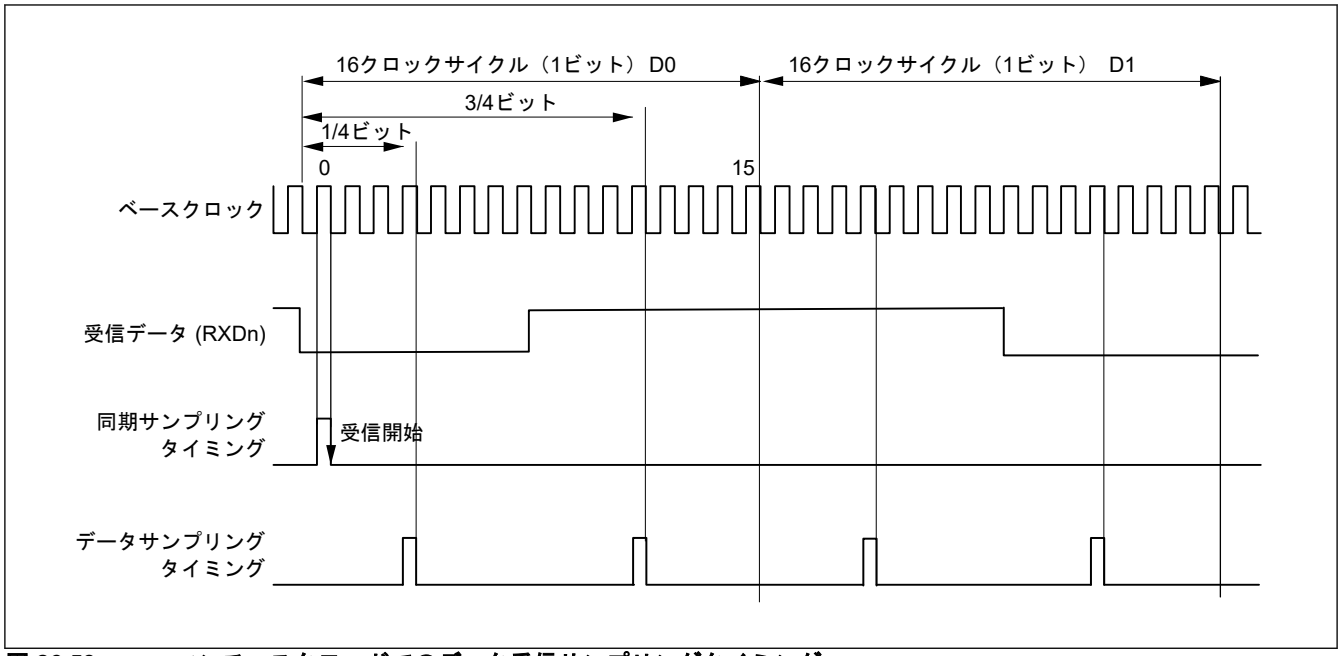


図 26.53 マンチェスタモードでのデータ受信サンプリングタイミング

マンチェスタモードでは、データ受信はプレフィスとスタートビット領域の検出で開始します。

SCI は RXDn 端子からの入力をチェックし、MCR.RPLEN の値に基づいてプレフィスが追加されているかどうかを判断します。

プレフィスが無効の場合 (MCR.RPLEN = 0)、プレフィス検出は行わずスタートビット領域の検出動作に移ります。

プレフィスが有効の場合、MCR.RPPAT の設定値に基づいてプレフィスパターン設定を特定し、それを RXDn 入力と比較してプレフィスパターンの検出を行います。

プレフィスパターンの一致を検出すると、それを正常プレフィスと判断し、スタートビット領域の検出動作に移ります。

プレフィス領域においてプレフィスパターンの不一致またはマンチェスタコードエラーを検出すると、プレフィスエラーと判断してプレフィスエラー (PFER) をアサートします。

スタートビットの検出のために、SCI はレジスタ設定（MCR.SBSEL と SYNVAL）に基づいて期待値を選択し、これと RXDn とのパターンマッチングによってスタートビット領域を検出します。スタートビットのパターン一致を検出すると、これを正常なスタートビット領域と判断してデータ処理動作に移行します。

プレフィスとスタートビット領域を正常に検出した場合のみ、データ受信の次のフェーズに移行します。

スタートビットのパターン不一致を検出すると、スタートビットエラーフラグ (SBER) をアサートします。

データ処理において、SCI はレジスタ設定 (CCR3.CHR[1:0]) に基づいて、RSR レジスタによって期待受信データ長だけデータをシフトします。受信データの 1 ビット内の 2 つのサンプル点が一致すると、SCI はこれをマンチェスタコードエラーと判断します。

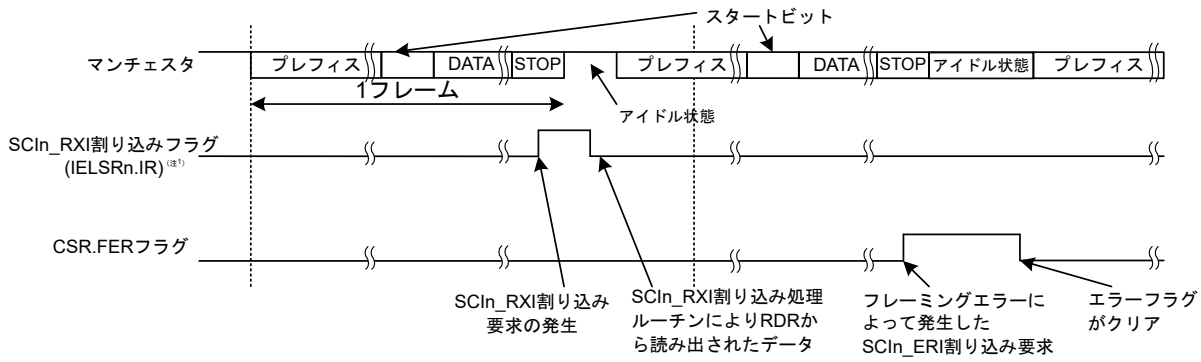
詳細については、「26.5.11. マンチェスタモードにおけるエラー」 (4) を参照してください。

パリティ機能が無効の場合 (CCR1.PE = 0) は、SCI はストップビット検出の次のフェーズに移行します。パリティ機能が有効の場合 (CCR1.PE = 1) は、SCI はパリティチェックを行います。パリティエラーを検出すると、パリティエラーフラグ (PER) をアサートしてストップビット検出動作に移行します。

ストップビットの検出においては、SCI は受信フレームのストップビット領域内で以下をチェックします。

ビット内に 2 つのサンプリング点があります。両方のサンプリング点が High レベルの場合、そのビットは正常なストップビットとみなされ、データが RDR レジスタに保存されます。Low レベル点が少なくとも 1 つあると異常ストップビットと判断され、フレームエラーフラグ (FER) が設定されます。エラーが検出された場合でも、受信データは異常データとして RDR レジスタに保存されます。

図 26.54 にマンチェスタモードにおけるシリアル受信の動作例を示します。



注 1.　対応する割り込み番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.54　　マンチェスタモードにおけるシリアルデータ受信の動作例（プレフィスあり）

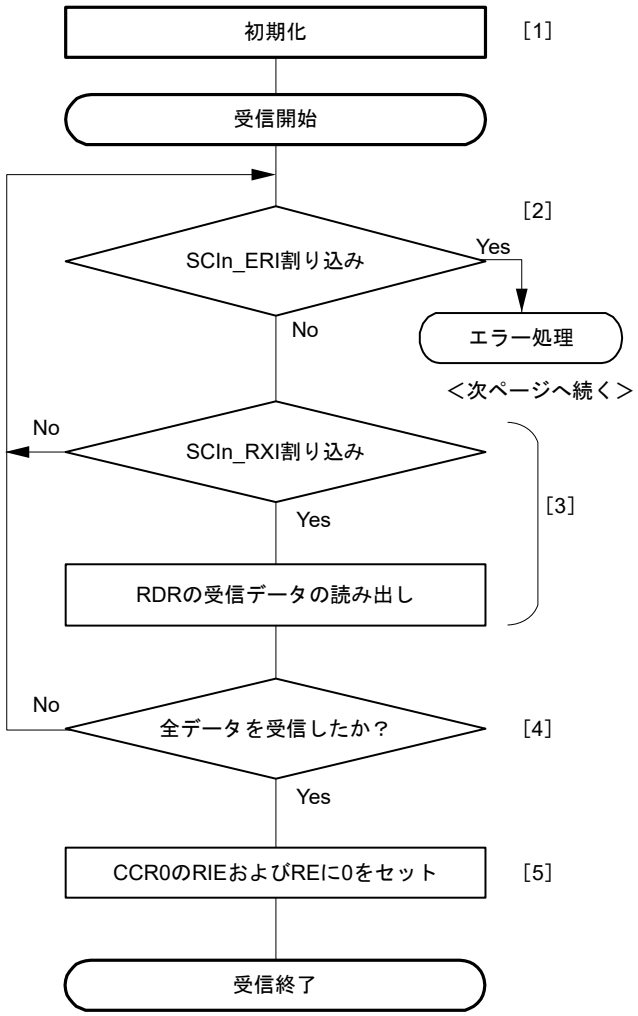
受信エラーが検出された場合の CCR0 レジスタの各ステータスフラグの状態と RXDn 入力処理については、「26.5.11. マンチェスタモードにおけるエラー」を参照してください。

受信エラーが検出されると、SCIn_ERI 割り込み要求は発生しますが、SCIn_RXI 割り込み要求は発生しません。

受信エラーフラグが 1 の状態では受信動作を再開できません。したがって、ORER、FER、PER、MER、SYER(注1)、PFER(注1)、および SBER(注1)フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に CCR0.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 26.55 と図 26.56 に、マンチェスタモードにおけるシリアルデータ受信フローチャートの例を示します。

注 1.　対応するビットが有効のときに有効になります。



[1] SCIの初期化
（CCR0.REビットを1に、RIEビットを1に設定）

[2] 受信エラー処理：
受信エラー発生時はSCIがSCIn_ERI割り込みを発生させます。エラーは、CSRのORER、PER、FER、およびMSRのMER、SBER、SYER、PFERを読みだすことで特定されます。所定のエラー処理を行った後に、必ずORER、PER、FER、MER、SBER、SYER、PFERの各フラグを0にします。これらのフラグが一つでも1の場合、受信を再開できません。

注.MSRのPFER、SYER、SBERの各ビットにはそれぞれ許可ビットがあります（MECRのPFEREN、SYEREN、SBEREN）。対応する許可ビットを0（禁止）にすると、該当のフラグ値は通信に反映されません。必要に応じてエラー処理を行ってください。

[3] SCIn_RXI割り込み処理ルーチンで、RDR内の受信データを1回読み出します。

[4] シリアル受信の継続手順：
シリアル受信を継続するときには、フレームのストップビットを受信する前に、SCIn_RXI割り込み処理ルーチン内でRDRからデータを読み出します。RDRのデータは、DMACまたはDTCを起動することでも読み出すことができます。

[5] CCR0.RIEおよびREに0を書き込みます。

図 26.55　マンチェスタモードにおけるシリアルデータ受信フローチャートの例（正常受信）

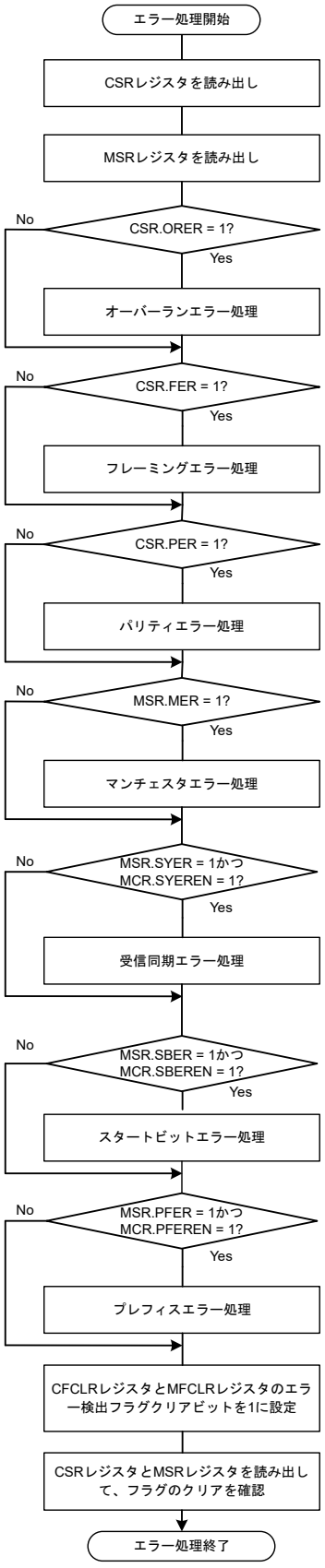


図 26.56 マンチェスタモードにおけるシリアル受信フローチャートの例（エラー処理）

26.5.8 マルチプロセッサが使用されている場合の動作

マルチプロセッサが使用されている場合のマンチェスタモードにおける動作については、「26.4. マルチプロセッサ通信機能」(1) の場合と同じなのでこれを参照してください。

マンチェスタモードではフレームフォーマットにプレフィスとスタートビット領域が追加されます。受信フローチャートのマンチェスタモードにおけるエラー処理については、図 26.56 を参照してください（図 26.39)。各種エラーを検出した際の動作状態については、表 26.34 を参照してください。

26.5.9 受信再タイミング

この機能は、マンチェスタコードにおいてビットのエッジが中央にあることを利用して、各ビットの中央エッジのタイミングを補正します。

受信再タイミング機能は MCR レジスタの ERTEN ビットの設定によってオンまたはオフにできます。

受信再タイミング機能がオフのとき (MCR.ERTEN = 0) は再タイミングが実施されません。その結果内部クロックと RXDn 入力のずれが蓄積し受信マージンが減少します。

受信再タイミング機能がオンのとき (MCR.ERTEN = 1) は、再タイミングがプレフィス領域、スタートビット領域(注1)、データ領域（ストップビットを除く）に対して実施されます。

注 1. プレフィス長が 0 でスタートビット長が 3 のときは、スタートビット領域の再タイミングが実施されません。

例として、オーバーサンプリング x16 が選択されているときの受信再タイミングを以下に示します。

RXDn 入力エッジを期待位置よりも 2～4 サイクル前で検出したときは、1 サンプリング CLK サイクルだけ受信処理が短くなります。

RXDn 入力エッジを期待位置よりも 2～3 サイクル後ろで検出したときは、1 サンプリング CLK サイクルだけ受信処理が長くなります。

（クロックとデータのずれが 2 サイクルより大きくても、各ビットで 1 サイクルだけ補正されます。）

図 26.57 に受信再タイミング範囲の概念図を示します。

エッジを図の許容領域で検出したときは、補正なしでデータをそのまま受信します。

エッジを図の SyncJump 領域で検出したときは、補正してデータを受信します。

エッジを図の SyncError 領域で検出したときは、補正を行わず異常データとして受信します。

マンチェスタコードエラー（1/4 相と 3/4 相のサンプリングポイントでデータが一致したとき）に対しては、SCI がコードエラーを報告します。

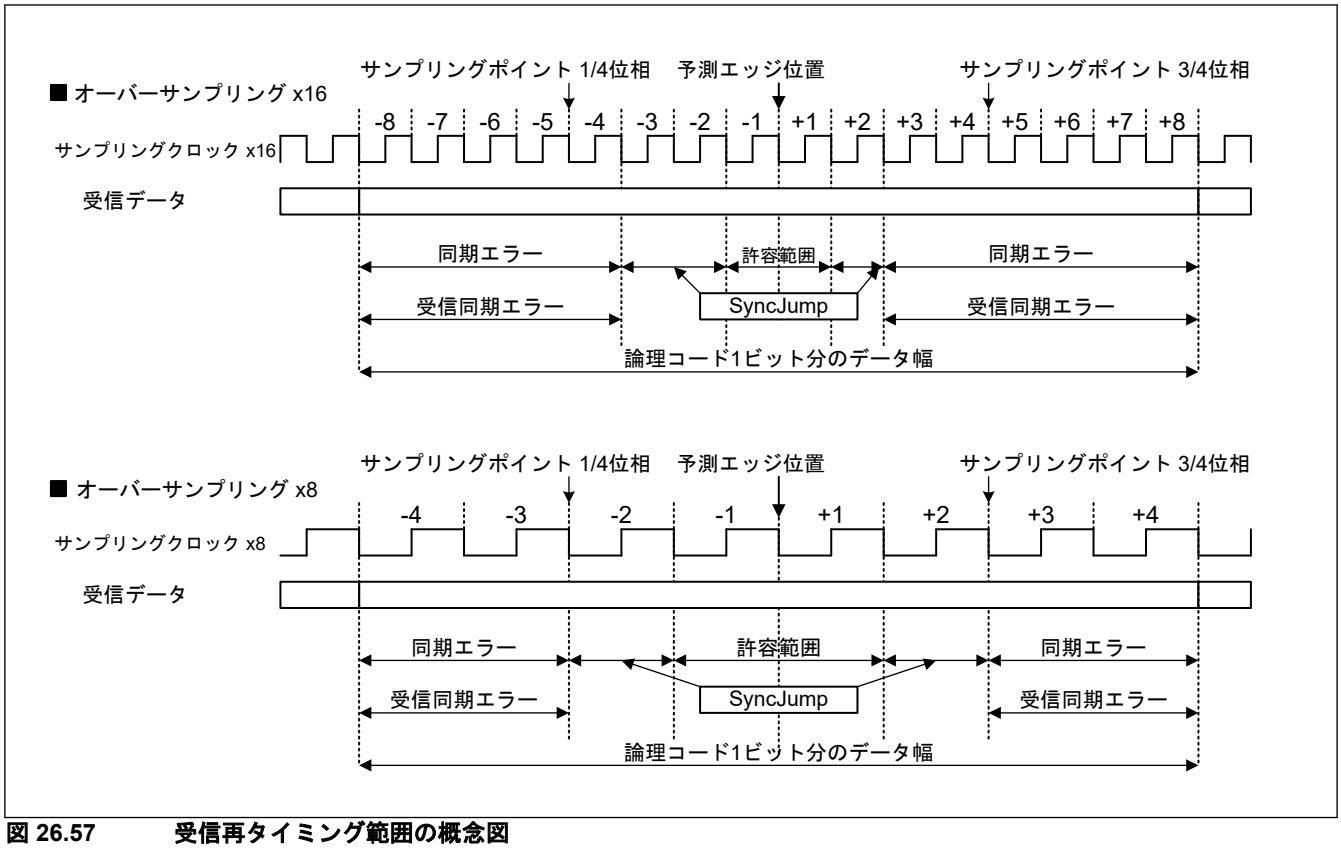


図 26.57　受信再タイミング範囲の概念図

26.5.10　マンチェスタコードの極性設定

マンチェスタコードの極性はマンチェスタコントロールレジスタ (MCR) で設定できます。

極性は送信と受信に対して個別に設定できます。送信の極性は MCR.TMPOL ビット、受信の極性は MCR.RMPOL ビットを使用して設定します。

マンチェスタコードの極性設定は、プレフィス領域、データ領域、およびパリティまたはマルチプロセッサ領域で有効です。

マンチェスタコードの極性に初期設定値 (TMPOL/RMPOL = 0) が使用される場合、論理 0 はマンチェスタコード内での 0 から 1 への遷移、論理 1 はマンチェスタコード内での 1 から 0 への遷移としてエンコーディングされます。設定が TMPOL/RMPOL = 1 に変更されると、論理 0 はマンチェスタコード内での 1 から 0 への遷移、論理 1 はマンチェスタコード内での 0 から 1 への遷移としてエンコーディングされます。図 26.58 に設定と動作の概念図を示します。

上記の機能とは別に、データ領域内の送信データと受信データは受信/送信データ反転機能 (CCR3.SINV) によって反転できます。マンチェスタコードの極性 (MCR.TMPOL/RMPOL) は送信/受信データ反転機能 (CCR3.SINV) とは別に設定できるので、これら両方を反転に設定すると (MCR.TMPOL/RMPOL = 1 かつ CCR3.SINV = 1)、送信データと受信データが初期状態（反転 + 反転 = 正常）になります。

スタートビット領域の極性は上記のレジスタとは別のレジスタにより設定されます。

別のレジスタが使用されるので、スタートビット領域の極性は上記のマンチェスタコード極性設定の影響を受けません。

スタートビット領域の設定については、「26.5.1. フレームフォーマット」の (2) を参照してください。

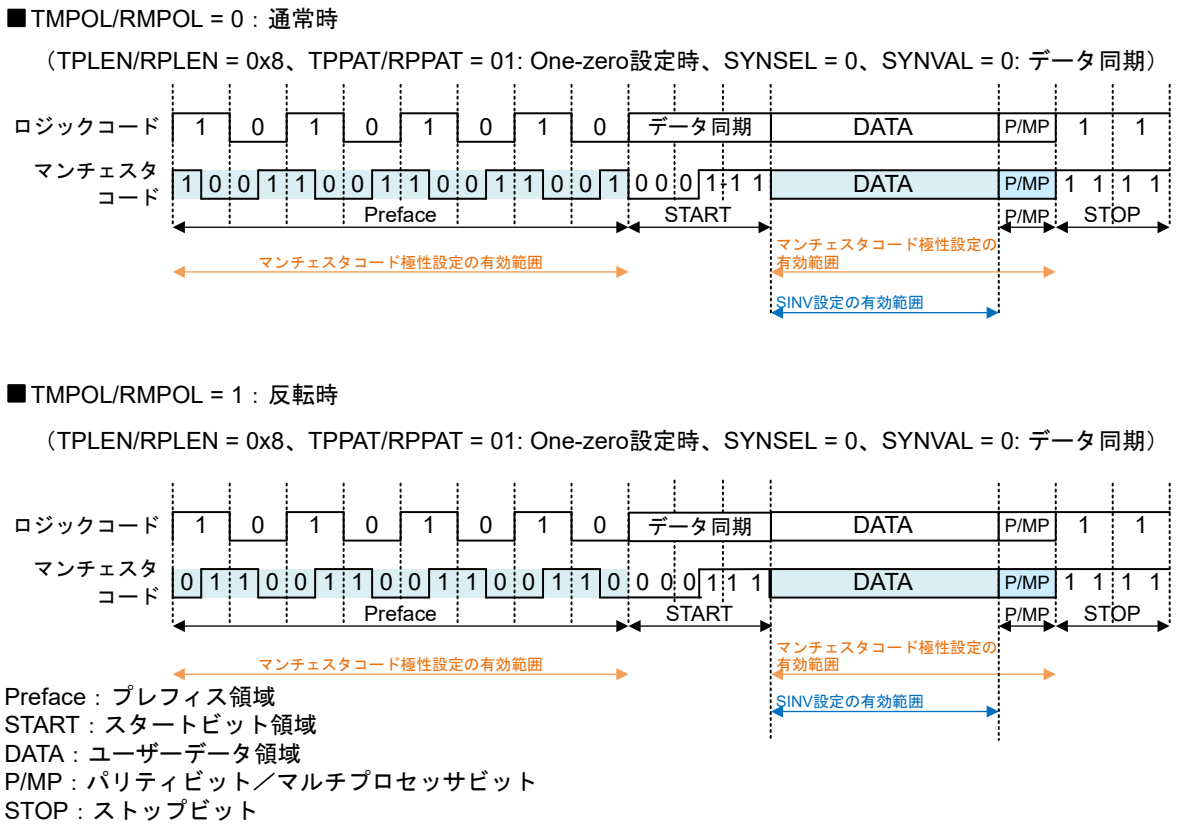


図 26.58 マンチェスタコード極性設定の有効範囲

26.5.11 マンチェスタモードにおけるエラー

マンチェスタモードには以下のエラーがあります。

1. パリティエラー
2. オーバーランエラー
3. フレーミングエラー
4. マンチェスタエラー
5. プレフィスエラー
6. スタートビットエラー
7. 受信 SYNC エラー

(1)～(3) のエラーについては調歩同期式モードと同様ですので「26.3.9. シリアルデータの受信（調歩同期式モード）」(1) を参照してください。

各エラーは個別の領域で判定されますが、フラグと動作への反映はストップビット領域の 3/4 ビットサンプリングのタイミングで実施されます。プレフィスエラーまたはスタートビットエラーが検出されると、後続データは受信されません。したがって他のエラーは検出されず、エラーフラグは前の情報を保持します。

表 26.32 にエラーを検出した時のシリアルステータスレジスタの状態と RDR へのデータ保存の判断について示します。

表 26.33 にマンチェスタフレームの各領域で検出される可能性のあるエラーを示します。

プレフィスエラーまたはスタートビットエラーが検出されると、後続データは受信されません。したがって他のエラーは検出されず、エラーフラグは前のフレームを受信した結果を保持します。また、前のフレームでエラーが検出されると、データ受信は行われませんがプレフィス領域とスタートビット領域のエラーによるフラグの更新は行われます。 表 26.34 にそれぞれの場合におけるフラグと動作について示します。

(4) マンチェスタエラー

マンチェスタエラーはマンチェスタコードにエラーが検出されたときに生成されます。

マンチェスタコードでは、ビットの中心にエッジ（遷移）が存在する必要があります。

受信フレームのデータ領域（パリティ/マルチプロセッサコードを含む）において、1/4-ビットと 3/4-ビットのサンプリングポイント値が各受信ビットでチェックされ、これら 2 つの値が一致するとマンチェスタコードエラーと判定されます。

マンチェスタコードエラーが検出されると、マンチェスタエラーフラグ (MSR.MER) がアサートされます。

マンチェスタエラーが発生すると、割り込み要因およびイベント要因として扱われます。マンチェスタエラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

(5) プレフィスエラー

プレフィスエラーは、プレフィスパターンと一致しない場合またはプレフィス領域でマンチェスタコードエラーが検出された場合に生成されます。プレフィスエラーが検出されると、プレフィスエラーフラグ (MSR.PFER) がアサートされます。

MCR レジスタの設定によって、このエラーフラグを割り込み要因として使用するかどうかを指定できます。

MCR.PFEREN = 1 の場合は、プレフィスエラーが割り込み要因またはイベント要因として扱われます。プレフィスエラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

MCR.PFEREN = 0 の場合はプレフィスエラーが割り込み要因またはイベント要因として扱われず、受信処理が継続します。ただし、プレフィスエラーは MSR.PFER に通知されます。

(6) スタートビットエラー

スタートビットエラーは、受信フレームのスタートビット領域が事前設定されたスタートビットパターンに一致しない場合に生成されます。スタートビットエラーが検出されると、スタートビットエラーフラグ (MSR.SBER) がアサートされます。

MCR レジスタの設定によって、スタートビットエラーを割り込み要因として使用するかどうかを指定できます。

MCR.SBEREN = 1 の場合は、スタートビットエラーが割り込み要因またはイベント要因として扱われます。スタートビットエラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

MCR.SBEREN = 0 の場合はスタートビットエラーが割り込み要因またはイベント要因として扱われず、受信処理が継続します。ただし、スタートビットエラーは MSR.SBER に通知されます。

(7) 受信 SYNC エラー

「26.5.9. 受信再タイミング」で説明されている受信再タイミング機能が有効化されている場合に、受信再タイミング動作が実行されます。

受信タイミング動作中に受信再タイミング範囲（図 26.57 の Sync エラー領域）でエッジが検出されない場合に、受信 SYNC エラーが生成されます。受信 SYNC エラーが検出されると、受信 SYNC エラーフラグ (MSR.SYER) がアサートされます。再タイミングの対象でない領域については、受信 SYNC エラーが検出されません。

受信再タイミング動作が実行されるプレフィス領域(注1)、スタートビット領域(注1)、(注2)、およびデータ領域（ストップビットを除く）がチェックされます。

MCR レジスタの設定によって、受信 SYNC エラーを割り込み要因として使用するかどうかを指定できます。

MCR.SYEREN = 1 の場合は、受信 SYNC エラーが割り込み要因またはイベント要因として扱われます。受信 SYNC エラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

MCR.SYEREN = 0 の場合は受信 SYNC エラーが割り込み要因またはイベント要因として扱われず、受信処理が継続します。ただし、受信 SYNC エラーは MSR.SYER に通知されます。

注 1. 最初のビットが High であると期待されるパターンで開始するフレームの場合は再タイミングの対象外です。
注 2. スタートビット領域にプレフィス長と 3 ビットのスタートビットが存在しない場合は再タイミングの対象外です。
また、3 ビットのスタートビットが設定されている場合は、第 1 ビットと第 2 ビットは再タイミングの対象外です。

表 26.32　マンチェスタモードにおける CSR レジスタのフラグと受信データ処理

CSR レジスタのフラグ			MRS レジスタのフラグ				受信データ	受信エラーの状態（SCIn_ERI 割り込み/イベントの生成）
ORER	FER	PER	MER	SBER(注1)	PFER(注1)	SYER		
0	0	0	0	0	0	0	RDR へ転送	エラーなし
0	1	0	0	0	0	0	RDR へ転送	フレーミングエラー
0	0	1	0	0	0	0	RDR へ転送	パリティエラー
0	1	1	0	0	0	0	RDR へ転送	フレーミングエラー＋パリティエラー
0	0	0	1	0	0	0	RDR へ転送	マンチェスタエラー
0	1	0	1	0	0	0	RDR へ転送	フレーミングエラー＋マンチェスタエラー
0	0	1	1	0	0	0	RDR へ転送	パリティエラー＋マンチェスタエラー
0	1	1	1	0	0	0	RDR へ転送	フレーミングエラー＋パリティエラー＋マンチェスタエラー
1	0	0	0	0	0	0	消失	オーバーランエラー
1	1	0	0	0	0	0	消失	オーバーランエラー＋フレーミングエラー
1	0	1	0	0	0	0	消失	オーバーランエラー＋パリティエラー
1	1	1	0	0	0	0	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー
1	0	0	1	0	0	0	消失	オーバーランエラー＋マンチェスタエラー
1	1	0	1	0	0	0	消失	オーバーランエラー＋フレーミングエラー＋マンチェスタエラー
1	0	1	1	0	0	0	消失	オーバーランエラー＋パリティエラー＋マンチェスタエラー
1	1	1	1	0	0	0	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー＋マンチェスタエラー
0	上記の組み合わせ			0	0	1	RDR へ転送	上記のエラー＋受信 SYNC エラー(注2)
1				0	0	1	消失	上記のエラー＋受信 SYNC エラー(注2)
保持	保持	保持	保持	0	1	0	消失	プレフィスエラー(注3)
保持	保持	保持	保持	1	0	0	消失	スタートビットエラー(注3)
保持	保持	保持	保持	0	1	1	消失	プレフィスエラー(注3)＋受信 SYNC エラー(注2)
保持	保持	保持	保持	1	0	1	消失	スタートビットエラー(注3)＋受信 SYNC エラー(注2)

注 1.　スタートビットエラーとプレフィスエラーが同時に 1 になることはありません。
注 2.　MCR.SYEREN = 1 の場合、SCIn_ERI 割り込み/イベントが SYER ファクタによって生成されます。
注 3.　MCR.PFEREN = 1 または MCR.SBEREN = 1 の場合、対応するフラグが設定されているときに SCIn_ERI 割り込み/イベントが生成されます。

表 26.33　各領域で検出されるエラー

	プレフィスエラー (PFER)	スタートビットエラー (SBER)	マンチェスタエラー (MER)	受信 SYNC エラー (SYER)	パリティエラー (PER)	フレーミングエラー (FER)
プレフィス領域	✓	—	—(注1)	✓(注2)	—	—
スタートビット領域	—	✓	—	✓(注2)	—	—
データ領域	—	—	✓	✓	—	—
パリティ領域	—	—	✓	✓	✓	—
マルチプロセッサ領域	—	—	✓	✓	—	—
ストップビット領域	—	—	—	—	—	✓

注.　✓：検出、—：検出せず

注 1.　プレフィス領域でマンチェスタコードエラーが発生すると、プレフィスエラーとして扱われます。
注 2.　受信 SYNC エラーの検出対象ではありません。詳細については「26.5.11. マンチェスタモードにおけるエラー」（7）の説明を参照してください。

表 26.34　前のフレームのエラーの有無による動作状態およびマルチプロセッサモードにおける動作状態のリスト (1/2)

前のフレーム	フレームの各領域					PFEREN	SBEREN	SYEREN	受信データ	エラーフラグ	割り込み要求	イベント信号
	プレフィス	スタートビット	データ	パリティ	ストップ							
エラーなし	PFER SYER なし(注1)	エラーなし	Don't care	Don't care	Don't care	0	Don't care	Don't care	消失	PFER を設定(注1)	出力なし	出力なし
						1					出力	出力
	エラーなし	SBER SYER なし(注1)	Don't care	Don't care	Don't care	Don't care	0	Don't care	消失	SBER を設定(注1)	出力なし	出力なし
							1				出力	出力
	SYER PFER なし	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	0	RDR へ転送	SYER を設定	出力なし	出力なし
								1	消失		出力	出力
	エラーなし	SYER SBER なし	Don't care	Don't care	Don't care	Don't care	Don't care	0	RDR へ転送	SYER を設定	出力なし	出力なし
								1	消失		出力	出力
	エラーなし	エラーなし	SYER		エラーなし	Don't care	Don't care	0	RDR へ転送	SYER を設定	出力なし	出力なし
								1			出力	出力
	エラーなし	エラーなし	MER		エラーなし	Don't care	Don't care	Don't care	RDR へ転送	MER を設定	出力	出力
	エラーなし	エラーなし	Don't care	PER	エラーなし	Don't care	Don't care	Don't care	RDR へ転送	PER を設定	出力	出力
	エラーなし	エラーなし	Don't care	Don't care	FER	Don't care	Don't care	Don't care	RDR へ転送	FER を設定	出力	出力
	エラーあり ORER					Don't care	Don't care	Don't care	消失	フラグを設定(注2)	出力	出力
	エラーなし	エラーなし	エラーなし	エラーなし	エラーなし ORER	Don't care	Don't care	Don't care	消失	ORER を設定	出力	出力

表 26.34　前のフレームのエラーの有無による動作状態およびマルチプロセッサモードにおける動作状態のリスト (2/2)

前のフレーム	フレームの各領域					PFEREN	SBEREN	SYEREN	受信データ	エラーフラグ	割り込み要求	イベント信号
	プレフィス	スタートビット	データ	パリティ	ストップ							
エラーあり(注3) (注6)	PFER SYER なし(注1)	エラーなし	Don't care	Don't care	Don't care	0	Don't care	Don't care	消失	PFER を設定(注1)	出力(注4)	出力なし(注5)
						1						
	エラーなし	SBER SYER なし(注1)	Don't care	Don't care	Don't care	Don't care	0	Don't care		SBER を設定(注1)		
							1					
	SYER PFER なし	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	0		SYER を設定		
								1				
	エラーなし	SYER SBER なし	Don't care	Don't care	Don't care	Don't care	Don't care	0		SYER を設定		
								1				
	エラーなし	エラーなし	SYER		エラーなし	Don't care	Don't care	0		フラグを設定しない		
								1				
	エラーなし	エラーなし	MER		エラーなし	Don't care	Don't care	Don't care				
	エラーなし	エラーなし	Don't care	PER	エラーなし	Don't care	Don't care	Don't care				
	エラーなし	エラーなし	Don't care	Don't care	FER	Don't care	Don't care	Don't care				
	エラーあり ORER					Don't care	Don't care	Don't care				
	エラーなし	エラーなし	エラーなし	エラーなし	エラーなし ORER	Don't care	Don't care	Don't care				

注 1.　SYER が検出されると SYER フラグも設定されます。他の動作についてはこの表に示す通りです。
注 2.　検出された他のエラーフラグ（ORER など）も設定されます。
注 3.　ストップビット判定の前にすべてのエラーフラグがクリアされると、この表に示される、前のフレームにエラーがなかった場合の動作と同様になります。
注 4.　SCIn_ERI 割り込み要求はレベル出力であるため、対象フレームにおけるエラーの有無にかかわらず前のフレームのエラーによってアクティブの状態が継続します。
注 5.　エラー要因の検出は継続的に実施されるため、対象フレームにおけるエラーの有無にかかわらず、SCIn_ERI イベントが新たに出力されることはありません。
注 6.　PFER、SBER、および SYER は、それぞれの許可ビットが禁止に設定されているとエラーなしとして扱われます。

表 26.35　マルチプロセッサモード (MPIE = 0) で MPIE = 1 の場合の動作

MPB (注1)	フレームの各領域					PFEREN	SBEREN	SYEREN	受信データ	エラーフラグ	割り込み要求	イベント信号
	プレフィス	スタートビット	データ	パリティ	ストップ							
1	エラーなし	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	Don't care	RDR へ転送	フラグを設定	出力(注2)	出力(注2)
	PFER なし	SBER なし	Don't care	Don't care	Don't care	Don't care	Don't care	0				
	SYER (注3)	SYER (注3)						1	消失	フラグを設定しない	出力なし	出力なし
	PFER	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	Don't care				
	エラーなし	SBER	Don't care	Don't care	Don't care	Don't care	Don't care					

注 1.　受信 MPB ビットが 0 の場合はフレームを受信していなく、動作はこの表における受信データ消失の場合と同様になります。

注 2.　エラーが検出されない場合は SCIn_RXI の割り込み要求またはイベントが出力されます。それが検出されると、SCIn_ERI の割り込み要求またはイベントが出力されます。
注 3.　プレフィス領域またはスタートビット領域で SYER が検出された場合は、エラーとしての処理の動作は SYEREN ビットの変化に依存します。

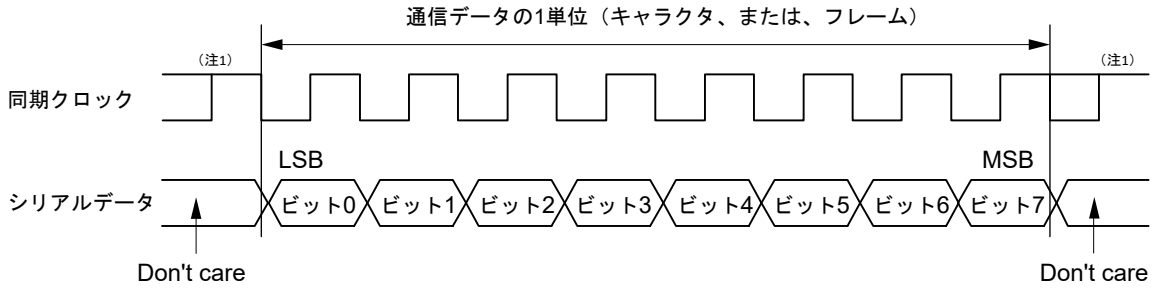
26.6　クロック同期式モードの動作

図 26.59 にクロック同期式シリアル通信のデータフォーマットを示します。

クロック同期式モードでは、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、CPHA = 1 および CPOL = 1 でのデータ送信時に同期クロックの立ち下がりエッジから次の立ち下がりエッジまでデータ出力します。データ受信時は、同期クロックの立ち上がりエッジに同期して SCI はデータを受信します。8 ビット出力後の送信ラインは最終ビット出力状態を保ちます。スレーブモードにおいて CPHA ビットが 0 の場合、送信ラインは第 1 ビットの出力状態を保ちます。

SCI 内部では送信部と受信部は独立しており、送信部と受信部の通信クロックを共有することで全二重通信が可能です。さらに、送信部と受信部はどちらもダブルバッファ構成になっているため、送信中に次の送信データの書き込み、受信中に前の受信データの読み出しが可能であり、連続データ転送が可能です。



注 1.　連続送受信動作時以外に High レベルを保持します。

図 26.59　クロック同期式シリアル通信のデータフォーマット（LSB ファーストの並び順の場合）

26.6.1　クロック

クロック同期式モードおよび簡易 SPI モードで、SCK の最大スピードを 1/2 TCLK にしている場合、PCLK を TCLK のスピードの半分未満にしないでください。PCLK が TCLK のスピードの半分未満になると、誤動作が発生する可能性があります。

1. 内部クロックが選択されている場合
SCI が内部クロックで動作する（CCR3.CKE[1:0] ビットを 00b または 01b（マスタモード）にしている）場合、SCKn 端子から同期クロックが出力されます。1 キャラクタの送受信で 8 パルスの同期クロックが出力されます。データの送受信を行わないとき、クロックは High に固定されます。(注1)送信のみまたは送受信のときは、送信データが準備されている場合を除き、同期クロックは出力されません。
内部クロックが選択されている場合、SCKn 信号からの遅延のあるクロックが、マスタ受信サンプリングクロックに使用されます。これにより、高速通信でのデータセットアップ時間とデータ保持時間が確保されます。

   注 1.　（CCR3.CPHA = 0 かつ CCR3.CPOL = 1）または（CCR3.CPHA = 1 かつ CCR3.CPOL = 1）の状態にあるとき、信号は High に固定されます。（CCR3.CPHA = 0 かつ CCR3.CPOL = 0）または（CCR3.CPHA = 1 かつ CCR3.CPOL = 0）の状態にあるとき、信号は Low に固定されます。

2. 外部クロックが選択されている場合
CCR3.CKE[1:0] ビットを 10b または 11b（スレーブモード）にしている場合、SCKn 端子から入力された外部クロックを使用してデータ送受信が行われます。

26.6.2　CTS、RTS 機能

CTS 機能では、クロックソースが内部クロックの場合に、CTSn_RTSn 端子入力を使用してデータ送受信の開始制御を行います。CCR1.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTSn_RTSn 端子入力が Low になると、データの送受信が開始されます。

送受信中に CTSn_RTSn 端子入力を High にしても、処理中のフレームの送受信には影響を与えません。

RTS 機能では、クロックソースが外部同期クロックの場合に、CTSn_RTSn 端子出力を使用してデータ送受信の開始要求を行います。シリアル通信が可能な状態になると、CTSn_RTSn 出力が Low になります。CTSn_RTSn が Low および High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件がすべて満たされる場合：

非 FIFO 選択時に、下記条件がすべて満たされたとき

- CCR0.RE ビットまたは CCR0.TE ビットが 1
- 次のシリアル通信が許可されている
  - 読み出し前の受信データがなく、受信しない（CCR0.RE ビットが 1 のとき）
  - TDR レジスタに書き込まれた送信データが送信レディの場合(注1)（CCR0.TE ビットが 1 のとき）
- CSR.ORER フラグが 0

注 1. 送信開始後に CTSn_RTSn 端子が High になります。

FIFO 選択時に、下記条件がすべて満たされたとき

- CCR0.RE ビットまたは CCR0.TE ビットが 1
- 次のシリアル通信が許可されている
  - 受信 FIFO（RDR レジスタ）に格納された受信データ数が、FCR.RSTRG[4:0]の設定値より少ない（CCR0.RE = 1 の場合）
  - 送信 FIFO（TDR レジスタ）に書き込まれた送信データが送信レディの場合(注1)（CCR0.TE ビットが 1 のとき）
- CSR.ORER フラグが 0

注 1. 最終データの送信開始後に CTSn_RTSn 端子が High になります。

[High になる条件]

- Low になる条件を満たさない場合

26.6.3 SCI の初期化（クロック同期式モード）

データを送受信する前に、最初に CCR0 レジスタに初期値 0x00 を書き込み、次に「26.6.2. CTS、RTS 機能」の説明に従って SCI の初期設定（非 FIFO 選択時または FIFO 選択時）を続けてください。動作モードまたは通信フォーマットを変更する場合も、CCR0.TE ビットと CCR0.RE ビットに 0 を書き込んでから、変更してください。

注. CCR0.RE ビットを 0 にしても、レジスタの ORER、FER、PER、RDRF の各フラグ、CSR レジスタならびに RDR レジスタは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。

注. CCR0.TIE ビットが 1 の状態で、CCR0.TE ビットを 1 から 0 に変更すると、SCIn_TXI 割り込み要求が発生します。

表 26.36 クロック同期式モードにおける SCI の初期化フロー例（非 FIFO 選択時）(1/2)

番号	ステップ名	説明
1	初期化を開始	—
2	CCR0 を設定	CCR0.TEIE ビット、CCR0.TIE ビット、CCR0.RIE ビット、CCR0.TE、および CCR0.RE ビットを 0 に設定します。(注1) 初期設定から変更していない場合は、この手順を省略できます。
3	FCR を設定	TFRST ビットおよび RFRST ビットを 1 にして、FIFO をエンプティにします。 DRES ビット、TTRG[4:0] ビット、RTRG[4:0] ビット、および RSTRG[4:0] ビットを設定します。

表 26.36　クロック同期式モードにおける SCI の初期化フロー例（非 FIFO 選択時） (2/2)

番号	ステップ名	説明
4	MOD[2:0] を除き CCR3 を設定	通信モードを除き CCR3 を設定します。 ● FIFO 使用／未使用 ● 送受信フォーマット ● クロック設定 ● 未使用ビット (CHR[1:0], STP, RXDSEL, MP, DE, ACS0, GM, BLK) は初期値のままにします。
5	CCR3.MOD[2:0] を設定	通信モード (MOD[2:0] = 010b) を設定します。(注2)
6	CCR2 を設定	クロックを選択し、ビットレートを設定します。(注3) 未使用ビット (BCP[2:0],　ABCS, ABCSE, BRME,　MDDR[7:0]) は初期値のままにします。
7	CCR1 を設定	ループバック機能、通信端子ステータス、および CTS/RTS 機能を設定します。
8	CCR4 を設定	サンプリングタイミング調整機能を設定します。未使用ビット (CMPD[8:0]) は初期値のままにします。
9	I/O ポート機能を設定	I/O ポートを設定して、TXDn 端子、RXDn 端子、および SCKn 端子に必要な入出力機能を有効にします。
10	CFCLR と FFCLR を設定	以下のビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします。 CFCLR.RDRFC、FERC、PERC、MFFC、ORERC、DFERC、DPERC、DCMFC、ERSC FFCLR.BRKC、DRC
11	CCR0 を設定	TE ビットまたは RE ビットを 1 に設定します。(注1)(注4)割り込みを有効にするためには、TE ビット、TIE ビット、RE ビット、RIE ビットを 1 つの命令で同時に 1 にします。 TE ビットおよび RE ビットを設定することで、TXDn および RXDn が使用可能となります。
12	初期化を完了	—

注 1.　同時送受信動作では、CCR0.TE ビットと CCR0.RE ビットの両方を同時に 0 または 1 にする必要があります。
注 2.　通信モードを設定する前に、CPOL と CPHA を設定します。
注 3.　外部クロックを使用する場合、この設定は不要です。
注 4.　内部クロック（マスタ）を使用する場合、受信専用の設定は禁止されています。

26.6.4　シリアルデータの送信（クロック同期式モード）

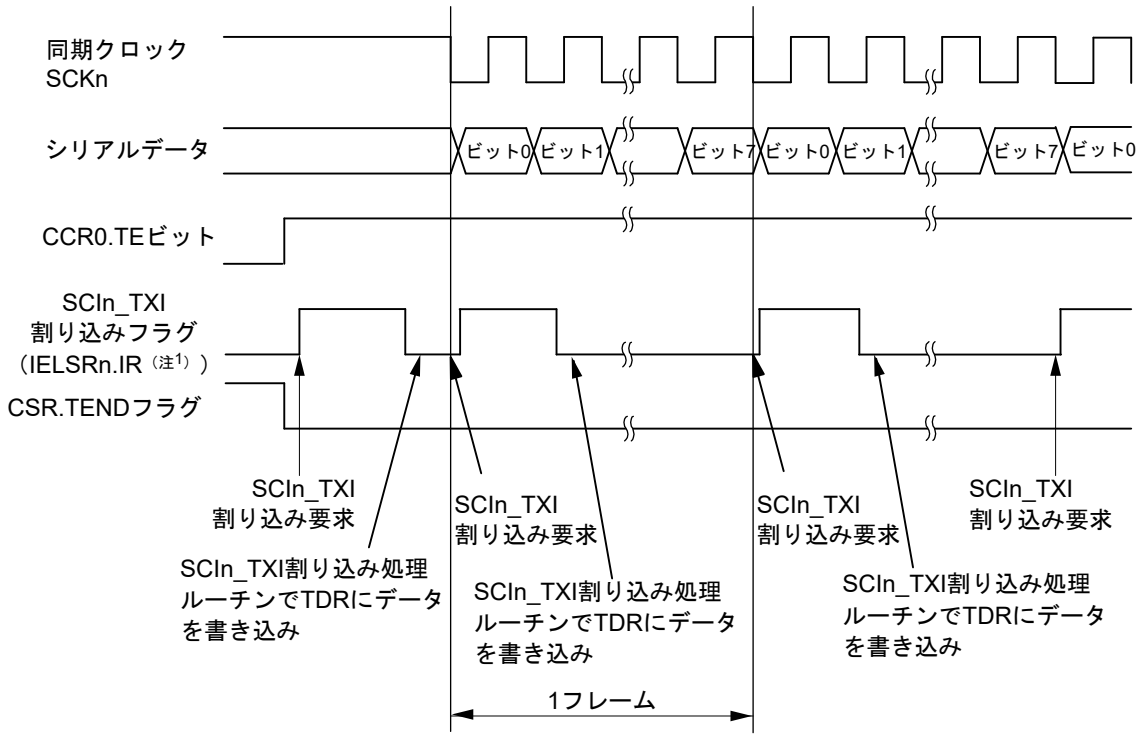
(1) 非 FIFO 選択

図 26.60、図 26.61、および図 26.62 に、クロック同期式モードにおけるシリアル送信の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

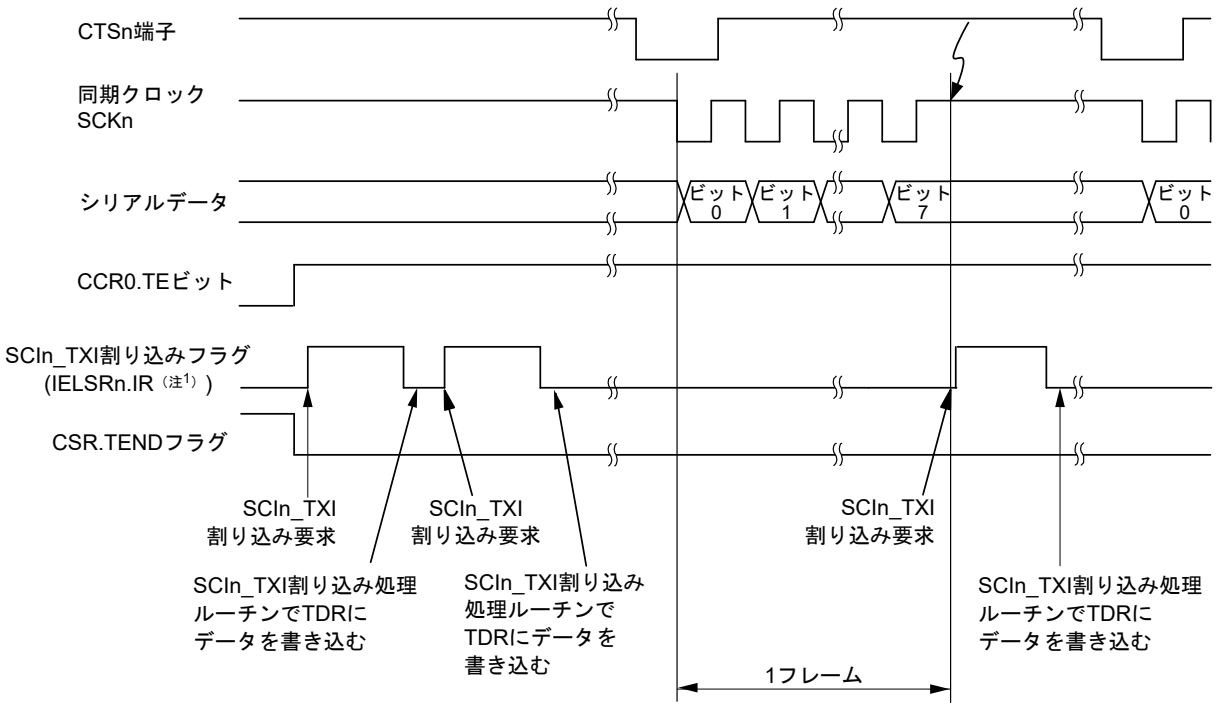
1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。データ送信開始時に、CCR0.TIE ビットと CCR0.TE ビットを 1 命令で同時に 1 にしてください。その後、TXI 割り込み要求が発生します。
2. SCI は、TDR レジスタから TSR レジスタへデータを転送した後、送信を開始します。CCR0.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、CCR0.TIE ビットを 0 にして、CCR0.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、CCR1.CTSE ビットが 1 のとき、CTS 信号入力が Low になるまで待機します（CTS 機能有効）。
4. 最終ビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタに次の送信データを転送し、次のフレームのシリアル送信を開始します。
6. TDR レジスタが更新されていなければ、CSR.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、CCR0.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

図 26.60、図 26.61、および図 26.62 に、シリアルデータ送信の例を示します。



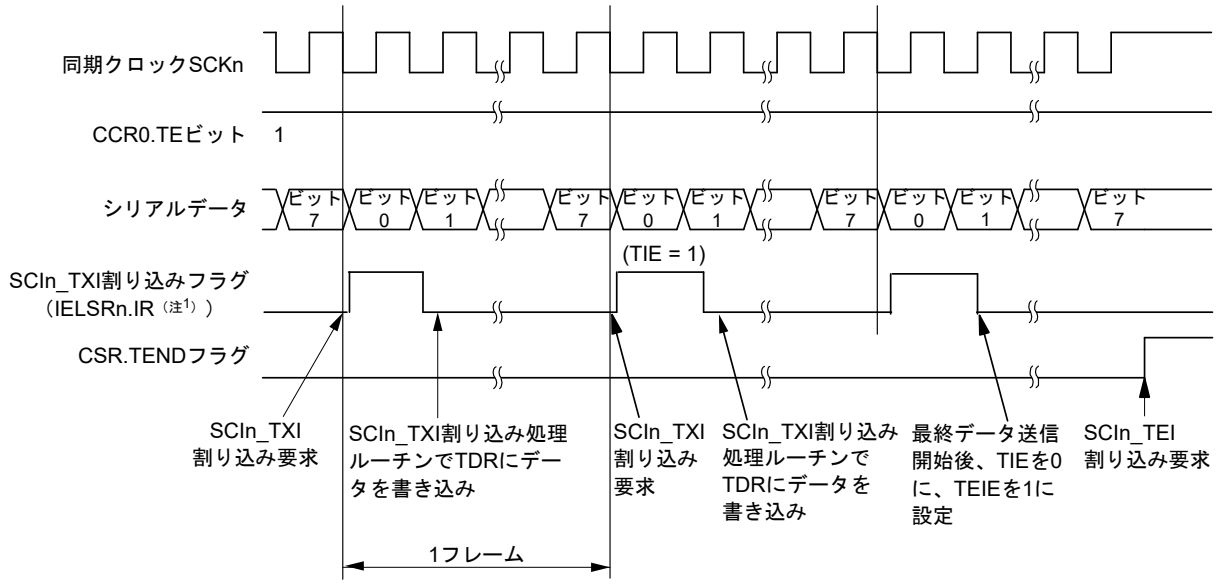
注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.60　クロック同期式モードにおけるシリアル送信の動作例（送信開始時に CTS 機能を使用しない場合）



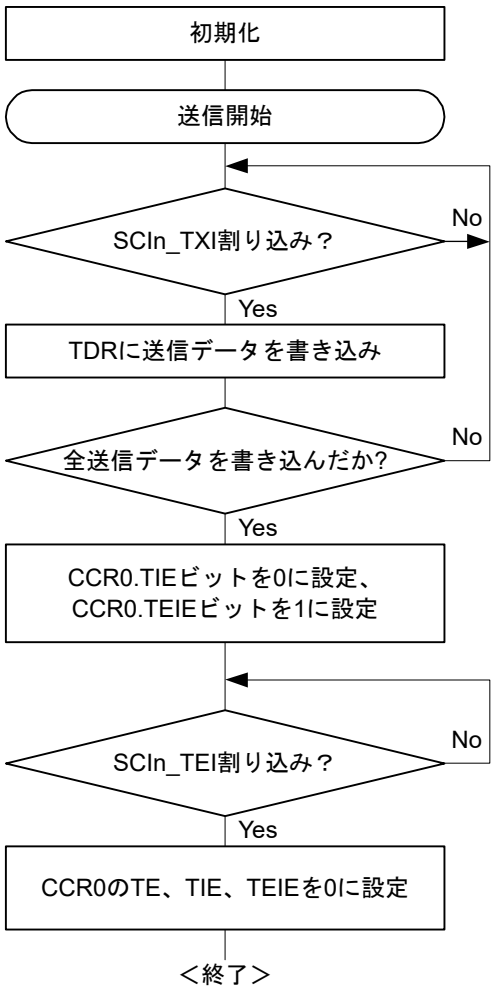
注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.61　クロック同期式モードにおけるシリアル送信の動作例（送信開始時に CTS 機能を使用する場合）



注 1. 対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.62 クロック同期式モードにおけるシリアル送信の動作例（送信中～送信終了時）



[1]　SCIの初期化
（CCR0.TEビットを1に、TIEビットを1に設定）

[2]　SCIn_TXIによる送信データのTDRレジスタへの書き込み：
送信データがTDRからTSRに転送されると、送信データエンプティ割り込み (SCIn_TXI) を生成します。SCIn_TXIにより送信データをTDRレジスタに1回書き込みます。

[3]　シリアル送信の継続手順：
シリアル送信継続のため、SCIn_TXIにより送信データをTDRに書き込んでください。

また、DMACまたはDTCを起動することによっても、送信データを書き込むことが可能です。SCIn_TEIを使う場合は、最終送信データをTDRに書き込んだ後で、CCR0.TIEを0に、CCR0.TEIEを1にしてください。

注.　外部クロックを使用する（CCR3.CKE[1:0]ビット = 10b または 11b）場合、最終ビットの SCK 端子立ち上がりで CSR.TEND フラグが 1 になります。この直後に TE ビットを 0 にすると、受信デバイス側の受信データホールド時間が不足する場合があります。

図 26.63　クロック同期式モードにおけるシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択

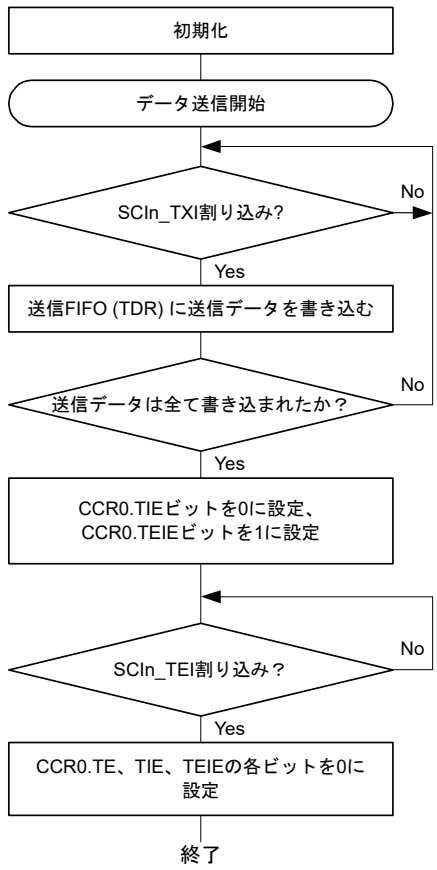
図 26.64 に、クロック同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn_TXI 割り込み処理ルーチンで送信 FIFO（TDR レジスタ）にデータが書き込まれると、SCI は送信 FIFO（TDR レジスタ）から TSR レジスタへデータを転送します。送信 FIFO（TDR レジスタ）に書き込み可能なデータのバイト数は 16 - FTSR.T[5:0]です。さらに、データ送信開始時に、CCR0.TIE ビットと CCR0.TE ビットを 1 命令で同時に 1 にしてください。その後、SCIn_TXI 割り込み要求が発生します。
2. SCI は、送信 FIFO（TDR レジスタ）から TSR レジスタへデータを転送した後、送信を開始します。送信 FIFO（TDR レジスタ）に書き込まれた送信データ数が、指定された送信トリガ数以下のとき、CSR.TDRE ビットが 1 になります。CCR0.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、送信 FIFO（TDR レジスタ）に次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを送信 FIFO（TDR レジスタ）に書き込んだ後、CCR0.TIE ビットを 0 にして、CCR0.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、CCR1.CTSE ビットが 1 のとき、CTS 信号入力が Low になるまで待機します（CTS 機能有効）。

4. ストップビットの出力タイミングで、SCI は送信 FIFO（TDR レジスタ）(注1)に未送信データが残っていないかをチェックします。
5. 送信 FIFO（TDR レジスタ）にデータが残っていれば、送信 FIFO（TDR レジスタ）から TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. 送信 FIFO（TDR レジスタ）にデータが残っていなければ、CSR.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、CCR0.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

注 1.　TDR レジスタ（送信 FIFO）に格納された未送信データ数は、FTSR.T[5:0]ビットを読み出すことにより、監視できます。



[1]　［1］SCIの初期化：CCR0.TEビットを1に、TIEビットを1に設定

[2]　［2］SCIn_TXIによる送信データの送信FIFO (TDR) への書き込み：
送信データが送信FIFO (TDR) からTSRに転送され、送信FIFOに書き込まれた送信データ数が送信FIFO閾値以下の場合、送信データエンプティ割り込み (SCIn_TXI) が発生します。

[3]　［3］シリアル送信の継続手順：
シリアル送信を継続する場合は、SCIn_TXI割り込み要求により送信データを送信FIFO (TDR) に書き込み、CSR.TDREフラグを0にクリアします。また、DMACまたはDTCを起動することによっても、送信データを送信FIFO (TDR) に書き込むことが可能です。この場合、TDREフラグは自動的にクリアされます。そのため、TDREフラグには書き込まないでください。SCIn_TEIを使う場合は、最終送信データをTDRに書き込んだ後で、CCR0.TIEを0に、CCR0.TEIEを1にしてください。

注.　外部クロックを使用する（CCR3.CKE[1:0]ビット = 10b または 11b）場合、最終ビットの SCK 端子立ち上がりで CSR.TEND フラグが 1 になります。この直後に CCR0.TE ビットを 0 にすると、受信デバイス側の受信データホールド時間が不足する場合があります。

図 26.64　クロック同期式モードにおけるシリアル送信のフローチャート例（FIFO 選択時）

26.6.5　シリアルデータの受信（クロック同期式モード）

(1) 非 FIFO 選択

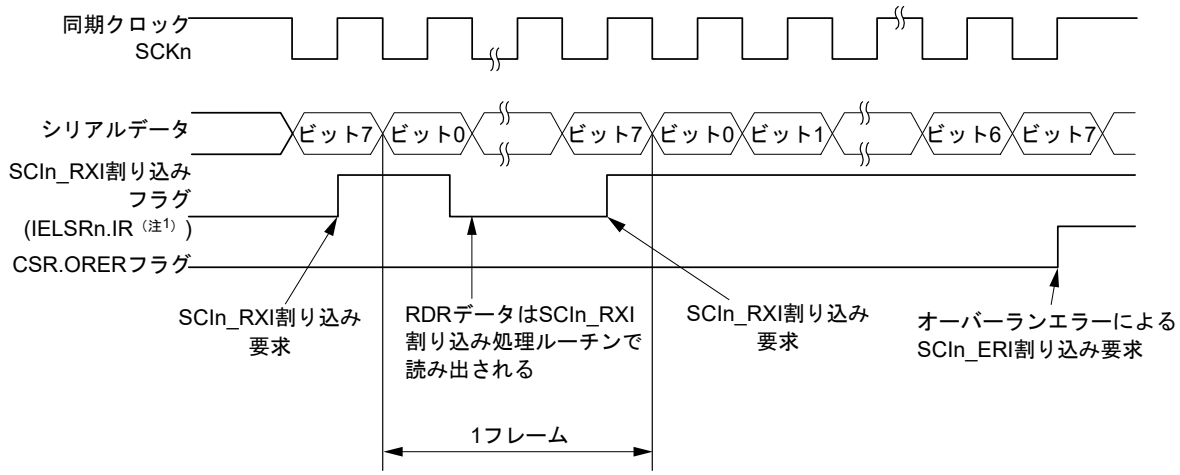
図 26.65 と図 26.66 に、クロック同期式モードにおけるシリアル受信の SCI 動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。スレーブモード時のみ受信専用動作が可能です。（マスタモード時では、受信専用動作は禁止されています。）

1. CCR0.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります（RTS 機能使用時）。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。

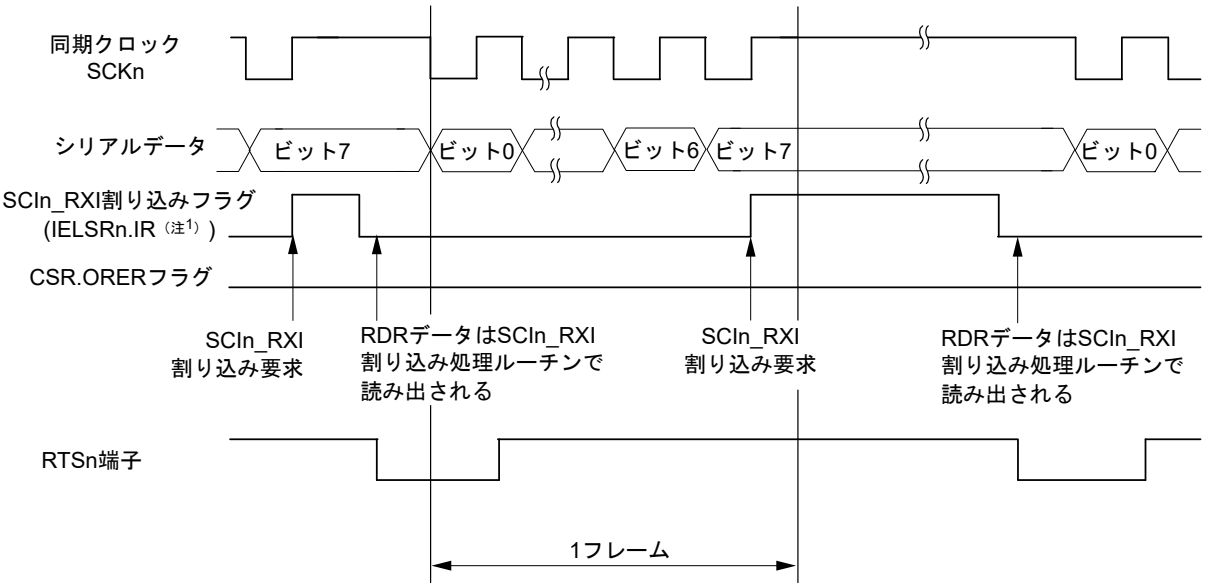
3. オーバーランエラーが発生した場合、CSR.ORER フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. 正常に受信したときは、受信データが RDR レジスタへ転送されます。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタに転送された受信データが読み出されると、CTSn_RTSn 端子出力が Low になります（RTS 機能使用時）。

最終データ受信後に、CTSn_RTSn 端子から Low を出力させないためには、CCR0.RE ビットを 0 に設定してから RDR レジスタを読み出してください。



注 1.　対応する割り込みイベント番号は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.65　クロック同期式モードにおけるシリアル受信の動作例（1）（RTS 機能を使用しない場合）



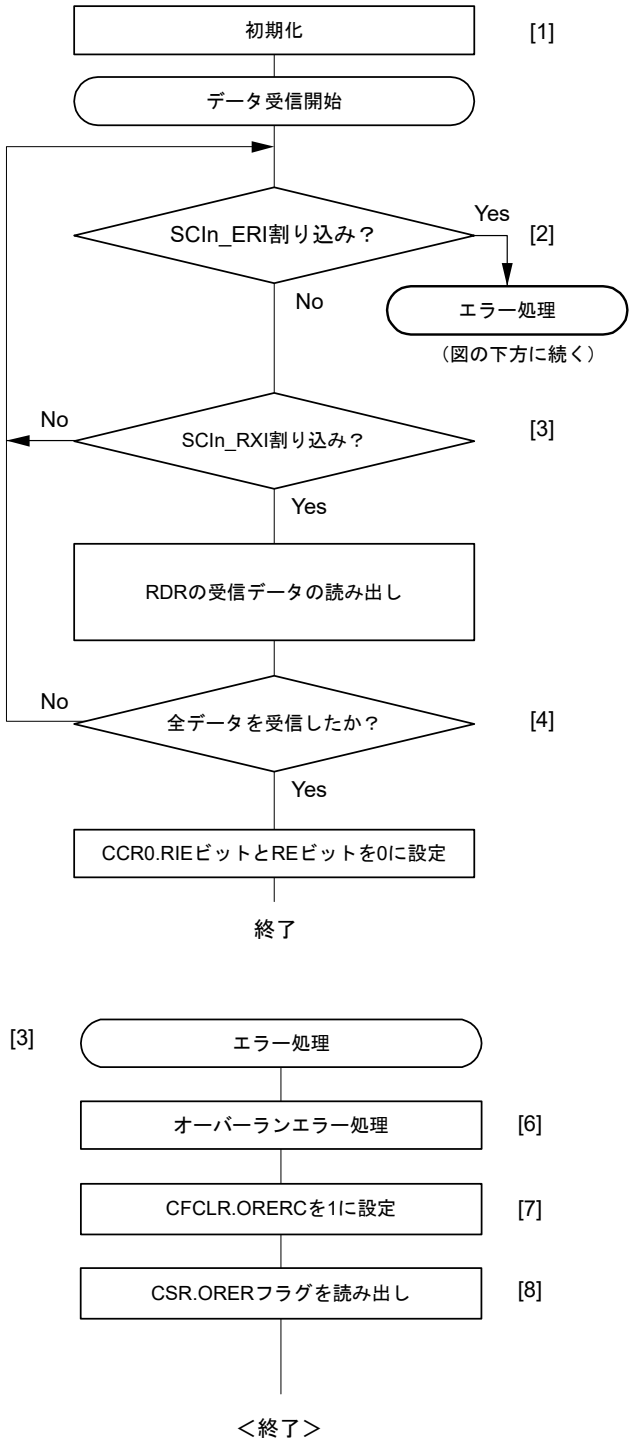
注 1.　対応する割り込みイベント番号は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.66　クロック同期式モードにおけるシリアル受信の動作例（2）（RTS 機能を使用する場合）

受信エラーフラグが 1 の状態では、送受信動作を再開できません。したがって、CSR レジスタの ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に CCR0.RE ビットに 0 を書いてデータ受信動作を強制終了させた場

合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 26.67 に、シリアル受信のフローチャート例を示します。



［1］SCIの初期化：
CCR0.REビットとRIEビットを1に設定

［2］受信エラー処理：
受信エラーが発生したときは、所定のエラー処理を行った後、必ずCSR.ORERフラグを0にしてください。ORERフラグが1の状態では受信動作を再開できません。

［3］SCIn_RXI割り込み処理ルーチンで、RDRレジスタの受信データを1回読み出します。

［4］シリアル受信の継続手順：
シリアル受信を継続する場合は、現在のフレームのMSBビット（ビット7）を受信する前に、SCIn_RXI割り込み処理ルーチンでRDRレジスタの値を読み出します。RDRのデータは、DMACまたはDTCを起動することでも読み出すことができます。

［6］オーバーランエラー処理：
RDRレジスタを読み出します。

［7］エラーフラグのクリア：
受信したエラーに対応したフラグクリアビットを1に設定します。このステップと［6］が済むと、次のフレームを正常に受信できます。

［8］エラーフラグのクリア確認：
全てのエラーフラグがクリアされたことを確認します。

図 26.67　クロック同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択時）

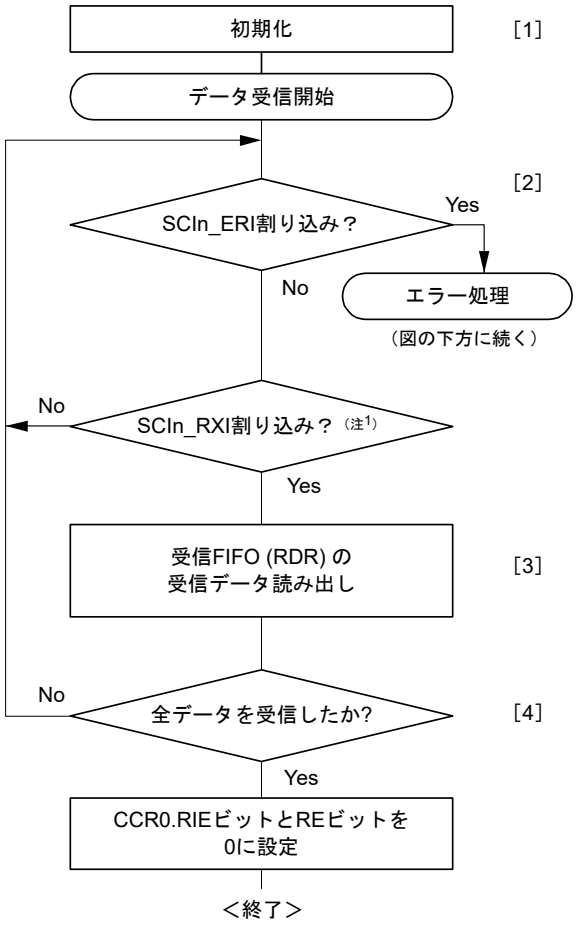
(2) FIFO 選択

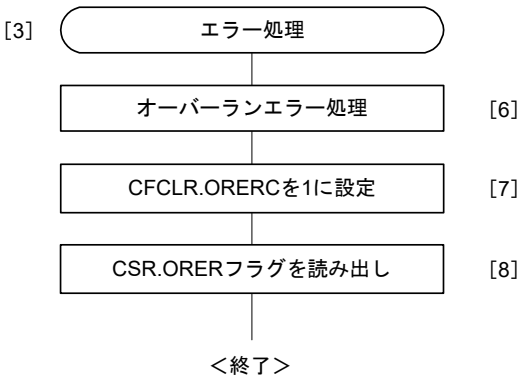
図 26.68 に、クロック同期式モードにおける FIFO 選択時のシリアル受信のフローチャート例を示します。

シリアルデータの受信時、SCI は以下のように動作します。スレーブモード時のみ受信専用動作が可能です。（マスタモード時では、受信専用動作は禁止されています。）

1. CCR0.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります（RTS 機能使用時）。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期してデータ受信を開始して、受信データを受信 FIFO（RDR レジスタ）に転送します。
3. オーバーランエラーが発生した場合、CSR.ORER フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは受信 FIFO（RDR レジスタ）(注1)へ転送されません。
4. 正常に受信したときは、受信データが受信 FIFO（RDR レジスタ）(注1)へ転送されます。受信 FIFO（RDR レジスタ）に格納された受信データ数が、指定された受信トリガ数以上であると、FRSR.RDRF フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、受信 FIFO（RDR レジスタ）(注1)へ転送された受信データを読み出すことで連続受信が可能になります。受信 FIFO（RDR レジスタ）へ転送された受信データ数が指定の受信トリガ数未満であると、CTSn_RTSn 端子出力が Low になります（RTS 機能使用時）。

注 1. クロック同期式モードでは、RDR.RDAT[8]レジスタを使用しません。





[1] SCIの初期化：
（CCR0.REビットとRIEビットを1に設定）

[2] 受信エラー処理：
受信エラーが発生したときは、所定のエラー処理を行った後、必ずCSR.ORERフラグを0にしてください。ORERフラグが1の状態では受信動作を再開できません。

[3] SCIn_RXI割り込み処理ルーチンで、受信FIFO (RDR) の受信データを読み出します。受信FIFO (RDR) に格納された受信データは、格納データ数がFCR.RTRGの値未満になるまで読み出されます。FRSR.R[5:0]ビットでFIFO内の受信データ数を確認できます。

[4] シリアル受信の継続手順：
シリアル受信を継続する場合は、オーバーランエラーが発生する前に、RDR内の受信データの読み出しを行います。DMACまたはDTCを起動することでも、RDRレジスタの値を読み出すことが可能です。

注1.
受信データはすべて、受信FIFOしきい値の整数倍となります。整数倍でない場合、ステップ［2］に戻り、無限ループに入ります。そのため、タイマなどを使用してタイムアウト時間を別に設定してください。

[6] オーバーランエラー処理：
RDRレジスタを読み出します。

[7] エラーフラグのクリア：
受信したエラーに対応したフラグクリアビットを1に設定します。このステップと［6］が済むと、次のフレームを正常に受信できます。

[8] エラーフラグのクリア確認：
全てのエラーフラグがクリアされたことを確認します。

図 26.68　クロック同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択時）

26.6.6　シリアルデータの同時送受信（クロック同期式モード）

(1) 非 FIFO 選択時

図 26.69 に、クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例を示します。シリアル同時送受信動作は、SCI の初期化後、以下の手順に従ってください。

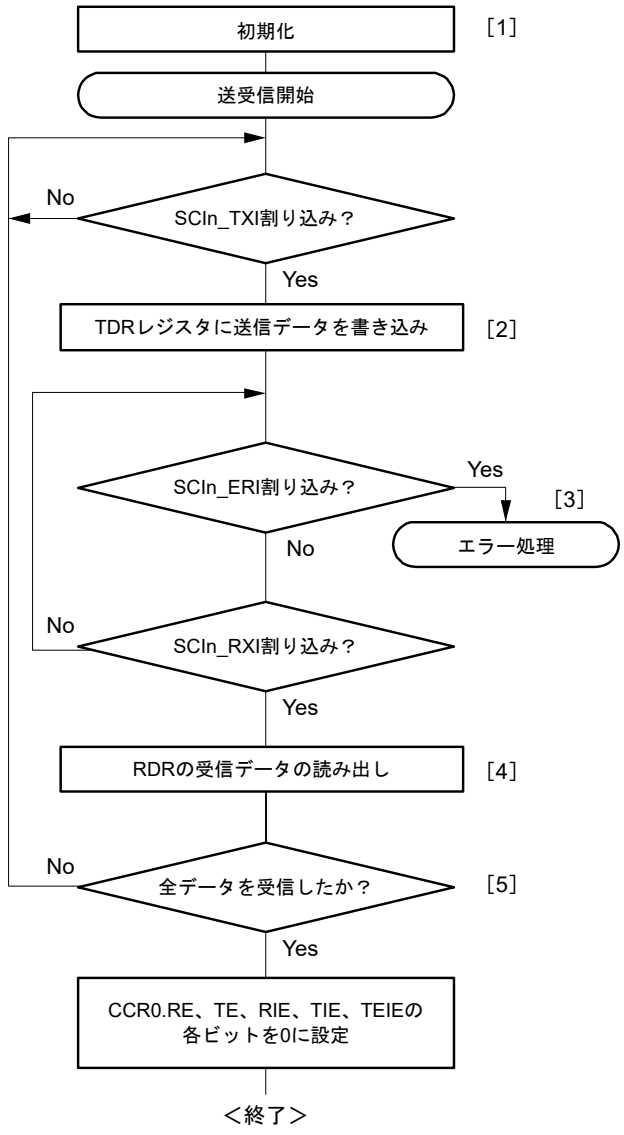
送信モードから同時送受信モードへ切り替えるとき、

1. SCI が送信完了状態であることを CSR.TEND フラグが 1 になっていることで確認してください。
2. その後、CCR0 レジスタを初期化してから、CCR0 レジスタの TIE、RIE、TE、および RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるとき、

1. SCI がデータ受信完了状態であることを確認してください。
2. CCR0.TE ビットと RE ビットを 0 にした後、受信エラーフラグ（CSR.ORER、FER、PER）が 0 になっていることを確認します。
3. その後、CCR0 レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

RTS 機能を同時送受信動作で使用する場合、最終データ受信後の受信動作において、CTSn_RTSn 端子から Low を出力させないためには、CCR0.RE ビットと TE ビットを同時に 0 に設定してから RDR レジスタを読み出してください。



[1]　SCIの初期化：
TXDn端子とRXDn端子がそれぞれ、送信データの出力端子、受信データの入力端子として機能するよう同時に設定します。

[2]　送信データの書き込み：
SCIn_TXI割り込み要求処理ルーチンでTDRに送信データを書き込みます。

[3]　受信エラー処理：
受信エラーが発生したときには、所定のエラー処理を行った後、必ずCSR.ORERを0にしてください。ORERが1の間はデータ受信を再開できません。

[4]　受信データの読み出し：
SCIn_RXI割り込み要求処理ルーチンでRDRレジスタに1回格納された受信データを読み出します。

[5]　シリアル送受信の継続手順：
シリアル受信を継続する場合は、現在のフレームのMSBビット（ビット7）を受信する前に、SCIn_RXI割り込み処理ルーチンでRDRレジスタのデータを読み出します。また、現在のMSBビット（ビット7）を送信する前に、SCIn_TXI割り込み処理でTDRに送信データを書き込みます。送信データは、DMACまたはDTCを起動することでも書き込むことができます。また、RDRのデータは、DMACまたはDTCを起動することでも読み出すことができます。

図 26.69　クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 26.70 に、クロック同期式モードにおける FIFO 選択時のシリアル同時送受信動作のフローチャート例を示します。

SCI の初期化後、シリアルデータ同時送受信動作は以下の手順に従ってください。

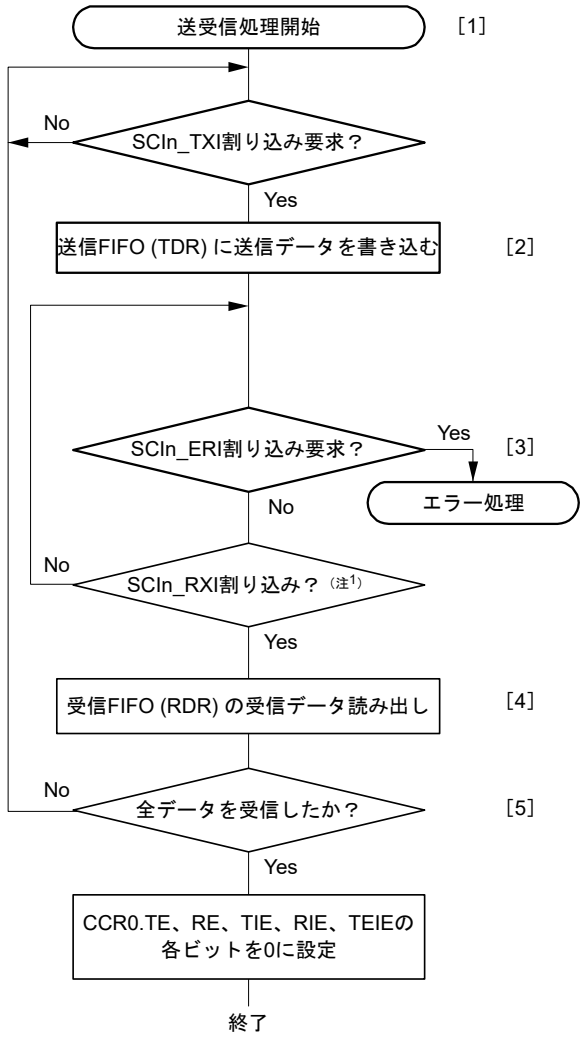
送信モードから同時送受信モードへ切り替えるとき、

1. SCI が送信完了状態であることを CSR.TEND フラグが 1 になっていることで確認してください。
2. その後、CCR0 レジスタを初期化してから、CCR0 レジスタの TIE、RIE、TE、および RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるとき、

1. SCI が受信完了状態であることを確認してください。
2. CCR0.TE ビットと RE ビットを 0 にします。
3. 受信エラーフラグ（CSR.ORER、FER、PER）が 0 になっていることを確認した後、CCR0.TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

クロック同期式通信では送信と受信を同時に行うため、送信データ数と受信データ数を必ず同じ数にしてください。



[1]　送受信処理開始

[2]　送信データ書き込み：
SCIn_TXI割り込み要求処理ルーチンで送信FIFO (TDR) に送信データを書き込みます。
送信データ数はFCR.RTRGビットの値と合わせます。

[3]　受信エラー処理：
受信エラーが発生したときには、所定のエラー処理（通信の停止、全受信データの読み出し、CSR.RDRFフラグのクリアなどの初期化）を行った後、必ずORERフラグを0にしてください。ORERフラグが1の状態では受信動作を再開できません。

[4]　受信データの読み出し：
受信FIFO (RDR) に格納された受信データを、FCR.RTRGの数だけSCIn_RXI割り込み処理ルーチンで読み出します。

[5]　シリアル送受信の継続手順：
シリアル受信を継続する場合は、オーバーランエラーが発生する前に、RDR内の受信データの読み出しを行い、CSR.RDRFフラグを0にクリアします。
シリアル送信を継続する場合は、SCIn_TXI割り込み要求により送信データを送信FIFO (TDR) に書き込み、TDREフラグを0にクリアします。
また、DMACまたはDTCを起動することによっても、送信データを送信FIFO (TDR) に書き込むことが可能です。また、DMACまたはDTCを起動することで、RDRレジスタの値も読み出すことが可能です。 この場合、TDREおよびRDRFフラグは自動的にクリアされます。そのため、TDREおよびRDRFフラグには書き込まないでください。

注 1.　受信データはすべて、受信 FIFO しきい値の整数倍となります。整数倍でない場合、ステップ［2］に戻り、無限ループに入ります。そのため、タイマなどを使用してタイムアウト時間を別に設定してください。

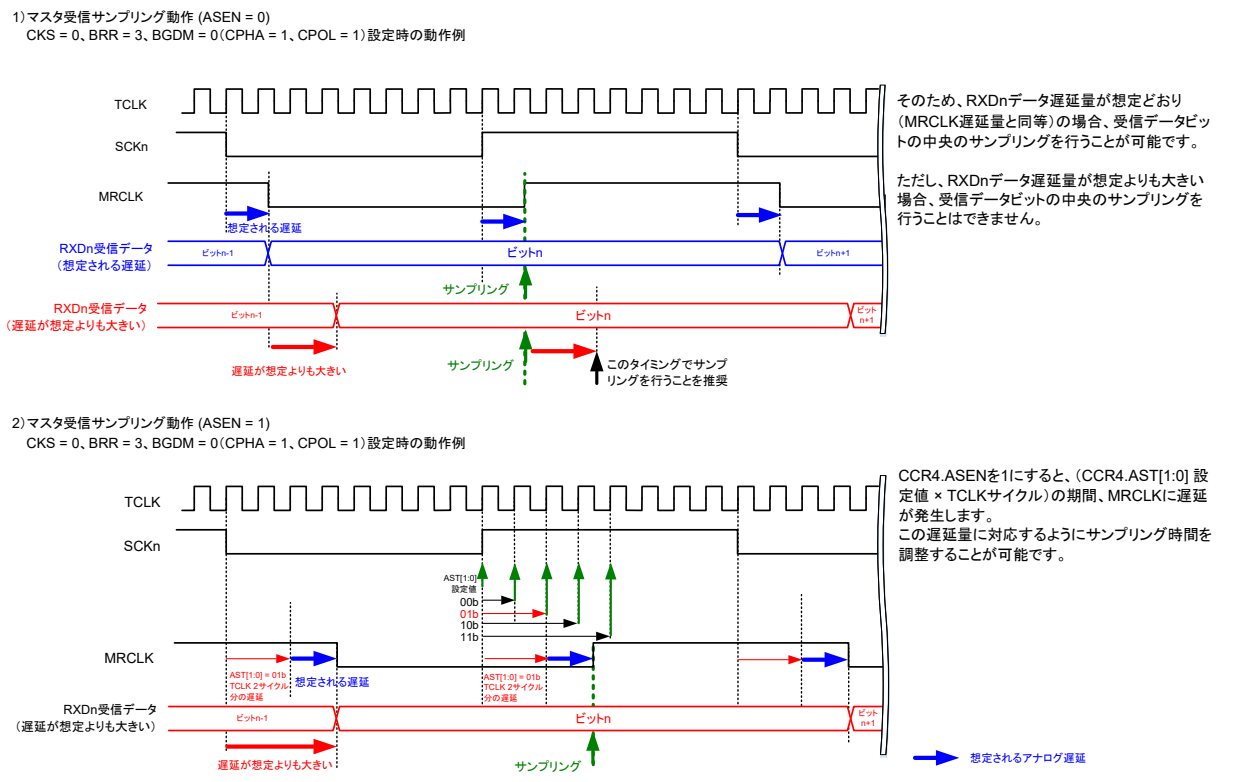
図 26.70　クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例（FIFO 選択時）

26.6.7　内部クロックを使用したクロック同期式モードでの受信サンプリングタイミング調整機能

クロック同期式の内部クロックを使用する場合（マスタモード）、MRCLK が受信サンプリングクロックとして使用されます。

この機能は、MRCLK を 1～4 TCLK 遅延させ、デジタル遅延を追加することにより、受信サンプリングのタイミングを調整します。この機能で MRCLK のアナログ遅延を調整することはできません。

CCR4.ASEN ビットを 1 にすると、この機能が有効になります。遅延値は CCR4.AST[1:0] に設定されます。



注.　このタイミングチャートに、受信サンプリングタイミング調整機能の説明を示します。

図 26.71　クロック同期式モード（マスタ）での受信サンプリングタイミング調整動作

26.7　スマートカードインタフェースモードの動作

SCI は拡張機能として、ISO/IEC 7816-3（Identification Card 規格）に対応したスマートカード（IC カード）インタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

26.7.1　接続例

図 26.72 に、スマートカード（IC カード）と本 MCU の接続例を示します。図 26.72 に示すように、MCU と IC カードは 1 本のデータ伝送線で通信を行うため、TXDn 端子と RXDn 端子を結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で CCR0.TE ビットと CCR0.RE ビットを 1 にすると、閉ループの送受信が実現され、自己診断が可能になります。SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には、MCU の出力ポートを使用できます。

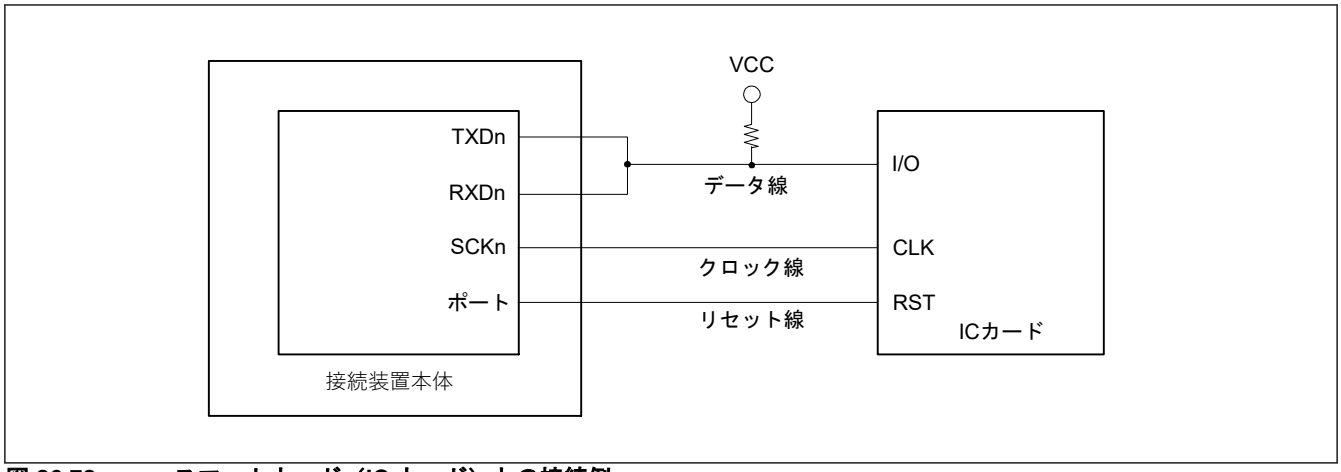


図 26.72　スマートカード（IC カード）との接続例

26.7.2　データフォーマット（ブロック転送モード時を除く）

図 26.73 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式モードでは、1 フレームは 8 ビットデータとパリティビットで構成
- 送信中は、パリティビットの終了から次のフレーム開始まで、2 ETU（Elementary Time Unit = 1 ビット転送時間）以上のガードタイムが必要
- 受信中にパリティエラーを検出した場合、スタートビットから 10.5 ETU 経過後、エラーシグナル (Low) を 1 ETU 期間出力
- 送信時にエラーシグナルをサンプリングすると、2 ETU 以上経過後、自動的に同じデータを再送信

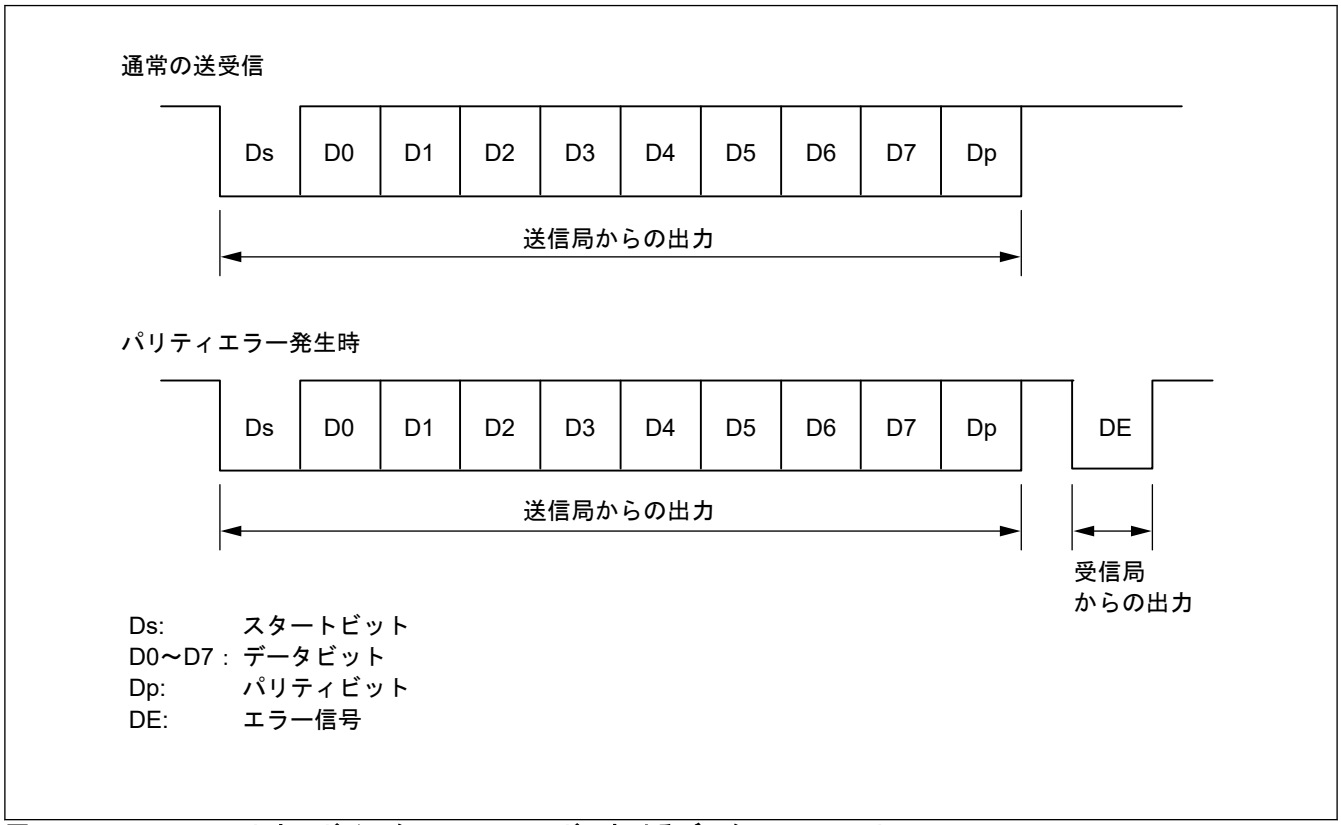


図 26.73　スマートカードインタフェースモードにおけるデータフォーマット

本節では、ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードと送受信する場合について説明します。

(1)　ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプでは、図 26.74 に示すように、ロジックレベル 1 は状態 Z を、ロジックレベル 0 は状態 A をそれぞれ表し、開始キャラクタに対して LSB ファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは 0x3B となります。

ダイレクトコンベンションタイプを使用する場合、CCR3.LSBF ビットに 1 を、CCR3.SINV ビットに 0 を書き込んでください。また、スマートカードの規格により、偶数パリティとなるように CCR1.PM ビットは 0 にしてください。

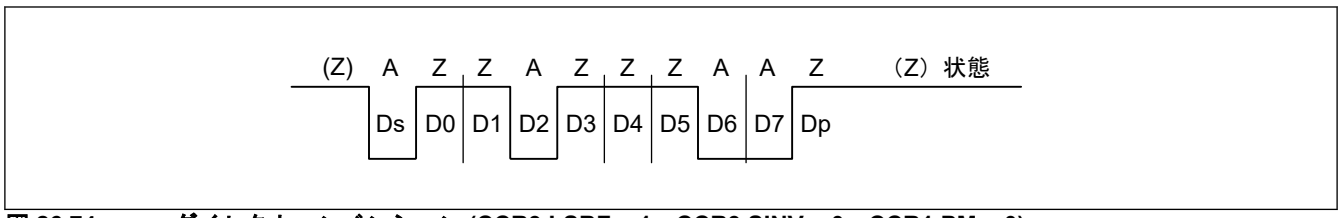


図 26.74　ダイレクトコンベンション (CCR3.LSBF = 1、CCR3.SINV = 0、CCR1.PM = 0)

(2)　インバースコンベンションタイプ

インバースコンベンションタイプでは、図 26.75 に示すように、ロジックレベル 1 は状態 A を、ロジックレベル 0 は状態 Z をそれぞれ表し、開始キャラクタに対して MSB ファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは 0x3F となります。

インバースコンベンションタイプを使用する場合、CCR3.LSBF ビットに 0 を、CCR3.SINV ビットに 1 を書き込んでください。また、スマートカードの規格に従って偶数パリティとするために、パリティビットは状態 Z に対応するロジックレベル 0 になります。本 MCU では、SINV ビットはデータビット D7～D0 のみを反転させます。そのため、送信時と受信時の両方において、CCR1.PM ビットに 1 を書いてパリティビットを反転させてください。

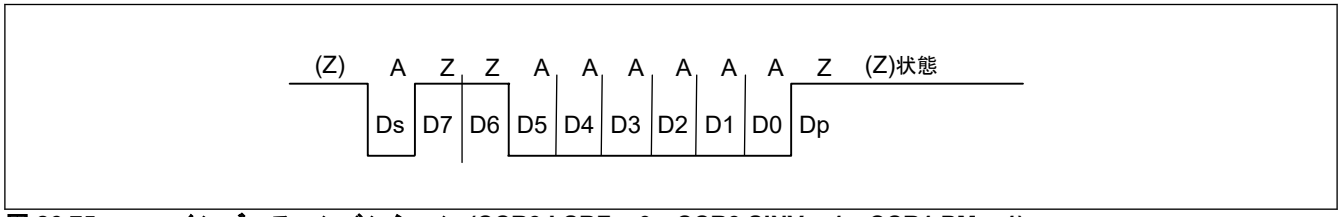


図 26.75　インバースコンベンション (CCR3.LSBF = 0、CCR3.SINV = 1、CCR1.PM = 1)

26.7.3　ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信中にパリティエラーが検出されても、エラーシグナルは出力されません。エラー検出時に CSR.PER フラグがセットされるので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信中は、パリティビットの終了から次のフレーム開始までのガードタイムとして 1 etu 以上が必要です。
- 同じデータの再送信を行わないため、送信開始から 11.5 etu 経過後に、CSR レジスタの TEND フラグがセットされます。
- ブロック転送モードでは、CSR レジスタの ERS フラグは通常のスマートカードインタフェースモードと同じエラーシグナル状態を示します。ただし、エラーシグナルの送受信を行わないため、読むと 0 が読めます。

26.7.4　受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成する内部クロックのみです。

スマートカードインタフェースモードでは、CCR2.BCP[2:0]ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、または 512 倍の周波数の基本クロックで動作します。通常の調歩同期式モードでは、周波数はビットレートの 16 倍に固定されています。

受信時は、スタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。

また、図 26.76 に示すように、受信データは基本クロックのそれぞれ 16 番目、32 番目、186 番目、128 番目、46 番目、64 番目、93 番目、256 番目の立ち上がりエッジでサンプリングされるため、各ビットの中間でデータが取り込まれます。受信マージンは次式で表わすことができます。

$$M = \left|\left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F)\right| \times 100\ [\%]$$

M：受信マージン（%）

N：クロックに対するビットレートの比（$N = 32, 64, 372, 256$）

D：クロックのデューティー（$D = 0 \sim 1.0$）

L：フレーム長（$L = 10$）

F：クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次式のようになります。

$M = \{0.5 - 1/(2 \times 372)\} \times 100\ [\%] = 49.866\ \%$

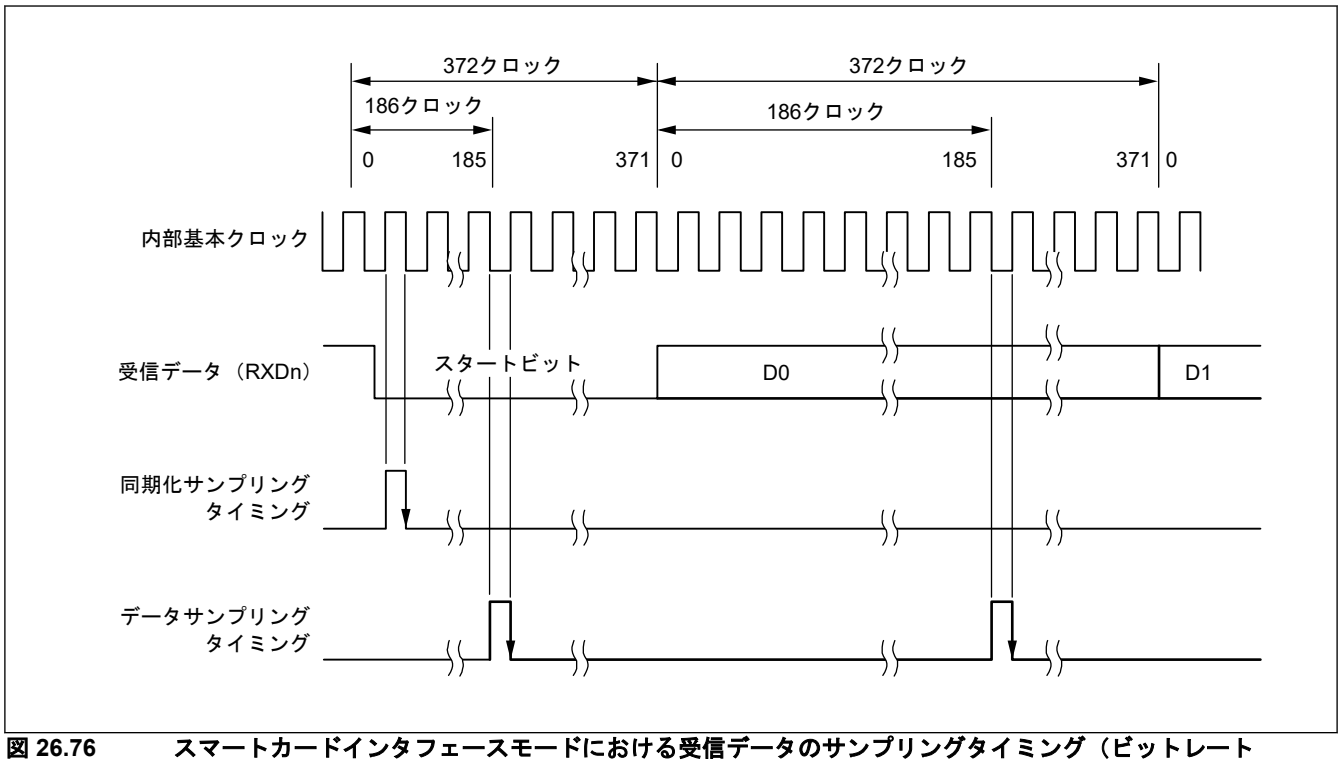


図 26.76　スマートカードインタフェースモードにおける受信データのサンプリングタイミング（ビットレートの 372 倍のクロック周波数の場合）

26.7.5　SCI の初期化（スマートカードインタフェースモード）

データの送受信前に、CCR0 レジスタに初期値 0x00 を書き込み、表 26.37 に示すフローチャートの例に従って、SCI を初期化してください。

送信モードから受信モードへ（またはその逆へ）切り替える場合、必ず事前に CCR0 レジスタの TIE、RIE、TE、RE、および TEIE ビットに初期値を設定してください。なお、CCR0.RE ビットを 0 にしても RDR レジスタは初期化されません。

送信モードでは、CCR0.TE ビットと CCR0.TIE ビットを同時に 1 にすると、SCIn_TXI 割り込み要求が発生します。

受信モードから送信モードへ切り替える場合、受信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、CCR0.TE ビット = 1、CCR0.RE ビット = 0 にしてください。受信動作の完了は、SCIn_RXI 割り込み要求、CSR レジスタの ORER フラグ、あるいは PER フラグで確認できます。

送信モードから受信モードへ切り替える場合、送信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、CCR0.TE ビット = 0、CCR0.RE ビット = 1 にしてください。送信動作の完了は CSR.TEND フラグで確認できます。

表 26.37　スマートカードインタフェースモードにおける SCI 初期化の手順例

番号	ステップ名	説明
1	初期化開始	—
2	CCR0 を設定	CCR0.TEIE、TIE、RIE、TE、RE の各ビットを 0 に設定。初期設定から変更していない場合は、この手順を省略できます。
3	CCR3 を設定	通信モード (MOD[2:0] = 001b)、BLK、GM、および SINV を設定します。他のビットを初期値のままにします。
4	CCR2 を設定	クロック選択とビットレートを設定します。BRME を 0 に設定します。
5	CCR1 を設定	ループバック機能、通信端子ステータスを設定します。NFEN ビット、PE ビットおよび CTSE ビットを 0 にしてから、PE ビットを 1 にします。
6	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
7	CCR3 を設定	CKE[1:0]を設定 GM ビットの設定値により、CKE[0]ビットを 1 にした場合は、SCKn 端子からクロックが出力されます。
8	CFCLR を設定	以下のビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします。CFCLR.RDRFC、FERC、PERC、MFFC、ORERC、DFERC、DPERC、DCMFC、ERSC
9	CCR0 を設定	TE ビットまたは RE ビットを 1 にします。次に TIE ビットおよび RIE ビットを設定します。自己診断以外は TE ビットと RE ビットを同時に 1 にしないでください。
10	初期化完了	—

図 26.77 に上記のフローに従ってスマートカードインタフェースモードに遷移することでデータ送信が行われるときのタイミングチャートを示します。この図は、CCR3.GM ビットが 0 の場合を示します。図に示す通り、SCKn 端子に端子機能を設定したとき、CCR3.CKE[0]ビットが 0 なので SCKn 端子はハイインピーダンスとなります。TXDn 端子を設定したとき、CCR0.TE ビットが 0 なので TXDn 端子はハイインピーダンスとなります。クロック出力設定の CCR3.CKE[0]ビットを 1 にすることによって SCK 端子へのクロック出力を開始します。そして、CCR0.TE ビットを 1 にした後、送信データを書き込むことでデータ送信を開始します。

スマートカードインタフェースモードでは、クロック出力設定を使用すると、CCR0.TE ビットおよび CCR0.RE ビットが 0 であっても、クロック出力は継続されます。

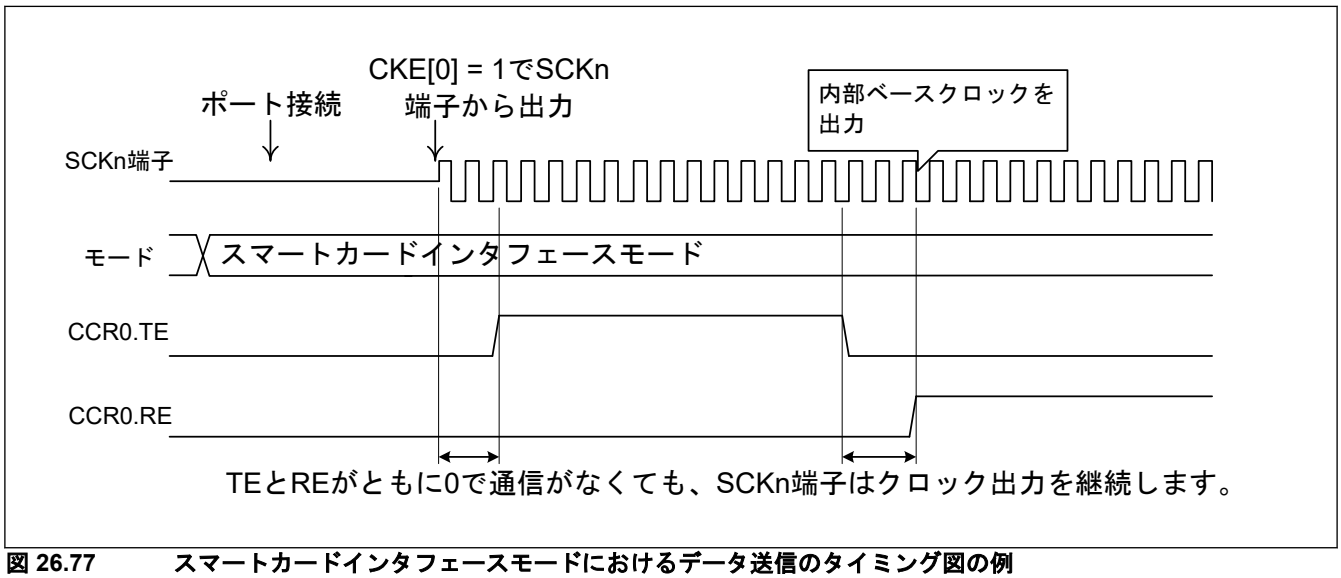


図 26.77　スマートカードインタフェースモードにおけるデータ送信のタイミング図の例

26.7.6　シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信（ブロック転送モード時を除く）では、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードと動作が異なります。送信中の再転送動作を図 26.78 に示します。

1. 1 フレーム分の送信を完了した後、受信側からのエラーシグナルがサンプリングされると、CSR.ERS フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、ERS フラグを 0 にクリアしてください。

2. エラーシグナルを受信したフレームでは、CSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタへ再度データが転送され、自動的に再送信が行われます。
3. 受信側からエラーシグナルが返ってこない場合、ERS フラグは 1 になりません。
4. この場合、SCI は再転送を含む 1 フレーム分の送信が完了したと判断し、TEND フラグがセットされます。CCR0.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

図 26.80 に、シリアル送信のフローチャート例を示します。これら一連の処理は、SCIn_TXI 割り込み要求で DTC または DMAC を起動することによって、自動的に行うことができます。

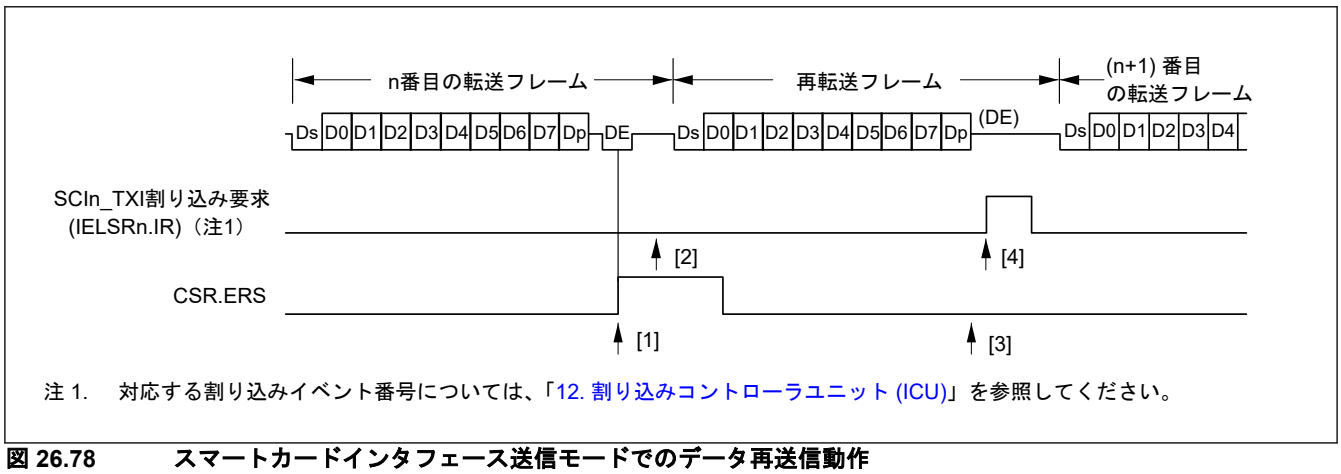
送信動作では、CSR.TEND フラグが 1 になっていると、CCR0.TIE ビットが 1 の場合、SCIn_TXI 割り込み要求が発生します。

あらかじめ DTC または DMAC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中、TEND フラグは 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が、指定されたバイト数を自動的に送信します。ただし、ERS フラグは自動的にはクリアされないため、RIE ビットを 1 にしておくことで、エラー発生時に SCIn_ERI 割り込み要求を発生させて、ERS フラグをクリアしてください。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。

DTC または DMAC の設定方法については、「16. データトランスファコントローラ (DTC)」と「15. DMA コントローラ (DMAC)」を参照してください。



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.78　スマートカードインタフェース送信モードでのデータ再送信動作

CCR3.GM ビットの設定によっては、CSR.TEND フラグのセットタイミングが異なります。図 26.79 に、TEND フラグの発生タイミングを示します。

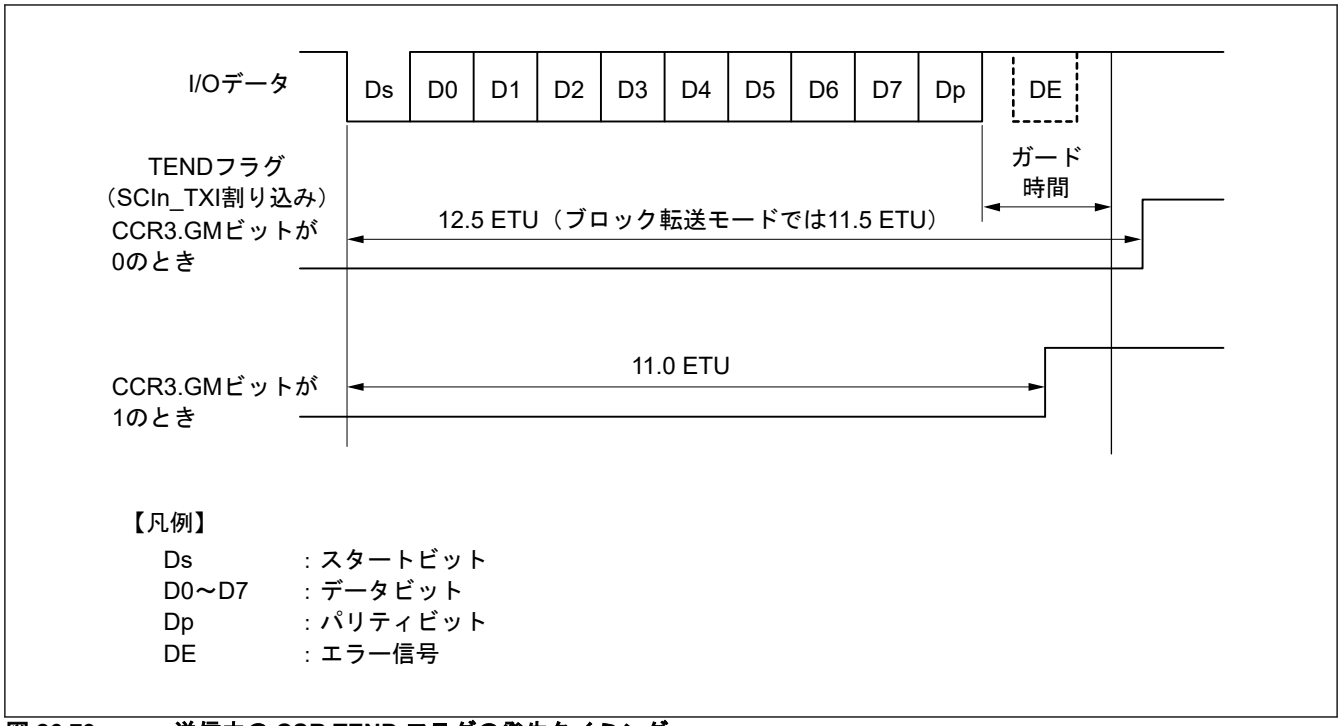


図 26.79 送信中の CSR.TEND フラグの発生タイミング

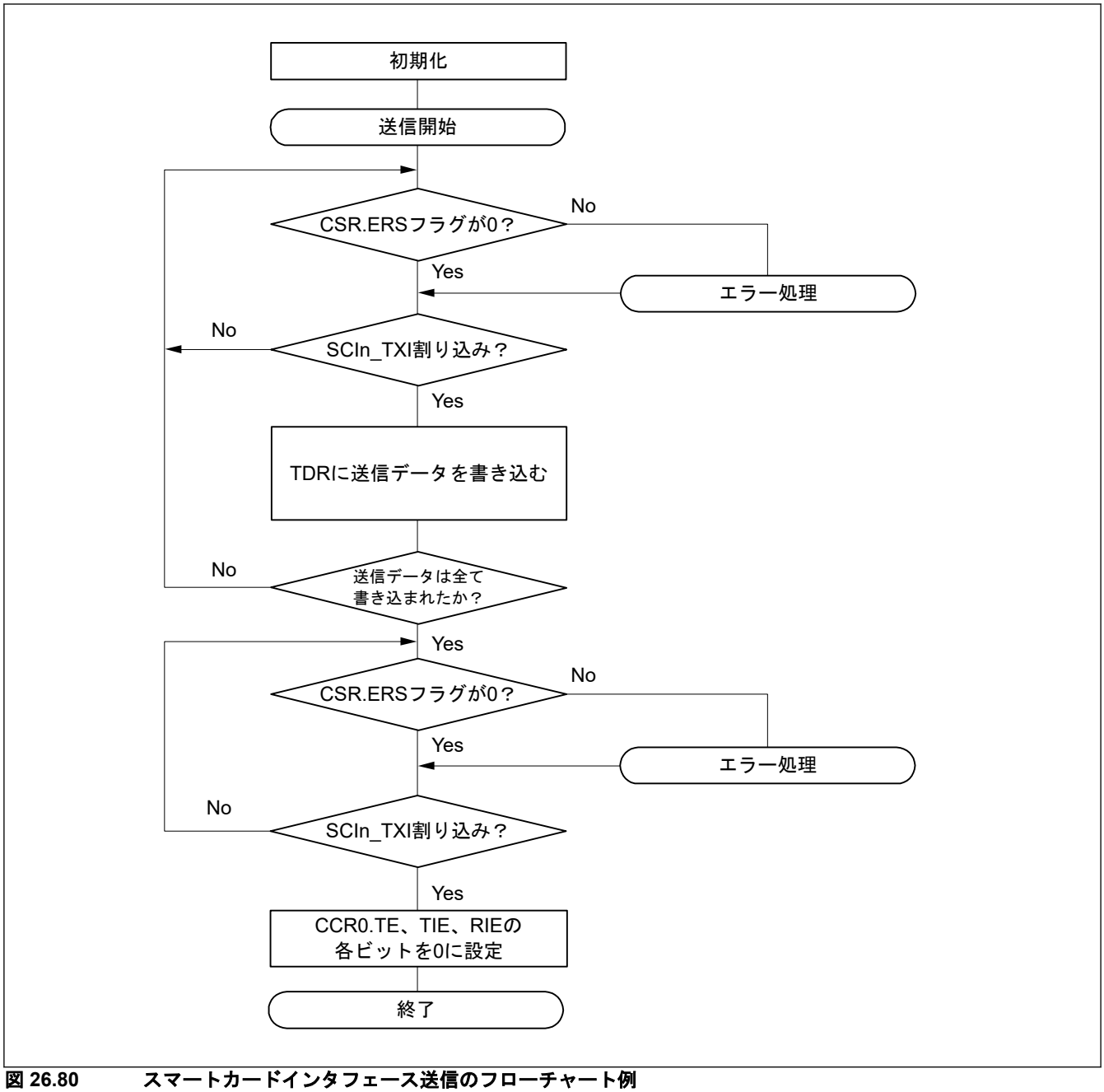


図 26.80　スマートカードインタフェース送信のフローチャート例

26.7.7　シリアルデータの受信（ブロック転送モード時を除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードでの再転送動作を図 26.81 に示します。

1. 受信データにパリティエラーが検出されると、CSR.PER フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、PER フラグを 0 にクリアしてください。
2. パリティエラーが検出されたフレームに対しては、SCIn_RXI 割り込みは発生しません。
3. パリティエラーが検出されない場合、CSR.PER フラグは 1 になりません。
4. この場合、正常に受信が完了したと判断されます。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。

図 26.82 に、シリアルデータ受信のフローチャート例を示します。これら一連の処理は、SCIn_RXI 割り込み要求で DTC または DMAC を起動することによって、自動的に行うことができます。

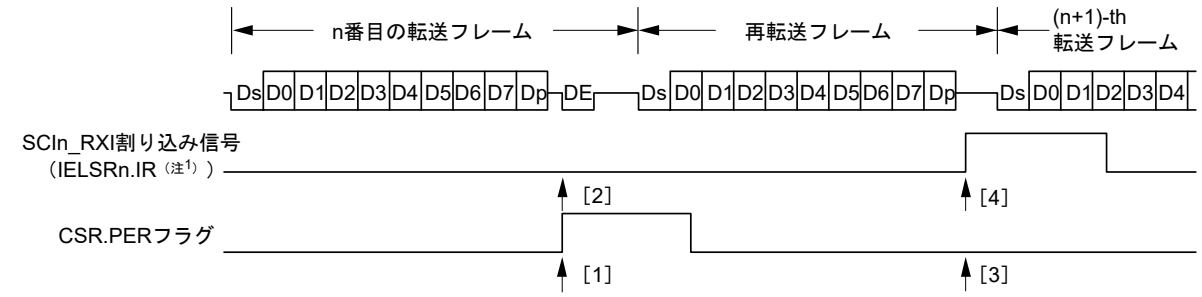
受信動作では、RIE ビットを 1 にしておくと、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。

また、受信時にエラーが発生して CSR レジスタの ORER フラグまたは PER フラグのいずれかが 1 になると、受信エラー割り込み (SCIn_ERI) 要求が発生します。エラー発生後に、エラーフラグをクリアしてください。エラーが発生した場合、DTC または DMAC は起動されず、受信データはスキップされます。そのため、DTC または DMAC に指定されたバイト数だけ受信データが転送されます。

なお、受信中にパリティエラーが発生して PER フラグが 1 になった場合でも、受信したデータは RDR レジスタへ転送されるので、このデータを読み出すことは可能です。

また、受信動作中に CCR0.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

注.　ブロック転送モードの場合は、「26.3.9. シリアルデータの受信（調歩同期式モード）」を参照してください。



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.81　スマートカードインタフェース受信モードでの再転送動作

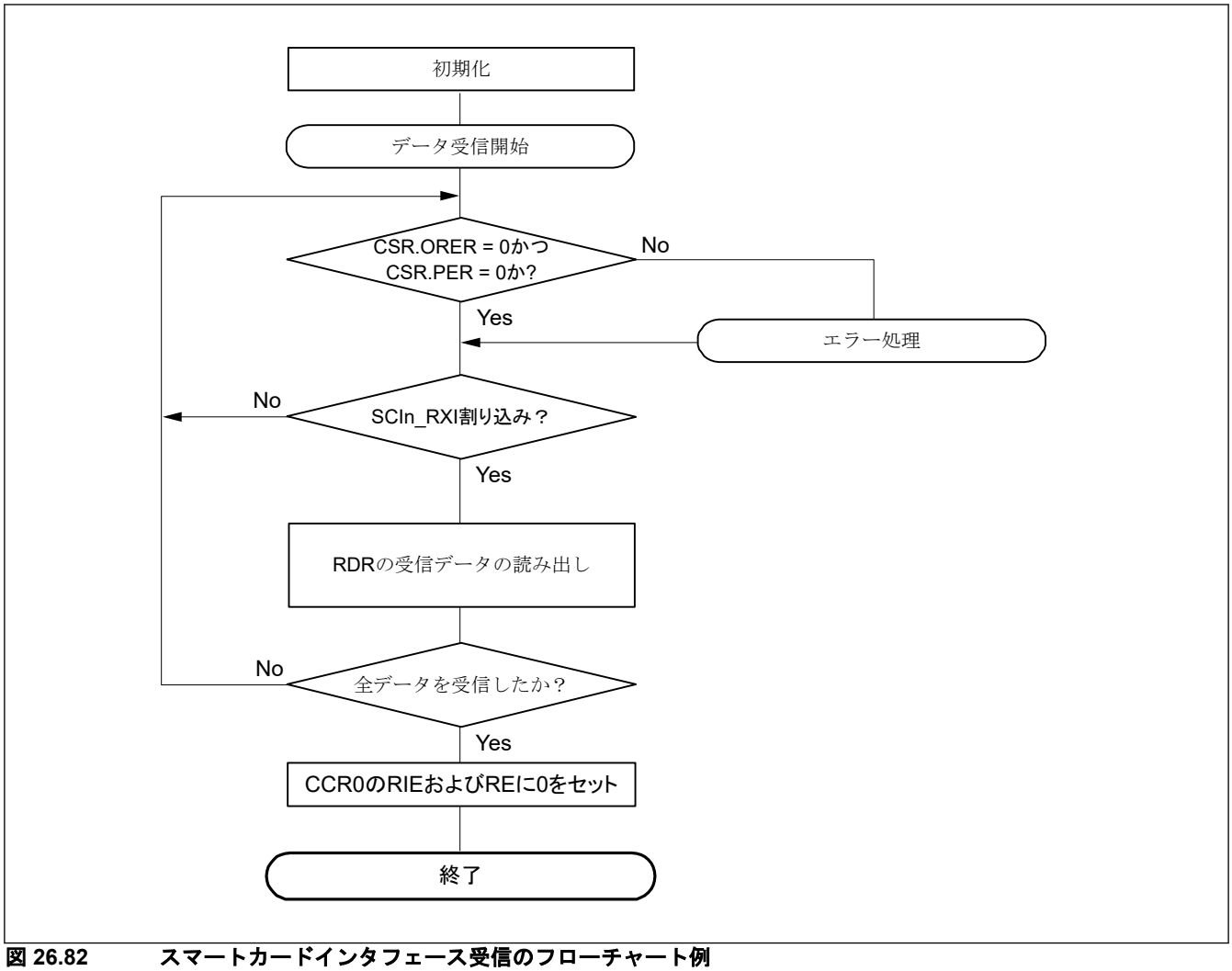


図 26.82 スマートカードインタフェース受信のフローチャート例

26.7.8 クロック出力制御

CCR3 の GM ビットを 1 にすると、CCR3 の CKE[1:0] ビットでクロック出力を制御できます。CKE[1:0] ビットの詳細については、「26.2.8. CCR3 : 共通コントロールレジスタ 3」を参照してください。「26.7.4. 受信データサンプリングタイミングと受信マージン」に記載されている基本クロックであるクロック出力を設定する場合、ビットレートは CCR2.CKS、CCR2.BCP[2:0]、および BRR[7:0] で設定されます。

図 26.83 に、CCR3 レジスタの CKE[1] ビットを 0 にして CCR3 レジスタの CKE[0] ビットを制御する場合のクロック出力制御のタイミング例を示します。

CCR3 レジスタの GM ビットが 0 の場合、CCR3 レジスタの CKE[0] ビットで制御される出力は、SCKn 端子にただちに反映されます。したがって、意図しない幅のパルスが SCKn 端子から出力される可能性があります。

CCR3 レジスタの GM ビットが 1 のとき、CCR3.CKE[0]の出力パルス制御により、基本クロックの状態に従って、パルス幅が制御されます。

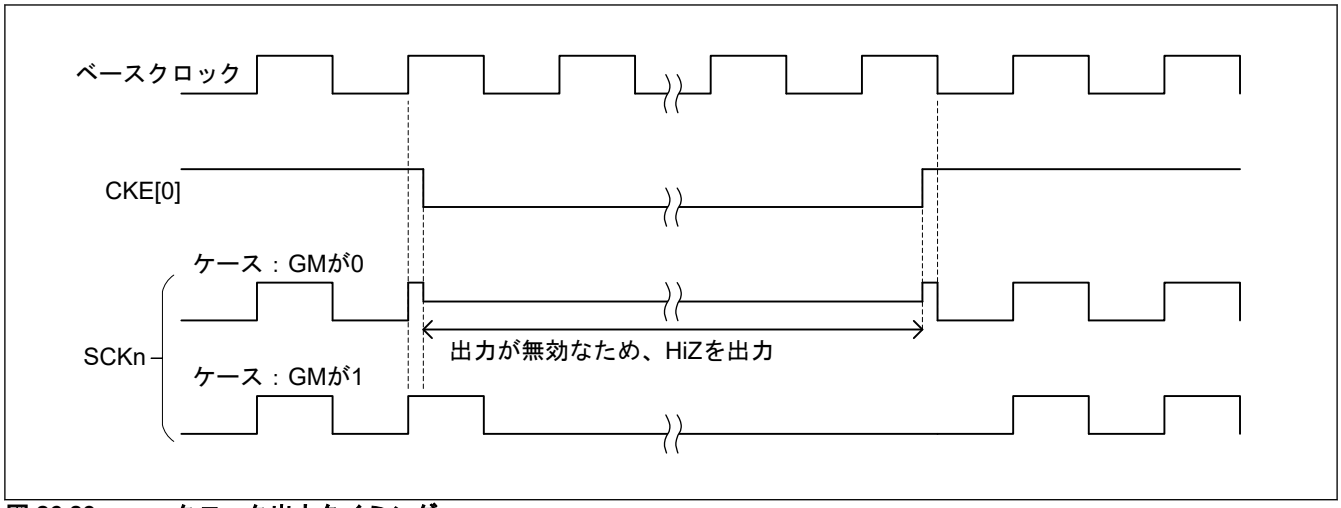


図 26.83　クロック出力タイミング

26.8　簡易 IIC モードの動作

簡易 IIC モードフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開始条件に続くフレームはスレーブアドレスのフレームであり、マスタデバイスは、通信先であるスレーブデバイスを指定するために使用します。指定されたスレーブデバイスは、新たにスレーブデバイスが指定されるか、または停止条件が満たされるまで有効です。各フレーム内の 8 ビットのデータは、MSB から順に送信されます。

図 26.84 に、I2C バスフォーマットを、図 26.85 に、I2C バスタイミングを示します。

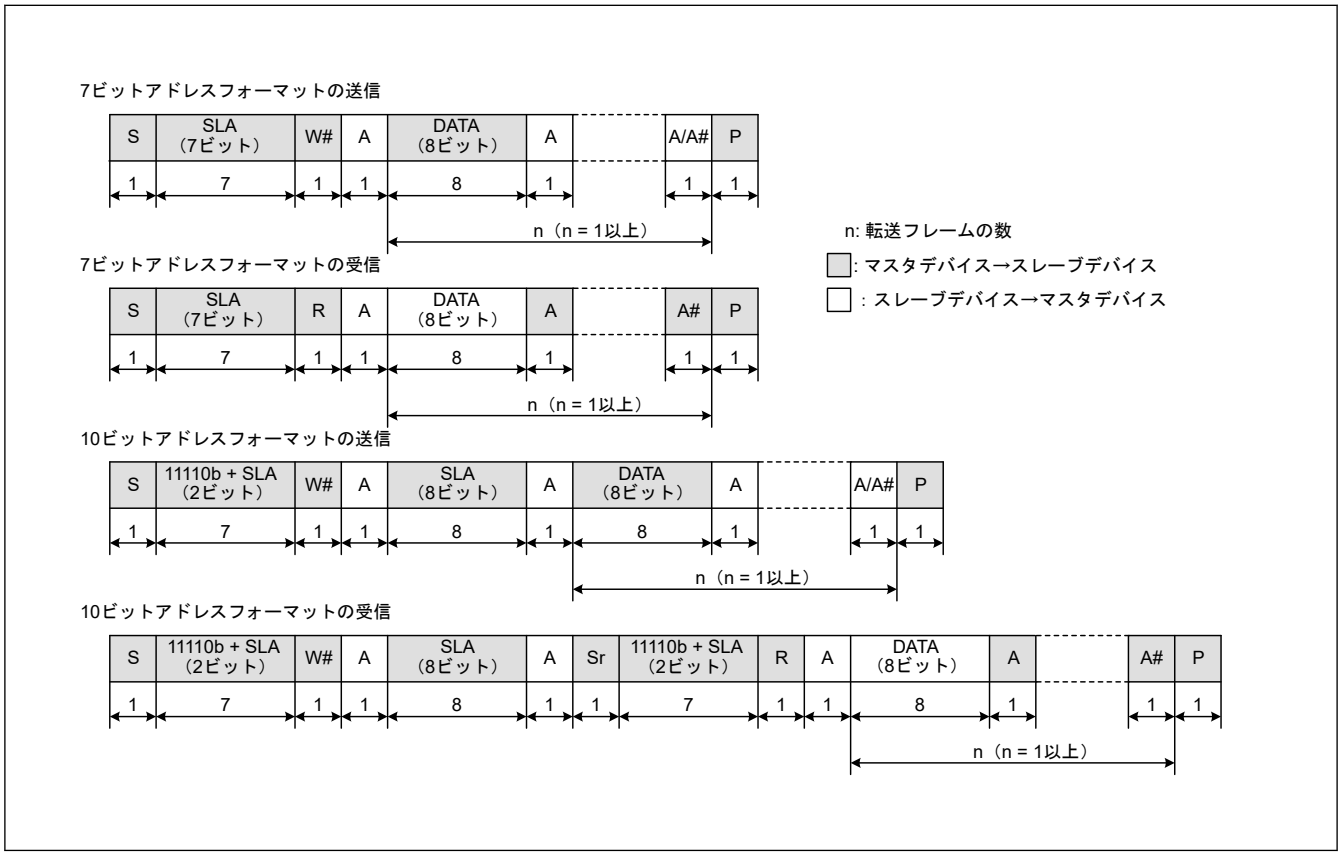


図 26.84　I2C バスフォーマット

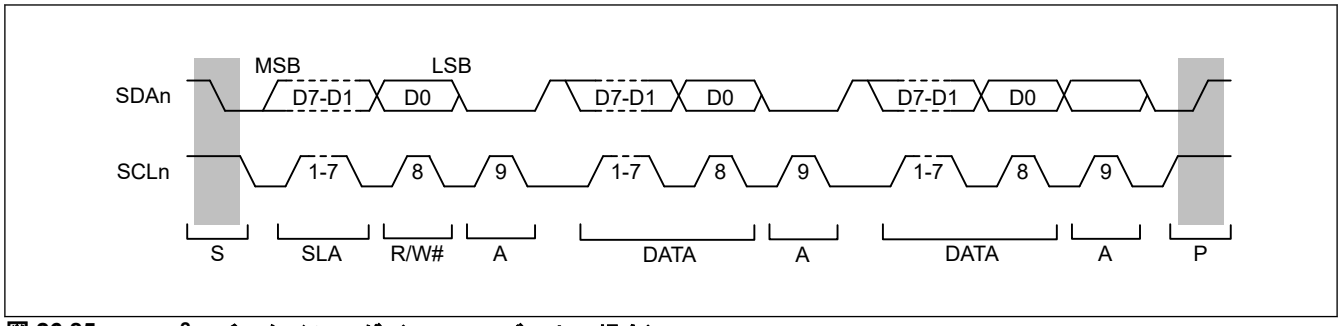


図 26.85 I²C バスタイミング（SLA = 7 ビットの場合）

- S：開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを High から Low へ変化させます。
- SLA：スレーブアドレスを示します。これによってマスタデバイスがスレーブデバイスを選択します。
- R/W#: 転送方向（送信／受信）を示します。値 1 のときはスレーブデバイスからマスタデバイスへ、値 0 のときはマスタデバイスからスレーブデバイスへデータを送信します。
- A/A#：アクノリッジを示します。マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。Low を返すことで ACK を、High を返すことで NACK を示します。
- Sr：再開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、セットアップ時間経過後に SDAn ラインのレベルを High から Low へ変化させます
- DATA：送受信データを示します。
- P：停止条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを Low から High へ変化させます。

26.8.1 開始条件、再開始条件、停止条件の生成

ICR.IICSTAREQ ビットに 1 を書き込むことにより、開始条件の生成を行います。開始条件の生成では、以下の動作が行われます。

- SDAn ラインを立ち下げ（High から Low へ変化）、SCLn ラインは開放状態を保持
- CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、開始条件のホールド時間に設定
- SCLn ラインを立ち下げ（High から Low へ変化）、ICR.IICSTAREQ ビットを 0 にして、開始条件生成割り込み要求を出力

ICR.IICRSTAREQ ビットに 1 を書き込むことにより、再開始条件の生成を行います。再開始条件の生成では、以下の動作が行われます。

- SDAn ラインを開放、SCLn ラインは Low を保持
- CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定
- SCLn ラインを開放（Low から High へ変化）
- SCLn ラインの High を検出後、CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開始条件のセットアップ時間に設定
- SDAn ラインを立ち下げ（High から Low へ変化）
- CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開始条件のホールド時間に設定
- SCLn ラインを立ち下げ（High から Low へ変化）、ICR.IICRSTAREQ ビットを 0 にして、再開始条件生成割り込み要求を出力

ICR.IICSTPREQ ビットに 1 を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SDAn ラインを立ち下げ（High から Low へ変化）、SCLn ラインは Low を保持
- CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定

- SCLn ラインを開放（Low から High へ変化）
- SCLn ラインの High を検出後、CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、停止条件のセットアップ時間に設定
- SDAn ラインを開放（Low から High へ変化）、ICR.IICSTPREQ ビットを 0 にして、停止条件生成割り込み要求を出力

図 26.86 に開始条件、再開始条件、停止条件生成の動作タイミングを示します。

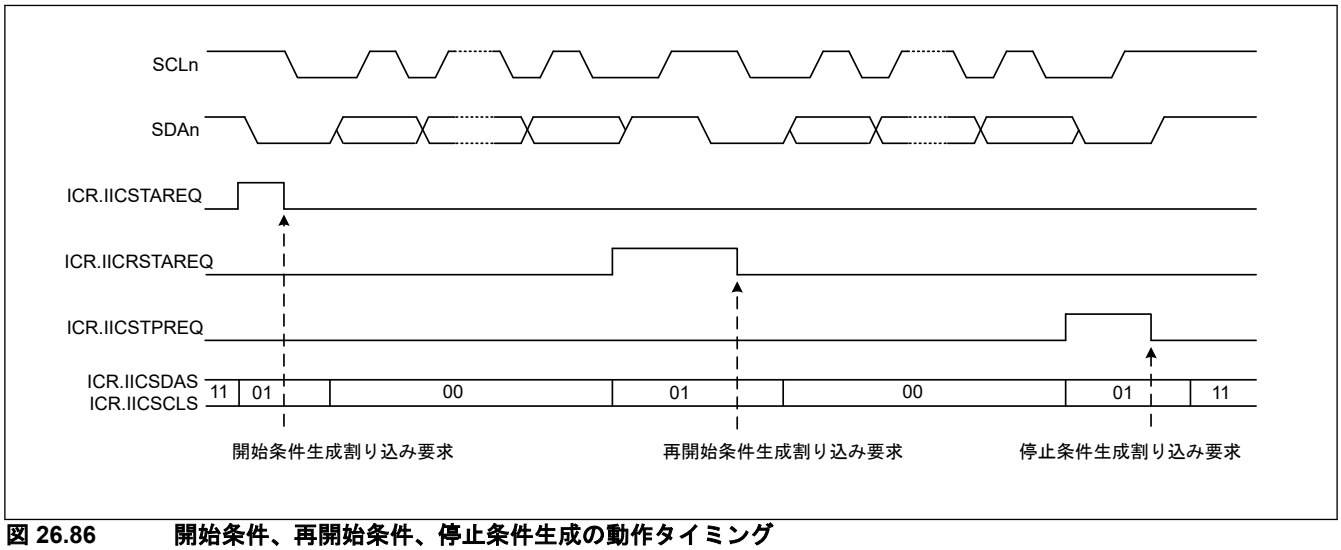


図 26.86　開始条件、再開始条件、停止条件生成の動作タイミング

26.8.2　クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で、SCLn ラインを Low にする場合があります。ICR.IICCSC ビットを 1 にすると、内部 SCLn クロック信号が SCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

ICR.IICCSC ビットを 1 にすると、内部 SCLn クロック信号が Low から High へ変化します。SCLn 端子入力が Low の間は High 期間のカウントを停止し、SCLn 端子入力が High へ変化すると、High 期間のカウントを開始します。

このとき、SCLn 端子が High へ変化して High 期間のカウントを開始するまでの間隔は、SCLn 端子入力遅延、SCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2～3 サイクル）、内部処理遅延（PCLK で 1～2 サイクル）の合計になります。この間、他のデバイスが SCLn ラインを Low にしていなくても、内部 SCLn クロックの High 期間が延長されます。

ICR.IICCSC ビットが 1 の場合、データの送受信は、SCLn 端子入力と内部 SCLn クロックの論理積に同期して行われます。ICR.IICCSC ビットが 0 の場合は、データの送受信は、内部 SCLn クロックに同期して行われます。

開始条件、再開始条件、または停止条件の生成要求発行後、内部 SCLn クロックが Low から High へ変化するまでの間にスレーブデバイスからウェイトが挿入された場合、その期間分、生成までの時間が延長されます。

内部 SCLn クロックが Low から High へ変化した後、スレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 26.87 に、クロック同期化の動作例を示します。

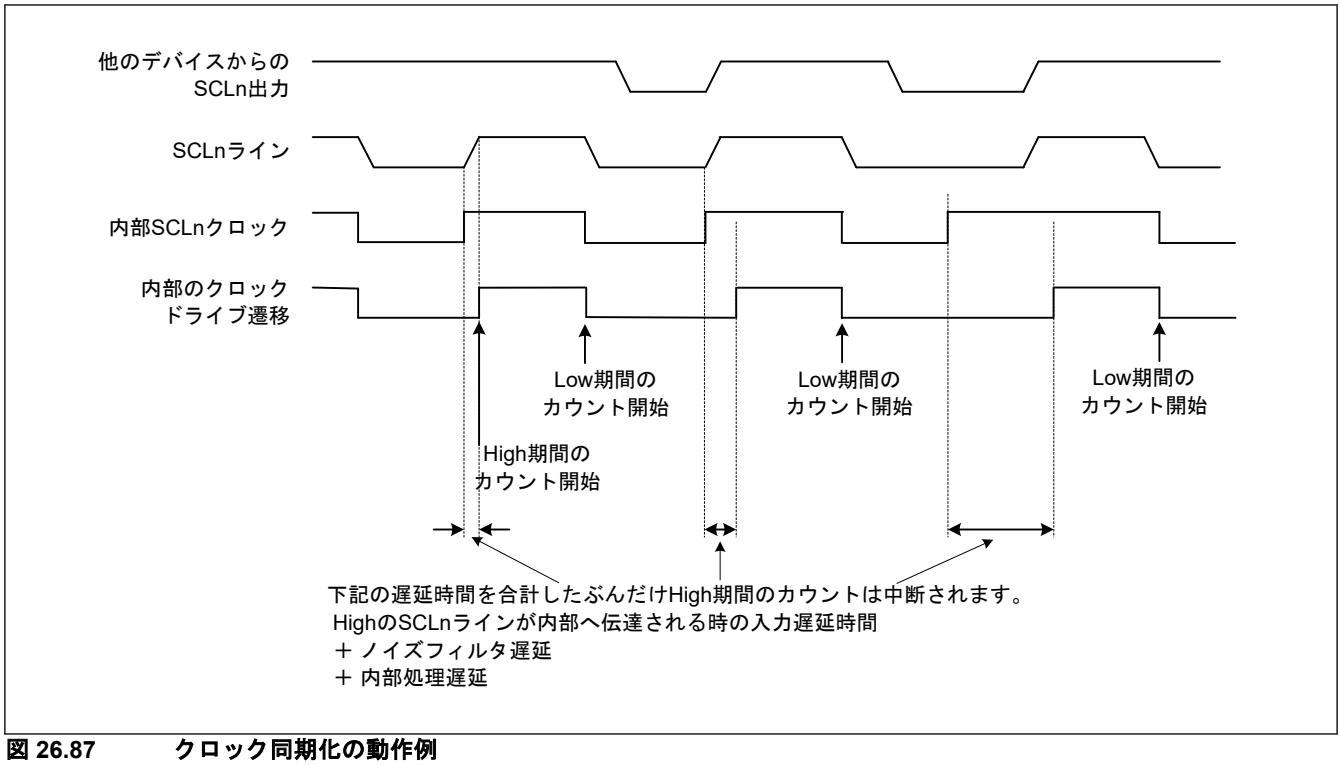


図 26.87　クロック同期化の動作例

26.8.3　SDAn 出力遅延

ICR.IICDL[4:0]ビットを用いて、SCLn 端子出力の立ち下がりに対し、SDAn 端子出力を遅延させることが可能です。遅延時間は 0～31 サイクルから選択できます。これは、対応する内蔵ボーレートジェネレータからのクロック信号のサイクル数を表します（CCR2.CKS[1:0]ビットで選択した分周ベースクロック (TCLK) を基準とします）。SDAn 端子出力の遅延は、開始条件／再開始条件／停止条件の各信号、8 ビットの送信データ、およびアクノリッジビットに適用されます。

SDAn 出力遅延が SCLn 端子出力の立ち下がり時間より短い場合、SCLn 端子出力の立ち下がり中に SDAn 端子出力が変化を開始して、スレーブデバイスが誤動作する可能性があります。SDAn 端子出力遅延は、SCLn 端子出力の立ち下がり時間の最大値（IIC の標準モードとファストモードでは 300 ns）より大きくなるように設定してください。

図 26.88 に、SDAn 出力遅延のタイミングを示します。

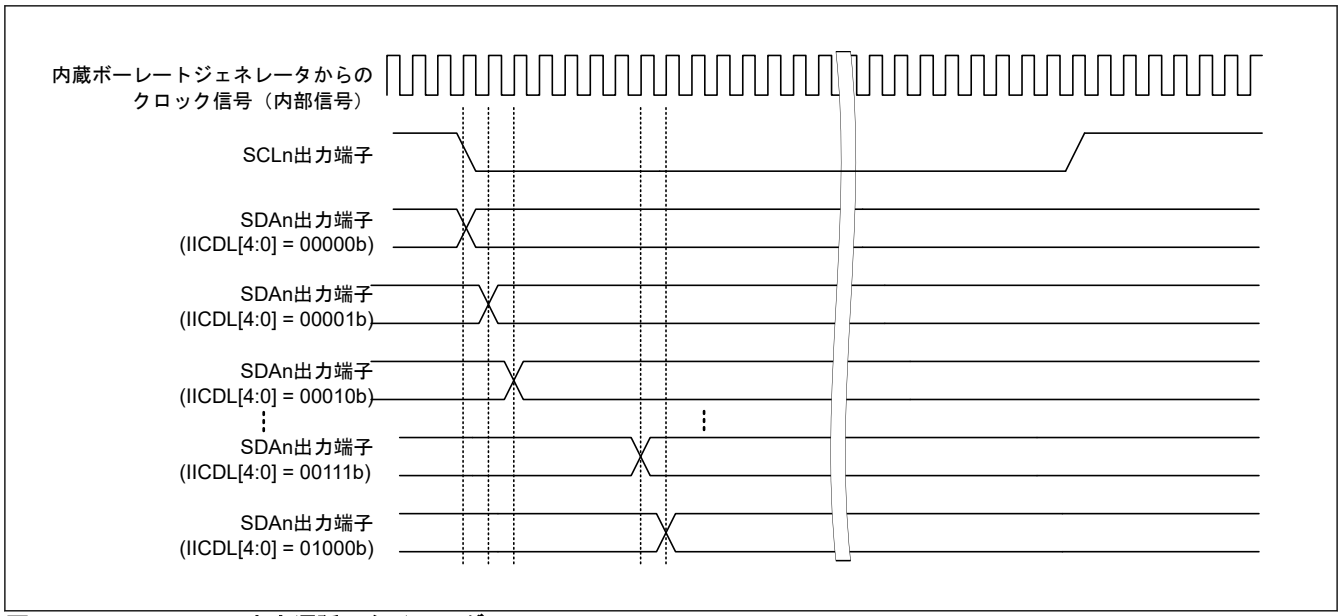


図 26.88　SDAn 出力遅延のタイミング

26.8.4 SCI の初期化（簡易 IIC モード）

データの送受信前に、CCR0 レジスタに初期値 0x00 を書き込み、表 26.38 のフローチャート例に従って、インタフェースを初期化してください。

動作モードまたは通信フォーマットを変更する前に、必ず CCR0 レジスタを初期値にしてください。また、簡易 IIC モード時の通信ポートのオープンドレイン設定は、ポート側で行ってください。

表 26.38 簡易 IIC モードにおける SCI 初期化の手順例

番号	ステップ名	説明
1	初期化開始	—
2	CCR0 を設定	CCR0.TEIE、TIE、RIE、TE、RE の各ビットを 0 に設定。初期設定から変更していない場合は、この手順を省略できます。
3	ICR を設定	IICSDAS[1:0]ビットと IICSCLS[1:0]ビットを 11b にします。必要に応じて IICDL[4:0]ビットと IICINTM ビットを設定します。IICACKT ビットと IICCSC ビットを 1 にします。
4	CCR3 を設定	通信モードとして送受信フォーマット (MOD[2:0]=100b)、CKE [1:0] = 00b を設定します。
5	CCR2 を設定	ビットレートモジュレーション機能(注1)、クロック選択、ビットレートを設定します。
6	CCR1 を設定	ノイズフィルタ、通信端子ステータス、パリティチェック、および CTSn/RTSn 機能を設定します。
7	I/O ポート機能を設定	SCLn および SDAn 端子機能が（NMOS オープンドレイン出力端子および Hi-Z で）使用可能となるように I/O ポートを設定します。
8	CFCLR レジスタと ICFCLR レジスタを設定	以下のビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします。CFCLR.RDRFC、FERC、PERC、MFFC、ORERC、DFERC、DPERC、DCMFC、ERSC、ICFCLR.IICSTIFC
9	CCR0（TE、RE、TIE、RIE）を設定	TE ビットと RE ビットを 1 にしてください。割り込みを許可するために、1 回の指示で同時に TE、TIE、RE、および RIE ビットを 1 に設定します（送信用で IICINTM ビットが 1 の状態の場合は、RIE ビットをクリアします）。TE ビットと RE ビットを 1 にすることで、SCLn 端子および SDAn 端子の機能が有効となります。
10	初期化完了	—

注. CCR0.TE ビットと RE ビットは、同時に設定してください。
注 1. ビットレートモジュレーション機能を使用しない場合、この設定は不要です。

26.8.5 マスタ送信動作（簡易 IIC モード）

図 26.89 と図 26.90 にマスタ送信の動作例を、図 26.91 にデータ送信のフローチャート例を示します。

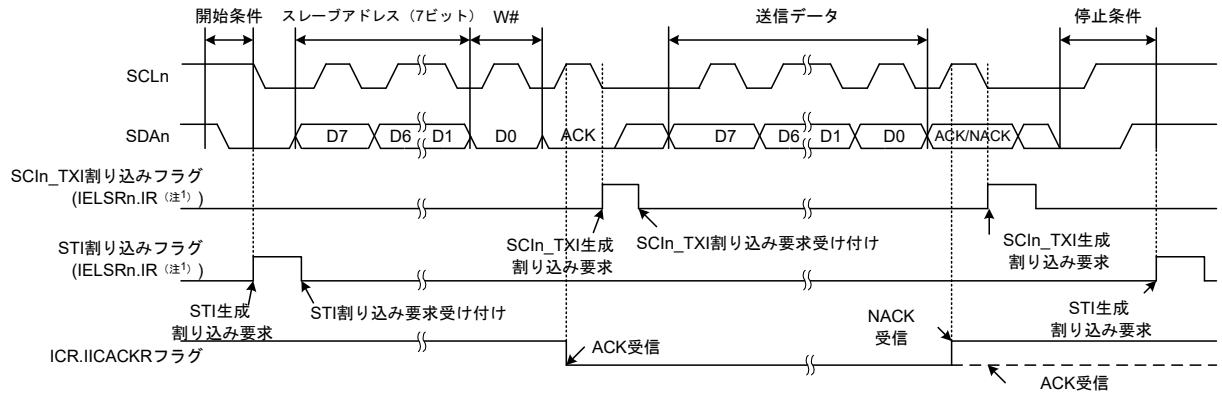
図 26.89 に、ICR.IICINTM ビットが 1（受信割り込み、送信割り込みを使用）の場合の動作例を示します。この場合、SCIn_TXI 割り込みにより DMAC または DTC を起動できます。ただし、DMAC または DTC を使用する場合、ACK/NACK は確認できません。ACK/NACK を確認したい場合は、CPU により送信データを準備してください。

簡易 IIC モードでの SCIn_TXI 割り込みは、1 フレームの通信を完了した時点で発生します。マスタ送信では SCIn_RXI 割り込みは使用されないので、CCR0.RIE は 0 です。

STI 割り込みについては、表 26.43 を参照してください。

図 26.91 に、ICR.IICINTM が 1 の状態で、CPU によるアドレス送信と DTC または DMAC によるデータ送信の場合のフローチャートを示します。10 ビットスレーブアドレス使用時は、[3] と [4] の手順を 2 回繰り返します。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。



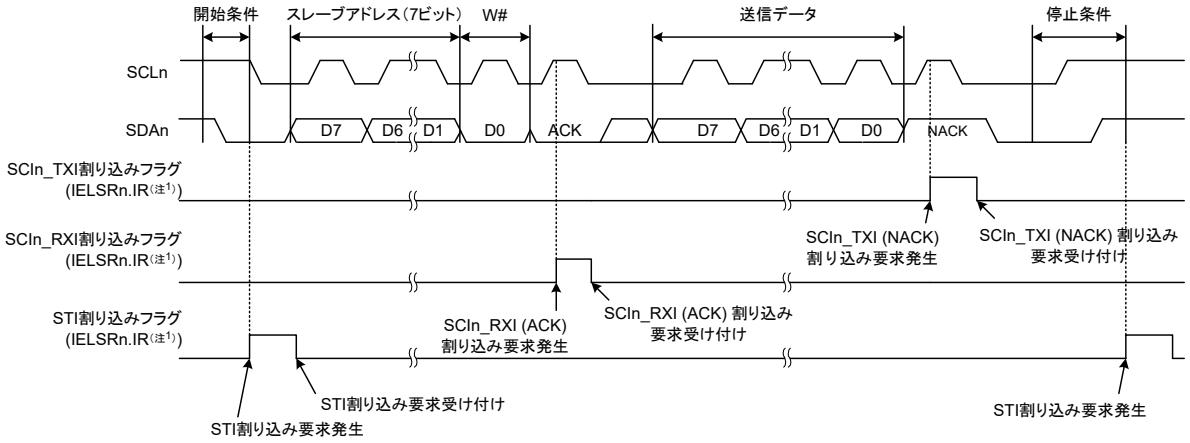
注 1.　対応する割り込みイベント番号は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.89　簡易 IIC モードにおけるマスタ送信の動作例 1（7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時） (ICR.IICINTM = 1)

マスタ送信で、ICR.IICINTM ビットを 0（ACK 割り込み、NACK 割り込みを使用）にした場合、ACK 割り込みをトリガにして DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は、NACK 割り込みをトリガにして、送信中止や再送信などのエラー処理を行います。

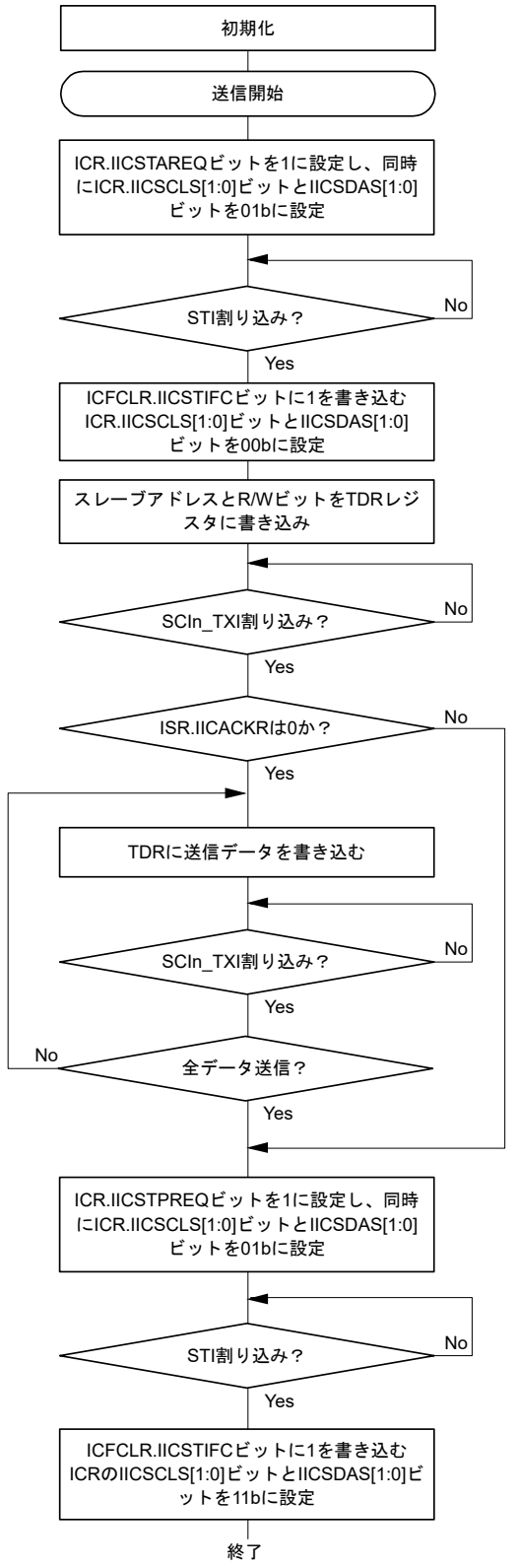
TDR にデータを書き込んだ後に、なんらかの理由で通信をリスタートさせたい場合は以下の手順に従ってください。

1. CCR0 レジスタの TE、RE ビットを 0 に設定して通信を停止させてください。
2. ICR.IICSCLS[1:0]ビットと ICR.IICSDAS[1:0]ビットに 11b を設定し、I^2C バスを解放し、各条件生成をクリアしてください。
3. CSR レジスタの RDRF フラグが 1 に設定されている場合、RDR レジスタをダミーで読み出し、RDRF ビットを 0 に設定してください。
4. CCR0 レジスタの TE、RE ビットに 1 を設定し、次の通信を開始してください。



注 1.　対応する割り込みイベント番号は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.90　簡易 IIC モードにおけるマスタ送信の動作例 2（7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時） (ICR.IICINTM = 0)



［1］　簡易IICモード時の初期化：
送信のため、CCR0.RIEビットに0を設定します。
（SCIn_RXI割り込み要求とSCIn_ERI割り込み要求は無効になります。）

［2］　開始条件生成

［3］　TDRへの書き込み：
スレーブアドレスとR/Wビット値をTDRレジスタに書き込んでください。

［4］　スレーブデバイスからのACK応答の確認：
ISR.IICACKRビットを確認します。値が0の場合、スレーブデバイスがACK応答を返し、処理が行われることを示します。値が1の場合、スレーブデバイスからの応答がないことを示します。
そのため、次の処理は停止条件の生成になります。

［5］　シリアル送信継続の手順：
送信を継続する場合、次の送信データをTDRに書き込みます。
最初の送信データを除き、SCIn_TXI割り込み要求でDMACまたはDTCを起動し、TDRにデータを書き込むことができます。
ただし、この場合、ACKとNACKのどちらの状態かを確認することはできません。

［6］　停止条件の生成

注.　簡易 IIC モードでは、通信を完了した時点で SCIn_TXI 割り込みが発生します。

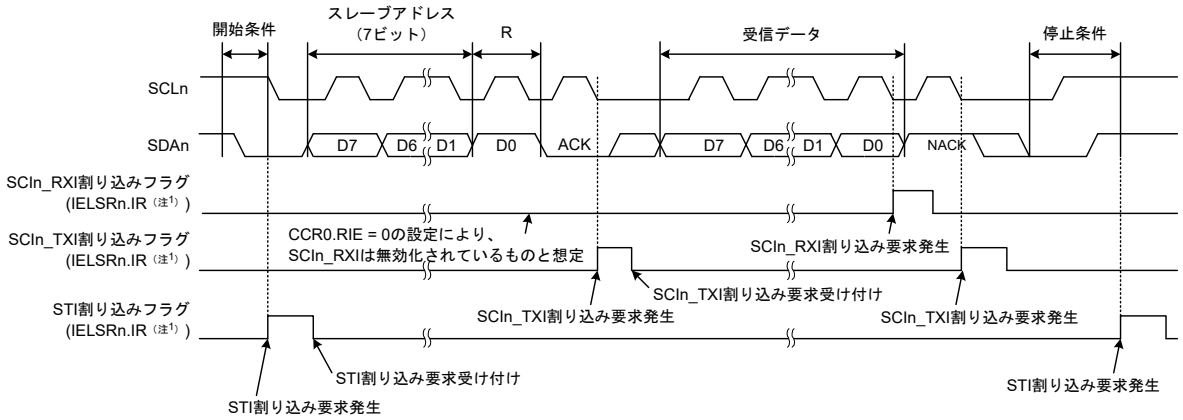
図 26.91　簡易 IIC モードにおけるマスタ送信のフローチャート例（送信割り込み、受信割り込み使用時）

26.8.6　マスタ受信動作（簡易 IIC モード）

図 26.92 に簡易 IIC モードにおけるマスタ受信の動作例を、図 26.94 にマスタ受信のフローチャート例を示します。

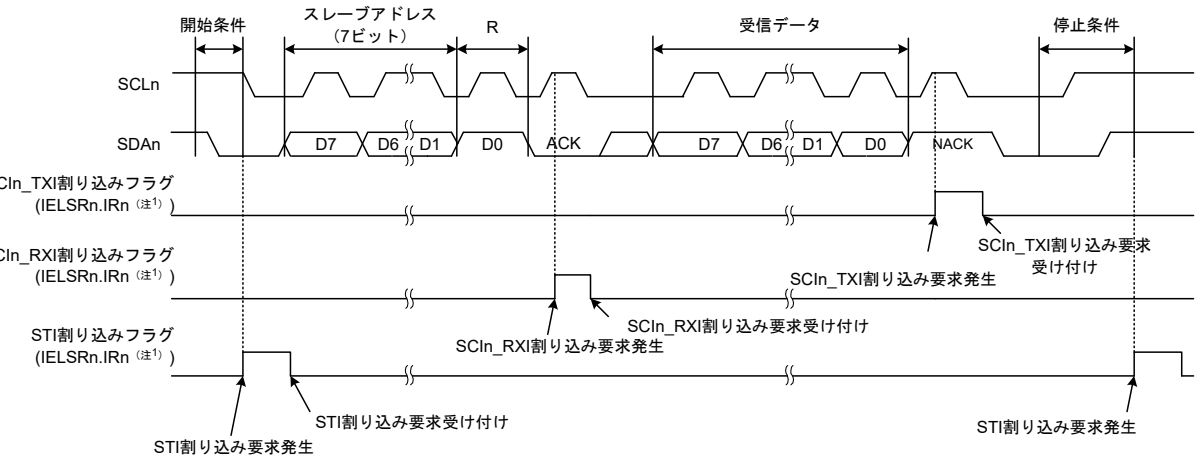
下図では、ICR.IICINTM ビットが 1（受信割り込み、送信割り込みを使用）および 0（ACK 割り込み、NACK 割り込みを使用）の場合を想定しています。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。



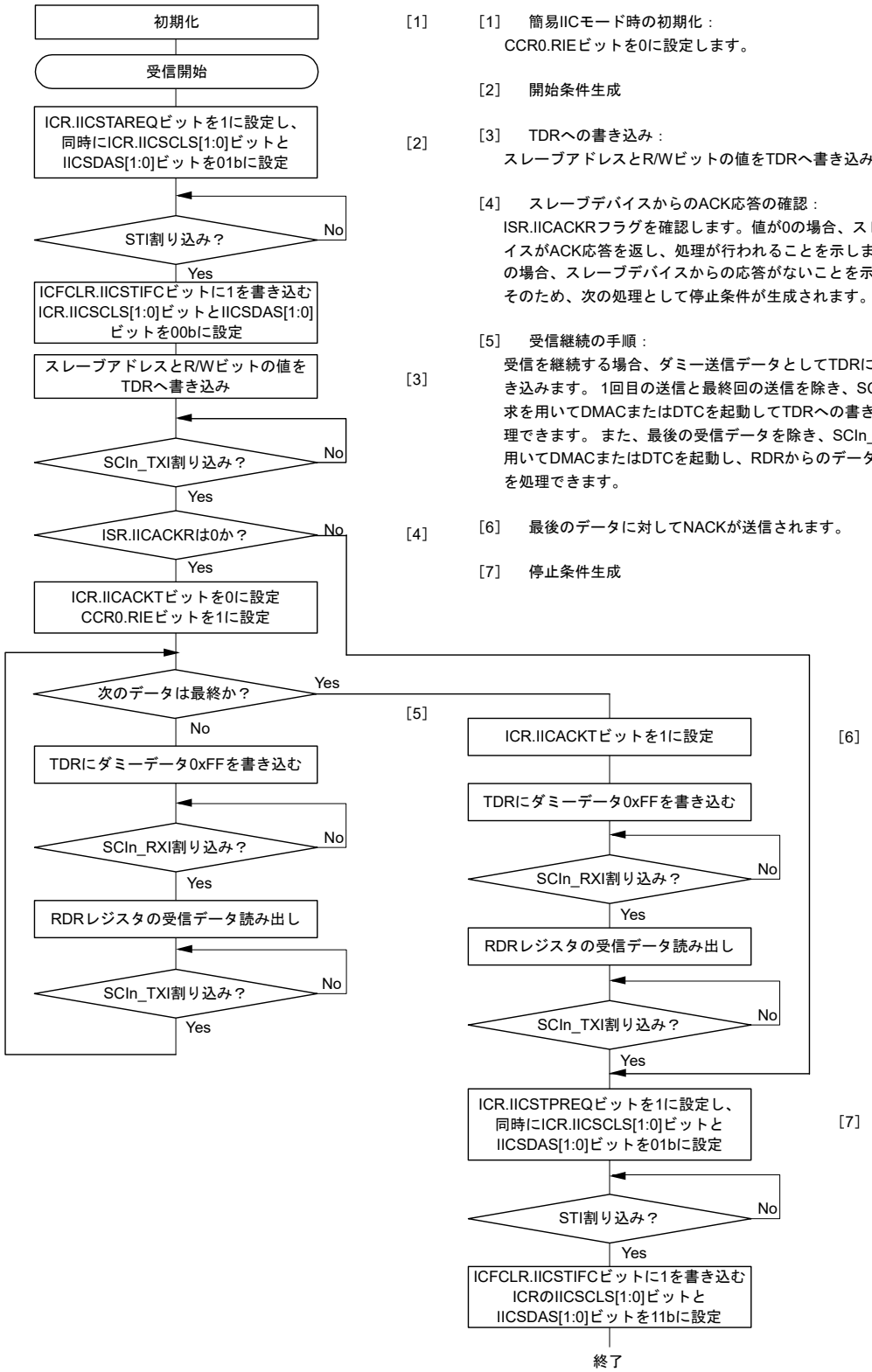
注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.92　簡易 IIC モードにおけるマスタ受信の動作例（7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時） (ICR.IICINTM = 1)



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.93　簡易 IIC モードにおけるマスタ受信の動作例（7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時 (ICR.IICINTM = 0)）



[1]　簡易IICモード時の初期化：
CCR0.RIEビットを0に設定します。

[2]　開始条件生成

[3]　TDRへの書き込み：
スレーブアドレスとR/Wビットの値をTDRへ書き込みます。

[4]　スレーブデバイスからのACK応答の確認：
ISR.IICACKRフラグを確認します。値が0の場合、スレーブデバイスがACK応答を返し、処理が行われることを示します。値が1の場合、スレーブデバイスからの応答がないことを示します。そのため、次の処理として停止条件が生成されます。

[5]　受信継続の手順：
受信を継続する場合、ダミー送信データとしてTDRに0xFFを書き込みます。 1回目の送信と最終回の送信を除き、SCIn_TXI要求を用いてDMACまたはDTCを起動してTDRへの書き込みを処理できます。 また、最後の受信データを除き、SCIn_RXI要求を用いてDMACまたはDTCを起動し、RDRからのデータ読み出しを処理できます。

[6]　最後のデータに対してNACKが送信されます。

[7]　停止条件生成

注.　簡易 IIC モードでは、通信を完了した時点で SCIn_TXI 割り込み要求が発生します。

図 26.94　簡易 IIC モードにおけるマスタ受信のフロー例（送信割り込み、受信割り込み使用時 (ICR.IICINTM = 1)）

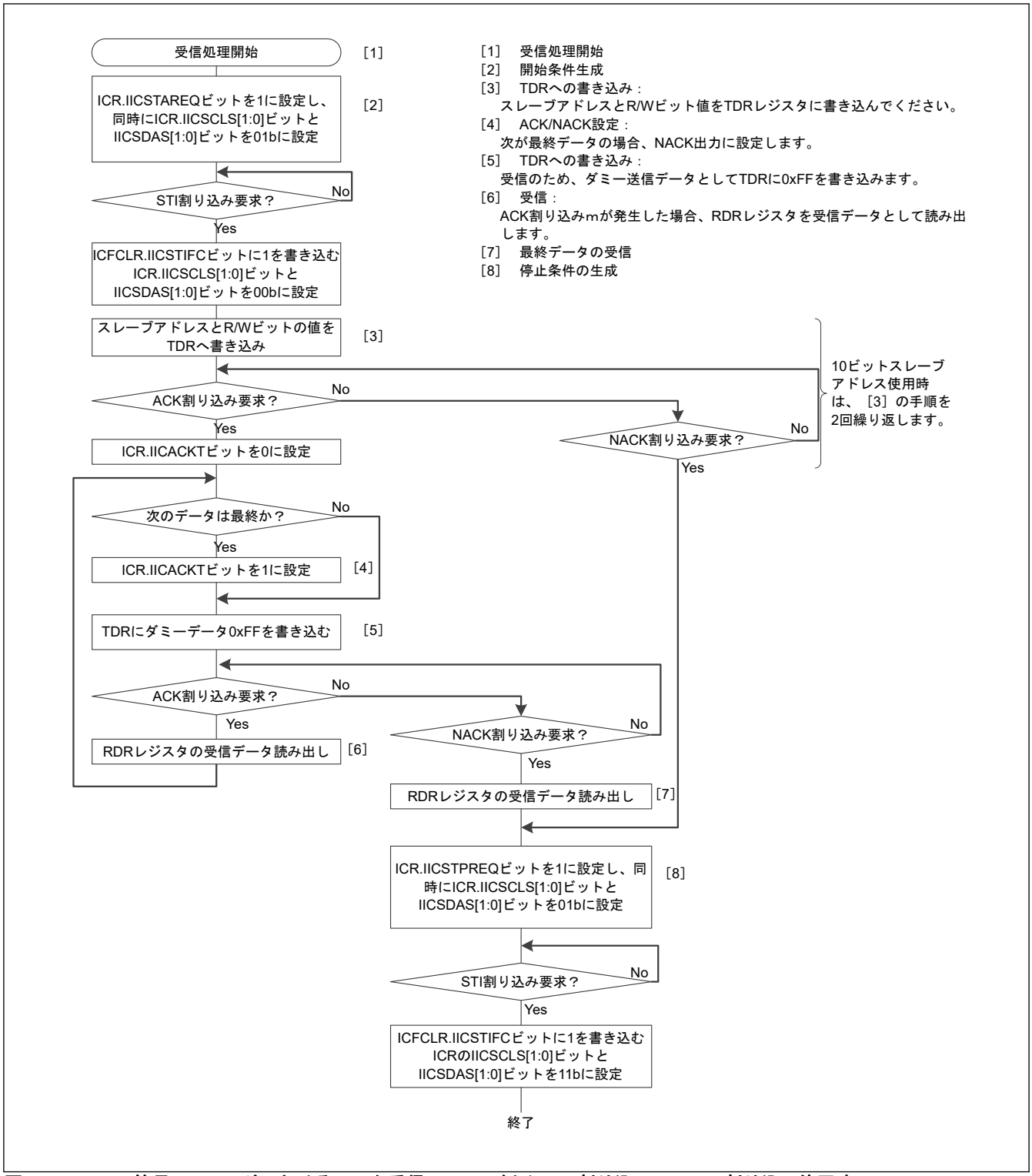


図 26.95 簡易 IIC モードにおけるマスタ受信のフロー例（ACK 割り込み、NACK 割り込み使用時 (ICR.IICINTM = 0)）

26.9 簡易 SPI モードの動作

SCI は拡張機能として、1 つまたは複数のマスタと複数のスレーブとの間で通信が可能な、簡易 SPI モードをサポートしています。

簡易 SPI モードの設定 (CCR3.MOD[2:0] = 011b) を使用するとともに、CCR0.SSE ビットを 1 にすることによって、SCI は簡易 SPI モードになります。なお、構成がシングルマスタのみの場合は、簡易 SPI モードでマスタと

して使用されるデバイスの接続に、マスタ側の SSn 端子機能は不要です。よって、そのような場合は、CCR0.SSE ビットを 0 にしてください。

図 26.96 に、簡易 SPI モードの接続例を示します。マスタからの SSn 信号出力については、汎用ポートで制御してください。

簡易 SPI モードでは、クロック同期式モードと同様に、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。CCR3.SINV ビットを 1 にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもバッファ構成になっているため、送信中に次の送信データを書き込むことや、受信中に前の受信データを読み込むことが可能です。これにより、連続転送が可能となります。

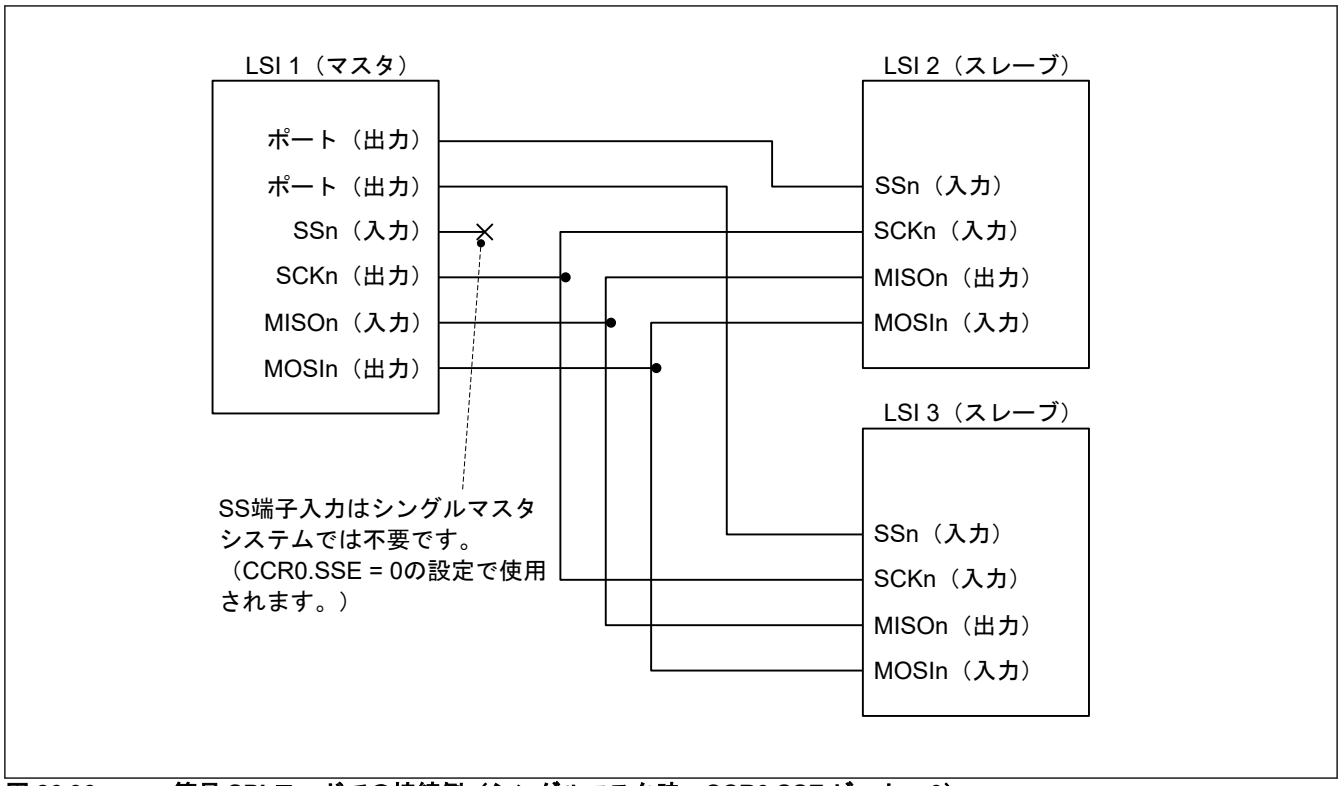


図 26.96　簡易 SPI モードでの接続例（シングルマスタ時、CCR0.SSE ビット = 0）

26.9.1　マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード（CCR3.CKE[1:0] = 00b または 01b）と、スレーブモード（CCR3.CKE[1:0] = 10b または 11b）で、各端子の入出力方向が異なります。

表 26.39 に、端子状態、モード、および SSn 端子入力レベルの間の関係を示します。

表 26.39　モードおよび SSn 端子入力と各端子状態の関係

モード	SSn 端子入力	MOSIn 端子状態	MISOn 端子状態	SCKn 端子状態
マスタモード(注1)	High（通信可能）	送信データ出力(注2)	受信データ入力	クロック出力(注3)
	Low（通信不可）	ハイインピーダンス	受信データ入力（無効）	ハイインピーダンス
スレーブモード	High レベル（通信不可）	受信データ入力（無効）	ハイインピーダンス	クロック入力（無効）
	Low レベル（通信可能）	受信データ入力	送信データ出力	クロック入力

注 1.　シングルマスタ構成 (CCR0.SSE = 0) のみの場合、SSn 端子の入力レベルにかかわらず、転送可能となります。これは、SSn 端子入力が High のときと等価です。SSn 端子は使用されず、他の目的では使用可能です。
注 2.　シリアル送信禁止（CCR0.TE ビット = 0）の場合、MOSIn 端子出力はハイインピーダンスです。
注 3.　マルチマスタ構成 (CCR0.SSE = 1) では、シリアル送受信禁止 (CCR0.TE = 0 および CCR0.RE = 0) の場合、SCKn 端子出力はハイインピーダンスです。

26.9.2 マスタモード時の SS 機能

CCR3.CKE[1:0]ビットを 00b または 01b にすると、マスタモードになります。シングルマスタ構成（CCR0.SSE ビット = 0）では SSn 端子が使用されないため、SSn 端子の値にかかわらず送受信動作が可能です。

マルチマスタ構成（CCR0.SSE ビット = 1）において SSn 端子入力が High の場合、他にマスタが存在しないこと、あるいは別のマスタが送受信動作を行っていることを示すために、マスタデバイスは SCKn 端子からクロックを出力した後、送受信動作を開始します。

マルチマスタ構成（CCR0.SSE ビット = 1）において SSn 端子入力が Low の場合は、別のマスタが存在し、送受信動作中です。MOSIn 端子出力と SCKn 端子出力はハイインピーダンスになり、送受信動作を開始することができません。また、モードフォルトエラーとして CSR.MFF ビットが 1 になります。マルチマスタ構成では、CSR.MFF フラグを読むことでエラー処理を開始してください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止しませんが、送受信動作完了後の MOSIn 出力と SCKn 出力はハイインピーダンス状態です。

SSn 端子入力が High のとき、SCKn 端子はクロック信号を出力し、MOSIn 端子はデータを出力します。SCKn 端子と MOSIn 端子がハイインピーダンス状態であっても、内部の送受信動作は継続しますが、1 キャラクタの送信または受信が完了すると停止します。この場合、SCIn_TXI、SCIn_RXI、SCIn_TEI 割り込みのいずれかが発生します。

汎用ポート端子を使用して、マスタからの SS 出力信号を生成してください。

26.9.3 スレーブモード時の SS 機能

CCR3.CKE[1:0]ビットを 10b または 11b にすると、スレーブモードになります。SSn 端子入力が High のとき、MISOn 出力端子の状態はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送信または受信動作が可能になります。

送信または受信動作中に SSn 端子入力が Low から High に変化した場合、MISOn 出力端子の状態をハイインピーダンスにします。送受信動作はただちに停止します。送信の進行中であった場合、CSR.TEND フラグはセットされず、送信完了割り込みは発生せず、異常停止状態が発生します。そのため、スレーブ送信／受信の間は SSn 端子をネゲートしないでください。異常停止が発生したときは、CCR0.RE ビットと CCR0.TE ビットを 0 に設定して、送信／受信を停止してください。送信／受信を再開するためには、TCLK × 3 サイクル + PCLK × 3 サイクル以上経過した後に CCR0.RE ビットと CCR0.TE ビットを 1 に設定します。

26.9.4 クロックと送受信データの関係

CCR3 レジスタの CPOL ビットと CPHA ビットを用いて、送受信に用いるクロックを 4 種類から選択できます。クロック信号と送受信データの関係を図 26.97 に示します。マスタモードとスレーブモードの両方で、クロックと送受信データの関係は同一です。これは、SSn 端子入力が High のときと等価です。

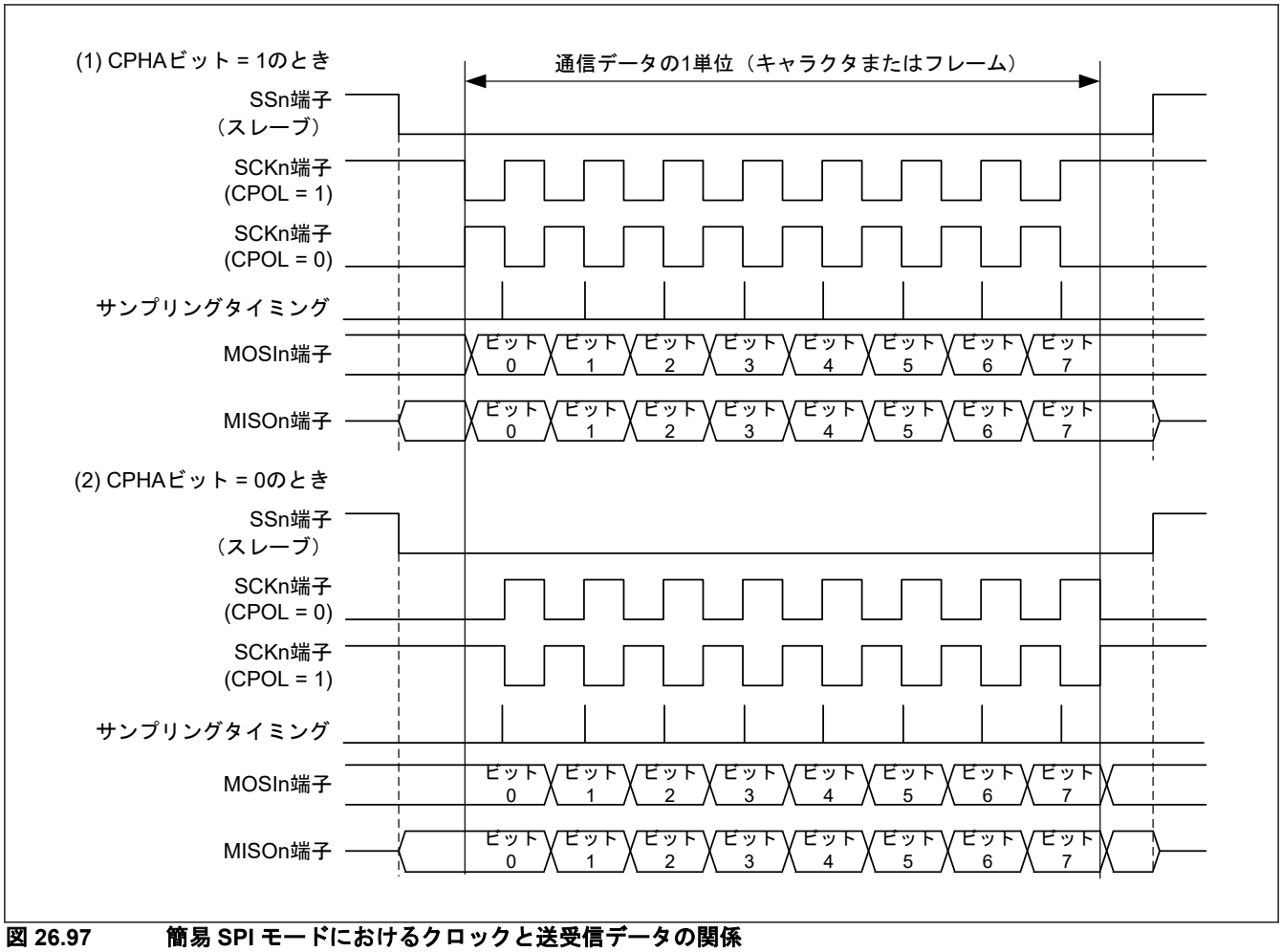


図 26.97　簡易 SPI モードにおけるクロックと送受信データの関係

26.9.5　SCI の初期化（簡易 SPI モード）

簡易 SPI モードでの初期化は、クロック同期式モードの場合と同じです。初期化フローの例は、「26.6.3. SCI の初期化（クロック同期式モード）」を参照してください。CCR3 レジスタの CPOL ビットと CPHA ビットは、マスタデバイスとスレーブデバイスの両方に適切なクロック信号となるように設定する必要があります。

動作モードや転送フォーマットに変更を加える場合は、必ず CCR0 レジスタを初期化してから行ってください。

注.　0 になるのは RE ビットのみです。CSR.ORER、FER、PER、RDR の各フラグは初期化されません。

CCR0 レジスタの TIE ビットが 1 のときに、TE ビットの値を 1 から 0、または 0 から 1 に変更すると、送信データエンプティ割り込み (SCIn_TXI) が発生します。

26.9.6　シリアルデータの送受信（簡易 SPI モード）

マスタモードでは、送受信先のスレーブデバイスの SSn 端子を、送受信開始前に Low にして、送受信終了後に High にしてください。マルチマスタ動作で CCR0.SSE ビットが 1 の状態では、マスタモードであっても SSn 端子が Low になるとモードフォールトエラーが発生します。そのため、送受信の開始前にモードフォールトエラーが発生していないことを確認してから送受信を開始して、送受信の完了後においてもモードフォールトエラーが発生しなかったことを確認してください。モードフォールトエラーが発生すると、送受信が不完全となることがあり、再送などの対応が必要となります。それ以外の手順はクロック同期式モードと同様です。

スレーブモードでは、SSn 端子の入力に従って動作します。それ以外の手順はクロック同期式モードと同様です。

26.9.7　内部クロックを使用した簡易 SPI モードでの受信サンプリングタイミング調整機能

簡易 SPI モードでの受信サンプリングタイミング調整機能は、クロック同期式モードでの受信サンプリングタイミング調整機能と同じです。動作説明については、「26.6.7. 内部クロックを使用したクロック同期式モードでの受信サンプリングタイミング調整機能」を参照してください。

26.10　ビットレートモジュレーション機能

ビットレートモジュレーション機能では、CCR2 レジスタの CKS[1:0]ビットで選択された内部クロックの 256 クロックサイクルの間で、MDDR レジスタで指定した数を用いて、ビットレートを均一に補正することが可能です。

調歩同期式モードにおいて、PCLK が CCR2 レジスタの CKS[1:0]ビットで選択されたとき、BRR と MDDR がそれぞれ 0 と 160 の場合の例を図 26.98 に示します。この例では、基本クロックの周期が均一に 256/160 に補正され、同時にビットレートも 160/256 に補正されています。

注.　内部クロックを有効にするとバイアスが発生し、内部基本クロックのパルス幅に伸縮が生じます。

クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモード、および簡易 LIN モードでは、この機能を使用しないでください。

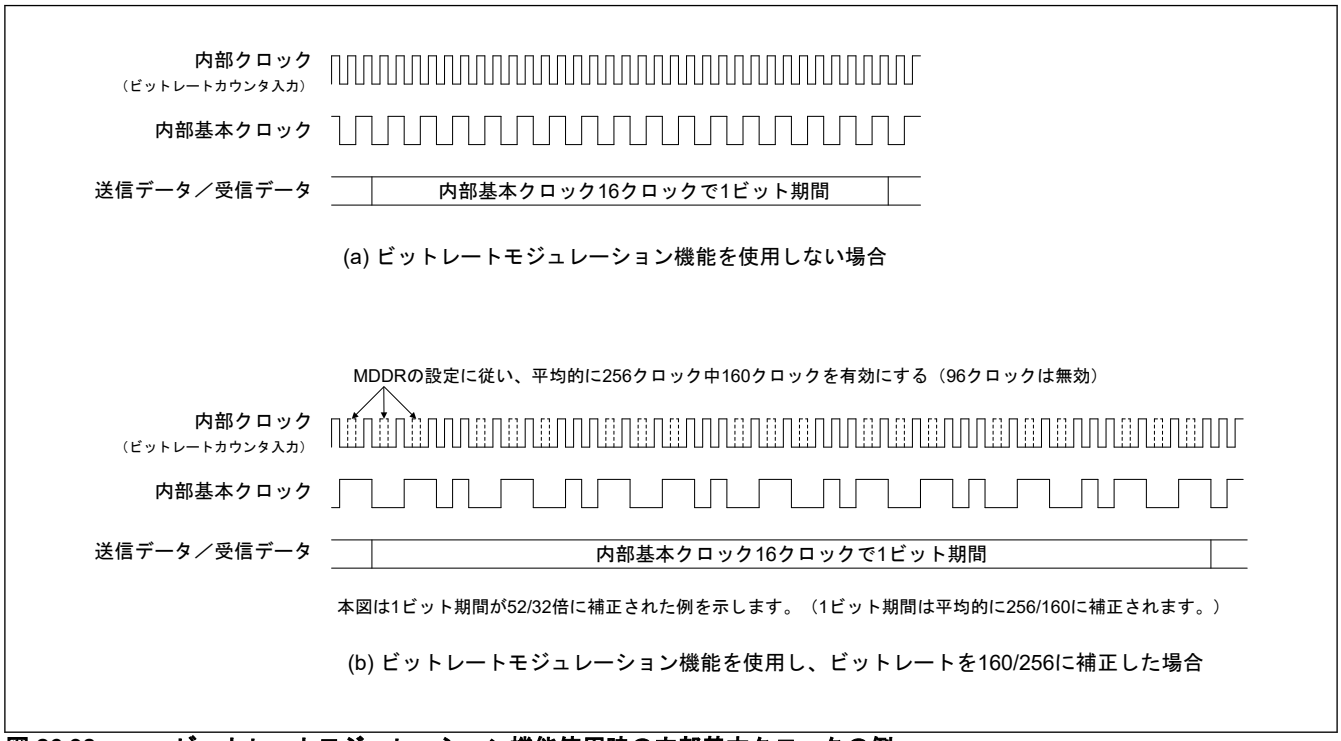


図 26.98　ビットレートモジュレーション機能使用時の内部基本クロックの例

26.11　簡易 LIN モード

SCI の拡張機能として、SCI はスタートフレームとインフォメーションフレームで構成されるシリアル通信プロトコル（図 26.99）を簡易 LIN としてサポートしています。簡易 LIN モードは、CCR3.MOD[2:0] = 110b で有効になります。簡易 LIN モードは Break Field 以外の送受信制御に調歩同期式モードと同じ回路を使用するため、簡易 LIN モードには、調歩同期式モードに必要な基本通信設定も必要です。

（簡易 LIN を使用する場合の設定値については、「26.2. レジスタの説明」の説明を参照してください。特に、CCR3.RXDESEL を初期値から変更して 1 にする必要があります。）

スタートフレームは Break Field、Control Field 0、および Control Field 1 で構成されます。インフォメーションフレームはいくつかの Data Field、および CRC16 Upper Field、CRC16 Lower Field で構成できます。

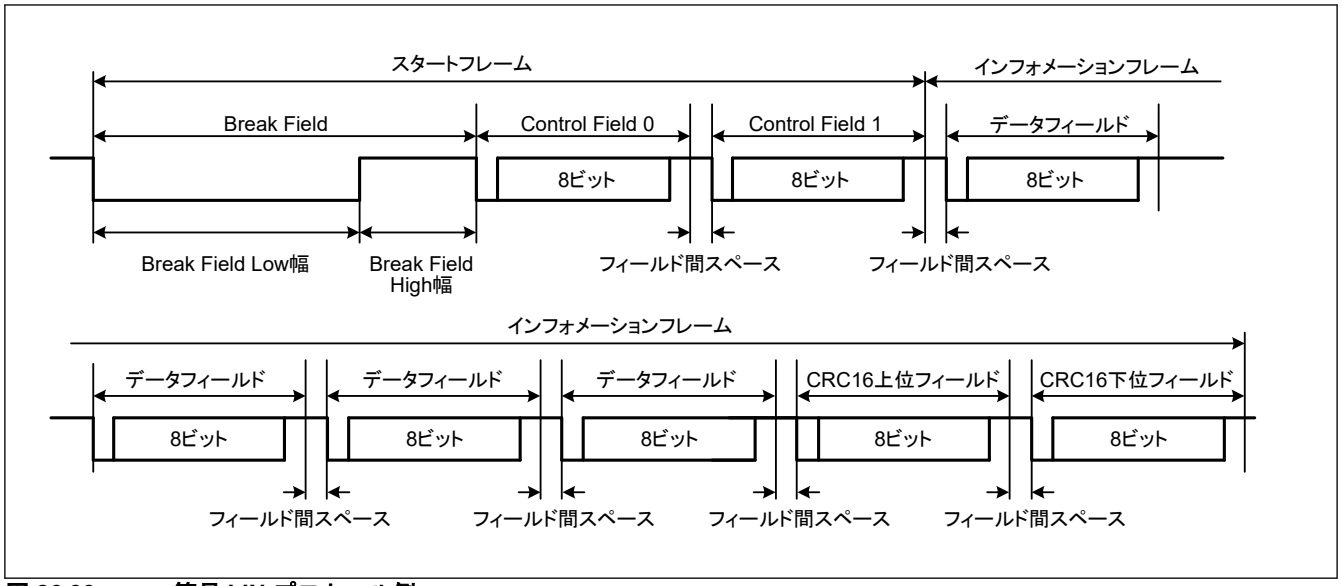


図 26.99 簡易 LIN プロトコル例

以下に、簡易 LIN を使用する場合の動作について説明します。ここでは、以下の条件で動作を説明しています。

通信端子 (RXDn / TXDn) レベル反転機能：OFF (RINV = TINV = 0)

通信端子 (RXDn / TXDn) レベル反転機能を有効にした状態で簡易 LIN を使用する場合は、RXDn 信号レベルと TXDn 信号レベルをそれぞれ反転したレベルに置き換えてください。

26.11.1 簡易 LIN スタートフレーム送信

図 26.100 に、Break Field、Control Field 0、および Control Filed 1 で構成されたスタートフレームの送信例を示します。（スタートフレームの構成に応じて、Break Field および Control Field 0 を省略します。）

図 26.101 に、スタートフレーム送信のフローチャートを示します。

スタートフレーム送信中、SCI は以下のように動作します。

1. 調歩同期式モードでの SCI の初期化フロー（図 26.66）に従って、SCI の初期設定を行います。簡易 LIN モードでは、Break Field の前に SCIn_TXI が出力されるのを回避するため、CCR0.TE と TIE を同時に 1 にしないでください。そのため、以下の 2 つの手順を連続して実行し、SCI の初期化フロー（調歩同期式モード）の手順[9] の設定を行います。
   - CCR0.TIE 以外のビットを設定（CCR0.TIE = 0、CCR0.TE = 1、および CCR0.RE = 0）
   - CCR0.TIE を 1 に設定
2. TCST に 1 を書き込むと、Break Field 出力タイマがカウントを開始し、XCR2.BFLW[15:0] に設定された期間、TXDn 端子から Low (Break Field) を出力します。タイマカウントクロックソースを XCR0.TCSS[1:0] で選択できます。
   XCR1.TCST に 0 を書き込むと、Break Field の出力が中断します。中断後、CCR0.TE を 0 にし、送信をオフにします。
3. 簡易 LIN モジュールのタイマカウント値が XCR2.BFLW[15:0] の設定値と一致すると、タイマがカウントを停止し、TXDn 端子の出力レベルを反転させて、XSR0.BFOF フラグが 1 になります。(注1)また、このときに XCR0.BFOIE が 1 になっている場合、SCIn_TXI 割り込みが生成されます。
4. SCIn_TXI 割り込みが生成されて XSR0.BFOF が 1 であることを確認したら、送信データを書き込みます。その後、SCI を用いて Control Field 0 データが送信されます。(注1)

注. LIN 通信では、Break Field 出力の終了から次のデータ送信開始までの Break デリミタ（アイドル期間）が 1 ビット以上必要です。そのため、Break デリミタ長は Break Field 出力の完了時にカウントされます。Break デリミタ長のカウント中に送信データが書き込まれた場合、Break デリミタ長のカウントが完了するまで送信データは開始されません。Break デリミタ長のカウント後に送信データが書き込まれると、通常のデータ送信と同じタイミングで送信が開始されます。
Break Field 出力後の Break デリミタ長カウント時間：
1 ビット～2 ビット長 (CCR3.STP = 0)

2 ビット～3 ビット長 (CCR3.STP = 1)

5. Control Field 0 データが送信された後で、TDR に Control Field 1 を書き込みます。その後、送信が実行されます。
6. Control Field 1 データが送信された後で、インフォメーションフレームデータが送信されます。

注 1. XSR0.BFOF を 1 にした後で、クリアせずに XCR1.TCST に 1 を書き込むと、Break Field の送信終了時に SCIn_TXI 割り込みは出力されません。XCR1.TCST に 1 を書き込む前に、XSR0.BFOF をクリアしてください。

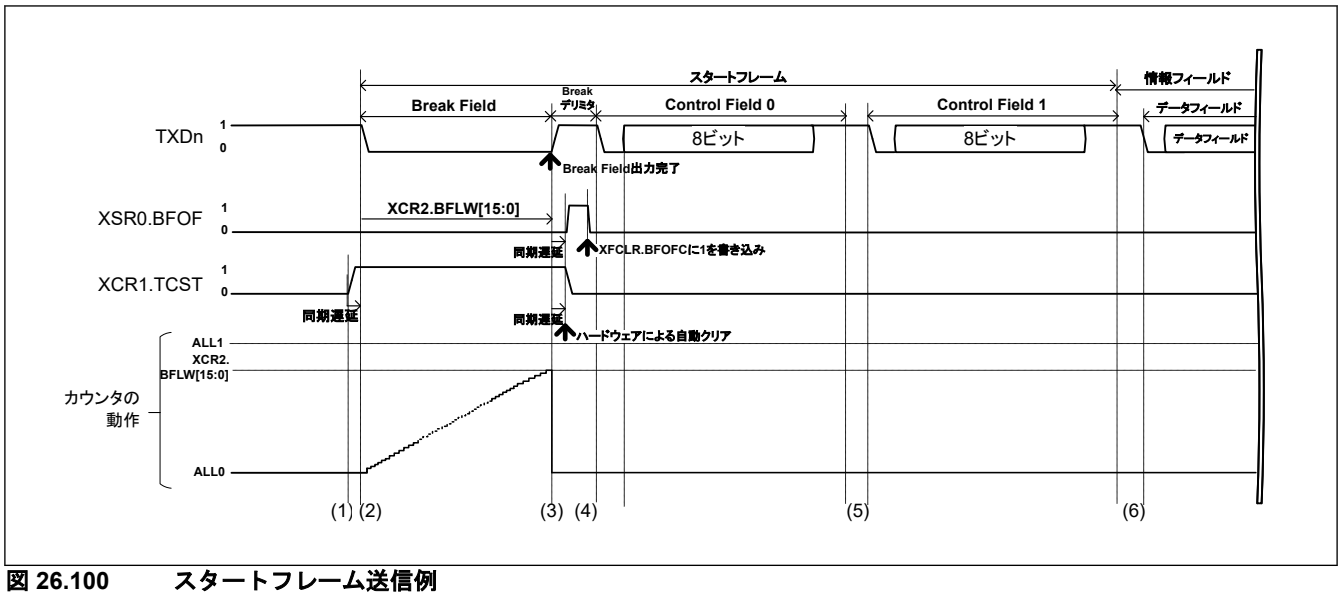


図 26.100 スタートフレーム送信例

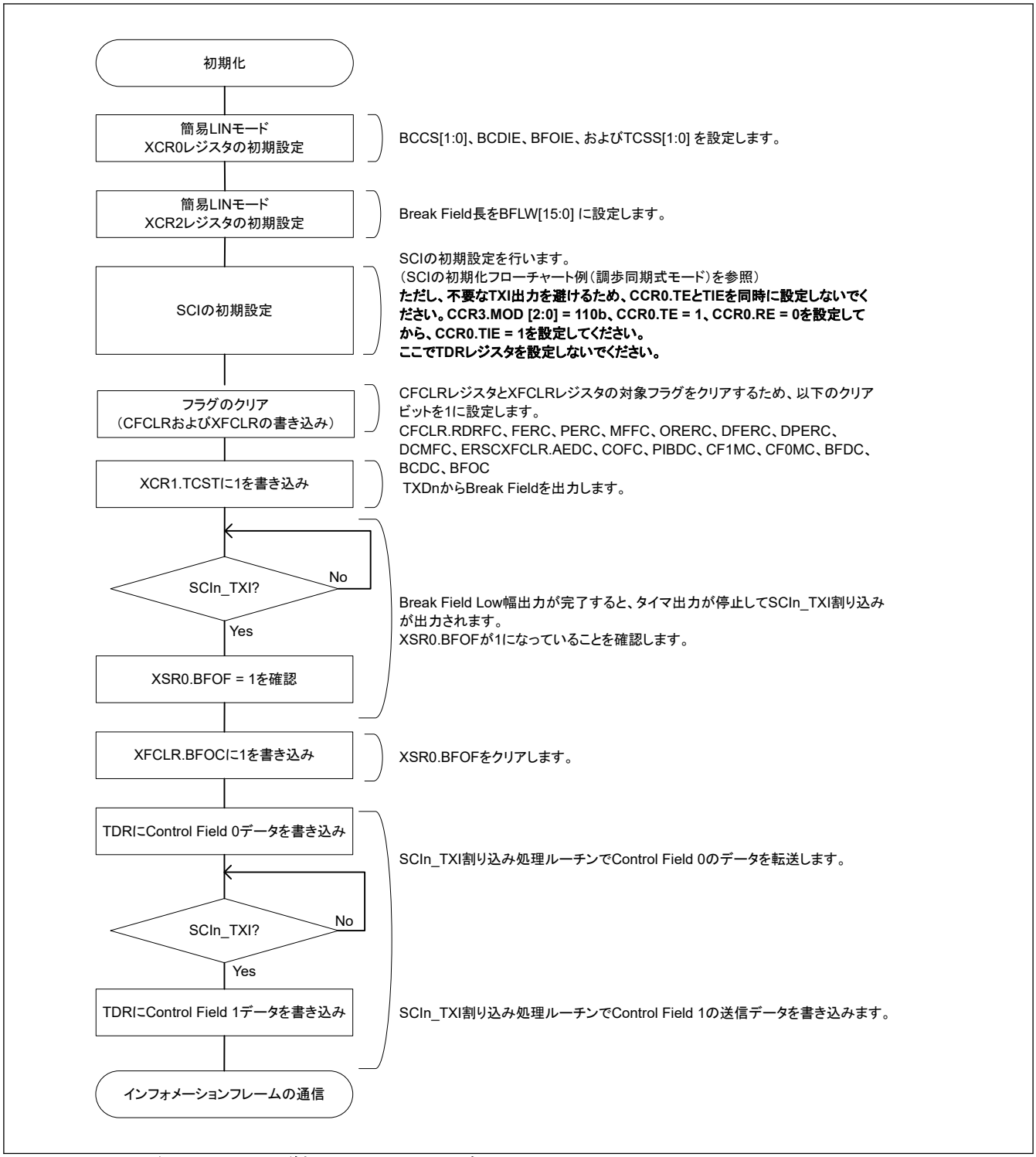


図 26.101　スタートフレーム送信のフローチャート例

26.11.2　簡易 LIN スタートフレーム受信

SCI は、図 26.102 に示すようにスタートフレーム構成を検出できます。

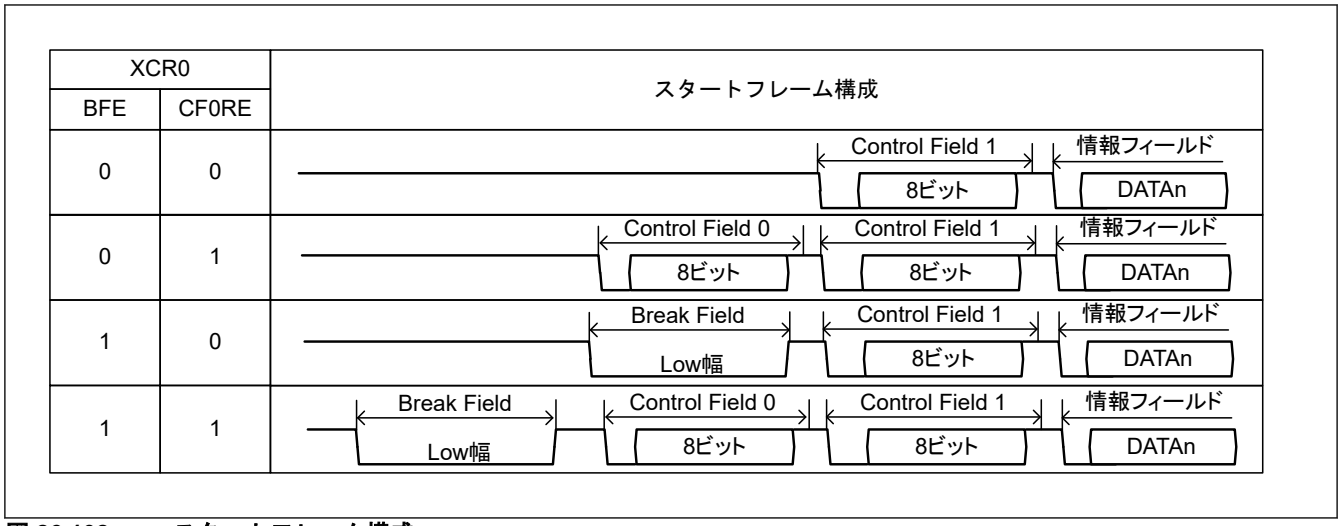


図 26.102　　スタートフレーム構成

(1)　簡易 LIN でのスタートフレーム通常受信（PIB は未使用）

図 26.103 に、Break Field、Control Field 0、および Control Field 1 で構成されたスタートフレームの通常受信例を示します。図 26.104 に、Control Field 1 の場合に Break Field を検出する受信例を示します。図 26.105 にスタートフレームの受信フローチャートを、図 26.106 に状態遷移図を示します。

スタートフレームの受信時、SCI は以下のように動作します。スタートフレームの構成に応じて、Break Field および Control Field 0 の処理を省略します。

1. XCR1.SDST に 1 を書き込むと、スタートフレームの検出が可能になります。XCR0.BFE = 1 の場合、Break Field が検出されるまで、SCI コアへの RXDn 入力が無効になります（XSR0.RXDSF が 1 になっているため）。Break Field が検出されると、SCI コアで RXDn 入力を受信できるようになります (XSR0.RXDSF = 0)。
2. RXDn 端子から Low が入力されると、Break Field 検出カウントが開始します。タイマカウントクロックソースを XCR0.TCSS[1:0] で選択できます。
3. XCR2.BFLW[15:0] に設定されている期間以上の Low が RXDn 端子から入力されると、Break Field として判断されます。このとき、XSR0.BFDF が 1 になります。このときに XCR0.BFDIE が 1 になっている場合、SCIn_BFD 割り込みが生成されます。
   タイマは、RXDn 立ち上がりエッジまたはカウンタオーバーフローまでカウントを継続します。
4. Break Field が検出された後で RXDn 端子からの入力レベルが High になった場合、BMEN = 0 のときには、カウント値が XSR1.TCNT[15:0] にキャプチャされます。このとき、XSR0.RXDSF が 0 にクリアされて、SCI コアが RXDn 入力の受信を開始します。
5. SCI コアが Control Field 0 の受信を開始します。簡易 LIN はエッジインターバルを継続してカウントするため、簡易 LIN は XCR2.BFLW[15:0] に設定されている期間以上の Low を Break Field の検出として判断します。Break Field が Control Field 0 フェーズで検出されると、SCI コアは Control Field 0 を再度受信するまで待機します(図 26.104)。
6. Control Field 0 を受信すると、SCIn_RXI 割り込みが発生して Control Field 0 データが XSR0.CF0RD[7:0] に格納されます。設定されている XCR2.CF0D[7:0] 値と受信データが一致する場合、XSR0.CF0MF が 1 になります。設定されている XCR2.CF0D[7:0] 値と受信データが異なる場合、SCI は Break Field 検出前の状態に遷移します。
7. SCI コアが Control Field 1 の受信を開始します。BFE = 1 の場合は、Control Field 0 の場合と同様に、SDST = 1 の間は Break Field 検出機能が継続して有効になります。Break Field が Control Field 1 フェーズで検出されると、SCI コアは Control Field 0 を再度受信するまで待機します。
8. Control Field 1 を受信すると、SCIn_RXI 割り込みが発生して Control Field 1 データが XSR0.CF1RD[7:0] に格納されます。設定されている XCR1.PCF1D[7:0] 値または設定されている XCR1.SCF1D[7:0] 値と受信データが一致する場合、XSR0.CF1MF が 1 になります。設定されている XCR1.PCF1D[7:0] 値とも設定されている XCR1.SCF1D[7:0] とも受信の Control Field 1 データが一致しない場合、SCI は Break Field 検出前の状態に遷移します。
9. SCI コアがインフォメーションフレームの通信を実行します。

10. 通信が完了すると、XCR1.SDST に 0 を、CCR0.RE に 0 を書き込んで受信を停止します。

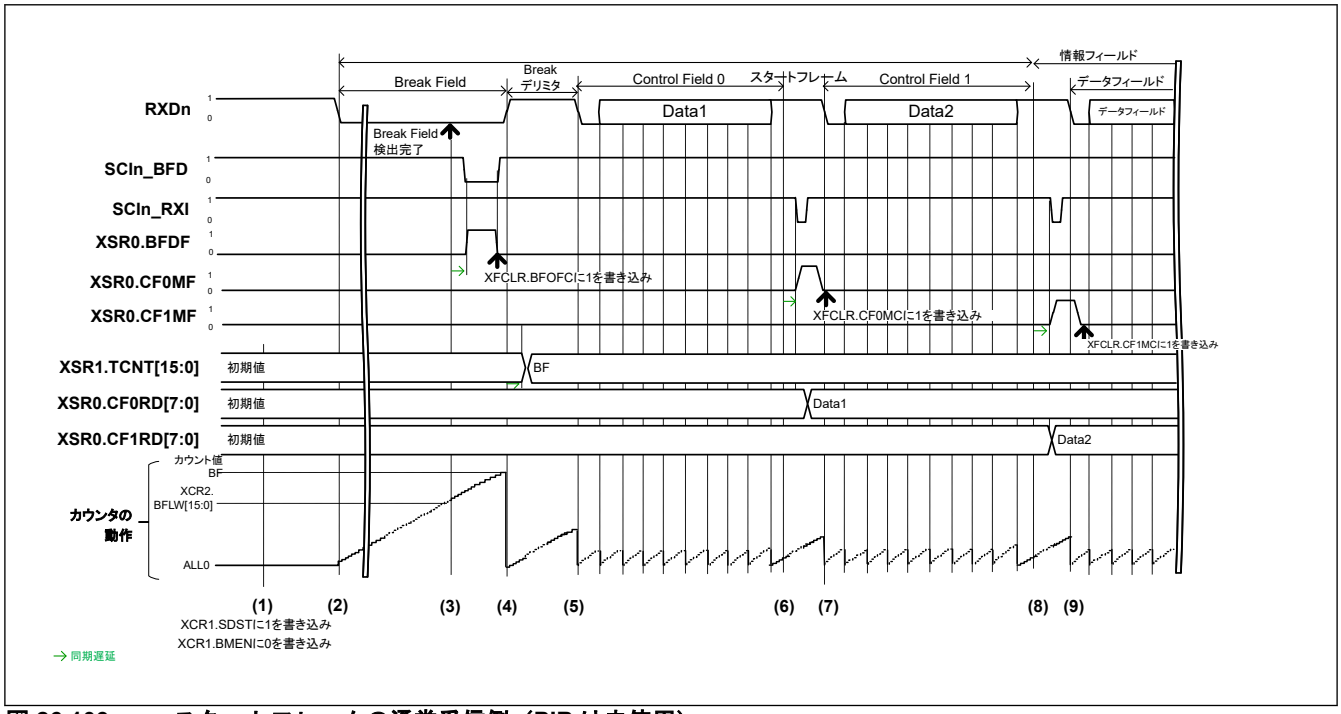


図 26.103　　スタートフレームの通常受信例（PIB は未使用）

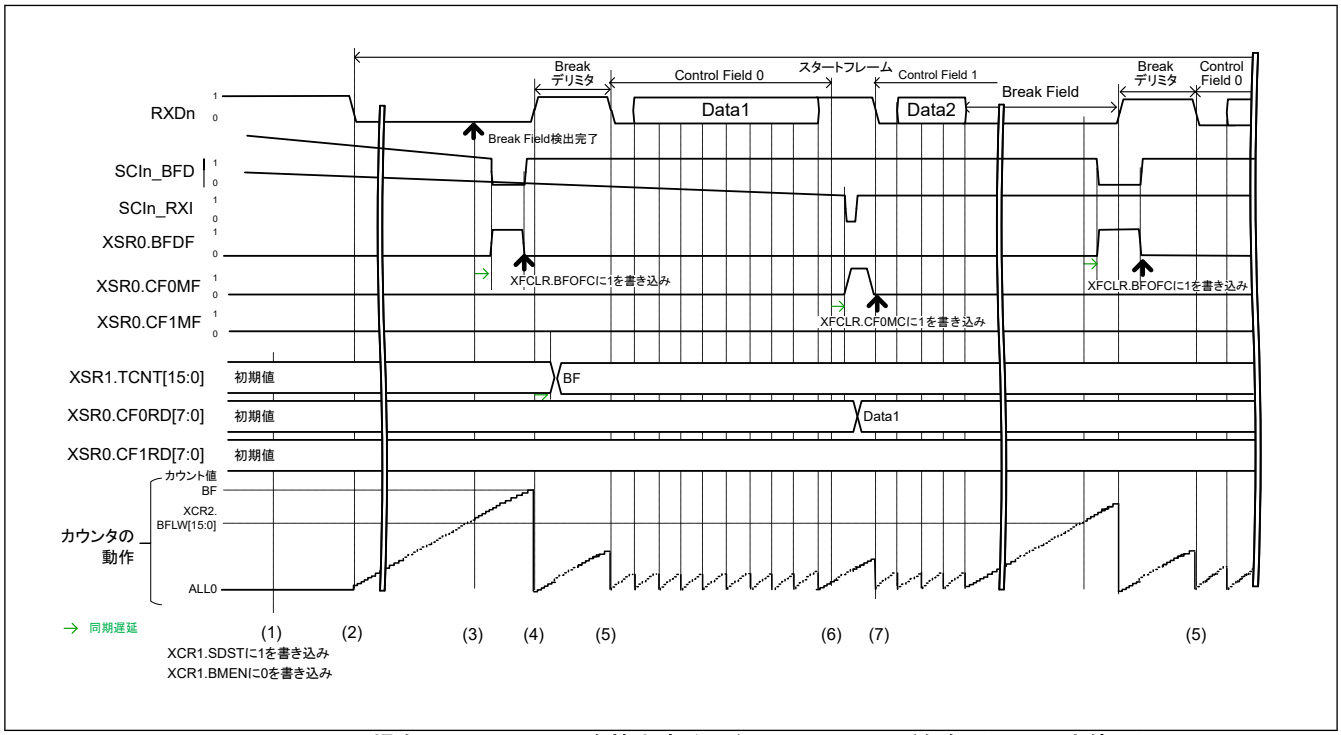


図 26.104　　Control Field 1 の場合に Break Field を検出するスタートフレーム受信例（PIB は未使用）

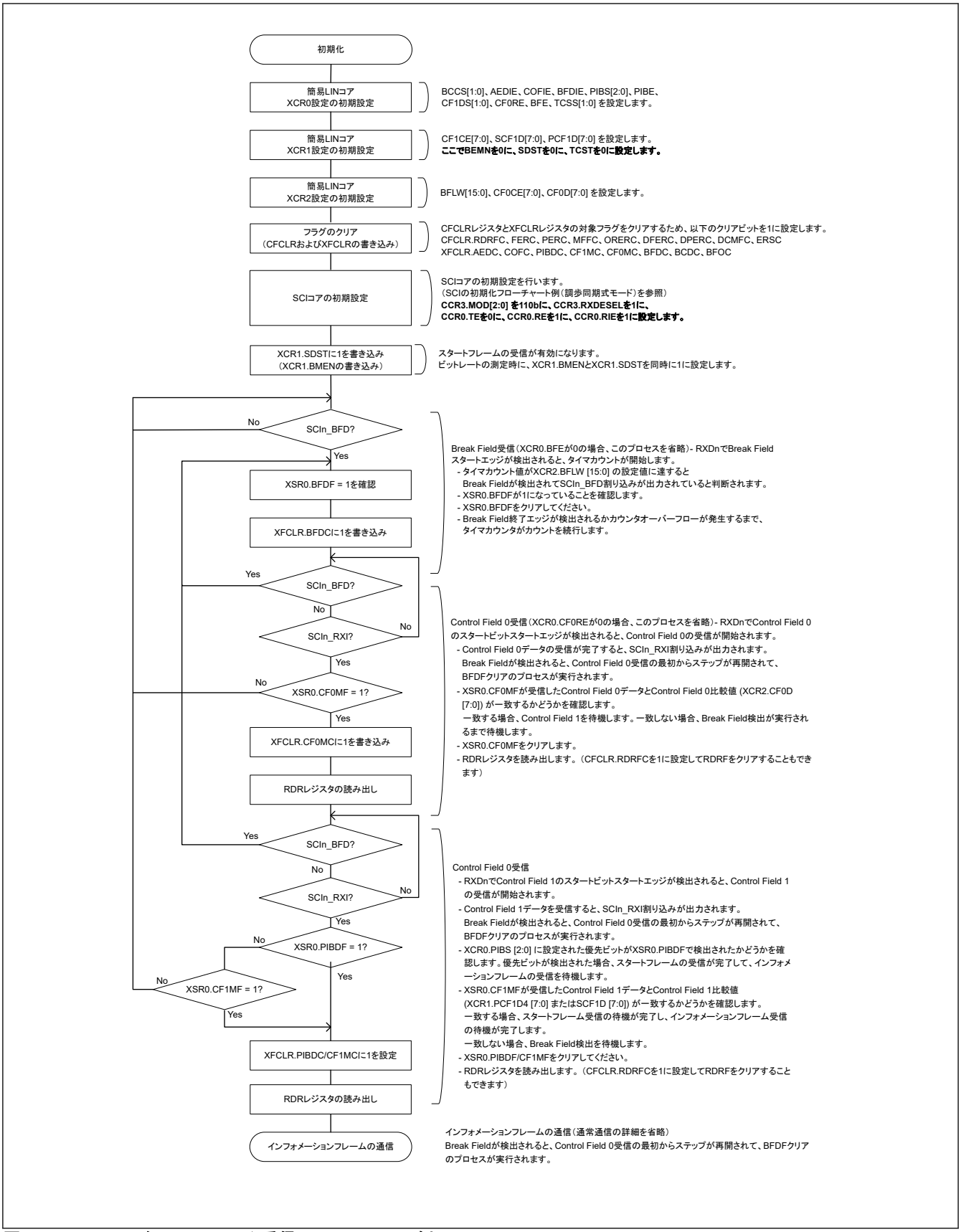


図 26.105　　スタートフレーム受信フローチャート例

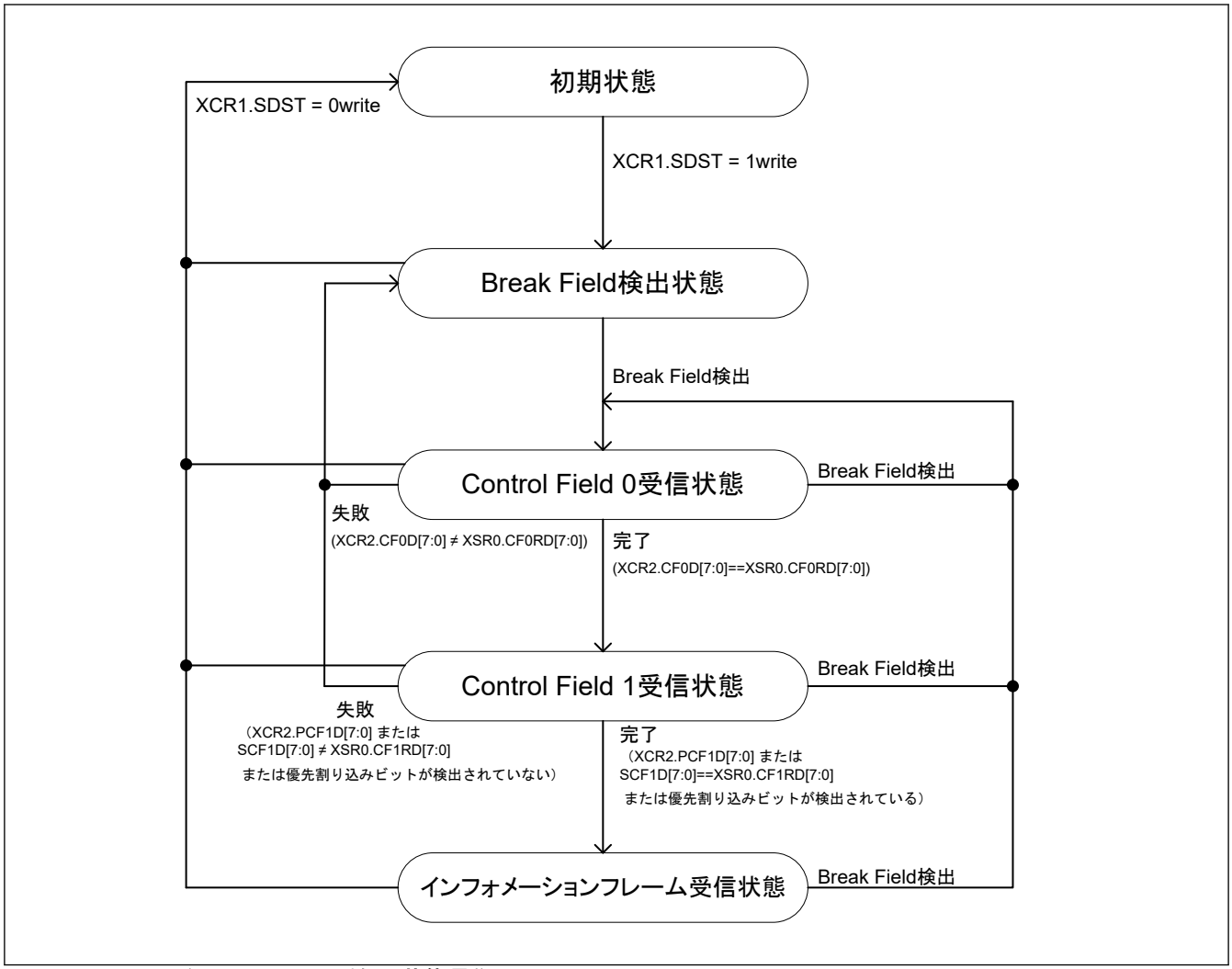


図 26.106　スタートフレーム受信の状態遷移図

(2)　簡易 LIN スタートフレーム受信（優先割り込みビットを使用）

図 26.107 に、優先割り込みビットを使用したスタートフレーム受信例を示します。優先割り込みビットは、XCR0.PIBE を 1 にすると有効になります。

SCI は、優先割り込みビットを使用してスタートフレーム受信時に以下のように動作します。

(1)～(7) は、図 26.103 のスタートフレーム受信例の (1)～(7) と同じです。

(8) XCR0.PIBS[2:0] ビットに指定されている値が、設定されている XCR1.PCF1D[7:0] 値と一致する場合、XSR0.PIBDF は 1 になり、SCI がインフォメーションフレームの通信を実行します設定されている XCR1.PCF1D[7:0] 値とも設定されている XCR1.SCF1D[7:0] とも受信の Control Field 1 データが一致せず、かつ優先割り込みビットが検出されない場合、SCI は Break Field 検出前の状態に遷移します。

(9) SCI のコミュニけーどインフォメーションフレーム

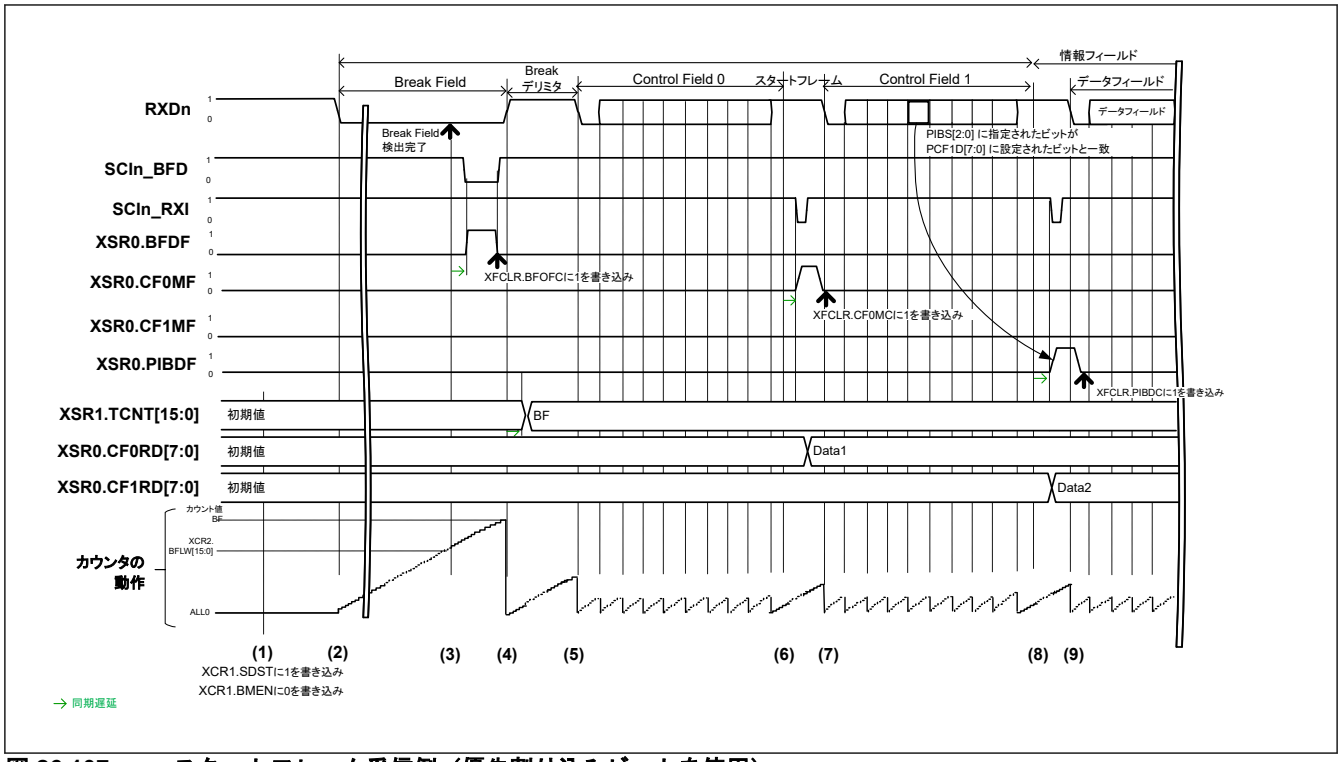


図 26.107　スタートフレーム受信例（優先割り込みビットを使用）

26.11.3　簡易 LIN バス競合検出機能

簡易 LIN モード (CCR3MOD[2:0] = 110) では、TE = 1 の場合、Break Field 出力時およびデータ送信時にバス競合検出機能が動作します。

図 26.108 は、バス競合検出機能の動作例を示しています。TXDn 端子出力および RXDn 端子入力が、XCR0.BCCS[1:0] に設定されたバス競合検出クロックによってサンプリングされます。3 回連続で不一致が発生すると、XSR0.BCDF が 1 になり、このとき XCR0.BCDIE が 1 になっていると、SCIn_ERI 割り込みが発生します。

SCIn_ERI 割り込みが発生すると、図 26.109 に従って送信を停止します。バス状態を確認して、送信を再開するかどうかを判断してください。

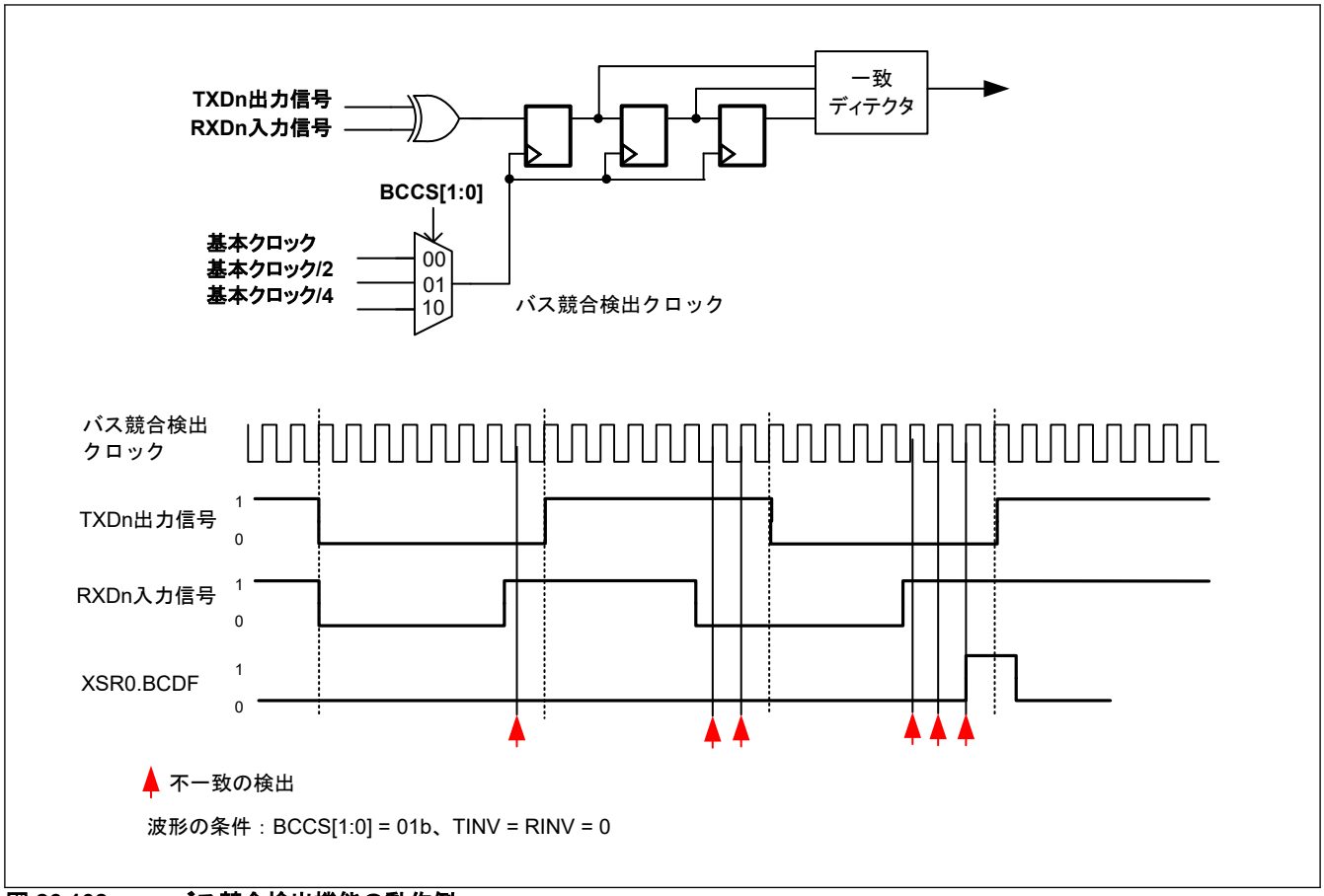


図 26.108　バス競合検出機能の動作例

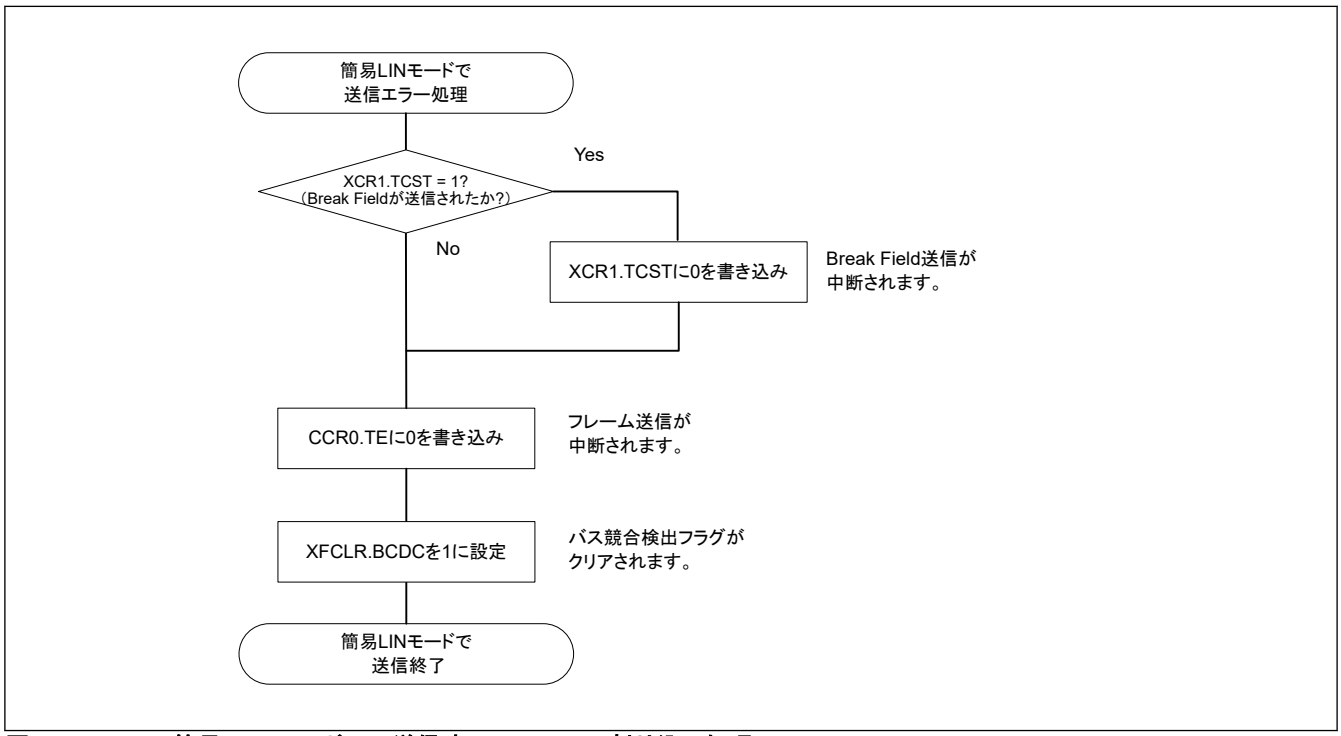


図 26.109　簡易 LIN モードでの送信時の SCIn_ERI 割り込み処理フロー

26.11.4　簡易 LIN ビットレート測定機能

この機能は、RXDn 端子からの入力信号の有効エッジ間のビットレートを測定します。図 26.110 は、ビットレート測定機能の動作例を示しています。

1. XCR1.SDST および XCR1.BMEN に 1 を書き込むと、ビットレート測定が有効になります。このビットを 1 にすると、Control Field 0 データと Control Field 1 データの有効エッジインターバルが測定されます。ただし、Break Field と Break デリミタの間のビットレートは測定されません。ビットレートを測定する場合だけ、XCR1.BMEN と XCR1.SDST を同時に 1 にします。
2. ビットレートは Break Field では測定されないため、Break Field 終了時の立ち上がりエッジでは有効エッジ検出フラグは 1 にならず、カウンタキャプチャ値は XSR1.TCNT[15:0] に格納されません。
3. カウンタが Control Field 0 のスタートビットの立ち下がりエッジからカウントを開始します。Break デリミタのカウント値は XSR1.TCNT[15:0] にキャプチャされません。
4. スタートビットの立ち上がりエッジが有効エッジとして検出され、その後、XSR0.AEDF フラグが 1 になります。このときに XCR0.AEDIE が 1 になっている場合、SCIn_AED 割り込みが出力されます。スタートビットカウント値が XSR1.TCNT[15:0] に格納されます。XSR1.TCNT[15:0] 値は、有効なキャプチャ値が読み出されるまで保持されます。
5. 有効エッジが RXDn 入力端子から入力された場合でも、XRS1.TCNT[15:0] 値は読み出されておらず、保持は解除されていないため、この有効エッジタイミングのカウント値はキャプチャされません。この場合、SCIn_AED 割り込みは出力されません。
6. XSR1.TCNT[15:0] 値が読み出されます。次に、XSR1.TCNT[15:0] の保持が解除されて、ハードウェアによって XSR0.AEDF フラグがクリアされます。
7. XSR1.TCNT[15:0] の保持が解除されたため、有効エッジでカウント値がキャプチャされて保持されます。それと同時に、XSR0.AEDF フラグが 1 になります。XCR0.AEDIE が 1 になっている場合は、SCIn_AED 割り込みが出力されます。ソフトウェアによって有効エッジ間のカウント値からビットレートを計算し、SCI 設定を変更することにより、ビットレートを調整できます。
8. ビットレート測定を無効にするには、XCR1.BMEN に 0 を書き込みます。
9. ビットレート測定機能が無効になったため、有効エッジタイミングでの XSR0.AEDF 値および XSR1.TCNT[15:0] 値は変化しません。

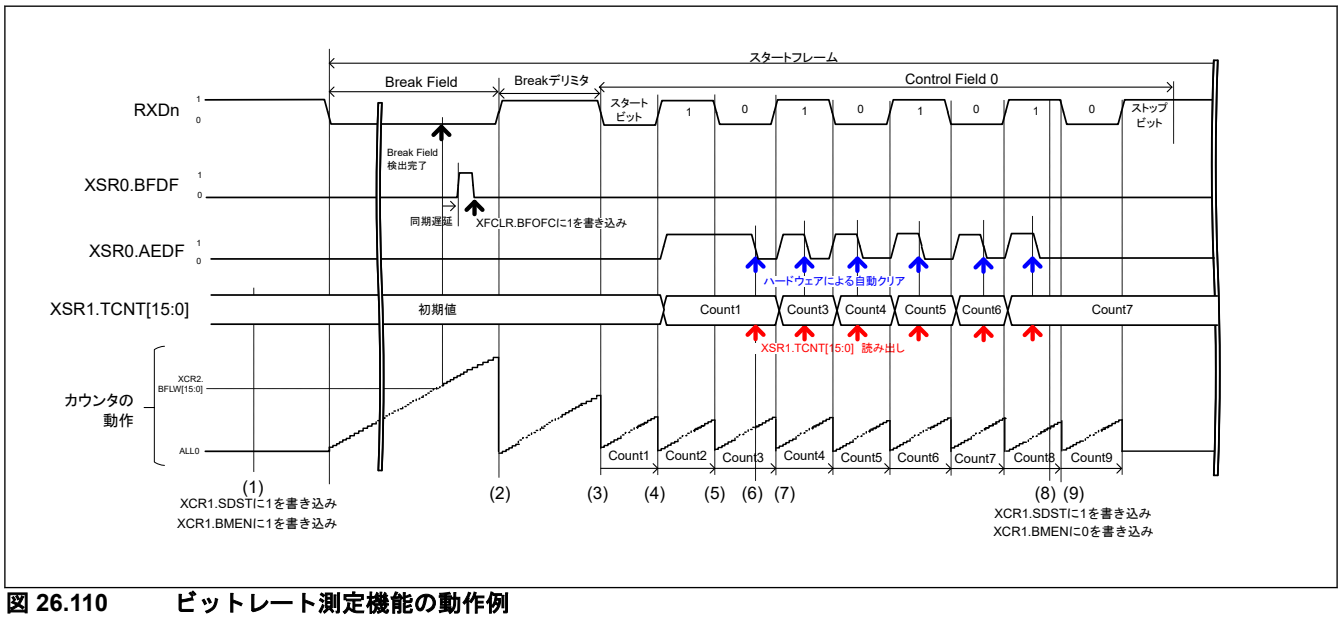


図 26.110　　ビットレート測定機能の動作例

26.12　　割り込み要因

26.12.1　　SCIn_TXI および SCIn_RXI 割り込みのバッファ動作

ICU の割り込みステータスフラグが 1 のときは、SCIn_TXI 割り込みと SCIn_RXI 割り込みの発生条件が成立していても、ICU は割り込み要求を出力せず、内部で保存します（内部で保存できる容量は、1 要因ごとに 1 要求までです）。

26.12.2 調歩同期式モード、マンチェスタモード、クロック同期式モード、および簡易 SPI モードにおける割り込み

(1) 非 FIFO 選択時

表 26.40 に調歩同期式モード、マンチェスタモード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。

各割り込み要因には、異なる割り込みベクタの割り当てが可能です。CCR0 レジスタの許可ビットによって、割り込み要因を個別に許可／禁止することができます。

CCR0.TIE ビットが 1 のとき、送信データが TDR レジスタから TSR レジスタへ転送されると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、CCR0.TE ビットと CCR0.TIE ビットを 1 命令で同時に 1 にすることでも発生します。SCIn_TXI 割り込み要求を用いて DTC または DMAC を起動し、データ転送を行うことができます。

SCIn_TXI 割り込み要求は、CCR0.TIE ビットが 0 の状態で CCR0.TE ビットを 1 にした場合、または CCR0.TE ビットが 1 の状態で CCR0.TIE ビットを 1 にした場合には発生しません。(注1)

CCR0.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが書き込まれていないと、CSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。また、CCR0.TE ビットを 1 にしてから TDR レジスタに送信データを書き込むまでの間は、CSR.TEND フラグは 1 を保持しており、CCR0.TEIE ビットを 1 にすると SCIn_TEI 割り込み要求が発生します。

TDR レジスタにデータを書き込むと、CSR.TEND フラグがクリアされて SCIn_TEI 割り込み要求は取り消されますが、取り消されるまである程度時間がかかります。

CCR0.RIE ビットが 1 のとき、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。SCIn_RXI 割り込み要求を用いて DTC または DMAC を起動し、データ転送を行うことができます。

CCR0.RIE ビットが 1 のとき、CSR レジスタの ORER、FER、PER または MSR レジスタの MER(注2)、SYER(注2)、PFER(注2)および SBER(注2)のいずれかのフラグを 1 にすると、SCIn_ERI 割り込み要求が発生します。

このとき、SCIn_RXI 割り込み要求は発生しません。これら全てのフラグ（ORER、FER、PER、MER(注2)、SYER(注2)、PFER(注2)、SBER(注2)）のすべてをクリアすることによって、SCIn_ERI 割り込み要求を取り消すことができます。

注 1. 最終データの送信時に SCIn_TXI 割り込みを一時的に禁止して、送信終了割り込みによる処理を行った後、新たにデータ送信を開始したい場合は、CCR0.TIE ビットではなく、ICU の割り込み要求許可ビットを用いて、割り込みの発行を制御してください。この方法によって、新しいデータの送信時に、SCIn_TXI 割り込み要求の発生が抑止されるのを防ぐことができます。

注 2. MER、SYER、PFER、および SBER は、マンチェスタモードにおいてのみ SCIn_ERI 割り込み要因になります。SYER、PFER、および SBER はまた、その許可ビット（MECR の SYEREN、PFEREN、SBEREN）が 1 の場合のみ機能します。

(2) FIFO 選択時

表 26.41 に、FIFO モード選択時の割り込み要因を示します。

CCR0.TIE ビットが 1 のとき、送信 FIFO（TDR レジスタ）に格納されたデータ数が FCR.TTRG で指示されたしきい値以下になると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、CCR0.TIE ビットと CCR0.TE ビットを 1 命令で同時に 1 にすることでも発生します。または、CCR0.TE ビットが 1 のときに CCR0.TIE ビットを 1 にしても発生します。

SCIn_TXI 割り込み要求は、CCR0.TIE ビットが 0 の状態で CCR0.TE ビットを 1 にした場合、または CCR0.TE ビットが 1 の状態で CCR0.TIE ビットを 1 にした場合には発生しません。

CCR0.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが送信 FIFO（TDR レジスタ）に書き込まれていないと、CSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

CCR0.RIE ビットが 1 のとき、送信 FIFO（TDR レジスタ）に格納されたデータ数が FCR.RTRG で指示されたしきい値以上になると、SCIn_RXI 割り込み要求が発生します。RTRG が 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、SCIn_RXI 割り込み要求は発生しません。

CCR0.RIE ビットが 1 のとき、CSR.ORER フラグが 1 になるか、あるいは、フレーミングエラーまたはパリティエラーのあるデータが送信 FIFO（TDR レジスタ）に格納されると、SCIn_ERI 割り込み要求が発生します。送信 FIFO（TDR レジスタ）に格納されたデータ数がしきい値以上であると、同時に SCIn_RXI 割り込み要求も発生し

ます。CSR.ORER、FER、および PER フラグをすべてクリアすることで、SCIn_ERI 割り込み要求を取り消すことができます。

表 26.40　SCI の割り込み要因（非 FIFO 選択時）

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_ERI（n = 0～4、9）	受信エラー	CSR.ORER、CSR.FER、CSR.PER、CSR.DFER、CSR.DPER、(MSR.MER、MSR.SYER、MSR.PFER、MSR.SBER)(注1)	CCR0.RIE	不可
SCIn_RXI（n = 0～4、9）	受信データフル	CSR.RDRF	CCR0.RIE	可能
	アドレス一致	CSR.DCMF	CCR0.RIE	可能
SCIn_TXI（n = 0～4、9）	送信データエンプティ	CSR.TDRE	CCR0.TIE	可能
	TE = 0→1 検出			
SCIn_TEI（n = 0～4、9）	送信終了	CSR.TEND	CCR0.TEIE	不可

注 1.　MER、SYER、PFER、および SBER は、マンチェスタモードでのみ SCIn_ERI 割り込みの要因として機能します。SYER、PFER、および SBER も、許可ビット（MCR レジスタの SYEREN、PFEREN、SBEREN）が 1 に設定されているときのみ機能します。

表 26.41　SCI の割り込み要因（FIFO 選択時）

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_ERI（n = 0～4、9）	受信エラー	CSR.ORER、CSR.FER、CSR.PER、CSR.DFER、CSR.DPER	CCR0.RIE	不可
		FRSR.DR（FCR.DRES = 1 の場合）	CCR0.RIE	不可
SCIn_RXI（n = 0～4、9）	受信データフル	CSR.RDRF	CCR0.RIE	可能
	受信データレディ	FRSR.DR（FCR.DRES = 0 の場合）	CCR0.RIE	可能
	アドレス一致	CSR.DCMF	CCR0.RIE	可能
SCIn_TXI（n = 0～4、9）	送信データエンプティ	CSR.TDFE	CCR0.TIE	可能
	TE = 0→1 検出			
SCIn_TEI（n = 0～4、9）	送信終了	CSR.TEND	CCR0.TEIE	不可

26.12.3　スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 26.42 の割り込み要因があります。このモードでは、送信終了割り込み (SCIn_TEI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

表 26.42　スマートカードインタフェースモードにおける SCI の割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_ERI（n = 0～4、9）	受信エラー、エラーシグナル検出	CSR.ORER、CSR.PER、CSR.ERS	CCR0.RIE	不可
SCIn_RXI（n = 0～4、9）	受信データフル	CSR.RDRF	CCR0.RIE	可能
SCIn_TXI（n = 0～4、9）	送信データエンプティ	CSR.TEND	CCR0.TIE	可能
	TE = 0→1 設定時			

スマートカードインタフェースモードの場合も、通常の SCI モードと同様に、DTC または DMAC を使用した送受信が可能です。送信時に CCR0.TEND フラグが 1 であれば、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中は、TEND フラグが 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生後の再送信を含め、SCI と DTC または DMAC が、指定されたバイト数を自動的に送信します。ただし、エラー発生時に CSR.ERS フラグは自動的に 0 になりません。そのため、あらかじめ CCR0.RIE ビットを 1 にしておき、エラー発生時に SCIn_ERI 割り込み要求を発生させることで、ERS フラグをクリアしてください。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。DTC または DMAC の設定方法については、「16. データトランスファコントローラ (DTC)」「15. DMA コントローラ (DMAC)」を参照してください。

受信動作では、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。エラーが発生した場合は、エラーフラグがセットされます。そのため、DTC または DMAC は起動せず、代わりに CPU に対して SCIn_ERI 割り込み要求が発行されます。エラーフラグをクリアしてください。

26.12.4　簡易 IIC モードにおける割り込み

表 26.43 に、簡易 IIC モードにおける割り込み要因を示します。STI 割り込みは、送信終了割り込み (SCIn_TEI) 要求に割り当てられます。受信エラー割り込み (SCIn_ERI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

簡易 IIC モードにおいても、DTC または DMAC を使用した送受信が可能です。

ICR.IICINTM ビットが 1 のとき：

- SCLn 信号の 8th ビット目の立ち下がりで、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。
- また、SCLn 信号の 9th ビット目（アクノリッジビット）の立ち下がりエッジで、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。

ICR.IICINTM ビットが 0 のとき：

- SCLn 信号の 9th ビット目（アクノリッジビット）の立ち上がりで、SDAn 端子入力が Low であると、SCIn_RXI 割り込み要求（ACK 検出）が発生します。
- SCLn 信号の 9th ビット目（アクノリッジビット）の立ち上がりで、SDAn 端子入力が High であると、SCIn_TXI 割り込み要求（NACK 検出）が発生します。
- あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。

ICR.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開始条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 26.43　簡易 IIC モードにおける SCI の割り込み要因

名称	割り込み要因		割り込みフラグ	割り込み許可	DTC または DMAC の起動
	ICR.IICINTM = 1	ICR.IICINTM = 0			
SCIn_RXI（n = 0～4、9）	受信終了	—	—	CCR0.RIE	可能(注1)
	—	ACK 検出	—		可能
SCIn_TXI（n = 0～4、9）	送信終了		—	CCR0.TIE	可能(注1)
	—	NACK 検出	—		可能
SCIn_TEI (STIn)（n = 0～4、9）	開始条件、再開始条件、停止条件生成終了		ICR.IICSTIF	CCR0.TEIE	不可

注 1.　DMAC または DTC を使用していると、ACK または NACK を確認することはできません。

26.12.5 簡易 LIN モードにおける割り込み

表 26.44 に、簡易 LIN モードにおける割り込み要因を示します。

表 26.44 簡易 LIN モードにおける SCI の割り込み要因

名称	割り込み要因	割り込みフラグ	確認が必要なフラグ	割り込み許可	DTC/DMAC の起動
SCIn_ERI（n = 0～4、9）	受信エラー	CSR.ORER、CSR.FER、CSR.PER	—	CCR0.RIE	不可能
		XSR0.BCDF		XCR0.BCDIE	
		XSR0.COF		CCR0.RIE、XCR0.COFIE	
SCIn_RXI（n = 0～4、9）	受信データフルフラグ	CSR.RDRF	XSR0.CF0MF XSR0.CF1MF XSR0.PIBDF	CCR0.RIE	XSR0.SFSF = 0：可能 XSR0.SFSF = 1：不可能
SCIn_AED（n = 0～4、9）	アクティブエッジ検出	XSR0.AEDF	—	XCR0.AEDIE	可能
SCIn_TXI（n = 0～4、9）	送信データエンプティ割り込み	CSR.TDRE	—	CCR0.TIE	可能
	TE = 0→1 設定時				
	Break Field 出力完了	XSR0.BFOF		CCR0.TIE、XCR0.BFOIE	
SCIn_TEI（n = 0～4、9）	送信終了	CSR.TEND	—	CCR0.TEIE	不可能
SCIn_BFD（n = 0～4、9）	Break Field 検出	XSR0.BFDF	—	XCR0.BFDIE	不可能（不要）

簡易 LIN モードでは、送信中にバス競合が検出された場合や簡易 LIN モジュールのカウンタオーバーフローが発生した場合、受信エラー (ORER, FER, PER) に加えて SCIn_ERI 割り込み要求が出力されます。このとき、SCIn_RXI 割り込み要求は出力されません。すべてのフラグをクリアすると、SCIn_ERI 割り込み要求を解除できます。

スタートフレームを送信するときに CCR0.TIE = 1 かつ XCR0.BFOIE = 1 の場合は、Break Field の送信が完了すると、SCIn_TXI 割り込み要求が出力されます。Control Field 0 データが TDR レジスタに書き込まれると、データ送信が開始されます。そのため、DTC または DMAC を使用した送信が可能です。

最後の送信データが TDR レジスタに書き込まれた後で、CCR0.TEIE = 1 を設定すると、送信が開始されます。

スタートフレーム受信 (XSR0.SFSF = 1) 中は、SCIn_RXI 割り込みによる DTC または DMAC を使用した受信は不可能です。CSR レジスタおよび XSR0 レジスタを確認し、受信状態を確認（図 26.81 を参照）してから、フラグをクリアしてください。また、RDR レジスタの読み出しを行います（受信データの値を確認する必要がない場合は、RDR レジスタの読み出しを行わずに RDRF フラグをクリアしてください）。Control Field 1 の受信が完了すると (XSR0.CF1MF = 1)、スタートフレーム検出が無効になり (XSR0.SFSF = 0)、DTC または DMAC を使用した受信が可能になります。必ず RDR レジスタの読み出しを行ってください。

スタートフレーム／Break Field 検出が有効な場合 (XCR1.SDST = 1)、XCR2.BFLW [15:0] に設定されている期間よりも長い Break Field を受信すると、BFDF フラグが設定されて SCIn_BFD 割り込み要求が出力されます。その後、SCI がスタートフレーム受信状態になります。BFDF フラグをクリアします。

スタートフレーム／Break Field 検出が有効であり (XCR1.SDST = 1)、ビットレート測定機能が有効な場合 (XCR1.BMEN = 1)、アクティブエッジが検出されると、SCIn_AED 割り込み要因が出力されます。タイマカウントキャプチャ値 (XSR1.TCNT [15:0]) の読み出しを行います。

26.13 イベントリンク機能

SCIn は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定しておいたモジュールを動作させることが可能です。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力させることが可能です。

(1) エラーイベント出力（受信エラーまたはエラーシグナル検出時）（SCIn_ERI、n = 0～4、9）

- 調歩同期式モードで、受信中にパリティエラーが発生して異常終了したことを示します。
- 調歩同期式モードで、受信中にフレーミングエラーが発生して異常終了したことを示します。
- 受信中にオーバーランエラーが発生して異常終了したことを示します。
- 受信時にマンチェスタエラーが発生して異常終了したことを示します。（マンチェスタモードのみ）
- 受信時にプレフィスエラーが発生して異常終了したことを示します。（マンチェスタモードで MCR.PFEREN = 1 の場合のみ）
- 受信時にスタートビットエラーが発生して異常終了したことを示します。（マンチェスタモードで MCR.SBEREN = 1 の場合のみ）
- 受信時に受信 SYNC エラーが発生して異常終了したことを示します。（マンチェスタモードで MCR.SYEREN = 1 の場合のみ）
- スマートカードインタフェースモードで、送信時にエラー信号が検出されたことを示します。
- FIFO 選択時かつ FCR.DRES ビットが 1 の場合、CSR レジスタの FER フラグと PER フラグが 0 であり、受信 FIFO データトリガ数より少ない受信データが受信 FIFO バッファに格納され、15 etu 経過したことを示します。
- 簡易 LIN モードで、簡易 LIN モジュールの 16 ビットカウンタがオーバーフローしたことを示します。
- 簡易 LIN モードで、送信時にバス衝突が検出されたことを示します。 (CCR0.TE = 1)

(2) 受信データフルイベント出力（SCIn_RXI、n = 0～4、9）

- 簡易 IIC モードで、ICR.IICINTM ビットが 0 のとき、ACK が検出されたことを示します。
- 簡易 IIC モードで、ICR.IICINTM ビットが 1 のとき、SCLn 信号の 8 ビット目の立ち下がりが検出されたことを示します。
- 簡易 IIC モードでのマスタ送信時に、ICR.IICINTM ビットが 1 のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

非 FIFO 選択時

- 受信データが受信データレジスタ（RDR に格納されたことを示します。

FIFO 選択時

- このイベント出力は使用しないでください。

(3) 送信データエンプティイベント出力（SCIn_TXI、n = 0～4、9）

- CCR0.TE ビットが 0 から 1 に変化したことを示します。
- スマートカードインタフェースモードで、送信が完了したことを示します。
- 簡易 IIC モードで、ICR.IICINTM ビットが 0 のとき、NACK が検出されたことを示します。
- 簡易 IIC モードで、ICR.IICINTM ビットが 1 のとき、SCLn 信号の 9 ビット目の立ち下がりが検出されたことを示します。
- 簡易 LIN モードで、ブレークフィールド出力が完了したことを示します。

非 FIFO 選択時

- 送信データが送信データレジスタ（TDR）から送信シフトレジスタ (TSR) へ転送されたことを示します。

FIFO 選択時

- このイベント出力は使用しないでください。

(4) 送信終了イベント出力（SCIn_TEI、n = 0～4、9）

- 送信が完了したことを示します。

- 簡易 IIC モードで、開始条件、再開始条件、停止条件の生成が完了したことを示します。
- スマートカードモードにおいて、送信終了イベントは出力されません。

注. FIFO が選択されている場合、このイベント出力は使用しないでください。

(5) アドレス一致イベント出力（SCIn_AM、n = 0～4、9）

- 調歩同期式モード（マルチプロセッサモードを含む）において、CCR0.DCME ビットが 1 の場合、比較データ (CCR4.CMPD) と受信データの 1 フレームが一致したことを示します。

(6) アクティブエッジ検出イベント出力

- 簡易 LIN モードで、CCR1.BMEN ビットが 1 のとき、RXD 入力信号の有効エッジが検出されたことを示します。

26.14 アドレス不一致イベント出力 (SCI0_DCUF)

調歩同期式モード（マルチプロセッサモードを含む）において、CCR0.DCME ビットが 1 の場合、比較データ (CCR4.CMPD) と受信データの 1 フレームが一致しなかったことを示します。このイベントは、スヌーズ終了要求に対してのみ使用可能です。詳細は、「10. 低消費電力モード」を参照してください。

26.15 ノイズ除去機能

図 26.111 にノイズ除去機能に用いるノイズフィルタの構成を示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号と、2 段のフリップフロップ回路の出力信号が完全に一致したとき、一致したレベルが内部信号として伝えられます。一致しない場合は前の値が保持されます。ノイズフィルタのサンプリングクロックで、同じレベルが 3 サイクル以上保持された場合、有効な受信信号とみなされます。3 サイクルに達する前にパルスが変化した場合、それは受信信号ではなく、ノイズとみなされます。

調歩同期式モード、マンチェスタモード、および簡易 LIN モードでは、RXDn 端子に入力される受信信号にノイズ除去機能を使用できます。ノイズフィルタのサンプリング期間は、ボーレートジェネレータクロックソースの基本クロック期間と分周クロックから CCR1.NFCS[2:0]ビットで選択できます。

- CCR1.NFCS[2:0] = 000b、CCR2.ABCS = 0 かつ CCR2.ABCSE = 0 の場合、周期は 1 ビット期間の 1/16 となります。
- CCR1.NFCS[2:0] = 000b、CCR2.ABCS = 1 かつ CCR2.ABCSE = 0 の場合、周期は 1 ビット期間の 1/8 となります。
- CCR1.NFCS[2:0] = 000b、CCR2.ABCSE = 1 の場合、周期は 1 ビット期間の 1/6 となります。

簡易 IIC モードでは、SDAn 端子と SCLn 端子の各入力信号に、この機能を使用できます。サンプリングクロックは、ボーレートジェネレータの分周クロックの設定から CCR1.NFCS[2:0]で選択されます。

ノイズフィルタが有効な状態で基本クロックをいったん停止させ、その後、基本クロック入力を再開させた場合、ノイズフィルタは、クロック停止時の状態から動作を再開します。基本クロックの入力中に CCR0.TE ビットと CCR0.RE ビットを 0 にすると、ノイズフィルタのフリップフロップ値はすべて 1 に初期化されます。したがって、受信再開時の入力データが 1 の場合は、レベル一致が検出されたと判断され、その結果が内部信号として伝えられます。入力レベルが 0 の場合は、サンプリングサイクルで連続して 3 回信号のレベルが一致するまで、ノイズフィルタの最初の出力値が保持されます。

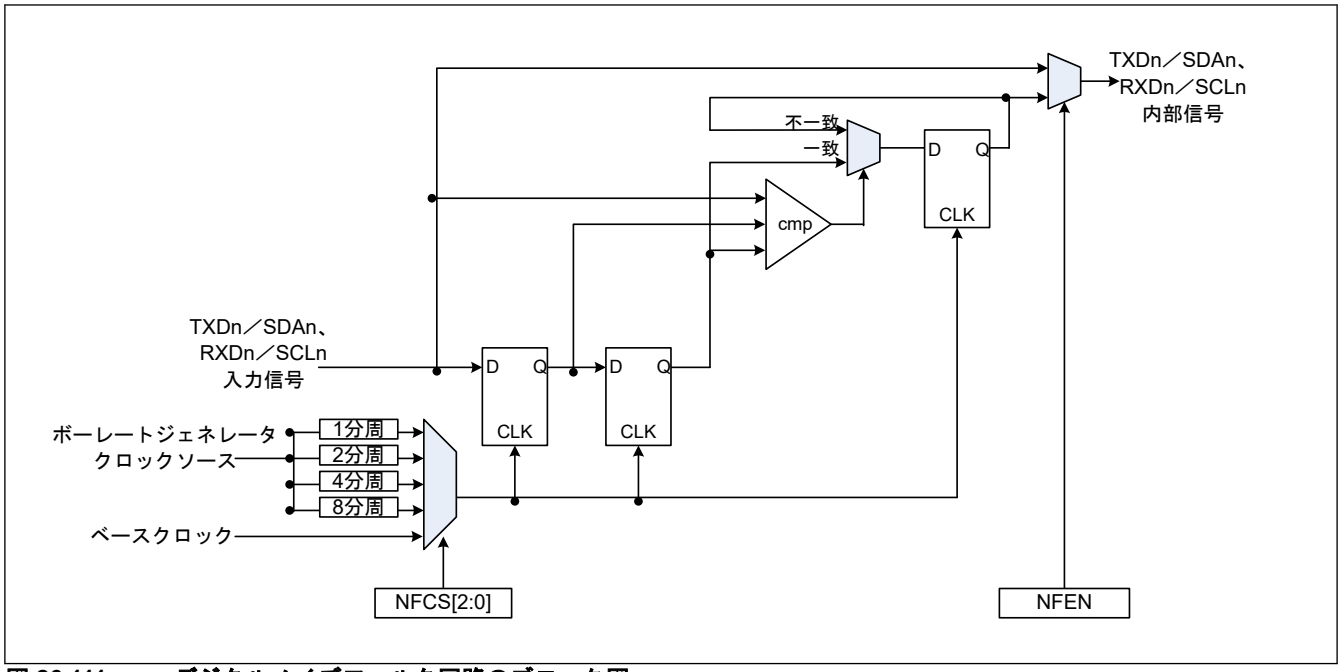


図 26.111　デジタルノイズフィルタ回路のブロック図

26.16　RS-485 ドライバコントロール機能

SCI 共通コントロールレジスタ 3 (CCR3) の DEN ビットを 1 にすると、RS-485 ドライバコントロール機能が有効になり、外部トランシーバ送信モードを有効にする DEn（ドライバイネーブル）信号が生成されます。DEn 信号は、データ送信の前と後にドライバアサート時間とドライバネゲート時間を追加した期間において、有効なレベルを出力します。DEn 信号の有効なレベルは、ドライバコントロールレジスタ (DCR) の DEPOL ビットで設定されます。

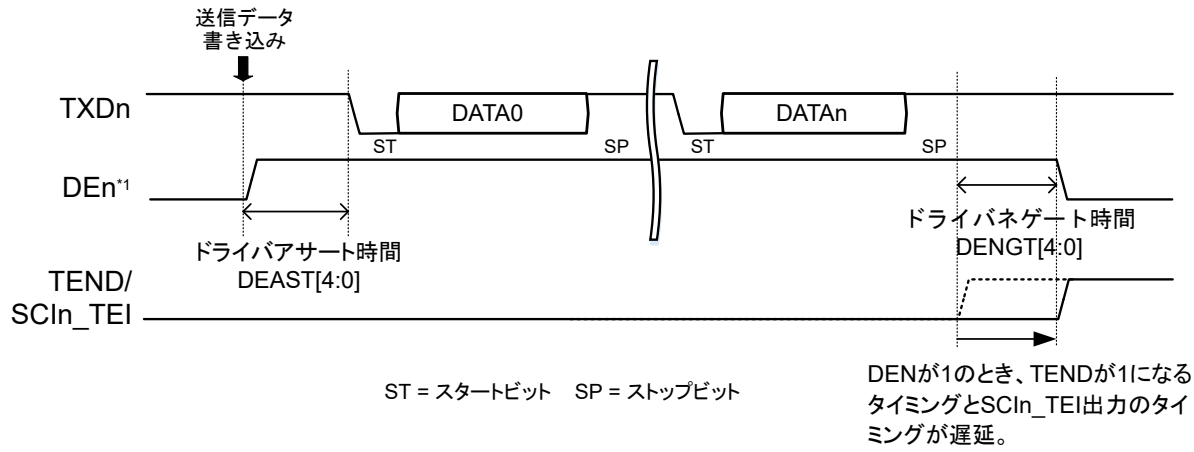
ドライバアサート時間は、DEn 信号が有効になってからスタートビットが開始されるまでの時間です。ドライバコントロールレジスタ (DCR) の DEAST [4:0] で設定されます。

ドライバネゲート時間は、送信メッセージの最後のストップビットの終了から DEn 信号が無効になるまでの時間です。ドライバコントロールレジスタ (DCR) の DENGT [4:0] で設定されます。

DEAST および DENGT は、基本クロック期間（1/8 ビット期間または 1/16 ビット期間）で表されます。詳細は、「26.2.13. DCR：ドライバコントロールレジスタ」を参照してください。

この機能を使用する場合 (CCR3.DEN = 1)、CSR.TEND が 1 になるタイミングと SCIn_TEI 割り込み出力のタイミングは、ドライバネゲート時間の終了時になります。

送信が完了し、DEn 信号のネゲート前に次の送信データが書き込まれない場合は、いったん DEn 信号はネゲートされます。次の送信データを書き込むのが間に合わない場合は、DEn 信号を再ネゲート後にアサートし、ドライバのアサート時間を挿入してから、次のデータを送信してください。DEn 信号のアサートにより次の送信を実行したい場合は、レジスタの同期遅延時間を考慮して、十分迅速に TDR に次の送信データを書き込んでください。



注 1.　DCR.DEPOL = 0

図 26.112　RS-485 ドライバコントロールの DE 信号出力のイメージ波形

26.17　ループバック機能

ループバック機能は、内部クロックを使用した調歩同期式モード、内部クロックを使用したマンチェスタモード、および内部クロックを使用したクロック同期式モードで使用できます。

CCR1 レジスタの SPLP ビットに 1 を書き込むときに、SCI は外部入力 (RXDn) パスをブロックし、送信データレジスタの出力パスと受信データレジスタの入力パスを接続します。

この機能を TINV ビット = 1 で使用する場合、送信データの反転が受信データになります。ただし、この機能を TINV = 1 で使用できるのは、クロック同期式モード内部クロックで動作している場合だけです。

表 26.45 に、TINV および SPLP のビット設定と受信データの関係を示します。

表 26.45　TINV および SPLP のビット設定と受信データ

CCR1.TINV	CCR1.SPLP	受信データ	通信モード		
			調歩同期式	マンチェスタ	クロック同期式
			内部クロック	内部クロック	内部クロック
—	0	RXDn 端子からの受信データ	可能	可能	可能
0	1	送信データ	可能	可能	可能
1	1	送信データの反転	不可能	不可能	可能

注.　—: 関係なし

図 26.113 に、ループバックモードでのシフトレジスタの入出力パスの構成を示します。

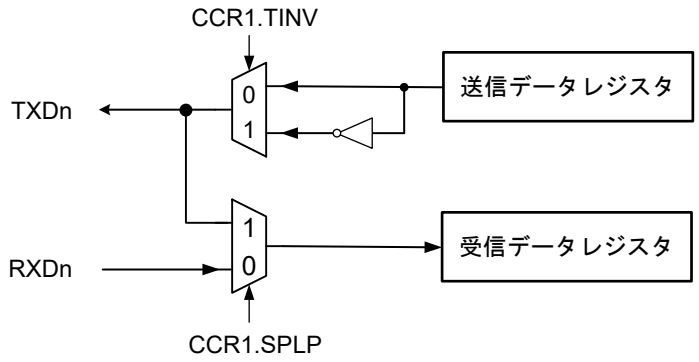


図 26.113　ループバックモードでのシフトレジスタの入出力構成イメージ

26.18 半二重通信機能

簡易 IIC モード、簡易 SPI モード、およびスマートカードインタフェースモードでは、半二重通信機能を使用しないでください。

その他の通信モードでは、CCR1.SHARPS ビットが 1 のときは、TXDn 端子を使用した半二重通信が可能です。半二重通信を使用する場合、送受信を排他的に実行する必要があります。送受信設定（CCR0.TE = 1 および CCR0.RE = 1）は禁止されています。

ただし、半二重通信をクロック同期式モードでマスタ受信として実行する場合は、送受信設定（CCR0.TE = 1 および CCR0.RE = 1）を行ってダミー送信を行います。ダミー送信（任意の送信データを TDR に書き込み）によって、SCKn が出力されて受信が可能になります。ダミー送信データは IP 内部で破棄され、実際には送信されません。

半二重通信中は、TXDn 端子のみが通信端子として使用されます。CCR0.TE = 1 の場合は出力、CCR0.TE = 0 の場合は入力

26.19 シンクロナイザーバイパス機能

SCI にはバスクロックと動作クロック (TCLK) があります。また、これらのクロックにそれぞれ動作回路が存在します。そのため、異なるクロック間の信号転送用に同期回路が存在します。また、異なるクロック間の信号伝搬には、同期遅延時間が必要になります。

ただし、バスクロックと動作クロックに同じクロックが入力されている場合にのみ、CCR3.BPEN ビットで同期回路をバイパスできます。この場合、同期遅延時間がなくなり、応答が向上します。図 26.114 にバイパス機能のイメージ波形を示します。

この IP にも通信クロック (SCKn) と動作クロック (TCLK) の間に同期回路が存在しますが、この同期回路をバイパスすることはできません。

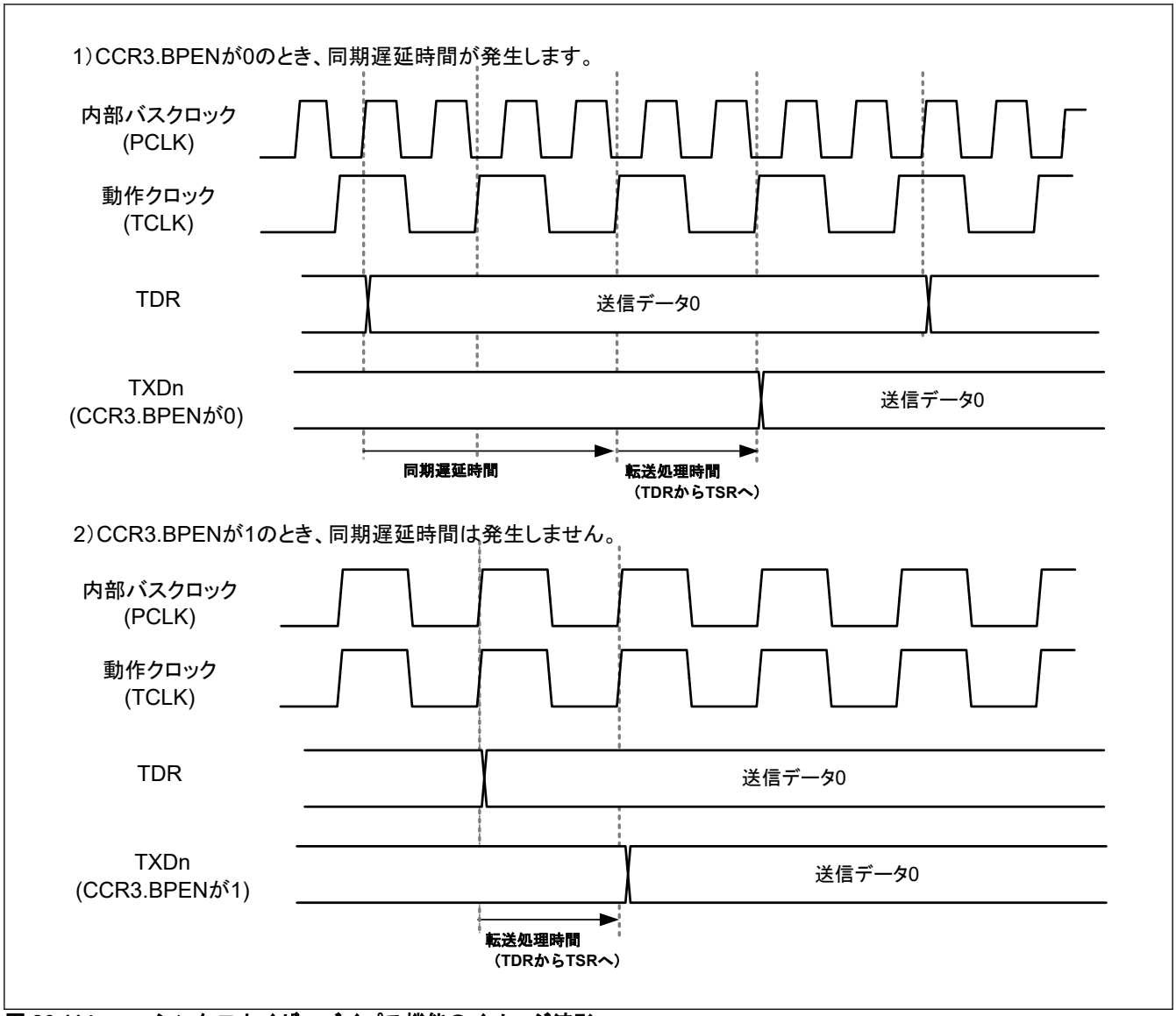


図 26.114　シンクロナイザーバイパス機能のイメージ波形

26.20　使用上の注意

26.20.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作禁止／許可を設定できます。SCI は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

26.20.2　低消費電力状態での SCI の動作

(1)　送信

消費電力低減機能を使用して SCI の消費電力を低減する前に、以下を行って送信終了 (CSR.TEND = 1) を確認してください。

- CCR1.SPB2DT、SPB2IO で送信動作を停止した後、出力端子状態を設定する
- 送信を停止する (CCR0.TIE = 0, TE = 0, TEIE = 0)

送信中に低消費電力状態へ遷移すると、送信中のデータは不定になります。

低消費電力状態の解除後に同じ送信モードでデータを送信するには、TE ビットを 1 にし、CSR を読み出して、TDR にデータを順次書き込んで、データ送信を開始します。異なる送信モードでデータを送信する場合は、まず SCI を初期化します。

ソフトウェアスタンバイモードの解除後に DMAC/DTC を使用して送信を開始するには、CCR0.TE ビットおよび CCR0.TIE ビットを 1 にします。SCIn_TXI 割り込みフラグが 1 になり、DMAC/DTC に送信データを書き込み送信が開始されます。

図 26.115 に、送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。図 26.116 と図 26.117 に、ソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

(2) 受信

レジューム（ウェイクアップ）の条件としてアドレス一致検出機能を使用しない場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、受信動作を停止 (CCR0.RE = 0) にします。受信中に遷移すると、受信中のデータは無効になります。

図 26.118 に、受信中にソフトウェアスタンバイモードへ遷移する場合の受信フローチャート例を示します。

レジューム（ウェイクアップ）の条件としてアドレス一致検出機能を使用する場合

消費電力低減機能を使用して SCI の消費電力を低減する場合、以下を行ってください。

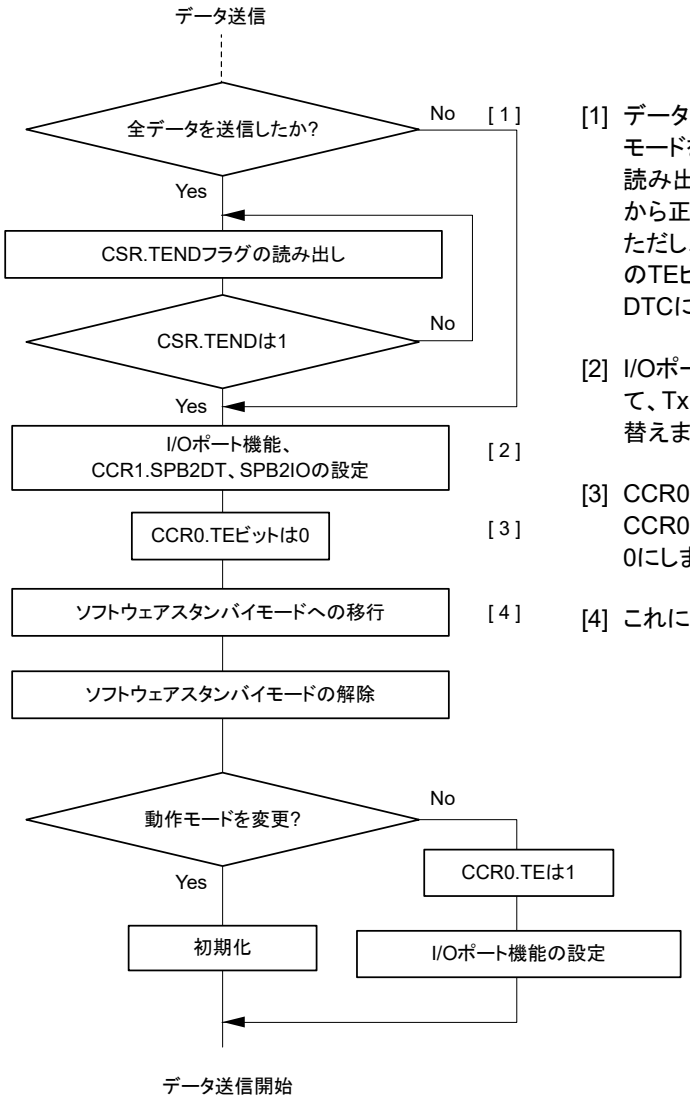
- 解除後に動作モードを調歩同期式モード設定する
- CCR4.CMPD に比較データを設定し、CCR0.DCME に 1 を設定する
- 受信動作を設定する (CCR0.RE = 1)

CCR3.RXDESEL = 0 にしてください。CCR3.RXDESEL = 1 の場合、低消費電力モードの解除時にスタートビット（RXDn 端子の立ち下がりエッジ）が検出できない可能性があります。

RXDn 端子の立ち下がりエッジを検出し、スタンバイモードからスヌーズモードに移行した後、動作クロックが SCI に供給され、SCI でデータが受信されます。アドレスマッチ機能により、受信したデータを判定し、一致した場合はスヌーズモードから通常モードに遷移し、一致しない場合は再びスタンバイモードに遷移します。この動作は、CMPD に一致する通信データを受信するまでスタンバイモードが継続され、スタンバイモードが解除された後は通常の受信動作が継続されます。

この機能を使用する場合、RXDn 端子の立ち下がり検出からスヌーズモードへの移行、SCI へのクロック供給から受信への移行を行う必要があるため、受信速度は十分に遅くする必要があります。

図 26.119 に、受信中にソフトウェアスタンバイモードへ遷移する場合の受信フローチャート例を示します。



[1] データが送信中に失われました。ソフトウェアスタンバイモードをキャンセルしてから、CCR0.TEを1にし、CSRを読み出して、データをTDRに書き込むと、データをCPUから正常に送信できます。
ただし、DMACまたはDTCが起動している場合、CCR0のTEビットとTIEビットの両方を1にすると、DMACまたはDTCに残っているデータが送信されます。

[2] I/Oポート機能、CCR1.SPB2DT、SPB2IOの設定を行って、TxDn端子を汎用I/Oポートとして動作するように切り替えます。

[3] CCR0.TEビットを0にします。また、CCR0.TIEビットとCCR0.TEIEビットを1にしていた場合は、これらのビットを0にします。

[4] これには、モジュール停止状態の設定も含まれます。

図 26.115　送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

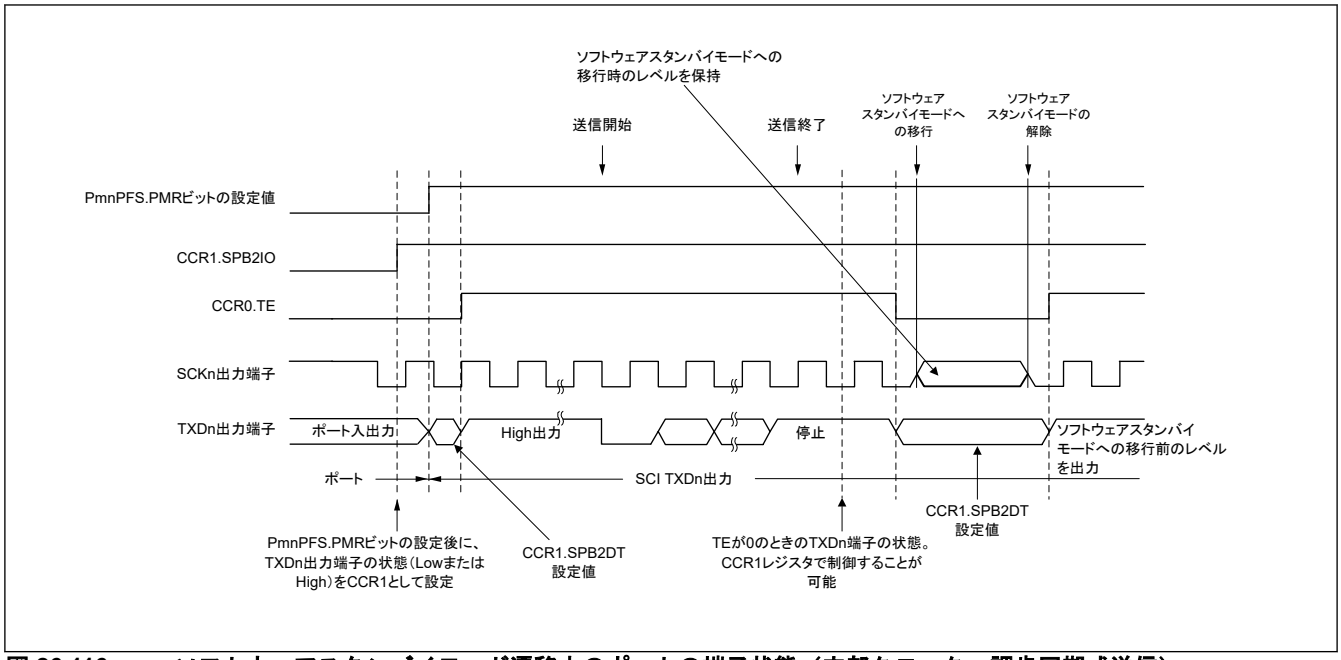


図 26.116　ソフトウェアスタンバイモード遷移中のポートの端子状態（内部クロック、調歩同期式送信）

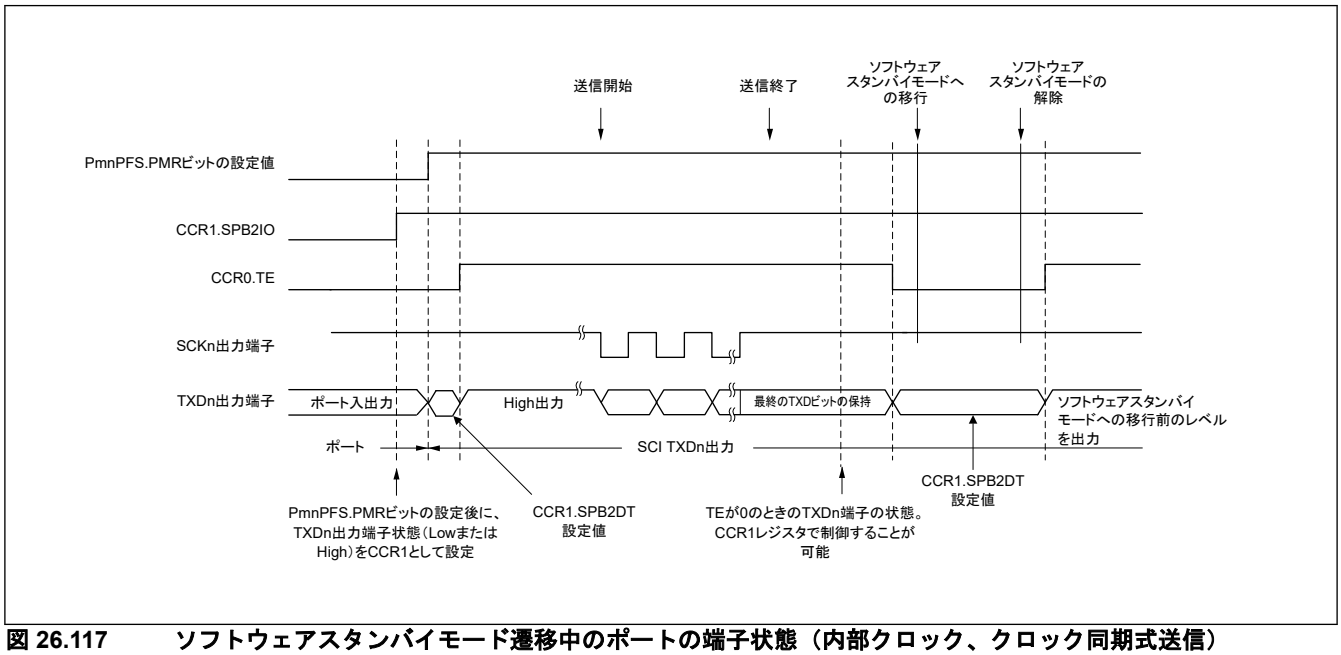


図 26.117　ソフトウェアスタンバイモード遷移中のポートの端子状態（内部クロック、クロック同期式送信）

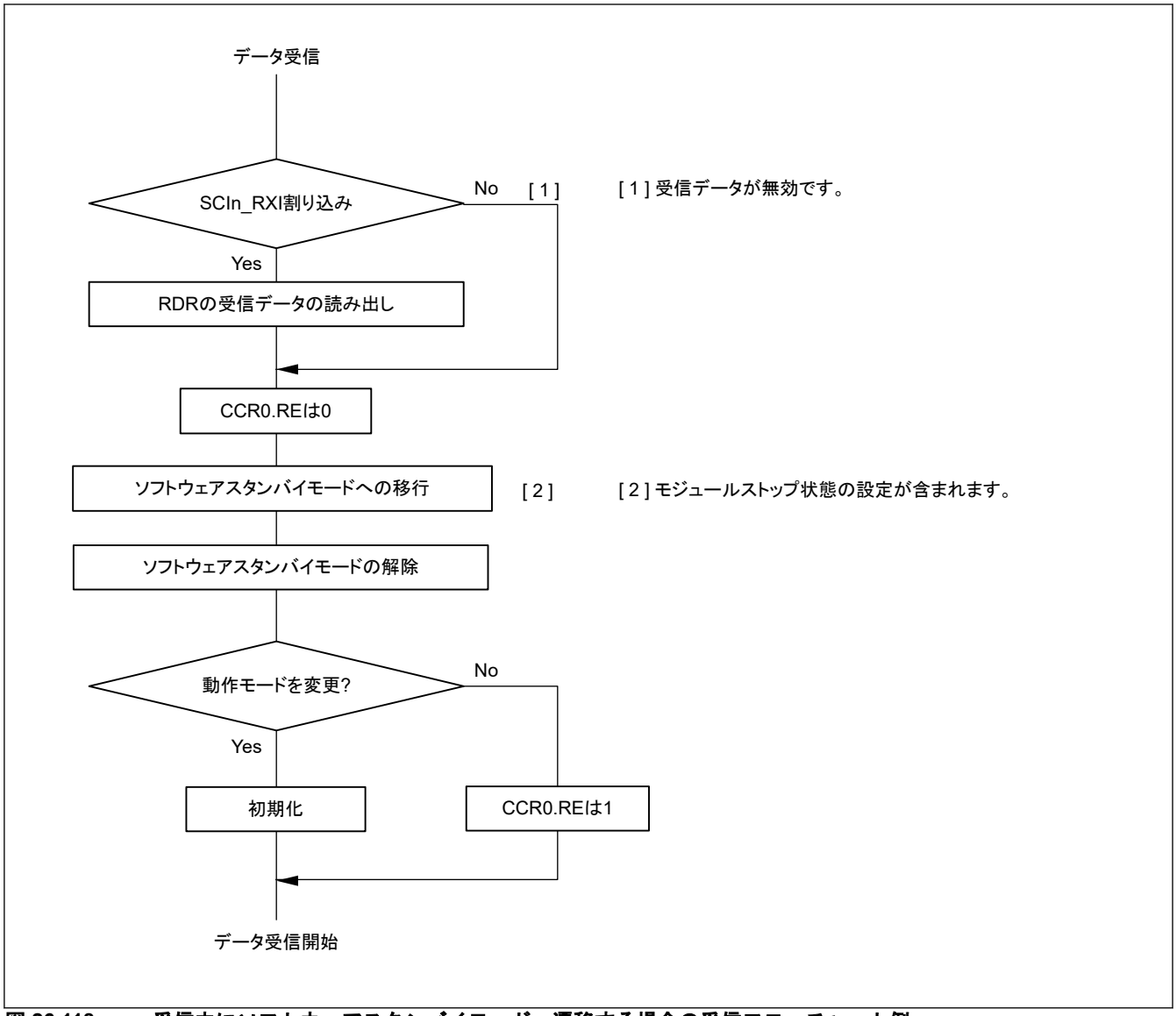


図 26.118 受信中にソフトウェアスタンバイモードへ遷移する場合の受信フローチャート例

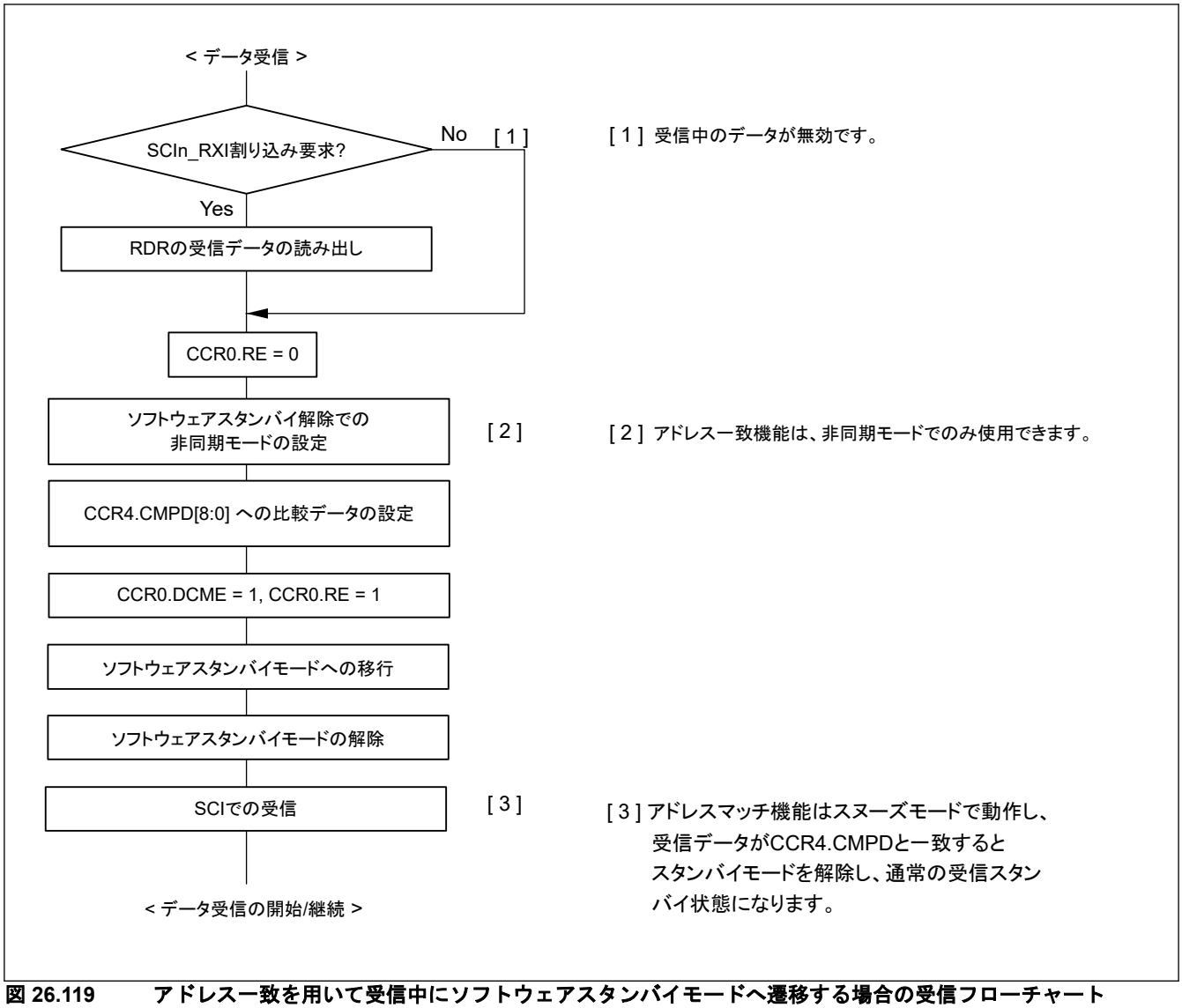


図 26.119 アドレス一致を用いて受信中にソフトウェアスタンバイモードへ遷移する場合の受信フローチャート例

26.20.3 ブレークの検出と処理について

(1) 非 FIFO 選択時

フレーミングエラー検出時に、CSR.RXDMON ビットの値を読み出すことでブレークを検出できます。ブレークでは、RXDn 端子からの入力がすべて 0 になるため、CSR.FER フラグが 1（フレーミングエラーの発生あり）になり、さらに CSR.PER フラグも 1（パリティエラーの発生あり）になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを 0（フレーミングエラーの発生なし）にしても、再び FER フラグが 1 になります。CCR3.RXDESEL ビットが 1 のとき、SCI は、CSR.FER フラグを 1 にして、次のデータフレームのスタートビットが検出されるまで、受信動作を停止します。このとき、CSR.FER フラグが 0 であれば、ブレーク中は CSR.FER フラグは 0 を保持します。

RXDn 端子が 1 になってブレークが終了した後、最初の RXDn 端子の立ち下がりエッジでスタートビットの先頭を検出すれば、受信動作を開始させることが可能です。

(2) FIFO 選択時

フレーミングエラーが検出された後、SCI によって 1 フレーム分の連続する受信データが 0 であることが検出された場合、受信動作が停止します。フレーミングエラー検出時に、CSR.RXDMON フラグの値を読み出すことでブレークの検出が可能です。RXDn 信号が High になってブレークが終了した後、受信 FIFO（RDR レジスタ）へのデータ受信が再開されます。

26.20.4 マーク状態とブレークの送出

CCR0.TE ビットが 0（シリアル送信動作を禁止）のとき、CCR1.SPB2IO ビットと CCR1.SPB2DT ビットを用いて TXDn 端子状態の設定が可能です。この方法により、TXDn 端子をマーク状態にして、ブレークを送出できます。

CCR0.TE ビットを 1（シリアル送信動作を許可）にする前に、SPB2IO ビットと SPB2DT ビットによって通信回線をマーク状態（1 の状態）に設定し、I/O ポート機能を用いて TXDn 端子を変更してください。データ送信時にブレークを出力したいときは、SPB2IO ビットと SPB2DT ビットによって TXDn 端子を 0 出力に設定した後、I/O ポート機能を用いて TXDn 端子を変更し、CCR0.TE ビットを 0 にしてください。CCR0.TE ビットを 0 にすると、現在の送信状態とは無関係に送信部は初期化されます。

26.20.5 受信エラーフラグと送信動作（クロック同期式モードおよび簡易 SPI モード）

CSR.ORER が 1 の場合でも、送信データを TDR に書き込むと、送信を開始できます。ただし、受信は開始できません。また、CCR0.RE が 0（シリアル受信が無効）の場合でも、受信エラーフラグを 0 にすることはできません。

26.20.6 TDR へのデータ書き込み

(1) 非 FIFO 選択時

CCR0.TE が 1 のときは、いつでもデータを TDR に書き込むことができます。ただし、TDR に送信データが残っている状態で、TDR に新しいデータを書き込むと、TDR に残っているデータは、TSR へまだ転送されていないため失われます。DTC または DMAC を使用する場合、TDR への送信データの書き込みは、必ず SCIn_TXI 割り込み要求の処理ルーチンで行ってください。

(2) FIFO 選択時

CCR0.TE が 1 のとき、データを送信 FIFO (TDR) に書き込むことができます。FDR.T[5:0] ビットで、書き込み可能なデータ数を確認してください。

26.20.7 クロック同期式送信に関する制限事項（クロック同期式モードおよび簡易 SPI モード）

同期クロックに外部クロックソースを使用する場合、以下の制限事項があります。

(1) 送信開始時

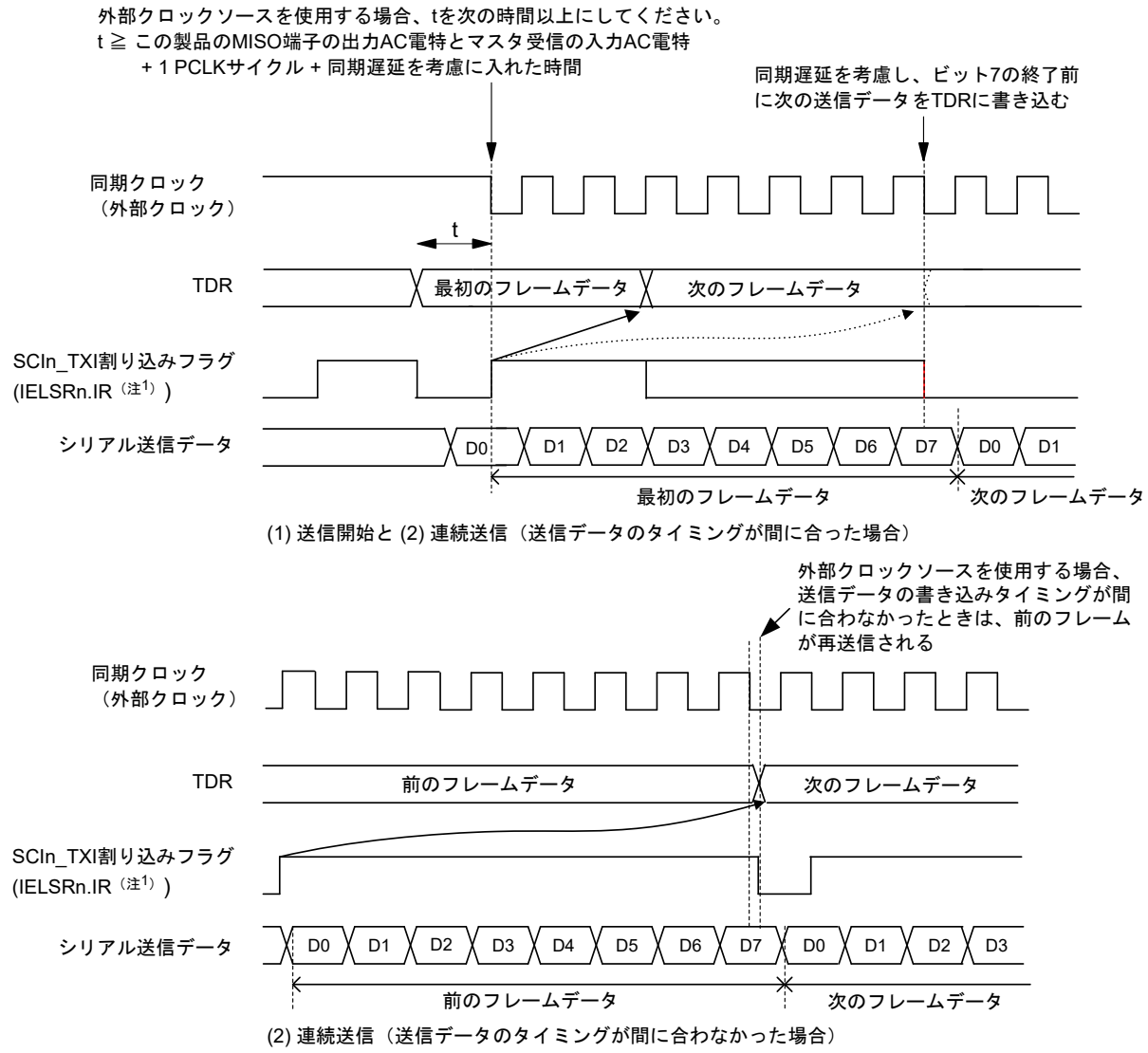
TDR を CPU、DMAC、または DTC で更新し、外部クロック入力の開始まで下記に示す以上の待機時間を確保してください。（図 26.120 を参照してください。）

本製品の MISO 端子の出力 AC 電特とマスタ受信の入力 AC 電特 + 1 PCLK サイクル + 同期遅延の時間を考慮に入れてください。

(2) 連続送信時

送信クロックのビット 7 の立ち下がりエッジ(注1)以前に、TDR に次の送信データを書き込んでください。同期遅延を考慮し、TDR に送信データを書き込んでください。送信データを時間内に書き込むことができない場合は、前のフレームデータが再送信されます。（図 26.120 を参照してください。）

注 1. CCR3.CPOL = 1 かつ CCR3.CPHA = 0、または CCR3.CPOL = 0 かつ CCR3.CPHA = 1 の場合。CCR3.CPOL = 0 かつ CCR3.CPHA = 0、または CCR3.CPOL = 1 かつ CCR3.CPHA = 1 の場合は、立ち上がりエッジです。



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.120　クロック同期式送信時の外部クロック使用に関する制約事項

26.20.8　DMAC または DTC 使用時の制限

DMAC または DTC を用いて RDR を読み出すときは、対応する SCI の起動要因として、必ず受信データフル割り込み (SCIn_RXI) を設定してください。

DMAC または DTC を使用した送受信動作中に、DMAC または DTC の転送情報を設定しないでください。

26.20.9　通信の開始に関する注意事項

通信開始時点で ICU の割り込みステータスフラグ（IELSRn.IR フラグ）が 1 のときは、動作許可（CCR0.TE ビットまたは CCR0.RE ビットを 1）にする前に、以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

1. 通信が停止していること（CCR0.TE ビットまたは CCR0.RE ビットが 0 になっていること）を確認します。
2. 対応する割り込み許可ビット（CCR0.TIE ビットまたは CCR0.RIE ビット）を 0 にします。
3. 対応する割り込み許可ビット（CCR0.TIE ビットまたは CCR0.RIE ビット）を読み出して、実際に 0 になっていることを確認します。
4. ICU の割込みステータスフラグ（IELSRn.IR フラグ）を 0 にします。

26.20.10　簡易 SPI モードに関する制限事項

(1)　マスタモード

- CCR0.SSE ビットが 1 の場合、CCR3.CPHA ビットと CPOL ビットで設定した送受信クロックの初期値に合わせて、クロック線を抵抗でプルアップまたはプルダウンしてください。

  これによって、CCR0.TE ビットを 0 にしたときにクロック線がハイインピーダンス状態になったり、CCR0.TE ビットを 0 から 1 に変更したときにクロック線に意図しないエッジが発生したりするのを防止できます。シングルマスタモードで CCR0.SSE ビットが 0 の場合は、SCR.TE ビットを 0 にしてもクロック線はハイインピーダンスにならないので、プルアップまたはプルダウンは不要です。
- クロック遅れあり（CCR3.CPHA ビット = 1）では、図 26.121 に示すように、SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (SCIn_RXI) が発生します。CCR0 レジスタの TE ビットと RE ビットを SCKn 端子の最終クロックエッジより前に 0 にすると、SCKn 端子出力がハイインピーダンスとなり、送受信クロックの最後のクロックパルス幅が短くなります。また、SCIn_RXI 割り込みの発生によって、SCKn 端子の最終クロックエッジより前に接続先スレーブの SSn 端子入力信号が High になった場合、スレーブが誤動作する可能性があります。
- マルチマスタ構成では、キャラクタ転送中にモードフォルトエラーが発生すると、SSn 端子入力が Low の間に、SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

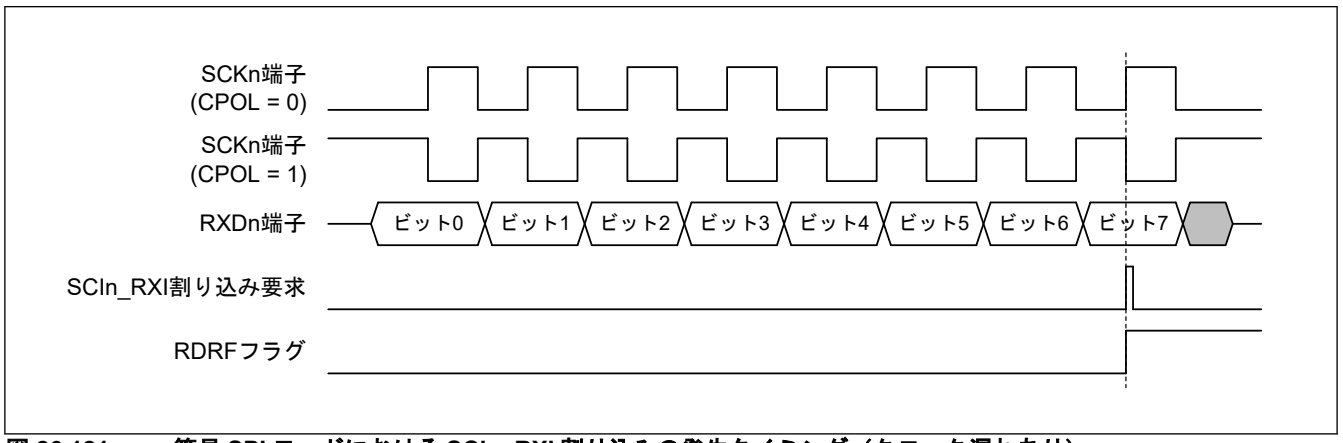


図 26.121　簡易 SPI モードにおける SCIn_RXI 割り込みの発生タイミング（クロック遅れあり）

(2)　スレーブモード

- TDR レジスタへの送受信データの書き込みから RXDn 端子へのデータ出力まで、以下の時間を要します。1PCLK + 同期遅延時間 + データ出力遅延時間（AC 電特）外部クロックの入力を開始するときは、これらを考慮してください。
- マスタからの外部クロックの供給は、転送データ長に合わせてください。
- SSn の Low 入力から外部クロック入力を開始するまで、SSn 入力セットアップ時間（AC 電特）を確保してください。
- SSn 端子入力は、データ転送開始前と完了後に制御してください。
- キャラクタの転送中に SSn 端子への入力レベルが Low から High に変化した場合は、CCR0 レジスタの TE ビットと RE ビットを 0 にして、設定を回復後に 1 バイト目から転送をやり直してください。

26.20.11　送信許可ビット (CCR0.TE) に関する注意事項

CCR0.TE ビットが 0 のとき、初期レジスタ値において、TXDn 端子の状態がハイインピーダンスになります。以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

1. プルアップ抵抗を TXDn ラインに接続する。
2. CCR0.TE ビットを 0 にする前に、端子機能を汎用の出力ポートに変更する。その後、CCR0.TE ビットを 1 にした後、端子機能を TXDn に変更する。

3. 調歩同期式モードおよびマンチェスタモードにおいて CCR0.TE ビットが 0 の場合に、CCR1 を設定し、TXDn 端子に対して決定されたレベルを設定します。

簡易 SPI モードのスレーブ動作では、MISOn 端子は上記 TXDn 端子と同様の動作をします。MISOn 端子は TXDn 端子と同様に、上記の 1.と 2.により、ハイインピーダンスにしないでください。

26.20.12 簡易 LIN モードに関する注意事項

簡易 LIN モード (CCR3.MOD[2:0] = 110) では、以下の機能は使用できません。

- マルチプロセッサ通信機能
- ビットレートモジュレーション機能
- ループバック機能
- FIFO バッファ

26.20.13 RS-485 ドライバ制御機能に関する注意事項

RS-485 ドライバ制御機能は、調歩同期式モードでのみ有効になります。

RS-485 ドライバコントロール機能が有効な場合 (CCR3.DEN = 1)、CSR.TEND 設定タイミング／SCIn_TEI 出力タイミングは次のように変化します。SCIn_TEI 割り込みを待って、SCI の CCR0.TE ビットを 0 にします。

RS-485 ドライバ制御機能が無効な場合：STOP ビット出力の完了時。

RS-485 ドライバ制御機能が有効な場合：DEn ネゲート時間の終了時。

26.20.14 ループバック機能に関する注意事項

ループバック機能は、内部クロックを使用した調歩同期式モード、内部クロックを使用したマンチェスタモード、および内部クロックを使用したクロック同期式モードで有効です。

26.20.15 動作クロック (TCLK) がバスクロック (PCLK) より長い場合のレジスタアクセスに関する注意事項

動作クロック (TCLK) がバスクロック (PCLK) より長い場合、この情報が CCR0.TE レジスタおよび CCR0.RE レジスタへの書き込み後に内部的に送信されるまでの時間は、バスアクセス時間より長くなります。特に、0 の書き込みと通信の割り込みを行った後で設定レジスタを変更する場合は、IP 内部の信号が通信停止状態になるまで、設定レジスタを変更しないでください。これを避けるには、CCR0.TE および CCR0.RE を 0 にした後で、0 になるまで CESR.TIST ビットおよび CESR.RIST ビットを確認してから、次のレジスタを設定します。

26.20.16 動作の割り込みに関する注意事項

データ受信中に CCR0.RE に 0 が書き込まれて受信動作に割り込みが発生した場合、無効な状態になっている可能性があるため、受信データ（RDR レジスタ格納値）や各ステータスレジスタのフラグ値を使用しないでください。受信動作に割り込むためには、割り込みまたはイベントリンクの受信側を停止してから、CCR0.RE ビットに 0 を書き込んでください。

26.20.17 CCR3.BPEN ビットの設定に関する注意事項

SCI の初期化フローで CCR3 レジスタを設定するときに、BPEN ビットを 1 回だけ設定します。

初期化後に、このビットを変更することはできません。

このビットの設定を変更する場合は、SCI の初期化フローからもう一度始めてください。

27. I²C バスインタフェース (IIC)

IIC モジュールの IIC_B バージョンです。

この章では、IIC_B を IIC と表記します。

27.1 概要

27.1.1 機能概要

I²C バスインタフェース (IIC) には 2 チャネルあります。IIC は、NXP 社の I²C (Inter-Integrated Circuit) に準拠しており、それらのサブセット機能を備えています。

表 27.1 に I²C の仕様を示します。

表 27.1 I²C の仕様

項目	内容
動作モード	マスタ／スレーブモードを選択可能
データハンドラ	シングルバッファ転送
通信プロトコル	• I²C バスフォーマット – スタンダードモード (Sm) : 0～100 kbps – ファストモード (Fm) : 0～400 kbps – ファストモードプラス (Fm+) : 0～1 Mbps(注1) – High-speed モード（Hs モード）: 0～3.2 Mbps(注1) • SMBus フォーマット : 10～100 kbps
アドレスフォーマット	• 7 ビットアドレス • 10 ビットアドレス
アドレス検出	• スレーブアドレス（スタティックアドレス）（最大 3 アドレス） • ジェネラルコールアドレス • Hs モードマスタコード(注1) • デバイス ID • ホストアドレス • 10 ビットスレーブアドレッシング
クロックストレッチ	クロックストレッチ能力
ノイズフィルタ	• アナログノイズフィルタ(注2) • デジタルノイズフィルタ
割り込み要因	• Rx データバッファフル • Tx データバッファエンプティ • スタートコンディション検出 • ストップコンディション検出 • 送信終了 • NACK 検出 • アービトレーションロスト • タイムアウト検出 • ウェイクアップ条件検出(注2)
エラー検出	• NACK 受信 • アービトレーションロストエラー • タイムアウトエラー
イベントリンク出力	• 通信イベント • 受信データバッファフルイベント • 送信データバッファエンプティイベント • 送信終了イベント
ウェイクアップ要因(注2)	スレーブアドレスのアドレス検出

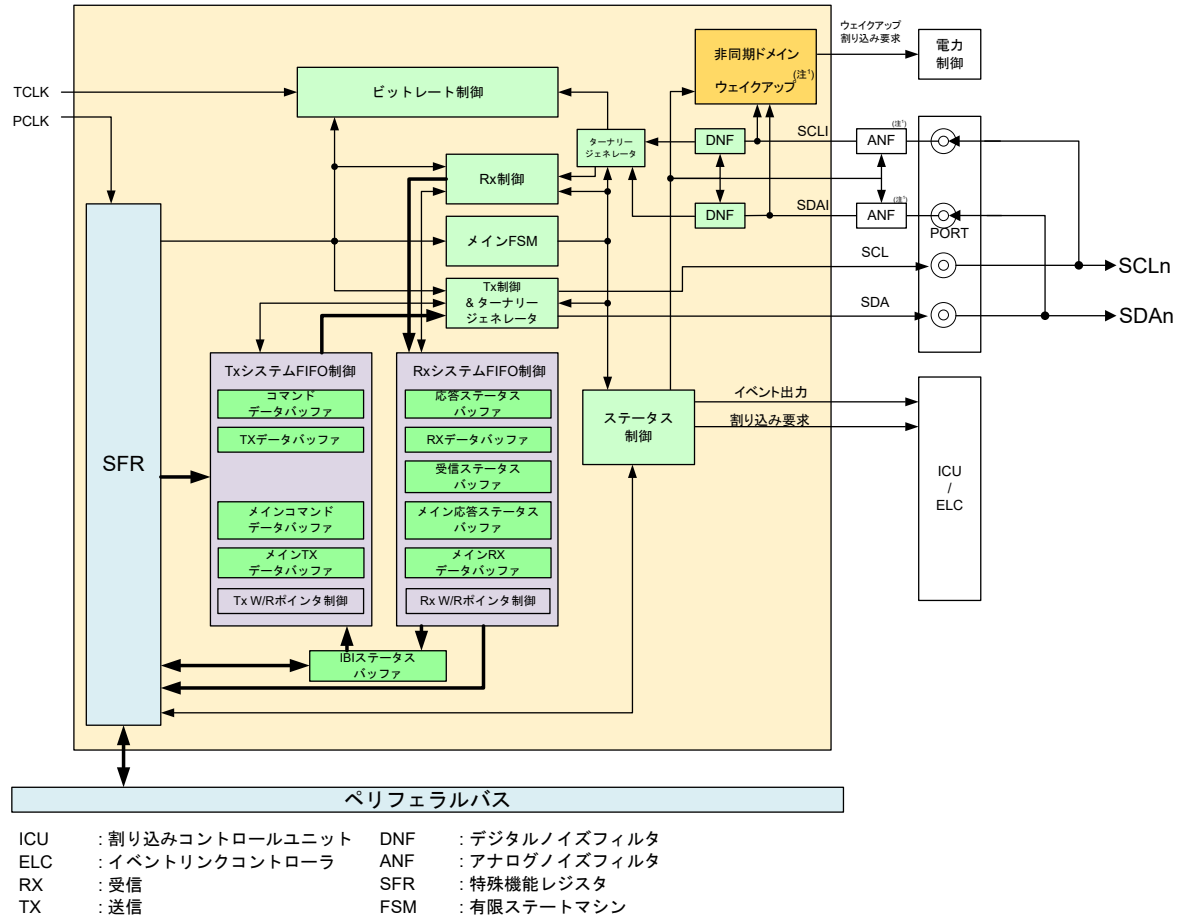
注 1. ファストモードプラスと High-speed モードは、IIC0（SCL0_A、SDA0_A）に対応しています。
注 2. ウェイクアップ機能とアナログノイズフィルタは IIC0 のみ使用可能です。

表 27.2 IIC I/O 端子 (n = 0, 1)

機能	端子名	I/O	内容
IICn	SCLn	I/O	クロック用の入出力端子
	SDAn	I/O	データ用の入出力端子

27.1.2 ブロック図

図 27.1 に、本 IIC の主なコンポーネントを示します。



注. TCLK = IICCLK
PCLK = PCLKA
注 1. IIC0 の場合のみ、ウェイクアップ機能とアナログノイズフィルタは利用可能です。

図 27.1 IIC ブロック図

27.2 レジスタの説明

27.2.1 レジスター覧

IIC レジスター覧を以下の表に示します。

表 27.3 IIC レジスター覧 (1/2)

レジスタ	シンボル	オフセットアドレス
バスコントロールレジスタ	BCTL	0x014
リセットコントロールレジスタ	RSTCTL	0x020

表 27.3 IIC レジスター覧 (2/2)

レジスタ	シンボル	オフセットアドレス
現在ステートレジスタ	PRSST	0x024
バス機能コントロールレジスタ	BFCTL	0x060
スレーブコントロールレジスタ	SVCTL	0x064
リファレンスクロックコントロールレジスタ	REFCKCTL	0x070
スタンダードビットレートレジスタ	STDBR	0x074
拡張ビットレートレジスタ	EXTBR	0x078
バスフリー状態検出時間レジスタ	BFRECDT	0x07C
出力コントロールレジスタ	OUTCTL	0x088
入力コントロールレジスタ	INCTL	0x08C
タイムアウトコントロールレジスタ	TMOCTL	0x090
ウェイクアップユニットコントロールレジスタ(注1)	WUCTL	0x098
アクノリッジコントロールレジスタ	ACKCTL	0x0A0
SCL ストレッチコントロールレジスタ	SCSTRCTL	0x0A4
条件コントロールレジスタ	CNDCTL	0x140
通常転送データバッファポートレジスタ 0	NTDTBP0/ NTDTBP0_BY	0x158
バスステータスレジスタ	BST	0x1D0
バスステータスイネーブルレジスタ	BSTE	0x1D4
バス割り込みイネーブルレジスタ	BIE	0x1D8
バスステータス強制レジスタ	BSTFC	0x1DC
通常転送ステータスレジスタ	NTST	0x1E0
通常転送ステータスイネーブルレジスタ	NTSTE	0x1E4
通常転送割り込みイネーブルレジスタ	NTIE	0x1E8
通常転送ステータス強制レジスタ	NTSTFC	0x1EC
バス条件ステータスレジスタ	BCST	0x210
スレーブステータスレジスタ	SVST	0x214
ウェイクアップユニット動作ステータスレジスタ(注1)	WUST	0x218
スレーブデバイスアドレステーブル基本レジスタ 0	SDATBAS0	0x2B0
スレーブデバイスアドレステーブル基本レジスタ 1	SDATBAS1	0x2B4
スレーブデバイスアドレステーブル基本レジスタ 2	SDATBAS2	0x2B8
スレーブデバイスアドレスレジスタ 0	SVDVAD0	0x330
スレーブデバイスアドレスレジスタ 1	SVDVAD1	0x334
スレーブデバイスアドレスレジスタ 2	SVDVAD2	0x338
ビットカウントレジスタ	BITCNT	0x380
現在ステートデバッグレジスタ	PRSTDBG	0x3CC

注 1. IIC1 では予約レジスタ

27.2.2 BCTL：バスコントロールレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BUSE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
30:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
31	BUSE	バスイネーブル 0: IIC バス動作を禁止 1: IIC バス動作を許可	R/W

BUSE ビット（バスイネーブル）

IIC によって、I^2C バスの動作を許可または禁止します。

IIC を使用するときは、BUSE ビットを 1 にしてください。BUSE ビットが 1 のとき、SCL、SDA 端子は駆動状態になります。IIC を使用しないときは、BUSE ビットを 0 にしてください。BUSE ビットが 0 のとき、SCL および SDA 端子は非駆動状態になります。

ソフトウェアが本ビットを設定すると、初期化が完了したことと、IIC がプログラムされたレジスタ値を使用可能であることを合わせて確認します。

IIC バスの動作は、それが動作中でもソフトウェアで禁止にできます。しかし、

- ソフトウェアがこのフィールドから値 0 を読み出したら、IIC バス動作の禁止処理が完了したことを示します。

27.2.3 RSTCTL：リセットコントロールレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INTLRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RI2CRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RI2CRST	IIC ソフトウェアリセット 0: 全レジスタおよび内部状態のリセット 1: 全レジスタおよび内部状態の解放	R/W
15:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
16	INTLRST	内部ソフトウェアリセット 0: 一部のレジスタおよび内部状態の解放 1: 一部のレジスタおよび内部状態のリセット	R/W
31:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

各レジスタのリセットについては、「27.6. リセットの説明」を参照してください。

RI2CRST ビット（IIC ソフトウェアリセット）

ドライバでこのビットを 1 にすると、IIC はリセットし無効になります。

全レジスタはリセット値に復帰し、ソフトウェアは IIC を再度初期化します。

IIC のリセット完了時に、このフィールドは自動的にクリアされます。また、このフィールドは IIC の全てのキューもリセットします。

注. このフィールドに 1 の値を含む書き込みを行うと、不定の動作となることがあります。

INTLRST ビット（内部ソフトウェアリセット）

このビットを 1 にすると、一部のレジスタをリセットし、内部状態をリセットします。リセットされるレジスタの詳細は、「27.6. リセットの説明」を参照してください。

27.2.4 PRSST：現在ステートレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x024

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	PRSSTWP	—	—	TRMD	—	CRMS	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
2	CRMS	現在のマスタ 0: マスタが現在のマスタではなく、転送を行う前にバスオーナーシップを要求し取得する必要がある 1: マスタが現在のマスタであり、その結果、転送を行うことができる	R/W(注1)
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	TRMD	送信／受信モード 0: 受信モード 1: 送信モード	R
6:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	PRSSTWP	現在ステートライトプロテクト 0: CRMS ビットは保護されます 1: CRMS ビットは書き込み可能である（対象ビットの値と同時に書き込みするとき）	W
31:8	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. PRSSTWP ビットが 1 のとき、CRMS ビットへの書き込みが可能です。

CRMS ビット（現在のマスタ）

各動作モードでの設定条件とリセット条件を示します。

[0 になる条件]

- ソフトウェアで PRSST.CRMS に 0 を書いたとき
- STOP 発行時
- マスタアービトレーションロスト時

[1 になる条件]

- ソフトウェアで PRSST.CRMS に 1 を書いたとき
- START 発行時

PRSST レジスタが、IIC の現在の状態を返します。

ステートには 2 つの部分があります。必須のレジスタと、デバッグ目的で追加オプションの PRSST_DEBUG レジスタ（拡張機能リストのデバッグ機能レジスタを参照）です。

TRMD ビット（送信／受信モード）

送信モードであるか、受信モードであるかを示します。

IIC は、TRMD ビットが 0 のときは受信モード、1 のときは送信モードになります。このビットと CRMS ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行または検出時、および R/W#ビットの設定時に、TRMD ビットの値は自動的に 1（送信モード）または 0（受信モード）に変化します。

[1 になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき（CNDCTL.STCND ビットが 1 の状態で、スタートコンディションを検出したとき）
- 繰り返しのスタートコンディション発行要求による繰り返しのスタートコンディションが正常に発行されたとき（CNDCTL.SRCND ビットが 1 の状態で、繰り返しのスタートコンディションを検出したとき）
- マスタモード時、スレーブアドレスに付加した R/W#ビットが 0 になったとき
- スレーブモードで受信したアドレスが SVCTL レジスタで有効にしたアドレスと一致し、かつ R/W#ビットが 1 になったとき

[0 になる条件]

- ストップコンディションが検出されたとき
- BST.ALF フラグが 1 になったとき（アービトレーションロスト）
- マスタモード時、値が 1 の R/W#ビットが付加されたスレーブアドレスを受信したとき
- スレーブモード時、受信したスレーブアドレスが SVCTL レジスタで有効にしたアドレスと一致し、かつ受信した R/W#ビットの値が 0 のとき（ジェネラルコールアドレスを受信した場合を含む）
- スレーブモード時、繰り返しのスタートコンディションが検出されたとき （BCST.BFREF = 0、CRMS = 0 の状態で繰り返しのスタートコンディションが検出されたとき）

PRSSTWP ビット（現在ステートライトプロテクト）

PRSSTWP は読むと 0 が読めます。

PRSST に書き込む場合、このビットに 1 を書き込むと同時に、CRMS ビットに書き込みが可能です。

27.2.5 BFCTL：バス機能コントロールレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x060

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	HSME	FMPE	—	SMBS	—	—	—	SCSYNE	—	—	—	—	—	SALE	NALE	MALE
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	MALE	マスタアービトレーションロスト検出有効 0: マスタアービトレーションロスト検出は無効 アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生による PRSST.CRMS、TRMD ビットの自動クリアを行わない 1: マスタアービトレーションロスト検出は有効 アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生による PRSST.CRMS、TRMD ビットの自動クリアを行う	R/W
1	NALE	NACK 送信アービトレーションロスト検出有効 0: NACK 送信アービトレーションロスト検出は無効 1: NACK 送信アービトレーションロスト検出は有効	R/W
2	SALE	スレーブアービトレーションロスト検出有効 0: スレーブアービトレーションロスト検出は無効 1: スレーブアービトレーションロスト検出は有効	R/W
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	SCSYNE	SCL 同期回路有効 0: SCL 同期回路を使用しない 1: SCL 同期回路を使用する	R/W
11:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
12	SMBS	SMBus/I2C バス選択 0: I2C バスを選択 1: SMBus を選択	R/W
13	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
14	FMPE(注1)	ファストモードプラス有効 0: SCLn、SDAn 端子に対して Fm+のスロープ制御回路を使用しない (n = 0, 1) 1: SCLn、SDAn 端子に対して Fm+のスロープ制御回路を使用する(n = 0, 1)	R/W
15	HSME(注2)	High-speed モード 0: High-speed モードは無効 1: High-speed モードは有効	R/W
31:16	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. ファストモードプラス有効ビット（FMPE）は、IIC0 (SCL0_A, SDA0_A) に対応しています。ビット[14]はサポートしていないチャネルの予約ビットです。

注 2. High-speed モード有効ビット (HSME) は IIC0 (SCL0_A, SDA0_A) に対応しています。ビット[15]はサポートしていないチャネルの予約ビットです。

MALE ビット（マスタアービトレーションロスト検出有効）

マスタモード時にアービトレーションロスト検出機能を使用するかどうかを指定します。通常は、このビットを 1 にしてください。

NALE ビット（NACK 送信アービトレーションロスト検出有効）

受信モード時、NACK 送出中に ACK が検出された場合（同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など）にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット（スレーブアービトレーションロスト検出有効）

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など）にアービトレーションロストを発生させるかどうかを選択します。

SCSYNE ビット（SCL 同期回路有効）

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は、このビットを 1 にしてください。

SCSYNE ビットを 0（SCL 同期回路を使用しない）にすると、IIC は SCL クロックを SCL 入力クロックと同期させません。この設定の場合、SCLn ラインの状態にかかわらず、IIC は、STDBR および EXTBR レジスタで設定した転送速度の SCL クロックを出力します。そのため、I^2C バスラインのバス負荷が規格値よりも大幅に大きい場合や、複数のマスタにおいて SCL クロック出力が重なった場合に、規格外の短い SCL クロックが出力される場合がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・繰り返しのスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

本ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き 0 にしないでください。

FMPE ビット（ファストモードプラス有効）

スロープ制御回路をファストモードプラス[Fm+]用のスロープ制御回路を使用するかどうかを選択します。

FMPE ビットを 1 にすると IIC バスのファストモードプラス[Fm+]のスロープ制御仕様 (tof) に準拠したスロープ制御回路が選択されます。FMPE ビットを 0 にすると、IIC バスのスタンダードモード[Sm]およびファストモード[Fm]のスロープ制御仕様 (tof) に準拠したスロープ制御回路が選択されます。

通信速度を IIC バス仕様の～1 Mbps（ファストモードプラス[Fm+]）の範囲内で使用する場合は、本ビットを 1 にしてください。それ以外の通信速度（～100 kbps[Sm]、～400 kbps[Fm]）または SMBus（10 kbps～100 kbps）で使用する場合は、本ビットを 0 にしてください。

注. Hs モードで通信するとき、以下のように設定してください。
- Hs モードマスタコード (0000 1XXXb) をファストモードで送るとき、FMPE を 0 に設定します。
- Hs モードマスタコード (0000 1XXXb) をファストモードプラスで送るとき、FMPE を 1 に設定します。

HSME ビット（High-speed モード）

このビットは Hs モードで通信するために使用します。

このビットが 1 の場合、Hs モードマスタコードを認識し、Hs モード通信が可能です。

スタートコンディションを検出後、Hs モードマスタコード (0000 1XXXb) の送信を認識すると、NACK 応答を受信した後、繰り返しのスタートコンディションから Hs モード通信を開始します。

NACK 応答まで、STDBR に設定されたビットレートで通信します。そして、NACK 応答の受信後繰り返しのスタートコンディション発行から、EXTBR に設定されたビットレートに自動的に切り替わります。

ストップコンディションが検出されるまで Hs モードが継続します。

ストップコンディションを検出したとき、ビットレートは STDBR に設定されたビットレートに自動的に切り替わります。

注. このビットを 1 にした場合、Hs モードマスタコードを送信した後 NACK 応答を受信しても、BST.NACKDF ビットは設定されません。

27.2.6 SVCTL : スレーブコントロールレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x064

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SVAE2	SVAE1	SVAE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	HOAE	—	—	—	—	—	—	—	—	DVIDE	HSMCE	—	—	—	—	GCAE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GCAE	ジェネラルコールアドレス有効 0: ジェネラルコールアドレス検出は無効 1: ジェネラルコールアドレス検出は有効	R/W
4:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
5	HSMCE(注1)	Hs モードマスタコード有効 0: Hs モードマスタコード検出は無効 1: Hs モードマスタコード検出は有効	R/W
6	DVIDE	デバイス ID アドレス有効 0: デバイス ID アドレス検出は無効 1: デバイス ID アドレス検出は有効	R/W
14:7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15	HOAE	ホストアドレス有効 0: ホストアドレス検出は無効 1: ホストアドレス検出は有効	R/W
16	SVAE0	スレーブアドレス有効 0 0: スレーブ 0 は無効 1: スレーブ 0 は有効	R/W
17	SVAE1	スレーブアドレス有効 1 0: スレーブ 1 は無効 1: スレーブ 1 は有効	R/W
18	SVAE2	スレーブアドレス有効 2 0: スレーブ 2 は無効 1: スレーブ 2 は有効	R/W
31:19	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. Hs モードマスタコード有効ビット (HSMCE) は IIC0 (SCL0_A, SDA0_A) に対応しています。ビット[5]はサポートしていないチャネルの予約ビットです。

GCAE ビット（ジェネラルコールアドレス有効）

ジェネラルコールアドレス (0000 000b + 0 (write): All0) を受信した場合、無視するかどうかを選択します。このビットを 1 にした場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、IIC は、SVDVADy.SVAD[9:0]ビット (y = 0〜2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをジェネラルコールアドレスと認識し、データ受信動作を行います。

このビットを 0 にした場合、受信したスレーブアドレスは、ジェネラルコールアドレスと一致しても無視されます。

HSMCE ビット（Hs モードマスタコード有効）

スタートコンディション検出後の第 1 バイトに Hs モードマスタコード (0000 1XXXb) を受信したことを認識して動作させるかどうかを選択します。

このビットが 1 の場合、受信した第 1 バイトが Hs モードマスタコードと一致した場合、IIC は Hs モードマスタコードを受信したと認識します。

Hs モードマスタコードへの NACK 応答後の繰り返しのスタート後の 1 バイト目はスレーブアドレスとして認識し、SVDVADy.SVAD[9:0]で設定されるスレーブアドレスと比較します。

アドレスが一致すると、R/W#ビット値に従って送信／受信動作を継続します。

ストップコンディションが検出されるまで Hs モードが継続します。

このビットを 0 にした場合、それが Hs モードマスタコードと一致しても、ストップコンディションを検出するまで IIC はパターンを無視します。

注. このビットを 1 にした場合、必ず SCSTRCTL.ACKTWE ビットを 0、SCSTRCTL.RWE ビットを 1 に設定してください。

DVIDE ビット（デバイス ID アドレス有効）

スタートコンディションまたは繰り返しのスタートコンディション検出後の第 1 バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

このビットが 1 の場合、受信した第 1 バイトがデバイス ID アドレスと一致した場合、IIC はデバイス ID アドレスを受信したと認識します。続く R/W#ビットが 0 (write) の場合、IIC は第 2 バイト以降をスレーブアドレスとみなして、受信動作を継続します。

このビットが 0 の場合、IIC は受信した第 1 バイトがデバイス ID アドレスと一致してもそれを無視し、第 1 バイトを通常のスレーブアドレスと認識します。

デバイス ID アドレス検出機能の詳細については、(3)デバイス ID アドレス検出機能を参照してください。

HOAE ビット（ホストアドレス有効）

BFCTL.SMBS ビットが 1 の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

SMBS ビット = 1 であるときにこのビットを 1 にした場合、受信したスレーブアドレスがホストアドレスと一致すると、IIC は、SVDVADy.SVAD[9:0]ビット (y = 0～2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをホストアドレスと認識し、受信動作を行います。

SMBS ビットまたは HOAE ビットが 0 の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

SVAEy ビット（スレーブアドレス y 有効 (y = 0～2)）

SVDVADy.SVAD[9:0]ビットで設定したスレーブアドレスを有効にするかどうかを選択します。

このビットを 1 にすると、SVAD[9:0]ビットで設定したスレーブアドレスが有効になり、受信したスレーブアドレスと比較されます。

このビットを 0 にすると、SVAD[9:0]ビットで設定したスレーブアドレスが無効になり、受信したスレーブアドレスと一致しても無視されます。

27.2.7 REFCKCTL：リファレンスクロックコントロールレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x070

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	IREFCKS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	IREFCKS[2:0]	内部基準クロック選択 IIC の内部基準クロックソース (IICφ) を選択します。 0 0 0: IICCLK/1 クロック 0 0 1: IICCLK/2 クロック 0 1 0: IICCLK/4 クロック 0 1 1: IICCLK/8 クロック 1 0 0: IICCLK/16 クロック 1 0 1: IICCLK/32 クロック 1 1 0: IICCLK/64 クロック 1 1 1: IICCLK/128 クロック	R/W
31:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

27.2.8 STDBR：スタンダードビットレートレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x074

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DSBRPO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	8	7	0
Bit field:	SBRHO[7:0]		SBRLO[7:0]	
Value after reset:	1 1 1 1 1 1 1 1		1 1 1 1 1 1 1 1	

ビット	シンボル	機能	R/W
7:0	SBRLO[7:0]	SCL クロックの Low 幅のカウント値	R/W
15:8	SBRHO[7:0]	SCL クロックの High 幅のカウント値	R/W
30:16	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
31	DSBRPO	オープンドレインでのスタンダードビットレート幅の 2 倍化 0: SBRHO[7:0]と SBRLO[7:0]に設定された時間幅の値を 2 倍の値にしない 1: SBRHO[7:0]と SBRLO[7:0]に設定された時間幅の値を 2 倍の値にする	R/W

STDBR レジスタは、動作スピードに応じてビットレートを設定します。(スタンダードモード／ファストモード／ファストモード+)

I2C 転送速度および SCL クロックのデューティ比は以下の式で算定します。

転送レート = 1 / {[(High 幅 + α(注1)) + (Low 幅 + α)] / IICφ(注2) + SCLn ライン立ち上がり時間[tr](注3) + SCLn ライン立ち下がり時間[tf](注3)}

デューティーサイクル = {SCLn ライン立ち上がり時間[tr] + (High 幅 + α) / IICφ} / {SCLn ライン立ち下がり時間[tf] + (Low 幅 + α) / IICφ}

注 1. α は、ノイズフィルタの段数に依存します。
注 2. IICφ = TCLK × 分周比
注 3. SCLn ライン立ち上がり時間[tr]および SCLn ライン立ち下がり時間[tf]は、バスライン総容量[Cb]とプルアップ抵抗[Rp]に依存します。詳細については、NXP 社の I2C バス仕様書を参照してください。

SBRLO[7:0]ビット（SCL クロックの Low 幅のカウント値）

SBRLO[7:0]ビットは、オープンドレインモードで SCL クロックの Low 幅の設定に使用するビットです。

IIC は、REFCKCTL.IREFCKS[2:0]ビットで指定した内部基準クロックソース (IICφ) で Low 幅をカウントします。またこのビットは、SCL 自動 Low ホールド発生時（「27.3.1.3.5. クロックストレッチ機能」参照）のデータセットアップ時間確保に使用します。そのため IIC を I2C スレーブモードで使用する場合には、このビットにデータセットアップ時間(注1)より大きな値を設定してください。

デジタルノイズフィルタ回路を有効 (INCTL.DNFE ビット = 1) にした場合、SBRLO[7:0]ビットにはノイズフィルタの段数＋ 1 以上の値を設定してください。ノイズフィルタの段数については、INCTL.DNFS[3:0]ビットを参照してください。

注 1. データセットアップ時間（tSU: DAT）
250 ns（～ 100 kbps：スタンダードモード [Sm]）
100 ns（～ 400 kbps：ファストモード [Fm]）
50 ns（～ 1 Mbps：ファストモードプラス [Fm+]）
10 ns（～ 3.4 Mbps：Hs モード [HS]）

SBRHO[7:0]ビット（SCL クロックの High 幅のカウント値）

SBRHO[7:0]ビットは、オープンドレインモードで SCL クロックの High 幅の設定に使用するビットです。SBRHO[7:0]ビットはマスタモードで有効になります。IIC を I^2C スレーブモードでのみ使用する場合には、High 幅を設定する必要はありません。

IIC は、REFCKCTL.IREFCKS[2:0]ビットで指定した内部基準クロックソース (IICφ) で High 幅をカウントします。

デジタルノイズフィルタ回路を有効 (INCTL.DNFE ビット = 1) にした場合、SBRHO[7:0]ビットにはノイズフィルタの段数＋ 1 以上の値を設定してください。ノイズフィルタの段数については、INCTL.DNFS[3:0]ビットを参照してください。

DSBRPO ビット（オープンドレインでのスタンダードビットレート幅の 2 倍化）

DSBRPO = 1 のとき、SBRHO[7:0]に設定された High 幅の値を 2 倍の値にして使用し、SBRLO[7:0]に設定された Low 幅の値を 2 倍の値にして使用してください。

表 27.4 各モードでの設定の要件と使用法

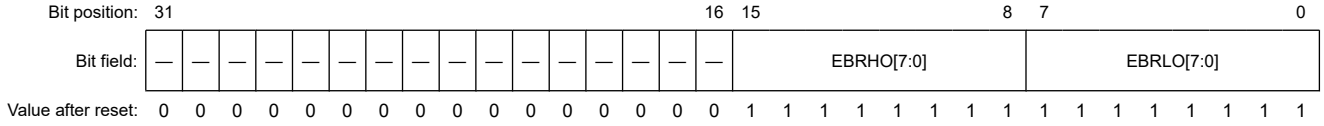
ビット名	デバイスモード	
	I^2C マスタ	I^2C スレーブ
SBRHO[7:0]	設定要(注1)	使用禁止
SBRLO[7:0]	設定要(注1)	設定要(注2)

注 1. 設定値は、スタンダードモード、ファストモード、およびファストモード+のデータレートに使用されます。
注 2. 設定値は、SCL 自動 Low ホールド動作のデータセットアップ時間に使用されます。

27.2.9 EXTBR：拡張ビットレートレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x078



ビット	シンボル	機能	R/W
7:0	EBRLO[7:0]	オープンドレインでの拡張ビットレート Low 幅 SCL クロックの Low 幅のカウント値	R/W
15:8	EBRHO[7:0]	オープンドレインでの拡張ビットレート High 幅 SCL クロックの High 幅のカウント値	R/W
31:16	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

EXTBR レジスタは、High-speed モードでの通信用ビットレートを設定します。

EBRLO[7:0]ビット（オープンドレインでの拡張ビットレート Low 幅）

詳細は、「27.2.8. STDBR：スタンダードビットレートレジスタ」の SBRLO[7:0]ビットを参照してください。SBRHO と SBRLO は EBRHO[7:0]と EBRLO[7:0]とみなしてください。

EBRHO[7:0]ビット（オープンドレインでの拡張ビットレート High 幅）

詳細は、「27.2.8. STDBR：スタンダードビットレートレジスタ」の SBRHO[7:0]ビットを参照してください。SBRHO と SBRLO は EBRHO[7:0]と EBRLO[7:0]とみなしてください。

表 27.5　各モードでの設定の要件と使用法

ビット名	デバイスモード	
	I²C マスタ	I²C スレーブ
EBRHO[7:0]	設定要(注1)	使用禁止
EBRLO[7:0]	設定要(注1)	設定要(注2)

注 1.　設定値は、HS モードのデータレートに使用されます。
注 2.　設定値は、HS モードの SCL 自動 Low ホールド動作のデータセットアップ時間に使用されます。

27.2.10　BFRECDT：バスフリー状態検出時間レジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)
Offset address: 0x07C

Bit position:	31 … 9	8 … 0
Bit field:	—	FRECYC[8:0]
Value after reset:	0	0

ビット	シンボル	機能	R/W
8:0	FRECYC[8:0]	バスフリー状態検出サイクル カウント値は、バスフリー状態を検出する期間	R/W
31:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

FRECYC[8:0]ビット（バスフリー状態検出サイクル）

IIC は、IICφ でバスフリー状態を検出する期間をカウントします。

バスフリー期間を設定します。このバスフリー期間は、REFCKCTL.IREFCKS[2:0]ビットで指定した内部基準クロック (IICφ) でカウントします。バスフリー検出の動作については、BCST.BFREF フラグを参照してください。

27.2.11　OUTCTL：出力コントロールレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)
Offset address: 0x088

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10 … 8	7	6	5	4	3	2	1	0
Bit field:	SDODCS	—	—	—	—	SDOD[2:0]	—	—	—	EXCYC	—	SOCWP	SCOC	SDOC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	SDOC	SDA 出力制御 0: IIC は SDAn 端子を Low にする 1: IIC は SDAn 端子を解放する	R/W
1	SCOC	SCL 出力制御 外部プルアップ抵抗により High 出力 0: IIC は SCLn 端子を Low にする 1: IIC は SCLn 端子を解放する	R/W

ビット	シンボル	機能	R/W
2	SOCWP	SCL/SDA 出力制御ライトプロテクト 0: SCOC、SDOC ビットを保護 1: ビット SCOC および SDOC は書き込み可能である（対象ビットの値と同時に書き込みするとき） 読むと 0 が読めます。	W
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	EXCYC	SCL クロック追加出力 1 クロック出力後、自動的に 0 になる 0: SCL クロックを追加で出力しない（通常状態） 1: SCL クロックを追加で出力する	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
10:8	SDOD[2:0]	SDA 出力遅延 0 0 0: 出力遅延なし 0 0 1: 1 IICφ サイクル（OUTCTL.SDODCS = 0 のとき (IICφ)） 1 または 2 IICφ サイクル（OUTCTL.SDODCS = 1 のとき (IICφ/2)） 0 1 0: 2 IICφ サイクル（OUTCTL.SDODCS = 0 のとき (IICφ)） 3 または 4 IICφ サイクル（OUTCTL.SDODCS = 1 のとき (IICφ/2)） 0 1 1: 3 IICφ サイクル（OUTCTL.SDODCS = 0 のとき (IICφ)） 5 または 6 IICφ サイクル（OUTCTL.SDODCS = 1 のとき (IICφ/2)） 1 0 0: 4 IICφ サイクル（OUTCTL.SDODCS = 0 のとき (IICφ)） 7 または 8 IICφ サイクル（OUTCTL.SDODCS = 1 のとき (IICφ/2)） 1 0 1: 5 IICφ サイクル（OUTCTL.SDODCS = 0 のとき (IICφ)） 9 または 10 IICφ サイクル（OUTCTL.SDODCS = 1 のとき (IICφ/2)） 1 1 0: 6 IICφ サイクル（OUTCTL.SDODCS = 0 のとき (IICφ)） 11 または 12 IICφ サイクル（OUTCTL.SDODCS = 1 のとき (IICφ/2)） 1 1 1: 7 IICφ サイクル（OUTCTL.SDODCS = 0 のとき (IICφ)） 13 または 14 IICφ サイクル（OUTCTL.SDODCS = 1 のとき (IICφ/2)）	R/W
14:11	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15	SDODCS	SDA 出力遅延クロックソース選択 0: SDA 出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1: SDA 出力遅延カウンタのクロックソースに内部基準クロックの 2 分周 (IICφ/2) を選択(注1)	R/W
31:16	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. SCL が Low のときのみ SDODCS = 1 (IICφ/2) の設定が有効になります。SCL が High のとき SDODCS = 1 の設定は無効となり、クロックソースは内部基準クロック (IICφ) となります。

SDOC ビット（SDA 出力制御）、SCOC ビット（SCL 出力制御）

本モジュールが出力する SDAn 信号、SCLn 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOCWP ビットにも 1 を書いてください。

これらのビットを設定した結果は、入力バッファを介して IIC に入力されます。スレーブモードに設定していると、ビットの設定によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、繰り返しスタートコンディションの期間中、または送受信中に、これらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証されません。

EXCYC ビット（SCL クロック追加出力）

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時またはエラー処理時に使用します。

通常動作では、本ビットを 0 にしてください。通常の通信状態でこのビットを 1 にすると、通信エラーの原因になります。

この機能の詳細については、「27.3.1.3.6. ポートコントロール」、(1)SCL クロック追加出力機能を参照してください。

27.2.12 INCTL：入力コントロールレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x08C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	DNFE	DNFS[3:0]	
Value after reset:	0	0	0	0	0	0	0	0	1	1	0	1	0	0	0	0

ビット	シンボル	機能	R/W
3:0	DNFS[3:0]	デジタルノイズフィルタ段数選択 0x0: 1 IICφ サイクル以下のノイズを除去（フィルタは 1 段） 0x1: 2 IICφ サイクル以下のノイズを除去（フィルタは 2 段） 0x2: 3 IICφ サイクル以下のノイズを除去（フィルタは 3 段） 0x3: 4 IICφ サイクル以下のノイズを除去（フィルタは 4 段） 0x4: 5 IICφ サイクル以下のノイズを除去（フィルタは 5 段） ⋮ 0xF: 16 IICφ サイクル以下のノイズを除去（フィルタは 16 段）	R/W
4	DNFE	デジタルノイズフィルタ回路イネーブル 0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7:6	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
31:8	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

DNFS[3:0]ビット（デジタルノイズフィルタ段数選択）

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「27.3.1.6.3. デジタルノイズフィルタ回路」を参照してください。

I2C High-speed モードでは、本モジュールはノイズフィルタの段数をその 1/4 に自動的に変更します。

注.
- ノイズフィルタで除去するノイズ幅は、SCLn ラインの High 幅または Low 幅よりも狭くなるように設定してください。ノイズ幅の設定が［SCL クロックの幅：High 幅または Low 幅のいずれか短い方］-［1.5 内部基準クロック (IICφ) サイクル］の値以上の場合、SCL クロックは IIC のノイズフィルタ機能によりノイズとみなされ、IIC が正常に動作しない可能性ことがあります。
- I2C High-speed モードでは、DNFS [3:0]ビットは無視され、フィルタの段数の 1～4 はその上位 2 ビットで選択されます。

27.2.13 TMOCTL：タイムアウトコントロールレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x090

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TOMDS[1:0]		TOHCTL	TOLCTL	—	—	TODTS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0

ビット	シンボル	機能	R/W
1:0	TODTS[1:0]	タイムアウト検出時間選択 0 0: 16 ビットタイムアウト 0 1: 14 ビットタイムアウト 1 0: 8 ビットタイムアウト 1 1: 6 ビットタイムアウト	R/W
3:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	TOLCTL	タイムアウト L カウント制御 0: SCLn ラインが Low の間カウント禁止 1: SCLn ラインが Low の間カウント有効	R/W
5	TOHCTL	タイムアウト H カウント制御 0: SCLn ラインが High の間カウント禁止 1: SCLn ラインが High の間カウント有効	R/W
7:6	TOMDS[1:0]	タイムアウト動作モード選択 0 0: タイムアウトを以下の条件で検出します。 ● マスタモードで、バスビジー (BCST.BFREF = 0) ● スレーブモードで、IIC のスレーブアドレスが検出され、バスビジー ● スタートコンディション発行要求中 (CNDCTL.STCND = 1) で、バスフリー (BCST.BFREF = 1) 0 1: タイムアウトをバスビジーのときに検出する 1 0: タイムアウトをバスフリーのときに検出する 1 1: 設定禁止	R/W
31:8	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

TODTS[1:0]ビット（タイムアウト検出時間選択）

タイムアウト検出機能有効時 (BSTE.TODE ビット = 1) に、タイムアウト検出時間を選択するビットです。

これらのビットが 00b に設定されているとき、タイムアウト検出用の内部カウンタは 16 ビットカウンタとして機能します。

これらのビットが 01b に設定されているとき、このカウンタは 14 ビットカウンタとして機能します。

これらのビットが 10b に設定されているとき、このカウンタは 8 ビットカウンタとして機能します。

これらのビットが 11b に設定されているとき、このカウンタは 6 ビットカウンタとして機能します。

SCLn ラインが、このカウンタを TOHCTL ビットと TOLCTL ビットの指定通り動作させる状態にあるとき、このカウンタは内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「27.3.1.4.1. タイムアウトエラー検出機能」を参照してください。

TOLCTL ビット（タイムアウト L カウント制御）

タイムアウト検出機能有効時（BSTE.TODE ビット = 1）に、SCLn ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TOHCTL ビット（タイムアウト H カウント制御）

タイムアウト検出機能有効時（BSTE.TODE ビット = 1）に、SCLn ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TOMDS[1:0]ビット（タイムアウト動作モード選択）

タイムアウト検出機能有効時に、タイムアウト検出条件を選択するビットです。

27.2.14 WUCTL：ウェイクアップユニットコントロールレジスタ

Base address: IIC0WU_B = 0x4011_F098

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	WUFE	WUFSYNE	—	WUANFS	—	—	—	WUACKS
Value after reset:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	WUACKS	ウェイクアップアクノリッジ選択 RSTCTL.INTLRST ビット、WUACKS ビットを組み合わせた 4 つの応答モードを選択します。詳細を、表 27.6 に示します。	R/W
3:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	WUANFS	ウェイクアップアナログノイズフィルタ選択 0: ウェイクアップアナログフィルタを追加しない 1: ウェイクアップアナログフィルタを追加する	R/W
5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6	WUFSYNE	ウェイクアップ機能 PCLKA 同期有効 0: IIC 非同期回路有効 1: IIC 同期回路有効	R/W
7	WUFE	ウェイクアップ機能有効 ウェイクアップ動作中は、WUFE = 0 に設定しないでください。 0: ウェイクアップ機能無効 1: ウェイクアップ機能有効	R/W
31:8	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

表 27.6 ウェイクアップモード

INTLRST	WUACKS	動作モード	内容
0	0	ノーマルウェイクアップモード 1	SCL の 9 クロック目で ACK 応答し、9 クロック目の後に SCL の Low ホールドを行う。
0	1	ノーマルウェイクアップモード 2	即時 ACK 応答せず、SCL クロックの 8 クロック目と 9 クロック目の間で SCL の Low ホールドを行う。SCL クロックの 9 クロック目で SCL の Low ホールドを解除し ACK 応答する。
1	0	コマンドリカバリモード	SCL クロックの 9 クロック目で ACK 応答し、SCL の Low ホールドは行わない。
1	1	EEP 応答モード	SCL クロックの 9 クロック目で NACK 応答し、SCL の Low ホールドは行わない。

注. ウェイクアップモード 2 では、HS モードを使用できません。

WUFSYNE ビット（ウェイクアップ機能 PCLKA 同期有効）

PCLKA/IICCLK 同期動作と PCLKA/IICCLK 非同期動作の間の切り替えに使用します。

ウェイクアップ機能有効 (WUCTL.WUFE ビット = 1) のとき、WUASYNF フラグと組み合わせて使用します。

[PCLKA/IICCLK 同期動作から PCLKA/IICCLK 非同期動作に切り替え時]

WUFSYNE = 0 である間に WUASYNF フラグが 1 に設定されたとき、IIC 動作は BCST.BFREF フラグ = 1 である間に PCLKA/IICCLK 非同期動作に変わります。

受信は、PCLKA/IICCLK 非同期動作（ウェイクアップイベント検出動作）に切り替わった後は PCLKA/IICCLK の動作状態に関係なく（PCLKA/IICCLK 停止状態で）実行されます。

[PCLKA/IICCLK 非同期動作から PCLKA/IICCLK 同期動作に切り替え時]

以下の条件で、IIC 動作は PCLKA/IICCLK 同期動作に変わります。（同時に WUFSYNE フラグは 0 になります。）

WUFSYNE ビットを 1 にした直後に、ウェイクアップイベントを検出した場合

WUFSYNE ビットを 1 にした後にストップコンディションを検出したときに、ウェイクアップイベントを検出しない場合

[1 になる条件]

- WUFSYNE ビットに 1 を書いたとき
- WUCTL.WUFE = 0 のとき

[0 になる条件]

- WUFSYNE ビットに 0 を書いたとき

27.2.15 ACKCTL：アクノリッジコントロールレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x0A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	ACKTWP	ACKT	ACKR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ACKR	Acknowledge 受信 0: アクノリッジビットに 0 を受信（ACK 受信） 1: アクノリッジビットに 1 を受信（NACK 受信）	R
1	ACKT	Acknowledge 送信 0: アクノリッジビットに 0 を送出（ACK 送信） 1: アクノリッジビットに 1 を送出（NACK 送信）	R/W
2	ACKTWP	ACKT ライトプロテクト 0: ACKT ビットは保護される 1: ACKT ビットは書き込み可能である（対象ビットの値と同時に書き込みするとき） 読むと 0 が読めます。	W
31:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ACKR ビット（Acknowledge 受信）

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[1 になる条件]

- PRSST.TRMD ビットが 1 の状態で、アクノリッジビットに 1 を受信したとき

[0 になる条件]

- PRSST.TRMD ビットが 1 の状態で、アクノリッジビットに 0 を受信したとき

ACKT ビット（Acknowledge 送信）

[1 になる条件]

- ACKT ビットに 1 を書いて、同時に ACKTWP ビットにも 1 を書いたとき

[0 になる条件]

- ACKT ビットに 0 を書いて、同時に ACKTWP ビットにも 1 を書いたとき
- ストップコンディションが検出されたとき（CNDCTL.SPCND ビットが 1 の状態で、ストップコンディションが検出されたとき）

注. ACKT ビットは I2C スレーブモード時に 0 にしてください。

ACKTWP ビット（ACKT ライトプロテクト）

ACKT ビットへの書き込みを制御します。

ACKT ビットに書き込む場合、このビットに 1 を書き込むと同時に、ACKT ビットに書き込みが可能です。

読むと 0 が読めます。

27.2.16 SCSTRCTL：SCL ストレッチコントロールレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x0A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RWE	ACKTWE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ACKTWE	アクノリッジ送信ウェイト許可 0: SCL クロックの 9 クロック目の立ち上がり時に NTST.RDBFF0 を設定（8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行わない） 1: SCL クロックの 8 クロック目の立ち上がり時に NTST.RDBFF0 を設定（8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行う） Low ホールドは ACKCTL.ACKT ビットへの書き込みで解除	R/W
1	RWE	受信ウェイト許可 0: ウェイトなし（9 クロック目と 1 クロック目の間に Low ホールドを行わない） 1: ウェイトあり（9 クロック目と 1 クロック目の間に Low ホールドを行う） Low ホールドは NTDTBP0 レジスタの読み出しで解除	R/W
31:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ACKTWE ビット（アクノリッジ送信ウェイト許可）

受信モードにおいて NTST.RDBFF0 フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行うかどうかを選択します。

ACKTWE ビットが 0 のとき、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドは行わず、SCL クロックの 9 クロック目の立ち上がりで NTST.RDBFF0 フラグを 1 にします。

ACKTWE ビットが 1 のとき、SCL クロックの 8 クロック目の立ち上がりで NTST.RDBFF0 フラグを 1 にし、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行います。この SCLn ラインの Low ホールドは ACKCTL.ACKT ビットへの書き込みにより解除されます。

この設定でデータを受信した後、アクノリッジビット送出前に、SCLn ラインは自動的に Low ホールドされます。これにより、受信データの内容に応じて ACK（ACKCTL.ACKT ビットが 0）または NACK（ACKCTL.ACKT ビットが 1）を送出する処理が可能となります。

RWE ビット（受信ウェイト許可）

受信モードにおいて 1 バイト受信ごとに、受信データバッファ（NTDTBP0 レジスタ）の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

RWE ビットが 0 のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。ACKTWE ビットと RWE ビットがともに 0 のとき、ダブルバッファによる連続受信動作が可能です。

RWE ビットが 1 のとき、1 バイト受信ごとに、9 クロック目の立ち下がり以降、NTDTBP0 レジスタ値が読み出されるまでの間、SCLn ラインを Low にホールドします。

これによって、1 バイトごとの受信動作が可能になります。

注. RWE ビットを読み出す場合は、NTDTBP0 レジスタを先に読んでください。

27.2.17 CNDCTL：条件コントロールレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x140

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SPCND	SRCND	STCND
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCND	スタート (S) コンディション発行 0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
1	SRCND	繰り返しのスタート (Sr) コンディション発行 0: 繰り返しのスタートコンディションの発行を要求しない 1: 繰り返しのスタートコンディションの発行を要求する	R/W
2	SPCND	ストップ (P) コンディション発行 0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
31:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

STCND ビット（スタート (S) コンディション発行）

マスタモードへの遷移およびスタートコンディションの発行を要求します。

スタートコンディション発行の詳細については、「27.3.1.3.2. スタートコンディション、繰り返しのスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- STCND ビットに 1 を書いたとき

[0 になる条件]

- STCND ビットに 0 を書いたとき
- スタートコンディションの発行が完了したとき（スタートコンディションを検出したとき）
- BST.ALF（アービトレーションロスト）フラグが 1 になったとき

注. STCND ビットは、BCST.BFREF フラグが 1（バスフリー）のとき、1（スタートコンディション発行要求）にしてください。

BFREF フラグが 1（バスビジー）のとき、STCND ビットを 1（スタートコンディション発行要求）にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

SRCND ビット（繰り返しのスタート (Sr) コンディション発行）

マスタモードで繰り返しのスタートコンディションの発行を要求します。

本ビットが 1 になると繰り返しのスタートコンディションの発行を要求し、BFREF フラグが 0（バスビジー）でかつ PRSST.CRMS ビットが 1（マスタモード）のとき、繰り返しのスタートコンディションの発行を行います。

繰り返しのスタートコンディション発行の詳細については、「27.3.1.3.2. スタートコンディション、繰り返しのスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- BCST.BFREF フラグが 0 の状態で、SRCND ビットに 1 を書いたとき

[0 になる条件]

- SRCND ビットに 0 を書いたとき
- 繰り返しのスタートコンディションの発行が完了したとき（繰り返しのスタートコンディションを検出したとき）
- BST.ALF（アービトレーションロスト）フラグが 1 になったとき

注. ストップコンディション発行中に SRCND ビットを 1 にしないでください。

注. スレーブモードでは SRCND ビットに 1（繰り返しのスタートコンディション発行要求）を書いた場合、繰り返しのスタートコンディションは発行されずに SRCND ビットは 1 のままになります。

このビットをクリアせずにマスタモードに遷移させた場合、繰り返しのスタートコンディションが発行される可能性がありますので注意してください。

SPCND ビット（ストップ (P) コンディション発行）

マスタモードでストップコンディションの発行を要求します。

本ビットが 1 になるとストップコンディションの発行を要求し、BCST.BFREF フラグが 0（バスビジー）でかつ PRSST.CRMS ビットが 1（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細については、「27.3.1.3.2. スタートコンディション、繰り返しのスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- BCST.BFREF フラグが 0、PRSST.CRMS ビットが 1 の状態で、SPCND ビットに 1 を書いたとき

[0 になる条件]

- SPCND ビットに 0 を書いたとき
- ストップコンディションの発行が完了したとき（ストップコンディションを検出したとき）
- BST.ALF（アービトレーションロスト）フラグが 1 になったとき
- スタートコンディションおよび繰り返しのスタートコンディションが検出されたとき

注. BCST.BFREF フラグが 1（バスフリー）のとき、SPCND ビットへの書き込みはできません。

注. 繰り返しのスタートコンディション発行中に SPCND ビットを 1 にしないでください。

27.2.18 NTDTBP0/NTDTBP0_BY : 通常転送データバッファポートレジスタ 0

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x158

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	通常転送データバッファポート NTDTBP0 レジスタは、32 ビットの読み出し／書き込みレジスタです。 NTDTBP0_BY (NTDTBP0[7:0]) レジスタは、8 ビットの読み出し／書き込みレジスタです。	R/W

32 ビットメールボックスレジスタ NTDTBP0 は、32 ビットの双方向性データ転送レジスタで、通常受信データバッファからの読み出しと通常送信データバッファへの書き込みの両方に使用します。

言い換えれば、通常受信データバッファと通常送信データバッファは、IIC データを送受信する一つの双方向ポートを形成する同一のオフセットを有します。

読み出し動作

1 バイトのデータの受信が終了すると、受信したデータは内部シフトレジスタから NTDTBP0 レジスタへ転送され、次のデータを受信可能にします。内部シフトレジスタと NTDTBP0 レジスタはダブルバッファ構造になっているため、内部シフトレジスタのデータ受信中に、すでに受信したデータを NTDTBP0 レジスタから読んでおくと連続受信動作が可能です。NTDTBP0 レジスタからの読み出しは、受信データフル割り込み (IICn_RX) 要求が発生したときに 1 回だけ行ってください。受信データを NTDTBP0 レジスタから読み出さないまま（NTST.RDBFF0 フラグが 1 の状態のまま）NTDTBP0 レジスタが次の受信データを受け取ると、本モジュールは RDBFF0 フラグが再び 1 になるタイミングの 1 つ手前の SCL クロックで自動的に Low ホールドを行います。32 ビットリードデータの下位 8 ビットは、受信データとして有効です。

書き込み動作

NTDTBP0 レジスタが内部シフトレジスタの空きを検出すると、NTDTBP0 レジスタに書き込まれた送信データが内部シフトレジスタへ転送され、送信モードでデータ送信を開始します。NTDTBP0 レジスタと内部シフトレジスタはダブルバッファ構造になっているため、内部シフトレジスタのデータ送信中に、次に送信するデータを NTDTBP0 レジスタに書いておくと連続送信動作が可能です。NTDTBP0 レジスタへの送信データの書き込みは、送信データエンプティ割り込み (IICn_TX) 要求が発生したときに 1 回だけ行ってください。32 ビットライトデータの下位 8 ビットは、送信データとして有効です。

27.2.19 BST : バスステータスレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x1D0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	WUCNDDF	—	—	—	TODF	—	—	—	ALF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TENDF	—	—	—	NACKDF	—	—	SPCNDDF	STCNDDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCNDDF	スタートコンディション検出フラグ 0: スタートコンディション未検出 1: スタートコンディション検出	R/W(注1)

ビット	シンボル	機能	R/W
1	SPCNDDF	ストップコンディション検出フラグ 0: ストップコンディション未検出 1: ストップコンディション検出	R/W(注1)
3:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	NACKDF	NACK 検出フラグ 0: NACK 未検出 1: NACK 検出	R/W(注1)
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	TENDF	送信終了フラグ 0: データ送信中 1: データ送信終了	R/W(注1)
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	ALF	アービトレーションロストフラグ 0: アービトレーションロスト未発生 1: アービトレーションロスト発生	R/W(注1)
19:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
20	TODF	タイムアウト検出フラグ 0: タイムアウト未検出 1: タイムアウト検出	R/W(注1)
23:21	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
24	WUCNDDF(注2)	ウェイクアップコンディション検出フラグ 0: ウェイクアップ未検出 1: ウェイクアップ検出	R/W(注1)
31:25	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. 0 になる条件：1 を読んだ後、0 を書き込んだとき
注 2. 本ビットは、IIC0 のみ書き込み可能です。読むと 0 が読めます。書く場合、IIC1 のときに 0 を書いてください。

STCNDDF ビット（スタートコンディション検出フラグ）

[1 になる条件]

- 以下がすべて満たされたとき：
  1. BSTE.STCNDDE ビットが 1 である
  2. スタートコンディション（または繰り返しのスタートコンディション）が検出された

[0 になる条件]

- STCNDDF フラグ = 1 を読んだ後、STCNDDF フラグに 0 を書いたとき
- ストップコンディションが検出されたとき

SPCNDDF ビット（ストップコンディション検出フラグ）

[1 になる条件]

- 以下がすべて満たされたとき：
  1. BSTE.SPCNDDE ビットが 1 である
  2. ストップコンディションが検出された

[0 になる条件]

- SPCNDDF フラグ = 1 を読んだ後、SPCNDDF フラグに 0 を書いたとき

NACKDF ビット（NACK 検出フラグ）

[1 になる条件]

- 以下がすべて満たされたとき：
  1. BSTE.NACKDE ビットが 1 である（NACK 検出割り込みステータスログが有効）

2. 送信モード時に受信デバイスからアクノリッジを受信しない（NACK を受信した）

[0 になる条件]

- NACKDF フラグ = 1 を読んだ後、NACKDF フラグに 0 を書いたとき

TENDF ビット（送信終了フラグ）

[1 になる条件]

- 以下がすべて満たされたとき：
  1. BSTE.TENDE ビットが 1 である（送信終了割り込みステータスログが有効）
  2. NTST.TDBEF0 フラグが 1 の状態での SCL クロックの 9 クロック目の立ち上がり時点である（ただし、アドレス送信時を除く）

[0 になる条件]

- TENDF フラグ = 1 を読んだ後、TENDF フラグに 0 を書いたとき
- NTDTBP0 レジスタへデータを書いたとき
- ストップコンディションが検出されたとき

ALF ビット（アービトレーションロストフラグ）

[1 になる条件]

マスタアービトレーションロスト検出有効時：BSTE.ALE ビット = 1、BFCTL.MALE ビット = 1

- マスタ送信モード時のデータ送信（スレーブアドレス送信含む）において、ACK 期間を除く SCL クロックの立ち上がりで出力した SDA 信号と SDA ライン上の信号の状態が不一致のとき（内部 SDA 出力が High 出力（SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）
- 以下がすべて満たされたとき：
  1. CNDCTL.STCND ビットが 1 の状態で、スタートコンディションが検出された
  2. 内部の SDA 出力状態が SDA ラインレベルと不一致である
- BCST.BFREF フラグが 0 の状態で CNDCTL.STCND ビットが 1（スタートコンディション発行要求）のとき

NACK アービトレーションロスト検出有効時：BSTE.ALE ビット = 1、BFCTL.NALE ビット = 1

- 受信モードでの NACK 送信中に、ACK 期間において、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA ラインレベルと不一致のとき

スレーブアービトレーションロスト検出有効時：BSTE.ALE ビット = 1、BFCTL.SALE ビット = 1

- スレーブ送信モードでのデータ送信中の ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA ラインレベルと不一致のとき

[0 になる条件]

- ALF フラグ = 1 を読んだ後、ALF フラグに 0 を書いたとき

TODF ビット（タイムアウト検出フラグ）

[1 になる条件]

- 以下がすべて満たされたとき：
  1. BSTE.TODE ビットが 1 である（タイムアウト検出割り込みステータスログが有効）
  2. マスタモードであるとき、または、スレーブモードにおいて、受信したスレーブアドレスがスレーブアドレス n と一致するとき
  3. SCL ライン状態が TMOCTL レジスタに指定された期間変わらないとき

[0 になる条件]

- TODF フラグ = 1 を読んだ後、TODF フラグに 0 を書いたとき

WUCNDDF ビット（ウェイクアップコンディション検出フラグ）

[1 になる条件]

- 以下がすべて満たされたうえで、PCLKA と IICCLK が供給されたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. BSTE.WUCNDDE ビットが 1（ウェイクアップ状態検出ステータスログが有効）である
  3. WUST.WUASYNF フラグ = 1
  4. スレーブモードで受信したアドレスが SVCTL.SVAEy ビットで有効にしたスレーブのアドレスと一致する（デバイス ID アドレスを除く）

[0 になる条件]

- WUST.WUASYNF フラグが 0 である状態で、WUCNDDF フラグ = 1 を読んだ後、WUCNDDF フラグに 0 を書いたとき

27.2.20 BSTE：バスステータス許可レジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x1D4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	WUCNDDE	—	—	—	TODE	—	—	—	ALE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TENDE	—	—	—	NACKDE	—	—	SPCNDDE	STCNDDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCNDDE	スタートコンディション検出許可 0: スタートコンディション検出割り込みステータスログを禁止 1: スタートコンディション検出割り込みステータスログを許可	R/W
1	SPCNDDE	ストップコンディション検出許可 0: ストップコンディション検出割り込みステータスログを禁止 1: ストップコンディション検出割り込みステータスログを許可	R/W
3:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	NACKDE	NACK 検出許可 0: NACK 検出割り込みステータスログを禁止 1: NACK 検出割り込みステータスログを許可	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	TENDE	送信終了許可 0: 送信終了割り込みステータスログを禁止 1: 送信終了割り込みステータスログを許可	R/W
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	ALE	アービトレーションロスト許可 0: アービトレーションロスト割り込みステータスログを禁止 1: アービトレーションロスト割り込みステータスログを許可	R/W
19:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
20	TODE	タイムアウト検出許可 0: タイムアウト検出割り込みステータスログを禁止 1: タイムアウト検出割り込みステータスログを許可	R/W
23:21	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
24	WUCNDDE(注1)	ウェイクアップコンディション検出許可 0: ウェイクアップコンディション検出ステータスログを禁止 1: ウェイクアップコンディション検出ステータスログを許可	R/W
31:25	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. 読むと IIC0 が読めます。読むと 0 が読めます。書く場合、IIC1 のときに 0 を書いてください。

STCNDDE ビット（スタートコンディション検出許可）

このビットが 1 のとき、BST.STCNDDF の動作が有効になります。BST.STCNDDF フラグの 1 になる条件、0 になる条件については、BST.STCNDDF フラグの詳細を参照してください。

SPCNDDE ビット（ストップコンディション検出許可）

このビットが 1 のとき、BST.SPCNDDF の動作が有効になります。BST.SPCNDDF フラグの 1 になる条件、0 になる条件については、BST.SPCNDDF フラグの詳細を参照してください。

NACKDE ビット（NACK 検出許可）

このビットが 1 のとき、BST.NACKDF の動作が有効になります。送信モードのスレーブデバイスから NACK を受信した場合、転送動作を継続するか中断するかを指定するために使用されます。通常は、このビットを 1 にしてください。BST.NACKDF フラグの 1 になる条件、0 になる条件については、BST.NACKDF フラグの詳細を参照してください。

TENDE ビット（送信終了許可）

このビットが 1 のとき、BST.TENDF の動作が有効になります。BST.TENDF フラグの 1 になる条件、0 になる条件については、BST.TENDF フラグの詳細を参照してください。

ALE ビット（アービトレーションロスト許可）

このビットが 1 のとき、BST.ALF の動作が有効になります。BST.ALF フラグの 1 になる条件、0 になる条件については、BST.ALF フラグの詳細を参照してください。

TODE ビット（タイムアウト検出許可）

このビットが 1 のとき、BST.TODF の動作が有効になります。BST.TODF フラグの 1 になる条件、0 になる条件については、BST.TODF フラグの詳細を参照してください。

WUCNDDE ビット（ウェイクアップコンディション検出許可）

このビットが 1 のとき、BST.WUCNDDF の動作が有効になります。BST.WUCNDDF フラグの 1 になる条件、0 になる条件については、BST.WUCNDDF フラグの詳細を参照してください。

27.2.21 BIE：バス割り込み許可レジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x1D8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	WUCNDDIE	—	—	—	TODIE	—	—	—	ALIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TENDIE	—	—	—	NACKDIE	—	—	SPCNDDIE	STCNDDIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCNDDIE	スタートコンディション検出割り込み許可 0: スタートコンディション検出割り込み信号を禁止 1: スタートコンディション検出割り込み信号を許可	R/W

ビット	シンボル	機能	R/W
1	SPCNDDIE	ストップコンディション検出割り込み許可 0: ストップコンディション検出割り込み信号を禁止 1: ストップコンディション検出割り込み信号を許可	R/W
3:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	NACKDIE	NACK 検出割り込み許可 0: NACK 検出割り込み信号を禁止 1: NACK 検出割り込み信号を許可	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	TENDIE	送信終了割り込み許可 0: 送信終了割り込み信号を禁止 1: 送信終了割り込み信号を許可	R/W
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	ALIE	アービトレーションロスト割り込み許可 0: アービトレーションロスト割り込み信号を禁止 1: アービトレーションロスト割り込み信号を許可	R/W
19:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
20	TODIE	タイムアウト検出割り込み許可 0: タイムアウト検出割り込み信号を禁止 1: タイムアウト検出割り込み信号を許可	R/W
23:21	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
24	WUCNDDIE(注1)	ウェイクアップコンディション検出割り込み許可 0: ウェイクアップコンディション検出割り込み信号を禁止 1: ウェイクアップコンディション検出割り込み信号を許可	R/W
31:25	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. 読むと IIC0 が読めます。読むと 0 が読めます。書く場合、IIC1 のときに 0 を書いてください。

BIE は、IIC で受信したバス割り込み発生の信号を許可します。

STCNDDIE ビット（スタートコンディション検出割り込み許可）

BST.STCNDDF フラグが 1 のとき、スタートコンディション検出割り込み要求を許可または禁止します。

SPCNDDIE ビット（ストップコンディション検出割り込み許可）

BST.SPCNDDF フラグが 1 のとき、ストップコンディション検出割り込み要求を許可または禁止します。

NACKDIE ビット（NACK 検出割り込み許可）

BST.NACKDF フラグが 1 のとき、NACK 検出割り込み要求を許可または禁止します。

TENDIE ビット（送信終了割り込み許可）

BST.TENDF フラグが 1 のとき、送信終了割り込み (IICn_TEND) 要求を許可または禁止します。

ALIE ビット（アービトレーションロスト割り込み許可）

BST.ALF フラグが 1 のとき、アービトレーションロスト割り込み要求を許可または禁止します。

TODIE ビット（タイムアウト検出割り込み許可）

BST.TODF フラグが 1 のとき、タイムアウト検出割り込み要求を許可または禁止します。

WUCNDDIE ビット（ウェイクアップコンディション検出割り込み許可）

BST.WUCNDDF フラグが 1 のとき、ウェイクアップコンディション検出割り込み (IIC0_WU) 要求を許可または禁止します。

27.2.22 BSTFC：バスステータス強制レジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x1DC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	WUCNDDFC	—	—	—	TODFC	—	—	—	ALFC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TENDFC	—	—	—	NACKDFC	—	—	SPCNDDFC	STCNDDFC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCNDDFC	スタートコンディション検出強制 0: ソフトウェアテスト用にスタートコンディション検出割り込みを強制しない 1: ソフトウェアテスト用にスタートコンディション検出割り込みを強制する	W
1	SPCNDDFC	ストップコンディション検出強制 0: ソフトウェアテスト用にストップコンディション検出割り込みを強制しない 1: ソフトウェアテスト用にストップコンディション検出割り込みを強制する	W
3:2	—	読むと 0 が読めます。	R
4	NACKDFC	NACK 検出強制 0: ソフトウェアテスト用に NACK 検出割り込みを強制しない 1: ソフトウェアテスト用に NACK 検出割り込みを強制する	W
7:5	—	読むと 0 が読めます。	R
8	TENDFC(注1)	送信終了強制 0: ソフトウェアテスト用に送信終了割り込みを強制しない 1: ソフトウェアテスト用に送信終了割り込みを強制する	W
15:9	—	読むと 0 が読めます。	R
16	ALFC	アービトレーションロスト強制 0: ソフトウェアテスト用にアービトレーションロスト割り込みを強制しない 1: ソフトウェアテスト用にアービトレーションロスト割り込みを強制する	W
19:17	—	読むと 0 が読めます。	R
20	TODFC	タイムアウト検出強制 0: ソフトウェアテスト用にタイムアウト検出割り込みを強制しない 1: ソフトウェアテスト用にタイムアウト検出割り込みを強制する	W
23:21	—	読むと 0 が読めます。	R
24	WUCNDDFC(注2)	ウェイクアップコンディション検出強制 0: ソフトウェアテスト用にウェイクアップコンディション検出割り込みを強制しない 1: ソフトウェアテスト用にウェイクアップコンディション検出割り込みを強制する	W
31:25	—	読むと 0 が読めます。	R

注 1. TDBEF0 ビットが 1 でない限り、TENDFC は無効です。
注 2. 読むと IIC0 が読めます。読むと 0 が読めます。書く場合、IIC1 のときに 0 を書いてください。

27.2.23 NTST：通常転送ステータスレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x1E0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDBFF0	TDBEF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEF0	通常送信データバッファエンプティフラグ 0 0: 通常送信データバッファ 0 に送信データが格納されている 1: 通常送信データバッファ 0 に送信データが格納されていない	R/W(注1)
1	RDBFF0	通常受信データバッファフルフラグ 0 0: 通常受信データバッファ 0 に受信データが格納されていない 1: 通常受信データバッファ 0 に受信データが格納されている	R/W(注1)
31:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. 0 になる条件：1 の状態を読んだ後、0 を書き込んだとき

TDBEF0 ビット（通常送信データバッファエンプティフラグ 0）

[1 になる条件]

下記の 1.の条件が満たされ、かつ下記 2.～4.のいずれかの条件が満たされたとき

1. NTSTE.TDBEE0 ビットが 1 である（Tx0 データバッファエンプティ割り込みステータスログを許可）
2. 通常送信データバッファ 0 からシフトレジスタにデータが転送され、通常送信データバッファ 0 がエンプティになったとき(注1)
3. PRSST.TRMD ビットを 1 にしたとき
4. TRMD ビットが 1 の状態で、受信したスレーブアドレスが一致したとき

[0 になる条件]

- NTDTBP0 レジスタへデータが書き込まれたとき
- PRSST.TRMD ビットが 0 になったとき

注 1. BSTE.NACKDE ビットが 1 のとき、BST.NACKDF フラグが 1 になると、IIC はデータ送受信動作を中断します。TDBEF0 フラグが 0 の状態（次の送信データがすでに書き込まれている状態）の場合、9 クロック目の立ち上がりでシフトレジスタへのデータ転送が行われ通常送信データバッファ 0 レジスタが空になりますが、TDBEF0 フラグは 1 になりません。

RDBFF0 ビット（通常受信データバッファフルフラグ 0）

[1 になる条件]

下記の 1.の条件が満たされ、かつ下記 2.または 3.のいずれかの条件が満たされたとき

1. NTSTE.RDBFE0 ビットが 1 である（Rx0 データバッファフル割り込みステータスログを許可）
2. シフトレジスタから通常受信データバッファ 0 に受信データが転送されたとき
   RDBFF0 フラグは、SCL クロックの 8 クロック目または 9 クロック目（SCSTRCTL レジスタの ACKTWE ビットで選択）の立ち上がりで 1 になる
3. PRSST.TRMD ビットが 0 の状態で、スタートコンディションまたは繰り返しのスタートコンディション検出後、受信したスレーブアドレスが一致したとき

[0 になる条件]

- NTDTBP0 レジスタからデータを読んだとき

27.2.24 NTSTE：通常転送ステータス許可レジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x1E4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDBFE0	TDBEE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEE0	通常送信データバッファエンプティ許可 0 0: Tx0 データバッファエンプティ割り込みステータスログを禁止 1: Tx0 データバッファエンプティ割り込みステータスログを許可	R/W
1	RDBFE0	通常受信データバッファフル許可 0 0: Rx0 データバッファフル割り込みステータスログを禁止 1: Rx0 データバッファフル割り込みステータスログを許可	R/W
31:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

TDBEE0 ビット（通常送信データバッファエンプティ許可 0）

このビットが 1 のとき、NTST.TDBEF0 の動作が有効になります。

NTST.TDBEF0 フラグの 1 になる条件、0 になる条件については、NTST.TDBEF0 フラグの詳細を参照してください。

RDBFE0 ビット（通常受信データバッファフル許可 0）

このビットが 1 のとき、NTST.RDBFF0 の動作が有効になります。

NTST.RDBFF0 フラグの 1 になる条件、0 になる条件については、NTST.RDBFF0 フラグの詳細を参照してください。

27.2.25 NTIE：通常転送割り込み許可レジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x1E8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDBFIE0	TDBEIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEIE0	通常送信データバッファエンプティ割り込み許可 0 0: Tx0 データバッファエンプティ割り込み信号を禁止 1: Tx0 データバッファエンプティ割り込み信号を許可	R/W
1	RDBFIE0	通常受信データバッファフル割り込み許可 0 0: Rx0 データバッファフル割り込み信号を禁止 1: Rx0 データバッファフル割り込み信号を許可	R/W
31:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

PIO 割り込み信号許可レジスタは、IIC で受信した割り込み発生の信号を許可します。

TDBEIE0 ビット（通常送信データバッファエンプティ割り込み許可 0）

NTST.TDBEF0 フラグが 1 になったとき、通常 Tx データバッファ 0 エンプティ割り込み (IICn_TX) 要求の許可／禁止を選択します。

RDBFIE0 ビット（通常受信データバッファフル割り込み許可 0）

NTST.RDBFF0 フラグが 1 になったとき、通常 Rx データバッファ 0 フル割り込み (IICn_RX) 要求の許可／禁止を選択します。

27.2.26 NTSTFC：通常転送ステータス強制レジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x1EC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDBFFC0	TDBEFC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEFC0	通常送信データバッファエンプティ強制 0 0: ソフトウェアテスト用に Tx0 データバッファエンプティ割り込みを強制しない 1: ソフトウェアテスト用に Tx0 データバッファエンプティ割り込みを強制する	W
1	RDBFFC0	通常受信データバッファフル強制 0 0: ソフトウェアテスト用に Rx0 データバッファフル割り込みを強制しない 1: ソフトウェアテスト用に Rx0 データバッファフル割り込みを強制する	W
31:2	—	書く場合、0 としてください。	W

PIO 割り込み強制レジスタは、特定の割り込みを強制するのに使用します。デバッグ目的で使用できます。

TDBEFC0 ビット（通常送信データバッファエンプティ強制 0）

本ビットが 1 に設定されたとき、TDBEE0 ビットと TDBEIE0 ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

RDBFFC0 ビット（通常受信データバッファフル強制 0）

本ビットが 1 に設定されたとき、RDBFE0 ビットと RDBFIE0 ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

27.2.27 BCST : バス状態ステータスレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x210

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BFREF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BFREF	バスフリー検出フラグ 0: バスフリーを検出していない 1: バスフリーを検出した	R
31:1	—	読むと 0 が読めます。	R

BFREF ビット（バスフリー検出フラグ）

[1 になる条件]

- STOP コンディション検出後、SCL = SDA = 1 の状態で、BFRECDT.FRECYC[8:0]で設定した数の (IICφ) サイクルが経過したとき
- BCTL.BUSE を 1 に設定した後、SCL = SDA = 1 の状態で、BFRECDT.FRECYC[8:0]で設定した数の (IICφ) サイクルが経過したとき

[0 になる条件]

- SCL と SDA が High 以外であるとき
- BCTL.BUSE ビットを 0 にしたとき

27.2.28 SVST : スレーブステータスレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x214

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SVAF2	SVAF1	SVAF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	HOAF	—	—	—	—	—	—	—	—	DVIDF	HSMCF	—	—	—	—	GCAF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GCAF	ジェネラルコールアドレス検出フラグ 0 : ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/W(注1)
4:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
5	HSMCF(注2)	Hs モードマスタコード検出フラグ 0: Hs モードマスタコード未検出 1: Hs モードマスタコード検出	R/W(注1)
6	DVIDF	デバイス ID アドレス検出フラグ 0: デバイス ID コマンド未検出 1: デバイス ID コマンド検出 ● スタートコンディション検出直後に受信した第 1 フレームが、[デバイス ID (1111 100b) + 0[W]]の値と一致した場合、1 になります。	R/W(注1)
14:7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15	HOAF	ホストアドレス検出フラグ 0: ホストアドレス未検出 1: ホストアドレス検出 ● 受信したスレーブアドレスが、ホストアドレス (0001 000b) と一致した場合、1 になります。	R/W(注1)
16	SVAF0	スレーブアドレス検出フラグ 0 0: スレーブ 0 未検出 1: スレーブ 0 検出	R/W(注1)
17	SVAF1	スレーブアドレス検出フラグ 1 0: スレーブ 1 未検出 1: スレーブ 1 検出	R/W(注1)
18	SVAF2	スレーブアドレス検出フラグ 2 0: スレーブ 2 未検出 1: スレーブ 2 検出	R/W(注1)
31:19	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. 0 になる条件 : 1 の状態を読んだ後、0 を書き込んだとき
注 2. HSMCF ビットは IIC0(SCL0_A, SDA0_A)によってサポートされています。HSMCF はサポートしていないチャネルの予約ビットです。

GCAF フラグ（ジェネラルコールアドレス検出フラグ）

非同期動作から同期ユニットに移行するときに、I2C 通常ウェイクアップモード 1/2 が GCAF を 1 にします。

[1 になる条件]

- 本フラグは、以下全てを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりで 1 になります。
  1. SVCTL.GCAE ビット = 1（ジェネラルコールアドレス検出は有効）である
  2. 受信したスレーブアドレスが、ジェネラルコールアドレス (0000 000b + 0[W]) と一致している

[0 になる条件]

- GCAF フラグ = 1 を読んだ後、GCAF フラグに 0 を書いたとき
- ストップコンディションが検出された
- 繰り返しのスタートコンディションが検出されたとき

HSMCF フラグ（Hs モードマスタコード検出フラグ）

非同期動作から同期ユニットに移行するときに、I2C 通常ウェイクアップモード 1/2 が HSMCF を 1 にします。

[1 になる条件]

- 本フラグは、以下全てを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりで 1 になります。
  1. SVCTL.HSMCE ビット = 1（Hs モードマスタコード検出は有効）である
  2. スタートコンディション検出直後に受信した第 1 バイトが、Hs モードマスタコード (0000 1XXXb) + 1 (NACK) の値と一致している

[0 になる条件]

- HSMCF フラグ = 1 を読んだ後、HSMCF フラグに 0 を書いたとき

- ストップコンディションが検出された

DVIDF フラグ（デバイス ID アドレス検出フラグ）

[1 になる条件]

- 本フラグは、以下全てを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりで 1 になります。
  1. SVCTL.DVIDE ビット = 1（デバイス ID アドレス検出は有効）である
  2. スタートコンディション検出直後または繰り返しスタートコンディション検出直後に受信した第 1 バイトが、[デバイス ID (1111 100b) + 0[W]]の値と一致している

[0 になる条件]

- DVIDF フラグ = 1 を読んだ後、DVIDF フラグに 0 を書いたとき
- ストップコンディションが検出された
- 本フラグは、以下の 1.と 2.または 1.と 3.を満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
  1. SVCTL.DVIDE ビット = 1（デバイス ID アドレス検出は有効）である
  2. スタートコンディション検出直後または繰り返しスタートコンディション検出直後に受信した 1 番目のバイトがデバイス ID (1111 100b) の値と一致しない
  3. スタートコンディション検出直後または繰り返しスタートコンディション検出直後に受信した第 1 バイトが、[デバイス ID (1111 100b) + 0 [W]]の値と一致し、第 2 バイトがスレーブアドレス 0～2 のいずれとも一致しない

HOAF フラグ（ホストアドレス検出フラグ）

非同期動作から同期ユニットに移行するときに、I^2C 通常ウェイクアップモード 1/2 が HOAF を 1 にします。

[1 になる条件]

- 本フラグは、以下全てを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりで 1 になります。
  1. SVCTL.HOAE ビット = 1（ホストアドレス検出は有効）である
  2. 受信したスレーブアドレスが、ホストアドレス (0001 000b) と一致している

[0 になる条件]

- HOAF フラグ = 1 を読んだ後、HOAF フラグに 0 を書いたとき
- ストップコンディションが検出された
- 繰り返しのスタートコンディションが検出されたとき

SVAFy フラグ（スレーブアドレス検出フラグ y (y = 0～2)）

非同期動作から同期ユニットに移行するときに、I^2C 通常ウェイクアップモード 1/2 が SVAF2 / 1 / 0 に 1 を設定します。

[1 になる条件]

7 ビットアドレスフォーマット選択時 SVDVADy.SADLG ビット = 0

- 本フラグは、以下全てを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりで 1 になります。
  1. SVCTL.SVAEy ビット = 1（スレーブ n は有効）である
  2. 受信したスレーブアドレスが、SVDVADy.SVAD[6:0]ビットの値と一致している

10 ビットアドレスフォーマット選択時 SVDVADy.SADLG ビット = 1

- 本フラグは、以下全てを満たすときに、2 番目のバイトの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

1. SVCTL.SVAEy ビット = 1（スレーブ n は有効）である
2. 受信したスレーブアドレスが、11110b + SVDVADy.SVAD[9:8]ビットの値と一致し、以下のアドレスが SVDVADy.SVAD[7:0]ビットの値と一致している

[0 になる条件]

- SVAFy フラグ = 1 を読んだ後、SVAFy フラグに 0 を書いたとき
- ストップコンディションが検出された

7 ビットアドレスフォーマット選択時 SVDVADy.SADLG ビット = 0

- 本フラグは、以下全てを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
  1. SVCTL.SVAEy ビット = 1（スレーブ y は有効）である
  2. 受信したスレーブアドレスが、SVDVADy.SVAD[6:0]ビットの値と一致しない

10 ビットアドレスフォーマット選択時 SVDVADy.SADLG ビット = 1

- 本フラグは、以下全てを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
  1. SVCTL.SVAEy ビット = 1（スレーブ y は有効）である
  2. 受信したスレーブアドレスが、11110b + SVDVADy.SVAD[9:8]ビットの値と一致しない
- 本フラグは、以下全てを満たすときに、2 番目のバイトの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
  1. SVCTL.SVAEy ビット = 1（スレーブ y は有効）である
  2. 受信したスレーブアドレスが、11110b + SVDVADy.SVAD[9:8]ビットの値と一致し、以下のアドレスが SVDVADy.SVAD[7:0]ビットの値と一致しない

27.2.29 WUST：ウェイクアップユニット動作ステータスレジスタ

Base address: IIC0WU_B = 0x4011_F098

Offset address: 0x180

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WUASYNF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WUASYNF	ウェイクアップ機能非同期動作ステータスフラグ 0: IIC 同期回路有効条件 1: IIC 非同期回路有効条件	R
31:1	—	読むと 0 が読めます。	R

WUASYNF フラグ（ウェイクアップ機能非同期動作ステータスフラグ）

IIC が PCLKA/IICCLK 非同期動作（WUCTL.WUFE ビット = 1）であるかどうかを示します。

[1 になる条件]

- 以下がすべて満たされたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である

2. WUCTL.WUFSYNE ビットに 0 を書いた後、BCST.BFREF フラグが 1 である

[0 になる条件]

- WUCTL.WUFE ビットが 0（ウェイクアップ機能が無効）であるとき
- 以下がすべて満たされたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. ウェイクアップイベントを検出した
  3. WUASYNF フラグ = 1 である状態で、WUCTL.WUFSYNE ビットに 1 を書いた

27.2.30 SDATBASy : スレーブデバイスアドレステーブル基本レジスタ y (y = 0〜2)

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x2B0 + 0x04 × y

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SDADLS	SDSTAD[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	SDSTAD[9:0]	スレーブデバイススタティックアドレス IIC スタティックアドレス	R/W
10	SDADLS	スレーブデバイスアドレス長選択 0: スレーブデバイスアドレス長 7 ビットを選択 1: スレーブデバイスアドレス長 10 ビットを選択（I^2C デバイスのみ）	R/W
31:11	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. メインマスタの SDATBAS レジスタへの SW 書き込みは禁止です。

SDSTAD[9:0]ビット（スレーブデバイススタティックアドレス）

7 ビットアドレスフォーマット選択時（SDADLS ビット = 0）、SDSTAD[9:0]ビットの下位 7 ビットは 7 ビットアドレスとして機能します。10 ビットアドレスフォーマット選択時（SDADLS ビット = 1）、SDSTAD[9:0]ビットは 10 ビットアドレスとして機能します。SVCTL.SVAEy ビットが 0 の場合、このビットの設定は無視されます。

27.2.31 SVDVADy : スレーブデバイスアドレスレジスタ y (y = 0〜2)

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x330 + 0x04 × y

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	SSTADV	—	—	SADLG	—	SVAD[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。	R
25:16	SVAD[9:0]	スレーブアドレス スレーブアドレスを設定します。 SVAD 書き換えの際は、SVAE に 0 を書いてから書き換えてください。	R
26	—	読むと 0 が読めます。	R
27	SADLG	スレーブアドレス長 0: 7 ビットアドレスフォーマットを選択 1: 10 ビットアドレスフォーマットを選択	R
29:28	—	読むと 0 が読めます。	R
30	SSTADV	スレーブスタティックアドレス有効 0: スレーブアドレスは無効 1: スレーブアドレスは有効	R
31	—	読むと 0 が読めます。	R

SVAD[9:0]ビット（スレーブアドレス）

SVAD[9:0]ビットは、有効なスレーブアドレスを示します。

［SVDVAD0.SDYADV ビット = 1］

注. この条件は、SVDVAD0.SVAD[9:0]だけに対するものです。

- SVAD[9:7]ビット = 0
- SVAD[6:0]ビット = SDATBAS0.SDDYAD[6:0]ビット

［SVDVADy.SSTADV ビット = 1 かつ SVDVADy.SADLG ビット = 0］

- SVAD[9:7]ビット = 0
- SVAD[6:0]ビット = SDATBASy.SDSTAD[6:0]ビット

［SVDVADy.SSTADV ビット = 1 かつ SVDVADy.SADLG ビット = 1］

- SVAD[9:0]ビット = SDATBASy.SDSTAD[9:0]ビット

SADLG ビット（スレーブアドレス長）

［1 になる条件］

- 以下がすべて満たされたとき：

1. SVCTL.SVAEy ビット = 1（スレーブ y は有効）である
2. SDATBASy.SDADLS ビット = 1（アドレス長が 10 ビット）である

［0 になる条件］

- ［1 になる条件］を満たさないとき

SSTADV ビット（スレーブスタティックアドレス有効）

［1 になる条件］

- 以下がすべて満たされたとき：

1. SVCTL.SVAEy ビット = 1（スレーブ y は有効）である
2. SVDVAD0.SDYADV ビット= 0（ダイナミックアドレスが無効）である

   注. この条件は、SVDVAD0.SSTADV だけに対するものです。
3. SVDVADy.SADLG ビット = 0 である場合、SDATBASy.SDSTAD[6:0]ビットの全てが 0、ではない
   SVDVADy.SADLG ビット = 1 である場合、SDATBASy.SDSTAD[9:0]ビットの全てが 0、ではない

［0 になる条件］

- ［1 になる条件］を満たさないとき

27.2.32 BITCNT：ビットカウントレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x380

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BCNT[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	BCNT[4:0]	ビットカウンタ 残りの転送ビット数を表示します。 値についての詳細は、表 27.7 を参照してください。	R
31:5	—	読むと 0 が読めます。	R

BCNT[4:0]ビット（ビットカウンタ）

SCLn ラインのサンプリングエッジの検出時に、残りの転送ビット数を示すカウンタです。

表 27.7 I²C 転送

	マスタ		スレーブ	
BCNT[4:0]	アドレスフェーズ	データフェーズ	アドレスフェーズ	データフェーズ
0x00	2～1 ビット	2～1 ビット	3～1 ビット	2～1 ビット
0x01	3 ビット	3 ビット	4 ビット	3 ビット
0x02	4 ビット	4 ビット	5 ビット	4 ビット
0x03	5 ビット	5 ビット	6 ビット	5 ビット
0x04	6 ビット	6 ビット	7 ビット	6 ビット
0x05	7 ビット	7 ビット	8 ビット	7 ビット
0x06	8 ビット	8 ビット	9 ビット	8 ビット
0x07	9 ビット	9 ビット	—	9 ビット

27.2.33 PRSTDBG：現在ステートデバッグレジスタ

Base address: IIC_Bn = 0x4011_F000 + 0x0400 × n (n = 0, 1)

Offset address: 0x3CC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	SDOLV	SCOLV	SDILV	SCILV
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SCILV	SCL ライン信号レベル エラーからの復帰やデバッグの際に、SCL ラインレベルの確認に使用します。	R

ビット	シンボル	機能	R/W
1	SDILV	SDA ライン信号レベル エラーからの復帰やデバッグの際に、SDA ラインレベルの確認に使用します。	R
2	SCOLV	SCL 出力レベル 0: IIC は SCL 端子を Low にした 1: IIC は SCL 端子を解放した	R
3	SDOLV	SDA 出力レベル 0: IIC は SDA 端子を Low にした 1: IIC は SDA 端子を解放した	R
31:4	—	読むと 0 が読めます。	R

SDOLV ビット（SDA 出力レベル）、SCOLV ビット（SCL 出力レベル）

これらのビットを読んだ場合は、そのとき IIC が出力している信号の状態が読めます。

27.3 動作説明

27.3.1 機能詳細

27.3.1.1 動作モード

IIC には、マスタモード動作とスレーブモード動作の 2 つの動作モードがあります。

27.3.1.1.1 マスタモード動作

(1) I2C マスタ動作

(a) データ書き込み転送（シングルバッファ転送）

マスタ送信動作では、マスタデバイスである IIC が SCL クロックと送信データ信号を出力し、スレーブデバイスがアクノリッジを返します。図 27.47 にマスタ送信の使用例を、図 27.2～図 27.4 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

1. 初期設定。詳細は、「27.3.2.1. 初期設定フロー」を参照してください。
2. BCST.BFREF フラグを読んでバスが解放状態であることを確認した後、CNDCTL.STCND ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。同時に、BFREF フラグが自動的に 0 になり、BST.STCNDDF フラグが自動的に 1 になり、STCND ビットが自動的に 0 になります。このとき、STCND ビットが 1 の状態でスタートコンディションが検出され、かつ、SDA 出力状態の内部レベルと SDAn ラインのレベルが一致していれば、IIC は STCND ビットによるスタートコンディション発行が正しく行われたと認識し、PRSST.CRMS、TRMD ビットが自動的に 1 になり、IIC はマスタ送信モードになります。NTST.TDBEF0 フラグは、TRMD ビットが 1 になることにより自動的に 1 になります。
3. NTST.TDBEF0 フラグが 1 であることを確認した後、NTDTBP0 レジスタに送信データ（スレーブアドレスと R/W#ビット）を書いてください。NTDTBP0 レジスタに送信データが書き込まれると、TDBEF0 フラグは自動的に 0 になり、通常送信データバッファ 0 からシフトレジスタへデータが転送されて、再び TDBEF0 フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトの送信が完了すると、送信された R/W#ビットの値に応じて自動的に TRMD ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W#ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。このとき BST.NACKDF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、CNDCTL.SPCND ビットに 1 を書いて、ストップコンディションを発行してください。なお、データを 10 ビットフォーマットのアドレスで送信する場合は、1 回目のアドレス送信処理で NTDTBP0 レジスタに 1111 0b、スレーブアドレスの上位 2 ビット、および W を書きます。次に、2 回目のアドレス送信処理では、NTDTBP0 レジスタにスレーブアドレスの下位 8 ビットを書き込んでください。
4. NTST.TDBEF0 フラグが 1 であることを確認した後、送信データを NTDTBP0 レジスタに書き込んでください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間、IIC は自動的に SCLn ラインを Low にホールドします。

5. 送信する全バイトを NTDTBP0 レジスタに書いた後、BST.TENDF フラグが 1 になるまで待ってから CNDCTL.SPCND ビットに 1 を書いてください(ストップコンディション発行要求)。IIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
6. IIC はストップコンディションを検出すると、PRSST.CRMS ビットと PRSST.TRMD ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。さらに、TDBEF0 フラグと TENDF フラグを自動的に 0 にして、BST.SPCNDDF フラグを 1 にします。
7. BST.SPCNDDF フラグが 1 であることを確認した後、次の転送動作のために、BST.NACKDF フラグと SPCNDDF フラグを 0 にしてください。

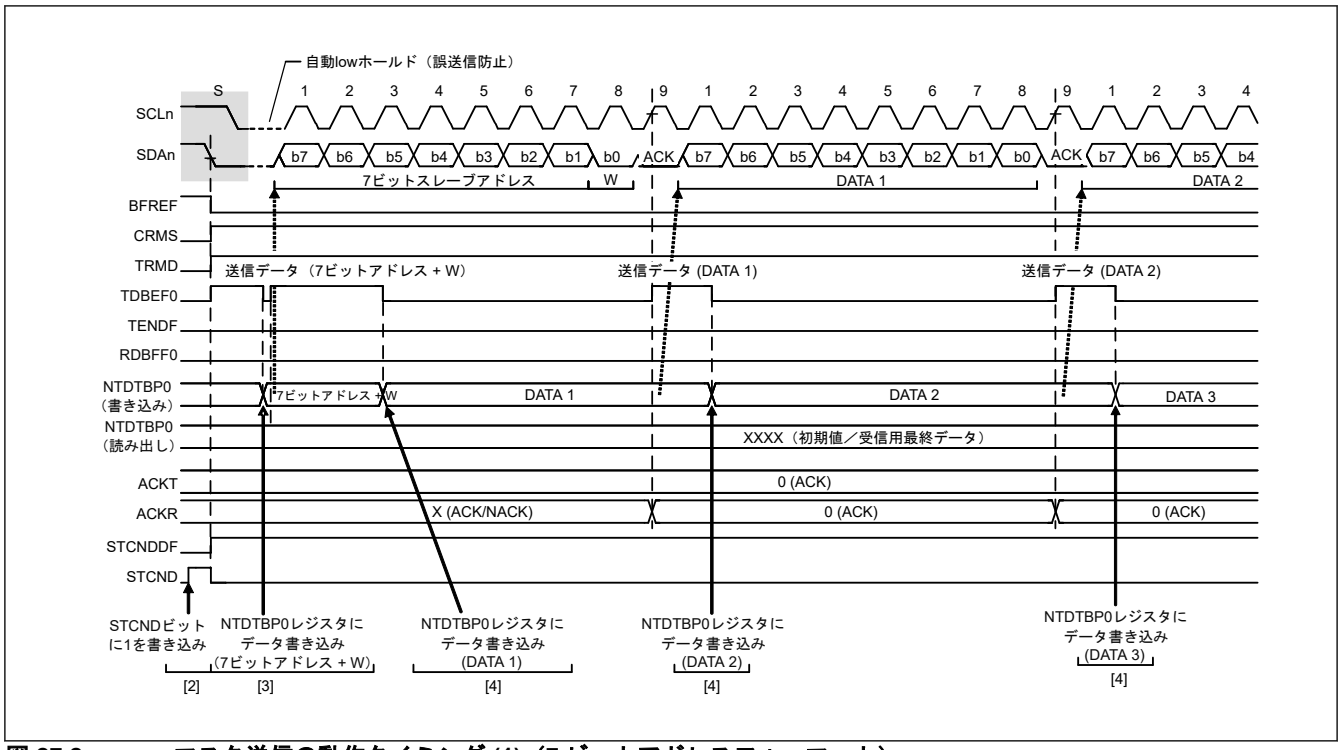


図 27.2 マスタ送信の動作タイミング (1)（7 ビットアドレスフォーマット）

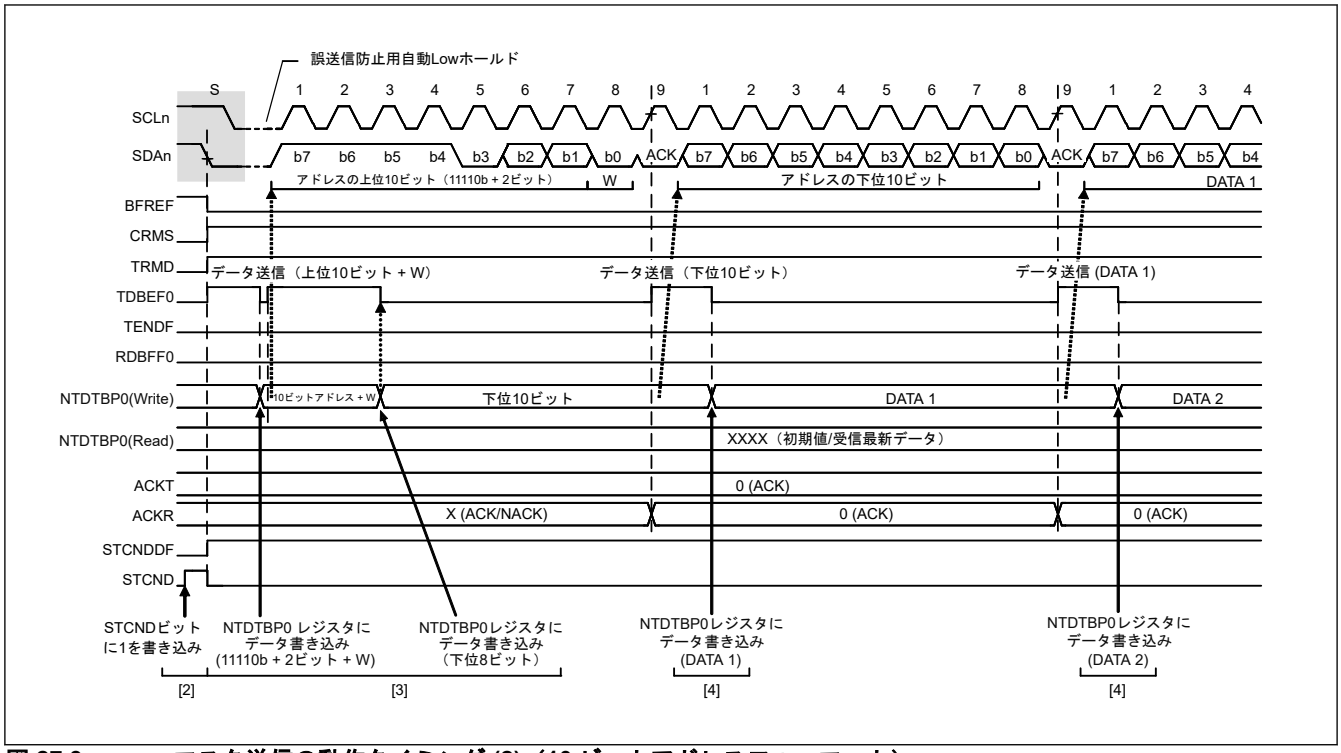


図 27.3　マスタ送信の動作タイミング (2)（10 ビットアドレスフォーマット）

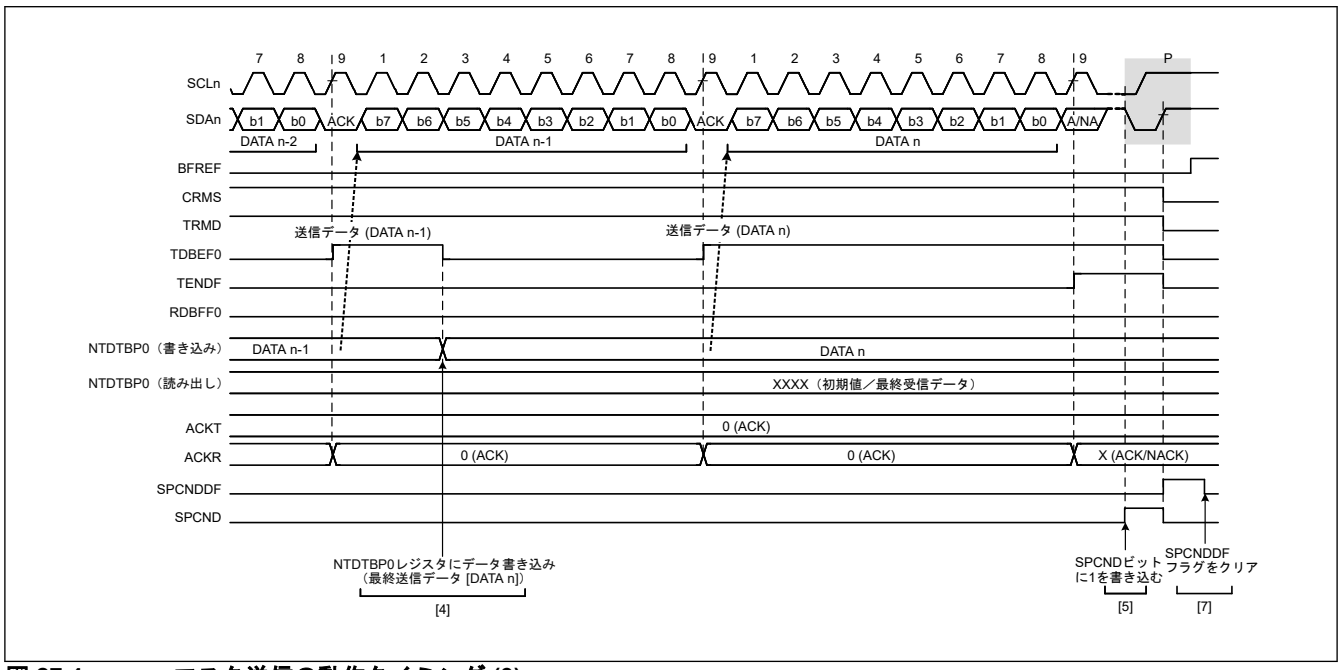


図 27.4　マスタ送信の動作タイミング (3)

(b) データ読み出し転送（シングルバッファ転送）

マスタ受信動作では、マスタデバイスである IIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。IIC は、最初に対応するスレーブデバイスにスレーブアドレスを送信する必要があるため、手順のこの部分ではマスタ送信モードで実行し、その後の手順ではマスタ受信モードで実行します。

図 27.48、図 27.49 にマスタ受信の使用例（7 ビットアドレスフォーマットの場合）を、図 27.5～図 27.7 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

1. 初期設定。詳細は、「27.3.2.1. 初期設定フロー」を参照してください。

2. BCST.BFREF フラグを読んでバスが解放状態であることを確認した後、CNDCTL.STCND ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。IIC がスタートコンディションを検出すると、BFREF フラグが自動的に 0 になり、BST.STCNDDF フラグが自動的に 1 になり、STCND ビットが自動的に 0 になります。このとき、STCND ビットが 1 の状態でスタートコンディションが検出され、かつ、SDA 出力のレベルと SDAn ラインのレベルが一致していれば、IIC は STCND ビットによるスタートコンディション発行が正しく行われたと認識し、PRSST.CRMS、TRMD ビットが自動的に 1 になり、IIC はマスタ送信モードになります。NTST.TDBEF0 フラグは、TRMD ビットが 1 になることにより自動的に 1 になります。
3. NTST.TDBEF0 フラグが 1 であることを確認した後、NTDTBP0 レジスタに送信データ（1 バイト目はスレーブアドレスと R/W#ビットの値を示す）を書いてください。NTDTBP0 レジスタに送信データが書き込まれると、TDBEF0 フラグは自動的に 0 になり、通常送信データバッファ 0 からシフトレジスタへデータが転送されて、再び TDBEF0 フラグが 1 になります。一旦スレーブアドレスと R/W#ビットを含むバイトの送信が完了すると、送信された R/W#ビットの値に応じて自動的に PRSST.TRMD ビットの値が更新され、送信モードまたは受信モードが選択されます。R/W#ビットの値が 1 の場合、SCL クロックの 9 クロック目の立ち上がりで TRMD ビットが 0 になり、IIC はマスタ受信モードになります。このとき TDBEF0 フラグが 0 になります。ACK 応答をスレーブデバイスから受信したとき、NTST.RDBFF0 フラグは自動的に 1 になります。スレーブデバイスが認識されないか、通信障害が発生した場合、BST.NACKDF フラグが 1 になります。このとき CNDCTL.SPCND ビットを 1 にして、ストップコンディションを発行してください。なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、繰り返しスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビットと R ビットを送信することで、IIC はマスタ受信モードになります。
4. NTST.RDBFF0 フラグが 1 であることを確認した後、ダミーで NTDTBP0 レジスタを読むと、IIC は SCL クロックを出力して受信動作を開始します。
5. 1 バイトのデータ受信が終了し、SCSTRCTL.ACKTWE ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、NTST.RDBFF0 フラグが 1 になります。このとき NTDTBP0 レジスタを読むと、受信したデータを読むことができ、同時に RDBFF0 フラグは自動的に 0 になります。さらに、SCL クロックの 9 クロック目のアクノリッジビットには、ACKCTL.ACKT ビットに設定した値が返信されます。さらに、次の受信バイトが最終バイト−1 の場合、NTDTBP0 レジスタ（最後から 2 番目のバイトを含む）を読む前に SCSTRCTL.RWE ビットを 1（ウェイトあり）にしてください。これにより、続く 6.の ACKCTL.ACKT ビットを 1 (NACK) にする処理が他の割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がりで SCLn ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
6. SCSTRCTL.ACKTWE ビットが 0 で、かつスレーブデバイスに対して、次の最終バイトの転送でデータ受信が終了することを通知する必要がある場合は、ACKCTL.ACKT ビットを 1 (NACK) にしてください。
7. 最後から 2 番目のバイトを NTDTBP0 レジスタから読み出した後、NTST.RDBFF0 フラグが 1 であることを確認してから、CNDCTL.SPCND ビットを 1（ストップコンディション発行要求）にした後、NTDTBP0 レジスタから最終バイトを読み出してください。CNDCTL.SPCND ビットに 1 を書くとき、IIC は WAIT 状態から解除され、9 クロック目の Low 出力終了後または SCLn ラインの Low ホールド解除後に、ストップコンディションを発行します。
8. IIC はストップコンディションを検出すると、PRSST.CRMS ビットと PRSST.TRMD ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。また、ストップコンディションの検出によって、BST.SPCNDDF フラグが 1 になります。
9. BST.SPCNDDF フラグが 1 であることを確認した後、次の転送動作のために、BST.NACKDF フラグと SPCNDDF フラグを 0 にしてください。

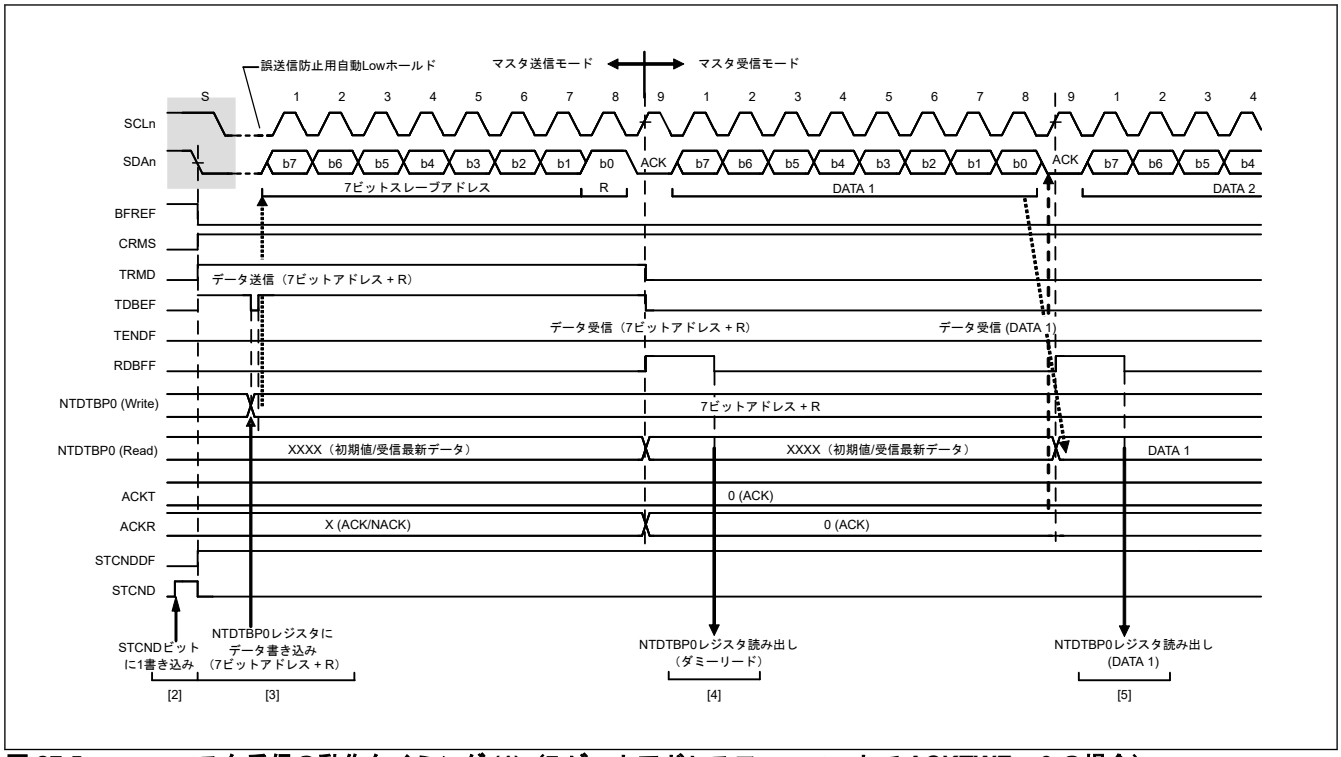


図 27.5　マスタ受信の動作タイミング (1)（7 ビットアドレスフォーマットで ACKTWE = 0 の場合）

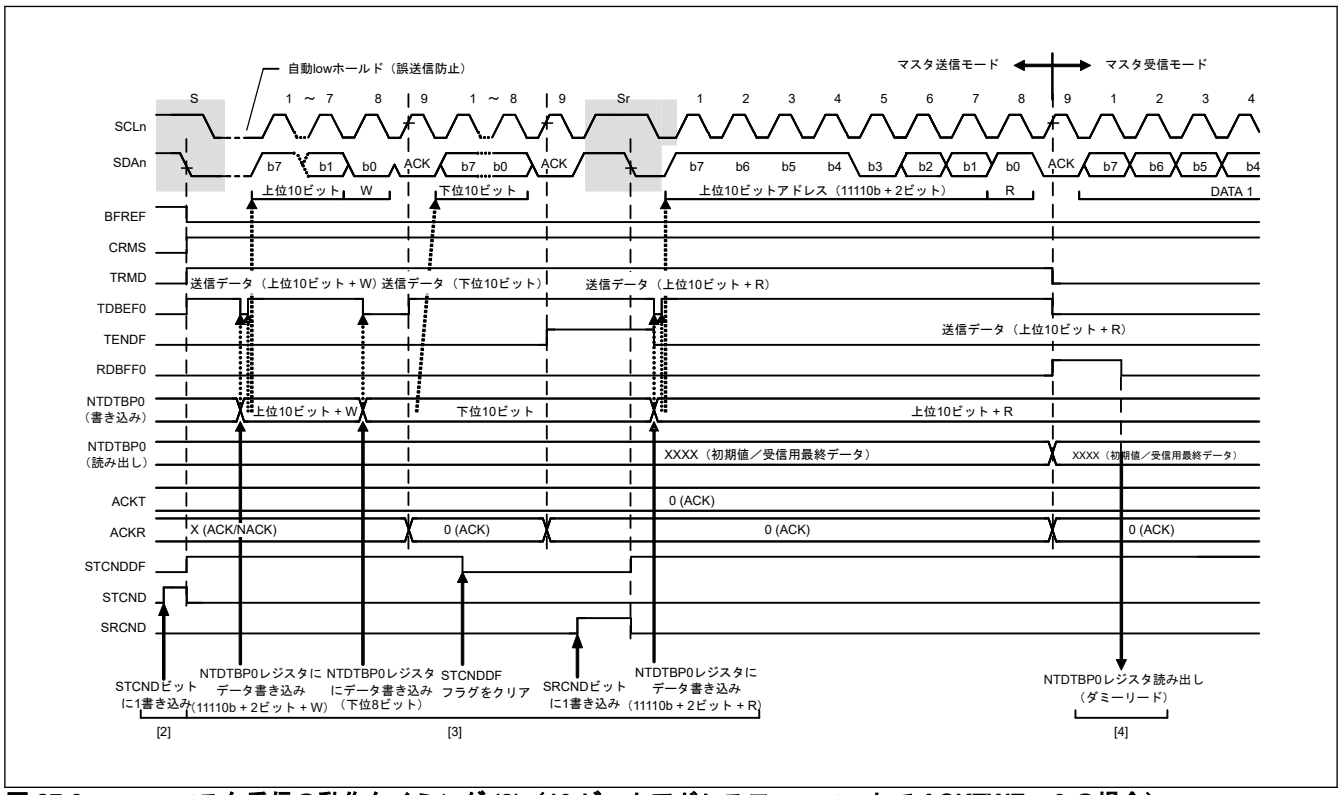


図 27.6　マスタ受信の動作タイミング (2)（10 ビットアドレスフォーマットで ACKTWE = 0 の場合）

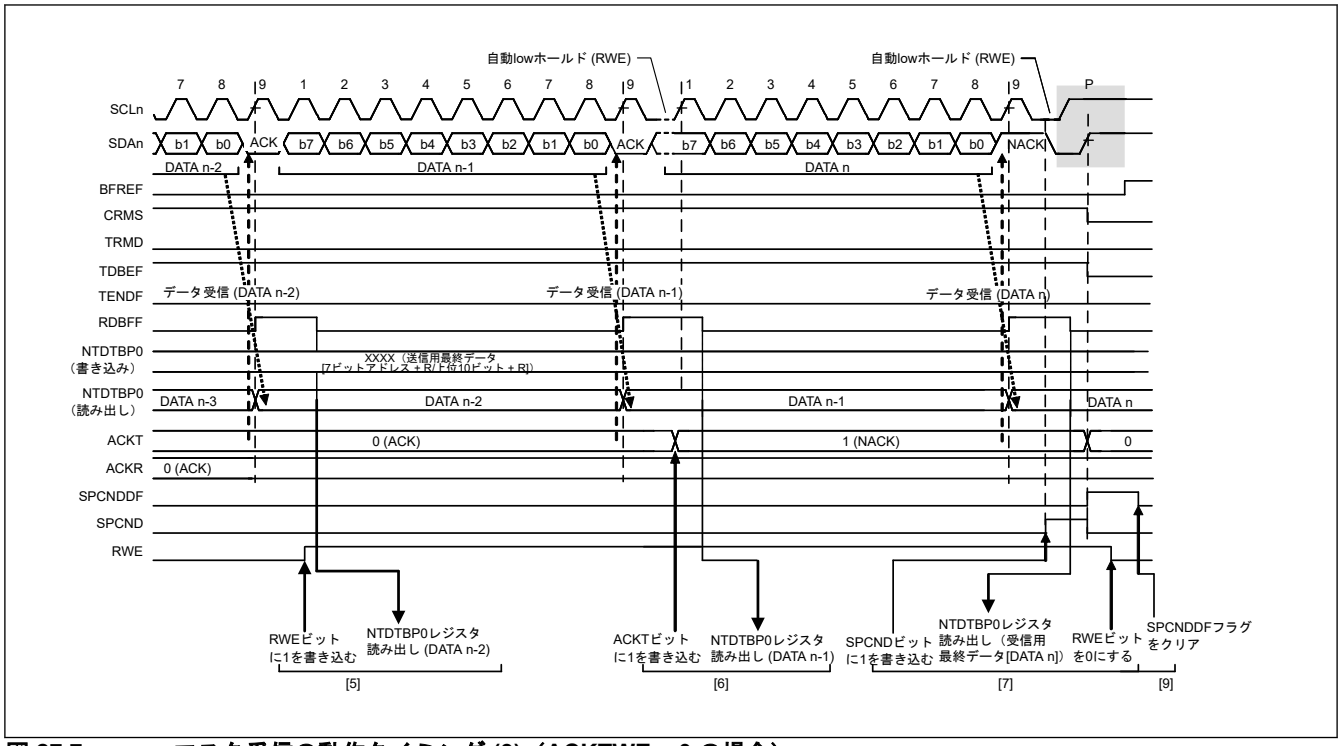


図 27.7　　マスタ受信の動作タイミング (3)（ACKTWE = 0 の場合）

27.3.1.1.2　スレーブモード動作

(1)　I²C スレーブ動作

(a) データ書き込み転送（シングルバッファ転送）

スレーブ受信動作では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである IIC がアクノリッジを返します。

図 27.51 にスレーブ受信の使用例を示します。図 27.8 と図 27.9 にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

1. 初期設定。詳細は、「27.3.2.1. 初期設定フロー」を参照してください。初期設定後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. IIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する SVST.HOAF、GCAF、SVAFy (y = 0〜2) のいずれかを 1 にし、SCL クロックの 9 クロック目でアクノリッジビット (ACK) を出力します。このとき、同時に受信した R/W#ビットの値が 0 であれば、IIC はスレーブ受信モードを継続し、NTST.RDBFF0 フラグを 1 にします。
3. BST.SPCNDDF フラグが 0 であることと、NTST.RDBFF0 フラグが 1 であることを確認した後、NTDTBP0 レジスタをダミーリードしてください（ダミーリードする値は、7 ビットアドレスフォーマット選択時はスレーブアドレス＋ R/W#ビット、10 ビットアドレスフォーマット選択時は下位 8 ビットアドレスです）。
4. NTDTBP0 レジスタが読み出されると、IIC は NTST.RDBFF0 フラグを自動的に 0 にします。なお、NTDTBP0 レジスタの読み出しが遅れて、RDBFF0 フラグが 1 になった状態で次のバイトを受信すると、IIC は RDBFF0 フラグが設定されるポイントの 1 つ手前の SCL クロックまで SCLn ラインを Low にホールドします。この場合、NTDTBP0 レジスタを読み出すと、SCLn ラインが Low ホールド状態から解放されます。BST.SPCNDDF フラグが 1 で、かつ NTST.RDBFF0 フラグが 1 の場合、全データの受信が完了するまで NTDTBP0 レジスタを読み出してください。
5. IIC はストップコンディションを検出すると、SVST.HOAF、GCAF、SVAFy ビット (y = 0〜2) を自動的に 0 にします。
6. BST.SPCNDDF フラグが 1 であることを確認した後、次の転送動作のために、BST.SPCNDDF フラグを 0 にしてください。

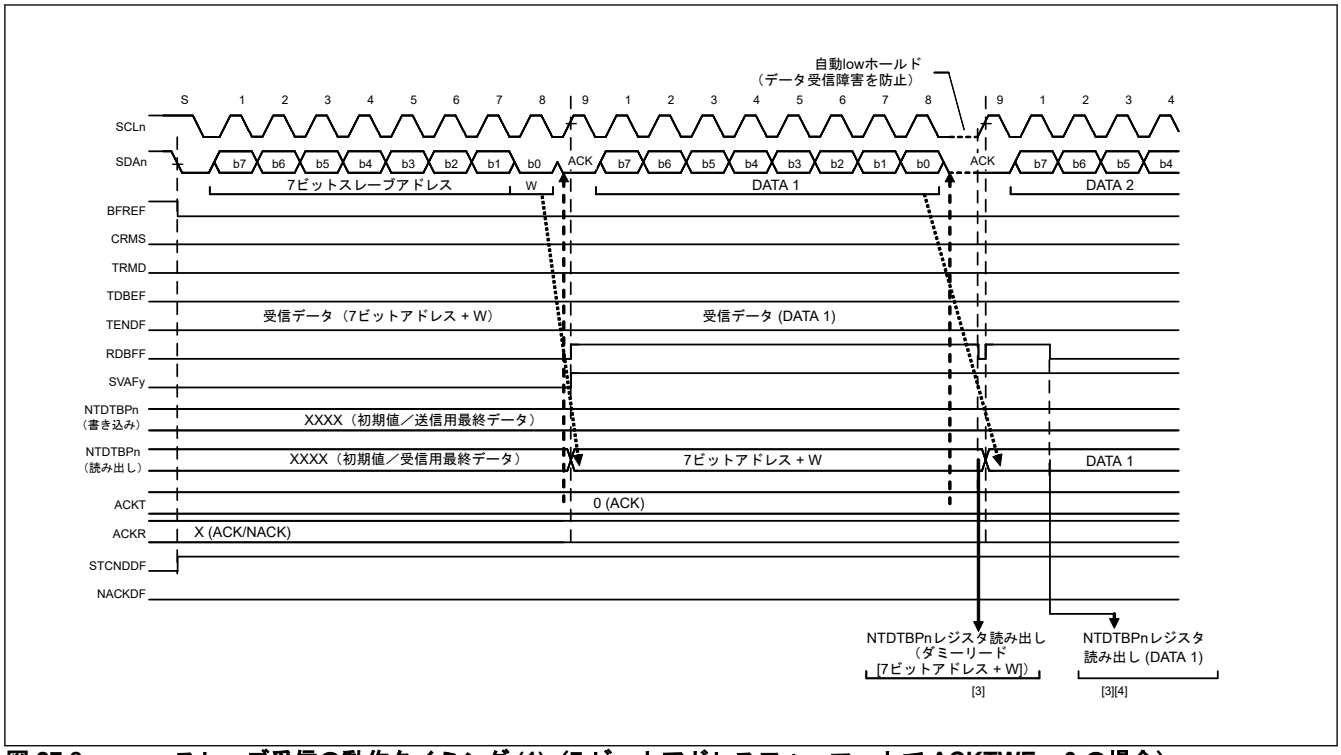


図 27.8　スレーブ受信の動作タイミング (1)（7 ビットアドレスフォーマットで ACKTWE = 0 の場合）

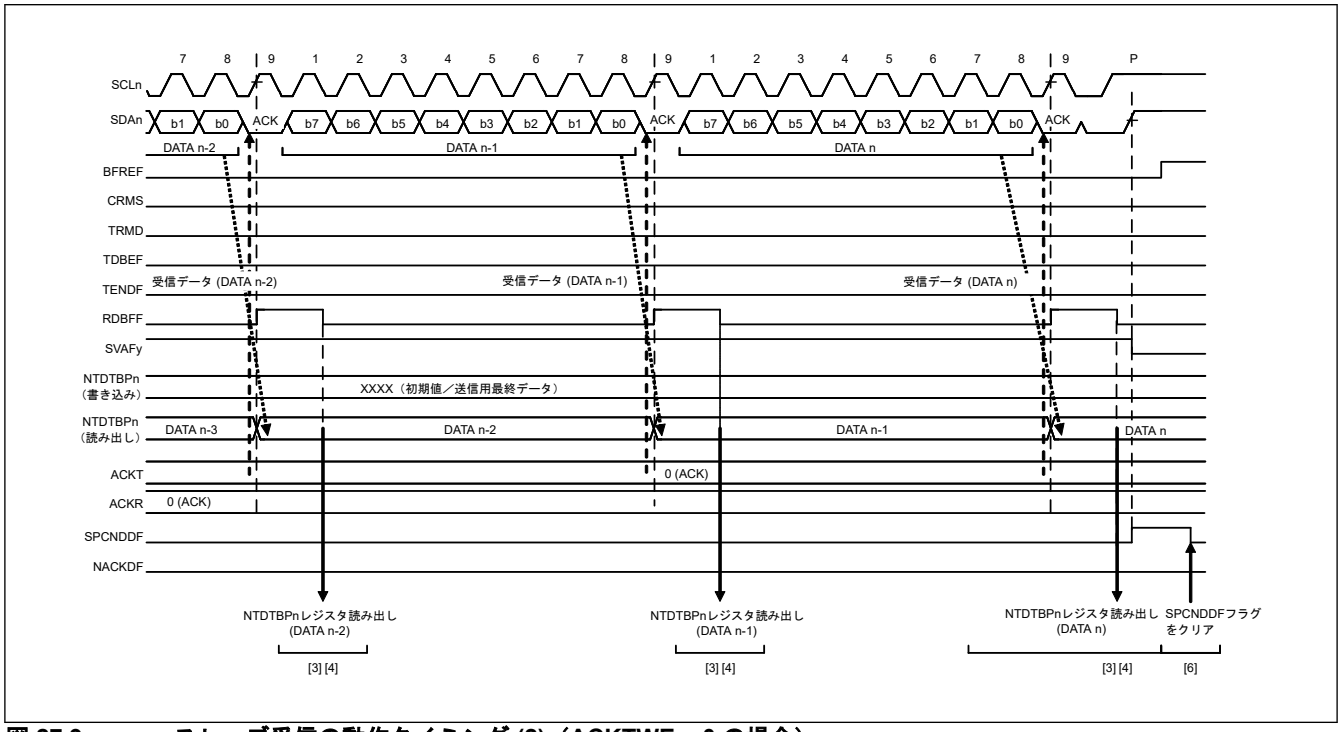


図 27.9　スレーブ受信の動作タイミング (2)（ACKTWE = 0 の場合）

(b) データ読み出し転送（シングルバッファ転送）

スレーブ送信動作では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである IIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 27.50 にスレーブ送信の使用例を示します。図 27.10 と図 27.11 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

1. 初期設定。詳細は、「27.3.2.1. 初期設定フロー」を参照してください。
   初期設定後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。

2. IIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する SVST.HOAF、GCAF、SVAFy (y = 0〜2) のいずれかを 1 にし、SCL クロックの 9 クロック目でアクノリッジビット (ACK) を出力します。このとき、同時に受信した R/W#ビットの値が 1 であれば、IIC は PRSST.TRMD ビットと NTST.TDBEF0 フラグの両方を 1 にすることで、自動的にスレーブ送信モードに切り替わります。
3. NTST.TDBEF0 フラグが 1 であることを確認した後、送信データを NTDTBP0 レジスタに書いてください。このとき、IIC が BSTE.NACKDE ビットが 1 の状態でマスタデバイスからアクノリッジを受信しなかった（NACK を受信した）場合、IIC は次の転送動作を中断します。
4. 以下の (a) または (b) のいずれかの条件が満たされるまで待ちます。
   (a) BST.NACKDF フラグが 1 になる
   (b) NTST.TDBEF0 フラグが 1 の状態で、最終送信バイトを NTDTBP0 レジスタに書いた後で、BST.TENDF フラグが 1 になる

   BST.NACKDF フラグが 1 または TENDF フラグが 1 の場合、IIC は SCL クロックの 9 クロック目の立ち下がりで SCLn ラインを Low にします。
5. BST.NACKDF フラグが 1 または BST.TENDF フラグが 1 の場合、終了処理のため NTDTBP0 レジスタをダミーリードしてください。これによって SCLn ラインが解放されます。
6. IIC はストップコンディションを検出すると、SVST.HOAF ビット、GCAF ビット、SVAFy (y = 0〜2) ビット、NTST.TDBEF0 フラグ、BST.TENDF フラグ、PRSST.TRMD ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。
7. BST.SPCNDDF フラグが 1 であることを確認した後、次の転送動作のために、BST.NACKDF フラグと SPCNDDF フラグを 0 にしてください。

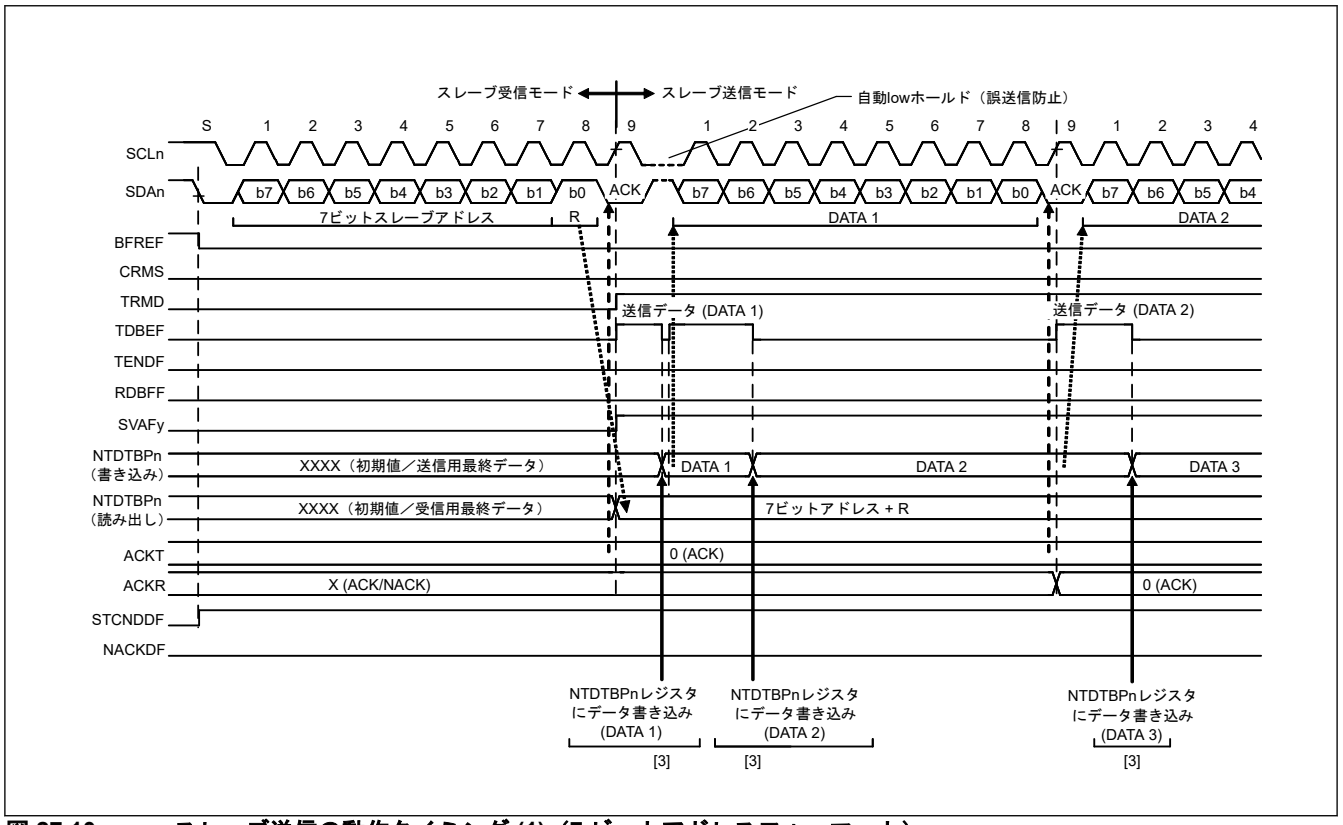


図 27.10 スレーブ送信の動作タイミング (1)（7 ビットアドレスフォーマット）

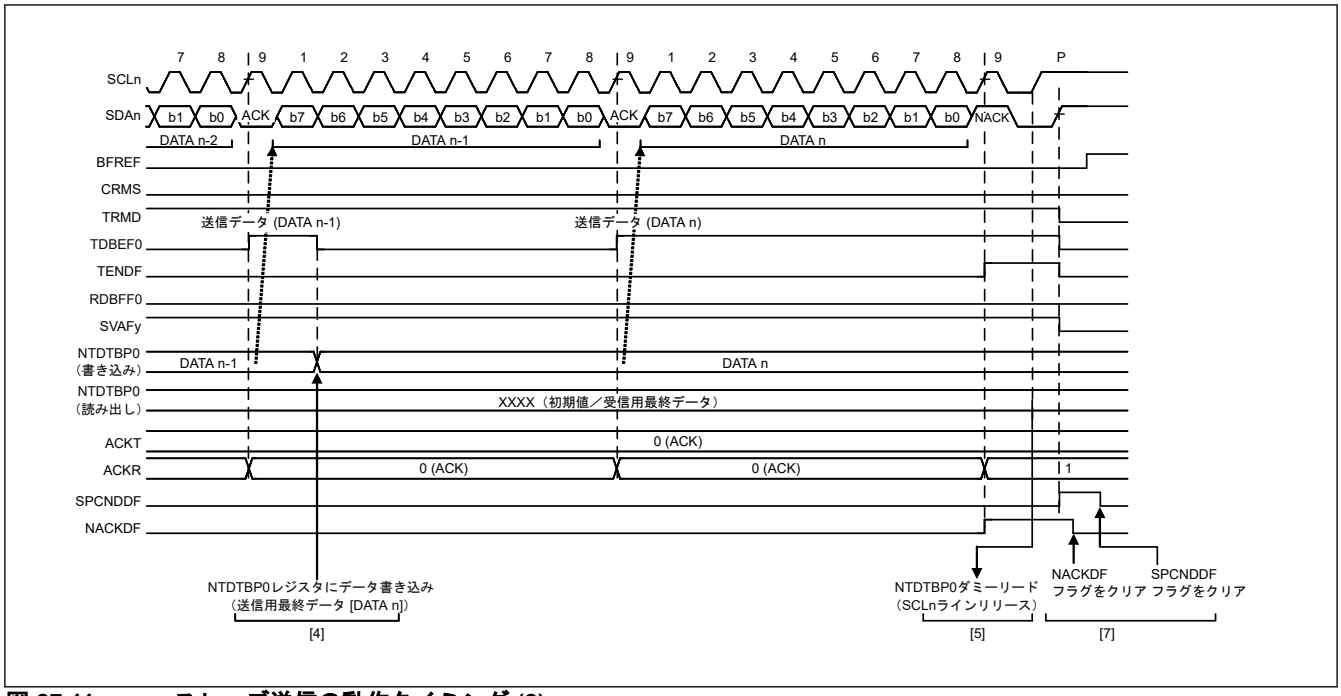


図 27.11 スレーブ送信の動作タイミング (2)

27.3.1.2 データハンドラ

表 27.8 に転送方法とキューの関係を示します。

表 27.8 Transfer method

転送方法	Buffer	サイズ	マスタ	スレーブ
シングルバッファ転送	ノーマル送信データ	1 バイト	✓	✓
	ノーマル受信データ	1 バイト	✓	✓

27.3.1.2.1 転送方法

(1) シングルバッファ転送

各プロセス（コンディション発行、データ転送、ACK／NACK 応答）はソフトウェアでコントロールします。

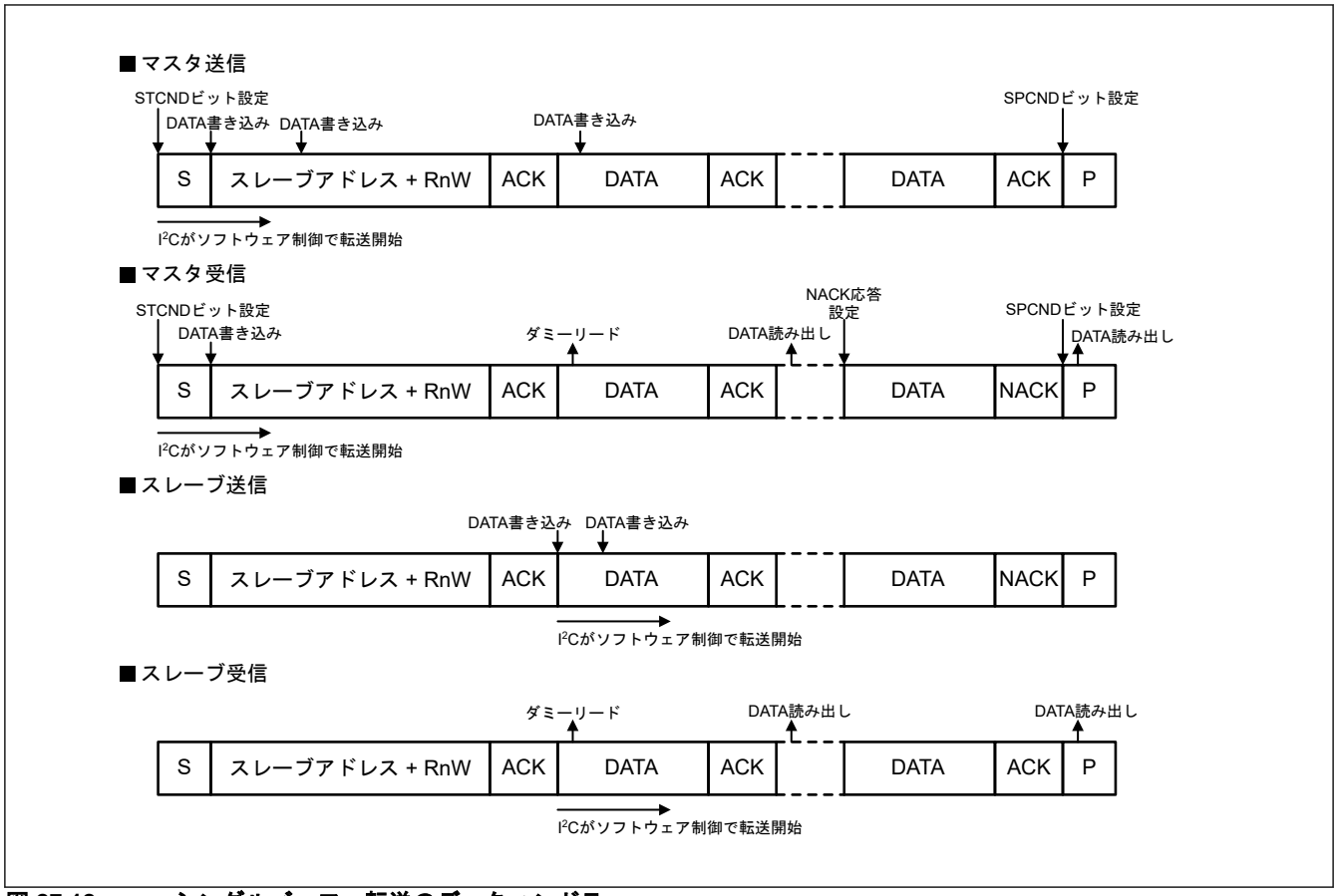


図 27.12　シングルバッファ転送のデータハンドラ

27.3.1.3　I²C プロトコル

27.3.1.3.1　通信プロトコル

(1)　I²C 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションまたは繰り返しのスタートコンディションに続くフレームは、マスタデバイスの通信先であるスレーブデバイスを指定するアドレスフレームです。指定されたスレーブは、新たにスレーブが指定されるか、またはストップコンディションが発行されるまで有効です。

図 27.13 に I²C バスフォーマットを、図 27.14 に I²C バスタイミングを示します。

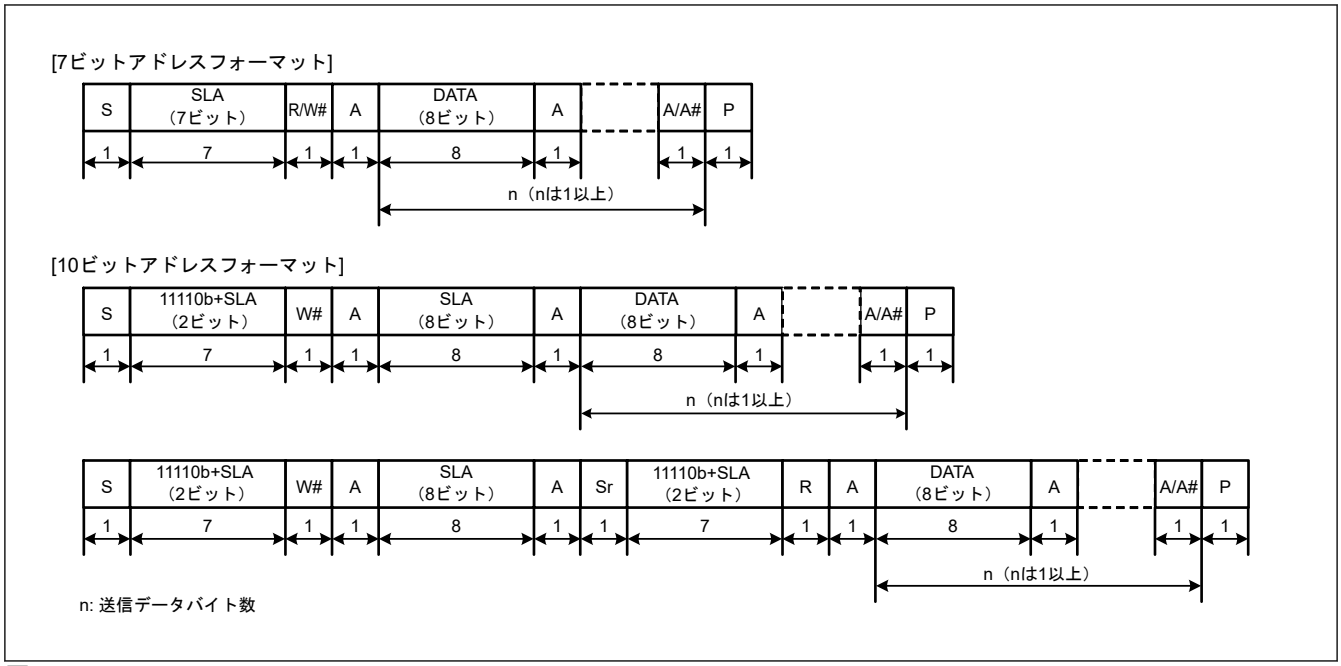


図 27.13　I²C バスフォーマット

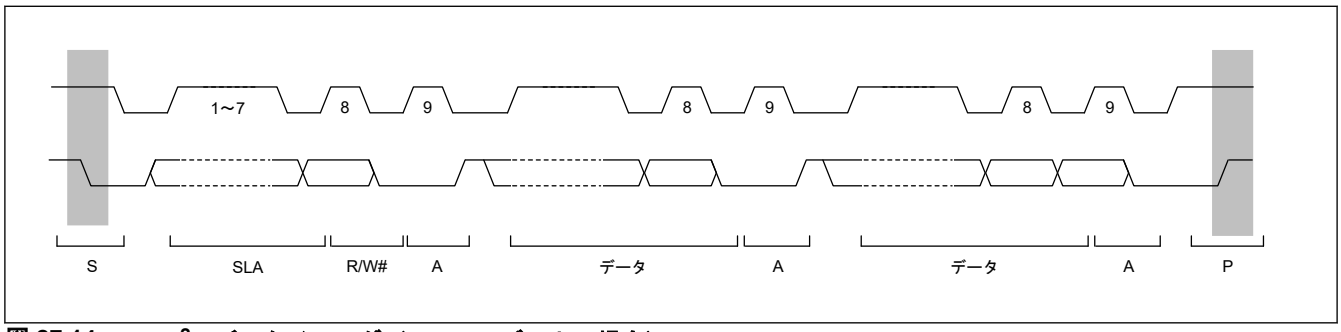


図 27.14　I²C バスタイミング（SLA = 7 ビットの場合）

S: スタートコンディションを表します。SCLn ラインが High の状態で、マスタデバイスが SDAn ラインを High から Low に変化させます。

SLA: スレーブアドレスを表します。これによって、マスタデバイスがスレーブデバイスを選択します。

R/W#: データ転送の方向を表します。1 のとき、スレーブデバイスからマスタデバイスの方向、0 のとき、マスタデバイスからスレーブデバイスの方向になります。

A: アクノリッジを表します。受信デバイスが SDAn ラインを Low にします。（マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。）

A#: ノットアクノリッジを表します。受信デバイスが SDAn ラインを High にします。

Sr: 繰り返しのスタートコンディションを表します。SCLn ラインが High の状態でセットアップ時間経過後に、マスタデバイスが SDAn ラインを High から Low に変化させます。

DATA: 送信データまたは受信データを表します。

P: ストップコンディションを表します。SCLn ラインが High の状態で、マスタデバイスが SDAn ラインを Low から High に変化させます。

27.3.1.3.2　スタートコンディション、繰り返しのスタートコンディション、ストップコンディション発行機能

(1)　スタートコンディション発行動作

IIC は、CNDCTL.STCND ビットが 1 のときにスタートコンディションを発行します。

STCND ビットは、BCST.BFREF フラグが 1（バスフリー状態）のとき、1（スタートコンディション発行要求）にしてください。

IIC は、スタートコンディションを発行します。

スタートコンディションが正常に発行された場合、IIC は自動的にマスタ送信モードへ遷移します。スタートコンディションの発行は、以下のシーケンスに従って行われます。

[スタートコンディション発行動作]

- SDAn ラインを立ち下げる（High から Low に遷移）。
- STDBR.SBRHO[7:0]で設定した時間とスタートコンディションのホールド時間を確保する。
- SCLn ラインを立ち下げる（High から Low に遷移）。
- SCLn ラインの Low を検出し、STDBR.SBRLO[7:0]で設定した SCLn ラインの Low 幅を確保する。

(2) 繰り返しのスタートコンディション発行動作

IIC は、CNDCTL.SRCND ビットが 1 のときに繰り返しのスタートコンディションを発行します。

SRCND ビットを 1 にすると、繰り返しのスタートコンディション発行要求が行われ、BCST.BFREF フラグが 1（バスビジー状態）で、かつ PRSST.CRMS ビットが 1（マスタモード）の場合、IIC は繰り返しのスタートコンディションを発行します。

繰り返しのスタートコンディションの発行は、以下のシーケンスに従って行われます。

[繰り返しのスタートコンディション発行動作]

- SDAn ラインを解放する。
- STDBR.SBRLO[7:0]で設定した SCLn ラインの Low 幅が経過したことを確認する。
- SCLn ラインを解放する（Low から High に遷移）。
- SCLn ラインの High を検出し、STDBR.SBRLO[7:0]で設定した時間と繰り返しのスタートコンディションのセットアップ時間を確保する。
- SDAn ラインを立ち下げる（High から Low に遷移）。
- STDBR.SBRHO[7:0]で設定した時間と繰り返しのスタートコンディションのホールド時間を確保する。
- SCLn ラインを立ち下げる（High から Low に遷移）。
- SCLn ラインの Low を検出し、STDBR.SBRLO[7:0]で設定した SCLn ラインの Low 幅を確保する。

注. 繰り返しのスタートコンディション要求の発行時、CNDCTL.SRCND が 0 であることを確認してから、NTDTBP0 レジスタにスレーブアドレスを書いてください。CNDCTL.SRCND が 1 のときに書き込まれたデータは、以前の再送条件と判断されるため、転送されません。

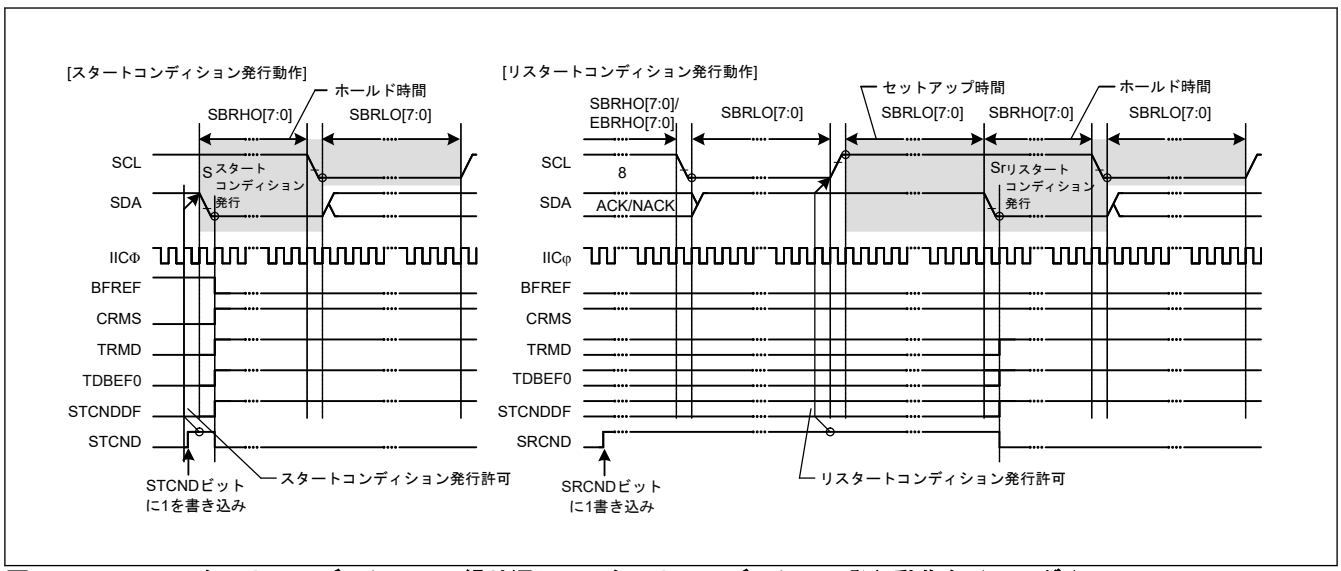


図 27.15 スタートコンディション／繰り返しのスタートコンディション発行動作タイミング（STCND、SRCND ビット）

図 27.16 に、マスタ送信後に繰り返しのスタートコンディションが発行されたときの動作タイミングを示します。

[マスタ送信後の繰り返しのスタートコンディション発行動作]

- 初期設定。詳細は、「27.3.2.1. 初期設定フロー」を参照してください。
- BCST.BFREF フラグを読んでバスが解放状態であることを確認した後、CNDCTL.STCND ビットに 1 を書きます（スタートコンディション発行要求）。IIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。同時に、BFREF フラグが自動的に 0 になり、BST.STCNDDF フラグが自動的に 1 になり、STCND ビットが自動的に 0 になります。このとき、STCND ビットが 1 の状態でスタートコンディションが検出され、かつ、SDA 出力状態の内部レベルと SDAn ラインのレベルが一致していれば、IIC は STCND ビットによるスタートコンディション発行が正しく行われたと認識し、PRSST.CRMS、TRMD ビットが自動的に 1 になり、IIC はマスタ送信モードになります。NTST.TDBEF0 フラグは、TRMD ビットが 1 になることにより自動的に 1 になります。
- NTST.TDBEF0 フラグが 1 であることを確認した後、NTDTBP0 レジスタに送信データ（スレーブアドレスと R/W#ビット）を書いてください。NTDTBP0 レジスタに送信データが書き込まれると、TDBEF0 フラグは自動的に 0 になり、NTDTBP0 レジスタからデータが転送されて、再び TDBEF0 フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトの送信が完了すると、送信された R/W#ビットの値に応じて自動的に TRMD ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W#ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。このとき BST.NACKDF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、CNDCTL.SPCND ビットに 1 を書いて、ストップコンディションを発行してください。なお、データを 10 ビットフォーマットのアドレスで送信する場合は、1 回目のアドレス送信処理で NTDTBP0 レジスタに 1111 0b、スレーブアドレスの上位 2 ビット、および W を書きます。次に、2 回目のアドレス送信処理では、NTDTBP0 レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- NTST.TDBEF0 フラグが 1 であることを確認した後、送信データを NTDTBP0 レジスタに書き込んでください。なお、送信データの準備ができるまで、繰り返しのスタートコンディションを発行するまで、またはストップコンディションを発行するまでの間、IIC は自動的に SCLn ラインを Low にホールドします。
- 送信する全バイトを NTDTBP0 レジスタに書いた後、BST.TENDF フラグが 1 に戻るのを待ってから、BST.STCNDDF フラグが 1 であることを確認した後、BST.STCNDDF フラグを 0 にしてください。
- CNDCTL.SRCND ビットを 1（繰り返しのスタートコンディション発行要求）にします。IIC は繰り返しのスタートコンディション発行要求を受け付けると、繰り返しのスタートコンディションを発行します。
- BST.STCNDDF フラグが 1 であることを確認した後、NTDTBP0 レジスタに送信データ（スレーブアドレスと R/W#ビット）を書いてください。

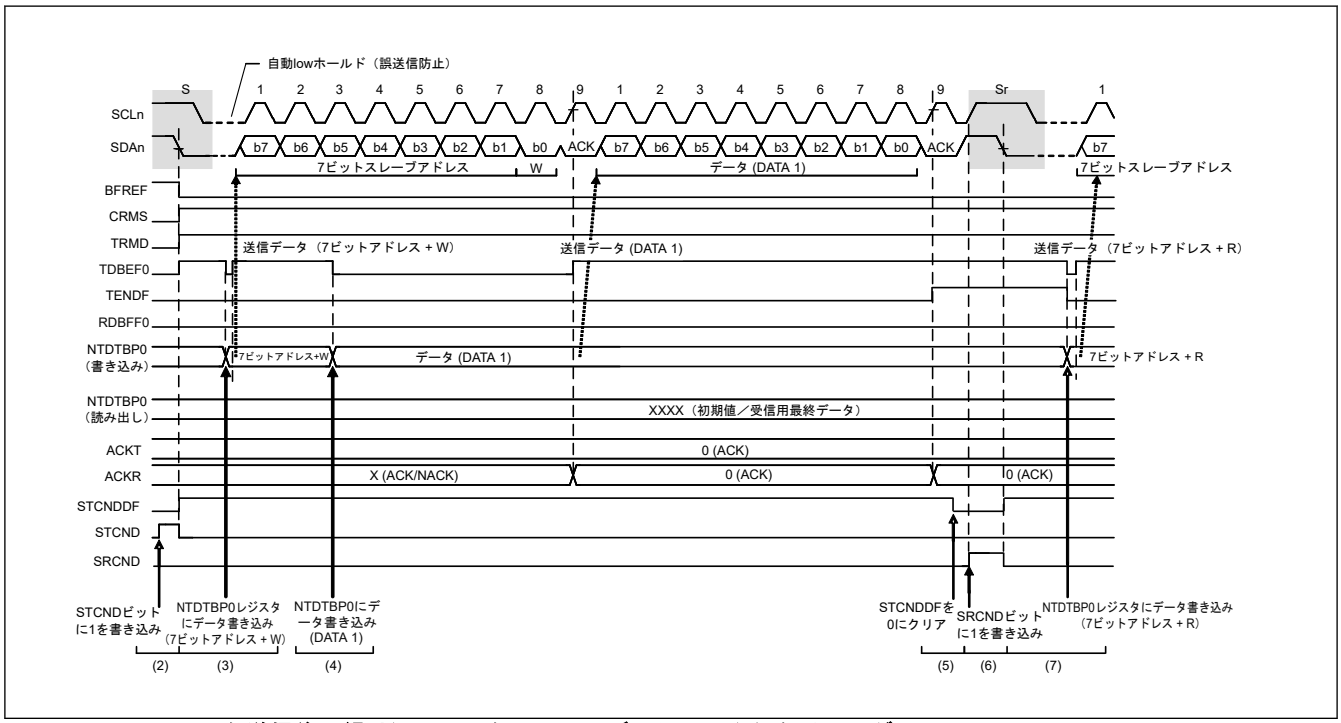


図 27.16 マスタ送信後の繰り返しのスタートコンディション発行タイミング

(3) ストップコンディション発行動作

IIC は、CNDCTL.SPCND ビットが 1 のときにストップコンディションを発行します。

SPCND ビットを 1 にすると、ストップコンディション発行要求が行われ、BCST.BFREF フラグが 0（バスビジー状態）で、かつ PRSST.MST ビットが 1（マスタモード）の場合、IIC はストップコンディションを発行します。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

[ストップコンディション発行動作]

- SDAn ラインを立ち下げる（High から Low に遷移）。
- STDBR.SBRLO[7:0]で設定した SCLn ラインの Low 幅が経過したことを確認する。
- SCLn ラインを解放する（Low から High に遷移）。
- SCLn ラインの High を検出し、STDBR.SBRHO[7:0]で設定した時間とストップコンディションのセットアップ時間を確保する。
- SDAn ラインを解放する（Low から High に遷移）。
- STDBR.SBRLO[7:0]で設定した時間とバスフリー時間を確保する。
- BFREF フラグを 1 にしてバス権を解放する。

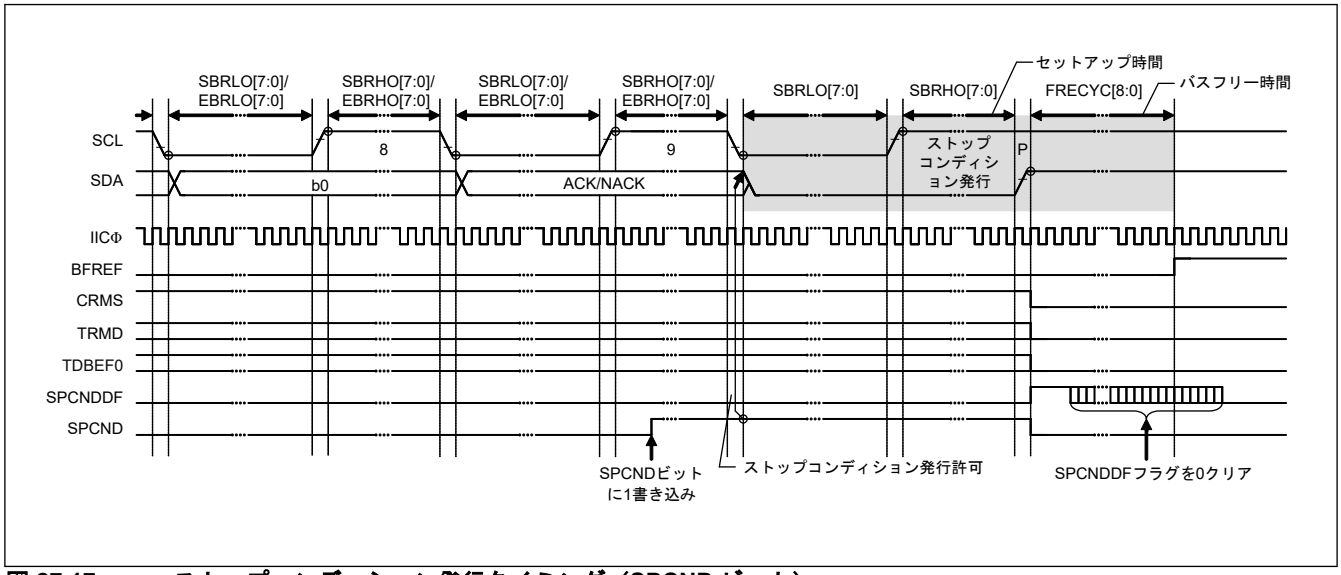


図 27.17 ストップコンディション発行タイミング（SPCND ビット）

27.3.1.3.3 アドレス一致検出機能

IIC は、ジェネラルコールアドレス、ホストアドレスの他に 3 種類の固有のスレーブアドレスの設定が可能です。またスレーブアドレスには、7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

(1) スレーブアドレス一致検出機能

IIC は 3 種類の固有のスレーブアドレスの設定が可能であり、それぞれに対してスレーブアドレス検出機能を備えています。

SVCTL.SVAEy ビット (y = 0～2) が 1 のとき、SVDVADy レジスタ (y = 0～2) に設定されたスレーブアドレスを検出できます。

IIC は設定されたスレーブアドレス一致を検出すると、SCL クロックの 9 クロック目の立ち上がりで該当する SVST.SVAFy フラグ (y = 0～2) を 1 にし、続く R/W#ビットにより NTST.RDBFF0 フラグまたは NTST.TDBEF0 フラグを 1 にします。これによって、受信データフル割り込み (IICn_RX) または送信データエンプティ割り込み (IICn_TX) が発生します。SVAFy フラグを確認することでどのスレーブアドレスが指定されたかを識別できます。

図 27.18 ～図 27.20 に SVAFy フラグが 1 になるタイミングを 3 つのケースで示します。

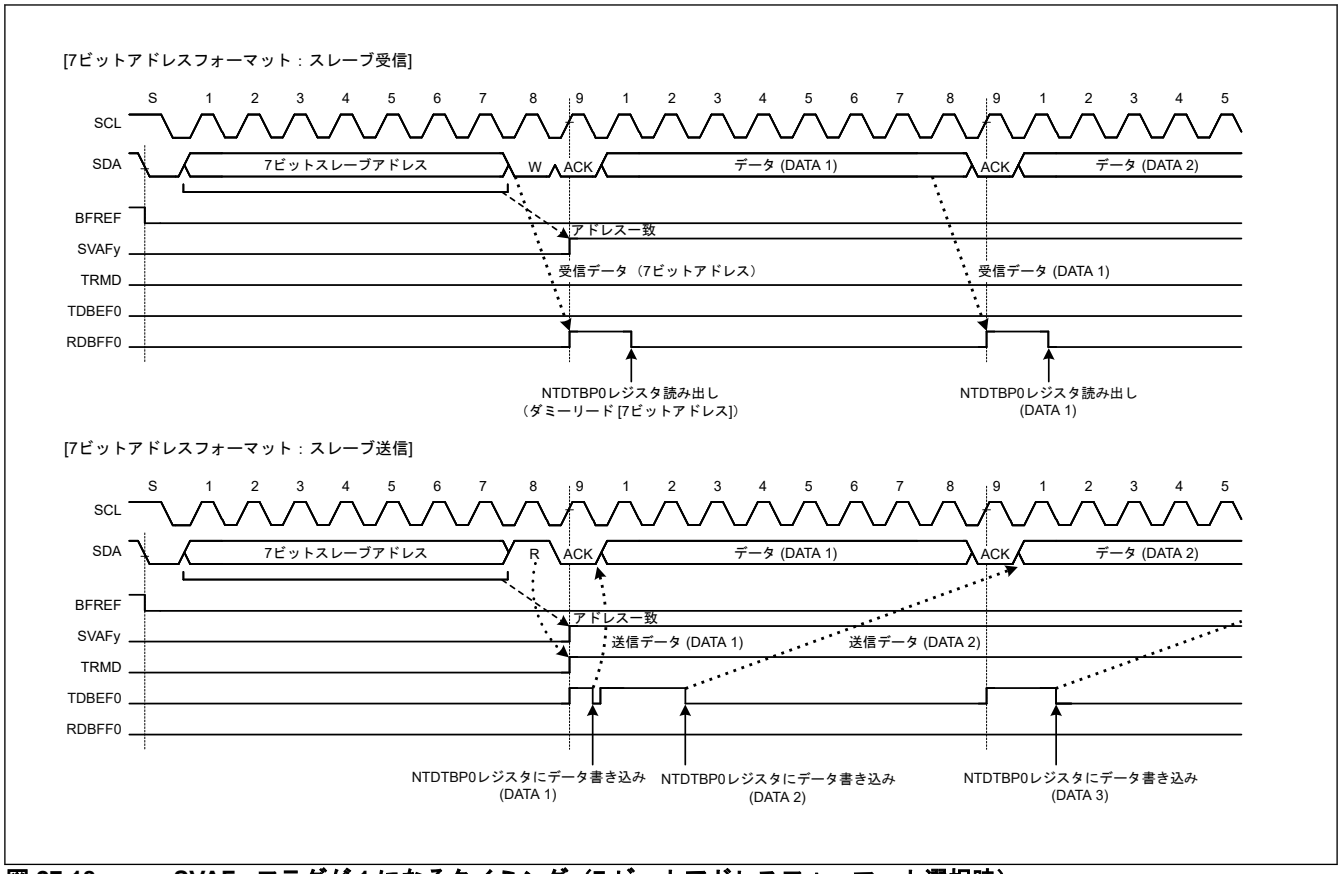


図 27.18　SVAFy フラグが 1 になるタイミング（7 ビットアドレスフォーマット選択時）

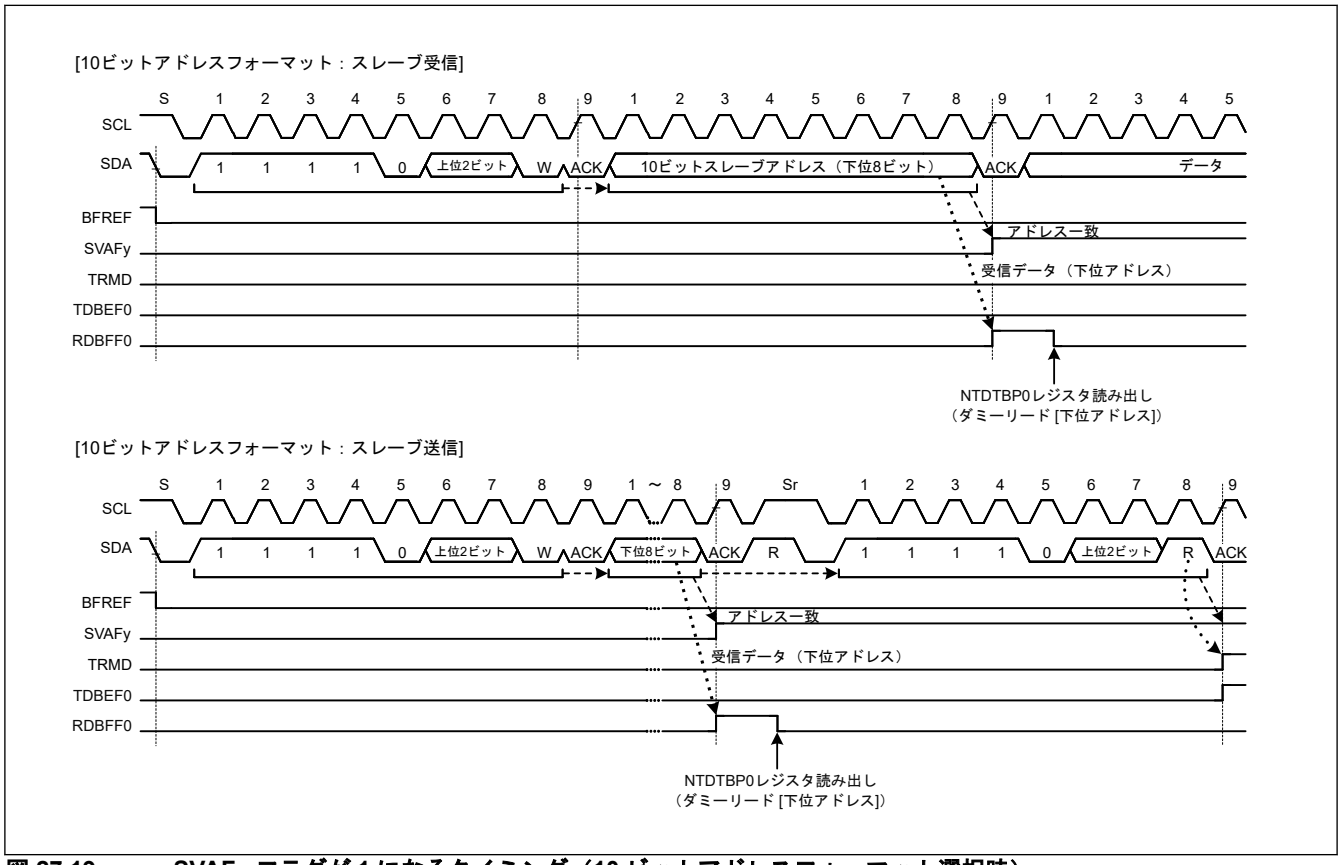


図 27.19　SVAFy フラグが 1 になるタイミング（10 ビットアドレスフォーマット選択時）

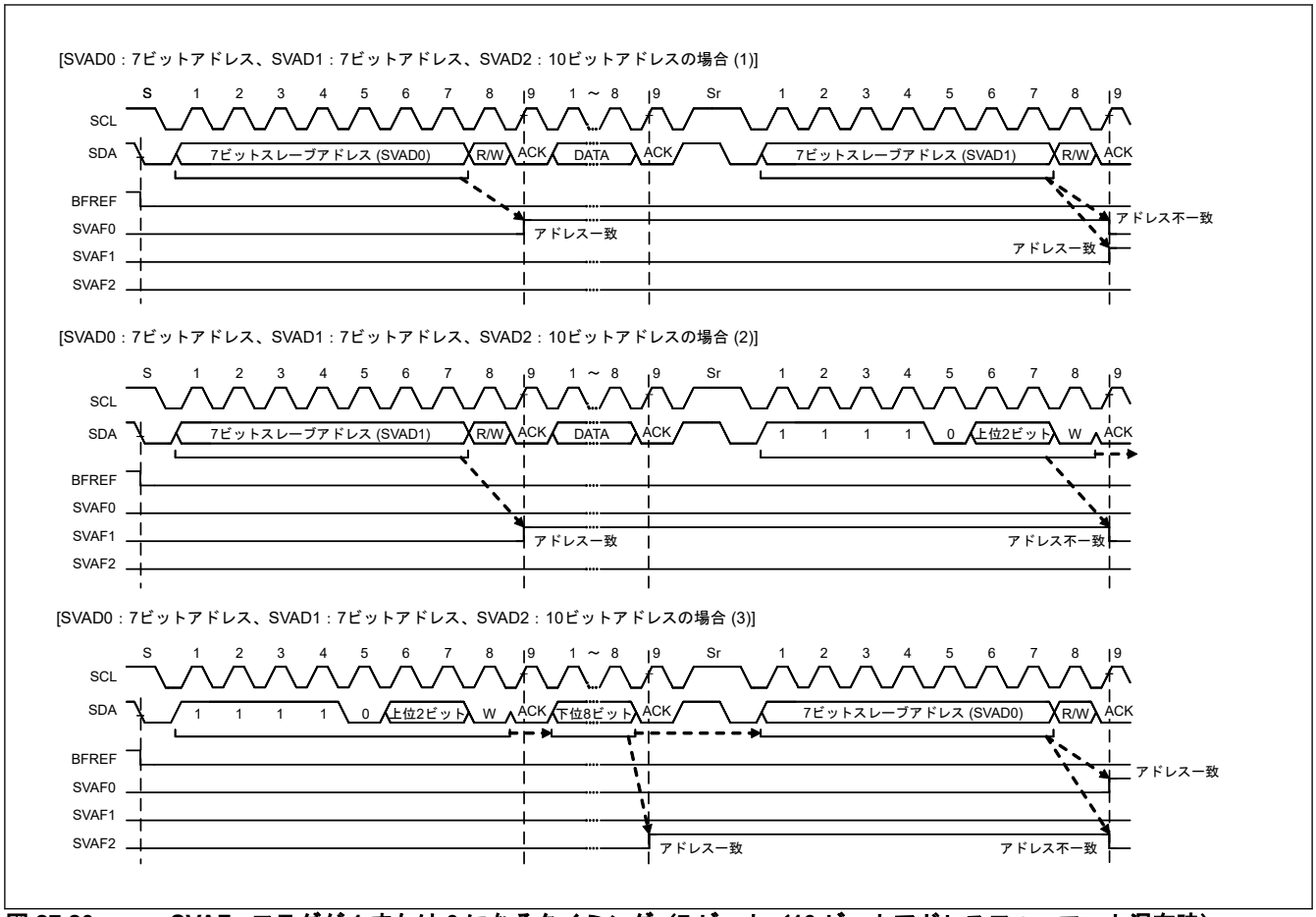


図 27.20　SVAFy フラグが 1 または 0 になるタイミング（7 ビット／10 ビットアドレスフォーマット混在時）

(2)　ジェネラルコールアドレス検出機能

IIC は、ジェネラルコールアドレス (0000 000b ＋ 0[W]) の検出機能を備えています。この機能は、SVCTL.GCAE ビットを 1 にすることで有効になります。

スタートコンディションまたは繰り返しのスタートコンディション発行後に受信したアドレスが 0000 000b ＋ 1[R]（開始バイト）の場合は、IIC はスレーブアドレスの内容はすべて 0 であるとみなし、ジェネラルコールアドレスは認識しません。

IIC がジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで SVST.GCAF フラグと NTST.RDBFF0 フラグが 1 になります。これによって、受信データフル割り込み (IICn_RX) が発生します。GCAF フラグを確認することで、ジェネラルコールアドレスが送信されたことを認識できます。

なお、ジェネラルコールアドレス検出後の動作は、通常のスレーブ受信動作と同じです。

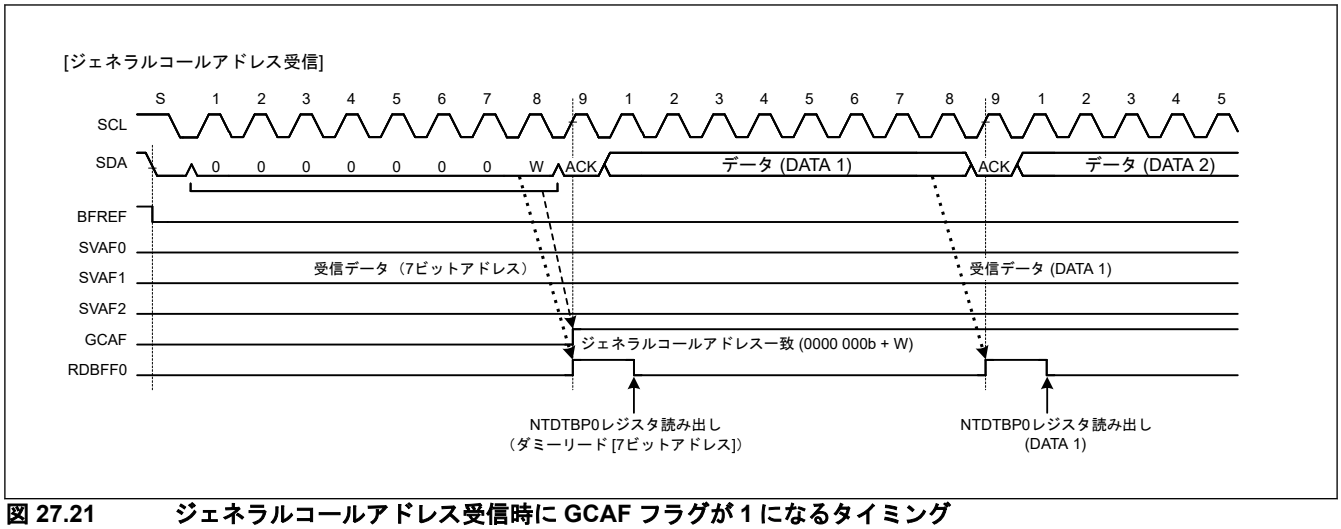


図 27.21　ジェネラルコールアドレス受信時に GCAF フラグが 1 になるタイミング

(3)　デバイス ID アドレス検出機能

IIC は I^{2}C バス (Rev.03) に準拠したデバイス ID アドレスの検出機能を備えています。IIC が SVCTL.DVIDE ビットを 1 にした状態で、スタートコンディションまたは繰り返しのスタートコンディション後の 1 バイト目に 1111 100b を受信すると、IIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W#ビットが 0 のとき SCL クロックの 9 クロック目の立ち上がりで SVST.DVIDF フラグを 1 にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、IIC は該当する SVST.SVAFy フラグ (y = 0～2) を 1 にします。

その後スタートコンディションまたは繰り返しのスタートコンディション後の 1 バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W#ビットが 1 のとき IIC は続く 2 バイト目以降はアドレス比較動作を行わず、NTST.TDBEF0 フラグを 1 にします。

デバイス ID アドレス検出機能では、IIC のスレーブアドレスと一致しなかった場合、あるいは IIC のスレーブアドレスと一致し、繰り返しのスタートコンディションの検出時にデバイス ID アドレスと一致しなかった場合、IIC は DVIDF フラグを 0 にします。スタートコンディションまたは繰り返しのスタートコンディション検出後の 1 バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W#ビットが 0 の場合は、IIC は DVIDF フラグを 1 にして、続く 2 バイト目以降を IIC のスレーブアドレスと比較します。R/W#ビットが 1 の場合、DVIDF フラグは前値の状態を継続し、IIC は 2 バイト目以降の比較を行いません。このようにして、TDBEF0 = 1 の確認後、DVIDF フラグを読むことで、デバイス ID アドレスを受信したことを確認することができます。

なお、一連のデバイス ID フィールド受信後にホストに送信するデバイス ID フィールドとして、必要な情報（3 バイトデータ：メーカ情報［12 ビット］＋部品識別［9 ビット］＋リビジョン［3 ビット］）を、通常の送信データとして準備しておいてください。デバイス ID フィールドに含める必要のある情報については、NXP 社にお問い合わせください。

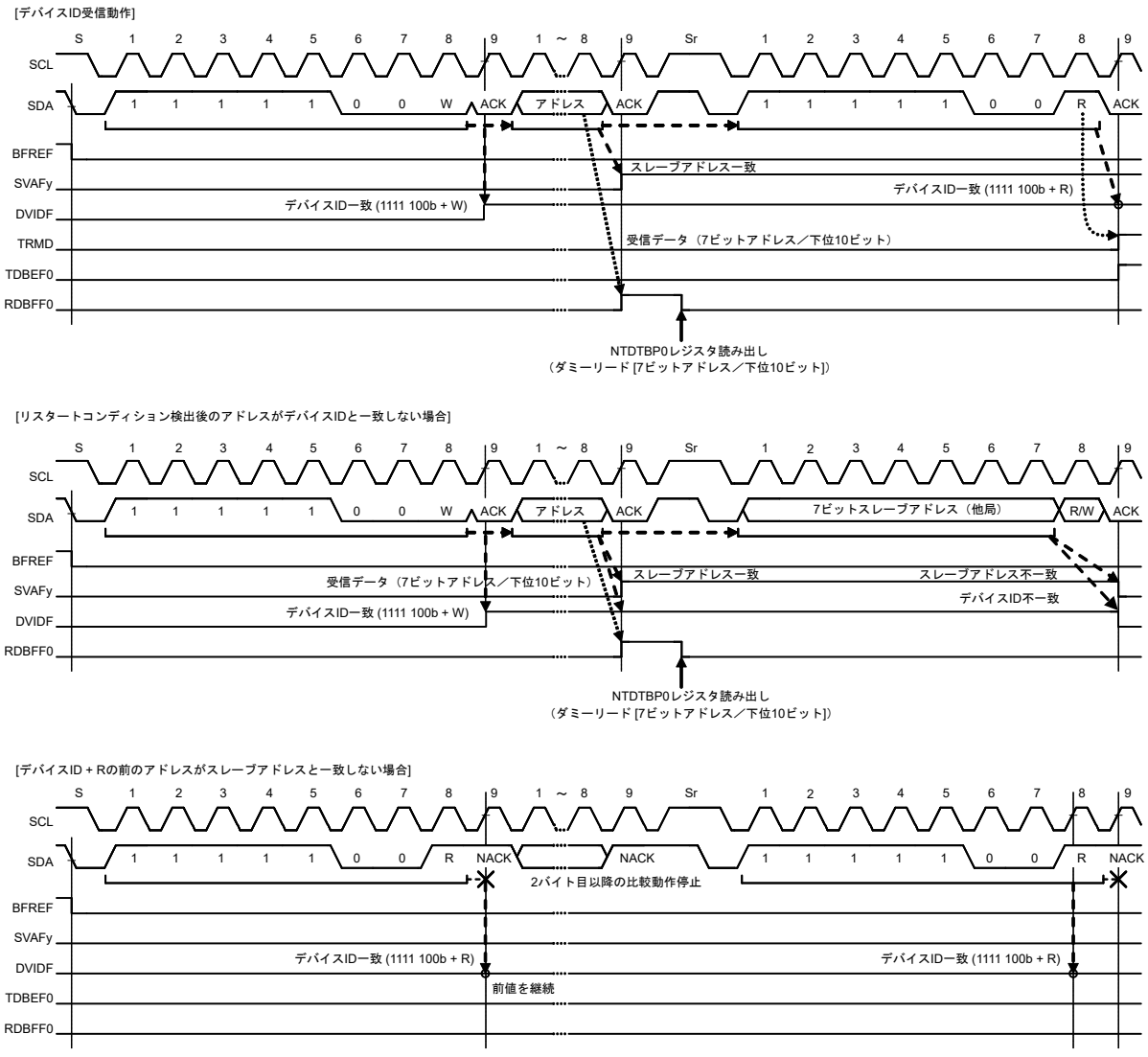


図 27.22　デバイス ID 受信時の SVAFy、DVIDF フラグのセット／クリアタイミング

(4)　ホストアドレス検出機能

IIC には SMBus 動作時にホストアドレスを検出する機能を備えています。BFCTL.SMBS ビットが 1 のとき SVCTL.HOAE ビットを 1 にすると、IIC はスレーブ受信モード（PRSST.CRMS、TRMD = 00b）時に、ホストアドレス (0001 000b) の検出が可能です。

なお IIC は、ホストアドレス (0001 000b) に続くビットが Rd ビット（R/W#ビットが 1）の場合にも、ホストアドレスの検出が可能です。ホストアドレス検出後の IIC 動作は、通常のスレーブ動作と同じです。

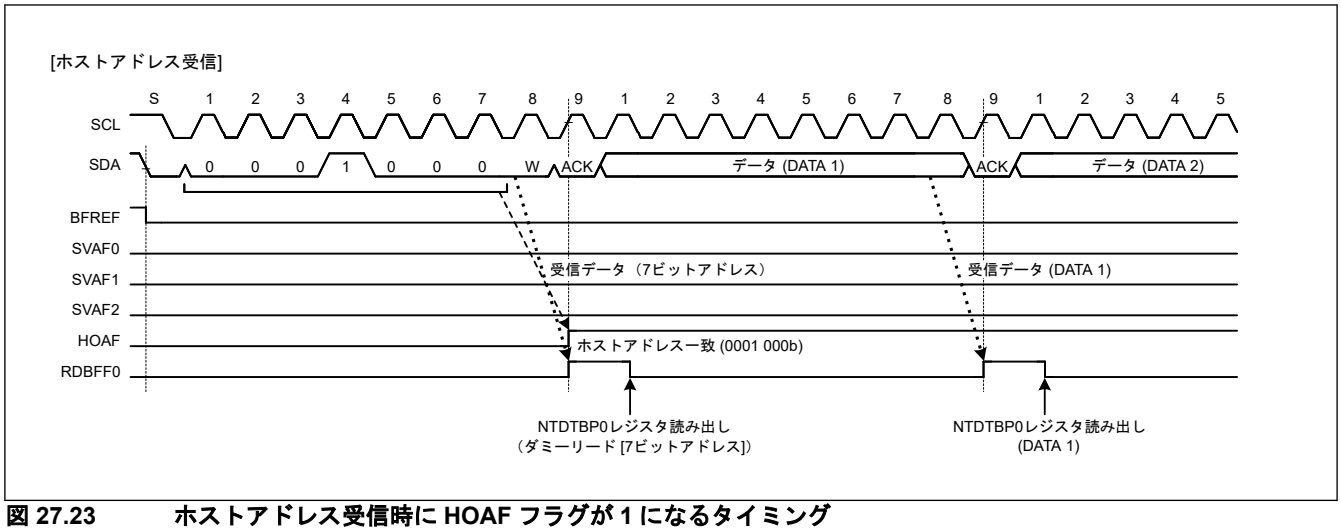


図 27.23 ホストアドレス受信時に HOAF フラグが 1 になるタイミング

(5) Hs モードマスタコード検出機能

IIC は、Hs モードマスタコード (0000 1XXXb) の検出機能を備えています。SVCTL.HSMCE ビットを 1 にした状態で、IIC がスタートコンディション発行後の 1 バイト目に Hs モードマスタコード (0000 1XXXb) を受信すると、このモジュールはこのアドレスを Hs モードマスタコードと認識し、SCL クロックの 9 クロック目の立ち上がりで SVST.HSMCF フラグを 1 にします。Hs モードマスタコードへの NACK 応答後の繰り返しのスタート後の 1 バイト目はスレーブアドレスとして認識し、SVDVADy.SVAD[9:0] (y = 0〜2) で設定されるスレーブアドレスと比較します。IIC は設定されたスレーブアドレス一致を検出すると、SCL クロックの 9 クロック目の立ち上がりで該当する SVST.SVAFy フラグ（y = 0〜2）を 1 にし、続く R/W#ビットにより NTST.RDBFF0 フラグまたは NTST.TDBEF0 フラグを 1 にします。これによって、受信データフル割り込み (IICn_RX) または送信データエンプティ割り込み (IICn_TX) が発生します。SVAFy フラグを確認することでどのスレーブアドレスが指定されたかを識別できます。SVST.HSMCF フラグは、ストップコンディションを検出すると 0 になります。

注. SVCTL.HSMCE ビットが 0 のときに Hs モードマスタコード (0000 1XXXb) を受信する場合、ストップコンディションを検出するまで他のパターンは無視されます。

注. Hs モードは IIC0 (SCL0_A, SDA0_A) においてサポートされています。

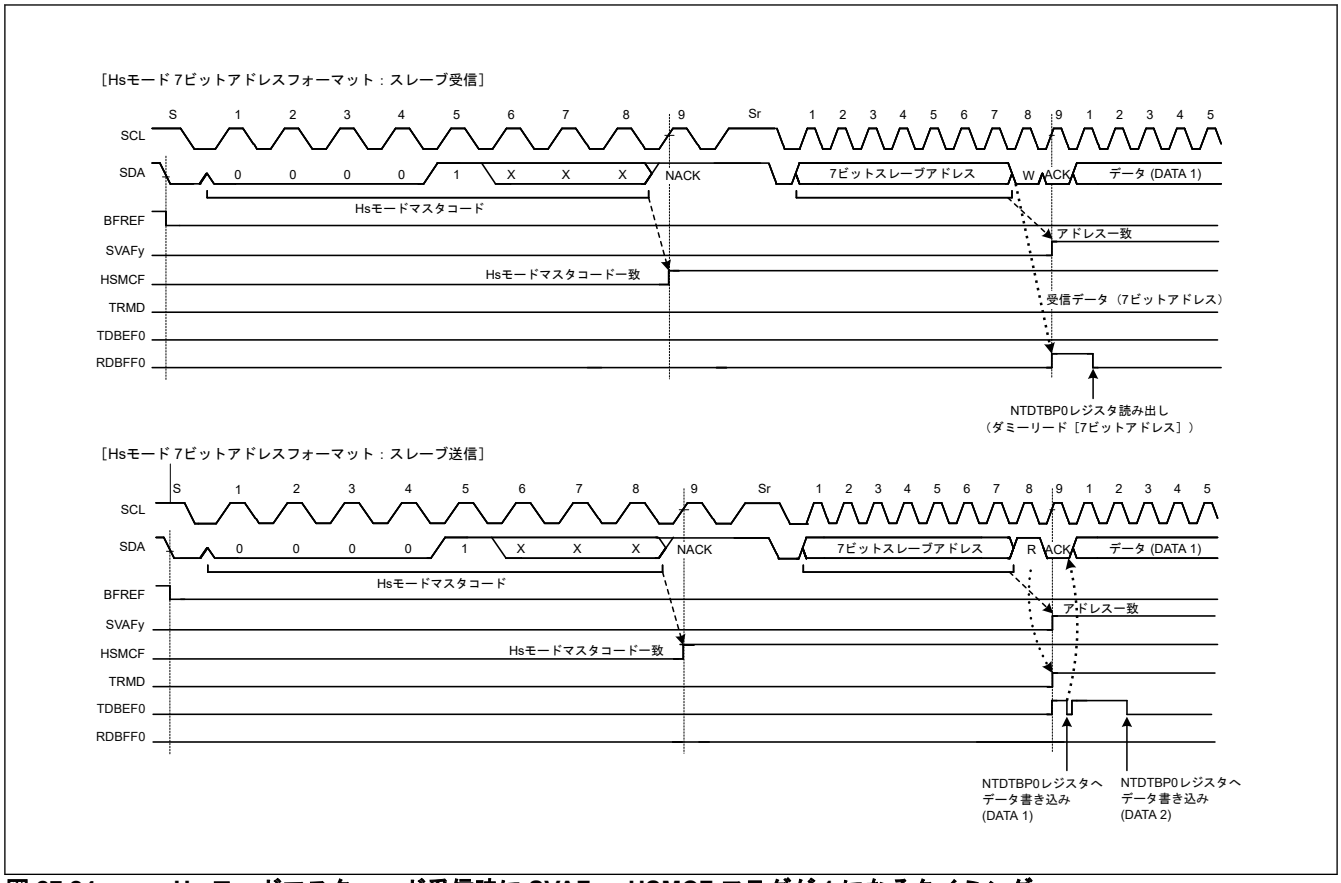


図 27.24 Hs モードマスタコード受信時に SVAFy、HSMCF フラグが 1 になるタイミング

27.3.1.3.4 アービトレーションロスト検出機能

IIC には I²C バス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

(1) マスタアービトレーションロスト検出機能（MALE ビット）

IIC はスタートコンディション発行の際、SDAn ラインを Low にします。しかし、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDAn ラインを Low にした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様に BCST.BFREF フラグが 0（バスビジー中）のときに CNDCTL.STCND ビットを 1 にすると、アービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレスビットを含む送信データ（内部 SDA 出力レベル）と SDAn ラインに不一致が生じた場合（内部 SDA 出力が High 出力（SDA0 端子はハイインピーダンス）で、SDAn ラインに Low を検出したとき）、IIC はアービトレーションロストを発生させます。

BSTE.ALE ビットが 1 かつ BFCTL.MALE ビットが 1（マスタアービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき、IIC はマスタアービトレーションロストを検出します。

バス権のアービトレーションがロストしたとき、IIC はただちにスレーブ受信モードに遷移します。

このとき、ジェネラルコールアドレスを含むスレーブアドレスが自身のアドレスと一致していれば、IIC はスレーブ動作を継続します。

[マスタアービトレーションロスト条件]

- BCST.BFREF フラグが 1 の状態で CNDCTL.STCND ビットを 1 にしてスタートコンディションを発行した後、SDA の内部出力レベルと SDAn ラインのレベルが不一致のとき（スタートコンディション発行エラー）
- BFREF フラグが 0 の状態で CNDCTL.STCND ビットを 1 にしたとき（スタートコンディション二重発行エラー）

注. IIC がスタートコンディションを発行しないとき

- マスタ送信モード時（PRSST.CRMS、TRMD = 11b）、アクノリッジを除く送信データ（内部の SDA 出力レベル）と SDAn ラインのレベルが不一致のとき

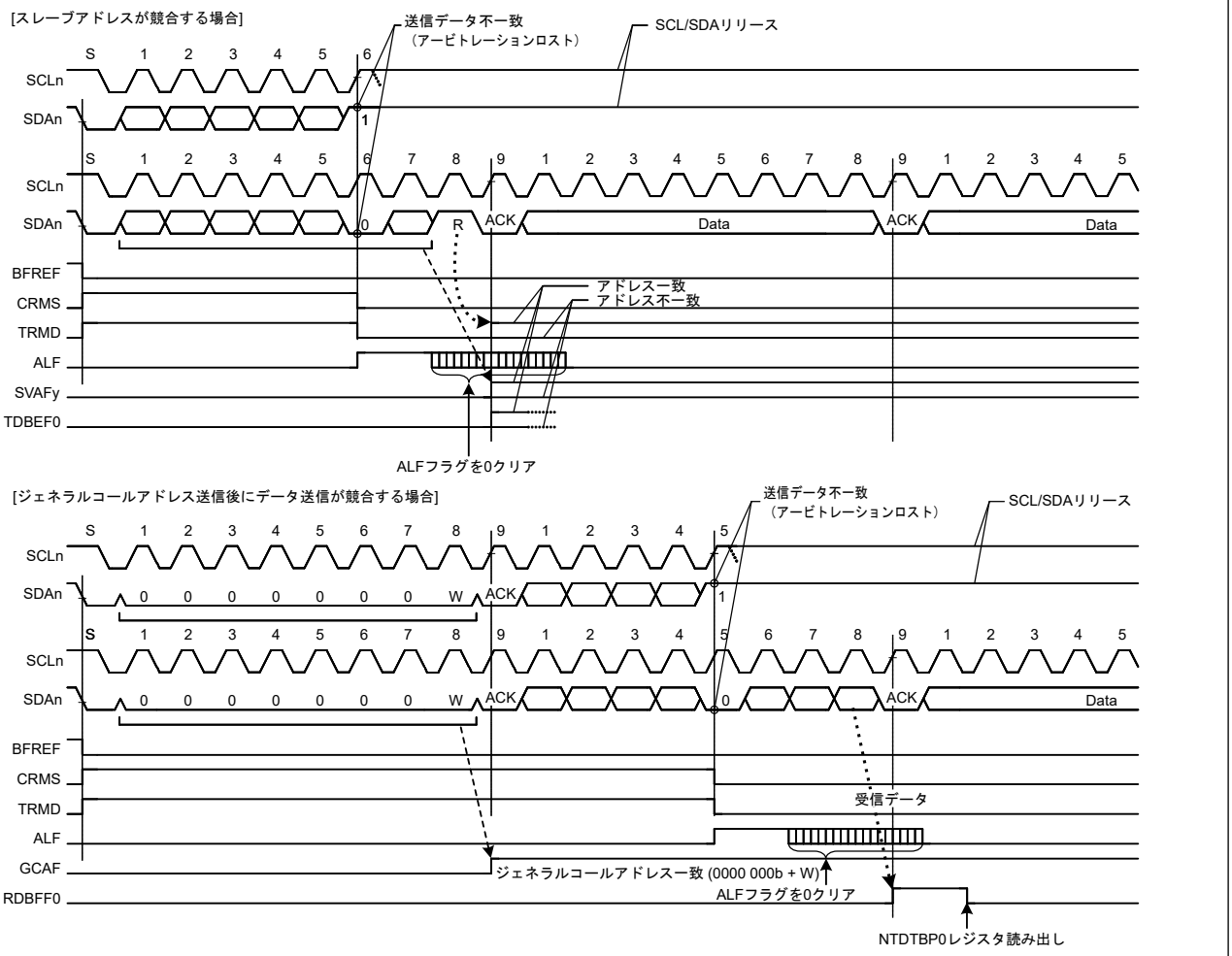
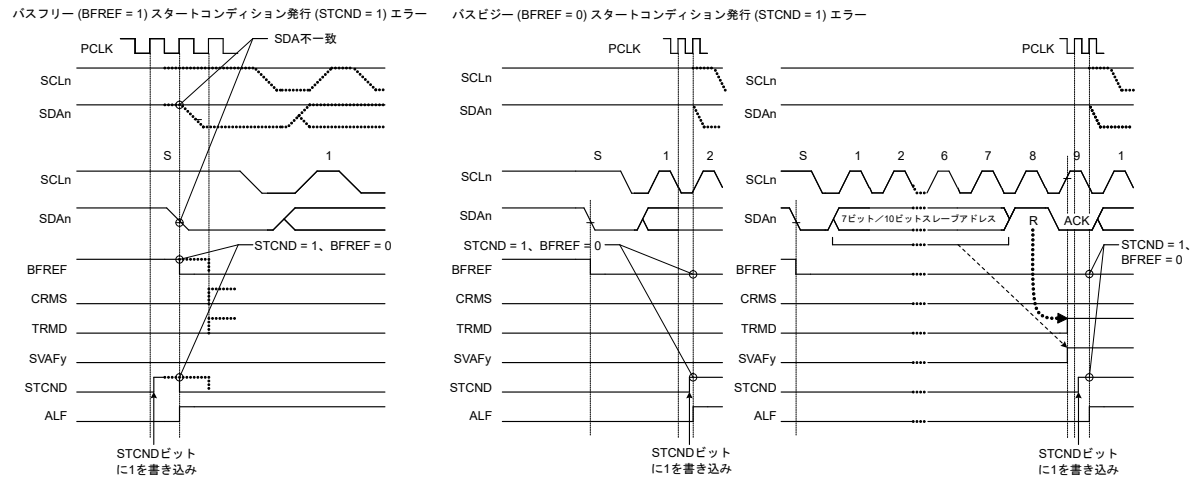


図 27.25 マスタアービトレーションロスト検出動作例（MALE = 1 の場合）



注. PCLK = PCLKA

図 27.26 スタートコンディション発行時のアービトレーションロスト検出動作例（MALE = 1 の場合）

(2) NACK 送信中のアービトレーションロスト検出機能（NALE ビット）

受信モード時で NACK 送信時に出力した SDA 信号と SDAn ライン上の信号の状態が不一致の場合（内部 SDA 出力が High 出力（SDAn 端子はハイインピーダンス）で、SDAn ラインに Low を検出したとき）、IIC はアービトレーションロストを発生させる機能を備えています。マルチマスタのシステムにおいて、2 つ以上のマスタデバイスが同じスレーブデバイスから同時にデータを受信するとき、NACK 送信と ACK 送信の衝突が原因で、アービトレーションロストが発生します。このような衝突は、複数のマスタデバイスが 1 つのスレーブデバイスに対して同じ情報を送受信する際に生じます。

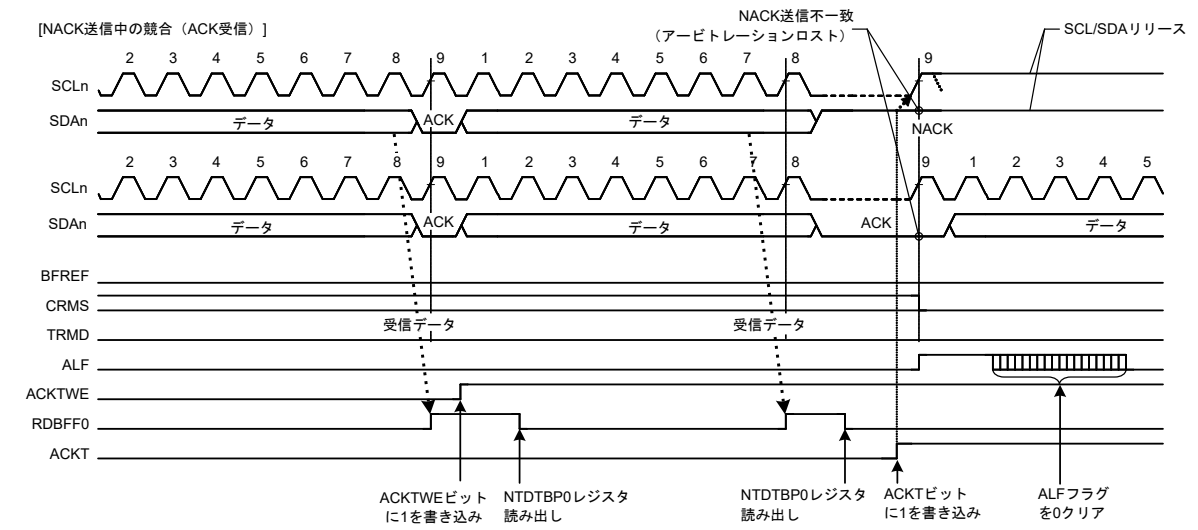


図 27.27 NACK 送信中のアービトレーションロスト検出の動作例（NALE = 1 の場合）

以下では、2 つのマスタデバイス（マスタ A、B）と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げてアービトレーションロストを説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

マスタ A とマスタ B が同時にスレーブデバイスにアクセスした場合、スレーブアドレスが同じであるため、スレーブデバイスアクセス中にマスタ A にも B にもアービトレーションロストは発生しません。そのため、マスタ A とマスタ B は、どちらもバス権を取得したものと認識して動作します。この例でマスタ A は、スレーブデバイ

スから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスからの受信データが必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的に、このような衝突が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できずにストップコンディションを発行します。そのため、このストップコンディションの発行は、マスタ B の SCL クロック出力と競合し、通信を中断させます。

本モジュールは、NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知し、アービトレーションロストを発生させることができます。

NACK 送信時にアービトレーションロストが発生すると、本モジュールはただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能は、ストップコンディション発行を未然に防ぎ、バスの通信エラーを防止します。

同様に、SMBus の ARP コマンド処理においても、NACK 送信中のアービトレーションロスト検出機能を用いて、アサインアドレスコマンド後の Get UDID（汎用）処理でアサインアドレスの UDID（ユニークデバイス ID）が不一致の場合に、追加クロック処理（0xFF 送信処理など）を省くことができます。

BSTE.ALE ビットが 1 かつ BFCTL.NALE ビットが 1（NACK 送信中アービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき、IIC は NACK 送信中のアービトレーションロストを検出します。

[NACK 送信中アービトレーションロスト条件]

- NACK 送信時 (ACKCTL.ACKT = 1)、内部の SDA 出力レベルと SDAn ラインの状態（ACK 受信）が不一致のとき

(3) スレーブアービトレーションロスト検出機能（SALE ビット）

IIC は、スレーブ送信時に送信データ（出力した SDA 信号）と SDAn ライン上の信号の状態に不一致が生じた場合（出力した SDA 信号が High 出力（SDAn 端子はハイインピーダンス）で、SDAn ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト検出機能は、主に SMBus での UDID（ユニークデバイス ID）送信時に使用します。

DATA 送信時にアービトレーションロストが発生すると、本モジュールはただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能によって、SMBus での UDID 送信時のデータ衝突を検出し、以降の余剰な 0xFF 送信処理を省くことができます。

BSTE.ALE ビットが 1 かつ BFCTL.SALE ビットが 1（スレーブアービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき、IIC はスレーブアービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時（PRSST.CRMS、TRMD = 01b）、アクノリッジを除く送信データ（内部の SDA 出力レベル）と SDAn ラインのレベルが不一致のとき

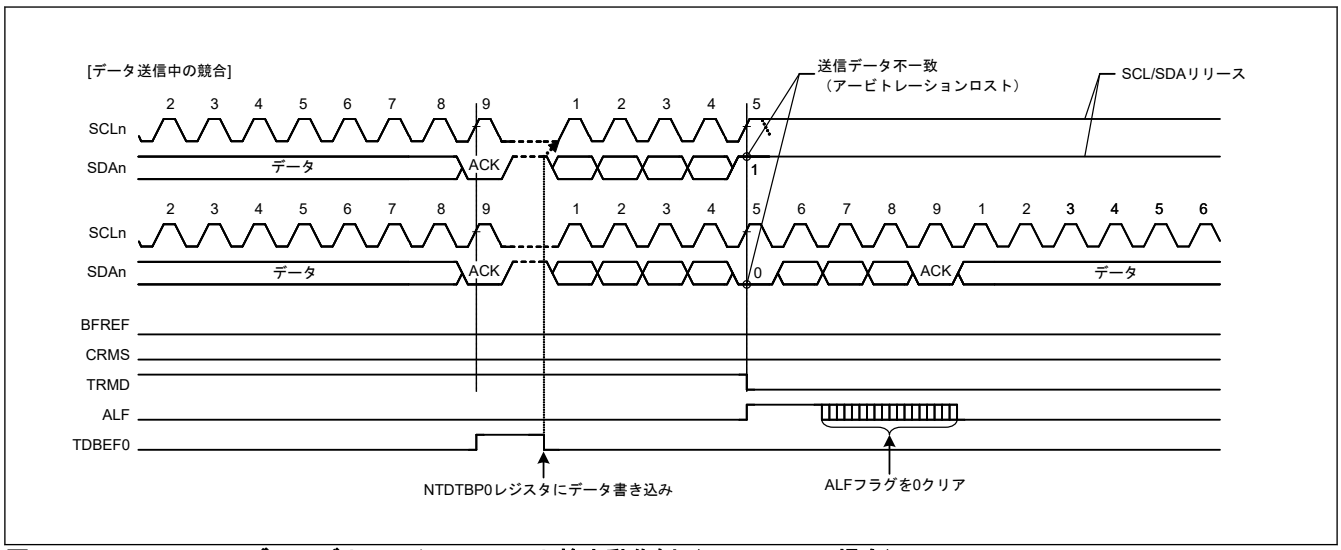


図 27.28 スレーブアービトレーションロスト検出動作例（SALE = 1 の場合）

27.3.1.3.5 クロックストレッチ機能

(1) 送信データの誤送信防止機能

IIC は送信モード時（PRSST.TRMD ビット=1）、I ^{2}C バス送信データレジスタ（NTDTBP0 レジスタ）にデータが書かれていない場合、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

マスタ送信モード

- スタートコンディション／繰り返しのスタートコンディション発行後の Low 区間
- 9 クロック目と次の転送の 1 クロック目の間の Low 区間

スレーブ送信モード

- 9 クロック目と次の転送の 1 クロック目の間の Low 区間

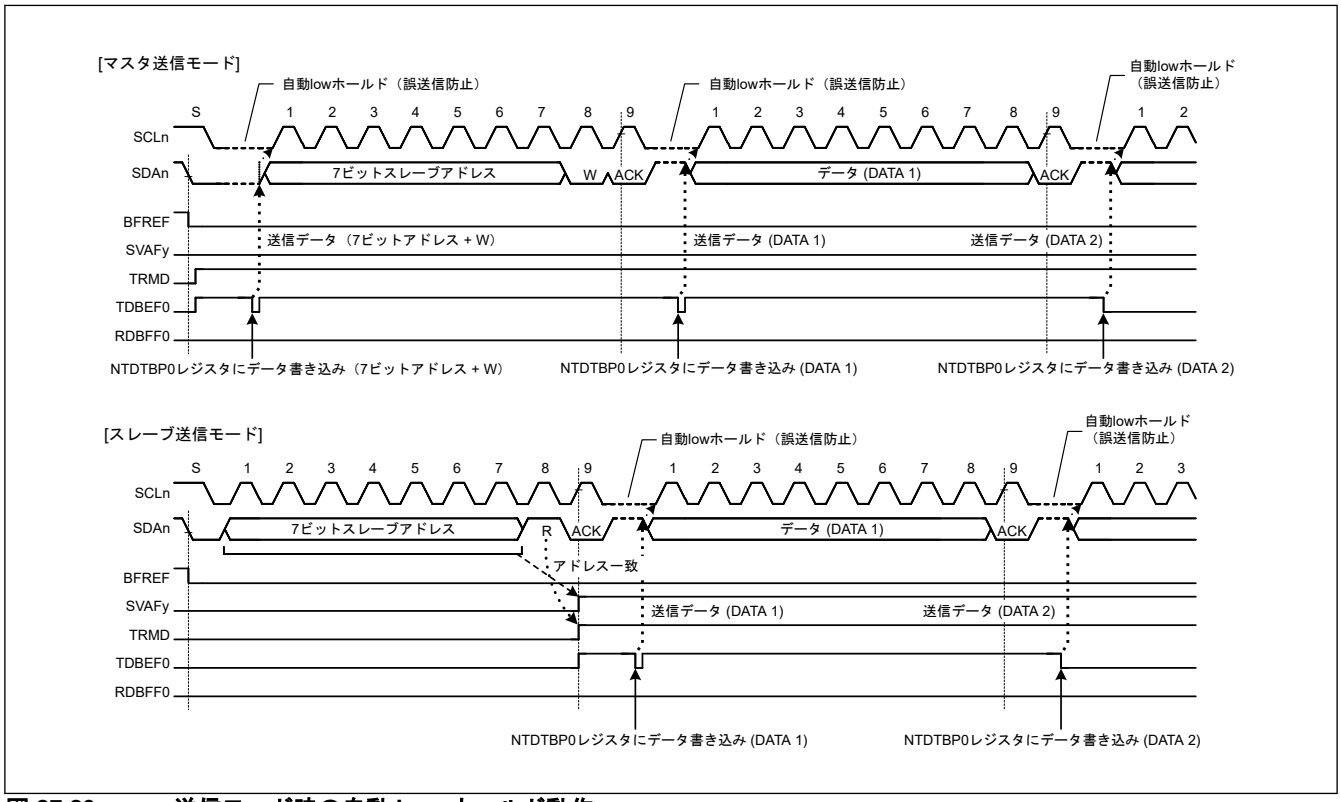


図 27.29 送信モード時の自動 Low ホールド動作

(2) NACK 受信転送中断機能

IIC は送信モード時（PRSST.TRMD ビット=1）に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は、BSTE.NACKDE ビットが 1（転送中断許可）のとき有効になります。NACK 受信時にすでに次の送信データが書き込まれていた場合（NTST.TDBEF0 フラグ=0 の状態）、SCL クロックの 9 クロック目の立ち下がりで次のデータ送信を自動的に中断します。これによって、次送信データの MSB が 0 の場合、SDAn ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合（BST.NACKDF フラグ=1）、以後の送信動作および受信動作は行いません。送受信動作を再開するには NACKDF フラグを 0 にしてください。マスタ送信モードでは、以下のいずれかの方法で動作を再開してください。

- 繰り返しのスタートコンディション発行後に、NACKDF フラグを 0 にする。
- ストップコンディション発行後に、NACKDF フラグを 0 にしてから、スタートコンディションを発行する。

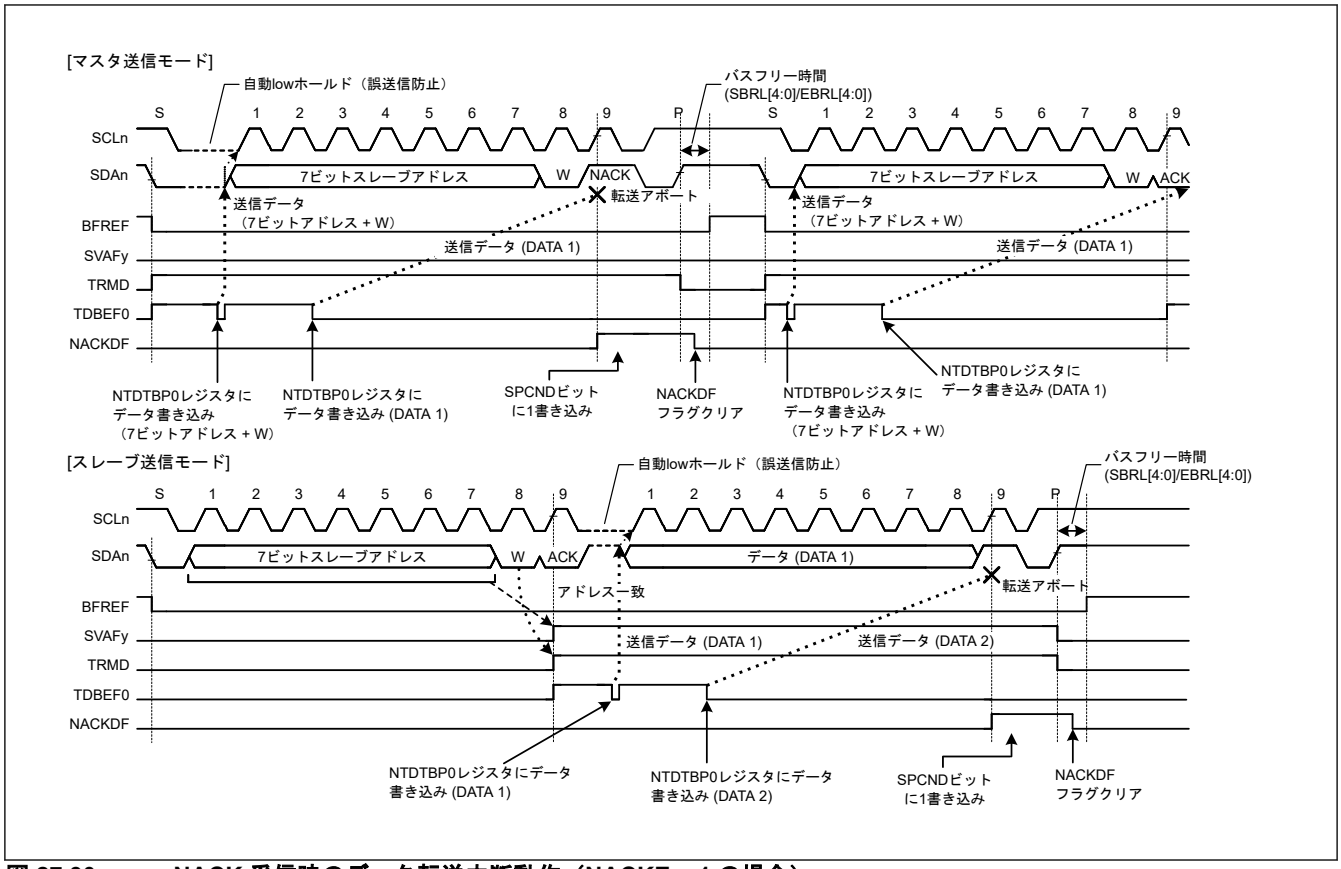


図 27.30　NACK 受信時のデータ転送中断動作（NACKE = 1 の場合）

(3)　受信データ取りこぼし防止機能

受信モード時 (PRSST.TRMD = 0) に、受信データフル (NTST.RDBFF0 = 1) の状態で受信データ（NTDTBP0 レジスタ）の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、IIC は次のデータ受信の直前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを防止します。

この自動 Low ホールド機能による取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディションが発行された後、IIC 自身のスレーブアドレス、またはそのほかのスレーブアドレスを受信した場合にも有効です。

また、SCSTRCTL レジスタの RWE ビットと ACKTWE ビットの組み合わせにより、SCLn ラインが Low ホールドされる期間を選択できます。

(a) RWE ビットによる 1 バイト受信動作／自動 Low ホールド機能

SCSTRCTL.RWE ビットを 1 にすると、IIC は RWE ビット機能を用いた 1 バイト受信動作を行います。

SCSTRCTL.ACKTWE ビットが 0 のとき、IIC は SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に ACKCTL.ACKT ビットの内容を送出し、9 クロック目の立ち下がりを検出すると RWE ビット機能により自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、NTDTBP0 レジスタからデータを読み出すことで解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお RWE ビット機能は、マスタ受信モード時またはスレーブ受信モード時に、IIC スレーブアドレス（ジェネラルコールアドレスとホストアドレス含む）との一致があった以降の受信フレームから有効になります。

(b) ACKTWE ビットによる 1 バイト受信動作（ACK/NACK 送出制御）／自動 Low ホールド機能

SCSTRCTL.ACKTWE ビットを 1 にすると、IIC は ACKTWE ビット機能を用いた 1 バイト受信動作を行います。

ACKTWE ビットを 1 にすると、SCL の 8 クロック目の立ち上がりで NTST.RDBFF0 フラグが 1（受信データフル）になり、8 クロック目の立ち下がりで自動的に SCLn ラインの Low ホールドが行われます。この Low ホールドは、ACKCTL.ACKT ビットに値を書き込むことで解除されますが、NTDTBP0 レジスタからデータを読み出しても解除されません。そのため、1 バイトごとに受信したデータの内容に応じて ACK/NACK の送信を制御することにより、受信動作が可能となります。

なお ACKTWE ビット機能は、マスタ受信モード時またはスレーブ受信モード時に、IIC スレーブアドレス（ジェネラルコールアドレスとホストアドレス含む）との一致があった以降の受信フレームから有効になります。

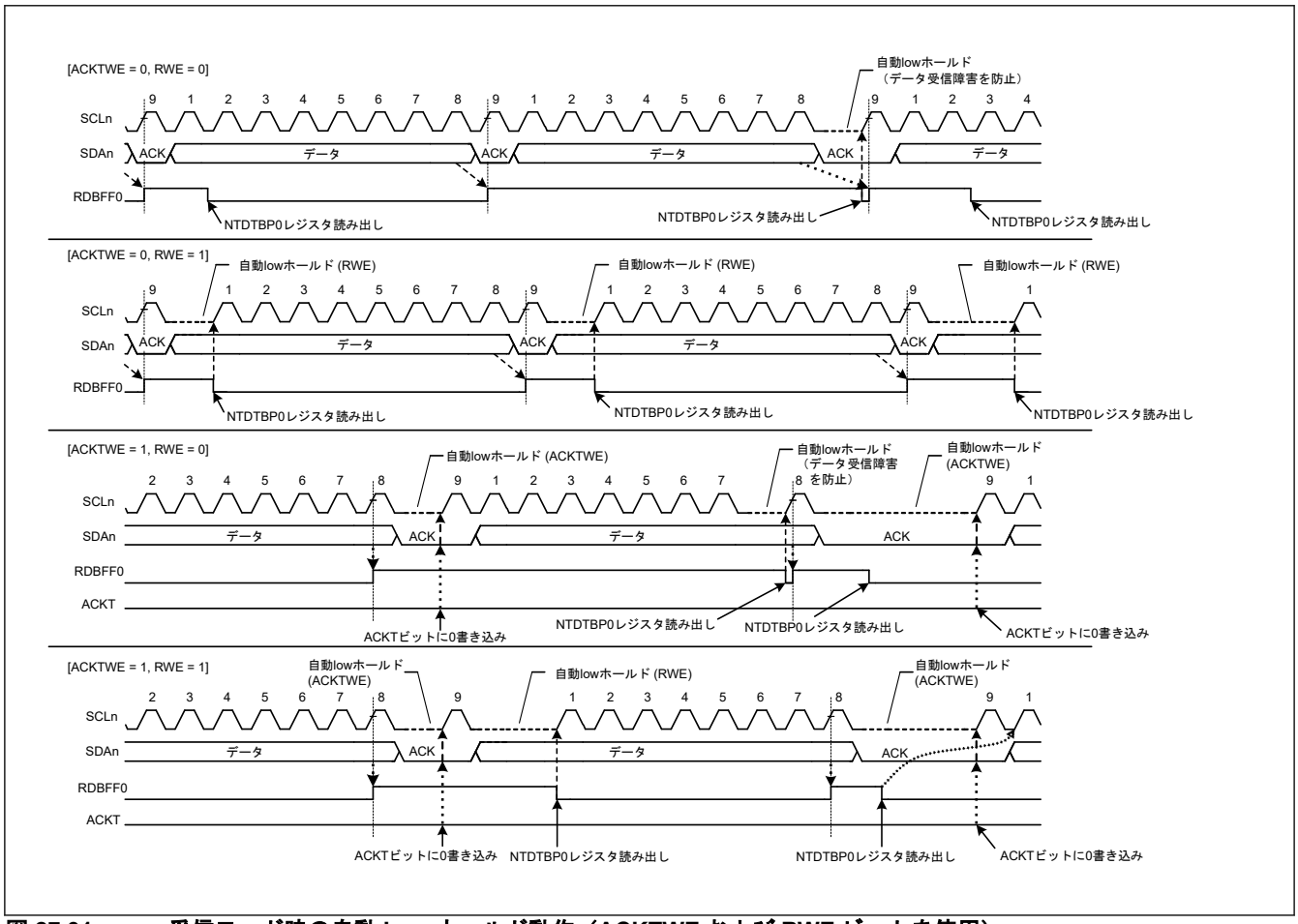


図 27.31　受信モード時の自動 Low ホールド動作（ACKTWE および RWE ビットを使用）

27.3.1.3.6　ポートコントロール

(1)　SCL クロック追加出力機能

IIC モジュールは、マスタモード時、マスタデバイスとスレーブデバイスとの同期ズレによるスレーブデバイスの SDAn ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

この機能は、IIC から SCL クロックを 1 クロック単位で追加出力させる機能であり、主にマスタモード時に、スレーブデバイスが SDAn ラインを Low 固定しているため、IIC が繰り返しのスタートコンディションまたはストップコンディションを発行できないバスエラー発生時に、スレーブデバイスの SDAn ラインを Low 固定状態から開放するために使用されます。通常はこの機能を使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

OUTCTL.EXCYC ビットが 1 のとき、REFCKCTL.IREFCKS[2:0]ビットと STDBR.SBRHO[7:0]レジスタ、STDBR.SBRLO[7:0]レジスタに設定された周波数の追加のクロックパルスが SCLn 端子から出力されます。このクロックパルスの出力が終了すると、EXCYC ビットは自動的に 0 になります。EXCYC ビットが 0 になったことを確認した後、繰り返しのスタートコンディションまたはストップコンディションのセットアップ時間を待機します。それから、繰り返しのスタートコンディションまたはストップコンディションの検出を確認します。繰り返しのスタートコンディションまたはストップコンディションを検出しない場合、再び EXCYC ビットに 1 を書き込むことで、続けて追加のクロックパルスを出力できます。

IIC がマスタモードであるとき、ノイズなどによるスレーブデバイスとの同期ズレが原因で、スレーブデバイスが SDAn ラインを Low に固定したままであると、繰り返しのスタートコンディションまたはストップコンディションを出力できません。この SCL 追加サイクルを出力する機能を使用して SCL 追加クロックを 1 クロックずつ出力することで、スレーブデバイスの SDAn ラインの Low 固定状態を解放させ、バスを使用できない状態から回復させることができます。スレーブデバイスによる SDAn ラインの解放は、PRSTDBG.SDILV フラグを読みだす

ことで確認できます。SDAn ラインがスレーブデバイスにより解放された後、繰り返しのスタートコンディションまたはストップコンディションのプリセットを発行します。

この機能を使用する場合、BFCTL.MALE ビットを 0（マスタアービトレーションロスト検出無効）にしてください。

[OUTCTL.EXCYC ビット使用時の出力条件]

- バスフリー状態 (BCST.BFREF フラグ = 1) またはマスタモード（PRSST.CRMS ビット = 1、BCST.BFREF フラグ = 0）のとき
- 通信デバイスが SCLn ラインを Low ホールドにしていない状態のとき

図 27.32 に SCL クロック追加出力機能（EXCYC ビット）の動作タイミングを示します。

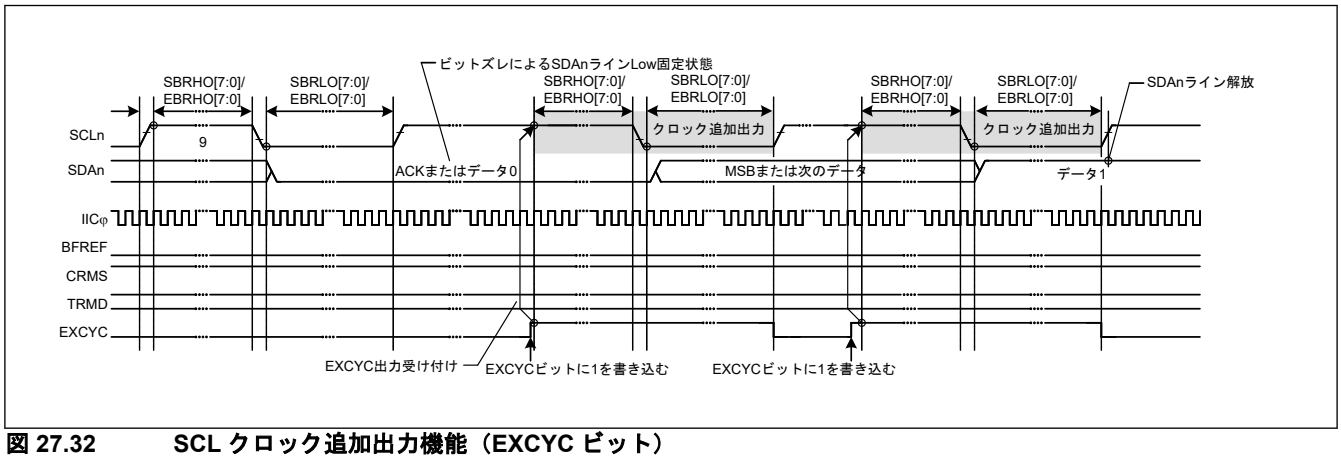


図 27.32 SCL クロック追加出力機能（EXCYC ビット）

27.3.1.3.7 SMBus 動作

IIC は SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、BFCTL.SMBS ビットを 1 にしてください。転送速度が SMBus 仕様の 10kbps～100kbps の範囲に収まるように、REFCKCTL.IREFCKS[2:0]ビット、STDBR.SBRHO[7:0]ビットおよび STDBR.SBRLO[7:0]ビットを設定してください。また、データホールド時間の規定値 300 ns 以上を満たすように、OUTCTL.SDODCS ビットおよび OUTCTL.SDOD[2:0]ビットの値を決定してください。IIC を I^2C スレーブデバイスとしてのみ使用する場合は、転送速度の設定は不要ですが、STDBR.SBRLO[7:0]ビットにはデータセットアップ時間 (250 ns) 以上の値を設定してください。

なお、SMBus デバイスデフォルトアドレス (1100 001b) には、スレーブデバイスアドレステーブル基本レジスタ 0～2（SDATBASy.SDSTAD[6:0]ビット (y = 0～2)）のいずれか 1 つを使用し、対応する SDATBASy.SDADLS ビット（7 ビット／10 ビットアドレスフォーマット選択）(y = 0～2) を 0（7 ビットアドレスフォーマット）にしてください。

また、UDID（ユニークデバイス ID）送信時には、BFCTL.SALE ビットを 1 にして、スレーブアービトレーションロスト検出機能を有効にしてください。

(1) SMBus タイムアウト測定

(a) スレーブデバイスのタイムアウト測定

下記に示す区間（タイムアウト間隔：$T_{LOW:SEXT}$）を SMBus 通信のスレーブデバイスにおいて計測する必要があります。

- スタートコンディションからストップコンディションまで

スレーブデバイスでタイムアウト測定を行うには、IIC のスタートコンディション検出割り込み (IICn_EEI) とストップコンディション検出割り込み (IICn_EEI) を利用して、スタートコンディション検出からストップコンディション検出までの期間を GPT タイマを使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積時間（スレーブデバイス）$T_{LOW: SEXT}$：25 ms (max.) 以内である必要があります。

GPT で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$: 25 ms (min) を超えた場合、スレーブデバイスは RSTCTL.INTLRST ビットに 1 を書き込み IIC の内部リセットを発行してバス解放動作を行

う必要があります。内部リセットを行うと IIC は SCLn 端子／SDAn 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(b) マスタデバイスのタイムアウト測定

下記に示す区間（タイムアウト間隔：$T_{LOW:MEXT}$）を SMBus 通信のマスタデバイスにおいて計測する必要があります。

- スタートコンディションからアクノリッジビットまで
- アクノリッジビットから次のアクノリッジビットまで
- アクノリッジビットからストップコンディションまで

マスタデバイスでタイムアウト測定を行うには、IIC のスタートコンディション検出割り込み (IICn_EEI)、ストップコンディション検出割り込み (IICn_EEI)、送信終了割り込み (IICn_TEND)、または受信データフル割り込み (IICn_RX) を利用して、GPT タイマを使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積延長時間（マスタデバイス）$T_{LOW:MEXT}$: 10 ms (max) 以内であり、かつスタートコンディションからストップコンディションまでのすべての $T_{LOW:MEXT}$ の値の合計が $T_{LOW:SEXT}$: 25 ms (max) 以内である必要があります。

ACK 受信タイミング（SCL クロックの 9 クロック目の立ち上がり）は、マスタ送信モード時（マスタトランスミッタ）は BST.TENDF フラグ、マスタ受信モード時（マスタレシーバ）は NTST.RDBFF0 フラグで監視します。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは SCSTRCTL.ACKTWE ビットを 0 で使用してください。ACKTWE ビットが 0 のとき、RDBFF0 フラグは SCL クロックの 9 クロック目の立ち上がりで 1 になります。

GPT で計測した時間が、SMBus 規格のクロック Low 累積延長時間（マスタデバイス）$T_{LOW:MEXT}$: 10 ms (max) を超えた場合、または各計測時間の合計が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$: 25 ms (min) を超えた場合は、マスタデバイスはストップコンディションを発行してトランザクションを中止する必要があります。マスタ送信モード時には即座に送信動作（NTDTBP0 レジスタへの書き込み）を中止してください。

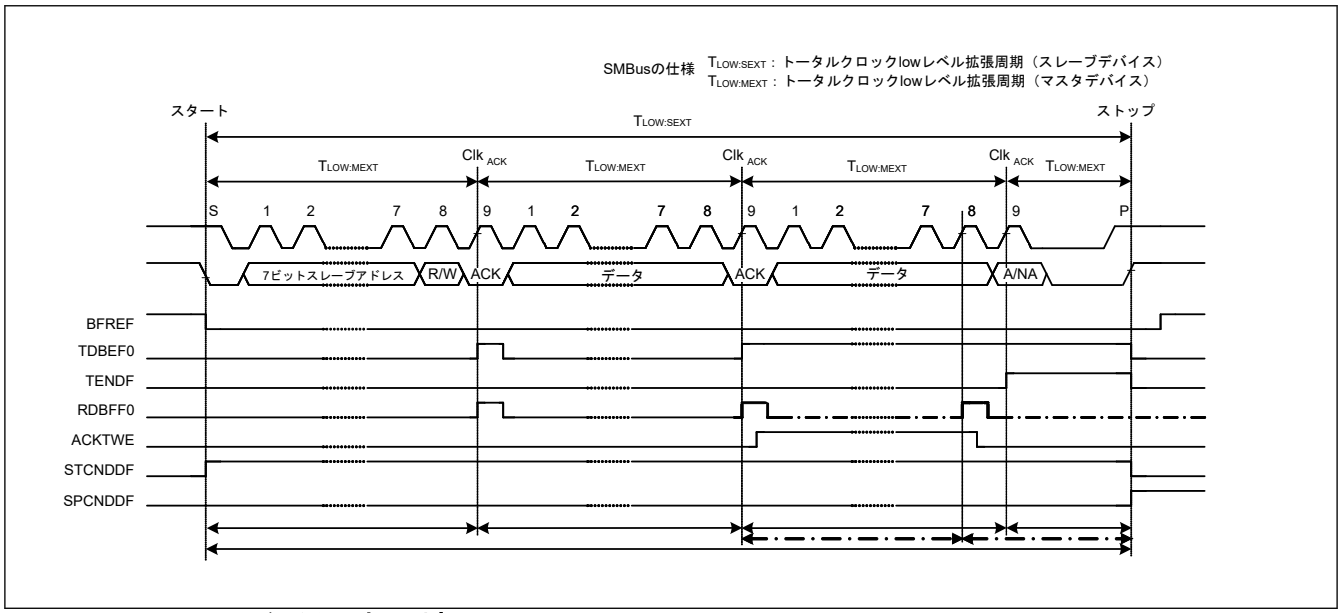


図 27.33　SMBus タイムアウト測定

(2)　パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。IIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の CRC 生成多項式については、「31. 巡回冗長検査 (CRC)」を参照してください。

マスタ送信モード時の PEC データは、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信モード時の PEC データは、全受信データを CRC 演算器の CRCDIR レジスタに書き、取得した CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することでチェックできます。

PEC コードチェックの結果として、最終バイト受信時の結果（一致／不一致）に応じた ACK/NACK 送出を行う場合は、最終バイト受信中の SCL の 8 クロック目の立ち上がりまでに SCSTRCTL.ACKTWE ビットを 1 にし、8 クロック目の立ち下がりで SCLn ラインを Low にホールドしてください。

(3) SMBus ホスト通知プロトコル（Notify ARP Master コマンド）

SMBus 通信では、スレーブデバイスが一時的にマスタデバイスとなり、SMBus ホスト（または ARP マスタ）に対して自スレーブアドレスを通知したり、SMBus ホストに対して自スレーブアドレスを要求したりできます。

本 MCU を SMBus ホスト（または ARP マスタ）として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、IIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出するには、BFCTL.SMBS ビットを 1、SVCTL.HOAE ビットを 1 にしてください。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

27.3.1.4 エラー検出機能

27.3.1.4.1 タイムアウトエラー検出機能

IIC は SCLn ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。IIC は、SCLn ラインが Low または High に固定されたまま一定時間以上経過したことを監視して、バスの異常状態を検出することができます。

タイムアウト検出機能は SCLn ラインの状態を監視し、Low の時間または High の時間を内部カウンタでカウントします。タイムアウト検出機能は、SCLn ラインの変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLn ラインに変化がないために内部カウンタがオーバーフローすると、IIC はタイムアウトを検出してバスハングアップ状態を報告します。

タイムアウト検出機能は、BSTE.TODE ビットが 1 のとき有効です。以下の条件で SCLn ラインが Low 固定または High 固定の場合にバスハングアップを検出します。（TMOCTL.TOMDS[1:0] = 00b のとき）

- マスタモード (PRSST.CRMS = 1) で、バスビジー (BCST.BFREF = 0)
- スレーブモード (PRSST.CRMS = 0) で、IIC 自身のスレーブアドレス検出（SVST レジスタが 0x0000 でない）かつバスビジー (BCST.BFREF = 0)
- スタートコンディション発行要求中 (CNDCTL.STCND = 1) で、バスフリー (BCST.BFREF = 1)

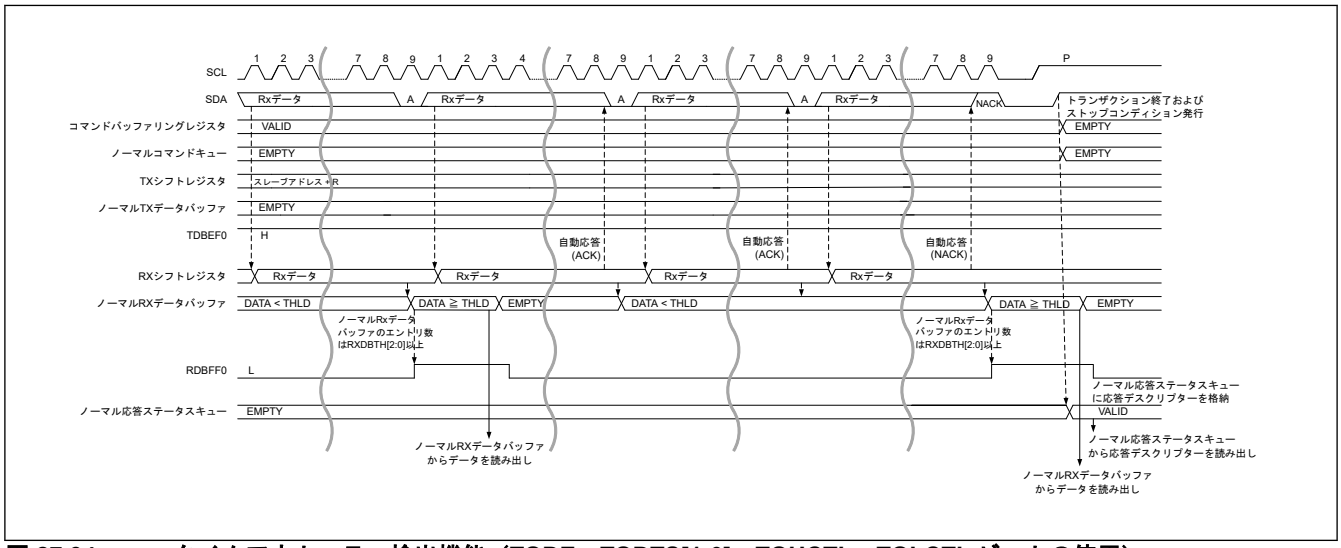


図 27.34 タイムアウトエラー検出機能（TODE、TODTS[1:0]、TOHCTL、TOLCTL ビットの使用）

27.3.1.5 低消費電力機能

27.3.1.5.1 ウェイクアップ機能

IIC は MCU をシステムクロックが停止している低消費電力モード（ソフトウェアスタンバイモード、スヌーズモード、ほか）から通常動作に遷移させるウェイクアップ機能を備えています。ウェイクアップ機能は、受信データがウェイクアップ割り込み要因に設定されたアドレスに一致するとき、また、動作クロック（PCLKA/IICCLK）が停止している（PCLKA/IICCLK 非同期動作）状態でデータを受信したとき、ウェイクアップ割り込み信号を生成するのに使用します。この割り込み信号が、MCU を通常動作へ遷移させます。ウェイクアップ割り込みが発生すると、IIC を PCLKA/IICCLK 同期動作に切り替え、通信動作を継続できるようにします。

ウェイクアップ機能には、ノーマル WU モード 1、ノーマル WU モード 2、コマンドリカバリモード、EEP 応答モードの 4 つのウェイクアップ動作モードがあります。下の表にそれら 4 つのウェイクアップ動作モードの動作について説明します。

表 27.9 ウェイクアップ動作モード

	ACK 応答タイミング	PCLKA/IICCLK 同期動作へのリカバリ前に応答した ACK の種別	PCLKA/IICCLK 同期動作へのリカバリ前の SCL 状態
ノーマル WU モード 1	PCLKA/IICCLK 同期動作へのリカバリ前(注1)	ACK	Low に固定
ノーマル WU モード 2	PCLKA/IICCLK 同期動作へのリカバリ後(注2)	リカバリ前：応答なし（NACK レベル保持） リカバリ後：ACK 応答	Low に固定
コマンドリカバリモード	PCLKA/IICCLK 同期動作へのリカバリ前(注1)	ACK	オープン
EEP 応答モード	PCLKA/IICCLK 同期動作へのリカバリ前(注1)	NACK	オープン

注 1. PCLKA/IICCLK 非同期動作から PCLKA/IICCLK 同期動作へのタイミング切り替えは、9 番目の SCL クロックの立ち下がりエッジで発生します。
注 2. PCLKA/IICCLK 非同期動作から PCLKA/IICCLK 同期動作へのタイミング切り替えは、8 番目の SCL クロックの立ち下がりエッジで発生します。

ウェイクアップ割り込み要因として以下の要因が選択可能です。

- ホストアドレス検出（SVCTL.HOAE = 1 の場合に有効）
- ジェネラルコールアドレス検出（SVCTL.GCAE = 1 の場合に有効）
- スレーブアドレス 0(注1)検出（SVCTL.SVAE0 = 1 の場合に有効）
- スレーブアドレス 1(注1)検出（SVCTL.SVAE1 = 1 の場合に有効）
- スレーブアドレス 2(注1)検出（SVCTL.SVAE2 = 1 の場合に有効）

注 1. 7 ビットアドレスのみが設定可能 SDATBASy.SDADLS ビットを 0 にしてください

(1) ノーマル WU モード 1

以下では、ノーマル WU モード 1 の動作、タイミング、および使用例について説明します。

スレーブアドレスの一致によるウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。図 27.37 に、詳細なタイミングを示します。

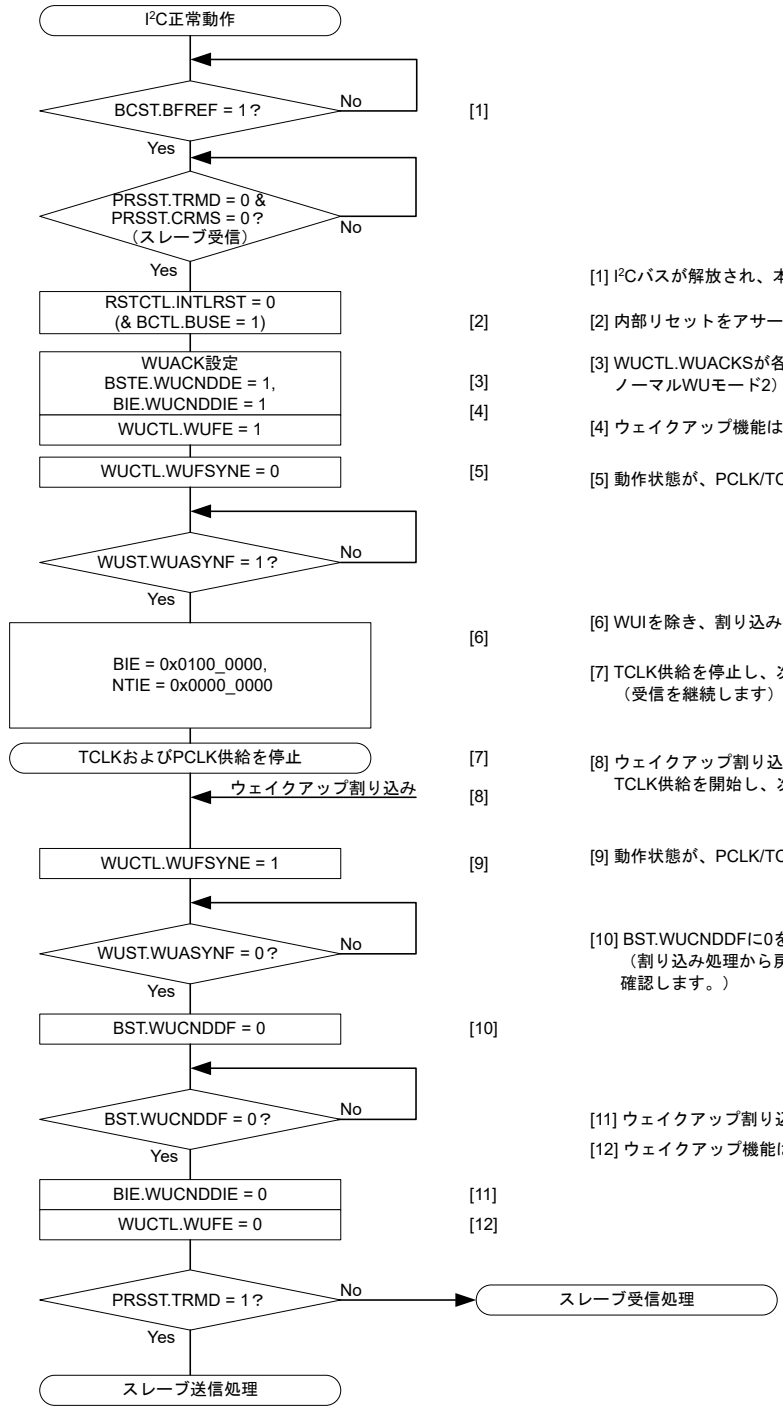
ウェイクアップリカバリ前： 自スレーブアドレスとともに受信したデータに対して ACK を送信する。
ウェイクアップリカバリ時： SCL の 9 クロック目で ACK 応答を行ってから、SCL の Low ホールドを行う(注1)。
ウェイクアップリカバリ後： 通常動作が継続する。

注 1. ウェイクアップリカバリ時の 9 クロック目と 1 クロック目の間では、SCSTRCTL.RWE = 1 は無効です。

スレーブアドレスが不一致の場合、SCL の 9 クロック目の立ち下り後に SCL ラインの Low ホールドを行わず、スレーブ動作を継続します。

使用例について、以下の図 27.35 を参照してください。

スレーブアドレス一致で生成されたウェイクアップ割り込み信号以外の要因（他のリカバリ要因 (IRQ)）で通常動作へ遷移した場合、ウェイクアップ割り込みは発生しません。この場合 BST.WUCNDDF は設定されません。図 27.36 に従って以下の手順を実施してください。



[1] I²Cバスが解放され、本モジュール（注1）がスタンバイ状態になるのを待ちます。

[2] 内部リセットをアサートする場合は、内部リセットをネゲートします。

[3] WUCTL.WUACKSが各モードに応じて設定されます。（ノーマルWUモード1／ノーマルWUモード2）ウェイクアップ割り込みが許可されます。

[4] ウェイクアップ機能は有効です。

[5] 動作状態が、PCLK/TCLK同期からPCLK/TCLK非同期に変更されます。

[6] WUIを除き、割り込み要求が禁止されます。

[7] TCLK供給を停止し、次にPCLK供給を停止します。
（受信を継続します）

[8] ウェイクアップ割り込み（アドレスマッチ）により、システムクロックおよびTCLK供給を開始し、次にPCLK供給を開始します。

[9] 動作状態が、PCLK/TCLK非同期からPCLK/TCLK同期に変更されます。

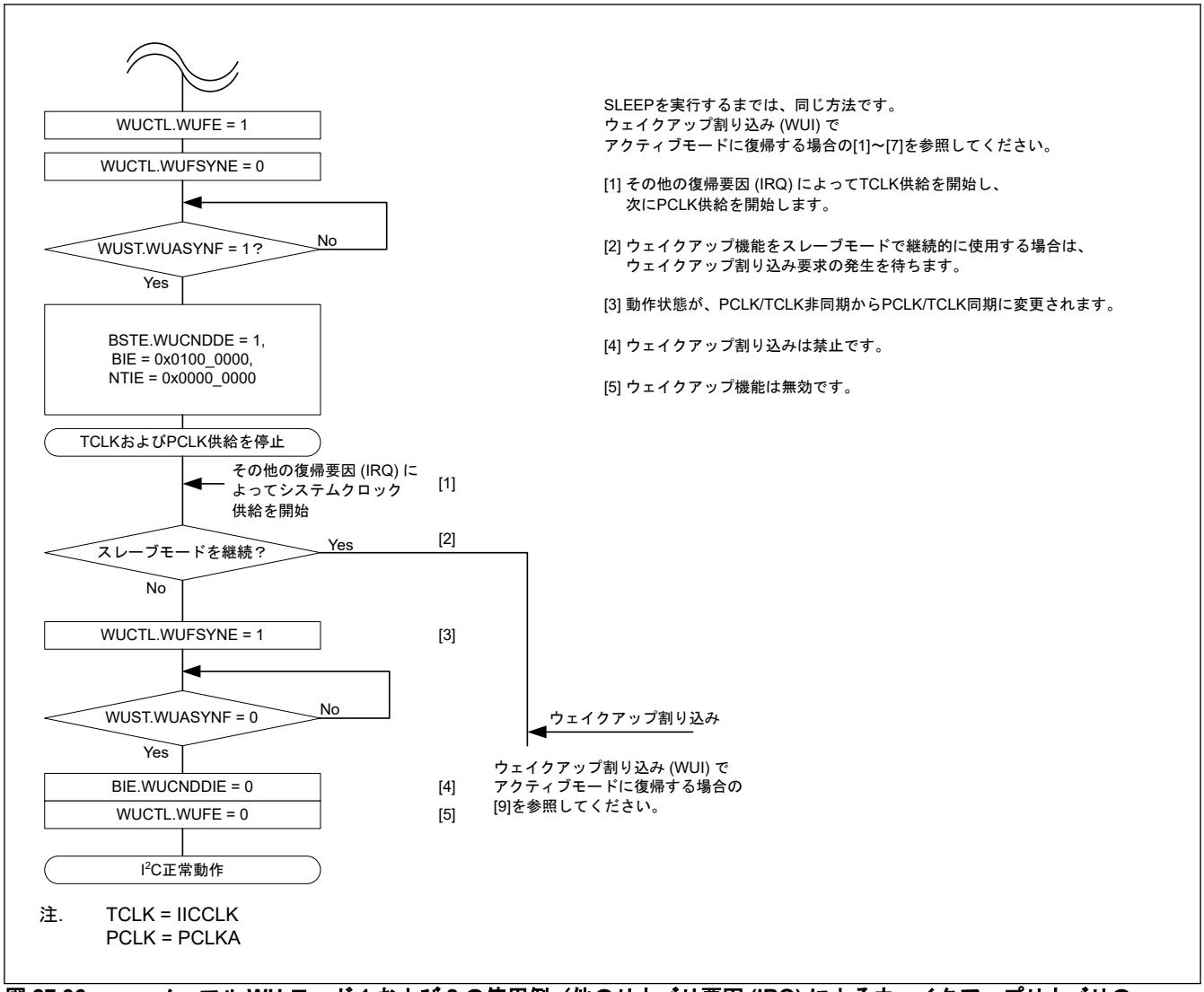
[10] BST.WUCNDDFに0を書き込みます。
（割り込み処理から戻る前に読み出して、クリアが完了しているかどうかを確認します。）

[11] ウェイクアップ割り込みは禁止です。

[12] ウェイクアップ機能は無効です。

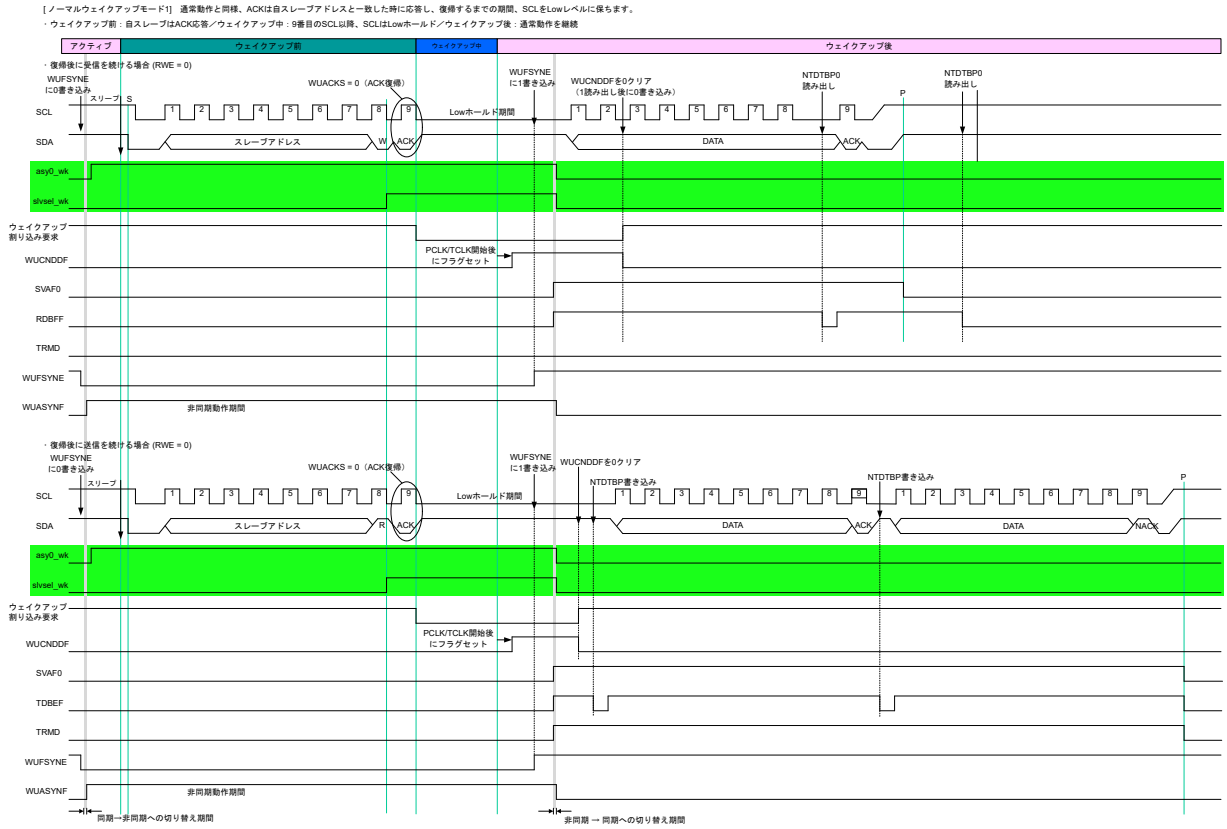
注. TCLK = IICCLK
PCLK = PCLKA

図 27.35 ノーマル WU モード 1 の使用例（スレーブアドレス一致に起因するウェイクアップ割り込みによるウェイクアップリカバリの場合）



注. TCLK = IICCLK
PCLK = PCLKA

図 27.36 ノーマル WU モード 1 および 2 の使用例（他のリカバリ要因 (IRQ) によるウェイクアップリカバリの場合）



注. TCLK = IICCLK
PCLK = PCLKA

図 27.37 ノーマル WU モード 1 のタイミング

(2) ノーマル WU モード 2

以下では、ノーマル WU モード 2 の動作、タイミング、および使用例について説明します。

スレーブアドレスの一致によるウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

図 27.39 に、詳細なタイミングを示します。

ウェイクアップリカバリ前： 自スレーブアドレスとともに受信したデータに対して SCL の 8 クロック目の終わりまで応答しない。

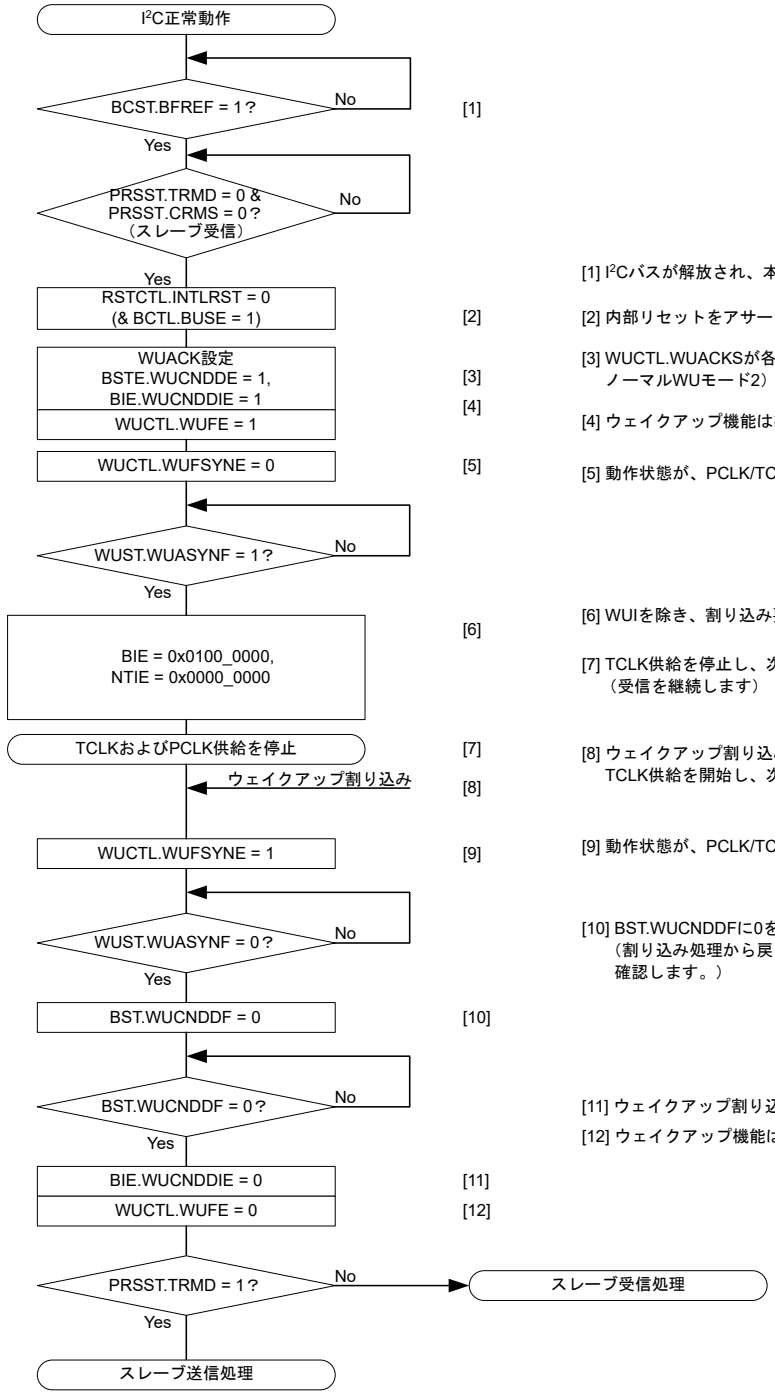
ウェイクアップリカバリ時： 8 クロック目と 9 クロック目の間で SCL ラインの Low ホールドを行う。

ウェイクアップリカバリ後： SCL の 9 クロック目で ACK を返し、通常動作が継続する。

スレーブアドレスが不一致の場合、SCL の 8 クロック目の立ち下り後に SCL ラインの Low ホールドは行われません。スレーブ動作が継続します。

使用例について、以下の図 27.38 を参照してください。

スレーブアドレス一致で生成されたウェイクアップ割り込み信号以外の要因（他のリカバリ要因 (IRQ)）で通常動作へ遷移した場合、ウェイクアップ割り込みは発生しません。この場合 BST.WUCNDDF は設定されません。図 27.36 に従って以下の手順を実施してください。



[1] I²Cバスが解放され、本モジュールがスタンバイ状態になるのを待ちます。

[2] 内部リセットをアサートする場合は、内部リセットをネゲートします。

[3] WUCTL.WUACKSが各モードに応じて設定されます。（ノーマルWUモード1／ノーマルWUモード2）ウェイクアップ割り込みが許可されます。

[4] ウェイクアップ機能は有効です。

[5] 動作状態が、PCLK/TCLK同期からPCLK/TCLK非同期に変更されます。

[6] WUIを除き、割り込み要求が禁止されます。

[7] TCLK供給を停止し、次にPCLK供給を停止します。
（受信を継続します）

[8] ウェイクアップ割り込み（アドレスマッチ）により、システムクロックおよびTCLK供給を開始し、次にPCLK供給を開始します。

[9] 動作状態が、PCLK/TCLK非同期からPCLK/TCLK同期に変更されます。

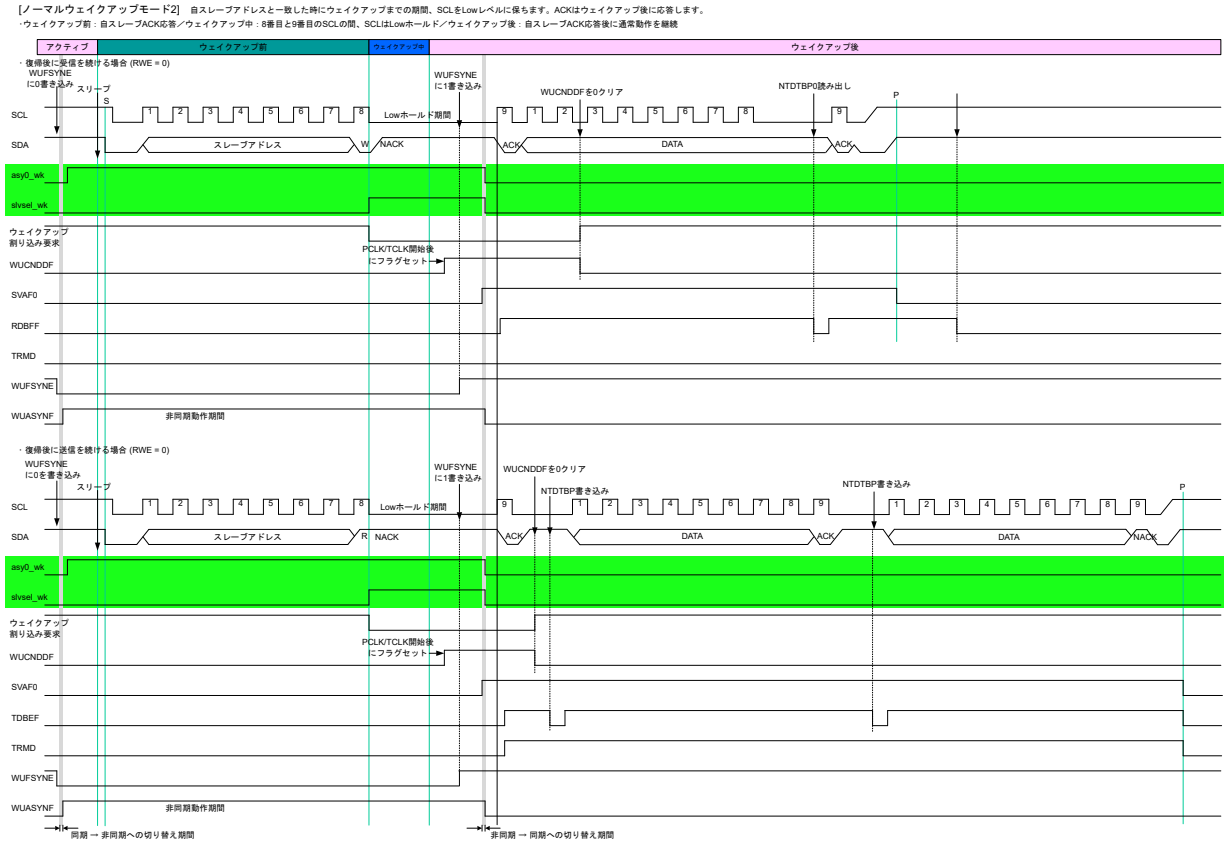
[10] BST.WUCNDDFに0を書き込みます。
（割り込み処理から戻る前に読み出して、クリアが完了しているかどうかを確認します。）

[11] ウェイクアップ割り込みは禁止です。

[12] ウェイクアップ機能は無効です。

注. TCLK = IICCLK
PCLK = PCLKA

図 27.38 ノーマル WU モード 2 の使用例（スレーブアドレス一致に起因するウェイクアップ割り込みによるウェイクアップリカバリの場合）



注. TCLK = IICCLK
PCLK = PCLKA

図 27.39 ノーマル WU モード 2 のタイミング

(3) コマンドリカバリモードと EEP 応答モード（特殊ウェイクアップモード）

コマンドリカバリモードと EEP 応答モードでは、ウェイクアップリカバリ期間中（SCL の 9 クロック目の立ち上がり後）に SCL ラインの Low ホールドを行わないので、他の I^2C デバイスはこの期間に I^2C バスを利用できます。以下では、コマンドリカバリモードと EEP 応答モードの動作、タイミング、および使用例について説明します。

スレーブアドレスの一致によるウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。図 27.42 に、詳細なタイミングを示します。

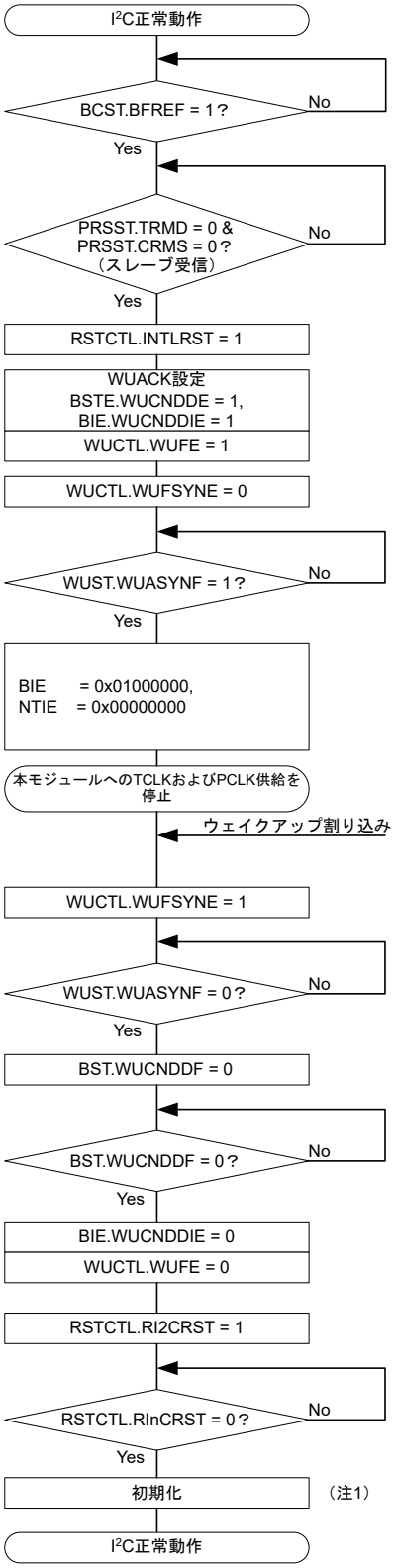
ウェイクアップリカバリ前：	自スレーブアドレスとともに受信したデータに対して ACK（コマンドリカバリモードの場合）または NACK（EEP 応答モードの場合）を返す。
ウェイクアップリカバリ時：	SCL ラインの Low ホールドを行わない。
ウェイクアップリカバリ後：	IIC の初期設定後、通常動作が継続する。

注. ウェイクアップリカバリ中に SCL ラインの Low ホールドは行われないので、スレーブアドレスの後続データは送受信できません。
注. コマンドリカバリモードと EEP 応答モードは、内部リセット状態 (RSTCTL.INTLRST = 1) です。したがって、スレーブアドレスが一致しても、SVST レジスタのフラグ (HOAF、GCAF、SVAF2、SVAF1、SVAF0) は設定されません。

スレーブアドレスが不一致の場合、スレーブ動作が継続します。

使用例について、以下の図 27.41 を参照してください。

スレーブアドレス一致で生成されたウェイクアップ割り込み信号以外の要因（他のリカバリ要因 (IRQ)）で通常動作へ遷移した場合、ウェイクアップ割り込みは発生しません。この場合 BST.WUCNDDF は設定されません。図 27.41 に従って以下の手順を実施してください。



[1] I²Cバスが解放され、本モジュールがスタンバイ状態になるのを待ちます。

[2] 内部リセットをアサートします。

[3] WUCTL.WUACKSが各モードに応じて設定されます。（コマンド復帰モード／EEP応答モード）ウェイクアップ割り込みが許可されます。

[4] ウェイクアップ機能は有効です。

[5] このモジュールの動作状態が、PCLK/TCLK同期からPCLK/TCLK非同期に変更されます。

[6] WUIを除き、割り込み要求が禁止されます。

[7] 本モジュールへのTCLK供給を停止し、次に本モジュールへのPCLK供給を停止します。（本モジュールは受信を継続します）

[8] ウェイクアップ割り込み（アドレスマッチ）により、本モジュールへのシステムクロックおよびTCLK供給を開始し、次に本モジュールへのPCLK供給を開始します。

[9] このモジュールの動作状態が、PCLK/TCLK非同期からPCLK/TCLK同期に変更されます。

[10] BST.WUCNDDFに0を書き込みます。
（割り込み処理から戻る前に読み出して、クリアが完了しているかどうかを確認します。）

[11] ウェイクアップ割り込みは禁止です。

[12] ウェイクアップ機能は無効です。

[13] ソフトウェアがリセットされます。

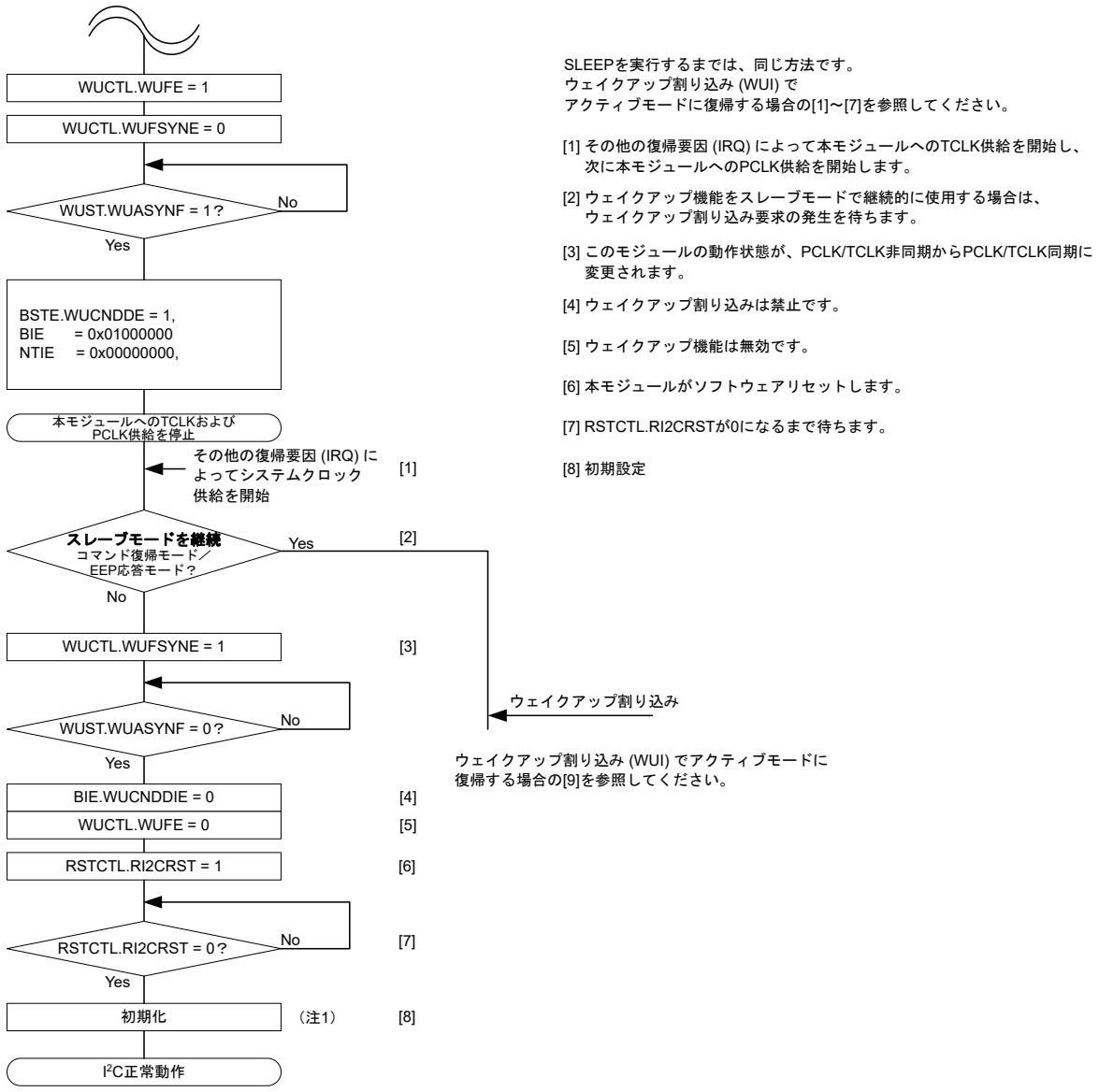
[14] RSTCTL.RI2CRSTが0になるまで待ちます。

[15] 初期設定

注. TCLK = IICCLK
PCLK = PCLKA

注 1. 初期化処理の詳細は、「27.3.2.1. 初期設定フロー」を参照してください。

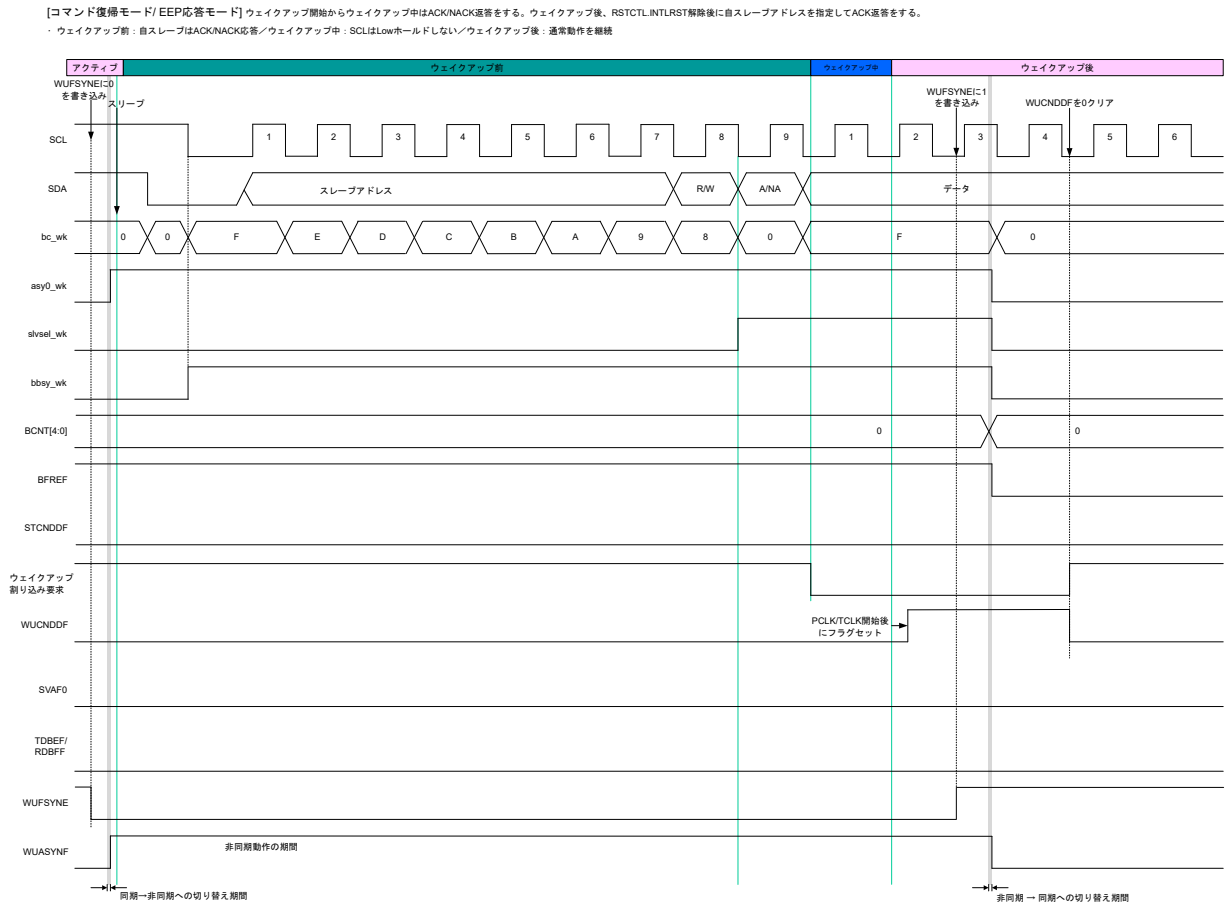
図 27.40 コマンドリカバリモードと EEP 応答モードの使用例（スレーブアドレス一致に起因するウェイクアップ割り込みによるウェイクアップリカバリの場合）



注. TCLK = IICCLK
PCLK = PCLKA

注 1. 初期化処理の詳細は、「27.3.2.1. 初期設定フロー」を参照してください。

図 27.41 コマンドリカバリモードと EEP 応答モードの使用例（他のリカバリ要因 (IRQ) によるウェイクアップリカバリの場合）



注. TCLK = IICCLK
PCLK = PCLKA

図 27.42 コマンドリカバリモードと EEP 応答モードのタイミング

(4) ウェイクアップ機能使用時の注意事項

ウェイクアップ機能使用時の注意事項を以下に示します。

- WUST.WUASYNF フラグが 1（PCLKA/IICCLK 非同期動作時）の間は、WUCTL.WUFSYNE ビットを除き、IIC のレジスタの内容を変更しないでください。
- PCLKA/IICCLK 非同期モードに切り替える前に、WUCTL.WUFE ビット、BSTE.WUCNDDE ビット、BIE.WUCNDDIE ビットを 1 に、PRSST.CRMS ビット、PRSST.TRMD ビットを 0（スレーブ受信モード）にしてください。
- デバイス ID および 10 ビットスレーブアドレスはウェイクアップ割り込み要因に選択できません。SVCTL レジスタの DVIDE ビット、および SDATBASy レジスタの SDADLS ビットを 0 に設定してください。
- 非同期動作に切り替える前に、BIE レジスタの全ビット（TENDIE、NACKDIE、SPCNDDIE、STCNDDIE、ALIE、TODIE）および NTIE レジスタの TDBEIE0 ビットと RDBFIE0 ビットを 0（割り込み禁止）にしてください。
- ウェイクアップ機能有効時 (WUCTL.WUFE = 1) は、タイムアウト機能を使用しないでください。
- ウェイクアップ割り込みは、PCLKA/IICCLK 非同期動作中（WUST.WUASYNF が 1 のとき）に生成します。PCLKA/IICCLK 同期動作モード (WUST.WUASYNF = 0) でスレーブアドレスの一致を検出した場合、ウェイクアップ割り込みは発生せず、BST.WUCNDDF フラグも設定されません。
- WUCTL.WUFSYNE ビットに 0 を書き込むタイミングとスタートコンディションを検出するタイミングが競合する場合、IIC は PCLKA/IICCLK 同期動作モードで次の受信を開始する可能性があります。この場合、データ通信完了時に WUST.WUASYNF フラグは 1 になり（PCLKA/IICCLK 非同期モードへ切り替え）、データ通信が完了してストップコンディションを検出したとき、ウェイクアップイベントの検出を開始します。

- アドレス一致の検出なしに PCLKA/IICCLK 非同期動作から PCLKA/IICCLK 同期動作に遷移したい場合は、ストップコンディションの検出で遷移します。バスフリー状態で WUCTL.WUFSYNE ビットを 1 にすると、PCLKA/IICCLK 非同期動作（受信動作：通信フレームの待機）を継続します。IIC が次の通信フレームのストップコンディションを検出したとき、WUST.WUASYNF フラグは 0 になります。そして IIC は、PCLKA/IICCLK 同期動作に遷移します。
- WUCTL.WUFSYNE ビットに 0 を書き込んだ後、動作モードが PCLKA/IICCLK 同期動作から PCLKA/IICCLK 非同期動作に切り替わるまで（WUST.WUASYNF フラグが 1 の間）、IIC 動作モード設定に関連するレジスタ（BFCTL、SCSTRCTL、ACKCTL、INCTL、SVCTL、SDATBASy レジスタ）を変更しないでください。この期間中に割り込み処理などでレジスタ値が変わる場合、IIC は非同期動作の設定に遷移する前に誤動作となることがあります。
- PCLKA/IICCLK 非同期動作（WUST.WUASYNF が 1 である）の間、SVST、BST、NTST レジスタの各フラグと BCST.BFREF フラグを参照しないでください。
- ノーマル WU モード 2 でスレーブアドレス一致によるウェイクアップを行うときに同期ユニットの ACK 応答を生成させるため、ACKCTL.ACKT を 1 に設定しないでください。

27.3.1.6 その他の機能

27.3.1.6.1 SCL 同期回路

SCL クロック生成では、IIC が SCLn ラインの立ち上がりを検出すると、STDBR.SBRHO[7:0]ビットで設定した High 幅のカウントを開始し、カウントが終了すると SCLn ラインを Low にします。

また、IIC が SCLn ラインの立ち下がりを検出すると、STDBR.SBRLO[7:0]ビットで設定した Low 幅のカウントを開始し、カウントが終了すると SCLn ラインを解放します。これにより SCL クロックを生成します。

I^2C バスをマルチマスタで使用する場合、他のマスタデバイスとの競合により SCL 信号同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL 信号の同期化を行う必要があります。この SCL 信号の同期はビットごとに行う必要があるため、IIC はマスタモード時に SCLn ラインを監視することで、ビットごとに SCL クロック信号の同期を取る機能である SCL 同期回路を備えています。

IIC が SCLn ラインの立ち上がりを検出し STDBR.SBRHO[7:0]ビットで設定された High 幅のカウント中に他のマスタデバイスの SCL クロック出力により SCLn ラインが立ち下げられた場合、IIC は SCLn ラインの立ち下がりを検出すると High 幅のカウントアップ動作を中断し、SCLn ラインの Low ドライブを行うのと同時に STDBR.SBRLO[7:0]ビットで設定された Low 幅のカウントアップを開始します。Low 幅のカウントが終了すると、IIC は SCLn ラインを解放します。このとき他のマスタデバイスの SCL クロックの Low 幅が本モジュールで設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインの解放によって SCL クロックが立ち上がります。IIC が SCL クロックの Low 幅の出力を終了すると、SCLn ラインが解放され、SCL クロックが立ち上がります。すなわち、複数のマスタによる SCL 信号衝突時の SCL 信号の High 幅は、High 幅の短いクロックに同期化され、SCL 信号の Low 幅は、Low 幅の長いクロックに同期化されます。この SCL 同期は、BFCTL.SCSYNE ビットが 1 のときのみ有効です。

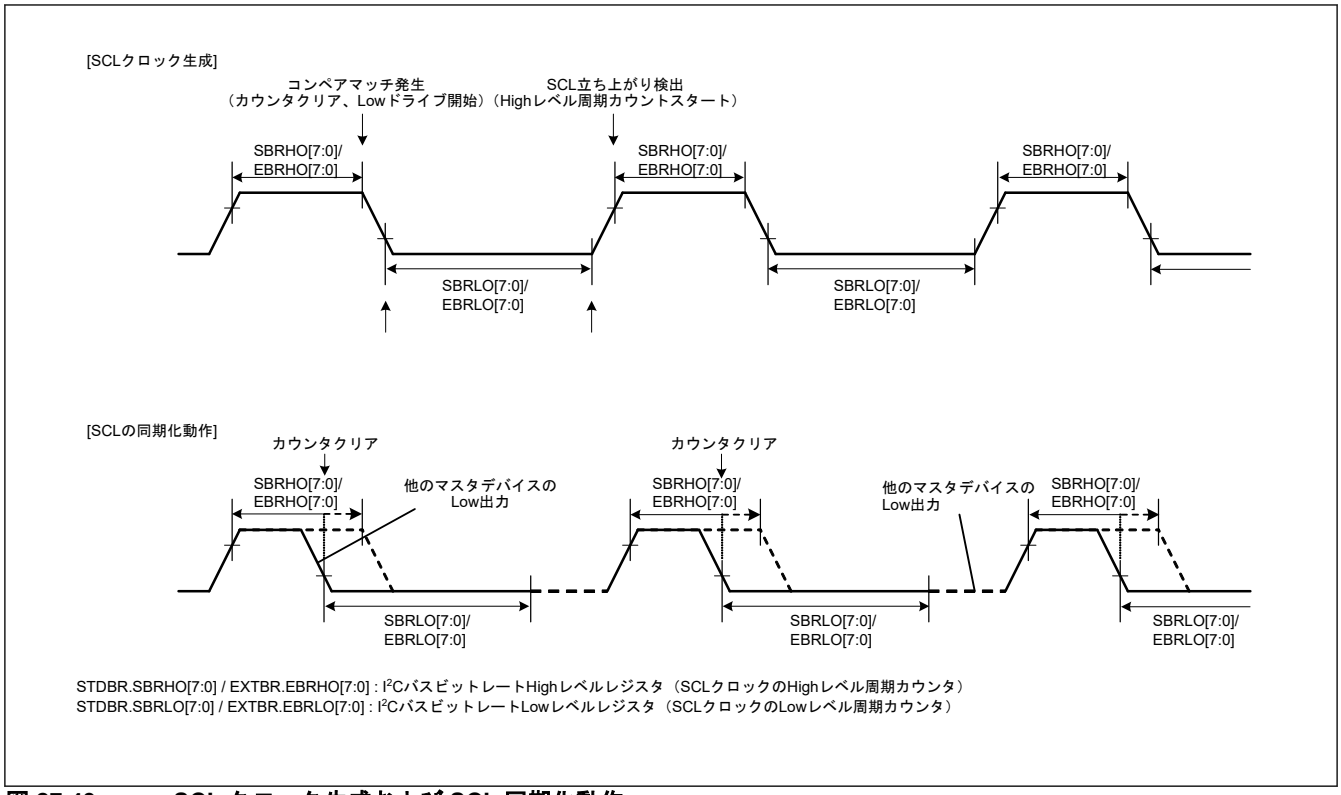


図 27.43　SCL クロック生成および SCL 同期化動作

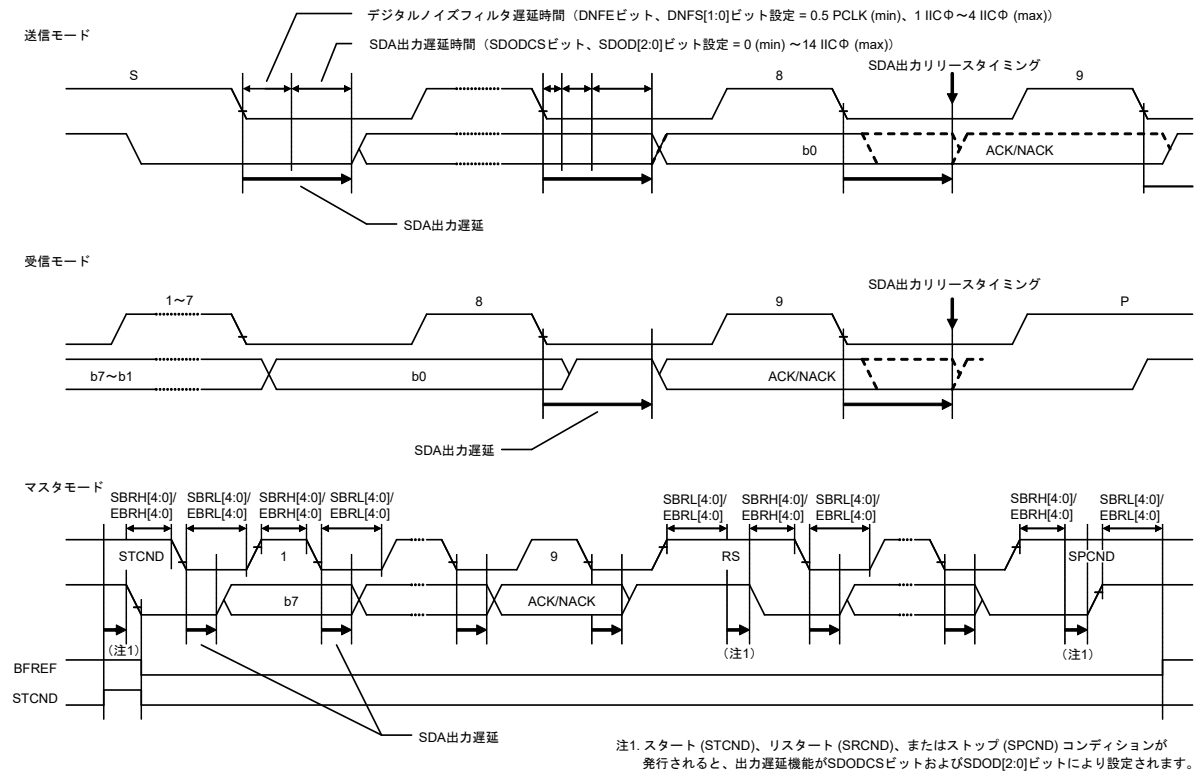
27.3.1.6.2　SDA 出力遅延機能

IIC は SDA 出力遅延機能を備えています。SDA 出力遅延機能は、SDA ライン上のすべての SDA 出力タイミング（スタート／繰り返しのスタート／ストップコンディションの発行、データ出力、ACK/NACK 出力）を遅延させることができます。

この SDA 出力遅延機能は、SCL 信号の立ち下がり検出から SDA 出力を遅延させ、SCL クロックが Low である期間中に確実に SDA 信号が出力されるようにします。この方法により、SMBus 仕様の最小データホールド時間 (300 ns) の要件を満たして、通信デバイスの誤動作を防止できるようになります。

この SDA 出力遅延機能は、OUTCTL.SDOD[2:0]ビットが 000b 以外のとき有効で、OUTCTL.SDOD[2:0]ビットが 000b のとき無効です。

SDA 出力遅延機能が有効（OUTCTL.SDOD[2:0] ビットが 000b 以外）になっているとき、OUTCTL.SDODCS ビットでは、SDA 出力遅延カウンタが使用するクロックソースを、IIC の内部基準クロック (IICφ) またはその 2 分周クロック (IICφ/2) として選択します。カウンタは、OUTCTL.SDOD[2:0]ビットに設定されたサイクル数をカウントします。遅延サイクルのカウント終了後、IIC は SDA ライン上で必要な出力（スタート／繰り返しのスタート／ストップコンディション、データ、ACK/NACK 信号）を行います。



注. PCLK = PCLKA

図 27.44 SDA 出力遅延機能

27.3.1.6.3 デジタルノイズフィルタ回路

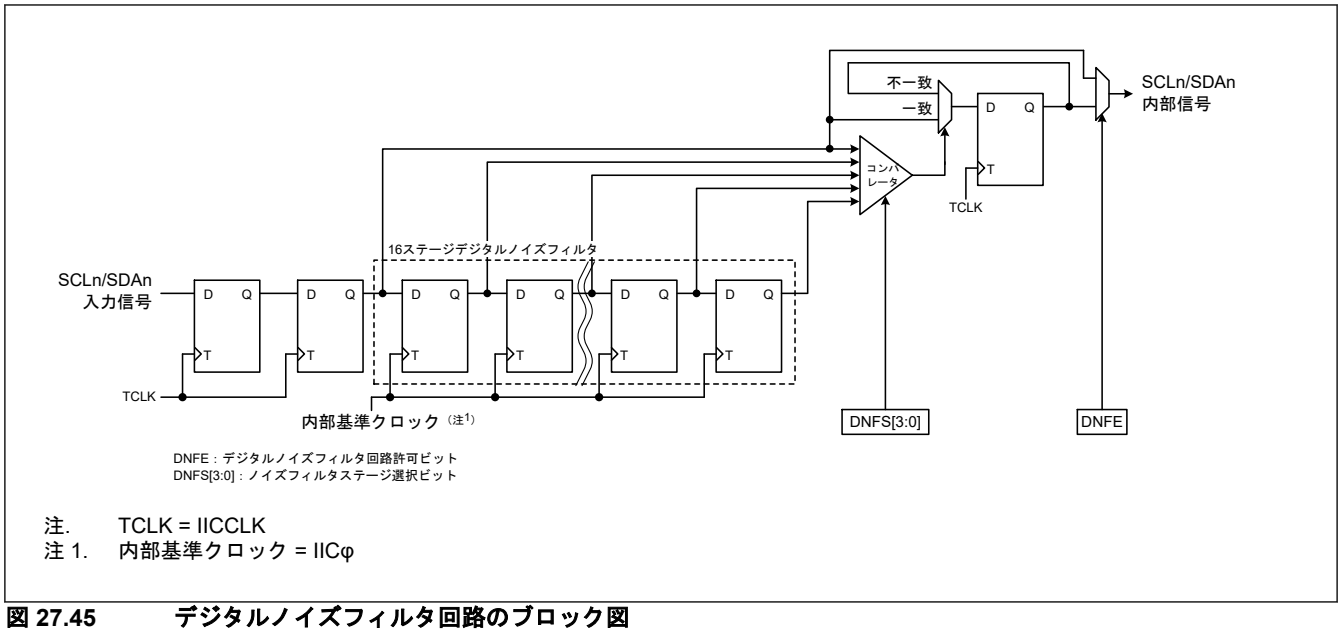
SCLn 端子および SDAn 端子の状態は、デジタルノイズフィルタ回路を経由して内部に取り込まれます。図 27.45 にデジタルノイズフィルタ回路のブロック図を示します。

IIC に内蔵されているデジタルノイズフィルタ回路は、16 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。HS モードを選択したときは、最初の 4 段のフリップフロップ回路のみが有効です。

デジタルノイズフィルタの有効段数は INCTL.DNFS[3:0]ビットで選択します。ノイズ除去能力は、選択した有効段数に応じて 1～16IICφ サイクル分となります。

SCLn 端子入力信号（または SDAn 端子入力信号）は IICφ の立ち上がりでサンプリングされます。入力信号レベルが、INCTL.DNFS[3:0]ビットで選択した有効なフリップフロップ回路段数の出力レベルと一致したとき、その信号レベルが後続の段数に伝えられます。一致しない場合は前のレベルを保持します。

なお、たとえば IICCLK = 4 MHz 時の 400 kbps のデータ転送のように、内部動作クロック (IICCLK) と転送速度の比が小さい場合、デジタルノイズフィルタは有効信号をノイズとして除去する可能性があります。



注. TCLK = IICCLK
注 1. 内部基準クロック = IICφ

図 27.45 デジタルノイズフィルタ回路のブロック図

27.3.2 動作

27.3.2.1 初期設定フロー

27.3.2.1.1 I2C 初期設定フロー（シングルバッファ転送）

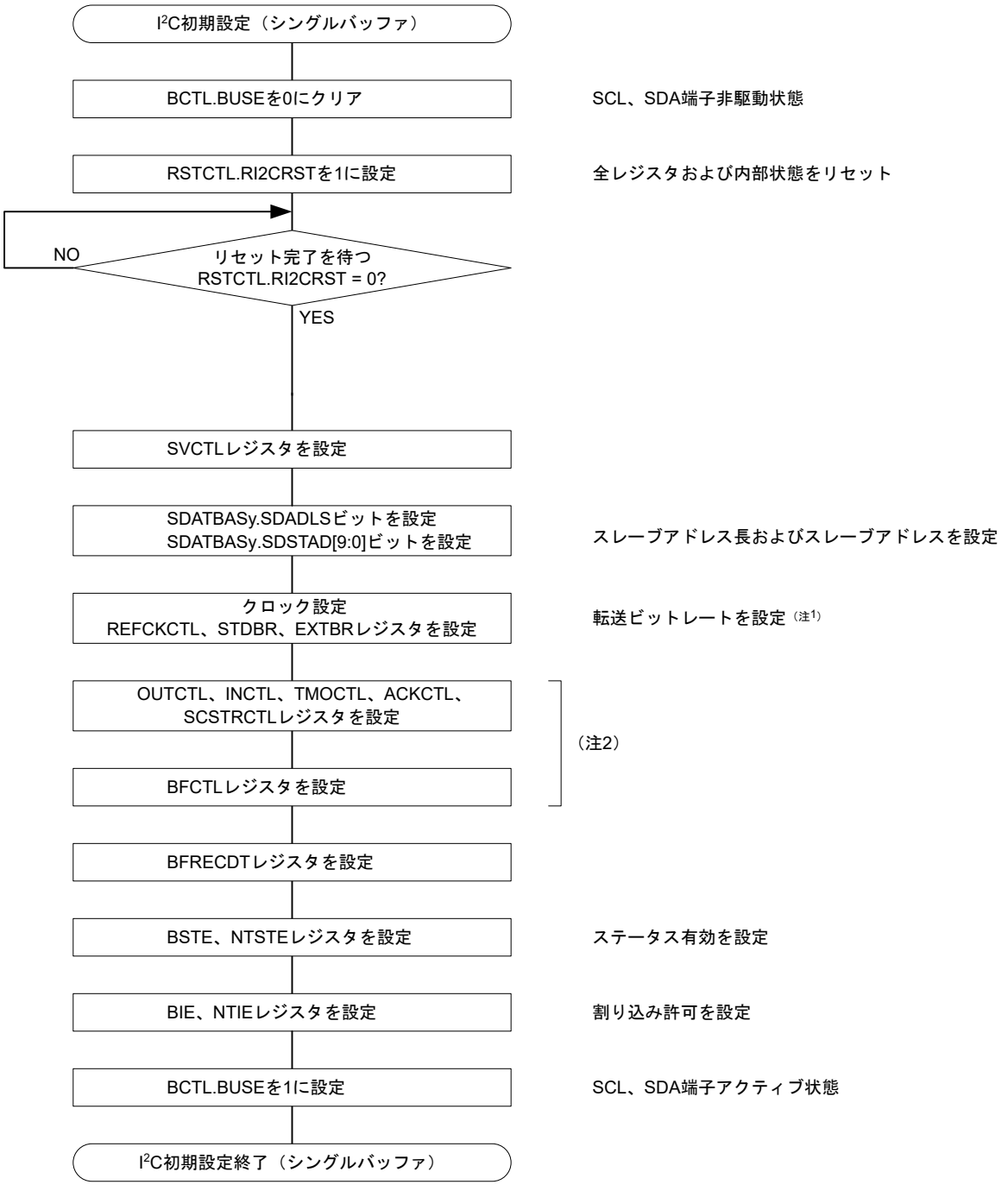
データの送受信を開始する前に、図 27.46 に示す手順に従って IIC を初期化してください。

まず、BCTL.BUSE ビットを 0（SCLn、SDAn 端子を駆動しない）に設定します。

次に、RSTCTL.RI2CRST ビットを 1 に設定して、IIC をリセットします。これにより、全レジスタおよび内部状態を初期化します。次いで、RI2CRST ビットが 0 になるのを待ちます。

これにより多くのフラグやいくつかのレジスタの初期化を行います。リセットの説明を参照してください。

その後、SDATBAS.SDADLS、SDATBAS.SDATAD[9:0]、STDBR、INCTL、OUTCTL、TMOCTL、TMOCNT、SCSTRCTL、ACKCTL, BFCTL レジスタを設定し、それから他のレジスタは必要に応じて設定してください（IIC の初期設定については図 27.46 参照）。



注. y = 0～2
注 1. IIC をスレーブのみで動作させる場合、STDBR レジスタにデータセットアップ時間より長い時間の値を設定してください。
注 2. これらのレジスタは必要に応じて設定してください。

図 27.46 デジタルノイズフィルタ回路のブロック図

27.3.2.2 マスタモード通信フロー

27.3.2.2.1 I²C マスタ送信フロー（シングルバッファ転送）

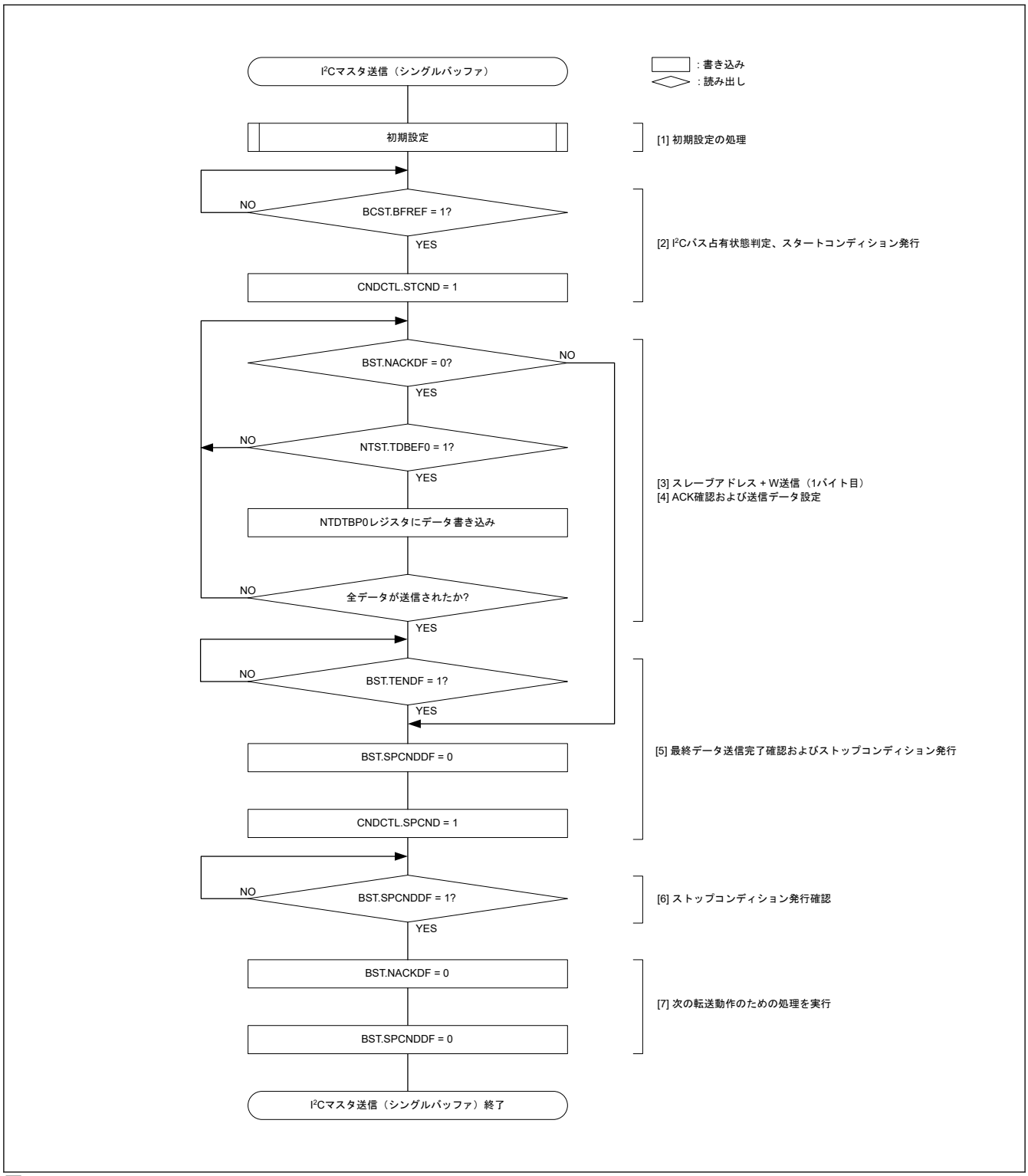


図 27.47 I²C マスタ送信のフローチャート例（シングルバッファ転送）

27.3.2.2.2 I²C マスタ受信フロー（シングルバッファ転送）

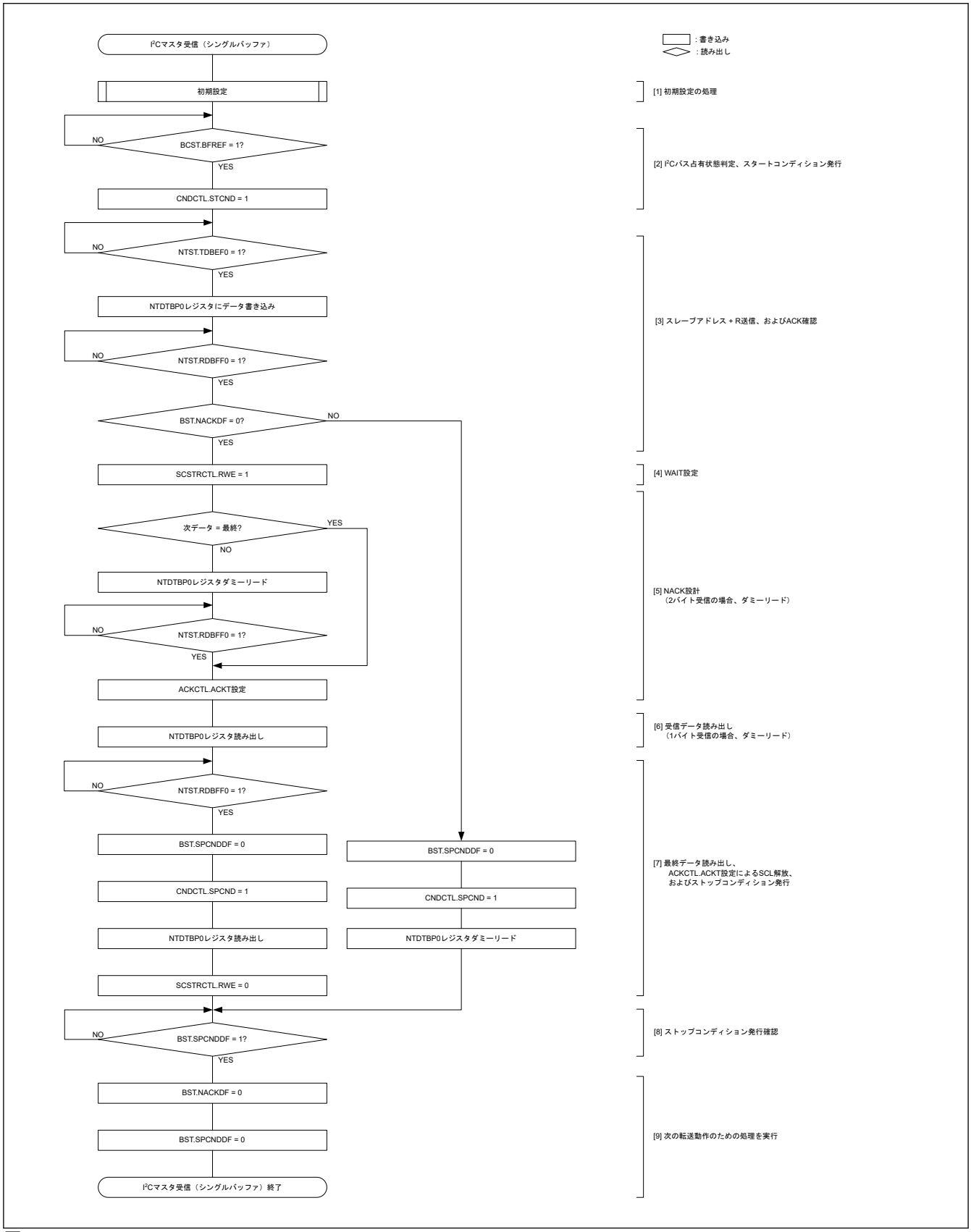


図 27.48 I²C マスタ受信のフローチャート例（7 ビットアドレスフォーマット、1 または 2 バイト受信時）

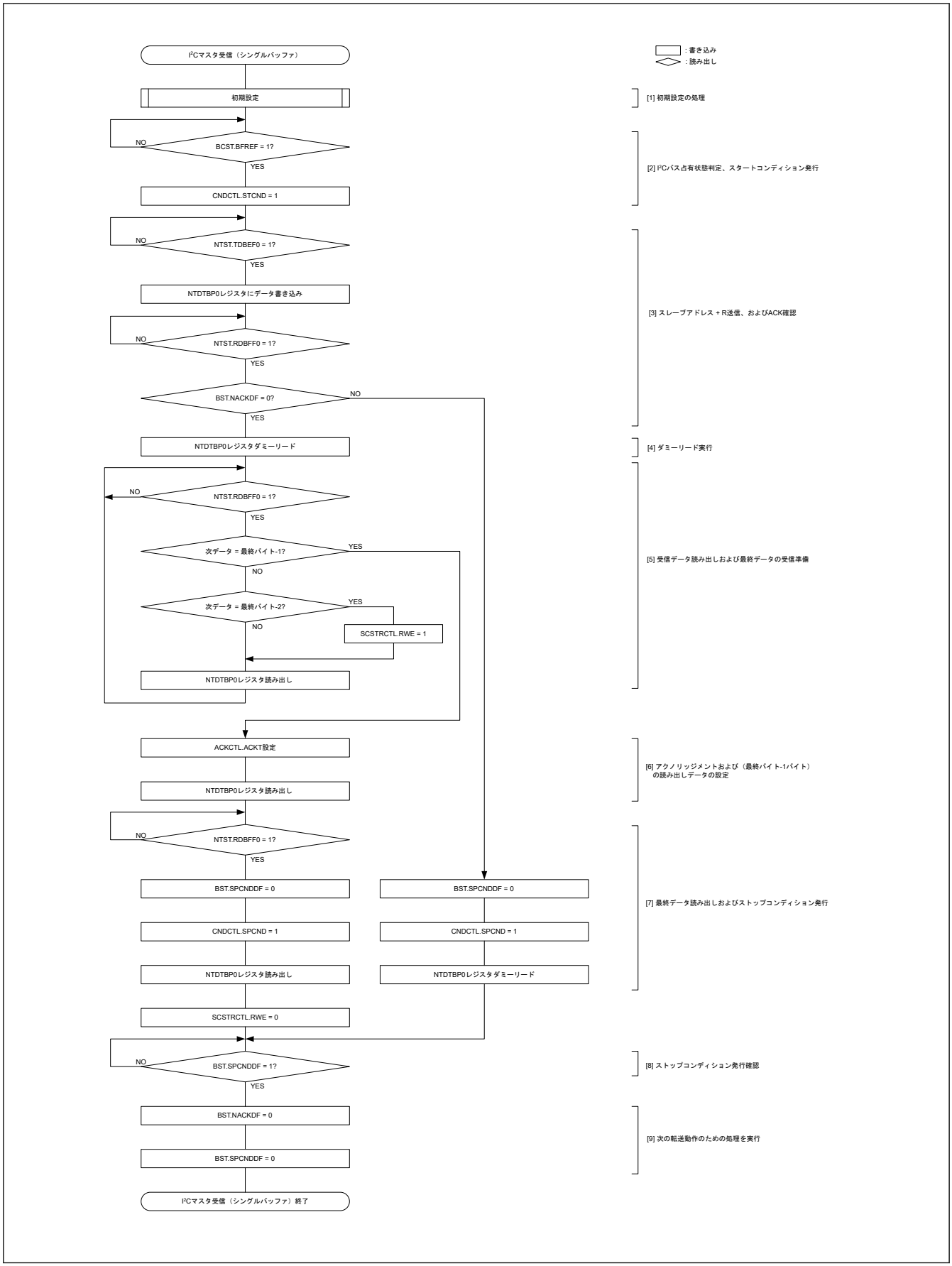


図 27.49 I²C マスタ受信のフローチャート例（7 ビットアドレスフォーマット、3 バイト以上受信時）

27.3.2.3 スレーブモード通信フロー

27.3.2.3.1 I²C スレーブ送信フロー（シングルバッファ転送）

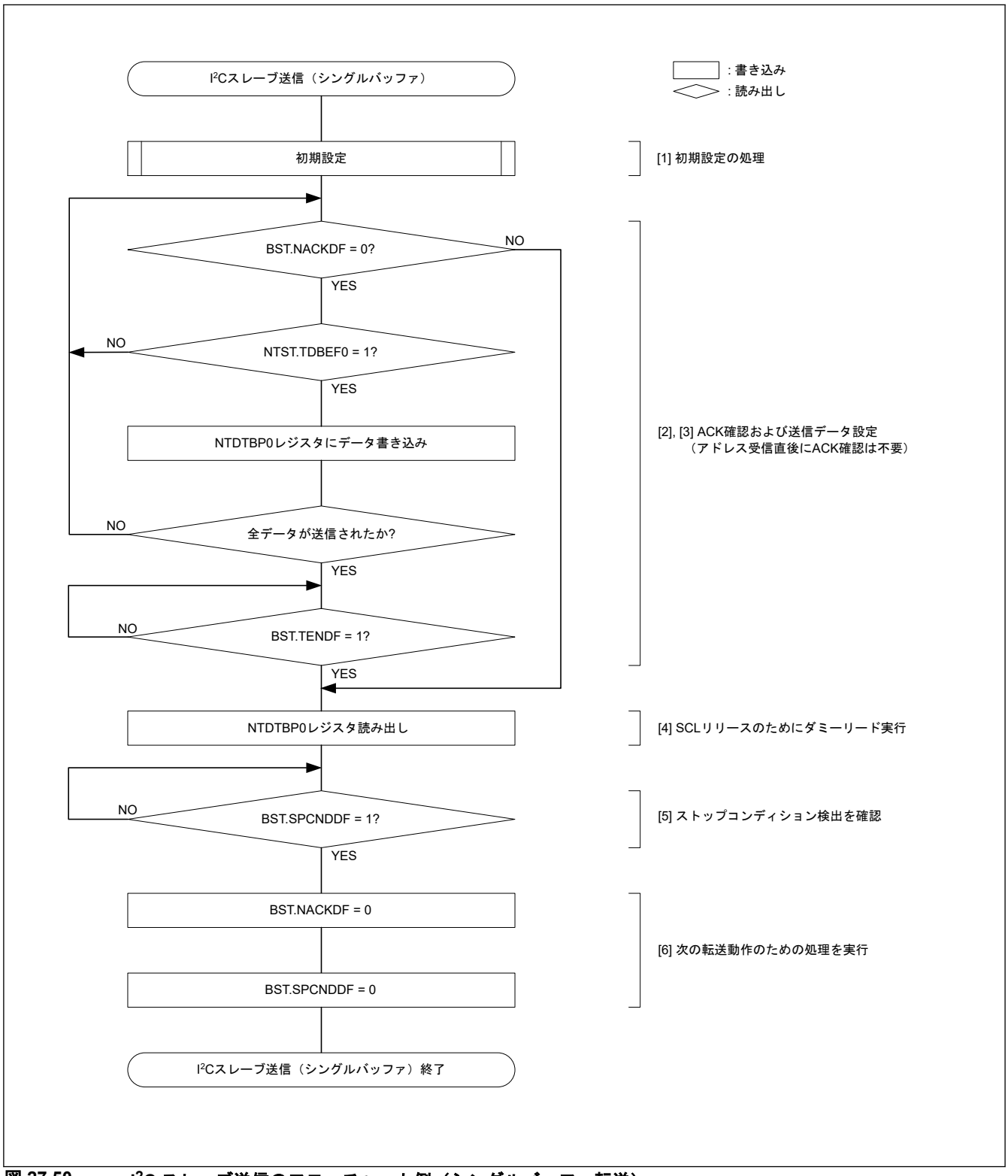


図 27.50 I²C スレーブ送信のフローチャート例（シングルバッファ転送）

27.3.2.3.2 I²C スレーブ受信フロー（シングルバッファ転送）

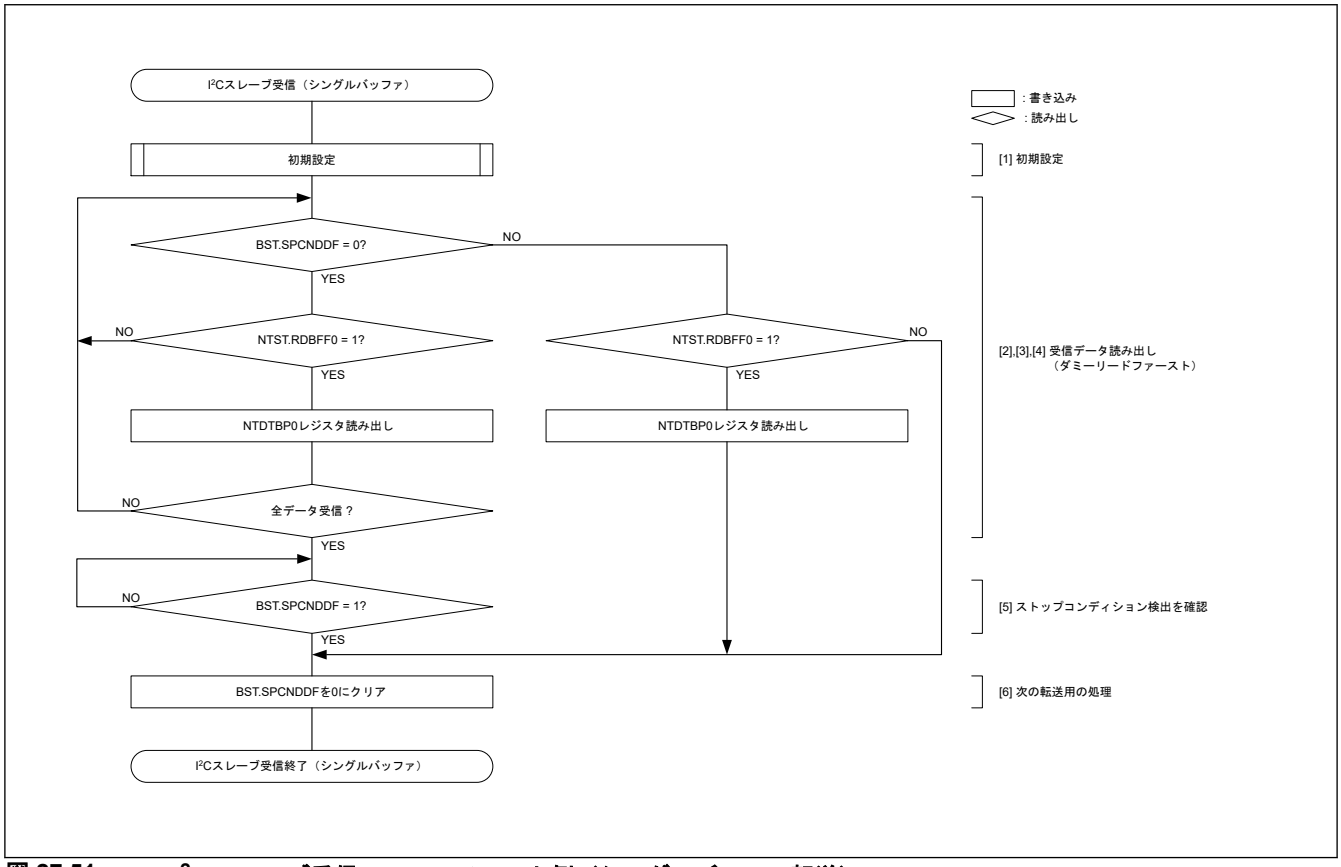


図 27.51 I²C スレーブ受信のフローチャート例（シングルバッファ転送）

27.4 割り込み要因

IIC が発行する割り込み要求を、以下に示します。

27.4.1 概要

IIC には、表 27.10 示す割り込み要因があります。

DMAC/DTC の起動列に「可能」と表示された割り込み要求は、DTC または DMAC を起動してデータ転送を行うことができます。

表 27.10 割り込み発生

シンボル	割り込み要因		割り込みフラグ	DTC/DMAC の起動
IICn_RX	ノーマル受信データバッファフル		NTST.RDBEF0	可能
IICn_TX	ノーマル送信データバッファエンプティ		NTST.TDBEF0	可能
IICn_TEND	送信終了		BST.TENDF	不可能
IICn_EEI	転送エラーまたはイベント発生	スタートコンディション検出割り込み	BST.STCNDDF	不可能
		ストップコンディション検出割り込み	BST.SPCNDDF	
		NACK 検出割り込み	BST.NACKDF	
		アービトレーションロスト割り込み	BST.ALF	
		タイムアウト検出割り込み	BST.TODF	
IIC0_WU	ウェイクアップ条件検出		BST.WUCNDDF	不可能

注. n = 0, 1

27.4.2 バッファフル割り込み／エンプティ割り込みのバッファ動作

対応する IR フラグが 1 のときに、バッファフル割り込み／エンプティ割り込みの発生条件が成立した場合、割り込み要求は ICU へ出力されず、内部に保存されます（1 要因あたり 1 要求を内部に保持できます）。

ICU.IRn.IR フラグが 0 になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部的に保存されていた割り込み要求が自動的にクリアされます。内部的に保持されていた割り込み要求は、対応する周辺側の割り込み許可ビットを 0 にすることでもクリアが可能です。

27.5 イベントリンク出力機能

IIC は、ELC に対して以下の要因によってイベント出力を行います。

(1) 通信イベント

通信イベント（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）が発生すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(2) 受信データフル

受信データレジスタが受信データフルになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(3) 送信データエンプティ

送信データレジスタが送信データエンプティになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(4) 送信終了

転送が終了すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

27.5.1 割り込み処理とイベントリンクの関係

IIC モジュールは、4 種類の割り込み（通信イベント割り込み（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信データフル割り込み、送信データエンプティ割り込み、送信終了割り込み）を生成します。それらの各割り込みには、割り込み信号の許可または禁止を制御する許可ビットがあります。対応する割り込み許可ビットがセットされている場合に割り込み要因の条件が成立すると、CPU に対して割り込み要求信号が出力されます。

割り込み要因が発生すると、割り込み許可ビットの設定にかかわらず、対応するイベントリンク出力信号が ELC によって他のモジュールにイベント信号として出力されます。各割り込み要因については、「27.4.1. 概要」を参照してください。

27.6 リセットの説明

表 27.11 各コンディション発行時のリセット、レジスタ、機能の状態 (1) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ	
			RI2CRST	INTLRST
BCTL	BUSE	リセット	リセット	保持
RSTCTL	INTLRST	リセット	リセット	保持
	RI2CRST	リセット	保持	保持
PRSST	PRSSTWP	リセット	リセット	リセット
	TRMD	リセット	リセット	リセット
	CRMS	リセット	リセット	リセット

表 27.11 各コンディション発行時のリセット、レジスタ、機能の状態 (1) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ	
			RI2CRST	INTLRST
BFCTL	HSME	リセット	リセット	保持
	FMPE	リセット	リセット	保持
	SMBS	リセット	リセット	保持
	SCSYNE	リセット	リセット	保持
	SALE	リセット	リセット	保持
	NALE	リセット	リセット	保持
	MALE	リセット	リセット	保持

表 27.12 各コンディション発行時のリセット、レジスタ、機能の状態 (2) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ	
			RI2CRST	INTLRST
SVCTL	SVAE2	リセット	リセット	保持
	SVAE1	リセット	リセット	保持
	SVAE0	リセット	リセット	保持
	HOAE	リセット	リセット	保持
	DVIDE	リセット	リセット	保持
	HSMCE	リセット	リセット	保持
	GCAE	リセット	リセット	保持
REFCKCTL	IREFCKS[2:0]	リセット	リセット	保持
STDBR	DSBRPO	リセット	リセット	保持
	SBRHP[5:0]	リセット	リセット	保持
	SBRLO[7:0]	リセット	リセット	保持
EXTBR	EBRHO[7:0]	リセット	リセット	保持
	EBRLO[7:0]	リセット	リセット	保持
BFRECDT	FRECYC[8:0]	リセット	リセット	保持
OUTCTL	SDODCS	リセット	リセット	保持
	SDOD[2:0]	リセット	リセット	保持
	EXCYC	リセット	リセット	保持
	SOCWP	リセット	リセット	リセット
	SCOC	リセット	リセット	保持
	SDOC	リセット	リセット	保持
INCTL	SDID[1:0]	リセット	リセット	保持
	DNFE	リセット	リセット	保持
	DNFS[3:0]	リセット	リセット	保持
TMOCTL	TOMDS[1:0]	リセット	リセット	保持
	TOHCTL	リセット	リセット	保持
	TOLCTL	リセット	リセット	保持
	TODTS[1:0]	リセット	リセット	保持

表 27.12 各コンディション発行時のリセット、レジスタ、機能の状態 (2) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ	
			RI2CRST	INTLRST
WUCTL	WUFE	リセット	リセット	保持
	WUFSYNE	リセット	リセット	保持
	WUANFS	リセット	リセット	保持
	WUACKS	リセット	リセット	保持
ACKCTL	ACKTWP	リセット	リセット	リセット
	ACKT	リセット	リセット	リセット
	ACKR	リセット	リセット	リセット
SCSTRCTL	RWE	リセット	リセット	保持
	ACKTWE	リセット	リセット	保持

表 27.13 各コンディション発行時のリセット、レジスタ、機能の状態 (3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ	
			RI2CRST	INTLRST
CNDCTL	SPCND	リセット	リセット	リセット
	SRCND	リセット	リセット	リセット
	STCND	リセット	リセット	リセット
NTDTBP0	NTDTBP0[31:0]	リセット	リセット	リセット
BST	WUCNDDF	リセット	リセット	保持
	TODF	リセット	リセット	リセット
	ALF	リセット	リセット	リセット
	TENDF	リセット	リセット	リセット
	NACKDF	リセット	リセット	リセット
	SPCNDDF	リセット	リセット	リセット
	STCNDDF	リセット	リセット	リセット
BSTE	WUCNDDE	リセット	リセット	保持
	TODE	リセット	リセット	保持
	ALE	リセット	リセット	保持
	TENDE	リセット	リセット	保持
	NACKDE	リセット	リセット	保持
	SPCNDDE	リセット	リセット	保持
	STCNDDE	リセット	リセット	保持

表 27.14　各コンディション発行時のリセット、レジスタ、機能の状態 (4)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ	
			RI2CRST	INTLRST
BIE	WUCNDDIE	リセット	リセット	保持
	TODIE	リセット	リセット	保持
	ALIE	リセット	リセット	保持
	TENDIE	リセット	リセット	保持
	NACKDIE	リセット	リセット	保持
	SPCNDDIE	リセット	リセット	保持
	STCNDDIE	リセット	リセット	保持
BSTFC	WUCNDDFC	リセット	リセット	保持
	TODFC	リセット	リセット	保持
	ALFC	リセット	リセット	保持
	TENDFC	リセット	リセット	保持
	NACKDFC	リセット	リセット	保持
	SPCNDDFC	リセット	リセット	保持
	STCNDDFC	リセット	リセット	保持
NTST	RDBFF0	リセット	リセット	リセット
	TDBEF0	リセット	リセット	リセット
NTSTE	RDBFE0	リセット	リセット	保持
	TDBEE0	リセット	リセット	保持
NTIE	RDBFIE0	リセット	リセット	保持
	TDBEIE0	リセット	リセット	保持

表 27.15　各コンディション発行時のリセット、レジスタ、機能の状態 (5)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ	
			RI2CRST	INTLRST
NTSTFC	RDBFFC0	リセット	リセット	保持
	TDBEFC0	リセット	リセット	保持

表 27.16　各コンディション発行時のリセット、レジスタ、機能の状態 (6)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ	
			RI2CRST	INTLRST
BCST	BFREF	リセット	リセット	保持
SVST	SVAF2	リセット	リセット	リセット
	SVAF1	リセット	リセット	リセット
	SVAF0	リセット	リセット	リセット
	HOAF	リセット	リセット	リセット
	DVIDF	リセット	リセット	リセット
	HSMCF	リセット	リセット	リセット
	GCAF	リセット	リセット	リセット
WUST	WUASYNF	リセット	リセット	保持

表 27.17 各コンディション発行時のリセット、レジスタ、機能の状態 (7)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ	
			RI2CRST	INTLRST
SDATBASy (y = 0～2)	SDADLS	リセット	リセット	保持
	SDSTAD[9:0]	リセット	リセット	保持

表 27.18 各コンディション発行時のリセット、レジスタ、機能の状態 (8)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ	
			RI2CRST	INTLRST
SVDVADy (y = 0～2)	SSTADV	リセット	リセット	保持
	SADLG	リセット	リセット	保持
	SVAD[9:0]	リセット	リセット	保持

表 27.19 各コンディション発行時のリセット、レジスタ、機能の状態 (9)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ	
			RI2CRST	INTLRST
BITCNT	BCNT[4:0]	リセット	リセット	リセット
PRSTDBG	SDOLV	リセット	リセット	リセット
	SCOLV	リセット	リセット	リセット
	SDILV	リセット	リセット	保持
	SCILV	リセット	リセット	保持

27.7 使用上の注意事項

27.7.1 動作クロックの設定

バスクロック (PCLKA) と転送クロック (IICCLK) との間には以下の周波数関係が必要です。

IICCLK/2 ≦ PCLKA ≦ IICCLK

28. CAN フレキシブルデータレート (CANFD)

CANFD モジュールの CANFD_B バージョンです。

この章では、CANFD_B を CANFD と表記します。

28.1 概要

フレキシブルデータレート付き CAN (CANFD) は以下の機能をサポートします。

- CAN フレキシブルデータレート(注1)

注 1. この機能は、クラシカル CAN 機能では使用できません。

CANFD モジュールは、各種アプリケーションの要件を満たすフレキシブルなメッセージバッファおよび FIFO 構造を持っています。本モジュールは、モジュールの高試験性能を実現する各種テストモードも提供し、パワーオンテストに使用可能です。

本仕様書は、CANFD モジュールについて説明します。

CANFD モードは CANFD をサポートする製品に限り利用可能です。

28.1.1 CANFD モジュール

表 28.1 CANFD モジュールの仕様 (1/2)

項目		仕様
通信		CANFD ISO 11898-1 (2015) に準拠した CAN 機能
プロトコルエンジンのバージョン		RS-CANFD_PE V3.0
データ転送レート	CANFD(注1)	アービトレーションフェーズに最大 1 Mbps、データフェーズに 5 Mbps
	クラシカル CAN	最大 1 Mbps
動作周波数／周辺クロック		60 MHz (PCLKB) RAM クロック：120 MHz (PCLKA)
データリンクレイヤ (DLL) クロック		最高 ≦ 40 MHz
入出力端子		CTX0/CRX0
CAN チャネル		1 チャネル
選択可能な ID タイプ		11 ビットの標準 ID
		11 ビットの標準 ID + 18 ビットの拡張 ID
選択可能なフレームタイプ		データフレーム (RTR = 0)（CAN フレームと CANFD フレーム）
		リモートフレーム (RTR = 1)（CAN フレームのみ）
データフレームの可変データバイト数		DLC 範囲：0～F
メッセージバッファ		最大 32 個の受信メッセージバッファ
		4 個の送信メッセージバッファ
		1 個の送信キュー 送信キューへの自動メッセージ転送をサポート
FIFO 番号		2 個の受信 FIFO バッファ 1 個の共通 FIFO が個々に下記に設定可能 ● 受信 FIFO ● 送信 FIFO
送信用自動遅延インターバルタイマ		遅延タイマは下記に適用可能 ● 送信 FIFO

表 28.1 CANFD モジュールの仕様 (2/2)

項目	仕様
拡張受信フィルタ	11 ビットおよび 29 ビットの CAN ID をサポート
	各エントリに、プログラム可能 29 ビット CAN ID アクセプタンスフィルタマスク
	各 FIFO および受信メッセージバッファに、プログラム可能ルーティング機能（最大 2 つのルーティング先）
	RTR および IDE マスキング
	データ長コード (DLC) フィルタ
	メッセージバッファペイロードのオーバーロード保護
	通信中のアクセプタンスフィルタリスト (AFL) エントリ更新
一般ソフトウェアサポート	受信メッセージに自動ラベル情報付加（上位ソフトウェアレイヤサポート用）
タイマ	TX および RX タイムスタンプ機能
パワーダウン機能	CAN ノードにモジュールスタートストップ機能（チャネルモードおよびグローバルスリープモード）
RAM	RAM ECC 保護（2 ビットエラー検出および 1 ビットエラー訂正）
TrustZone フィルタ	1 つのセキュリティ属性を設定可能

注 1. CANFD モードは CANFD をサポートする製品に限り利用可能です。

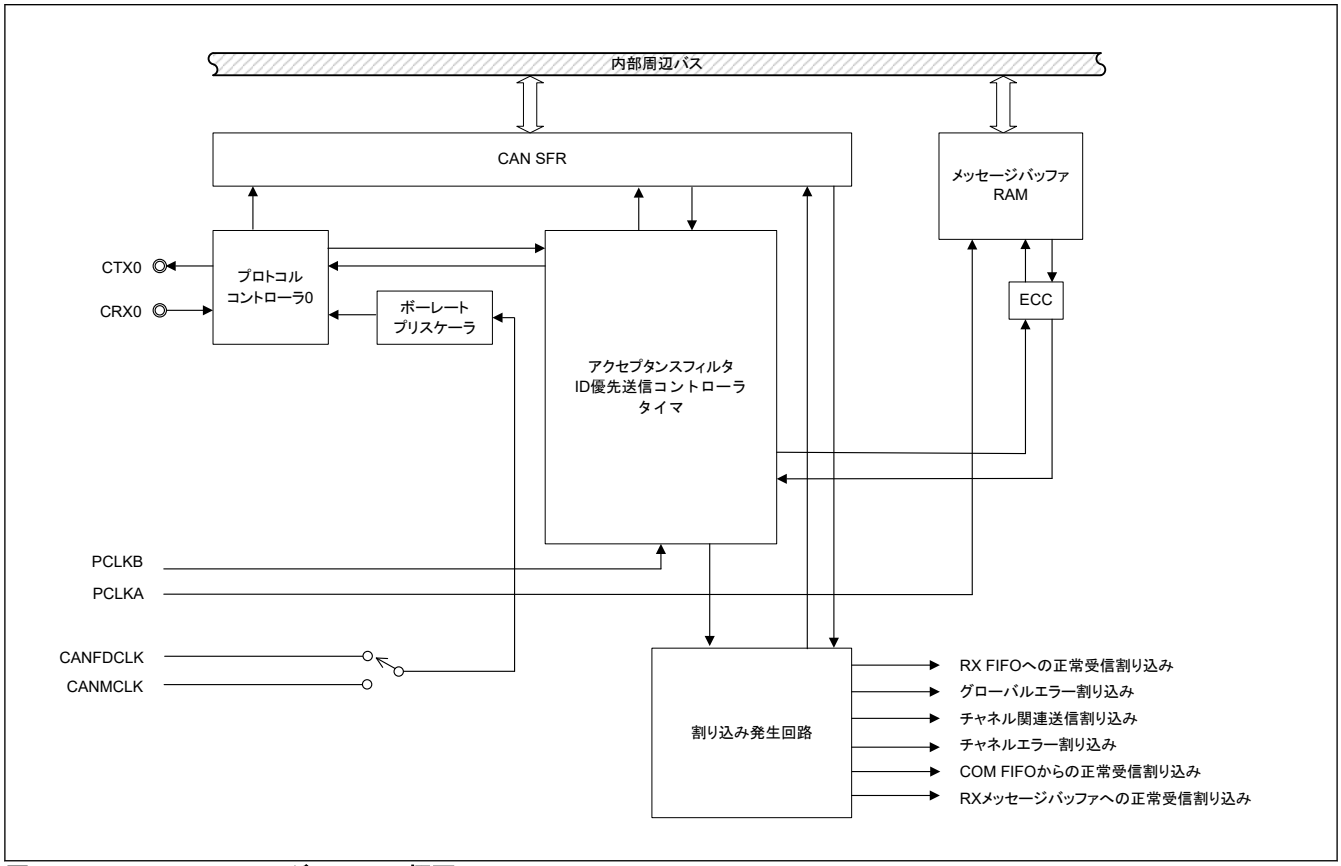


図 28.1 CANFD モジュールの概要

- CTX0/CRX0：
  CANFD モジュールの入出力端子
- プロトコルコントローラ：
  バスアービトレーションや送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行います。

- メッセージバッファ RAM：
  本 RAM は、受信後のメッセージを格納するため、および通常のメッセージバッファまたは FIFO を使って送信するために使用されます。各メッセージエントリは、上位レイヤアプリケーション用およびタイムスタンプ用に個別の ID、データ長コード、データフィールド、メッセージポインタを持っています。
  本 RAM は、メッセージアクセプタンスフィルタエントリを格納するのに使用されます。各アクセプタンスフィルタエントリは、上位レイヤアプリケーション用およびメッセージ方向ポインタ用に個別の ID、データ長コード、データフィールド、メッセージポインタを持っています。
- アクセプタンスフィルタ：
  受信メッセージのフィルタ処理を行います。アクセプタンスフィルタリスト RAM のエントリは、フィルタ処理に使用されます。
- 2 つのタイマ：
  - 受信タイムスタンプ機能
  - FIFO バッファ用送信セパレーション時間
- 割り込み発生回路：
  各種グローバル割り込みおよびチャネル割り込みを発生します。
- CAN 特殊機能レジスタ (SFR)：
  CAN 関連レジスタ：「28.2. レジスタの説明」を参照してください。

28.1.2 クロックの制限事項

CAN 通信において、以下のクロックの制限事項を満たす必要があります。

- PCLKA / 2 = PCLKB ≧ CANFDCLK
- PCLKA / 2 = PCLKB ≧ CANMCLK

イベントの消失を避けるため、CAN エンジンのクロック（CANFDCLK または CANMCLK）の周波数は PCLKB クロック周波数より必ず低くしなければなりません。

CAN メッセージの損失を避けるため、PCLKB は CAN 通信ボーレートに従った周波数のクロックに設定する必要があります。このボーレートと PCLKB クロックの間の制限を、表 28.2 に示します。

表 28.2 クロックの制限事項

	ボーレート	PCLKB
CANFD	1 Mbps（公称） 5 Mbps（データ）	PCLKB ≧ 40MHz
	500 Kbps（公称） 5 Mbps（データ）	PCLKB ≧ 32MHz
クラシカル CAN	1 Mbps（データ）	PCLKB ≧ 32MHz

CANFD と CANMCLK の周波数は、必要なボーレートに依存します。ボーレートの設定方法については、「28.4.1.3. ボーレート」を参照してください。

28.2 レジスタの説明

28.2.1 レジスタ表

RAM 領域 (CFDGAFLIDr, CFDGAFLMr, CFDGAFLP0r, CFDGAFLP1r, CFDRMBCPb, CFDRFMBCPb, CFDCFMBCP0, CFDTMBCPb, CFDTHLACC0, CFDTHLACC1, CFDRPGACCk) について示されるリセット値は、ハードウェアリセットの初期化後有効です。初期化処理の詳細は、「28.4.2. ハードウェアリセット後の CAN モジュールの構成」を参照してください。

8 ビットまたは 16 ビットサイズで RAM 領域に書き込みを行うと、RAM は ECC モジュールを介した 32 ビットアクセスが必要なため、CANFD モジュールはその RAM 位置にリードモディファイライトを実行します。

1 ビットエラーの場合は、正しいデータがライトバックされます。複数ビットエラーの場合は、不定データがライトバックされます。

レジスタが割り当てられていないアドレス空間のアクセスは禁止です。

レジスタが割り当てられていないアドレス空間からの読み出しデータは不定です。

28.2.2 凡例

同類のレジスタおよびビットで、小文字のインデックスはどの部分が参照中かを示すのに使用されます。インデックスが使用されている場合、使用されているレジスタ表で定義、記述されます。

全レジスタおよびビットを通して使用されるグローバルインデックスが 1 つあります。

表 28.3 CANFD レジスタ (1/4)

レジスタ名	シンボル	Value after Reset	オフセットアドレス	アクセスサイズ
チャネル 0 公称ビットレートコンフィグレーションレジスタ	CFDC0NCFG	0x00000000	0x0000	8, 16, 32
チャネル 0 コントロールレジスタ	CFDC0CTR	0x00000005	0x0004	8, 16, 32
チャネル 0 ステータスレジスタ	CFDC0STS	0x00000005	0x0008	8, 16, 32
チャネル 0 エラーフラグレジスタ	CFDC0ERFL	0x00000000	0x000C	8, 16, 32
グローバルコンフィグレーションレジスタ	CFDGCFG	0x00000000	0x0014	8, 16, 32
グローバルコントロールレジスタ	CFDGCTR	0x00000005	0x0018	8, 16, 32
グローバルステータスレジスタ	CFDGSTS	0x0000000D	0x001C	8, 16, 32
グローバルエラーフラグレジスタ	CFDGERFL	0x00000000	0x0020	8, 16, 32
グローバルタイムスタンプカウンタレジスタ	CFDGTSC	0x00000000	0x0024	16, 32
グローバルアクセプタンスフィルタリストエントリコントロールレジスタ	CFDGAFLECTR	0x00000000	0x0028	8, 16, 32
グローバルアクセプタンスフィルタリストコンフィグレーションレジスタ	CFDGAFLCFG	0x00000000	0x002C	8, 16, 32
RX メッセージバッファ数レジスタ	CFDRMNB	0x00000000	0x0030	8, 16, 32
RX メッセージバッファ新規データレジスタ	CFDRMND	0x00000000	0x0034	8, 16, 32
RX メッセージバッファ割り込み許可コンフィグレーションレジスタ	CFDRMIEC	0x00000000	0x0038	8, 16, 32
RX FIFO コンフィグレーション／コントロールレジスタ a = [0:1]	CFDRFCCa	0x00000000	0x003C + a × 0x0004	8, 16, 32
RX FIFO ステータスレジスタ a = [0:1]	CFDRFSTSa	0x00000001	0x0044 + a × 0x0004	8, 16, 32
RX FIFO ポインタコントロールレジスタ a = [0:1]	CFDRFPCTRa	0x00000000	0x004C + a × 0x0004	8, 16, 32
共通 FIFO コンフィグレーション／コントロールレジスタ	CFDCFCC	0x00000000	0x0054	8, 16, 32
共通 FIFO ステータスレジスタ	CFDCFSTS	0x00000001	0x0058	8, 16, 32
共通 FIFO ポインタコントロールレジスタ	CFDCFPCTR	0x00000000	0x005C	8, 16, 32
FIFO エンプティステータスレジスタ	CFDFESTS	0x00000103	0x0060	8, 16, 32
FIFO フルステータスレジスタ	CFDFFSTS	0x00000000	0x0064	8, 16, 32
FIFO メッセージロストステータスレジスタ	CFDFMSTS	0x00000000	0x0068	8, 16, 32
RX FIFO 割り込みフラグステータスレジスタ	CFDRFISTS	0x00000000	0x006C	8, 16, 32
TX メッセージバッファコントロールレジスタ i（i = 0～3）	CFDTMCi	0x00	0x0070 + i × 0x0001	8
TX メッセージバッファステータスレジスタ j（j = 0～3）	CFDTMSTSj	0x00	0x0074 + j × 0x0001	8

表 28.3 CANFD レジスタ (2/4)

レジスタ名	シンボル	Value after Reset	オフセットアドレス	アクセスサイズ
TX メッセージバッファ送信要求ステータスレジスタ	CFDTMTRSTS	0x00000000	0x0078	8, 16, 32
TX メッセージバッファ送信中断要求ステータスレジスタ	CFDTMTARSTS	0x00000000	0x007C	8, 16, 32
TX メッセージバッファ送信完了ステータスレジスタ	CFDTMTCSTS	0x00000000	0x0080	8, 16, 32
TX メッセージバッファ送信中断ステータスレジスタ	CFDTMTASTS	0x00000000	0x0084	8, 16, 32
TX メッセージバッファ割り込み許可コンフィグレーションレジスタ	CFDTMIEC	0x00000000	0x0088	8, 16, 32
TX キューコンフィグレーション／コントロールレジスタ	CFDTXQCC	0x00000000	0x008C	8, 16, 32
TX キューステータスレジスタ	CFDTXQSTS	0x00000001	0x0090	8, 16, 32
TX キューポインタコントロールレジスタ	CFDTXQPCTR	0x00000000	0x0094	8, 16, 32
TX 履歴リストコンフィグレーション／コントロールレジスタ	CFDTHLCC	0x00000000	0x0098	8, 16, 32
TX 履歴リストステータスレジスタ	CFDTHLSTS	0x00000001	0x009C	8, 16, 32
TX 履歴リストポインタコントロールレジスタ	CFDTHLPCTR	0x00000000	0x00A0	8, 16, 32
グローバル TX 割り込みステータスレジスタ	CFDGTINTSTS	0x00000000	0x00A4	8, 16, 32
グローバルテストコンフィグレーションレジスタ	CFDGTSTCFG	0x00000000	0x00A8	8, 16, 32
グローバルテストコントロールレジスタ	CFDGTSTCTR	0x00000000	0x00AC	8, 16, 32
グローバル FD コンフィグレーションレジスタ	CFDGFDCFG	0x00000000	0x00B0	8, 16, 32
グローバルロックキーレジスタ	CFDGLOCKK	0x00000000	0x00B8	16, 32
グローバル AFL 無視エントリレジスタ	CFDGAFLIGNENT	0x00000000	0x00C0	8, 16, 32
グローバル AFL 無視コントロールレジスタ	CFDGAFLIGNCTR	0x00000000	0x00C4	16, 32
DMA 転送コントロールレジスタ	CFDCDTCT	0x00000000	0x00C8	8, 16, 32
DMA 転送ステータスレジスタ	CFDCDTSTS	0x00000000	0x00CC	8, 16, 32
グローバル SW リセットレジスタ	CFDGRSTC	0x00000000	0x00D8	16, 32
チャネル 0 データビットレートコンフィグレーションレジスタ	CFDC0DCFG	0x00000000	0x0100	8, 16, 32
チャネル 0 CANFD コンフィグレーションレジスタ	CFDC0FDCFG	0x00000000	0x0104	8, 16, 32
チャネル 0 CANFD コントロールレジスタ	CFDC0FDCTR	0x00000000	0x0108	8, 16, 32
チャネル 0 CANFD ステータスレジスタ	CFDC0FDSTS	0x00000000	0x010C	8, 16, 32
チャネル 0 CANFD CRC レジスタ	CFDC0FDCRC	0x00000000	0x0110	8, 16, 32
グローバルアクセプタンスフィルタリスト ID レジスタ r = [1…16]	CFDGAFLIDr	0x00000000(注1)	0x0120 + (r-1) × 0x0010	8, 16, 32
グローバルアクセプタンスフィルタリストマスクレジスタ r = [1…16]	CFDGAFLMr	0x00000000(注1)	0x0124 + (r-1) × 0x0010	8, 16, 32
グローバルアクセプタンスフィルタリストポインタ 0 レジスタ r = [1…16]	CFDGAFLP0r	0x00000000(注1)	0x0128 + (r-1) × 0x0010	8, 16, 32

表 28.3 CANFD レジスタ (3/4)

レジスタ名	シンボル	Value after Reset	オフセットアドレス	アクセスサイズ
グローバルアクセプタンスフィルタリストポインタ 1 レジスタ r = [1…16]	CFDGAFLP1r	0x00000000(注1)	0x012C + (r-1) × 0x0010	8, 16, 32
RAM テストページアクセスレジスタ k = [0…63]	CFDRPGACCk	0x00000000(注1)	0x0280 + k × 0x0004	8, 16, 32
RX FIFO アクセス ID レジスタ b（b = 0、1）	CFDRFIDb	0x00000000(注1)	0x0520 + b × 0x004C	8, 16, 32
RX FIFO アクセスポインタレジスタ b（b = 0、1）	CFDRFPTRb	0x00000000(注1)	0x0524 + b × 0x004C	8, 16, 32
RX FIFO アクセス CANFD ステータスレジスタ b = [0…1]	CFDRFFDSTSb	0x00000000(注1)	0x0528 + b × 0x004C	8, 16, 32
RX FIFO アクセスデータフィールド p レジスタ b = [0…1] p = [0…15]	CFDRFDFbp	0x00000000(注1)	0x052C + p × 0x0004 + b × 0x004C	8, 16, 32
共通 FIFO アクセス ID レジスタ	CFDCFID	0x00000000(注1)	0x05B8	8, 16, 32
共通 FIFO アクセスポインタレジスタ	CFDCFPTR	0x00000000(注1)	0x05BC	8, 16, 32
共通 FIFO アクセス CANFD コントロール／ステータスレジスタ	CFDCFFDCSTS	0x00000000(注1)	0x05C0	8, 16, 32
共通 FIFO アクセスデータフィールド p レジスタ p = [0…15]	CFDCFDFp	0x00000000(注1)	0x05C4 + p × 0x0004	8, 16, 32
TX メッセージバッファ ID レジスタ b（b = 0～3）	CFDTMIDb	0x00000000(注1)	0x0604 + b × 0x004C	8, 16, 32
TX メッセージバッファポインタレジスタ b（b = 0～3）	CFDTMPTRb	0x00000000(注1)	0x0608 + b × 0x004C	8, 16, 32
TX メッセージバッファ CANFD コントロールレジスタ b = [0…3]	CFDTMFDCTRb	0x00000000(注1)	0x060C + b × 0x004C	8, 16, 32
TX メッセージバッファデータフィールド p レジスタ b = [0…3] p = [0…15]	CFDTMDFbp	0x00000000(注1)	0x0610 + p × 0x0004 + b × 0x004C	8, 16, 32
チャネル 0 TX 履歴リストアクセスレジスタ 0	CFDTHLACC0	0x00000000(注1)	0x0740	8, 16, 32
チャネル 0 TX 履歴リストアクセスレジスタ 1	CFDTHLACC1	0x00000000(注1)	0x0744	8, 16, 32
RX メッセージバッファ ID レジスタ b（b = 0～7）	CFDRMIDb	0x00000000(注1)	0x0920 + b × 0x004C	8, 16, 32
RX メッセージバッファポインタレジスタ b（b = 0～7）	CFDRMPTRb	0x00000000(注1)	0x0924 + b × 0x004C	8, 16, 32
RX メッセージバッファ CANFD ステータスレジスタ b = [0…7]	CFDRMFDSTSb	0x00000000(注1)	0x0928 + b × 0x004C	8, 16, 32
RX メッセージバッファデータフィールド p レジスタ b = [0…7] p = [0…15]	CFDRMDFbp	0x00000000(注1)	0x092C + p × 0x0004 + b × 0x004C	8, 16, 32
RX メッセージバッファ ID レジスタ b（b = 8～15）	CFDRMIDb	0x00000000(注1)	0x0D20 + (b - 8) × 0x004C	8, 16, 32
RX メッセージバッファポインタレジスタ b（b = 8～15）	CFDRMPTRb	0x00000000(注1)	0x0D24 + (b - 8) × 0x004C	8, 16, 32
RX メッセージバッファ CANFD ステータスレジスタ b = [8…15]	CFDRMFDSTSb	0x00000000(注1)	0x0D28 + (b - 8) × 0x004C	8, 16, 32
RX メッセージバッファデータフィールド p レジスタ b = [8…15] p = [0…15]	CFDRMDFbp	0x00000000(注1)	0x0D2C + p × 0x0004 + (b - 8) × 0x004C	8, 16, 32
RX メッセージバッファ ID レジスタ b（b = 16～23）	CFDRMIDb	0x00000000(注1)	0x1120 + (b - 16) × 0x004C	8, 16, 32
RX メッセージバッファポインタレジスタ b（b = 16～23）	CFDRMPTRb	0x00000000(注1)	0x1124 + (b - 16) × 0x004C	8, 16, 32

表 28.3 CANFD レジスタ (4/4)

レジスタ名	シンボル	Value after Reset	オフセットアドレス	アクセスサイズ
RX メッセージバッファ CANFD ステータスレジスタ b = [16…23]	CFDRMFDSTSb	0x00000000(注1)	0x1128 + (b - 16) × 0x004C	8, 16, 32
RX メッセージバッファデータフィールド p レジスタ b = [16…23] p = [0…15]	CFDRMDFbp	0x00000000(注1)	0x112C + p × 0004 + (b - 16) × 0x004C	8, 16, 32
RX メッセージバッファ ID レジスタ b（b = 24～31）	CFDRMIDb	0x00000000(注1)	0x1520 + (b - 24) × 0x004C	8, 16, 32
RX メッセージバッファポインタレジスタ b（b = 24～31）	CFDRMPTRb	0x00000000(注1)	0x1524 + (b - 24) × 0x004C	8, 16, 32
RX メッセージバッファ CANFD ステータスレジスタ b = [24…31]	CFDRMFDSTSb	0x00000000(注1)	0x1528 + (b - 24) × 0x004C	8, 16, 32
RX メッセージバッファデータフィールド p レジスタ b = [24…31] p = [0…15]	CFDRMDFbp	0x00000000(注1)	0x152C + p × 0x0004 + (b - 24) × 0x004C	8, 16, 32

注 1. RAM 領域はハードウェアリセット後に初期化されます。「28.4.2. ハードウェアリセット後の CAN モジュールの構成」参照。

28.2.3 CFDC0NCFG : チャネル 0 公称ビットレートコンフィグレーションレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0000

Bit position:	31 … 25	24 … 17	16 … 10	9 … 0
Bit field:	NTSEG2[6:0]	NTSEG1[7:0]	NSJW[6:0]	NBRP[9:0]
Value after reset:	0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
9:0	NBRP[9:0]	チャネル公称ボーレートプリスケーラ 公称ボーレートプリスケーラ分周比	R/W
16:10	NSJW[6:0]	再同期ジャンプ幅 0x00: 1 Tq 0x01: 2 Tq ⋮ 0x7E: 127 Tq 0x7F: 128 Tq	R/W
24:17	NTSEG1[7:0]	タイミングセグメント 1 0x00: 予約 0x01: 2 Tq 0x02: 3 Tq 0x03: 4 Tq ⋮ 0xFE: 255 Tq 0xFF: 256 Tq	R/W
31:25	NTSEG2[6:0]	タイミングセグメント 2 0x00: 予約 0x01: 2 Tq ⋮ 0x7E: 127 Tq 0x7F: 128 Tq	R/W

注. Tq はタイムクォンタム (time quantum) を表します。

本レジスタは、チャネルの送受信公称ボーレートパラメータを設定します。

NBRP[9:0]ビット（チャネル公称ボーレートプリスケーラ）

NBRP[9:0]ビットは、Tq (Time Quantum) に含まれる周辺バスクロック期間を定義するのに使用されます。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

NSJW[6:0]ビット（再同期ジャンプ幅）

NSJW[6:0]ビットは同期ジャンプ幅を指定します。1～128Tq の値が設定可能です。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

NTSEG1[7:0]ビット（タイミングセグメント 1）

NTSEG1[7:0]ビットは、正相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG1 を設定します。これらのビットには、伝播時間セグメントが含まれます。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

また、Tq 値は 2～256（2 と 256 を含む）の範囲で設定してください。詳細は、「28.4.1.2. CAN のビットタイミング」を参照してください。

NTSEG2[6:0]ビット（タイミングセグメント 2）

NTSEG2[6:0]ビットは、逆相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG2 を設定します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

また、Tq 値は 2～128（2 と 128 を含む）の範囲で設定してください。

28.2.4 CFDC0CTR : チャネル 0 コントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ROM	BFT	—	—	—	CTMS[1:0]		CTME	ERRD	BOM[1:0]		—	TDCVFIE	SOCOIE	EOCOIE	TAIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
1:0	CHMDC[1:0]	チャネルモード制御 0 0: チャネルオペレーションモード要求 0 1: チャネルリセット要求 1 0: チャネル halt 要求 1 1: 現在値を維持	R/W
2	CSLPR	チャネルスリープ要求 0: チャネルスリープ要求禁止 1: チャネルスリープ要求許可	R/W
3	RTBO	バスオフからの復帰 0: チャネルはバスオフからの復帰を強制されていない 1: チャネルはバスオフからの復帰を強制されている	R/W
7:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	BEIE	バスエラー割り込み許可 0: バスエラー割り込み禁止 1: バスエラー割り込み許可	R/W
9	EWIE	エラーワーニング割り込み許可 0: エラーワーニング割り込み禁止 1: エラーワーニング割り込み許可	R/W
10	EPIE	エラーパッシブ割り込み許可 0: エラーパッシブ割り込み禁止 1: エラーパッシブ割り込み許可	R/W
11	BOEIE	バスオフ開始割り込み許可 0: バスオフ開始割り込み禁止 1: バスオフ開始割り込み許可	R/W
12	BORIE	バスオフ復帰割り込み許可 0: バスオフ復帰割り込み禁止 1: バスオフ復帰割り込み許可	R/W
13	OLIE	オーバーロード割り込み許可 0: オーバーロード割り込み禁止 1: オーバーロード割り込み許可	R/W
14	BLIE	バスロック割り込み許可 0: バスロック割り込み禁止 1: バスロック割り込み許可	R/W
15	ALIE	アービトレーションロスト割り込み許可 0: アービトレーションロスト割り込み禁止 1: アービトレーションロスト割り込み許可	R/W
16	TAIE	送信アボート割り込み許可 0: TX アボート割り込み禁止 1: TX アボート割り込み許可	R/W
17	EOCOIE	エラー発生カウンタオーバーフロー割り込み許可 0: エラー発生カウンタオーバーフロー割り込み禁止 1: エラー発生カウンタオーバーフロー割り込み許可	R/W
18	SOCOIE	成功発生カウンタオーバーフロー割り込み許可 0: 成功発生カウンタオーバーフロー割り込み禁止 1: 成功発生カウンタオーバーフロー割り込み許可	R/W
19	TDCVFIE(注1)	トランシーバ遅延補償違反割り込み許可 0: トランシーバ遅延補償違反割り込み禁止 1: トランシーバ遅延補償違反割り込み許可	R/W
20	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
22:21	BOM[1:0]	チャネルバスオフモード 0 0: 通常モード（ISO 11898-1 に準拠） 0 1: バスオフ開始で自動的に halt モードへ遷移 1 0: バスオフ終了で自動的に halt モードへ遷移 1 1: ソフトウェア要求により（バスオフ復帰期間中に）halt モードへ遷移	R/W
23	ERRD	チャネルエラー表示 0: エラーコードの最初のセットのみ表示 1: 蓄積したエラーコードを表示	R/W
24	CTME	チャネルテストモード許可 0: チャネルテストモード禁止 1: チャネルテストモード許可	R/W
26:25	CTMS[1:0]	チャネルテストモード選択 0 0: 基本テストモード 0 1: リッスンオンリーモード 1 0: セルフテストモード 0（外部ループバックモード） 1 1: セルフテストモード 1（内部ループバックモード）	R/W
29:27	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
30	BFT	ビットフリップテスト 0: 受信ストリームの最初のデータビットを反転しない 1: 受信ストリームの最初のデータビットを反転する	R/W
31	ROM(注1)	制限付きオペレーションモード 0: 制限オペレーションモード禁止 1: 制限オペレーションモード許可	R/W

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

チャネルコントロールレジスタは、関連するチャネルのモードを制御します。本チャネルに接続された CAN バスでエラーが発生した場合、割り込みの発生を許可するのに使用されます。チャネルをテストモードに設定するのにも使用されます。

CHMDC[1:0]ビット（チャネルモード制御）

CHMDC[1:0]ビットを使用して、CAN チャネルのモードを設定することができます。

CAN モードの遷移については「28.3.3. チャネルモード」に詳述しています。

CHMDC[1:0]ビットの 11b への設定は無効です。CANFD モジュールが GL_HALT モードの場合、これらのビットは 10b か 01b にしか設定できません。これらのビットは CH_SLEEP モードでは設定できません。

これらのビットは、CFDC0CTR.BOM を設定することにより halt モードに遷移すると自動的に変更されます。

（CFDC0CTR.BOM = 01b でバスオフの開始時または CFDC0CTR.BOM = 10b でバスオフの終了時）CAN チャネルが halt モードに入ったと同時に CPU が CFDC0CTR.CHMDC に書き込みを行うと、CPU の書き込みが最優先されます。

CFDC0CTR.CHMDC 値が 00b（オペレーションモード）の場合のみ、CAN チャネルは、指定されたケースでチャネルコントロールレジスタの CFDC0CTR.CHMDC の値を変更します。

CSLPR ビット（チャネルスリープ要求）

CSLPR ビットが 1 のとき、対応する CAN チャネルに対してスリープモード要求が発生します。

本ビットが 0 のとき、関連する CANFD チャネルに対してスリープモードからの復帰要求が発生します。

関連する CANFD チャネルが CH_RESET モードまたは CH_SLEEP モードの場合のみ本ビットへの書き込みを行ってください。

RTBO ビット（バスオフからの復帰）

CAN チャネルのプロトコルコントローラがバスオフ状態になると、チャネルコントロールレジスタの RTBO ビットを 1 にすることによりバスオフ状態からの復帰を強制できます。

最大 1 CAN ビット時間を統合するために、バスオフ状態からエラー状態に変わります。

RTBO ビットが 1 のとき、REC レジスタおよび TEC レジスタは初期化され、バスオフステータスビット（チャネルバスオフ状態、CFDC0STS.BOSTS）が 0 になります。

REC レジスタおよび TEC レジスタ以外のレジスタは、本コマンドにより初期化されません。CFDC0CTR.BORIE が 1 の場合でも、このバスオフ状態からの復帰によって、バスオフ復帰割り込み要求は発生しません。

RTBO ビットは CH_SLEEP モードでは設定できません。バスオフ状態以外の状態で本ビットを 1 にしても無効で、ビットはただちにクリアされます。読むと常に 0 が読めます。

バスオフ復帰コマンドは、CFDC0CTR.BOM が 00b に設定されている場合のみ使用してください。

関連する CANFD チャネルが CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。本ビットは、ソフトウェアにより自動的にクリアされます。

BEIE ビット（バスエラー割り込み許可）

BEIE ビットも CFDC0ERFL.BEF ビットも両方とも 1 の場合、エラー割り込み要求が発生します。

このビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

EWIE ビット（エラーワーニング割り込み許可）

EWIE ビットも CFDC0ERFL.EWF ビットも両方とも 1 の場合、エラー割り込み要求が発生します。

EWIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

EPIE ビット（エラーパッシブ割り込み許可）

EPIE ビットも CFDC0ERFL.EPF ビットも両方とも 1 の場合、エラー割り込み要求が発生します。

EPIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

BOEIE ビット（バスオフ開始割り込み許可）

BOEIE ビットも CFDC0ERFL.BOEF ビットも両方とも 1 の場合、エラー割り込み要求が発生します。

BOEIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

BORIE ビット（バスオフ復帰割り込み許可）

BORIE ビットも CFDC0ERFL.BORF ビットも両方とも 1 の場合、エラー割り込み要求が発生します。

BORIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

OLIE ビット（オーバーロード割り込み許可）

OLIE ビットも CFDC0ERFL.OVLF ビットも両方とも 1 の場合、エラー割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

BLIE ビット（バスロック割り込み許可）

BLIE ビットも CFDC0ERFL.BLF ビットも両方とも 1 の場合、エラー割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

ALIE ビット（アービトレーションロスト割り込み許可）

ALIE ビットも CFDC0ERFL.ALF ビットも両方とも 1 の場合、エラー割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TAIE ビット（送信アボート割り込み許可）

TAIE ビットが 1 で、対応する CAN チャネルに属する TX MB からの送信アボートに成功した場合、割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

EOCOIE ビット（エラー発生カウンタオーバーフロー割り込み許可）

EOCOIE ビットが 1 で、対応する CAN チャネルに属する CFDC0FDSTS.EOCO ビットが 1 の場合、エラー割り込み要求が発生します。

EOCOIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

SOCOIE ビット（成功発生カウンタオーバーフロー割り込み許可）

SOCOIE ビットが 1 で、対応する CAN チャネルに属する CFDC0FDSTS.SOCO ビットが 1 の場合、エラー割り込み要求が発生します。

SOCOIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TDCVFIE ビット（トランシーバ遅延補償違反割り込み許可）

TDCVFIE ビットが 1 で、対応する CAN チャネルに属する CFDC0FDSTS.TDCVF ビットが 1 の場合、エラー割り込み要求が発生します。

TDCVFIE ビットは CH_SLEEP モードでは設定できません。

関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

BOM[1:0]ビット（チャネルバスオフモード）

BOM[1:0]ビットは、CANFD チャネルのバスオフモードからの復帰のタイミングを制御します。

CH_SLEEP モードのとき、これらのビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

関連する CANFD チャネルが CH_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

ERRD ビット（チャネルエラー表示）

ERRD ビットは、チャネルエラーフラグレジスタ (CFDC0ERFL) のエラーフラグビット[14:8]の表示モードを制御します。

ERRD ビットが 0 で、同時に 2 つ以上のエラーが起きると、エラーフラグビットが、同時に発生したエラーすべてに対して設定されます。CFDC0ERFL[14:8]がクリアされるまでこれ以上エラーフラグは立ちません。

CH_SLEEP モードのとき、ERRD ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

CTME ビット（チャネルテストモード許可）

CTME ビットは、チャネルテストモードを有効にします。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

CTMS[1:0]ビット（チャネルテストモード選択）

CTMS[1:0]ビットは、必要なテストモードを選択するのに使用されます。

CH_SLEEP モードまたは CH_RESET モードのとき、これらのビットに書き込まないでください。関連する CANFD チャネルが CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

これらのビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

BFT ビット（ビットフリップテスト）

BFT ビットは、プロトコルコントローラの内部 CRC 生成器ロジックをチェックします。

受信中の CAN メッセージデータストリームの第 1 ビット（ID ビット）を反転するので、内部で生成した CRC 結果がフレームの受信した CRC 値と一致しなくなります。本機能を使用する場合、(反転のため) CRC エラーではなくスタッフエラーを受信する可能性があるため、ビットスタッフィングルールを参照してください。

内部で生成した CRC 値は、常に下記のレジスタで確認できます。

- CFDC0ERFL.CRCREG（クラシカル CAN フレーム）
- CFDC0FDCRC.CRCREG（CANFD フレーム）(注1)

注 1. この機能は、クラシカル CAN 機能では使用できません。

本ビット使用する上ではいくつかの制限があります。

他の CAN ノードが基準メッセージを送信し、受信ノードは着信ビットストリームの 1 つのビットを反転可能です。

注. 送信部と受信部のモードでは同じ CRC 生成器が共有されるため、テストするときにモードを別々に検討する必要はありません。

BFT ビット（ビットストリームの第 1 ビットを反転する新規の制御信号）および CTME ビットが 1 でありかつ CFDC0CTR.CTMS が 0x00 のとき、ビットフリップテストモードが有効です。

この機能を送信ノードで使用すると、ビットエラーまたはアービトレーションロストが発生します。

CH_SLEEP モードのとき、BFT ビットに書き込まないでください。セルフテストモード 1（内部ループバックモード）のときは、この機能を使わないでください。関連する CANFD チャネルが CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

ROM ビット（制限付きオペレーションモード）

ROM ビットおよび CTME ビットが両方とも 1 の場合、制限付きのオペレーションモードが有効になります。本モードは、基本テストモード (CFDC0CTR.CTMS[1:0] = 00b) でのみ使用してください。

ROM ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。クラシカル CAN モードのとき本ビットを設定しないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

28.2.5 CFDC0STS : チャネル 0 ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TEC[7:0]								REC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ESIF	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
0	CRSTSTS	チャネルリセットステータス 0: チャネルはリセットモード中ではない 1: チャネルはリセットモード中	R
1	CHLTSTS	チャネル halt ステータス 0: チャネルは halt モード中ではない 1: チャネルは halt モード中	R
2	CSLPSTS	チャネルスリープステータス 0: チャネルはスリープモード中ではない 1: チャネルはスリープモード中	R
3	EPSTS	チャネルエラーパッシブステータス 0: チャネルはエラーパッシブ状態ではない 1: チャネルはエラーパッシブ状態	R
4	BOSTS	チャネルバスオフステータス 0: チャネルはバスオフ状態ではない 1: チャネルはバスオフ状態	R
5	TRMSTS	チャネル送信ステータス 0: チャネルは送信中ではない 1: チャネルは送信中	R
6	RECSTS	チャネル受信ステータス 0: チャネルは受信中ではない 1: チャネルは受信中	R

ビット	シンボル	機能	R/W
7	COMSTS	チャネル通信ステータス 0: チャネルは通信可状態ではない 1: チャネルは通信可状態	R
8	ESIF(注1)	エラー状態表示フラグ 0: ESI フラグが設定されているときに CANFD メッセージは 1 つも受信されていない 1: ESI フラグが設定されているときに少なくとも 1 つの CANFD メッセージが受信された	R/W
15:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
23:16	REC[7:0]	受信エラー数 これらのビットは、受信中の CAN チャネルのエラー状態によってカウンタ値を増減させます。	R
31:24	TEC[7:0]	送信エラー数 これらのビットは、送信中の CAN チャネルのエラー状態によってカウンタ値を増減させます。	R

注 1. このビットは、クラシカル CAN 機能では使用できません。

チャネルステータスレジスタは、関連するチャネルのモード、エラー状態および送受信状態を、送受信エラー数の値とともに示します。

CRSTSTS ビット（チャネルリセットステータス）

CRSTSTS ビットは、関連する CAN チャネルがリセットモードかどうかを示します。

本ビットは、関連する CAN チャネルがチャネルリセットモードになると自動的に 1 になります。モードがリセットモードからスリープモードに遷移しても、CRSTSTS ビットは 1 のままです。

本ビットは、スリープモードへの遷移の場合を除いて、関連する CAN チャネルがチャネルリセットモードを抜けると自動的にクリアされます

CHLTSTS ビット（チャネル halt ステータス）

CRSTSTS ビットは、関連する CAN チャネルが halt モードかどうかを示します。

本ビットは、関連する CAN モジュールが halt モードになると自動的に 1 になり、halt モードを抜けると自動的にクリアされます。

CSLPSTS ビット（チャネルスリープステータス）

CSLPSTS ビットは、関連する CAN チャネルがスリープモードかどうかを示します。

本ビットは、関連する CANFD チャネルがスリープモードになると自動的に 1 になり、スリープモードを抜けると自動的にクリアされます。

EPSTS ビット（チャネルエラーパッシブステータス）

EPSTS ビットは、関連する CANFD チャネルがエラーパッシブ状態になったかどうかを示します。

本ビットは、CAN 送受信カウンタレジスタの値が 0x7F を超えた場合自動的に 1 になります。

本ビットは、関連する CANFD チャネルがエラーパッシブ状態を抜けるかリセットモードになると自動的にクリアされます

BOSTS ビット（チャネルバスオフステータス）

BOSTS ビットは、関連する CANFD チャネルがエラーバスオフ状態になったかどうかを示します。

本ビットは、関連する CAN 送信エラー数レジスタの値が 0xFF を超え、関連する CANFD チャネルがバスオフ状態になる（CAN 送信エラー数レジスタ > 0xFF）と自動的に 1 になります。

本ビットは、関連する CANFD チャネルがバスオフ状態を抜けると自動的にクリアされます。

TRMSTS ビット（チャネル送信ステータス）

TRMSTS ビットは、関連する CANFD チャネルがメッセージを送信中かどうかを示します。

本ビットは、関連する CANFD チャネルが送信ノードとして動作するかバスオフ状態になると自動的に 1 になります。

本ビットは、関連する CANFD チャネルがバスアイドル状態になるか受信ノードとして動作開始すると自動的にクリアされます。

RECSTS ビット（チャネル受信ステータス）

RECSTS ビットは、関連する CANFD チャネルがメッセージを受信中かどうかを示します。

本ビットは、関連する CANFD チャネルが受信ノードとして動作中の場合、自動的に 1 になります。

本ビットは、関連する CANFD チャネルがバスアイドル状態になるか送信ノードとして動作開始すると自動的にクリアされます。

COMSTS ビット（チャネル通信ステータス）

COMSTS ビットは、関連する CANFD チャネルが通信可能状態かどうかを示します。

本ビットは、リセットモードか halt モードを抜けて、11 個の連続レセシブビットの検出後、関連する CANFD チャネルが通信可能状態であると、自動的に 1 になります。

本ビットは、関連する CANFD チャネルが CH_RESET モードまたは CD_HALT になると自動的にクリアされます。

注. 本ビットはバスオフ状態中 1 です。

ESIF ビット（エラー状態表示フラグ）

ESIF ビットは、ESI ビットがエラーのない受信 CAN メッセージに対してレセシブとしてサンプリングされると 1 になります。ループバックモードまたはミラーモード時、自分で送信したメッセージが受信メッセージと見なされます。

CANFD チャネルからの設定と書き込みによるクリアが同時に起きた場合は、ビットは 1 になります。

また、0 を書くことによってクリアされます。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

注. このビットは、クラシカル CAN 機能では使用できません。

REC[7:0]ビット（受信エラー数）

REC[7:0]ビットは、受信中の CANFD チャネルのエラー状態によってカウンタ値を増減させ、REC エラーカウンタの値を表示します。

バスオフ状態時の値は不定になります。

これらのビットは、CANFD モジュールが GL_RESET モードになるか、CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

TEC[7:0]ビット（送信エラー数）

TEC[7:0]ビットは、送信中の CANFD チャネルのエラー状態によってカウンタ値を増減させ、TEC エラーカウンタの値を表示します。

テストモード時でかつ CANFD チャネルが CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

これらのビットは、CANFD モジュールが GL_RESET モードになるか、CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

28.2.6 CFDC0ERFL : チャネル 0 エラーフラグレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x000C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	CRCREG[14:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWF	BEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BEF	バスエラーフラグ 0: チャネルバスエラー未検出 1: チャネルバスエラー検出	R/W
1	EWF	エラーワーニングフラグ 0: チャネルエラーワーニング未検出 1: チャネルエラーワーニング検出	R/W
2	EPF	エラーパッシブフラグ 0: チャネルエラーパッシブ未検出 1: チャネルエラーパッシブ検出	R/W
3	BOEF	バスオフ開始フラグ 0: チャネルバスオフ開始未検出 1: チャネルバスオフ開始検出	R/W
4	BORF	バスオフ復帰フラグ 0: チャネルバスオフ復帰未検出 1: チャネルバスオフ復帰検出	R/W
5	OVLF	オーバーロードフラグ 0: チャネルオーバーロード未検出 1: チャネルオーバーロード検出	R/W
6	BLF	バスロックフラグ 0: チャネルバスロック未検出 1: チャネルバスロック検出	R/W
7	ALF	アービトレーションロストフラグ 0: チャネルアービトレーションロスト未検出 1: チャネルアービトレーションロスト検出	R/W
8	SERR	スタッフエラー 0: チャネルスタッフエラー未検出 1: チャネルスタッフエラー検出	R/W
9	FERR	フォームエラー 0: チャネルフォームエラー未検出 1: チャネルフォームエラー検出	R/W
10	AERR	ACK エラー 0: チャネル ACK エラー未検出 1: チャネル ACK エラー検出	R/W
11	CERR	CRC エラー 0: チャネル CRC エラー未検出 1: チャネル CRC エラー検出	R/W
12	B1ERR	ビット 1 エラー 0: チャネルビット 1 エラー未検出 1: チャネルビット 1 エラー検出	R/W

ビット	シンボル	機能	R/W
13	B0ERR	ビット 0 エラー 0: チャネルビット 0 エラー未検出 1: チャネルビット 0 エラー検出	R/W
14	ADERR	ACK デリミタエラー 0: チャネル ACK デリミタエラー未検出 1: チャネル ACK デリミタエラー検出	R/W
15	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
30:16	CRCREG[14:0]	CRC レジスタ値 これらのビットは、CAN2.0 CAN フレームに対して計算された CRC 値を示します。	R
31	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

チャネルエラーフラグレジスタは、関連する CAN チャネルエラー割り込み許可レジスタの設定にかかわらず検出可能な各種エラー条件の状態を示します。それらのレジスタは、CAN チャネルにより検出可能な各種バスエラーの状態も示します。各エラー条件がいつ発生するかを確認するには CAN 仕様 (ISO 11898-1) を参照してください。

本レジスタについては、ソフトウェアによりクリア可能なのは 1 ビットのみです。ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

アセンブリ言語で CFDC0ERFL.BEF ビットをクリアする例：

```
mov.b #0x0FE, CFDC0ERFL ;
```

BEF ビット（バスエラーフラグ）

BEF ビットは、本レジスタのビット[14:8]により示される CAN チャネルバスエラー状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、バスエラー検出時自動的に設定され、また関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、ビットは 1 に設定されます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

EWF ビット（エラーワーニングフラグ）

EWF ビットは、CAN チャネルに対してエラーワーニング条件が検出されたかどうかを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、TEC または REC が 0x5F を超えると自動的に 1 になります。

本ビットが 1 になるのは、TEC または REC が初めて 0x5F を超えた場合のみです。したがって、TEC または REC が＞ 0x5F のままで EWF ビットがソフトウェアによりクリアされた場合、TEC と REC の両方が 0x60 以下になるか、または TEC または REC が再び 0x5F から＞ 0x5F になるまで、本ビットは再び 1 になりません。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

EPF ビット（エラーパッシブフラグ）

EPF ビットは、CAN チャネルのエラーパッシブ状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、CAN エラー状態がパッシブ状態になると自動的に 1 になります。

本ビットが 1 になるのは、TEC または REC が初めて 0x7F を超えた場合のみです。したがって、TEC または REC が＞ 0x7F のままで本ビットがソフトウェアによりクリアされた場合、TEC と REC の両方が 0x80 以下になるか、または TEC または REC が再び≦ 0x7F から＞ 0x7F になるまで、本ビットは再び 1 になりません。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

BOEF ビット（バスオフ開始フラグ）

BOEF ビットは、CAN チャネルのバスオフ開始状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、CAN エラー状態がバスオフ状態になると自動的に 1 になります。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

BORF ビット（バスオフ復帰フラグ）

BORF ビットは、CAN チャネルのバスオフ復帰状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

CAN チャネルが、下記の条件下で、バスオフ状態から復帰した場合、本ビットは自動的に 1 になります。

- CFDC0CTR.BOM が 00b で、通常復帰（11 個の連続レセシブビット x128 回検出）が発生したとき
- CFDC0CTR.BOM が 10b で、通常復帰（11 個の連続レセシブビット x128 回検出）が発生したとき
- CFDC0CTR.BOM が 11b で、通常復帰（11 個の連続レセシブビット x128 回検出）が発生したとき

CAN チャネルが、下記の条件下で、バスオフ状態から復帰した場合、本ビットは 1 になりません。

- CAN リセットモードが要求されたとき
- CFDC0CTR.RTBO が 1 に設定されたとき（CAN チャネルはエラーアクティブに戻る）
- CFDC0CTR.BOM が 01b のとき
- CFDC0CTR.BOM が 11b で、CAN チャネルがバスオフ状態終了に達する前に Halt 要求がアサートされたとき

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。1 になる条件と 0 になる条件が同時に発生した場合、フラグは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

OVLF ビット（オーバーロードフラグ）

OVLF ビットは、CAN チャネルのオーバーロード状態が検出されたことを示します。

OVLF ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、オーバーロード状態が検出されると自動的に 1 になります。1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ、本ビットへの書き込みを行ってください。

BLF ビット（バスロックフラグ）

BLF ビットは、CAN チャネルのバスロック状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

CAN チャネルがオペレーションモードのとき、CAN バス上に 32 個の連続するドミナントビットが検出されると、本ビットは自動的に 1 になります。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

ALF ビット（アービトレーションロストフラグ）

ALF ビットは、CAN チャネルのバスアービトレーションロスト状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

CAN チャネルがオペレーションモードのとき、CAN バス上にアービトレーションロスト状態が検出されると、本ビットは自動的に 1 になります。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

SERR ビット（スタッフエラー）

SERR ビットは、CAN スタッフエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

本ビットは、スタッフエラーが検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。
CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

FERR ビット（フォームエラー）

FERR ビットは、CAN フォームエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

フォームエラーを検出すると、本ビットは自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。
CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

AERR ビット（ACK エラー）

AERR ビットは、CAN ACK エラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

ACK エラーを検出すると、本ビットは 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。
CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

CERR ビット（CRC エラー）

CERR ビットは、CAN CRC エラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

CRC エラーを検出すると、本ビットは自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。
CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

B1ERR ビット（ビット 1 エラー）

B1ERR ビットは、レセシブビットエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す

3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

本ビットは、レセシブビットエラー（期待されたレセシブビットがドミナントビットとしてサンプリングされた）が検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

B0ERR ビット（ビット 0 エラー）

B0ERR ビットは、ドミナントビットエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

本ビットは、ドミナントビットエラー（期待されたドミナントビットがレセシブビットとしてサンプリングされた）が検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

ADERR ビット（ACK デリミタエラー）

ADERR ビットは、ACK デリミタビットエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

フレーム送信の ACK デリミタ状態中にフォームエラーを検出すると、本ビットは自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

CRCREG[14:0]ビット（CRC レジスタ値）

CRCREG[14:0]ビットは、該当チャネルに対して CFDC0CTR.CTME ビットが 1 のとき、計算された CRC 値を読み出します。

CFDC0CTR.CTME ビットが 0 の場合、これらのビットは読むと常に 0 が読み出されます。

これらのビットは、CTME ビットが有効のとき、CANFD チャネルロジックにより計算された CAN2.0 CRC 値を示します。

CFDC0ERFL.CRCREG 値は、CAN フレーム（送受信）の CRC フィールドの第一ビットにおいて更新されます。

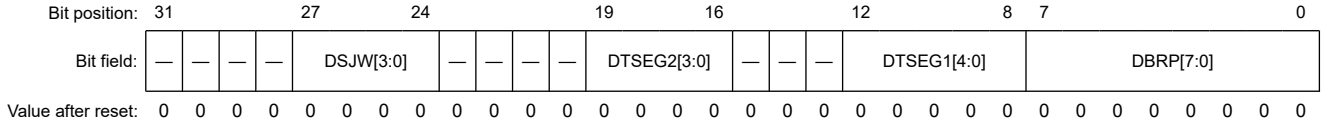
これらのビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

28.2.7 CFDC0DCFG : チャネル 0 データビットレートコンフィグレーションレジスタ

このレジスタは、クラシカル CAN 機能では使用できません。

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0100



ビット	シンボル	機能	R/W
7:0	DBRP[7:0]	チャネルデータボーレートプリスケーラ データボーレートプリスケーラ分周比	R/W
12:8	DTSEG1[4:0]	タイミングセグメント 1 0x00: 予約 0x01: 2Tq 0x02: 3Tq 0x03: 4Tq ⋮ 0x1E: 31Tq 0x1F: 32Tq	R/W
15:13	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
19:16	DTSEG2[3:0]	タイミングセグメント 2 0x0: 予約 0x1: 2Tq ⋮ 0xE: 15Tq 0xF: 16Tq	R/W
23:20	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
27:24	DSJW[3:0]	再同期ジャンプ幅 0x0: 1Tq 0x1: 2Tq ⋮ 0xF: 16Tq	R/W
31:28	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. Tq はタイムクォンタム (time quantum) を表します。

チャネル 0 データビットレートコンフィグレーションレジスタ は、そのチャネルの送受信データのボーレートパラメータを設定します。

クラシカル CAN モードのチャネルは、本レジスタの設定を行いません。

DBRP[7:0]ビット（チャネルデータボーレートプリスケーラ）

DBRP[7:0]ビットは、Tq (Time Quantum) に含まれる周辺バスクロック期間を定義します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

DTSEG1[4:0]ビット（タイミングセグメント 1）

DTSEG1[4:0]ビットは、正相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG1 を設定します。2～32Tq の値が設定可能です。

DTSEG1[4:0]ビットは、伝播時間セグメントを設定するのにも使用されます。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。これらのビットに上記以外の値を書き込まないでください。詳細は、「28.4.1.2. CAN のビットタイミング」を参照してください。

DTSEG2[3:0]ビット（タイミングセグメント 2）

DTSEG2[3:0]ビットは、逆相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG2 を設定します。2～16Tq の値が設定可能です。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。これらのビットに上記以外の値を書き込まないでください。

DSJW[3:0]ビット（再同期ジャンプ幅）

DSJW[3:0]ビットは、同期ジャンプ幅を設定します。1～16Tq の値が設定可能です。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

28.2.8 CFDC0FDCFG : チャネル 0 CANFD コンフィグレーションレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	CLOE	REFE	FDOE	—	—	—	—	TDCO[7:0]							
Value after reset:	0	0/1 (注1)	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ESIC	TDCE	TDCOC	—	—	—	—	—	EOCCFG[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	EOCCFG[2:0]	エラー発生カウンタ構成 0 0 0: すべての送受信 CAN フレーム 0 0 1: すべての送信 CAN フレーム 0 1 0: すべての受信 CAN フレーム 0 1 1: 予約 1 0 0: 送受信 CANFD データ相 (fast bits) のみ 1 0 1: 送信 CANFD データ相 (fast bits) のみ 1 1 0: 受信 CANFD データ相 (fast bits) のみ 1 1 1: 予約	R/W
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	TDCOC(注2)	トランシーバ遅延補償オフセット構成 0: 測定値 + オフセット 1: オフセットのみ	R/W

ビット	シンボル	機能	R/W
9	TDCE(注2)	トランシーバ遅延補償許可 0: トランシーバ遅延補償禁止 1: トランシーバ遅延補償許可	R/W
10	ESIC(注2)	エラー状態表示構成 0: フレーム内に ESI ビットがあると、ノード自体がエラー状態であることを示します。 1: フレーム内に ESI ビットがあると、ノード自体がエラーパッシブ状態である場合、メッセージバッファがエラー状態であることを示します。ノードがエラーパッシブ状態であると、ESI ビットはノード自体により駆動されます。	R/W
11	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:12	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
23:16	TDCO[7:0](注2)	トランシーバ遅延補償オフセット	R/W
27:24	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
28	FDOE(注2)	FD only 許可 0: FD only モード禁止 1: FD only モード許可	R/W
29	REFE	RX エッジフィルタ有効 0: RX エッジフィルタ無効 1: RX エッジフィルタ有効	R/W
30	CLOE(注2) (注3)	クラシカル CAN 許可 0: クラシカル CAN モード禁止 1: クラシカル CAN モード許可	R/W
31	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. リセット後の値は CAN-FD プロトコル対応製品では 0、クラシカル CAN プロトコルにのみ対応している製品では 1 です。
注 2. これらのビットは、クラシカル CAN 機能では使用できません。
注 3. このビットは CAN-FD プロトコル対応製品のみ書き込み可能なビットです。クラシカル CAN プロトコルにのみ対応している製品の場合、このビットは 1 に固定された予約ビットです。

チャネル n CANFD コンフィグレーションレジスタは、カウントするエラーの通信方向（送信／受信）を設定します。

EOCCFG[2:0]ビット（エラー発生カウンタ構成）

EOCCFG[2:0]ビットは、プロトコルエラーを含めて、どの種類の CAN フレーム設定と方向をカウントするかを選択します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

TDCOC ビット（トランシーバ遅延補償オフセット構成）(注1)

TDCOC ビットは、CANFD チャネルの第二サンプルポイント (SSP) の位置を定義する場合にどのオフセットを使用するかを選択します。本ビットが 0 に設定されると、SSP の位置は測定されたトランシーバ遅延+固定オフセットです。本ビットが 1 に設定されている場合、SSP の位置はオフセットのみで決まります。

CH_OPERATION モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

TDCE ビット（トランシーバ遅延補償許可）(注1)

TDCE ビットは、CANFD チャネルのトランシーバ遅延補償を有効にします。

CH_OPERATION モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

ESIC ビット（エラー状態表示構成）(注1)

ESIC ビットは、ESI フラグ情報または ESI フラグ情報のメッセージ（CFDCFFDCSTS.CFESI ないし CFDTMFDCTRb.TMESI）のどちらを送信するかを選択します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

TDCO[7:0]ビット（トランシーバ遅延補償オフセット）(注1)

TDCO[7:0]ビットは、二次サンプルポイントのオフセットを設定します。この値がどのように使用されるかは CFDC0FDCFG.TDCOC の設定によります。

CFDC0FDCFG.TDCOC = 0 の場合、トランシーバ遅延補償結果は、Trv_Delay（測定された遅延） + CFDC0FDCFG.TDCO の値（Tq の最も近い整数に切り捨て）です。CFDC0FDCFG.TDCOC = 0 でない場合、結果は CFDC0FDCFG.TDCO の値と等しくなります。CFDC0FDCFG.TDCO がどのように使用されるかは、「28.4.1.5. トランスミッタ遅延補償」を参照してください。

実際のオフセット値は、TDCO + 1 と判断されます。たとえば、TDCO に 4 が設定されている場合、オフセットは 5 クロックサイクルです。クロックサイクルは、CAN チャネル DLL クロックの 1 サイクルです。

CH_OPERATION モードまたは CH_SLEEP モードのとき、TDCO[7:0]ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

FDOE ビット（FD only 許可）(注1)

FDOE ビットは、CANFD only フレームの送受信を有効にします。有効時、クラシカル CAN フレームフォーマットでの通信はできません。メッセージバッファの FDF ビットが Don't care ビット (CFDCFFDCSTS.CFFDF/ CFDTMFDCTRb.TMFDF) なので、クラシカル CAN フレームは送信できません。

クラシカル CAN フレームフォーマットのメッセージを受信した場合、プロトコルコントローラは、このようなメッセージを無効フレームとして取り扱い、エラーフレームで応答します。クラシカル CAN フレームが送信に設定されている場合、FDF ビットはレセシブとして送信され、その結果 FD フレームが送信されます。データ長コード (DLC) が 9 バイト以上に設定されている場合、残りのデータバイトは 0xCC でパディングされます。

FDOE ビットは CH_OPERATION モード、CH_HALT モードまたは CH_SLEEP モードでは書き込みできません。

CFDC0FDCFG.FDOE と CFDC0FDCFG.CLOE を同時に 1 にしないでください。

REFE ビット（RX エッジフィルタ有効）

REFE ビットは、IDLE 検出（バス統合）中、RX エッジフィルタを有効にします。ビット有効時、同期エッジを検出するには、ドミナント Tq が 2 つ連続することが必要です。

REFE ビットは CH_OPERATION モード、CH_HALT モードおよび CH_SLEEP モードでは書き込みできません。クラシカル CAN モードのとき本ビットを設定しないでください。

CLOE ビット（クラシカル CAN 許可）(注1)

CLOE ビットは、クラシカル CAN モードを許可にします。本ビットが 1 のとき、プロトコルコントローラは、クラシカルフレームのみを送信可能で、FD フレームのフォームエラーまたは CRC エラーで応答します。

CFDC0FDCFG.CLOE と CFDC0FDCFG.FDOE を同時に 1 にしないでください。

CFDC0FDCFG.CLOE	CFDC0FDCFG.FDOE	チャネルモード
0	0	CANFD モード
0	1	FD only モード
1	0	クラシカル CAN モード
1	1	予約

CANFD モードは CANFD をサポートする製品に限り利用可能です。

CH_OPERATION モード、CH_HALT モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

CANFD チャネルが CH_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

28.2.9 CFDC0FDCTR : チャネル 0 CANFD コントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0108

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOCCLR	EOCCLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EOCCLR	エラー発生カウンタクリア 0: エラー発生カウンタをクリアしない 1: エラー発生カウンタをクリア	R/W
1	SOCCLR	成功発生カウンタクリア 0: 成功発生カウンタをクリアしない 1: 成功発生カウンタをクリア	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

チャネル n CANFD コントロールレジスタ (n = 0) は、エラー発生と成功発生のカウンタを制御します。

EOCCLR ビット（エラー発生カウンタクリア）

EOCCLR ビットは、エラー発生カウンタのクリアに使用されます。

CH_SLEEP モードまたは CH_RESET モードのとき、本ビットに書き込まないでください。読むと常に 0 が読めます。

本ビットは、CANFD モジュールロジックによって、かつ関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

SOCCLR ビット（成功発生カウンタクリア）

SOCCLR ビットは、成功発生カウンタのクリアに使用されます。

CH_SLEEP モードまたは CH_RESET モードのとき、本ビットに書き込まないでください。読むと常に 0 が読めます。

本ビットは、CANFD モジュールロジックによって、かつ関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

28.2.10 CFDC0FDSTS : チャネル 0 CANFD ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x010C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SOC[7:0]								EOC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TDCVF	—	—	—	—	—	SOCO	EOCO	TDCR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TDCR[7:0](注1)	トランシーバ遅延補償結果	R
8	EOCO	エラー発生カウンタオーバーフロー 0: エラー発生カウンタがオーバーフローしていない 1: エラー発生カウンタがオーバーフローした	R/W
9	SOCO	成功発生カウンタオーバーフロー 0: 成功発生カウンタがオーバーフローしていない 1: 成功発生カウンタがオーバーフローした	R/W
14:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15	TDCVF(注1)	トランシーバ遅延補償違反フラグ 0: トランシーバ遅延補償違反は発生していない 1: トランシーバ遅延補償違反が発生した	R/W
23:16	EOC[7:0]	エラー発生カウンタ これらのビットは、エラー発生カウンタ値を示します。	R
31:24	SOC[7:0]	成功発生カウンタ これらのビットは、成功発生カウンタ値を示します。	R

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

チャネル 0 CANFD ステータスレジスタは、トランシーバ遅延補償結果および関連する FIFO メッセージロストステータスを示します。

TDCR[7:0]ビット（トランシーバ遅延補償結果）

TDCR[7:0]ビットは、トランシーバ遅延の測定が完了したときに設定されます。

測定された遅延は、CAN チャネル DLL クロックの倍数です。結果は CFDC0FDCFG.TDCOC の設定と CFDC0FDCFG.TDCO のオフセット値によって異なります。この値がどのように導出されるかについては、「28.4.1.5. トランスミッタ遅延補償」を参照してください。

TDCR[7:0]ビットは、CFDC0FDCFG.TDCOC = 0 でトランシーバ遅延補償が許可されているとき (CFDC0FDCFG.TDCE = 1)、FDF ビットと RES ビット間の立ち下がりエッジで更新されます。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

注. これらのビットは、クラシカル CAN 機能では使用できません。

EOCO ビット（エラー発生カウンタオーバーフロー）

EOCO ビットは、関連する CAN チャネルのエラー発生カウンタがオーバーフローしたかどうかを示します。このビットは 0 を書き込むことによってクリアされます。1 の書き込みは無効です。

本ビットは、CFDC0FDSTS.EOC が 0xFF の状態で、CFDC0FDCFG.EOCCFG で定義されている設定に基づき CAN バスエラーが検出されると自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

SOCO ビット（成功発生カウンタオーバーフロー）

SOCO ビットは、関連する CAN チャネルの成功発生カウンタがオーバーフローしたかどうかを示します。このビットは 0 を書き込むことによってクリアされます。1 の書き込みは無効です。

本ビットは、CFDC0FDSTS.SOC が 0xFF で、メッセージ受信成功またはメッセージ送信成功が発生すると自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

TDCVF ビット（トランシーバ遅延補償違反フラグ）

CANFD モジュールは、送信データをビット単位で内部でキャプチャします。本データは次に、トランシーバループ遅延分だけ遅延している受信 CAN バスレベルと比較されます。

トランシーバ遅延は、温度のような物理パラメータにより多少変動します。結果ビット CFDC0FDSTS.TDCR は、各メッセージによって更新されます。しかしながら、一時的な最大遅延違反は見逃される場合があります。したがって、TDCVF ビットは本違反をキャプチャします。

このビットは 0 を書き込むことによってクリアされます。1 の書き込みは無効です。

本ビットは、トランシーバ遅延補償が最大遅延補償より大きく（6 データビット時間 - 2 clk_dlc）、内部ビットがオーバーランした場合に自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

注. このビットは、クラシカル CAN 機能では使用できません。

EOC[7:0]ビット（エラー発生カウンタ）

EOC[7:0]ビットは、SOC[7:0]ビットと一緒に使用され、縮小ペイロードビット長を利用するメッセージが他のメッセージと比べてエラー率が著しく高くなっている場合、ホスト制御により、アービトレーションビットレートと等しいペイロードビットレートまでフォールバックするオプションをサポートします。

高くなったエラー率は、CFDC0FDCFG.EOCCFG ビットの設定により検出可能です。

EOC[7:0]ビットは、CANFD モジュールロジックによってのみ設定されます。これらのビットは、CFDC0FDCTR.EOCCLR に 1 を書くことによってクリアされます。他の値の書き込みは無効です。

これらのビットは、CFDC0FDCFG.EOCCFG ビットの設定により、エラー発生時に更新されます。カウンタ値が 0xFF に達すると、更新は停止します。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

SOC[7:0]ビット（成功発生カウンタ）

SOC[7:0]ビットは、EOC[7:0]ビットと一緒に使用され、縮小ペイロードビット長を利用するメッセージが他のメッセージと比べてエラー率が著しく高くなっている場合、ホスト制御により、アービトレーションビットレートと等しいペイロードビットレートまでフォールバックするオプションをサポートします。

SOC[7:0]ビットは、CANFD モジュールロジックによってのみ設定されます。他の値の書き込みは無効です。

これらのビットは、送受信においてバス上にエラーのないメッセージの発生が検出されると更新されます。カウンタ値が 0xFF に達すると、更新は停止します。

注. ループバックモードでは、カウンタは 2 回インクリメントされます。

これらのビットは、CFDC0FDCTR.SOCCLR に 1 を書き込むことによってクリアされます。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

28.2.11 CFDC0FDCRC : チャネル 0 CANFD CRC レジスタ

このレジスタは、クラシカル CAN 機能では使用できません。

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0110

Bit position:	31				27			24			20																			0
Bit field:	—	—	—	—	SCNT[3:0]			—	—	—	CRCREG[20:0]																			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
20:0	CRCREG[20:0]	CRC レジスタ値 これらのビットは、CANFD フレームに対して計算された CRC 値を示します。	R
23:21	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
27:24	SCNT[3:0]	スタッフビット数 これらのビットは、CANFD フレームのスタッフビット数 (mod 8) を示します。	R
31:28	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

チャネル 0 CANFD CRC レジスタは、CANFD フレームについて計算された CRC 値を保持します。

CRCREG[20:0]ビット（CRC レジスタ値）

CRCREG[20:0]ビットは、CFDC0CTR.CTME ビットが有効のとき、CANFD チャネルロジックにより計算された CRC 値を示します。

CFDC0FDCRC.CRCREG 値は、CANFD フレーム（送受信）の CRC フィールドの第 1 ビットにおいて更新されます。

CFDC0CTR.CTME ビットが 0 の場合、CRCREG[20:0]ビットは読むと常に 0 が読み出されます。

CRC フィールドの 17 番目のビットが使用されると、CRCREG[20:17]ビットは読むと常に 0 が読み出されます。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

SCNT[3:0]ビット（スタッフビット数）

SCNT[3:0]ビットは、CANFD フレームのスタッフカウント値を示します。これらのビットは、CFDC0FDCRC.SCNT[3:1]において CFDC0CTR.CTME ビットが有効になっていると、CANFD フレームの挿入されたスタッフビット数（モジュロ 8、グレイコード化）を示します。SCNT[0]はパリティビットです。

CFDC0CTR.CTME ビットが 0 の場合、SCNT[3:0]ビットは読むと常に 0 が読み出されます。

SCNT 値は、CANFD フレーム（送受信）の CRC フィールドの第 1 ビットにおいて更新されます。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

28.2.12 CFDGCFG : グローバルコンフィグレーションレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ITRCP[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TSSS	TSP[3:0]				—	—	CMPOC	DCS	MME	DRE	DCE	TPRI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TPRI	送信優先順位 0: ID 優先 1: メッセージバッファ番号優先	R/W
1	DCE	DLC チェック有効 0: DLC チェック無効 1: DLC チェック有効	R/W
2	DRE	DLC 置換有効 0: DLC 置換無効 1: DLC 置換有効	R/W
3	MME	ミラーモード有効 0: ミラーモード無効 1: ミラーモード有効	R/W
4	DCS	データリンクコントローラクロック選択 0: 内部クリーンクロック 1: CANMCLK 端子に接続された外部クロックソース	R/W
5	CMPOC(注1)	CANFD メッセージペイロードオーバーフロー設定 0: メッセージを拒否 1: メッセージペイロードを設定メッセージサイズにカット	R/W
7:6	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
11:8	TSP[3:0]	タイムスタンププリスケーラ 0x0: タイムスタンププリスケーラ = 1 0x1: タイムスタンププリスケーラ = 2 0x2: タイムスタンププリスケーラ = 4 0x3 : タイムスタンププリスケーラ = 8 ⋮ 0xD: タイムスタンププリスケーラ = 8192 0xE: タイムスタンププリスケーラ = 16384 0xF: タイムスタンププリスケーラ = 32768	R/W
12	TSSS	タイムスタンプソース選択 0: タイムスタンプカウンタのソースクロックは周辺クロック 1: タイムスタンプカウンタのソースクロックはビットタイムクロック	R/W
15:13	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
31:16	ITRCP[15:0]	インターバルタイマ基準クロックプリスケーラ FIFO インターバルタイマプリスケーラ値	R/W

注 1. このビットは、クラシカル CAN 機能では使用できません。

グローバルコンフィグレーションレジスタは、全 TX メッセージバッファで使用される送信優先および CAN チャネルの CAN プロトコルエンジンのクロックソースを選択するのに使用されます。CFDGCFG レジスタは、タイムスタンプクロックのソースを選択したり、タイムスタンプクロックおよびインターバルタイマ基準クロックの周波数を設定するのにも使用されます。

TPRI ビット（送信優先順位）

TPRI ビットは、CAN チャネルの送信優先を選択します。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

メッセージバッファ番号優先は、TX キュー送信と一緒に使用しないでください。

DCE ビット（DLC チェック有効）

DCE ビットは、CAN チャネルのデータ長コード (DLC) チェックを有効にします。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

DRE ビット（DLC 置換有効）

DRE ビットも DCE ビットも 1 のとき、CANFD は、DLC チェックにパスした場合、DLC の設定値 (CFDGAFLP0r.GAFLDLC) を RX メッセージの宛先バッファまたは FIFO バッファに格納します。その他の場合は、RX メッセージの宛先バッファまたは FIFO バッファの DLC 値は変化しません。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

MME ビット（ミラーモード有効）

MME ビットは、CAN チャネルのミラーモードを有効にします。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

DCS ビット（データリンクコントローラクロック選択）

DCS ビットは、CAN 通信のクロックソースを選択します。内部クリーンクロックは、周辺クロック B (PCLKB) よりもクロックジッタが小さくなっています。

GL_SLEEP モードまたは GL_OPERATION モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

CMPOC ビット（CANFD メッセージペイロードオーバーフロー設定）

CMPOC ビットは、受信したペイロードがメッセージバッファペイロードサイズ (CFDRMNB.RMPLS, CFDRFCCa.RFPLS, CFDCFCC.CFPLS) より大きい場合、メッセージペイロードアクセプタンスメカニズムを制御します。受信したメッセージのペイロードは、常にメッセージバッファの使用可能なメッセージペイロードサイズと比較されます。

GL_SLEEP モードまたは GL_OPERATION モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

本ビットが 1 のときにペイロードオーバーフローが起こると、DLC 値は変更されずに RX メッセージバッファまたは FIFO バッファに格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

TSP[3:0]ビット（タイムスタンププリスケーラ）

TSP[3:0]ビットに設定された値は、タイムスタンプカウンタで使用されるクロックソースの期間を定義します。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TSSS ビット（タイムスタンプソース選択）

TSSS ビットでは、タイムスタンプカウンタのクロックソースを選択できます。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。さらに、CANFD 通信使用中は本ビットを 1 にしないでください。(注1)

注. ビットタイムクロックは、公称およびデータレートビット設定に応じて変わります。

注 1. この機能は、クラシカル CAN 機能では使用できません。

ITRCP[15:0]ビット（インターバルタイマ基準クロックプリスケーラ）

ITRCP[15:0]ビットでは、FIFO インターバルタイマソースクロックの基準クロックを定義できます。

これらのビットが 0x0000 のとき、タイマは無効です。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

28.2.13 CFDGCTR : グローバルコントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CMPOFIE	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
1:0	GMDC[1:0]	グローバルモード制御 0 0: グローバルオペレーションモード要求 0 1: グローバルリセットモード要求 1 0: グローバル halt モード要求 1 1: 現在値を維持	R/W
2	GSLPR	グローバルスリープ要求 0: グローバルスリープ要求禁止 1: グローバルスリープ要求許可	R/W
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	DEIE	DLC チェック割り込み許可 0: DLC チェック割り込み禁止 1: DLC チェック割り込み許可	R/W
9	MEIE	メッセージロストエラー割り込み許可 0: メッセージロストエラー割り込み禁止 1: メッセージロストエラー割り込み許可	R/W
10	THLEIE	TX 履歴リストエントリロスト割り込み許可 0: TX 履歴リストエントリロスト割り込み禁止 1: TX 履歴リストエントリロスト割り込み許可	R/W
11	CMPOFIE(注1)	CANFD メッセージペイロードオーバーフローフラグ割り込み許可 0: CANFD メッセージペイロードオーバーフローフラグ割り込み禁止 1: CANFD メッセージペイロードオーバーフローフラグ割り込み許可	R/W
15:12	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	TSRST	タイムスタンプリセット 0: タイムスタンプはリセットされない 1: タイムスタンプはリセットされる	R/W
31:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. このビットは、クラシカル CAN 機能では使用できません。

グローバルコントロールレジスタは、CANFD モジュールのグローバルモードおよびタイムスタンプ機能を制御します。本レジスタは、グローバルエラー割り込みの許可および禁止も行います。

GMDC ビット（グローバルモード制御）

GMDC ビットを使用して、CANFD モジュールのモードを設定することができます。さらに、CANFD モジュールがリセットモードのとき CFDGCTR.GSLPR ビットが 1 であれば、CANFD モジュールはグローバルスリープモードに遷移します。

GMDC ビットの 11b への設定は無効です。モードの遷移については「28.3.2. グローバルモード」に詳述しています。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

GSLPR ビット（グローバルスリープ要求）

GSLPR ビットは、CAN チャネルを含めて、CANFD モジュールへのスリープ要求をグローバルに選択します。チャネルスリープ要求は自動でチャネルに設定されます。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合のみ本ビットへの書き込みを行ってください。

DEIE ビット（DLC チェック割り込み許可）

DEIE ビットが 1 のとき、受信フレームに DLC エラーが検出された場合割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

MEIE ビット（メッセージロストエラー割り込み許可）

MEIE ビットが 1 のとき、メッセージロスト状態が起きると割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

THLEIE ビット（TX 履歴リストエントリロスト割り込み許可）

THLEIE ビットが 1 のとき、TX 履歴リストエントリロスト状態が起きると割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CMPOFIE ビット（CANFD メッセージペイロードオーバーフローフラグ割り込み許可）

CMPOFIE ビットが 1 のとき、CANFD メッセージペイロードオーバーフロー状態が起きると割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TSRST ビット（タイムスタンプリセット）

TSRST ビットが 1 のとき、グローバルタイムスタンプレジスタは 0x0000 にリセットされます。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。

読むと常に 0 が読めます。

本ビットは、CANFD モジュールロジックにより自動的にクリアされます。

28.2.14 CFDGSTS : グローバルステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x001C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	GRAM INIT	GSLP STS	GHLT STS	GRST STS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

ビット	シンボル	機能	R/W
0	GRSTSTS	グローバルリセットステータス 0: リセットモードではない 1: リセットモードである	R
1	GHLTSTS	グローバル halt ステータス 0: halt モードではない 1: halt モードである	R
2	GSLPSTS	グローバルスリープステータス 0: スリープモードではない 1: スリープモードである	R
3	GRAMINIT	グローバル RAM 初期化 0: RAM 初期化完了 1: RAM 初期化実行中	R
31:4	—	読むと 0 が読めます。	R

グローバルステータスレジスタは CANFD モジュールのグローバルステータスを表示するレジスタです。

GRSTSTS ビット（グローバルリセットステータス）

GRSTSTS ビットは、グローバル CANFD モジュールリセットモードの状態を表示します。

本ビットは、CANFD モジュールが GL_RESET モードになると自動的に 1 になります。モードが GL_RESET から GL_SLEEP に遷移しても、本ビットは 1 のままです。

本ビットは、CANFD モジュールが GL_RESET モードから抜けると自動的にクリアされます。

GHLTSTS ビット（グローバル halt ステータス）

GHLTSTS ビットは、グローバル CANFD モジュール halt モードの状態を表示します。

本ビットは、CANFD モジュールが GL_HALT モードになると自動的に 1 になります。

本ビットは、CANFD モジュールが GL_HALT モードから抜けると自動的にクリアされます。

GSLPSTS ビット（グローバルスリープステータス）

GSLPSTS ビットは、グローバル CANFD モジュールスリープモードの状態を表示します。

本ビットは、CANFD モジュールが GL_SLEEP モードになると自動的に 1 になります。

本ビットは、CANFD モジュールが GL_SLEEP モードから抜けると自動的にクリアされます。

GRAMINIT ビット（グローバル RAM 初期化）

GRAMINIT ビットは、グローバル CANFD モジュール RAM 初期化の状態を表示します。

本ビットは、CANFD モジュールがハードウェアリセット後 GL_SLEEP モードになると自動的に 1 になります。

本ビットは、CANFD モジュールが RAM 初期化を完了すると自動的にクリアされます。

本ビットは、test_mode 入力ポートが 1 に設定されるとクリアされます。

28.2.15 CFDGERFL : グローバルエラーフラグレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EEF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	CMPOF	THLES	MES	DEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DEF	DLC エラーフラグ 0: DLC エラー未検出 1: DLC エラー検出	R/W
1	MES	メッセージロストエラーステータス 0: メッセージロストエラー未検出 1: メッセージロストエラー検出	R
2	THLES	TX 履歴リストエントリロストエラーステータス 0: TX 履歴リストエントリロストエラー未検出 1: TX 履歴リストエントリロストエラー検出	R
3	CMPOF(注1)	CANFD メッセージペイロードオーバーフローフラグ 0: CANFD メッセージペイロードオーバーフロー未検出 1: CANFD メッセージペイロードオーバーフロー検出	R/W
4	—	読むと 0 が読めます。 書く場合、0 としてください。	R
5	—	読むと 0 が読めます。 書く場合、0 としてください。	R
6	—	読むと 0 が読めます。 書く場合、0 としてください。	R
15:7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	EEF0	ECC エラーフラグ 0: TX-SCAN 中 ECC エラー未検出 1: TX-SCAN 中 ECC エラー検出	R/W
31:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. このビットは、クラシカル CAN 機能では使用できません。

グローバルエラーフラグレジスタは、グローバルエラーが検出されたことを示します。

DEF ビット（DLC エラーフラグ）

DEF ビットは、DLC のエラー状態を示します。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

受信フレームに DLC エラーを検出すると、本ビットは自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

また、0 を書くことによって 0 になります。

このビットは GL_RESET モードで自動的にクリアされます。

MES ビット（メッセージロストエラーステータス）

MES ビットは、メッセージロストエラーの状態を示します。

FIFO メッセージロストエラーを検出すると、本ビットは自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- FIFO メッセージロストフラグがすべてクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき

THLES ビット（TX 履歴リストエントリロストエラーステータス）

THLES ビットは、TX 履歴リストエントリロストエラーの状態を示します。

TX 履歴リストエントリロストエラーを検出すると、本ビットは自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- TX 履歴リストエントリロストフラグがすべてクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき

CMPOF ビット（CANFD メッセージペイロードオーバーフローフラグ）

CMPOF ビットは、少なくとも 1 つのチャネルで CANFD メッセージペイロードオーバーフローが検出されると自動的に 1 になります。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。

また、0 を書くことによって 0 になります。1 の書き込みは無効です。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

このビットは GL_RESET モードで自動的にクリアされます。

注. このビットは、クラシカル CAN 機能では使用できません。

EEF0 ビット（ECC エラーフラグ）

EEF0 ビットは、チャネル 0 で ECC エラーが発生したかどうかを指定します。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。1 の書き込みは無効です。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

また、0 を書くことによって 0 になります。このビットは GL_RESET モードで自動的にクリアされます。

28.2.16 CFDGTINTSTS : グローバル TX 割り込みステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	THIF0	CFTIF0	TQIF0	TAI0	TSIF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSIF0	TX 成功割り込みフラグ 0: チャネル n の TX 成功割り込みフラグ未設定 1: チャネル n の TX 成功割り込みフラグ設定	R
1	TAI0	TX アボート割り込みフラグ 0: チャネル n の TX アボート割り込みフラグ未設定 1: チャネル n の TX アボート割り込みフラグ設定	R
2	TQIF0	TX キュー割り込みフラグ 0: チャネル n の TX キュー割り込みフラグ未設定 1: チャネル n の TX キュー割り込みフラグ設定	R
3	CFTIF0	COM FIFO TX モード割り込みフラグ 0: チャネル n の COM FIFO TX モード割り込みフラグ未設定 1: チャネル n の COM FIFO TX モード割り込みフラグ設定	R
4	THIF0	TX 履歴リスト割り込み 0: チャネル n の TX 履歴リスト割り込みフラグ未設定 1: チャネル n の TX 履歴リスト割り込みフラグ設定	R
31:5	—	読むと 0 が読めます。	R

グローバル TX 割り込みステータスレジスタは、送信固有の割り込みの検出を示します。

TSIF0 ビット（TX 成功割り込みフラグ）

TSIF0 ビットは、(割り込みが許可されているとき）関連するチャネルの TX 成功割り込みフラグが設定されると 1 になります。
本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する TX MB 結果ステータスビットがクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

TAI0 ビット（TX アボート割り込みフラグ）

TAIF0 ビットは、(割り込みが許可されているとき）関連するチャネルの TX アボート割り込みフラグが設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する TX MB 結果ステータスビットがクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

TQIF0 ビット（TX キュー割り込みフラグ）

TQIF0 ビットは、(割り込みが許可されているとき）関連するチャネルの TX キュー割り込みフラグが設定されると 1 になります。
本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する TX キュー割り込みフラグがクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

CFTIF0 ビット（COM FIFO TX モード割り込みフラグ）

CFTIFn ビットは、(割り込みが許可されているとき）関連する COM TX FIFO モード割り込みフラグ (CFDCFSTS.CFTXIF) が設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する COM TX FIFO モード割り込みフラグ (CFDCFSTS.CFTXIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

THIF0 ビット（TX 履歴リスト割り込み）

THIF0 ビットは、(割り込みが許可されているとき）関連する TX 履歴リスト割り込みフラグ (CFDTHLSTS.THLIF) が設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- （割り込み許可が無効な場合）関連する TX 履歴リスト割り込みフラグ (CFDTHLSTS.THLIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

28.2.17 CFDGTSC : グローバルタイムスタンプカウンタレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0024

Bit position:	31															15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TS[15:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TS[15:0]	タイムスタンプ値	R
31:16	—	読むと 0 が読めます。	R

グローバルタイムスタンプカウンタレジスタは、選択された設定に基づきタイムスタンプを格納します。

TS[15:0]ビット（タイムスタンプ値）

タイムスタンプ値は、TSSS、TSBTCS および TSP の設定に基づきグローバルタイムスタンプカウンタレジスタに格納されます。halt 状態に遷移中はタイムスタンプカウンタの精度は保証されません。

タイムスタンプ値は、TSSS、TSBTCS および TSP の設定に基づき本レジスタに格納されます。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合は TS[15:0]ビットへの書き込みは行わないでください。

TS[15:0]ビットは、GL_RESET モードのとき自動的にクリアされます。

28.2.18 CFDGAFLECTR : グローバルアクセプタンスフィルタリストエントリコントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0028

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	AFLDAE	—	—	—	—	—	—	—	AFLPN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	AFLPN	アクセプタンスフィルタリストページ番号 アクセプタンスフィルタリストページを選択します。	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	AFLDAE	アクセプタンスフィルタリストデータアクセス許可 0: アクセプタンスフィルタリストデータアクセス禁止 1: アクセプタンスフィルタリストデータアクセス許可	R/W
31:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

グローバルアクセプタンスフィルタリストエントリコントロールレジスタは、グローバルアクセプタンスフィルタリストからエントリを読み出したり書き込んだりするグローバルアクセプタンスフィルタリストページを選択するのに使用されます。

AFLPN ビット（アクセプタンスフィルタリストページ番号）

AFLPN ビットは、アクセプタンスフィルタリストの希望 RAM 領域へアクセスするためのページ番号を選択します。アクセプタンスフィルタリストページは、16 個のアクセプタンスフィルタリストエントリで構成されます。

アクセプタンスフィルタリストからの読み出しおよび書き込みは、固定ウィンドウを通してのみ実行可能です。

CANFD モジュールが GL_SLEEP モードの場合はこれらのビットへの書き込みは行わないでください。0 と 1（0 と 1 を含む）の間の値のみ入力してください。

AFLDAE ビット（アクセプタンスフィルタリストデータアクセス許可）

AFLDAE ビットは、アクセプタンスフィルタリストの設定後クリアされた場合、アクセプタンスフィルタリストへの書き込みを防止します。

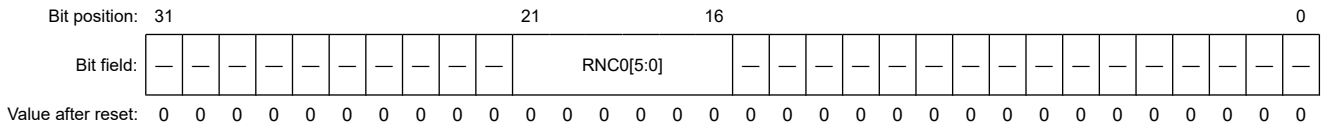
本ビットの状態に関係なくアクセプタンスフィルタリストからデータを読み出し可能です。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。アクセプタンスフィルタリストへの書き込みを許可するには本ビットを 1 にしてください。

28.2.19 CFDGAFLCFG: グローバルアクセプタンスフィルタリストコンフィグレーションレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x002C



ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
21:16	RNC0[5:0]	ルール番号 チャネル 0 専用ルール数	R/W
31:22	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

グローバルアクセプタンスフィルタリストコンフィグレーションレジスタは、アクセプタンスフィルタリスト内のエントリ用ルール数を定義するのに使用されます。

アクセプタンスフィルタリスト内で使用可能なエントリの総数は、32 です。

RNC0[5:0]ビット（ルール番号）

RNC0[5:0]ビットは、チャネル n について、アクセプタンスフィルタリスト内のルール数を定義します。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。32 ルールの場合、これらのビットは 6 に設定できます。

28.2.20 CFDGAFLIDr : グローバルアクセプタンスフィルタリスト ID レジスタ（r = 1～16）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0120 + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28:16]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GAFLID[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	GAFLID[28:0]	グローバルアクセプタンスフィルタリストエントリ ID フィールド グローバルアクセプタンスフィルタリストエントリの ID 部分	R/W
29	GAFLLB	グローバルアクセプタンスフィルタリストエントリループバック設定 0: 属性 RX によるアクセプタンスフィルタ処理用グローバルアクセプタンスフィルタリストエントリ ID 1: 属性 TX によるアクセプタンスフィルタ処理用グローバルアクセプタンスフィルタリストエントリ ID	R/W
30	GAFLRTR	グローバルアクセプタンスフィルタリストエントリ RTR フィールド 0: データフレーム 1: リモートフレーム	R/W
31	GAFLIDE	グローバルアクセプタンスフィルタリストエントリ IDE フィールド 0: ルールエントリ ID の標準 ID がアクセプタンスフィルタ処理に有効 1: ルールエントリ ID の拡張 ID がアクセプタンスフィルタ処理に有効	R/W

グローバルアクセプタンスフィルタリスト ID レジスタは、グローバルアクセプタンスフィルタリストにおけるエントリルール用 ID フィールドを設定するのに使用されます。

GAFLID[28:0]ビット（グローバルアクセプタンスフィルタリストエントリ ID フィールド）

GAFLID[28:0]ビットは、グローバルアクセプタンスフィルタリスト内の各エントリの CAN ID フィールドを表します。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

GAFLLB ビット（グローバルアクセプタンスフィルタリストエントリループバック設定）

GAFLLB ビットは、グローバルアクセプタンスフィルタリスト内のエントリの属性が RX なのか TX なのかを選択します。

本属性は、ミラーモード、ループバックモード、および標準（非ループバック）受信の際、エントリが有効かどうかを決定します。送受信、ループバックモードのタイプ、および RX/TX 属性別の、グローバルアクセプタンスフィルタリストエントリの有効性についての詳しい説明は「28.5.5. ループバックモード」を参照してください。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、このビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

GAFLRTR ビット（グローバルアクセプタンスフィルタリストエントリ RTR フィールド）

GAFLRTR ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、指定されたフレームフォーマット（データフレームまたはリモートフレーム）が設定できます。CAN チャネルの各ルールエントリについて、アクセプタンスフィルタ処理は、受信した CAN メッセージの RTR ビットと本ビットを比較します。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、このビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

GAFLIDE ビット（グローバルアクセプタンスフィルタリストエントリ IDE フィールド）

GAFLIDE ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、ID フォーマット（標準 ID または拡張 ID）が設定できます。CAN チャネルの各ルールエントリについて、アクセプタンスフィルタ処理は、受信した CAN メッセージの IDE ビットと本ビットを比較します。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、このビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

28.2.21 CFDGAFLMr : グローバルアクセプタンスフィルタリストマスクレジスタ (r = 1 ～16)

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0124 + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	GAFLIDEM	GAFLRTRM	GAFLIFL1	GAFLIDM[28:16]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GAFLIDM[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	GAFLIDM[28:0]	グローバルアクセプタンスフィルタリスト ID マスクフィールド ID フィールド用グローバルアクセプタンスフィルタリストマスクフィールドビット	R/W
29	GAFLIFL1	グローバルアクセプタンスフィルタリスト情報ラベル 1 グローバルアクセプタンスフィルタリスト情報ラベルビット 1	R/W
30	GAFLRTRM	グローバルアクセプタンスフィルタリストエントリ RTR マスク 0: RTR ビットは ID 一致に使用されない 1: RTR ビットは ID 一致に使用される	R/W
31	GAFLIDEM	グローバルアクセプタンスフィルタリスト IDE マスク 0: IDE ビットは ID 一致に使用されない 1: IDE ビットは ID 一致に使用される	R/W

グローバルアクセプタンスフィルタリストマスクレジスタは、グローバルアクセプタンスフィルタリストにおける各エントリルールのマスクフィールドを設定するのに使用されます。

GAFLIDM[28:0]ビット（グローバルアクセプタンスフィルタリスト ID マスクフィールド）

GAFLIDM[28:0]ビットは、各グローバルアクセプタンスフィルタリストエントリの CAN ID フィールド内の関連ビットのフィルタマスクビットです。

0	対応する STD-ID/EXT-ID ビットは ID 一致に使用されない
1	対応する STD-ID/EXT-ID ビットは ID 一致に使用される

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

GAFLIFL1 ビット（グローバルアクセプタンスフィルタリスト情報ラベル 1）

GAFLIFL1 ビットにより、グローバルアクセプタンスフィルタリスト内の関連エントリにより受け付けられた受信メッセージに付けられる 2 ビットの情報ラベルが設定できます。本ビットは、情報ラベルの MSB ビットです。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、着信メッセージの格納位置の情報ラベルフィールド[1]（CFDRMFDSTSb.RMIFL [1]、CFDRFFDSTSb.RFIFL [1]、CFDCFFDCSTS.CFIFL [1]）に格納されます。

GAFLRTRM ビット（グローバルアクセプタンスフィルタリストエントリ RTR マスク）

GAFLRTRM ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、RTR マスクビットが設定できます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

GAFLIDEM ビット（グローバルアクセプタンスフィルタリスト IDE マスク）

GAFLIDEM ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、IDE マスクビットが設定できます。

IDE マスクビットが 0 のとき、ID 比較は受信した IDE ビットによります。

受信した IDE ビットが 0 の場合、STD-ID 比較が行われます。

受信した IDE ビットが 1 の場合、EXT-ID 比較が行われます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

28.2.22 CFDGAFLP0r : グローバルアクセプタンスフィルタリストポインタ 0 レジスタ（r = 1～16）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0128 + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	GAFLPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GAFLRMV	—	—	GAFLRMDP[4:0]					GAFLIFL0	—	—	—	GAFLDLC[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	GAFLDLC[3:0]	グローバルアクセプタンスフィルタリスト DLC フィールド 受け付けに必要なデータフレーム内の最小データバイト数	R/W
6:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	GAFLIFL0	グローバルアクセプタンスフィルタリスト情報ラベル 0	R/W
12:8	GAFLRMDP[4:0]	グローバルアクセプタンスフィルタリスト RX メッセージバッファ方向ポインタ 受信メッセージ格納用 RX メッセージバッファ番号	R/W
14:13	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
15	GAFLRMV	グローバルアクセプタンスフィルタリスト RX メッセージバッファ有効 0: 単一のメッセージバッファ方向ポインタは無効 1: 単一のメッセージバッファ方向ポインタは有効	R/W
31:16	GAFLPTR[15:0]	グローバルアクセプタンスフィルタリストポインタ	R/W

グローバルアクセプタンスフィルタリストポインタ 0 レジスタは、グローバルアクセプタンスフィルタリスト内の各ルールエントリについて、データ長コード (DLC)、ソフトウェアポインタ、単一メッセージバッファ選択、およびメッセージバッファ方向ポインタを設定するのに使用されます。

GAFLDLC[3:0]ビット（グローバルアクセプタンスフィルタリスト DLC フィールド）

GAFLDLC[3:0]ビットにより、グローバルアクセプタンスフィルタリスト（自動 DLC フィルタ機能）内の関連エントリにより受け付けられるメッセージについて、最小データ長コード (DLC) 値が設定できます。

グローバルアクセプタンスフィルタリスト内のエントリにより受け付けられたメッセージの DLC 値が、本関連グローバルアクセプタンスフィルタリストエントリに設定された DLC 値以上の場合のみ、DLC フィルタ処理は合格となります。本フィールドが 0 の場合、対応するルールエントリについて自動 DLC フィルタ機能は無効です。

表 28.4 に、設定可能な DLC 値を示します。

表 28.4 DLC 値の設定

フォーマット	DLC[3]	DLC[2]	DLC[1]	DLC[0]	説明
CAN および CANFD	0	0	0	0	受信メッセージの DLC = 0 以上（DLC フィルタチェックは無効）
CAN および CANFD	0	0	0	1	受信メッセージの DLC = 1 以上
CAN および CANFD	0	0	1	0	受信メッセージの DLC = 2 以上
CAN および CANFD	0	0	1	1	受信メッセージの DLC = 3 以上
CAN および CANFD	0	1	0	0	受信メッセージの DLC = 4 以上
CAN および CANFD	0	1	0	1	受信メッセージの DLC = 5 以上
CAN および CANFD	0	1	1	0	受信メッセージの DLC = 6 以上
CAN および CANFD	0	1	1	1	受信メッセージの DLC = 7 以上
CAN	1	x	x	x	受信メッセージの DLC = 8 以上
CANFD	1	0	0	0	受信メッセージの DLC = 8 以上(注1)
CANFD	1	0	0	1	受信メッセージの DLC = 12 以上(注1)
CANFD	1	0	1	0	受信メッセージの DLC = 16 以上(注1)
CANFD	1	0	1	1	受信メッセージの DLC = 20 以上(注1)
CANFD	1	1	0	0	受信メッセージの DLC = 24 以上(注1)
CANFD	1	1	0	1	受信メッセージの DLC = 32 以上(注1)
CANFD	1	1	1	0	受信メッセージの DLC = 48 以上(注1)
CANFD	1	1	1	1	受信メッセージの DLC = 64(注1)

注 1. この設定は、クラシカル CAN 機能では使用できません。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

GAFLIFL0 ビット（グローバルアクセプタンスフィルタリスト情報ラベル 0）

GAFLIFL0 ビットにより、関連するグローバルアクセプタンスフィルタリストエントリにより受け付けられた受信メッセージに付けられる 2 ビットの情報ラベルが設定できます。本ビットは、情報ラベルの LSB ビットです。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットへは書き込みできません。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこのビットへの書き込みを行ってください。

本ビットは、着信メッセージの格納位置の情報ラベルフィールド[0] (CFDRMFDSTSb.RMIFL[0], CFDRFFDSTSb.RFIFL[0], CFDCFFDCSTS.CFIFL[0]) に格納されます。

GAFLRMDP[4:0]ビット（グローバルアクセプタンスフィルタリスト RX メッセージバッファ方向ポインタ）

GAFLRMDP[4:0]ビットにより、関連するグローバルアクセプタンスフィルタリストエントリのアクセプタンスチェックを合格した受信メッセージに対して、単一の受信メッセージバッファを宛先に設定できます。入力される値は、単一の宛先メッセージバッファ番号です。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

CFDRMNB.NRXMB[5:0]は、RX メッセージバッファ数を設定するために RX メッセージバッファ数レジスタで入力された値です。CFDGAFLP0r.GAFLRMDP[4:0]ビットで入力できる値は、0x00 と CFDMNB.NMB[5:0]～1 間の値のみです。

CFDRMNB.NRXMB[5:0] = 0x00 の場合、GAFLRMV ビットは 0 に設定してください。

GAFLRMV ビット（グローバルアクセプタンスフィルタリスト RX メッセージバッファ有効）

GAFLRMV ビットにより、関連するグローバルアクセプタンスフィルタリストエントリのアクセプタンスチェックを合格した受信メッセージに対して、宛先としての単一の受信メッセージバッファを有効または無効にできます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

GAFLPTR[15:0]ビット（グローバルアクセプタンスフィルタリストポインタ）

GAFLPTR[15:0]ビットにより、関連するグローバルアクセプタンスフィルタリストエントリにより受け付けられた受信メッセージに付けられる 16 ビットのポインタが設定できます。ポインタは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用可能です。ポインタ情報は、たとえば、AUTOSAR システムにおける受信メッセージの PDU ID 割り当てをサポートするのに使用可能です。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

28.2.23 CFDGAFLP1r : グローバルアクセプタンスフィルタリストポインタ 1 レジスタ（r = 1～16）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x012C + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	GAFL FDP8	—	—	—	—	—	—	GAFL FDP1	GAFL FDP0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GAFLFDP0	グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ 受信メッセージ格納用の FIFO 方向ポインタビット 0: RX FIFO 0 を受信宛先として無効にする 1: RX FIFO 0 を受信宛先として有効にする	R/W
1	GAFLFDP1	グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ 受信メッセージ格納用の FIFO 方向ポインタビット 0: RX FIFO 1 を受信宛先として無効にする 1: RX FIFO 1 を受信宛先として有効にする	R/W
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	GAFLFDP8	グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ 受信メッセージ格納用の FIFO 方向ポインタビット 0: 共通 FIFO を受信宛先として無効にする 1: 共通 FIFO を受信宛先として有効にする	R/W
31:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

グローバルアクセプタンスフィルタリストポインタ 1 レジスタは、グローバルアクセプタンスフィルタリストにおける各ルールエントリの FIFO 方向ポインタフィールドを設定するのに使用されます。

GAFLFDP8、GAFLFDP1、GAFLFDP0 ビット（グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ）

これらのビットにより、関連するグローバルアクセプタンスフィルタリストエントリのアクセプタンスチェックを合格した受信メッセージに対して、FIFO バッファを宛先に設定できます。GAFLFDP8、GAFLFDP1、GAFLFDP0 の各ビットは、専用 FIFO として設定されます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込みできません。

共通 FIFO での格納については、受信先は、RX FIFO として設定された共通 FIFO バッファのみが可能です。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

最大 2 個の宛先 FIFO バッファ、または 1 個の宛先 FIFO バッファ+RX メッセージバッファ 1 個のみ構成する必要があります。

28.2.24 CFDRMNB : RX メッセージバッファ数レジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0030

Bit position:	31	…	10	8	5	0
Bit field:	—	…	RMPLS[2:0]	—	—	NRXMB[5:0]
Value after reset:	0	…	0	0	0	0

ビット	シンボル	機能	R/W
5:0	NRXMB[5:0]	RX メッセージバッファ数	R/W
7:6	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
10:8	RMPLS[2:0]	受信メッセージバッファペイロードデータサイズ 0 0 0: 8 バイト 0 0 1: 12 バイト 0 1 0: 16 バイト 0 1 1: 20 バイト 1 0 0: 24 バイト 1 0 1: 32 バイト 1 1 0: 48 バイト 1 1 1: 64 バイト	R/W
31:11	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

RX メッセージバッファ数レジスタは、チャネルに割り当てられた RX メッセージバッファの総数を設定するのに使用されます。

NRXMB[5:0]ビット（RX メッセージバッファ数）

NRXMB[5:0]ビットは、RX メッセージバッファ数を設定するのに使用されます。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

0～32（0 と 32 を含む）の範囲でのみ値を設定してください。ここで、0x00 は、RX メッセージバッファは割り当てられないことを示します。

RMPLS[2:0]ビット（受信メッセージバッファペイロードデータサイズ）

RMPLS[2:0]ビットは、メッセージバッファペイロードデータサイズを設定するのに使用されます。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

28.2.25 CFDRMND : RX メッセージバッファ新規データレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0034

Bit position:	31																												0
Bit field:	RMNS[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RMNS[31:0]	RX メッセージバッファ新規データステータス 0: 新規データは対応する RX メッセージバッファに格納されない 1: 新規データは対応する RX メッセージバッファに格納される	R/W

RX メッセージバッファ新規データステータスレジスタは、RX メッセージバッファの新規データ格納状態を指定します。

RMNS[31:0]ビット（RX メッセージバッファ新規データステータス）

RMNS[31:0]ビットは、対応する RX メッセージバッファの新規データの状態を示します。RMNS ビット[0]は、RX メッセージバッファ[0]に対応し、順次同様に対応します。

CFDRMND のビット位置は、RXMB のバッファ番号に対応します。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合は、これらのビットへの書き込みは行わないでください。1 の書き込みは無効です。

これらのビットは、対応する RX メッセージバッファへのメッセージ格納が実行中の場合はクリアできません。これらのビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

これらのビットは、新規メッセージの格納が対応する RX メッセージバッファに行われる場合自動的に 1 になります。これらのビットは、0 を書くことによってクリアされます。これらのビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

CFDRMNB.RMPLS = 000b（最大 8 バイトのペイロード）の場合、メッセージ格納期間は PCLKB で 6 サイクルです。

CFDRMNB.RMPLS ＞ 000b の場合、メッセージ格納期間は、PCLKB で 6 サイクル + 4 バイトごとに 1（64 バイトの場合 PCLKB で最大 20 サイクル）

注. この機能は、クラシカル CAN 機能では使用できません。

28.2.26 CFDRFCCa : RX FIFO コンフィグレーション／コントロールレジスタ a（a = 0, 1）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x003C + 0x04 × a

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	RFPLS[2:0]			—	—	RFIE	RFE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFE	RX FIFO 許可 0: FIFO 禁止 1: FIFO 許可	R/W
1	RFIE	RX FIFO 割り込み許可 0: FIFO 割り込み発生禁止 1: FIFO 割り込み発生許可	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	RFPLS[2:0](注1)	Rx FIFO ペイロードデータサイズコンフィグレーション 0 0 0: 8 バイト 0 0 1: 12 バイト 0 1 0: 16 バイト 0 1 1: 20 バイト 1 0 0: 24 バイト 1 0 1: 32 バイト 1 1 0: 48 バイト 1 1 1: 64 バイト	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	RFDC[2:0]	RX FIFO 容量構成 0 0 0: FIFO 容量 = 0 メッセージ 0 0 1: FIFO 容量 = 4 メッセージ 0 1 0: FIFO 容量 = 8 メッセージ 0 1 1: FIFO 容量 = 16 メッセージ 1 0 0: FIFO 容量 = 32 メッセージ 1 0 1: FIFO 容量 = 48 メッセージ 1 1 0: 予約 1 1 1: 予約	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R

ビット	シンボル	機能	R/W
12	RFIM	RX FIFO 割り込みモード 0: RX FIFO カウンタが、RFIGCV より小さい値から RFIGCV に達したとき割り込み発生 1: 各受信メッセージの格納終了時に割り込み発生	R/W
15:13	RFIGCV[2:0]	RX FIFO 割り込み発生カウンタ値 0 0 0: FIFO が 1/8 フルになると割り込み発生 0 0 1: FIFO が 1/4 フルになると割り込み発生 0 1 0: FIFO が 3/8 フルになると割り込み発生 0 1 1: FIFO が 1/2 フルになると割り込み発生 1 0 0: FIFO が 5/8 フルになると割り込み発生 1 0 1: FIFO が 3/4 フルになると割り込み発生 1 1 0: FIFO が 7/8 フルになると割り込み発生 1 1 1: FIFO がフルになると割り込み発生	R/W
16	—	読むと 0 が読めます。 書く場合、0 としてください。	R
31:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

RX FIFO コンフィグレーション／コントロールレジスタは、2 つの RX FIFO を設定および制御するのに使用されます。

RFE ビット（RX FIFO 許可）

RFE ビットは、FIFO を有効にします。本ビットを 0 にすると、RX FIFO がクリアされエンプティになります。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION の場合のみ本ビットへの書き込みを行ってください。

本ビットは、設定された FIFO 容量が 0x000 より大きい (CFDRFCCa.RFDC > 0x000) 、かつ 0x110 より小さい場合のみ 1 に設定できます。

RFE ビットは、CFDRFCCa レジスタの他のビットが全部 1 に設定された後、CFDRFCCa レジスタに個別に書き込んで 1 に設定してください。

本ビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

RFIE ビット（RX FIFO 割り込み許可）

RFIE ビットは、FIFO 割り込みの発生を許可します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

RFPLS[2:0]ビット（Rx FIFO ペイロードデータサイズコンフィグレーション）

RFPLS[2:0]ビットは、RAM 内のメッセージデータペイロード割り当てを定義します。

これは、本 FIFO が受信できる最大バイト数です。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

注. これらのビットは、クラシカル CAN 機能では使用できません。

RFDC[2:0]ビット（RX FIFO 容量構成）

RFDC[2:0]ビットは、FIFO の容量をメッセージ数で選択します。FIFO 容量が 0 メッセージに設定されている場合、FIFO は使用できません。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

RFIM ビット（RX FIFO 割り込みモード）

RFIM ビットは、FIFO の割り込み発生条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

RFIGCV[2:0]ビット（RX FIFO 割り込み発生カウンタ値）

RFIGCV[2:0]ビットは、FIFO 割り込みを発生させる FIFO のカウンタ値を選択します。これらの値は、割り込みが発生する FIFO 容量の分数を表します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

RFIGCV[2:0]ビットの設定は、RFDC[2:0]ビットと同期している必要があります。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

28.2.27 CFDRFSTSa : RX FIFO ステータスレジスタ a（a = 0, 1）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0044 + 0x04 × a

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RFMC[5:0]						—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	RFEMP	RX FIFO エンプティ 0: FIFO はエンプティではない 1: FIFO はエンプティ	R
1	RFFLL	RX FIFO フル 0: FIFO はフルではない 1: FIFO はフル	R
2	RFMLT	RX FIFO メッセージロスト 0: FIFO メッセージロスト発生なし 1: FIFO メッセージロスト発生あり	R/W
3	RFIF	RX FIFO 割り込みフラグ 0: FIFO 割り込み条件は成立していない 1: FIFO 割り込み条件は成立している	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	RFMC[5:0]	RX FIFO メッセージ数 FIFO に格納されているメッセージ数	R
31:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RX FIFO ステータスレジスタは、対応する FIFO バッファに格納されているメッセージの状態を示します。

RFEMP ビット（RX FIFO エンプティ）

RFEMP ビットは、以下の場合自動的に 1 になります。

- RFMC ビットが 0 のとき
- CFDRFCCa.RFE ビットを 0 に設定することにより RX FIFO が禁止されたとき
- CANFD モジュールが GL_RESET モードであるとき

RFEMP ビットは、最初のメッセージが RX FIFO バッファに格納されると自動的にクリアされます。

RFFLL ビット（RX FIFO フル）

RFFLL ビットは、FIFO バッファに格納されている CAN メッセージ数が設定されている FIFO 容量と一致すると自動的に 1 になります。

RFFLL ビットは以下の場合自動的にクリアされます。

- FIFO バッファに格納されている CAN メッセージ数が設定されている FIFO 容量以下になったとき
- CFDRFCCa.RFE ビットを 0 に設定することにより RX FIFO が禁止されたとき
- CANFD モジュールが GL_RESET モードであるとき

RFMLT ビット（RX FIFO メッセージロスト）

CANFD モジュールが GL_HALT モードまたは GL_OPERATION の場合のみ RFMLT ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

本ビットは、FIFO がすでに満杯のときに格納しようとしたことにより、メッセージが失われた場合、自動的に 1 になります。CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、ビットは 1 に設定されます。

本ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき

RFIF ビット（RX FIFO 割り込みフラグ）

RFIF ビットは、設定されている割り込み条件が成立すると自動的に 1 になります。本ビットは、RX FIFO バッファが禁止されると自動的にクリアされます。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION の場合のみ本ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、本ビットは 1 に設定されます。

本ビットは、0 を書き込むことによってクリアされます。本ビットは、CANFD モジュールが GL_RESET モードのときも自動的にクリアされます。

RFMC[5:0]ビット（RX FIFO メッセージ数）

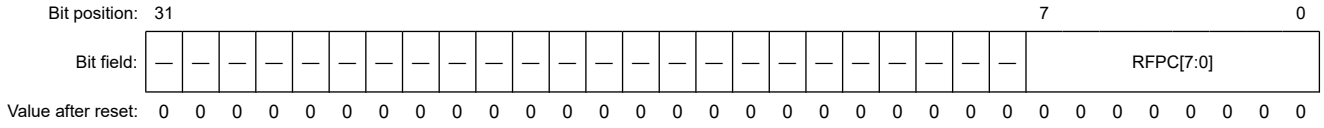
RFMC[5:0]ビットは、CPU が読み出し可能な RX FIFO バッファに格納されている CAN メッセージ数を示します。

これらのビットは、FIFO が禁止され、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

28.2.28 CFDRFPCTRa : RX FIFO ポインタコントロールレジスタ a（a = 0、1）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x004C + 0x04 × a



ビット	シンボル	機能	R/W
7:0	RFPC[7:0]	RX FIFO ポインタ制御 対応する RX FIFO バッファの読み出しポインタをインクリメントします。	W
31:8	—	書く場合、0 としてください。	W

RX FIFO ポインタコントロールレジスタ使って、対応する RX FIFO バッファの読み出しポインタをインクリメントできます。

RFPC ビット（RX FIFO ポインタ制御）

値 0xFF が RFPC ビットに書き込まれると、対応する RX FIFO バッファのポインタが次の FIFO エントリに移されます。対応する RX FIFO バッファが許可されておりエンプティでない場合のみ、これらのレジスタには 0xFF を書き込んでください。

読み取り値は常に 0x00 です。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合のみこれらのビットへの書き込みを行ってください。

DMA 有効時、RX FIFO ポインタコントロールレジスタに書き込まないでください。

28.2.29 CFDCFCC : 共通 FIFO コンフィグレーション／コントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0054

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CFITT[7:0]								CFDC[2:0]			—	—	—	CFTML[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CFIGCV[2:0]			CFIM	CFITR	CFITSS	—	CFM	—	CFPLS[2:0]			—	CFTXIE	CFRXIE	CFE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CFE	共通 FIFO 許可 0: FIFO 禁止 1: FIFO 許可	R/W
1	CFRXIE	共通 FIFO RX 割り込み許可 0: フレーム RX に対して FIFO 割り込み発生を禁止 1: フレーム RX に対して FIFO 割り込み発生を許可	R/W
2	CFTXIE	共通 FIFO TX 割り込み許可 0: フレーム TX に対して FIFO 割り込み発生を禁止 1: フレーム TX に対して FIFO 割り込み発生を許可	R/W
3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6:4	CFPLS[2:0](注1)	共通 FIFO ペイロードデータサイズコンフィグレーション 0 0 0: 8 バイト 0 0 1: 12 バイト 0 1 0: 16 バイト 0 1 1: 20 バイト 1 0 0: 24 バイト 1 0 1: 32 バイト 1 1 0: 48 バイト 1 1 1: 64 バイト	R/W
7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	CFM	共通 FIFO モード 0: RX FIFO モード 1: TX FIFO モード	R/W
9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
10	CFITSS	共通 FIFO インターバルタイマソース選択 0: 基準クロック（× 1 / × 10 期間） 1: 関連チャネルのビットタイムクロック（FIFO は固定チャネルにリンク付け）	R/W
11	CFITR	共通 FIFO インターバルタイマ分解能 0: 基準クロック期間 × 1 1: 基準クロック期間 × 10	R/W

ビット	シンボル	機能	R/W
12	CFIM	共通 FIFO 割り込みモード 0: RX FIFO モード：共通 FIFO カウンタが下位の値から CFIGCV 値に達したときに RX 割り込み発生 TX FIFO モード：共通 FIFO が最後のメッセージ送信に成功したとき TX 割り込み発生 1: RX FIFO モード：各受信メッセージの格納終了時に RX 割り込み発生 TX FIFO モード：メッセージ送信成功ごとに割り込み発生	R/W
15:13	CFIGCV[2:0]	共通 FIFO 割り込み発生カウンタ値 0 0 0: FIFO が 1/8 フルになると割り込み発生 0 0 1: FIFO が 1/4 フルになると割り込み発生 0 1 0: FIFO が 3/8 フルになると割り込み発生 0 1 1: FIFO が 1/2 フルになると割り込み発生 1 0 0: FIFO が 5/8 フルになると割り込み発生 1 0 1: FIFO が 3/4 フルになると割り込み発生 1 1 0: FIFO が 7/8 フルになると割り込み発生 1 1 1: FIFO がフルになると割り込み発生	R/W
17:16	CFTML[1:0]	共通 FIFO TX メッセージバッファリンク 対応するチャネルの送信スキャンリンク位置	R/W
20:18	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
23:21	CFDC[2:0]	共通 FIFO 容量構成 0 0 0: FIFO 容量 = 0 メッセージ 0 0 1: FIFO 容量 = 4 メッセージ 0 1 0: FIFO 容量 = 8 メッセージ 0 1 1: FIFO 容量 = 16 メッセージ 1 0 0: FIFO 容量 = 32 メッセージ 1 0 1: FIFO 容量 = 48 メッセージ 1 1 0: FIFO 容量 = 予約 1 1 1: FIFO 容量 = 予約	R/W
31:24	CFITT[7:0]	共通 FIFO インターバル送信時間 TX モードに設定時 FIFO からの送信開始を遅らせます。遅延は、基本インターバルタイマクロックソース単位の倍数です。	R/W

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

CFE ビット（共通 FIFO 許可）

CFE ビットを 1 にすると、FIFO が許可されます。CFE ビットを 0 にクリアすると、FIFO が禁止されます。

本ビットを 0 にクリアすることにより、TX モードに設定時共通 FIFO からの送信をアボートしたり、RX モードに設定時共通 FIFO への受信を停止するのにも使用されます。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャネルが TX FIFO として設定されている FIFO に対して CH_RESET モードでない場合のみ行ってください。

本ビットは、設定された FIFO 容量が 0x000 より大きい (CFDCFCC.CFDC > 0x000)、かつ 0x110 より小さい (0x110 > CFDCFCC.CFDC > 0x000) 場合のみ 1 に設定できます。

CFE ビットは、本レジスタの他のビットが全部 1 に設定された後、CFDCFCC レジスタに個別に書き込んで 1 に設定してください。

本ビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

本ビットは、FIFO が TX モードに設定されている場合、関連するチャネルが CH_RESET モードのときも自動的にクリアされます。

CFRXIE ビット（共通 FIFO RX 割り込み許可）

CFRXIE ビットは、対応する FIFO バッファでフレームを受信後に割り込みフラグが設定されると FIFO 割り込み発生を許可します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CFTXIE ビット（共通 FIFO TX 割り込み許可）

CFTXIE ビットは、対応する FIFO バッファからフレームを送信後に割り込みフラグが設定されると共通 FIFO 割り込み発生を許可します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CFPLS[2:0]ビット（共通 FIFO ペイロードデータサイズコンフィグレーション）

CFPLS[2:0]ビットは、RAM 内のメッセージデータペイロード割り当てを定義します。これは、FIFO バッファが送受信できる最大バイト数です。

詳細は、「28.6. FIFO バッファと通常のメッセージバッファの構成」を参照してください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

注. これらのビットは、クラシカル CAN 機能では使用できません。

CFM ビット（共通 FIFO モード）

CFM ビットは、FIFO のモードを選択します。ハードウェアリセットが適用されると、共通 FIFO バッファはすべて RX FIFO モードに設定されます。

GL_OPERATION モードまたは GL_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

CFITSS ビット（共通 FIFO インターバルタイマソース選択）

CFITSS ビットは、インターバル送信タイマの基本クロックソースを選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。また、CFE ビットが 1 の場合も本ビットに書き込まないでください。

CANFD 通信使用時に本ビットに 1 を書き込まないでください。(注1)

注. ビットタイムクロックは、公称およびデータレートビット設定に応じて変わります。

注 1. この機能は、クラシカル CAN 機能では使用できません。

CFITR ビット（共通 FIFO インターバルタイマ分解能）

CFITR ビットは、インターバル送信タイマの基準クロックの分解能を選択します（周辺クロックが基準クロックのソースです）。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。また、CFE ビットが 1 の場合も本ビットに書き込まないでください。

CFIM ビット（共通 FIFO 割り込みモード）

CFIM ビットは、FIFO バッファの割り込み発生条件を選択します。

GL_SLEEP モードのとき、本ビットに書き込まないでください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

CFIGCV[2:0]ビット（共通 FIFO 割り込み発生カウンタ値）

CFIGCV[2:0]ビットは、FIFO 割り込み発生のメッセージカウンタ値を選択します。これらの値は、割り込み発生対象の FIFO 容量の分数を表します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

これらのビットの設定は、CFDC[2:0]ビットと同期している必要があります。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

CFTML[1:0]ビット（共通 FIFO TX メッセージバッファリンク）

CFTML[1:0]ビットは、送信スキャン用に、TX FIFO のリンク先である通常の送信メッセージバッファ位置を選択します。

GL_OPERATION モードまたは GL_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

CFDC[2:0]ビット（共通 FIFO 容量構成）

CFDC[2:0]ビットは、共通 FIFO の容量をメッセージ数で選択します。FIFO 容量が 0 メッセージに設定されている場合、FIFO は使用できません。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

CFITT[7:0]ビット（共通 FIFO インターバル送信時間）

CFITT[7:0]ビットは、TX モードに設定時、本 FIFO バッファから送信される全メッセージの送信開始遅延を選択します。遅延は、基本インターバルタイマクロックソース期間の倍数です（基準クロック × 1、基準クロック × 10、または関連 CAN チャネルのビットタイムクロック）。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CFE ビットが 1 のとき、これらのビットに書き込まないでください。

CFDGCFG.ITRCP[15:0] = 0x0000 のとき、CFITT[7:0]ビットは 0x0000 に設定してください。

28.2.30 CFDCFSTS : 共通 FIFO ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0058

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CFMC[5:0]						—	—	—	CFTXIF	CFRXIF	CFMLT	CFFLL	CFEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	CFEMP	共通 FIFO エンプティ 0: FIFO はエンプティではない 1: FIFO はエンプティ	R
1	CFFLL	共通 FIFO フル 0: FIFO はフルではない 1: FIFO はフル	R
2	CFMLT	共通 FIFO メッセージロスト 0: FIFO で失われたメッセージ数 1: FIFO メッセージロスト発生あり	R/W
3	CFRXIF	共通 RX FIFO 割り込みフラグ 0: フレーム受信後 FIFO 割り込み条件が不成立 1: フレーム受信後 FIFO 割り込み条件が成立	R/W
4	CFTXIF	共通 TX FIFO 割り込みフラグ 0: フレーム送信後 FIFO 割り込み条件が不成立 1: フレーム送信後 FIFO 割り込み条件が成立	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
13:8	CFMC[5:0]	共通 FIFO メッセージ数 FIFO に格納されているメッセージ数	R
31:14	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

CFEMP ビット（共通 FIFO エンプティ）

CFEMP ビットは、以下の場合自動的に 1 になります。

- CPU が RX モードに設定されている FIFO からのメッセージをすべて読み出したとき
- すべてのメッセージが TX モードに設定されている FIFO から送信されたとき
- CFE ビットを 0 に設定することにより FIFO が禁止されているとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO が TX モードに設定されているときに、関連する CANFD チャネルが CH_RESET モードであるとき

CFEMP ビットは、以下の場合自動的にクリアされます。

- RX モードに設定時最初の受信メッセージが FIFO バッファに格納されたとき
- TX モードに設定時最初の送信メッセージが FIFO バッファに格納されたとき

CFFLL ビット（共通 FIFO フル）

CFFLL ビットは、FIFO に格納されている CAN メッセージ数が設定されている FIFO 容量と一致すると自動的に 1 になります。

CFFLL ビットは、以下の場合自動的にクリアされます。

- FIFO に格納されている CAN メッセージ数が設定されている FIFO 容量以下になったとき
- CFE ビットを 0 に設定することにより FIFO が禁止されているとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されているときに、関連する CANFD チャネルが CH_RESET モードであるとき

CFMLT ビット（共通 FIFO メッセージロスト）

CFMLT ビットは、RX モードで FIFO がすでに満杯のときに新しいメッセージを格納しようとしたことにより、メッセージが失われた場合、自動的に 1 になります。

CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、本ビットは 1 に設定されます。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャネルが TX FIFO として設定されている FIFO に対して CH_RESET モードでない場合のみ行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CFMLT ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されている場合に、関連する CANFD チャネルが CH_RESET モードであるとき

CFRXIF ビット（共通 RX FIFO 割り込みフラグ）

CFRXIF ビットは、共通 FIFO バッファが禁止されても自動的にクリアされません。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャネルが TX FIFO として設定されている FIFO に対して CH_RESET モードでない場合のみ行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

本ビットは、RX モードに設定されているときに、共通 FIFO バッファに設定されている割り込み条件が成立したとき自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

CFRXIF ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき

CFTXIF ビット（共通 TX FIFO 割り込みフラグ）

CFTXIF ビットは、共通 FIFO バッファが禁止されても自動的にクリアされません。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャネルが TX FIFO として設定されている FIFO バッファに対して CH_RESET モードでない場合のみ行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

本ビットは、TX モードに設定されている共通 FIFO バッファに対して設定されている割り込み条件が成立したとき自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

CFTXIF ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されている場合に、関連する CANFD チャネルが CH_RESET モードであるとき

CFMC[5:0]ビット（共通 FIFO メッセージ数）

CFMC[5:0]ビットは以下を示します。

- TX モードに設定されている FIFO バッファ内で送信を待っている、CPU により格納された CAN メッセージ数
- RX モードに設定されている FIFO バッファ内で CPU 読み出しを待っている、CANFD モジュールにより格納された CAN メッセージ数

CFMC[5:0]ビットは、以下の場合自動的にクリアされます。

- FIFO が禁止されているとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されている場合に、関連する CANFD チャネルが CH_RESET モードであるとき

28.2.31 CFDCFPCTR : 共通 FIFO ポインタコントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x005C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CFPC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CFPC[7:0]	共通 FIFO ポインタ制御 モード設定により、対応する共通 FIFO バッファの読み出し／書き込みポインタをインクリメントします。	W
31:8	—	書く場合、0 としてください。	W

共通 FIFO ポインタコントロールレジスタを使って、対応する共通 FIFO バッファの読み出し／書き込みポインタをインクリメントできます。

CFPC[7:0]ビット（共通 FIFO ポインタ制御）

値 0xFF が CFPC[7:0]ビットに書き込まれると、（RX モードに設定時）対応する共通 FIFO バッファの読み出しポインタ、または（TX モードに設定時）対応する FIFO バッファの書き込みポインタが次の FIFO エントリに移動します。

読み取り値は常に 0x00 です。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合のみこれらのビットへの書き込みを行ってください。

以下の場合のみ本レジスタに 0xFF を書き込んでください。

- RX モードに設定されている場合、共通 FIFO バッファが許可されており、エンプティではないとき
- TX モードに設定されている場合、共通 FIFO バッファが許可されており、満杯ではないとき

DMA 有効時、共通 FIFO ポインタコントロールレジスタに書き込まないでください。

28.2.32 CFDFESTS : FIFO エンプティステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0060

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFEMP	—	—	—	—	—	—	RFXEMP[1:0]	
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
1:0	RFXEMP[1:0]	RX FIFO 空ステータス 0: 対応 FIFO はエンプティではない 1 : 対応 FIFO はエンプティ	R
7:2	—	読むと 0 が読めます。	R
8	CFEMP	共通 FIFO 空ステータス 0: 対応 FIFO はエンプティではない 1 : 対応 FIFO はエンプティ	R
31:9	—	読むと 0 が読めます。	R

FIFO エンプティステータスレジスタは、FIFO バッファのエンプティビットの状態を示します。

RFXEMP[1:0]ビット（RX FIFO 空ステータス）

RFXEMP[1:0]ビットは、CANFD モジュールが GL_RESET モードのときにセットされます。

各ビットは、RX FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、RX FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

CFEMP ビット（共通 FIFO 空ステータス）

CFEMP ビットは、CANFD モジュールが GL_RESET モードのときにセットされます。

各ビットは、共通 FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、共通 FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

28.2.33 CFDFFSTS : FIFO フルステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0064

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFFLL	—	—	—	—	—	—	RFXFLL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXFLL[1:0]	RX FIFO フルステータス 0: 対応 FIFO はフルではない 1: 対応 FIFO はフル	R
7:2	—	読むと 0 が読めます。	R
8	CFFLL	共通 FIFO フルステータス 0: 対応 FIFO はフルではない 1: 対応 FIFO はフル	R
31:9	—	読むと 0 が読めます。	R

FIFO フルステータスレジスタは、FIFO バッファのフルビットの状態を示します。

RFXFLL[1:0]ビット（RX FIFO フルステータス）

RFXFLL[1:0]ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

各ビットは、RX FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、RX FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

CFFLL ビット（共通 FIFO フルステータス）

CFFLL ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

各ビットは、共通 FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、共通 FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

28.2.34 CFDFMSTS : FIFO メッセージロストステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0068

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFMLT	—	—	—	—	—	—	RFXMLT[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXMLT[1:0]	RX FIFO メッセージロストステータス 0: 対応する FIFO メッセージロストフラグが設定されていない 1 : 対応する FIFO メッセージロストフラグが設定されている	R
7:2	—	読むと 0 が読めます。	R
8	CFMLT	共通 FIFO メッセージロストステータス 0: 対応する FIFO メッセージロストフラグが設定されていない 1 : 対応する FIFO メッセージロストフラグが設定されている	R
31:9	—	読むと 0 が読めます。	R

FIFO メッセージロストステータスレジスタは、FIFO バッファのメッセージロストビットの状態を示します。

RFXMLT[1:0]ビット（RX FIFO メッセージロストステータス）

RFXMLT[1:0]ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

各ビットは、RX FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、RX FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

CFMLT ビット（共通 FIFO メッセージロストステータス）

CFMLT ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

各ビットは、共通 FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、共通 FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

28.2.35 CFDRFISTS : RX FIFO 割り込みフラグステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x006C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFXIF[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXIF[1:0]	RX FIFO[x]割り込みフラグステータス 0: 対応する RX FIFO 割り込みフラグが設定されていない 1: 対応する RX FIFO 割り込みフラグが設定されている	R
31:2	—	読むと 0 が読めます。	R

FIFO 割り込みフラグステータスレジスタは、RX FIFO バッファの割り込みフラグビットの状態を示します。

RFXIF[1:0]ビット（RX FIFO[x]割り込みフラグステータス）

各ビットは、RX FIFO ステータスレジスタの対応する割り込みフラグビットを 1 にすると自動的に 1 になります。

RFXIF[1:0]ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

各ビットは、RX FIFO ステータスレジスタの対応する割り込みフラグビットがクリアされると自動的にクリアされます。

28.2.36 CFDCDTCT : DMA 転送コントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFDMAE	—	—	—	—	—	—	RFDMAE1	RFDMAE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFDMAE0	RXFIFO 0 の DMA 転送許可 0: DMA 転送要求を禁止 1: DMA 転送要求を許可	R/W
1	RFDMAE1	RXFIFO 1 の DMA 転送許可 0: DMA 転送要求を禁止 1: DMA 転送要求を許可	R/W
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	CFDMAE	共通 FIFO 0 の DMA 転送許可 0: DMA 転送要求を禁止 1: DMA 転送要求を許可	R/W
31:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

DMA 転送コントロールレジスタは、DMA 転送動作の開始と停止を制御します。

RFDMAEe（e = 0, 1）ビット（RXFIFOe の DMA 転送許可）

RFDMAEe ビットは GL_SLEEP モードまたは GL_RESET モードでは設定できません。

本ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

CFDMAE ビット（共通 FIFO の DMA 転送許可）

CFDMAE ビットは、共通 FIFO に対して DMA 転送要求を許可または禁止します。

CFDMAE ビットは GL_SLEEP モードまたは GL_RESET モードでは設定できません。

TX FIFO として設定されている共通 FIFO に対して DMA 転送を許可しないでください。

本ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

28.2.37 CFDCDTSTS : DMA 転送ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00CC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFDMASTS	—	—	—	—	—	—	RFDMASTS1	RFDMASTS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFDMASTS0	RX FIFO 0 の DMA 転送ステータス 0: DMA 転送停止 1: DMA 転送実行中	R
1	RFDMASTS1	RX FIFO 1 の DMA 転送ステータス 0: DMA 転送停止 1: DMA 転送実行中	R
7:2	—	読むと 0 が読めます。	R
8	CFDMASTS	共通 FIFO のみの DMA 転送ステータス 0: DMA 転送停止 1: DMA 転送実行中	R
31:9	—	読むと 0 が読めます。	R

DMA 転送ステータスレジスタは、DMA 転送の状態を示します。

RFDMASTSe（e = 0、1）ビット（RX FIFO e の DMA 転送ステータス)

各ビットは、対応する DMA 許可ビットが設定され、対応する DMA FIFO がエンプティでない場合自動的に 1 になります。

各ビットは、DMA が禁止されるか DMA FIFO がエンプティになったため DMA 転送が停止すると自動的にクリアされます。

対応する FIFO に対して DMA 転送実行中に CFDCDTCT.RFDMAEe（「28.2.36. CFDCDTCT : DMA 転送コントロールレジスタ」の CFDCDTCT.RFDMAEe ビット参照）が 0 に設定されると、DMA 転送完了時 RFDMASTSe ビットは 0 になります。

本ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

CFDMASTS ビット（共通 FIFO のみの DMA 転送ステータス）

各ビットは、対応する DMA 許可ビットが設定され、対応する DMA FIFO がエンプティでない場合自動的に 1 になります。

各ビットは、DMA が禁止されるか DMA FIFO がエンプティになったため DMA 転送が停止すると自動的にクリアされます。

対応する FIFO に対して DMA 転送実行中に CFDCDTCT.CFDMAE（「28.2.36. CFDCDTCT : DMA 転送コントロールレジスタ」の CFDCDTCT.CFDMAE ビット参照）が 0 に設定されると、DMA 転送完了時 CFDMASTS ビットは 0 になります。

本ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

28.2.38 CFDTMCi : TX メッセージバッファコントロールレジスタ i（i = 0～3）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0070 + 0x01 × i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	TMOM	TMTAR	TMTR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMTR	TX メッセージバッファ送信要求 0: TX メッセージバッファ送信の要求なし 1: TX メッセージバッファ送信の要求あり	R/W
1	TMTAR	TX メッセージバッファ送信アボート要求 0: TX メッセージバッファ送信要求アボートの要求なし 1: TX メッセージバッファ送信要求アボートの要求あり	R/W

ビット	シンボル	機能	R/W
2	TMOM	TX メッセージバッファワンショットモード 0: TX メッセージバッファはワンショットモードに設定されていない 1: TX メッセージバッファはワンショットモードに設定されている	R/W
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

TX メッセージバッファコントロールレジスタは、TX メッセージバッファ機能を設定します。

TMTR ビット（TX メッセージバッファ送信要求）

TMTR ビットを 1 にすると、CANFD モジュールロジックは、対応するメッセージバッファに格納されているメッセージの送信を試みます。

関連する CANFD モジュールが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

対応する TX メッセージバッファが TX モードの COM FIFO にリンクされている、または TX キューの一部である場合、本ビットを 1 にしないでください。

本ビットは、CPU 書き込みによる直接クリアはできません。

本ビットは、メッセージバッファに対応する CFDTMSTSj レジスタの送信結果フラグビット (CFDTMSTSj.TMTRF) が 00b にクリアされた場合のみ 1 にできます。

TMTR ビットは、以下により自動的にクリアされます。

- 送信成功後の CANFD モジュールロジック
- 対応する CFDTMCi.TMTAR ビットにより要求された、送信アボート完了後の CANFD モジュールロジック
- メッセージバッファに対して CFDTMCi.TMOM ビットが設定されている場合、CAN バスエラーまたはアービトレーションロスト検出時の CANFD モジュールロジック
- CANFD モジュールが GL_RESET モードまたは関連するチャネルが CH_RESET モードの場合の CANFD モジュールロジック

TMTAR ビット（TX メッセージバッファ送信アボート要求）

TMTAR ビットを 1 にすると、CANFD モジュールロジックは、対応するメッセージバッファに格納されているフレーム送信のアボートを試みます。

多くの場合、送信のための内部スキャンが完了し、メッセージバッファがすでに送信用に選択済みの場合、送信はアボートできません。この場合、フレームはメッセージバッファからの送信に成功する可能性があります。メッセージバッファの選択は、CH_HALT モードになると解除されます。

しかしながら、CAN ノードが、選択されたメッセージバッファから送信を開始する前にバス（RX 端子）上に新しいメッセージを検出した場合、送信用に選択されたメッセージバッファはアボート要求によりアボート可能です。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ TMTAR ビットへの書き込みを行ってください。本ビットは、関連する送信要求 TMTR ビットが 1 の場合のみ 1 にすることができます。

TMTAR ビットは、CPU 書き込みによる直接クリアはできません。CANFD による本ビットのクリアは、CPU 書き込みによる設定に優先されます。

TMTAR ビットは、以下により自動的にクリアされます。

- 送信成功後の CANFD モジュールロジック
- 送信アボート後の CANFD モジュールロジック
- CAN バスエラーまたはアービトレーションロスト検出時の CANFD モジュールロジック
- CANFD モジュールが GL_RESET モードまたは関連するチャネルが CH_RESET モードに遷移した場合の CANFD モジュールロジック

TMOM ビット（TX メッセージバッファワンショットモード）

TMOM ビットを 1 にすると、CANFD モジュールロジックはメッセージの送信を 1 回だけ試みます。

送信に成功すると、CFDTMSTSj.TMTRF ビットは 10b または 11b に設定されます。バスエラーまたはアービトレーションロストにより送信に失敗した場合、送信は自動的にアボートされ、CFDTMSTSj.TMTRF ビットは 01b に設定されます。

送信成功時またはエラーやアービトレーションロストによりアボートされた場合、TMOM ビットは 1 のままです。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、TMTR ビットと同時に設定してください。また、本ビットのクリアは書き込みで行ってください。

あるメッセージの送信がすでに要求されている場合、そのメッセージ送信が成功するかアボートされるまで本ビットに書き込みを行わないでください。

TMOM ビットは、CANFD モジュールが GL_RESET モードまたは関連するチャネルが CH_RESET モードの場合、CANFD モジュールロジックにより自動的にクリアされます。

28.2.39 CFDTMSTSj : TX メッセージバッファステータスレジスタ j（j = 0～3）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0074 + 0x01 × j

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMTSTS	TX メッセージバッファ送信ステータス 0: 実行中の送信なし 1: 送信実行中	R
2:1	TMTRF[1:0]	TX メッセージバッファ送信結果フラグ 0 0: 結果なし 0 1: TX メッセージバッファからの送信アボート 1 0: TX メッセージバッファからの送信成功かつ送信アボートの要求なし 1 1: TX メッセージバッファからの送信成功かつ送信アボートの要求あり	R/W
3	TMTRM	TX メッセージバッファ送信要求のミラー 0: TX メッセージバッファ送信の要求なし 1: TX メッセージバッファ送信の要求あり	R
4	TMTARM	TX メッセージバッファ送信アボート要求のミラー 0: TX メッセージバッファ送信要求アボートの要求なし 1: TX メッセージバッファ送信要求アボートの要求あり	R
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

TX メッセージバッファステータスレジスタは、対応するメッセージバッファの送信状態および送信アボートの状態を示します。

TMTSTS ビット（TX メッセージバッファ送信ステータス）

TMTSTS ビットは、対応する TX メッセージバッファからの送信開始で自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- 送信が停止したとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

TMTRF[1:0]ビット（TX メッセージバッファ送信結果フラグ）

TMTRF[1:0]ビットは、対応する TX メッセージバッファの結果を示します。状態は以下のとおりです。

- 00: 送信実行中または要求されてない

- 01: 対応する TX メッセージバッファからの送信アボート
- 10: 対応する TX メッセージバッファからの送信が成功し、本 TX メッセージバッファに対し CFDTMCi.TMTAR ビットが 1 でない
- 11: 対応する TX メッセージバッファからの送信が成功したが、本 TX メッセージバッファに対し CFDTMCi.TMTAR ビットが 1 である

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみこれらのビットへの書き込みを行ってください。

CANFD モジュールが GL_RESET モードになるか、関連するチャネルが CH_RESET モードになると TMTRF[1:0] ビットは自動的にクリアされます。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

TMTRM ビット（TX メッセージバッファ送信要求のミラー）

TMTRM ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTR ビットが 1 のとき 1 になります。

本ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTR ビットがクリアされるとクリアされます。

TMTARM ビット（TX メッセージバッファ送信アボート要求のミラー）

TMTARM ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTAR ビットが 1 のとき 1 になります。

本ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTAR ビットがクリアされるとクリアされます。

28.2.40 CFDTMTRSTS : TX メッセージバッファ送信要求ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0078

Bit position:	31																												3	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CFDTMTRSTS[3:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CFDTMTRSTS[3:0]	TX メッセージバッファ送信要求ステータス 0: 対応する TX メッセージバッファへの送信要求なし 1: 対応する TX メッセージバッファへの送信要求あり	R
31:4	—	読むと 0 が読めます。	R

これらのビットは、対応する TX メッセージバッファの TX メッセージバッファ送信要求ステータスを示します。CFDTMTRSTS レジスタのビット 0 は TX メッセージバッファ 0 に対応します。

CFDTMTRSTS のビット位置は、TX メッセージバッファのバッファ番号に対応します。

CFDTMTRSTS[3:0]ビット（TX メッセージバッファ送信要求ステータス）

CFDTMTRSTS[3:0]ビットは、TX メッセージバッファコントロールレジスタの CFDTMCi.TMTR ビットの状態を示します。

各ビットは、TX メッセージバッファコントロールレジスタ (CFDTMCi) の対応するビットが 1 で、メッセージバッファが TX キューに属していない場合のみ自動的に 1 になります。

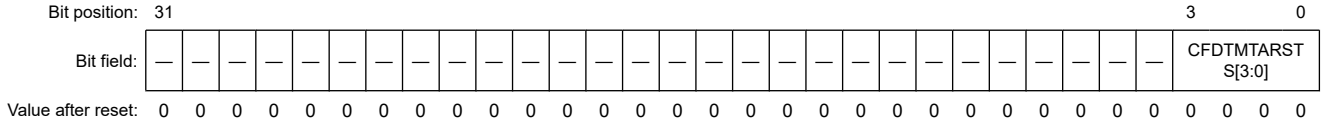
各ビットは以下の場合自動的にクリアされます。

- TX メッセージバッファコントロールレジスタの対応ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

28.2.41 CFDTMTARSTS : TX メッセージバッファ送信中断要求ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x007C



ビット	シンボル	機能	R/W
3:0	CFDTMTARSTS[3:0]	TX メッセージバッファ送信アボート要求ステータス 0: 対応する TX メッセージバッファへの送信アボート要求なし 1: 対応する TX メッセージバッファへの送信アボート要求あり	R
31:4	—	読むと 0 が読めます。	R

これらのビットは、対応する TX メッセージバッファの TX メッセージバッファ送信中断要求ステータスを示します。CFDTMTARSTS レジスタのビット 0 は TX メッセージバッファ 0 に対応します。

CFDTMTARSTS のビット位置は、TX メッセージバッファのバッファ番号に対応します。

CFDTMTARSTS[3:0]ビット（TX メッセージバッファ送信アボート要求ステータス）

CFDTMTARSTS[3:0]ビットは、TX メッセージバッファコントロールレジスタの CFDTMCi.TMTAR ビットの状態を示します。

各ビットは、TX メッセージバッファコントロールレジスタの対応するビットが 1 で、メッセージバッファが TX キューに属している場合自動的に 1 になります。

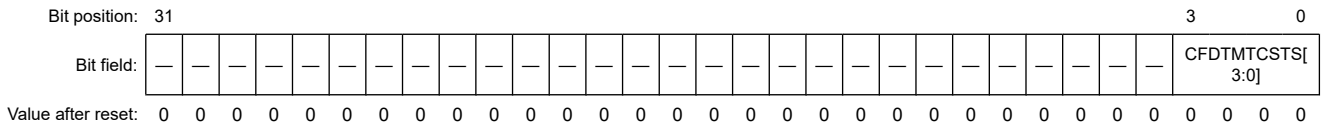
各ビットは以下の場合自動的にクリアされます。

- TX メッセージバッファコントロールレジスタの対応ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

28.2.42 CFDTMTCSTS : TX メッセージバッファ送信完了ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0080



ビット	シンボル	機能	R/W
3:0	CFDTMTCSTS[3:0]	TX メッセージバッファ送信完了ステータス 0: 対応する TX メッセージバッファへの送信は完了していない 1: 対応する TX メッセージバッファへの送信は完了した	R
31:4	—	読むと 0 が読めます。	R

これらのビットは、対応する TX メッセージバッファに対して TX メッセージバッファの送信完了状態を示します。CFDTMTCSTS レジスタのビット 0 は、TX メッセージバッファ 0 に対応します。

CFDTMTCSTS のビット位置は、TX メッセージバッファのバッファ番号に対応します。

CFDTMTCSTS[3:0]ビット（TX メッセージバッファ送信完了ステータス）

CFDTMTCSTS[3:0]ビットは、TX メッセージバッファステータスレジスタの送信完了状態を示します。

各ビットは、TX メッセージバッファステータスレジスタの対応するビットが 1 になると自動的に 1 になります。

各ビットは以下の場合、自動的にクリアされます。

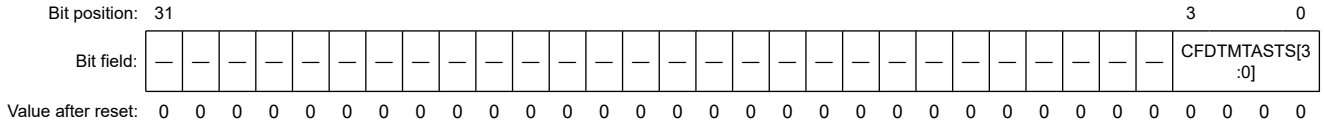
- TX メッセージバッファステータスレジスタの対応ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

CAN チャネルが CH_RESET モードになると、そのチャネルに関連するビットはクリアされます。

28.2.43 CFDTMTASTS : TX メッセージバッファ送信中断ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0084



ビット	シンボル	機能	R/W
3:0	CFDTMTASTS[3:0]	TX メッセージバッファ送信アボートステータス 0: 対応する TX メッセージバッファへの送信はアボートしていない 1 : 対応する TX メッセージバッファへの送信がアボートした	R
31:4	—	読むと 0 が読めます。	R

これらのビットは、対応する TX メッセージバッファに対して TX メッセージバッファの送信アボート状態を示します。CFDTMTASTS レジスタのビット 0 は、TX メッセージバッファ 0 に対応します。

CFDTMTASTS のビット位置は、TX メッセージバッファのバッファ番号に対応します。

CFDTMTASTS[3:0]ビット（TX メッセージバッファ送信アボートステータス）

CFDTMTASTS[3:0]ビットは、対応する TX メッセージバッファの送信アボート成功状態を示します。

各ビットは､対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF ビットが 01b になると自動的に 1 になります。

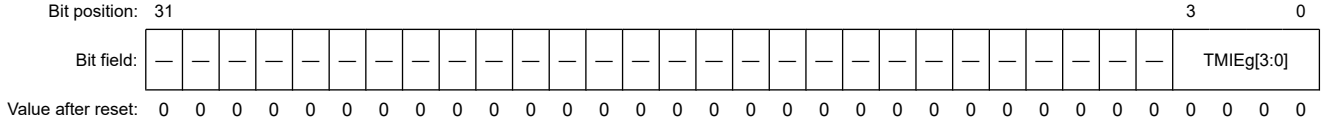
各ビットは以下の場合、自動的にクリアされます。

- 対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

28.2.44 CFDTMIEC : TX メッセージバッファ割り込み許可コンフィグレーションレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0088



ビット	シンボル	機能	R/W
3:0	TMIEg[3:0]	TX メッセージバッファ割り込み許可 0: 対応する TX メッセージバッファに対して TX メッセージバッファ割り込みを禁止 1: 対応する TX メッセージバッファに対して TX メッセージバッファ割り込みを許可	R/W
31:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R

これらのビットは、対応する TX メッセージバッファの TX メッセージバッファ割り込み許可を示します。
CFDTMIEC レジスタのビット 0 は TX メッセージバッファ 0 に対応します。
CFDTMIEC のビット位置は、TX メッセージバッファのバッファ番号に対応します。
g = [0…3]

TMIEg[3:0]ビット（TX メッセージバッファ割り込み許可）

TMIEg[3:0]ビットを 1 にすると、対応するメッセージバッファからの送信完了時割り込みが発生します。
TX メッセージバッファ割り込みの仕様については、「28.7. 割り込みと DMA」を参照してください。
以下のとき、TMIEg[7:0]ビットに書き込まないでください。

- CANFD モジュールが GL_SLEEP モードであるとき
- 関連する CANFD チャネルが CH_SLEEP モードであるとき
- 対応する TX メッセージバッファが TX キューの一部であるとき
- 対応する TX メッセージバッファが CFDCFCC.CFTML ビットで共通 FIFO にリンクされているとき

28.2.45 CFDTXQCC : TX キューコンフィグレーション／コントロールレジスタ

Base address: CANFD_B = 0x400B_0000
Offset address: 0x008C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TXQDC[1:0]		TXQIM	—	TXQTXIE	—	—	—	—	TXQE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TXQE	TX キュー許可 0: TX キュー禁止 1: TX キュー許可	R/W
4:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
5	TXQTXIE	TX キュー TX 割り込み許可 0: TX キュー TX 割り込み禁止 1: TX キュー TX 割り込み許可	R/W
6	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	TXQIM	TX キュー割り込みモード 0: 最後のメッセージの送信に成功したとき 1: 各送信成功時	R/W

ビット	シンボル	機能	R/W
9:8	TXQDC[1:0]	TX キュー深さ構成 0x00: 0 メッセージ 0x01: 予約 0x10: 3 メッセージ 0x11: 4 メッセージ	R/W
31:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

TX キューコンフィグレーション／コントロールレジスタは、TX キュー送信を設定するのに使用されます。

TXQE が許可に設定されているとき、TXQ は、TXMB0～TXMB3（最大）から構成されています。

TXQE ビット（TX キュー許可）

TXQE ビットは、設定されている TX キュー容量が 0x00 (CFDTXQCC.TXQDC == 0x00) の場合 1 に設定できません。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが CH_RESET モードまたは CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TXQE ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

TXQTXIE ビット（TX キュー TX 割り込み許可）

TXQTXIE ビットを 1 にすると、TXQIM ビットの設定に基づき割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TXQIM ビット（TX キュー割り込みモード）

TXQIM ビットは、TX キューの割り込み発生条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが下記のモードのいずれかの場合、本ビットへ書き込みを行わないでください。

- CH_SLEEP
- CH_HALT
- CH_OPERATION

TXQDC[1:0]ビット（TX キュー深さ構成）

TXQDC[1:0]ビットは、送信キューの容量を指定します。メッセージバッファ選択は、設定容量に従って MB[0]から開始し、最高 MB[3]までです。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが下記のモードのいずれかの場合、本ビットへ書き込みを行わないでください。

- CH_SLEEP
- CH_HALT
- CH_OPERATION

28.2.46 CFDTXQSTS : TX キューステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0090

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	TXQMC[2:0]			—	—	—	—	—	TXQTXIF	TXQFLL	TXQEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	TXQEMP	TX キューエンプティ 0: TX キューはエンプティではない 1: TX キューはエンプティ	R
1	TXQFLL	TX キューフル 0: TX キューはフルではない 1: TX キューはフル	R
2	TXQTXIF	TX キュー TX 割り込みフラグ 0: フレーム送信後 TX キュー割り込み条件が不成立 1: フレーム送信後 TX キュー割り込み条件が成立	R/W
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
10:8	TXQMC[2:0]	TX キューメッセージ数 TX キュー内のメッセージ数	R
31:11	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

TX キューステータスレジスタは、対応する CAN チャネルの TX キューの状態を示します。

TXQEMP ビット（TX キューエンプティ）

TXQEMP ビットは、TX キューが禁止されている、または TX キューにメッセージが格納されていない場合、自動的に 1 になります。

本ビットは以下の場合自動的に 1 になります。

- TX キューから最後のメッセージが送信されたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

本ビットは、送信対象の最初のメッセージが TX キューに格納されると自動的にクリアされます。

TXQFLL ビット（TX キューフル）

TXQFLL ビットは、TX キューに格納されている CAN メッセージ数が設定されている TX キュー容量と一致すると自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- TX キューに格納されている CAN メッセージ数が設定されている TX キュー容量以下になったとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

TXQTXIF ビット（TX キュー TX 割り込みフラグ）

TXQTXIF ビットは、TX キューが禁止されても自動的にクリアされません。

TX キューを停止する場合、TXQE を禁止し、TX キューがエンプティであることを確認後、本ビットをクリアしてください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。1 の書き込みは無効です。

本ビットは、TX キューに対して設定されている割り込み条件が成立すると自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

関連する CANFD チャネルが CH_SLEEP モードまたは CH_RESET モードの場合、本ビットへは書き込みできません。

本ビットは以下の場合クリアされます。

- 0 を書いたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

TXQMC[2:0][13:8]ビット（TX キューメッセージ数）

TXQMC[2:0]ビットは、TX キュー内の CAN メッセージの数を示します。

これらのビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

28.2.47 CFDTXQPCTR : TX キューポインタコントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0094

Bit position:	31																							7	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQPC[7:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TXQPC[7:0]	TX キューポインタコントロール 対応するチャネルの TX キューバッファへの書き込みポインタをインクリメントします。	W
31:8	—	書く場合、0 としてください。	W

TX キューポインタコントロールレジスタは、対応する TX キューバッファに 1 つのメッセージ全体が格納されたことを確認するのに使用されます。

TXQPC[7:0]ビット（TX キューポインタコントロール）

値 0xFF が TXQPC[7:0]ビットに書き込まれると、対応する TX キューバッファの書き込みポインタが更新され、本メッセージに対して送信要求が起動します。

読み取り値は常に 0x00 です。DMA 有効時、FIFO コントロールレジスタに書き込まないでください。

関連する CANFD チャネルが CH_SLEEP モードまたは CH_RESET モードの場合、これらのビットへは書き込みできません。

以下の場合のみ本レジスタに 0xFF を書き込んでください。

- 対応する TX キューが許可されており、フルではないとき
- 共通 FIFO が許可されているとき

28.2.48 CFDTHLCC : TX 履歴リストコンフィグレーション／コントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0098

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	THLDTE	THLIM	THLIE	—	—	—	—	—	—	—	THLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	THLE	TX 履歴リスト許可 0: TX 履歴リスト禁止 1: TX 履歴リスト許可	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	THLIE	TX 履歴リスト割り込み許可 0: TX 履歴リスト割り込み禁止 1: TX 履歴リスト割り込み許可	R/W
9	THLIM	TX 履歴リスト割り込みモード 0: TX 履歴リストレベルが TX 履歴リスト容量の¾になると割り込み発生 1: エントリ格納に成功するたびに割り込み発生	R/W
10	THLDTE	TX 履歴リスト専用 TX 許可 0: TX FIFO + TX キュー 1: フラット TX MB + TX FIFO + TX キュー	R/W
31:11	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

TX 履歴リストコンフィグレーション／コントロールレジスタは、TX 履歴リスト機能を設定します。

THLE ビット（TX 履歴リスト許可）

THLE ビットを 1 にすると、TX 履歴リストバッファが許可されます。

関連する CANFD チャネルが CH_RESET モードまたは CH_SLEEP モードの場合、本ビットへは書き込みできません。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

THLIE ビット（TX 履歴リスト割り込み許可）

THLIE ビットを 1 にすると、TX 履歴リスト割り込み発生が許可されます。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

THLIM ビット（TX 履歴リスト割り込みモード）

THLIM ビットは、FIFO の割り込み発生条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合は本ビットへの書き込みは行わないでください。

THLDTE ビット（TX 履歴リスト専用 TX 許可）

THLDTE ビットは、送信成功後 TX 履歴リストにエントリを格納する条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合は本ビットへの書き込みは行わないでください。

28.2.49 CFDTHLSTS : TX 履歴リストステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x009C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	THLMC[3:0]				—	—	—	—	THLIF	THLELT	THLFLL	THLEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	THLEMP	TX 履歴リストがエンプティ 0: TX 履歴リストがエンプティではない 1: TX 履歴リストがエンプティ	R
1	THLFLL	TX 履歴リストがフル 0: TX 履歴リストがフルではない 1: TX 履歴リストがフル	R
2	THLELT	TX 履歴リストのエントリロスト 0: TX 履歴リストにエントリロストなし 1: TX 履歴リストにエントリロストあり	R/W
3	THLIF	TX 履歴リスト割り込みフラグ 0: TX 履歴リスト割り込み条件が不成立 1: TX 履歴リスト割り込み条件が成立	R/W
7:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
11:8	THLMC[3:0]	TX 履歴リストメッセージ数 TX 履歴リストに格納されているメッセージ数	R
31:12	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

TX 履歴リストステータスレジスタは、TX 履歴リストバッファに格納されているデータの状態を示します。

THLEMP ビット（TX 履歴リストがエンプティ）

THLEMP ビットは、CPU が TX 履歴リストバッファから全エントリの読み出しを完了すると自動的に 1 になります

本ビットは、最初のエントリが TX 履歴リストに格納されると自動的にクリアされます。

本ビットは以下の場合、自動的に 1 になります。

- TX 履歴リストが禁止されているとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

THLFLL ビット（TX 履歴リストがフル）

THLFLL ビットは、TX 履歴リストバッファに格納されているエントリ数が設定されている TX 履歴リスト容量と一致すると自動的に 1 になります。

各 TX 履歴リストには最大 8 個のエントリを格納できます。

本ビットは以下の場合、自動的にクリアされます。

- TX 履歴リストバッファ内のエントリ数が TX 履歴リスト容量より小さいとき
- TX 履歴リストが禁止されているとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

THLELT ビット（TX 履歴リストのエントリロスト）

THLELT ビットは、関連する TX 履歴リストバッファがすでに満杯のため新規エントリが保存できない場合 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは以下の場合、クリアされます。

- 0 を書いたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

THLIF ビット（TX 履歴リスト割り込みフラグ）

THLIF ビットは、設定されている割り込み条件が成立すると 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは以下の場合、クリアされます。

- 0 を書いたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

このビットは、0 を書き込むことによってクリアされます。

本ビットは CH_RESET モードでは自動的にクリアされます。

THLMC[3:0]ビット（TX 履歴リストメッセージ数）

THLMC[3:0]ビットは、TX 履歴リストに格納された送信済みメッセージの数を示します。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

28.2.50 CFDTHLACC0 : TX 履歴リストアクセスレジスタ 0

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0740

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TMTS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	BN[1:0]		BT[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	BT[2:0]	バッファタイプ 0 0 1: フラット TX メッセージバッファ 0 1 0: TX FIFO メッセージバッファ番号 1 0 0: TX キューメッセージバッファ番号	R
4:3	BN[1:0]	バッファ番号 メッセージバッファ番号	R
15:5	—	読むと 0 が読めます。	R
31:16	TMTS[15:0]	送信タイムスタンプ ソフトウェアドライバの送信タイムスタンプ値	R

TX 履歴リストアクセスレジスタ 0 は、読み出したタイムスタンプ値に基づき、TX 履歴リスト内エントリへのアクセスを提供します。

BT[2:0]ビット（バッファタイプ）

BT[2:0]ビットは、FIFO バッファ、TX キューまたは TX メッセージバッファからの送信に引き続き、データが格納されたかどうかを示します。

BN[1:0]ビット（バッファ番号）

BN[1:0]ビットは、送信が成功したメッセージバッファを示します。共通 FIFO からメッセージが送信された場合、これらのビットは、送信のために共通 FIFO にリンクされているメッセージバッファを示します。

TMTS[15:0]ビット（送信タイムスタンプ）

TMTS[15:0]ビットは、ソフトウェアドライバで使用するタイムスタンプを示します。

28.2.51 CFDTHLACC1 : TX 履歴リストアクセスレジスタ 1

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0744

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TIFL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TID[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TID[15:0]	送信 ID これらのビットは、メッセージバッファリファレンス ID、TX FIFO リファレンス ID、または AFL ポインタフィールドがソフトウェアドライバ用に格納されたことを示します。	R
17:16	TIFL[1:0]	送信情報ラベル これらのビットは、メッセージバッファ情報ラベル、TX FIFO 情報ラベル、または AFL 情報ラベルがソフトウェアドライバ用に格納されたことを示します。	R
31:18	—	読むと 0 が読めます。	R

TX 履歴リストアクセスレジスタ 1 は、読み出したポインタ値に基づき、TX 履歴リスト内エントリへのアクセスを提供します。

TID[15:0]ビット（送信 ID）

TID[15:0]ビットは、ソフトウェアドライバがメッセージバッファリファレンス ID (CFDTMFDCTRb.TMPTR) または TX FIFO リファレンス ID (CFDCFFDCSTS.CFPTR) を使用可能かどうかを示します。

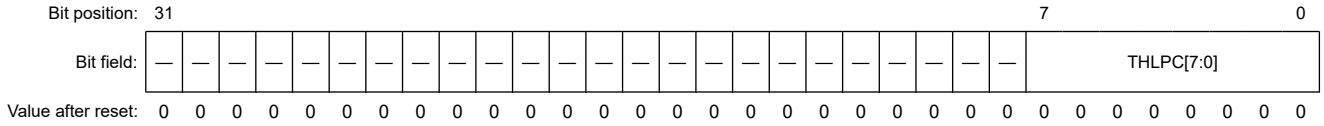
TIFL[1:0]ビット（送信情報ラベル）

TIFL[1:0]ビットは、ソフトウェアドライバがメッセージバッファ情報ラベル (CFDTMFDCTRb.TMIFL) または TX FIFO 情報ラベル (CFDCFFDCSTS.CFIFL) を使用可能かどうかを示します。

28.2.52 CFDTHLPCTR : TX 履歴リストポインタコントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00A0



ビット	シンボル	機能	R/W
7:0	THLPC[7:0]	TX 履歴リストポインタコントロール 対応するチャネルの TX 履歴リストへの書き込みポインタをインクリメントします。	W
31:8	—	書く場合、0 としてください。	W

TX 履歴リストポインタコントロールレジスタを使って、対応する TX 履歴リストの読み出しポインタをインクリメントします。

THLPC[7:0]ビット（TX 履歴リストポインタコントロール）

THLPC[7:0]ビットに 0xFF が書き込まれると、TX 履歴リストの読み出しポインタが次の TX 履歴リストエントリアドレスに移動します。

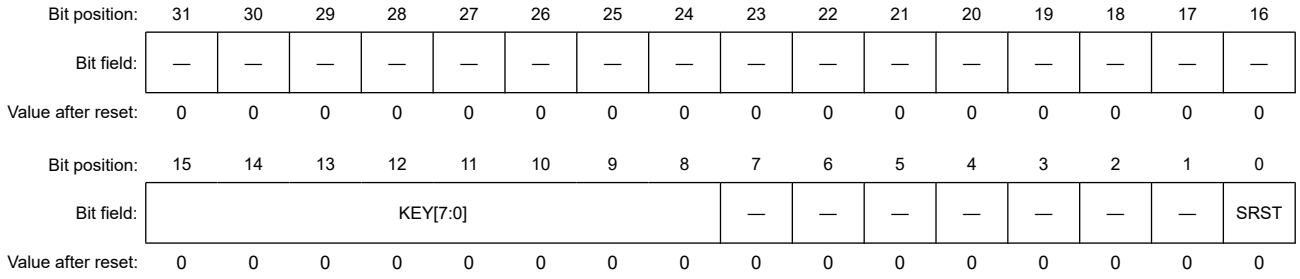
これらのビットの読み出し値は常に 0x00 です。関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみこれらのビットへの書き込みを行ってください。

対応する TX 履歴リストが有効でエンプティでない場合のみ、これらのレジスタには 0xFF を書き込んでください。

28.2.53 CFDGRSTC : グローバル SW リセットレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00D8



ビット	シンボル	機能	R/W
0	SRST	SW リセット 0: 通常状態 1: SW リセット状態	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード これらのビットは SRST ビット書き換えの有効性を制御します。	W
31:16	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

SRST ビット（SW リセット）

SRST ビットを 1 にすると、CANFD モジュールはハードウェアリセットと同じ状態になります。リセットが必要な場合は、本ビットに 1 を書いた後 0 を書きます。

本ビットは、CANFD モジュールが GL_SLEEP モードのときクリアされます。

本ビットがクリアされると、RAM 初期化シーケンスは動作しません。RAM の設定はソフトウェアが行います。

RAM 初期化中にソフトウェアリセットが実行されると、RAM は初期化されません。ソフトウェアは、RAM の初期化を実行する必要があります。

KEY[7:0]ビット（キーコード）

0xC4 が KEY[15:8]ビットに書き込まれると、SRST ビットへの書き込みが有効になります。

読み取り値は常に 0x00 です。

CFDGRSTC.SRST ビットと CFDGRSTC.KEY ビットは同時に書いてください。

28.2.54 CFDGTSTCFG : グローバルテストコンフィグレーションレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00A8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	RTMPS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
19:16	RTMPS[3:0]	RAM テストモードページ選択 RAM テストモードページを選択します。	R/W
31:20	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

グローバルテストコンフィグレーションレジスタは、RAM テストモードページを設定するのに使用されます。

RTMPS[3:0]ビット（RAM テストモードページ選択）

RTMPS[3:0]ビットは、CANFD モジュールが RAM テストモードに設定されているとき、CPU 読み出し／書き込みアクセスの RAM ページモードを選択します。

RAM のテストモード仕様については、「28.9.2.1. RAM テストモード」を参照してください。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合はこれらのビットへの書き込みは行わないでください。

メッセージバッファ RAM については 0～9 (0x009) の値のみを入力してください。

CANFD モジュールが GL_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

これらのビットは、関連する CANFD チャネルが GL_RESET モードになると自動的にクリアされます。

28.2.55 CFDGTSTCTR : グローバルテストコントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00AC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
2	RTME	RAM テストモード許可 0: RAM テストモード禁止 1: RAM テストモード許可	R/W
31:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

グローバルテストコントロールレジスタは、CANFD モジュールのグローバルテストモードを制御するのに使用されます。

RTME ビット（RAM テストモード許可）

RTME ビットを 1 にすると、CANFD モジュールは RAM テストモードに設定されます。RAM のテストモード仕様については、「28.9.2.1. RAM テストモード」を参照してください。

CANFD モジュールが GL_HALT モードの場合のみ本ビットへの書き込みを行ってください。

CANFD モジュールが GL_HALT モードの場合、本ビットをクリアしてください。

本ビットは、CANFD モジュールが GL_RESET モードのときに自動的にクリアされます。

28.2.56 CFDGFDCFG : グローバル FD コンフィグレーションレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00B0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TSCCFG[1:0]		—	—	—	—	—	—	—	RPED
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPED	RES ビットプロトコル例外禁止 0: プロトコル例外事象検出許可 1: プロトコル例外事象検出禁止	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
9:8	TSCCFG[1:0]	タイムスタンプキャプチャ設定 0 0: SOF（フレーム先頭）のサンプルポイントでタイムスタンプキャプチャ 0 1: フレーム有効表示時タイムスタンプキャプチャ 1 0: RES ビットのサンプルポイントでタイムスタンプキャプチャ 1 1: 予約ビット	R/W
31:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

RPED ビット（RES ビットプロトコル例外禁止）

RPED ビットは、ISO 11898-1 に従って、プロトコル例外事象処理を設定します。

本ビットが有効に設定されていると、プロトコル例外事象検出時（RES ビットはレセシブとしてサンプリングされる）、プロトコル例外事象検出は禁止され、プロトコルコントローラはエラーフレームを送信します。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TSCCFG[1:0]ビット（タイムスタンプキャプチャ設定）

TSCCFG[1:0]ビットは、送受信に対して異なるタイムスタンプキャプチャポイントを設定します。

CFDGFDCFG.TSCCFG[1:0]が 10b のとき、RES ビットで CANFD フレームのタイムスタンプキャプチャを、そしてフレーム先頭でクラシカルフレームのタイムスタンプキャプチャを実行します。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

28.2.57 CFDGLOCKK : グローバルロックキーレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00B8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LOCK[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	LOCK[15:0]	ロックキー テストモード保護をロック解除するためのキービット	W
31:16	—	書く場合、0 としてください。	W

グローバルロックキーレジスタは、特殊なテストビットの保護をロック解除するのに使用される書き込み専用のレジスタです。

ロックキー仕様については、「28.9.2. グローバルテストモード」を参照してください。

LOCK[15:0]ビット（ロックキー）

キーロック解除シーケンスを LOCK[15:0]ビットに書き込み、CANFD モジュールを FIFO OTB 禁止および RAM テストモードに設定する必要があります。

読み取り値は常に 0x0000 です。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合はこれらのビットへ書き込みできません。

CANFD モジュールが GL_OPERATION モードの場合はこれらのビットへの書き込みは行わないでください。

28.2.58 CFDRPGACCk: RAM テストページアクセスレジスタ k（k = 0～63）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0280 + 0x0004 × k

Bit position:	31																												0
Bit field:	RDTA[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RDTA[31:0]	RAM データテストアクセス RAM データバイト	R/W

RDTA[31:0]ビット（RAM データテストアクセス）

CANFD モジュールが RAM テストモードに設定されている場合、RDTA[31:0]ビットからのデータの読み出しまたは書き込みが可能です。

CANFD モジュールが GL_HALT モードで RAM テストモードが許可されている場合のみ本ビットへの書き込みを行ってください。

RAM テストモード時ソフトウェアは RAM テストページアクセスレジスタから読み出し／書き込みを行うものとします。

28.2.59 CFDGAFLIGNENT: グローバル AFL 無視エントリレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00C0

Bit position:	31																										4	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IRN[4:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	IRN[4:0]	イグノアルール番号 AFL エントリを無視するルール番号を定義します。	R/W
31:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

IRN[4:0]ビット（イグノアルール番号）

IRN[4:0]ビットは、AFL エントリを更新するルール番号を定義します。

入力する値は 0～31 (0x1F)（0 と 1 を含む）間の値のみとします。

CFDGAFLIGNCTR.IREN ビットが 0 の場合のみ、これらのビットに書き込んでください。

CANFD モジュールが GL_SLEEP モードの場合はこれらのビットへは書き込みできません。

28.2.60 CFDGAFLIGNCTR : グローバル AFL 無視コントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00C4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	IREN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IREN	無視ルール許可 0: AFL エントリ番号は無視されない 1: AFL エントリ番号は無視される	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード これらのビットは IREN ビット書き換えの有効性を制御します。	W
31:16	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

IREN ビット（無視ルール許可）

IREN ビットを 1 にすると、(CFDGAFLIGNENT レジスタで選択された）エントリ番号は無視されます。

本ビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

KEY[7:0]ビット（キーコード）

0xC4 が KEY[7:0]ビットに書き込まれると、IREN ビットへの書き込みが有効になります。

読み取り値は常に 0x00 です。

CFDGAFLIGNCTR.IREN ビットと CFDGAFLIGNCTR.KEY ビットは同時に書いてください。

28.2.61 CFDRMIEC : RX メッセージバッファ割り込み許可コンフィグレーションレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0038

Bit position:	31	0
Bit field:	RMIEg[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	RMIEg[31:0]	RX メッセージバッファ割り込み許可 0: 対応する RX メッセージバッファに対して RX メッセージバッファ割り込みを禁止 1: 対応する RX メッセージバッファに対して RX メッセージバッファ割り込みを許可	R/W

これらのビットは、対応する RX メッセージバッファに対して RX メッセージバッファ割り込みを許可するかどうかを示します。CFDRMIEC ビット 0 は、RX メッセージバッファ 0 に対応し、順次同様に対応します。

CFDRMIEC のビット位置は、RXMB のバッファ番号に対応します。

RMIEg[31:0]ビット（RX メッセージバッファ割り込み許可）

本ビットを 1 にすると、対応するメッセージバッファからの受信完了時割り込みが発生します。

詳細は、「28.7.1. 割り込み」を参照してください。

CANFD モジュールが GL_SLEEP モードの場合は、本ビットへは書き込みできません。

28.2.62 メッセージバッファコンポーネントの構造

28.2.62.1 開始アドレス

各メッセージバッファコンポーネントの開始アドレスは、関連するメッセージバッファコンポーネント数を使って計算されます。

メッセージバッファコンポーネント内の各レジスタの開始アドレスを表 28.5 に示します。

表 28.5 メッセージバッファコンポーネントレジスタの開始アドレス (1/2)

b = メッセージバッファコンポーネントインデックス	MBCP	p	レジスタ	開始アドレス
[0…31] b = [0…7]	RMBCPb[0]	x	RMID	0x0920 + b × 0x004C
		x	RMPTR	0x0924 + b × 0x004C
		x	RMFDSTSb	0x0928 + b × 0x004C
		[1…15]	RMDFbp	0x092C + b × 0x004C + p × 0x0004
[0…31] b = [8…15]	RMBCPb[0]	x	RMIDb	0x0D20 + (b-8) × 0x004C
		x	RMPTRb	0x0D24 + (b-8) × 0x004C
		x	RMFDSTSb	0x0D28 + (b-8) × 0x004C
		[1…15]	RMDFbp	0x0D2C + (b-8) × 0x004C + p × 0x0004
[0…31] b = [16…23]	RMBCPb[0]	x	RMIDb	0x1120 + (b-16) × 0x004C
		x	RMPTRb	0x1124 + (b-16) × 0x004C
		x	RMFDSTSb	0x1128 + (b-16) × 0x004C
		[1…15]	RMDFbp	0x112C + (b-16) × 0x004C + p × 0x0004
[0…31] b = [24…31]	RMBCPb[0]	x	RMIDb	0x1520 + (b-24) × 0x004C
		x	RMPTRb	0x1524 + (b-24) × 0x004C
		x	RMFDSTSb	0x1528 + (b-24) × 0x004C
		[1…15]	RMDFbp	0x152C + (b-24) × 0x004C + p × 0x0004
[0…1]	RFMBCPb[0]	x	RFIDb	0x0520 + b × 0x004C
		x	RFPTRb	0x0524 + b × 0x004C
		x	RFFDSTSb	0x0528 + b × 0x004C
		[1…15]	RFDFbp	0x052C + b × 0x004C + p × 0x0004
[0]	CFMBCPb[0]	x	CFID	0x05B8
		x	CFPTR0	0x05BC
		x	CFFDCSTS0	0x05C0
		[1…15]	CFDFp0	0x05C4 + p × 0x0004

表 28.5 メッセージバッファコンポーネントレジスタの開始アドレス (2/2)

b = メッセージバッファコンポーネントインデックス	MBCP	p	レジスタ	開始アドレス
[0…3]	TMBCPb[0]	x	TMIDb	0x0604 + b × 0x004C
		x	TMPTRb	0x0608 + b × 0x004C
		x	TMFDCTRb	0x060C + b × 0x004C
		[1…15]	TMDFbp	0x0610 + b × 0x004C + p × 0x0004

メッセージバッファの構成は、4 種類のメッセージバッファコンポーネントで構成されます。

- RX メッセージバッファコンポーネント (CFDRMBCPb[0])
- RX FIFO アクセスメッセージバッファコンポーネント (CFDRFMBCPb[0])
- 共通 FIFO アクセスメッセージバッファコンポーネント (CFDCFMBCPb[0])
- TX メッセージバッファコンポーネント (CFDTMBCPb[0])

ここで、b はメッセージバッファコンポーネントの種類により範囲が変わるメッセージバッファコンポーネントインデックスです。

本構成の概要については、図 28.29 を参照してください。メッセージバッファ数および種類についての詳細な説明については、「28.6. FIFO バッファと通常のメッセージバッファの構成」を参照してください。

「28.2. レジスタの説明」に示すように、各メッセージバッファコンポーネントは下記のレジスタから構成されます。

- 識別子 (ID)
- ポインタ (PTR)
- データフィールド (DFp)

ここで、p はメッセージバッファコンポーネントの種類により範囲が変わるデータフィールドレジスタインデックスです。

Rc はメッセージバッファコンポーネントレジスタですが、ここで c はメッセージバッファコンポーネントの種類により範囲が変わるメッセージバッファコンポーネントレジスタインデックスです。

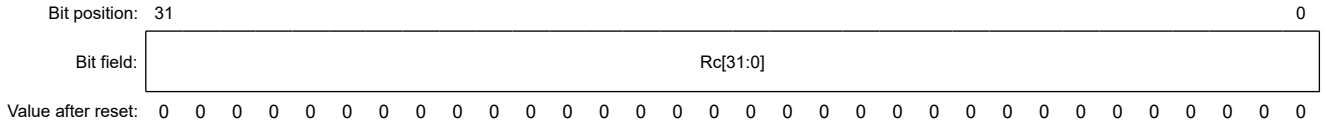
レジスタおよび関連するビットとそのアクセスの説明を、下記の概要と各コンポーネントの詳細図に示します。

各図において、'-'を含むセルは予約で、「28.2.62. メッセージバッファコンポーネントの構造」のレジスタの予約ビットと同じ動作をします。

28.2.62.2 CFDRMBCPb[0] : RX メッセージバッファコンポーネント b（b = 0～31）

Base address: CANFD_B = 0x400B_0000

Offset address: See 表 28.5



ビット	シンボル	機能	R/W
31:0	Rc[31:0]	RX メッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 28.6、表 28.7 および以下の説明を参照してください。	R/W

ここで、図 28.29 に示すように、CFDRMBCPb の合計数 = 32 です（c = RX メッセージバッファコンポーネントレジスタインデックス = [0...18]）。

Rc[31:0]ビット（RX メッセージバッファコンポーネント c）

RX メッセージバッファコンポーネントは下記のレジスタより構成されます。CFDRMIDb、CFDRMPTRb、CFDRMFDSTSb、CFDRMDFbp。本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 28.7 を参照してください。

表 28.6　RX メッセージバッファコンポーネントの概要

RX メッセージバッファコンポーネント (RMBCP)	
Rc	**CANFD モード (CAN_FD_MODE = 1'b1)**
R0	RX メッセージバッファ (b) ID レジスタ
R1	RX メッセージバッファ (b) ポインタレジスタ
R2	RX メッセージバッファ (b) CANFD ステータスレジスタ
R3	RX メッセージバッファ (b) データフィールド 0 レジスタ
R4	RX メッセージバッファ (b) データフィールド 1 レジスタ
R5	RX メッセージバッファ (b) データフィールド 2 レジスタ
R6	RX メッセージバッファ (b) データフィールド 3 レジスタ
R7	RX メッセージバッファ (b) データフィールド 4 レジスタ
R8	RX メッセージバッファ (b) データフィールド 5 レジスタ
R9	RX メッセージバッファ (b) データフィールド 6 レジスタ
R10	RX メッセージバッファ (b) データフィールド 7 レジスタ
R11	RX メッセージバッファ (b) データフィールド 8 レジスタ
R12	RX メッセージバッファ (b) データフィールド 9 レジスタ
R13	RX メッセージバッファ (b) データフィールド 10 レジスタ
R14	RX メッセージバッファ (b) データフィールド 11 レジスタ
R15	RX メッセージバッファ (b) データフィールド 12 レジスタ
R16	RX メッセージバッファ (b) データフィールド 13 レジスタ
R17	RX メッセージバッファ (b) データフィールド 14 レジスタ
R18	RX メッセージバッファ (b) データフィールド 15 レジスタ
R[19...31]	—

表 28.7　RX メッセージバッファコンポーネント (RMBCP) の詳細

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDRMIDb	RMIDE	RMRTR	—	RMID																												
R1	x	CFDRMPTRb	RMDLC			—	—	—	—	—	—	—	—	—	—	—	—	—	RMTS															
R2	x	CFDRMFDSTSb	RMPTR																—	—	—	—	—	—	RMIFL		—	—	—	—	—	RMFDF	RMBRS	RMESI
R3	0	CFDRMDFbp	RMDB_HH								RMDB_HL								RMDB_LH								RMDB_LL							
R[4…18]	[1…15]	CFDRMDFbp	RMDB_HH								RMDB_HL								RMDB_LH								RMDB_LL							

28.2.62.3 CFDRMIDb : RX メッセージバッファ ID レジスタ（b = 0～31）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0920 + 0x004C × b (b = 0～7)
0x0D20 + 0x004C × (b - 8) (b = 8～15)
0x01120 + 0x004C × (b - 16) (b = 16～23)
0x01520 + 0x004C × (b - 24) (b = 24～31)

Bit position:	31	30	28	0
Bit field:	RMIDE	RMRTR	—	RMID[28:0]
Value after reset:	0	0	0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
28:0	RMID[28:0]	RX メッセージバッファ ID フィールド STD-ID/EXT-ID フィールド	R
29	—	読むと 0 が読めます。 書く場合、0 としてください。	R
30	RMRTR	RX メッセージバッファ RTR 0: データフレーム 1: リモートフレーム	R
31	RMIDE	RX メッセージバッファ IDE 0: STD-ID が格納される 1: EXT-ID が格納される	R

RX メッセージバッファ ID レジスタ b（b = 0～31）は、受信メッセージの ID フィールド、IDE ビットおよび RTR ビットを格納します。

RMID[28:0]ビット（RX メッセージバッファ ID フィールド）

RMID[28:0]ビットは、RX メッセージバッファに格納されているメッセージの STD-ID/EXT-ID フィールドのビットです。

本バッファコンポーネントの構造の解釈方法の詳細については、「28.2.62.1. 開始アドレス」を参照してください。

RMRTR ビット（RX メッセージバッファ RTR）

RMRTR ビットは、データフレームまたはリモートフレームのいずれが RX メッセージバッファに格納されたかを示します。

注. CANFD フォーマットにはリモートフレームはありません。CANFD フレームを受信すると、レジスタは受信値（FD フレームフォーマットの RRS ビット）の状態を反映します。

RMIDE ビット（RX メッセージバッファ IDE）

RMIDE ビットは、標準 ID または拡張 ID のメッセージのいずれが RX メッセージバッファに格納されたかを示します。

28.2.62.4 CFDRMPTRb: RX メッセージバッファポインタレジスタ（b = 0～31）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0924 + 0x004C × b (b = 0～7)
0x0D24 + 0x004C × (b - 8) (b = 8～15)
0x01124 + 0x004C × (b - 16) (b = 16～23)
0x01524 + 0x004C × (b - 24) (b = 24～31)

Bit position:	31	28	15	0
Bit field:	RMDLC[3:0]	— — — — — — — — — — — —	RMTS[15:0]	
Value after reset:	0	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
15:0	RMTS[15:0]	RX メッセージバッファタイムスタンプフィールド RX メッセージバッファ内のメッセージ用に格納されたタイムスタンプ値	R
27:16	—	読むと 0 が読めます。 書く場合、0 としてください。	R
31:28	RMDLC[3:0]	RX メッセージバッファ DLC フィールド CAN フレームで受信されたデータバイト数	R

RX メッセージバッファポインタレジスタ b（b = 0～31）は、受信メッセージの DLC およびタイムスタンプフィールドを格納します。

RMTS[15:0]ビット（RX メッセージバッファタイムスタンプフィールド）

RMTS[15:0]ビットは、受信メッセージの CFDGFDCFG.TSCCFG により設定されたキャプチャポイントで取得されたタイムスタンプ値を格納します。

RMDLC[3:0]ビット（RX メッセージバッファ DLC フィールド）

RMDLC[3:0]ビットは、RX メッセージバッファで受信されたデータバイト数を格納します。

受信データバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

注. バッファの最大容量は CFDRMNB.RMPLS に属します。これは、クラシカル CAN 機能では使用できません。

28.2.62.5 CFDRMFDSTSb : RX メッセージバッファ CANFD ステータスレジスタ（b = 0～31）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0928 + 0x004C × b (b = 0～7)
0x0D28 + 0x004C × (b - 8) (b = 8～15)
0x01128 + 0x004C × (b - 16) (b = 16～23)
0x01528 + 0x004C × (b - 24) (b = 24～31)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	RMPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	RMIFL[1:0]		—	—	—	—	—	RMFDF	RMBRS	RMESI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RMESI(注1)	エラー状態表示 0: エラーアクティブノードから受信した CANFD フレーム 1: エラーパッシブノードから受信した CANFD フレーム	R
1	RMBRS(注1)	ビットレートスイッチ 0: ビットレートスイッチなしで受信した CANFD フレーム 1: ビットレートスイッチ付きで受信した CANFD フレーム	R
2	RMFDF(注1)	CAN-FD フォーマット 0: 非 CANFD フレーム受信 1: CANFD フレーム受信	R
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R
9:8	RMIFL[1:0]	RX メッセージバッファ情報ラベルフィールド	R
15:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R
31:16	RMPTR[15:0]	RX メッセージバッファポインタフィールド	R

注 1. このビットは、クラシカル CAN 機能では使用できません。

RX メッセージバッファ CANFD ステータスレジスタ b（b = 0～31）は、受信した CANFD フレームの FDF ビット、BRS ビット、ESI ビットの状態およびポインタを示します。

RMESI ビット（エラー状態表示）

RMESI ビットは受信した CANFD フレームの ESI ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RMBRS ビット（ビットレートスイッチ）

RMBRS ビットは受信した CANFD フレームの BRS ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RMFDF ビット（CAN-FD フォーマット）

RMFDF ビットは受信した CANFD フレームの FDF ビットと同じ値になります。

注. このビットは、クラシカル CAN 機能では使用できません。

RMIFL[1:0]ビット（RX メッセージバッファ情報ラベルフィールド）

RMIFL[1:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリの情報ラベル値を格納します。

RMPTR[15:0]ビット（RX メッセージバッファポインタフィールド）

RMPTR[15:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリのポインタ値を格納します。

28.2.62.6 CFDRMDFb_p : RX メッセージバッファデータフィールド p レジスタ（p= 0～15、b= 0～31）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x092C + 0x004C × b + 0x0004 × p (b = 0～7 , p = 0～15)
0x0D2C + 0x004C × (b - 8) + 0x0004 × p (b = 8～15 , p = 0～15)
0x0112C + 0x004C × (b - 16) + 0x0004 × p (b = 16～23 , p = 0～15)
0x0152C + 0x004C × (b - 24) + 0x0004 × p (b = 24～31 , p = 0～15)

Bit position:	31 … 24	23 … 16	15 … 8	7 … 0
Bit field:	RMDB_HH[7:0]	RMDB_HL[7:0]	RMDB_LH[7:0]	RMDB_LL[7:0]
Value after reset:	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	RMDB_LL[7:0]	RX メッセージバッファデータバイト (p × 4)	R
15:8	RMDB_LH[7:0]	RX メッセージバッファデータバイト ((p × 4) + 1)	R
23:16	RMDB_HL[7:0]	RX メッセージバッファデータバイト ((p × 4) + 2)	R
31:24	RMDB_HH[7:0](注1)	RX メッセージバッファデータバイト ((p × 4) + 3)	R

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

RX メッセージバッファデータフィールド p レジスタ b（p = 0～15、b = 0～31）は、受信メッセージのデータバイト (p × 4)～データバイト ((p × 4) + 3) を格納します。

RMDB_LL[7:0]ビット（RX メッセージバッファデータバイト (p × 4)）

RMDB_LL[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト (p × 4) を格納します。

未使用データバイトは 0x00 で埋められます。

RMDB_LH[7:0]ビット（RX メッセージバッファデータバイト ((p × 4) + 1)）

RMDB_LH[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 1) を格納します。

未使用データバイトは 0x00 で埋められます。

RMDB_HL[7:0]ビット（RX メッセージバッファデータバイト ((p × 4) + 2)）

RMDB_HL[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 2) を格納します。未使用データバイトは 0x00 で埋められます。

RMDB_HH[7:0]ビット（RX メッセージバッファデータバイト ((p × 4) + 3)）

RMDB_HH[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 3) を格納します。未使用データバイトは 0x00 で埋められます。

28.2.62.7 CFDRFMBCPb[0] : RX FIFO アクセスメッセージバッファコンポーネント b（b = 0～1）

Base address: CANFD_B = 0x400B_0000

Offset address: see 表 28.5

Bit position:	31																												0
Bit field:	Rc[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	Rc[31:0]	RX FIFO アクセスメッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 28.8、表 28.9 および以下の説明を参照してください。	R

ここで、図 28.29 に示すように、CFDRFMBCPb の合計数 = 2 です（c = RX FIFO アクセスメッセージバッファコンポーネントレジスタインデックス = [0...18]）。

Rc[31:0]ビット（RX FIFO アクセスメッセージバッファコンポーネント c）

RX FIFO アクセスメッセージバッファコンポーネントは下記のレジスタから構成されます。

- CFDRFIDb
- CFDRFPTRb
- CFDRFFDSTSb
- CFDRFDFbp

本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 28.9 を参照してください。

表 28.8 RX FIFO アクセスメッセージバッファコンポーネントの概要 (1/2)

Rc	
R0	RX FIFO アクセス ID レジスタ
R1	RX FIFO アクセスポインタレジスタ
R2	RX FIFO アクセス CANFD ステータスレジスタ
R3	RX FIFO アクセスデータフィールド 0 レジスタ
R4	RX FIFO アクセスデータフィールド 1 レジスタ
R5	RX FIFO アクセスデータフィールド 2 レジスタ
R6	RX FIFO アクセスデータフィールド 3 レジスタ
R7	RX FIFO アクセスデータフィールド 4 レジスタ
R8	RX FIFO アクセスデータフィールド 5 レジスタ
R9	RX FIFO アクセスデータフィールド 6 レジスタ
R10	RX FIFO アクセスデータフィールド 7 レジスタ

表 28.8 RX FIFO アクセスメッセージバッファコンポーネントの概要 (2/2)

Rc	
R11	RX FIFO アクセスデータフィールド 8 レジスタ
R12	RX FIFO アクセスデータフィールド 9 レジスタ
R13	RX FIFO アクセスデータフィールド 10 レジスタ
R14	RX FIFO アクセスデータフィールド 11 レジスタ
R15	RX FIFO アクセスデータフィールド 12 レジスタ
R16	RX FIFO アクセスデータフィールド 13 レジスタ
R17	RX FIFO アクセスデータフィールド 14 レジスタ
R18	RX FIFO アクセスデータフィールド 15 レジスタ
R[19...31]	—

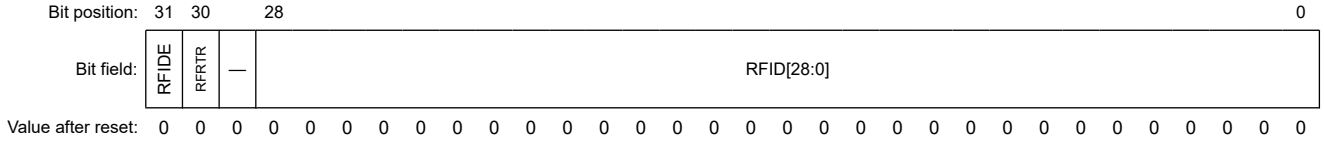
表 28.9 RX メッセージバッファコンポーネント (RMBCP) の詳細

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDRMIDb	RMIDE	RMRTR	—	RMID																												
R1	x	CFDRMPTRb	RMDLC				—	—	—	—	—	—	—	—	—	—	—	—	RMTS															
R2	x	CFDRMFDSTSb	RMPTR																—	—	—	—	—	—	RMIFL		—	—	—	—	—	RMFDF	RMBRS	RMESI
R3	0	CFDRMDFbp	RMDB_HH								RMDB_HL								RMDB_LH								RMDB_LL							
R[4…18]	[1…15]	CFDRMDFbp	RMDB_HH								RMDB_HL								RMDB_LH								RMDB_LL							

28.2.62.8 CFDRFIDb : RX FIFO アクセス ID レジスタ b（b = 0, 1）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0520 + 0x004C × b



ビット	シンボル	機能	R/W
28:0	RFID[28:0]	RX FIFO バッファ ID フィールド STD-ID/EXT-ID フィールド	R
29	—	読むと 0 が読めます。	R
30	RFRTR	RX FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム	R
31	RFIDE	RX FIFO バッファ IDE ビット 0: STD-ID が受信された 1: EXT-ID が受信された	R

RX FIFO アクセス ID レジスタ b（b = 0, 1）は、メッセージの ID フィールド、IDE ビットおよび RTR ビットを格納します。

RFID[28:0]ビット（RX FIFO バッファ ID フィールド）

RFID[28:0]ビットは、FIFO バッファにあるメッセージの STD-ID/EXT-ID フィールドのビットです。

標準フレームフォーマットおよび拡張フレームフォーマットにおけるビットアライメントについては、ID ビットアライメントを参照してください。

RFRTR ビット（RX FIFO バッファ RTR ビット）

RFRTR ビットは、データフレームまたはリモートフレームのいずれが FIFO バッファに格納されたかを示します。

注. CANFD フォーマットにはリモートフレームはありません。CANFD フレームを受信すると、レジスタは、受信値（FD フレームフォーマットの RRS ビット）の状態を反映します。

RFIDE ビット（RX FIFO バッファ IDE ビット）

RFIDE ビットは、標準 ID または拡張 ID のメッセージのいずれが FIFO バッファに受信されたかを示します。

28.2.62.9 CFDRFPTRb : RX FIFO アクセスポインタレジスタ b（b = 0、1）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0524 + 0x004C × b

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RFDLC[3:0]				—	—	—	—	—	—	—	—	—	—	—	—	RFTS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RFTS[15:0]	RX FIFO タイムスタンプ値 受信した CAN フレームのタイムスタンプ値	R
27:16	—	読むと 0 が読めます。	R
31:28	RFDLC[3:0]	RX FIFO バッファ DLC フィールド CAN フレームで受信されたデータバイト数	R

FIFO アクセスポインタレジスタ b（b = 0、1）は、受信メッセージの DLC およびタイムスタンプフィールドを格納します。

RFTS[15:0]ビット（RX FIFO タイムスタンプ値）

RFTS[15:0]ビットは、受信メッセージの CFDGFDCFG.TSCCFG ビットにより設定されたキャプチャポイントで取得されたタイムスタンプ値を格納します。

RFDLC[3:0]ビット（RX FIFO バッファ DLC フィールド）

RFDLC[3:0]ビットは、RX FIFO バッファで受信されたデータバイト数を格納します。

受信データバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

28.2.62.10 CFDRFFDSTSb : RX FIFO アクセス CANFD ステータスレジスタ b（b = 0、1）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0528 + 0x004C × b

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CFDRFPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	RFIFL[1:0]		—	—	—	—	—	RFFDF	RFBRS	RFESI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFESI(注1)	エラー状態表示 0: エラーアクティブノードから受信した CANFD フレーム 1: エラーパッシブノードから受信した CANFD フレーム	R
1	RFBRS(注1)	ビットレートスイッチ 0: ビットレートスイッチなしで受信した CANFD フレーム 1: ビットレートスイッチ付きで受信した CANFD フレーム	R
2	RFFDF(注1)	CAN FD フォーマット 0: 非 CANFD フレーム受信 1: CANFD フレーム受信	R
7:3	—	読むと 0 が読めます。	R
9:8	RFIFL[1:0]	RX FIFO バッファ情報ラベルフィールド	R
15:10	—	読むと 0 が読めます。	R
31:16	CFDRFPTR[15:0]	RX FIFO バッファポインタフィールド	R

注 1. このビットは、クラシカル CAN 機能では使用できません。

RX FIFO アクセス CANFD ステータスレジスタ b（b = 0、1） は、受信した CANFD フレームのポインタを含めて、FDF ビット、BRS ビット、ESI ビットの状態を示します。

RFESI ビット（エラー状態表示）

RFESI ビットは受信した CANFD フレームの ESI ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RFBRS ビット（ビットレートスイッチ）

RFBRS ビットは受信した CANFD フレームの BRS ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RFFDF ビット（CAN FD フォーマット）

RFFDF ビットは受信した CANFD フレームの FDF ビットと同じ値になります。

注. このビットは、クラシカル CAN 機能では使用できません。

RFIFL[1:0]ビット（RX FIFO バッファ情報ラベルフィールド）

RFIFL[1:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリの情報ラベル値を格納します。

CFDRFPTR[15:0]ビット（RX FIFO バッファポインタフィールド）

CFDRFPTR[15:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリのポインタ値を格納します。

28.2.62.11 CFDRFDFb_p : RX FIFO アクセスデータフィールド p レジスタ b（p = 0～15、b = 0、1）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x052C + 0x004 × p + 0x04C × b

Bit position:	31							24	23							16	15							8	7							0
Bit field:	RFDB_HH[7:0]								RFDB_HL[7:0]								RFDB_LH[7:0]								RFDB_LL[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	RFDB_LL[7:0]	RX FIFO バッファデータバイト (p × 4)	R
15:8	RFDB_LH[7:0]	RX FIFO バッファデータバイト ((p × 4) + 1)	R
23:16	RFDB_HL[7:0]	RX FIFO バッファデータバイト ((p × 4) + 2)	R
31:24	RFDB_HH[7:0]	RX FIFO バッファデータバイト ((p × 4) + 3)	R

RX FIFO アクセスデータフィールド p レジスタ b（p = 0～15、b = 0、1）は、受信メッセージのデータバイト (p × 4)～データバイト ((p × 4) + 3) を格納します。

RFDB_LL[7:0]ビット（RX FIFO バッファデータバイト (p × 4)）

RFDB_LL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト (p × 4) を格納します。

未使用データバイトは、CFDRFCCa.RFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。

RFDB_LH[7:0]ビット（RX FIFO バッファデータバイト ((p × 4) + 1)）

RFDB_LH[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p × 4) + 1) を格納します。

未使用データバイトは 0x00 で埋められます。

RFDB_HL[7:0]ビット（RX FIFO バッファデータバイト ((p × 4) + 2)）

RFDB_HL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p × 4) + 2) を格納します。

未使用データバイトは 0x00 で埋められます。

RFDB_HH[7:0]ビット（RX FIFO バッファデータバイト ((p × 4) + 3)）

RFDB_HH7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p × 4) + 3) を格納します。

未使用データバイトは 0x00 で埋められます。

28.2.62.12 CFDCFMBCP0[0] : 共通 FIFO アクセスメッセージバッファコンポーネント

Base address: CANFD_B = 0x400B_0000

Offset address: See 表 28.5

Bit position:	31																															0
Bit field:	Rc[31:0]																															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	Rc[31:0]	共通 FIFO アクセスメッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 28.10、表 28.11、および以下の説明を参照してください。	R

ここで、図 28.29 に示すように CFDCFMBCP0 の合計数 = 1（c = 共通 FIFO メッセージバッファコンポーネント レジスタインデックス = [0…18]）

Rc[31:0]ビット（共通 FIFO アクセスメッセージバッファコンポーネント c）

共通 FIFO アクセスメッセージバッファコンポーネントは次のレジスタより構成されます：CFDCFID、CFDCFPTR、CFFDSTS0、および CFDCFDFp。本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 28.11 を参照してください。

表 28.10　共通 FIFO アクセスメッセージバッファコンポーネントの概要

共通 FIFO アクセスメッセージバッファコンポーネント (CFMBCP)	
Rc	**CANFD モード (CAN_FD_MODE = 1'b1)**
R0	共通 FIFO アクセス ID レジスタ
R1	共通 FIFO アクセスポインタ レジスタ
R2	共通 FIFO アクセス CANFD ステータスレジスタ
R3	共通 FIFO アクセスデータフィールド 0 レジスタ
R4	共通 FIFO アクセスデータフィールド 1 レジスタ
R5	共通 FIFO アクセスデータフィールド 2 レジスタ
R6	共通 FIFO アクセスデータフィールド 3 レジスタ
R7	共通 FIFO アクセスデータフィールド 4 レジスタ
R8	共通 FIFO アクセスデータフィールド 5 レジスタ
R9	共通 FIFO アクセスデータフィールド 6 レジスタ
R10	共通 FIFO アクセスデータフィールド 7 レジスタ
R11	共通 FIFO アクセスデータフィールド 8 レジスタ
R12	共通 FIFO アクセスデータフィールド 9 レジスタ
R13	共通 FIFO アクセスデータフィールド 10 レジスタ
R14	共通 FIFO アクセスデータフィールド 11 レジスタ
R15	共通 FIFO アクセスデータフィールド 12 レジスタ
R16	共通 FIFO アクセスデータフィールド 13 レジスタ
R17	共通 FIFO アクセスデータフィールド 14 レジスタ
R18	共通 FIFO アクセスデータフィールド 15 レジスタ
R[19...31]	—

表 28.11　共通 FIFO アクセスメッセージバッファコンポーネント (CFMBCP) の詳細 (1/2)

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDCFID	CFIDE	CFRTR	THLEN	CFID																												
R1	x	CFDCFPTR	CFDLC				—	—	—	—	—	—	—	—	—	—	—	—	CFTS															
R2	x	CFDCFFDCSTS	CFPTR																—	—	—	—	—	—	CFIFL		—	—	—	—	—	CFFDF	CFBRS	CFESI

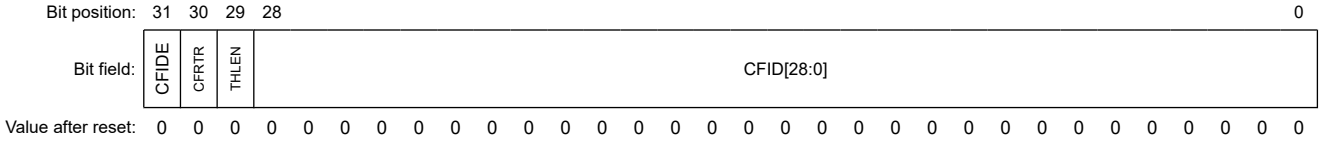
表 28.11 共通 FIFO アクセスメッセージバッファコンポーネント (CFMBCP) の詳細 (2/2)

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R3	0	CFDCFDFp	CFDB_HH								CFDB_HL								CFDB_LH								CFDB_LL							
R[4...18]	[1...15]	CFDCFDFp	CFDB_HH								CFDB_HL								CFDB_LH								CFDB_LL							
R[19...31]	x	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

28.2.62.13 CFDCFID : 共通 FIFO アクセス ID レジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x05B8



ビット	シンボル	機能	R/W
28:0	CFID[28:0]	共通 FIFO バッファ ID フィールド STD-ID/EXT-ID フィールド	R/W
29	THLEN	THL エントリ許可 TX FIFO モード : 0: TX 成功後エントリを THL に格納しない 1: TX 成功後エントリを THL に格納する RX FIFO モード : 予約ビット。読むと 0 が読めます。	R/W
30	CFRTR	共通 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム	R/W
31	CFIDE	共通 FIFO バッファ IDE ビット 0: STD-ID を送信予定あるいは受信済み 1: EXT-ID を送信予定あるいは受信済み	R/W

共通 FIFO アクセス ID レジスタは、メッセージの ID フィールド、IDE ビット、および RTR ビットを格納します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO からデータを読み出し可能です。

CFID[28:0]ビット（共通 FIFO バッファ ID フィールド）

これらのビットは、FIFO バッファにあるメッセージの STD-ID/EXT-ID フィールドのビットです。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

THLEN ビット（THL エントリ許可）

このビットは、送信成功後、TX 履歴リストにある送信メッセージに対応するエントリの格納を制御します。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFRTR ビット（共通 FIFO バッファ RTR ビット）

このビットは、データフレームまたはリモートフレームを FIFO バッファから送信するのか、または FIFO バッファに受信したのかを示します。

注.CANFD フォーマットにはリモートフレームはありません。CANFD フレームを受信すると（RX モード）、レジスタは受信値（FD フレームフォーマットの RRS ビット）の状態を反映します。CANFD 送信時（TX モード、CFDCFID.CFFDF = 1）、本ビットは常にドミナント（データフレーム）として送信されます。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFIDE ビット（共通 FIFO バッファ IDE ビット）

このビットは、EXT-ID または STD-ID のメッセージを FIFO バッファから送信するのか、または FIFO バッファに受信したのかを示します。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

28.2.62.14 CFDCFPTR : 共通 FIFO アクセスポインタレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x05BC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CFDLC[3:0]				—	—	—	—	—	—	—	—	—	—	—	—	CFTS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CFTS[15:0]	共通 FIFO タイムスタンプ値 受信した CAN フレームのタイムスタンプ値（FIFO は RX モード）	R/W
27:16	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
31:28	CFDLC[3:0]	共通 FIFO バッファ DLC フィールド CAN フレームで受信された、または CAN フレームで送信されるデータバイト数	R/W

共通 FIFO アクセスポインタレジスタは、DLC およびタイムスタンプフィールドを格納します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO バッファからデータを読み出し可能です。

CFTS[15:0]ビット（共通 FIFO タイムスタンプ値）

CFTS[15:0]ビットは、受信メッセージの CFDGFDCFG.TSCCFG ビットにより設定されたキャプチャポイントで取得されたタイムスタンプ値を格納します（FIFO が RX モードに設定されている場合）。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFDLC[3:0]ビット（共通 FIFO バッファ DLC フィールド）

CFDLC[3:0]ビットは、FIFO バッファで受信された、または送信予定のデータバイト数を格納します。

データバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。TX モードに設定時、FIFO 内の他のエントリ用のデータを読み出さないでください。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

28.2.62.15 CFDCFFDCSTS : 共通 FIFO アクセス CANFD コントロール／ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x05C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CFPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CFIFL[1:0]		—	—	—	—	—	CFFDF	CFBRS	CFESI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CFESI(注1)	エラー状態表示ビット 0: エラーアクティブノードにより受信または送信する CANFD フレーム 1: エラーパッシブノードにより受信または送信する CANFD フレーム	R/W
1	CFBRS(注1)	ビットレートスイッチビット 0: ビットレートスイッチなしで受信または送信する CANFD フレーム 1: ビットレートスイッチ付きで受信または送信する CANFD フレーム	R/W
2	CFFDF(注1)	CAN FD フォーマットビット 0: 非 CANFD フレーム受信または送信 1: CANFD フレーム受信または送信	R/W
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
9:8	CFIFL[1:0]	共通 FIFO バッファ情報ラベルフィールド	R/W
15:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
31:16	CFPTR[15:0]	共通 FIFO バッファポインタフィールド	R/W

注 1. このビットは、クラシカル CAN 機能では使用できません。

共通 FIFO アクセス CANFD コントロール／ステータスレジスタは、受信したまたは送信する CANFD フレームのポインタを含めて、FDF ビット、BRS ビット、ESI ビットの状態を示します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO からデータを読み出し可能です。

CFESI ビット（エラー状態表示ビット）

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。本モードでは、CANFD モジュールがエラーパッシブでない場合、CFESI ビットは書き込み値と等しくなります。CANFD モジュールがエラーパッシブの場合、本ビットは Don't care ビットとなり、CAN バス上を 1（エラーパッシブノードであることを示す）として送信されます。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モード時、CANFD フレームを受信すると、CFESI ビットは CANFD フレームの ESI ビット値で更新され、送信ノードのエラー状態を示します。RX モード時、受信した FDF ビットが 0 の場合本ビットに 0 が格納され、これは CAN 2.0 フレームが受信されたことを意味します。

注. このビットは、クラシカル CAN 機能では使用できません。

CFBRS ビット（ビットレートスイッチビット）

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。本モードで CANFD モジュールは、0 を送信しフレーム内でビットレートスイッチは送信されないことを示すか、または 1 を送信しフレーム内でビットレートスイッチを送信することを示します。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モード時、CANFD フレームを受信すると、CFBRS ビットは CANFD フレームの BRS ビット値で更新され、ビットレートスイッチの (1) または (0) のいずれが存在するか示します。

RX モード時、受信した FDF ビットが 0 の場合 CFBRS ビットに 0 が格納され、これは CAN 2.0 フレームが受信されたことを意味します。

注. このビットは、クラシカル CAN 機能では使用できません。

CFFDF ビット（CAN FD フォーマットビット）

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。本モードで CANFD モジュールは、0 を送信し CAN 2.0 フレームが送信されることを示すか、または 1 を送信し CANFD フレームが送信されることを示します。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モード時、CAN フレームを受信すると、CFFDF ビットは CAN フレームの FDF ビット値で更新され、それが CAN 2.0 フレーム (0) であるか CANFD フレーム (1) であるかを示します。

注. このビットは、クラシカル CAN 機能では使用できません。

CFIFL[1:0]ビット（共通 FIFO バッファ情報ラベルフィールド）

共通 FIFO が TX モードに設定されている場合は、メッセージ送信成功後、CFDCFFDCSTS.CFIFL[1:0]に書かれている値が追加のメッセージ情報と一緒に TX 履歴リストに格納されます。

関連するグローバルアクセプタンスフィルタリストエントリの情報ラベル値がこれらのビットに格納されます（FIFO が RX モードに設定時）。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFPTR[15:0]ビット（共通 FIFO バッファポインタフィールド）

共通 FIFO が TX モードに設定されている場合は、メッセージ送信成功後、CFDCFFDCSTS.CFPTR[15:0]に書かれている値が追加のメッセージ情報と一緒に TX 履歴リストに格納されます。

関連するグローバルアクセプタンスフィルタリストエントリのポインタ値がこれらのビットに格納されます（FIFO が RX モードに設定時）。

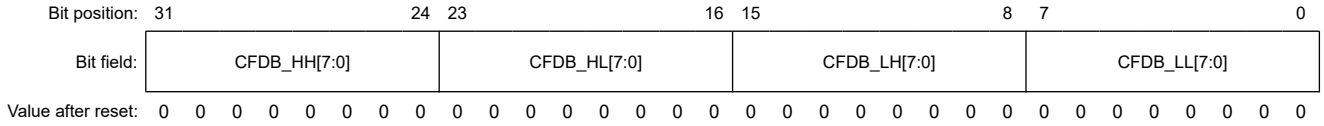
TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

28.2.62.16 CFDCFDFp : 共通 FIFO アクセスデータフィールド p レジスタ（p = 0～15）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x05C4 + 0x004 × p



ビット	シンボル	機能	R/W
7:0	CFDB_LL[7:0]	共通 FIFO バッファデータバイト (p * 4)	R/W
15:8	CFDB_LH[7:0]	共通 FIFO バッファデータバイト ((p * 4) + 1)	R/W
23:16	CFDB_HL[7:0]	共通 FIFO バッファデータバイト ((p * 4) + 2)	R/W
31:24	CFDB_HH[7:0]	共通 FIFO バッファデータバイト ((p * 4) + 3)	R/W

FIFO アクセスデータフィールド p レジスタ（p = 0～15）は、メッセージのデータバイト (p * 4) ～データバイト ((p * 4) + 3) を格納します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO からデータを読み出し可能です。

CFDB_LL[7:0]ビット（共通 FIFO バッファデータバイト (p * 4)）

CFDB_LL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト (p * 4) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

CFDB_LH[7:0]ビット（共通 FIFO バッファデータバイト ((p * 4) + 1)）

CFDB_LH[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p * 4) + 1) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

CFDB_HL[7:0]ビット（共通 FIFO バッファデータバイト ((p * 4) + 2)）

CFDB_HL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p * 4) + 2) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

CFDB_HH[7:0]ビット（共通 FIFO バッファデータバイト ((p * 4) + 3)）

CFDB_HH[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p * 4) + 3) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

注 1. RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。これは、クラシカル CAN 機能にはない CANFD 機能です。

28.2.62.17 CFDTMBCPb[0] : Tx メッセージバッファコンポーネント b（b = 0〜3）

Base address: CANFD_B = 0x400B_0000

Offset address: See 表 28.5

Bit position:	31																												0
Bit field:	Rc[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	Rc[31:0]	TX メッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 28.12、表 28.13 および以下の説明を参照してください。	R

ここで、図 28.29 に示すように、CFDTMBCPn の合計数 = 4 です（c = TX メッセージバッファコンポーネントレジスタインデックス = [0...18]）。

Rc[31:0]ビット（TX メッセージバッファコンポーネント c）

TX メッセージバッファコンポーネント c

TX メッセージバッファコンポーネントは下記のレジスタより構成されます。CFDTMIDb、CFDTMPTRb、CFDTMFDCTRb、および CFDTMDFbp。本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 28.13 を参照してください。

表 28.12　TX メッセージバッファコンポーネントの概要

TX メッセージバッファコンポーネント (TMBCP)	
Rc	**CANFD モード (CAN_FD_MODE = 1'b1)**
R0	TX メッセージバッファ (b) ID レジスタ CHn
R1	TX メッセージバッファ (b) ポインタレジスタ CHn
R2	TX メッセージバッファ (b) CANFD ステータスレジスタ CHn
R3	TX メッセージバッファ (b) データフィールド 0 レジスタ CHn
R4	TX メッセージバッファ (b) データフィールド 1 レジスタ CHn
R5	TX メッセージバッファ (b) データフィールド 2 レジスタ CHn
R6	TX メッセージバッファ (b) データフィールド 3 レジスタ CHn
R7	TX メッセージバッファ (b) データフィールド 4 レジスタ CHn
R8	TX メッセージバッファ (b) データフィールド 5 レジスタ CHn
R9	TX メッセージバッファ (b) データフィールド 6 レジスタ CHn
R10	TX メッセージバッファ (b) データフィールド 7 レジスタ CHn
R11	TX メッセージバッファ (b) データフィールド 8 レジスタ CHn
R12	TX メッセージバッファ (b) データフィールド 9 レジスタ CHn
R13	TX メッセージバッファ (b) データフィールド 10 レジスタ CHn
R14	TX メッセージバッファ (b) データフィールド 11 レジスタ CHn
R15	TX メッセージバッファ (b) データフィールド 12 レジスタ CHn
R16	TX メッセージバッファ (b) データフィールド 13 レジスタ CHn
R17	TX メッセージバッファ (b) データフィールド 14 レジスタ CHn
R18	TX メッセージバッファ (b) データフィールド 15 レジスタ CHn
R[19...31]	—

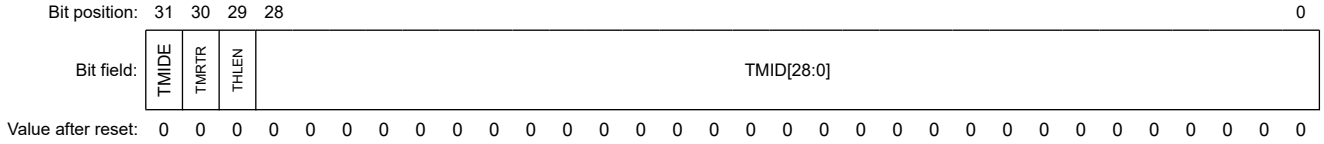
表 28.13　TX メッセージバッファコンポーネント (TMBCP) の詳細

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDTMIDb	TMIDE	TMRTR	THLEN	TMID																												
R1	x	CFDTMPTRb	TMDLC				—	—	—	—	—	—	—	—	—	—	—	—	CFTS															
R2	x	CFDTMFDCTRb	TMPTR																—	—	—	—	—	—	TMIFL		—	—	—	—	—	TMFDF	TMBRS	TMESI
R3	0	CFDTMDFbp	TMDB_HH								TMDB_HL								TMDB_LH								TMDB_LL						
R[4...18]	[1...15]	CFDTMDFbp	TMDB_HH								TMDB_HL								TMDB_LH								TMDB_LL						

28.2.62.18 CFDTMIDb : TX メッセージバッファ ID レジスタ（b = 0～3）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0604 + 0x004C × b



ビット	シンボル	機能	R/W
28:0	TMID[28:0]	TX メッセージバッファ ID フィールド STD-ID/EXT-ID フィールド	R/W
29	THLEN	Tx 履歴リストエントリ 0: TX 成功後エントリを THL に格納しない 1: TX 成功後エントリを THL に格納する	R/W
30	TMRTR	TX メッセージバッファ RTR 0: データフレーム 1: リモートフレーム	R/W
31	TMIDE	TX メッセージバッファ IDE 0: STD-ID が送信される 1: EXT-ID が送信される	R/W

各 TX メッセージバッファ ID レジスタ b（b = 0～3）は、関連するバッファから送信するメッセージの ID、IDE、RTR の各フィールドおよび履歴構成を格納するのに使用されます。

TMID[28:0]ビット（TX メッセージバッファ ID フィールド）

TMID[28:0]ビットは、本 TX メッセージバッファに格納されているメッセージの STD-ID/EXT-ID フィールドのビットです。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

THLEN ビット（Tx 履歴リストエントリ）

THLEN ビットは、送信成功後、TX 履歴リストにある送信メッセージに対応するエントリの格納を制御します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMRTR ビット（TX メッセージバッファ RTR）

TMRTR ビットは、本 TX メッセージバッファからデータフレームを送信するのかまたはリモートフレームを送信するのかを選択します。

注. CANFD フォーマットにはリモートフレームはありません。CANFD 送信時 (CFDTMFDCTRb.CFFDF = 1)、本ビットは常にドミナント（データフレーム）として送信されます。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMIDE ビット（TX メッセージバッファ IDE）

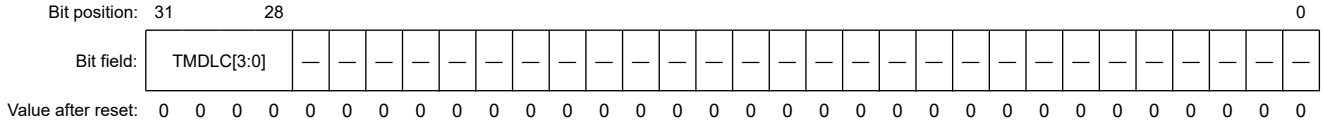
TMIDE ビットは、本 TX バッファから EXT-ID 付きのメッセージを送信するのかまたは STD-ID 付きのメッセージを送信するのかを選択します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

28.2.62.19 CFDTMPTRb : TX メッセージバッファポインタレジスタ（b = 0～3）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0608 + 0x004C × b



ビット	シンボル	機能	R/W
27:0	—	読み出し値は不定です。 書く場合、0 としてください。	R/W
31:28	TMDLC[3:0]	TX メッセージバッファ DLC フィールド CAN フレームで送信するデータバイト数	R/W

各 TX メッセージバッファポインタレジスタ b（b = 0～3）は、対応するバッファから送信するためのメッセージの DLC フィールドを格納するために使用されます。

TMDLC[3:0]ビット（TX メッセージバッファ DLC フィールド）

TMDLC[3:0]ビットは、対応する TMRTR ビットが 0 に設定されているとき、本 TX メッセージバッファから送信するデータバイト数を選択します。

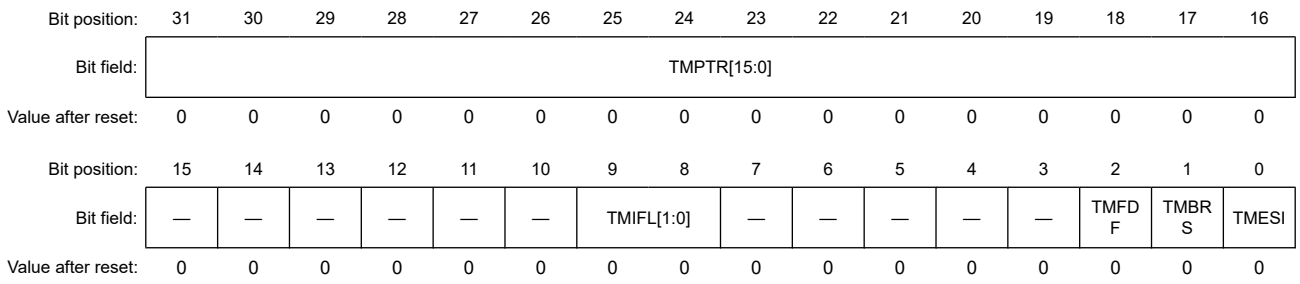
送信するデータバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

28.2.62.20 CFDTMFDCTRb : TX メッセージバッファ CANFD 制御レジスタ（b = 0～3）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x060C + 0x004C × b



ビット	シンボル	機能	R/W
0	TMESI(注1)	エラー状態表示ビット 0: エラーアクティブノードにより送信する CANFD フレーム 1: エラーパッシブノードにより送信する CANFD フレーム	R/W
1	TMBRS(注1)	ビットレートスイッチビット 0: ビットレートスイッチなしで送信する CANFD フレーム 1: ビットレートスイッチ付きで送信する CANFD フレーム	R/W
2	TMFDF(注1)	CAN FD フォーマットビット 0: 非 CANFD フレームを送信 1: CANFD フレームを送信	R/W
7:3	—	読み出し値は不定です。 書く場合、0 としてください。	R/W
9:8	TMIFL[1:0]	TX メッセージバッファ情報ラベルフィールド	R/W
15:10	—	読み出し値は不定です。 書く場合、0 としてください。	R/W
31:16	TMPTR[15:0]	TX メッセージバッファポインタフィールド	R/W

注 1. このビットは、クラシカル CAN 機能では使用できません。

TX メッセージバッファ CAN-FD コントロールレジスタ b（b = 0～3）は、送信する CANFD フレームのポインタフィールドを含めて、FDF ビット、BRS ビット、ESI ビットの状態を示します。

TMESI ビット（エラー状態表示ビット）

チャネルがエラーパッシブでない場合、TMESI ビットは書き込み値と等しくなります。チャネルがエラーパッシブの場合、本ビットは Don't care ビットとなり、CAN バス上を 1（エラーパッシブノードであることを示す）として送信されます。

関連する CANFD チャネルが CH_SLEEP モードの場合、TMESI ビットへ書き込みを行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

ビット（）

関連する CANFD チャネルが CH_SLEEP モードの場合、TMBRS ビットへ書き込みを行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TMFDF ビット（CAN FD フォーマットビット）

関連する CANFD チャネルが CH_SLEEP モードの場合、TMFDF ビットへ書き込みを行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TMIFL[1:0]ビット（TX メッセージバッファ情報ラベルフィールド）

TMIFL[1:0]ビットは、メッセージの送信成功後、コピー対象の情報ラベル値を追加のメッセージ情報とともに TX 履歴リストに格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

TMPTR[15:0]ビット（TX メッセージバッファポインタフィールド）

TMPTR[15:0]ビットは、メッセージの送信成功後、コピー対象のポインタ値を追加のメッセージ情報とともに TX 履歴リストに格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

28.2.62.21 CFDTMDFb_p : TX メッセージバッファデータフィールドレジスタ（p= 0～15、b= 0～3）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0610 + 0x004 × p + 0x004C × b

Bit position:	31 … 24	23 … 16	15 … 8	7 … 0
Bit field:	TMDB_HH[7:0]	TMDB_HL[7:0]	TMDB_LH[7:0]	TMDB_LL[7:0]
Value after reset:	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	TMDB_LL[7:0]	TX メッセージバッファデータバイト (p × 4)	R/W
15:8	TMDB_LH[7:0]	TX メッセージバッファデータバイト ((p × 4) + 1)	R/W
23:16	TMDB_HL[7:0]	TX メッセージバッファデータバイト ((p × 4) + 2)	R/W
31:24	TMDB_HH[7:0]	TX メッセージバッファデータバイト ((p × 4) + 3)	R/W

各 TX メッセージバッファデータフィールド p レジスタ b（p = 0～15、b = 0～3）は、関連するバッファから送信するメッセージのデータバイト (p × 4)～データバイト ((p × 4) + 3) を格納します。

TMDB_LL[7:0]ビット（TX メッセージバッファデータバイト (p × 4)）

TMDB_LL[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト (p × 4) を格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMDB_LH[7:0]ビット（TX メッセージバッファデータバイト ((p × 4) + 1)）

TMDB_LH[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 1) を格納します。
関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMDB_HL[7:0]ビット（TX メッセージバッファデータバイト ((p × 4) + 2)）

TMDB_HL[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 2) を格納します。
関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMDB_HH[7:0]ビット（TX メッセージバッファデータバイト ((p × 4) + 3)）

TMDB_HH[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 3) を格納します。
関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

28.3 動作の概要

28.3.1 概要

CANFD モジュールのモードは、次の 2 つのグループに分けられます。

- グローバルモード
- チャネルモード

28.3.2 グローバルモード

これらのモードは、CANFD モジュール全体に適用されることから、グローバルモードと呼ばれます。CANFD モジュールのグローバルモードには、以下のものがあります。

- グローバルスリープ
- グローバルリセット
- グローバル Halt
- グローバルオペレーション

図 28.2 に、グローバルモード間で行うことができる遷移を示します。

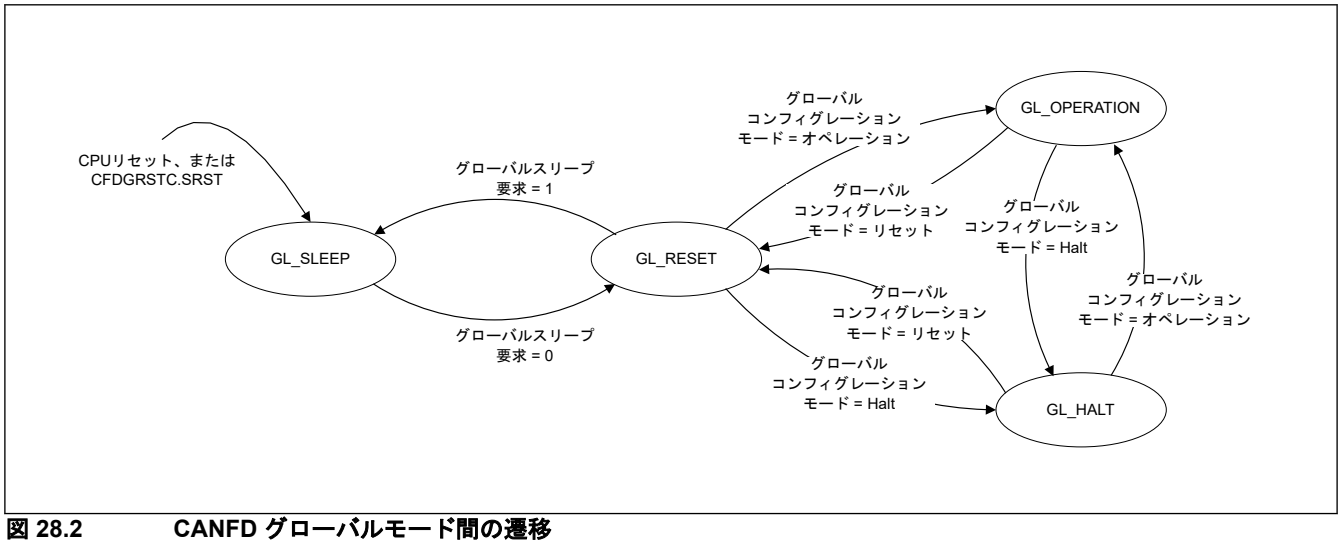


図 28.2 CANFD グローバルモード間の遷移

グローバルモードを変更すると、チャネルモードに影響を与えることがあります。表 28.14 に、グローバルモードの遷移がチャネルモードに与える影響を示します。

表 28.14　可能な CANFD チャネルモードとグローバルモード

現在のグローバルモード	ターゲットグローバルモード			
	スリープ	リセット	Halt	オペレーション
スリープ		チャネルスリープ：Keep チャネルリセット：なし チャネル Halt：なし チャネルオペレーション：なし		
リセット	チャネルスリープ：Keep チャネルリセット：→ チャネルスリープ チャネル Halt：なし チャネルオペレーション：なし		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：なし チャネルオペレーション：なし	チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：なし チャネルオペレーション：なし
Halt		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：→ チャネルリセット チャネルオペレーション：なし		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：Keep チャネルオペレーション：なし
オペレーション		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：→ チャネルリセット チャネルオペレーション：→ チャネルリセット	チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：Keep チャネルオペレーション：→ チャネル Halt	

28.3.2.1　グローバルスリープモード

ハードウェアリセットが解除された後、または CFDGRSTC.SRST ビットがセット／クリアされた後、CANFD モジュールは自動的にグローバルスリープモードに遷移します。

CANFD モジュールは、グローバルリセットモード中にグローバルスリープ要求ビットがセットされたときも、グローバルスリープモードに遷移します。グローバル Halt モードやグローバルオペレーションモードでは、この制御ビットはセットできません。

グローバルスリープ要求ビットをセットすると、チャネルスリープ要求ビットがセットされ、チャネルが強制的にチャネルスリープモードになります。

スリープモードは、消費電力を削減するために使用されます。CANFD モジュールがグローバルスリープモードのとき、グローバルスリープモード要求ビットへの CPU 書き込み用のクロックのみがアクティブになります。その他すべてのクロックは停止され、CANFD モジュールのその他すべての機能はサスペンド状態になります。

すべてのレジスタの読み出しは可能で、すべてのレジスタ値は保持されます。

グローバルスリープ要求ビットをセットした後、このビットを再度クリアする前に、グローバルスリープステータスが更新されていること、つまり、グローバルスリープモードへの遷移が正常に行われたことを確認する必要があります。

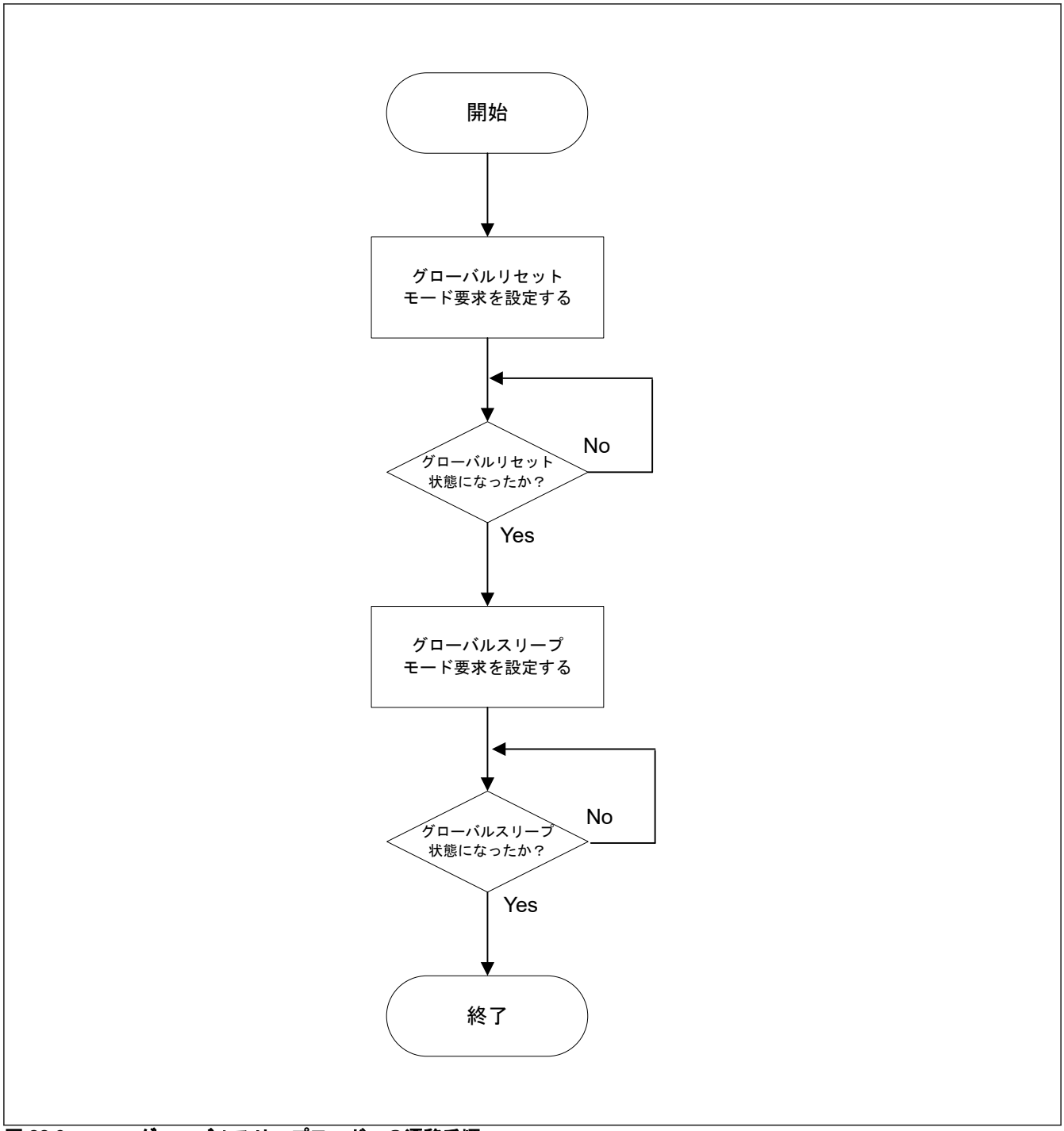


図 28.3　　グローバルスリープモードへの遷移手順

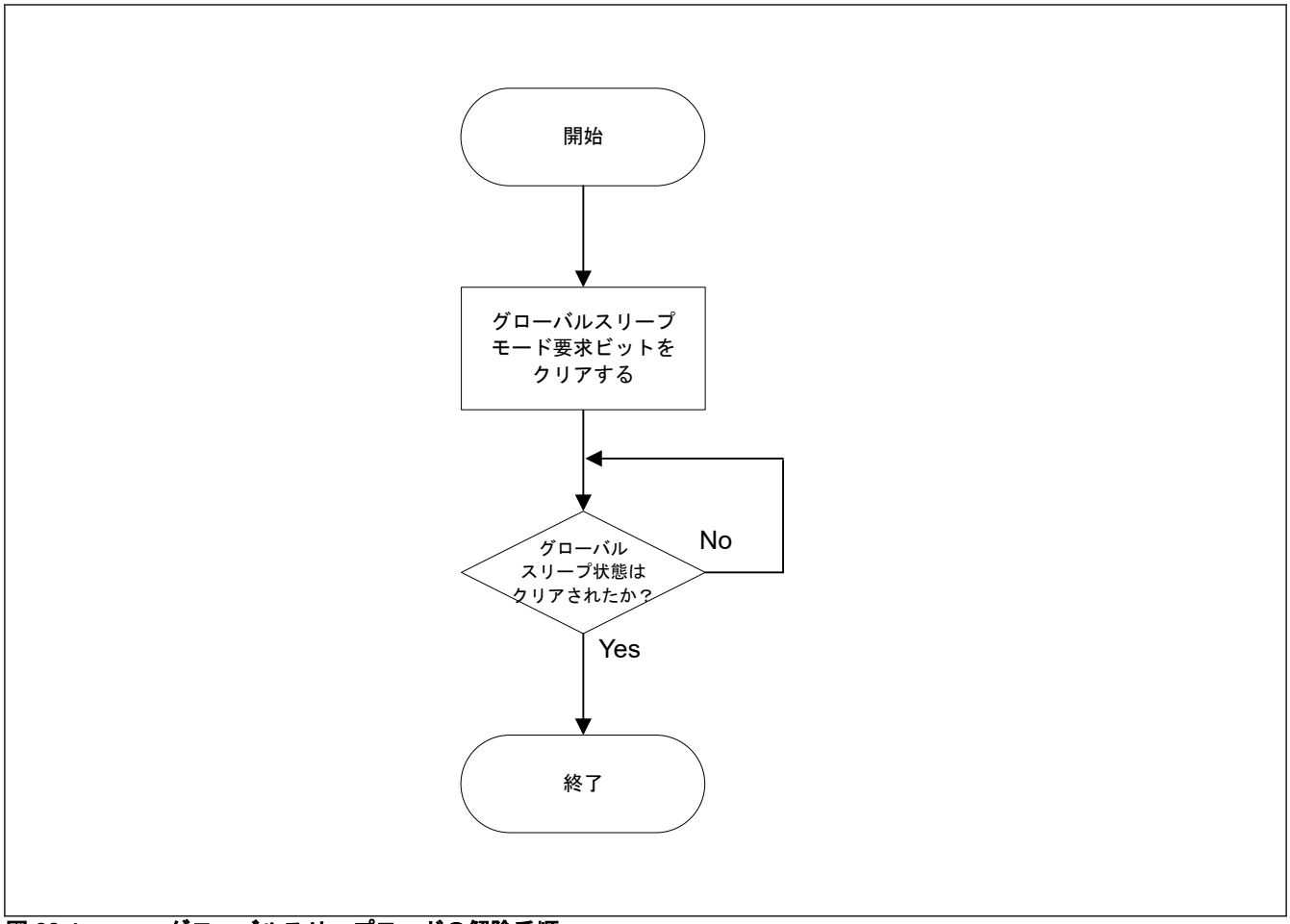


図 28.4 グローバルスリープモードの解除手順

28.3.2.2 グローバルリセットモード

CANFD モジュールは、以下の方法でこのモードに遷移します。

- CANFD モジュールがグローバル Halt モードまたはグローバルオペレーションモードのとき、グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC がグローバルリセットモードに設定される。
- CANFD モジュールがグローバルスリープモードのとき、グローバルスリープモード要求ビットがクリアされる。

グローバルリセットモードでは、CANFD モジュールのすべての機能がサスペンド状態になり、すべてのステータスレジスタおよびフラグレジスタが初期化されます。

さらに、すべての FIFO および TX キューが無効になり、送信制御ビットがクリアされます。

このモードでは、コンフィグレーションレジスタ（テストモードレジスタを除く）は MCU リセット値に初期化されないため、CANFD モジュールの構成は可能です。

グローバルリセットモードへの遷移が行われるときの全レジスタの動作の詳細については、「28.3.4. グローバルモード遷移とチャネルモード遷移の相互作用」を参照してください。

グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC を 01b にセットすることにより、グローバルモードをリセットに設定すると、チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC が 01b にセットされ、チャネルが強制的にチャネルリセットモードになります。

すでにチャネルリセットモードまたはチャネルスリープモードになっているチャネルについては、この自動遷移は行われません（関連するチャネルの CFDC0CTR.CHMDC がすでに 01b にセットされている場合）。

グローバルモード制御ビット CFDGCTR.GMDC をリセットモードに設定した後、CFDGCTR.GMDC を再度変更する前に、グローバルステータスレジスタのリセットモードステータスビット CFDGSTS.GRSTSTS が更新されていること、つまり、グローバルリセットモードへの遷移が正常に行われたことを確認する必要があります。

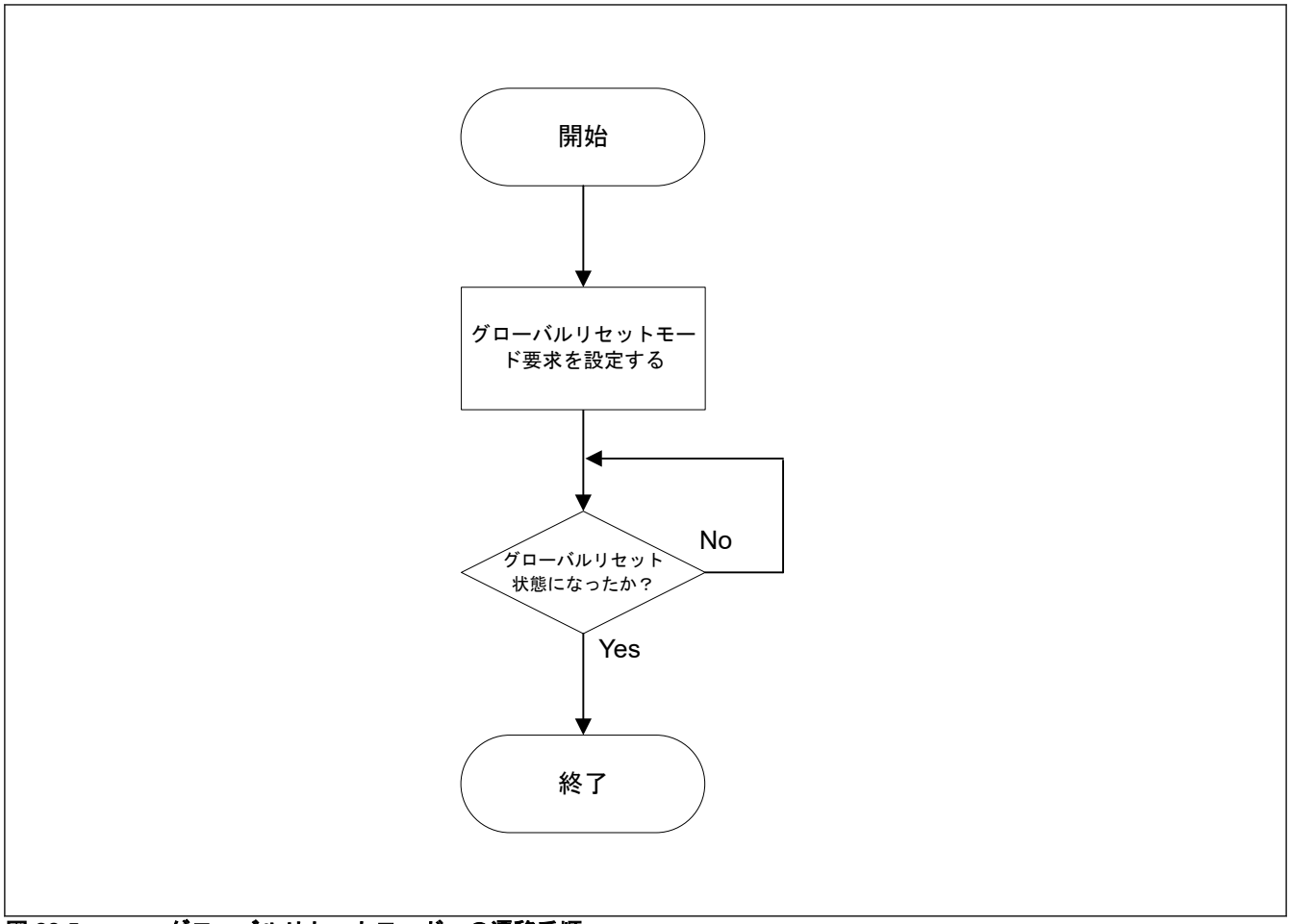


図 28.5 グローバルリセットモードへの遷移手順

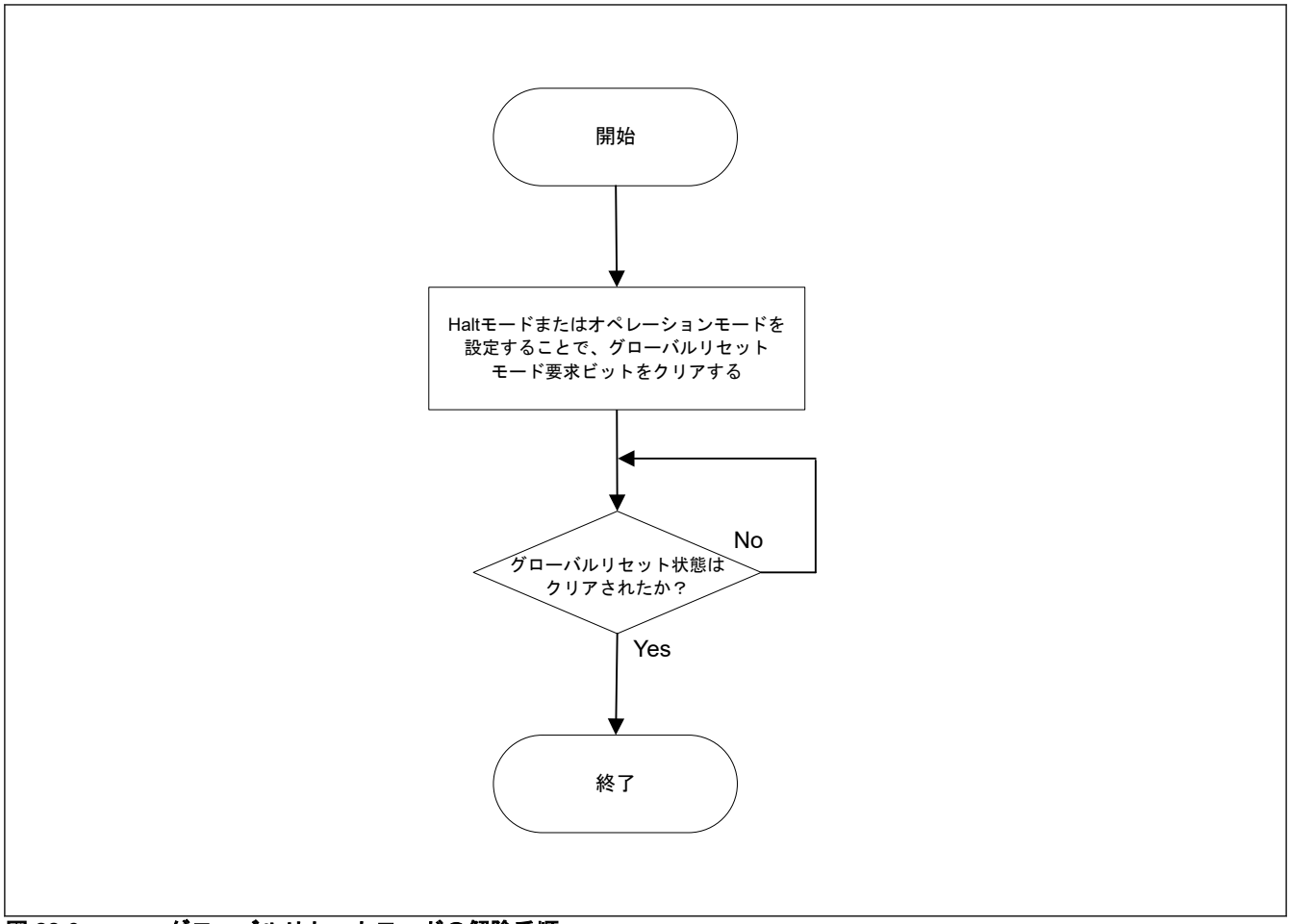


図 28.6 グローバルリセットモードの解除手順

28.3.2.3 グローバル Halt モード

CANFD モジュールは、以下の方法でこのモードに遷移します。

- CANFD モジュールがグローバルリセットモードのとき、グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC がグローバル Halt モードに設定される。
  - チャネルリセットモードまたはチャネルスリープモードのいずれかのチャネルは、そのモードのまま保たれる。
- CANFD モジュールがグローバルオペレーションモードのとき、グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC がグローバル Halt モードに設定される。
  - チャネルリセットモード、チャネル Halt モード、チャネルスリープモードのチャネルは、そのモードのまま保たれる。
  - チャネルオペレーションモードのチャネルは、チャネル Halt モードに遷移する。
  - チャネルがチャネルオペレーションモードから遷移すると、グローバル Halt モードステータスビットがセットされる。

チャネルが送信または受信を実行中の場合、通信が完了するまでチャネル Halt モードへの遷移は遅延されます。

同様に、チャネルがバスオフ状態の場合、チャネルの構成に応じて、完全なバスオフ復帰シーケンスが遅延されることがあります。

グローバル Halt モードでは、すべての通信がサスペンド状態になり、CANFD ロジックによりステータスレジスタおよびフラグレジスタが変更されることはありません（チャネルがバスオフ状態であるときのみ、REC 値と TEC 値がクリアされます）。また、このモードでは、テストモードの構成やコントロールレジスタは初期化されません。

グローバル Halt モードは、グローバルモジュールテストモードを構成するために使用します。

グローバル Halt モードへの遷移が行われるときの全レジスタの動作の詳細については、「28.3.4. グローバルモード遷移とチャネルモード遷移の相互作用」を参照してください。

グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC を 10b にセットすることによってグローバルモードを Halt に設定すると、チャネルオペレーションモードになっているチャネルのチャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC が 10b にセットされ、強制的にチャネル Halt モードになります。

すでにチャネルリセットモード、チャネル Halt モード、またはチャネルスリープモードになっているチャネルについては、この自動遷移は行われません。

したがって、グローバル Halt モード要求は、メッセージをロストしたり関連する CAN バスを混乱させることなく（チャネル上の受信／送信プロセスを中断せずに）、すべての CANFD チャネル通信を遮断するために使用できます。

グローバルモード制御ビット CFDGCTR.GMDC を Halt モードに設定した後、グローバルステータスレジスタの Halt モードステータスビット CFDGSTS.GHLTSTS が更新されていること、つまり、グローバル Halt モードへの遷移が正常に行われたことを確認する必要があります。CFDGSTS.GHLTSTS がセットされていることを確認するまでは、他の SFR 設定を指定しないでください。

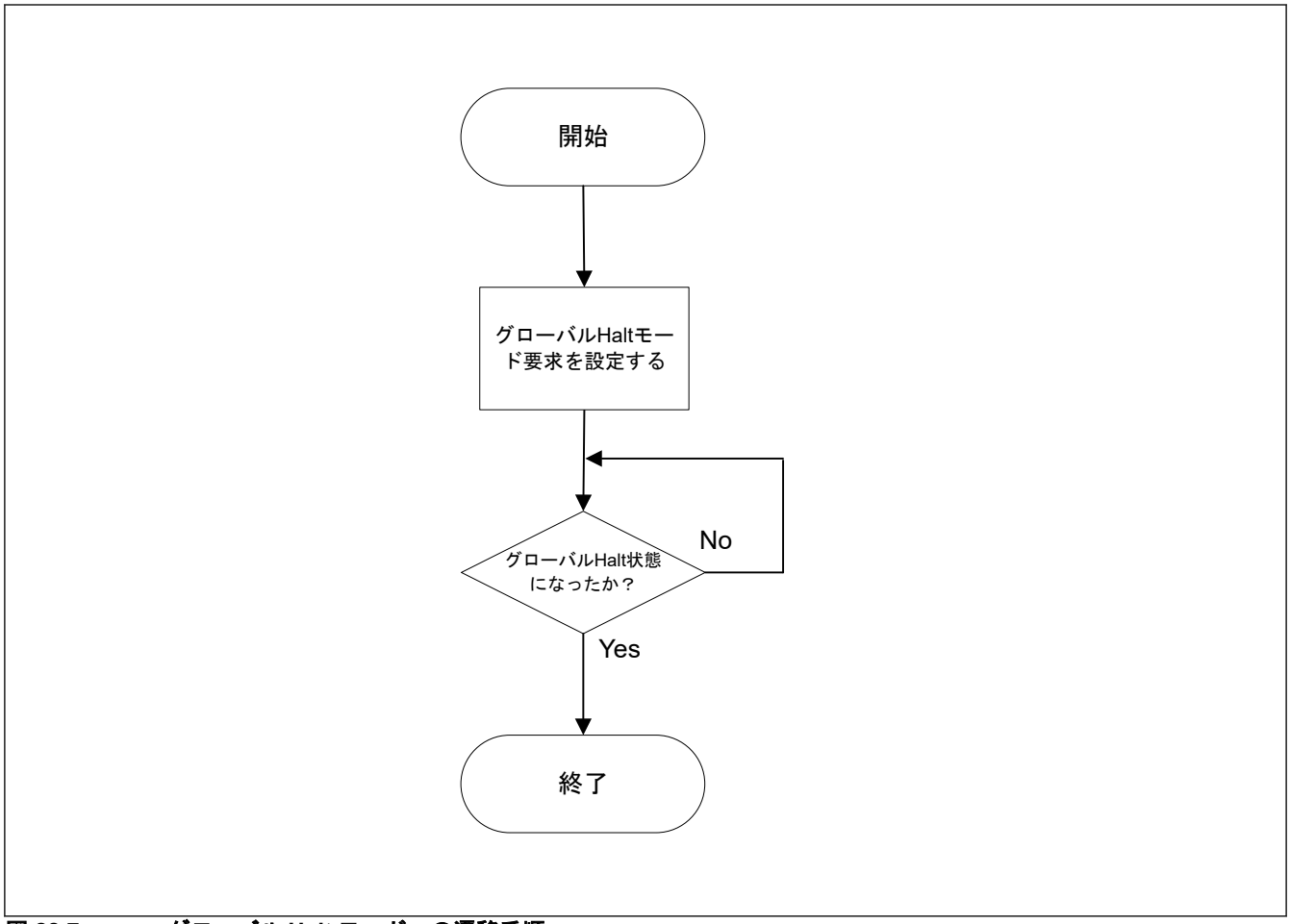


図 28.7 グローバル Halt モードへの遷移手順

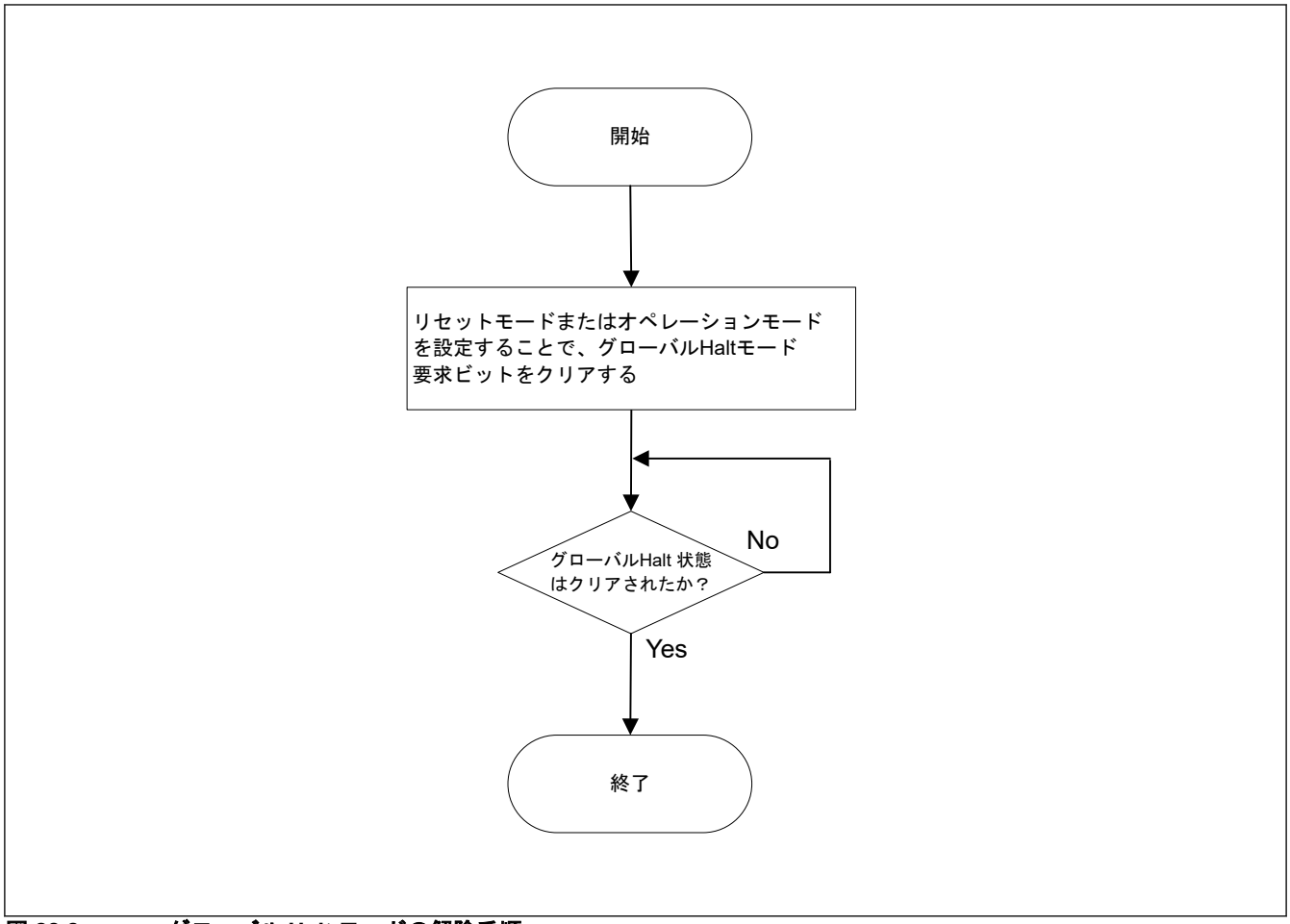


図 28.8 グローバル Halt モードの解除手順

28.3.2.4 グローバルオペレーションモード

CANFD モジュールは、グローバルモードコンフィグレーションビットがグローバルオペレーションモードに設定されたとき、このモードに遷移します。

CANFD がグローバルオペレーションモードのときのみ、CANFD チャネルをチャネルオペレーションモードに設定して、CAN 通信を開始することができます。

グローバルモード制御ビット CFDGCTR.GMDC をグローバルオペレーションモードに設定した後、CFDGCTR.GMDC を再度変更する前に、グローバルステータスレジスタのグローバルリセットモードステータスビット CFDGSTS.GRSTSTS およびグローバル Halt モードステータスビット CFDGSTS.GHLTSTS が更新されていること、つまり、グローバルオペレーションモードへの遷移が正常に行われたことを確認する必要があります。

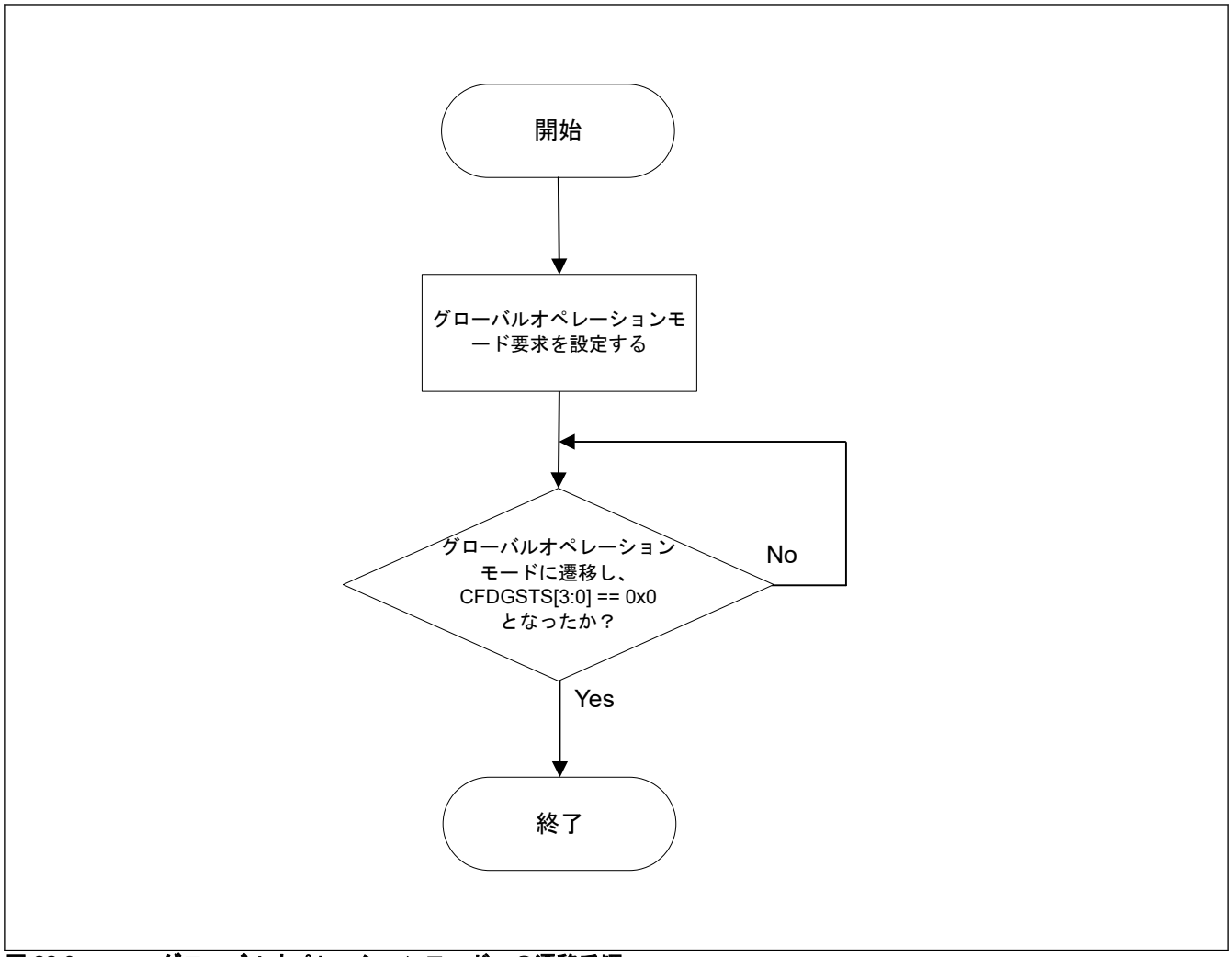


図 28.9 グローバルオペレーションモードへの遷移手順

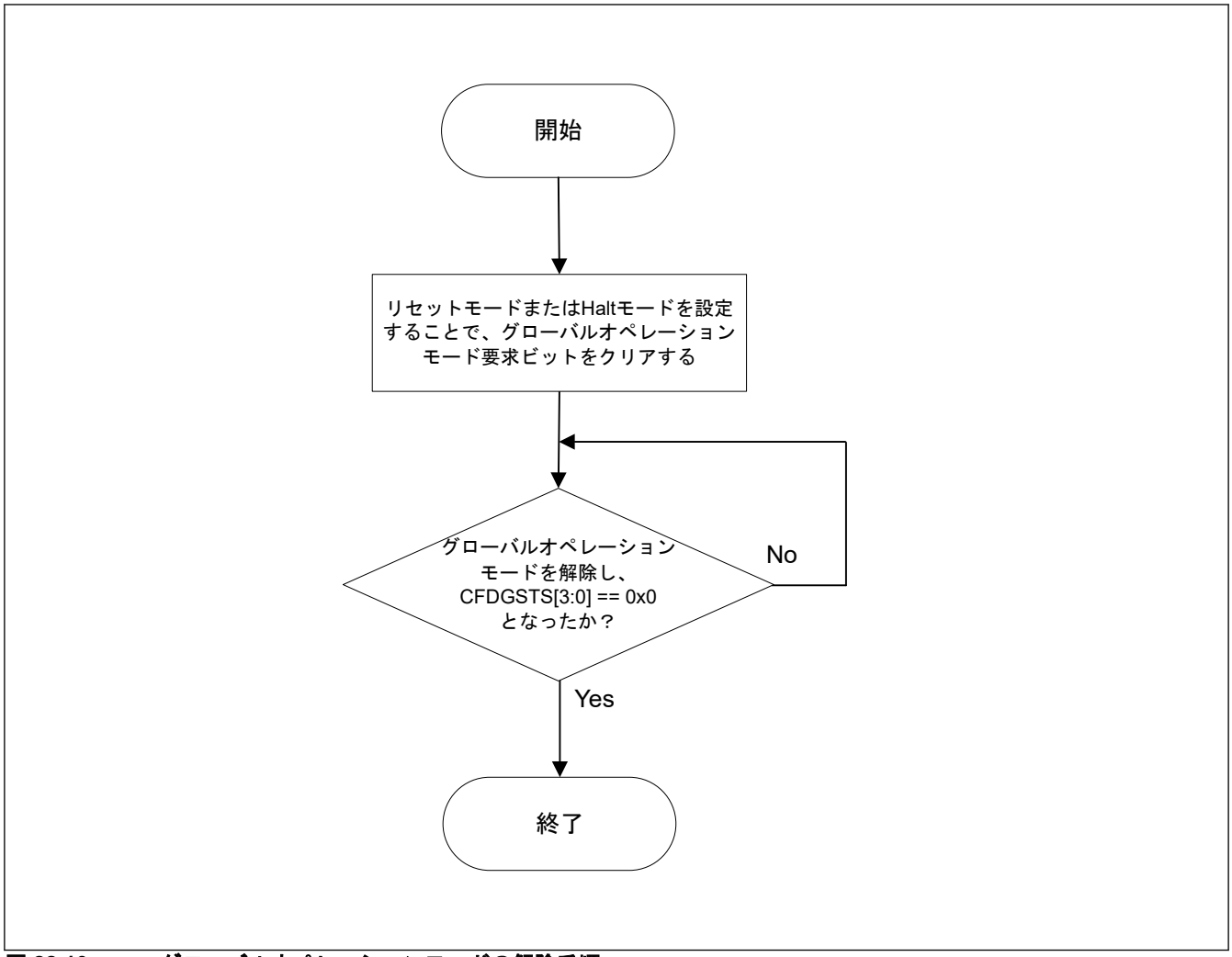


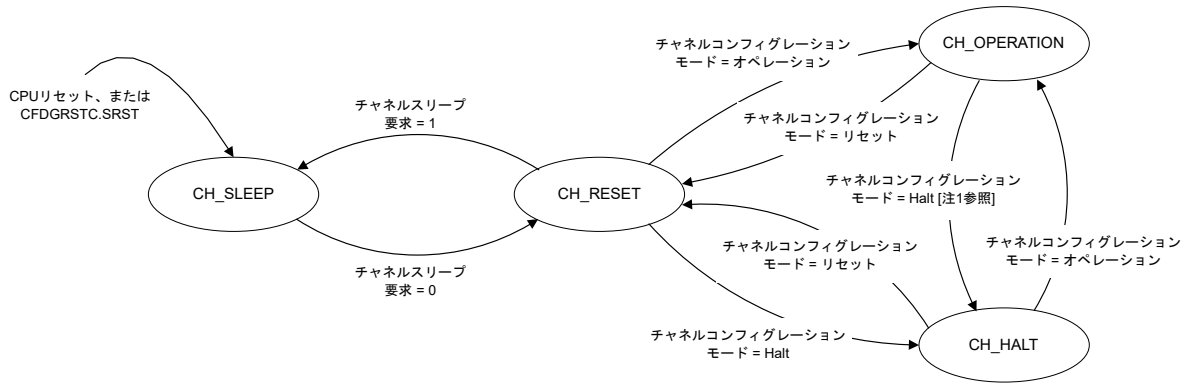
図 28.10　グローバルオペレーションモードの解除手順

28.3.3　チャネルモード

CAN チャネルは、以下の 4 つのチャネルモードのいずれかにできます。

- リセット
- Halt
- オペレーション
- スリープ

図 28.11 に、チャネルモード間で行うことができる遷移を示します。



注 1. 遷移のタイミングは、チャネルコンフィグレーションレジスタの BOM の設定によって決まります。
- BOM = 01b のとき、状態遷移のタイミングは、バスオフ状態遷移した直後です。
- BOM = 10b のとき、状態遷移のタイミングは、バスオフ状態の終了時です。
- BOM = 11b のとき、状態遷移のタイミングは、CHMDC の Halt モードへの設定に一致します。

図 28.11 CAN チャネルモード間の遷移

28.3.3.1 CAN チャネルスリープモード

ハードウェアリセットが解除された後、または CFDGRSTC.SRST ビットがセット／クリアされた後、CANFD モジュールの CAN チャネルは自動的にチャネルスリープモードに遷移します。

CAN チャネルは、チャネルリセットモード中にチャネルスリープモード要求ビットがセットされたときも、チャネルスリープモードに遷移します。チャネル Halt モードやチャネルオペレーションモードでは、この制御ビットをセットしないでください。

CAN チャネルスリープモードに遷移すると、即座に CAN チャネルユニットへのクロック供給が停止され、消費電力が低減されます。

チャネルスリープモード要求ビットをセットした後、このビットを再度クリアする前に、チャネルスリープモードステータスが更新されていること、つまり、チャネルスリープモードへの遷移が正常に行われたことを確認する必要があります。

チャネルスリープモード中は、チャネル関連のレジスタに書き込みを行わないでください。読み出し動作は可能です。

28.3.3.2 CAN チャネルリセットモード

CANFD CAN チャネルは、以下の方法でこのモードに遷移します。

- 関連する CAN チャネルがチャネル Halt モードまたはチャネルオペレーションモードのとき、チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC がチャネルリセットモードに設定される
- 関連する CAN チャネルがチャネルスリープモードのとき、チャネルスリープモード要求ビットがクリアされる。
- グローバルモード制御ビット CFDGCTR.GMDC がグローバルリセットモードに設定され、かつ、CAN チャネルがチャネルスリープモードまたはチャネルリセットモードではない。

チャネルリセットモードでは、CAN チャネルのすべてのステータスレジスタとフラグレジスタが初期化されます。

さらに、すべてのチャネル関連の送信制御ビットがクリアされ、チャネル関連の TX キューが無効になります。

このモードでは、コンフィグレーションレジスタ（チャネルテストモードレジスタを除く）は初期化されないため、CAN チャネルの通信を構成することは可能です。

チャネルリセットモードへの遷移が行われるときの全レジスタの動作の詳細については、「28.3.4. グローバルモード遷移とチャネルモード遷移の相互作用」を参照してください。

チャネルモード制御ビット CFDC0CTR.CHMDC をチャネルリセットモードに設定した後、関連する CFDC0CTR.CHMDC ビットを再度変更する前に、関連するチャネルステータスレジスタのリセットモードステータスビット CFDC0STS.CRSTSTS が更新されていること、つまり、チャネルリセットモードへの遷移が正常に行われたことを確認する必要があります。

CAN 通信中にチャネルリセットモードに遷移する動作については、表 28.15 を参照してください。

28.3.3.3 CAN チャネル Halt モード

CANFD CAN チャネルは、以下の方法でこのモードに遷移します。

- 関連する CAN チャネルがチャネルリセットモードまたはチャネルオペレーションモードのとき、チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC がチャネル Halt モードに設定される。
- グローバルモード制御ビット CFDGCTR.GMDC がグローバル Halt モードに設定され、かつ、CAN チャネルがチャネルオペレーションモードである。

チャネル Halt モードでは、すべてのチャネル CAN 通信がサスペンド状態になりますが、すべてのステータスレジスタとフラグレジスタはチャネル Halt モードに遷移する間変化しません (バスオフの場合を除きます。バスオフの場合、そのチャネルの REC 値と TEC 値がクリアされます)。

また、このモードでは、チャネルテストモードの構成やコントロールレジスタは初期化されません。

チャネル Halt モードは、チャネルテストモードを構成するために使用します。

チャネル Halt モードへの遷移が行われるときの全レジスタの動作の詳細については、「28.3.4. グローバルモード遷移とチャネルモード遷移の相互作用」を参照してください。

チャネルモード制御ビット CFDC0CTR.CHMDC をチャネル Halt モードに設定した後、関連する CFDC0CTR.CHMDC を再度変更する前に、関連するチャネルステータスレジスタの Halt モードステータスビット CFDC0STS.CHLTSTS が更新されていること、つまり、チャネル Halt モードへの遷移が正常に行われたことを確認する必要があります。

CAN 通信中にチャネル Halt モードに遷移する動作については、表 28.15 を参照してください。

表 28.15 CAN リセットモードおよび Halt モードの遷移動作

モード	状態		
	受信	送信	バスオフ
CAN チャネルリセットモード (CFDC0CTR.CHMDC = 01b)	CAN チャネルは実行中の受信の完了を待たずに、チャネルリセットモードに遷移します。(注1)	CAN チャネルは実行中の送信の完了を待たずに、チャネルリセットモードに遷移します。(注1)	CAN チャネルは、バスオフ復帰の完了を待たずにチャネルリセットモードに遷移します。
CAN チャネル Halt モード (CFDC0CTR.CHMDC = 10b)	CAN チャネルは、実行中の受信またはエラーの終了時にチャネル Halt モードに遷移します。(注2)	CAN チャネルは、実行中の送信の完了後にチャネル Halt モードに遷移します。	CFDC0CTR.BOM が 00b のとき、チャネル Halt モード要求は、完全なバスオフ復帰シーケンスが完了した後でのみ受け付けられます。 CFDC0CTR.BOM が 10b のとき、CAN チャネルはバスオフ復帰の完了を待ってから、チャネル Halt モードに自動的に遷移します。 CFDC0CTR.BOM が 01b のとき、CAN チャネルはバスオフ復帰の完了を待たずに、チャネル Halt モードに自動的に遷移します。 CFDC0CTR.BOM が 11b のとき、CAN チャネルはチャネル Halt モードが要求されるとすぐに (バスオフ復帰の完了を待たずに) チャネル Halt モードに遷移します。

注 1. 現在実行中の通信の終了時にチャネルリセットモードに遷移すればよい場合、先にチャネル Halt モードを要求することで、チャネルリセットモードに直接遷移して CAN 通信が中断するのを防ぐことができます。CAN チャネルがチャネル Halt モードに遷移した後、チャネルリセットモードを要求することができます。

注 2. エラーフラグ後に CAN 通信がドミナントレベルでロックされている場合、ソフトウェアでチャネル関連のバスロックフラグを監視することでこの状況を検出し、CAN チャネルをチャネルリセットモードに設定してロック状態を解除できます。

28.3.3.4 CAN チャネルオペレーションモード

チャネルオペレーションモードは、CFDC0CTR.CHMDC ビットを 00b にセットすることでアクティブになります。CAN オペレーションモードに遷移した後、11 の連続するレセシブビットを検出すると、CFDC0STS.COMSTS ビットがセットされ、CAN チャネルは以下を行います。

- チャネルを CAN ネットワーク上のアクティブノードにすることで、チャネル通信の機能を有効にする。
- 受信および送信エラーカウンタを含む、内部のフォルト隔離ロジックを解除する。

この時点で、CAN チャネルは CAN メッセージの送受信を開始できます。

チャネルは、実行している機能のタイプによって、CAN チャネルオペレーションモード内でさらに 4 種類のサブモードに分けられます（図 28.12 を参照）。

- チャネルアイドル: CAN チャネルは受信も送信も行っていない
- チャネル受信：チャネルは別の CAN ノードから送信された CAN メッセージを受信している
- チャネル送信：チャネルは CAN メッセージを送信している

注. セルフテストモードが有効な場合、チャネルは同時に自メッセージを受信する可能性があります。

- チャネルがバスオフ状態：CAN チャネルが CAN バス通信から切り離されている

チャネルモード制御ビット CFDC0CTR.CHMDC をチャネルオペレーションモードに設定した後、関連する CFDC0CTR.CHMDC ビットを再度変更する前に、チャネルステータスレジスタのチャネルリセットモードステータスビット CFDC0STS.CRSTSTS およびチャネル Halt モードステータスビット CFDC0STS.CHLTSTS が更新されていること、つまり、チャネルオペレーションモードへの遷移が正常に行われたことを確認する必要があります。

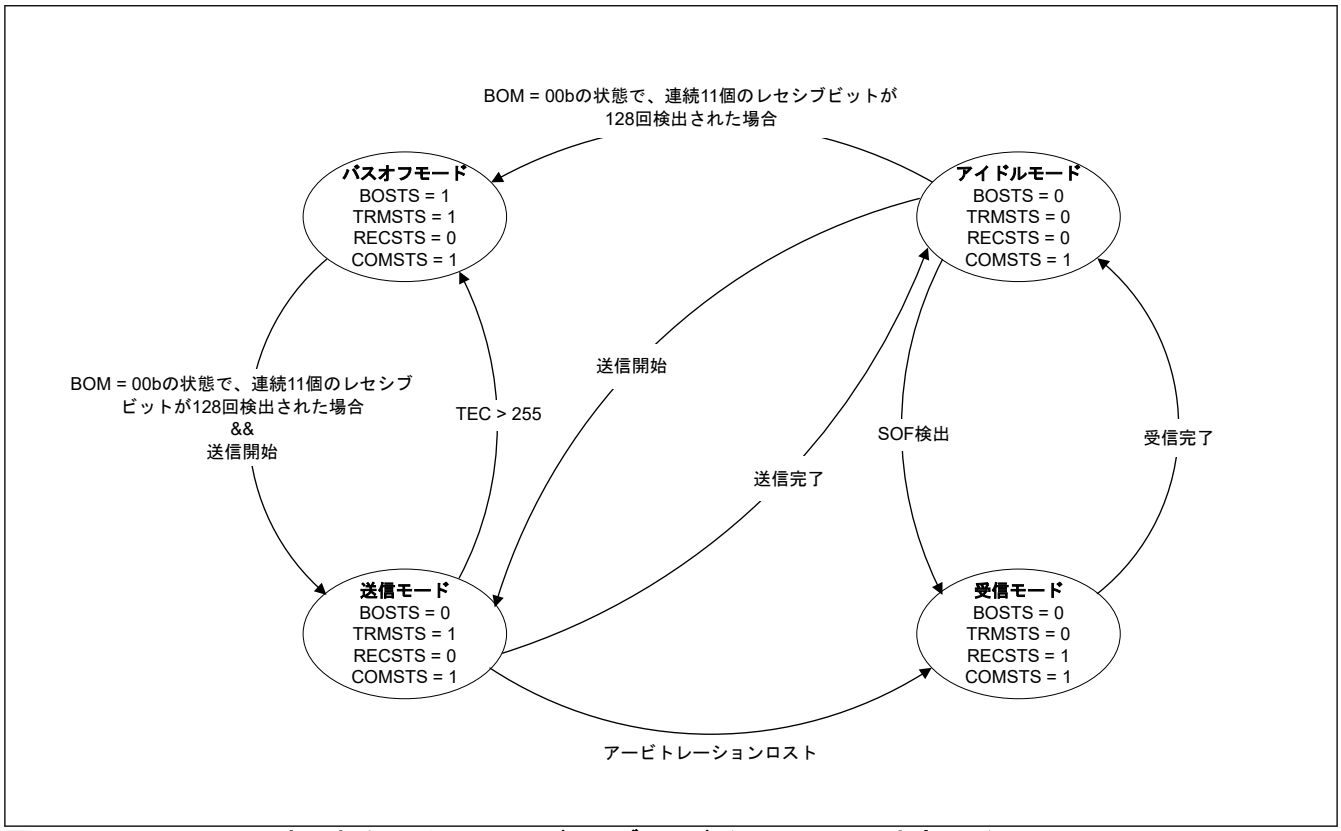


図 28.12 CAN チャネルオペレーションモードのサブモード（BOM = 00b のときのみ）

28.3.3.5 CAN チャネルバスオフ状態

CAN チャネルバスオフ状態へは、CAN 仕様のフォルト隔離規則に従って遷移します。バスオフ状態から CAN チャネルオペレーションモードへの復帰について、以下のモードを構成できます。

- CFDC0CTR.BOM = 00b:
  バスオフからの復帰は ISO 11898-1 に準拠します。すなわち、CAN チャネルは、11 個の連続するレセシブビットを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。TEC カウンタと REC カウンタは 0 に初期化されます。この場合、バスオフ復帰フラグ CFDC0ERFL.BORF がセットされます。
- CFDC0CTR.BOM = 01b:
  CAN チャネルは、バスオフ状態に遷移すると、CAN チャネルコントロールレジスタ内の CFDC0CTR.CHMDC ビットの値を 10b に変更した後自動的に、チャネル Halt モードに即座に遷移します。TEC カウンタと REC カウンタは 0 に初期化されます。この場合、バスオフ復帰フラグ CFDC0ERFL.BORF はセットされません。
- CFDC0CTR.BOM = 10b:
  CAN チャネルは、バスオフ状態に遷移すると、即座に CAN チャネルコントロールレジスタの CFDC0CTR.CHMDC ビットの値を 10b に変更し、CAN チャネルがバスオフ復帰シーケンス（11 個の連続するレセシブビットを 128 回検出）を完了した後、チャネル Halt モードに自動的に遷移します。TEC カウンタと REC カウンタは 0 に初期化されます。この場合、バスオフ復帰フラグ CFDC0ERFL.BORF がセットされます。
- CFDC0CTR.BOM = 11b:
  バスオフ復帰が開始されますが、チャネル Halt モードへの遷移が要求された場合、CAN チャネルはバスオフ状態であっても即座にチャネル Halt モードに遷移することができます。
  TEC カウンタと REC カウンタは 0 に初期化されます。バスオフ復帰フラグ CFDC0ERFL.BORF はセットされません。
  CFDC0CTR.CHMDC [1:0] = 10b に設定せずに、11 個のレセシブビットが 128 回連続で検出された場合、遷移条件は CFDC0CTR.BOM = 00b と同じになります。

注. このモードで、バスオフ復帰が正常に（11 個の連続するレセシブビット 128 回のシーケンスを待機した後で）行われた場合、かつ、その間に Halt 要求が発生しなかった場合、バスオフ復帰フラグ CFDC0ERFL.BORF がセットされます。

CAN チャネルが Halt モードに遷移するのと同時（CFDC0CTR.BOM = 01b の場合、バスオフ開始時、CFDC0CTR.BOM = 10b の場合、バスオフ終了時）に、ソフトウェアが CFDC0CTR.CHMDC ビットに書き込みを行うと、ソフトウェア要求が最も優先されます。

注. 上記の場合、CFDC0CTR.CHMDC ビットをチャネル Halt モードに設定する要求の自動設定は、CFDC0CTR.CHMDC ビットの値があらかじめ 00b（チャネルオペレーションモード）に設定されていたときに実行されます。

さらに、CFDC0CTR.RTBO を 1 にセットすると、CAN チャネルをバスオフ状態から強制的に復帰させることができます。最大で 1 CAN ビット時間の遅延時間でエラー状態がバスオフ状態から統合状態に変わり、11 個の連続するレセシブビットが検出された後に、CAN 通信が再度可能になります。この場合、バスオフ復帰フラグはセットされません。TEC カウンタと REC カウンタは 0 に初期化されます。

CFDC0CTR.RTBO を 1 にセットする前に、TX メッセージバッファ、TX キュー、または TX モードの共通 FIFO からの保留中の送信を無効にしなければなりません。

保留中の送信メッセージバッファ、TX キュー、または FIFO が無効化されたことを、対応するアクノリッジフラグで確認する必要があります。

TX メッセージバッファの場合、アクノリッジフラグは送信結果フラグ (CFDTMSTSj.TMTRF) です。TX キューの場合、TX キューエンプティフラグ (CFDTXQSTS.TXQEMP) です。FIFO の場合、FIFO エンプティフラグ (CFDCFSTS.CFEMP) です。

CFDC0CTR.RTBO ビットは、CFDC0CTR.BOM が 00b にセットされているときに限り、バスオフ復帰のために使用します。

このビットをバスオフ以外の状態でセットしても無効で、即座にクリアされます。

表 28.16 に、CFDC0CTR.BOM のさまざまな構成に対する、バスオフエントリフラグ CFDC0ERFL.BOEF とバスオフ復帰フラグ CFDC0ERFL.BORF の設定を示します。

表 28.16　バスオフ開始フラグとバスオフ復帰フラグの動作

BOM	BOEF ビットの設定	BORF ビットの設定
00b	常に設定（バスオフ開始時）	常に設定（バスオフ終了時）
00b CFDC0CTR.RTBO が 1 にセット	常に設定（バスオフ開始時）	ソフトウェアによって CFDC0CTR.RTBO が 1 にセットされる前に通常のバスオフ復帰が発生した場合のみ
01b	常に設定（バスオフ開始時）	設定しない
10b	常に設定（バスオフ開始時）	常に設定（バスオフ終了時）
11b	常に設定（バスオフ開始時）	ソフトウェアが Halt 要求を発行する前に通常のバスオフ復帰が発生した場合のみ

ソフトウェアプロシージャの効率を良くするには、バスオフ復帰シーケンスの終了を待つ必要があります。

バスオフ復帰中、送信の再初期化を行うことができます。これを行うには、図 28.13 に示す推奨ソフトウェアフローに従います。

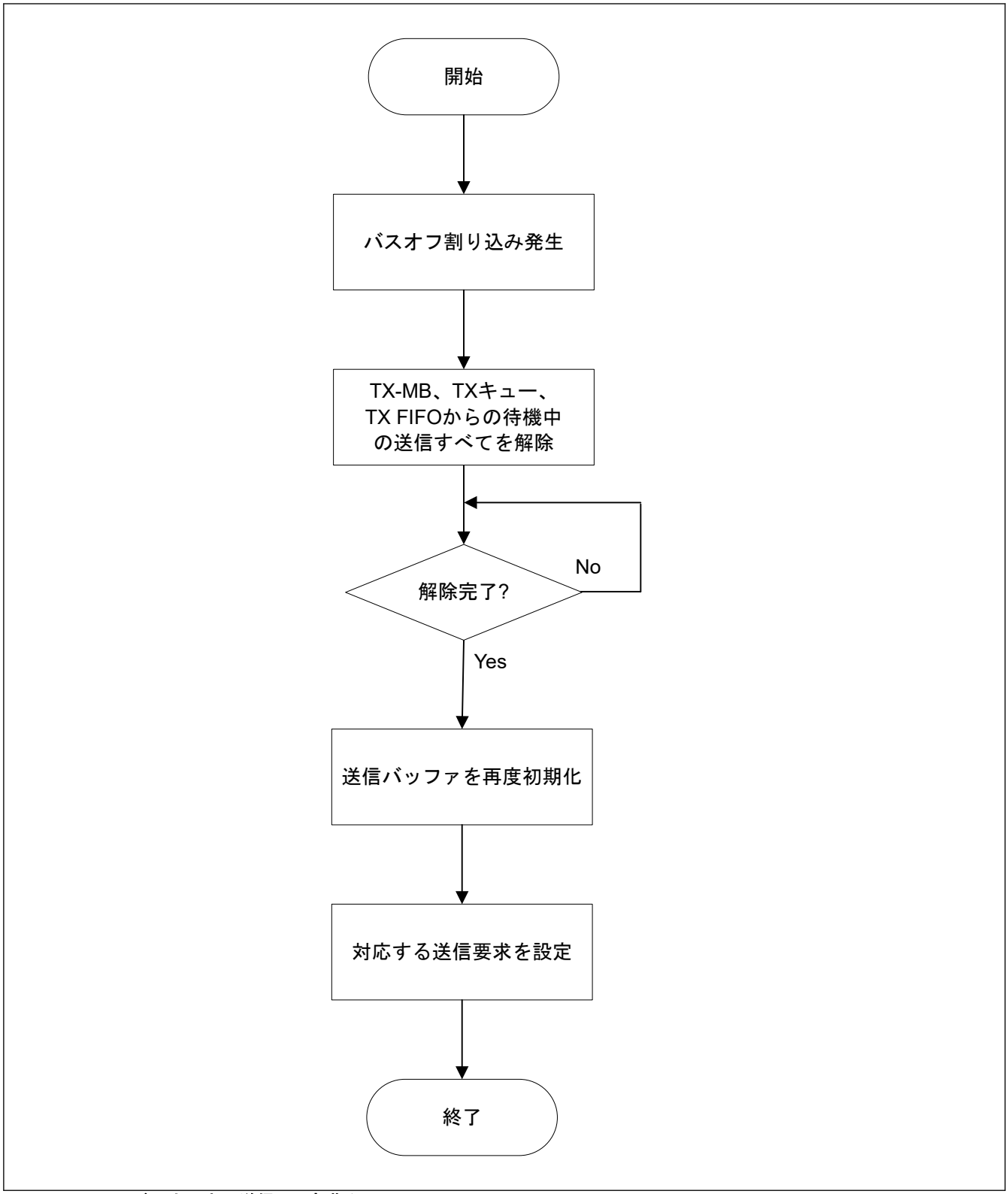


図 28.13 バスオフ中の送信の再初期化

28.3.4 グローバルモード遷移とチャネルモード遷移の相互作用

グローバルモード設定とチャネルモード設定の間には、以下のような相互作用があります。

- チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC を変更しても、グローバルモード制御ビット CFDGCTR.GMDC は変化しない。

- グローバルモード制御ビット CFDGCTR.GMDC を変更すると、表 28.17 に示すようにチャネルモードの制御が変化する。

表 28.17 グローバルモード遷移とチャネルモード遷移の相互作用

グローバルモードの変更	チャネルモード	チャネルモードの遷移動作
スリープ → リセット	スリープ	チャネルはスリープモードのまま
スリープ → Halt	— （グローバルモード変更不可能）	
スリープ → オペレーション	— （グローバルモード変更不可能）	
リセット → スリープ	スリープ	チャネルはスリープモードのまま
	リセット	チャネルスリープ要求ビットが自動的にセットされ、チャネルはスリープモードに遷移
リセット → Halt	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
リセット → オペレーション	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
Halt → スリープ	— （グローバルモード変更不可能）	
Halt → リセット	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
	Halt	チャネルモード制御がリセットモードにセットされ、チャネルはリセットモードに遷移
Halt → オペレーション	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
	Halt	チャネルは Halt モードのまま
オペレーション → スリープ	— （グローバルモード変更不可能）	
オペレーション → リセット	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
	Halt	チャネルモード制御がリセットモードにセットされ、チャネルはリセットモードに遷移
	オペレーション	チャネルモード制御がリセットモードにセットされ、チャネルはリセットモードに遷移
オペレーション → Halt	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
	Halt	チャネルは Halt モードのまま
	オペレーション	チャネルモード制御が Halt モードにセットされ、チャネルは通信終了後に Halt モードに遷移

28.3.4.1 グローバルモード変更のタイミング

グローバルモード変更時の遷移時間を以下の表に示します。

表 28.18 グローバルモード変更時の最大遷移時間 (1/2)

遷移前	遷移後	最大遷移時間
GL_SLEEP	GL_RESET	3 周辺クロックサイクル(注2)
GL_RESET	GL_SLEEP	3 周辺クロックサイクル
GL_RESET	GL_HALT	10 周辺クロックサイクル
GL_RESET	GL_OPERATION	10 周辺クロックサイクル
GL_HALT	GL_RESET	2CAN ビット時間
GL_HALT	GL_OPERATION	3 周辺クロックサイクル

表 28.18 グローバルモード変更時の最大遷移時間 (2/2)

遷移前	遷移後	最大遷移時間
GL_OPERATION	GL_RESET	2CAN ビット時間
GL_OPERATION	GL_HALT	3CAN フレーム(注1) (注3)

注 1. ここに示す遷移時間は、バスにエラーが発生していない場合の値です。エラーが発生した場合、遷移時間は予測不可能なほど長くなることがあります。遷移時間は、RX ラインのロックまたは継続的なエラー状態によって膠着状態になることがあります。
注 2. GL_SLEEP モードからの遷移は、CFDGSTS.GRAMINIT がクリアされているときのみ行ってください。
注 3. TQ、CAN フレーム、および CAN ビットは、個々のチャネルに関連しています。最大遷移時間を得るには、ボーレートが最も低いチャネルを使用する必要があります。

28.3.4.2 チャネルモード変更のタイミング

チャネルモード変更時の遷移時間を以下の表に示します。

表 28.19 チャネルモード変更時の最大遷移時間

遷移前	遷移後	最大遷移時間
CH_SLEEP	CH_RESET	3 周辺クロックサイクル
CH_RESET	CH_SLEEP	3 周辺クロックサイクル
CH_RESET	CH_HALT	3 CAN ビット時間
CH_RESET	CH_OPERATION	4 CAN ビット時間
CH_HALT	CH_RESET	2 CAN ビット時間
CH_HALT	CH_OPERATION	4 CAN ビット時間(注3)
CH_OPERATION	CH_RESET	2 CAN ビット時間
CH_OPERATION	CH_HALT	2 CAN フレーム(注1) (注2)

注 1. この遷移で指定した時間には、チャネルがバスオフ状態に入った場合を含みません。バスオフの場合、タイミングは CFDC0CTR.BOM[1:0]ビットの設定によって変わります。
注 2. ここに示す遷移時間は、バスにエラーが発生していない場合の値です。エラーが発生した場合、遷移時間は予測不可能なほど長くなることがあります。遷移時間は、RX ラインのロックまたは継続的なエラー状態によって膠着状態になることがあります。
注 3. 一般に、CH_HALT モードでボーレートプリスケーラ値 CFDC0NCFG.NBRP が変更されると、遷移時間がずれることがあります。内部プリスケーラは TQ クロックを生成するフリーランニングダウンカウンタで、カウンタが値 0 に到達したときに新しい BRP 値がキャプチャされます。

28.4 初期化

CAN 通信に参加する前に、以下の設定を行います。

- クロックの設定
- ビットタイミングの設定（公称レートとデータレート）
- ボーレートの設定（公称レートとデータレート）
- CANFD 設定
- アクセプタンスフィルタの設定（グローバルアクセプタンスフィルタリストの構成）
- 送信、受信、および GW FIFO の設定
- CAN オペレーションモードの設定

28.4.1 CAN クロック、ビットタイミング、ボーレートの初期化

28.4.1.1 ビットタイミングの条件

各セグメントの構成と、セグメントの設定に適用される制約条件を以下に示します。

1. 各セグメントの設定
   SS = 1 TQ 固定
   TSEG1 = (CFDC0NCFG) と (CFDC0DCFG)(注1) を参照
   TSEG2 = (CFDC0NCFG) と (CFDC0DCFG)(注1) を参照

SJW = (CFDC0NCFG) と (CFDC0DCFG)(注1) を参照
SS + TSEG1 + TSEG2 = 5～49 TQ（データビットレートの場合）／8～385 TQ（公称ビットレートの場合）

2. TSEG1、TSEG2、SJW の制約条件
TSEG1(N) > TSEG2(N) ≥ SJW(N)
TSEG1(D) ≥ TSEG2(D) ≥ SJW(D)(注1)
従来型のフレームのみを使用する場合、CFDC0DCFG のビットフィールド TSEG1 および TSEG2 に有効な値を設定します。

注 1. この機能は、クラシカル CAN 機能では使用できません。

表 28.20 に、必要なサンプルポイント設定を得るためのビットタイミング設定方法の例を示します。

表 28.20 ビットタイミングの例

1 ビット	設定値（TQ）				サンプルポイント(注1)（%）
	SS	TSEG1	TSEG2	SJW	
5TQ	1	2	2	1	60.00
8TQ	1	4	3	1	62.50
	1	5	2	1	75.00
10TQ	1	6	3	1	70.00
	1	7	2	1	80.00
12TQ	1	8	3	1	75.00
	1	9	2	1	83.33
15TQ	1	10	4	1	73.33
	1	11	3	1	80.00
16TQ	1	10	5	1	68.75
	1	11	4	1	75.00
20TQ	1	12	7	1	65.00
	1	13	6	1	70.00
24TQ	1	15	8	1	66.66
	1	16	7	1	70.83
50TQ	1	39	10	4	80.00

注 1. サンプルポイント（75%の場合）

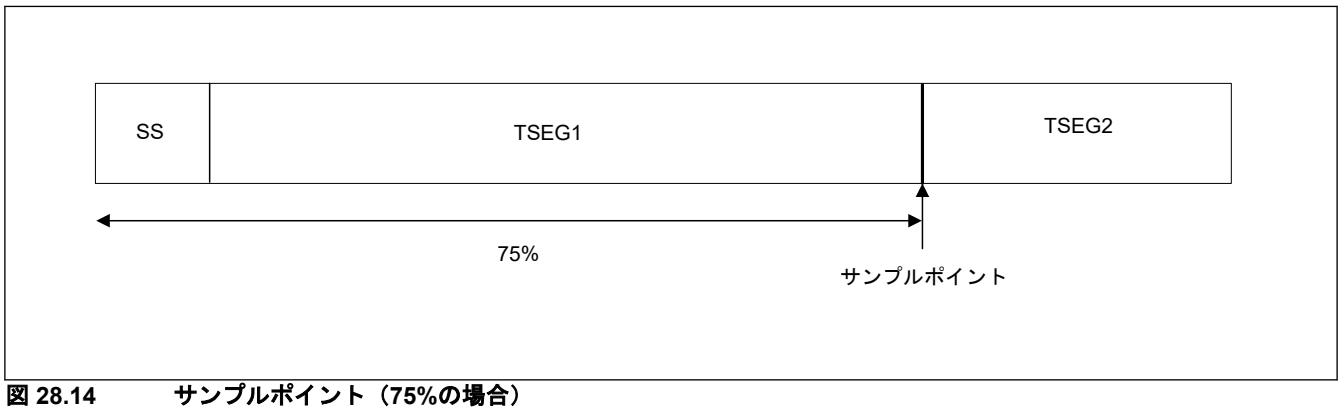


図 28.14 サンプルポイント（75%の場合）

28.4.1.2 CAN のビットタイミング

CAN プロトコルの通信フレームの各ビットは、3 つのセグメントで構成されます。各セグメントは、関連する CFDC0NCFG レジスタおよび CFDC0DCFG(注1)レジスタを使用して、チャネルごとに独立して構成できます。

注 1. このレジスタは、クラシカル CAN 機能では使用できません。

図 28.15 に、各ビットのセグメント構成と、ビット内のサンプルポイントを示します。

これらのセグメントのうち、タイムセグメント 1（TSEG1）とタイムセグメント 2（TSEG2）は、サンプルポイントの位置を指定するために使用されます。TSEG1 と TSEG2 の値を変更することで、CAN バス上の各ビットをサンプリングするタイミングを変えることができます。

このタイミングの最小単位を TQ（Time Quantum）と呼びます。TQ の長さは、CAN チャネルに供給されるクロック周波数と、ボーレートプリスケーラの N 分周値（公称レートおよびデータレート）によって決まります。

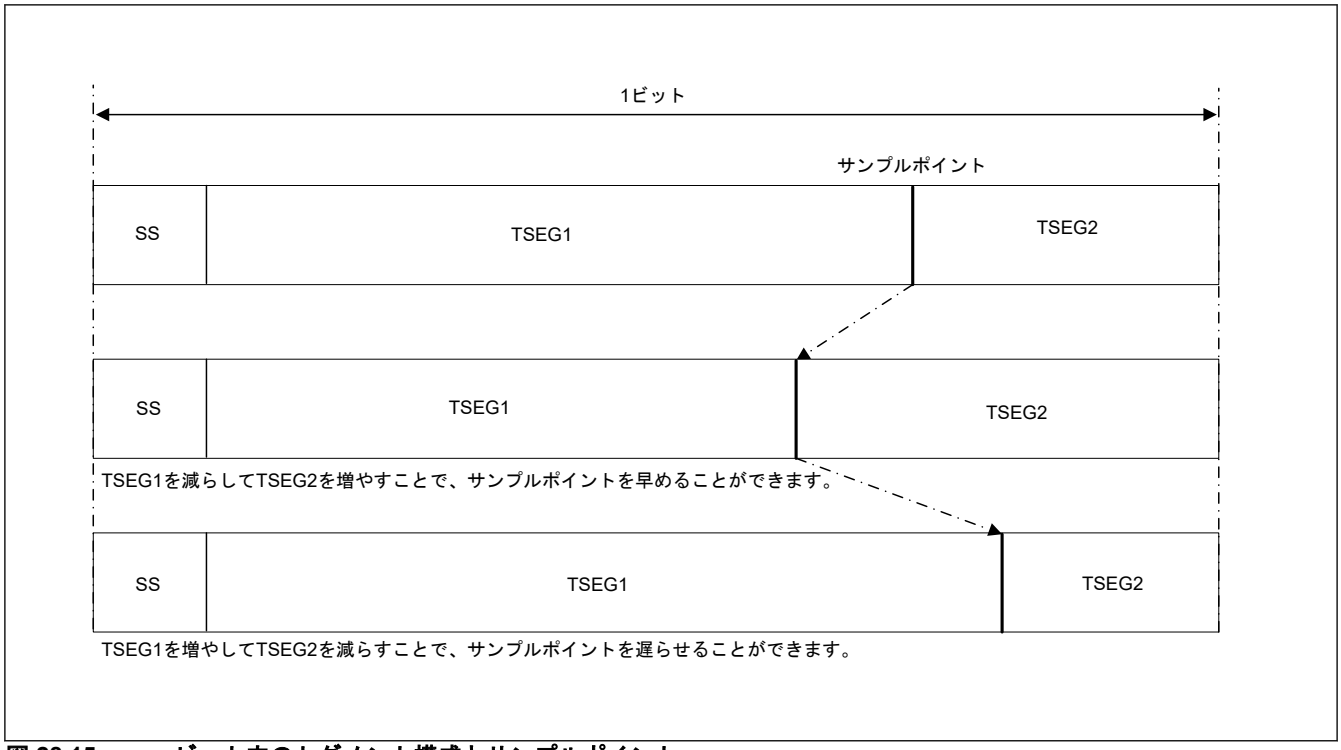


図 28.15 ビット内のセグメント構成とサンプルポイント

1. SS：シンクロナイゼーションセグメント
   インターフレームスペース中のリセシブからドミナントへのエッジをモニタして、ビットを同期するセグメントです。インターフレームスペースは、インターミッション、サスペンドトランスミッション、バスアイドルで構成され、バスアイドル中に全ノードが送信を開始することができます。
2. TSEG1: タイムセグメント 1
   CAN ネットワーク上の物理的な遅延を吸収するセグメントです。ネットワーク上の物理的な遅延は、バス上の遅延、入力コンパレータの遅延、出力ドライバの遅延の総和の 2 倍になります。SJW によって伸ばすことができます。
3. TSEG2：タイムセグメント 2
   再同期を実行してフェーズエラーを補償するセグメントです。SJW によって縮めることができます。メッセージの送受信中、発振器の周波数ドリフトや伝送路の遅延により、一部ノード間の通信フレームの同期がずれる場合があります。これをフェーズエラーと言います。
4. SJW：再同期ジャンプ幅
   フェーズエラーによる同期ズレを補償できる最大ビット幅です。

図 28.15 には、1 つのシンボル的なサンプルポイントのみを示しています。

28.4.1.3 ボーレート

CAN 通信クロックとして、CAN チャネルのシステムクロック（クリーンクロック）または外部発振器クロックのいずれかをグローバルに選択することができます。

転送速度は、DLL クロック、ボーレートプリスケーラの N 分周値、および 1 ビットに含まれる TQ の数によって決まります。

$$\text{ボーレート} = \frac{\text{DLLクロック}}{(\text{1ビット当たりのTQ数}) \times (\text{BRP} + 1)}$$

CAN チャネルシステムクロックを生成する回路のブロック図を図 28.16 に、ボーレートの例を表 28.21 に示します。

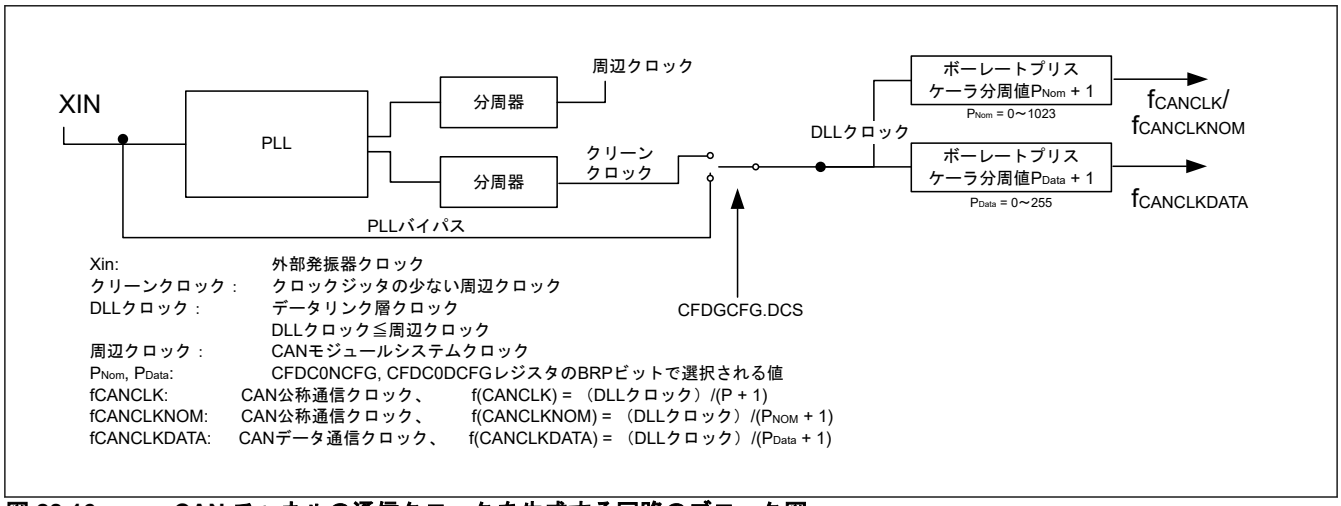


図 28.16 CAN チャネルの通信クロックを生成する回路のブロック図

表 28.21 公称ボーレートの計算式と CAN 通信の構成例

ボーレートの計算式	（DLL クロック） （ボーレートプリスケーラの N 分周値(注1)） × （1 ビット当たりの TQ 数）							
	40 MHz	32 MHz	30 MHz	24 MHz	20 MHz	16 MHz	10 MHz	8 MHz(注2)
1 Mbps	8TQ (5) 20TQ (2)	8TQ (4) 16TQ (2)	10TQ (3) 15TQ (2)	8TQ (3) 12TQ (2) 24TQ (1)	10TQ (2) 20TQ (1)	8TQ (2) 16TQ (1)	10TQ (1)	8TQ (1)
500 Kbps	8TQ (10) 20TQ (4)	8TQ (8) 16TQ (4)	10TQ (6) 15TQ (4) 20TQ (3)	8TQ (6) 12TQ (4) 24TQ (2)	10TQ (4) 20TQ (2)	8TQ (4) 16TQ (2)	10TQ (2) 20TQ (1)	8TQ (2) 16TQ (1)
250 Kbps	8TQ (20) 20TQ (8)	8TQ (16) 16TQ (8)	10TQ (12) 15TQ (8) 20TQ (6)	8TQ (12) 12TQ (8) 24TQ (4)	10TQ (8) 20TQ (4)	8TQ (8) 16TQ (4)	10TQ (4) 20TQ (2)	8TQ (4) 16TQ (2)
125 Kbps	8TQ (40) 20TQ (16)	8TQ (32) 16TQ (16)	10TQ (24) 15TQ (16) 20TQ (12)	8TQ (24) 12TQ (16) 24TQ (8)	10TQ (16) 20TQ (8)	8TQ (16) 16TQ (8)	10TQ (8) 20TQ (4)	8TQ (8) 16TQ (4)
83.3 Kbps	8TQ (60) 12TQ (40) 16TQ (30) 24TQ (20)	8TQ (48) 12TQ (32) 16TQ (24) 24TQ (16)	8TQ (45) 10TQ (36) 12TQ (30) 15TQ (24) 20TQ (18) 24TQ (15)	8TQ (36) 12TQ (24) 16TQ (18) 24TQ (12)	8TQ (30) 10TQ (24) 12TQ (20) 15TQ (16) 16TQ (15) 20TQ (12) 24TQ (10)	8TQ (24) 12TQ (16) 16TQ (12) 24TQ (8)	8TQ (15) 10TQ (12) 12TQ (10) 15TQ (8) 20TQ (6) 24TQ (5)	8TQ (12)
33.3 Kbps	8TQ (150) 12TQ (100) 16TQ (75) 20TQ (60) 24TQ (50)	8TQ (120) 10TQ (96) 12TQ (80) 15TQ (64) 16TQ (60) 20TQ (48) 24TQ (40)	10TQ (90) 12TQ (75) 15TQ (60) 20TQ (45)	8TQ (90) 10TQ (72) 12TQ (60) 15TQ (48) 16TQ (45) 20TQ (36) 24TQ (30)	8TQ (75) 10TQ (60) 12TQ (50) 15TQ (40) 20TQ (30) 24TQ (25)	8TQ (60) 10TQ (48) 12TQ (40) 15TQ (32) 16TQ (30) 20TQ (24) 24TQ (20)	10TQ (30) 12TQ (25) 15TQ (20) 20TQ (15)	8TQ (30)

注. 括弧内の数字はボーレートプリスケーラの N 分周値を示しています。
注 1. ボーレートプリスケーラの N 分周値 = P + 1 (P = 0 - 1023)。ここで、P はチャネルコンフィグレーションレジスタの BRP ビットによって選択された値です。
注 2. 最大公称ボーレート 1 Mbps を実現するための最小周波数です。

表 28.22　公称ビットレートおよびデータビットレート CAN 通信構成に対するボーレートの計算例

ボーレートの計算式	(DLL クロック) (ボーレートプリスケーラの N 分周値(注1)) × (1 ビット当たりの TQ 数)	
	40 MHz	20 MHz
公称 1 Mbps データ 5 Mbps	40TQ (1)	20TQ (1)
	8TQ (1)	不可
公称 500 Kbps データ 2 Mbps	80TQ (1)	40TQ (1)
	20TQ (1)	10TQ (1)

注.　括弧内の数字はボーレートプリスケーラの N 分周値を示しています。この表は、クラシカル CAN 機能では使用できません。
注 1.　ボーレートプリスケーラの N 分周値 = P + 1 (P = 0 - 1023)。ここで、P はチャネルコンフィグレーションレジスタの BRP ビットによって選択された値です。

FD フレームフォーマットを使用するネットワークで最適なクロックトレランスを実現するには、公称ビット時間とデータビット時間の TQ の長さを同じにしなければなりません。これは、CFDC0NCFG.NBRP = CFDC0DCFG.DBRP であることを意味します。

また、トランシーバ遅延補償を使用する場合は、CFDC0DCFG.DBRP ビットを 1 より大きい値に設定してはなりません。1 は、2 で割ることを意味するためです。

28.4.1.4　CAN のクロック、ビットタイミング、ボーレートの設定

図 28.17 に、CAN のチャネルのクロックとボーレートを設定する手順を示します。

これらの設定は、該当する CAN チャネルがチャネルリセットモード（コンフィグレーションモード）のときに行う必要があります。

ボーレートは、チャネル通信状態に入る前に設定しなければなりません。ボーレートが設定されていない場合、モードの切り替えが正しく行われません。

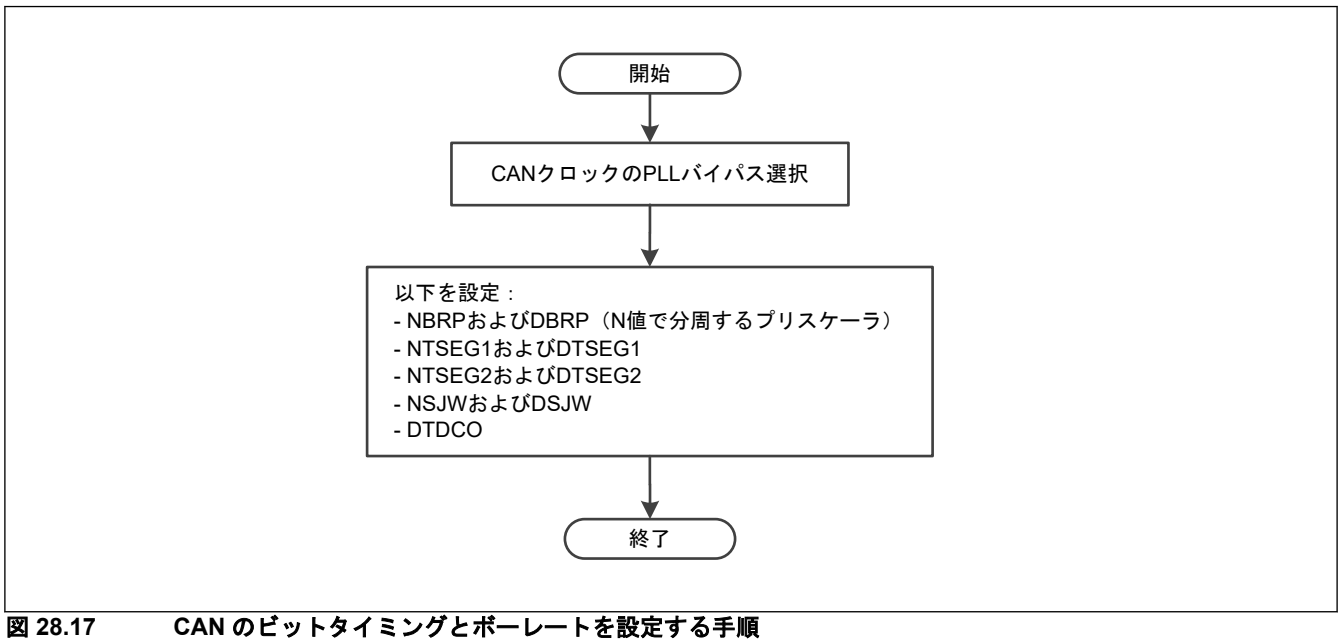


図 28.17　CAN のビットタイミングとボーレートを設定する手順

28.4.1.5　トランスミッタ遅延補償

この章は、クラシカル CAN 機能に対しては適用されません。

データフェーズに 5 Mbps のような高いボーレートを使用した場合、トランスミッタ遅延が TSEG1 より大きくなる場合があります。この場合、トランスミッタは CANFD フレームのデータフェーズのビットエラーを常に検出します。TDC は、トランスミッタ自身が送信したビットを、そのビットのサンプルポイントで受信できない場合を補償します。

もう 1 つのシンボル的なサンプルポイントとして、CANFD フレームのデータフェーズのみで使用されるセカンダリサンプルポイント (SSP) があります。図 28.18 に示すように、SSP はトランシーバ遅延補償結果ビット (CFDC0FDSTS.TDCR) によって設定されます。

構成の分解能、測定値およびオフセット値は、CAN チャネルの DLL クロックに基づきます。

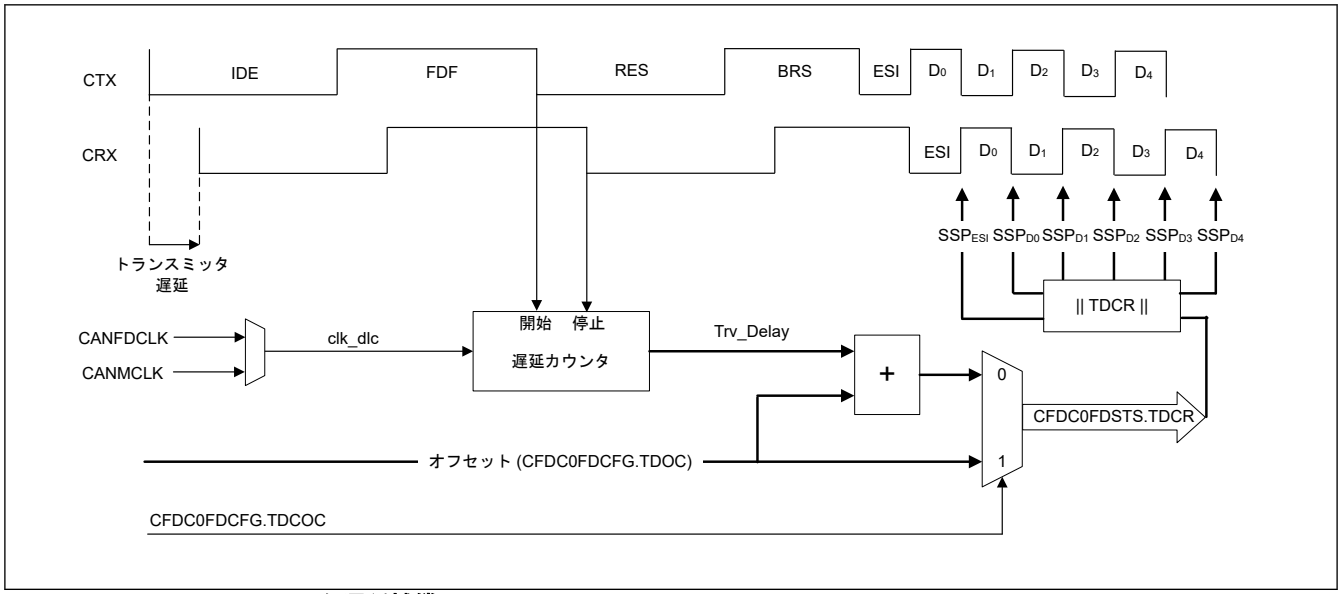


図 28.18 トランスミッタ遅延補償

測定された遅延時間である Trv_Delay は、clk_dlc クロックサイクル数に基づきます。この遅延時間は、ドミナント値が CAN_RX に現れるまで、開始されるクロックごとに 1 ずつカウントアップされます。図 28.19 に測定結果を示します。Trv_Delay が各 clk_dlc クロックで最大 127 までカウントされます。

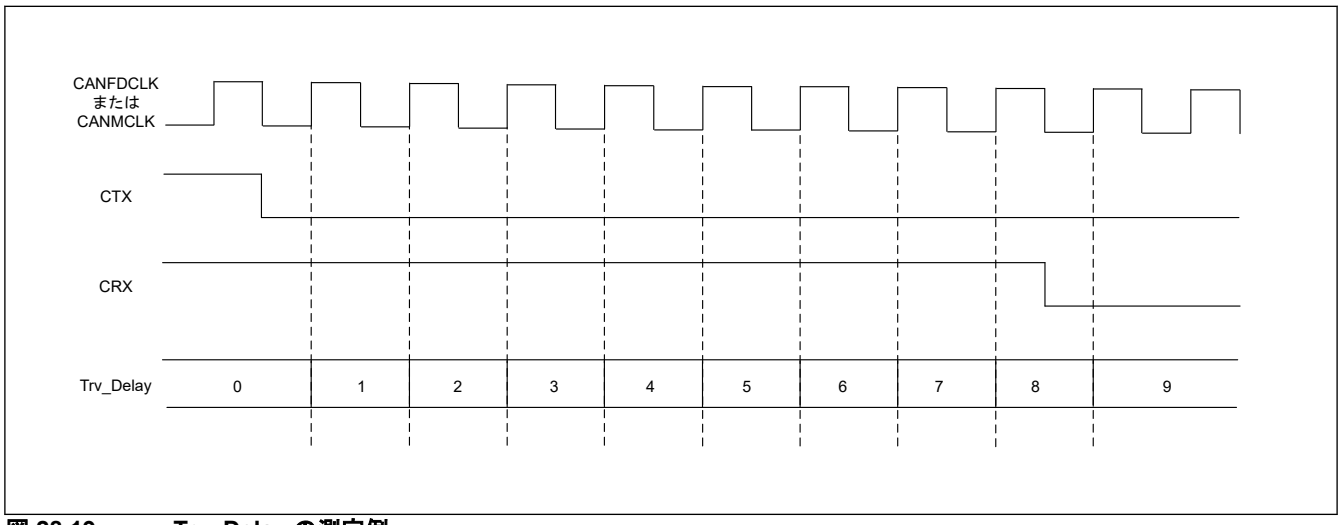


図 28.19 Trv_Delay の測定例

SSP は、CFDC0FDSTS.TDCR の結果を取り、その値をデータ TQ の最も近い整数値に切り捨てることで計算されます。

図 28.20 にセカンダリサンプルポイントの位置を示します。CFDC0FDCFG.TDCOC が 0 のとき、SSP は、Trv_Delay（測定された遅延時間）+ CFDC0FDCFG.TDCO を TQ の最も近い整数値に切り捨てた値と等しくなります。通常、TDCO の値は、SSP をサンプルポイントの理論上の位置に配置するため、(SyncSegmentdata + TSEG1data) の大きさを持ちます。

CFDC0FDCFG.TDCOC が 1 の場合、SSP は CFDC0FDCFG.TDCO によって決定されます。CFDC0DCFG.DBRP が 0 より大きい場合、この値も TQ の最も近い整数値に切り捨てられます。

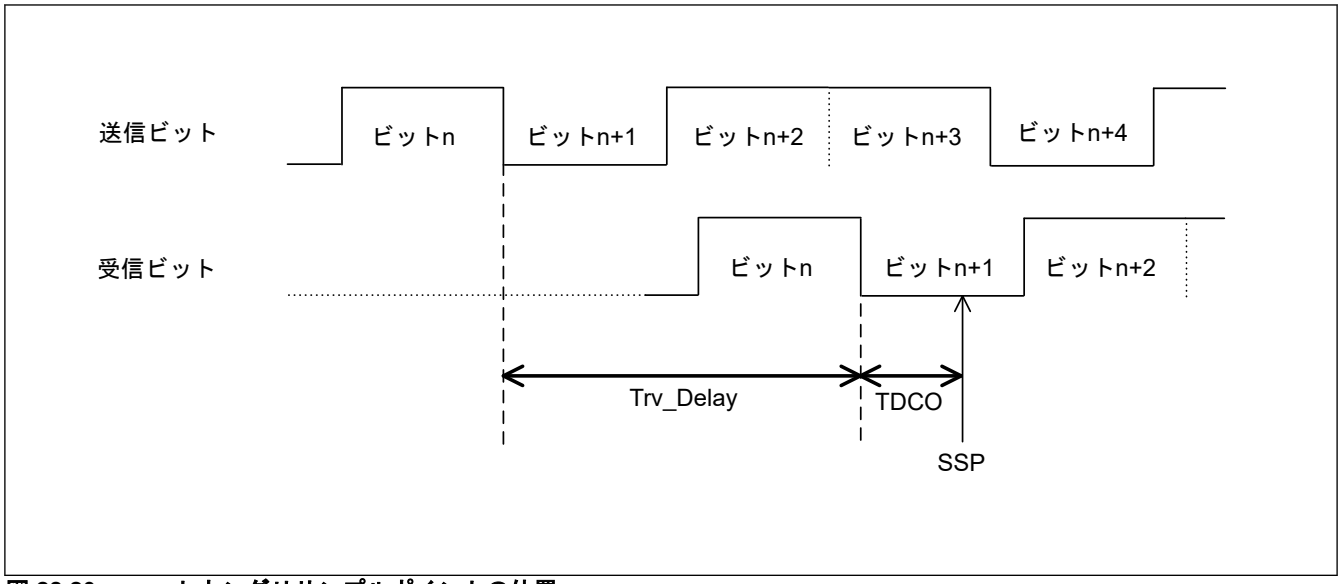


図 28.20　セカンダリサンプルポイントの位置

CANFD モジュールによって補償可能な最大遅延時間 (Trv_Delay + TDCO) は、(6 データビット - 2clk_dlc) です。

ISO 11898-1 では、BRP_data と BRP_nom に異なる値を設定することが許容されています。

CFDC0NCFG.NBRP と CFDC0DCFG.DBRP に異なる値を使用した場合、BRS ビットのサンプルポイントの後で、ビットレートが公称ビットレートからデータビットレートに変化した時点で、2 つの CAN ノードの同期がずれることがあります。この条件を図 28.21 に示します。

公称ビット時間とデータビット時間で、TQ の長さを同じにする必要があります。これは、CFDC0NCFG.NBRP = CFDC0DCFG.DBRP であることを意味します。

タイムセグメントに異なる設定値を選択することで、ビットレートを変えることができます。公称ビットレートは 8～385 TQ の間、データビットレートは 5～49 TQ の間で設定できます。

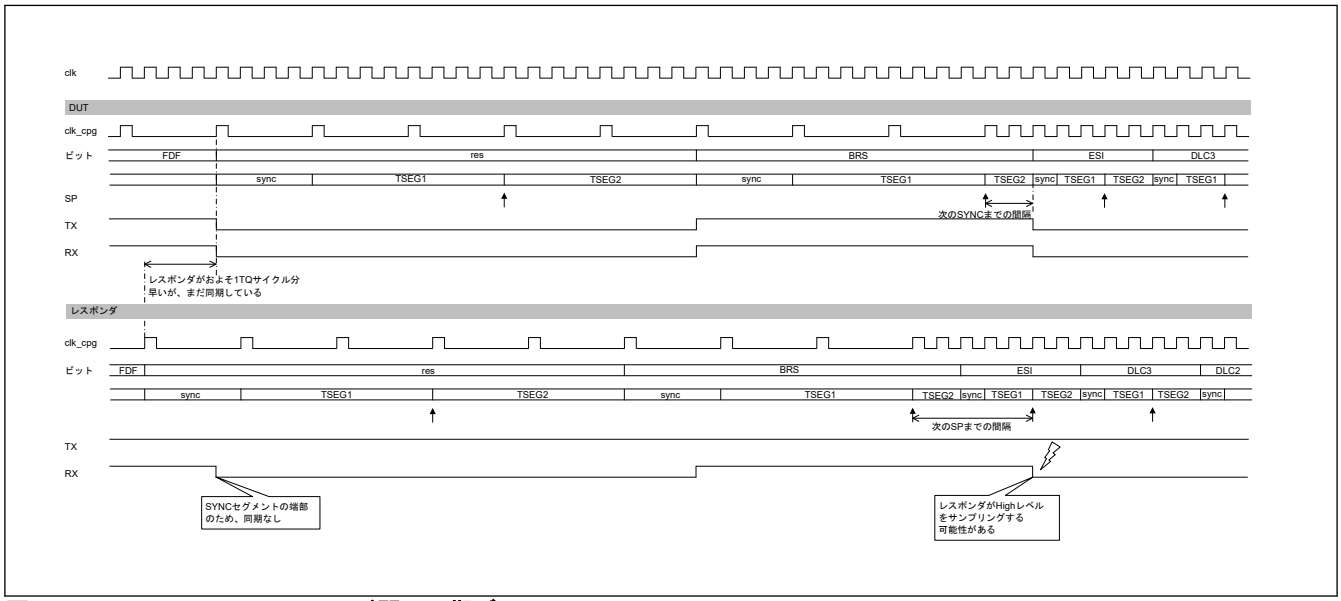


図 28.21　2 つの CAN ノード間の同期ズレ

適切に構成した場合 (CFDC0FDCFG.TDCE = 1, CFDC0FDCFG.TDCOC = 0)、トランスミッタ遅延補償の測定結果は、FDF ビットから RES ビットへの立ち下がりエッジで更新されます。

図 28.22 は、トランスミッタ遅延補償測定結果を取得するための読み出しフローを示しています。

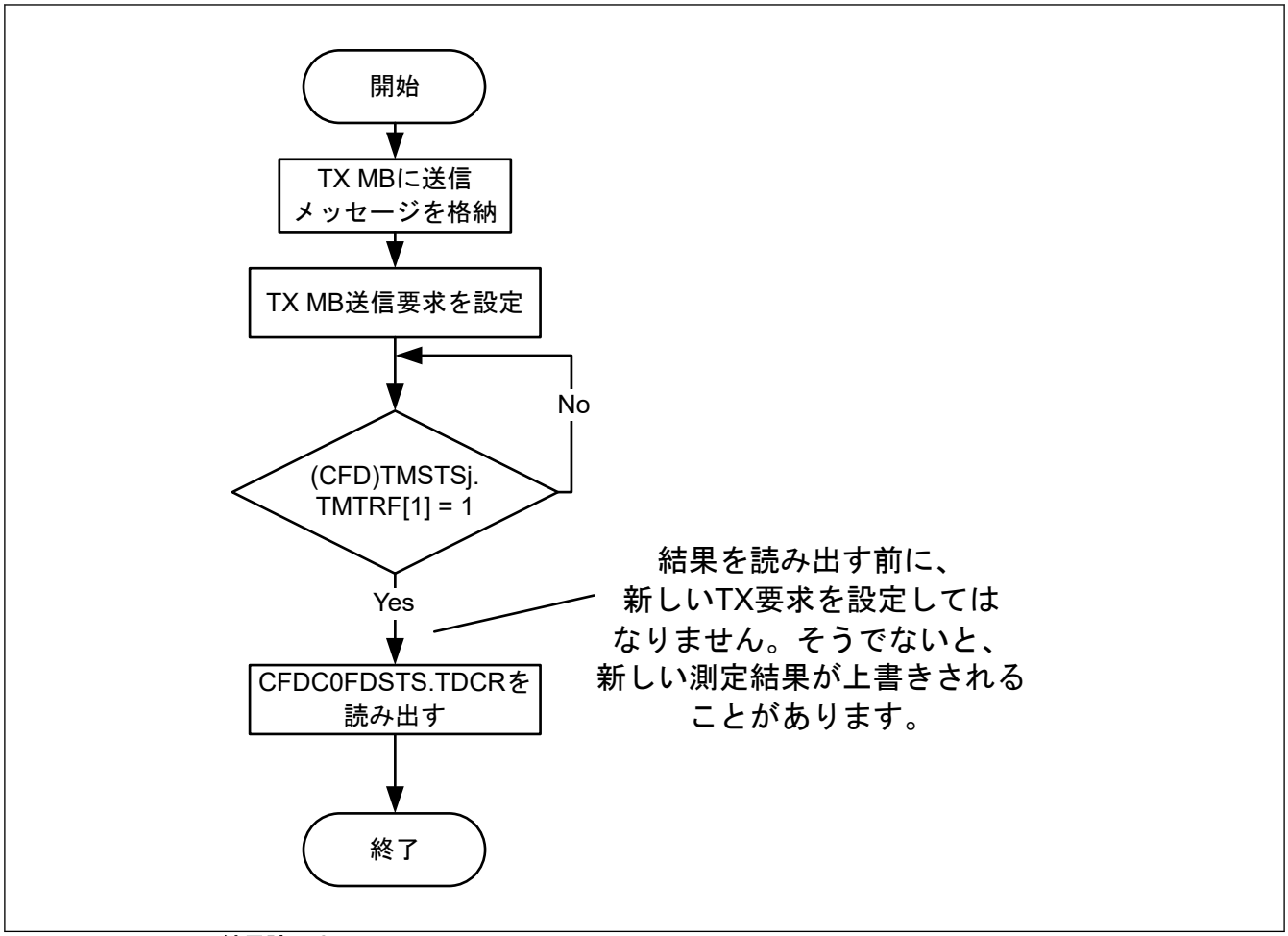


図 28.22 TDC 結果読み出しフロー

28.4.2 ハードウェアリセット後の CAN モジュールの構成

ハードウェアリセット（パワーオンリセット）後、または CFDGRSTC.SRST ビットがセット／クリアされた後、CANFD モジュールは自動的にグローバルスリープモードに遷移します。

CANFD モジュールの構成を行うには、グローバルスリープ要求ビット CFDGCTR.GSLPR を 0 にクリアして、スリープモードを解除する必要があります。

ハードウェアリセット後、モジュールは RAM の初期化を開始します。このとき、グローバルステータスレジスタの CFDGSTS.GRAMINIT ビットが自動的にセットされ、CANFD ロジックが RAM を初期化中であることを示します。

このビットは、RAM の初期化が完了すると自動的にクリアされます。

RAM の初期化は、ハードウェアリセットで RAM に存在するランダムデータがリセットされた後に誤って ECC エラーフラグがセットされるのを防ぐために必要です。

RAM の初期化が終わり、CFDGSTS.GRAMINIT ビットがクリアされるまでは、読み出しか書き込みかを問わず、CANFD のレジスタにアクセスしてはなりません。

通信モードに入る前に、グローバルアクセプタンスフィルタリストとメッセージ FIFO バッファを構成する必要があります。また、CAN のビットタイミングなど、CAN チャネルの構成を行う必要があります。この構成を行うには、CAN チャネルにおいて、チャネルスリープモードを解除し、チャネルリセットモード（コンフィグレーションモード）に通信を構成する必要があります。

図 28.23 に構成手順を示します。各ステップの詳細については、「28.5. グローバルアクセプタンスフィルタリスト（AFL）を使用したアクセプタンスフィルタ機能」、「28.6. FIFO バッファと通常のメッセージバッファの構成」、「28.7. 割り込みと DMA」、「28.4.1.3. ボーレート」を参照してください。

CFDGRSTC.SRST を設定することによってソフトウェアリセットが行われた場合、CANFD モジュールは RAM 初期化シーケンスを実行しません。

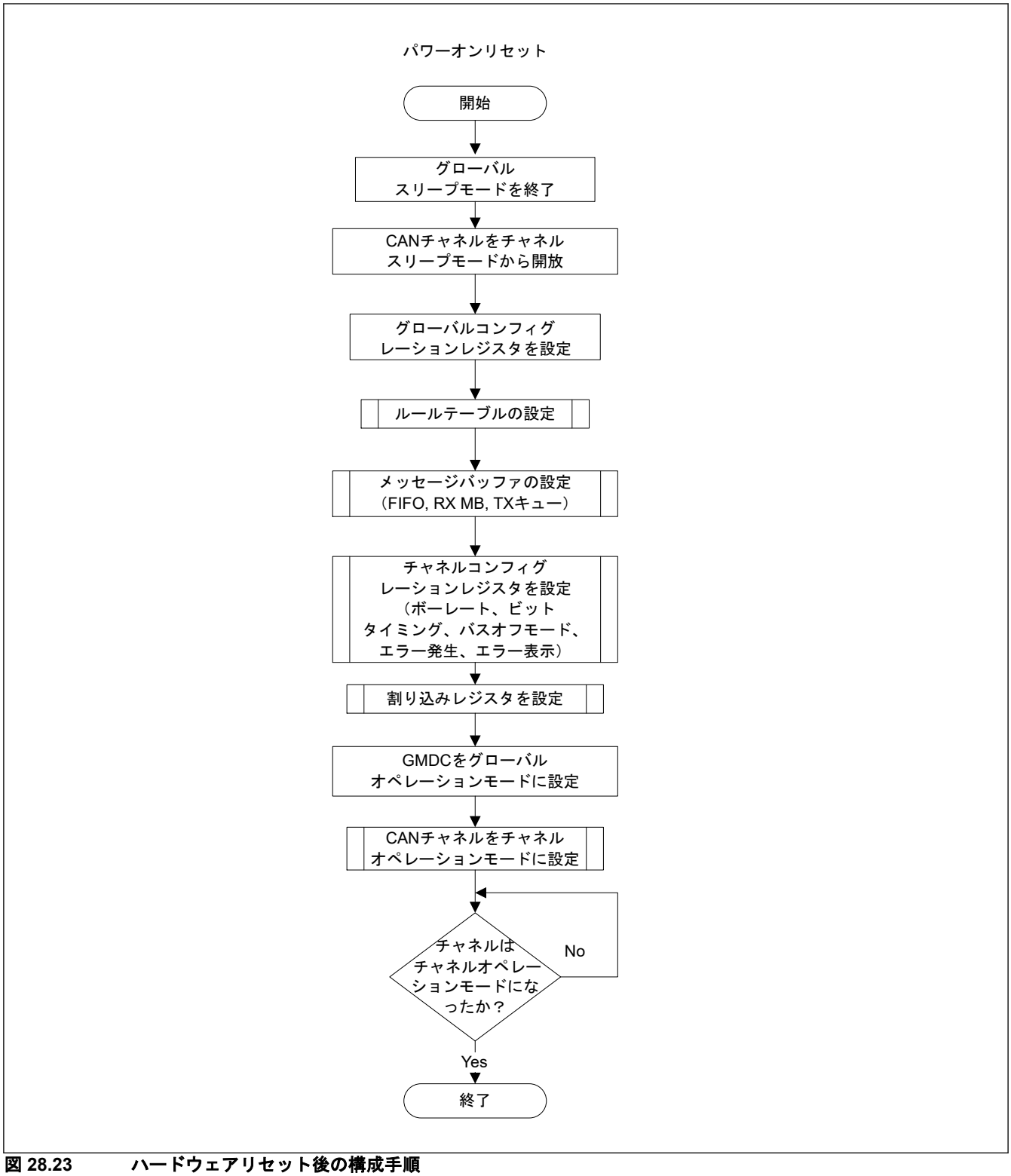


図 28.23 ハードウェアリセット後の構成手順

28.5 グローバルアクセプタンスフィルタリスト（AFL）を使用したアクセプタンスフィルタ機能

28.5.1 概要

CANFD モジュールでは、グローバルアクセプタンスフィルタリスト（以後、AFL と呼ぶ）を使用して、メッセージのアクセプタンスフィルタ処理を行うことができます。AFL の各要素により、特定のチャネルで受信メッセージに対するフィルタルールが定義されます。

AFL のエントリに基づき、以下のアクションが実行されます。

- 受信 CAN ID およびマスクに基づくアクセプタンスフィルタ処理
- 受信 DLC 値に基づく DLC フィルタ処理
- CFDGCFG.CMPOC ビットによるメッセージデータペイロード(注1)
- 受け入れたメッセージを、関連する AFL エントリに定義されたメッセージバッファオブジェクトに格納
- 16 ビットのポインタを関連する AFL エントリに定義された格納されるメッセージに付加（例 : AUTOSAR アプリケーションをサポートするため）
- 2 ビットの情報ラベルを関連する AFL エントリに定義された格納されるメッセージに付加

注 1. この機能は、クラシカル CAN 機能では使用できません。

CANFD モジュールでは、最大 32 個の AFL エントリを設定可能です。

アクセプタンスフィルタの処理中、アクセプタンスフィルタユニットは、チャネル内の各 AFL エントリを、受信メッセージと照らし合わせてチェックします。チェックは、そのチャネルで最も小さい AFL エントリ番号を持つエントリから開始されます。

受信した ID が設定した ID／マスクの組み合わせと一致したとき、あるいは、受信した ID が関連するチャネルのすべての AFL エントリと照合されたとき、AFL 検索は停止します。一致しない場合、受信メッセージは拒否されます。この場合、アプリケーションに通知は送られません。

さらに、DLC チェックがグローバルに有効化されている場合、受け入れた各メッセージについて、自動 DLC フィルタ処理が行われます。受信メッセージの DLC 値が、一致した AFL エントリに設定された DLC 値以上の場合、DLC チェックはパスします。

DLC 置換（CFDGCFG.DRE ビット）が有効で、一致した AFL エントリに設定された DLC 値が 0x0 より大きく、DLC チェックにパスした場合、一致した AFL エントリに設定された DLC 値が格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

受信した DLC 値が一致した AFL エントリに設定された DLC 値よりも大きい場合、CAN バス上で受信した追加のデータバイトは格納先の RX メッセージバッファまたは FIFO バッファに格納されません。これらの追加データバイトは、格納先の RX メッセージバッファまたは FIFO バッファに、0x00 として格納されます。

DLC 置換が有効で、一致する AFL エントリの DLC 値が 0x0 の場合、受信した DLC 値が格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

DLC 置換（CFDGCFG.DRE ビット）が無効で、DLC チェックにパスした場合、CAN バス上で受信した DLC 値が、格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

受信した DLC 値が、一致した AFL エントリに設定された DLC 値より大きい場合、CAN バスから受信した追加のデータバイトも、格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

受信メッセージの DLC 値が、一致した AFL エントリに設定された DLC 値より小さい場合、DLC チェックは失敗します。その場合、受信メッセージは拒否され、RX メッセージバッファまたは FIFO バッファに格納されません。

また、DLC チェックに失敗すると、グローバルエラーフラグレジスタで DLC エラーフラグが設定されます。設定されている場合、エラー割り込みも発生します。DLC チェックに失敗した場合、DLC 置換の設定は影響しません。

メッセージがアクセプタンスフィルタ処理と DLC フィルタ処理の両方にパスした場合、受信メッセージ用のシングルバッファおよび／または受信機能に構成された FIFO バッファにメッセージが格納されます。

このメッセージ格納先情報も、同じ AFL エントリに定義されています。構成されていない AFL エントリに対してターゲットを設定してはなりません。

受け入れた各受信メッセージは、最大で 2 つの格納先（受信メッセージ用のシングルバッファおよび／または FIFO バッファ）に格納できます。

格納先は 2 つまでしか設定することはできません。これより多い格納先を設定した場合、内部タイミングで競合状態が発生し、受信メッセージがメッセージ RAM に格納されない場合があります。この格納先の数は、アプリケーション側で正しく設定する必要があります。

受信メッセージに、格納先（CFDRMNB.RMPLS, CFDRFCCa.RFPLS、または CFDCFCC.CFPLS）に保存可能なサイズよりも多くのデータペイロードバイトが含まれる場合のために、追加の保護機構があります。

CFDGCFG.CMPOC = 0 の場合、メッセージ全体が拒否され、格納先に保存されます。CFDGCFG.CMPOC = 0 であり、受信メッセージを含む RX FIFO または共通 FIFO フルに格納先（CFDRMNB.RMPLS, CFDRFCCa.RFPLS、または CFDCFCC.CFPLS）に保存可能なサイズよりも多くのデータペイロードバイトが含まれる場合、対応する CFDFMSTS.RFxMLT または CFDFMSTS.CFxMLT ビットは 1 に設定されません。

CFDGCFG.CMPOC = 1 のとき、CFDRMNB.RMPLS を超える受信データバイトが拒否されます。
CFDGCFG.CMPOC = 1 であり、受信メッセージを含む RX FIFO または共通 FIFO フルに格納先（CFDRMNB.RMPLS, CFDRFCCa.RFPLS、または CFDCFCC.CFPLS）に保存可能なサイズよりも多くのデータペイロードバイトが含まれる場合、対応する CFDFMSTS.RFxMLT または CFDFMSTS.CFxMLT ビットは 1 に設定されます。

CFDGCFG.DRE ビットの設定に応じて、受信した元の DLC 値か、AFL エントリに設定された DLC 値のいずれかが格納されます。

CFDGCFG.CMPOC ビットの設定にかかわらず、ペイロードオーバーフロー条件が検出された場合、CFDGERFL.CMPOF は 1 に設定されます。

DLC フィルタ処理は、ペイロードオーバーフロー機能より前に実行されます。そのため、1 つの受信フレームについて、CFDGERFL.DEF または CFDGERFL.CMPOF(注1)によって同時に 1 つのフラグのみを設定できます。

注 1. このビットは、クラシカル CAN 機能では使用できません。

28.5.2 AFL エントリの割り当て

チャネルごとの AFL エントリの数は、関連するグローバルアクセプタンスフィルタコンフィグレーションレジスタの専用のフィールドを使用して設定できます（図 28.24 を参照）。

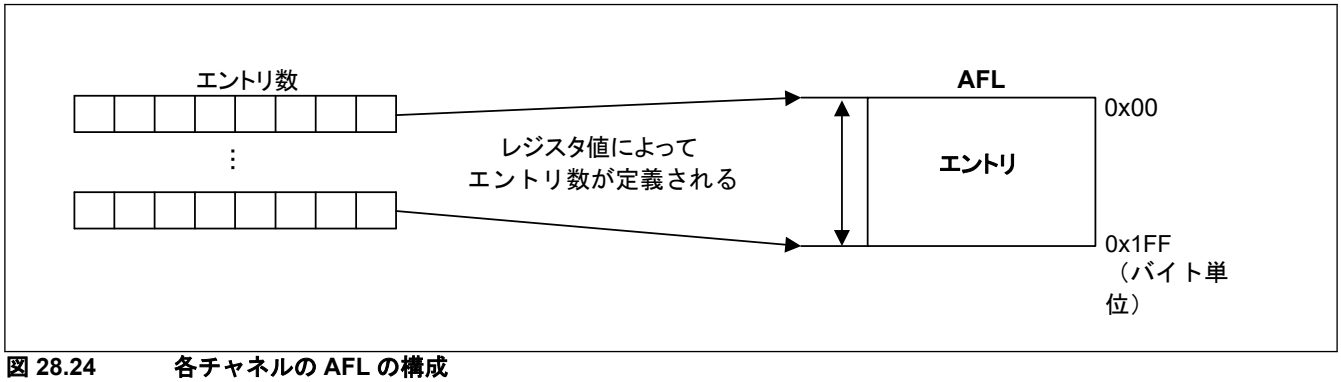


図 28.24 各チャネルの AFL の構成

1 チャネル当たりの最小エントリ数は 0（チャネルにエントリが定義されていない状態）で、最大エントリ数は 32 です。

1 つのチャネルの全エントリは一意で、エントリの重複や共有はサポートされていません。AFL を正しく構成することは、アプリケーションの責任です。

CANFD モジュールは、AFL の構成に関連するエラーにフラグを立てません。

28.5.3 AFL エントリの説明

各 AFL エントリは、16 バイトで構成されます。すべてのエントリで、フィールドは同一です。

各エントリには、アクセプタンスフィルタ処理と DLC フィルタ処理に使用される以下の情報が含まれます。

- ID（標準フレームフォーマットでは 11 ビット、拡張フレームフォーマットでは 29 ビット）：
  アクセプタンスフィルタユニットは、受信したメッセージの ID フィールドを、各 AFL エントリの ID フィールドと照合します（ID ビットに対してフル 29 ビットマスク処理が可能です。下記の情報を参照してください）。

- IDE ビット：
  アクセプタンスフィルタユニットは、受信したメッセージの IDE ビットをこのビットと照合し、ID フィールドからアクセプタンスフィルタ処理に関連する部分を選択します（IDE ビットに対してマスク処理が可能です。下記の情報を参照してください）。

- RTR ビット：

アクセプタンスフィルタユニットは、このビットの設定に従って、データフレーム（RTR = 0）またはリモートフレーム（RTR = 1）のみを受け入れます（RTR ビットに対してマスク処理が可能です。下記の情報を参照してください）。

- ループバックコンフィグレーションビット：
  このビットにより、ループバック構成またはミラーモード条件に応じて AFL エントリの有効／無効を設定できます。

- ID ビットのマスク（29 ビット）：
  ID マスクの各ビットは、アクセプタンスフィルタ処理中、AFL エントリ内の対応する ID ビットをマスクできます。図 28.25 を参照してください。

- IDE ビットのマスク：
  標準 ID フォーマットと拡張 ID フォーマットの両方において、このマスクビットで AFL エントリの IDE ビットをマスクした場合、この AFL エントリでメッセージが受け入れられます。標準 ID フォーマットのメッセージの場合、受信したメッセージの ID が AFL エントリの標準 ID 部分と比較されます。拡張 ID フォーマットのメッセージの場合、受信したメッセージの ID が AFL エントリの拡張 ID 部分と比較されます。

- RTR ビットのマスク：
  両方のフレームフォーマットにおいて、このマスクビットは、AFL エントリの RTR ビットをマスクします。この AFL エントリでは、データフレームとリモートフレームフォーマットが受け入れられます。

- ポインタ情報（16 ビット）：
  この 16 ビットのポインタは、関連する AFL エントリによって受け入れられた受信メッセージに付加されます。このポインタは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用できます。たとえば、ポインタ情報を使用して、AUTOSAR システムにおける受信メッセージへの PDU ID 割り当てをサポートできます。

- 情報ラベル（2 ビット）：
  この 2 ビットのラベルは、関連する AFL エントリによって受け入れられたメッセージに付加されます。このラベルは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用できます。

- 自動 DLC フィルタ処理のための DLC 値：
  受信したメッセージの DLC 値が設定した DLC 値以上である場合、DLC チェックにパスします。

この AFL エントリの DLC 値を 0 に設定すると、そのエントリについて DLC フィルタ処理が実質的に無効化されます（受け入れられたすべてのメッセージが DLC フィルタ処理をパスします）。

各 AFL エントリは、受信したメッセージを処理するために以下の情報を含みます。

- 受信したメッセージの格納先として使用される単一の受信メッセージバッファのメッセージバッファ番号
- 受信したメッセージの格納先として、単一の受信メッセージバッファ番号の有効または無効を設定する単一受信メッセージバッファ有効ビット
- FIFO 宛先ポインタ - FIFO 宛先ポインタの各ビットは、受信したメッセージの格納先の候補として、専用の FIFO を構成します。

このようなメッセージの格納に対するハードウェア保護は提供されていません。そのため、FIFO 宛先ポインタを設定する際は注意が必要です。

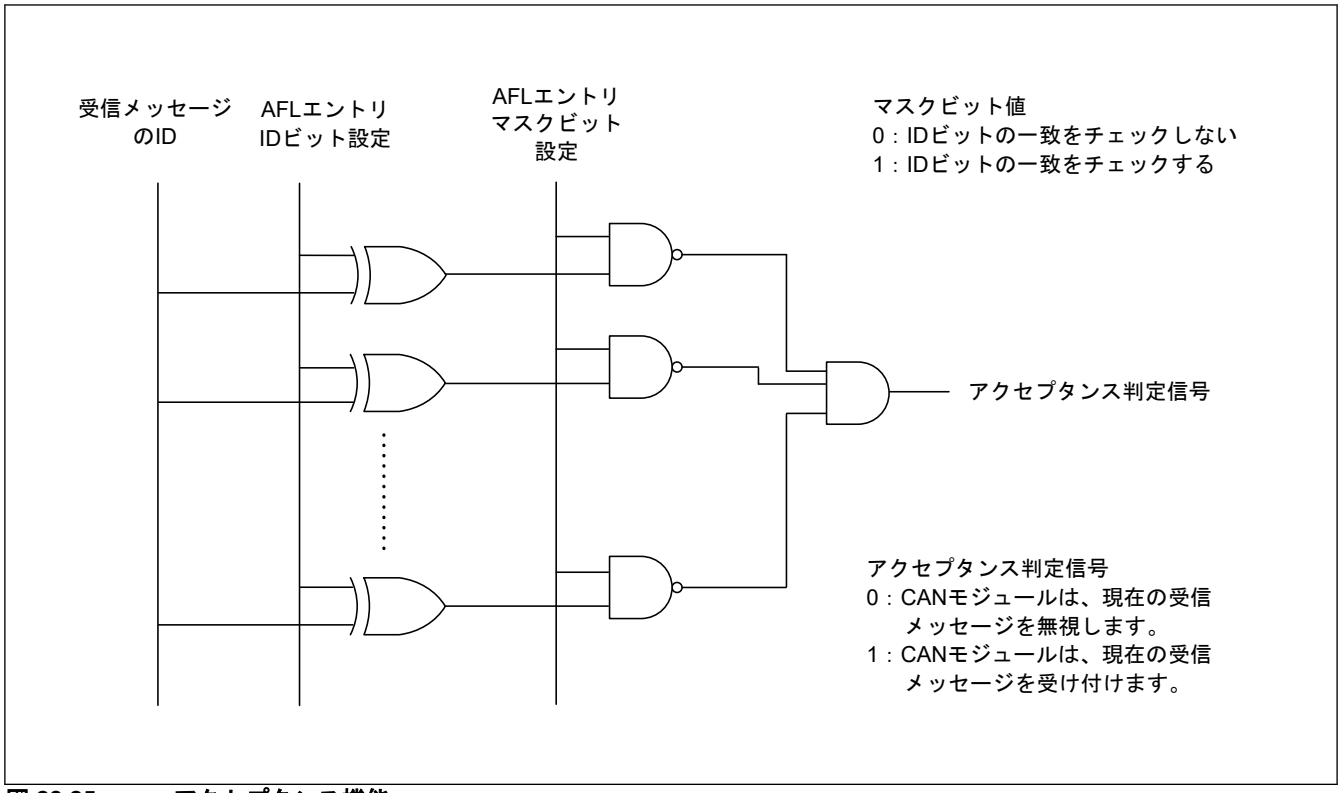


図 28.25 アクセプタンス機能

28.5.4 AFL へのエントリの入力

アプリケーションソフトウェアは、以下のレジスタを使用して AFL に 1 つのエントリ全体を入力できます。

- グローバル AFL ID エントリレジスタ：AFL エントリのパート 1
- グローバル AFL マスクエントリレジスタ：AFL エントリのパート 2
- グローバル AFL ポインタ 0 エントリレジスタ：AFL エントリのパート 3
- グローバル AFL ポインタ 1 エントリレジスタ：AFL エントリのパート 4

これらのレジスタ 16 組で、1 つの AFL エントリのグループを構成します。各グループには、ページ機構を介してアクセスできます。CANFD モジュールでは、AFL 範囲全体にアクセスできるよう、32 のページが存在します。AFL は CH_RESET モードまたは CH_HALT モードのみで構成するものとします。ページは以下のように AFL エントリにリンクされます。

ページ 0	エントリ 0～15
ページ 1	エントリ 16～31

AFL アクセスページの選択は、グローバルアクセプタンスフィルタリストエントリコントロールレジスタ (CFDGAFLECTR) によって行われます（図 28.26 参照）。このレジスタには以下のフィールドがあります。

- AFL ページ番号を選択するために使用される 1 ビット
- AFL への不要な書き込みを防止するため、AFL データアクセスの有効／無効を選択するために使用される 1 ビット

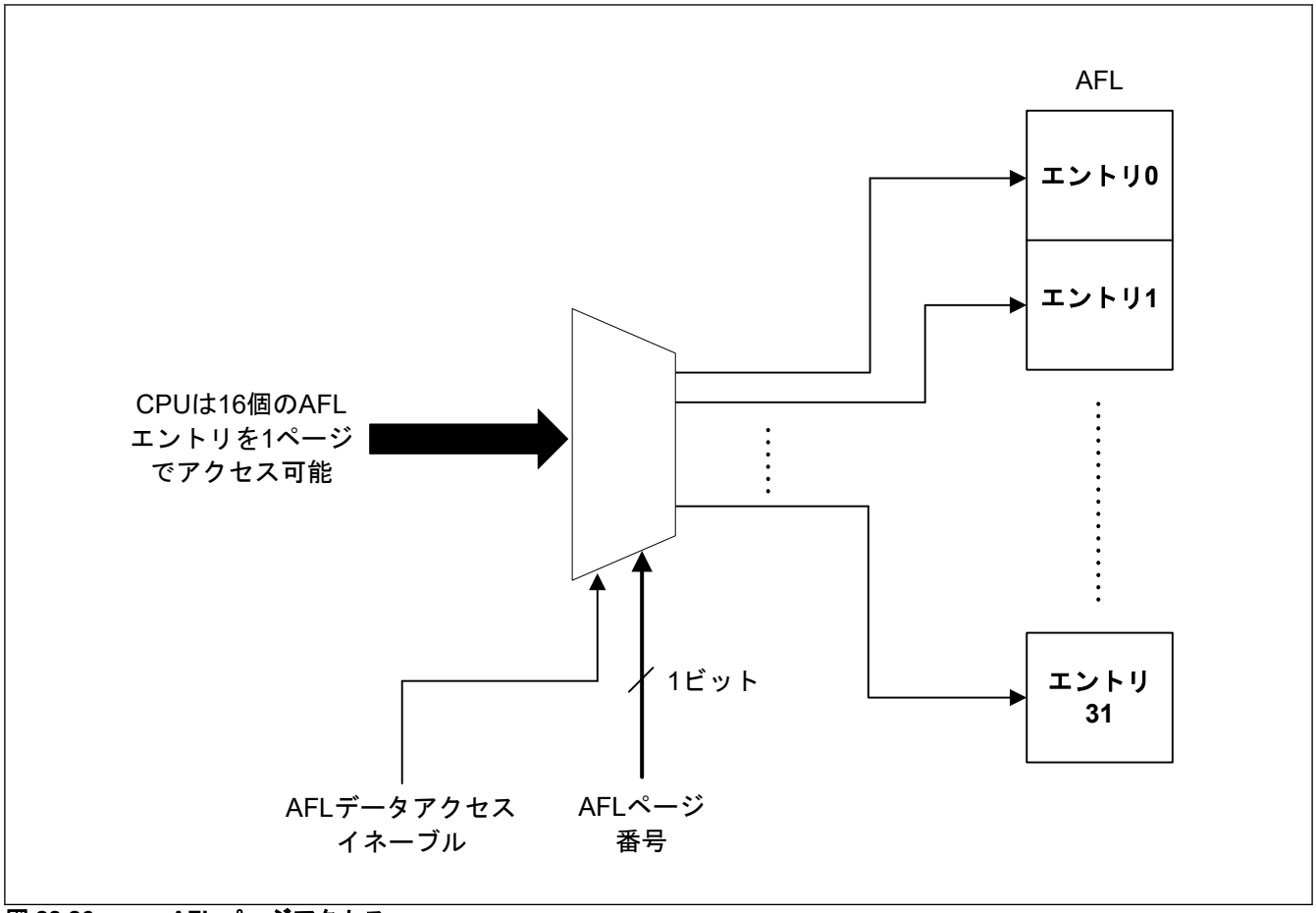


図 28.26 AFL ページアクセス

アプリケーションソフトウェアは、AFL ページ番号に 0x1 よりも大きい番号を書き込んではなりません。

AFL をプログラムするには、図 28.27 に示す構成に従ってください。

AFL への不要な書き込みを防止するため、コンフィグレーションモードですべてのエントリを入力した後、AFL アクセスをロックする必要があります。

ロックビットがセットされている場合、すべてのグローバルモード（GL_RESET、GL_HALT、GL_OPERATION）中、書き込み保護が有効になります。

すべてのグローバルモード中、AFL データアクセスが無効であっても、AFL の読み出しは可能です（実行時に AFL の内容の整合性チェックが可能です）。

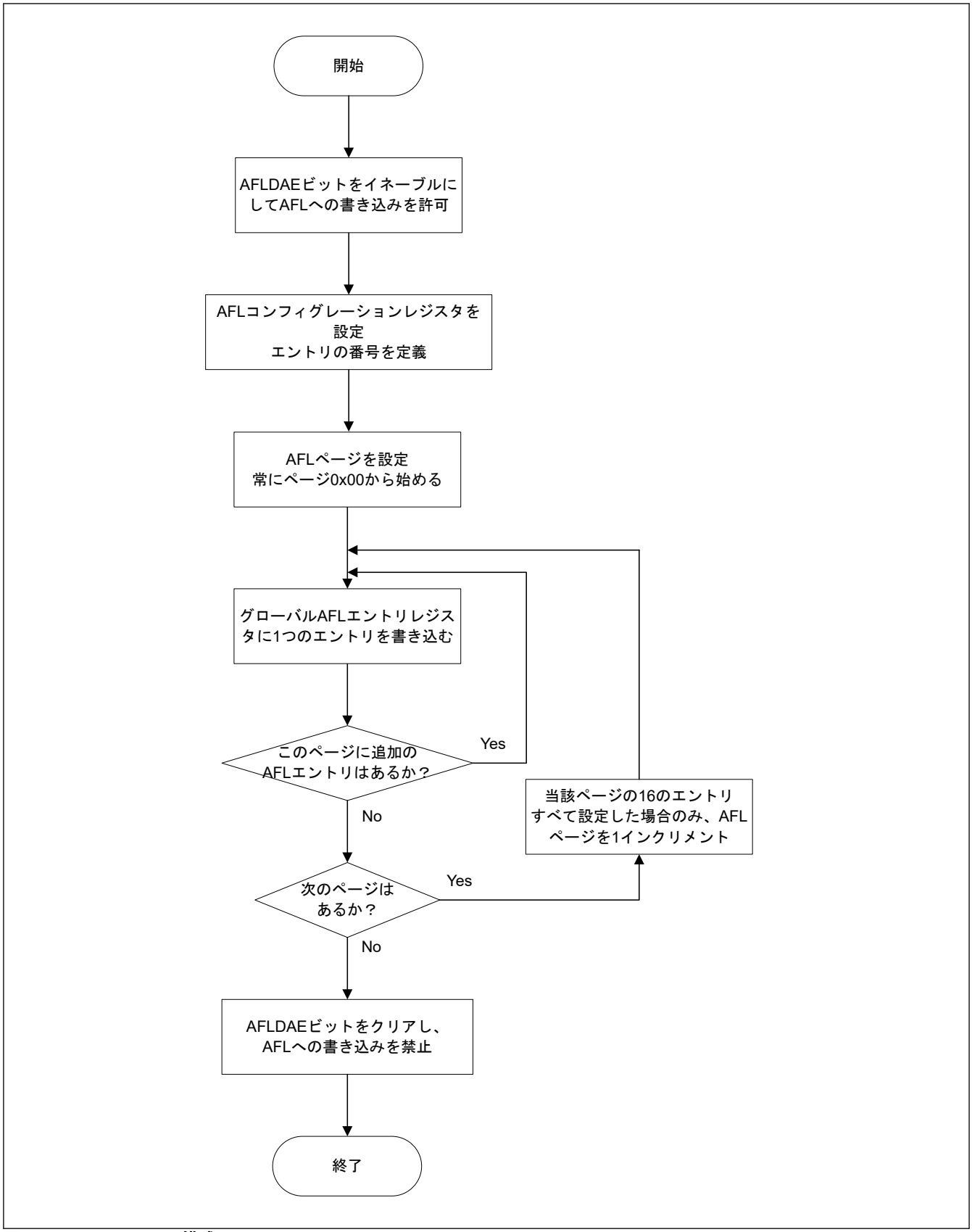


図 28.27 AFL の構成フロー

28.5.5 ループバックモード

ループバックコンフィグレーションビットがセットされている場合、AFL エントリは、CAN チャネル自らが送信したメッセージを受信する、ループバックテストモード（セルフテストモード 0 またはセルフテストモード 1）またはミラーモードのみで有効になります。

AFL エントリは、ループバックモードで受信した、バス上のその他の CAN ノードによって送信されたメッセージについては無効です。ここで、関連するエントリが有効、無効という表現は、その AFL エントリが受信したメッセージ ID と照合されるかどうかを示します。

ループバックコンフィグレーションビットが 0 の場合、その AFL エントリは以下のときのみ有効になります。

- 通常のモード（ループバック以外のモード）およびミラーモードで受信した、バス上のその他の CAN ノードによって送信されたメッセージ
- ループバックテストモードで受信した、他の CAN ノードまたは CAN チャネル自らが送信したメッセージ

ミラーモードは、グローバルコンフィグレーションレジスタの CFDGCFG.MME ビットで有効化できます。CFDGCFG.MME ビットがセットされている場合、そのチャネルの AFL に一致するエントリが設定されていれば、送信に成功したメッセージが RX メッセージバッファまたは FIFO バッファに格納されます。

このフレームを格納するには、一致する AFL エントリのループバックコンフィグレーションビットがセットされている必要があります。

ミラーモードとループバックテストモードが同時に構成されている場合、ループバックテストモードの動作が適用されます。

表 28.23 に、関連する入力信号の設定に応じたアクセプタンスフィルタユニットの動作を示します。

表 28.23 AFL エントリ内のループバックコンフィグレーションの設定に基づくアクセプタンスフィルタの動作

ミラーモード有効（MME コンフィグレーションビット）	テストモード（セルフテストモード 0 またはセルフテストモード 1）のループバック	チャネルモード	AFL エントリのループバックコンフィグレーションビット	AFL エントリ
0	0	受信	0	有効
			1	無効
		送信	0	無効
			1	無効
	1	受信	0	有効
			1	無効
		送信	0	有効
			1	有効
1	0	受信	0	有効
			1	無効
		送信	0	無効
			1	有効
	1	受信	0	有効
			1	無効
		送信	0	有効
			1	有効

注. ここで、関連するエントリが有効、無効という表現は、その AFL エントリが受信したメッセージ ID と照合されるかどうかを示します。

28.5.6 IDE マスク処理

AFL エントリの GAFLIDEM ビットが 0 のとき、その AFL エントリに設定された IDE ビットは ID のマッチングに使用されません。この場合、受信した IDE ビットに基づいて、ID[10:0]または ID[28:0]マッチングの使用が選択されます。

次の例を考えてみましょう。

- AFL エントリ x の ID フィールドとマスクフィールドが次のように設定されているとします。
  - CFDGAFLID [x] = 0xC0553A20 → IDE = 1、RTR = 1、LLB = 0、ID[10:0] = 0x220 / ID[28:0] = 0x00553A20
  - CFDGAFLMr = 0x0000FFFF → IDEM = 0. RTRM = 0、IDM[10:0] = 0x7FF／IDM[28:0] = 0x0000FFFF
- AFL エントリ x での 4 つの異なる受信 ID の比較結果を以下に示します。
  - IDE = 0、ID = 0x220 のフレームを受信した場合、一致とみなされます。
  - IDE = 0、ID = 0x320 のフレームを受信した場合、不一致とみなされます。
  - IDE = 1、ID = 0x1FFF3A20 のフレームを受信した場合、一致とみなされます。
  - IDE = 1、ID = 0x08803220 のフレームを受信した場合、不一致とみなされます。

28.5.7 通信中の AFL エントリの更新

AFL エントリは、CAN 通信を阻害することなく更新できます。AFL エントリ番号を設定して更新するエントリ番号を選択し、イネーブルビットは無視します。

エントリの更新中、このエントリ番号は AFL マッチングから無視されます。

図 28.28 に AFL エントリの更新フローを示します。

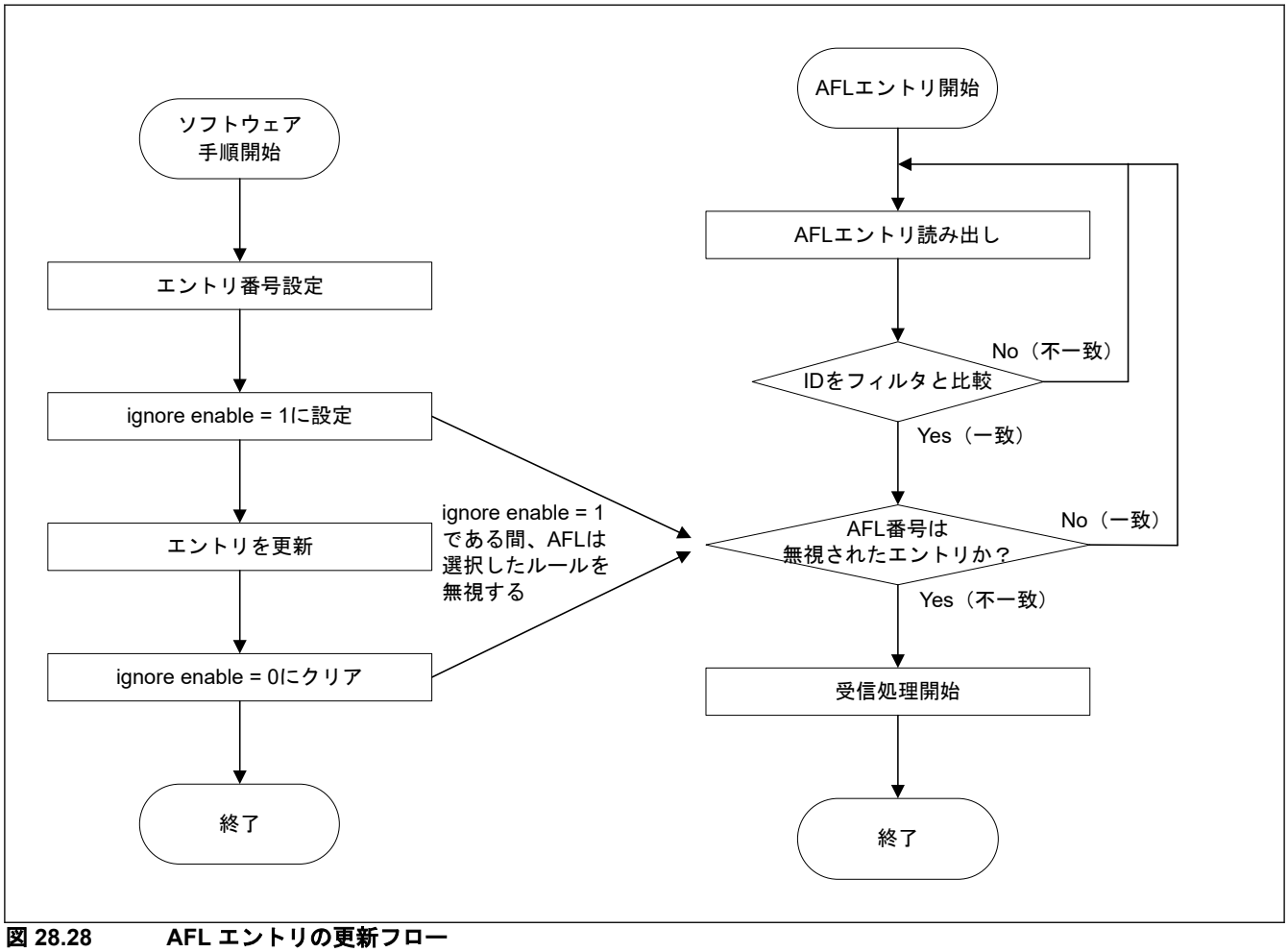


図 28.28 AFL エントリの更新フロー

AFL エントリを更新する方法は以下のとおりです。

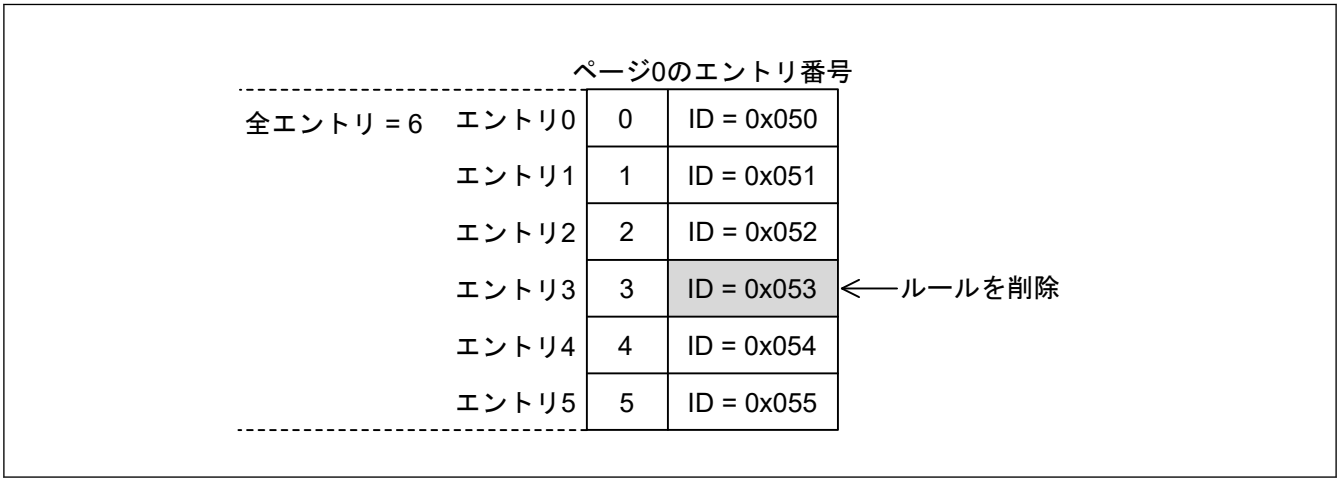
1. エントリ番号を CFDGAFLIGNENT レジスタに設定します。
2. CFDGAFLIGNCTR レジスタに値 0xC401（キーコードと有効ビット）を設定します。
3. CFDGAFLECTR レジスタにエントリページを設定します。このページに選択したエントリが含まれます。CFDGAFLECTR.AFLDAE が 1 にセットされます。

4. CFDGAFLIDr、CFDGAFLMr、CFDGAFLP0r、CFDGAFLP1r レジスタに新しいルールを設定します。
5. CFDGAFLECTR.AFLDAE が 0 にクリアされます。
6. CFDGAFLIGNCTR レジスタに値 0xC400（キーコードおよびクリア有効ビット）を設定します。

注. このエントリ番号は (2) から (5) までの期間、無視されます。

(1) 例 1：エントリの削除

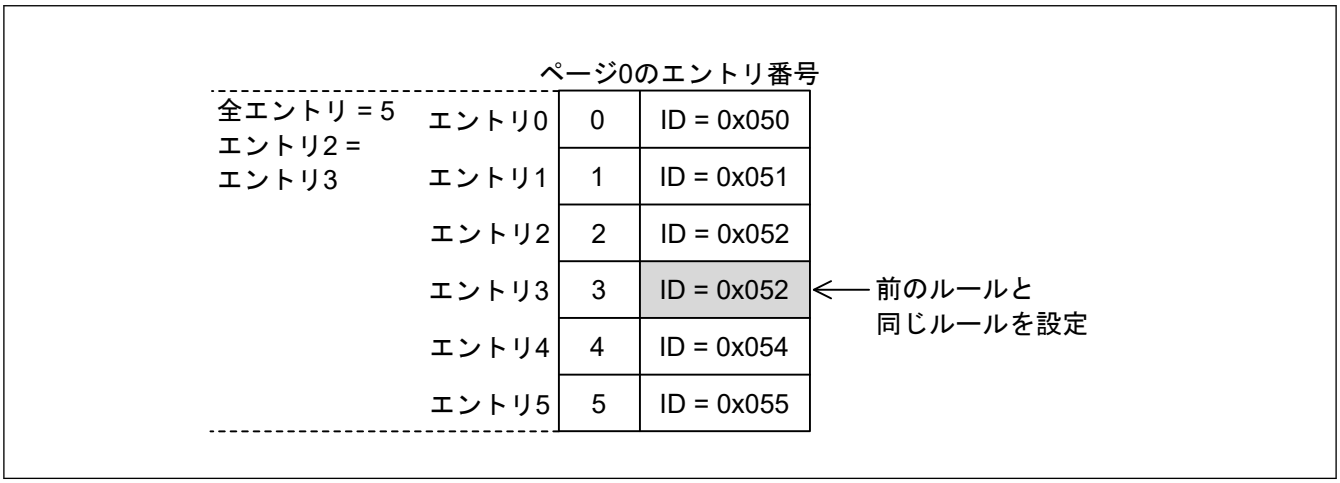
エントリ数の合計が 6 個の場合、エントリ 3 を削除します。



エントリを削除する方法

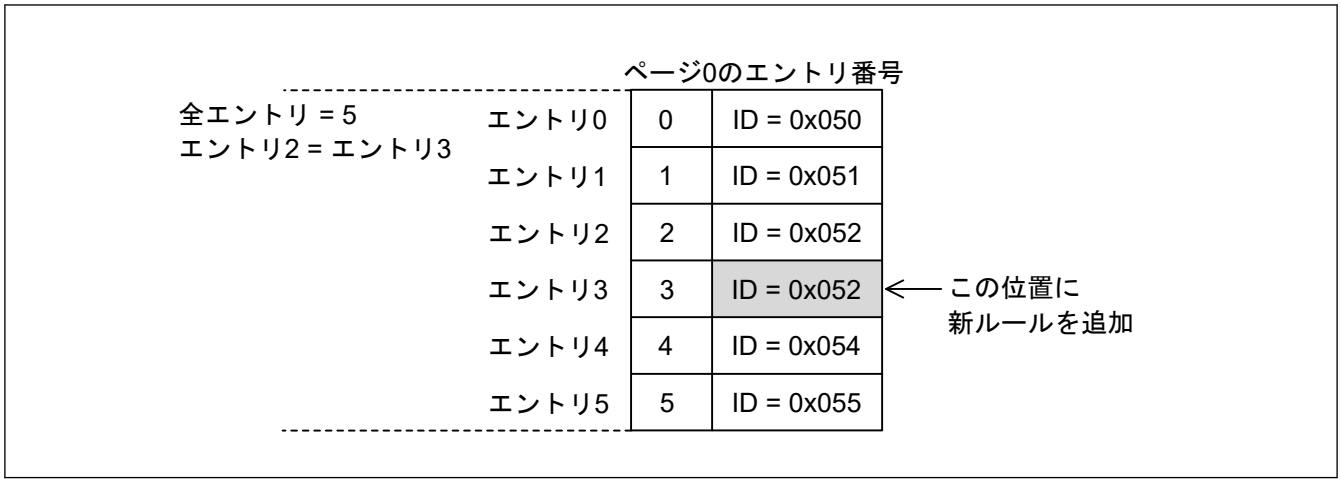
1. CFDGAFLIGNENT レジスタに 0x00000003 を設定します。
2. CFDGAFLIGNCTR レジスタに 0x0000C401 を設定します。
3. CFDGAFLECTR レジスタに 0x00000100 を設定します。
4. CFDGAFLIDr、CFDGAFLMr、CFDGAFLP0r、CFDGAFLP1r にアクセスして、前と同じルールを設定します（r = 3 の場合、エントリ 3 を示します。）
5. CFDGAFLECTR レジスタに 0x00000000 を設定します。
6. CFDGAFLIGNCTR レジスタに 0x0000C400 を設定します。

これで、エントリ 3 が削除されました。



(2) 例 2：エントリの追加

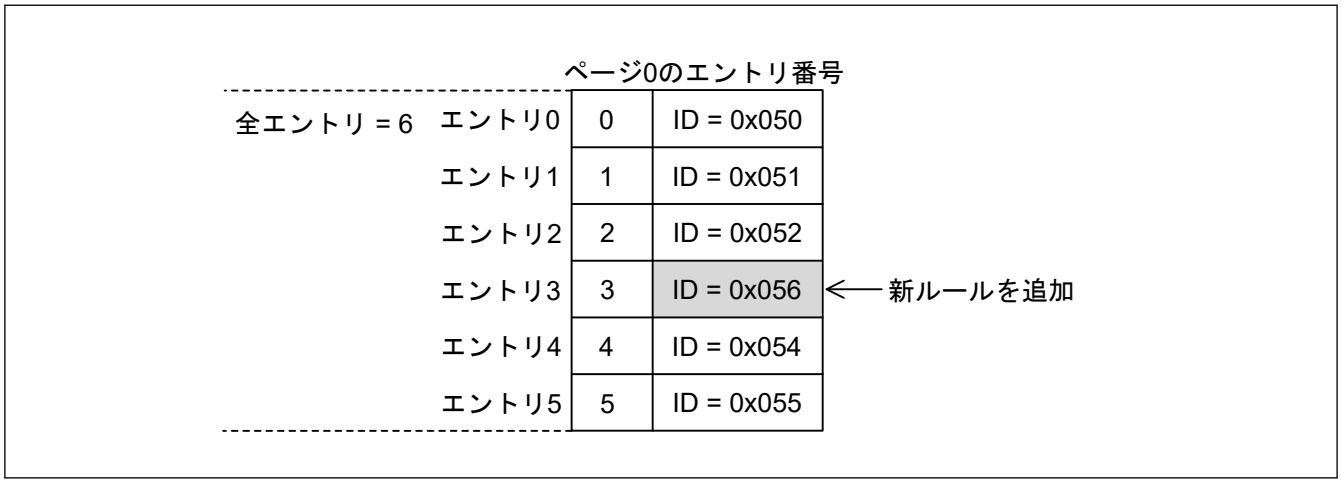
エントリ数の合計が 6 個の場合、エントリ 3 に新しいエントリを追加します。



エントリを追加する方法

1. CFDGAFLIGNENT レジスタに 0x00000003 を設定します。
2. CFDGAFLIGNCTR レジスタに 0x0000C401 を設定します。
3. CFDGAFLECTR レジスタに 0x00000100 を設定します。
4. CFDGAFLIDr、CFDGAFLMr、CFDGAFLP0r、CFDGAFLP1r にアクセスして、新しいルールを設定します。（r = 3 の場合、エントリ 3 を示します。）
5. CFDGAFLECTR レジスタに 0x00000000 を設定します。
6. CFDGAFLIGNCTR レジスタに 0x0000C400 を設定します。

これで、新しいエントリが追加されました。



AFL フィルタは CFDGAFLCFG を設定するために使用でき、エントリの追加／削除が可能です。そのため、CFDGAFLCFG に使用できる最大数を設定する必要があります。

28.6 FIFO バッファと通常のメッセージバッファの構成

本項では、CANFD モジュールの RX メッセージバッファ、FIFO バッファ、およびフラット TX メッセージバッファの数を構成する手順を説明します。メッセージバッファは、図 28.29 に示すようにマッピングされています。

RX メッセージバッファには、RX メッセージバッファレジスタでアクセスできます。

RX FIFO バッファと、RX モード、または TX モードで構成された共通 FIFO バッファは、FIFO アクセスレジスタでのみアクセスできます。

共通 FIFO が TX モードで構成されている場合、FIFO アクセスレジスタによる FIFO バッファへのデータの書き込みのみが可能です。

共通 FIFO が RX モードで構成されている場合、FIFO アクセスレジスタからのデータの読み込みのみが可能です。

TX メッセージバッファには、TX メッセージバッファレジスタでアクセスできます。

未使用のメッセージバッファ位置を読み出した場合、そのメッセージバッファ位置は不明な値として読み出されます。

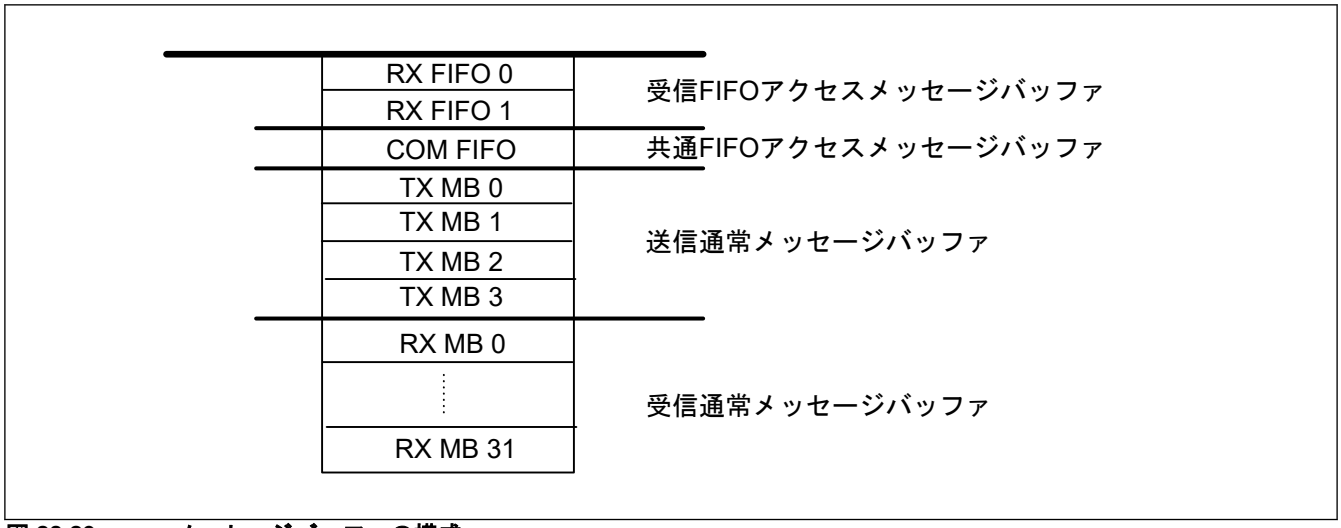


図 28.29 メッセージバッファの構成

28.6.1 通常の RX メッセージバッファ

CANFD モジュールでは受信したフレームを、AFL エントリの構成に基づいて通常の RX メッセージバッファに格納することができます。

また、システムに必要な通常の RX メッセージバッファの数を、固定された最大数までの間で選択できます。

28.6.1.1 通常の RX メッセージバッファの構成

CANFD モジュールの通常の RX メッセージバッファの数は、RX メッセージバッファ数レジスタへの書き込みによって設定できます。

メッセージバッファ数は、以下の範囲内で構成します。

- 最小数 = 0x00（通常の RX メッセージバッファなし）
- 最大値 = 0x20

上記範囲外の値を使用してはなりません。

システム要件に合わせて AFL エントリを構成し、受信したメッセージを通常の RX メッセージバッファにルーティングできるようにする必要があります。

また、AFL エントリの構成は正しく行ってください。通常の RX メッセージバッファを指定する AFL エントリの数が、RX メッセージバッファ数レジスタに構成されたメッセージバッファ数を超えてはなりません。

注. CANFD モジュールには、AFL の間違った設定を発見するための内部チェック手順がありません。

RX メッセージバッファのデータフィールドサイズは、CFDRMNB.RMPLS ビットで構成できます。デフォルトサイズは 8 バイトで、最大データペイロードサイズは 64 バイトです。

受信フレームがこのデータフィールドサイズを上回る場合、受け入れ（メッセージを拒否するか、データペイロードを切り捨てるか）は CFDGCFG.CMPOC の構成によって決まります。

注. RMPLS ビットおよび CMPOC ビットは、クラシカル CAN 機能では使用できません。これらの特長はクラシカル CAN では有効ではありません。

28.6.2 FIFO バッファ

CANFD モジュールには、受信および送信機能ののフレームの格納をサポートするために、決まった数の FIFO バッファがあります。

受信専用の FIFO バッファ数は 2 に固定されています。ただし、送信または受信機能のためのメッセージを格納するために共通 FIFO バッファチャネルを設定できます。

これらの FIFO バッファは許可または禁止でき、システム要件に合わせて以下のパラメータを設定できます。

- サイズ
- 割り込み構造
- メッセージロスト機構
- FIFO バッファのメッセージ上書き機構
- TX FIFO のロケーション

受信フレームがこのデータフィールドサイズを上回る場合、受け入れ（メッセージを拒否するか、データペイロードを切り捨てるか）は CFDGCFG.CMPOC ビットの構成によって決まります。

28.6.2.1 FIFO バッファの構成

CANFD モジュールでは、FIFO バッファをシステム要件に合わせて構成できます。

FIFO バッファの総数 = RX FIFO バッファ 2 個 + 共通 FIFO バッファ 1 個 = FIFO バッファ 3 個。

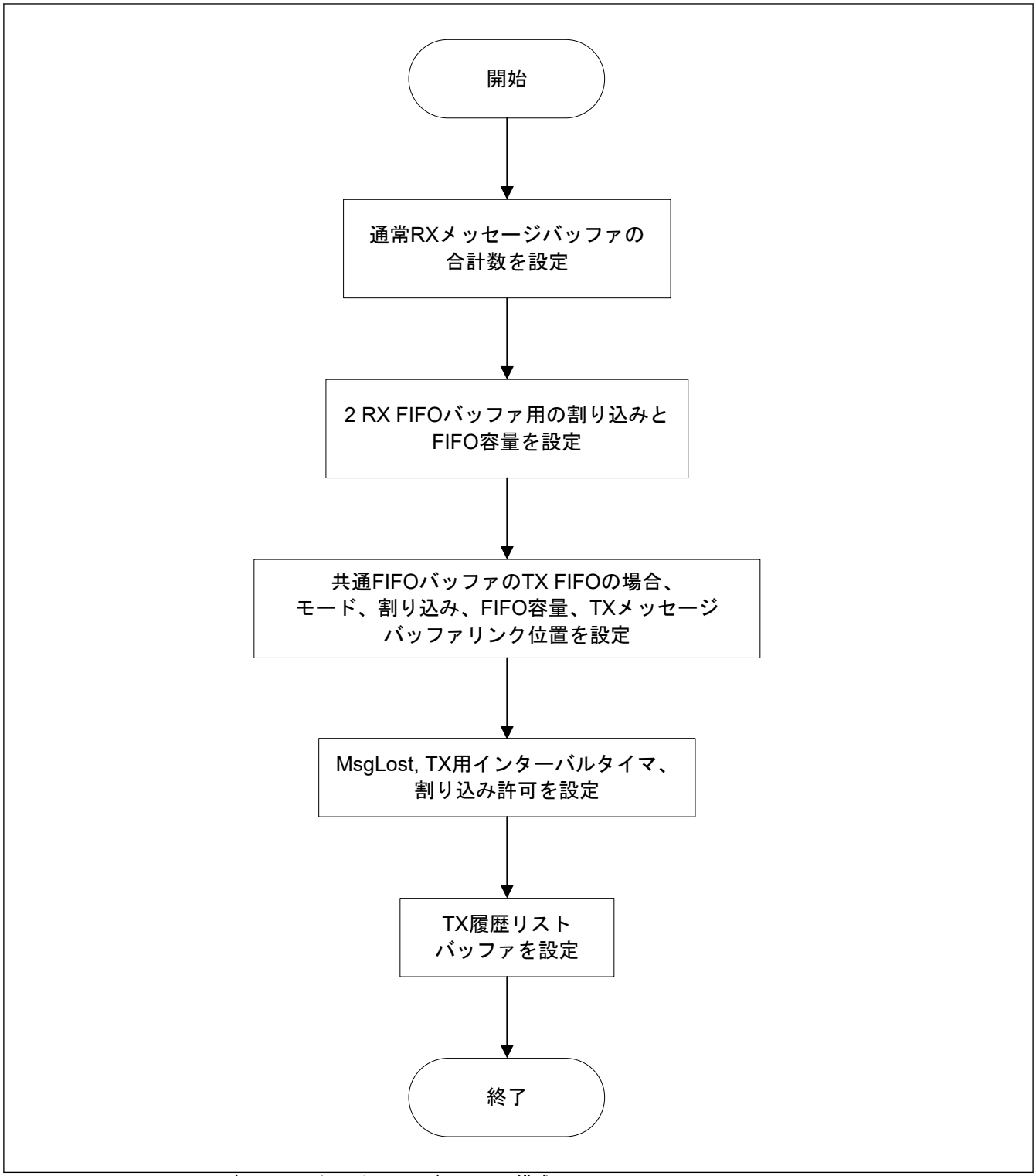


図 28.30 CANFD モジュールにおける FIFO バッファの構成フロー

図 28.30 に示すように、RX FIFO コンフィグレーション／コントロールレジスタと共通 FIFO コンフィグレーション／コントロールレジスタへの書き込みによって、さまざまな FIFO バッファを構成することができます。

2 つの RX FIFO バッファに対しては、以下のパラメータを構成できます。

- 割り込み
- FIFO 容量
- FIFO ペイロードデータサイズ

共通 FIFO バッファに対しては、以下のパラメータを構成できます。

- モード
- 割り込み FIFO 容量
- FIFO ペイロードデータサイズ
- FIFO TX リンク位置

(1) 共通 FIFO バッファの FIFO モード構成

共通 FIFO バッファのモードは、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFM[1:0]ビットへの書き込みによって構成できます。共通 FIFO バッファに構成可能なモードは以下のとおりです。

- 0b RX モード（ハードウェアリセット後のデフォルトモード）
- 1b TX モード

RX FIFO バッファと、RX モードに構成された共通 FIFO バッファからは、メッセージの読み出しのみが可能です。これらの FIFO バッファには、AFL エントリに基づいて、CAN モジュールによってメッセージが格納されます。

TX モードに構成された共通 FIFO バッファでは、メッセージの読み出しと書き込みが可能です。これらのメッセージは、適切な CAN チャネル上で送信されます。

ポインタは、新しいメッセージが FIFO バッファに格納されたときにのみインクリメントでき、CANFD モジュールによりメッセージが対応する CAN チャネル上に送信されたときにのみデクリメントできます。

ハードウェアリセット後、共通 FIFO バッファはデフォルトで RX モードに設定されます。共通 FIFO バッファを必要なモードに構成してから、FIFO バッファを有効にするようにしてください。

(2) FIFO TX メッセージバッファとのリンクの構成

共通 FIFO を TX FIFO として構成するとき、CAN チャネルの送信スキャンに参加するため、FIFO バッファを通常の TX メッセージバッファにリンクする必要があります。

いずれかの共通 FIFO バッファにリンクされた TX メッセージバッファにデータを書き込んではなりません。また、いずれかの共通 FIFO バッファにリンクされた TX メッセージバッファを TX キューの構成要素にしてはなりません。

各共通 FIFO バッファの TX メッセージバッファとのリンクは、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFTML[1:0]ビットへの書き込みによって構成できます。TX メッセージバッファのリンク構成では、以下のオプションを使用できます。

- 0x00: TX メッセージバッファ 0
- 0x01: TX メッセージバッファ 1
- 0x10: TX メッセージバッファ 2
- 0x11: TX メッセージバッファ 3

(3) FIFO 容量の構成

各 FIFO バッファの容量は、RX FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFDC[2:0]ビットと、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFDC[2:0]ビットへの書き込みによって構成できます。容量の構成には、以下の 6 つのオプションを使用できます。

- 0x000: 0 メッセージ（FIFO バッファを有効にできない）
- 0x001: 4 メッセージ
- 0x010: 8 メッセージ
- 0x011: 16 メッセージ
- 0x100: 32 メッセージ
- 0x101: 48 メッセージ

RX メッセージバッファおよび FIFO バッファに割り当てられる RAM は、64 データバイトの 16 メッセージに制限されます。この上限を超える RX メッセージバッファおよび FIFO バッファを構成してはなりません。

CANFD モジュールのロジックでは、構成が正しいかどうかはチェックされません。

注. 共通 FIFO の FIFO 容量が 4 メッセージ以上 (CFDCFCC.CFDC[2:0] > 000b) の場合、この FIFO が無効の場合も有効の場合も、共通 FIFO と TX メッセージバッファのリンクは有効になります。

FIFO 容量が 0 メッセージの場合、この FIFO が無効の場合も有効の場合も、共通 FIFO と TX メッセージバッファのリンクは無効です。

(4) FIFO ペイロードサイズの構成

各 FIFO バッファのデータサイズは、RX FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFPLS[2:0]ビットと、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFPLS[2:0]ビットへの書き込みによって構成できます。容量の構成には、以下の 8 つのオプションを使用できます。

- 000b: 8 バイト
- 001b: 12 バイト
- 010b: 16 バイト
- 011b: 20 バイト
- 100b: 24 バイト
- 101b: 32 バイト
- 110b: 48 バイト
- 111b: 64 バイト

RX メッセージバッファおよび FIFO バッファに割り当てられる RAM は、64 データバイトの 16 メッセージに制限されます。この上限を超える RX メッセージバッファおよび FIFO バッファを構成してはなりません。

CANFD モジュールのロジックでは、構成が正しいかどうかはチェックされません。

注. この機能は、クラシカル CAN 機能では使用できません。

(5) FIFO 割り込みの構成

FIFO バッファの割り込み発生条件は、RX FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFIM ビットと、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFIM ビットへの書き込みによって構成できます。以下の 2 つのオプションを使用できます。

- 0:
  - RX FIFO モード : 共通 FIFO カウンタが CFDRFCCa.RFIGCV/CFDCFCC.CFIGCV の値に達したとき、割り込みが発生します。
  - TX FIFO モード : 共通 FIFO が最後のメッセージを正常に送信したとき、割り込みが発生します。
- 1:
  - RX FIFO モード : 各受信メッセージの格納が終了したとき、割り込みが発生します。
  - TX FIFO モード : メッセージが正常に送信されるたびに、割り込みが発生します。

RX FIFO の割り込みモードビットが 0 の場合、CFDRFCCa.RFIGCV[2:0]ビットの設定に従って割り込みが発生します。

同様に、RX モードに構成された共通 FIFO の割り込みモードビットが 0 の場合、CFDCFCC.CFIGCV[2:0]ビットの設定に従って割り込みが発生します。

割り込みを発生させる FIFO カウンタの値を構成するには、以下の 8 つのオプションを使用できます。

- 000b: FIFO が 1/8 フルになると割り込み発生
- 001b: FIFO が 1/4 フルになると割り込み発生
- 010b: FIFO が 3/8 フルになると割り込み発生

- 011b: FIFO が 1/2 フルになると割り込み発生
- 100b: FIFO が 5/8 フルになると割り込み発生
- 101b: FIFO が 3/4 フルになると割り込み発生
- 110b: FIFO が 7/8 フルになると割り込み発生
- 111b: FIFO がフルになると割り込み発生

この場合、メッセージ数が設定した値と一致すると、割り込みが発生します。

ただし、CFDRFCCa.RFIGCV[2:0]ビットと CFDCFCC.CFIGCV[2:0]ビットの構成には、FDC[2:0]ビット（FIFO 容量の構成）に応じて、いくらかの制限があります。表 28.24 を参照してください。

表 28.24 FIFO 割り込み発生カウンタと FIFO 容量の構成

RFDC[2:0] (CFDC[2:0])	RFIGCV[2:0] (CFIGCV[2:0])							
	111b	110b	101b	100b	011b	010b	001b	000b
000b	Don't care（FIFO を有効化できない）							
001b	可能	不可能	可能	不可能	可能	不可能	可能	不可能
010b	可能							
011b	可能							
100b	可能							
101b	可能							
110b	可能							
111b	可能							

28.6.2.2 FIFO バッファの制御

FIFO 割り込みを有効にするには、RX FIFO コンフィグレーション／コントロールレジスタの以下のビットのいずれかをセットする必要があります。

- CFDRFCCa.RFIE

また、FIFO 割り込みを有効にするには、共通 FIFO コンフィグレーション／コントロールレジスタの以下のビットのいずれかをセットする必要があります。

- CFDCFCC.CFRXIE
- CFDCFCC.CFTXIE

コンフィグレーションの完了後、各 FIFO を有効にするには、RX FIFO コンフィグレーション／コントロールレジスタおよび共通 FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFE ビットおよび CFDCFCC.CFE ビットを設定して、メッセージの送受信を可能にします。

28.7 割り込みと DMA

28.7.1 割り込み

CANFD モジュールは、いくつかの割り込みを発生させます。割り込み出力は、割り込みコントローラユニット (ICU) に接続されており、対応する割り込み許可ビットによって制御できます。

ステータスフラグは、この許可ビットとは無関係にセットされます。

チャネル送信割り込みには、もう 1 つ別のステータスフラグレジスタがあり、そのステータスビットは対応する割り込み許可がセットされている場合のみセットされます。

この割り込みはいくつかのトリガ要因によって発生するため、このレジスタはチャネル送信に対する割り込み要因の特定をサポートします。

CANFD モジュールの割り込みは、グローバル割り込みとチャネル割り込みの 2 つのグループに分けられます。

- グローバル割り込み：

CANFD モジュールは、3 種類のグローバル割り込みを発生させることができます。

– 2 つの RX FIFO バッファへの正常受信のグローバル割り込み
– グローバルエラー割り込み
– 32 個の RX メッセージバッファへの正常受信のグローバル割り込み

- チャネル割り込み：
CANFD モジュールの各チャネルは、3 種類のチャネル割り込みを発生させることができます。

1. チャネル送信
   – チャネルからの送信完了
   – チャネルからの送信アボート
   – チャネルの TX キューからの送信
   – チャネル THL 割り込み
   – チャネルの TX モードの共通 FIFO からの正常送信
2. チャネルエラー割り込み
3. チャネルの RX モードの共通 FIFO での正常受信

対応するフラグビットがクリアされるか、割り込み許可ビットがクリアされると、割り込みはクリアされます。

以下の表 28.25 に、さまざまな割り込み出力に対する割り込み要因の概要をまとめます。割り込み出力はアクティブ High です。

表 28.25　割り込み要因の概要 (1/2)

項目	割り込み	名称	割り込み要因	割り込みのクリア
グローバル割り込み	少なくとも 1 つの RX FIFO への正常受信	CAN_RXF	割り込みが許可されている対応する RX FIFO の割り込みフラグ	割り込みが許可されている対応する RX FIFO バッファの割り込みフラグのクリア
	グローバルエラー	CAN_GLR	以下のいずれか： • DLC エラーフラグ • メッセージロストステータスビット • TX 履歴エントリロストステータスビット • CANFD メッセージペイロードオーバーフローフラグ	以下をすべてクリア： • DLC エラーフラグ • すべての FIFO ステータスレジスタのメッセージロストフラグ • TX 履歴リストエントリロストフラグ • CANFD メッセージペイロードオーバーフローフラグ
	少なくとも 1 つの RXMB への正常受信	CAN0_RXMB	割り込みが許可されている対応する RXMB の割り込みフラグ	割り込みが許可されている対応する RXMB バッファの割り込みフラグのクリア
チャネル送信割り込み	チャネル正常送信	CAN0_TX	割り込みが許可されているとき、任意のチャネル関連の TXMB 正常フラグ(注1)	割り込みが許可されている、すべてのチャネル関連の TXMB 結果ステータスビットのクリア
	チャネルアボート		割り込みが許可されているとき、任意のチャネル関連の TXMB アボートフラグ(注1)	グローバルで割り込みが許可されている、すべてのチャネル関連の TXMB 結果ステータスビットのクリア
	チャネル TX キューからの送信		関連するチャネルの TX キュー割り込みフラグ	関連するチャネルの TX キュー割り込みフラグのクリア
	チャネル THL 割り込み		チャネル THL 割り込みステータスフラグ	関連する THL 割り込みステータスフラグのクリア
	チャネル共通 FIFO TX 割り込み		関連するチャネルに属する TX モードの共通 FIFO の割り込みフラグ	関連するチャネルに属する TX モードの共通 FIFO の割り込みフラグのクリア

表 28.25 割り込み要因の概要 (2/2)

項目	割り込み	名称	割り込み要因	割り込みのクリア
チャネルエラー割り込み	チャネルエラー	CAN0_CHERR	チャネルエラー割り込み許可レジスタで割り込みが許可されている、チャネルエラーフラグレジスタの任意のチャネル関連のエラーフラグ	チャネルエラー割り込み許可レジスタで割り込みが許可されている、チャネルエラーフラグレジスタのすべてのチャネル関連のエラーフラグのクリア
チャネル共通 RX FIFO 割り込み	チャネル共通 FIFO RX 割り込み	CAN0_COMFRX	関連するチャネルに属する RX モードの共通 FIFO の割り込みフラグ	関連するチャネルに属する RX モードの共通 FIFO の割り込みフラグのクリア

注 1. これらの割り込みは、許可された TX キューに属しておらず、共通 FIFO を参照していない TX メッセージバッファのみに設定されます。
共通 FIFO バッファと TX キューには、別々の割り込みが提供されます。

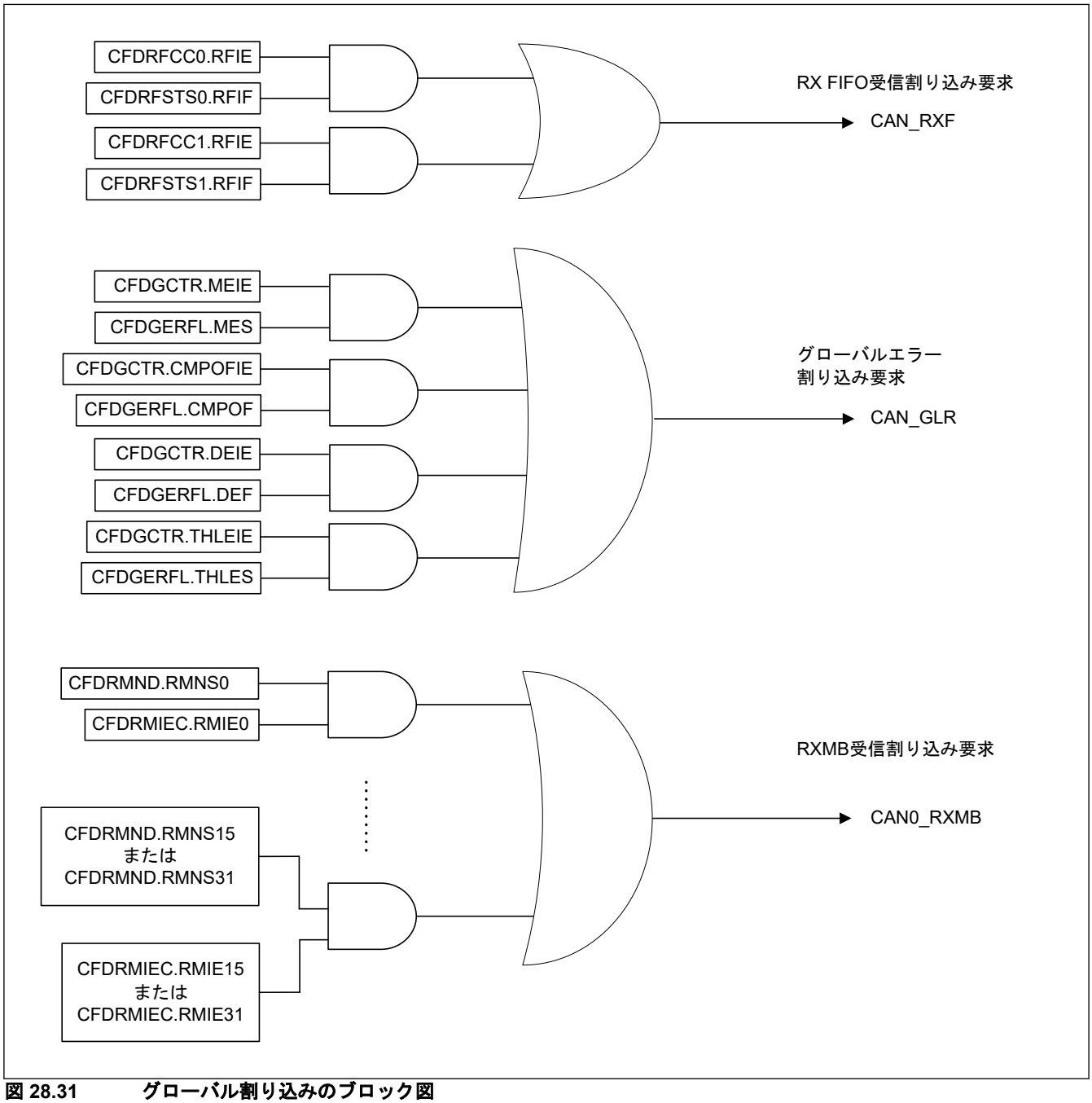


図 28.31 グローバル割り込みのブロック図

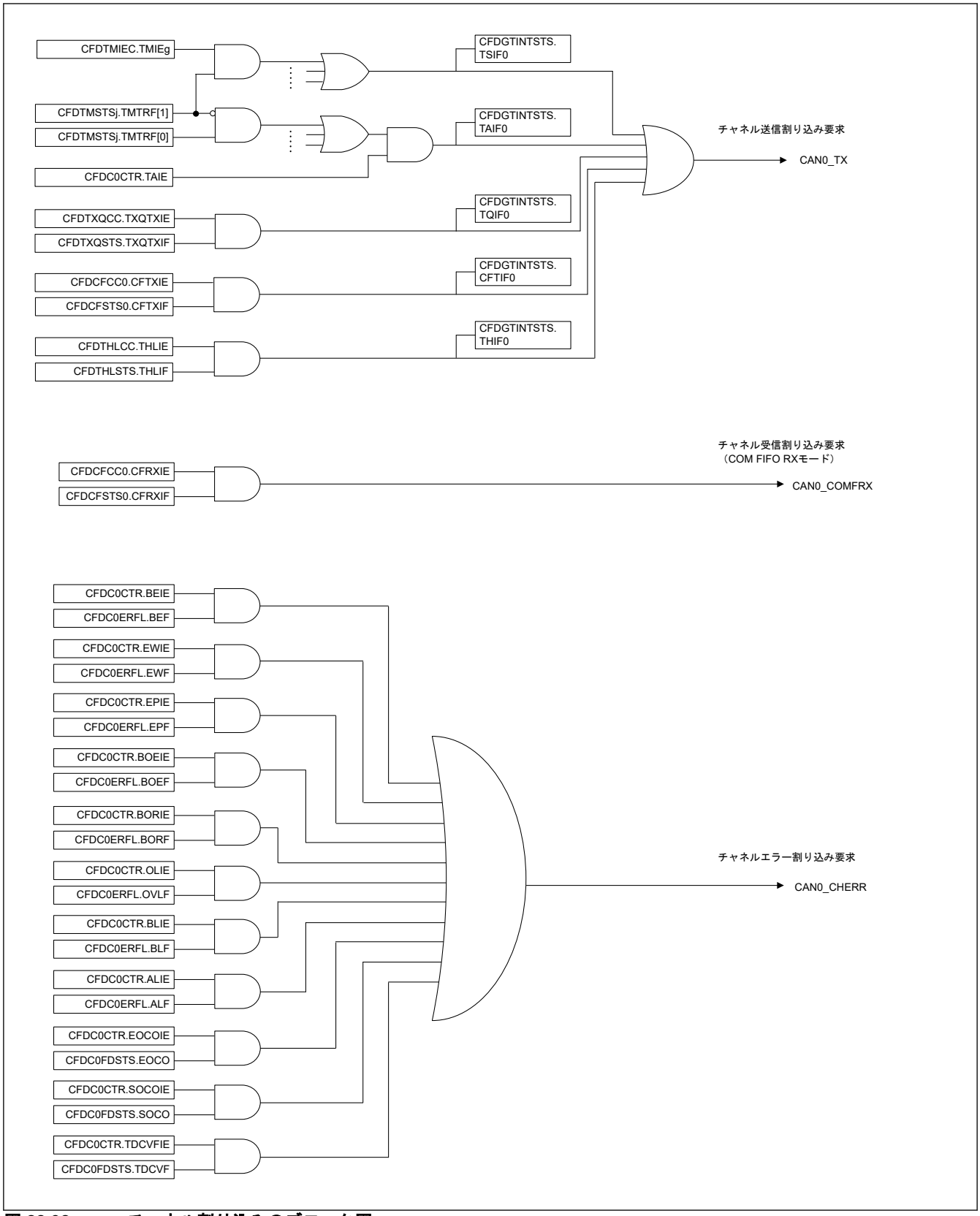


図 28.32　　チャネル割り込みのブロック図

28.7.2　DMA 転送

CANFD モジュールには、DMA チャネルと関連付け可能ないくつかのメッセージバッファがあります。

- 受信 DMA

– 2 つの RX FIFO メッセージバッファ
– 共通 FIFO メッセージバッファ

図 28.33 は、可能な DMA チャネルを示しています。

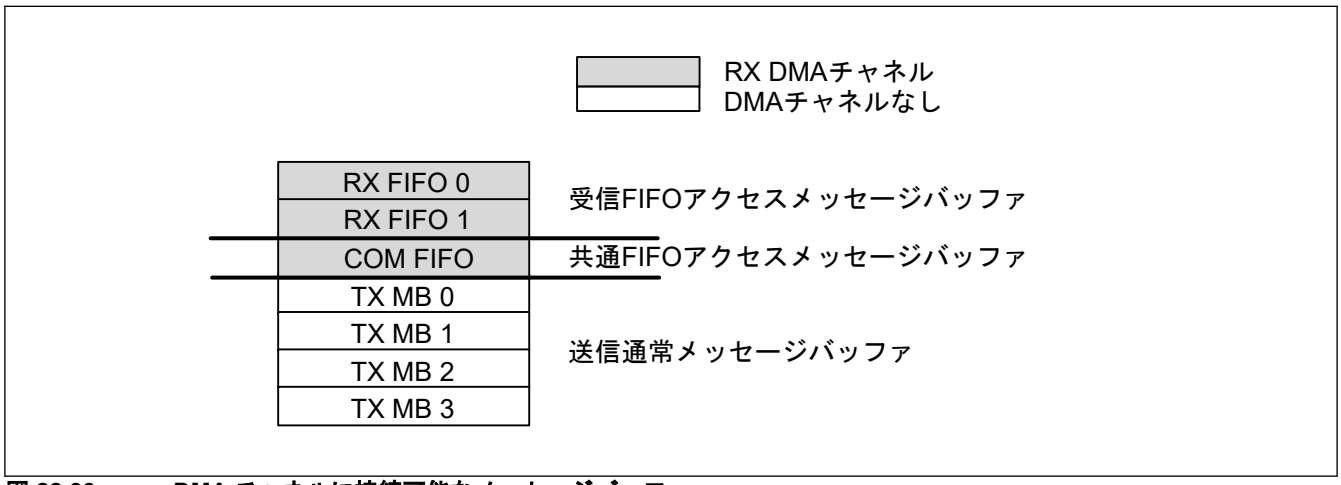


図 28.33 DMA チャネルに接続可能なメッセージバッファ

DMA チャネル転送要求は、関連する CFDCDTCT.RFDMAE または CFDCDTCT.CFDMAE が 1 にセットされ、属する FIFO がエンプティでないときに、DMAC への各 FIFO エントリについて生成されます。

この特定の FIFO（CFDRFCCa.RFIE または CFDCFCC.CFRXIE）については、受信 FIFO 割り込みを無効にする必要があります。

DMA アクセスウィンドウのアドレスには通常の開始アドレスを使用します。図 28.34 を参照してください。

表 28.26 DMA チャネルのアクセスウィンドウのアドレス

b = メッセージバッファコンポーネントインデックス	メッセージバッファコンポーネント	レジスタ	P	通常の開始アドレス
b = [0…1]	RFMBCPb[0]	CFDRFIDb	x	0x0520 + b × 0x004C
		CFDRFPTRb	x	0x0524 + b × 0x004C
		CFDRFFDSTSb	x	0x0528 + b × 0x004C
		CFDRFDFbp	[0…15]	0x052C + p × 0x0004 + b × 0x004C
—	CFMBCP0[0]	CFDCFID	x	0x05B8
		CFDCFPTR	x	0x05BC
		CFDCFFDCSTS	x	0x05C0
		CFDCFDFp	[0…15]	0x05C4 + p × 0x0004

データペイロードバイト（CFDRFCCa.RFPLS または CFDCFCC.CFPLS）の末尾を読み出すと、DMA FIFO ポインタのデクリメントが自動的に行われます。

注. DMA は、構成されたデータペイロードサイズ（CFDRFCCa.RFPLS または CFDCFCC.CFPLS）の長さを正確に読み出す必要があります。

注. CFDRFCCa.RFPLS と CFDCFCC.CFPLS はクラシカル CAN 機能にないため、この機能はクラシカル CAN 機能では使用できません。

DMA 有効時、FIFO コントロールレジスタに書き込まないでください。特定の DMA FIFO（CFDCDTCT.RFDMAE または CFDCDTCT.CFDMAE）の DMA 許可はいつでも設定できます。図 28.34 に、初期セットアップ時の構成手順を示します。

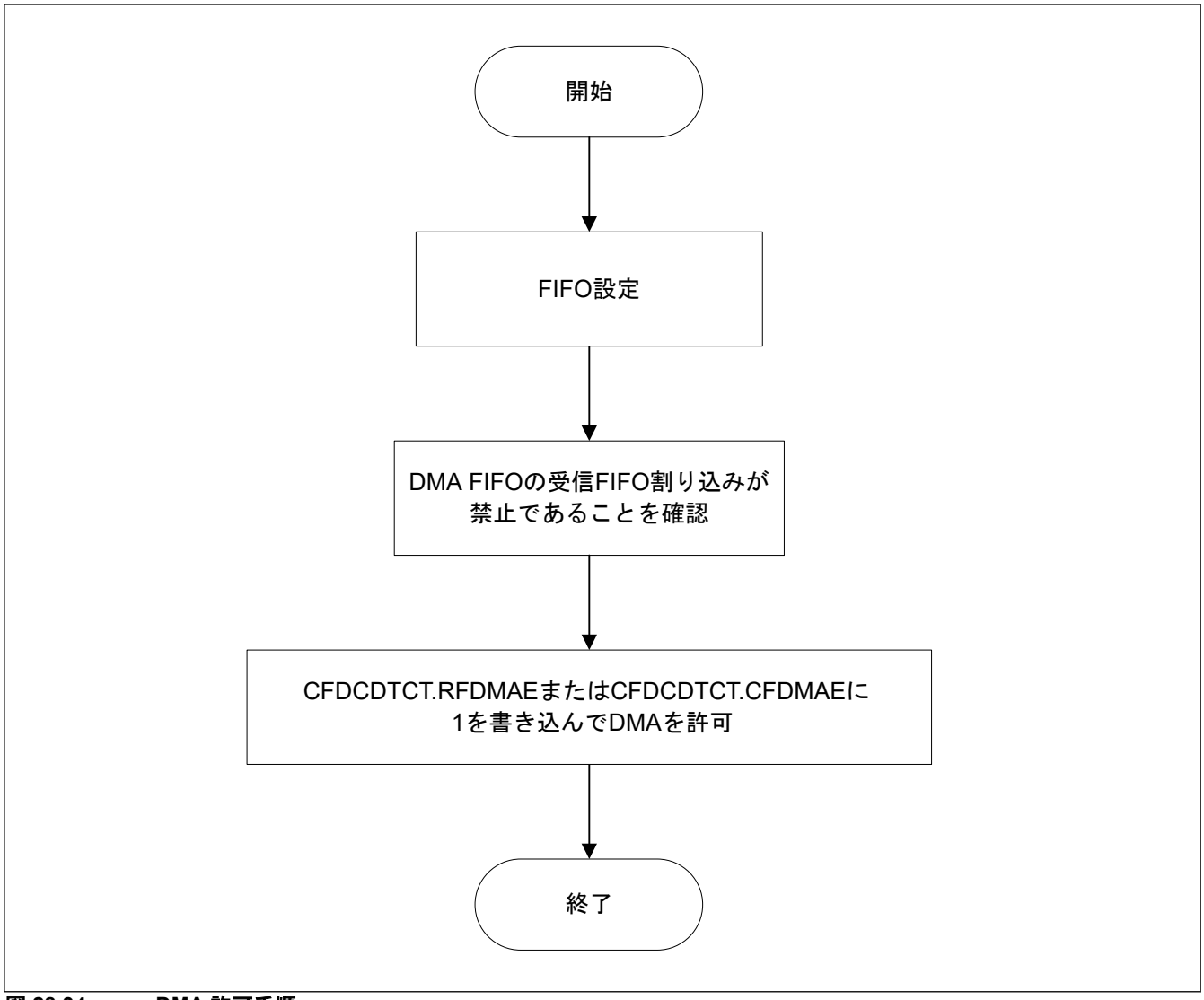


図 28.34 DMA 許可手順

DMA 転送要求を禁止するには、特定の DMA 許可ビット（CFDCDTCT.RFDMAE または CFDCDTCT.CFDMAE）を禁止に設定してください。転送中に禁止を設定した場合、その後の操作は、転送が完了してから行う必要があります。転送のステータスは、CFDCDTSTS.RFDMASTS ビットまたは CFDCDTSTS.CFDMASTS ビットで確認できます。DMA 禁止の手順については、図 28.35 を参照してください。DMA が禁止されている場合、その受信 FIFO 宛ての残りのメッセージや新しく受信するメッセージの扱い方の検討が必要です。

FIFO が禁止されていない場合、FIFO の受信は続行されます。

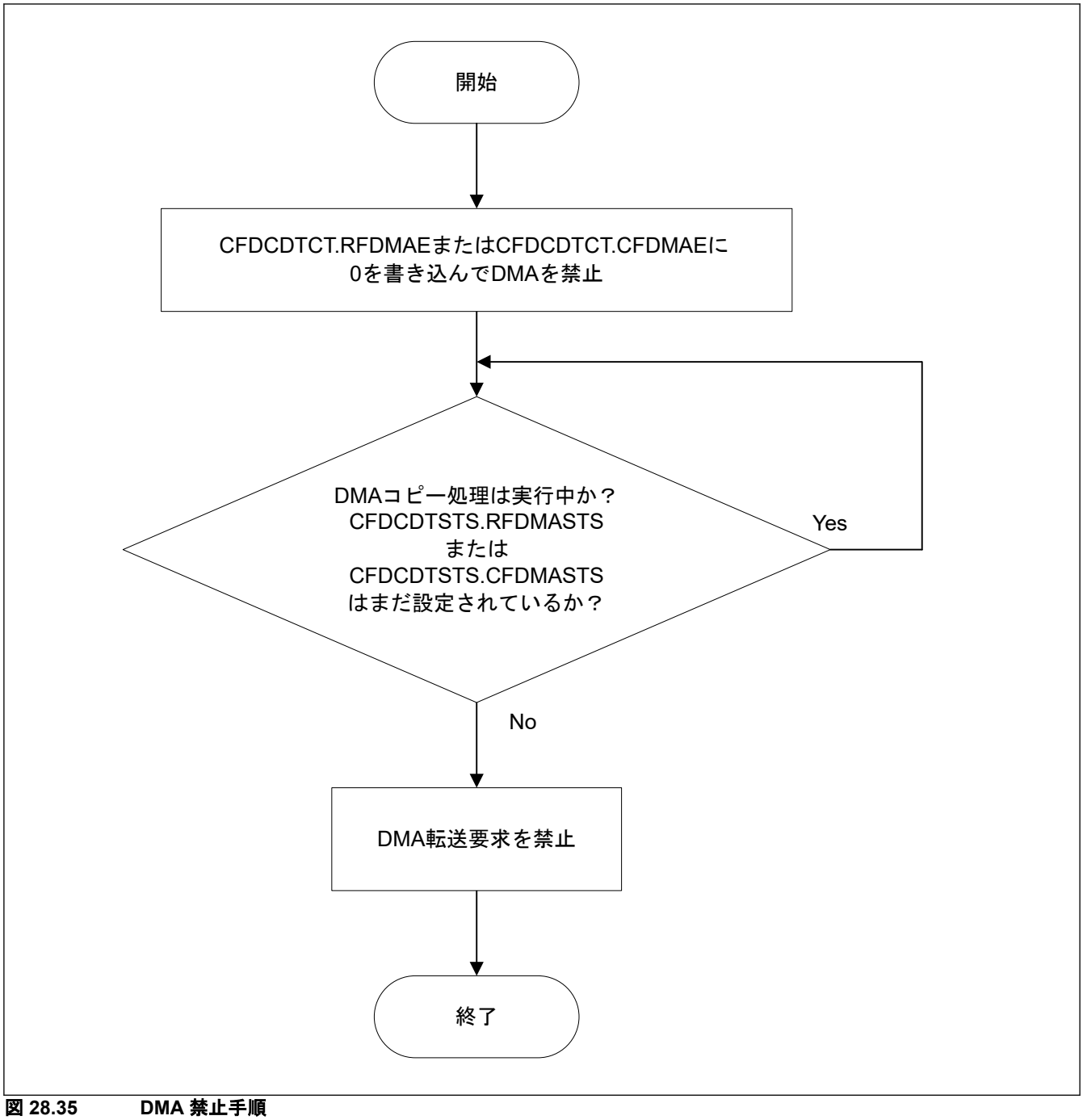


図 28.35 DMA 禁止手順

28.8 受信／送信

28.8.1 受信

CANFD モジュールでは、任意のチャネルで受信した CAN メッセージを、アクセプタンスフィルタリストのエントリに従い、RX メッセージバッファ、RX FIFO バッファ、または RX モードで構成された共通 FIFO バッファに格納されます。

- 構成可能な RX メッセージバッファの数は最大 32 個
- 利用可能な RX FIFO バッファの数は 2 個
- RX モードに構成可能な共通 FIFO バッファの数は 1 個

28.8.1.1 RX メッセージバッファへのメッセージの格納

メッセージが正常に受信されて RX メッセージバッファに格納されると、RX メッセージバッファ新規データレジスタに、対応する新規データフラグがセットされます。

格納された CAN メッセージは、対応する RX メッセージバッファから読み出しできます。

RX メッセージバッファに格納されたメッセージが読み出される前に、その RX メッセージバッファに新しいメッセージが格納されると、元のメッセージは上書きされます。新しいメッセージによって RX メッセージバッファの現在のメッセージが上書きされるのを防止するための機構は存在しません。このようなメッセージの消失を許容できない場合、RX FIFO を使用して関連するメッセージを格納する必要があります。

注. 割り込みを使用する場合も、既存のソフトウェア手順と同様の処理を行ってください。（図 28.37 を参照してください。）

注. 未使用のデータバイトは、DLC の値に応じて 0x00 によって埋められます。

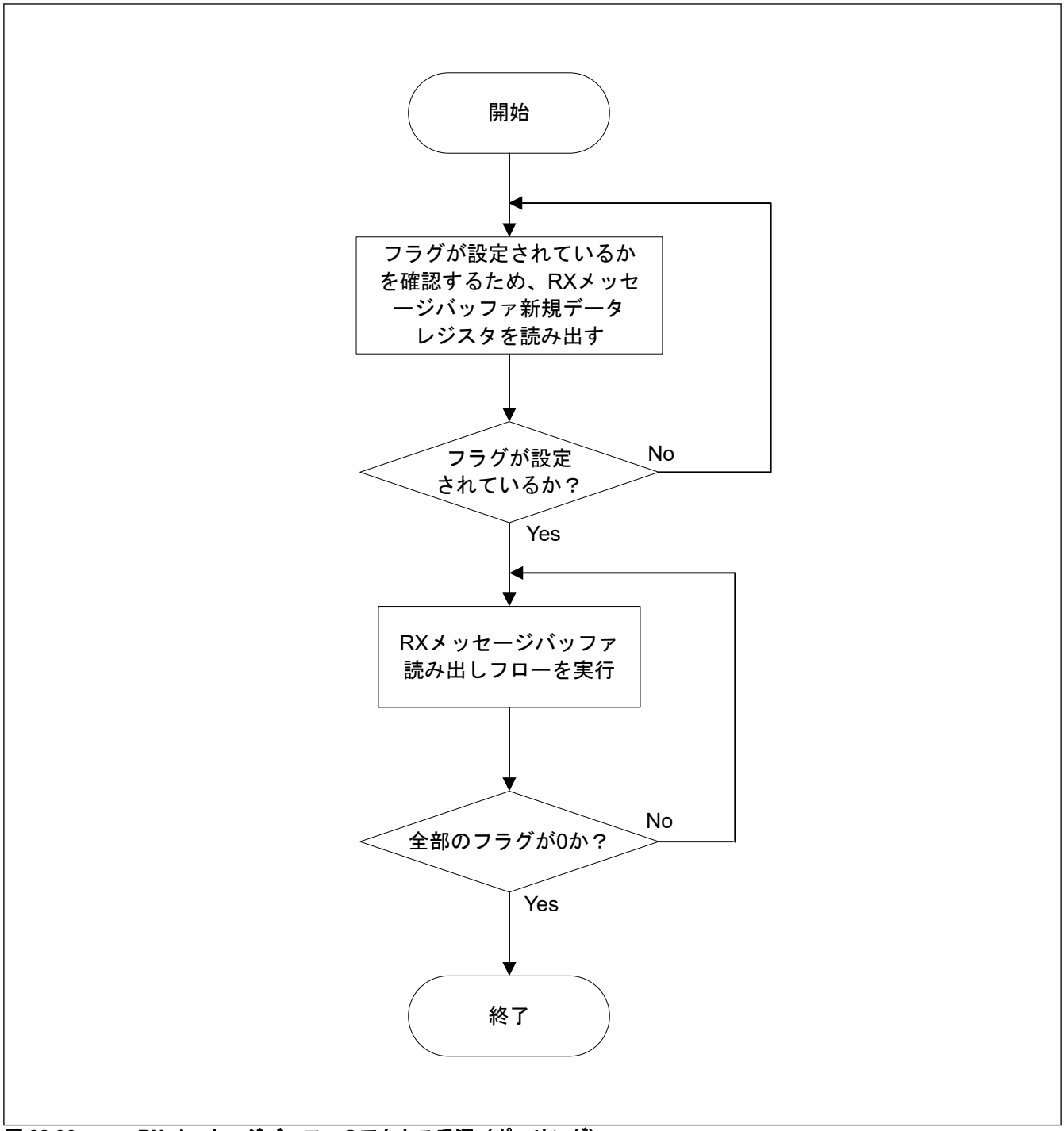


図 28.36 RX メッセージバッファのアクセス手順（ポーリング）

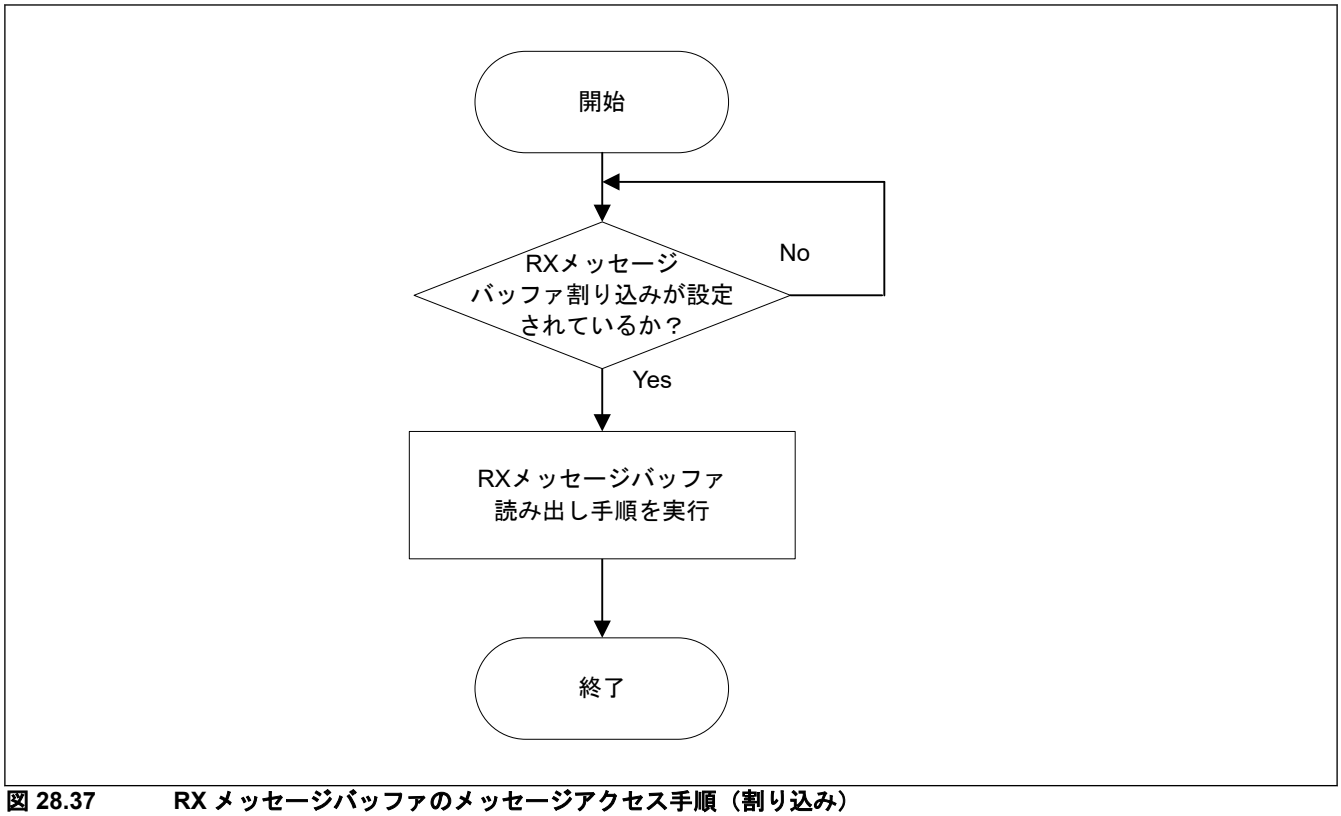


図 28.37 RX メッセージバッファのメッセージアクセス手順（割り込み）

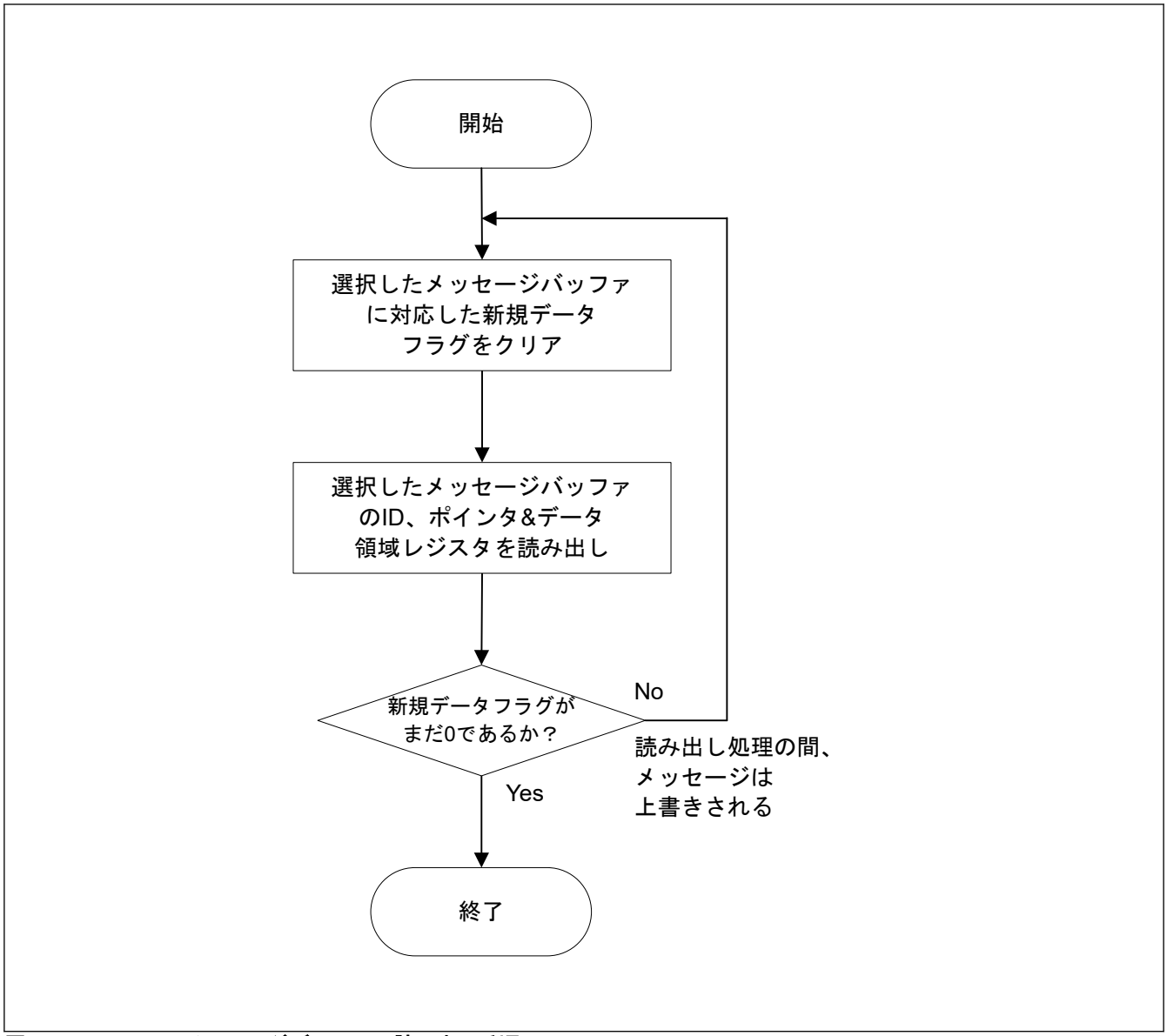


図 28.38 RX メッセージバッファの読み出し手順

28.8.1.2 FIFO バッファへのメッセージの格納

システム要件に合わせて AFL エントリを構成し、受信したメッセージを、RX FIFO バッファ、または RX モードに構成された共通 FIFO にルーティングできるようにする必要があります。

一致した AFL エントリの CFDGAFLP1r.GAFLFDP[8,1:0]フィールドによって、関連する受信メッセージを格納する FIFO バッファが選択されます。

1 つ以上の RX FIFO バッファまたは RX モードに構成された共通 FIFO に受信メッセージが格納されると、対応する RX FIFO ステータスレジスタまたは共通 FIFO ステータスのメッセージカウンタの値がインクリメントされます。

FIFO バッファの構成によっては、割り込みが発生することもあります。

メッセージは、対応する FIFO アクセスレジスタから読み出せます。

注. FIFO バッファには多くのメッセージを格納できるため、FIFO バッファに格納されている最新のメッセージを読み出すには、複数のメッセージの読み出しが必要になる場合があります。

メッセージ数が FIFO 容量と一致すると、FIFO フルフラグがセットされます。

対応する FIFO ポインタコントロールレジスタに値 0xFF が書き込まれると、メッセージ数は 1 デクリメントされます。

FIFO ポインタコントロールレジスタへの 0xFF を書き込むときは、対応する FIFO の FIFO アクセスレジスタからメッセージを完全に読み出した後に行ってください。

FIFO に格納されたすべてのメッセージが読み出されると、FIFO エンプティフラグがセットされます。

FIFO メッセージ数が FIFO 容量と一致するとき（FIFO フル条件）に FIFO に新しいメッセージが格納されると、FIFO メッセージロストフラグがセットされ、新しいメッセージは失われます（既に格納されているメッセージの上書きは行われません）。

警告レベルとして適切な値を設定し、FIFO フル条件になる前に割り込みを発生させ、オーバーラン条件によるメッセージの消失を防ぐことができます。

注. メッセージロストフラグは、RX モードのときに、CAN 側によってのみセットできます。CPU 側が FIFO バッファをオーバーロードしているときはメッセージロストフラグはセットされません。

RX FIFO バッファと、RX モードに構成された共通 FIFO バッファはいつでも無効化できます。無効化するには、それぞれ、RX FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFE ビット、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFE ビットをクリアします。

CFDRFCCa.RFE ビットまたは CFDCFCC.CFE ビットがクリアされると、FIFO のメッセージリードポインタおよびライトポインタがクリアされ、非アクティブになります。そのため、FIFO バッファ内のすべてのメッセージが失われ、以降その FIFO にメッセージを格納することはできなくなります。

RX FIFO バッファまたは RX モードに構成された共通 FIFO が、DMA チャネルとして割り当てられている場合、ソフトウェアでその FIFO バッファの FIFO アクセスレジスタにアクセスしたり、FIFO ポインタコントロールレジスタ（CFDCFPCTR.CFPC または CFDRFPCTRa.RFPC）に 0xFF を書き込んではなりません。意図せずに FIFO メッセージがデクリメントされる恐れがあります。DMA チャネルでは、FIFO のデクリメントが自動的に制御されます。

注. 割り込みフラグがセットされている FIFO バッファを無効化した場合、割り込みフラグは自動的にクリアされません。FIFO を無効化する前に、割り込みフラグをクリアしてください。

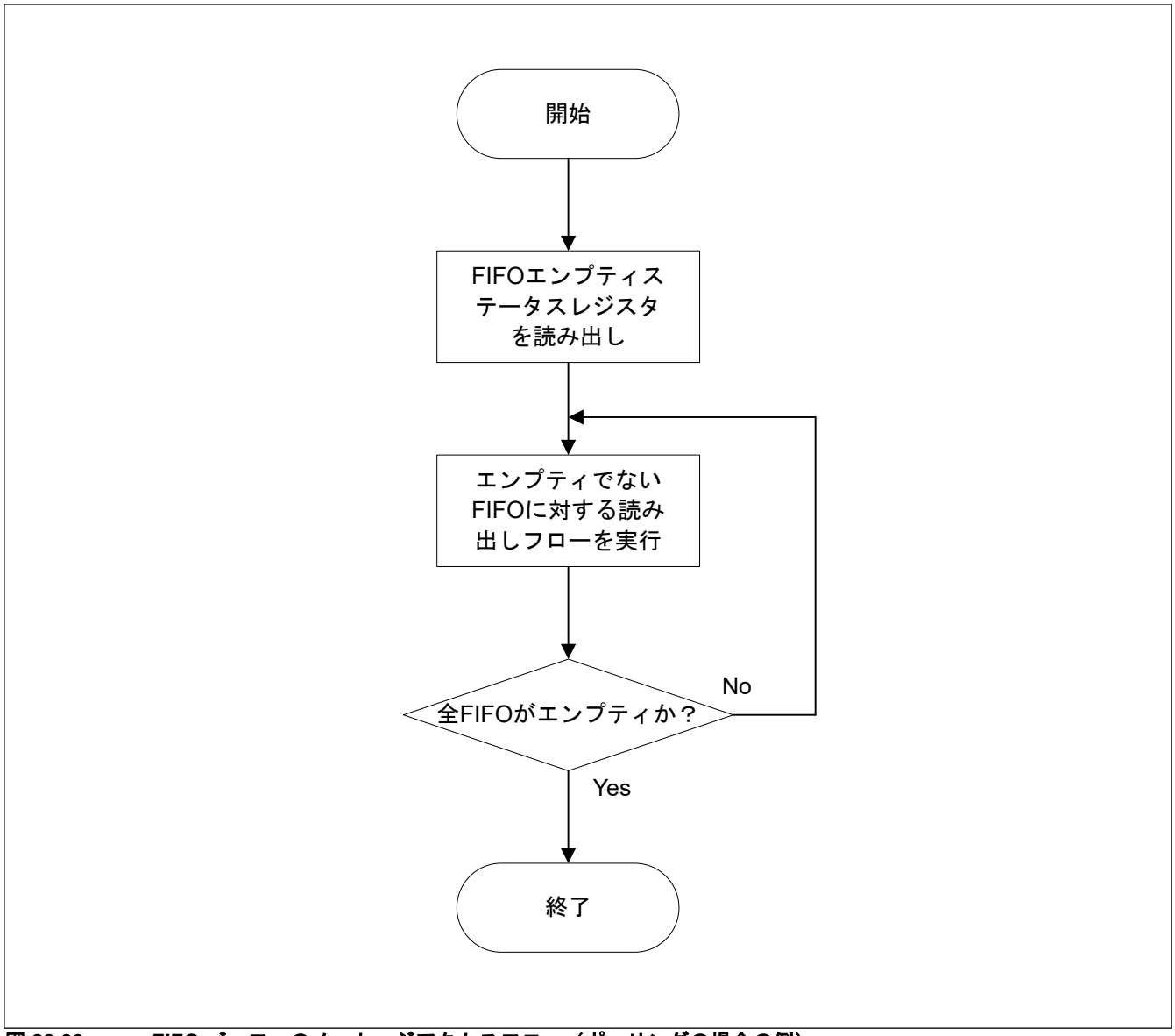


図 28.39 FIFO バッファのメッセージアクセスフロー（ポーリングの場合の例）

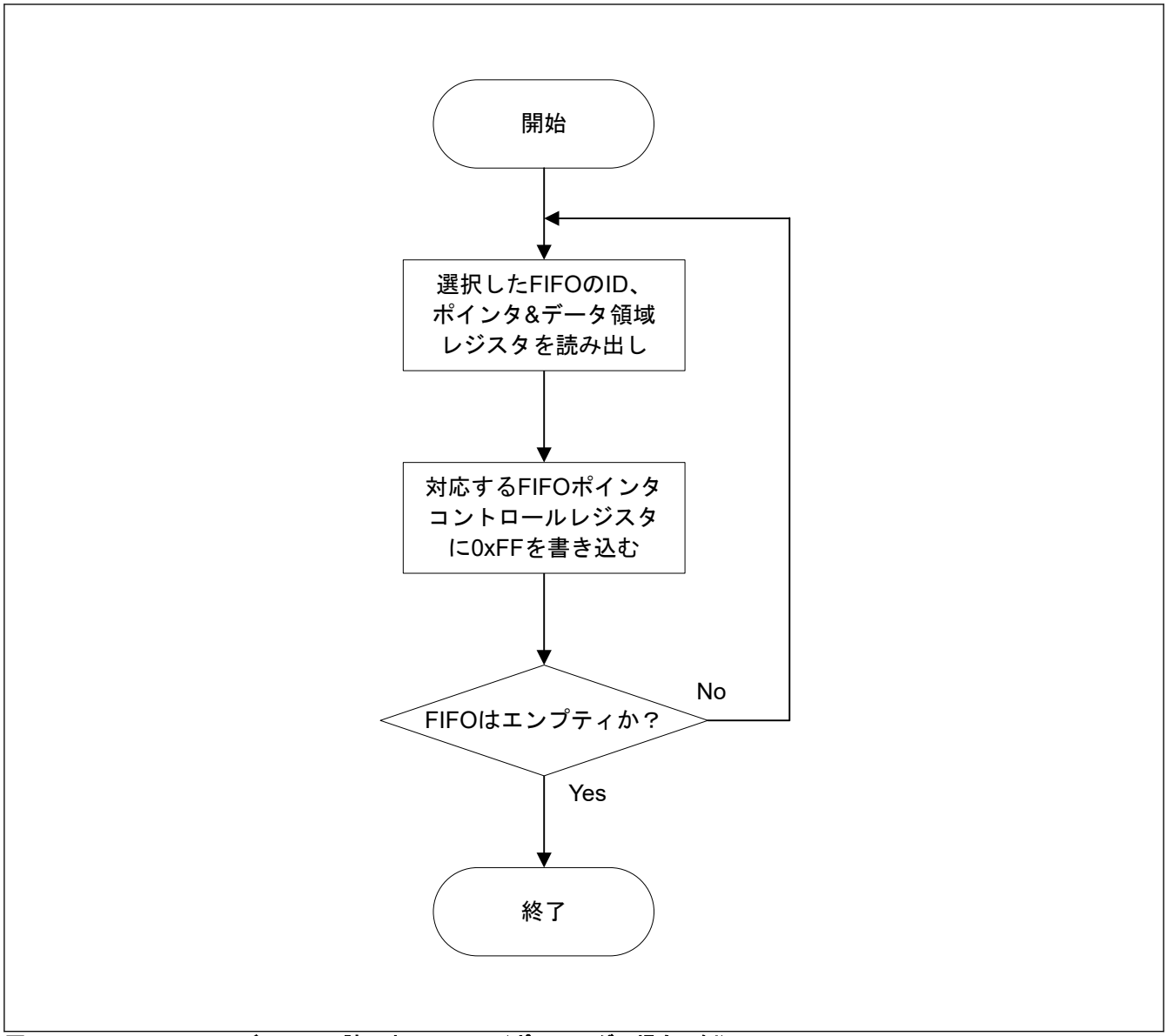


図 28.40 RX FIFO バッファの読み出しフロー（ポーリングの場合の例）

注. 受信の完了割り込みフラグをクリアする前に次のフレームを受信した場合、受信の完了割り込みは再度セットされません。

受信処理の完了後に「割り込みフラグ」をクリアしたとしても、すでに受信済みである割り込みフラグはセットされません。

受信完了処理は、次のフレーム受信完了前に行い、割り込みフラグをクリアしておく必要があります。

処理が間に合わない場合、受信データが空であることを確認してから、割り込みフラグをクリアし、受信データが空であることをもう一度確認します。

28.8.1.3 タイムスタンプ

タイムスタンプカウンタは、受信したメッセージの受信時間、または正常に送信されたメッセージの送信時間をチェックするために使用可能なフリーランニングカウンタです。タイムスタンプカウンタの値は、CFDGFDCFG.TSCCFG[1:0]の設定に基づいて（SOF (Start of Frame) のサンプルポイント、またはフレームが有効な時点、または CANFD フレームでは RES ビットのサンプルポイントで）キャプチャされます。受信時のタイムスタンプカウンタ値は、メッセージ ID およびデータと一緒に、格納先の RX メッセージバッファまたは RX FIFO に格納されます。

メッセージ送信時のタイムスタンプカウンタ値は、TX 履歴リストエントリの一部として格納されます。

カウンタには、周辺クロックから、または CAN チャネルのビットタイミングクロックからクロックを供給できます。カウンタのソースクロックは、グローバルコンフィグレーションレジスタの CFDGCFG.TSSS ビットで構成できます。このビットが 0 の場合、周辺クロックが使用されます。このビットが 1 の場合、選択した CAN チャネルのビット時間クロックが使用されます。

チャネルの選択は、グローバルコンフィグレーションレジスタの CFDGCFG.TSBTCS ビットによって行います。

クロックソースとして、選択した CAN チャネルのビット時間クロックを使用する場合は、注意が必要です。そのチャネルがチャネル Halt モードまたはチャネルリセットモードに遷移した場合、タイムスタンプカウンタは停止してしまいます。つまり、その他の CAN チャネルについても、タイムスタンプカウンタの値が更新されなくなります。

タイムスタンプカウンタのクロックソースとして周辺クロックを選択した場合は、タイムスタンプカウンタの機能がチャネルモードの影響を受けることはありません。

タイムスタンプカウンタのソースクロックは、グローバルコンフィグレーションレジスタの CFDGCFG.TSP ビット（タイムスタンププリスケーラ）で定義された分周比で分周できます。

タイムスタンプカウンタは、CFDGCTR.TSRST ビット（タイムスタンプリセット）によって、0x0000 にリセットすることができます。

28.8.2 送信

以下の複数の送信構成が可能です。

- 通常送信
- FIFO 送信
- TX キュー送信
  専用に決まった数の送信メッセージバッファ（4 個の TX メッセージバッファ）が用意されています。これらのメッセージバッファは送信専用で、受信用に構成することはできません。
  さらに、TX キュー、または TX モードの共通 FIFO から送信するよう構成することができます。構成方法は次のとおりです（図 28.41 を参照）。
  - TX キュー：最大 4 個の送信メッセージバッファをグループ化して、1 つのアクセスウィンドウを共有する TX キューを構成できます。
    上部の送信メッセージバッファを使用して、TXQ が構成されます。
    TX キューがそれぞれのアクセスウィンドウを持ちます。
    - TXQ は、送信メッセージバッファ 0 です。
- 共通 FIFO（TX モード）：TX モードの共通 FIFO が専用のチャネルにリンクされます。
  チャネルに 1 つ（数は固定）の共通 FIFO が割り当てられます。チャネル内で、TX モードに構成された共通 FIFO を、送信メッセージバッファ 0～3 に自由にリンク（割り当て）できます（1 つの送信メッセージバッファに対して 1 つの FIFO のみリンク可能）。
  リンク先の送信メッセージバッファは、その共通 FIFO バッファによって置き換えられます。
  これらの送信メッセージバッファについて、送信コントロールレジスタや送信ステータスレジスタを使用してはなりません。

関連するチャネルへの共通 FIFO バッファの割り当てについては、図 28.29 を参照してください。

注. 共通 FIFO バッファは、すでに TX キューの構成要素になっている TX メッセージバッファに対してリンクしてはなりません。

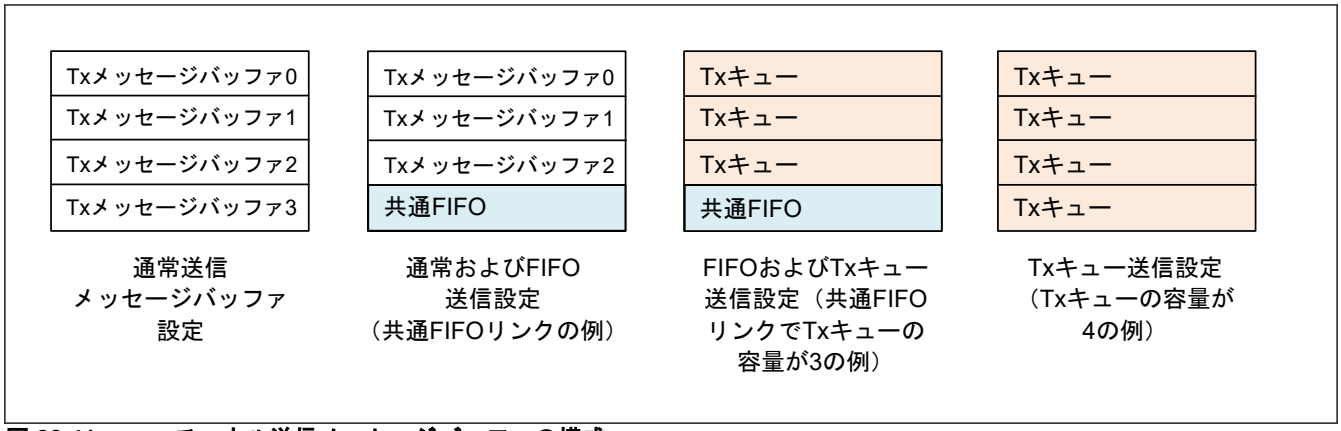


図 28.41 チャネル送信メッセージバッファの構成

28.8.2.1 送信優先順位

1 つのチャネルで 2 つ以上の送信メッセージバッファが送信用に構成されている場合、CANFD モジュール内の送信優先順位は、以下の 2 つのモードから選択できます。

- CAN ID 優先
- メッセージバッファ番号優先

送信優先順位モードは、すべてのメッセージバッファで共通です。グローバルコンフィグレーションレジスタの CFDGCFG.TPRI ビットで構成できます。

メッセージバッファ番号優先送信の場合、送信要求がある中で最も小さいメッセージバッファ番号が、最も高い送信優先順位を持ちます。これには、TX モードに構成された共通 FIFO バッファにリンクされた TX メッセージバッファも含まれます。

ただし、TX キューが有効化されている場合は、メッセージバッファ番号優先モードを使用してはなりません。

CAN ID 優先送信の場合、ID の優先順位は、（ISO 11898-1 仕様に定められた）CAN バスアービトレーションルールに準拠します。送信用に構成されたメッセージバッファの ID 優先順位の比較対象には、すべての TX メッセージバッファを含めることができます。これには、TX モードに構成された共通 FIFO バッファにリンクされた TX メッセージバッファや、TX キューメッセージバッファも含まれます。

同じ ID をもつメッセージバッファが 2 つ以上存在する場合、メッセージバッファ番号が小さい方が、高い送信優先順位を持ちます。

注. TX モードに構成された共通 FIFO バッファの場合、現在 FIFO リードポインタが指しているメッセージのみを送信アービトレーションに含めることができます。

その FIFO がメッセージ送信中の場合、その FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。

これに対して TX キューでは、TX キューのすべての送信メッセージバッファが内部送信アービトレーションの対象となります。

図 28.42 に、送信構成フローを示します。

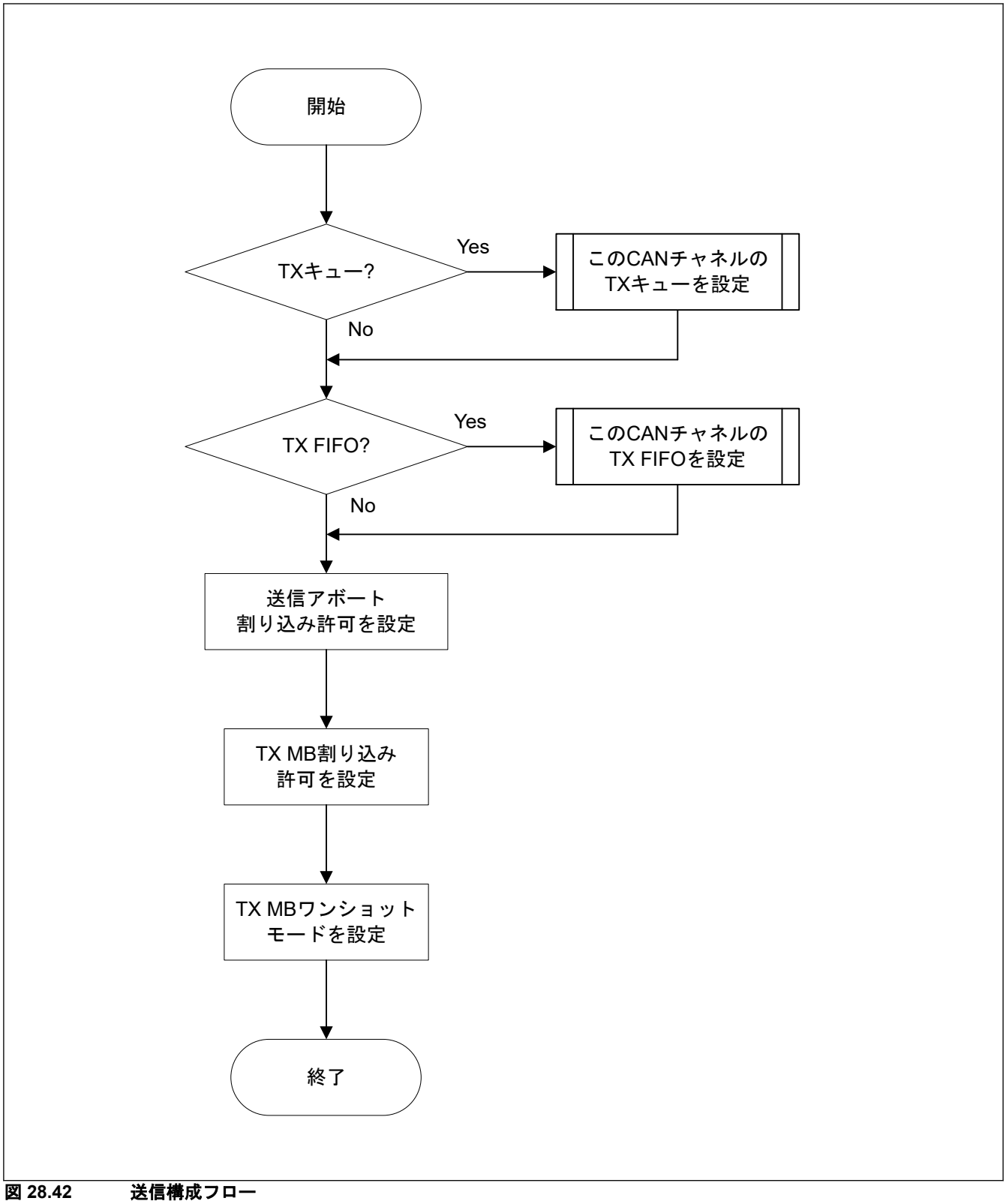


図 28.42 送信構成フロー

28.8.2.2 通常送信

各送信メッセージバッファには、次の 2 つのメッセージ送信モードがあります。

1. 通常送信モード
   メッセージバッファが通常送信モードに設定されている場合、メッセージバッファに設定されたデータフレームまたはリモートフレームを送信できます。

通常送信が完了したかどうかは、関連する TX メッセージバッファステータスレジスタの TX メッセージバッファ送信結果フラグビット (CFDTMSTSj.TMTRF) によってチェックできます。これらのビットは、通常送信が正常に行われると、10b または 11b にセットされます。
アービトレーションが失われるか、エラーが発生した場合、その送信メッセージバッファに送信アボート要求が設定されていなければ、メッセージの送信が再試行されます。
送信要求があるすべてのメッセージバッファを対象に、そのチャネルで新しい内部送信アービトレーションが行われます。

2. ワンショット送信モード

TX メッセージバッファコントロールレジスタの CFDTMCi.TMOM ビットがセットされている場合、その送信メッセージバッファはワンショット送信モードに設定されます。このモードでは、メッセージの送信を 1 回のみ試みます。

ワンショット送信が完了したかどうかは、関連する TX メッセージバッファステータスレジスタの TX メッセージバッファ送信結果フラグビット (CFDTMSTSj.TMTRF) によってチェックできます。ワンショット送信が正常に行われると、CFDTMSTSj.TMTRF ビットが 10b または 11b にセットされます。

アービトレーションが失われるか、関連するメッセージバッファの送信中にエラーが発生すると、CFDTMSTSj.TMTRF ビットは 01b にセットされます。

この場合、メッセージ送信は再試行されません。

構成後の通常送信要求手順を図 28.43 に示します。

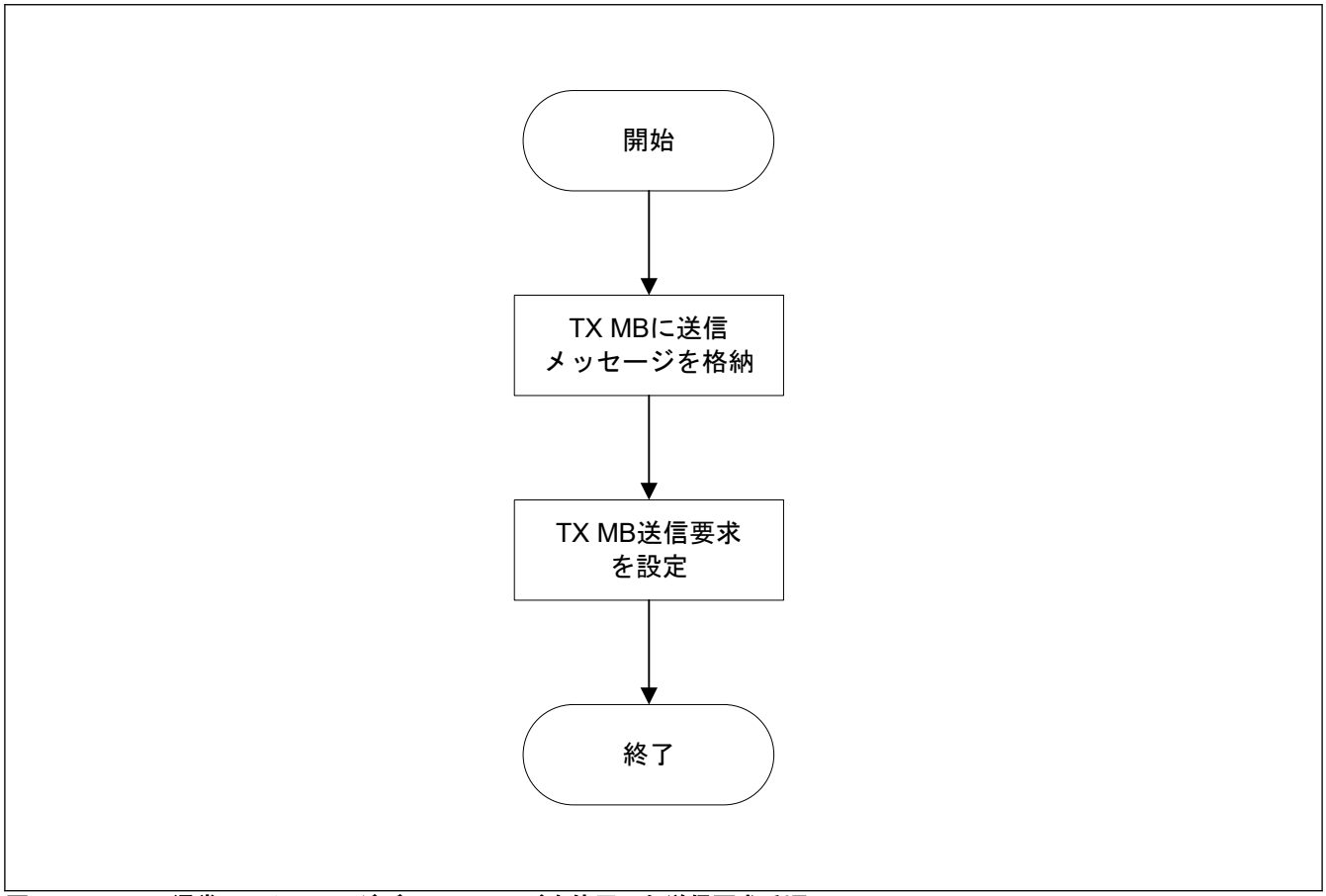


図 28.43 通常 TX メッセージバッファモードを使用した送信要求手順

(1) TX メッセージバッファコントロールレジスタの設定

表 28.27 に、通常 CAN 送信モードの構成を示します。

表 28.27 CAN 送信モードの構成

送信要求 CFDTMCi.TMTR	送信アボート要求 CFDTMCi.TMTAR	ワンショット許可 CFDTMCi.TMOM	通信アクティビティ
0	0	0	メッセージバッファは無効
0	0	1	メッセージバッファは無効
1	0	0	データフレームまたはリモートフレーム用の送信メッセージバッファとして設定されている
1	0	1	データフレームまたはリモートフレーム用のワンショット送信メッセージバッファとして設定されている
1	1	0	送信アボートが要求されている
1	1	1	ワンショット送信アボートが要求されている

これらのコンフィグレーションビットは、TX メッセージバッファコントロールレジスタで構成できます。

図 28.44 に、上の 2 つのメッセージバッファの正常送信のタイミングを示します。

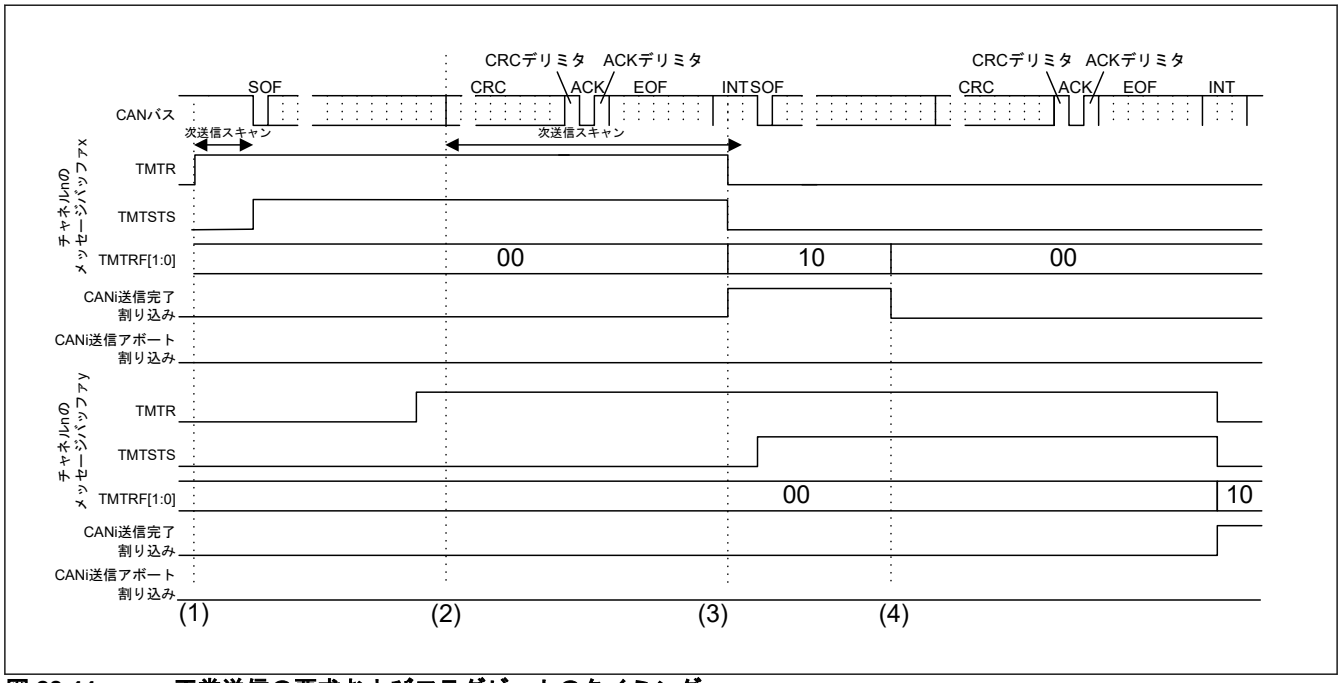


図 28.44 正常送信の要求およびフラグビットのタイミング

1. TX メッセージバッファコントロールレジスタの CFDTMCi.TMTR ビットがバスアイドル状態に設定されている場合、メッセージバッファスキャン手順が開始され、送信優先順位が最も高いメッセージバッファが決定されます。
   送信メッセージバッファが決定されると、関連する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTSTS ビットがセットされ（送信側／トランスミッタ）、CAN チャネルが送信を開始します(注1)。
2. 保留中の送信要求が存在する場合、CRC の 1 ビット目で、次の送信用の送信スキャン手順が開始されます。
3. メッセージが正常に送信されると、対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットが 10b にセットされ、CFDTMSTSj.TMTSTS ビットと CFDTMCi.TMTR ビットがクリアされます。
   TX メッセージバッファ割り込み許可コンフィグレーションレジスタの TMIE ビットがセットされる（割り込みが許可される）と、CAN 正常送信割り込み要求が発生します。
   関連する割り込みラインをクリアするには、CFDTMSTSj.TMTRF フラグビットをクリアする必要があります。
4. 次の送信を開始する前に、CFDTMSTSj.TMTRF ビットをクリアしてください。送信メッセージバッファ内の次のメッセージを読み込み、CFDTMCi.TMTR ビットを再度セットします。
   CFDTMSTSj.TMTRF[1:0]ビットをクリアする前に CFDTMCi.TMTR ビットを再セットすることはできません。

注 1. CAN チャネルが送信を開始した後にアービトレーションが失われると、CFDTMSTSj.TMTSTS ビットがクリアされます。

1 つ目の CRC ビットの先頭から、もう一度送信スキャン手順が行われ、優先順位が最も高い送信メッセージバッファが検索されます。

送信中またはアービトレーションロスト後にエラーが発生した場合は、エラーフレーム中に送信スキャン手順が再度行われ、最も優先順位の高い送信メッセージバッファが検索されます。

注. CFDTMSTSj.TMTSTS が設定されるポイントが、常に SOF の先頭になるとは限りません。PLL バイパス用に実装された同期ロジックにより、最大で、標準 ID の開始点まで遅れることがあります。

図 28.45 に、2 つのメッセージバッファの送信アボートのタイミングを示します。

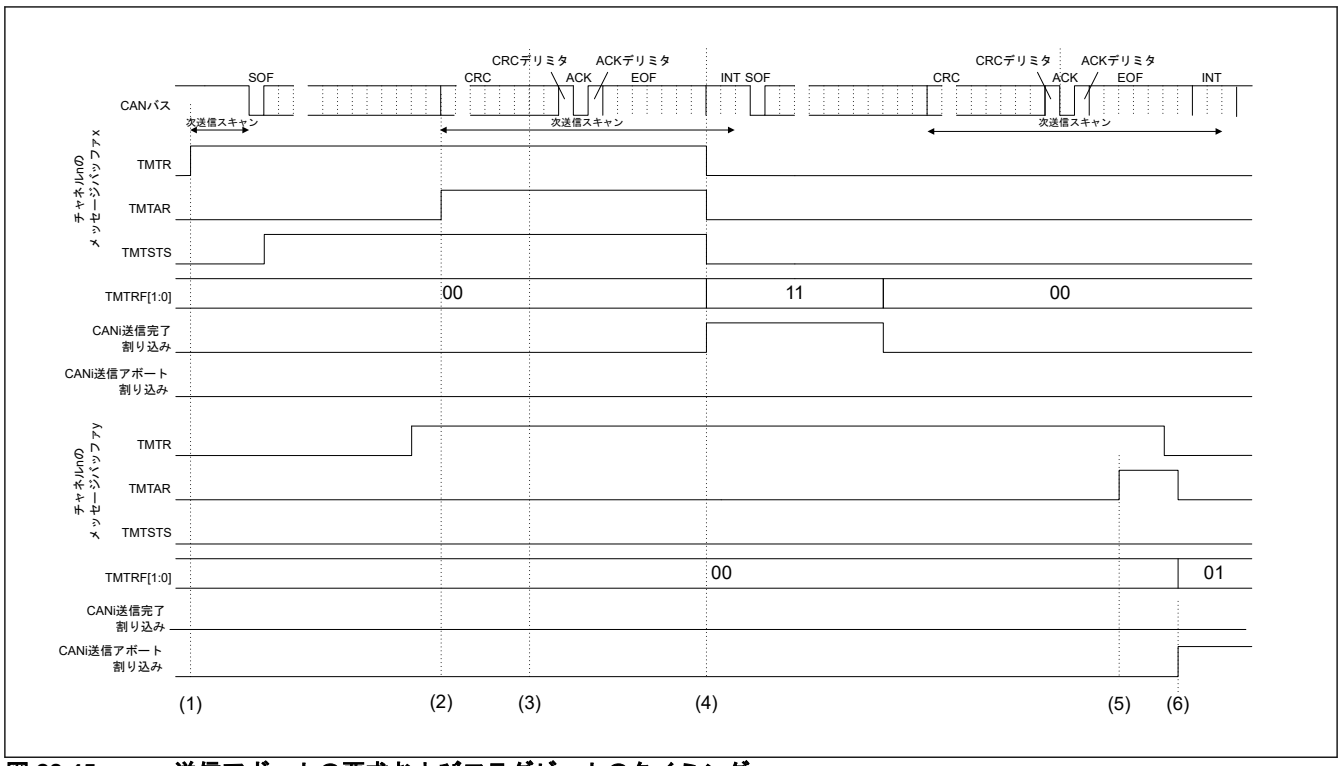


図 28.45 送信アボートの要求およびフラグビットのタイミング

1. TX メッセージバッファコントロールレジスタの CFDTMCi.TMTR ビットがバスアイドル状態に設定されている場合、メッセージバッファスキャン手順が開始され、送信優先順位が最も高いメッセージバッファが決定されます。
   送信メッセージバッファが決定されると、TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTSTS ビットがセットされ（送信側／トランスミッタ）、CAN チャネルが送信を開始します(注1)。
2. すでに送信用に選択されているか、現在送信中のメッセージバッファに対して CFDTMCi.TMTAR ビットがセットされた場合は、エラーが発生したりアービトレーションが失われたりしない限り、メッセージはアボートされません。
3. 1 つ目の CRC ビットで、次の送信用の送信スキャン手順が開始されます。このタイミングチャート例では、メッセージバッファ y は次の送信メッセージバッファとして選択されていません。
4. メッセージが正常に送信されると、対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットが 11b にセットされ、CFDTMSTSj.TMTSTS ビットと CFDTMCi.TMTR ビットがクリアされます。
   TX メッセージバッファ割り込み許可コンフィグレーションレジスタの TMIE ビットがセットされる（割り込みが許可される）と、CAN 正常送信割り込み要求が発生します。
   関連する割り込みラインをクリアするには、CFDTMSTSj.TMTRF[1:0]ビットをクリアする必要があります。
5. CAN バス上では、別の CAN ノードが送信中です（CFDTMSTSj.TMTSTSS はセットされていません）。関連するチャネルの送信スキャン中に CFDTMCi.TMTAR ビットがセットされた場合、送信要求をクリアすることはできません。

6. 内部処理時間が経過した後、送信はアボートされ、CFDTMSTSj.TMTRF[1:0]ビットが 01b にセットされます。
そのメッセージバッファが送信中でなく、次の送信メッセージバッファとして選択されてもおらず、送信スキャン中でもない場合、アボートは即座に受け入れられ、対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットが 01b にセットされます。
さらに、CFDTMCi.TMTR ビットと CFDTMCi.TMTAR ビットが自動的にクリアされます。
関連するチャネルコントロールレジスタの送信アボート割り込み許可 (TAIE) ビットがセットされている場合は、送信が正常にアボートされると割り込みが生成されます。
関連する割り込みラインをクリアするには、CFDTMSTSj.TMTRF[1:0]ビットをクリアする必要があります。

注 1. CAN チャネルが送信を開始した後にアービトレーションが失われると、CFDTMSTSj.TMTSTS ビットがクリアされます。

1 つ目の CRC ビットの先頭から、もう一度送信スキャン手順が行われ、優先順位が最も高い送信メッセージバッファが検索されます。

送信中またはアービトレーションロスト後にエラーが発生した場合は、エラーフレーム中に送信スキャン手順が再度行われ、最も優先順位の高い送信メッセージバッファが検索されます。

28.8.2.3 TX FIFO 送信

CANFD モジュールに、1 つの共通 FIFO バッファが割り当てられています。この FIFO バッファは、TX モードに構成された場合、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFTML ビットによって、そのチャネルの任意の通常の TX メッセージバッファ位置にリンクできます。

送信スキャンが開始したときに、その TX メッセージバッファに対応する FIFO バッファが有効化されている場合、その FIFO バッファ内の関連するメッセージが送信スキャンの対象となります。

TX モードの FIFO バッファにリンクされた TX メッセージバッファに対して構成を行ってはなりません。

(1) TX FIFO の動作

TX FIFO に CAN メッセージを書き込むには、対応する FIFO アクセスレジスタに書き込みます。

対応する FIFO ポインタコントロールレジスタに値 0xFF が書き込まれると、関連する FIFO のメッセージ数が 1 インクリメントされます。

FIFO ポインタコントロールレジスタに書き込むときは、対応する FIFO アクセスレジスタにメッセージを完全に書き終わってから行ってください。メッセージ数が FIFO 容量と一致すると、FIFO フルフラグがセットされます。

対応する CANFD モジュールチャネルロジックにより、TX FIFO 内の最も古いメッセージが送信スキャン対象に含まれます。

TX FIFO がメッセージを正常に送信すると、メッセージ数の値が 1 デクリメントされます。FIFO からすべてのメッセージが送信されると、FIFO エンプティフラグがセットされます。

TX FIFO バッファの割り込み発生条件は、対応する共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFIM ビットによって設定できます。

CFDCFCC.CFIM ビットが 0 の場合、TX FIFO バッファから最後のメッセージが正常に送信されたときに割り込みが発生します。

CFDCFCC.CFIM ビットが 1 の場合、TX FIFO バッファからメッセージが正常に送信されるたびに、割り込みが発生します。

共通 FIFO は、CAN フレームの送信が完了したときに割り込みを設定できます。

TX モードに構成された共通 FIFO バッファは、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFE ビットをクリアすることで、無効化できます。このビットが 0 にクリアされると、以下のタイミングで FIFO エンプティフラグがセットされます。

- TX FIFO からの次の送信予定がなく、また送信中でもない場合：即時
- TX FIFO からの次の送信予定があるか、現在送信中の場合：送信完了後、または CAN バスエラー検出後、またはアービトレーションロスト後、またはチャネルまたはグローバル Halt モード遷移後

注. CFDCFCC.CFE ビットクリア後に共通 FIFO バッファが無効とみなされるのは、対応する共通 FIFO バッファにエンプティフラグがセットされている場合のみです。

TX FIFO にその他の送信保留中メッセージがある場合、そのメッセージは失われるため、送信を再度要求する必要があります。再び CFDCFCC.CFE をセットする前に、CFDCFSTS.CFEMP ビットがセットされており、かつ、その TX FIFO に保留中のアボートがないことを確認してください。

CFDCFCC.CFE ビットがクリアされると、FIFO のメッセージ読み出しポインタおよび書き込みポインタがクリアされ、非アクティブになります。そのため、FIFO バッファ内のすべてのメッセージが失われ、以降その FIFO にメッセージを格納することはできなくなります。

構成後の FIFO 送信要求手順を図 28.46 に示します。

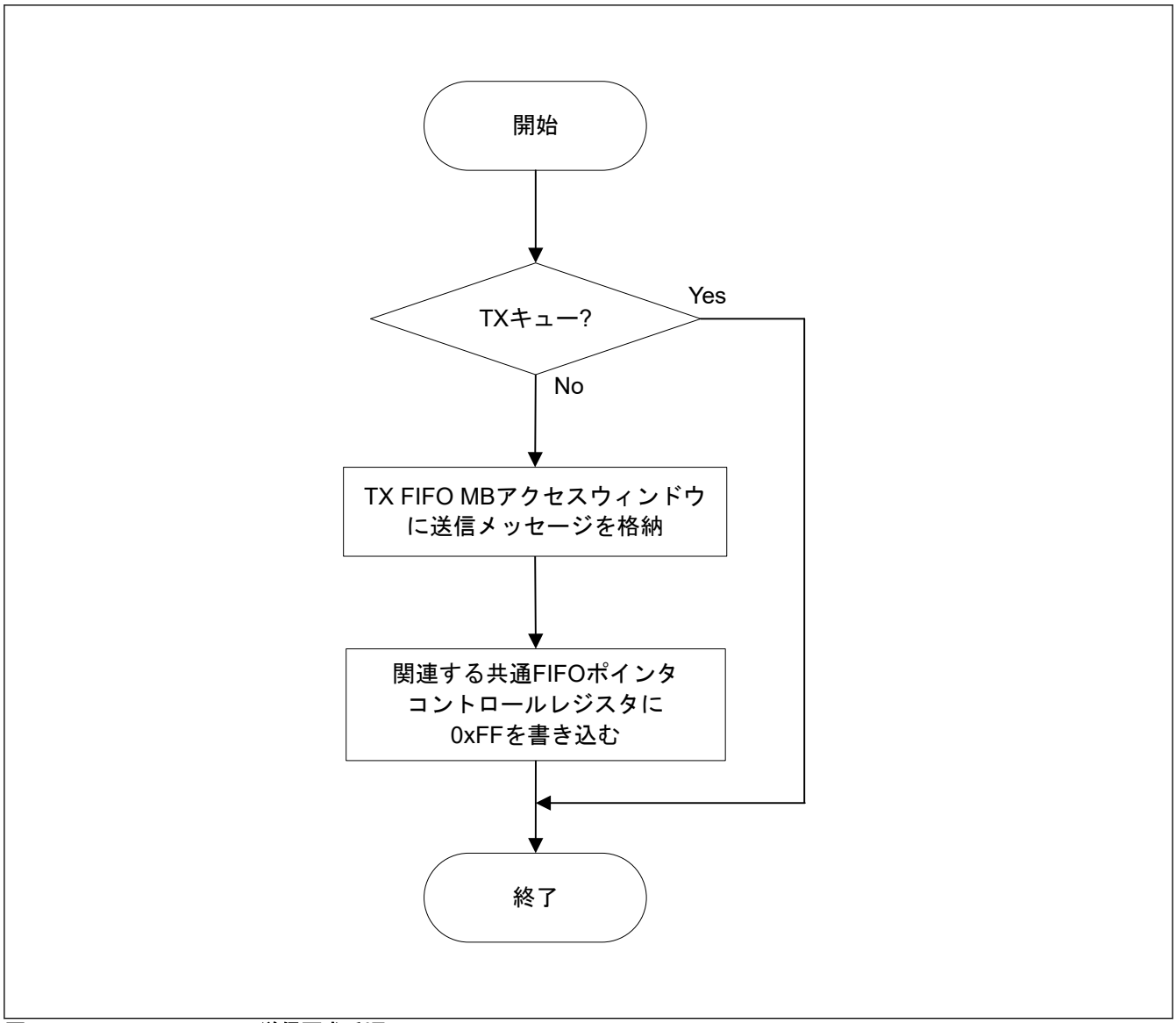


図 28.46 TX FIFO の送信要求手順

(2) FIFO 送信のインターバルタイマ

TX モードの各共通 FIFO において、1 つの FIFO バッファから送信されるよう構成された 2 つの連続するメッセージ間の遅延を指定することができます。この遅延をインターバル時間と呼びます。このインターバル時間は、CFDCFCC.CFE ビットがセットされ、FIFO バッファの最初のメッセージが正常に送信された後に開始されます。

TX モードの共通 FIFO が有効の場合、最初のメッセージは、このインターバル時間を考慮することなく送信されます。

以下のとき、インターバルタイマはカウントを停止します。

- CFDCFCC.CFE ビットのクリアによって FIFO が無効化されたとき
- CAN チャネルが CH_RESET モードのとき

インターバル時間は、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFITT の値により、0～255 のタイマ単位で指定されます。

タイマ単位は、インターバルタイマ用の 2 つの異なるソースクロックに基づいて定義できます。FIFO 送信のインターバルタイマを無効にするには、値 0 を選択します。

タイマソースは、共通 FIFO コンフィグレーション／コントロールレジスタのコンフィグレーションビット CFITSS によって選択できます。

クロックソースとして CAN チャネルビット時間クロックを選択し、CAN チャネルが CH_HALT モードまたは CH_RESET モードまたは CH_SLEEP モードに遷移した場合、そのチャネルのインターバルタイマは停止します。

インターバルタイマのクロックソースとして周辺クロックを選択した場合、インターバルタイマが停止するのは、CAN チャネルが CH_RESET モードまたは CH_SLEEP モードになったときのみです。

基準クロックを使用して、インターバル時間を固定の時間単位で構成できます。これは、周辺クロックに基づきます。グローバルコンフィグレーションレジスタの基準クロックプリスケーラ値 CFDGCFG.ITRCP は、周辺クロックの周波数／周期と基準クロック周期の関係を定義します。

周辺クロックの周波数／周期に基づいて異なる基準クロック周期を実現するための CFDGCFG.ITRCP の設定値については、表 28.28 を参照してください。

表 28.28　FIFO インターバルタイマの基準クロックの構成例

基準クロック 周辺クロック	1 µs	100 µs	500 µs
16 MHz/62.5 ns	16	1600	8000
20 MHz/50 ns	20	2000	10000
32 MHz/31.25 ns	32	3200	16000
50 MHz/20 ns	50	5000	25000

さらに、共通 FIFO コンフィグレーション／コントロールレジスタのインターバルタイマ基準クロック分解能値 CFDCFCC.CFITR を使用して、基準クロックの分解能を指定できます。

インターバル時間は、基準クロック周期を設定値で逓倍（x1 または x10）した値に基づきます。基準クロックベースのインターバルタイマを使用すると、ISO 15765-2 のセパレーション時間の要件に準拠することができます。100 µs～127 ms の全範囲のセパレーション時間をカバーできます。

指定したインターバル時間は、正常送信イベント後（CAN プロトコルの EOF7 状態の後）に開始されます。

インターバル時間が経過すると、関連する TX FIFO によって次の送信要求が出されます。したがって、インターバル時間により、1 つの FIFO から送信される 2 つのメッセージ間の最小間隔が定義されます。

次のメッセージが送信されるのは、最も早くても、このインターバル時間の後になります。図 28.47 に内部処理のタイミング例を示します。

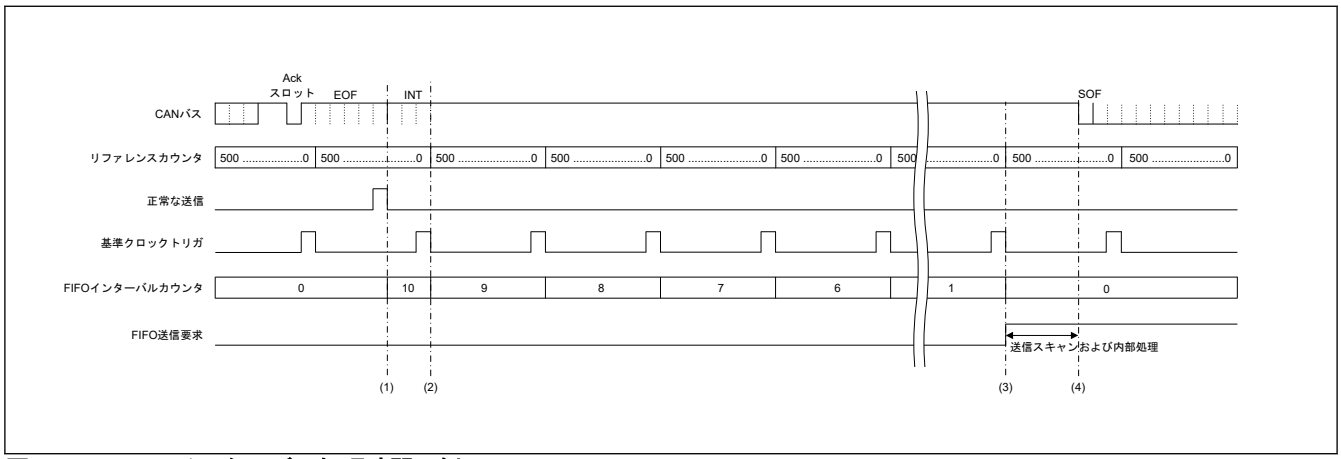


図 28.47　インターバル処理時間の例

図 28.47 のタイミングの構成は以下のとおりです。

- 周辺クロック周波数 = 50 MHz

- インターバルタイマ基準クロック (CFDGCFG.ITRCP) = 500 カウント
- 図 28.47 の設定による基準クロック = 10 µs
- 共通 FIFO インターバルタイマソース選択 (CFDCFCC.CFITSS) = 0
- 共通 FIFO インターバルタイマ分解能 (CFDCFCC.CFITR) = 0
- 共通 FIFO インターバル送信時間 (CFDCFCC.CFITT) = 10 回
- 理論上のメッセージセパレーションインターバル = 100 µs

1. 正常送信結果が発生すると、内部 FIFO インターバルタイマはリスタートされます。このリスタートは、基準クロックのトリガとは同期されません。そのため、最初のインターバルのカウントは、1 基準クロックインターバルと同じか、それ以下になります。
2. 次の基準クロックトリガで、FIFO インターバルタイマはデクリメントされます。
3. FIFO インターバルタイマが値 0 に達すると、FIFO 送信要求がセットされます。
4. FIFO が送信用に選択されている場合、送信はほどなく開始されます。内部処理のため、通常、3.で内部 FIFO 送信要求がセットされてから、実際に送信されるまでに 3CAN ビット時間未満の時間がかかります。

すべてのチャネル上で受信スキャン、内部メッセージルーティング、送信スキャンなどの複数のイベントが同時に発生するワーストケースでは、最大で 126 周辺クロックサイクルかかる場合があります。

図 28.47 に示すように、最小インターバル時間が常に設定値と等しくなる保証はありません。最小時間を決して逸脱してはならない場合は、CFDCFCC.CFITT を必要な最小値+1 に設定する必要があります。

1 つのチャネルに対して、その他の TX メッセージバッファまたは TX FIFO が送信用に構成されている場合、TX FIFO から送信される 2 つのメッセージ間の実際の遅延時間は、インターバル時間に設定した時間よりもかなり長くなることがあります。これは、TX メッセージバッファまたは TX FIFO から高優先順位のメッセージが送信されることによります。

図 28.48 に FIFO インターバル時間生成回路のブロック図を示します。

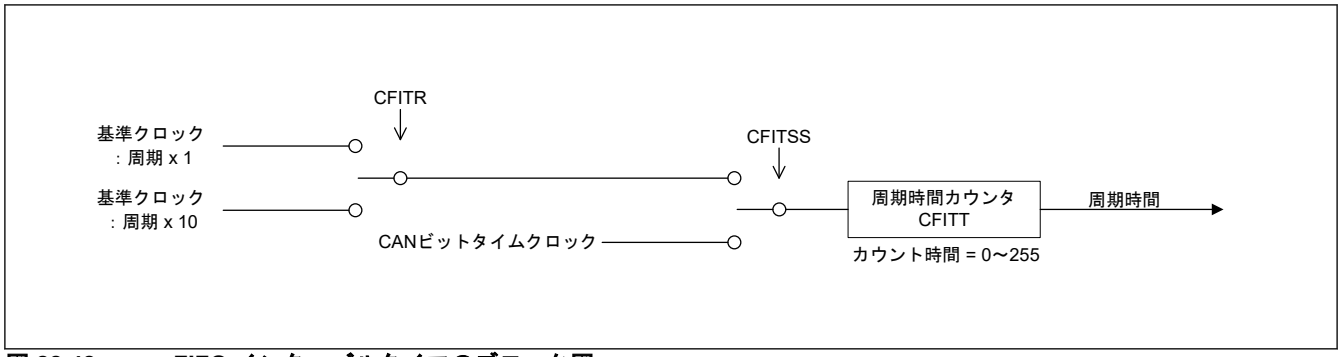


図 28.48 FIFO インターバルタイマのブロック図

28.8.2.4 TX キュー

ある特定のチャネルに対して有効化される各 TX キューは、3～4 個の TX メッセージバッファによって構成され、1 つのアクセスウィンドウを介してアクセスされます。

- 1 つ目の TX キューは、容量 3 の最大 4 つのバッファによって構成され、TX メッセージバッファ No. 0 をアクセスウィンドウとして使用します（これを TXQ と呼びます）。

TXQ のすべてのメッセージは、送信優先順位比較の対象になります。この場合、ID 優先 (CFDGCFG.TPRI = 0) のみを使用するものとします。

TXQ 用のレジスタを以下に示します。

- CFDTXQCC
- CFDTXQSTS
- CFDTXQPCTR

アクセスウィンドウ TXQ0 を使用する場合、関連するアクセスレジスタ TX メッセージバッファ ID レジスタ (TMID[m])、TX メッセージバッファポインタレジスタ (TMPTR[m])、TX メッセージバッファデータフィールド 0 レジスタおよび TX メッセージバッファデータフィールド 1 レジスタ (TMDF[0:1][m]) を参照してください。

各 TXQ バッファの容量は、TX キューコンフィグレーション／コントロールレジスタの CFDTXQCC.TXQDC[1:0] ビットへの書き込みによって構成できます。TXQ は、最大で TXMB0 から TXMB3 までを 1 つのキューバッファとして設定できます。

TXQ バッファの容量の構成には、以下の 4 個のオプションを使用できます。

- 0x00: TX キュー禁止
- 0x01：予約
- 0x10: 3 メッセージ
- 0x11: 4 メッセージ

TX キューを構成するすべての TX メッセージバッファには、直接アクセスしないでください（TX キューのアクセスウィンドウとして機能する TX メッセージバッファ No. 0 を除く）。

システムが TX キューに書き込む際、システムは TX キューの状態をチェックした後に、送信データを書き込む必要があります。

また、関連する TX メッセージバッファコントロールレジスタへのユーザーによるアクセスおよび構成は禁止されています。

TX キューのアクセスウィンドウに格納されたメッセージは、その TX キュー内の空いているバッファに内部的に格納されます。

バッファがフルになると、フルの状態が解除されるまで、キューへのアクセスは行われません。TX キューのバッファがフルのときにソフトウェア書き込みによってアクセスされた場合、送信データは上書きされます。

TX キューは、TX キューコンフィグレーション／コントロールレジスタの TXQE ビットをクリアすることによって無効化できます。このビットがクリアされると、以下のように TX キューエンプティフラグがセットされます。

- TX キューからの次の送信予定がなく、また送信中でもない場合：即時
- TX キューからの次の送信予定があるか、現在送信中の場合：送信完了後、または CAN バスエラー検出後、またはアービトレーションロスト後、またはチャネルまたはグローバル Halt モード遷移後

注. TX キューが無効化されるのは、対応する TX キューの TXQE ビットがクリアされた後、エンプティフラグがセットされたときのみです。

TX キューにその他の送信保留中メッセージがある場合、そのメッセージは失われるため、送信を再度要求する必要があります。

再び TXQE をセットする前に、CFDTXQSTS.TXQEMP ビットがセットされていること、およびその TX キューに保留中のアボートがないことを確認してください。

TXQE ビットがクリアされると、TX キューバッファ内のすべてのメッセージが失われ、以降その TX キューにメッセージを格納することはできなくなります。

TX キューにすでにメッセージが格納されている状態で、TX キューポインタコントロールレジスタに 0xFF を書き込んでください。これにより、送信要求が自動的に設定され、内部メッセージバッファポインタが TX キュー内の次の空いているメッセージバッファ位置に変更されます。

注. 同じ ID を持つ 2 つのメッセージが TX キューに格納された場合、これらのメッセージの送信順序が、TX キューに格納された順序とは変わる可能性があります。

この条件を回避するため、同じ ID を持つ新しいメッセージを TX キューに格納する前に、同じ ID を持つ前のメッセージが正常に送信されたことを確認することが重要です。

TX キューでは、TX キューコンフィグレーション／コントロールレジスタの TXQIE ビットをセットすることにより、専用の割り込みを有効化できます。

割り込みモードについては、同じレジスタの CFDTXQCC.TXQIM ビットによって、メッセージが送信されるごとに割り込みを発生させるか、最後に送信されるメッセージに対して割り込みを発生させるかを選択できます。

構成後の TX キュー送信要求手順を図 28.49 に示します。

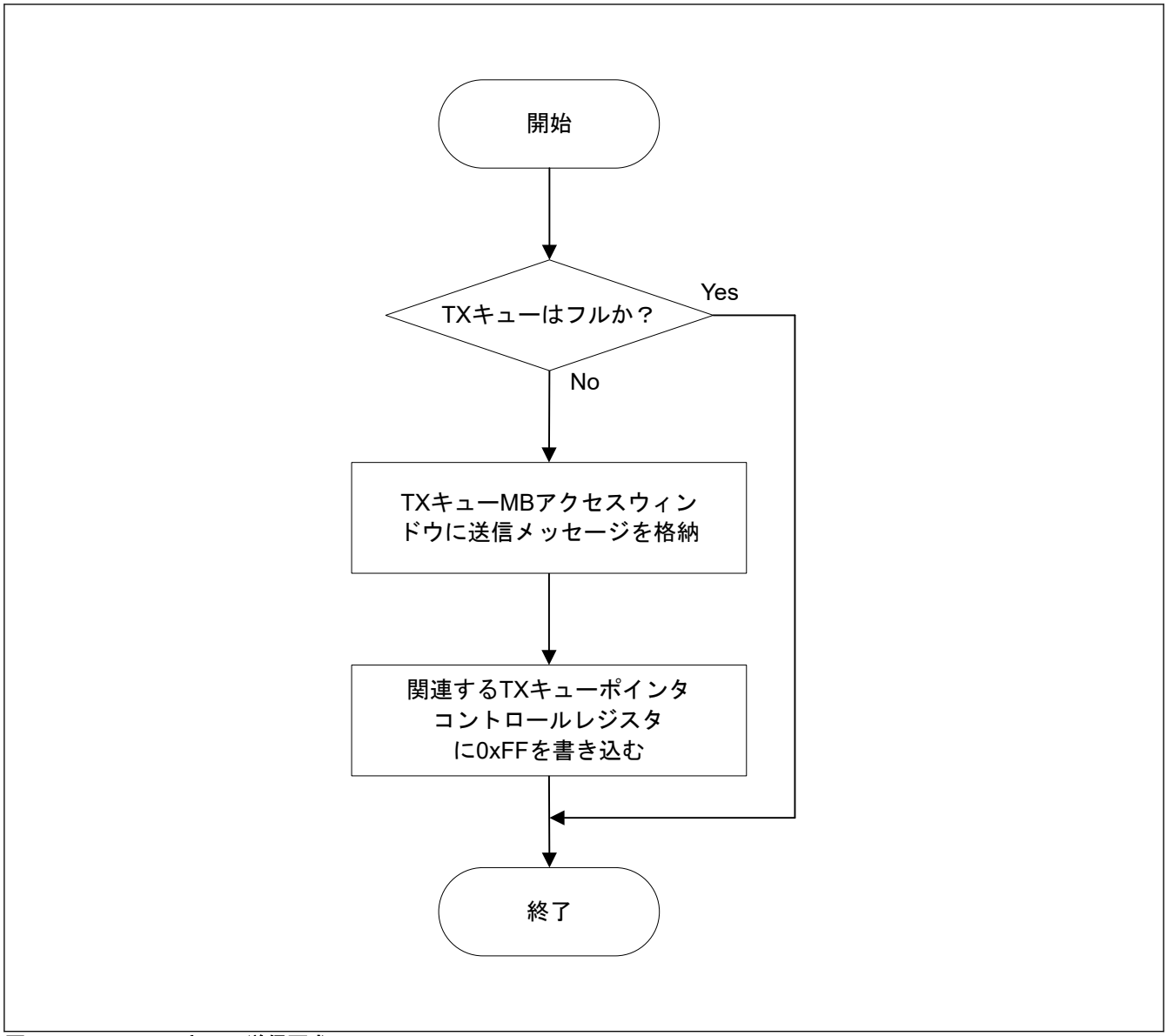


図 28.49 TX キュー送信要求

28.8.2.5 TX 履歴リスト

TX 履歴リスト機能は、正常に送信されたメッセージの情報を TX 履歴リストバッファ（THL バッファ）に記録する機能です。2 つの TX 履歴リストバッファがあります。THL バッファには、最大 8 個の TX 履歴リストエントリを格納できます。

TX 履歴リストコンフィグレーション／コントロールレジスタの CFDTHLCC.THLDTE ビットを使用して、TX FIFO／TX キューから送信されたメッセージの情報のみを TX 履歴リストに格納するか、TX キュー、TX FIFO、または通常の TX メッセージバッファから送信されたすべてのメッセージに関する情報を格納するかを設定できます。

メッセージバッファポインタレジスタの CFDCFID.THLEN ビットを使用すると、各送信メッセージの TX 履歴リストへの受け入れを個別に設定できます。

メッセージ情報は、メッセージが CAN チャネルで正常に送信された後、TX 履歴リストバッファに格納されます。

リストへの格納は、TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットのステータスとは同期されません。

内部処理のため、正常送信が通知された後、リストに格納されるまでに遅延が生じることがあります。

TX 履歴リストにデータが格納されたかどうかは、THLIE が 1 に設定されている場合、THLIF が 1 にセットされたことによって、または TX 履歴リストカウンタ CFDTHLSTS.THLMC[5:0]が増分されたことによって認識できます。

受信スキャン、内部メッセージルーティングなどの複数イベントが発生するワーストケースでは、以下のようになります。

- CFDTMSTSj.TMTRF をセットしてから TX 履歴リストデータが格納されるまでの最大遅延時間は、76 周辺バスクロックサイクルです。

履歴リストは、送信したメッセージについて次の情報を記録します。

- バッファの種類：
  - 001: TX メッセージバッファ
  - 010: TX FIFO
  - 100: TX キュー
- バッファ番号：
  送信が発生した TX メッセージバッファ、TX キューメッセージバッファ、または共通 FIFO バッファの TX メッセージバッファリンク。この番号は、バッファの種類によって決まります。表 28.29 を参照してください。
- 送信 ID：
  送信メッセージに格納された送信ポインタ
- 送信タイムスタンプ：
  CFDGFDCFG.TSCCFG によって構成されたキャプチャポイントで取得されたメッセージのタイムスタンプ。
- 送信情報ラベル：
  送信メッセージに格納された送信情報ラベル。

表 28.29 TX 履歴リストバッファ番号エントリ

バッファ番号	BT[2:0]バッファの種類		
	001b TX メッセージバッファ	101b TX FIFO	100b TX キュー
00b	メッセージバッファ 0	表示の番号は、関連する共通 FIFO 構成の共通 FIFO TX メッセージバッファリンク CFTML に対応します。	表示の番号は、フレームが送信された TX キューに属するメッセージバッファに対応します。
01b	メッセージバッファ 1		
10b	メッセージバッファ 2		
11b	メッセージバッファ 3		

TX FIFO または TX キューの番号だけでは識別に不十分なため、送信 ID エントリを使用して、TX FIFO または TX キューのどのメッセージが正常に送信されたかを識別します。

そのため、TX FIFO または TX キューに格納された各送信メッセージに一意の番号を付加できます。この一意の ID 番号は、TX FIFO の場合は共通 FIFO アクセスポインタレジスタの CFDCFFDCSTS.CFPTR[15:0]部分、また、TX キューアクセスウィンドウメッセージバッファの場合は TX メッセージバッファポインタレジスタの CFDTMFDCTRb.TMPTR[15:0]部分に書き込みます。

メッセージが正常に送信されると、この ID 番号は他のメッセージ関連情報とともに TX 履歴リストに格納され、TX 履歴リストアクセスレジスタの送信 ID (TID) を介して読み出すことができます。

通常の TX メッセージバッファの場合、TX メッセージバッファポインタレジスタの CFDTMFDCTRb.TMPTR[15:0]部分も送信履歴リストに格納されます。情報ラベルも同様です。

図 28.50 に、TX 履歴リストを使用する場合の送信準備フローを示します。

TX 履歴リストアクセスレジスタへのリードアクセスは、すべてのエントリに対して行われます。

1 つのエントリを読み出した後、対応する TX 履歴リストポインタコントロールレジスタに 0xFF を書き込んで、次のエントリにアクセスできるようにする必要があります。これを TX 履歴リストがエンプティになるまで続けます。

図 28.51 に、TX 履歴リスト情報の処理フローの例を示します。

TX 履歴リストには専用の割り込みがあり、対応する TX 履歴リストコンフィグレーション／コントロールレジスタの CFDTHLCC.THLIM ビットで構成できます。この割り込みは、同じレジスタの CFDTHLCC.THLIE ビットで有効化でき、履歴リストが充填レベル 75%に達したときに割り込みを発生させるか、新しい TX 履歴リストエントリで毎回割り込みを発生させるかを選択できます。

エントリロストの表示は、TX 履歴リストステータスレジスタの CFDTHLSTS.THLELT ビットによりフラグが立てられます。このビットのステータスは、グローバルエラーフラグレジスタの THLES ビットによっても示されます。

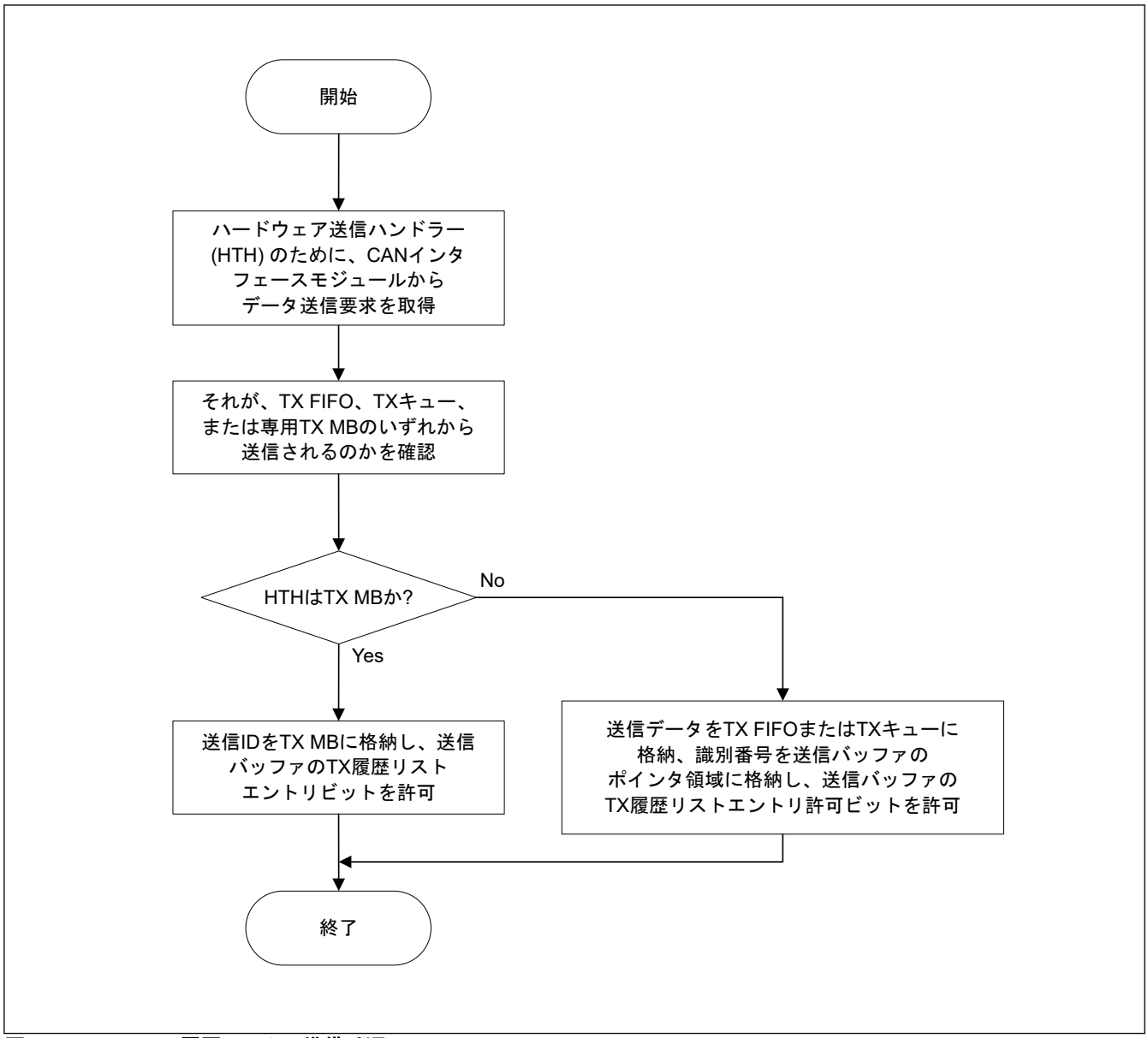


図 28.50 TX 履歴リストの準備手順

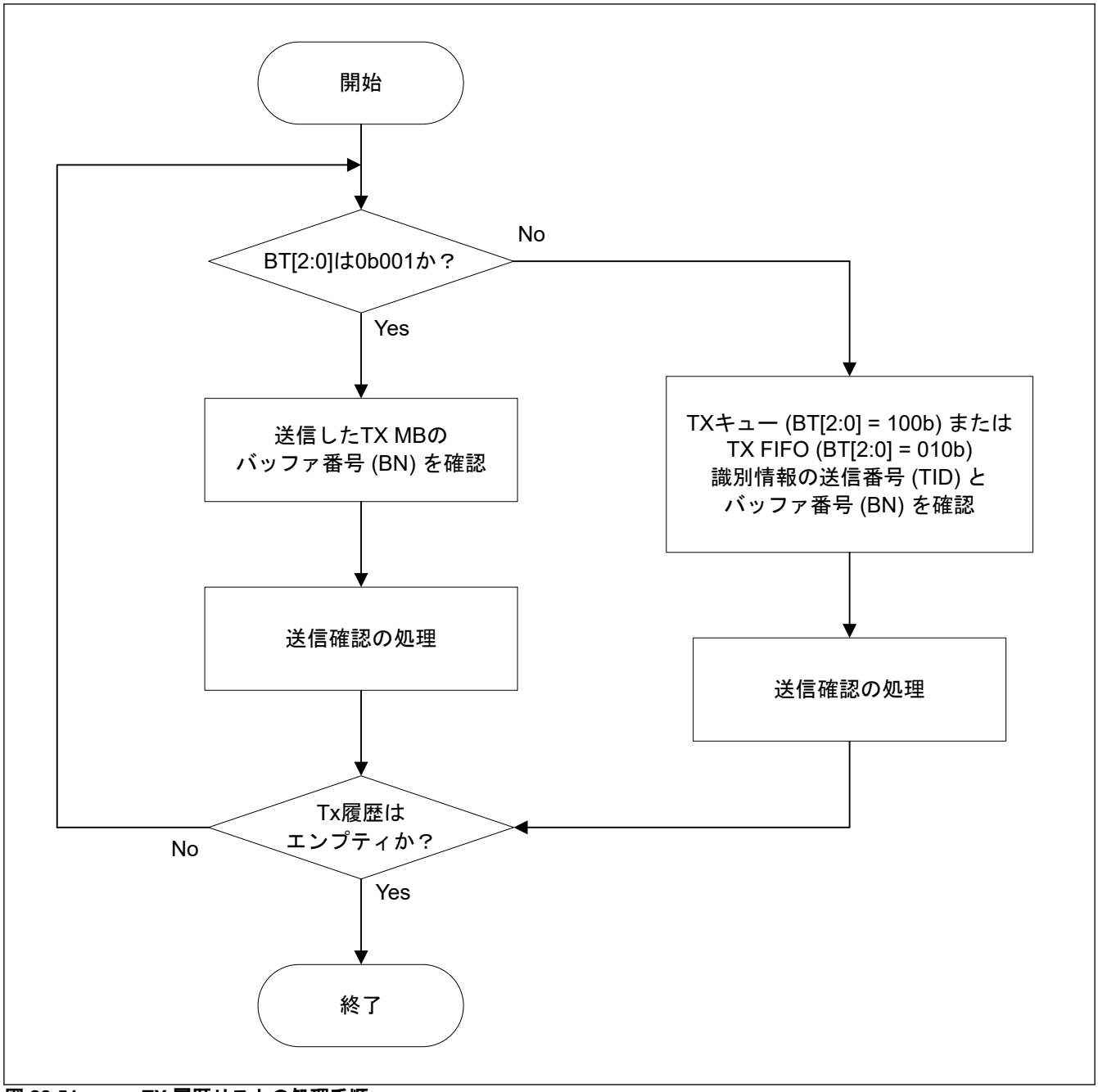


図 28.51 TX 履歴リストの処理手順

28.8.2.6 送信データパディング

この章は、クラシカル CAN 機能に対しては適用されません。

送信メッセージのデータ長コード (DLC) のデータバイト数がバッファサイズより大きい場合、制限範囲を超えるデータバイトは、0xCC 値のバイトによって置き換えられます。

これは、TX モードに構成された共通 FIFO において、送信メッセージの DLC が CFDCFCC.CFPLS よりも大きいときに発生することがあります。

また、FD only モードでも、クラシカルフレームが 8 より大きい DLC で構成されている場合に発生することがあります。

28.9 テストモード

特定の機能のテストを行うために、CANFD モジュールをテストモードに設定することができます。これらの機能は、特別な目的のためにのみ提供されているものであり、CANFD モジュールをテストモードに設定する際には注意が必要です。

注. 一部機能が他のテストモードでも有効化できると明示的に記載されていない限り、すべてのテストモードは相互排他的関係にあります。

本項に記載する複数のテストモードを同時に有効にしないでください。

テストモードは、次の 2 つのグループに大きく分けられます。

- チャネル固有のテストモード
- グローバルテストモード

28.9.1 チャネル固有のテストモード

CAN チャネルは、次のテストモードに構成することができます。

- 基本テストモード
- リッスンオンリモード
- セルフテストモード 0（外部ループバックモード）
- セルフテストモード 1（内部ループバックモード）
- 制限付きオペレーションモード

28.9.1.1 基本テストモード

基本テストモードは、リッスンオンリモードやセルフテストモード以外の特定のテスト設定を有効にする必要がある場合に使用します。

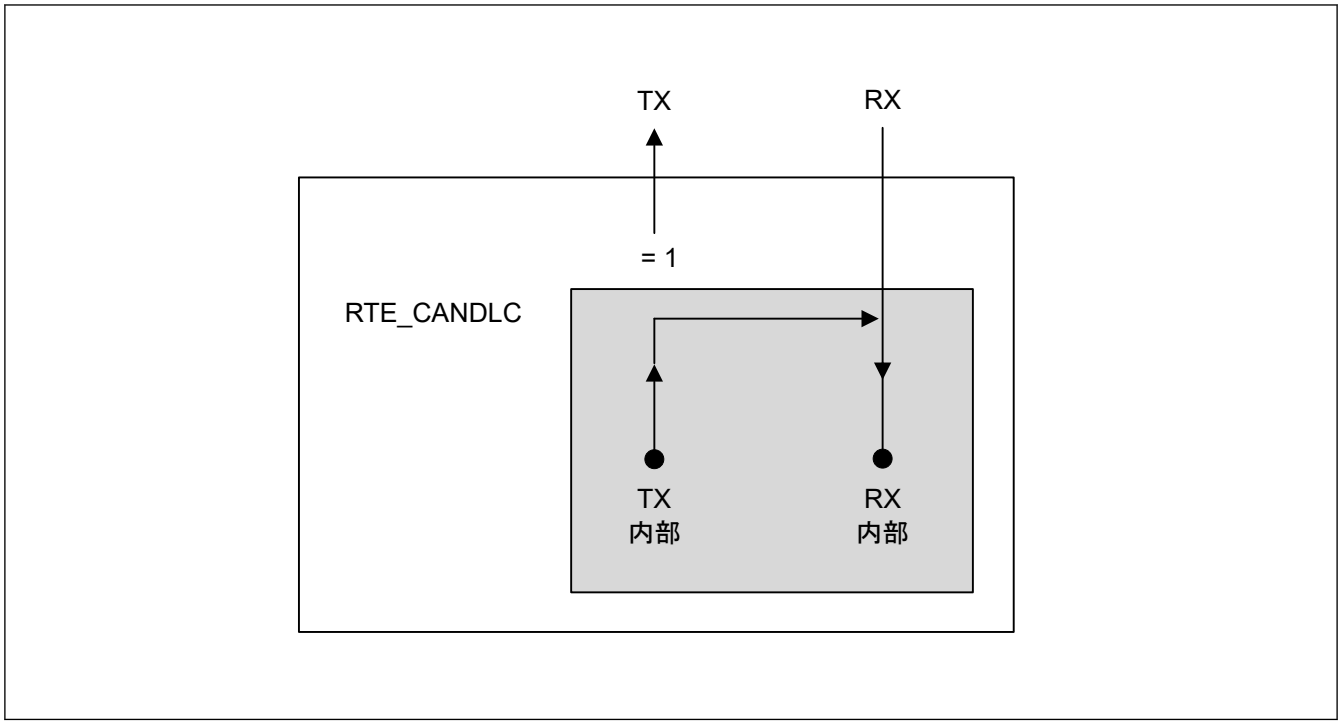
28.9.1.2 リッスンオンリモード

ISO 11898-1 では、オプションのバスモニタモードが推奨されています。このモードでは、CAN チャネルは有効なデータフレームおよび有効なリモートフレームを受信できます。しかし、CAN バス上でレセシブビットを送信するのみで、データの送信は許可されません。

CAN エンジンがドミナントビット（ACK ビット、オーバーロードフラグ、アクティブエラーフラグ）を送信する必要がある場合、ビットが内部的にルーティングされ、CAN エンジンはそれをドミナントビットとしてモニタします。外部の TX 端子はレセシブ状態のままです。

このモードは、ボーレート検出に使用できます。このモードでは、バスエラーが発生し、かつ割り込みが許可されている場合、エラー割り込みが発生します。

このモードでは、該当するチャネルの通常の TX メッセージバッファや TX FIFO。

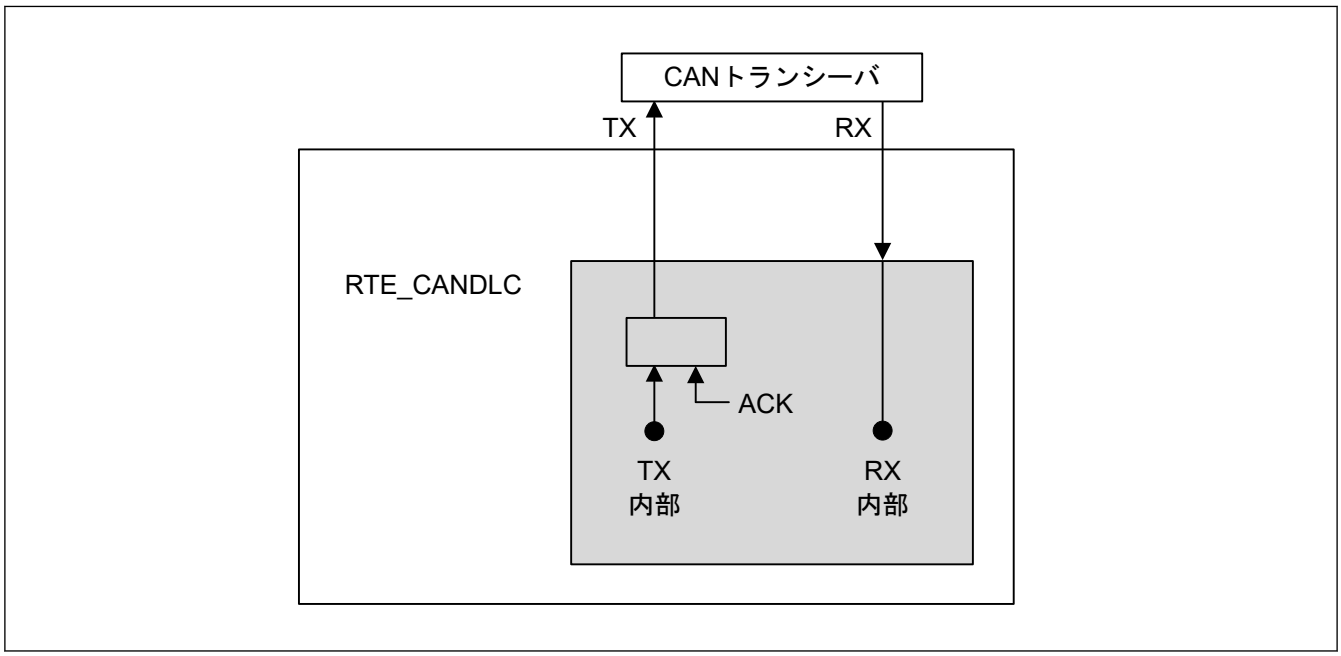


28.9.1.3 セルフテストモード 0（外部ループバックモード）

セルフテストモード 0 では、CAN エンジンは自らが送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、受信メッセージバッファに格納します。

外部の刺激に影響されないようにするため、CAN エンジンは独自のアクノリッジビットを生成します。

このテストは、CAN トランシーバのテストに使用できます。Rx 端子/Tx 端子をトランシーバに接続する必要があります。



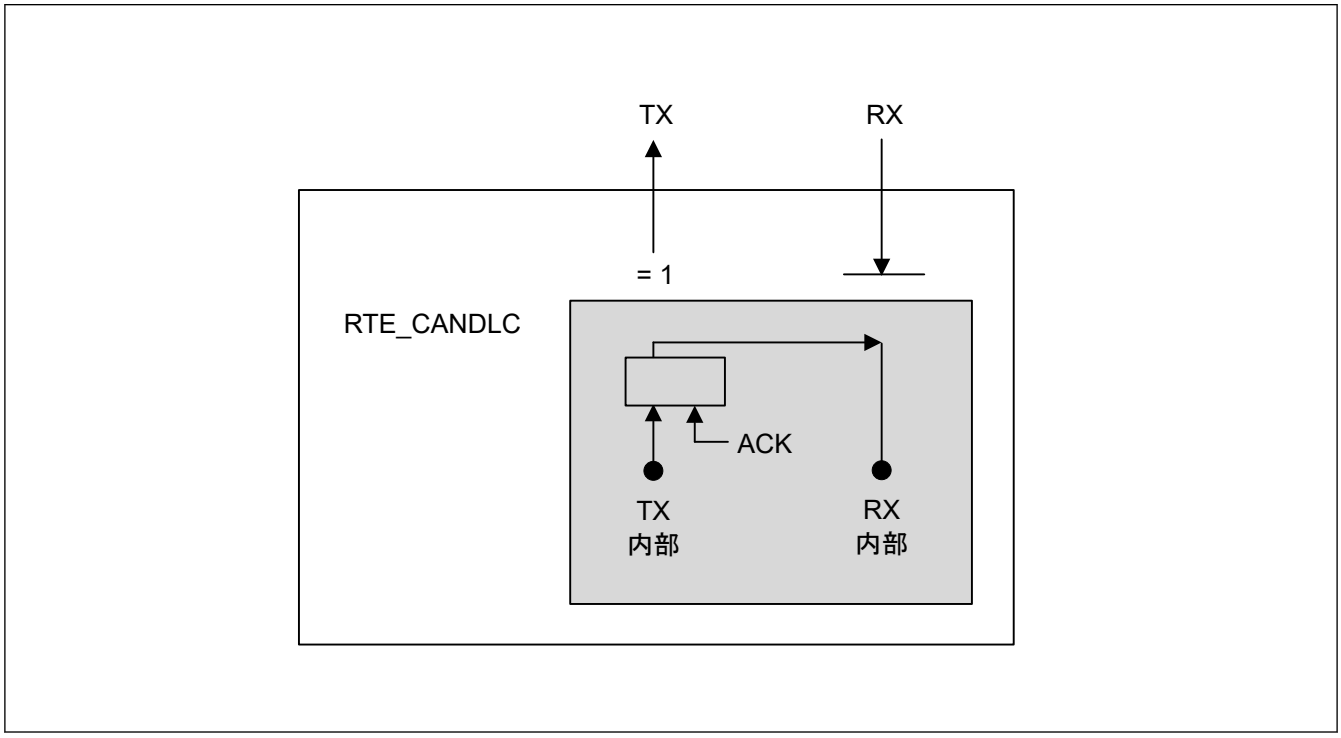
28.9.1.4 セルフテストモード 1（内部ループバックモード）

セルフテストモード 1 では、CAN エンジンは自らが送信したメッセージを受信したメッセージとして取り扱い、受信バッファに格納します。このモードは、セルフテスト機能用です。外部の刺激に影響されないようにするため、CAN エンジンは独自のアクノリッジビットを生成します。このモードでは、CAN エンジンは Tx 内部から

Rx 内部への内部フィードバックを実行します。外部 Rx 入力の実際の値は、CAN エンジンによって無視されます。

外部 TX 端子はレセシブビットのみを出力します。Rx 端子/TX 端子は、CAN バスや他のどの外部デバイスにも接続する必要がありません。

注. チャネルの各端子は、内部 CAN バス通信ラインからも切り離されます。



28.9.1.5 制限付きオペレーションモード

この章は、クラシカル CAN 機能に対しては適用されません。

制限付きオペレーションモードでは、CAN ノードは有効なデータフレームとリモートフレームを受信して、アクノリッジビットを生成することができます。

アクティブエラーフレームとオーバーロードフレームは送信できません。その代わり、エラー条件またはオーバーロード条件が発生した後、バスアイドル状態になるまで待機してから CAN 通信に再同期します。

さらに、受信エラーカウンタ (REC) と送信エラーカウンタ (TEC) は、エラーの発生とは無関係にフリーズされています。このモードの仕様は ISO 11898-1 に準拠します。また、任意の送信要求を設定することができます。

28.9.2 グローバルテストモード

CANFD モジュールは、以下のテストモードに構成できます。

- RAM テストモード
- ビットフリップテスト

以下の表に示すテストモードは、モードの有効化が特別なソフトウェア手順によって保護されています。このソフトウェア手順は、以下の表に示す特定のロック解除キーによって、テストモードへの書き込みを許可します。

テストモード	ロック解除キー 1	ロック解除キー 2
RAM テストモード	0x7575	0x8A8A

2 つの連続するロック解除キー書き込み（ハーフワードまたはワードアクセス）のソフトウェアシーケンスが、レジスタへのその他の書き込みによって中断された場合、またはグローバルロック解除キーレジスタに不正なデ

ータが書かれた場合、対応するテストモードは設定できず、シーケンスを初めからやり直さなければなりません。

2 つのロック解除キーを書き込んだ後、続けて対応するテストモード許可ビットをセットする書き込みを行う必要があります。これが守られない場合、ロック解除機構はリセットされ、テストモード許可ビットはセットできず、ロック解除シーケンスを初めからやり直さなければなりません。

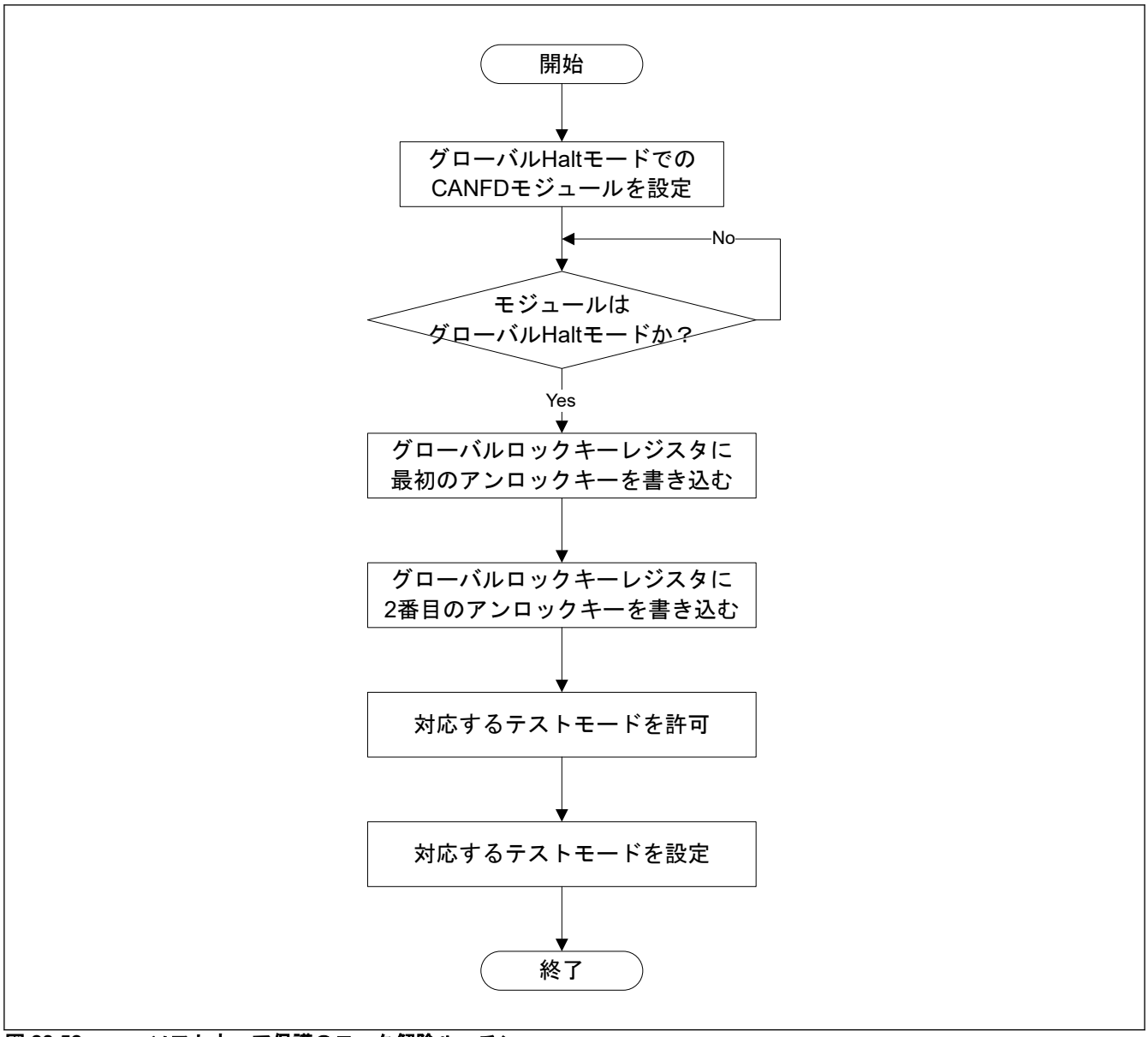


図 28.52 ソフトウェア保護のロック解除ルーチン

28.9.2.1 RAM テストモード

対応するロックキーを先に書き込んでから、グローバルテストコントロールレジスタの CFDGTSTCTR.RTME ビットをセットすることにより、CANFD モジュールを RAM テストモードに設定できます。このモードは特別なテストモードであり、RAM 領域全体にアクセスできます。

注. 実際の RAM は、ハードウェアリセット後に初期化される RAM 領域よりも大きいサイズを持っています。そのため、CANFD モジュールを RAM テストモードにしたとき、CPU がこの初期化されていない RAM 領域からデータを読み出すことで、（ECC マクロの）ECC エラーフラグがセットされることがあります。

このモードでは、RAM 領域は各 256 バイトの複数のページ (pn) に分割されます。これには、CFDRPGACCk レジスタでアクセスできます。

グローバルテストコントロールレジスタの CFDGTSTCFG.RTMPS[3:0]ビットに書き込み、ページのリードアクセス／ライトアクセスを選択します。すると、RAM テストページアクセスレジスタのデータの読み出しまたは書き込みが可能になります。

図 28.53 に、RAM テストモード実行時の RAM 内のページ構造を示します。

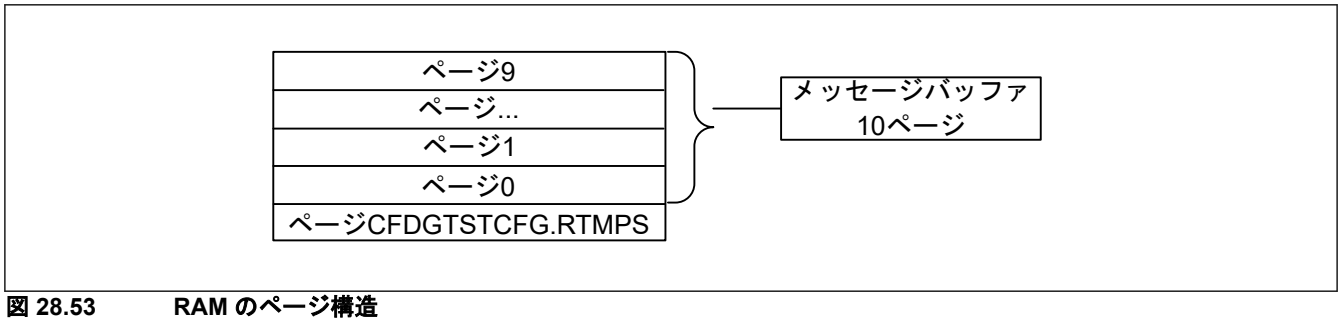


図 28.53 RAM のページ構造

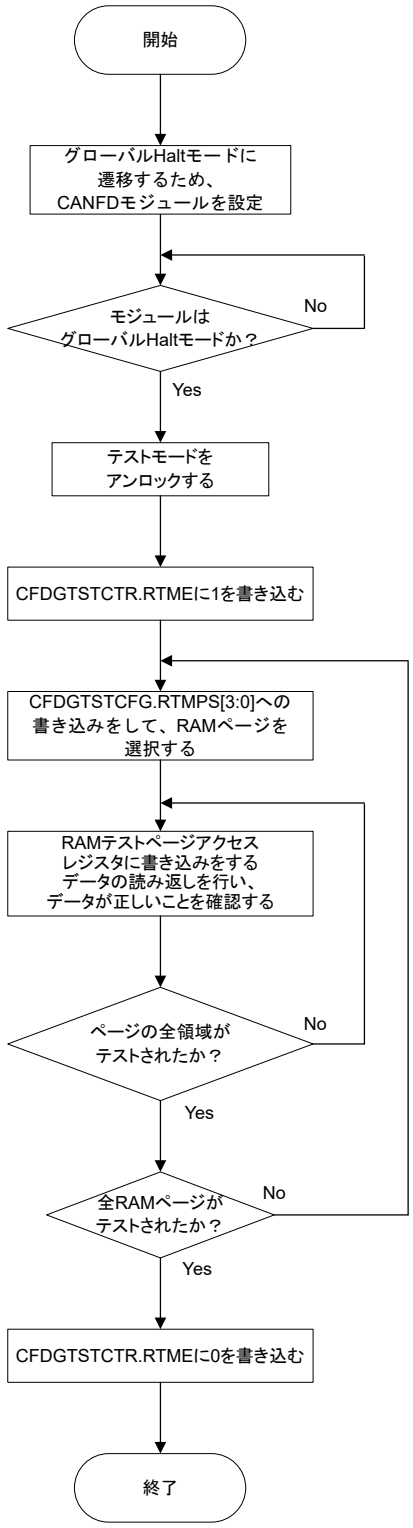
で利用可能な総 RAM サイズは、メッセージバッファ RAM が 2328 バイトです。

MB RAM の pn および CFDGTSTCFG.RTMPS[3:0]の値は、次の方法で計算されます。

pn = ceil（総 RAM サイズ[バイト]／ページ当たりバイト数）

- MB RAM：
  pn = ceil (2328 / 256) = 10 ページ
  CFDGTSTCFG.RTMPS[3:0] = 0～9（0 と 9 を含む）

図 28.54 に、RAM テストモードのソフトウェアフローを示します。



注 1. RAM テストモードに変更する前に、以下のステータスに変更してください。
- 送信要求をキャンセルする
- すべての FIFO および TX キューを無効化する
- 受信バッファの受信フラグをクリアする

図 28.54 RAM テストモードのソフトウェアフロー

このテストモードを解除するには、CFDGTSTCTR.RTME ビットをクリアしなければなりません。
CFDGTSTCTR.RTME ビットは、0 を書き込むことによりクリアされます。

CANFD モジュールがテストモードからグローバルリセットモードに遷移すると、CFDGTSTCTR.RTME ビットは自動的にクリアされます。

28.9.2.2 ビットフリップテスト

ビットフリップテストは、受信するビットストリームの最初のビット（ID の 1 番目のビット）を反転できます。

この機能を送信ノードで使用すると、ビットエラーまたはアービトレーションロストが発生します。

この機能を受信ノードで使用すると、CRC エラーまたはスタッフエラーが発生します。

本機能を使用する場合、（反転のため）CRC エラーではなくスタッフエラーを受信する可能性があるため、ビットスタッフィングルールを参照する必要があります。

CRC エラーテストを実施するには、以下のシーケンスを使う必要があります。以下のシーケンスで、CANFD モジュールが受信側です。

1. 送信ノードから受信するビットストリームの 1 番目のビットを反転するために、CFDC0CTR.BFT ビットを 1 に設定します。
2. can_cherr_int 出力信号が 1 になるのを待ちます。
3. CFDC0ERFL.CRCREG ビットまたは CFDC0FDCRC.CRCREG ビットのいずれか（受信したフレームのタイプが従来型か FD かによる）を読み出します。値は、送信側ノードから受信した基準メッセージの CRC 値とは異なっていなければなりません。
4. CFDC0ERFL.CERR ビットが 1 であることを確認します。

CRC 生成ロジックは RX と TX で共有されているため、TX CRC エラーテストを別に作成する必要はありません。

29. CANFD ECC (CNECC)

29.1 概要

MBRAM は、2 ビット ECC エラー検出および 1 ビット ECC エラー検出および訂正の ECC 機能を持っています。(注1)ECC モジュールは、32 ビット RAM データに 7 ビット ECC データを付加します。

注 1. ECC モジュールは 3 ビット以上のエラー検出はできません。この場合、ECC モジュールは設定により、1 ビットまたは 2 ビットエラーを検出するか、エラーを検出しないか、または間違っているビットを間違ったデータに訂正します。すべての RAM データが 0 または 1 に固定されている場合、2 ビット ECC エラーとして検出されます。

29.2 レジスタの説明

29.2.1 EC710CTL : ECC コントロールレジスタ

Base address: ECCMB = 0x4012_F200

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECDEDF0	ECSEDF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EMCA[1:0]		—	—	ECOVFF	ECER2C	ECER1C	—	—	ECERVF	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	ECEMF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	ECEMF	ECC エラーメッセージフラグ 0: 現在の RAM 出力データにビットエラーはない 1: 現在の RAM 出力データにビットエラーがある	R
1	ECER1F	ECC エラー検出および訂正ステータスフラグ 0: 本ビットクリア後、1 ビットエラー訂正は起きていない 1: 1 ビットエラー発生	R
2	ECER2F	2 ビット ECC エラー検出フラグ 0: 本ビットクリア後、2 ビットエラーは起きていない 1: 2 ビットエラー発生	R
3	EC1EDIC	ECC 1 ビットエラー検出割り込みコントロール 0: 1 ビットエラー検出割り込み要求禁止 1: 1 ビットエラー検出割り込み要求許可	R/W
4	EC2EDIC	ECC 2 ビットエラー検出割り込みコントロール 0: 2 ビットエラー検出割り込み要求禁止 1: 2 ビットエラー検出割り込み要求許可	R/W
5	EC1ECP	ECC 1 ビットエラー訂正許可 0: 1 ビットエラー検出時、エラー訂正を実行する 1: 1 ビットエラー検出時、エラー訂正を実行しない	R/W
6	ECERVF	ECC エラー判定許可フラグ 0: エラー判定禁止 1: エラー判定許可	R/W
8:7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
9	ECER1C	蓄積 ECC エラー検出および訂正フラグクリア 0: 無効 1: 蓄積 ECC エラー検出および訂正フラグをクリア	R/W
10	ECER2C	2 ビット ECC エラー検出フラグクリア 0: 無効 1: 2 ビット ECC エラー検出フラグをクリア	R/W

ビット	シンボル	機能	R/W
11	ECOVFF	ECC オーバーフロー検出フラグ 0: 無効 1: ECC オーバーフロー検出フラグ	R
13:12	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:14	EMCA[1:0]	ECC モード選択ビットへのアクセスコントロール ECERVF ビットへの書き込みを許可または禁止します。	R/W
16	ECSEDF0	ECC 1 ビットエラーアドレス検出フラグ 0: リセットまたは ECER1F ビットクリア後に EC710EAD0 にビットエラーなし 1: EC710EAD0 にキャプチャされているアドレスが 1 ビットエラーが発生しキャプチャされたことを示す	R
17	ECDEDF0	ECC デュアルビットエラーアドレス検出フラグ 0: リセットまたは ECER2F ビットクリア後に EC710EAD0 にビットエラーなし 1: EC710EAD0 にキャプチャされているアドレスが 2 ビットエラーが発生しキャプチャされたことを示す	R
31:18	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ECEMF ビット（ECC エラーメッセージフラグ）

ECEMF ビットは現在の読み出しデータバスにエラーがあることを示します。本ビットは、RAM 出力データごとに更新されます。

RAM 出力データが不定で ECERVF ビットが 1 の場合、本ビットの値は不定です。

[1 になる条件]

エラー判定が有効で、現在の RAM 出力データにビットエラーがある

[0 になる条件]

- デコーダへの入力データに 1 ビットエラーがない
- ECC エラー判定が無効なとき (ECERVF = 0)

ECER1F ビット（ECC エラー検出および訂正ステータスフラグ）

ECER1F ビットは、エラー判定が有効時、RAM 読み出しで RAM 読み出しデータ[38:0]の一つの部分にビットエラーが検出されたことを示します。

1 ビットエラー割り込み出力が有効時、本フラグの設定でエラー割り込みが発生します。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。

クリア時、ECER1C ビットに 1 を書き込む必要があります。

本ビットがセットされているときは 1 ビットエラーが再度検出されても、割り込みは発生しません。

[1 になる条件]

エラー判定が有効で、RAM 出力データに 1 ビットエラーがあるとき（ECER1C = 1 を書き込まない場合）

[0 になる条件]

- ECER1C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

ECER2F ビット（2 ビット ECC エラー検出フラグ）

ECER2F ビットは、エラー判定が有効時、RAM 読み出しで RAM 読み出しデータ[38:0]の二つの部分にビットエラーが検出されたことを示します。

2 ビットエラー割り込み出力が有効時、本フラグの設定でエラー割り込みが発生します。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。

クリア時、ECER2C ビットに 1 を書き込む必要があります。

本ビットがセットされているときは 2 ビットエラーが再度検出されても、割り込みは発生しません。

[1 になる条件]

エラー判定が有効で、RAM 出力データに 2 ビットエラーがあるとき（ECER2C = 1 を書き込まない場合）

[0 になる条件]

- ECER2C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

EC1EDIC ビット（ECC 1 ビットエラー検出割り込みコントロール）

EC1EDIC ビットは、1 ビットエラー検出時の割り込み出力を制御します。本ビットを 1 に設定すると、1 ビットエラー検出時、1 ビットエラー割り込みが出力されます。

EC2EDIC ビット（ECC 2 ビットエラー検出割り込みコントロール）

EC2EDIC ビットは、2 ビットエラー検出時の割り込み出力を制御します。本ビットを 1 に設定すると、2 ビットエラー検出時、2 ビットエラー割り込みが出力されます。

EC1ECP ビット（ECC 1 ビットエラー訂正許可）

EC1ECP ビットは、ECC エラー検出および訂正が有効時、1 ビットエラーの訂正を有効または無効にします。本ビットを 1 に設定すると、1 ビットエラー検出時、訂正されていないデータが出力されます。

ECERVF ビット（ECC エラー判定許可フラグ）

ECERVF ビットを 1 にすることで、エラー判定を有効にします。出力データの訂正および割り込み出力は、EC1ECP ビット、EC2EDIC ビットおよび EC1EDIC ビットに依存します。

EMCA[1:0]の書き込み値が 01b の場合、本ビットへの書き込みは有効です。したがって、本ビットへの書き込みは、16 ビットまたは 32 ビット動作コマンドのみ有効です。

ECER1C ビット（蓄積 ECC エラー検出および訂正フラグクリア）

ECER1C ビットは、ECER1F ビットのステータスフラグをクリアします。

読むと常に 0 が読めます。0 を書き込んでも内部状態に変化はありません。本ビットへの 1 書き込みと ECER1F ビットが競合した場合、前者が優先されます。

ECER1F ビットは、ECER1F ビットが設定されているときに、本ビットに 1 を書き込むことでクリアされます。さらに、オーバーフロー検出フラグ (ECOVFF)、ECC デュアルビットエラーフラグ (ECDEDF0) および ECC シングルビットエラーフラグ (ECSEDF0) もクリアされます。

ECER2C ビット（2 ビット ECC エラー検出フラグクリア）

ECER2C ビットは、ECER2F ビットのステータスフラグをクリアします。

読むと常に 0 が読めます。0 を書き込んでも内部状態に変化はありません。本ビットへの 1 書き込みと ECER2F ビットが競合した場合、前者が優先されます。

ECER2F ビットは、ECER2F ビットが設定されているときに、本ビットに 1 を書き込むことでクリアされます。さらに、オーバーフロー検出フラグ (ECOVFF)、ECC デュアルビットエラーフラグ (ECDEDF0) および ECC シングルビットエラーフラグ (ECSEDF0) もクリアされます。

ECOVFF ビット（ECC オーバーフロー検出フラグ）

エラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされている場合、新規のエラーアドレスが検出されると ECOVFF ビットがセットされ、オーバーフロー割り込みが出力されます。本ビットがセットされ、新しいエラーが検出されると、オーバーフロー割り込みが再び出力されます。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。

本ビットをクリアするには、ECER2C ビットおよび ECER1C ビットに 1 を書き込む必要があります。

[1 になる条件]

エラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされているときに新しいエラーアドレスがキャプチャされた場合（ECER2C = 1 または ECER1C = 1 を書き込まない場合）

[0 になる条件]

- ECER2C = 1 または ECER1C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

EMCA[1:0]ビット（ECC モード選択ビットへのアクセスコントロール）

EMCA[1:0]ビットは、ECERVF ビットへの書き込みトリガ予約ビットです。読むと常に 0 が読めます。これらのビットの値が 01b の場合、ECERVF ビットに書き込み可能です。これらのビットの値が 01b でない場合、ECERVF ビットへの書き込みは無視され、値は書き込まれません。

ECSEDF0 ビット（ECC 1 ビットエラーアドレス検出フラグ）

ECSEDF0 ビットは、エラー検出有効時、エラーがエラーアドレスレジスタにキャプチャされていることを示します。本ビットは、1 ビットエラー検出により設定されます。

2 ビットエラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされた後に 1 ビットエラーが検出されると、本ビットは更新されず、EC710EAD0 レジスタが更新されます。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。これらのビットをクリアするには、ECER1C ビットに 1 を書き込む必要があります。

[1 になる条件]

エラー判定が許可されているときに、RAM 出力データに 1 ビットエラーがあり、かつエラーアドレスが EC710EAD0 にキャプチャされている場合（ECER1C = 1 を書き込まない場合）

[0 になる条件]

- ECER1C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

ECDEDF0 ビット（ECC デュアルビットエラーアドレス検出フラグ）

ECDEDF0 ビットは、エラー検出有効時、エラーがエラーアドレスレジスタにキャプチャされていることを示します。本ビットは、2 ビットエラー検出により設定されます。

1 ビットエラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされた後に 2 ビットエラーが検出されると、本ビットは更新されず、EC710EAD0 レジスタが更新されます。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。これらのビットをクリアするには、ECER2C ビットに 1 を書き込む必要があります。

[1 になる条件]

エラー判定が許可されているときに、RAM 出力データに 2 ビットエラーがあり、かつエラーアドレスが EC710EAD0 にキャプチャされている場合（ECER2C = 1 を書き込まない場合）

[0 になる条件]

- ECER2C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

29.2.2 EC710TMC : ECC テストモードコントロールレジスタ

Base address: ECCMB = 0x4012_F200

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ETMA[1:0]		—	—	—	—	—	—	ECTMCE	—	—	—	—	—	ECDCS	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
1	ECDCS	ECC デコーダ入力選択 0: デコーダのデータ領域に RAM 出力データの下位 32 ビットを入力する 1: デコーダのデータ領域に EC710TED レジスタの ECEDB31-0 を入力する	R/W
6:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	ECTMCE	ECC テストモードコントロール許可 0: テストモードレジスタおよびビットへのアクセスは無効 1: テストモードレジスタおよびビットへのアクセスは有効	R/W
13:8	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:14	ETMA[1:0]	ECC テストモードビットアクセスコントロール これらのビットは、ECTMCE ビットへの書き込みを有効または無効にします。	R/W

ECDCS ビット（ECC デコーダ入力選択）

ECDCS ビットは、デコーダへの入力信号として、RAM からの下位 32 ビットデータ値か内部テストレジスタからの値（EC710TED 内の EDEDB[31:0]）のいずれかを選択します。

ECTMCE = 1 の場合、本ビットへの書き込みは有効です。（それらを同時に設定することも可能です。）

本ビットは、ECTMCE = 0 によりクリアされます。

ECTMCE ビット（ECC テストモードコントロール許可）

ECTMCE ビットは、テストレジスタおよびテストコントロールビットへのアクセス有効または無効を選択します。

ETMA[1:0]ビットの値が 10b の場合、本ビットへの書き込みは有効です。

ETMA[1:0]ビット（ECC テストモードビットアクセスコントロール）

ETMA[1:0]ビットは、ECTMCE ビットへの書き込みトリガ予約ビットです。読むと常に 0 が読めます。これらのビットの値が 10b の場合、ECTMCE ビットに書き込み可能です。これらのビットの値が 10b でない場合、ECTMCE ビットへの書き込みは無視され、値は書き込まれません。

29.2.3 EC710TED : ECC テスト置換データレジスタ

Base address: ECCMB = 0x4012_F200

Offset address: 0x0C

Bit position:	31																												0
Bit field:	ECEDB[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	ECEDB[31:0]	ECC テスト置換データ ECC テストモードでの置換データ	R/W

本レジスタは、ECC デコーダ用の 32 ビットデータ用のレジスタです。ECTMCE = 1 状態での 32 ビット動作コマンドにより読み書きが可能です。ECTMCE = 0 の場合は、すべてのビットが常に 0 です。

ECEDB[31:0]ビット（ECC テスト置換データ）

EC710TMC レジスタの ECDCS が 1 の場合、本レジスタの値は、デコーダへの入力データのビット[31:0]です。

29.2.4 EC710EAD0 : ECC エラーアドレスレジスタ

Base address: ECCMB = 0x4012_F200

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ECEAD[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	ECEAD[10:0]	ECC エラーアドレス	R
31:11	—	読むと 0 が読めます。 書く場合、0 としてください。	R

本レジスタは、ECC エラーが発生したアドレスを保持する読み出し専用レジスタです。

ECEAD[10:0]ビット（ECC エラーアドレス）

ECC エラー判定が許可されている場合に ECC エラーが検出されると、検出信号をトリガとして RAM アドレスがキャプチャされ、エラー発生アドレスとして保持されます。同じ要因で保持されているアドレスに再びエラーが発生するとエラーアドレスはキャプチャされません。

1 ビットエラーアドレスがすでにキャプチャされているときに 2 ビットエラーが発生すると、2 ビットエラーアドレスは上書きされ、ECDEDF0 ビットは 1 になります。

2 ビットエラーアドレスがすでにキャプチャされているときに 1 ビットエラーが発生した場合は、1 ビットエラーアドレスは上書きされず、ECSEDF0 ビットも 1 になりません。

29.3 動作説明

29.3.1 ECC 機能設定

図 29.1 に、ECC 機能設定の手順を示します。

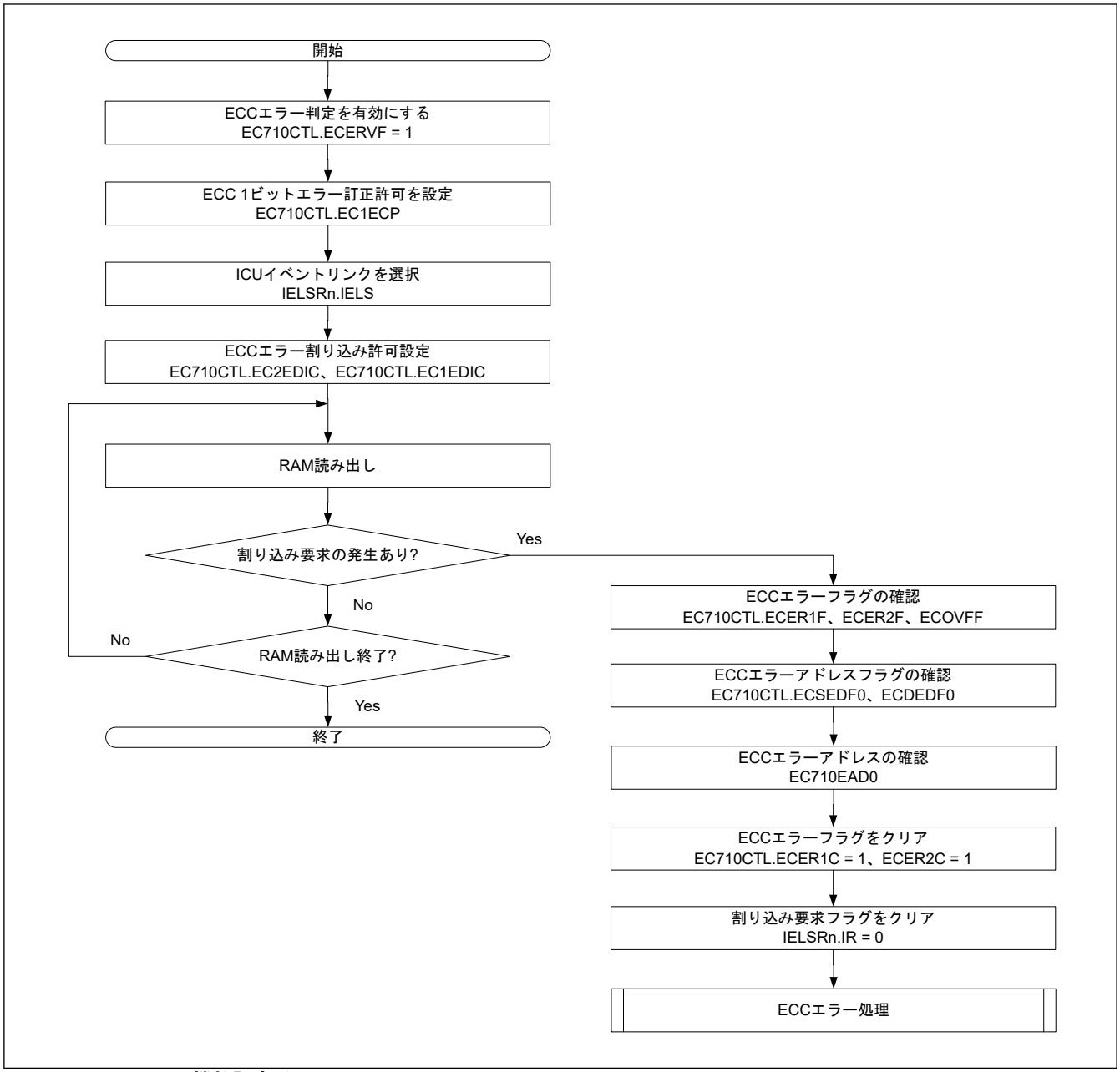


図 29.1 ECC 機能設定手順

29.3.2 ECC デコーダのテスト方法

ECC 割り込みは、ECC テストモードにより意図的に発生させることができます。図 29.2 に、ECC デコーダのテスト手順を示します。

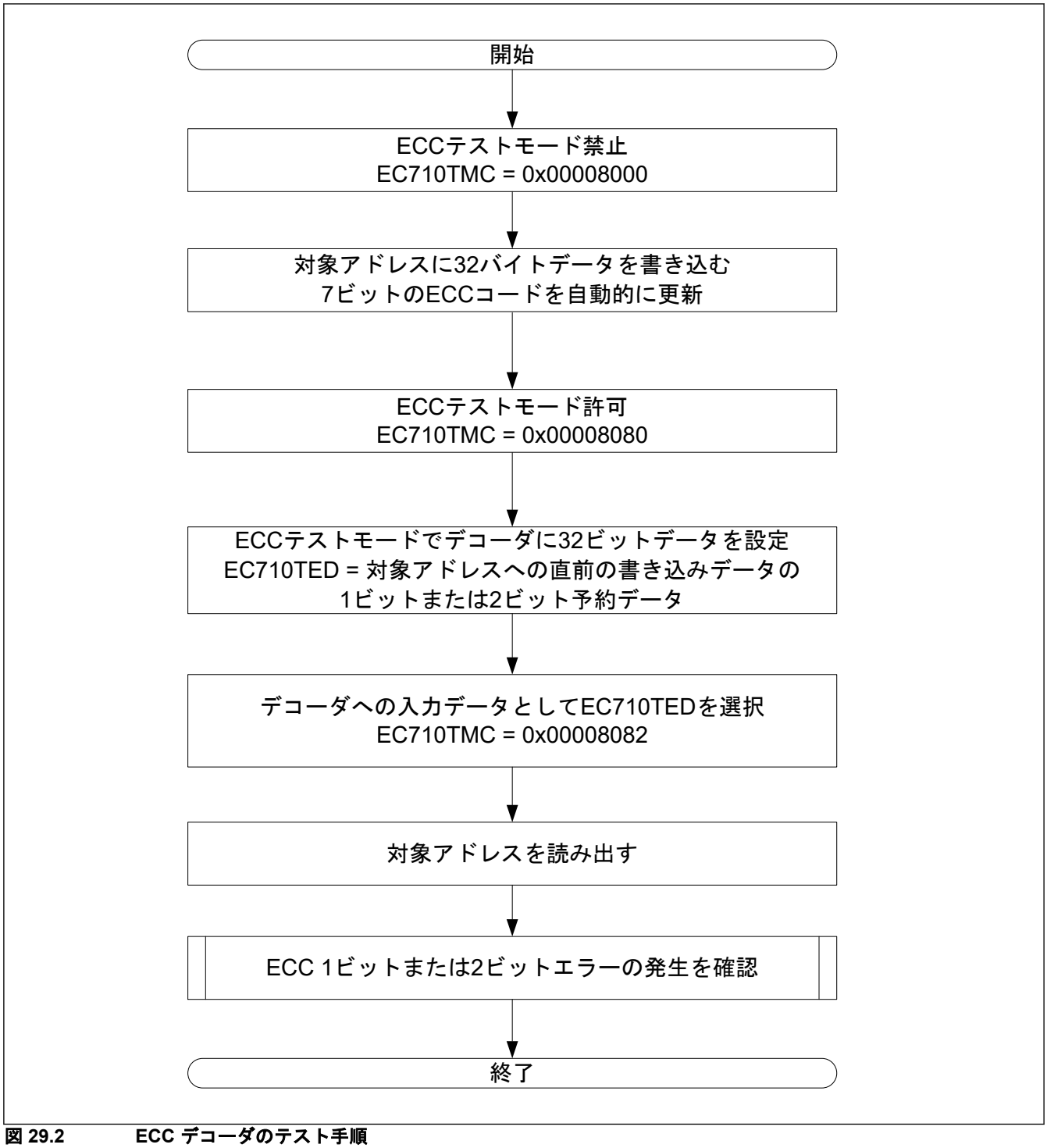


図 29.2 ECC デコーダのテスト手順

29.4 割り込み

ECC モジュールは次の 3 種類の割り込み要求を出します。

- CAN_MRAM_ERI

各割込み要求の割り込み要因には下記があります。

- 1 ビット ECC エラー
- 2 ビット ECC エラー
- ECC エラーオーバーフロー

30. シリアルペリフェラルインタフェース (SPI)

SPI モジュールの SPI_B バージョンです。

この章では、SPI_B を SPI と表記します。

30.1 概要

シリアルペリフェラルインタフェース (SPI) には 2 チャネルあります。SPI によって、複数のプロセッサや周辺デバイスとの高速な全二重同期式シリアル通信が可能です。表 30.1 に SPI の仕様を、図 30.1 にブロック図を、表 30.2 に入出力端子を示します。

本章に記載している PCLK とは PCLKA を指します。本章に記載している TCLK とは SPITCLK を指します。

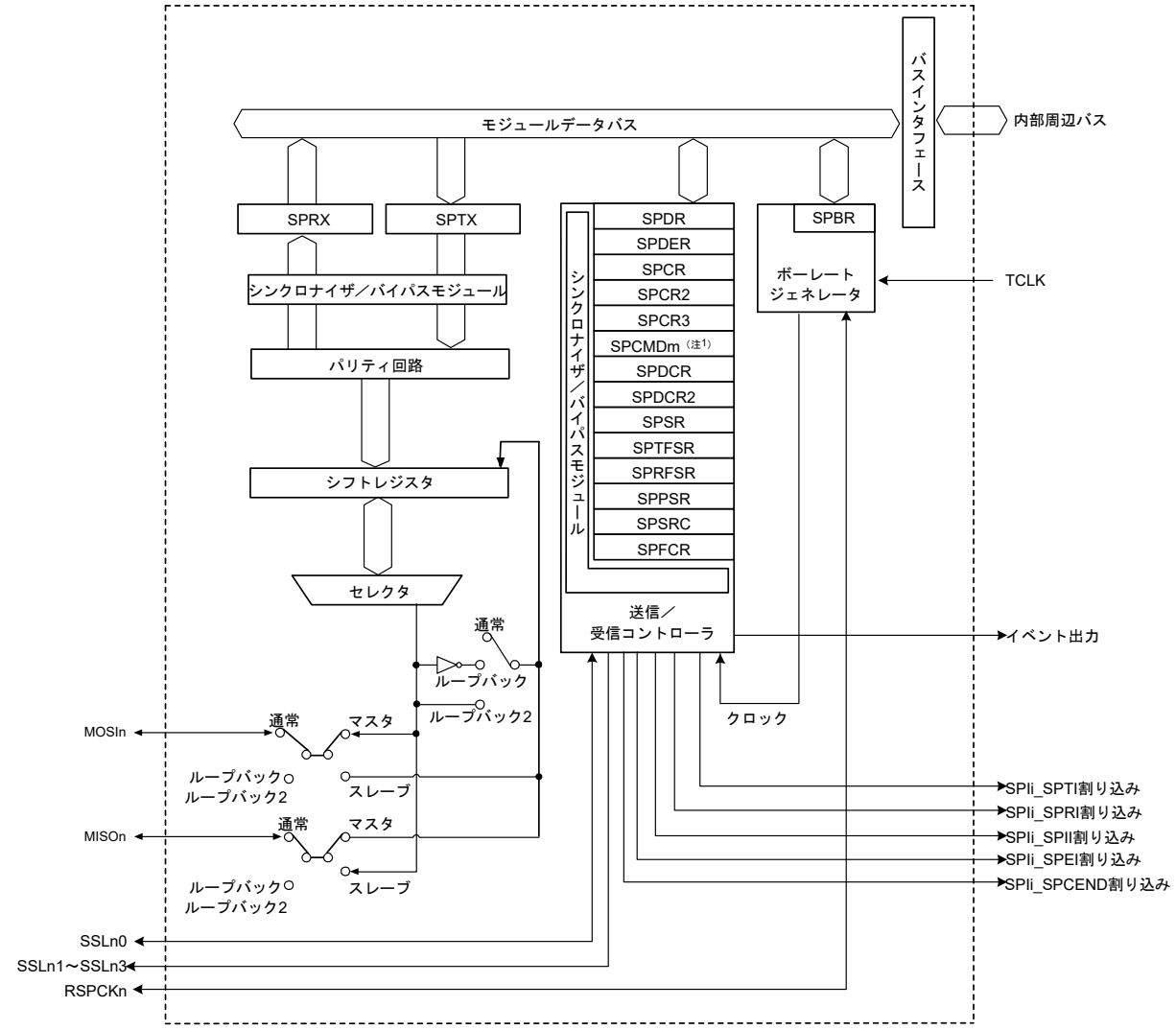
表 30.1 SPI の仕様 (1/2)

項目	内容
チャネル数	2 チャネル
SPI 転送機能	• MOSI (Master Out/Slave In)、MISO (Master In/Slave Out)、SSL (Slave Select)、RSPCK (SPI Clock) の各信号を使用して、SPI 動作（4 線式）またはクロック同期式動作（3 線式）によるシリアル通信が可能 • 送信のみの動作が可能 • 受信のみの動作が可能 • 通信モード：全二重、送信のみ、または受信のみを選択可能 • RSPCK 極性切り替え • RSPCK 位相切り替え
データフォーマット	• MSB ファーストまたは LSB ファーストを選択可能 • 転送ビット長を 4～32 ビットから選択可能 • 送信バッファまたは受信バッファとして 32 ビット×4 ステージ FIFO を使用可能 • バイトスワップ動作機能 • 送受信データは反転可能
ビットレート	• マスタモード時、内蔵ボーレートジェネレータで TCLK を分周して RSPCK を生成（分周比は 2～4096 分周） • スレーブモード時は、TCLK の最小 2 分周のクロックを、RSPCK として入力可能（RSPCK の最高周波数は TCLK の 2 分周） High 幅：TCLK の 1 サイクル、Low 幅：TCLK の 1 サイクル
バッファ構成	• 送信および受信バッファはそれぞれダブルバッファ構造
エラー検出	• モードフォルトエラー検出 • アンダーランエラー検出 • オーバーランエラー検出(注1) • パリティエラー検出 • 受信データ準備検出
SSL 制御機能	[Motorola SPI モード／TI SSP モード共通] • 1 チャネルあたり 4 本の SSL 端子（SSLni: SSLn0～SSLn3）(n = A, B) • シングルマスタモード時、SSLn0～SSLn3 端子は出力 • マルチマスタモード時、SSLn0 端子は入力、SSLn1～SSLn3 端子は出力または未使用 • スレーブモード時、SSLn0 端子は入力、SSLn1～SSLn3 端子は未使用 • SSL 出力のアサートから RSPCK 動作までの遅延（RSPCK 遅延）を制御可能 設定範囲：1～8RSPCK 周期（設定単位：1RSPCK 周期） • RSPCK 停止から SSL 出力のネゲートまでの遅延（SSL ネゲート遅延）を制御可能 設定範囲：1～8RSPCK 周期（設定単位：1RSPCK 周期） • 次アクセスの SSL 出力アサートのウェイト（次アクセス遅延）を制御可能 設定範囲：1～8RSPCK 周期（設定単位：1RSPCK 周期） • SSL 極性変更機能 • バースト転送時のフレーム間遅延を設定可能 [Motorola モードのみ] • SSL 出力のアサートから RSPCK 動作までの遅延（RSPCK 遅延）を制御可能 設定範囲：1～8RSPCK 周期（設定単位：1RSPCK 周期） [スレーブ、TI-SSP モード] • OE 出力のアサートから RSPCK 動作までの遅延（RSPCK 遅延）を制御可能 設定範囲：0～8RSPCK 周期（設定単位：1RSPCK 周期）
通信プロトコル	• Motorola SPI • TI SSP（同期式シリアルプロトコル）

表 30.1 SPI の仕様 (2/2)

項目	内容
マスタ転送時の制御方式	● 最大 8 コマンドで構成された転送を連続してループ実行可能 ● 各コマンドに以下の項目を設定可能： SSL 信号値、ビットレート、RSPCK 極性／位相、転送データ長、MSB/LSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 ● 送信バッファへの書き込みによる転送起動 ● SSL ネゲート時の MOSI 信号値を設定可能 ● RSPCK 自動停止機能
割り込み要因	割り込み要因： ● 受信バッファフル／受信データ準備割り込み ● 送信バッファエンプティ割り込み ● SPI エラー割り込み（モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、 受信データ準備） ● SPI アイドル割り込み（SPI アイドル） ● 通信終了割り込み
イベントリンク機能	以下のイベントをイベントリンクコントローラ (ELC) へ出力可能： ● 受信バッファフル／受信データ準備信号 ● 送信バッファエンプティ信号 ● モードフォルト／アンダーラン／オーバーラン／パリティエラー信号／受信データ準備信号 ● SPI アイドル信号 ● 通信終了信号
その他	● CMOS 出力／オープンドレイン出力の切り替え ● SPI 初期化機能 ● ループバックモード
モジュールストップ機能	モジュールストップ状態への設定が可能
TrustZone フィルタ	セキュリティ属性を設定可能

注 1. マスタ受信時に RSPCK 自動停止機能が有効な場合は、オーバーランエラーが検出されると転送クロックが停止するため、オーバーランエラーは発生しません。



注 1. m = 0～7

図 30.1 SPI のブロック図

SSLn0 端子の入出力方向は、SPI が自動的に切り替えます。SSLn0 端子は、SPI がシングルマスタの場合は出力状態、マルチマスタまたはスレーブの場合は入力状態になります。RSPCKn、MOSIn、および MISOn 端子の入出力方向は、マスタ／スレーブ設定と SSLn0 端子の入力レベルに応じて、SPI が自動的に切り替えます。詳細は、「30.3.2. SPI 端子の制御」を参照してください。

表 30.2 SPI の端子構成 (1/2)

チャネル	端子名	入出力	内容
SPI0	RSPCKA	入出力	クロック入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1～SSLA3	出力	スレーブセレクト出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
SPI1	RSPCKB	入出力	クロック入出力
	MOSIB	入出力	マスタ送出データ入出力
	MISOB	入出力	スレーブ送出データ入出力
	SSLB0	入出力	スレーブセレクト入出力

表 30.2 SPI の端子構成 (2/2)

チャネル	端子名	入出力	内容
	SSLB1～SSLB3	出力	スレーブセレクト出力

注. 端子名の表示は、SPI0：「...A」または「...An」、SPI1：「...B」または「...Bn」（n = 0、1、2、3）のように示しています。

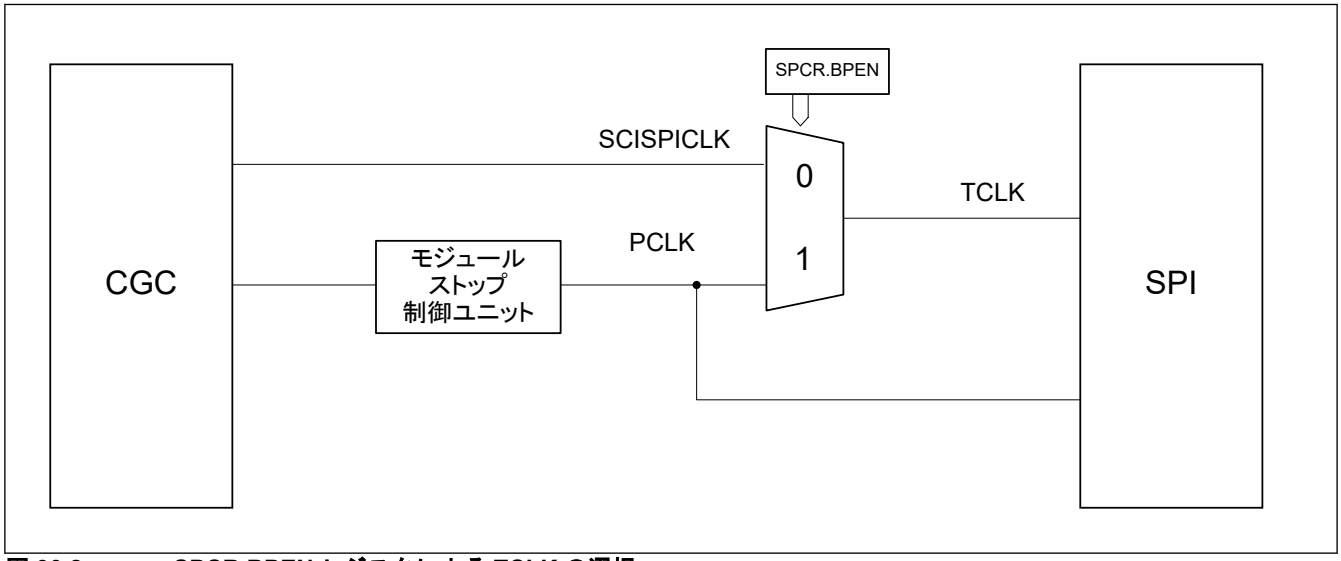


図 30.2 SPCR.BPEN レジスタによる TCLK の選択

30.2 レジスタの説明

30.2.1 SPDR : SPI データレジスタ

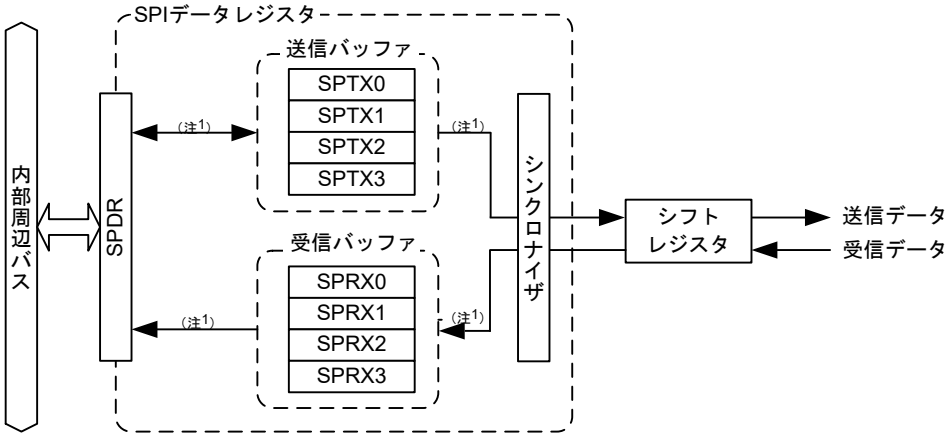
Base address: SPI_Bn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SPD[31:16]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SPD[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SPDR は、SPI 送受信用のデータを格納するバッファとのインタフェースです。このレジスタにワードでアクセスするとき、SPDR にアクセスします。送信バッファ (SPTX) と受信バッファ (SPRX) は独立したバッファですが、両方とも SPDR レジスタにマッピングされています。図 30.3 に、SPDR レジスタの構成図を示します。



注 1. 接続先バッファとアクセス段は、ハードウェアで自動的に切り替わります。

図 30.3 SPDR の構造

32 ビット×4 段の送信 FIFO と 32 ビット×4 の受信 FIFO が提供されます。これらの 8 段の FIFO が SPDR の 1 つのアドレスにマップされます。送信バッファ（SPTXn、n = 0～3）は、書き込みデータを転送するためにデータを SPDR に書き込むことによって書き込めます。

データの受信完了後、受信バッファに受信されたデータが格納されます。オーバーランエラーが発生した場合、受信バッファのデータは更新されません。

(1) バスインタフェース

SPI データレジスタには、32 ビット×4 段の送信 FIFO と、32 ビット×4 段の受信 FIFO があります（合計で 32 バイト）。これらの 32 バイトを SPDR の 4 バイト空間にマッピングしています。送信データを LSB から書き込みます。受信データは LSB から格納されます。

SPDR レジスタの書き込み操作と読み出し操作を以下に説明します。

1. 書き込み
   送信バッファには、送信バッファ書き込みポインタが用意されています。SPDR レジスタへデータを書き込んだとき、ポインタは自動的に次のバッファに切り替わります。次に、送信バッファのバスインタフェース（書き込み）の構造を示します。

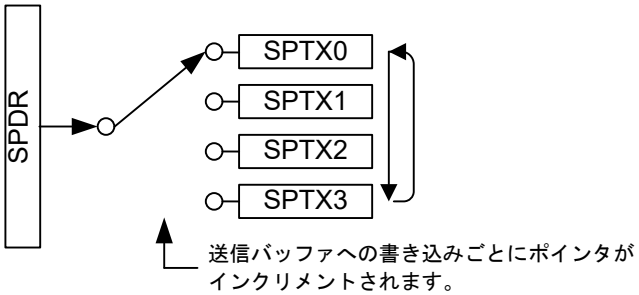


図 30.4 SPDR の構造（書き込み）

   送信バッファ（SPTX0～SPTX3）の切り替え順：
   SPTX0→SPTX1→SPTX2→SPTX3→SPTX0→SPTX1→…
   送信データを送信バッファ (SPTXn) に書き込む場合、SPI 送信バッファエンプティ割り込みが存在するとき (SPSR.SPTEF = 1)、SPI データコントロールレジスタ 2 (SPDCR2.TTRG[1:0]) の送信 FIFO しきい値設定ビットによって指定された送信データフレーム + 1 を書き込みます。送信 FIFO に空の段が存在しない状態で送信バッファ（SPTXn、n = 0～3）を書き込んでも、バッファ値は更新されません。

2. 読み出し

値は SPDR レジスタを読み出すことによって、受信バッファ（SPRXn、n = 0～3）または送信バッファ（SPTXn、n = 0～3）から読み出すことができます。受信バッファの読み出しまたは送信バッファの読み出しは、SPI データコントロールレジスタの SPI 受信データ／送信データ選択ビット (SPDCR.SPRDTD) によって選択できます。
SPDR レジスタは、単独の受信バッファ読み出しポインタおよび送信バッファ読み出しポインタに従って読み出されます。
次に、受信バッファと送信バッファのバスインタフェースの構造（読み出し）を示します。

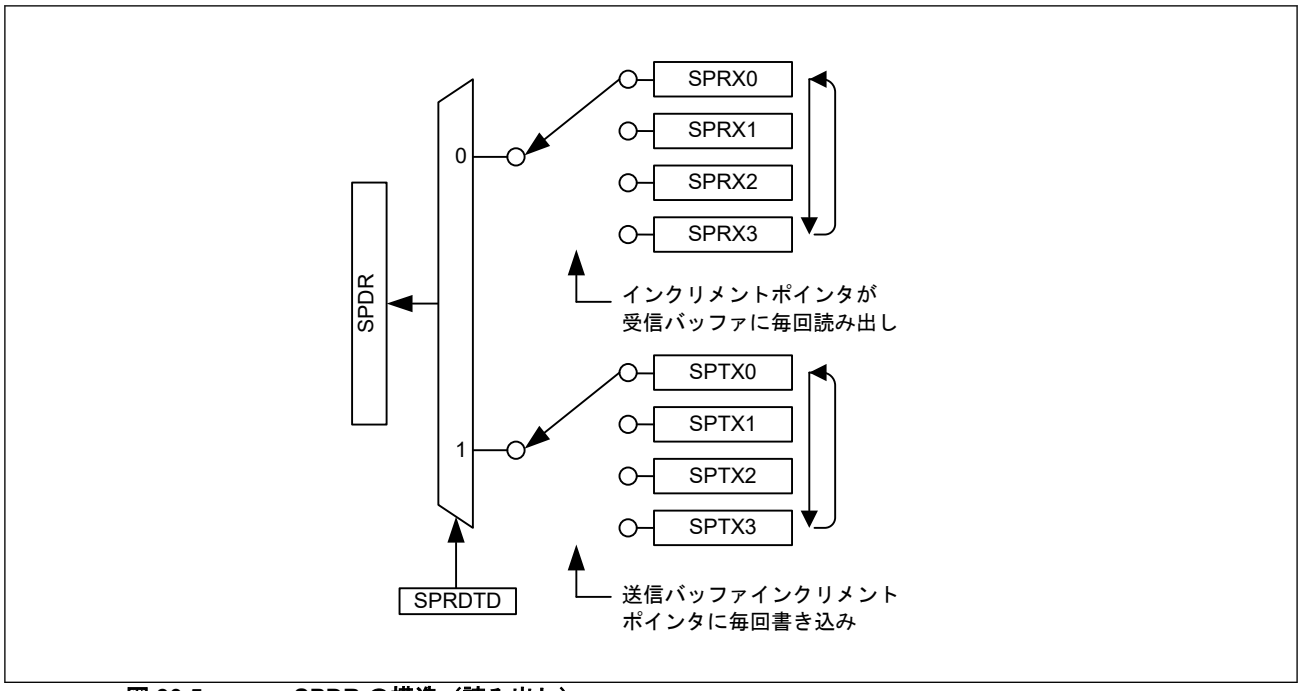


図 30.5　　SPDR の構造（読み出し）

受信バッファを読み出すと、受信バッファ読み出しポインタが次のバッファに自動的に切り替わります。受信バッファ読み出しポインタは、送信バッファ書き込みポインタと同じ順序で切り替わります。
送信バッファ書き込みポインタは SPDR 書き込みアクセス中に更新されますが、送信バッファ読み出しアクセス中には更新されません。送信バッファが読み出されるとき、SPDR に最後に書き込まれた値を読み出すことができます。

30.2.2　SPDECR : SPI 遅延コントロールレジスタ

Base address: SPI_Bn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SPNDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SLNDL[2:0]			—	—	—	—	—	SCKDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SCKDL[2:0]	RSPCK 遅延 0 0 0: 1RSPCK 0 0 1: 2RSPCK 0 1 0: 3RSPCK 0 1 1: 4RSPCK 1 0 0: 5RSPCK 1 0 1: 6RSPCK 1 1 0: 7RSPCK 1 1 1: 8RSPCK	R/W
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
10:8	SLNDL[2:0]	SSL ネゲート遅延 [マスタモード] 0 0 0: 1RSPCK 0 0 1: 2RSPCK 0 1 0: 3RSPCK 0 1 1: 4RSPCK 1 0 0: 5RSPCK 1 0 1: 6RSPCK 1 1 0: 7RSPCK 1 1 1: 8RSPCK [スレーブモード時の TI-SSP の場合] 0 0 0: 1 TCLK 0 0 1: 2 TCLK 0 1 0: 3 TCLK 0 1 1: 4 TCLK 1 0 0: 5 TCLK 1 0 1: 6 TCLK 1 1 0: 7 TCLK 1 1 1: 8 TCLK	R/W
15:11	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
18:16	SPNDL[2:0]	SPI 次アクセス遅延 0 0 0: 1RSPCK + 5TCLK 0 0 1: 2RSPCK + 5TCLK 0 1 0: 3RSPCK + 5TCLK 0 1 1: 4RSPCK + 5TCLK 1 0 0: 5RSPCK + 5TCLK 1 0 1: 6RSPCK + 5TCLK 1 1 0: 7RSPCK + 5TCLK 1 1 1: 8RSPCK + 5TCLK	R/W
31:19	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

SCKDL[2:0]ビット（RSPCK 遅延）

[Motorola-SPI の場合]

RSPCK 遅延ビット (SCKDL) は、SPI コマンドレジスタ (SPCMD) の SCKDEN ビットが 1 の間、SSL 信号アサート開始から RSPCK が発振するまでの期間（RSPCK 遅延）を設定するために使用されます。SPI コントロールレジスタ (SPCR) の MSTR ビットおよび SPE ビットが 1 の状態で SCKDL が修正されると、その後の動作は保証されません。

SPI をスレーブモードで使用するには、SCKDL[2:0]ビットを 000b にしてください。

[TI-SSP の場合]

RSPCK 遅延ビット (SCKDL) は、SPI コマンドレジスタ (SPCMD) の SCKDEN ビットが 1 の間、SSL 信号アサート開始から RSPCK が発振するまでの期間（RSPCK 遅延）を設定するために使用されます。SSL 信号がネゲートされるまでの期間を設定する場合にも使用されます。SPI コントロールレジスタ (SPCR) の MSTR ビットおよび SPE ビットが 1 の状態で SCKDL が修正されると、その後の動作は保証されません。

SPI をスレーブモードで使用するには、SCKDL[2:0]ビットを 000b にしてください。

SLNDL[2:0]ビット（SSL ネゲート遅延）

[Motorola-SPI の場合]

SSL ネゲート遅延ビット (SLNDL) は、SPI コマンドレジスタ (SPCMD) の SLNDEN ビットが 1 の間、マスタモードの SPI がシリアル転送の最終 RSPCK エッジを送信してから SSL 信号をネゲートするまでの期間（SSL ネゲート遅延）を設定するために使用されます。SPI コントロールレジスタ (SPCR) の MSTR ビットおよび SPE ビットが 1 の状態で SLNDL が修正されると、その後の動作は保証されません。

TI-SSP を除き、SPI をスレーブモードで使用するには、SLNDL[2:0]ビットを 000b にしてください。

[TI-SSP の場合]

SSL ネゲート遅延ビット (SLNDL) は、SPI コマンドレジスタ (SPCMD) の SLNDEN ビットが 1 の間、マスタモードの SPI がシリアル転送の最終 RSPCK エッジを送信してから OE 信号をネゲートするまでの期間（OE ネゲート遅延）を設定するために使用されます。また、スレーブモードの SPI がシリアル転送の最終 RSPCK エッジを検出してから OE 信号がネゲートされるまでの期間を設定する場合にも使用されます。SPI コントロールレジスタ (SPCR) の SPE ビットが 1 の状態で SLNDL が修正されると、その後の動作は保証されません。

SPNDL[2:0]ビット（SPI 次アクセス遅延）

SPI 次アクセス遅延レジスタ (SPDECR.SPNDL) は、SPI コマンドレジスタ (SPCMD) の SPNDEN ビットが 1 の間、シリアル転送完了後の SSL 信号非アクティブ期間（次アクセス遅延）を設定するために使用されます。SPI コントロールレジスタ (SPCR) の MSTR ビットおよび SPE ビットが 1 の状態で SPNDL が修正されると、その後の動作は保証されません。

これらのビットは、SPCMD の SPNDEN ビットが 1 のときの次アクセス遅延値を設定するために使用されます。SPI をスレーブモードで使用するには、SPNDL[2:0]ビットを 000b にしてください。

30.2.3 SPCR : SPI コントロールレジスタ

Base address: SPI_Bn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BPEN	MSTR	TXMD[1:0]		—	—	SPFRF	SPMS	—	—	CENDIE	SPTIE	SPDRES	SPIIE	SPRIE	SPEIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MODFEN	BFDS	SCKASE	PTE	—	SPOE	SPPE	—	—	—	—	—	—	—	SPE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPE	SPI 機能有効 0: SPI 機能は無効 1: SPI 機能は有効	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R
8	SPPE	パリティ許可 0: パリティビットを送信データに付加しません。 受信データのパリティチェックは実行されません。 1: パリティビットを送信データに付加します。 受信データのパリティチェックが実行されます。	R/W
9	SPOE	パリティモード 0: 送受信用に偶数パリティが使用されます。 1: 送受信用に奇数パリティが使用されます。	R/W
10	—	読むと 0 が読めます。 書く場合、0 としてください。	R
11	PTE	パリティ自己診断イネーブル 0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能は有効	R/W
12	SCKASE	RSPCK 自動停止機能有効 0: RSPCK 自動停止機能は無効 1: RSPCK 自動停止機能は有効	R/W

ビット	シンボル	機能	R/W
13	BFDS	バースト転送フレーム間遅延選択 0: バースト転送時、フレーム間に遅延（RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延）を挿入する。 1: バースト転送時にフレーム間の遅延を挿入しない。	R/W
14	MODFEN	モードフォルトエラー検出許可 0: モードフォルトエラー検出禁止 1: モードフォルトエラー検出許可	R/W
15	—	読むと 0 が読めます。 書く場合、0 としてください。	R
16	SPEIE	SPI エラー割り込み許可 0: SPI エラー割り込み要求を禁止 1: SPI エラー割り込み要求を許可	R/W
17	SPRIE	SPI 受信バッファフル割り込み許可 0: SPI 受信バッファフル割り込み要求を禁止 1: SPI 受信バッファフル割り込み要求を許可	R/W
18	SPIIE	SPI アイドル割り込み許可 0: アイドル割り込み要求禁止 1: アイドル割り込み要求許可	R/W
19	SPDRES	SPI 受信データレディエラー選択 受信データレディが検出されたとき、生成される割り込み要求を選択します。 0: 受信データフル割り込み 1: エラー割り込み	R/W
20	SPTIE	SPI 送信バッファエンプティ割り込み許可 0: SPI 送信バッファエンプティ割り込み要求を禁止 1: SPI 送信バッファエンプティ割り込み要求を許可	R/W
21	CENDIE	SPI 通信終了割り込み許可 0: 通信終了割り込み要求無効 1: 通信終了割り込み要求有効	R/W
23:22	—	読むと 0 が読めます。 書く場合、0 としてください。	R
24	SPMS	SPI モード選択 0: SPI 動作（4 線式） 1: クロック同期式動作（3 線式）	R/W
25	SPFRF	SPI フレームフォーマット選択 0: Motorola-SPI 1: TI-SSP 注. SPMS = 1（クロック同期式動作（3 線式））のとき、このビットの設定は無効です。	R/W
27:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R
29:28	TXMD[1:0]	通信モード選択 0 0: 送信／受信 0 1: 送信のみ その他: 受信のみ	R/W
30	MSTR	SPI マスタ／スレーブモード選択 0: スレーブモード 1: マスタモード	R/W
31	BPEN	同期化回路バイパス許可 0: 非バイパス 1: バイパス	R/W

SPI コントロールレジスタ (SPCR) は、SPI の動作モードを設定するために使用されます。設定された BPEN、MSTR、TXMD[1:0]、SPFRF、SPMS、MODFEN、BFDS、SCKASE、PTE、SPOE、SPPE ビット値が SPE ビットが 1 のときに変更された場合、以降の動作は保証しません。

SPE ビット（SPI 機能有効）

本ビットは SPI 機能の有効または無効を選択します。このビットを 1 にすると、SPI 機能が有効になります。SPI ステータスレジスタ (SPSR) の MODF フラグが 1 の場合、SPE ビットは 0 にクリアされ、MODF フラグが 0 にクリアされるまで SPE ビットは 1 に設定できません。（「30.3.10. エラー検出」を参照してください。）SPE ビットを

0 に設定すると、SPI 機能が無効になり、このモジュール機能の一部が初期化されます。(「30.3.11. SPI の初期化」を参照してください。)

SPPE ビット（パリティ許可）

パリティ機能の有効／無効を選択します。

SPOE ビット（パリティモード）

偶数パリティまたは奇数パリティを指定します。

偶数パリティモードのとき、パリティビットは 1 の合計（パリティビット＋送受信キャラクタ）が偶数になるように決定されます。同じように、奇数パリティモードでは、パリティビットは 1 の合計（パリティビット＋送受信キャラクタ）が奇数になるように決定されます。SPOE ビットは、SPCR の SPPE ビットが 1 の場合のみ有効となります。

PTE ビット（パリティ自己診断イネーブル）

パリティ機能が正常なことを確認するために、パリティ回路の自己診断の有効／無効を選択します。

SCKASE ビット（RSPCK 自動停止機能有効）

RSPCK 自動停止機能の有効／無効を選択します。この機能を有効にした場合、マスタモードでのデータ受信時に、オーバーランエラーが発生する直前に RSPCK クロックが停止します。詳細は、「30.3.10.1. オーバーランエラー」を参照してください。

BFDS ビット（バースト転送フレーム間遅延選択）

バースト転送フレーム間に遅延時間を挿入するかどうかを制御します。

マスタモード (SPCR.MSTR= 1) で、SPCMDn.SSLKP ビットが 1 に設定されたフレームで有効です。

本ビットはスレーブモードで 0 に設定してください。送信フレーム間 SSL 遅延制御の使用方法を以下に示します。詳細は、「30.3.12.1. マスタモード動作」を参照してください。

1. 非バースト転送
2. フレーム間遅延ありバースト転送
   2-1. 最初のフレームから最後の 1 つ手前のフレームまで
   2-2.最後のフレーム
3. フレーム間遅延なしバースト転送
   3-1.最初のフレームから最後の一つ手前のフレームまで
   3-2.最後のフレーム

表 30.3 送信フレーム間 SSL 遅延制御の使用方法（マスタモード）

	SPCMDn.SSLKP ビット	SPCR.BFDS ビット	SSL 遅延制御レジスタ(注1)（RSPCK クロック遅延、SSL ネゲート遅延、次アクセス遅延）
1	0	0	任意値。RSPCK クロック遅延、SSL ネゲート遅延、次アクセス遅延の設定に従い、各遅延の値を制御可能です。
2-1	1	0	
2-1	0	0	
3-1	1	1	任意値。ただし、遅延は以下の場合のみ挿入されます。 ● 最初のフレームの RSPCK クロック遅延 ● 最後のフレームの SSL ネゲート遅延と次アクセス遅延
3-2	0	1	

注 1. 以下のビットの設定値が有効であるかどうかは、SPCMD.SPNDEN ビットの設定値によります。(「30.2.6. SPCMDm : SPI コマンドレジスタ（m = 0～7）」を参照してください。)
SPDECR.SCKDL[2:0]ビット：RSPCK 遅延
SPDECR.SLNDL[2:0]ビット：SSL ネゲート遅延
SPDECR.SPNDL[2:0]ビット：次アクセス遅延

＜設定／動作の例＞（Motorola SPI、BFDS = 1 の場合）

SPCMD0.SSLKP = 1→バースト転送／0 と 1 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD1.SSLKP = 1→バースト転送／1 と 2 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD2.SSLKP = 1→バースト転送／2 と 3 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD3.SSLKP = 1→バースト転送／3 と 4 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD4.SSLKP = 0 → バースト転送しない。SSL をインアクティブにする。（バースト転送しないため、BFDS への設定は無効です）

SPCMD5.SSLKP = 1→バースト転送／5 と 6 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD6.SSLKP = 1→バースト転送／6 と 7 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD7.SSLKP = 0 →バースト転送しない。SSL をインアクティブにする。（バースト転送しないため、BFDS への設定は無効です）

MODFEN ビット（モードフォルトエラー検出許可）

本ビットはモードフォルトエラーの検出を許可または禁止します。（「30.3.10. エラー検出」を参照してください。）SPI は MODFEN ビットと MSTR ビットの組み合わせに応じて SSL0 端子の入力または出力方向を決定します。（「30.3.2. SPI 端子の制御」を参照してください。）

SPEIE ビット（SPI エラー割り込み許可）

SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPI ステータスレジスタ (SPSR) の MODF フラグを 1 にした場合、オーバーランエラーを検出して SPSR の OVRF フラグを 1 にした場合、またはパリティエラーを検出して SPSR の PERF フラグを 1 にした場合、SPI エラー割り込み要求を許可または禁止します。（「30.3.10. エラー検出」を参照してください。）

SPRIE ビット（SPI 受信バッファフル割り込み許可）

SPI の受信バッファフル割り込み要求を許可または禁止します。

SPIIE ビット（SPI アイドル割り込み許可）

SPI がアイドル状態を検出して SPI ステータスレジスタ (SPSR) の IDLNF フラグを 0 に設定した後、SPI のアイドル割り込み要求を許可または禁止します。

SPDRES ビット（SPI 受信データレディエラー選択）

受信データレディが検出されると (SPSR.SPDRF = 1)、SPIi_SPRI 割り込み要求または SPIi_SPEI 割り込み要求のどちらを使用するか選択します。

SPTIE ビット（SPI 送信バッファエンプティ割り込み許可）

SPI の送信バッファエンプティ割り込み要求を許可または禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPTIE ビットが 1 に設定されたとき以降に SPE ビットを同時に 1 に設定することによって生成されます。SPTIE ビットが 1 のときは、SPI 関数が無効（SPE ビットが 0）でも送信バッファエンプティ割り込みが生成されることに注意してください。

CENDIE ビット（SPI 通信終了割り込み許可）

通信終了割り込み要求の発生を制御します。

SPMS ビット（SPI モード選択）

SPI 動作（4 線式）またはクロック同期式動作（3 線式）を選択します。

クロック同期式動作は、SSL 端子を使用せず、RSPCK、MOSI、MISO の 3 本の端子を用いて通信を行います。SPMS が 1（クロック同期式動作（3 線式））のとき、SPFRF ビットの設定は無効です。

クロック同期式動作をマスタモード (SPCR.MSTR = 1) で実行するには、SPI コマンドレジスタ (SPCMD) の CPHA ビットを 0 または 1 にしてください。クロック同期式動作をスレーブモード (SPCR.MSTR = 0) で実行するには、CPHA ビットを 1 にしてください。このビットが 0 のとき、クロック同期式動作をスレーブモード (SPCR.MSTR = 0) で行う場合、その後の動作は保証されません。

SPI コントロールレジスタ (SPCR) の MSTR ビット、TXMD[1:0]ビット、SPFRF ビット、SPMS ビットの設定に応じた通信ステータスは、次のようになります。

表 30.4 SPI 通信ステータス

SPCR.MSTR	SPCR.TXMD[1]	SPCR.TXMD[0]	SPCR.SPFRF	SPCR.SPMS	通信ステータス	通信ステータス番号
1	0	0	0	0	送信／受信マスタ／Motorola SPI／SPI 動作（4 線式）	1-(1)
1	0	0	1	0	送信／受信マスタ／TI-SSP／SPI 動作（4 線式）	1-(2)
1	0	0	—	1	送信／受信マスタ／クロック同期式動作（3 線式）	1-(3)
1	0	1	0	0	送信のみマスタ／Motorola SPI／SPI 動作（4 線式）	1-(4)
1	0	1	1	0	送信のみマスタ／TI-SSP／SPI 動作（4 線式）	1-(5)
1	0	1	—	1	送信のみマスタ／クロック同期式動作（3 線式）	1-(6)
1	1	—	0	0	受信のみマスタ／Motorola SPI／SPI 動作（4 線式）	1-(7)
1	1	—	1	0	受信のみマスタ／TI-SSP／SPI 動作（4 線式）	1-(8)
1	1	—	—	1	受信のみマスタ／クロック同期式動作（3 線式）	1-(9)
0	0	0	0	0	送信／受信スレーブ／Motorola SPI／SPI 動作（4 線式）（デフォルト）	0-(1)
0	0	0	1	0	送信／受信スレーブ／TI-SSP／SPI 動作（4 線式）	0-(2)
0	0	0	—	1	送信／受信スレーブ／クロック同期式動作（3 線式）	0-(3)
0	0	1	0	0	送信のみスレーブ／Motorola SPI／SPI 動作（4 線式）	0-(4)
0	0	1	1	0	送信のみスレーブ／TI-SSP／SPI 動作（4 線式）	0-(5)
0	0	1	—	1	送信のみスレーブ／クロック同期式動作（3 線式）	0-(6)
0	1	—	0	0	受信のみスレーブ／Motorola SPI／SPI 動作（4 線式）	0-(7)
0	1	—	1	0	受信のみスレーブ／TI-SSP／SPI 動作（4 線式）	0-(8)
0	1	—	—	1	受信のみスレーブ／クロック同期式動作（3 線式）	0-(9)

SPFRF ビット（SPI フレームフォーマット選択）

本ビットは通信プロトコルを選択します。

SPI 端子のフォーマット（RSPCK、SSL0～7）は、設定された通信プロトコルに応じて設定できます。

SPMS が 1（クロック同期式動作（3 線式））の場合、SSL が使用されないため、このビットは無効です。

TXMD[1:0]ビット（通信モード選択）

送信／受信、送信のみ、受信のみのシリアル通信を選択します。

通信用の TXMD[1:0]が 01 に設定されているとき、受信せずに送信のみが実行されます。

通信用の TXMD[1]が 1 に設定されているとき、送信せずに受信のみが実行されます。

通信用の TXMD[1:0]が 01 に設定されているとき、受信バッファフル割り込み要求は使用できません。

通信用の TXMD[1]が 1 に設定されているとき、送信バッファエンプティ割り込み要求は使用できません。

（「30.3.6. 通信動作モード」を参照してください。）

MSTR ビット（SPI マスタ／スレーブモード選択）

本ビットは SPI のマスタモードまたはスレーブモードを選択します。SPI は、MSTR ビットの設定に応じて、端子 RSPCK、MOSI、MISO、および SSL1～SSL3 の入力／出力方向を決定します。

BPEN ビット（同期化回路バイパス許可）

同期バイパス機能の有効／無効を選択します。このビットは、バスクロック (PCLK) および動作クロック (TCLK) に同じクロックが入力された場合のみ、同期化回路をバイパスするために使用できます。

30.2.4 SPCR2 : SPI コントロールレジスタ 2

Base address: SPI_Bn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SPDRC[7:0]								RMSTTG	RMEDTG	—	RMFM[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	RMFM[4:0]	マスタ受信時専用のフレーム処理回数設定 マスタ受信時のみ、受信フレーム数の調整が可能です 0x00: この機能は未使用(注1) 0x01: 1 つの受信フレームを処理した後、自動的に通信を停止 ⋮ 0x1F: 31 の受信フレームを処理した後、自動的に通信を停止	R/W
5	—	読むと 0 が読めます。 書く場合、0 としてください。	R
6	RMEDTG	マスタ受信時専用の終了トリガ 1: 受信終了 （マスタ受信時のみ書き込み可能） 読むと常に 0 が読めます	W
7	RMSTTG	マスタ受信時専用の開始トリガ 1: 受信開始 （マスタ受信時のみ書き込み可能） 読むと常に 0 が読めます	W
15:8	SPDRC[7:0]	SPI 受信データ準備検出調整 0x0: 受信データ準備検出機能を禁止 0x1: 受信データ準備判定を 1 TCLK 後に実行 ⋮ 0xFF 受信データ準備判定を 255 TCLK 後に実行	R/W
16	SPLP	SPI ループバック 0: 通常モード 1: ループバックモード（送信データの反転 = 受信データ）	R/W
17	SPLP2	SPI ループバック 2 0: 通常モード 1: ループバックモード（送信データ = 受信データ）	R/W
19:18	—	読むと 0 が読めます。 書く場合、0 としてください。	R
20	MOIFV	MOSI アイドル固定値 0: MOSI アイドルの固定値 = 0 1: MOSI アイドルの固定値 = 1	R/W
21	MOIFE	MOSI アイドル固定値許可 0: MOSI 出力値は前回転送の採集データ 1: MOSI 出力値は設定された MOIFV ビットの値	R/W
31:22	—	読むと 0 が読めます。 書く場合、0 としてください。	R

注 1. 図 30.66 のソフトウェア処理手順を参照してください。

RMFM[4:0]ビット（マスタ受信時専用のフレーム処理回数設定）

マスタ受信専用で動作時のみ、受信フレーム数の調整が可能です。マスタモード (SPCR.MSTR = 1) および通信動作モード選択ビット (SPCR.TXMD [1:0]) が 10b のときのみ有効です。

マスタモード受信のスタートビットのみ、受信開始後にこのビットに設定された値に従ってフレーム処理を開始した後、自動的に通信を停止します。

SPI コントロールレジスタ (SPCR) の SPE ビットが 1 のときに RMFM[4:0]ビットを書き換えた場合、その後の動作は保証されません。

RMEDTG ビット（マスタ受信時専用の終了トリガ）

このビットは、マスタ受信専用のときに受信を終了するために使用します。マスタモード (SPCR.MSTR = 1) および通信モード選択ビット (SPCR.TXMD [1:0]) が 10b のときのみ有効です。

RMSTTG ビット（マスタ受信時専用の開始トリガ）

このビットは、マスタ受信専用のときに受信を開始するために使用します。マスタモード (SPCR.MSTR = 1) および通信モード選択ビット (SPCR.TXMD [1:0]) が 10b のときのみ有効です。

受信中にこのビットを 1 にすることは受け付けられません。受信が完了した後に再度書き込んでください。

SPDRC[7:0]ビット（SPI 受信データ準備検出調整）

受信データ準備検出機能を禁止できます。使用中の場合は、検出までの期間を 1～255 TCLK に設定できます。

SPDRC [7:0]ビットに設定された値を使用して、SPDRF フラグを 1 にします。詳細は、「30.2.9. SPSR : SPI ステータスレジスタ」で SPDRF の説明を参照してください。

SPE ビットが 1 のときに設定値を変更すると、その後の動作が保証されなくなります。

SPLP ビット（SPI ループバック）

SPLP ビットを 1 にすると、SPI は MISO 端子とシフトレジスタ間の経路を遮断するか（SPI コントロールレジスタの MSTR ビットが 1 の場合）または MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路値を反転させてから、経路を出力経路に接続します（SPI コントロールレジスタの MSTR ビットが 0 の場合）（ループバックモード）。

SPLP2 ビット（SPI ループバック 2）

SPLP2 ビットを 1 にすると、SPI は MISO 端子とシフトレジスタ間の経路を遮断するか（SPI コントロールレジスタの MSTR ビットが 1 の場合）または MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路値を反転させずに経路を出力経路に接続します（SPI コントロールレジスタの MSTR ビットが 0 の場合）（ループバックモード）。本ビットと SPLP ビットがともに 1 の場合、本ビットの設定が優先します。

MOIFV ビット（MOSI アイドル固定値）

マスタモードで MOIFE ビットが 1 の場合、本ビットを使用して SSL ネゲート期間（バースト転送における SSL 保持期間を含む）における MOSI 端子の出力値を選択します。

SPI コントロールレジスタ (SPCR) の SPE ビットが 1 の状態で本ビットを変更した場合、その後の動作は保証されません。

MOIFE ビット（MOSI アイドル固定値許可）

本ビットを使用して、マスタモードの SPI が SSL ネゲート期間（バースト転送における SSL 保持期間を含む）における MOSI 出力値を固定します。MOIFE ビットが 0 の場合、SPI は SSL ネゲート期間における前回のシリアル転送の最終データを MOSI に出力します。MOIFE ビットが 1 の場合、SPI は MOIFV ビットの固定値を MOSI に出力します。

SPI コントロールレジスタ (SPCR) の SPE ビットが 1 の状態で本ビットを変更した場合、その後の動作は保証されません。

30.2.5 SPCR3 : SPI コントロールレジスタ 3

Base address: SPI_Bn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	SPSLN[2:0]			—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SPBR[7:0]								—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
Value after reset:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SSL0P	SSL0 端子の信号極性 [Motorola-SPI の場合] 0: SSL0 信号はアクティブ Low (0) 1: SSL0 信号はアクティブ High (1) [TI-SSP の場合] 0: SSL0 信号はアクティブ High (1) 1: SSL0 信号はアクティブ Low (0)	R/W
1	SSL1P	SSL1 端子の信号極性 [Motorola-SPI の場合] 0: SSL1 信号はアクティブ Low (0) 1: SSL1 信号はアクティブ High (1) [TI-SSP の場合] 0: SSL1 信号はアクティブ High (1) 1: SSL1 信号はアクティブ Low (0)	R/W
2	SSL2P	SSL2 端子の信号極性 [Motorola-SPI の場合] 0: SSL2 信号はアクティブ Low (0) 1: SSL2 信号はアクティブ High (1) [TI-SSP の場合] 0: SSL2 信号はアクティブ High (1) 1: SSL2 信号はアクティブ Low (0)	R/W
3	SSL3P	SSL3 端子の信号極性 [Motorola-SPI の場合] 0: SSL3 信号はアクティブ Low (0) 1: SSL3 信号はアクティブ High (1) [TI-SSP の場合] 0: SSL3 信号はアクティブ High (1) 1: SSL3 信号はアクティブ Low (0)	R/W
7:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R
15:8	SPBR[7:0]	SPI ビットレート	R/W
23:16	—	読むと 0 が読めます。 書く場合、0 としてください。	R
26:24	SPSLN[2:0]	SPI シーケンス長 参照するレジスタ SPCMD0～SPCMD7 および参照順序は、シーケンス長の設定値によって変更されます。本ビット値、シーケンス長、および SPI が参照する SPCMD0～SPCMD7 の関係を以下に示します。スレーブモード時の SPI は常に SPCMD0 を参照します。 0 0 0: シーケンス長 1 (SPCMDn, n = 0 → 0 → …) 0 0 1: シーケンス長 2 (SPCMDn, n = 0 → 1 → 0 → …) 0 1 0: シーケンス長 3 (SPCMDn, n = 0 → 1 → 2 → 0 → …) 0 1 1: シーケンス長 4 (SPCMDn, n = 0 → 1 → 2 → 3 → 0 → …) 1 0 0: シーケンス長 5 (SPCMDn, n = 0 → 1 → 2 → 3 → 4 → 0 → …) 1 0 1: シーケンス長 6 (SPCMDn, n = 0 → 1 → 2 → 3 → 4 → 5 → 0 → …) 1 1 0: シーケンス長 7 (SPCMDn, n = 0 → 1 → 2 → 3 → 4 → 5 → 6 → 0 → …) 1 1 1: シーケンス長 8 (SPCMDn, n = 0 → 1 → 2 → 3 → 4 → 5 → 6 → 7 → 0 → …)	R/W
31:27	—	読むと 0 が読めます。 書く場合、0 としてください。	R

SSLiP ビット（SSL 信号極性ビット）

SSL 信号の極性を指定するために使用されます。SSLiP ビット（i＝3～0）の設定値は、SSLi 信号のアクティブ極性を示します。

SPI コントロールレジスタ (SPCR) の SPE ビットが 1 の状態でいずれかの SSLiP ビットを変更した場合、その後の動作は保証されません。

注. SSL0 は SSL1～SSL3 と異なります。スレーブまたはマルチマスタの場合は、入力として機能します。

詳細は、「30.3.3.2. シングルマスタとシングルスレーブ（MCU はスレーブ）」、および「30.3.3.5. マルチマスタとマルチスレーブ（MCU はマスタ）」を参照してください。

SPBR[7:0]ビット（SPI ビットレート）

SPI ビットレートビット (SPBR) は、マスタモード時のビットレートの設定に使用されます。SPI コントロールレジスタ (SPCR) の MSTR ビットが 1 の状態で SPBR が修正されると、その後の動作は保証されません。

SPI をスレーブモードで使用するときは、SPCMD.BRDV 設定にかかわらず、ビットレートは入力クロックのビットレートに依存します。（電気的特性を満たすビットレートを指定してください。）

ビットレートは、SPBR の設定値と、SPI コマンドレジスタ（SPCMD0～SPCMD7）の BRDV[1:0]ビットの設定値の組み合わせで決まります。

ビットレートは以下の式で計算されます。n は SPBR の設定値（0～255）、N は BRDV[1:0]ビットの設定値（0～3）です。

$$\text{ビットレート} = \frac{f(\text{TCLK})}{2 \times (n+1) \times 2^N}$$

以下の表に、ビットレートと SPBR および BRDV[1:0]の設定値との対応の例を示します。

表 30.5 ビットレートと設定値の対応（例）

SPBR 値 (n)	BRDV 値 (N)	分周比	ビットレート				
			TCLK = 32 MHz	TCLK = 36 MHz	TCLK = 40 MHz	TCLK = 50 MHz	TCLK = 120 MHz
0	0	2	16.0 Mbps	18.0 Mbps	20.0 Mbps	25.0 Mbps	60.0 Mbps
1	0	4	8.00 Mbps	9.00 Mbps	10.0 Mbps	12.5 Mbps	30.0 Mbps
2	0	6	5.33 Mbps	6.00 Mbps	6.67 Mbps	8.33 Mbps	20.0 Mbps
3	0	8	4.00 Mbps	4.50 Mbps	5.00 Mbps	6.25 Mbps	15.0 Mbps
4	0	10	3.20 Mbps	3.60 Mbps	4.00 Mbps	5.00 Mbps	12.0 Mbps
5	0	12	2.67 Mbps	3.00 Mbps	3.33 Mbps	4.16 Mbps	10.0 Mbps
5	1	24	1.33 Mbps	1.50 Mbps	1.67 Mbps	2.08 Mbps	5.0 Mbps
5	2	48	677 kbps	750 kbps	833 kbps	1.04 Mbps	2.5 Mbps
5	3	96	333 kbps	375 kbps	417 kbps	521 kbps	1.25 Mbps
255	3	4096	7.81 kbps	8.80 kbps	9.78 kbps	12.2 kbps	29.3 kbps

SPSLN[2:0]ビット（SPI シーケンス長）

本ビットは、マスタモードの SPI がシーケンス動作を行う際のシーケンス長の設定に使用されます。マスタモード時の SPI は、SPSLN[2:0]ビットで指定されたシーケンス長に応じて、参照する SPI コマンドレジスタ 0～7（SPCMD0～SPCMD7）および参照順序を変更します。詳細は、「30.3.13.1. マスタモード動作」を参照してください。

スレーブモード時の SPI は常に SPCMD0 を参照します。

30.2.6 SPCMDm : SPI コマンドレジスタ （m = 0～7）

Base address: SPI_Bn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x14 + 0x04 × m

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	SSLA[2:0]			—	—	—	SPB[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SCKDEN	SLNDEN	SPNDEN	LSBF	—	—	—	—	SSLKP	—	—	—	BRDV[1:0]		CPOL	CPHA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPHA	RSPCK 位相 0: データが奇数エッジでサンプリングされ、偶数エッジで変更される 1: データが奇数エッジで変更され、偶数エッジでサンプリングされる	R/W
1	CPOL	RSPCK 極性 0: アイドル状態の RSPCK が 0 1: アイドル状態の RSPCK が 1	R/W
3:2	BRDV[1:0]	ビットレート分周 0 0: 分周なしのベースのビットレートが選択されます。 0 1: 2 分周のベースのビットレートが選択されます。 1 0: 4 分周のベースのビットレートが選択されます。 1 1: 8 分周のベースのビットレートが選択されます。	R/W
6:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R
7	SSLKP	SSL 信号レベル保持 0: すべての SSL 信号が送信終了後にネゲートされます。 1: SSL 信号レベルは、送信終了後に次のアクセスが開始するまで保持されます。	R/W
11:8	—	読むと 0 が読めます。 書く場合、0 としてください。	R
12	LSBF	SPI LSB ファースト 0: MSB ファースト 1: LSB ファースト	R/W
13	SPNDEN	SPI 次アクセス遅延許可 0: 次アクセス遅延は 1RSPCK + 5TCLK 1: 次アクセス遅延は SPI 次アクセス遅延レジスタ (SPDECR.SPNDL) の設定値	R/W
14	SLNDEN	SSL ネゲート遅延設定許可 0: [マスタ] SSL ネゲート遅延は 1RSPCK。 [TI-SSP のスレーブ] SSL ネゲート遅延は 1TCLK 1: SSL ネゲート遅延はスレーブ選択ネゲート遅延レジスタ（SPDECR.SLNDL）の設定値。	R/W
15	SCKDEN	RSPCK 遅延設定許可 [Motorola-SPI の場合] 0: RSPCK 遅延は 1 RSPCK。 1: RSPCK 遅延は RSPCK 遅延レジスタ (SPDECR.SCKDL) の設定値。 [TI-SSP の場合] 0: RSPCK 遅延は 0 RSPCK。 1: RSPCK 遅延は RSPCK 遅延レジスタ (SPDECR.SCKDL) の設定値。	R/W
20:16	SPB[4:0]	SPI データ長 0x00～0x02：設定禁止 0x03: 4 ビット 0x04: 5 ビット 0x05: 6 ビット ⋮ 0x1E: 31 ビット 0x1F: 32 ビット	R/W

ビット	シンボル	機能	R/W
23:21	—	読むと 0 が読めます。 書く場合、0 としてください。	R
26:24	SSLA[2:0]	SSL 信号アサート 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 その他: 設定禁止	R/W
31:27	—	読むと 0 が読めます。 書く場合、0 としてください。	R

SPI には、マスタモードの SPI に対して転送フォーマットを設定するために使用される 8 つの SPI コマンドレジスタ（SPCMD0～SPCMD7）があります。さらに、SPCMD0 の一部のビットは、スレーブモードの SPI に対して転送フォーマットを設定するために使用されます。マスタモードの SPI は、SPI コントロールレジスタ 3 (SPCR3) の SPSLN[2:0]ビットの設定に従って、SPCMD0 から SPCMD7 をシーケンシャルに参照し、参照した SPCMD に指定されているシリアル転送を実行します。

送信バッファがエンプティのとき（次の転送データが設定されていないとき）、SPI は SPCMD を参照することによって送信されるデータを設定する前に SPCMD レジスタを設定します。

マスタモードの SPI によって参照される SPCMD は、SPI ステータスレジスタ (SPSR) の SPCP[2:0]ビットによって指定されます。スレーブモードで SPI が有効 (SPCR.SPE = 1) な状態で SPCMD0 が修正されると、その後の動作は保証されません。

CPHA ビット（RSPCK 位相）

このビットはマスタモード／スレーブモードの SPI の RSPCK 位相を設定するために使用されます。SPI モジュール間のデータ通信を実行するには、同じ RSPCK 位相を両方のモジュールに対して設定する必要があります。

SPCR.SPMS = 0 および SPCR.SPFRF = 1 の場合（TI SSP モード）、CPHA = 0 の設定は無効です。

CPOL ビット（RSPCK 極性）

このビットはマスタモード／スレーブモードの SPI の RSPCK 極性を設定するために使用されます。SPI モジュール間のデータ通信を実行するには、同じ RSPCK 極性を両方のモジュールに対して設定する必要があります。

BRDV[1:0]ビット（ビットレート分周）

このレジスタは、BRDV[1:0]ビットの設定値と SPI ビットレートレジスタ (SPCR3.SPBR) の組み合わせでビットレートを決定するために使用されます。設定した SPBR 値は、ベースとなるビットレートを決定します。設定された BRDV[1:0]ビット値は、分周なし、2 分周、4 分周、8 分周のベースのビットレートを選択するために使用されます。SPCMD0～SPCMD7 により、さまざまな BRDV[1:0]値の設定が有効です。これにより、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLKP ビット（SSL 信号レベル保持）

このビットは、マスタモードの SPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサーションタイミングの間、現コマンドの SSL 信号レベルを保持するか、ネゲートするかを設定するために使用されます。このビットを 1 に設定すると、SPI 動作マスタモードのバースト転送が可能になります。詳細は、「30.3.12.1. マスタモード動作」を参照してください。

SPI をスレーブモードで使用するためには、SSLKP ビットを 0 にしてください。

LSBF ビット（SPI LSB ファースト）

このビットは、マスタモード／スレーブモードの SPI のデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを設定するために使用されます。

SPNDEN ビット（SPI 次アクセス遅延許可）

このビットは、マスタモードの SPI がシリアル転送を終了して SSL 信号を非アクティブにしてから、次アクセスの SSL 信号アサートを可能にするまでの期間（次アクセス遅延）を設定するために使用されます。SPNDEN ビットが 0 のとき、SPI は次アクセス遅延を 1RSPCK + 5TCLK に設定します。SPNDEN ビットが 1 のとき、SPI は SPI 次アクセス遅延レジスタ (SPDECR.SPNDL) 設定に応じて次アクセス遅延を挿入します。

SPI をスレーブモードで使用するためには、SPNDEN ビットを 0 にしてください。

SLNDEN ビット（SSL ネゲート遅延設定許可）

[Motorola-SPI の場合]

このビットは、マスタモードの SPI が RSPCK の発振を停止してから SSL 信号を非アクティブにするまでの期間（SSL ネゲート遅延）を設定するために使用されます。SLNDEN ビットが 0 のとき、SPI は SSL ネゲート遅延を 1RSPCK に設定します。SLNDEN ビットが 1 のとき、SPI はスレーブ選択ネゲート遅延レジスタ (SPDECR.SLNDL) 設定に応じて、RSPCK 遅延で SSL 信号をネゲートします。

SPI をスレーブモードで使用するためには、SLNDEN ビットを 0 にしてください。

[TI-SSP の場合]

このビットは、マスタモード SPI が RSPCK の発振を停止してから OE 信号を非アクティブ化するまでの期間、またはスレーブモード SPI が RSPCK の最終エッジを検出してから OE 信号をネゲートするまでの期間を設定するために使用されます。SLNDEN ビットが 0 のとき、SSL ネゲート遅延はマスタモードでは 1RSPCK で、スレーブモードでは 1TCLK です。SLNDEN ビットが 1 のとき、SPI はスレーブ選択ネゲート遅延レジスタ (SPDECR.SLNDL) 設定に応じて、RSPCK 遅延で SSL 信号をネゲートします。

SPI を TI SSP 設定以外のスレーブモードで使用する場合は、SLNDEN ビットを 0 にしてください。

SCKDEN ビット（RSPCK 遅延設定許可）

[Motorola-SPI の場合]

このビットは、マスタモードの SPI が SSL 信号をアクティブにしてから、RSPCK を発振するまでの期間（RSPCK 遅延）を設定するために使用されます。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を 1RSPCK に設定します。SCKDEN ビットが 1 のとき、SPI は RSPCK 遅延レジスタ (SPDECR.SCKDL) 設定に応じて、RSPCK 遅延で RSPCK 発振を開始します。

SPI をスレーブモードで使用するためには、SCKDEN ビットを 0 にしてください。

[TI-SSP の場合]

このビットは、マスタモードの SPI によって、SSL 信号のアサートの開始から RSPCK 発振までの期間（RSPCK 遅延）、および SSL 信号のネゲートまでの期間を設定します。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を設定しません。SCKDEN ビットが 1 のとき、SPI は RSPCK 遅延レジスタ (SPDECR.SPCKDL) 設定に応じて、RSPCK 遅延で RSPCK 発振を開始します。

SPI をスレーブモードで使用するためには、SCKDEN ビットを 0 にしてください。

SPB[4:0]ビット（SPI データ長）

これらのビットはマスタモード／スレーブモードの SPI の転送データ長を設定するために使用されます。

SSLA[2:0]ビット（SSL 信号アサート）

これらのビットは、シリアル転送を実行するために、マスタモードで SPI の SSL 信号アサートを制御するために使用されます。設定された SSLA[2:0]ビット値は、SSL3 から SSL0 の信号のアサートを制御します。SSL 信号がアサートされたときの信号極性は、SPI スレーブ選択極性レジスタ (SPCR3.SSLiP) の設定値によって異なります。マルチマスタモードで SSLA[2:0]ビットを 000b にした場合、全 SSL 信号がネゲート状態でシリアル転送が実行されます（SSL0 端子が入力になるためです）。

SPI をスレーブモードで使用するためには、SSLA[2:0]を 000b にしてください。

30.2.7 SPDCR : SPI データコントロールレジスタ

Base address: SPI_Bn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SPFC[1:0]		—	—	—	SINV	SPRDTD	—	—	BYSW
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BYSW	バイトスワップ動作モード選択 0: バイトスワップ OFF 1: バイトスワップ ON	R/W
2:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
3	SPRDTD	SPI 受信データ／送信データ選択 0: SPDR が受信バッファを読み出し 1: SPDR が送信バッファを読み出し	R/W
4	SINV	シリアルデータ反転ビット 0: シリアルデータ反転なし 1: シリアルデータ反転あり	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R
9:8	SPFC[1:0]	フレーム数 0 0: 1 フレーム 0 1: 2 フレーム 1 0: 3 フレーム 1 1: 4 フレーム	R/W
31:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R

SPI データコントロールレジスタ (SPDCR) はデータフォーマットを制御します。

SPE ビットが 1 のときにこのレジスタ設定値を変更すると、その後の動作が保証されなくなります。

BYSW ビット（バイトスワップ動作モード選択）

本ビットは、送受信データのバイト単位スワップの設定をする設定ビットです。バイトスワップ後のデータは、指定のデータ長だけ異なります（SPCMD.SPB[4:0]の設定）。

バイトスワップ時、データ長（SPB[4:0]ビットの設定）は 32 ビットか 16 ビットでなければなりません。他のデータ長（すなわち 4～15、17～31 ビット長）のケースでは、バイトスワップ動作は保証されません。32 ビットまたは 16 ビットのデータ長でスワッピングを行った場合、その前後のデータ配列については「30.3.4.3. バイトスワップ送信」と「30.3.4.4. バイトスワップ受信」を参照してください。

パリティ機能を有効に設定すると、動作は保証されません。

SPRDTD ビット（SPI 受信データ／送信データ選択）

このビットは、受信バッファまたは送信バッファのどちらから SPI データレジスタ (SPDR) の値を読み出すかを選択するために使用します。

送信バッファから読み出す場合は、直前に SPDR に書き込まれた値が読み出されます。

SINV ビット（シリアルデータ反転ビット）

本ビットは、送信データと受信データの反転に使用します。

SINV ビットが 1 に設定されるとき、送信バッファ (SPTX) データは送信データと受信データを反転するために反転されます。それから、反転したデータを受信バッファに格納します。パリティビットは、反転した送受信データに対応した値になります。

SPFC[1:0]ビット（フレーム数）

スレーブ受信専用モードで CENDF フラグをセットする条件のために使用します。

CENDF フラグ設定条件の詳細については、「30.2.9. SPSR : SPI ステータスレジスタ」を参照してください。

このビットはスレーブ受信専用モード以外では無効です。

30.2.8 SPDCR2 : SPI データコントロールレジスタ 2

Base address: SPI_Bn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x44

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TTRG[1:0]		—	—	—	—	—	—	RTRG[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RTRG[1:0]	受信 FIFO スレッショルド設定 0 0: スレッショルド 0 0 1: スレッショルド 1 1 0: スレッショルド 2 1 1: スレッショルド 3	R/W
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R
9:8	TTRG[1:0]	送信 FIFO スレッショルド設定 0 0: スレッショルド 0 0 1: スレッショルド 1 1 0: スレッショルド 2 1 1: スレッショルド 3	R/W
31:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

SPI データコントロールレジスタ 2 (SPDCR2) は FIFO スレッショルドを制御します。SPE ビットが 1 のときにこのレジスタ設定値を変更すると、その後の動作は保証されません。

RTRG[1:0]ビット (受信 FIFO スレッショルド設定)

受信 FIFO のスレッショルドを設定します。

受信 FIFO に格納されたデータの数が RTRG[1:0]によって設定されたフレーム数より大きい場合は、受信バッファフルフラグがセットされます。

TTRG[1:0]ビット (送信 FIFO スレッショルド設定)

送信 FIFO のスレッショルドを設定します。

送信 FIFO 内の空の段数が TTRG[1:0]に設定されたフレーム数より大きい場合は、送信バッファエンプティフラグがセットされます。

30.2.9 SPSR : SPI ステータスレジスタ

Base address: SPI_Bn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x50

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SPRF	CENDF	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF	SPDRF	—	—	—	—	—	—	—
Value after reset:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	SPECM[2:0]			—	SPCP[2:0]			—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R
10:8	SPCP[2:0]	SPI コマンドポインタ 0 0 0: SPCMD0 0 0 1: SPCMD1 0 1 0: SPCMD2 0 1 1: SPCMD3 1 0 0: SPCMD4 1 0 1: SPCMD5 1 1 0: SPCMD6 1 1 1: SPCMD7	R
11	—	読むと 0 が読めます。 書く場合、0 としてください。	R
14:12	SPECM[2:0]	SPI エラーコマンド 0 0 0: SPCMD0 0 0 1: SPCMD1 0 1 0: SPCMD2 0 1 1: SPCMD3 1 0 0: SPCMD4 1 0 1: SPCMD5 1 1 0: SPCMD6 1 1 1: SPCMD7	R
22:15	—	読むと 0 が読めます。 書く場合、0 としてください。	R
23	SPDRF	SPI 受信データレディフラグ 0: 受信データレディ未検出 1: 受信データレディ検出	R
24	OVRF	オーバーランエラーフラグ 0: オーバーランエラーはない。 1: オーバーランエラーがある。	R
25	IDLNF	SPI アイドルフラグ 0: SPI がアイドル状態 1: SPI が転送状態	R
26	MODF	モードフォルトエラーフラグ 0: モードフォルトエラーもアンダーランエラーもない。 1: モードフォルトエラーまたはアンダーランエラーがある。	R
27	PERF	パリティエラーフラグ 0: パリティエラーはない。 1: パリティエラーがある。	R
28	UDRF	アンダーランエラーフラグ 本ビットは、MODF フラグとの組み合わせでエラーステータスを示します。 0: MODF=0 のときは、モードフォルトエラーもアンダーランエラーもない。 MODF=1 のときは、モードフォルトエラーがある。 1: MODF=0 のときは、モードフォルトエラーもアンダーランエラーもない。 MODF=1 のときは、アンダーランエラーがある。	R

ビット	シンボル	機能	R/W
29	SPTEF	SPI 送信バッファエンプティフラグ 0: 送信 FIFO 内の空の段数 ≤ SPDCR2.TTRG に設定された値 1: 送信 FIFO 内の空の段数 > SPDCR2.TTRG に設定された値	R
30	CENDF	通信終了フラグ 0: SPI は通信をしていない、または通信中 1: SPI 通信は終了している	R
31	SPRF	SPI 受信バッファフルフラグ 0: 受信 FFO 内に格納されているデータ数 ≤ SPDCR2.RTRG ビットにより設定されたフレーム数。 1: 受信 FFO 内に格納されているデータ数 > SPDCR2.RTRG ビットにより設定されたフレーム数。	R

SPI ステータスレジスタ (SPSR) は、SPI の動作ステータスを示すフラグを格納します。

SPCP[2:0]ビット（SPI コマンドポインタ）

これらのビットは、SPI シーケンス制御の最新ポインタによって示される SPI コマンドレジスタ 0～7（SPCMD0～SPCMD7）を示します。SPI シーケンス制御の詳細については、「30.3.13.1. マスタモード動作」を参照してください。

SPECM[2:0]ビット（SPI エラーコマンド）

これらのビットは、SPI シーケンス制御でエラーが検出されたときに SPI シーケンス制御のコマンドポインタ（SPCP[2:0]ビット）によって示される、SPI コマンドレジスタ 0～7（SPCMD0～SPCMD7）を示します。SPI は、エラー検出時にのみ SPECM[2:0]ビットの値を更新します。エラーがないときは（SPSR の OVRF、MODF、および PERF フラグが 0）、SPECM[2:0]ビットの値に意味はありません。SPI のエラー検出機能については、「30.3.10. エラー検出」を参照してください。SPI のシーケンス制御については、「30.3.13.1. マスタモード動作」を参照してください。

SPDRF ビット（SPI 受信データレディフラグ）

通信時に (SPCR.SPE = 1)、「受信 FIFO 内のデータ数 ≦ 受信 FIFO 閾値」の状態で一定の時間が経過したことを示します。

受信動作が行われないときは (SPCR.TXMD[1:0] = 01b)、このビットが 0 に設定されます。

[1 になる条件]

次の 2 つの条件がすべて満たされたとき

- SPCR2.SPDRC[7:0] ≠ 0x00
- 受信 FIFO への書き込み後に、「受信 FIFO に格納されたデータ数 ≦ 受信 FIFO 閾値」の条件が満たされ、かつ SPDRC[7:0]に設定された値が経過したとき

[0 になる条件]

- SPSRC.SPDRFC ビットに 1 を書き込んだとき

OVRF ビット（オーバーランエラーフラグ）

本フラグは、オーバーランエラーの有無を示します。マスタモード (SPCR.MSTR = 1) で RSPCK クロック自動停止機能が有効になっている場合 (SPCR.SCKASE = 1) オーバーランエラーは発生しないので、このフラグが 1 になることはありません。詳細は、「30.3.10.1. オーバーランエラー」を参照してください。

[1 になる条件]

次の 2 つの条件のいずれかにおいて、FIFO 段数に対応するデータが受信 FIFO に格納された状態で、シリアル転送が完了したとき

- SPCR.TXMD[1:0] = 00b（送受信モード）
- SPCR.TXMD[1:0] = 10b（受信専用）

[0 になる条件]

- SPSRC.OVRFC ビットに 1 を書き込んだとき

IDLNF ビット（SPI アイドルフラグ）

本フラグは SPI の転送状況を示します。

[1 になる条件]

[送受信、送信専用マスタモード]

- 以下に示す 0 になる条件（送受信または送信専用マスタモード）のいずれも満たさない。

[受信専用マスタモード]

- SPCR2 の RMSTTG に 1 を書き込んだとき

[スレーブモード]

- SPCR.SPE ビットが 1（SPI 機能が有効）

[0 になる条件]

通信ステータス：1-(1) ～ (6) *通信ステータスの詳細については表 30.4 を参照してください。

[送受信、送信専用マスタモード]

以下の 2 つの条件のいずれかを満たしたとき

- SPCR.SPE ビットが 0（SPI 初期化）
- 以下の 3 つの条件をすべて満たしたとき
  - 次の転送データが送信バッファ内にセットされていないとき（SPTXn、n = 0～3）
  - SPSR.SPCP ビットが 000b（シーケンス制御開始時）
  - 次のアクセス遅延までに動作が完了したとき（マスタメインステートマシンがアイドル状態に遷移したとき）

[受信専用マスタモード]

通信ステータス：1-(7) ～ (9)

以下の 2 つの条件のいずれかを満たしたとき

- SPCR.SPE ビットが 0（SPI 初期化）
- 以下の 3 つの条件のいずれかを満たしたとき
  RMFM[4:0] = 0x0 のとき、RMEDTG に 1 を書き込んだ後、次のアクセス遅延までに動作が完了した（マスタメインステートマシンがアイドル状態に遷移した）
  RMFM[4:0] ≠ 0x0 のとき、RMEDTG に 1 を書き込んだ後、次のアクセス遅延までに動作が完了した（マスタメインステートマシンがアイドル状態に遷移した）
  RMFM[4:0] ≠ 0x0 のとき、RMFM[4:0]に設定された受信フレーム数について処理が完了した後、次のアクセス遅延までに動作が完了した（マスタメインステートマシンがアイドル状態に遷移した）

[スレーブモード]

通信ステータス：0-(1) ～ (9)

- SPCR.SPE ビットが 0（SPI 初期化）

MODF ビット（モードフォルトエラーフラグ）

本フラグは、モードフォルトエラーまたはアンダーランエラーの有無を示します。UDRF フラグを確認すれば、どのエラー（モードフォルトエラーまたはアンダーランエラー）が発生したのかが分かります。

[1 になる条件]

[マルチマスタモード]

- SPCR.MSTR = 1（マスタモード）で SPCR.MODFEN = 1（モードフォルトエラー検出許可）のときに SSL0 端子の入力レベルがアクティブレベルになり、その後に SPI がモードフォルトエラーを検出した場合

[スレーブ、Motorola-SPI モード]

以下の 2 つの条件のいずれかを満たしたとき

- SPCR.MSTR = 0（スレーブモード）、SPCR.SPFRF = 0 (Motorola-SPI)、SPCR.MODFEN = 1（モードフォルトエラー検出許可）の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSL0 端子がネゲートされ、その後に SPI がモードフォルトエラーを検出した場合
- SPCR.SPE = 1（SPI 機能が有効）の状態で、送信データ出力がレディ状態になる前にシリアル転送が開始され、その後に SPI がアンダーランエラーを検出した場合

[スレーブ、TI-SSP モード]

以下の 2 つの条件のいずれかを満たしたとき

- SPCR.MSTR = 0（スレーブモード）、SPCR.SPFRF = 1 (TI-SSP)、SPCR.MODFEN = 1（モードフォルトエラー検出許可）の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSL0 端子がアサートされ、その後に SPI がモードフォルトエラーを検出した場合
- SPCR.SPE = 1（SPI 機能が有効）の状態で、送信データ出力がレディ状態になる前にシリアル転送が開始され、その後に SPI がアンダーランエラーを検出した場合

SSL 信号のアクティブレベルは、SPCR3.SSLiP ビット（SSL 信号極性ビット）によって異なります。

[0 になる条件]

- SPSRC.MODFC ビットに 1 を書き込んだとき

PERF ビット（パリティエラーフラグ）

本フラグは、パリティエラーの有無を示します。

[1 になる条件]

次の 2 つの条件うちのいずれかにおいて、SPCR.SPPE ビットが 1 に設定された状態でシリアル転送が終了して、パリティエラーが検出されたとき

- SPCR.TXMD[1:0] = 00b（送受信マスタモードまたは送受信スレーブモード）
- SPCR.TXMD[1:0] = 10b（受信専用マスタモードまたは受信専用スレーブモード）

[0 になる条件]

- SPSRC.PERFC ビットに 1 を書き込んだとき

UDRF ビット（アンダーランエラーフラグ）

本フラグは、モードフォルトエラーまたはアンダーランエラーがあることを示します。

[1 になる条件]

- SPCR.MSTR = 0、SPCR.TXMD[1:0] = 00b または 01b（送受信スレーブモードまたは送信専用スレーブモード）、および SPCR.SPE = 1（SPI 機能有効）の状態で送信データ出力がレディ状態になる前にシリアル転送が開始され、その後に SPI がアンダーランエラーを検出した場合

[0 になる条件]

- SPSRC.UDRFC ビットに 1 を書き込んだとき

SPTEF ビット（SPI 送信バッファエンプティフラグ）

本フラグは、SPI データレジスタ (SPDR) の送信バッファ (SPTX) のステータスを示します。

[1 になる条件]

以下の 3 つの条件のいずれかを満たしたとき

- SPE ビットを 0 にしたとき（SPI 初期化）
- 「エンプティの送信 FIFO 段数 > SPDCR2.TTRG[1:0]の設定値」のとき
- SPFCR.SPFRST に 1 を書き込んだとき

[0 になる条件]

以下の 2 つの条件のいずれかを満たしたとき

- DTC/DMAC を使い 1 つの処理ルーチンで転送データを SPDR（SPTXn、n = 0～3）へ書き込む際の最終アクセス時
- SPSRC.SPTEFC ビットに 1 を書き込んだとき

SPDR レジスタへ値を書き込むことができるのは、SPTEF フラグ = 1 の場合に限られます。SPTEF フラグ = 0 のときに SPDR レジスタに値を書き込んだ場合、送信バッファデータは更新されません。

CENDF ビット（通信終了フラグ）

本フラグは、SPI の通信終了ステータスを示します。通信終了時に 1 となり、次の通信開始時に 0 となります。

[1 になる条件]

送受信／送信専用マスタモード

通信ステータス：1-(1) ～ (6) *通信ステータスの詳細については表 30.4 を参照してください。

以下の 3 つの条件を満たしたとき

- 次の転送データが送信バッファ（SPTXn、n = 0～3）内にセットされていない
- SPSR.SPCP[2:0]ビットが 000b（シーケンス制御の先頭を意味する）
- 次のアクセス遅延までの動作が完了しているとき（マスタメインステートマシンがアイドル状態に遷移した）

受信専用マスタモード

通信ステータス：1-(7) ～ (9)

以下の 3 つの条件のいずれかを満たしたとき

- RMFM[4:0] = 0x0 のとき、RMEDTG に 1 を書き込んだ後、次のアクセス遅延までに動作が完了した（マスタメインステートマシンがアイドル状態に遷移した）
- RMFM[4:0] ≠ 0x0 のとき、RMEDTG に 1 を書き込んだ後、次のアクセス遅延までに動作が完了した（マスタメインステートマシンがアイドル状態に遷移した）
- RMFM[4:0] ≠ 0x0 のとき、RMFM[4:0]に設定された受信フレーム数について処理が完了した後、次のアクセス遅延までに動作が完了した（マスタメインステートマシンがアイドル状態に遷移した）

SPI シリアル通信時の送受信／送信専用スレーブ Motorola-SPI モード（4 線式：SPCR.SPMS ビット = 0）

通信ステータス：0-(1), (4)

以下 3 つの条件を満たしたとき

- 次の転送データが送信バッファ内にセットされていない
- 送信シフトレジスタがエンプティである（SPI がシリアル転送をしないことを意味する）
- SSL0 がネゲートされた

SPI シリアル通信時の送受信／送信専用スレーブ TI-SSP モード（4 線式：SPCR.SPMS ビットが 0）

通信ステータス：0-(2), (5)

以下 3 つの条件を満たしたとき

- 次の転送データが送信バッファ内にセットされていない
- 送信シフトレジスタがエンプティである（SPI がシリアル転送をしないことを意味する）
- SSL ネゲート遅延が終了したとき

クロック同期モード時の送受信／送信のみスレーブモード（3 線式：SPCR.SPMS ビットが 1）

通信ステータス：0-(3), (6)

以下 3 つの条件を満たしたとき

- 次の転送データが送信バッファ内にセットされていない
- 送信シフトレジスタがエンプティである（SPI がシリアル転送をしないことを意味する）
- フレームの RSPCK の最終偶数エッジを検出した（SPCMD.CPHA ビットが 1 のとき）

SPI シリアル通信時の受信専用スレーブ Motorola-SPI モード（4 線式：SPCR.SPMS ビットが 0）

通信ステータス：0-(7)

以下の条件を満たしたとき

- 受信バッファ内の SPDCR.SPFC 設定値用フレームを取得後に SSL0 入力がネゲートされた。

SPI シリアル通信時の受信専用スレーブ TI-SSP モード（4 線式：SPCR.SPMS ビットが 0）

通信ステータス：0-(8)

以下の条件を満たしたとき

- 受信バッファ内の SPDCR.SPFC 設定値用フレームを取得後に SSL0 ネゲート遅延が終了した。

クロック同期時の受信専用スレーブモード（3 線式：SPCR.SPMS ビットが 1）

通信ステータス：0-(9)

以下の条件を満たしたとき

- SPFC 用に受信した最終フレームの RSPCK の最終偶数エッジが値を設定。（SPCMD.CPHA ビットが 1 のとき）

[0 になる条件]

送受信／送信専用マスタモード

通信ステータス：1-(1) ～ (6)

以下の 2 つの条件のいずれかを満たしたとき

- 次の送信データが送信バッファ (SPTX) に書かれたとき
- SPSRC.CENDFC ビットに 1 を書き込んだとき

受信専用マスタモード

通信ステータス：1-(7) ～ (9)

以下の 2 つの条件のいずれかを満たしたとき

- SPE = 1 の状態で SPCR2.RMSTTG ビットに 1 を書き込んだとき
- SPSRC.CENDFC ビットに 1 を書き込んだとき

送受信／送信専用スレーブモード

通信ステータス：0-(1) ～ (6)

以下のいずれかの条件を満たしたとき

- 次の送信データが送信バッファ (SPTX) に書かれたとき
- SPSRC.CENDFC ビットに 1 を書き込んだとき

SPI シリアル通信時の受信専用スレーブモード（4 線式：SPCR.SPMS ビットが 0）

通信ステータス：0-(7) ～ (8)

以下のいずれかの条件を満たしたとき

- 次のデータの SSL0 アサートを検出した。
- SPSRC.CENDFC ビットに 1 を書き込んだとき

クロック同期時の受信専用スレーブモード（3 線式：SPCR.SPMS ビットが 1）

通信ステータス：0-(9)

以下のいずれかの条件を満たしたとき

- 次のデータの RSPCK の最初のエッジを検出した。
- SPSRC.CENDFC ビットに 1 を書き込んだとき

SPRF ビット（SPI 受信バッファフルフラグ）

本フラグは、SPI データレジスタ (SPDR) の受信バッファ (SPRX) のステータスを示します。

[1 になる条件]

送受信モード、受信専用モードで「受信 FIFO に格納されたデータ数 > SPDCR2.RTRG[1:0]ビットで設定されたフレーム数」のとき。ただし、OVRF フラグが 1 の場合、SPRF フラグは 0 から 1 に変更されません。（「30.3.10. エラー検出」を参照してください。）

[0 になる条件]

以下の 3 つの条件のいずれかを満たしたとき

- DTC/DMAC を使い 1 つの処理ルーチンで読み出しデータを SPDR（SPTXn、n = 0～3）から読み出す際の最終アクセス時
- SPSRC.SPRFC ビットに 1 を書き込んだとき
- SPFCR.SPFRST ビットに 1 を書き込んだとき

30.2.10 SPTFSR : SPI 転送 FIFO ステータスレジスタ

Base address: SPI_Bn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x58

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	TFDN[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
2:0	TFDN[2:0]	送信 FIFO データの空の段数 0 0 0: 空の段数は 0 ⋮ 1 0 0: 空の段数は 4	R
31:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R

TFDN[2:0]ビット（送信 FIFO データの空の段数）

空の送信 FIFO 段数を表示します。SPCR.SPE ビットをクリアすることにより、リセット後に TFDN[2:0]が初期値（すべてエンプティ）になります。

30.2.11 SPRFSR : SPI 受信 FIFO ステータスレジスタ

Base address: SPI_Bn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x5C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	RFDN[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
2:0	RFDN[2:0]	受信 FIFO データ格納段数 0 0 0: 格納段 0 の数 ⋮ 1 0 0: 格納段 4 の数	R
31:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R

RFDN[2:0]ビット（受信 FIFO データ格納段数）

格納受信 FIFO 段数を表示します。RFDN [2:0]は SPCR.SPE ビットのクリアによってクリアされます。

30.2.12 SPPSR : SPI ポーリングレジスタ

Base address: SPI_Bn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x60

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPEPS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPEPS	SPI ポーリングステータス 0: SPCR.SPE が 0 1 : SPCR.SPE が 1	R
31:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R

SPEPS ビット（SPI ポーリングステータス）

同期バイパス機能の有効／無効を選択します。このビットは、バスクロック (PCLK) および動作クロック (TCLK) に同じクロックが入力された場合のみ、同期化回路をバイパスするために使用できます。

30.2.13 SPSRC : SPI ステータスクリアレジスタ

Base address: SPI_Bn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x68

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SPRFC	CENDFC	SPTEFC	UDRFC	PERFC	MODFC	—	OVRFC	SPDRFC	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
22:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R
23	SPDRFC	SPI 受信データレディフラグのクリア SPI 受信データレディフラグは、1 を書き込むことによってクリアできます。読み出し時は 0 が読み出されます。	W

ビット	シンボル	機能	R/W
24	OVRFC	オーバーランエラーフラグのクリア オーバーランエラーフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W
25	—	読むと 0 が読めます。 書く場合、0 としてください。	R
26	MODFC	モードフォルトエラーフラグのクリア モードフォルトエラーフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W(注1)
27	PERFC	パリティエラーフラグのクリア パリティエラーフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W
28	UDRFC	アンダーランエラーフラグのクリア アンダーランエラーフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W(注2)
29	SPTEFC	SPI 送信バッファエンプティフラグのクリア SPI 送信バッファエンプティフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W
30	CENDFC	通信終了フラグのクリア 通信終了フラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W
31	SPRFC	SPI 受信バッファフルフラグのクリア SPI 受信バッファフルフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W

注 1. MODFC と UDRFC を設定する前に、SPSR.MODF と UDRF が 1 に設定されていることを確認してください。
注 2. UDRF フラグをクリアするときは、同時に MODF フラグをクリアしてください (MODFC = 1)。

SPI ステータスクリアレジスタ (SPSRC) は、SPI の動作ステータスを示すステータスフラグ (SPSR) をクリアするレジスタです。

30.2.14 SPFCR : SPI FIFO クリアレジスタ

Base address: SPI_Bn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x6C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPFRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPFRST	SPI FIFO クリア 1 を書き込むことによって、FIFO のポインタおよび格納されたデータが初期化されます。 読み出し値は常に 0 です。	W
31:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R

FIFO クリアレジスタ (SPFCR) は、FIFO をクリアするために使用されます。

SPI コントロールレジスタ (SPCR) の SPE ビットが 1 のときに SPFCR を書き換えた場合、その後の動作は保証されません。

SPFRST ビット（SPI FIFO クリア）

送信／受信 FIFO のポインタと格納されたデータを、1 を書き込むことによって初期化します。

30.3 動作説明

本節では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

30.3.1 SPI 動作の概要

SPI は、下記のモードでの同期式シリアル転送が可能です。

- スレーブモード（SPI 動作）
- シングルマスタモード（SPI 動作）
- マルチマスタモード（SPI 動作）
- スレーブモード（クロック同期式動作）
- マスタモード（クロック同期式動作）

SPI のモードは、SPCR.MSTR, SPCR.MODFEN, SPCR.SPMS, SPCR.SPFRF ビットで選択できます。表 30.6 に、SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要を示します。

表 30.6 SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要 (1/2)

モード	スレーブ（SPI 動作）	シングルマスタ（SPI 動作）	マルチマスタ（SPI 動作）	スレーブ（クロック同期式動作）	マスタ（クロック同期式動作）
MSTR ビット設定値	0	1	1	0	1
MODFEN ビット設定値	0 または 1	0	1	0	0
SPMS ビット設定値	0	0	0	1	1
SPFRF ビット設定値	有効	有効	有効	無効	無効
RSPCKn 端子	入力	出力	出力／Hi-Z	入力	出力
MOSIn 端子	入力	出力	出力／Hi-Z	入力	出力
MISOn 端子	出力／Hi-Z	入力	入力	出力	入力
SSLn0 端子	入力	出力	入力	Hi-Z(注1)	Hi-Z(注1)
SSLn1～SSLn3 端子	Hi-Z(注1)	出力	出力／Hi-Z	Hi-Z(注1)	Hi-Z(注1)
SSL 極性変更機能	あり	あり	あり	—	—
最大転送速度	TCLK/2	TCLK/2	TCLK/2	TCLK/2	TCLK/2
クロックソース	RSPCK 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK 入力	内蔵ボーレートジェネレータ
クロック極性	2 種				
クロック位相	2 種(注6)	2 種(注6)	2 種(注6)	1 種 (CPHA = 1)	2 種
転送データ長	4～32 ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0, 1)	可能 (CPHA = 0, 1)	—	—
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし(注7)	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送トリガ	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファ書き込み (SPTEF = 1)	送信バッファエンプティ割り込み要求発生で送信バッファ書き込み (SPTEF = 1)	RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファ書き込み (SPTEF = 1)
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ検出	あり(注5)				
受信バッファフル検出	あり(注2)				
オーバーランエラー検出	あり(注2)	あり(注2) (注4)	あり(注2) (注4)	あり(注2)	あり(注2)

表 30.6 SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要 (2/2)

モード	スレーブ（SPI 動作）	シングルマスタ（SPI 動作）	マルチマスタ（SPI 動作）	スレーブ（クロック同期式動作）	マスタ（クロック同期式動作）
パリティエラー検出	あり(注3) (注2)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし
アンダーランエラー検出	あり(注5)	なし	なし	あり(注5)	なし

注 1. この機能は本モードでは使用しません。
注 2. SPI が送信マスタモードまたは送信スレーブモードのときは（表 30.4 参照）、受信バッファフル検出、オーバーランエラー検出、パリティエラー検出を行いません。
注 3. SPCR.SPPE ビットが 0 のときは、パリティエラー検出を行いません。
注 4. SPCR.SCKASE ビットが 1 のときは、オーバーランエラー検出を行いません。
注 5. 受信スレーブモード時は、送信バッファエンプティ検出、アンダーランエラー検出を行いません。
注 6. TI SSP モードでは CPHA = 0 は無効です。（設定されている場合の動作は、CPHA = 1 のときと同じです。）
注 7. TI SSP モードでのみサポートされます。

30.3.2 SPI 端子の制御

SPI は、SPCR.MSTR、SPCR.MODFEN、SPCR.SPMS ビットの設定と入出力ポートの PmnPFS.NCODR ビットの設定に基づき、端子の状態を切り替えます。端子状態と各ビットの設定値との関係を表 30.7 に示します。入出力ポートの PmnPFS.NCODR ビットの設定値を 0 にすると、CMOS 出力となります。設定値を 1 にするとオープンドレイン出力となります。入出力ポートの設定も同じとなるよう設定してください。

表 30.7 端子状態とビット設定値の関係 (1/2)

モード	端子	端子状態(注2)	
		入出力ポートの PmnPFS.NCODR = 0	入出力ポートの PmnPFS.NCODR = 1
シングルマスタモード（SPI 動作） (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKn	CMOS 出力	オープンドレイン出力
	SSLn0～SSLn3	CMOS 出力	オープンドレイン出力
	MOSIn	CMOS 出力	オープンドレイン出力
	MISOn	入力	入力
マルチマスタモード（SPI 動作） (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKn(注3)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	SSLn0	入力	入力
	SSLn1～SSLn3(注3)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	MOSIn(注3)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	MISOn	入力	入力
スレーブモード（SPI 動作） (MSTR = 0, SPMS = 0)	RSPCKn	入力	入力
	SSLn0	入力	入力
	SSLn1～SSLn3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIn	入力	入力
	MISOn(注4)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
マスタモード （クロック同期式動作） (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKn	CMOS 出力	オープンドレイン出力
	SSLn0～SSLn3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIn	CMOS 出力	オープンドレイン出力
	MISOn	入力	入力
スレーブモード （クロック同期式動作） (MSTR = 0, SPMS = 1)	RSPCKn	入力	入力

表 30.7　端子状態とビット設定値の関係 (2/2)

モード	端子	端子状態(注2)	
		入出力ポートの PmnPFS.NCODR = 0	入出力ポートの PmnPFS.NCODR = 1
	SSLn0～SSLn3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIn	入力	入力
	MISOn	CMOS 出力	オープンドレイン出力

注 1.　この機能は本モードでは使用しません。
注 2.　SPI 機能が選択されていない兼用端子には、SPI の設定値は反映されません。
注 3.　Motorola-SPI: SSLn0 がアクティブレベルの場合、端子の状態は Hi-Z になります。入力信号がアクティブレベルかどうかは、SPCR3.SSL0P ビットの値で決まります。
TI-SSP: SSL0 がアクティブレベルになってから通信が完了するまで、SPCR.SPE = 1 の条件において、端子の状態は Hi-Z になります。
注 4.　Motorola-SPI : SSLn0 が非アクティブレベルまたは SPCR.SPE ビットが 0 の場合、端子の状態は Hi-Z になります。入力信号がアクティブレベルかどうかは、SPCR3.SSL0P ビットの値で決まります。
TI-SSP: SSL0 が通信期間以外の場合または SPCR.SPE ビットが 0（SPE = 1 の後のアサートから通信完了）の場合、端子の状態は Hi-Z になります。
注 5.　これらの端子は入出力ポート端子として使用できます。

シングルマスタモード（SPI 動作）またはマルチマスタモード（SPI 動作）の SPI は、SPCR2 レジスタの MOIFE ビットと MOIFV ビットの設定値に基づいて、SSL ネゲート期間（バースト転送中の SSL 保持期間を含む）の MOSI 信号値を表 30.8 のように決定します。

表 30.8　SSL ネゲート期間の MOSI 端子の信号値の決定方法

SPPCR.MOIFE ビット	SPPCR.MOIFV ビット	SSL ネゲート期間の MOSIn 信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

30.3.3　SPI システム構成例

この構成例は SSL0n 信号の 0 レベルがアクティブレベルであることを説明します。

マルチスレーブモードまたはマルチマスタモードに接続して使用する場合、接続デバイスの転送フォーマットは Motorola-SPI または TI-SSP のいずれかに統一してください。

30.3.3.1　シングルマスタとシングルスレーブ（MCU はマスタ）

図 30.6 に、MCU がマスタである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。シングルマスタとシングルスレーブ構成では、MCU（マスタ）の SSLni 出力は使用されません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブの選択状態を維持します。(注1)

注 1.　SPCMDm.CPHA ビットが 0 の場合に使用する転送フォーマットでは、SSL 端子へ入力される信号をアクティブレベルに固定することができないスレーブデバイスも存在します。このような場合は、本 MCU の SSLni 出力をスレーブデバイスの SSL 入力に接続してください。

MCU（マスタ）は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

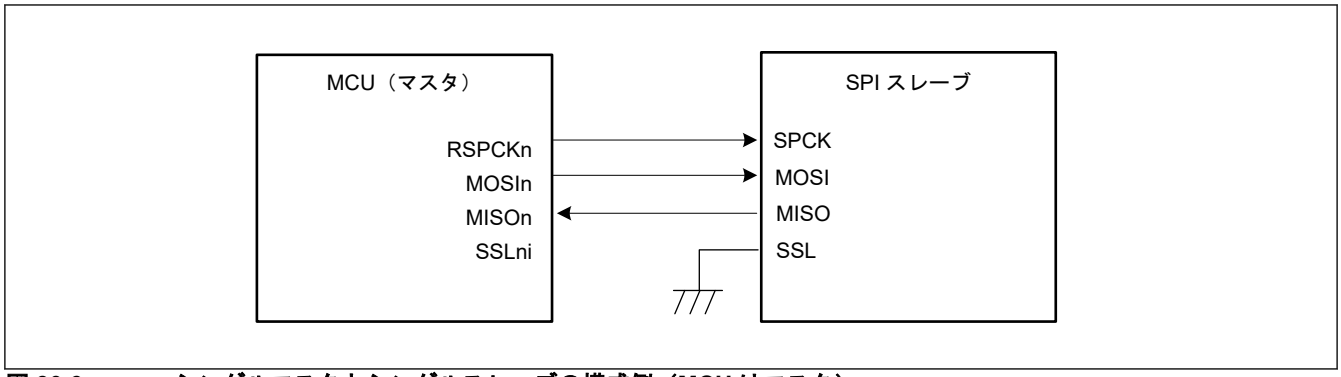


図 30.6　シングルマスタとシングルスレーブの構成例（MCU はマスタ）

30.3.3.2　シングルマスタとシングルスレーブ（MCU はスレーブ）

図 30.7 に、MCU をスレーブとして使用する場合のシングルマスタ／シングルスレーブの SPI システム構成例を示します。MCU がスレーブとして動作する場合は、SSLn0 端子は SSL 入力として使用されます。SPI マスタは、RSPCK および MOSI 信号をドライブします。MCU（スレーブ）は、MISOn 信号をドライブします。(注1)

注 1.　SSLn0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

SPCMDm.CPHA ビットを 1 にし、SPCR.SPFRF ビットを 0 にし、SPCR.SPMS ビットを 0 にしたシングルスレーブ構成の場合には、MCU（スレーブ）の SSLn0 入力を Low に固定して、MCU（スレーブ）は選択状態を維持します。これにより、シリアル転送を実行することも可能です（図 30.8）。ただし、SSL0 入力が図 30.8 に固定される場合、通信終了割り込みは出力されません。

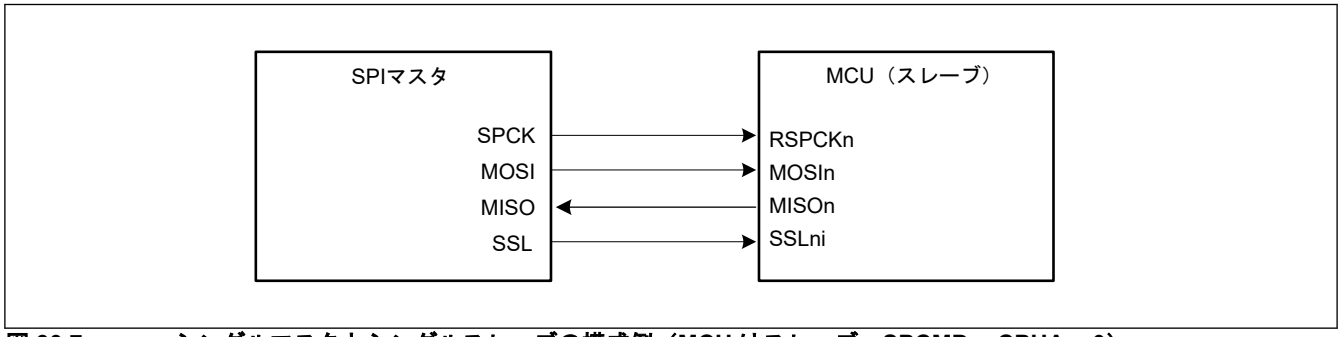


図 30.7　シングルマスタとシングルスレーブの構成例（MCU はスレーブ、SPCMDm.CPHA = 0）

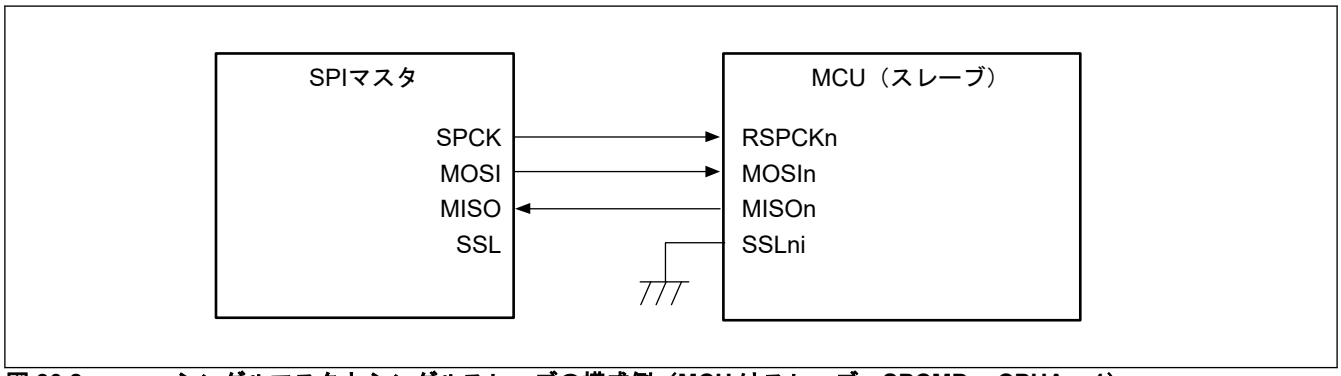


図 30.8　シングルマスタとシングルスレーブの構成例（MCU はスレーブ、SPCMDm.CPHA = 1）

30.3.3.3　シングルマスタとマルチスレーブ（MCU はマスタ）

図 30.9 に、MCU がマスタである場合のシングルマスタとマルチスレーブの SPI システム構成例を示します。この例では、MCU（マスタ）と 4 つのスレーブ（SPI スレーブ 0～SPI スレーブ 3）から SPI システムを構成しています。

MCU（マスタ）の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 0～SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0～SPI スレーブ 3 の MISO 出力は、すべて MCU（マスタ）の MISOn 入力に接続し

ます。MCU（マスタ）の SSLn0～SSLn3 出力は、それぞれ SPI スレーブ 0～SPI スレーブ 3 の SSL 入力に接続します。

MCU（マスタ）は、RSPCKn、MOSIn、SSLn0～SSLn3 信号をドライブします。SPI スレーブ 0～SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

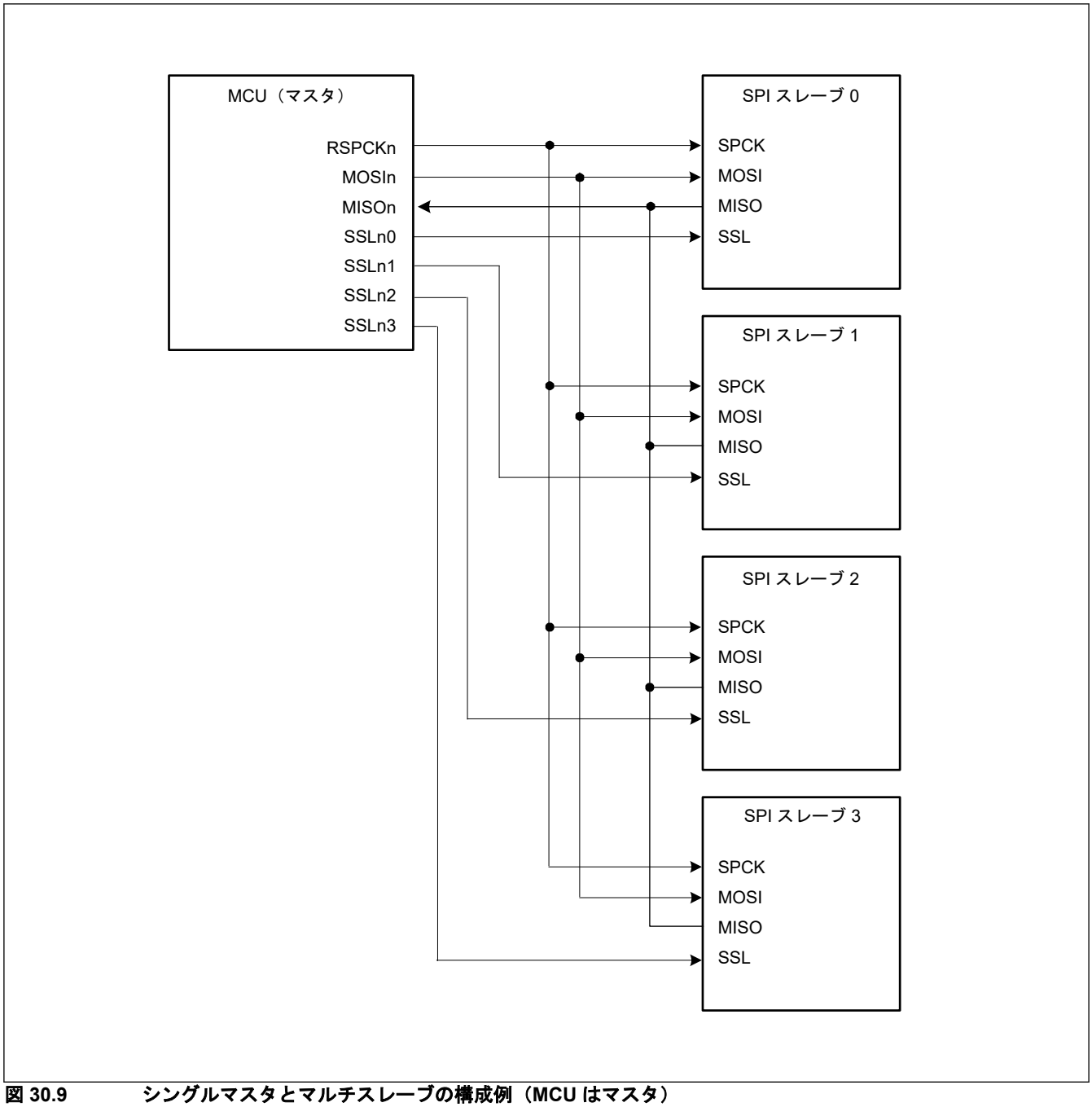


図 30.9　シングルマスタとマルチスレーブの構成例（MCU はマスタ）

30.3.3.4　シングルマスタとマルチスレーブ（MCU はスレーブ）

図 30.10 に、MCU がスレーブである場合のシングルマスタ／マルチスレーブの SPI システム構成例を示します。この例では、SPI マスタと 2 つの MCU（スレーブ X、スレーブ Y）から SPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、MCU（スレーブ X、スレーブ Y）の RSPCKn 入力と MOSIn 入力に接続します。MCU（スレーブ X、スレーブ Y）の MISOn 出力は、すべて SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、それぞれ MCU（スレーブ X、スレーブ Y）の SSLn0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。MCU（スレーブ X、スレーブ Y）のうち、SSLn0 入力に Low を入力されているスレーブが、MISOn をドライブします。

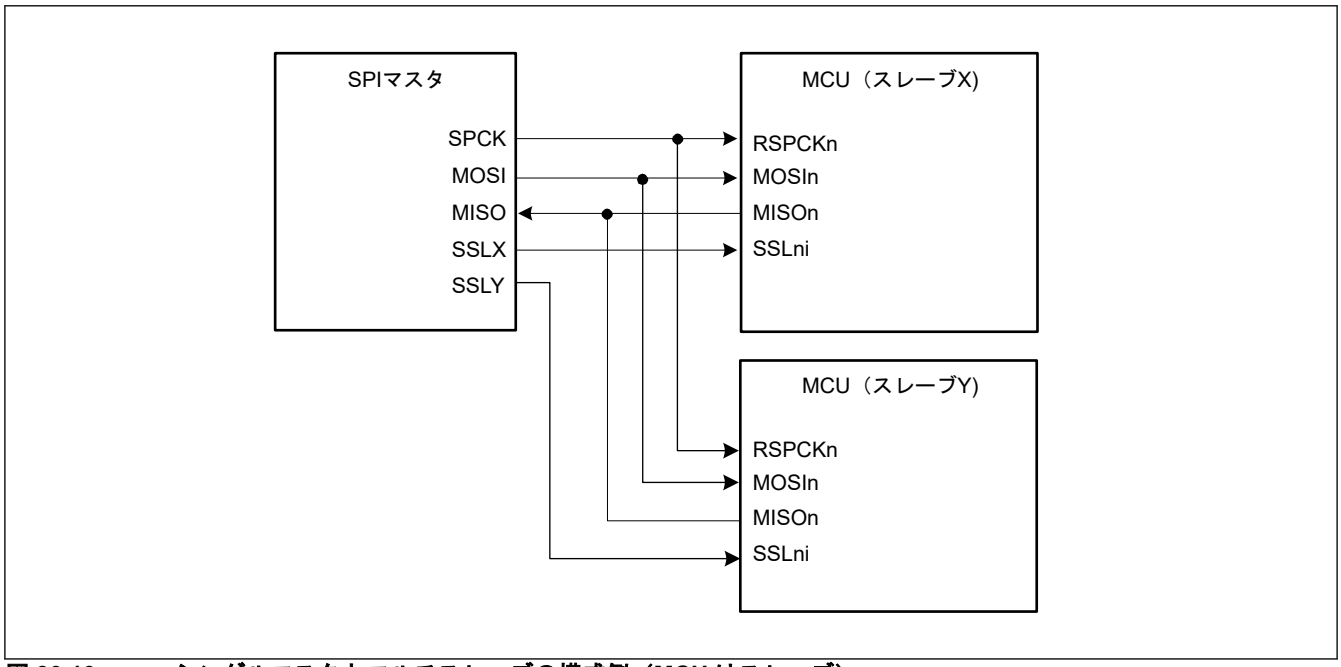


図 30.10 シングルマスタとマルチスレーブの構成例（MCU はスレーブ）

30.3.3.5 マルチマスタとマルチスレーブ（MCU はマスタ）

図 30.11 に、MCU がマスタである場合のマルチマスタ／マルチスレーブの SPI システム構成例を示します。この例では、2 つの MCU（マスタ X、マスタ Y）と 2 つの SPI スレーブ（SPI スレーブ 1、SPI スレーブ 2）から SPI システムを構成しています。

MCU（マスタ X、マスタ Y）の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、MCU（マスタ X、マスタ Y）の MISOn 入力に接続します。MCU（マスタ X）の任意の汎用ポート Y 出力は、MCU（マスタ Y）の SSLn0 入力に接続します。MCU（マスタ Y）の任意の汎用ポート X 出力は、MCU（マスタ X）の SSLn0 入力に接続します。MCU（マスタ X、マスタ Y）の SSLn1 出力と SSLn2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLn0 入力と、スレーブ接続用の SSLn1 出力および SSLn2 出力のみでシステムを構成できるため、MCU の SSLn3 出力は必要ありません。

MCU は、SSLn0 入力レベルが High の場合には、RSPCKn、MOSIn、SSLn1、SSLn2 信号をドライブします。SSLn0 入力レベルが Low の場合、MCU はモードフォルトエラーを検出し、RSPCKn、MOSIn、SSLn1、および SSLn2 を Hi-Z にして、他方のマスタに SPI バスを直接解放します。SPI スレーブ 1 または SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

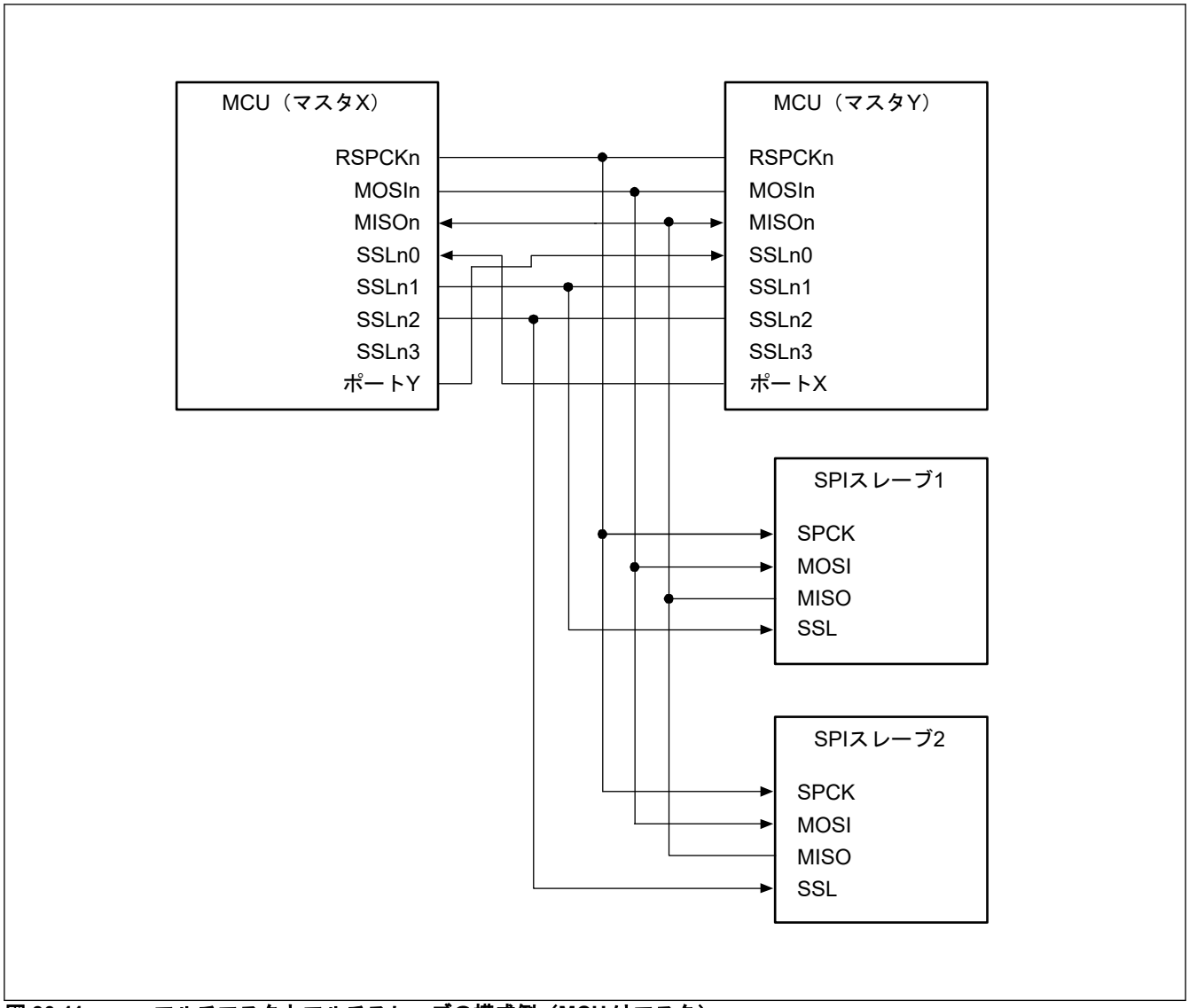


図 30.11 マルチマスタとマルチスレーブの構成例（MCU はマスタ）

TI-SSP 設定時に、ポート X とポート Y に以下のレベルを入力してください。

- 通信開始：他のマスタの SPCR3.SSL0P の値
- 通信終了：他のマスタの SPCR3.SSL0P の反転値

30.3.3.6 クロック同期式動作のマスタとスレーブ（MCU はマスタ）

図 30.12 に、MCU がマスタである場合のクロック同期式動作のマスタ／スレーブの構成例を示します。この構成では、MCU（マスタ）の SSLni は使用しません。

MCU（マスタ）は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

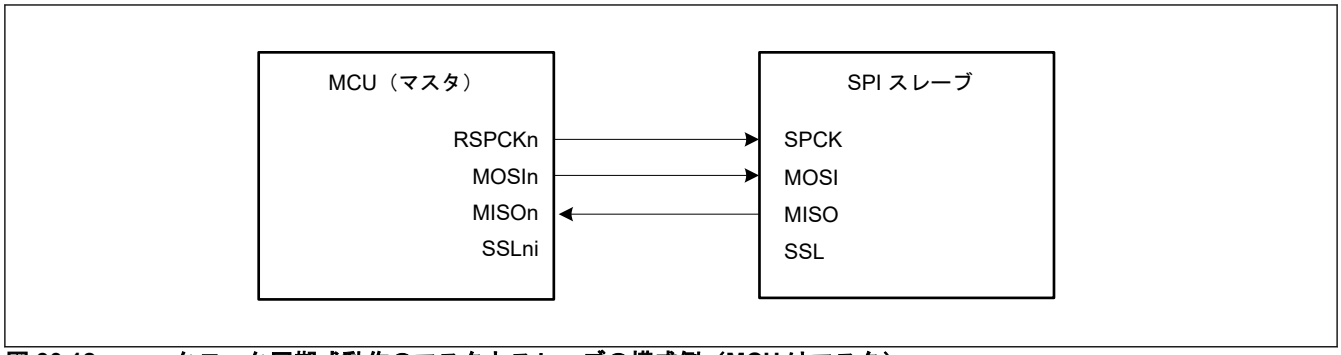


図 30.12 クロック同期式動作のマスタとスレーブの構成例（MCU はマスタ）

30.3.3.7 クロック同期式動作のマスタとスレーブ（MCU はスレーブ）

図 30.13 に、MCU がスレーブである場合のクロック同期式動作のマスタ／スレーブの構成例を示します。MCU をスレーブ（クロック同期式動作）として使用する場合は、MCU（スレーブ）は MISOn 信号をドライブし、SPI マスタは SPCK および MOSI 信号をドライブします。また、MCU（スレーブ）の SSLn0～SSLn3 は使用しません。

SPCMDm.CPHA ビットが 1 でシングルスレーブ構成の場合のみ、MCU（スレーブ）はシリアル転送を実行できます。

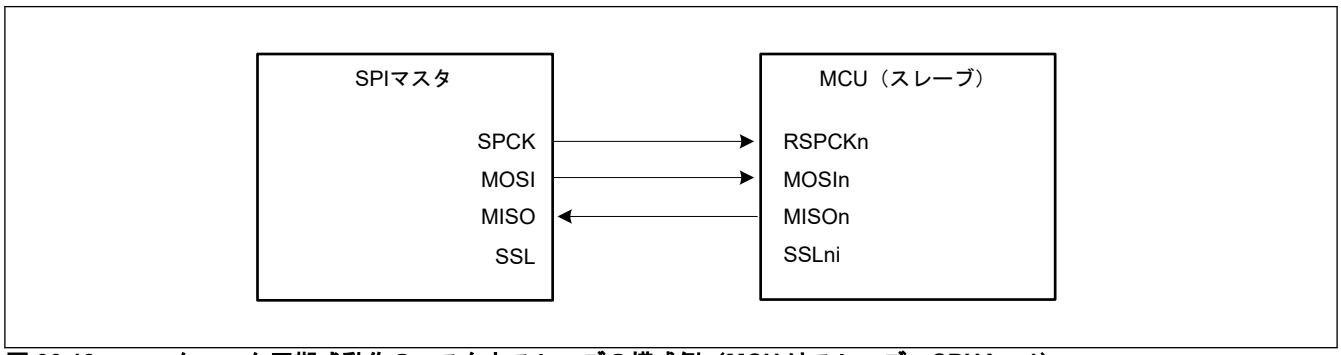


図 30.13 クロック同期式動作のマスタとスレーブの構成例（MCU はスレーブ、CPHA = 1）

30.3.4 データフォーマット

SPI のデータフォーマットは、SPI コマンドレジスタ m (SPCMDm)と SPI コントロールレジスタ (SPCR) のパリティ許可ビット (SPPE) の設定値に依存します。MSB ファーストか LSB ファーストかにかかわらず、SPI は SPI データレジスタ (SPDR) の LSB ビットから設定データ長に該当するビット分の範囲を転送データとして扱います。

以下では、転送前または転送後のデータの 1 フレーム分のデータフォーマットについて説明します。

パリティ機能無効時のデータフォーマット

パリティ機能無効時は、SPI データ長設定ビット（SPI コマンドレジスタ m (SPCMDm.SPB[4:0])）で設定したビット長のデータの送受信を行います。

パリティ機能有効時のデータフォーマット

パリティ機能有効時は、SPI データ長設定ビット（SPI コマンドレジスタ m (SPCMDm.SPB[4:0])）で設定したビット長のデータの送受信を行います。ただし、最終ビットはパリティビットです。

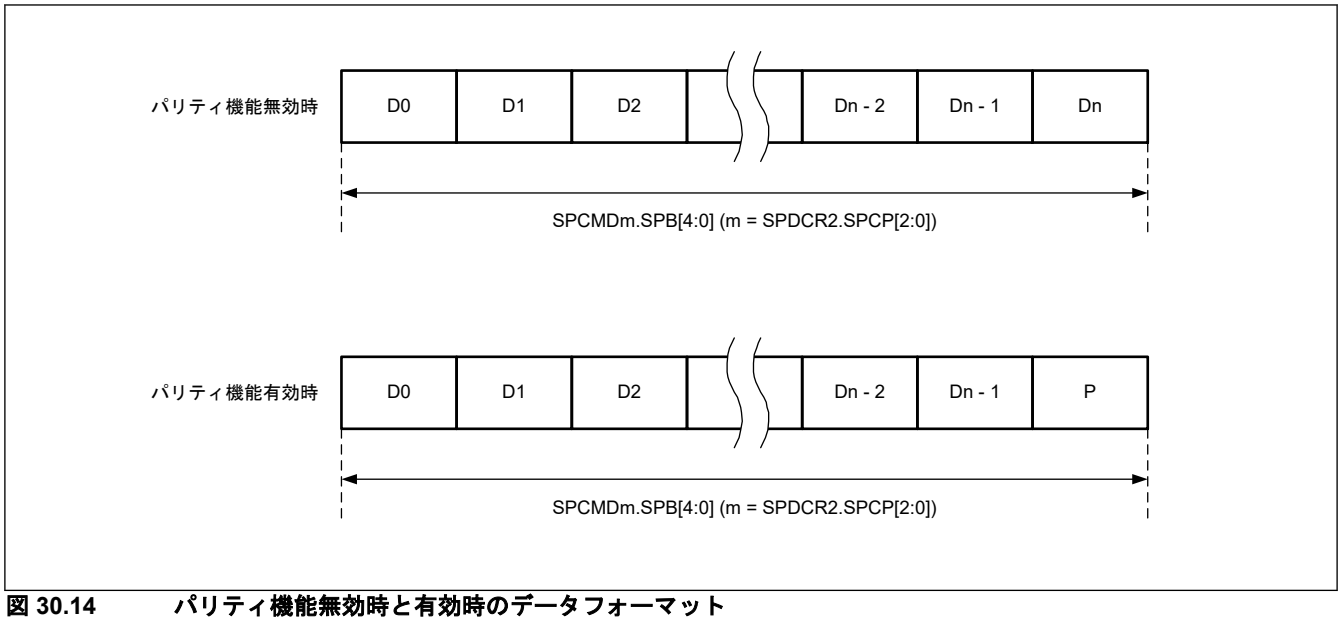


図 30.14 パリティ機能無効時と有効時のデータフォーマット

30.3.4.1 パリティ機能無効時 (SPCR.SPPE = 0) の動作

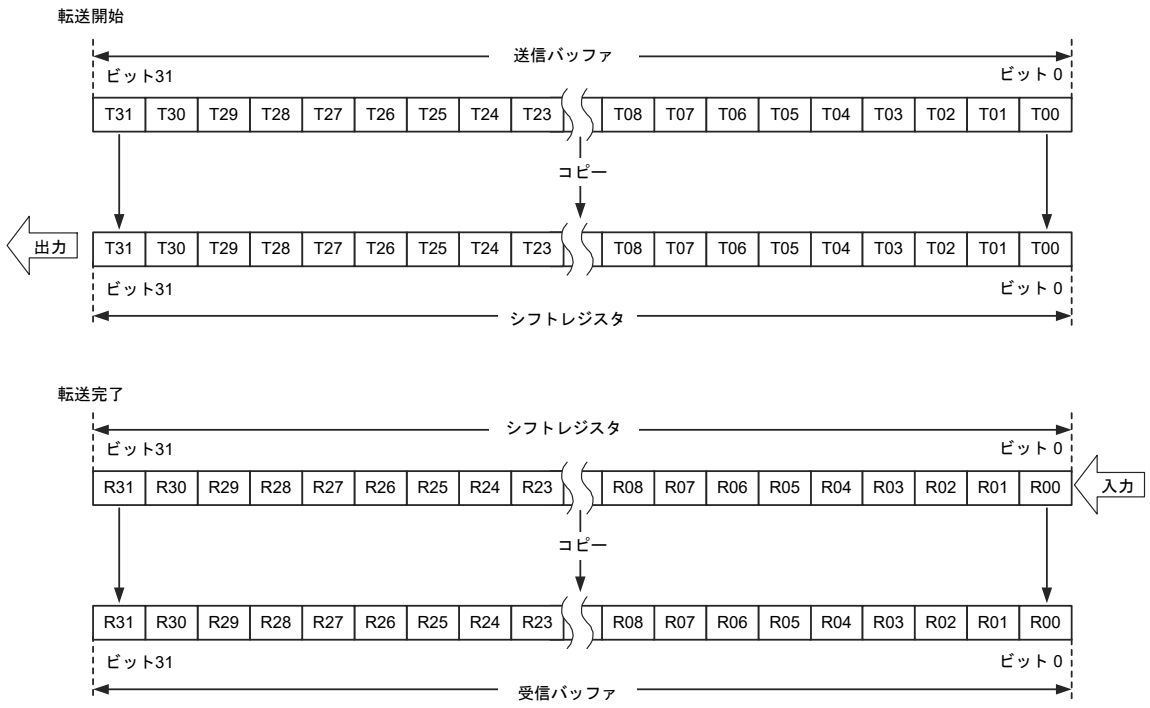
パリティ機能が無効の場合、送信データを加工せず、シフトレジスタにコピーします。以下では、SPI データレジスタ (SPDR) とシフトレジスタの関係を、MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) MSB ファースト転送（32 ビットデータ）

図 30.15 に、パリティ機能無効時に、SPI データ長が 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの T31～T00 ビットをシフトレジスタにコピーします。送信データは、T31 → T30 → ・・・T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31～R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

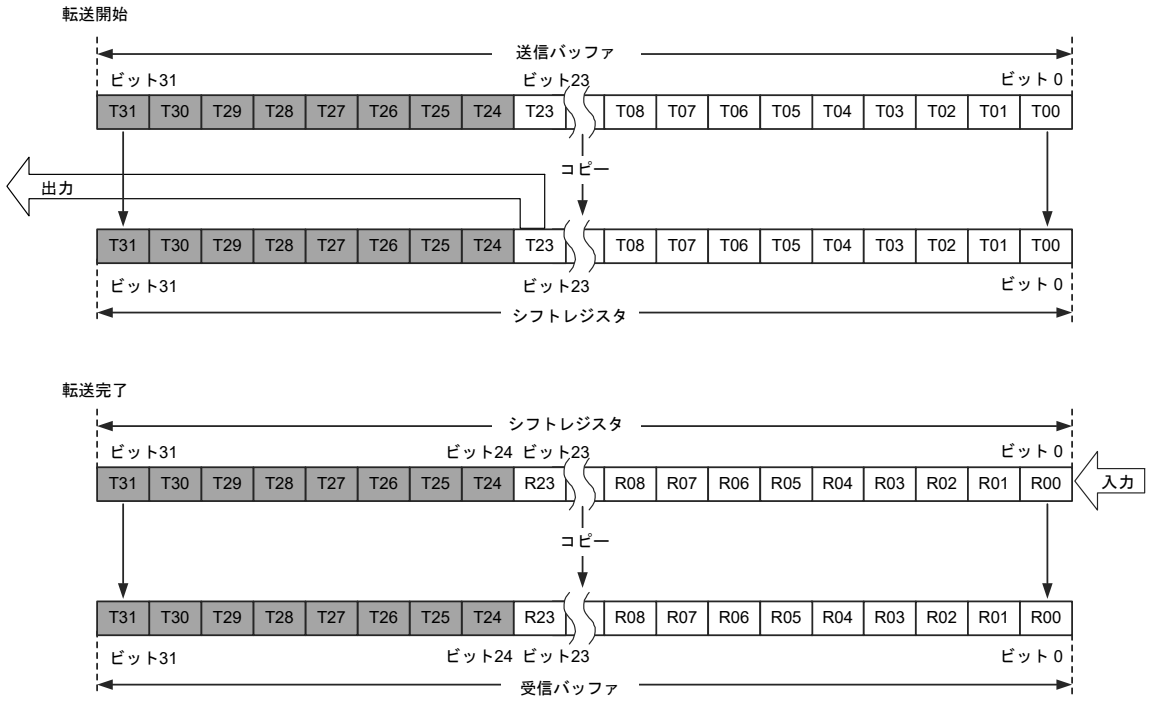
図 30.15 MSB ファースト転送（32 ビットデータ／パリティ機能無効）

(2) MSB ファースト転送（24 ビットデータ）

図 30.16 に、パリティ機能無効時に、SPI データ長が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット（T23～T00）をシフトレジスタにコピーします。送信データは、T23 → T22 → ・・・T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R23～R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

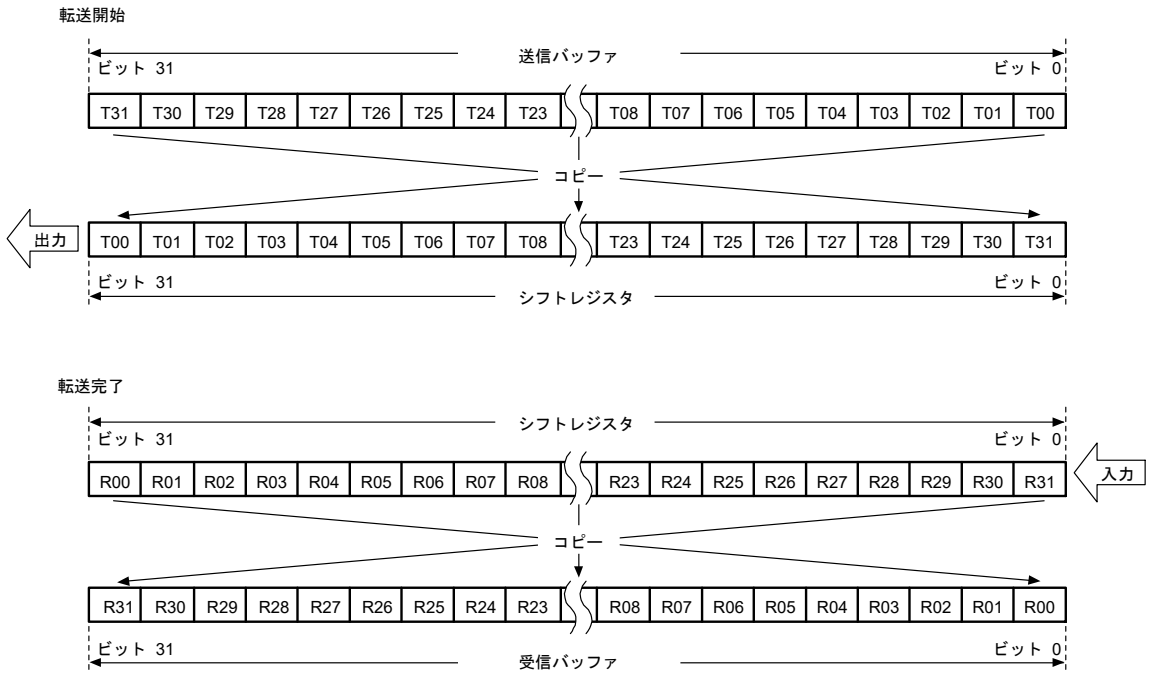
図 30.16 MSB ファースト転送（24 ビットデータ／パリティ機能無効）

(3) LSB ファースト転送（32 ビットデータ）

図 30.17 に、パリティ機能無効時に、SPI データ長が 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31～T00 をビット単位で T00～T31 の順序に並び替えて、シフトレジスタにコピーします。送信データは、T00 → T01 → ・・・T31 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～R31 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

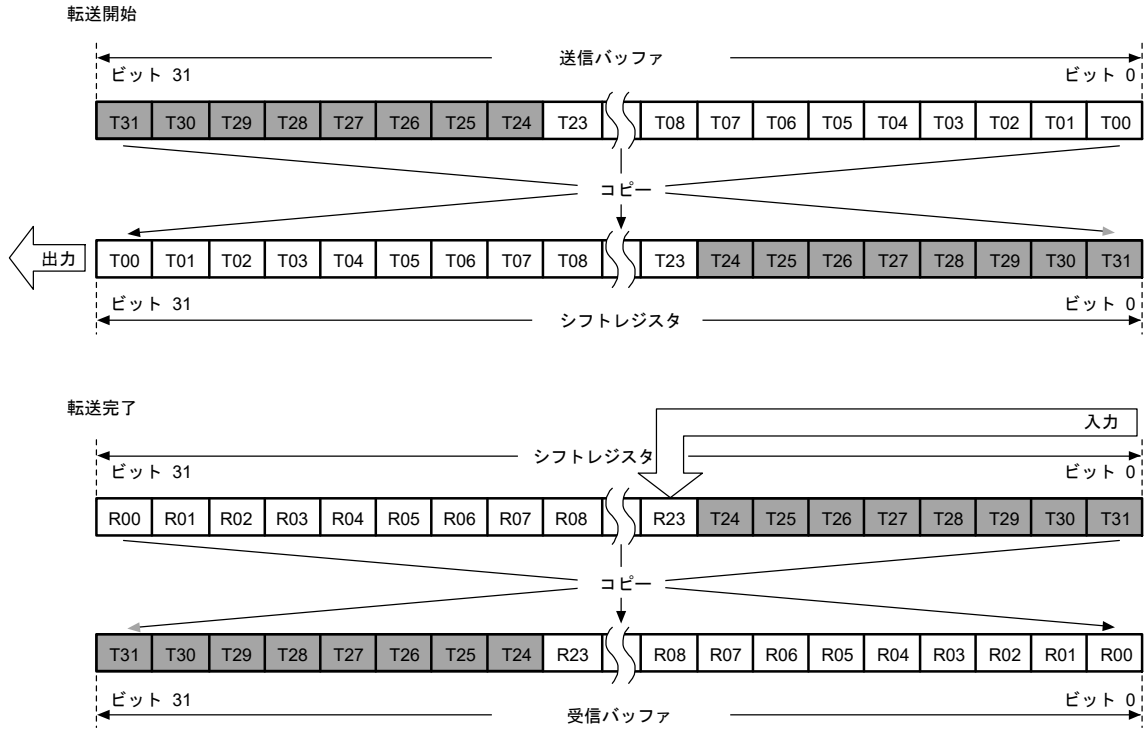
図 30.17 LSB ファースト転送（32 ビットデータ／パリティ機能無効）

(4) LSB ファースト転送（24 ビットデータ）

図 30.18 に、パリティ機能無効時に、SPI データ長が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット（T23～T00）をビット単位で T00～T23 の順序に並び換えて、シフトレジスタにコピーします。送信データは、T00 → T01 → ・・・T23 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～R23 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

図 30.18 LSB ファースト転送（24 ビットデータ／パリティ機能無効）

30.3.4.2 パリティ機能有効時 (SPCR.SPPE = 1) の動作

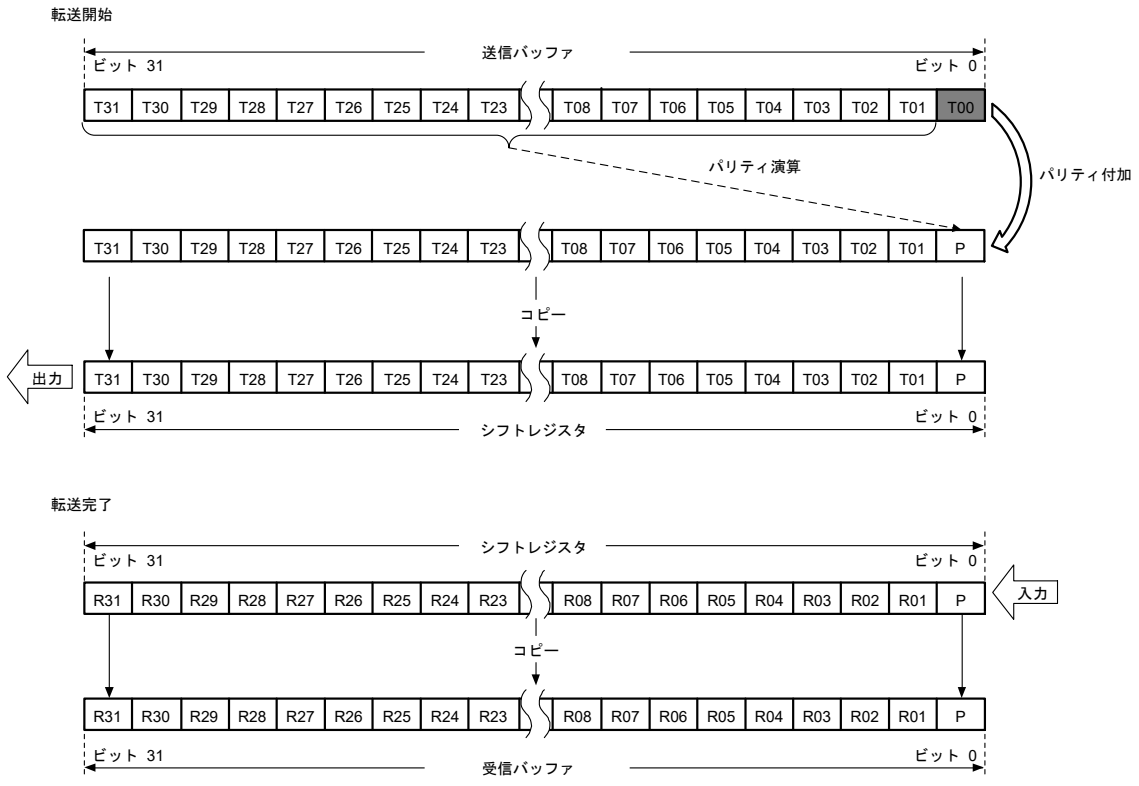
パリティ機能が有効の場合、送信データの最下位ビットはパリティビットになります。パリティビットの値は、ハードウェアが計算します。

(1) MSB ファースト転送（32 ビットデータ）

図 30.19 に、パリティ機能有効時に、SPI データ長が 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ～ T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、値全体をシフトレジスタにコピーします。データは、T31 → T30 →・・・T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R31～P ビットのデータをチェックします。



注. 出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

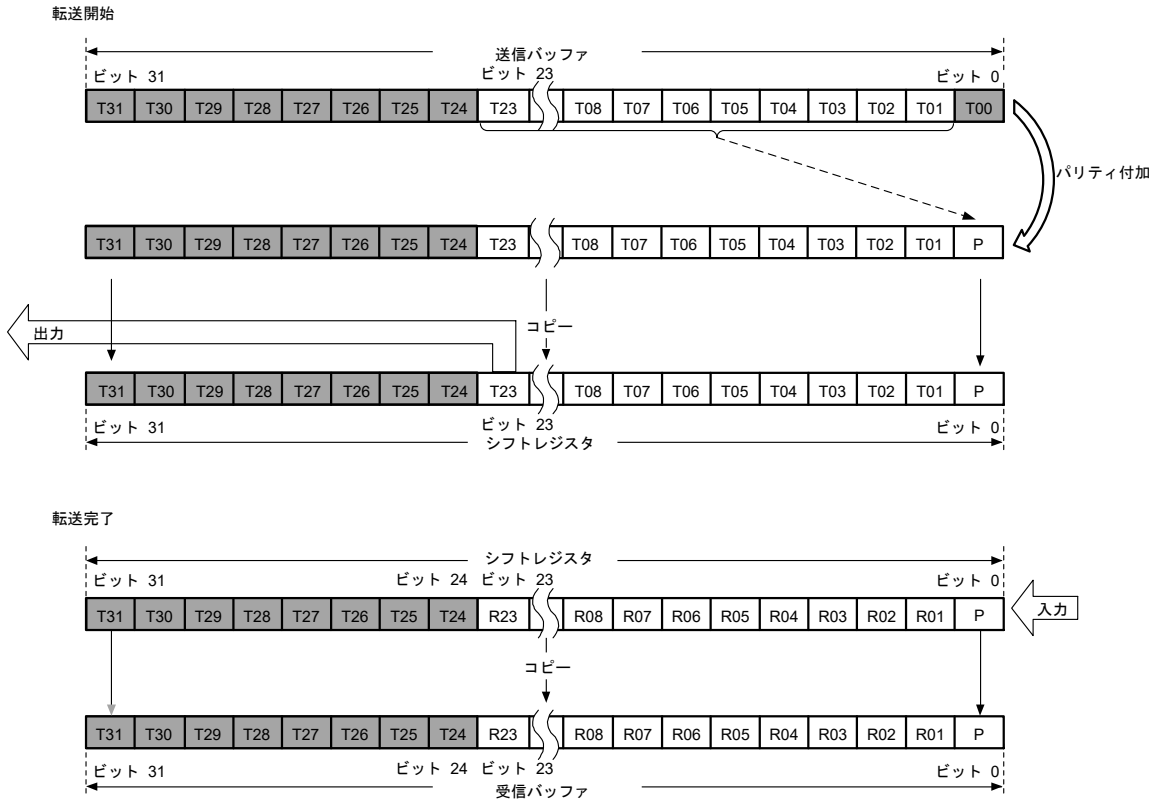
図 30.19 MSB ファースト転送（32 ビットデータ／パリティ機能有効）

(2) MSB ファースト転送（24 ビットデータ）

図 30.20 に、パリティ機能有効時に、SPI データ長が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T23～T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、値全体をシフトレジスタにコピーします。データは、T23 → T22 →・・・T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R23～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R23～P ビットのデータをチェックします。



注. 出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

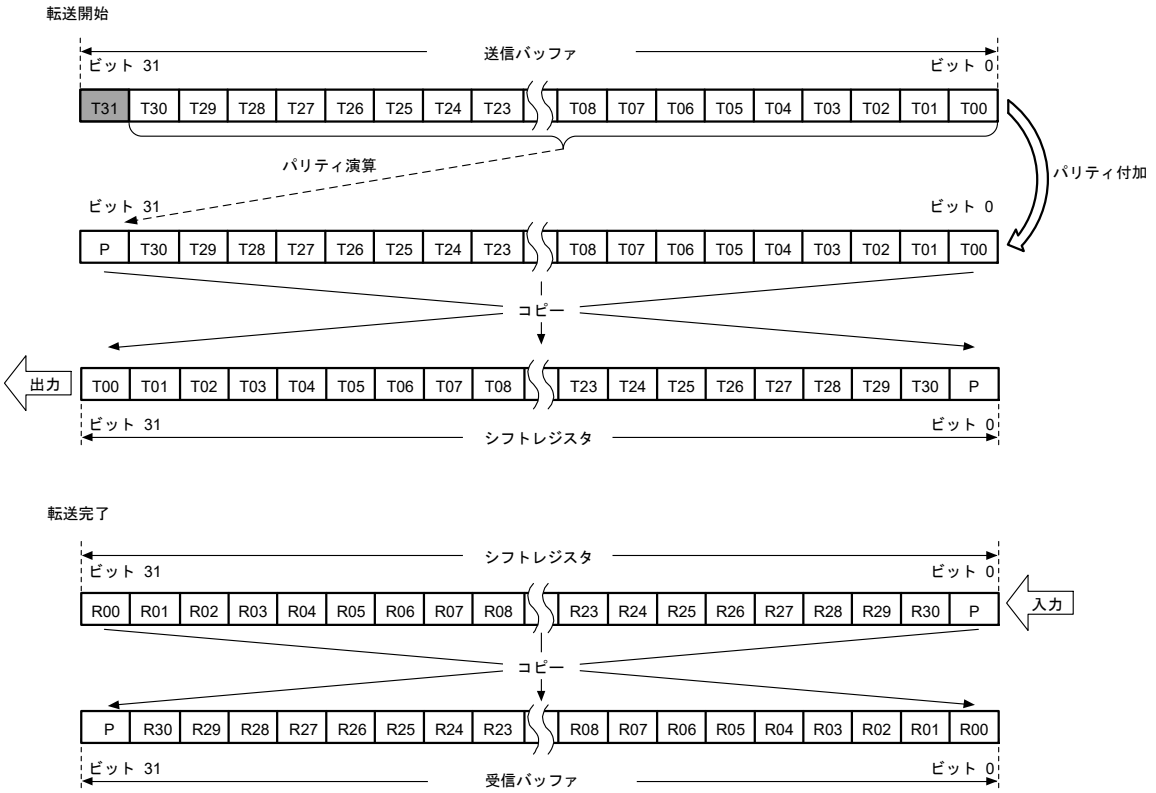
図 30.20 MSB ファースト転送（24 ビットデータ／パリティ機能有効）

(3) LSB ファースト転送（32 ビットデータ）

図 30.21 に、パリティ機能有効時に、SPI データ長が 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T30～T00 ビットからパリティビット (P) の値を計算し、最終ビットである T31 と置き換えて、値全体をシフトレジスタにコピーします。送信データは、T00 → T01 →・・・T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00～P ビットのデータをチェックします。



注. 出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

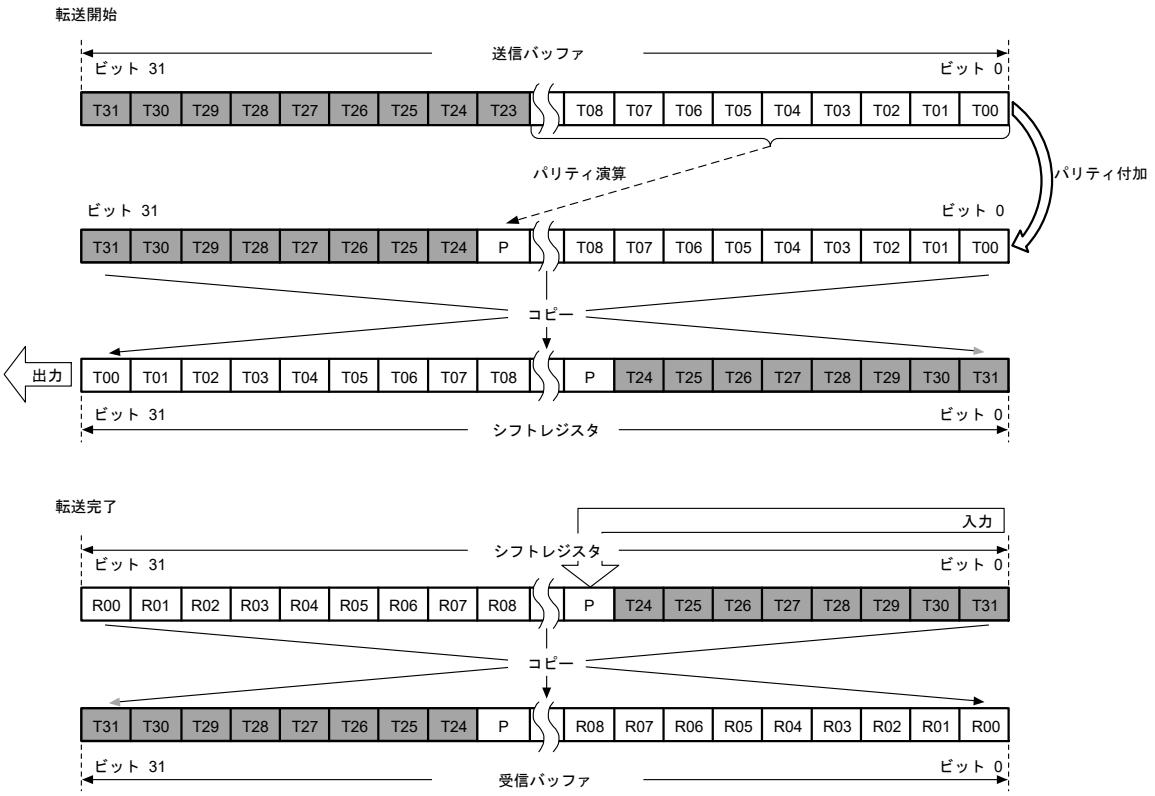
図 30.21 LSB ファースト転送（32 ビットデータ／パリティ機能有効）

(4) LSB ファースト転送（24 ビットデータ）

図 30.22 に、パリティ機能有効時に、SPI データ長が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T22～T00 ビットからパリティビット (P) の値を計算し、最終ビットである T23 と置き換えて、値全体をシフトレジスタにコピーします。データは、T00 → T01 →・・・T22 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00～P ビットのデータをチェックします。



注. 出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

図 30.22 LSB ファースト転送（24 ビットデータ／パリティ機能有効）

30.3.4.3 バイトスワップ送信

バイトスワッピングが有効になっているときは、送信バッファ内のデータが 8 ビット単位でスワップされてシフトレジスタにコピーされます。MSB/LSB ファーストとバイトスワップあり／なしの組み合わせを使って 32 ビット長のデータを転送する場合の、SPDR（送信バッファ）とシフトレジスタの関係を図 30.23 に示します。

(1) MSB ファースト転送（バイトスワップ無効時）

送信バッファ (Byte3[T31～T24]～Byte0[T07～T00]) のデータがシフトレジスタにコピーされます。

シフトレジスタのビット値が T31 → T30 → … → T00 の順に送信データとしてシフトし送信されます。

(2) MSB ファースト転送（バイトスワップ有効時）

送信バッファ (Byte3[T31～T24]～Byte0[T07～T00]) のバイト値がバイト単位で反転し、Byte0[T07～T00]～Byte3[T31～T24]の順でシフトレジスタにコピーされます。

シフトレジスタのビット値が T07 → T06 → … → T00 → T15 → T14 → … → T08 → T23 → T22 → … → T16 → T31 → T30 → … → T24 の順に送信データとしてシフトし送信されます。

(3) LSB ファースト転送（バイトスワップ無効時）

送信バッファ (Byte3[T31～T24]～Byte0[T07～T00]) のビット値がビット単位で反転し、Byte0[T00～T07]～Byte3[T24～T31]の順でシフトレジスタにコピーされます。

シフトレジスタのビット値が T00 → T01 → … → T31 の順に送信データとしてシフトし送信されます。

(4) LSB ファースト転送（バイトスワップ有効時）

送信バッファ (Byte3[T31～T24]～Byte0[T07～T00]) の各バイトのビット値がビット単位で反転し、Byte3[T24～T31]～Byte0[T00～T07]の順でシフトレジスタにコピーされます。

シフトレジスタのビット値が T24 → T25 → … → T31 → T16 → T17 → … → T23 → T08 → T09 → … → T15 → T00 → T01 → … → T07 の順に送信データとしてシフトし送信されます。

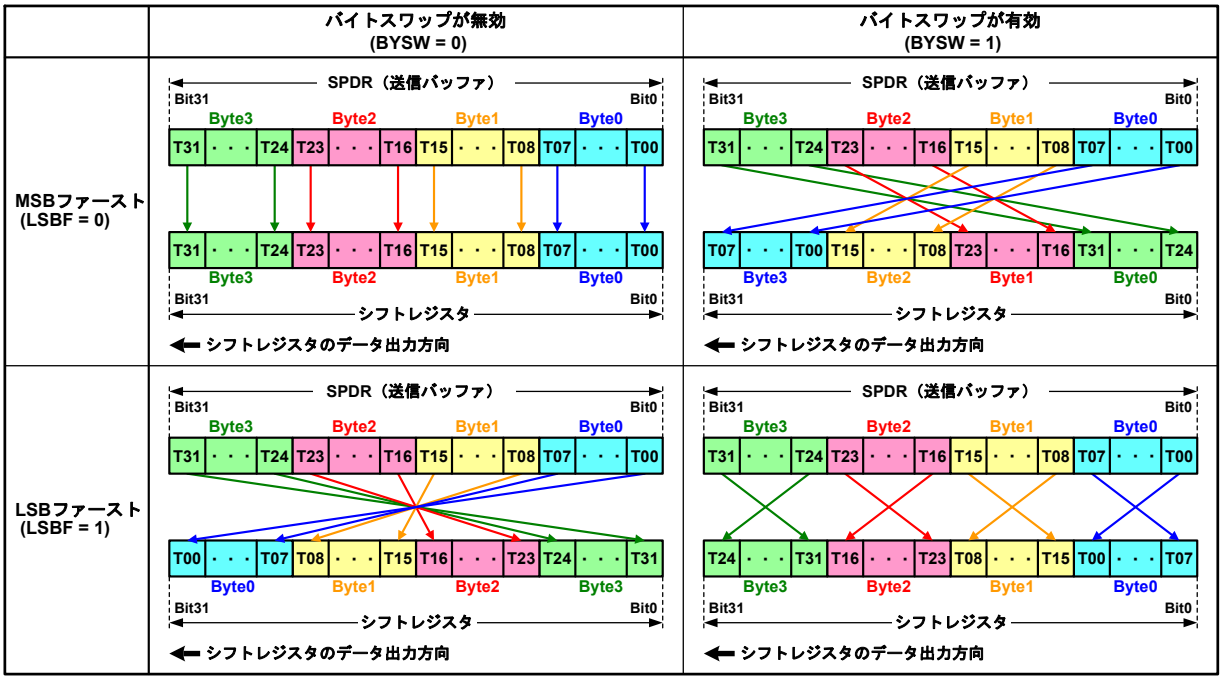


図 30.23 MSB/LSB 転送でのバイトスワップ（32 ビット）

MSB/LSB ファーストとバイトスワップあり／なしの組み合わせを使って 16 ビット長のデータを転送する場合の、SPDR（送信バッファ）とシフトレジスタの関係を図 30.24 に示します。

1. MSB ファースト転送（バイトスワップ無効時）
   送信バッファのデータ (Byte1[T15～T08]～Byte0[T07～T00]) が Byte1[T15～T08]～Byte0[T07～T00]、Byte1[T15～T08]～Byte0[T07～T00]の順でシフトレジスタにコピーされます。シフトレジスタのビット値が T15 → T14 → … → T00 の順に送信データとしてシフトし送信されます。
2. MSB ファースト転送（バイトスワップ有効時）
   送信バッファのバイト値（Byte1[T15～T08]～Byte0[T07～T00]）がバイト単位で反転し、Byte0[T07～T00]～Byte1[T15～T08]、Byte0[T07～T00]～Byte1[T15～T08]の順でシフトレジスタにコピーされます。シフトレジスタのビット値が T07 → T06 → … T00 → T15 → T14 → … T08 の順に送信データとしてシフトし送信されます。
3. LSB ファースト転送（バイトスワップ無効時）
   送信バッファのビット値（Byte1[T15～T08]～Byte0[T07～T00]）がビット単位で反転し、Byte0[T00～T07]～Byte1[T08～T15]、Byte0[T00～T07]～Byte1[T08～T15]の順でシフトレジスタにコピーされます。シフトレジスタのビット値が T00 → T01 → … T15 の順に送信データとしてシフトし送信されます。
4. LSB ファースト転送（バイトスワップ有効時）
   送信バッファの各バイトのビット値（Byte1[T15～T08]～Byte0[T07～T00]）がビット単位で反転し、Byte1[T08～T15]～Byte0[T00～T07]、Byte1[T08～T15]～Byte0[T00～T07]の順でシフトレジスタにコピーされます。シフトレジスタのビット値が T08 → T09 → … T15 → T00 → T01 → … T07 の順に送信データとしてシフトし送信されます。

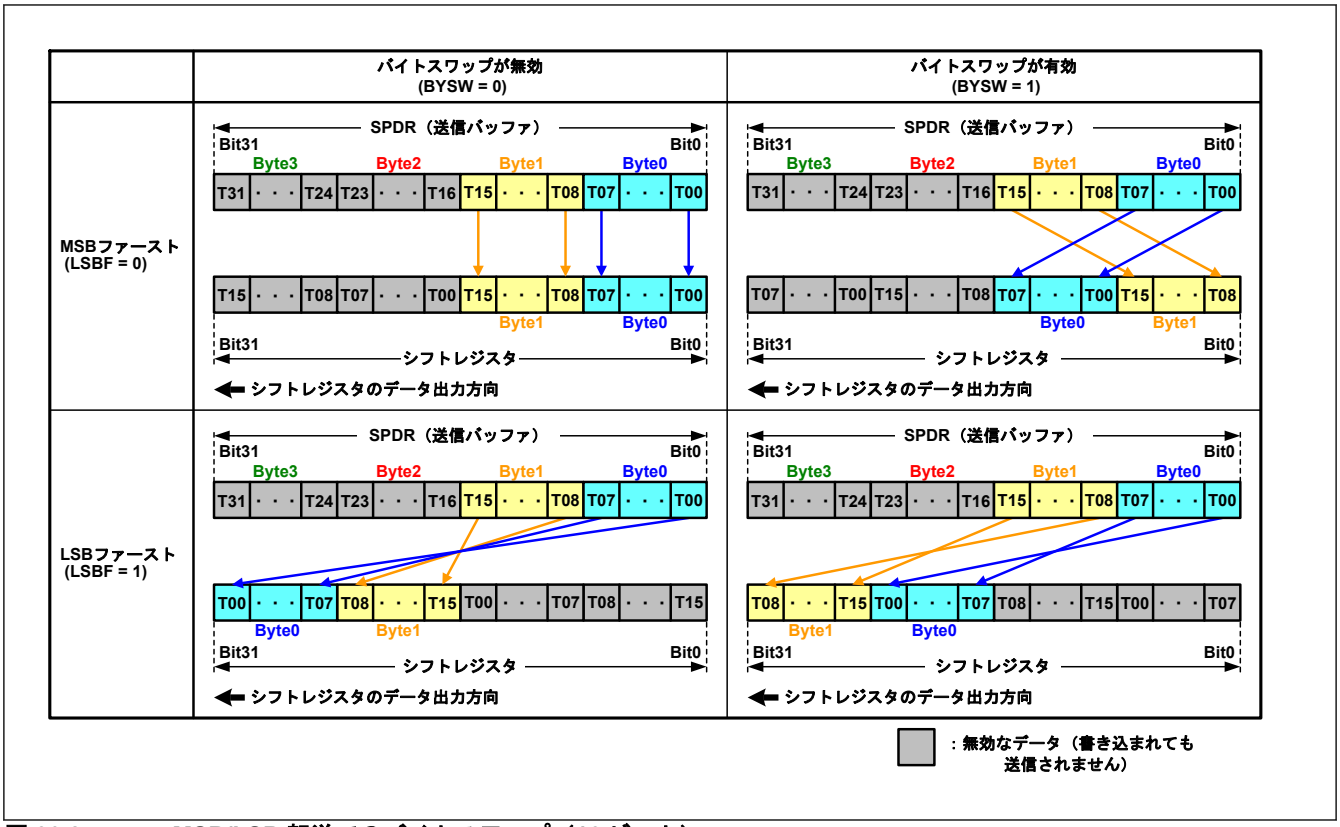


図 30.24　MSB/LSB 転送でのバイトスワップ（16 ビット）

注.
1. バイトスワップを使用時、データ長（SPCMDm.SPB[4:0]の設定）は 16 ビットか 32 ビットとしてください。他のデータ長を設定した場合の動作は保証されません。
2. バイトスワップが有効の場合、パリティ機能は無効に設定してください（SPCR.SPPE ビット = 0）。パリティ機能は有効に設定した場合（SPPE ビット = 1）の動作は保証されません。
3. SPDCR.BYSW ビットの設定は、SPCR.SPE ビットが 0 の状態で行ってください。SPE ビットが 1 の状態で BYSW ビットを書き換えると、その後の動作は保証されません。

30.3.4.4　バイトスワップ受信

バイトスワップが有効になっているときは、シフトレジスタ内のデータが 8 ビット単位でスワップされて受信バッファにコピーされます。MSB/LSB ファーストとバイトスワップあり／なしの組み合わせを使って 32 ビット長のデータを転送する場合の、シフトレジスタと SPDR（受信バッファ）の関係を図 30.25 に示します。

(1)　MSB ファースト転送（バイトスワップ無効時）

最初の受信データ (R31) をシフトレジスタのビット 0 に格納し、受信データは R31 → R30 → … → R00 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte3[R31～R24]～Byte0[R07～R00]にデータがたまると、シフトレジスタの値を受信バッファにコピーします。

(2)　MSB ファースト転送（バイトスワップ有効時）

最初の受信データ (R07) をシフトレジスタのビット 0 に格納し、受信データは R07 → R06 → … → R00 → R15 → R14 → … → R08 → R23 → R22 → … → R16 → R31 → R30 → … → R24 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte0[R07～R00]～Byte3[R31～R24]にデータがたまると、シフトレジスタのバイト値がバイト単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーされます。

(3)　LSB ファースト転送（バイトスワップ無効時）

最初の受信データ (R00) をシフトレジスタのビット 0 に格納し、受信データは R00 → R01 → … → R31 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte0[R00～R07]～Byte3[R24～R31]にデータがたまると、シフトレジスタのビット値がビット単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーされます。

(4)　LSB ファースト転送（バイトスワップ有効時）

最初の受信データ (R24) をシフトレジスタのビット 0 に格納し、受信データは R24 → R25 → … → R31 → R16 → R17 → … → R23 → R08 → R09 → … → R15 → R00 → R01 → … → R07 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte3[R24～R31]～Byte0[R00～R07]にデータがたまると、シフトレジスタの各バイトのビット値がビット単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーされます。

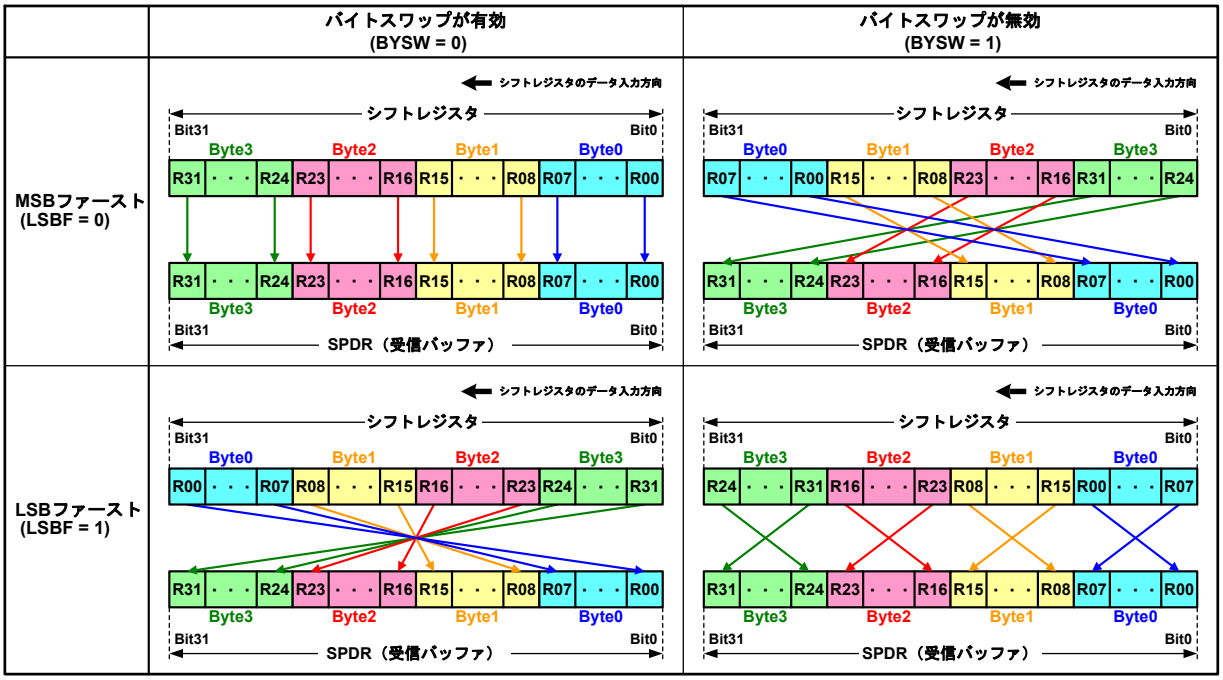


図 30.25　　MSB/LSB 転送でのバイトスワップ（32 ビット）

MSB/LSB ファーストとバイトスワップあり／なしの組み合わせを使って 16 ビット長のデータを転送する場合の、シフトレジスタと SPDR（受信バッファ）の関係を図 30.26 に示します。

1. MSB ファースト転送（バイトスワップ無効時）
   最初の受信データ (R15) をシフトレジスタのビット 0 に格納し、受信データは R15 → R14 → … → R00 の順にシフトします。必要数分の RSPCK 周期が入力され、Byte3[R31～R24]～Byte0[R07～R00]にデータがたまると、シフトレジスタの値を受信バッファにコピーします。
2. MSB ファースト転送（バイトスワップ有効時）
   最初の受信データ (R07) をシフトレジスタのビット 0 に格納し、受信データは R07 → R06 → … R00 → R15 → R14 → … R08 の順にシフトします。必要数分の RSPCK 周期が入力され、Byte0[R07～R00]～Byte1[R15～R08]にデータがたまると、シフトレジスタのバイト値がバイト単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーされます。
3. LSB ファースト転送（バイトスワップ無効時）
   最初の受信データ (R00) をシフトレジスタのビット 15 に格納し、受信データは R00 → R01 → … R07 → R08 → R09 → … R15 の順にシフトします。必要数分の RSPCK 周期が入力され、Byte0[R00～R07]～Byte1[R08～R15]にデータがたまると、シフトレジスタのビット値がビット単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーされます。
4. LSB ファースト転送（バイトスワップ有効時）
   最初の受信データ (R08) をシフトレジスタのビット 15 に格納し、受信データは R08 → R09 → … R15 → R00 → R01 → … R07 の順にシフトします。必要数分の RSPCK 周期が入力され、Byte1[R08～R15]～Byte0[R00～R07]にデータがたまると、シフトレジスタの各バイトのビット値がビット単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーされます。

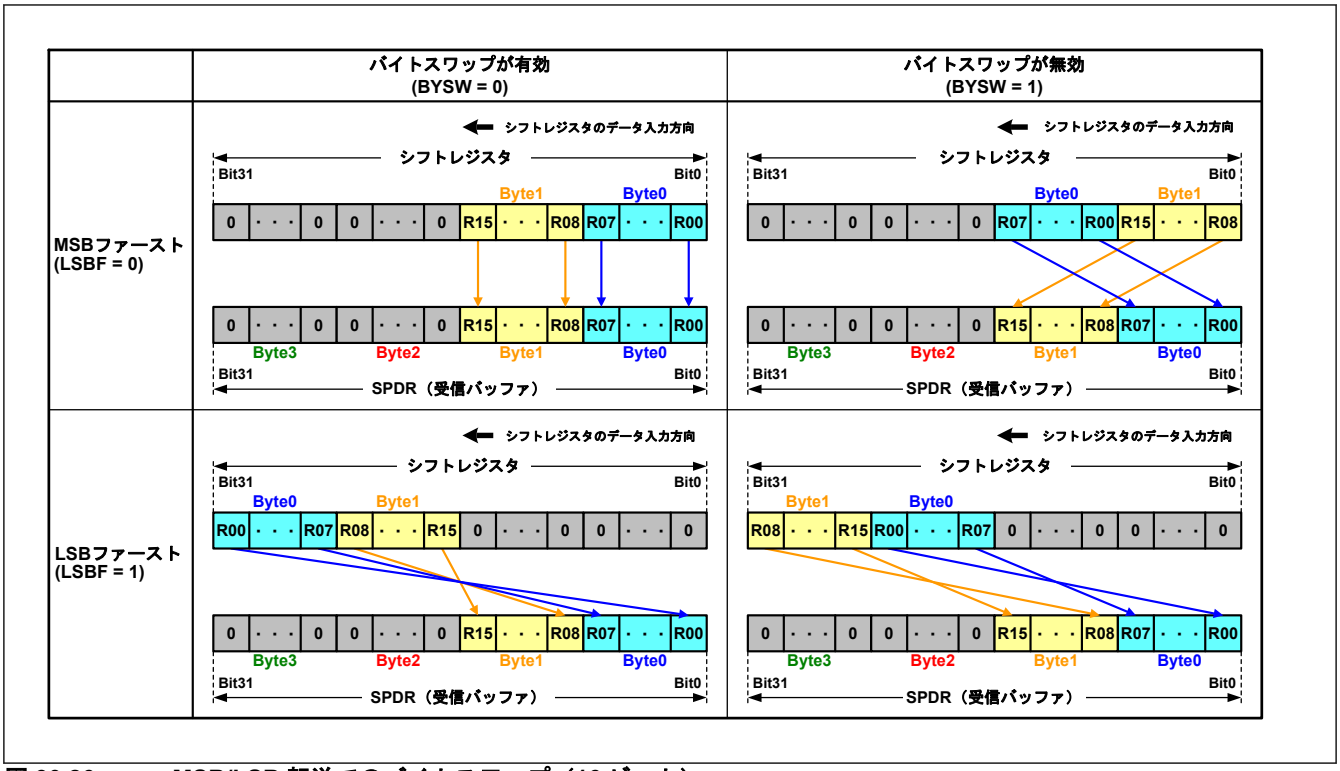


図 30.26 MSB/LSB 転送でのバイトスワップ（16 ビット）

注. 1. バイトスワップを使用時、データ長（SPCMDm.SPB[4:0]の設定）は 16 ビットか 32 ビットとしてください。他のデータ長を設定した場合の動作は保証されません。
2. バイトスワップが有効の場合、パリティ機能は無効に設定してください（SPCR.SPPE ビット = 0）。パリティ機能は有効に設定した場合（SPPE ビット = 1）の動作は保証されません。
3. SPDCR.BYSW ビットの設定は、SPCR.SPE ビットが 0 の状態で行ってください。SPE ビットが 1 の状態で BYSW ビットを書き換えると、その後の動作は保証されません。

30.3.5 転送フォーマット

30.3.5.1 CPHA = 0 の場合

図 30.27 に SPCMDm.CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。SPI がスレーブモード (SPCR.MSTR = 0) で、CPHA ビットが 0 の場合、クロック同期式動作 (SPCR.SPMS = 1) は行わないでください。図 30.27 において、RSPCKn (CPOL = 0) は、 SPCMDm.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCKn (CPOL = 1) は、CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを表します。各信号の入出力方向は、SPI の設定に依存します。詳細は、「30.3.2. SPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが 0 の場合には、SSLni 信号のアサートタイミングで、MOSIn 信号と MISOn 信号への有効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号の変化が、最初の転送データ取り込みになります。これ以降、1RSPCKn 周期ごとにデータがサンプリングされます。MOSIn 信号と MISOn 信号の変化タイミングは、転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLni 信号のアサートから RSPCKn 発振までの期間（RSPCK 遅延）を示します。t2 は、RSPCKn 発振停止から SSLni 信号のネゲートまでの期間（SSL ネゲート遅延）を示します。t3 は、シリアル転送終了後に次転送のための SSLni 信号アサートを抑制する期間（次アクセス遅延）を示します。t1、t2、t3 は、SPI システム上のマスタデバイスによって制御されます。MCU の SPI がマスタモードである場合の t1、t2、t3 については、「30.3.12.1. マスタモード動作」を参照してください。

［Motorola-SPI の場合］

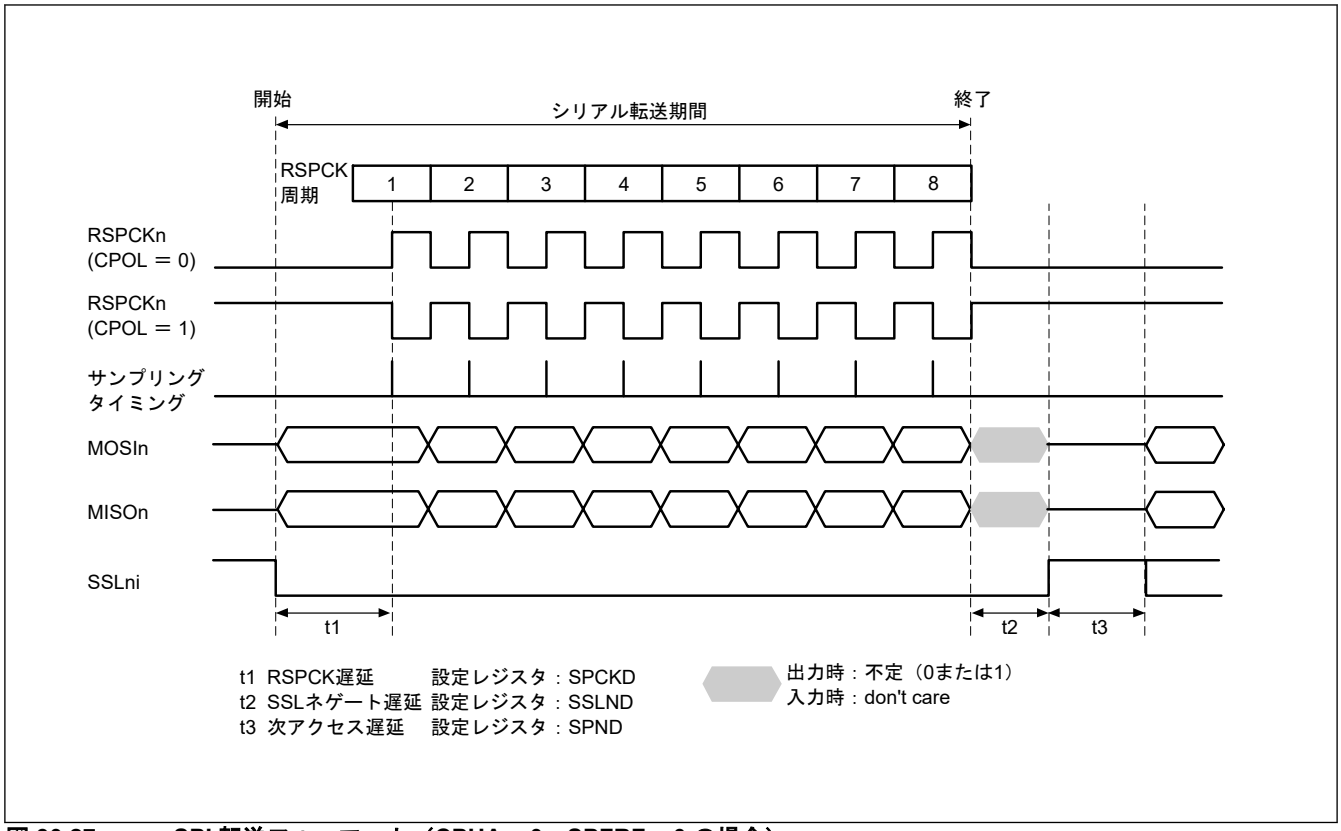


図 30.27 SPI 転送フォーマット（CPHA = 0、SPFRF = 0 の場合）

［TI-SSP の場合］

CPHA = 0 のときはサポートしていません。

30.3.5.2 CPHA = 1 の場合

図 30.28 に SPCMDm.CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが 1 の場合は SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、MISOn 信号の 3 つの信号のみで通信を行います。図 30.28 において、RSPCK (CPOL = 0) は、SPCMDm.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCK (CPOL = 1) は、CPOL ビットが 1 の場合の RSPCKn 信号波形を表します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、SPI のモード（マスタ／スレーブ）に依存します。詳細は、「30.3.2. SPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが 1 の場合には、SSLni 信号のアサートタイミングで、MISOn 信号への無効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化で、MOSIn 信号と MISOn 信号への有効データの出力が開始され、これ以降、1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このデータ更新タイミングの 1/2RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は、RSPCKn 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビットが 0 の場合と同様です。MCU の SPI がマスタモードである場合の t1、t2、t3 については、「30.3.12.1. マスタモード動作」を参照してください。

［Motorola-SPI の場合］

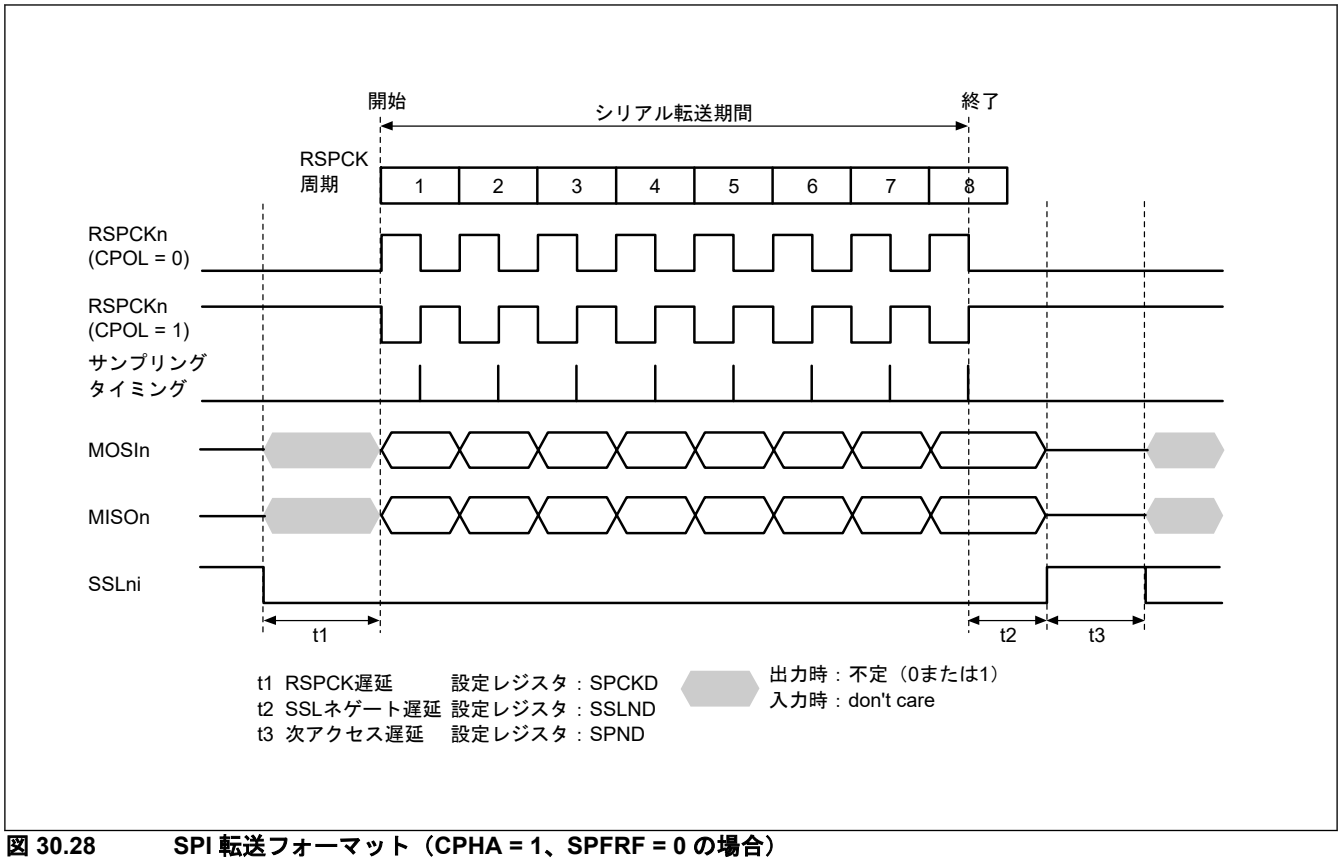


図 30.28 SPI 転送フォーマット（CPHA = 1、SPFRF = 0 の場合）

［TI-SSP の場合］

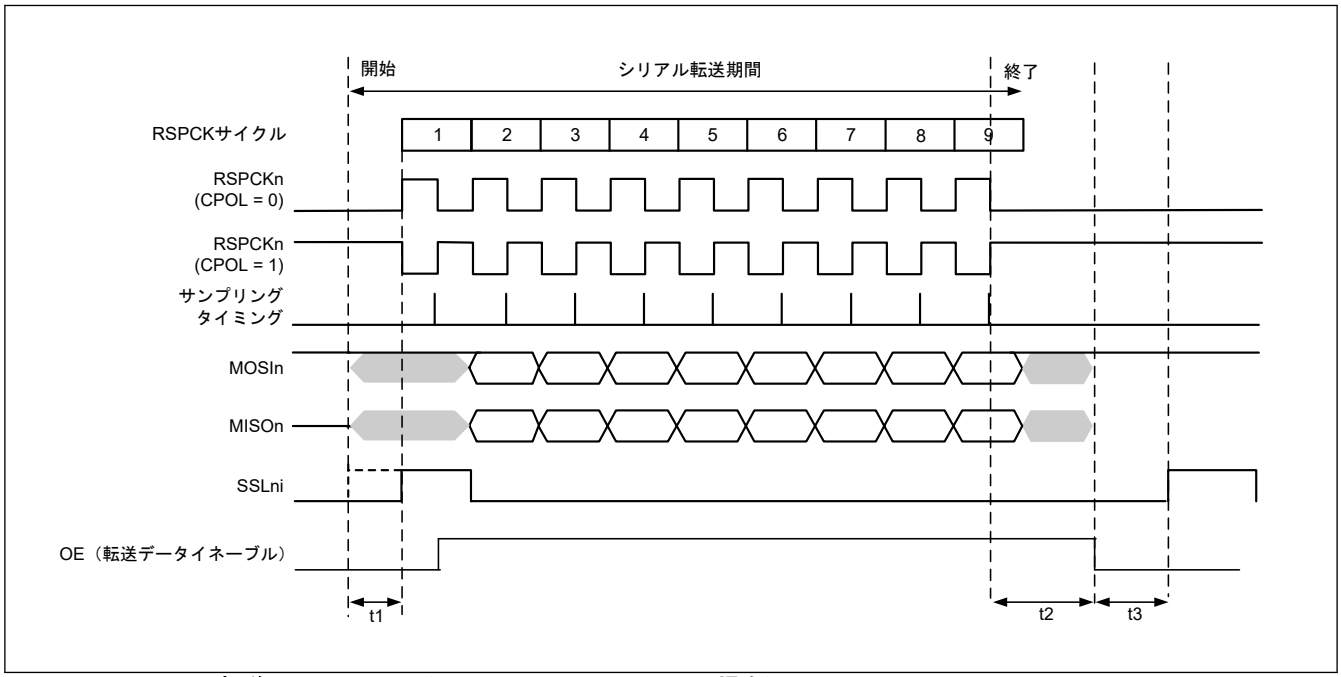


図 30.29 SPI 転送フォーマット（CPHA = 1、SPFRF = 1 の場合）

30.3.6 通信動作モード

SPI コントロールレジスタ (SPCR) の通信モード選択ビット (TXMD[1:0]) を設定することで、送受信シリアル通信、送信専用動作、受信専用動作が選択されます。

図 30.30、図 30.31、図 30.32 で説明する SPDR アクセスでは、SPI データレジスタ (SPDR) へのアクセスを示しています。W は書き込みサイクルを表します。

30.3.6.1 送信／受信シリアル通信 (TXMD[1:0] = 00b)

図 30.30 に、SPI コントロールレジスタ (SPCR) の通信モード選択ビット (TXMD[1:0]) を 00b に設定した場合の動作例を示します。RTRG = FIFO 段 - 1、SPI データコントロールレジスタ 2 (SPDCR2) の TTRG = 0、SPI コマンドレジスタ (SPCMDm) の CPHA = 1、SPCMDm レジスタの CPOL = 0 の設定で、SPI が 8 ビットデータシリアル転送をする例を図 30.30 に示します。RSPCK 波形の下の番号は、RSPCK 周期の番号（転送ビットの番号）を示します。

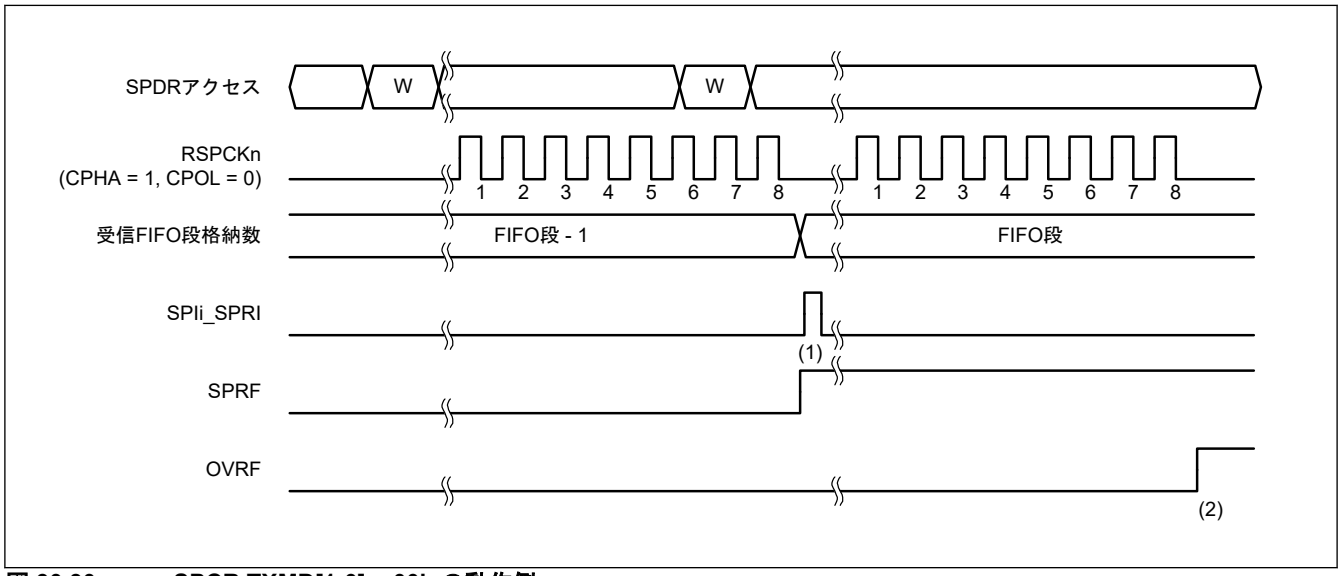


図 30.30 SPCR.TXMD[1:0] = 00b の動作例

以下に、図 30.30 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

1. 格納された SPDR 受信バッファ数が SPDCR2.RTRG に設定されているフレーム数に一致した状態でシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPIi_SPRI) を発生させ、SPSR.SPRF フラグを 1 にして、シフトレジスタの受信データを受信バッファにコピーします。
2. FIFO 段数のデータが SPDR 受信バッファにある状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にして、シフトレジスタの受信データを破棄します。SPSR.OVRF フラグの詳細動作については「30.3.10.1. オーバーランエラー」をご参照ください。

送信／受信シリアル通信 (TXMD[1:0] = 00b) では、送信データが送信され、受信データが受信されます。したがって、SPRF フラグと OVRF フラグは、それぞれタイミング (1) と (2) で 1 に設定されます。

30.3.6.2 送信のみのシリアル通信 (TXMD[1:0] = 01b)

図 30.31 に、SPI コントロールレジスタ (SPCR) の通信モード選択ビット（TXMD[1:0]） を 01b に設定した場合の動作例を示します。この例では、SPDCR2.TTRG が 0、SPDCR2.RTRG が 0、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

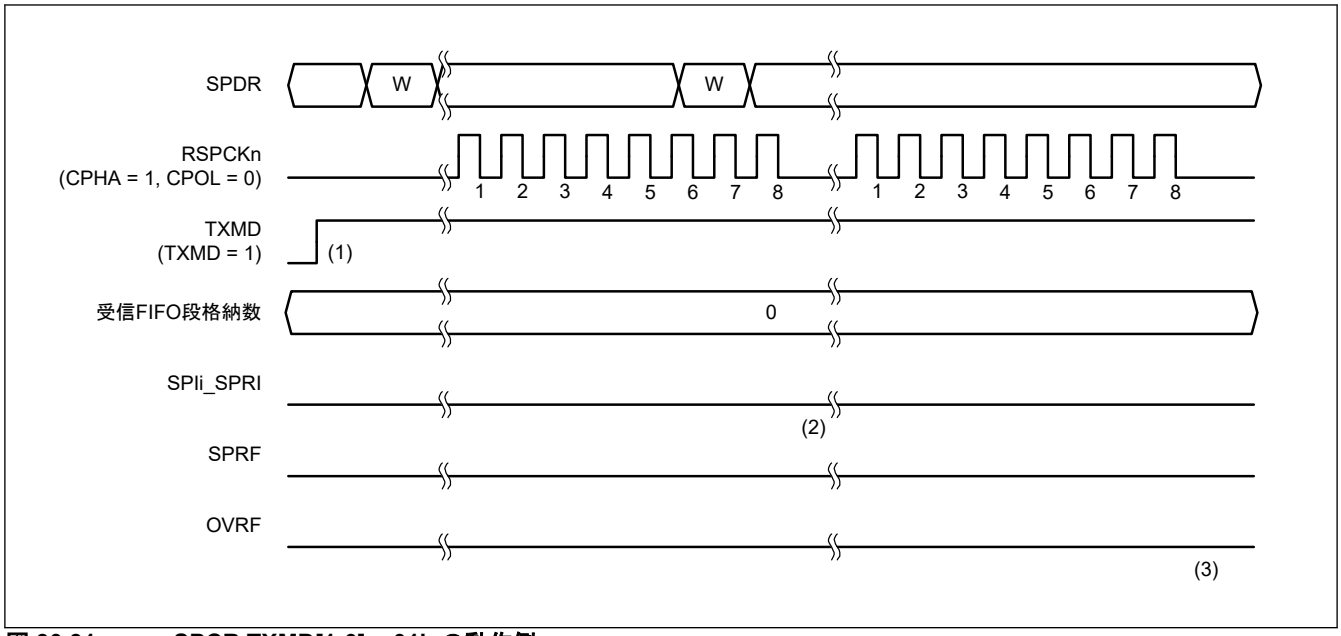


図 30.31 SPCR.TXMD[1:0] = 01b の動作例

以下に、図 30.31 の (1)～(3) に示したタイミングでのフラグの動作内容を説明します。

1. 送信のみモード（SPCR.TXMD[1:0] = 01b）へ遷移する前に、受信バッファにデータが残っていないこと（SPSR.SPRF フラグ = 0）、および SPSR.OVRF フラグが 0 であることを確認してください。
2. SPDR の受信 FIFO にデータを受信せずにシリアル転送が終了すると、送信のみモード（SPCR.TXMD[1:0] = 01b）を選択している場合、SPSR.SPRF フラグは 0 を保持し、SPI はシフトレジスタのデータを受信バッファへコピーしません。
3. SPDR の受信バッファに以前のシリアル転送の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは 0 を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみモード（SPCR.TXMD[1:0] = 01b）では、SPI はデータを送信しますが、受信しません。そのため、SPSR.SPRF および SPSR.OVRF フラグは (1)～(3) それぞれのタイミングで 0 を保持します。

30.3.6.3 受信専用シリアル通信 (TXMD[1:0] = 10b)

図 30.32 に SPI コントロールレジスタ (SPCR) の通信モード選択ビット (TXMD[1]) を 1 に設定した場合の動作例を示します。TTRG = FIFO 段 - 1、SPI データコントロールレジスタ 2 (SPDCR2) の RTRG = 0、SPI コマンドレジスタ (SPCMDm) の CPHA = 1、SPCMDm レジスタの CPOL = 0 の設定で、SPI が 8 ビットデータシリアル転送をする例を図 30.32 に示します。RSPCK 波形の下の番号は、RSPCK 周期の番号（転送ビットの番号）を示します。

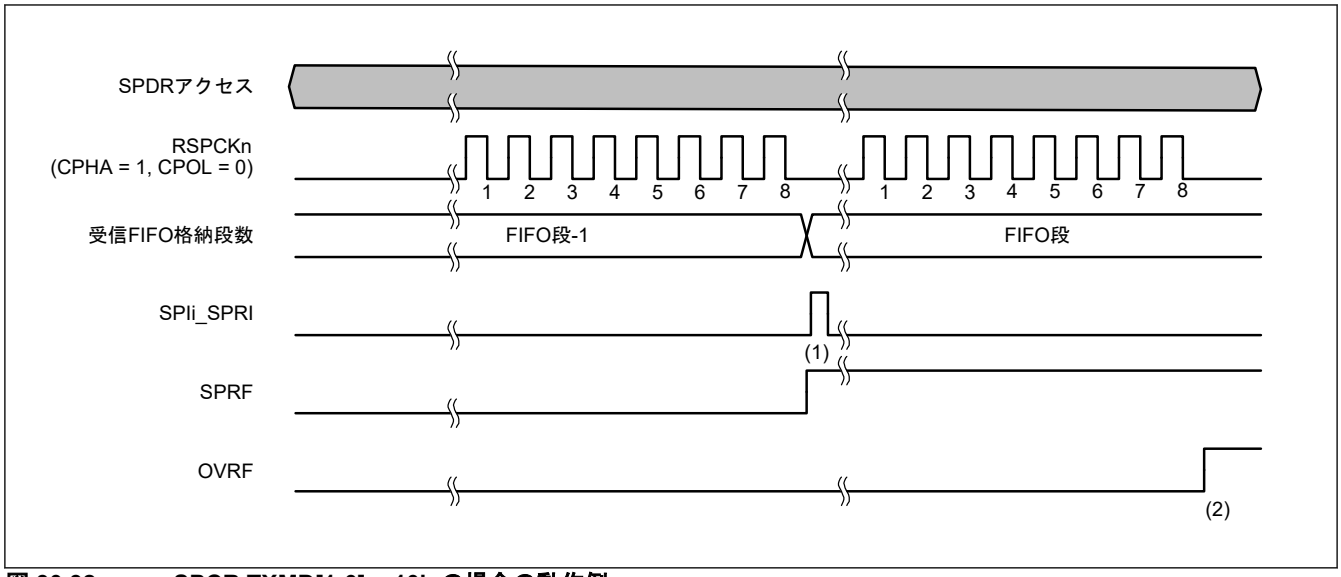


図 30.32 SPCR.TXMD[1:0] = 10b の場合の動作例

上図のタイミング (1) と (2) におけるフラグの動作を以下に説明します。

1. SPDR 受信バッファの格納数が SPDCR2.RTRG に設定されたフレーム数と一致した状態でシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPIi_SPRI) を発生し、SPSR.SPRF フラグを 1 にして、シフトレジスタの受信データを受信バッファにコピーします。
2. SPDR 受信バッファに格納された FIFO 段数のデータがある状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にして、シフトレジスタの受信データを破棄します。

30.3.7 送信バッファエンプティ／受信バッファフル割り込み

図 30.33 に、送信バッファエンプティ割り込み (SPIi_SPTI) と受信バッファフル割り込み (SPIi_SPRI) の動作例を示します。これらの図に記載した SPDR レジスタアクセスは、レジスタへのアクセス状況を示しています。W は書き込みサイクル、R は読み出しサイクルを示しています。図 30.33 の例では、SPCR.TXMD[1:0]ビットが 00b、SPDCR2.TTRG ビットが 0、SPDCR2.RTRG ビットが 0、SPCMDm.CPHA ビットが 0、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

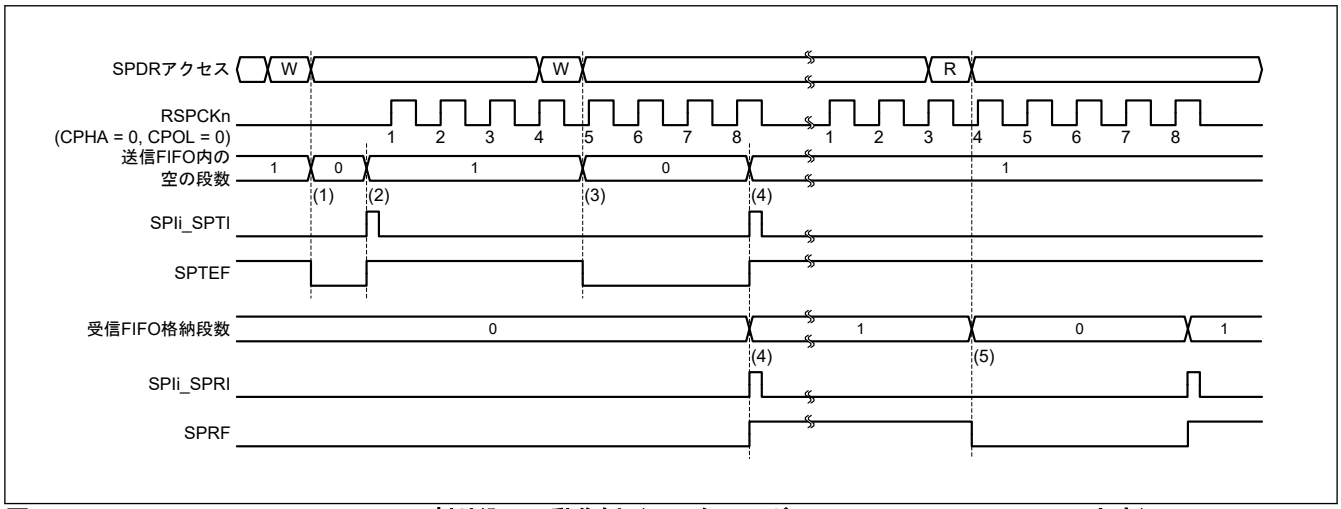


図 30.33 SPIi_SPTI、SPIi_SPRI 割り込みの動作例（マスタモードで CPHA = 0、CPOL = 0 のとき）

以下に、図 30.33 の (1)～(5) に示したタイミングでの SPI の動作内容を説明します。

1. SPDR レジスタの送信バッファが、次転送のデータがセットされる前の状態で、SPDR レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込みます。送信データが、DTC および DMAC を使用して 1 回の処理ルーチンで SPDR に書き込まれるとき、SPSR.SPTEF フラグは最後のアクセス時に 0 にクリアされます。

2. シフトレジスタが空の場合、SPI は送信バッファのデータをシフトレジスタへコピーします。このとき、送信 FIFO の空の段数が TTRG 値より大きい場合、SPI は送信バッファエンプティ割り込み要求 (SPIi_SPTI) を生成し、SPSR.SPTEF フラグを 1 に設定します。なお、シリアル転送の開始方法は、SPI のモードに依存します。詳細は、「30.3. 動作説明」と「30.3.13. クロック同期式動作」を参照してください。
3. 送信バッファエンプティ割り込みルーチン、または SPSR.SPTEF フラグを使用した送信バッファエンプティの処理で SPDR レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込みます。送信データが、DTC および DMAC を使用して 1 回の処理ルーチンで SPDR に書き込まれるとき、SPTEF フラグは最後のアクセス時に 0 にクリアされます。シフトレジスタにはシリアル転送中のデータが格納されているため、SPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR レジスタの受信バッファが FIFO 段数より大きい状態でシリアル転送が終了すると、SPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPIi_SPRI) を発生させ、SPSR.SPRF フラグを 1 にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に次の転送データが送信 FIFO に設定された場合には、SPI が SPTEF フラグを 1 にし、送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタが空であると判断し、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
5. 受信バッファフル割り込みルーチン、または SPSR.SPRF フラグによる受信バッファフルの処理で SPDR レジスタを読み出すと、受信データが読み出せます。受信データが、DTC および DMAC を使用して 1 回の処理ルーチンで SPDR から読み出された場合、SPRF フラグは最後のアクセス時に 0 にクリアされます。

送信 FIFO の空の段がないときに送信データが SPDR レジスタに書き込まれると、SPI は送信バッファのデータを更新しません。SPDR レジスタへ書き込む場合は、常に送信バッファエンプティ割り込み要求を使用するか、または SPTEF フラグによる送信バッファエンプティ割り込みを使用してください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR の SPTIE ビットを 1 にしてください。SPI 機能が無効 (SPCR.SPE ビットが 0) の場合には、SPTIE ビットを 0 にしてください。

FIFO 段数に対してデータが受信 FIFO に格納されているとき、シリアル転送が終了した場合には、SPI はシフトレジスタから受信バッファへデータをコピーせず、オーバーランエラーを検出します（「30.3.10. エラー検出」を参照してください）。受信データのオーバーランエラーを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また、SPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを 1 にしてください。

送信／受信バッファの状態は、送信／受信割り込み、または関連する ICU の IELSRn.IR フラグ（n は割り込みベクタ番号）によって確認することができます。

同様に、SPTEF および SPRF フラグによっても、送信／受信バッファの状態を確認できます。割り込みベクタ番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

30.3.8 アイドル割り込み

SPI ステータスレジスタ (SPSR) の SPCP[2:0]ビットが 000b（シーケンス制御の開始）になるとき、SPI ステータスレジスタ (SPSR) の IDLNF フラグが 1 になり、マスタモード動作中のアイドル割り込み要求が発行されます。SPCR.SPE ビットを 0 にクリアすることでも、割り込み要求が発行されます。

［Motorola-SPI の場合］

図 30.34 に通常動作におけるアイドル割り込み動作の例を示します。

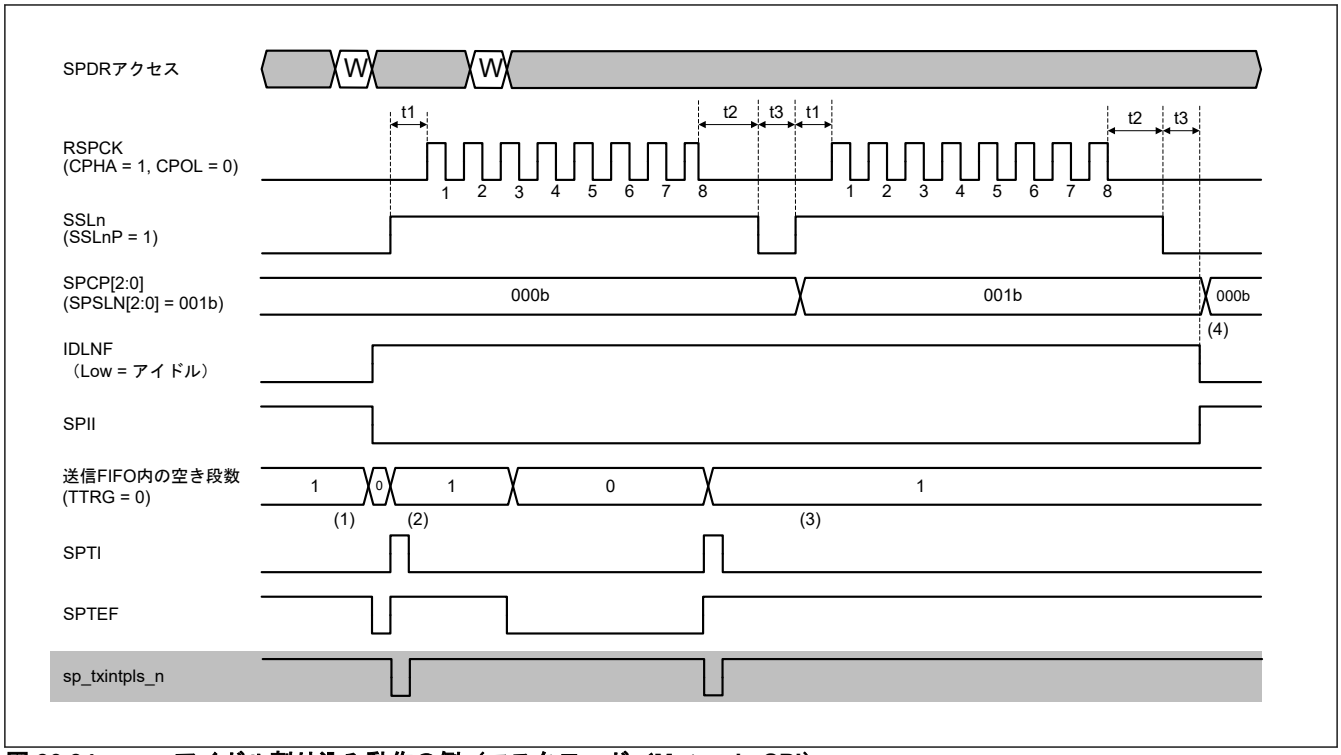


図 30.34　　アイドル割り込み動作の例（マスタモード／Motorola-SPI）

1. 送信開始時に、次の転送データが送信バッファに設定されていない場合、IDLNF フラグが 0 (IDLE) になります。送信データを書き込むと、IDLNF フラグが 1 (BUSY) になります。送信データを書き込む前に SPI 制御レジスタ (SPCR) の SPIIE ビットが 1 に設定されると、送信開始前に割り込み処理が必要になります。そのため、送信開始前に SPIIE ビットを 0 に設定します。
2. 送信バッファの状態にかかわらず、送信を開始した後も IDLNF フラグは 1 (BUSY) のままになります。
3. t3 サイクルの終わりで、SPCP[2:0] ビットは次のコマンドにコマンドを変更します。次のコマンドが 000b でないとき、次の送信データが書き込まれていなくても IDLNF フラグは変わらずそのままになります。
4. t3 サイクルの終わりで、次のコマンドが 000b であり次の送信データがないため、IDLNF フラグは 0 (IDLE) にクリアされます。現在、SPIIE ビットが 1 の場合、SPIi_SPII 割り込みが出力されます。

［TI-SSP の場合］

図 30.35 に通常動作におけるアイドル割り込み動作の例を示します。

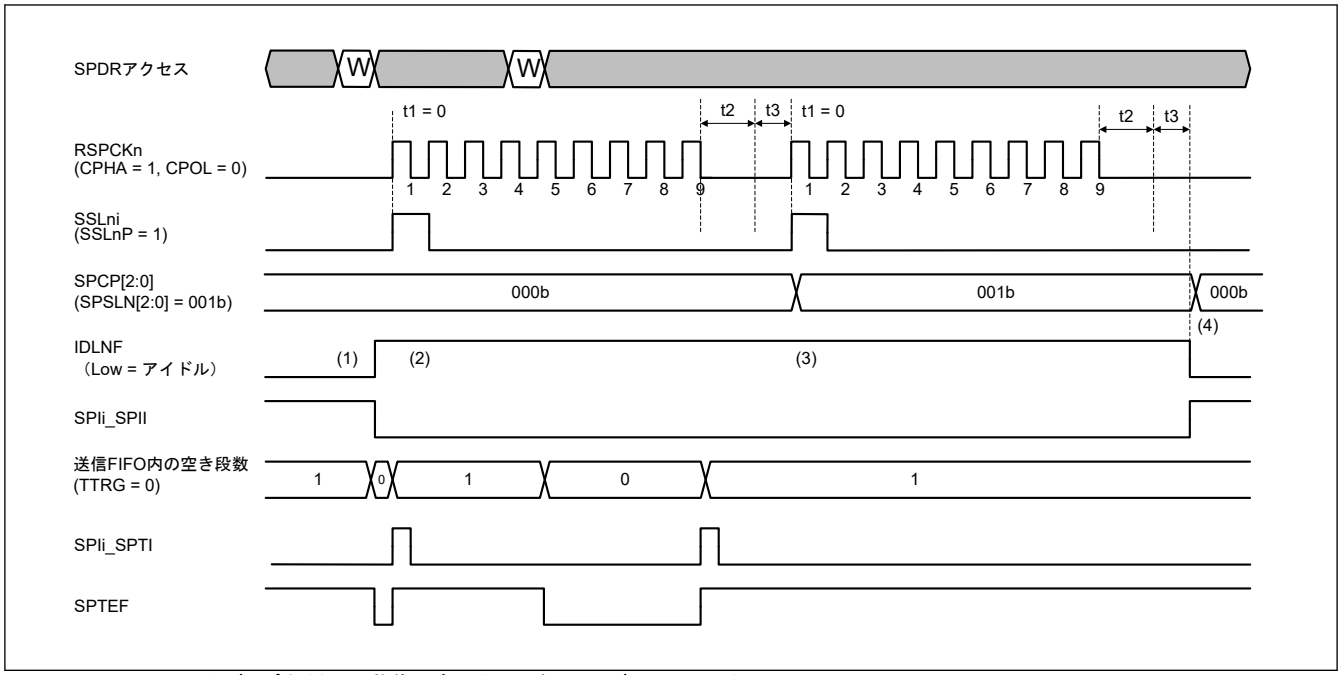


図 30.35　　アイドル割り込み動作の例（マスタモード／TI-SSP）

1. 送信開始時に、次の転送データが送信バッファに設定されていない場合、IDLNF フラグが 0 (IDLE) になります。送信データを書き込むと、IDLNF フラグが 1 (BUSY) になります。送信データを書き込む前に SPI 制御レジスタ (SPCR) の SPIIE ビットが 1 に設定されると、送信開始前に割り込み処理が必要になります。そのため、送信開始前に SPIIE ビットを 0 に設定します。
2. 送信バッファの状態にかかわらず、送信を開始した後も IDLNF フラグは 1 (BUSY) のままになります。
3. t3 サイクルの終わりで、SPCP[2:0] ビットは次のコマンドにコマンドを変更します。次のコマンドが 000b でないとき、次の送信データが書き込まれていなくても IDLNF フラグは変わらずそのままになります。
4. t3 サイクルの終わりで、次のコマンドが 000b であり次の送信データがないため、IDLNF フラグは 0 (IDLE) にクリアされます。現在、SPIIE ビットが 1 の場合、SPIi_SPII 割り込みが出力されます。

30.3.9　通信終了割り込み

30.3.9.1　マスタモードでの送受信／送信

マスタモードでの送受信／送信専用時の通信完了フラグの設定／クリア条件については、「30.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

[Motorola-SPI の場合]

図 30.36 に、送受信／送信マスタモードでの通信終了割り込み動作例を示します。

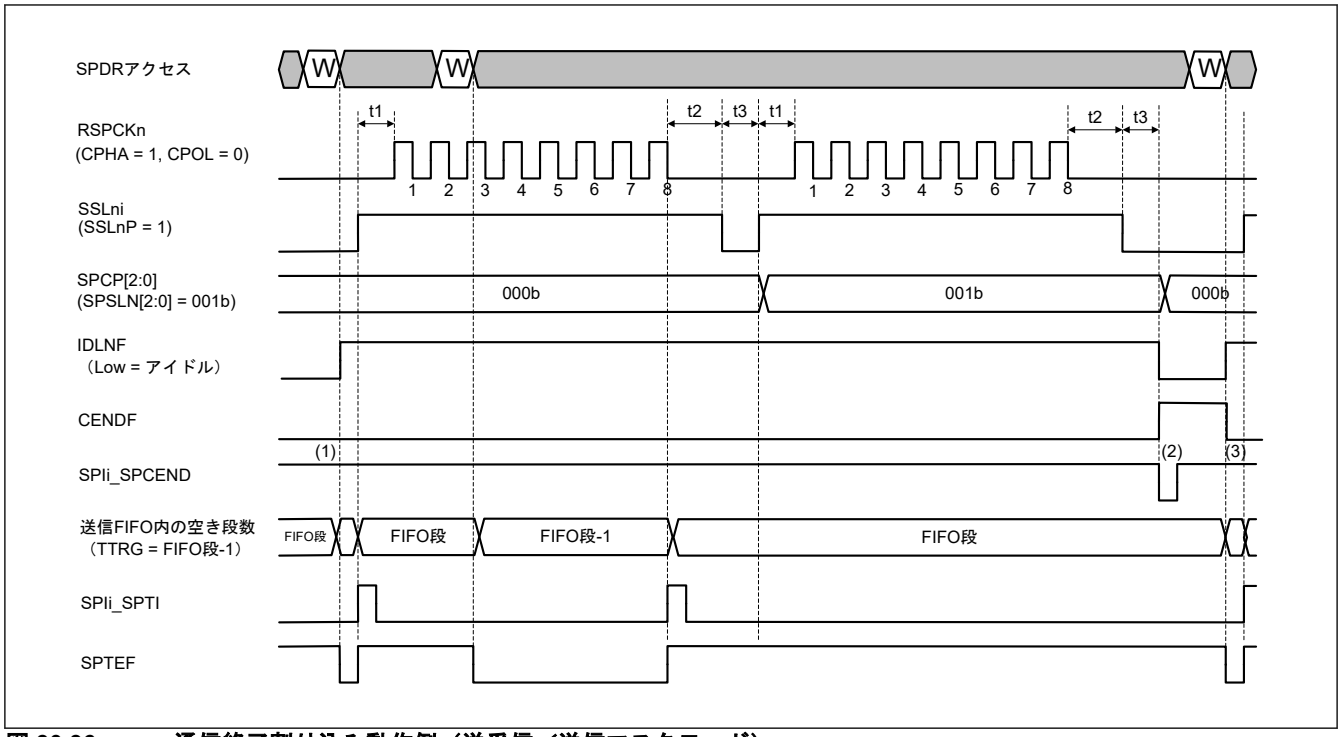


図 30.36　通信終了割り込み動作例（送受信／送信マスタモード）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 次のコマンドが 000b で次の送信データがないため、t3 期間の終わりで CENDF フラグは 1（通信終了）になり、CENDIE ビットが 1 になると SPIi_SPCEND 割り込みが出力されます。
3. 次の送信データが送信バッファ (SPTX) に書き込まれると、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

[TI-SSP の場合]

図 30.37 に、送受信／送信マスタモードでの通信終了割り込み動作例を示します。

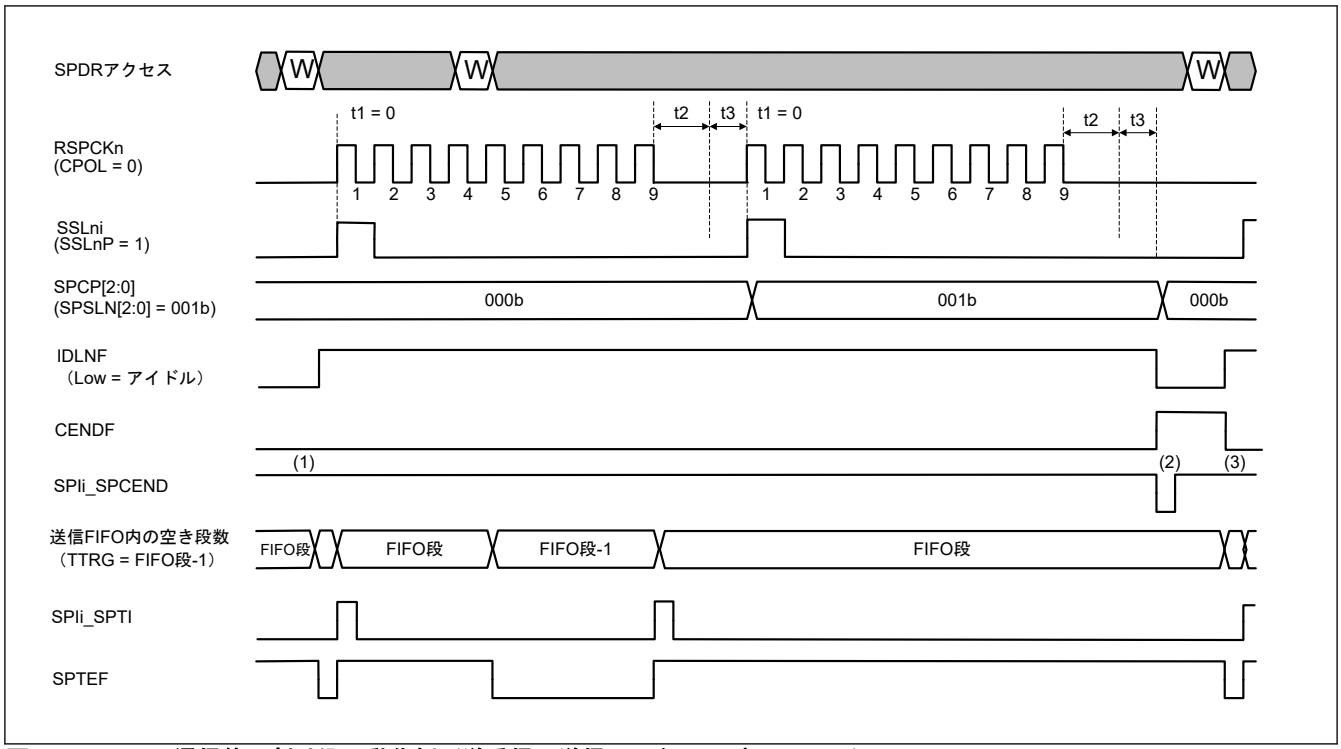


図 30.37　通信終了割り込み動作例（送受信／送信マスタモード／TI-SSP）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 次のコマンドが 000b で次の送信データがないため、t3 期間の終わりで CENDF フラグは 1（通信終了）になり、CENDIE ビットが 1 になると SPIi_SPCEND 割り込みが出力されます。
3. 次の送信データが送信バッファ (SPTX) に書き込まれると、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

スレーブモード動作において、通信終了割り込みの出力タイミングは SPCR.SPMS ビット（SPI モード選択ビット）の値によって異なり、通信終了割り込みのクリアタイミングは通信モード（送受信、送信のみ、または受信のみ）によって異なります。

30.3.9.2 受信専用マスタモード

受信専用マスタモードでの通信完了フラグのセット条件／クリア条件については、「30.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

図 30.38 に、RMFM[4:0] = 0 時の受信専用マスタモードでの通信終了割り込み動作例を示します。

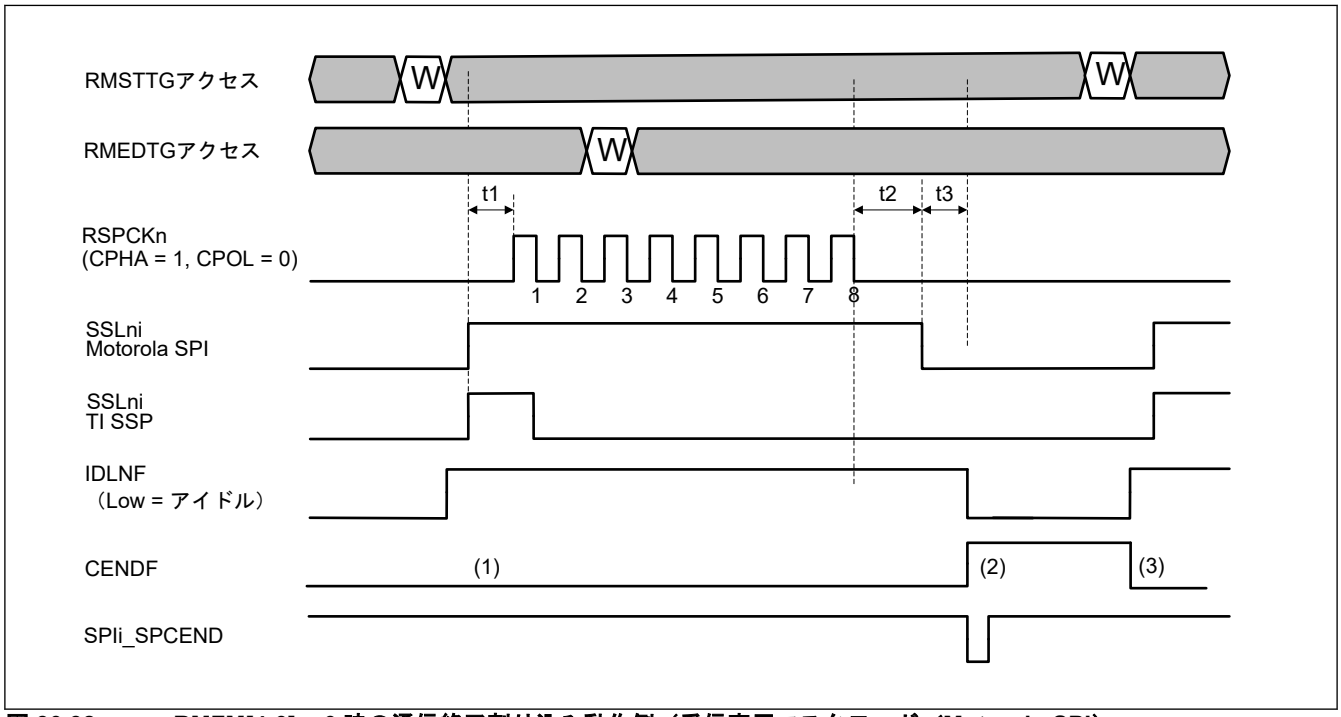


図 30.38 RMFM[4:0] = 0 時の通信終了割り込み動作例（受信専用マスタモード／Motorola-SPI）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 通信フレーム期間中に RMEDTG に 1 を書き込むことにより、t3 サイクルの終わりに CENDF フラグは 1（通信終了）になります。それから CENDIE ビットが 1 のとき、SPIi_SPCEND 割り込みを PCLK の 1 サイクル幅で出力します。
3. RMSTTG に 1 を書き込むと、CENDF フラグはクリアされます。また、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

図 30.39 に、RMFM[4:0] ≠ 0 時の受信専用マスタモードでの通信終了割り込み動作例を示します。

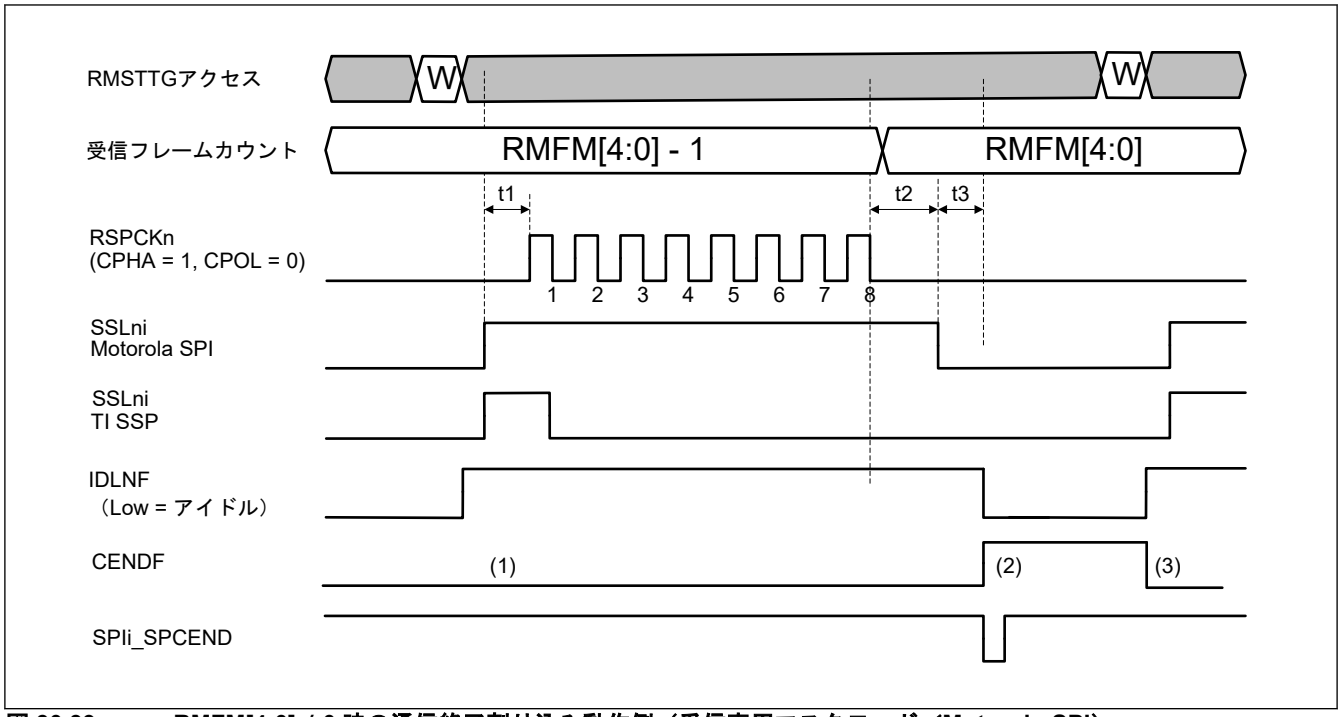


図 30.39 RMFM[4:0] ≠ 0 時の通信終了割り込み動作例（受信専用マスタモード／Motorola-SPI）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. RMFM[4:0]により設定されたフレーム数を受信後、t3 サイクルの終わりに CENDF フラグは 1（通信終了）になります。それから CENDIE ビットが 1 のとき、SPIi_SPCEND 割り込みを PCLK の 1 サイクル幅で出力します。
3. RMSTTG に 1 を書き込むと、CENDF フラグはクリアされます。また、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

30.3.9.3 SPI 動作（4 線式）時のスレーブモードでの送受信／送信

スレーブモード（4 線式）での送受信／送信専用時の通信完了フラグの設定／クリア条件については、「30.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

[Motorola-SPI の場合]

図 30.40 に、SPI 動作時の送受信／送信スレーブモードでの通信終了割り込み動作例を示します。

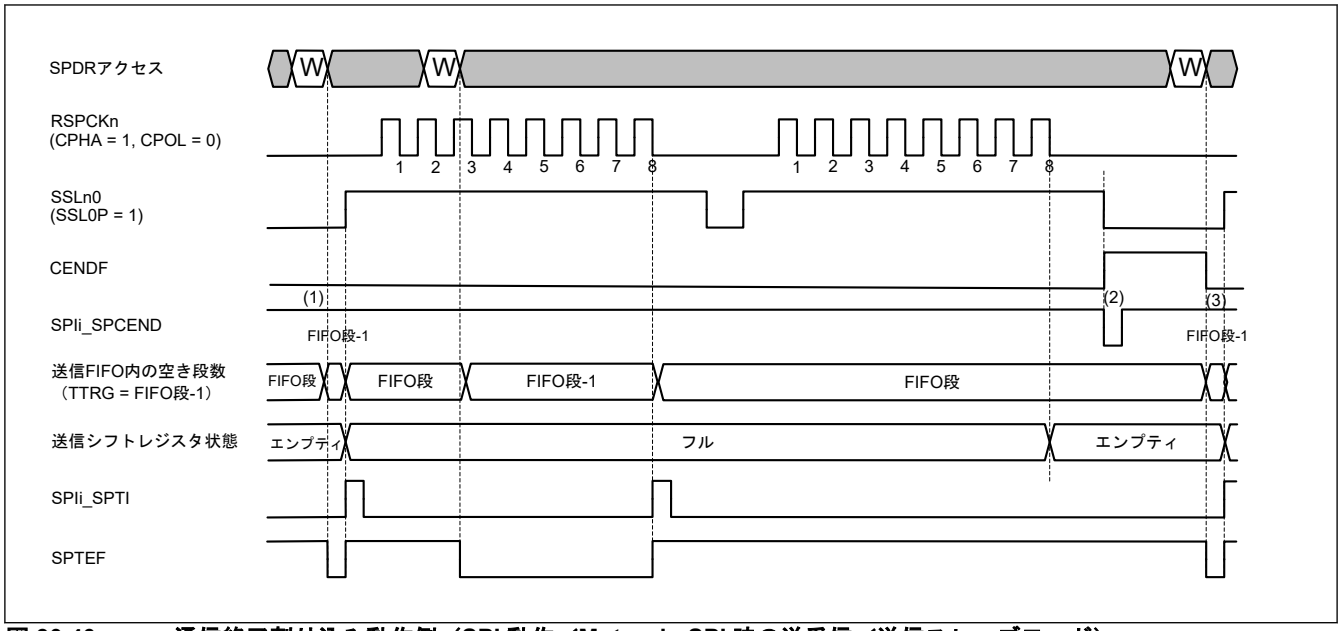


図 30.40 通信終了割り込み動作例（SPI 動作／Motorola-SPI 時の送受信／送信スレーブモード）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 次の転送データが送信 FIFO にセットされておらず、送信シフトレジスタがエンプティの場合は、SSLn0 ネゲートのタイミングで CENDF フラグが 1（通信終了）になります。それから CENDIE ビットが 1 の場合、PCLK 1 サイクル分の幅で SPIi_SPCEND 割り込みを出力します。
3. 次の送信データが送信バッファ (SPTX) に書き込まれると、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

[TI-SSP の場合]

図 30.41 に、SPI 動作時の送受信／送信専用スレーブモードでの通信終了割り込み動作例を示します。

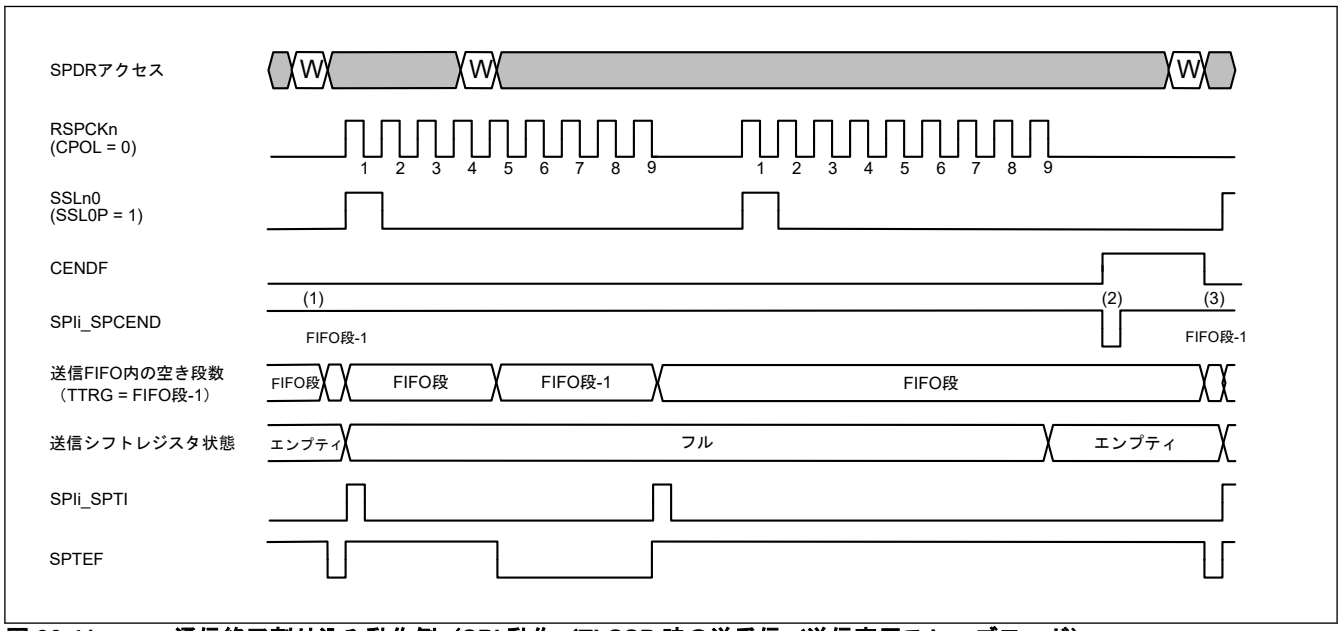


図 30.41 通信終了割り込み動作例（SPI 動作／TI-SSP 時の送受信／送信専用スレーブモード）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 次の転送データが送信 FIFO にセットされておらず、送信シフトレジスタがエンプティの場合は、RSPCKn の最終データビットサンプリング時に CENDF フラグが 1（通信終了）になります。それから CENDIE ビットが 1 の場合、PCLK 1 サイクル分の幅で SPIi_SPCEND 割り込みを出力します。

3. 次の送信データが送信バッファ (SPTX) に書き込まれると、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

30.3.9.4　SPI 動作（4 線式）時のスレーブモードでの受信専用

スレーブモード（4 線式）での受信専用時の通信完了フラグの設定／クリア条件については、「30.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

[Motorola-SPI の場合]

図 30.42 に、SPI 動作（4 線式）時の受信のみスレーブモードでの通信終了割り込み動作例を示します。

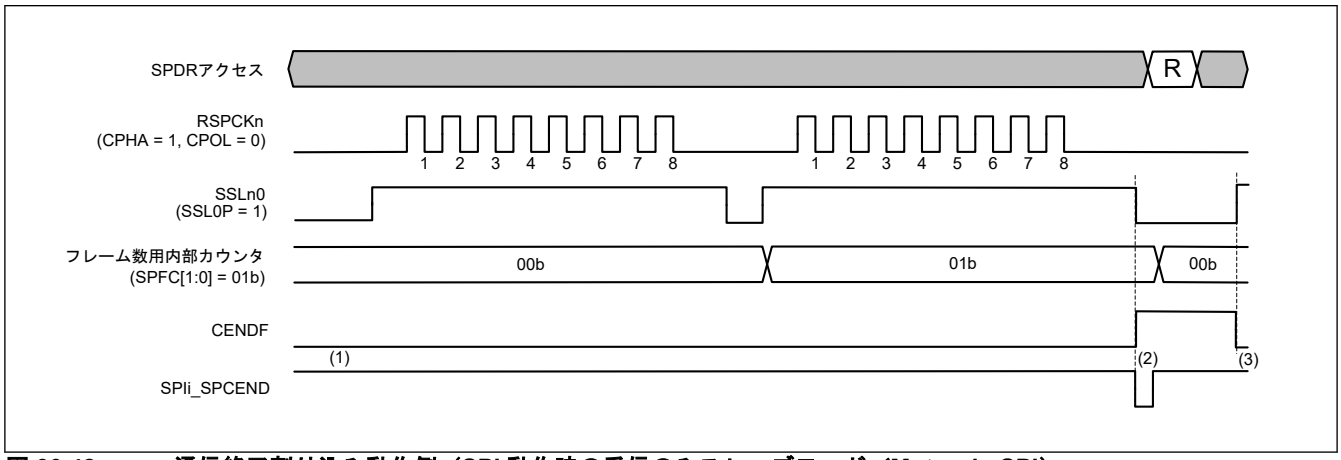


図 30.42　通信終了割り込み動作例（SPI 動作時の受信のみスレーブモード／Motorola-SPI）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. SPI データコントロールレジスタ (SPDCR) の SPFC 設定値分のフレームを受信バッファに格納した後、SSLn0 ネゲートのタイミングで CENDF フラグが 1（通信完了）になります。それから CENDIE ビットが 1 の場合、PCLK 1 サイクル分の幅で SPIi_SPCEND 割り込みを出力します。
3. 次の送信が開始したとき、SSLn0 アサート時に CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

[TI-SSP の場合]

図 30.43 に、SPI 動作（4 線式）時の受信のみスレーブモードでの通信終了割り込み動作例を示します。

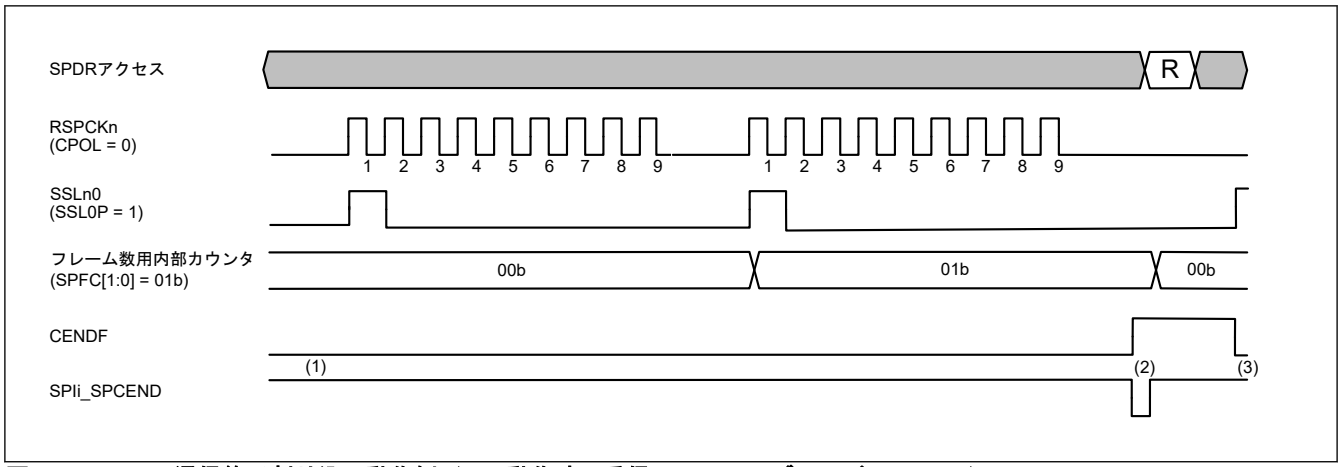


図 30.43　通信終了割り込み動作例（SPI 動作時の受信のみスレーブモード／TI-SSP）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 最終フレーム送信終了時に、RSPCK の最終データビットサンプリングのタイミングで、CENDF フラグが 1（通信終了）になります。それから CENDIE ビットが 1 の場合、PCLK 1 サイクル分の幅で SPIi_SPCEND 割り込みを出力します。

3. 次の送信が開始したとき、SSLn0 アサート時に CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

30.3.9.5　クロック同期式動作（3 線式）時のスレーブモードでの送受信／送信

クロック同期（3 線式）時のスレーブモードでの送受信／送信専用時の通信完了フラグの設定／クリア条件については、「30.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

図 30.44 に、クロック同期式動作（3 線式）時の送受信／送信スレーブモードでの通信終了割り込み動作例を示します。

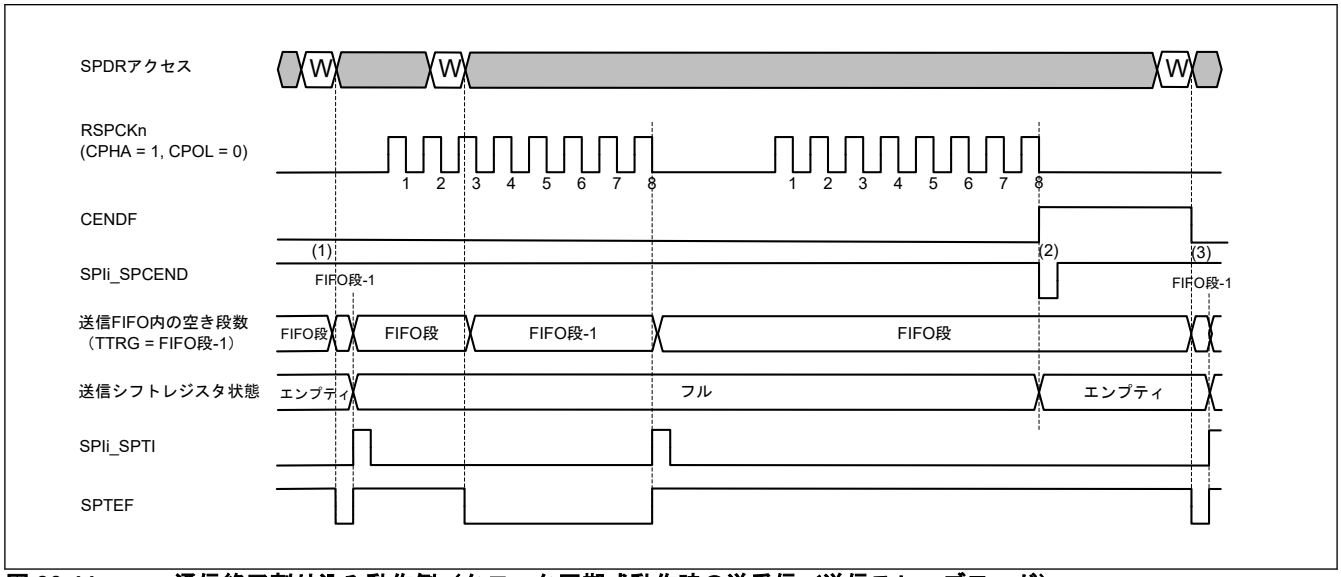


図 30.44　通信終了割り込み動作例（クロック同期式動作時の送受信／送信スレーブモード）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 次の転送データが送信 FIFO にセットされておらず、送信シフトレジスタがエンプティのとき、CENDIE ビットが 1 の場合は PCLK 1 サイクル分の幅で SPIi_SPCEND 割り込みを出力します。
3. 次の送信データが送信バッファ (SPTX) に書き込まれると、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

30.3.9.6　クロック同期式動作（3 線式）時のスレーブモードでの受信専用

クロック同期（3 線式）時のスレーブモードでの受信専用時の通信完了フラグの設定／クリア条件については、「30.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

図 30.45 に、クロック同期動作時の受信のみスレーブモードでの通信終了割り込み動作例を示します。

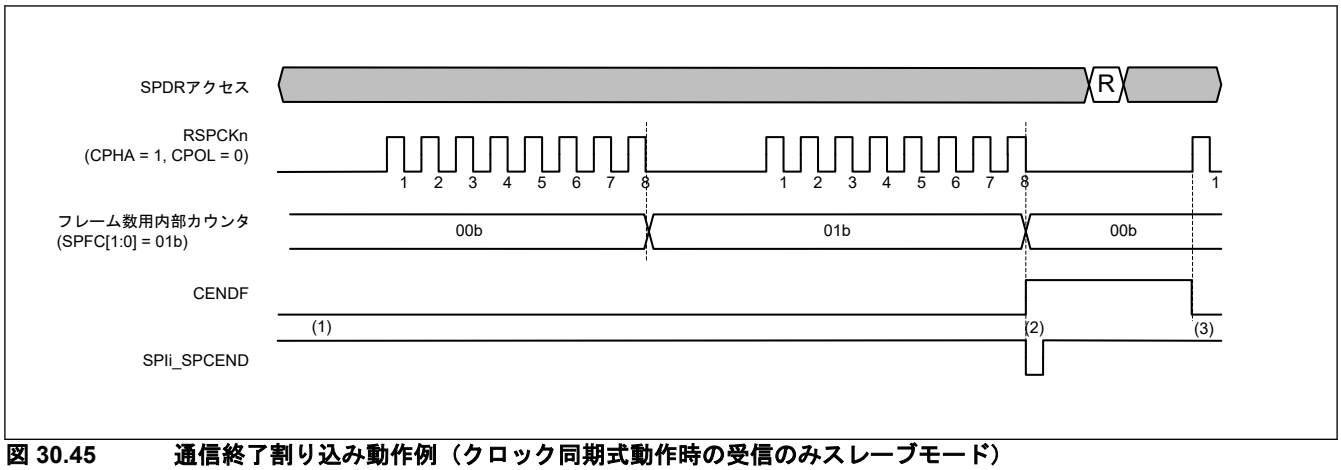


図 30.45　通信終了割り込み動作例（クロック同期式動作時の受信のみスレーブモード）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。

2. SPI データコントロールレジスタ (SPDCR) の SPFC 設定値の最終フレームを受信したときに、最終フレーム通信における RSPCKn の最終データビットのサンプリングのタイミングで、CENDF フラグは 1（通信完了）になります。それから CENDIE ビットが 1 の場合、PCLK 1 サイクル分の幅で SPIi_SPCEND 割り込みを出力します。
3. 次の送信の RSPCKn の最初のエッジで、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

30.3.9.7 共通動作

この章では「30.3.9.1. マスタモードでの送受信／送信」～「30.3.9.6. クロック同期式動作（3 線式）時のスレーブモードでの受信専用」に記載の各モード／エリアオプション通信に共通する動作について説明します。通信完了時に SPI 通信終了割り込みイネーブルビット (CENDIE) が 0 の場合、通信終了フラグ (CENDF) がセットされ、通信終了のイベント (sp_elccend) が出力されますが、割り込みは出力されません。しかし、SPI 機能イネーブルビット (SPE) が 1 のときに、通信終了フラグ (CENDF) クリア前に通信終了割り込みイネーブルビット (CENDIE) が 1 になると、通信終了割り込みが出力されます。

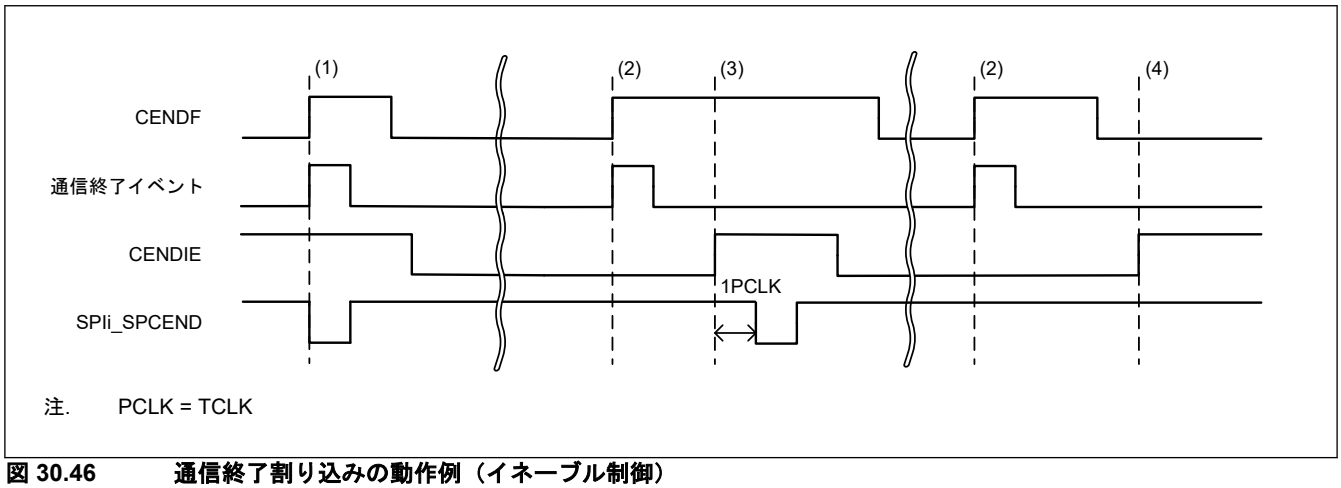


図 30.46 通信終了割り込みの動作例（イネーブル制御）

1. 通信完了時 SPI 通信終了割り込みのイネーブルビット (CENDIE) が 1 の場合、下記の 3 つが同じタイミングになります。
   - 通信終了フラグ (CENDF)
   - 通信終了イベント (sp_elccend)
   - 通信終了割り込み
2. 通信完了時 SPI 通信終了割り込みのイネーブルビット (CENDIE) が 0 の場合、下記の 2 つが同じタイミングになりますが、割り込みは発生しません。
   - 通信終了フラグ (CENDF)
   - 通信終了イベント (sp_elccend)
3. (2) の後、SPI 機能イネーブルビット (SPE) および通信終了フラグ (CENDF) が 1 のとき、通信終了割り込みイネーブルビット (CENDIE) がセットされると、1 TCLK 後通信終了割り込みが出力されます。
4. (2) の後、SPI 機能イネーブルビット (SPE) または通信終了フラグ (CENDF) が 0 のときは通信終了割り込みイネーブルビット (CENDIE) がセットされても、通信終了割り込みは出力されません。

30.3.10 エラー検出

通常の SPI のシリアル転送では、SPDR レジスタの送信バッファに書き込んだデータが送信され、受信したデータは SPDR レジスタの受信バッファから読み出すことができます。SPDR レジスタにアクセスがあった場合、送信または受信バッファの状態やシリアル転送の開始時または終了時の SPI の状態によって、通常以外の転送となることがあります。

通常以外の転送が発生した場合には、SPI はアンダーランエラー、オーバーランエラー、パリティエラー、またはモードフォルトエラーとして検出します。 表 30.9 に、通常以外の転送動作と SPI のエラー検出機能の関係を示します。

表 30.9 通常以外の転送動作と SPI のエラー検出機能の関係

動作	発生条件	SPI 動作	エラー検出
1	送信 FIFO にエンプティステージがない状態で SPDR レジスタに書き込み	• 送信バッファ内容を保持 • 書き込みデータ欠落	なし
2	受信 FIFO にデータが格納されていない状態で SPDR レジスタを読み出し	受信バッファ内容および受信済みデータを出力	なし
3	SPI がデータ送信不能のときに、スレーブモードでシリアル転送が開始	• シリアル転送を中断 • 送受信データ欠落 • MISOn 端子の出力信号のドライブ停止 • SPI 機能は無効	アンダーランエラー
4	FIFO ステージ数の分だけ受信 FIFO にデータが格納された状態でシリアル転送が終了	• 受信 FIFO 内容を保持 • 受信データ欠落	オーバーランエラー
5	以下のモードで、全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信 • 送受信マスタモード • 受信専用マスタモード • 送受信スレーブモード • 受信専用スレーブモード	パリティエラーフラグのアサート	パリティエラー
6	マルチマスタモードでシリアル転送アイドル時に SSLn0 端子の入力信号アサート	• RSPCKn、MOSIn、SSLn1～SSLn3 端子の出力信号のドライブ停止 • SPI 機能は無効	モードフォルトエラー
7	マルチマスタモードでシリアル転送中に SSLn0 端子の入力信号アサート	• シリアル転送を中断 • 送受信データ欠落 • RSPCKn、MOSIn、SSLn1～SSLn3 端子の出力信号のドライブ停止 • SPI 機能は無効	モードフォルトエラー
8	[Motorola-SPI の場合] スレーブモードでシリアル転送中に SSLn0 端子の入力信号ネゲート	• シリアル転送を中断 • 送受信データ欠落 • MISOn 端子の出力信号のドライブ停止 • SPI 機能は無効	モードフォルトエラー
9	[TI-SSP の場合] スレーブモードでシリアル転送中に SSL0 入力信号アサート	• シリアル転送を中断 • 送受信データ欠落 • MISOn 出力信号のドライブ停止 • SPI 機能は無効	モードフォルトエラー
10	SPDRES = 1 でデータが受信 FIFO に格納された後、格納されたデータ数はしきい値よりも少なく、SPDRC[7:0]の設定値に受信データは書き込まれません。	受信データレディフラグをアサート	受信データレディ

表 30.9 の動作 1 に対しては、SPI はエラーを検出しません。SPDR レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求で SPDR レジスタへの書き込みを実行してください (SPSR.SPTEF フラグが 1 の場合)。

動作 2 に対しても、SPI はエラーを検出しません。無関係なデータを読み出さないようにするためには、SPI 受信バッファフル割り込み要求で SPDR レジスタの読み出しを実行するようにしてください (SPSR.SPRF フラグが 1 の場合)。

表中のその他のエラーについては、下記の節を参照してください。

- 動作 3 に示したアンダーランエラーについては、「30.3.10.4. アンダーランエラー」を参照してください。
- 動作 4 に示したオーバーランエラーについては、「30.3.10.1. オーバーランエラー」を参照してください。
- 動作 5 に示したパリティエラーについては、「30.3.10.2. パリティエラー」を参照してください。
- 動作 6～9 に示すように、モードフォルトエラーについては、「30.3.10.3. モードフォルトエラー」を参照してください。
- 送信および受信割り込みについては、「30.3.7. 送信バッファエンプティ／受信バッファフル割り込み」を参照してください。
- 動作 10 に示した受信データレディについては、「30.3.10.5. 受信データレディ」を参照してください。

30.3.10.1 オーバーランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、SPI はオーバーランエラーを検出して SPSR.OVRF フラグを 1 にします。SPSR.OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを 0 にするには、システムをリセットするか、SPSRC.OVRFC ビットに 1 を書き込みます。

図 30.47 に OVRF フラグと SPRF フラグの動作例を示します。図 30.47 に記載した SPSRC アクセスと SPDR アクセスは、それぞれ SPSRC レジスタと SPDR レジスタへのアクセス状況を示しています。W は書き込みサイクル、R は読み出しサイクルを示しています。この例では、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

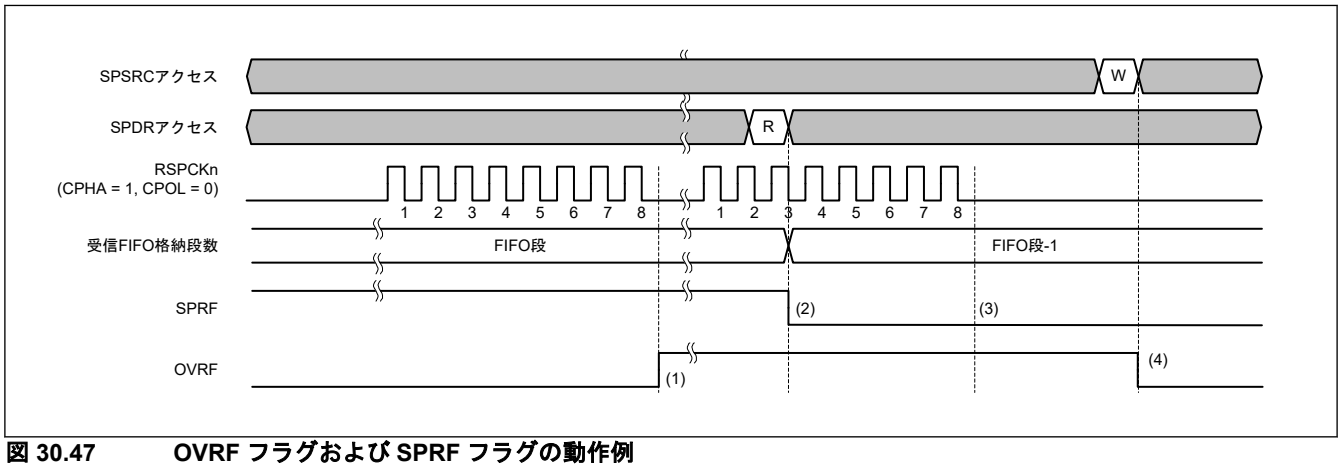


図 30.47 OVRF フラグおよび SPRF フラグの動作例

以下に、図 30.47 の (1) ～ (4) に示したタイミングでのフラグの動作内容を説明します。

1. FIFO 段数に対応するデータが格納された状態でシリアル転送が終了すると、SPI はオーバーランエラーを検出して OVRF フラグを 1 に設定します。SPI はシフトレジスタのデータを受信バッファにコピーしません。SPI は、SPPE = 1 の場合でもパリティエラーを検出しません。マスタモードでは、SPI は SPI コマンドレジスタ (SPCMDm) へのポインタの値を、SPI ステータスレジスタ (SPSR) の SPECM[2:0]ビットにコピーします。
2. SPDR レジスタを読み出すと、SPI は受信バッファのデータを出力します。このとき、DTC/DMAC を使い 1 つの処理ルーチンで SPDR から受信データを読み出す際の最後のアクセス時に、SPRF フラグがクリアされて 0 になります。
3. OVRF フラグが 1（オーバーランエラー）の状態でシリアル転送が終了すると、SPI はシフトレジスタのデータを受信バッファにコピーしません（SPRF フラグは 1 になりません）。受信バッファフル割り込みも発生しません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。オーバーランエラー発生状態で、SPI がシフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタがエンプティであると判定します。これにより、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
4. SPSRC.OVRFC ビットに 1 を書き込んだとき、SPSR.OVRF フラグはクリアされます。

オーバーランエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。

オーバーランエラーが発生して OVRF フラグが 1 になると、OVRF フラグが 0 になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効 (SPCR.SCKASE = 1) にした場合、オーバーランエラーは発生しません。図 30.48 と図 30.49 に、マスタモードの受信バッファフル状態でシリアル転送が継続されるときのクロック停止波形を示します。

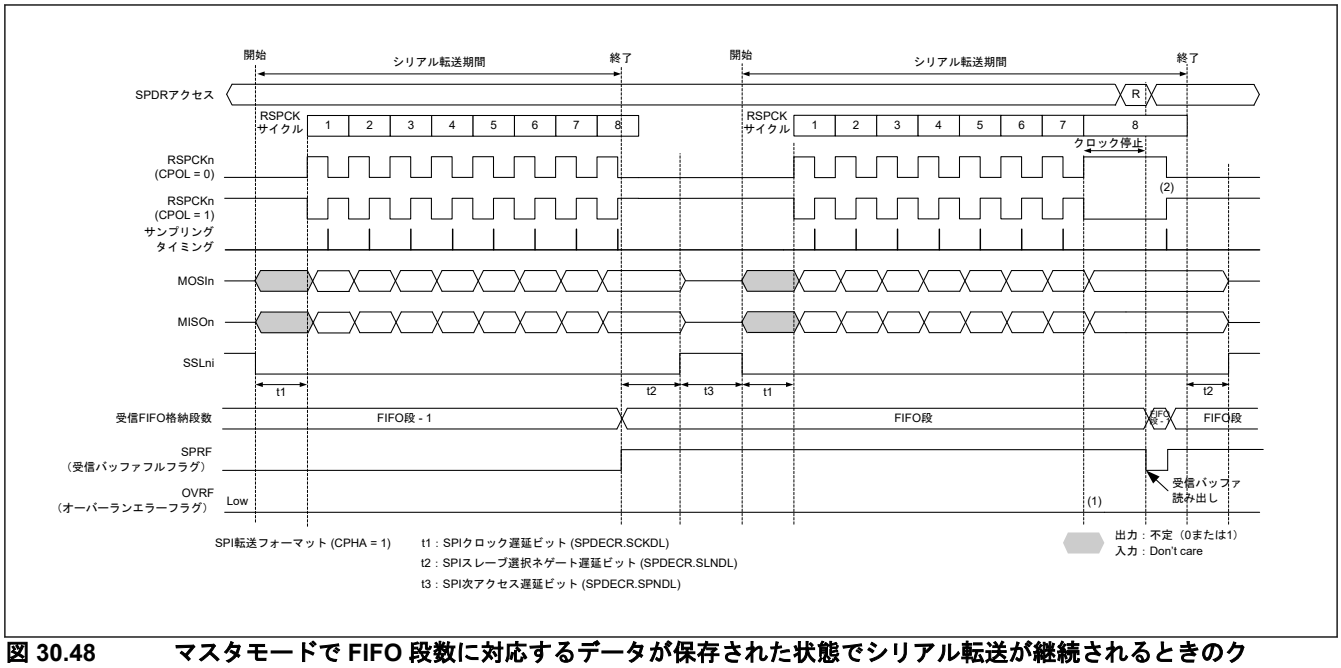


図 30.48　マスタモードで FIFO 段数に対応するデータが保存された状態でシリアル転送が継続されるときのクロック停止波形 (DPHA = 1)

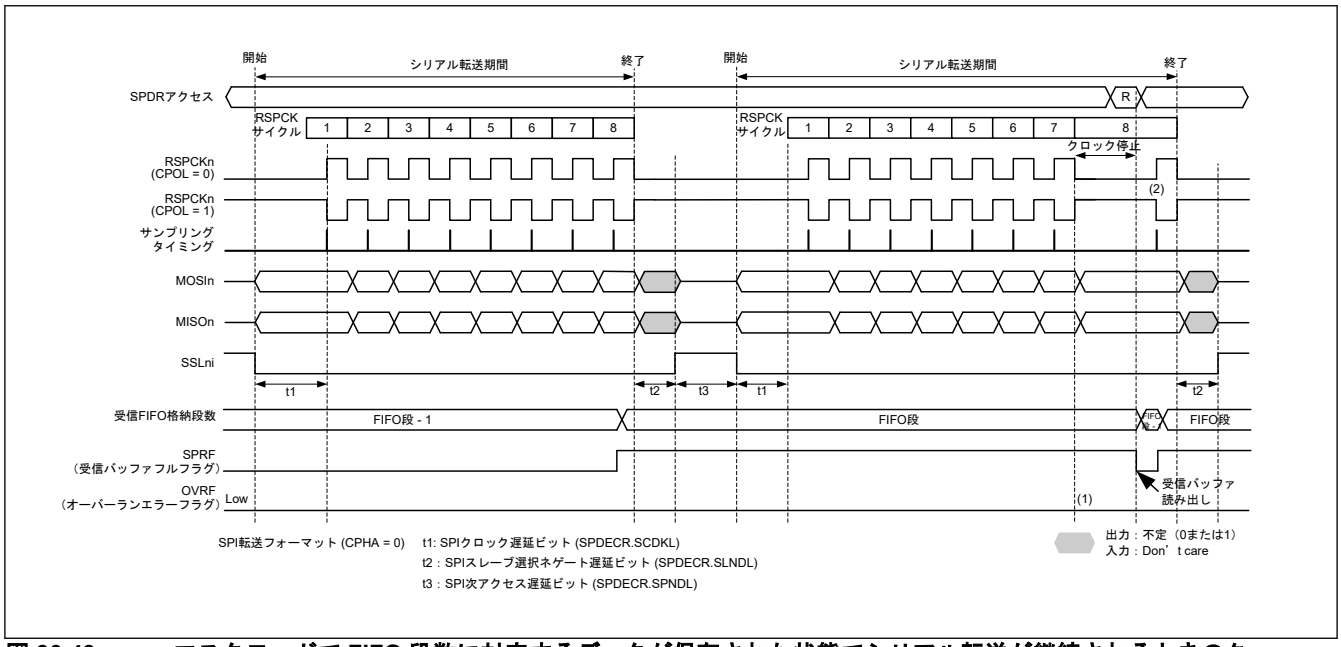


図 30.49　マスタモードで FIFO 段数に対応するデータが保存された状態でシリアル転送が継続されるときのクロック停止波形 (DPHA = 0)

以下に、図 30.48 および図 30.49 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

1. FIFO 段数に対応するデータが受信 FIFO に格納されている場合は、RSPCK クロックの発振が停止してオーバーランエラーは発生しません。
2. クロック停止中に SPDR を読み出すと、受信バッファのデータを読み出せます。RSPCK クロックが発振を再開します。

マスタモードにおけるバースト転送の際、フレーム間遅延なしの転送に対し自動停止機能が有効であるとき、オーバーランエラーは発生しません。図 30.50 と図 30.51 に、バースト転送のフレーム間の遅延がなく、なおかつ FIFO 段数に対応するデータが受信 FIFO に格納された状態でシリアル転送が継続する場合のクロック停止波形を示します。

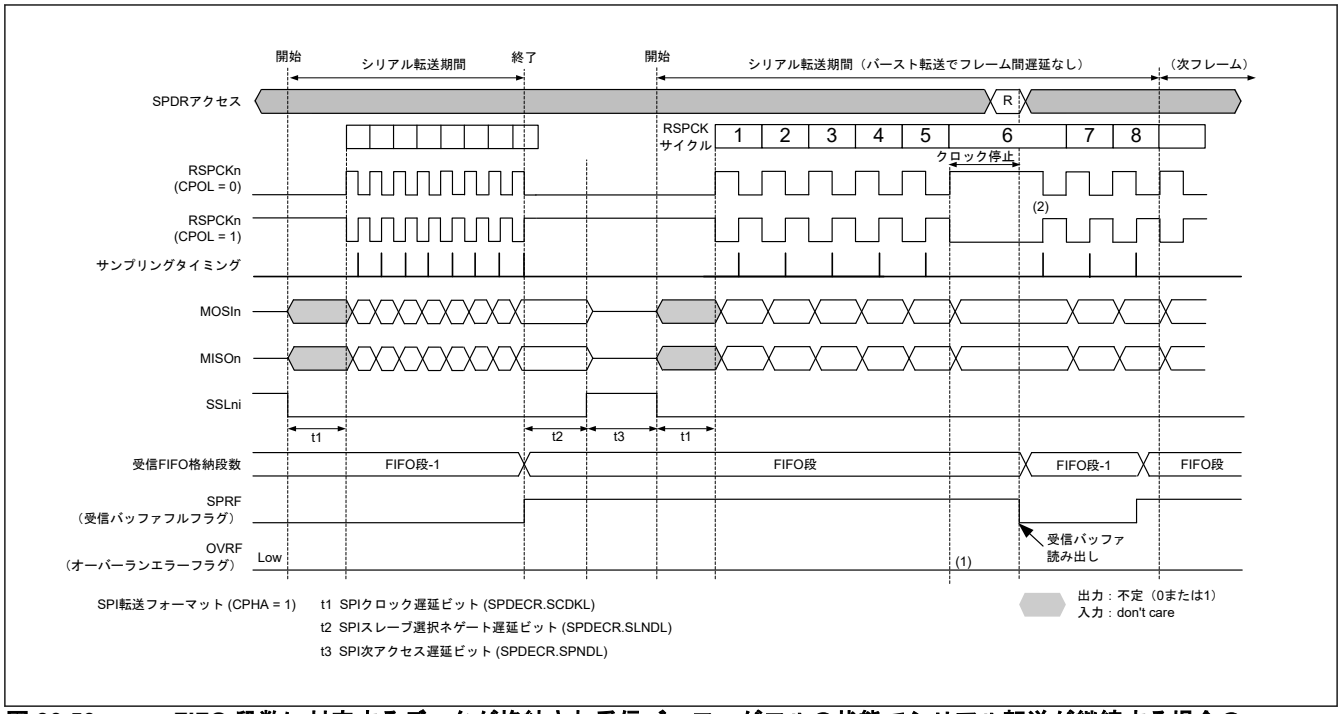


図 30.50　FIFO 段数に対応するデータが格納され受信バッファがフルの状態でシリアル転送が継続する場合のクロック停止波形（バースト転送でフレーム間遅延なし、CPHA = 1）

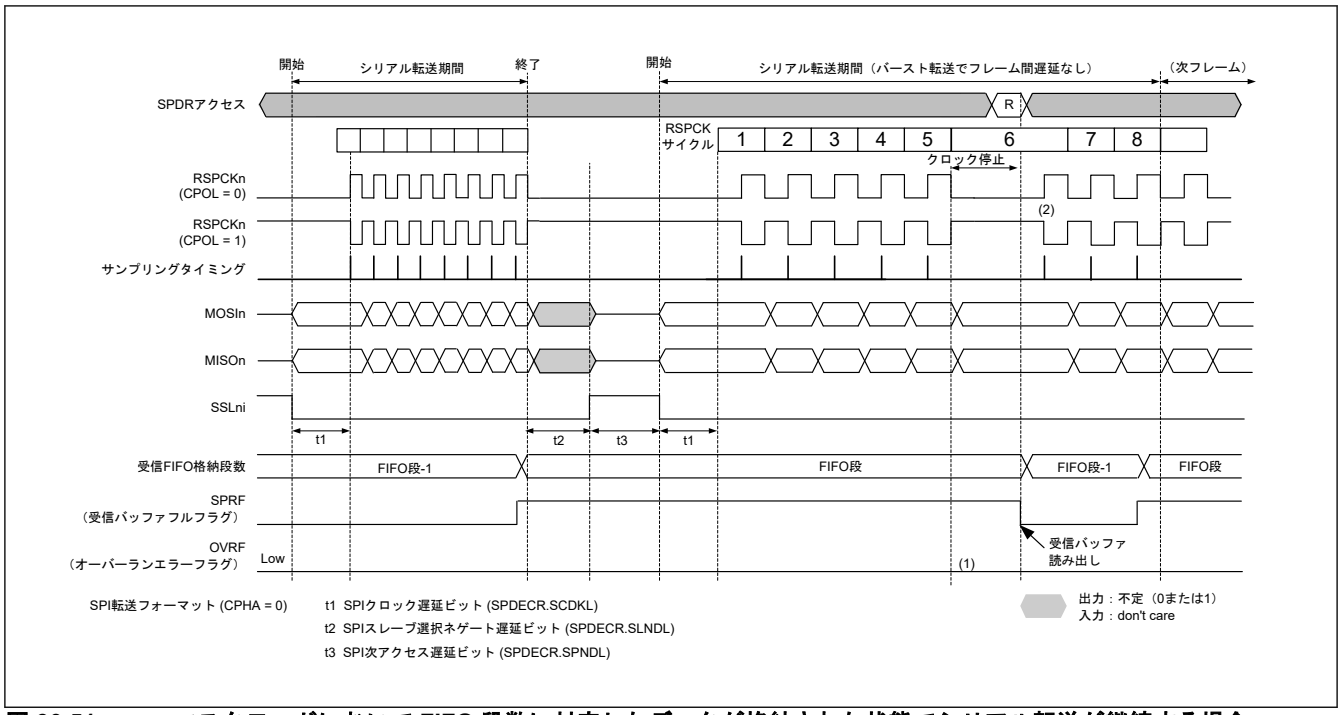


図 30.51　マスタモードにおいて FIFO 段数に対応したデータが格納された状態でシリアル転送が継続する場合のクロック停止波形（バースト転送でフレーム間遅延なし、CPHA = 0）

上図のタイミング (1) と (2) における動作を以下に説明します。

1. FIFO 段数に対応するデータが格納されている場合は、RSPCK クロックの発振が停止してオーバーランエラーは発生しません。
2. クロック発振停止中、SPDR を読み出すことで受信バッファデータを読み出せます。受信バッファデータの読み出しが終了した後は、RSPCK クロックが発振を再開します。

30.3.10.2 パリティエラー

SPI コントロールレジスタ (SPCR) の SPPE ビットが 1 の場合は、送受信または受信専用マスタモード、送受信スレーブモード、または受信専用スレーブモードでの送信後に、SPI がパリティエラーの有無をチェックします。SPI が受信データのパリティエラーを検出すると、SPI ステータスレジスタ (SPSR) の PERF フラグが 1 に設定されます。OVRF フラグが 1 の場合、SPI はシフトレジスタのデータを受信バッファにコピーしません。したがって、受信データのパリティエラーは検出されません。SPSR の PERF フラグをクリアして 0 にするには、システムをリセットするか、SPSRC.PERFC ビットに 1 を書き込みます。

図 30.52 に、OVRF フラグと PERF フラグの動作例を示します。図 30.52 に記載の SPSR アクセスは、SPSR レジスタへのアクセス状況を示しています。W は書き込みサイクル、R は読み出しサイクルです。この例では、SPCR.SPPE ビットが 1 の状態で全二重同期式シリアル通信を行います。SPI は、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、8 ビットのシリアル転送を実行します。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

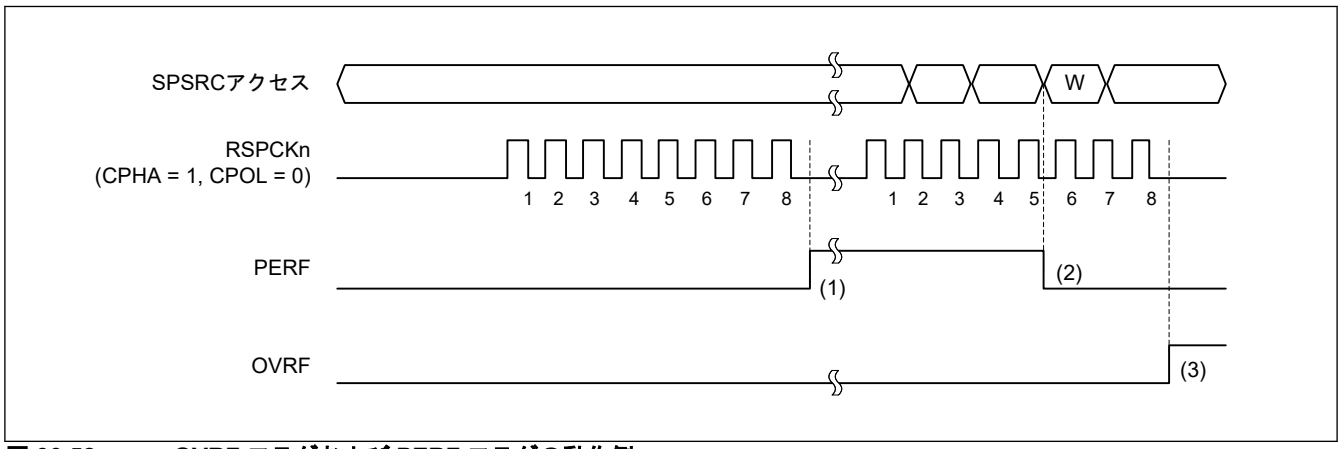


図 30.52 OVRF フラグおよび PERF フラグの動作例

以下に、図 30.52 の (1) ～ (3) に示したタイミングでのフラグの動作内容を説明します。

1. SPI は、オーバーランエラーを検出せずにシリアル転送を終了すると、シフトレジスタのデータを受信バッファにコピーします。SPI が受信データをチェックしたときにパリティエラーを検出すると、PERF フラグが 1 に設定されます。マスタモードでは、SPI は SPI コマンドレジスタ (SPCMDm) へのポインタの値を、SPI データコントロールレジスタ 2 (SPDCR2) の SPECM[2:0]ビットにコピーします。
2. SPSRC.PERFC ビットに 1 を書き込むと、PERF フラグがクリアされます。
3. SPI がオーバーランエラーを検出した状態でシリアル転送が終了すると、シフトレジスタのデータは受信バッファにコピーされません。このとき、SPI はパリティエラー検出を行いません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR レジスタを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。SPI をマスタモードで使用する場合は、SPDCR2.SPECM[2:0]ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

30.3.10.3 モードフォルトエラー

SPCR.MSTR ビットが 1、SPCR.SPMS ビットが 0、SPCR.MODFEN ビットが 1 の場合には、SPI はマルチマスタモードで動作します。

マルチマスタモードの SPI の SSLn0 端子へ入力される信号に対してアクティブレベルが入力されると、シリアル転送の状態にかかわらず、SPI はモードフォルトエラーを検出して SPSR.MODF フラグを 1 にします。

SPI はモードフォルトエラーを検出すると、SPCMD レジスタに対するポインタの値を SPECM[2:0]ビットにコピーします。

なお、SSLn0 端子へ入力される信号のアクティブレベルは、SPCR3.SSL0P ビットによって決定されます。

MSTR ビットが 0 の場合には、SPI はスレーブモードで動作します。

スレーブモードで SPCR.MODFEN = 1 かつ SPCR.SPMS = 0 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データのラッチまで）に SSLn0 入力信号がネゲートされると、以下の 2 つの条件のいずれかが満たされたときに、SPI はモードフォルトエラーを検出します。

[Motorola-SPI の場合]

シリアルデータ転送中に SSLn0 端子へ入力される信号がネゲートされる場合

[TI-SSP の場合]

シリアルデータ転送中に SSLn0 端子へ入力される信号がアサートされる場合。ただし、バースト転送中は、フレームの最終ビット中で SSLn0 端子へ入力される信号がアサートされる場合でもエラーは検出されません。

SPI はモードフォルトエラーを検出すると、出力信号のドライブを停止し、SPCR レジスタの SPE ビットをクリアします。SPE ビットがクリアされると、SPI 機能は無効になります（「30.3.12. SPI 動作」に記載）。マルチマスタ構成では、モードフォルトエラーを使用して、出力信号のドライブを停止し、SPI 機能を無効にすることによって、バス権を解放できます。

モードフォルトエラーがあるかどうかは、SPSR を読み出すか、SPI エラー割り込みと SPSR を読み出すことによってチェックできます。SPI エラー割り込みを使用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングしてください。SPI をマスタモードで使用する場合、SPSR の SPECM[2:0]ビットを読み出すことで、エラーがあるときの SPCMD レジスタに対するポインタ値をチェックできます。

MODF フラグが 1 の間は、SPI は SPE ビットへの 1 の書き込みを無視します。モードフォルトエラーの検出後に SPI 機能を有効にするには、MODF フラグを 0 にクリアしてください。

30.3.10.4 アンダーランエラー

スレーブモードで SPI が動作しているとき (SPCR.MSTR = 0)、および SPI コントロールレジスタ (SPCR) の通信モード選択ビット (TXMD[1:0]) が 00b または 01b のときに、SPCR.SPE ビットが 1（SPI 機能有効）で送信データ出力がレディになる前にシリアル転送が開始すると、SPI はアンダーランエラーを検出し、SPSR.MODF フラグと SPSR.UDRF フラグを 1 にします。

SPI はアンダーランエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします（「30.3.11. SPI の初期化」を参照）。

アンダーランエラーは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにアンダーランエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPCR.SPE ビットへの 1 の書き込みを無視します。アンダーランエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にしてください。

30.3.10.5 受信データレディ

SPCR.TXMD[1:0]が 00b、01b、または 11b であり、かつ SPCR2.SPDRC[7:0]が 0x00 でない場合、通信中 (SPE = 1) の受信 FIFO のデータを受信した後、受信 FIFO の数が閾値以下であり、かつ SPDRC[7:0]に設定された時間が経過した後であっても、受信データが格納されていないときには SPSR.SPDRF フラグが 1 になります。

受信データレディが検出されると、割り込みとイベントリンク出力が、SPCR.SPDRES ビットで SPIi_SPRI または SPIi_SPEI として選択できます。

図 30.53 に受信データレディ検出機能の例を示します。

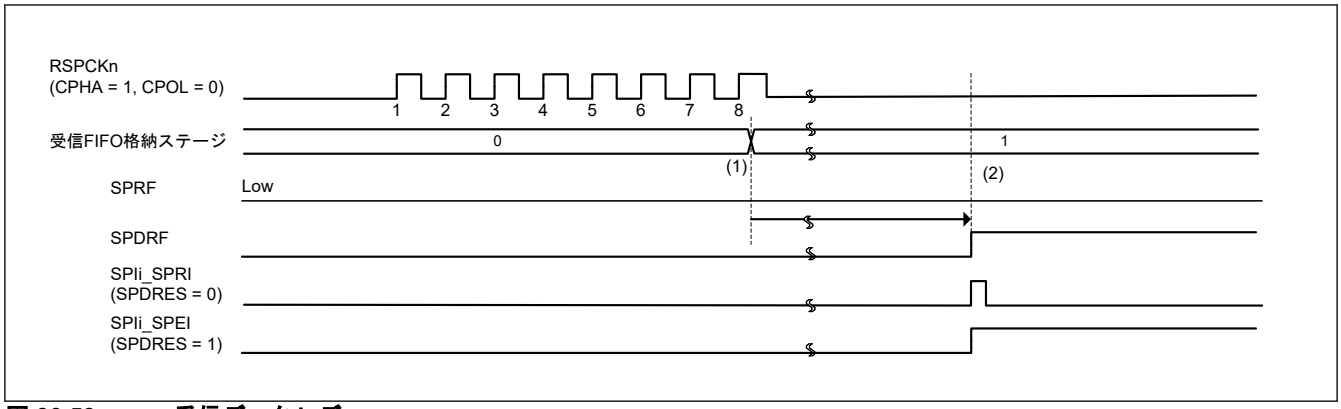


図 30.53 受信データレディ

以下では図中の (1) と (2) で示されるタイミングにおける動作を説明します。

(1) 受信 FIFO に受信データを格納します。SPRF は 0 です。その理由は、受信 FIFO 格納ステージ数が SPDCR2.RTRG[1:0]ビットで設定されたフレーム数以下のためです。

(2) SPDRF を設定し、SPIi_SPRI または SPIi_SPEI をアサートしてください。その理由は、上記 (1) から設定された SPDRFC[7:0]ビットの値に対して、受信 FIFO に書き込めないためです。

30.3.11 SPI の初期化

SPCR.SPE ビットに 0 を書いた場合、あるいは SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPCR.SPE ビットを 0 にした場合は、SPI は SPI 機能を無効にして、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、SPI はモジュール機能をすべて初期化します。以下では、SPCR.SPE ビットのクリアによる初期化と、システムリセットによる初期化について説明します。

30.3.11.1 SPCR.SPE ビットのクリアによる初期化

SPCR.SPE ビットを 0 にしたとき、SPI は以下に示す方法で初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- SPI 内部ステートの初期化
- SPI 送信バッファの初期化（SPSR.STEF フラグが 1 になります）

SPCR.SPE ビットのクリアによる初期化では、SPI の制御ビットは初期化されません。このため、再度 SPCR.SPE ビットを 1 にすれば初期化前と同じ転送モードで SPI を起動できます。

SPSR.CENDF、SPSR.SPRF、SPSR.OVRF、SPSR.MODF、SPSR.PERF、および SPSR.UDRF フラグの値は初期化されません。また、SPDCR2.SPECM[2:0]ビットおよび SPDCR2.SPCP[2:0]ビットの値も初期化されません。このため、SPI の初期化後も受信バッファからデータを読み出すことで、SPI 転送時の通信終了状態およびエラーの状況を確認できます。

送信バッファは空の状態に初期化されます（SPSR.SPTEF フラグが 1 になります）。このため、SPI 初期化後に SPCR.SPTIE ビットを 1 にしていると、送信バッファエンプティ割り込みが発生します。SPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPCR.SPE ビットへの 0 書き込みと同時に SPCR.SPTIE ビットにも 0 を書き込んでください。

30.3.11.2 システムリセットによる初期化

システムリセットでは、「30.3.11.1. SPCR.SPE ビットのクリアによる初期化」に記載の要件に加え、SPI 制御用ビット、ステータスビット、およびデータレジスタが初期化され、SPI が完全に初期化されます。

30.3.12 SPI 動作

30.3.12.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出の有無のみです（「30.3.10. エラー検出」を参照）。SPI は、シングルマスタモードではモードフォルトエラーを検出しませんが、マルチマスタモードでは検出します。以下では、シングル／マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

送信 FIFO で次転送のデータがセットされていない状態で、SPI データレジスタ (SPDR) へデータを書き込むと、SPI は SPDR レジスタで送信バッファ（SPTXn、n = 0～3）のデータを更新します。SPDCR.SPFC[1:0]ビットで設定したフレーム数分のデータを SPDR レジスタへ書き込んだ後、シフトレジスタがエンプティの場合は、SPI はデータを送信バッファからシフトレジスタにコピーしてシリアル転送を開始します。SPI はシフトレジスタに送信データをコピーすると、シフトレジスタのステータスをフルに変更します。シリアル転送が終了すると、シフトレジスタのステータスをエンプティに変更します。シフトレジスタのステータスを参照することはできません。

SSLni 出力端子の極性は、SPCR3.SSLnP（n = 0～3）ビットの設定値で決まります。SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。

(2) シリアル転送の終了

[マスタモードでの受信専用を除く]

SPI コマンドレジスタ (SPCMD) の CPHA ビット値にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出すると、シリアル転送を終了します。受信 FIFO に格納されたデータ数が FIFO 段数より小さい場合には、シリアル転送終了後に、シフトレジスタから SPI データレジスタ (SPDR) の受信バッファにデータがコピーされます。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMDm.SPB[4:0]ビットの設定値で決まります。SSLni 出力端子の極性は、SPCR3.SSLnP（n = 0～3）ビットの設定値で決まります。SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。

[マスタモードでの受信専用]

以下の 2 つの条件のいずれかが満たされた場合、SPI はシリアル転送を終了します。

- SPI コマンドレジスタ (SPCMD) の CPHA ビット値にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出すると、シリアル転送を終了します。
- シリアル転送期間中に SPCR2.RMEDTG = 1 を書き込むと、SPI はシリアル転送を終了します。

受信 FIFO に格納されたデータ数が FIFO 段数より小さい場合には、シリアル転送終了後に、シフトレジスタから SPI データレジスタ (SPDR) の受信バッファにデータがコピーされます。

最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPI コマンドレジスタ (SPCMD) の SPB[4:0]ビットの設定値で決まります。SSLni 出力信号の極性は、SPI SSLi 信号極性ビット (SPCR3.SSLiP) (i = 0～3) の設定値で決まります。SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、次のように決定されます。

マスタモード時の転送フォーマットは、SPCR3 レジスタ、SPCMDm レジスタ、および SPDECR レジスタによって決定されます。

SPCR3.SPSLN[2:0]ビットは、マスタモードの SPI で実行するシリアル転送のシーケンス構成を決定します。SPCMDm レジスタでは、以下の項目を設定します。

- SSLni 端子の出力信号値
- MSB/LSB ファースト
- データ長

- ビットレート設定の一部
- RSPCKn 極性と位相
- SPDECR.SCKDL レジスタの参照要否
- SPDECR.SLNDL レジスタの参照要否
- SPDECR.SPNDL レジスタの参照要否

SPCR3.SPBR レジスタは、SPDECR.SCKDL レジスタ（SPI クロック遅延）、SPDECR.SLNDL レジスタ（SSL ネゲート遅延）、SPDECR.SPNDL レジスタ（次アクセス遅延）などの、ビットレート設定の一部を保持しています。

SPI は、SPCR3.SPSLN レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部／全部からなるシーケンスを構成します。SPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPDCR2.SPCP[2:0]ビットの読み出しによって確認できます。SPCR.SPE ビットを 1 にして SPI 機能を有効にすると、SPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。SPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスの最終コマンドに対応するシリアル転送が終了すると、SPI はポインタを SPCMD0 レジスタにセットするため、シーケンスが繰り返し実行されます。

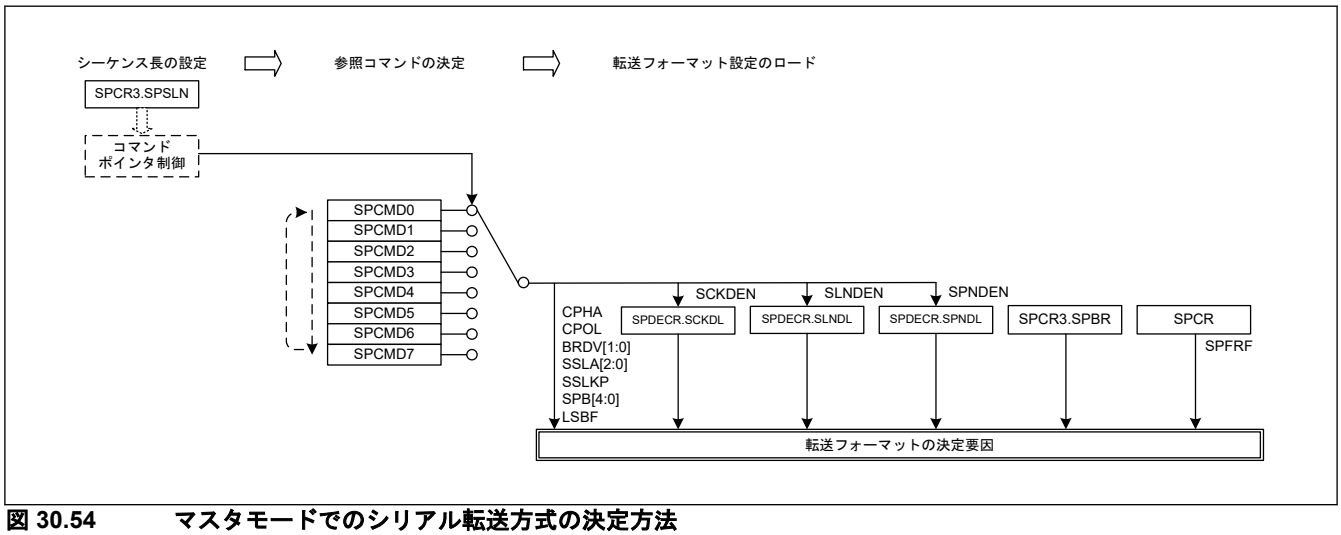


図 30.54　マスタモードでのシリアル転送方式の決定方法

ここでは、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

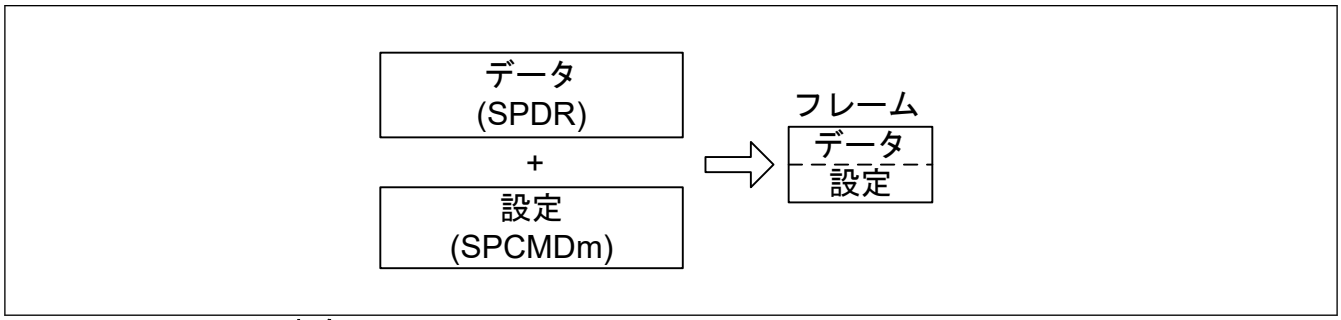


図 30.55　フレームの概念図

図 30.56 に、設定でシーケンス動作を行ったときのコマンドと送信バッファ／受信バッファの対応関係を示します。

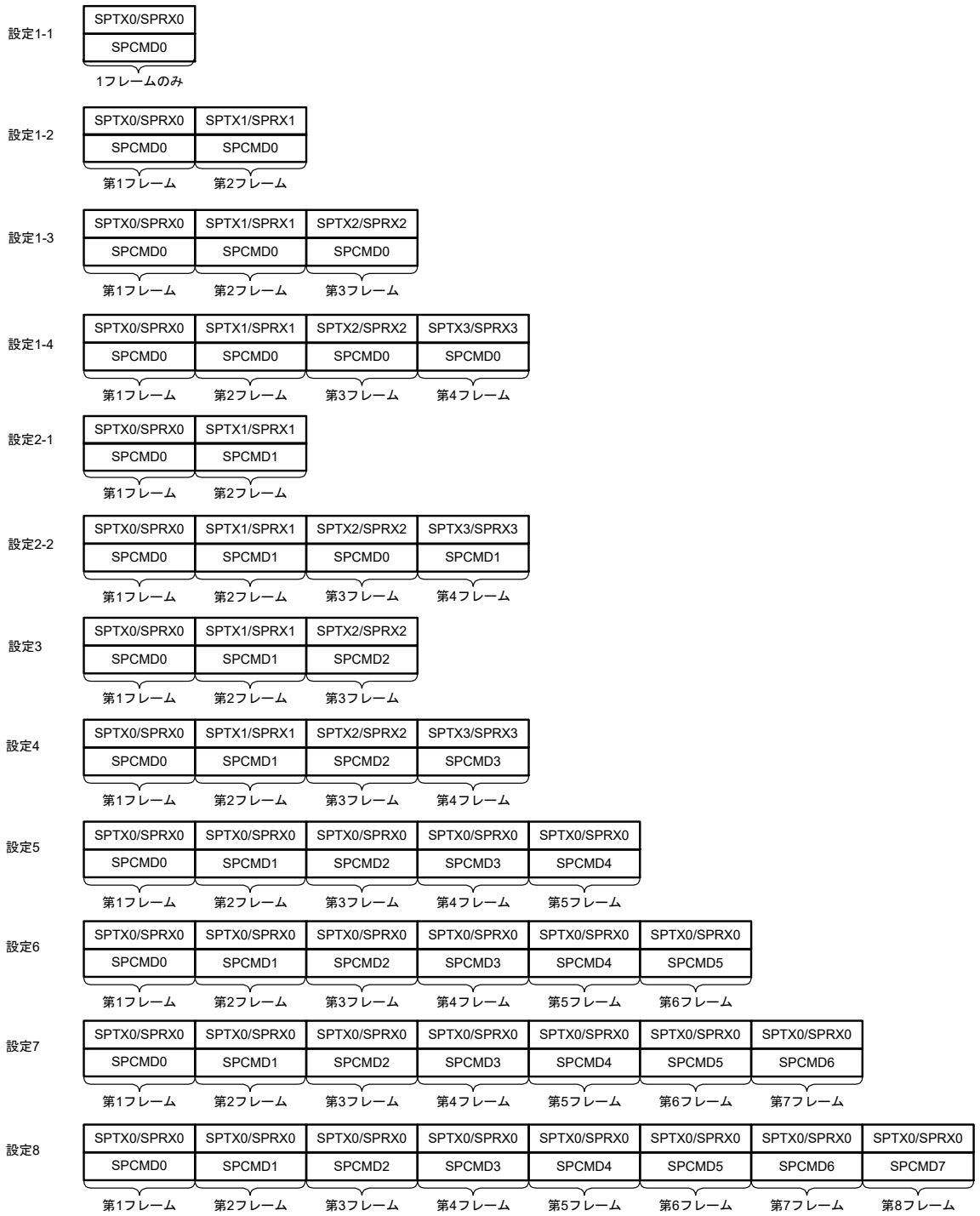


図 30.56　シーケンス動作時の SPI コマンドレジスタと送受信バッファの対応関係

(4)　バースト転送

ここでは、送受信動作／送信専用動作中のバースト転送について説明します。

[Motorola-SPI の場合]

SPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが 1 の場合には、SPI はシリアル転送中の SSLni 信号レベルを次のシリアル転送の SSLni 信号のアサート開始まで保持します。次のシリアル転送での

SSLni 信号レベルが、現在のシリアル転送での SSLni 信号レベルと同じであれば、SPI は SSLni 信号のアサート状態を保持したまま連続的にシリアル転送を実行することが可能です（バースト転送）。

- SPCR.BFDS ビットが 0 の場合

図 30.57 に、SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSLni 信号の動作例を示します。以下では、図 30.57 に示す (1)～(8) の SPI 動作内容について説明します。

注. SSLni 出力信号の極性は、SPCR3.SSLnP（n = 0～3）ビットの設定値で決まります。

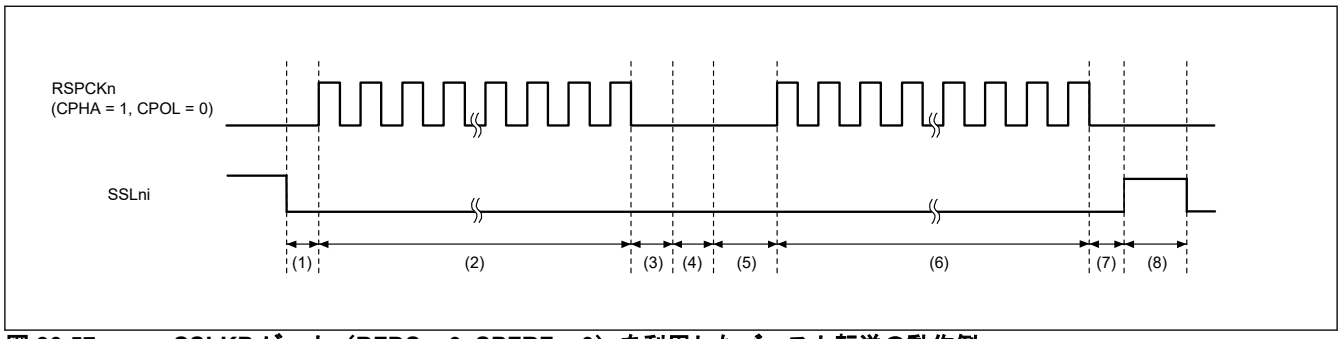


図 30.57 SSLKP ビット（BFDS = 0, SPFRF = 0）を利用したバースト転送の動作例

図中の (1)～(8) に示したタイミングでの SPI の動作は以下のとおりです。

1. SPI は、SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
2. SPI は SPCMD0 レジスタの設定に従ったシリアル転送を実行します。
3. SPI は、SSL ネゲート遅延を挿入します。
4. SPCMD0.SSLKP ビットが 1 であるため、SPI は SPCMD0 レジスタで指定した SSLni 信号値を保持します。この期間は、さらに 5 TCLK サイクル以上（SPCMD0 の次アクセス遅延時間と同じ時間）継続します。最短期間が経過してもシフトレジスタがエンプティの場合は、次転送のための送信データがシフトレジスタに格納されるまで、この期間は継続します。
5. SPI は、SPCMD1 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
6. SPI は SPCMD1 レジスタの設定に従ったシリアル転送を実行します。
7. SSL ネゲート遅延を挿入します。
8. SPCMD1.SSLKP ビットが 0 であるため、SPI は SSLni 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを 1 にした SPCMDm レジスタでの SSLni 端子の信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLni 端子の信号出力設定が異なる場合、SPI は図 30.57 の (5) で示すように、SSLni 信号状態を SSLni 信号のアサートに切り替えます。この SSLni 信号は次転送のコマンドに対応しています。

注. このような SSLni 信号の切り替えが発生した場合、MISOn 信号をドライブするスレーブが競合して信号レベルの衝突が発生することがあります。

マスタモードの SPI は、SSLKP ビットを使用しない場合は、SSLni 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが 0 であると、SPI は内部で検出した次転送の SSLni 信号のアサートを使用してシリアル転送を正確に開始できます。

- SPCR.BFDS ビットが 1 の場合

図 30.58 に、SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSLni 信号の動作例を示します。以下では、図 30.58 に示す (1)～(6) の SPI の動作内容について説明します。SSLni 出力信号の極性は、SPCR3.SSLnP (n = 0～3) ビットの設定値で決まります。

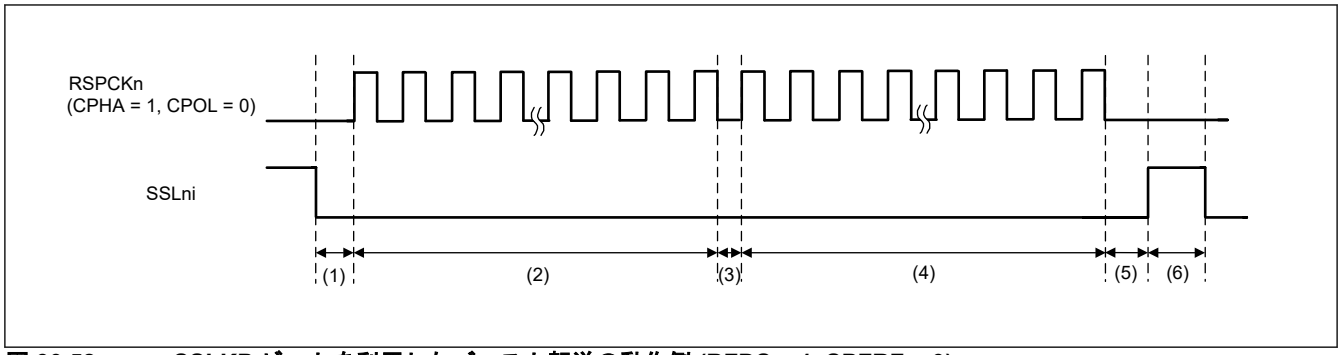


図 30.58 SSLKP ビットを利用したバースト転送の動作例 (BFDS = 1, SPFRF = 0)

1. SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。RSPCK 遅延はバースト転送の最初のフレームのみに挿入されます。
2. SPCMD0 レジスタの設定に従ったシリアル転送を実行します。フレーム間の RSPCK ネゲート期間中にシフトレジスタがエンプティの場合は、次転送のための送信データがシフトレジスタに格納されるまで、最後のクロックを待ちます。
3. SPCMD0.SSLKP ビットが 1 であるため、SPCMD0 レジスタで指定した SSLni 端子の信号値を保持します。シフトレジスタがエンプティではない場合、フレーム間の RSPCK ネゲート期間は 0.5 RSPCK です。
4. SPCMD1 レジスタの設定に従ったシリアル転送を実行します。
5. 最後のフレームに対して SSLni ネゲート遅延を挿入します。
6. SPCMD1.SSLKP ビットが 0 であるため、SSLni 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

[TI-SSP の場合]

SPI は、シリアル転送開始時に 1 サイクル分の SSLni 信号をアサートします。

次シリアル転送開始時に 1 サイクル分の SSLni 信号をアサートして連続的にシリアル転送を実行することが可能です（バースト転送）。

- SPI コマンドレジスタ (SPCMD) の SSLni 信号レベル保持ビット (SSLKP) が 1 で、SPI コントロールレジスタ (SPCR) のバースト転送フレーム遅延選択ビット (BFDS) が 1 のときの SPCMD0～SPCMD1 を図 30.59 に示します。設定によりバースト転送を実現した場合の SSLni 信号動作とシリアルデータ MISOn/MOSIn の例を以下に示します。SSLni 出力信号の極性は、SPI SSLi 信号極性ビット (SPCR3.SSLiP) (i = 0～3) の設定値で決まります。

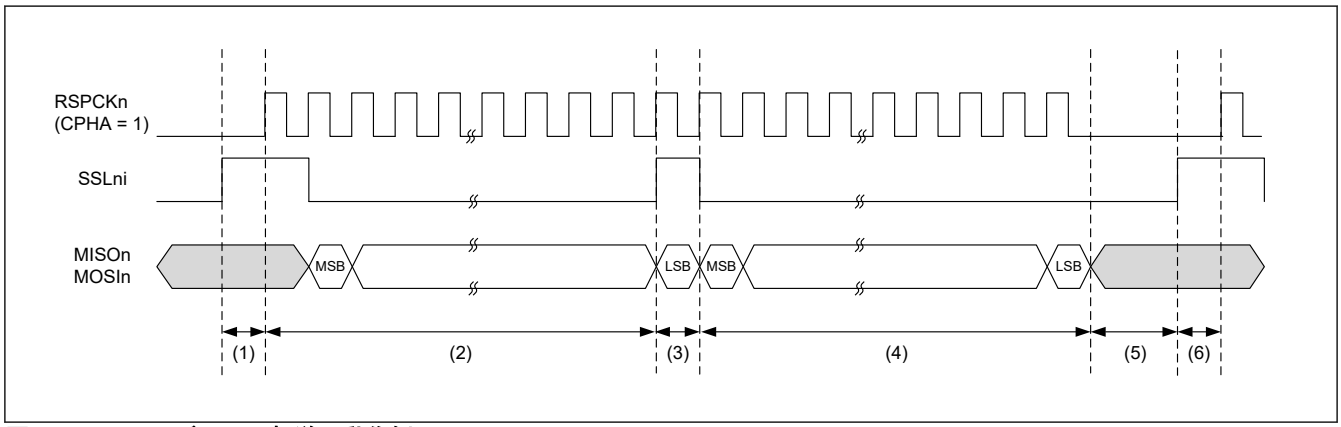


図 30.59 バースト転送の動作例 (SPFRF = 1)

1. SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
   RSPCK 遅延はバースト転送の最初のフレームのみに挿入されます。
2. SPCMD0 レジスタの設定に従ったシリアル転送を実行します。
3. 最終データ転送と SSLni アサートは同時に実行されます。フレーム間の RSPCK ネゲート期間にシフトレジスタがエンプティの場合、次転送の送信データがシフトレジスタに格納されるまで最終クロックの出力を待ちます。

4. SPCMD1 レジスタの設定に従ったシリアル転送を実行します。
5. 最後のフレームに対して OE ネゲート遅延を挿入します。
6. SPCMD1 レジスタに従った次アクセス遅延を挿入します。

SSLKP ビットを 1 にした SPCMD での SSLni 端子の信号出力設定と、次転送で使用する SPCMD での SSLni 端子の信号出力設定が異なる場合、次転送コマンドに対応する SSLni 信号がアサートされると、SPI は SSLni 信号の状態を変更します ((5))。このような SSLni 信号の変更が発生すると、MISOn 信号をドライブするスレーブ同士が競合して、信号レベルの衝突が発生する可能性があることに注意してください。

ここでは、受信専用動作中のバースト転送について説明します。

[Motorola-SPI の場合]

SPI が現在のシリアル転送で参照している SPI コマンドレジスタ (SPCMD) の SSLKP ビットが 1 のとき、SPI は次のシリアル転送の SSLni 信号のアサートが開始されるまで、シリアル転送中の SSLni 信号レベルを保持します。次のシリアル転送での SSLni 信号レベルが、現在のシリアル転送での SSLni 信号レベルと同じであれば、SPI は SSLni 信号のアサート状態を保持したまま連続的にシリアル転送を実行することが可能です（バースト転送）。

- SPI コントロールレジスタ (SPCR) のバースト転送フレーム間遅延選択ビット (BFDS) が 0 の場合

図 30.60 に、SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSLni 信号の動作例を示します。以下では、図 30.60 に示す (1)～(8) の SPI の動作内容について説明します。SSLni 出力信号の極性は、SPI SSLni 信号極性ビット (SPCR3.SSLiP) (i = 0～3) の設定値で決まります。

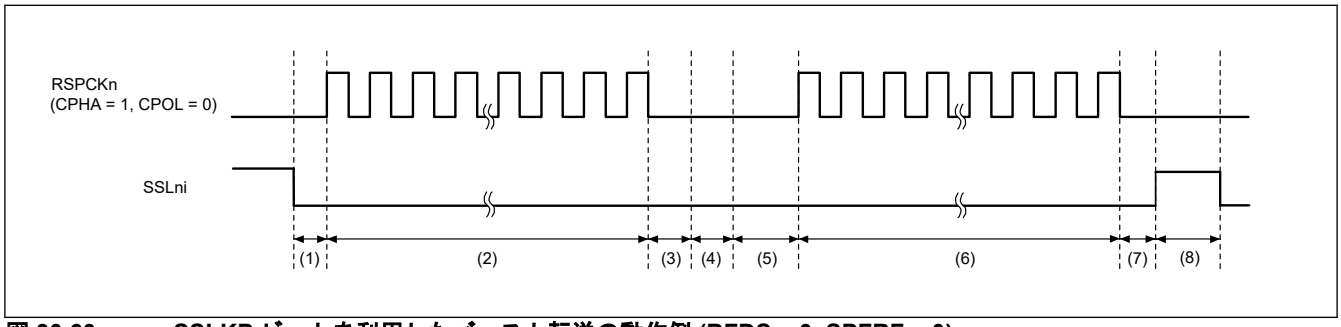


図 30.60 SSLKP ビットを利用したバースト転送の動作例 (BFDS = 0, SPFRF = 0)

1. SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
2. SPCMD0 レジスタの設定に従ったシリアル転送を実行します。
3. SSLni ネゲート遅延を挿入します。
4. SPCMD0.SSLKP ビットが 1 であるため、SPCMD0 の SSLni 信号値を保持します。この期間は、さらに 5 TCLK サイクル以上（SPCMD0 の次アクセス遅延時間と同じ時間）継続します。
5. SPCMD1 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
6. SPCMD1 レジスタの設定に従ったシリアル転送を実行します。
7. SSLni ネゲート遅延を挿入します。
8. SPCMD1.SSLKP ビットが 0 であるため、SSLni 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLni 端子の信号出力設定と、バースト転送で使用する SPCMD 間の SSLni 端子の信号出力設定が異なる場合、次転送コマンドに対応する SSLni 信号がアサートされると、SPI は SSLni 信号の状態を切り替えます ((5))。このような SSLni 信号の変更が発生すると、MISOn 信号をドライブするスレーブ同士が競合して、信号レベルの衝突が発生する可能性があることに注意してください。

マスタモードの SPI は、SSLKP ビットを使用しない場合は、SSLni 信号動作をモジュールで参照しています。

SPCMD の CPHA ビットが 0 の場合でも、SPI は内部で検出した次転送の SSLni 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードでのバースト転送は、CPHA ビットの設定値にかかわらず有効です。（「30.3.11. SPI の初期化」を参照してください。）

- SPI コントロールレジスタ (SPCR) のバースト転送フレーム間遅延選択ビット (BFDS) が 1 の場合

図 30.61 に、SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSLni 信号の動作例を示します。以下では、図 30.61 に示す (1)～(6) の SPI の動作内容について説明します。SSLni 出力信号の極性は、SPI SSLi 信号極性ビット (SPCR3.SSLiP) (i = 0～3) の設定値で決まります。

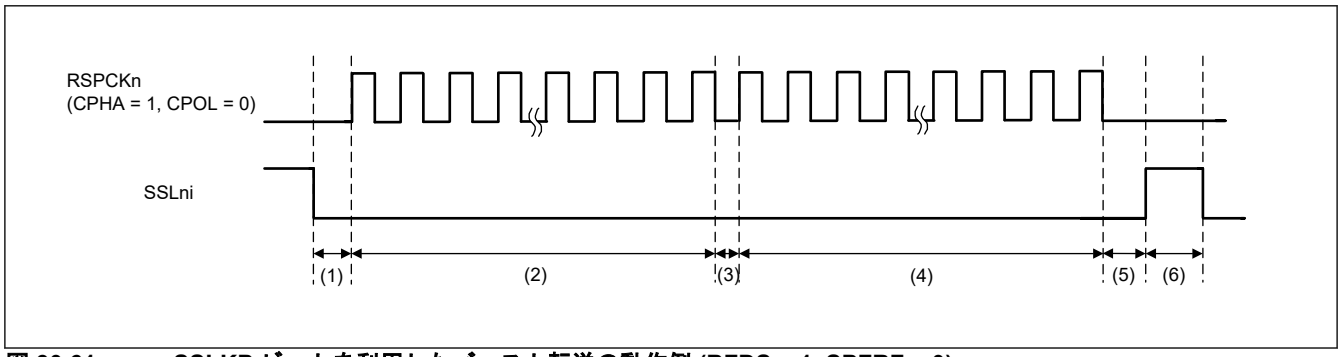


図 30.61 SSLKP ビットを利用したバースト転送の動作例 (BFDS = 1, SPFRF = 0)

1. SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
   RSPCK 遅延はバースト転送の最初のフレームのみに挿入されます。
2. SPCMD0 レジスタの設定に従ったシリアル転送を実行します。
3. 最終フレームではないため、SPCMD0 の SSLni 信号値は保持されます。次フレームでは、フレーム間の RSPCKn ネゲートは 0.5 RSPCKn です。
4. SPCMD1 レジスタの設定に従ったシリアル転送を実行します。
5. 最後のフレームに対して SSLni ネゲート遅延を挿入します。
6. SSLni 信号はネゲートされます。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

注. 最終フレーム：SPCR2.RMFM [4: 0] ≠ 00h のときに RMFM [4:0]ビットで設定されたフレーム
または、SPCR2.RMEDTG = 1 が受け付けられたフレーム

[TI-SSP の場合]

SPI は、シリアル転送開始時に 1 サイクル分の SSLni 信号をアサートします。

次シリアル転送開始時に 1 サイクル分の SSLni 信号をアサートして連続的にシリアル転送を実行することが可能です（バースト転送）。

- SPI コマンドレジスタ (SPCMD) の SSLni 信号レベル保持ビット (SSLKP) が 1 で、SPI コントロールレジスタ (SPCR) のバースト転送フレーム遅延選択ビット (BFDS) が 1 のときの SPCMD0～SPCMD1 を図 30.62 に示します。設定によりバースト転送を実現した場合の SSLni 信号動作とシリアルデータ MISOn/MOSIn の例を以下に示します。SSLni 出力信号の極性は、SPI SSLi 信号極性ビット (SPCR3.SSLiP) (i = 0～3) の設定値で決まります。

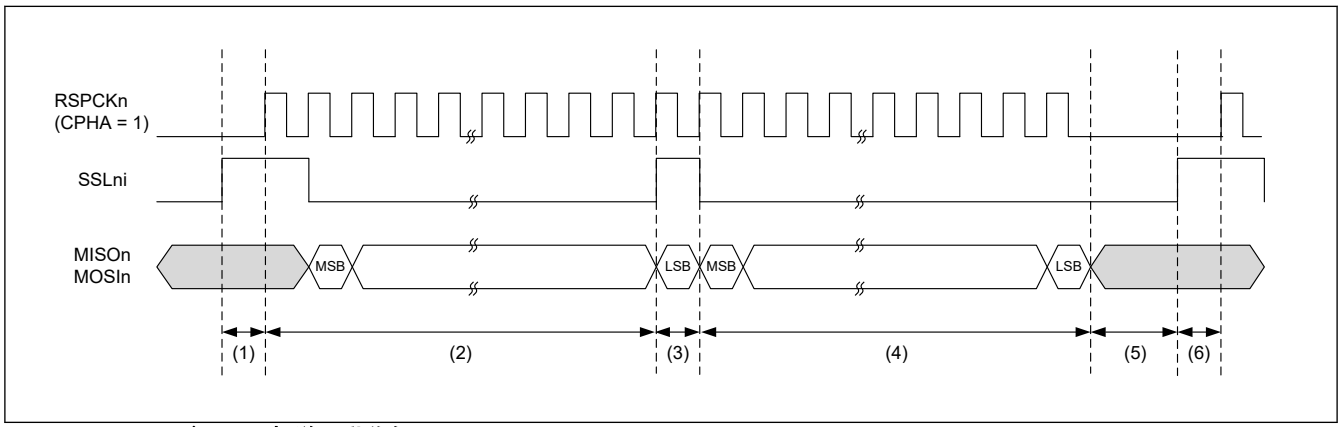


図 30.62 バースト転送の動作例 (SPFRF = 1)

1. SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
   RSPCK 遅延はバースト転送の最初のフレームのみに挿入されます。

2. SPCMD0 レジスタの設定に従ったシリアル転送を実行します。
3. 最終データ転送と SSLni アサートは同時に実行されます。
4. SPCMD1 レジスタの設定に従ったシリアル転送を実行します。
5. 最後のフレームに対して OE ネゲート遅延を挿入します。
6. SPCMD1 レジスタに従った次アクセス遅延を挿入します。

注. 最終フレーム：SPCR2.RMFM [4:0] ≠ 00h のときに RMFM [4:0]ビットで設定されたフレーム
または、SPCR2.RMEDTG = 1 が受け付けられたフレーム

バースト転送で使用する SPCMD 間の SSLni 端子の信号出力設定と、SSLni 端子の信号出力設定が異なる場合、次転送コマンドに対応する SSLni 信号がアサートされると、SPI は SSLni 信号の状態を切り替えます ((5))。このような SSLni 信号の変更が発生すると、MISOn 信号をドライブするスレーブ同士が競合して、信号レベルの衝突が発生する可能性があることに注意してください。

(5) RSPCK 遅延 (t1)

マスタモードの SPI の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPDECR.SCKDL[2:0]ビットの設定で決まります。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SCKDEN ビットと SPDECR.SCKDL[2:0]ビットを使用して、表 30.10 のように RSPCK 遅延を決定します。なお、RSPCK 遅延の定義については、「30.3.5. 転送フォーマット」を参照してください。

「バースト転送フレーム間遅延」なしで送信する場合、RSPCK 遅延はバースト転送の最初のフレームのみに挿入されます。（SPCMD.SSLKP ビットは 1、および SPCR.BFDS ビットは 1。）

表 30.10 SPCMDm.SCKDEN ビット、SPDECR.SCKDL[2:0]ビット、RSPCK 遅延の関係

SPCMDm.SCKDEN ビット	SPDECR.SCKDL[2:0]ビット	RSPCK 遅延時間	
		Motorola-SPI	TI-SSP
0	000b～111b	1 RSPCK	0 RSPCK
1	000b	1 RSPCK	1 RSPCK
	001b	2 RSPCK	2 RSPCK
	010b	3 RSPCK	3 RSPCK
	011b	4 RSPCK	4 RSPCK
	100b	5 RSPCK	5 RSPCK
	101b	6 RSPCK	6 RSPCK
	110b	7 RSPCK	7 RSPCK
	111b	8 RSPCK	8 RSPCK

(6) SSL ネゲート遅延 (t2)

マスタモードの SPI の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SPDECR.SLNDL[2:0]ビットの設定で決まります。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SLNDEN ビットと SPDECR.SLNDL[2:0]ビットを使用して、表 30.11 のように SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「30.3.5. 転送フォーマット」を参照してください。

SSL ネゲート遅延はバースト転送の最後のフレームのみに挿入されます。つまり、バースト転送フレーム間遅延なしで送信されます。（SPCMD.SSLKP ビットは 1、および SPCR.BFDS ビットは 1）。

表 30.11 SPCMDm.SLNDEN ビット、SPDECR.SLNDL[2:0]ビット、SSL ネゲート遅延の関係 (1/2)

SPCMDm.SLNDEN ビット	SPDECR.SLNDL[2:0]ビット	SSL ネゲート遅延
0	000b～111b	1 RSPCK

表 30.11 SPCMDm.SLNDEN ビット、SPDECR.SLNDL[2:0]ビット、SSL ネゲート遅延の関係 (2/2)

SPCMDm.SLNDEN ビット	SPDECR.SLNDL[2:0]ビット	SSL ネゲート遅延
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7) 次アクセス遅延 (t3)

マスタモードの SPI の次アクセス遅延値は、SPCMDm.SPNDEN ビットの設定と SPDECR.SPNDL[2:0]ビットの設定で決まります。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SPNDEN ビットと SPDECR.SPNDL[2:0]ビットを使用して、表 30.12 のようにシリアル転送中の次アクセス遅延を決定します。なお、次アクセス遅延の定義については、「30.3.5. 転送フォーマット」を参照してください。

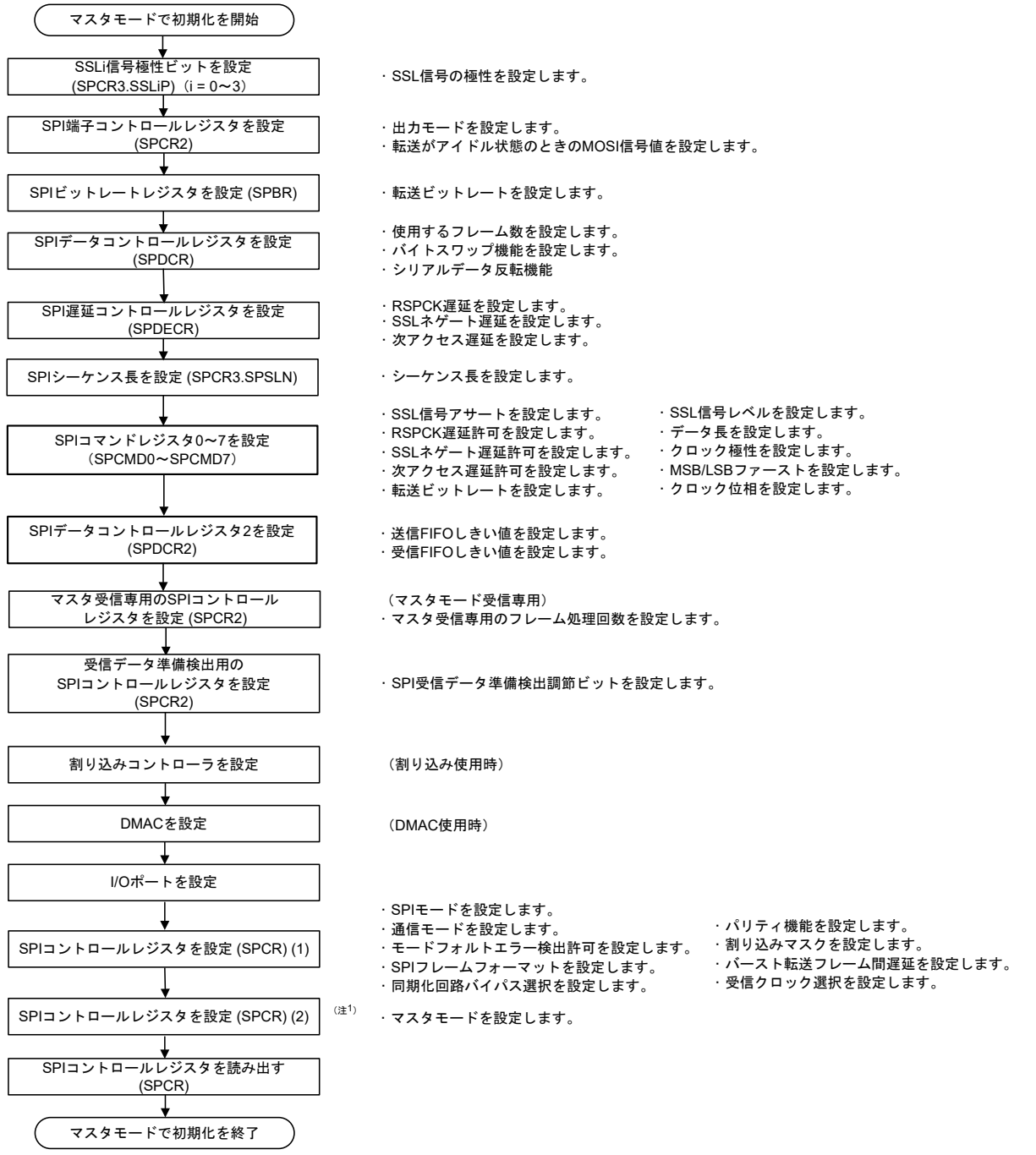
次アクセス遅延はバースト転送の最後のフレームのみに挿入されます。つまり、バースト転送フレーム間遅延なしで送信されます（SPCMD.SSLKP ビットは 1、および SPDR.BFDS ビットは 1）。

表 30.12 SPCMDm.SPNDEN ビット、SPDECR.SPNDL[2:0]ビット、次アクセス遅延の関係

SPCMDm.SPNDEN ビット	SPDECR.SPNDL[2:0]ビット	次アクセス遅延
0	000b～111b	1 RSPCK + 5 TCLK
1	000b	1 RSPCK + 5 TCLK
	001b	2 RSPCK + 5 TCLK
	010b	3 RSPCK + 5 TCLK
	011b	4 RSPCK + 5 TCLK
	100b	5 RSPCK + 5 TCLK
	101b	6 RSPCK + 5 TCLK
	110b	7 RSPCK + 5 TCLK
	111b	8 RSPCK + 5 TCLK

(8) 初期化手順

図 30.63 に、SPI をマスタモードで使用する場合の SPI 初期化手順の例を示します。なお、割り込みコントローラユニット (ICU)、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。



注 1.　SPI コントロールレジスタ (SPCR) の設定については、設定 (1)（MSTR ビット以外の初期設定）と設定 (2)（MSTR 設定）の間に 1 TCLK の間隔を空けてください。

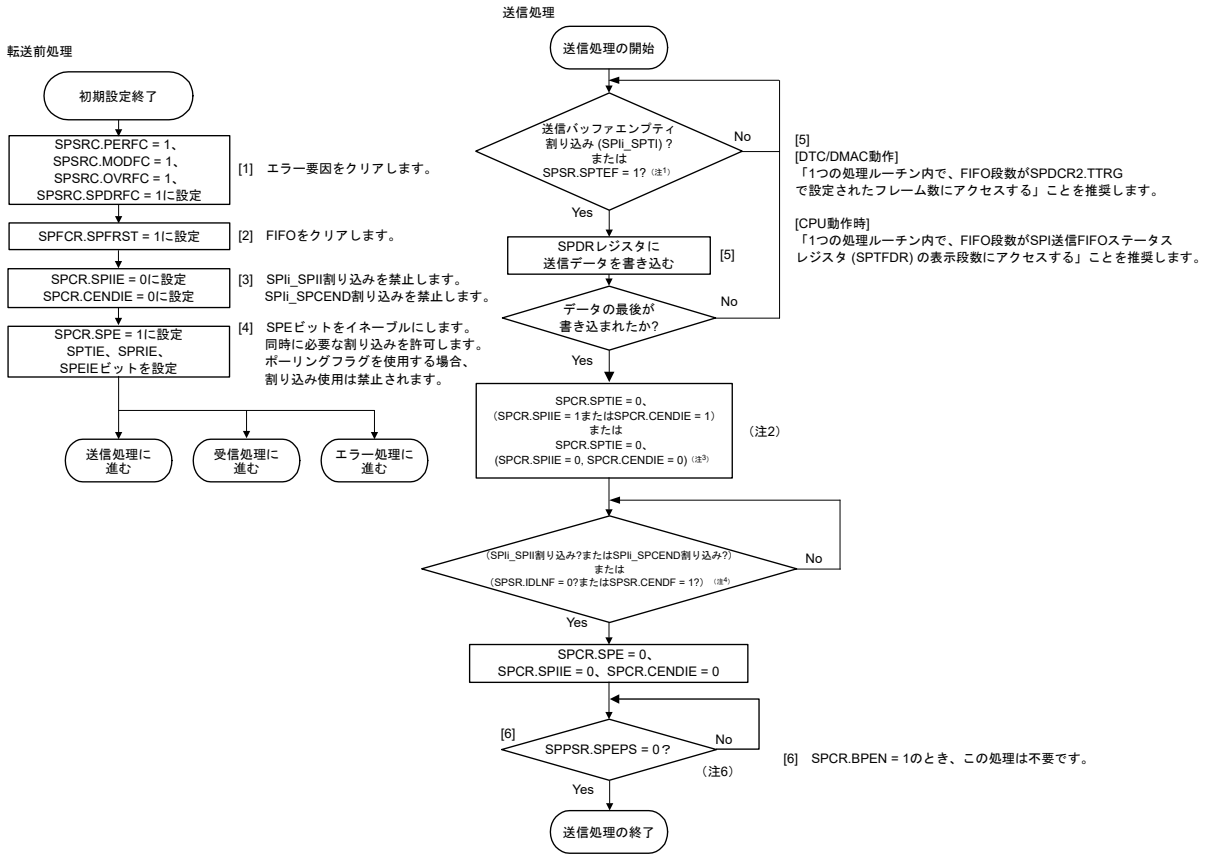
図 30.63　　マスタモード時の SPI 動作の初期化手順の例

(9)　ソフトウェア処理手順

図 30.64～図 30.67 にソフトウェア処理手順の例を示します。

送信処理手順

データの送信時、SPIi_SPII 割り込みまたは SPIi_SPCEND 割り込みが許可されていれば、最終データの書き込み後にデータ送信完了を CPU に通知します。



注 1. ポーリング用のフラグを使用する場合、SPSR.SPTEF フラグが 1 であることを読み出した後、送信用データの書き込み処理に進んでください。

注 2. SPIi_SPII 割り込み（IDLNF フラグ）または SPIi_SPCEND 割り込み（CENDF フラグ）によって、通信の終了を知ることができます。SPIi_SPII 割り込み（IDLNF フラグ）または SPIi_SPCEND 割り込み（CENDF フラグ）を使用してください。

注 3. ポーリング用のフラグを使用する場合は、SPIi_SPII 割り込み禁止 (SPCR.SPIIE = 0) および SPIi_SPCEND 割り込み禁止 (SPCR.CENDIE = 0) を設定してください。

注 4. ポーリング用のフラグを使用する場合は、SPDR に送信データを書き込んだ後、1 PCLK 以上待ってから、SPSR.IDLNF または SPSR.CENDF のポーリングを開始してください。

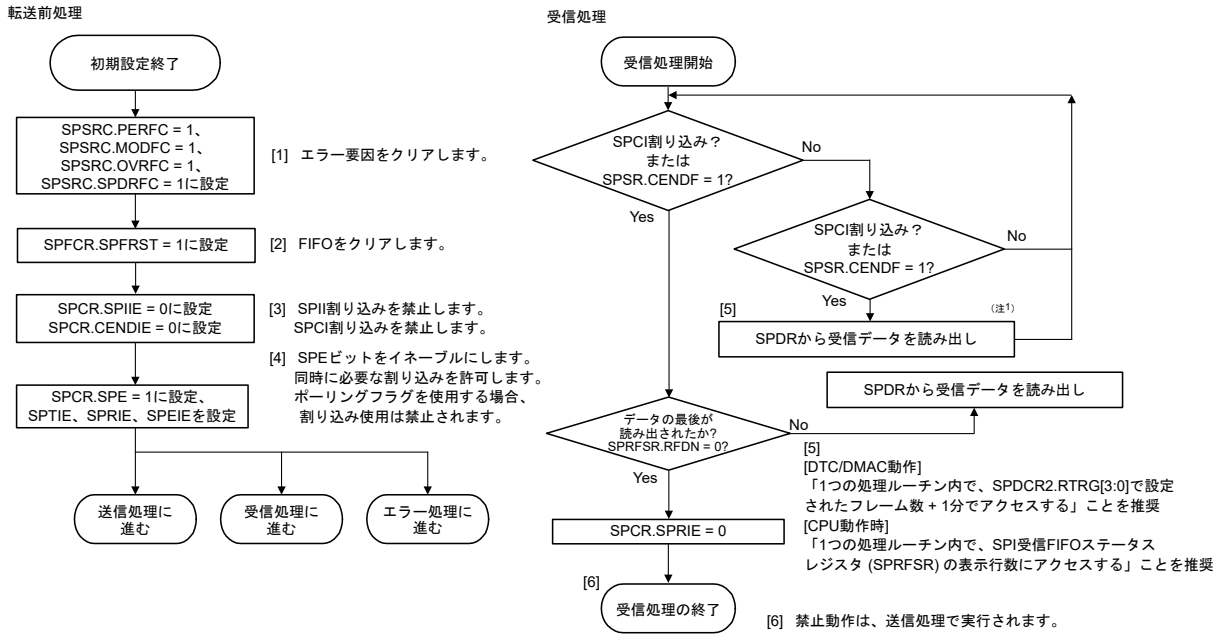
注 5. CPU 動作中、1 つの処理ルーチンの後に SPI 送信バッファエンプティフラグのクリアビット (SPSRC.SPTEFC) に 1 を書き込んでください。

注 6. スレーブモードで 0 になっていて、SPCR.BPEN = 0 のとき、SPPSR.SPEPS が 0 になっていることを確認してください（BPEN = 1 のときは不要です）。

図 30.64 マスタモードでの送信手順

受信処理手順

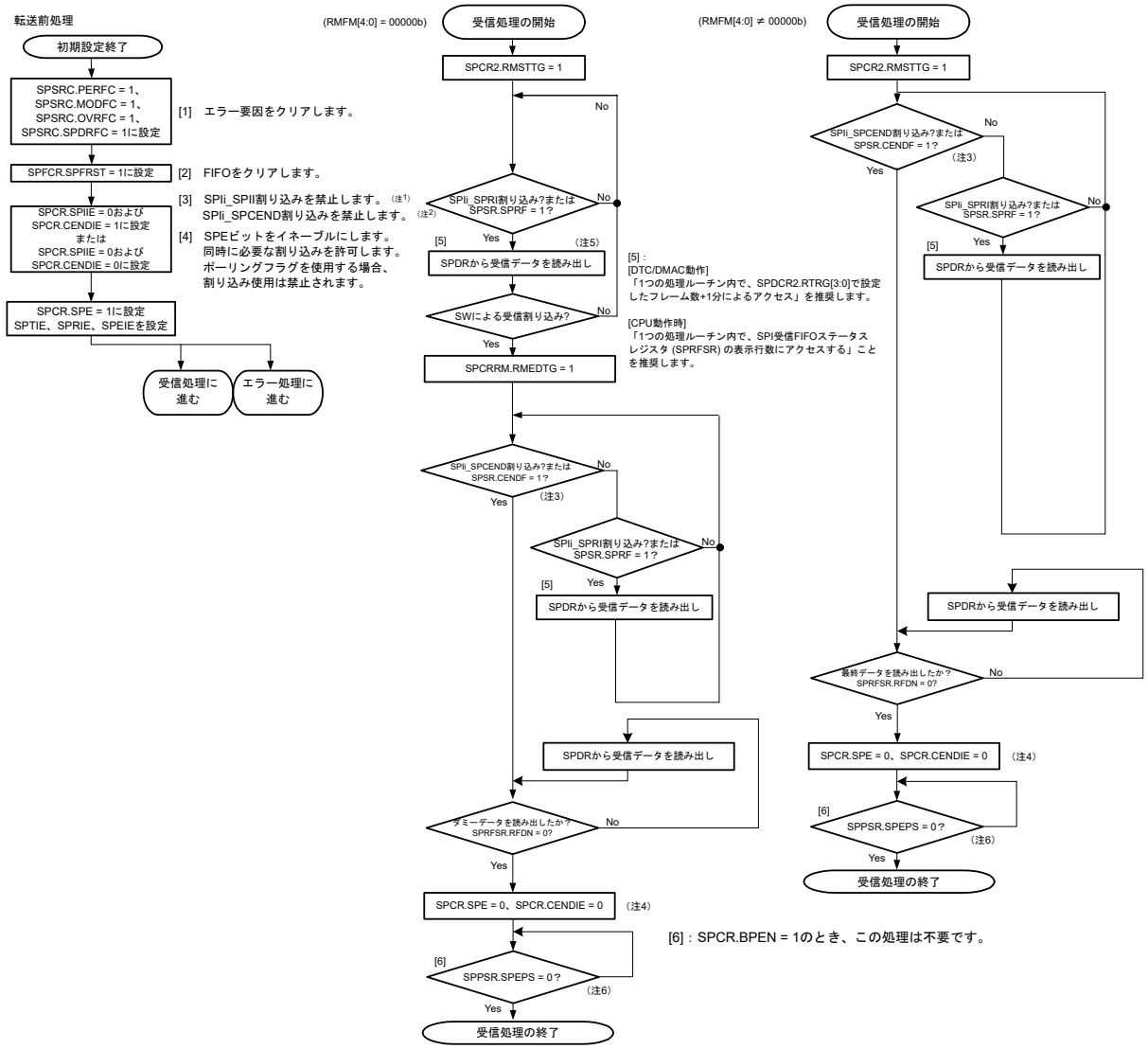
SPI は、スレーブモードでは受信専用動作となります。



注 1. CPU 動作中、1 つの処理ルーチンの後に SPSRC.SPRFC ビット（SPI 受信バッファフルフラグのクリアビット）に 1 を書き込んでください。

図 30.65 マスタモードでの受信手順

マスタモードでの受信専用処理手順



注 1. 通信の終了は、SPIi_SPCEND 割り込み（CENDF フラグ）で判定できます。SPIi_SPCEND 割り込み（CENDF フラグ）を使用してください。
注 2. フラグポーリング中の SPIi_SPCEND 割り込みを禁止してください (SPCR.CENDIE = 0)。
注 3. 受信専用動作（マスタ）時の通信完了割り込みは、以下のいずれかの条件で一定のタイミングで発生します。
- RMFM で設定したフレーム数の処理が完了したとき (RMFM[4:0] ≠ 00000b)
- RMEDTG = 1 で、RMFM で設定したフレーム数の処理が完了していないとき（RMFM[4:0] = 00000b を含む）

注 4. 内部トリガもクリアされます。
注 5. CPU 動作中、1 つの処理ルーチンの後に SPI 受信バッファフルフラグのクリアビット (SPSRC.SPRFC) に 1 を書き込んでください。

図 30.66 マスタモードでのソフトウェア処理手順（受信専用）

エラー処理手順

SPI は以下のエラーの検出を行います。

- モードフォルトエラー
- アンダーランエラー
- オーバーランエラー
- パリティエラー

モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送信／受信動作を停止させます。その他のエラー要因では、SPCR.SPE ビットはクリアされず、送信／受信動作は継続します。よって、モードフォルトエラー以外のエラーの場合は、SPCR.SPE ビットをクリアし、動作を停止することが推奨されます。動作を停止しないと、SPDCR2.SPECM[2:0]ビットが更新されます。

割り込みによるエラー発生時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに送信バッファエンプティ割り込み (SPIi_SPTI) または受信バッファフル割り込み要求 (SPIi_SPRI) が保持されていることがあります。また、SPIi_SPRI 割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

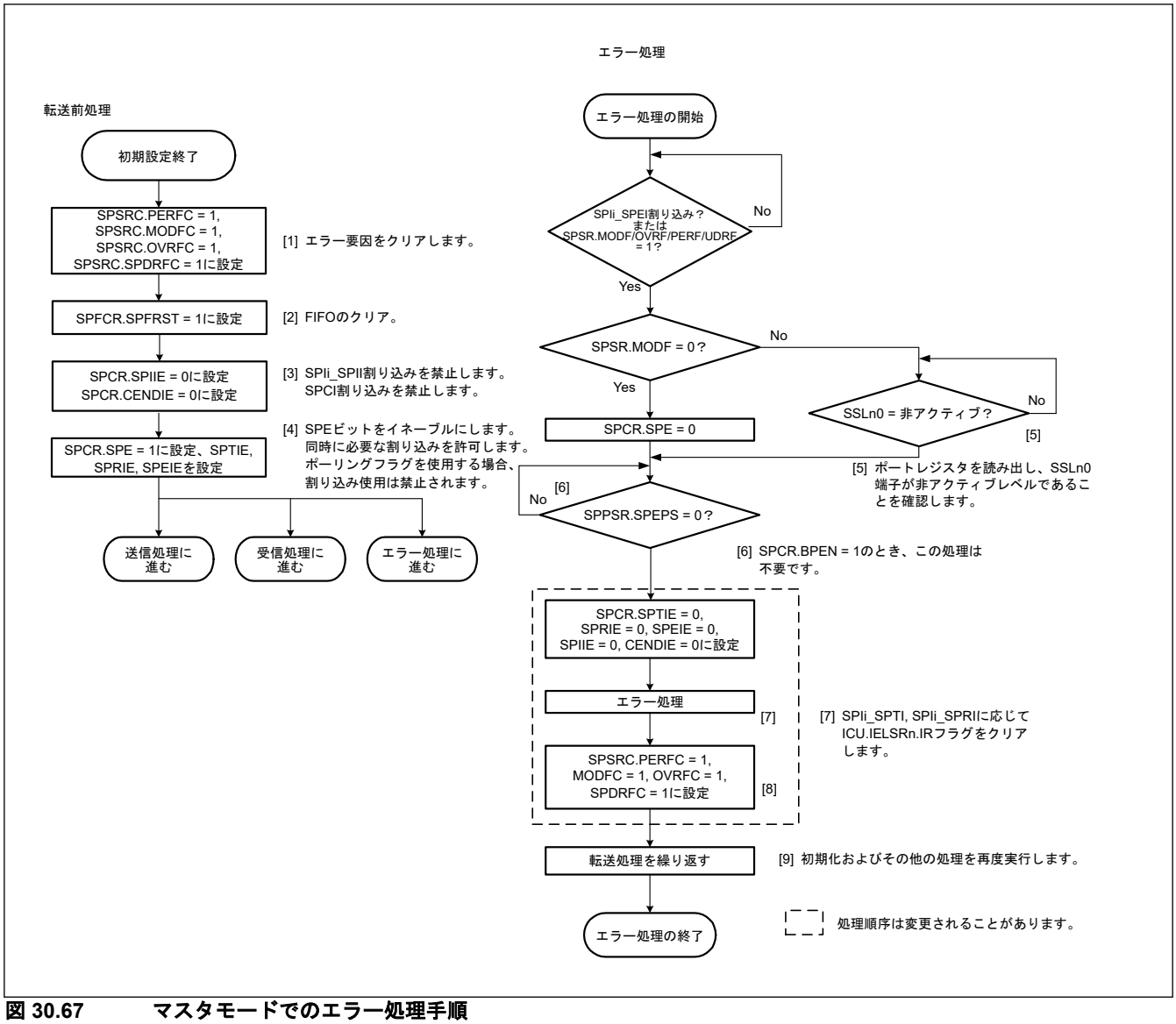


図 30.67　マスタモードでのエラー処理手順

30.3.12.2　スレーブモード動作

(1)　シリアル転送の開始

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 端子へ入力される信号のアサートを検出すると、MISOn 出力信号への有効データをドライブする必要があります。このため、SPCMD0.CPHA ビットが 0 の場合には、SSLn0 端子へ入力される信号のアサートがシリアル転送開始のトリガになります。

SPCMD0.CPHA ビットが 1 の場合には、SPI は SSLn0 端子へ入力される信号のアサート状態で最初の RSPCKn エッジを検出すると、MISOn 出力信号への有効データをドライブする必要があります。SPCMD0.CPHA ビットが 1 の場合には、SSLn0 端子へ入力される信号のアサート状態における最初の RSPCKn エッジがシリアル転送開始のトリガになります。

SPCMD0.CPHA ビットの設定にかかわらず、SPI は SSLn0 端子へ入力される信号のアサート時に、MISOn 出力信号のドライブを実行します。SPCMD0.CPHA ビットの設定によって、SPI が出力するデータの有効／無効が異なります。

SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。SSLn0 端子へ入力される信号の極性は、SPCR3.SSL0P ビットの設定値で決まります。

(2) シリアル転送の終了

SPCMD0.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出するとシリアル転送を終了します。受信 FIFO に格納されたデータの数が FIFO 段数より少ない場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。シリアル転送開始からシリアル転送終了までの間に SPI が SSLn0 端子へ入力される信号のネゲートを検出すると、モードフォルトエラーが発生します（「30.3.10. エラー検出」を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は SPCMD0.SPB[4:0]ビットの設定値で決まります。SSLn0 端子へ入力される信号の極性は、SPCR3.SSL0P ビットの設定値で決まります。SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。

(3) シングルスレーブ動作時の注意点

[Motorola-SPI の場合]

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 端子へ入力される信号のアサートエッジを検出するとシリアル転送を開始します。図 30.8 の例に示したような構成で SPI をシングルスレーブモードで使用する場合には、SSLn0 端子への入力信号がアクティブ状態に固定されます。そのため、CPHA ビットを 0 に設定した場合、SPI はシリアル転送を正しく開始できません。SSLn0 端子への入力信号がアクティブ状態に固定された場合に、スレーブモードの SPI の送受信動作を正しく実行するには、CPHA ビットを 1 にしてください。CPHA ビットを 0 にする必要がある場合、SSLn0 端子への入力信号を固定しないでください。

[TI-SSP の場合]

図 30.8 に示す構成で SPI がシングルスレーブとして使用されている場合には、SSLn0 入力信号は常に非アクティブ状態に固定されるため、SPI はシリアル転送を開始できません。

シングルスレーブを使用する場合は、図 30.7 の例に示したような構成を使用してください。

(4) バースト転送

[Motorola-SPI の場合]

SPCMD0.CPHA ビットが 1 であれば、SSLn0 端子へ入力される信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。SPCMD0.CPHA ビットが 1 の場合、シリアル転送期間は、SSLn0 端子への入力信号がアクティブ状態において、最初の RSPCKn エッジから、最終ビット受信のためのサンプリングタイミングまでとなります。SSLn0 端子への入力信号がアクティブレベルのままであっても、SPI はアクセスの開始を検出できるため、バースト転送に対応できます。

SPCMD0.CPHA ビットが 0 の場合、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

[TI-SSP の場合]

シリアル転送では、SSLn0 端子への入力信号が RSPCK 1 サイクルでアサートされた後にデータ転送が開始します。フレーム転送は SSL 端子への入力信号から始まるため、フレーム間で SSLn0 がアサートされる必要があります。

(5) 初期化手順

図 30.68 に、SPI がスレーブモードの場合の SPI 動作の初期化手順の例を示します。なお、ICU, DTC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

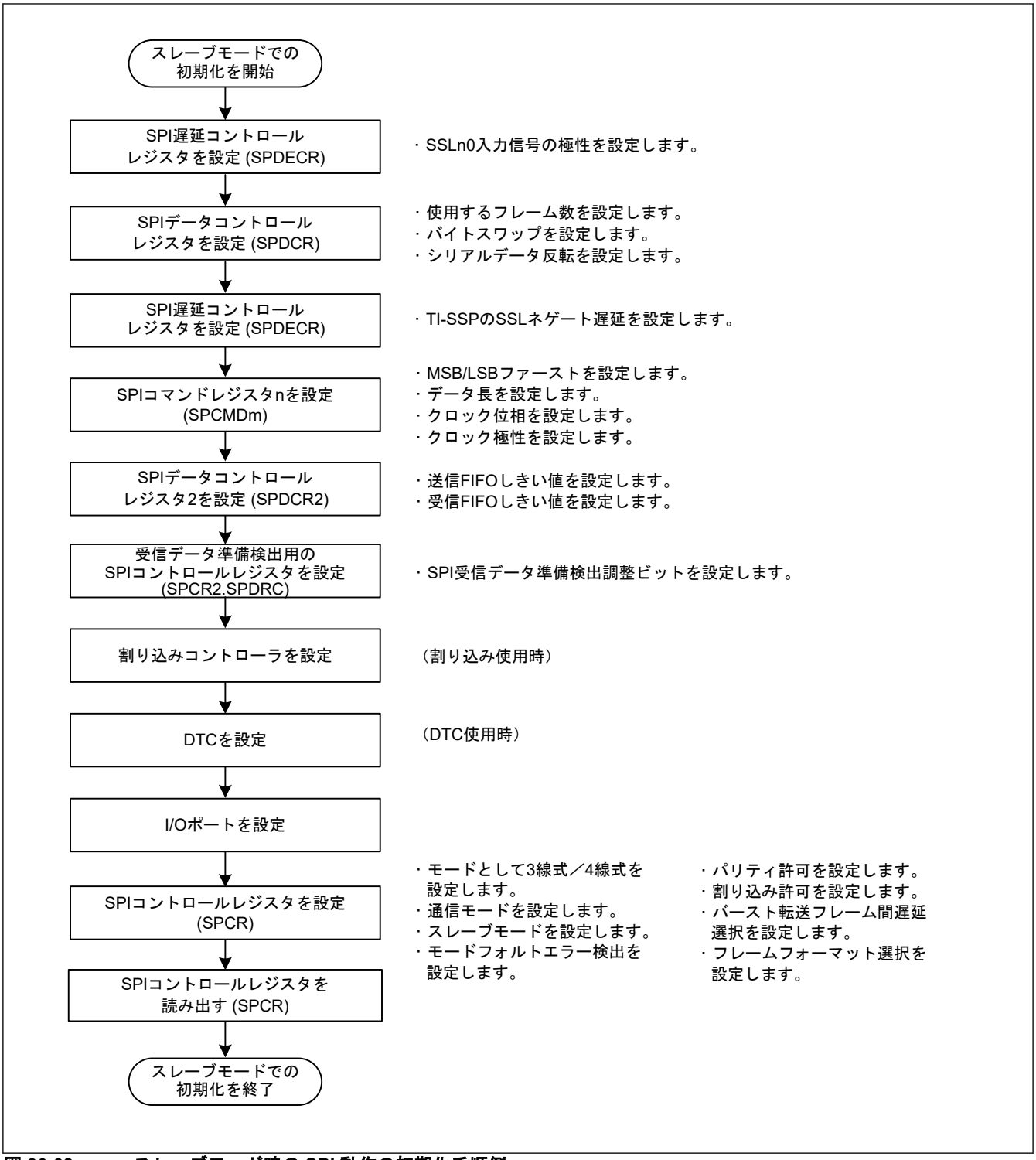
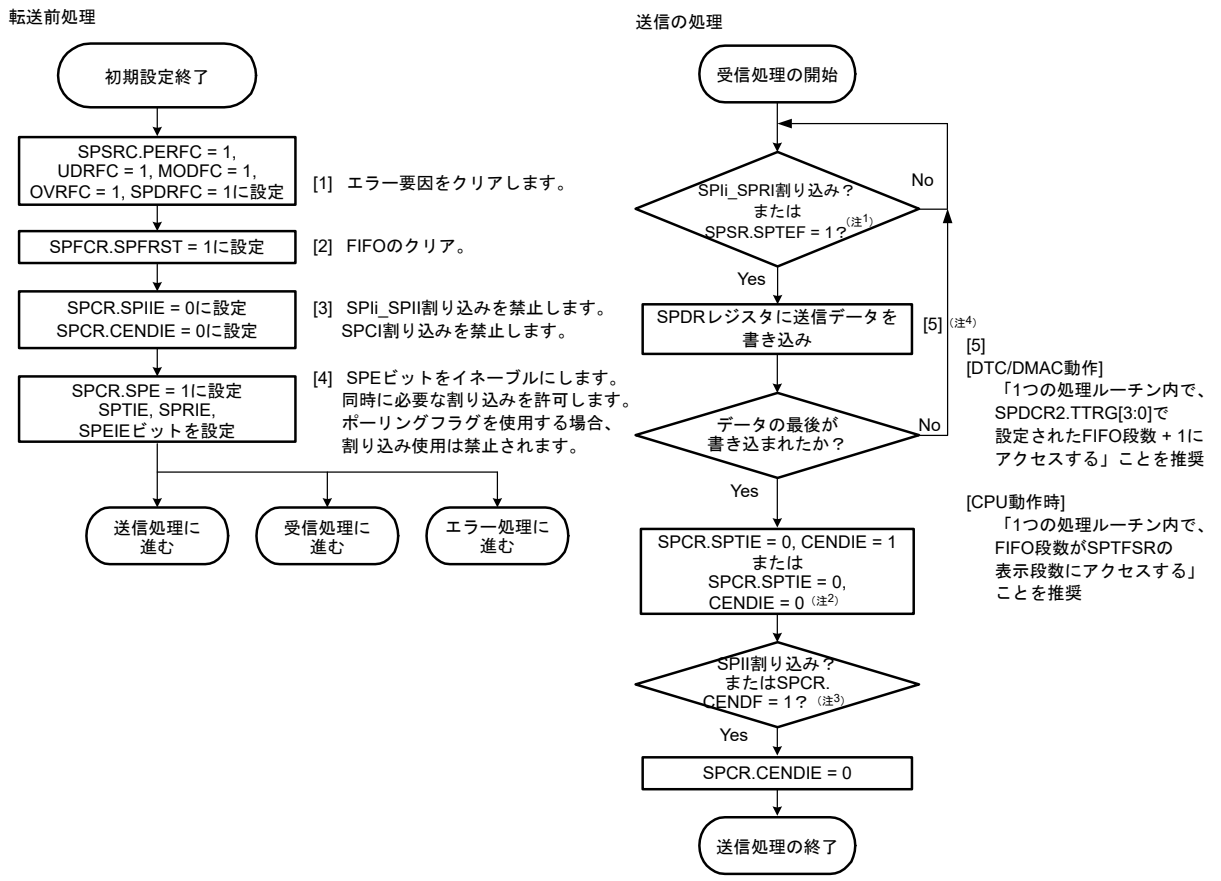


図 30.68　スレーブモード時の SPI 動作の初期化手順例

(6)　ソフトウェア処理手順

図 30.69～図 30.72 にソフトウェア処理手順の例を示します。

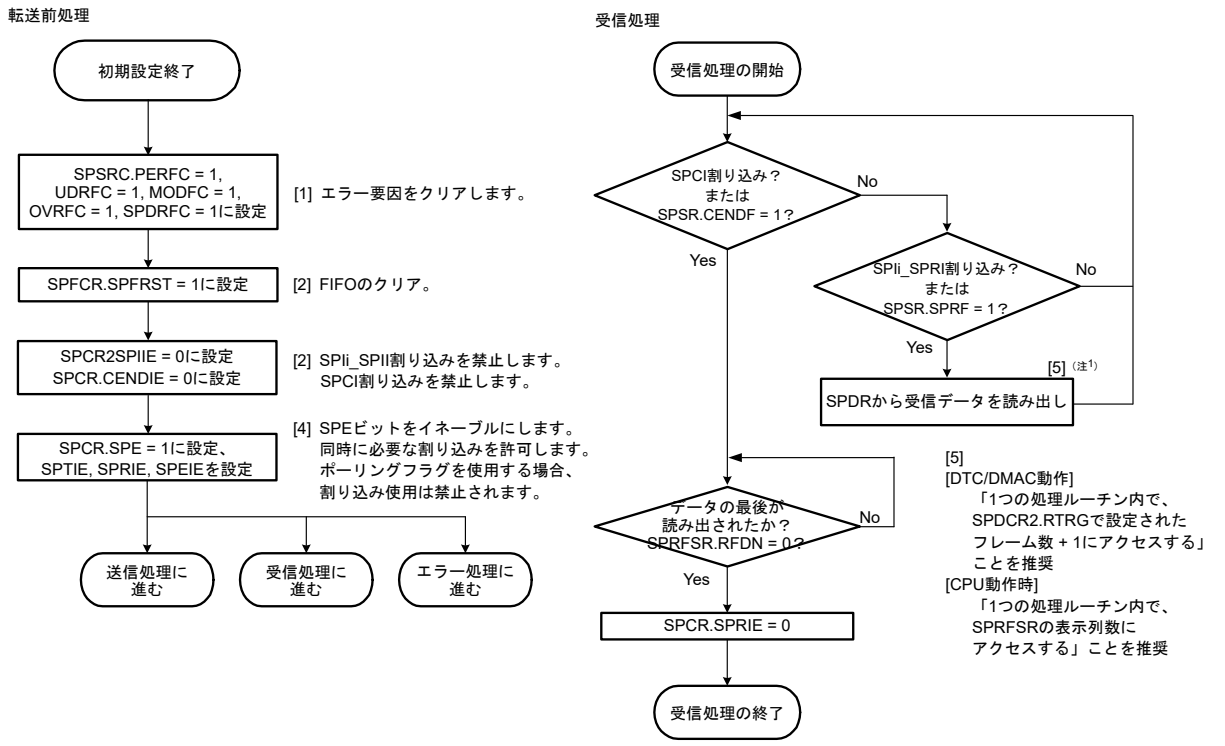
送信処理手順



注 1. ポーリングにフラグを使用する場合、SPSR.SPTEF フラグで送信バッファがエンプティであることを確認してから SPDR レジスタへの送信データ書き込み処理を行ってください。
注 2. ポーリング用のフラグを使用する場合は、SPIi_SPCEND 割り込み禁止 (SPCR.CENDIE = 0) を設定してください。
注 3. ポーリング用のフラグを使用する場合は、SPDR に送信データを書き込んだ後、1 PCLK 以上待ってから、SPSR.IDLNF または SPSR.CENDF のポーリングを開始してください。
注 4. CPU 動作中、1 つの処理ルーチンの後に SPI 送信バッファエンプティフラグのクリアビット (SPSRC.SPTEFC) に 1 を書き込んでください。

図 30.69 スレーブモードでの送信手順

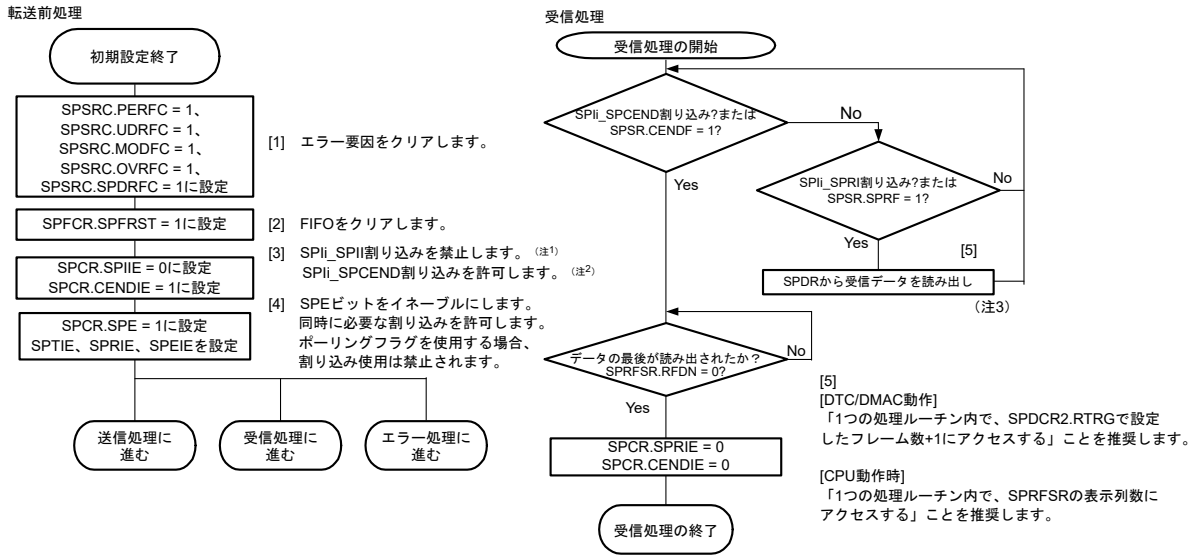
受信処理手順



注 1. CPU 動作中、1 つの処理ルーチンの後に SPI 受信バッファフルフラグのクリアビット (SPSRC.SPTEFC) に 1 を書き込んでください。

図 30.70 スレーブモードでの受信手順

マスタ受信専用での処理手順



注 1. 通信の終了は、SPIi_SPCEND 割り込み（CENDF フラグ）で判定できます。SPIi_SPCEND 割り込み（CENDF フラグ）を使用してください。
注 2. フラグポーリング中の SPIi_SPCEND 割り込みを禁止してください (SPCR.CENDIE = 0)。
注 3. CPU 動作中、1 つの処理ルーチンの後に SPI 受信バッファフルフラグのクリアビット (SPSRC.SPTEFC) に 1 を書き込んでください。

図 30.71 マスタモードでのソフトウェア処理手順（受信専用）

エラー処理手順

スレーブ動作では、モードフォルトエラーが発生しても、SSLn0 端子の状態にかかわらず SPSR.MODF フラグをクリアすることができます。

割り込みによるエラー検出時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに送信バッファエンプティ割り込み (SPIi_SPTI) または受信バッファフル割り込み要求 (SPIi_SPRI) が保持されていることがあります。また、SPIi_SPRI 割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

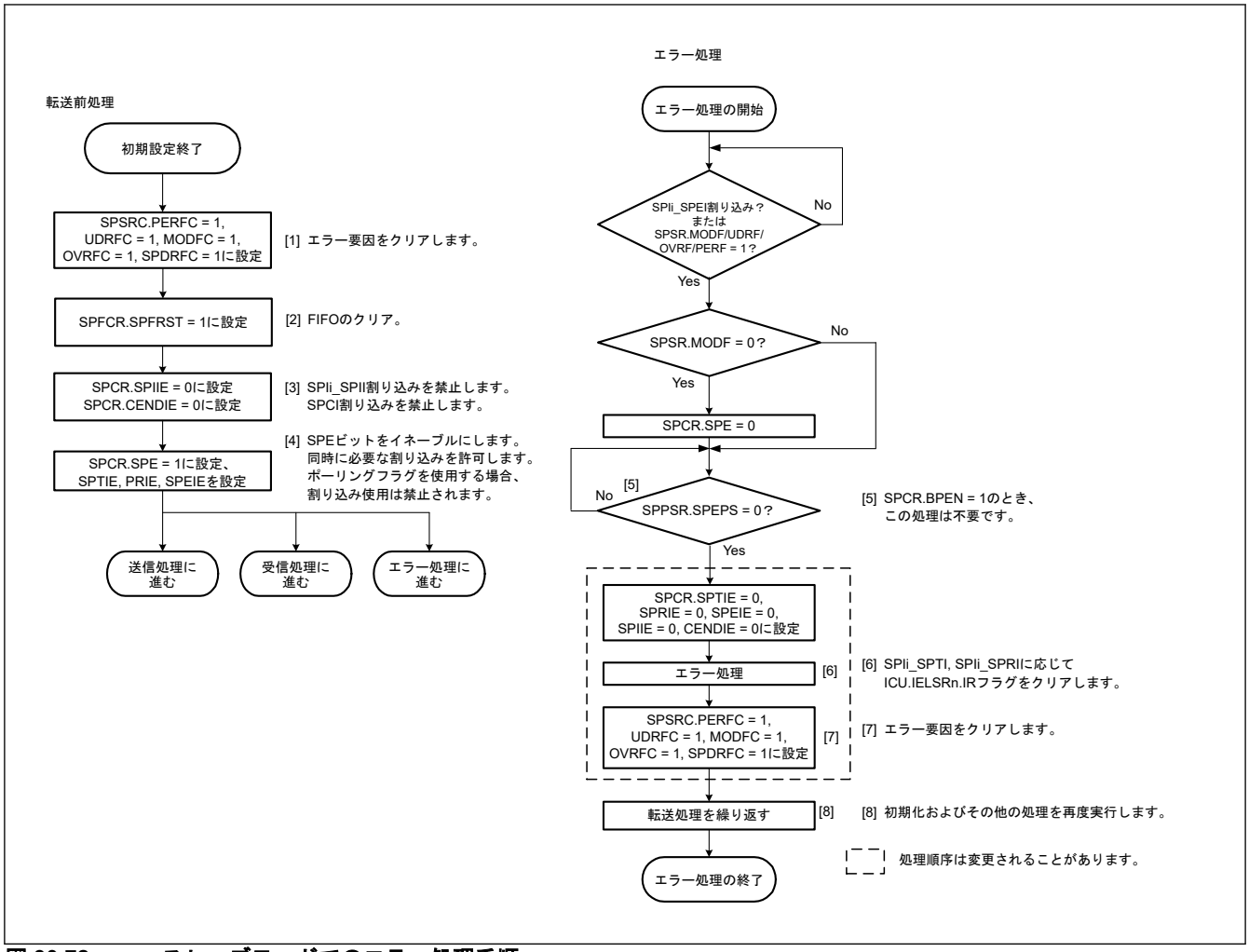


図 30.72　スレーブモードでのエラー処理手順

30.3.13　クロック同期式動作

SPI は、SPCR.SPMS ビットが 1 であるとき、クロック同期式動作となります。クロック同期式動作は、SSLni 端子を使用せず、RSPCKn、MOSIn、MISOn の 3 本の端子を用いて通信を行います。各 SSLni 端子は入出力ポートとして使用することができます。

クロック同期式動作は、SSLni 端子を使用せずに通信を行いますが、モジュールの動作は SPI 動作と同様です。すなわち、マスタモード動作とスレーブモード動作では、モードフォルトエラーの検出が行われないことを除いて、同様のフローで通信を行うことができます。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを 0 にした場合の動作はしないでください。

30.3.13.1　マスタモード動作

(1)　シリアル転送の開始

送信 FIFO で次転送のデータがセットされていない状態で、SPI データレジスタ (SPDR) へデータを書き込むと、SPI は SPDR で送信バッファ（SPTXn、n＝0～3）のデータを更新します。シフトレジスタがエンプティの場合、SPI は送信バッファのデータをシフトレジスタへコピーしてシリアル転送を開始します。SPI は、シフトレジスタに送信データをコピーした後、シフトレジスタのステータスをフルに変更します。シリアル転送が終了すると、SPI はシフトレジスタのステータスをエンプティに変更します。シフトレジスタのステータスを監視することはできません。

SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。ただし、クロック同期式動作では、SSLn0 出力信号は通信に使用されません。

(2) シリアル転送の終了

SPI はサンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信 FIFO に格納されたデータ数が、FIFO 段数より少ない場合には、シリアル転送終了後に SPI はシフトレジスタから SPI データレジスタ (SPDR) の受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMDm.SPB[4:0]ビットの設定値で決まります。クロック同期式動作時は、SSLn0 端子の出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPCR3 レジスタ、SPCMDm レジスタ、および SPDECR レジスタによって決定されます。クロック同期式動作時は、SSLni 端子へ信号の出力を行いませんが、これらの設定は有効です。

SPCR3.SPSLN[2:0]ビットは、マスタモードの SPI で実行するシリアル転送のシーケンス構成を決定します。
SPCMDm レジスタでは、以下の項目を設定します。

- SSLni 端子の出力信号値
- MSB/LSB ファースト
- データ長
- ビットレート設定の一部
- RSPCKn 極性／位相
- SPDECR.SCKDL レジスタの参照要否
- SPDECR.SLNDL レジスタの参照要否
- SPDECR.SPNDL レジスタの参照要否

SPCR3.SPBR レジスタは、SPDECR.SCKDL レジスタ（SPI クロック遅延）、SPDECR.SLNDL レジスタ（SSL ネゲート遅延）、SPDECR.SPNDL レジスタ（次アクセス遅延）などの、ビットレート設定の一部を保持しています。

SPI は、SPCR3 レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部／全部からなるシーケンスを構成します。SPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPDCR2.SPCP[2:0]ビットの読み出しによって確認できます。SPCR.SPE ビットを 1 にして SPI 機能を有効にすると、SPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。SPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスの最終コマンドに対応するシリアル転送が終了すると、SPI はポインタを SPCMD0 レジスタにセットするため、シーケンスが繰り返し実行されます。

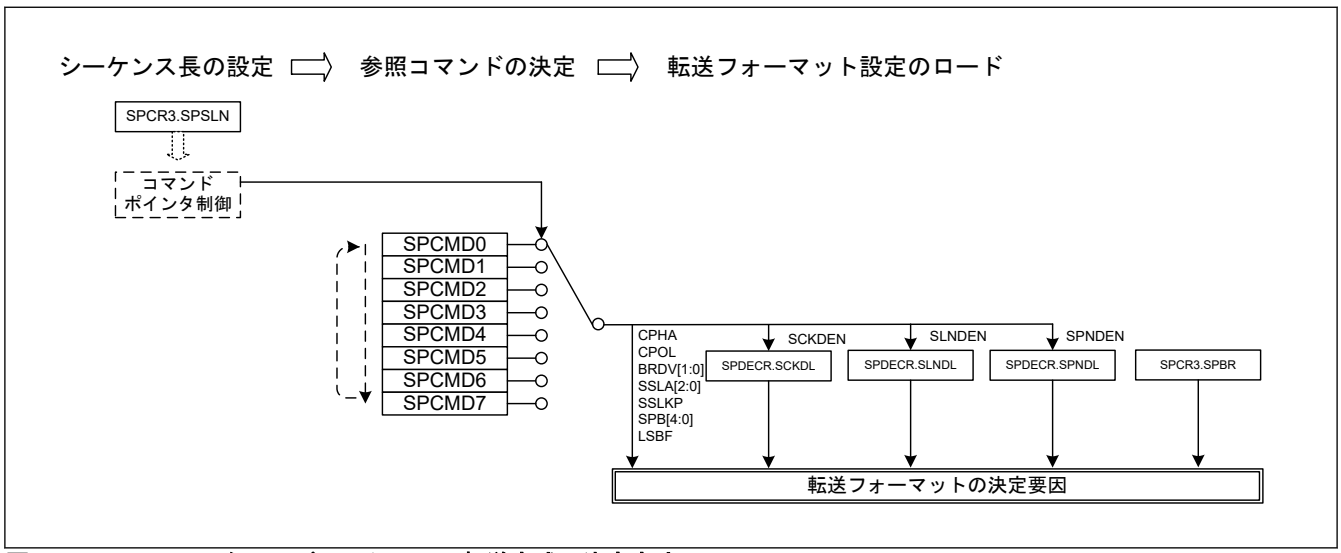


図 30.73 マスタモードでのシリアル転送方式の決定方法

ここでは、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

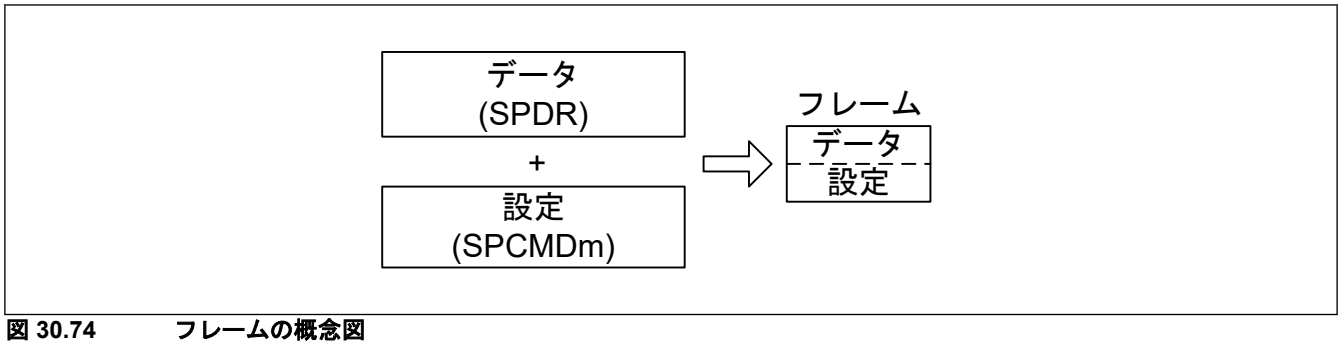


図 30.74 フレームの概念図

設定でシーケンス動作を行ったときのコマンドと送信バッファ／受信バッファの対応関係を図 30.75 に示します。

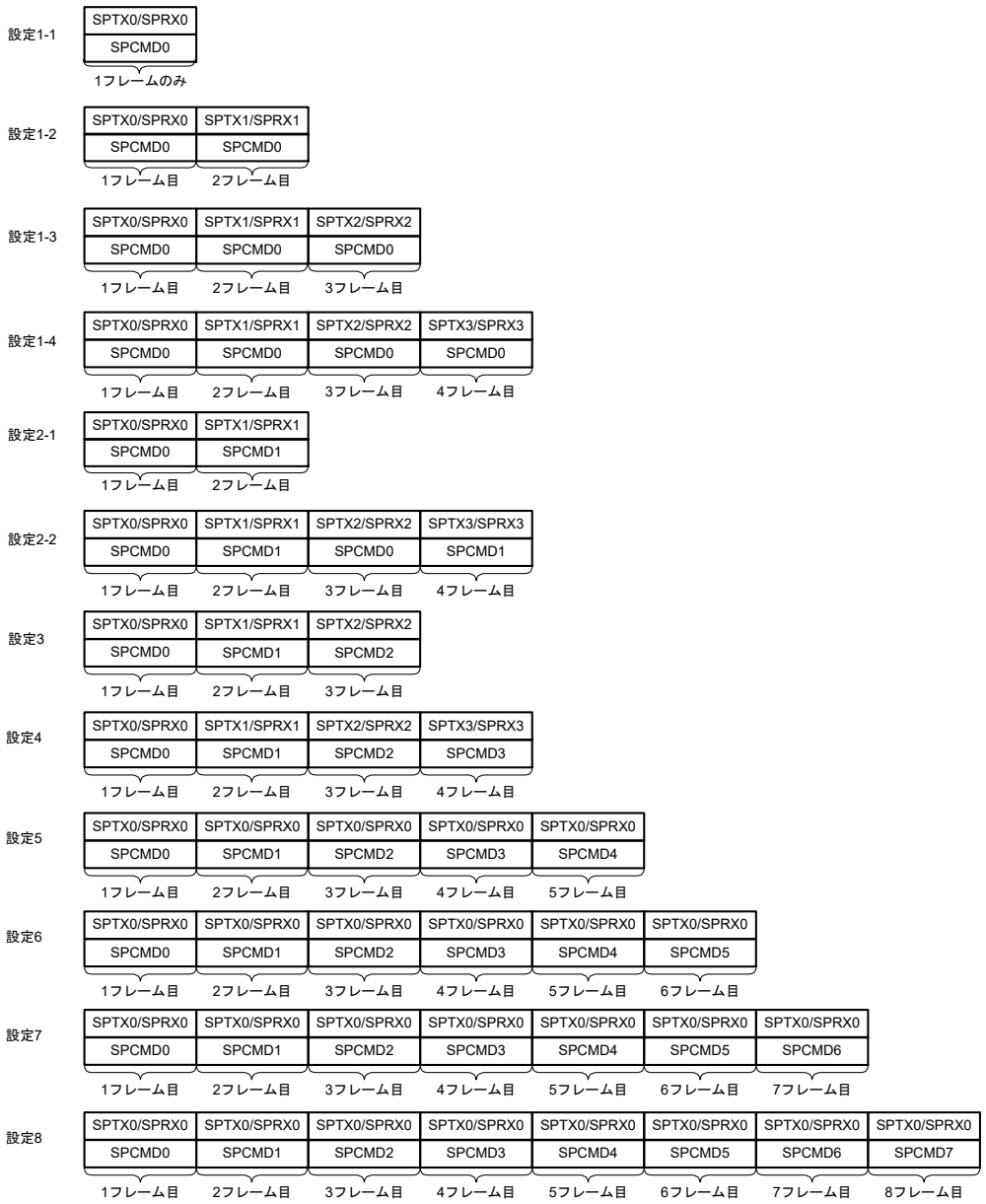


図 30.75　　シーケンス動作時の SPI コマンドレジスタと送受信バッファの対応関係

(4)　初期化手順

図 30.76 に、SPI をマスタモードで使用する場合のクロック同期式動作の初期化手順の例を示します。なお、ICU、DMAC、DTC および入出力ポートの設定方法については、各ブロックの説明を参照してください。

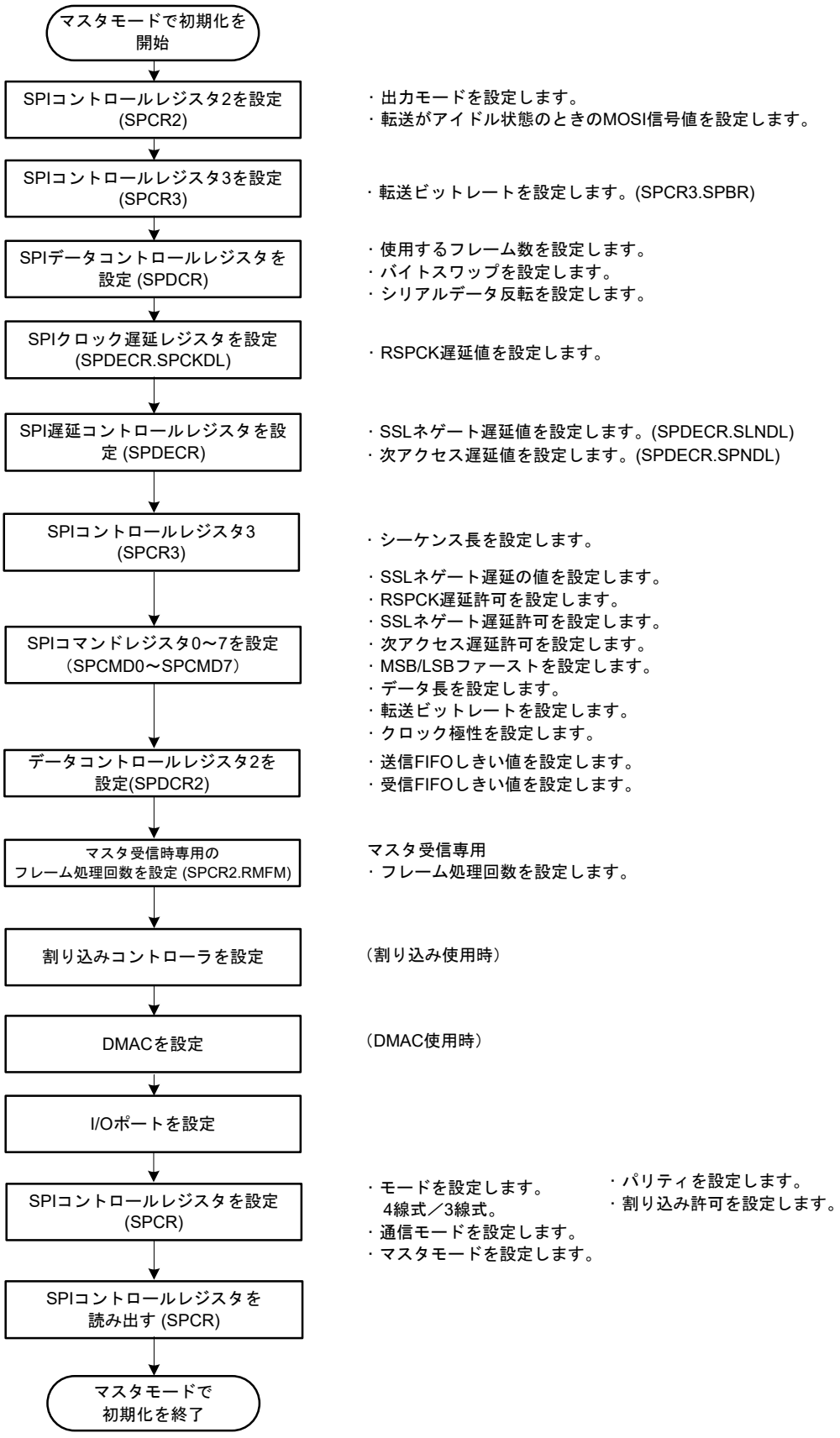


図 30.76　マスタモード時のクロック同期式動作の初期化手順例

(5) ソフトウェア処理手順

クロック同期式動作時のマスタモードでのソフトウェア処理は、SPI 動作時のマスタモードでのソフトウェア処理と同様になります。詳細は、「30.3.12.1. マスタモード動作」の (9) ソフトウェア処理手順を参照してください。クロック同期式動作では、モードフォルトエラーは発生しません。

30.3.13.2 スレーブモード動作

(1) シリアル転送の開始

SPCR.SPMS ビットが 1 であるとき、最初の RSPCKn エッジが SPI のシリアル転送開始のトリガになり、SPI は MISOn 出力信号をドライブします。SSLn0 入力信号は、クロック同期式動作では使用されません。SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。

(2) シリアル転送の終了

SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出するとシリアル転送を終了します。受信 FIFO に格納されるデータ数＜FIFO ステージ数の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態をエンプティに変更します。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は SPCMD0.SPB[4:0]ビットの設定値で決まります。SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。

(3) 初期化フロー

図 30.77 に、SPI がスレーブモードである場合のクロック同期式動作の初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

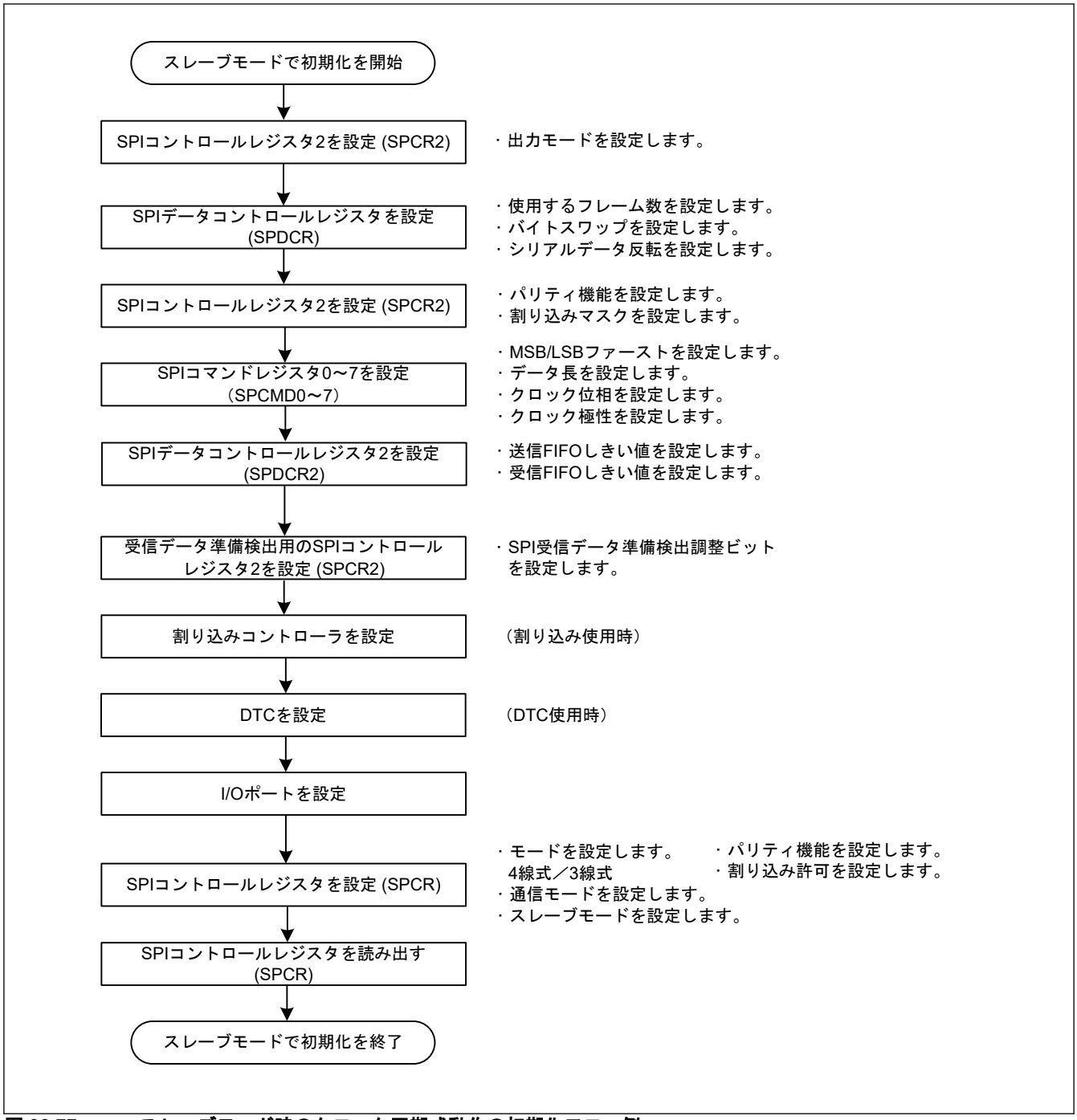


図 30.77　スレーブモード時のクロック同期式動作の初期化フロー例

(4)　ソフトウェア処理フロー

クロック同期式動作時のスレーブモードでのソフトウェア処理は、SPI 動作時のスレーブモードでのソフトウェア処理と同様になります。詳細は、(6)ソフトウェア処理手順を参照してください。この条件下ではモードフォルトエラーは発生しません。

30.3.14　ループバックモード

SPCR2.SPLP2 ビットまたは SPCR2.SPLP ビットに 1 を書き込むと、SPI は、SPCR.MSTR ビットが 1 であれば、MISOn 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断して、シフトレジスタの入力経路と出力経路を接続し、ループバックモードを構成します。また、SPCR.MSTR ビットが 1 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断せず、SPCR.MSTR ビットが 0 であれば、MISOn 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。

ループバックモードでシリアル転送を実行すると、SPI の送信データまたは送信データの反転が SPI の受信データになります。

表 30.13 に、SPLP2 ビット、SPLP ビット、および受信データの関係を示します。また、図 30.78 にマスタモードの SPI をループバックモード (SPCR2.SPLP2 = 0, SPCR2.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 30.13 SPPCR.SPLP2 ビット、SPPCR.SPLP ビットの設定と受信データ

SPCR2.SPLP2 ビット	SPCR2.SPLP ビット	受信データ
0	0	MOSIn 端子または MISOn 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

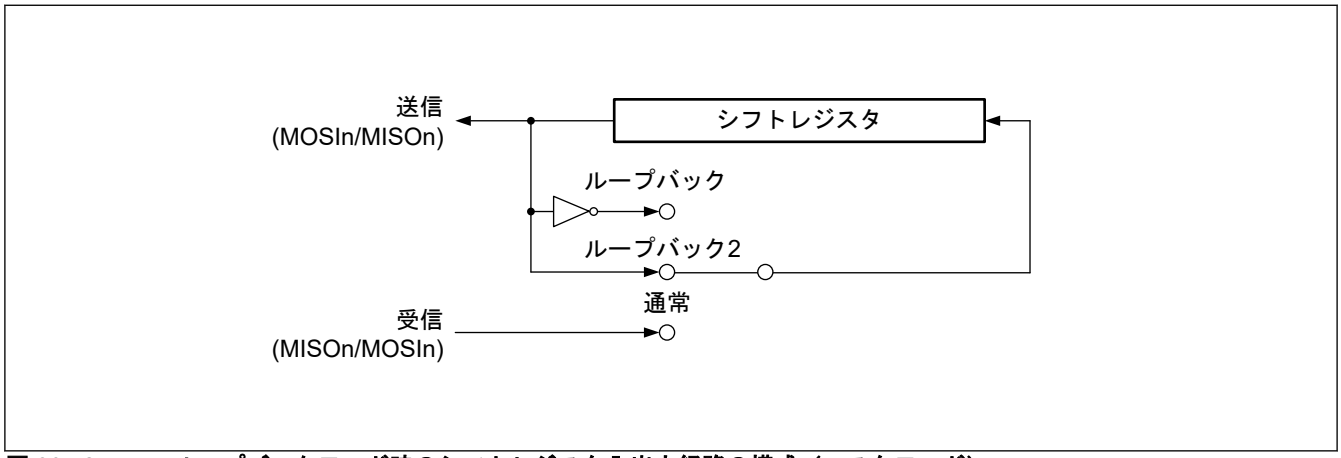


図 30.78 ループバックモード時のシフトレジスタ入出力経路の構成（マスタモード）

30.3.15 パリティビット機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と、受信データに対するエラー検出部で構成されます。パリティ付加部とエラー検出部の故障を検出するため、パリティ回路は図 30.79 に示す自己診断を実行します。

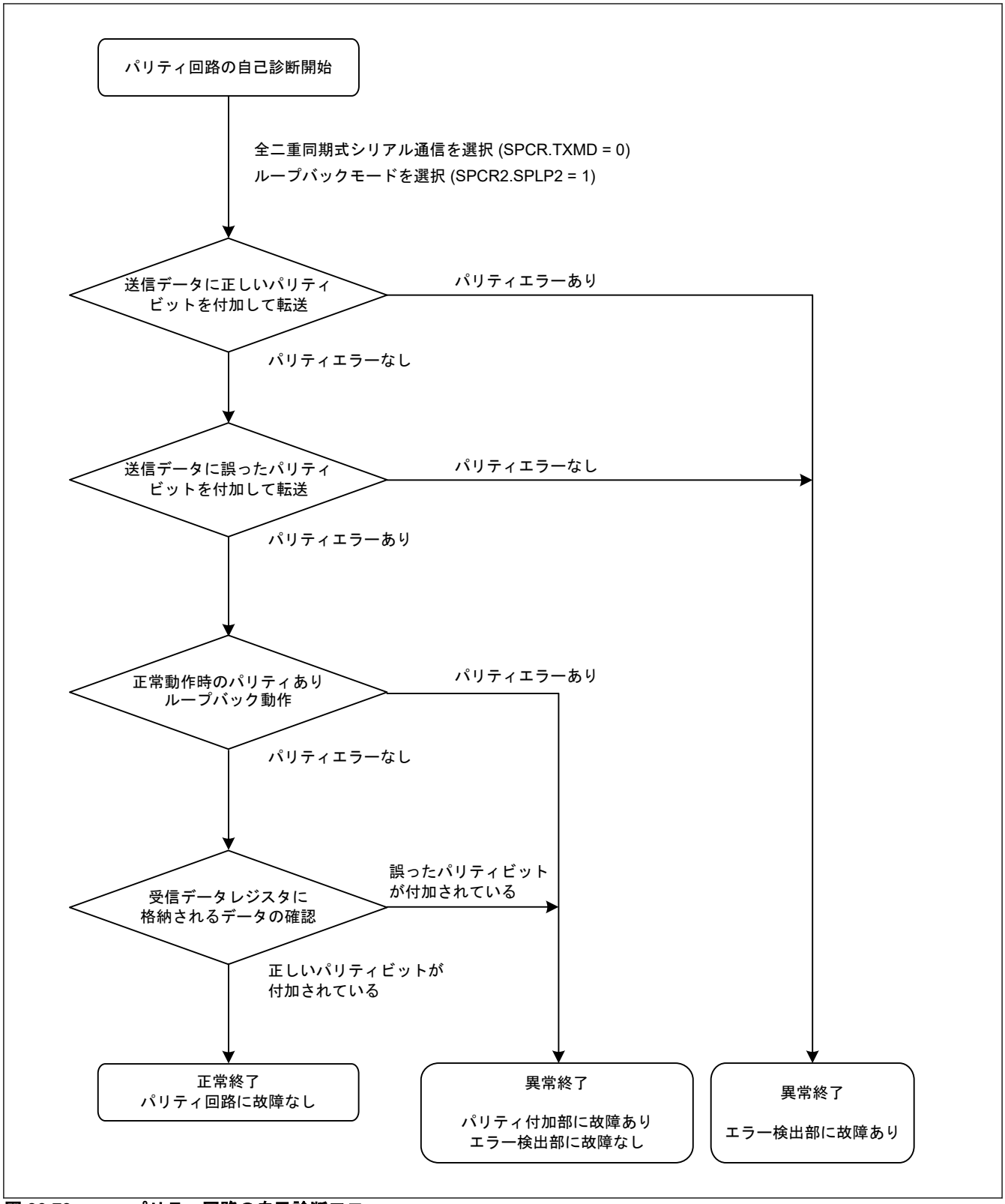


図 30.79 パリティ回路の自己診断フロー

30.3.16 割り込み要因

SPI には以下の割り込み要因があります。

- 受信バッファフル
- 送信バッファエンプティ

- SPI エラー（モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー）
- SPI アイドル
- 通信終了

また、受信バッファフル、送信バッファエンプティの割り込み要求で DMAC または DTC を起動し、データ転送を行うことができます。

SPIn_SPEI のベクタアドレスは、モードフォルトエラー、アンダーランエラー、オーバーランエラー、およびパリティエラーでトリガされる割り込み要求に割り付けられるため、実際の割り込み要因は、フラグから判断する必要があります。表 30.14 に SPI の割り込み要因に対応するフラグを示します。表 30.14 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因に対しては、データ転送でクリアしてください。

DMAC または DTC を使用してデータの送受信を行う場合、最初に DMAC または DTC を転送許可状態に設定してから SPI の設定を行ってください。DMAC または DTC の設定については、「15. DMA コントローラ (DMAC)」と「16. データトランスファコントローラ (DTC)」を参照してください。

ICU.IELSRn.IR フラグが 1 の状態で、送信バッファエンプティ割り込みまたは受信バッファフル割り込みの発生条件が生じても、ICU に対して割り込み要求は出力されず、内部で保持されます（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IELSRn.IR フラグが 0 になると、保持されていた割り込み要求が出力されます。保持されていた割り込み要求が出力されると、その割り込み要求は自動的に破棄されます。また、内部で保持されている割り込み要求は、対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を 0 にすることでもクリアできます。

表 30.14 SPI の割り込み要因

割り込み要因	シンボル	割り込み条件	DTC/DMAC の起動
受信バッファフル	SPIi_SPRI	SPCR.SPRIE ビットが 1 の状態で受信バッファフル（SPSR.SPRF フラグが 1）になったとき、または SPCR.SPDRES ビットが 0 の状態で受信データがレディ（SPSR.SPDRF フラグが 1）になったとき	可能
送信バッファエンプティ	SPIi_SPTI	SPCR.SPTIE ビットが 1 の状態で送信バッファエンプティ（SPSR.SPTEF フラグが 1）になったとき	可能
SPI エラー（モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー）	SPIi_SPEI	SPCR.SPEIE ビットが 1 の状態で SPSR.MODF、OVRF、UDRF、または PERF フラグが 1 になったとき、または SPSR.SPDRES、SPDRF フラグが 1 になったとき	不可能
SPI アイドル	SPIi_SPII	SPCR.SPIIE ビットが 1 の状態で SPSR.IDLNF フラグが 0 になったとき	不可能
通信終了	SPIi_SPCEND	CENDIE = 1 かつ CENDF = 1	不可能

30.4 イベントリンクコントローラ (ELC) への出力

イベントリンクコントローラ (ELC) は、次のイベント出力信号を生成することができます。

- 受信バッファフルイベント出力
- 送信バッファエンプティイベント出力
- モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーイベント出力
- SPI アイドルイベント出力
- 送信完了イベント出力

イベントリンク出力信号は、割り込み許可ビットの設定に関係なく出力されます。

30.4.1 受信バッファフルイベント出力

「受信 FIFO に格納されたデータ数＞しきい値」のとき、または「受信 FIFO に格納されたデータ数≦しきい値」かつ「受信 FIFO への書き込み後に SPDRES = 0 が経過」のとき、SPDRC[7:0]が経過するとイベントを出力します。

30.4.2 送信バッファエンプティイベント出力

空の送信 FIFO 段数がしきい値を超えるか、SPCR.SPE ビットが 0 から 1 に変更されたとき、イベントが出力されます。

30.4.3 モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーまたは受信データレディイベント出力

このイベント信号は、モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラーを検出したときに出力されます。このイベント信号を使用する場合は、「30.5.4. モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーまたは受信データレディイベント出力に関する制約」を参照してください。

(1) モードフォルトエラー

表 30.15 にモードフォルトエラーイベントの発生条件を示します。

表 30.15 モードフォルトエラーの発生条件

SPI モード	SPCR.MODFEN ビット	SSLn0 端子	備考
SPI 動作 (SPMS = 0) スレーブ (SPCR.MSTR = 0) Motorola-SPI (SPCR.SPFRF = 0)	1	非アクティブ	送信動作中に SSLn0 端子が非アクティブになった場合のみイベント出力
SPI 動作 (SPMS = 0) スレーブ (SPCR.MSTR = 0) TI-SSP (SPCR.SPFRF = 1)	1	アクティブ	送信動作中に SSLn0 端子がアクティブになった場合のみイベント出力

(2) アンダーランエラー

アンダーランエラーイベント信号は、SPCR.MSTR ビットが 0、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態でシリアル転送を開始したときに出力されます。この条件下では、SPSR.MODF フラグおよび SPSR.UDRF フラグが 1 となります。

(3) オーバーランエラー

オーバーランエラーイベント信号は、SPCR.TXMD[1:0]ビットが 00b または 10b、かつ受信バッファに未読データがある状態でシリアル転送が終了したときのオーバーランに対応して出力されます。この条件下では、OVRF フラグが 1 になります。

(4) パリティエラー

パリティエラーイベント信号は、SPCR.SPPE ビットが 1 の状態でシリアル転送が終了したときに検出されるパリティエラーに対応して出力されます。

(5) 受信データレディ

受信データレディイベント出力条件として SPCR.TXMD[1:0] = 00b または 10b、かつ SPDRES = 1 の場合、受信 FIFO に格納されるデータの数は受信 FIFO に書き込み後に受信されます。SPDRC[7:0]の設定値が FIFO しきい値より小さい状態で時間が経過すると、イベントが出力されます。

30.4.4 SPI アイドルイベント出力

(1) マスタモード時

送受信／送信専用マスタモードでは、SPSR.IDLNF フラグが 1 から 0 に変化するとき、イベントが出力されます。

以下の条件 1)か条件 2)のいずれかが成立するときのみ、IDLNF フラグは 1 から 0 に変化します。

1. SPCR.SPE ビットが送信中に 0 にクリアされる（SPI の初期化）
2. 以下の 3 つの条件をすべて満たしたとき
   - 送信用バッファ (SPTXn, n = 0～3) がエンプティ（次転送データがセットされていない）のとき
   - SPSR.SPCP[2:0]ビットが 000b のとき（シーケンス制御開始時）

- 次のアクセス遅延までに動作が完了しているとき（マスタメインステートマシンがアイドル状態に遷移するとき）

受信専用マスタモード時

以下のいずれか 2 つの条件が満たされたとき：

1. SPCR.SPE ビットが 0（SPI の初期化）
2. 次のいずれかを満たすとき
   - RMFM [4:0] = 0x0 で RMEDTG に 1 を書き込み後に、次のアクセス遅延までに動作が完了しているとき（マスタメインステートマシンがアイドル状態に遷移するとき）
   - RMFM [4:0] ≠ 0x0 で RMEDTG に 1 を書き込み後に、次のアクセス遅延までに動作が完了しているとき（マスタメインステートマシンがアイドル状態に遷移するとき）
   - RMFM [4:0] ≠ 0x0 で次のアクセス遅延までに動作完了後、SPI 内部シーケンサがアイドル状態に遷移するとき（マスタメインステートマシンがアイドル状態に遷移するとき）

(2) スレーブモード時

スレーブモードの場合、SPCR.SPE ビットが 0（SPI 初期化）のとき、イベントが出力されます。

30.4.5 通信終了イベント出力

マスタモード時、IDLNF フラグ（SPI アイドルフラグ）が 1 から 0 になるとイベントを出力します。スレーブモード時、表 30.16 と表 30.17 に示す条件でイベントが発生します。

表 30.16 通信終了イベント発生条件（送受信／送信スレーブモード）

	送信バッファ状態	シフトレジスタ状態	その他
SPI 動作 (SPMS = 0, SPFRF = 0)	エンプティ	エンプティ	SSLn0 入力ネゲート
SPI 動作 (SPMS = 0, SPFRF = 1)	エンプティ	エンプティ	SSL ネゲート遅延終了
クロック同期式動作 (SPMS = 1)	エンプティ	エンプティ	最終データの RSPCK の最終偶数エッジ検出 (CPHA = 1)

表 30.17 通信終了イベント発生条件（受信のみスレーブモード）

	その他
SPI 動作 (SPMS = 0, SPFRF = 0)	受信バッファで SPFC の設定値に対応するフレームを格納後に、SSLn0 入力ネゲート
SPI 動作 (SPMS = 0, SPFRF = 1)	受信バッファの SPFC 設定値に対応するフレーム格納後に、SSL ネゲート遅延終了
クロック同期式動作 (SPMS = 1)	SPFC 設定値 (CPHA = 1) に対する最終フレーム受信時に RSPCK の最終偶数エッジ検出

マスタモード、スレーブモードのどちらであっても、送信中に SPCR.SPE ビットに 0 が書き込まれた場合、あるいは、モードフォルトエラーまたはアンダーランエラーの発生によって SPCR.SPE ビットがクリアされた場合、イベントは出力されません。

通信終了イベントは、以下のタイミングで出力します。マスタ動作における通信終了イベント出力タイミングは、アイドルイベントと同じタイミングで出力されるため、省略します。

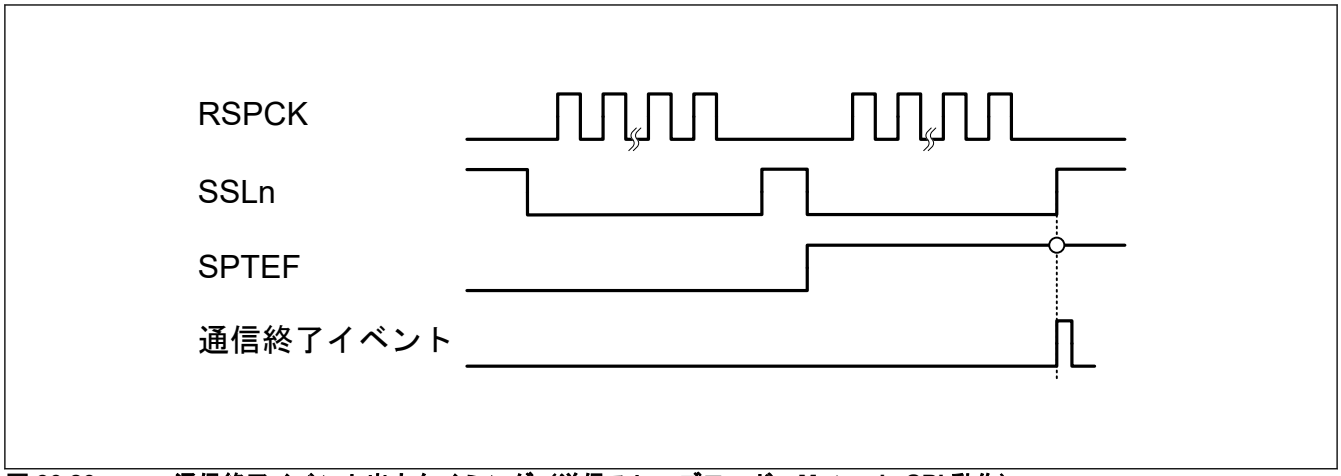


図 30.80 通信終了イベント出力タイミング（送信スレーブモード、Motorola SPI 動作）

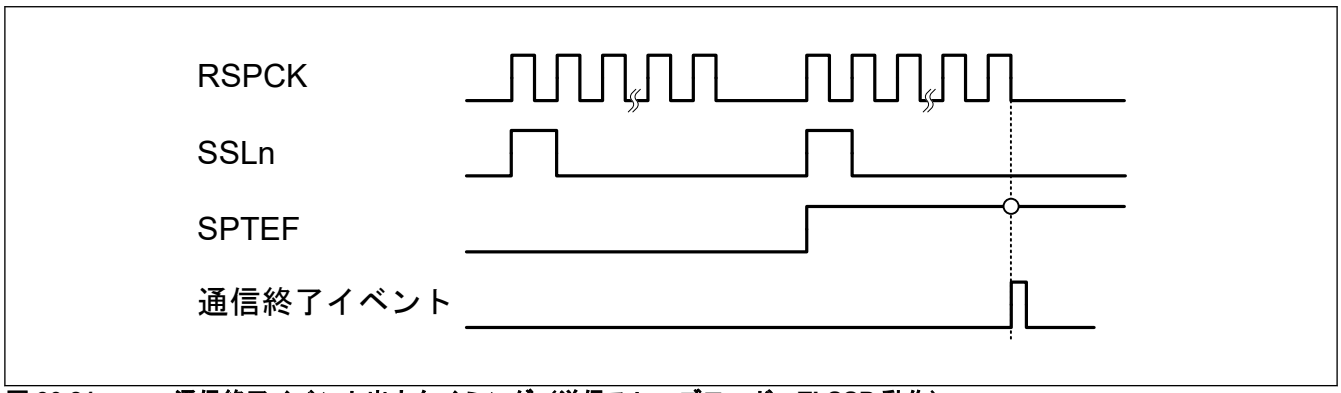


図 30.81 通信終了イベント出力タイミング（送信スレーブモード、TI-SSP 動作）

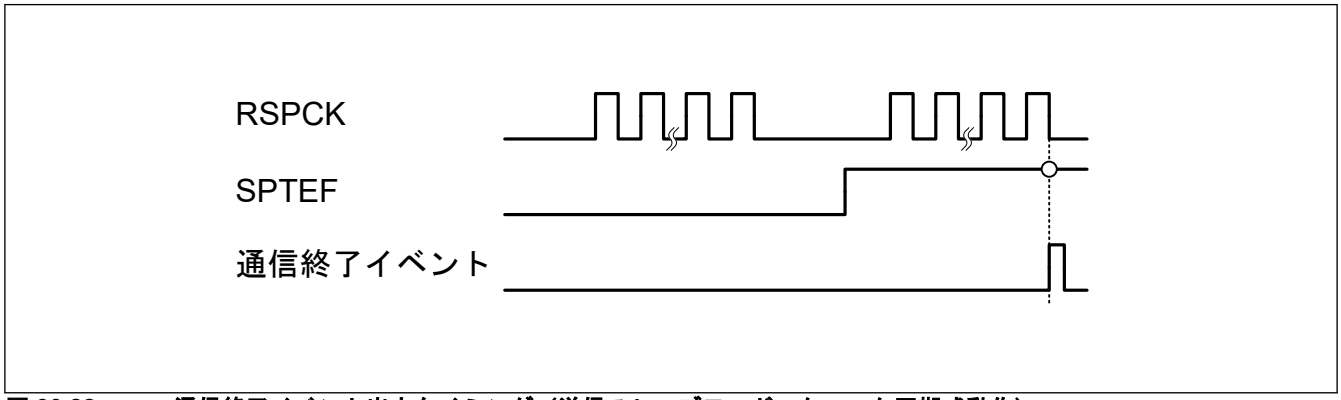


図 30.82 通信終了イベント出力タイミング（送信スレーブモード、クロック同期式動作）

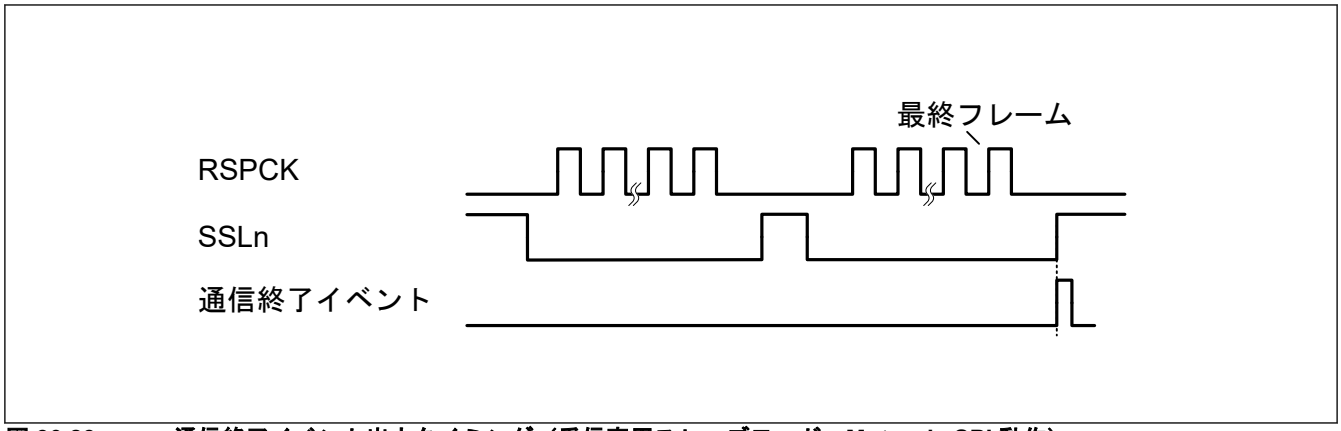


図 30.83 通信終了イベント出力タイミング（受信専用スレーブモード、Motorola SPI 動作）

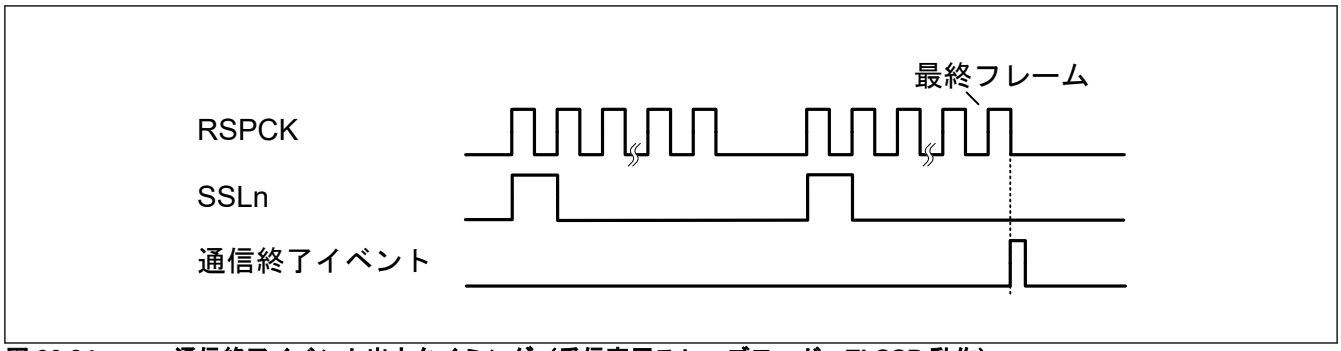


図 30.84 通信終了イベント出力タイミング（受信専用スレーブモード、TI-SSP 動作）

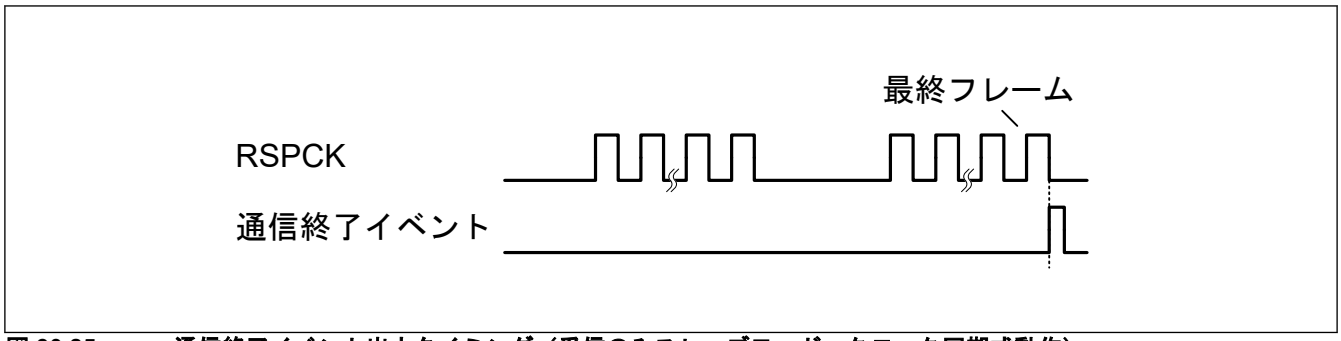


図 30.85 通信終了イベント出力タイミング（受信のみスレーブモード、クロック同期式動作）

30.4.6 同期バイパス機能

この IP には、内部クロック (PCLK) と動作クロック (TCLK) があり、それぞれ専用の動作回路を備えています。そのため、同期回路が異なるクロックの間に挿入され、異なるクロック間の信号遅延は、同期遅延時間（2～3PCLK サイクル、または 2～3TCLK サイクル）である必要があります。

しかし、内部バスクロックと動作クロックに同じクロックが入力されているときに限り、SPI コントロールレジスタ (SPCR) の BPEN ビットを 1 に設定して、同期回路をバイパスできます。この場合、同期の遅延時間は除外され、応答性が向上します。

また、この IP には通信クロック (RSPCK) と動作クロック (TCLK) の間にも同期回路を備えていますが、この同期回路はバイパスできません。

30.5 使用上の注意事項

30.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SPI の動作禁止／許可を設定することが可能です。リセット後の値では、SPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

30.5.2 低消費電力機能に関する制約

モジュールストップ機能を使用する場合、およびスリープモード以外の低消費電力モードへ遷移する場合は、あらかじめ SPCR.SPE ビットを 0 にしてから通信を終了させてください。

30.5.3 転送の開始に関する制約

ICU.IELSRn.IR フラグが 1 の状態で転送を開始すると、転送開始後も割り込み要求が内部で保持されるため、ICU.IELSRn.IR フラグが予期しない挙動となることがあります。

これを避けるには、動作を許可する（SPCR.SPE ビットを 1 にする）前に、下記の手順で割り込み要求をクリアしてください。

1. 転送が停止していること（SPCR.SPE ビットが 0 であること）を確認する。
2. 対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を 0 にする。
3. 対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を読み出して、0 であることを確認する。
4. ICU.IELSRn.IR フラグを 0 にする。

30.5.4 モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーまたは受信データレディイベント出力に関する制約

SPI がマルチマスタモード（SPCR.SPMS = 0、SPCR.MSTR = 1、SPCR.MODFEN = 1）の場合は、モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラーまたは受信データレディイベントを使用することはできません。

30.5.5 SPSR.SPRF および SPSR.SPTEF フラグに関する制約

ポーリング用のフラグを使用する場合、割り込みを使用することはできません（SPCR.SPRIE および SPCR.SPTIE ビットは 0 にしてください）。割り込みまたはフラグのどちらか一方のみ使用可能です。

31. 巡回冗長検査 (CRC)

31.1 概要

巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対するアクセスをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。

表 31.1 に CRC 演算器の仕様を、図 31.1 にブロック図を示します。

表 31.1 CRC 演算器の仕様

項目	内容	
データサイズ	8 ビット	32 ビット
CRC 演算対象データ(注1)	8n ビット単位の任意データに対し CRC コードを生成（n = 自然数）	32n ビット単位の任意データに対し CRC コードを生成（n = 自然数）
CRC 演算処理方式	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	3 つの生成多項式から 1 つ選択可能 [8 ビット CRC] • $X^8 + X^2 + X + 1$ (CRC-8) [16 ビット CRC] • $X^{16} + X^{15} + X^2 + 1$ (CRC-16) • $X^{16} + X^{12} + X^5 + 1$ (CRC-CCITT)	2 つの生成多項式から 1 つ選択可能 [32 ビット CRC] • $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (CRC-32) • $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ (CRC-32C)
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることができます。	
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減が可能	
CRC スヌープ	特定のレジスタアドレスに対する読み出しと書き込みのモニタ	
TrustZone フィルタ	セキュリティ属性を設定可能	

注 1. 本機能は、CRC 演算で使用するデータを分割できません。8 ビット単位または 32 ビット単位で書いてください。

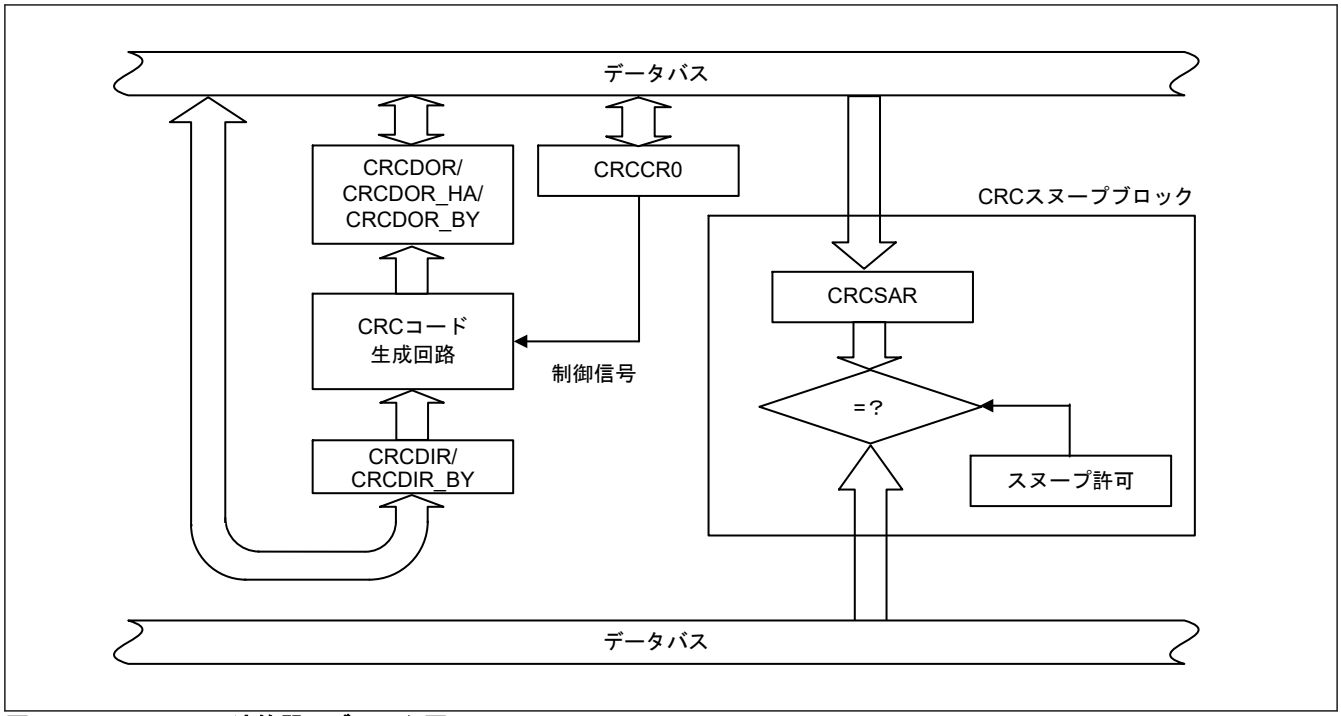


図 31.1 CRC 演算器のブロック図

31.2 レジスタの説明

31.2.1 CRCCR0 : CRC コントロールレジスタ 0

Base address: CRC = 0x4010_8000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DORCLR	LMS	—	—	—	GPS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	GPS[2:0]	CRC 生成多項式切り替え 0 0 1: 8 ビット CRC-8 ($X^8 + X^2 + X + 1$) 0 1 0: 16 ビット CRC-16 ($X^{16} + X^{15} + X^2 + 1$) 0 1 1: 16 ビット CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) 1 0 0: 32 ビット CRC-32 ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1: 32 ビット CRC-32C ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) その他: 演算しない	R/W
5:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6	LMS	CRC 演算切り替え 0: LSB ファースト通信用に CRC を生成 1: MSB ファースト通信用に CRC を生成	R/W
7	DORCLR	CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタクリア 0: 影響なし 1: CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタをクリア	W

GPS[2:0]ビット（CRC 生成多項式切り替え）

GPS[2:0]ビットは、CRC 生成多項式を選択します。

LMS ビット（CRC 演算切り替え）

LMS ビットは、生成した CRC コードのビットオーダを選択します。LSB ファーストで通信を行う場合は CRC コードの下位バイトから先に、MSB ファーストで通信を行う場合は CRC コードの上位バイトから先に送信してください。CRC コードの送信および受信については、「31.3. 動作説明」を参照してください。

DORCLR ビット（CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタクリア）

DORCLR ビットを 1 にすると、CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタが 0x00000000 になります。読むと 0 が読めます。このビットには 1 のみ書けます。

31.2.2 CRCCR1 : CRC コントロールレジスタ 1

Base address: CRC = 0x4010_8000

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CRCSEN	CRCSWR	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6	CRCSWR	スヌープオンライト／リード切り替え 0: スヌープオンリード 1: スヌープオンライト	R/W
7	CRCSEN	スヌープ許可 0: 禁止 1: 許可	R/W

CRCSWR ビット（スヌープオンライト／リード切り替え）

CRCSWR ビットは CRC スヌープ機能でのアクセス方向を選択します。

このビットを 0（初期値）にすると、特定のレジスタの読み出しに対して CRC スヌープ動作が有効になります。このビットを 1 にすると、特定のレジスタの書き込みに対して CRC スヌープ動作が有効になります。

CRCSEN ビット（スヌープ許可）

CRCSEN ビットを 1 にすると、CRC スヌープ動作が有効になります。このビットを 0 にすると、CRC スヌープ動作が無効になります。

31.2.3 CRCDIR/CRCDIR_BY : CRC データ入力レジスタ

Base address: CRC = 0x4010_8000

Offset address: 0x04

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	CRC 入力データ CRCDIR レジスタは、CRC-32 または CRC-32C 演算用データを書き込む 32 ビットの読み出し／書き込みレジスタです。CRCDIR_BY (CRCDIR[31:24]) レジスタは、CRC-8、CRC-16、または CRC-CCITT 演算用データを書き込む 8 ビットの読み出し／書き込みレジスタです。	R/W

31.2.4 CRCDOR/CRCDOR_HA/CRCDOR_BY : CRC データ出力レジスタ

Base address: CRC = 0x4010_8000

Offset address: 0x08

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	CRC 出力データ CRCDOR レジスタは、CRC-32 または CRC-32C 用の 32 ビットの読み出し／書き込みレジスタです。 CRCDOR_HA (CRCDOR[31:16]) レジスタは、CRC-16 または CRC-CCITT 演算用の 16 ビットの読み出し／書き込みレジスタです。 CRCDOR_BY (CRCDOR[31:24]) レジスタは、CRC-8 演算用の 8 ビットの読み出し／書き込みレジスタです。初期値は 0x00000000 ですので、初期値以外を用いて演算する場合は、CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタを書き換えてください。 CRCDIR/CRCDIR_BY レジスタに書き込まれたデータに対して CRC 演算が実行され、結果が CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタに格納されます。転送されたデータに続いて CRC コードを計算し、その結果が 0x00000000 であると、CRC エラーなしと判断できます。	R/W

31.2.5 CRCSAR : スヌープアドレスレジスタ

Base address: CRC = 0x4010_8000

Offset address: 0x0C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CRCSA[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CRCSA[13:0]	レジスタスヌープアドレス スヌープ対象となる、SCI モジュールの TDR または RDR アドレスを格納します。	R/W
15:14	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

CRCSA[13:0]ビット（レジスタスヌープアドレス）

CRCSA[13:0]ビットは、CRC スヌープ動作でモニタされるレジスタのアドレス下位 14 ビットを指定します。

CRCSA[13:0]ビットで使用できるのは、以下のアドレスのみです。

- 0x4011_8004: SCI0.TDR, 0x4011_8000:SCI0.RDR
- 0x4011_8104: SCI1.TDR, 0x4011_8100:SCI1.RDR
- 0x4011_8204: SCI2.TDR, 0x4011_8200:SCI2.RDR
- 0x4011_8304: SCI3.TDR, 0x4011_8300:SCI3.RDR
- 0x4011_8404: SCI4.TDR, 0x4011_8400:SCI4.RDR
- 0x4011_8904: SCI9.TDR, 0x4011_8900:SCI9.RDR

31.3 動作説明

31.3.1 基本動作

CRC 演算器は、LSB ファーストまたは MSB ファースト転送で使用する CRC コードを生成します。

16 ビットの CRC-CCITT 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (0xF0) に対し CRC コードを生成する例を以下に示します。この例では、CRC 演算の前に、CRC データ出力レジスタ (CRCDOR_HA) の値をクリアします。

8 ビット CRC（$X^8 + X^2 + X + 1$ の多項式）を使用している場合は、CRCDOR_BY レジスタに有効な CRC コードのビットが得られます。32 ビット CRC を使用している場合は、CRCDOR レジスタに有効な CRC コードのビットが得られます。

図 31.2 と図 31.3 に LSB ファーストおよび MSB ファーストのデータ送信例をそれぞれ示します。 図 31.4 と図 31.5 に LSB ファーストおよび MSB ファーストのデータ受信例をそれぞれ示します。

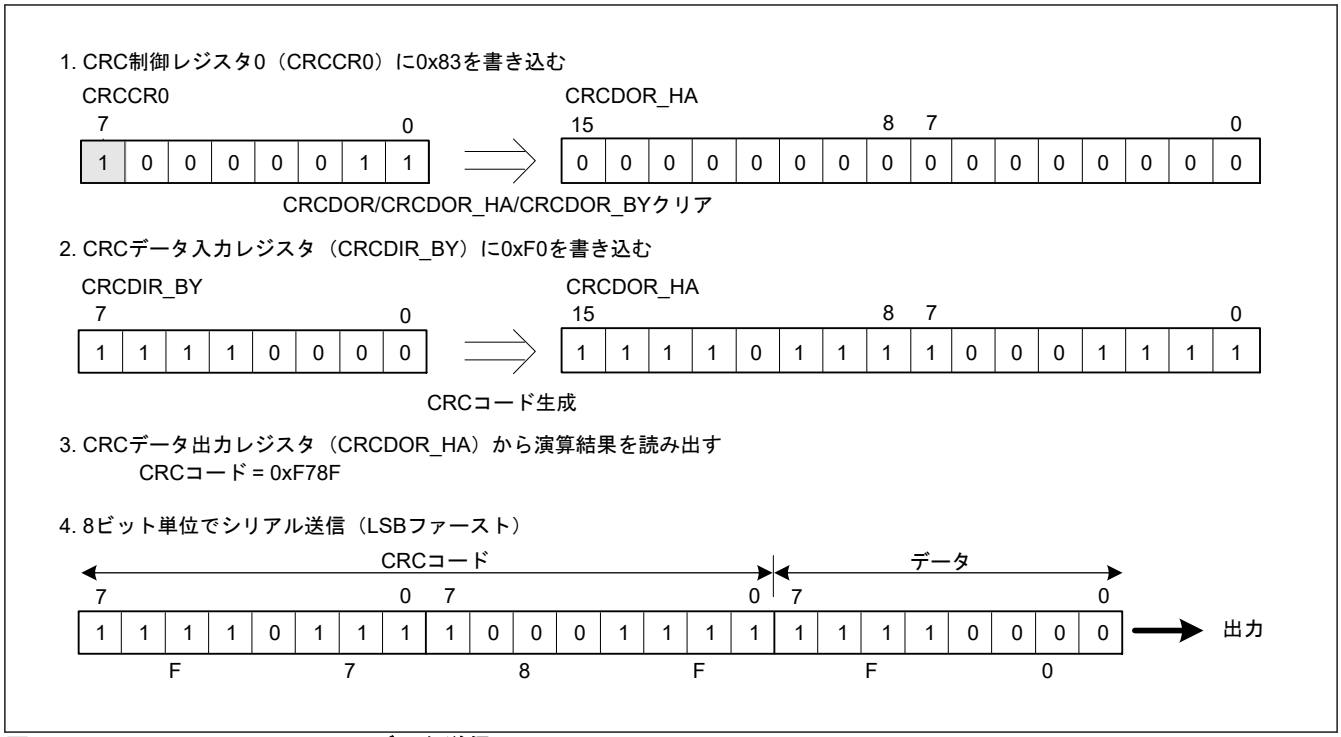


図 31.2 LSB ファーストのデータ送信

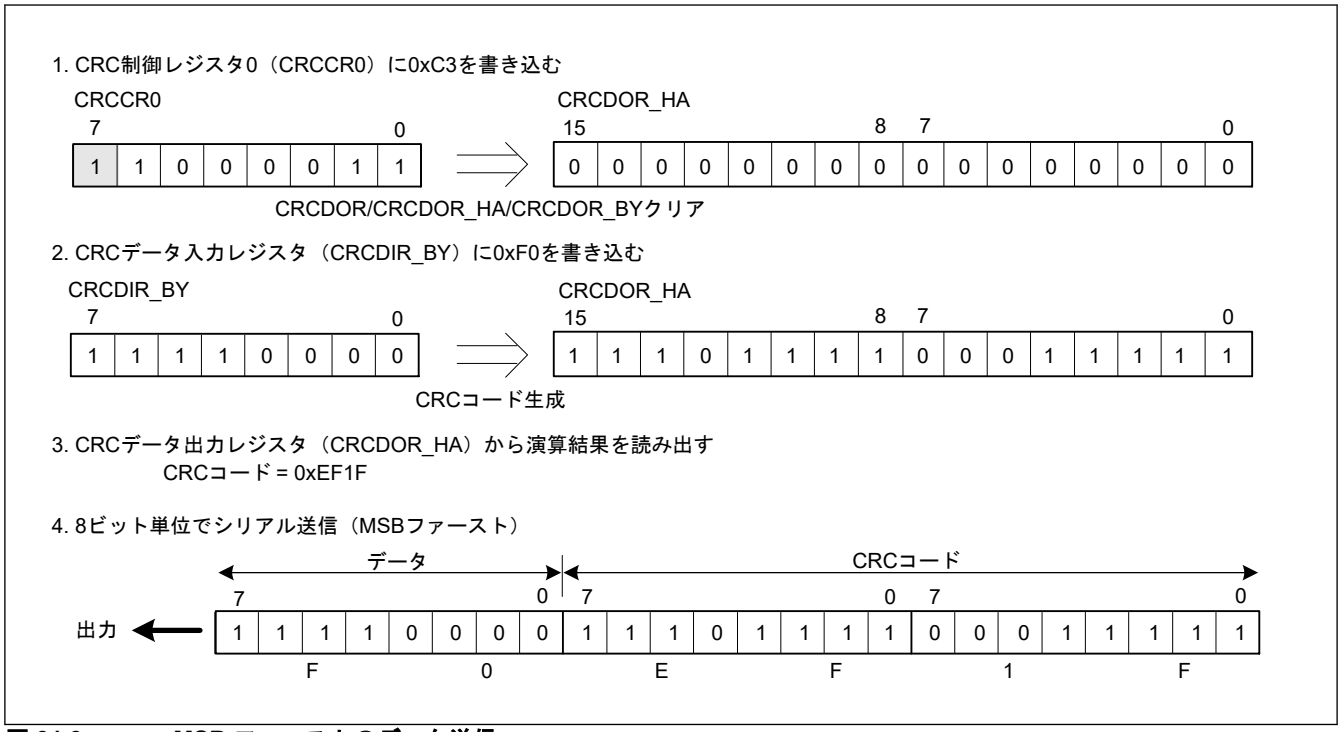


図 31.3 MSB ファーストのデータ送信

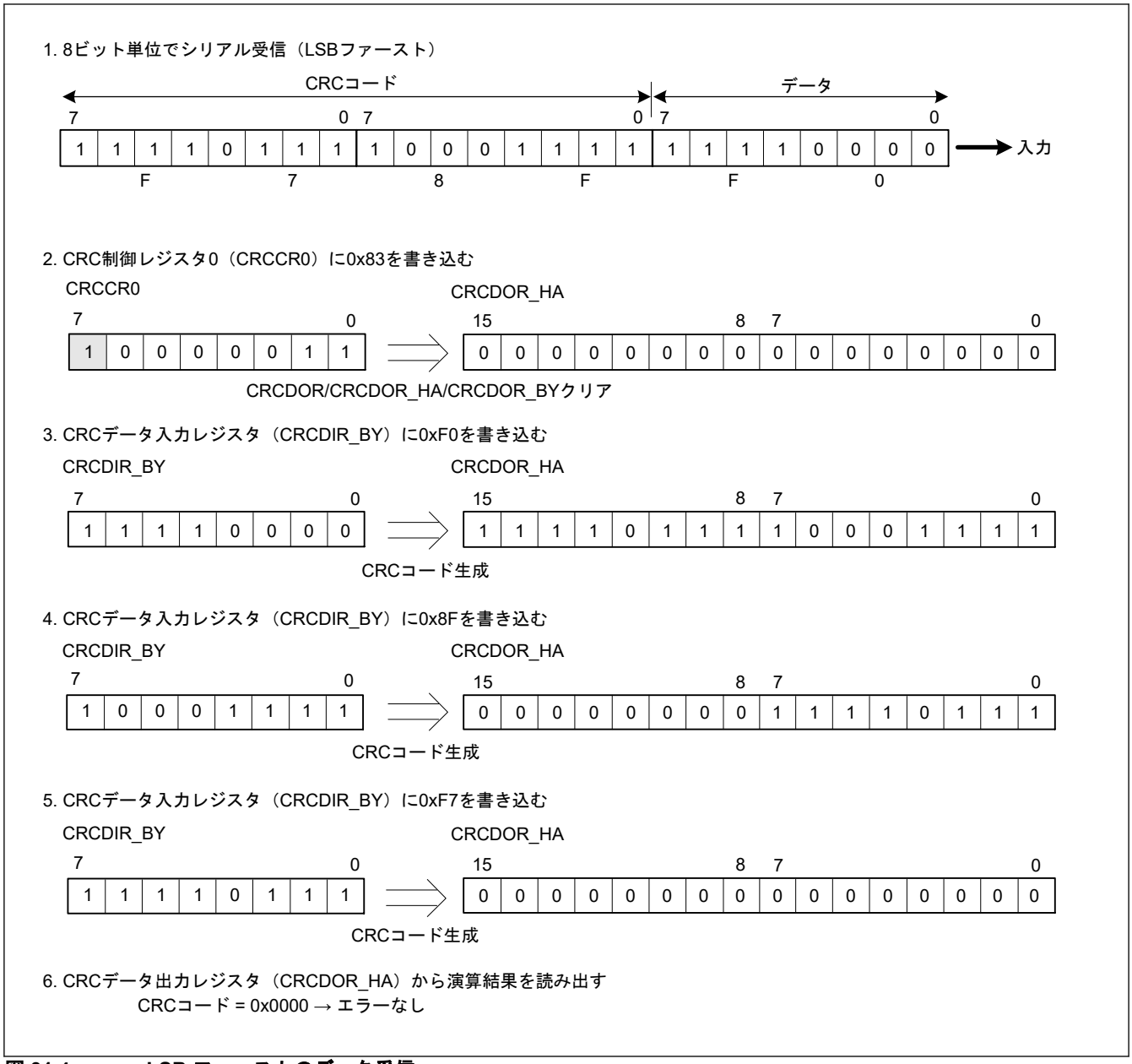


図 31.4 LSB ファーストのデータ受信

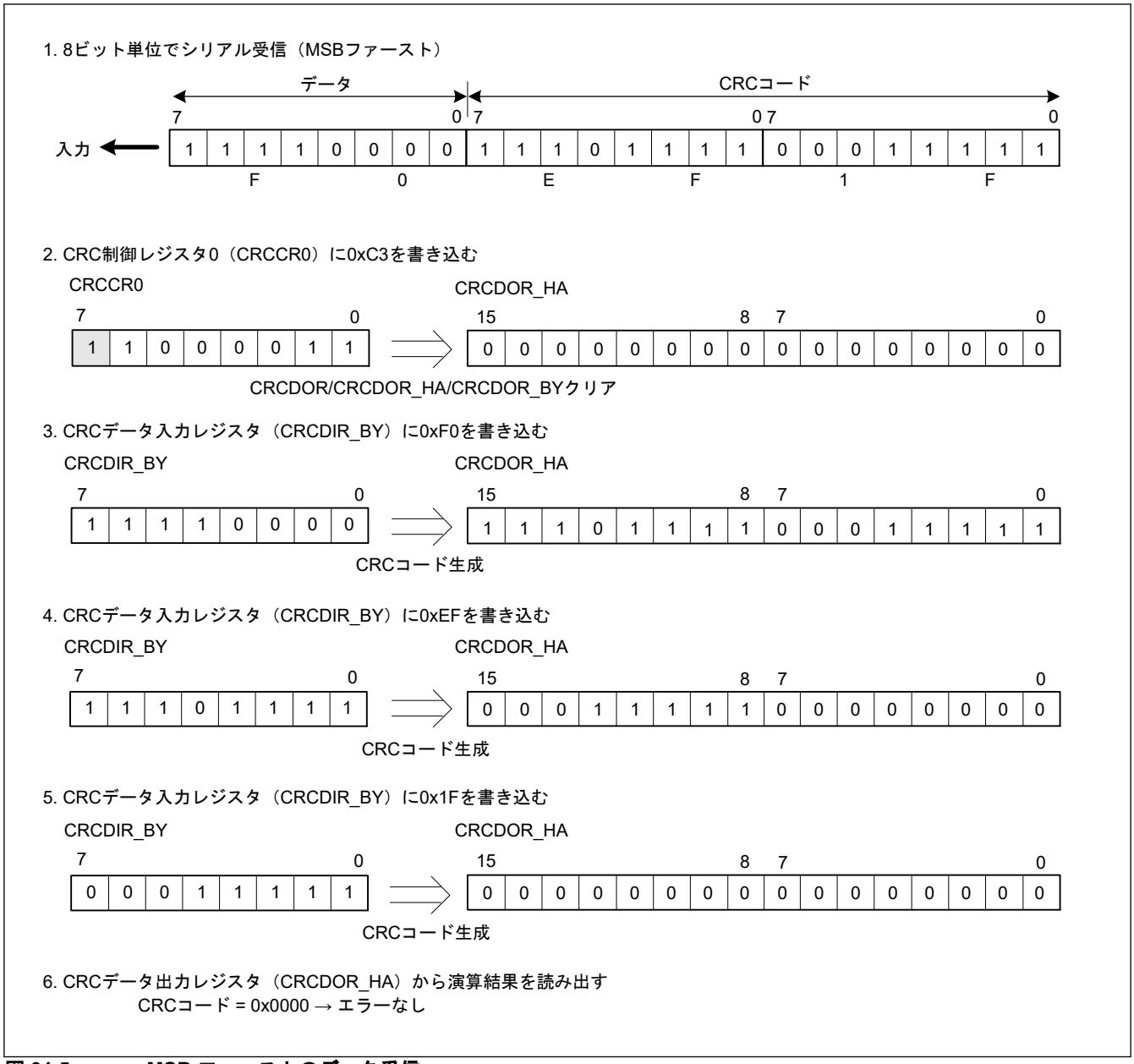


図 31.5 MSB ファーストのデータ受信

31.3.2 CRC スヌープ機能

CRC スヌープ機能では、特定のレジスタアドレスの読み出しおよび書き込みをモニタし、そのレジスタアドレスで読み出し／書き込みしたデータに自動 CRC 演算を実行します。CRC スヌープ機能は、特定のレジスタアドレスに対する読み出しと書き込みを CRC 演算を自動的に実行するトリガとして認識するため、CRCDIR レジスタにデータを書き込む必要がありません。「31.2.5. CRCSAR : スヌープアドレスレジスタ」で指定したすべての I/O レジスタが、CRC スヌープの対象となります。CRC スヌープは、SCIn.TDR (n = 0～4、9) レジスタへの書き込みと、SCIn.RDR (n = 0～4、9) レジスタからの読み出しをモニタするのに役立ちます。

この機能を使用するには、特定のレジスタの下位アドレス 14 ビットを CRCSAR レジスタの CRCSA13～CRCSA0 ビットに書き込み、CRCCR1 レジスタの CRCSEN ビットを 1 にします。次に、CRCCR1.CRCSWR ビットを 1 にして、対象レジスタへの書き込みに対してスヌープを有効にするか、あるいは、CRCCR1.CRCSWR ビットを 0 にして、対象レジスタからの読み出しに対してスヌープを有効にします。CRCSWR ビットの書き込みが完了する前に対象 I/O レジスタへのアクセスを実行することは可能です。この場合、データは CRCDIR レジスタに格納されません。この問題を避けるには、I/O レジスタにアクセスする前に、CRCSWR ビットを読み戻して、書き込みの完了を確認してください。

CRCSEN ビットと CRCSWR ビットの両方を 1 にして、バスマスタモジュール（CPU、DMAC、DTC など）の対象となるレジスタにデータを書き込むと、CRC 演算器はそのデータを CRCDIR レジスタに格納して CRC 演算を実行します。同様に、CRCSEN ビットを 1、CRCSWR ビットを 0 にして、バスマスタモジュール（CPU、DMAC、DTC など）の対象となるレジスタからデータを読み出すと、CRC 演算器はそのデータを CRCDIR レジスタに格納して CRC 演算を実行します。

CRC-8、CRC-16 および CRC-CCITT 生成多項式を使用して CRC コードが生成される場合、対象となるレジスタはバイト（8 ビット）でアクセスできます。同様に、CRC-32 および CRC-32C 生成多項式を使用して CRC コードを生成する場合、対象となるレジスタはワード（32 ビット）でアクセスできます。

CPU 停止時は CRC スヌープ動作は無効です。

CRC が PSARC.PSARC1 ビットによってセキュアになっている場合、CRC スヌープ機能が使用可能なのは指定された I/O レジスタへのセキュアアクセスです。CRC が PSARC.PSARC1 ビットによって非セキュアになっている場合、CRC スヌープ機能が使用可能なのは指定された I/O レジスタへの非セキュアアクセスです。

31.4 使用上の注意事項

31.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CRC 演算器の動作禁止／許可を設定することが可能です。リセット後の値では、CRC 演算器の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

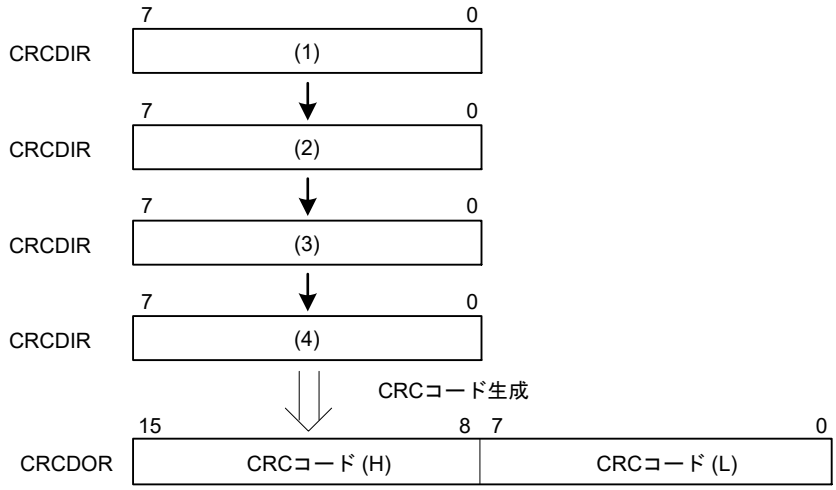
31.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードの送信順序が異なります。 図 31.6 に LSB ファーストと MSB ファーストのデータ送信を示します。

32ビットのデータを送信する場合（8ビット単位での並列処理）

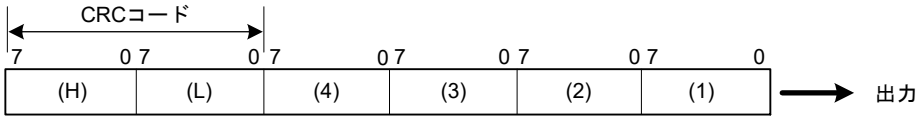
1. CRCコード

生成演算方法を指定後、（1）→（2）→（3）→（4）の順でCRCDIRにデータを書く



2. 送信データ

(i) LSBファーストで送信する場合



(ii) MSBファーストで送信する場合

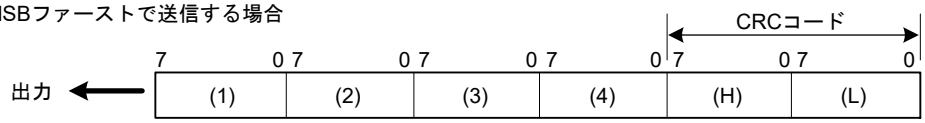


図 31.6 LSB ファーストと MSB ファーストのデータ送信

32. 三角関数ユニット (TFU)

32.1 概要

三角関数ユニット (TFU) は、sinf、cosf、atan2f、および hypotf 関数の高速計算を処理します。

ICLK は TFU の動作クロックとして使用されます。

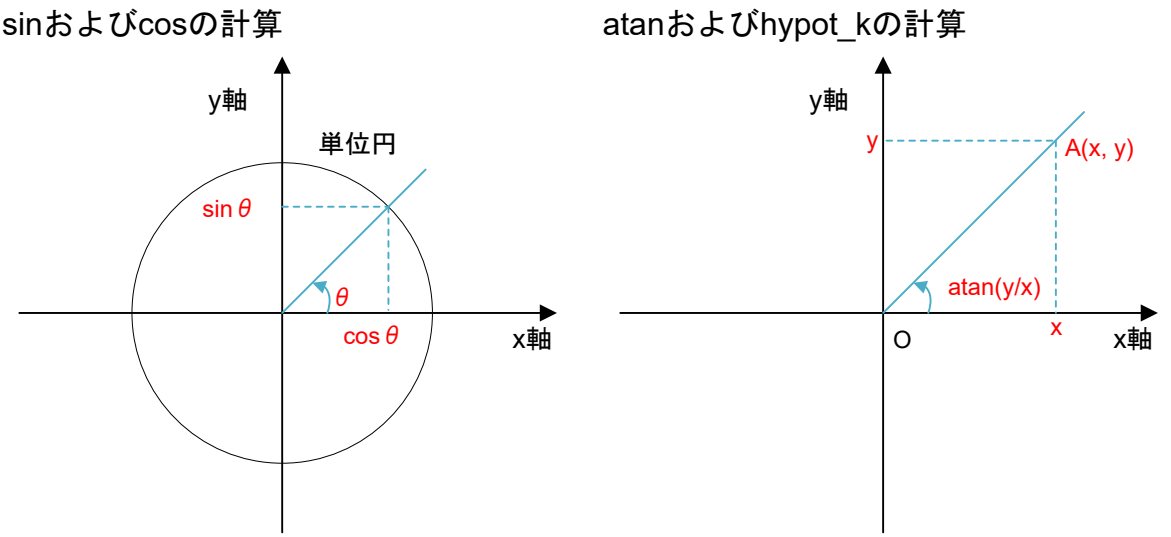
表 32.1 に、TFU の仕様を示します。

表 32.1 TFU の仕様

<table>
<tr><th>項目</th><th colspan="4">説明</th></tr>
<tr><td>演算処理</td><td colspan="4">正弦、余弦、逆正接、および hypot_k ($\sqrt{x^2+y^2}/k$) の計算
● 正弦と余弦は同時に計算できます。
● 逆正接と hypot_k は同時に計算できます。</td></tr>
<tr><td>値の範囲と単位</td><td colspan="4">
<table>
<tr><th>演算処理</th><th colspan="2">入出力</th><th>範囲</th><th>単位</th></tr>
<tr><td>正弦の計算</td><td>入力</td><td>角度θ</td><td>$-$float_max $\leqq \theta \leqq$ float_max (注1)</td><td>ラジアン</td></tr>
<tr><td></td><td>出力</td><td>$\sin\theta$</td><td>$-1.0 \leqq \sin\theta \leqq 1.0$</td><td>—</td></tr>
<tr><td>余弦の計算</td><td>入力</td><td>角度θ</td><td>$-$float_max $\leqq \theta \leqq$ float_max (注1)</td><td>ラジアン</td></tr>
<tr><td></td><td>出力</td><td>$\cos\theta$</td><td>$-1.0 \leqq \cos\theta \leqq 1.0$</td><td>—</td></tr>
<tr><td>逆正接の計算</td><td>入力</td><td>x座標とy座標</td><td>$-$float_max $\leqq x \leqq$ float_max (注1)
$-$float_max $\leqq y \leqq$ float_max (注1)</td><td>—</td></tr>
<tr><td></td><td>出力</td><td>$\mathrm{atan}(y/x)$</td><td>$-\pi \leqq \mathrm{atan}(y/x) \leqq \pi$</td><td>ラジアン</td></tr>
<tr><td>hypot_k の計算</td><td>入力</td><td>x座標とy座標</td><td>$-$float_max $\leqq x \leqq$ float_max (注1)
$-$float_max $\leqq y \leqq$ float_max (注1)</td><td>—</td></tr>
<tr><td></td><td>出力</td><td>$\sqrt{x^2+y^2}/\mathrm{k}$</td><td>$0 \leqq \sqrt{x^2+y^2}/\mathrm{k} \leqq \infty$</td><td>—</td></tr>
</table>
</td></tr>
<tr><td>処理のデータタイプ</td><td colspan="4">単精度浮動小数点数</td></tr>
<tr><td>計算のサイクル数</td><td colspan="4">正弦：14
余弦：14
逆正接：14
hypot_k：14</td></tr>
</table>

注. k は定数です。「32.3.1. 演算処理」を参照してください。

注 1. float_max は、単精度浮動小数点数として表せる最大値です：$(2 - 2^{-23}) \times 2^{127}$。



注. sin と cos の計算：
入力角度値 θ の三角比である sinθ と cosθ を求める演算
atan の計算：
ベクトル OA（O は原点、A は入力座標 x と y で示される点）と x 軸の正側部分の間の角度値を求める計算
hypot_k の計算：
入力座標 x と y で示される点 A から原点 O への距離に比例した値を求める計算

注. TFU の出力値の hypot_k と定数 k を掛けて、
OA の距離 ($\sqrt{x^2+y^2}$) を求めることが可能です。k についての詳細は、「32.3.1. 演算処理」を参照してください。

図 32.1 演算の説明

32.1.1 三角関数ユニットを使用する際の注意事項

本節では、三角関数ユニットを使用する際の注意事項について説明します。

32.1.1.1 全般的な注意事項

演算開始後、その演算結果を読み出す前に別の演算を開始すると、前の演算結果は破棄されます。

32.2 レジスタの説明

32.2.1 TRGSTS : 三角関数ステータスレジスタ

Base address: TFU = 0x4002_1000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ERRF	BSYF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BSYF	計算進行中フラグ 0: 計算中でない 1: 計算中である	R
1	ERRF	入力エラーフラグ 0: 入力エラーの発生なし 1: 入力エラーの発生あり	R
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R

注. 本レジスタへの書き込みは無効です。

BSYF ビット（計算進行中フラグ）

BSYF ビットは、計算進行中フラグを示します。

[1 になる条件]

- 計算を開始したとき

[0 になる条件]

- 計算を完了したとき

ERRF ビット（入力エラーフラグ）

ERRF ビットは、入力エラーフラグを示します。

[1 になる条件]

- 入力エラーが発生したとき。入力エラーの詳細については、表 32.6 を参照してください。

[0 になる条件]

- 次の計算を開始したとき

32.2.2 SCDT0 : sin、cos データレジスタ 0

Base address: TFU = 0x4002_1000

Offset address: 0x10

Bit position:	31																												0
Bit field:	SCDT0[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SCDT0[31:0]	sin、cos データレジスタ 0（単精度浮動小数点）	R/W

sincos 演算で、SCDT0 レジスタは三角関数ユニット (TFU) の cosθ の出力値専用レジスタです。詳細は、表 32.2 を参照してください。このレジスタの動作中の書き換えは禁止されています。

atanhypot_k 演算中も、このレジスタの書き換えは禁止されています。

計算中にこのレジスタへの読み出しアクセスをした場合、計算が完了した後で結果が読み出されます。このとき、バスアクセスは演算が完了するまで強制的に待機させられます。

このレジスタの使用方法については、表 32.2 を参照してください。

32.2.3 SCDT1 : sin、cos データレジスタ 1

Base address: TFU = 0x4002_1000

Offset address: 0x14

Bit position:	31																												0
Bit field:	SCDT1[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SCDT1[31:0]	sin、cos データレジスタ 1（単精度浮動小数点）	R/W

sincos 演算で、SCDT1 レジスタは三角関数ユニットの角度 θ の入力値と sinθ の出力値で共用されます。詳細は、表 32.2 を参照してください。このレジスタへの書き込みにより、sincos 演算が開始します。このレジスタの動作中の書き換えは禁止されています。

atanhypot_k 演算中も、このレジスタの書き換えは禁止されています。

計算中にこのレジスタへの読み出しアクセスをした場合、計算が完了した後で結果が読み出されます。このとき、バスアクセスは演算が完了するまで強制的に待機させられます。

このレジスタの使用方法については、表 32.2 を参照してください。

表 32.2 SCDT0 と SCDT1 の入出力値

レジスタ	入力値	出力値
SCDT0	—	cosθ
SCDT1	角度 θ	sinθ

32.2.4 ATDT0 : atan データレジスタ 0

Base address: TFU = 0x4002_1000

Offset address: 0x18

Bit position:	31																												0
Bit field:	ATDT0[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	ATDT0[31:0]	arctan データレジスタ 0（単精度浮動小数点）	R/W

atanhypot_k 演算で、ATDT0 レジスタは三角関数ユニットの座標 x の入力値と hypot_k の出力値で共用されます。詳細は、表 32.3 を参照してください。このレジスタの動作中の書き換えは禁止されています。

sincos 演算中も、このレジスタの書き換えは禁止されています。

計算中にこのレジスタへの読み出しアクセスをした場合、計算が完了した後で結果が読み出されます。このとき、バスアクセスは演算が完了するまで強制的に待機させられます。

このレジスタの使用方法については、表 32.3 を参照してください。

32.2.5 ATDT1 : atan データレジスタ 1

Base address: TFU = 0x4002_1000

Offset address: 0x1C

Bit position:	31																												0
Bit field:	ATDT1[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	ATDT1[31:0]	arctan データレジスタ 1（単精度浮動小数点）	R/W

atanhypot_k 演算で、ATDT1 レジスタは三角関数ユニットの座標 y の入力値と atan(y/x) の出力値で共用されます。詳細は、表 32.3 を参照してください。このレジスタへの書き込みにより、atanhypot_k の演算が開始します。このレジスタの動作中の書き換えは禁止されています。

sincos 演算中も、このレジスタの書き換えは禁止されています。

計算中にこのレジスタへの読み出しアクセスをした場合、計算が完了した後で結果が読み出されます。このとき、バスアクセスは演算が完了するまで強制的に待機させられます。

このレジスタの使用方法については、表 32.3 を参照してください。

表 32.3 ATDT0 と ATDT1 の入出力値

レジスタ	入力値	出力値
ATDT0	入力座標 x	hypot_k
ATDT1	入力座標 y	atan(y/x)

32.3 動作説明

32.3.1 演算処理

三角関数ユニットには、sincos 演算と atanhypot_k 演算の 2 つがあります。詳細は、表 32.4 を参照してください。

表 32.4 演算処理

演算	入力値	出力値
sincos	角度値 θ	cosθ および sinθ
atanhypot_k	座標 x および y	atan(y/x) および hypot_k

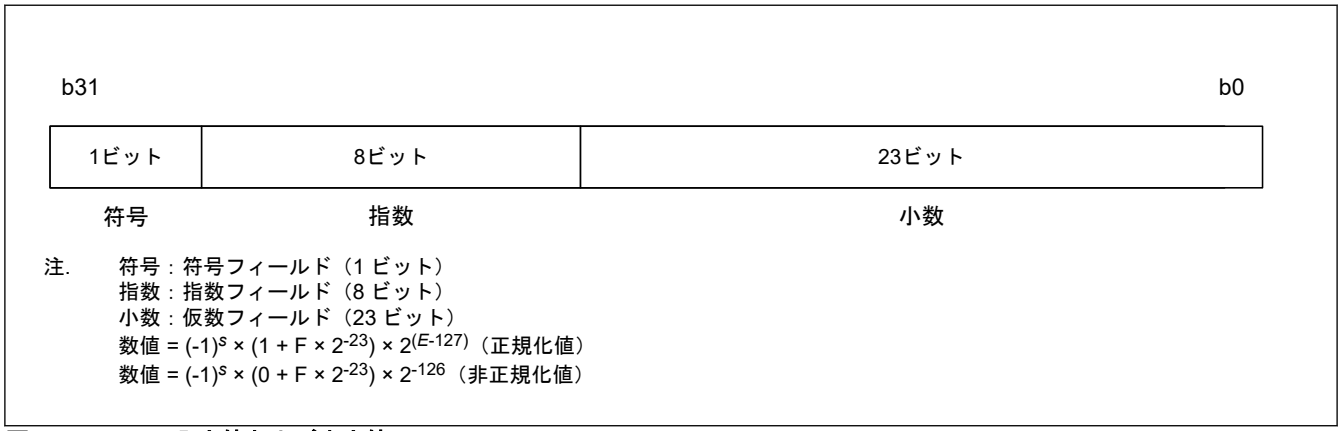
倍率 k の値は以下のとおりです。

$$k = \prod_{i=0}^{\infty} \frac{1}{\sqrt{1 + 2^{-2i}}} \approx 0.607252935\,0088812561694$$

32.3.2 入力値および出力値のフォーマット

TFU の入出力値は、表 32.5 に示すように単精度浮動小数点のみをサポートします。

- 浮動小数点
  IEEE754 規格の単精度浮動小数点をサポートします。
  - 単精度浮動小数点



注. 符号：符号フィールド（1 ビット）
指数：指数フィールド（8 ビット）
小数：仮数フィールド（23 ビット）
数値 = $(-1)^S \times (1 + F \times 2^{-23}) \times 2^{(E-127)}$（正規化値）
数値 = $(-1)^S \times (0 + F \times 2^{-23}) \times 2^{-126}$（非正規化値）

図 32.2 入力値および出力値のフォーマット

表 32.5 単精度浮動小数点のサポート (1/2)

S	E	F	数値
任意の値	0 < E < 255	任意の値	$(-1)^S \times 1.F \times 2^{(E-127)}$（正規化値—正規化数）
任意の値	E = 0	F > 0	$(-1)^S \times 0.F \times 2^{-126}$（非正規化値—非正規化数）
S = 0	E = 0	F = 0	$(-1)^0 \times 0.0$（正のゼロ— +0）
S = 1	E = 0	F = 0	$(-1)^{-1} \times 0.0$（負のゼロ— -0）
S = 0	E = 255	F = 0	（正の無限大— +∞）

表 32.5 単精度浮動小数点のサポート (2/2)

S	E	F	数値
S = 1	E = 255	F = 0	（負の無限大— -∞）
任意の値	E = 255	$2^{22} > F > 0$	（非数— SNaN: Signaling Not a Number）
任意の値	E = 255	$F \geq 2^{22}$	（非数— QNaN: Quiet Not a Number）

32.3.3 Sincos 演算の入力値と出力値の関係

sincos 演算における入力値が±0、±∞、SNaN (Signaling Not a Number)、および QNaN (Quiet Not a Number) の場合は、表 32.6 に示すように固定値が出力されます。

表 32.6 特別な入力値とその出力値の関係（sincos 演算時）

入力 (θ)	出力 (cos)	出力 (sin)
-∞	QNaN	QNaN
-0	+1	-0
+0	+1	+0
+∞	QNaN	QNaN
SNaN/QNaN	QNaN	QNaN

注. QNaN の出力値は 0xFFC0_0000 です。

32.3.4 Atan 演算の入力値と出力値の関係

atan 演算における入力値 x または y のいずれかが±0、±∞、SNaN (Signaling Not a Number)、および QNaN (Quiet Not a Number) の場合、表 32.7 に示すように固定値が出力されます。

両方の入力値が±0 の場合は、入力エラーと判定されます。

表 32.7 特別な入力値とその出力値の関係（atan 演算時）

		x						
		-∞	負の値	-0	+0	正の値	+∞	SNaN/QNaN
y	-∞	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN
	負の値	QNaN	—	-π/2	-π/2	—	QNaN	QNaN
	-0	QNaN	-π	QNaN (注1)	QNaN (注1)	-0	QNaN	QNaN
	+0	QNaN	+π	QNaN (注1)	QNaN (注1)	+0	QNaN	QNaN
	正の値	QNaN	—	+π/2	+π/2	—	QNaN	QNaN
	+∞	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN
	SNaN/QNaN	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN

注 1. 特別な入力値の場合は入力エラーが発生し、入力エラーフラグ (TRGSTS.ERRF) がセットされます。

32.3.5 hypot_k 演算の入力値と出力値の関係

hypot_k 演算における入力値 x または y のいずれかが±0、±∞、SNaN (Signaling Not a Number)、および QNaN (Quiet Not a Number) の場合、または x と y の両方が±0 である場合、表 32.8 に示すように固定値が出力されます。

両方の入力値が±0 である場合は、入力エラーと判定されます。

表 32.8 特別な入力値とその出力値の関係（hypot_k 演算時）

		x						
		-∞	**負の値**	**-0**	**+0**	**正の値**	**+∞**	**SNaN/QNaN**
y	**-∞**	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN
	負の値	QNaN	—	—	—	—	QNaN	QNaN
	-0	QNaN	—	+0(注1)	+0(注1)	—	QNaN	QNaN
	+0	QNaN	—	+0(注1)	+0(注1)	—	QNaN	QNaN
	正の値	QNaN	—	—	—	—	QNaN	QNaN
	+∞	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN
	SNaN/QNaN	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN

注 1. 特別な入力値の場合は入力エラーが発生し、入力エラーフラグ (TRGSTS.ERRF) がセットされます。

32.3.6 三角関数演算の手順

図 32.3 に sincos 演算の手順を示します。2 つの手順があります。それぞれの長所と短所を表 32.9 に示します。

図 32.4 に atanhypot_k 演算の手順を示します。2 つの手順があます。それぞれの長所と短所を表 32.9 に示します。

表 32.9 sincos 演算および atanhypot_k 演算の長所と短所

方法	長所	短所
手順 1	バスを占有しない	TRGSTS.BSY を確認して演算終了の判断が必要
手順 2	TRGSTS.BSY を確認して演算終了の判断が不要（実行サイクル数の削減）	演算結果を読み出すには実行サイクル数分の待機が必要

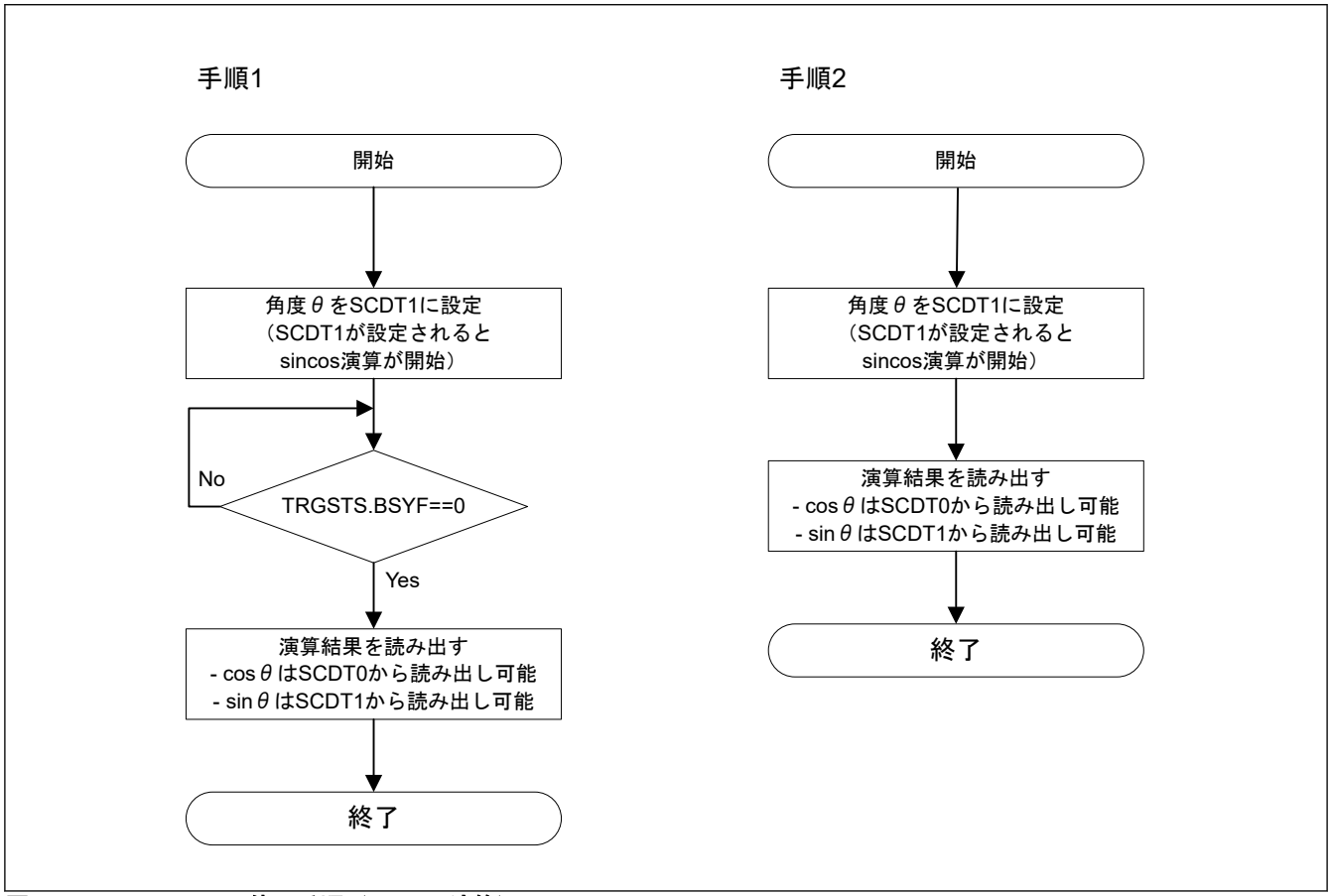


図 32.3 TFU の使用手順（sincos 演算）

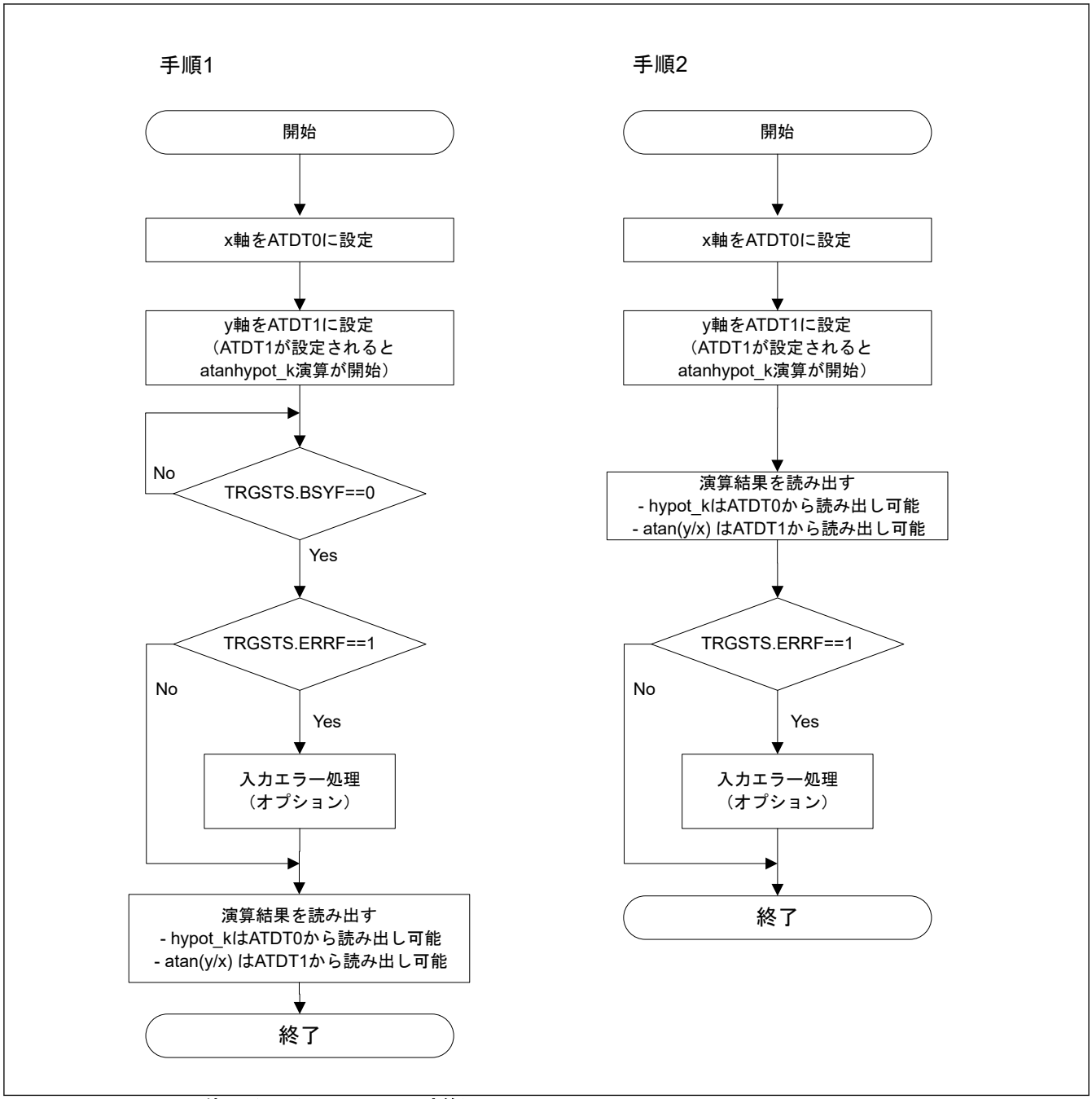


図 32.4 TFU の使用手順（atanhypot_k 演算）

33. IIR フィルタアクセラレータ (IIRFA)

33.1 概要

IIR フィルタアクセラレータは、図 33.1 に示す縦続接続された直接形式II転置型 biquad IIR (Infinite Impulse Response)フィルタ演算を行います。

フィルタ演算 1 回分をステージと呼び、ステージを縦続に接続したものをチャネルと呼びます。

以下の設定が可能です。

- ステージは、最大 32 段までの任意の段数で接続が可能です。
- チャネルごとに縦続接続するステージの選択が可能です。
- ステージごとに係数 (a_1, a_2, b_0, b_1, b_2)および遅延データ (D_0, D_1) の設定が可能です。

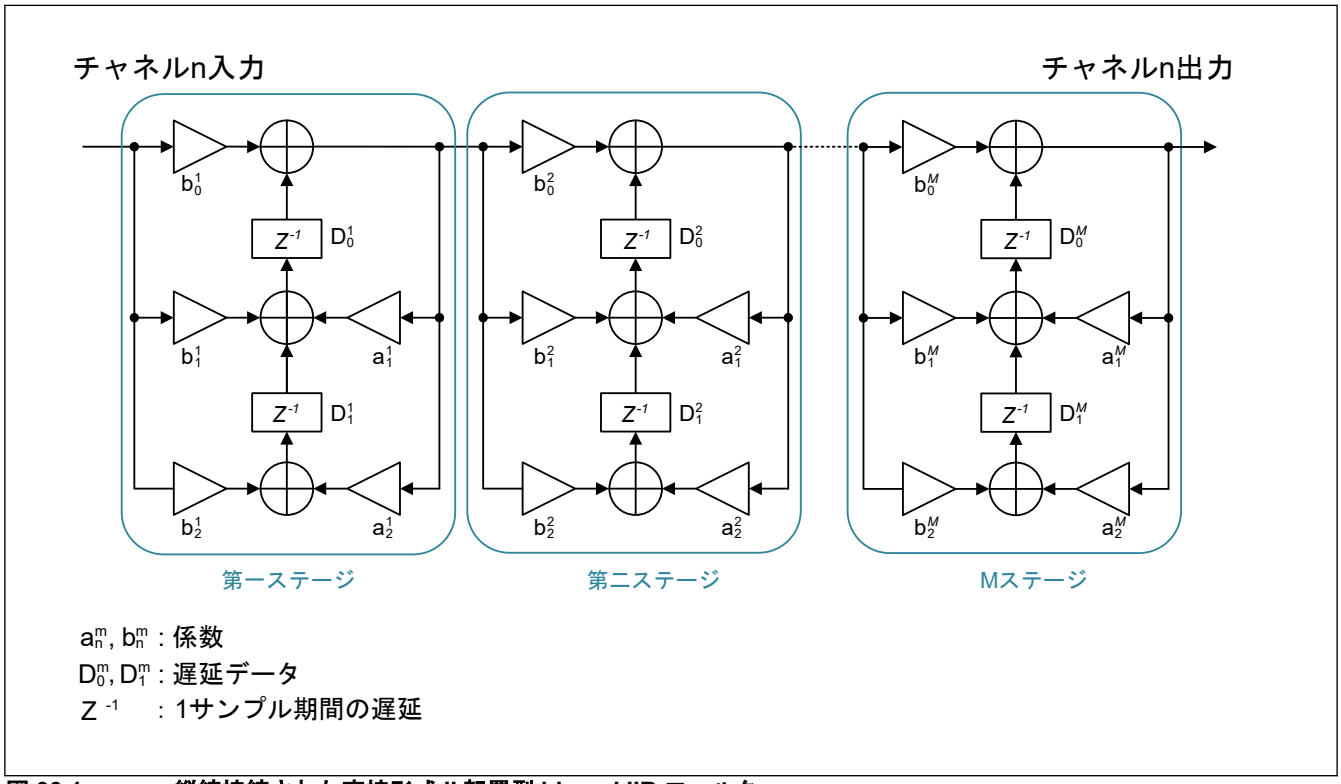


図 33.1 縦続接続された直接形式 II 転置型 biquad IIR フィルタ

IIR フィルタアクセラレータの仕様を表 33.1 に示します。

表 33.1 IIR フィルタエラーアクセラレータの仕様 (1/2)

項目	説明
演算処理	biquad IIR フィルタ
データタイプ	IEEE754 規格で定義されている単精度浮動小数点数 (負の非正規化数は−0、正の非正規化数は+0、非数は∞として扱われます)
丸めモード	最近接値へ丸める、ゼロ方向に丸める。
最大ステージ数	32
演算回路	複数チャネルを時分割で処理、同時に 1 チャネルを演算可能
入出力チャネル数	16 チャネル
縦続接続ステージ数	1 チャネルあたり 1～32 個のステージを接続可能
演算サイクル数	出力準備完了まで 1 ステージ当たり 2 サイクル

表 33.1 IIR フィルタエラーアクセラレータの仕様 (2/2)

項目	説明
割り込み	• 以下の割り込みの発生が可能 – 出力データ準備完了割り込み – 処理完了割り込み – 演算エラー割り込み • ECC エラー割り込みの発生が可能
係数・遅延データ格納領域	係数・遅延データをローカル RAM 上に保持し、ECC によるエラーの訂正・検出が可能（1 ビットエラー訂正、2 ビットエラー検出による）

33.2 レジスタの説明

33.2.1 レジスター覧

I/O レジスタの一覧を表 33.2 に示します。

以降のレジスタの説明の R/W 欄の意味を以下に示します。

R/W： リードアクセス・ライトアクセスが可能であることを示します。

R： リードアクセスのみが可能であることを示します。書き込みは無視されます。

W： ライトアクセスが可能であることを示します。断りのない限り、読み出し値はリセット後の値です。

表 33.2 I/O レジスター覧 (ベースアドレス：IIRFA = 0x4002_0000) (1/2)

レジスタ名	シンボル	アクセス幅	リセット後の値	オフセットアドレス	R/W
チャネル処理ステータスレジスタ	IIRCPRCS	32	0x00000000	0x000	R
チャネル処理完了フラグレジスタ	IIRCPRCFF	32	0x00000000	0x004	R
出力データ準備完了フラグレジスタ	IIRORDYF	32	0x00000000	0x008	R
演算エラーフラグレジスタ	IIRCERRF	32	0x00000000	0x00C	R
演算コントロールレジスタ	IIROPCNT	32	0x00000000	0x010	R/W
ECC コントロールレジスタ	IIRECCCNT	32	0x00000000	0x020	R/W
ECC 割り込みイネーブルレジスタ	IIRECCINT	32	0x00000000	0x028	R/W
ECC エラーフラグレジスタ	IIRECCEF	32	0x00000000	0x030	R
ECC エラーフラグクリアレジスタ	IIRECCEFCLR	32	0x00000000	0x034	W
ECC 1 ビットエラーアドレスレジスタ	IIRESEADR	32	0x00000000	0x038	R
ECC 2 ビットエラーアドレスレジスタ	IIREDEADR	32	0x00000000	0x03C	R
チャネル n 入力レジスタ (n = 0～15)	IIRCHnINP	32	不定	0x100 + 0x10 × n	W
チャネル n 出力レジスタ (n = 0～15)	IIRCHnOUT	32	0x00000000	0x104 + 0x10 × n	R
チャネル n コントロールレジスタ (n = 0～15)	IIRCHnCNT	32	0x00000000	0x108 + 0x10 × n	R/W
チャネル n 割り込みイネーブルレジスタ (n = 0～15)	IIRCHnINT	8	0x00	0x10C + 0x10 × n	R/W
チャネル n ステータスレジスタ (n = 0～15)	IIRCHnSTS	8	0x00	0x10D + 0x10 × n	R
チャネル n フラグクリアレジスタ (n = 0～15)	IIRCHnFCLR	8	0x00	0x10E + 0x10 × n	W
ステージ m 係数 b0 レジスタ (m = 0～31)	IIRSTGmB0	32	不定	0x400 + 0x20 × m	R/W
ステージ m 係数 b1 レジスタ (m = 0～31)	IIRSTGmB1	32	不定	0x404 + 0x20 × m	R/W
ステージ m 係数 b2 レジスタ (m = 0～31)	IIRSTGmB2	32	不定	0x408 + 0x20 × m	R/W
ステージ m 係数 a1 レジスタ (m = 0～31)	IIRSTGmA1	32	不定	0x40C + 0x20 × m	R/W
ステージ m 係数 a2 レジスタ (m = 0～31)	IIRSTGmA2	32	不定	0x410 + 0x20 × m	R/W
ステージ m 遅延データ D0 レジスタ (m = 0～31)	IIRSTGmD0	32	不定	0x414 + 0x20 × m	R/W

表 33.2 I/O レジスター覧 (ベースアドレス：IIRFA = 0x4002_0000) (2/2)

レジスタ名	シンボル	アクセス幅	リセット後の値	オフセットアドレス	R/W
ステージ m 遅延データ D1 レジスタ (m = 0～31)	IIRSTGmD1	32	不定	0x418 + 0x20 × m	R/W

注. 記載されたアクセス幅以外ではアクセスできません。

33.2.1.1 IIRCPRCS：チャネル処理ステータスレジスタ

Base address: IIRFA = 0x4002_0000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPRCS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CPRCS[15:0]	チャネル処理ステータスビット ビット 0 がチャネル 0、ビット 1 がチャネル 1、…、ビット 15 がチャネル 15 に対応します。 0: 対応するチャネルはチャネル処理中ではない 1: 対応するチャネルはチャネル処理中である	R
31:16	—	読むと 0 が読めます。	R

CPRCS[n] ビットの読み出し時、IIRCHnSTS.CPRCS フラグ値が読み出されます (n = 0～15)。

33.2.1.2 IIRCPRCFF：チャネル処理完了フラグレジスタ

Base address: IIRFA = 0x4002_0000

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPRCFF[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CPRCFF[15:0]	チャネル処理完了フラグ ビット 0 がチャネル 0、ビット 1 がチャネル 1、…、ビット 15 がチャネル 15 に対応します。 0: 対応するチャネルのチャネル処理が完了していない 1: 対応するチャネルのチャネル処理が完了している	R
31:16	—	読むと 0 が読めます。	R

CPRCFF[n] ビットの読み出し時、IIRCHnSTS.CPRCFF フラグ値が読み出されます (n = 0～15)。

33.2.1.3 IIRORDYF：出力データ準備完了フラグレジスタ

Base address: IIRFA = 0x4002_0000

Offset address: 0x008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ORDYF[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ORDYF[15:0]	出力データ準備完了フラグ ビット 0 がチャネル 0、ビット 1 がチャネル 1、…、ビット 15 がチャネル 15 に対応します。 0: 対応するチャネルの出力データが準備未完了 1: 対応するチャネルの出力データが準備完了	R
31:16	—	読むと 0 が読めます。	R

ORDYF[n] ビットの読み出し時、IIRCHnSTS.ORDYF フラグ値が読み出されます (n = 0～15)。

33.2.1.4 IIRCERRF : 演算エラーフラグレジスタ

Base address: IIRFA = 0x4002_0000

Offset address: 0x00C

Bit position:	31															15															0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CERRF[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CERRF[15:0]	演算エラーフラグ ビット 0 がチャネル 0、ビット 1 がチャネル 1、…、ビット 15 がチャネル 15 に対応します。 0: 対応するチャネルで演算エラーは未発生 1: 対応するチャネルで演算エラーが発生	R
31:16	—	読むと 0 が読めます。	R

CERRF[n] ビットの読み出し時、IIRCHnSTS.CERRF フラグ値が読み出されます (n = 0～15)。

33.2.1.5 IIROPCNT : 動作コントロールレジスタ

Base address: IIRFA = 0x4002_0000

Offset address: 0x010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	RND[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	RND[2:0]	加算および乗算時の丸めモードを設定します。 0 0 0: 最近接値へ丸める 0 0 1: ゼロ方向に丸める その他: 設定禁止	R/W
31:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

IIROPCNT レジスタは、チャネル処理時の加算および乗算結果の丸めモードを切り替えます。

本レジスタはチャネル処理の開始前に設定してください。本レジスタをチャネル処理中に書き換えた場合、実行中のチャネル処理に変更は反映されません。次のチャネル処理から反映されます。

33.2.1.6 IIRECCCNT : ECC コントロールレジスタ

Base address: IIRFA = 0x4002_0000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCWBDIS	ECCMD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECCMD	ECC 設定ビット 0: ECC エラー検出・訂正機能が無効 1: ECC エラー検出・訂正機能が有効	R/W
1	ECCWBDIS	ECC 訂正済みデータ書き戻し無効ビット 0: 誤り訂正済みデータの書き戻し有効 1: 誤り訂正済みデータの書き戻し無効	R/W
31:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

本レジスタは ECC エラー検出・訂正機能を設定するレジスタです。

本レジスタはチャネル処理の開始前に設定してください。チャネル処理中に値を変更した場合、動作は保証できません。

ECCMD ビット（ECC 設定ビット）

ECCMD は ECC エラー検出・訂正機能を有効または無効にします。

ECC エラー検出・訂正機能が有効の場合は、係数・遅延データ格納領域へのデータ書き込み時に ECC コードが更新されます。

ECC エラー検出・訂正機能が無効の場合は、係数・遅延データ格納領域へのデータ書き込み時に ECC ビットコードが更新されません。

ECCWBDIS ビット（ECC 訂正済みデータ書き戻し無効ビット）

ECCWBDIS ビットは ECC エラー検出・訂正機能が有効時に、ECC 1 ビットエラー訂正済みデータの書き戻しを制御するためのビットです。

33.2.1.7 IIRECCINT : ECC 割り込みイネーブルレジスタ

Base address: IIRFA = 0x4002_0000

Offset address: 0x028

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EDEIE	ESEIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ESEIE	ECC 1 ビットエラー割り込み許可ビット 0: ECC 1 ビットエラー割り込み要求の発生を禁止 1: ECC 1 ビットエラー割り込み要求の発生を許可	R/W
1	EDEIE	ECC 2 ビットエラー割り込み許可ビット 0: ECC 2 ビットエラー割り込み要求の発生を禁止 1: ECC 2 ビットエラー割り込み要求の発生を許可	R/W
31:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ESEIE ビット（ECC 1 ビットエラー割り込み許可ビット）

ESEIE は IIRECCEF.ESEF フラグが 1 になった時の ECC 1 ビットエラー割り込み要求 (IIRFA_ERR) の許可/禁止を選択します。

EDEIE ビット（ECC 2 ビットエラー割り込み許可ビット）

EDEIE は IIRECCEF.EDEF フラグが 1 になった時の ECC 2 ビットエラー割り込み要求 (IIRFA_ERR) の許可/禁止を選択します。

33.2.1.8 IIRECCEF : ECC エラーフラグレジスタ

Base address: IIRFA = 0x4002_0000

Offset address: 0x030

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EDEF	ESEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ESEF	ECC 1 ビットエラーフラグ 0: 1 ビット ECC エラー未検出 1: 1 ビット ECC エラー検出	R
1	EDEF	ECC 2 ビットエラーフラグ 0: 2 ビット ECC エラー未検出 1: 2 ビット ECC エラー検出	R
31:2	—	読むと 0 が読めます。	R

ESEF ビット（ECC 1 ビットエラーフラグ）

[1 になる条件]

- 1 ビット ECC エラー検出

[0 になる条件]

- IIRECCEFCLR.ESEFCLR ビットに 1 書き込み

注. 1 になる条件と 0 になる条件が同時に発生した場合、0 になる条件が優先されます。

EDEF ビット（ECC 2 ビットエラーフラグ）

[1 になる条件]

- 2 ビット ECC エラー検出

[0 になる条件]

- IIRECCEFCLR.EDEFCLR ビットに 1 書き込み

注. 1 になる条件と 0 になる条件が同時に発生した場合、0 になる条件が優先されます。

33.2.1.9 IIRECCEFCLR : ECC エラーフラグクリアレジスタ

Base address: IIRFA = 0x4002_0000

Offset address: 0x034

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EDEFCLR	ESEFCLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ESEFCLR	ECC 1 ビットエラーフラグクリアビット 0: 影響なし 1: IIRECCEF レジスタの ESEF フラグをクリアする	W
1	EDEFCLR	ECC 2 ビットエラーステータスフラグクリアビット 0: 影響なし 1: IIRECCEF レジスタの EDEF フラグをクリアする	W
31:2	—	書く場合、0 としてください。	W

IIRECCEFCLR レジスタは、IIRECCEF レジスタの ESEF フラグおよび EDEF フラグをクリアするためのレジスタです。

33.2.1.10 IIRESEADR : ECC 1 ビットエラーアドレスレジスタ

Base address: IIRFA = 0x4002_0000

Offset address: 0x038

Bit position:	31	10	0
Bit field:	—	SEADR[10:0]	
Value after reset:	0	0	0

ビット	シンボル	機能	R/W
10:0	SEADR[10:0]	エラーアドレス ECC 1 ビットエラーを検出した係数・遅延データのアドレスの一部を保持します。 保持されるアドレスは、ビット 10 からビット 2 までです。下位 2 ビットは常に 0 になります。	R
31:11	—	読むと 0 が読めます。	R

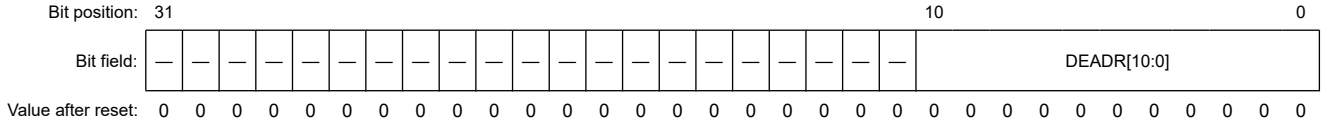
ECC 1 ビットエラーを検出した係数・遅延データのアドレスの一部を保持します。IIRECCEF.ESEF フラグが 0 の状態で ECC 1 ビットエラーを検出した場合、SEADR[10:0]ビットは更新されます。IIRECCEF.ESEF フラグが 1 の場合、SEADR[10:0]ビットは更新されません。

本レジスタの値にベースアドレス (IIRFA) を加算すると、ECC 1 ビットエラーを検出した係数・遅延データに対応する I/O レジスタのアドレスが得られます。

33.2.1.11 IIREDEADR : ECC 2 ビットエラーアドレスレジスタ

Base address: IIRFA = 0x4002_0000

Offset address: 0x03C



ビット	シンボル	機能	R/W
10:0	DEADR[10:0]	エラーアドレス ECC 2 ビットエラーを検出した係数・遅延データのアドレスの一部を保持します。 保持されるアドレスは、ビット 10 からビット 2 までです。下位 2 ビットは常に 0 になります。	R
31:11	—	読むと 0 が読めます。	R

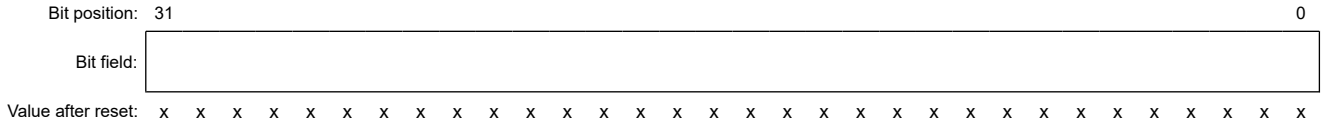
ECC 2 ビットエラーを検出した係数・遅延データのアドレスの一部を保持します。IIRECCEF.EDEF が 0 の状態で ECC 2 ビットエラーを検出した場合、DEADR[10:0]ビットは更新されます。IIRECCEF.EDEF フラグが 1 の場合、DEADR[10:0]ビットは更新されません。

本レジスタの値にベースアドレス (IIRFA) を加算すると、ECC 2 ビットエラーを検出した係数・遅延データに対応する I/O レジスタのアドレスが得られます。

33.2.1.12 IIRCHnINP : チャネル n 入力レジスタ (n = 0～15)

Base address: IIRFA = 0x4002_0000

Offset address: 0x100 + 0x10 × n



ビット	シンボル	機能	R/W
31:0	n/a	チャネル n の入力データ（単精度浮動小数点数）設定 チャネル n のチャネル処理開始	W

本レジスタには、入力データを設定してください。このレジスタに値を書き込むと、チャネル n のチャネル処理が開始されます。

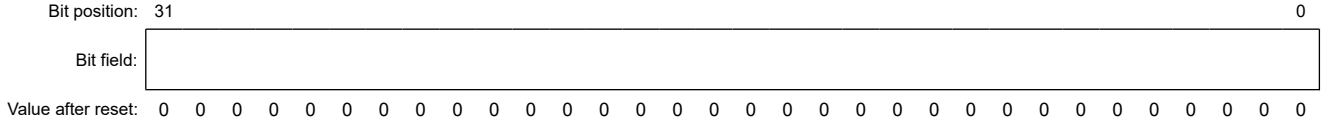
本レジスタへリードアクセスした場合、読み出し値は不定です。

いずれかのチャネルのチャネル処理中に本レジスタへライトアクセスした場合、チャネル処理完了までのあいだ、バスアクセスが待たされます。チャネル処理の完了後に本レジスタに値が書き込まれます。

33.2.1.13 IIRCHnOUT : チャネル n 出力レジスタ (n = 0～15)

Base address: IIRFA = 0x4002_0000

Offset address: 0x104 + 0x10 × n



ビット	シンボル	機能	R/W
31:0	n/a	チャネル n の出力データ（単精度浮動小数点数）	R

チャネル n の出力データを読み出すことができます。

チャネル n の出力データ準備完了前に本レジスタへリードアクセスした場合、出力データ準備完了までのあいだ、バスアクセスが待たされます。出力データ準備の完了後に値が読み出されます。

33.2.1.14 IIRCHnCNT : チャネル n コントロールレジスタ (n = 0～15)

Base address: IIRFA = 0x4002_0000

Offset address: 0x108 + 0x10 × n

Bit position:	31																												0
Bit field:	STGSEL[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	STGSEL[31:0]	ステージ選択ビット チャネル n で使用するステージを選択します。ビット 0 がステージ 0、ビット 1 がステージ 1、…、ビット 31 がステージ 31 に対応します。 0: 対応するステージをチャネル n で使用しない 1: 対応するステージをチャネル n で使用する	R/W

チャネル n で使用するステージを選択します。

チャネル処理の開始前に、使用するステージを本レジスタで設定してください。いずれのステージも使用しない設定(本レジスタの値が 0)でチャネル n のチャネル処理を開始した場合、動作は保証できません。

複数ステージを選択した場合、選択されたステージを縦続接続した biquad IIR フィルタ演算を行う設定となります。この場合、ステージの演算は番号が若い順から行われます。

注.
- 他のチャネルで使用されているステージに対応するビットへの 1 の書き込みは無視されます。異なるチャネル間で同一番号のステージを使用することは出来ません。
- 他のチャネルで使用されているステージに対応するビットに 1 を書き込んだかどうかは、IIRCHnCNT に書き込んだ直後に IIRCHnCNT を読み出し、書き込んだ値と読み出した値が一致するかどうかで判断できます。一致しなければ他のチャネルで使用されているステージに対応するビットに 1 を書き込んだことを意味します。
- チャネル n のチャネル処理中に、対応する IIRCHnCNT レジスタを書き換えないでください。書き換えた場合、動作は保証できません。

33.2.1.15 IIRCHnINT : チャネル n 割り込みイネーブルレジスタ (n = 0～15)

Base address: IIRFA = 0x4002_0000

Offset address: 0x10C + 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CERRIE	ORDYIE	CPRCFIE	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
1	CPRCFIE	チャネル処理完了割り込み許可ビット 0: チャネル処理完了割り込み要求の発生を禁止 1: チャネル処理完了割り込み要求の発生を許可	R/W

ビット	シンボル	機能	R/W
2	ORDYIE	出力データ準備完了割り込み許可ビット 0: 出力データ準備完了割り込み要求の発生を禁止 1: 出力データ準備完了割り込み要求の発生を許可	R/W
3	CERRIE	演算エラー割り込み許可ビット 0: 演算エラー割り込み要求の発生を禁止 1: 演算エラー割り込み要求の発生を許可	R/W
7:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

CPRCFIE ビット（チャネル処理完了割り込み許可ビット）

CPRCFIE は IIRCHnSTS.CPRCFF フラグが 1 になった時のチャネル n チャネル処理完了割り込み要求の許可/禁止を選択します。

ORDYIE ビット（出力データ準備完了割り込み許可ビット）

ORDYIE は IIRCHnSTS.ORDYF フラグが 1 になった時のチャネル n 出力データ準備完了割り込み要求の許可/禁止を選択します。

CERRIE ビット（演算エラー割り込み許可ビット）

CERRIE は IIRCHnSTS.CERRF フラグが 1 になった時のチャネル n 演算エラー割り込み要求の許可/禁止を選択します。

33.2.1.16 IIRCHnSTS : チャネル n ステータスレジスタ (n = 0～15)

Base address: IIRFA = 0x4002_0000

Offset address: 0x10D + 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CERRF	ORDYF	CPRCFF	CPRCS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPRCS	チャネル処理ステータスフラグ 0: チャネル処理中ではない 1: チャネル処理中である	R
1	CPRCFF	チャネル処理完了フラグ 0: チャネル処理未完了 1: チャネル処理完了	R
2	ORDYF	出力データ準備完了フラグ 0: 出力データの準備未完了 1: 出力データの準備完了	R
3	CERRF	演算エラーフラグ 0: 演算エラー未発生 1: 演算エラー発生	R
7:4	—	読むと 0 が読めます。	R

CPRCS ビット（チャネル処理ステータスフラグ）

[1 になる条件]

- チャネル n のチャネル処理開始

[0 になる条件]

- チャネル n のチャネル処理完了

注. 1 になる条件と 0 になる条件が同時に発生した場合、1 になる条件が優先されます。

CPRCFF ビット（チャネル処理完了フラグ）

[1 になる条件]

- チャネル n のチャネル処理完了

[0 になる条件]

- IIRCHnFCLR.CPRCFFCLR ビットへの 1 書き込み、またはチャネル n のチャネル処理開始

注. 1 になる条件と 0 になる条件が同時に発生した場合、0 になる条件が優先されます。

ORDYF ビット（出力データ準備完了フラグ）

[1 になる条件]

- チャネル n の出力データ準備完了

[0 になる条件]

- IIRCHnOUT レジスタの読み出し、またはチャネル n のチャネル処理開始

注. 1 になる条件と 0 になる条件が同時に発生した場合、0 になる条件が優先されます。

CERRF ビット（演算エラーフラグ）

[1 になる条件]

- チャネル n の出力データ準備完了時に演算エラー発生

[0 になる条件]

- IIRCHnFCLR.CERRFCLR ビットへの 1 書き込み

注. 1 になる条件と 0 になる条件が同時に発生した場合、0 になる条件が優先されます。

33.2.1.17 IIRCHnFCLR : チャネル n フラグクリアレジスタ (n = 0～15)

Base address: IIRFA = 0x4002_0000

Offset address: 0x10E + 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CERRFCLR	—	CPRCFFCLR	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	書く場合、0 としてください。	W
1	CPRCFFCLR	チャネル処理完了フラグクリアビット 0: 影響なし 1: IIRCHnSTS レジスタの CPRCFF フラグをクリアする	W
2	—	書く場合、0 としてください。	W
3	CERRFCLR	演算エラーフラグクリアビット 0: 影響なし 1: IIRCHnSTS レジスタの CERRF フラグをクリアする	W
7:4	—	書く場合、0 としてください。	W

本レジスタは、IIRCHnSTS レジスタの CERRF フラグおよび CPRCFF フラグをクリアするためのレジスタです。

33.2.1.18 IIRSTGmB0 : ステージ m 係数 b0 レジスタ (m = 0～31)

Base address: IIRFA = 0x4002_0000

Offset address: 0x400 + 0x20 × m

Bit position:	31																												0
Bit field:																													
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
31:0	n/a	ステージ m の係数データ(単精度浮動小数点)です。	R/W

各レジスタは、図 33.2 に示される同一記号の係数データに対応します。

いずれかのチャネルのチャネル処理中に本レジスタへアクセスした場合、チャネル処理完了までのあいだ、バスアクセスが待たされます。チャネル処理の完了後に書き込みまたは読み出しが行われます。

本レジスタへライトアクセスした場合、書き込み値は係数・遅延データ格納領域に保存されます。本レジスタへリードアクセスした場合、読み出し値は係数・遅延データ格納領域から読み出されます。

33.2.1.19 IIRSTGmB1 : ステージ m 係数 b1 レジスタ (m = 0～31)

Base address: IIRFA = 0x4002_0000

Offset address: 0x404 + 0x20 × m

Bit position:	31																												0
Bit field:																													
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
31:0	n/a	ステージ m の係数データ(単精度浮動小数点)です。	R/W

各レジスタは、図 33.2 に示される同一記号の係数データに対応します。

いずれかのチャネルのチャネル処理中に本レジスタへアクセスした場合、チャネル処理完了までのあいだ、バスアクセスが待たされます。チャネル処理の完了後に書き込みまたは読み出しが行われます。

本レジスタへライトアクセスした場合、書き込み値は係数・遅延データ格納領域に保存されます。本レジスタへリードアクセスした場合、読み出し値は係数・遅延データ格納領域から読み出されます。

33.2.1.20 IIRSTGmB2 : ステージ m 係数 b2 レジスタ (m = 0～31)

Base address: IIRFA = 0x4002_0000

Offset address: 0x408 + 0x20 × m

Bit position:	31																												0
Bit field:																													
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
31:0	n/a	ステージ m の係数データ(単精度浮動小数点)です。	R/W

各レジスタは、図 33.2 に示される同一記号の係数データに対応します。

いずれかのチャネルのチャネル処理中に本レジスタへアクセスした場合、チャネル処理完了までのあいだ、バスアクセスが待たされます。チャネル処理の完了後に書き込みまたは読み出しが行われます。

本レジスタへライトアクセスした場合、書き込み値は係数・遅延データ格納領域に保存されます。本レジスタへリードアクセスした場合、読み出し値は係数・遅延データ格納領域から読み出されます。

33.2.1.21 IIRSTGmA1 : ステージ m 係数 a1 レジスタ (m = 0～31)

Base address: IIRFA = 0x4002_0000

Offset address: 0x40C + 0x20 × m

Bit position:	31																												0
Bit field:																													
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
31:0	n/a	ステージ m の係数データ(単精度浮動小数点)です。	R/W

各レジスタは、図 33.2 に示される同一記号の係数データに対応します。

いずれかのチャネルのチャネル処理中に本レジスタへアクセスした場合、チャネル処理完了までのあいだ、バスアクセスが待たされます。チャネル処理の完了後に書き込みまたは読み出しが行われます。

本レジスタへライトアクセスした場合、書き込み値は係数・遅延データ格納領域に保存されます。本レジスタへリードアクセスした場合、読み出し値は係数・遅延データ格納領域から読み出されます。

33.2.1.22 IIRSTGmA2 : ステージ m 係数 a2 レジスタ (m = 0～31)

Base address: IIRFA = 0x4002_0000

Offset address: 0x410 + 0x20 × m

Bit position:	31																												0
Bit field:																													
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
31:0	n/a	ステージ m の係数データ(単精度浮動小数点数)です。	R/W

各レジスタは、図 33.2 に示される同一記号の係数データに対応します。

いずれかのチャネルのチャネル処理中に本レジスタへアクセスした場合、チャネル処理完了までのあいだ、バスアクセスが待たされます。チャネル処理の完了後に書き込みまたは読み出しが行われます。

本レジスタへライトアクセスした場合、書き込み値は係数・遅延データ格納領域に保存されます。本レジスタへリードアクセスした場合、読み出し値は係数・遅延データ格納領域から読み出されます。

33.2.1.23 IIRSTGmD0 : ステージ m 遅延データ D0 レジスタ (m = 0～31)

Base address: IIRFA = 0x4002_0000

Offset address: 0x414 + 0x20 × m

Bit position:	31																												0
Bit field:																													
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
31:0	n/a	ステージ m の遅延データ(単精度浮動小数点数)です。	R/W

各レジスタは、図 33.2 に示される同一記号の遅延データに対応します。

遅延データ D0 レジスタについては、そのレジスタに対応するステージの演算実行時に値が更新されます。

いずれかのチャネルのチャネル処理中に本レジスタへアクセスした場合、チャネル処理完了までのあいだ、バスアクセスが待たされます。チャネル処理の完了後に書き込みまたは読み出しが行われます。

本レジスタへライトアクセスした場合、書き込み値は係数・遅延データ格納領域に保存されます。本レジスタへリードアクセスした場合、読み出し値は係数・遅延データ格納領域から読み出されます。

33.2.1.24 IIRSTGmD1 : ステージ m 遅延データ D1 レジスタ (m = 0～31)

Base address: IIRFA = 0x4002_0000

Offset address: 0x418 + 0x20 × m

Bit position:	31																												0
Bit field:																													
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
31:0	n/a	ステージ m の遅延データ(単精度浮動小数点数)です。	R/W

各レジスタは、図 33.2 に示される同一記号の遅延データに対応します。

遅延データ D1 レジスタについては、そのレジスタに対応するステージの演算実行時に値が更新されます。

いずれかのチャネルのチャネル処理中に本レジスタへアクセスした場合、チャネル処理完了までのあいだ、バスアクセスが待たされます。チャネル処理の完了後に書き込みまたは読み出しが行われます。

本レジスタへライトアクセスした場合、書き込み値は係数・遅延データ格納領域に保存されます。本レジスタへリードアクセスした場合、読み出し値は係数・遅延データ格納領域から読み出されます。

33.3 動作説明

33.3.1 概要

IIRFA は、縦続接続された biquad IIR (Infinite Impulse Response) フィルタ演算機能を持ちます。

biquad IIR フィルタの M 個の縦続接続の伝達関数は次式の通りです。

$$H(z) = \prod_{m=1}^{M} \frac{b_0^m + b_1^m z^{-1} + b_2^m z^{-2}}{1 - a_1^m z^{-1} - a_2^m z^{-2}}$$

b_0^m , b_1^m , b_2^m はフィードフォワード係数、 a_1^m , a_2^m はフィードバック係数です。

各 biquad IIR フィルタの演算は次の差分方程式で定義されます。

$$y(n) = b_0 x(n) + b_1 x(n-1) + b_2 x(n-2) + a_1 y(n-1) + a_2 y(n-2)$$

$x(n)$ は入力データ、$y(n)$ は出力データ、$x(n-1)$, $y(n-1)$ はそれぞれ 1 サンプル期間遅延の入力データおよび出力データ、 $x(n-2)$, $y(n-2)$ はそれぞれ 2 サンプル期間遅延の入力データおよび出力データを示します。

IIRFA では、図 33.2 に示す縦続接続された直接形式II転置型 biquad IIR フィルタ演算を行います。

フィルタ演算 1 回分をステージと呼び、ステージを最大 32 段までの任意の段数で縦続接続したものをチャネルと呼びます。

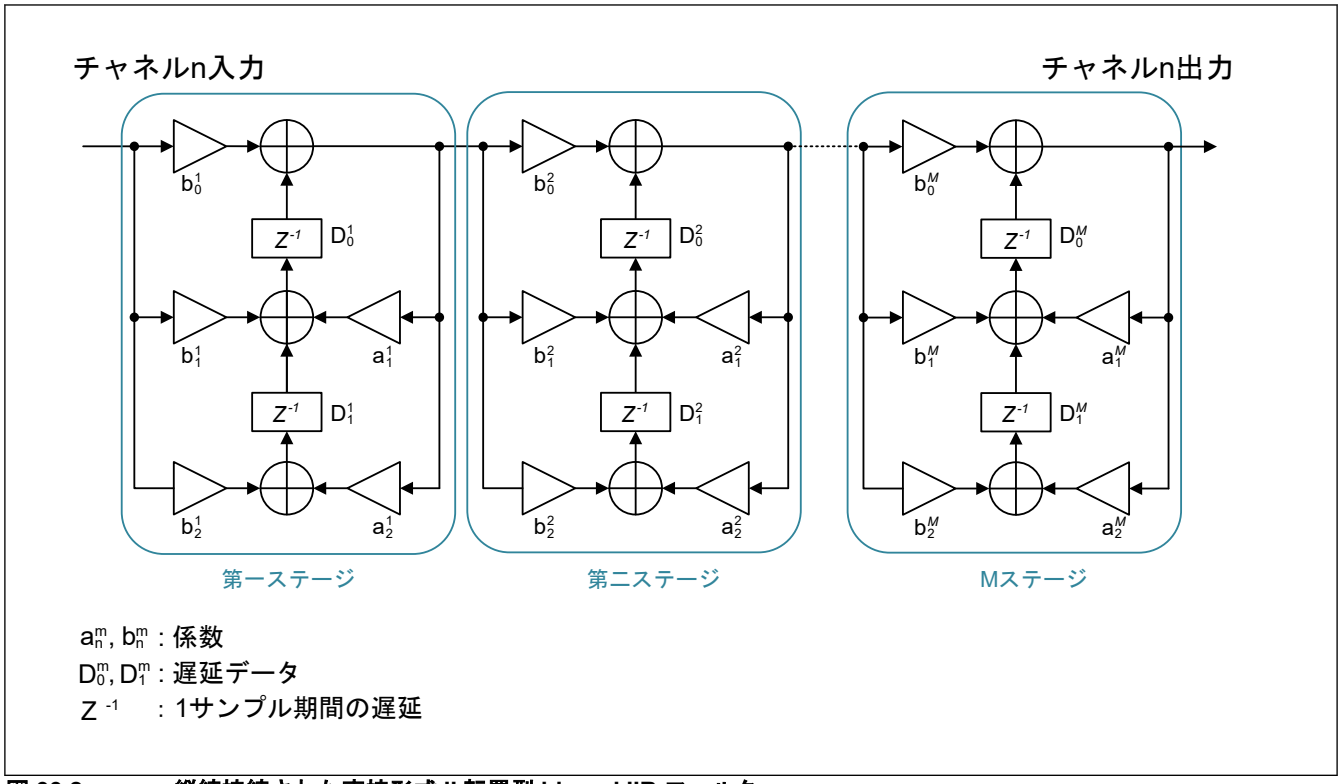


図 33.2 縦続接続された直接形式 II 転置型 biquad IIR フィルタ

チャネルごとに縦続接続するステージの選択が可能です。また、ステージごとに係数 (a_1, a_2, b_0, b_1, b_2)、遅延データ (D_0, D_1) の設定が可能です。

チャネルごとのステージの選択の例を図 33.3 に示します。この例では、チャネル 0 は、ステージ 0、ステージ 2、ステージ 3 を縦続接続した biquad IIR フィルタ演算を行います。演算時の動作については、「33.3.2. チャネル処理動作」節を参照してください。

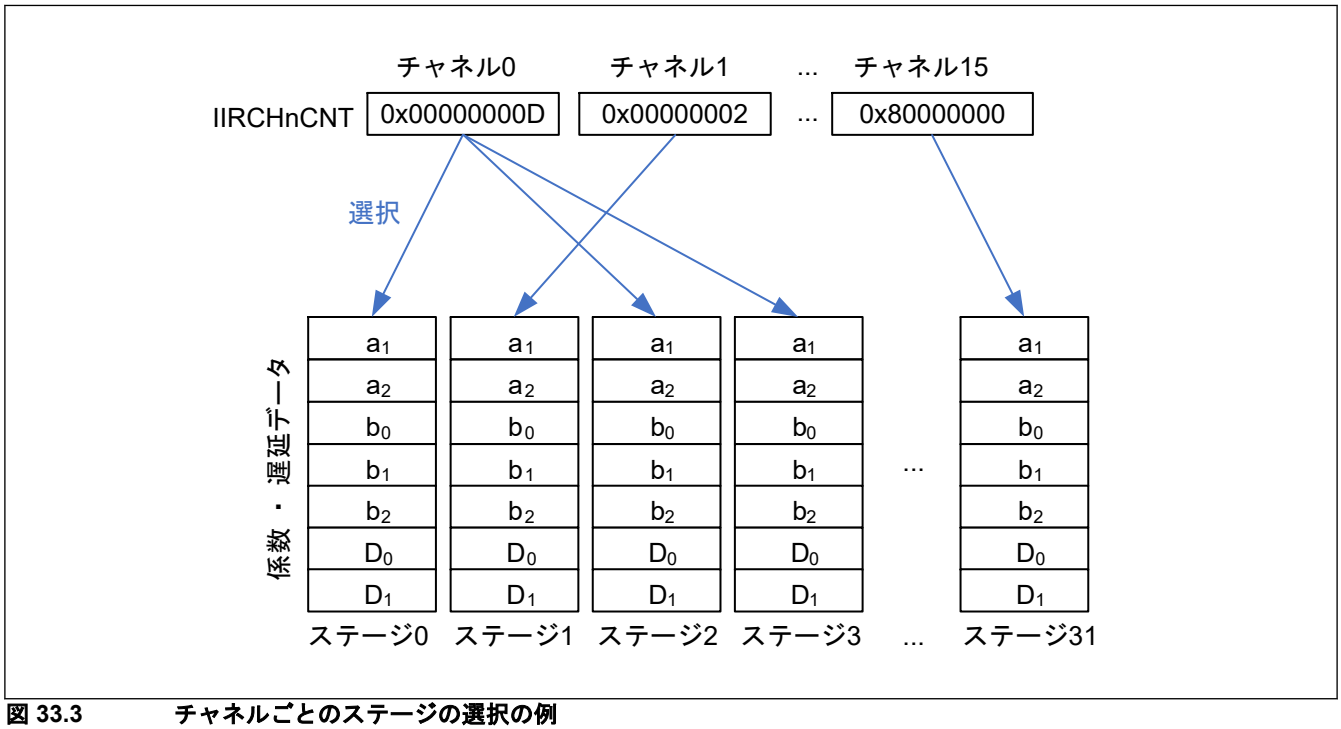


図 33.3 チャネルごとのステージの選択の例

ステージごとの係数・遅延データは、係数・遅延データ格納領域に格納されます。係数・遅延データ格納領域は ECC による誤り検出・訂正機能を持ちます。「ECC エラー検出・訂正機能」が有効 (IIRECCCNT.ECCMD = 1) の

場合、係数・遅延データ格納領域のデータに発生したエラーの検出と修正が可能です。ECC エラーの詳細は「33.3.4. ECC エラー検出時の動作」節を参照してください。

入出力データ、ステージ係数・遅延データは IEEE754 規格で規定されている単精度浮動小数点形式で保持します。単精度浮動小数点数の詳細については、図 33.4 を参照してください。

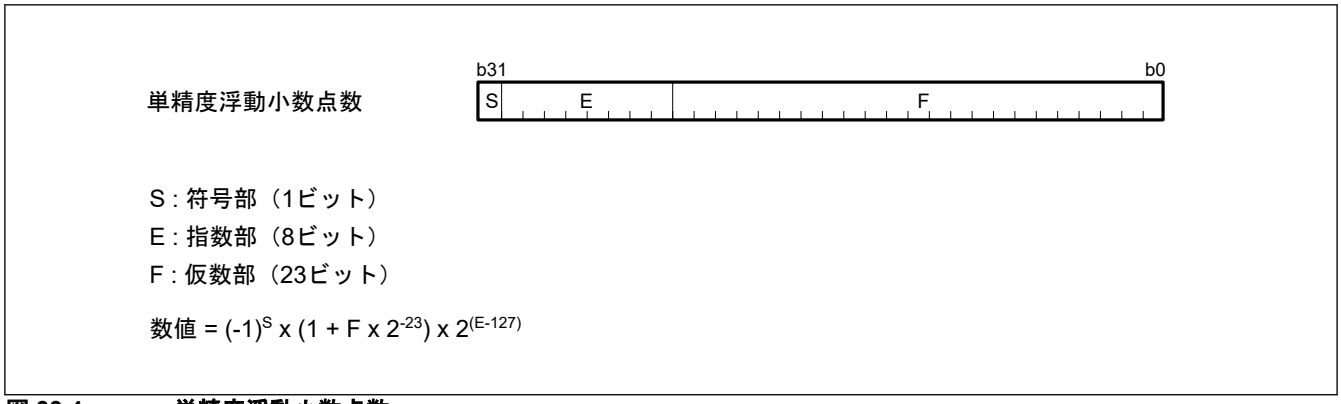


図 33.4 単精度浮動小数点数

単精度浮動小数点形式は、以下の数値に対応しています。

- 0 < E < 255（正規化数- Normal Numbers）
- E = 0 かつ F = 0（ゼロ- Signed Zero）
- E = 0 かつ F > 0（非正規化数- Subnormal Numbers）
- E = 255 かつ F = 0（無限大- Infinity）
- E = 255 かつ F > 0（非数- NaN : Not a Number）
  F の MSB が 0(SNaN: Signaling NaN)
  F の MSB が 1(QNaN: Quiet NaN)

IIRFA では、入力に正の非正規化数が入力された場合は+0、負の非正規化数が入力された場合は−0、非数が入力された場合は無限大として扱います。

IIRFA では、縦続接続された biquad IIR フィルタ演算において単精度浮動小数点数の加算や乗算を複数回実施します。各加算および乗算の結果が正の非正規化数となった場合は+0、負の非正規化数となった場合は−0、非数になった場合は無限大として扱います。また、各加算および乗算の結果の丸めモードは、IIROPCNT により選択できます。

注. チャネル処理により、チャネル n 出力データが無限大となることがあります。このとき、演算エラーが発生します。演算エラーの詳細については、「33.3.3. 演算エラー発生時の動作」節を参照してください。

33.3.2 チャネル処理動作

チャネル処理とは、あるチャネルの入力レジスタに書き込みが行われた際に実行される一連の演算処理です。チャネル処理中は、そのチャネルが使用する全てのステージの演算が順次実行されます。チャネル処理の途中で（IIRCHnSTS.CPRFF フラグが 1 になる前に）出力データの演算が完了した場合、その時点で IIRCHnSTS.ORDYF フラグが 1 となり、出力データ（IIRCHnOUT レジスタ）の読み出しが可能になります。

チャネル処理の動作例を、図 33.5 に示します。

1. 入力データの書き込み
   IIR チャネル n 入力レジスタ (IIRCHnINP) に入力データを書き込むと、IIR チャネル n コントロールレジスタ (IIRCHnCNT) の設定に従って IIR フィルタ演算が行われます。このとき、IIRCHnSTS.CPRCS ビットは 1 となります。さらに、演算で使用するステージ m (IIRSTGmD0, IIRSTGmD1) の遅延データレジスタは、演算結果で更新されます。
2. 出力データの演算完了
   出力データの演算が完了した時、IIRCHnSTS.ORDYF フラグは 1 となり、演算結果が IIR チャネル n 出力レジスタ (IIRCHnOUT) に格納されます。
3. 出力データの読み出し
   IIRCHnOUT レジスタから値を読み出すと、IIRCHnSTS.ORDYF フラグは 0 となり

4. チャネル処理完了
   チャネル処理が完了すると、IIRCHnSTS.CPRCFF フラグは 1 となります。また、IIRCHnSTS.CPRCS ビットは 0 となります。

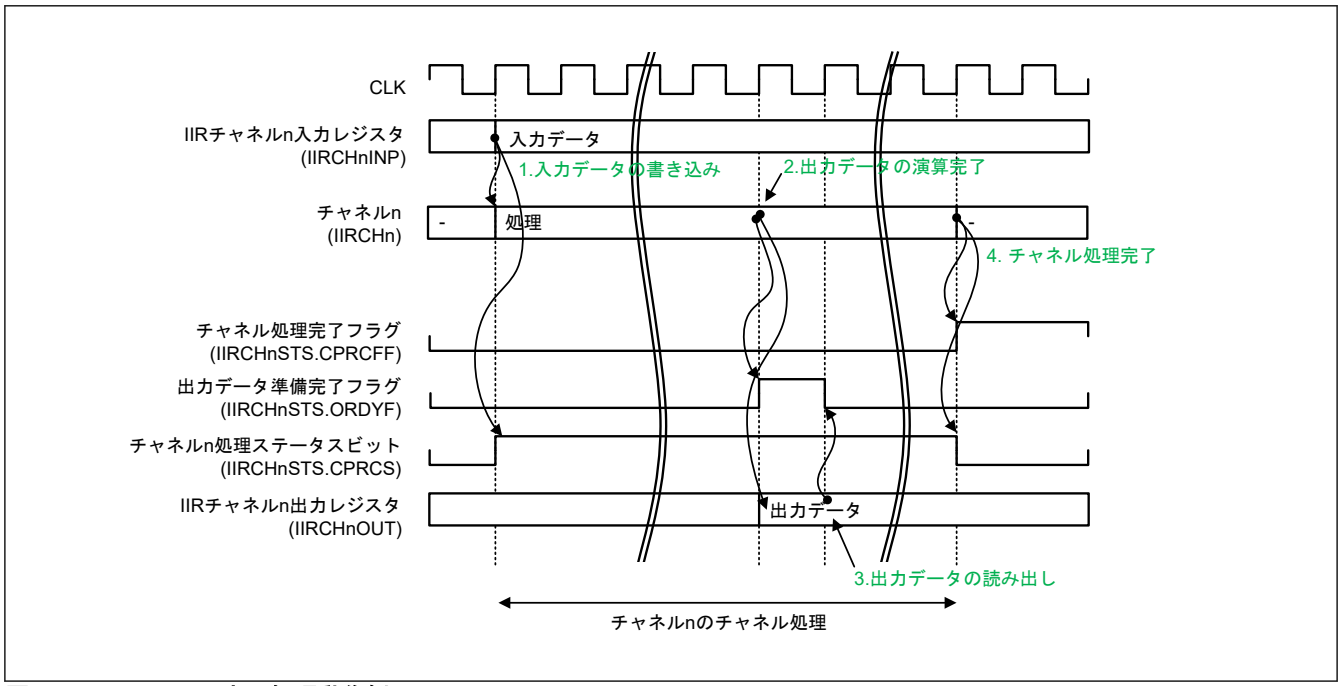


図 33.5　　チャネル処理動作例

注.　同時に処理可能な最大チャネル数は 1 です。いずれかのチャネルのチャネル処理中に IIRCHnINP レジスタへの書き込みを行った場合、処理中のチャネル処理が完了するまでのあいだ、バスアクセスが待たされます。

33.3.3　演算エラー発生時の動作

演算エラーは、縦続接続された biquad IIR フィルタ演算の結果が無限大となったことを表すエラーです。IIR チャネル n 出力レジスタ　(IIRCHnOUT)　の値が正の無限大または負の無限大となった場合、出力データ準備が完了になるのと同時に演算エラーが発生します。演算エラーが発生すると、IIRCHnSTS.CERRF フラグは 1 となります。

以下、正の無限大と負の無限大を併せて無限大または∞と記載します。また、+∞は正の無限大、-∞は負の無限大を表します。

IIRCHnOUT レジスタの値は、単精度浮動小数点数の加算や乗算を複数回実施した値です。いずれかの加算および乗算の結果が無限大となった場合、その値が伝搬し、最終的に IIRCHnOUT レジスタの値は無限大となります。

加算および乗算の結果が無限大となる条件を以下に示します。

(1) 加算、乗算でオーバーフローが発生した場合

加算または乗算の結果が、単精度浮動小数点数で表される最大の有限値を超えた場合、オーバーフローが発生します。オーバーフローが発生した場合、その加算または乗算の結果は無限大となります。

(2) 加算、乗算の入力値に SNaN, QNaN または無限大が含まれている場合

加算、乗算の入力値に SNaN, QNaN または無限大が含まれている場合、その加算または乗算の結果は無限大となります。

加算時、乗算時の入力値に対する計算結果を、表 33.3、表 33.4 に示します。

表 33.3　加算時の入力値に対する計算結果 (x + y)

		y				
		正規化数	+0、+非正規化数	−0、−非正規化数	+∞、+SNaN、+QNaN	−∞、−SNaN、−QNaN
x	正規化数	加算(注1)			+∞	−∞
	+0、+非正規化数	加算(注1)	+0		+∞	−∞
	−0、−非正規化数	加算(注1)	+0	-0	+∞	−∞
	+∞、+SNaN、+QNaN	+∞				
	+∞、+SNaN、−QNaN	−∞			+∞	−∞

注 1.　オーバーフロー発生時は+∞または−∞となります

表 33.4　加算時の入力値に対する計算結果 (x × y)

		y					
		+正規化数	−正規化数	+0、+非正規化数	−0、−非正規化数	+∞、+SNaN、+QNaN	−∞、−SNaN、−QNaN
x	+正規化数	乗算(注1)				+∞	−∞
	−正規化数	乗算(注1)				−∞	+∞
	+0、+非正規化数	乗算(注1)		+0	-0	+∞	
	−0、−非正規化数	乗算(注1)		-0	+0	+∞	
	+∞、+SNaN、+QNaN	+∞	−∞	+∞			−∞
	+∞、+SNaN、−QNaN	−∞	+∞			−∞	+∞

注 1.　オーバーフロー発生時は+∞または−∞となります

33.3.4　ECC エラー検出時の動作

係数・遅延データ格納領域は、ECC エラー検出・訂正機能、および訂正済みデータ書き戻し機能を持ちます。

ECC の仕様は、SEC-DED（Single-Error-Correction/Double-Error-Detection Code：単一エラー訂正/二重エラー検出符号)です。1 つの係数・遅延データ（32 ビットデータ）に対して、7 ビットの ECC コードを生成します。

(1)　ECC エラー検出機能

ECC エラー検出機能は、係数・遅延データ格納領域のデータにエラーが発生した場合、ECC エラー（ECC 1 ビットエラー、ECC 2 ビットエラー）を検出する機能です。ECC エラーの検出は、係数・遅延データレジスタへのリードアクセス時と、チャネル処理中の係数・遅延データ使用時に行われます。

1 回のチャネル処理中に複数回の ECC エラーが検出される可能性があります。ECC エラーが検出される条件を表 33.5 に示します。

表 33.5　ECC エラーが検出される条件

ECC エラー検出・訂正機能	発生したエラーのビット数	ECC エラー
有効 (IIRECCCNT.ECCMD = 1)	0 ビット	ECC エラーは検出されません
	1 ビット	ECC 1 ビットエラーが検出されます
	2 ビット	ECC 2 ビットエラーが検出されます
	3 ビット以上	ECC エラーが検出されるかは不定です
無効 (IIRECCCNT.ECCMD = 0)	Don't Care	ECC エラーは検出されません

ECC 1 ビットエラーが検出された場合は IIRECCEF.ESEF フラグが 1 となり、ECC 2 ビットエラーが検出された場合は IIRECCEF.EDEF フラグが 1 となります。

(2) ECC エラー訂正機能

ECC エラー訂正機能は、係数・遅延データレジスタの読み出し値、または演算で使用するデータに対して、エラー訂正を行う機能です。ECC 1 ビットエラーが検出された場合、エラー訂正が実施されます。

(3) 訂正済みデータ書き戻し機能

訂正済みデータ書き戻し機能は、係数・遅延データ格納領域のデータに対して、ECC エラー訂正後の値の書き戻しを行う機能です。訂正済みデータ書き戻し機能が有効 (IIRECCCNT.ECCWBDIS = 0) の時に ECC エラー訂正が実施された場合、訂正済みデータの書き戻しが実施されます。

チャネル処理中に ECC エラー訂正が実施された場合は、ECC エラー訂正後のデータを使用してチャネル処理が継続されます。この時、チャネル処理のサイクル数は延長されません。

チャネル処理中に訂正済みデータの書き戻しが実施された場合、チャネル処理は継続されます。この時、書き戻しが実施された回数に応じてチャネル処理のサイクル数が延長されます。

33.3.5 使用手順

33.3.5.1 初期設定

IIRFA を使用する前に、IIRFA の初期設定を行ってください。初期設定の手順例を、表 33.6 に示します。

「ECC エラー検出・訂正機能」を有効 (IIRECCCNT.ECCMD = 1) にした場合は、全てのステージの全ての係数・遅延データレジスタに初期値を書き込んでください。電源投入時の係数・遅延データ格納領域のデータは不定です。このため、「ECC エラー検出・訂正機能」が有効 (IIRECCCNT.ECCMD = 1) の時、初期化を実施せずに係数・遅延データ格納領域のデータを読み出した場合、または初期化を実施せずにチャネル処理を開始した場合は、ECC エラーが発生します。

表 33.6 初期化の手順例

ステップ	内容	設定するレジスタ
1	係数・遅延データ格納領域の ECC 機能を設定する	IIRECCCNT
2	チャネルごとに、何番のステージを縦続接続して使用するかを設定する	IIRCHnCNT
3	係数・遅延データレジスタに対して初期値(単精度浮動小数点数)を設定する	IIRSTGmB0, IIRSTGmB1, IIRSTGmB2,IIRSTGmA1, IIRSTGmA2, IIRSTGmD0, IIRSTGmD1
4	ECC エラー割り込み、チャネル n 割り込みの有効/無効を設定する	IIRECCINT IIRCHnINT

33.3.5.2 チャネル処理の実行手順

本項では、チャネル処理の実行手順の例を示します。

チャネル処理の実行手順例には、3 通りの方法があります。それぞれの方法で特に異なる点は、チャネル処理開始後の出力データ読み出し手順です。

それぞれの方法での出力データ読み出し手順の概要を、表 33.7 に示します。

表 33.7 出力データ読み出し手順の概要

	単一データ処理	複数データ処理
方法 1	出力データ準備完了を待たずに読み出し	
方法 2	出力データ準備完了フラグのポーリング後に読み出し	チャネル処理完了フラグのポーリング後に読み出し
方法 3	出力データ準備完了割り込み受け付け後に読み出し	チャネル処理完了割り込み受け付け後に読み出し

単一データ処理と複数データ処理は、処理を行うデータ数によりチャネル処理手順を分類したものです。1 つの入力値に対してチャネル処理を行い、その処理の完了後に他のチャネル処理を行わない場合を「単一データ処理」、複数の入力値に対してチャネル処理を連続で行う場合を「複数データ処理」としています。

方法 2 と方法 3 では、単一データ処理と複数データ処理で手順が異なります。IIRFA では、チャネル処理完了前に出力データの準備が完了します。そのため、サイクル数短縮を目的として、単一データ処理の場合はチャネル処理完了時ではなく出力データ準備完了時に出力データを読み出す手順となっています。

方法 1、方法 2、方法 3 のポイントは以下のとおりです。

- 方法 1
  - フラグの判定処理が不要なため、オーバーヘッドは小さくなります。
  - IIRCHnOUT レジスタの読み出し時、出力データ準備完了までのあいだ、バスアクセスは待たされます。
- 方法 2
  - フラグの判定処理が必要なため、オーバーヘッドは大きくなります。
  - IIRCHnOUT レジスタの読み出し時、バスアクセスは待たされません。
- 方法 3
  - 割り込み受け付け時の処理等により、オーバーヘッドは比較的大きくなります。
  - IIRCHnOUT レジスタの読み出し時、バスアクセスは待たされません。
  - チャネル処理開始後、出力データ準備完了割り込みまたはチャネル処理完了割り込みまでのあいだ、CPU は他の処理を行うことが出来ます。

チャネル処理に使用するステージ数により、チャネル処理開始から出力データ準備完了およびチャネル処理完了までのサイクル数は増加します。そのため、使用するステージ数により推奨される方法が異なります。

方法 1 は、チャネル処理に使用するステージ数が少ない場合に推奨されます。この方法の場合、出力データ準備完了までのあいだバスが占有されるため、同じバスを使用する他のバスマスタのバスアクセスが待たされます。また、バスアクセスが待たされるあいだ、CPU は割り込みを受け付けられません。

方法 2 および方法 3 は、チャネル処理に使用するステージ数が多い場合に推奨されます。この方法の場合、フラグ判定処理や割り込み処理によりオーバーヘッドが大きくなります。そのため、チャネル処理に使用するステージ数が少ない場合は、このオーバーヘッドの影響が大きくなります。

それぞれの方法の手順例を、図 33.6、表 33.7、図 33.8 に示します。

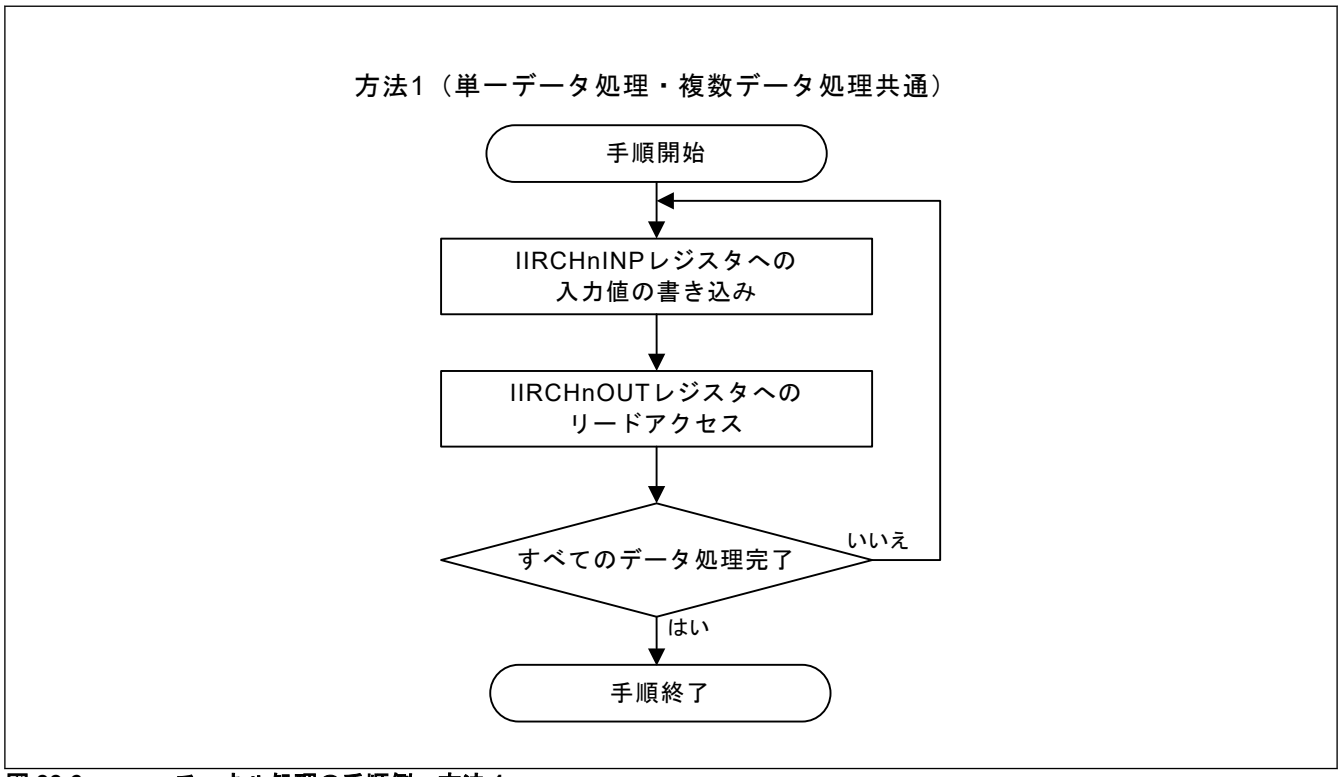


図 33.6 チャネル処理の手順例：方法 1

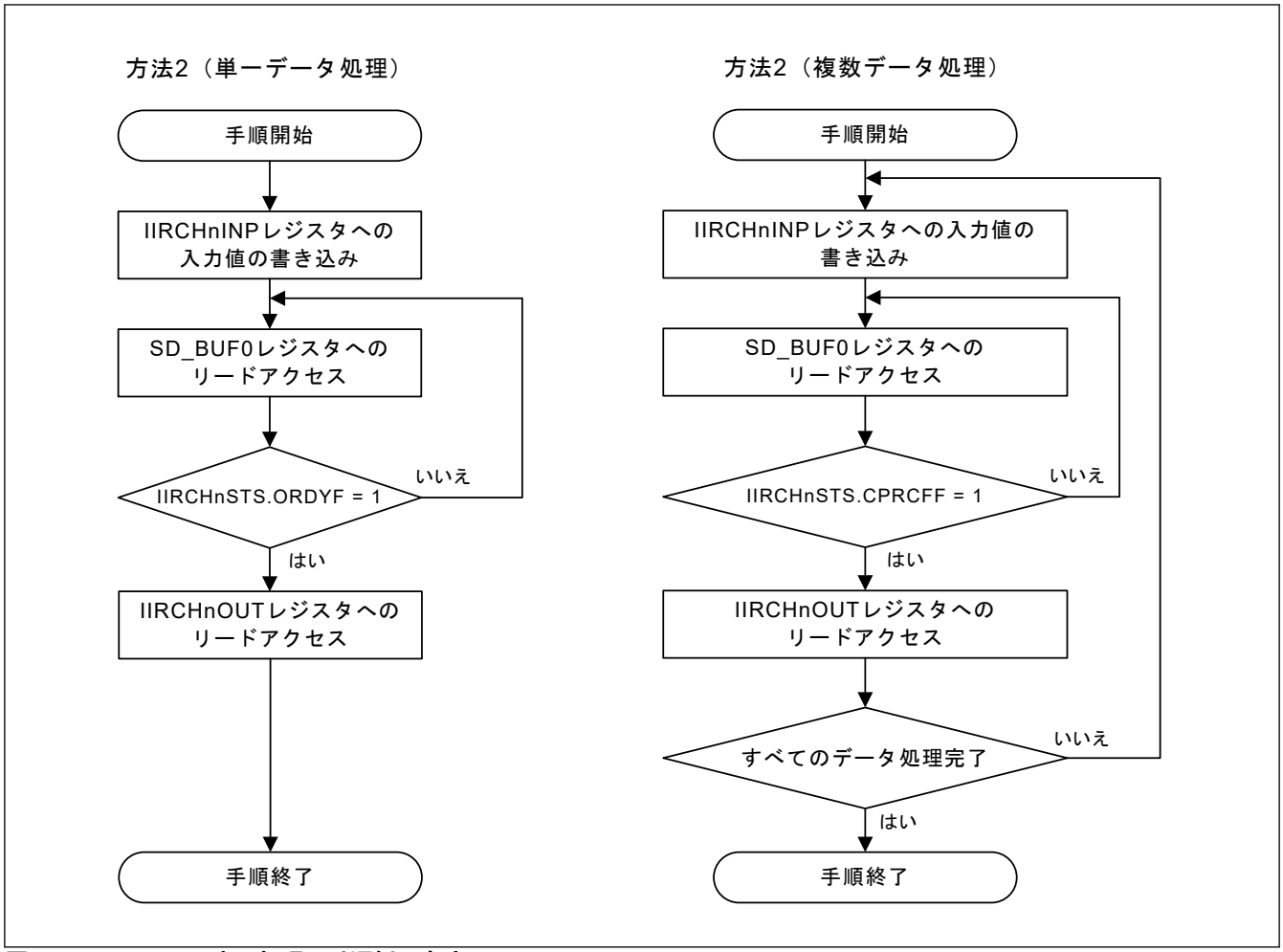


図 33.7　チャネル処理の手順例：方法 2

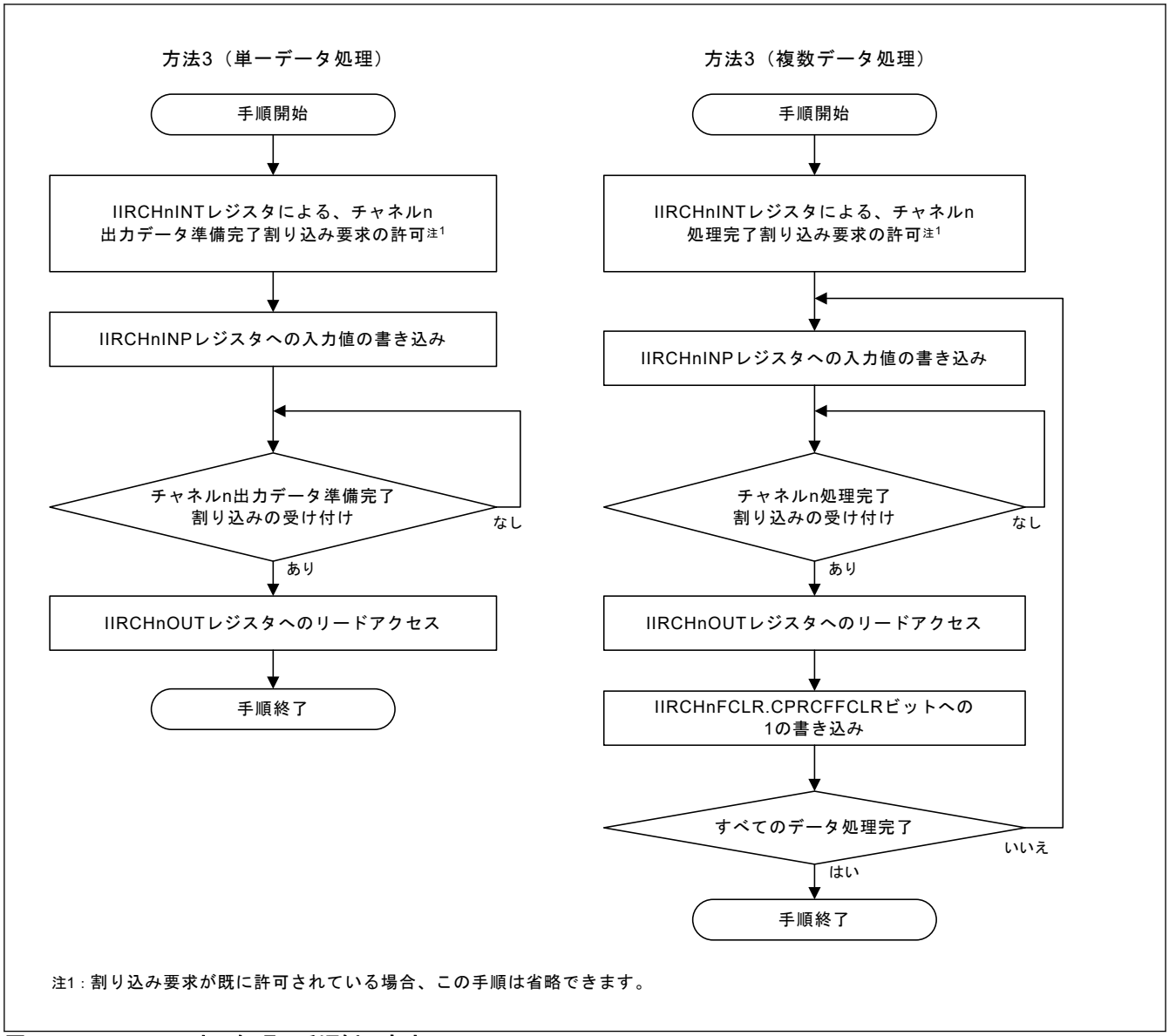


図 33.8　チャネル処理の手順例：方法 3

33.3.5.3　ECC エラーを意図的に検出させる手順

本項では、ECC エラー（ECC 1 ビットエラー、ECC 2 ビットエラー）を意図的に検出させる手順を示します。ECC エラーが検出された後のソフトウェアルーチンの動作を確認するには、ここに示す手順を実行します。

「ECC エラー検出・訂正機能」が無効 (IIRECCCNT.ECCMD = 0) の場合、係数・遅延データレジスタへのデータ書き込み時に ECC コードを更新せずに任意のデータを書き込むことが可能です。このため、係数・遅延データの適切なビットを反転させることで、係数・遅延データ格納領域のデータにエラーが発生した状態を再現できます。破損データの生成後、係数・遅延データレジスタの読み出しを行うことで、反転させたビット数に応じて ECC 1 ビットエラーまたは ECC 2 ビットエラーが検出されます。

手順例を以下に示します。

1. 初期設定を「ECC エラー検出・訂正機能」が有効 (IIRECCCNT.ECCMD = 1) の設定で実施する
2. 任意のステージの任意の係数・遅延データレジスタに、任意のデータを書き込む
3. 「ECC エラー検出・訂正機能」を無効 (IIRECCCNT.ECCMD = 0) に設定する
4. 手順 2 でデータを書き込んだアドレスに対し、ECC 1 ビットエラーまたは ECC 2 ビットエラーが検出される値を書き込む
   例：手順 2 で 0x00000000 を書き込んだ場合、0x00000001 を書き込むと 1 ビットのエラー、0x00000003 を書き込むと 2 ビットのエラーが係数・遅延データに生じた状態を再現できます。

5. 「ECC エラー検出・訂正機能」を有効 (IIRECCCNT.ECCMD = 1) に設定する
6. 手順 2 と手順 4 でデータを書き込んだアドレスからデータを読み出す
   この時、手順 2 と手順 4 で書き込んだデータの値により、ECC 1 ビットエラーまたは ECC 2 ビットエラーが検出されます。

33.4 割り込み要因

割り込み要因の一覧を表 33.8 に示します。

表 33.8 割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み発生条件
IIRFA_ORDYn (n = 0〜2)	チャネル n 出力データ準備完了	IIRCHnSTS.ORDYF	IIRCHnSTS.ORDYF = 1 かつ IIRCHnINT.ORDYIE = 1
IIRFA_ORDY3 (m = 3〜15)	チャネル m のいずれかで出力データ準備完了	IIRCHmSTS.ORDYF	IIRCHmSTS.ORDYF = 1 かつ IIRCHmINT.ORDYIE = 1
IIRFA_CPRCFn (n = 0〜2)	チャネル n 処理完了	IIRCHnSTS.CPRCFF	IIRCHnSTS.CPRCFF = 1 かつ IIRCHnINT.OPRCFIE = 1
IIRFA_CPRCF3 (m = 3〜15)	チャネル m のいずれかで処理完了	IIRCHmSTS.CPRCFF	IIRCHmSTS.CPRCFF = 1 かつ IIRCHmINT.CPRCFIE = 1
IIRFA_ERR (x = 0〜15)	いずれかのチャネルで演算エラーが発生	IIRCHxSTS.CERRF	IIRCHxSTS.CERRF = 1 かつ IIRCHxINT.CERRIE = 1
	ECC 1 ビットエラー発生	IIRECCEF.ESEF	IIRECCEF.ESEF = 1 かつ IIRECCINT.ESEIE = 1
	ECC 2 ビットエラー発生	IIRECCEF.EDEF	IIRECCEF.EDEF = 1 かつ IIRECCINT.EDEIE = 1

IIRFA_ORDY3 は有線チャネル 3〜15 の出力データ準備完了割り込み割り込みが発生したチャネルを確認するには、「33.2.1.3. IIRORDYF : 出力データ準備完了フラグレジスタ」を参照してください。

IIRFA_CPRCF3 は有線チャネル 3〜15 の処理完了割り込み割り込みが発生したチャネルを確認するには、「33.2.1.2. IIRCPRCFF : チャネル処理完了フラグレジスタ」を参照してください。

IIRFA_ERR は、演算エラー、ECC 1 ビットエラー、ECC 2 ビットエラーが発生したすべてのチャネルに対する有線割り込みどのエラー割り込みが発生したのかを確認するには、「33.2.1.4. IIRCERRF : 演算エラーフラグレジスタ」と「33.2.1.8. IIRECCEF : ECC エラーフラグレジスタ」を参照してください。

34. バウンダリスキャン

34.1 概要

バウンダリスキャン機能は、JTAG (Joint Test Action Group)、IEEE Std.1149.1 および IEEE Standard Test Access Port and Boundary Scan Architecture に基づくシリアル入出力インタフェースを提供します。表 34.1 にバウンダリスキャンの仕様を、図 34.1 にブロック図を、表 34.2 に入出力端子を示します。

表 34.1 バウンダリスキャンの仕様

項目	内容
実行条件	RES 端子が Low の場合にバウンダリスキャンを実行する必要があります。
テストモード	• BYPASS モード • EXTEST モード • SAMPLE/PRELOAD モード • CLAMP モード • HIGHZ モード • IDCODE モード

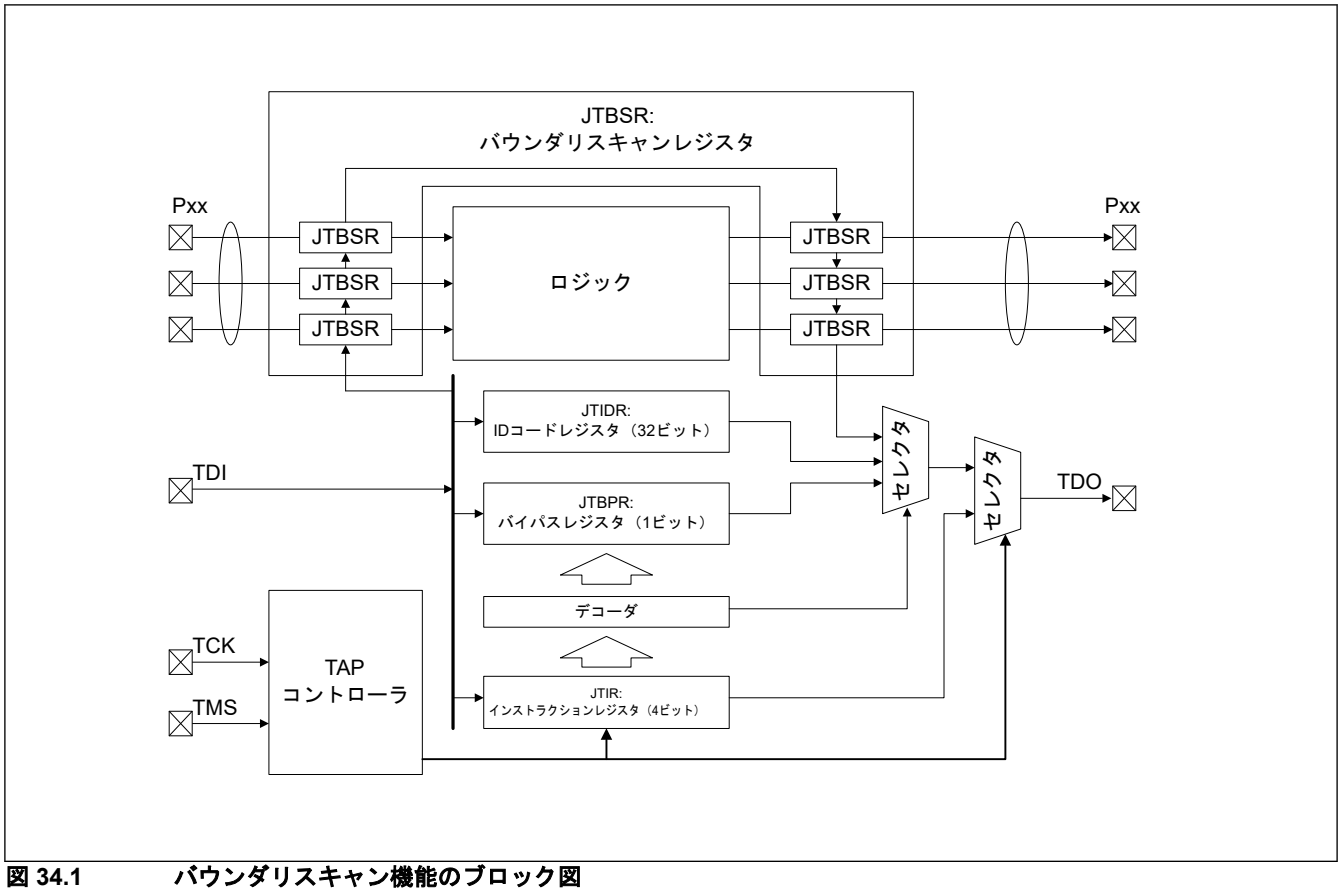


図 34.1 バウンダリスキャン機能のブロック図

表 34.2 バウンダリスキャンの入出力端子

端子名称	入出力	機能
TCK	入力	テストクロック入力 バウンダリスキャン用のクロック信号。バウンダリスキャン機能使用時、入力クロックデューティー比は 50%です。
TMS	入力	テストモード選択
TDI	入力	テストデータ入力
TDO	出力	テストデータ出力

注. 本デバイスは、JTAG インタフェース用の TRST 端子は備えていません。

34.2 レジスタの説明

表 34.3 にバウンダリスキャンのレジスタ一覧を示します。

表 34.3 バウンダリスキャンレジスタ

レジスタ名	記号	リセット後の値
インストラクションレジスタ	JTIR	0xE
ID コードレジスタ	JTIDR	0x0841_F447
バイパスレジスタ	JTBPR	不定
バウンダリスキャンレジスタ	JTBSR	不定

バウンダリスキャンレジスタの使用上の注意

- インストラクションは、TDI 端子からシリアル転送によりインストラクションレジスタ (JTIR) へ入力できます
- バイパスレジスタ (JTBPR) は 1 ビットのレジスタで、BYPASS モード時に TDI 端子と TDO 端子はこのレジスタに接続されます
- バウンダリスキャンレジスタ (JTBSR) は BSDL の記述に基づき構成されており、テストデータをシフトインするときに TDI 端子と TDO 端子の間に接続されます

表 34.4 に各レジスタのシリアル転送を示します。

表 34.4 レジスタのシリアル転送

レジスタ名	シリアル入力	シリアル出力
インストラクションレジスタ (JTIR)	可能	可能
ID コードレジスタ (JTIDR)	可能	可能
バイパスレジスタ (JTBPR)	可能	可能
バウンダリスキャンレジスタ (JTBSR)	可能	可能

34.2.1 JTIR : インストラクションレジスタ

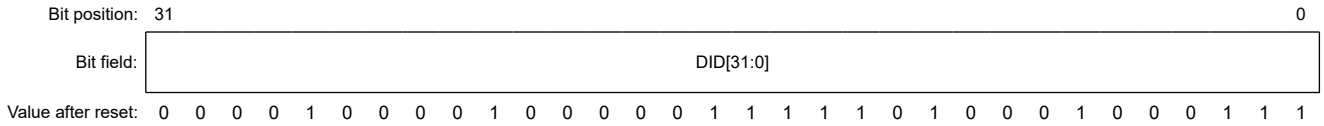
Bit position:	3	2	1	0
Bit field:	TS[3:0]			
Value after reset:	1	1	1	0

ビット	シンボル	機能	R/W
3:0	TS[3:0]	テストビットセット これらのビットのコマンド構成	—

TS[3:0]	インストラクション
0x0	EXTEST
0x1	SAMPLE/PRELOAD
0x3	IDCODE（ルネサスコード）
0x5	CLAMP
0x6	HIGHZ
0xF	BYPASS
その他	予約

JTAG 命令は、TDI 端子からのシリアル入力によって JTIR レジスタに転送することができます。JTIR レジスタは、パワーオンリセットが発生したとき、または TAP コントローラが Test-Logic-Reset 状態のときに初期化されます。

34.2.2 JTIDR : ID コードレジスタ



ビット	シンボル	機能	R/W
31:0	DID[31:0]	デバイス ID 本ビットはデバイス IDCODE (0x0841_F447) を示す固定値を格納します。	—

IDCODE 命令の実行時、JTIDR レジスタのデータを TDO 端子から出力します。リセット解除後に、JTIDR の DID[31:0]ビットは Arm®デバッグコードに変化します。*Arm® CoreSight™ SoC-400 Technical Reference Manual* (ARM DDI 0480F) を参照してください。

34.2.3 JTBPR : バイパスレジスタ

JTBPR レジスタは、1 ビットのレジスタです。JTIR レジスタが BYPASS モードに設定された場合、TDI 端子と TDO 端子は JTBPR レジスタに接続されます。CPU から JTBPR レジスタへの読み出し／書き込みはできません。

34.2.4 JTBSR : バウンダリスキャンレジスタ

JTBSR レジスタは、本デバイスの入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。バウンダリスキャンテスト中の JTBSR レジスタを適用するには、EXTEST、SAMPLE/PRELOAD、CLAMP、HIGHZ の命令を発行します。BSDL ファイルは、JTBSR レジスタと本デバイスの端子の関係を示しています。リセット後の値は不定です。

34.3 動作

リセット時に、JTAG ポートの TCK、TMS、TDI、および TDO がデフォルトの端子機能として割り当てられます。TCK、TMS、および TDI 端子はプルアップ抵抗器によってプルアップします。パワーオンリセットがネゲートされ、RES 端子が Low の場合に、セットアップ時間が経過した後にバウンダリスキャンテストを行うことができます。

34.3.1 TAP コントローラ

図 34.2 に TAP コントローラの状態遷移図を示します。すべての遷移は TMS 信号によって制御されます。

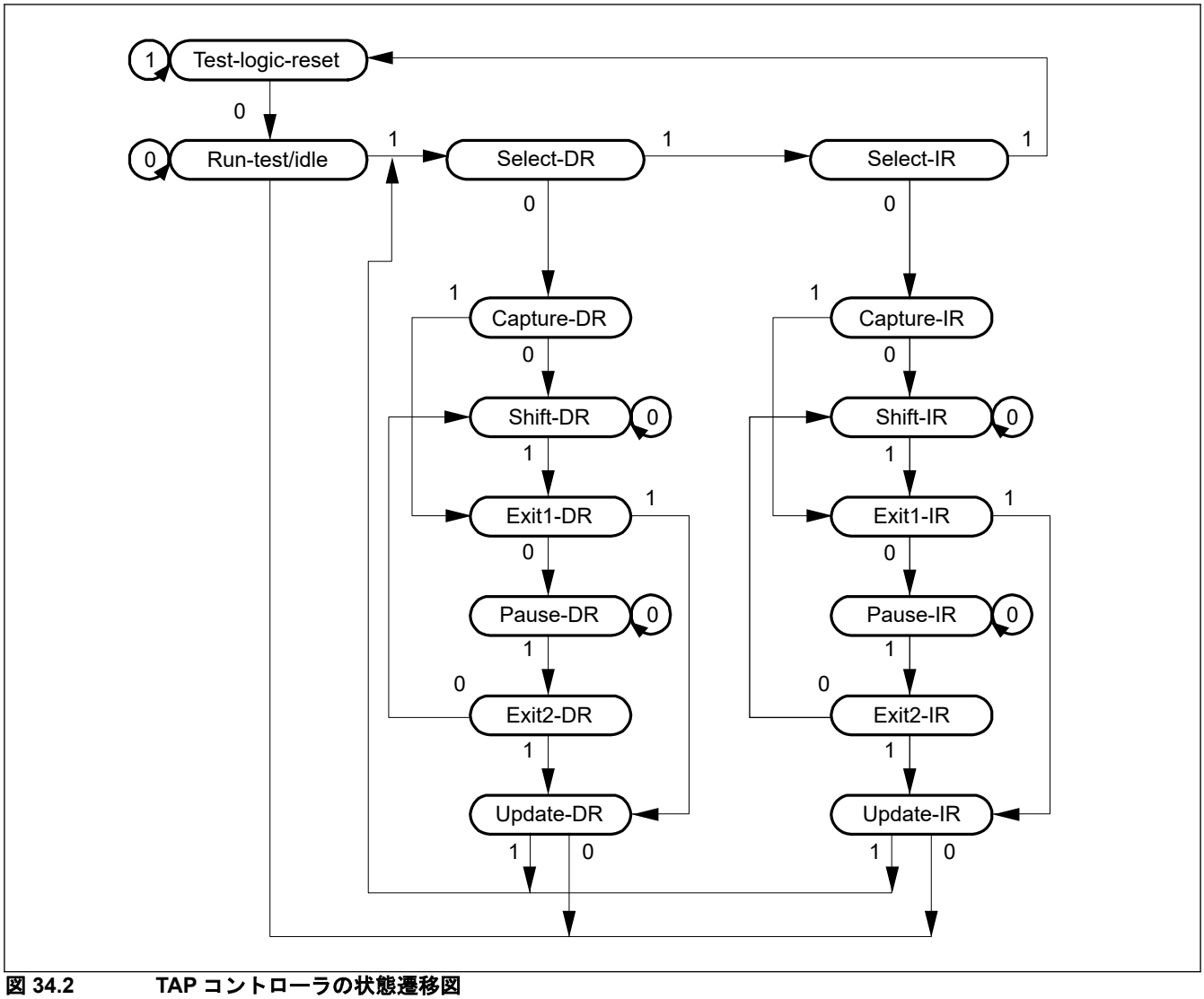


図 34.2 TAP コントローラの状態遷移図

34.3.2 コマンド

(1) BYPASS

BYPASS 命令は、バイパスレジスタ (JTBPR) を動作させます。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータの転送速度を高速化するものです。この命令の実行中、テスト回路はシステム回路に何の影響も与えません。

TDI 端子と TDO 端子には JTBPR レジスタが接続されます。Shift-DR 動作でバイパス動作となります。Shift-DR の 1 クロック目では TDO 端子が Low となります。その後の Shift-DR で TDI 端子から入力された値が TDO 端子から出力されます。

(2) EXTEST

EXTEST 命令は、本デバイスをプリント基板に実装したとき、外部回路をテストするためのものです。この命令の実行時、出力端子は SAMPLE/PRELOAD 命令で設定されたテストデータをバウンダリスキャンレジスタ (JTBSR) から他のデバイスへ出力するために使用され、入力端子は他のデバイスからバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。

(3) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は、本デバイスの内部回路から JTBSR レジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。この命令の実行中、本デバイスの端子からの入力はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。この命令の実行により本デバイスのシステム回路は何の影響も受けません。

SAMPLE 動作では、JTBSR レジスタは、入力端子から内部回路に転送されたデータ、または内部回路から出力端子へ転送されたデータのスナップショットをラッチします。ラッチしたデータは、スキャンパスから読み出します。JTBSR レジスタは、Capture-DR 状態の TCK 端子の立ち上がりに同期してデータのスナップショットをラッチします。データのスナップショットは、リセット中に限り内部回路から出力端子に転送されます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスから JTBSR レジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、EXTEST シーケンスの最初から最後（出力ラッチへの転送）まで出力端子から不定値が出力されます。（EXTEST 命令では、常に出力端子にパラレル出力ラッチを出力します。）

(4) IDCODE

IDCODE 命令が選択されると、TAP コントローラの Shift-DR 状態時に ID コードレジスタ (JTIDR) の値を TDO 端子に出力します。この場合、JTIDR レジスタ値は LSB ファーストで出力されます。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。

(5) CLAMP

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE/PRELOAD 命令によって設定された JTBSR レジスタの値を出力します。CLAMP 命令が選択されている間、JTBSR レジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI 端子と TDO 端子の間には JTBPR レジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

(6) HIGHZ

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態に遷移します。HIGHZ 命令が選択されると、TAP コントローラの状態に関わらず、JTBSR レジスタは保持されます。

TDI 端子と TDO 端子の間には JTBPR レジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

34.4 使用上の注意

バウンダリスキャン機能には、以下の制約が適用されます。

- RES 端子が Low の場合にバウンダリスキャンを実行します。
- 図 34.3 で示すとおりシリアルデータは LSB 側から入出力します。

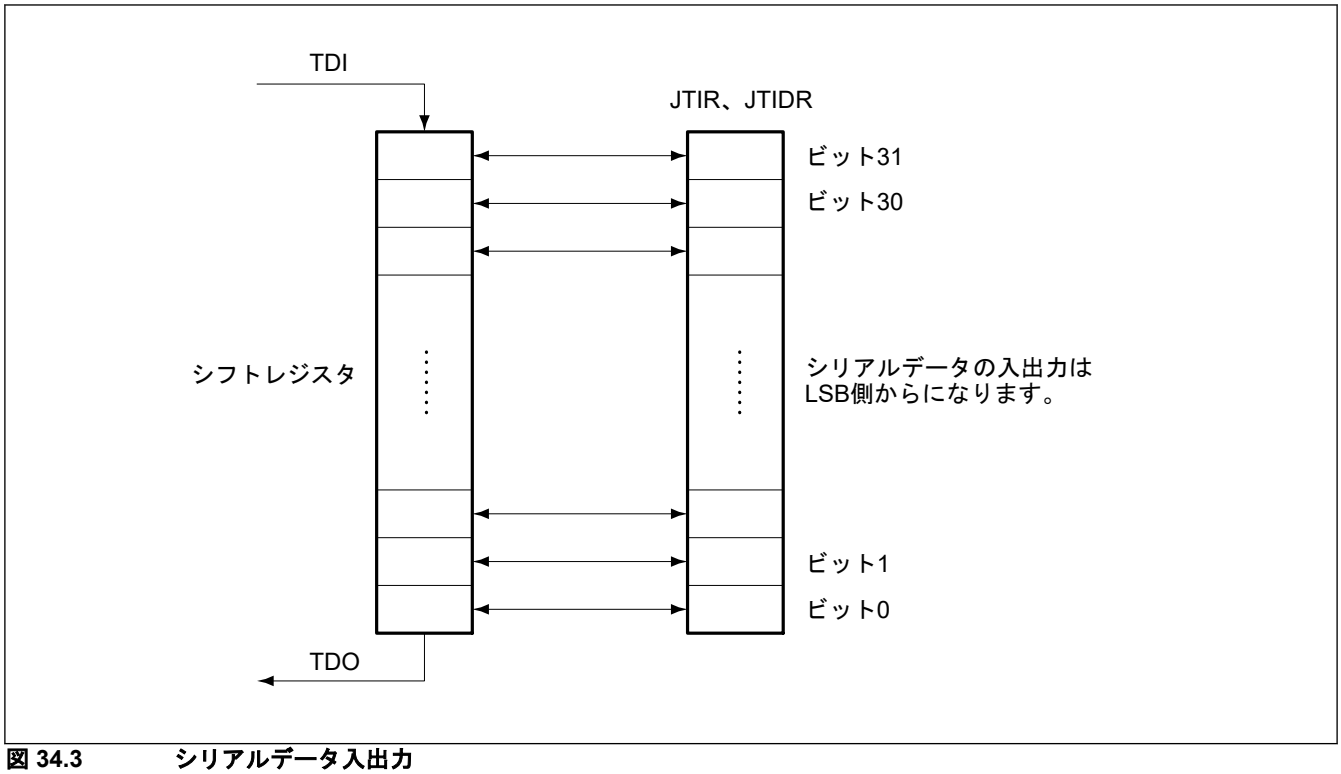


図 34.3 シリアルデータ入出力

以下の端子は、バウンダリスキャン対象外です。

- 電源端子 (VCC, VCL, VSS, AVCC0, AVSS0)
- アナログ基準端子 (AVREFH0, AVREFL0)
- クロック端子 (EXTAL, XTAL)
- リセット端子 (RES)
- バウンダリスキャン端子 (TCK, TMS, TDI, TDO)

35. セキュア暗号エンジン (SCE5)

SCE5 モジュールの SCE5_B バージョンです。

この章では、SCE5_B を SCE5 と表記します。

35.1 概要

セキュア暗号エンジン (SCE5) は、アクセスマネジメント回路、暗号エンジン、乱数生成回路から構成されます。SCE5 ライブラリを組み合わせることで、SCE5 は、盗聴を防止する「秘匿性」、情報の偽造を防止する「完全性」、成りすましを防止する「認証」が実現できます。

また、暗号、復号の処理に用いる鍵情報は SCE5 内のみに格納し、外部からのアクセスを遮断することが可能なため、SCE5 はより強固なセキュリティシステムを実現することができます。

表 35.1 に SCE5 の仕様を示します。図 35.1 に SCE5 のブロック図を示します。

表 35.1 SCE5 の仕様

項目	内容
アクセス制御	アクセスマネジメント回路 ● プログラムの改ざんや、CPU の暴走等により SCE5 への異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、SCE5 からのデータ出力を停止
暗号エンジン	AES: NIST FIPS PUB 197 準拠 ● 鍵長：128 ビットまたは 256 ビット ● データブロックサイズ：128 ビット ● 暗号利用モード ECB、CBC、CTR: NIST SP 800-38A 準拠 CMAC: NIST SP 800-38B 準拠 GCM: NIST SP 800-38D 準拠 XTS: NIST SP 800-38E 準拠 GCTR ● 128 ビットデータのスループット 鍵長 128 ビット：PCLKA 44 サイクル 鍵長 256 ビット：PCLKA 61 サイクル(注1) AES-GCM ● AES-GCTR と GHASH の組み合わせで AES GCM を実現 鍵の管理 ● ラップした鍵は、SCE5 の内部でのみ有効
乱数生成	32 ビット真性乱数生成回路
ハードウェアユニークキー	● 読み出し専用の 128 ビットハードウェアユニークキー (HUK) ● 鍵導出関数 (KDFs) は、ハードウェアユニークキーと鍵生成情報を組み合わせます。導出した鍵は、ユーザーキーセキュアストレージ用にキーラッピングを実行します。 ● HUK の一意性は、本 MCU グループの別の個体への不正なクローン作成と不正なコピーを防止します。 ● HUK 自体は、ラッピングされた（暗号化され平文でない）フォーマット、隔離されたメモリ領域に格納されます。そのため、不正なアクセスやコピーから保護されます。
ユニーク ID	● 読み出し専用、128 ビットの MCU 個体固有 ID（ユニーク ID）をアクセスマネジメント回路からアクセス可能 ● 鍵導出関数 (KDFs) は、ユニーク ID と鍵生成情報を組み合わせます。このように導出されたキーは、SCE 内部で HUK をアンラップするのに使用します。
低消費電力	モジュールストップ状態の設定が可能

注 1. SCE5 ライブラリ呼び出しのオーバーヘッドは含みません。

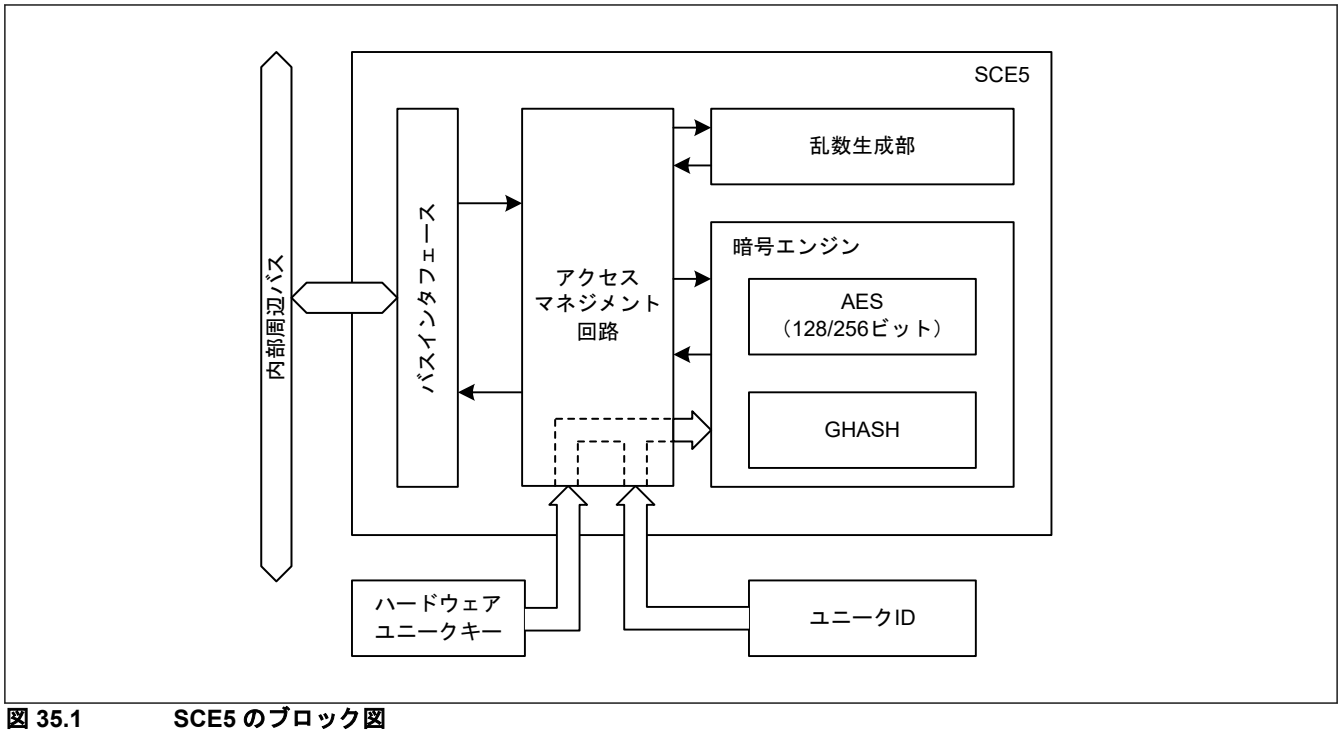


図 35.1 SCE5 のブロック図

35.2 動作説明

35.2.1 暗号エンジン

図 35.2 に SCE5 に搭載している暗号エンジンの概念図を示します。

暗号エンジンは鍵生成情報を使用し、平文を暗号文に、または暗号文を平文に変換する処理をハードウェアで行います。

鍵データや暗号／復号処理の中間データが SCE5 の外部に漏出することなく、暗号／復号処理を行うことができます。

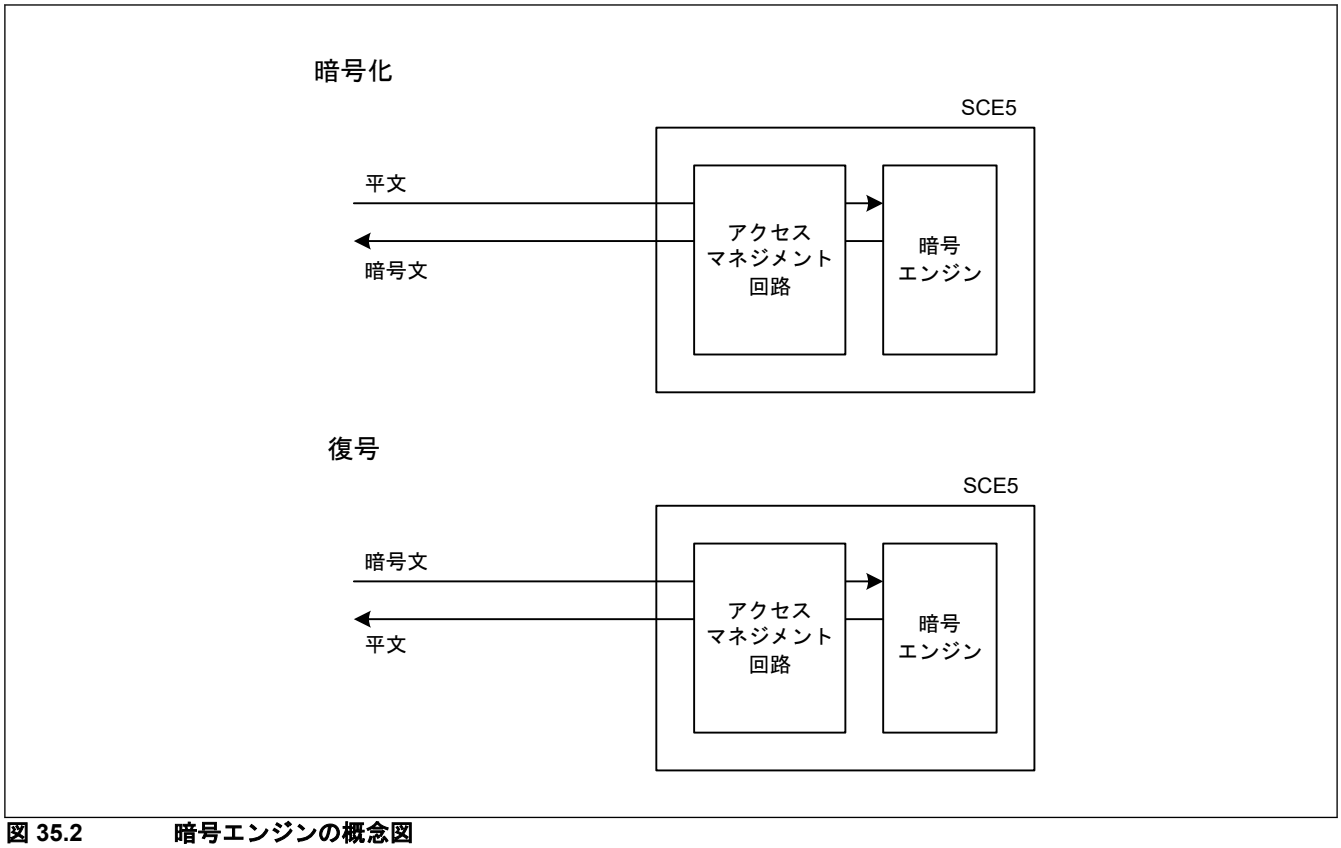


図 35.2 暗号エンジンの概念図

35.2.2 暗号／復号処理

暗号／復号処理は、以下の手順で行います。

1. 鍵生成情報を SCE5 に入力し、鍵データを復元します。
2. 処理対象のデータを SCE5 に入力します。平文は暗号文に、暗号文は平文に変換されます。
3. 変換されたデータを読み出します。

暗号エンジンは入力バッファ、出力バッファを持っており、データの入出力と並行して暗号／復号処理を行うことができます。

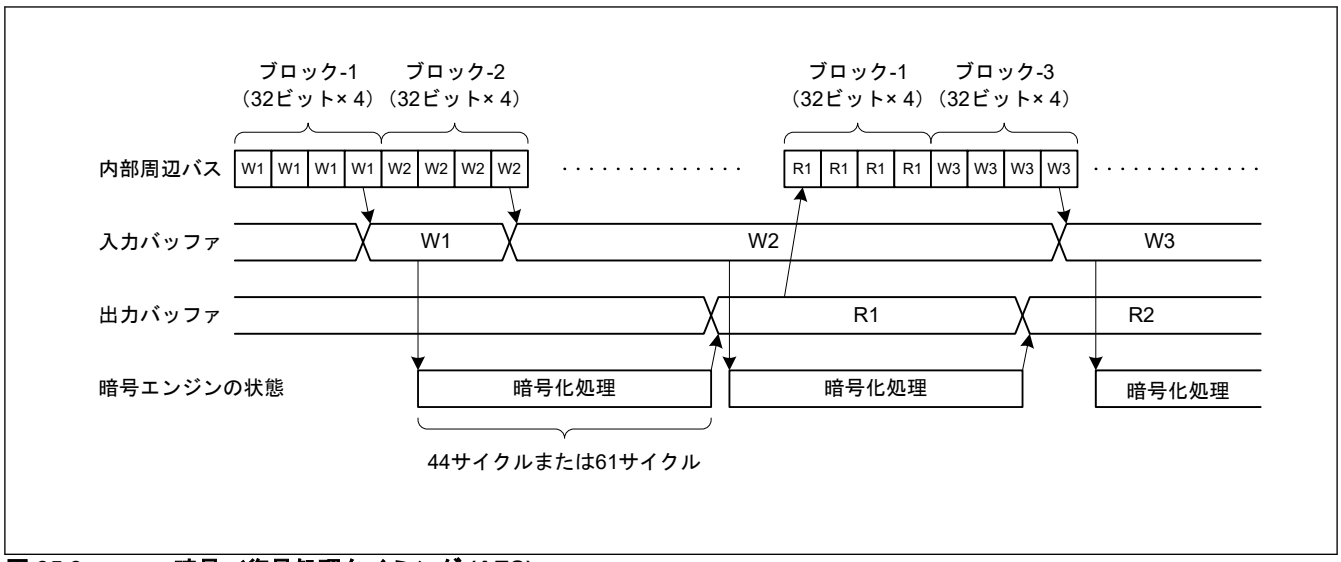


図 35.3 暗号／復号処理タイミング (AES)

35.3 使用上の注意事項

35.3.1 ソフトウェアスタンバイモード

暗号エンジンが処理を実行している途中にソフトウェアスタンバイモードに遷移した場合、ソフトウェアスタンバイモード解除後に適正な処理を再開できません。そのため、ソフトウェアスタンバイモードへの遷移は、暗号エンジンが動作していない状態で行ってください。

35.3.2 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、SCE5 の動作を許可または禁止することが可能です。SCE5 は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

36. A/D コンバータ

ADC モジュールの ADC_B バージョンです。

この章では、ADC_B を ADC と表記します。

36.1 概要

この MCU は、ノイズシェーピング SAR 型の A/D コンバータ (ADC) を 2 ユニット内蔵しています。この A/D コンバータは SAR 型とデルタ-シグマ変調型の特長を有するハイブリッドアーキテクチャです。A/D コンバータユニット 0 (ADC0) は最大 21 チャネルのアナログ入力を選択できます。A/D コンバータユニット 1 (ADC1) は最大 17 チャネルのアナログ入力を選択できます。温度センサ、内部基準電圧、および D/A コンバータは、A/D コンバータユニット 0 またはユニット 1 によって A/D 変換できます。A/D 変換データは、16 ビット、14 ビット、12 ビット、および 10 ビット長データフォーマットから選択可能です。

ADC の特長は以下のとおりです。

- 分解能：最大 16 ビット
- 高速変換：最大 6.25 Msps（1 チャネル当たり 0.16 µs）（A/D 変換クロック ADCLK = 50 MHz の場合）
- 入力チャネル：最大 29 本のアナログ入力チャネル
- シングルエンド入力または差動入力をサポート
- 自己校正機能
- チャネル専用サンプル&ホールド回路 (S&H) 内蔵
- プログラマブルゲインアンプ (PGA) 内蔵

表 36.1 に ADC の仕様を、表 36.2 に ADC の機能と ADC の動作モードの対応関係を、表 36.3 に ADC の入出力端子を示します。

図 36.1 に ADC のブロック図を示します。図 36.2 に A/D コンバータユニット 0 のアナログチャネル構造を示します。図 36.3 に A/D コンバータユニット 1 のアナログチャネル構造を示します。

表 36.5 に拡張アナログ機能の ADC チャネル構成を示します。

表 36.1 ADC の仕様 (1/4)

項目	説明
ユニット数	2 ユニット（ユニット 0 およびユニット 1）
入力チャネル	• シングルエンド入力または差動入力をサポート • 最大 29 本のアナログ入力チャネル – A/D コンバータユニット 0：シングルエンド入力では最大 21 本のアナログ入力チャネル、差動入力では最大 12 本（6 対）のアナログ入力チャネル – A/D コンバータユニット 1：シングルエンド入力では最大 17 本のアナログ入力チャネル、差動入力では最大 8 本（4 対）のアナログ入力チャネル – 9 本のアナログ入力チャネルは A/D コンバータユニット 0 とユニット 1 で共用
拡張アナログ機能	自己診断、温度センサ、内部基準電圧、D/A コンバータ（DA0～DA3）
A/D 変換方式	• 逐次変換レジスタ方式（SAR モード） • ノイズシェーピング逐次変換レジスタ方式（オーバーサンプリングモード、ハイブリッドモード）
A/D コンバータの分解能	• 最大 12 ビット（SAR モード） • 最大 16 ビット（オーバーサンプリングモード、ハイブリッドモード）
変換時間	1 チャネル当たり 0.16 µs（A/D 変換クロック ADCLK = 50 MHz の場合）
A/D 変換クロック	A/D 変換クロック (ADCLK) を設定するには、クロックソースと分周比を以下から選択 • クロックソース：周辺モジュールクロック PCLKC(注1)、周辺モジュールクロック PCLKA(注1)、GPT クロック GPTCLK(注1) • 分周比：1/2/3/4/5/6/7/8 A/D 変換クロック (ADCLK) は、最低 25 MHz から最高 60 MHz の間で動作可能
A/D 変換データ	• A/D 変換結果は、データレジスタまたは FIFO に格納 • A/D 変換結果は、16 ビット、14 ビット、12 ビット、および 10 ビットのデータフォーマットで提供

表 36.1 ADC の仕様 (2/4)

<table>
<tr><th>項目</th><th>説明</th></tr>
<tr><td>動作モード</td><td>
● SAR モード
– A/D コンバータは信号源を 1 度だけサンプリングし、逐次変換レジスタ方式により変換
– 高速 A/D 変換
– 1 つのスキャングループにつき、最大 8 チャネルまでサポート
– シングルエンド入力のみサポート（自己診断機能を除く）
● オーバーサンプリングモード
– A/D コンバータは信号源をオーバーサンプリングし、ノイズシェーピング逐次変換レジスタ方式により A/D 変換
– 高精度 A/D 変換
– 1 つのスキャングループにつき、最大 8 チャネルまでサポート
– シングルエンド入力および差動入力をサポート
● ハイブリッドモード
– A/D コンバータは信号源をオーバーサンプリングし、ノイズシェーピング逐次変換レジスタ方式により A/D 変換
– 高精度 A/D 変換
– 連続スキャン動作で高データレート
– 1 つのスキャングループにつき、最大 4 チャネルまでサポート
– シングルエンド入力および差動入力をサポート
</td></tr>
<tr><td>スキャンモード</td><td>
● シングルスキャンモード
– 任意に選択されたアナログ入力または拡張アナログ機能のアナログチャネルを任意のスキャングループに割り当て、選択されたアナログ入力を 1 つのスキャングループにつき 1 度だけ A/D 変換
– スキャン開始条件をスキャングループごとに別々に選択することで、各スキャングループの A/D 変換を異なるタイミングで開始可能
● 連続スキャンモード
– 任意に選択されたアナログ入力または拡張アナログ機能のアナログチャネルを任意のスキャングループに割り当て、スキャングループ単位で A/D 変換を繰り返す
● バックグラウンド連続スキャンモード
– 任意に選択されたアナログ入力または拡張アナログ機能のアナログチャネルを任意のスキャングループに割り当て、スキャングループ単位で A/D 変換を繰り返す
– バックグラウンドで A/D 変換が実行され、A/D 変換開始トリガが入力されると、その時点の A/D 変換データが得られる
</td></tr>
<tr><td>動作モードとスキャンモードの組み合わせ</td><td>
<table>
<tr><th rowspan="2">スキャンモード</th><th colspan="3">A/D コンバータの動作モード</th></tr>
<tr><th>SAR モード</th><th>オーバーサンプリングモード</th><th>ハイブリッドモード</th></tr>
<tr><td>シングルスキャンモード</td><td>✓</td><td>✓</td><td>✓</td></tr>
<tr><td>連続スキャンモード</td><td>✓</td><td>✓</td><td>✓</td></tr>
<tr><td>バックグラウンド連続スキャンモード</td><td>—</td><td>—</td><td>✓</td></tr>
</table>
注. ✓：使用可能、—：使用不可
</td></tr>
<tr><td>A/D 変換開始条件</td><td>
● ソフトウェアトリガ（スキャングループの同時起動用：最大 9 トリガ）
● ソフトウェアトリガ（各スキャングループの起動用：最大 9 トリガ）
● イベントリンクコントローラからのトリガ：6 トリガ
● GPT からのトリガ：20 トリガ
● 外部トリガ入力：2 トリガ（ADTRGn 入力 (n = 0, 1)）
</td></tr>
</table>

表 36.1 ADC の仕様 (3/4)

項目	説明
機能	● 仮想チャネル機能（37 仮想チャネル） ● スキャングループ機能（最大 9 スキャングループ） ● 可変サンプリング時間（1 本の仮想チャネルごとに 16 テーブルから選択） ● チャネル専用サンプル&ホールド回路 (SH)（A/D コンバータユニット 0 には SH ユニットが 3 つ、A/D コンバータユニット 1 には SH ユニットが 3 つ） ● A/D コンバータの自己診断機能 ● A/D 変換値加算モードと平均モードが選択可能 ● アナログ入力断線検出アシスト機能（ディスチャージ機能およびプリチャージ機能） ● データフォーマットを 16 ビット、14 ビット、12 ビット、10 ビットから選択可能 ● 符号付きデータフォーマットまたは符号なしデータフォーマットを選択可能（オーバーサンプリングモードおよびハイブリッドモードのみをサポート） ● リミッタークリップ機能（最大 8 テーブル） ● コンペアマッチ機能（最大 8 テーブル） ● 自己校正機能 ● ユーザーゲイン調整機能 ● ユーザーオフセット調整機能 ● FIFO 内蔵（1 つのスキャングループにつき 8 ステージ） ● デジタルフィルタ（2 種類）内蔵（オーバーサンプリングモードおよびハイブリッドモードのみをサポート） ● 複数 A/D コンバータユニット対ユニット同期動作機能
プログラマブルゲインアンプ (PGA)	● アナログ入力信号をプログラマブルゲインアンプ (PGA) で増幅し、A/D 変換を行うことが可能（A/D コンバータユニット 0 には PGA が 3 つ、A/D コンバータユニット 1 には PGA が 1 つ） ● シングルエンド入力または疑似差動入力をサポート ● PGA 出力用端子を介したモニタ機能
割り込み要因	● A/D スキャン終了割り込み – スキャングループ i の A/D スキャン動作終了時、割り込み要求および ELC イベントを生成 (ADC_ADIi（i = 0～4）)。割り込み要求は各スキャングループで独立。 – スキャングループ 5～8 のうち、どれかの A/D スキャン動作終了時、割り込み要求および ELC イベントを生成 (ADC_ADI5678)。割り込み要求はスキャングループ 5～8 で共有。 ● FIFO データ読み出し要求割り込み – スキャングループ i の FIFO の空きステージ数が指定値以下になった場合、割り込み要求を生成（ADC_FIFOREQi（i = 0～4）)。割り込み要求は各スキャングループで独立。 – スキャングループ 5～8 のうち、いずれかの FIFO の空きステージ数が指定値以下になった場合、割り込み要求または ELC イベントを生成 (ADC_FIFOREQ5678)。割り込み要求はスキャングループ 5～8 で共有。 ● FIFO データオーバーフロー割り込み – スキャングループ 0～8 の FIFO のどれかでオーバーフローが発生した場合、割り込み要求を生成 (ADC_FIFOOVF) ● リミッタークリップ割り込み – A/D 変換結果に対し、リミッターテーブル 0～7 を使用するリミッタークリップが発生した場合、割り込み要求を生成 (ADC_LIMCLPI) ● コンペアマッチ割り込み – A/D 変換結果に対し、コンペアマッチテーブル j を使用するコンペアマッチが発生した場合、割り込み要求を生成 (ADC_CMPIj (j = 0～3))。割り込み要求は各コンペアマッチテーブルで独立。 ● 複合コンペアマッチ割り込み – コンペアマッチテーブル 0～7 を使用した複合条件のコンペアマッチが発生した場合、割り込み要求と ELC イベントを生成 (ADC_CCMPMm (m = 0, 1)) ● A/D コンバータエラー割り込み – A/D コンバータユニット j で動作エラーが検出された場合、割り込み要求を生成 (ADC_ERRj (j = 0, 1)) ● A/D 変換オーバーフロー割り込み – A/D 変換結果オーバーフローが発生した場合、割り込み要求を生成 (ADC_RESOVFj (j = 0, 1))。割り込み要求は A/D コンバータユニット j ごとに独立。 ● A/D コンバータ校正終了割り込み – A/D コンバータユニット j の校正動作終了時、割り込み要求を生成 (ADC_CALENDj (j = 0, 1))
ELC インタフェース	● トリガ入力 – ELC からのトリガでスキャン開始可能 ● イベント生成 – スキャングループ 0～4 の各スキャン動作終了時、イベントを生成 – スキャングループ 5～8 のうち、どれかのスキャン動作終了時、イベントを生成 – 複合コンペアマッチが発生した場合、イベントを生成
基準電圧	VREFH0 はアナログ基準電圧 VREFL0 はアナログ基準グランド

表 36.1 ADC の仕様 (4/4)

項目	説明
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減(注3)

注 1. 詳細は、「8. クロック発生回路」を参照してください。
注 2. 1 つのスキャングループに最大 8 チャネルを割り当て可能です。
注 3. 詳細は、「10. 低消費電力モード」を参照してください。

表 36.2 ADC の機能と ADC の動作モードの対応関係

機能		SAR モード		オーバーサンプリングモード		ハイブリッドモード		
		シングルスキャンモード	連続スキャンモード	シングルスキャンモード	連続スキャンモード	シングルスキャンモード	連続スキャンモード	バックグラウンド連続スキャンモード
アナログ入力	シングルエンド入力	✓	✓	✓	✓	✓	✓	✓
	差動入力	—(注1)	—(注1)	✓	✓	✓	✓	✓
	プログラマブルゲインアンプ	✓	✓	✓	✓	✓	✓	✓
	チャネル専用サンプル＆ホールド回路	✓	—	—	—	✓	✓	✓
診断機能／拡張アナログ機能	断線検出アシスト機能	✓	✓	✓	✓	✓	✓	—
	自己診断	✓	✓	✓	—	✓	—	—
	内部基準電圧	✓	✓	✓	✓	✓	✓	✓
	温度センサ	✓	✓	✓	✓	✓	✓	✓
	D/A コンバータ (DA0～DA3)	✓	✓	✓	✓	✓	✓	✓
スキャン動作	グループ優先動作	✓	✓	—	—	—	—	—
	複合 A/D コンバータ同期動作	✓	✓	✓	✓	✓	✓	✓
デジタル演算	デジタルフィルタ機能	—	—	✓(注2)	✓(注2)	✓(注2)	✓(注2)	✓(注2)
	ユーザーゲイン／オフセット調整機能	✓	✓	✓	✓	✓	✓	✓
	加算／平均機能	✓	✓	✓	✓	✓	✓	✓
	リミッタークリップ機能	✓	✓	✓	✓	✓	✓	✓
	コンペアマッチ機能	✓	✓	✓	✓	✓	✓	✓
FIFO 機能		✓	✓	✓	✓	✓	✓	✓

注 1. 例外として、自己診断動作でのみ、差動入力モードをサポートしています。
注 2. オーバーサンプリングモードおよびハイブリッドモードの場合、デジタルフィルタ機能の使用を必要とします。

表 36.3 ADC の入出力端子 (1/2)

端子名	入出力	機能
AVCC0	入力	アナログ部の電源端子
AVSS0	入力	アナログ部の電源グランド端子
VREFH0	入力	アナログ基準電圧端子
VREFL0	入力	アナログ基準グランド端子
AN000～AN028	入力	アナログ入力端子
PGAIN0～PGAIN3	入力	プログラマブルゲインアンプ用アナログ入力端子
PGAVSS0～PGAVSS3	入力	プログラマブルゲインアンプ用基準グランド入力端子

表 36.3 ADC の入出力端子 (2/2)

端子名	入出力	機能
PGAOUT0～PGAOUT3	出力	プログラマブルゲインアンプ用電圧モニタ端子
SHIN0P～SHIN2P、 SHIN4P～SHIN6P	入力	チャネル専用サンプル＆ホールド回路用アナログ入力端子 ● シングルエンド入力：信号源へ接続 ● 差動入力：差動入力に対する非反転入力 (+) 端子として機能
SHIN0N～SHIN2N、 SHIN4N～SHIN6N	入力	チャネル専用サンプル＆ホールド回路用アナログ入力端子 ● シングルエンド入力：信号源へ接続 ● 差動入力：差動入力に対する反転入力 (-) 端子として機能
ADTRG0, ADTRG1	入力	A/D 変換開始用外部トリガ入力端子、アクティブ Low

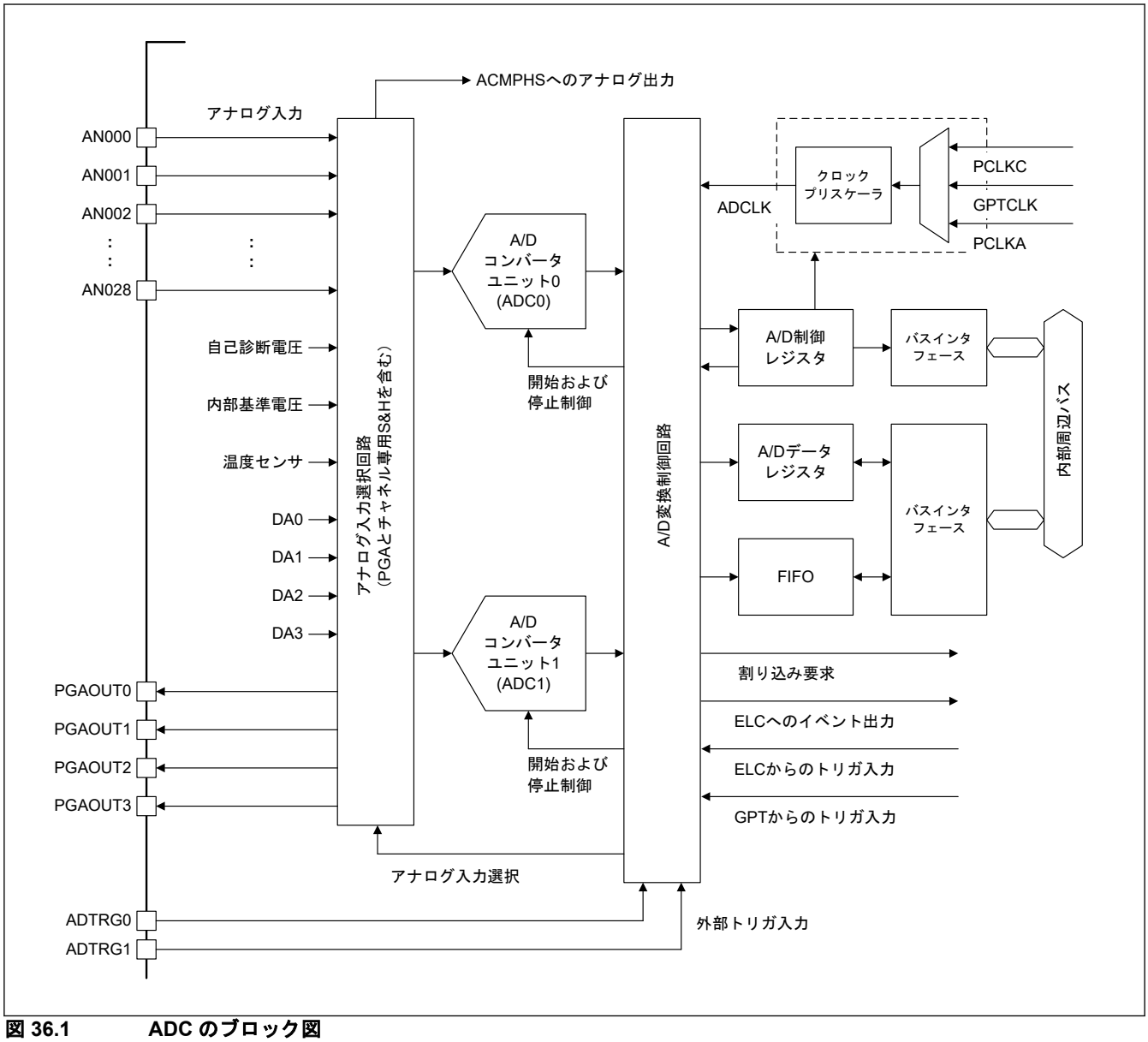


図 36.1 ADC のブロック図

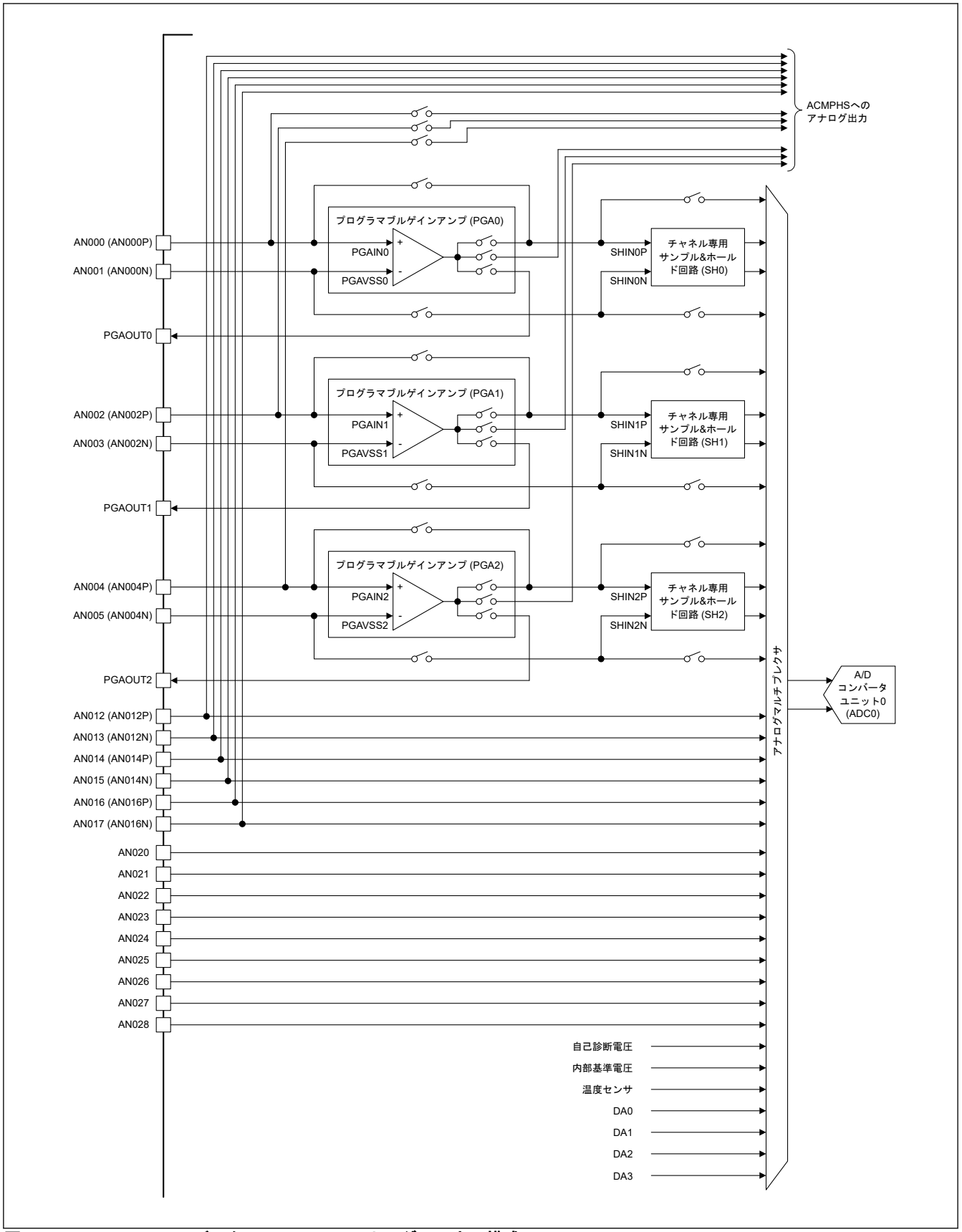


図 36.2 A/D コンバータユニット 0 のアナログチャネル構成

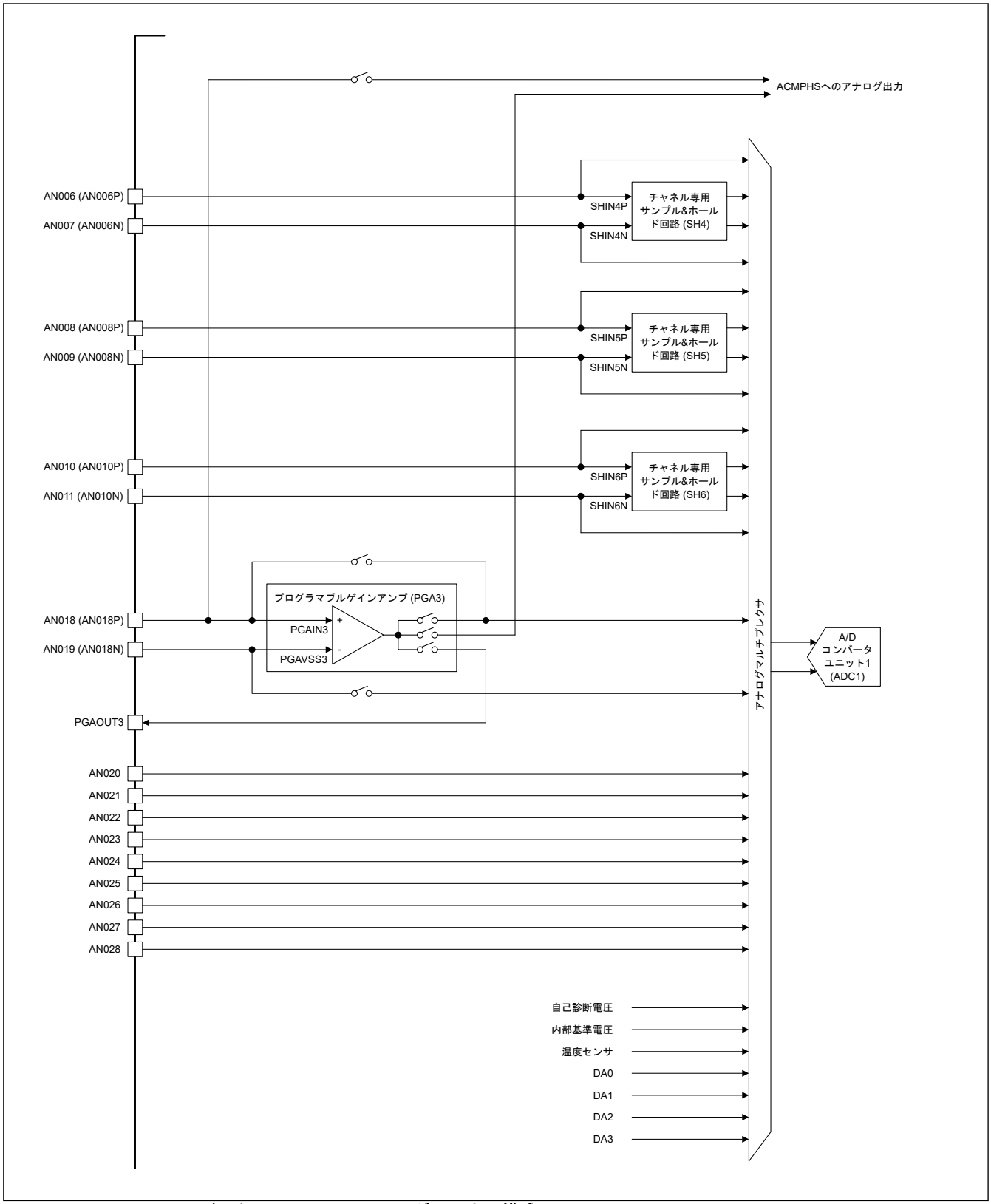


図 36.3 A/D コンバータユニット 1 のアナログチャネル構成

表 36.4 にアナログ入力の ADC チャネル構成を示します。

表 36.4 アナログ入力の ADC チャネル構成

アナログチャネル番号	アナログ信号源			A/D コンバータユニット 0		A/D コンバータユニット 1	
	アナログ入力	プログラマブルゲインアンプ (PGA)	チャネル専用サンプル&ホールド回路 (S&H)(注5)	シングルエンド入力	差動入力 (注6)	シングルエンド入力	差動入力 (注6)
0	AN000 (AN000P)(注3)	PGAIN0	SHIN0P(注3)	✓	✓	—	—
1	AN001 (AN000N)(注2)	PGAVSS0	SHIN0N(注4)	✓		—	
2	AN002 (AN002P)(注3)	PGAIN1	SHIN1P(注3)	✓	✓	—	—
3	AN003 (AN002N)(注2)	PGAVSS1	SHIN1N(注4)	✓		—	
4	AN004 (AN004P)(注3)	PGAIN2	SHIN2P(注3)	✓	✓	—	—
5	AN005 (AN004N)(注2)	PGAVSS2	SHIN2N(注4)	✓		—	
6	AN006 (AN006P)	—	SHIN4P	—	—	✓	✓
7	AN007 (AN006N)	—	SHIN4N	—		✓	
8	AN008 (AN008P)	—	SHIN5P	—	—	✓	✓
9	AN009 (AN008N)	—	SHIN5N	—		✓	
10	AN010 (AN010P)	—	SHIN6P	—	—	✓	✓
11	AN011 (AN010N)	—	SHIN6N	—		✓	
12	AN012 (AN012P)	—	—	✓	✓	—	—
13	AN013 (AN012N)	—	—	✓		—	—
14	AN014 (AN014P)	—	—	✓	✓	—	—
15	AN015 (AN014N)	—	—	✓		—	—
16	AN016 (AN016P)	—	—	✓	✓	—	—
17	AN017 (AN016N)	—	—	✓		—	—
18	AN018 (AN018P)(注3)	PGAIN3(注3)	—	—	—	✓	✓
19	AN019 (AN018N)(注2)	PGAVSS3	—	—		✓(注4)	
20	AN020(注1)	—	—	✓	—	✓	—
21	AN021(注1)	—	—	✓		✓	
22	AN022(注1)	—	—	✓	—	✓	—
23	AN023(注1)	—	—	✓		✓	
24	AN024(注1)	—	—	✓	—	✓	—
25	AN025(注1)	—	—	✓		✓	
26	AN026(注1)	—	—	✓	—	✓	—
27	AN027(注1)	—	—	✓		✓	
28	AN028(注1)	—	—	✓	—	✓	—

注 1. A/D コンバータユニット 0 とユニット 1 の両方から同じ信号源を A/D 変換しないでください。

注 2. プログラマブルゲインアンプ (PGA) がオフであり、PGA がシングルエンド入力に設定されている場合のみ、A/D 変換で ANx をアナログ入力チャネルとして使用できます。PGA がオンの場合、ANx は PGAVSS 端子として動作します。その場合、ANx の A/D 変換を行わないでください。PGA が疑似差動入力に設定されている場合、PGA がオン設定かオフ設定かに関係なく、ANx の A/D 変換はできません。

注 3. プログラマブルゲインアンプ (PGA) がシングルエンド入力モードまたは疑似差動入力モードで使用されていて、PGA 出力の A/D 変換を行う場合、PGAINn (n = 0～3) に対応する A/D 変換チャネルはシングルエンド入力に設定してください。

注 4. プログラマブルゲインアンプ (PGA) を使用する場合、または PGA が疑似作動モードに設定されている場合、チャネル専用サンプル&ホールド回路の SHINxN（反転入力 (−)）は使用できません。

注 5. チャネル専用サンプル&ホールド回路がシングルエンド入力で使用されている場合、SHINxP（非反転入力 (+)）チャネルと SHINxN（反転入力 (−)）チャネルは同じスキャングループ (x = 0～2, 4～6) に割り当ててはなりません。

注 6. 差動入力で A/D 変換を行う場合、A/D 変換対象として偶数チャネルを設定してください。差動入力に対して、偶数チャネルは非反転入力 (+) として機能し、奇数チャネルは反転入力 (−) として機能します。

表 36.5 拡張アナログ機能の ADC チャネル構成

アナログチャネル番号	アナログ信号源(注1)	A/D コンバータユニット 0		A/D コンバータユニット 1	
		シングルエンド入力(注2)	差動入力(注3)	シングルエンド入力(注2)	差動入力(注3)
96	自己診断	—	✓	—	✓
97	温度センサ	✓	—	✓	—
98	内部基準電圧	✓	—	✓	—
101	D/A コンバータチャネル 0	✓	—	✓	—
102	D/A コンバータチャネル 1	✓	—	✓	—
103	D/A コンバータチャネル 2	✓	—	✓	—
104	D/A コンバータチャネル 3	✓	—	✓	—

注 1. A/D コンバータユニット 0 とユニット 1 の両方から同じ信号源を A/D 変換しないでください。
注 2. 拡張アナログ機能（自己診断機能を除く）はシングルエンド入力でのみサポートされています。差動入力に対しては設定しないでください。
注 3. 自己診断機能は差動入力でのみサポートされています。

36.2 レジスタの説明

36.2.1 システム

36.2.1.1 ADCLKENR: A/D 変換クロックイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CLKEN	ADCLK 動作許可 0: ADCLK を停止 1: ADCLK を供給	R/W
31:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADCLKENR レジスタは A/D 変換クロック (ADCLK) の供給を制御します。

36.2.1.2 ADCLKSR: A/D 変換クロックステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKSR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CLKSR	ADCLK ステータス 0: ADCLK は停止中 1: ADCLK は供給されている	R
31:1	—	読むと 0 が読めます。	R

ADCLKSR レジスタは、A/D 変換クロック (ADCLK) の供給状態を示します。

36.2.1.3 ADCLKCR: A/D 変換クロックコントロールレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	DIVR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKSEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CLKSEL[1:0]	ADCLK クロックソース選択 0 0: 周辺モジュールクロック C (PCLKC) 0 1: GPT クロック (GPTCLK) 1 0: 周辺モジュールクロック A (PCLKA) 0 1: 設定禁止	R/W
15:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
18:16	DIVR[2:0]	クロック分周比選択 0 0 0: 1/1 0 0 1: 1/2 0 1 0: 1/3 0 1 1: 1/4 1 0 0: 1/5 1 0 1: 1/6 1 1 0: 1/7 1 1 1: 1/8	R/W
31:19	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADCLKCR レジスタは、A/D 変換クロック (ADCLK) の周波数を選択します。ADCLK の周波数は「46. 電気的特性」に指定する範囲内で設定する必要があります。

CLKSEL[1:0] ビット (ADCLK クロックソース選択)

CLKSEL[1:0] ビットは、A/D 変換クロック (ADCLK) のクロックソースを選択します。

DIVR[2:0] ビット (クロック分周比選択)

DIVR[2:0] ビットは、CLKSEL[1:0] ビットで選択されたクロックソースの分周比を選択します。DIVR[2:0] ビットで設定した分周比で、CLKSEL[1:0] ビットでクロックソースとして選択したクロックを分周したものが、A/D 変換動作クロック (ADCLK) になります。

36.2.1.4 ADSYCR: A/D コンバータ同期動作コントロールレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x00C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADSYDIS1	ADSYDIS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ADSYCYC[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
10:0	ADSYCYC[10:0]	同期動作期間サイクル これらのビットは、2～1023 の範囲内で設定します。 0 および 1 の設定は禁止されています。	R/W
15:11	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	ADSYDIS0	ADC0 同期動作選択 0: ADC0 同期動作を許可 1: ADC0 同期動作を禁止	R/W
17	ADSYDIS1	ADC1 同期動作選択 0: ADC1 同期動作を許可 1: ADC1 同期動作を禁止	R/W
31:18	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADSYCR レジスタは、同期動作機能を制御します。

ADSYCYC[10:0] ビット（同期動作期間サイクル）

本ビットは、同期動作期間サイクルを選択します。

同期動作機能が使用されるかどうかに関係なく、本ビットは 2～1023 の範囲で設定します。0 または 1 の設定は禁止されています。

ADSYDIS0 ビット (ADC0 同期動作選択)

ADSYDIS0 ビットは、ADC0 の同期動作の許可／禁止を選択します。同期動作が許可されている場合、ADC0 は同期動作が許可されている他の A/D コンバータと同期して動作します。

ADSYDIS1 ビット (ADC1 同期動作選択)

ADSYDIS1 ビットは、ADC1 の同期動作の許可／禁止を選択します。同期動作が許可されている場合、ADC1 は同期動作が許可されている他の A/D コンバータと同期して動作します。

36.2.1.5 ADERINTCR: A/D 変換エラー割り込みイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADEIE1	ADEIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADEIE0	ADC0 A/D 変換エラー割り込み許可 0: ADC0 の A/D 変換エラー割り込みを禁止 1: ADC0 の A/D 変換エラー割り込みを許可	R/W
1	ADEIE1	ADC1 A/D 変換エラー割り込み許可 0: ADC1 の A/D 変換エラー割り込みを禁止 1: ADC1 の A/D 変換エラー割り込みを許可	R/W
31:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADERINTCR レジスタは、A/D 変換エラー割り込みの許可／禁止を制御します。

36.2.1.6 ADOVFINTCR: A/D 変換オーバーフロー割り込みイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x024

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADOVFIE1	ADOVFIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADOVFIE0	ADC0 A/D 変換オーバーフロー割り込み許可 0: ADC0 の A/D 変換オーバーフロー割り込みを禁止 1: ADC0 の A/D 変換オーバーフロー割り込みを許可	R/W
1	ADOVFIE1	ADC1 A/D 変換オーバーフロー割り込み許可 0: ADC1 の A/D 変換オーバーフロー割り込みを禁止 1: ADC1 の A/D 変換オーバーフロー割り込みを許可	R/W
31:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADOVFINTCR レジスタは、A/D 変換オーバーフロー割り込みの許可／禁止を制御します。

36.2.1.7 ADCALINTCR: 校正割り込みイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x028

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CALENDIE1	CALENDIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	CALENDIE0	ADC0 校正終了割り込み許可 0: ADC0 の校正終了割り込みを禁止 1: ADC0 の校正終了割り込みを許可	R/W
17	CALENDIE1	ADC1 校正終了割り込み許可 0: ADC1 の校正終了割り込みを禁止 1: ADC1 の校正終了割り込みを許可	R/W
31:18	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADCALINTCR レジスタは、校正終了割り込みの許可／禁止を制御します。

36.2.1.8 ADMDR: A/D コンバータモード選択レジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x040

Bit position:	31	11	8	3	0
Bit field:	—	ADMD1[3:0]	—	ADMD0[3:0]	
Value after reset:	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	ADMD0[3:0]	ADC0 モード選択 0x0: SAR モード（シングルスキャンモード） 0x1: SAR モード（連続スキャンモード） 0x4: オーバーサンプリングモード（シングルスキャンモード） 0x5: オーバーサンプリングモード（連続スキャンモード） 0x8: ハイブリッドモード（シングルスキャンモード） 0x9: ハイブリッドモード（連続スキャンモード） 0xA: ハイブリッドモード（バックグラウンド連続スキャンモード） その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
11:8	ADMD1[3:0]	ADC1 モード選択 0x0: SAR モード（シングルスキャンモード） 0x1: SAR モード（連続スキャンモード） 0x4: オーバーサンプリングモード（シングルスキャンモード） 0x5: オーバーサンプリングモード（連続スキャンモード） 0x8: ハイブリッドモード（シングルスキャンモード） 0x9: ハイブリッドモード（連続スキャンモード） 0xA: ハイブリッドモード（バックグラウンド連続スキャンモード） その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
31:12	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADMDR レジスタは各 A/D コンバータに対して、動作モードとスキャンモードを選択します。

36.2.2 スキャングループ

36.2.2.1 ADGSPCR: A/D グループスキャン優先コントロールレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x044

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	GRP1	LGRRS1	RSCN1	PGS1	—	—	—	—	GRP0	LGRRS0	RSCN0	PGS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PGS0	ADC0 グループ優先制御設定 0: ADC0 動作でグループ優先制御を行わない 1: ADC0 動作で SAR モードにおいてグループ優先制御を行う。SAR モード以外では設定禁止。	R/W
1	RSCN0	ADC0 グループ優先制御設定 2 0: PGS0 を 0 にしたときに設定 1: PGS0 を 1 にしたときに設定	R/W
2	LGRRS0	ADC0 グループ優先制御設定 3 0: PGS0 を 0 にしたときに設定 1: PGS0 を 1 にしたときに設定	R/W
3	GRP0	ADC0 グループ優先制御設定 4 0: 以下の場合に設定 ● PGS0 が 0 のとき ● PGS0 が 1 かつ ADC0 が SAR モード（シングルスキャンモード）のとき (注1) 1: PGS0 が 1 かつ ADC0 が SAR モード（連続スキャンモード）のときに設定	R/W
7:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	PGS1	ADC1 グループ優先制御設定 0: ADC1 動作でグループ優先制御を行わない 1: ADC1 動作で SAR モードにおいてグループ優先制御を行う。SAR モード以外では設定禁止。	R/W
9	RSCN1	ADC1 グループ優先制御設定 2 0: PGS1 を 0 にしたときに設定 1: PGS1 を 1 にしたときに設定	R/W
10	LGRRS1	ADC1 グループ優先制御設定 3 0: PGS1 を 0 にしたときに設定 1: PGS1 を 1 にしたときに設定	R/W
11	GRP1	ADC1 グループ優先制御設定 4 0: 以下の場合に設定 ● PGS1 が 0 のとき ● PGS1 が 1 かつ ADC1 が SAR モード（シングルスキャンモード）のとき (注1) 1: PGS1 が 1 かつ ADC1 が SAR モード（連続スキャンモード）のときに設定	R/W
31:12	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. A/D コンバータユニット n (n = 0, 1) へ 3 つ以上のスキャングループを割り当ててグループ優先動作を行うためには、GRPn を 1 にする必要があります。

ADGSPCR レジスタは、各 A/D コンバータのグループ優先動作を制御します。このレジスタ設定の詳細については、「36.3.18. グループ優先動作」を参照してください。

36.2.2.2 ADSGER: スキャングループイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x048

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SGRE8	SGRE7	SGRE6	SGRE5	SGRE4	SGRE3	SGRE2	SGRE1	SGRE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	SGRE0～SGRE8	スキャングループ n 有効化 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n を無効化 1: スキャングループ n を有効化	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSGER レジスタは、各スキャングループの有効／無効を選択します。

SGREn ビット（スキャングループ n 有効化）(n = 0～8)

SGREn ビットはスキャングループ n の有効／無効を選択します。SGREn ビットを 1 にすると、スキャングループ n の A/D 変換が可能になります。SGREn ビットを 0 にすると、スキャングループ n に対応するトリガが入力されても、スキャングループ n の A/D 変換は行われません。

36.2.2.3 ADSGCR0: スキャングループコントロールレジスタ 0

Base address: ADC_B = 0x4017_0000

Offset address: 0x04C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	SGADS3[1:0]		—	—	—	—	—	—	SGADS2[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SGADS1[1:0]		—	—	—	—	—	—	SGADS0[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SGADS0[1:0]	スキャングループ 0 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
9:8	SGADS1[1:0]	スキャングループ 1 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	SGADS2[1:0]	スキャングループ 2 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	SGADS3[1:0]	スキャングループ 3 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSGCR0 レジスタは、各スキャングループに対して、どちらの A/D コンバータを使用するかを選択します。

36.2.2.4 ADSGCR1: スキャングループコントロールレジスタ 1

Base address: ADC_B = 0x4017_0000

Offset address: 0x050

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	SGADS7[1:0]		—	—	—	—	—	—	SGADS6[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SGADS5[1:0]		—	—	—	—	—	—	SGADS4[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SGADS4[1:0]	スキャングループ 4 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	SGADS5[1:0]	スキャングループ 5 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	SGADS6[1:0]	スキャングループ 6 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	SGADS7[1:0]	スキャングループ 7 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSGCR1 レジスタは、各スキャングループに対して、どちらの A/D コンバータを使用するかを選択します。

36.2.2.5 ADSGCR2: スキャングループコントロールレジスタ 2

Base address: ADC_B = 0x4017_0000

Offset address: 0x054

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SGADS8[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SGADS8[1:0]	スキャングループ 8 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
31:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADSGCR2 レジスタは、各スキャングループに対して、どちらの A/D コンバータを使用するかを選択します。

36.2.2.6 ADINTCR: スキャン終了割り込みイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x05C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ADIE8	ADIE7	ADIE6	ADIE5	ADIE4	ADIE3	ADIE2	ADIE1	ADIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	ADIE0～ADIE8	スキャングループ n スキャン終了割り込み許可 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャン終了割り込みを禁止 1: スキャン終了割り込みを許可	R/W
31:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADINTCR レジスタは、スキャン終了割り込みを許可または禁止します。

36.2.2.7 ADTRGEXTn: 外部トリガイネーブルレジスタ n（n = 0～8）

Base address: ADC_B = 0x4017_0000

Offset address: 0x0C0 + 0x10 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TRGEXT1	TRGEXT0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TRGEXT0	外部トリガ入力 0 (ADTRG0) 許可 0: ADTRG0 を禁止 1: ADTRG0 を許可	R/W
1	TRGEXT1	外部トリガ入力 1 (ADTRG1) 許可 0: ADTRG1 を禁止 1: ADTRG1 を許可	R/W
31:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADTRGEXTn レジスタは、スキャングループ n の A/D 変換の開始条件として、外部トリガ入力 0 および 1（ADTRG0 および ADTRG1）を許可または禁止します。

36.2.2.8 ADTRGELCn: ELC トリガイネーブルレジスタ n（n = 0～8）

Base address: ADC_B = 0x4017_0000

Offset address: 0x0C4 + 0x10 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	TRGELC5	TRGELC4	TRGELC3	TRGELC2	TRGELC1	TRGELC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	TRGELC0～ TRGELC5	ELC トリガ m 許可 各ビットシンボルの添え字は ELC トリガ番号 m に対応します。 0: ELC トリガ m を禁止 1: ELC トリガ m を許可	R/W
31:6	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADTRGELCn レジスタは、スキャングループ n の A/D 変換の開始条件として、ELC トリガ m を許可または禁止します。

36.2.2.9 ADTRGGPTn: GPT トリガイネーブルレジスタ n（n = 0～8）

Base address: ADC_B = 0x4017_0000

Offset address: 0x0C8 + 0x10 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	TRGGPTB9	TRGGPTB8	TRGGPTB7	TRGGPTB6	TRGGPTB5	TRGGPTB4	TRGGPTB3	TRGGPTB2	TRGGPTB1	TRGGPTB0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TRGGPTA9	TRGGPTA8	TRGGPTA7	TRGGPTA6	TRGGPTA5	TRGGPTA4	TRGGPTA3	TRGGPTA2	TRGGPTA1	TRGGPTA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	TRGGPTA0～ TRGGPTA9	GPT チャネル m A/D 変換開始要求 A 許可 各ビットシンボルの添え字は GPT チャネル番号 m に対応します。 0: GPT チャネル m からの A/D 変換開始要求 A を禁止 1: GPT チャネル m からの A/D 変換開始要求 A を許可	R/W
15:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:16	TRGGPTB0～ TRGGPTB9	GPT チャネル m A/D 変換開始要求 B 許可 各ビットシンボルの添え字は GPT チャネル番号 m に対応します。 0: GPT チャネル m からの A/D 変換開始要求 B を禁止 1: GPT チャネル m からの A/D 変換開始要求 B を許可	R/W
31:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADTRGGPTn レジスタは、スキャングループ n の A/D 変換の開始条件として、GPT チャネル m からの A/D 変換開始要求 A/B を許可または禁止します。

36.2.2.10 ADTRGENR: A/D 変換開始トリガイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xC08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	STTRGEN8	STTRGEN7	STTRGEN6	STTRGEN5	STTRGEN4	STTRGEN3	STTRGEN2	STTRGEN1	STTRGEN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	STTRGEN0～ STTRGEN8	スキャングループ n A/D 変換開始トリガ許可 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: A/D 変換開始トリガを禁止 1: A/D 変換開始トリガを許可	R/W
31:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADTRGENR レジスタは、スキャングループ n の A/D 変換を開始するための周辺モジュールからのトリガを許可または禁止します。各スキャングループのトリガは、ADTRGEXTn、ADTRGELCn、および ADTRGGPTn レジスタで選択します。

STTRGENn ビット（スキャングループ n A/D 変換開始トリガ許可）

STTRGENn ビットは、ADTRGEXTn、ADTRGELCn、および ADTRGGPTn レジスタで選択した、周辺モジュールからのトリガ入力を A/D 変換開始条件に使用するかどうかを選択します。

STTRGENn ビットを 1 にした場合、スキャングループ n の A/D 変換は周辺モジュールからのトリガ入力で開始できます。

STTRGENn ビットを 0 にした場合、スキャングループ n の A/D 変換は周辺モジュールからのトリガ入力で開始できません。この設定の場合、スキャングループ n の A/D 変換を開始できる唯一の方法は、ADSYSTR レジスタまたは ADSTRn レジスタに書き込みを行うことです。

36.2.2.11 ADTRGDLR0: A/D 変換開始トリガ遅延レジスタ 0

Base address: ADC_B = 0x4017_0000

Offset address: 0x1C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TRGDLY1[7:0]								—	—	—	—	—	—	—	—	TRGDLY0[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TRGDLY0[7:0]	スキャングループ 0 トリガ入力遅延設定	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	TRGDLY1[7:0]	スキャングループ 1 トリガ入力遅延設定	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGDLR0 レジスタは、各スキャングループの A/D 変換の開始条件である、外部トリガ入力、ELC トリガ、および GPT トリガに追加される入力遅延を制御します。入力遅延値は、「レジスタ設定値 × A/D 変換クロック (ADCLK) の周期」で与えられます。

36.2.2.12 ADTRGDLR1: A/D 変換開始トリガ遅延レジスタ 1

Base address: ADC_B = 0x4017_0000

Offset address: 0x1C4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TRGDLY3[7:0]								—	—	—	—	—	—	—	—	TRGDLY2[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TRGDLY2[7:0]	スキャングループ 2 トリガ入力遅延設定	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	TRGDLY3[7:0]	スキャングループ 3 トリガ入力遅延設定	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGDLR1 レジスタは、各スキャングループの A/D 変換の開始条件である、外部トリガ入力、ELC トリガ、および GPT トリガに追加される入力遅延を制御します。入力遅延値は、「レジスタ設定値 × A/D 変換クロック (ADCLK) の周期」で示されます。

36.2.2.13 ADTRGDLR2: A/D 変換開始トリガ遅延レジスタ 2

Base address: ADC_B = 0x4017_0000

Offset address: 0x1C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TRGDLY5[7:0]								—	—	—	—	—	—	—	—	TRGDLY4[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TRGDLY4[7:0]	スキャングループ 4 トリガ入力遅延設定	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	TRGDLY5[7:0]	スキャングループ 5 トリガ入力遅延設定	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGDLR2 レジスタは、各スキャングループの A/D 変換の開始条件である、外部トリガ入力、ELC トリガ、および GPT トリガに追加される入力遅延を制御します。入力遅延値は、「レジスタ設定値 × A/D 変換クロック (ADCLK) の周期」で示されます。

36.2.2.14 ADTRGDLR3: A/D 変換開始トリガ遅延レジスタ 3

Base address: ADC_B = 0x4017_0000

Offset address: 0x1CC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TRGDLY7[7:0]								—	—	—	—	—	—	—	—	TRGDLY6[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TRGDLY6[7:0]	スキャングループ 6 トリガ入力遅延設定	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	TRGDLY7[7:0]	スキャングループ 7 トリガ入力遅延設定	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGDLR3 レジスタは、各スキャングループの A/D 変換の開始条件である、外部トリガ入力、ELC トリガ、および GPT トリガに追加される入力遅延を制御します。入力遅延値は、「レジスタ設定値 × A/D 変換クロック (ADCLK) の周期」で示されます。

36.2.2.15 ADTRGDLR4: A/D 変換開始トリガ遅延レジスタ 4

Base address: ADC_B = 0x4017_0000

Offset address: 0x1D0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TRGDLY8[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TRGDLY8[7:0]	スキャングループ 8 トリガ入力遅延設定	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGDLR4 レジスタは、各スキャングループの A/D 変換の開始条件である、外部トリガ入力、ELC トリガ、および GPT トリガに追加される入力遅延を制御します。入力遅延値は、「レジスタ設定値 × A/D 変換クロック (ADCLK) の周期」で示されます。

36.2.3 仮想チャネル

36.2.3.1 ADCHCRn: A/D 変換チャネル設定レジスタ n（n = 0～36）

Base address: ADC_B = 0x4017_0000

Offset address: 0x600 + 0x10 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	SSTSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	AINMD	CNVCS[6:0]							—	—	—	SGSEL[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	SGSEL[4:0]	スキャングループ選択 0x00: スキャングループを選択しない 0x01: スキャングループ 0 を選択 0x02: スキャングループ 1 を選択 0x03: スキャングループ 2 を選択 0x04: スキャングループ 3 を選択 : 0x09: スキャングループ 8 を選択 その他: 設定禁止	R/W
7:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
14:8	CNVCS[6:0]	A/D 変換チャネル選択 0x00: AN000 0x01: AN001 : 0x1C: AN028 0x60: 自己診断 0x61: 温度センサ 0x62: 内部基準電圧 0x65: D/A コンバータチャネル 0 0x66: D/A コンバータチャネル 1 0x67: D/A コンバータチャネル 2 0x68: D/A コンバータチャネル 3 その他: 設定禁止	R/W
15	AINMD	アナログ入力モード選択(注1) 0: シングルエンド入力 1: 差動入力	R/W
19:16	SSTSEL[3:0]	サンプリングステートテーブル選択 0x0: サンプリングステートテーブル 0 を選択 0x1: サンプリングステートテーブル 1 を選択 0x2: サンプリングステートテーブル 2 を選択 0x3: サンプリングステートテーブル 3 を選択 : 0xF: サンプリングステートテーブル 15 を選択	R/W
31:20	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. 自己診断が選択された場合に差動入力を選択してください (CNVCS[6:0] = 0x60)。

ADCHCRn レジスタは、A/D 変換のための仮想チャネル設定を選択します。

SGSEL[4:0] ビット (スキャングループ選択)

SGSEL[4:0]ビットは、CNVCS[6:0]で選択したチャネルを割り当てるスキャングループを選択します。SGSEL[4:0]を 0x00 にした場合、CNVCS[6:0]で選択したチャネルは A/D 変換に使用できません。SGSEL[4:0]を 0x00 以外にした場合、設定値に対応するスキャングループのスキャン動作で、CNVCS[6:0]で選択したチャネルを A/D 変換に使用できます。

SAR モードまたはオーバーサンプリングモードでは、1 つのスキャングループに対して、最大 8 本の A/D 変換チャネルを割り当てられます。ハイブリッドモードでは、1 つのスキャングループに対して、最大 4 本の A/D 変換チャネルを割り当てられます。1 つのスキャングループに指定した数以上の A/D 変換チャネルを割り当てないでください。

CNVCS[6:0] ビット (A/D 変換チャネル選択)

CNVCS[6:0]ビットは、A/D 変換のアナログ信号源を選択します。CNVCS[6:0]ビットには、アナログ入力または拡張アナログ機能に対応するチャネル番号の値を設定してください。差動入力モードにおけるアナログ信号源の A/D 変換に対して、CNVCS[6:0]ビットは偶数チャネルに設定してください。差動入力モードで奇数チャネルを設定した場合、A/D 変換は保証されません。

CNVCS[6:0]ビットで選択したチャネルを A/D 変換するには、そのチャネルを SGSEL[4:0]ビットで選択したスキャングループに割り当ててください。

AINMD ビット (アナログ入力モード選択)

AINMD ビットは、CNVCS[6:0]ビットで選択されたアナログ信号源の A/D 変換の入力方式を選択します。AINMD ビットが 0 の場合、シングルエンド入力で A/D 変換が実行されます。AINMD ビットが 1 の場合、差動入力で A/D 変換が実行されます。

CNVCS[6:0]ビットで自己診断チャネルが選択された場合、差動入力を選択してください。

SSTSEL[3:0] ビット (サンプリングステートテーブル選択)

SSTSEL[3:0]ビットは、CNVCS[6:0]ビットで選択したアナログ信号源の A/D 変換のためのサンプリングステートテーブルを選択します。サンプリングステート数は、選択したサンプリングステートテーブル内に設定された値です。

36.2.3.2 ADDOPCRAn: A/D 変換データ演算コントロール A レジスタ n（n = 0～36）

Base address: ADC_B = 0x4017_0000

Offset address: 0x604 + 0x10 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	OFSETSEL[3:0]				—	—	—	—	GAINSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	DFSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	DFSEL[2:0]	デジタルフィルタ選択(注1) (注2) 0x0: デジタルフィルタを使用しない 0x1: 1 番目のデジタルフィルタを使用 0x2: 2 番目のデジタルフィルタを使用 0x3: 3 番目のデジタルフィルタを使用 0x4: 4 番目のデジタルフィルタを使用 その他: 設定禁止	R/W
15:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
19:16	GAINSEL[3:0]	ユーザーゲインテーブル選択 0x0: ユーザーゲインテーブルを使用しない 0x1: ユーザーゲインテーブル 0 を使用 0x2: ユーザーゲインテーブル 1 を使用 0x3: ユーザーゲインテーブル 2 を使用 : 0x8: ユーザーゲインテーブル 7 を使用 その他: 設定禁止	R/W
23:20	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
27:24	OFSETSEL[3:0]	ユーザーオフセットテーブル選択 0x0: ユーザーオフセットテーブルを使用しない 0x1: ユーザーオフセットテーブル 0 を使用 0x2: ユーザーオフセットテーブル 1 を使用 0x3: ユーザーオフセットテーブル 2 を使用 : 0x8: ユーザーオフセットテーブル 7 を使用 その他: 設定禁止	R/W
31:28	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. オーバーサンプリングモードまたはハイブリッドモードで A/D 変換を行うときはいつでも、デジタルフィルタを使用してください。
注 2. SAR モードで A/D 変換を行うときはいつでも、デジタルフィルタは使用禁止です。

ADDOPCRAn レジスタは、仮想チャネル n の A/D 変換データに対してデータ演算機能を選択するレジスタの 1 つです。

DFSEL[2:0]ビット（デジタルフィルタ選択）

DFSEL[2:0]ビットは、仮想チャネル n の A/D 変換データを入力するためのデジタルフィルタを選択します。DFSEL[2:0]ビットに 000b が設定されると、デジタルフィルタは使用されません。DFSEL[2:0]ビットに 001b、010b、011b、または 100b が設定されると、DFSEL[2:0]ビットの設定に対応するデジタルフィルタが選択されます。デジタルフィルタの特性は、ADDFSRm (m = 0, 1) レジスタにより指定されます。

SAR モードでは、DFSEL[2:0]ビットに 000b を選択してください。オーバーサンプリングモードまたはハイブリッドモードでは、DFSEL[2:0]ビットを 001b、010b、011b、または 100b に設定してください。

GAINSEL[3:0] ビット (ユーザーゲインテーブル選択)

GAINSEL[3:0]ビットは、仮想チャネル n の A/D 変換データを調整するためのユーザーゲインテーブルを選択します。

GAINSEL[3:0]ビットを 0x0 にした場合、ゲイン調整は行われません。GAINSEL[3:0]ビットを 0x1～0x8 の間のいずれかにした場合、GAINSEL[3:0]ビットで選択したユーザーゲインテーブルに従って、ゲイン調整が行われます。

OFSETSEL[3:0] ビット (ユーザーオフセットテーブル選択)

OFSETSEL[3:0]ビットは、仮想チャネル n の A/D 変換データを調整するためのユーザーオフセットテーブルを選択します。OFSETSEL[3:0]ビットを 0x0 にした場合、オフセット調整は行われません。OFSETSEL[3:0]ビットを 0x1～0x8 の間のいずれかにした場合、OFSETSEL[3:0]ビットで選択したユーザーオフセットテーブルに従って、オフセット調整が行われます。

36.2.3.3 ADDOPCRBn: A/D 変換データ演算コントロール B レジスタ n（n = 0～36）

Base address: ADC_B = 0x4017_0000

Offset address: 0x608 + 0x10 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	CMPTBLE7	CMPTBLE6	CMPTBLE5	CMPTBLE4	CMPTBLE3	CMPTBLE2	CMPTBLE1	CMPTBLE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	ADC[3:0]				—	—	—	—	—	—	AVEMD[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	AVEMD[1:0]	加算／平均モード選択 0 0: 加算モードも平均モードも使用しない 0 1: 加算モード 1 0: 平均モード 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
11:8	ADC[3:0]	加算／平均回数選択 0x0: 1 回変換（加算なし。通常変換と同じ。） 0x1: 2 回変換（1 回加算を行う） 0x3: 4 回変換（3 回加算を行う） 0x4: 8 回変換（7 回加算を行う） 0x5: 16 回変換（15 回加算を行う） 0x6: 32 回変換（31 回加算を行う） 0x7: 64 回変換（63 回加算を行う） 0x8: 128 回変換（127 回加算を行う） 0x9: 256 回変換（255 回加算を行う） 0xA: 512 回変換（511 回加算を行う） 0xB: 1024 回変換（1023 回加算を行う） その他: 設定禁止	R/W
15:12	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
23:16	CMPTBLE0～ CMPTBLE7	コンペアマッチ許可 各ビットシンボルの添え字はコンペアマッチテーブルの番号 m に対応します。 0: コンペアマッチテーブル m とのコンペアマッチを禁止 1: コンペアマッチテーブル m とのコンペアマッチを許可	R/W
31:24	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADDOPCRBn レジスタは、仮想チャネル n の A/D 変換データに対してデータ演算機能を選択するレジスタの 1 つです。

AVEMD[1:0] ビット (加算／平均モード選択)

AVEMD[1:0]ビットは、仮想チャネル n の A/D 変換のための加算モードまたは平均モードを選択します。AVEMD[1:0]ビットを 00b にした場合、加算／平均動作は行われません。AVEMD[1:0]ビットを 01b または 10b にした場合、ADC[3:0]ビットの設定値に従って加算／平均動作が行われます。

ADC[3:0] ビット (加算／平均回数選択)

ADC[3:0]ビットは、仮想チャネル n の A/D 変換に対する加算／平均回数を選択します。AVEMD[1:0]ビットで加算モードまたは平均モードを選択した場合、ADC[3:0]ビットの設定値に応じた回数分、A/D 変換が行われます。

CMPTBLEm ビット（コンペアマッチ許可）(m = 0～7)

CMPTBLEm ビットは、仮想チャネル n の A/D 変換データに対し、コンペアマッチテーブル m を使ったコンペアマッチを許可または禁止します。

36.2.3.4 ADDOPCRCn: A/D 変換データ演算コントロール C レジスタ n（n = 0～36）

Base address: ADC_B = 0x4017_0000

Offset address: 0x60C + 0x10 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	SIGNSEL	—	—	ADPRC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	LIMTBLS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	LIMTBLS[3:0]	リミッタークリップテーブル選択 0x0: リミッタークリップテーブルを使用しない 0x1: リミッタークリップテーブル 0 を使用 0x2: リミッタークリップテーブル 1 を使用 0x3: リミッタークリップテーブル 2 を使用 : 0x8: リミッタークリップテーブル 7 を使用 その他: 設定禁止	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	ADPRC[1:0]	A/D 変換データフォーマット選択 0 0: A/D 変換結果を 16 ビットデータフォーマットとして格納 0 1: A/D 変換結果を 14 ビットデータフォーマットとして格納 1 0: A/D 変換結果を 12 ビットデータフォーマットとして格納 1 1: A/D 変換結果を 10 ビットデータフォーマットとして格納	R/W
19:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	SIGNSEL	A/D 変換データ符号選択 0: 符号付きデータフォーマット 1: 符号なしデータフォーマット	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADDOPCRCn レジスタは、仮想チャネル n の A/D 変換データに対してデータ演算機能を選択するレジスタの 1 つです。

LIMTBLS[3:0] ビット (リミッタークリップテーブル選択)

LIMTBLS[3:0] ビットは、仮想チャネル n の A/D 変換データをクリップするためのリミッタークリップテーブルを選択します。LIMTBLS[3:0] ビットを 0x0 にすると、A/D 変換データはクリップされません。LIMTBLS[3:0] ビットを 0x1～0x8 の間のいずれかにすると、LIMTBLS[3:0] ビットで選択したリミッタークリップテーブルに従って A/D 変換データはクリップされます。

ADPRC[1:0] ビット (A/D 変換データフォーマット選択)

ADPRC[1:0]ビットは、A/D 変換データのデータ長を選択します。仮想チャネル n の A/D 変換データは、選択したデータ長で A/D データレジスタまたは FIFO に格納されます。

SIGNSEL ビット (A/D 変換データ符号選択)

SIGNSEL ビットは、A/D 変換データの符号付き／符号なしデータフォーマットを選択します。仮想チャネル n の A/D 変換データは、選択したデータフォーマットで A/D データレジスタまたは FIFO に格納されます。

自己診断チャネルの A/D 変換を行うときはいつでも、符号付きデータフォーマット (SIGNSEL = 0) を選択してください。自己診断チャネルの A/D 変換を行わない場合に、SAR モードで A/D 変換を行うときはいつでも、符号なしデータフォーマット (SIGNSEL = 1) を選択してください。オーバーサンプリングモードまたはハイブリッドモードでは、自己診断チャネルの A/D 変換を行わない場合に、符号付きデータフォーマットまたは符号なしデータフォーマットで A/D 変換可能です。

36.2.4 A/D 変換設定

36.2.4.1 ADSGDCRn: スキャングループ診断機能コントロールレジスタ n（n = 0～8）

Base address: ADC_B = 0x4017_0000

Offset address: 0x200 + 0x04 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	ADNDIS[3:0]				—	—	ADDISN	ADDISP	—	—	—	ADDISEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	DIAGVAL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	DIAGVAL[2:0]	自己診断モード選択 0 0 0: 自己診断チャネルが含まれていない場合に設定 自己診断チャネルが 1 つでも含まれる場合は設定禁止 1 0 0: 自己診断モード 1 1 0 1: 自己診断モード 2 1 1 0: 自己診断モード 3 その他: 設定禁止	R/W
15:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	ADDISEN	断線検出アシスト有効化 0: 断線検出アシスト機能を無効化 1: 断線検出アシスト機能を有効化	R/W
19:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
20	ADDISP	断線検出アシストモード選択 （偶数番号アナログチャネル用） 0: ディスチャージ 1: プリチャージ	R/W
21	ADDISN	断線検出アシストモード選択 （奇数番号アナログチャネル用） 0: ディスチャージ 1: プリチャージ	R/W
23:22	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
27:24	ADNDIS[3:0]	断線検出アシスト期間 0x0: 断線検出アシスト機能が有効な場合は設定禁止 0x1: 設定禁止 0x2: 設定禁止 その他: ディスチャージ／プリチャージ期間のステート数	R/W
31:28	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADSGDCRn レジスタは、スキャングループ n のスキャン動作時に診断機能を制御します。

DIAGVAL[2:0] ビット（自己診断モード選択）

DIAGVAL[2:0]ビットは、A/D コンバータの自己診断モードを選択します。

スキャングループ n に、自己診断チャネルを選択した仮想チャネルが 1 つも含まれていない場合、DIAGVAL[2:0]ビットは 000b にする必要があります。スキャングループ n に、自己診断チャネルを選択した仮想チャネルが含まれている場合、DIAGVAL[2:0]ビットは 100b、101b、または 110b にする必要があります。

ADDISEN ビット（断線検出アシスト有効化）

ADDISEN ビットは、断線検出アシスト機能を有効または無効にします。ADDISEN ビットを 0 にする場合、断線検出アシスト動作は実行されません。ADDISEN ビットを 1 にする場合、ADDISP ビットと ADDISN ビットの設定に応じた断線検出アシスト動作が、スキャングループ n のスキャン動作時に実行されます。

ADDISP ビット／ADDISN ビット（断線検出アシストモード選択）

ADDISP ビットと ADDISN ビットは、断線検出の際にディスチャージ／プリチャージ動作を選択します。

ADDISP ビットは、偶数番号のアナログチャネルのディスチャージ／プリチャージ動作を選択します。

ADDISN ビットは、奇数番号のアナログチャネルのディスチャージ／プリチャージ動作を選択します。

ADNDIS[3:0] ビット（断線検出アシスト期間）

ADNDIS[3:0]ビットはディスチャージ／プリチャージ期間を選択します。断線検出アシスト機能が無効 (ADDISEN = 0) の場合、ADNDIS[3:0]ビットを 0x0 にしてください。断線検出アシスト機能が有効 (ADDISEN = 1) の場合、ディスチャージ／プリチャージ期間のステート数として、ADNDIS[3:0]ビットは 0x3～0xF の値を設定してください。

36.2.4.2 ADSSTR0: サンプリングステートテーブルレジスタ 0

Base address: ADC_B = 0x4017_0000

Offset address: 0x240

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SST1[9:0]										—	—	—	—	—	—	SST0[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	

ビット	シンボル	機能	R/W
9:0	SST0[9:0]	サンプリングステートテーブル 0 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:16	SST1[9:0]	サンプリングステートテーブル 1 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
31:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADSSTR0 レジスタは、各サンプリングステートテーブルを使用している A/D 変換時のサンプリング時間を選択します。

36.2.4.3 ADSSTR1: サンプリングステートテーブルレジスタ 1

Base address: ADC_B = 0x4017_0000

Offset address: 0x244

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SST3[9:0]										—	—	—	—	—	—	SST2[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	

ビット	シンボル	機能	R/W
9:0	SST2[9:0]	サンプリングステートテーブル 2 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:16	SST3[9:0]	サンプリングステートテーブル 3 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W

ビット	シンボル	機能	R/W
31:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADSSTR1 レジスタは、各サンプリングステートテーブルを使用している A/D 変換の際のサンプリング時間を選択します。

36.2.4.4 ADSSTR2: サンプリングステートテーブルレジスタ 2

Base address: ADC_B = 0x4017_0000

Offset address: 0x248

Bit position:	31						25									16						9								0
Bit field:	—	—	—	—	—	—	SST5[9:0]									—	—	—	—	—	—	SST4[9:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
9:0	SST4[9:0]	サンプリングステートテーブル 4 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:16	SST5[9:0]	サンプリングステートテーブル 5 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
31:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADSSTR2 レジスタは、各サンプリングステートテーブルを使用している A/D 変換の際のサンプリング時間を選択します。

36.2.4.5 ADSSTR3: サンプリングステートテーブルレジスタ 3

Base address: ADC_B = 0x4017_0000

Offset address: 0x24C

Bit position:	31						25									16						9								0
Bit field:	—	—	—	—	—	—	SST7[9:0]									—	—	—	—	—	—	SST6[9:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

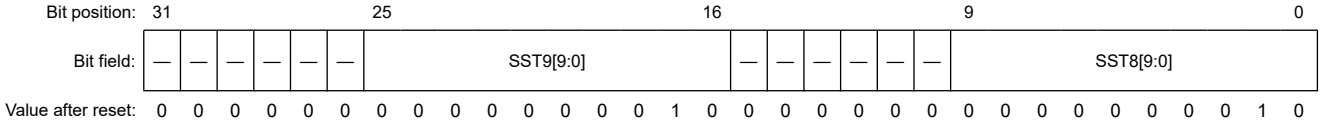
ビット	シンボル	機能	R/W
9:0	SST6[9:0]	サンプリングステートテーブル 6 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:16	SST7[9:0]	サンプリングステートテーブル 7 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
31:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADSSTR3 レジスタは、各サンプリングステートテーブルを使用している A/D 変換の際のサンプリング時間を選択します。

36.2.4.6 ADSSTR4: サンプリングステートテーブルレジスタ 4

Base address: ADC_B = 0x4017_0000

Offset address: 0x250



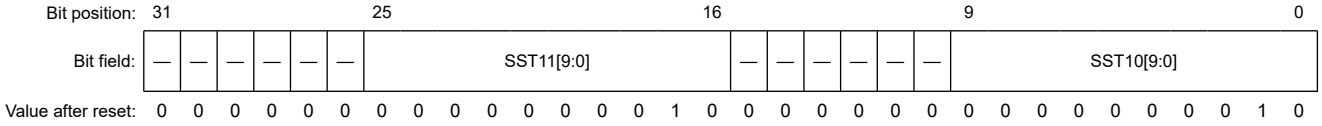
ビット	シンボル	機能	R/W
9:0	SST8[9:0]	サンプリングステートテーブル 8 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:16	SST9[9:0]	サンプリングステートテーブル 9 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
31:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADSSTR4 レジスタは、各サンプリングステートテーブルを使用している A/D 変換の際のサンプリング時間を選択します。

36.2.4.7 ADSSTR5: サンプリングステートテーブルレジスタ 5

Base address: ADC_B = 0x4017_0000

Offset address: 0x254



ビット	シンボル	機能	R/W
9:0	SST10[9:0]	サンプリングステートテーブル 10 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:16	SST11[9:0]	サンプリングステートテーブル 11 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
31:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADSSTR5 レジスタは、各サンプリングステートテーブルを使用している A/D 変換の際のサンプリング時間を選択します。

36.2.4.8 ADSSTR6: サンプリングステートテーブルレジスタ 6

Base address: ADC_B = 0x4017_0000

Offset address: 0x258

ビット	シンボル	機能	R/W
9:0	SST12[9:0]	サンプリングステートテーブル 12 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:16	SST13[9:0]	サンプリングステートテーブル 13 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
31:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADSSTR6 レジスタは、各サンプリングステートテーブルを使用している A/D 変換の際のサンプリング時間を選択します。

36.2.4.9 ADSSTR7: サンプリングステートテーブルレジスタ 7

Base address: ADC_B = 0x4017_0000

Offset address: 0x25C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SST15[9:0]										—	—	—	—	—	—	SST14[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
9:0	SST14[9:0]	サンプリングステートテーブル 14 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:16	SST15[9:0]	サンプリングステートテーブル 15 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
31:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADSSTR7 レジスタは、各サンプリングステートテーブルを使用している A/D 変換の際のサンプリング時間を選択します。

36.2.4.10 ADCNVSTR: A/D 変換ステートレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x260

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CST1[5:0]						—	—	CST0[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1	0

ビット	シンボル	機能	R/W
5:0	CST0[5:0]	A/D コンバータユニット 0 (ADC0) A/D 逐次比較時間設定 これらのビットは、3～63 ステートの間で逐次比較時間を設定します。	R/W
7:6	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
13:8	CST1[5:0]	A/D コンバータユニット 1 (ADC1) A/D 逐次比較時間設定 これらのビットは、3～63 ステートの間で逐次比較時間を設定します。	R/W
31:14	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADCNVSTR レジスタは、サンプリングされたアナログ入力をデジタル値へ変換するために A/D コンバータユニット 0 またはユニット 1 が必要とする A/D 逐次比較時間を、A/D 変換クロック (ADCLK) に基づく周期数で指定します。A/D 逐次比較時間には、アナログ入力のサンプリング時間は含まれません。

A/D 逐次比較時間には、「46. 電気的特性」で指定された値を満足する値を設定する必要があります。もし A/D 逐次比較時間が電気的特性の規定を超える値を設定した場合、A/D 変換結果は保証されません。また、各 A/D コンバータの A/D 逐次比較時間は同じになるように設定してください。(CST0[5:0]ビットと CST1[5:0]ビットに同じ値を設定してください)

36.2.5 S&H、PGA、その他

36.2.5.1 ADSHCR0 : チャネル専用サンプル&ホールド回路コントロールレジスタ 0

Base address: ADC_B = 0x4017_0000

Offset address: 0x280

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SHMD2	SHMD1	SHMD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SHEN2	SHEN1	SHEN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SHEN0	チャネル専用サンプル&ホールド回路ユニット 0 選択 0: 回路ユニット 0 をバイパス 1: 回路ユニット 0 を使用	R/W
1	SHEN1	チャネル専用サンプル&ホールド回路ユニット 1 選択 0: 回路ユニット 1 をバイパス 1: 回路ユニット 1 を使用	R/W
2	SHEN2	チャネル専用サンプル&ホールド回路ユニット 2 選択 0: 回路ユニット 2 をバイパス 1: 回路ユニット 2 を使用	R/W
15:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	SHMD0	チャネル専用サンプル&ホールド回路ユニット 0 入力モード選択 0: シングルエンド入力モード 1: 差動入力モード	R/W
17	SHMD1	チャネル専用サンプル&ホールド回路ユニット 1 入力モード選択 0: シングルエンド入力モード 1: 差動入力モード	R/W
18	SHMD2	チャネル専用サンプル&ホールド回路ユニット 2 入力モード選択 0: シングルエンド入力モード 1: 差動入力モード	R/W
31:19	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADSHCR0 レジスタは、A/D コンバータユニット 0 (ADC0) に接続されたチャネル専用サンプル&ホールド回路(ユニット 0、ユニット 1、およびユニット 2)を制御します。

SHENn ビット(チャネル専用サンプル&ホールド回路バイパス選択)(n = 0〜2)

SHENn ビットは、チャネル専用サンプル&ホールド回路ユニット n を使用するかバイパスするかを選択します。

SHENn ビットを 0 にすると、チャネル専用サンプル&ホールド回路ユニット n は無効になります。チャネル専用サンプル&ホールド回路ユニット n が接続されたアナログ入力チャネルが A/D 変換される場合、チャネル専用サンプル&ホールド回路は使用されず、バイパスされます。

SHENn ビットを 1 にすると、チャネル専用サンプル&ホールド回路ユニット n が有効になります。この場合、チャネル専用サンプル&ホールド回路ユニット n が接続されたアナログ入力チャネルが A/D 変換されるとき、チャネル専用サンプル&ホールド回路は使用されます。

SHMDn ビット（チャネル専用サンプル&ホールド回路入力モード選択）(n = 0～2)

SHMDn ビットは、チャネル専用サンプル&ホールド回路ユニット n の入力モードを選択します。

SHMDn ビットを 0 にすると、チャネル専用サンプル&ホールド回路ユニット n はシングルエンド入力モードになります。

SHMDn ビットを 1 にすると、チャネル専用サンプル&ホールド回路ユニット n は差動入力モードになります。

36.2.5.2 ADSHCR1 : チャネル専用サンプル&ホールド回路コントロールレジスタ 1

Base address: ADC_B = 0x4017_0000

Offset address: 0x28C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SHMD6	SHMD5	SHMD4
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SHEN6	SHEN5	SHEN4
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SHEN4	チャネル専用サンプル&ホールド回路ユニット 4 選択 0: 回路ユニット 4 をバイパス 1: 回路ユニット 4 を使用	R/W
1	SHEN5	チャネル専用サンプル&ホールド回路ユニット 5 選択 0: 回路ユニット 5 をバイパス 1: 回路ユニット 5 を使用	R/W
2	SHEN6	チャネル専用サンプル&ホールド回路ユニット 6 選択 0: 回路ユニット 6 をバイパス 1: 回路ユニット 6 を使用	R/W
15:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	SHMD4	チャネル専用サンプル&ホールド回路ユニット 4 入力モード選択 0: シングルエンド入力モード 1: 差動入力モード	R/W
17	SHMD5	チャネル専用サンプル&ホールド回路ユニット 5 入力モード選択 0: シングルエンド入力モード 1: 差動入力モード	R/W
18	SHMD6	チャネル専用サンプル&ホールド回路ユニット 6 入力モード選択 0: シングルエンド入力モード 1: 差動入力モード	R/W
31:19	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADSHCR1 レジスタは、A/D コンバータユニット 1 (ADC1) に接続されたチャネル専用サンプル&ホールド回路（ユニット 4、ユニット 5、およびユニット 6）を制御します。

SHENn ビット（チャネル専用サンプル&ホールド回路バイパス選択）(n = 4～6)

SHENn ビットは、チャネル専用サンプル&ホールド回路ユニット n を使用するかバイパスするかを選択します。

SHENn ビットを 0 にすると、チャネル専用サンプル&ホールド回路ユニット n は無効になります。チャネル専用サンプル&ホールド回路ユニット n が接続されたアナログ入力チャネルが A/D 変換される場合、チャネル専用サンプル&ホールド回路は使用されず、バイパスされます。

SHENn ビットを 1 にすると、チャネル専用サンプル&ホールド回路ユニット n が有効になります。この場合、チャネル専用サンプル&ホールド回路ユニット n が接続されたアナログ入力チャネルが A/D 変換されるとき、チャネル専用サンプル&ホールド回路は使用されます。

SHMDn ビット（チャネル専用サンプル&ホールド回路入力モード選択）(n = 4～6)

SHMDn ビットは、チャネル専用サンプル&ホールド回路ユニット n の入力モードを選択します。

SHMDn ビットを 0 にすると、チャネル専用サンプル&ホールド回路ユニット n はシングルエンド入力モードになります。

SHMDn ビットを 1 にすると、チャネル専用サンプル&ホールド回路ユニット n は差動入力モードになります。

36.2.5.3 ADSHSTR0 : チャネル専用サンプル&ホールド回路ステートレジスタ 0

Base address: ADC_B = 0x4017_0000

Offset address: 0x288

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SHHST[2:0]			—	—	—	—	—	—	—	—	SHSST[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
7:0	SHSST[7:0]	チャネル専用サンプル&ホールド回路ユニット 0～2 サンプリング時間設定 これらのビットは、4～255 ステートの間でサンプリング時間を設定します。	R/W
15:8	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
18:16	SHHST[2:0]	チャネル専用サンプル&ホールド回路ユニット 0～2 ホールドモード切替時間選択 これらのビットは、2～7 ステージのレンジでホールドモード切替時間を設定します。	R/W
31:19	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADSHSTR0 レジスタは、 A/D コンバータユニット 0 (ADC0) に接続されたチャネル専用サンプル&ホールド回路（ユニット 0、ユニット 1、およびユニット 2）のサンプリング時間とホールドモード切替時間を指定します。本レジスタには、「46. 電気的特性」の規定を満足する値を設定してください。

36.2.5.4 ADSHSTR1 : チャネル専用サンプル&ホールド回路ステートレジスタ 1

Base address: ADC_B = 0x4017_0000

Offset address: 0x294

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SHHST[2:0]			—	—	—	—	—	—	—	—	SHSST[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
7:0	SHSST[7:0]	チャネル専用サンプル&ホールド回路ユニット 4～6 サンプリング時間設定 これらのビットは、4～255 ステートの間でサンプリング時間を設定します。	R/W
15:8	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
18:16	SHHST[2:0]	チャネル専用サンプル&ホールド回路ユニット 4～6 ホールドモード切替時間選択 これらのビットは、2～7 ステージのレンジでホールドモード切替時間を設定します。	R/W
31:19	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADSHSTR1 レジスタは、 A/D コンバータユニット 1 (ADC1) に接続されたチャネル専用サンプル&ホールド回路（ユニット 4、ユニット 5、およびユニット 6）のサンプリング時間とホールドモード切替時間を指定します。本レジスタには、「46. 電気的特性」の規定を満足する値を設定してください。

36.2.5.5 ADPGACRn: プログラマブルゲインアンプコントロールレジスタ n (n = 0～3)

Base address: ADC_B = 0x4017_0000

Offset address: 0x2C0 + 0x04 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	PGAGAIN[3:0]				—	—	PGADG[1:0]		—	—	—	PGAGEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	PGAENAMP	PGASEL1	PGADEN	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1 (注1)	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
1	PGADEN	PGA ユニット n 入力モード選択(注1) 0: シングルエンド入力モード 1: 疑似差動入力モード	R/W
2	PGASEL1	PGA ユニット n アンプ出力許可 0: PGA を通る経路で信号を出力しない 1: PGA を通る経路で信号を出力する	R/W
3	PGAENAMP	PGA ユニット n 有効化 0: PGA を無効化 1: PGA を有効化	R/W
15:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	PGAGEN	PGA ユニット n ゲイン設定有効化 0: ゲイン設定を無効化 1: ゲイン設定を有効化	R/W
19:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
21:20	PGADG[1:0]	PGA ユニット n 差動入力ゲイン設定 PGA がシングルエンド入力モードの場合、00b を設定。 PGA が疑似差動入力モードの場合、下記の値を選択。 0 0: 1.500 倍 0 1: 2.333 倍 1 0: 4.000 倍 1 1: 5.667 倍	R/W
23:22	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
27:24	PGAGAIN[3:0]	PGA ユニット n ゲイン設定 0x0: 2.000 倍（PGA がシングルエンド入力モード） 設定禁止（PGA が疑似差動入力モード） 0x1: 2.500 倍（PGA がシングルエンド入力モード） 1.500 倍（PGA が疑似差動入力モード） 0x2: 2.667 倍（PGA がシングルエンド入力モード） 設定禁止（PGA が疑似差動入力モード） 0x3: 2.857 倍（PGA がシングルエンド入力モード） 設定禁止（PGA が疑似差動入力モード） 0x4: 3.077 倍（PGA がシングルエンド入力モード） 設定禁止（PGA が疑似差動入力モード） 0x5: 3.333 倍（PGA がシングルエンド入力モード） 2.333 倍（PGA が疑似差動入力モード） 0x6: 3.636 倍（PGA がシングルエンド入力モード） 設定禁止（PGA が疑似差動入力モード） 0x7: 4.000 倍（PGA がシングルエンド入力モード） 設定禁止（PGA が疑似差動入力モード） 0x8: 4.444 倍（PGA がシングルエンド入力モード） 設定禁止（PGA が疑似差動入力モード） 0x9: 5.000 倍（PGA がシングルエンド入力モード） 4.000 倍（PGA が疑似差動入力モード） 0xA: 5.714 倍（PGA がシングルエンド入力モード） 設定禁止（PGA が疑似差動入力モード） 0xB: 6.667 倍（PGA がシングルエンド入力モード） 5.667 倍（PGA が疑似差動入力モード） 0xC: 8.000 倍（PGA がシングルエンド入力モード） 設定禁止（PGA が疑似差動入力モード） 0xD: 10.000 倍（PGA がシングルエンド入力モード） 設定禁止（PGA が疑似差動入力モード） 0xE: 13.333 倍（PGA がシングルエンド入力モード） 設定禁止（PGA が疑似差動入力モード） 0xF: 設定禁止	R/W
31:28	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. リセット後の初期値は、オプション設定メモリ内のオプション機能選択レジスタ 1 のユーザー設定により異なります。

ADPGACRn レジスタは、プログラマブルゲインアンプユニット n を制御します。

PGADEN ビット（PGA ユニット n 入力モード選択）

PGADEN ビットは、PGA ユニット n に対し、シングルエンド入力モードまたは疑似差動入力モードを選択します。

PGASEL1 ビット（PGA ユニット n アンプ出力許可）

PGASEL1 ビットは、PGA ユニット n の出力を制御します。

PGAENAMP ビット（PGA ユニット n 有効化）

PGAENAMP ビットは、PGA ユニット n 内のアンプの電源投入を制御します。PGAENAMP ビットを 1 にすると、PGA ユニット n 内のアンプが有効になります。

PGAGEN ビット（PGA ユニット n ゲイン設定有効化）

PGAGEN ビットは、PGA ユニット n のゲイン設定を有効または無効にします。

PGADG[1:0] ビット（PGA ユニット n 差動入力ゲイン設定）

PGADG[1:0]ビットは、疑似差動入力モードの PGA ユニット n 内のアンプのゲインを指定します。PGADG[1:0]ビットは、PGAGAIN[3:0]と組み合わせて使用します。

PGAGAIN[3:0] ビット（PGA ユニット n ゲイン設定）

PGAGAIN[3:0]ビットは、PGA ユニット n 内のアンプのゲインを指定します。疑似差動入力モード（PGADEN = 1 かつ PGAGEN = 1）のとき、PGAGAIN[3:0]ビットは PGADG[1:0]ビットと組み合わせて使用します。

36.2.5.6 ADPGAMONCR: プログラマブルゲインアンプモニタ出力コントロールレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x300

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	MONSEL3	MONSEL2	MONSEL1	MONSEL0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	PGAMON[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	PGAMON[2:0]	PGA モニタ信号選択 0x0: モニタ信号 (Hi-Z) を選択しない 0x1: PGA 出力 その他: 設定禁止	R/W
15:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
16	MONSEL0	PGA ユニット 0 モニタ出力有効化 0: モニタ出力を無効化 1: モニタ出力を有効化	R/W
17	MONSEL1	PGA ユニット 1 モニタ出力有効化 0: モニタ出力を無効化 1: モニタ出力を有効化	R/W
18	MONSEL2	PGA ユニット 2 モニタ出力有効化 0: モニタ出力を無効化 1: モニタ出力を有効化	R/W
19	MONSEL3	PGA ユニット 3 モニタ出力有効化 0: モニタ出力を無効化 1: モニタ出力を有効化	R/W
31:20	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADPGAMONCR レジスタは、PGA アナログ入力信号および出力信号用の PGA モニタ出力機能を制御します。

PGAMON[2:0] ビット (PGA モニタ信号選択)

PGAMON[2:0]ビットは、入出力ポート端子からどのアナログ信号を出力するかを選択します。この設定はすべての PGA ユニットに適用されます。

MONSELn ビット（PGA モニタ出力設定）（n = 0～3）

MONSELn ビットは、PGA ユニット n のモニタ出力機能を有効または無効にします。MONSELn ビットを 0 にすると、PGA ユニット n に入力されたアナログ信号は、モニタのために出力されません。MONSELn ビットを 1 にすると、PGA ユニット n に入力された、PGAMON[2:0]で選択したアナログ信号を入出力ポート端子上でモニタできます。

注. 入出力ポートの設定も必要です。詳細は、「18. I/O ポート」を参照してください。

36.2.5.7 ADREFCR: 内部基準電圧監視イネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x320

Bit position:	31																													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VDE	内部基準電圧 A/D 変換選択 0: 内部基準電圧の A/D 変換無効化 1: 内部基準電圧の A/D 変換有効化	R/W
31:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADREFCR レジスタは、内部基準電圧回路の機能を制御します。内部基準電圧を A/D 変換する場合、VDE ビットを 1 にしてください。

36.2.6 デジタルフィルタ

36.2.6.1 ADDFSRn: A/D コンバータデジタルフィルタ選択レジスタ n (n = 0, 1)

Base address: ADC_B = 0x4017_0000

Offset address: 0x340 + 0x04 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	DFSEL3[1:0]		—	—	—	—	—	—	DFSEL2[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	DFSEL1[1:0]		—	—	—	—	—	—	DFSEL0[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	DFSEL0[1:0]	A/D コンバータユニット n 第 1 デジタルフィルタ特性選択 0 1: Sinc フィルタ 1 0: 最小位相フィルタ その他: 設定禁止	R/W
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
9:8	DFSEL1[1:0]	A/D コンバータユニット n 第 2 デジタルフィルタ特性選択 0 1: Sinc フィルタ 1 0: 最小位相フィルタ その他: 設定禁止	R/W
15:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
17:16	DFSEL2[1:0]	A/D コンバータユニット n 第 3 デジタルフィルタ特性選択 0 1: Sinc フィルタ 1 0: 最小位相フィルタ その他: 設定禁止	R/W
23:18	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:24	DFSEL3[1:0]	A/D コンバータユニット n 第 4 デジタルフィルタ特性選択 0 1: Sinc フィルタ 1 0: 最小位相フィルタ その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
31:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADDFSRn レジスタは A/D コンバータユニット n のデジタルフィルタの特性を選択します。A/D 変換に使用されるデジタルフィルタの選択は、ADDOPCRAm レジスタ (m = 0～36) により指定されます。デジタルフィルタ機能を ADDFSRn.DFSELx[1:0] (x = 0～3) ビットで禁止された設定値で使用した場合、A/D 変換特性および A/D 変換結果は保証されません。

36.2.7 自己校正

36.2.7.1 ADCALSTCR : A/D コンバータ自己校正ステートレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x264

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	CALADCST[5:0]						—	—	—	—	—	—	CALADSST[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
9:0	CALADSST[9:0]	A/D コンバータ自己校正サンプリング時間設定 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
21:16	CALADCST[5:0]	A/D コンバータ自己校正逐次比較時間設定 これらのビットは、3～63 ステートの間で逐次比較時間を設定します。	R/W
31:22	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADCALSTCR レジスタは、すべての A/D コンバータ (ADC0, ADC1) の自己校正動作時のサンプリング時間と A/D 逐次比較時間を指定します。サンプリング時間と逐次比較時間は、A/D 変換クロック (ADCLK) に基づくクロックサイクル数で設定し、「46. 電気的特性」で指定された値を満足するようにしてください。

36.2.7.2 ADCALSHCR : チャネル専用サンプル&ホールド回路自己校正ステートレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x2B0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	CALSHHST[2:0]			—	—	—	—	—	—	—	—	CALSHSST[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
7:0	CALSHSST[7:0]	チャネル専用サンプル&ホールド回路自己校正サンプリング時間設定 これらのビットは、5～255 ステートの間でサンプリング時間を設定します。	R/W
15:8	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
18:16	CALSHHST[2:0]	チャネル専用サンプル&ホールド回路自己校正ホールドモード切替時間設定 これらのビットは、2～7 ステートの間でホールドモード切替時間を設定します。	R/W
31:19	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADCALSHCR レジスタは、自己校正動作時のすべてのチャネル専用サンプル&ホールド回路（SH0～SH2、SH4～SH6）のサンプリング時間とホールドモード切替時間を指定します。サンプリング時間とホールドモード切替時間は、A/D 変換クロック (ADCLK) に基づくクロックサイクル数で設定し、「46. 電気的特性」で指定された値を満足するようにしてください。

36.2.7.3 ADUOFTRn: ユーザーオフセットテーブルレジスタ n（n = 0～7）

Base address: ADC_B = 0x4017_0000

Offset address: 0x360 + 0x04 × n

Bit position:	31															15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UOFSET[15:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	UOFSET[15:0]	ユーザーオフセットテーブル n 0x7FFF: +32767 0x7FFE: +32766 : 0x0002: +2 0x0001: +1 0x0000: 0（ユーザーオフセットなし） 0xFFFF: -1 0xFFFE: -2 : 0x8001: -32767 0x8000: -32768	R/W
31:16	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADUOFTRn レジスタは、ユーザーオフセットテーブル n 内のオフセット値を指定します。

36.2.7.4 ADUGTRn: ユーザーゲインテーブルレジスタ n（n = 0～7）

Base address: ADC_B = 0x4017_0000

Offset address: 0x380 + 0x04 × n

Bit position:	31								23																				0
Bit field:	—	—	—	—	—	—	—	—	UGAIN[23:0]																				
Value after reset:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
23:0	UGAIN[23:0]	ユーザーゲインテーブル n これらのビットは、A/D 変換結果に乗じるゲイン値を設定します。 UGAIN[23:22]: ゲインの整数部分 UGAIN[21:0]: ゲインの小数部分	R/W
31:24	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADUGTRn レジスタは、ユーザーゲインテーブル n 内のゲイン値を指定します。

36.2.8 リミッタークリップ機能

36.2.8.1 ADLIMINTCR: リミッタークリップ割り込みイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x3A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LIMIE8	LIMIE7	LIMIE6	LIMIE5	LIMIE4	LIMIE3	LIMIE2	LIMIE1	LIMIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	LIMIE0～LIMIE8	リミッタークリップ割り込み n 許可ビット 各ビットシンボルの添え字はリミッタークリップ割り込み番号 n に対応します。 0: リミッタークリップ割り込み n を禁止 1: リミッタークリップ割り込み n を許可	R/W
31:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADLIMINTCR レジスタは、リミッタークリップ割り込み n を許可または禁止します。

36.2.8.2 ADLIMTRn: リミッタークリップテーブルレジスタ n（n = 0～7）

Base address: ADC_B = 0x4017_0000

Offset address: 0x3A4 + 0x04 × n

Bit position:	31	16	15	0
Bit field:	LIMU[15:0]		LIML[15:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
15:0	LIML[15:0]	リミッタークリップテーブル n: 下限値	R/W
31:16	LIMU[15:0]	リミッタークリップテーブル n: 上限値	R/W

ADLIMTRn レジスタは、リミッタークリップテーブル n の下限値と上限値を指定します。

36.2.8.3 ADLIMGRSR: リミッタークリップスキャングループステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LIMGRF8	LIMGRF7	LIMGRF6	LIMGRF5	LIMGRF4	LIMGRF3	LIMGRF2	LIMGRF1	LIMGRF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	LIMGRF0～ LIMGRF8	スキャングループ n リミッタークリップフラグ 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n のリミッタークリップは未検出 1: スキャングループ n のリミッタークリップを検出	R
31:9	—	読むと 0 が読めます。	R

ADLIMGRSR レジスタは、スキャングループ n のスキャン動作でリミッタークリップが発生したかどうかを示します。各フラグは ADLIMGRSCR でクリアできます。

36.2.8.4 ADLIMCHSR0: リミッタークリップチャネルステータスレジスタ 0

Base address: ADC_B = 0x4017_0000

Offset address: 0xD2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	LIMCHF28	LIMCHF27	LIMCHF26	LIMCHF25	LIMCHF24	LIMCHF23	LIMCHF22	LIMCHF21	LIMCHF20	LIMCHF19	LIMCHF18	LIMCHF17	LIMCHF16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LIMCHF15	LIMCHF14	LIMCHF13	LIMCHF12	LIMCHF11	LIMCHF10	LIMCHF9	LIMCHF8	LIMCHF7	LIMCHF6	LIMCHF5	LIMCHF4	LIMCHF3	LIMCHF2	LIMCHF1	LIMCHF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	LIMCHF0～ LIMCHF28	アナログチャネル n：リミッタークリップフラグ 各ビットシンボルの添え字はアナログチャネル番号 n に対応します。 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
31:29	—	読むと 0 が読めます。	R

ADLIMCHSR0 レジスタは、アナログチャネル n が A/D 変換されたときに、リミッタークリップが発生したかどうかを示します。各フラグは ADLIMCHSCR0 でクリアできます。

36.2.8.5 ADLIMEXSR : 拡張アナログリミッタークリップステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD38

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LIMEXF8	LIMEXF7	LIMEXF6	LIMEXF5	—	—	LIMEXF2	LIMEXF1	LIMEXF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LIMEXF0	自己診断チャネル：リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R

ビット	シンボル	機能	R/W
1	LIMEXF1	温度センサチャネル：リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
2	LIMEXF2	内部基準電圧チャネル：リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
4:3	—	読むと 0 が読めます。	R
5	LIMEXF5	D/A コンバータ 0 チャネル：リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
6	LIMEXF6	D/A コンバータ 1 チャネル：リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
7	LIMEXF7	D/A コンバータ 2 チャネル：リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
8	LIMEXF8	D/A コンバータ 3 チャネル：リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
31:9	—	読むと 0 が読めます。	R

ADLIMEXSR レジスタは、拡張アナログ機能（チャネル番号は 96～98、101～104）が A/D 変換されたときに、リミッタークリップが発生したかどうかを示します。各フラグは ADLIMEXSCR でクリアできます。

36.2.8.6 ADLIMGRSCR: リミッタークリップスキャングループステータスクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD3C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LIMGRC8	LIMGRC7	LIMGRC6	LIMGRC5	LIMGRC4	LIMGRC3	LIMGRC2	LIMGRC1	LIMGRC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	LIMGRC0～ LIMGRC8	スキャングループ n リミッタークリップフラグクリア 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: ADLIMGRSR.LIMGRFn をクリア	W
31:9	—	書く場合、0 としてください。	W

ADLIMGRSCR レジスタは、スキャングループ n のリミッタークリップフラグ (ADLIMGRSR.LIMGRFn) をクリアします。

36.2.8.7 ADLIMCHSCR0: リミッタークリップチャネルステータスクリアレジスタ 0

Base address: ADC_B = 0x4017_0000

Offset address: 0xD40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	LIMCHC28	LIMCHC27	LIMCHC26	LIMCHC25	LIMCHC24	LIMCHC23	LIMCHC22	LIMCHC21	LIMCHC20	LIMCHC19	LIMCHC18	LIMCHC17	LIMCHC16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LIMCHC15	LIMCHC14	LIMCHC13	LIMCHC12	LIMCHC11	LIMCHC10	LIMCHC9	LIMCHC8	LIMCHC7	LIMCHC6	LIMCHC5	LIMCHC4	LIMCHC3	LIMCHC2	LIMCHC1	LIMCHC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	LIMCHC0～ LIMCHC28	アナログチャネル n リミッタークリップフラグクリアビット 各ビットシンボルの添え字はアナログチャネル番号 n に対応します。 0: 無効 1: ADLIMCHSR0.LIMCHFn をクリア	W
31:29	—	書く場合、0 としてください。	W

ADLIMCHSCR0 レジスタは、アナログチャネル n のリミッタークリップフラグ (ADLIMCHSR0.LIMCHFn) をクリアします。

36.2.8.8 ADLIMEXSCR: 拡張アナログリミッタークリップステータスクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD4C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LIMEXF8	LIMEXF7	LIMEXF6	LIMEXF5	—	—	LIMEXF2	LIMEXF1	LIMEXF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LIMEXF0	自己診断チャネル：リミッタークリップフラグクリア 0: 無効 1: ADLIMEXSR.LIMEXF0 をクリア	W
1	LIMEXF1	温度センサチャネル：リミッタークリップフラグクリア 0: 無効 1: ADLIMEXSR.LIMEXF1 をクリア	W
2	LIMEXF2	内部基準電圧チャネル：リミッタークリップフラグクリア 0: 無効 1: ADLIMEXSR.LIMEXF2 をクリア	W
4:3	—	書く場合、0 としてください。	W
5	LIMEXF5	D/A コンバータ 0 チャネル：リミッタークリップフラグクリア 0: 無効 1: ADLIMEXSR.LIMEXF5 をクリア	W

ビット	シンボル	機能	R/W
6	LIMEXF6	D/A コンバータ 1 チャネル：リミッタークリップフラグクリア 0: 無効 1: ADLIMEXSR.LIMEXF6 をクリア	W
7	LIMEXF7	D/A コンバータ 2 チャネル：リミッタークリップフラグクリア 0: 無効 1: ADLIMEXSR.LIMEXF7 をクリア	W
8	LIMEXF8	D/A コンバータ 3 チャネル：リミッタークリップフラグクリア 0: 無効 1: ADLIMEXSR.LIMEXF8 をクリア	W
31:9	—	書く場合、0 としてください。	W

ADLIMEXSCR レジスタは、拡張アナログ機能のリミッタークリップフラグをクリアします。

36.2.9 コンペアマッチ機能

36.2.9.1 ADCMPENR: コンペアマッチイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x400

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CMPEN7	CMPEN6	CMPEN5	CMPEN4	CMPEN3	CMPEN2	CMPEN1	CMPEN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CMPEN0～CMPEN7	コンペアマッチ n 有効化 各ビットシンボルの添え字はコンペアマッチ番号 n に対応します。 0: コンペアマッチ n を無効化 1: コンペアマッチ n を有効化	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCMPENR レジスタは、コンペアマッチ n を有効または無効にします。

36.2.9.2 ADCMPINTCR: コンペアマッチ割り込みイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x404

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	CMPIE3	CMPIE2	CMPIE1	CMPIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CMPIE0～CMPIE3	コンペアマッチ割り込み n 許可 各ビットシンボルの添え字はコンペアマッチ割り込み番号 n に対応します。 0: コンペアマッチ割り込み n を禁止 1: コンペアマッチ割り込み n を許可	R/W
31:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADCMPINTCR レジスタは、コンペアマッチ割り込み n を許可または禁止します。

36.2.9.3 ADCCMPCRn: 複合コンペアマッチ設定レジスタ n (n = 0, 1)

Base address: ADC_B = 0x4017_0000

Offset address: 0x408 + 0x04 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	CCMPTBL7	CCMPTBL6	CCMPTBL5	CCMPTBL4	CCMPTBL3	CCMPTBL2	CCMPTBL1	CCMPTBL0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CCMPCND[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CCMPCND[1:0]	複合コンペアマッチ条件選択 0 0: 論理和 (OR) 条件 0 1: 論理積 (AND) 条件 1 0: 排他的論理和 (EXOR) 条件 1 1: 設定禁止	R/W
15:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
23:16	CCMPTBL0～CCMPTBL7	複合コンペアマッチ条件テーブル選択 0: コンペアマッチテーブル m を使用しない 1: コンペアマッチテーブル m を使用する	R/W
31:24	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADCCMPCRn レジスタは、複合コンペアマッチ割り込み n の条件を設定します。

CCMPCND[1:0] ビット（複合コンペアマッチ条件選択）

CCMPCND[1:0]ビットは、複合コンペアマッチ割り込み n の生成条件を選択します。

CCMPTBLm ビット（複合コンペアマッチ条件テーブル選択）(m = 0～7)

CCMPTBLm ビットは、複合コンペアマッチ割り込みの生成条件として、コンペアマッチテーブル m を使用するかどうかを選択します。

36.2.9.4 ADCMPMDR0: コンペアマッチモード選択レジスタ 0

Base address: ADC_B = 0x4017_0000

Offset address: 0x448

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	CMPMD3[1:0]		—	—	—	—	—	—	CMPMD2[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPMD1[1:0]		—	—	—	—	—	—	CMPMD0[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CMPMD0[1:0]	コンペアマッチ 0: マッチモード選択 0 0: 上側レベル以上の場合にマッチイベントを生成 0 1: 下側レベル以下の場合にマッチイベントを生成 1 0: 上側レベル以上または下側レベル以下の場合にマッチイベントを生成 1 1: 下側レベル以上かつ上側レベル以下の場合にマッチイベントを生成	R/W
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
9:8	CMPMD1[1:0]	コンペアマッチ 1: マッチモード選択 0 0: 上側レベル以上の場合にマッチイベントを生成 0 1: 下側レベル以下の場合にマッチイベントを生成 1 0: 上側レベル以上または下側レベル以下の場合にマッチイベントを生成 1 1: 下側レベル以上かつ上側レベル以下の場合にマッチイベントを生成	R/W
15:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
17:16	CMPMD2[1:0]	コンペアマッチ 2: マッチモード選択 0 0: 上側レベル以上の場合にマッチイベントを生成 0 1: 下側レベル以下の場合にマッチイベントを生成 1 0: 上側レベル以上または下側レベル以下の場合にマッチイベントを生成 1 1: 下側レベル以上かつ上側レベル以下の場合にマッチイベントを生成	R/W
23:18	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:24	CMPMD3[1:0]	コンペアマッチ 3: マッチモード選択 0 0: 上側レベル以上の場合にマッチイベントを生成 0 1: 下側レベル以下の場合にマッチイベントを生成 1 0: 上側レベル以上または下側レベル以下の場合にマッチイベントを生成 1 1: 下側レベル以上かつ上側レベル以下の場合にマッチイベントを生成	R/W
31:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADCMPMDR0 レジスタは、各コンペアマッチイベントの生成条件を選択します。

36.2.9.5 ADCMPMDR1: コンペアマッチモード選択レジスタ 1

Base address: ADC_B = 0x4017_0000

Offset address: 0x44C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	CMPMD7[1:0]		—	—	—	—	—	—	CMPMD6[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPMD5[1:0]		—	—	—	—	—	—	CMPMD4[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CMPMD4[1:0]	コンペアマッチ 4: マッチモード選択 0 0: 上側レベル以上の場合にマッチイベントを生成 0 1: 下側レベル以下の場合にマッチイベントを生成 1 0: 上側レベル以上または下側レベル以下の場合にマッチイベントを生成 1 1: 下側レベル以上かつ上側レベル以下の場合にマッチイベントを生成	R/W
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
9:8	CMPMD5[1:0]	コンペアマッチ 5: マッチモード選択 0 0: 上側レベル以上の場合にマッチイベントを生成 0 1: 下側レベル以下の場合にマッチイベントを生成 1 0: 上側レベル以上または下側レベル以下の場合にマッチイベントを生成 1 1: 下側レベル以上かつ上側レベル以下の場合にマッチイベントを生成	R/W
15:10	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
17:16	CMPMD6[1:0]	コンペアマッチ 6: マッチモード選択 0 0: 上側レベル以上の場合にマッチイベントを生成 0 1: 下側レベル以下の場合にマッチイベントを生成 1 0: 上側レベル以上または下側レベル以下の場合にマッチイベントを生成 1 1: 下側レベル以上かつ上側レベル以下の場合にマッチイベントを生成	R/W
23:18	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
25:24	CMPMD7[1:0]	コンペアマッチ 7: マッチモード選択 0 0: 上側レベル以上の場合にマッチイベントを生成 0 1: 下側レベル以下の場合にマッチイベントを生成 1 0: 上側レベル以上または下側レベル以下の場合にマッチイベントを生成 1 1: 下側レベル以上かつ上側レベル以下の場合にマッチイベントを生成	R/W
31:26	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADCMPMDR1 レジスタは、各コンペアマッチイベントの生成条件を選択します。

36.2.9.6 ADCMPTBRn: コンペアマッチテーブルレジスタ n（n = 0～7）

Base address: ADC_B = 0x4017_0000

Offset address: 0x458 + 0x04 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPTBH[15:0]																CMPTBL[15:0]															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPTBL[15:0]	コンペアマッチテーブル n: 下側レベル CMPTBH > CMPTBL となるように設定	R/W
31:16	CMPTBH[15:0]	コンペアマッチテーブル n: 上側レベル CMPTBH > CMPTBL となるように設定	R/W

ADCMPTBRn レジスタは、コンペアマッチテーブル n の下側レベルと上側レベルを指定します。

36.2.9.7 ADCMPTBSR: コンペアマッチテーブルステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CMPTBF7	CMPTBF6	CMPTBF5	CMPTBF4	CMPTBF3	CMPTBF2	CMPTBF1	CMPTBF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CMPTBF0～ CMPTBF7	コンペアマッチテーブル n マッチフラグ 各ビットシンボルの添え字はコンペアマッチテーブルの番号 n に対応します。 0: コンペアマッチテーブル n と一致するイベントは未検出 1: コンペアマッチテーブル n と一致するイベントを検出	R
31:8	—	読むと 0 が読めます。	R

ADCMPTBSR レジスタは、A/D 変換の最中にコンペアマッチテーブル n と一致するイベントが起きたかどうかを示します。各フラグは ADCMPTBSCR でクリアできます。

36.2.9.8 ADCMPTBSCR: コンペアマッチテーブルステータスクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CMPTBC7	CMPTBC6	CMPTBC5	CMPTBC4	CMPTBC3	CMPTBC2	CMPTBC1	CMPTBC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CMPTBC0～ CMPTBC7	コンペアマッチテーブル n: マッチフラグクリア 各ビットシンボルの添え字はコンペアマッチテーブルの番号 n に対応します。 0: 無効 1: ADCMPTBSR.CMPTBFn をクリア	W
31:8	—	書く場合、0 としてください。	W

ADCMPTBSCR レジスタは、コンペアマッチ n のマッチフラグ (ADCMPTBSR.CMPTBFn) をクリアします。

36.2.9.9 ADCMPCHSR0: コンペアマッチチャネルステータスレジスタ 0

Base address: ADC_B = 0x4017_0000

Offset address: 0xD08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	CMPCHF28	CMPCHF27	CMPCHF26	CMPCHF25	CMPCHF24	CMPCHF23	CMPCHF22	CMPCHF21	CMPCHF20	CMPCHF19	CMPCHF18	CMPCHF17	CMPCHF16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPCHF15	CMPCHF14	CMPCHF13	CMPCHF12	CMPCHF11	CMPCHF10	CMPCHF9	CMPCHF8	CMPCHF7	CMPCHF6	CMPCHF5	CMPCHF4	CMPCHF3	CMPCHF2	CMPCHF1	CMPCHF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	CMPCHF0～ CMPCHF28	アナログチャネル n：コンペアマッチフラグ 各ビットシンボルの添え字はアナログチャネル番号 n に対応します。 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
31:29	—	読むと 0 が読めます。	R

ADCMPCHSR0 レジスタは、アナログチャネル n に対するコンペアマッチイベントが検出されたかどうかを示します。各フラグは ADCMPCHSCR0 でクリアできます。

36.2.9.10 ADCMPEXSR: 拡張アナログコンペアマッチステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPEXF8	CMPEXF7	CMPEXF6	CMPEXF5	—	—	CMPEXF2	CMPEXF1	CMPEXF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPEXF0	自己診断チャネル：コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
1	CMPEXF1	温度センサチャネル：コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
2	CMPEXF2	内部基準電圧チャネル：コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
4:3	—	読むと 0 が読めます。	R
5	CMPEXF5	D/A コンバータ 0 チャネル：コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R

ビット	シンボル	機能	R/W
6	CMPEXF6	D/A コンバータ 1 チャネル：コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
7	CMPEXF7	D/A コンバータ 2 チャネル：コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
8	CMPEXF8	D/A コンバータ 3 チャネル：コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
31:9	—	読むと 0 が読めます。	R

ADCMPEXSR レジスタは、拡張アナログ機能チャネルに対するコンペアマッチイベントが検出されたかどうかを示します。各フラグは ADCMPEXSCR でクリアできます。

36.2.9.11 ADCMPCHSCR0: コンペアマッチチャネルステータスクリアレジスタ 0

Base address: ADC_B = 0x4017_0000

Offset address: 0xD18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	CMPCHC28	CMPCHC27	CMPCHC26	CMPCHC25	CMPCHC24	CMPCHC23	CMPCHC22	CMPCHC21	CMPCHC20	CMPCHC19	CMPCHC18	CMPCHC17	CMPCHC16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPCHC15	CMPCHC14	CMPCHC13	CMPCHC12	CMPCHC11	CMPCHC10	CMPCHC9	CMPCHC8	CMPCHC7	CMPCHC6	CMPCHC5	CMPCHC4	CMPCHC3	CMPCHC2	CMPCHC1	CMPCHC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	CMPCHC0～ CMPCHC28	アナログチャネル n：コンペアマッチフラグクリアビット 各ビットシンボルの添え字はアナログチャネル番号 n に対応します。 0: 無効 1: ADCMPCHSR0.CMPCHFn をクリア	W
31:29	—	書く場合、0 としてください。	W

ADCMPCHSCR0 レジスタは、アナログチャネル n のコンペアマッチフラグ (ADCMPCHSR0.CMPCHFn) をクリアします。

36.2.9.12 ADCMPEXSCR: 拡張アナログコンペアマッチステータスクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPEXC8	CMPEXC7	CMPEXC6	CMPEXC5	—	—	CMPEXC2	CMPEXC1	CMPEXC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPEXC0	自己診断チャネル：コンペアマッチフラグクリア 0: 無効 1: ADCMPEXSR.CMPEXF0 をクリア	W
1	CMPEXC1	温度センサチャネル：コンペアマッチフラグクリア 0: 無効 1: ADCMPEXSR.CMPEXF1 をクリア	W
2	CMPEXC2	内部基準電圧チャネル：コンペアマッチフラグクリア 0: 無効 1: ADCMPEXSR.CMPEXF2 をクリア	W
4:3	—	書く場合、0 としてください。	W
5	CMPEXC5	D/A コンバータ 0 チャネル：コンペアマッチフラグクリア 0: 無効 1: ADCMPEXSR.CMPEXF5 をクリア	W
6	CMPEXC6	D/A コンバータ 1 チャネル：コンペアマッチフラグクリア 0: 無効 1: ADCMPEXSR.CMPEXF6 をクリア	W
7	CMPEXC7	D/A コンバータ 2 チャネル：コンペアマッチフラグクリア 0: 無効 1: ADCMPEXSR.CMPEXF7 をクリア	W
8	CMPEXC8	D/A コンバータ 3 チャネル：コンペアマッチフラグクリア 0: 無効 1: ADCMPEXSR.CMPEXF8 をクリア	W
31:9	—	書く場合、0 としてください。	W

ADCMPEXSCR レジスタは、拡張アナログ機能チャネルのコンペアマッチフラグ (ADCMPEXSR.CMPEXFn) をクリアします。

36.2.10 A/D 変換の開始および停止制御

36.2.10.1 ADCALSTR: A/D コンバータ自己校正開始レジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xC00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ADCALST1[2:0]			—	—	—	—	—	ADCALST0[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ADCALST0[2:0](注1)	A/D コンバータユニット 0 (ADC0) 自己校正開始制御 [各ビットの機能] b0: 内部回路校正の開始ビット b1: ゲインおよびオフセット校正の開始ビット b2: チャネル専用サンプル&ホールド回路校正の開始ビット [書き込み値] 0: 無効（校正を開始しない） 1: 校正を開始する	W
7:3	—	書く場合、0 としてください。	W

ビット	シンボル	機能	R/W
10:8	ADCALST1[2:0](注1)	A/D コンバータユニット 1 (ADC1) 自己校正開始制御 [各ビットの機能] b0: 内部回路校正の開始ビット b1: ゲインおよびオフセット校正の開始ビット b2: チャネル専用サンプル&ホールド回路校正の開始ビット [書き込み値] 0: 無効（校正を開始しない） 1: 校正を開始する	W
31:11	—	書く場合、0 としてください。	W

注 1. 校正動作を行うためには、各校正開始ビットに同時に 1 を書き込んでください。

ADCALSTR レジスタは、各 A/D コンバータの自己校正の開始を制御します。

ADCALSTm[2:0] ビット（A/D コンバータユニット m (ADCm) 自己校正開始制御ビット） (m = 0, 1)

ADCALSTm[2:0]ビットは、A/D コンバータユニット m の自己校正動作の開始を制御します。ADCALSTm[2:0]ビットのうち、いずれか 1 つを 1 にした場合、該当のビットに対応する自己校正動作が開始します。
ADCALSTm[2:0]ビットのうち、複数のビットを同時に 1 にした場合、各自己校正動作は以下の順に行われます。

1. 内部回路校正
2. A/D コンバータゲイン／オフセット校正
3. チャネル固有のサンプル&ホールド回路ゲイン／オフセット校正

注. ADCALSTm[2:0]ビットで 0 にしたビットに対応する自己校正動作は行われません。

すべての A/D コンバータが停止（ADSR.ADACTm = 0 かつ ADSR.CALACTm = 0）しているときに、ADCALSTm[2:0]ビットに書き込みを行ってください。

A/D コンバータの動作中は ADCALSTm[2:0]ビットへの書き込みは禁止されています。

36.2.10.2 ADSYSTR: A/D 変換同期ソフトウェア開始レジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xC10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ADSYST8	ADSYST7	ADSYST6	ADSYST5	ADSYST4	ADSYST3	ADSYST2	ADSYST1	ADSYST0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	ADSYST0～ ADSYST8	スキャングループ n: A/D 変換開始 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: スキャングループ n の A/D 変換を開始	W
31:9	—	書く場合、0 としてください。	W

ADSYSTR レジスタは、スキャングループ n の A/D 変換の開始を制御します。このレジスタを使って、ソフトウェアによる複数のスキャングループの同時 A/D 変換を開始します。

ADSYSTn ビット（スキャングループ n: A/D 変換開始）(n = 0～8)

ADSYSTn ビットは、スキャングループ n の A/D 変換の開始を制御します。ADSYSTn ビットを 1 にすると、スキャングループ n の A/D 変換が開始します。ADSYSTn ビットを 0 にしても、動作に影響はありません。複数の

スキャングループの A/D 変換を同時に開始するには、該当のスキャングループの ADSYSTn ビットを同時に 1 にしてください。

36.2.10.3 ADSTRn: A/D 変換ソフトウェア開始レジスタ n（n = 0～8）

Base address: ADC_B = 0x4017_0000

Offset address: 0xC20 + 0x04 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADST	スキャングループ n A/D 変換開始 0: 無効 1: スキャングループ n の A/D 変換を開始	W
31:1	—	書く場合、0 としてください。	W

ADSTRn レジスタは、スキャングループ n の A/D 変換の開始を制御します。このレジスタを使って、ソフトウェアによる 1 つのスキャングループの A/D 変換を開始します。

ソフトウェアを使って、複数のスキャングループの A/D 変換を同時に開始したい場合は、ADSYSTR レジスタを使用してください。

ADST ビット (スキャングループ n A/D 変換開始)

ADST ビットは、スキャングループ n の A/D 変換の開始を制御します。ADST ビットを 1 にすると、スキャングループ n の A/D 変換が開始します。ADST ビットを 0 にしても動作に影響はありません。

36.2.10.4 ADSTOPR: A/D 変換停止レジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xC60

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ADST OP1	—	—	—	—	—	—	—	ADST OP0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADSTOP0	A/D コンバータユニット 0 強制停止 0: 無効 1: A/D コンバータユニット 0 の動作を強制停止	W
7:1	—	書く場合、0 としてください。	W
8	ADSTOP1	A/D コンバータユニット 1 強制停止 0: 無効 1: A/D コンバータユニット 1 の動作を強制停止	W

ビット	シンボル	機能	R/W
31:9	—	書く場合、0 としてください。	W

ADSTOPR レジスタは、各 A/D コンバータの動作を強制停止します。このレジスタで A/D コンバータを停止すると、該当の A/D コンバータの A/D 変換結果は保証されません。

ADSTOP0 ビット (A/D コンバータユニット 0 強制停止)

ADSTOP0 ビットは、A/D コンバータユニット 0 の A/D 変換動作を強制停止します。ADSTOP0 ビットを 0 にしても動作に影響はありません。ADSTOP0 ビットを 1 にすると、A/D コンバータユニット 0 の動作は強制的に停止されます。A/D コンバータユニット 0 を強制停止すると、A/D コンバータユニット 0 の A/D 変換結果は保証されません。

ADSTOP1 ビット (A/D コンバータユニット 1 強制停止)

ADSTOP1 ビットは、A/D コンバータユニット 1 の A/D 変換動作を強制停止します。ADSTOP1 ビットを 0 にしても動作に影響はありません。ADSTOP1 ビットを 1 にすると、A/D コンバータユニット 1 の動作は強制的に停止されます。A/D コンバータユニット 1 を強制停止すると、A/D コンバータユニット 1 の A/D 変換結果は保証されません。

36.2.11 ステータスレジスタ

36.2.11.1 ADSR: A/D 変換ステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xC80

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CALACT1	CALACT0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADACT1	ADACT0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADACT0	A/D コンバータユニット 0 (ADC0) A/D 変換状態 0: ADC0 は A/D 変換中ではない 1: ADC0 は A/D 変換中である	R
1	ADACT1	A/D コンバータユニット 1 (ADC1) A/D 変換状態 0: ADC1 は A/D 変換中ではない 1: ADC1 は A/D 変換中である	R
15:2	—	読むと 0 が読めます。	R
16	CALACT0	A/D コンバータユニット 0 (ADC0): 校正状態 0: ADC0 は校正動作中ではない 1: ADC0 は校正動作中である	R
17	CALACT1	A/D コンバータユニット 1 (ADC1): 校正状態 0: ADC1 は校正動作中ではない 1: ADC1 は校正動作中である	R
31:18	—	読むと 0 が読めます。	R

ADSR レジスタは、各 A/D コンバータ動作の状態を示します。

36.2.11.2 ADGRSR: スキャングループステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xC84

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ACTGR8	ACTGR7	ACTGR6	ACTGR5	ACTGR4	ACTGR3	ACTGR2	ACTGR1	ACTGR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	ACTGR0～ ACTGR8(注1)	スキャングループ n 状態 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n はアイドル中 1: スキャングループ n はスキャン動作中	R
31:9	—	読むと 0 が読めます。	R

注 1. グループ優先動作の際、低優先グループのスキャン動作が一時中断された場合、そのスキャングループの ACTGRn ビットが 1 になります。

ADGRSR レジスタは、各スキャングループの動作状態を示します。

36.2.11.3 ADSCANENDSR: スキャン終了ステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD50

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SCENDF8	SCENDF7	SCENDF6	SCENDF5	SCENDF4	SCENDF3	SCENDF2	SCENDF1	SCENDF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	SCENDF0～ SCENDF8(注1)	スキャングループ n スキャン終了フラグ 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n は未スキャン 1: スキャングループ n のスキャン終了を検出	R
31:9	—	読むと 0 が読めます。	R

注 1. A/D 変換動作を ADSTOPR レジスタで停止した場合、スキャン動作を停止したスキャングループの SCENDFn ビットは変わりません。（ビットは 1 になりません。）

ADSCANENDSR レジスタは、各スキャングループのスキャン動作が終了したかどうかを示します。各フラグは ADSCANENDSCR レジスタでクリアできます。

36.2.11.4 ADSCANENDSCR: スキャン終了ステータスクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD54

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SCENDC8	SCENDC7	SCENDC6	SCENDC5	SCENDC4	SCENDC3	SCENDC2	SCENDC1	SCENDC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	SCENDC0～ SCENDC8	スキャングループ n スキャン終了フラグクリア 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: ADSCANENDSR.SCENDFn をクリア	W
31:9	—	書く場合、0 としてください。	W

ADSCANENDSCR レジスタは、スキャングループ n のスキャン終了フラグをクリアします。

36.2.11.5 ADERSR: A/D 変換エラーステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xC88

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADERF1	ADERF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADERF0	A/D コンバータユニット 0 (ADC0) エラーフラグ 0: エラー未検出 1: エラー検出	R
1	ADERF1	A/D コンバータユニット 1 (ADC1) エラーフラグ 0: エラー未検出 1: エラー検出	R
31:2	—	読むと 0 が読めます。	R

ADERSR レジスタは、各 A/D コンバータで動作エラーが発生したかどうかを示します。各フラグは ADERSCR レジスタでクリアできます。

エラーが検出された A/D コンバータ動作では、A/D 変換データは保証されません。

36.2.11.6 ADERSCR: A/D 変換エラーステータスクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xC8C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADERCLR1	ADERCLR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADERCLR0	A/D コンバータユニット 0 エラーフラグクリア 0: 無効 1: ADERSR.ADERF0 をクリア	W
1	ADERCLR1	A/D コンバータユニット 1 エラーフラグクリア 0: 無効 1: ADERSR.ADERF1 をクリア	W
31:2	—	書く場合、0 としてください。	W

ADERSCR レジスタは、A/D コンバータユニット 0 またはユニット 1 のエラーフラグをクリアします。

36.2.11.7 ADCALENDSR: A/D コンバータ校正終了ステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xC98

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CALENDF1	CALENDF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CALENDF0	A/D コンバータユニット 0 校正終了フラグ 0: 校正終了は未検出 1: 校正終了を検出	R
1	CALENDF1	A/D コンバータユニット 1 校正終了フラグ 0: 校正終了は未検出 1: 校正終了を検出	R
31:2	—	読むと 0 が読めます。	R

ADCALENDSR レジスタは、A/D コンバータユニット 0 またはユニット 1 の校正動作の終了を示します。各フラグは ADCALENDSCR レジスタでクリアできます。

36.2.11.8 ADCALENDSCR: A/D コンバータ校正終了ステータスクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xC9C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CALENDC1	CALENDC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CALENDC0	A/D コンバータユニット 0 校正終了フラグクリア 0: 無効 1: ADCALENDSR.CALENDF0 をクリア	W
1	CALENDC1	A/D コンバータユニット 1 校正終了フラグクリア 0: 無効 1: ADCALENDSR.CALENDF1 をクリア	W
31:2	—	書く場合、0 としてください。	W

ADCALENDSCR レジスタは、A/D コンバータユニット 0 またはユニット 1 の校正終了フラグをクリアします。

36.2.11.9 ADOVFERSR: A/D 変換オーバーフローエラーステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xCA0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADOVFEF1	ADOVFEF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADOVFEF0	A/D コンバータユニット 0 (ADC0) オーバーフローエラーフラグ 0: ADC0 オーバーフローエラーは未検出 1: ADC0 オーバーフローエラーを検出	R
1	ADOVFEF1	A/D コンバータユニット 1 (ADC1) オーバーフローエラーフラグ 0: ADC1 オーバーフローエラーは未検出 1: ADC1 オーバーフローエラーを検出	R
31:2	—	読むと 0 が読めます。	R

ADOVFERSR レジスタは、A/D コンバータユニット 0 またはユニット 1 を使用した A/D 変換でオーバーフローエラーが発生したかどうかを示します。各フラグは ADOVFERSCR レジスタでクリアできます。

36.2.11.10 ADOVFCHSR0: A/D 変換オーバーフローチャネルステータスレジスタ 0

Base address: ADC_B = 0x4017_0000

Offset address: 0xCA4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	OVFCHF28	OVFCHF27	OVFCHF26	OVFCHF25	OVFCHF24	OVFCHF23	OVFCHF22	OVFCHF21	OVFCHF20	OVFCHF19	OVFCHF18	OVFCHF17	OVFCHF16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	OVFCHF15	OVFCHF14	OVFCHF13	OVFCHF12	OVFCHF11	OVFCHF10	OVFCHF9	OVFCHF8	OVFCHF7	OVFCHF6	OVFCHF5	OVFCHF4	OVFCHF3	OVFCHF2	OVFCHF1	OVFCHF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	OVFCHF0～ OVFCHF28	アナログチャネル n：オーバーフローフラグ 各ビットシンボルの添え字はアナログチャネル番号 n に対応します。 0: オーバーフローは未検出 1: オーバーフローを検出	R
31:29	—	読むと 0 が読めます。	R

ADOVFCHSR0 レジスタは、アナログチャネル n の A/D 変換でオーバーフローが発生したかどうかを示します。各フラグは ADOVFCHSCR0 レジスタでクリアできます。

36.2.11.11 ADOVFEXSR: 拡張アナログ A/D 変換オーバーフローステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xCB0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OVFEXF8	OVFEXF7	OVFEXF6	OVFEXF5	—	—	OVFEXF2	OVFEXF1	OVFEXF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVFEXF0	自己診断チャネル：オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
1	OVFEXF1	温度センサチャネル：オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
2	OVFEXF2	内部基準電圧チャネル：オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
4:3	—	読むと 0 が読めます。	R
5	OVFEXF5	D/A コンバータ 0 チャネル：オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R

ビット	シンボル	機能	R/W
6	OVFEXF6	D/A コンバータ 1 チャネル：オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
7	OVFEXF7	D/A コンバータ 2 チャネル：オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
8	OVFEXF8	D/A コンバータ 3 チャネル：オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
31:9	—	読むと 0 が読めます。	R

ADOVFEXSR レジスタは、拡張アナログ機能の A/D 変換実行時にオーバーフローが発生したかどうかを示します。各フラグは ADOVFEXSCR でクリアできます。

36.2.11.12 ADOVFERSCR: A/D 変換オーバーフローエラーステータスクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xCB4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADOVFEC1	ADOVFEC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADOVFEC0	A/D コンバータユニット 0 (ADC0) オーバーフローエラーフラグクリア 0: 無効 1: ADOVFERSR.ADOVFEF0 をクリア	W
1	ADOVFEC1	A/D コンバータユニット 1 (ADC1) オーバーフローエラーフラグクリア 0: 無効 1: ADOVFERSR.ADOVFEF1 をクリア	W
31:2	—	書く場合、0 としてください。	W

ADOVFERSCR レジスタは、A/D コンバータユニット 0 またはユニット 1 のオーバーフローエラーフラグをクリアします。

36.2.11.13 ADOVFCHSCR0: A/D 変換オーバーフローチャネルステータスクリアレジスタ 0

Base address: ADC_B = 0x4017_0000

Offset address: 0xCB8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	OVFCHC28	OVFCHC27	OVFCHC26	OVFCHC25	OVFCHC24	OVFCHC23	OVFCHC22	OVFCHC21	OVFCHC20	OVFCHC19	OVFCHC18	OVFCHC17	OVFCHC16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	OVFCHC15	OVFCHC14	OVFCHC13	OVFCHC12	OVFCHC11	OVFCHC10	OVFCHC9	OVFCHC8	OVFCHC7	OVFCHC6	OVFCHC5	OVFCHC4	OVFCHC3	OVFCHC2	OVFCHC1	OVFCHC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	OVFCHC0～ OVFCHC28	アナログチャネル n：オーバーフローフラグクリア 各ビットシンボルの添え字はアナログチャネル番号 n に対応します。 0: 無効 1: ADOVFCHSR0.OVFCHFn をクリア	W
31:29	—	書く場合、0 としてください。	W

ADOVFCHSCR0 レジスタは、アナログチャネル n のオーバーフローフラグをクリアします。

36.2.11.14 ADOVFEXSCR: 拡張アナログ A/D 変換オーバーフローステータスクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xCC4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OVFEXC8	OVFEXC7	OVFEXC6	OVFEXC5	—	—	OVFEXC2	OVFEXC1	OVFEXC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVFEXC0	自己診断チャネル：オーバーフローフラグクリア 0: 無効 1: ADOVFEXSR.OVFEXF0 をクリア	W
1	OVFEXC1	温度センサチャネル：オーバーフローフラグクリア 0: 無効 1: ADOVFEXSR.OVFEXF1 をクリア	W
2	OVFEXC2	内部基準電圧チャネル：オーバーフローフラグクリア 0: 無効 1: ADOVFEXSR.OVFEXF2 をクリア	W
4:3	—	書く場合、0 としてください。	W
5	OVFEXC5	D/A コンバータ 0 チャネル：オーバーフローフラグクリア 0: 無効 1: ADOVFEXSR.OVFEXF5 をクリア	W

ビット	シンボル	機能	R/W
6	OVFEXC6	D/A コンバータ 1 チャネル：オーバーフローフラグクリア 0: 無効 1: ADOVFEXSR.OVFEXF6 をクリア	W
7	OVFEXC7	D/A コンバータ 2 チャネル：オーバーフローフラグクリア 0: 無効 1: ADOVFEXSR.OVFEXF7 をクリア	W
8	OVFEXC8	D/A コンバータ 3 チャネル：オーバーフローフラグクリア 0: 無効 1: ADOVFEXSR.OVFEXF8 をクリア	W
31:9	—	書く場合、0 としてください。	W

ADOVFEXSCR レジスタは、拡張アナログ機能チャネルのオーバーフローフラグをクリアします。

36.2.12 FIFO

36.2.12.1 ADFIFOCR: FIFO コントロールレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x4C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FIFOEN8	FIFOEN7	FIFOEN6	FIFOEN5	FIFOEN4	FIFOEN3	FIFOEN2	FIFOEN1	FIFOEN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFOEN0～FIFOEN8	スキャングループ n FIFO 有効化 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n の FIFO 機能を無効化 1: スキャングループ n の FIFO 機能を有効化	R/W
31:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADFIFOCR レジスタは、スキャングループ n の FIFO 機能を有効または無効にします。

FIFOENn ビット（スキャングループ n FIFO 有効化）(n = 0～8

FIFOENn ビットは、スキャングループ n の FIFO 機能を有効または無効にします。FIFOENn ビットを 1 にすると、スキャングループ n の FIFO 機能が有効になり、A/D 変換結果が FIFO に格納されます。FIFOENn ビットを 0 にすると、スキャングループ n の FIFO 機能が無効になります。

A/D 変換結果は、A/D データレジスタまたは拡張データレジスタから読み出すこともできます。

36.2.12.2 ADFIFOINTCR: FIFO 割り込みコントロールレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x4C4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FIFOIE8	FIFOIE7	FIFOIE6	FIFOIE5	FIFOIE4	FIFOIE3	FIFOIE2	FIFOIE1	FIFOIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFOIE0～FIFOIE8	スキャングループ n FIFO 割り込み許可 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n の FIFO 割り込みを禁止 1: スキャングループ n の FIFO 割り込みを許可	R/W
31:9	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADFIFOINTCR レジスタは、スキャングループ n のための FIFO データ読み出し要求割り込みと FIFO オーバーフロー割り込みを許可または禁止します。

36.2.12.3 ADFIFOINTLR0: FIFO 割り込み生成レベルレジスタ 0

Base address: ADC_B = 0x4017_0000

Offset address: 0x4C8

Bit position:	31	19	16	3	0
Bit field:	—	FIFOILV1[3:0]	—	FIFOILV0[3:0]	
Value after reset:	0	0	0	0	0

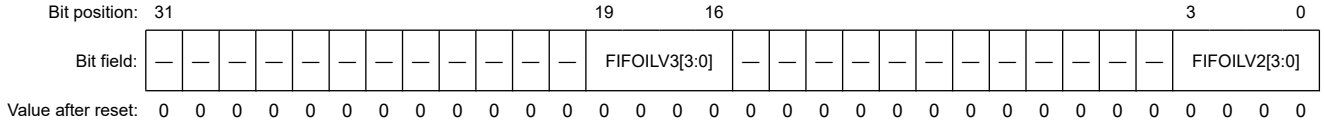
ビット	シンボル	機能	R/W
3:0	FIFOILV0[3:0]	スキャングループ 0 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
15:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
19:16	FIFOILV1[3:0]	スキャングループ 1 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
31:20	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADFIFOINTLR0 レジスタは、スキャングループ 0 および 1 のための FIFO データ読み出し要求割り込みを生成するタイミングを指定します。

36.2.12.4 ADFIFOINTLR1: FIFO 割り込み生成レベルレジスタ 1

Base address: ADC_B = 0x4017_0000

Offset address: 0x4CC



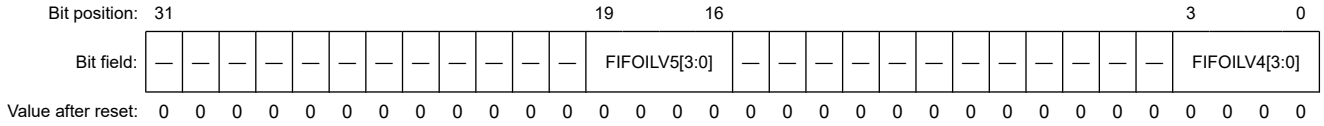
ビット	シンボル	機能	R/W
3:0	FIFOILV2[3:0]	スキャングループ 2 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
15:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
19:16	FIFOILV3[3:0]	スキャングループ 3 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
31:20	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADFIFOINTLR1 レジスタは、スキャングループ 2 および 3 のための FIFO データ読み出し要求割り込みを生成するタイミングを指定します。

36.2.12.5 ADFIFOINTLR2: FIFO 割り込み生成レベルレジスタ 2

Base address: ADC_B = 0x4017_0000

Offset address: 0x4D0



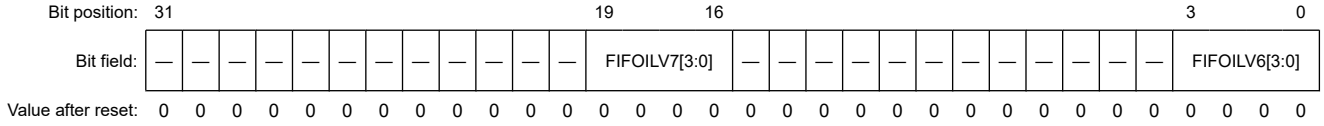
ビット	シンボル	機能	R/W
3:0	FIFOILV4[3:0]	スキャングループ 4 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
15:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
19:16	FIFOILV5[3:0]	スキャングループ 5 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
31:20	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADFIFOINTLR2 レジスタは、スキャングループ 4 および 5 のための FIFO データ読み出し要求割り込みを生成するタイミングを指定します。

36.2.12.6 ADFIFOINTLR3: FIFO 割り込み生成レベルレジスタ 3

Base address: ADC_B = 0x4017_0000

Offset address: 0x4D4



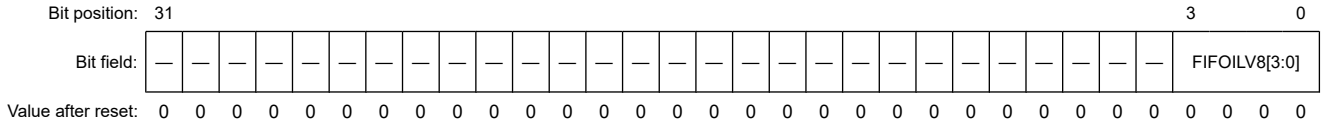
ビット	シンボル	機能	R/W
3:0	FIFOILV6[3:0]	スキャングループ 6 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
15:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
19:16	FIFOILV7[3:0]	スキャングループ 7 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
31:20	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADFIFOINTLR3 レジスタは、スキャングループ 6 および 7 のための FIFO データ読み出し要求割り込みを生成するタイミングを指定します。

36.2.12.7 ADFIFOINTLR4: FIFO 割り込み生成レベルレジスタ 4

Base address: ADC_B = 0x4017_0000

Offset address: 0x4D8



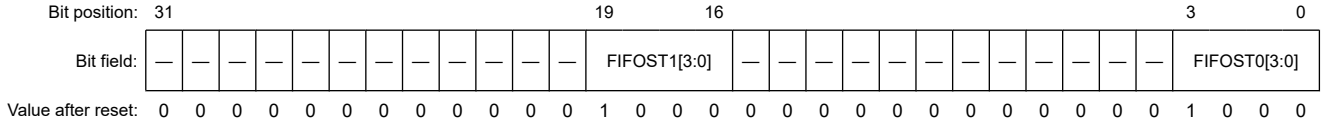
ビット	シンボル	機能	R/W
3:0	FIFOILV8[3:0]	スキャングループ 8 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
31:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ADFIFOINTLR4 レジスタは、スキャングループ 8 のための FIFO データ読み出し要求割り込みを生成するタイミングを指定します。

36.2.12.8 ADFIFOSR0: FIFO ステータスレジスタ 0

Base address: ADC_B = 0x4017_0000

Offset address: 0xCD0



ビット	シンボル	機能	R/W
3:0	FIFOST0[3:0]	スキャングループ 0 FIFO 空きステージ数	R
15:4	—	読むと 0 が読めます。	R
19:16	FIFOST1[3:0]	スキャングループ 1 FIFO 空きステージ数	R
31:20	—	読むと 0 が読めます。	R

ADFIFOSR0 レジスタは、スキャングループ 0 および 1 の FIFO の空きステージ数を示します。

36.2.12.9 ADFIFOSR1: FIFO ステータスレジスタ 1

Base address: ADC_B = 0x4017_0000

Offset address: 0xCD4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	FIFOST3[3:0]				—	—	—	—	—	—	—	—	—	—	—	—	FIFOST2[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
3:0	FIFOST2[3:0]	スキャングループ 2 FIFO 空きステージ数	R
15:4	—	読むと 0 が読めます。	R
19:16	FIFOST3[3:0]	スキャングループ 3 FIFO 空きステージ数	R
31:20	—	読むと 0 が読めます。	R

ADFIFOSR1 レジスタは、スキャングループ 2 および 3 の FIFO の空きステージ数を示します。

36.2.12.10 ADFIFOSR2: FIFO ステータスレジスタ 2

Base address: ADC_B = 0x4017_0000

Offset address: 0xCD8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	FIFOST5[3:0]				—	—	—	—	—	—	—	—	—	—	—	—	FIFOST4[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
3:0	FIFOST4[3:0]	スキャングループ 4 FIFO 空きステージ数	R
15:4	—	読むと 0 が読めます。	R
19:16	FIFOST5[3:0]	スキャングループ 5 FIFO 空きステージ数	R
31:20	—	読むと 0 が読めます。	R

ADFIFOSR2 レジスタは、スキャングループ 4 および 5 の FIFO の空きステージ数を示します。

36.2.12.11 ADFIFOSR3: FIFO ステータスレジスタ 3

Base address: ADC_B = 0x4017_0000

Offset address: 0xCDC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	FIFOST7[3:0]				—	—	—	—	—	—	—	—	—	—	—	—	FIFOST6[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
3:0	FIFOST6[3:0]	スキャングループ 6 FIFO 空きステージ数	R
15:4	—	読むと 0 が読めます。	R
19:16	FIFOST7[3:0]	スキャングループ 7 FIFO 空きステージ数	R
31:20	—	読むと 0 が読めます。	R

ADFIFOSR3 レジスタは、スキャングループ 6 および 7 の FIFO の空きステージ数を示します。

36.2.12.12 ADFIFOSR4: FIFO ステータスレジスタ 4

Base address: ADC_B = 0x4017_0000

Offset address: 0xCE0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FIFOST8[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
3:0	FIFOST8[3:0]	スキャングループ 8 FIFO 空きステージ数	R
31:4	—	読むと 0 が読めます。	R

ADFIFOSR4 レジスタは、スキャングループ 8 の FIFO の空きステージ数を示します。

36.2.12.13 ADFIFODCR: FIFO データクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xCF0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FIFODC8	FIFODC7	FIFODC6	FIFODC5	FIFODC4	FIFODC3	FIFODC2	FIFODC1	FIFODC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFODC0～ FIFODC8	スキャングループ n FIFO データクリア 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: スキャングループ n の FIFO のデータをクリア	W
31:9	—	書く場合、0 としてください。	W

ADFIFODCR レジスタは、各スキャングループの FIFO 内のデータをクリアします。

FIFODCn ビット（スキャングループ n FIFO データクリア）(n = 0～8)

FIFODCn ビットは、スキャングループ n の FIFO 内のデータをクリアします。FIFODCn に 1 を書き込むと、スキャングループ n の FIFO 内のデータがクリアされます。0 を書き込んでも動作に影響はなく、FIFO 内のデータはクリアされません。

36.2.12.14 ADFIFOERSR: FIFO エラーステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xCF4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	FIFOFLF8	FIFOFLF7	FIFOFLF6	FIFOFLF5	FIFOFLF4	FIFOFLF3	FIFOFLF2	FIFOFLF1	FIFOFLF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FIFOOVF8	FIFOOVF7	FIFOOVF6	FIFOOVF5	FIFOOVF4	FIFOOVF3	FIFOOVF2	FIFOOVF1	FIFOOVF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFOOVF0～FIFOOVF8	スキャングループ n FIFO オーバーフローフラグ 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: オーバーフローなし 1: FIFO オーバーフローを検出	R
15:9	—	読むと 0 が読めます。	R
24:16	FIFOFLF0～FIFOFLF8	スキャングループ n FIFO データ読み出し要求フラグ 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: FIFO データ読み出し要求は未検出 1: FIFO データ読み出し要求を検出	R
31:25	—	読むと 0 が読めます。	R

ADFIFOERSR レジスタは、FIFO の状態を示します。各フラグは ADFIFOERSCR でクリアできます。

FIFOOVFn ビット（スキャングループ n FIFO オーバーフローフラグ）(n = 0～8)

FIFOOVFn ビットは、スキャングループ n の FIFO でオーバーフローが発生したかどうかを示します。

FIFOOVFn ビットが 0 の場合、FIFO でオーバーフローは検出されていません。FIFOOVFn ビットが 1 の場合、FIFO でオーバーフローが発生しており、A/D 変換結果を FIFO に格納できません。FIFOOVFn ビットは ADFIFOERSCR レジスタでクリアできます。

FIFOFLFn ビット（スキャングループ n FIFO データ読み出し要求フラグ）(n = 0～8)

FIFOFLFn ビットは、スキャングループ n で FIFO データ読み出し要求が検出されたかどうかを示します。FIFOFLFn ビットが 1 になる条件と 0 になる条件は以下のとおりです。

[1 になる条件]

ADFIFOSRm.FIFOSTn[3:0]≦ADFIFOINTLRm.FIFOILVn[3:0] の条件が検出された場合

[0 になる条件]

ADFIFOSRm.FIFOSTn[3:0] > ADFIFOINTLRm.FIFOILVn[3:0] の条件下で、ADFIFOERSCR.FIFOFLCn に 1 が書き込まれた場合

DMAC または DTC の ADFIFODRn レジスタに読み出しアクセスが行われたことで、ADFIFOSRm.FIFOSTn[3:0] > ADFIFOINTLRm.FIFOILVn[3:0] の条件が発生した場合

注. m = 0～4、n = 0～8

36.2.12.15 ADFIFOERSCR: FIFO エラーステータスクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xCF8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	FIFOFLC8	FIFOFLC7	FIFOFLC6	FIFOFLC5	FIFOFLC4	FIFOFLC3	FIFOFLC2	FIFOFLC1	FIFOFLC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FIFOOVFC8	FIFOOVFC7	FIFOOVFC6	FIFOOVFC5	FIFOOVFC4	FIFOOVFC3	FIFOOVFC2	FIFOOVFC1	FIFOOVFC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFOOVFC0～FIFOOVFC8	スキャングループ n FIFO オーバーフローフラグクリア 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: ADFIFOERSR.FIFOOVFn をクリア	W
15:9	—	書く場合、0 としてください。	W
24:16	FIFOFLC0～FIFOFLC8	スキャングループ n FIFO データ読み出し要求フラグクリア 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: ADFIFOERSR.FIFOFLFn をクリア	W
31:25	—	書く場合、0 としてください。	W

ADFIFOERSCR は、スキャングループ n の FIFO オーバーフローフラグと FIFO データ読み出し要求フラグをクリアします。

36.2.13 データレジスタ

36.2.13.1 ADDRn: A/D データレジスタ n（n = 0～28）

Base address: ADC_B = 0x4017_0000

Offset address: 0x1000 + 0x04 × n

Bit position:	31	15	0
Bit field:	ERR	—	DATA[15:0]
Value after reset:	0	0	0

ビット	シンボル	機能	R/W
15:0	DATA[15:0]	A/D 変換データ	R
30:16	—	読むと 0 が読めます。	R
31	ERR	A/D 変換データエラー状態 0: エラーなし（A/D 変換データは有効） 1: エラーを検出（A/D 変換データは保証されない）	R

ADDRn レジスタは、A/D 変換結果を読み出すための読み出し専用レジスタです。

DATA[15:0] ビット（A/D 変換データ）

DATA[15:0]ビットは、アナログ入力チャネル n の A/D 変換結果のデータを示します。

A/D 変換結果のデータフォーマットは、アナログ入力チャネル n の割り当て先である仮想チャネル m（m = 0～36）の設定により決まります。

ERR ビット (A/D 変換データエラー状態)

ERR ビットは、アナログ入力チャネル n の A/D 変換のエラー状態を示します。

ERR ビットが 0 の場合、A/D 変換データは有効です。ERR ビットが 1 の場合、A/D 変換データは無効であり、A/D 変換データの精度は保証されません。

36.2.13.2 ADEXDRn : A/D 拡張アナログデータレジスタ n (n = 0～2, 5～8)

Base address: ADC_B = 0x4017_0000

Offset address: 0x1180 + 0x04 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ERR	—	—	—	—	DIAGSR[2:0]			—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DATA[15:0]	A/D 変換データ	R
23:16	—	読むと 0 が読めます。	R
26:24	DIAGSR[2:0](注1)	自己診断状態(注1)	R
30:27	—	読むと 0 が読めます。	R
31	ERR	A/D 変換エラー状態 0: エラーなし（A/D 変換データは有効） 1: エラーを検出（A/D 変換データは保証されない）	R

注 1. ADEXDR0 レジスタだけが DIAGSR[2:0] ビットを持ちます。ADEXDR0 レジスタを除く ADEXDRn レジスタの DIAGSR[2:0] ビットは、予約ビットです。

ADEXDRn レジスタは、拡張アナログ機能の A/D 変換結果を読み出すための読み出し専用レジスタです。
ADEXDRn レジスタと拡張アナログ機能の関係は以下のとおりです。

- ADEXDR0：自己診断
- ADEXDR1：温度センサ
- ADEXDR2：内部基準電圧
- ADEXDR5：D/A コンバータチャネル 0 出力
- ADEXDR6：D/A コンバータチャネル 1 出力
- ADEXDR7：D/A コンバータチャネル 2 出力
- ADEXDR8：D/A コンバータチャネル 3 出力

DATA[15:0] ビット (A/D 変換データ)

DATA[15:0]ビットは、拡張アナログ機能チャネルの A/D 変換結果のデータを示します。A/D 変換結果のデータフォーマットは、拡張アナログ機能チャネルの割り当て先である仮想チャネル m (m = 0～36) の設定により決まります。

DIAGSR[2:0] ビット (自己診断状態)

DIAGSR[2:0]ビットは、自己診断チャネルの電圧設定を示します。DIAGSR[2:0]ビットは、ADSGDCRm.DIAGVAL[2:0]ビット (m = 0～8) の設定値を示します。DIAGSR[2:0]ビットは ADEXDR0 でのみ使用可能です。ADEXDR0 を除く ADEXDRn の DIAGSR[2:0]ビットは予約ビットです。

ERR ビット (A/D 変換エラー状態)

ERR ビットは、拡張アナログ機能の A/D 変換のエラー状態を示します。

ERR ビットが 0 の場合、A/D 変換データは有効です。ERR ビットが 1 の場合、A/D 変換データは無効であり、A/D 変換データの精度は保証されません。

36.2.13.3 ADFIFODRn: FIFO データレジスタ n（n = 0～8）

Base address: ADC_B = 0x4017_0000

Offset address: 0x1200 + 0x04 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ERR	CH[6:0]							—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DATA[15:0]	A/D 変換データ	R
23:16	—	読むと 0 が読めます。	R
30:24	CH[6:0]	A/D 変換チャネル番号	R
31	ERR	A/D 変換データエラー状態 0: エラーなし（A/D 変換データは有効） 1: エラーを検出（A/D 変換データは保証されない）	R

ADFIFODRn レジスタは、スキャングループ n の FIFO 内に格納されているデータを読み出すために使用します。

DATA[15:0] ビット（A/D 変換データ）

DATA[15:0]ビットは、スキャングループ n の FIFO 内に格納されている A/D 変換データを読み出すための読み出し専用ビットです。

CH[6:0] ビット (A/D 変換チャネル番号)

CH[6:0]ビットは、DATA[15:0]ビットから読み出される A/D 変換データのチャネル番号を示します。

ERR ビット（A/D 変換データエラー状態）

ERR ビットは、CH[6:0]ビットが示すアナログチャネルの A/D 変換データのエラー状態を示します。

ERR ビットが 0 の場合、A/D 変換データは有効です。ERR ビットが 1 の場合、A/D 変換データは無効であり、A/D 変換データの精度は保証されません。

36.3 動作説明

36.3.1 A/D 変換クロック

A/D 変換クロック (ADCLK) は ADC の動作クロックです。ADCLK を基本クロックとして、A/D コンバータ（ADC0 および ADC1）は動作し、制御されます。図 36.4 に ADC のクロック構造を示します。

ADCLK は、ADCLKCR レジスタで選択したクロックソースと分周比で生成されます。ADCLK の周波数は、PCLKA ≧ ADCLK となるように設定してください。また、ADCLK の周波数は、電気的特性で指定した保証動作範囲内になるように設定してください。詳細は、「46. 電気的特性」を参照してください。

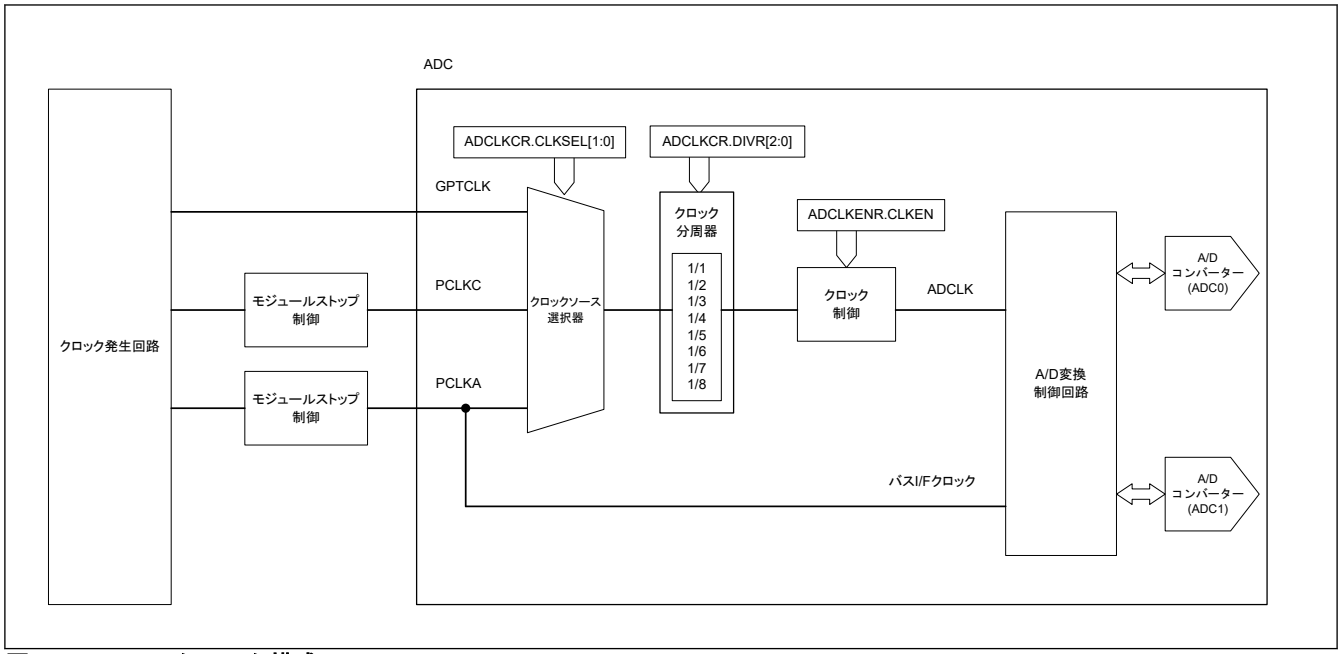


図 36.4　　クロック構成

36.3.2　A/D コンバータの動作モード

36.3.2.1　SAR モード

SAR モードでは、A/D コンバータはナイキスト型 A/D コンバータとして動作します。アナログチャネルは 1 回サンプリングされ、逐次変換レジスタ (SAR) 方式により、アナログからデジタルに変換されます。SAR モードの特長を以下に示します。

[SAR モードの特長]

- 高速変換：最短の群遅延で A/D 変換データを取得可能
- スキャングループごとに最大 8 本のアナログチャネル（仮想チャネル）の A/D 変換が可能
- シングルエンド入力のみサポート（差動入力とデジタルフィルタ機能は非サポート）(注1)

注 1.　SAR モードでは、例外として、自己診断中のみ差動入力がサポートされています。自己診断中以外は、差動入力はサポートされていません。

SAR モードでの A/D 変換動作の詳細については、「36.3.7. スキャン動作説明」を参照してください。SAR モードに関する制限については、「36.10.15. SAR モードに関する制限」を参照してください。

36.3.2.2　オーバーサンプリングモード

オーバーサンプリングモードでは、A/D コンバータはオーバーサンプリング型 A/D コンバータとして動作します。アナログチャネルはオーバーサンプリングされ、ノイズシェーピング逐次変換レジスタ (NS-SAR) 方式により、アナログからデジタルに変換されます。オーバーサンプリングモードの特長を以下に示します。

[オーバーサンプリングモードの特長]

- 高精度変換：ノイズシェーピング技術とデジタルフィルタ機能で A/D 変換データを取得可能(注1)
- スキャングループごとに最大 8 本のアナログチャネル（仮想チャネル）の A/D 変換が可能
- シングルエンド入力と差動入力を両方サポート

注 1.　オーバーサンプリングモードでは、デジタルフィルタ機能を使用しなければなりません。オーバーサンプリングモードでは、デジタルフィルタ機能を使用しない動作は禁止です。

オーバーサンプリングモードでの A/D 変換動作の詳細については、「36.3.7. スキャン動作説明」を参照してください。オーバーサンプリングモードに関する制限については、「36.10.16. オーバーサンプリングモードに関する制限」を参照してください。

36.3.2.3 ハイブリッドモード

ハイブリッドモードは、SAR モードとオーバーサンプリングモードの両方の特長を有しています。ハイブリッドモードでは、A/D コンバータはオーバーサンプリング型 A/D コンバータとして動作します。アナログチャネルはオーバーサンプリングされ、ノイズシェーピング逐次変換レジスタ (NS-SAR) 方式により、アナログからデジタルに変換されます。ハイブリッドモードでは、各サンプリングのチャネル切り替えの間に、複数のアナログチャネルがオーバーサンプリングされます。ハイブリッドモードの特長を以下に示します。

[ハイブリッドモードの特長]

- 高精度変換：ノイズシェーピング技術とデジタルフィルタ機能で A/D 変換データを取得可能(注1)
- 高速変換：連続スキャンモード時および初期遅延時間後に、最短の群遅延で A/D 変換データを取得可能
- スキャングループごとに最大 4 本のアナログチャネル（仮想チャネル）の A/D 変換が可能
- シングルエンド入力と差動入力を両方サポート

注 1. ハイブリッドモードでは、デジタルフィルタ機能を使用しなければなりません。ハイブリッドモードでは、デジタルフィルタ機能を使用しない動作は禁止です。

ハイブリッドモードでの A/D 変換動作の詳細については、「36.3.7. スキャン動作説明」を参照してください。ハイブリッドモードに関する制限については、「36.10.17. ハイブリッドモードに関する制限」を参照してください。

36.3.3 シングルエンド入力と差動入力

ADC はシングルエンド入力と差動入力をサポートしています。シングルエンド入力または差動入力の選択は、ADCHCRn.AINMD (n = 0～36) ビットで指定されます。差動入力をサポートしているアナログチャネルについては、表 36.4 と表 36.5 を参照してください。

シングルエンド入力

シングルエンド入力モードでは、アナログチャネル（信号源）の電圧とアナログ基準グランド電圧 (VREFL0) の差分が A/D 変換されます。

差動入力

差動入力モードでは、偶数番号のアナログチャネルが非反転入力 (+) (A_{INP}) として使用され、奇数番号のアナログチャネルが反転入力 (−) (A_{INN}) として使用されます。非反転入力 (+) と反転入力 (−) の差動電圧 ($A_{INP} - A_{INN}$) が A/D 変換されます。(注1)

差動入力モードの A/D 変換に対して、ADCHCRn.CNVCS[6:0] (n = 0～36) ビットで差動ペアの対象の非反転入力 (+) チャネル(注2)を選択してください。また、ADCHCRn.AINMD (n = 0～36) ビットで差動入力モードを選択してください。

差動入力モードで差動入力をサポートしていないチャネルの A/D 変換を行うことは禁止されています。その場合、A/D 変換結果は保証されません。

注 1. 差動入力ペアはアナログチャネル番号 2i と 2i+1 (i = 0, 1, 2, 3, ...) のチャネルの組み合わせであり、それらの名称は ANxxxP と ANxxxN (xxx = 000, 002, 004, ...) です。連続していないアナログチャネル番号の組み合わせ、またはアナログチャネル番号 2i−1 と 2i の組み合わせは、差動入力ペアとして使用できません。
注 2. 偶数番号のアナログチャネルの名称は、ANxxxP (xxx = 000, 002, 004, …) です。

36.3.4 アナログチャネル

アナログチャネルは、A/D 変換の対象となるアナログ信号源です。アナログチャネルには以下の種類があります。

- アナログ入力チャネル：MCU の入出力端子から送られてくるアナログ入力の A/D 変換チャネル
- 拡張アナログチャネル：MCU 内のアナログ信号源となる A/D 変換チャネル

アナログチャネルに対して A/D 変換を実行するためには、仮想チャネルとスキャングループへの割り当てが必要です。各項目については、それぞれの説明を参照してください。

36.3.5 仮想チャネル

仮想チャネルとは、ある 1 本のアナログチャネルの A/D 変換設定を格納するレジスタ群です。仮想チャネルには、アナログチャネルの選択、A/D 変換のオプション設定、A/D 変換データのデータ処理方法、スキャングループの割り当てなどの A/D 変換設定を指定できます。

アナログチャネルの A/D 変換を行うためには、対象のアナログチャネルを任意の仮想チャネルに割り当てる必要があります。そして、その仮想チャネルをスキャングループに割り当てます。アナログチャネル、仮想チャネル、およびスキャングループの関係については、図 36.5 を参照してください。図 36.6 に、図 36.5 の設定における A/D 変換の順序を示します。

仮想チャネルは 1 つのスキャングループにのみ割り当てることができます。同一のアナログチャネルを異なるスキャングループ内で変換する場合、または同一のアナログチャネルを同一のスキャングループ内で複数回変換する場合は、アナログチャネルを複数の仮想チャネルに割り当ててください。同じアナログチャネルを対象に、同じスキャングループ内の複数の仮想チャネルを使って複数回 A/D 変換を行う場合、FIFO 機能を併用してください。

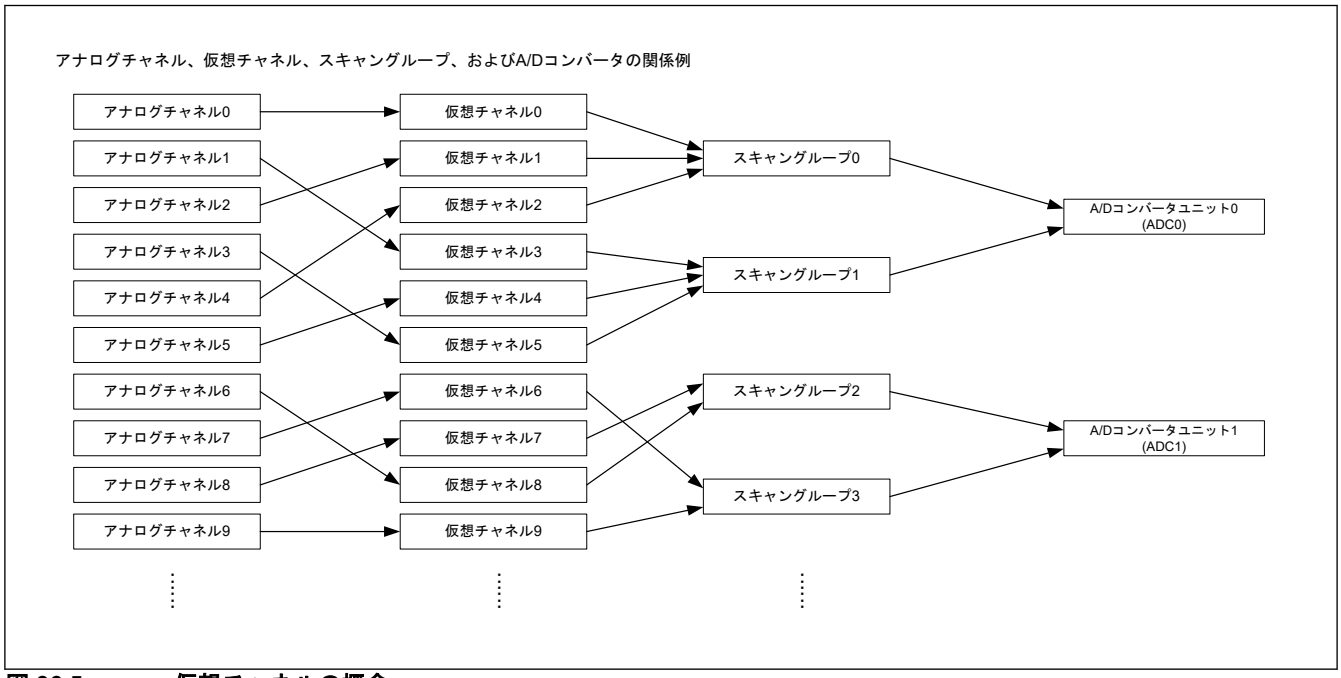


図 36.5 仮想チャネルの概念

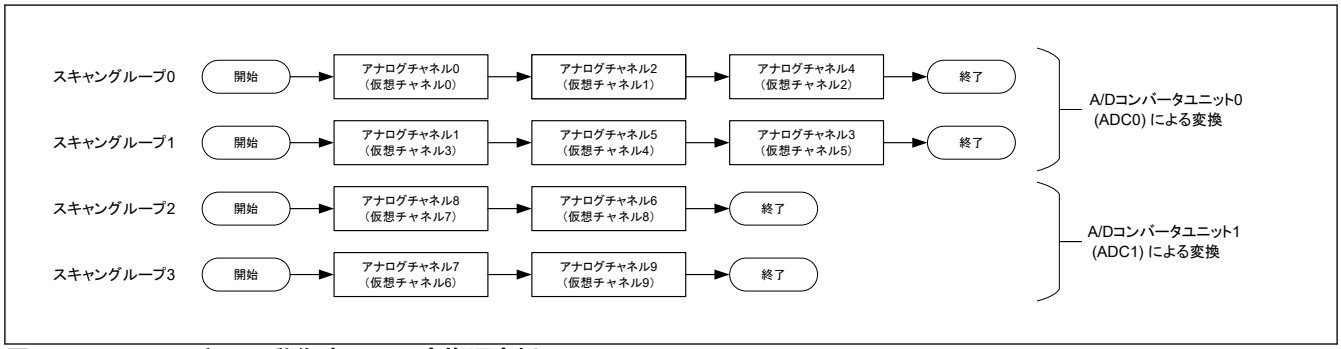


図 36.6 スキャン動作時の A/D 変換順序例

36.3.6 スキャングループ

スキャングループとは、スキャン動作で A/D 変換が行われるアナログチャネルのグループです。スキャングループを使って A/D 変換を行うには、以下の手順で設定してください。

- A/D 変換をするアナログチャネルを仮想チャネルに割り当てる。
- 仮想チャネルをスキャングループに割り当てる。

- スキャングループを A/D コンバータに割り当てる。

アナログチャネル、仮想チャネル、およびスキャングループの関係については、図 36.5 および図 36.6 を参照してください。

1 つのスキャングループに対して、動作モードに従って、以下に示す範囲で仮想チャネルを割り当てることができます。

- SAR モード：スキャングループごとに最大 8 本の仮想チャネル
- オーバーサンプリングモード：スキャングループごとに最大 8 本の仮想チャネル
- ハイブリッドモード：スキャングループごとに 2～4 本の仮想チャネル

1 つのスキャングループに対して最大本数を超える仮想チャネルが割り当てられた場合、仮想チャネル番号の昇順で 8 番目のチャネル（SAR モードあるいはオーバーサンプリングモード）または 4 番目のチャネル（ハイブリッドモード）が A/D 変換の対象となります。それ以降のチャネルは A/D 変換の対象となりません。

スキャングループに関する注意事項

1 つのスキャングループに割り当てる仮想チャネルには、同じ A/D コンバータで変換可能なアナログチャネルを割り当ててください。指定した A/D コンバータで変換できないアナログチャネルが含まれていると、該当のチャネルの A/D 変換結果は不定になります。

ハイブリッドモードでは、1 つのスキャングループに少なくとも 2 本の仮想チャネルを割り当ててください。どの仮想チャネルも割り当てられていない、または 1 本の仮想チャネルのみが割り当てられている場合、動作は保証されません。

36.3.7 スキャン動作説明

スキャン動作とは、アナログチャネルに対する一連の A/D 変換動作のことです。スキャン動作のモードは以下のとおりです。

- シングルスキャンモード
  - シングルスキャンモードでは、各 A/D 変換開始トリガ入力につき、1 つのスキャングループが 1 回スキャンされます。
  - A/D 変換開始トリガが入力されるごとに、該当のスキャングループに割り当てられた各アナログチャネルに対して、A/D 変換が 1 回行われます。
- 連続スキャンモード
  - 連続スキャンモードは、1 つのスキャングループに対するスキャン動作を繰り返します。
  - A/D 変換開始トリガが入力されると、該当のスキャングループに割り当てられた各アナログチャネルに対する A/D 変換が、A/D 変換停止処理が実行されるまで繰り返されます。
- バックグラウンド連続スキャンモード
  - バックグラウンド連続スキャンモードは、1 つのスキャングループに対するスキャン動作を繰り返します。
  - 最初の A/D 変換開始トリガが入力されると、スキャン動作が開始します。
  - 該当のスキャングループに割り当てられた各アナログチャネルに対する A/D 変換が、A/D 変換停止処理が実行されるまで繰り返されます。（連続スキャン動作）
  - 連続スキャン動作中に A/D 変換開始トリガが入力されると、その時点の A/D 変換データが出力されます。（A/D 変換開始トリガが入力されなければ、A/D 変換データは出力されず、A/D データレジスタと FIFO データレジスタの値は更新されません。）

各動作モードでサポートされているスキャンモードを表 36.6 に示します。

表 36.6 スキャンモードと動作モード (1/2)

スキャンモード	A/D コンバータの動作モード		
	SAR モード	オーバーサンプリングモード	ハイブリッドモード
シングルスキャンモード	✓	✓	✓

表 36.6　スキャンモードと動作モード (2/2)

スキャンモード	A/D コンバータの動作モード		
	SAR モード	オーバーサンプリングモード	ハイブリッドモード
連続スキャンモード	✓	✓	✓
バックグラウンド連続スキャンモード	—	—	✓

注.　✓：使用可能、—：使用不可

スキャン動作はスキャングループ単位で行われます。スキャン動作が開始すると、仮想チャネルの設定に基づき、各アナログチャネルに対して A/D 変換が行われます。同じ A/D コンバータに割り当てられた 2 つ以上のスキャングループに対して同時にスキャン動作が開始された場合、スキャングループ番号が最も小さいグループのスキャン動作が行われます。

スキャン動作時、アナログチャネルの A/D 変換順は、スキャングループに割り当てられた仮想チャネル番号の昇順です。（スキャングループの中で、最小の仮想チャネル番号を持つチャネルが最初に A/D 変換されます。スキャングループの中で、より大きい仮想チャネル番号を持つチャネルは、後方で A/D 変換されます。）

スキャン動作中の各アナログチャネルの変換順序の関係については、図 36.5 および図 36.6 を参照してください。

各動作モードにおけるスキャン動作を以下に示します。

36.3.7.1　SAR モード（シングルスキャンモード）

表 36.7 および図 36.7 に SAR モード（シングルスキャンモード）での動作例を示します。

表 36.7　SAR モード（シングルスキャンモード）でのスキャン動作例

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。
2	1 つのアナログチャネルの A/D 変換が完了するごとに、A/D 変換結果はデータレジスタ (ADDRi（i = 0～28）, ADEXDRj (j = 0～2、5～8)) に格納されます。 FIFO を使用する場合、A/D 変換結果は FIFO データレジスタ (ADFIFODRk（k = 0～8)) にも格納されます。
3	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
4	スキャン動作中、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0～8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。 スキャン動作が完了すると、各ビットは 0 にクリアされ、A/D コンバータはアイドル状態になります。

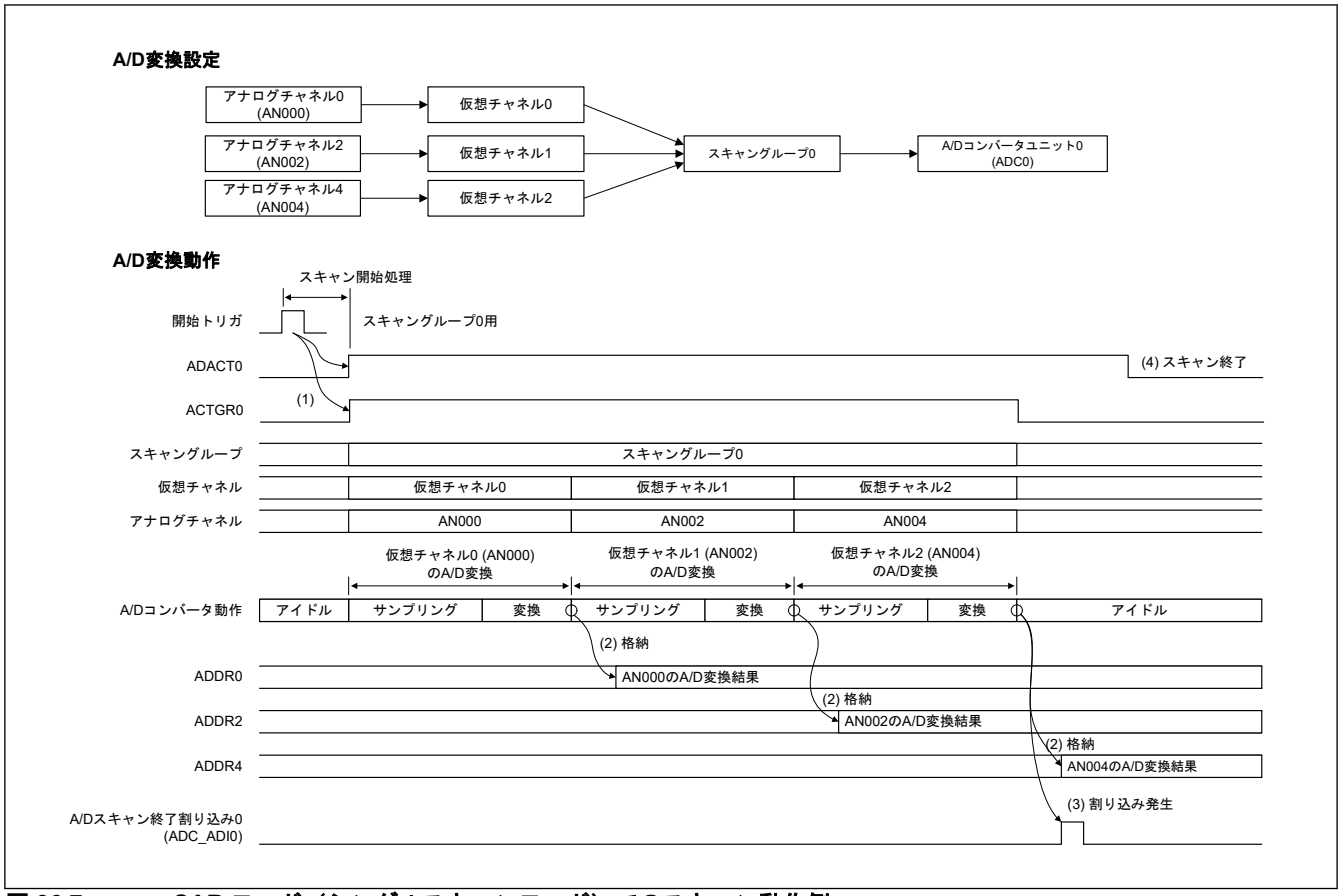


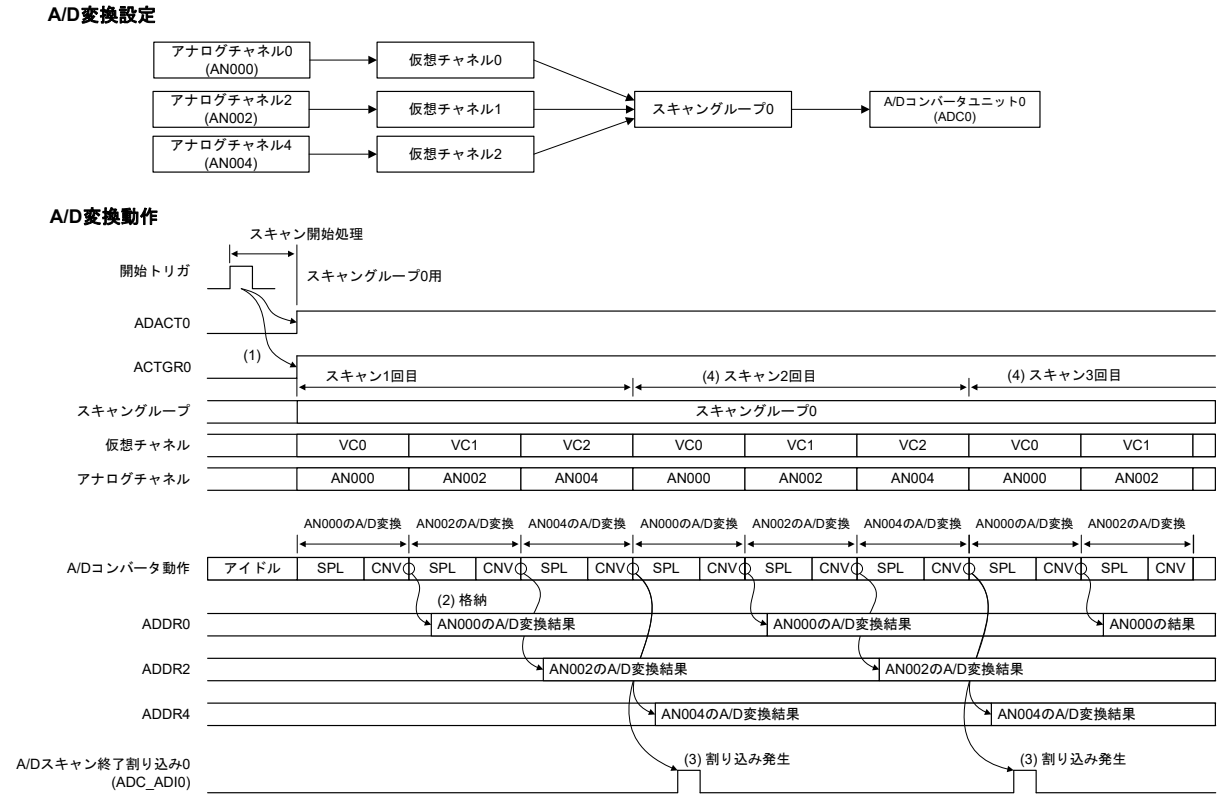
図 36.7　SAR モード（シングルスキャンモード）でのスキャン動作例

36.3.7.2　SAR モード（連続スキャンモード）

表 36.8 および図 36.8 に SAR モード（連続スキャンモード）での動作例を示します。

表 36.8　SAR モード（連続スキャンモード）でのスキャン動作例

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。 スキャン動作が開始すると、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0～8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。
2	1 つのアナログチャネルの A/D 変換が完了するごとに、A/D 変換結果はデータレジスタ（ADDRi（i = 0～28）, ADEXDRj（j = 0～2、5～8））に格納されます。 FIFO を使用する場合、A/D 変換結果は FIFO データレジスタ（ADFIFODRk（k = 0～8））にも格納されます。
3	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
4	A/D 変換停止処理が実行されるまで、手順 2 と 3 は繰り返され、スキャン動作が続きます。A/D 変換を停止するには、「36.5.4. A/D 変換動作の強制停止」の手順に従ってください。



注. VC：仮想チャネル、SPL：サンプリングステート、CNV：変換ステート

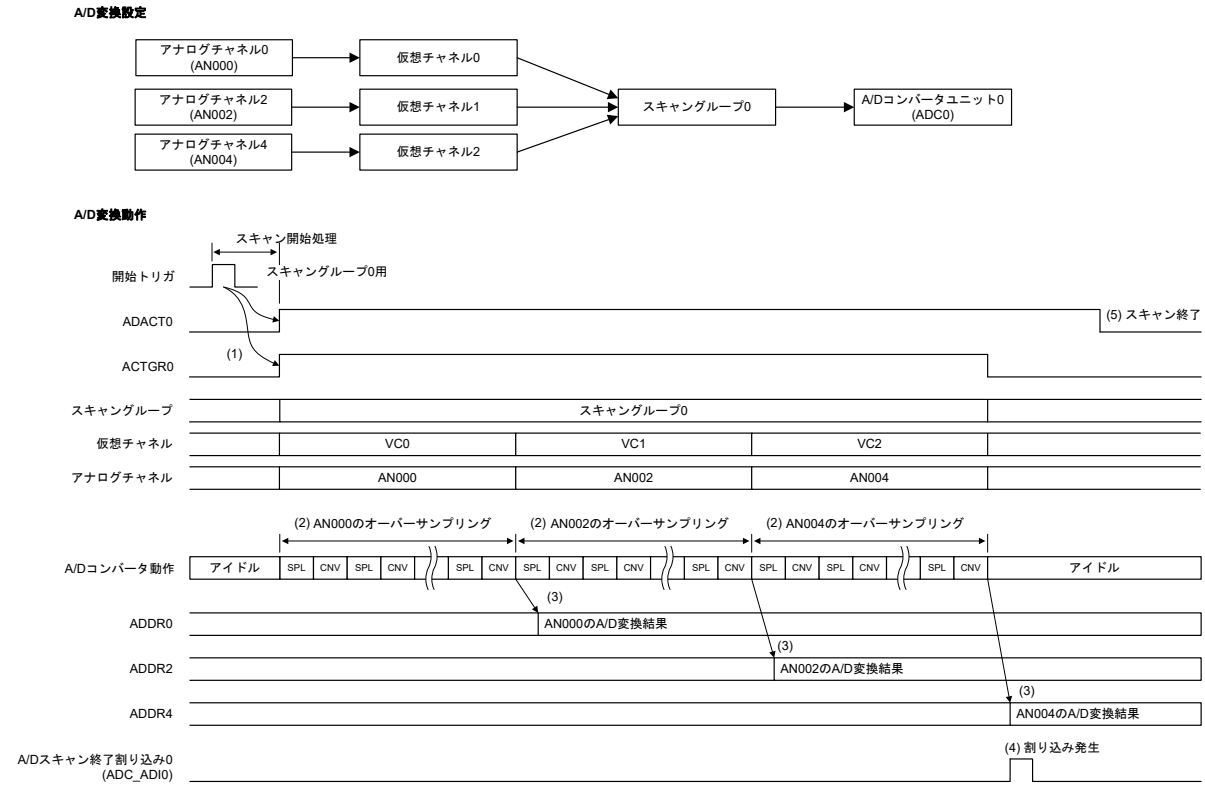
図 36.8 SAR モード（連続スキャンモード）でのスキャン動作例

36.3.7.3 オーバーサンプリングモード（シングルスキャンモード）

表 36.9 および図 36.9 にオーバーサンプリングモード（シングルスキャンモード）での動作例を示します。

表 36.9 オーバーサンプリングモード（シングルスキャンモード）でのスキャン動作例

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。
2	デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に従って、各アナログチャネルはオーバーサンプリングされます。各アナログチャネルのオーバーサンプリング完了後に、デジタルフィルタに格納されたオーバーサンプリングデータは破棄されます。
3	各アナログチャネルの A/D 変換データは、オーバーサンプリング後に出力されます。A/D 変換データはデータレジスタ (ADDRi (i = 0～28), ADEXDRj (j = 0～2、5～8)) に格納されます。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納されます。
4	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
5	スキャン動作中、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0～8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。 スキャン動作が完了すると、各ビットは 0 にクリアされ、A/D コンバータはアイドル状態になります。



注. VC：仮想チャネル
SPL：サンプリング状態
CNV：変換状態

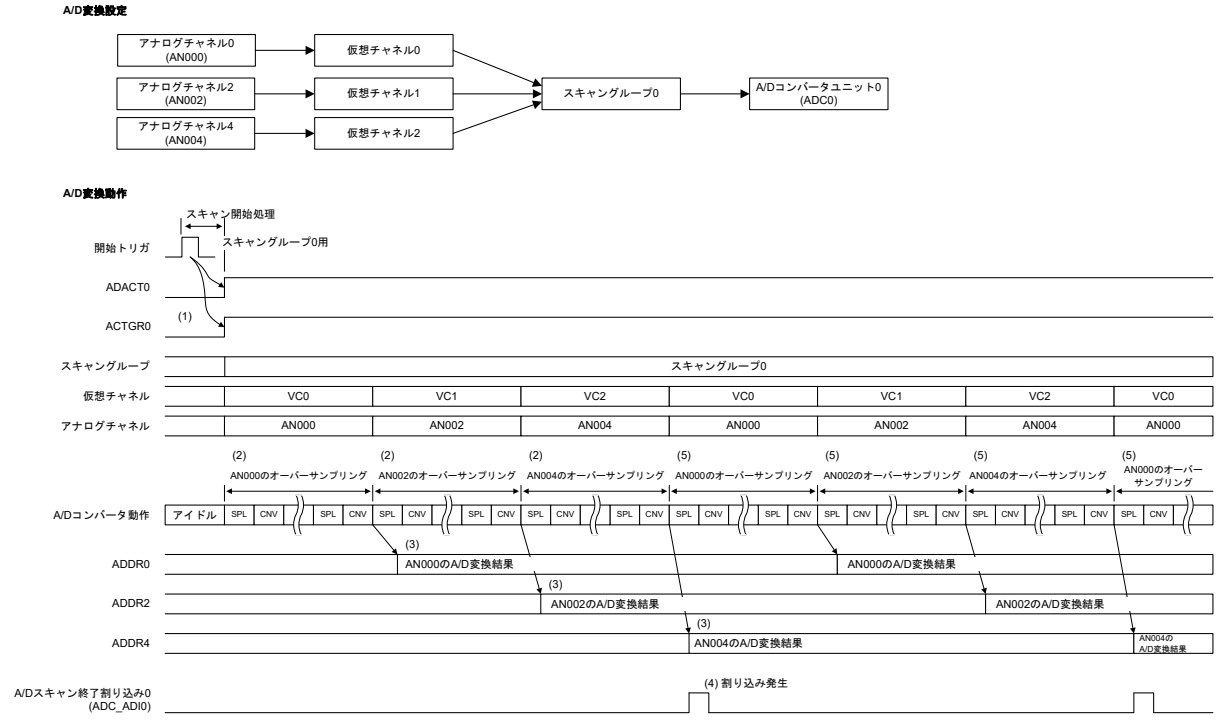
図 36.9 オーバーサンプリングモード（シングルスキャンモード）でのスキャン動作例

36.3.7.4 オーバーサンプリングモード（連続スキャンモード）

表 36.10 および図 36.10 にオーバーサンプリングモード（連続スキャンモード）での動作例を示します。

表 36.10 オーバーサンプリングモード（連続スキャンモード）でのスキャン動作例

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。 スキャン動作が開始すると、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0～8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。
2	デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に従って、各アナログチャネルはオーバーサンプリングされます。各アナログチャネルのオーバーサンプリング完了後に、デジタルフィルタに格納されたオーバーサンプリングデータは破棄されます。
3	各アナログチャネルの A/D 変換データは、オーバーサンプリング後に出力されます。A/D 変換データはデータレジスタ (ADDRi (i = 0～28), ADEXDRj (j = 0～2、5～8)) に格納されます。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納されます。
4	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
5	A/D 変換停止処理が実行されるまで、手順 2～4 は繰り返され、スキャン動作が続きます。A/D 変換を停止するには、「36.5.4. A/D 変換動作の強制停止」の手順に従ってください。



注. VC：仮想チャネル
SPL：サンプリング状態
CNV：変換状態

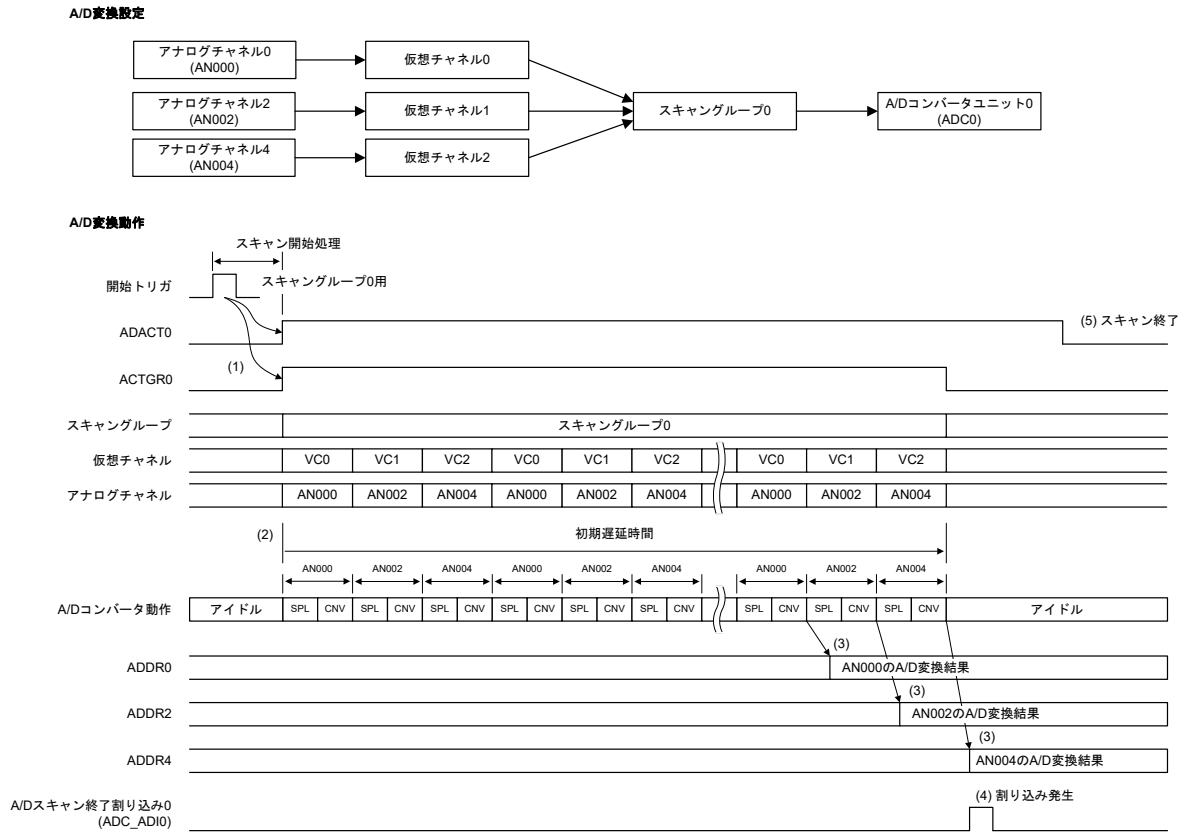
図 36.10 オーバーサンプリングモード（連続スキャンモード）でのスキャン動作例

36.3.7.5 ハイブリッドモード（シングルスキャンモード）

表 36.11 および図 36.11 にハイブリッドモード（シングルスキャンモード）での動作例を示します。

表 36.11 ハイブリッドモード（シングルスキャンモード）でのスキャン動作例

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。
2	ハイブリッドモードでは、オーバーサンプリングが実行されるごとにアナログチャネルを切り替える間に、スキャン動作が行われます。
3	デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に対応したオーバーサンプリングが各アナログチャネルに実行された後、A/D 変換データが出力されます。（最初の A/D 変換データを取得するのに必要なオーバーサンプリングに要する時間を、初期遅延時間と呼びます。） A/D 変換データはデータレジスタ (ADDRi (i = 0～28), ADEXDRj (j = 0～2、5～8)) に格納されます。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納されます。
4	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
5	スキャン動作中、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0～8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。 スキャン動作が完了すると、各ビットは 0 にクリアされ、A/D コンバータはアイドル状態になります。デジタルフィルタのオーバーサンプリングデータも、スキャン動作の終了時に破棄されます。



注. VC：仮想チャネル
SPL：サンプリング状態
CNV：変換状態

図 36.11 ハイブリッドモード（シングルスキャンモード）でのスキャン動作例

36.3.7.6 ハイブリッドモード（連続スキャンモード）

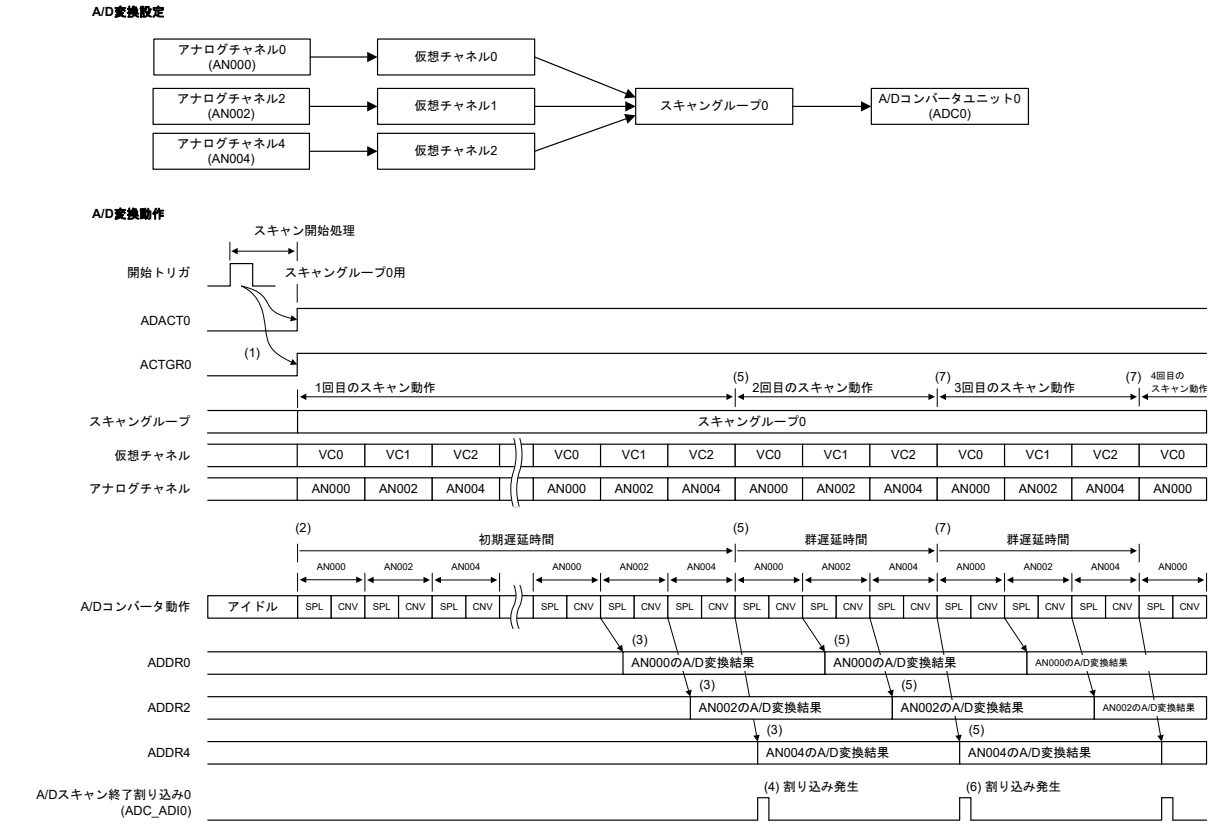
表 36.12 および図 36.12 にハイブリッドモード（連続スキャンモード）での動作例を示します。

表 36.12 ハイブリッドモード（連続スキャンモード）でのスキャン動作例 (1/2)

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。 スキャン動作が開始すると、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0～8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。
2	ハイブリッドモードでは、オーバーサンプリングが実行されるごとにアナログチャネルを切り替える間に、スキャン動作が行われます。
3	デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に対応したオーバーサンプリングが各アナログチャネルに実行された後、A/D 変換データが出力されます。（最初の A/D 変換データを取得するのに必要なオーバーサンプリングに要する時間を、初期遅延時間と呼びます。） A/D 変換データはデータレジスタ (ADDRi (i = 0～28), ADEXDRj (j = 0～2、5～8)) に格納されます。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納されます。
4	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。

表 36.12　ハイブリッドモード（連続スキャンモード）でのスキャン動作例 (2/2)

手順	動作
5	デジタルフィルタに格納されたオーバーサンプリングデータが保持されている間に、2 番目とそれ以降のスキャン動作が行われます。 A/D 変換値加算／平均回数に対応した 1 回または複数回のオーバーサンプリングが各アナログチャネルに実行されるごとに、次の A/D 変換データが出力されます。（連続スキャン動作において 2 番目とそれ以降の A/D 変換データを取得するのに必要なオーバーサンプリングに要する時間を、群遅延時間と呼びます。） A/D 変換データはデータレジスタ (ADDRi (i = 0～28), ADEXDRj (j = 0～2、5～8)) に格納されます。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納されます。
6	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
7	その後、A/D 変換停止処理が実行されるまで、手順 5～6 は繰り返され、スキャン動作が続きます。A/D 変換を停止するには、「36.5.4. A/D 変換動作の強制停止」の手順に従ってください。



注.　VC：仮想チャネル
SPL：サンプリング状態
CNV：変換状態

図 36.12　ハイブリッドモード（連続スキャンモード）でのスキャン動作例

36.3.7.7　ハイブリッドモード（バックグラウンド連続スキャンモード）

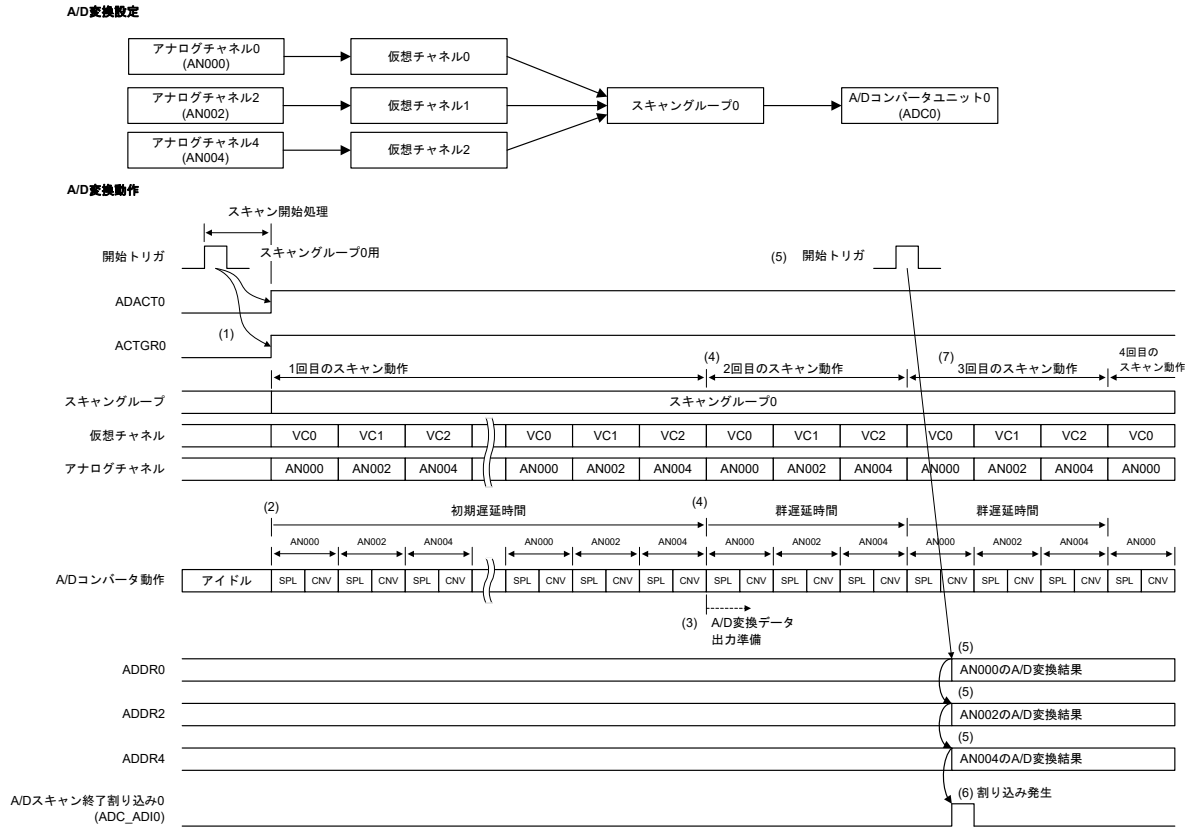
表 36.13 および図 36.13 にハイブリッドモード（バックグラウンド連続スキャンモード）での動作例を示します。

表 36.13　ハイブリッドモード（バックグラウンド連続スキャンモード）でのスキャン動作例 (1/2)

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。 スキャン動作が開始すると、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0～8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。

表 36.13　ハイブリッドモード（バックグラウンド連続スキャンモード）でのスキャン動作例 (2/2)

手順	動作
2	ハイブリッドモードでは、オーバーサンプリングが実行されるごとにアナログチャネルを切り替える間に、スキャン動作が行われます。
3	デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に対応したオーバーサンプリングが各アナログチャネルに実行された後、A/D 変換データは出力準備中になります。 （最初の A/D 変換データを取得するのに必要なオーバーサンプリングに要する時間を、初期遅延時間と呼びます。バックグラウンド連続スキャン動作では、スキャン動作開始から初期遅延時間が経過した後に、A/D 変換データを取得可能です。）
4	デジタルフィルタに格納されたオーバーサンプリングデータが保持されている間に、2 番目とそれ以降のスキャン動作が行われます。オーバーサンプリングが各アナログチャネルに実行されるごとに、デジタルフィルタのデータは更新されます。A/D 変換値加算／平均回数に対応した 1 回または複数回のオーバーサンプリングが各アナログチャネルに実行されるごとに、次の A/D 変換データが出力準備中になります。 （連続スキャン動作において 2 番目とそれ以降の A/D 変換データを取得するのに必要なオーバーサンプリングに要する時間を、群遅延時間と呼びます。バックグラウンド連続スキャン動作では、スキャン動作開始から初期遅延時間が経過した後、群遅延時間が経過するごとに、更新された A/D 変換データを取得可能です。）
5	バックグラウンド連続スキャン動作中に A/D 変換開始トリガが入力されると、その時点で最近の A/D 変換データがデータレジスタ (ADDRi (i = 0～28), ADEXDRj (j = 0～2、5～8)) に格納されます。FIFO 機能が有効な場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納されます。
6	スキャン終了割り込みが許可されている場合、スキャン終了割り込みが生成されます。
7	その後、A/D 変換停止処理が実行されるまで、バックグラウンド連続スキャン動作（手順 4）は繰り返されます。バックグラウンド連続スキャン動作中に A/D 変換開始トリガが入力されるときはいつでも、A/D 変換データが出力されます（手順 5、手順 6）。A/D 変換を停止するには、「36.5.4. A/D 変換動作の強制停止」の手順に従ってください。



注.　VC：仮想チャネル
SPL：サンプリング状態
CNV：変換状態

図 36.13　ハイブリッドモード（バックグラウンド連続スキャンモード）でのスキャン動作例

36.3.8 自己校正

ADC は自己校正機能を内蔵しています。自己校正機能を使って、チップごとのばらつきによる特性の違いを校正します。自己校正機能には以下の動作が含まれます。

1. 内部回路校正
   - A/D コンバータの内部回路の動作を調整します。
2. ゲインおよびオフセット校正
   - A/D コンバータのゲインエラーとオフセットエラーを測定します。
   - 測定された誤差データに基づく A/D 変換結果の校正処理は、A/D 変換の後に行われます。
     詳細は、「36.4.3.1. ゲインエラーとオフセットエラーの校正」を参照してください。
   - この自己校正は、内部回路自己校正が完了してから行ってください。
3. チャネル専用サンプル&ホールド回路のゲインおよびオフセット校正
   - チャネル専用サンプル&ホールド回路の使用時にゲインエラーとオフセットエラーを測定します。
   - 測定された誤差データに基づく A/D 変換結果の校正処理は、A/D 変換の後に行われます。
     詳細は、「36.4.3.1. ゲインエラーとオフセットエラーの校正」を参照してください。
   - この自己校正は、A/D コンバータのゲインおよびオフセット自己校正が完了してから行ってください。

36.3.8.1 自己校正が必要な状態

表 36.14 に自己校正が必要な状態を示します。表 36.14 に示す状態では、A/D コンバータを使用する前に自己校正を行う必要があります。A/D コンバータが動作中の場合は、すべての A/D コンバータを停止し、再度自己校正を行ってください。必要な自己校正が行われないと、A/D 変換結果は保証されません。

表 36.14 自己校正を実行する必要がある状態一覧

自己校正が必要な状態	内部回路校正	ゲイン／オフセット校正	チャネル専用サンプル&ホールド回路のゲイン／オフセット校正 (注 1)
リセット解除後	✓	✓	✓
モジュールストップ解除後	✓	✓	✓
ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰時	✓	✓	✓
ADCLK 設定を変更した場合 （クロックソースまたは周波数を変更した場合）	✓	✓	✓
A/D コンバータの動作モードまたはスキャンモードを変更した場合 （ADMDR.ADMDm ビット (m = 0, 1) を変更した場合）	✓	✓	✓
A/D 逐次比較時間を変更した場合 （ADCNVSTR.CSTm ビット (m = 0, 1) を変更した場合）	✓	✓	✓
チャネル専用サンプル&ホールド回路の動作設定を変更した場合(注1)	—	—	✓

注. ✓：自己校正を行ってください。
—：自己校正は不要です。

注 1. ADSHCRm.SHENn ビットのいずれかを 1 に設定したとき、または ADSHCRm.SHENn ビットのいずれかを変更したときは、チャネル専用サンプル&ホールド回路の自己校正動作を実施してください（m = 0、1、n = 0～2、4～6）。チャネル専用サンプル&ホールド回路を使用しない場合は、実施不要です。

36.3.8.2 自己校正手順

表 36.15 に自己校正手順を示します。

表 36.15 自己校正手順 (1/2)

No.	手順	説明
1	トリガ入力を無効化	周辺モジュールからのトリガ入力を無効にします。 （ADTRGENR.STTRGENn = 0 を書き込みます。）

表 36.15　自己校正手順 (2/2)

No.	手順	説明
2	すべての A/D コンバータが停止するまで待機	すべての A/D コンバータが停止したことを確認してください。 A/D 変換を実行中の場合は、以下のいずれかを行い、A/D コンバータが停止するまで待機してください。 ● すべての A/D 変換が完了するのを待つ ● ADSTOPR レジスタを使って A/D コンバータの動作を強制停止する A/D 変換動作の強制停止の詳細については、「36.5.4. A/D 変換動作の強制停止」を参照してください。
3	自己校正のステート数を設定	A/D コンバータの自己校正のステート数を ADCALSTCR レジスタに設定してください。ADCALSTCR レジスタの値は、ADC0 と ADC1 に使用されます。ADCALSTCR レジスタの値は、「46. 電気的特性」に定義された範囲を満たすように設定してください。
4	エラーステータスフラグをクリア	エラーフラグが検出された場合、自己校正を行う前にクリアしてください。(A/D コンバータエラーフラグ、A/D コンバータオーバーフローフラグ等)
5	ADC0 の自己校正を実行	ADC0 の自己校正を実行します。 ● 内部回路校正 ● ゲイン／オフセット校正 自己校正を開始した後は、完了するまで待機してください。
6	ADC1 の自己校正を実行	手順 5 と同様に、ADC1 の自己校正を実行します。
7	チャネル専用サンプル&ホールド回路の自己校正を設定(注1)	チャネル専用サンプル&ホールド回路の自己校正の設定をしてください。 チャネル専用サンプル&ホールド回路を有効にしてください。(注2) チャネル専用サンプル&ホールド回路の自己校正のステート数（ADCALSTCR レジスタ(注3)および ADCALSHCR レジスタ）を設定します。
8	チャネル専用サンプル&ホールド回路（SH0～SH2）の自己校正を実行(注1)	ADC0 に接続された、チャネル専用サンプル&ホールド回路（SH0～SH2）の自己校正を実行します。 ● チャネル専用サンプル&ホールド回路のゲイン／オフセット校正 自己校正を開始した後は、完了するまで待機してください。
9	チャネル専用サンプル&ホールド回路（SH4～SH6）の自己校正を実行(注1)	手順 8 と同様に、ADC1 に接続された、チャネル専用サンプル&ホールド回路（SH4～SH6）の自己校正を実行します。
10	エラー状態チェック (注4)	自己校正中のエラーをチェックしてください。 動作エラーが発生していない場合、自己校正は完了です。

注.　自己校正の効果を高めるため、A/D コンバータ 1 つ 1 つに対して自己校正を行うことを推奨します。
注 1.　チャネル専用サンプル&ホールド回路を使用していない場合は、不要です。
注 2.　ADCm (m = 0, 1) に接続されたすべてのチャネル専用サンプル&ホールド回路を有効化してください。
注 3.　チャネル専用サンプル&ホールド回路の自己校正を行う場合、A/D コンバータの自己校正時のサンプリングステート数（ADCALSTCR.CALADSST[9:0]ビット）も変更が必要な場合があります。電気的特性を満たす値を設定してください。
注 4.　自己校正で A/D コンバータエラーが検出された場合、電気的特性で指定された動作保証範囲外に設定されている可能性があります。動作設定を確認してください。

36.3.8.3　自己校正に関する制限

(1)　自己校正中のスキャン動作の禁止

自己校正中はスキャン動作を開始しないでください。スキャン動作を実行する場合は、自己校正の完了後に開始してください。自己校正中にスキャン動作を開始した場合、動作は保証されません。

(2)　自己校正中の ADCALSTR レジスタへの追加書き込みの禁止

自己校正を開始した後、自己校正が完了するまで ADCALSTR レジスタへの書き込みは禁止されています。ADCALSTR レジスタへの書き込みは、自己校正が完了してから行ってください。この制限に違反した場合、動作は保証されません。

(3)　自己校正中の強制停止の禁止

自己校正中は、ADSTOPR レジスタを使って強制停止しないでください。システムエラーまたは例外処理のために A/D 変換動作を強制停止する場合でも、必ず自己校正が完了するまで待機してください。自己校正中に強制停止した場合、動作は保証されません。

(4) チャネル専用サンプル&ホールド回路の自己校正に関する制限

チャネル専用サンプル&ホールド回路に対する自己校正を行う場合は、A/D コンバータに接続されたすべてのチャネル専用サンプル&ホールド回路を以下の手順で有効にしてください。

- ADC0 の場合：ADSHCR0.SHEN0～SHEN2 ビットを 1 にしてください。
- ADC1 の場合：ADSHCR1.SHEN4～SHEN6 ビットを 1 にしてください。

使用しないチャネル専用サンプル&ホールド回路がある場合、自己校正が完了した後に無効（ADSHCRm.SHENn = 0（m = 0、1、n = 0～2、4～6））にしてください。

1 つでもチャネル専用サンプル&ホールド回路が無効のときにチャネル専用サンプル&ホールド回路の自己校正を行った場合、動作は保証されません。

(5) 自己校正時の制限

A/D コンバータ 1 つ 1 つに対して自己校正を行ってください。自己校正中、他方の A/D コンバータはアイドル状態にしてください（スキャン動作または自己校正動作ではありません）。

もしこの制限に違反した場合、自己校正中のノイズにより A/D 変換の精度が低下します。この場合、A/D 変換特性は保証されません。

また、自己校正の効果を高めるためには、できるだけノイズの少ない状態で自己校正動作を行ってください。

(6) 自己校正のステート数設定に関する制限

ADCALSTCR レジスタおよび ADCALSHCR レジスタに設定するステート数は、電気的特性で指定する値を満たすように設定してください。また、自己校正中のステート数は、下記の制限を満たす必要があります。

もしこの制限に違反した場合、A/D 変換結果は保証されません。

[ADCALSTCR レジスタ設定時の制限]

- ADCALSTCR.CALADSST[9:0]ビット
  - 自己校正の種類に応じて、電気的特性で規定されている値を満たす値を設定してください。
  - 自己校正の種類によって設定値が異なる場合、それぞれの自己校正に合わせてレジスタ設定値を変更してください。
- ADCALSTCR.CALADCST[5:0]ビット
  - ADCNVSTR.CSTm[5:0] (m = 0, 1) ビットと同じ値を設定してください。
    (ADCALSTCR.CALADCST[5:0] = ADCNVSTR.CSTm[5:0])

[ADCALSHCR レジスタ設定時の制限]（チャネル専用サンプル＆ホールド回路使用時のみ）

- ADCALSHCR.CALSHSST[7:0]ビット
  - ADSHSTRm.SHSST[7:0] ビット + 1 (m = 0, 1)と同じ値を設定してください。.
    (ADCALSHCR.CALSHSST[7:0] = ADSHSTRm.SHSST[7:0] + 1)
  - ADSHSTR0.SHSST[7:0]と ADSHSTR1.SHSST[7:0]の設定値が異なる場合、ADC0（SH0～SH2）と ADC1（SH4～SH6）のそれぞれの自己校正に合わせて、CALSHSST[7:0]のレジスタ設定値を変更してください。
- ADCALSHCR.CALSHHST[2:0] ビット
  - ADSHSTRm.SHHST[2:0] (m = 0, 1) ビットと同じ値を設定してください。

36.3.9 アナログ入力チャネル

アナログ入力端子、アナログチャネル番号、A/D コンバータ、プログラマブルゲインアンプ、およびチャネル専用サンプル&ホールド回路の関係については、表 36.4 を参照してください。

36.3.10 拡張アナログ機能

拡張アナログ機能は、MCU の内部信号源に対する A/D 変換を行います。拡張アナログ機能が変換できる信号源は、以下のとおりです。

- 自己診断電圧

- 内部基準電圧
- 温度センサ
- D/A コンバータ出力（ACMPHS への内部出力経路）

36.3.11 自己診断機能

本 A/D コンバータには自己診断機能が内蔵されています。自己診断機能は、A/D コンバータに自己診断電圧を入力し、A/D 変換を行います。自己診断電圧の A/D 変換結果を使って、A/D コンバータが正常に動作していることを確認できます。

36.3.11.1 自己診断

本 A/D コンバータには自己診断機能が内蔵されています。自己診断機能は、A/D コンバータに自己診断電圧を入力し、A/D 変換を行います。自己診断電圧の A/D 変換結果を使って、A/D コンバータが正常に動作していることを確認できます。表 36.16 に自己診断機能を使用する場合の動作モードを示します。

表 36.16 自己診断機能を使用する場合の動作モード

動作モード（スキャンモード）	自己診断機能
SAR モード（シングルスキャンモード）	✓
SAR モード（連続スキャンモード）	—
オーバーサンプリングモード（シングルスキャンモード）	✓
オーバーサンプリングモード（連続スキャンモード）	—
ハイブリッドモード（シングルスキャンモード）	✓
ハイブリッドモード（連続スキャンモード）	—
ハイブリッドモード（バックグラウンド連続スキャンモード）	—

注. ✓：使用可能、—：使用不可

A/D コンバータの自己診断の実施手順を以下に示します。

1. 自己診断チャネルを仮想チャネルに割り当て、その仮想チャネルを設定します。
2. 自己診断チャネルが選択された仮想チャネルを、スキャングループに割り当てます。
3. 上記の手順 2 で割り当てたスキャングループに対応する ADSGDCRn.DIAGVAL[2:0] (n = 0～8) ビットで自己診断電圧を設定します。
4. A/D 変換開始トリガを入力し、スキャン動作を開始します。自己診断チャネルの A/D 変換時に自己診断動作が実行されます。

表 36.17 に、自己診断機能を使用する場合の動作設定を示します。自己診断機能を使用する場合は、表 36.17 の設定に従ってください。表 36.17 に示す設定以外で自己診断動作を実行した場合、自己診断結果（A/D 変換結果）は保証されません。

表 36.17 自己診断機能を使用する場合の動作設定と期待値

	レジスタ設定値				自己診断動作		
	ADSGDCRx	ADCHCRy		ADDOPCRCy	A/D コンバータへの入力電圧		A/D 変換データの期待値(注1) (注2)
自己診断モード	DIAGVAL[2:0]	CNVCS[6:0]	AINMD(注6)	SIGNSEL	非反転入力 (+) (A_{INP})	反転入力 (−) (A_{INP})	
自己診断モード 1	100b	0x60	1	0	VREFL0	VREFL0	0x0000 (注3)
自己診断モード 2	101b	0x60	1	0	VREFL0	VREFH0	0x8000 (注4)
自己診断モード 3	110b	0x60	1	0	VREFH0	VREFL0	0x7FFF (注5)

注. x = 0～8、y = 0～36
注 1. 期待値とは、ADEXDR0.DATA[15:0] または ADFIFODRx.DATA[15:0] に格納される A/D 変換結果の理想値です。
注 2. A/D 変換データとは、16 ビットデータフォーマット (ADDOPCRCy.ADPRC[1:0] = 00b) を選択したときの値です。
注 3. A/D 変換結果は、A/D 変換において正の精度誤差が発生した場合には 0x0001 (+1) 以上になり、負の精度誤差が発生した場合には 0xFFFF (-1) 以下になります。

注 4. A/D 変換中に精度誤差が発生した場合、A/D 変換結果は 0x8000 以上の値になります。
注 5. A/D 変換中に精度誤差が発生した場合、A/D 変換結果は 0x7FFF 以下の値になります。
注 6. SAR モードでは自己診断動作中のみ、例外として、差動入力がサポートされています。

36.3.11.2 自己診断モード

(1) 自己診断モード 1

自己診断モード 1 では、A/D コンバータの非反転入力 (+) (A_{INP}) と反転入力 (−) (A_{INN}) は VREFH0 レベルに入力されます。差動電圧が 0 なので、自己診断結果の理想値は 0x0000 (±0) です。A/D 変換結果は、A/D 変換において正の精度誤差が発生した場合には 0x0001 (+1) 以上になり、負の精度誤差が発生した場合には 0xFFFF (-1) 以下になります。

(2) 自己診断モード 2

自己診断モード 2 では、A/D コンバータの非反転入力 (+) (A_{INP}) は VREFL0 レベルに入力され、反転入力 (−) (A_{INN}) は VREFH0 レベルに入力されます。差動電圧が−VREFH0（VREFL0 = 0 V の場合）なので、自己診断結果の理想値は 0x8000 (−32768) です。A/D 変換誤差が発生した場合には、自己診断の A/D 変換結果は 0x8000 より大きい値となります。

(3) 自己診断モード 3

自己診断モード 3 では、A/D コンバータの非反転入力 (+) (A_{INP}) は VREFH0 レベルに入力され、反転入力 (−) (A_{INN}) は VREFL0 レベルに入力されます。差動電圧が+VREFH0（VREFL0 = 0 V の場合）なので、自己診断結果の理想値は 0x7FFF (+32767) です。A/D 変換誤差が発生した場合には、自己診断の A/D 変換結果は 0x7FFF より小さい値となります。

36.3.11.3 自己診断機能に関する注意事項

(1) 自己診断実行時の注意事項

自己診断結果を格納するデータレジスタ (ADEXDR0) は、すべての A/D コンバータが共用します。自己診断を行う場合、ADEXDR0 レジスタは、後の自己診断動作によって上書きされます。ADC0 と ADC1 の自己診断動作が同時に行われる場合、ADEXDR0 レジスタに自己診断結果を格納する際に競合が発生し、ADC0 と ADC1 のうち、どちらか片方の自己診断結果が失われます。さらに、ADEXDR0 レジスタ内の値からは、データがどちらの A/D コンバータによって変換されたのか区別できません。

この問題を避けるため、自己診断は以下の方法のうち、どちらかの方法で行うことを推奨します。

[自己診断機能を使用する際の推奨動作]

- 自己診断を、A/D コンバータ 1 つ 1 つに対して行う。
  - データレジスタを読み出す際に、どちらの A/D コンバータの自己診断結果であるかを区別するために、1 度に 1 つの A/D コンバータのみの自己診断動作を行うようにスケジュールしてください。
- 自己診断チャネルを含むスキャングループに対して FIFO 機能を使う。
  - 各スキャングループには固有の FIFO があります。スキャングループと A/D コンバータ間の設定から、FIFO から読み出されたデータがどの A/D コンバータによって出力されたかを区別することができます。この方法を使用すると、どの A/D コンバータの自己診断結果かを区別することができます。

(2) 自己診断中のデータフォーマットに関する注意事項

自己診断を行う場合、16 ビット長以外のデータフォーマットを設定すると、A/D 変換データの切り上げ／切り下げのため、オーバーフローが発生し、A/D 変換データエラーが検出されます。自己診断を行う場合は、16 ビットデータフォーマットを選択してください。

36.3.12 内部基準電圧

ADC は内部基準電圧を A/D 変換できます。内部基準電圧は、電源電圧（VCC、VSS、AVCC、AVSS、VREFH0、および VREFL0）から独立した一定の電圧を出力します。内部基準電圧を監視することで、アナログ基準電源電圧（VREFH0 および VREFL0）の変動、またはシステム内の異常や故障を検出できます。

内部基準電圧の A/D 変換を行う際は、内部基準電圧監視イネーブルレジスタ (ADREFCR) を設定し、内部基準電圧のアナログチャネルを任意の仮想チャネルに割り当てる必要があります。内部基準電圧機能とアナログチャ

ネルの関係については、表 36.5 を参照してください。内部基準電圧の A/D 変換時のサンプリング時間については、「46. 電気的特性」を参照してください。

36.3.13 温度センサ

ADC は温度センサを A/D 変換できます。チップ温度は、温度センサの A/D 変換結果から推定できます。温度センサの詳細については、「38. 温度センサ回路 (TSN)」を参照してください。

温度センサの A/D 変換を行う場合、温度センサを設定し、温度センサのアナログチャネルを任意の仮想チャネルに割り当てる必要があります。温度センサとアナログチャネルの関係については、表 36.5 を参照してください。温度センサの A/D 変換時のサンプリング時間については、「46. 電気的特性」を参照してください。

36.3.14 D/A コンバータ

ADC は、D/A コンバータが内部モジュール (ACMPHS) に出力する電圧を A/D 変換できます。D/A コンバータの出力を高速アナログコンパレータ (ACMPHS) の基準入力電圧として使用する場合、この機能を使って D/A コンバータの出力電圧を監視できます。D/A コンバータの機能の詳細については、「37. 12 ビット D/A コンバータ (DAC12)」を参照してください。

D/A コンバータ（DA0～DA3）の出力（ACMPHS への出力）に対して A/D 変換を行う場合、D/A コンバータを設定し、D/A コンバータのアナログチャネルを仮想チャネルの 1 つに割り当てる必要があります。D/A コンバータ出力電圧の A/D 変換時のサンプリング時間については、「46. 電気的特性」を参照してください。

36.3.15 プログラマブルゲインアンプ

ADC はプログラマブルゲインアンプ (PGA) を内蔵しています。PGA は外部アナログ入力信号を増幅し、A/D コンバータ、チャネル専用サンプル&ホールド回路、および高速アナログコンパレーター (ACMPHS) へ出力します。

36.3.15.1 PGA の設定と動作

PGA はユニットごとに、シングルエンド入力または疑似差動入力を選択できます。図 36.14 にシングルエンド入力モードおよび疑似差動入力モードでの PGA の内部構成を示します。

(1) シングルエンド入力

シングルエンド入力モード時、PGA は PGAIN 端子からの入力を指定したゲインで増幅します。ゲインは ADPGACRn.PGAGAIN[3:0] (n = 0～3) ビットで設定します。設定可能なゲインは、2.000 倍～13.333 倍です。表 36.18 に PGA 出力電圧の計算式を示します。

シングルエンド入力モードで PGA を動作させる場合、PGAIN を信号源に接続し、PGAVSS をアナロググランド (AVSS0) に接続する必要があります。 PGAIN への入力電圧は、電気的特性で指定する範囲を超えてはなりません。

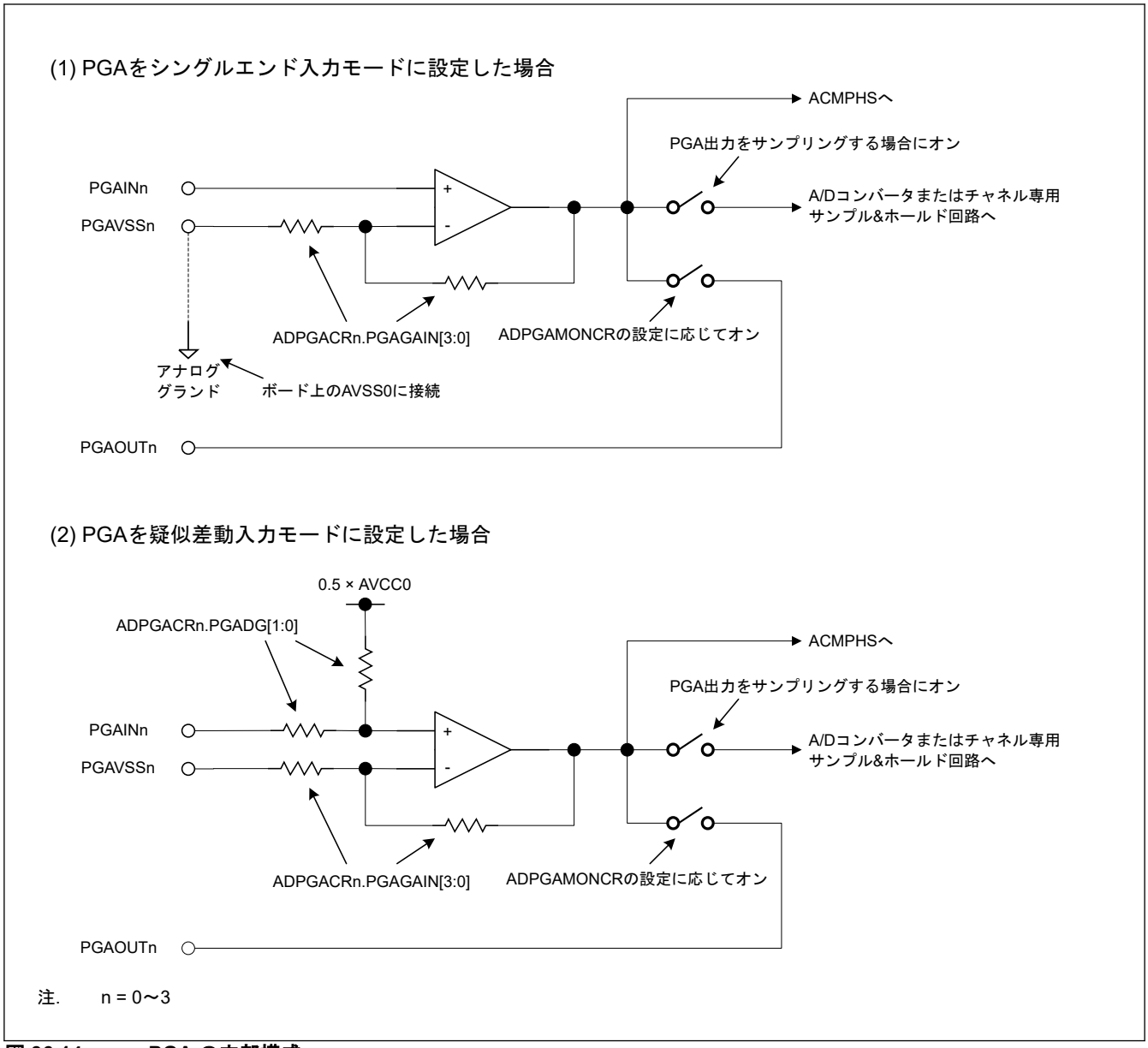
(2) 疑似差動入力

疑似差動入力モード時、PGA は PGAIN 端子と PGAVSS 端子の差を指定されたゲインで増幅し、「AVCC×0.5」レベルのオフセットを加えて得られた電圧を出力します。ゲインは、ADPGACRn.PGAGAIN[3:0] (n = 0～3) ビットと ADPGACRn.PGADG[1:0] (n = 0～3) ビットで設定します。設定可能なゲインは、1.500 倍、2.333 倍、4.000 倍、および 5.667 倍です。同じゲイン値を PGAGAIN[3:0]ビットと PGADG[1:0]ビットに設定します。表 36.18 に PGA 出力電圧の計算式を示します。

疑似差動入力モードで PGA を動作させる場合、PGAIN を信号源に接続し、PGAVSS を信号源の基準グランドに接続する必要があります。PGAIN 端子と PGAVSS 端子への入力は、電気的特性で指定する範囲を超えてはなりません。

(3) PGA 出力

PGA で増幅したアナログ信号は、A/D コンバータ、チャネル専用サンプル&ホールド回路、および高速アナログコンパレータで使用できます。PGA 出力を A/D コンバータまたはチャネル専用サンプル&ホールド回路で使用する場合、シングルエンド入力の信号源として、PGAIN に接続されたアナログ入力チャネルを変換するように、仮想チャネルを設定してください (ADCHCRn.AINMD = 0 (n = 0～36))。



注. n = 0～3

図 36.14 PGA の内部構成

表 36.18 PGA 出力電圧

PGA モード	PGA 出力電圧
シングルエンド入力	ゲイン x Vin
疑似差動入力	ゲイン x (Vin – Vs) + AVCC x 0.5

注. Vin：PGAIN0～PGAIN3、Vs：PGAVSS0～PGAVSS3

36.3.15.2 PGA 動作設定

表 36.19 に、PGA 設定と使用可能な関連機能の組み合わせを示します。

表 36.19 PGA 設定と使用可能な関連機能

使用例	機能				レジスタ設定						
					PnmPFS(注2)	ADPGACRn (n = 0～3) (注5)					
		ACMPHS(注1)				b27-24	b21-20	b16	b3	b2	b1
	入出力ポート	IVCMP3	IVCMP2	ADC	ASEL	PGAGAIN[3:0]	PGADG[1:0]	PGAGEN	PGAENAMP	PGASEL1	PGADEN(注3)
入出力ポート使用時	✓	—	—	—	0	0x0	00b	0	0	0	0
ACMPHS または ADC 使用時（PGA は不使用）(注4)	—	—	✓	✓ (ANx)	1	0x0	00b	1	0	0	0
PGA シングルエンド入力使用時	—	✓	✓	✓（PGA 出力）	1	0x0～0xE	00b	1	1	1	0
PGA 疑似差動入力使用時	—	✓	—	✓（PGA 出力）	1	0x1、0x5、0x9、0xB	00b～11b	1	1	1	1

注. ✓：使用可能—：使用不可能
ANx：PGAINn または PGAVSSn（n = 0～3）が割り当てられたアナログ入力チャネル
注 1. ACMPHS.IVCMP2：PGA をバイパスして ANx 入力を使用する場合
ACMPHS.IVCMP3：PGA を使用する場合
注 2. PnmPFS レジスタ設定の詳細については、「18. I/O ポート」を参照してください。
注 3. リセット後の値は、「6. オプション設定メモリ」内の「6.2.3. OFS1、OFS1_SEC、OFS1_SEL：オプション機能選択レジスタ 1」のユーザー設定値により異なります。
注 4. 入出力ポートと ACMPHS は同時に使用できません。
入出力ポートと ADC は同時に使用できません。
注 5. 表に示された組み合わせのみ、ADPGACRn レジスタに設定可能です。

36.3.15.3 PGA 出力モニタ機能

システムデバッグのために、PGA の内部出力を端子に出力することが可能です。本機能を使用する場合は、ADPGAMONCR レジスタの設定と PGAOUT 機能が割り当てられている端子の設定が必要です。端子構成の詳細については、「18. I/O ポート」を参照してください。

PGA 出力モニタ機能に関する制限

PGA 出力のモニタ機能（以下、本機能）は、MCU のプログラム開発およびデバッグを目的とした補助機能であり、それ以外の用途以外で使用することは禁止されています。本機能は外部回路を駆動することを想定して設計されていません。そのため、本機能を使用した場合、端子出力による負荷や外部ノイズの影響などによって、PGA 特性の悪化および意図しない動作に繋がる場合があります。これらの理由から本機能を使用した状態では、機能、特性および信頼性は保証されません。本機能を使用する際は、お客様の機器・システムの安全に十分な配慮の上、お客様の責任でご使用ください。また、お客様の機器・システムの開発完了後におきましては、本機能を無効化した状態でご使用ください。

36.3.15.4 PGA に関する制限

PGA を使用する際は、以下の制限を守ってください。

(1) PGAIN および PGAVSS が割り当てられたアナログ入力経路に関する制限

PGA を使用する場合、PGAVSS 端子に割り当てられたアナログ入力端子は A/D 変換またはチャネル専用サンプル&ホールド回路に入力できません。

PGA が有効か無効かに関係なく、PGA を疑似差動入力モードに設定している場合、PGAIN および PGAVSS が割り当てられたアナログ入力は、PGA をバイパスして A/D コンバータやチャネル専用サンプル&ホールド回路で使用できません。

(2) PGAIN および PGAVSS が割り当てられた端子への入力電圧の範囲に関する制限

PGAIN および PGAVSS が接続された端子への入力は、電気的特性で指定した範囲を超えてはなりません。

PGA が有効か無効かに関係なく、PGA をシングル入力モードに設定している場合、PGAIN および PGAVSS が割り当てられたアナログ端子にマイナスの電圧を入力しないでください。

端子に印可可能な電圧の詳細については、「46. 電気的特性」を参照してください。

(3) PGA 出力モニタ機能に関する制限

PGA 出力モニタ機能は MCU のプログラム開発およびデバッグを目的とした補助機能であり、それ以外の目的に使用することは禁止されています。PGA 出力モニタ機能を使用する場合、機能、特性および信頼性は保証されません。詳細は、「36.3.15.3. PGA 出力モニタ機能」を参照してください。

36.3.16 チャネル専用サンプル＆ホールド回路

ADC は、チャネル専用サンプル&ホールド回路を内蔵しています。複数のチャネル専用サンプル&ホールド回路を使うことで、複数のアナログ入力を同時にサンプリングできます。

チャネル専用サンプル&ホールド回路を使用可能な条件を表 36.20 に示します。

表 36.20 チャネル専用サンプル＆ホールド回路を使用可能な動作モード

動作モード	チャネル専用サンプル＆ホールド回路
SAR モード（シングルスキャンモード）	✓
SAR モード（連続スキャンモード）	—
オーバーサンプリングモード（シングルスキャンモード）	—
オーバーサンプリングモード（連続スキャンモード）	—
ハイブリッドモード（シングルスキャンモード）	✓
ハイブリッドモード（連続スキャンモード）	✓
ハイブリッドモード（バックグラウンド連続スキャンモード）	✓

注. ✓：使用可能、—：使用不可

36.3.16.1 チャネル専用サンプル＆ホールド回路の構成

(1) PGA なしの場合のシングルエンド入力モードでの構成

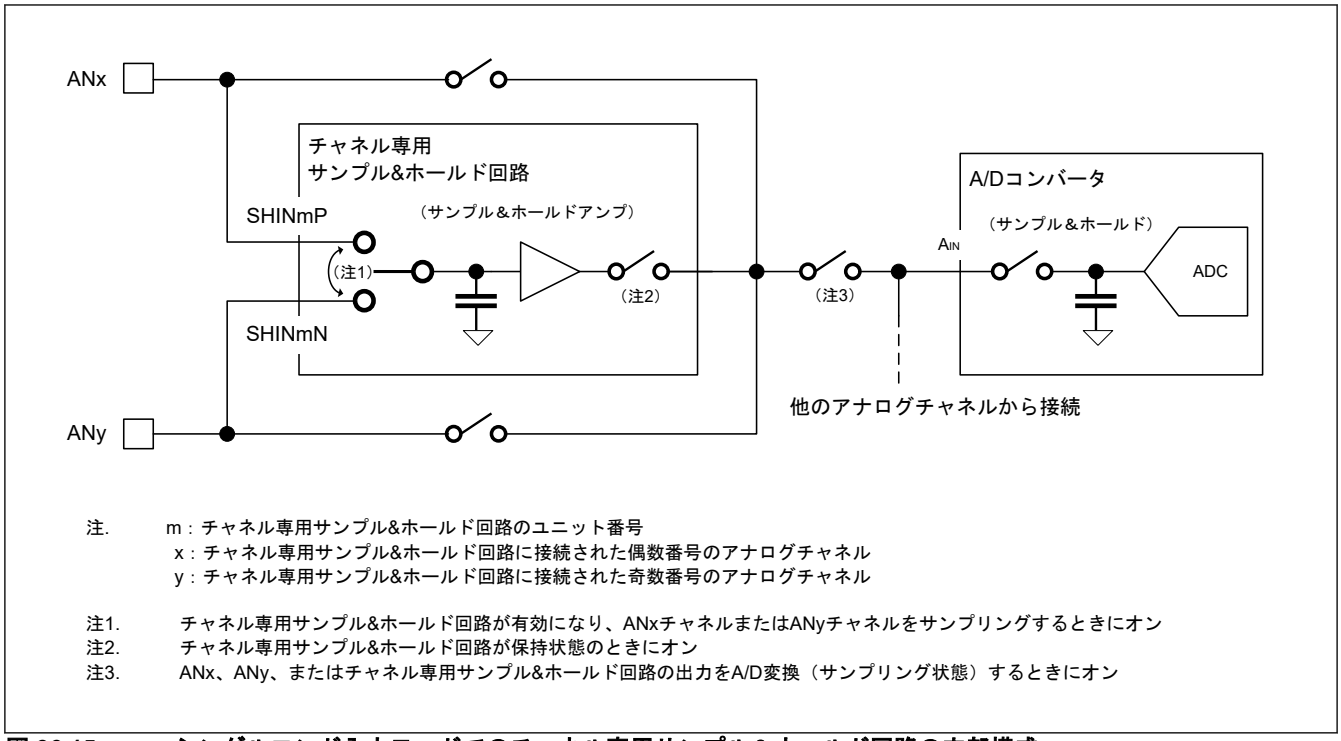
本節では、シングルエンド入力でチャネル専用サンプル&ホールド回路を使用する場合の内部構成を説明します。本節では、プログラマブルゲインアンプ (PGA) が接続されていない、または PGA が使用されていない（バイパスされている）場合を想定していますので、ご注意ください。PGA に接続してチャネル専用サンプル&ホールド回路を使用する場合は(3)PGA ありの場合の構成を参照してください。

図 36.15 にシングルエンド入力モードでのチャネル専用サンプル&ホールド回路の構成を示します。（PGA なし、または PGA バイパス）

チャネル専用サンプル&ホールド回路は、2 本のアナログ入力チャネルに接続されます。チャネル専用サンプル&ホールド回路がシングルエンド入力モードで動作している場合、1 回のスキャン動作で、2 つのアナログ入力の片方（ANx または ANy）をサンプリングして保持し、A/D コンバータへ出力します。A/D 変換設定を、シングルエンド入力の信号源を変換するように設定してください。(ADCHCRn.AINMD = 0 (n = 0～36))

チャネル専用サンプル&ホールド回路がシングルエンド入力モードで動作している場合、ANx または ANy の一方をサンプリングして保持している間、他方（ANx または ANy）の A/D 変換は禁止です。これはチャネル専用サンプル&ホールド回路が有効な場合、ANx と ANy の両方を同じスキャングループで A/D 変換できないことを意味しています。（ANx または ANy の一方をチャネル専用サンプル&ホールド回路で A/D 変換し、他方をチャネル専用サンプル&ホールド回路をバイパスして A/D 変換することもできません。）

チャネル専用サンプル&ホールド回路が有効な間に、シングルエンド入力で ANx と ANy の両方を A/D 変換したい場合は、ANx と ANy を変換に対して異なるスキャングループに割り当てなければなりません。



注. m：チャネル専用サンプル&ホールド回路のユニット番号
x：チャネル専用サンプル&ホールド回路に接続された偶数番号のアナログチャネル
y：チャネル専用サンプル&ホールド回路に接続された奇数番号のアナログチャネル

注1. チャネル専用サンプル&ホールド回路が有効になり、ANxチャネルまたはANyチャネルをサンプリングするときにオン
注2. チャネル専用サンプル&ホールド回路が保持状態のときにオン
注3. ANx、ANy、またはチャネル専用サンプル&ホールド回路の出力をA/D変換（サンプリング状態）するときにオン

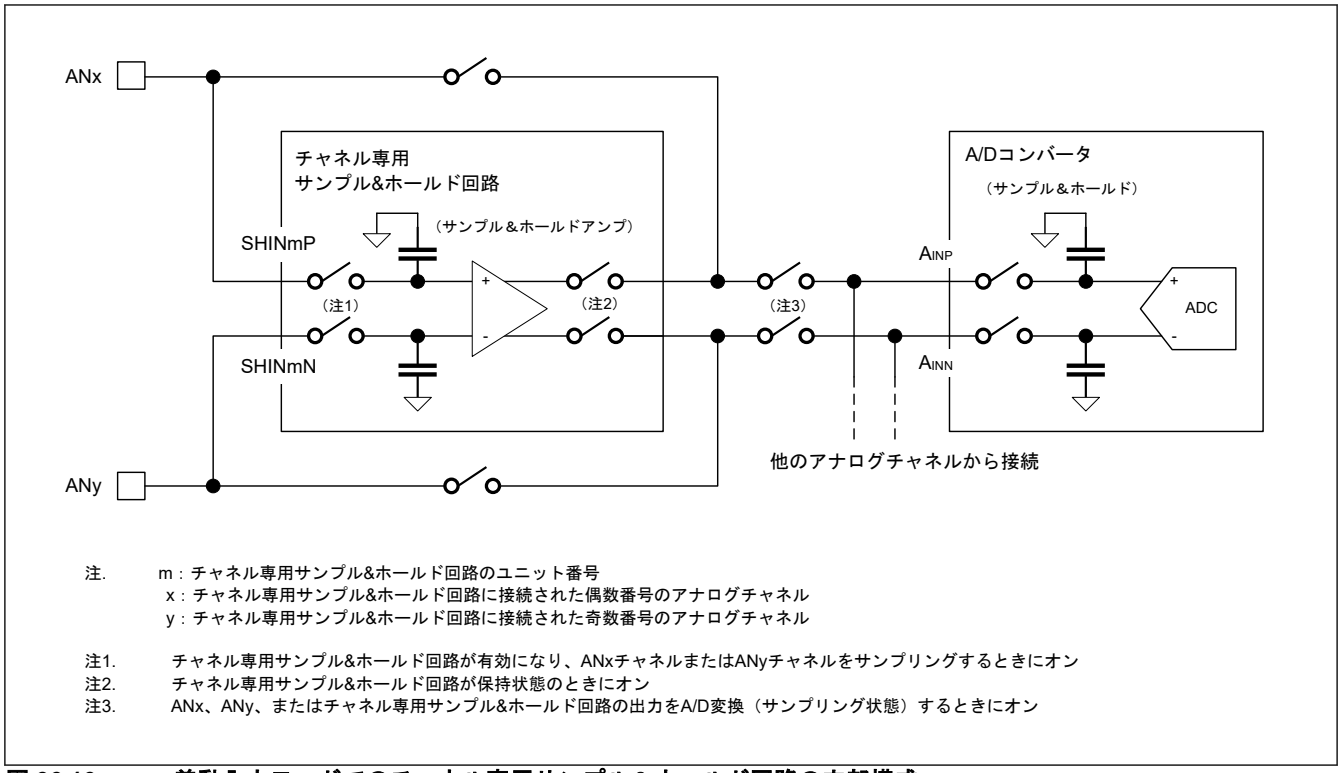
図 36.15 シングルエンド入力モードでのチャネル専用サンプル＆ホールド回路の内部構成

(2) PGA なしの場合の差動入力モードでの構成

本節では、差動入力でチャネル専用サンプル＆ホールド回路を使用する場合の内部構成を説明します。本節では、プログラマブルゲインアンプ (PGA) が接続されていない、または PGA が使用されていない（バイパスされている）場合を想定していますので、ご注意ください。PGA に接続してチャネル専用サンプル＆ホールド回路を使用する場合は(3)PGA ありの場合の構成を参照してください。

図 36.16 に差動入力モードでのチャネル専用サンプル＆ホールド回路の構成を示します。（PGA なし、または PGA バイパス）

チャネル専用サンプル&ホールド回路が差動入力モードで動作している場合、偶数番号のアナログチャネルは非反転入力 (+) (SHINmP) に接続され、奇数番号のアナログチャネルは反転入力 (-) (SHINmN) に接続されます。1 回のスキャン動作で、2 つのアナログ入力（差動入力）をサンプリングして保持し、A/D コンバータへ出力します。A/D 変換設定を、差動入力の信号源を変換するように設定してください。(ADCHCRn.AINMD = 1 (n = 0～36))



注. m：チャネル専用サンプル&ホールド回路のユニット番号
x：チャネル専用サンプル&ホールド回路に接続された偶数番号のアナログチャネル
y：チャネル専用サンプル&ホールド回路に接続された奇数番号のアナログチャネル

注1. チャネル専用サンプル&ホールド回路が有効になり、ANxチャネルまたはANyチャネルをサンプリングするときにオン
注2. チャネル専用サンプル&ホールド回路が保持状態のときにオン
注3. ANx、ANy、またはチャネル専用サンプル&ホールド回路の出力をA/D変換（サンプリング状態）するときにオン

図 36.16 差動入力モードでのチャネル専用サンプル＆ホールド回路の内部構成

(3) PGA ありの場合の構成

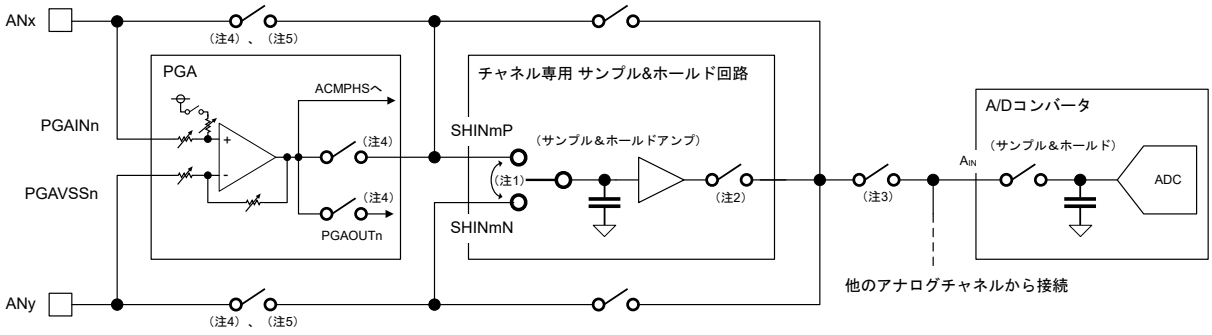
本節では、プログラマブルゲインアンプ (PGA) に接続してチャネル専用サンプル＆ホールド回路を使用する場合の内部構成を説明します。PGA が使用されない（バイパスされる）場合、(1)PGA なしの場合のシングルエンド入力モードでの構成または(2)PGA なしの場合の差動入力モードでの構成を参照してください。

図 36.17 に PGA に接続してチャネル専用サンプル＆ホールド回路を使用する場合の構成を示します。

チャネル専用サンプル＆ホールド回路が有効な場合、PGA 出力はチャネル専用サンプル＆ホールド回路の非反転入力 (+) (SHINxP) に入力されます。したがって、チャネル専用サンプル＆ホールド回路はシングルエンド入力モードで動作しなければなりません。

1 回のスキャン動作で、PGA 出力をサンプリングして保持し、A/D コンバータへ出力します。A/D 変換設定を、シングルエンド入力の信号源を変換するように設定してください。

PGA が有効な場合、PGAVSS 側のアナログのパスはチャネル専用サンプル＆ホールド回路の反転入力 (−) (SHINmN) として使用できません。



注. m：チャネル専用サンプル&ホールド回路のユニット番号
n：プログラマブルゲインアンプのユニット番号
x：チャネル専用サンプル&ホールド回路に接続された偶数番号のアナログチャネル
y：チャネル専用サンプル&ホールド回路に接続された奇数番号のアナログチャネル

注1. チャネル専用サンプル&ホールド回路が有効になり、ANxチャネルまたはANyチャネルをサンプリングするときにオン
注2. チャネル専用サンプル&ホールド回路が保持状態のときにオン
注3. ANx（PGAバイパスまたはPGA経由）、ANy（PGAバイパス）、またはチャネル専用サンプル&ホールド回路の出力をA/D変換（サンプリング状態）するときにオン
注4. オン／オフはPGAの動作設定に依存
注5. PGAが疑似差動入力モードに設定された場合は常にオフ

図 36.17 PGA ありの場合のチャネル専用サンプル＆ホールド回路の内部構成

36.3.16.2 SAR モードでのチャネル専用サンプル＆ホールド回路の動作

(1) SAR モード（シングルスキャンモード）での基本動作（シングルエンド入力モード）

本項では、SAR モードでのチャネル専用サンプル＆ホールド回路の基本動作を説明します。動作設定例や動作例を表 36.21、表 36.22、および図 36.18 に示します。

表 36.21 SAR モード（シングルスキャンモード）でのチャネル専用サンプル＆ホールド回路の動作設定例

項目	設定
A/D コンバータ	ADC0 を SAR モード（シングルスキャンモード）に設定する。
チャネル専用サンプル＆ホールド回路	SH0～SH2 を有効にし、シングルエンド入力モードに設定する。 （AN000～AN005 はチャネル専用サンプル＆ホールド回路を使用して、A/D 変換される。）
仮想チャネル(注1)	AN000、AN002、AN004、AN020 を仮想チャネル 0～3 に割り当て、シングルエンド入力モードに設定する。
スキャングループ	仮想チャネル 0～3 をスキャングループ 0 に割り当てる。 スキャングループ 0 を ADC0 で変換するように設定する。

注 1. チャネル専用サンプル＆ホールド回路を使用する場合、仮想チャネルの設定に関して制限があります。詳細は、「36.3.16.4. チャネル専用サンプル＆ホールド回路に関する制限」を参照してください。

表 36.22 SAR モード（シングルスキャンモード）でのチャネル専用サンプル＆ホールド回路の動作例

手順	動作例の詳細
1	スキャングループ 0 用のトリガが入力されたときに、スキャングループ 0 のスキャン動作が開始する。
2	チャネル専用サンプル&ホールド回路（SH0～SH2）がアナログ入力（AN000、AN002、AN004）のサンプリングを開始し、保持する。
3	各チャネル専用サンプル&ホールド回路が保持した電圧と、それ以外のアナログ入力チャネル (AN020) の A/D 変換を行う。
4	各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
5	スキャングループ 0 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。

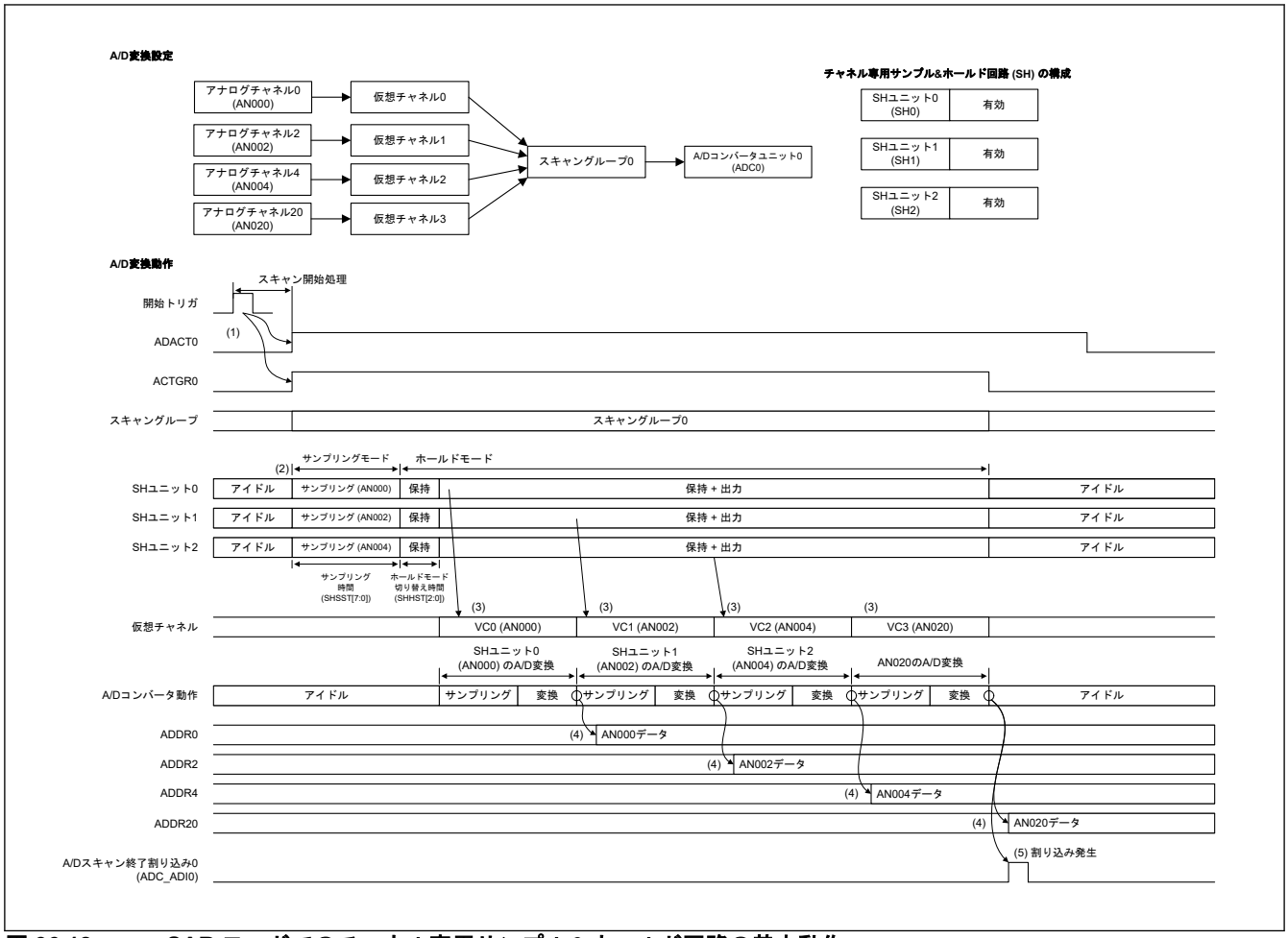


図 36.18　SAR モードでのチャネル専用サンプル＆ホールド回路の基本動作

(2)　SAR モード（シングルスキャンモード）での高度な動作

本項では、2 本のアナログチャネルが 1 つのチャネル専用サンプル＆ホールド回路を共用する A/D 変換の動作を説明します。本項に示される動作は、以下のすべての条件を満たす場合のみ可能です。

［動作条件］

- 動作モード：SAR モード（シングルスキャンモード）
- 入力方法：シングルエンド入力モード
- その他：PGA がチャネル専用サンプル＆ホールド回路に接続されると PGA は無効

SAR モード（シングルスキャンモード）でチャネル専用サンプル＆ホールド回路を使用する、偶数番号のアナログチャネルと奇数番号のアナログチャネルの A/D 変換例を以下に示します。表 36.23 に設定例を、表 36.24 と図 36.19 に動作の詳細を示します。

表 36.23　チャネル専用サンプル＆ホールド回路の高度な動作の設定例 (1/2)

項目	設定
A/D コンバータ	ADC0 を SAR モード（シングルスキャンモード）に設定する。
チャネル専用サンプル＆ホールド回路	SH0～SH2 を有効にし、シングルエンド入力モードに設定する。 （AN000～AN005 はチャネル専用サンプル＆ホールド回路を使用して、A/D 変換される。）
仮想チャネル(注1)	● AN000、AN002、AN004 を仮想チャネル 0～2 に割り当て、シングルエンド入力モードに設定する。 ● AN001、AN003、AN005 を仮想チャネル 3～5 に割り当て、シングルエンド入力モードに設定する。

表 36.23　チャネル専用サンプル＆ホールド回路の高度な動作の設定例 (2/2)

項目	設定
スキャングループ	• スキャングループ 0：AN000、AN002、AN004 を割り当てる（仮想チャネル 0～2） • スキャングループ 1：AN001、AN003、AN005 を割り当てる（仮想チャネル 3～5） • スキャングループ 0 とスキャングループ 1 を ADC0 で変換するように設定する。

注 1.　チャネル専用サンプル＆ホールド回路を使用する場合、仮想チャネルの設定に関して制限があります。詳細は、「36.3.16.4. チャネル専用サンプル＆ホールド回路に関する制限」を参照してください。

表 36.24　チャネル専用サンプル＆ホールド回路の高度な動作例

手順	動作例の詳細
1	スキャングループ 0 用のトリガが入力されたときに、スキャングループ 0 のスキャン動作が開始する。
2	チャネル専用サンプル&ホールド回路（SH0～SH2）がアナログ入力（AN000、AN002、AN004）のサンプリングを開始し、保持する。
3	チャネル専用サンプル&ホールド回路が保持した電圧に対して A/D 変換を行う。
4	スキャングループ 0 で各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
5	スキャングループ 0 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。
6	スキャングループ 0 のスキャン完了後に、スキャングループ 1 用のトリガが入力されたときに、スキャングループ 1 のスキャン動作が開始する。
7	チャネル専用サンプル&ホールド回路（SH0～SH2）がアナログ入力（AN001、AN003、AN05）のサンプリングを開始し、保持する。
8	チャネル専用サンプル&ホールド回路が保持する電圧に対して A/D 変換を行う。
9	スキャングループ 1 で各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
10	スキャングループ 1 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。

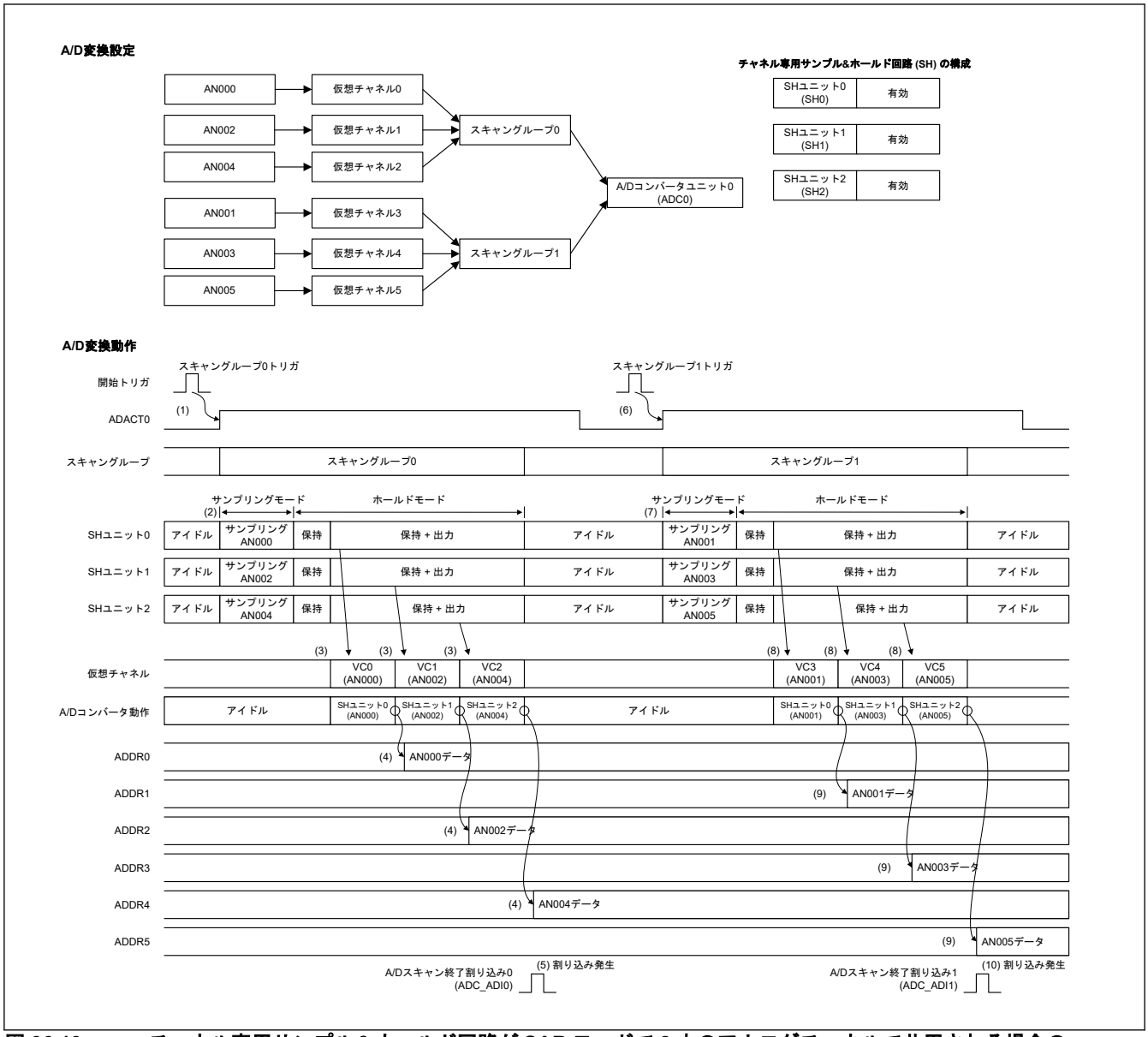


図 36.19　チャネル専用サンプル&ホールド回路が SAR モードで 2 本のアナログチャネルで共用される場合の動作例

36.3.16.3　ハイブリッドモードでのチャネル専用サンプル&ホールド回路の動作

(1)　ハイブリッドモードでのチャネル専用サンプル&ホールド回路の使用制限

ハイブリッドモードでチャネル専用サンプル&ホールド回路を使用する場合、仮想チャネルとスキャングループは表 36.25 で示される使用制限を受けます。

表 36.25　ハイブリッドモードでのチャネル専用サンプル&ホールド回路の使用制限 (1/2)

使用	仮想チャネルのスキャングループへの割り当てに関する制限
No.1	VCn: ANu（S&H あり） VC (n + 1): ANv（S&H あり） VC (n + 2): ダミー変換チャネル
No.2	VCn: ANu（S&H あり） VC (n + 1): ANv（S&H あり） VC (n + 2): ANi (S&H あり) VC (n + 3): ダミー変換チャネル

表 36.25　ハイブリッドモードでのチャネル専用サンプル＆ホールド回路の使用制限 (2/2)

使用	仮想チャネルのスキャングループへの割り当てに関する制限
No.3	VCn: ANu（S&H あり） VC (n + 1): ANv（S&H あり） VC (n + 2): ANi（S&H なし） VC (n + 3): ダミー変換チャネル

注.　VC：仮想チャネル
n：任意の仮想チャネルの番号
u、v、w：チャネル専用サンプル＆ホールド回路を使用する任意のアナログチャネルのチャネル番号
i：チャネル専用サンプル＆ホールド回路を使用しない任意のアナログチャネルのチャネル番号
ダミー変換チャネル：A/D 変換データが使用されない任意のアナログチャネル

表 36.25 では、ダミー変換チャネルは A/D 変換データを使用しない任意のアナログチャネルを意味します。ダミー変換チャネルとして使用されるアナログチャネルの A/D 変換データは、保証されません（A/D 変換の精度は著しく低下します）。

ダミー変換チャネルに対する以下の設定に従って、自己診断チャネルを指定しなければなりません。

[ダミー変換チャネルの設定例]

- 自己診断チャネルを選択 (ADCHCRn.CNVCS[6:0] = 0x60 (n = 0～36))
- 差動入力モード (ADCHCRn.AINMD = 1 (n = 0～36))
- 符号付きデータフォーマット (ADDOPCRCn.SIGNSEL = 0 (n = 0～36))
- 16 ビットデータフォーマット (ADDOPCRCn.ADPRC[1:0] = 00b (n = 0～36))
- 自己診断モード 1 (ADSGDCRm.DIAGVAL[2:0] = 100b (m = 0～8))
- ユーザーゲイン機能とユーザーオフセット機能は使用禁止 (ADDOPCRAn.GAINSEL[3:0] = 0000b, ADDOPCRAn.OFSETSEL[3:0] = 0000b)
- 仮想チャネルの他の設定は適切な設定を選択

(2)　ハイブリッドモードでの動作

ハイブリッドモード（シングルスキャンモード）での基本動作

本項では、ハイブリッドモード（シングルスキャンモード）でのチャネル専用サンプル＆ホールド回路の基本動作を説明します。差動入力モードがハイブリッドモードでサポートされているため、この例ではチャネル専用サンプル＆ホールド回路が差動入力モードに設定される場合を説明します。動作設定例や動作例を表 36.26、表 36.27、および図 36.20 に示します。

表 36.26　ハイブリッドモード（シングルスキャンモード）でのチャネル専用サンプル＆ホールド回路の動作設定例

項目	設定
A/D コンバータ	ADC0 をハイブリッドモード（シングルスキャンモード）に設定する。
チャネル専用サンプル＆ホールド回路	SH0～SH2 を有効にし、差動入力モードに設定する。 （AN000～AN005 はチャネル専用サンプル＆ホールド回路を使用して、A/D 変換される。）
仮想チャネル(注1)	• AN000、AN002、AN004 を仮想チャネル 0～2 に割り当て、差動入力モードに設定する。（AN000、AN002、AN004 は差動入力の非反転入力 (+) として機能し、AN001、AN003、AN005 は差動入力の反転入力 (-) として機能する。） • ダミー変換チャネルとして自己診断チャネルを仮想チャネル 3 に割り当て、差動入力モードおよび自己診断モード 1 に設定する。
スキャングループ(注1)	• 仮想チャネル 0～3 をスキャングループ 0 に割り当てる。 • スキャングループ 0 を ADC0 で変換するように設定する。 • スキャングループ 0 で自己診断モード 1 を実行するように設定する。

注 1.　チャネル専用サンプル＆ホールド回路を使用する場合、仮想チャネルの設定に関して制限があります。詳細は、(1)ハイブリッドモードでのチャネル専用サンプル＆ホールド回路の使用制限および「36.3.16.4. チャネル専用サンプル＆ホールド回路に関する制限」を参照してください。

表 36.27 ハイブリッドモード（シングルスキャンモード）でのチャネル専用サンプル＆ホールド回路の動作例

手順	動作
1	スキャングループ 0 用のトリガが入力されたときに、スキャングループ 0 のスキャン動作が開始する。
2	チャネル専用サンプル&ホールド回路（SH0～SH2）がアナログ入力（AN000、AN002、AN004）のサンプリングを開始し、保持する。
3	A/D コンバータがチャネル専用サンプル&ホールド回路（SH0～SH2）の各出力および各ダミー変換チャネル（自己診断）に対して、1 回オーバーサンプリングを実行する。
4	各アナログチャネルに対して 1 回オーバーサンプリングを実行後、チャネル専用サンプル&ホールド回路は保持された電圧を解放し、アイドル状態に遷移する。
5	デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に対応したオーバーサンプリングが各アナログチャネルに実行されるまで、手順 2～4 が繰り返される。
6	各アナログチャネルに対応する A/D 変換データが出力される。A/D 変換データはデータレジスタ (ADDRi (i = 0～28), ADEXDRj (j = 0～2、5～8)) に格納される。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納される。ただし、ダミー変換チャネルとして使用されるチャネルの A/D 変換データは保証されない。
7	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成される。
8	スキャン動作完了時に、A/D コンバータとチャネル専用サンプル＆ホールド回路はアイドル状態に遷移する。デジタルフィルタのオーバーサンプリングデータは、スキャン動作の終了時に破棄される。

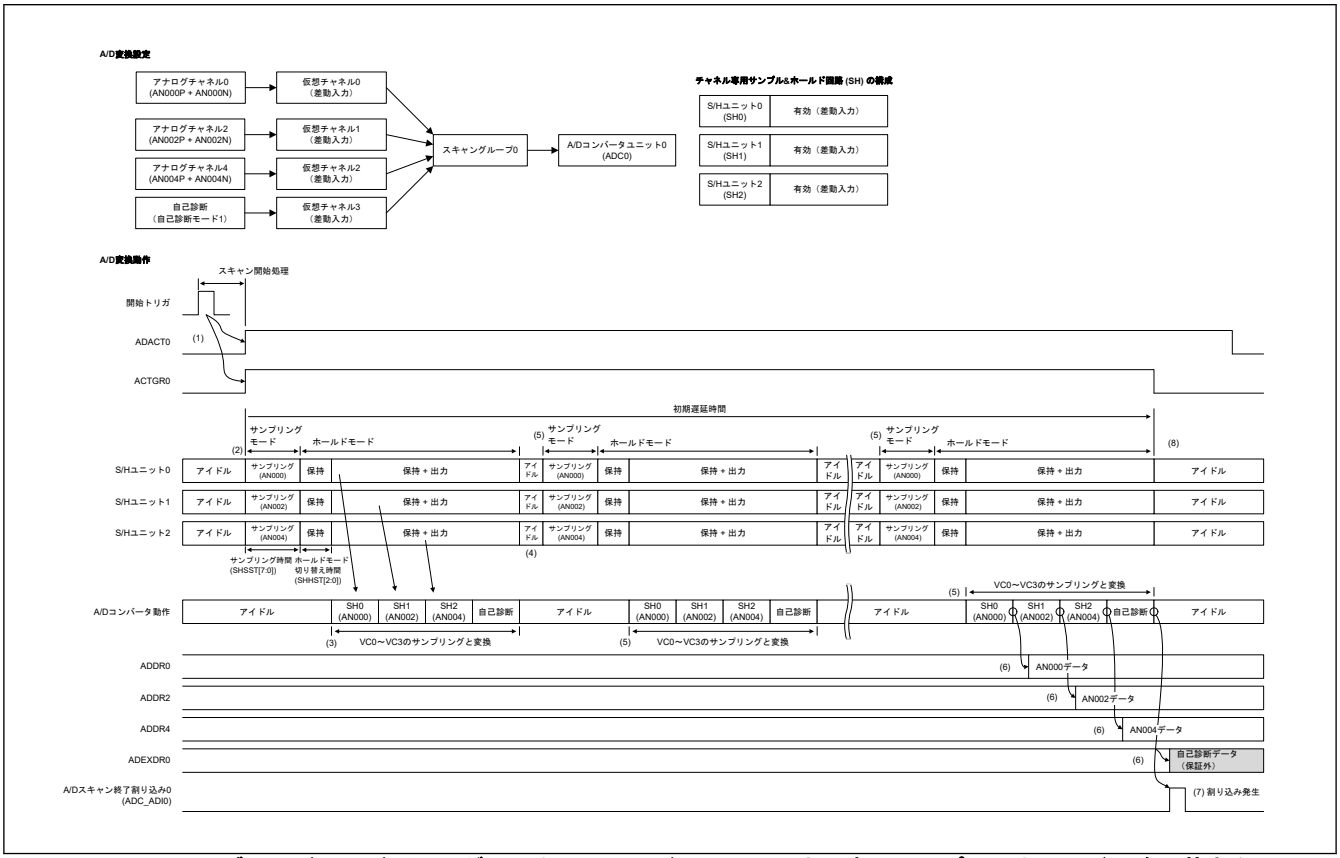


図 36.20 ハイブリッドモード（シングルスキャンモード）でのチャネル専用サンプル＆ホールド回路の基本動作

ハイブリッドモード（連続スキャンモード）での基本動作

本項では、ハイブリッドモード（連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の基本動作を説明します。差動入力モードがハイブリッドモードでサポートされているため、この例ではチャネル専用サンプル＆ホールド回路が差動入力モードに設定される場合を説明します。動作設定例や動作例を表 36.28、表 36.29、および図 36.21 に示します。

表 36.28　ハイブリッドモード（連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の動作設定例

項目	設定
A/D コンバータ	ADC0 をハイブリッドモード（連続スキャンモード）に設定する。
チャネル専用サンプル＆ホールド回路	SH0～SH2 を有効にし、差動入力モードに設定する。 （AN000～AN005 はチャネル専用サンプル＆ホールド回路を使用して、A/D 変換される。）
仮想チャネル(注1)	• AN000、AN002、AN004 を仮想チャネル 0～2 に割り当て、差動入力モードに設定する。（AN000、AN002、AN004 は差動入力の非反転入力 (+) として機能し、AN001、AN003、AN005 は差動入力の反転入力 (-) として機能する。） • ダミー変換チャネルとして自己診断チャネルを仮想チャネル 3 に割り当て、差動入力モードおよび自己診断モード 1 に設定する。
スキャングループ(注1)	• 仮想チャネル 0～3 をスキャングループ 0 に割り当てる。 • スキャングループ 0 を ADC0 で変換するように設定する。 • スキャングループ 0 で自己診断モード 1 を実行するように設定する。

注 1.　チャネル専用サンプル＆ホールド回路を使用する場合、仮想チャネルの設定に関して制限があります。詳細は、(1)ハイブリッドモードでのチャネル専用サンプル＆ホールド回路の使用制限および「36.3.16.4. チャネル専用サンプル＆ホールド回路に関する制限」を参照してください。

表 36.29　ハイブリッドモード（連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の動作例

手順	動作
1	スキャングループ 0 用のトリガが入力されたときに、スキャングループ 0 のスキャン動作が開始する。
2	チャネル専用サンプル&ホールド回路（SH0～SH2）がアナログ入力（AN000、AN002、AN004）のサンプリングを開始し、保持する。
3	A/D コンバータがチャネル専用サンプル&ホールド回路（SH0～SH2）の各出力および各ダミー変換チャネル（自己診断）に対して、1 回オーバーサンプリングを実行する。
4	各アナログチャネルに対して 1 回オーバーサンプリングを実行後、チャネル専用サンプル&ホールド回路は保持された電圧を解放し、アイドル状態に遷移する。
5	デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に対応したオーバーサンプリングが各アナログチャネルに実行されるまで、手順 2～4 が繰り返される。
6	各アナログチャネルに対応する A/D 変換データが出力される。A/D 変換データはデータレジスタ (ADDRi (i = 0～28), ADEXDRj (j = 0～2、5～8)) に格納される。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納される。ただし、ダミー変換チャネルとして使用されるチャネルの A/D 変換データは保証されない。
7	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成される。
8	2 周目およびそれ以降のスキャン動作では手順 2～4 の動作が繰り返され、デジタルフィルタに格納されたオーバーサンプリングデータを保持する。 A/D 変換値加算／平均回数に対応した 1 回または複数回のオーバーサンプリングが各アナログチャネルに実行されるごとに、次の A/D 変換データが出力される。 A/D 変換データはデータレジスタ (ADDRi (i = 0～28), ADEXDRj (j = 0～2、5～8)) に格納される。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納される。ただし、ダミー変換チャネルとして使用されるチャネルの A/D 変換データは保証されない。
9	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成される。
10	その後、強制停止処理が実行されるまで、手順 8～9 は繰り返され、スキャン動作が続く。強制停止を実行するためには、「36.5.4. A/D 変換動作の強制停止」に従う。 スキャン動作が強制停止処理により中断すると、A/D コンバータとチャネル専用サンプル＆ホールド回路はアイドル状態に遷移する。デジタルフィルタのオーバーサンプリングデータは、スキャン動作の終了時に破棄される。

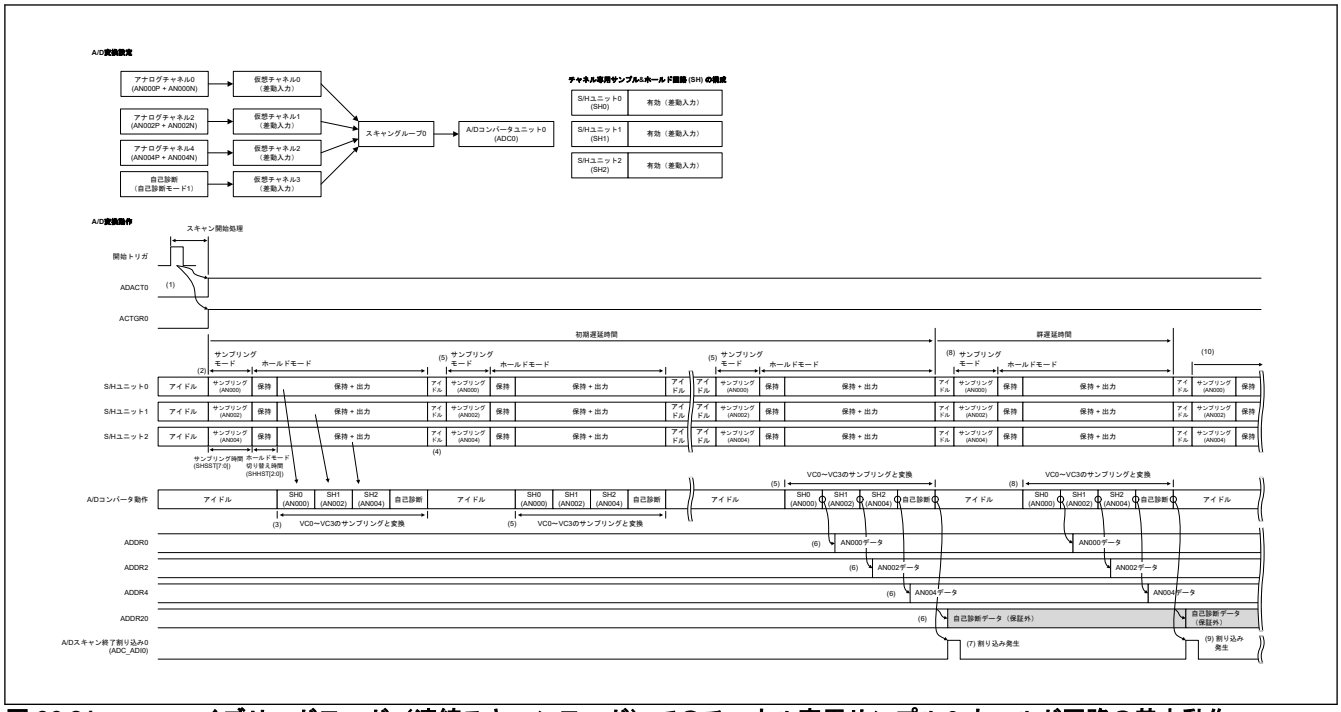


図 36.21　ハイブリッドモード（連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の基本動作

ハイブリッドモード（バックグラウンド連続スキャンモード）での基本動作

本項では、ハイブリッドモード（バックグラウンド連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の基本動作を説明します。差動入力モードがハイブリッドモードでサポートされているため、この例ではチャネル専用サンプル＆ホールド回路が差動入力モードに設定される場合を説明します。動作設定例や動作例を表 36.30、表 36.31、および図 36.22 に示します。

表 36.30　ハイブリッドモード（バックグラウンド連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の動作設定例

項目	設定
A/D コンバータ	ADC0 をハイブリッドモード（連続スキャンモード）に設定する。
チャネル専用サンプル＆ホールド回路	SH0～SH2 を有効にし、差動入力モードに設定する。 （AN000～AN005 はチャネル専用サンプル＆ホールド回路を使用して、A/D 変換される。）
仮想チャネル(注1)	• AN000、AN002、AN004 を仮想チャネル 0～2 に割り当て、差動入力モードに設定する。（AN000、AN002、AN004 は差動入力の非反転入力 (+) として機能し、AN001、AN003、AN005 は差動入力の反転入力 (-) として機能する。） • ダミー変換チャネルとして自己診断チャネルを仮想チャネル 3 に割り当て、差動入力モードおよび自己診断モード 1 に設定する。
スキャングループ(注1)	• 仮想チャネル 0～3 をスキャングループ 0 に割り当てる。 • スキャングループ 0 を ADC0 で変換するように設定する。 • スキャングループ 0 で自己診断モード 1 を実行するように設定する。

注 1.　チャネル専用サンプル＆ホールド回路を使用する場合、仮想チャネルの設定に関して制限があります。詳細は、(1)ハイブリッドモードでのチャネル専用サンプル＆ホールド回路の使用制限および「36.3.16.4. チャネル専用サンプル＆ホールド回路に関する制限」を参照してください。

表 36.31　ハイブリッドモード（バックグラウンド連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の動作例 (1/2)

手順	動作
1	スキャングループ 0 用のトリガが入力されたときに、スキャングループ 0 のスキャン動作が開始する。
2	チャネル専用サンプル&ホールド回路（SH0～SH2）がアナログ入力（AN000、AN002、AN004）のサンプリングを開始し、保持する。
3	A/D コンバータがチャネル専用サンプル&ホールド回路（SH0～SH2）の各出力および各ダミー変換チャネル（自己診断）に対して、1 回オーバーサンプリングを実行する。

表 36.31 ハイブリッドモード（バックグラウンド連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の動作例 (2/2)

手順	動作
4	各アナログチャネルに対して 1 回オーバーサンプリングを実行後、チャネル専用サンプル&ホールド回路は保持された電圧を解放し、アイドル状態に遷移する。
5	手順 2～4 が繰り返される。デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に対応したオーバーサンプリングが各アナログチャネルに実行された後、最初の A/D 変換データは出力準備中になる。 デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に対応したオーバーサンプリングが各アナログチャネルに実行されるまで、手順 2～4 が繰り返される。
6	2 周目およびそれ以降のスキャン動作では手順 2～4 の動作が繰り返され、デジタルフィルタに格納されたオーバーサンプリングデータを保持する。オーバーサンプリングが各アナログチャネルに実行されるごとに、デジタルフィルタのデータは更新される。A/D 変換値加算／平均回数に対応した 1 回または複数回のオーバーサンプリングが各アナログチャネルに実行されるごとに、次の A/D 変換データが出力準備中になる。
7	バックグラウンド連続スキャン動作中に A/D 変換開始トリガが入力されると、その時点で最近の A/D 変換データがデータレジスタ (ADDRi (i = 0～28), ADEXDRj (j = 0～2、5～8)) に格納される。FIFO 機能が有効な場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納される。ただし、ダミー変換チャネルとして使用されるチャネルの A/D 変換データは保証されない。 スキャン終了割り込みが許可されている場合、スキャン終了割り込みが生成される。FIFO 割り込みが有効になっていると、条件を満たす場合に FIFO データ読み出し要求が生成される。
8	その後、強制停止処理が実行されるまで、バックグラウンド連続スキャン動作（手順 6）が繰り返される。バックグラウンド連続スキャン動作中に A/D 変換開始トリガが入力されるときはいつでも、A/D 変換データが出力される（手順 7）。 強制停止を実行するためには、「36.5.4. A/D 変換動作の強制停止」に従う。 スキャン動作が強制停止処理により中断すると、A/D コンバータとチャネル専用サンプル＆ホールド回路はアイドル状態に遷移する。デジタルフィルタのオーバーサンプリングデータは、スキャン動作の終了時に破棄される。

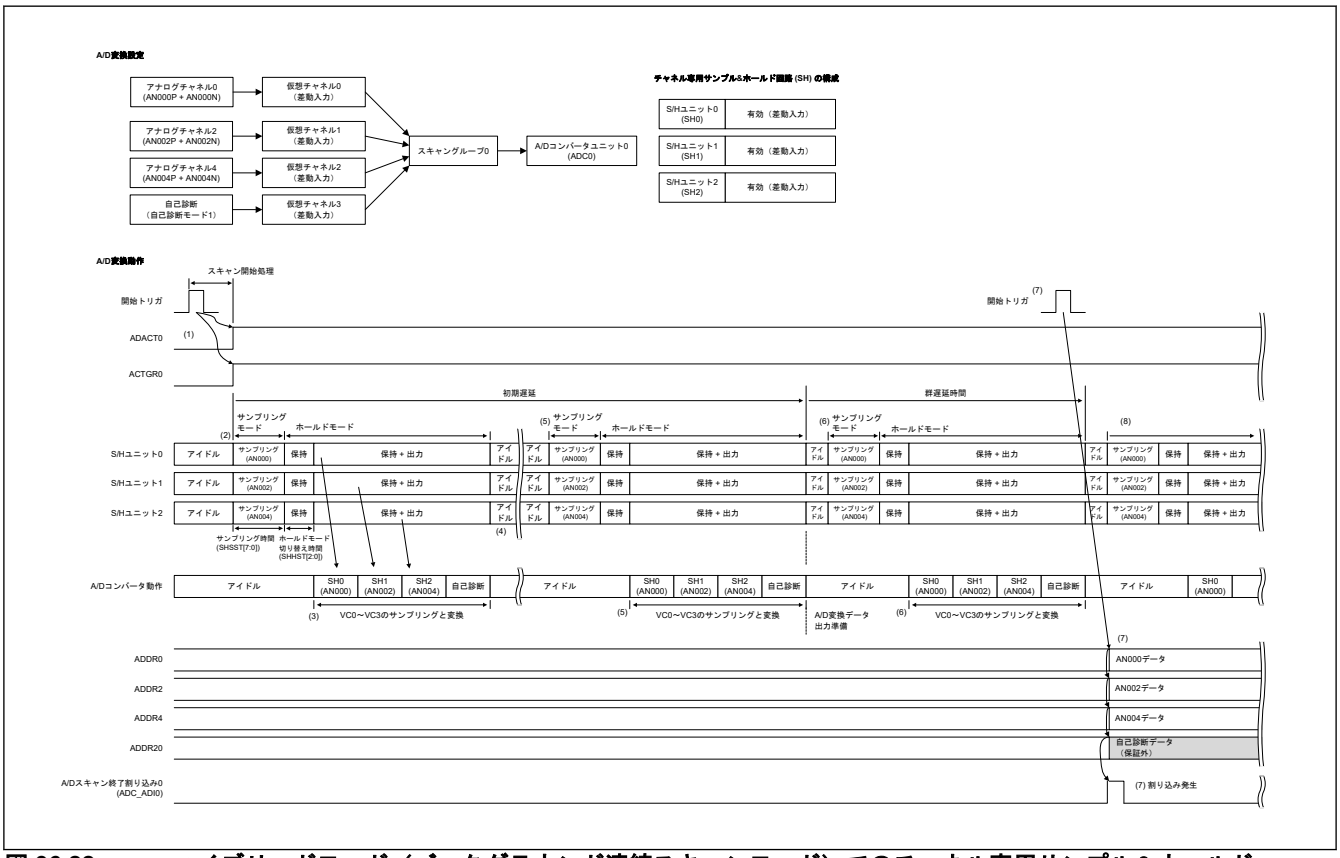


図 36.22 ハイブリッドモード（バックグラウンド連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の基本動作

36.3.16.4 チャネル専用サンプル＆ホールド回路に関する制限

チャネル専用サンプル&ホールド回路を使用する場合は、以下の制限を守ってください。

(1) チャネル専用サンプル＆ホールド回路の使用制限

チャネル専用サンプル&ホールド回路は以下のモードでのみ使用可能です。

- SAR モード（シングルスキャンモード）
- ハイブリッドモード（シングルスキャンモード）
- ハイブリッドモード（連続スキャンモード）
- ハイブリッドモード（バックグラウンド連続スキャンモード）

上記以外の動作モードでは、チャネル専用サンプル＆ホールド回路は使用禁止です。

ハイブリッドモードでは、チャネル専用サンプル＆ホールド回路に使用制限があります（スキャングループや仮想チャネルに関する設定の制約）。詳細は、(1)ハイブリッドモードでのチャネル専用サンプル＆ホールド回路の使用制限を参照してください。

(2) チャネル専用サンプル&ホールド回路の自己校正動作に関する制限

チャネル専用サンプル&ホールド回路を使用する場合、自己校正動作が必要です。チャネル専用サンプル&ホールド回路の自己校正手順と制限の詳細については、「36.3.8. 自己校正」を参照してください。

(3) 仮想チャネルとスキャングループの割り当てに関する制限

チャネル専用サンプル&ホールド回路を使用するアナログチャネルについては、スキャングループの最初に A/D 変換が行われるように仮想チャネルに割り当ててください。具体的には、チャネル専用サンプル&ホールド回路を使用するアナログチャネルは、該当のスキャングループに割り当てられている仮想チャネルの中で、最も小さい仮想チャネル番号を持つ仮想チャネルから割り当ててください。（チャネル専用サンプル&ホールド回路のアナログチャネルは、仮想チャネル番号の昇順に、前の方の仮想チャネルに割り当ててください。）

この制限に違反すると、チャネル専用サンプル&ホールド回路と A/D コンバータの動作は保証されません。

(4) チャネル専用サンプル&ホールド回路を使用する場合のアナログ経路に関する制限

チャネル専用サンプル&ホールド回路を有効にすると、チャネル専用サンプル&ホールド回路に接続された偶数番号のアナログチャネルと奇数番号のアナログチャネルの両方が、チャネル専用サンプル&ホールド回路を使用して A/D 変換されます。片方のアナログチャネルのみチャネル専用サンプル&ホールド回路をバイパスして A/D 変換を行うことはできません。

この制限に関連して、次の制限も参照してください。

(5) 同じチャネル専用サンプル&ホールド回路を使用する複数チャネルの同じスキャングループへの割り当ての禁止

同じチャネル専用サンプル&ホールド回路を使用する複数の仮想チャネルを 1 つのスキャングループに割り当てることは禁止されています。具体的な制限は以下のとおりです。

[制限]

- チャネル専用サンプル&ホールド回路に接続された偶数番号のアナログチャネルを信号源として選択した仮想チャネルと、奇数番号のアナログチャネルを信号源として選択した仮想チャネルは、同じスキャングループに割り当てないでください。
- チャネル専用サンプル&ホールド回路に接続された偶数番号のアナログチャネルまたは奇数番号のアナログチャネルを複数の仮想チャネルに割り当て、それらの仮想チャネルを同じスキャングループに割り当てることは禁止されています。

この制限に違反した場合、動作は保証されません。

この制限を回避するには、同じチャネル専用サンプル&ホールド回路を使う複数の仮想チャネルは別々のスキャングループに割り当ててください。1 回のスキャン動作中に、同じチャネル専用サンプル&ホールド回路に対して A/D 変換が複数回発生するのを防ぐことで、この制限を回避できます。この制限の回避方法の例については、(2)SAR モード（シングルスキャンモード）での高度な動作を参照してください。

(6) グループ優先動作に関する制限

チャネル専用サンプル&ホールド回路はグループ優先動作では使用できません。

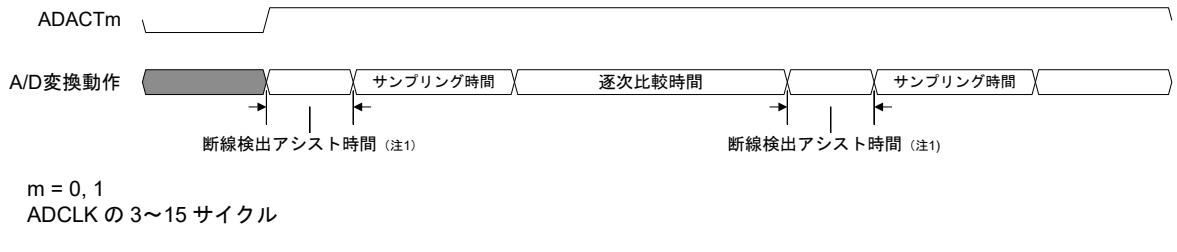
(7) ハイブリッドモードに関する制限

ハイブリッドモードでは、チャネル専用サンプル&ホールド回路の使用方法は制限されます。詳細は、「36.3.16.3. ハイブリッドモードでのチャネル専用サンプル&ホールド回路の動作」を参照してください。

36.3.17 断線検出アシスト機能

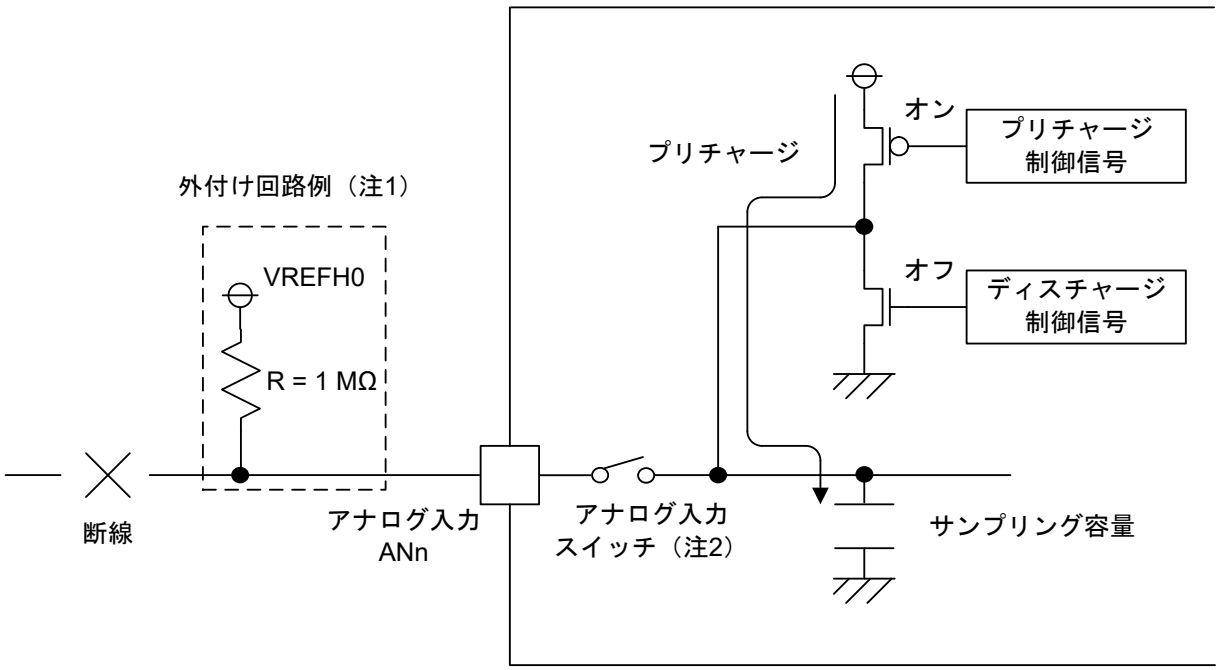
断線検出アシスト機能とは、A/D 変換を開始する前に、A/D コンバータのサンプリング容量の電荷を所定の状態に固定する機能です。この機能を使って、アナログ入力に接続した配線の断線を検出できます。

図 36.23 に断線検出アシスト機能を使用した場合の A/D 変換の動作例を示します。図 36.24 にプリチャージを選択した場合の断線検出例を示し、図 36.25 にディスチャージを選択した場合の断線検出例を示します。



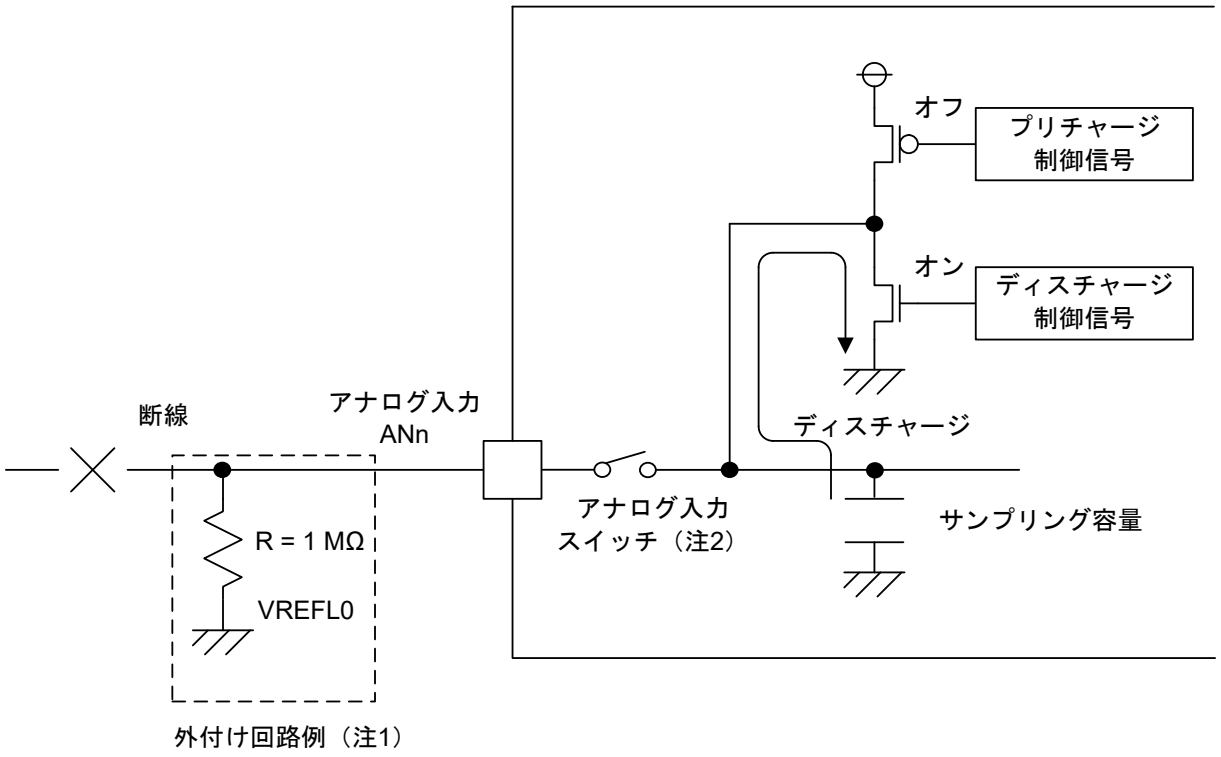
注. m = 0, 1
注 1. ADCLK の 3～15 サイクル

図 36.23 断線検出アシスト機能を使用した場合の A/D 変換動作



注 1. 断線時の変換結果は、外付け回路によって変わりますので、変換結果は十分な評価の上、使用してください。
注 2. プリチャージの場合はオフ、アナログ入力 ANn をサンプリングする場合はオンにしてください。

図 36.24 プリチャージを選択した場合の断線検出例



注 1. 断線時の変換結果は、外付け回路によって変わりますので、変換結果は十分な評価の上、使用してください。
注 2. ディスチャージの場合はオフ、アナログ入力 ANn をサンプリングする場合はオンにしてください

図 36.25 ディスチャージを選択した場合の断線検出例

36.3.18 グループ優先動作

グループ優先動作機能とは、スキャングループの優先度に基づいて、より高い優先度を持つスキャングループのスキャン動作（A/D 変換）を行う機能です。

スキャングループの優先度は、グループ 0 > グループ 1 > … > グループ n（n：最大スキャングループ番号 - 1）

表 36.32 にグループ優先動作を使用できる条件と対応するレジスタの設定を示します。表 36.32 に従って動作を設定してください。

表 36.32 グループ優先動作を使用できる条件と対応するレジスタの設定

動作条件			グループ優先動作				
A/D コンバータの動作モード		スキャングループ数 (注1)	動作	ADGSPCR レジスタの設定(注2)			
				PGSm	RSCNm	LGRRSm	GRPm
SAR モード	シングルスキャンモード	2 グループ	✓	1	1	1	0
		3 グループ以上	—	0	0	0	0
	連続スキャンモード	2 グループ	✓	1	1	1	1
		3 グループ以上	✓	1	1	1	1
オーバーサンプリングモード		—	—	0	0	0	0
ハイブリッドモード		—	—	0	0	0	0

注. ✓：使用可能, —：使用不可能（禁止）
m = 0, 1
注 1. スキャングループ数は、1 つの A/D コンバータで使用するスキャングループの総数です。
注 2. 指定値以外は設定しないでください。

36.3.18.1 SAR モード（シングルスキャンモード）でのグループ優先動作

SAR モード（シングルスキャンモード）でのグループ優先動作では、スキャングループの優先度に従って、シングルスキャン動作が行われます。

優先度の低いグループのスキャン動作中に、優先度の高いグループに対する A/D 変換開始トリガが入力された場合、低優先度グループのスキャン動作は一時中断され、高優先度グループのスキャン動作が開始します。高優先度グループのスキャン動作が完了した後、低優先度グループのスキャン動作が再開されます。

高優先度グループのスキャン動作中に、低優先度グループに対する A/D 変換開始トリガが入力された場合、高優先度グループのスキャン動作が完了した後、低優先度グループのスキャン動作が行われます。

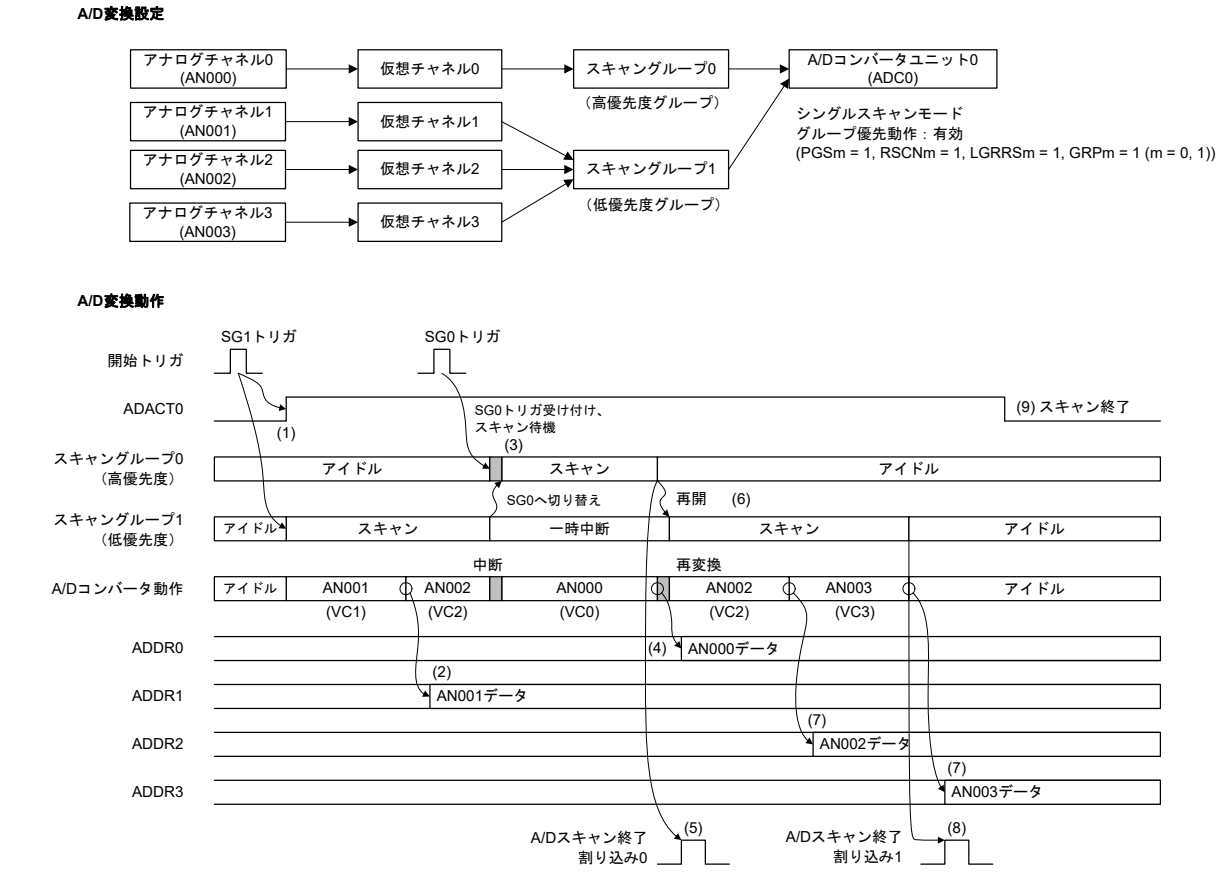
SAR モード（シングルスキャンモード）でのグループ優先動作例

表 36.33 と図 36.26 に、アナログチャネル 0 (AN000) がスキャングループ 0（高優先度）に割り当てられ、アナログチャネル 1～3 (AN001～AN003) がスキャングループ 1（低優先度）に割り当てられた場合の、SAR モード（シングルスキャンモード）でのグループ優先動作の例を示します。

表 36.33 SAR モード（シングルスキャンモード）でのグループ優先動作例（2 グループ）

手順	動作
1	スキャングループ 1 のトリガが入力されたときに、スキャングループ 1 のスキャン動作が開始する。
2	スキャングループ 1 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
3	スキャングループ 1 の A/D 変換中にスキャングループ 0 のトリガが入力されると、スキャングループ 1 のスキャン動作は一時中断され、スキャングループ 0 のスキャン動作が開始する。(注1)
4	スキャングループ 0 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
5	スキャングループ 0 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。
6	スキャングループ 0 のスキャンが完了した後、スキャングループ 1 のスキャン動作が再開する。スキャン動作は、A/D 変換が完了していないチャネルから再開する。(注1)
7	スキャングループ 1 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
8	スキャングループ 1 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。
9	すべてのスキャン動作が完了すると、ADSR.ADACTm (m = 0, 1) ビットがクリアされ、A/D コンバータはアイドル状態になる。

注 1. スキャン動作の一時中断と再開のタイミングは、動作条件により異なります。詳細は、「36.3.18.3. グループ優先動作に関する制限」を参照してください。



注. SG：スキャングループ、VC：仮想チャネル

図 36.26 SAR モード（シングルスキャンモード）でのグループ優先動作例（2 グループ）

36.3.18.2 SAR モード（連続スキャンモード）でのグループ優先動作

SAR モード（連続スキャンモード）でのグループ優先動作では、最初にスキャン動作が開始したスキャングループ（連続スキャングループ）に対して連続スキャン動作が行われます。連続スキャングループの連続スキャン動作中に、別のスキャングループ（割り込みスキャングループ）の A/D 変換開始トリガが入力されると、割り込みスキャングループの優先度に応じて以下の動作が行われます。

1. 優先度：割り込みスキャングループ（高）＞連続スキャングループ（低）の場合
   - 連続スキャングループのスキャン動作は一時中断され、割り込みスキャングループのシングルスキャン動作が開始します。
   - 割り込みスキャングループのシングルスキャン動作が完了した後、連続スキャングループの連続スキャン動作が再開します。
2. 優先度：連続スキャングループ（高）＞割り込みスキャングループ（低）の場合
   - この動作は禁止されています。動作は保証されません。

上記の 1 の場合、割り込みスキャングループ（割り込みスキャングループ A）のシングルスキャン動作中に別のスキャングループ（割り込みスキャングループ B）の A/D 変換開始トリガが入力されると、割り込みスキャングループ B の優先度に応じて以下の動作が行われます。

3. 優先度：割り込みスキャングループ B（高）＞割り込みスキャングループ A（中）＞連続スキャングループ（低）の場合
   - 割り込みスキャングループ A のシングルスキャン動作が一時中断され、割り込みスキャングループ B のシングルスキャン動作が開始します。

- 割り込みスキャングループ B のシングルスキャン動作が完了した後、割り込みスキャングループ A のシングルスキャン動作が再開します。
- 割り込みスキャングループ A のスキャン動作が完了した後、連続スキャングループの連続スキャン動作が再開します。

4. 優先度：割り込みスキャングループ A（高）＞割り込みスキャングループ B（中）＞連続スキャングループ（低）の場合
   - 割り込みスキャングループ A のシングルスキャン動作が完了した後、割り込みスキャングループ B のシングルスキャン動作が開始します。
   - 割り込みスキャングループ B のシングルスキャン動作が完了した後､連続スキャングループの連続スキャン動作が再開します。
5. 優先度：割り込みスキャングループ A（高）＞連続スキャングループ（中）＞割り込みスキャングループ B（低）の場合
   - この動作は禁止されています。動作は保証されません。

動作例を以下に示します。

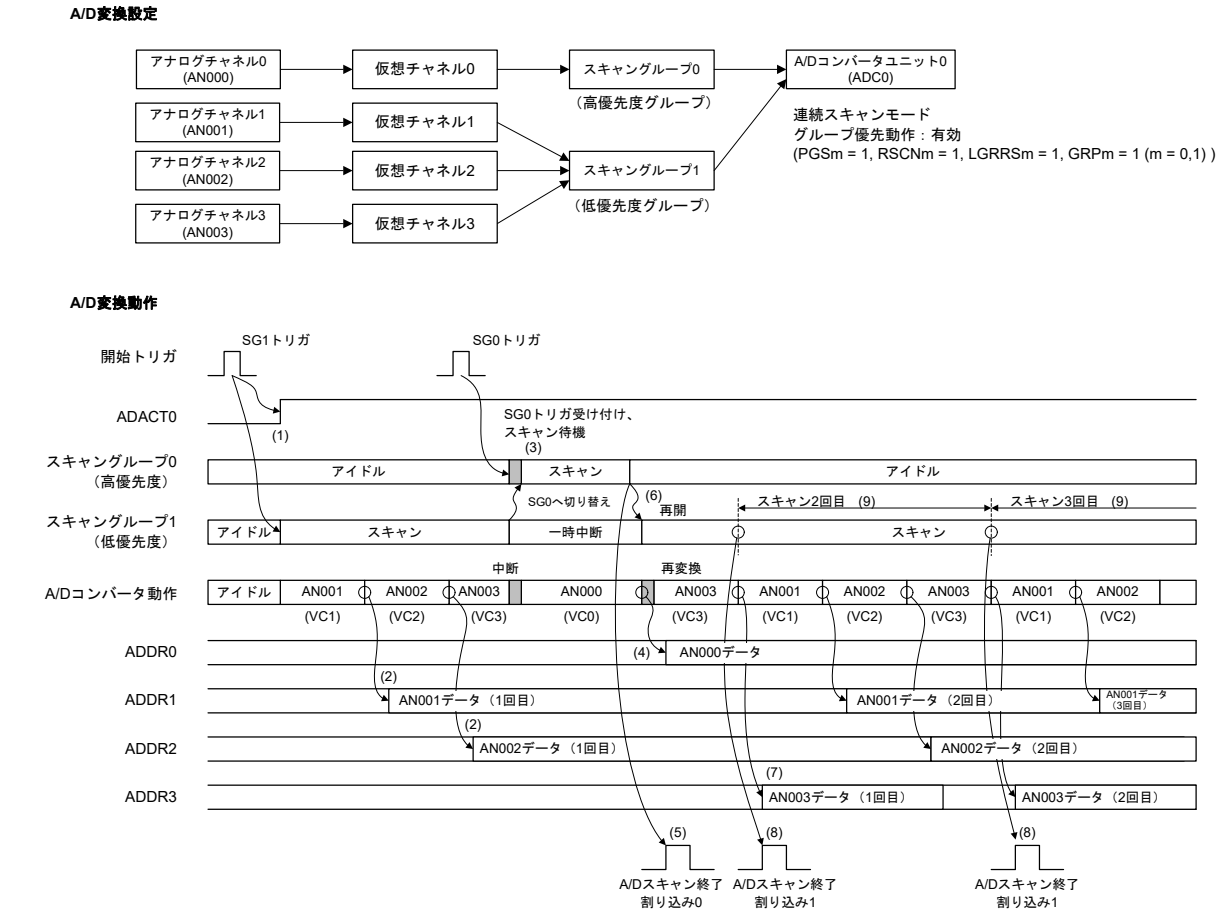
(1) SAR モード（連続スキャンモード）での 2 グループ優先動作例

表 36.34 と図 36.27 に、アナログチャネル 0 (AN000) がスキャングループ 0（高優先度グループ）に割り当てられ、アナログチャネル 1～3 (AN001～AN003) がスキャングループ 1（低優先度グループ）に割り当てられた場合の、SAR モード（連続スキャンモード）でのグループ優先動作例を示します。

表 36.34 SAR モード（連続スキャンモード）でのグループ優先動作例（2 グループ）

手順	動作
1	スキャングループ 1（低優先度グループ）の連続スキャン動作が、スキャングループ 1 のトリガ入力により開始する。
2	スキャングループ 1 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
3	スキャングループ 1 の A/D 変換中にスキャングループ 0 のトリガが入力されると、スキャングループ 1 のスキャン動作は一時中断され、スキャングループ 0 のスキャン動作が開始する。(注1)
4	スキャングループ 0 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
5	スキャングループ 0 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。
6	スキャングループ 0 のスキャンが完了した後、スキャングループ 1 のスキャン動作が再開する。スキャン動作は、A/D 変換が完了していないチャネルから再開する。(注1)
7	スキャングループ 1 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
8	スキャングループ 1 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。
9	スキャングループ 1 は連続スキャン動作を続行する。(注2)

注 1. スキャン動作の一時中断と再開のタイミングは、動作条件により異なります。詳細は、「36.3.18.3. グループ優先動作に関する制限」を参照してください。
注 2. 連続スキャン動作を停止するには、「36.5.4. A/D 変換動作の強制停止」で説明する手順に従ってください。



注. SG：スキャングループ、VC：仮想チャネル

図 36.27 SAR モード（連続スキャンモード）でのグループ優先動作例（2 グループ）

(2) SAR モード（連続スキャンモード）での 3 グループ優先動作例

表 36.35 と図 36.28 に、アナログチャネル 0 (AN000) がスキャングループ 0（高優先度）に割り当てられ、アナログチャネル 1 と 2（AN001 と AN002）がスキャングループ 1（中優先度）に割り当てられ、アナログチャネル 3～5 (AN003～AN005) がスキャングループ 2（低優先度）に割り当てられた場合のグループ優先動作例を示します。

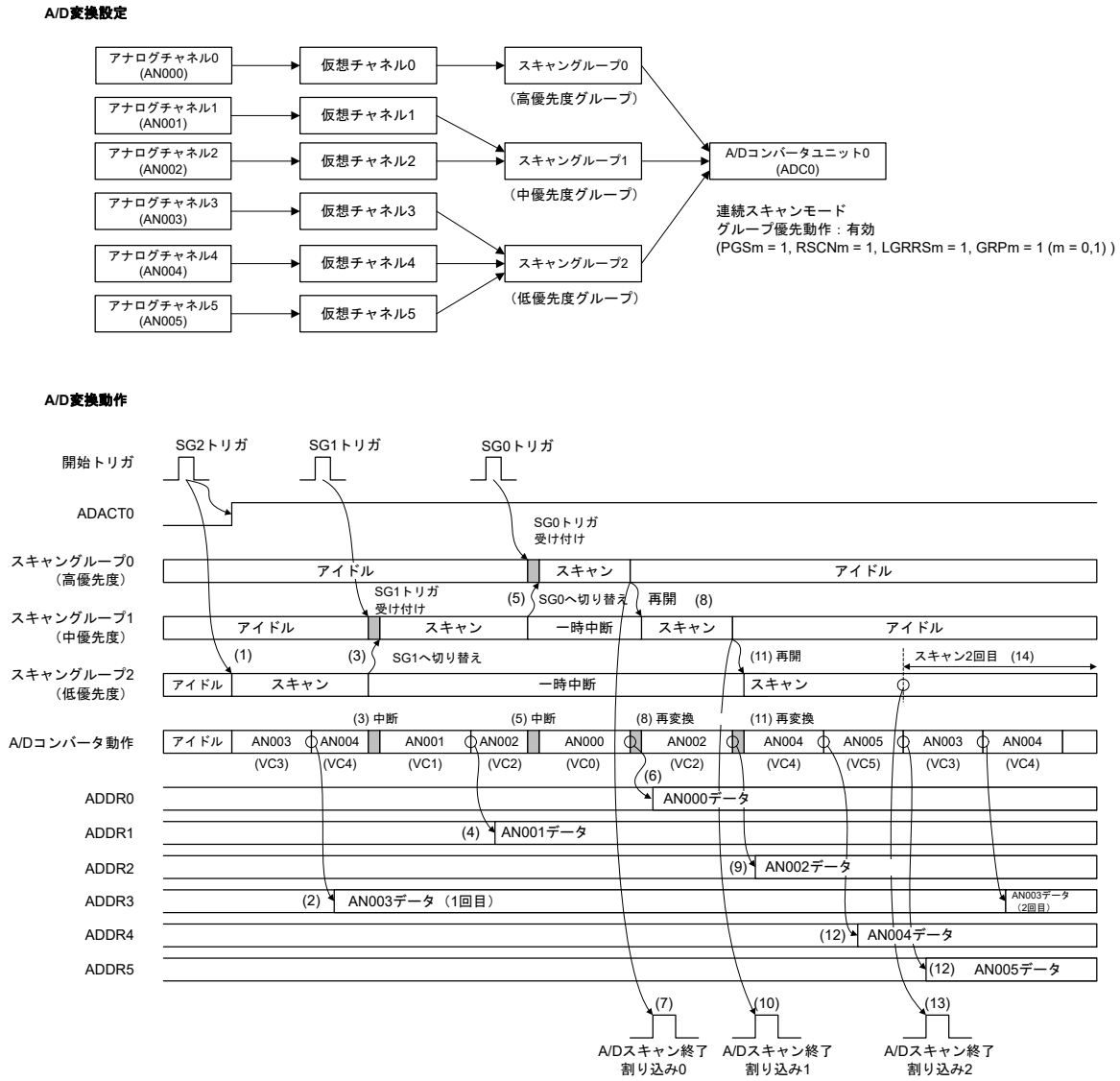
表 36.35 SAR モード（連続スキャンモード）でのグループ優先動作例（3 グループ） (1/2)

手順	動作
1	スキャングループ 2 の連続スキャン動作が、スキャングループ 2 のトリガ入力により開始する。
2	スキャングループ 2 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
3	スキャングループ 2 の A/D 変換中にスキャングループ 1 のトリガが入力されると、スキャングループ 2 のスキャン動作は一時中断され、スキャングループ 1 のスキャン動作が開始する。(注1)
4	スキャングループ 1 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
5	スキャングループ 1 の A/D 変換中にスキャングループ 0 のトリガが入力されると、スキャングループ 1 のスキャン動作は一時中断され、スキャングループ 0 のスキャン動作が開始する。(注1)
6	スキャングループ 0 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
7	スキャングループ 0 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。

表 36.35 SAR モード（連続スキャンモード）でのグループ優先動作例（3 グループ） (2/2)

手順	動作
8	スキャングループ 0 のスキャンが完了した後、スキャングループ 1 のスキャン動作が再開する。スキャン動作は、A/D 変換が完了していないチャネルから再開する。(注1)
9	スキャングループ 1 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
10	スキャングループ 1 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。
11	スキャングループ 1 のスキャンが完了した後、スキャングループ 2 が再開する。スキャン動作は、A/D 変換が完了していないチャネルから再開する。(注1)
12	スキャングループ 2 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
13	スキャングループ 2 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。
14	スキャングループ 1 は連続スキャン動作を続行する。(注2)

注 1. スキャン動作の一時中断と再開のタイミングは、動作条件により異なります。詳細は、「36.3.18.3. グループ優先動作に関する制限」を参照してください。
注 2. 連続スキャン動作を停止するには、「36.5.4. A/D 変換動作の強制停止」で説明する手順に従ってください。



注. SG：スキャングループ、VC：仮想チャネル

図 36.28 SAR モード（連続スキャンモード）でのグループ優先動作例（3 グループ）

36.3.18.3 グループ優先動作に関する制限

(1) チャネル専用サンプル&ホールド回路に関する制限

グループ優先動作では、チャネル専用サンプル&ホールド回路の使用は禁止されています。

(2) A/D コンバータの動作モードおよび動作設定に関する制限

グループ優先動作は SAR モードでのみ使用可能です。オーバーサンプリングモードまたはハイブリッドモードでは、グループ優先動作は禁止されています。

SAR モード（シングルスキャンモード）でのグループ優先動作では、1 つの A/D コンバータで 3 つ以上のスキャングループを使用することを禁止しています。グループ優先動作で、1 つの A/D コンバータに対して 3 つ以上のスキャングループを使用する場合は、SAR モード（連続スキャンモード）を使用してください。詳細は、表 36.32 を参照してください。

本制約に違反した場合、動作は保証されません。

(3) SAR モード（連続スキャンモード）でのグループ優先動作に関する制限

SAR モード（連続スキャンモード）でのグループ優先動作では、連続スキャン動作を開始したスキャングループより優先度の低いスキャングループに対する A/D 変換開始トリガを入力しないでください。この制限に違反した場合、動作は保証されません。

(4) 同じスキャングループに対するトリガ入力に関する制限

グループ優先動作中、同じスキャングループに対する A/D 変換開始トリガは、以下の期間をあけて入力してください。

[同期動作が無効の場合 (ADSYCR.ADSYDISm = 1)]

- スキャン終了フラグがセットされた後、2 ADCLK + 2 PCLK サイクル(注1)

[同期動作が有効の場合 (ADSYCR.ADSYDISm = 0)]

- スキャン終了フラグがセットされた後、同期動作期間サイクル × 2(注1)

注. m = 0, 1

注 1. ADSCANENDSR.SCENDFn = 1（n = 0～8）

上記の期間を待たずに A/D 変換開始トリガが入力されると、A/D 変換開始トリガが消失する可能性があります。A/D 変換開始トリガを確実に受け付けるためには、上記の期間が経過した後にトリガを入力してください。

(5) 低優先度グループのスキャン動作の一時中断と再開に関する制限

グループ優先動作の際、低優先度グループのスキャン中に高優先度グループの A/D 変換開始トリガが入力されると、低優先度グループのスキャン動作は以下のタイミングで一時中断されます。

[低優先度グループのスキャン一時中断タイミング]

- 同期動作が有効な場合
  - 高優先度グループの A/D 変換開始トリガを受け付けた後、次の同期動作期間タイミングまで待機した後で、低優先度グループのスキャン動作が一時中断されます。
- 同期動作が無効な場合
  - 高優先度グループの A/D 変換開始トリガを受け付けた後、ただちに低優先度グループのスキャン動作が一時中断されます。

低優先度グループのスキャンが一時中断されたタイミングで A/D 変換値加算／平均機能を使用するチャネルが A/D 変換中の場合、その時点での A/D 変換値加算／平均値の中間結果が破棄されます。低優先度グループのスキャン動作が再開すると、A/D 変換値加算／平均機能で指定された回数の最初から A/D 変換をやり直します。

グループ優先動作でスキャン動作を一時中断した場合、中断されたスキャングループの ADGRSR.ACTGRn (n = 0～8) ビットは 1 のままです。

36.3.19 同期動作

同期動作とは、複数の A/D コンバータが同期するように A/D コンバータの動作を制御する機能です。

36.3.19.1 同期動作例

(1) 基本同期動作

同期動作の基本動作は以下のとおりです。表 36.36 に設定例を、表 36.37 と図 36.29 に動作の詳細を示します。

表 36.36 基本同期動作の設定例 (1/2)

項目	設定
A/D コンバータ	• ADC0: SAR モード（シングルスキャンモード）に設定 • ADC1: SAR モード（シングルスキャンモード）に設定
仮想チャネル	• 仮想チャネル 0～2: AN000～AN002 を割り当て、シングルエンド入力モードに設定 • 仮想チャネル 6～8: AN006～AN008 を割り当て、シングルエンド入力モードに設定

表 36.36　基本同期動作の設定例 (2/2)

項目	設定
スキャングループ	[スキャングループ 0] ● AN000～AN002 を割り当て（仮想チャネル 0～2） ● ADC0 での変換を設定 [スキャングループ 1] ● AN006～AN008 を割り当て（仮想チャネル 6～8） ● ADC1 での変換を設定

表 36.37　基本同期動作例

手順	動作例の詳細
1	スキャングループ 0 のトリガが入力されると、A/D 変換同期タイミングまで待機します。
2	同期動作期間のタイミングで、スキャングループ 0 のトリガ入力が受け付けられ、スキャングループ 0（ADC0 用）のスキャン動作が開始します。
3	スキャングループ 1 のトリガが入力されると、A/D 変換同期タイミングまで待機します。
4	同期動作期間のタイミングで、スキャングループ 1 のトリガ入力が受け付けられ、スキャングループ 1（ADC1 用）のスキャン動作が開始します。
5	同期動作中、A/D コンバータは同期動作期間に合わせてサンプリング動作を開始します。

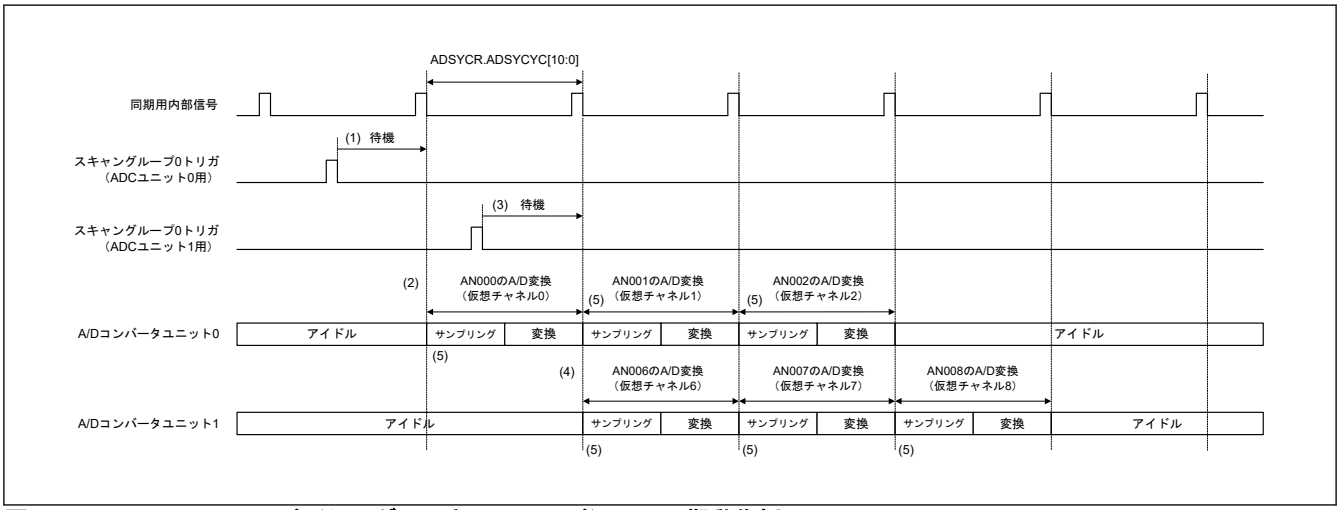


図 36.29　SAR モード（シングルスキャンモード）での同期動作例

(2)　チャネル専用サンプル&ホールド回路を使用する場合の同期動作

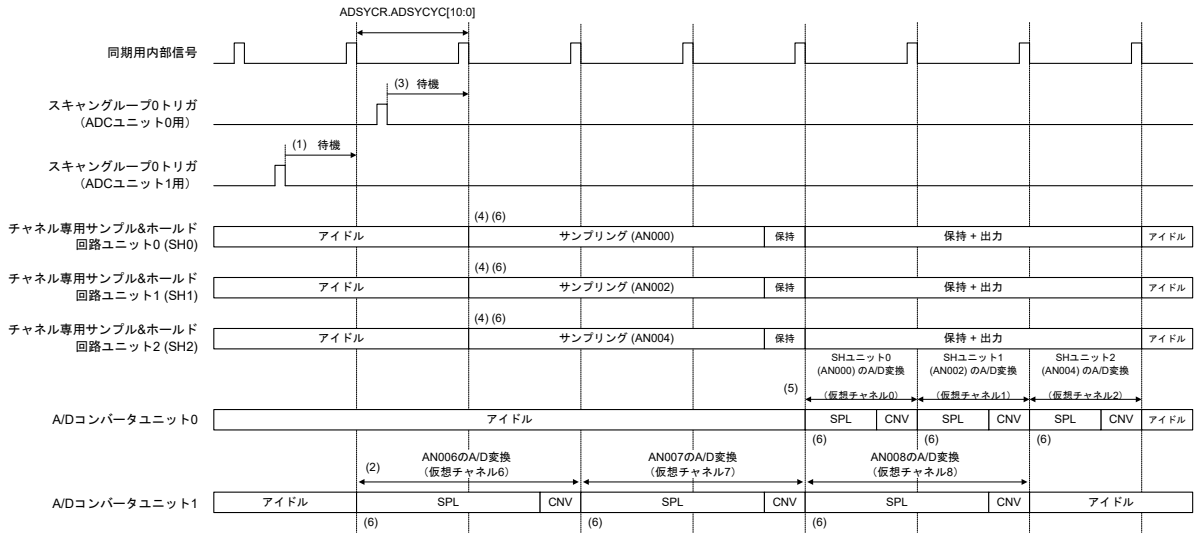
チャネル専用サンプル&ホールド回路を使用する場合の同期動作例を以下に示します。表 36.38 に設定例を、表 36.39 と図 36.30 に動作の詳細を示します。

表 36.38　基本同期動作の設定例

項目	設定
A/D コンバータ	● ADC0: SAR モード（シングルスキャンモード）に設定 ● ADC1: SAR モード（シングルスキャンモード）に設定
チャネル専用サンプル&ホールド回路	● SH0～SH2 を有効にし、シングルエンド入力モードに設定 ● SH4～SH6 を有効にし、シングルエンド入力モードに設定
仮想チャネル	● 仮想チャネル 0～2: AN000、AN002、AN004 を割り当て、シングルエンド入力モードに設定 ● 仮想チャネル 6～8: AN006、AN008、AN010 を割り当て、シングルエンド入力モードに設定
スキャングループ	[スキャングループ 0] ● AN000、AN002、AN004 を割り当て（仮想チャネル 0～2） ● ADC0 での変換を設定 [スキャングループ 1] ● AN006、AN008、AN010 を割り当て（仮想チャネル 6～8） ● ADC1 での変換を設定

表 36.39　チャネル専用サンプル&ホールド回路を使用する場合の同期動作例

手順	動作例の詳細
1	スキャングループ 1 のトリガが入力されると、A/D 変換同期タイミングまで待機します。
2	同期動作期間のタイミングで、スキャングループ 1 のトリガ入力が受け付けられ、スキャングループ 1（ADC1 用）のスキャン動作が開始します。
3	スキャングループ 0 のトリガが入力されると、A/D 変換同期タイミングまで待機します。
4	同期動作期間のタイミングで、スキャングループ 0 のトリガ入力が受け付けられ、スキャングループ 0（ADC0 用）のスキャン動作が開始します。スキャングループ 0 のスキャン動作の始めに、チャネル専用サンプル&ホールド回路（SH0～SH2）はアナログチャネル (AN000, AN002, AN004) をサンプリングし、保持します。
5	チャネル専用サンプル&ホールド回路による保持の後、A/D コンバータはサンプリングと変換を開始します。
6	同期動作中、チャネル専用サンプル&ホールド回路と A/D コンバータは同期動作期間に合わせてサンプリング動作を開始します。



注.　SPL：サンプリングステート、CNV：変換ステート

図 36.30　チャネル専用サンプル&ホールド回路を使用する場合の同期動作例

36.3.19.2　同期動作に関する制限

同期動作を使用する場合は、下記の制限を守ってください。下記の制限に違反した場合、動作は保証されません。

1. 基本制限
   - 同期動作周期は、偶数サイクルとなるように設定してください。
     - ADSYCR.ADSYCYC[10:0] = 2 × i
       (i: 1 以上の任意の整数 (i = 1, 2, 3…))
   - 同期動作周期は、ADCm (m = 0, 1) の逐次変換時間よりも大きな値を設定してください。
     - ADSYCR.ADSYCYC[10:0] ≧ ADCNVSTR.CSTm[5:0] + 1
       (m = 0, 1)
   - 各アナログチャネルのサンプリング時間と ADCm (m = 0, 1) の逐次変換時間の合計が、同期動作周期の整数倍となるように設定してください。
     - ADSSTRx.SSTy[9:0] + ADCNVSTR.CSTm[5:0] = ADSYCR.ADSYCYC[10:0] × i
       (x = 0～7、y = 0～15、m = 0, 1、i: 1 以上の任意の整数 (i = 1, 2, 3…))
   - 同期動作周期は、自己校正時の逐次変換時間よりも大きな値を設定してください。(注1)
     - ADSYCR.ADSYCYC[10:0] ≧ ADCALSTCR.CALADCST[5:0] + 1

- 自己校正時のサンプリング時間と逐次変換時間が、同期動作周期の整数倍となるように設定してください。(注1)
  - ADCALSTCR.CALADSST[9:0] + ADCALSTCR.CALADCST[5:0] = ADSYCR.ADSYCYC[10:0] × i
    (i: 1 以上の任意の整数 (i = 1, 2, 3…))

2. チャネル専用サンプル&ホールド回路を使用する場合の制限
   - 同期動作周期は、チャネル専用サンプル&ホールド回路のホールドモード切り替え時間よりも大きな値を設定してください。
     - ADSYCR.ADSYCYC[10:0] ≧ ADSHSTRm.SHHST[2:0] + 1
       (m = 0, 1)
   - チャネル専用サンプル&ホールド回路のサンプリング時間とホールドモード切り替え時間の合計が、同期動作周期の整数倍となるように設定してください。
     - ADSHSTRm.SHSST[7:0] + ADSHSTRm.SHHST[2:0] = ADSYCR.ADSYCYC[10:0] × i
       (m = 0, 1, i: 1 以上の任意の整数 (i = 1, 2, 3…))
   - チャネル専用サンプル&ホールド回路のホールドモード切り替え時間が、ADCm (m = 0, 1) の逐次変換時間と同じになるように設定してください。
     - ADSHSTRm.SHHST[2:0] = ADCNVSTR.CSTm[5:0]
       (m = 0, 1)
   - 同期動作周期は、チャネル専用サンプル&ホールド回路の自己校正動作におけるホールドモード切り替え時間よりも大きな値を設定してください。(注1)
     - ADSYCR.ADSYCYC[10:0] ≧ ADCALSHCR.CALSHHST[2:0] + 1
   - 自己校正動作におけるチャネル専用サンプル&ホールド回路のサンプリング時間とホールドモード切り替え時間の合計が、同期動作周期の整数倍となるように設定してください。(注1)
     - ADCALSHCR.CALSHSST[7:0] + ADCALSHCR.CALSHHST[2:0] = ADSYCR.ADSYCYC[10:0] × i
       (i: 1 以上の任意の整数 (i = 1, 2, 3…))

3. 断線検出アシスト機能を使用する場合の制限
   - 断線検出アシスト期間は、同期動作周期と同じ値となるように設定してください。
     - ADSGDCRn.ADNDIS[3:0] = ADSYCR.ADSYCYC[10:0]
       (n = 0～8)

注 1. この制限に関連して、自己校正動作の設定に関する制限も同時に満たす必要があります。自己校正動作の設定に関する制限については、「36.3.8.3. 自己校正に関する制限」を参照してください。

36.4 A/D 変換データ

本節では、A/D 変換データの内部処理を説明します。A/D 変換動作の詳細については、「36.3. 動作説明」を参照してください。

36.4.1 内部データ処理手順

図 36.31 に、A/D 変換データの内部処理フローを示します。

A/D コンバータから出力された A/D 変換データは、一時的にデータバッファに格納されます。その後、レジスタの設定に基づいて、各々のデータ処理が行われます。各データの処理に関係する機能が使用されない場合、そのデータ処理はスキップされます。

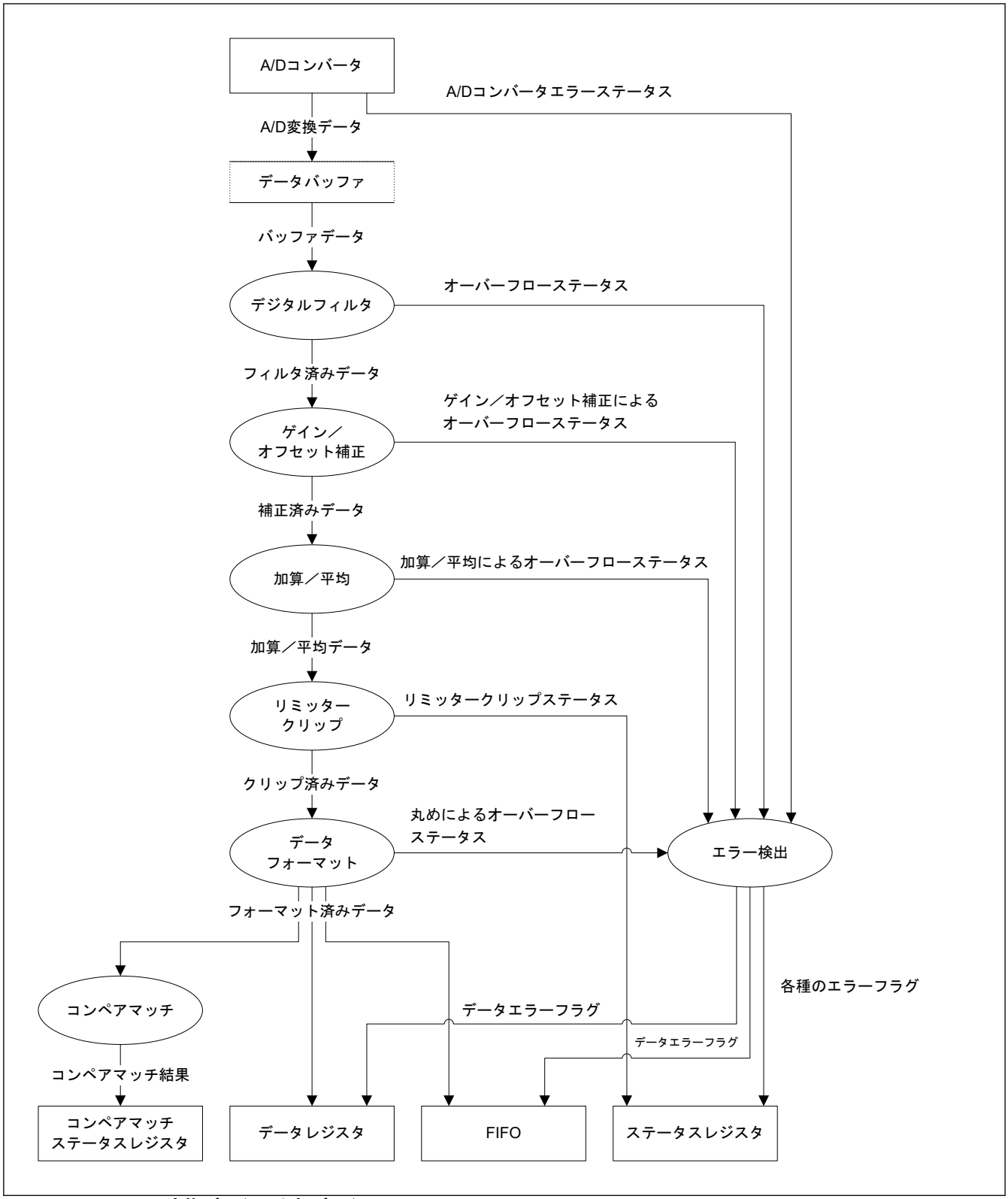


図 36.31 A/D 変換データの内部データフロー図

36.4.2 デジタルフィルタ機能

ADC には、A/D コンバータ 1 ユニットにつき、4 つのデジタルフィルタがあります。高精度 A/D 変換の結果は、デジタルフィルタを使用して取得できます。オーバーサンプリングモードまたはハイブリッドモードでは、デジタルフィルタ機能を使用しなければなりません。SAR モードでは、デジタルフィルタ機能は使用禁止です。

36.4.2.1 設定と特性

デジタルフィルタは、22 個のタップを持つ FIR 型フィルタで構成されています。デジタルフィルタは、ADDOPCRAn.DFSEL[2:0] (n = 0～36) ビットおよび ADDFSRm (m = 0, 1) レジスタで設定します。図 36.32 にデジタルフィルタの設定を示します。

デジタルフィルタ（FIR フィルタ）の種類は、以下から選択できます。デジタルフィルタの特性は、「46. 電気的特性」を参照してください。

[デジタルフィルタの特性]

- Sinc フィルタ
- 最小位相フィルタ

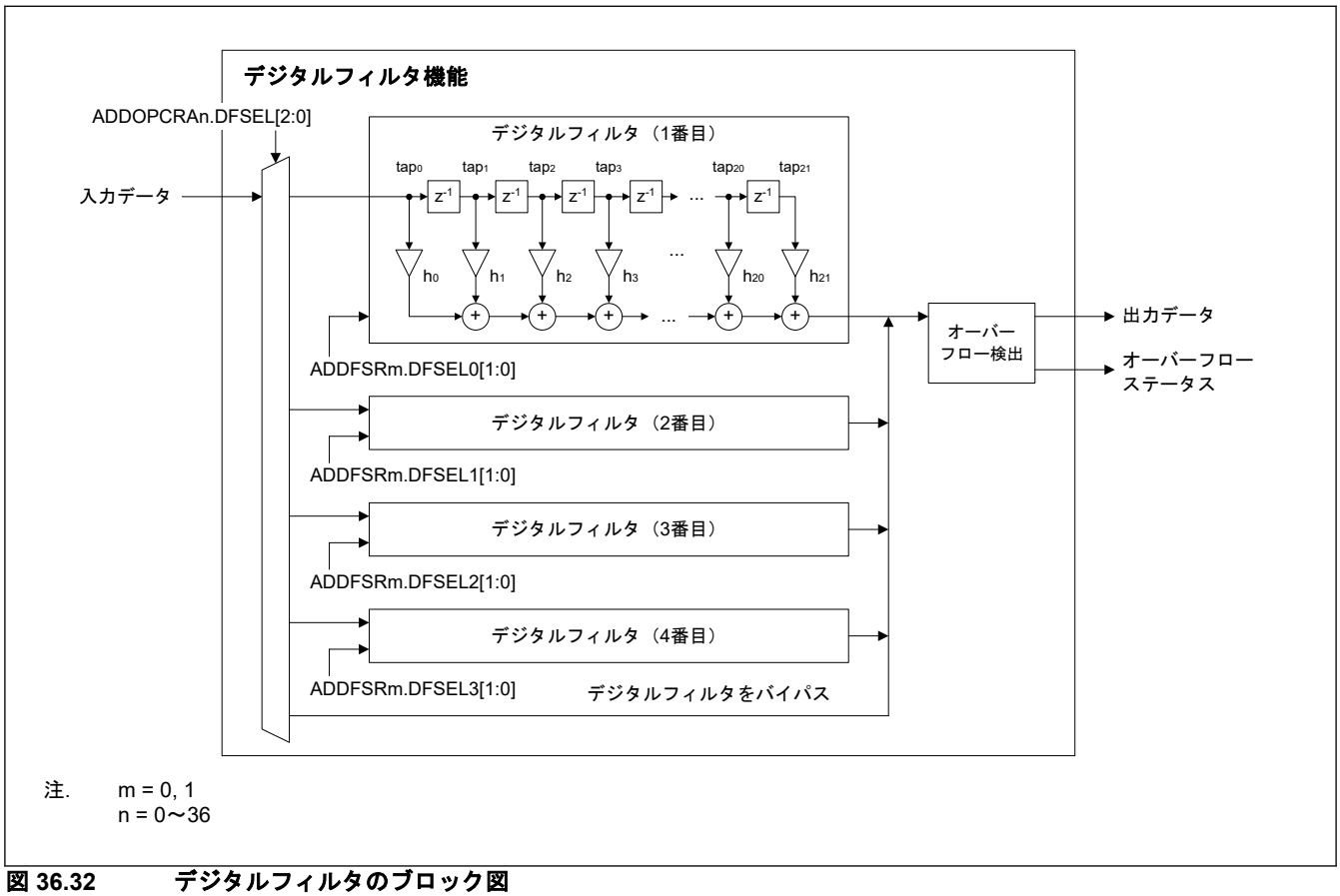


図 36.32 デジタルフィルタのブロック図

36.4.2.2 デジタルフィルタ機能の動作

デジタルフィルタ機能が有効な場合、A/D 変換データはデジタルフィルタに順次入力されます。デジタルフィルタのすべてのタップがデータで満たされている場合、計算結果が出力され、次データの処理に送信されます。

オーバーサンプリングモードおよびハイブリッドモードでのデジタルフィルタの動作を以下に示します。

(1) オーバーサンプリングモードでのデジタルフィルタの動作

オーバーサンプリングモードでは、オーバーサンプリング（A/D 変換）は 1 つのアナログチャネルに対して、連続的に実行されます。オーバーサンプリングが実行されるごとに、A/D 変換データはデジタルフィルタに順次入力されます。デジタルフィルタのすべてのタップがデータで満たされている場合、計算結果が出力され、次データの処理に送信されます。

オーバーサンプリングモードでは、A/D 変換データが次データの処理に出力されると、デジタルフィルタのタップのデータは破棄されます。ただし、A/D 変換値加算／平均機能が使用されている場合、A/D 変換値の加算値または平均値の計算に必要なデータが収集されるまで、デジタルフィルタのタップのデータは保持されます。A/D 変換値加算／平均値が計算されると、デジタルフィルタのタップのデータは破棄されます。

(2) ハイブリッドモードでのデジタルフィルタの動作

ハイブリッドモードは、複数のデジタルフィルタ回路を同時に使用することにより、最大 4 本のアナログチャネルのオーバーサンプリングデータ（A/D 変換データ）を並列に処理できます。オーバーサンプリングが実行されるごとに、A/D 変換データはデジタルフィルタに順次入力されます。デジタルフィルタのすべてのタップがデータで満たされている場合、計算結果が出力され、次データの処理に送信されます。

ハイブリッドモード（シングルスキャンモード）では、スキャン動作の終了時にデジタルフィルタのタップは破棄されます。

ハイブリッドモード（連続スキャンモード）では、連続スキャン動作が継続している限り、デジタルフィルタのタップのデータは更新され続けます。したがって、デジタルフィルタのすべてのタップにデータが満たされた後、各オーバーサンプリングに対して、新しい計算結果が出力されます。A/D 変換の強制停止が原因でスキャン動作が中断されると、デジタルフィルタのタップのデータは破棄されます。

ハイブリッドモード（バックグラウンド連続スキャンモード）でのデジタルフィルタの動作は、ハイブリッドモード（連続スキャンモード）の場合と同じです。バックグラウンド連続スキャン動作中は、デジタルフィルタと他のデータ処理はバックグラウンドでの動作を継続します。A/D 変換の強制停止が原因でスキャン動作が中断されると、デジタルフィルタのタップのデータは破棄されます。

36.4.3 校正と補正

この処理では、A/D コンバータから出力された結果またはデジタルフィルタから出力されたデータに対して、以下が行われます。

1. ゲインエラーとオフセットエラーの校正
2. ユーザーゲインの補正
3. ユーザーオフセットの補正

各処理の詳細については、各項目を参照してください。

36.4.3.1 ゲインエラーとオフセットエラーの校正

この処理では、チップごとの特性の違いによる A/D コンバータのゲインエラーとオフセットエラーを校正します。

A/D コンバータのゲインエラーとオフセットエラーの校正は、自己校正動作によって ADC 内部で測定された誤差データに基づく計算により行われます。

36.4.3.2 ユーザーゲイン補正

ユーザーゲイン補正機能は、A/D 変換データに任意の係数値を乗じます。

ユーザーゲインの係数値は、ADUGTRn.UGAIN[23:0] (n = 0～7) に設定します。ユーザーゲインは各仮想チャネルに設定できます。使用するユーザーゲインテーブルは、ADDOPCRAm.GAINSEL[3:0] (m = 0～36) で選択します。ユーザーゲインの係数値は、ADUGTRn.UGAIN[23:0]で 1 にしたビットに対応するゲインの合計です。表 36.40 に ADUGTRn.UGAIN[23:0]の各ビットに対応するゲイン係数を示します。表 36.41 にユーザーゲイン設定例を示します。図 36.33 と図 36.34 にユーザーゲイン補正機能を使う場合の、A/D 変換結果の補正前（入力）と補正後（出力）の関係を示します。

ユーザーゲイン補正機能を使用すると、A/D 変換データのオーバーフローが発生する可能性があります。

表 36.40 ユーザーゲイン設定テーブルレジスタの各ゲイン設定ビットに対応するゲイン一覧 (1/2)

UGAIN[23:16]	ゲイン値	UGAIN[15:8]	ゲイン値	UGAIN[7:0]	ゲイン値
b23	2^{1} = 2.0	b15	2^{-7} = 7.813E-03	b7	2^{-15} = 3.052E-05
b22	2^{0} = 1.0	b14	2^{-8} = 3.906E-03	b6	2^{-16} = 1.526E-05
b21	2^{-1} = 0.5	b13	2^{-9} = 1.953E-03	b5	2^{-17} = 7.629E-06
b20	2^{-2} = 0.25	b12	2^{-10} = 9.766E-04	b4	2^{-18} = 3.815E-06
b19	2^{-3} = 0.125	b11	2^{-11} = 4.883E-04	b3	2^{-19} = 1.907E-06

表 36.40　ユーザーゲイン設定テーブルレジスタの各ゲイン設定ビットに対応するゲイン一覧 (2/2)

UGAIN[23:16]	ゲイン値	UGAIN[15:8]	ゲイン値	UGAIN[7:0]	ゲイン値
b18	2^{-4} = 0.0625	b10	2^{-12} = 2.441E-04	b2	2^{-20} = 9.537E-07
b17	2^{-5} = 0.03125	b9	2^{-13} = 1.221E-04	b1	2^{-21} = 4.768E-07
b16	2^{-6} = 1.563E-02	b8	2^{-14} = 6.104E-04	b0	2^{-22} = 2.384E-07

表 36.41　ユーザーゲイン設定例

ADUGTRn.UGAIN[23:0] （n = 0～7）	ゲイン値
0x000000	x0.0000
⋮	⋮
0x040000	x0.0625
⋮	⋮
0x080000	x0.1250
⋮	⋮
0x100000	x0.2500
⋮	⋮
0x200000	x0.5000
⋮	⋮
0x400000（初期値）	x1.0000
⋮	⋮
0x800000	x2.0000
⋮	⋮
0xFFFFFF	x3.9999

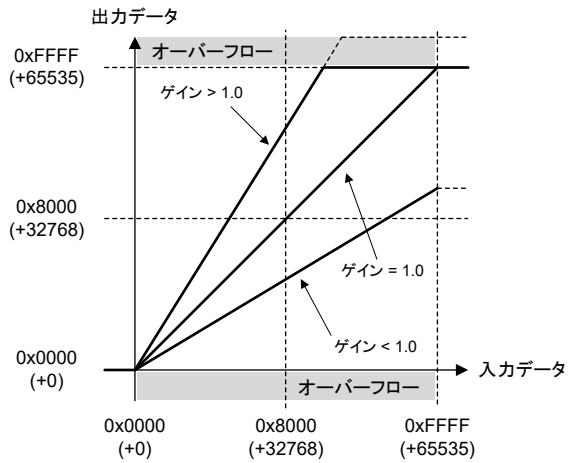


図 36.33　ユーザーゲイン補正（16 ビットデータ長フォーマットおよび符号なしデータフォーマット）

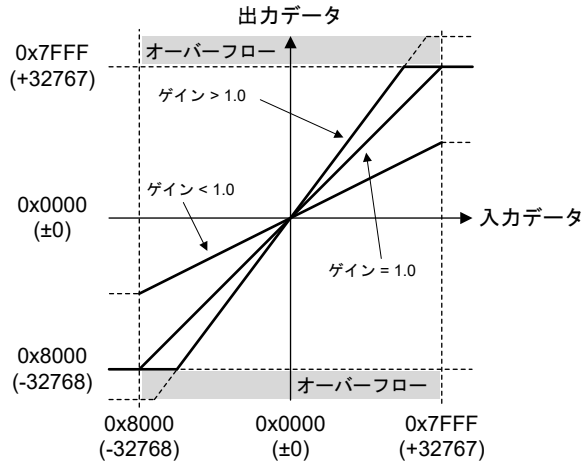


図 36.34　ユーザーゲイン補正（16 ビットデータ長フォーマットおよび符号付きデータフォーマット）

36.4.3.3　ユーザーオフセット補正

ユーザーオフセット補正機能は、A/D 変換データに任意の定数値を足したり、A/D 変換データから任意の定数値を引いたりします。

ユーザーオフセットの定数値は ADUOFTRn.UOFSET[15:0] (n = 0～7) に設定します。ユーザーオフセットは各仮想チャネルに設定できます。使用するユーザーオフセットテーブルは、ADDOPCRAm.OFSETSEL[3:0] (m = 0～36) で選択します。表 36.42 にユーザーオフセットレジスタ設定値とオフセット値の対応を示します。図 36.35 と図 36.36 にユーザーオフセット補正機能を使う場合の、A/D 変換結果の補正前（入力）と補正後（出力）の関係を示します。

ユーザーオフセット補正機能を使用すると、A/D 変換データのオーバーフローが発生する可能性があります。

表 36.42　ユーザーオフセットレジスタ値とオフセット値の対応

ADUOFTRn.UOFSET[15:0] （n = 0～7）	オフセット値（16 ビットデータ長フォーマット）
0x7FFF	+32767
0x7FFE	+32766
0x7FFD	+32765
⋮	⋮
0x0003	+3
0x0002	+2
0x0001	+1
0x0000（初期値）	0
0xFFFF	-1
0xFFFE	-2
0xFFFD	-3
⋮	⋮
0x8002	-32766
0x8001	-32767
0x8000	-32768

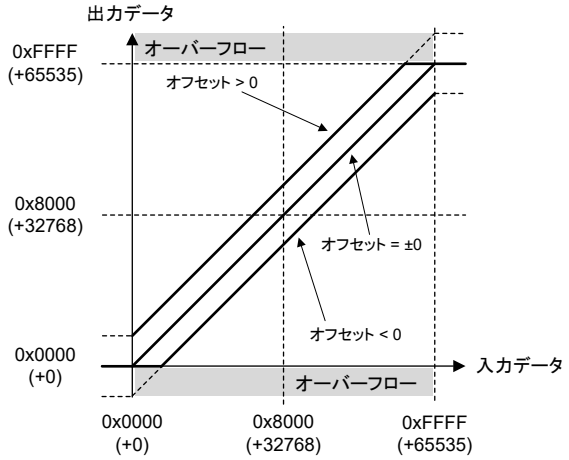


図 36.35　ユーザーオフセット補正（16 ビットデータ長フォーマットおよび符号なしデータフォーマット）

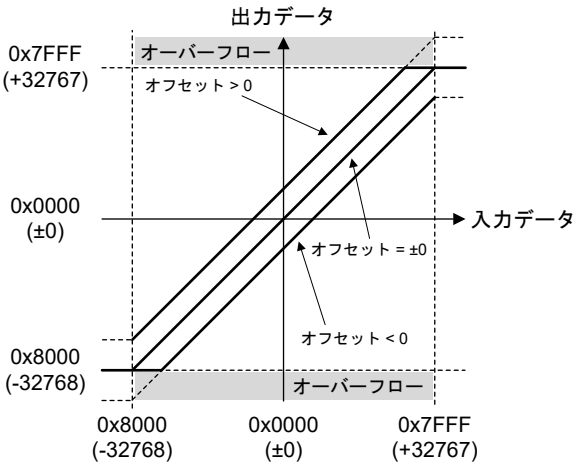


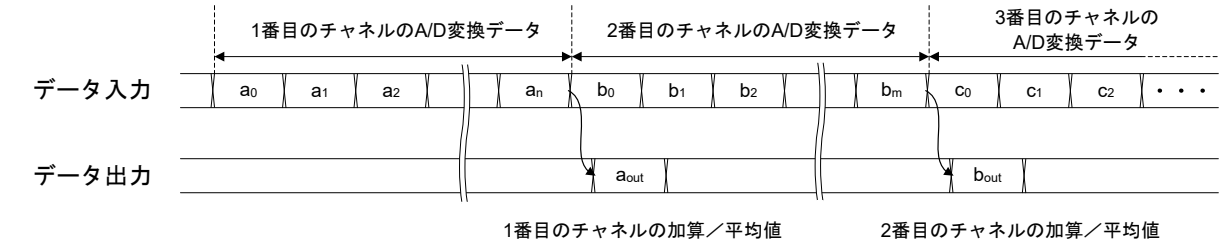
図 36.36　ユーザーオフセット補正（16 ビットデータ長フォーマットおよび符号付きデータフォーマット）

36.4.4　A/D 変換値加算／平均機能

A/D 変換値加算／平均機能は、指定した回数、連続してアナログチャネルの A/D 変換を行い、A/D 変換結果の合計値または平均値を計算します。A/D 変換値加算／平均機能は、ADDOPCRBn.AVEMD[1:0] (n = 0～36) ビットおよび ADDOPCRBn.ADC[3:0] (n = 0～36) ビットで各仮想チャネルに対して設定できます。

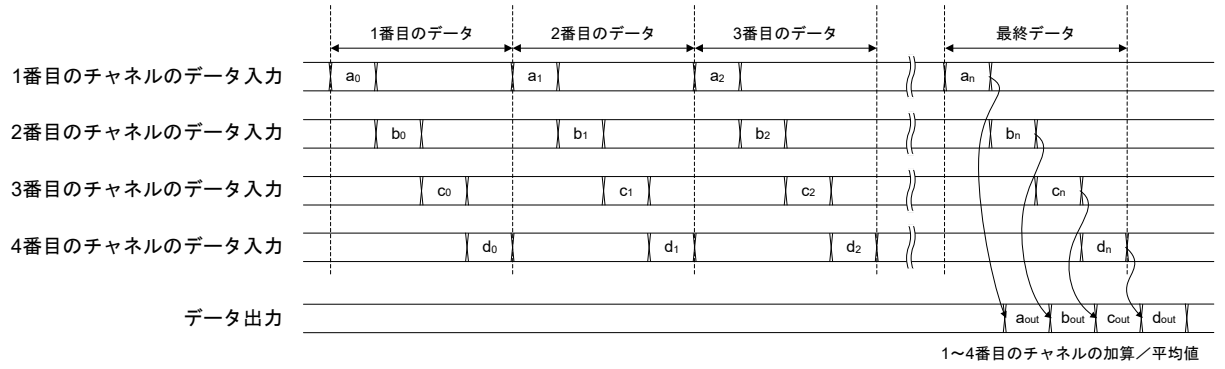
A/D 変換値加算／平均機能は、前のデータ処理の出力を入力します。指定した回数のデータが入力されると、合計値または平均値が計算され、計算結果は次のデータ処理に出力されます。A/D 変換値加算／平均機能を使用する場合、A/D コンバータは、ADDOPCRBn.ADC[3:0] (n = 0～36) ビットで指定した回数のデータを収集するまで、A/D 変換を繰り返します。指定した回数のデータが A/D 変換値加算／平均に入力されるごとに、1 つの計算結果（合計値または平均値）が出力されます。図 36.37 に SAR モードまたはオーバーサンプリングモードでの A/D 変換値加算／平均機能の動作を示します。図 36.38 にハイブリッドモードでの A/D 変換値加算／平均機能の動作を示します。

A/D 変換値加算／平均機能を使用する場合、A/D 変換データのオーバーフローが起こる場合があります。ただし、A/D 変換オーバーフローは特定の条件下では検出されない場合があります。A/D 変換オーバーフローの詳細については、「36.6.2. A/D 変換オーバーフロー」を参照してください。



注. n、m：加算／平均回数

図 36.37 A/D 変換値加算／平均機能の動作例（SAR モードまたはオーバーサンプリングモード）



注. n：加算／平均回数

図 36.38 A/D 変換値加算／平均機能の動作例（ハイブリッドモード）

36.4.5 リミッタークリップ機能

リミッタークリップ機能は、A/D 変換データの上限と下限を設定する機能です。A/D 変換データが指定された上限値を超えると、データは上限値にクリップされます。A/D 変換データが指定された下限値を下回ると、データは下限値にクリップされます。図 36.39 にリミッタークリップ機能の動作例を示します。

リミッタークリップ機能の上限と下限は、ADLIMTRn.LIMU[15:0] （n = 0～7）と ADLIMTRn.LIML[15:0] （n = 0～7）で指定できます。リミッタークリップ機能を使用するかどうか（有効または無効）は、各仮想チャネルに対して ADDOPCRCm.LIMTBLS[3:0] （m = 0～36）で選択できます。

リミッタークリップ機能は 16 ビット長で処理します。A/D 変換データのデータ長として 14 ビット、12 ビット、または 10 ビットを選択した場合（ADDOPCRCm.ADPRC[1:0] = 01b、10b、または 11b (m = 0～36) の場合）、指定したデータ長への切り上げ／切り下げは、リミッタークリップ機能によるクリップ後に行われます。詳細は、「36.4.6. データフォーマット処理」を参照してください。

リミッタークリップ機能の上限と下限は、A/D 変換データの符号選択ビット (ADDOPCRCm.SIGNSEL (m = 0～36)) の設定により、符号付きまたは符号なしとして取り扱われます。

リミッタークリップ機能では、上限値は下限値より大きい値を設定してください（ADLIMTRn.LIMU[15:0] > ADLIMTRn.LIML[15:0] （n = 0～7））。上限値が下限値以下の場合、A/D 変換データは常に 0x0000 になります。

リミッタークリップが発生すると、以下のステータスレジスタにフラグが設定されます。

- ADLIMGRSR : リミッタークリップが発生したスキャングループに対応するビットにフラグが設定されます。
- ADLIMCHSR0 : アナログ入力チャネルの A/D 変換中にリミッタークリップが発生すると、対応するビットにフラグが設定されます。
- ADLIMEXSR : 拡張アナログ機能の A/D 変換中にリミッタークリップが発生すると、対応するビットにフラグが設定されます。

ステータスレジスタのフラグをクリアするには、ADLIMGRSCR、ADLIMCHSCR0、ADLIMEXSCR の関連するビットに 1 を書き込みます。

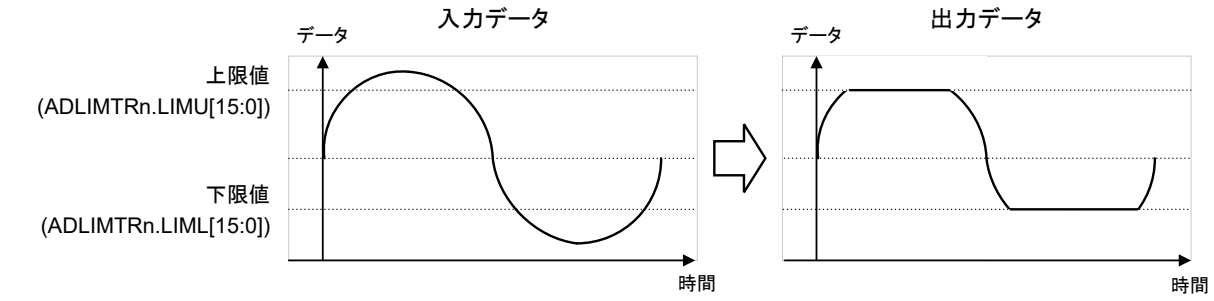


図 36.39 リミッタークリップ機能の動作例

36.4.6 データフォーマット処理

この処理では、A/D 変換データに関して以下のフォーマット処理が行われます。

- 符号付き／符号なしデータ処理
- データの丸め処理

この処理でフォーマットの対象となるデータは、A/D 変換結果として、A/D データレジスタ (ADDRi (i = 0～28))、拡張 A/D データレジスタ (ADEXDRj (j = 0～2, 5～8))、および FIFO データレジスタ (ADFIFODRk (k = 0～8)) の DATA[15:0]ビットに格納されます。

データフォーマットの詳細については、「36.4.7. データフォーマット」を参照してください。

36.4.6.1 符号付き／符号なしデータ処理

A/D 変換データは、ADDOPCRCn.SIGNSEL (n = 0～36) ビットの設定に基づいて、符号付きまたは符号なしデータフォーマットに処理されます。差動入力モードに対しては符号付きデータフォーマット (SIGNSEL = 0) 、シングルエンド入力モードに対しては符号なしデータフォーマット (SIGNSEL = 1) を選択してください。

36.4.6.2 データの丸め処理

A/D 変換データは、ADDOPCRCn.ADPRC[1:0] (n = 0～36) ビットの設定に基づいて、データ長に応じて丸め処理が行われます。14 ビット、12 ビット、または 10 ビットデータフォーマットが選択された場合 (ADPRC[1:0] = 01b, 10b, 11b)、A/D 変換データの下位ビットは丸められます。(切り捨てられる桁の最上位ビットが 0 の場合は切り下げ、1 の場合は切り上げです。) 16 ビットデータフォーマットが選択された場合 (ADPRC[1:0] = 00b)、A/D 変換データの丸めは行われません。

36.4.7 データフォーマット

本節では、A/D データレジスタ（ADDRi（i = 0～28））、拡張 A/D データレジスタ（ADEXDRj（j = 0～2、5～8））、および FIFO データレジスタ（ADFIFODRk（k = 0～8））の DATA[15:0]ビットに格納される A/D 変換結果のデータフォーマットについて説明します。

注. データフォーマットは、A/D コンバータ自体の分解能と精度を保証するものではありません。A/D コンバータの特性については、「46. 電気的特性」を参照してください。

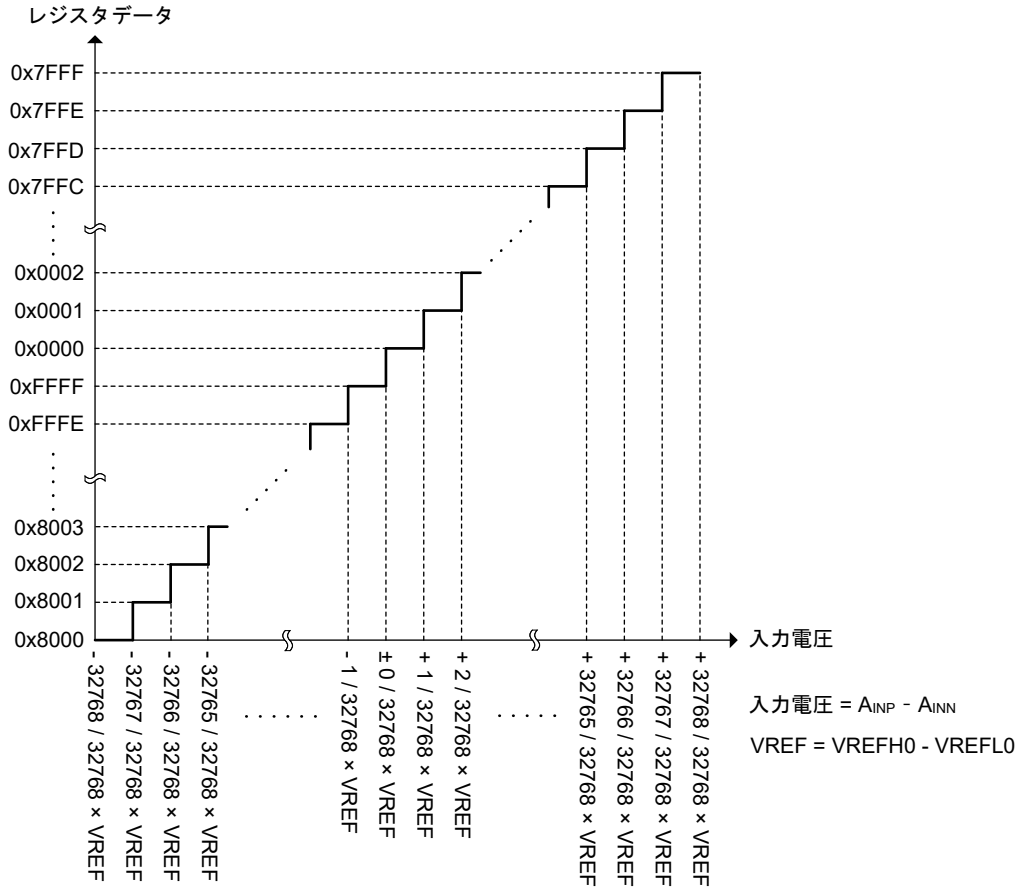
(1) 16 ビットデータ長フォーマット

表 36.43 に 16 ビットデータフォーマットの A/D 変換データのアライメントを示します。図 36.40 と図 36.41 に 16 ビットデータフォーマットのデータ範囲を示します。

16 ビットデータ長の符号付きデータフォーマットでは、差動入力電圧は 0x8000 (-VREFH0)～0x7FFF (+VREFH0) の範囲に A/D 変換されます。16 ビットデータ長の符号なしデータフォーマットでは、シングルエンド入力電圧は 0x0000 (VREFL0)～0xFFFF (VREFH0) の範囲に A/D 変換されます。

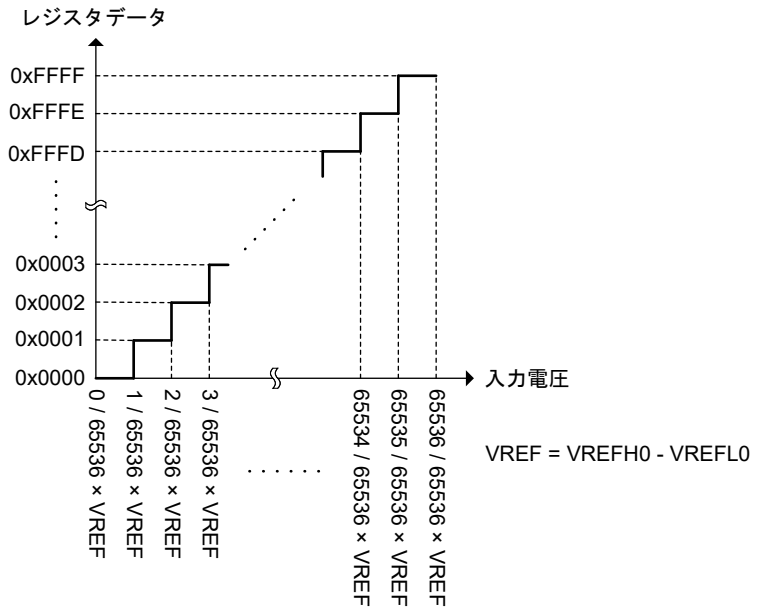
表 36.43 A/D 変換結果データのアライメント（16 ビットデータ長）

ビット位置:	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ビットフィールド:	DATA [15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R



注. この図は理想的な A/D 変換特性の場合を示します。

図 36.40 A/D 変換結果のデータ範囲（16 ビットデータ長、符号付きデータ、差動入力）



注. 上の図は理想的な A/D 変換特性の場合を示します。

図 36.41 A/D 変換結果のデータ範囲（16 ビットデータ長、符号なしデータ、シングルエンド入力）

(2) 14 ビットデータ長フォーマット

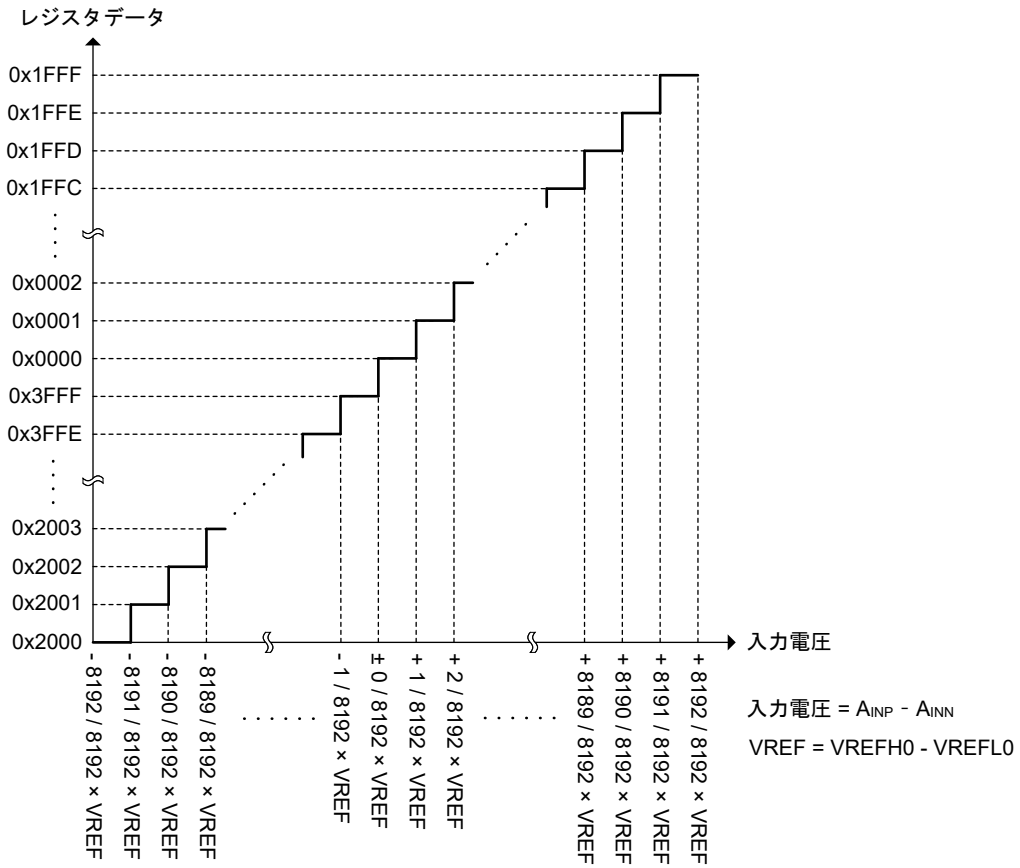
表 36.44 に 14 ビットデータフォーマットの A/D 変換データのアライメントを示します。図 36.42 と図 36.43 に 14 ビットデータフォーマットのデータ範囲を示します。

14 ビットデータ長の符号付きデータフォーマットでは、差動入力電圧は 0x2000 (-VREFH0)～0x1FFF (+VREFH0) の範囲に A/D 変換されます。14 ビットデータ長の符号なしデータフォーマットでは、シングルエンド入力電圧は 0x0000 (VREFL0)～0x3FFF (VREFH0) の範囲に A/D 変換されます。

14 ビットデータ長の場合、上位 2 ビット（ビット 15～ビット 14）は常に 0 です。

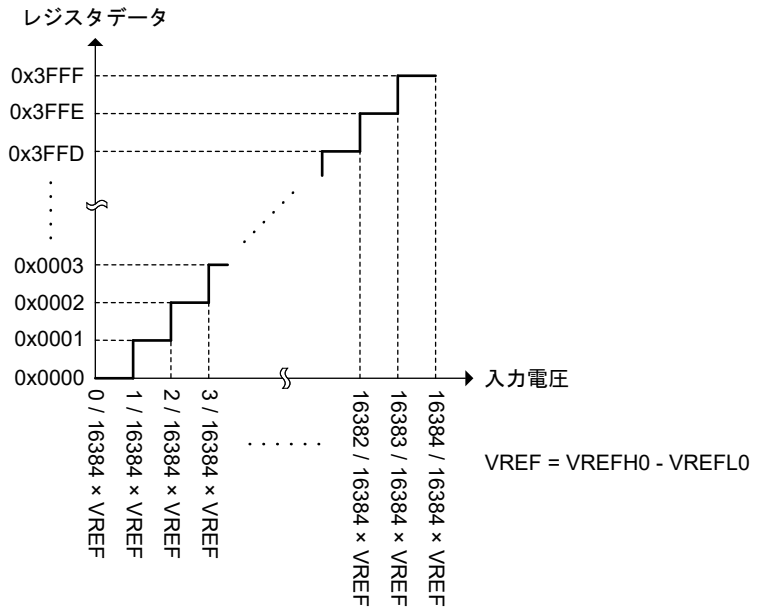
表 36.44 A/D 変換結果データのアライメント（14 ビットデータ長）

ビット位置:	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ビットフィールド:	0	0	DATA[13:0]													
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R



注. この図は理想的な A/D 変換特性の場合を示します。

図 36.42 A/D 変換結果のデータ範囲（14 ビットデータ長、符号付きデータ、差動入力）



注. 上の図は理想的な A/D 変換特性の場合を示します。

図 36.43 A/D 変換結果のデータ範囲（14 ビットデータ長、符号なしデータ、シングルエンド入力）

(3) 12 ビットデータ長フォーマット

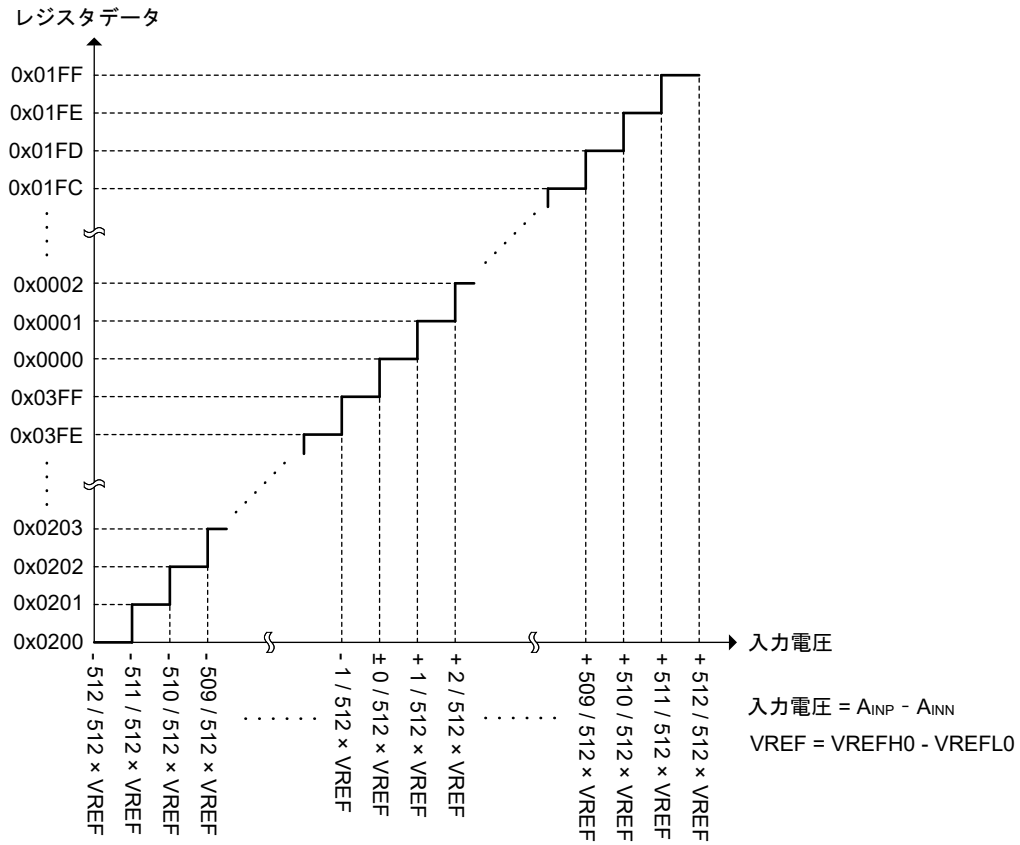
表 36.45 に 12 ビットデータフォーマットの A/D 変換データのアライメントを示します。図 36.44 と図 36.45 に 12 ビットデータフォーマットのデータ範囲を示します。

12 ビットデータ長の符号付きデータフォーマットでは、差動入力電圧は 0x0800 (-VREFH0)～0x07FF (+VREFH0) の範囲に A/D 変換されます。12 ビットデータ長の符号なしデータフォーマットでは、シングルエンド入力電圧は 0x0000 (VREFL0)～0x0FFF (VREFH0) の範囲に A/D 変換されます。

12 ビットデータ長の場合、上位 4 ビット（ビット 15～ビット 12）は常に 0 です。

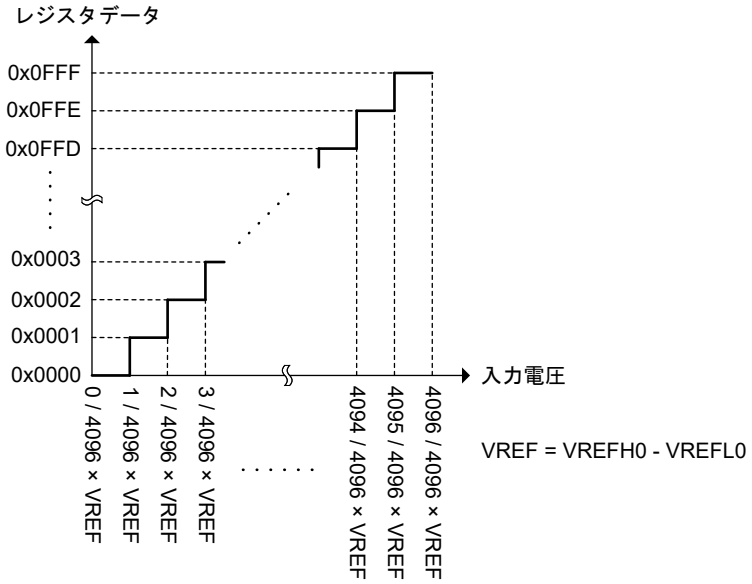
表 36.45 A/D 変換結果データのアライメント（12 ビットデータ長）

ビット位置:	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ビットフィールド:	0	0	0	0	DATA[11:0]											
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R



注. この図は理想的な A/D 変換特性の場合を示します。

図 36.44 A/D 変換結果のデータ範囲（12 ビットデータ長、符号付きデータ、差動入力）



注. 上の図は理想的な A/D 変換特性の場合を示します。

図 36.45 A/D 変換結果のデータ範囲（12 ビットデータ長、符号なしデータ、シングルエンド入力）

(4) 10 ビットデータ長フォーマット

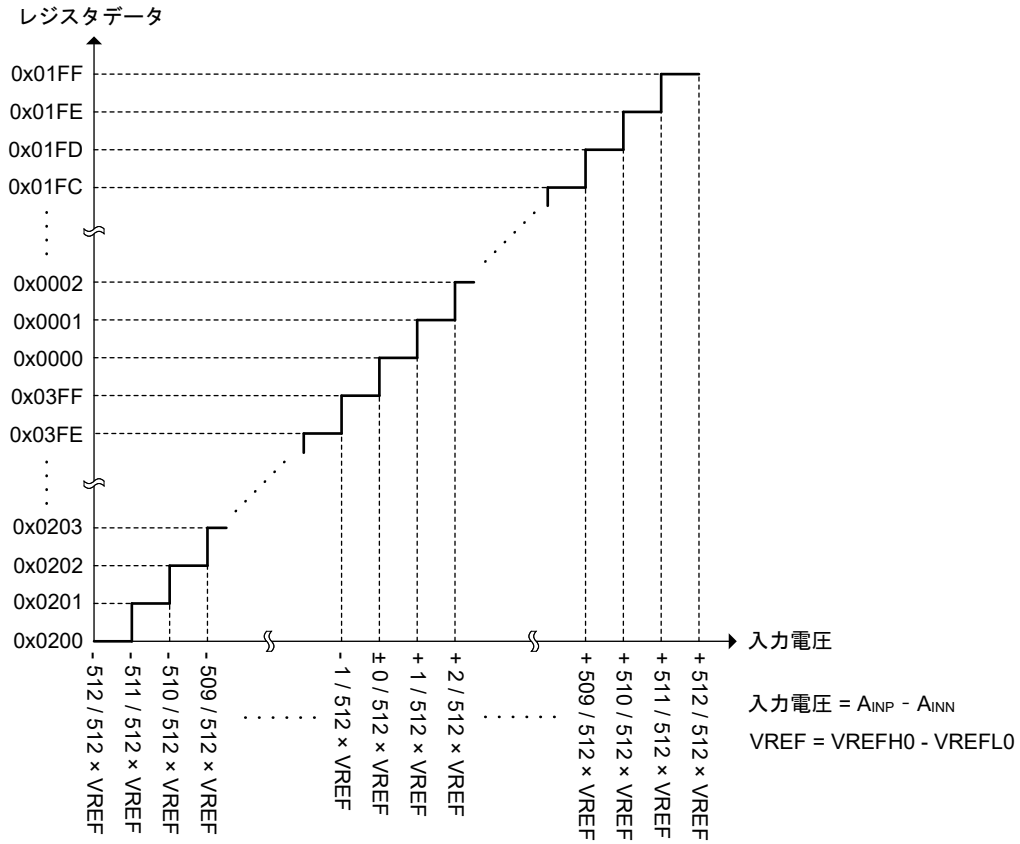
表 36.46 に 10 ビットデータフォーマットの A/D 変換データのアライメントを示します。図 36.46 と図 36.47 に 10 ビットデータフォーマットのデータ範囲を示します。

10 ビットデータ長の符号付きデータフォーマットでは、差動入力電圧は 0x0200 (-VREFH0)～0x03FF (+VREFH0) の範囲に A/D 変換されます。10 ビットデータ長の符号なしデータフォーマットでは、シングルエンド入力電圧は 0x0000 (VREFL0)～0x03FF (VREFH0) の範囲に A/D 変換されます。

10 ビットデータ長の場合、上位 6 ビット（ビット 15～ビット 10）は常に 0 です。

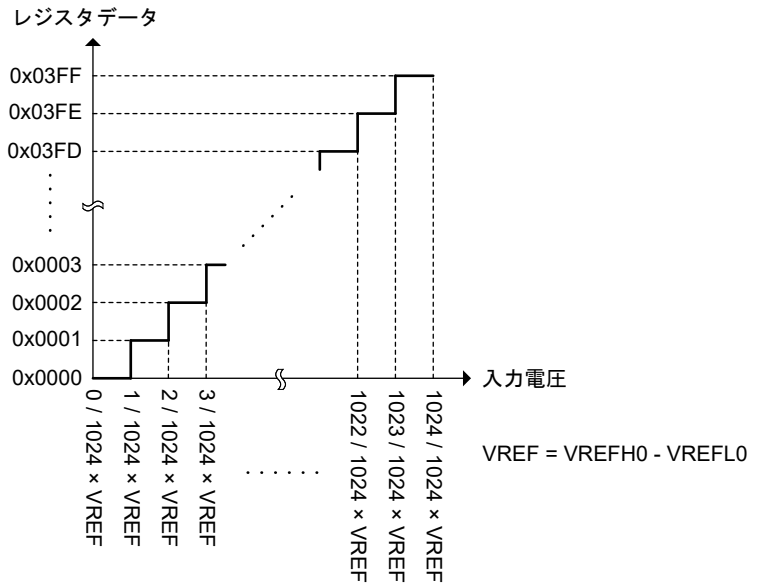
表 36.46 A/D 変換結果データのアライメント（10 ビットデータ長）

ビット位置:	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ビットフィールド:	0	0	0	0	0	0	DATA [9:0]									
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R



注. この図は理想的な A/D 変換特性の場合を示します。

図 36.46 A/D 変換結果のデータ範囲（10 ビットデータ長、符号付きデータ、差動入力）



注. 上の図は理想的な A/D 変換特性の場合を示します。

図 36.47 A/D 変換結果のデータ範囲（10 ビットデータ長、符号なしデータ、シングルエンド入力）

36.4.8 コンペアマッチ機能

36.4.8.1 コンペアマッチ

コンペアマッチ機能は、A/D 変換結果と、コンペアマッチテーブルレジスタ (ADCMPTBRn（n = 0〜7)) に設定した参照値を比較します。コンペアマッチ機能は、データフォーマット処理の後に A/D 変換データを比較します。

(1) コンペアマッチモード

コンペアマッチを検出するための比較モードは ADCMPMDRm.CMPMDn[1:0] （m = 0, 1. n = 0〜7）で選択します。比較モードは以下の 4 つのモードから選択できます。

1. A/D 変換値が指定された上限値以上の場合にコンペアマッチを検出する。
2. A/D 変換値が指定された下限値以下の場合にコンペアマッチを検出する。
3. A/D 変換値が指定された上限値以上の場合、または下限値以下の場合にコンペアマッチを検出する。
4. A/D 変換値が指定された上限値と下限値の間にある場合（変換値が上限値以下かつ下限値以上の場合）にコンペアマッチを検出する。

図 36.48 にコンペアマッチの検出例を示します。

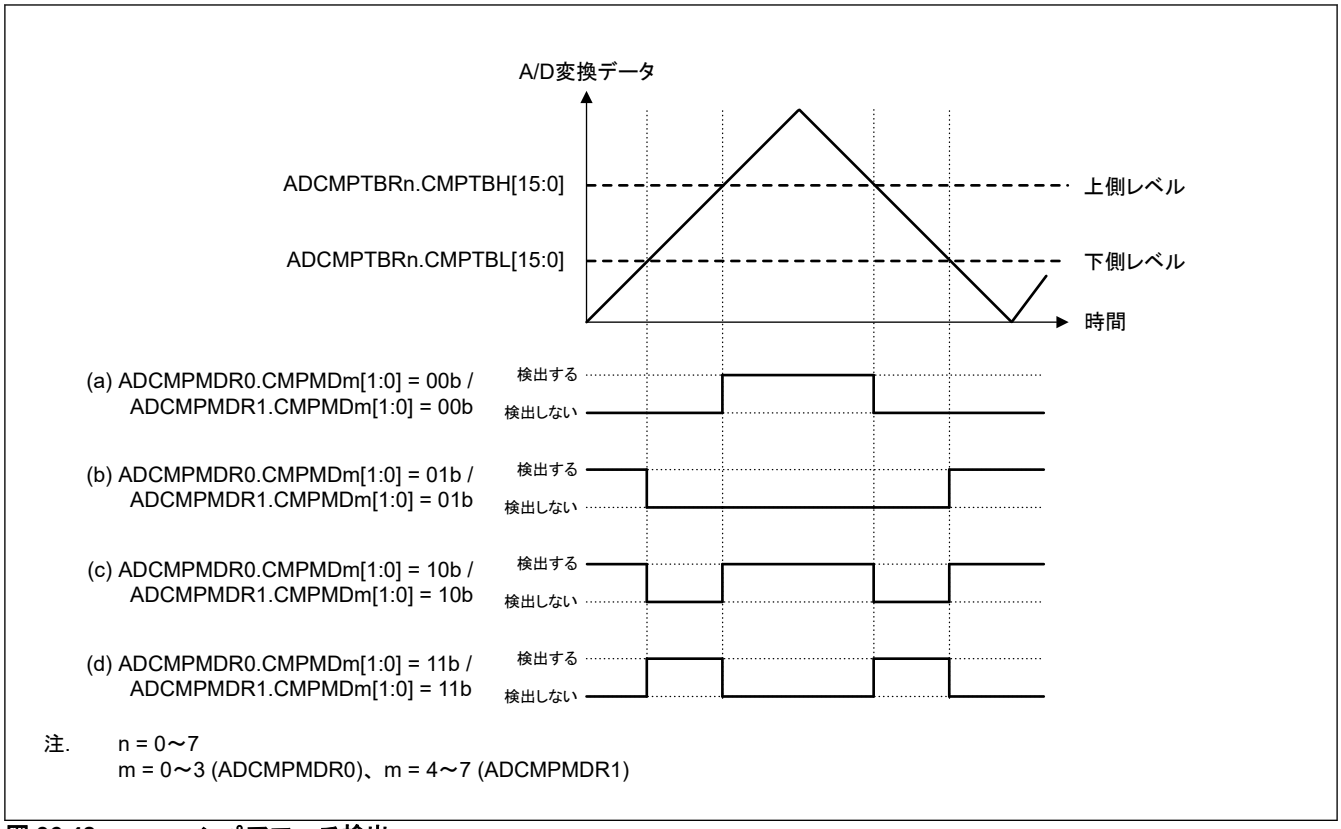


図 36.48 コンペアマッチ検出

(2) コンペアマッチ検出

コンペアマッチ機能を使用する場合、ADCMPENR レジスタで使われているコンペアマッチテーブルを有効にし、各仮想チャネルに対して ADDOPCRBn.CMPTBLEm（n = 0～36、m = 0～7）内のコンペアマッチテーブルを選択します。

コンペアマッチ機能を有効にした仮想チャネルに対して A/D 変換を行うと、そのチャネルの A/D 変換結果に基づいてコンペアマッチが判断されます。

コンペアマッチが検出されると、以下のステータスレジスタでフラグが設定されます。

- ADCMPTBSR：コンペアマッチが検出されたときに使用されたコンペアマッチテーブルに関連するビットにフラグが設定されます。
- ADCMPCHSR0：コンペアマッチを検出したアナログ入力チャネルに対応するビットにフラグが設定されます。
- ADCMPEXSR：コンペアマッチが検出された拡張アナログ機能に対応するビットにフラグが設定されます。

各ステータスレジスタのフラグをクリアするには、ADCMPTBSCR、ADCMPCHSCR0、ADCMPEXSCR の該当ビットに 1 を書き込みます。

ADCMPINTCR レジスタでコンペアマッチ割り込みが許可され、コンペアマッチテーブル 0～3 を使用するコンペアマッチが検出された場合、対応する割り込みが生成されます。ADCMPTBSR レジスタのコンペアマッチテーブル 4～7 のコンペアマッチをチェックしてください。

36.4.8.2 複合コンペアマッチ

複合コンペアマッチ機能は、複数のコンペアマッチテーブルの比較結果を組み合わせ、割り込みと ELC イベントを生成します。複合コンペアマッチ機能のコンペアマッチテーブルの組み合わせと条件は、ADCCMPCR0 または ADCCMPCR1 で設定します。

指定した条件に一致するコンペアマッチが検出された場合、複合コンペアマッチ割り込みが生成されます。

図 36.49 に複合コンペアマッチ機能とコンペアマッチ機能の関係を示します。表 36.47 に複合コンペアマッチ機能とコントロールレジスタの対応を示します。

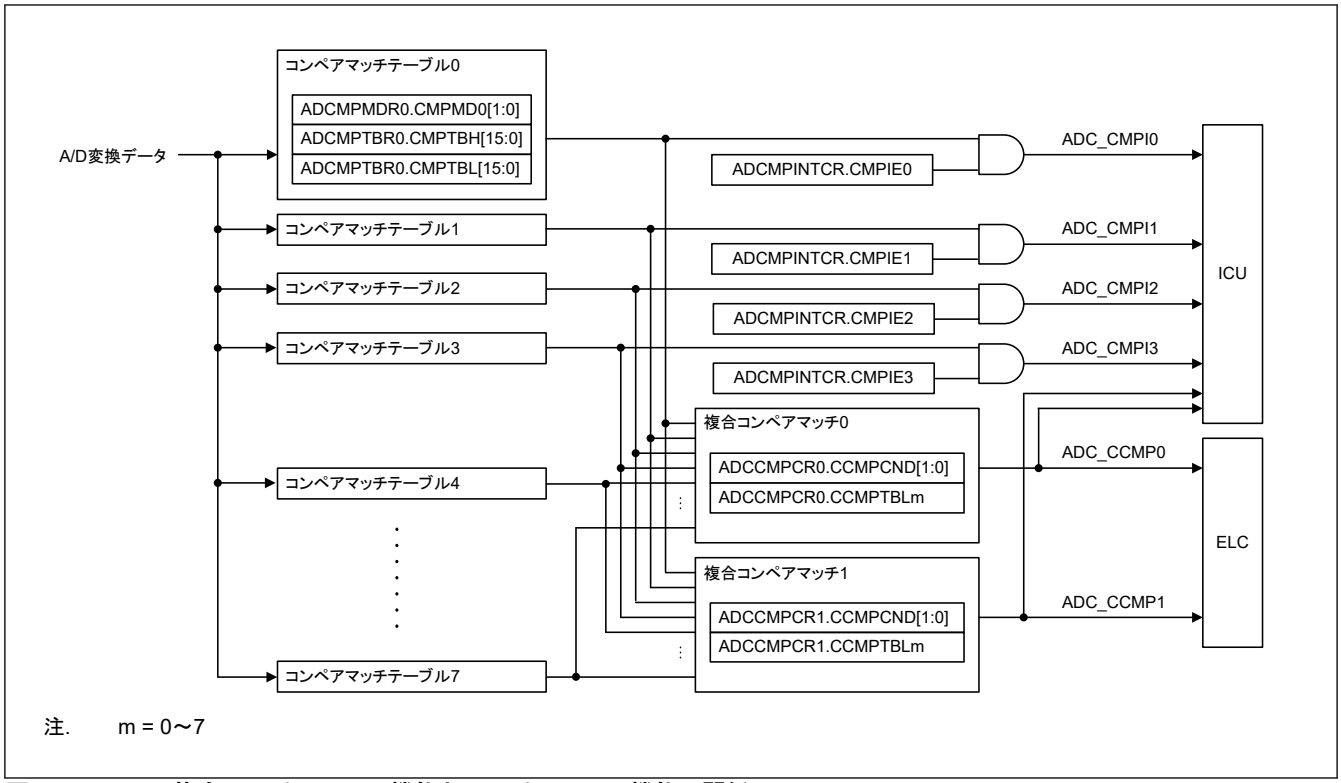


図 36.49 複合コンペアマッチ機能とコンペアマッチ機能の関係

表 36.47 複合コンペアマッチとコントロールレジスタ

機能名	複合コンペアマッチ機能の有効化	複合コンペアマッチモードの選択	複合コンペアマッチ割り込み
複合コンペアマッチ 0	ADCCMPCR0.CCMPTBLm（m = 0～7）	ADCCMPCR0.CCMPCND[1:0]	ADC_CCMPM0
複合コンペアマッチ 1	ADCCMPCR1.CCMPTBLm (m = 0～7)	ADCCMPCR1.CCMPCND[1:0]	ADC_CCMPM1

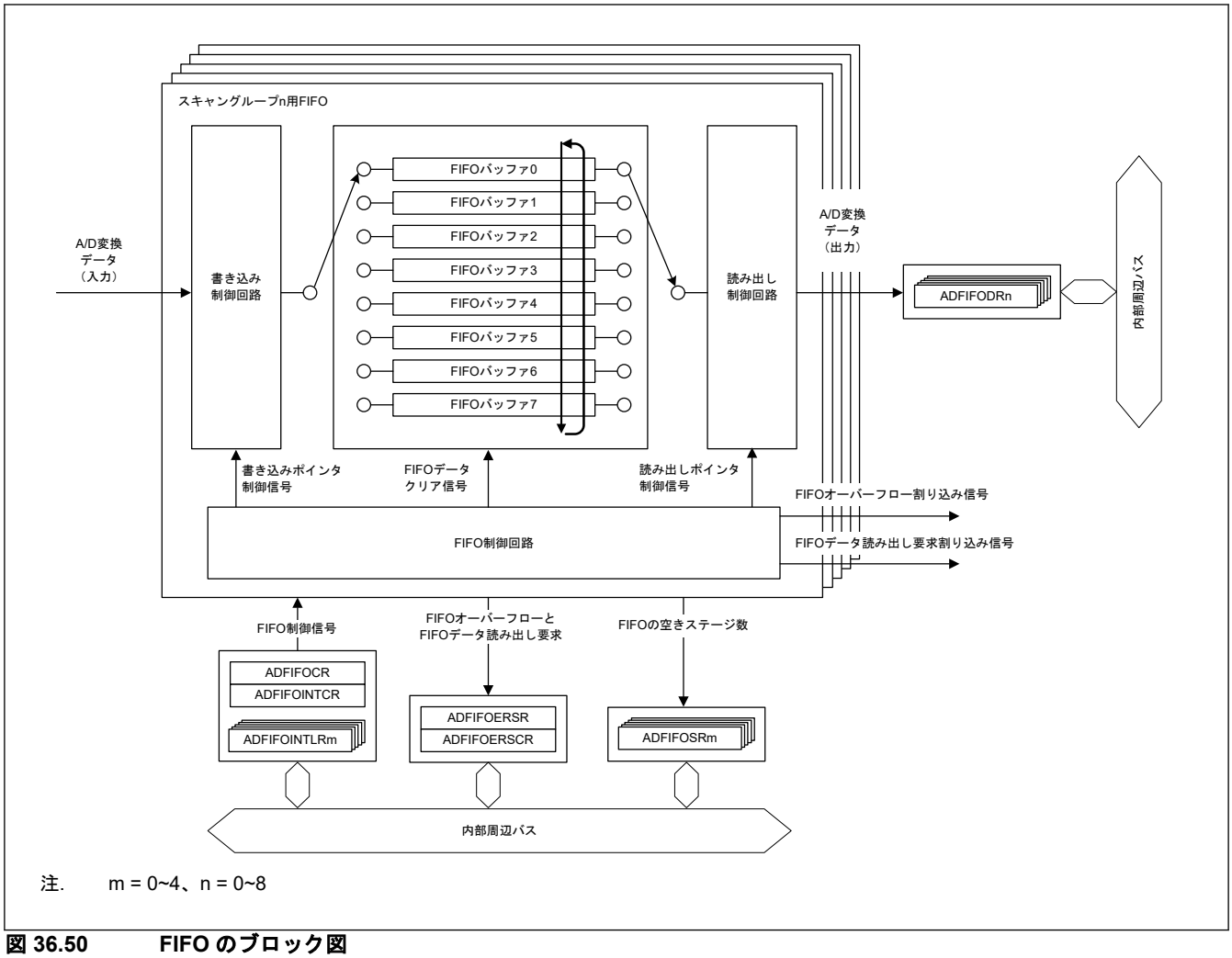
36.4.9 データレジスタ

A/D データレジスタ (ADDRi（i = 0～28)) および拡張 A/D データレジスタ (ADEXDRj（j = 0～2、5～8)) は、各レジスタに対応するアナログチャネルの A/D 変換データを格納します。各レジスタに対応するアナログチャネルの A/D 変換が完了すると、これらのレジスタは更新（上書き）されます。

36.4.10 FIFO 機能

FIFO は 8 ステージのレジスタで構成され、最大 8 つの A/D 変換データを保持できます。1 つの FIFO が各スキャングループに実装されます。FIFO に格納された A/D 変換データは、ADFIFODRn レジスタ（n = 0～8）から読み出すことができます。

FIFO はリングバッファの役割をします。FIFO に対する A/D 変換データの読み書きは、FIFO 内の読み出しポインタと書き込みポインタが制御します。FIFO のブロック図を図 36.50 に示します。



注. m = 0~4、n = 0~8

図 36.50 FIFO のブロック図

36.4.10.1 FIFO に A/D 変換データを書き込む場合の動作

A/D 変換データは、書き込みポインタが示すレジスタに順番に格納されます。A/D 変換データが FIFO 内のレジスタに書き込まれると、書き込みポインタは次のレジスタに切り替わります。このとき、空きステージ数（ADFIFOSRm.FIFOSTn[3:0]（m = 0～4、n = 0～8）ビット）は 1 つ減ります。

FIFO がフル（ADFIFOSRm.FIFOSTn[3:0]ビットが 0000b）のときに追加の A/D 変換データが FIFO に書き込まれると、FIFO オーバーフローが発生します。FIFO オーバーフローが発生した場合、A/D 変換データは書き込まれず、書き込みポインタは変化しません。

36.4.10.2 FIFO から A/D 変換データを読み出す場合の動作

FIFO データレジスタ（ADFIFODRn（n = 0～8））から A/D 変換データを読み出す場合、FIFO 読み出しポインタが示すレジスタ内のデータが読み出されます。FIFO から A/D 変換データを読み出すと、読み出しポインタは次のレジスタに切り替わります。このとき、空きステージ数（ADFIFOSRm.FIFOSTn[3:0]（m = 0～4、n = 0～8）ビット）は 1 つ増えます。

FIFO が空（ADFIFOSRm.FIFOSTn[3:0]ビットが 1111b）のときに FIFO からの読み出しが発生すると、無効データが読み出されます。（リセットの後または FIFO データがクリアされた後に FIFO が読まれると、0x00000000 が読み出されます。FIFO 内のレジスタにすでにデータが書き込まれている場合、前のデータが読み出されます。）FIFO が空のときの読み出し動作では、読み出しポインタが変化しません。

FIFO データレジスタ (ADFIFODRn) から A/D 変換データを読み出す際は、32 ビットでアクセスしてください。詳細は、「36.4.10.5. FIFO 使用上の注意事項」を参照してください。

36.4.10.3 FIFO データ読み出し要求とオーバーフロー

FIFO に対して A/D 変換データを読み書きする場合、読み出しポインタまたは書き込みポインタが変化します。読み出しポインタと書き込みポインタの状態に応じて、FIFO 内の空きステージ数が ADFIFOSRm.FIFOSTn[3:0]（m = 0～4、n = 0～8）に反映されます。

空きステージ数が ADFIFOINTLRm.FIFOILVn[3:0]（m = 0～4、n = 0～8）ビットで指定した値以下になると、FIFO データ読み出し要求フラグが設定されます (ADFIFOERSR.FIFOFLFn = 1 (n = 0～8))。FIFO データ読み出し要求が発生すると、FIFO データ読み出し要求割り込みを生成できます。

FIFO がフル（ADFIFOSRm.FIFOSTn[3:0]ビットが 0000b）のときに追加の A/D 変換データが書き込まれると、FIFO オーバーフローフラグが設定されます (ADFIFOERSR.FIFOOVFn = 1 (n = 0～8))。FIFO オーバーフローが発生すると、FIFO データオーバーフロー割り込みを生成できます。

36.4.10.4 FIFO データのクリア

FIFO のレジスタ内に格納されたデータをクリアするには、ADFIFODCR.FIFODCn（n = 0～8）ビットに書き込みをします。ADFIFODCR.FIFODCn ビットに 1 を書き込むと、FIFODCn ビットに対応するスキャングループの FIFO 内のレジスタ、読み出しポインタ、および書き込みポインタが初期化されます。FIFO データのクリアは、A/D 変換を行っていないときに実行してください。

36.4.10.5 FIFO 使用上の注意事項

FIFO データレジスタ（ADFIFODRn（n = 0～8））からの A/D 変換データ読み出しは、単一の 32 ビットアクセスで行ってください。ADFIFODRn の各ビットへのアクセス、16 ビット読み出しアクセス、および 8 ビット読み出しアクセスは禁止されています。本制約に違反した場合、FIFO の動作は保証されません。（本制約に違反した場合、読み出しポインタが正常に変化せず、正しいデータを読み出せない場合があります。あるいは、意図せず読み出しポインタが進み、A/D 変換データが消失する場合があります。）

36.4.11 A/D 変換データエラー検出

A/D データレジスタ (ADDRi（i = 0～28))、拡張 A/D データレジスタ (ADEXDRj（j = 0～2、5～8))、および FIFO データレジスタ (ADFIFODRk（k = 0～8)) の ERR ビットは、A/D 変換データエラーを示すフラグです。A/D 変換データエラーは、無効な A/D 変換データが検出されたことを示します。A/D 変換データエラーが発生した場合 (ERR = 1)、A/D 変換データは保証されません。

A/D 変換データエラーは以下の要因で発生します。

- A/D コンバータエラー
- A/D 変換オーバーフロー

これらのエラーの詳細については、「36.6. エラー検出」を参照してください。

36.5 A/D 変換の開始および停止制御

36.5.1 ソフトウェアトリガ

スキャングループ n の A/D 変換は、ADSTRn.ADST（n = 0～8）ビットまたは ADSYSTR.ADSYSTn（n = 0～8）ビットに 1 を書くことで開始できます。

ADSTRn.ADST ビットは、各スキャングループの A/D 変換を個別に開始するために使用します。
ADSYSTR.ADSYSTn ビットは、ADC0 または ADC1 に割り当てられたスキャングループの A/D 変換を同時に開始するために使用します。

グループ優先動作時を除き、A/D 変換中の A/D コンバータを使用するスキャングループに対する ADSTRn.ADST ビットまたは ADSYSTR.ADSYSTn ビットへの書き込みは無視されます。

36.5.2 周辺モジュールトリガ

以下の周辺モジュールからのトリガによって、A/D 変換を開始できます。

- ELC トリガ
- GPT トリガ

- 外部トリガ（入出力ポート）

周辺モジュールからのトリガで A/D 変換を行うには、各スキャングループに対するトリガを設定し、ADTRGENR レジスタで周辺モジュールからのトリガ入力を有効にします。

36.5.2.1 ELC トリガ

イベントリンクコントローラからのイベント（ELC イベント）によって A/D 変換を開始できます。ELC イベントを使って A/D 変換を開始するには、ELC イベントを使用するスキャングループを ADTRGELCn（n = 0～8）レジスタで設定し、A/D 変換開始トリガを ADTRGENR レジスタで有効にします。表 36.48 に ADTRGELCn レジスタと ELC イベントの対応を示します。

表 36.48 ELC トリガイネーブルレジスタと ELC イベントの対応

レジスタビット	イベント名
ADTRGELCn.TRGELC0	ELC_AD00
ADTRGELCn.TRGELC1	ELC_AD01
ADTRGELCn.TRGELC2	ELC_AD02
ADTRGELCn.TRGELC3	ELC_AD10
ADTRGELCn.TRGELC4	ELC_AD11
ADTRGELCn.TRGELC5	ELC_AD12

注. n = 0～8

36.5.2.2 GPT トリガ

汎用 PWM タイマ (GPT) からの割り込み要因によって A/D 変換を開始できます。GPT からの割り込み要因を使って A/D 変換を開始するには、GPT 割り込み要因を使用するスキャングループを ADTRGGPTn（n = 0～8）レジスタで設定し、A/D 変換開始トリガを ADTRGENR レジスタで有効にします。表 36.49 に ADTRGGPTn レジスタと GPT 割り込み要因の対応を示します。

表 36.49 GPT トリガイネーブルレジスタと GPT 割り込み要因の対応 (1/2)

レジスタビット	イベント名
ADTRGGPTn.TRGGPTA0	GPT0_ADTRGA
ADTRGGPTn.TRGGPTA1	GPT1_ADTRGA
ADTRGGPTn.TRGGPTA2	GPT2_ADTRGA
ADTRGGPTn.TRGGPTA3	GPT3_ADTRGA
ADTRGGPTn.TRGGPTA4	GPT4_ADTRGA
ADTRGGPTn.TRGGPTA5	GPT5_ADTRGA
ADTRGGPTn.TRGGPTA6	GPT6_ADTRGA
ADTRGGPTn.TRGGPTA7	GPT7_ADTRGA
ADTRGGPTn.TRGGPTA8	GPT8_ADTRGA
ADTRGGPTn.TRGGPTA9	GPT9_ADTRGA
ADTRGGPTn.TRGGPTB0	GPT0_ADTRGB
ADTRGGPTn.TRGGPTB1	GPT1_ADTRGB
ADTRGGPTn.TRGGPTB2	GPT2_ADTRGB
ADTRGGPTn.TRGGPTB3	GPT3_ADTRGB
ADTRGGPTn.TRGGPTB4	GPT4_ADTRGB
ADTRGGPTn.TRGGPTB5	GPT5_ADTRGB
ADTRGGPTn.TRGGPTB6	GPT6_ADTRGB
ADTRGGPTn.TRGGPTB7	GPT7_ADTRGB
ADTRGGPTn.TRGGPTB8	GPT8_ADTRGB

表 36.49 GPT トリガイネーブルレジスタと GPT 割り込み要因の対応 (2/2)

レジスタビット	イベント名
ADTRGGPTn.TRGGPTB9	GPT9_ADTRGB

注. n = 0～8

36.5.2.3 外部トリガ

外部トリガ端子（ADTRG0 および ADTRG1）からの入力によって A/D 変換を開始できます。外部トリガを使って A/D 変換を開始するには、外部トリガを使用するスキャングループを ADTRGEXTn（n = 0～8）レジスタで設定し、A/D 変換開始トリガを ADTRGENR レジスタで有効にします。

外部トリガはアクティブ Low です。外部トリガ（ADTRG0 および ADTRG1）を有効にする前に、外部トリガ端子に High レベルを入力してください。

36.5.3 トリガ遅延

トリガ遅延機能は、A/D 変換開始トリガに遅延を加え、各スキャングループの A/D 変換開始タイミングを調整します。この機能は、外部トリガ、ELC トリガ、または GPT トリガを受け付けることで生成された各スキャングループに対する内部トリガに遅延を付加します。この機能を使ってソフトウェアトリガに遅延を付加することはできません。

内部トリガに付加する遅延値は、ADTRGDLRi (i = 0～4) レジスタで個々のスキャングループに対して設定します。付加される遅延値は、「レジスタ設定値 × A/D 変換クロック (ADCLK) サイクル」です。

36.5.4 A/D 変換動作の強制停止

A/D コンバータのスキャン動作は、スキャン動作中に ADSTOPR.ADSTOPm (m = 0, 1) ビットに 1 を書くことで強制的に停止できます。スキャン動作を強制停止すると、A/D 変換データは保証されません。

36.5.4.1 強制停止手順

表 36.50 に A/D 変換動作の強制停止手順を示します。強制停止を行う場合は、表 36.50 の手順を守ってください。この手順に従わない場合、A/D コンバータは停止できず、正常に動作しない可能性があります。その場合、復旧にはリセットが必要となります。

表 36.50 A/D 変換動作の強制停止手順

No.	手順名	説明
1	トリガ入力の無効化	周辺モジュールからのトリガ入力を無効にします。 （ADTRGENR.STTRGENn = 0 を書き込みます）
2	待機時間	上記の手順 1 を設定した後、A/D コンバータを安全に停止するため、待機時間が必要です。指定の待機時間が経過した後、次の処理に進みます。待機時間の詳細については、「36.5.4.2. 強制停止処理のためにトリガ入力を無効にした後の待機時間」を参照してください。
3	A/D コンバータ状態の確認	上記の手順 2 の待機時間が過ぎた後、A/D コンバータが動作しているかどうかを確認します。A/D コンバータが動作している場合 (ADSR.ADACTm = 1)、手順 4 へ進みます。 A/D コンバータが停止している場合 (ADSR.ADACTm = 0)、以降の処理は不要です（手順 6 へ進みます）。
4	A/D コンバータの強制停止	ADSTOPR レジスタで A/D コンバータを強制停止します。(注1) （ADSTOPR.ADSTOPm = 1 を書き込みます）
5	A/D コンバータ停止まで待機	A/D コンバータが停止するまで待機します。 (ADSR.ADACTm = 0)
6	終了	強制停止処理は完了です。

注. m = 0, 1、n = 0～8
この強制停止手順の実行中は、ADSYSTR レジスタや ADSTRn レジスタへ書き込みを行わないでください。
注 1. 自己校正動作中の強制停止は禁止されています。詳細は、「36.3.8. 自己校正」を参照してください。

36.5.4.2 強制停止処理のためにトリガ入力を無効にした後の待機時間

表 36.50 に示した強制停止手順において、周辺モジュールからのトリガ入力を無効にした後、強制停止を実行する前に待機時間が必要です（表 36.50 の手順 2）。この待機時間は、強制停止を安全に行うために必ず確保する必要があります。

強制停止処理のためにトリガ入力を無効にした後の待機時間は、以下のように計算します。

[強制停止処理のためにトリガ入力を無効にした後の待機時間]

- 同期動作が有効な場合 (ADSYCR.ADSYDISm = 0)
  - (ADTRGDLRi.TRGDLYn[7:0]設定値 + ADSYCR.ADCSYCYC[10:0]設定値 × 2) × t_{ADCLK}
- 同期動作が無効な場合 (ADSYCR.ADSYDISm = 1)
  - (4 + ADTRGDLRi.TRGDLYn[7:0]設定値) × t_{ADCLK}

注. i = 0～4、n = 0～8、m = 0、1 t_{ADCLK}：ADCLK 周期

上記の計算式で算出される待機時間が経過した後、表 36.50 の手順 3 の処理に進んでください。待機時間を生成する方法は、次の 2 つがあります。(a) MCU に内蔵されているタイマ機能を使用する。(b) ステータスレジスタを複数回読み出す。(b) を選択した場合、待機時間を生成するのに必要なレジスタの読み出し回数は、次の式で計算されます。

[待機時間を生成するためのレジスタ読み出し回数]

N_{RD} = （トリガ入力無効化後の待機時間 ÷ (t_{PCLK} × N_{RDCYC})） + 1

N_{RD}：トリガ入力無効化後待機時間の生成に必要なレジスタ読み出し回数（小数点以下は切り捨て）

t_{PCLK}：バスインタフェースクロックの周期 (PCLKA)

N_{RDCYC}: レジスタ読み出しアクセスサイクルの最小の値（「付録 3. I/O レジスタ」を参照）

36.6 エラー検出

36.6.1 A/D コンバータエラー

A/D コンバータの異常な動作が発生すると、A/D コンバータエラーが検出されます。A/D コンバータエラーが検出された場合、A/D 変換結果は保証されません。

A/D コンバータエラーは以下の場合に発生します。

[A/D コンバータエラーが発生する状況]

- 自己校正をせずに A/D 変換を行った場合
- ADCLK の動作周波数が、電気的特性で保証している周波数範囲を超えた場合
- A/D コンバータの逐次比較時間が、電気的特性で規定される時間の範囲外である場合
- 外部的要因により、A/D コンバータ内で偶然、異常な動作が発生した場合

A/D コンバータエラーが検出された場合、ADERSR.ADERFn (n = 0, 1) ビットにフラグが設定されます。A/D コンバータエラーフラグをクリアするには、ADERSCR レジスタの関連するビットに 1 を書き込んでください。

A/D コンバータエラーに関する注意事項

A/D コンバータエラーは、A/D コンバータの異常な動作を検出するために使用される補助的な機能です。異常な動作の確実な検出を保証するものではありません。上記に記載した A/D コンバータエラー発生条件においても、チップの個体差やチップの動作状態によっては、A/D コンバータエラーが検出されない場合があります。

36.6.2 A/D 変換オーバーフロー

A/D 変換データが、指定されたデータフォーマットで処理可能な範囲を超えると、A/D 変換オーバーフローが検出されます。A/D 変換オーバーフローが発生すると、A/D 変換データは、指定されたデータフォーマットの上限値または下限値になります。A/D 変換データとして処理できる範囲については、「36.4.7. データフォーマット」を参照してください。

A/D 変換オーバーフローは、以下の場合に検出されます。

- A/D コンバータへの入力が VREFH0～VREFL0 の範囲を超える場合
  - シングルエンド入力：A/D コンバータへの入力が VREFH0 を上回る、または VREFL0 を下回る場合
  - 差動入力：A/D コンバータへの差動入力が+VREFH0 を上回る、または-VREFH0 を下回る場合
- A/D 変換データに対する下記の内部処理（計算）によってオーバーフローが発生する場合
  - ゲインエラーおよびオフセットエラー校正
  - ユーザーゲイン／ユーザーオフセット補正機能
  - A/D 変換値加算機能の使用時
  - データフォーマット処理

A/D 変換オーバーフローが検出されると、下記のステータスレジスタにフラグが設定されます。

- ADOVFERSR：A/D 変換オーバーフローを検出した A/D コンバータに対応するビットにフラグが設定されます。
- ADOVFCHSR0：A/D 変換オーバーフローが検出されたアナログ入力チャネルに対応するビットにフラグが設定されます。
- ADOVFEXSR: A/D 変換オーバーフローが検出された拡張アナログチャネルに対応するビットにフラグが設定されます。

ステータスレジスタのフラグをクリアするには、ADOVFERSCR、ADOVFCHSCR0、ADOVFEXSCR の関連するビットに 1 を書き込んでください。

A/D 変換オーバーフローに関する制限

A/D 変換値加算／平均機能の使用時、以下では A/D 変換オーバーフローは検出されません。

- スキャングループの最初のチャネル
- グループ優先動作時に中断されたグループの再開チャネル

上記のチャネルで A/D 変換データの不正を検出するには、リミッタークリップ機能またはコンペアマッチ機能を使用してください。

36.6.3 FIFO オーバーフロー

FIFO がフルのときに A/D 変換データが FIFO に書き込まれる（追加される）と、FIFO オーバーフローが検出されます。FIFO オーバーフローの詳細については、「36.4.10. FIFO 機能」を参照してください。

36.7 設定および変更手順

36.7.1 初期設定手順

表 36.51 に初期設定手順を示します。

表 36.51 初期設定手順 (1/2)

No.	手順	説明
1	モジュールストップ解除	MSTPCR レジスタで ADC のモジュールストップビットを解除します。
2	入出力ポート設定	アナログ入力として使用される端子の ASEL ビットを 1 にします。
3	同期動作設定	同期動作機能の設定をします。 同期動作機能は、リセット解除後のレジスタ初期値で有効になります。同期動作を使用しない場合、同期動作を無効にしてください(ADSYCR.ADSYDISm = 1 (m = 0, 1))。
4	ADCLK 設定	ADCLK のクロックソースと分周比を設定します。 その後、ADCLKENR.CKEN ビットを 1 にし、ADCLK のクロック供給を待ちます (ADCLKSR.CLKSR = 1)。
5	A/D 変換設定	A/D 変換の設定を行います。

表 36.51 初期設定手順 (2/2)

No.	手順	説明
6	動作安定までの待機	電気的特性で指定された動作安定時間が経過するまで待ちます。
7	自己校正	A/D 変換を開始する前に、自己校正が必須です。 自己校正を設定し、実行します。 詳細は、「36.3.8. 自己校正」を参照してください。
8	トリガ設定	周辺モジュールからのトリガで A/D 変換を開始する場合、各スキャングループに対するトリガを設定します。
9	A/D 変換開始	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、A/D 変換（スキャン動作）が開始します。

36.7.2 ADCLK 設定変更手順

表 36.52 に、ADCLK 設定の変更手順を示します。

表 36.52 ADCLK 設定変更手順

No.	手順	説明
1	トリガ入力無効化	周辺モジュールからのトリガ入力を無効にします。 （ADTRGENR.STTRGENn = 0 (n = 0～8) を書き込みます。）
2	A/D 変換の停止	すべての A/D コンバータが停止していることを確認します。 A/D 変換が実行中の場合、すべての A/D 変換が完了するまで待つか、A/D 変換動作を強制停止します。 A/D 変換動作の強制停止の詳細については、「36.5.4. A/D 変換動作の強制停止」を参照してください。
3	ADCLK クロック供給の停止	ADCLKENR.CKEN ビットを 0 にします。その後、ADCLK が停止するまで待ちます (ADCLKSR.CLKSR = 0)。
4	ADCLK 設定の変更	ADCLK のクロックソースおよび分周比を変更します。
5	ADCLK クロック供給の開始	ADCLKENR.CKEN ビットを 1 にし、ADCLK のクロック供給を待ちます (ADCLKSR.CLKSR = 1)。
6	A/D 変換設定の変更	ADCLK 周波数の変更に伴い、以下の設定を変更します。 • A/D コンバータの逐次比較時間 • A/D 変換のサンプリングステート数 • チャネル専用サンプル&ホールド回路のサンプリングステート数とホールドモード切り替えステート数(注1) • 自己校正動作のステート数（A/D コンバータおよびチャネル専用サンプル&ホールド回路(注1)） • 同期動作期間(注2) • 断線検出アシスト期間(注3) A/D 変換に関する他の設定で変更の必要なものがあれば、ここで変更します。
7	動作安定までの待機	「46. 電気的特性」で指定された動作安定時間が経過するまで待ちます。
8	自己校正	A/D 変換を開始する前に、自己校正動作を実行します。詳細は、「36.3.8. 自己校正」を参照してください。
9	トリガ設定	周辺モジュールからのトリガで A/D 変換を開始する場合、各スキャングループに対するトリガを設定します。
10	A/D 変換開始	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、A/D 変換（スキャン動作）が開始します。

注 1. チャネル専用サンプル&ホールド回路を使用しない場合、設定は不要です。
注 2. 同期動作設定が無効な場合 (ADSYCR, ADSYDISm = 1 (m = 0, 1))、変更は不要です。
注 3. 断線検出アシスト機能を使用しない場合、設定は不要です。

36.7.3 A/D コンバータの設定変更手順

表 36.53 に、A/D 変換設定の変更手順を示します。ADCLK 設定に変更がある場合、「36.7.2. ADCLK 設定変更手順」の手順を行ってください。

表 36.53 A/D コンバータ設定の変更手順

No.	手順	説明
1	トリガ入力無効化	周辺モジュールからのトリガ入力を無効にします。 （ADTRGENR.STTRGENn = 0 (n = 0～8) を書き込みます。）
2	A/D 変換の停止	すべての A/D コンバータが停止していることを確認します。 A/D 変換が実行中の場合、すべての A/D 変換が完了するまで待つか、A/D 変換動作を強制停止します。 A/D 変換動作の強制停止の詳細については、「36.5.4. A/D 変換動作の強制停止」を参照してください。
3	A/D 変換設定の変更	A/D 変換の設定を変更します。（ADCLK の設定を除く。）
4	動作安定までの待機	電気的特性で指定された動作安定時間が経過するまで待ちます。
5	自己校正	A/D 変換を開始する前に、自己校正動作を実行します。 詳細は、「36.3.8. 自己校正」を参照してください。
6	トリガ設定	周辺モジュールからのトリガで A/D 変換を開始する場合、各スキャングループに対するトリガを設定します。
7	A/D 変換開始	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、A/D 変換（スキャン動作）が開始します。

36.8 割り込み要因および ELC イベント

表 36.54 に、ADC 割り込み要因または ELC イベント要求を一覧表示します。

割り込みの詳細については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

ELC イベントの詳細については、「17. イベントリンクコントローラ (ELC)」を参照してください。

表 36.54 割り込み要因 (1/2)

割り込み要求または ELC イベント	シンボル	説明	ステータスフラグ
A/D コンバータエラー割り込み	ADC_ERR0	ADC0 の異常動作検出時に生成	ADERSR.ADERF0
	ADC_ERR1	ADC1 の異常動作検出時に生成	ADERSR.ADERF1
A/D コンバータ自己校正終了割り込み	ADC_CALEND0	ADC0 の自己校正動作終了時に生成	ADCALENDSR.CALENDF0
	ADC_CALEND1	ADC1 の自己校正動作終了時に生成	ADCALENDSR.CALENDF1
A/D スキャン終了割り込み	ADC_ADI0	スキャングループ 0 のスキャン終了時に生成	ADSCANENDSR.SCENDF0
	ADC_ADI1	スキャングループ 1 のスキャン終了時に生成	ADSCANENDSR.SCENDF1
	ADC_ADI2	スキャングループ 2 のスキャン終了時に生成	ADSCANENDSR.SCENDF2
	ADC_ADI3	スキャングループ 3 のスキャン終了時に生成	ADSCANENDSR.SCENDF3
	ADC_ADI4	スキャングループ 4 のスキャン終了時に生成	ADSCANENDSR.SCENDF4
	ADC_ADI5678	スキャングループ 5～8 のスキャン終了時に生成	ADSCANENDSR.SCENDF5 ADSCANENDSR.SCENDF6 ADSCANENDSR.SCENDF7 ADSCANENDSR.SCENDF8
リミッタークリップ割り込み	ADC_LIMCLPI	A/D 変換時、リミッターテーブル 0～7 を使用するリミッタークリップが検出されたときに生成	ADLIMGRSR.LIMGRFn ADLIMCHSR0.LIMCHFi ADLIMEXSR.LIMEXFj

表 36.54　割り込み要因 (2/2)

割り込み要求または ELC イベント	シンボル	説明	ステータスフラグ
A/D 変換オーバーフロー割り込み	ADC_RESOVF0	ADC0 の A/D 変換結果でオーバーフローが検出されたときに生成	ADOVFERSR.ADOVFEF0 ADOVFCHSR0.OVFCHFi ADOVFEXSR.OVFEXFj
	ADC_RESOVF1	ADC1 の A/D 変換結果でオーバーフローが検出されたときに生成	ADOVFERSR.ADOVFEF1 ADOVFCHSR0.OVFCHFi ADOVFEXSR.OVFEXFj
コンペアマッチ割り込み	ADC_CMPI0	コンペアマッチテーブル 0 とのコンペアマッチが検出されたときに生成	ADCMPTBSR.CMPTBF0
	ADC_CMPI1	コンペアマッチテーブル 1 とのコンペアマッチが検出されたときに生成	ADCMPTBSR.CMPTBF1
	ADC_CMPI2	コンペアマッチテーブル 2 とのコンペアマッチが検出されたときに生成	ADCMPTBSR.CMPTBF2
	ADC_CMPI3	コンペアマッチテーブル 3 とのコンペアマッチが検出されたときに生成	ADCMPTBSR.CMPTBF3
複合コンペアマッチ割り込み	ADC_CCMPM0 ADC_CCMPM1	コンペアマッチテーブル 0～7 を使用する結合条件との複合コンペアマッチが検出されたときに生成	ADCMPTBSR.CMPTBF0～ ADCMPTBSR.CMPTBF8
FIFO データ読み出し要求割り込み	ADC_FIFOREQ0	スキャングループ 0 に対する FIFO の空きステージ数が指定値以下になった場合に生成	ADFIFOSR0.FIFOST0[3:0]
	ADC_FIFOREQ1	スキャングループ 1 に対する FIFO の空きステージ数が指定値以下になった場合に生成	ADFIFOSR0.FIFOST1[3:0]
	ADC_FIFOREQ2	スキャングループ 2 に対する FIFO の空きステージ数が指定値以下になった場合に生成	ADFIFOSR1.FIFOST2[3:0]
	ADC_FIFOREQ3	スキャングループ 3 に対する FIFO の空きステージ数が指定値以下になった場合に生成	ADFIFOSR1.FIFOST3[3:0]
	ADC_FIFOREQ4	スキャングループ 4 に対する FIFO の空きステージ数が指定値以下になった場合に生成	ADFIFOSR2.FIFOST4[3:0]
	ADC_FIFOREQ5678	スキャングループ 5～8 に対する FIFO のうち、いずれかの空きステージ数が指定値以下になった場合に生成	ADFIFOSR2.FIFOST5[3:0] ADFIFOSR3.FIFOST6[3:0] ADFIFOSR3.FIFOST7[3:0] ADFIFOSR4.FIFOST8[3:0]
FIFO データオーバーフロー割り込み	ADC_FIFOOVF	スキャングループ 0～8 に対する FIFO のうち、いずれかで FIFO オーバーフローが検出されたときに生成	ADFIFOERSR.FIFOOVF0～ ADFIFOERSR.FIFOOVF8

注.　n = 0～8
　　i = 0～28
　　j = 0～2、5～8

(1)　A/D コンバータエラー割り込み

A/D コンバータエラーを検出したとき、A/D コンバータエラー割り込みを生成できます。

A/D コンバータエラー割り込み (ADC_ERRm (m = 0, 1)) が生成されるのは、ADERINTCR.ADEIEm (m = 0, 1) ビットが 1、かつ ADERSR.ADERFm (m = 0, 1) ビットが 1 のときです。

(2)　A/D コンバータ自己校正終了割り込み

A/D コンバータ自己校正動作の終了時、A/D コンバータ自己校正終了割り込みを生成できます。

A/D コンバータ自己校正終了割り込み (ADC_CALENDm (m = 0, 1)) が生成されるのは、ADCALINTCR.CALENDIEm (m = 0, 1) ビットが 1、かつ ADCALENDSR.CALENDFm (m = 0, 1) ビットが 1 のときです。

(3) A/D スキャン終了割り込み

スキャングループ n (n = 0～8) のスキャン動作終了時、A/D スキャン終了割り込みを生成できます。

スキャングループ 0～4 の A/D スキャン終了割り込み (ADC_ADI0～ADC_ADI4) が生成されるのは、ADINTCR.ADIEn (n = 0～4) ビットが 1、かつ ADSCANENDSR.SCENDFn (n = 0～4) ビットが 1 のときです。

スキャングループ 5～8 の A/D スキャン終了割り込み (ADC_ADI5678) が生成されるのは、スキャングループ 5～8 のいずれかで、ADINTCR.ADIEn (n = 5～8) ビットが 1、かつ ADSCANENDSR.SCENDFn (n = 5～8) ビットが 1 のときです。

ただし、ADSTOPR レジスタにより A/D 変換動作（スキャン動作）を強制停止した場合は、A/D スキャン終了割り込みは生成されません。

(4) リミッタークリップ割り込み

リミッターテーブル i (i = 0～7) を使用したリミッタークリップが検出されたとき、リミッタークリップ割り込み (ADC_LIMCLPI) を生成できます。

リミッタークリップ割り込みが生成されるのは、ADLIMINTCR.LIMIEi (i = 0～8) ビットが 1、かつ ADLIMGRSR.LIMGRFi (i = 0～8) ビットが 1 のときです。

(5) A/D 変換オーバーフロー割り込み

ADCm (m = 0, 1) を使用した A/D 変換結果で A/D 変換オーバーフローが検出されたとき、A/D 変換オーバーフロー割り込みを生成できます。A/D 変換オーバーフローの詳細については、「36.6.2. A/D 変換オーバーフロー」を参照してください。

A/D 変換オーバーフロー割り込み (ADC_RESOVFm (m = 0, 1)) が生成されるのは、ADOVFINTCR.ADOVFIEm (m = 0, 1) ビットが 1、かつ ADOVFERSR.ADOVFEFm (m = 0, 1) ビットが 1 のときです。

(6) コンペアマッチ割り込み

コンペアマッチが検出されたとき、コンペアマッチ割り込みを生成できます。

コンペアマッチ割り込み (ADC_CMPIj (j = 0～3)) が生成されるのは、ADCMPINTCR.CMPIEj (j = 0～3) ビットが 1、かつ ADCMPTBSR.CMPTBFj (j = 0～3) ビットが 1 のときです。

コンペアマッチテーブル 4～7 に対応する割り込みはありません。

(7) 複合コンペアマッチ割り込み

2 つ以上のコンペアマッチテーブルの比較結果を組み合わせることで、複合コンペアマッチ割り込み (ADC_CCMPMk (k = 0, 1)) を生成できます。複合コンペアマッチの詳細については、「36.4.8.2. 複合コンペアマッチ」を参照してください。

(8) FIFO データ読み出し要求割り込み

FIFO 内の空きステージ数が指定値以下になったとき、FIFO データ読み出し要求割り込みを生成できます。

スキャングループ 0～4 の FIFO データ読み出し要求割り込み (ADC_FIFOREQ0～ADC_FIFOREQ4) が生成されるのは、ADFIFOINTCR.FIFOIEn (n = 0～4) が 1、かつ ADFIFOSRm.FIFOSTn[3:0] ≦ ADFIFOINTLRm.FIFOILVn[3:0]（m = 0～2、n = 0～4）のときです。

スキャングループ 5～8 の FIFO データ読み出し要求割り込み (ADC_FIFOREQ5678) が生成されるのは、スキャングループ 5～8 の FIFO のいずれかで次の条件が満たされるときです : ADFIFOINTCR.FIFOIEn (n = 5～8) が 1、かつ ADFIFOSRm.FIFOSTn[3:0] ≦ ADFIFOINTLRm.FIFOILVn[3:0]（m = 3～4、n = 5～8）

ただし、割り込み要因に関連する ADFIFOERSR.FIFOFLFn（n = 0～8）ビットが 1 の間は、FIFO データ読み出し要求割り込みは生成されません。

(9) FIFO データオーバーフロー割り込み

スキャングループ 0～8 の FIFO のどれかで FIFO オーバーフローが検出されたとき、FIFO データオーバーフロー割り込み (ADC _FIFOOVF) を生成できます。

FIFO データオーバーフロー割り込みが生成されるのは、ADFIFOINTCR.FIFOIEn（n = 0～8）ビットが 1、かつ ADFIFOERSR.FIFOOVFn（n = 0～8）ビットが 1 のときです。

36.9 スキャン変換時間

36.9.1 スキャン開始処理時間

A/D 変換開始トリガの入力からスキャン動作を開始するまでの処理時間を、表 36.55 および図 36.51 に示します。

表 36.55 スキャン開始処理時間

項目		シンボル	処理時間
周辺モジュールトリガ入力処理時間(注1)		t_{D_TRG}	1 ADSRCCLK + 3 ADCLK + (ADTRGDLRr.TRGDLYn[7:0] + 1) × ADCLK
ソフトウェアトリガ入力処理時間		t_{D_SW}	[ADCLK = PCLKA/1 のとき](注2) ● I/O レジスタへのアクセスサイクル数(注3) + 1 PCLKA [上記以外] ● （I/O レジスタへのアクセスサイクル数）(注3)) + 1 PCLKA + (3～4 ADCLK)
内部トリガ処理時間		t_{D_ITRG}	3 ADCLK
同期動作待ち時間		t_{D_SYOP}	[同期動作無効時] (ADSYCR.ADSYDISm = 1) ● 0 [同期動作有効時] (ADSYCR.ADSYDISm = 0) ● 0～ADSYCR.ADSYCYC[10:0] × ADCLK
スキャン開始合計処理時間	周辺モジュールトリガによる起動	t_{D_ADST}	t_{D_TRG} + t_{D_ITRG} + t_{D_SYOP}
	ソフトウェアトリガによる起動		t_{D_SW} + t_{D_ITRG} + t_{D_SYOP}

注. ADSRCCLK: ADCLK のクロックソース
n = 0～8, m = 0、1, r = 0～4
注 1. 周辺モジュールトリガ発生元から ADC へ入力されるまでの遅延時間は含みません。
注 2. ADCLKCR.CLKSEL[1:0] = 10b かつ ADCLKCR.DIVR[2:0] = 000b が設定されている場合
注 3. ADSTRn レジスタ（n = 0～8）または ADSYSTR レジスタへのアクセスサイクル数です。I/O レジスタへのアクセスサイクル数についての詳細は、「付録 3. I/O レジスタ」を参照してください。

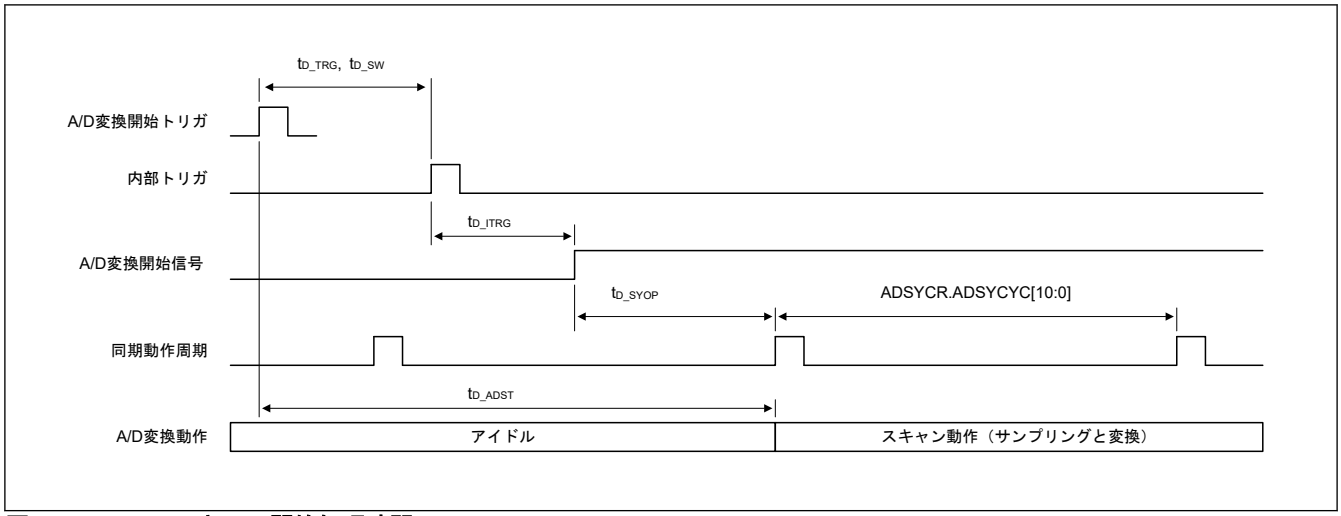


図 36.51 スキャン開始処理時間

36.9.2 変換処理時間

変換動作における各種処理時間を表 36.56、および図 36.52～図 36.56 に示します。

表 36.56 A/D 変換処理時間

項目			シンボル	処理時間
チャネル専用サンプル&ホールド処理時間	サンプリング時間		t_{SH_SPL}	ADSHSTRm.SHSST[7:0] × ADCLK
	ホールドモード切り替え時間		t_{SH_HLD}	ADSHSTRm.SHHST[2:0] × ADCLK
	サンプリングモード切り替え時間（ハイブリッドモードの場合のみ）		t_{SH_D}	(ADSYCR.ADSYCYC[10:0] - 1) × ADCLK
断線検出アシスト処理時間			t_{DDA}	[断線検出アシスト機能無効時] ● 0 [断線検出アシスト機能有効時] ● ADSGDCRn.ADNDIS[3:0] × ADCLK
A/D 変換時間	サンプリング時間		t_{AD_SPL}	ADSSTRp.SSTq[9:0] × ADCLK
	逐次変換時間		t_{AD_CNV}	ADCNVSTR.CSTm[5:0] × ADCLK
A/D 変換データ処理時間	SAR モード（デジタルフィルタ機能不使用）	ADCLK = PCLKA/1 設定時(注1)	t_{ADDP}	[A/D 変換値加算/平均機能不使用時] ● 6 ADCLK + 2 PCLKA [A/D 変換値加算/平均機能使用時] ● 7 ADCLK + 2 PCLKA
		上記以外		[A/D 変換値加算/平均機能不使用時] ● 7 ADCLK + (5～6 PCLKA) [A/D 変換値加算/平均機能使用時] ● 8 ADCLK + (5～6 PCLKA)
	オーバーサンプリングモードまたはハイブリッドモード（デジタルフィルタ機能使用）	ADCLK = PCLKA/1 設定時(注1)		[A/D 変換値加算/平均機能不使用時] ● 8 ADCLK + 2 PCLKA [A/D 変換値加算/平均機能使用時] ● 9 ADCLK + 2 PCLKA
		上記以外		[A/D 変換値加算/平均機能不使用時] ● 9 ADCLK + 5～6 PCLKA [A/D 変換値加算/平均機能使用時] ● 10 ADCLK + 5～6 PCLKA
総合 A/D 変換時間（SAR モード）(注3)	チャネル変換時間(注2)		t_{ADCH_S}	(t_{DDA} + t_{AD_SPL} + t_{AD_CNV}) × N_{ADC} × ADCLK
	スキャン変換時間(注4)		t_{SCAN_S}	[チャネル専用サンプル&ホールド回路不使用時] ● Σt_{ADCH_S} [チャネル専用サンプル&ホールド回路使用時] ● t_{SH_SPL} + t_{SH_HLD} + Σt_{ADCH_S}
総合 A/D 変換時間（オーバーサンプリングモード）(注3)	オーバーサンプリング期間		t_{OV_OS}	(t_{DDA} + t_{AD_SPL} + t_{AD_CNV}) × ADCLK
	チャネル変換時間		t_{ADCH_O}	(t_{DDA} + t_{AD_SPL} + t_{AD_CNV}) × (N_{TAP} + N_{ADC}) × ADCLK
	スキャン変換時間(注5)		t_{SCAN_O}	Σt_{ADCH_O}
総合 A/D 変換時間（ハイブリッドモード）(注3)	ハイブリッドモードでのチャネル専用サンプル&ホールド処理時間		t_{HY_SH}	t_{SH_SPL} + t_{SH_HLD} + t_{SH_D}
	オーバーサンプリング期間		t_{HY_OS}	(t_{DDA} + t_{AD_SPL} + t_{AD_CNV}) × ADCLK
	スキャン変換時間	初期遅延	t_{HY_ID}	[チャネル専用サンプル&ホールド回路不使用時] ● (N_{TAP} + N_{ADC}) × Σt_{HY_OS}(注6) [チャネル専用サンプル&ホールド回路使用時] ● (t_{HY_SH} × (N_{ADC} + N_{TAP}) - t_{SH_D}) + (N_{TAP} + N_{ADC}) × Σt_{HY_OS}(注6)
		群遅延	t_{HY_GD}	[チャネル専用サンプル&ホールド回路不使用時] ● Σt_{HY_OS}(注6) [チャネル専用サンプル&ホールド回路使用時] ● t_{HY_SH} + Σt_{HY_OS}(注6)

注. n = 0～8、m = 0、1、p = 0～7、q = 0～15
N_{ADC}：この値は ADDOPCRBx.ADC[3:0] (x = 0～36) の設定値に応じた加算/平均回数です。A/D 変換値加算／平均機能を使用しない場合、この値は 1 です。
N_{TAP}：この値は ADDOPCRAx.DFSEL[2:0] (x = 0～36) ビットと ADDFSRm.DFSELy[1:0] (m = 0, 1, y = 0～4) ビットで選択されたデジタルフィルタの TAP 数です。
N_{SGCH}：この値はスキャングループのチャネル数です。

注 1. ADCLKCR.CLKSEL[1:0] = 10b かつ ADCLKCR.DIVR[2:0] = 000b が設定されている場合
注 2. チャネル専用サンプル&ホールド処理時間を含みません。
注 3. A/D 変換データ処理時間を含みません。
注 4. スキャングループに割り当てられた各アナログチャネルの変換設定から算出されるチャネル変換時間 (t_{ADCH_N}) の総和です。チャネル専用サンプル&ホールド回路を使用する場合は、チャネル専用サンプル&ホールド処理時間（t_{SH_SPL} および t_{SH_HLD}）も加算されます。
注 5. スキャングループに割り当てられた各アナログチャネルの変換設定から算出されるチャネル変換時間 (t_{ADCH_O}) の総和です。
注 6. スキャングループに割り当てられた各アナログチャネルの変換設定から算出されるオーバーサンプリング期間 (t_{HY_OS}) の総和です。

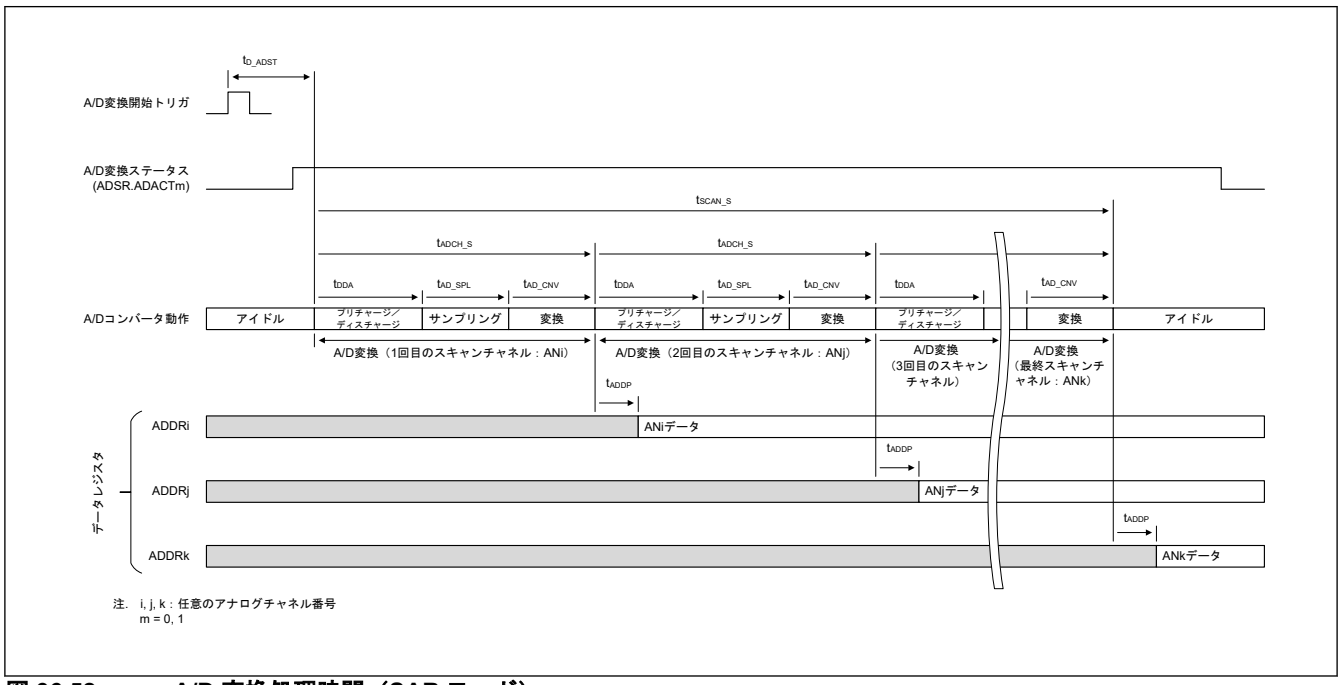


図 36.52 A/D 変換処理時間（SAR モード）

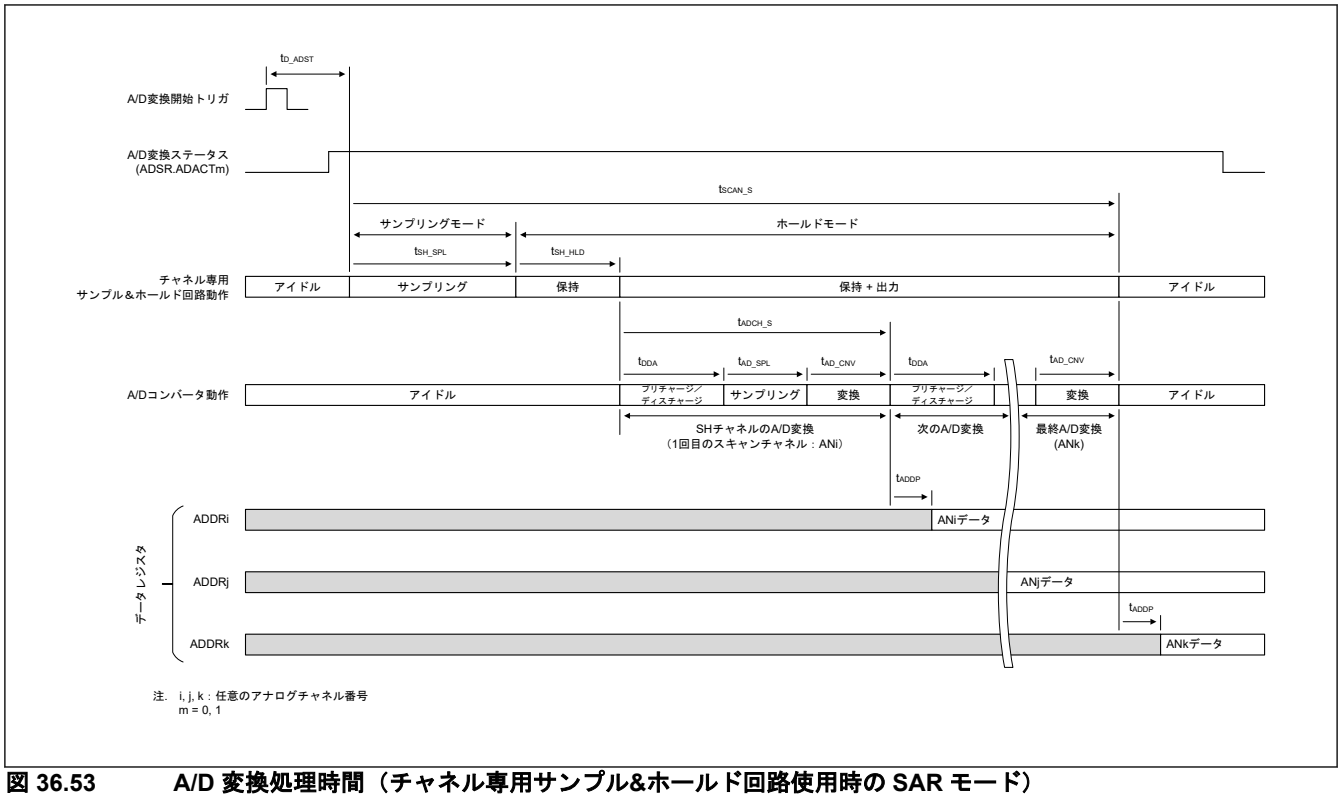


図 36.53 A/D 変換処理時間（チャネル専用サンプル&ホールド回路使用時の SAR モード）

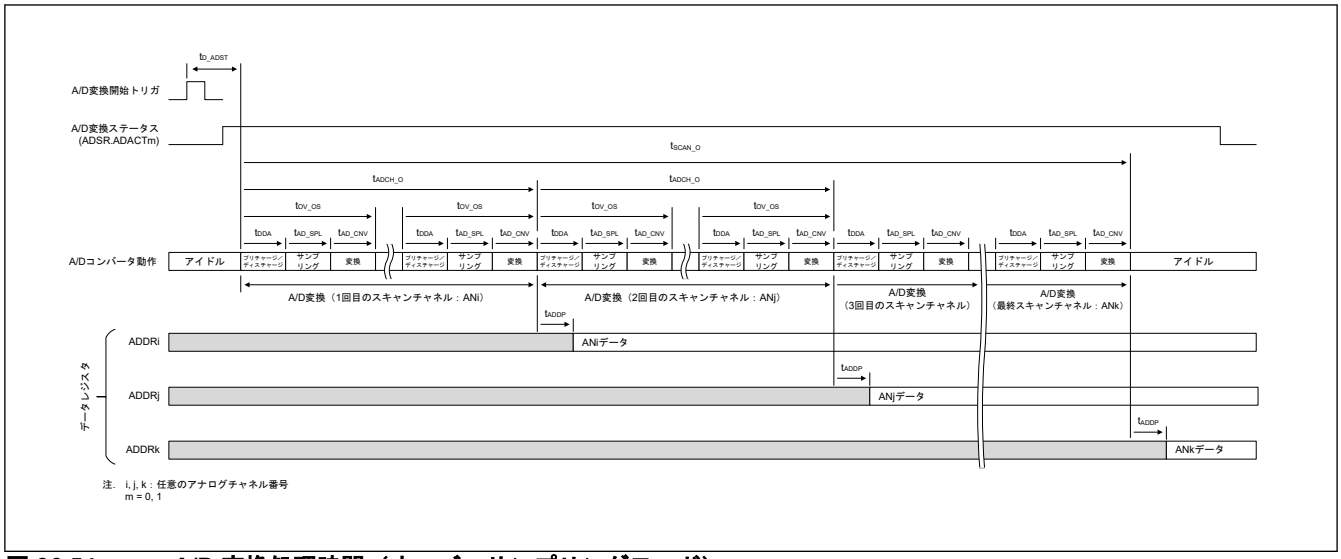


図 36.54　A/D 変換処理時間（オーバーサンプリングモード）

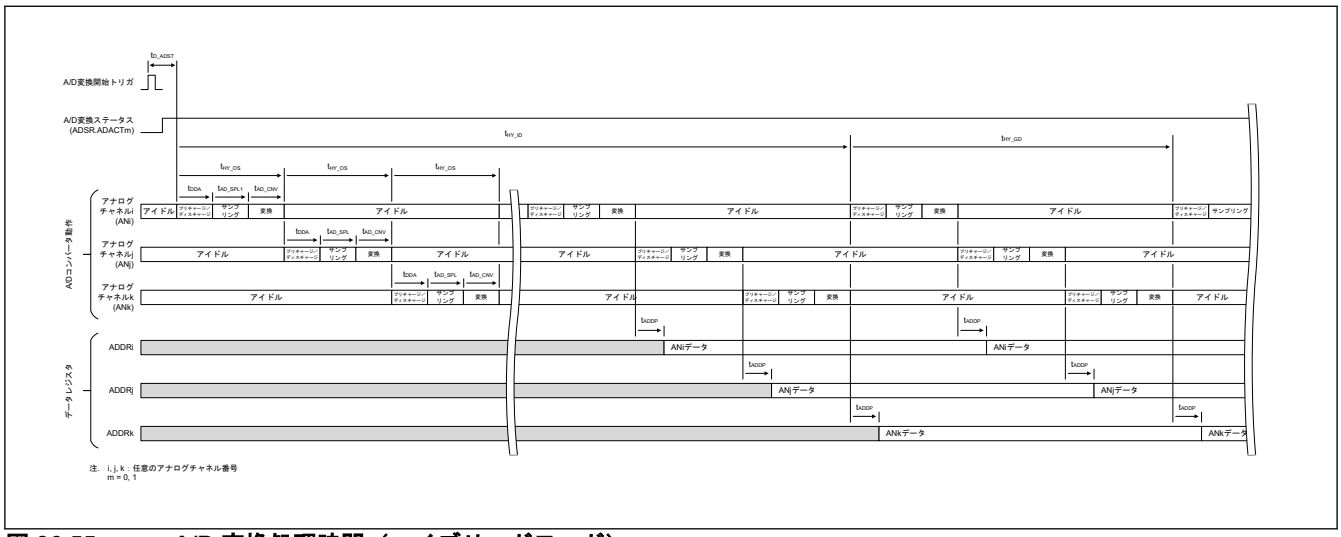


図 36.55　A/D 変換処理時間（ハイブリッドモード）

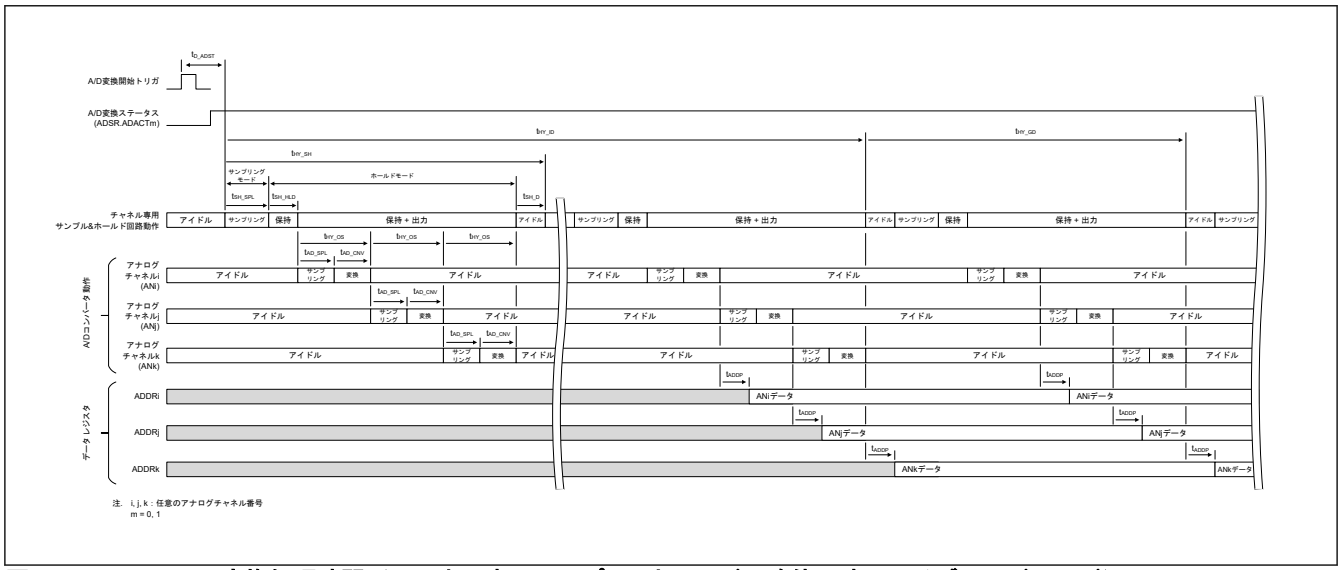


図 36.56　A/D 変換処理時間（チャネル専用サンプル&ホールド回路使用時のハイブリッドモード）

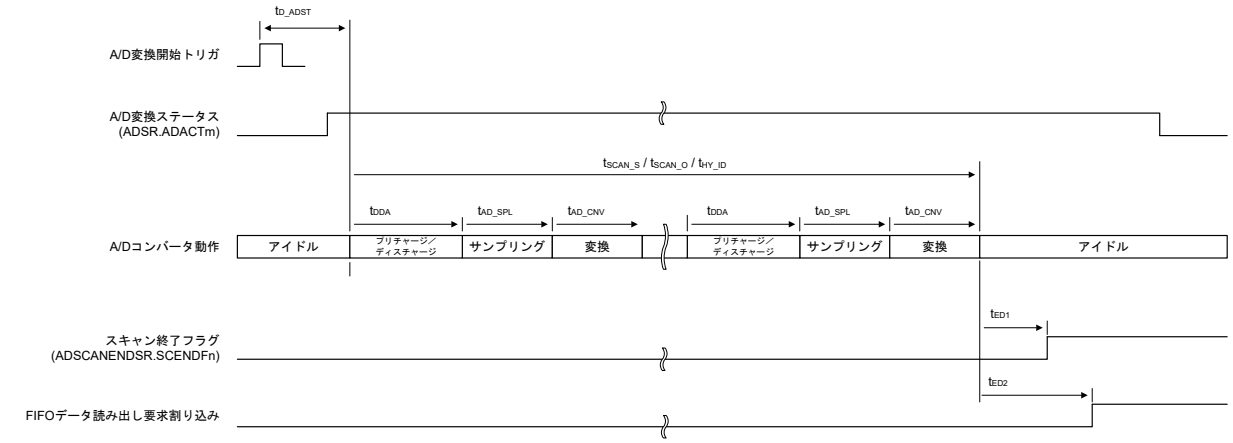
36.9.3 スキャン終了処理時間

スキャン終了処理時間及び強制停止処理時間を表 36.57、図 36.57、図 36.58 に示します。

表 36.57 スキャン終了処理時間および強制停止処理時間

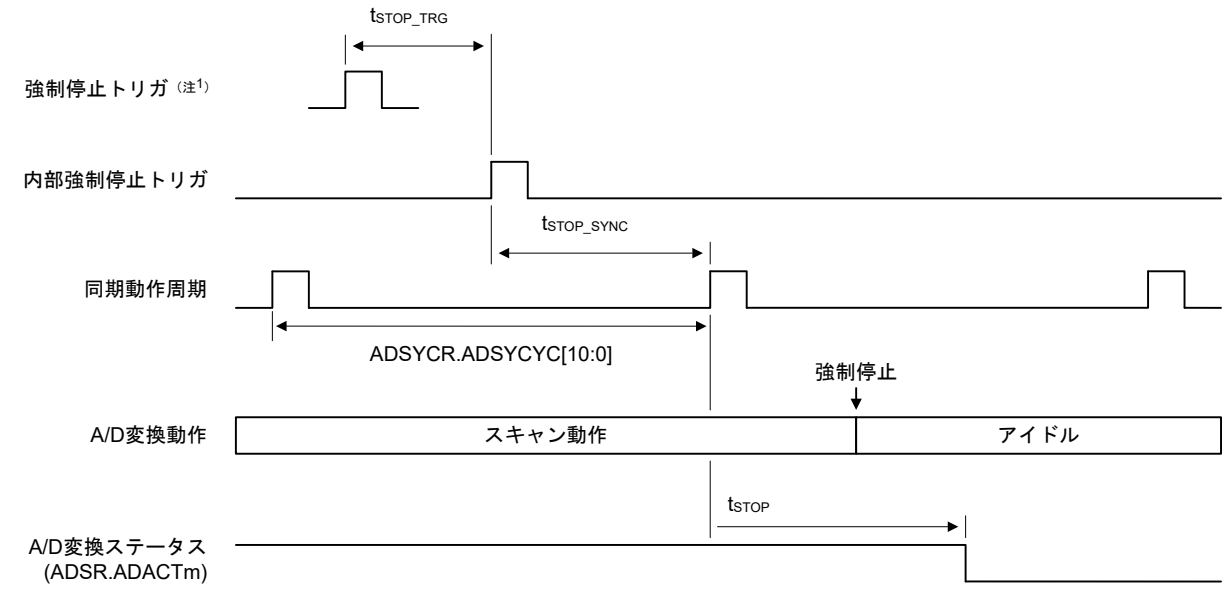
項目		シンボル	処理時間
スキャン終了処理時間	ステータスレジスタに反映されるまで (注1)	t_{ED1}	t_{ADDP}
	FIFO データリード要求割り込み出力まで	t_{ED2}	t_{ED1} + 2 PCLKA
強制停止処理時間	強制停止トリガ入力処理時間	t_{STOP_TRG}	[ADCLK = PCLKA/1 のとき](注2) ● I/O レジスタへのアクセスサイクル数(注3) + 1 PCLKA [上記以外] ● (I/O レジスタへのアクセスサイクル数(注3)) + 1 PCLKA + (3～4 ADCLK)
	同期動作待機時間	t_{STOP_SYNC}	[同期動作無効時] (ADSYCR.ADSYDISm = 1) ● 0 [同期動作有効時] (ADSYCR.ADSYDISm = 0) ● 0～ADSYCR.ADSYCYC[10:0] × ADCLK
	強制停止処理時間	t_{STOP}	[ADCLK = PCLKA/1 のとき](注2) (ADSYCR.ADSYDISm = 1) ● 4 PCLKA (ADSYCR.ADSYDISm = 0) ● 3 PCLKA [上記以外] (ADSYCR.ADSYDISm = 1) ● 4 PCLKA + (2～3 PCLKA) (ADSYCR.ADSYDISm = 0) ● 3 PCLKA + (2～3 PCLKA)

注. m = 0、1
注 1. ADSCANENDSR.SCENDFn = 1（n = 0～8）になるまで、またはスキャン終了割り込みが生成されるまでの時間です。
注 2. ADCLKCR.CLKSEL[1:0] = 10b かつ ADCLKCR.DIVR[2:0] = 000b 設定時
注 3. ADSTOPR レジスタへのアクセスサイクル数です。I/O レジスタへのアクセスサイクル数の詳細は、「付録 3. I/O レジスタ」を参照してください。



注. n = 0～8、m = 0、1

図 36.57 スキャン終了処理時間（SAR／オーバーサンプリング／ハイブリッドモード（シングルスキャンモード））



注 1. ADSTOPR.ADSTOPm = 1 を書き込むことで発生します。(m = 0, 1)

図 36.58 強制停止処理時間（SAR／オーバーサンプリング／ハイブリッドモード（シングルスキャンモード））

36.10 使用上の注意事項

36.10.1 A/D 変換動作中の動作設定変更の禁止

A/D 変換の動作設定に関連するレジスタは、すべての A/D コンバータが停止（ADSR.ADACTm = 0 および ADSR.CALACTm = 0 (m = 0, 1)）しているときに設定してください。下記のレジスタを除き、A/D 変換中は設定の変更（書き込み）は禁止されています。A/D 変換中に動作設定が変更された場合、動作は保証されません。

[A/D コンバータの動作中に書き込み可能なレジスタ]

- ステータスクリアレジスタ
  - A/D コンバータ動作に関連するステータスクリアレジスタ (ADERSCR, ADCALSCR, ADCALENDSCR, ADSCANENDSCR)
  - A/D 変換オーバーフローステータスクリアレジスタ (ADOVFERSCR, ADOVFCHSCR0, ADOVFEXSCR)
  - リミッタークリップステータスクリアレジスタ (ADLIMGRSCR, ADLIMCHSCR0, ADLIMEXSCR)
  - コンペアマッチステータスクリアレジスタ (ADCMPTBSCR, ADCMPCHSCR0, ADCMPEXSCR)
  - FIFO エラーステータスクリアレジスタ (ADFIFOERSCR)
- ソフトウェアトリガレジスタ (ADSYSTR, ADSTRn (n = 0～8))
- A/D コンバータ停止レジスタ (ADSTOPR)
- A/D コンバータ開始トリガイネーブルレジスタ (ADTRGENR) (注1)

注 1. 動作中の書き込みが許可されるのは、A/D 変換を停止するためにトリガ入力を無効に設定 (ADTRGENR.STTRGENn = 0（n = 0～8)) する場合のみです。意図しない動作を避けるため、動作中はトリガ入力を有効 (ADTRGENR.STTRGENn = 1) に変更しないでください。

36.10.2 A/D 変換の強制停止に関する使用上の注意事項

A/D 変換動作中に強制停止する場合、「36.5.4. A/D 変換動作の強制停止」の手順を実行してください。

36.10.3 A/D データレジスタに関する使用上の注意事項

同じアナログチャネルに対して A/D 変換を複数回行う場合、後の A/D 変換で、そのアナログチャネルに対応する A/D データレジスタ ADDRn (n = 0～28) または A/D 拡張アナログデータレジスタ ADEXDRm（m = 0～2、5～8）が上書きされます。

同じアナログチャネルに対する個々の A/D 変換のデータを保持するには、以下の方法のどれかを行ってください。

- スキャン動作ごとにデータレジスタから読み出す
  - スキャングループの各スキャン終了時、A/D 変換を行ったアナログチャネルの A/D 変換データを ADDRn または ADEXDRm から読み出します。
  - この方法は、同じスキャングループ内で、同じアナログチャネルの A/D 変換を複数回行わず、次のスキャン動作までに、レジスタから A/D 変換データを読み出せる場合に効果的です。
- FIFO 機能を使って A/D 変換ごとにデータを保持する
  - FIFO を使うことで、同じアナログチャネルの複数の A/D 変換データを保持できます。
  - FIFO オーバーフローが発生する前に A/D 変換データを読み出してください。

36.10.4 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、ADC 動作を有効または無効にできます。ADC は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

この使用上の注意事項に関連して、「36.10.5. 低消費電力状態への遷移および解除に関する制限」を参照してください。

36.10.5 低消費電力状態への遷移および解除に関する制限

モジュールストップ状態やソフトウェアスタンバイモードへ遷移する場合は、事前に A/D 変換を停止させてください。さらに、低消費電力状態へ遷移する間は A/D 変換が開始しないように設定してください。

モジュールストップ状態やソフトウェアスタンバイモードが解除された後に A/D コンバータを動作させる場合、電気的特性で指定された動作安定時間の経過を待ち、自己校正動作を行い、その後で A/D 変換を開始します。

また、モジュールストップ状態に遷移した後にモジュールストップ状態を解除する場合、モジュールストップ状態を解除する前に電気的特性で規定されている停止時間が経過したことを確認してください。

これらの制限に違反した場合、動作は保証されません。

36.10.6 ボード設計に関する注意事項

(1) 保護回路

過度のサージのような異常電圧によりアナログ入力ピンが破壊されるのを防ぐために、以下の対策を行ってください。

- AVCC0 と AVSS0 間、VREFH0 と VREFL0 間にコンデンサを接続してください。
- アナログ入力ピンを保護するために、保護回路を接続してください。

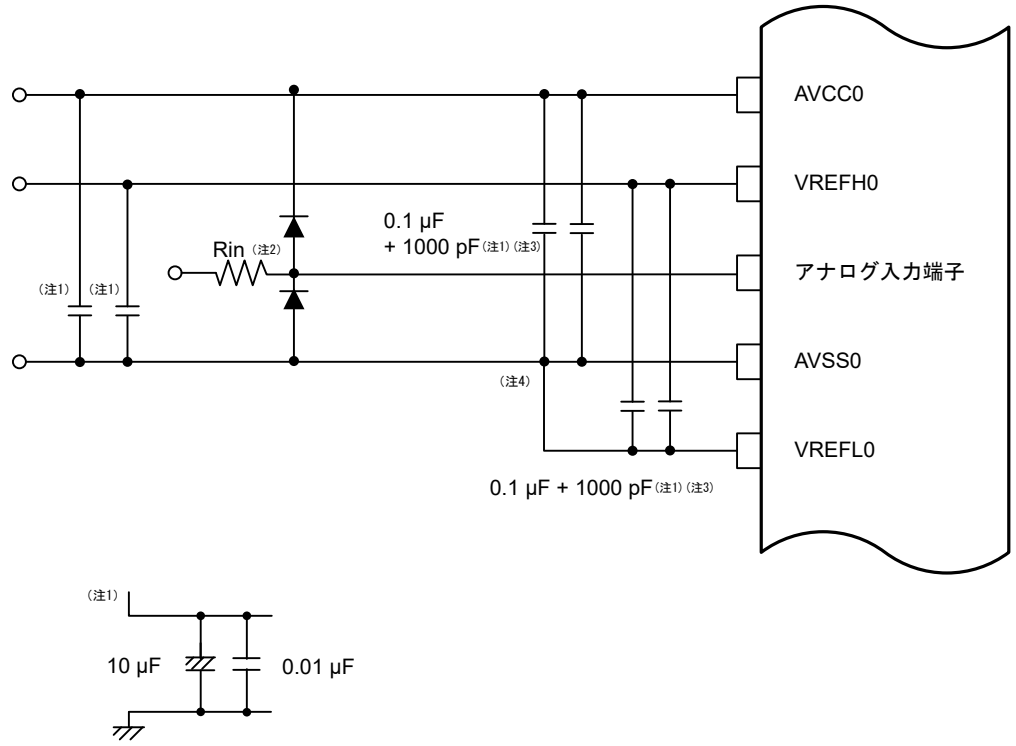
保護回路の例を図 36.59 に示します。

(2) A/D 変換精度を確保するためのボード設計

A/D 変換精度を確保するために、下記に配慮してボード設計をしてください。

- アナログ回路とデジタル回路は、できるだけ離してください。
- アナログ信号線とデジタル信号線は、交差させたり近づけたりしないでください。
- アナログ入力、アナログ基準電源（VREFH0）、アナログ基準グランド（VREFL0）、アナログ電源（AVCC0）は、アナロググランド（AVSS0）を使用して、デジタル回路から分離してください。
- アナロググランド（AVSS0）はボード上の安定したデジタルグランド（VSS）に接続してください（単一グランドプレーン接続）

- AVCC0 端子と AVSS0 端子間、VREFH0 端子と VREFL0 端子間には、ノイズフィルタ用のコンデンサを端子に近い位置に配置し接続してください。また、AVSS0 端子と VREFL0 端子は、できるだけ端子の近い位置でボード上のアナロググランドに接続してください。接続例を図 36.59 に示します。



注 1. ここに示した値は参考値です。
適切な値は、お客様の基板設計や動作条件などにより異なります。
注 2. Rin: 信号源のインピーダンス
注 3. A/D 変換精度を確保するために、これらのコンデンサを適切なピンに、できるだけ近づける必要があります。
注 4. A/D 変換精度を確保するためのノイズフィルタ用のコンデンサにできるだけ近い位置で、ボードのアナロググランドに接続してください。

図 36.59 保護回路とノイズ対策の例

36.10.7 PGA が接続されたアナログチャネルを使用する際の注意事項

PGA が接続されているアナログ入力端子は、PGA の設定状態に依存して、ポート機能およびアナログ入力経路が制限されます。リセット解除後の PGA の初期設定状態は、オプション機能選択レジスタ 1 (OFS1, OFS1_SEC, OFS1_SEL) の PGADEN[3:0]ビットの設定に依存します。

PGA が接続されているアナログ入力端子を使用する場合の設定については、「36.3.15.2. PGA 動作設定」を参照してください。

36.10.8 同期動作に関する注意事項

リセット解除後の初期状態では、同期動作機能が有効になっています。同期動作機能を使用する場合は、「36.3.19. 同期動作」に記載されている制限事項を守ってください。同期動作機能を使用しない場合は、ADSYCR レジスタで同期動作を無効にしてください。

36.10.9 チャネル専用サンプル&ホールド回路に関する注意事項

チャネル専用サンプル&ホールド回路を使用する場合は、制限事項を守ってください。詳細は、「36.3.16. チャネル専用サンプル＆ホールド回路」を参照してください。

36.10.10 複数の A/D コンバータ間で共有されているアナログチャネルに関する制限

A/D 変換結果の精度の劣化を防ぐため、自己診断チャネルを除き、ADC0 と ADC1 の双方から同じアナログチャネル（同じアナログ信号源）を A/D 変換することは禁止されています。

この制限に違反した場合、対象のアナログチャネルの A/D 変換精度は著しく劣化する可能性があるため、A/D 変換結果は保証されません。

36.10.11 A/D 変換開始トリガに関する注意事項

スキャングループのスキャン動作が完了するまで、同じスキャングループに対する A/D 変換開始トリガは受け付けられません（この場合、A/D 変換開始トリガは無視されます）。

スキャングループのスキャン動作が完了し（ADSCANENDSR.SCENDFn = 1（n = 0～8））、かつ 6 PCLKA クロックサイクル以上が経過してから、同じスキャングループに対する A/D 変換開始トリガを入力してください。

36.10.12 自己校正に関する注意事項

自己校正機能の制限事項を守ってください。詳細は、「36.3.8. 自己校正」を参照してください。

36.10.13 グループ優先動作に関する注意事項

グループ優先動作を使用する場合は、制限事項を守ってください。詳細は、「36.3.18. グループ優先動作」を参照してください。

36.10.14 PGA 出力モニタ機能に関する注意事項

PGA 出力モニタ機能を使用する際には制限事項があります。詳細は、「36.3.15. プログラマブルゲインアンプ」を参照してください。

36.10.15 SAR モードに関する制限

(1) 分解能と精度に関する注意事項

SAR モードでは、A/D コンバータは 12 ビット A/D コンバータとして機能します。A/D コンバータから出力されるデータは演算処理で 16 ビットデータ長に内部的に拡張されますが、14 ビット長または 16 ビット長のデータフォーマットが選択されていても、12 ビットを超える分解能と精度は該当の A/D 変換データに対して保証されません。演算の分解能を向上させたい場合は、A/D 変換値加算／平均機能またはユーザーゲイン／ユーザーオフセット機能のように、SAR モードで 14 ビット長または 16 ビット長のデータフォーマットを選択してください。

(2) 差動入力に関する制限

SAR モードでは、自己診断動作中を除き、差動入力設定が禁止されています。自己診断動作中以外で差動入力が設定されても、A/D 変換結果は保証されません。

(3) デジタルフィルタ機能に関する制限

SAR モードでは、デジタルフィルタ機能の使用は禁止されています。デジタルフィルタ機能が有効な場合、動作は保証されません。

36.10.16 オーバーサンプリングモードに関する制限

オーバーサンプリングモードでは、デジタルフィルタ機能の使用は必須です。デジタルフィルタ機能を使用せずに A/D 変換を実行すると、A/D 変換特性は保証されません。

36.10.17 ハイブリッドモードに関する制限

ハイブリッドモードでは、以下の制限を守ってください。

(1) 1 本のチャネルのみでのスキャン動作の禁止

ハイブリッドモードでは、1 つのスキャングループに 2 本以上の仮想チャネルを割り当ててください（最大 4 本の仮想チャネル）。1 つのスキャングループに 1 本の仮想チャネルのみを割り当てた場合のスキャン動作は禁止されています。この制限に違反した場合、動作は保証されません。

(2) 仮想チャネルの設定に関する制限

ハイブリッドモードでは、同じスキャングループに割り当てられた複数の仮想チャネルに、同じアナログチャネルを割り当てないでください。この制限に違反した場合、A/D 変換結果は保証されません。

(3) デジタルフィルタの設定に関する制限

ハイブリッドモードでは、デジタルフィルタ機能の使用は必須です。ハイブリッドモードでデジタルフィルタ機能を使用せずに A/D 変換を実行すると、A/D 変換特性は保証されません。

さらに、ハイブリッドモードでは複数のデジタルフィルタが同時に使用されるので、同じスキャングループ内の仮想チャネルで使用されるデジタルフィルタは、排他的になるように設定されていなければなりません。ADDOPCRAn.DFSEL[2:0] (n = 0～36) ビットで選択されるデジタルフィルタは、同じスキャングループ内の仮想チャネル間で排他的になるように設定されていなければなりません。同じスキャングループ内の複数の仮想チャネルから同じデジタルフィルタが選択される場合、動作は保証されません。

(4) A/D 変換値加算／平均機能に関する制限

ハイブリッドモードで A/D 変換値加算／平均機能を使用する場合、同じスキャングループ内のすべての仮想チャネルに対して、加算／平均の回数が同じになるように設定してください。この制限に違反した場合、動作は保証されません。

(5) バックグラウンド連続スキャンモードでのトリガインターバルに関する制限

ハイブリッドモード（バックグラウンド連続スキャンモード）では、A/D 変換開始トリガは、次の間隔以上を空けてから入力してください。

［A/D 変換開始トリガの入力間隔］

- トリガ遅延機能不使用時またはソフトウェアトリガの場合：8 ADCLK 以上
- トリガ遅延機能使用時：（8 +（ADTRGDLRm.TRGDLYn[7:0]の設定値））× ADCLK 以上

注. m = 0~4、n = 0~8

この制限に違反した場合、A/D 変換開始トリガは受け付けられず、無視されます。

(6) チャネル専用サンプル＆ホールド回路に関する制限

ハイブリッドモードでは、チャネル専用サンプル＆ホールド回路の使用方法は制限されます。詳細は、「36.3.16.3. ハイブリッドモードでのチャネル専用サンプル＆ホールド回路の動作」を参照してください。

36.10.18 サンプリング時間の見積もり

本節では、サンプリング時間の見積もり方法について説明します。

外部から入力されるアナログ信号の A/D 変換に必要なサンプリング時間は、A/D コンバータのサンプリング容量に対する充電時間によって決まります。簡略化された回路モデルを図 36.60 に示します。サンプリング時間は、以下の式で概算することができます。

［サンプリング時間の見積もり式］

$$t_{SPL} = \left(R_{EXT} + R_{AD}\right) \times \left(C_{EXT} + kC_{AD}\right) \times \ln\left(kC_{AD} / \left(C_{EXT} + kC_{AD}\right) \times \left(2^N / M\right)\right)$$

t_{SPL}：サンプリング時間の見積もり値

C_{EXT}：外部容量（端子容量 + PCB寄生容量）

C_{AD}：内部サンプリング容量

R_{EXT}：外部入力信号源インピーダンス

R_{AD}：内部抵抗

k：動作モードによる補正係数

N：目標変換分解能（16 、14 、12、10）

M：NビットA/Dコンバータの1 LSBに基づくサンプリング誤差（1/4 、1/2 、1 、2 、4 LSB等）

注. 各パラメーターの代表値は以下のとおりです。

ただし、以下に示す値は参考値です。

- アナログ入力端子の端子容量：5 pF
- 内部サンプリング容量 (C_{AD}): 5 pF
- 高速チャネルの R_{AD}: 0.7 kΩ
- 高精度チャネルの R_{AD}: 1.2 kΩ
- 通常精度チャネルの R_{AD}: 3.0 kΩ
- SAR モードの k: 1.2
- オーバーサンプリングモードの k: 1.0
- ハイブリッドモードの k: 1.2

上記の式では、アナログ入力電圧 (V_{IN}) とサンプリング容量電圧 (V_{AD}) の差が N ビット A/D コンバータのサンプリング誤差以下になるまでの時間を、サンプリング時間として見積もることができます。

例えば、R_{EXT} = 1 kΩ、C_{EXT} = 10 pF、N = 12 ビット、M = 1/4 LSB の場合、SAR モードでの高速チャネルのサンプリング時間 (t_{SPL}) は、237 ns と見積もることができます。

[使用上の注意事項]

本節に記載した式は、一般的な使用事例を鑑み、簡略化されています。この式は正確なサンプリング時間を保証するものではありません。サンプリング時間を概算する場合にのみ、この式を使用してください。特に通常精度チャネルに対して、($2^N/M > 16384$) の場合は、サンプリング時間の見積もり精度が劣化します。

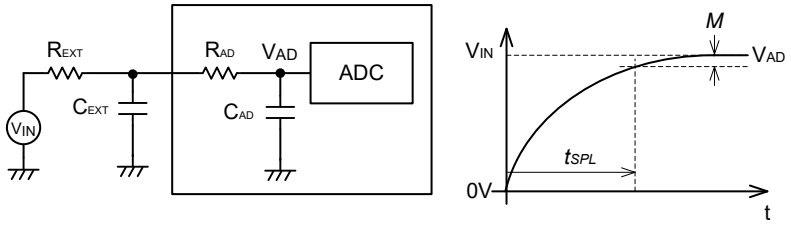


図 36.60 A/D コンバータのサンプル&ホールド回路の簡略図

37. 12 ビット D/A コンバータ (DAC12)

37.1 概要

本 MCU は、出力アンプ付きの 12 ビット D/A コンバータ (DAC12) を内蔵しています。表 37.1 に DAC12 の仕様を、図 37.1 にブロック図を、表 37.2 に入出力端子を示します。

表 37.1 DAC12 の仕様

項目	内容
分解能	12 ビット
出力チャネル	4 チャネル
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
イベントリンク機能（入力）	イベント信号の入力により、DA0、DA1、DA2 および DA3 変換の開始が可能
D/A 出力のアンプ制御機能	出力アンプ（アンプスルー制御およびアンプバイアス制御）の使用／不使用を制御
D/A 出力の出力先制御機能	外部端子への出力を使用するか内部モジュール (ACMPHS) への出力を使用するかを制御
TrustZone フィルタ	セキュリティ属性を設定可能

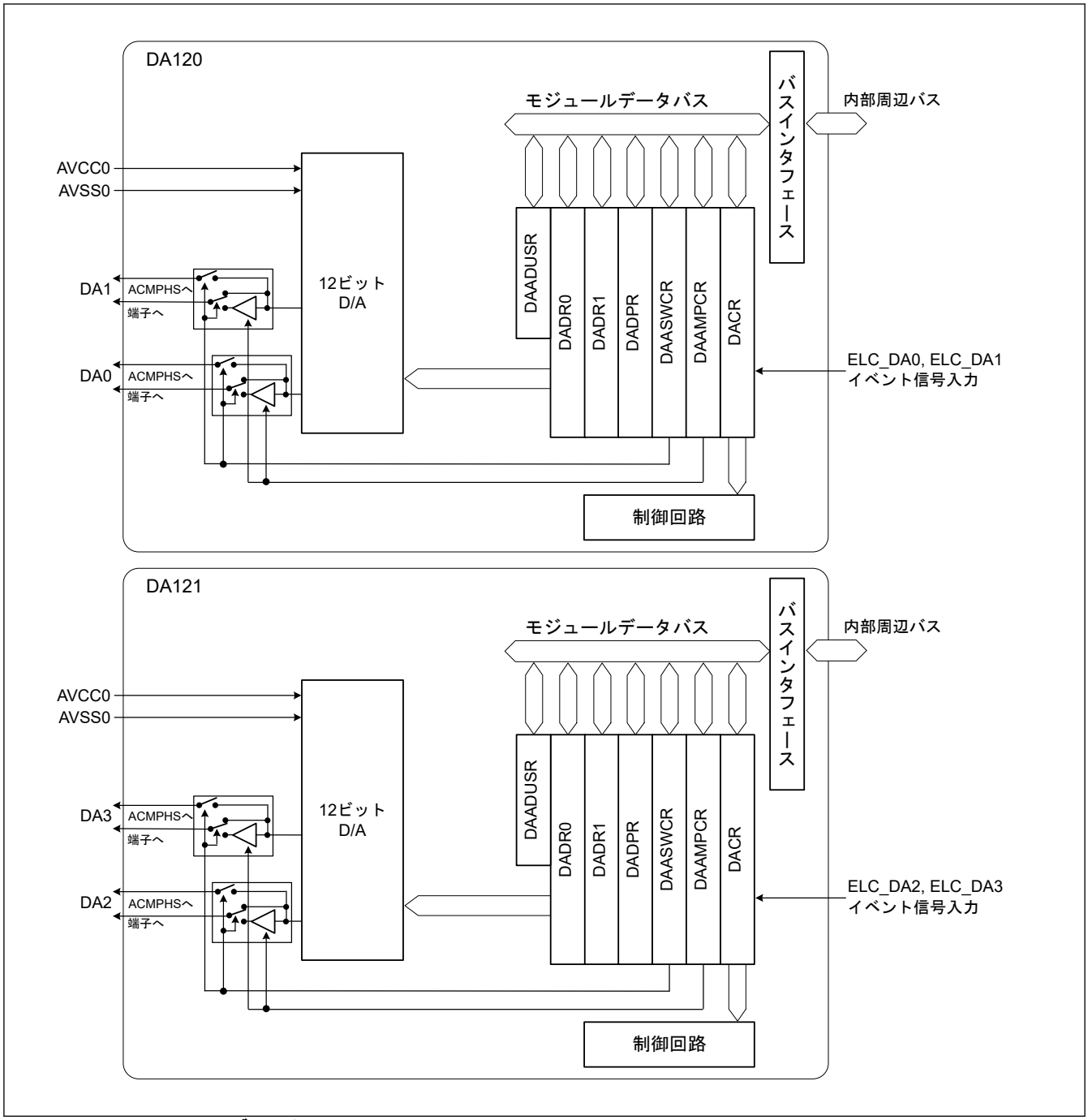


図 37.1 DAC12 のブロック図

表 37.2 に DAC12 の端子構成を示します。

表 37.2 DAC12 の入出力端子 (1/2)

端子名	入出力	機能
AVCC0	入力	• ADC と DAC12 用のアナログ電源およびアナログ基準電圧端子 • これらのモジュールを使用しない場合は、VCC に接続してください。
AVSS0	入力	• ADC と DAC12 用のアナロググランド端子およびアナログ基準グランド端子 • これらのモジュールを使用しない場合は、VSS に接続してください。
DA0	出力	DAC12 で処理されるアナログ信号用のチャネル 0 出力端子
DA1	出力	DAC12 で処理されるアナログ信号用のチャネル 1 出力端子
DA2	出力	DAC12 で処理されるアナログ信号用のチャネル 2 出力端子

表 37.2 DAC12 の入出力端子 (2/2)

端子名	入出力	機能
DA3	出力	DAC12 で処理されるアナログ信号用のチャネル 3 出力端子

37.2 レジスタの説明

37.2.1 DADRn : D/A データレジスタ n（n = 0、1）

Base address: DAC12m = 0x4017_2000 + 0x0100 × m (m = 0, 1)

Offset address: 0x00 + 0x02 × n

Bit position:	15															0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DADRn レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し／書き込みレジスタです。アナログ出力を許可すると、DADRn レジスタの値が変換されアナログ出力端子に出力されます。

12 ビットデータを左詰めにするか右詰めにするかは、DADPR.DPSEL ビットで設定できます。右詰め形式 (DADPR.DPSEL = 0) では、下位 12 ビット ([11:0]) が有効です。左詰め形式 (DADPR.DPSEL = 1) では、上位 12 ビット ([15:4]) が有効です。

37.2.2 DACR : D/A コントロールレジスタ

Base address: DAC12m = 0x4017_2000 + 0x0100 × m (m = 0, 1)

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DAOE1	DAOE0	DAE	—	—	—	—	—
Value after reset:	0	0	0	1	1	1	1	1

ビット	シンボル	機能	R/W
4:0	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
5	DAE(注1)	D/A 許可 0: チャネル 0 とチャネル 1 の D/A 変換を個別制御 チャネル 2 とチャネル 3 の D/A 変換を個別制御 1: チャネル 0 とチャネル 1 の D/A 変換を一括制御 チャネル 2 とチャネル 3 の D/A 変換を一括制御	R/W
6	DAOE0	D/A 出力許可 0 0: チャネル 0 のアナログ出力 (DA0) を禁止 チャネル 2 のアナログ出力 (DA2) を禁止 1: チャネル 0 の D/A 変換 (DA0) を許可 チャネル 2 の D/A 変換 (DA2) を許可	R/W
7	DAOE1	D/A 出力許可 1 0: チャネル 1 のアナログ出力 (DA1) を禁止 チャネル 3 のアナログ出力 (DA3) を禁止 1: チャネル 1 の D/A 変換 (DA1) を許可 チャネル 3 の D/A 変換 (DA3) を許可	R/W

注 1. 変換結果の出力を制御する DAOEi ビット（i = 0、1）との組み合わせで D/A 変換を制御します。詳細は、表 37.3.を参照してください。

表 37.3 D/A 変換制御 (m = 0)

DAE	DAOE1	DAOE0	機能
0	0	0	D/A 変換とアナログ出力端子（DA0、DA1）を禁止(注1)
		1	• チャネル 0 の D/A 変換を許可、チャネル 1 の D/A 変換を禁止 • チャネル 0 のアナログ出力 (DA0) を許可、チャネル 1 のアナログ出力 (DA1) を禁止 (注1)
	1	0	• チャネル 0 の D/A 変換を禁止、チャネル 1 の D/A 変換を許可 • チャネル 0 のアナログ出力 (DA0) を禁止(注1)、チャネル 1 のアナログ出力 (DA1) を許可
		1	• チャネル 0 とチャネル 1 の D/A 変換を許可 • チャネル 0 とチャネル 1 のアナログ出力（DA0、DA1）を許可
1	x	x	• チャネル 0 とチャネル 1 の D/A 変換を許可 • チャネル 0 とチャネル 1 のアナログ出力（DA0、DA1）を一括して許可

注. x: Don't care
注 1. アナログ出力禁止時、アナログ出力信号は Hi-Z 状態になります。

表 37.4 D/A 変換制御 (m = 1)

DAE	DAOE1	DAOE0	機能
0	0	0	D/A 変換とアナログ出力端子（DA2、DA3）を禁止(注1)
		1	• チャネル 2 の D/A 変換を許可、チャネル 3 の D/A 変換を禁止 • チャネル 2 のアナログ出力 (DA2) を許可、チャネル 3 のアナログ出力 (DA3) を禁止 (注1)
	1	0	• チャネル 2 の D/A 変換を禁止、チャネル 3 の D/A 変換を許可 • チャネル 2 のアナログ出力 (DA2) を禁止(注1)、チャネル 3 のアナログ出力 (DA3) を許可
		1	• チャネル 2 とチャネル 3 の D/A 変換を許可 • チャネル 2 とチャネル 3 のアナログ出力（DA2、DA3）を許可
1	x	x	• チャネル 2 とチャネル 3 の D/A 変換を許可 • チャネル 2 とチャネル 3 のアナログ出力（DA2、DA3）を一括して許可

注. x: Don't care
注 1. アナログ出力禁止時、アナログ出力信号は Hi-Z 状態になります。

DAE ビット（D/A 許可）

DAE ビット、DAOEi ビット（i = 0、1）および DAMMPCR.DAAMPi ビット（i = 0、1）の組み合わせで、D/A 変換、アンプ動作、およびアナログ出力を制御します。表 37.5 を参照してください。

DAOEi ビット（D/A 出力許可 i）

DAOEi ビット（i = 0、1）、DAE ビット、DAMMPCR.DAAMPi ビット（i = 0、1）の組み合わせで、D/A 変換、アンプ動作、およびアナログ出力を制御します。表 37.5 を参照してください。

DAOEi ビット（i = 0、1）が 0 で DAE ビットも 0 のとき、チャネル i（i = 0、1）の D/A 変換は行われず、変換結果も出力されません。

イベントリンク機能を使用して、DAOEi ビットを 1 にできます。ELC の ELSR12 レジスタで設定されたイベント（ELC_DA0 イベント）が発生すると、DAOE0 ビットが 1 になり、D/A 変換結果の出力を開始します。ELC の ELSR13 レジスタで設定されたイベント（ELC_DA1 イベント）が発生すると、DAOE1 ビットが 1 になり、D/A 変換結果の出力を開始します。

m = 1 の場合、チャネル 2 と 3 の D/A 変換はそのアドレスのレジスタの同じビットで制御されます。

同様に、チャネル 2 と 3 の ELC 機能の設定も可能です。

ELC の ELSR28 レジスタで指定されたイベントが発生すると、アドレス m = 1 の DAOE0 ビットが 1 になり、チャネル 2 の D/A 変換結果の出力を開始します。ELC の ELSR29 レジスタで設定されたイベントが発生すると、DAOE1 ビットが 1 になり、チャネル 3 の D/A 変換結果の出力を開始します。

表 37.5 D/A 変換とアナログ出力制御

DACR		DAAMPCR	DAASWCR	チャネル i の動作	チャネル i アンプ動作	チャネル i アナログ外部出力(注1)	チャネル i アナログ内部出力(注2)
DAE	DAOEi	DAAMPi	DAASWi				
0	0	x	x	停止	停止	Hi-Z	Hi-Z
0	1	0	0	動作	停止	アンプスルー	Hi-Z
0	1	0	1	動作	停止	Hi-Z	アンプスルー
0	1	1	0	動作	動作	アンプ出力	Hi-Z
0	1	1	1	動作	動作	Hi-Z	Hi-Z
1	x	0	0	動作	停止	アンプスルー	Hi-Z
1	x	0	1	動作	停止	Hi-Z	アンプスルー
1	x	1	0	動作	動作	アンプ出力	Hi-Z
1	x	1	1	動作	動作	Hi-Z	Hi-Z

注. x : Don't care
注 1. 端子への出力
注 2. ACMPHS への出力

37.2.3 DADPR : DADRn フォーマット選択レジスタ

Base address: DAC12m = 0x4017_2000 + 0x0100 × m (m = 0, 1)

Offset address: 0x05

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DPSEL	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	DPSEL	DADRn フォーマット選択レジスタ 0: 右詰め 1: 左詰め	R/W

37.2.4 DAAMPCR : D/A 出力アンプコントロールレジスタ

Base address: DAC12m = 0x4017_2000 + 0x0100 × m (m = 0, 1)

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DAAMP1	DAAMP0	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6	DAAMP0	アンプ制御 0 0: チャネル 0 の出力アンプを使用しない (m = 0) チャネル 2 の出力アンプを使用しない (m = 1) 1: チャネル 0 の出力アンプを使用する (m = 0) チャネル 2 の出力アンプを使用する (m = 1)	R/W

ビット	シンボル	機能	R/W
7	DAAMP1	アンプ制御 1 0: チャネル 1 の出力アンプを使用しない (m = 0) チャネル 3 の出力アンプを使用しない (m = 1) 1: チャネル 1 の出力アンプを使用する (m = 0) チャネル 3 の出力アンプを使用する (m = 1)	R/W

DAAMPCR レジスタは、D/A 出力に対してアンプを使用するか、使用せずにスルー出力するかを選択します。

DAAMP0 ビット（アンプ制御 0）

DAAMP0 ビットを 0 にすると、チャネル 0 (m = 0) およびチャネル 2 (m = 1) の D/A 出力に対してアンプを介さずにアナログ値を出力します。DAAMP0 ビットを 1 にすると、チャネル 0 (m = 0) およびチャネル 2 (m = 1) の D/A 出力に対してアンプを介してアナログ値を出力します。

DACR.DAE ビットと DACR.DAOE0 ビットの両方が 0 の状態では、DAAMP0 ビットの設定にかかわらずアンプは使用されません。詳細は、表 37.5 を参照してください。

DAAMP1 ビット（アンプ制御 1）

DAAMP1 ビットを 0 にすると、チャネル 1 (m = 0) およびチャネル 3 (m = 1) の D/A 出力に対してアンプを介さずにアナログ値を出力します。DAAMP1 ビットを 1 にすると、チャネル 1 (m = 0) およびチャネル 3 (m = 1) の D/A 出力に対してアンプを介してアナログ値を出力します。

なお、DACR.DAE ビットと DACR.DAOE1 ビットの両方が 0 の状態では、DAAMP1 ビットの設定にかかわらずアンプは停止します。詳細は、表 37.5 を参照してください。

37.2.5 DAASWCR : D/A アンプ安定ウェイトコントロールレジスタ

Base address: DAC12m = 0x4017_2000 + 0x0100 × m (m = 0, 1)

Offset address: 0x1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DAASW1	DAASW0	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6	DAASW0	D/A アンプ安定待ち 0 および D/A 内部出力制御 0: 外部端子への出力に対しては、 チャネル 0 アンプ安定待機 OFF（出力） 内部モジュールへの出力に対しては、 チャネル 0 出力禁止 1: 外部端子への出力に対しては、 チャネル 0 アンプ安定待機 ON (high-Z) 内部モジュールへの出力に対しては、 チャネル 0 出力許可	R/W
7	DAASW1	D/A アンプ安定待ち 1 および D/A 内部出力制御 0: 外部端子への出力に対しては、 チャネル 1 アンプ安定待機 OFF（出力） 内部モジュールへの出力に対しては、 チャネル 1 出力禁止 1: 外部端子への出力に対しては、 チャネル 1 アンプ安定待機 ON (high-Z) 内部モジュールへの出力に対しては、 チャネル 1 出力許可	R/W

DAASWCR レジスタは、出力アンプを使用した D/A 出力または内部モジュールの D/A 出力を制御します。本レジスタは、D/A 出力アンプ安定待ちのための初期化手順で使用されます。DACR.DAE ビットと DACR.DAOEi (i = 0, 1) ビットがともに 0 のとき、DAASWCR の各ビットを 1 にしてください。「37.6.5. 出力アンプを使用した初期化手順」を参照してください。

DAASW0 ビット（D/A アンプ安定待ち 0）

チャネル 0 およびチャネル 2 の D/A 出力アンプ安定待ちのための初期化手順で、DAASW0 ビットを 1 にしてください。DAASW0 を 1 にすると、D/A 変換は動作しますが、D/A 変換結果は、チャネル 0 から DA0 端子 (m = 0) およびチャネル 2 から DA2 端子 (m = 1) に出力されません。DAASW0 ビットを 0 にすると、安定待機時間は終了し、チャネル 0 の D/A 変換結果は DA0 端子への出力アンプです。出力アンプを使用しない（DAAMPCR.DAAMP0 ビットが 0 である）場合で、かつ DAASW0 が 1 である場合、チャネル 0 の D/A 変換結果が内部モジュールに出力されます。

DAASW1 ビット（D/A アンプ安定待ち 1）

チャネル 1 およびチャネル 3 の D/A 出力アンプ安定待ちのための初期化手順で、DAASW1 ビットを 1 にしてください。DAASW1 を 1 にすると、D/A 変換は動作しますが、D/A 変換結果は、チャネル 1 から DA1 端子 (m = 0) およびチャネル 3 から DA3 端子 (m = 1) に出力されません。DAASW1 ビットを 0 にすると、安定待機時間は終了し、チャネル 1 の D/A 変換結果は DA1 端子への出力アンプです。出力アンプを使用しない（DAAMPCR.DAAMP1 ビットが 0 である）場合で、かつ DAASW1 が 1 である場合、チャネル 1 の D/A 変換結果が内部モジュールに出力されます。

37.3 動作

DAC12 には 4 チャネルの D/A 変換回路があり、それぞれ独立して変換を行うことができます。DACR.DAOEn ビット (n = 0, 1) を 1 にすると、DAC12 が有効になり、変換結果が出力されます。

以下にチャネル 0 での D/A 変換例を示します。 図 37.2 に、このときの動作タイミングを示します。

チャネル 0 で D/A 変換を実行する場合の手順は以下のとおりです。

1. DADR0 レジスタに D/A 変換を行うためのデータ、DADPR.DPSEL ビットにデータフォーマットを設定します。
2. DACR.DAOE0 ビットを 1 にすると、D/A 変換を開始します。t_{DCONV} 時間経過後、変換結果をアナログ出力端子 DA0 より出力します。DADR0 レジスタを書き換えるか、DAOE0 ビットを 0 にするまで、この変換結果が出力され続けます。出力値（参考）は以下の式で計算します。

$$\frac{\text{DADR0の設定値}}{4096} \times \text{AVCC0}$$

3. 変換を再度開始するため、別の値を DADR0 へ書き込みます。t_{DCONV} 時間経過後、変換結果が出力されます。
4. アナログ出力を禁止する場合は、DAOE0 ビットを 0 にしてください。

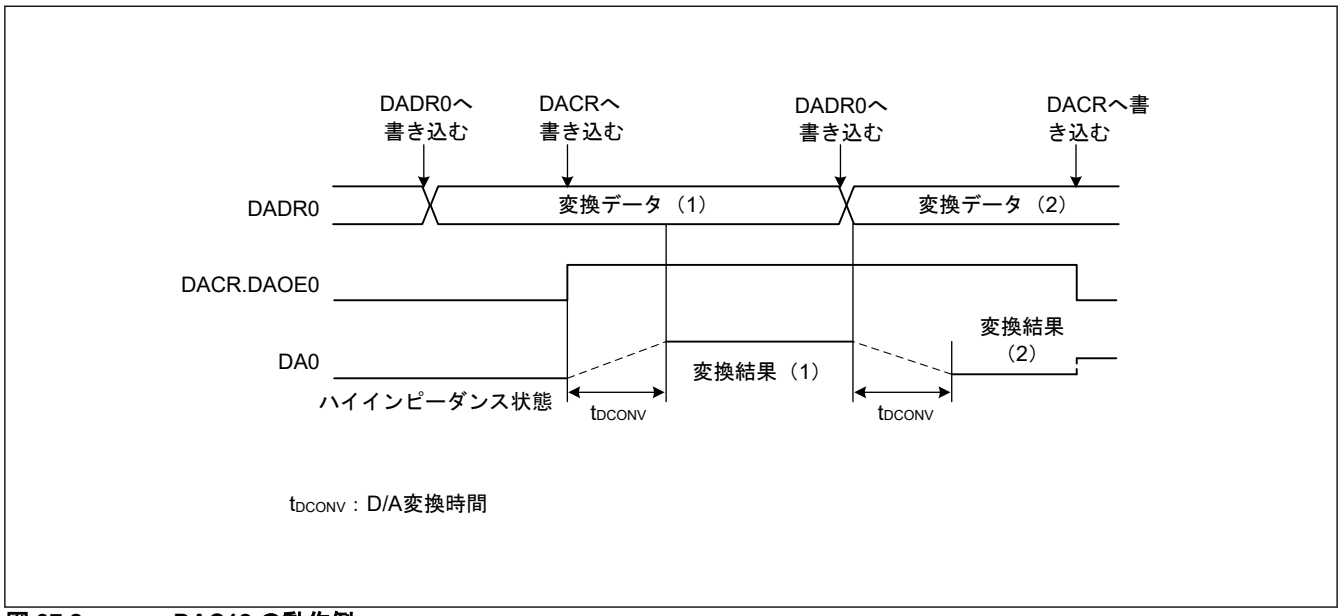


図 37.2 DAC12 の動作例

37.4 イベントリンクの動作設定手順

以下にイベントリンク動作手順を示します。

37.4.1 DA0 イベントリンクの動作設定手順

DA0 イベントリンクの動作を設定する場合は、以下の手順で行います。

1. DADPR.DPSEL ビットを設定し、DADR0 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC_DA0 イベント信号が ELSR12 レジスタの各周辺モジュールとリンクするよう設定します。
3. ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DACR.DAOE0 ビットが 1 になり、チャネル 0 の D/A 変換が開始されます。
5. DAC12 チャネル 0 のイベントリンク動作を停止するときは、ELSR12 レジスタを 0x0000 にしてください。また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

37.4.2 DA1 イベントリンクの動作設定手順

DA1 イベントリンクの動作を設定する場合は、以下の手順で行います。

1. DADPR.DPSEL ビットを設定し、DADR1 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC_DA1 イベント信号が ELSR13 レジスタの各周辺モジュールとリンクするよう設定します。
3. ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DACR.DAOE1 ビットが 1 になり、チャネル 1 の D/A 変換が開始されます。
5. DAC12 チャネル 1 のイベントリンク動作を停止するときは、ELSR13 レジスタを 0x0000 にしてください。また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

37.4.3 DA2 イベントリンクの動作設定手順

DA2 イベントリンクの動作を設定する場合は、以下の手順で行います。

1. DADPR.DPSEL ビットを設定し、DADR0 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC_DA2 イベント信号が ELSR28 レジスタの各周辺モジュールとリンクするよう設定します。
3. ELCR.ELCON ビットを 1 にします。
   これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。
   モジュールからイベントが出力されると、DACR.DAOE0 ビットが 1 になり、チャネル 2 の D/A 変換が開始されます。
5. DAC12 チャネル 2 のイベントリンク動作を停止するときは、ELSR28 レジスタを 0x0000 にしてください。
   また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

37.4.4 DA3 イベントリンクの動作設定手順

DA3 イベントリンクの動作を設定する場合は、以下の手順で行います。

1. DADPR.DPSEL ビットを設定し、DADR1 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC_DA3 イベント信号が ELSR29 レジスタの各周辺モジュールとリンクするよう設定します。
3. ELCR.ELCON ビットを 1 にします。
   これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。
   モジュールからイベントが出力されると、DACR.DAOE1 ビットが 1 になり、チャネル 3 の D/A 変換が開始されます。
5. DAC12 チャネル 3 のイベントリンク動作を停止するときは、ELSR29 レジスタを 0x0000 にしてください。

また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

37.5 イベントリンク動作における注意事項

- イベントリンク機能を使用する場合、アンプ出力機能を使用しないでください。
- イベントリンク機能を使用する場合、DACR.DAE ビットは 0 にしてください。
- DACR.DAOE0 ビットへの書き込み実行中に ELC_DA0 イベント信号で指定されたイベントが発生すると、書き込みサイクルは停止し、発生イベントのビットが優先的に 1 になります。
- DACR.DAOE1 ビットへの書き込み実行中に ELC_DA1 イベント信号で指定されたイベントが発生すると、書き込みサイクルは停止し、発生イベントのビットが優先的に 1 になります。
- DACR.DAOE0 (m = 1) ビットへの書き込み実行中に ELC_DA2 イベント信号で指定されたイベントが発生すると、書き込みサイクルは停止し、発生イベントのビットが優先的に 1 になります。
- DACR.DAOE1 (m = 1) ビットへの書き込み実行中に ELC_DA3 イベント信号で指定されたイベントが発生すると、書き込みサイクルは停止し、発生イベントのビットが優先的に 1 になります。

37.6 使用上の注意

37.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、DAC12 の動作を禁止／許可することが可能です。DAC12 は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

37.6.2 モジュールストップ時の DAC12 の動作

D/A 変換を許可した状態で MCU がモジュールストップ状態になると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同様になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1、DAOE0、および DAE ビットを 0 にして D/A 変換を禁止してください。

37.6.3 ソフトウェアスタンバイモード時の DAC12 の動作

D/A 変換を許可した状態で MCU がソフトウェアスタンバイモードになると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同様になります。ソフトウェアスタンバイモード時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1、DAOE0、および DAE ビットを 0 にして D/A 変換を禁止してください。

37.6.4 ディープソフトウェアスタンバイモードへの移行に関する制約

D/A 変換を許可した状態で MCU がディープソフトウェアスタンバイモードに遷移すると、DAC12 の出力はハイインピーダンスとなります。

37.6.5 出力アンプを使用した初期化手順

出力アンプを使用して、以下の初期化手順に従ってください。ここではチャネル 0 を例に説明します。

出力アンプを使用して DAC12 を初期化するには、以下の手順を行います。

1. DADR0 レジスタに 0x0000 を書き込みます。
2. DAASWCR.DAASW0 ビットを 1 にします。
3. DAAMPCR.DAAMP0 ビットを 1 にします。
4. DACR.DAE ビットまたは DACR.DAOE0 ビットを 1 にして、アンプ動作を開始します。
5. D/A 変換時間 (t_{DCONV}) の期間を待機してから、DAASWCR.DAASW0 ビットを 0 にクリアします。
6. 変換する値を DADR0 レジスタに書き込みます。

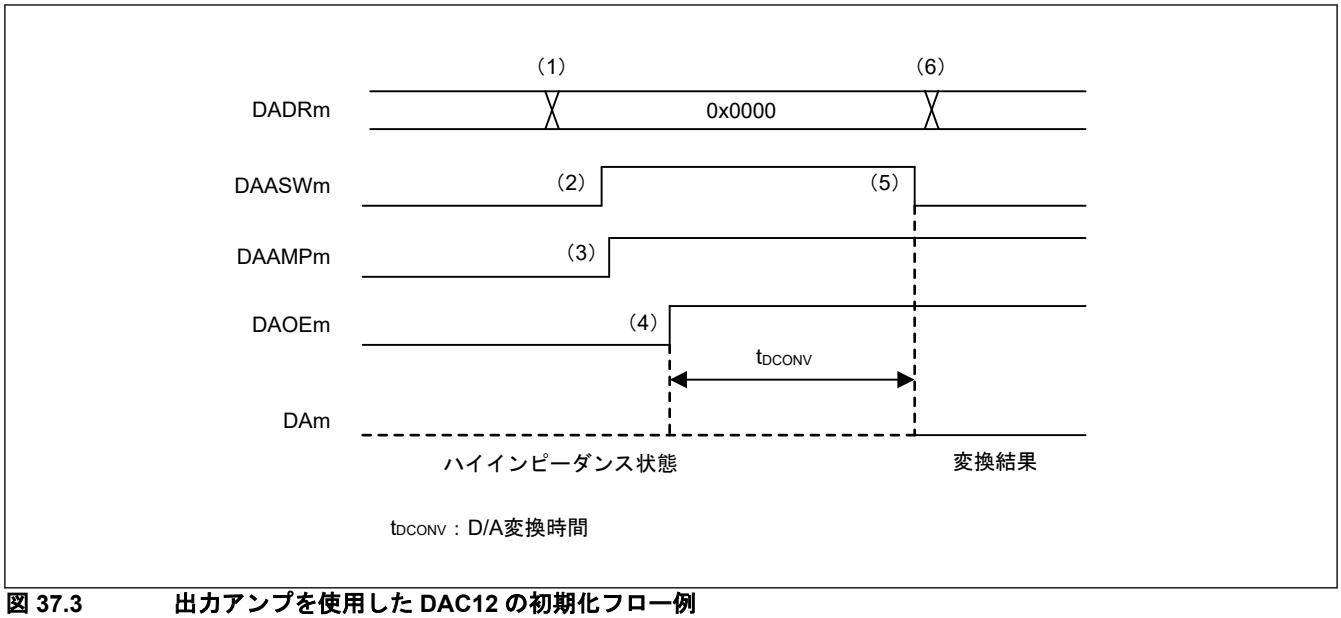


図 37.3　出力アンプを使用した DAC12 の初期化フロー例

なお、アンプが動作している状態で、DACR.DAE ビットと DACR.DAOE0 ビットを 0 にクリアすると、アンプは停止状態になります。再びアンプを使用する場合には、手順 1～ 6 を再度行ってください。

37.6.6　内部モジュールへの出力の初期化手順

内部モジュールへの出力の初期化手順は以下に従ってください。

ここではチャネル 0 を例に説明します。

1. DAASWCR.DAASW0 ビットを 1 にします。
2. DACR.DAE ビットまたは DACR.DAOE0 ビットを 1 にします。
3. 変換する値を DADR0 レジスタに書き込みます。

38. 温度センサ回路 (TSN)

38.1 概要

デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧は ADC で変換されてから、末端の応用機器で使用できます。

表 38.1 に TSN の仕様を、図 38.1 に TSN のブロック図を示します。

表 38.1 TSN の仕様

項目	内容
温度センサ電圧出力	温度センサが A/D コンバータに電圧を出力
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能
温度センサ校正データ	工場出荷時に個々のチップごとに測定した基準データをレジスタに格納
TrustZone フィルタ	セキュリティ属性を設定可能

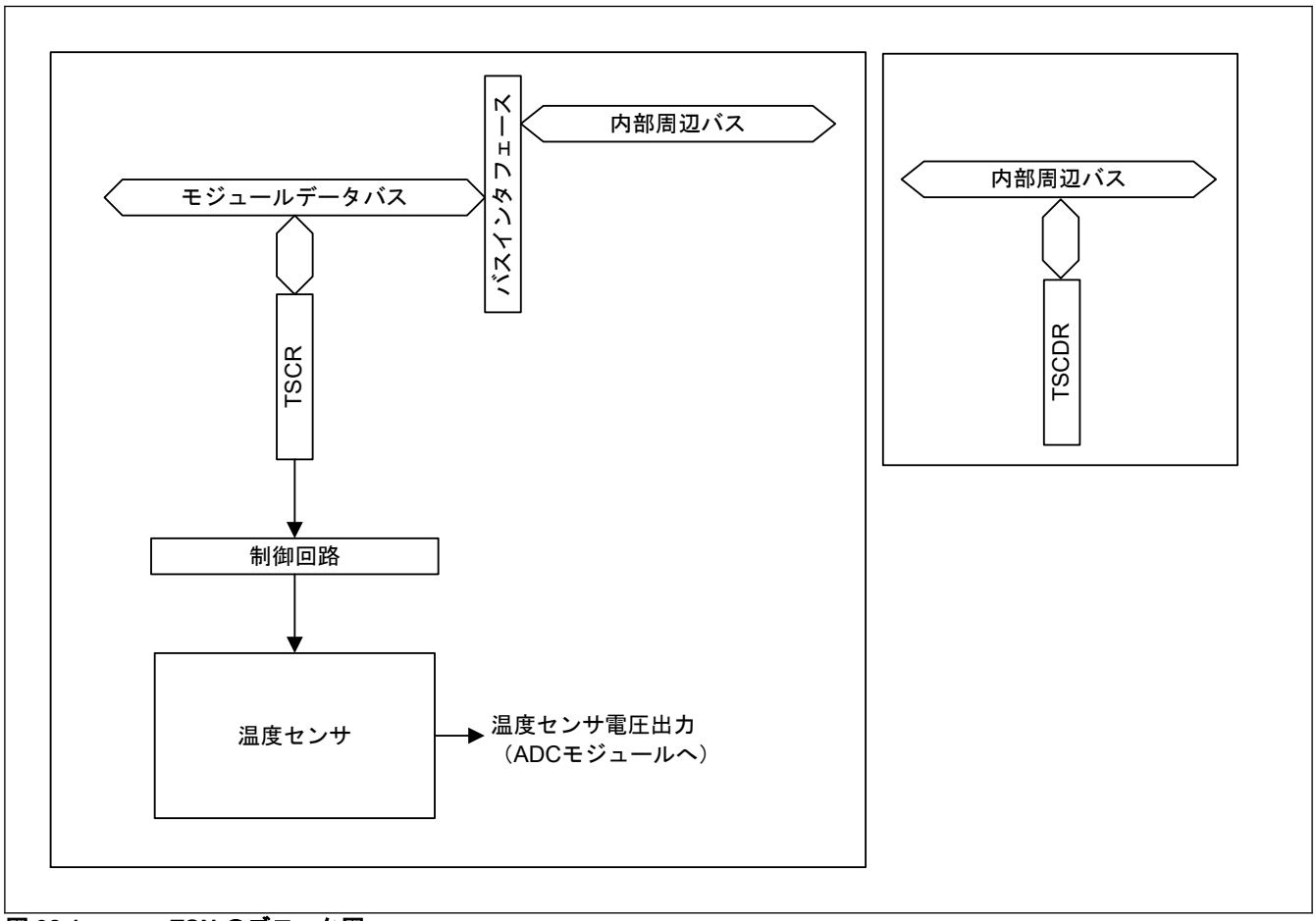


図 38.1 TSN のブロック図

38.2 レジスタの説明

38.2.1 TSCR : 温度センサコントロールレジスタ

Base address: TSN = 0x400F_3000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TSEN	—	—	TSOE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	TSOE	温度センサ出力許可 0: 温度センサから ADC への出力を禁止 1: 温度センサから ADC への出力を許可	R/W
6:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	TSEN	温度センサ許可 0: 温度センサが停止 1: 温度センサが動作	R/W

TSCR は、温度センサの制御を行うレジスタです。図 38.3 に示されるタイミングの制約は、TSCR レジスタの設定に適用されます。

TSOE ビット（温度センサ出力許可）

TSOE ビットは ADC への温度センサ出力を許可または禁止します。

TSEN ビット（温度センサ許可）

TSEN ビットは温度センサの動作または停止を選択します。

38.2.2 TSCDR : 温度センサ校正データレジスタ

Base address: TSD = 0x407F_B000

Offset Address: 0x017C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TSCDR[15:0]															
Value after reset:	チップごとの固有値															

ビット	シンボル	機能	R/W
15:0	TSCDR[15:0]	温度センサ補正データ チップごとの固有値	R
31:16	—	読むと 0 が読めます。	R

TSCDR レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。

温度センサ校正データは、Tj = 127°C、AVCC0 = VREFH0 = 3.3 V の条件における温度センサの出力電圧を、A/D コンバータでデジタル変換した値です。

TSCDR レジスタは読み出し専用の 32 ビットレジスタです。32 ビット単位で読み出してください。

温度センサ校正データは、TSCDR レジスタの下位 12 ビットに格納されています。

38.3 温度センサ回路の使用方法

温度センサが出力する電圧は、温度により変化します。この電圧は A/D コンバータでデジタル値に変換されます。チップの温度は、この値を温度に変換することで求められます。

38.3.1 使用前の準備

MCU の周囲温度 (T) は温度センサの電圧出力 (Vs) と比例関係にあるため、以下の式で MCU の周囲温度を求められます。

T = (Vs - V1) / slope + T1

- T: 計算結果である MCU の周囲温度 (°C)
- Vs: 温度測定時の温度センサの出力電圧 (V)
- T1: 1 点目の試行測定時の温度 (°C)
- V1: T1 測定時の温度センサの出力電圧 (V)
- T2: 2 点目の試行測定時の温度 (°C)
- V2: T2 測定時の温度センサの出力電圧 (V)
- Slope: 温度センサの温度傾斜 (V/°C) Slope = (V2 - V1)/(T2 - T1)

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施して温度傾斜を求めておくことを推奨します。

1. A/D コンバータを使用して、温度 T1 で温度センサにより出力される電圧 V1 を測定してください。
2. 再度、A/D コンバータを使用して、異なる温度 T2 で温度センサにより出力される電圧 V2 を測定してください。
3. 両者の測定結果から、温度傾斜 (Slope = (V2 - V1)/(T2 - T1)) を求めます。
4. この slope の値を温度特性の式 (T = (Vs - V1)/Slope + T1) に代入し、温度を求めます。

また、「46. 電気的特性」に記載の温度傾斜を slope として用いる場合は、1 回の試行測定で V1 と T1 を決定します。

T = (Vs - V1) / slope + T1

注. ただし、この方法では、2 点を測定する方法よりも測定温度精度が劣ります。

本 MCU は、TSCDR レジスタに、Ta = Tj = 127°C、AVCC0 = VREFH0 = 3.3 V の条件における温度センサの温度測定値 (CAL127) を格納しています。この値を 1 点目の試行測定結果として使用することで、使用前の準備を省略することができます。

CAL127 から V1 を求めると、

V1 = 3.3 × CAL127 / 4096 [V] （12 ビット精度の場合）

となり、これを用いると、測定温度は下記の式にて算出できます。

T = (Vs - V1) / slope + 127 [°C]

- T: 計算結果である MCU の周囲温度 (°C)
- Vs: 温度測定時の温度センサの出力電圧 (V)
- V1: Ta = Tj = 127°C、AVCC0 = VREFH0 = 3.3 V 時の温度センサの出力電圧 (V)
- Slope: 温度センサの温度傾斜(注1) / 1000 (V/°C)

注 1. 「46. 電気的特性」を参照

38.3.2 温度センサ回路の使用手順

図 38.2 に TSN の使用手順例を示します。

A/D コンバータの設定手順については、「36. A/D コンバータ」を参照してください。

図 38.2 TSN の使用手順

図 38.3 に温度センサの動作開始から A/D 変換完了までのタイミングを示します。これは ADC がシングルスキャンモードで、温度センサ出力のみを A/D 変換対象とした場合です。それぞれの時間については「46. 電気的特性」を参照してください。サンプリング時間 tSPL は「46. 電気的特性」に示す値より長く設定する必要があります。

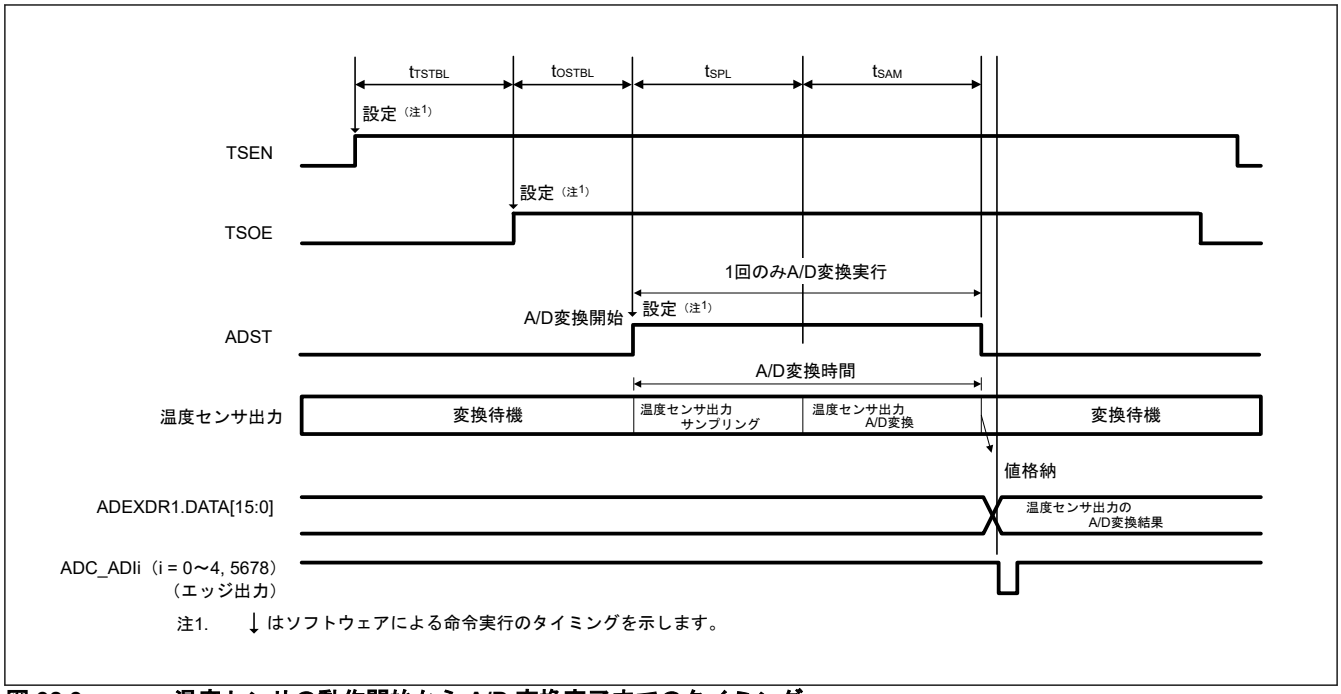


図 38.3 温度センサの動作開始から A/D 変換完了までのタイミング

38.4 使用上の注意事項

38.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、TSN の動作の禁止または許可を設定することが可能です。リセット後の初期状態では、TSN の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

39. 高速アナログコンパレータ (ACMPHS)

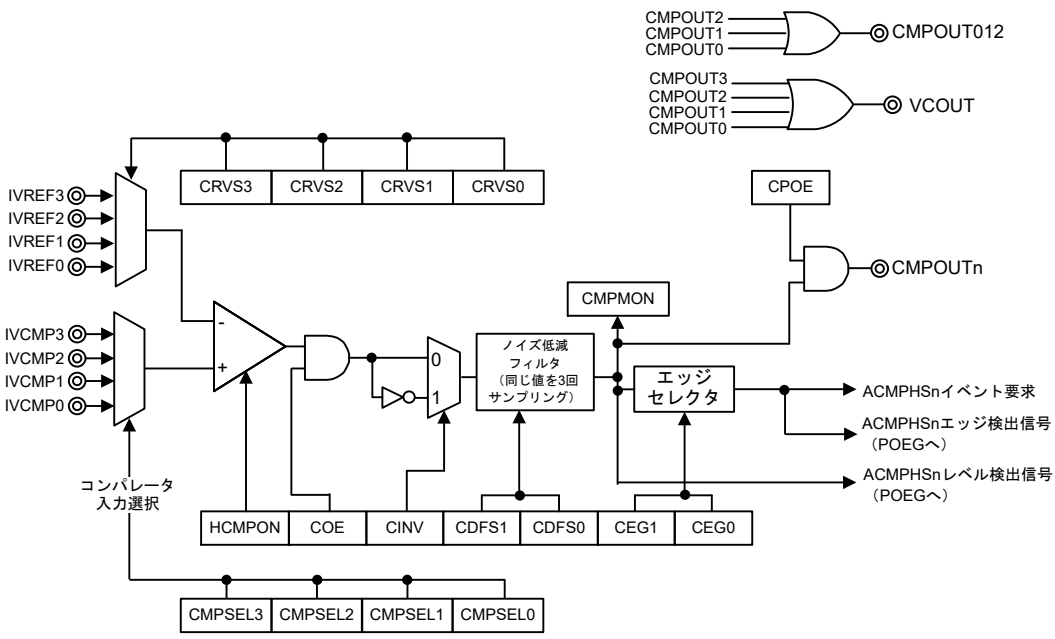
39.1 概要

高速アナログコンパレータ (ACMPHS) を使用して、テスト電圧と基準電圧を比較し、変換結果に基づいてデジタル出力を行います。テスト電圧と基準電圧は、内部電源（D/A コンバータ出力、プログラマブルゲインアンプ (PGA) 出力）と外部電源の両方から ACMPHS に供給できます。このような柔軟性は、必ずしも A/D 変換を必要とせずにアナログ信号に対して実行／中止の比較を行う必要があるアプリケーションに有効です。

表 39.1 に ACMPHS の仕様を、図 39.1 にブロック図を、表 39.2 に入力ソース構成を示します。

表 39.1 ACMPHS の仕様

項目	仕様
チャネル数	4 チャネル：ACMPHSn（n = 0～3）
アナログ入力電圧	• 内蔵 PGA からの出力 • 内蔵 A/D コンバータ入力ピンからの入力（1 ピン選択）
基準電圧	• 内蔵 D/A コンバータからの出力 • 内蔵 A/D コンバータ入力ピンからの入力（1 ピン選択）
ACMPHS 出力	• 比較結果 • ELC イベント出力の発生 • レジスタからの出力監視
割り込み要求信号	• 比較結果の有効エッジ検出時に割り込み要求発生 • 立ち上がりエッジ、立ち下がりエッジ、両エッジを選択可能
デジタルフィルタ機能	• 3 つのサンプリング周波数から 1 つ選択可能 • フィルタ機能不使用を選択可能



注 1. n = 0～3

図 39.1 ACMPHS のブロック図

表 39.2 ACMPHS の入力電源構成

コンパレータ	基準電圧入力電源				アナログ電圧入力電源				出力端子
	IVREF3	IVREF2	IVREF1	IVREF0	IVCMP3	IVCMP2	IVCMP1	IVCMP0	
ACMPHS0	DA0	DA3	AN017	AN016	PGA0 出力	AN000	—	AN012	VCOUT(注1), CMPOUT012(注2), CMPOUT0
ACMPHS1	DA1	DA3	AN017	AN016	PGA1 出力	AN002	—	AN013	VCOUT(注1), CMPOUT012(注2), CMPOUT1
ACMPHS2	DA2	DA3	AN017	AN016	PGA2 出力	AN004	—	AN014	VCOUT(注1), CMPOUT012(注2), CMPOUT2
ACMPHS3	DA3	DA2	AN017	AN016	PGA3 出力	AN018	—	AN015	VCOUT(注1), CMPOUT3

注 1. ACMPHS0～ACMPHS3 の比較出力は VCOUT 端子に束ねられています。
注 2. ACMPHS0～ACMPHS2 の比較出力は CMPOUT012 端子に束ねられています。

39.2 レジスタの説明

39.2.1 CMPCTL : コンパレータコントロールレジスタ

Base address: ACMPHSn = 0x400F_4000 + 0x0100 × n (n = 0～3)

Offset address: 0x000

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HCMPON	CDFS[1:0]		CEG[1:0]		—	COE	CINV
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CINV	コンパレータ出力極性選択(注1) (注2) 0: コンパレータ出力を反転しない 1: コンパレータ出力を反転する	R/W
1	COE	コンパレータ出力許可 0: コンパレータ出力禁止（出力信号は Low） 1: コンパレータ出力許可	R/W
2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4:3	CEG[1:0]	有効エッジ選択（エッジセレクタ） 0 0: エッジを検出しない 0 1: 立ち上がりエッジを検出 1 0: 立ち下がりエッジを検出 1 1: 両エッジを検出	R/W
6:5	CDFS[1:0]	ノイズフィルタ選択 (注1) (注2) (注3) 0 0: ノイズフィルタを使用しない 0 1: PCLKB/2^3 のノイズフィルタサンプリング周波数を使用 1 0: PCLKB/2^4 のノイズフィルタサンプリング周波数を使用 1 1: PCLKB/2^5 のノイズフィルタサンプリング周波数を使用	R/W
7	HCMPON	コンパレータ動作制御(注4) 0: 動作を停止（コンパレータは Low 信号を出力） 1: 動作を許可（コンパレータ端子への入力を許可）	R/W

注 1. CDFS[1:0]ビットおよび CINV ビットの変更前に ACMPHS 出力を禁止します (COE= 0)。
注 2. CDFS[1:0]ビットおよび CINV ビットが変更されると、ACMPHS 割り込み要求および ELC イベントが生成されることがあります。これらのビットを変更する前に、ELSRn レジスタを 0 にしてください（ACMPHS 出力はリンクされません）。これらのビットを変更した後は、IELSRn レジスタの IR フラグを 0 にして割り込み状態をクリアします。
注 3. CDFS[1:0]ビットを 00b（ノイズフィルタ未使用）から 00b 以外（ノイズフィルタ使用）に変更した場合は、サンプリングを 4 回行ってフィルタ出力を更新した後に、ACMPHS 割り込み要求または ELC イベントを使用します。

注 4. ACMPHS を有効にした後 (HCMPON = 1)、ACMPHS の動作を許可するために安定待機時間が必要です。ACMPHS の動作安定待機時間は 300 ns です。

注. コンパレータ出力を POEG ソースとして使用するときは、POEG のレジスタを設定する前に本レジスタを設定します。

CMPCTL レジスタは、ACMPHS 動作の制御、ACMPHS 出力の許可／禁止、ノイズフィルタの選択、割り込み信号の有効エッジの選択、割り込みの選択を行います。

39.2.2 CMPSEL0 : コンパレータ入力選択レジスタ

Base address: ACMPHSn = 0x400F_4000 + 0x0100 × n (n = 0～3)

Offset address: 0x004

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CMPSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CMPSEL[3:0]	コンパレータ入力選択(注1) 0x0: 入力しない 0x1: IVCMP0 を選択(注2) 0x2: 設定禁止(注2) 0x4: IVCMP2 を選択(注2) 0x8: IVCMP3 を選択(注2) その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. CMPSEL[3:0]ビットは下記の手順で変更してください。CMPSEL0 レジスタの値が 0x00 以外の場合、0x00 以外の値の書き込みは無効です。2 つ以上のビットへの 1 の書き込みも無効です。どちらの場合も、変更前の値が保持されます。
CMPSEL[3:0]ビットを変更するには、以下を実行します。
1. CMPCTL.COE ビットを 0 にする。
2. CMPSEL0 レジスタを 0x00 にする。
3. 新しい値を CMPSEL[3:0]ビットに設定する。このとき、いずれか 1 つのビットのみを 1 にする。
4. 入力切り替え安定待機時間 (200 ns) の経過を待つ。
5. CMPCTL.COE ビットを 1 にする。
6. IELSRn レジスタの IR フラグをクリアし、割り込みステータスをクリアする。

注 2. 詳細は、表 39.2 を参照してください。

39.2.3 CMPSEL1 : コンパレータ基準電圧選択レジスタ

Base address: ACMPHSn = 0x400F_4000 + 0x0100 × n (n = 0～3)

Offset address: 0x008

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CRVS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CRVS[3:0]	基準電圧の選択(注1) 0x0: 入力しない 0x1: IVREF0 を選択(注2) 0x2: IVREF1 を選択(注2) 0x4: IVREF2 を選択(注2) 0x8: IVREF3 を選択(注2) その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注 1. CRVS[3:0]ビットは下記の手順で変更してください。CMPSEL1 レジスタの値が 0x00 以外の場合、0x00 以外の値の書き込みは無効です。2 つ以上のビットへの 1 の書き込みも無効です。どちらの場合も、変更前の値が保持されます。
CRVS[3:0]ビットを変更するには、以下を実行します。
1. CMPCTL.COE ビットを 0 にする。
2. CMPSEL1 レジスタを 0x00 にする。
3. 新しい値を CRVS[3:0]ビットに設定する。このとき、いずれか 1 つのビットのみを 1 にする。
4. 入力切り替え安定待機時間 (200 ns) の経過を待つ。
5. CMPCTL.COE ビットを 1 にする。
6. IELSRn レジスタの IR フラグをクリアし、割り込みステータスをクリアする。

注 2. 詳細は、表 39.2 を参照してください。

39.2.4 CMPMON : コンパレータ出力モニタレジスタ

Base address: ACMPHSn = 0x400F_4000 + 0x0100 × n (n = 0～3)

Offset address: 0x00C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPMON
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPMON	コンパレータ出力監視(注1) 0: コンパレータ出力は Low 1: コンパレータ出力は High	R
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R

注 1. ACMPHS の動作が有効（HCMPON = COE = 1）であるが、ノイズフィルタを使用していない（CDFS[1:0] = 00b）場合、CMPMON ビットを 2 度読み出し、2 つの連続した値が一致した後でのみ値を使用するようソフトウェアを設計してください。

39.2.5 CPIOC : コンパレータ出力コントロールレジスタ

Base address: ACMPHSn = 0x400F_4000 + 0x0100 × n (n = 0～3)

Offset address: 0x010

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CPOE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPOE	コンパレータ出力選択 0: コンパレータの CMPOUTn 端子出力を禁止（出力信号は Low） 1: コンパレータの CMPOUTn 端子出力を許可	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

39.3 動作説明

ACMPHS は、基準電圧とアナログ入力電圧を比較します。ACMPHS の動作中にレジスタの値を変更した場合、動作は保証されません。表 39.3 に、ACMPHS に関連付けられているレジスタの設定手順を示します。

表 39.3 ACMPHSn に関連付けられているレジスタの設定手順（n = 0～3） (1/2)

手順	レジスタ	ビット	設定
1	関連する MSTPCRD レジスタ	MSTPD28～MSTPD25	0: 入力クロック供給
2	関連する端子機能コントロールレジスタ (PFS)	ASEL	1: IVREF および IVCMP 端子の機能を選択
3	関連する D/A コンバータ		D/A コンバータを使用する場合、レジスタで選択

表 39.3 ACMPHSn に関連付けられているレジスタの設定手順（n = 0～3） (2/2)

手順	レジスタ	ビット	設定
4	CMPSEL0, CMPSEL1	CMPSEL0～CMPSEL3, CRVS0～CRVS3	ACMPHSn 入力を選択し、いずれか 1 つのビットのみを 1 にする
5	CMPCTL	CDFS[1:0], CEG1, CEG0, CINV	ACMPHSn 制御を設定
		HCMPON	1: ACMPHSn 動作を許可
6	ACMPHS 安定時間（最小 300 ns）待機		
7	CMPCTL	COE	1: ACMPHSn 出力を許可
8	CPIOC	CPOE	CMPOUTn 出力を設定
	関連する端子機能コントロールレジスタ (PFS)	PSEL, PMR	ACMPHS ポート機能を選択
9	IELSRn	IR, IELS[8:0]	割り込み使用時、割り込みステータスフラグおよび ICU イベントリンクを選択(注1)
10	ELSRn	ELS[8:0]	ELC 使用時、イベントリンクを選択(注2)
11	動作開始		
12	CMPCTL	COE	0: IVREF または IVCMP を変更する場合は ACMPHSn 出力を禁止
13	CMPSEL1	CRVS0～CRVS3	以下の手順で CMPSEL1 ビットを変更： 1. CMPSEL1 ビットを 0000 0000b に変更 2. CMPSEL1 ビットに新しい値を設定し、いずれか 1 つのビットだけを 1 にする
	CMPSEL0	CMPSEL0～CMPSEL3	以下の手順で CMPSEL0 ビットを変更： 1. CMPSEL0 ビットを 0000 0000b に変更 2. CMPSEL0 ビットに新しい値を設定し、いずれか 1 つのビットだけを 1 にする
14	ACMPHS 切り替え安定時間（最小 200 ns）待機		
15	CMPCTL	COE	1: ACMPHSn 出力を許可
16	動作再開		

注 1. ACMPHSn を設定した後、動作が安定するまで不要な割り込みが発生する場合があるため、割り込みフラグを初期化してください。
注 2. ACMPHSn を設定した後、動作が安定するまで不要な割り込みが発生する場合があるため、イベントリンク選択を初期化してください。

ACMPHS 動作の例を図 39.2 に示します。アナログ入力電圧が ACMPHS 基準入力電圧より高くなると VCOUT 出力は 1 になり、低くなると VCOUT 出力は 0 になります。ACMPHS 出力が変化すると、割り込み要求および ELC イベントが出力されます。

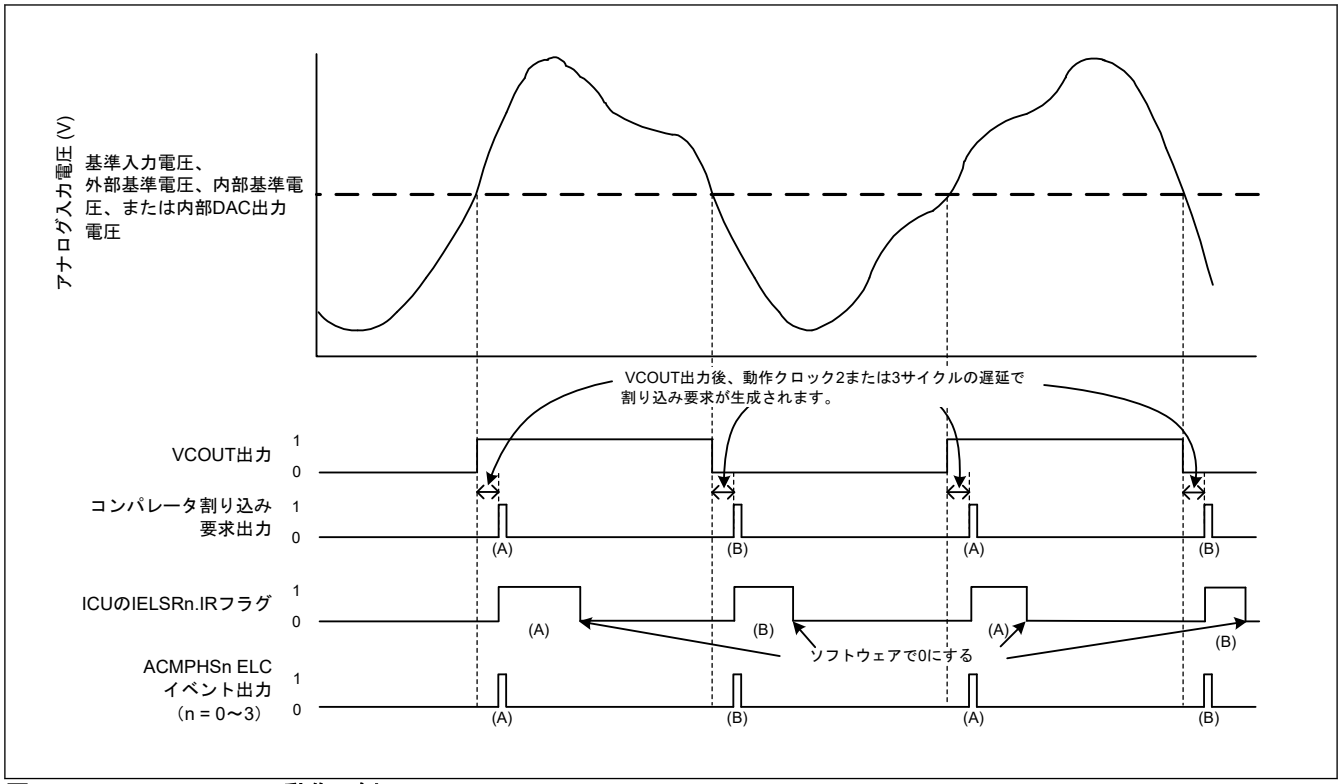


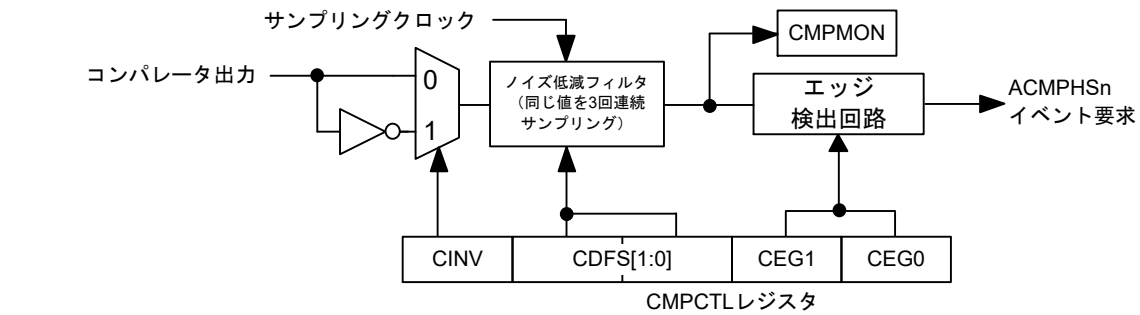
図 39.2 ACMPHS 動作の例

図 39.2 は CPOE = 1（端子出力許可）、CDFS[1:0] = 00b（フィルタ不使用）、および CEG1 = CEG0 = 1（両エッジ検出を選択）の場合に適用されます。CINV = 0、CEG0 = 1、CEG1 = 0（ACMPHS からの非反転出力信号の立ち上がりエッジ検出を選択）の場合、IELSR.IR フラグは (A) で示されるように変化します。CINV = 0、CEG0 = 0、CEG1 = 1（ACMPHS からの非反転出力信号の立ち下がりエッジ検出を選択）の場合、IR フラグは (B) で示されるように変化します。

39.4 ノイズフィルタ

ACMPHS にはノイズフィルタが組み込まれています。サンプリングクロックは CMPCTL.CDFS[1:0]ビットで選択できます。コンパレータ出力信号はサンプリングクロックごとにサンプリングされ、3 回続けて同じ値がサンプリングされた場合は、その次のサンプリングクロックサイクルのノイズフィルタ出力が ACMPHS 出力として使われます。

図 39.3 にノイズフィルタとエッジ検出回路の構成を、図 39.4 にノイズフィルタと割り込み動作の例を示します。



注 1. n = 0～3

図 39.3 ノイズフィルタとエッジ検出回路の構成

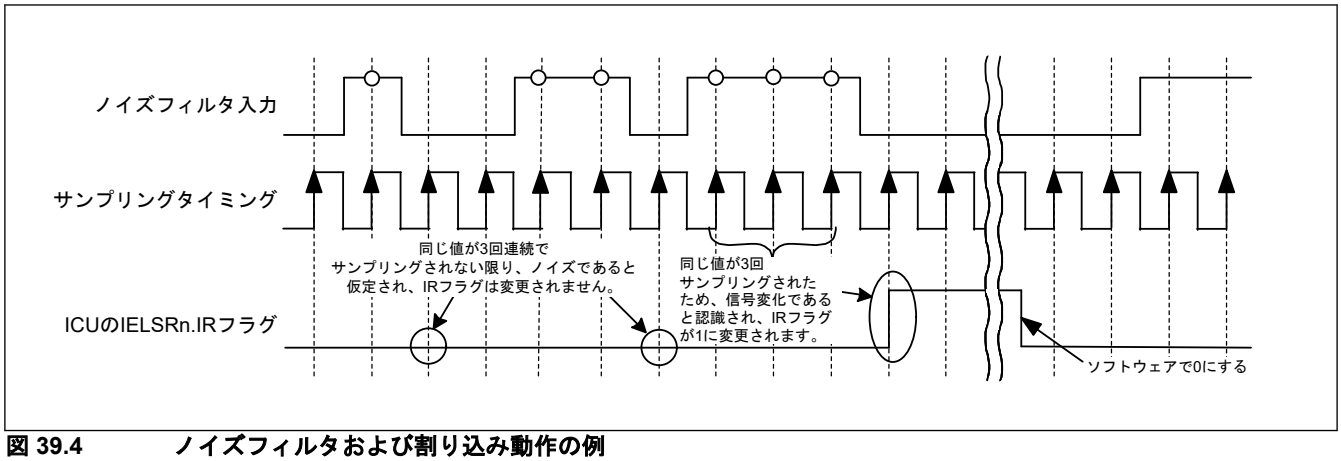


図 39.4 ノイズフィルタおよび割り込み動作の例

図 39.4 の動作例は、CMPCTL.CDFS[1:0]ビットが 01b、10b、または 11b の場合（ノイズフィルタ使用時）の例です。

39.5 ACMPHS 割り込み

ACMPHS はソースの ACMPHSn（n = 0～3）から 4 つの割り込み要求を発生させます。ACMPHS 割り込みを使用するには、使用する割り込みを割り込みコントローラユニット (ICU) の IELSR レジスタで選択します。

エッジセレクタで ACMPHS 割り込みを使用する場合は、CMPCTL.CEG0 ビットおよび CMPCTL.CEG1 ビットのうち少なくとも 1 つを 1（00b（エッジ選択なし）以外の値）にしてください。

ACMPHS 割り込み要求に関連するレジスタ設定については、「39.2.1. CMPCTL : コンパレータコントロールレジスタ」を参照してください。

39.6 イベントリンクコントローラ (ELC) への ACMPHS 出力

ELC は、ACMPHS 割り込み要求信号を ELC イベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ACMPHS の ELC イベントを使用するには、ELC の ELSR レジスタで選択します。ELC イベント要求を使用する場合、CMPCTL.CEG0 ビットと CMPCTL.CEG1 ビットの少なくとも一方を 1（エッジ選択がない場合は 00b 以外の値）にします。

39.7 ACMPHS 端子出力

ACMPHS からの比較結果は外部端子に出力できます。CMPCTL.CINV および CPIOC.CPOE ビットを使用して、出力極性（非反転出力または反転出力）および出力許可／禁止を設定することができます。ACMPHS 比較結果を CMPOUTn（n = 0～3）、VCOUT および CMPOUT012 出力端子に出力するには、I/O レジスタの関連ポート mn 端子機能コントロールレジスタ (PmnPFS) を設定してください。CMPOUT0～CMPOUT3 のコンペア出力は VCOUT 端子に束ねられています。CMPOUT0～CMPOUT2 のコンペア出力も CMPOUT012 端子に束ねられています。

39.8 使用上の注意事項

39.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタを使用して、ACMPHS 動作を禁止／許可できます。リセット後の初期状態では、ACMPHS の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

40. データ演算回路 (DOC)

DOC モジュールの DOC_B バージョンです。

この章では、DOC_B を DOC と表記します。

40.1 概要

データ演算回路 (DOC) は、16 ビットまたは 32 ビットのデータの比較、加算、および減算に使用します。割り込み要求は以下の条件が当てはまる場合に生成できます。

- 16 ビットまたは 32 ビットの比較値が検出条件に一致した場合
- 16 ビットまたは 32 ビットのデータ加算結果がオーバーフローした場合
- 16 ビットまたは 32 ビットのデータ減算結果がアンダーフローした場合

データ演算回路の仕様を表 40.1 に、ブロック図を図 40.1 に示します。

表 40.1 DOC の仕様

項目	説明
データ演算機能	• 16 ビットまたは 32 ビットデータの比較、スレッショルドを上回るデータまたは下回るデータを検出するための比較、およびウィンドウ比較 • 16 ビットまたは 32 ビットデータの加算と減算
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
割り込み	• 比較した値が検出基準に一致している • データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい • データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000h (DOCR.DOBW = 1) より小さい
イベントリンク機能（出力）	• データ比較の結果が検出条件に一致している • データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい • データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい
TrustZone フィルタ	セキュリティ属性を設定可能

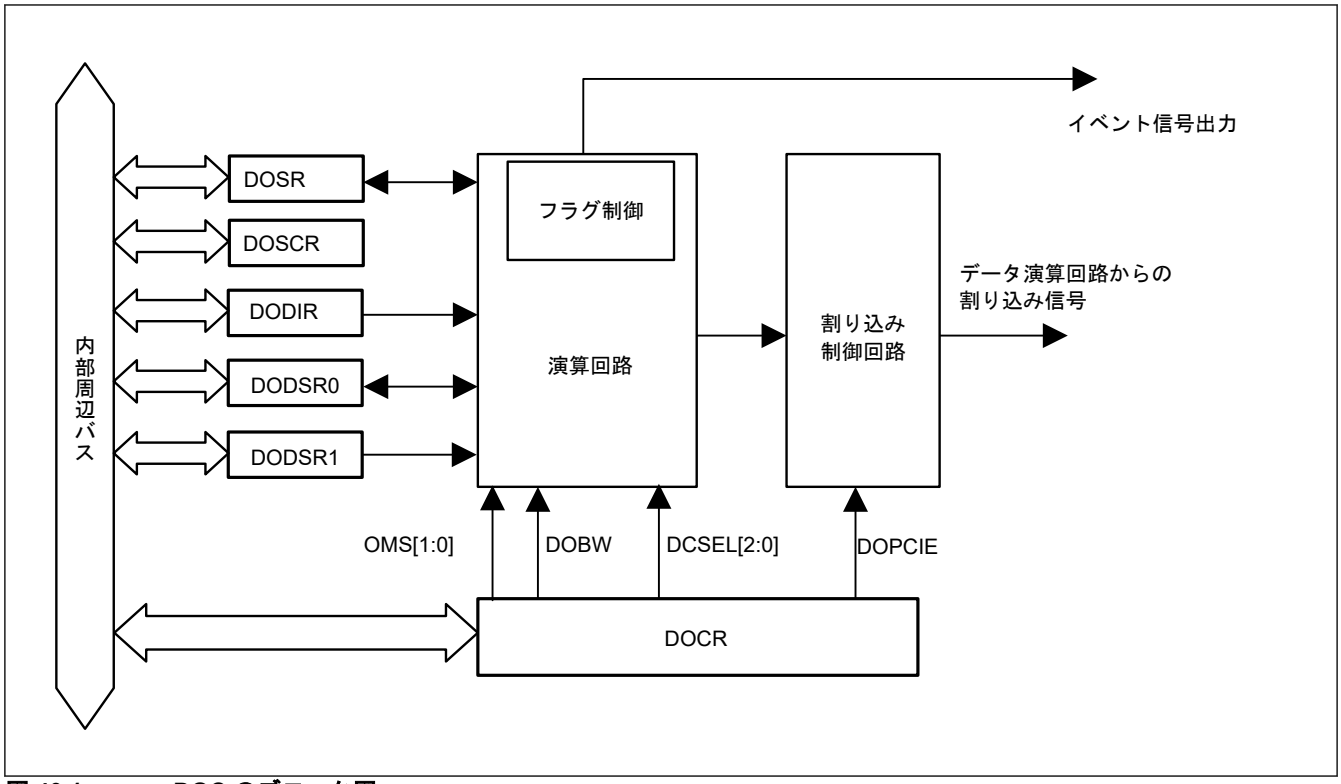


図 40.1 DOC のブロック図

40.2 レジスタの説明

40.2.1 DOCR : DOC コントロールレジスタ

Base address: DOC_B = 0x4010_9000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DOPCIE	DCSEL[2:0]			DOBW	—	OMS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	OMS[1:0]	動作モード選択 0 0: データ比較モード 0 1: データ加算モード 1 0: データ減算モード 1 1: 設定禁止	R/W
2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
3	DOBW	データ演算ビット幅選択 0: 16 ビット 1: 32 ビット	R/W
6:4	DCSEL[2:0](注1)	検出条件選択 0 0 0: 不一致 (DODSR0 ≠ DODIR) 0 0 1: 一致 (DODSR0 = DODIR) 0 1 0: 小さい (DODSR0 > DODIR) 0 1 1: 大きい (DODSR0 < DODIR) 1 0 0: 範囲内 (DODSR0 < DODIR < DODSR1) 1 0 1: 範囲外 (DODIR < DODSR0, DODSR1 < DODIR) その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
7	DOPCIE	データ演算回路割り込み許可 0: データ演算回路からの割り込みを禁止 1: データ演算回路からの割り込みを許可	R/W

注 1. データ比較モード選択時のみ有効

DOCR は、データ演算回路の動作モードと割り込みの許可／禁止を設定できるレジスタです。

OMS[1:0]ビット（動作モード選択）

これらのビットは、データ演算回路の動作モードを選択します。

DOBW ビット（データ演算ビット幅選択）

このビットは、データ演算のビット幅を選択します。

DCSEL[2:0]ビット（検出条件選択）

これらのビットは、データ比較モード選択時のみ有効です。

これらのビットは、データ比較モードにおける検出条件を選択します。

DOPCIE ビット（データ演算回路割り込み許可）

このビットを 1 に設定すると、データ演算回路からの割り込みが許可されます。

40.2.2 DOSR: DOC フラグステータスレジスタ

Base address: DOC_B = 0x4010_9000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DOPCF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DOPCF	データ演算回路フラグ 演算結果を示します。	R
7:1	—	読むと 0 が読めます。	R

DOSR レジスタは、データ演算のステータスを表示するレジスタです。

DOPCF フラグ（データ演算回路フラグ）

[1 になる条件]

- DOCR.OMS[1:0]ビット = 00b（データ比較モード）: 比較した値が DOCR.DCSEL[2:0]ビットで選択された検出基準に一致している
- DOCR.OMS[1:0]ビット = 01b（データ加算モード）: データ加算の結果が FFFFh (DOCR.DOBW = 0) または FFFF_FFFFh (DOCR.DOBW = 1) より大きい
- DOCR.OMS[1:0]ビット = 10b（データ減算モード）: データ減算の結果が 0000h (DOCR.DOBW = 0) または 0000_0000h (DOCR.DOBW = 1) より小さい

[0 になる条件]

- DOSCR.DOPCFCL ビットに 1 を書いたとき

40.2.3 DOSCR : DOC フラグステータスクリアレジスタ

Base address: DOC_B = 0x4010_9000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DOPCFCL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DOPCFCL	DOPCF クリア 0: DOPCF フラグの状態を維持 1: DOPCF フラグをクリア	W
7:1	—	書く場合、0 としてください。	W

DOSCR は、データ操作のステータスをクリアできるレジスタです。このレジスタを読むと 0x00 が読めます。

DOPCFCL ビット（DOPCF クリア）

このビットを 1 にすると DOPCF フラグをクリアします。

40.2.4 DODIR : DOC データインプットレジスタ

Base address: DOC_B = 0x4010_9000

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	DODIR レジスタは、演算対象のデータを格納する読み書き可能なレジスタです。 DOCR.DOBW ビットによって選択されたデータ操作のビット幅で DODIR にアクセスします。	R/W

40.2.5 DODSR0 : DOC データ設定レジスタ 0

Base address: DOC_B = 0x4010_9000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	DOCR.DOBW ビットによって選択されたデータ操作のビット幅で DODSR0 にアクセスします。 このレジスタはデータ比較モードで基準として使用されるデータを格納します。ウィンドウ比較の選択時は (DOCR.DCSEL[2:0] = 100b, 101b)、DODSR1 未満の値を設定します (DODSR1 > DODSR0)。 また、データ加算モードおよびデータ減算モードでは演算結果を格納します。	R/W

40.2.6 DODSR1: DOC データ設定レジスタ 1

Base address: DOC_B = 0x4010_9000

Offset address: 0x14

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	DOCR.DOBW ビットによって選択されたデータ操作のビット幅で DODSR1 にアクセスします。 このレジスタはデータ比較モードで基準として使用されるデータを格納します。ウィンドウ比較の選択時は (DOCR.DCSEL[2:0] = 100b, 101b)、DODSR0 より大きい値を設定します (DODSR1 > DODSR0)。 このレジスタは、ウィンドウ比較にのみ使用されます。	R/W

40.3 動作説明

40.3.1 データ比較モード

図 40.2 から図 40.7 に、データ演算回路によるデータ比較モードの動作例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOCR.OMS[1:0]ビットに 00b を書き込んでデータ比較モードを選択し、DOCR.DCSEL[2:0]を設定して検出条件を選択します。
2. DODSR0 および DODSR1 レジスタに、基準となる 32 ビットのデータを設定します。(注1)
3. DODIR レジスタに、比較する 32 ビットのデータを書き込みます。
4. DODIR に書き込まれる値が、DOCR.DCSEL[2:0]によって設定された検出条件に一致した場合、DOCR.DOPCF フラグは 1 に設定され、ELC イベントが生成されます。また、DOCR.DOPCIE ビットが 1 の場合は、データ演算回路割り込みが発生します。

注. 比較演算は、DODIR に書き込むことによってのみ実行されます

注 1. DODSR1 レジスタ設定は、ウィンドウ比較が選択された場合のみ必要です。DODSR0 より大きい値を設定してください（DODSR1 ＞ DODSR0）。

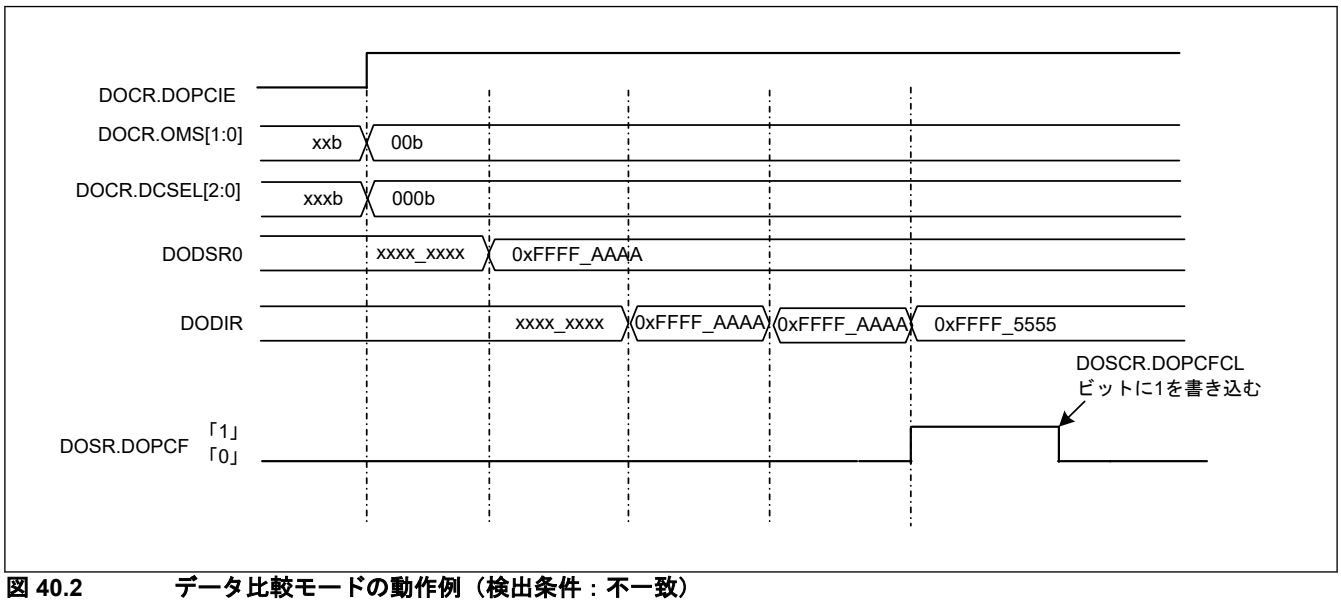


図 40.2 データ比較モードの動作例（検出条件：不一致）

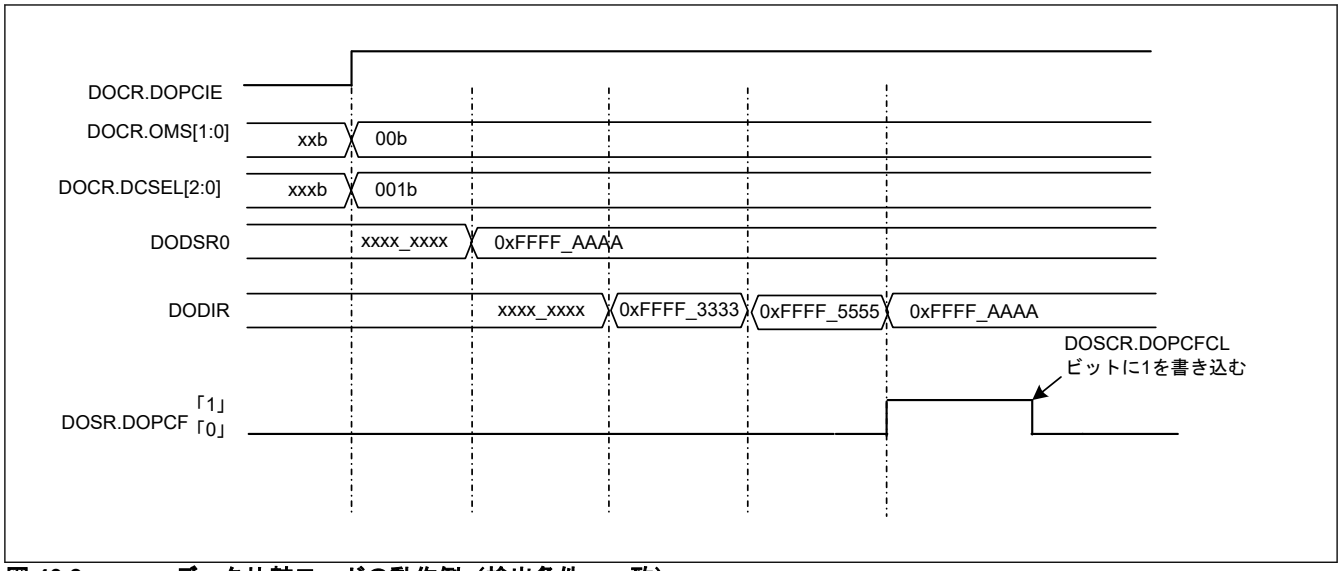


図 40.3　　データ比較モードの動作例（検出条件：一致）

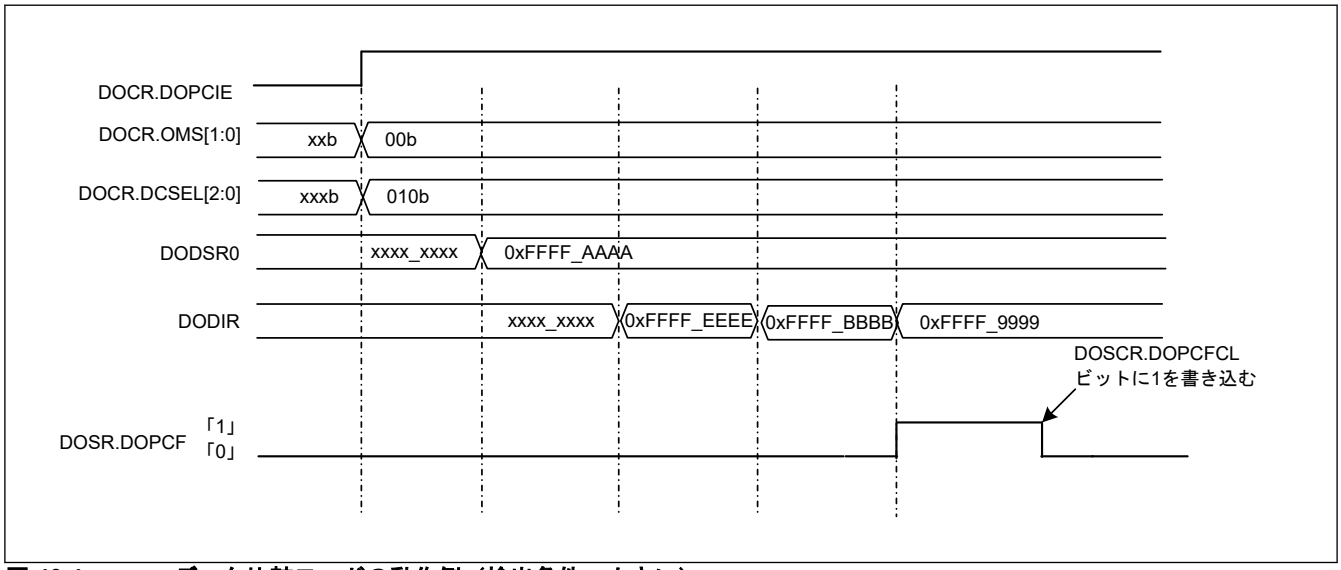


図 40.4　　データ比較モードの動作例（検出条件：小さい）

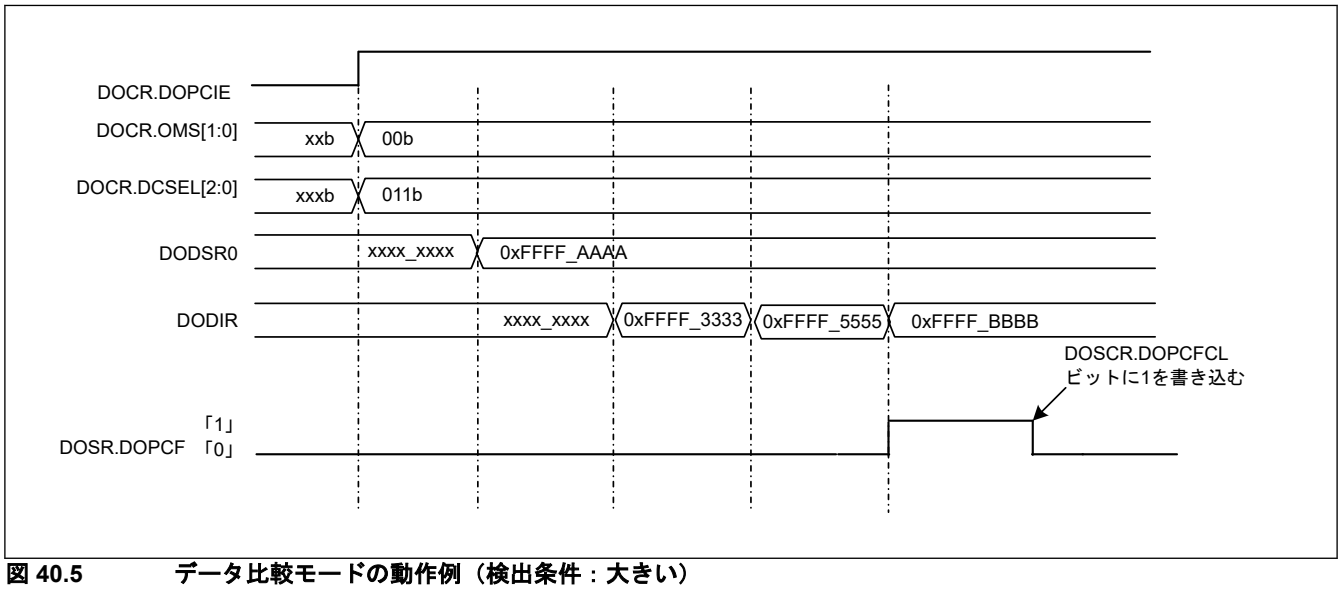


図 40.5　　データ比較モードの動作例（検出条件：大きい）

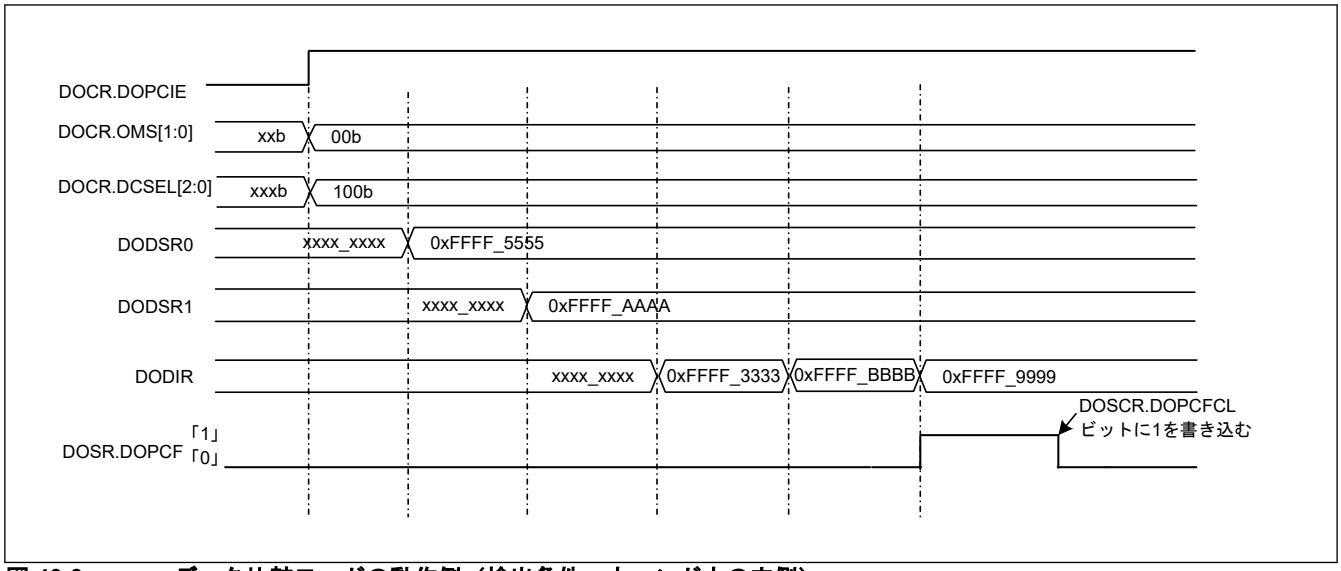


図 40.6　　データ比較モードの動作例（検出条件：ウィンドウの内側）

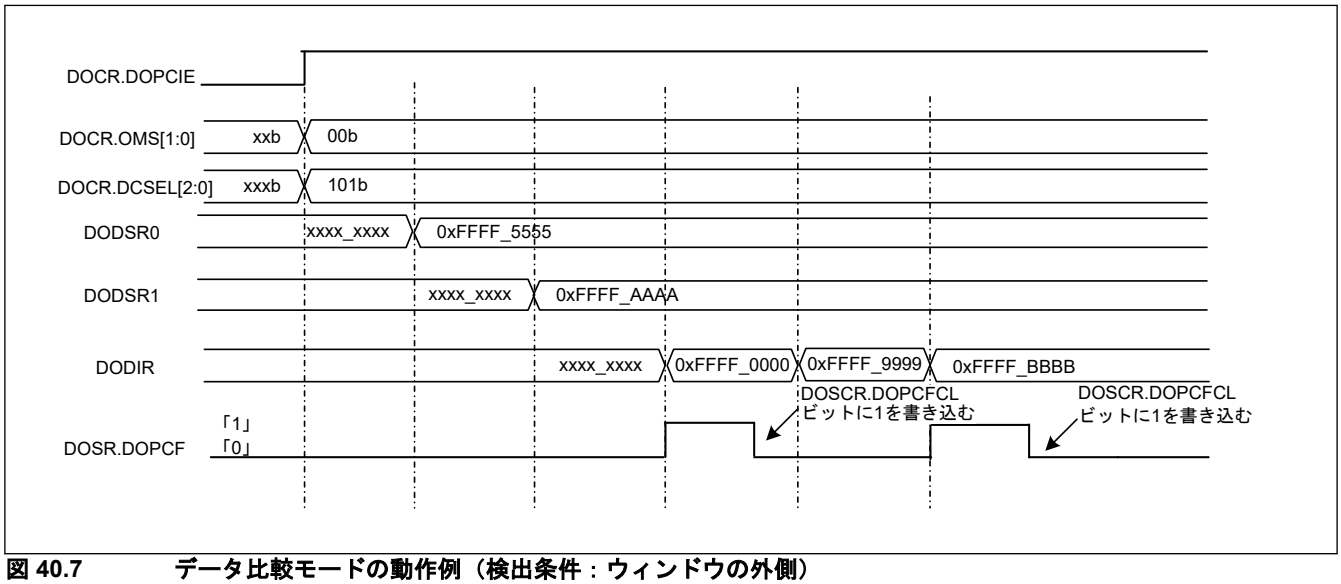


図 40.7　　データ比較モードの動作例（検出条件：ウィンドウの外側）

40.3.2　データ加算モード

図 40.8 に、データ演算回路によるデータ加算モード(注1)動作の手順例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOCR.OMS[1:0]ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR0 レジスタに初期値として 32 ビットのデータを設定します。
3. 加算される 32 ビットデータが DODIR に書き込まれます。演算結果は DODSR0 レジスタに格納されます。
4. 加算するすべてのデータの書き込みが完了するまで、続けて 32 ビットのデータを DODIR レジスタに書き込みます。
5. 加算結果が 0xFFFF_FFFF よりも大きくなったとき DOSR.DOPCF フラグが 1 になり、ELC イベントが生成されます。また、DOCR.DOPCIE ビットが 1 の場合は、データ演算回路割り込みが発生します。

注 1.　加算は、DODIR への書き込みによってのみ実行されます。

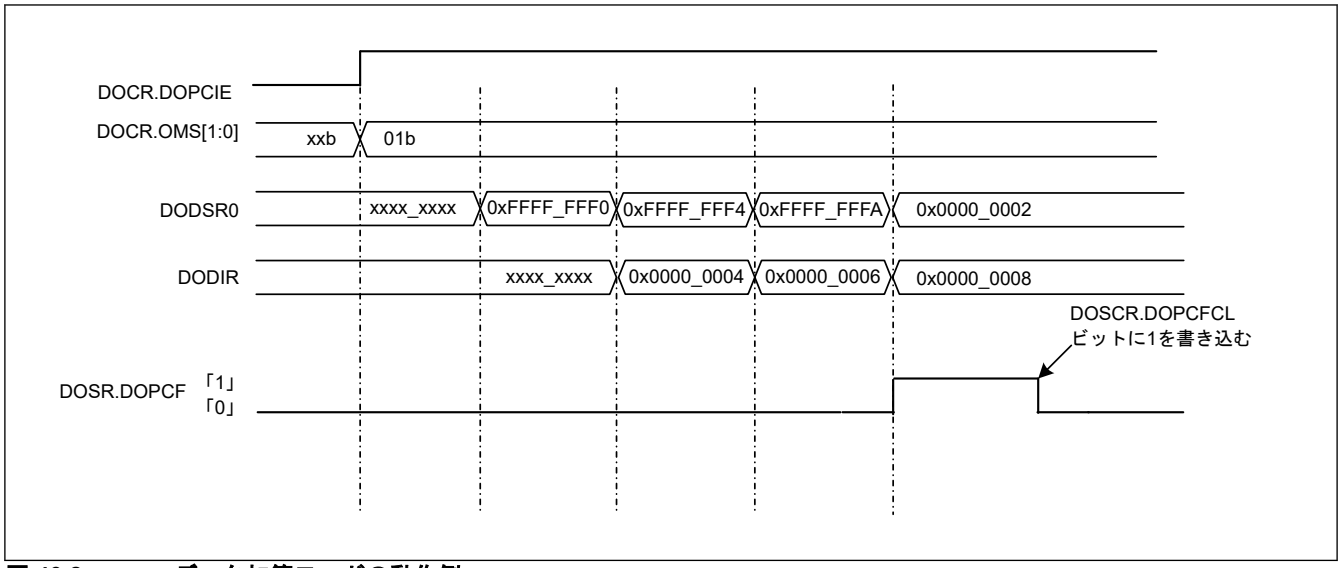


図 40.8　　データ加算モードの動作例

40.3.3　　データ減算モード

図 40.9 にデータ演算回路によるデータ減算モード(注1)の動作例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOCR.OMS[1:0]ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR0 レジスタに初期値として 32 ビットのデータを設定します。
3. DODIR レジスタに減算する 32 ビットのデータを書き込みます。演算結果は DODSR0 レジスタに格納されます。
4. すべての減算データの書き込みが完了するまで、DODIR レジスタに減算する 32 ビットのデータを書き込みます。
5. 演算結果が 0x0000_0000 よりも小さくなったとき DOSR.DOPCF フラグが 1 になり、ELC イベントが生成されます。また、DOCR.DOPCIE ビットが 1 の場合は、データ演算回路割り込みが発生します。

注 1.　減算は、DODIR への書き込みによってのみ実行されます。

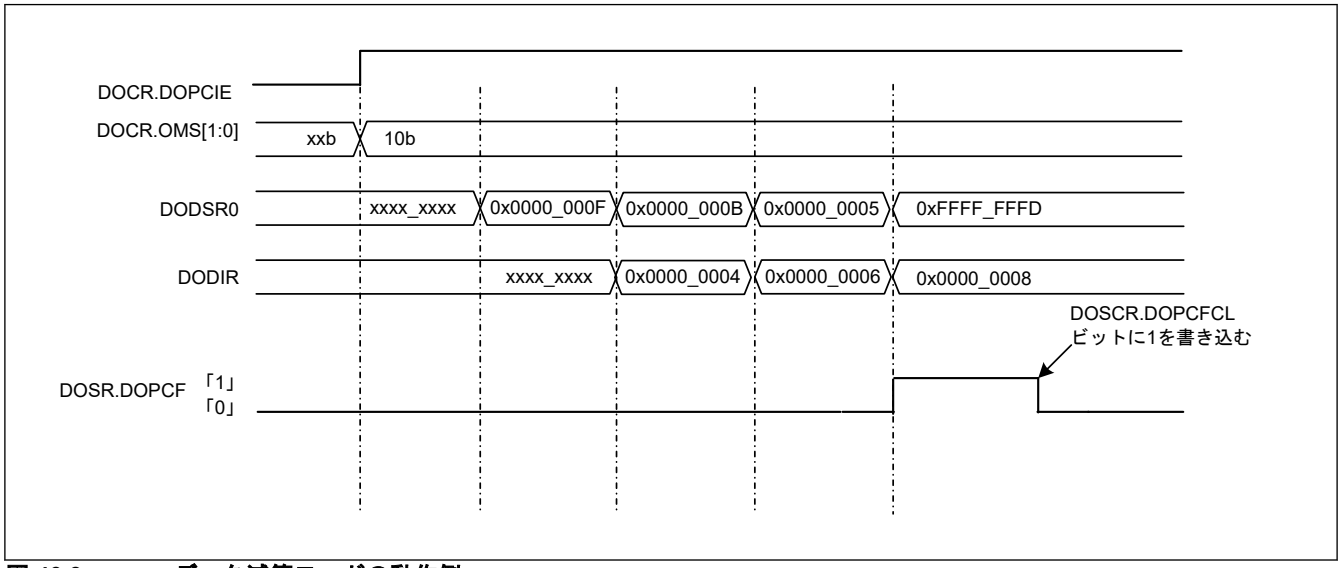


図 40.9　　データ減算モードの動作例

40.4 割り込み要因

データ演算回路は、割り込み要求としてデータ演算回路割り込み (DOC_DOPCI) を生成します。割り込み要因が発生すると、その割り込みに対応するデータ演算回路のフラグが 1 になり、データ演算回路割り込み許可ビットが有効になると、割り込み要求信号が生成されます。表 40.2 に割り込み要求の内容を示します。

表 40.2 DOC 割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
DOC 割り込み	DOPCF	• 比較した値が検出基準に一致している • データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい • データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい

40.5 イベントリンク出力

DOC は以下の条件でイベントリンクコントローラ (ELC) にイベント信号を出力することで、あらかじめ選択しておいた他のモジュールを動作させることが可能です。

- 比較した値が検出基準に一致している
- データの加算結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい
- データ減算結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい

40.6 割り込み処理とイベントリンクの関係

DOC には、割り込みを許可／禁止するビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが許可の場合に、CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

40.7 使用上の注意事項

40.7.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、DOC の動作禁止／許可を設定することが可能です。リセット後の値では、DOC の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

41. SRAM

41.1 概要

本 MCU は、エラー補正コード (ECC) を備えた高密度内蔵 SRAM モジュールを搭載しています。

SRAM の仕様を表 41.1 に示します。

表 41.1 SRAM の仕様

項目	内容
SRAM 容量	SRAM0: 64 KB
SRAM アドレス	SRAM0: 0x2000_0000～0x2000_FFFF
アクセス	ウェイトステートはリードサイクルに挿入されません。
データ保持機能	ディープソフトウェアスタンバイモード時は使用不可です。
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能です。
エラーチェック	SEC-DED (Single-Error Correction および Double-Error Detection Code)
セキュリティ	TrustZone フィルタはメモリアクセスと SFR アクセスに対して、統合されます。メモリ空間へのアクセスはメモリのセキュリティ属性 (SA) の設定により、制御されます。I/O 空間 (SFR) へのアクセスはレジスタのセキュリティ属性 (SA) の設定により、制御されます。「41.3.5. TrustZone フィルタ機能」を参照してください。

41.2 レジスタの説明

41.2.1 SRAMSAR : SRAM セキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SRAMSA2	—	SRAMSA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	SRAMSA0	SRAM 保護のレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
2	SRAMSA2	ECC 関連レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:3	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SRAMSA0 ビット（SRAM 保護のレジスタのセキュリティ属性）

スタンバイ SRAM 保護のレジスタのセキュリティ属性対象のレジスタを以下に示します。

- PARIOAD
- SRAMPRCR

SRAMSA2 ビット（ECC 関連レジスタのセキュリティ属性）

ECC 関連のレジスタのセキュリティ属性対象のレジスタを以下に示します。

- ECCMODE
- ECC2STS
- ECC1STSEN
- ECC1STS
- ECCPRCR
- ECCPRCR2
- ECCETST
- ECCOAD

41.2.2 PARIOAD : SRAM パリティエラー検出後動作レジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

PARIOAD レジスタは、パリティエラー検出時の動作を制御します。本レジスタへの書き込みは SRAM プロテクトレジスタ (SRAMPRCR) によって保護されています。このビットに書き込む前に、常に SRAMPRCR レジスタの SRAMPRCR ビットを 1 に設定してください。SRAM にアクセス中は、PARIOAD レジスタへ書き込まないでください。

OAD ビット（検出後の動作）

OAD ビットは、パリティエラーが検出された場合、リセットまたはノンマスカブル割り込みのどちらを発生させるかを指定します。OAD ビットはスタンバイ SRAM に対して共用です。

41.2.3 SRAMPRCR : SRAM プロテクトレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	KW[6:0]							SRAM PRCR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SRAMPRCR	レジスタ書き込み制御 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW[6:0]	書き込みキーコード SRAMPRCR ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

SRAMPRCR ビット（レジスタ書き込み制御）

SRAMPRCR ビットは、PARIOAD レジスタのライトモードを制御します。1 にすると PARIOAD レジスタへの書き込みが許可されます。本ビットに書き込む場合は、常に KW[6:0]ビットに 0x78 を同時に書き込んでください。

KW[6:0]ビット（書き込みキーコード）

KW[6:0]ビットは、SRAMPRCR ビットへの書き込みを許可または禁止します。SRAMPRCR ビットに書き込む場合、常にそれらのビットに 0x78 を同時に書き込んでください。0x78 以外の値を KW[6:0]ビットに書き込むと、SRAMPRCR ビットは更新されません。KW[6:0]ビットは読むと常に 0x00 が読み出されます。

41.2.4 ECCMODE : ECC 動作モードコントロールレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ECCMOD[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ECCMOD[1:0]	ECC 動作モード選択 0 0: ECC 機能は無効 0 1: 設定禁止 1 0: ECC 機能は有効／エラーチェックなし 1 1: ECC 機能は有効／エラーチェックあり	R/W
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

ECCMODE レジスタは ECC の動作モードを設定するレジスタです。本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR レジスタの ECCPRCR ビットを 1 にして書き込み保護を解除してから、本レジスタへの書き込みを行ってください。ECCMODE レジスタへの書き込み中は、SRAM にアクセスしないでください。

ECCMOD[1:0]ビット（ECC 動作モード選択）

ECCMOD[1:0]ビットは SRAM0 ECC 動作モードを設定します。

41.2.5 ECC2STS : ECC 2 ビットエラーステータスレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC1

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ECC2ERR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECC2ERR	ECC 2 ビットエラーステータス 0: ECC 2 ビットエラー発生なし 1: ECC 2 ビットエラー発生	R/W(注1)
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. ビットをクリアするための 0 の書き込みのみ可能です。

ECC2ERR ビット（ECC 2 ビットエラーステータス）

ECC2ERR ビットは SRAM0 で ECC 2 ビットエラーが発生したかどうかを示します。ECC 有効／エラーチェックありの場合、2 ビットエラーが検出されると、ECC2ERR ビットが 1 になります。SRAM エラー信号も同時にアサートされます。ECC2ERR ビットに 0 を書き込むことにより、ECC 2 ビットエラーをクリアできます。

SRAM エラーには、ECCOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。このレジスタに 0 を書き込む間、SRAM0 にはアクセスしないでください。

41.2.6 ECC1STSEN : ECC 1 ビットエラー情報更新イネーブルレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	E1STSEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	E1STSEN	ECC 1 ビットエラー情報更新許可 0: ECC 1 ビットエラー情報の更新禁止 1: ECC 1 ビットエラー情報の更新許可	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

ECC1STSEN レジスタは、SRAM0 の ECC 1 ビットエラー発生時に、ECC 1 ビットエラーステータスレジスタ (ECC1STS) の更新を許可／禁止します。

本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR レジスタの ECCPRCR ビットを 1 にして書き込み保護を解除してから、本レジスタへの書き込みを行ってください。

E1STSEN ビット（ECC 1 ビットエラー情報更新許可）

E1STSEN ビットは、SRAM0 の 1 ビットエラー発生時に、SRAM0 の 1 ビットエラーステータスレジスタ (ECC1STS) の更新を許可／禁止します。このレジスタは、割り込みまたはリセットマスクとしても機能します。

41.2.7 ECC1STS : ECC 1 ビットエラーステータスレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC3

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ECC1ERR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECC1ERR	ECC 1 ビットエラーステータス 0: ECC 1 ビットエラー発生なし 1: ECC 1 ビットエラー発生	R/(W) (注1)
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. ビットをクリアするための 0 の書き込みのみ可能です。

ECC1ERR ビット（ECC 1 ビットエラーステータス）

ECC1ERR ビットは SRAM0 で ECC 1 ビットエラーが発生したかどうかを示します。ECC 動作が許可され、エラーチェックが選択されている状態で 1 ビットエラーが検出されると、ECC1ERR ビットは 1 になります。SRAM エラー信号も同時にアサートされます。ECC1ERR ビットに 0 を書き込むことにより、ECC 1 ビットエラーをクリアできます。

SRAM エラーには、ECCOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。本レジスタに 0 を書き込む間、SRAM0 にアクセスしないでください。

41.2.8 ECCPRCR : ECC プロテクトレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	KW[6:0]							ECCPRCR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECCPRCR	レジスタ書き込み制御 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW[6:0]	書き込みキーコード 0x78: ECCPRCR ビットへの書き込み許可 その他: ECCPRCR ビットへの書き込みを禁止	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

ECCPRCR ビット（レジスタ書き込み制御）

ECCPRCR ビットは、ECCMODE レジスタ、ECC1STSEN レジスタ、ECCOAD レジスタの書き込みを制御します。本ビットが 1 のとき、ECCMODE レジスタ、ECC1STSEN レジスタ、ECCOAD レジスタへの書き込みが許可されます。本ビットへ書き込む際は、同時に KW[6:0]ビットに 0x78 を書き込んでください。

KW[6:0]ビット（書き込みキーコード）

KW[6:0]ビットは、ECCPRCR ビットへの書き込みを許可または禁止します。ECCPRCR ビットに書き込む場合、同時に KW[6:0]ビットに 0x78 を書き込んでください。0x78 以外の値を KW[6:0]ビットに書き込むと、ECCPRCR ビットは更新されません。KW[6:0]ビットは読むと常に 0x00 が読み出されます。

41.2.9 ECCPRCR2 : ECC プロテクトレジスタ 2

Base address: SRAM = 0x4000_2000

Offset address: 0xD0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	KW2[6:0]							ECCPRCR2
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECCPRCR2	レジスタ書き込み制御 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW2[6:0]	書き込みキーコード 0x78: ECCPRCR2 ビットへの書き込み許可 その他: ECCPRCR2 ビットへの書き込みを禁止	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

ECCPRCR2 ビット（レジスタ書き込み制御）

ECCPRCR2 ビットは、ECCETST レジスタのライトモードを制御します。ECCPRCR2 ビットが 1 のとき、ECCETST レジスタへの書き込みが許可されます。本ビットに書き込む場合、同時に KW2[6:0]ビットに 0x78 を書き込んでください。

KW2[6:0]ビット（書き込みキーコード）

KW2[6:0]ビットは、ECCPRCR2 ビットへの書き込みを許可または禁止します。ECCPRCR2 ビットに書き込む場合、同時に KW2[6:0]ビットに 0x78 を書き込んでください。0x78 以外の値を KW2[6:0]ビットに書き込むと、ECCPRCR2 ビットは更新されません。KW2[6:0]ビットは読むと常に 0x00 が読み出されます。

41.2.10 ECCETST : ECC テストコントロールレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xD4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TSTBYP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSTBYP	ECC バイパス選択 0: ECC バイパスは無効 1: ECC バイパスは有効	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

本レジスタへの書き込みは ECC プロテクトレジスタ 2 (ECCPRCR2) によって保護されています。まず、ECCPRCR2 レジスタの ECCPRCR2 ビットを 1 にして書き込み保護を解除してから、本レジスタへの書き込みを行ってください。ECCETST レジスタへの書き込み中は、SRAM にアクセスしないでください。

TSTBYP ビット（ECC バイパス選択）

TSTBYP ビットは、ECC 機能をバイパスして ECC コードへの直接アクセスを許可します。ECC バイパス機能は、ECCMODE.ECCMOD[1:0]ビットを 00b にして使用します。ECC は、32 ビットデータと同じアドレスで、32 ビットでアクセスしてください。ECC コードは、32 ビットデータの下位 7 ビットに割り当てられます。ECC コード書き込みの際、上位 25 ビットは無視されます。ECC コード読み出しの際、上位 25 ビットは不定値が読み出されます。

注. ECC テストの詳細については、「41.3.4. ECC デコーダのテスト方法」を参照してください。

41.2.11 ECCOAD : SRAM ECC エラー検出後動作レジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xD8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR レジスタの ECCPRCR ビットを 1 にして書き込み保護を解除してから、本レジスタへの書き込みを行ってください。ECCOAD レジスタへの書き込み中は、SRAM にアクセスしないでください。

OAD ビット（検出後の動作）

OAD ビットは、ECC エラーが検出された場合にリセットとノンマスカブル割り込みのどちらを発生させるか選択します。ECCOAD.OAD ビットは、SRAM0 で使用されます。

41.3 動作説明

41.3.1 モジュールストップ機能

モジュールストップコントロールレジスタ A (MSTPCRA) の設定により、SRAM へのクロック供給を停止することで、消費電力を低減することが可能です。

SRAM0 は、MSTPCRA レジスタの SRAM0 ビットで制御し、これを 1 にすると、SRAM0 はクロック停止状態になります。

クロック供給の停止により、SRAM はモジュールストップ状態になります。リセット後は、SRAM は動作します。

モジュールストップ状態になると、SRAM へのアクセスができなくなります。SRAM のアクセス中は、モジュールストップ状態へ遷移しないでください。

モジュールストップ状態のとき、SRAM へのアクセスは禁止です。アクセスした場合の正常動作については保証できません。

MSTPCRA レジスタの詳細については、「10. 低消費電力モード」を参照してください。

41.3.2 ECC 誤り訂正機能

ECCMODE レジスタの設定によって、ECC 誤り訂正の有効・無効を選択することができます。初期状態では、ECC 誤り訂正は無効です。ECC チェックのタイプは、SEC-DED（Single-Error-Correction/Double-Error-Detection Code：単一誤り訂正/二重誤り検出符号）です。

ECC 機能が有効な場合、書き込み時は、32 ビットのデータに 7 ビットのチェックビットが付与されます。読み出し時は SRAM から 39 ビット（データ：32 ビット、チェックビット：7 ビット）のデータが読み出されます。

ECCMODE.ECCMOD[1:0]ビットを 00b に設定して「ECC 有効／エラーチェックあり」とした場合、1 ビットエラーが発生すると誤り訂正が実行され、ECC1STSEN.E1STSEN ビットが 1 のときは ECC1STS.ECC1ERR ビットが 1 になります。2 ビットエラーが発生すると、誤り検出が実行され、ECC2STS.ECC2ERR ビットが 1 になりますが、誤り訂正は実行されません。

「ECC 有効／エラーチェックなし」の場合、1 ビットエラーが発生すると誤り訂正が実行されますが、ECC1STSEN.E1STSEN ビットが 1 でも ECC1STS.ECC1ERR ビットは更新されません。2 ビットエラーが発生すると、この誤りは検出されますが、ECC2STS.ECC2ERR ビットは更新されず、誤り訂正も実行されません。

ECC 機能が無効の場合、1 ビットエラーまたは 2 ビットエラーが発生しても、誤り訂正と誤り検出は実行されません。

そのため、ECC1ERR ビットと ECC2ERR ビットは更新されません。

エラーを検出した場所を確認する方法はありません。したがって、エラー発生後は、全データを更新してください。

エラー発生後の全データ更新時には、32 ビットデータ書き込みだけがサポートされます。

電源投入後およびディープソフトウェアスタンバイモード解除後、SRAM データは不定であるため、「ECC 有効／エラーチェックあり」モードで SRAM にアクセスを行うと ECC エラーが発生します。したがって、ECC 機能使用前には、SRAM 内で使用する領域に 32 ビットデータサイズの初期書き込みを行ってください。

ライトアクセスの後にリードアクセスを続けて実行すると、リードアクセスが優先的に実行されます。したがって、初期化中は、ライトアクセスの後に続けてリードアクセスを行わないでください。

41.3.3 ECC エラー割り込み機能

SRAM が「ECC 有効／エラーチェックあり」の場合、ECC 2 ビットエラーを示す ECC2STS.ECC2ERR ビット、または ECC 1 ビットエラーを示す ECC1STS.ECC1ERR ビットのいずれかが 1 になると、ECC エラーが発生します。

ECC エラーは、ICLK のパルス幅で出力されます。なお、ECC1 ビットエラーをマスクしたい場合は、ECC1STSEN.E1STSEN ビットを 0 にして、ECC1ERR ビットの更新を禁止してください。ECC 機能の無効時、または「ECC 有効／エラーチェックなし」の場合、ECC エラーは発生しません。

ECC エラーは、ノンマスカブル割り込みまたは ECCOAD レジスタによるリセットのいずれかを選択できます。ECCOAD レジスタの OAD ビットが 1 のとき、ECC エラーはリセット機能に出力されます。ECCOAD レジスタの OAD ビットが 0 のとき、ECC エラー割り込みはノンマスカブル割り込みとして ICU に出力されます。

41.3.4 ECC デコーダのテスト方法

図 41.1 に ECC デコーダのテスト方法を示します。

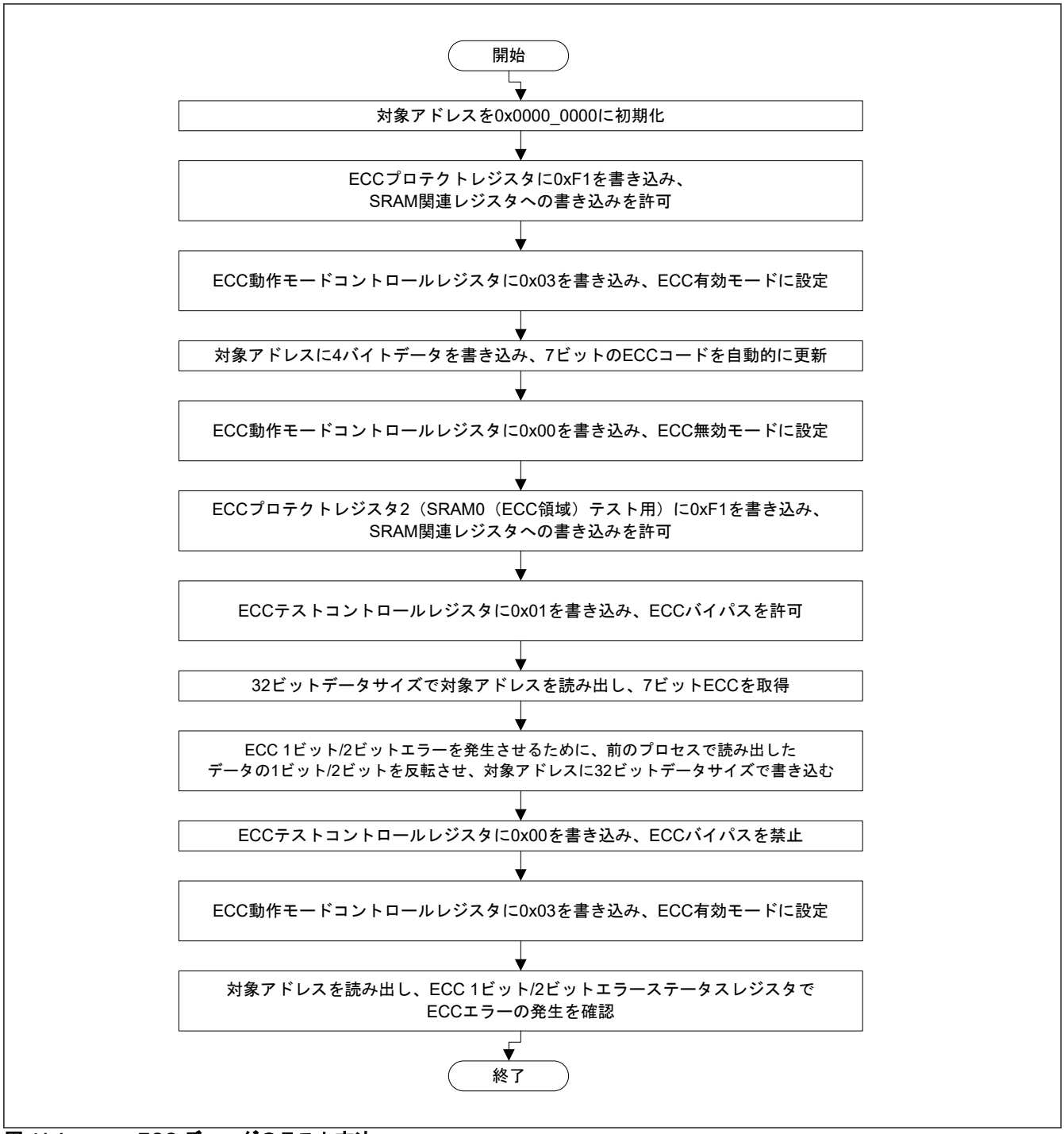


図 41.1 ECC デコーダのテスト方法

41.3.5 TrustZone フィルタ機能

SRAM には、2 種類の TrustZone フィルタ機能があります。

- SRAM レジスタ保護用 TrustZone フィルタ
- SRAM メモリ保護用 TrustZone フィルタ

41.3.5.1 SRAM レジスタ保護用 TrustZone フィルタ

SRAM レジスタは、セキュリティ属性 (SA) に応じて非セキュアアクセスから保護できます。SRAM レジスタがセキュア状態であることを SA が示しているときは、TrustZone フィルタがエラーを検出し、書き込みアクセスか

ら保護するため、非セキュアアクセスはこのレジスタを上書きできません。SRAM レジスタの SA は、各 SRAM レジスタ間共通で同一の設定となります。

表 41.2 レジスタの保護

SA	アクセス状態	ライトアクセス	リードアクセス
セキュア	セキュア	許可	許可
	非セキュア	TrustZone フィルタエラー保護	許可
非セキュア	セキュア	許可	許可
	非セキュア	許可	許可

SRAM レジスタアクセスで TrustZone フィルタエラーが発生したときは、エラー通知やエラー応答を生成しません。

41.3.5.2 SRAM メモリ保護用 TrustZone フィルタ

SRAM メモリは、メモリセキュリティ属性 (Memory Security Attribution: MSA) により、Secure／Non secure callable／Non secure に分けられ、非セキュアアクセスから保護できます。MSA が Secure か Non secure callable 属性である SRAM メモリ領域の場合、非セキュアアクセスで上書きできません。

表 41.3 メモリプロテクション

SA	アクセス状態	ライトアクセス	リードアクセス
セキュア／非セキュアコーラブル	セキュア	許可	許可
	非セキュア	TrustZone フィルタエラー • 保護 • エラー応答を生成	TrustZone フィルタエラー • 読み出しデータは 0 • エラー応答を生成
非セキュア	セキュア	許可	許可
	非セキュア	許可	許可

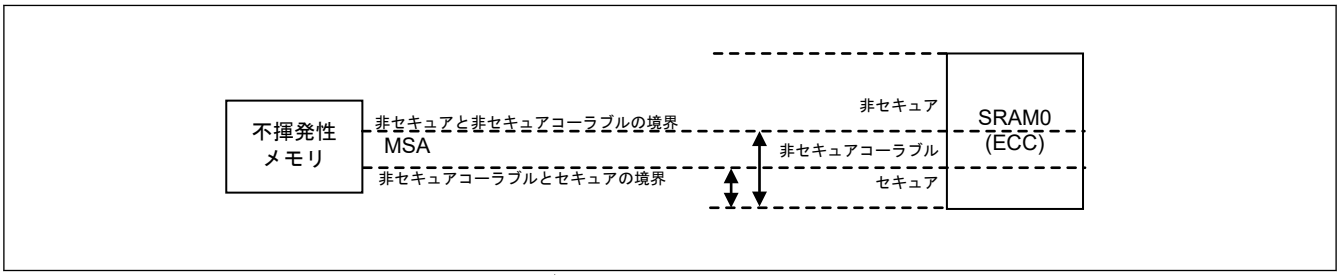


図 41.2 SRAM メモリ用 TrustZone フィルタ

SRAM メモリアクセスで TrustZone フィルタエラーが発生する場合、リセット要求か NMI 要求となるエラー通知を生成します。「45.2. Arm TrustZone セキュリティ」を参照してください。

41.3.6 割り込み要因

SRAM 割り込み要因には、ECC エラー、TrustZone フィルタエラーがあります。ECC エラーは、ノンマスカブル割り込みまたは OAD ビットによるリセットのいずれかを選択できます。デバッガが接続されている場合、リセットとノンマスカブル割り込みはマスクできます。また、それらのマスクがデバッガにより設定された場合、ECC エラーが発生しても各ステータスレジスタは設定されません。デバッグモードの詳細は、「2. CPU」を参照してください。

表 41.4 SRAM 割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
ECCERR	ECC エラー	不可能	不可能
TZFLT	TrustZone フィルタエラー	不可能	不可能

41.3.7 アクセスサイクル

■ CPU からのサイクル数

- キャッシュがヒットしたとき、アクセスは 1 サイクル
- キャッシュオフ、ノンキャッシャブルの場合

表 41.5 SRAM0

レジスタ設定	リード（サイクル）		ライト（サイクル）	
	ワードアクセス	ハーフワード／バイトアクセス	ワードアクセス	ハーフワード／バイトアクセス
ECC オフ ECCMOD[1] = 0	3		2(注1)	
ECC オン ECCMOD[1] = 1	3		2(注1)	4

注 1. ライトの後同じメモリへのリードアクセスが生じたとき、アクセス効率のため、先行したライトコマンドによるメモリライトが次のアイドルサイクルか次のライトアクセスまで、そのライトアクセスを待たせます。リードが連続するときは、リードを優先します。

- キャッシュオン、キャッシャブル（キャッシュミスヒット）の場合

表 41.6 SRAM0

レジスタ設定	リード（サイクル）		ライト（サイクル）	
	ワードアクセス	ハーフワード／バイトアクセス	ワードアクセス	ハーフワード／バイトアクセス
ECC オフ ECCMOD[1] = 0	3		1(注1)	
ECC オン ECCMOD[1] = 1	3		1(注1)	

注 1. ライトの後同じメモリへのリードアクセスが生じたとき、アクセス効率のため、先行したライトコマンドによるメモリライトが次のアイドルサイクルか次のライトアクセスまで、そのライトアクセスを待たせます。リードが連続するときは、リードを優先します。

41.3.8 ECC エンコード仕様

ECC エンコード仕様を以下の表に示します。以下の計算式による ECC コード (eout [6:0]) をライトデータの上位 7 ビット (din [38:32]) に加え、SRAM に書き込んでください。

表 41.7 ECC エンコード

ECC コード	計算式
eout[6]	(din[13] ^ din[12] ^ din[11] ^ din[10] ^ din[9] ^ din[8] ^ din[7] ^ din[6] ^ din[5] ^ din[4] ^ din[3] ^ din[2] ^ din[1] ^ din[0])
eout[5]	(din[23] ^ din[22] ^ din[21] ^ din[20] ^ din[19] ^ din[18] ^ din[17] ^ din[16] ^ din[15] ^ din[14] ^ din[3] ^ din[2] ^ din[1] ^ din[0])
eout[4]	(din[29] ^ din[28] ^ din[27] ^ din[26] ^ din[25] ^ din[24] ^ din[17] ^ din[16] ^ din[15] ^ din[14] ^ din[7] ^ din[6] ^ din[5] ^ din[4])
eout[3]	(din[31] ^ din[30] ^ din[26] ^ din[25] ^ din[24] ^ din[20] ^ din[19] ^ din[18] ^ din[14] ^ din[10] ^ din[9] ^ din[8] ^ din[4] ^ din[0])
eout[2]	(din[31] ^ din[30] ^ din[28] ^ din[27] ^ din[24] ^ din[22] ^ din[21] ^ din[18] ^ din[15] ^ din[12] ^ din[11] ^ din[8] ^ din[5] ^ din[1])
eout[1]	~(din[30] ^ din[29] ^ din[27] ^ din[25] ^ din[23] ^ din[21] ^ din[19] ^ din[16] ^ din[13] ^ din[11] ^ din[9] ^ din[6] ^ din[2] ^ din[0])
eout[0]	~(din[31] ^ din[29] ^ din[28] ^ din[26] ^ din[23] ^ din[22] ^ din[20] ^ din[17] ^ din[13] ^ din[12] ^ din[10] ^ din[7] ^ din[3] ^ din[0])

注. eout[6:0] = ECC コード、din[31:0] = ライトデータ

42. スタンバイ SRAM

42.1 概要

スタンバイ SRAM は、ディープソフトウェアスタンバイモードでデータを保持する内蔵 SRAM です。表 42.1 に、スタンバイ SRAM の仕様を示します。

表 42.1 スタンバイ SRAM の仕様

項目	内容
SRAM 容量	1 KB
SRAM アドレス	0x2800_0000～0x2800_03FF
アクセス	スタンバイ RAM クロックは、PCLKB と同じクロックです。詳細は、「42.3.5. アクセスサイクル」を参照してください。
データ保持機能	ディープソフトウェアスタンバイモード時、データを保持可能です。詳細は、「42.3.1. データ保持」を参照してください。
パリティ	偶数パリティ（データ：8 ビット、パリティ：1 ビット）
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減します。詳細は、「42.3.2. モジュールストップ機能の設定」を参照してください。
セキュリティ	TrustZone フィルタ機能に従うスタンバイ RAM の読み出し、書き出し動作が可能です。詳細は、「42.3.4. TrustZone フィルタ機能」を参照してください。

42.2 レジスタの説明

42.2.1 STBRAMSAR：スタンバイ RAM メモリセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	NSBSTBR[3:0]			
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0

ビット	シンボル	機能	R/W
3:0	NSBSTBR[3:0]	スタンバイ RAM 各領域のセキュリティ属性 0x0: 領域 7～0 は全てセキュア 0x1: 領域 7 は非セキュア、領域 6～0 はセキュア 0x2: 領域 7～6 は非セキュア、領域 5～0 はセキュア 0x3: 領域 7～5 は非セキュア、領域 4～0 はセキュア 0x4: 領域 7～4 は非セキュア、領域 3～0 はセキュア 0x5: 領域 7～3 は非セキュア、領域 2～0 はセキュア 0x6: 領域 7～2 は非セキュア、領域 1～0 はセキュア 0x7: 領域 7～1 は非セキュア、領域 0 はセキュア その他: 領域 7～0 は全て非セキュア	R/W
31:4	—	読むと 1 が読めます。	R

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

NSBSTBR[3:0]ビット（スタンバイ RAM 各領域のセキュリティ属性）

スタンバイ RAM は、8 つの領域に分割されています。各領域は、NSBSTBR[3:0]ビットでセキュア／非セキュアに設定できます。

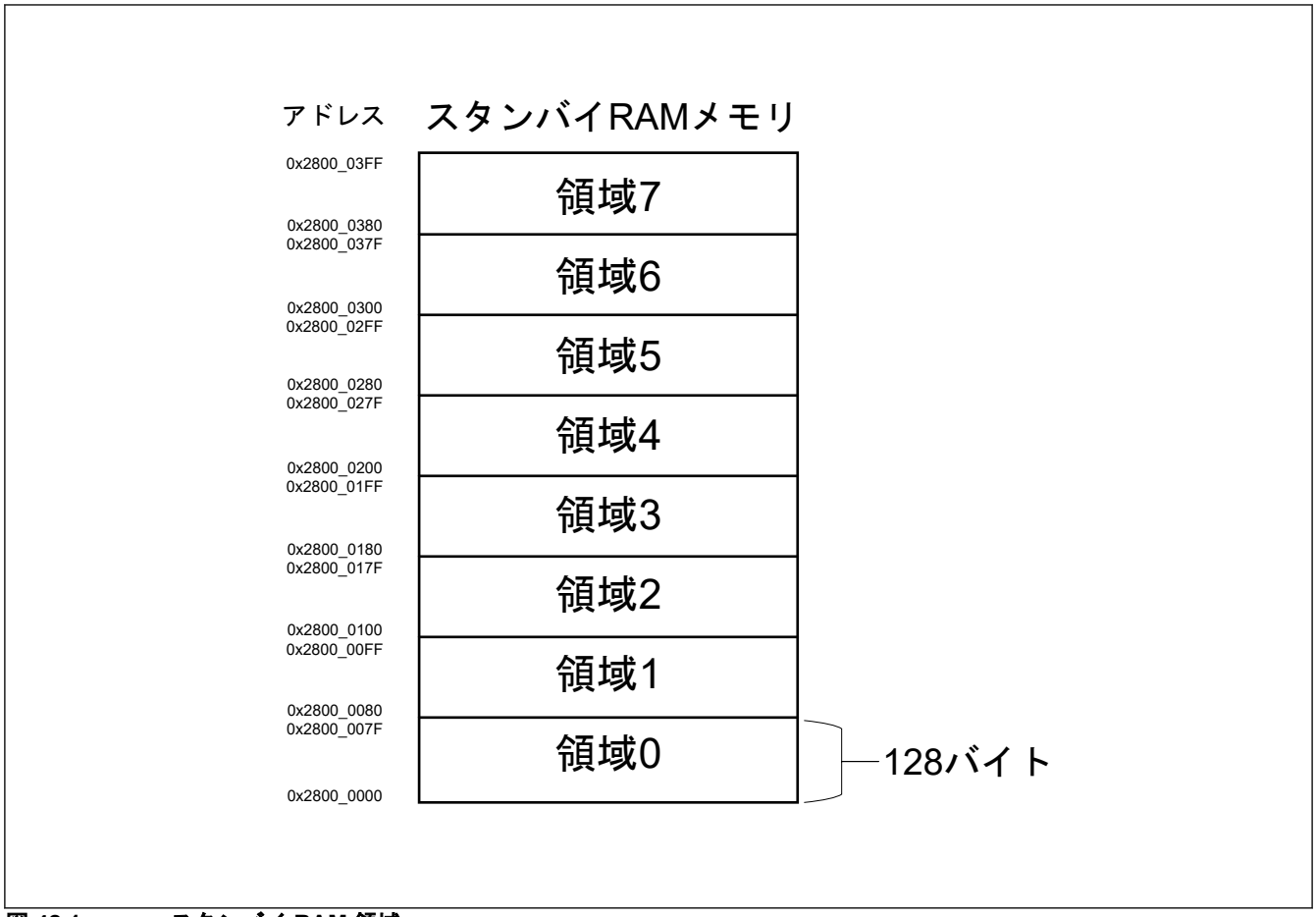


図 42.1 スタンバイ RAM 領域

42.3 動作説明

42.3.1 データ保持

DPSBYCR.DEEPCUT[1:0]ビットの設定により、ディープソフトウェアスタンバイモード時にスタンバイ SRAM へ電源を供給できます。DPSBYCR.DEEPCUT[1:0]ビットが 00b の場合、スタンバイ SRAM のデータをディープソフトウェアスタンバイモードで保持できます。DPSBYCR.DEEPCUT[1:0]ビットの詳細については、「10. 低消費電力モード」を参照してください。

42.3.2 モジュールストップ機能の設定

モジュールストップコントロールレジスタ A (MSTPCRA) の設定により、SRAM へのクロック供給を停止することで、消費電力を低減することが可能です。

MSTPCRA レジスタのスタンバイ SRAM ビットを 1 にすると、スタンバイ SRAM に供給されるクロック信号が停止します。

クロック供給の停止により、スタンバイ SRAM はモジュールストップ状態になります。リセット後は、スタンバイ SRAM は動作状態になります。

モジュールストップ状態になると、スタンバイ SRAM へのアクセスができなくなります。スタンバイ SRAM のアクセス中は、モジュールストップ状態へ遷移しないでください。

MSTPCRA レジスタの詳細については、「10. 低消費電力モード」を参照してください。

42.3.3 パリティ計算機能

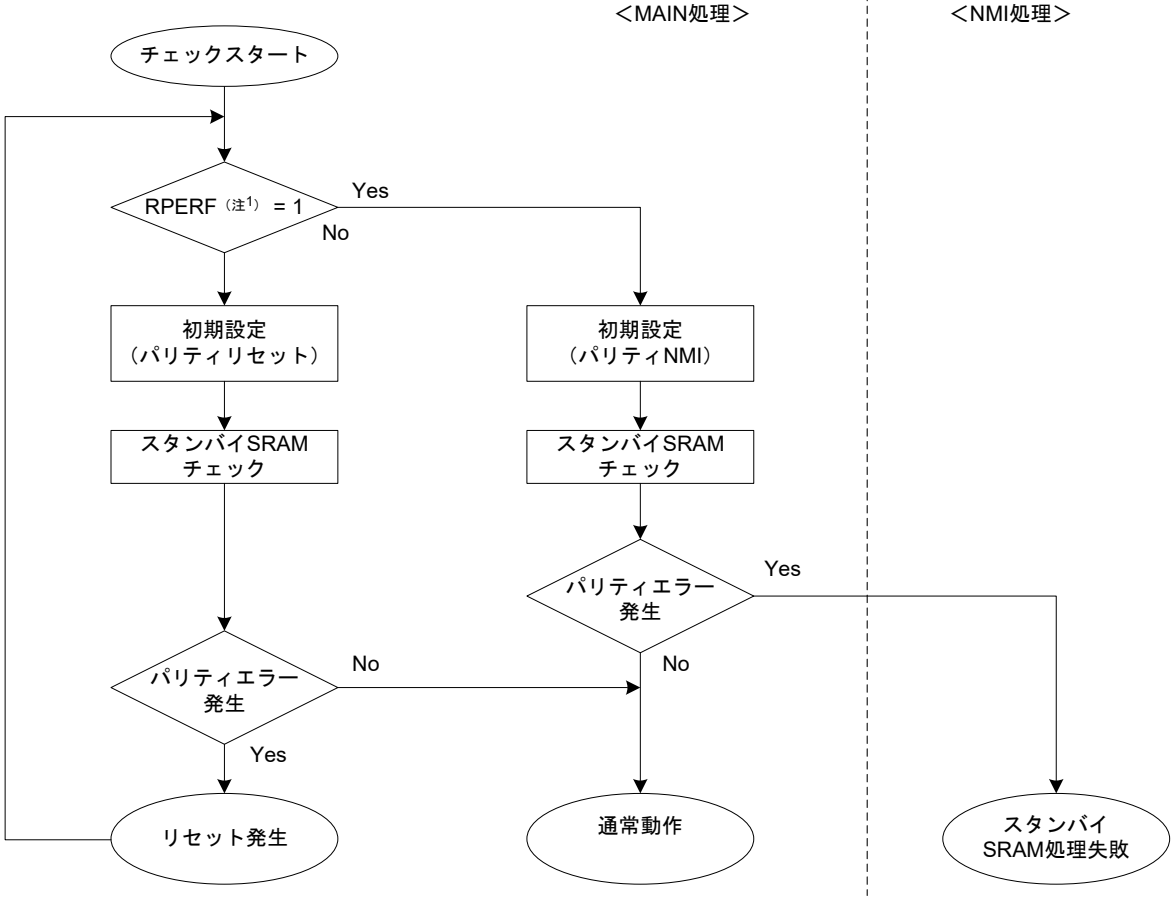
IEC60730 規格に準拠するには、SRAM データのチェックが必要です。データ書き込み時に 32 ビットデータ幅のスタンバイ SRAM に格納されている 8 ビットデータごとにパリティビットが付与され、データ読み出し時にパリ

ティチェックが行われます。パリティエラーが発生すると、パリティエラー通知が生成されます。この機能は、リセットを実行するためにも使用できます。

パリティエラー通知には、SRAM.PARIOAD.OAD ビットで、ノンマスカブル割り込みまたはリセットのいずれかを指定できます。OAD ビットが 1 のとき、パリティエラーはリセット機能に出力されます。OAD ビットが 0 のとき、パリティエラーはノンマスカブル割り込みとして ICU に出力されます。

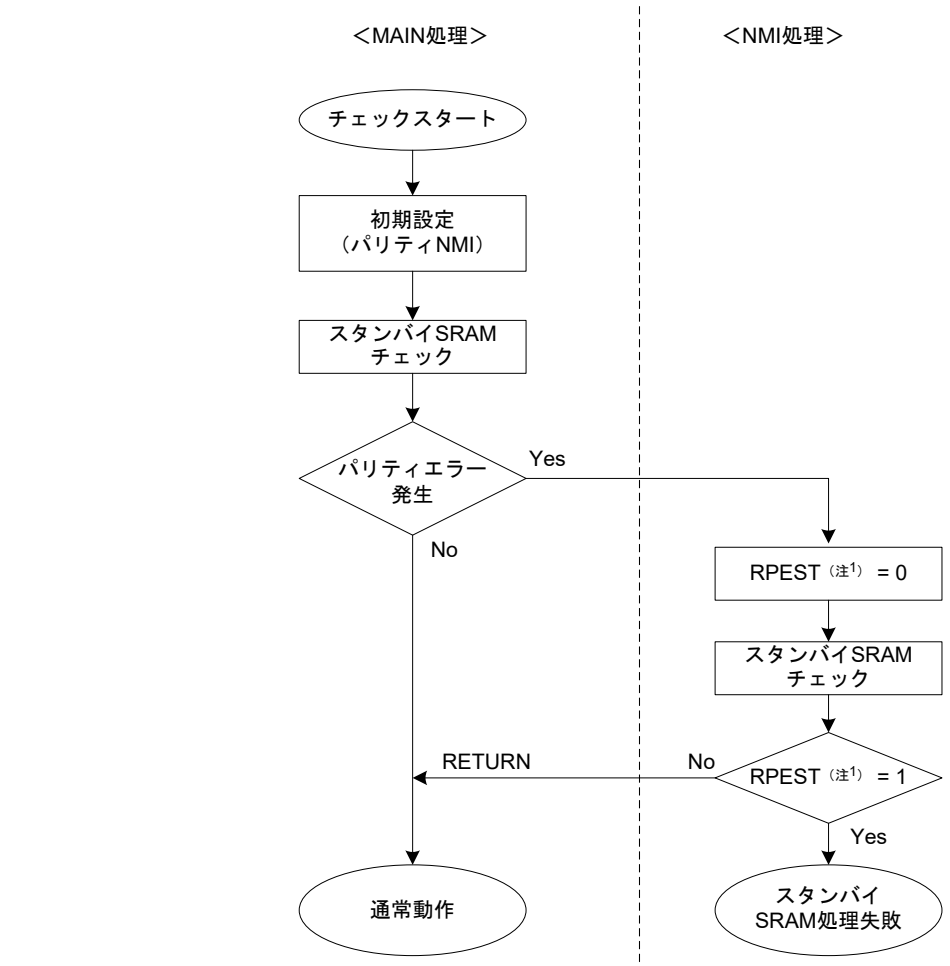
パリティエラーはしばしばノイズにより発生します。パリティエラーの原因がノイズか破損かを確認するには、図 42.2 および図 42.3 に示されたパリティチェックフローに従います。

ライトアクセスの後にリードアクセスを続けて実行すると、リードアクセスが優先的に実行されます。したがって、初期化中は、ライトアクセスの後に続けてリードアクセスを行わないでください。



注 1. RPERF：スタンバイ SRAM パリティエラーリセット検出フラグ（RSTSR1.RPERF ビット）

図 42.2 SRAM パリティリセット許可の場合のスタンバイ SRAM パリティチェックのフロー



注 1. RPEST：SRAM パリティエラー割り込みステータスフラグ（NMISR.RPEST ビット）

図 42.3 SRAM パリティ割り込み許可の場合のスタンバイ SRAM パリティチェックのフロー

42.3.4 TrustZone フィルタ機能

スタンバイ SRAM の TrustZone フィルタ機能は、SRAM メモリ保護用 TrustZone フィルタ、1 種類のみです。

42.3.4.1 スタンバイ SRAM メモリ保護用 TrustZone フィルタ

スタンバイ SRAM は、非セキュアアクセスから保護するためのセキュリティ属性 (SA) をもつ各 128 バイトの 8 つの領域に分割できます。スタンバイ SRAM のその領域がセキュア状態であることを SA が示しているときは、TrustZone フィルタがエラーを検出し、書き込みアクセスから保護するため、非セキュアアクセスはこのレジスタを上書きできません。

表 42.2 セキュリティ属性とアクセス状態

SA	アクセス状態	ライトアクセス	リードアクセス
セキュア	セキュア	許可	許可
	非セキュア	TrustZone フィルタエラー - 保護	TrustZone フィルタエラー - 読み出しデータは 0
非セキュア	セキュア	許可	許可
	非セキュア	許可	許可

スタンバイ SRAM アクセスで TrustZone フィルタエラーが発生したときは、エラー通知やエラー応答を生成しません。

42.3.5 アクセスサイクル

CPU からのサイクル数

スタンバイ SRAM のキャッシュについては、常にノンキャッシャブルアクセスとなります。

表 42.3 スタンバイ SRAM（パリティ領域 0x2800_0000～0x2800_03FF）

	リードサイクル		ライトサイクル	
	ワードアクセス	ハーフワード／バイトアクセス	ワードアクセス	ハーフワード／バイトアクセス
ICLK ≧ PCLKB	Min.: 2 ICLK + 2 PCLKB Max.: (n + 1) ICLK + 2 PCLKB		Min.: 1 ICLK + 1 PCLKB Max.: n ICLK + 1 PCLKB	

注. 周波数比 ICLK : PCLKB が n : 1 である場合

42.4 使用上の注意事項

42.4.1 スタンバイ SRAM 領域からの命令フェッチ

スタンバイ SRAM を使用してプログラムを実行する場合、スタンバイ SRAM 領域を初期化して CPU が正確にデータをプリフェッチできるようにします。CPU が初期化されていない領域からプリフェッチすると、パリティエラーが発生する場合があります。4 バイト境界のプログラムの終了アドレスから追加で 12 バイト領域を初期化してください。弊社からは、データの初期化には NOP 命令の使用を推奨します。

43. フラッシュメモリ

本 MCU には、コードフラッシュメモリ、データフラッシュメモリ、およびオプション設定メモリがあります。コードフラッシュメモリは、命令およびオペランドを格納し、データフラッシュメモリはデータを格納します。オプション設定メモリについては、「6. オプション設定メモリ」を参照してください。

43.1 概要

表 43.1 にフラッシュメモリの仕様を、図 43.1 にフラッシュメモリ関連モジュールのブロック図を示します。

表 43.27 にブートモードで使用する入出力端子の一覧を示します。

FCU (Flash Control Unit) はフラッシュメモリのプログラム／イレースの制御を行います。FACI (Flash Application Command Interface) は設定された FACI コマンドに従って、FCU を制御します。

コードフラッシュメモリのメモリ構成については図 43.2 を、データフラッシュメモリのメモリ構成については図 43.3 を参照してください。

表 43.1 フラッシュメモリの仕様 (1/2)

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	ユーザー領域：最大 512 KB	データ領域：16 KB
リードサイクル	「43.16.3. アクセスサイクル」を参照のこと	「43.16.3. アクセスサイクル」を参照のこと
イレース後の値	0xFF	不定
プログラム／イレース方式	• FACI コマンド発行領域 (0x407E_0000) に設定した FACI コマンドで、コードフラッシュメモリおよびデータフラッシュメモリのプログラム／イレース、オプション設定メモリのプログラムが可能（セルフプログラミング） • シリアルプログラマによるシリアルインタフェース通信を介したプログラム／イレース（シリアルプログラミング）	
プロテクション機能	フラッシュメモリの誤書き換えを防止	
BGO（バックグラウンドオペレーション）機能	• コードフラッシュメモリのプログラム／イレース中にデータフラッシュメモリの読み出しが可能 • データフラッシュメモリのプログラム／イレース中にコードフラッシュメモリの読み出しが可能	
プログラム／イレース単位	• ユーザー領域へのプログラム：128 バイト • ユーザー領域のイレース：ブロック単位	• データ領域へのプログラム：4/8/16 バイト • データ領域のイレース：64/128/256 バイト
その他の機能	セルフプログラミング中の割り込み受け付け可能 本 MCU の初期設定でオプション設定メモリの拡張領域の設定可能	
オンボードプログラミング（3 種類）	ブートモード（SCI インタフェース）でのプログラム／イレース • 調歩同期式シリアルインターフェース (SCI9) を使用 • 通信速度は自動調整 オンチップデバッグモードによるプログラム／イレース • JTAG/SWD インタフェースを使用 セルフプログラミングによるプログラム／イレース • システムをリセットすることなくコードフラッシュメモリのプログラム／イレースが可能	
ユニーク ID	各 MCU に 16 バイトの ID を提供	
FACI コマンド	プログラム：128 バイト ブロックイレース：1 ブロック（8 KB または 32 KB） P/E サスペンド P/E レジューム 強制停止 ステータスクリア コンフィグレーション設定（16 バイト）	プログラム：4/8/16 バイト ブロックイレース：1 ブロック（64 バイト） マルチブロックイレース：64/128/256 バイト P/E サスペンド P/E レジューム 強制停止 ブランクチェック：4 バイト～データフラッシュメモリ容量 ステータスクリア

表 43.1 フラッシュメモリの仕様 (2/2)

項目	コードフラッシュメモリ	データフラッシュメモリ
セキュリティ機能	フラッシュメモリの不正改ざん／不正リードを防止 スタートアップ領域選択設定保護 ● BTFLG レジスタおよび FSUACR レジスタは FSPR ビットにより保護 永久ブロック保護設定保護 ● コードフラッシュメモリは、永久ブロック保護機能によりプログラム／イレース動作から永久に保護されます TrustZone のフラッシュメモリ保護 ● フラッシュメモリ領域の保護 (P/E) ● フラッシュメモリ領域の保護（読み出し） ● レジスタの保護 ● FACI コマンド動作中の保護 ● コードフラッシュ P/E モードエントリ保護	
セーフティ機能	ソフトウェアプロテクション ● FENTRYR レジスタによる FACI コマンド保護 ● FWEPROR レジスタによるフラッシュメモリ保護 ● ブロック保護設定によるユーザー領域保護 エラープロテクション ● 意図しないコマンドまたは禁止された設定が行われるとエラーが検出されますエラー検出後 FACI コマンドは受け付けられません ブート領域プロテクション ● スタートアップ領域選択機能によりユーザーはブートファームウェアを安全に更新できます スタートアップ領域のサイズは 8 KB です	
割り込み要求	● FRDYI（フラッシュシーケンサレディ（処理終了））: FRDYIE ビットにより許可 ● FIFERR（フラッシュシーケンサエラー）: CFAEIE/CMDLKIE/DFAEIE ビットにより許可	
アドレス変換	● スタートアップ領域選択機能をサポート	

図 43.1 にフラッシュメモリに関連するモジュールの構成方式を示します。フラッシュシーケンサは FCU および FACI で構成されます。FCU は、フラッシュメモリ書き換えの基本制御を実行します。FACI は、周辺バスを使って FACI コマンドを受信し、コマンドに従って FCU の動作を制御します。

リセットが起こると、FACI はデータをフラッシュメモリからオプションバイト格納レジスタに転送します。

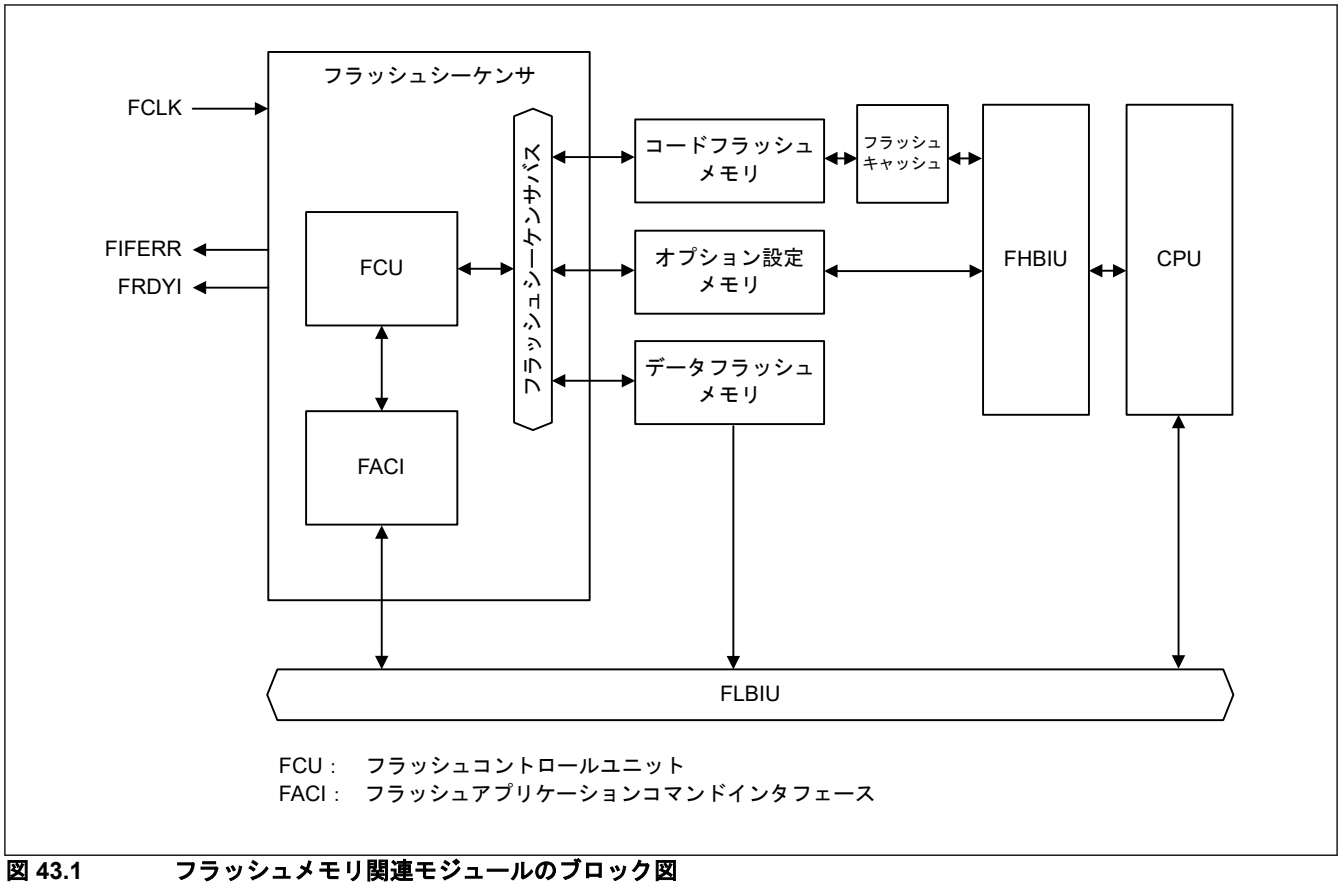


図 43.1 フラッシュメモリ関連モジュールのブロック図

43.2 メモリ構成

コードフラッシュメモリのメモリマップを図 43.2 に示します。

本 MCU のコードフラッシュメモリのユーザー領域は 8 KB または 32 KB のブロックに分割されており、各ブロック単位でイレース可能です。

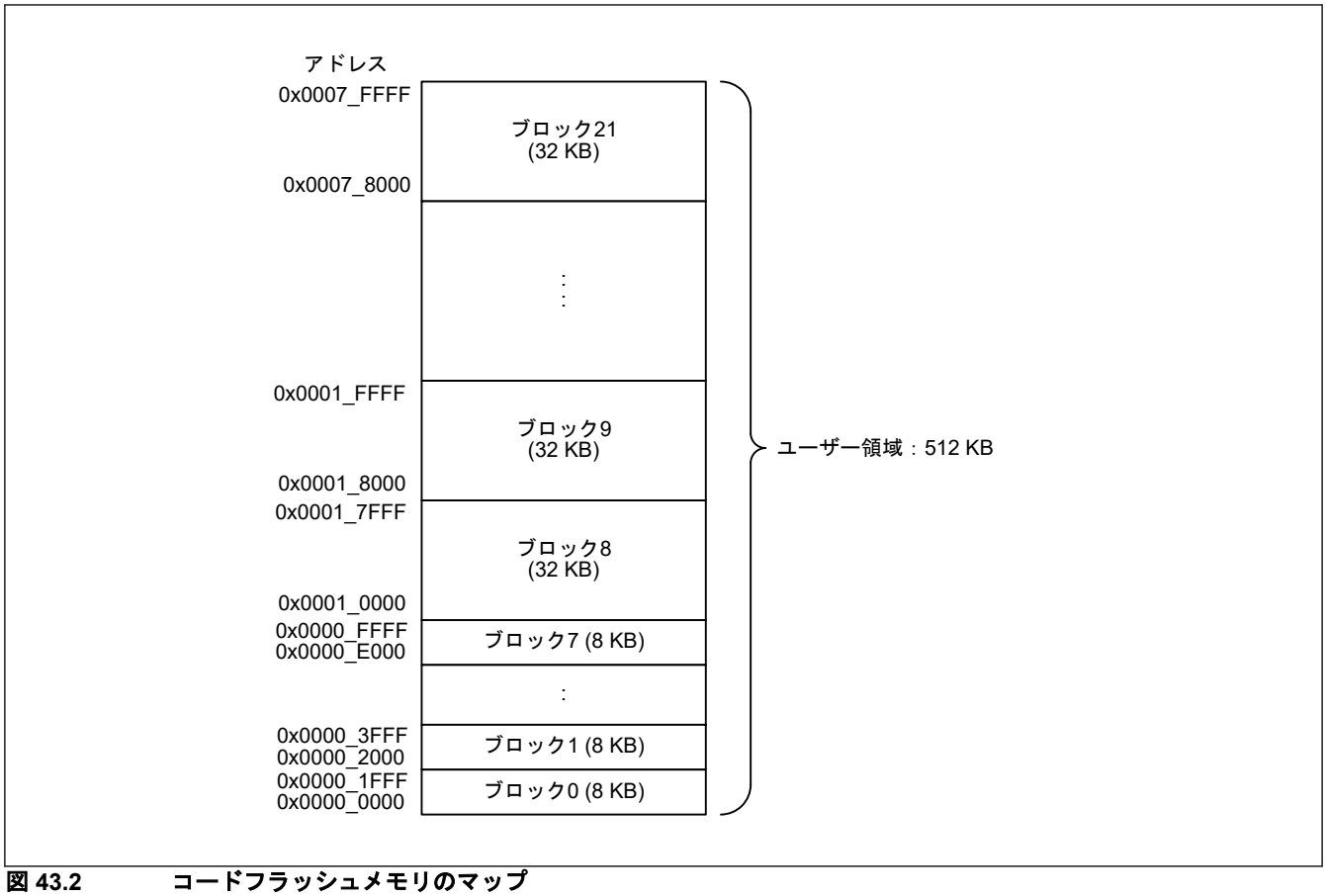


図 43.2　コードフラッシュメモリのマップ

表 43.2　コードフラッシュメモリの製品別読み出しおよびプログラム／イレースアドレス

製品	アドレス	ブロック数
512 KB 製品	0x0000_0000～0x0007_FFFF	0～21
256 KB 製品	0x0000_0000～0x0003_FFFF	0～13

本 MCU のデータフラッシュメモリのデータ領域は 64 バイトのブロックに分割されており、各ブロック単位でイレース可能です。図 43.3 にデータフラッシュメモリのマッピングを示します。

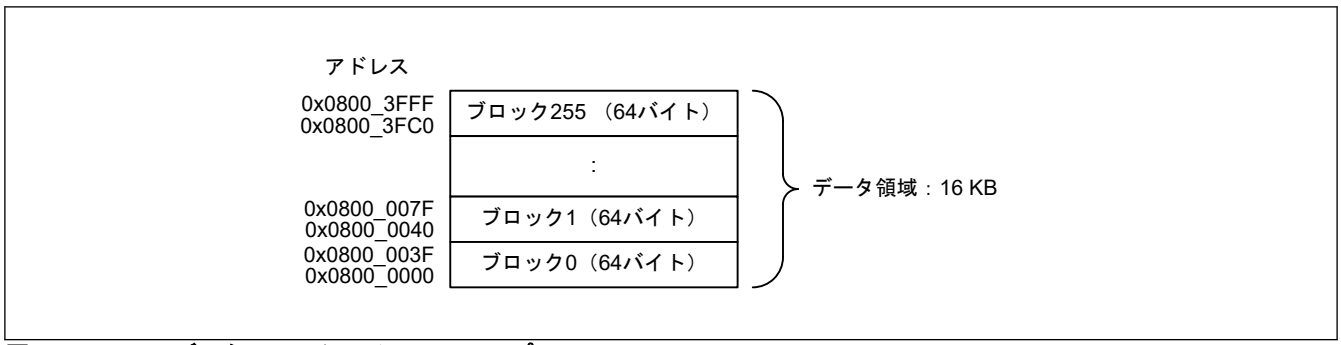


図 43.3　データフラッシュメモリのマップ

43.3　アドレス空間

フラッシュメモリとのハードウェアインタフェースを使用するには、ハードウェアの全レジスタへのアクセスが必要です。これは FACI コマンドを発行するためです。表 43.3 に、ハードウェアインタフェースに関する情報を示します。

表 43.3 ハードウェアインタフェース領域情報

領域	アドレス	容量
ハードウェアの各種レジスタを含む領域	「43.4. レジスタの説明」を参照してください。	「43.4. レジスタの説明」を参照してください。
FACI コマンド発行領域	0x407E_0000	4 バイト

フラッシュメモリのアドレス情報については、図 43.2 を参照してください。

43.4 レジスタの説明

43.4.1 FCACHEE : フラッシュキャッシュイネーブルレジスタ

Base address: FCACHE = 0x4001_C100

Offset address: 0x000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCACHEEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FCACHEEN	フラッシュキャッシュ許可 0: FCACHE を禁止 1: FCACHE を許可	R/W
15:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

本レジスタは、いずれのセキュリティ属性レジスタによっても制御されません。

FCACHEEN ビット（フラッシュキャッシュ許可）

FCACHEE.FCACHEEN ビットは、FCACHE1、FCACHE2、FLPF のフラッシュキャッシュ機能を許可／禁止します。

FCACHEE.FCACHEEN ビットは FCACHEIV.FCACHEIV ビットに影響を与えません。

FCACHE を許可した場合、「キャッシュ可能」なアクセスができるようになります。

FCACHE を許可後、禁止にはできません。

43.4.2 FCACHEIV : フラッシュキャッシュインバリデートレジスタ

Base address: FCACHE = 0x4001_C100

Offset address: 0x004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCACHEIV
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FCACHEIV	フラッシュキャッシュインバリデート 0: 読み出し時: インバリデートしない 書き込み時: 設定は無視される 1: インバリデートする FCACHE がインバリデートされます。	R/W
15:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

本レジスタは、いずれのセキュリティ属性レジスタによっても制御されません。

FCACHEIV ビット（フラッシュキャッシュインバリデート）

FCACHEIV.FCACHEIV ビットに 1 を書くと、FCACHE1、FCACHE2、FLPF のフラッシュキャッシュデータがインバリデートされます。

コードフラッシュまたはオプション設定メモリを書き換えた後 FCACHE を許可にした状態で FCACHE をインバリデートしてください。

43.4.3 FLWT : フラッシュウェイトサイクルレジスタ

Base address: FCACHE = 0x4001_C100

Offset address: 0x01C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	FLWT[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	FLWT[2:0]	フラッシュウェイトサイクル 0 0 0: 0 ウェイト (ICLK≦120 MHz) 0 0 1: 1 ウェイト (ICLK > 120 MHz) その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

FLWT[2:0]ビット（フラッシュウェイトサイクル）

フラッシュウェイトサイクルレジスタ (FLWT) は、フラッシュメモリのアクセスウェイト数を設定します。

クロック周波数をこれより高くする場合、クロック周波数を変更する前に FLWT.FLWT を設定してください。クロック周波数をこれより低くする場合、クロック周波数を変更した後に FLWT.FLWT を設定してください。

周波数設定の詳細は、「8. クロック発生回路」を参照してください。

43.4.4 FSAR : フラッシュセキュリティ属性レジスタ

Base address: FCACHE = 0x4001_C100

Offset address: 0x040

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FCKMHZSA	—	—	—	—	—	—	—	FLWTSA
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	FLWTSA	FLWT セキュリティ属性 対象レジスタ：FLWT 0: セキュア 1: 非セキュア	R/W
7:1	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
8	FCKMHZSA	FCKMHZ セキュリティ属性 対象レジスタ：FCKMHZ 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
15:9	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注.　セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注.　このレジスタは PRCR レジスタによって書き込み保護されています。

PRCR.PRC4 ビットが 0 の場合、書き込みは無効です。「11. レジスタライトプロテクション」を参照してください。

FLWTSA ビット（FLWT セキュリティ属性）

FLWT レジスタのセキュリティ属性を設定します。

FCKMHZSA ビット（FCKMHZ セキュリティ属性）

FCKMHZ レジスタのセキュア属性を設定します。

43.4.5　UIDRn : ユニーク ID レジスタ n（n = 0～3）

Address: 0x0100_8190 + n × 4

Bit position:	31 … 0
Bit field:	UID
Value after reset:	チップごとのユニーク値

ビット	シンボル	機能	R/W
31:0	UID	ユニーク ID	R

UIDRn は、個々の MCU を識別するための 16 バイトの ID コード（ユニーク ID）を格納する読み出し専用レジスタです。UIDRn レジスタは 32 ビット単位で設定してください。シリアルプログラミングインタフェースのシグネチャ要求コマンドで読み出す場合、データは大きいアドレスのデータから読み出されます。すなわち、0x0100_819F のデータが最初に読み出され、0x0100_8190 のデータが最後に読み出されます。

43.4.6　PNRn : 型名レジスタ n（n = 0～3）

Address: 0x0100_80F0 + n × 4

Bit position:	31 … 0
Bit field:	PNR
Value after reset:	チップごとのユニーク値

ビット	シンボル	機能	R/W
31:0	PNR	型名	R

PNRn レジスタは、16 バイトの型名を格納する読み出し専用レジスタです。PNRn レジスタは 32 ビット単位で読み出してください。各バイトは表 1.12 に示すように、製品の型名の ASCII コードに対応しています。型名の最初の文字（"R"、ASCII コードの 0x52）は最小のアドレス (0x0100_80F0) のバイトに格納されます。シリアルプログラミングインタフェースのシグネチャ要求コマンドで読み出す場合、データは小さいアドレスのデータから読み出されます。すなわち、0x0100_80F0 のデータが最初に読み出され、0x0100_80FF のデータが最後に読み出されます。

43.4.7 MCUVER : MCU バージョンレジスタ

Address: 0x0100_81B0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MCUVE							
Value after reset:	チップにより決まる値							

ビット	シンボル	機能	R/W
7:0	MCUVE	MCU バージョン	R

MCUVER レジスタは、MCU バージョンを格納する読み出し専用レジスタです。MCUVER レジスタは 8 ビット単位で読み出してください。

43.4.8 FWEPROR : フラッシュ P/E プロテクトレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x416

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	FLWE[1:0]	
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
1:0	FLWE[1:0]	フラッシュプログラム／イレース 0 0: プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理を禁止 0 1: プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理を許可 1 0: プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理を禁止 1 1: プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理を禁止	R/W
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

ソフトウェアによるプログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理の禁止が可能です。

FWEPROR レジスタは、以下のようなリセットにより初期化されます。

- すべてのリセット要因
- ディープソフトウェアスタンバイモードへの移行
- ソフトウェアスタンバイモードへの移行

FLWE[1:0]ビット（フラッシュプログラム／イレース）

FLWE[1:0]ビットは、フラッシュ P/E 保護を設定するのに使用されます。リセット後の値は 10b です。

これらのビットが 01b 以外に設定され、フラッシュメモリのプログラム／イレースが禁止されると、下記のコマンドは実行できません。下記のコマンドのいずれかが発行されると、FSTATR レジスタの FLWEERR ビットが 1 に設定されます。

プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、コンフィグレーション設定コマンド

43.4.9 FASTAT : フラッシュアクセスステータスレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CFAE	—	—	CMDLK	DFAE	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
3	DFAE	データフラッシュメモリアクセス違反フラグ 0: データフラッシュメモリアクセス違反なし 1: データフラッシュメモリアクセス違反あり	R/W(注1)
4	CMDLK	コマンドロックフラグ 0: フラッシュシーケンサはコマンドロック状態ではない 1: フラッシュシーケンサはコマンドロック状態である	R
6:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	CFAE	コードフラッシュメモリアクセス違反フラグ 0: コードフラッシュメモリアクセス違反は発生していない 1: コードフラッシュメモリアクセス違反が発生した	R/W(注1)

注 1. フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

FASTAT レジスタは、コードフラッシュまたはデータフラッシュメモリアクセス違反が起きたかどうかを示します。CFAE ビット、CMDLK ビット、および DFAE ビットのいずれかが 1 になると、フラッシュシーケンサはコマンドロック状態になります（「43.11.2. エラープロテクション」参照）。シーケンサをコマンドロック状態から解放するには、ステータスクリアコマンドまたは強制停止コマンドをフラッシュシーケンサに発行してください。

DFAE ビット（データフラッシュメモリアクセス違反フラグ）

DFAE ビットは、データフラッシュメモリアクセス違反が起きたかどうかを示します。1 の場合、FSTATR レジスタの ILGLERR ビットが 1 になり、フラッシュシーケンサをコマンドロック状態にします。

[1 になる条件]

データフラッシュ P/E モードで発行された FACI コマンドが以下の場合：

- FSADDR レジスタまたは FEADDR レジスタの設定がデータ領域の予約部分であるとき
- FSADDR レジスタまたは FEADDR レジスタの設定がセキュア領域アドレスである場合に非セキュアアクセスの FACI コマンドが発行されたとき

[0 になる条件]

- 本ビットが 1 に設定された後、0 を書き込まれたとき
- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

CMDLK ビット（コマンドロックフラグ）

CMDLK ビットは、フラッシュシーケンサがコマンドロック状態であることを示します。

[1 になる条件]

- フラッシュシーケンサがエラーを検出し、コマンドロック状態になったとき

[0 になる条件]

- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

CFAE ビット（コードフラッシュメモリアクセス違反フラグ）

CFAE ビットは、コードフラッシュメモリアクセス違反が起きたかどうかを示します。1 の場合、FSTATR レジスタの ILGLERR ビットが 1 になり、フラッシュシーケンサをコマンドロック状態にします。

[1 になる条件]

コードフラッシュ P/E モードで発行された FACI コマンドが以下の場合：

- FSADDR レジスタの設定がユーザー領域の予約部分であるとき
- セルフプログラミングモードにおいて FSADDR レジスタの設定が 0x0000A100～0x0000A2F0 でコンフィグレーション設定コマンドが発行されたとき
- FSADDR レジスタの設定がセキュア領域アドレスである場合に非セキュアアクセスの FACI コマンドが発行されたとき

[0 になる条件]

- 本ビットが 1 に設定された後、0 を書き込まれたとき
- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

43.4.10 FAEINT : フラッシュアクセスエラー割り込み許可レジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x14

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CFAEIE	—	—	CMDLKIE	DFAEIE	—	—	—
Value after reset:	1	0	0	1	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
3	DFAEIE	データフラッシュメモリアクセス違反割り込み許可 0: FASTAT.DFAE ビットが 1 のとき FIFERR 割り込み要求の発生を禁止 1: FASTAT.DFAE ビットが 1 のとき FIFERR 割り込み要求の発生を許可	R/W
4	CMDLKIE	コマンドロック割り込み許可 0: FASTAT.CMDLK ビットが 1 のとき FIFERR 割り込み要求の発生を禁止 1: FASTAT.CMDLK ビットが 1 のとき FIFERR 割り込み要求の発生を許可	R/W
6:5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	CFAEIE	コードフラッシュメモリアクセス違反割り込み許可 0: FASTAT.CFAE ビットが 1 のとき FIFERR 割り込み要求の発生を禁止 1: FASTAT.CFAE ビットが 1 のとき FIFERR 割り込み要求の発生を許可	R/W

FAEINT レジスタは、フラッシュアクセスエラー (FIFERR) 割り込み要求の発生を許可または禁止します。

DFAEIE ビット（データフラッシュメモリアクセス違反割り込み許可）

DFAEIE ビットは、データフラッシュメモリアクセス違反が起きた場合（FASTAT レジスタの DFAE ビットが 1）の FIFERR 割り込み要求の発生を許可または禁止します。

CMDLKIE ビット（コマンドロック割り込み許可）

CMDLKIE ビットは、フラッシュシーケンサがコマンドロック状態になった場合（FASTAT レジスタの CMDLK ビットが 1）の FIFERR 割り込み要求の発生を許可または禁止します。

CFAEIE ビット（コードフラッシュメモリアクセス違反割り込み許可）

CFAEIE ビットは、コードフラッシュメモリアクセス違反が起きた場合（FASTAT レジスタの CFAE ビットが 1）の FIFERR 割り込み要求の発生を許可または禁止します。

43.4.11 FRDYIE : フラッシュレディ割り込み許可レジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x18

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FRDYIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FRDYIE	フラッシュレディ割り込み許可 0: FRDY 割り込み要求の発生を禁止 1: FRDY 割り込み要求の発生を許可	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

FRDYIE レジスタは、フラッシュレディ (FRDY) 割り込み要求の発生を許可または禁止します。

FRDYIE ビット（フラッシュレディ割り込み許可）

FRDYIE ビットは、フラッシュシーケンサによるプログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理完了時、FSTATR レジスタの FRDY ビットが 0 から 1 に変わったときの FRDY 割り込み要求発生を許可または禁止します。

43.4.12 FSADDR : FACI コマンド開始アドレスレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x30

Bit position:	31	0
Bit field:	FSADDR[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	FSADDR[31:0]	FACI コマンド処理の開始アドレス	R/W(注1)

注 1. これらのビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合にこれらのビットに書き込んでも無視されます。b0 と b1 は読み出し専用です。

表 43.4 FACI コマンドアドレスバウンダリ

コマンド	アドレスバウンダリ
プログラム（コードフラッシュメモリ）	128 バイト
プログラム（データフラッシュメモリ）	4、8、16 バイト
ブロックイレース（コードフラッシュメモリ）	8 KB、32 KB
ブロックイレース（データフラッシュメモリ）	64 バイト
マルチブロックイレース（データフラッシュメモリ）	64 バイト
ブランクチェック（データフラッシュメモリ）	4 バイト
コンフィグレーション設定	16 バイト

FSADDR レジスタは、プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、またはコンフィグレーション設定用の FACI コマンドが発行された場合、コマンド処理の対象領域がどこから開始するかを指定します。

FSUINITR レジスタの SUINIT ビットが 1 になると FSADDR レジスタ値が初期化されます。リセットによっても初期化されます。

FSADDR[31:0]ビット（FACI コマンド処理の開始アドレス）

FSADDR[31:0]ビットは、FACI コマンド処理の開始アドレスを指定します。コードフラッシュメモリに対する FACI コマンド処理の場合ビット[31:24]は無視されます。データフラッシュメモリに対する FACI コマンド処理の場合ビット[31:17]は無視されます。表 43.4 に示すアドレスバウンダリ以下のアドレスビットに関連するビットも無視されます。

コードフラッシュメモリおよびデータフラッシュメモリのアドレス情報については、「43.2. メモリ構成」を参照してください。

コンフィグレーション設定のアドレス情報については、「43.9.3.15. コンフィグレーション設定コマンド」を参照してください。

43.4.13 FEADDR : FACI コマンド終了アドレスレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x34

Bit position:	31 … 0
Bit field:	FEADDR[31:0]
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	FEADDR[31:0]	FACI コマンド処理の最終アドレス	R/W(注1)

注 1. これらのビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合にこれらのビットに書き込んでも無視されます。ビット[0]とビット[1]は読み出し専用です。

FEADDR レジスタは、マルチブロックイレースおよびブランクチェックコマンド処理の対象領域の最終アドレスを指定します。ブランクチェックのアドレッシングモードがインクリメンタルモードに設定されている場合（すなわち FBCCNT.BCDIR = 0）、FSADDR レジスタには、FEADDR レジスタに指定されているアドレス以下のアドレスを指定してください。反対に、ブランクチェックアドレッシングモードがデクリメンタルモードに設定されている場合（すなわち FBCCNT.BCDIR = 1）、FSADDR レジスタには、FEADDR レジスタに指定されているアドレス以上のアドレスを指定してください。BCDIR ビット、FSADDR ビット、および FEADDR ビット設定が指定規則に従っていない場合、フラッシュシーケンサはコマンドロック状態になります（「43.11.2. エラープロテクション」参照）。

FEADDR レジスタ値は、FSUINITR レジスタの SUINIT ビットが 1 になったとき初期化されます。リセットによっても初期化されます。

FEADDR[31:0]ビット（FACI コマンド処理の最終アドレス）

FEADDR[31:0]ビットは、マルチブロックイレースおよびブランクチェックコマンド処理の最終アドレスを指定します。コマンド処理において、ビット 31～ビット 17 および「43.4.12. FSADDR : FACI コマンド開始アドレスレジスタ」に挙げたアドレスバウンダリに達しないビットは無視されます。

フラッシュメモリのアドレス情報については、「43.2. メモリ構成」を参照してください。

43.4.14 FMEPROT : フラッシュ P/E モードエントリ保護レジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x44

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	CEPROT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	CEPROT	コードフラッシュ P/E モードエントリ保護 0: FENTRYC ビットは保護されません 1: FENTRYC ビットは保護されます	R/W(注1) (注2) (注4)
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注3)

注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 のとき本ビットに書き込んでも無視されます。
注 2. 本ビットへの書き込みは、16 ビットが書き込まれ、KEY ビットに書き込まれた値が 0xD9 の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。
注 4. 本レジスタに書き込みできるのはセキュアアクセスのみです。セキュアアクセス、非セキュアリードアクセスともに許可されます。非セキュアライトアクセスは拒否されますが、TrustZone アクセスエラーは発生しません。

CEPROT ビット（コードフラッシュ P/E モードエントリ保護）

CEPROT ビットは、FENTRYR レジスタの FRNTRYC ビットの保護設定を指定します。

[1 になる条件]

- FMEPROT レジスタへの書き込みが許可されている場合に、CEPROT ビットに 1 を書いたとき

[0 になる条件]

- FMEPROT レジスタへの書き込みが許可されている場合に、CEPROT ビットに 0 を書いたとき

43.4.15 FBPROT0 : フラッシュブロック保護レジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x78

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	BPCN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BPCN0	非セキュア用ブロック保護解除 0: ブロック保護有効 1: ブロック保護無効	R/W(注1) (注2)
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注3)

注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合に本ビットに書き込んでも無視されます。
注 2. 本ビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0]ビットに書き込まれた値が 0x78 の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FBPROT0 レジスタは、非セキュア開発者用のブロック保護機能を無効にするのに使用されます。ブロック保護設定が永久ブロック設定によりロックされている場合は、本レジスタでは無効にできません。

FBPROT0 レジスタ値は、FSUINITR レジスタの SUINIT ビットが 1 になると初期化されます。なぜなら、その場合、FENTRYR レジスタ値が 0x0000 に初期化されるからです。リセットによっても初期化されます。

BPCN0 ビット（非セキュア用ブロック保護解除）

BPCN0 ビットは、非セキュア関数用のブロック保護設定を無効にします。

[1 になる条件]

- 書き込み許可条件が満たされており FENTRYR レジスタ値が 0x0000 ではない場合に、本ビットに 1 を書いたとき

[0 になる条件]

- FRDY ビットが 1 のとき FBPROT0 レジスタに 8 ビットを書いたとき

- FRDY ビットが 1 のとき、KEY ビットで指定された 0x78 以外の値と 16 ビットを FBPROT0 レジスタに書いたとき
- FBPROT0 レジスタへの書き込みが許可されている場合に、BPCN0 ビットに 0 を書いたとき
- FENTRYR レジスタ値が 0x0000 のとき

43.4.16 FBPROT1 : セキュア用フラッシュブロック保護レジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x7C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	BPCN1
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BPCN1	セキュア用ブロック保護解除 0: ブロック保護有効 1: ブロック保護無効	R/W(注1)(注2)
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注3)

注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 のとき本ビットに書き込んでも無視されます。
注 2. 本ビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0]ビットに書き込まれた値が 0xB1 の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FBPROT1 レジスタは、セキュア開発者用のブロック保護機能を無効にするのに使用されます。ブロック保護設定が永久ブロック設定によりロックされている場合は、本レジスタでは無効にできません。

FBPROT1 レジスタ値は、FSUINITR レジスタの SUINIT ビットが 1 になると初期化されます。なぜなら、その場合、FENTRYR レジスタ値が 0x0000 に初期化されるからです。リセットによっても初期化されます。

BPCN1 ビット（セキュア用ブロック保護解除）

BPCN1 ビットは、セキュア関数用のブロック保護設定を無効にします。

[1 になる条件]

- 書き込み許可条件が満たされており FENTRYR レジスタ値が 0x0000 ではない場合に、BPCN1 ビットに 1 を書いたとき

[0 になる条件]

- FRDY ビットが 1 のとき FBPROT1 レジスタに 8 ビットを書いたとき
- FRDY ビットが 1 のとき、KEY ビットで指定された 0xB1 以外の値と 16 ビットを FBPROT1 レジスタに書いたとき
- FBPROT1 レジスタへの書き込みが許可されている場合に、BPCN1 ビットに 0 を書いたとき
- FENTRYR レジスタ値が 0x0000 のとき

43.4.17 FSTATR : フラッシュステータスレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x80

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	ILGCOMERR	FESETERR	SECERR	OTERR	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	DBFULL	ERSSPD	PRGSPD	—	FLWEERR	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
6	FLWEERR	フラッシュライト／イレース保護エラーフラグ 0: エラーの発生なし 1: エラーの発生あり	R
7	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
8	PRGSPD	書き込みサスペンドステータスフラグ 0: フラッシュシーケンサは書き込みサスペンド処理中の状態または書き込みサスペンド状態ではない 1: フラッシュシーケンサは書き込みサスペンド処理中状態または書き込みサスペンド状態である	R
9	ERSSPD	消去サスペンドステータスフラグ 0: フラッシュシーケンサは消去サスペンド処理中の状態または消去サスペンド状態ではない 1: フラッシュシーケンサは消去サスペンド処理中状態または消去サスペンド状態である	R
10	DBFULL	データバッファフルフラグ 0: データバッファエンプティ 1: データバッファフル	R
11	SUSRDY	サスペンドレディフラグ 0: フラッシュシーケンサは P/E サスペンドコマンド受信不可 1: フラッシュシーケンサは P/E サスペンドコマンド受信可	R
12	PRGERR	書き換えエラーフラグ 0: 書き換えが正常終了 1: 書き換え中にエラー発生	R
13	ERSERR	消去エラーフラグ 0: 消去が正常終了 1: 消去中にエラー発生	R
14	ILGLERR	不正コマンドエラーフラグ 0: フラッシュシーケンサは不正 FACI コマンドまたは不正フラッシュメモリアクセスを未検出 1: フラッシュシーケンサは不正 FACI コマンドまたは不正フラッシュメモリアクセスを検出	R
15	FRDY	フラッシュレディフラグ 0: プログラム、ブロックイレース、マルチブロックイレース、P/E サスペンド、P/E レジューム、強制停止、ブランクチェック、コンフィグレーション設定コマンド処理が進行中 1: 上記のいずれの処理も進行中ではない	R
19:16	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
20	OTERR	その他のエラー 0: ステータスクリアまたは強制停止コマンド処理が完了 1: エラー発生	R

ビット	シンボル	機能	R/W
21	SECERR	セキュリティエラー 0: ステータスクリアまたは強制停止コマンド処理が完了 1: エラー発生	R
22	FESETERR	FENTRY 設定エラー 0: ステータスクリアまたは強制停止コマンド処理が完了 1: エラー発生	R
23	ILGCOMERR	不正コマンドエラー 0: ステータスクリアまたは強制停止コマンド処理が完了 1: エラー発生	R
31:24	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

FSTATR レジスタは、フラッシュシーケンサのステータスを表示するレジスタです。

FLWEERR フラグ（フラッシュライト／イレース保護エラーフラグ）

FLWEERR フラグは、FWEPROR レジスタのフラッシュメモリ上書き保護設定に対する違反を表示します。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- フラッシュシーケンサが強制停止コマンドの処理を開始したとき

PRGSPD フラグ（書き込みサスペンドステータスフラグ）

PRGSPD フラグは、フラッシュシーケンサが書き込みサスペンド処理中状態または書き込みサスペンド状態であることを示します。

[1 になる条件]

- フラッシュシーケンサが書き込みサスペンドコマンドの処理を開始したとき

[0 になる条件]

- （FACI コマンド発行領域への書き込み完了後）フラッシュシーケンサが P/E レジュームコマンドを受信したとき
- フラッシュシーケンサが強制停止コマンドの処理を開始したとき

ERSSPD フラグ（消去サスペンドステータスフラグ）

ERSSPD フラグは、フラッシュシーケンサが消去サスペンド処理中状態または消去サスペンド状態であることを示します。

[1 になる条件]

- フラッシュシーケンサが消去サスペンドコマンドの処理を開始したとき

[0 になる条件]

- （FACI コマンド発行領域への書き込み完了後）フラッシュシーケンサが P/E レジュームコマンドを受信したとき
- フラッシュシーケンサが強制停止コマンドの処理を開始したとき

DBFULL フラグ（データバッファフルフラグ）

DBFULL フラグは、プログラムコマンド発行後のデータバッファの状態を示します。フラッシュシーケンサは、書き込みデータのバッファ（データバッファ）を内蔵しています。データバッファがフルのときフラッシュメモリへの書き込みデータが FACI コマンド発行領域に書かれると、フラッシュシーケンサは周辺バスにウェイトを 1 サイクル挿入します。

[1 になる条件]

- プログラムコマンド発行時データバッファがフルになったとき

[0 になる条件]

- データバッファがエンプティになったとき

SUSRDY フラグ（サスペンドレディフラグ）

SUSRDY フラグは、フラッシュシーケンサが P/E サスペンドコマンドを受信可能かどうかを示します。

[1 になる条件]

- プログラム／イレース処理開始後フラッシュシーケンサが P/E サスペンドコマンド受信可能状態になったとき

[0 になる条件]

- （FACI コマンド発行領域への書き込み完了後）フラッシュシーケンサが P/E サスペンドコマンドまたは強制停止コマンドを受信したとき
- 書き込みまたは消去中にフラッシュシーケンサがコマンドロック状態になったとき
- 書き込みまたは消去が完了したとき

PRGERR フラグ（書き換えエラーフラグ）

PRGERR フラグは、フラッシュメモリの書き込みの結果を示します。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- 書き込み中にエラーが発生したとき

[0 になる条件]

- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

ERSERR フラグ（消去エラーフラグ）

ERSERR フラグは、フラッシュメモリの消去の結果を示します。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- 消去中にエラーが発生したとき

[0 になる条件]

- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

ILGLERR フラグ（不正コマンドエラーフラグ）

ILGLERR フラグは、フラッシュシーケンサが不正 FACI コマンドまたは不正フラッシュメモリアクセスを検出したことを示します。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- 「43.11.2. エラープロテクション」を参照してください。

[0 になる条件]

- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

FRDY フラグ（フラッシュレディフラグ）

FRDY フラグは、フラッシュメモリのコマンド処理の状態を示します。

[1 になる条件]

- フラッシュシーケンサがコマンド処理を完了したとき
- フラッシュシーケンサが P/E サスペンドコマンドを受信し、フラッシュメモリの処理を中断したとき
- フラッシュシーケンサが強制停止コマンドを受信し、コマンド処理を終了したとき

[0 になる条件]

- フラッシュシーケンサが FACI コマンドを受信したとき
- プログラムおよびコンフィグレーション設定コマンドの場合、FACI コマンド発行領域への最初の書き込みのとき
- その他のコマンドの場合、FACI コマンド発行領域への最後の書き込みのとき

OTERR フラグ（その他のエラー）

表 43.21 を参照してください。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- ステータスクリアまたは強制停止コマンド処理が完了したとき

SECERR フラグ（セキュリティエラー）

表 43.21 を参照してください。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- ステータスクリアまたは強制停止コマンド処理が完了したとき

FESETERR フラグ（FENTRY 設定エラー）

表 43.21 を参照してください。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- ステータスクリアまたは強制停止コマンド処理が完了したとき

ILGCOMERR フラグ（不正コマンドエラー）

表 43.21 を参照してください。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- ステータスクリアまたは強制停止コマンド処理が完了したとき

43.4.18 FENTRYR : フラッシュ P/E モードエントリレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x84

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								FENTRYD	—	—	—	—	—	—	FENTRYC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FENTRYC	コードフラッシュ P/E モードエントリ 0: コードフラッシュは読み出しモード 1: コードフラッシュは P/E モード	R/W(注1)(注2)
6:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7	FENTRYD	データフラッシュ P/E モードエントリ 0: データフラッシュは読み出しモード 1: データフラッシュは P/E モード	R/W(注1)(注2)
15:8	KEY[7:0]	キーコード	W(注3)

注 1. これらのビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合にこれらのビットに書き込んでも無視されます。
注 2. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0]ビットに書き込まれた値が 0xAA の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FENTRYR レジスタは、コードフラッシュ P/E モードまたはデータフラッシュ P/E モードを指定するのに使用されます。コードフラッシュ P/E モードまたはデータフラッシュ P/E モードを指定しフラッシュシーケンサが FACI コマンドを受信できるようにするには、FENTRYD ビットまたは FENTRYC ビットを 1 にし、フラッシュシーケンサを P/E モードにします。

FENTRYR レジスタは、FSUINITR.SUINIT ビットが 1 になると初期化されます。リセットによっても初期化されます。

注. 本レジスタに値 0xAA81 を書き込むと、FSTATR レジスタの ILGLERR ビットが 1 になり、その結果、フラッシュシーケンサがコマンドロック状態になります。

FENTRYC ビット（コードフラッシュ P/E モードエントリ）

FENTRYC ビットは、コードフラッシュメモリに対して P/E モードを指定します。

[1 になる条件]

- FENTRYR レジスタへの書き込みが許可され、かつ FENTRYR レジスタが 0x0000 の場合に、FENTRYC ビットに 1 を書いたとき

[0 になる条件]

- FRDY ビットが 1 の場合に、FENTRYR レジスタに 8 ビットを書いたとき
- KEY[7:0]ビットに 0xAA 以外の値が指定され、かつ FRDY ビットが 1 の場合に、FENTRYR レジスタに 16 ビットの書き込みをしたとき
- FENTRYR レジスタへの書き込みが許可されている場合に、FENTRYC ビットに 0 を書いたとき
- 書き込みが許可されており、かつ値が 0x0000 以外の場合に、FENTRYR レジスタに書いたとき
- FMEPROT レジスタの保護が有効であるとき

FENTRYD ビット（データフラッシュ P/E モードエントリ）

FENTRYD ビットは、データフラッシュメモリに対して P/E モードを指定します。

[1 になる条件]

- FENTRYR レジスタへの書き込みが許可され、かつ FENTRYR が 0x0000 の場合に、FENTRYD ビットに 1 を書いたとき

[0 になる条件]

- FRDY ビットが 1 の場合に、FENTRYR レジスタに 8 ビットを書いたとき
- KEY[7:0]ビットに 0xAA 以外の値が指定され、かつ FRDY ビットが 1 の場合に、FENTRYR レジスタに 16 ビットの書き込みをしたとき
- FENTRYR レジスタへの書き込みが許可されている場合に、FENTRYD ビットに 0 を書いたとき
- 書き込みが許可されており、かつ値が 0x0000 以外の場合に、FENTRYR レジスタに書いたとき

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、FENTRYD ビットまたは FENTRYC ビットへの書き込み許可を制御します。

43.4.19 FSUINITR : フラッシュシーケンサセットアップ初期化レジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x8C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	SUINIT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SUINIT	セットアップ初期化 0: FSADDR、FEADDR、FBPROT0、FBPROT1、FENTRYR、FBCCNT、FCPSR の各フラッシュシーケンサセットアップレジスタは、現在の値を維持 1: FSADDR、FEADDR、FBPROT0、FBRPOT1、FENTRYR、FBCCNT、FCPSR の各フラッシュシーケンサセットアップレジスタは、初期化される	R/W(注1)(注2)
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注3)

注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合に本ビットに書き込んでも無視されます。
注 2. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0]ビットに書き込まれた値が 0x2D の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FSUINITR レジスタは、フラッシュシーケンサセットアップの初期化に使用されます。

SUINIT ビット（セットアップ初期化）

SUINIT ビットは、以下のフラッシュシーケンサセットアップレジスタを初期化します。

- FSADDR
- FEADDR
- FBPROT0
- FBPROT1
- FENTRYR
- FBCCNT
- FCPSR

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、SUINIT ビットへの書き込み許可を制御します。

43.4.20 FCMDR : FACI コマンドレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xA0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMDR[7:0]								PCMDR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	PCMDR[7:0]	プリコマンドフラグ 最後のコマンドの直前のコマンドが格納されます。	R
15:8	CMDR[7:0]	コマンドフラグ 最後のコマンドが格納されます。	R

FCMDR レジスタは、フラッシュシーケンサが受け取った一番最近の 2 つのコマンドを記録します。

PCMDR[7:0]ビット（プリコマンドフラグ）

PCMDR[7:0]ビットは、フラッシュシーケンサが一番最近受け取ったコマンドの直前に受け取ったコマンドを示します。

CMDR[7:0]ビット（コマンドフラグ）

CMDR[7:0]ビットは、フラッシュシーケンサが一番最近受け取ったコマンドを示します。

表 43.5　コマンド受信後の FCMDR レジスタの状態

コマンド	CMDR	PCMDR
プログラム	0xE8	前回コマンド
ブロックイレース	0xD0	0x20
マルチブロックイレース	0xD0	0x21
P/E サスペンド	0xB0	前回コマンド
P/E レジューム	0xD0	前回コマンド
ステータスクリア	0x50	前回コマンド
強制停止	0xB3	前回コマンド
ブランクチェック	0xD0	0x71
コンフィグレーション設定	0x40	前回コマンド

43.4.21　FBCCNT : ブランクチェックコントロールレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xD0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BCDIR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BCDIR	ブランクチェックの方向 0: ブランクチェックは下位アドレスから上位アドレス（インクリメンタルモード）方向に行う 1: ブランクチェックは上位アドレスから下位アドレス（デクリメンタルモード）方向に行う	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

FBCCNT レジスタは、ブランクチェックコマンド処理におけるアドレッシングモードを指定します。FBCCNT レジスタは、FSUINITR.SUINIT ビットが 1 になると初期化されます。リセットによっても初期化されます。

BCDIR ビット（ブランクチェックの方向）

BCDIR ビットは、ブランクチェックのアドレッシングモードを指定します。

43.4.22 FBCSTAT : ブランクチェックステータスレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xD4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BCST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BCST	ブランクチェックステータスフラグ 0: 対象領域は未プログラム状態（すなわち、領域はイレース後にプログラミングしていない） 1: 対象領域は 0 と 1 でプログラミング済	R
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

FBCSTAT レジスタは、ブランクチェックコマンドによるチェックの結果を格納します。

BCST フラグ（ブランクチェックステータスフラグ）

BCST フラグは、ブランクチェックコマンドによるチェックの結果を示します。

43.4.23 FPSADDR : データフラッシュ書き込み開始アドレスレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xD8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PSADR[16:0]																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
16:0	PSADR[16:0]	書き込み領域開始アドレス 最初に書き込まれる領域のアドレス	R
31:17	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

FPSADDR レジスタは、ブランクチェックコマンドの処理で見つかった最初の書き込み領域のアドレスを示します。

PSADR[16:0]ビット（書き込み領域開始アドレス）

PSADR[16:0]ビットは、ブランクチェックコマンドの処理で見つかった最初の書き込み領域のアドレスを示します。アドレスは、データフラッシュメモリの開始アドレスからのオフセットです。これらのビットは、FBCSTAT レジスタの BCST ビットが 1 で、FSTATR レジスタの FRDY ビットが 1 の場合のみ有効です。FBCSTAT レジスタの BCST ビットが 0 の場合は、PSADR[16:0]ビットは、前のチェックで見つかったアドレスを保持します。

43.4.24 FSUASMON : フラッシュスタートアップ領域選択モニタレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xDC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BTFLG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0/1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSPR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0/1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。 書く場合、0 としてください。	R
15	FSPR	ブートフラグおよびスタートアップ領域制御設定用保護書き込みフラグ 0: 保護状態 1: 非保護状態	R
30:16	—	読むと 0 が読めます。 書く場合、0 としてください。	R
31	BTFLG	ブートスワップ用のスタートアップ領域選択フラグ 0: スタートアップ領域は代替ブロック（ブロック 1） 1: スタートアップ領域はデフォルトブロック（ブロック 0）	R

FSPR ビット（ブートフラグおよびスタートアップ領域制御設定用保護書き込みフラグ）

FSPR ビットは、BTFLG ビットおよび FSUACR レジスタについてコンフィグレーション設定コマンドからの保護状態を示します。

リセットまたはコンフィグレーション設定コマンドに応じて、FACI はデータをフラッシュメモリから本レジスタに転送します。

BTFLG ビット（ブートスワップ用のスタートアップ領域選択フラグ）

BTFLG ビットは、スタートアップ領域のアドレスがブートスワップ機能用に入れ替えられているか否かを示します。

リセットまたはコンフィグレーション設定コマンドに応じて、FACI はデータをフラッシュメモリから本レジスタに転送します。

43.4.25 FCPSR : フラッシュシーケンサ処理切り替えレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xE0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUSPMD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ESUSPMD	消去サスペンドモード 0: サスペンド優先モード 1: 消去優先モード	R/W
15:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W

FCPSR レジスタは、消去サスペンドモードを選択します。FCPSR は、FSUINITR.SUINIT ビットが 1 になると初期化されます。リセットによっても初期化されます。

ESUSPMD ビット（消去サスペンドモード）

ESUSPMD ビットは、フラッシュシーケンサがイレース処理を実行時 P/E サスペンドコマンドが発行された場合、消去サスペンドモードを選択します（「43.9.3.10. P/E サスペンドコマンド」参照）。ブロックイレースコマンドまたはマルチブロックイレースコマンド発行前に本ビットを設定してください。

43.4.26 FPCKAR : フラッシュシーケンサ処理クロック通知レジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xE4

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								PCKA[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0

ビット	シンボル	機能	R/W
7:0	PCKA[7:0]	フラッシュシーケンサ動作クロック通知 これらのビットは、FACI コマンド処理中のフラッシュシーケンサの動作周波数を設定するのに使用されます。	R/W(注1)(注2)
15:8	KEY[7:0]	キーコード	W(注3)

注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合に本ビットに書き込んでも無視されます。
注 2. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0]ビットに書き込まれた値が 0x1E の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FPCKAR レジスタは、FACI コマンド処理中のフラッシュシーケンサの動作周波数を指定します。該当製品の最大動作周波数が初期値として設定されています。

PCKA[7:0]ビット（フラッシュシーケンサ動作クロック通知）

PCKA[7:0]ビットは、FACI コマンド処理中のフラッシュシーケンサの動作周波数を指定します。FACI コマンド発行前にこれらのビットに任意の周波数を設定してください。MHz 単位の周波数を 2 進数に変換後これらのビットに設定します。

例：

周波数が 35.9 MHz (PCKA = 0x24) の場合です。

35.9 MHz の小数第 1 位を自然数 (= 36) に丸め、2 進数に変換します。

これらのビットに設定された値がフラッシュシーケンサの実際の動作周波数より小さい場合、フラッシュメモリのプログラミング／イレース特性は保証されません。これらのビットに設定された値がフラッシュシーケンサの実際の動作周波数より大きい場合、フラッシュメモリのプログラミング／イレース特性は保証されますが、プログラミング／イレースにかかる時間のような FACI コマンド処理時間は増加します。フラッシュシーケンサの動作周波数が PCKA 値と同じとき FACI コマンド処理時間が最小となります。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PCKA ビットへの書き込み許可を制御します。

43.4.27 FSUACR : フラッシュスタートアップ領域コントロールレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xE8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	SAS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SAS[1:0]	スタートアップ領域選択 0 0: スタートアップ領域は BTFLG ビットにより選択 0 1: スタートアップ領域は BTFLG ビットにより選択 1 0: スタートアップ領域はデフォルト領域（ブロック 0）に一時的に切り替え 1 1: スタートアップ領域は代替領域（ブロック 1）に一時的に切り替え	R/W(注1)(注3)
7:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注2)

注 1. これらのビットの書き込み条件を下記に示します（これらの条件は同時に満たす必要があります）。
1. 本レジスタへのアクセスサイズは 16 ビットです。
2. KEY[7:0]ビットの値は 0x66 です。
3. FSPR ビットは 1 です。

注 2. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

注 3. 本レジスタに書き込みできるのはセキュアアクセスのみです。セキュアアクセス、非セキュアリードアクセスともに許可されます。非セキュアライトアクセスは拒否されますが、TrustZone アクセスエラーは発生しません。

FSUACR レジスタは、ブートスワップ機能のスタートアップ領域を設定します。

SAS[1:0]ビット（スタートアップ領域選択）

SAS[1:0]ビットは、スタートアップ領域を選択します。スタートアップ領域変更方法は 3 つあります。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、SAS[1:0]ビットへの書き込み許可を制御します。

43.4.28 FCKMHZ : データフラッシュアクセス周波数レジスタ

Base address: FLAD = 0x407F_C000

Offset address: 0x40

Bit position:	7	6	5	4	3	2	1	0
Bit field:	FCKMHZ[7:0]							
Value after reset:	0	0	1	1	1	1	0	0

ビット	シンボル	機能	R/W
7:0	FCKMHZ[7:0]	データフラッシュアクセス周波数レジスタ これらのビットは、データフラッシュメモリの読み出し速度を最適化します。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

本レジスタは、データフラッシュメモリの読み出し速度を最適化します。

データフラッシュメモリにアクセスするためのクロックである内部周辺バスの周辺モジュールクロック (FCLK) の周波数を MHz で設定してください。たとえば、35.9 MHz は丸めて、周波数を 36 に設定してください。データフラッシュメモリアクセスに必要なサイクル数は、この周波数に応じて挿入されます。FCLK の周波数を変更する場合、変更前後で動作周波数が下がるがどうかに応じて次の方法のいずれかを使ってデータフラッシュアクセス周波数レジスタ (FCKMHZ) の値を下記の手順に従い変更します。

- 速度を低速から高速に変える場合 : FCKMHZ レジスタを書き換えます。FCKMHZ レジスタを読み出して変更を確認後、周波数を変更します。
- 速度を高速から低速に変える場合:周波数を変更します。周波数が変わったら FCKMHZ レジスタを書き換えます。

43.5 フラッシュキャッシュ

43.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスで使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 43.6 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	0x0000_0000～0x007F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ
	128 ビット／エントリ（128 ビット整列データ）、2 エントリ／ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 43.7 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000～0x007F_FFFF
対象バスマスタ	CPU オペランドアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ
	128 ビット／エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 43.8 プリフェッチバッファ (FLPF) の概要

キャッシュ対象領域	0x0000_0000～0x007F_FFFF
容量	32 バイト
アソシアティブ方式	フルアソシアティブ
	128 ビット／エントリ（128 ビット整列データ）、2 エントリ
要求アドレス	前の CPU 命令の次のアドレス
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

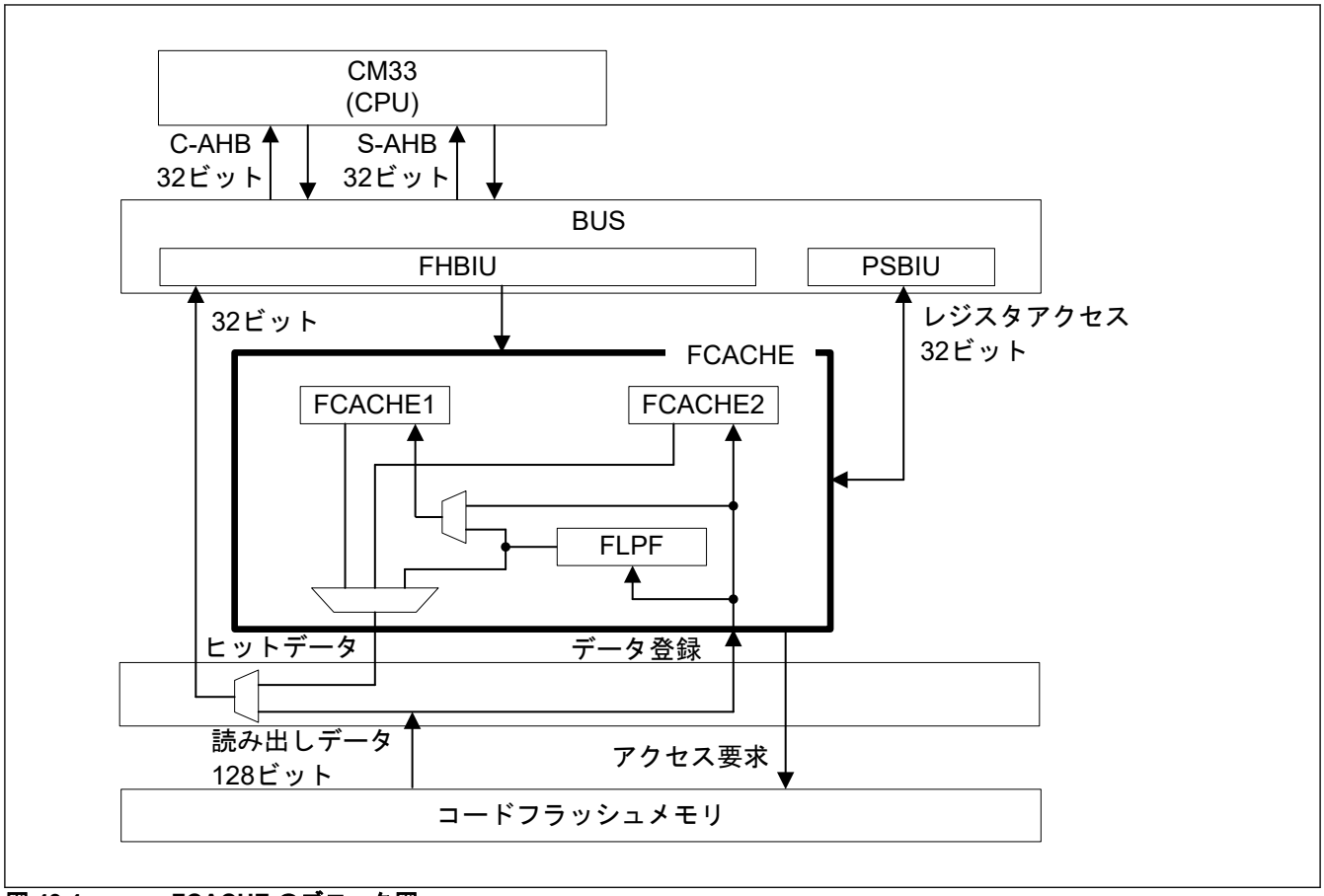


図 43.4 FCACHE のブロック図

43.6 フラッシュメモリ関連の動作モード

図 43.5 にフラッシュメモリに関するモード遷移図を示します。モード設定の方法については「6. オプション設定メモリ」を参照してください。

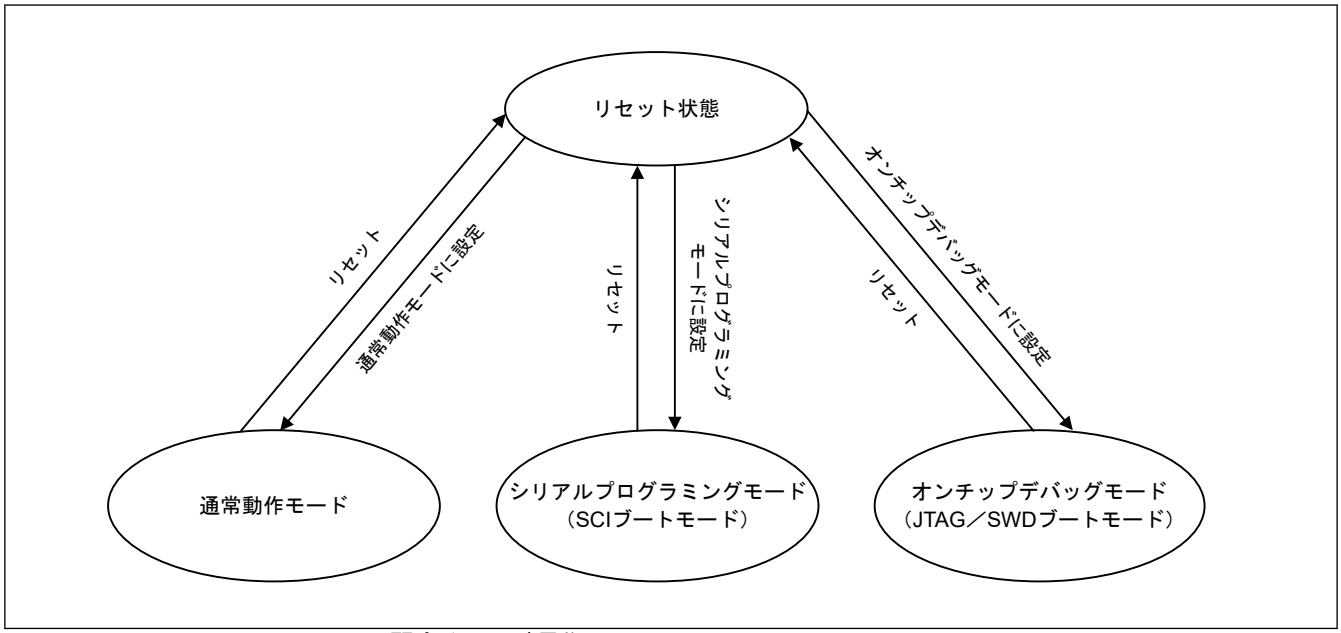


図 43.5 フラッシュメモリに関するモード遷移図

各モードでプログラム／イレースが可能なフラッシュメモリの領域、およびリセット後のブートプログラムは異なります。各モードの相違点を表 43.9 にまとめます。

表 43.9 各モードの相違点

項目	通常動作モード	シリアルプログラミングモード (SCI ブートモード)	オンチップデバッグモード (JTAG/SWD ブートモード)
プログラム／イレースが可能な領域	• コードフラッシュメモリ • データフラッシュメモリ • オプション設定メモリ（書き込みのみ、）	• コードフラッシュメモリ • データフラッシュメモリ • オプション設定メモリ（書き込みのみ）	• コードフラッシュメモリ • データフラッシュメモリ • オプション設定メモリ（書き込みのみ、）
ブロック単位イレース	可能	可能	可能
リセット時のブートプログラム	ユーザー領域のプログラム	シリアルプログラミング用組み込みプログラム	デバッグコマンドに依存

43.7 機能概要

シリアルインタフェース経由（シリアルプログラミングモード）、または JTAG/SWD インタフェース経由（オンチップデバッグモード）で、専用フラッシュメモリプログラマを使用してフラッシュメモリを書き替えることにより、ターゲットシステムへの実装前／実装後にかかわらずデバイスの書き換えが可能です。

また、フラッシュメモリに書かれたユーザープログラムの書き換えまたは読み出しを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざんや不正リードの防止などに対応可能となっています。

ユーザープログラムによる書き換え（セルフプログラミング）は、ターゲットシステムの製造／出荷後のプログラム変更を想定したアプリケーションに適した書き換え方式です。フラッシュメモリを安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理のサポートにより、外部との通信制御に関する割り込み処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。各プログラミング方式の概要と対応する動作モードを表 43.10 に示します。

表 43.10 プログラミング方式

プログラミング方式	機能概要	動作モード
シリアルプログラミング	SCI インタフェース経由で接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。	シリアルプログラミングモード
	SCI インタフェース経由で接続されている専用フラッシュメモリプログラマ、および専用プログラミングアダプタボードを用いて、たとえばデバイスのプログラミングなど、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	シリアルプログラミング実行前にメモリに書き込まれたユーザープログラムによっても、フラッシュメモリの書き換えが可能です。データフラッシュメモリの書き換え時には、バックグラウンドオペレーション機能によりコードフラッシュメモリからの命令フェッチまたはデータの読み出しが可能です。そのため、コードフラッシュメモリ上のプログラムを実行してデータフラッシュメモリを書き換えることができます。 バックグラウンドオペレーションを利用できない場合は、セルフプログラミングによるコードフラッシュメモリの書き換え中には、コードフラッシュメモリからの命令フェッチおよびデータアクセスはできません。そのような場合、内蔵 SRAM へ書き換え用のプログラムをあらかじめ転送して実行する必要があります。	通常動作モード
JTAG/SWD プログラミング	JTAG/SWD を経由した専用フラッシュメモリプログラマまたはオンチップデバッガを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。 JTAG/SWD を経由した専用フラッシュメモリプログラマまたはオンチップデバッガ、および専用プログラミングアダプタボードを用いて、たとえばデバイスのプログラミングなど、ターゲットシステム実装前にフラッシュメモリをオフボードで書き換えることが可能です。	オンチップデバッグモード

フラッシュメモリの機能一覧を表 43.11 に示します。シリアルプログラミングにおける各機能は、シリアルプログラマのコマンドで実現されます。一方、セルフプログラミングにおける各機能は、FACI コマンドまたはユーザープログラムによるフラッシュメモリの読み出しで実現されます。

表 43.11 基本機能

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。イレース後にプログラムされていない状態のデータフラッシュメモリの読み出し結果は保証されません。イレース後にプログラムされていない状態を確認するには、ブランクチェックを使用してください。	なし	あり（データフラッシュプログラミングのみ）
ブロックイレース	指定したブロックのメモリ内容のイレースを行います。	あり	あり
プログラム	指定したアドレスのプログラムを行います。	あり	あり
CRC	フラッシュメモリの指定範囲の CRC を計算し、その結果をフラッシュプログラマに転送します。	あり	なし
リード	フラッシュメモリにプログラムしたデータの読み出しを行います。	あり	なし（ユーザープログラムにて読み出しは可能）
スタートアッププログラムプロテクション機能	スタートアッププログラムプロテクション機能を設定します。	あり	あり
オプション機能選択	オプション機能を選択し、本 MCU の初期設定を変更します。	あり	あり
ブロック保護	ブロック保護の設定	あり	あり
デバイスライフサイクル遷移	デバイスライフサイクルを遷移させます。	あり	なし
メモリセキュリティ属性	メモリセキュリティ属性の設定	あり	なし
キー	キーインジェクションを行う。	あり	あり（デバイスライフサイクル遷移に関係するキーを除く）
全消去	フラッシュメモリのデータを消去して出荷前の状態に戻す。	あり	なし

フラッシュメモリは、各種のセキュリティ機能をサポートしています。

フラッシュメモリでサポートされるセキュリティ機能を表 43.12 に示します。

表 43.12 セキュリティ機能一覧

機能	内容
スタートアップ領域選択のセキュリティフラグ	スタートアップ領域選択は、セキュリティフラグ (FSPR) の設定で保護できます。
永久ブロック保護	コードフラッシュメモリの各ブロックはプログラム／イレースから永久に保護できます。
TrustZone 保護	プログラム／イレース領域、読み出し可能領域、レジスタアクセス、および FACI コマンド動作は、ARM TrustZone セキュリティにより保護されます。
プログラム／イレースモード保護	セキュア開発者のみがコードフラッシュのプログラム／イレースモードに遷移できます。

43.8 フラッシュシーケンサの動作モード

フラッシュシーケンサには図 43.6 に示すように 3 つの動作モードがあります。FENTRYR レジスタの値を変更するとモード間の遷移が起動されます。

FENTRYR レジスタの値が 0x0000 の場合、フラッシュシーケンサは読み出しモードです。このモードでは、FACI コマンドを受信しません。コードフラッシュメモリもデータフラッシュメモリも読み出し可能です。

FENTRYR レジスタの値が 0x0001 の場合、フラッシュシーケンサはコードフラッシュ P/E モードで、コードフラッシュメモリは FACI コマンドにより書き換えまたは消去が可能です。このモードでは、データフラッシュメモリは読み出し可能です。

FENTRYR レジスタの値が 0x0080 の場合、フラッシュシーケンサはデータフラッシュ P/E モードで、データフラッシュメモリは FACI コマンドにより書き換えまたは消去が可能です。このモードでは、データフラッシュメモリは読み出しできません。ただし、コードフラッシュメモリは読み出し可能です。

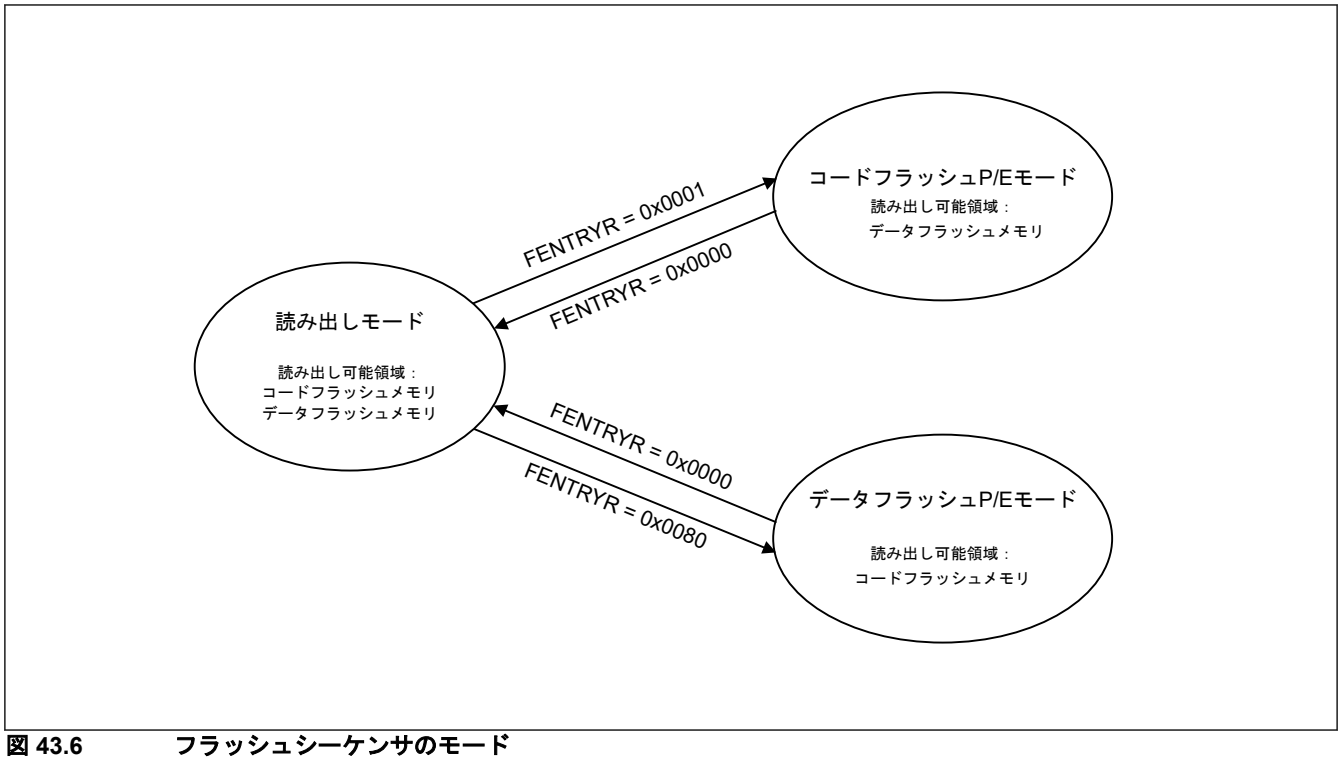


図 43.6　フラッシュシーケンサのモード

43.9　FACI コマンド

43.9.1　FACI コマンド一覧

FACI は設定された FACI コマンドに従って、FCU の制御を行います。

本項では FACI コマンドに関する情報を記述し、表 43.13 に FACI コマンドの一覧を示します。

表 43.13　FACI コマンド

FACI コマンド	機能
プログラム	ユーザー領域およびデータ領域を書き換えます。 ユーザー領域の場合書き換え単位は 128 バイトで、データ領域の場合は 4、8、16 バイトです。
ブロックイレース	ユーザー領域およびデータ領域を消去します。 ユーザー領域の場合消去単位は 8 KB または 32 KB で、データフラッシュの場合は 64 バイトです。
マルチブロックイレース	データ領域を消去します。 データフラッシュの消去単位は、64、128、または 256 バイトです。
P/E サスペンド	プログラム／イレース処理を中断します。
P/E レジューム	中断したプログラム／イレース処理を再開します。
ステータスクリア	FSTATR レジスタの ILGLERR、ERSERR、PRGERR、ILGCOMERR、FESETERR、SECERR、OTERR の各ビット、FASTAT レジスタの CMDLK、CFAE、DFAE の各ビット、およびコマンドロック状態から解除されたフラッシュシーケンサを初期化します。
強制停止	FACI コマンド処理を強制的に中止し、FSTATR レジスタと FASTAT レジスタを初期化します。
ブランクチェック	データ領域がブランクかどうかをチェックします。 ブランクチェックの単位：4 バイト～データフラッシュメモリ容量（4 バイト単位で指定）
コンフィグレーション設定	オプション設定メモリを設定します。 設定単位：16 バイト

FACI コマンドは、FACI コマンド発行領域に書き込むことにより発行されます（表 43.3 参照）。表 43.14 に示すような書き込みが指定の状態で進行すると、フラッシュシーケンサは受信したコマンドに関連する処理を実行します（「43.9.2. フラッシュシーケンサの状態と FACI コマンドの関係」参照）。

表 43.14　FACI コマンドのフォーマット

FACI コマンド	書き込み回数	FACI コマンド発行領域へのデータ書き込み			
		最初のアクセス	2 番目のアクセス	3 番目～(N+2) 番目のアクセス	(N+3) 番目のアクセス
プログラム（ユーザー領域） N = 64	67	0xE8	0x40 (= N)	WD1～WD64	0xD0
プログラム（データ領域） 4 バイトプログラミング： N = 2 8 バイトプログラミング： N = 4 16 バイトプログラミング： N = 8	N+3	0xE8	0x02 (= N) 0x04 (= N) 0x08 (= N)	WD1～WDN	0xD0
ブロックイレース （ユーザー領域 8 KB/32 KB）	2	0x20	0xD0	—	—
ブロックイレース （データ領域 64 バイト）	2	0x20	0xD0	—	—
マルチブロックイレース （データ領域 64/128/256 バイト）	2	0x21	0xD0	—	—
P/E サスペンド	1	0xB0	—	—	—
P/E レジューム	1	0xD0	—	—	—
ステータスクリア	1	0x50	—	—	—
強制停止	1	0xB3	—	—	—
ブランクチェック	2	0x71	0xD0	—	—
コンフィグレーション設定 N = 8	11	0x40	0x08 (= N)	WD1～WD8	0xD0

注.　WDN (N = 1, 2, …)：書き換え対象の N 番目の 16 ビットデータ

フラッシュシーケンサは、ステータスクリアコマンド以外のコマンド処理開始時 FSTATR.FRDY ビットを 0 にクリアし、完了時に 1 にします。

FRDYIE.FRDYIE ビット設定が 1 の場合、FSTATR.FRDY ビットが 1 になるとフラッシュレディ (FRDY) 割り込みが発生します。

43.9.2　フラッシュシーケンサの状態と FACI コマンドの関係

FACI コマンドは、フラッシュシーケンサのモード／状態に応じて受け付けられます。FACI コマンドの発行は、フラッシュシーケンサのコードフラッシュ P/E モードまたはデータフラッシュ P/E モードへの遷移後かつフラッシュシーケンサの状態確認後とします。

フラッシュシーケンサの状態を確認するには FSTATR レジスタおよび FASTAT レジスタを使用してください。さらに、一般的にエラー発生は、FASTAT レジスタの CMDLK ビットを読み出すことにより確認できます。CMDLK ビット値は、FSTATR レジスタの下記のビットの論理和です。

- ILGLERR
- ILGCOMERR
- FESETERR
- SECERR
- OTERR
- ERSERR
- PRGERR
- FLWEERR

表 43.15 に、各動作モードで使用可能な FACI コマンドを示します。

表 43.15 動作モードと使用可能な FACI コマンド

動作モード	FENTRYR	使用可能な FACI コマンド
読み出しモード	0x0000	なし
コードフラッシュ P/E モード	0x0001	プログラム ブロックイレース P/E サスペンド P/E レジューム ステータスクリア 強制停止 コンフィグレーション設定
データフラッシュ P/E モード	0x0080	プログラム ブロックイレース マルチブロックイレース P/E サスペンド P/E レジューム ステータスクリア 強制停止 ブランクチェック

表 43.16 に、フラッシュシーケンサの状態および受け付け可能な FACI コマンドを示します。コマンド実行前に適切なモードになっていることとします。

表 43.16 受け付け可能な FACI コマンドとフラッシュシーケンサの状態

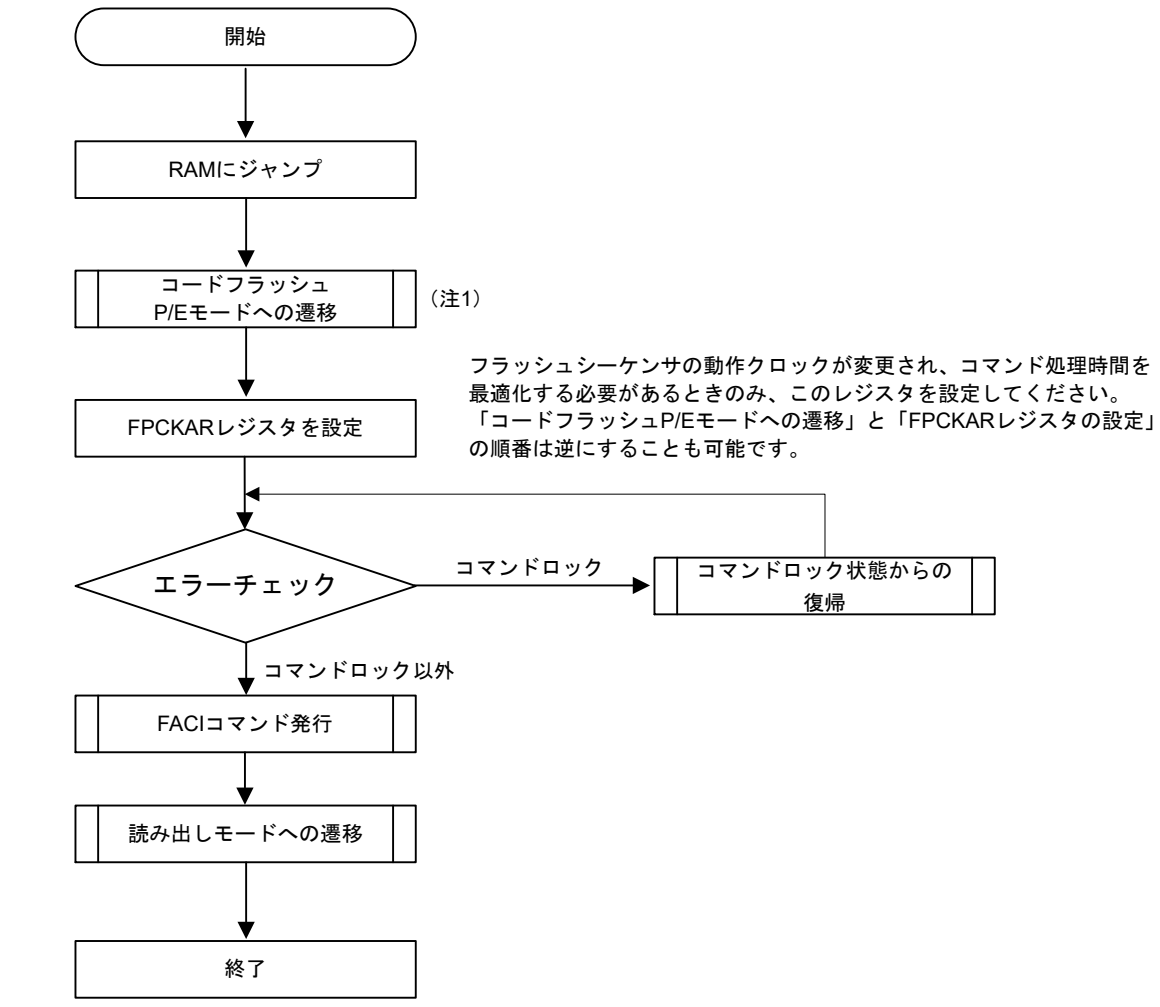
	プログラム、ブロックイレース、またはマルチブロックイレースコマンド処理中	コンフィグレーション設定コマンド処理中	プログラム、ブロックイレース、またはマルチブロックイレースコマンド中断処理中	ブランクチェックコマンド処理中	書き込みサスペンド状態	消去サスペンド状態	消去サスペンド中の書き込み	コマンドロック状態 (FRDY = 1)	コマンドロック状態 (FRDY = 0)	強制停止コマンド処理中	その他の状態
FRDY ビット	0	0	0	0	1	1	0	1	0	0	1
SUSRDY ビット	1	0	0	0	0	0	0	0	0	0	0
ERSSPD ビット	0	0	0/1	0/1	0	1	1	0/1	0/1	0	0
PRGSPD ビット	0	0	0/1	0/1	1	0	0	0/1	0/1	0	0
CMDLK ビット	0	0	0	0	0	0	0	1	1	0	0
プログラム	X	X(注4)	X	X	X	O(注3)	X	X	X	X	O
ブロックイレースまたはマルチブロックイレース	X	X(注4)	X	X	X	X	X	X	X	X	O
P/E サスペンド	O	X(注4)	X	X	X	X	X	—	X	X	—
P/E レジューム	X	X(注4)	X	X	O	O	X	X	X	X	X
ステータスクリア	X	X(注4)	X	X	O	O	X	O	X	X	O
強制停止	O	O(注4)	O	O	O	O	O	O	O	O	O
ブランクチェック	X	X(注4)	X	X	O(注1)	O(注1)	X	X	X	X	O(注1)
コンフィグレーション設定	X	X(注4)	X	X	X	X	X	X	X	X	O(注2)

注. O：受け付け可能
X：受け付け不可（シーケンサはコマンドロック状態になります）
—：無視
注 1. データフラッシュ P/E モードでのみ受け付け可能
注 2. コードフラッシュ P/E モードでのみ受け付け可能
注 3. 書き込み領域が消去サスペンドブロック以外の場合受け付け可能
注 4. コンフィグレーション設定が処理中で FSTATR.DBFULL ビットが 1 の場合、本コマンドを発行しないでください。

43.9.3 FACI コマンドの使用方法

43.9.3.1 コードフラッシュ P/E モードでのコマンド使用概要

コードフラッシュ P/E モードでの FACI コマンド使用概要を図 43.7 に示します。コードフラッシュ P/E モードで使用可能なコマンドについては、表 43.15 を参照してください。

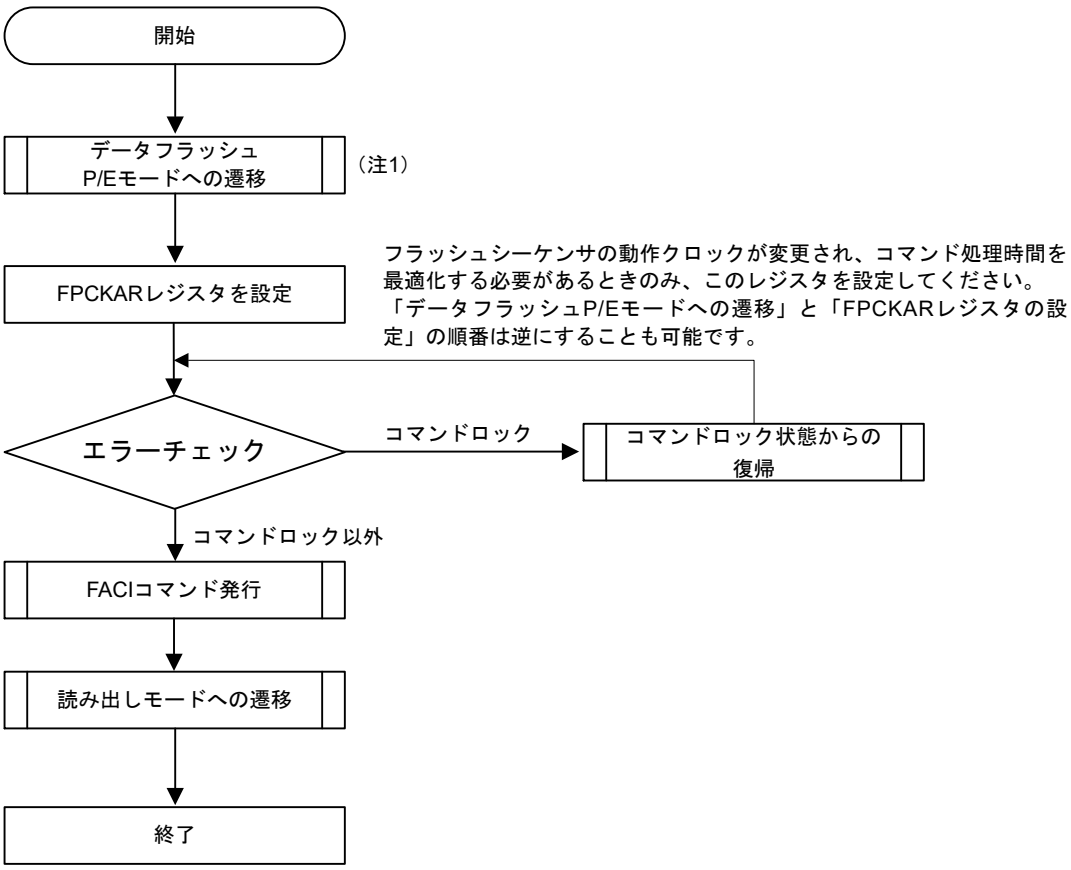


注 1. 「43.9.3.3. コードフラッシュ P/E モードへの遷移」を参照してください。

図 43.7 コードフラッシュ P/E モードでのコマンド使用概要

43.9.3.2 データフラッシュ P/E モードでのコマンド使用概要

データフラッシュ P/E モードでの FACI コマンド使用概要を図 43.8、データフラッシュ P/E モードで使用可能なコマンド一覧を表 43.15 に示します。



注 1. 「43.9.3.4. データフラッシュ P/E モードへの遷移」を参照してください。

図 43.8 データフラッシュ P/E モードでのコマンド使用概要

43.9.3.3 コードフラッシュ P/E モードへの遷移

コードフラッシュメモリに FACI コマンドを発行するには、FENTRYR レジスタの FENTRYC ビットを 1 にすることによりコードフラッシュ P/E モードに遷移する必要があります。

図 43.9 に、コードフラッシュ P/E モードへの遷移手順を示します。

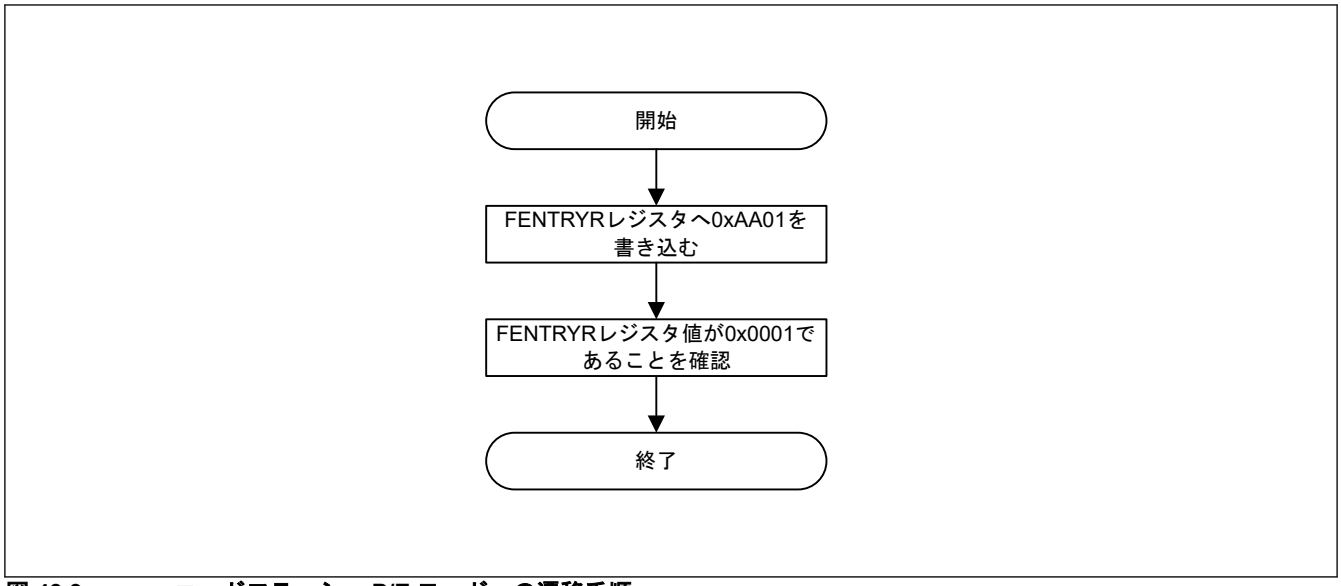


図 43.9 コードフラッシュ P/E モードへの遷移手順

43.9.3.4 データフラッシュ P/E モードへの遷移

データフラッシュメモリに FACI コマンドを発行するには、FENTRYR レジスタの FENTRYD ビットを 1 にすることによりデータフラッシュ P/E モードに遷移する必要があります。

図 43.10 に、データフラッシュ P/E モードへの遷移手順を示します。

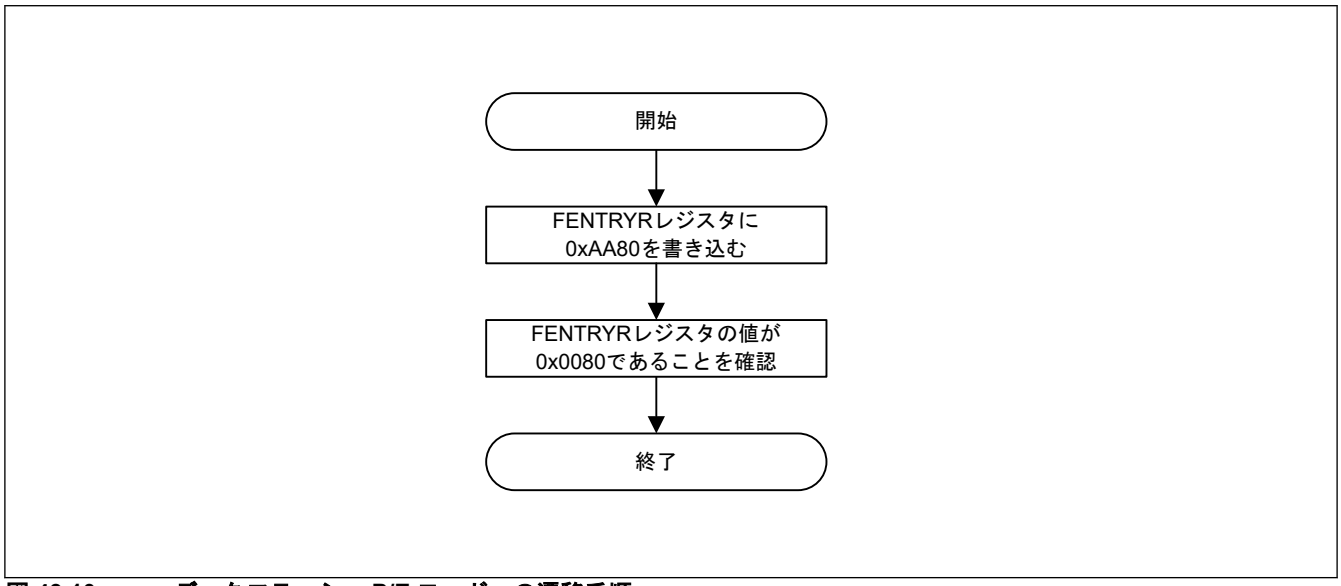
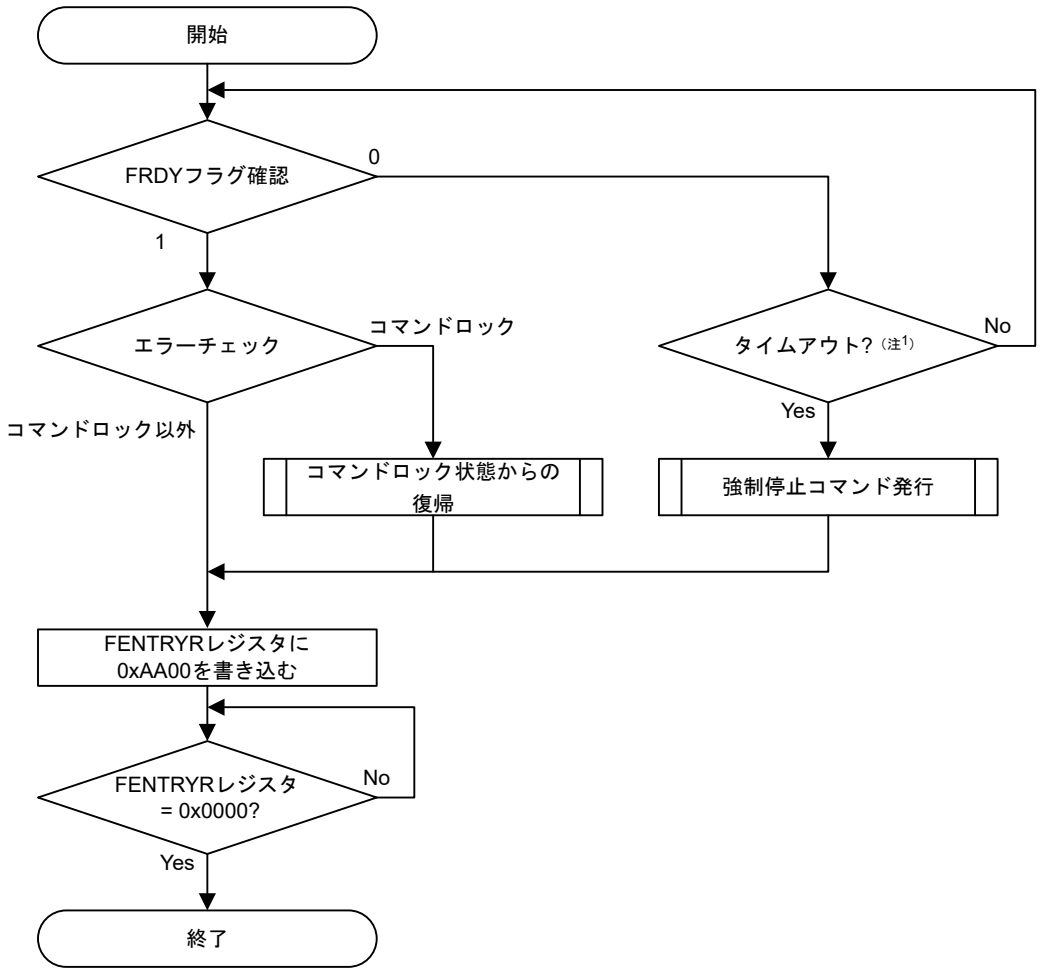


図 43.10 データフラッシュ P/E モードへの遷移手順

43.9.3.5 読み出しモードへの遷移

フラッシュメモリを読み出すには、FENTRYR レジスタを 0x0000 に設定することにより読み出しモードに遷移する必要があります。読み出しモードへの遷移は、フラッシュシーケンサの処理完了後かつコマンドロック状態ではない動作状態で行う必要があります。

図 43.11 に、読み出しモードへの遷移手順を示します。



注 1. 実行中の FACI コマンド処理に要する最大時間の 1.1 倍がタイムアウトの判断に使われます（「46. 電気的特性」参照）。

図 43.11 読み出しモードへの遷移手順

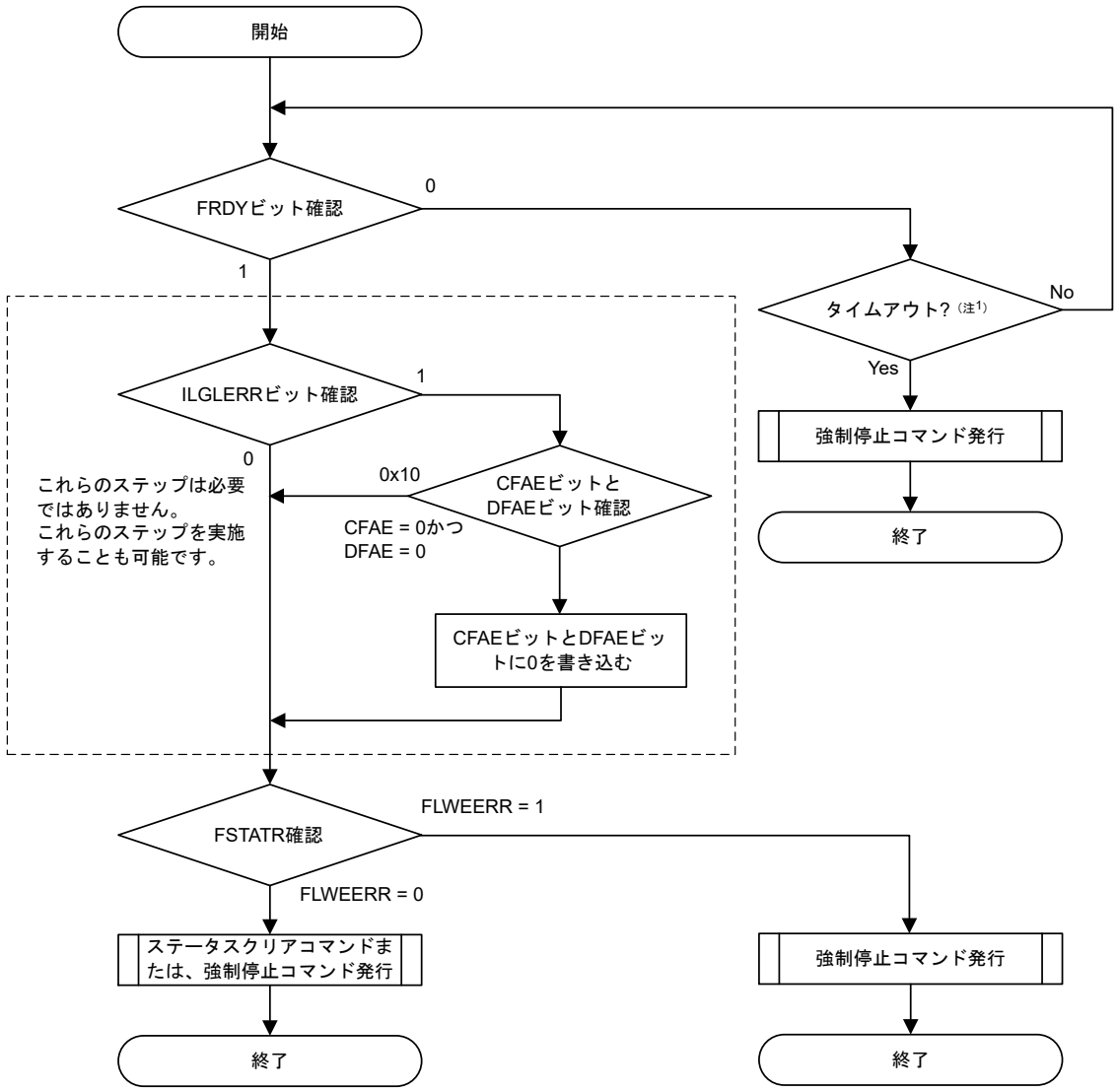
43.9.3.6 コマンドロック状態からの復帰

フラッシュシーケンサがコマンドロック状態になると、FACI コマンドは受け付けられなくなります。シーケンサをコマンドロック状態から解放するには、ステータスクリアコマンド、強制停止コマンド、または FASTAT レジスタを使用してください。

P/E サスペンドコマンドを発行する前のエラーチェックによりコマンドロック状態が検出されると、コマンド処理が完了していなくても FSTATR レジスタの FRDY ビットが 0 になる場合があります。電気的特性で指定されている最大プログラム／イレース時間までに処理が完了しない場合はタイムアウトとなり、強制停止コマンドによりフラッシュシーケンサを停止する必要があります。

FSTATR レジスタの FLWEERR ビットは、ステータスクリアコマンドでは 1 から 0 になりません。これらのビットが 1 の場合、強制停止コマンドを使ってコマンドロック状態を解除してください。コマンドロック状態を示す FSTATR レジスタの FRDY および FLWEERR 以外のビットは、ステータスクリアコマンドまたは強制停止コマンドで 1 から 0 に変更できます。

図 43.12 に、コマンドロック状態からの復帰フローを示します。



注 1. 実行中の FACI コマンド処理に要する最大時間の 1.1 倍がタイムアウトの判断に使われます（「46. 電気的特性」参照）。

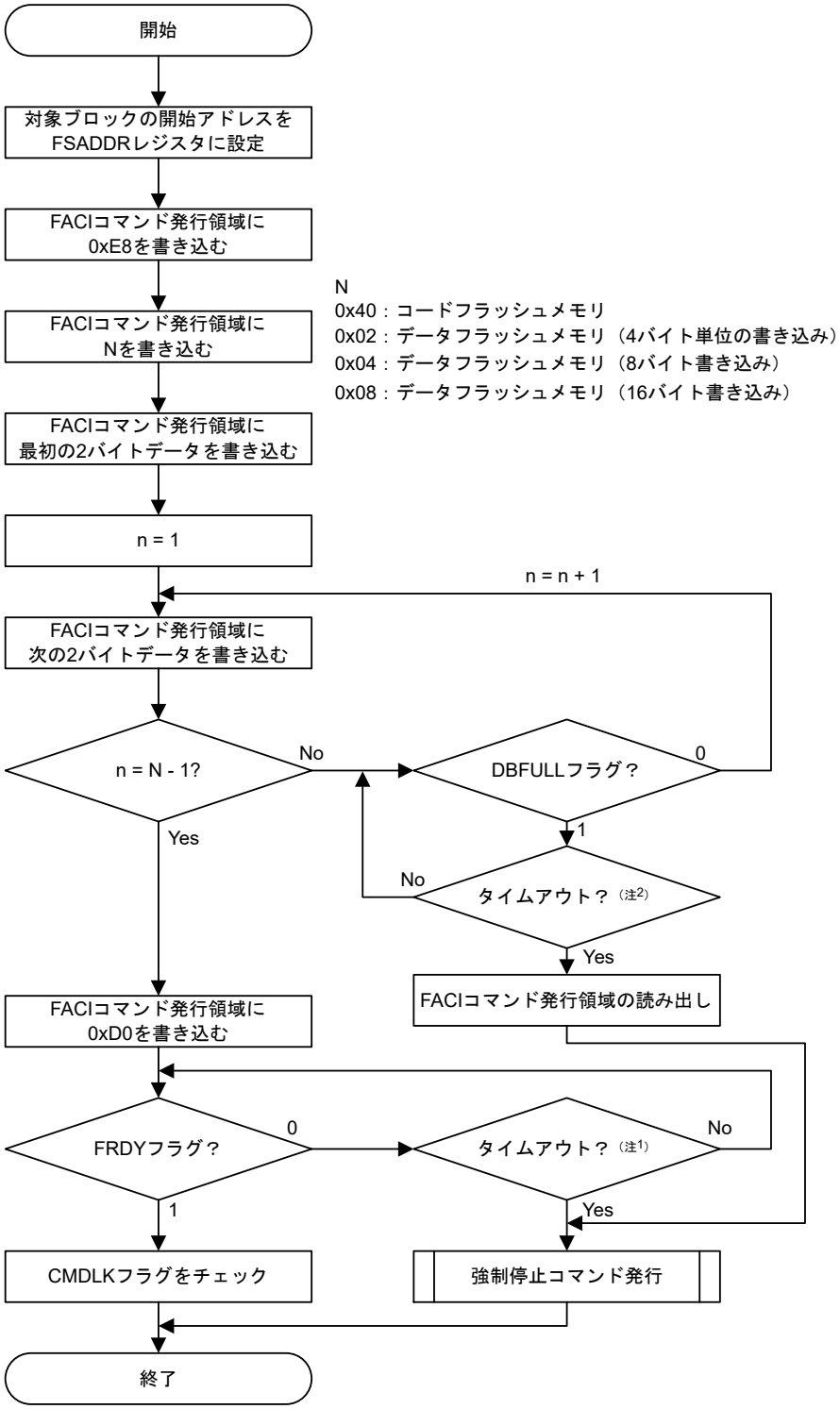
図 43.12 コマンドロック状態からの復帰フロー

43.9.3.7 プログラムコマンド

プログラムコマンドはユーザー領域およびデータ領域への書き込みに使用されます。FACI プログラムコマンド発行前に、対象ブロックの最初のアドレスを FSADDR レジスタに設定してください。FACI コマンド発行領域の最終アクセスで 0xD0 を書き込むとプログラムコマンド処理が開始されます。プログラムコマンド処理の対象領域に書き込み用ではない領域が含まれている場合は、該当領域に 0xFFFF を書き込んでください。

FACI 内部データバッファがフルの状態でプログラムコマンドを発行すると周辺バスに待ち状態になる期間が発生し、他の周辺モジュールの通信性能に影響を及ぼす可能性があります。待ち期間の発生を避けるには、FACI コマンド発行時には FSTATR レジスタの DBFULL ビットを 0 にしてください。データ領域に書き込んでもデータバッファがフルになることはありません。

図 43.13 に、プログラムコマンドの使用方法を示します。



注 1. 書き込みの最大時間の 1.1 倍がタイムアウトの判断に使われます。これらの時間については「46. 電気的特性」を参照してください。

注 2. 1.4 µs (f_{FCLK} ≧ 20 MHz)

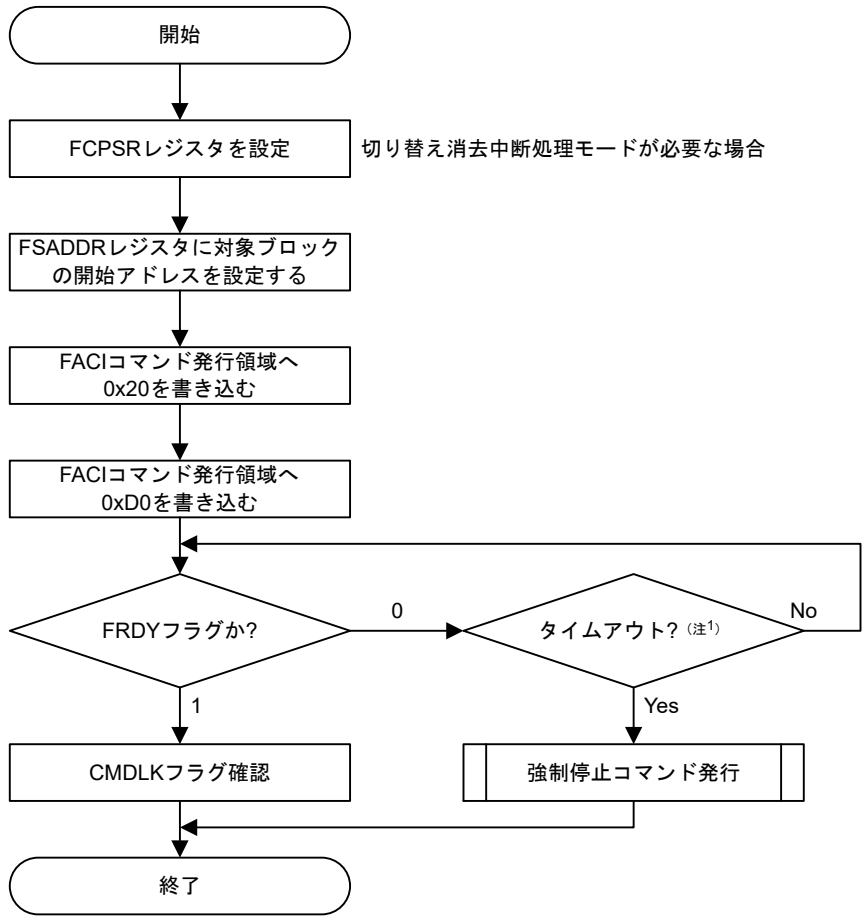
図 43.13 プログラムコマンドの使用フロー

43.9.3.8 ブロックイレースコマンド

ブロックイレースコマンドはユーザー領域またはデータ領域の消去に使用されます。消去はブロック単位です。ブロックイレースコマンド発行前に、対象ブロックの先頭アドレスを FSADDR レジスタに設定してください。FACI コマンドの 2 番目の書き込みで 0xD0 を書き込むと、FACI はブロックイレースコマンド処理を開始します。コマンド処理の完了は、FSTATR レジスタの FRDY ビットで確認できます。

ブロックイレースコマンド発行前に FCPSR レジスタを設定してください。さらに、消去サスペンドモードに切り替わる場合は、FCPSR レジスタが設定されている必要があります。

図 43.14 に、ブロックイレースコマンドの使用方法を示します。



注 1. 消去の最大時間の 1.1 倍がタイムアウトの判断に使われます。
「46. 電気的特性」を参照してください。

図 43.14 ブロックイレースコマンドの使用フロー

43.9.3.9 マルチブロックイレースコマンド

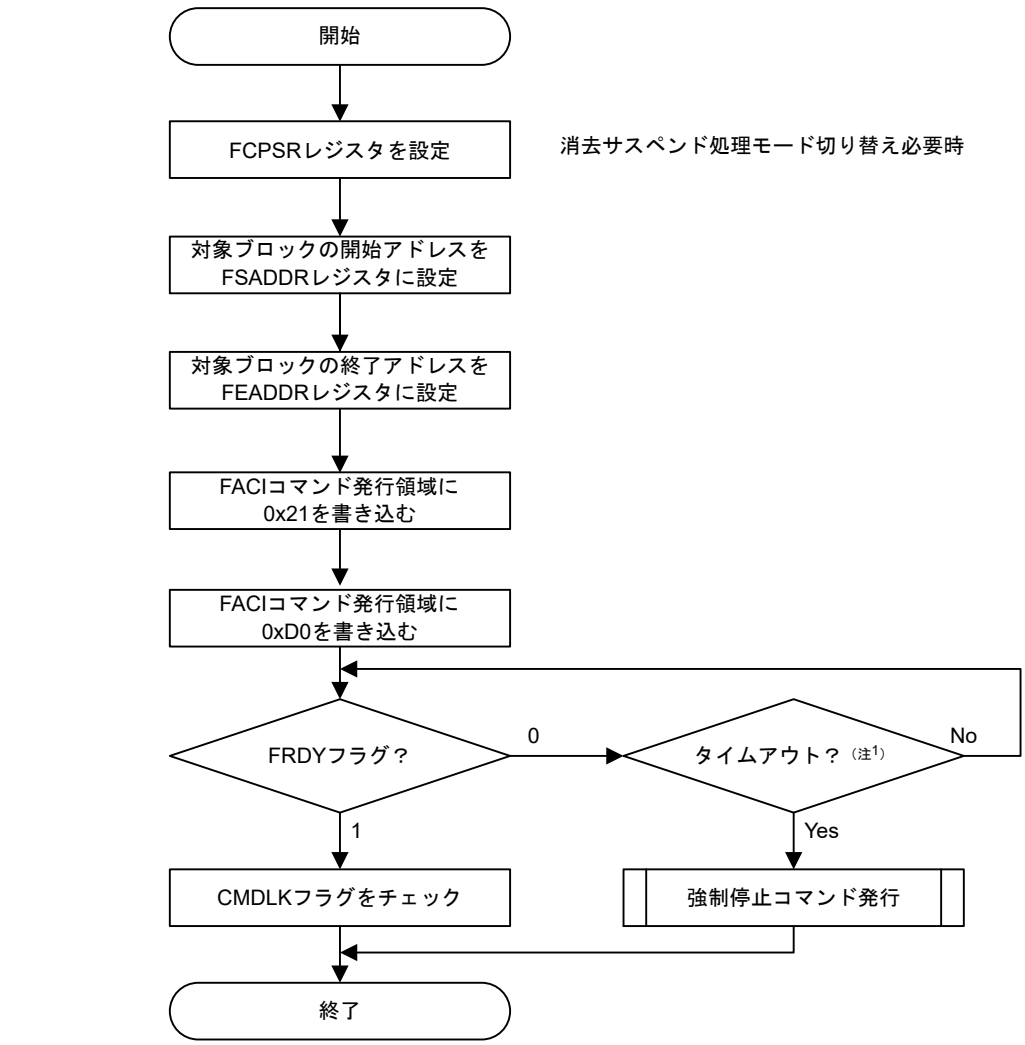
マルチブロックイレースコマンドはデータ領域の消去に使用されます。消去単位は、64 バイト、128 バイト、または 256 バイトです。マルチブロックイレースコマンド発行前に、FSADDR レジスタに開始アドレスを、FEADDR レジスタに終了アドレスを設定してください。FACI コマンドの 2 番目の書き込みで 0xD0 を書き込むと、FACI はマルチブロックイレースコマンド処理を開始します。コマンド処理の完了は、FSTATR レジスタの FRDY ビットで確認できます。

マルチブロックイレースコマンド発行前に FCPSR レジスタを設定してください。さらに、消去サスペンドモードに切り替える場合は、FCPSR レジスタが設定されている必要があります。

消去サイズの指定は、FSADDR レジスタおよび FEADDR レジスタを設定します。FSADDR レジスタおよび FEADDR レジスタの設定方法を表 43.17 に示します。

表 43.17　消去サイズの設定

消去サイズ	FSADDR	FEADDR
64 バイト	FSA0～FSA5 = 0（64 バイト境界）	FSADDR + 0x3C
128 バイト	FSA0～FSA6 = 0（128 バイト境界）	FSADDR + 0x7C
256 バイト	FSA0～FSA7 = 0（256 バイト境界）	FSADDR + 0xFC



注 1.　消去の最大時間の 1.1 倍がタイムアウトの判断に使われます。
「46. 電気的特性」を参照してください。

図 43.15　マルチブロックコマンドの使用フロー

43.9.3.10　P/E サスペンドコマンド

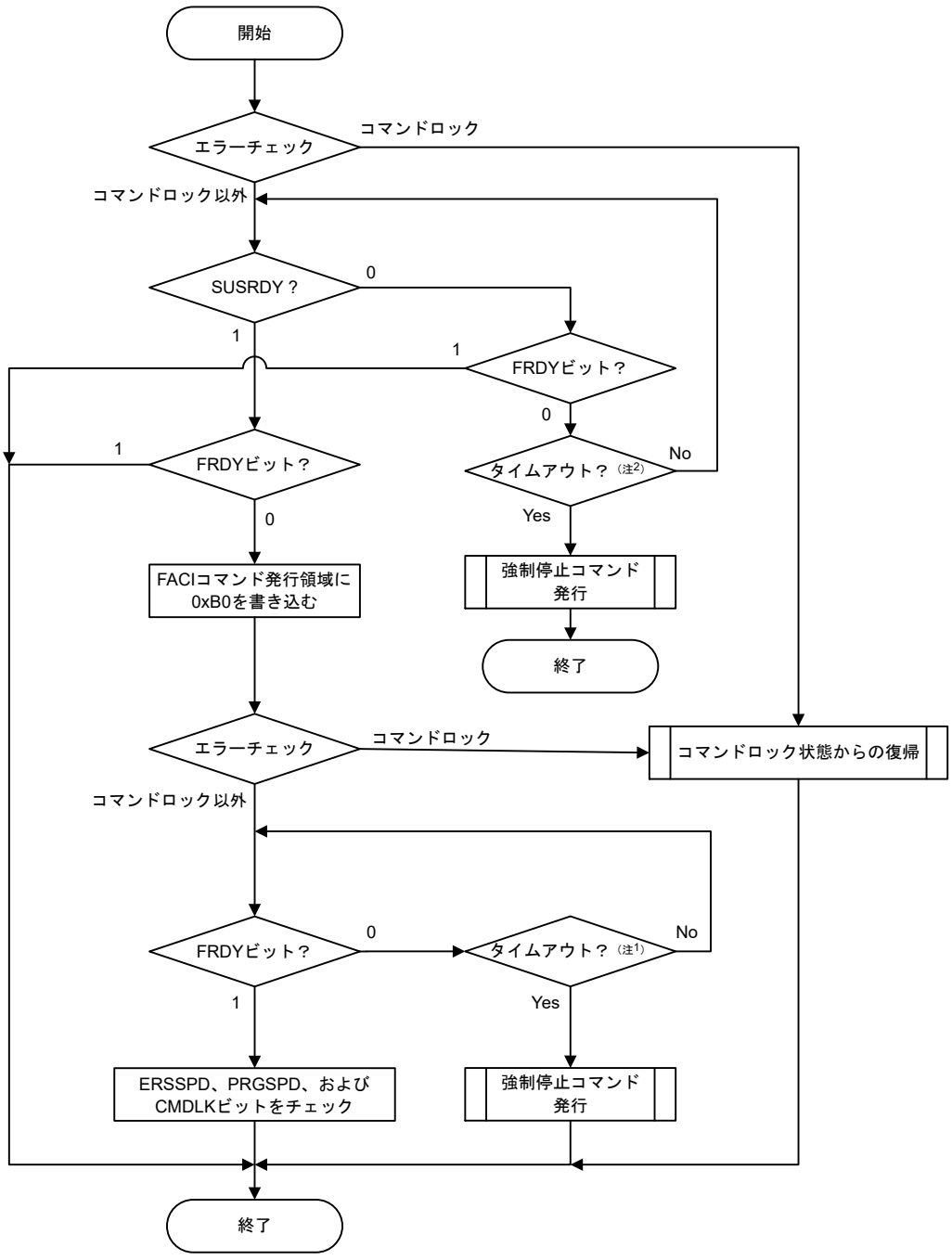
P/E サスペンドコマンドは、プログラム／イレースを中断するのに使用されます。P/E サスペンドコマンド発行前に、FASTAT レジスタの CMDLK ビットが 0 であり、プログラム／イレースが正常に実行されることを確認してください。P/E サスペンドコマンドが受信可能であることを確かめるために、FSTATR レジスタの SUSRDY ビットが 1 であることを確認します。P/E サスペンドコマンド発行後、CMDLK ビットを読み出し、エラーが発生しないことを確認します。

プログラム／イレース中エラーが発生すると、CMDLK ビットが 1 になります。プログラム／イレース処理が SUSRDY ビットが 1 になってから P/E サスペンドコマンドを受信するまでに終了した場合、エラーは発生せず、サスペンド状態に遷移しません（FSTATR レジスタの FRDY ビットは 1 になり、FSTATR レジスタの ERSSPD および PRGSPD ビットは 0 になります）。

P/E サスペンドコマンドを受信しプログラム／イレース中断処理が正常に終了すると、フラッシュシーケンサはサスペンド状態に遷移し、FRDY ビットは 1 になり、ERSSPD または PRGSPD ビットが 1 になります。P/E サスペンドコマンド発行後、ERSSPD または PRGSPD ビットは 1 で、サスペンド状態になっていることを確認し、次のフローに進みます。サスペンド状態にならなかった場合でも次のフローで P/E レジュームコマンドが発行された場合は、不正コマンドエラーとなり、フラッシュシーケンサはコマンドロック状態になります（「43.11.2. エラープロテクション」参照）。

消去サスペンド状態となった場合は、イレース対象ブロック以外のブロックへの書き込みが可能になります。さらに、FENTRYR レジスタをクリアすることによりプログラム／消去サスペンド状態は読み出しモードにシフトできます。

図 43.16 に、P/E サスペンドコマンドの使用方法を示します。



注 1. コードフラッシュおよびデータフラッシュのイレース中のサスペンド遅延の最大時間の 1.1 倍がタイムアウトの判断に使われます。
「46. 電気的特性」を参照してください。
注 2. 4.4 μs (f_{FCLK} ≧ 20 MHz)

図 43.16 P/E サスペンドコマンドの使用フロー

(1) 書き込み中のサスペンド

フラッシュメモリ書き込み中に P/E サスペンドコマンドを発行すると、フラッシュシーケンサは書き込み処理を中断します。図 43.17 に、書き込み中断動作を示します。書き込み関連のコマンドを受信するとフラッシュシーケンサは FSTATR レジスタの FRDY ビットを 0 にクリアし、書き込みを開始します。書き込み開始後フラッシュ

シーケンサが P/E サスペンドコマンド受信可能な状態になると、FSTATR レジスタの SUSRDY ビットを 1 にします。

P/E サスペンドコマンドが発行されると、フラッシュシーケンサはコマンドを受信し、SUSRDY ビットを 0 にクリアします。書き込みパルス印加中にフラッシュシーケンサが P/E サスペンドコマンドを受信した場合には、フラッシュシーケンサはパルスの印加を継続します。既定のパルス印加時間後フラッシュシーケンサはパルス印加を終了し、書き込みの中断処理を開始して FSTATR レジスタの PRGSPD ビットを 1 にします。

中断処理が完了すると、フラッシュシーケンサは FRDY ビットを 1 にして書き込みサスペンド状態に遷移します。書き込みサスペンド状態中に P/E レジュームコマンドを受信すると、フラッシュシーケンサは FRDY ビットと PRGSPD ビットを 0 にクリアして、書き込みを再開します。

書き込み中のサスペンドのタイミングを図 43.17 に示します。

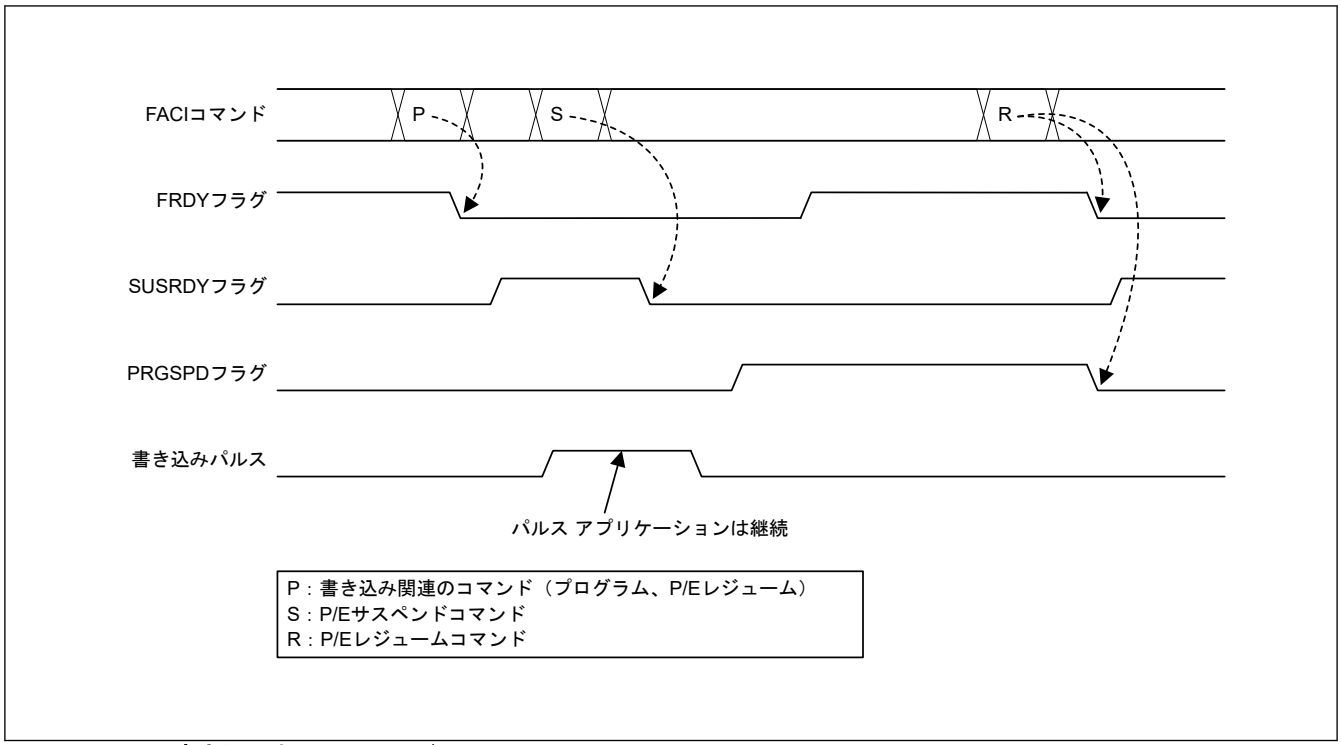


図 43.17　書き込み中のサスペンド

(2)　消去中のサスペンド（サスペンド優先モード）

フラッシュシーケンサは、消去中断用にサスペンド優先モードがあります。消去サスペンドモードがサスペンド優先モードに設定されている場合 (FCPSR.ESUSPMD = 0) の消去中断動作を図 43.18 に示します。

消去関連のコマンドを受信するとフラッシュシーケンサは FSTATR レジスタの FRDY ビットを 0 にクリアし、消去を開始します。消去開始後フラッシュシーケンサが P/E サスペンドコマンド受信可能な状態になると、FSTATR レジスタの SUSRDY ビットを 1 にします。

P/E サスペンドコマンドが発行されると、フラッシュシーケンサはコマンドを受信し、SUSRDY ビットを 0 にクリアします。

消去中にサスペンドコマンドを受信すると、フラッシュシーケンサは消去パルス印加中でも中断処理を開始し、FSTATR レジスタの ERSSPD ビットを 1 にします。中断処理が完了すると、フラッシュシーケンサは FRDY ビットを 1 にして消去サスペンド状態に遷移します。消去サスペンド状態中に P/E レジュームコマンドを受信すると、フラッシュシーケンサは FRDY ビットと ERSSPD ビットを 0 にクリアして、消去を再開します。消去の中断および再開時の FRDY、SUSRDY、ERSSPD の各ビットの動作は、消去サスペンドモードに関係なく同じです。

消去サスペンドモードの設定は消去パルスの制御方法に影響します。サスペンド優先モード時に、以前中断されなかった消去パルス A が印加中に P/E サスペンドコマンドを受信すると、フラッシュシーケンサは消去パルス A の印加を中断し、消去サスペンド状態になります。P/E レジュームコマンドにより消去が再開した後の消去パルス A の再印加中に P/E サスペンドコマンドを受信すると、フラッシュシーケンサは消去パルス A の印加を継続します。既定のパルス印加時間後にフラッシュシーケンサは消去パルス印加を終了し、消去サスペンド状態になります。

フラッシュシーケンサが次に P/E レジュームコマンドを受信し消去パルス B が印加中の場合、フラッシュシーケンサは P/E サスペンドコマンドを再び受信し、消去パルス B の印加は中断します。サスペンド優先モードでは、消去パルス印加はパルス毎に 1 回中断され、中断処理が優先されるので、中断による遅延は最小限に抑えることができます。

再開後の中断時間が t_{REST1}（再開時間：中断優先、同じパルスの最初の中断後の再開）よりも長い場合、中断遅延は常に t_{SESD1}（中断遅延：中断優先、同じパルスの最初の中断）になります。

再開後の中断時間が t_{REST1} よりも短い場合、中断遅延は t_{SESD1} または t_{SESD2}（中断遅延：中断優先、同じパルスの 2 番目の中断）になります。

（t_{REST1} / t_{SESD1} / t_{SESD2} の値については「46. 電気的特性」を参照してください。）

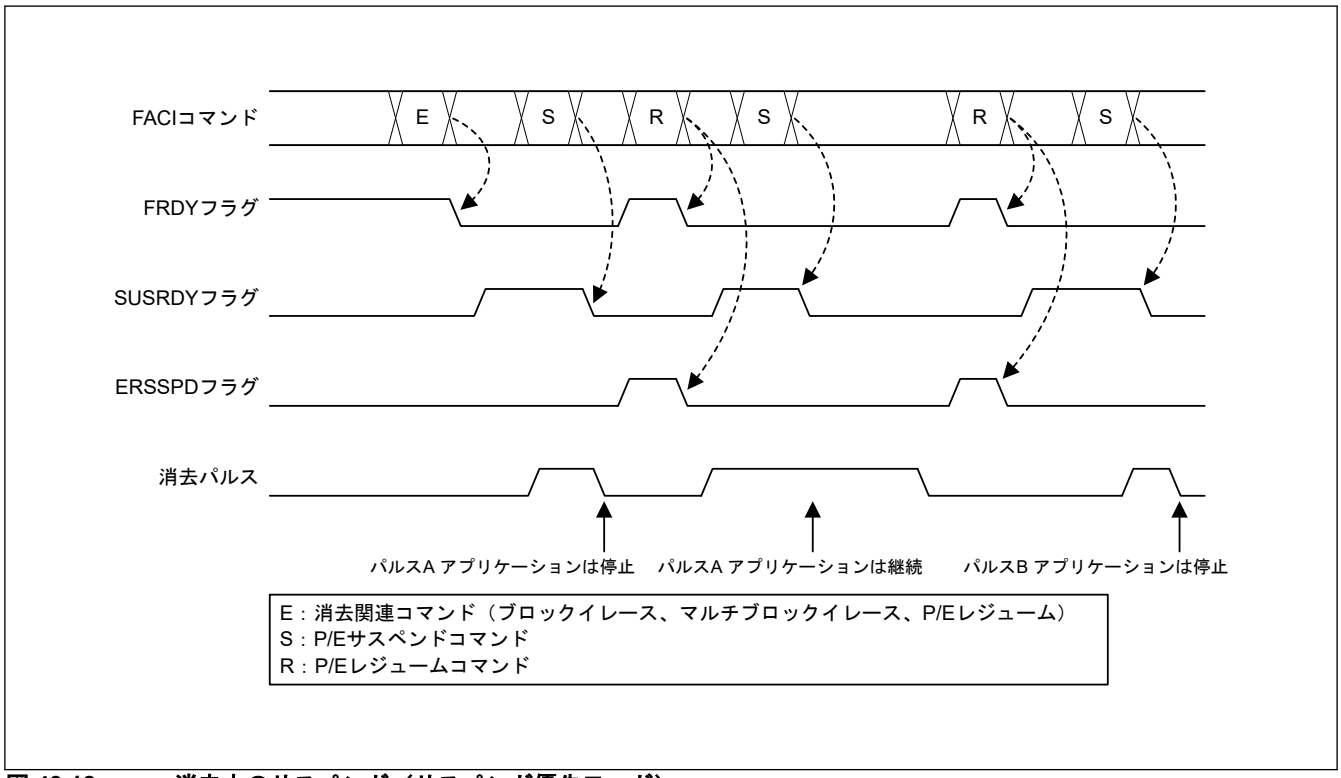


図 43.18　消去中のサスペンド（サスペンド優先モード）

(3)　消去中のサスペンド（イレース優先モード）

フラッシュシーケンサは、消去中断用にイレース優先モードがあります。消去サスペンドモードがイレース優先モードに設定されている場合 (FCPSR.ESUSPMD = 1) の消去中断動作を図 43.19 に示します。イレース優先モード中の消去パルスの制御方法は、書き込み中断処理用の書き込みパルス制御方法と同じです。

消去パルス印加中にフラッシュシーケンサが P/E サスペンドコマンドを受信した場合には、フラッシュシーケンサはパルスの印加を継続します。このモードでは、イレース処理に要する時間は、サスペンド優先モードよりも短縮されます。なぜなら、P/E レジュームコマンド発行時消去パルスの再印加は起きないからです。

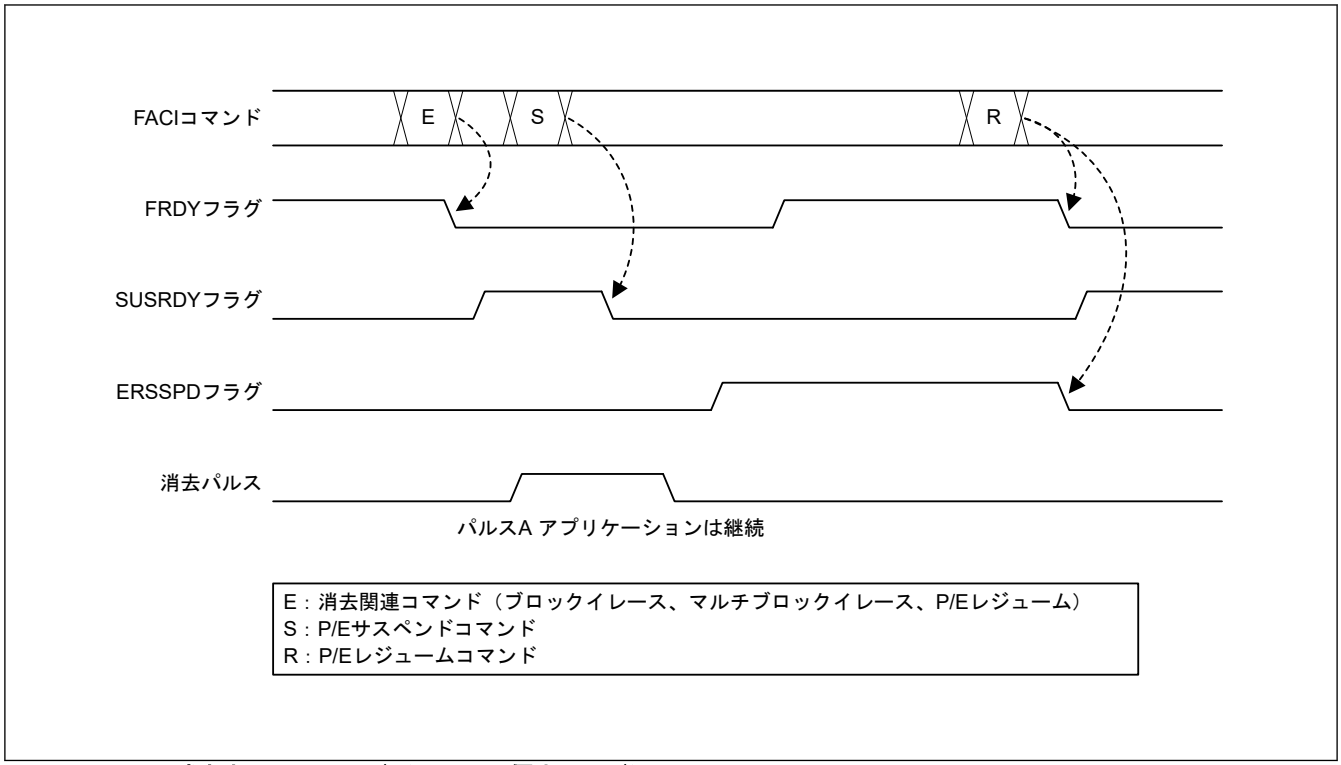
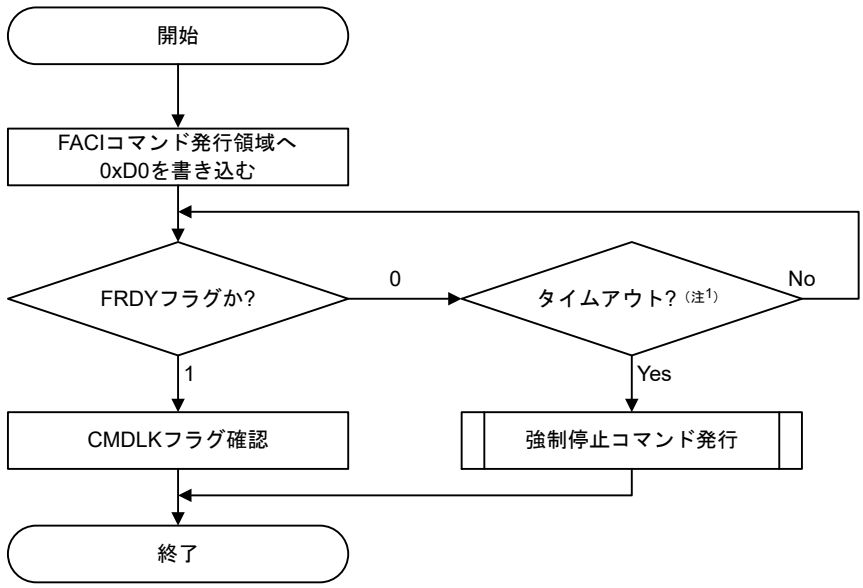


図 43.19　消去中のサスペンド（イレース優先モード）

43.9.3.11　P/E レジュームコマンド

P/E レジュームコマンドは、中断したプログラム／イレース処理を再開するために使用します。FENTRYR レジスタの設定が中断中に変更された場合は、FENTRYR レジスタを P/E サスペンドコマンドが出される前に保持されていた値にリセットした後 P/E レジュームコマンドを発行してください。図 43.20 に、P/E レジュームコマンドの使用方法を示します。



注 1. FACI コマンドの停止された処理の最大時間の 1.1 倍がタイムアウトの判断に使われます。
「46. 電気的特性」を参照してください。

図 43.20 P/E レジュームコマンドの使用フロー

43.9.3.12 ステータスクリアコマンド

ステータスクリアコマンドは、コマンドロック状態をクリアするのに使用されます（「43.9.3.6. コマンドロック状態からの復帰」参照）。

コマンドロック状態のときステータスクリアコマンドを使って FSTATR レジスタの下記ビットをクリアできます。

- ILGLERR
- ILGCOMERR
- FESETERR
- SECERR
- OTERR
- ERSERR
- PRGERR

図 43.21 に、ステータスクリアコマンドの使用方法を示します。

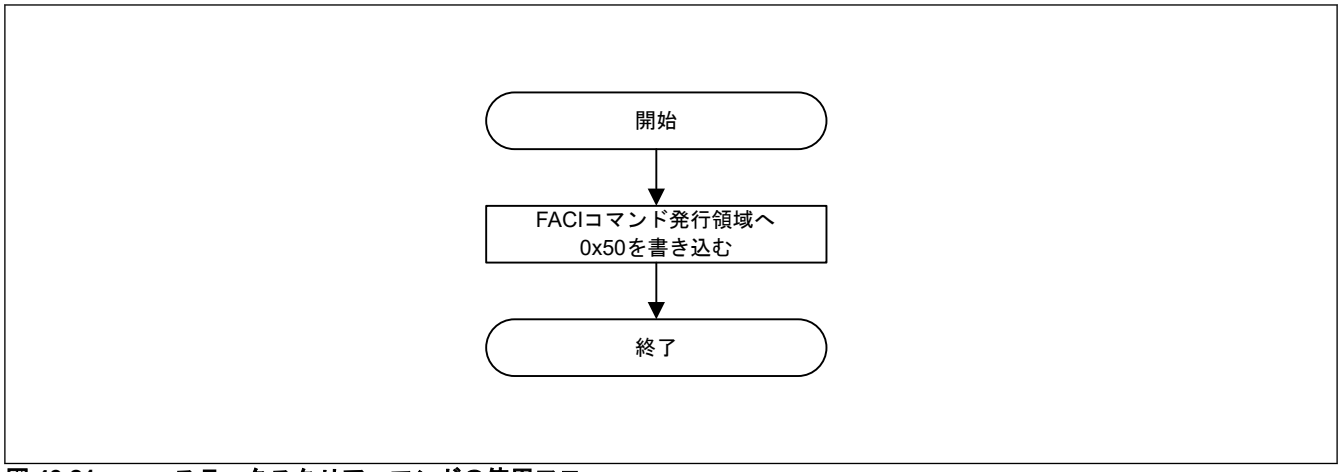


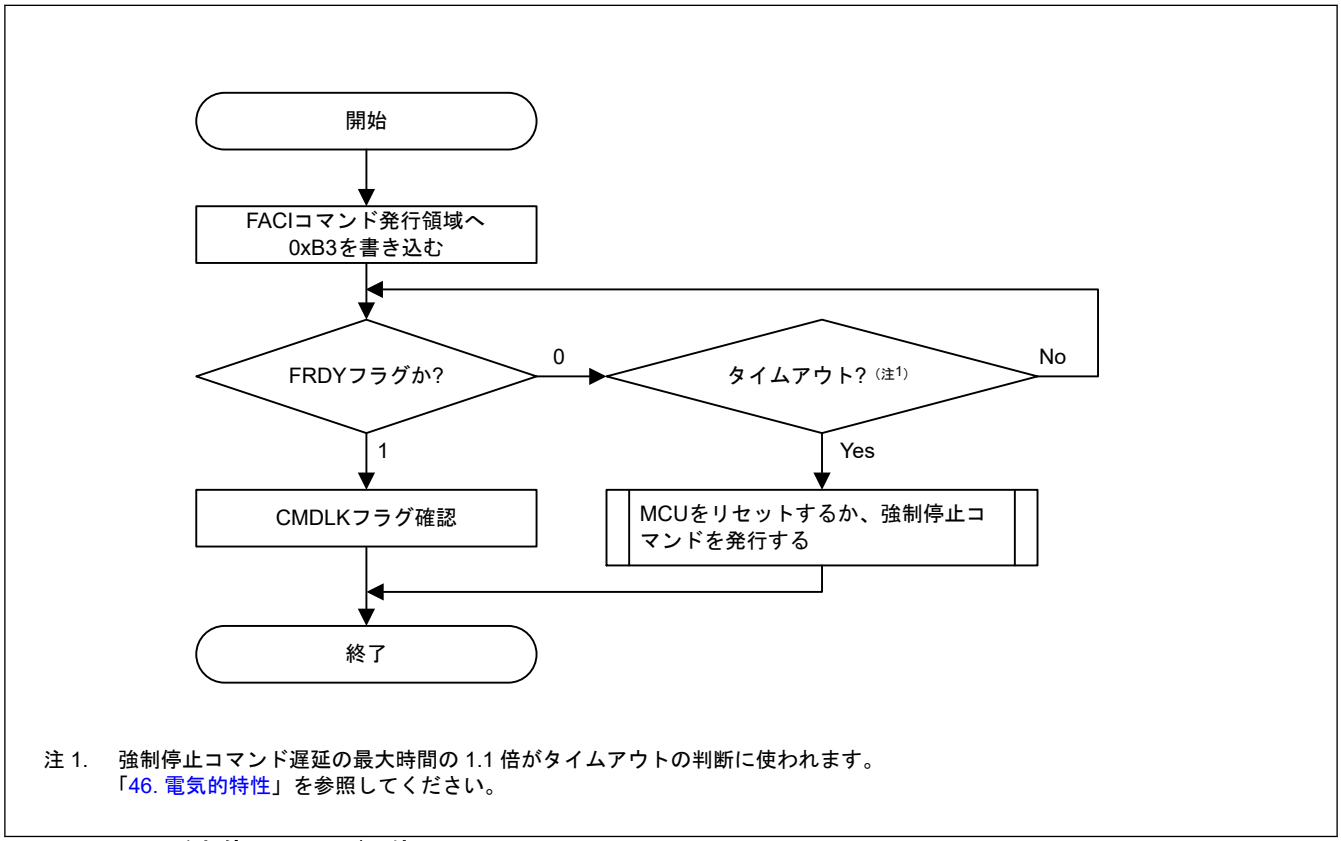
図 43.21 ステータスクリアコマンドの使用フロー

43.9.3.13 強制停止コマンド

強制停止コマンドは、フラッシュシーケンサによるコマンド処理を強制的に終了させる場合に使用します。本コマンドを使用すれば P/E サスペンドコマンドの場合よりも早くコマンド処理を停止させますが、進行中のプログラム／イレースからの値は保証されません。さらに、処理は再開できません。強制停止コマンドで停止させられたプログラム／イレース処理も、一つのプログラミングと定義されます。

強制停止コマンドを実行すると、FACI の一部、FCU 全体、FSTATR レジスタおよび FASTAT レジスタの初期化も行います。本コマンドは、コマンドロック状態からの復帰手順およびフラッシュシーケンサタイムアウトに対する処理手順で使用可能です（「43.9.3.6. コマンドロック状態からの復帰」参照）。

図 43.22 に、強制停止コマンドの使用方法を示します。



注 1. 強制停止コマンド遅延の最大時間の 1.1 倍がタイムアウトの判断に使われます。
「46. 電気的特性」を参照してください。

図 43.22 強制停止コマンドの使用フロー

(1) コマンド発行時に強制停止コマンドを使用する場合の注意事項

プログラムコマンドの DBFULL ビットによるタイムアウト発生時強制停止コマンドを使用すると、FACI コマンド発行領域への書き込みがプログラムコマンドのデータ書き込みと処理されることがあります。コマンドロックを強制するための FACI コマンド発行領域に関する詳細については「43.3. アドレス空間」の表 43.3 を参照してください。次に、コマンドロック状態からの復帰方式を使って強制停止コマンドを発行してください（図 43.13 参照）。FACI コマンド発行領域を読み出す単位が 8、16、または 32 ビットである場合はいずれもコマンドロックが可能です。

43.9.3.14 ブランクチェックコマンド

領域が未プログラム状態かどうかを確認するには、ブランクチェックコマンドを使用してください。イレース後に書き換えられていない（未プログラム状態）データフラッシュメモリを読み出すと、値はすべて不定です。

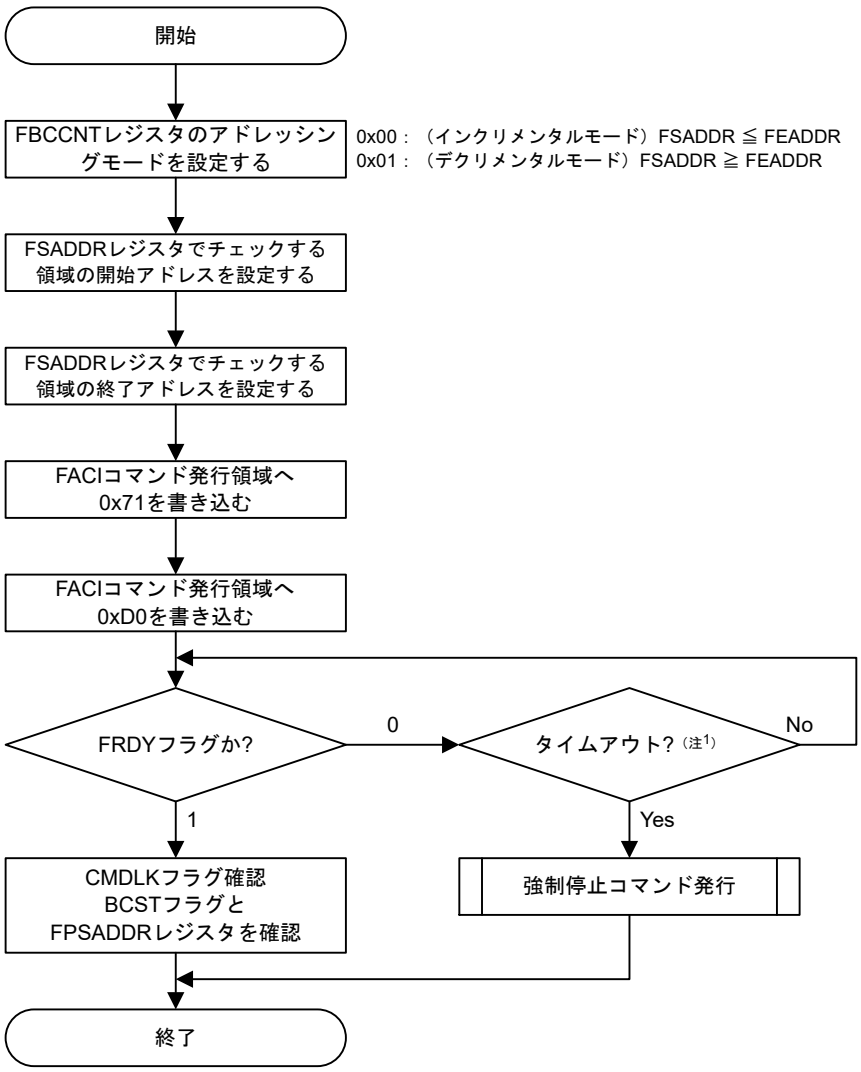
ブランクチェックコマンド発行前に、FBCCNT、FSADDR、FEADDR の各レジスタにアドレッシングモード、ブランクチェック対象領域の開始アドレスと終了アドレスを設定してください。ブランクチェックアドレッシングモードがデクリメンタルモードに設定されている場合（すなわち FBCCNT.BCDIR = 1）、FSADDR レジスタには、FEADDR レジスタに指定されているアドレス以上のアドレスを指定してください。

一方、ブランクチェックアドレッシングモードがインクリメンタルモードに設定されている場合（すなわち FBCCNT.BCDIR = 0）、FSADDR レジスタには、FEADDR レジスタに指定されているアドレス以下のアドレスを指定してください。

BCDIR ビット、FSADDR レジスタ、および FEADDR レジスタの設定に矛盾があると、フラッシュシーケンサはコマンドロック状態になります。ブランクチェック対象領域のサイズは、4 バイト～データフラッシュメモリ容量の範囲で、4 バイト単位で設定されます。

ブランクチェックを開始するには、FACI コマンド発行領域に 0x71 および 0xD0 を書き込んでください。処理完了は、FSTATR レジスタの FRDY ビットで確認できます。処理完了時、ブランクチェックの結果は FBCSTAT レジスタの BCST ビットに格納されます。ブランクチェック対象領域内に未プログラムデータが存在する場合、フラッシュシーケンサはブランクチェックコマンドの動作を停止させます。この場合、未プログラムデータのアドレスが FPSADDR レジスタに表示されます。

図 43.23 に、ブランクチェックコマンドの使用方法を示します。



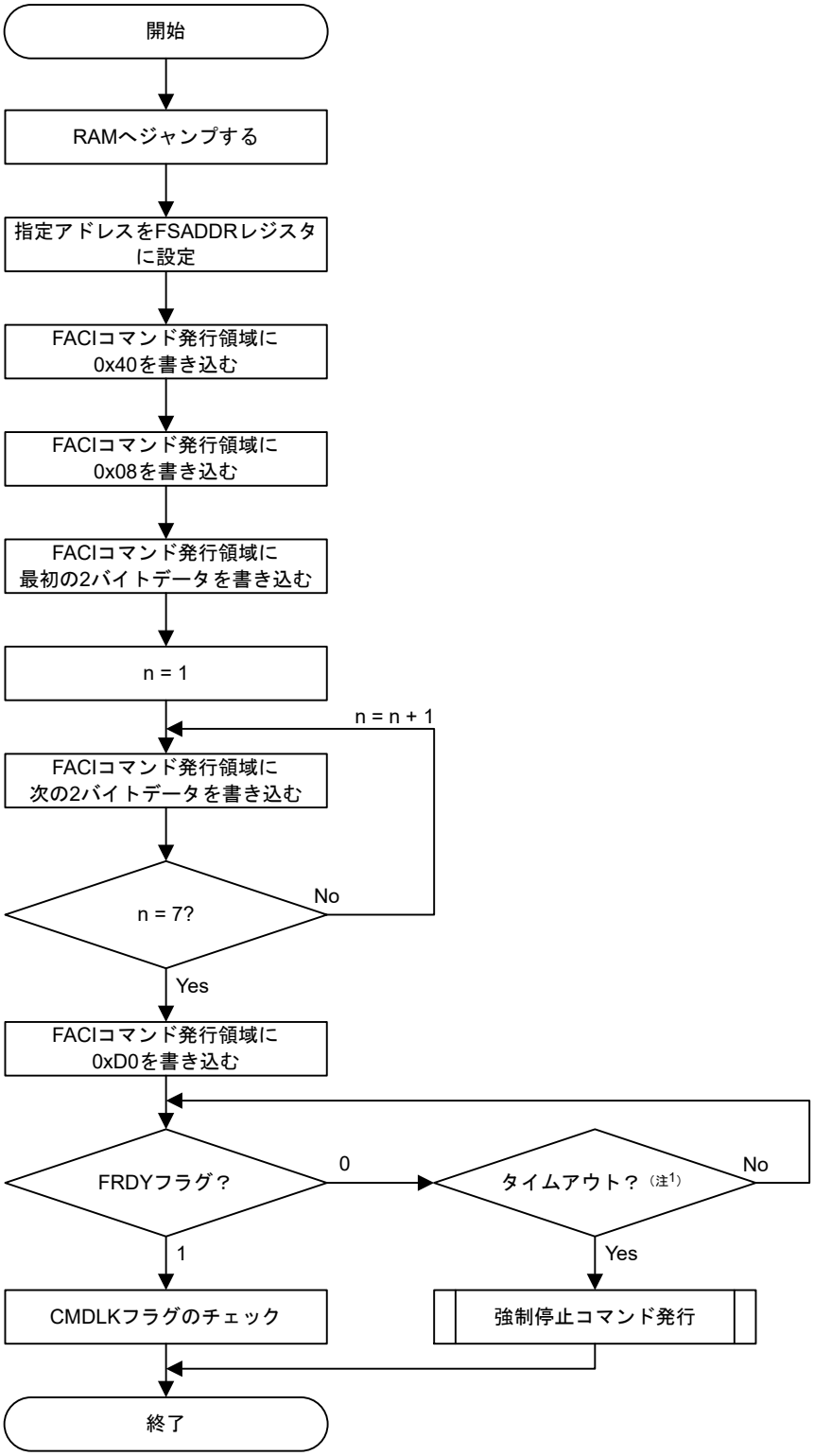
注 1. 全対象範囲のブランクチェックに要する最大時間の 1.1 倍がタイムアウトの判断に使われます。「46. 電気的特性」を参照してください。

図 43.23 ブランクチェックコマンドの使用フロー

43.9.3.15 コンフィグレーション設定コマンド

コンフィグレーション設定コマンドは、オプション設定メモリを設定するのに使用されます。コンフィグレーション設定コマンド発行前に FSADDR レジスタに（表 43.18 に示す）指定アドレスを設定してください。FACI コマンド発行の最終アクセスで FACI コマンド発行領域に 0xD0 を書くと、コンフィグレーション設定コマンドの FACI 処理が開始されます。

図 43.24 に、コンフィグレーション設定コマンドの使用方法を示します。



注 1. オプション設定メモリ内の書き込みの最大時間の 1.1 倍がタイムアウトの判断に使われます。「46. 電気的特性」を参照してください。

図 43.24 コンフィグレーション設定コマンドの使用フロー

コンフィグレーション設定に使用されると思われる対象データと FSADDR レジスタに設定されているアドレス値との関係を表 43.18 に示します。詳細は、「43.4.12. FSADDR : FACI コマンド開始アドレスレジスタ」を参照してください。

表 43.18 コンフィグレーション設定コマンドが使用するアドレス

アドレス	FSADDR レジスタ値	設定データ	追加の書き込み		設定が有効になるタイミング
			SAS.FSPR ビットが 1	SAS.FSPR ビットが 0	
0x0100_A100	0x0100_A100	オプション機能選択レジスタ 0 (OFS0)	書き込み可能	書き込み可能	リセット時
0x0100_A134	0x0100_A130	スタートアップ領域設定レジスタ (SAS)	書き込み可能	書き込み不可(注1)	リセットまたはコマンド実行時
0x0100_A180	0x0100_A180	オプション機能選択レジスタ 1 (OFS1)	書き込み可能	書き込み可能	リセット時
0x0100_A1C0	0x0100_A1C0	ブロック保護設定レジスタ (BPS)	書き込み可能(注2)	書き込み可能(注2)	リセットまたはコマンド実行時
0x0100_A1E0	0x0100_A1E0	永久ブロック保護設定レジスタ (PBPS)	書き込み可能(注3)（1 から 0 への変更のみ）	書き込み可能(注3)（1 から 0 への変更のみ）	リセットまたはコマンド実行時
0x0100_A200	0x0100_A200	オプション機能選択レジスタ 1 セキュア (OFS1_SEC)	書き込み可能	書き込み可能	リセット時
0x0100_A240	0x0100_A240	ブロック保護設定レジスタセキュア (BPS_SEC)	書き込み可能(注4)	書き込み可能(注4)	リセットまたはコマンド実行時
0x0100_A260	0x0100_A260	永久ブロック保護設定レジスタセキュア (PBPS_SEC)	書き込み可能(注5)（1 から 0 への変更のみ）	書き込み可能(注5)（1 から 0 への変更のみ）	リセットまたはコマンド実行時
0x0100_A280	0x0100_A280	オプション機能選択レジスタ 1 選択 (OFS1_SEL)	書き込み可能	書き込み可能	リセット時
0x0100_A2C0	0x0100_A2C0	ブロック保護設定レジスタ選択 (BPS_SEL)	書き込み可能	書き込み可能	リセット時

注 1. SAS.FSPR ビットは、いったん 0 に設定されると、コンフィグレーション設定コマンドで 1 に戻すことはできません。したがって、スタートアップ領域選択フラグを再び設定できなくなります。（アドレス 0x0100A134 にコンフィグレーション設定コマンドが出されると、コマンドはロックされます。）SAS.FSPR ビットの取り扱いには特に注意してください。
注 2. PBPS[n]ビットをいったん 0 に設定すると、コンフィグレーション設定コマンドで BPS[n]ビットを 1 に戻すことはできません。
注 3. これらのビットをいったん 0 に設定すると、コンフィグレーション設定コマンドで 1 に戻すことはできません。BPS[n]ビットが 1 のとき PBPS[n]ビットをコンフィグレーション設定コマンドで 0 にすることはできません。
注 4. PBPS_SEC[n]ビットをいったん 0 に設定すると、コンフィグレーション設定コマンドで BPS_SEC[n]ビットを 1 に戻すことはできません。
注 5. これらのビットをいったん 0 に設定すると、コンフィグレーション設定コマンドで 1 に戻すことはできません。BPS_SEC[n]ビットが 1 のとき PBPS_SEC[n]ビットをコンフィグレーション設定コマンドで 0 にすることはできません。

43.10 サスペンド動作

プログラム／イレース処理中は、表 43.29 に示すバックグラウンドオペレーションの条件が満たされない場合、フラッシュメモリの読み出しはできません。P/E サスペンドコマンドを発行し、フラッシュメモリへのプログラム／イレース処理を中断させることによって、フラッシュメモリの読み出しが可能になります。P/E サスペンドコマンドには、書き込みに対するサスペンドモードが 1 種類と消去に対するサスペンドモードが 2 種類（サスペンド優先モード、イレース優先モード）存在します。また、中断したプログラム／イレース処理を再開する P/E レジュームコマンドも用意しています。サスペンド動作の詳細は、図 43.16 を参照してください。

43.11 プロテクション機能

43.11.1 ソフトウェアプロテクション

ソフトウェアプロテクションは、コントロールレジスタの設定およびユーザー領域のブロック保護設定によりコードフラッシュメモリの書き換えおよび消去を無効にします。ソフトウェアプロテクションに対して FACI コマンド発行を試みると、フラッシュシーケンサはコマンドロック状態になります。

43.11.1.1 FWEPROR レジスタによるプロテクション

FWEPROR.FLWE[1:0]が 01b でなければ、どのモードでも書き換えはできません。

43.11.1.2 FENTRYR レジスタによるプロテクション

FENTRYR レジスタが 0x0000 に設定されるとフラッシュシーケンサは読み出しモードになります。読み出しモードでは FACI コマンドは受け付けられません。読み出しモードで FACI コマンド発行を試みると、フラッシュシーケンサはコマンドロック状態になります。

43.11.1.3 ブロック保護設定によるプロテクション

ユーザー領域の各ブロックにはブロック保護設定（BPS または BPS_SEC）があります。FBPROT0 レジスタまたは FBPROT1 レジスタが 0x0000 で、ブロック保護ビットが 0 のとき、コードフラッシュのユーザー領域にプログラムコマンドまたはブロックイレースコマンドを発行するとコマンドロック状態になります。ブロック保護ビットが 0 のブロックを書き換えまたは消去するためには、FBPROT0 レジスタまたは FBPROT1 レジスタを 0x0001 に設定してください。

ブロック保護設定は、永久ブロック保護設定（PBPS または PBPS_SEC）によりロックできます。永久ブロック保護設定およびブロック保護設定が 0 のとき、コードフラッシュのユーザー領域にプログラムコマンドまたはブロックイレースコマンドを発行すると、FBPROT0 レジスタまたは FBPROT1 レジスタの設定にかかわらず、フラッシュシーケンサはコマンドロック状態になります。

有効なブロック保護設定（BPS または BPS_SEC）はブロック保護選択ビット (BPS_SEL) に依存します。

ブロック保護設定および永久ブロック保護設定の詳細については「43.12.2. 永久ブロック保護設定」を参照してください。詳細については、「43.4.15. FBPROT0 : フラッシュブロック保護レジスタ」および「43.4.16. FBPROT1 : セキュア用フラッシュブロック保護レジスタ」を参照してください。

ブロック保護設定（BPS または BPS_SEC）およびブロック保護選択 (BPS_SEL) の詳細については、「6. オプション設定メモリ」を参照してください。

ブロック保護設定による保護領域は、アドレススワップ機能の設定（スタートアップ領域選択、）にかかわらず、常に FSADDR レジスタ設定のアドレスで決まります。表 43.19～表 43.20 に、各機能設定でのユーザー領域とブロック保護設定の関係を示します。

- BPS[0]～BPS[n]または BPS_SEC[0]～BPS_SEC[n]は、ユーザー領域のブロックに割り当てられています（たとえば、アドレスは 0x00_0000～最終ブロックアドレスになります）。
- BPS[0]/BPS_SEC[0]および BPS[1]/BPS_SEC[1]は、スタートアップ領域選択設定（SAS.BTFLG ビット）応じてユーザー領域のブロックに割り当てられています。（「43.11.3. スタートアッププログラムプロテクション」を参照してください。）

スタートアップ領域選択が無効（スワップなし）の場合のブロック保護設定を表 43.19 に示します。

アドレス変換機能が使用される場合のブロック保護設定の例を表 43.20 に示します。

表 43.19 SAS.BTFLG ビットが 1 の場合のブロック保護設定例 (1/2)

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
最終ブロックアドレス	32 KB	BPS[n]または BPS_SEC[n]	ブロック n	—
⋮	⋮	⋮	⋮	—
0x01_8000～0x01_FFFF	32 KB	BPS[9]または BPS_SEC[9]	ブロック 9	—
0x01_0000～0x01_7FFF	32 KB	BPS[8]または BPS_SEC[8]	ブロック 8	—
0x00_E000～0x00_FFFF	8 KB	BPS[7]または BPS_SEC[7]	ブロック 7	—
0x00_C000～0x00_DFFF	8 KB	BPS[6]または BPS_SEC[6]	ブロック 6	—
⋮	⋮	⋮	⋮	—
0x00_2000～0x00_3FFF	8 KB	BPS[1]または BPS_SEC[1]	ブロック 1	本スタートアップ領域選択設定ではブロック 0 とブロック 1 をスワップしない

表 43.19 SAS.BTFLG ビットが 1 の場合のブロック保護設定例 (2/2)

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
0x00_0000～0x00_1FFF	8 KB	BPS[0]または BPS_SEC[0]	ブロック 0	本スタートアップ領域選択設定ではブロック 0 とブロック 1 をスワップしない

表 43.20 SAS.BTFLG ビットが 0 の場合のブロック保護設定例

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
最終ブロックアドレス	32 KB	BPS[n]または BPS_SEC[n]	ブロック n	—
⋮	⋮	⋮	⋮	—
0x01_8000～0x01_FFFF	32 KB	BPS[9]または BPS_SEC[9]	ブロック 9	—
0x01_0000～0x01_7FFF	32 KB	BPS[8]または BPS_SEC[8]	ブロック 8	—
0x00_E000～0x00_FFFF	8 KB	BPS[7]または BPS_SEC[7]	ブロック 7	—
0x00_C000～0x00_DFFF	8 KB	BPS[6]または BPS_SEC[6]	ブロック 6	—
⋮	⋮	⋮	⋮	—
0x00_2000～0x00_3FFF	8 KB	BPS[1]または BPS_SEC[1]	ブロック 0	本スタートアップ領域選択設定ではブロック 0 とブロック 1 をスワップ
0x00_0000～0x00_1FFF	8 KB	BPS[0]または BPS_SEC[0]	ブロック 1	本スタートアップ領域選択設定ではブロック 0 とブロック 1 をスワップ

43.11.2 エラープロテクション

エラープロテクションは、不正 FACI コマンドの発行、不正アクセス、およびフラッシュシーケンサの誤動作を検出します。エラー検出時 FACI コマンドは受け付けられなくなります (コマンドロック状態)。フラッシュシーケンサがコマンドロック状態中、フラッシュメモリは書き込みまたは消去できません。コマンドロック状態から解放するには、ステータスクリアコマンドまたは強制停止コマンドを発行してください。ステータスクリアコマンドは、FSTATR レジスタの FRDY ビットが 1 の場合のみ使用可能です。強制停止コマンドは、FRDY ビットの値に関係なく使用できます。FAEINT レジスタの CMDLKIE ビットが 1 のとき、フラッシュシーケンサがコマンドロック状態（FASTAT レジスタの CMDLK ビットが 1）になるとフラッシュアクセスエラー (FIFERR) 割り込みが発生します。

プログラム／イレース処理中に P/E サスペンドコマンド以外のコマンドによりフラッシュシーケンサがコマンドロック状態になると、フラッシュシーケンサはプログラム／イレース処理を継続します。この状態ではプログラム／イレース処理を中断するのに P/E サスペンドコマンドは使用できません。コマンドロック状態でコマンドが発行されると、ILGLERR ビットが 1 になり、その他のビットは前回のエラー検出時に設定された値を保持します。

表 43.21 に、プロテクション種別とエラー検出後のステータスビット値を示します。

表 43.21 エラープロテクション種別 (1/3)

エラー種別	説明	ILGCOMERR	FESETERR	SECERR	OTERR	ILGLERR	ERSERR	PRGERR	FLWEERR	CFAE	DFAE
FENTRYR 設定エラー	FENTRYR レジスタに設定された値が 0x0000、0x0001、0x0080 のいずれでもない	0	1	0	0	1	0	0	0	0	0
	サスペンド時の FENTRYR レジスタ設定がレジューム時の設定と異なる	0	1	0	0	1	0	0	0	0	0

表 43.21 エラープロテクション種別 (2/3)

エラー種別	説明	ILGCOMERR	FESETERR	SECERR	OTERR	ILGLERR	ERSERR	PRGERR	FLWEERR	CFAE	DFAE
不正コマンドエラー	コマンドの最初のサイクルで不定サイズが指定された（バイト書き込みでない）	1	0	0	0	1	0	0	0	0	0
	FACI コマンドの最初のアクセスで不定コードが書き込まれた	1	0	0	0	1	0	0	0	0	0
	マルチアクセス FACI コマンドの最終アクセスで指定された値が 0xD0 でない	1	0	0	0	1	0	0	0	0	0
	プログラムまたはコンフィグレーション設定コマンドで FACI コマンドの 2 番目の書き込みで指定された値 (N) が間違っている	1	0	0	0	1	0	0	0	0	0
	ブランクチェックコマンドが発行されたが、BCDIR、FSADDR、FEADDR の各レジスタの設定と一致しない（「43.4.13. FEADDR : FACI コマンド終了アドレスレジスタ」参照）	1	0	0	0	1	0	0	0	0	0/1 (注1)
	マルチブロックイレースコマンドが発行されたが、FSADDR レジスタおよび FEADDR レジスタ設定と一致しない • FSADDR > FEADDR • FEADDR レジスタは予約領域に設定されている	1	0	0	0	1	0	0	0	0	0/1 (注1)
	各モードで受け付けできない FACI コマンドが発行された（表 43.15 参照）	1	0	0	0	1	0	0	0	0	0
	コマンド受け付け条件が満たされていないときに FACI コマンドが発行された（表 43.16 参照）	0/1	0/1	0/1	0/1	1	0/1	0/1	0/1	0/1	0/1
	ブロック保護設定により保護されている領域にプログラムコマンドまたはブロックイレースコマンドが発行された（「43.11.1.3. ブロック保護設定によるプロテクション」参照）	1	0	0	0	1	0	0	0	0	0
	消去サスペンド中の消去領域にプログラムコマンドが発行された	1	0	0	0	1	0	0	0	0	0
消去エラー	消去中にエラーが発生した	0	0	0	0	0	1	0	0	0	0
書き込みエラー	書き込み中にエラーが発生した	0	0	0	0	0	0	1	0	0	0
コードフラッシュメモリアクセス違反	コードフラッシュ P/E モードでユーザー領域の予約部分に FACI コマンドが発行された	0	0	0	0	1	0	0	0	1	0
	コンフィグレーション設定コマンドが予約オプション設定メモリに発行された	0	0	0	0	1	0	0	0	1	0
	非セキュアアクセスのコンフィグレーション設定コマンドがコードフラッシュ内 TrustZone のセキュア領域に発行された	0	0	0	0	1	0	0	0	1	0
	非セキュアアクセスのプログラムコマンドまたはブロックイレースコマンドがユーザー領域のセキュア領域に発行された	0	0	0	0	1	0	0	0	1	0

表 43.21 エラープロテクション種別 (3/3)

エラー種別	説明	ILGCOMERR	FESETERR	SECERR	OTERR	ILGLERR	ERSERR	PRGERR	FLWEERR	CFAE	DFAE
データフラッシュメモリアクセス違反	データフラッシュ P/E モードでプログラムコマンドまたはブロックイレースコマンドが予約データ領域に発行された	0	0	0	0	1	0	0	0	0	1
	データフラッシュ P/E モードでマルチブロックイレースコマンドが予約データ領域に発行された （FSADDR レジスタは予約データ領域に設定されている）	1	0	0	0	1	0	0	0	0	1
	データフラッシュ P/E モードでブランクチェックコマンドが予約データ領域に発行された （FSADDR レジスタは予約データ領域に設定されている）	1	0	0	0	1	0	0	0	0	1
	非セキュアアクセスのプログラム、ブロックイレース、マルチブロックイレースまたはブランクチェックコマンドがデータ領域のセキュア領域に発行された	0	0	0	0	1	0	0	0	0	1
セキュリティエラー	SAS.FSPR ビットが 0 のとき SAS.BTFLG ビット設定用のコンフィグレーション設定コマンドが発行された （「43.9.3.15. コンフィグレーション設定コマンド」参照）	0	0	1	0	1	0	0	0	0	0
その他	FACI コマンド発行領域が読み出しモードでアクセスされた	0	0	0	1	1	0	0	0	0	0
	コードフラッシュ P/E モードまたはデータフラッシュ P/E モードで FACI コマンド発行領域が読み出された	0	0	0	1	1	0	0	0	0	0
フラッシュライト／イレース保護エラー	フラッシュシーケンサによるコマンド処理中に FWEPROR レジスタ設定(注2)によりフラッシュメモリライトプロテクトエラーが検出された	0	0	0	0	0	0/1	0/1	1	0	0

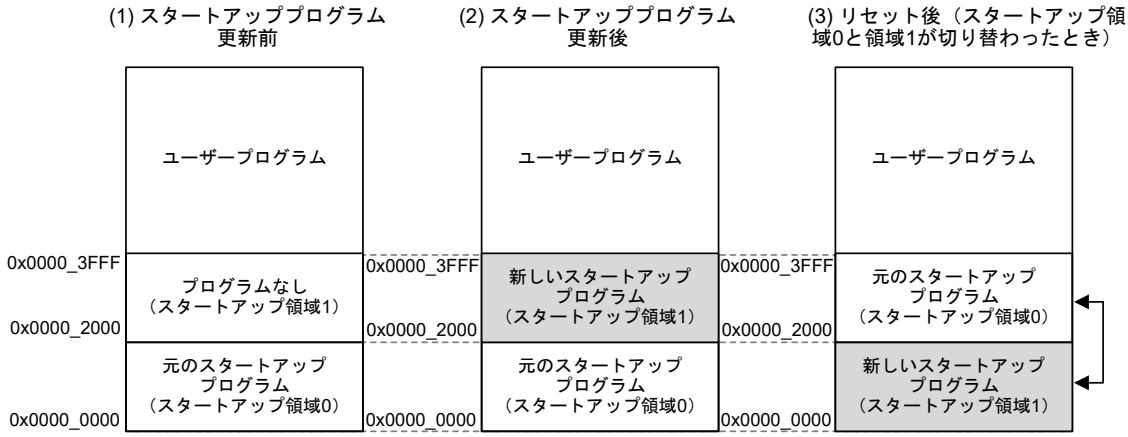
注 1. DFAE ビット値は、FSADDR レジスタ設定に依存します。
注 2. FWEPROR レジスタの詳細については、「43.4.8. FWEPROR : フラッシュ P/E プロテクトレジスタ」を参照してください。

43.11.3 スタートアッププログラムプロテクション

スタートアッププログラムプロテクションとは、リセット後に起動されるプログラム（スタートアッププログラム）の保護のことです。本機能は、リセット中に書き換えが中断されたスタートアッププログラムを安全に更新する手段になります。

スタートアップ領域のサイズは 8 K バイトで、コードフラッシュメモリのユーザー領域に割り当てられています。本機能は SAS.BTFLG ビットと FSUACR.SAS[1:0]ビット値を使用し、スタートアッププログラムがブロック単位で格納される領域を変更します（図 43.25～図 43.28 参照）。

スタートアッププログラムプロテクションにおいて、スタートアップ領域の選択状態は、FSPR ビットで固定できます。しかしながら、SAS.FSPR ビットはいったん 0 になると、1 に戻りません。SAS.FSPR ビットの取り扱いには特に注意してください。



注. 読み出し、書き込みおよび消去には上記のアドレスが使用されます。項番 3 の割り当てでブロックイレースコマンドがアドレス 0x00000000 に発行されるとスタートアップ領域 0 が消去されます。

1. スタートアッププログラム更新前
   SAS.BTFLG ビットが 1 で FSUACR.SAS[1:0]ビットが 0xb のとき、アドレス範囲 0x00002000～0x00003FFF がスタートアップ領域 1 に、アドレス範囲 0x00000000～0x00001FFF がスタートアップ領域 0 に選択されます。
2. スタートアッププログラム更新後
   新しいスタートアッププログラムをスタートアップ領域 1 に書き込み可能です。このときスタートアップ領域 0 にはまだ前のスタートアッププログラムが残っているので、仮にスタートアップ領域 1 への書き換えが失敗した場合には、スタートアップ領域 0 から起動して書き換えることが可能です。
3. リセット後（スタートアップ領域 0 とスタートアップ領域 1 が切り替わったとき）
   スタートアップ領域の書き換えが成功した場合、コンフィグレーション設定コマンドでスタートアップ領域選択ビット（SAS.BTFLG ビット）を書き換えることによりスタートアップ領域 0 とスタートアップ領域 1 の割り当てを切り替えてください。その後、プログラムはリセット後にスタートアップ領域 1 から起動します。

図 43.25 スタートアッププログラムプロテクションの概念

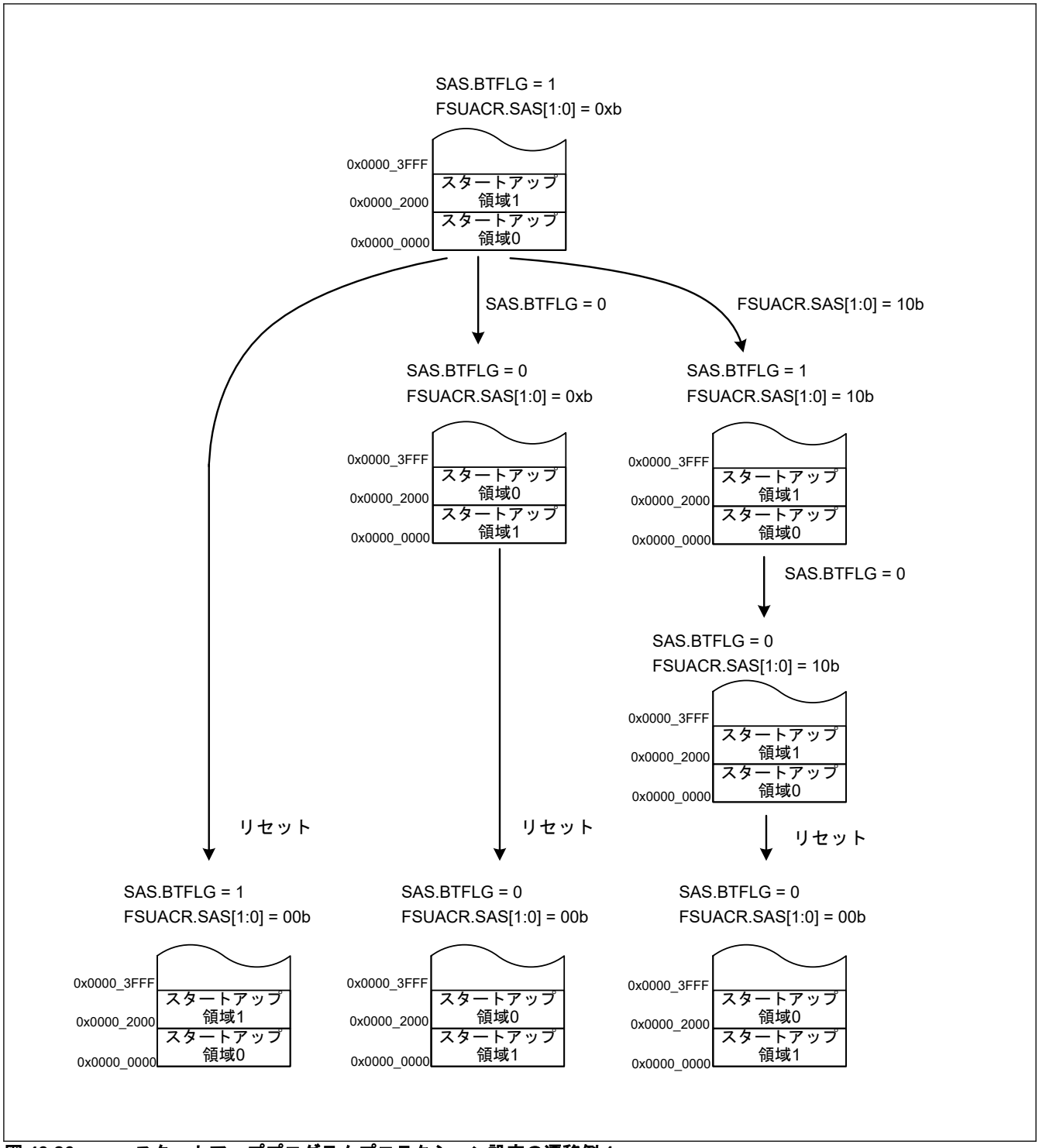


図 43.26 スタートアッププログラムプロテクション設定の遷移例 1

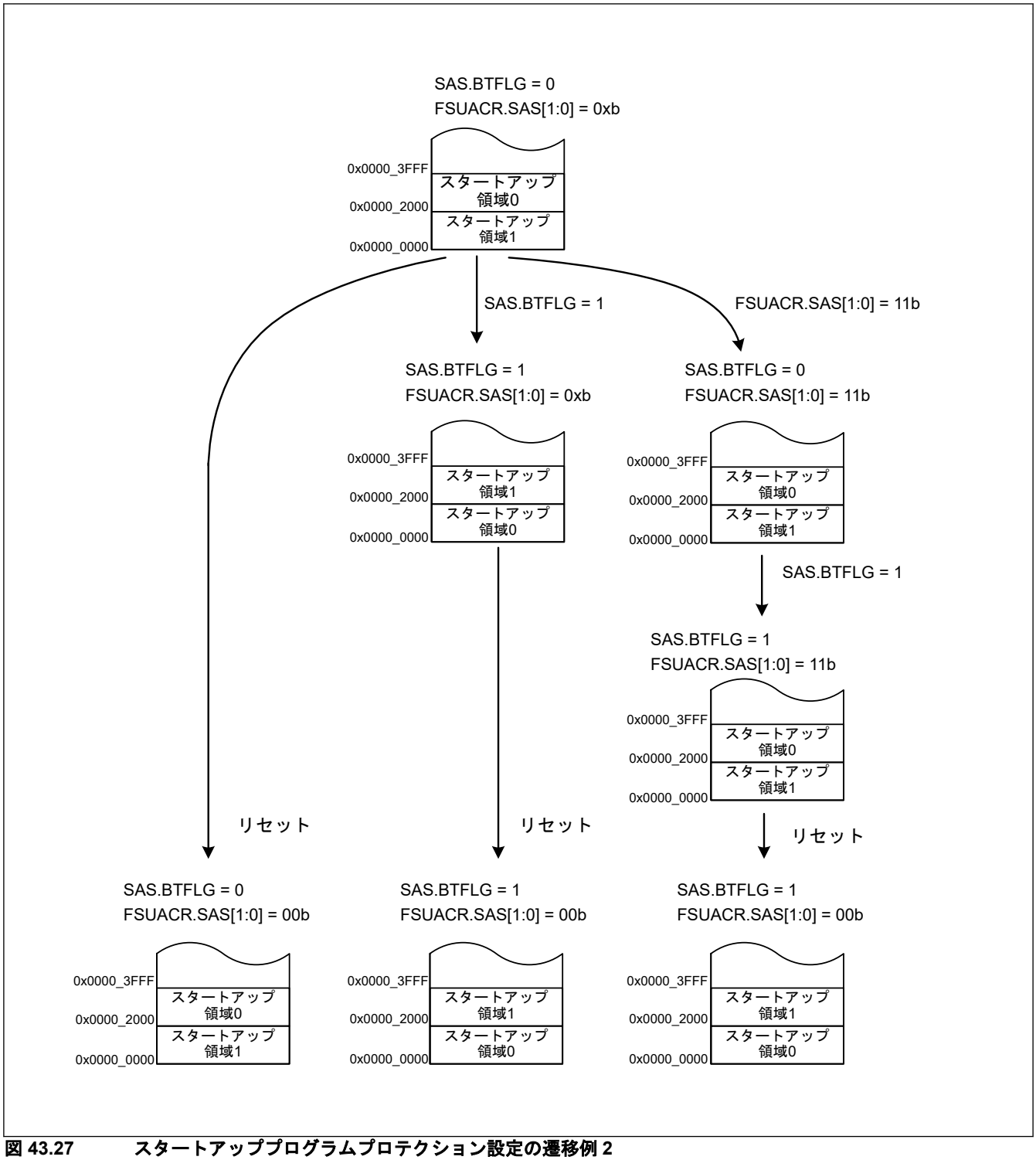
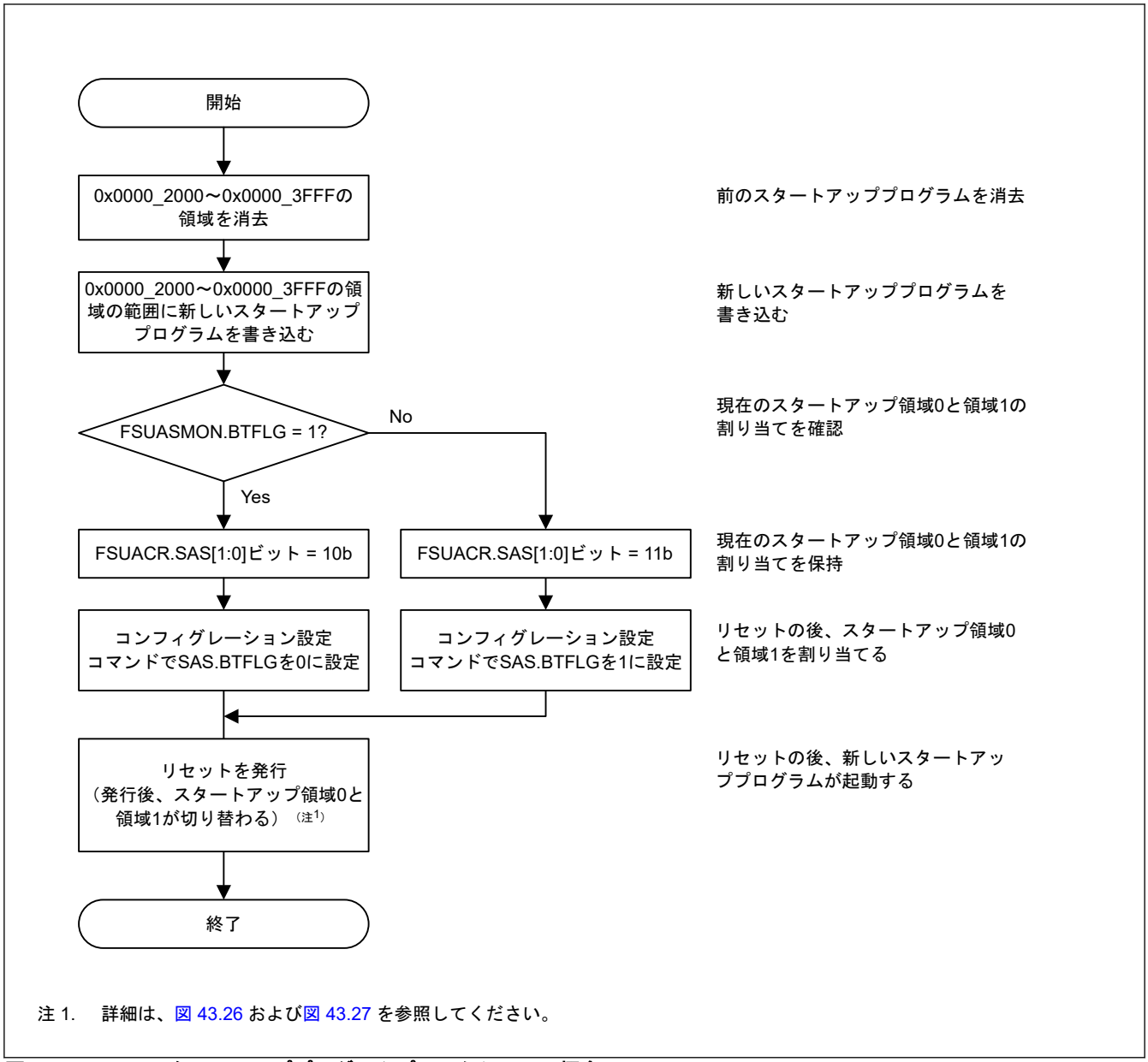


図 43.27 スタートアッププログラムプロテクション設定の遷移例 2



注 1. 詳細は、図 43.26 および図 43.27 を参照してください。

図 43.28 スタートアッププログラムプロテクションの概念

43.12 セキュリティ機能

フラッシュシーケンサは、下記セキュリティ機能をサポートします。

- スタートアップ領域のセキュリティフラグ
- 永久ブロック保護設定
- TrustZone のフラッシュメモリ保護

43.12.1 スタートアップ領域選択のセキュリティフラグ

スタートアップ領域のセキュリティフラグ (SAS.FSPR) は、オプション設定メモリにあります。

SAS.FSPR ビットが 0 のときコンフィグレーション設定コマンドを発行して SAS.BTFLG ビット値を変更すると、フラッシュシーケンサはコマンドロック状態になります。また、SAS.FSPR ビットが 0 のとき FSUACR レジスタのスタートアップ領域選択ビット (SAS[1:0]) への書き込みは無効です。SAS.FSPR ビットは保護を有効にします。

43.12.2 永久ブロック保護設定

永久ブロック保護設定は、ブロック保護設定のクリア保護です。永久ブロック保護設定が有効の場合、ユーザー領域は FACI コマンドを使っても永久に更新されません。詳細は、「43.11.1.3. ブロック保護設定によるプロテクション」を参照してください。

ブロック保護設定および永久ブロック保護設定をすると、コンフィグレーション設定コマンドに対して書き込み／クリア保護を行います。書き込み／クリア保護設定に対してコンフィグレーション設定コマンドを発行してもフラッシュシーケンサはエラーを検出しません。

図 43.29 および表 43.22 に、ブロック保護設定 (BPS[n]) および永久保護設定 (PBPS[n]) に対する書き込み／クリア保護を示します。図 43.30 および表 43.23 に、セキュア用ブロック保護設定 (BPS_SEC[n]) およびセキュア用永久保護設定 (PBPS_SEC[n]) に対する書き込み／クリア保護を示します。

効果的な永久ブロック保護設定（PBPS または PBPS_SEC）はブロック保護の選択 (BPS_SEL) に依存します。永久ブロック保護設定（PBPS または PBPS_SEC）およびブロック保護選択 (BPS_SEL) の詳細については、「6. オプション設定メモリ」を参照してください。

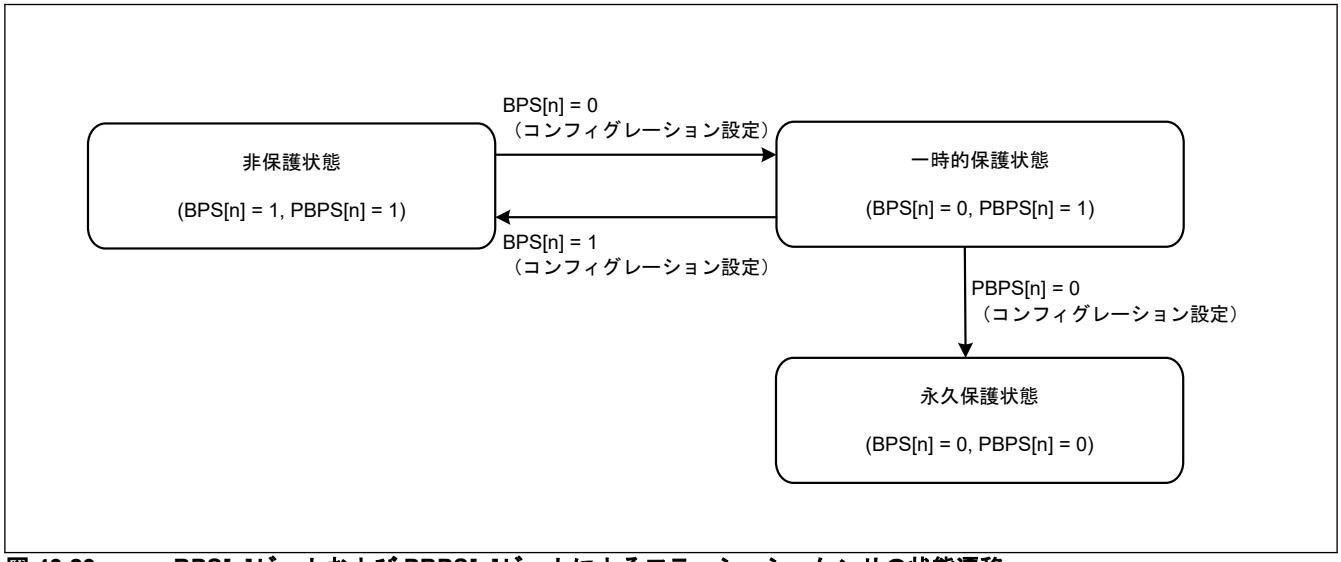


図 43.29 BPS[n]ビットおよび PBPS[n]ビットによるフラッシュシーケンサの状態遷移

表 43.22 BPS[n]ビットおよび PBPS[n]ビットの書き込み／クリア保護

現在の状態		コンフィグレーション設定コマンドによって更新可能			
BPS[n]	PBPS[n]	BPS[n] = 1	BPS[n] = 0	PBPS[n] = 1	PBPS[n] = 0
1	1	✓	✓	✓	X
1	0	—	—	—	—
0	1	✓	✓	✓	✓
0	0	X	✓	X	✓

注.
- ✓は、コンフィグレーション設定コマンドによって更新可能であることを示します。
- X は、コンフィグレーション設定コマンドによっても更新できないことを示します（エラーは発生しません）。
- —は、この状態にならないことを示します。

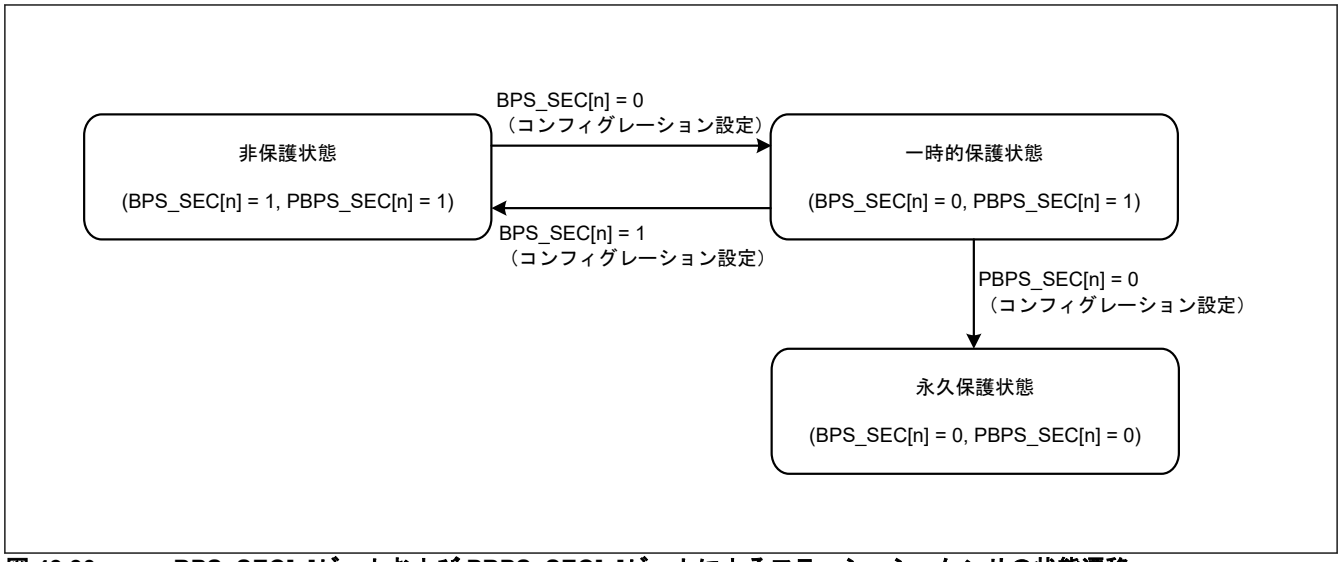


図 43.30 BPS_SEC[n]ビットおよび PBPS_SEC[n]ビットによるフラッシュシーケンサの状態遷移

表 43.23 BPS_SEC[n]ビットおよび PBPS_SEC[n]ビットの書き込み／クリア保護

現在の状態		コンフィグレーション設定コマンドによって更新可能			
BPS_SEC[n]	PBPS_SEC[n]	BPS_SEC[n] = 1	BPS_SEC[n] = 0	PBPS_SEC[n] = 1	PBPS_SEC[n] = 0
1	1	✓	✓	✓	X
1	0	—	—	—	—
0	1	✓	✓	✓	✓
0	0	X	✓	X	✓

注.
- ✓は、コンフィグレーション設定コマンドによって更新可能であることを示します。
- X は、コンフィグレーション設定コマンドによっても更新できないことを示します（エラーは発生しません）。
- —は、この状態にならないことを示します。

43.12.3 TrustZone のフラッシュメモリ保護

本項の情報は、フラッシュシーケンサの動作に焦点を当てています。

フラッシュメモリは、非セキュアアクセスに対して下記の保護機能を提供します。

- フラッシュメモリ領域の保護 (P/E)
- フラッシュメモリ領域の保護（読み出し）
- レジスタの保護
- FACI コマンド動作中の保護
- コードフラッシュ P/E モードエントリ保護

43.12.3.1 フラッシュメモリ領域の保護 (P/E)

本機能は、非セキュアアクセスの FACI コマンドからコードフラッシュおよびデータフラッシュのセキュア領域を保護します。保護の条件は、FACI コマンド、アクセス属性、およびメモリの境界設定に依存します。

セキュア領域の詳細については、「45. セキュリティ機能」 を参照してください。

フラッシュメモリ領域の保護 (P/E) の詳細は表 43.24 を参照してください。

表 43.24 フラッシュメモリ領域の保護 (P/E)

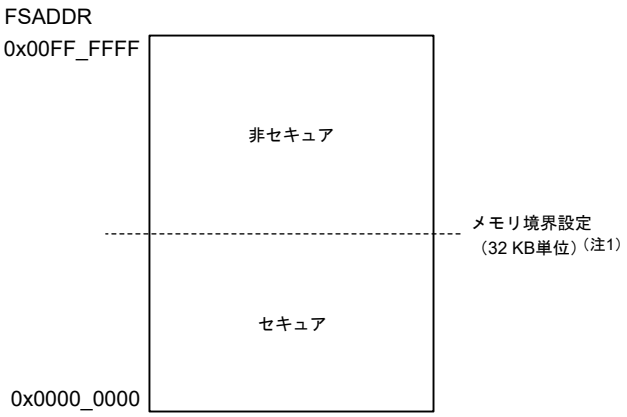
FACI コマンド	対象領域		非セキュアアクセスによる FACI コマンド発行	セキュアアクセスによる FACI コマンド発行
プログラム ブロックイレース	コードフラッシュメモリ	ユーザー領域（非セキュア領域）	✓	✓
		ユーザー領域（セキュア領域）	X	✓
	データフラッシュメモリ	データ領域（非セキュア領域）	✓	✓
		データ領域（セキュア領域）	X	✓
マルチブロックイレース ブランクチェック	データフラッシュメモリ	データ領域（非セキュア領域）	✓	✓
		データ領域（セキュア領域）	X	✓
コンフィグレーション設定	コードフラッシュメモリ	オプション設定メモリ（非セキュア領域）	✓	✓
		オプション設定メモリ（セキュア領域）	X	✓

注. ● ✓は、FACI コマンド動作が禁止されていないことを示します。
● X は、FACI コマンド動作が禁止されていることを示します。該当領域が選択され、FACI コマンドが実行されるとエラーになります。

FACI コマンドの対象領域がコードフラッシュのユーザー領域の場合、フラッシュシーケンサは、FSADDR レジスタの設定とコードフラッシュのメモリ境界設定を比較し、対象領域がセキュア領域にあるかどうかを判断します。

メモリの境界は、0x0000_0000～0x00FF_8000 の範囲で 32 KB 単位で設定可能です。

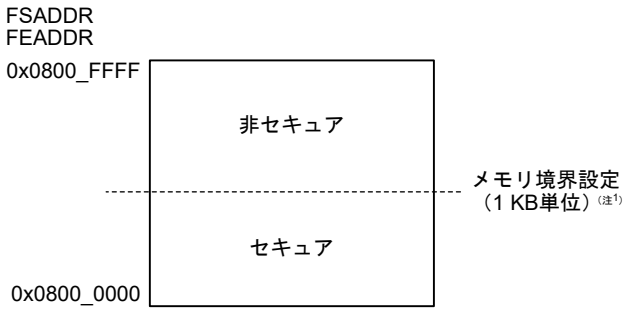
図 43.31 にコードフラッシュのユーザー領域の非セキュア／セキュア属性の詳細を示します。



注 1. FSADDR レジスタとユーザー領域のメモリ境界設定を比較し、対象領域がセキュア領域にあるかどうかを判断します。

図 43.31 ユーザー領域のセキュア／非セキュア領域

FACI コマンド発行の対象領域がデータフラッシュのデータ領域の場合、フラッシュシーケンサは、FSADDR/FEADDR レジスタの設定とデータフラッシュのメモリ境界設定を比較し、対象領域がセキュア領域にあるかどうかを判断します。メモリの境界は、0x0800_0000～0x0800_FC00 の範囲で 1 KB 単位で設定可能です。図 43.32 に、データフラッシュのデータ領域の非セキュア／セキュア属性の詳細を示します。



注 1. FSADDR/FEADDR レジスタとデータ領域のメモリ境界設定を比較し、対象領域がセキュア領域にあるかどうかを判断します。

図 43.32 データ領域のセキュア／非セキュア領域

オプション設定メモリの非セキュア／セキュア領域の詳細については、図 43.33 を参照してください。フラッシュシーケンサは、FSADDR レジスタの設定から、対象領域がセキュア領域かどうかを判断します。

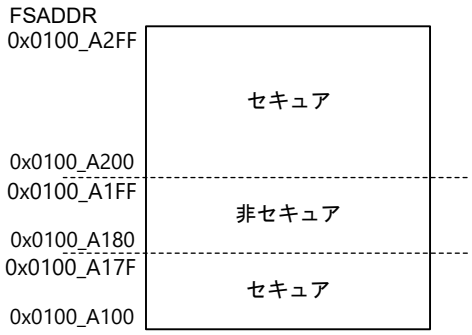


図 43.33 オプション設定メモリのセキュア／非セキュア領域

43.12.3.2 フラッシュメモリ領域の保護（読み出し）

本機能は、非セキュアバスアクセスからコードフラッシュおよびデータフラッシュのセキュア領域を保護します。

セキュア領域の詳細については、「45. セキュリティ機能」 を参照してください。

43.12.3.3 レジスタの保護

フラッシュシーケンサレジスタには、非セキュアアクセスに対するライトアクセス保護があります。表 43.25 に、フラッシュシーケンサの保護レジスタの詳細を示します。

表 43.25 TrustZone 用フラッシュシーケンサの保護レジスタ (1/2)

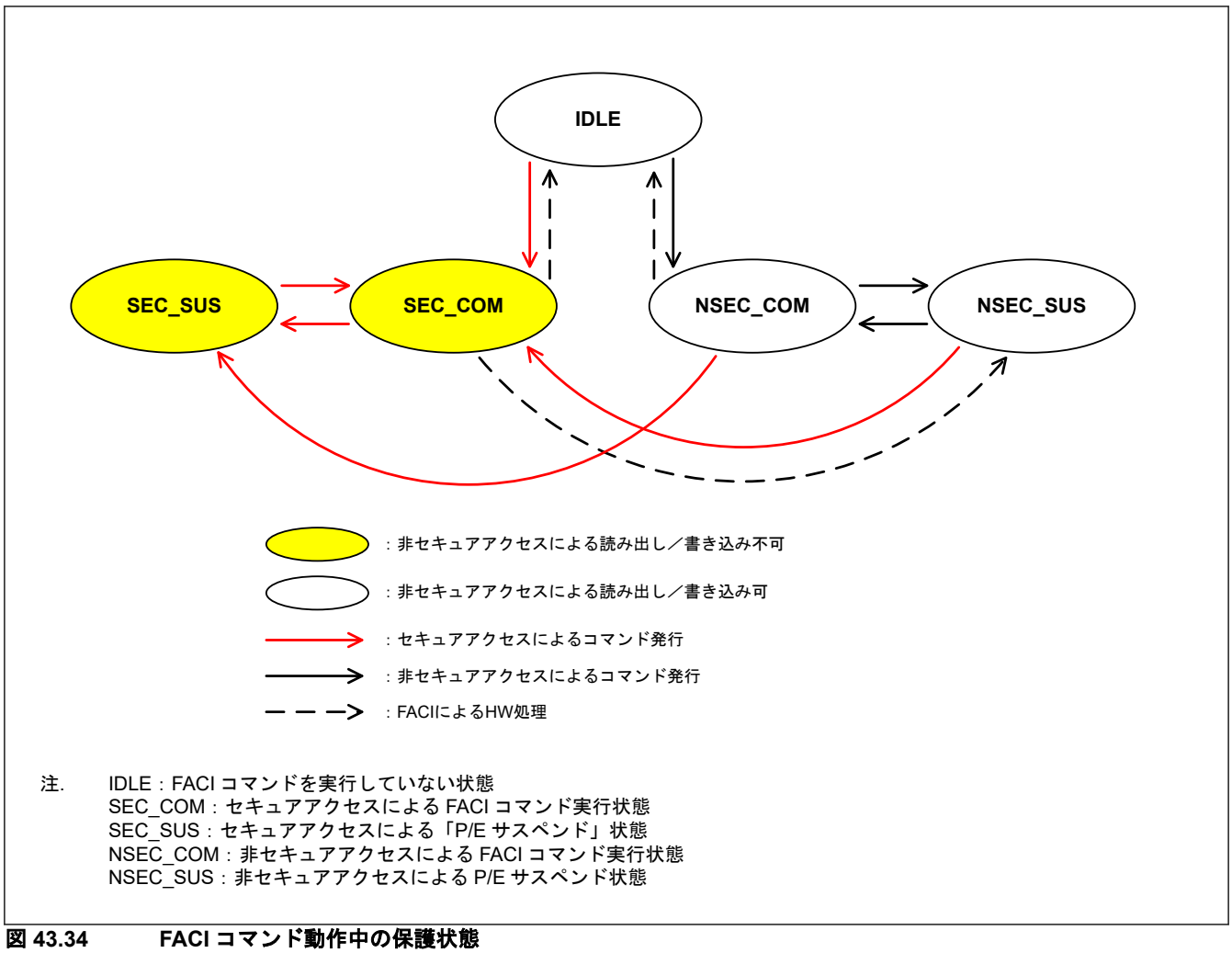
保護対象レジスタ	セキュリティ属性設定	備考
FCKMHZ	セキュリティ属性レジスタ設定 (FSAR.FCKMHZSA)	「43.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。
FMEPROT	常にセキュア	「43.4.14. FMEPROT : フラッシュ P/E モードエントリ保護レジスタ」を参照してください。

表 43.25 TrustZone 用フラッシュシーケンサの保護レジスタ (2/2)

保護対象レジスタ	セキュリティ属性設定	備考
FBPROT1	常にセキュア	「43.4.16. FBPROT1 : セキュア用フラッシュブロック保護レジスタ」を参照してください。
FSUACR	常にセキュア	「43.4.27. FSUACR : フラッシュスタートアップ領域コントロールレジスタ」を参照してください。
FACI コマンド発行領域、FACI の全レジスタ（ベースアドレスは FACI）、および FWEPROR レジスタ	セキュアアクセスによる FACI コマンド処理中	「43.12.3.4. FACI コマンド動作中の保護」を参照してください。

43.12.3.4 FACI コマンド動作中の保護

本機能は、セキュアアクセスの FACI コマンド処理中、FACI の全レジスタ（ベースアドレスは FACI）および FWEPROR レジスタを含む FACI コマンド発行領域への非セキュアアクセスによる読み出し／書き込みを保護します。保護状態には、セキュアアクセスの P/E サスペンドコマンドによるプログラム、ブロックイレース、マルチブロックイレースコマンドのサスペンド時間が含まれます。FACI コマンド動作中の保護の詳細は、図 43.34 および表 43.26 を参照してください。



注. IDLE：FACI コマンドを実行していない状態
SEC_COM：セキュアアクセスによる FACI コマンド実行状態
SEC_SUS：セキュアアクセスによる「P/E サスペンド」状態
NSEC_COM：非セキュアアクセスによる FACI コマンド実行状態
NSEC_SUS：非セキュアアクセスによる P/E サスペンド状態

図 43.34 FACI コマンド動作中の保護状態

表 43.26 FACI コマンド動作中の保護

	フラッシュシーケンサは動作していない	プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、またはコンフィグレーション設定コマンド処理		コマンドロック状態		強制停止コマンド処理		プログラム、ブロックイレース、またはマルチブロックイレースコマンド中断中		セキュアアクセスによるブロックイレースまたはマルチブロックイレースコマンド中断中のプログラムコマンド処理		非セキュアアクセスによるブロックイレースまたはマルチブロックイレースコマンド中断中のプログラムコマンド処理		セキュアアクセスによるプログラム、ブロックイレース、またはマルチブロックイレースコマンド中断中の P/E レジュームコマンド処理		非セキュアアクセスによるプログラム、ブロックイレース、またはマルチブロックイレースコマンド中断中の P/E レジュームコマンド処理	
FACI コマンド属性	—	S	NS	S	NS	S	NS	S	NS	S	NS (注1)	S	NS	S	NS (注1)	S	NS
FRDY ビット	1	0	0	1	1	0	0	1	1	0	0	0	0	1	1	0	0
PRGSPD または ERSSPD ビット	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0	0
CMDLK ビット	0	0	0	1	1	1/0	1/0	1/0	1/0	0	0	0	0	0	0	0	0
非セキュアアクセス	✓	X	✓	✓	✓	X	✓	X	✓	X	✓	X	✓	X	✓	X	✓

注.
- S は、セキュアアクセスによる FACI コマンドを示します。
- NS は、非セキュアアクセスによる FACI コマンドを示します。
- ✓は、非セキュアアクセスによる読み出し／書き込みが可能であることを示します。
- X は、非セキュアアクセスによる読み出し／書き込みができないことを示します。書き込みデータは無視され、読み出しデータは常に 0 です。

注 1. 非セキュアアクセスにより発行された FACI コマンドは許可されません。

コードフラッシュのプログラム／イレースは、セキュア関数の FMEPROT レジスタにより保護できます。したがって、非セキュア関数のコードフラッシュプログラム／イレース中にセキュア関数が P/E サスペンドコマンドを発行することは想定されていません。

非セキュアのデータフラッシュプログラム／イレースは、セキュア関数により中断可能です。非セキュア関数のデータフラッシュプログラム／イレース中にセキュア関数が P/E サスペンドコマンドを発行した場合、セキュア関数は P/E レジュームコマンドを発行します。セキュア関数が P/E レジュームコマンドを発行した場合、セキュア関数は、非セキュア関数にデータフラッシュプログラム／イレースが完了したことを通知し、非セキュア関数に戻します。非セキュア関数のプログラム／イレース中のセキュア関数の P/E サスペンド発行例を図 43.35 および図 43.36 に示します。

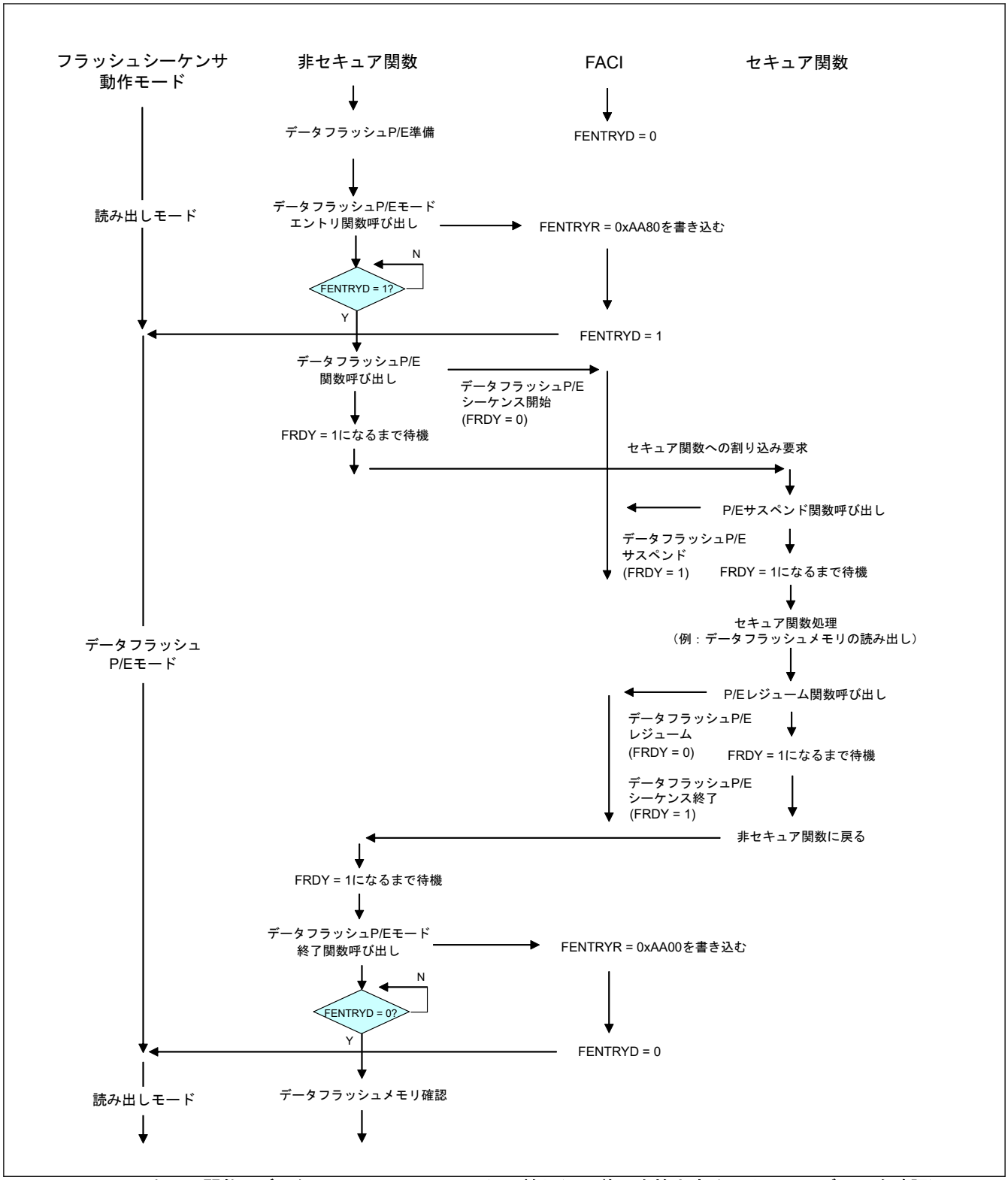


図 43.35　セキュア関数のデータフラッシュ P/E サスペンド例（P/E 終了を検出するには FRDY ビットを確認）

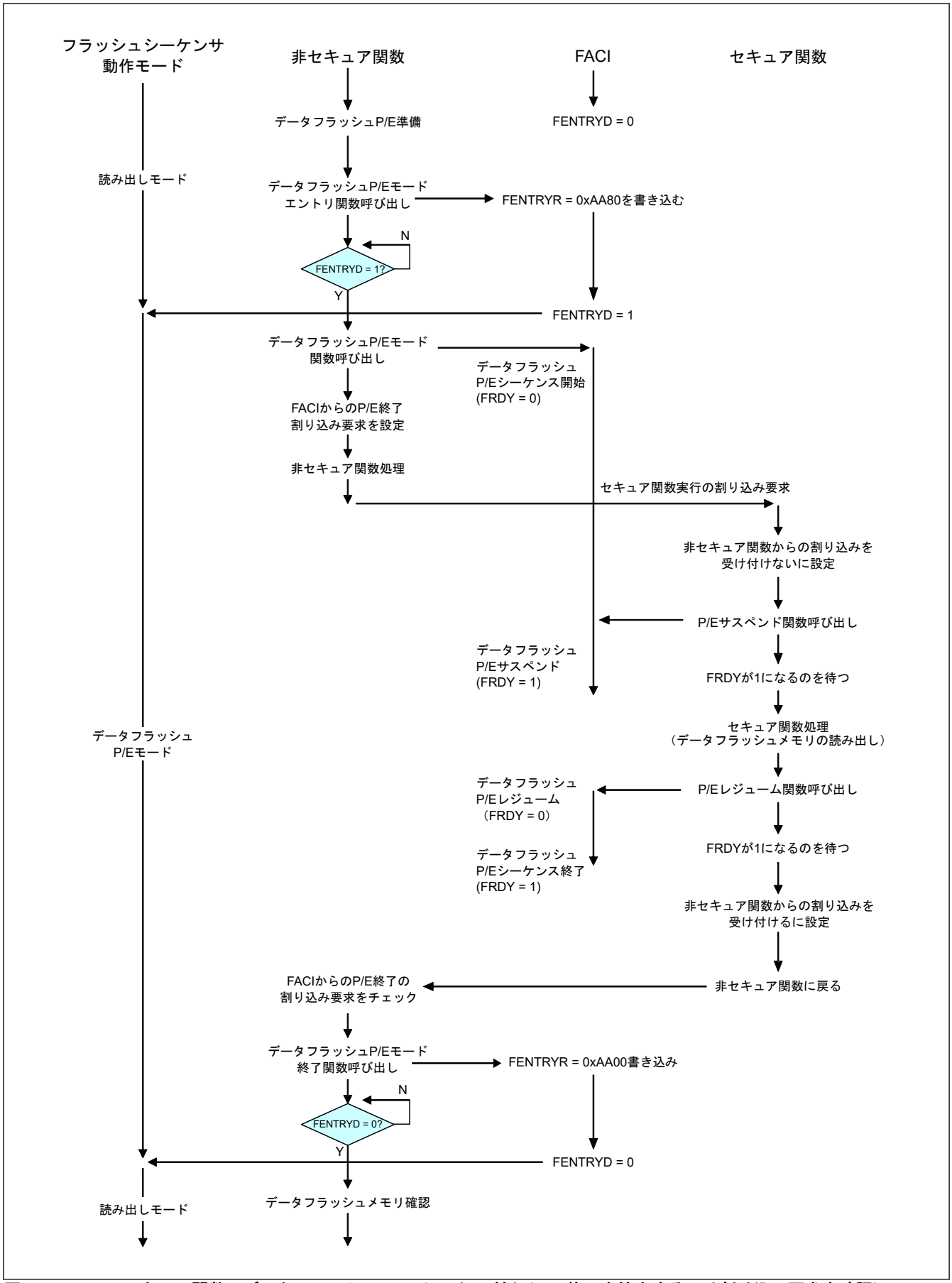


図 43.36　セキュア関数のデータフラッシュ P/E サスペンド例（P/E 終了を検出するには割り込み要求を確認）

43.12.3.5 コードフラッシュ P/E モードエントリ保護

フラッシュシーケンサには、セキュア開発者用に FMEPROT レジスタによるコードフラッシュ P/E のプロテクション機能があります。本プロテクション機能によりセキュア関数がコードフラッシュメモリの読み出しを防止できます。「43.4.14. FMEPROT : フラッシュ P/E モードエントリ保護レジスタ」を参照してください。

セキュア関数以外に非セキュア領域のプログラム／イレースを必要としないアプリケーションでは、FMEPROT レジスタのプロテクション機能を有効にすることによりコードフラッシュプログラム／イレースの非セキュア関数を常に無効にしておくことを推奨します。

非セキュア関数によるコードフラッシュ P/E シーケンス例の詳細については、図 43.37 を参照してください。

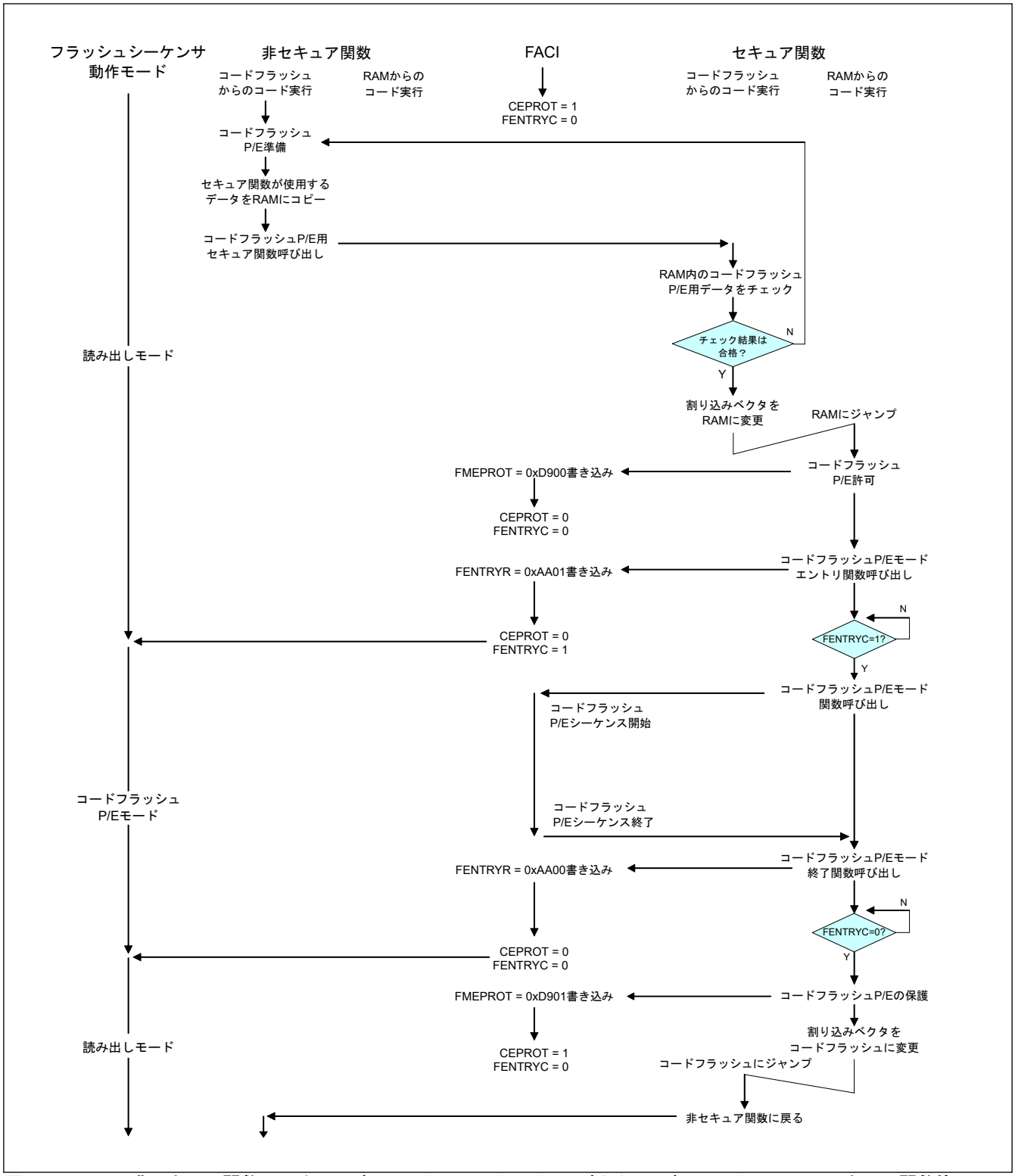


図 43.37　非セキュア関数によるコードフラッシュ P/E シーケンス例（コードフラッシュ P/E 用セキュア関数使用）

43.13　ブートモード

シリアルプログラミングモードには、SCI9 を使用するブートモード（SCI インタフェース）があります。表 43.27 にブートモードで使用する入出力端子の一覧を示します。表 43.28 にブートモードで使用可能な通信インタフェースの一覧を示します。

表 43.27　ブートモードで使用する入出力端子

端子名	入出力	使用するモード	用途
MD	入力	ブートモード（SCI インタフェース）	動作モードの選択
PA15/RXD9	入力	ブートモード（SCI インタフェース）	ホスト通信用（SCI データ受信用）
PB03/TXD9	出力		ホスト通信用（SCI データ送信用）

表 43.28　ブートモードで使用可能な通信インタフェース

メインクロック発振器または外部クロック接続	はい	いいえ	いいえ
ツール接続時間(注1)	最大 1 秒	最大 2 秒	最大 3 秒

注 1.　詳細な接続時間についてはブートファームウェアマニュアルを参照してください。

43.13.1　ブートモード（SCI インタフェース）

ブートモード（SCI インタフェース）では、ホストは制御コマンドや書き込み用データを送信して、それに従ってフラッシュメモリはプログラム／イレースされます。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU をブートモード（SCI インタフェース）で起動すると、MCU の専用領域上のプログラムが実行されます。ブートプログラムは、SCI のビットレートの自動調整と、ホストからの制御コマンドを受けてのプログラム／イレースの制御を行います。

図 43.38 にブートモード（SCI インタフェース）時のシステム構成を示します。

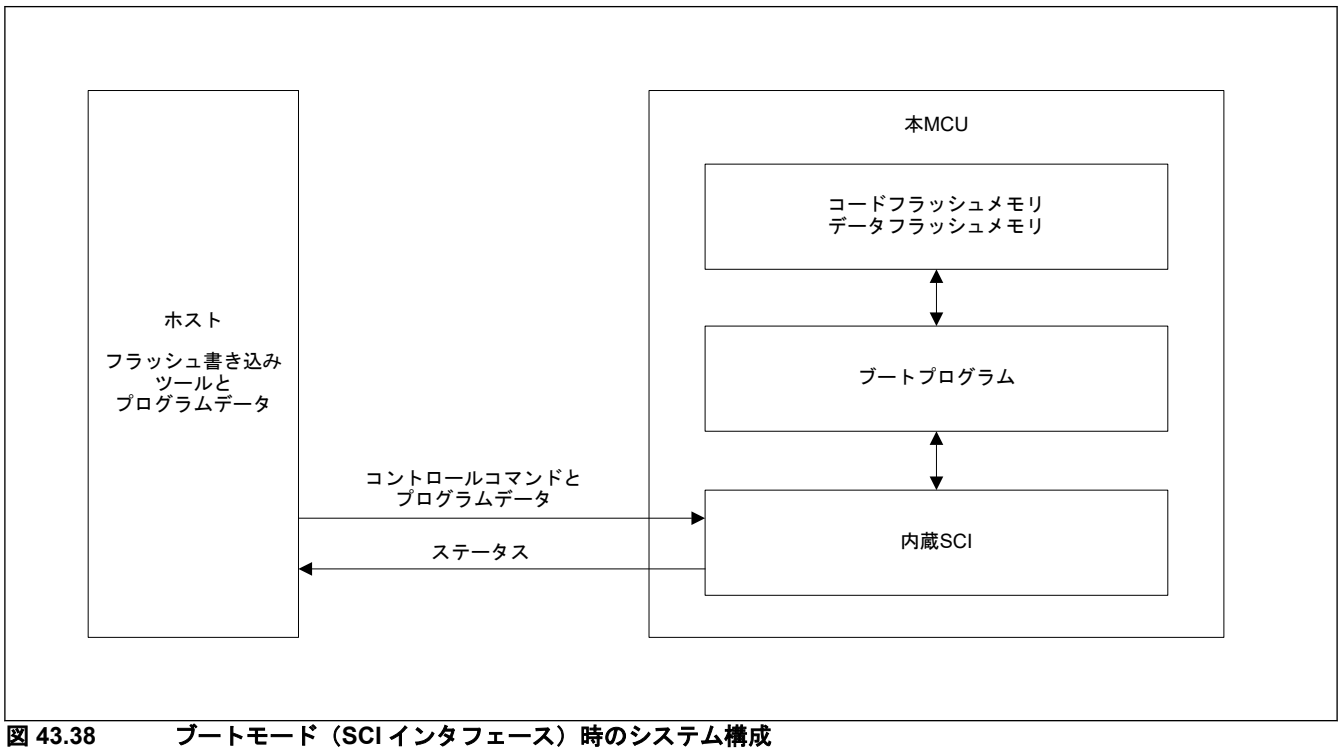


図 43.38　ブートモード（SCI インタフェース）時のシステム構成

43.14　シリアルプログラマを使用した書き込み

シリアルプログラマを使用して、ブートモードでフラッシュメモリの書き換えを行うことができます。

(1)　シリアルプログラミング

シリアルプログラミング時に、本 MCU はボードに装着されています。ボードにコネクタを備えることにより、シリアルプログラマは本 MCU の書き換えを行うことができます。

43.14.1 シリアルプログラミング環境

本 MCU のフラッシュメモリを書き換えるための推奨される環境を次に示します。

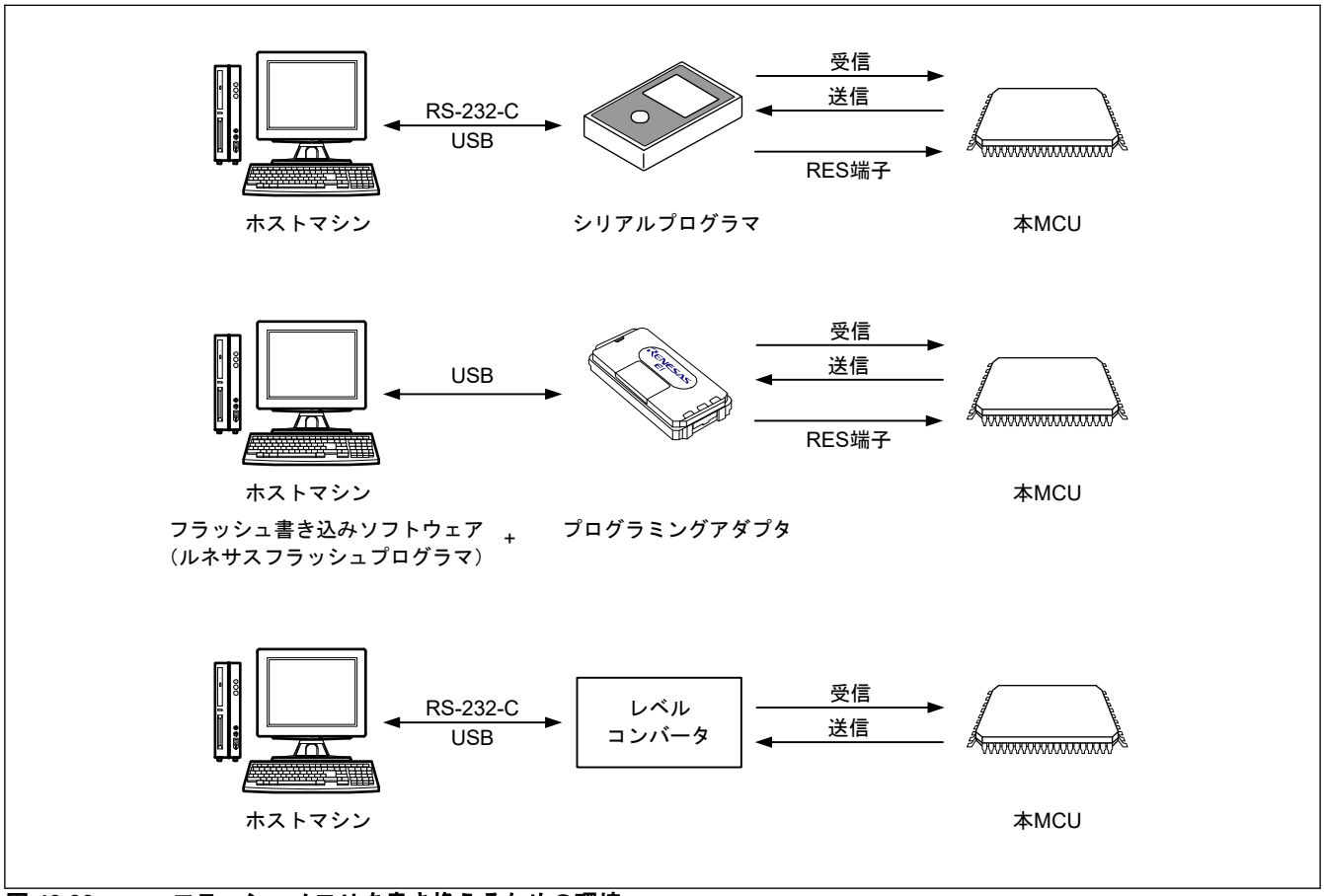


図 43.39 フラッシュメモリを書き換えるための環境

43.15 セルフプログラミングでの書き換え

43.15.1 概要

本 MCU は、ユーザープログラム自体によるフラッシュメモリの書き換えをサポートします。FACI コマンドをユーザーのプログラムで使用することにより、フラッシュメモリに書き込むことができます。これにより、ユーザープログラムのアップグレードと、定数データフィールドの書き換えが可能になります。

BGO が使用できないか、オプション設定メモリを書き換える場合、事前に内蔵 RAM に書き換え用のプログラムを転送する必要があります。

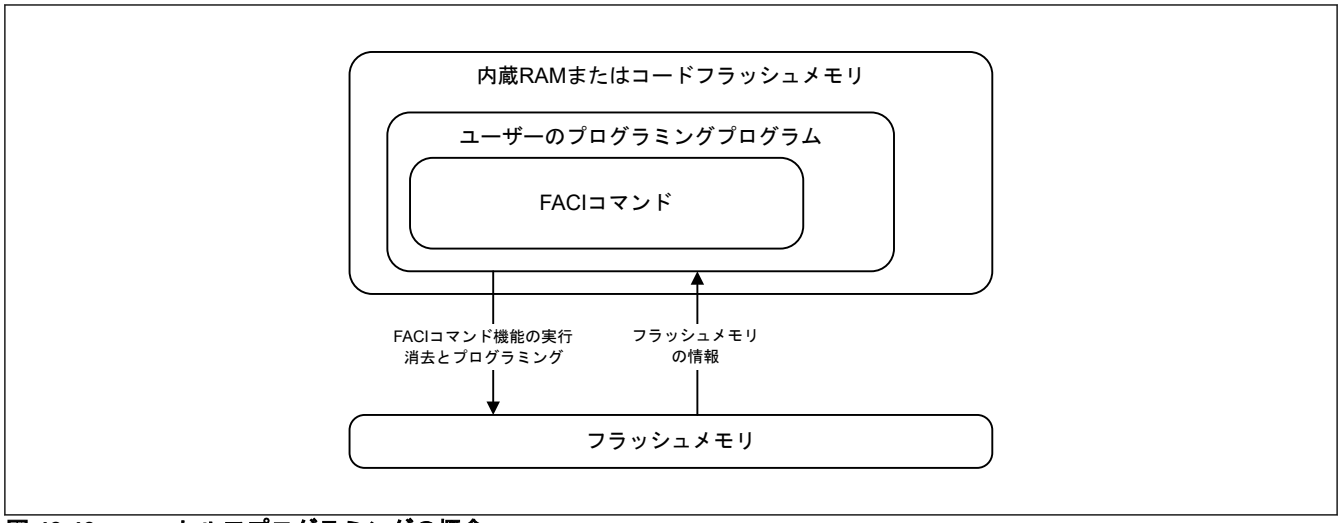


図 43.40 セルフプログラミングの概念

セルフプログラミングの概要情報については、「43.9. FACI コマンド」を参照してください。

43.15.2 バックグラウンドオペレーション

バックグラウンドオペレーション (BGO) は、データフラッシュメモリが書き換えられるときにコードフラッシュメモリ上でフラッシュ書き換えルーチンを実行するのに使用されます。

書き換え対象のフラッシュメモリと読み出し対象のフラッシュメモリが下記に示す組み合わせである場合には、バックグラウンドオペレーションを利用することができます。

表 43.29 バックグラウンドオペレーションの利用可能な条件

	書き換え範囲	読み出し範囲
共通	コードフラッシュメモリ	データフラッシュメモリ
	データフラッシュメモリ	コードフラッシュメモリ

43.16 フラッシュメモリの読み出し

43.16.1 コードフラッシュメモリの読み出し

リセット解除後のコードフラッシュメモリの読み出し時には、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。

イレース後にプログラミングしていない状態（未プログラム状態）のコードフラッシュメモリをリードすると、全ビット 1 が読み出されます。

43.16.2 データフラッシュメモリの読み出し

リセット解除後のデータフラッシュメモリの読み出し時には、特別な設定は必要ありません。データフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。

イレース後にプログラミングしていない状態（未プログラム状態）のデータフラッシュメモリの値は不定です。未プログラム状態の確認には、ブランクチェック機能を使用してください。

43.16.3 アクセスサイクル

CPU キャッシュがヒットの場合、アクセスは 1 サイクルです。

CPU キャッシュ動作が有効で CPU キャッシュがミスとなった場合、または CPU キャッシュが無効の場合のアクセスサイクルを以下に示します。

表 43.30　コードフラッシュメモリ

フラッシュキャッシュ動作	FLWT レジスタ設定	リードサイクル (ICLK)
有効およびヒット	—	3
無効またはミス	0x00	3
	0x01	4

表 43.31　データフラッシュメモリ

FCKMHZ レジスタ設定	リードサイクル
0x00～0x09	Min: 2 ICLK + 3 FCLK Max: (n + 1) ICLK + 3 FCLK
0x0A～0x13	Min: 2 ICLK + 4 FCLK Max: (n + 1) ICLK + 4 FCLK
0x14～0x1D	Min: 2 ICLK + 5 FCLK Max: (n + 1) ICLK + 5 FCLK
0x1E～0x27	Min: 2 ICLK + 6 FCLK Max: (n + 1) ICLK + 6 FCLK
0x28～0x31	Min: 2 ICLK + 7 FCLK Max: (n + 1) ICLK + 7 FCLK
0x32～0x3B	Min: 2 ICLK + 8 FCLK Max: (n + 1) ICLK + 8 FCLK
0x3C	Min: 2 ICLK + 9 FCLK Max: (n + 1) ICLK + 9 FCLK

注.　周波数比　ICLK: FCLK が n: 1 の場合

43.17　使用上の注意事項

(1)　プログラム／イレースを中断した領域およびサスペンド対象領域の読み出し

プログラム／イレースを中断した領域およびサスペンドコマンドを使ってプログラム／イレースが中断された領域に格納されたデータは不定です。不定データを読み出すことによる誤動作を回避するために、プログラム／イレースを中断した領域およびサスペンドコマンドを使ってプログラム／イレースが中断された領域から命令をフェッチしたりデータを読み出さないように注意してください。

(2)　プログラム／イレース中のサスペンド

プログラム／イレースの処理が P/E サスペンドコマンドの発行により中止した場合、プログラム／イレース処理は P/E レジュームコマンドを発行することにより再開できます。フラッシュシーケンサが何らかの理由でコマンドロック状態になり、中断処理が正常に完了し ERSSPD フラグまたは PRGSPD フラグが 1 になった後強制停止コマンドを発行すると、中断処理は再開できません。さらに、処理が中断された領域の値は保証されません。該当領域を消去してください。

(3)　追加の書き込み禁止

コードフラッシュメモリまたはデータフラッシュメモリのある領域に 2 回書き込むことはできません。一度書き込まれたコードフラッシュメモリまたはデータフラッシュメモリに書き込むには対象領域を消去します。オプション設定メモリには追加の書き込みが可能です。

(4)　プログラム／イレースまたはブランクチェック中のリセット

プログラム／イレース中 RES 端子に現れた信号またはフラッシュメモリのブランクチェックによりリセットとなった場合、動作電圧が電気的特性で規定された範囲になった後リセット入力期間の少なくとも t_{RESW}（「46. 電気的特性」参照）待機した後、デバイスをリセット状態から解放します。

(5)　プログラム／イレース中の割り込み／例外ベクタの配置

プログラム／イレース中に割り込み／例外が発生すると、コードフラッシュメモリからのベクタフェッチが発生する場合があります。BGO が使用できない条件下ではベクタのアドレスをコードフラッシュメモリ以外のアド

レスに設定してください。他の方法として、プログラム／イレース中、割り込みや例外処理が起こらないようにしてください。

(6) プログラム／イレースまたはブランクチェック中の禁止項目

プログラム／イレースまたはブランクチェック中フラッシュメモリには高電圧が印加されます。フラッシュメモリの損傷を防ぐため、以下の動作を実行しないでください。

- 電源を動作電圧範囲外にする
- FWEPROR.FLWE[1:0]ビットを変更する。
- OPCCR.OPCM[2:0]ビットを変更する。
- SCKDIVCR.FCK[2:0]ビットを変更する。
- SCKSCR.CKSEL[2:0]ビットを変更する。
- ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへの遷移

(7) Low-speed モードでのプログラム／イレース

動作電力コントロールレジスタ（OPCCR）で Low-speed モードが選択されている場合は、フラッシュメモリのプログラム／イレースを行わないでください。

(8) エミュレータ接続

ルネサスは、SWD/JTAG 通信を使ったデバッグと SCI 通信を使ったシリアルプログラミングの両方をサポートするエミュレータを提供しています。本エミュレータを使うと、デバッグとシリアルプログラミング間の切り替えを簡単に行うことができます。

表 43.32 に、本エミュレータを使う場合の 10 ピンのピン配列と 20 ピンソケットのピン配列を示します。SWD および JTAG のピン配列は ARM 標準で、MD、TXD、RXD の各端子は、シリアルプログラミング用に SCI 通信を使って追加されます。

シリアルプログラミングインタフェースは、TrustZone IDAU バウンダリレジスタ設定をプログラムするのに使用してください。

デバッグとシリアルプログラミングの両方を使うには、ボード上で PA14/SWCLK/TCK 端子と P201/MD 端子をワイヤード OR 回路を用いて接続することを推奨します。

表 43.32 エミュレータ用端子配置

端子番号	SWD	JTAG	SCI を使ったシリアルプログラミング
1	VCC	VCC	VCC
2	PA13/SWDIO	PA13/TMS	NC
4	PA14/SWCLK	PA14/TCK	P201/MD
	P201/MD にワイヤード OR 接続	P201/MD にワイヤード OR 接続	
6	PB03/SWO/TXD9	PB03/TDO/TXD9	PB03/TXD9
8	PA15/RXD9	PA15/TDI/RXD9	PA15/RXD9
9	GND 検出	GND 検出	GND 検出
10	nRESET	nRESET	nRESET
12	PE02/TCLK	PE02/TCLK	NC
14	PE03/TDATA[0]	PE03/TDATA[0]	NC
16	PE04/TDATA[1]	PE04/TDATA[1]	NC
18	PE05/TDATA[2]	PE05/TDATA[2]	NC
20	PE06/TDATA[3]	PE06/TDATA[3]	NC
3, 5, 15, 17, 19	GND	GND	GND
7	NC	NC	NC
11, 13	NC	NC	NC

44. 内部電圧レギュレータ

44.1 概要

本 MCU は 1 つの内部電圧レギュレータを内蔵しています。

- リニアレギュレータ (LDO)

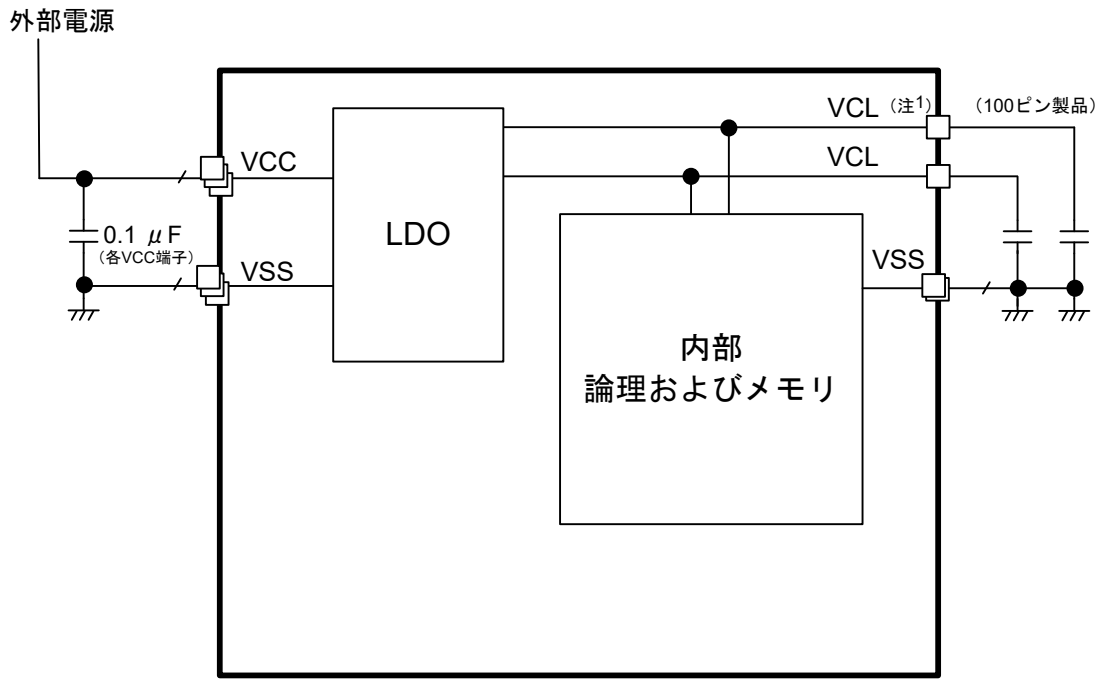
このレギュレータは、I/O およびアナログ電源ドメイン以外のすべての内部回路およびメモリに電圧を供給します。

44.2 動作説明

表 44.1 に LDO モードの端子設定を、図 44.1 に LDO モードの設定を示します。LDO モードでは、内部電圧は VCC から生成します。

表 44.1 LDO モード端子設定

端子	設定内容
全 VCC 端子	• 各端子をシステムの電源に接続してください。 • 各端子を 0.1 µF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
すべての VCL（100 端子製品）	0.1 µF の積層セラミックコンデンサを介して VSS に各端子を接続してください。コンデンサは端子近くに配置してください。
VCL（64 ピン、48 ピン製品）	0.22 µF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。



注 1. 100 ピン製品のみ、VCL 端子が 2 つあります。

図 44.1 LDO モード設定

45. セキュリティ機能

45.1 特長

- ARMv8-M TrustZone セキュリティ
  - メモリ空間用に 8 領域の IDAU
    - コードフラッシュ用領域：最大 3 領域
    - データフラッシュ用領域：最大 2 領域
    - SRAM 用領域：最大 3 領域
    - IDAU 設定は CPU、DMAC、および DTC に共通
  - SAU 非実装
  - スタンバイ SRAM 用セキュアまたは非セキュア領域
  - 各周辺モジュール用個別セキュア／非セキュアセキュリティ属性
  - 周辺モジュールによってはセキュアセキュリティ属性および非セキュアセキュリティ属性の両方をサポート
- デバイスライフサイクル管理
- デバッグアクセスレベル：3
  - DBG2：デバッガ接続許可、メモリおよび周辺モジュールへのアクセス制限なし
  - DBG1：デバッガ接続許可、非セキュアメモリ領域および周辺モジュールへのアクセス制限
  - DBG0：デバッガ接続禁止
- キーインジェクション
- 暗号化アクセラレータ
  - 「35. セキュア暗号エンジン (SCE5)」を参照してください。

45.2 Arm TrustZone セキュリティ

45.2.1 Arm TrustZone 技術

Arm TrustZone 技術は、システムとアプリケーションをセキュアドメインと非セキュアドメインに分けます。セキュアアプリケーションは、セキュアおよび非セキュアなメモリおよびリソースにアクセス可能です。非セキュアアプリケーションは、非セキュアメモリおよびリソースのみにアクセス可能です。

システムはデフォルトでセキュア状態で起動します。CPU のセキュリティ状態は、セキュアでも非セキュアでもいずれでも可能です。

45.2.2 メモリのセキュリティ属性

コードフラッシュ、データフラッシュ、および SRAM はセキュア領域 (S)、非セキュア領域 (NS)、および NSC (Non-secure callable) 領域に分けられます。これらのメモリセキュリティ属性は、デバイスのライフサイクルが SSD 状態のとき、シリアルプログラミングコマンドにより不揮発性メモリに設定されます。これらのメモリセキュリティ属性は、アプリケーション実行前に IDAU とメモリコントローラにロードされます。これらのメモリセキュリティ属性はアプリケーションによる更新はできませんが、専用レジスタにより更新可能です。

コードフラッシュは、最大 3 つの領域に分割可能です。データフラッシュは最大 2 つの領域に分割可能です。SRAM は最大 3 つの領域に分割可能です。図 45.1 にメモリマッピングを示します。表 45.1 にメモリ領域のサイズを示します。

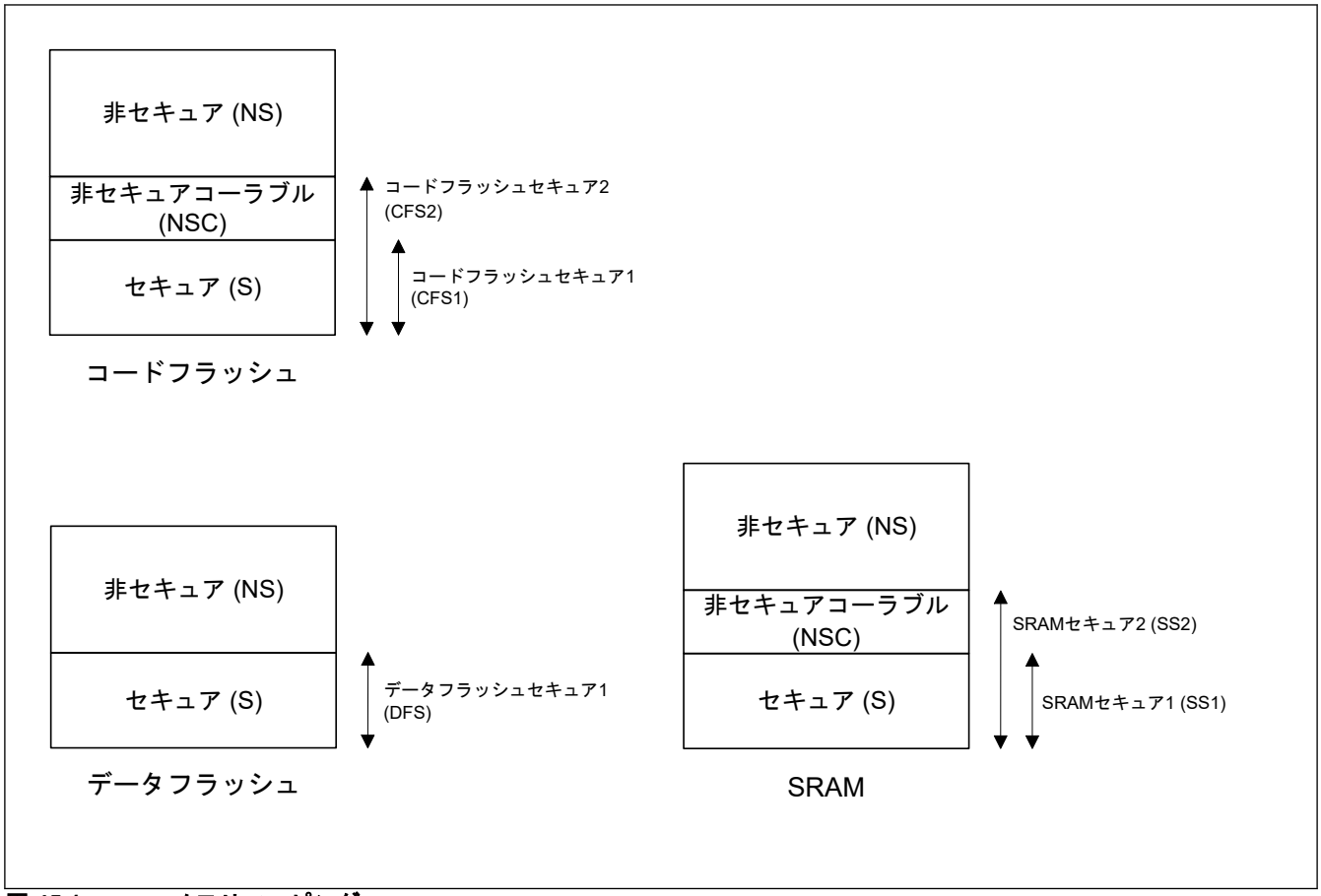


図 45.1 メモリマッピング

表 45.1 メモリ領域サイズ

メモリ領域	開始アドレス	サイズ
コードフラッシュセキュア	0x0000_0000	CFS1 × 1 KB
コードフラッシュ NSC	CFS1 × 1 KB	CFS2 × 32 KB - CFS1 × 1 KB
コードフラッシュ非セキュア	CFS2 × 32 KB	コードフラッシュサイズ - CFS2 × 32 KB
データフラッシュセキュア	0x0800_0000	DFS × 1 KB
データフラッシュ非セキュア	0x0800_0000 + DFS × 1 KB	データフラッシュサイズ - DFS × 1 KB
SRAM セキュア	0x2000_0000	SS1 × 1 KB
SRAM NSC	0x2000_0000 + SS1 × 1 KB	SS2 × 8 KB - SS1 × 1 KB
SRAM 非セキュア	0x2000_0000 + SS2 × 8 KB	SRAM サイズ - SS2 × 8 KB

スタンバイ SRAM は 8 つの領域に分かれています。セキュリティ属性は各領域に設定できますが、セキュア領域と非セキュア領域はともに連続していなければなりません。言い換えれば、スタンバイ SRAM は一つの連続したセキュア領域と一つの連続した非セキュア領域を備えることができます。スタンバイ SRAM のセキュリティ属性は、セキュアアプリケーションにより専用レジスタに設定されます。詳細は、「42. スタンバイ SRAM」を参照してください。

表 45.2 にメモリのアクセス許可を示します。

表 45.2 メモリのアクセス許可 (1/2)

メモリ	セキュアアクセス	非セキュアアクセス
セキュアまたは NSC として設定されたコードフラッシュ、データフラッシュ、SRAM	許可	書き込み無視／読み出し無視 TrustZone アクセスエラー発生
非セキュアとして設定されたコードフラッシュ、データフラッシュ、SRAM	許可	許可

表 45.2 メモリのアクセス許可 (2/2)

メモリ	セキュアアクセス	非セキュアアクセス
セキュアとして設定されたスタンバイ SRAM	許可	書き込み無視／0x00 読み出し TrustZone アクセスエラー発生なし
非セキュアとして設定されたスタンバイ SRAM	許可	許可

45.2.3 周辺モジュールのセキュリティ属性

各周辺モジュールは、セキュアまたは非セキュアに設定可能です。

周辺モジュールは 2 種類に分かれます。

タイプ 1 周辺モジュールは一つのセキュリティ属性を持っています。全レジスタへのアクセスが一つのセキュリティ属性により制御されます。タイプ 1 周辺モジュールのセキュリティ属性は、セキュアアプリケーションにより PSARx (x = B～E) レジスタに設定されます。

タイプ 2 周辺モジュールは、各レジスタまたは各ビットに対してセキュリティ属性を持っています。各レジスタまたはビットフィールドへのアクセスは、これらのセキュリティ属性に従って制御されます。タイプ 2 周辺モジュールのセキュリティ属性は、セキュアアプリケーションにより各モジュールのセキュリティ属性レジスタに設定されます。セキュリティ属性レジスタについては、各周辺モジュールユーザーズマニュアルの該当章を参照してください。

表 45.3 に周辺モジュール種別の分類を示します。

表 45.3 周辺モジュール種別の分類

種類	周辺モジュール
タイプ 1	SCI, SPI, CANFD, IIC, SCE5, DOC, CRC, CAC, TSN, ADC, DAC12, POEG, AGT, IWDT, WDT, IIRFA, TFU, ACMPHS, KINT
タイプ 2	システム制御（リセット、LVD、クロック発生回路、低消費電力モード）、FLASH CACHE、SRAM コントローラ、CPU CACHE、DMAC、DTC、ICU、MPU、BUS、セキュリティ設定、ELC、I/O ポート
常に非セキュア	GPT, PDG

表 45.4 にタイプ 1 周辺モジュールのアクセス許可を示します。タイプ 2 周辺モジュールのアクセス許可はモジュールごとに異なります。各周辺モジュールのレジスタの説明を参照してください。

表 45.4 タイプ 1 周辺モジュールのアクセス許可

許可	セキュアアクセス	非セキュアアクセス
セキュアとして設定された周辺モジュール	許可	書き込み無視／読み出し無視 TrustZone アクセスエラー発生
非セキュアとして設定された周辺モジュール	許可	許可

45.2.4 フラッシュシーケンサのセキュリティ属性

フラッシュシーケンサはフラッシュのプログラム／イレースに使用されます。

フラッシュシーケンサは特別なセキュリティ属性を持っています。表 45.5 にフラッシュシーケンサのアクセス許可を示します。

表 45.5 フラッシュシーケンサのアクセス許可 (1/2)

	セキュアアクセス	非セキュアアクセス
FACI コマンド発行領域	許可	FACI コマンドがコードフラッシュ、データフラッシュおよびオプション設定メモリのセキュア領域に発行された場合 ● 発行された FACI コマンドは無効です。 ● フラッシュシーケンサエラーになります。 FACI コマンドがコードフラッシュ、データフラッシュおよびオプション設定メモリの非セキュア領域に発行された場合 ● 発行された FACI コマンドは有効です。

表 45.5 フラッシュシーケンサのアクセス許可 (2/2)

	セキュアアクセス	非セキュアアクセス
FBPROT1、FSUACR、FMEPROT レジスタ	許可	書き込み無視／読み出し可能 TrustZone アクセスエラー発生なし
FCKMHZ レジスタ	許可	フラッシュセキュリティ属性レジスタにより設定 セキュアとして設定された場合 ● 書き込み無視／読み出し可能 ● TrustZone アクセスエラー発生なし 非セキュアとして設定された場合 ● 許可
その他のレジスタ	許可	セキュアアプリケーションによるプログラム／イレース中もしくはプログラム／イレース中断中 ● 書き込み無視／0x00 読み出し ● TrustZone アクセスエラー発生なし その他の状態 ● 許可

45.2.5 アドレス空間のセキュリティ属性

表 45.6 に、アドレス空間のセキュリティ属性を示します。

表 45.6 アドレス空間のセキュリティ属性

領域	属性
コードフラッシュセキュア	セキュア
コードフラッシュ NSC	NSC
コードフラッシュ非セキュア	非セキュア
データフラッシュセキュア	セキュア
データフラッシュ非セキュア	非セキュア
SRAM セキュア	セキュア
SRAM NSC	NSC
SRAM 非セキュア	非セキュア
周辺モジュール	除外
その他のエリア	除外

注. 除外：チェックは行われません。バストランザクションはすべて伝播されます。

45.2.6 TrustZone アクセスエラー

TrustZone アクセスエラー時の動作を表 45.7 に示します。動作はアクセス対象のマスタ／スレーブ領域によって変わります。

表 45.7 TrustZone アクセスエラー時の動作

エリア	CPU	DMAC/DTC
コードフラッシュ、データフラッシュ、SRAM	SecureFault 例外検出(注2)	● 転送が開始しない ● NMI またはリセット発生(注1) ● 割り込み発生 (DMA_TRANSERR)
その他のエリア	● BusFault 例外検出(注2) (注3) ● NMI またはリセット発生(注1) (注2) (注3)	● 転送停止 ● NMI またはリセット発生(注1) ● 割り込み発生 (DMA_TRANSERR)

注 1. NMI またはリセットが TZFOAD.OAD ビットにより選択されます。
注 2. デバッガアクセスにより TrustZone アクセスエラーが発生した場合、例外、NMI、またはリセットは発生しません。エラー応答が返されるだけです。
注 3. ARM MPU によりメモリ属性が「Early Write Acknowledgment」に設定されている PHBIU/PLBIU アドレス空間への書き込みではこれらのエラー動作は起きません。

45.3 デバイスライフサイクルの管理

デバイスライフサイクルは、デバイスの現在のフェーズを識別し、デバッグインタフェース、シリアルプログラミングインタフェースおよびルネサステストモードの機能を制御します。図 45.2 に、デバイスライフサイクルの解説図を示します。表 45.8 に、ライフサイクルの定義および各ライフサイクルでの機能を示します。

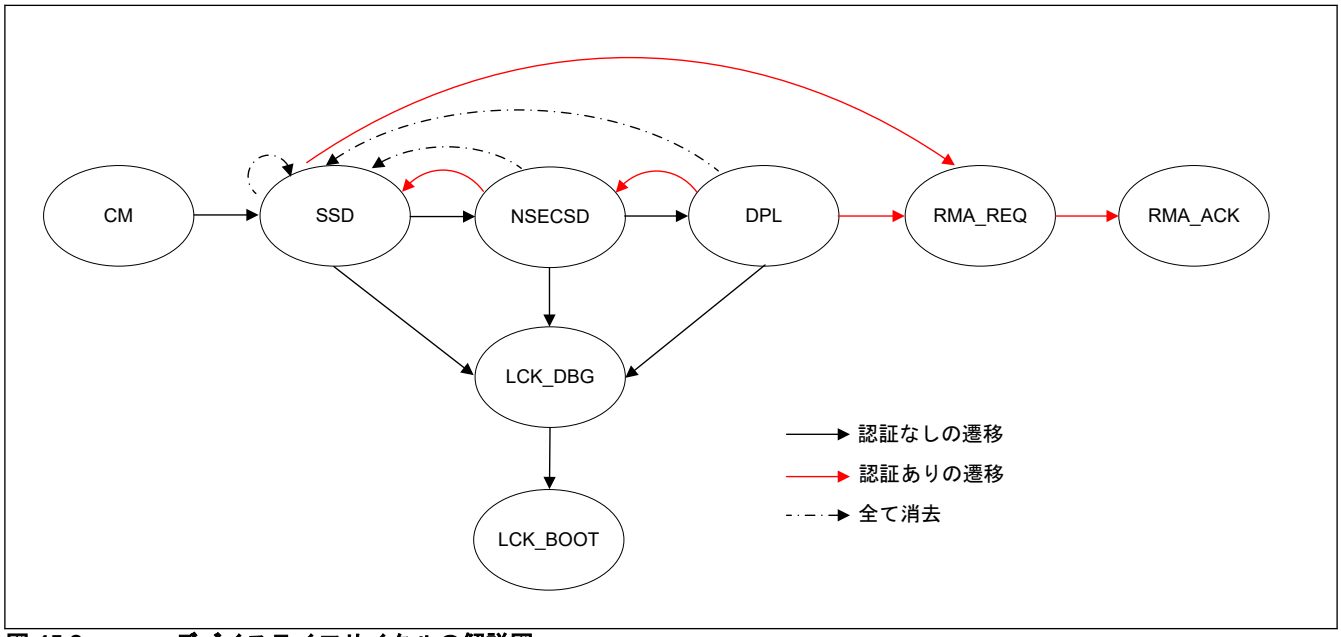


図 45.2 デバイスライフサイクルの解説図

表 45.8 ライフサイクルの定義および各ライフサイクルでの機能 (1/2)

ライフサイクル	定義	デバッグレベル	シリアルプログラミング	ルネサステストモード
CM	Chip Manufacturing（チップ製造中） デバイスはルネサス工場内です。お客様がデバイスを受け取ったときの状態	DBG2	可能 コード／データフラッシュエリアへのアクセス不可	不可
SSD	Secure Software Development（セキュアソフトウェア開発） アプリケーションのセキュア部分を開発中	DBG2	可能 全コード／データフラッシュエリアをプログラム／イレース／読み出し可	不可
NSECSD	Non-SECure Software Development（非セキュアソフトウェア開発） アプリケーションの非セキュア部分を開発中	DBG1	可能 非セキュアコード／データフラッシュエリアのみをプログラム／イレース／読み出し可	不可
DPL	DePLoyed（展開済み） デバイスは現場に展開済み	DBG0	可能 コード／データフラッシュエリアへのアクセス不可	不可
LCK_DBG	LoCKed DeBuG（デバッグロック中） デバッグインタフェースは永久に無効	DBG0	可能 コード／データフラッシュエリアへのアクセス不可	不可
LCK_BOOT	LoCKed BOOT interface（ブートインタフェースロック中） デバッグインタフェースおよびシリアルプログラミングインタフェースは永久に無効	DBG0	不可	不可

表 45.8 ライフサイクルの定義および各ライフサイクルでの機能 (2/2)

ライフサイクル	定義	デバッグレベル	シリアルプログラミング	ルネサステストモード
RMA_REQ	Return Material Authorization REQuest（RMA 要求） RMA 要求。お客様はこの状態でデバイスをルネサスに送ってください。	DBG0	可能 コード／データフラッシュエリアへのアクセス不可	不可
RMA_ACK	Return Material Authorization ACKnowledged（RMA 承認） ルネサスでの故障解析	DBG2	可能 コード／データフラッシュエリアへのアクセス不可	可能

45.3.1 ライフサイクル状態の変更

デバイスのライフサイクル状態を変更するにはシリアルプログラミングコマンドを使用してください。コマンド詳細については、ブートファームウェアアプリケーションノートを参照してください。アプリケーションによるライフサイクル更新はできませんが、専用レジスタにより読み出し可能です。

図 45.2 に示すように、3 種類のライフサイクル遷移があります。

第一の遷移は、デバッグアクセスレベルを下げる、またはシリアルプログラミングモードを制限する変更です。この変更には制限がありません。

注. デバッグインタフェースは、LCK_DBG 状態では永久に無効です。LCK_DBG に変更後、デバッグインタフェースは永久に使用できません。

注. LCK_BOOT 状態ではデバッグインタフェースおよびシリアルプログラミングインタフェースは永久に無効です。LCK_BOOT に変更後はデバッグインタフェースおよびシリアルプログラミングインタフェースは永久に使用できません。

第二の遷移は、デバッグアクセスレベルを上げる、または RMA を要求する変更です。この変更には鍵認証が必要です。キーの長さは 128 ビットです。セキュア開発者は、ライフサイクルが SSD 状態のとき、2 つのキーをインジェクトする必要があります。一つは「SECDBG_KEY」で、ライフサイクルを NSECSD から SSD に変更する場合の認証に使用されます。もう一つは「RMA_KEY」で、ライフサイクルを SSD または DPL から RMA_REQ に変更する場合の認証に使用されます。非セキュア開発者は、ライフサイクルが NSECSD 状態のとき、1 つのキーをインジェクトする必要があります。それは「NONSECDBG_KEY」で、ライフサイクルを DPL から NSECSD に変更する場合の認証に使用されます。キーのインジェクト方法の詳細については、「45.4. キーインジェクション」を参照してください。鍵認証には、チャレンジ＆レスポンス認証またはユニーク ID を使った認証が使われます。ユニーク ID を使った認証は RMA_REQ への遷移においてのみ使用可能です。以下にチャレンジ＆レスポンス認証でのレスポンス、またはユニーク ID を使った認証コードを計算するプロセスを示します。

レスポンス = AES128-CMAC（KEY、128 ビットチャレンジ）

認証コード = AES128-CMAC (KEY、128 ビットユニーク ID）

注. キーがインジェクトされない場合、ライフサイクルの変更は行われません。

注. NSECSD から SSD、または DPL から NSECSD へのライフサイクル遷移において、フラッシュメモリの内容は消去されません。

注. より上位のデバッグアクセスレベルか RMA_REQ への変更後、MCU は応答しません。シリアルプログラミングコマンドの使用を続けるには、リセット後に再度ブートモードに入りなおす必要があります。コマンド詳細については、ブートファームウェアアプリケーションノートを参照してください。

注. RMA_REQ へのライフサイクル遷移において、永久ロックブロックまたは BPS_SEL レジスタの設定を除きフラッシュメモリの内容は消去されます。永久ロックブロックまたはレジスタの内容は故障解析時ルネサスが読み出し可能です。永久ロックブロックとは、PBPS、PBPS_SEC、BPS_SEL の各レジスタによりプログラム／イレースが永久に無効にされたブロックを意味します。永久ロックレジスタとは、FSPR ビットによりプログラム／イレースが永久に無効にされた SAS レジスタを意味します。

第三の遷移は、全消去です。全消去は、初期化コマンドにより実行されます（初期化コマンド自体が無効にされている場合を除く）。ライフサイクルは SSD に戻り、フラッシュメモリの内容は消去されます。永久ロックブロ

ックまたはレジスタがある場合、初期化コマンドは実行されません。PBPS レジスタおよび PBPS_SEC レジスタの全ビットが 1 で FSPR ビットが 1 の場合、初期化コマンドは実行可能です。

注. だれでも初期化コマンドを発行でき、フラッシュメモリの内容は簡単に消去できます。開発者がこれを望まない場合は、パラメータ設定コマンドを使って初期化コマンドを永久にインバリデートできます。

注. 初期化コマンドを実行した後、MCU は応答しません。シリアルプログラミングコマンドの使用を続けるには、リセット後に再度ブートモードに入りなおす必要があります。コマンド詳細については、ブートファームウェアアプリケーションノートを参照してください。

45.3.2 デバッグアクセスレベル

3 つのデバッグアクセスレベルがあり、デバッグアクセスレベルはライフサイクル状態に応じて変わります。

- DBG2：デバッガ接続許可、メモリおよび周辺モジュールへのアクセス制限なし
- DBG1：デバッガ接続許可、非セキュアメモリ領域および周辺モジュールへのアクセス制限
- DBG0：デバッガ接続禁止

45.3.3 シリアルプログラミング

シリアルプログラマが接続可能かどうか、およびアクセス可能なフラッシュメモリの範囲は、表 45.8 に示すライフサイクル状態に依存します。そして受け付け可能なシリアルプログラミングコマンドはライフサイクル状態により異なります。コマンド詳細については、ブートファームウェアアプリケーションノートを参照してください。

45.3.4 ライフサイクル変更例

以下に標準的なライフサイクル変更例を示します。

セキュア開発者

- シリアルプログラミングコマンドを使ってライフサイクルを CM から SSD に変更
- シリアルプログラミングコマンドを使ってコードフラッシュ、データフラッシュおよび SRAM のメモリセキュリティ属性を設定
- シリアルプログラミングインタフェースを使ってセキュアアプリケーションをプログラムし、セキュアアプリケーションをデバッグするライフサイクルが CM でもデバッグは可能ですが、CM 状態でメモリセキュリティ属性は設定できません。メモリセキュリティ属性が設定されていない場合、コードフラッシュ、データフラッシュおよび SRAM のすべてのエリアはセキュアです。

注. 表 45.10 に示すレジスタを非セキュアと設定する場合 NSECSD 状態である必要があります。詳細は、「45.6.1. セキュリティ属性の設定に関する制限」を参照してください。

- （必要時）シリアルプログラミングコマンドを使って SECDBG_KEY および RMA_KEY をインジェクト
- （必要時）シリアルプログラミングコマンドを使って全消去を無効に設定
- シリアルプログラミングコマンドを使ってライフサイクルを SSD から NSECSD に変更

非セキュア開発者

- シリアルプログラミングインタフェースを使って非セキュアアプリケーションをプログラムし、非セキュアアプリケーションをデバッグする
- （必要時）シリアルプログラミングコマンドを使って NONSECDBG_KEY をインジェクト
- （必要時）シリアルプログラミングコマンドを使って全消去を無効に設定
- シリアルプログラミングコマンドを使ってライフサイクルを DPL に変更

45.3.5 故障解析

お客様がルネサスに故障解析をご希望の場合は、ライフサイクルを RMA_REQ に変更してからデバイスを送ってください。ライフサイクルが RMA_REQ でないとルネサスは故障解析を行うことができません。RMA_REQ は

永久的な状態のため、RMA_REQ に変更後に別の状態に戻すことはできません。RMA_REQ に変更する前に、SSD あるいは NSECSD に変更して解析することをお勧めします。

ルネサスに送られたデバイスはお客様に戻されません。デバイスは廃棄されます。

注. 「45.3.1. ライフサイクル状態の変更」で示すように、ライフサイクルを RMA_REQ に変更するために、RMA_KEY が必要です。RMA_KEY を失念した場合、ルネサスは故障解析を行うことができません。

45.4 キーインジェクション

MCU にユーザーキーをインジェクトするには 3 つのステップが必要です。

お客様はまず、256 ビットのインストールキーを作成する必要があります。本キーは、ユーザーファクトリプログラミングキー (UFPK) と呼ばれ、ユーザーキーの暗号化に使用されます。ルネサスキーラッピングサービスからラッピングされたキー (W-UFPK) を受け取ります。

2 番目に UFPK を使ってユーザーキーを AES キーに暗号化します。

最後にシリアルプログラミングインタフェースを使って W-UFPK と暗号化されたユーザーキーを MCU に送ります。送られたユーザーキーは復号処理され、ハードウェアユニークキーによりラッピングされ、そして不揮発性メモリに格納されます。

キーインジェクションの解説図を図 45.3 に示します。シリアルプログラミングインタフェースでインジェクト可能なキーを表 45.9 に示します。

ユーザーキーは、ライフサイクル遷移中の認証にも使用されます。

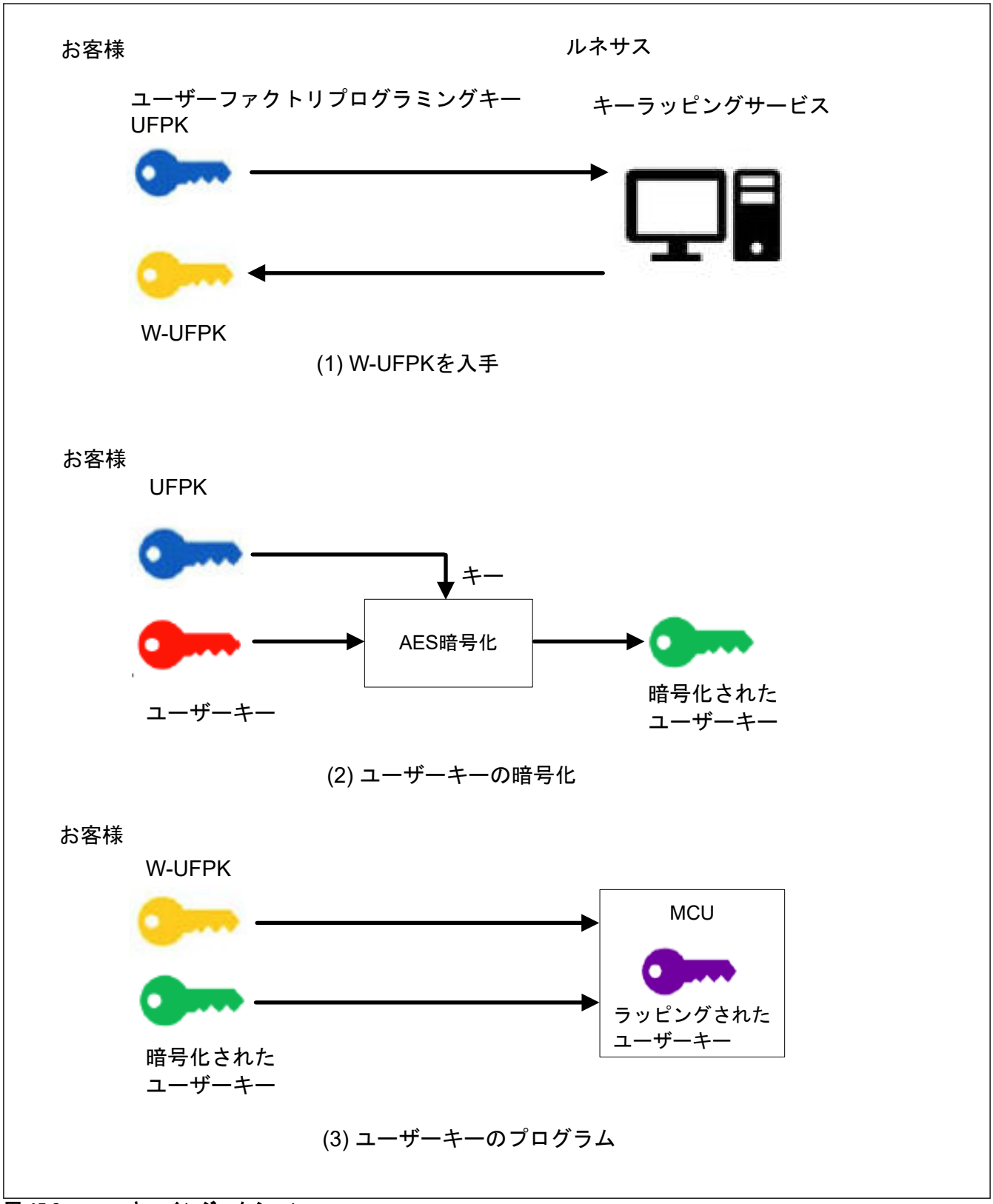


図 45.3　キーインジェクション

表 45.9　シリアルプログラミングでインジェクト可能なキー

ライフサイクル遷移	SECDBG_KEY、NONSECDBG_KEY、RMA_KEY

45.5 レジスタの説明

45.5.1 PSARB : 周辺モジュールセキュリティ属性レジスタ B

Base address: PSCU = 0x400E_0000

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PSARB31	PSARB30	PSARB29	PSARB28	PSARB27	—	—	—	—	PSARB22	—	—	PSARB19	PSARB18	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PSARB9	PSARB8	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
1	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
2	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
3	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
5:4	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
6	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
7	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
8	PSARB8	IIC1 および MSTPCRB.MSTPB8 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
9	PSARB9	IIC0 および MSTPCRB.MSTPB9 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
10	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
11	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
12	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
14:13	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
15	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
16	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
17	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
18	PSARB18	SPI1 および MSTPCRB.MSTPB18 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
19	PSARB19	SPI0 および MSTPCRB.MSTPB19 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
21:20	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
22	PSARB22	SCI9 および MSTPCRB.MSTPB22 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
23	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
24	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
25	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
26	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
27	PSARB27	SCI4 および MSTPCRB.MSTPB27 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
28	PSARB28	SCI3 および MSTPCRB.MSTPB28 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
29	PSARB29	SCI2 および MSTPCRB.MSTPB29 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
30	PSARB30	SCI1 および MSTPCRB.MSTPB30 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31	PSARB31	SCI0 および MSTPCRB.MSTPB31 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. 本表で未定義のビットは予約ビットです。予約ビットは初期値のままとしてください。
注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。

PSARB レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

45.5.2 PSARC : 周辺モジュールセキュリティ属性レジスタ C

Base address: PSCU = 0x400E_0000

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PSARC31	—	—	—	PSARC27	—	—	—	—	—	PSARC21	PSARC20	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	PSARC13	—	—	—	—	—	—	—	—	—	—	—	PSARC1	PSARC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	PSARC0	CAC および MSTPCRC.MSTPC0 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	PSARC1	CRC および MSTPCRC.MSTPC1 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
3	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
7:4	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
8	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
11:9	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
12	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
13	PSARC13	DOC および MSTPCRC.MSTPC13 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
19:14	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
20	PSARC20	TFU および MSTPCRC.MSTPC20 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
21	PSARC21	IIRFA および MSTPCRC.MSTPC21 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
26:22	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
27	PSARC27	CANFD および MSTPCRC.MSTPC27 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
30:28	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
31	PSARC31	SCE5 および MSTPCRC.MSTPC31 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

PSARC レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

45.5.3 PSARD : 周辺モジュールセキュリティ属性レジスタ D

Base address: PSCU = 0x400E_0000

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	PSARD28	PSARD27	PSARD26	PSARD25	—	—	PSARD22	—	PSARD20	PSARD19	—	—	PSARD16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	PSARD14	PSARD13	PSARD12	PSARD11	—	—	—	—	—	—	—	PSARD3	PSARD2	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
1:0	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
2	PSARD2	AGT1 および MSTPCRD.MSTPD2 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
3	PSARD3	AGT0 および MSTPCRD.MSTPD3 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
10:4	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
11	PSARD11	POEG グループ D および MSTPCRD.MSTPD11 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
12	PSARD12	POEG グループ C および MSTPCRD.MSTPD12 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
13	PSARD13	POEG グループ B および MSTPCRD.MSTPD13 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
14	PSARD14	POEG グループ A および MSTPCRD.MSTPD14 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
15	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
16	PSARD16	ADC および MSTPCRD.MSTPD16 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
18:17	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
19	PSARD19	DAC12 unit1 および MSTPCRD.MSTPD19 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
20	PSARD20	DAC12 unit0 および MSTPCRD.MSTPD20 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
21	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
22	PSARD22	TSN および MSTPCRD.MSTPD22 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
24:23	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
25	PSARD25	ACMPHS3 および MSTPCRD.MSTPD25 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
26	PSARD26	ACMPHS2 および MSTPCRD.MSTPD26 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
27	PSARD27	ACMPHS1 および MSTPCRD.MSTPD27 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
28	PSARD28	ACMPHS0 および MSTPCRD.MSTPD28 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:29	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

PSARD レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

45.5.4 PSARE : 周辺モジュールセキュリティ属性レジスタ E

Base address: PSCU = 0x400E_0000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	PSARE4	—	—	PSARE1	PSARE0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	PSARE0	WDT セキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	PSARE1	IWDT セキュリティ属性 0: セキュア 1: 非セキュア	R/W
3:2	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W
4	PSARE4	KINT および MSTPCRE.MSTPE4 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:5	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

PSARE レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

45.5.5 MSSAR : モジュールストップセキュリティ属性レジスタ

Base address: PSCU = 0x400E_0000

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	MSSAR3	MSSAR2	MSSAR1	MSSAR0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	MSSAR0	MSTPCRC.MSTPC14 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	MSSAR1	MSTPCRA.MSTPA22 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
2	MSSAR2	MSTPCRA.MSTPA7 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
3	MSSAR3	MSTPCRA.MSTPA0 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:4	—	読むと 1 が読めます。 書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。

MSSAR レジスタは、モジュールストップコントロールレジスタの対応ビットのセキュリティ属性を指定します。

45.5.6 CFSAMONA : コードフラッシュセキュリティ属性モニタレジスタ A

Base address: PSCU = 0x400E_0000

Offset address: 0x18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CFS2[8:0]								—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	ユーザー設定値								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。	R
23:15	CFS2[8:0]	コードフラッシュセキュアエリア 2 コードフラッシュ用のセキュア領域および NSC 領域の合計エリアを示します。	R
31:24	—	読むと 0 が読めます。	R

注. CFSAMONA レジスタにはセキュリティ属性がありません。

45.5.7 CFSAMONB: コードフラッシュセキュリティ属性モニタレジスタ B

Base address: PSCU = 0x400E_0000

Offset address: 0x1C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CFS1[13:0]														—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	ユーザー設定値														0	0	0	0	0	0	0	0	0	0

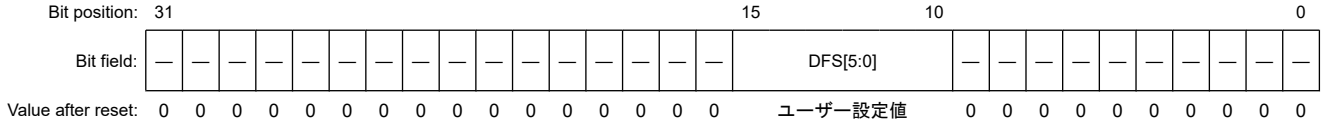
ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。	R
23:10	CFS1[13:0]	コードフラッシュセキュアエリア 1 コードフラッシュのセキュア領域のエリアを示します。	R
31:24	—	読むと 0 が読めます。	R

注. CFSAMONB レジスタにはセキュリティ属性がありません。

45.5.8 DFSAMON: データフラッシュセキュリティ属性モニタレジスタ

Base address: PSCU = 0x400E_0000

Offset address: 0x20



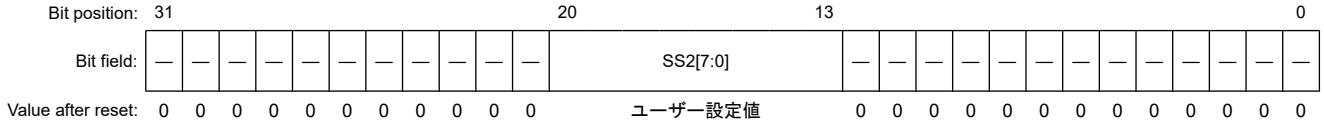
ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。	R
15:10	DFS[5:0]	データフラッシュセキュアエリア データフラッシュのセキュア領域のエリアを示します。	R
31:16	—	読むと 0 が読めます。	R

注. DFSAMON レジスタにはセキュリティ属性がありません。

45.5.9 SSAMONA: SRAM セキュリティ属性モニタレジスタ A

Base address: PSCU = 0x400E_0000

Offset address: 0x24



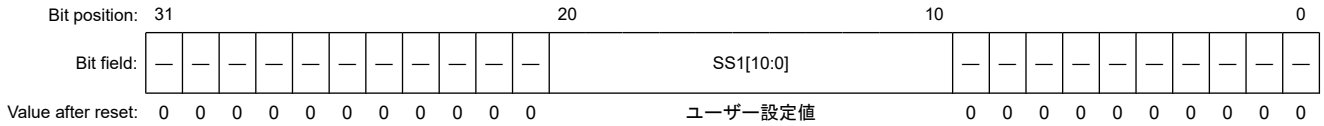
ビット	シンボル	機能	R/W
12:0	—	読むと 0 が読めます。	R
20:13	SS2[7:0]	SRAM セキュアエリア 2 SRAM 用のセキュア領域および NSC 領域の合計エリアを示します。	R
31:21	—	読むと 0 が読めます。	R

注. SSAMONA レジスタにはセキュリティ属性がありません。

45.5.10 SSAMONB : SRAM セキュリティ属性モニタレジスタ B

Base address: PSCU = 0x400E_0000

Offset address: 0x28



ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。	R
20:10	SS1[10:0]	SRAM セキュアエリア 1 SRAM のセキュア領域のエリアを示します。	R
31:21	—	読むと 0 が読めます。	R

注. SSAMONB レジスタにはセキュリティ属性がありません。

45.5.11 DLMMON : デバイスライフサイクル管理状態モニタレジスタ

Base address: PSCU = 0x400E_0000

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	DLMMON[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	DLM ステータス値			

ビット	シンボル	機能	R/W
3:0	DLMMON[3:0]	デバイスライフサイクル管理状態モニタ 0x1: CM 0x2: SSD 0x3: NSECSD 0x4: DPL 0x5: LCK_DBG 0x6: LCK_BOOT 0x7: RMA_REQ 0x8: RMA_ACK その他: 予約	R
31:4	—	読むと 0 が読めます。 書く場合、0 としてください。	R

注. DLMMON レジスタにはセキュリティ属性がありません。

45.5.12 TZFSAR : TrustZone フィルタセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x180

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TZFSA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

ビット	シンボル	機能	R/W
0	TZFSA0	TrustZone フィルタ用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。	R

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

TZFSA0 ビット（TrustZone フィルタ用レジスタのセキュリティ属性）

TZFOAD レジスタおよび TZFPT レジスタ用のセキュリティ属性を指定します。

45.5.13 TZFOAD : 検出後の TrustZone フィルタ動作レジスタ

Base address: TZF = 0x4000_0E00

Offset address: 0x00

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード 本ビットは、OAD ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

OAD ビット（検出後の動作）

OAD ビットを指定すると、保護領域へのアクセスが TrustZone フィルタにより検出されると、リセットまたはノンマスカブル割り込みが発生します。

OAD ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、OAD ビットへの書き込みを禁止／許可します。OAD ビットを書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の KEY[7:0]ビット値が書き込まれると、OAD ビットは更新されません。

KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

45.5.14 TZFPT : TrustZone フィルタ保護レジスタ

Base address: TZF = 0x4000_0E00

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: 全バス TrustZone フィルタレジスタの書き込み保護。読み出しは可能 1: 全バス TrustZone フィルタレジスタの書き込み可能	R/W
7:1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護するレジスタへの書き込みを許可または禁止します。TZFOAD レジスタは PROTECT レジスタにより保護されます。

PROTECT ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを禁止／許可します。PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の KEY[7:0]ビット値が書き込まれると、PROTECT ビットは更新されません。

KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

45.6 使用上の注意事項

45.6.1 セキュリティ属性の設定に関する制限

ソフトウェアブレークポイントを設定するには、デバッガはフラッシュを再プログラムする必要があります。表 45.10 に、フラッシュを再プログラムするのにデバッガが設定するレジスタを示します。表 45.10 に示すレジスタのセキュリティ属性がセキュアに設定されている場合、デバッガはレジスタ設定を変更できないので、NSECSD 状態でソフトウェアブレークポイントを設定できません。セキュア開発者は、NSECSD 状態でのみ表 45.10 に示すレジスタを非セキュアと設定する必要があります。

表 45.10 フラッシュを再プログラムするのにデバッガが設定するレジスタ

機能名	レジスタ名
クロック発生回路	SCKDIVCR, SCKCR, PLLCCR, PLLCR, HOCOCR, MOCOCR
低消費電力モード	OPCCR

45.6.2 SAU 設定

リセット後、アドレス空間のすべてが SAU デフォルト設定により「セキュア」になります。SAU_CTRL レジスタを 0x2 に設定し、IDAU セキュリティ属性を有効にしてください。すなわち、SAU_CTRL レジスタを 0x2 に設定後、アドレス空間のセキュリティ属性は表 45.6 に示すようになります。

45.6.3 FACI レジスタ設定中の非セキュア例外

表 45.5 に示すように、FACI に関連したレジスタは、プログラム／イレース中もしくはプログラム／イレース中断中のみ非セキュアアクセスから保護されます。この状態以外では、非セキュア領域からのアクセスは保護されません。たとえば、セキュアユーザーがプログラミング中、もし図 43.13 に示すフローで「対象ブロックの開始アドレスを FSADDR レジスタに設定」直後に非セキュア例外が起きた場合、非セキュアユーザーは FSADDR レジスタを書き換えることができます。非セキュア例外処理完了後に FACI コマンドが発行され CPU 状態がセキュア状態に戻ると、セキュアユーザーにより意図しないアドレスにデータが書き込まれます。

このような事態を避けるために、セキュアユーザーは下記の期間、非セキュア例外を受け付けないように設定する必要があります。

- FWEPROR レジスタを 0x01 に設定する前または FENTRYR レジスタを 0x0000 以外の値に設定する前（すなわち、FWEPROR レジスタまたは FENTRYR レジスタの保護を解除する前）は非セキュア例外を受け付けないように設定
- FACI コマンド発行領域へのすべての書き込み完了後に非セキュア例外を受け付けるように設定

45.6.4 FCU 割り込みの使用

セキュアユーザーは FCU 割り込みを使用しないで、代わりにレジスタポーリングを使用することをお勧めします。非セキュアユーザーは、セキュアゲートウェイを呼び出さずにデータフラッシュをプログラム／イレースできるので、セキュアユーザーが FCU 割り込みを使用した場合、非セキュアユーザーによるデータフラッシュのプログラム／イレース中に意図しない例外処理が実行される可能性があります。

46. 電気的特性

他に指定がなければ、最小値と最大値は設計シミュレーション、特性結果、または製品テストのいずれかにより保証されます。

サポートする周辺機能と端子は、製品型名によって異なります。

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

- VCC = AVCC0 = 2.7～3.6 V
- 2.7 V ≦ VREFH0 ≦ AVCC0
- VSS = AVSS0 = VREFL0 = 0 V
- $T_a = T_{opr}$

図 46.1 は、タイミング条件を示しています。

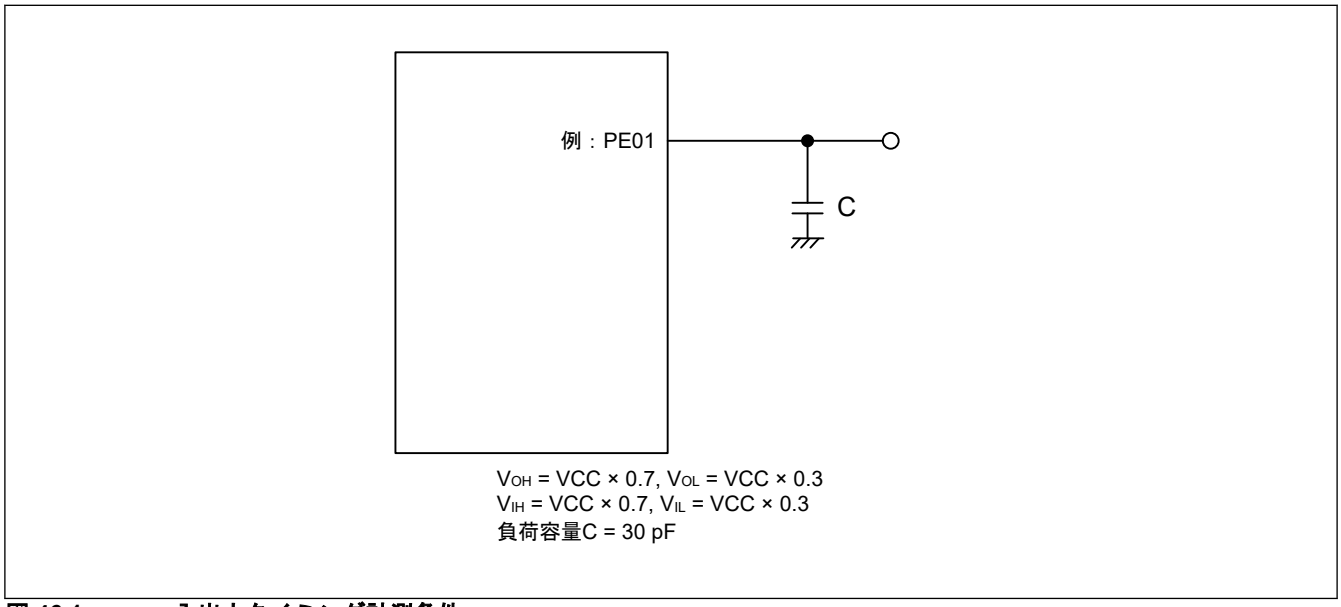


図 46.1 入出力タイミング計測条件

提供される各周辺モジュールのタイミング仕様の推奨計測条件は、最適な周辺動作に対するものです。ただし、ユーザー条件に合うように、各端子の駆動能力を調整してください。

46.1 絶対最大定格

表 46.1 絶対最大定格 (1/2)

項目	シンボル	値	単位
電源電圧	VCC	-0.3～+4.0	V
入力電圧（5 V トレラントポートを除く(注1)）	V_{in}	–0.3～VCC + 0.3	V
入力電圧（5 V トレラントポート(注1)）	V_{in}	–0.3～VCC + 4.0（最大 5.8）	V
リファレンス電源電圧	VREFH0	–0.3～VCC + 0.3	V
アナログ電源電圧	AVCC0(注2)	-0.3～+4.0	V
アナログ入力電圧（PA00～PA05, PB02, P002 を除く）	V_{AN}	–0.3～AVCC0 + 0.3	V
PGA の差動入力が禁止されている場合のアナログ入力電圧（PA00～PA05, PB02, P002）	V_{AN}	–0.3～AVCC0 + 0.3	V
PGA の差動入力が許可されている場合のアナログ入力電圧 (PA00, PA02, PA04, PB02)	V_{AN}	–1.3～AVCC0 + 0.3	V
PGA の差動入力が許可されている場合のアナログ入力電圧 (PA01, PA03, PA05, P002)	V_{AN}	–0.8～AVCC0 + 0.3	V

表 46.1 絶対最大定格 (2/2)

項目	シンボル	値	単位
動作温度(注3) (注4)	T_{opr}	-40～+105	℃
保存温度	T_{stg}	-55～+125	℃

注 1. ポート PA12～PA15、PB03、PB05～PB09、PC10～PC12、PC14、PC15、PD00～PD07、PE00、PE01 は 5 V トレラント対応です。
注 2. AVCC0 と VCC を接続してください。
注 3. 「46.2.1. Tj/Ta の定義」を参照してください。
注 4. Ta = +85℃～+105℃の場合のディレーティング動作については、弊社営業窓口までお問い合わせください。ディレーティングとは、信頼性向上のための系統的な負荷軽減策です。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

表 46.2 推奨動作条件

項目	シンボル	Min	Typ	Max	単位
電源電圧	VCC	2.7	—	3.6	V
	VSS	—	0	—	V
アナログ電源電圧	AVCC0(注1)	—	VCC	—	V
	AVSS0	—	0	—	V

注 1. AVCC0 を VCC に接続してください。A/D コンバータおよび D/A コンバータを使用していない場合、AVCC0 端子、VREFH0 端子、AVSS0 端子および VREFL0 端子を開放したままにしないでください。AVCC0 端子および VREFH0 端子を VCC に、AVSS0 端子および VREFL0 端子を VSS にそれぞれ接続してください。

46.2 DC 特性

46.2.1 Tj/Ta の定義

表 46.3 DC 特性

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	T_j	—	125	°C	High-speed モード Low-speed モード

注. $T_j = T_a + \theta ja \times$ 総消費電力 (W) となるようにしてください。このとき、総消費電力 = $(VCC - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CC}max \times VCC$ です。

46.2.2 I/O V_{IH}, V_{IL}

表 46.4 I/O V_{IH}, V_{IL}

項目			シンボル	Min	Typ	Max	単位
入力電圧（シュミットトリガ入力端子を除く）	周辺機能端子	EXTAL（外部クロック入力）、SPI（RSPCK を除く）	V_{IH}	VCC × 0.8	—	—	V
			V_{IL}	—	—	VCC × 0.2	
		IIC (SMBus)(注1)	V_{IH}	2.1	—	—	
			V_{IL}	—	—	0.8	
		IIC (SMBus)(注2)	V_{IH}	2.1	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	0.8	
シュミットトリガ入力電圧	周辺機能端子	IIC（SMBus を除く）(注1)	V_{IH}	VCC × 0.7	—	—	
			V_{IL}	—	—	VCC × 0.3	
			ΔV_T	VCC × 0.05	—	—	
		IIC（SMBus を除く）(注2)	V_{IH}	VCC × 0.7	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	VCC × 0.3	
			ΔV_T	VCC × 0.05	—	—	
		5 V トレラントポート(注3)(注7)	V_{IH}	VCC × 0.8	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	
		その他の入力端子(注4)	V_{IH}	VCC × 0.8	—	—	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	
	ポート	5 V トレラントポート(注5)(注7)	V_{IH}	VCC × 0.8	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	
		その他の入力端子(注6)	V_{IH}	VCC × 0.8	—	—	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	

注 1. SCL0_C, SDA0_C, SCL0_D, SDA0_D, SCL0_E, SDA0_E, SCL0_F, SDA0_F, SCL1_C, SDA1_C, SCL1_D, SDA1_D, SCL1_E, SDA1_E（合計 14 端子）。これは IIC 機能が選択されているときの値です。
注 2. SCL0_A, SDA0_A, SCL0_B, SDA0_B, SCL1_A, SDA1_A, SCL1_B, SDA1_B（合計 8 端子）。これは IIC 機能が選択されているときの値です。
注 3. RES および PA12～PA15, PB03, PB05～PB09, PC10～PC12, PC14, PC15, PD00～PD07, PE00, PE01 に関連する周辺機能端子（合計 26 端子）。
注 4. 表で説明した周辺機能端子を除くすべての入力端子。
注 5. PA12～PA15, PB03, PB05～PB09, PC10～PC12, PC14, PC15, PD00～PD07, PE00, PE01（合計 25 端子）。
注 6. 表で説明したポートを除くすべての入力端子。
注 7. VCC が 2.7 V 未満の場合、5 V トレラントポートの入力電圧は、3.6 V 未満としてください。このようにしないと、絶縁破壊が発生する可能性があります。5 V トレラントポートは耐圧違反を防止するように電気的に制御されるためです。

46.2.3 I/O I_{OH}, I_{OL}

表 46.5 I/O I_{OH}, I_{OL}

項目			シンボル	Min	Typ	Max	単位
許容出力電流（端子ごとの平均値）	IIC 端子	スタンダードモード(注1)	I_{OL}	—	—	3.0	mA
		ファストモード(注1)	I_{OL}	—	—	6.0	mA
		ファストモードプラス(注2)	I_{OL}	—	—	20	mA
		High-speed モード(注2)	I_{OL}	—	—	3.0	mA
	その他の出力端子(注3)	低駆動(注4)	I_{OH}	—	—	-2.0	mA
			I_{OL}	—	—	2.0	mA
		中駆動(注5)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		高駆動(注6)	I_{OH}	—	—	-10	mA
			I_{OL}	—	—	10	mA
		高速高駆動(注7)	I_{OH}	—	—	-10	mA
			I_{OL}	—	—	10	mA
		高電流駆動(注8)	I_{OH}	—	—	-10	mA
			I_{OL}	—	—	20	mA
許容出力電流（端子ごとの最大値）	IIC 端子	スタンダードモード(注1)	I_{OL}	—	—	3.0	mA
		ファストモード(注1)	I_{OL}	—	—	6.0	mA
		ファストモードプラス(注2)	I_{OL}	—	—	20	mA
		High-speed モード(注2)	I_{OL}	—	—	3.0	mA
	その他の出力端子(注3)	低駆動(注4)	I_{OH}	—	—	-2.0	mA
			I_{OL}	—	—	2.0	mA
		中駆動(注5)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		高駆動(注6)	I_{OH}	—	—	-16	mA
			I_{OL}	—	—	16	mA
		高速高駆動(注7)	I_{OH}	—	—	-16	mA
			I_{OL}	—	—	16	mA
		高電流駆動(注8)	I_{OH}	—	—	-16	mA
			I_{OL}	—	—	20	mA
許容出力電流（全端子の最大値）	全出力端子の最大値		ΣI_{OH} (max)	—	—	-80	mA
			ΣI_{OL} (max)	—	—	80	mA

注 1. SCL0_A, SDA0_A, SCL1_A, SDA1_A（合計 4 端子）。これは IIC 機能が選択されているときの値です。
注 2. SCL0_A, SDA0_A（合計 2 端子）。これは IIC 機能が選択されているときの値です。
注 3. 入力ポートである P000～P002, PA00～PA07, PB00～PB02, PC00～PC05, PC13 を除きます。
注 4. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 5. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。

注 6. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 7. PmnPFS レジスタのポート駆動能力ビットで高速高駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 8. PmnPFS レジスタのポート駆動能力ビットで高電流駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。

【使用上の注意】MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 µs の間に計測した電流の平均値を意味します。

46.2.4 I/O V_{OH}、V_{OL}、その他の特性

表 46.6 I/O V_{OH}、V_{OL}、その他の特性

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	IIC(注1)	V_{OL}	—	—	0.4	V	I_{OL} = 3.0 mA
		V_{OL}	—	—	0.6		I_{OL} = 6.0 mA
	IIC(注2)	V_{OL}	—	—	0.4		I_{OL} = 15.0 mA (BFCTL.FMPE = 1)
		V_{OL}	—	0.4	—		I_{OL} = 20.0 mA (BFCTL.FMPE = 1)
		V_{OL}	—	—	0.4		I_{OL} = 3.0 mA (BFCTL.HSME = 1)
	ポート PA08～PA11、PB12～PB15、PC06～PC09、PD08～PD15、PE10～PE15(注3)	V_{OH}	VCC – 0.5	—	—		I_{OH} = -1.0 mA
		V_{OL}	—	—	0.6		I_{OL} = 20 mA
	その他の出力端子	V_{OH}	VCC – 0.5	—	—		I_{OH} = -1.0 mA
		V_{OL}	—	—	0.5		I_{OL} = 1.0 mA
入力リーク電流	RES	$\|I_{in}\|$	—	—	5.0	µA	V_{in} = 0 V V_{in} = 5.5 V
	ポート P000、P001、PA06、PA07、PB00、PB01、PC00～PC05、PC13		—	—	1.0		V_{in} = 0 V V_{in} = VCC
	ポート PA00、PA02、PA04、PB02（PGA 入力端子）		—	—	1.0		V_{in} = 0 V V_{in} = VCC
	ポート PA01、PA03、PA05、P002（PGAVSS 端子）(注4)		—	—	1.0		V_{in} = 0 V V_{in} = VCC
スリーステートリーク電流（オフ状態）	5 V トレラントポート	$\|I_{TSI}\|$	—	—	5.0	µA	V_{in} = 0 V V_{in} = 5.5 V
	その他のポート（入力ポートを除く）		—	—	1.0		V_{in} = 0 V V_{in} = VCC
入力プルアップ MOS 電流	ポート P0、P2、PA～PE（ポート P002、PA00～PA05、PB02 を除く）	I_p	-300	—	-10	µA	VCC = 2.7～3.6 V V_{in} = 0 V
SCL 電流源として機能するプルアップ電流	IIC(注5)	I_{CS}	3	—	12	mA	VCC = 3.0～3.6 V V_{in} = 0.3 × VCC～0.7 × VCC
入力容量	すべての入力端子	C_{in}	—	—	8	pF	Vbias = 0 V Vamp = 20 mV f = 1 MHz Ta = 25℃

注 1. SCL0_A, SDA0_A, SCL1_A, SDA1_A（合計 4 端子）。これは IIC 機能が選択されているときの値です。
注 2. SCL0_A, SDA0_A（合計 2 端子）。これは IIC 機能が選択されているときの値です。
注 3. PmnPFS レジスタのポート駆動能力ビットで高電流駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 4. PGAn 端子の疑似差動入力が禁止されている場合の値です（シングルエンド入力）。

注 5. SCL0_A（1 端子）。IIC High-speed モードが選択されている場合の値です。

46.2.5 動作電流とスタンバイ電流

表 46.7 動作電流とスタンバイ電流

項目				シンボル	Min	Typ	Max	単位	測定条件
消費電流(注1)	High-speed モード	最大動作(注2)		I_{CC}(注3)	—	—	150	mA	ICLK = 240 MHz PCLKA = 120 MHz PCLKB = 60 MHz PCLKC = 60 MHz PCLKD = 120 MHz FCLK = 60 MHz
		CoreMark®(注5) (注6)			—	34	—		
		ノーマルモード	すべての周辺クロックが有効、(1) コードはフラッシュから実行(注4)		—	44	—		
			すべての周辺クロックが無効、(1) コードはフラッシュから実行(注5) (注6)		—	28	—		
		スリープモード(注5) (注6)			—	13	78		
		BGO 動作時の増加分	データフラッシュ P/E		—	6	—		
			コードフラッシュ P/E		—	8	—		
	Low-speed モード(注5) (注10)				—	5	—		ICLK = 1 MHz
	ソフトウェアスタンバイモード		SNZCR.RXDREQEN = 1		—	—	63		ICLK = 32.768 kHz
			SNZCR.RXDREQEN = 0		—	5.1	—		—
	ディープソフトウェアスタンバイモード	スタンバイ SRAM に電源を供給			—	22.7	60	μA	—
		SRAM に電源が供給されていない	パワーオンリセット回路、低消費電力機能無効		—	11.3	30		—
			パワーオンリセット回路、低消費電力機能有効		—	4.4	20		—
	ディープソフトウェアスタンバイからの復帰時のインラッシュカレント		インラッシュカレント(注7)	I_{RUSH}	—	160	—	mA	—
			インラッシュカレントのエネルギー(注7)	E_{RUSH}	—	1.0	—	μC	—
アナログ電源電流	A/D 変換中（1 ユニット）		SH なし	AI_{CC}	—	4.9	6.0	mA	—
			SH あり		—	8.4	11.5	mA	—
	PGA（1 チャネル）				—	1	3	mA	—
	ACMPHS（1 ユニット）				—	0.1	0.2	mA	—
	温度センサ				—	0.1	0.2	mA	—
	D/A 変換中（1 チャネル）(注8)		AMP 出力なし		—	0.2	0.3	mA	—
			AMP 出力あり		—	0.8	1.3	mA	—
	A/D、D/A 変換待機時（全ユニット）				—	3.8	4.5	mA	—
	スタンバイモードの ADC、DAC12（全ユニット）(注9)				—	0.7	10	μA	—
リファレンス電源電流 (VREFH0)	A/D 変換中（1 ユニット）		SAR モード	AI_{REFH0}	—	21	50	μA	—
			オーバーサンプリングモードとハイブリッドモード		—	100	160	μA	—
	A/D 変換待機時（全ユニット）				—	18	50	μA	—
	スタンバイモードの ADC（全ユニット）(注9)				—	0.03	1	μA	—

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
注 2. 周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{CC} は、下記の式にしたがって f (ICLK) に依存します。
I_{CC} Max. = 0.34 × f + 67（High-speed モードでの最大動作時）
I_{CC} Typ. = 0.095 × f + 4.7（High-speed モードでの通常動作時、すべての周辺クロックが無効）

I_{CC} Typ. = 0.9 × f + 4.1（Low-speed モード）
I_{CC} Max. = 0.045 × f + 67（スリープモード）
注 4. BGO 動作は含まれません。
注 5. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 6. FCLK、PCLKA、PCLKB、PCLKC、PCLKD は、64 分周 (3.75 MHz) に設定されています。
注 7. 基準値
注 8. DAC12 にはアナログ電源電流に基準電流が含まれています。
注 9. 本 MCU がソフトウェアスタンバイモードの場合または MSTPCRD.MSTPD16（A/D コンバータモジュールストップビット）がモジュールストップ状態の場合
注 10. FCLK、PCLKA、PCLKB、PCLKC、PCLKD は、64 分周 (15.6 kHz) に設定されています。

表 46.8 Coremark およびノーマルモード電流

項目			シンボル	Typ	単位	測定条件
消費電流(注1)	Coremark 動作		I_{CC}	139	µA/MHz	ICLK = 240 MHz PCLKA = PCLKB = PCLKC = PCLKD = FCLK = 3.75 MHz
	通常モード	すべての周辺クロックが無効、キャッシュはオン、(1) コードはフラッシュから実行(注2)		139		
		すべての周辺クロックが無効、キャッシュはオフ、(1) コードはフラッシュから実行(注2)		115		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

46.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 46.9 VCC 立ち上がり／立ち下がり勾配の特性

項目		シンボル	Min	Typ	Max	単位	測定条件
VCC 立ち上がり勾配	起動時電圧モニタ 0 リセット無効	SrVCC	0.0084	—	20	ms/V	—
	起動時電圧モニタ 0 リセット有効		0.0084	—	—		—
	SCI ブートモード(注1)		0.0084	—	20		—
VCC 立ち下がり勾配		SfVCC	0.0084	—	—	ms/V	—

注 1. ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧モニタ 0 からのリセットは無効です。

表 46.10 VCC 立ち上がり／立ち下がり勾配とリップル周波数特性

リップル電圧は、VCC 上限 (3.6 V) と下限 (2.7 V) の範囲内で、許容リップル周波数 $f_{r\,(VCC)}$を満たす必要があります。VCC 変動が VCC±10% を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 dt/dVCC を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r\,(VCC)}$	—	—	10	kHz	図 46.2 $V_{r\,(VCC)}$ ≦ VCC × 0.2
		—	—	1	MHz	図 46.2 $V_{r\,(VCC)}$ ≦ VCC × 0.08
		—	—	10	MHz	図 46.2 $V_{r\,(VCC)}$ ≦ VCC × 0.06
許容電圧変動立ち上がり／立ち下がり勾配	dt/dVCC	1.0	—	—	ms/V	VCC 変動が VCC ±10%を超える場合

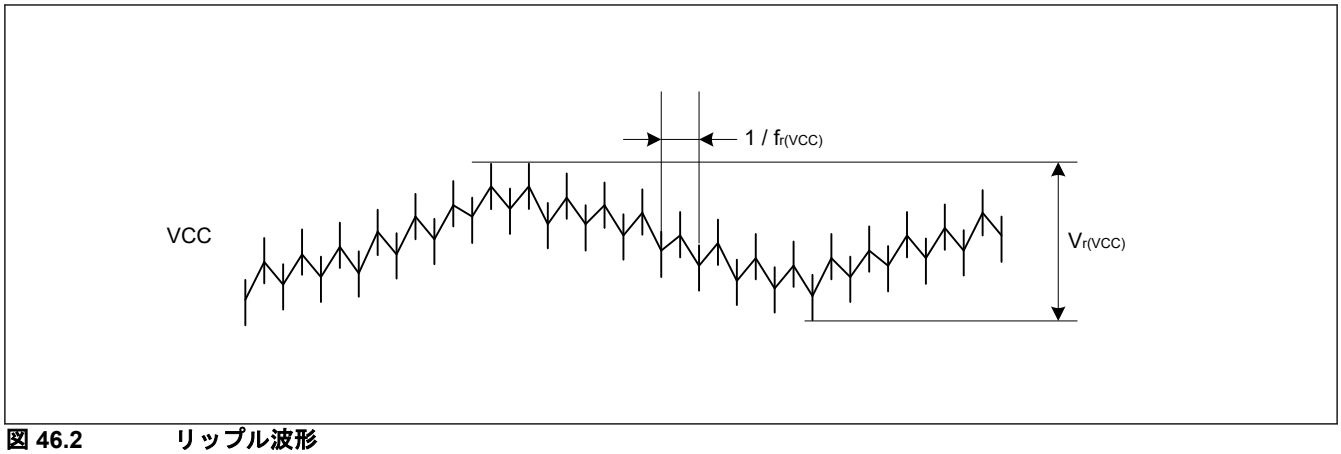


図 46.2 リップル波形

46.2.7 熱特性

ジャンクション温度 (Tj) の最大値は、「46.2.1. Tj/Ta の定義」の値を超えないようにしてください。

Tj は、以下のいずれかの式で計算されます。

- Tj = Ta + θja × 総消費電力
- Tj = Tt + Ψjt × 総消費電力
  - Tj：ジャンクション温度（℃）
  - Ta：周囲温度（℃）
  - Tt：ケース上面中央部温度（℃）
  - θja：「ジャンクション」-「周囲」間の熱抵抗（℃/W）
  - Ψjt：「ジャンクション」-「ケース上面中央部」間の熱抵抗（℃/W）
- 総消費電力 = 電圧 × (リーク電流 + ダイナミック電流)
- IO のリーク電流 = Σ (I_{OL} × V_{OL}) / 電圧 + Σ (|I_{OH}| × |VCC – V_{OH}|) / 電圧
- IO のダイナミック電流 = Σ IO (C_{in} + C_{load}) × IO のスイッチング周波数 × 電圧
  - C_{in}：入力容量
  - C_{load}：出力容量

θja と Ψjt については、表 46.11 を参照してください。

表 46.11 熱抵抗

項目	パッケージ	シンボル	値(注1)	単位	測定条件
熱抵抗	100 ピン LQFP (PLQP0100KB-B)	θja	36	°C/W	JESD 51-2 および 51-7 準拠
	64 ピン LQFP (PLQP0064KB-C)		39		
	64 ピン QFN (PWQN0064LB-A)		26		
	48 ピン LQFP (PLQP0048KB-B)		60		
	48 ピン QFN (PWQN0048KC-A)		28		
	100 ピン LQFP (PLQP0100KB-B)	Ψjt	0.65	°C/W	JESD 51-2 および 51-7 準拠
	64 ピン LQFP (PLQP0064KB-C)		0.69		
	64 ピン QFN (PWQN0064LB-A)		0.15		
	48 ピン LQFP (PLQP0048KB-B)		2.01		
	48 ピン QFN (PWQN0048KC-A)		0.17		

注 1. 値は、4 層基板使用時の基準値です。熱抵抗は、基板の層数やサイズによって変わります。詳細は、JEDEC 規格を参照してください。

46.2.7.1 ICCmax の計算ガイド

各ユニットの消費電力を表 46.12 に示します。

表 46.12 各ユニットの消費電力

ダイナミック電流／リーク電流	MCU ドメイン	カテゴリ	項目	周波数 [MHz]	電流 [uA/MHz]	電流(注1) [mA]
リーク電流	アナログ	LDO およびリーク(注2)	Ta = 75 °C(注3)	—	—	37.8
			Ta = 85 °C(注3)	—	—	46.4
			Ta = 95 °C(注3)	—	—	56.1
			Ta = 105 °C(注3)	—	—	68.0
ダイナミック電流	CPU	フラッシュおよび SRAM 動作	Coremark 動作	240	105.324	25.28
	周辺ユニット	タイマ	GPT32 (10ch)(注4)	120	29.697	3.56
			POEG (4 Groups)(注4)	60	1.483	0.09
			AGT (2ch)(注4)	60	3.09	0.19
			WDT	60	0.641	0.04
			IWDT	60	0.225	0.01
		通信インタフェース	SCI (6ch)(注4)	120	27.683	3.32
			IIC (2ch)(注4)	120	5.304	0.64
			CANFD	60	5.763	0.35
			SPI (2ch)(注4)	120	5.738	0.69
		データ処理アクセラレータ	TFU	240	1.188	0.03
			IIRFA	240	34.252	8.22
		データ処理	DOC	120	0.221	0.03
			CRC	120	0.508	0.06
		アナログ	ADC (2 Units)(注4)	60	172.958	10.38
			DAC12 (4ch)(注4)	120	1.097	0.13
			ACMPHS (4ch)(注4)	60	0.641	0.04
			TSN	60	0.111	0.01
		イベントリンク	ELC	60	1.852	0.11
		セキュリティ	SCE5	120	68.404	8.21
		システム	CAC	60	0.63	0.04
			KINT	60	0.072	0.004
		DMA	DMAC	240	5.073	1.22
			DTC	240	4.18	1

注 1. 値は設計によって保証されています。
注 2. LDO およびリークは、内部電圧レギュレータの電流と、MCU のリーク電流です。
これは、Ta の温度に従って選択されます。
注 3. 電流測定のため、Δ(Tj-Ta) = 20℃とみなされます。
注 4. チャネルごとまたはユニットごとの消費電流を求めるには、電流[mA]をチャネル数、グループ数、またはユニット数で割ります。

表 46.13 各ユニットの動作の概要 (1/2)

周辺デバイス	動作の概要
GPT	動作モードが、のこぎり波 PWM モードに設定されています。 GPT が PCLKD で動作しています。

表 46.13　各ユニットの動作の概要 (2/2)

周辺デバイス	動作の概要
POEG	モジュールストップビットのクリアのみを行います。
AGT	AGT が PCLKB で動作しています。
WDT	WDT が PCLKB で動作しています。
IWDT	IWDT が IWDTCLK で動作しています。
SCI	SCI がクロック同期式モードでデータを送信しています。
IIC	通信フォーマットが I2C バスフォーマットに設定されています。 IIC がマスタモードでデータを送信しています。
CANFD	CANFD がセルフテストモード 1 でデータを送受信しています。
SPI	SPI モードが SPI 動作（4 線式）に設定されています。 SPI マスタ／スレーブモードがマスタモードに設定されています。 SPI が 8 ビット幅のデータを送信しています。
TFU	正弦および余弦演算をしています。
IIRFA	チャネル 0 で 32 ステージのチャネル処理をしています。
DOC	DOC がデータ加算モードで動作しています。
CRC	CRC が 32 ビット CRC32-C 多項式を使用して CRC コードを生成しています。
ADC	分解能は 12 ビット精度に設定されます。 A/D 変換データ操作コントロール B レジスタは、16 回変換平均モードに設定されています。 ADC がアナログ入力を連続スキャンモードで変換しています。 ADC が PCLKC で動作しています。
DAC12	DAC12 が変換結果の出力とデータレジスタ値の更新を行っています。
ACMPHS	IVCMP2 と IVREF0 の比較とコンペア出力をしています。
TSN	TSN が動作しています。
ELC	モジュールストップビットのクリアのみを行います。
SCE5	SCE5 がビルトインセルフテストを実行しています。
DMAC	転送データのビット長が 32 ビットに設定されています。 転送モードがブロック転送モードに設定されています。 DMAC が SRAM0 から SRAM0 にデータを転送しています。
DTC	転送データのビット長が 32 ビットに設定されています。 転送モードがブロック転送モードに設定されています。 DMAC が SRAM0 から SRAM0 にデータを転送しています。
CAC	測定対象クロックが PCLKB に設定されています。 測定基準クロックが PCLKB に設定されています。 CAC がクロック周波数精度を測定しています。
KINT	モジュールストップビットのクリアのみを行います。

46.2.7.2　Tj の計算例

前提事項：

- パッケージ 100 ピン LQFP: θja = 36.0 °C/W
- Ta = 100 °C
- I_{CC}max = 80 mA
- VCC = 3.5 V (VCC = AVCC0)
- I_{OH} = 1 mA、V_{OH} = VCC – 0.5 V、12 出力
- I_{OL} = 20 mA、V_{OL} = 1.0 V、8 出力
- I_{OL} = 1 mA、V_{OL} = 0.5 V、12 出力
- C_{in} = 8 pF、16 ピン、入力周波数 = 10 MHz

- C_{load} = 30 pF、16 ピン、出力周波数 = 10 MHz

IO リーク電流 = Σ (V_{OL} × I_{OL}) / 電圧 + Σ ((VCC - V_{OH}) × I_{OH}) / 電圧
= (20 mA × 1 V) × 8 / 3.5 V + (1 mA × 0.5 V) × 12 / 3.5 V + ((VCC - (VCC - 0.5 V)) × 1 mA) × 12 / 3.5 V
= 45.7 mA + 1.71 mA + 1.71 mA
= 49.1 mA

IO のダイナミック電流 = Σ IO (C_{in} + C_{load}) × IO のスイッチング周波数 × 電圧
= ((8 pF × 16) × 10 MHz + (30 pF × 16) × 10 MHz) × 3.5 V
= 21.3 mA

総消費電力 = 電圧 × (リーク電流 + ダイナミック電流)
= (80 mA × 3.5 V) + (49.1 mA + 21.3 mA) × 3.5 V
= 526 mW (0.526 W)

Tj = Ta + θja × 総消費電力
= 100 °C + 36.0 °C/W × 0.526W
= 118.9 °C

46.3 AC 特性

46.3.1 周波数

表 46.14 High-speed モードにおける動作周波数の値

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)(注2)	f	—	—	240	MHz
	周辺モジュールクロック (PCLKA)(注2)		—	—	120	
	周辺モジュールクロック (PCLKB)(注2)		—	—	60	
	周辺モジュールクロック (PCLKC)(注2)		—(注3)	—	60	
	周辺モジュールクロック (PCLKD)(注2)		—	—	120	
	フラッシュインタフェースクロック (FCLK)(注2)		—(注1)	—	60	

注 1. フラッシュメモリのプログラミング／イレース中、FCLK は 4 MHz 以上の周波数で実行する必要があります。
注 2. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK の周波数関係については「8. クロック発生回路」を参照してください。
注 3. ADC 使用時、PCLKC 周波数は 1 MHz 以上でなければなりません。

表 46.15 Low-speed モードにおける動作周波数の値

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)(注2)	f	—	—	1	MHz
	周辺モジュールクロック (PCLKA)(注2)		—	—	1	
	周辺モジュールクロック (PCLKB)(注2)		—	—	1	
	周辺モジュールクロック (PCLKC)(注2)(注3)		—(注3)	—	1	
	周辺モジュールクロック (PCLKD)(注2)		—	—	1	
	フラッシュインタフェースクロック (FCLK)(注1)(注2)		—	—	1	

注 1. フラッシュメモリのプログラム／イレースは、Low-speed モードでは許可されていません。
注 2. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、FCLK 相互間の周波数関係については「8. クロック発生回路」を参照してください。
注 3. ADC 使用時、PCLKC 周波数は 1 MHz 以上でなければなりません。

46.3.2 クロックタイミング

表 46.16 クロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t_{EXcyc}	41.66	—	—	ns	図 46.3
EXTAL 外部クロック入力 High レベルパルス幅	t_{EXH}	15.83	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅	t_{EXL}	15.83	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t_{EXr}	—	—	5.0	ns	
EXTAL 外部クロック立ち下がり時間	t_{EXf}	—	—	5.0	ns	
メインクロック発振器周波数	f_{MAIN}	8	—	24	MHz	—
メインクロック発振安定待機時間（水晶）(注1)	$t_{MAINOSCWT}$	—	—	—(注1)	ms	図 46.4
LOCO クロック発振周波数	f_{LOCO}	29.4912	32.768	36.0448	kHz	—
LOCO クロック発振安定待機時間	t_{LOCOWT}	—	—	60.4	µs	図 46.5
ILOCO クロック発振周波数	f_{ILOCO}	13.5	15	16.5	kHz	—
MOCO クロック発振周波数	F_{MOCO}	6.8	8	9.2	MHz	—
MOCO クロック発振安定待機時間	t_{MOCOWT}	—	—	15.0	µs	—
HOCO クロック発振器発振周波数	f_{HOCO16}	15.78	16	16.22	MHz	–20 ≦ Ta ≦ 105℃
	f_{HOCO18}	17.75	18	18.25		
	f_{HOCO20}	19.72	20	20.28		
	f_{HOCO16}	15.71	16	16.29		-40 ≦ Ta ≦ -20℃
	f_{HOCO18}	17.68	18	18.32		
	f_{HOCO20}	19.64	20	20.36		
HOCO クロック発振安定待機時間(注2)	t_{HOCOWT}	—	—	64.7	µs	—
HOCO ピリオドジッタ	—	—	±85	—	ps	—
PLL クロック周波数	f_{PLL}	120	—	240	MHz	—
PLL2 クロック周波数	f_{PLL2}	120	—	240	MHz	—
PLL/PLL2 クロック発振安定待機時間	t_{PLLWT}	—	—	174.9	µs	図 46.6
PLL/PLL2 ピリオドジッタ	—	—	±100	—	ps	—
PLL/PLL2 ロングタームジッタ	—	—	±300	—	ps	期間：1 µs, 10 µs

注 1. メインクロック発振器を設定する場合、発振器メーカに発振評価を確認し、その結果を推奨発振安定時間として使用してください。MOSCWTCR レジスタを、推奨値以上に設定してください。
メインクロック動作を開始するために MOSCCR.MOSTP ビット設定を変更したら、OSCSF.MOSCSF フラグが 1 であることを確認してからメインクロック発振器の使用を開始してください。

注 2. リセット状態の解除から HOCO 発振周波数 (f_{HOCO}) が動作保証範囲に達するまでの時間です。

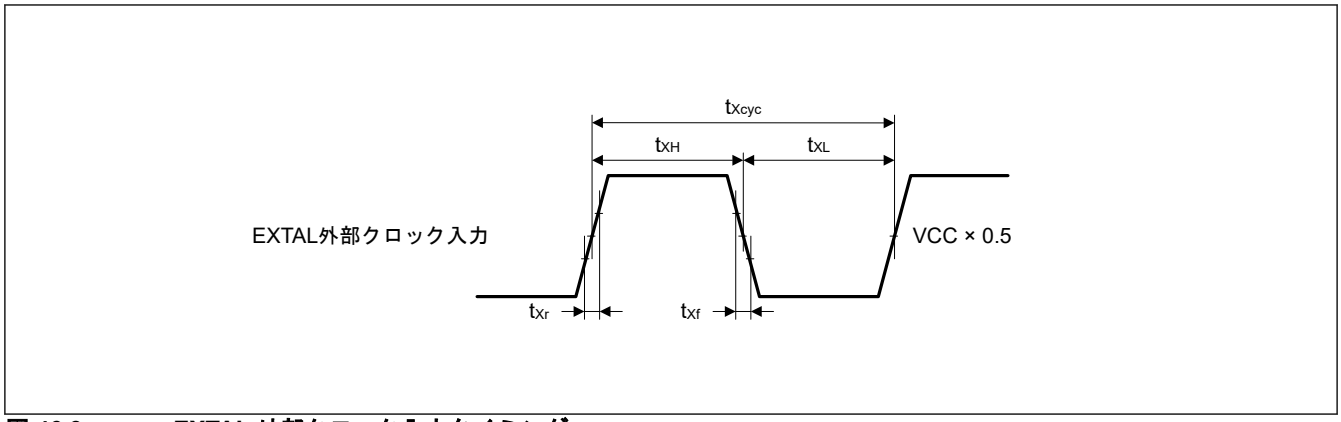


図 46.3　EXTAL 外部クロック入力タイミング

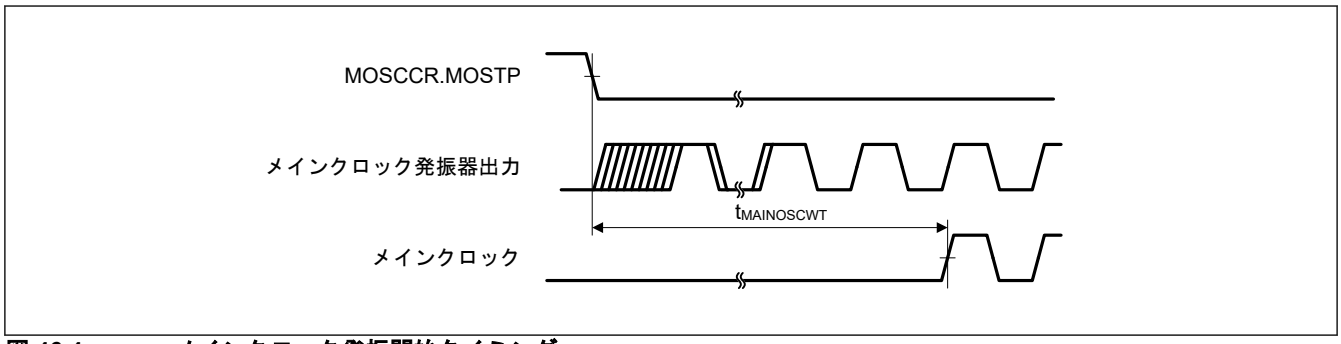


図 46.4　メインクロック発振開始タイミング

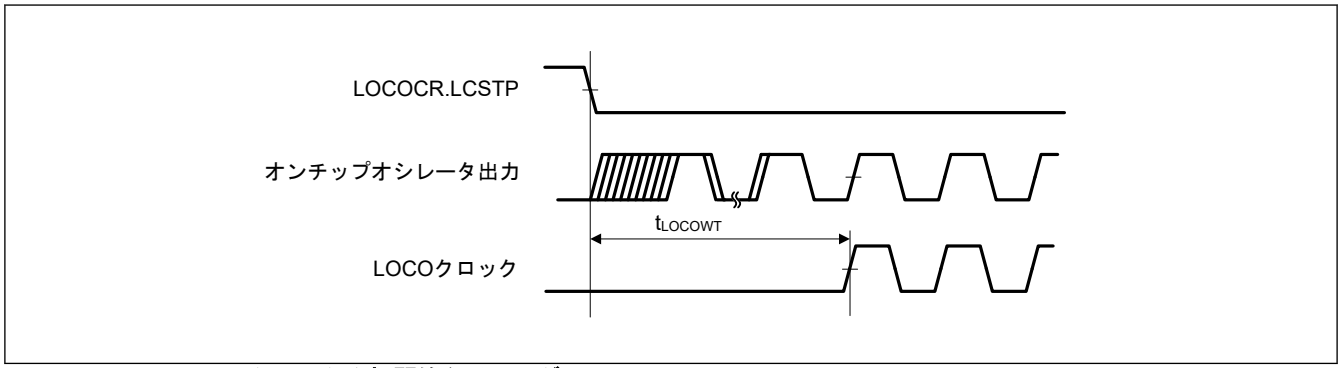


図 46.5　LOCO クロック発振開始タイミング

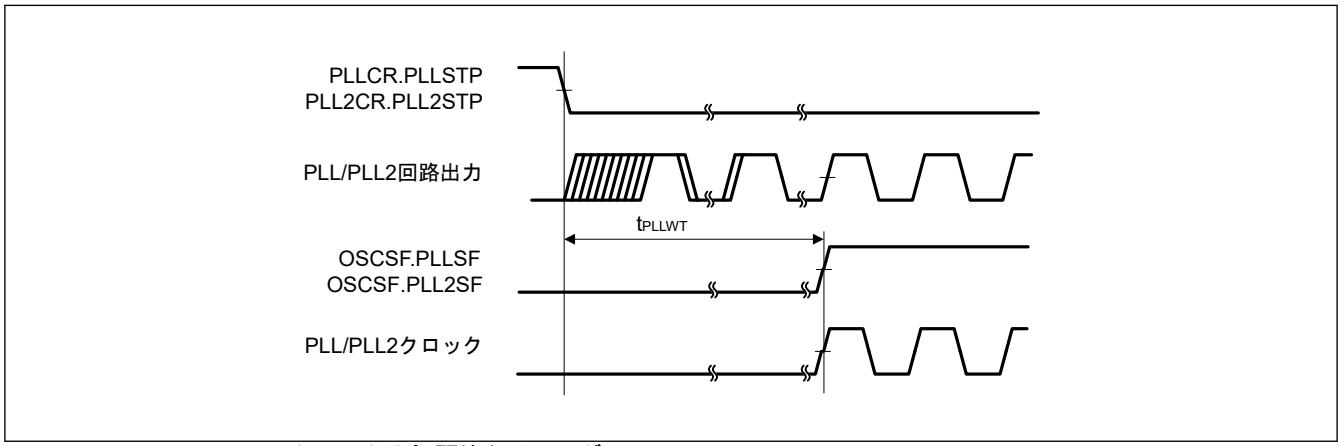


図 46.6　PLL/PLL2 クロック発振開始タイミング

46.3.3 リセットタイミング

表 46.17 リセットタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	パワーオン	t_{RESWP}	0.7	—	—	ms	図 46.7
	ディープソフトウェアスタンバイモード	t_{RESWD}	0.6	—	—	ms	図 46.8
	ソフトウェアスタンバイモード	t_{RESWS}	0.3	—	—	ms	
	上記以外	t_{RESW}	200	—	—	μs	
RES 解除後の待機時間		t_{RESWT}	—	37.3	41.2	μs	図 46.7
内部リセット解除後の待機時間 （IWDT リセット、WDT リセット、ソフトウェアリセット、SRAM パリティエラーリセット、バスマスタ MPU エラーリセット、TrustZone エラーリセット、キャッシュパリティエラーリセット）		t_{RESW2}	—	324	397.7	μs	—

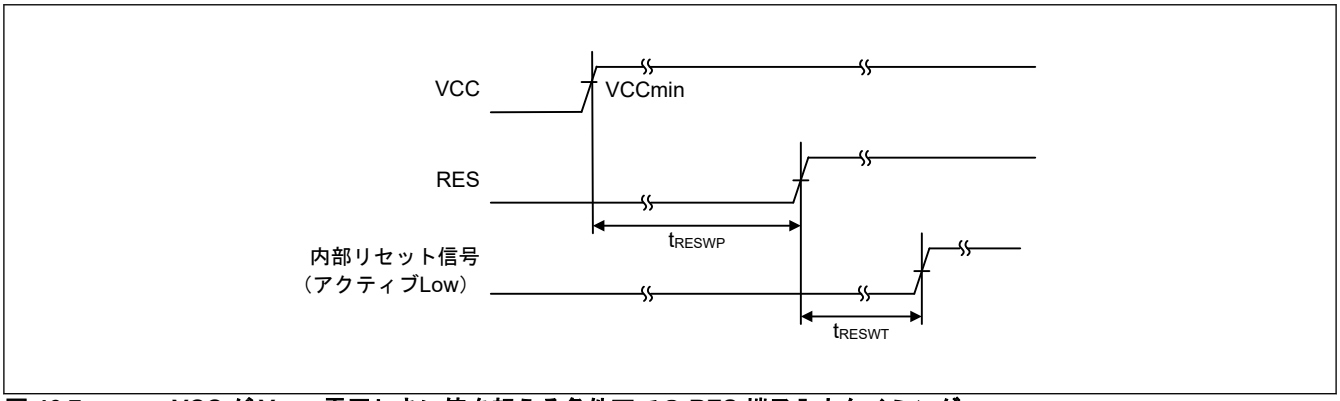


図 46.7 VCC が V_{POR} 電圧しきい値を超える条件下での RES 端子入力タイミング

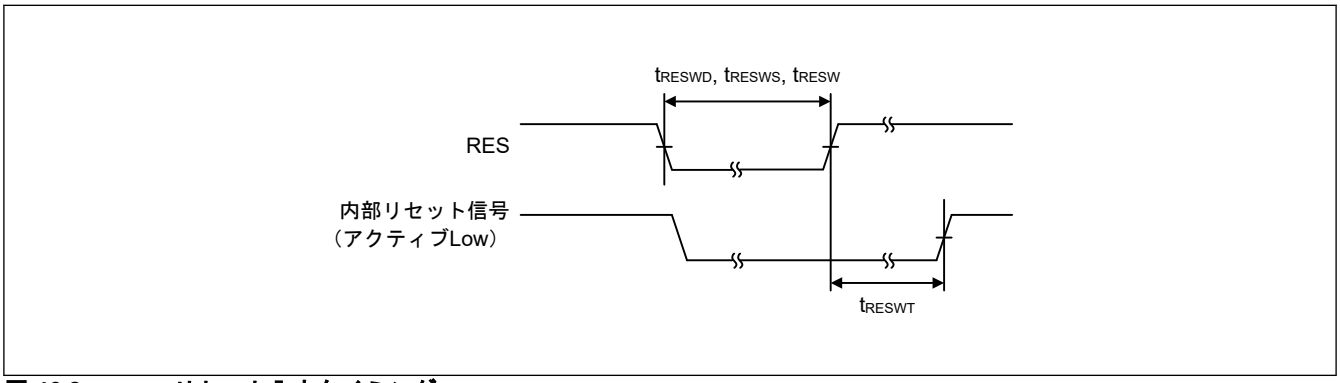


図 46.8 リセット入力タイミング

46.3.4 ウェイクアップタイミング

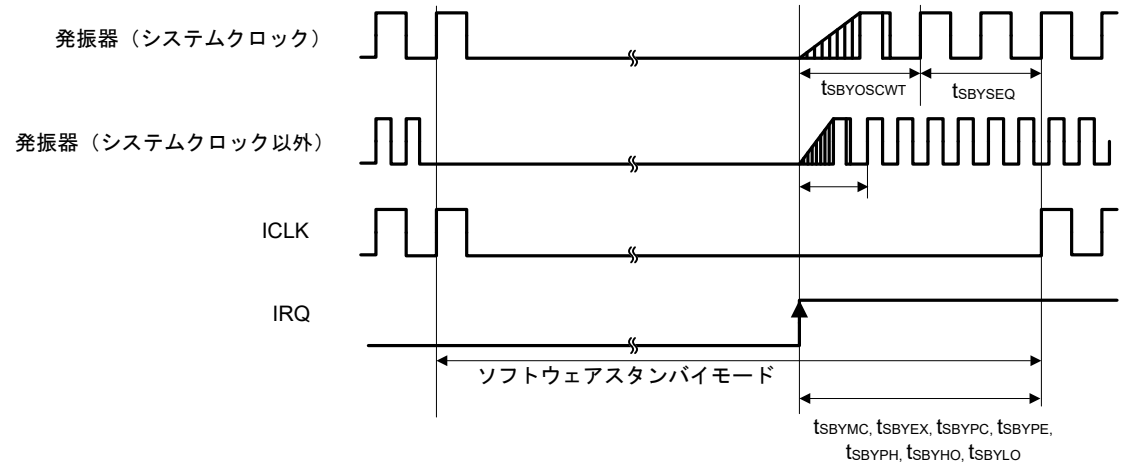
表 46.18 低消費電力モードからの復帰タイミング

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器(注2)	t_{SBYMC}(注11)	—	2.1	2.4	ms	図 46.9 全発振器の分周比は 1 です。
		システムクロックソースはメインクロック発振器を使用した PLL(注3)	t_{SBYPC}(注11)	—	2.2	2.6	ms	
	メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器(注4)	t_{SBYEX}(注11)	—	45	125	µs	
		システムクロックソースはメインクロック発振器を使用した PLL(注5)	t_{SBYPE}(注11)	—	170	255	µs	
	システムクロックソースは LOCO (注6)		t_{SBYLO}(注11)	—	0.7	0.9	ms	
	システムクロックソースは HOCO クロック発振器(注7)		t_{SBYHO}(注11)	—	55	130	µs	
	システムクロックソースは HOCO を使用した PLL(注8)		t_{SBYPH}(注11)	—	175	265	µs	
	システムクロックソースは MOCO クロック発振器(注9)		t_{SBYMO}(注11)	—	35	65	µs	
ディープソフトウェアスタンバイモードからの復帰時間	DPSBYCR.DEEPCUT[1] = 0 および DPSWCR.WTSTS[5:0] = 0x0E		t_{DSBY}	—	0.38	0.54	ms	図 46.10
	DPSBYCR.DEEPCUT[1] = 1 および DPSWCR.WTSTS[5:0] = 0x19		t_{DSBY}	—	0.55	0.73	ms	
ディープソフトウェアスタンバイモード解除後待機時間			t_{DSBYWT}	56	—	57	t_{cyc}	
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	システムクロックソースが HOCO (20 MHz) の場合の High-speed モード		t_{SNZ}	—	35(注10)	70(注10)	µs	図 46.11
	システムクロックソースが MOCO (8 MHz) の場合の High-speed モード		t_{SNZ}	—	11(注10)	14(注10)	µs	

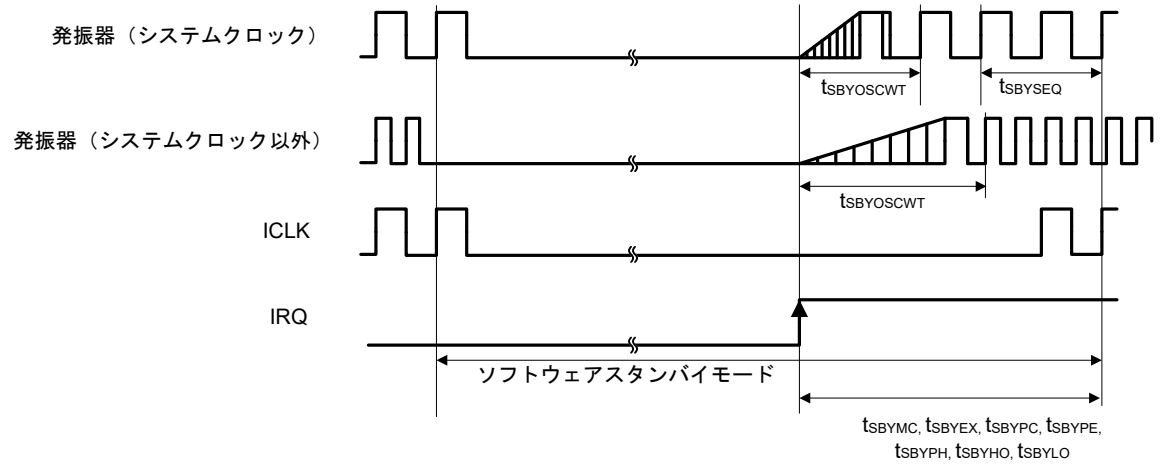
注 1. 復帰時間は、システムクロックソースにより決定されます。複数の発振器が起動している場合、復帰時間は以下の計算式で決定します。
総復帰時間 = システムクロックソースとしての発振器の復帰時間 + アクティブな発振器の最長 tSBYOSCWT - システムクロックの tSBYOSCWT + 2 LOCO サイクル（LOCO が動作している場合）
注 2. 水晶の周波数が 24 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05）で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 3. PLL の周波数が 240 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05）で、かつ内部クロックの分周設定のうち最大値が 4 の場合
注 4. 外部クロックの周波数が 24 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x00）で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 5. PLL の周波数が 240 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x00）で、かつ内部クロックの分周設定のうち最大値が 4 の場合
注 6. LOCO 周波数が 32.768 kHz で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 7. HOCO 周波数が 20 MHz で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 8. PLL 周波数が 240 MHz で、かつ内部クロックの分周設定のうち最大値が 4 の場合
注 9. MOCO 周波数が 8 MHz で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 10. SNZCR.RXDREQEN ビットが 0 のとき、以下の時間が電源復帰時間として追加されます。16 µs (Typ.)、48 µs (Max)
注 11. 復帰時間は、tSBYOSCWT + tSBYSEQ の式で計算できます。これらは、次の値と式で決定できます。n は内部クロックの分周設定の内、最大値が選択されます。

ウェイクアップ時間	Typ		Max		単位
	tSBYOSCWT	tSBYSEQ	tSBYOSCWT	tSBYSEQ	
tSBYMC	(MSTS[7:0]*32 + 3) / 0.262	35 + 18 / fICLK + 4n / fMAIN	(MSTS[7:0]*32 + 14) / 0.236	62 + 18 / fICLK + 4n / fMAIN	µs
tSBYPC	(MSTS[7:0]*32 + 34) / 0.262	35 + 18 / fICLK + 4n / fPLL	(MSTS[7:0]*32 + 45) / 0.236	62 + 18 / fICLK + 4n / fPLL	µs
tSBYEX	10	35 + 18 / fICLK + 4n / fEXMAIN	62	62 + 18 / fICLK + 4n / fEXMAIN	µs

ウェイクアップ時間	Typ		Max		単位
	tSBYOSCWT	tSBYSEQ	tSBYOSCWT	tSBYSEQ	
tSBYPE	135	35 + 18 / fICLK + 4n / fPLL	192	62 + 18 / fICLK + 4n / fPLL	µs
tSBYLO	0	35 + 18 / fICLK + 4n / fLOCO	0	62 + 18 / fICLK + 4n / fLOCO	µs
tSBYHO	20	35 + 18 / fICLK + 4n / fHOCO	67	62 + 18 / fICLK + 4n / fHOCO	µs
tSBYPH	140	35 + 18 / fICLK + 4n / fPLL	202	62 + 18 / fICLK + 4n / fPLL	µs
tSBYMO	0	35 + 18 / fICLK + 4n / fMOCO	0	62 + 18 / fICLK + 4n / fMOCO	µs



システムクロックの発振安定待機時間が長い場合



システムクロック以外の発振安定待機時間が長い場合

図 46.9 ソフトウェアスタンバイモード解除タイミング

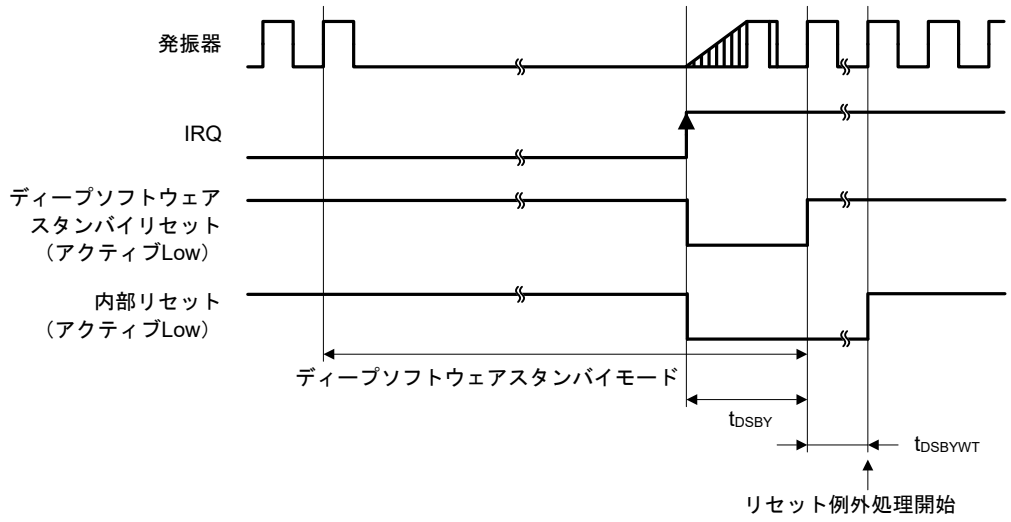
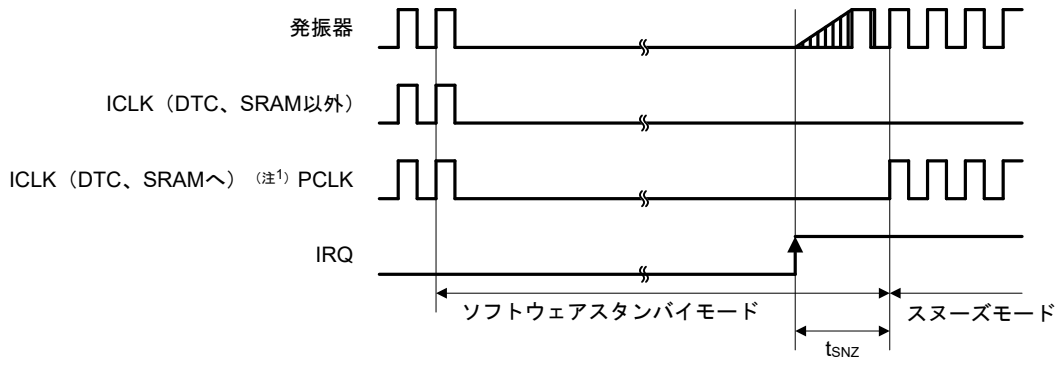


図 46.10　ディープソフトウェアスタンバイモード解除タイミング



注 1.　SNZCR.SNZDTCEN ビットが 1 の時、ICLK が DTC と SRAM に供給されます。

図 46.11　ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング

46.3.5　NMI/IRQ ノイズフィルタ

表 46.19　NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効	$t_{Pcyc} \times 2 \leqq 200$ ns
		$t_{Pcyc} \times 2$(注1)	—	—			$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leqq 200$ ns
		$t_{NMICK} \times 3.5$(注2)	—	—			$t_{NMICK} \times 3 > 200$ ns
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効	$t_{Pcyc} \times 2 \leqq 200$ ns
		$t_{Pcyc} \times 2$(注1)	—	—			$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leqq 200$ ns
		$t_{IRQCK} \times 3.5$(注3)	—	—			$t_{IRQCK} \times 3 > 200$ ns

注.　ソフトウェアスタンバイモード時は最小 200 ns です。
注.　クロックソースを切り替える場合、切り替えるソースの 4 クロックサイクルを足します。

注 1. t_{Pcyc} は PCLKB の周期を示します。
注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を示します。
注 3. t_{IRQCK} は、IRQi デジタルフィルタサンプリングクロックの周期を示します。

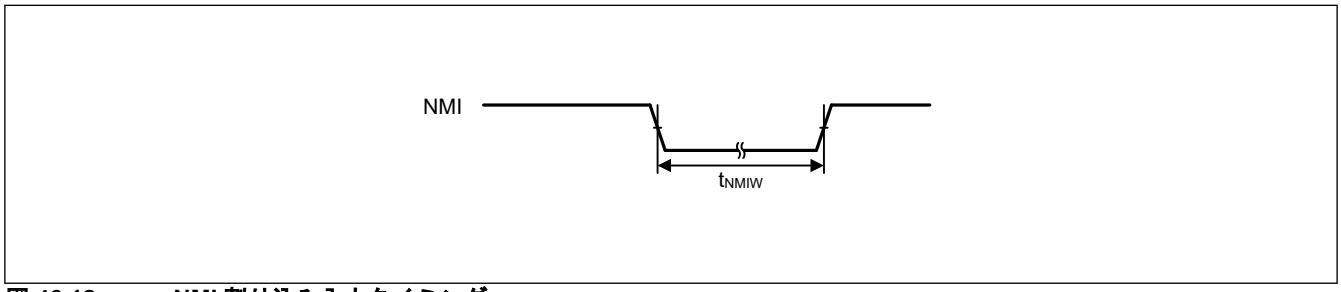


図 46.12 NMI 割り込み入力タイミング

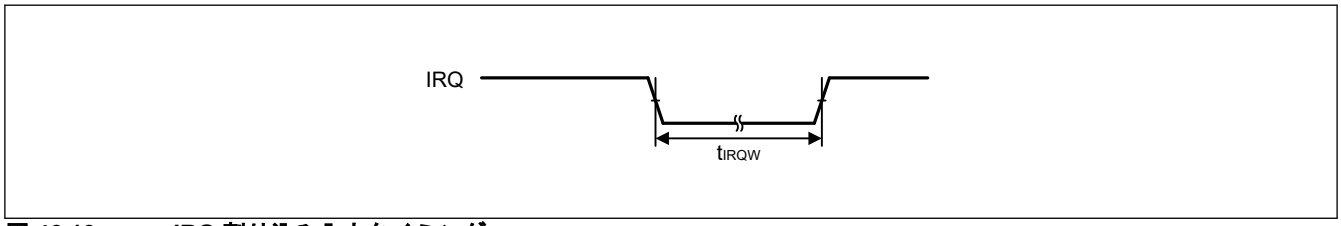


図 46.13 IRQ 割り込み入力タイミング

46.3.6 I/O ポート、POEG、GPT、AGT、KINT、ADC のトリガタイミング

表 46.20 I/O ポート、POEG、GPT、AGT、KINT、ADC のトリガタイミング (1/3)

GPT 条件：
PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
AGT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Typ	Max	単位	測定条件
I/O ポート	入力データパルス幅	t_{PRW}	1.5	—	—	t_{Icyc}	図 46.14

表 46.20　I/O ポート、POEG、GPT、AGT、KINT、ADC のトリガタイミング (2/3)

GPT 条件：
PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
AGT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Typ	Max	単位	測定条件
POEG	GTETRGn 入力パルス幅		t_{POEW}	1.5	—	—	t_{Pcyc}	図 46.15
	出力禁止時間	GTETRGn 端子の入力レベル検出（フラグ経由）	t_{POEGDI}	—	—	3 PCLKB + 0.34	μs	図 46.16 デジタルノイズフィルタを使用していない場合 (POEGGn.NFEN = 0 (n = A～D))
		GPT からの出力停止信号の検出（デッドタイムエラー、同時 High 出力、または同時 Low 出力）	t_{POEGDE}	—	—	0.5	μs	図 46.17
		コンパレータからのエッジ検出信号	t_{POEGDC}	—	—	4 PCLKB + 0.5	μs	図 46.18 ACMPHS 用ノイズフィルタを使用しておらず (CMPCTL.CDFS[1:0] = 00)、ACMPHS による検出時間を除外する場合の時間
		レジスタ設定	t_{POEGDS}	—	—	1 PCLKB + 0.3	μs	図 46.19 レジスタへのアクセス時間を含まない。
		発振停止検出(注3)	$t_{POEGDOS}$	—	≦ 1	—	μs	図 46.20
		GTETRGn 端子の入力レベル検出（ダイレクトパス）	$t_{POEGDDI}$	—	—	2 PCLKB + 1 PCLKD + 0.34	μs	図 46.21
		コンパレータからのレベル検出信号	$t_{POEGDDC}$	—	—	3 PCLKD + 0.3	μs	図 46.22 ACMPHS 用ノイズフィルタを使用しておらず (CMPCTL.CDFS[1:0] = 00)、ACMPHS による検出時間を除外する場合の時間

表 46.20　I/O ポート、POEG、GPT、AGT、KINT、ADC のトリガタイミング (3/3)

GPT 条件：
PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
AGT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目				シンボル	Min	Typ	Max	単位	測定条件
GPT	インプットキャプチャパルス幅	単エッジ		t_{GTICW}	1.5	—	—	t_{PDcyc}	図 46.23
		両エッジ			2.5	—	—		
	GTIOCxY 出力スキュー（x = 0～3、Y = A または B）	中駆動バッファ		t_{GTISK} (注1)	—	—	4	ns	図 46.24
		高駆動バッファ			—	—	4		
		高電流出力バッファ			—	—	4		
	GTIOCxY 出力スキュー（x = 4～6、Y = A または B）	中駆動バッファ			—	—	4		
		高駆動バッファ			—	—	4		
		高電流出力バッファ			—	—	4		
	GTIOCxY 出力スキュー（x = 7～9、Y = A または B）	中駆動バッファ			—	—	4		
		高駆動バッファ			—	—	4		
		高電流出力バッファ			—	—	4		
	GTIOCxY 出力スキュー（x = 0～9、Y = A または B）	中駆動バッファ			—	—	6		
		高駆動バッファ			—	—	6		
		高電流出力バッファ			—	—	6		
	OPS 出力スキュー GTOUUP、GTOULO、GTOVUP、GTOVLO、GTOWUP、GTOWLO			t_{GTOSK}	—	—	5	ns	図 46.25
	外部トリガ入力パルス幅	同期クロック	単エッジ指定	t_{GTEW}	1.5	—	—	t_{Pcyc}	図 46.26
			両エッジ指定		2.5	—	—		
		非同期クロック	単エッジ指定		2.5	—	—		
			両エッジ指定		3.5	—	—		
	タイマクロックパルス幅	同期クロック	単エッジ指定	t_{GTCKWH}、t_{GTCKWL}	1.5	—	—	t_{Pcyc}	図 46.27
			両エッジ指定		2.5	—	—		
		非同期クロック	単エッジ指定		2.5	—	—		
			両エッジ指定		3.5	—	—		
GPT（PWM 遅延生成回路）	GTIOCxY_Z スキュー（x = 0～3、Y = A または B、Z = A～D）			t_{HRSK} (注2)	—	—	4.0	ns	図 46.28
AGT	AGTIO、AGTEE 入力サイクル			t_{ACYC} (注2)	50	—	—	ns	図 46.29
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅			t_{ACKWH}, t_{ACKWL}	20	—	—	ns	
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル			t_{ACYC2}	33.3	—	—	ns	
KINT	KRn（n = 00～07）パルス幅			t_{KR}	250	—	—	ns	図 46.30
ADC	ADC トリガ入力パルス幅			t_{TRGW}	1.5	—	—	t_{ADcyc}	図 46.31

注.　t_{Icyc}: ICLK の周期、t_{Pcyc}: PCLKB の周期、t_{PDcyc}: GTCLK の周期、t_{ADcyc}: ADCLK の周期
注 1.　このスキューは、同じドライバ I/O が使用されている場合に適用されます。中駆動ドライバと高駆動ドライバの I/O が混在する場合、動作は保証されません。
注 2.　入力サイクルの制限：

ソースクロックを切り替えない場合：$t_{Pcyc} \times 2 < t_{ACYC}$ を満たす必要があります。
ソースクロックを切り替える場合：$t_{Pcyc} \times 6 < t_{ACYC}$ を満たす必要があります。

注 3. 基準値

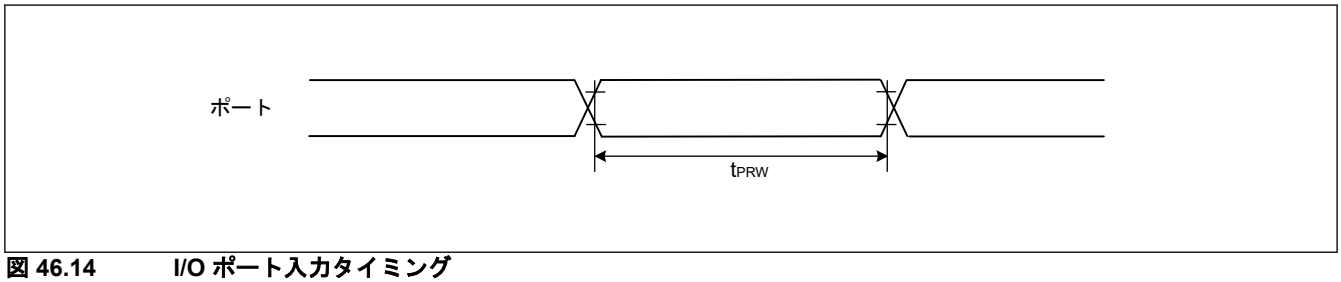


図 46.14 I/O ポート入力タイミング

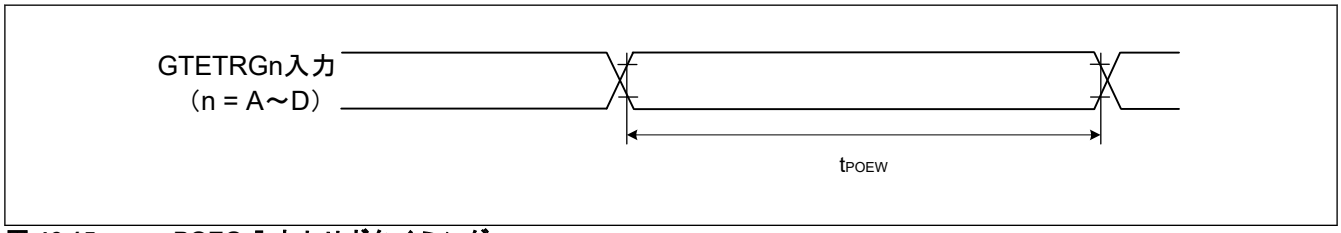


図 46.15 POEG 入力トリガタイミング

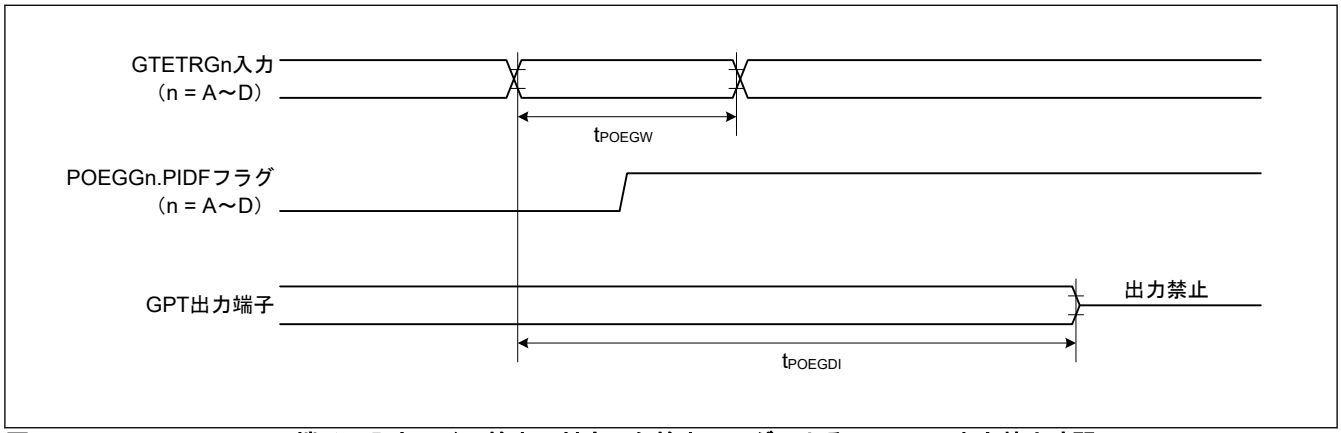
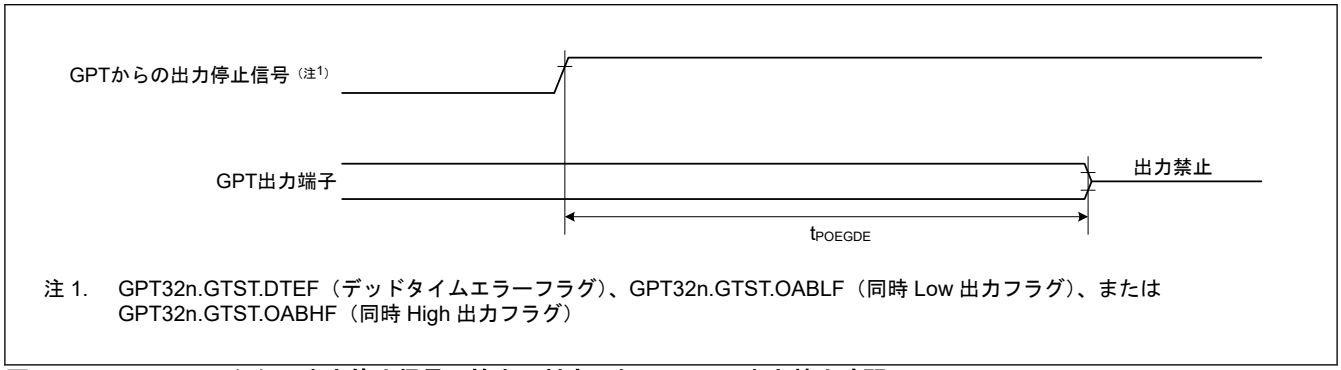


図 46.16 GTETRGn 端子の入力レベル検出に対応した検出フラグによる POEG の出力禁止時間



注 1. GPT32n.GTST.DTEF（デッドタイムエラーフラグ）、GPT32n.GTST.OABLF（同時 Low 出力フラグ）、または GPT32n.GTST.OABHF（同時 High 出力フラグ）

図 46.17 GPT からの出力停止信号の検出に対応した POEG の出力禁止時間

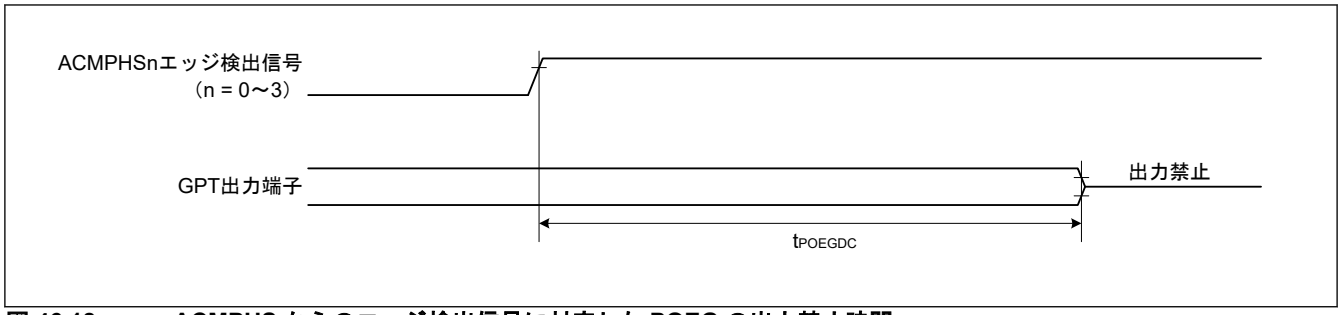


図 46.18　ACMPHS からのエッジ検出信号に対応した POEG の出力禁止時間

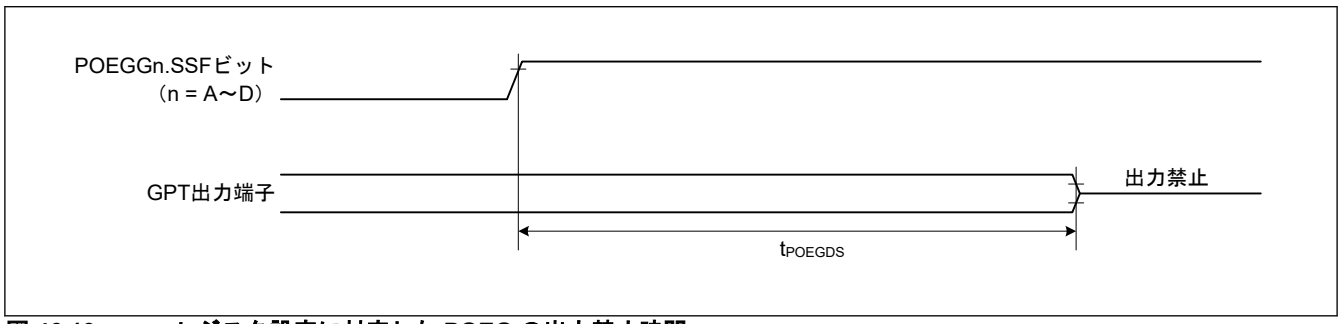


図 46.19　レジスタ設定に対応した POEG の出力禁止時間

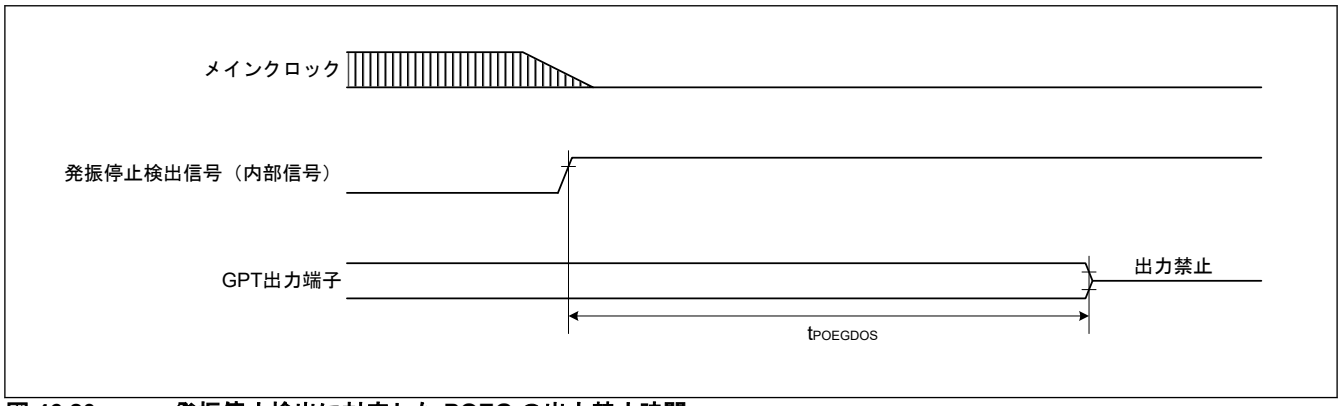


図 46.20　発振停止検出に対応した POEG の出力禁止時間

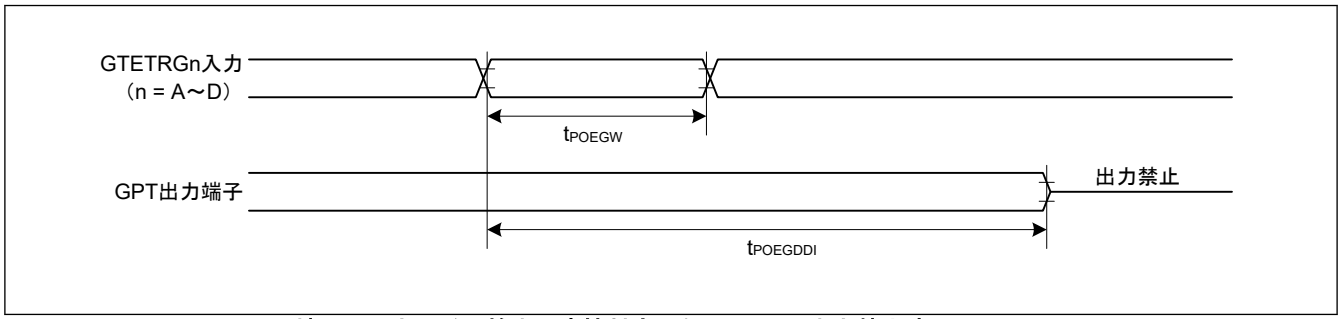


図 46.21　GTETRGn 端子の入力レベル検出に直接対応した POEG の出力禁止時間

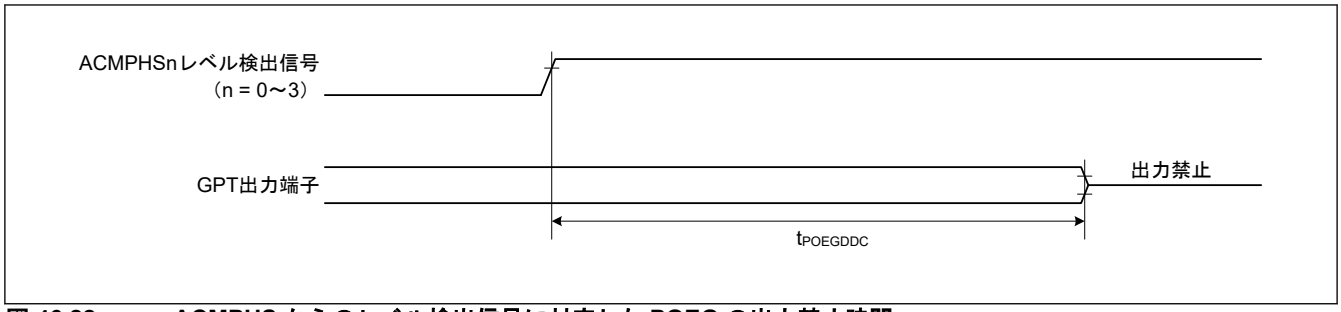


図 46.22　ACMPHS からのレベル検出信号に対応した POEG の出力禁止時間

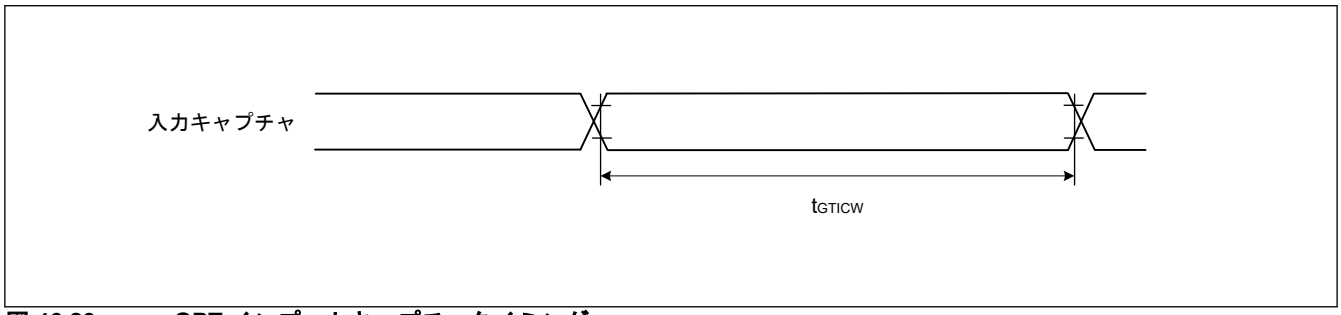


図 46.23　GPT インプットキャプチャタイミング

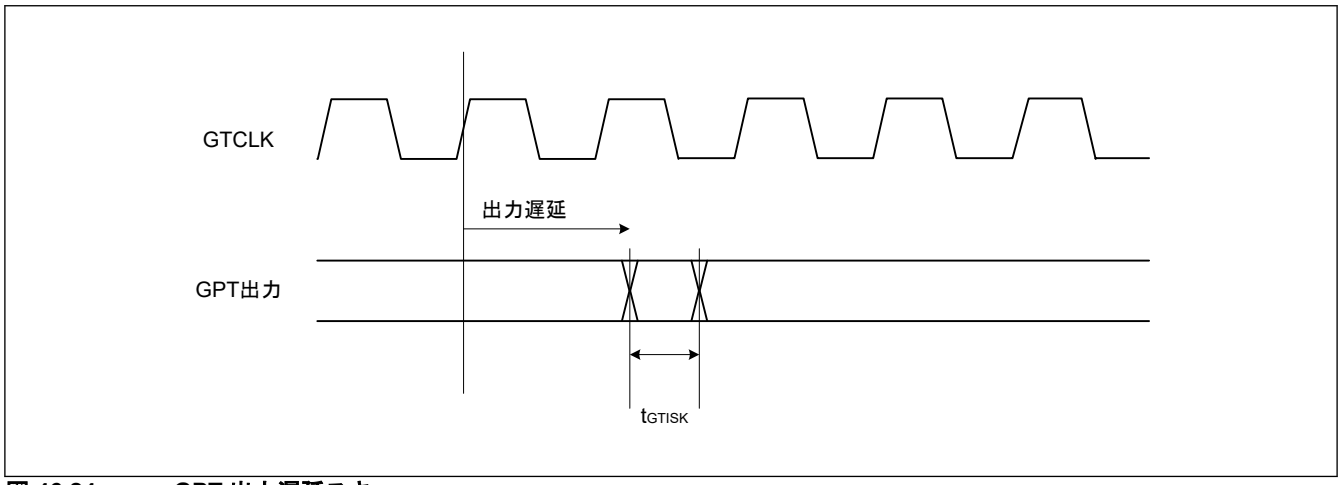


図 46.24　GPT 出力遅延スキュー

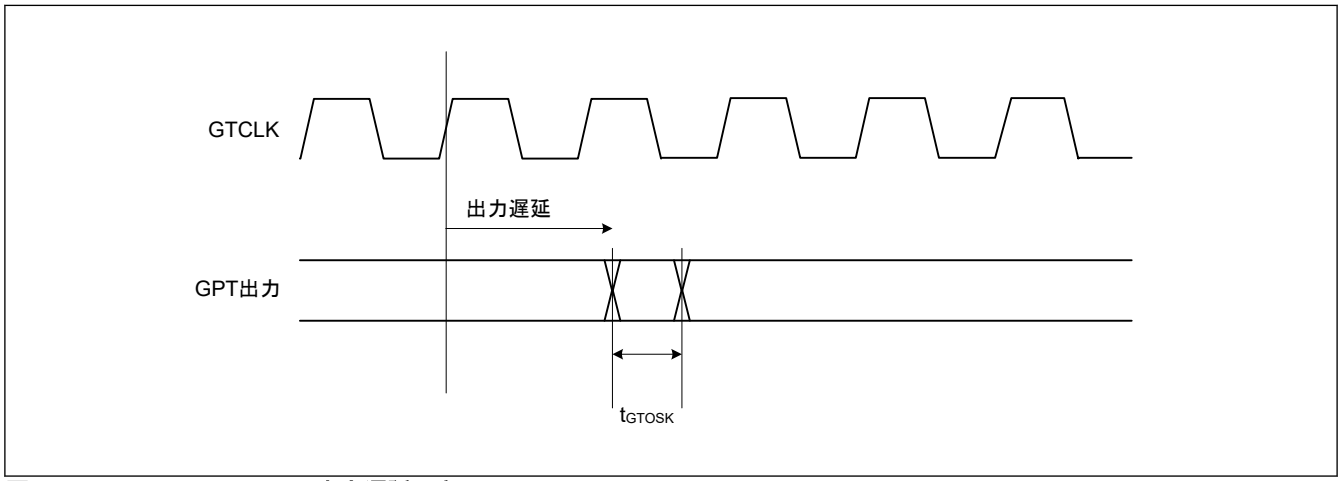


図 46.25　OPS の GPT 出力遅延スキュー

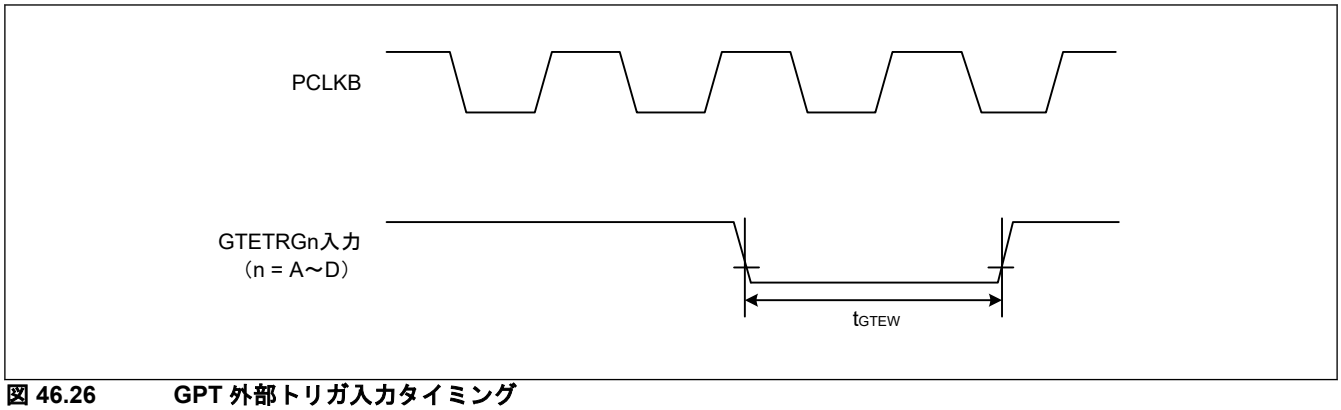


図 46.26 GPT 外部トリガ入力タイミング

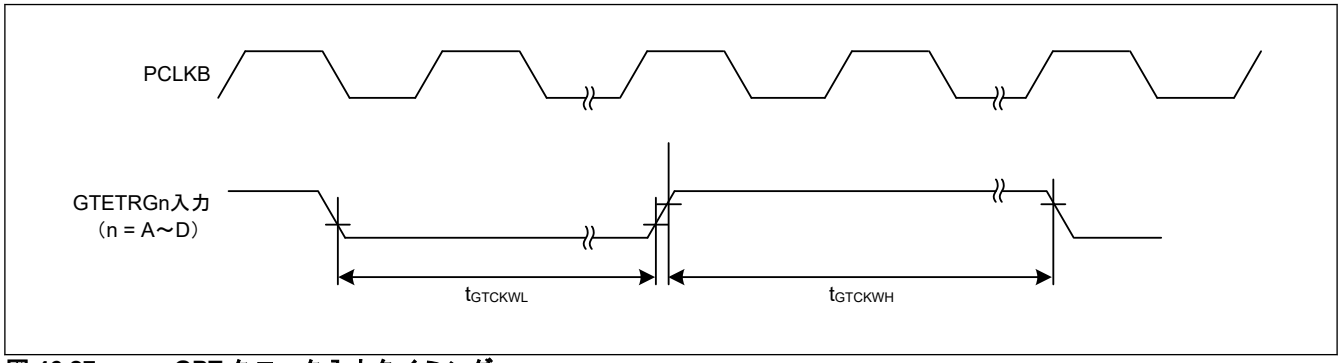


図 46.27 GPT クロック入力タイミング

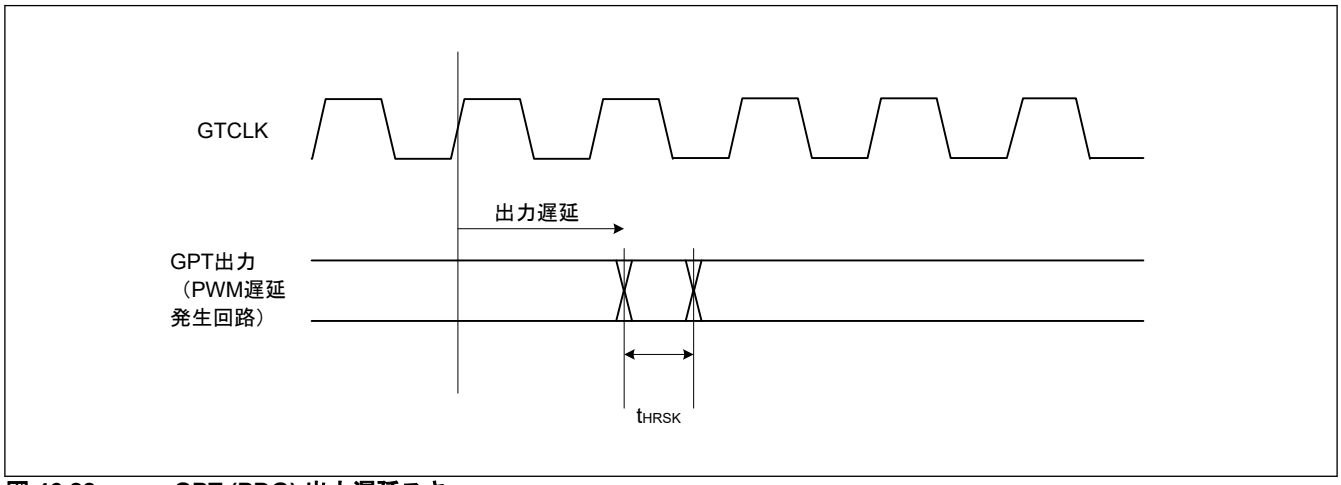


図 46.28 GPT (PDG) 出力遅延スキュー

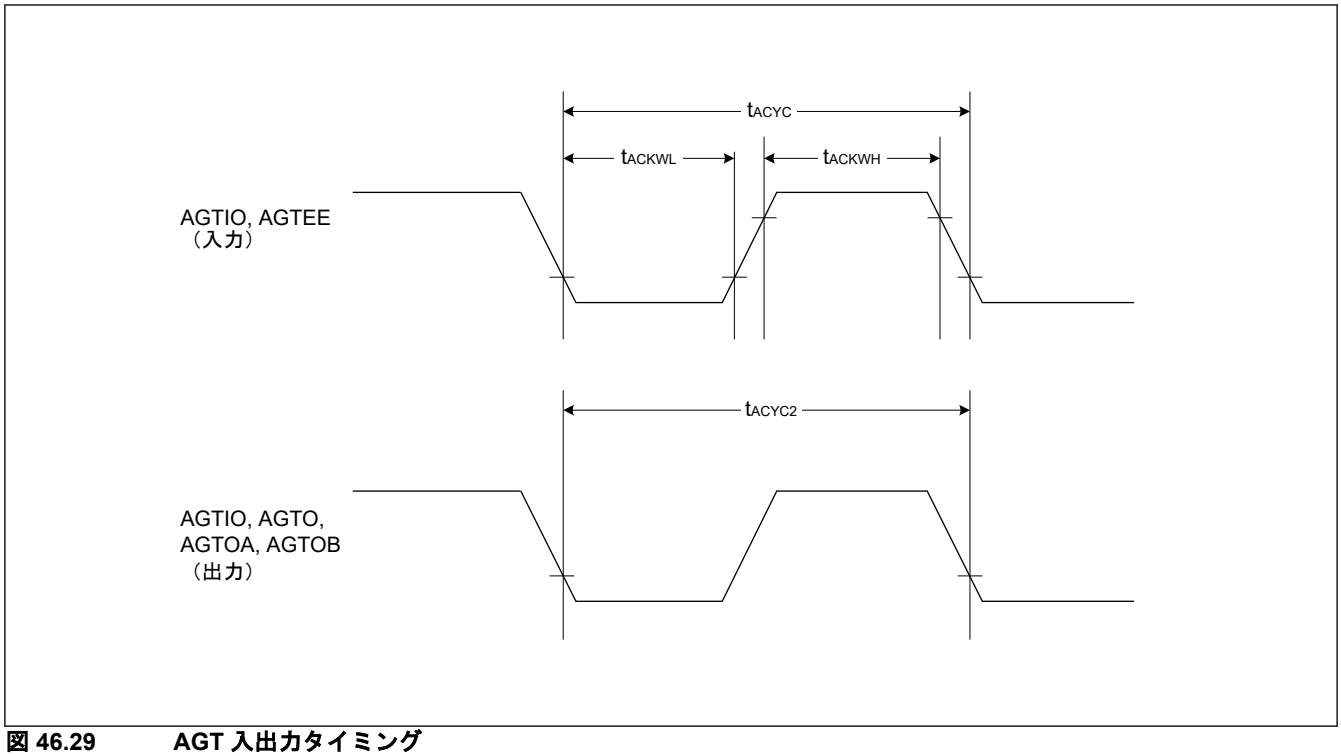


図 46.29　AGT 入出力タイミング

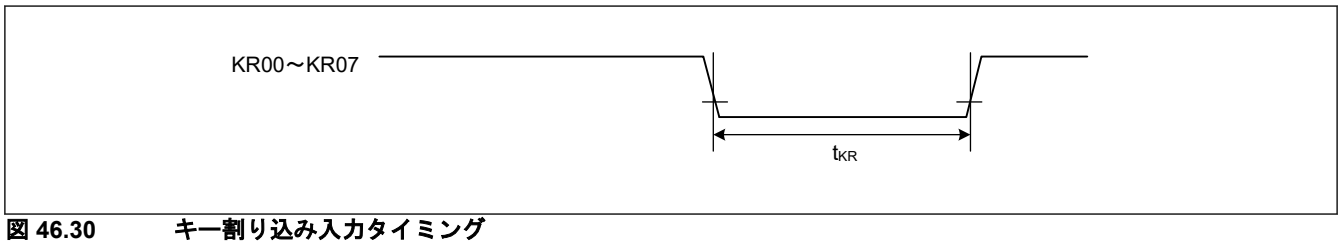


図 46.30　キー割り込み入力タイミング

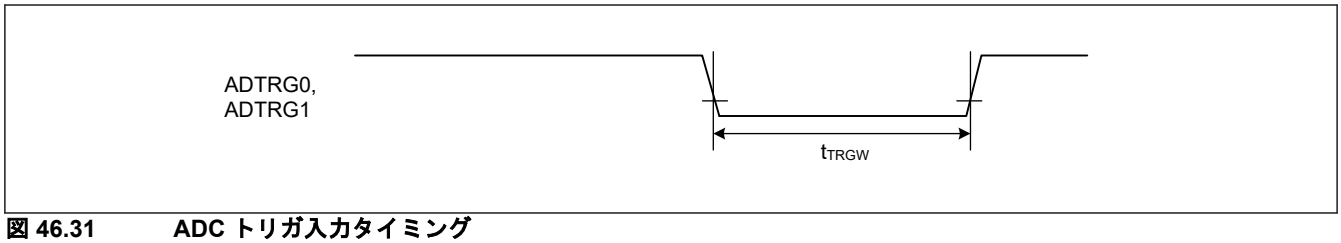


図 46.31　ADC トリガ入力タイミング

46.3.7　PDG タイミング

表 46.21　PDG タイミング

項目	Min	Typ	Max	単位	測定条件
動作周波数	80	—	200	MHz	—
分解能	—	156	—	ps	GPTCLK = 200 MHz
DNL(注1)	—	±2.0	—	LSB	—

注 1.　この値は、1-LSB 分解能の行間の差異を正規化します。

46.3.8 CAC タイミング

表 46.22 CAC タイミング

項目			シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	$t_{PBcyc} \leqq t_{cac}$(注1)	t_{CACREF}	4.5 × t_{cac} + 3 × t_{PBcyc}	—	—	ns	—
		$t_{PBcyc} > t_{cac}$(注1)		5 × t_{cac} + 6.5 × t_{PBcyc}	—	—	ns	

注. t_{PBcyc}: PCLKB の周期
注 1. t_{cac}：CAC カウントクロックソースの周期

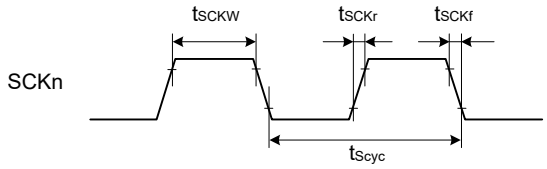
46.3.9 SCI タイミング

表 46.23 SCI タイミング（調歩同期式モード）

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	シンボル	Min	Max	単位	備考
入力クロックサイクル	t_{Scyc}	4	—	t_{Tcyc}	
入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}	
入力クロック立ち上がり時間	t_{SCKr}	—	5	ns	
入力クロック立ち下がり時間	t_{SCKf}	—	5	ns	
出力クロックサイクル	t_{Scyc}	6	—	t_{Tcyc}	
出力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}	
出力クロック立ち上がり時間	t_{SCKr}	—	5	ns	
出力クロック立ち下がり時間	t_{SCKf}	—	5	ns	

注. t_{Tcyc}：SCITCLK サイクル。



注. n = 0～4、9

図 46.32 SCK クロック入出力タイミング

表 46.24 SCI タイミング（簡易 SPI） (1/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目		高速／デフォルト	シンボル	Min	Max	単位	備考
SCK クロックサイクル出力	マスタ		t_{SPcyc}	2	65536	t_{Tcyc}	
SCK クロックサイクル入力	スレーブ			2	—		
SCK クロック High レベルパルス幅	マスタ		t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	スレーブ						
SCK クロック Low レベルパルス幅	マスタ		t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	スレーブ						
SCK クロック立ち上がり／立ち下がり時間	出力		t_{SPCKr}, t_{SPCKf}	—	5	ns	
	入力			—	1	us	

表 46.24 SCI タイミング（簡易 SPI） (2/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目		高速／デフォルト	シンボル	Min	Max	単位	備考
データ入力セットアップ時間	マスタ	高速(注1)	t_{SU}	1.7	—	ns	
		デフォルト(注2)		3	—	ns	
	スレーブ			3.3	—	ns	
データ入力ホールド時間	マスタ	高速(注1)	t_{H}	12	—	ns	
		デフォルト(注2)		14	—	ns	
	スレーブ			3	—	ns	
データ出力遅延時間	マスタ	高速(注1)	t_{OD}	—	5	ns	
		デフォルト(注2)		—	7.3	ns	
	スレーブ	高速(注1)		—	15	ns	
		デフォルト(注2)		—	21	ns	
データ出力ホールド時間	マスタ		t_{OH}	0	—	ns	
	スレーブ			0	—	ns	
データ立ち上がり／立ち下がり時間	出力		t_{Dr}, t_{Df}	—	5	ns	
	入力			—	1	ns	
スレーブアクセス時間			t_{SA}	—	5	t_{Tcyc}	
スレーブ出力開放時間			t_{REL}	—	5	t_{Tcyc}	

注. t_{Tcyc}：SCITCLK サイクル。

注 1. 所属グループを示すため、_A、_B、_C などのように端子名の後ろに文字を付加した端子を使用してください。SCI0 は _A、SCI2 と SCI3 は _B、SCI1 と SCI9 は _C、SCI4 は _C で RXD は PD14 だけです。

注 2. 所属グループのすべての端子を使用できます。

表 46.25 SCI タイミング（簡易 SPI モード）

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	シンボル	Min	Max	単位	備考
SS 入力セットアップ時間	t_{LEAD}	1	—	t_{SPcyc}	
SS 入力ホールド時間	t_{LAG}	1	—	t_{SPcyc}	
SS 入力立ち上がり／立ち下がり時間	t_{SSLr}, t_{SSLf}	—	1	us	

表 46.26 SCI タイミング（クロック同期式モード） (1/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目		高速／デフォルト	シンボル	Min	Max	単位	備考
SCK クロックサイクル出力	マスタ		t_{SPcyc}	2	—	t_{Tcyc}	
SCK クロックサイクル入力	スレーブ			2	—		
SCK クロック High レベルパルス幅	マスタ		t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	スレーブ						
SCK クロック Low レベルパルス幅	マスタ		t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	スレーブ						
SCK クロック立ち上がり／立ち下がり時間	出力		t_{SPCKr}, t_{SPCKf}	—	5	ns	
	入力						
データ入力セットアップ時間	マスタ	高速(注1)	t_{SU}	2.6	—	ns	
		デフォルト(注2)		2.8	—	ns	
	スレーブ			3.3	—	ns	

表 46.26　SCI タイミング（クロック同期式モード） (2/2)

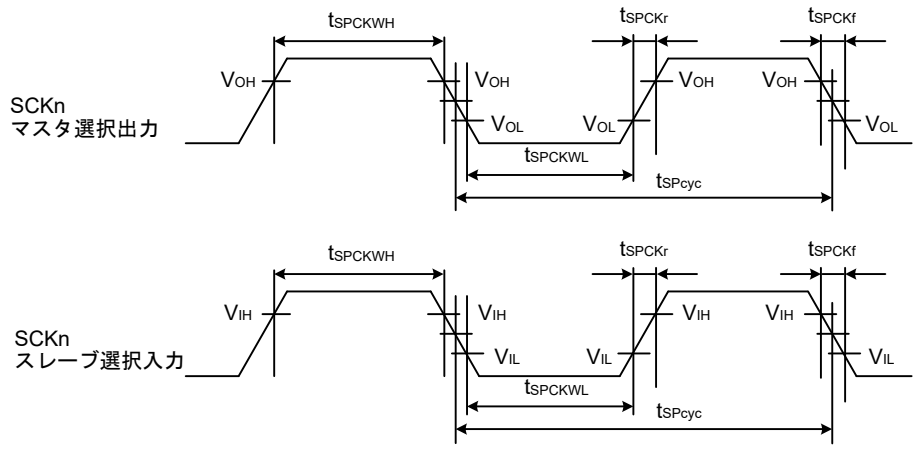
条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目		高速／デフォルト	シンボル	Min	Max	単位	備考
データ入力ホールド時間	マスタ	高速(注1)	t_H	12	—	ns	
		デフォルト(注2)		14	—	ns	
	スレーブ			3	—	ns	
データ出力遅延時間	マスタ	高速(注1)	t_{OD}	—	5	ns	
		デフォルト(注2)		—	7.3	ns	
	スレーブ	高速(注1)		—	15	ns	
		デフォルト(注2)		—	21	ns	
データ出力ホールド時間	マスタ		t_{OH}	0	—	ns	
	スレーブ			0	—	ns	
データ立ち上がり／立ち下がり時間	出力		t_{Dr}, t_{Df}	—	5	ns	
	入力			—	5	ns	

注.　t_{Tcyc}：SCITCLK サイクル。

注 1.　所属グループを示すため、_A、_B、_C などのように端子名の後ろに文字を付加した端子を使用してください。SCI0 は _A、SCI2 と SCI3 は _B、SCI1 と SCI9 は _C、SCI4 は _C で RXD は PD14 だけです。

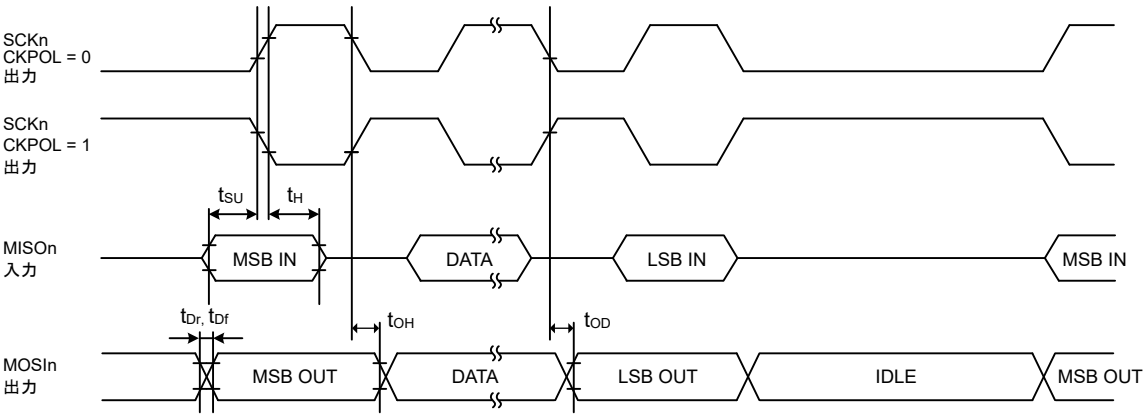
注 2.　所属グループのすべての端子を使用できます。



V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, V_{IH} = 0.7 × VCC, V_{IL} = 0.3 × VCC

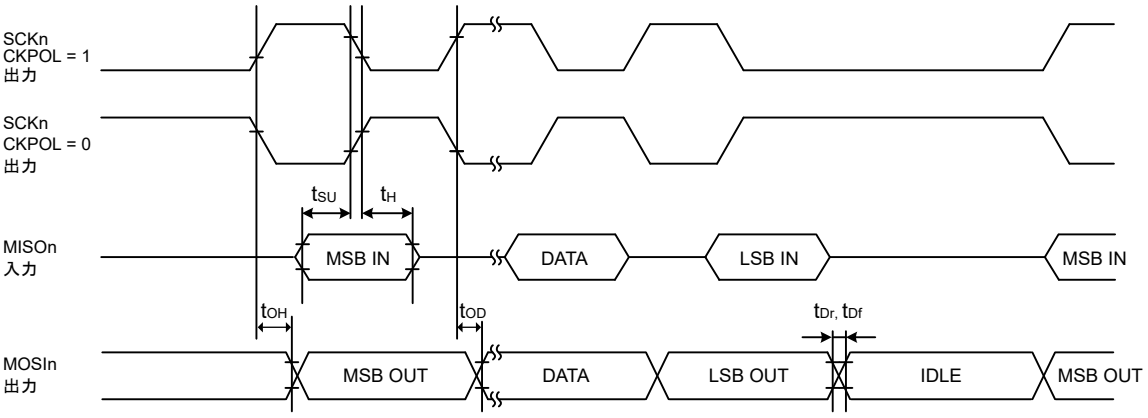
注.　n = 0〜4、9

図 46.33　SCI 簡易 SPI モードクロックタイミング



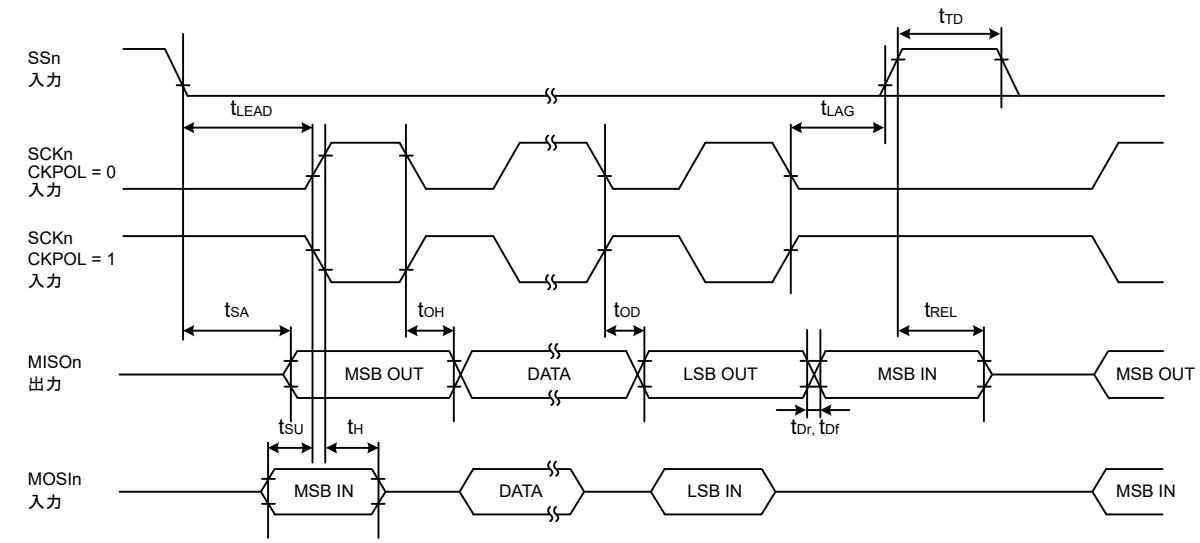
注. n = 0～4、9

図 46.34 CKPH = 1 の場合におけるマスタの SCI 簡易 SPI モードタイミング



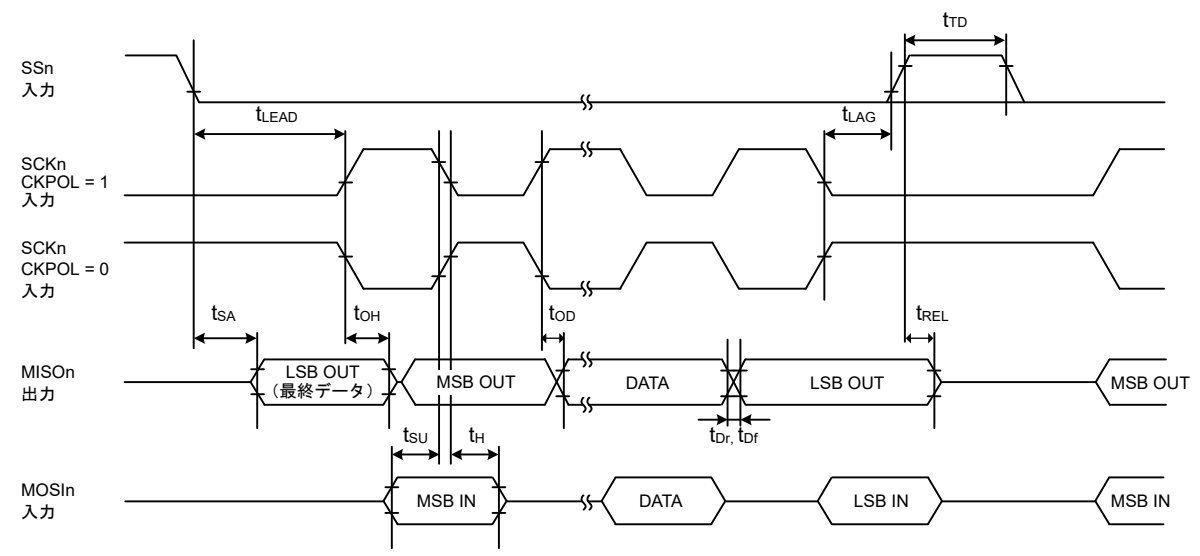
注. n = 0～4、9

図 46.35 CKPH = 0 の場合におけるマスタの SCI 簡易 SPI モードタイミング



注. n = 0～4、9

図 46.36 CKPH = 1 の場合におけるスレーブの SCI 簡易 SPI モードタイミング



注. n = 0～4、9

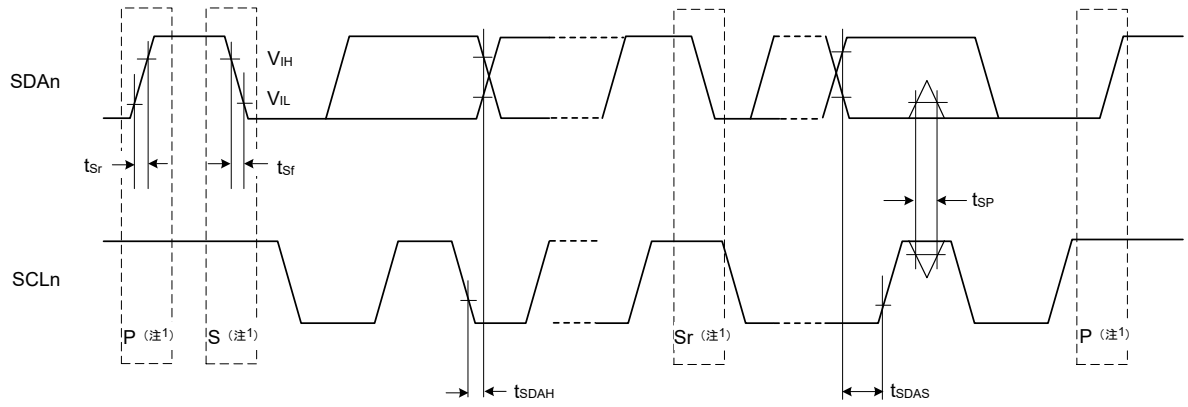
図 46.37 CKPH = 0 の場合におけるスレーブの SCI 簡易 SPI モードタイミング

表 46.27　SCI タイミング（簡易 IIC モード）

条件：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位	備考
簡易 IIC（標準モード）	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{Tcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注1)	—	400	pF	
簡易 IIC（ファストモード）	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{Tcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注1)	—	400	pF	

注.　t_{Tcyc}：SCITCLK サイクル。
注 1.　Cb はバスラインの容量総計を意味します。



測定条件：
$V_{IH} = V_{CC} \times 0.7$, $V_{IL} = V_{CC} \times 0.3$
$V_{OL} = 0.6$ V, $I_{OL} = 6$ mA (ICFER.FMPE = 0)
$V_{OL} = 0.4$ V, $I_{OL} = 20$ mA (ICFER.FMPE = 1)

注.　n = 0～4、9
注 1.　S、P、Sr はそれぞれ以下の条件を示します。
S：開始条件
P：停止条件
Sr：再開始条件

図 46.38　SCI 簡易 IIC モードタイミング

46.3.10 SPI タイミング

表 46.28 SPI タイミング (1/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目		高速／デフォルト	シンボル	VCC = 3.0～3.6 V、C = 15 pF		VCC = 2.7～3.6 V、C = 30 pF		単位	備考
				Min	Max	Min	Max		
RSPCK クロックサイクル	マスタ		t_{SPcyc}	2	4096	2	4096	t_{Tcyc}	
	スレーブ			2	—	2	—		
RSPCK クロック High レベルパルス幅	マスタ		t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
	スレーブ			0.4	0.6	0.4	0.6	t_{SPcyc}	
RSPCK クロック Low レベルパルス幅	マスタ		t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
	スレーブ			0.4	0.6	0.4	0.6	t_{SPcyc}	
RSPCK クロック立ち上がり／立ち下がり時間	出力		t_{SPCKr}、t_{SPCKf}	—	5	—	5	ns	
	入力			—	1	—	1	μs	
データ入力セットアップ時間	マスタ	High-speed(注1)	t_{SU}	0	—	—	—	ns	
		デフォルト(注2)		—	—	1.3	—	ns	
	スレーブ			2.5	—	2.7	—	ns	
データ入力ホールド時間	マスタ	High-speed(注1)	t_H	6.2	—	—	—	ns	
		デフォルト(注2)		—	—	8	—	ns	
	スレーブ			2.5	—	2.5	—	ns	
SSL セットアップ時間	マスタ		t_{LEAD}	1	8	1	8	t_{SPcyc}	
	スレーブ			6	—	6	—	t_{Tcyc}	
SSL ホールド時間	マスタ		t_{LAG}	1	8	1	8	t_{SPcyc}	
	スレーブ			6	—	6	—	t_{Tcyc}	
TI SSP SS 入力セットアップ時間	スレーブ		t_{TISS}	2.5	—	2.8	—	ns	
TI SSP SS 入力ホールド時間	スレーブ		t_{TISH}	2.5	—	2.5	—	ns	
TI SSP 次アクセス時間	スレーブ		t_{TIND}	$2 \times t_{Tcyc} + SLNDL \times t_{Tcyc}$	—	$2 \times t_{Tcyc} + SLNDL \times t_{Tcyc}$	—	ns	
TI SSP マスタ SS 出力遅延	マスタ		t_{TISSOD}	—	8.9	—	8.9	ns	

表 46.28 SPI タイミング (2/2)

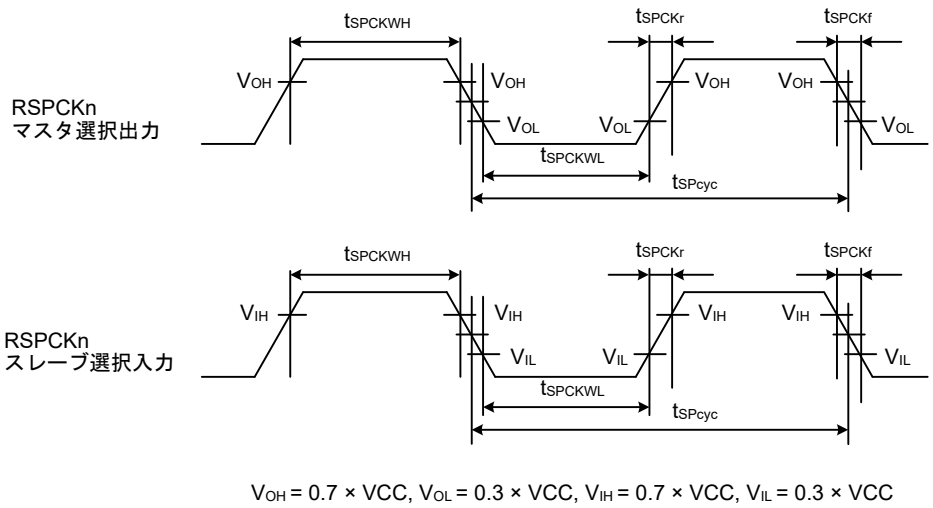
条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目		高速／デフォルト	シンボル	VCC = 3.0～3.6 V、C = 15 pF		VCC = 2.7～3.6 V、C = 30 pF		単位	備考
				Min	Max	Min	Max		
データ出力遅延時間	マスタ	High-speed(注1)	t_{OD}	—	4.6	—	—	ns	
		デフォルト (注2)		—	—	—	7	ns	
	スレーブ	High-speed(注1)		—	14	—	—	ns	
		デフォルト (注2)		—	—	—	21	ns	
データ出力ホールド時間	マスタ		t_{OH}	0	—	0	—	ns	
	スレーブ			0	—	0	—	ns	
連続転送遅延時間	マスタ		t_{TD}	$t_{SPcyc} + 2 \times t_{Tcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	$t_{SPcyc} + 2 \times t_{Tcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns	
	スレーブ			t_{Tcyc}	—	t_{Tcyc}	—	ns	
MOSI、MISO 立ち上がり／立ち下がり時間	出力		t_{Dr}	—	5	—	5	ns	
	入力		t_{Df}	—	1	—	1	μs	
SSL 立ち上がり／立ち下がり時間	出力		t_{SSLr}	—	5	—	5	ns	
	入力		t_{SSLf}	—	1	—	1	μs	
スレーブアクセス時間	スレーブ		t_{SA}	—	20	—	20	ns	
スレーブ出力開放時間	スレーブ		t_{REL}	—	20	—	20	ns	

注. t_{Tcyc}：PCLKA または SCISPICLK の周期

注 1. 所属グループを示すため、_A、_B、_C などのように端子名の後ろに文字を付加した端子を使用してください。SPIA はインスタンス_B、SPIB はインスタンス_A です。

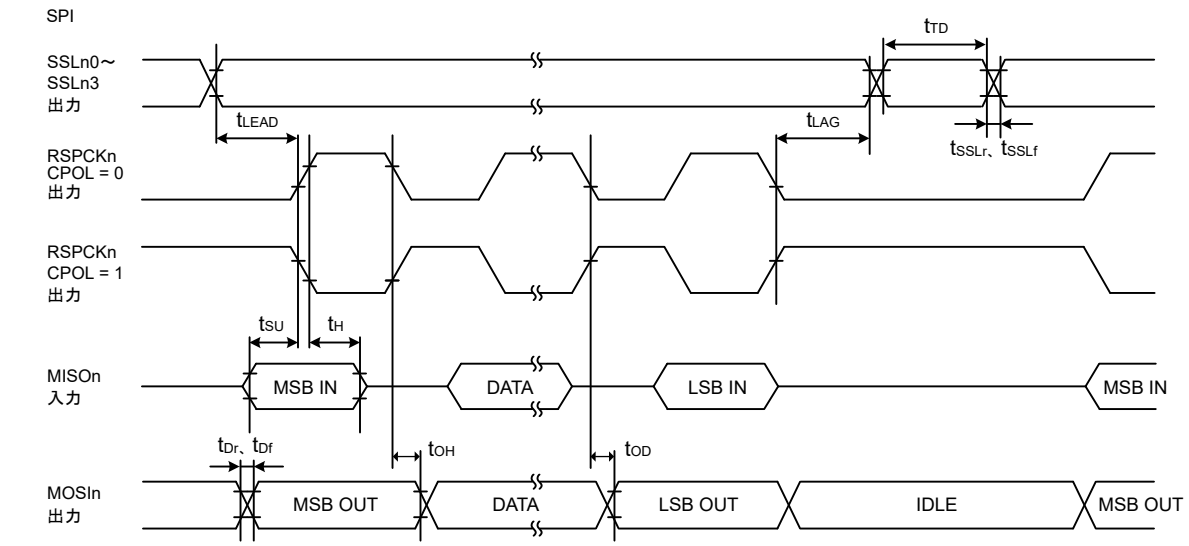
注 2. 所属グループの全ての端子を使用できます。



$V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $V_{IH} = 0.7 \times VCC$, $V_{IL} = 0.3 \times VCC$

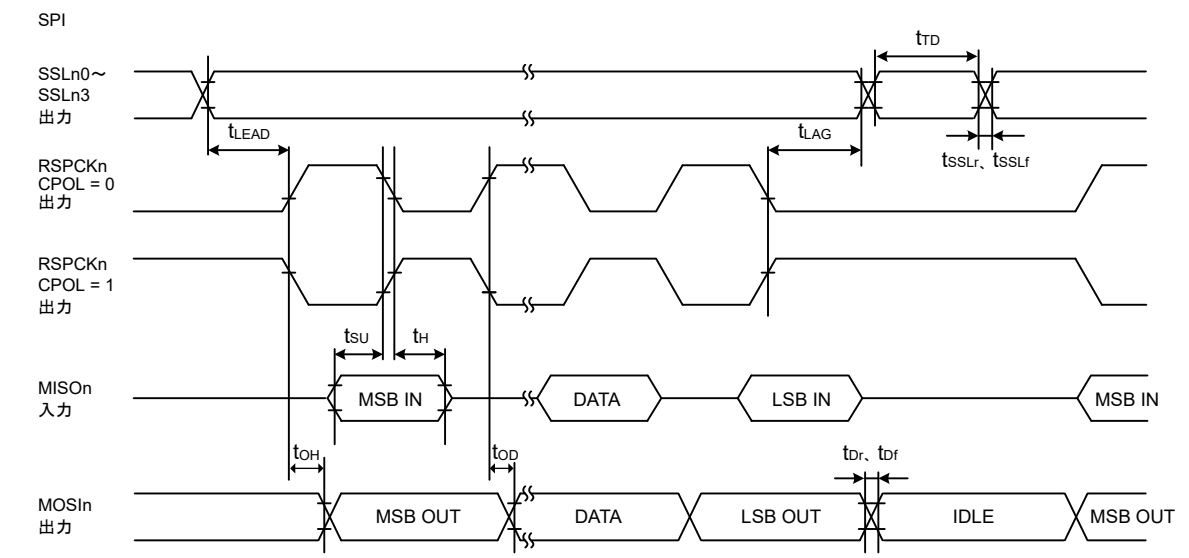
注. n = A または B

図 46.39 SPI クロックタイミング



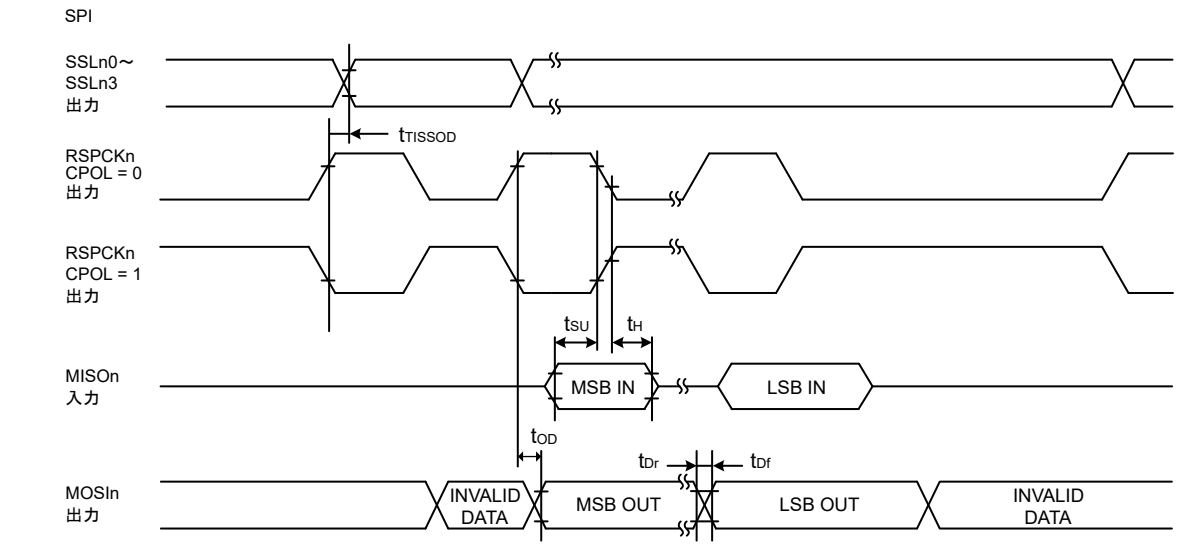
注. n = A または B

図 46.40 CPHA = 0 の場合におけるモトローラ SPI マスタの SPI タイミング



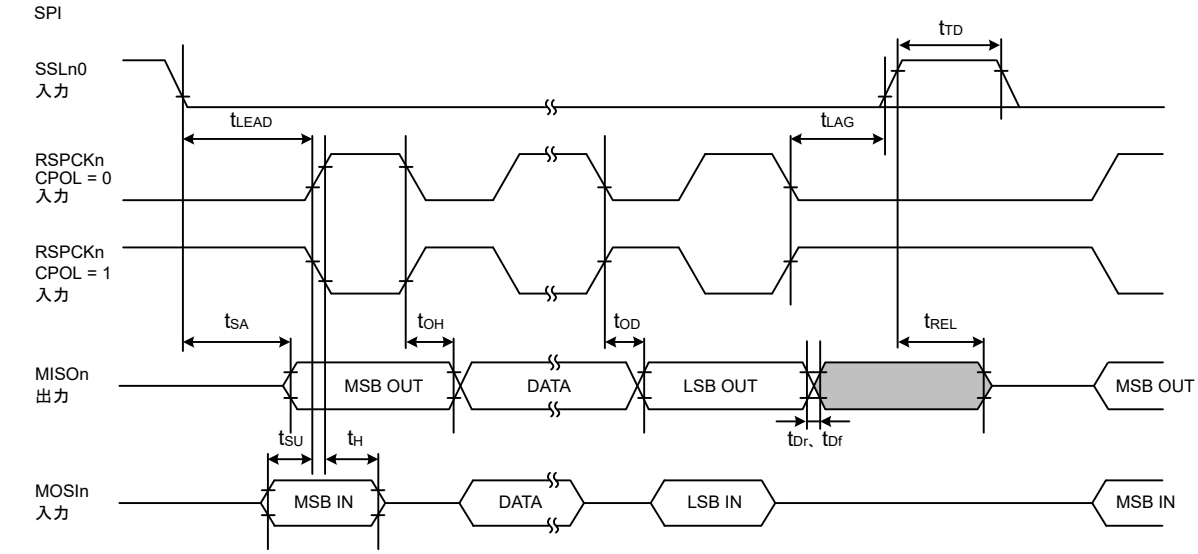
注. n = A または B

図 46.41 CPHA = 1 の場合におけるモトローラ SPI マスタの SPI タイミング



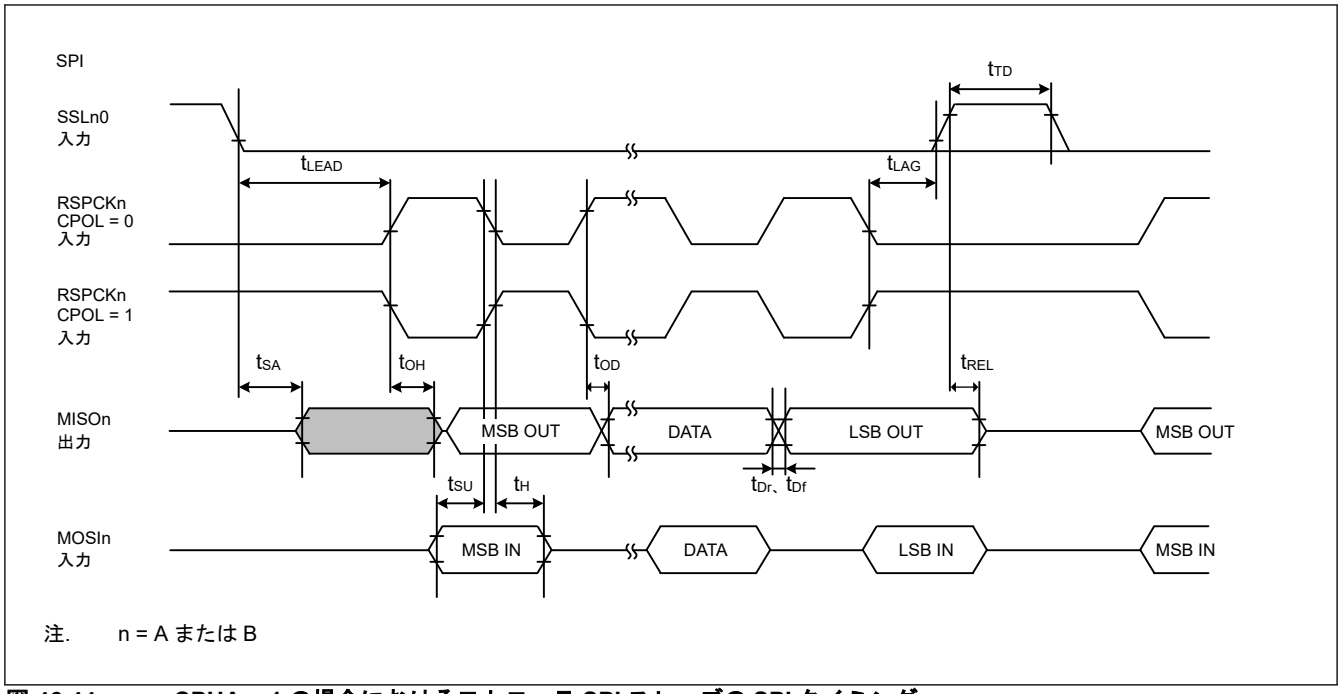
注. n = A または B

図 46.42 SPI タイミング（TI SSP マスタ）



注. n = A または B

図 46.43 CPHA = 0 の場合におけるモトローラ SPI スレーブの SPI タイミング



注. n = A または B

図 46.44 CPHA = 1 の場合におけるモトローラ SPI スレーブの SPI タイミング

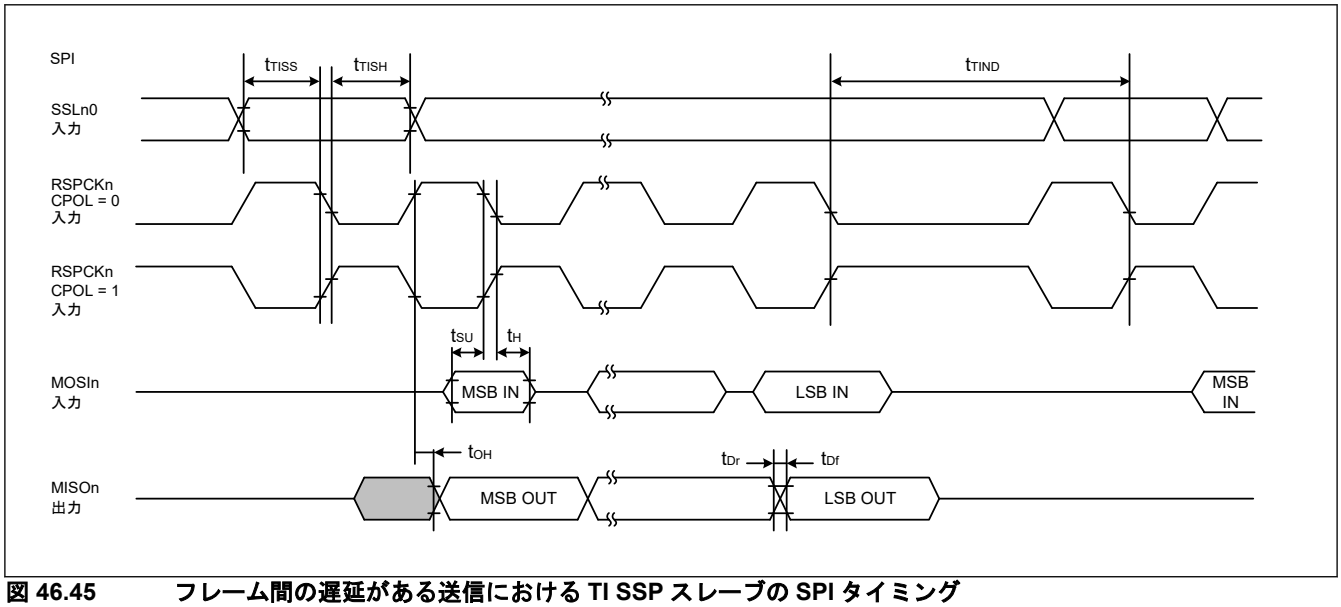


図 46.45 フレーム間の遅延がある送信における TI SSP スレーブの SPI タイミング

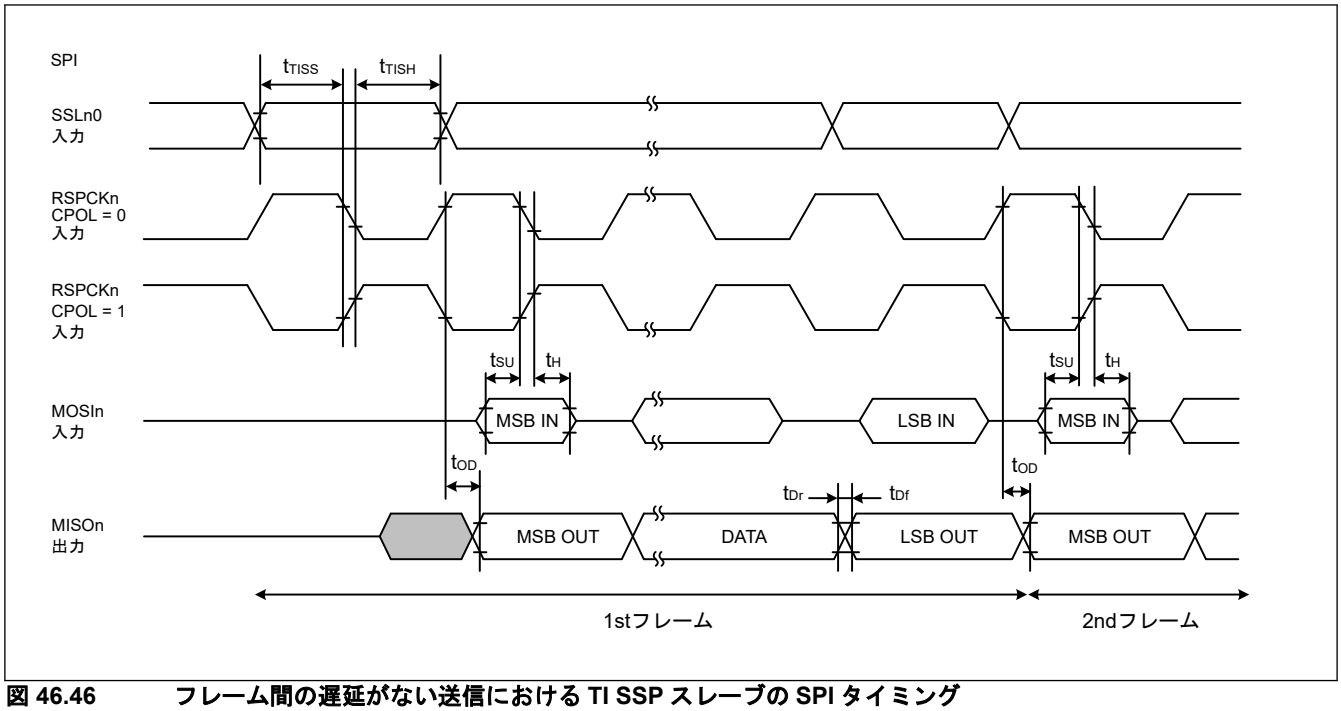


図 46.46　フレーム間の遅延がない送信における TI SSP スレーブの SPI タイミング

46.3.11　IIC タイミング

表 46.29　IIC タイミング（1）-1

(1) 条件：以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：SDA0_B、SCL0_B、SDA1_B、SCL1_B、SCL0_C、SDA0_C、SCL0_D、SDA0_D、SCL0_E、SDA0_E、SCL0_F、SDA0_F、SCL1_C、SDA1_C、SCL1_D、SDA1_D、SCL1_E、SDA1_E。
(2) 以下の端子の設定は必要ありません：SCL0_A、SDA0_A、SCL1_A、SDA1_A
(3) 所属グループを示すため、_A、_B、_C、_D、_E、_F などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目		シンボル	Min	Max	単位	測定条件
IIC（標準モード、SMBus）BFCTL.FMPE = 0	SCL 入力サイクル時間	t_{SCL}	10 (18) × t_{IICcyc} + 1300	—	ns	図 46.47
	SCL 入力 High レベルパルス幅	t_{SCLH}	5 (9) × t_{IICcyc}	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	5 (9) × t_{IICcyc}	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1 (4) × t_{IICcyc}	ns	
	SDA 入力バスフリー時間	t_{BUF}	5 (9) × t_{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	—	ns	
	再開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注1)	—	400	pF	

注.　t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル
注.　INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0011b であると括弧内の値が適用されます。
注 1.　C_b はバスラインの容量総計を意味します。

表 46.30　IIC タイミング（1）-2

(1) 条件：以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：SDA0_B、SCL0_B、SDA1_B、SCL1_B、SCL0_C、SDA0_C、SCL0_D、SDA0_D、SCL0_E、SDA0_E、SCL0_F、SDA0_F、SCL1_C、SDA1_C、SCL1_D、SDA1_D、SCL1_E、SDA1_E。
(2) 以下の端子の設定は必要ありません：SCL0_A、SDA0_A、SCL1_A、SDA1_A
(3) 所属グループを示すため、_A、_B、_C、_D、_E、_F などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目		シンボル	Min	Max	単位	測定条件
IIC（ファストモード）	SCL 入力サイクル時間	t_{SCL}	10 (18) × t_{IICcyc} + 600	—	ns	図 46.47
	SCL 入力 High レベルパルス幅	t_{SCLH}	5 (9) × t_{IICcyc}	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	5 (9) × t_{IICcyc}	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	20 ×（外付けプルアップ電圧/5.5 V）(注1)	300	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	20 ×（外付けプルアップ電圧/5.5 V）(注1)	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1 (4) × t_{IICcyc}	ns	
	SDA 入力バスフリー時間	t_{BUF}	5 (9) × t_{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	—	ns	
	再開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b (注2)	—	400	pF	

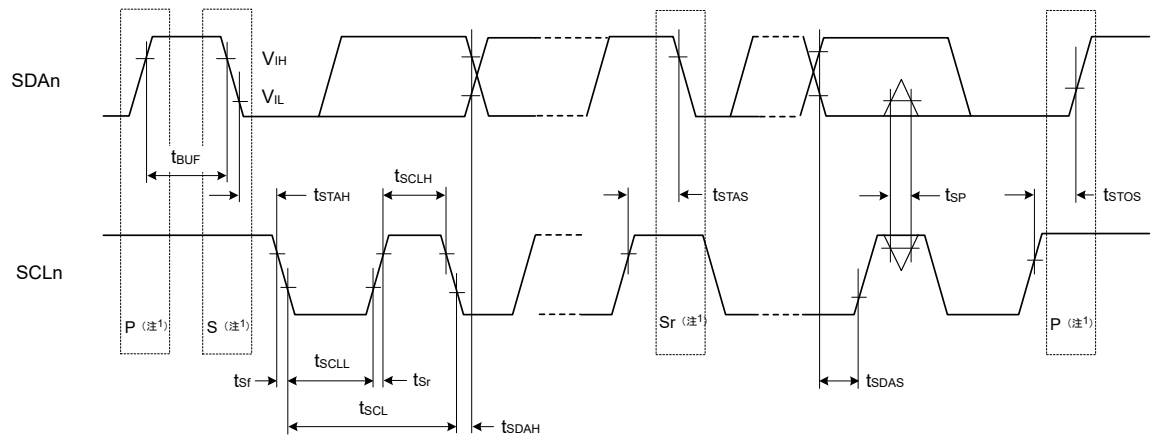
注.　t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル
注.　INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0011b であると括弧内の値が適用されます。
注.　所属グループを示すため、_A や_B などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注 1.　SCL0_A、SDA0_A、SCL1_A、SDA1_A に限りサポートされています。他のポートは DC 特性に依存します。
注 2.　C_b はバスラインの容量総計を意味します。

表 46.31　IIC タイミング（1）-3

PmnPFS レジスタのポート駆動能力ビットでは、SCL0_A 端子、SDA0_A 端子の設定は必要ありません。

項目		シンボル	Min	Max	単位	測定条件
IIC（ファストモード+）BFCTL.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	10 (18) × t_{IICcyc} + 240	—	ns	図 46.47
	SCL 入力 High レベルパルス幅	t_{SCLH}	5 (9) × t_{IICcyc}	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	5 (9) × t_{IICcyc}	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	120	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	120	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1 (4) × t_{IICcyc}	ns	
	SDA 入力バスフリー時間	t_{BUF}	5 (9) × t_{IICcyc} + 120	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 120	—	ns	
	再開始条件入力セットアップ時間	t_{STAS}	120	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	120	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 30	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注1)	—	550	pF	

注.　t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル
注.　INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0011b であると括弧内の値が適用されます。
注.　対象は、SCL0_A と SDA0_A です。
注 1.　C_b はバスラインの容量総計を意味します。



注 1.　S、P、Sr はそれぞれ以下の条件を示します。
S：開始条件
P：停止条件
Sr：再開始条件

図 46.47　I^2C バスインタフェース入出力タイミング

表 46.32 IIC タイミング (2)

PmnPFS レジスタのポート駆動能力ビットでは、SCL0_A 端子、SDA0_A 端子の設定は必要ありません。

項目			シンボル	Min	Max	単位	測定条件
IIC （Hs モード） BFCTL.HSME = 1	SCL 入力サイクル時間		t_{SCL}	10 (12) × t_{IICcyc} + 80	—	ns	図 46.48
	SCL 入力 High レベルパルス幅		t_{SCLH}	5 (6) × t_{IICcyc}	—	ns	
	SCL 入力 Low レベルパルス幅		t_{SCLL}	5 (6) × t_{IICcyc}	—	ns	
	SCL 立ち上がり時間	C_b = 400 pF	t_{SrCL}	—	80	ns	
		C_b = 100 pF		—	40	ns	
	SDA 立ち上がり時間	C_b = 400 pF	t_{SrDA}	—	160	ns	
		C_b = 100 pF		—	80	ns	
	SCL 立ち下がり時間	C_b = 400 pF	t_{SfCL}	—	80	ns	
		C_b = 100 pF		—	40	ns	
	SDA 立ち下がり時間	C_b = 400 pF	t_{SfDA}	—	160	ns	
		C_b = 100 pF		—	80	ns	
	SCL、SDA 入力スパイクパルス除去時間		t_{SP}	0	1 (1) × t_{IICcyc}	ns	
	再開始条件入力セットアップ時間		t_{STAS}	40	—	ns	
	停止条件入力セットアップ時間		t_{STOS}	40	—	ns	
	データ入力セットアップ時間		t_{SDAS}	10	—	ns	
	データ入力ホールド時間	C_b = 400 pF	t_{SDAH}	0	150	ns	
		C_b = 100 pF		0	70	ns	
	SCL、SDA の負荷容量		C_b(注1)	—	400	pF	

注. t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル
注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0011b であると括弧内の値が適用されます。
注. 対象は、SCL0_A および SDA0_A です。
注 1. C_b はバスラインの容量総計を意味します。

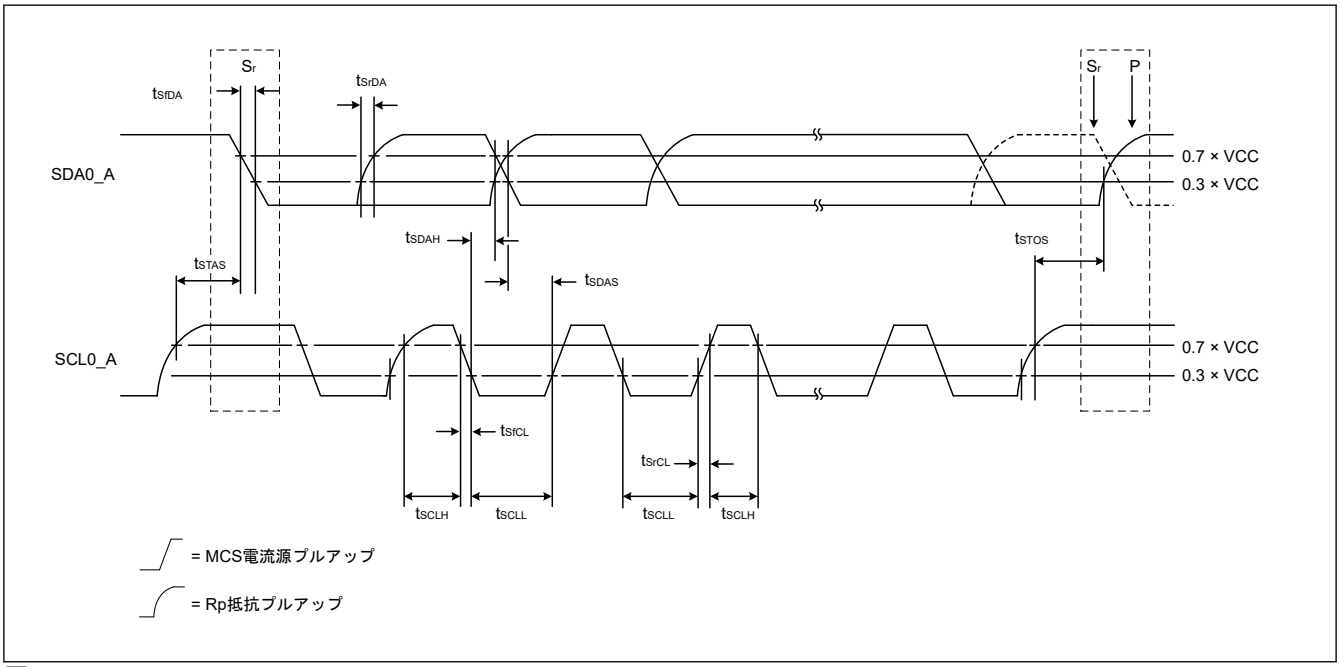


図 46.48 I²C バスインタフェース入出力タイミング（Hs モード）

46.3.12 CANFD タイミング

表 46.33 CANFD インタフェースタイミング

項目	シンボル	CAN		CAN-FD		単位	測定条件
		Min	Max	Min	Max		
内部遅延時間	t_{node}	—	100	—	75	ns	図 46.49
送信レート		—	1	—	5	Mbps	

注. $t_{node} = t_{output} + t_{input}$

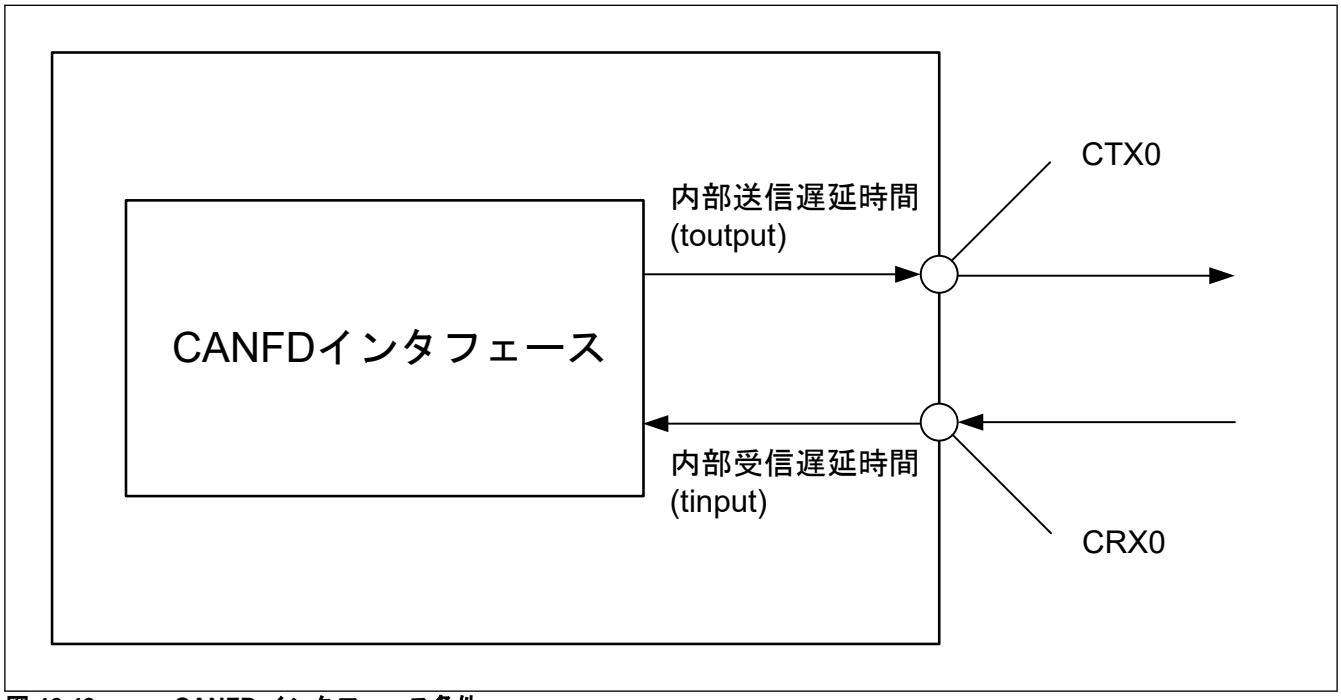


図 46.49 CANFD インタフェース条件

46.4 A/D 変換特性

表 46.34 A/D 変換特性（共通） (1/2)

項目	Min	Typ	Max	単位	測定条件
A/D 変換クロック周波数 (ADCLK)	25	50	60	MHz	—
逐次比較時間	100	—	140	ns	—

表 46.34 A/D 変換特性（共通） (2/2)

項目					Min	Typ	Max	単位	測定条件
A/D サンプリング時間	自己校正			SAR モード	1 × t_{ADcyc} + 40	—	—	ns	—
				オーバーサンプリングモード	1 × t_{ADcyc} + 40	—	—	ns	—
				ハイブリッドモード	1 × t_{ADcyc} + 60	—	—	ns	—
	自己診断			SAR モード	1 × t_{ADcyc} + 40	—	—	ns	—
				オーバーサンプリングモード	1 × t_{ADcyc} + 40	—	—	ns	—
				ハイブリッドモード	1 × t_{ADcyc} + 60	—	—	ns	—
	A/D 変換	高精度高速チャネル	チャネル専用サンプル&ホールド回路不使用時（AN000～AN005）（AN006～AN011）（AN018～AN019）	SAR モード	1 × t_{ADcyc} + 40	—	—	ns	—
				オーバーサンプリングモード	1 × t_{ADcyc} + 40	—	—	ns	—
				ハイブリッドモード	1 × t_{ADcyc} + 60	—	—	ns	—
			チャネル専用サンプル&ホールド回路使用時（AN000～AN005）（AN006～AN011）	SAR モード	1 × t_{ADcyc} + 160	—	—	ns	—
				ハイブリッドモード	1 × t_{ADcyc} + 160	—	—	ns	—
		高精度中速チャネル（AN012～AN017）		SAR モード	180	—	—	ns	—
				オーバーサンプリングモード	180	—	—	ns	—
				ハイブリッドモード	180	—	—	ns	—
		通常精度低速チャネル（AN020～AN028）		SAR モード	400	—	—	ns	—
				オーバーサンプリングモード	400	—	—	ns	—
				ハイブリッドモード	400	—	—	ns	—
チャネル専用サンプル&ホールド回路	サンプリング時間	自己校正			1 × t_{ADcyc} + 400	—	—	ns	—
		A/D 変換			400	—	—	ns	—
	ホールドモード切り替え時間				40	—	—	ns	—
	ホールド時間				—	—	5	μs	—
動作安定時間	A/D 起動時間				2.0	—	—	μs	—
	チャネル専用サンプル&ホールド回路起動時間				2.0	—	—	μs	—
	A/D 遮断時間				1.0	—	—	μs	—

注. t_{ADcyc} : ADCLK サイクル

表 46.35 A/D 変換特性（SAR モード） (1/2)

項目					Min	Typ	Max	単位	測定条件
SAR モード	アナログ入力電圧範囲				VREFL0	—	VREFH0	V	—
	分解能				—	—	12	ビット	—
	量子化誤差				—	±0.5	—	LSB	—
	高精度高速チャネル（AN000～AN005）（AN006～AN011）（AN018～AN019）(注3)	チャネル専用サンプル&ホールド回路不使用時(注3)	変換時間 (注1)	通常変換	0.16	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：3 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
				平均モード使用時（4 回変換）	0.64	—	—	μs	
			オフセット誤差		—	±1.0	±3.0	LSB	—
			フルスケール誤差		—	±1.5	±2.5	LSB	—
			絶対精度	通常変換	—	±5.5	±7.0	LSB	—
				平均モード使用時（4 回変換）	—	±4.5	±5.5	LSB	—
			総合未調整誤差 (TUE)(注4)		—	±3.5	±4.0	LSB	—
			DNL 微分非直線性誤差		—	-1～+1.5	-1～+2.5	LSB	—
			INL 積分非直線性誤差		—	±2.0	±3.0	LSB	—
		チャネル専用サンプル&ホールド回路使用時	変換時間 (注2)	通常変換	0.72	—	—	μs	• ADCLK: 50 MHz • チャネル専用サンプル&ホールド回路のサンプリング時間：20 ADCLK • チャネル専用サンプル&ホールド回路のホールドモード切り替え時間：2 ADCLK • サンプリング時間：9 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
				平均モード使用時（4 回変換）	2.88	—	—	μs	
			オフセット誤差		—	±0.5	±1.0	LSB	—
			フルスケール誤差		—	±1.5	±1.5	LSB	—
			絶対精度	通常変換	—	±5.0	±7.0	LSB	—
				平均モード使用時（4 回変換）	—	±4.0	±5.0	LSB	—
			総合未調整誤差 (TUE)(注4)		—	±3.0	±3.4	LSB	—
			DNL 微分非直線性誤差		—	-1～+1.5	-1～+2.5	LSB	—
			INL 積分非直線性誤差		—	±2.0	±3.0	LSB	—

表 46.35 A/D 変換特性（SAR モード） (2/2)

項目				Min	Typ	Max	単位	測定条件
SAR モード	高精度中速チャネル（AN012～AN017）	変換時間 (注1)	通常変換	0.28	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：9 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
			平均モード使用時（4 回変換）	1.12	—	—	μs	
		オフセット誤差		—	±1.0	±1.5	LSB	—
		フルスケール誤差		—	±1.0	±2.5	LSB	—
		絶対精度	通常変換	—	±4.0	±7.0	LSB	—
			平均モード使用時（4 回変換）	—	±3.0	±5.5	LSB	—
		総合未調整誤差 (TUE)(注4)		—	±3.4	±4.4	LSB	—
		DNL 微分非直線性誤差		—	-1～+1.5	-1～+2.5	LSB	—
		INL 積分非直線性誤差		—	±2.0	±3.0	LSB	—
	通常精度低速チャネル（AN020～AN028）	変換時間 (注1)	通常変換	0.50	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：20 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
			平均モード使用時（4 回変換）	2.00	—	—	μs	
		オフセット誤差		—	±1.0	±2.5	LSB	—
		フルスケール誤差		—	±1.5	±2.5	LSB	—
		絶対精度	通常変換	—	±5.5	±8.0	LSB	—
			平均モード使用時（4 回変換）	—	±5.5	±7.0	LSB	—
		総合未調整誤差 (TUE)(注4)		—	±4.2	±5.3	LSB	—
		DNL 微分非直線性誤差		—	-1～+1.5	-1～+2.5	LSB	—
		INL 積分非直線性誤差		—	±2.0	±4.0	LSB	—

注 1. チャネル専用サンプル&ホールド回路不使用時：変換時間は、サンプリング時間と逐次比較時間の合計です。測定条件には、上記の各ステートが示されています。
注 2. チャネル専用サンプル&ホールド回路使用時：変換時間は、チャネル専用サンプル&ホールド回路のサンプリング時間、ホールドモード切り替え時間、サンプリング時間、逐次比較時間の合計です。測定条件には、上記の各ステートが示されています。
注 3. これらのチャネルは、チャネル専用サンプル&ホールド回路は使用できません。
注 4. 量子化誤差 (±0.5 LSB) を除きます。

表 46.36 A/D 変換特性（オーバーサンプリングモードとハイブリッドモード）(1)

項目				Min	Typ	Max	単位	測定条件
オーバーサンプリングモードとハイブリッドモード	アナログ入力電圧範囲	シングルエンド入力電圧		VREFL0	—	VREFH0	V	—
		差動入力電圧(注1)		-VREFH0	—	+VREFH0	V	—
	分解能			—	—	16	ビット	—
	オーバーサンプリング周期	オーバーサンプリングモード		0.16	—	—	µs	• ADCLK: 50 MHz • サンプリング時間：3 ADCLK • 逐次比較時間：5 ADCLK • 断線検出アシスト機能不使用時
		ハイブリッドモード		0.18	—	—	µs	• ADCLK: 50 MHz • サンプリング時間：4 ADCLK • 逐次比較時間：5 ADCLK • 断線検出アシスト機能不使用時
	デジタルフィルタ特性(注2)	Sinc フィルタ	初期遅延	—	22	—	Fos	—
			群遅延	—	11	—		—
			正規化遮断周波数	—	0.033	—	Fin/Fos	—
		最小位相フィルタ	初期遅延	—	22	—	Fos	—
			群遅延	—	2	—		—
			正規化遮断周波数	—	0.116	—	Fin/Fos	—
			通過帯域リップル	—	< ± 0.01	—	dB	—

注. Fos はオーバーサンプリング周波数です。
注 1. 差動入力電圧は (A_{INP} - A_{INN}) です。
- A_{INP} は ANx の入力電圧であり、VREFL0 ≦ A_{INP} ≦ VREFH0 です。
- A_{INN} は ANy の入力電圧であり、VREFL0 ≦ A_{INN} ≦ VREFH0 です。
（x = 2i, y = 2i +1, i = 0, 1, 2…（任意の整数））

注 2. 図 46.50 と図 46.51 を参照してください。

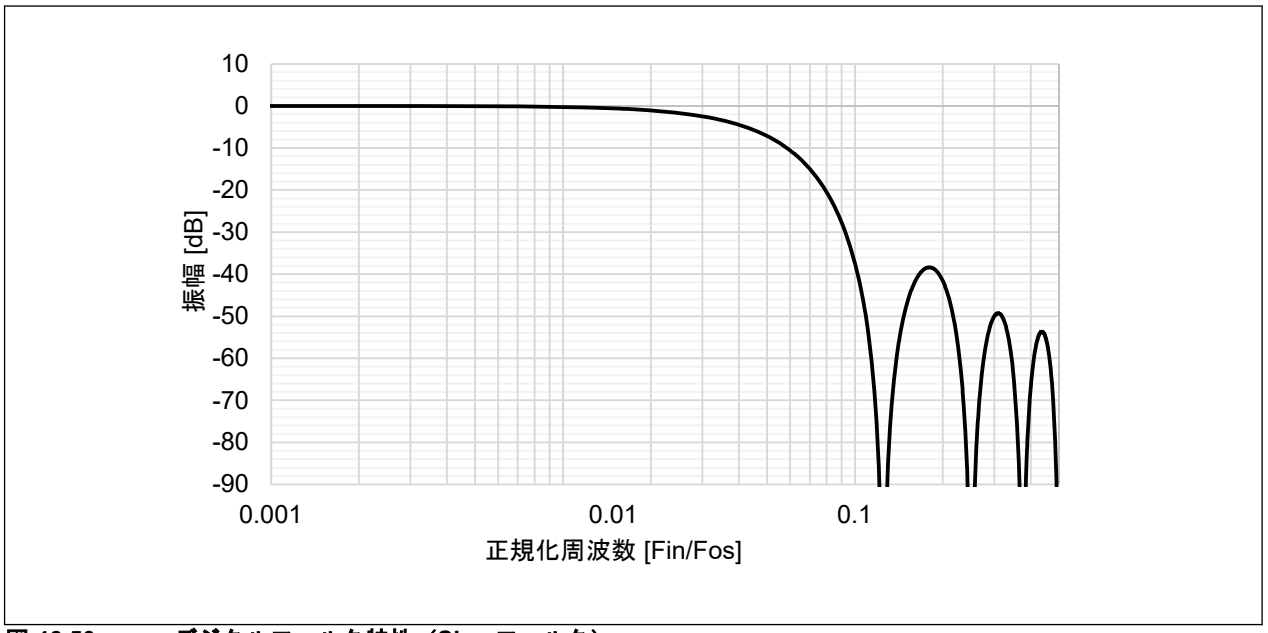


図 46.50 デジタルフィルタ特性（Sinc フィルタ）

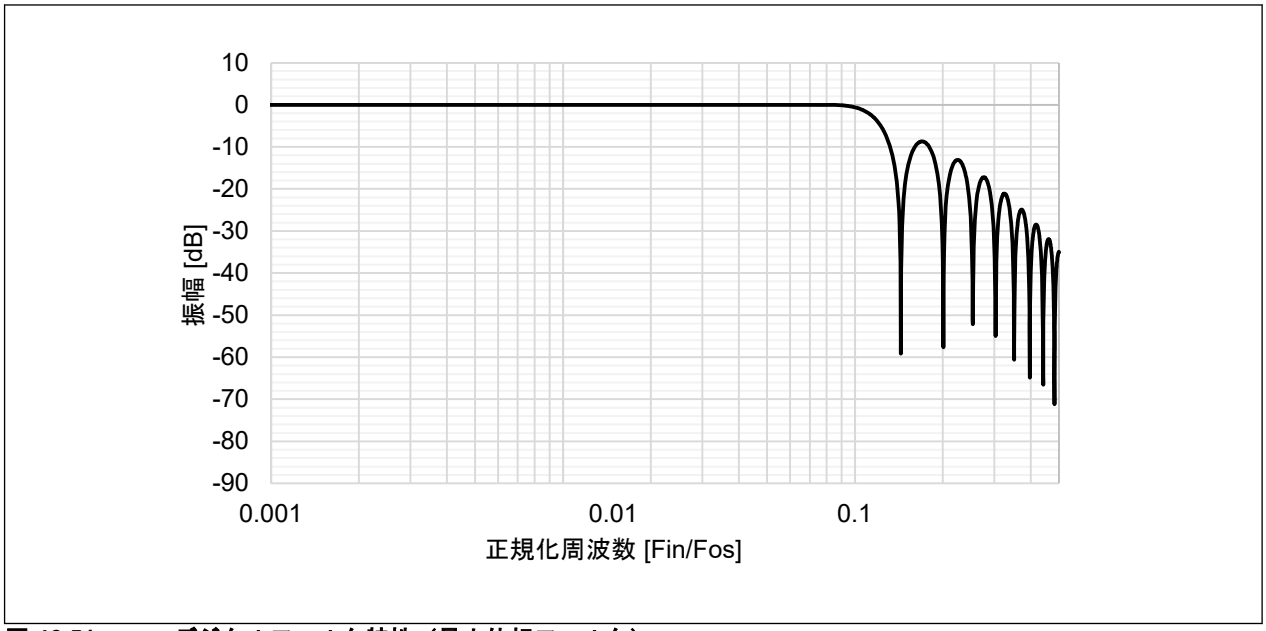


図 46.51　デジタルフィルタ特性（最小位相フィルタ）

表 46.37　A/D 変換特性（オーバーサンプリングモードとハイブリッドモード）(2)

項目				Min	Typ	Max	単位	測定条件
オーバーサンプリングモードとハイブリッドモード（AN000～AN005）（AN006～AN011）（AN018～AN019）（AN012～AN017）	Sinc フィルタ	シングルエンド入力	SNDR：信号対ノイズの歪み比	—	80	—	dB	• ADCLK: 50 MHz • サンプリング時間： 高精度高速チャネル（オーバーサンプリングモード）：3 ADCLK 高精度高速チャネル（ハイブリッドモード）:4 ADCLK 高精度中速チャネル：9 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下 • 入力周波数： オーバーサンプリングモード：10 kHz ハイブリッドモード:4 kHz • チャネル専用サンプル&ホールド回路不使用時
			ENOB：有効ビット数	—	13	—	ビット	
		差動入力	SNDR：信号対ノイズの歪み比	—	86	—	dB	
			ENOB：有効ビット数	—	14	—	ビット	
	最小位相フィルタ	シングルエンド入力	SNDR：信号対ノイズの歪み比	—	68	—	dB	
			ENOB：有効ビット数	—	11	—	ビット	
		差動入力	SNDR：信号対ノイズの歪み比	—	74	—	dB	
			ENOB：有効ビット数	—	12	—	ビット	

表 46.38　A/D 変換特性（オーバーサンプリングモード）

項目				Min	Typ	Max	単位	測定条件
オーバーサンプリングモード（AN000～AN005）（AN006～AN011）（AN018～AN019）（AN012～AN017）（AN020～AN028）	シングルエンド入力	ユニット 0	オフセット誤差	—	±8.0	—	LSB	• ADCLK: 50 MHz • サンプリング時間： 高精度高速チャネル：3 ADCLK 高精度中速チャネル：9 ADCLK 通常精度低速チャネル：20 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ • チャネル専用サンプル&ホールド回路不使用時
			ゲイン誤差	—	±32.0	—		
			DNL 微分非直線性誤差 (注1)	—	±4.0	—		
			INL 積分非直線性誤差 (注1)	—	±8.0	—		
		ユニット 1	オフセット誤差	—	±8.0	—		
			ゲイン誤差	—	±32.0	—		
			DNL 微分非直線性誤差 (注1)	—	±4.0	—		
			INL 積分非直線性誤差 (注1)	—	±8.0	—		
	差動入力	ユニット 0	オフセット誤差	—	±4.0	—		
			ゲイン誤差	—	±14.0	—		
			DNL 微分非直線性誤差 (注1)	—	±2.0	—		
			INL 積分非直線性誤差 (注1)	—	±4.0	—		
		ユニット 1	オフセット誤差	—	±4.0	—		
			ゲイン誤差	—	±14.0	—		
			DNL 微分非直線性誤差 (注1)	—	±2.0	—		
			INL 積分非直線性誤差 (注1)	—	±4.0	—		

注 1.　測定条件：アナログ入力電圧範囲の 0.2%～99.8%

表 46.39 A/D 変換特性（ハイブリッドモード） (1/2)

項目					Min	Typ	Max	単位	測定条件
ハイブリッドモード（AN000～AN005）（AN006～AN011）（AN018～AN019）(注1)（AN012～AN017）(注1)（AN020～AN028）(注1)	チャネル専用サンプル&ホールド回路不使用時 (注1)	シングルエンド入力	ユニット0	オフセット誤差	—	±8.0	—	LSB	• ADCLK: 50 MHz • サンプリング時間： 高精度高速チャネル：4 ADCLK 高精度中速チャネル：9 ADCLK 通常精度低速チャネル：20 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
				ゲイン誤差	—	±40.0	—		
				DNL 微分非直線性誤差(注2)	—	±4.0	—		
				INL 積分非直線性誤差(注2)	—	±8.0	—		
			ユニット1	オフセット誤差	—	±8.0	—		
				ゲイン誤差	—	±40.0	—		
				DNL 微分非直線性誤差(注2)	—	±4.0	—		
				INL 積分非直線性誤差(注2)	—	±8.0	—		
		差動入力	ユニット0	オフセット誤差	—	±4.0	—		
				ゲイン誤差	—	±20.0	—		
				DNL 微分非直線性誤差(注2)	—	±2.0	—		
				INL 積分非直線性誤差(注2)	—	±4.0	—		
			ユニット1	オフセット誤差	—	±4.0	—		
				ゲイン誤差	—	±20.0	—		
				DNL 微分非直線性誤差(注2)	—	±2.0	—		
				INL 積分非直線性誤差(注2)	—	±4.0	—		

表 46.39 A/D 変換特性（ハイブリッドモード） (2/2)

項目					Min	Typ	Max	単位	測定条件
ハイブリッドモード（AN000～AN005）（AN006～AN011）（AN018～AN019）(注1)（AN012～AN017）(注1)（AN020～AN028）(注1)	チャネル専用サンプル&ホールド回路使用時	シングルエンド入力	ユニット0	オフセット誤差	—	8 ± 72	—	LSB	• ADCLK: 50 MHz • チャネル専用サンプル&ホールド回路のサンプリング時間：20 ADCLK • チャネル専用サンプル&ホールド回路のホールドモード切り替え時間：2 ADCLK • サンプリング時間：9 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
				ゲイン誤差	—	-23 ± 72	—		
				DNL 微分非直線性誤差(注2)	—	±4.0	—		
				INL 積分非直線性誤差(注2)	—	±8.0	—		
			ユニット1	オフセット誤差	—	36 ± 72	—		
				ゲイン誤差	—	-23 ± 72	—		
				DNL 微分非直線性誤差(注2)	—	±4.0	—		
				INL 積分非直線性誤差(注2)	—	±8.0	—		
		差動入力	ユニット0	オフセット誤差	—	8 ± 72	—		
				ゲイン誤差	—	-15 ± 36	—		
				DNL 微分非直線性誤差(注2)	—	±4.0	—		
				INL 積分非直線性誤差(注2)	—	±8.0	—		
			ユニット1	オフセット誤差	—	36 ± 72	—		
				ゲイン誤差	—	-15 ± 36	—		
				DNL 微分非直線性誤差(注2)	—	±4.0	—		
				INL 積分非直線性誤差(注2)	—	±8.0	—		

注 1. これらのチャネルは、チャネル専用サンプル&ホールド回路は使用できません。
注 2. 測定条件：アナログ入力電圧範囲の 0.2%～99.8%

表 46.40 A/D 内部基準電圧特性

項目	Min	Typ	Max	単位	測定条件
A/D 内部基準電圧	1.13	1.18	1.23	V	
サンプリング時間	4.15	—	—	µs	

表 46.41 D/A 出力の A/D 変換特性

項目	Min	Typ	Max	単位	測定条件
サンプリング時間	1	—	—	µs	

46.5 DAC12 特性

表 46.42 D/A 変換特性 (1/2)

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
出力アンプなし					
絶対精度	—	—	±24	LSB	負荷抵抗 2 MΩ
INL	—	±2.0	±8.0	LSB	負荷抵抗 2 MΩ
DNL	—	±1.0	±2.0	LSB	—
出力インピーダンス	—	8.5	—	kΩ	—

表 46.42 D/A 変換特性 (2/2)

項目	Min	Typ	Max	単位	測定条件
変換時間	—	—	3	µs	負荷抵抗 2 MΩ、負荷容量 20 pF
出力電圧範囲	0	—	AVCC0	V	—
出力アンプあり					
INL	—	±2.0	±4.0	LSB	—
DNL	—	±1.0	±2.0	LSB	—
変換時間	—	—	4.0	µs	—
負荷抵抗	5	—	—	kΩ	—
負荷容量	—	—	50	pF	—
出力電圧範囲	0.2	—	AVCC0 – 0.2	V	—

46.6 TSN 特性

表 46.43 TSN 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	±1.0	—	℃	—
温度傾斜	—	—	4.0	—	mV/℃	—
出力電圧（25℃時）	—	—	1.24	—	V	—
温度センサ起動時間	t_{START}	—	—	30	µs	—
サンプリング時間	—	4.15	—	—	µs	—

46.7 ACMPHS 特性

表 46.44 ACMPHS 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
入力オフセット電圧	V_{IO}	—	—	40	mV	
基準電圧範囲	V_{REF}	0	—	AVCC0	V	
入力電圧範囲	V_I	0	—	AVCC0	V	
出力遅延時間	$t_{tot(r)}$	—	—	200	ns	VOD = 100 mV CMPCTL.CDFS = 0
	$t_{tot(f)}$	—	—	200	ns	
入力切り替え安定待機時間	t_{cwait}	300	—	—	ns	
動作安定時間	t_{cmp}	—	—	1	µs	

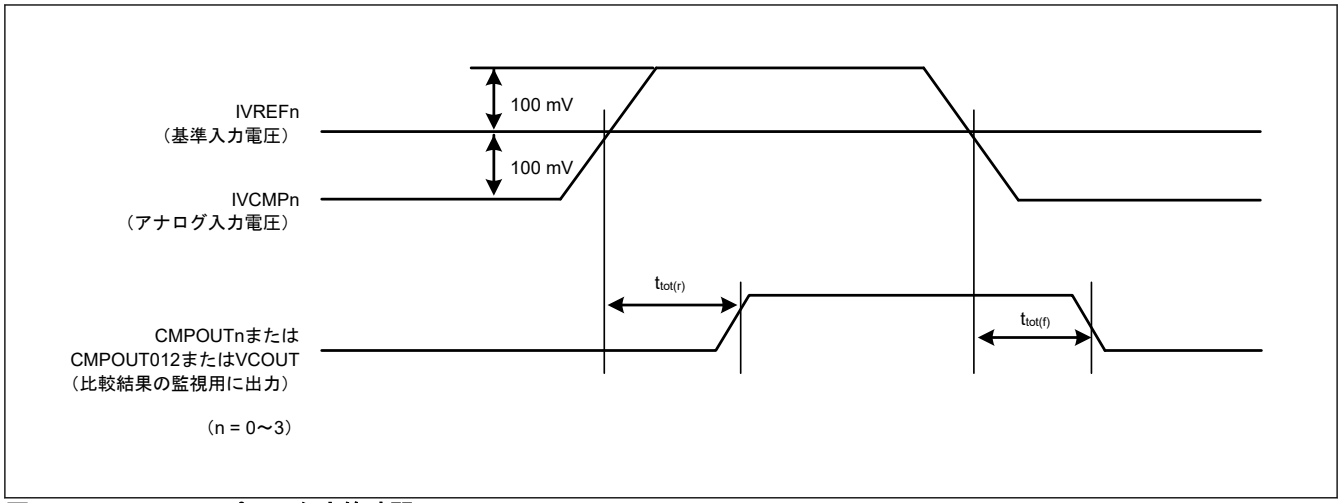


図 46.52　コンパレータ応答時間

46.8　PGA 特性

表 46.45　PGA 特性（シングルエンド入力モード） (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
オフセット誤差	Voff	-8	—	8	mV	
PGAVSS 入力電圧範囲	PGAVSS	0	—	0	V	
シングルエンド入力電圧範囲	AIN0 (G = 2.000)	0.05 × AVCC0	—	0.45 × AVCC0	V	
	AIN1 (G = 2.500)	0.047 × AVCC0	—	0.36 × AVCC0	V	
	AIN2 (G = 2.667)	0.046 × AVCC0	—	0.337 × AVCC0	V	
	AIN3 (G = 2.857)	0.046 × AVCC0	—	0.32 × AVCC0	V	
	AIN4 (G = 3.077)	0.045 × AVCC0	—	0.292 × AVCC0	V	
	AIN5 (G = 3.333)	0.044 × AVCC0	—	0.265 × AVCC0	V	
	AIN6 (G = 3.636)	0.042 × AVCC0	—	0.247 × AVCC0	V	
	AIN7 (G = 4.000)	0.04 × AVCC0	—	0.212 × AVCC0	V	
	AIN8 (G = 4.444)	0.036 × AVCC0	—	0.191 × AVCC0	V	
	AIN9 (G = 5.000)	0.033 × AVCC0	—	0.17 × AVCC0	V	
	AIN10 (G = 5.714)	0.031 × AVCC0	—	0.148 × AVCC0	V	
	AIN11 (G = 6.667)	0.029 × AVCC0	—	0.127 × AVCC0	V	
	AIN12 (G = 8.000)	0.027 × AVCC0	—	0.09 × AVCC0	V	
	AIN13 (G = 10.000)	0.025 × AVCC0	—	0.08 × AVCC0	V	
	AIN14 (G = 13.333)	0.023 × AVCC0	—	0.06 × AVCC0	V	

表 46.45 PGA 特性（シングルエンド入力モード） (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
出力電圧範囲(注1)	PGAOUT0 (G = 2.000)	0.100 × AVCC0	—	0.900 × AVCC0	V	
	PGAOUT1 (G = 2.500)	0.118 × AVCC0	—	0.900 × AVCC0	V	
	PGAOUT2 (G = 2.667)	0.123 × AVCC0	—	0.899 × AVCC0	V	
	PGAOUT3 (G = 2.857)	0.131 × AVCC0	—	0.914 × AVCC0	V	
	PGAOUT4 (G = 3.077)	0.138 × AVCC0	—	0.898 × AVCC0	V	
	PGAOUT5 (G = 3.333)	0.147 × AVCC0	—	0.883 × AVCC0	V	
	PGAOUT6 (G = 3.636)	0.153 × AVCC0	—	0.898 × AVCC0	V	
	PGAOUT7 (G = 4.000)	0.160 × AVCC0	—	0.848 × AVCC0	V	
	PGAOUT8 (G = 4.444)	0.160 × AVCC0	—	0.849 × AVCC0	V	
	PGAOUT9 (G = 5.000)	0.165 × AVCC0	—	0.850 × AVCC0	V	
	PGAOUT10 (G = 5.714)	0.177 × AVCC0	—	0.846 × AVCC0	V	
	PGAOUT11 (G = 6.667)	0.193 × AVCC0	—	0.847 × AVCC0	V	
	PGAOUT12 (G = 8.000)	0.216 × AVCC0	—	0.720 × AVCC0	V	
	PGAOUT13 (G = 10.000)	0.250 × AVCC0	—	0.800 × AVCC0	V	
	PGAOUT14 (G = 13.333)	0.307 × AVCC0	—	0.800 × AVCC0	V	
ゲイン誤差	Gerr0 (G = 2.000)	-1.0	—	1.0	%	
	Gerr1 (G = 2.500)	-1.0	—	1.0	%	
	Gerr2 (G = 2.667)	-1.0	—	1.0	%	
	Gerr3 (G = 2.857)	-1.0	—	1.0	%	
	Gerr4 (G = 3.007)	-1.0	—	1.0	%	
	Gerr5 (G = 3.333)	-1.5	—	1.5	%	
	Gerr6 (G = 3.636)	-1.5	—	1.5	%	
	Gerr7 (G = 4.000)	-1.5	—	1.5	%	
	Gerr8 (G = 4.444)	-2.0	—	2.0	%	
	Gerr9 (G = 5.000)	-2.0	—	2.0	%	
	Gerr10 (G = 5.714)	-2.0	—	2.0	%	
	Gerr11 (G = 6.667)	-2.0	—	2.0	%	
	Gerr12 (G = 8.000)	-2.0	—	2.0	%	
	Gerr13 (G = 10.000)	-2.0	—	2.0	%	
	Gerr14 (G = 13.333)	-2.0	—	2.0	%	
スルーレート	SR	10	—	—	V/µs	
動作安定時間	t_{start}	—	—	5	µs	

注 1. 以下の式で計算します。（n = 0～14）
PGAOUTn = AINn × G
実際の出力範囲は、ゲイン誤差を含みます。
PGAOUTn = (AINn × G) × (Gerr + 100%)

表 46.46 PGA 特性（疑似差動入力モード） (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
オフセット誤差	Voff	-20	—	20	mV	
PGAVSS 入力電圧範囲	PGAVSS	-0.5	—	0.3	V	

表 46.46 PGA 特性（疑似差動入力モード） (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
差動入力電圧範囲	G = 1.500	AIN-PGAVSS	-0.5	—	0.5	V	
	G = 2.333		-0.4	—	0.4	V	
	G = 4.000		-0.2	—	0.2	V	
	G = 5.667		-0.15	—	0.15	V	
出力電圧範囲(注1)	G = 1.500	V_{OR}	0.600	—	2.550	V	
	G = 2.333		0.417	—	2.733	V	
	G = 4.000		0.550	—	2.600	V	
	G = 5.667		0.500	—	2.650	V	
ゲイン誤差	G = 1.500	Gerr	-1.0	—	1.0	%	
	G = 2.333		-1.0	—	1.0	%	
	G = 4.000		-1.0	—	1.0	%	
	G = 5.667		-1.0	—	1.0	%	
スルーレート		SR	10	—	—	V/µs	
動作安定時間		t_{start}	—	—	5	µs	

注 1. 以下の式で計算します。
V_{OR} = (AIN-PGAVSS) × G ＋ (0.5 × AVCC0)
実際の出力範囲は、ゲイン誤差を含みます。
V_{OR} = (AIN-PGAVSS) × G × (Gerr +100%) ＋ (0.5 × AVCC0)

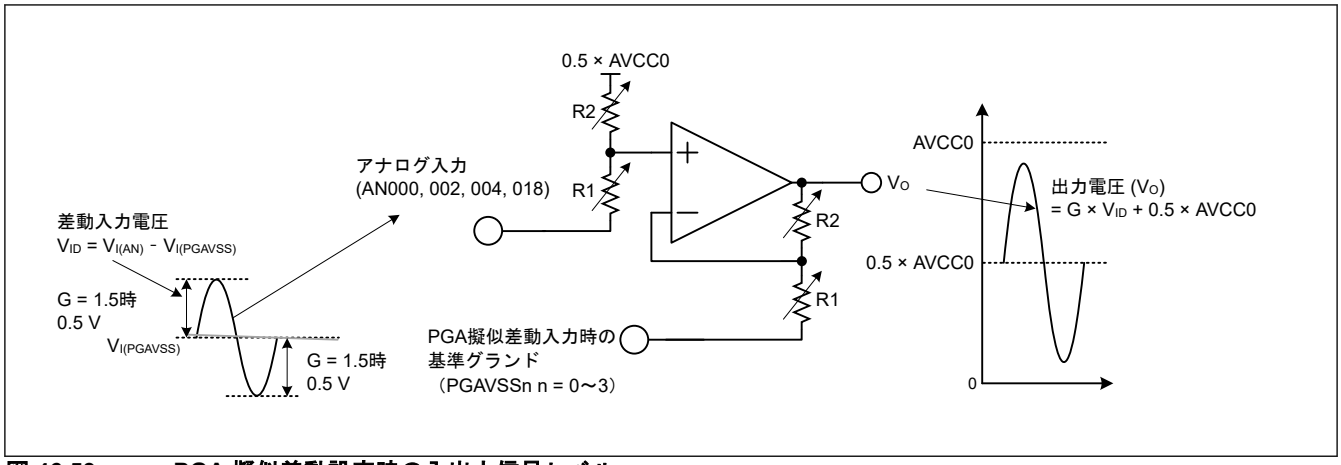


図 46.53 PGA 擬似差動設定時の入出力信号レベル

46.9 OSC 停止検出特性

表 46.47 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 46.54

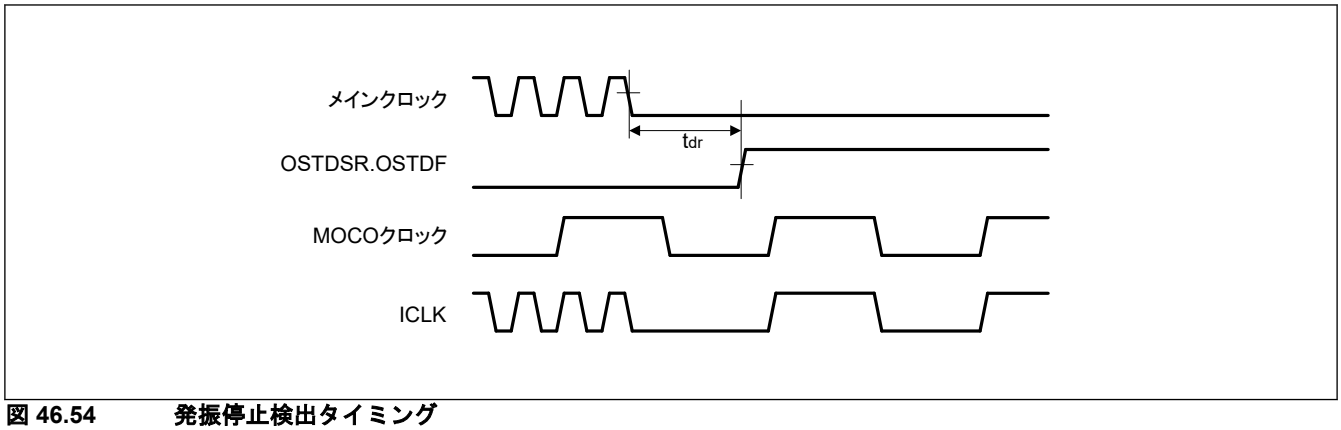


図 46.54　発振停止検出タイミング

46.10　POR/LVD 特性

表 46.48　パワーオンリセット回路、電圧検出回路の特性 (1)

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	DPSBYCR.DEEPCUT[1:0] = 00b または 01b	V_{POR}	2.5	2.6	2.7	V	図 46.55
		DPSBYCR.DEEPCUT[1:0] = 11b		1.8	2.25	2.7		
	電圧検出回路 (LVD0)		V_{det0_1}	2.84	2.94	3.04		図 46.56
			V_{det0_2}	2.77	2.87	2.97		
			V_{det0_3}	2.70	2.80	2.90		
	電圧検出回路 (LVD1)		V_{det1_1}	2.89	2.99	3.09		図 46.57
			V_{det1_2}	2.82	2.92	3.02		
			V_{det1_3}	2.75	2.85	2.95		
	電圧検出回路 (LVD2)		V_{det2_1}	2.89	2.99	3.09		図 46.58
			V_{det2_2}	2.82	2.92	3.02		
			V_{det2_3}	2.75	2.85	2.95		
内部リセット時間	パワーオンリセット時間		t_{POR}	—	4.5	—	ms	図 46.55
	LVD0 リセット時間		t_{LVD0}	—	0.51	—		図 46.56
	LVD1 リセット時間		t_{LVD1}	—	0.38	—		図 46.57
	LVD2 リセット時間		t_{LVD2}	—	0.38	—		図 46.58
最小 VCC 低下時間(注1)			t_{VOFF}	200	—	—	μs	図 46.55、図 46.56
応答遅延時間			t_{det}	—	—	200	μs	図 46.56～図 46.58
LVD 動作安定時間（LVD 有効切り替え後）			$t_{d(E-A)}$	—	—	10	μs	図 46.57、図 46.58
ヒステリシス幅（LVD1、LVD2）			V_{LVH}	—	70	—	mV	

注 1.　最小 VCC 低下時間は、VCC が POR および LVD の電圧検出レベル V_{POR}、V_{det0}、V_{det1} および V_{det2} の最小値を下回っている時間です。

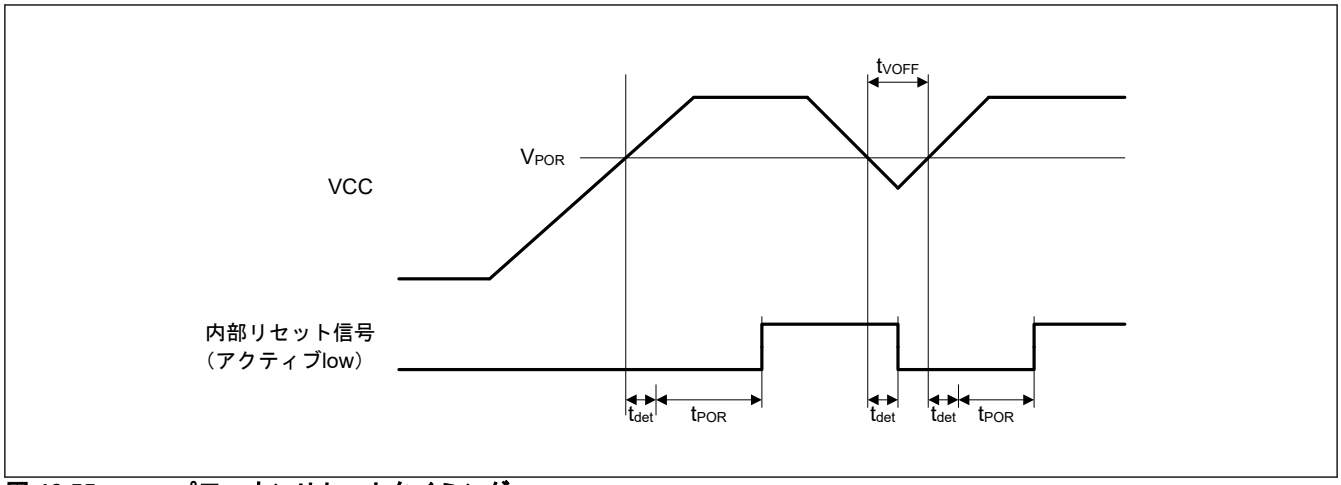


図 46.55　パワーオンリセットタイミング

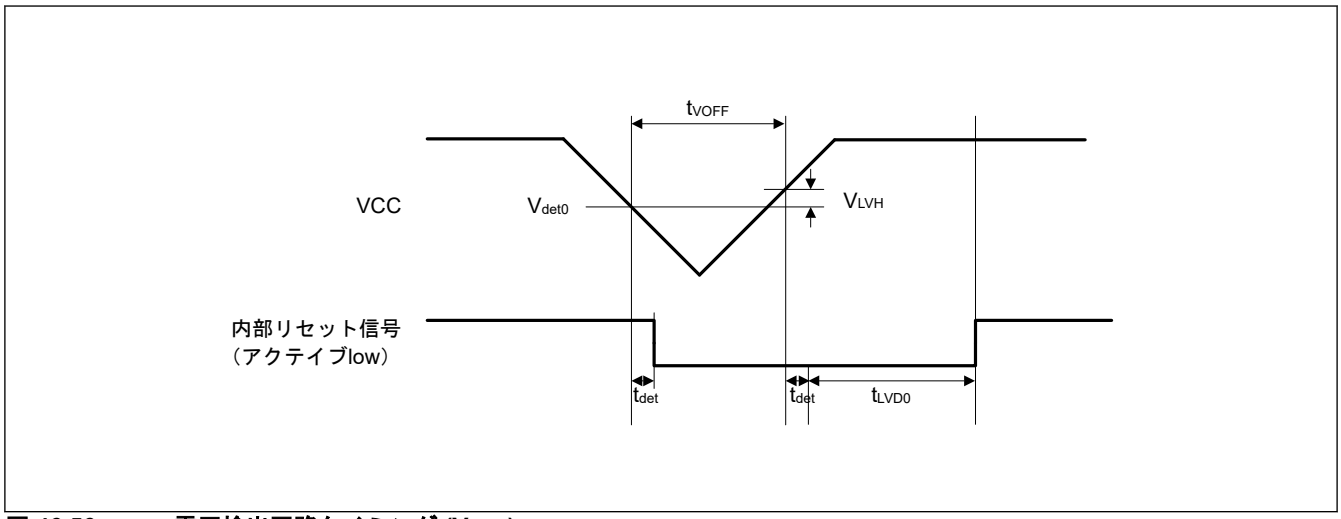


図 46.56　電圧検出回路タイミング (V_{det0})

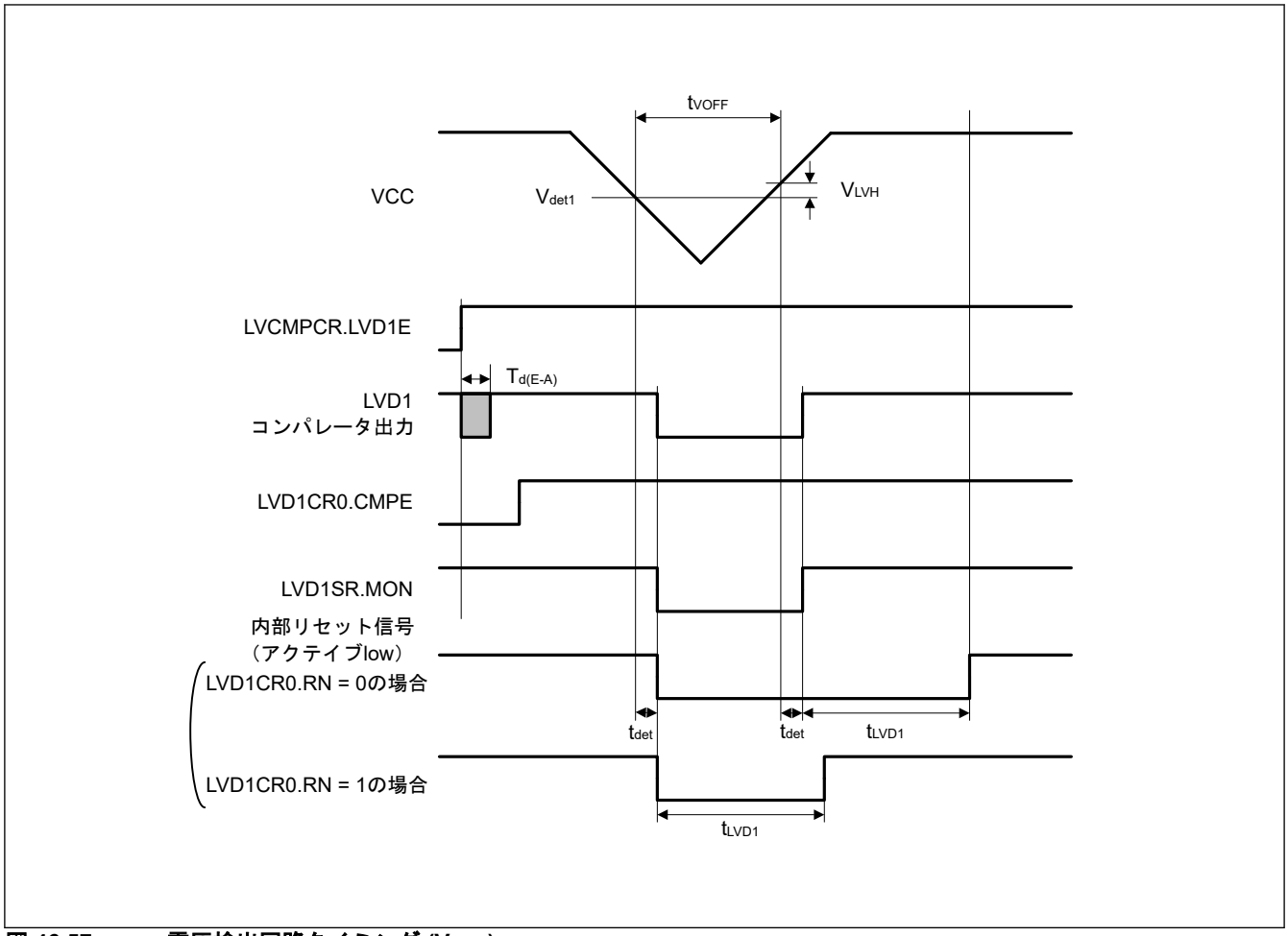


図 46.57　電圧検出回路タイミング (V_{det1})

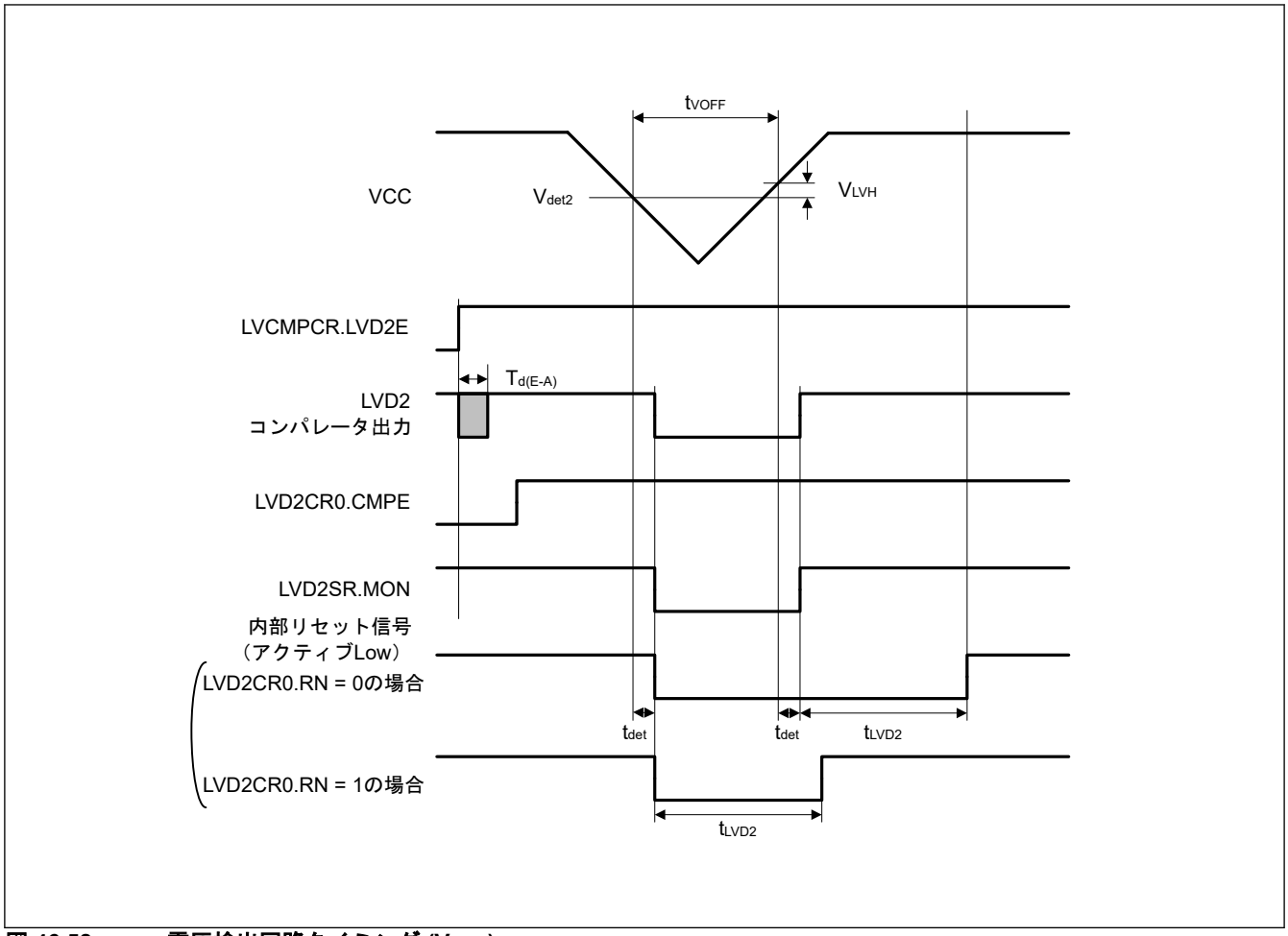


図 46.58　電圧検出回路タイミング (V_{det2})

46.11　フラッシュメモリ特性

46.11.1　コードフラッシュメモリ特性

表 46.49　コードフラッシュメモリ特性 (1/2)

条件：プログラム／イレース：FCLK = 4～60 MHz
読み出し：FCLK ≦ 60 MHz

項目		シンボル	FCLK = 4 MHz			20 MHz ≦ FCLK ≦ 60 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム時間 N_{PEC} ≦ 100 回	128 バイト	t_{P128}	—	0.75	13.2	—	0.34	6.0	ms	
	8 KB	t_{P8K}	—	49	176	—	22	80	ms	
	32 KB	t_{P32K}	—	194	704	—	88	320	ms	
プログラム時間 N_{PEC} ＞ 100 回	128 バイト	t_{P128}	—	0.91	15.8	—	0.41	7.2	ms	
	8 KB	t_{P8K}	—	60	212	—	27	96	ms	
	32 KB	t_{P32K}	—	234	848	—	106	384	ms	
イレース時間 N_{PEC} ≦ 100 回	8 KB	t_{E8K}	—	78	216	—	43	120	ms	
	32 KB	t_{E32K}	—	283	864	—	157	480	ms	
イレース時間 N_{PEC} ＞ 100 回	8 KB	t_{E8K}	—	94	260	—	52	144	ms	
	32 KB	t_{E32K}	—	341	1040	—	189	576	ms	
再プログラム／イレースサイクル(注4)		N_{PEC}	10000(注1)	—	—	10000(注1)	—	—	回	

表 46.49　コードフラッシュメモリ特性 (2/2)

条件：プログラム／イレース：FCLK = 4～60 MHz
読み出し：FCLK ≦ 60 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz ≦ FCLK ≦ 60 MHz			単位	測定条件
		Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム中のサスペンド遅延時間	t_{SPD}	—	—	264	—	—	120	μs	
プログラムレジューム時間	t_{PRT}	—	—	110	—	—	50	μs	
サスペンド優先モードにおけるイレース中の 1 回目のサスペンド遅延時間	t_{SESD1}	—	—	216	—	—	120	μs	
サスペンド優先モードにおけるイレース中の 2 回目のサスペンド遅延時間	t_{SESD2}	—	—	1.7	—	—	1.7	ms	
イレース優先モードにおけるイレース中のサスペンド遅延時間	t_{SEED}	—	—	1.7	—	—	1.7	ms	
サスペンド優先モードにおけるイレース中の 1 回目のイレースレジューム時間(注5)	t_{REST1}	—	—	1.7	—	—	1.7	ms	
サスペンド優先モードにおけるイレース中の 2 回目のイレースレジューム時間	t_{REST2}	—	—	144	—	—	80	μs	
イレース優先モードにおけるイレース中のイレースレジューム時間	t_{REET}	—	—	144	—	—	80	μs	
強制停止コマンド	t_{FD}	—	—	32	—	—	20	μs	
データ保持時間(注2)	t_{DRP}	10(注2) (注3)	—	—	10(注2) (注3)	—	—	年	
		30(注2) (注3)	—	—	30(注2) (注3)	—	—		Ta = +85℃

注 1.　再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2.　書き換えが仕様範囲内で行われたときの特性の min 値です。
注 3.　信頼性試験から得られた結果です。
注 4.　再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回　(n = 10,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、8 KB のブロックについて、それぞれ異なる番地に 128 バイト書き込みを 64 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。
注 5.　レジューム時間には、サスペンド時に中断されたイレースパルス（最大 1 フルパルス）を再印加する時間が含まれます。
注 6.　VCC = 3.3 V および室温における基準値

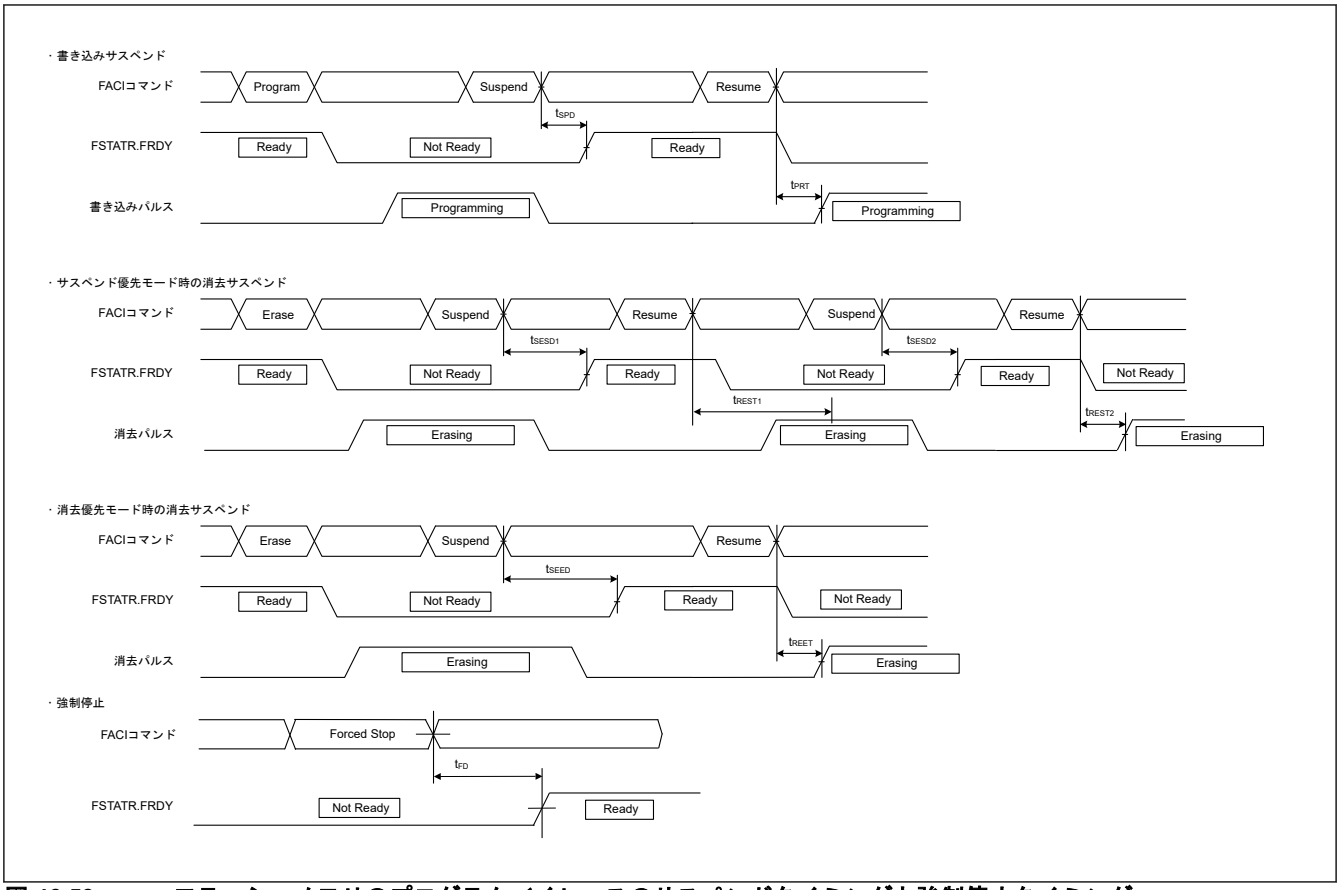


図 46.59　フラッシュメモリのプログラム／イレースのサスペンドタイミングと強制停止タイミング

46.11.2　データフラッシュメモリ特性

表 46.50　データフラッシュメモリ特性 (1/2)

条件：プログラム／イレース：FCLK = 4～60 MHz
読み出し：FCLK ≦ 60 MHz

項目		シンボル	FCLK = 4MHz			20 MHz ≦ FCLK ≦ 60 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム時間	4 バイト	t_{DP4}	—	0.36	3.8	—	0.16	1.7	ms	
	8 バイト	t_{DP8}	—	0.38	4.0	—	0.17	1.8		
	16 バイト	t_{DP16}	—	0.42	4.5	—	0.19	2.0		
イレース時間	64 バイト	t_{DE64}	—	3.1	18	—	1.7	10	ms	
	128 バイト	t_{DE128}	—	4.7	27	—	2.6	15		
	256 バイト	t_{DE256}	—	8.9	50	—	4.9	28		
ブランクチェック時間	4 バイト	t_{DBC4}	—	—	84	—	—	30	μs	
再プログラム／イレースサイクル(注1)		N_{DPEC}	125000(注2)	—	—	125000(注2)	—	—	—	
プログラム中のサスペンド遅延時間	4 バイト	t_{DSPD}	—	—	264	—	—	120	μs	
	8 バイト		—	—	264	—	—	120		
	16 バイト		—	—	264	—	—	120		
プログラムレジューム時間		t_{DPRT}	—	—	110	—	—	50	μs	
サスペンド優先モードにおけるイレース中の 1 回目のサスペンド遅延時間	64 バイト	t_{DSESD1}	—	—	216	—	—	120	μs	
	128 バイト		—	—	216	—	—	120		
	256 バイト		—	—	216	—	—	120		

表 46.50　データフラッシュメモリ特性 (2/2)

条件：プログラム／イレース：FCLK = 4～60 MHz
読み出し：FCLK ≦ 60 MHz

項目		シンボル	FCLK = 4MHz			20 MHz ≦ FCLK ≦ 60 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
サスペンド優先モードにおけるイレース中の 2 回目のサスペンド遅延時間	64 バイト	t_{DSESD2}	—	—	300	—	—	300	μs	
	128 バイト		—	—	390	—	—	390		
	256 バイト		—	—	570	—	—	570		
イレース優先モードにおけるイレース中のサスペンド遅延時間	64 バイト	t_{DSEED}	—	—	300	—	—	300	μs	
	128 バイト		—	—	390	—	—	390		
	256 バイト		—	—	570	—	—	570		
サスペンド優先モードにおけるイレース中の 1 回目のイレースレジューム時間(注5)		t_{DREST1}	—	—	300	—	—	300	μs	
サスペンド優先モードにおけるイレース中の 2 回目のイレースレジューム時間		t_{DREST2}	—	—	126	—	—	70	μs	
イレース優先モードにおけるイレース中のイレースレジューム時間		t_{DREET}	—	—	126	—	—	70	μs	
強制停止コマンド		t_{FD}	—	—	32	—	—	20	μs	
データ保持時間(注3)		t_{DRP}	10(注3) (注4)	—	—	10(注3) (注4)	—	—	年	
			30(注3) (注4)	—	—	30(注3) (注4)	—	—		Ta = +85℃

注 1.　再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 125,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、64 バイトのブロックについて、それぞれ異なる番地に 4 バイト書き込みを 16 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。
注 2.　再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 3.　書き換えが仕様範囲内で行われたときの特性の min 値です。
注 4.　信頼性試験から得られた結果です。
注 5.　レジューム時間には、サスペンド時に中断されたイレースパルス（最大 1 フルパルス）を再印加する時間が含まれます。
注 6.　VCC = 3.3 V および室温における基準値

46.11.3　オプション設定メモリ特性

表 46.51　オプション設定メモリ特性

条件：プログラム：FCLK = 4～60 MHz
読み出し：FCLK ≦ 60 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz ≦ FCLK ≦ 60 MHz			単位	測定条件
		Min	Typ(注4)	Max	Min	Typ(注4)	Max		
プログラム時間 N_{OPC} ≦ 100 回	t_{OP}	—	83	309	—	45	162	ms	
プログラム時間 N_{OPC} ＞ 100 回	t_{OP}	—	100	371	—	55	195	ms	
再プログラムサイクル	N_{OPC}	20000 (注1)	—	—	20000 (注1)	—	—	回	
データ保持時間(注2)	t_{DRP}	10(注2) (注3)	—	—	10(注2) (注3)	—	—	年	
		30(注2) (注3)	—	—	30(注2) (注3)	—	—		Ta = +85℃

注 1.　再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2.　書き換えが仕様範囲内で行われたときの特性の min 値です。
注 3.　信頼性試験から得られた結果です。
注 4.　VCC = 3.3 V および室温における基準値

46.12 バウンダリスキャン

表 46.52 バウンダリスキャン特性

項目	シンボル	Min	Typ	Max	単位	測定条件
TCK クロックサイクル時間	t_{TCKcyc}	100	—	—	ns	図 46.60
TCK クロック High レベルパルス幅	t_{TCKH}	45	—	—	ns	
TCK クロック Low レベルパルス幅	t_{TCKL}	45	—	—	ns	
TCK クロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCK クロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TMS セットアップ時間	t_{TMSS}	20	—	—	ns	図 46.61
TMS ホールド時間	t_{TMSH}	20	—	—	ns	
TDI セットアップ時間	t_{TDIS}	20	—	—	ns	
TDI ホールド時間	t_{TDIH}	20	—	—	ns	
TDO データ遅延時間	t_{TDOD}	—	—	40	ns	
バウンダリスキャン回路起動時間(注1)	T_{BSSTUP}	t_{RESWP}	—	—	—	図 46.62

注 1. パワーオンリセットが無効になるまで、バウンダリスキャンは機能しません。

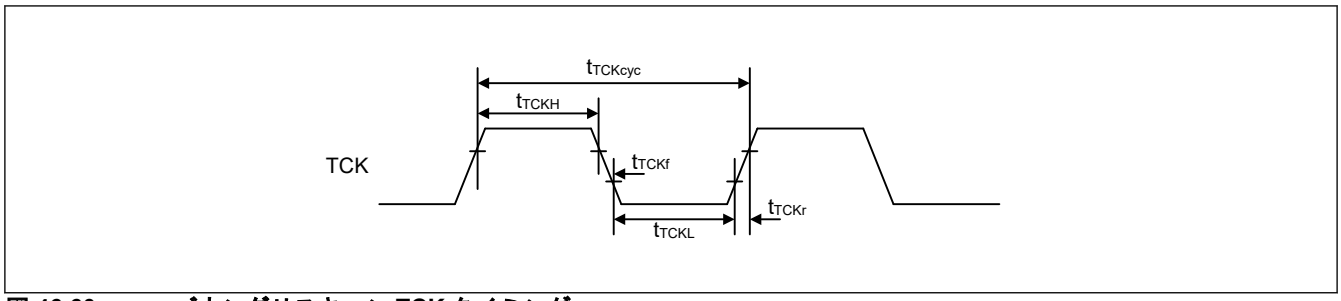


図 46.60 バウンダリスキャン TCK タイミング

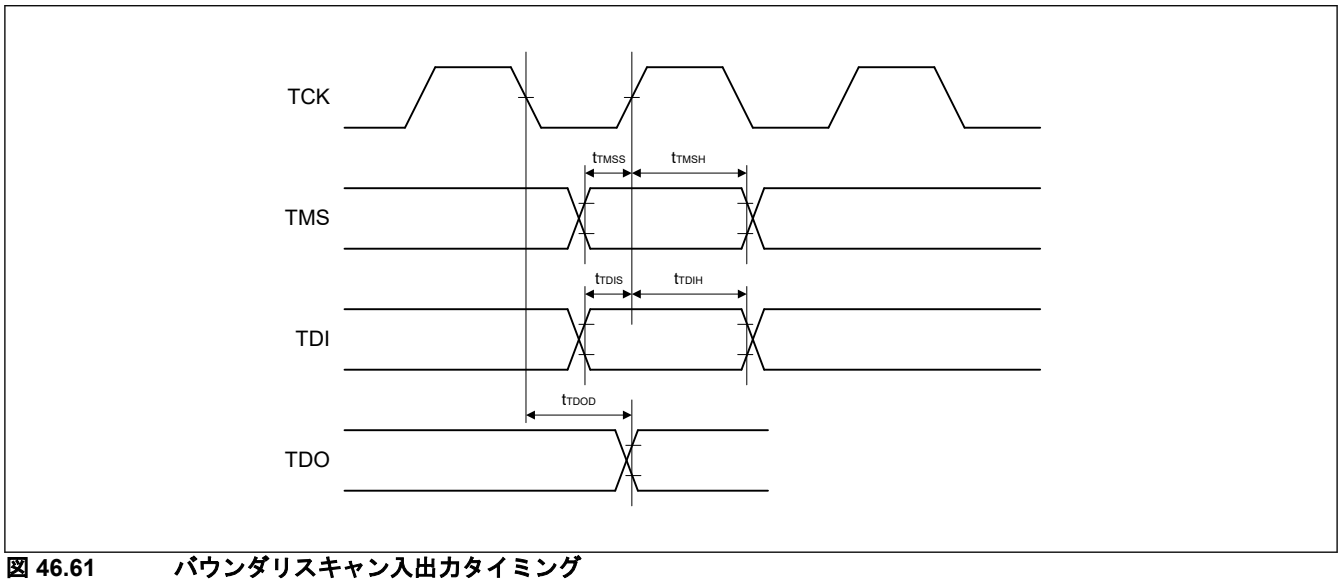


図 46.61 バウンダリスキャン入出力タイミング

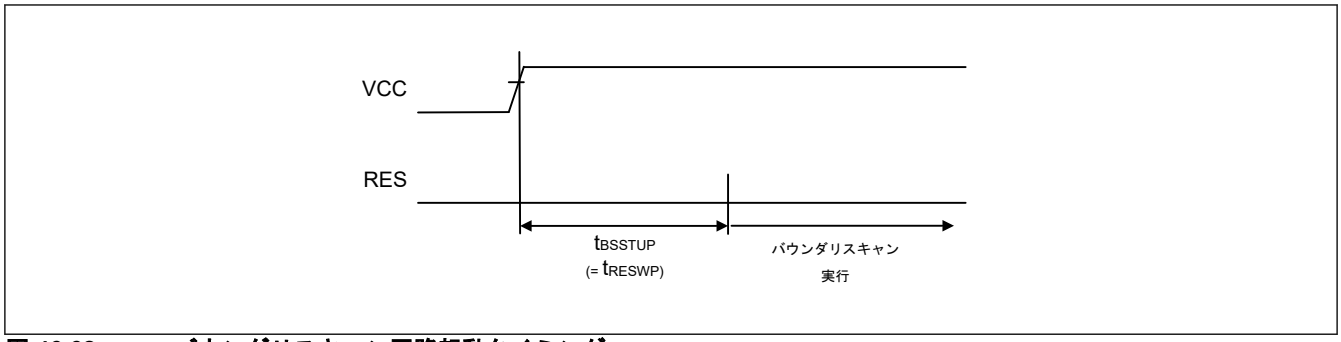


図 46.62 バウンダリスキャン回路起動タイミング

46.13 ジョイントテストアクショングループ (JTAG)

表 46.53 JTAG

項目	シンボル	Min	Typ	Max	単位	測定条件
TCK クロックサイクル時間	t_{TCKcyc}	40	—	—	ns	図 46.63
TCK クロック High レベルパルス幅	t_{TCKH}	15	—	—	ns	
TCK クロック Low レベルパルス幅	t_{TCKL}	15	—	—	ns	
TCK クロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCK クロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TMS セットアップ時間	t_{TMSS}	8	—	—	ns	図 46.64
TMS ホールド時間	t_{TMSH}	8	—	—	ns	
TDI セットアップ時間	t_{TDIS}	8	—	—	ns	
TDI ホールド時間	t_{TDIH}	8	—	—	ns	
TDO データ遅延時間	t_{TDOD}	—	—	20	ns	

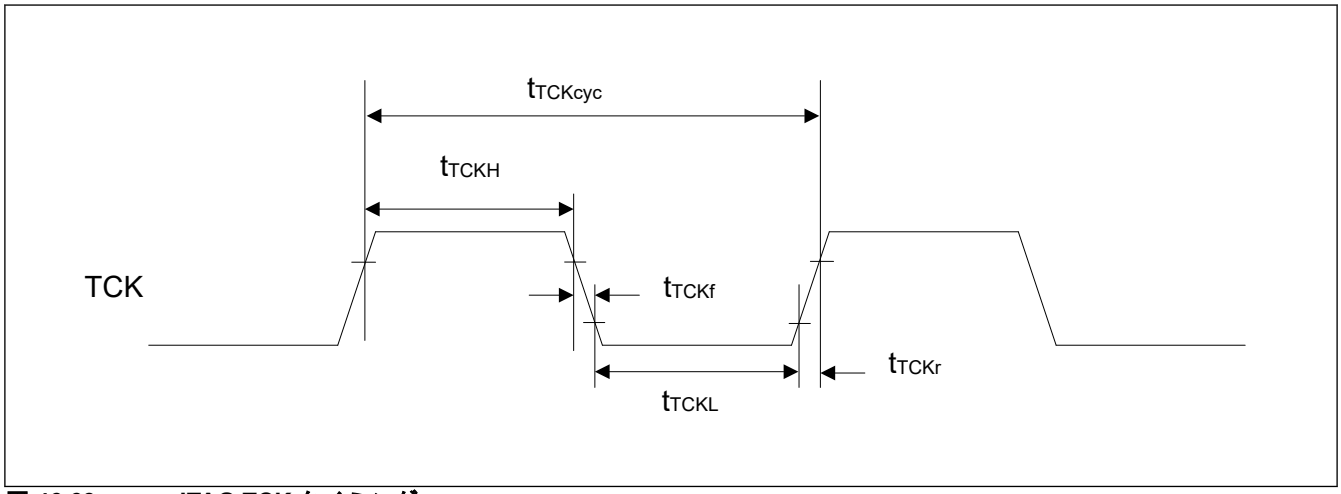


図 46.63 JTAG TCK タイミング

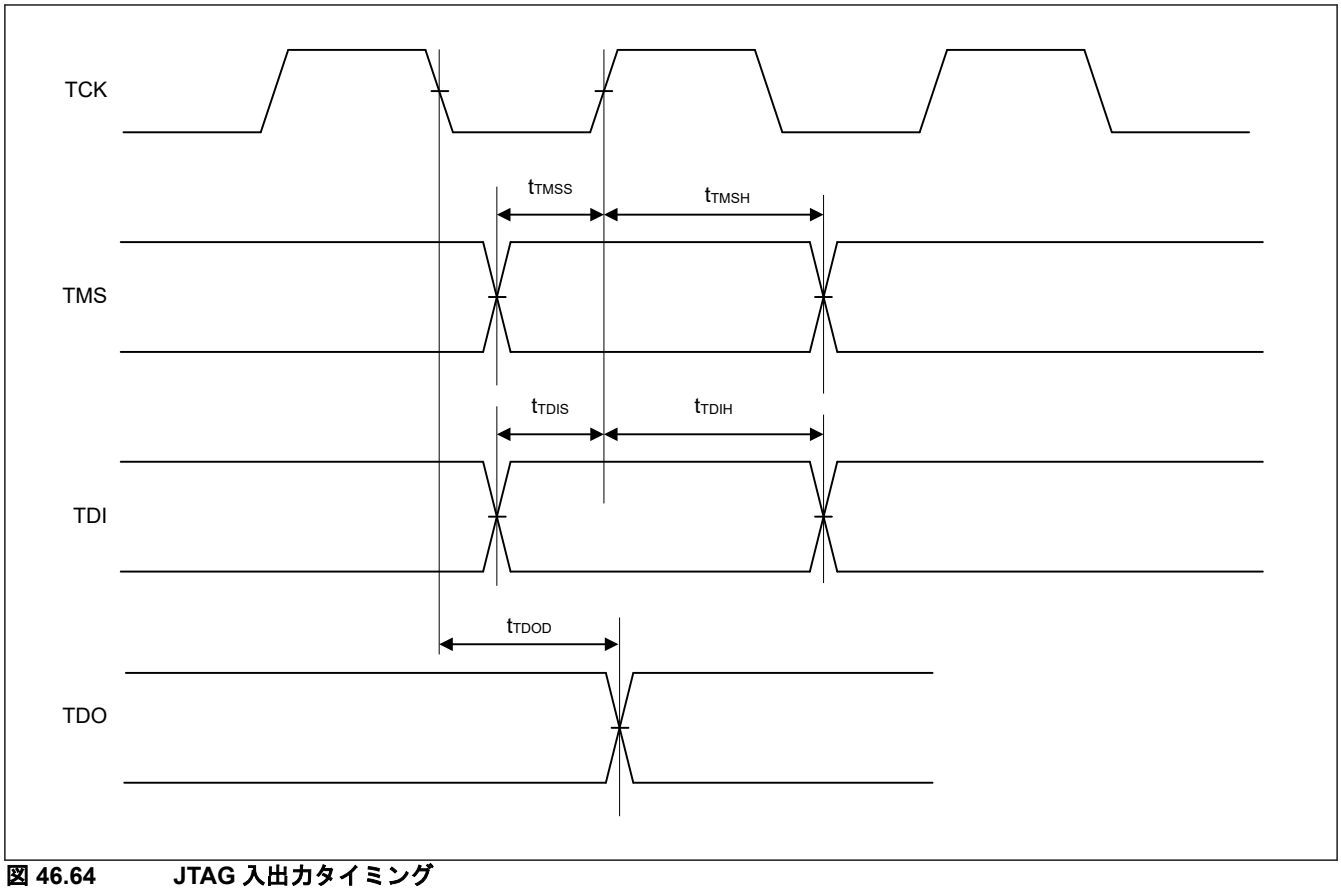


図 46.64　JTAG 入出力タイミング

46.14　シリアルワイヤデバッグ (SWD)

表 46.54　SWD

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	$t_{SWCKcyc}$	40	—	—	ns	図 46.65
SWCLK クロック High レベルパルス幅	t_{SWCKH}	15	—	—	ns	
SWCLK クロック Low レベルパルス幅	t_{SWCKL}	15	—	—	ns	
SWCLK クロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t_{SWDS}	8	—	—	ns	図 46.66
SWDIO ホールド時間	t_{SWDH}	8	—	—	ns	
SWDIO データ遅延時間	t_{SWDD}	2	—	28	ns	

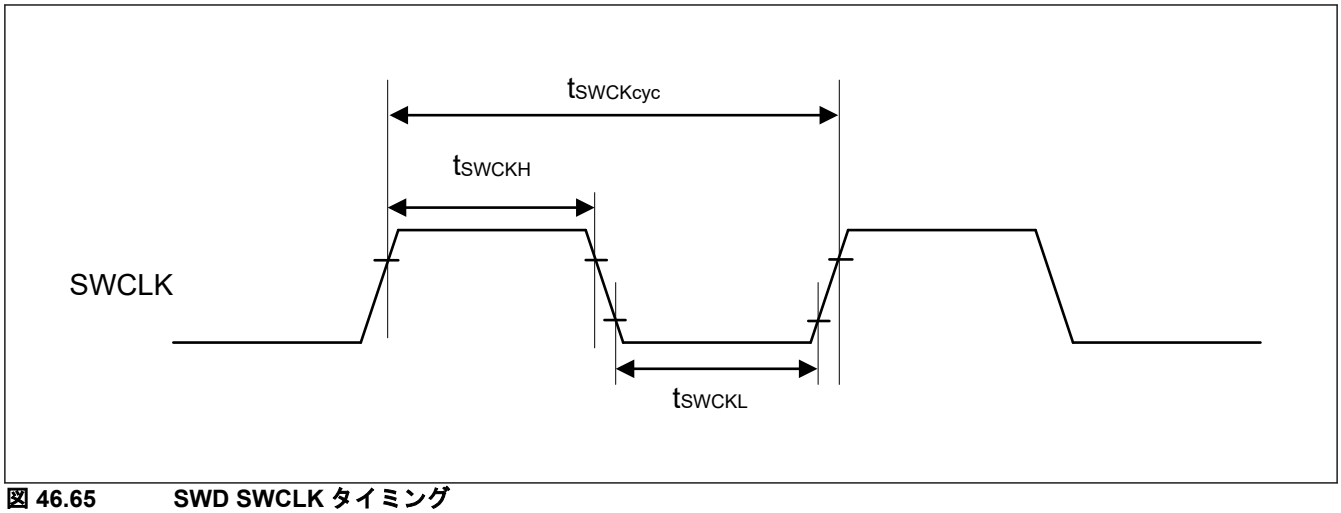


図 46.65 SWD SWCLK タイミング

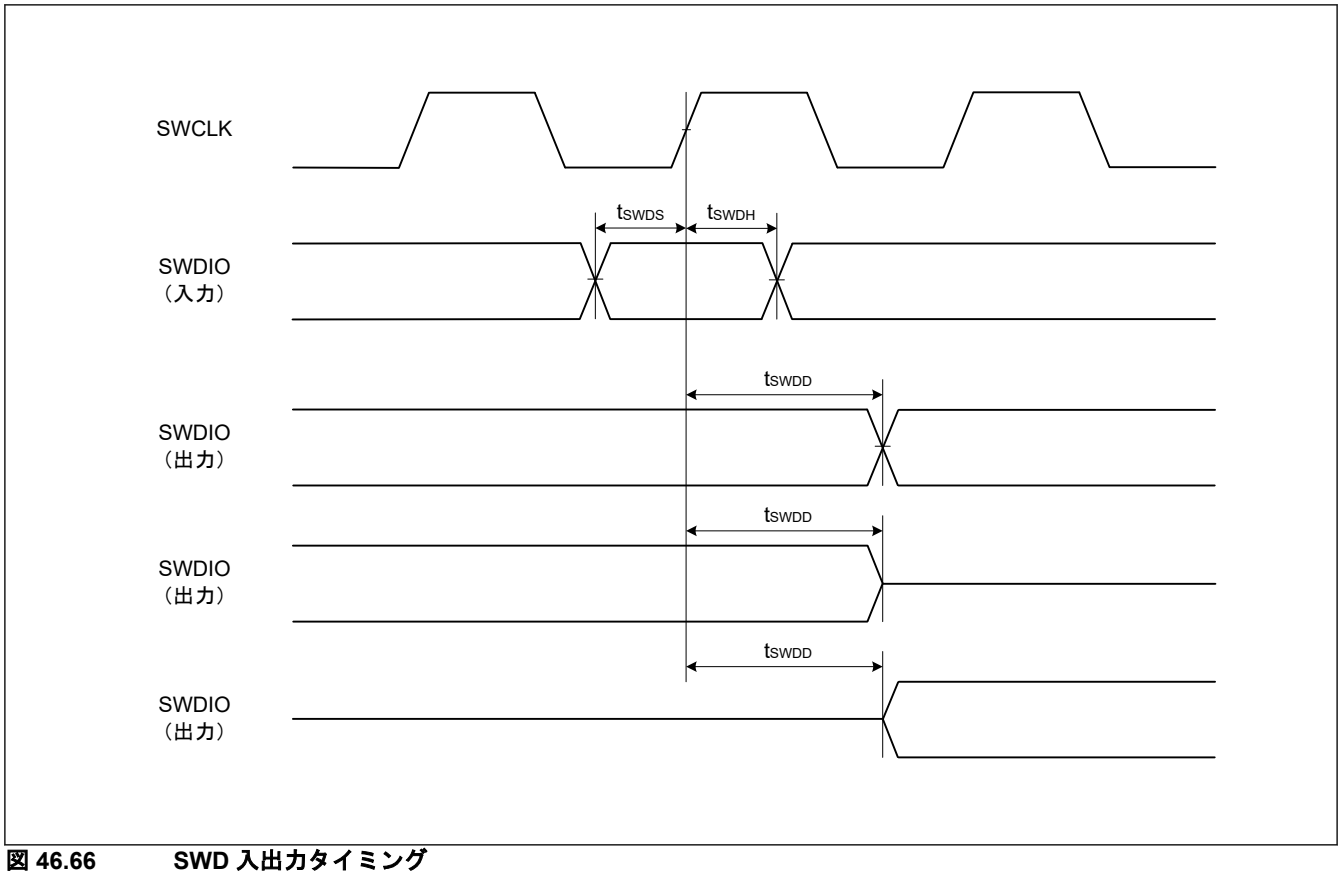


図 46.66 SWD 入出力タイミング

46.15 エンベデッドトレースマクロインタフェース (ETM)

表 46.55 ETM (1/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています。

項目	シンボル	Min	Typ	Max	単位	測定条件
TCLK クロックサイクル時間	$t_{TCLKcyc}$	16.7	—	—	ns	図 46.67
TCLK クロック High レベルパルス幅	t_{TCLKH}	7.35	—	—	ns	
TCLK クロック Low レベルパルス幅	t_{TCLKL}	7.35	—	—	ns	
TCLK クロック立ち上がり時間	t_{TCLKr}	—	—	1	ns	
TCLK クロック立ち下がり時間	t_{TCLKf}	—	—	1	ns	

表 46.55 ETM (2/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています。

項目	シンボル	Min	Typ	Max	単位	測定条件
TDATA[3:0]出力セットアップ時間	t_{TRDS}	2.5	—	—	ns	図 46.68
TDATA[3:0]出力ホールド時間	t_{TRDH}	1.5	—	—	ns	

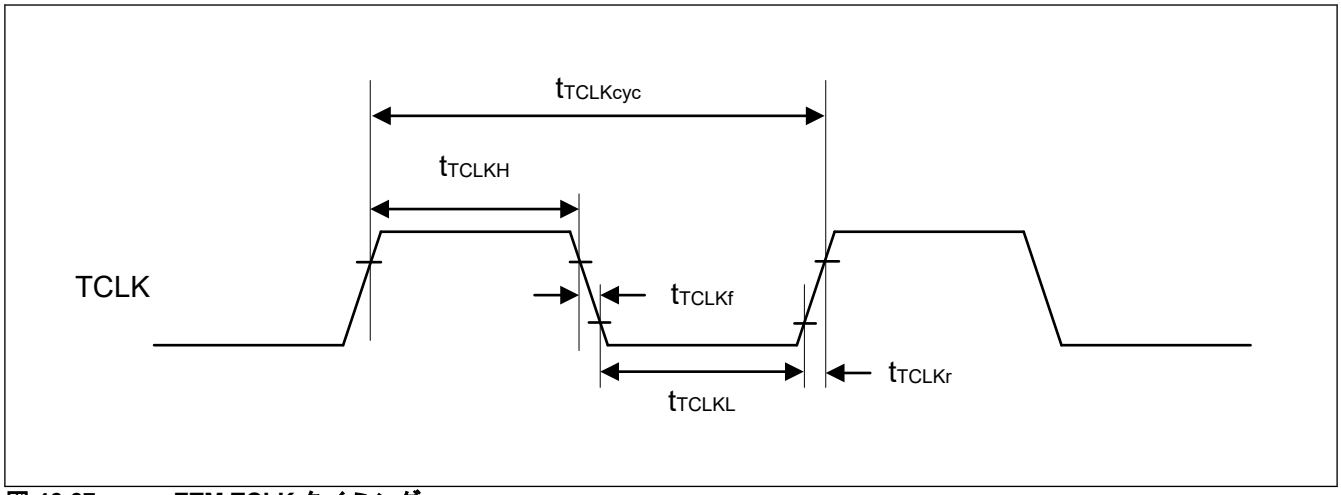


図 46.67 ETM TCLK タイミング

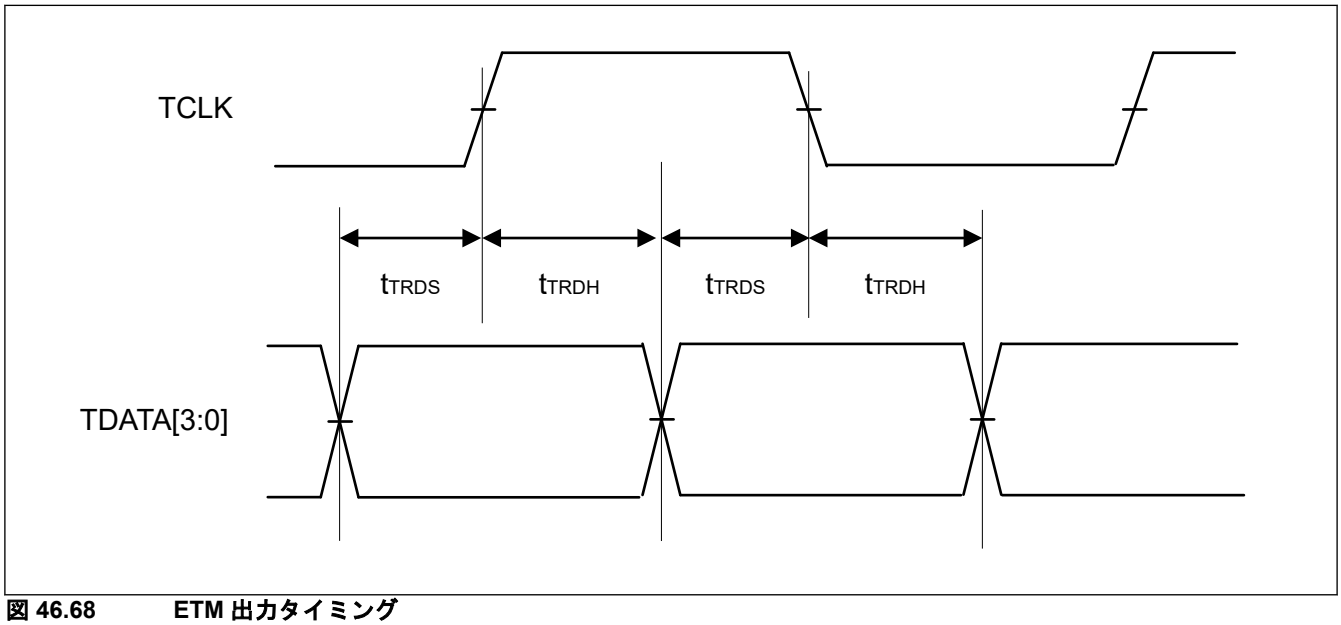


図 46.68 ETM 出力タイミング

付録 1. 各プロセスモードのポート状態

機能	端子機能	リセット	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード解除後（スタートアップモードに復帰）	
					IOKEEP = 0	IOKEEP = 1(注1)
モード	MD	Pull-up	Keep-O	Keep	Hi-Z	Keep
JTAG	TCK/TMS/TDI	Pull-up	Keep-O	Keep	Hi-Z	Keep
	TDO	TDO 出力	Keep-O	Keep	TDO 出力	Keep
Trace	TCLK/TDATAx	Hi-Z	Keep-O	Keep	Hi-Z	Keep
IRQ	IRQx	Hi-Z	Keep-O(注2)	Keep	Hi-Z	Keep
	IRQx-DS	Hi-Z	Keep-O(注2)	Keep(注3)	Hi-Z	Keep
KINT	KRxx	Hi-Z	Keep-O(注2)	Keep	Hi-Z	Keep
AGT	AGTIOn	Hi-Z	Keep-O(注2)	Keep	Hi-Z	Keep
IIC	SCLn/SDAn	Hi-Z	Keep-O(注2)	Keep	Hi-Z	Keep
CLKOUT	CLKOUT	Hi-Z	[CLKOUT 選択] CLKOUT 出力	Keep	Hi-Z	Keep
ACMPHS	VCOUT、CMPOUTm、CMPOUT012	Hi-Z	Hi-Z (Keep-O)	Hi-Z (Keep-O)	Hi-Z	Keep
	IVREFn	Hi-Z	Hi-Z (Keep-O)	Hi-Z (Keep-O)	Hi-Z	Hi-Z
	IVCMPmn	Hi-Z	Hi-Z (Keep-O)	Hi-Z (Keep-O)	Hi-Z	Hi-Z
DAC12	DAn	Hi-Z	[DAn 出力（DAOE = 1)] D/A 出力保持	Keep	Hi-Z	Keep
ADC	ANxxx	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
	PGAINn	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
	PGAVSSn	Pull-up(注4)	Pull-up(注5) / Keep	Pull-up(注5) / Keep	Pull-up(注5) / Keep	Pull-up(注5) / Keep
	PGAOUTn	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
その他	—	Hi-Z	Keep-O	Keep	Hi-Z	Keep

注. H：High レベル
L: Low レベル
Hi-Z：ハイインピーダンス
Keep-O：出力端子は前の値を保持します。入力端子はハイインピーダンスになります。
Keep：ソフトウェアスタンバイモード期間中、端子状態は保持されます。

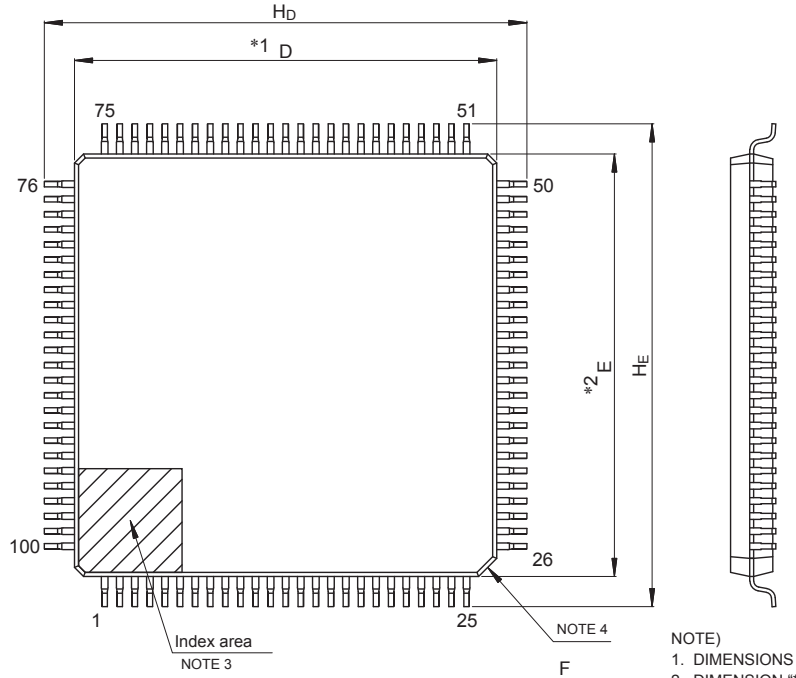
注 1. DPSBYCR.IOKEEP ビットが 0 になるまで、I/O ポートの状態が保持されます。
注 2. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイのキャンセル要因に指定されている場合、入力が許可されます。
注 3. 端子がディープソフトウェアスタンバイのキャンセル要因に指定された場合、入力が許可されます
注 4. 負電位入力から回路を保護するために組み込みの Pull-up はオンになります。
注 5. PGA の有効／無効にかかわらず、PGA が疑似差動入力モードの場合、負電位入力から回路を保護するために組み込みの Pull-up はオンになります。組み込みの Pull-up をオフにするには、PGA の疑似差動入力モードをオフに設定し、シングルモードに設定します。

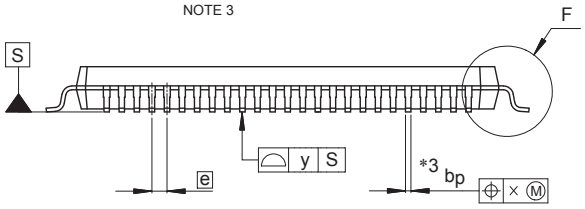
付録 2. 外形寸法図

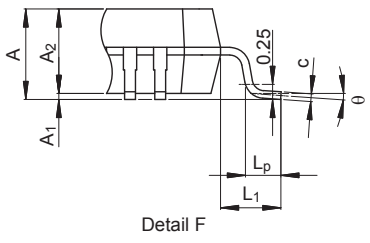
外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクス Web サイトの「パッケージ」に掲載されています。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6

Unit: mm







NOTE)
1. DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
2. DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

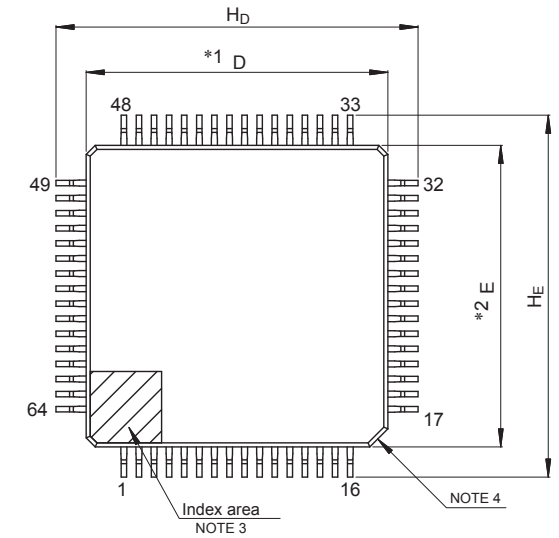
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

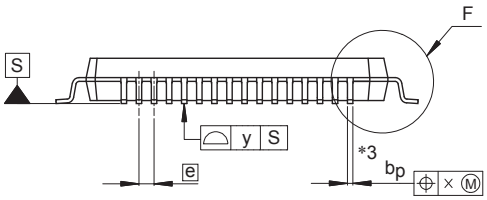
© 2015 Renesas Electronics Corporation. All rights reserved.

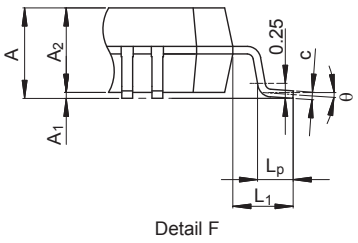
図 2.1 LQFP 100 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm







Detail F

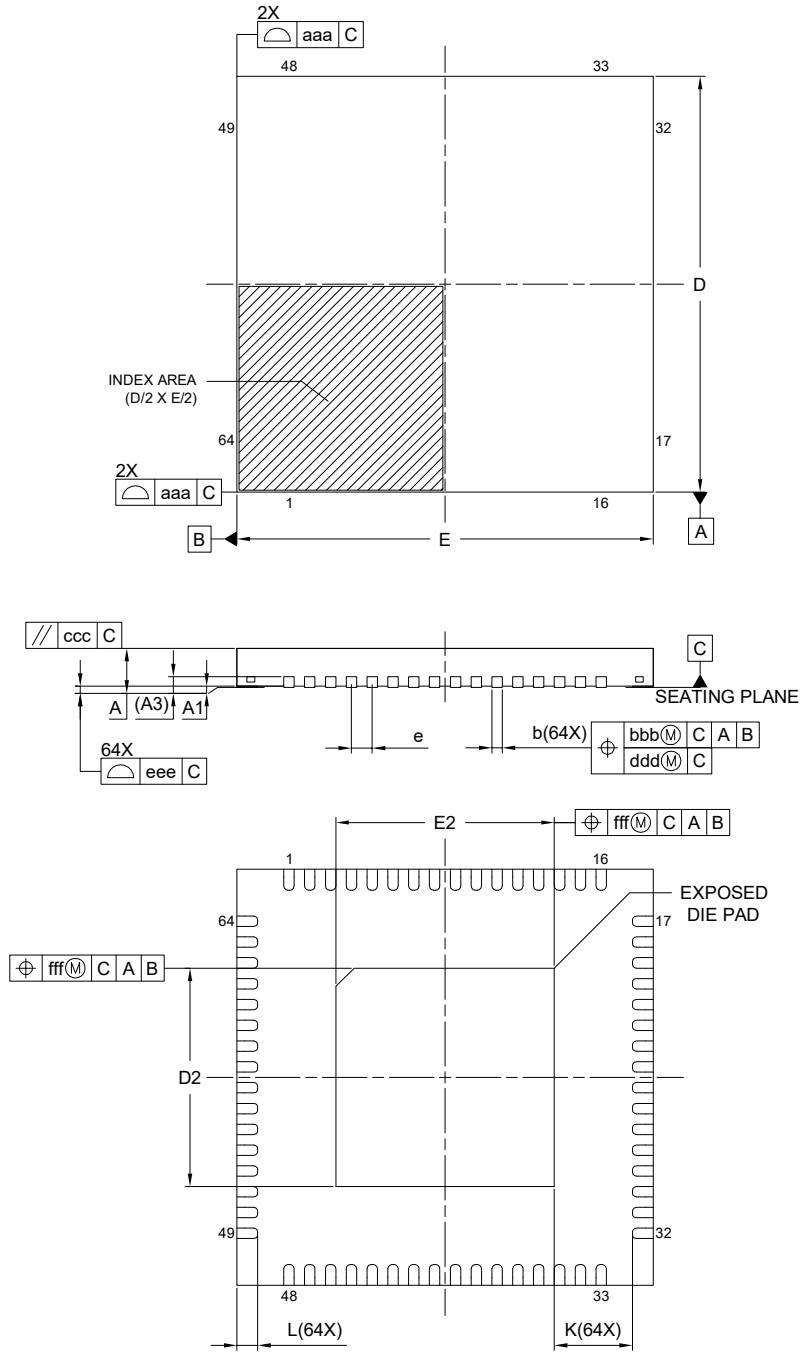
NOTE)
1. DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
2. DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A_2	—	1.4	—
H_D	11.8	12.0	12.2
H_E	11.8	12.0	12.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

図 2.2 LQFP 64 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN064-8x8-0.40	PWQN0064LB-A	0.18

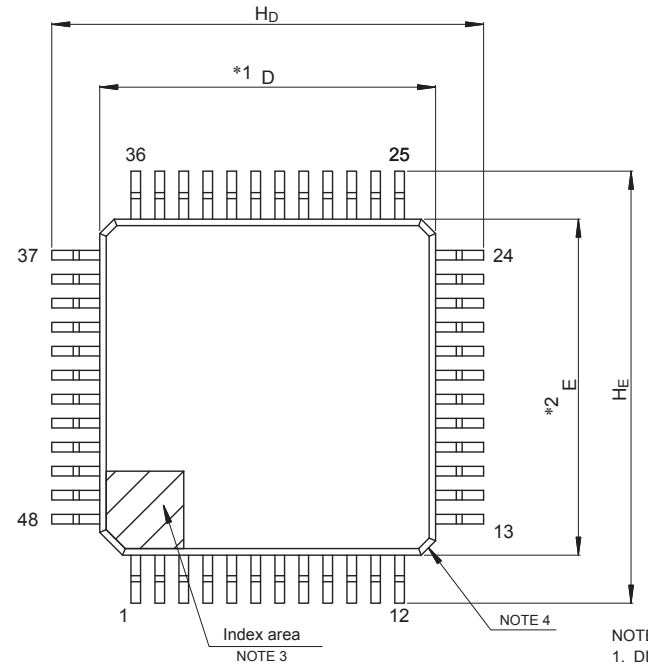


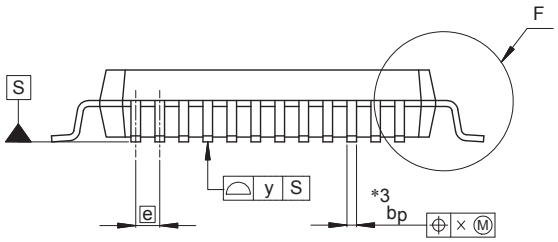
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3		0.203 REF.	
b	0.15	0.20	0.25
D		8.00 BSC	
E		8.00 BSC	
e		0.40 BSC	
L	0.35	0.40	0.45
K	0.20	—	—
D_2	4.15	4.20	4.25
E_2	4.15	4.20	4.25
aaa		0.10	
bbb		0.07	
ccc		0.10	
ddd		0.05	
eee		0.08	
fff		0.10	

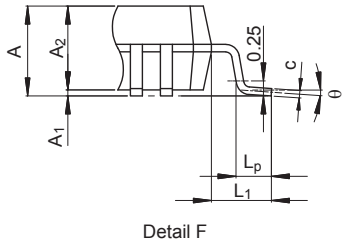
図 2.3 QFN 64 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2

Unit: mm







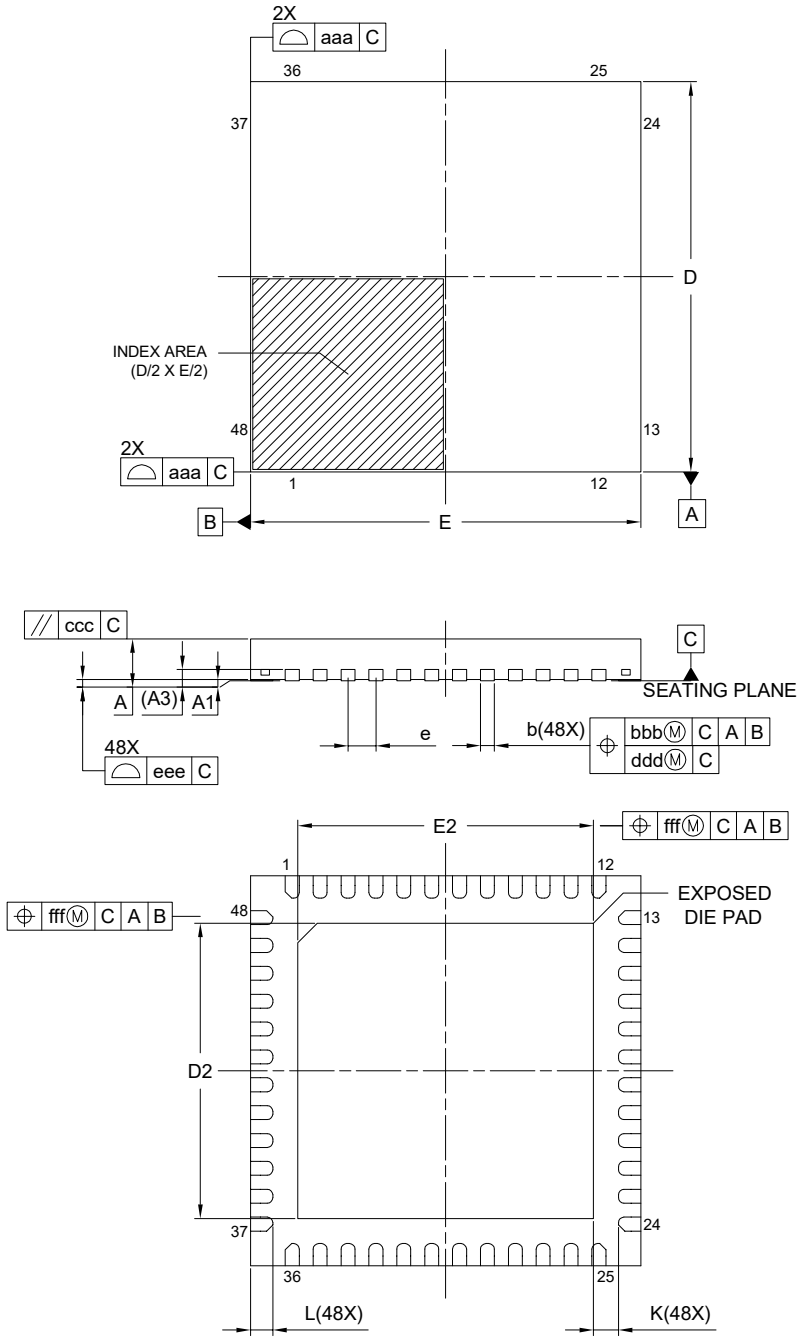
Detail F

NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A_2	—	1.4	—
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

図 2.4 LQFP 48 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3		0.203 REF.	
b	0.20	0.25	0.30
D		7.00 BSC	
E		7.00 BSC	
e		0.50 BSC	
L	0.30	0.40	0.50
K	0.20	—	—
D_2	5.25	5.30	5.35
E_2	5.25	5.30	5.35
aaa		0.15	
bbb		0.10	
ccc		0.10	
ddd		0.05	
eee		0.08	
fff		0.10	

図 2.5 QFN 48 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクルについて機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。表 3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 3.1 周辺機能のベースアドレス (1/3)

名称	説明	ベースアドレス
RMPU	ルネサスメモリプロテクションユニット	0x4000_0000
TZF	TrustZone フィルタ	0x4000_0E00
SRAM	SRAM 制御	0x4000_2000
BUS	バス制御	0x4000_3000
DMAC0	ダイレクトメモリアクセスコントローラ 0	0x4000_5000
DMAC1	ダイレクトメモリアクセスコントローラ 1	0x4000_5040
DMAC2	ダイレクトメモリアクセスコントローラ 2	0x4000_5080
DMAC3	ダイレクトメモリアクセスコントローラ 3	0x4000_50C0
DMAC4	ダイレクトメモリアクセスコントローラ 4	0x4000_5100
DMAC5	ダイレクトメモリアクセスコントローラ 5	0x4000_5140
DMAC6	ダイレクトメモリアクセスコントローラ 6	0x4000_5180
DMAC7	ダイレクトメモリアクセスコントローラ 7	0x4000_51C0
DMA	DMAC モジュール起動	0x4000_5200
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラ	0x4000_6000
CACHE	キャッシュ	0x4000_7000
CPSCU	CPU システムセキュリティコントロールユニット	0x4000_8000
DBG	デバッグ機能	0x4001_B000
FCACHE	フラッシュキャッシュ	0x4001_C100
SYSC	システム制御	0x4001_E000
PORT0	ポート 0 コントロールレジスタ	0x4001_F000
PORT2	ポート 2 コントロールレジスタ	0x4001_F040
PORTA	ポート A コントロールレジスタ	0x4001_F140
PORTB	ポート B コントロールレジスタ	0x4001_F160
PORTC	ポート C コントロールレジスタ	0x4001_F180
PORTD	ポート D コントロールレジスタ	0x4001_F1A0
PORTE	ポート E コントロールレジスタ	0x4001_F1C0
PFS_B	Pmn 端子機能コントロールレジスタ	0x4001_F800
IIRFA	IIR フィルタアクセラレータ	0x4002_0000
TFU	三角関数ユニット	0x4002_1000
ELC_B	イベントリンクコントローラ	0x4008_2000
IWDT	独立ウォッチドッグタイマ	0x4008_3200
WDT	ウォッチドッグタイマ	0x4008_3400
CAC	クロック周波数精度測定回路	0x4008_3600
MSTP	モジュールストップコントロール A、B、C、D、E	0x4008_4000

表 3.1 周辺機能のベースアドレス (2/3)

名称	説明	ベースアドレス
KINT	キー割り込み機能	0x4008_5000
POEG	GPT 用のポートアウトプットイネーブル	0x4008_A000
CANFD_B	CANFD モジュール制御	0x400B_0000
PSCU	ペリフェラルセキュリティ制御ユニット	0x400E_0000
AGTW_B0	非同期汎用タイマ 0	0x400E_8000
AGTW_B1	非同期汎用タイマ 1	0x400E_8100
TSN	温度センサ	0x400F_3000
ACMPHS0	高速アナログコンパレータ	0x400F_4000
ACMPHS1	高速アナログコンパレータ	0x400F_4100
ACMPHS2	高速アナログコンパレータ	0x400F_4200
ACMPHS3	高速アナログコンパレータ	0x400F_4300
CRC	巡回冗長検査	0x4010_8000
DOC_B	データ演算回路	0x4010_9000
SCI_B0	シリアルコミュニケーションインタフェース 0	0x4011_8000
SCI_B1	シリアルコミュニケーションインタフェース 1	0x4011_8100
SCI_B2	シリアルコミュニケーションインタフェース 2	0x4011_8200
SCI_B3	シリアルコミュニケーションインタフェース 3	0x4011_8300
SCI_B4	シリアルコミュニケーションインタフェース 4	0x4011_8400
SCI_B9	シリアルコミュニケーションインタフェース 9	0x4011_8900
SPI_B0	シリアルペリフェラルインタフェース 0	0x4011_A000
SPI_B1	シリアルペリフェラルインタフェース 1	0x4011_A100
IIC_B0	I^2C0	0x4011_F000
IIC0WU_B	I^2C0 ウェイクアップユニット	0x4011_F098
IIC_B1	I^2C1	0x4011_F400
ECCMB	CANFD ECC モジュール	0x4012_F200
SCE5_B	セキュア暗号エンジン	0x4016_1000
GPT320	汎用 PWM タイマ 0	0x4016_9000
GPT321	汎用 PWM タイマ 1	0x4016_9100
GPT322	汎用 PWM タイマ 2	0x4016_9200
GPT323	汎用 PWM タイマ 3	0x4016_9300
GPT324	汎用 PWM タイマ 4	0x4016_9400
GPT325	汎用 PWM タイマ 5	0x4016_9500
GPT326	汎用 PWM タイマ 6	0x4016_9600
GPT327	汎用 PWM タイマ 7	0x4016_9700
GPT328	汎用 PWM タイマ 8	0x4016_9800
GPT329	汎用 PWM タイマ 9	0x4016_9900
GPT_OPS	出力相切り替えコントローラ	0x4016_9A00
GPT_GTCLK	汎用 PWM タイマ	0x4016_9B00
PDG	PWM 遅延生成	0x4016_A000
ADC_B	A/D コンバータ	0x4017_0000
DAC120	12 ビット D/A コンバータ	0x4017_2000

表 3.1 周辺機能のベースアドレス (3/3)

名称	説明	ベースアドレス
DAC121	12 ビット D/A コンバータ	0x4017_2100
FLAD	データフラッシュ	0x407F_C000
FACI	フラッシュアプリケーションコマンドインタフェース	0x407F_E000

注. 名称 = 周辺機能の名称
内容 = 周辺機能
ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。
- 書き込みアクセスのサイクル数は、非バッファラブル書き込みアクセスにより得られるサイクル数を示します。

注. CPU からのレジスタアクセスが、DMAC や DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 3.2 アクセスサイクル (1/3)

周辺モジュール	アドレス		アクセスサイクル数				サイクルの単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
RMPU, TZF, SRAM, BUS, DMACn, DMA, DTC, ICU	0x4000_0000	0x4000_6FFF	4	3	4	3	ICLK	ルネサスメモリプロテクションユニット、TrustZone フィルタ、SRAM コントロール、バスコントロール、ダイレクトメモリアクセスコントローラ n、DMAC モジュール起動、DTC コントロールレジスタ、割り込みコントローラ
キャッシュ	0x4000_7000	0x4000_7FFF	4	5	4	5	ICLK	キャッシュ
CPSCU, DBG, FCACHE	0x4000_8000	0x4001_CFFF	4	3	4	3	ICLK	CPU システムセキュリティコントロールユニット、デバッグ機能、フラッシュキャッシュ
SYSC	0x4001_E000	0x4001_E3FF	5	4	5	4	ICLK	システム制御
SYSC	0x4001_E400	0x4001_E5FF	9	8	5～8	5～8	PCLKB	システム制御
PORTn	0x4001_F000	0x4001_F7FF	5	3	5	3	ICLK	PORTn コントロールレジスタ 1/3/4
PORTn (PCNTR2)	0x4001_F000	0x4001_F7FF	8	3	8	3	ICLK	PORTn コントロールレジスタ 2
PFS	0x4001_F800	0x4001_FFFF	8	3	8	3	ICLK	Pmn 端子機能コントロールレジスタ

表 3.2 アクセスサイクル (2/3)

周辺モジュール	アドレス		アクセスサイクル数				サイクルの単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
IIRFA	0x4002_0000	0x4002_03FF	4	3	4	3	ICLK	IIR フィルタアクセラレータ
IIRFA	0x4002_0400	0x4002_0FFF	6	3	6	3	ICLK	IIR フィルタアクセラレータ
TFU	0x4002_1000	0x4002_1FFF	4	3	4	3	ICLK	三角関数ユニット
ELC	0x4008_2000	0x4008_2FFF	5	4	3～5	2～4	PCLKB	イベントリンクコントローラ
IWDT, WDT, CAC	0x4008_3000	0x4008_3FFF	5	4	3～5	2～4	PCLKB	独立ウォッチドッグタイマ、ウォッチドッグタイマ、クロック周波数精度測定回路
MSTP	0x4008_4000	0x4008_4FFF	5	4	2～4	2～4	PCLKB	モジュールストップ制御
KINT	0x4008_5000	0x4008_5FFF	4	3	1～4	1～3	PCLKB	キー割り込み機能
POEG	0x4008_A000	0x4008_AFFF	5	4	3～5	2～4	PCLKB	GPT 用のポートアウトプットイネーブル
CANFD	0x400B_0000	0x400C_1FFF	5	4	2～5	2～4	PCLKB	CANFD モジュール
PSCU	0x400E_0000	0x400E_0FFF	5	4	2～5	2～4	PCLKB	ペリフェラルセキュリティ制御ユニット
AGTn	0x400E_8000	0x400E_8FFF	7	4	4～7	2～4	PCLKB	非同期汎用タイマ n
TSN	0x400F_3000	0x400F_3FFF	5	4	2～5	2～4	PCLKB	温度センサ
ACMPHSn	0x400F_4000	0x400F_4FFF	4	3	1～3	1～3	PCLKB	高速アナログコンパレータ
CRC, DOC	0x4010_8000	0x4010_9FFF	5	4	2～5	2～4	PCLKA	巡回冗長検査、データ演算回路
SCIn	0x4011_8000	0x4011_8FFF	5	4	2～4	2～4	PCLKA	シリアルコミュニケーションインタフェース n
SPIn	0x4011_A000	0x4011_AFFF	5	4	2～5	2～4	PCLKA	シリアルペリフェラルインタフェース n
IICn	0x4011_F000	0x4011_FFFF	5	4	2～4	2～4	PCLKA	I^2Cn
CANFD ECC	0x4012_F200	0x4012_FFFF	5	4	2～5	2～4	PCLKA	CANFD ECC モジュール
SCE5	0x4016_1000	0x4016_1FFF	6	4	3～6	2～4	PCLKA	セキュア暗号エンジン
GPT32n, GPT_OPS（コアクロック = PCLKD）	0x4016_9000	0x4016_9FFF	8	5	5～8	3～5	PCLKA	汎用 PWM タイマ n、出力位相切り替えコントローラ
GPT32n, GPT_OPS（コアクロック = GPTCLK）	0x4016_9000	0x4016_9FFF	10	7	7～10	5～7	PCLKA	汎用 PWM タイマ n、出力位相切り替えコントローラ
GPT (GTCKCR)	0x4016_9B00	0x4016_9B00	5	4	2～4	2～4	PCLKA	GPT クロックコントロールレジスタ
PDG	0x4016_A000	0x4016_AFFF	4	3	1～3	1～3	PCLKA	PWM 遅延生成
ADC	0x4017_0000	0x4017_0FFF	5	4	2～5	2～4	PCLKA	A/D コンバータ
ADC	0x4017_1000	0x4017_1FFF	4	3	1～3	1～3	PCLKA	A/D コンバータ
DAC12n	0x4017_2000	0x4017_2FFF	5	4	2～4	2～4	PCLKA	12 ビット D/A コンバータ

表 3.2 アクセスサイクル (3/3)

周辺モジュール	アドレス		アクセスサイクル数				サイクルの単位	関連機能
			ICLK = FCLK		ICLK > FCLK(注1)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
FLAD, FACI	0x407F_C000	0x407F_EFFF	5	4	2～5	2～4	FCLK	データフラッシュ、フラッシュアプリケーションコマンドインタフェース

注 1. PCLK または FCLK サイクル数が整数ではない（たとえば 1.5）場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。たとえば、1.5～2.5 は 1～3 となります。

付録 4. モジュールバージョン

表 4.1 に、このマニュアルで使用されているモジュール名とモジュールバージョンとの関係を示します。

表 4.1 モジュール名 vs モジュールバージョン

モジュール名	モジュールバージョン
ELC	ELC_B
AGTW	AGTW_B
SCI	SCI_B
IIC	IIC_B
CANFD	CANFD_B
SPI	SPI_B
SCE5	SCE5_B
ADC	ADC_B
DOC	DOC_B

改訂履歴

Revision 1.10 — 2021 年 12 月 9 日

初版発行

Revision 1.20 — 2022 年 3 月 31 日

1. 概要：
- 表 1.12 のパッケージコードを変更
- 表 1.13 の ACMPHS の数を変更
- 表 1.14 の KINT の説明を変更

8. クロック発生回路：
- CANFDCKDIVCR.CANFDCKDIV[2:0]ビットの機能を変更
- 8.6.1 システムクロック (ICLK) の ICLK の説明を変更

10. 低消費電力モード：
- 表 10.1 の電力制御モードの内容を変更
- 10.2.7 MSTPCRD の MSTPCRD.MSTPD11～MSTPD14 の機能を変更

12. 割り込みコントローラユニット (ICU):
- 12.2.17 WUPEN0 の不要な説明を削除
- 表 12.4 の IIRFA のイベント番号を変更

13. バス：
- 図 13.3 の PSBIU 関連情報の変更
- 13.4.2 バスエラー発生時の動作でスレーブ TZF エラーの説明を変更
- 13.6.2.1 CSAR : キャッシュセキュリティ属性レジスタでセキュアアクセスの説明を追加

15. DMA コントローラ (DMAC):
- 表 15.4 でビット名を SM から DM に変更

19. キー割り込み機能 (KINT):
- 19.3.2 キー割り込みフラグを使用する場合の動作 (KRCTL.KRMD = 1) の説明を変更

21. 汎用 PWM タイマ (GPT):
- 21.2.14 GTIOR の GTIOR.OADF[1:0]ビットと OBDF[1:0]ビットの説明を変更

23. 非同期汎用タイマ (AGTW):
- 23.2.6 AGTMR2 の AGTMR2.LPM ビットの説明を書き込みから読み出しに変更

26. シリアルコミュニケーションインタフェース (SCI):
- 26.2.3 TDR で TDR.TDAT[8:0]ビットの説明を受信から送信に変更
- 図 26.48 SCI の初期化フロー（マンチェスタモード）で説明[7]のビット名を変更
- 26.20.11 送信許可ビット (CCR0.TE) に関する注意事項でレジスタ名を SCR から CCR0 に変更
- 26.20.11 送信許可ビット (CCR0.TE) に関する注意事項で不要な文言「入力ポートまたは」を削除

27. I^2C バスインタフェース (IIC):
- ベースアドレスを変更
- 表 27.10 に DTC/DMAC の起動の列を追加
- 参照する図番号を図 1.41、1.42 から図 27.8、27.9 に変更

28. CAN フレキシブルデータレート (CANFD):
- モード名を Classical-only モードからクラシカル CAN モードに変更
- 表 28.1 で動作周波数／周辺クロックを変更
- 28.2.8 CFDC0FDCFG で CFDC0FDCFG.CLOE ビットのリセット後の値を変更

30. シリアルペリフェラルインタフェース (SPI):
- RSPI を SPI に変更
- 図 30.66 を変更
- 割り込み信号名 SPRI を SPIi_SPRI に、SPEI を SPIi_SPEI に変更
- 図 30.65 でビット名 SPSCLR.SPRFC を SPSRC.SPRFC に変更

32. 三角関数ユニット (TFU):
- hypot_k、atan、および atanhypot_k の説明を追加

33. IIR フィルタアクセラレータ (IIRFA):
- 33.3.5.2 チャネル処理の実行手順の出力データ読み出し手順の不要な説明を削除

Revision 1.20 — 2022 年 3 月 31 日

36. 12 ビット A/D コンバータ (ADC):
- 表 36.1 の割り込み要因の説明で「未満」を「以下」に変更
- 36.2.3.2 ADDOPCRAn の ADDOPCRAn.OFSETSEL[3:0]ビットの説明でオフセットをゲインに変更
- 36.2.5.5 ADPGACRn の ADPGACRn.PGASEL1 ビットの説明で送信をアンプ出力に変更
- 36.2.5.5 ADPGACRn に PGAGAIN[3:0]ビットの説明を追加
- 36.2.8.5 ADCMPMDR1 のビット仕様表の説明で「超えた」を「以上」に、「未満」を「以下」に変更
- 36.2.11.3 ADFIFOINTLR0～36.2.11.7 ADFIFOINTLR4 のビット機能の説明で「下回る」を「以下」に変更
- 36.3.3 仮想チャネルで不要な説明を削除
- 図 36.7、36.12、36.13、36.17、36.34、36.35 でスキャン終了処理時間を削除
- 36.3.10 内部基準電圧の内部基準電圧の説明で「and」を「or」に変更
- 36.3.16 グループ優先動作でグループ番号を 8 から n に変更
- 36.3.16.2 連続スキャンモードでのグループ優先動作で説明にグループ B を追加
- 36.3.16.3 グループ優先動作に関する制限の動作モードの制限に関する説明で「3 より多い」を「3 以上」に変更
- 36.4.9.1 FIFO から A/D 変換データを読み出す場合の動作で「読み出す」を「書き込む」に変更
- 表 36.30、表 36.33、36.10.11 A/D 変換開始トリガに関する注意事項でビット名を SCANENDFn から SCENDFn に変更
- 図 36.36 で tADCH を削除
- 36.10.7 PGA が接続されたアナログチャネルを使用する際の注意事項に PGA 設定の説明を追加
- 36.10.15 サンプリング時間の見積もりを追加

39. 高速アナログコンパレータ (ACMPHS):
- 39.5 ACMPHS 割り込みで割り込み数を 3 から 4 に変更

43. フラッシュメモリ：
- FSTATR.SECERR の R/W 属性を変更
- 43.16.3 アクセスサイクルの説明を変更

46. 電気的特性：
- 表 46.7 のリファレンス電源電流から DAC12 を削除
- 表 46.11 のパッケージコードを変更
- 表 46.35 にパラメーターを追加
- 表 46.35 のフルスケール誤差の値を変更
- 表 46.35 の DNL 誤差から「擬」を削除

付録 2. 外形寸法図：
- 図 2.3 と図 2.5 を変更

付録 3. I/O レジスタ：
- IIC0WU_B のベースアドレスを変更
- GPT320～GPT329 のモジュール名を変更

Revision 1.30 — 2022 年 8 月 26 日

特長：
- 特長を更新

1. 概要：
- 表 1.3 システムを更新
- 表 1.8 アナログ機能を更新
- 表 1.10 データ処理アクセラレータを更新

7. 低電圧検出回路 (LVD):
- 7.2.2 LVD1CMPCR : 電圧監視 1 コンパレータコントロールレジスタと 7.2.3 LVD2CMPCR : 電圧監視 2 コンパレータコントロールレジスタを更新

10. 低消費電力モード：
- 表 10.2 各低消費電力モードの動作状態と表 10.3 スヌーズモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードを解除するための割り込み要因を更新
- 10.2.11 SNZEDCR0 : スヌーズ終了コントロールレジスタ 0 を更新
- 10.8.3 スヌーズモードからソフトウェアスタンバイモードへの復帰を更新
- 10.10.12 スヌーズモードにおける A/D 変換開始条件を削除
- 10.10.13 スヌーズモードにおける ELC イベントを更新

12. 割り込みコントローラユニット (ICU):
- 表 12.4 イベントテーブルを更新

15. DMA コントローラ (DMAC):
- 図 15.1 DMAC のブロック図を更新

16. データ トランスファコントローラ (DTC):
- 図 16.1 DTC のブロック図を更新

Revision 1.30 — 2022 年 8 月 26 日

17. イベントリンクコントローラ (ELC):
- 表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応を更新

21. 汎用 PWM タイマ (GPT):
- 21.2.46 OPSCR : 出力相切り替えコントロールレジスタを更新

23. 非同期汎用タイマ (AGTW):
- 表 23.9 ソフトウェアスタンバイモードで使用可能な AGTW0 の設定と表 23.10 ソフトウェアスタンバイモードで使用可能な AGTW1 の設定を更新

24. ウォッチドッグタイマ (WDT):
- 24.2.5 WDTCSTPR : WDT カウント停止コントロールレジスタを更新
- 表 24.5 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係を更新

27. I^2C バスインタフェース (IIC):
- 表 27.1 I^2C の仕様を更新
- 27.2.27 BCST : バス状態ステータスレジスタを更新

30. シリアルペリフェラルインタフェース (SPI):
- 図 30.46 通信終了割り込みの動作例（イネーブル制御）に注を追加
- 30.3.10 エラー検出を更新
- 図 30.52 OVRF フラグおよび PERF フラグの動作例を更新
- 30.3.10.3 モードフォルトエラーを更新
- 30.4.3 モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーまたは受信データレディイベント出力を更新

31. 巡回冗長検査 (CRC):
- 31.3.2 CRC スヌープ機能を更新

32. 三角関数ユニット (TFU):
- 32.3.1 演算処理を更新

35. セキュア暗号エンジン (SCE5):
- 35.3.1 ソフトウェアスタンバイモードを更新

Revision 1.30 — 2022 年 8 月 26 日

36. A/D コンバータ：
- 36.1 概要を更新
- 36.2.1.8 ADMDR : A/D コンバータモード選択レジスタを更新
- 36.2.2.1 ADGSPCR : A/D グループスキャン優先コントロールレジスタを更新
- 36.2.3.1 ADCHCRn : A/D 変換チャネル設定レジスタ n (n = 0～36)、36.2.3.2 ADDOPCRAn : A/D 変換データ演算コントロール A レジスタ n (n = 0～36)、36.2.3.3 ADDOPCRBn : A/D 変換データ演算コントロール B レジスタ n (n = 0～36)、36.2.3.4 ADDOPCRCn : A/D 変換データ演算コントロール C レジスタ n (n = 0～36) を更新
- 36.2.5.1 ADSHCR0 : チャネル専用サンプル&ホールド回路コントロールレジスタ 0 と 36.2.5.2 ADSHCR1 : チャネル専用サンプル&ホールド回路コントロールレジスタ 1 を更新
- 36.2.6 デジタルフィルタと 36.2.6.1 ADDFSRn : A/D コンバータデジタルフィルタ選択レジスタ n (n = 0, 1) を追加
- 36.2.9.12 ADCMPEXSCR : 拡張アナログコンペアマッチステータスクリアレジスタを更新
- 36.2.11.10 ADOVFCHSR0 : A/D 変換オーバーフローチャネルステータスレジスタ 0 を更新
- 36.3.2 A/D コンバータ動作モード、36.3.2.1 SAR モード、36.3.2.2 オーバーサンプリングモード、36.3.2.3 ハイブリッドモードを追加
- 36.3.3 シングルエンド入力と差動入力を追加
- 36.3.6 スキャングループを更新
- 36.3.7 スキャン動作説明、36.3.7.1 SAR モード（シングルスキャンモード）、36.3.7.2 SAR モード（連続スキャンモード）を更新
- 36.3.7.3 オーバーサンプリングモード（シングルスキャンモード）、 36.3.7.4 オーバーサンプリングモード（連続スキャンモード）、36.3.7.5 ハイブリッドモード（シングルスキャンモード）、36.3.7.6 ハイブリッドモード（連続スキャンモード）、36.3.7.7 ハイブリッドモード（バックグラウンド連続スキャンモード）を追加
- 表 36.14 自己校正を実行する必要がある状態一覧を更新
- 表 36.15 自己校正手順を更新
- 36.3.8.3 自己校正に関する制限を更新
- 36.3.11.1 自己診断を更新
- 36.3.11.2 自己診断モードを追加
- 36.3.15.1 PGA の設定と動作を更新
- 表 36.19 PGA 設定と使用可能な関連機能を更新
- 36.3.16 チャネル専用サンプル&ホールド回路、36.3.16.1 チャネル専用サンプル&ホールド回路の構成、36.3.16.2 SAR モードでのチャネル専用サンプル&ホールド回路の動作、36.3.16.4 チャネル専用サンプル&ホールド回路に関する制限を更新
- 36.3.16.3 ハイブリッドモードでのチャネル専用サンプル&ホールド回路の動作を追加
- 表 36.32 グループ優先動作を使用できる条件と対応するレジスタ設定を更新
- 36.3.18.1 SAR モード（シングルスキャンモード）でのグループ優先動作、36.3.18.2 SAR モード（連続スキャンモード）でのグループ優先動作、36.3.18.3 グループ優先動作に関する制限を更新
- 36.3.19.1 同期動作例と 36.3.19.2 同期動作に関する制限を更新
- 36.4.1 内部データ処理手順を更新
- 36.4.2 デジタルフィルタ機能、36.4.2.1 設定と特性、36.4.2.2 デジタルフィルタ機能の動作を追加
- 36.4.3 校正と補正を更新
- 図 36.33 ユーザーゲイン補正（16 ビットデータ長フォーマットおよび符号なしデータフォーマット）の図のタイトルを更新
- 図 36.34 ユーザーゲイン補正（16 ビットデータ長フォーマットおよび符号付きデータフォーマット）を追加
- 図 36.35 ユーザーオフセット補正（16 ビットデータ長フォーマットおよび符号なしデータフォーマット）の図のタイトルを更新
- 図 36.36 ユーザーオフセット補正（16 ビットデータ長フォーマットおよび符号付きデータフォーマット）を追加
- 36.4.4 A/D 変換値加算／平均機能、36.4.5 リミッタークリップ機能、36.4.6 データフォーマット処理を更新
- 36.4.6.1 符号付き／符号なしデータ処理、36.4.6.2 データの丸め処理を追加
- 36.4.7 データフォーマットを更新
- 表 36.47 複合コンペアマッチとコントロールレジスタを更新
- 図 36.50 FIFO のブロック図を更新
- 36.4.10.3 FIFO データ読み出し要求とオーバーフローを更新
- 36.6.2 A/D 変換オーバーフローを更新
- 表 36.52 ADCLK 設定変更手順を更新
- 表 36.53 A/D コンバータ設定の変更手順を更新
- 36.8 割り込み要因および ELC イベントを更新
- 表 36.56 A/D 変換処理時間を更新
- 図 36.51 スキャン開始処理時間を更新
- 図 36.52 A/D 変換処理時間（SAR モード）、図 36.53 A/D 変換処理時間（チャネル専用サンプル&ホールド回路使用時の SAR モード）を更新
- 図 36.54 A/D 変換処理時間（オーバーサンプリングモード）、図 36.55 A/D 変換処理時間（ハイブリッドモード）、図 36.56 A/D 変換処理時間（チャネル専用サンプル&ホールド回路使用時のハイブリッドモード）を追加
- 図 36.57 スキャン終了処理時間（SAR／オーバーサンプリング／ハイブリッドモード（シングルスキャンモード））と図 36.58 強制停止処理時間（SAR／オーバーサンプリング／ハイブリッドモード（シングルスキャンモード））を更新
- 36.10.3 A/D データレジスタに関する使用上の注意事項を更新
- 36.10.15 SAR モードに関する制限、36.10.16 オーバーサンプリングモードに関する制限、36.10.17 ハイブリッドモードに関する制限を追加
- 36.10.18 サンプリング時間の見積もりを更新

37. 12 ビット D/A コンバータ (DAC12):
- 37.2.5 DAASWCR : D/A アンプ安定ウェイトコントロールレジスタを更新

Revision 1.30 — 2022 年 8 月 26 日

41. SRAM:
- 41.2.2 PARIOAD : SRAM パリティエラー検出後動作レジスタを更新

45. セキュリティ機能：
- 45.4 キーインジェクションを更新

46. 電気的特性：
- 表 46.1 絶対最大定格の注 1 を更新
- 表 46.7 動作電流とスタンバイ電流を更新
- 46.4 A/D 変換特性を更新
- 表 46.45 PGA 特性（シングルエンド入力モード）を更新
- 表 46.46 PGA 特性（疑似差動入力モード）を更新

RA6T2 グループ ユーザーズマニュアル　ハードウェア編

発行年月日　Rev.1.30　Aug 26, 2022
　　Rev.1.20　Mar 31, 2022

発行　　ルネサスエレクトロニクス株式会社

32 ビット MCU
RA6T2 グループ

ルネサス エレクトロニクス株式会社

R01UH0951JJ0130