RL78/F23, F24

安全機能

R01AN6624JJ0110
Rev.1.10
2023.12.31

要旨

本アプリケーションノートは、RL78/F23, RL78/F24 マイクロコントローラ（MCU）の安全機能について説明します。

対象デバイス

- RL78/F23, RL78/F24

目次

1. 安全機能の概要 3
2. フラッシュ・メモリ CRC 演算機能（高速 CRC） 4
2.1 高速 CRC 演算機能の概要 4
2.2 高速 CRC 演算機能のレジスタ 5
2.3 高速 CRC 演算機能のフロー・チャート 6
2.4 高速 CRC 演算機能の設定例 7
2.5 高速 CRC 演算機能を使用する際の注意事項 8
3. CRC 演算機能（汎用 CRC） 9
3.1 汎用 CRC 演算機能の概要 9
3.2 汎用 CRC 演算機能のレジスタ 9
3.3 汎用 CRC 演算機能のフロー・チャート 10
3.4 汎用 CRC 演算機能を使用する際の注意事項 11
4. 内部 RAM ECC 機能 12
4.1 内部 RAM ECC 機能の概要 12
4.2 内部 RAM ECC 機能のレジスタ 13
4.3 内部 RAM ECC 機能のフロー・チャート 15
4.4 ECC テスト・モード 16
4.5 内部 RAM ECC 機能を使用する際の注意事項 18
5. CAN-RAM ECC 機能（RL78/F24 のみ） 19
5.1 CAN-RAM ECC 機能の概要 19
5.2 CAN-RAM ECC 機能のレジスタ 20
5.3 CAN-RAM ECC 機能のフロー・チャート 24
5.4 CAN-RAM ECC 機能を使用する際の注意事項 25
6. コード・フラッシュ・メモリ ECC 機能 26
6.1 コード・フラッシュ・メモリ ECC 機能の概要 26
6.2 コード・フラッシュ・メモリ ECC 機能のレジスタ 26
6.3 コード・フラッシュ・メモリ ECC 機能のフロー・チャート 31
6.4 コード・フラッシュ・メモリ ECC 機能を使用する際の注意事項 32
7. CPU スタック・ポインタ・モニタ機能 33
7.1 CPU スタック・ポインタ・モニタ機能の概要 33
7.2 CPU スタック・ポインタ・モニタ機能のレジスタ 33
7.3 CPU スタック・ポインタ・モニタ機能のフロー・チャート 35
7.4 CPU スタック・ポインタ・モニタ機能の割り込み判定 36

7.5 CPU スタック・ポインタ・モニタ機能を使用する際の注意事項 36
8. クロック・モニタ機能 37
8.1 クロック・モニタ機能の概要 37
8.2 クロック・モニタ機能のレジスタ 37
8.3 クロック・モニタ機能のフロー・チャート 38
8.4 クロック・モニタ機能の割り込み判定処理 39
8.5 クロック・モニタ機能（セルフテスト・モード）のフロー・チャート 40
8.6 クロック・モニタ機能を使用する際の注意事項 41
9. RAM ガード機能 42
9.1 RAM ガード機能の概要 42
9.2 RAM ガード機能のレジスタ 42
9.3 RAM ガード機能のフロー・チャート 44
9.4 RAM ガード機能を使用する際の注意事項 44
10. SFR ガード機能 45
10.1 SFR ガード機能の概要 45
10.2 SFR ガード機能のレジスタ 45
10.3 SFR ガード機能のフロー・チャート 46
10.4 SFR ガード機能を使用する際の注意事項 46
11. 不正メモリ・アクセス検出機能 47
11.1 不正メモリ・アクセス検出機能の概要 47
11.2 不正メモリ・アクセス検出機能のレジスタ 48
11.3 不正メモリ・アクセス検出機能のフロー・チャート 48
11.4 不正メモリ・アクセス機能を使用する際の注意事項 48
12. 周波数検出機能 49
12.1 周波数検出機能の概要 49
12.2 周波数検出機能のレジスタ 50
12.3 周波数検出機能のフロー・チャート 51
13. A/D テスト機能 52
13.1 A/D テスト機能の概要 52
13.2 A/D テスト機能のレジスタ 53
13.3 A/D テスト機能（自己診断機能）のフロー・チャート 55
13.4 A/D テスト機能（断線検出機能）のフロー・チャート 55
13.5 A/D テスト機能を使用する際の注意事項 56
14. 入出力ポートのデジタル出力信号レベル検出機能 57
14.1 入出力ポートのデジタル出力信号レベル検出機能の概要 57
14.2 入出力ポートのデジタル出力信号レベル検出機能のレジスタ 57
14.3 入出力ポートのデジタル出力信号レベル検出機能のフロー・チャート 58
14.4 入出力ポートのデジタル出力信号レベル検出機能を使用する際の注意事項 58
15. ウォッチドッグ・タイマ機能 59
15.1 ウォッチドッグ・タイマ機能の概要 59
15.2 ウォッチドッグ・タイマ機能のレジスタ 59
15.3 ウォッチドッグ・タイマ機能のフロー・チャート 60
15.4 ウォッチドッグ・タイマ機能を使用する際の注意事項 61
15.5 ウィンドウ・オープン期間を 75%に設定した時の処理例 62
16. 参考資料 63
改訂記録 64

1. 安全機能の概要

RL78/F23, RL78/F24 MCU は、自己診断による故障検出を目的とした以下の安全機構を搭載しています。

(1) CRC 演算機能（高速 CRC、汎用 CRC）

高速 CRC 演算：CPU を停止（HALT モードに遷移）させて、コード・フラッシュ・メモリ領域全体を高速に検査する機能です。

汎用 CRC 演算：汎用 CRC は、コード・フラッシュ・メモリ領域に限らず、シリアル通信等、多用途のデータチェックに使用することができます。

(2) 内部 RAM ECC 機能

内部 RAM 読み出し時のデータ化け（ビット・エラー）の検出／訂正および割り込み通知を行う機能です。

(3) CAN-RAM ECC 機能

CAN-RAM の読み出し／書き込み時のデータ化け（ビット・エラー）の検出／訂正および割り込み通知を行う機能です。

(4) コード・フラッシュ・メモリ ECC 機能

コード・フラッシュ・メモリのデータ化け（ビット・エラー）の検出／訂正および割り込み通知を行う機能です。

(5) CPU スタック・ポインタ・モニタ機能

スタック・ポインタ（SP）のオーバフロー、アンダフローを検出し、割り込み通知を行う機能です。

(6) クロック・モニタ機能

低速オンチップ・オシレータ・クロック（f_{IL}）を使用してメイン・システム・クロック（f_{MAIN}）およびメイン／PLL 選択クロック（f_{MP}）の発振停止を検出し、リセットまたは割り込み通知を行う機能です。

(7) RAM ガード機能

ガード対象の RAM 領域に対して、CPU 暴走等による誤書き込みを防止する機能です。

(8) SFR ガード機能

SFR（ポート機能、割り込み機能、クロック制御機能、電圧検出回路制御のレジスタ）に対して、CPU 暴走等による誤書き込みを防止する機能です。

(9) 不正メモリ・アクセス検出機能

CPU 暴走等によるメモリ領域に対する不正なアクセスを検出し、リセットを行う機能です。

(10) 周波数検出機能

高速オンチップ・オシレータ・クロック（f_{IH}）、外付けの X1 発振クロック（f_{MX}）、および PLL クロック（f_{PLL}）のいずれかと、低速オンチップ・オシレータ・クロック（f_{IL}）を比較することで、クロックが異常な周波数で動作していることを検出する機能です。

(11) A/D テスト機能

A/D 変換のための自己診断機能、およびアナログポート入力に接続した配線の断線検出のためのプリチャージ機能とディスチャージ機能をサポートします。

(12) 入出力ポートのデジタル出力信号レベル検出機能

入出力ポートの出力ポートとして使用した時の端子出力レベル（High/Low）を読み出し、出力の異常を検出する機能です。

(13) ウォッチドッグ・タイマ機能

プログラムの暴走を検出し、CPU の内部リセット信号を発生させる機能です。

2. フラッシュ・メモリ CRC 演算機能（高速 CRC）

2.1 高速 CRC 演算機能の概要

高速 CRC 演算は、CPU を停止（HALT モードに遷移）させて、コード・フラッシュ・メモリ領域全体を高速に検査する機能です。予め用意しておいた CRC 演算期待値と高速 CRC 演算により算出した結果を比較することで、コード・フラッシュ・メモリの故障を検出することができます。

CRC 生成多項式は CRC-16-CCITT の「$X^{16}+X^{12}+X^{5}+1$」に対応しており、ビット 31 からビット 0 の MSB ファーストで演算を行います。

高速 CRC 演算中は CPU が停止するため、ユーザ・ソフトウェアを動作させることはできません。表 2-1 に示す高速 CRC 演算機能の処理時間を確認し、システムの仕様に合わせてご使用ください。

表 2-1 高速 CRC 演算機能の処理時間

高速 CRC 演算範囲 注	処理時間（f_{CLK}=40MHz）	レジスタ設定
16KB（00000H～03FFBH）	4095 クロック（約 102us）	CRC0CTL.FEA[5:0] = 000000B
32KB（00000H～07FFBH）	8191 クロック（約 205us）	CRC0CTL.FEA[5:0] = 000001B
48KB（00000H～0BFFBH）	12287 クロック（約 307us）	CRC0CTL.FEA[5:0] = 000010B
64KB（00000H～0FFFBH）	16383 クロック（約 410us）	CRC0CTL.FEA[5:0] = 000011B
80KB（00000H～13FFBH）	20479 クロック（約 512us）	CRC0CTL.FEA[5:0] = 000100B
96KB（00000H～17FFBH）	24575 クロック（約 614us）	CRC0CTL.FEA[5:0] = 000101B
112KB（00000H～1BFFBH）	28671 クロック（約 717us）	CRC0CTL.FEA[5:0] = 000110B
128KB（00000H～1FFFBH）	32767 クロック（約 819us）	CRC0CTL.FEA[5:0] = 000111B
144KB（00000H～23FFBH）	36863 クロック（約 922us）	CRC0CTL.FEA[5:0] = 001000B
160KB（00000H～27FFBH）	40959 クロック（約 1024us）	CRC0CTL.FEA[5:0] = 001001B
176KB（00000H～2BFFBH）	45055 クロック（約 1126us）	CRC0CTL.FEA[5:0] = 001010B
192KB（00000H～2FFFBH）	49151 クロック（約 1229us）	CRC0CTL.FEA[5:0] = 001011B
208KB（00000H～33FFBH）	53247 クロック（約 1331us）	CRC0CTL.FEA[5:0] = 001100B
224KB（00000H～37FFBH）	57343 クロック（約 1434us）	CRC0CTL.FEA[5:0] = 001101B
240KB（00000H～3BFFBH）	61439 クロック（約 1536us）	CRC0CTL.FEA[5:0] = 001110B
256KB（00000H～3FFFBH）	65535 クロック（約 1638us）	CRC0CTL.FEA[5:0] = 001111B

注 フラッシュ・メモリの最後の 4 バイト（例えば、16KB 選択の場合 003FFCH-003FFFH の領域）は、高速 CRC 演算の範囲に含みません。

2.2 高速 CRC 演算機能のレジスタ

高速 CRC 演算機能で使用するレジスタを以下に説明します。

(1) フラッシュ・メモリ CRC 制御レジスタ（CRC0CTL）

高速 CRC 演算器の動作制御と演算範囲の設定を行うレジスタです。1 ビット・メモリ操作命令（CRC0EN）または 8 ビット・メモリ操作命令でアクセスします。

アドレス：F02F0H　リセット時：00H　R/W

略号	<7>	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

ビット	説明
CRC0EN	0：高速 CRC 演算器動作停止 1：HALT 命令実行により高速 CRC 演算開始
FEA[5:0]	高速 CRC 演算範囲選択 注 000000B： 16KB　000001B： 32KB　000010B： 48KB　000011B： 64KB 000100B： 80KB　000101B： 96KB　000110B：112KB　000111B：128KB 001000B：144KB　001001B：160KB　001010B：176KB　001011B：192KB 001100B：208KB　001101B：224KB　001110B：240KB　001111B：256KB 上記以外：設定禁止

注　使用される製品のメモリ範囲内となるように設定してください。

(2) フラッシュ・メモリ CRC 演算結果レジスタ（PGCRCL）

高速 CRC 演算結果を格納するレジスタです。16 ビット・メモリ操作命令でアクセスします。

アドレス：F02F2H　リセット時：0000H　R/W

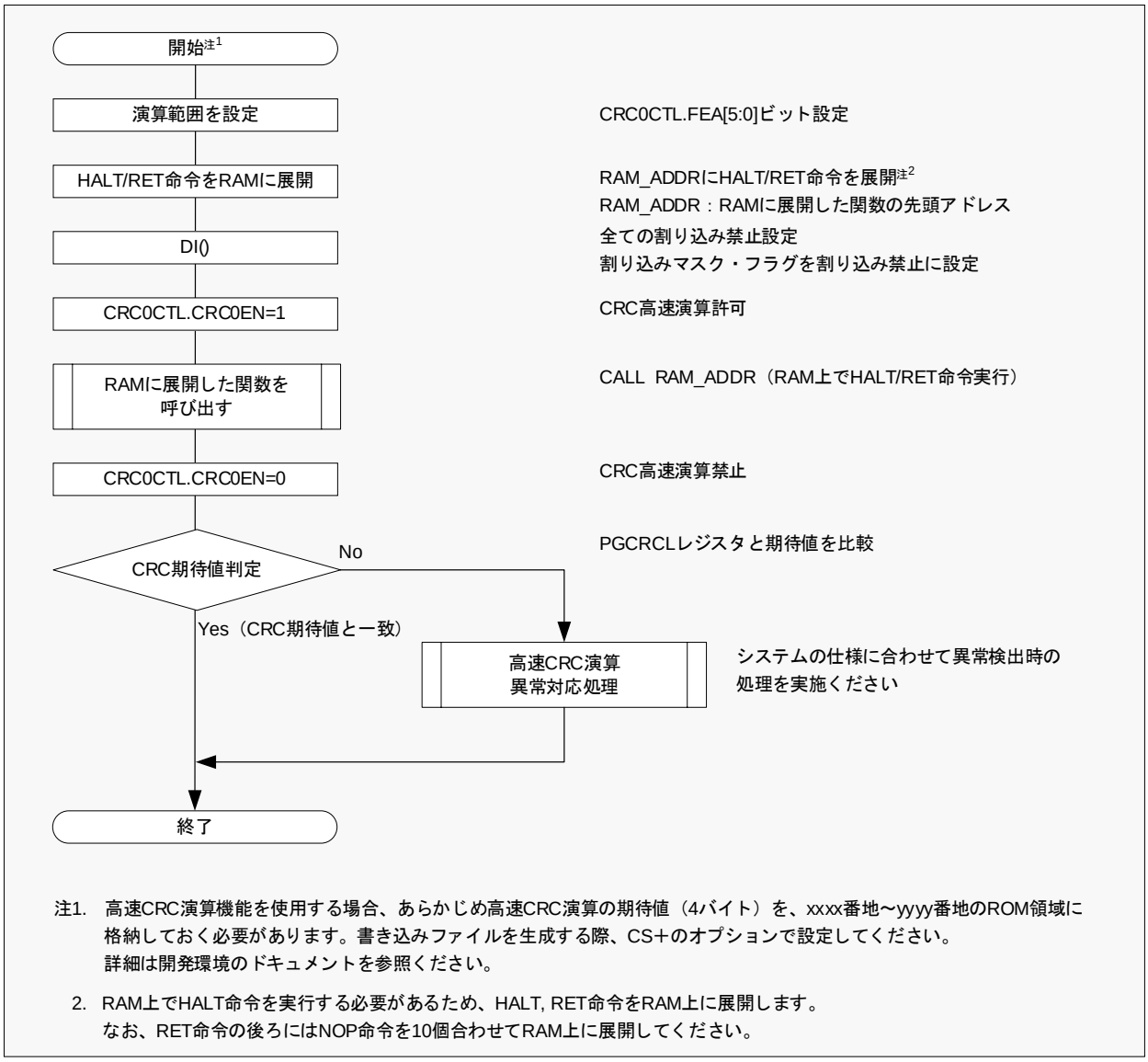
略号	15	0
PGCRCL	PGCRC[15:0]	

ビット	説明
PGCRC[15:0]	高速 CRC 演算結果を格納 注

注　PGCRCL レジスタは、CRC0EN ビットが 1 の場合のみライト可能です。

2.3 高速 CRC 演算機能のフロー・チャート

高速 CRC 演算機能使用時のフロー・チャートを以下に示します。



注1. 高速CRC演算機能を使用する場合、あらかじめ高速CRC演算の期待値（4バイト）を、xxxx番地～yyyy番地のROM領域に格納しておく必要があります。書き込みファイルを生成する際、CS+のオプションで設定してください。
詳細は開発環境のドキュメントを参照ください。

2. RAM上でHALT命令を実行する必要があるため、HALT, RET命令をRAM上に展開します。
なお、RET命令の後ろにはNOP命令を10個合わせてRAM上に展開してください。

図 2-1 高速 CRC 演算機能のフロー・チャート

2.4 高速 CRC 演算機能の設定例

高速 CRC 演算範囲を 64KB にして演算機能を使用する際の設定例を以下に示します。

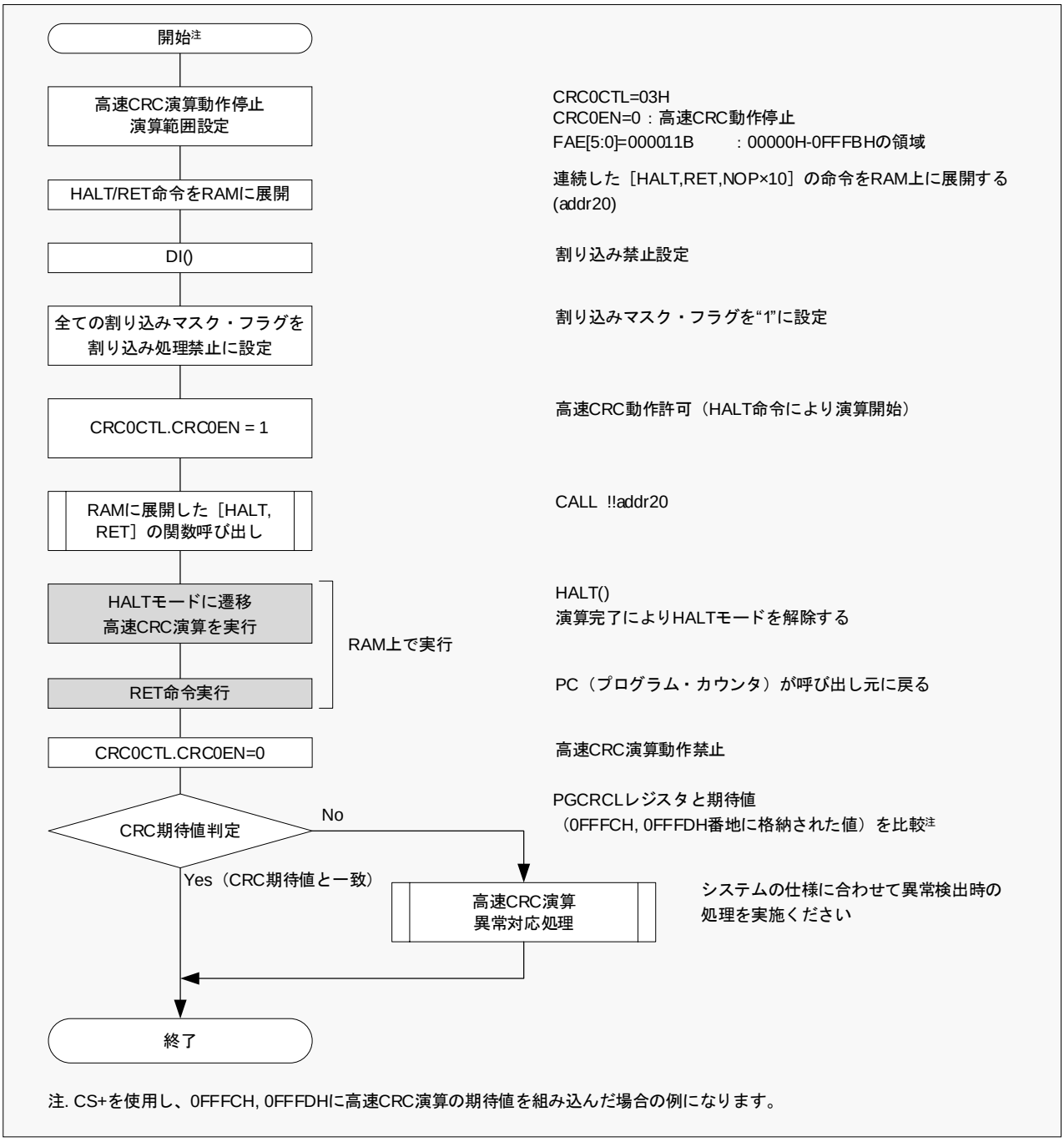


図 2-2 高速 CRC 演算機能の設定例

2.5 高速 CRC 演算機能を使用する際の注意事項

以下に、高速 CRC 演算機能を使用する際の注意事項を示します。

(1) 高速 CRC 演算は、RAM 上から HALT 命令の実行により演算を開始し、演算終了により HALT モードを解除します。そのため、HALT 命令を実行する前に割り込み禁止（DI）かつ全ての割り込みマスク・フラグを“1”（割り込み処理禁止）にして下さい。

(2) 高速 CRC 演算中は、CPU が停止するため、ユーザ・ソフトウェアを動作させることはできません。高速 CRC 演算機能の処理時間（表 2-1）を考慮して、ご使用ください。

(3) RL78 CPU コアは命令コードのフェッチ時に先読みを行います。そのため、RAM 領域から命令を実行する場合、続くアドレス（10 バイト分）を必ず初期化してください。

(4) 統合開発環境を使用して高速 CRC 演算機能の期待値を算出する場合、演算結果を HEX ファイル、S レコードファイルに反映することができます。ロード・モジュール・ファイルには反映しません。

(5) オンチップ・デバッグ時は、モニタ・プログラムをコード・フラッシュ・メモリに配置するため、高速 CRC 演算結果が期待値と一致しません。

(6) セキュリティ・オプション・バイト（000C4H）の IDRDEN が“0”の場合でも、高速 CRC 演算中のオンチップ・デバッグ・セキュリティ ID およびフラッシュ・シリアル・プログラミング・セキュリティ ID 領域の読み出しは、読み出し禁止の 00H ではなく実際の設定値が読み出されます。

3. CRC 演算機能（汎用 CRC）

3.1 汎用 CRC 演算機能の概要

汎用 CRC 演算は、CPU 動作中に CRC 入力レジスタ（CRCIN）へ演算データを書き込み、演算結果を CRC データ・レジスタ（CRCD）に格納する機能です。シリアル通信機能など多用途の検査で使用することができます。

CRC 生成多項式は CRC-16-CCITT の「$X^{16}+X^{12}+X^5+1$」、および SENT 準拠の「$X^4+X^3+X^2+1$」に対応しています。

3.2 汎用 CRC 演算機能のレジスタ

汎用 CRC 演算機能で使用するレジスタを以下に説明します。

(1) CRC 入力レジスタ（CRCIN）

CRC 演算を行うデータを入力（設定）するレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス：FFFACH　リセット時：00H　R/W

略号	7							0
CRCIN	CRCIN[7:0]							

ビット	説明
CRCIN[7:0]	CRC 演算を行う入力データの設定範囲 CRC-CCITT 対応時：00H-FFH、SENT 準拠対応時：00H-0FH

(2) CRC 演算モード制御レジスタ（CRCMD）

汎用 CRC 演算器の演算モード（CRC 生成多項式）を選択するレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス：F02F9H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CRCMD	0	0	0	0	0	0	0	POLYSEL

ビット	説明
POLYSEL	0：CRC-CCITT（$X^{16}+X^{12}+X^5+1$） 1：SENT 準拠（$X^4+X^3+X^2+1$）

(3) CRC データ・レジスタ（CRCD）

汎用 CRC 演算結果を格納するレジスタです。16 ビット・メモリ操作命令でアクセスします。

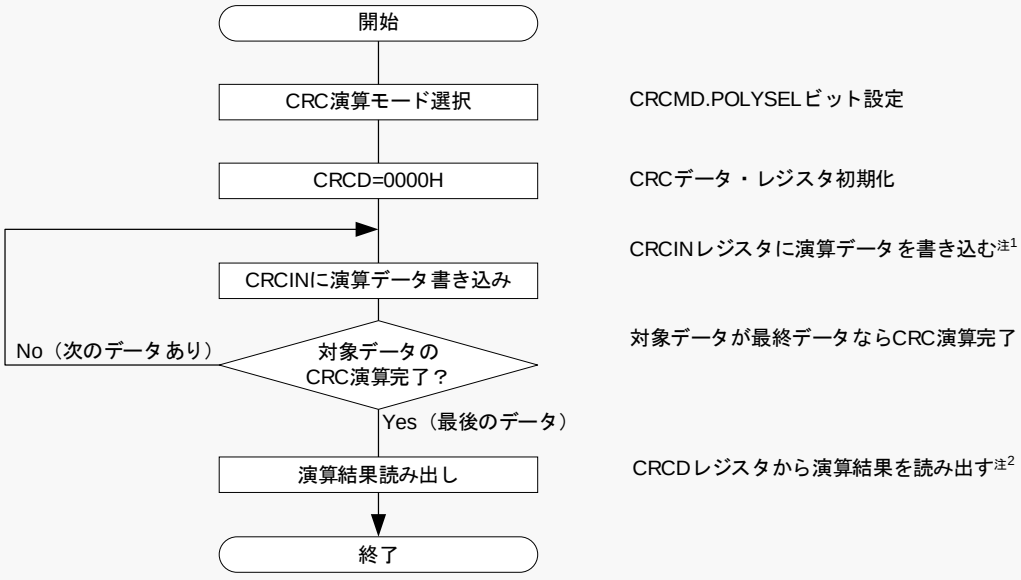
アドレス：F02FAH　　リセット時：0000H　　R/W

略号	15	0
CRCD	CRCD[15:0]	

ビット	説明
CRCD[15:0]	CRC 演算結果を格納します。 CRC-CCITT 対応時：0000H-FFFFH,　　SENT 準拠対応時：0000H-000FH

3.3 汎用 CRC 演算機能のフロー・チャート

汎用 CRC 演算機能使用時のフロー・チャートを以下に示します。



注1. CRCINレジスタに書き込む値は、CRC演算モードにより異なります（CRC-CCITT：00H～FFH，SENT準拠：00H～0FH）。
2. CRCINレジスタ書き込み後、1クロック（f_{CLK}）以上経過してからCRCDレジスタを読み出してください。

図 3-1 汎用 CRC 演算機能のフロー・チャート

3.4 汎用 CRC 演算機能を使用する際の注意事項

汎用 CRC 演算機能を使用する際の注意事項を以下に示します。

(1) CRCIN レジスタに書き込み後、CPU／周辺ハードウェア・クロック（fCLK）の 1 クロック以上経過してから CRCD レジスタを読み出してください。

(2) CRC 演算の対象領域にソフトウェア・ブレークを設定しないでください。デバッガはソフトウェア・ブレーク設定行をブレーク命令へ書き換えるため、CRC 演算の対象領域にソフトウェア・ブレークを設定すると、CRC 演算結果が異なります。

(3) セキュリティ・オプション・バイト（000C4H）の IDRDEN が“0”の場合、オンチップ・デバッグ・セキュリティ ID（000C6H～000D5H）およびフラッシュ・シリアル・プログラミング・セキュリティ ID（000D6H～000E5H）の読み出しは、読み出し禁止の 00H が読み出されます。

4. 内部 RAM ECC 機能

4.1 内部 RAM ECC 機能の概要

内部 RAM ECC 機能は、データ化け（ビット・エラー）を検出し、割り込み要求を発生させる機能です。また、ビット・エラーが 1 ビットの場合、データの訂正を行います。

内部 RAM への書き込み時に、書き込みデータ（8 ビット長）に対して、ECC コード（4 ビット）およびパリティビット（1 ビット）を生成し、書き込みを行います。読み出し時に、ECC コードとパリティビットを判定し、エラーを検出した場合、読み出し値の訂正およびビット・エラー検出割り込み要求（INTRAM）を生成します。

表 4-1 内部 RAM ECC 機能の動作

ビット化け（ビット・エラー）			割り込み通知（INTRAM）	ECCER レジスタ	ERADR レジスタ	読み出し値
データビット	ECC コード	パリティビット		DBERR ビット		
ビット化けなし			−	−	−	期待値
1 ビット化け	−	−	要求発生 注1	0 注1	アドレス格納 注1	期待値
−	1 ビット化け	−	要求発生 注1	0 注1	アドレス格納 注1	期待値
−	−	1 ビット化け	−	−	−	期待値
2 ビット化け			要求発生 注2	1	アドレス格納	不定 注2
3 ビット以上のビット化け			不定 注3	不定 注3	不定 注3	不定 注3

備考 −：ビット化け（ビット・エラー）の列はビット化け無し、他の列は更新無し。

注 1. ECCIER レジスタの IEN ビットが 1（割り込み許可）の場合、割り込み要求信号（INTRAM）を生成します。また、IEN ビットが 1 の場合、DBERR ビットおよび ERADR レジスタを更新します。

2. IEN ビットの設定に関係せず割り込み要求信号を生成します。また DBERR ビットおよび ERADR レジスタを更新します。複数ビットのエラーのため期待するデータ訂正を行いません。

3. 複数ビットのエラー検出により期待するデータ訂正を行いません。また、エラー検出を正しく判定できません。

4.2 内部 RAM ECC 機能のレジスタ

内部 RAM ECC 機能で使用するレジスタを以下に説明します。

(1) エラー・アドレス格納レジスタ（ERADR）

ビット・エラー検出時の対象アドレスを格納するレジスタです。16 ビット・メモリ操作命令で読み出します。

アドレス：F0200H　リセット時：0000H　R

略号	15							0
ERADR	ERAD[15:0]							

ビット	説明
ERAD[15:0]	ビット・エラー検出時のアドレスを格納 注

注 ビット・エラー割り込み要求が発生するごとにレジスタ値を更新します。

(2) 1 ビット・エラー検出割り込み許可レジスタ（ECCIER）

1 ビットのビット・エラー検出時に割り込みの許可／禁止を設定するレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス：F0202H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ECCIER	0	0	0	0	0	0	0	IEN

ビット	説明
IEN	0：1 ビットのビット・エラー検出時に割り込みを禁止 注 1：1 ビットのビット・エラー検出時に割り込みを許可

注 2 ビットのビット・エラーを検出した場合、IEN ビットの設定にかかわらずビット・エラー検出割り込み要求（INTRAM）が発生します。

(3) ビット・エラー検出レジスタ（ECCER）

ビット・エラー検出時に 1 ビット検出（エラー訂正）か 2 ビット検出かを判定するレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス：F0203H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ECCER	0	0	0	0	0	0	0	DBERR

ビット	説明
DBERR 注	0：1 ビットのエラー検出あり（エラー訂正） 1：2 ビットのエラー検出あり

注 ビット・エラー検出割り込み要求（INTRAM）が発生していないときは、DBERR ビットの値は無効です。

(4) ECC テスト・プロテクト・レジスタ（ECCTPR）

ECC テスト・モード・レジスタ（ECCTMDR）に対するアクセス許可／禁止を設定するレジスタです。
8 ビット・メモリ操作命令でアクセスします。

アドレス：F0204H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ECCTPR	0	0	0	0	0	TPR[2:0]		

ビット	説明
TPR[2:0]	111B　：ECCTMDR レジスタへのアクセス許可 111B 以外　：ECCTMDR レジスタへのアクセス禁止

(5) ECC テスト・モード・レジスタ（ECCTMDR）

ECC テスト・モードを選択するレジスタです。8 ビット・メモリ操作命令でアクセスします。
ECCTPR レジスタに 07H の書き込みを行った後、本レジスタにアクセスしてください。

アドレス：F0205H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ECCTMDR	0	0	0	0	0	TMD[2:0]		

ビット	説明
TMD[2:0]	000B　：通常動作モード 001B　：ECC テスト・モード 上記以外　：設定禁止

(6) ライトデータ反転レジスタ（ECCDWRVR）

ECC テスト・モード時に内部 RAM への書き込みデータ、ECC およびパリティビットを反転させるレジスタです。16 ビット・メモリ操作命令でアクセスします。

アドレス：F0206H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
ECCDWRVR	0	0	0	PRTYRV	ECCRV[3:0]			

7	6	5	4	3	2	1	0
DWRV[7:0]							

ビット	説明
PRTYRV	0：パリティビットを反転しない 1：パリティビットを反転する
ECCRV[3:0]	0：ECC コードのビット（i）を反転しない 1：ECC コードのビット（i）を反転する　i：3～0
DWRV[7:0]	0：内部 RAM への書き込みデータのビット（j）を反転しない 1：内部 RAM への書き込みデータのビット（j）を反転する　j：7～0

4.3 内部 RAM ECC 機能のフロー・チャート

内部 RAM ECC 機能使用時のフロー・チャートを以下に示します。

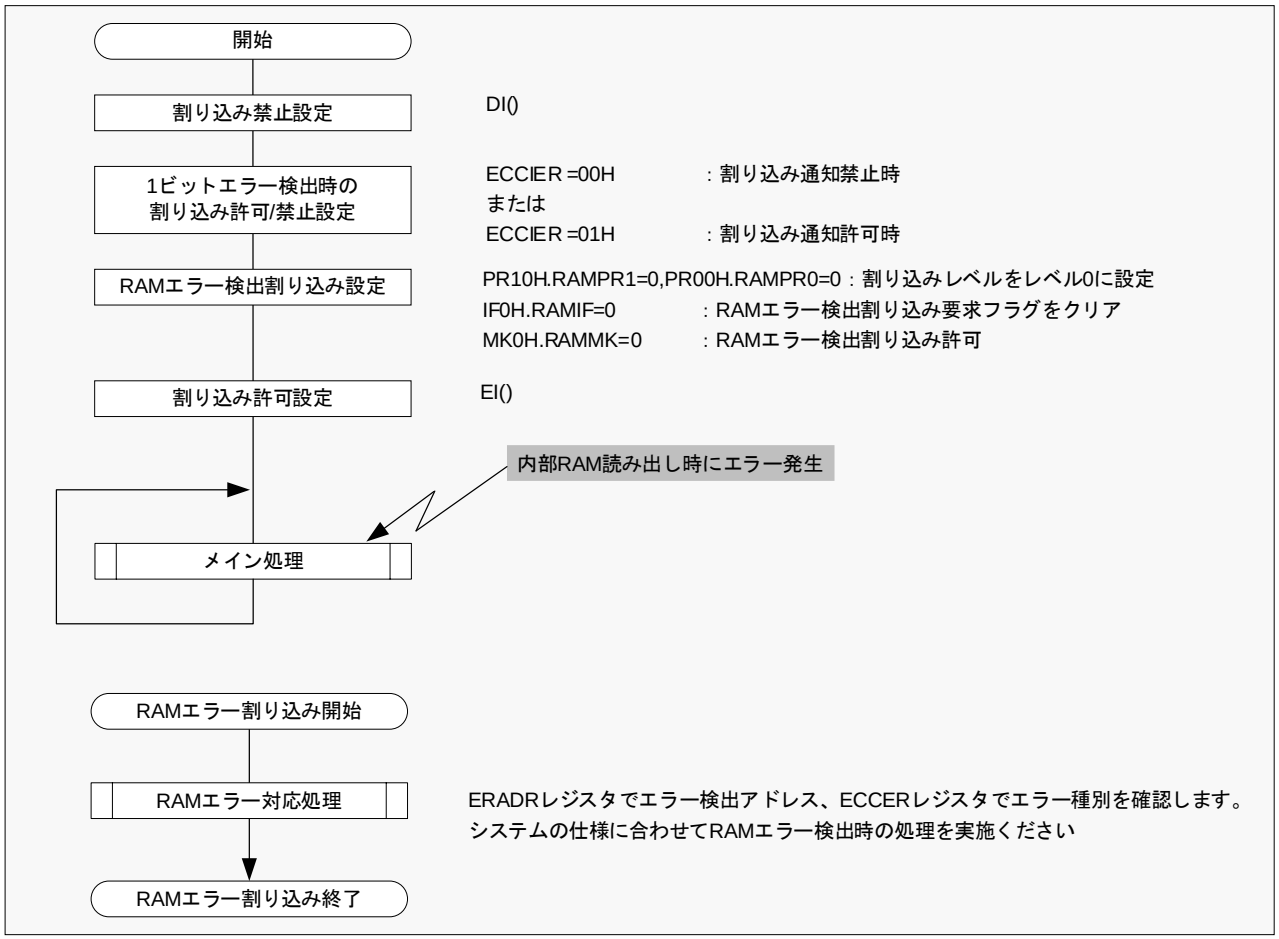


図 4-1 内部 RAM ECC 機能のフロー・チャート

4.4 ECC テスト・モード

ECC テスト・モードとは、書き込みデータ／ECC コード／パリティビットのそれぞれに対して、ビットの反転した値を書き込み、対象の内部 RAM を読み出すことで、内部 RAM ECC 機能の動作を確認することができる機能です。内部 RAM アクセスを行わないタイミング（初期化処理等）で実施してください。

ECC テスト・モード使用時のフロー・チャートを以下に示します。

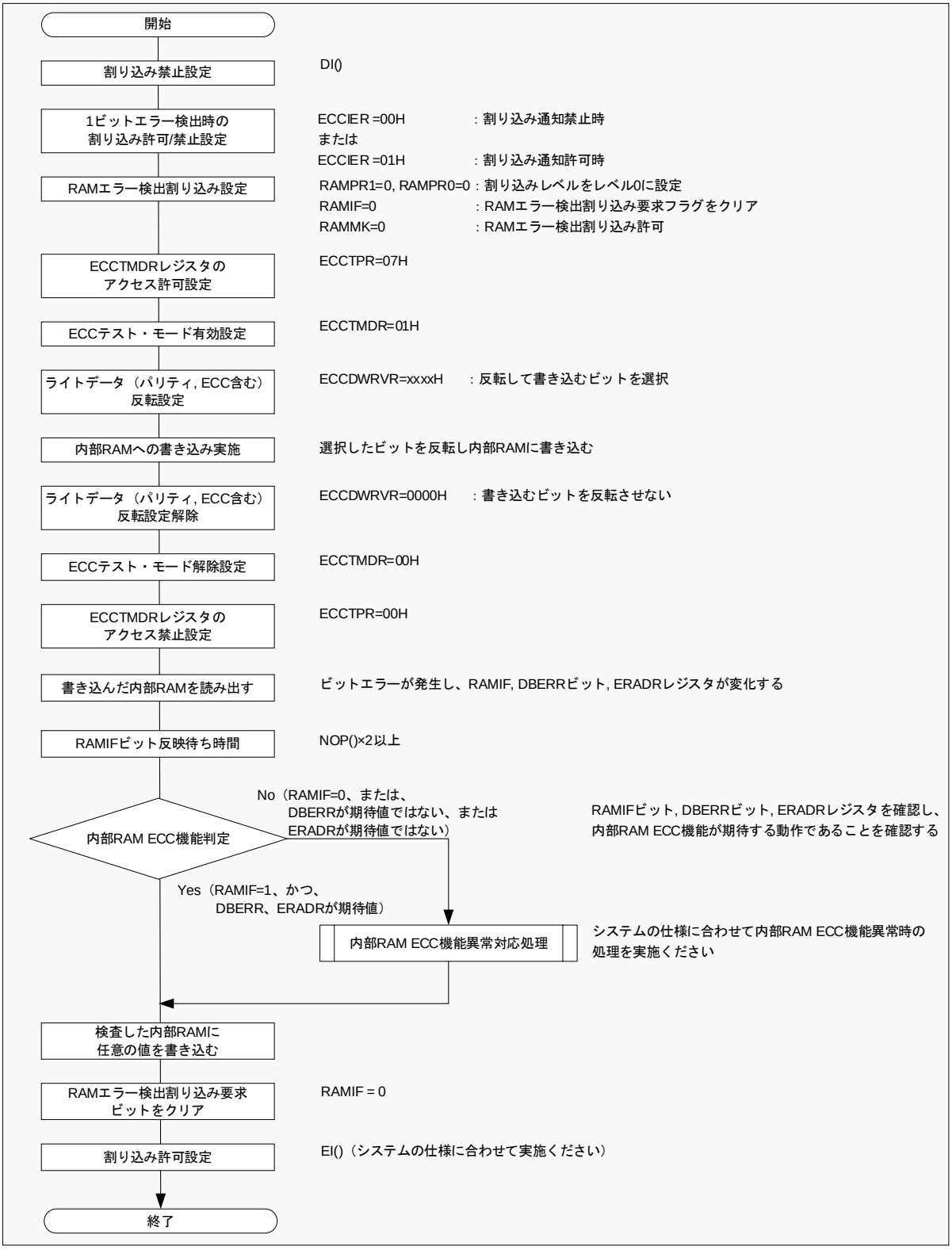


図 4-2 ECC テスト・モードのフロー・チャート

ECC テスト・モードの設定例を表 4-2 に示します。

表 4-2 ECC テスト・モードの設定例

ECCDWRVR レジスタ			割り込み通知（INTRAM）	ECCER レジスタ	ERADR レジスタ	読み出し値
DWRV[7:0]	ECCRV[3:0]	PRTYRV		DBERR ビット		
ビット反転なし			−	−	−	期待値
1 ビット反転	−	−	要求発生 注1	0 注1	アドレス格納 注1	期待値
−	1 ビット反転	−	要求発生 注1	0 注1	アドレス格納 注1	期待値
−	−	1 ビット反転	−	−	−	期待値
2 ビット反転	−	−	要求発生	1	アドレス格納	不定 注2
1 ビット反転	1 ビット反転	−	要求発生	1	アドレス格納	不定 注2
1 ビット反転	−	1 ビット反転	要求発生	1	アドレス格納	期待値
−	2 ビット反転	−	要求発生	1	アドレス格納	不定 注2
−	1 ビット反転	1 ビット反転	要求発生	1	アドレス格納	期待値
3 ビット以上反転			不定 注3	不定 注3	不定 注3	不定 注3

備考 ー：ECCDWRVR レジスタの列はビット反転無し、他の列は更新無し。

注 1. ECCIER レジスタの IEN ビットが 1（割り込み許可）の場合、割り込み要求信号（INTRAM）を生成します。また、IEN ビットが 1 の場合、DBERR ビットおよび ERADR レジスタを更新します。

2. 複数ビットのエラーのため期待するデータ訂正を行いません。

3. 複数ビットのエラー検出により期待するデータ訂正を行いません。また、エラー検出を正しく判定できません。

4.5 内部 RAM ECC 機能を使用する際の注意事項

内部 RAM ECC 機能を使用する際の注意事項を以下に示します。

(1) 1 ビットのエラー検出時は、エラー訂正により期待値（書き込みした時の値）が読めます。ただし、RAM 値の書き換えは行わないため、1 ビット・エラー検出割り込みを許可している場合、本アドレスを読み出す毎に割り込み要求（INTRAM）が発生します。

(2) オンチップ・デバッグ中は内部 RAM ECC 機能が動作しないため、ECC テスト・モードを使用しないでください。

(3) ビット・エラーが 2 ビットの場合、ECCIER レジスタの IEN ビット（1 ビットのエラー検出時に割り込み許可／禁止）にかかわらずビット・エラー検出割り込み要求（INTRAM）が発生します。

5. CAN-RAM ECC 機能（RL78/F24 のみ）

5.1 CAN-RAM ECC 機能の概要

RS-CANFD lite の CAN-RAM 領域（F0420H - F067FH）は、ECC 機能を持ちます。CAN-RAM ECC 機能は、データ化け（ビット・エラー）を検出し、割り込み要求を発生させることができます。また、ビット・エラーが 1 ビットの場合、データの訂正を行います。

5.2 CAN-RAM ECC 機能のレジスタ

CAN-RAM ECC 機能で使用するレジスタを以下に説明します。

(1) CAN-RAM ECC 制御レジスタ（CFDECCTL）

CAN-RAM ECC 機能のステータス管理に使用するレジスタです。8 ビットまたは 16 ビット・メモリ操作命令でアクセスします。

アドレス：F07C0H　　リセット時：0010H　　R/W

略号	15	14	13	12	11	10	9	8
CFDECCTL	EMCA[1:0]		0	0	ECOVFF	ECER2C	ECER1C	0

7	6	5	4	3	2	1	0
0	ECERVF	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	0

ビット	説明
EMCA[1:0]	ECERVF ビットのアクセス制御 01B　　：書き込みアクセス許可 上記以外　：書き込みアクセス禁止
ECOVFF	ECC オーバフロー検出フラグ 0：オーバフロー未検出 1：エラー・アドレス・キャプチャ・バッファ・オーバフロー検出
ECER2C	ECC 2 ビット・エラー検出のフラグ・クリア・ビット 0：動作なし 1：ECER2F ビットのクリア
ECER1C	ECC 1 ビット・エラー検出のフラグ・クリア・ビット 0：動作なし 1：ECER1F ビットのクリア
ECERVF	ECC エラー判定許可制御 0：エラー判定の禁止 1：エラー判定の許可
EC1ECP	ECC 1 ビット・エラーの訂正許可 0：1 ビットのエラー検出時、エラー訂正を許可する 1：1 ビットのエラー検出時、エラー訂正を禁止する
EC2EDIC	ECC 2 ビット・エラー検出時の割り込み制御 0：2 ビットのエラー検出時、割り込み制御を禁止する 1：2 ビットのエラー検出時、割り込み制御を許可する
EC1EDIC	ECC 1 ビット・エラー検出時の割り込み制御 0：1 ビットのエラー検出時、割り込み制御を禁止する 1：1 ビットのエラー検出時、割り込み制御を許可する
ECER2F	ECC 2 ビット・エラー検出フラグ 0：2 ビット・エラーの発生なし（このビットをクリア後、エラーの発生なし） 1：2 ビット・エラーの発生あり
ECER1F	ECC 1 ビット・エラー検出フラグ 0：1 ビット・エラーの発生なし（このビットをクリア後、エラーの発生なし） 1：1 ビット・エラーの発生あり

(2) CAN-RAM ECC テスト・モード制御レジスタ（CFDECTMC）

CAN-RAM ECC 機能のテスト機能を制御するためのレジスタです。8 ビットまたは 16 ビット・メモリ操作命令でアクセスします。

アドレス：F07C4H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
CFDECTMC	ETMA[1:0]		0	0	0	0	0	0

7	6	5	4	3	2	1	0
ECTMEC	0	0	ECTRRS	0	0	ECDCS	ECREIS

ビット	説明
ETMA[1:0]	ECTMCE ビットのアクセス制御 10B　：書き込みアクセス許可 上記以外：書き込みアクセス禁止
ECTMCE	テスト・レジスタと ECC テスト制御ビットのアクセス制御 0：アクセスを禁止 1：アクセスを許可
ECTRRS	テスト・レジスタの読み出しデータ選択 0：CFDECTEDH/CFDECTEDL 読み出し時にレジスタの値を読み出します。 CFDECERDB 読み出し時にレジスタの値を読み出します。 1：CFDECTEDH/CFDECTEDL 読み出し時に CAN-RAM 出力値を読み出します。 CFDECERDB の読み出し時に CAN-RAM の ECC 入力値を読み出します。
ECDCS	ECC デコーダ入力データ（下位 32 ビット・データ）選択 0：CAN-RAM 出力データをデコーダ入力として選択 1：CFDECTEDH/CFDECTEDL に設定された値をデコーダ入力として選択
ECREIS	ECC デコーダ入力データ（上位 7 ビット・データ）選択 0：CAN-RAM 出力データをデコーダ入力として選択 1：CFDECERDB に設定された値をデコーダ入力として選択

(3) CAN-RAM ECC デコーダ入力データ置換テスト・レジスタ L（CFDECTEDL）

ECC 機能テストに使用するレジスタです。16 ビット・メモリ操作命令でアクセスします。

アドレス：F07CCH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
CFDECTEDL	ECEDBL[15:8]							

7	6	5	4	3	2	1	0
ECEDBL[7:0]							

ビット	説明
ECEDBL[15:0]	ECC テスト・モードのデコーダ入力データ 0000H ～ FFFFH

(4) CAN-RAM ECC デコーダ入力データ置換テスト・レジスタ H（CFDECTEDH）

ECC 機能テストに使用するレジスタです。16 ビット・メモリ操作命令でアクセスします。

アドレス：F07CEH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
CFDECTEDH	ECEDBH[15:8]							

7	6	5	4	3	2	1	0
ECEDBH[7:0]							

ビット	説明
ECEDBH[15:0]	ECC テスト・モードのデコーダ入力データ 0000H ～ FFFFH

(5) CAN-RAM ECC シンドローム・テスト・レジスタ（CFDECSYND）

ECC テスト・モード時にデコード回路で生成されるシンドローム・コードを確認するためのレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス：F07CBH　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
CFDECSYND	0	SYND[6:0]						

ビット	説明
SYND[6:0]	ECC テスト・モードの ECC デコード・シンドローム・データ 00H ～ 7FH

(6) CAN-RAM ECC 冗長ビット・テスト・レジスタ（CFDECHORD）

ECC テスト・モード時に CAN-RAM に出力される冗長ビットを確認するためのレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス：F07CAH　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
CFDECHORD	0	HORD[6:0]						

ビット	説明
HORD[6:0]	ECC テスト・モードの ECC 冗長ビット 00H ～ 7FH

(7) CAN-RAM ECC デコーダ入力 ECC ビット置換テスト・レジスタ（CFDECERDB）

ECC デコーダへの ECC エラー注入を可能とする代替バッファ・レジスタです。
8 ビット・メモリ操作命令でアクセスします。

アドレス：F07C8H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CFDECERDB	0	ERDB[6:0]						

ビット	説明
ERDB[6:0]	ECC テスト・モードの ECC 冗長ビット・エラー注入データ 00H ～ 7FH

(8) CAN-RAM ECC エラー・アドレス・レジスタ（CFDECEAD）

ECC エラーが発生したアドレスを確認するためのレジスタです。
16 ビット・メモリ操作命令でアクセスします。

アドレス：F07D0H　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8
CFDECEAD	0	0	0	0	0	0	ECEAD[9:8]	

7	6	5	4	3	2	1	0
ECEAD[7:0]							

ビット	説明
ECEAD[9:0]	ECC エラー・アドレス 000H ～ 3FFH

5.3 CAN-RAM ECC 機能のフロー・チャート

CAN-RAM ECC 機能使用時のフロー・チャートを以下に示します。

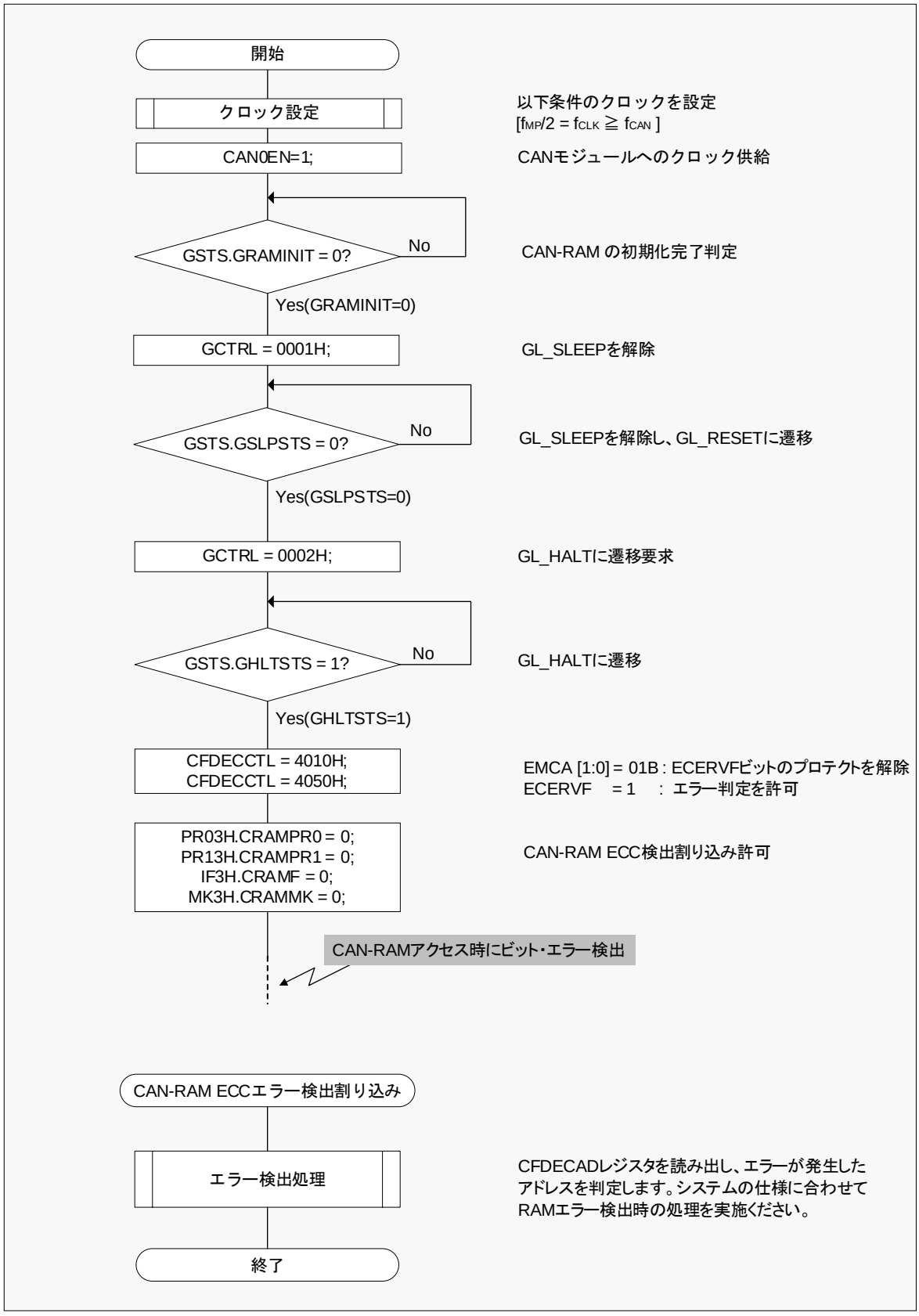


図 5-1 CAN-RAM ECC 機能のフロー・チャート

5.4 CAN-RAM ECC 機能を使用する際の注意事項

CAN-RAM ECC 機能を使用する際の注意事項を以下に示します。

(1) CAN-RAM の初期化後、CFDECCTL レジスタのビット・エラー検出フラグ（ECER1F、ECER2F）をクリアすることを推奨します。

(2) CAN-RAM が初期状態の場合、ECC によるエラー判定を行わないで下さい。CFDECCTL レジスタでエラー判定を一旦禁止に設定し、CAN-RAM の初期化後にエラー判定を許可して下さい。

(3) CAN-RAM のエラー・アドレスに関して、CAN-RAM ECC エラー・アドレス・レジスタ（CFDECEAD）には、エラー・ステータスが設定されていない状態で最初の ECC エラーを検出するとエラー・アドレスが保存されます。しかしながら、1 ビット・エラー検出後に 2 ビット・エラーが検出された場合のみ，アドレスが同じかどうかに関係なく，2 つ目の 2 ビット・エラーのアドレスがこのレジスタに上書きされます。このレジスタに保持できるアドレスは 1 つだけです。

6. コード・フラッシュ・メモリ ECC 機能

6.1 コード・フラッシュ・メモリ ECC 機能の概要

コード・フラッシュ・メモリ ECC 機能は、コード・フラッシュ・メモリ・データのビット・エラーを訂正、識別するための以下の機能を搭載しています。

(1) シングル・ビット訂正（SEC）
(2) 累積エラー検出（AED）
(3) 新規エラー検出（BED）
(4) 新規エラー・アドレスとシンドローム・コードのキャプチャ
(5) エラー・アドレス・オーバフロー（OVF）
(6) コード・フラッシュ・メモリ ECC に対するマスク可能割り込み（INTROM）

6.2 コード・フラッシュ・メモリ ECC 機能のレジスタ

コード・フラッシュ・メモリ ECC 機能で使用するレジスタを以下に説明します。

(1) コード・フラッシュ・ビット・エラー検出機能制御レジスタ（CFERRCTLR）

コード・フラッシュ・メモリ ECC 機能を制御するためのレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス：F00B8H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CFERRCTLR	RES	AEDEN	BEDEN	OVFEN	DIAG	0	PAGE[1:0]	

ビット	説明
RES	コード・フラッシュ・メモリ・エラー検出機能のリセット 0：リセットしない 1：リセットを実行する
AEDEN	AED 検出割り込みと AED ステータス・フラグの許可設定 0：無効に設定 1：有効に設定
BEDEN	BED 検出割り込みと BED ステータス・フラグの許可設定 0：無効に設定 1：有効に設定
OVFEN	OVF 検出割り込みと OVF ステータス・フラグの許可設定 0：無効に設定 1：有効に設定
DIAG	自己診断の許可設定 0：無効に設定 1：有効に設定 注
PAGE[1:0]	キャプチャ・レジスタの選択 00B：ERRADRL、 ERRADRH （ERRDAT ビットを含む）を選択 01B：ERRADR1L、ERRADR1H （ERRDAT1 ビットを含む）を選択 10B：ERRADR2L、ERRADR2H （ERRDAT2 ビットを含む）を選択 11B：ERRADR3L、ERRADR3H （ERRDAT3 ビットを含む）を選択

注 フラッシュ・メモリ・プログラミング中に DIAG=1 に設定することは禁止です。

(2) コード・フラッシュ・ビット・エラー検出機能ステータス・レジスタ（CFERRSTR）

コード・フラッシュ・ECC 機能のエラー・ステータス取得するためのレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス：F00B9H　　リセット時：00H　　R/W

略号	7 注	6	5	4	3 注	2 注	1	0
CFERRSTR	0	AEDST	BEDST	OVFST	0	0	CAPST[1:0]	

ビット	説明
AEDST	AED 検出通知と通知のクリア要求 0：読み出し時 0 のとき、AED 検出なし 1：読み出し時 1 のとき、AED 検出あり。1 を書込み時、AEDST をクリアします。
BEDST	BED 検出通知と通知のクリア要求 0：読み出し時 0 のとき、BED 検出なし 1：読み出し時 1 のとき、BED 検出あり。1 を書込み時、BEDST をクリアします。
OVFST	OVF 検出通知と通知のクリア要求 0：読み出し時 0 のとき、OVF 検出なし 1：読み出し時 1 のとき、OVF 検出あり。1 を書込み時、OVFST をクリアします。
CAPST[1:0]	キャプチャ・レジスタの状態 注 00B：AED 検出なし 01B：AED 検出あり（ERRADR1H/L で検出） 10B：AED 検出あり（ERRADR2H/L で検出） 11B：AED 検出あり（ERRADR3H/L で検出）

注　ビット 7, 3 および 2 は読み出し専用です。読み出し値は 0 に固定されています。これらのビットへの書き込みは無視されます。

(3) コード・フラッシュ・ビット・エラー検出アドレス・レジスタ L（ERRADRL）

ECC シンドローム・エラー検出時にエラー・アドレス（ビット 15～2）を保持するためのレジスタです。16 ビット・メモリ操作命令でアクセスします。

アドレス：F00BAH（CFERRCTLR.PAGE[1:0]=00B）　リセット時：FFFCH
CFERRCTLR.DIAG = 0 時：R、CFERRCTLR.DIAG = 1 時：R/W

略号	15	14	13	12	11	10	9	8
ERRADRL	ERRADR[15:8]							

7	6	5	4	3	2	1	0
ERRADR[7:2]						0	0

ビット	説明
ERRADR[15:2]	最新のエラー検出アドレス 0000H～FFFCH

(4) コード・フラッシュ・ビット・エラー検出アドレス・レジスタ H（ERRADRH）

ECC シンドローム・エラー検出時にエラー・アドレス（ビット 19～16）を保持するためのレジスタです。16 ビット・メモリ操作命令でアクセスします。

アドレス：F00BCH（CFERRCTLR.PAGE[1:0]=00B） リセット時：3F0FH
CFERRCTLR.DIAG = 0 時：R、CFERRCTLR.DIAG = 1 時：R/W

略号	15	14	13	12	11	10	9	8
ERRADRH	0	0	ERRDAT[5:0]					

7	6	5	4	3	2	1	0
0	0	0	0	ERRADR[19:16]			

ビット	説明
ERRDAT[5:0]	最新のエラー検出シンドローム・コード 000000B～111111B
ERRADR[19:16]	最新のエラー検出アドレス 0000B～1111B

(5) コード・フラッシュ・ビット・エラー検出アドレス・レジスタ nL（ERRADRnL）(n=1～3)

コード・フラッシュ・メモリで ECC シンドローム・エラーが検出されたときのエラー・アドレスを格納します。16 ビット・メモリ操作命令でアクセスします。

アドレス：F00BAH（CFERRCTLR.PAGE[1:0]=01B, 10B, 11B） リセット時：FFFCH
CFERRCTLR.DIAG = 0 時：R、CFERRCTLR.DIAG = 1 時：R/W

略号	15	14	13	12	11	10	9	8
ERRADRnL	ERRADRn[15:8]							

7	6	5	4	3	2	1	0
ERRADRn[7:2]						0	0

ビット	説明
ERRADRn[15:2]	エラー検出アドレス n 0000H～FFFCH

(6) コード・フラッシュ・ビット・エラー検出アドレス・レジスタ nH（ERRADRnH）(n=1～3)

コード・フラッシュ・メモリで ECC シンドローム・エラーが検出されたときのエラー・アドレスと、エラー・シンドローム・コードを格納します。16 ビット・メモリ操作命令でアクセスします。

アドレス：F00BCH （CFERRCTLR.PAGE[1:0]=01B, 10B, 11B） リセット時：3F0FH
CFERRCTLR.DIAG = 0 時：R、CFERRCTLR.DIAG = 1 時：R/W

略号	15	14	13	12	11	10	9	8
ERRADRnH	0	0	ERRDATn[5:0]					

7	6	5	4	3	2	1	0
0	0	0	0	ERRADRn[19:16]			

ビット	説明
ERRDATn[5:0]	エラー検出シンドローム・コード n 000000B～111111B
ERRADRn[19:16]	エラー検出アドレス n 0000B～0011B

(7) フラッシュ・ライト・バッファ・レジスタ L（FLWL）

CFERRCTLR.DIAG = 0 の時、フラッシュ・メモリ・プログラミング用のフラッシュ書き込みデータ・レジスタとして使用します。また、CFERRCTLR.DIAG=1 の時、コード・フラッシュ・メモリ ECC 診断セルフテスト用のフラッシュ・メモリ・データ・レジスタとして使用します。16 ビット・メモリ操作命令でアクセスします。

アドレス：F02BCH リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8
FLWL	FLW[15:8]							

7	6	5	4	3	2	1	0
FLW[7:0]							

ビット	説明
FLW[15:0]	CFERRCTLR.DIAG = 1 の時、ECC セルフテスト・データ（ビット 15～0）として、意図的にエラーを注入することができます。 0000H～FFFFH

(8) フラッシュ・ライト・バッファ・レジスタ H（FLWH）

CFERRCTLR.DIAG = 0 の時、フラッシュ・メモリ・プログラミング用のフラッシュ書き込みデータ・レジスタとして使用します。また、CFERRCTLR.DIAG=1 の時、コード・フラッシュ・メモリ ECC 診断セルフテスト用のフラッシュ・データ・レジスタとして使用します。16 ビット・メモリ操作命令でアクセスします。

アドレス：F02BEH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
FLWH	FLW[31:24]							

7	6	5	4	3	2	1	0
FLW[23:16]							

ビット	説明
FLW[31:16]	CFERRCTLR.DIAG = 1 の時、ECC セルフテスト・データ（ビット 31～16）として、意図的にエラーを注入することができます。 0000H～FFFFH

(9) フラッシュ ECC ライト・バッファ・レジスタ（FLWE）

CFERRCTLR.DIAG = 0 の時、フラッシュ・プログラミング用のフラッシュ書き込み ECC コード・レジスタとして使用します。また、CFERRCTLR.DIAG=1 の時、コード・フラッシュ・メモリ ECC 診断セルフテスト用のフラッシュ・ECC コード・レジスタとして使用します。8 ビット・メモリ操作命令でアクセスします。

アドレス：FFFC6H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
FLWE	0	0	FLWE[5:0]					

ビット	説明
FLWE[5:0]	CFERRCTLR.DIAG = 1 の時、ECC セルフテスト・データの ECC コードとして、意図的にエラーを注入することができます。 000000B～111111B

6.3 コード・フラッシュ・メモリ ECC 機能のフロー・チャート

コード・フラッシュ・メモリ ECC 機能使用時のフロー・チャートを以下に示します

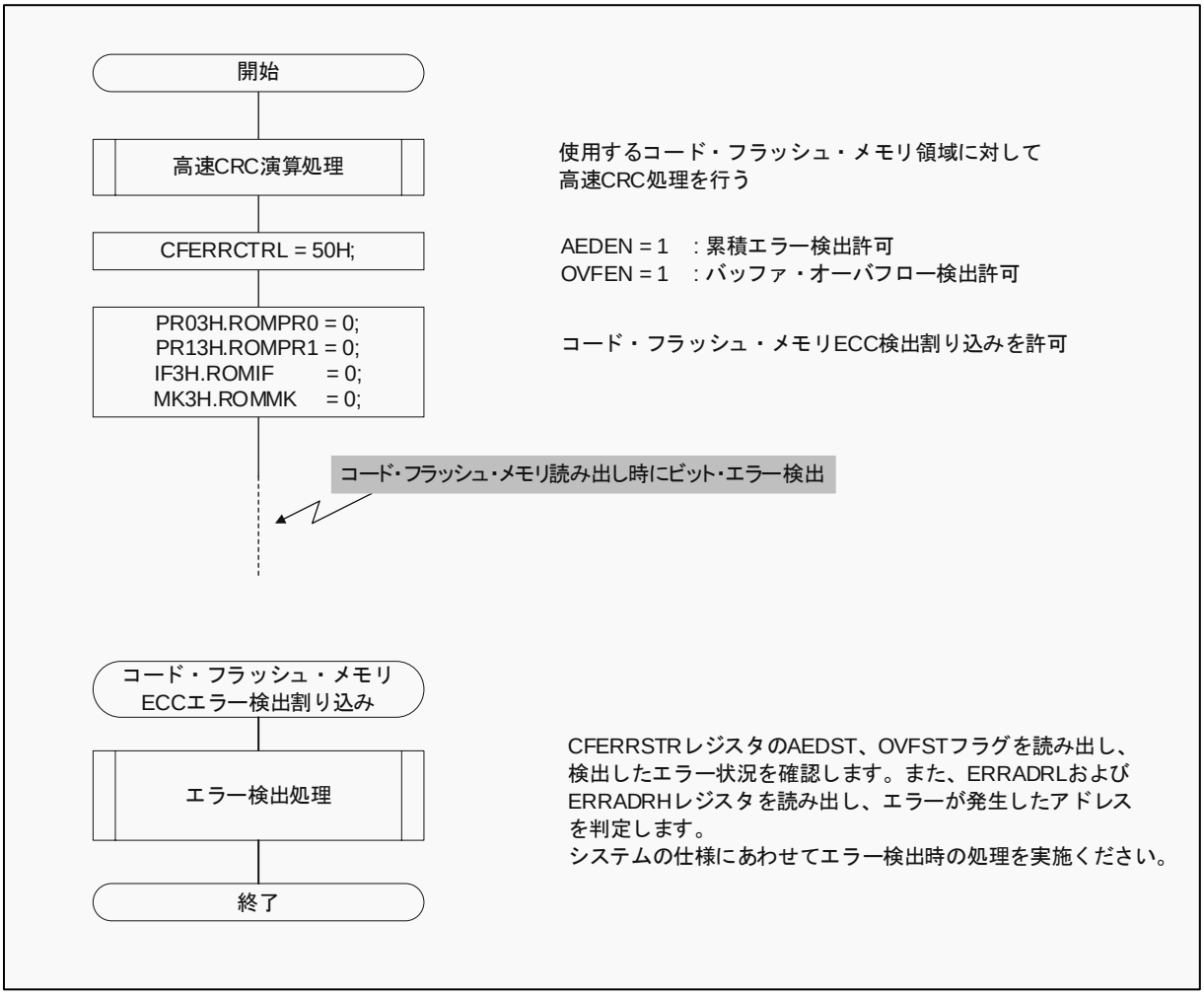


図 6-1 コード・フラッシュ・メモリ ECC 機能のフロー・チャート

6.4 コード・フラッシュ・メモリ ECC 機能を使用する際の注意事項

コード・フラッシュ・メモリ ECC 機能を使用する際の注意事項を以下に示します。

(1) BED（新規エラー検出）を許可し、かつ、1 ビット・エラーを検出した場合、ビット訂正を行うため、期待する値が読み出されます。

(2) 効果的にエラーを検出したい場合、リセット解除後に有効なコード・フラッシュ・メモリの領域に対して、高速 CRC テスト（または、CPU による読み出しテスト）を行ってください。

(3) セルフ・プログラミングによりコード・フラッシュ・メモリを書き換える場合、書き込み完了後にコード・フラッシュ・メモリ ECC 回路を初期化する必要があります。リセット（外部または内部）により初期化してください。

7. CPU スタック・ポインタ・モニタ機能

7.1 CPU スタック・ポインタ・モニタ機能の概要

スタック・ポインタの示すアドレスが、スタック領域の範囲内であるかを監視する機能です。スタック・ポインタが範囲外のアドレスに変化すると、割り込み要求（INTSPM）が発生します。

7.2 CPU スタック・ポインタ・モニタ機能のレジスタ

CPU スタック・ポインタ・モニタ機能で使用するレジスタを以下に説明します。

(1) SPM コントロール・レジスタ（SPMCTRL）

CPU スタック・ポインタ・モニタ機能の許可／禁止を設定します。8 ビット・メモリ操作命令でアクセスします。

アドレス：F00D8H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SPMCTRL	SPMEN	0	0	0	0	0	0	0

ビット	説明
SPMEN 注	0：スタック・ポインタ・モニタ機能禁止 1：スタック・ポインタ・モニタ機能許可、SPOFR, SPUFR レジスタへの書き込み禁止

注　SPMEN ビットは 1 書き込みのみ有効とし、SPMEN = 1 とした後の 0 書き込みは無効です。

(2) SP オーバフロー・アドレス設定レジスタ（SPOFR）

CPU スタック・ポインタ・モニタ機能のオーバフロー・アドレス（上限値）を設定します。16 ビット・メモリ操作命令でアクセスします。

アドレス：F00DAH　リセット時：FFFEH　R/W

略号	15							8	7						1	0
SPOFR	−	−	−	−	−	−	−	−	−	−	−	−	−	−	−	0

ビット	説明
15～0 注	スタック・ポインタのオーバフロー・アドレスを設定します。 ビット 0 は 0 固定です。書き込む場合、0 を書いてください。

注　SPMEN = 1 の場合、SPOFR レジスタへの書き込みは無効です。

(3) SP アンダフロー・アドレス設定レジスタ（SPUFR）

CPU スタック・ポインタ・モニタ機能のアンダフロー・アドレス（下限値）を設定します。16 ビット・メモリ操作命令でアクセスします。

アドレス：F00DCH　　リセット時：0000H　　R/W

略号	15							8	7						1	0
SPUFR	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	0

ビット	説明
15～0 注	スタック・ポインタのアンダフロー・アドレスを設定します。 ビット 0 は 0 固定です。書き込む場合、0 を書いてください。

注　SPMEN = 1 の場合、SPUFR レジスタへの書き込みは無効です。

7.3 CPU スタック・ポインタ・モニタ機能のフロー・チャート

CPU スタック・ポインタ・モニタ機能使用時のフロー・チャートを以下に示します。

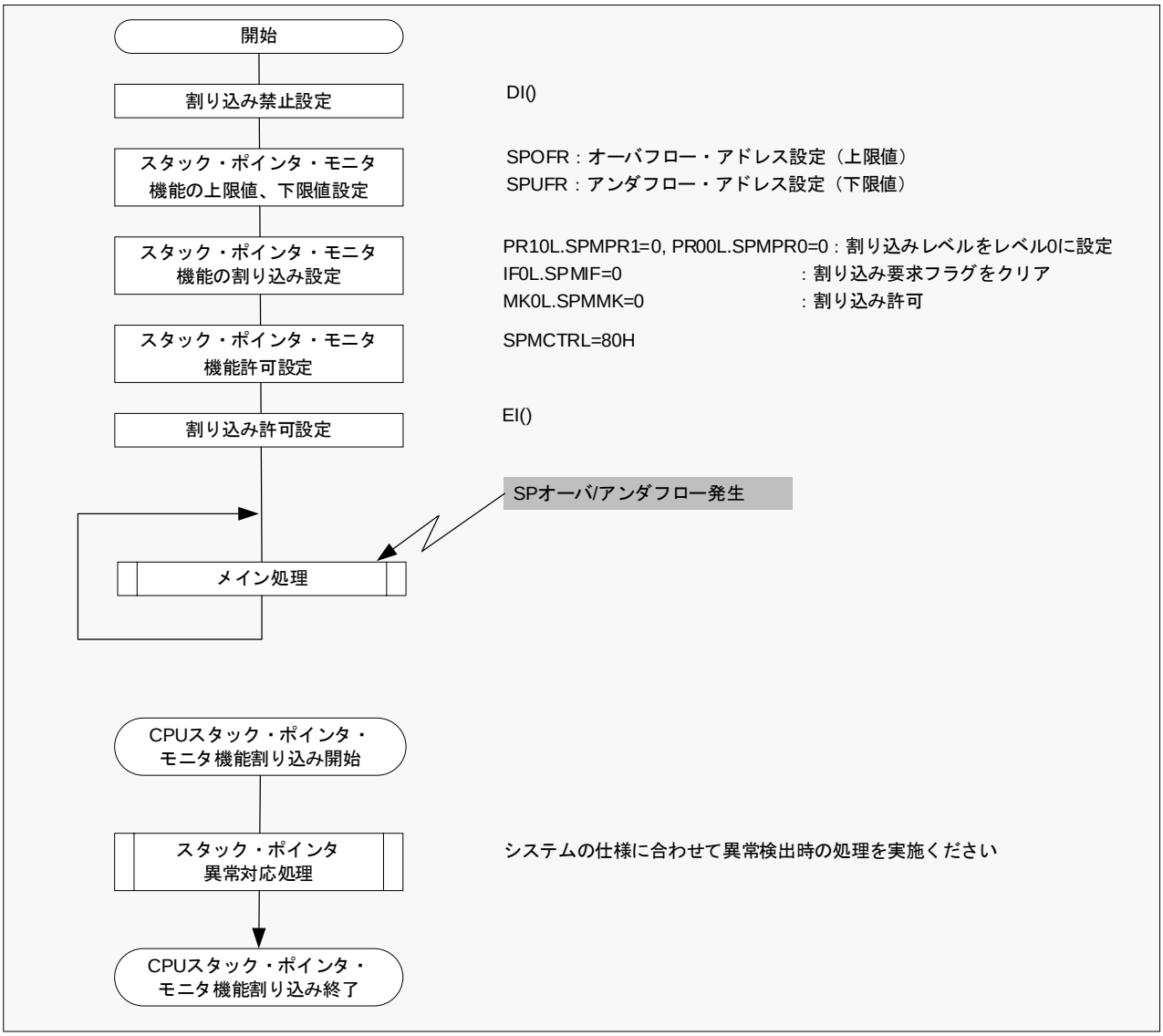


図 7-1 CPU スタック・ポインタ・モニタ機能のフロー・チャート

7.4 CPU スタック・ポインタ・モニタ機能の割り込み判定

CPU スタック・ポインタ・モニタ機能が生成する割り込みは、INTP4 とベクタ・テーブル・アドレスを共用しています。2 つの割り込みを共に使用される場合、SP オーバフロー／アンダフロー割り込みの発生をソフトウェアで判定する必要があります。

CPU スタック・ポインタ・モニタ機能の割り込み判定処理を図 7-2 に示します。

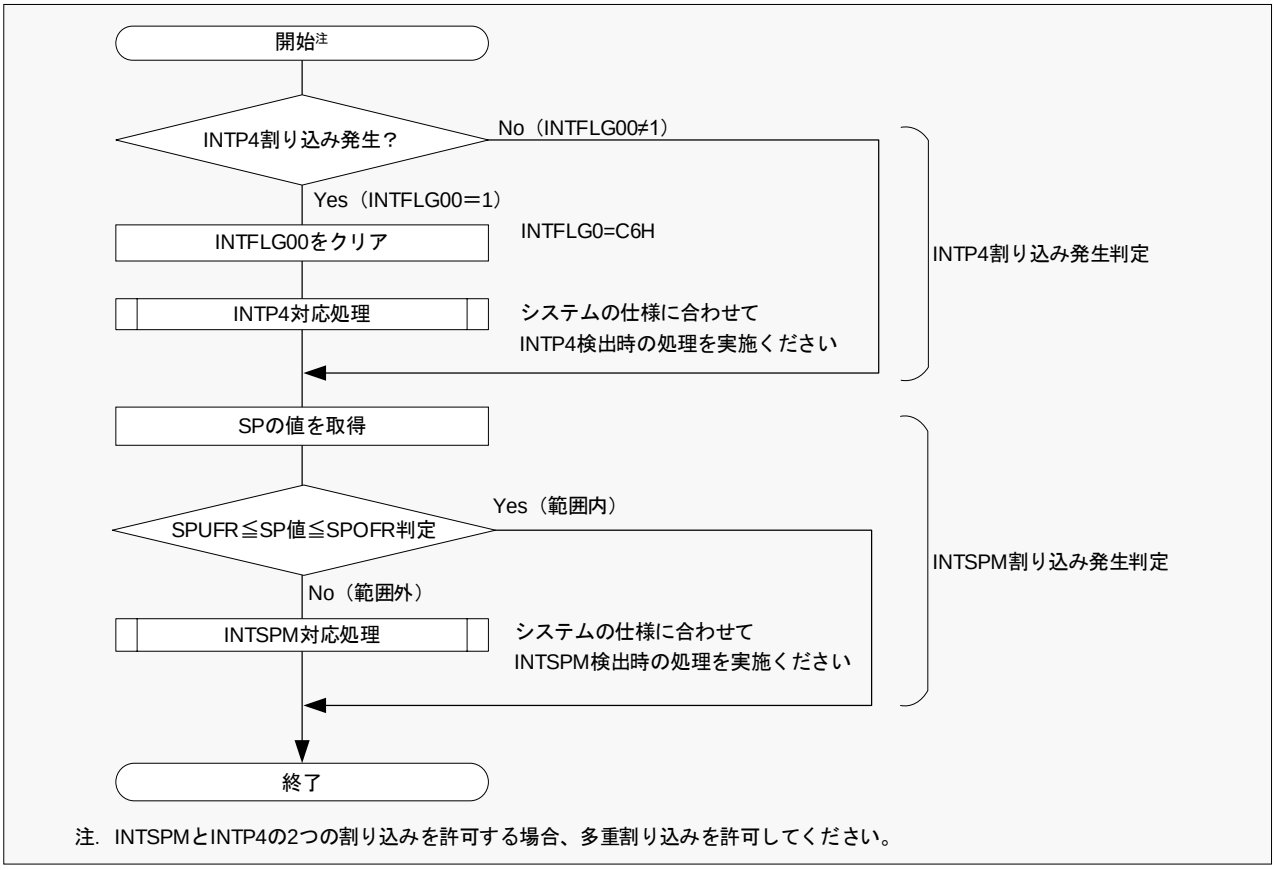


図 7-2 INTSPM 割り込みと INTP4 割り込みの判別処理

7.5 CPU スタック・ポインタ・モニタ機能を使用する際の注意事項

CPU スタック・ポインタ・モニタ機能を使用する際の注意事項を以下に示します。

(1) スタック・ポインタのオーバフロー／アンダフロー検出後、スタック・ポインタが SPOFR, SPUFR レジスタの範囲外となった状態を保持したままでは新たな検出を行いません。検出を行いたい場合、スタック・ポインタを監視範囲内に設定し直してください。

(2) INTSPM 割り込みと INTP4 割り込みはベクタ・テーブル・アドレスを共用しています。2 つの割り込みを共に使用される場合、SP オーバフロー／アンダフロー割り込みの発生をソフトウェアで判定する必要があります。

8. クロック・モニタ機能

8.1 クロック・モニタ機能の概要

クロック・モニタ機能は、メイン・システム・クロック（f_{MAIN}）およびメイン／PLL 選択クロック（f_{MP}）を低速オンチップ・オシレータ・クロック（f_{IL}）を使用して発振状態を監視する機能です。

メイン・システム・クロックの停止を検出した場合、リセットが発生します。PLL クロックが停止した場合は、クロック・スルー・モード（PLLSTS.SELPLLS=0）に切り替わり、INTCLM 割り込み要求が発生します。ただし、PLLCTL レジスタの SELPLL ビットは 1 のまま変化しません。

サンプリング・クロック（低速オンチップ・オシレータ・クロック）を停止させた場合、クロック・モニタ機能は動作しません。

8.2 クロック・モニタ機能のレジスタ

クロック・モニタ機能で使用するレジスタを以下に説明します。

(1) ユーザ・オプション・バイト（000C1H/040C1H）

クロック・モニタ機能の許可／禁止を設定します。

アドレス：000C1H/040C1H　リセット時：−（ユーザ設定値）

	7	6	5	4	3	2	1	0
000C1H/040C1H	VPOC[2:0]			CLKMB	LVIS[1:0]		LVIMDS[1:0]	

ビット	説明
CLKMB	0：クロック・モニタ機能動作 1：クロック・モニタ機能停止

(2) クロック・モニタ・テスト・レジスタ（CLMTES）

クロック・モニタ・テスト機能の許可／禁止を設定します。

アドレス：F02CCH　リセット時：00H　R/W

略号	<7>	6	5	4	<3>	2	<1>	<0>
CLMTES	TESEN	0	0	0	CLMTEN	0	CK2MSK	CK1MSK

ビット	説明
TESEN	0：クロック・モニタ・テスト機能設定禁止 1：クロック・モニタ・テスト機能設定許可
CLMTEN	0：クロック・モニタ・テスト停止 1：クロック・モニタ・テスト開始
CK2MSK	0：ロウ・レベル時、モニタ用クロック(f_{MP})を停止 1：モニタ用クロック(f_{MP})を停止しない
CK1MSK	0：ロウ・レベル時、モニタ用クロック(f_{MAIN})を停止。 1：モニタ用クロック(f_{MAIN})を停止しない。

8.3 クロック・モニタ機能のフロー・チャート

クロック・モニタ機能使用時のフロー・チャートを以下に示します。

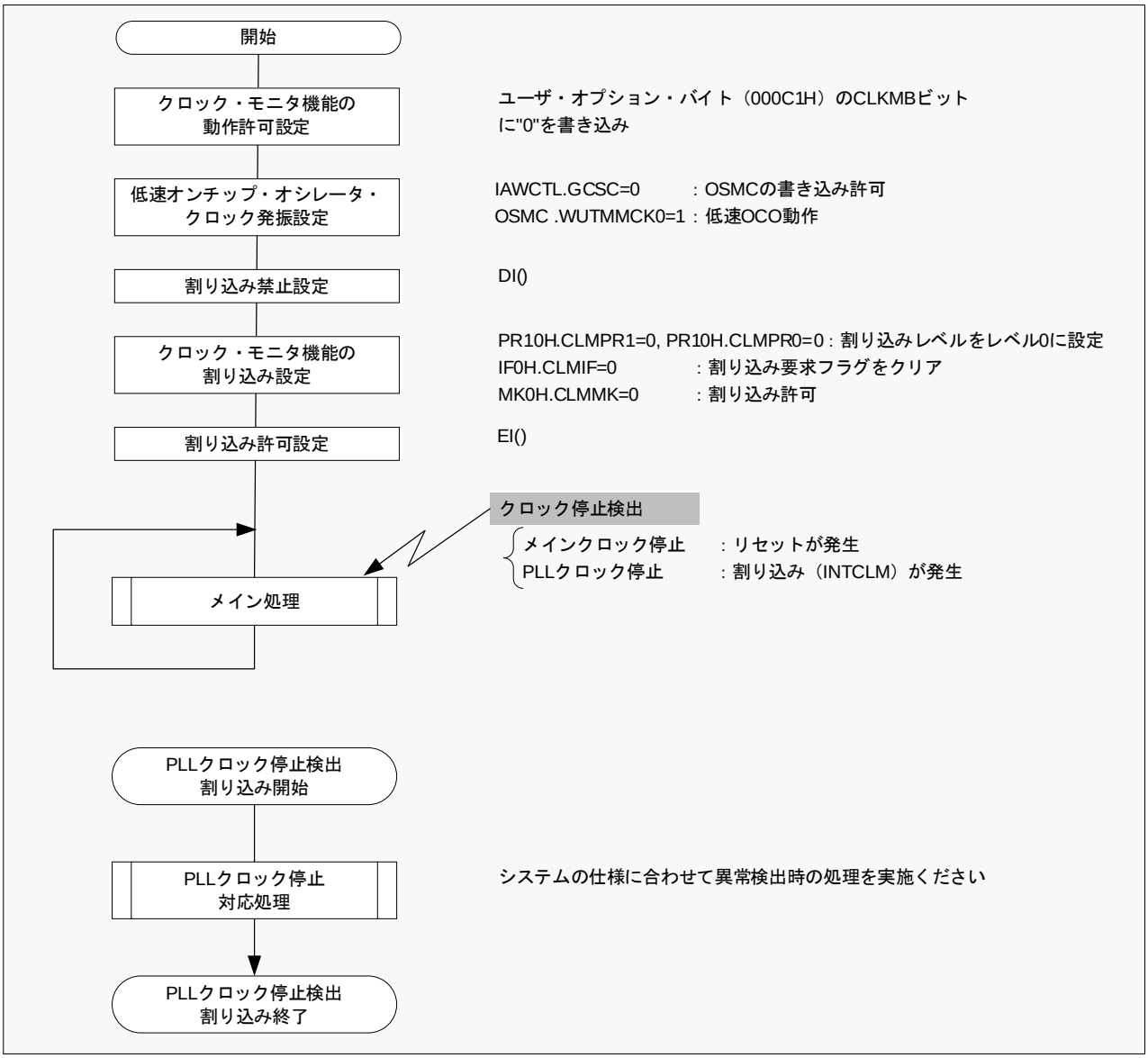


図 8-1 クロック・モニタ機能のフロー・チャート

8.4 クロック・モニタ機能の割り込み判定処理

クロック・モニタ機能の PLL クロック停止検出割り込みは、INTP13 とベクタ・テーブル・アドレスを共用しています。2 つの割り込みを共に使用される場合、割り込みの発生をソフトウェアで判定する必要があります。

PLL クロック停止検出の割り込み判定処理を図 8-2 に示します。

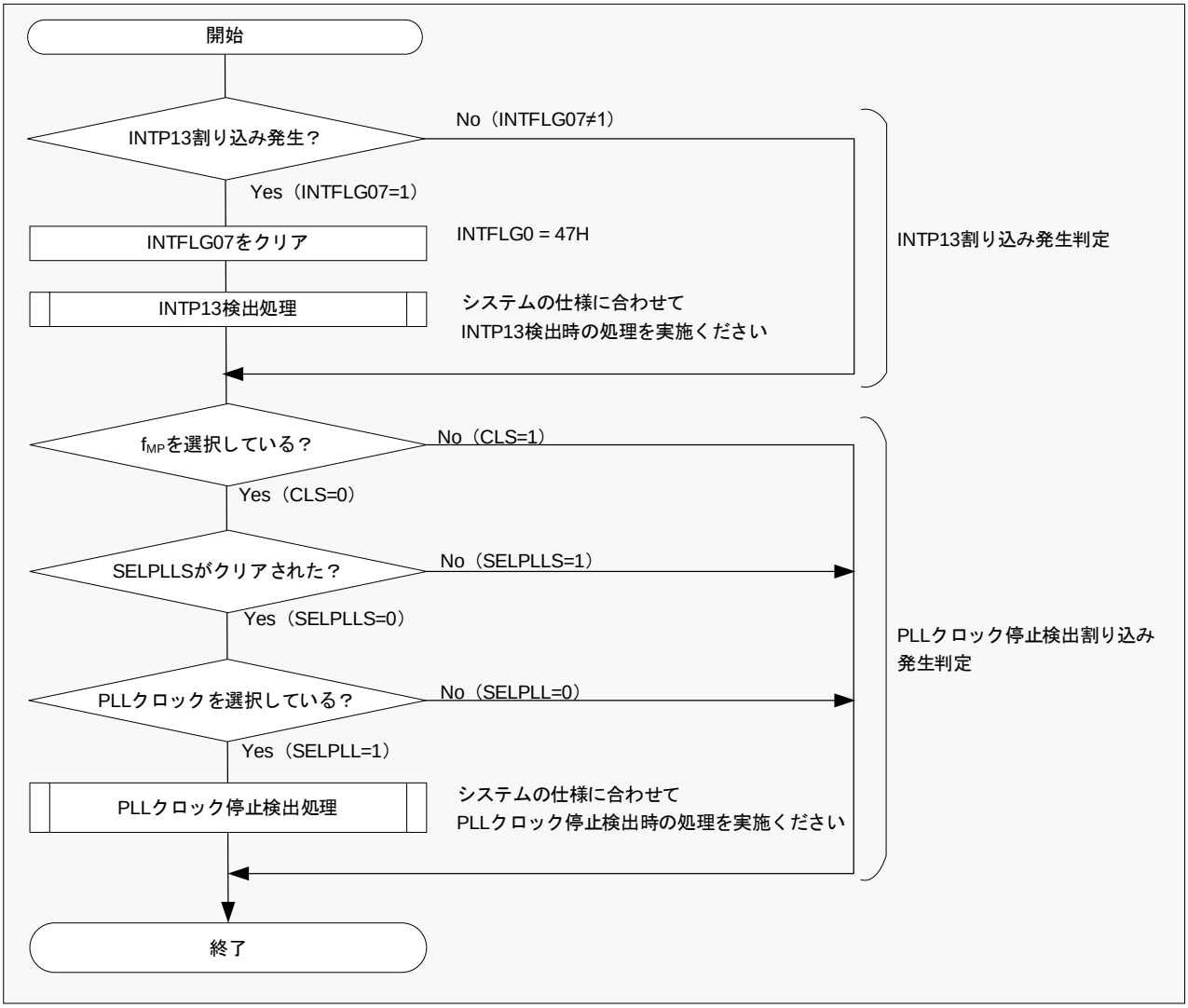


図 8-2 PLL クロック検出割り込みと INTP13 割り込みの判定処理

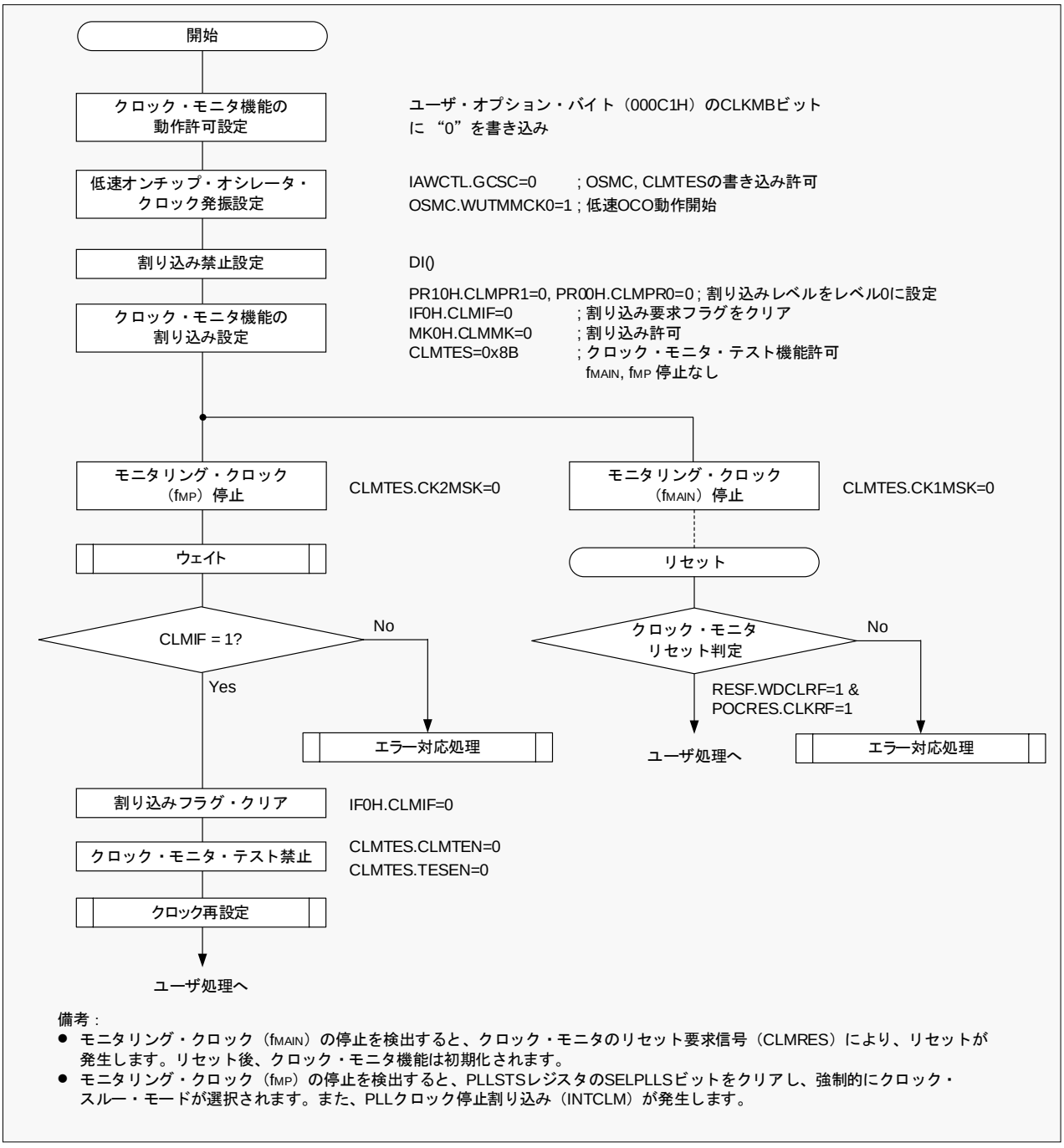
8.5 クロック・モニタ機能（セルフテスト・モード）のフロー・チャート

クロック・モニタ機能のセルフテスト・モードは、クロック・モニタが正常に動作しているかを確認するための機能です。ソフトウェア制御によりメイン・システム・クロック(f_{MAIN})およびメイン／PLL 選択クロック(f_{MP})のモニタ用クロックを停止することができる機能です。

ソフトウェア制御で CLMTES.CK1MSK=0 に設定することにより、メイン・システム・クロック(f_{MAIN})をモニタ用クロックとして、ロウ・レベル固定で入力することができます。

また、CLMTES.CK2MSK=0 に設定したとき、メイン／PLL 選択クロック(f_{MP})をモニタ用クロックとして、ロウ・レベル固定で入力することができます。

セルフテスト・モード使用時のフロー・チャートを以下に示します。



備考：
- モニタリング・クロック（f_{MAIN}）の停止を検出すると、クロック・モニタのリセット要求信号（CLMRES）により、リセットが発生します。リセット後、クロック・モニタ機能は初期化されます。
- モニタリング・クロック（f_{MP}）の停止を検出すると、PLLSTSレジスタのSELPLLSビットをクリアし、強制的にクロック・スルー・モードが選択されます。また、PLLクロック停止割り込み（INTCLM）が発生します。

図 8-3 クロック・モニタ機能（セルフテスト・モード）のフロー・チャート

8.6 クロック・モニタ機能を使用する際の注意事項

クロック・モニタ機能を使用する際の注意事項を以下に示します。

(1) クロック・モニタ機能は、以下の条件時、動作を停止します。

- ユーザ・オプション・バイト（000C1H）のビット 4（CLKMB）が 1 の場合
- サンプリング・クロックが停止している場合（低速オンチップ・オシレータが停止）
- STOP/SNOOZE モード中
- STOP モード解除後の発振安定時間のカウント中
- CPU／周辺ハードウェア・クロック周波数が、サブシステム・クロック（f_{SUB}）または低速オンチップ・オシレータ・クロック（f_{IL}）の場合

(2) クロック・モニタ機能が動作しているときに、PLL を停止させて STOP モードに移行する場合は、STOP 命令の実行前に PLLCTL.PLLON ビットを 0（PLL 停止）にしてください。

(3) クロック・モニタ機能の PLL クロック停止検出割り込みは、INTP13 とベクタ・テーブル・アドレスを共用しています。2 つの割り込みを共に使用される場合、割り込みの発生をソフトウェアで判定する必要があります。

9. RAM ガード機能

9.1 RAM ガード機能の概要

RAM ガード機能は、指定した空間のデータを保護する機能です。RAM ガード機能を設定すると、ガードされた空間への書き込みは無効となります。

9.2 RAM ガード機能のレジスタ

RAM ガード機能で使用するレジスタを以下に説明します。

(1) 不正メモリ・アクセス検出制御レジスタ（IAWCTL）

RAM ガード機能の有効／無効、およびガードする空間の設定を行うレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス：F0078H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM[1:0]		0	GPORT	GINT	GCSC

ビット	説明
GRAM[1:0]	RAM ガード空間 00B：無効 01B：RAM 下位アドレスから 128 バイト 10B：RAM 下位アドレスから 256 バイト 11B：RAM 下位アドレスから 512 バイト

注 RAMSAR レジスタで RAM 開始アドレスを設定してから、RAM ガード機能を使用してください。

(2) RAM 開始アドレス設定レジスタ（RAMSAR）

使用する RAM 領域の開始アドレスを設定するレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス：FF076H　　リセット時：EFH　　R/W

略号	7	0
RAMSAR	RAMSAR[7:0]	

ビット	説明
RAMSAR[7:0]	RAM 開始アドレス設定ビット（設定範囲：9FH～FDH） これらのビットは，RAM 開始アドレスのビット 15 からビット 8 を設定します。 （例）9FH が設定されている場合：RAM ガード開始アドレス = F9F00H

注 RAMSAR レジスタは、リセット解除後、1 回のみ書き込むことができます。RAMSAR レジスタ設定後の 2 クロック以内は RAM 領域をアクセスしないでください。

表 9-1　RAM ガード空間設定例

RAMSAR レジスタ値	GRAM[1:0]ビット値	有効 RAM 空間	RAM ガード空間
9FH	01B（128 バイト）	F9F00H～FFEFFH (24KB)	F9F00H～F9F7FH
	10B（256 バイト）		F9F00H～F9FFFH
	11B（512 バイト）		F9F00H～FA0FFH
AFH	01B（128 バイト）	FAF00H～FFEFFH (20KB)	FAF00H～FAF7FH
	10B（256 バイト）		FAF00H～FAFFFH
	11B（512 バイト）		FAF00H～FB0FFH
CFH	01B（128 バイト）	FCF00H～FFEFFH (12KB)	FCF00H～FCF7FH
	10B（256 バイト）		FCF00H～FCFFFH
	11B（512 バイト）		FCF00H～FD0FFH
DFH	01B（128 バイト）	FDF00H～FFEFFH (8KB)	FDF00H～FDF7FH
	10B（256 バイト）		FDF00H～FDFFFH
	11B（512 バイト）		FDF00H～FE0FFH
EFH	01B（128 バイト）	FEF00H～FFEFFH (4KB)	FEF00H～FEF7FH
	10B（256 バイト）		FEF00H～FEFFFH
	11B（512 バイト）		FEF00H～FF0FFH

9.3 RAM ガード機能のフロー・チャート

RAM ガード機能使用時のフロー・チャートを以下に示します。

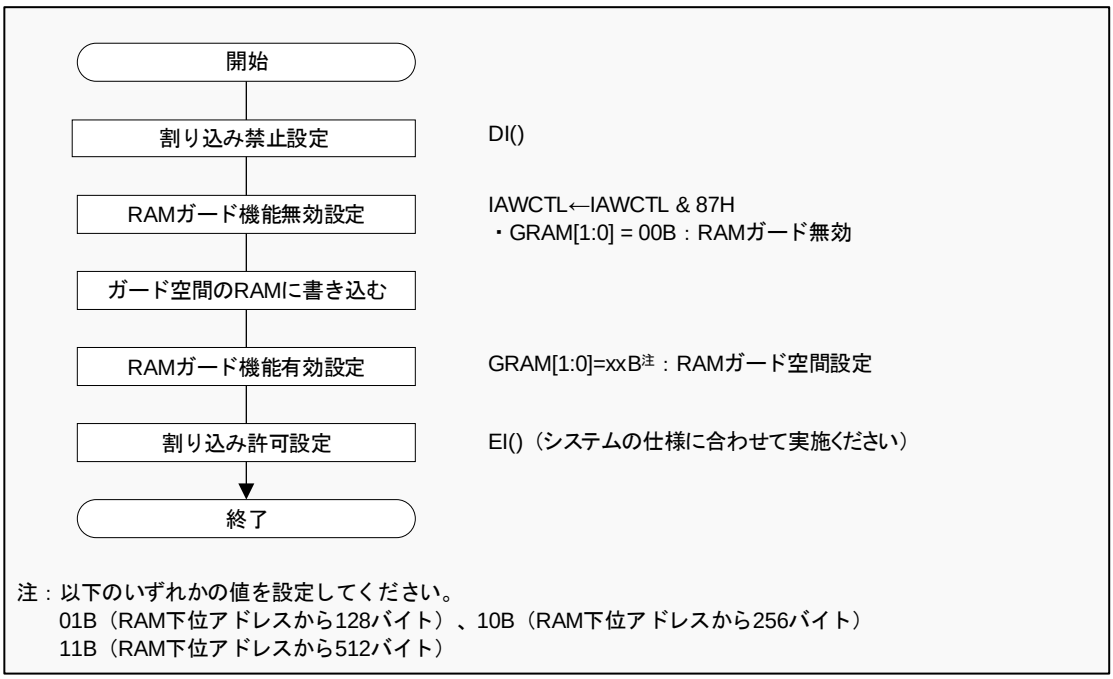


図 9-1 RAM ガード機能のフロー・チャート

9.4 RAM ガード機能を使用する際の注意事項

RAM ガード機能を使用する際の注意事項を以下に示します。

(1) オンチップ・デバッグ時にステップ実行で RAM ガード対象のメモリ領域に書き込む場合、RAM ガード機能は無効になります。

(2) スタック領域を RAM ガード機能の対象としないでください。

(3) RAM ガード機能を使用する場合、IAWCTL レジスタの GRAM[1:0]ビットで RAM ガード空間を設定する前に、RAMSAR レジスタで RAM 開始アドレスを設定してください。

10. SFR ガード機能

10.1 SFR ガード機能の概要

SFR ガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路制御のレジスタのデータを保護する機能です。SFR ガード機能を設定すると、ガードされた SFR への書き込みは無効となります。SFR ガード機能の対象レジスタを表 10-1 に示します。

表 10-1 SFR ガード機能の対象レジスタ

機能	ガード対象レジスタ 注1
ポート機能のレジスタ	PMxx, PUxx, PIMxx, POMxx, PMCxx, PITHLxx, PIORx
割り込み機能のレジスタ	IFxx, MKxx, PRxx, EGPx, EGNx
クロック制御機能、電圧低下検出機能のレジスタ	CMC, CSC, OSTS, CKC, PERx, OSMC, LVIM, LVIS, CANCKSEL, LINCKSEL, CKSEL, PLLCTL, MDIV, RTCCL, POCRES, STPSTC, CLMTES, ADCKS 注2

注 1. 製品により対象レジスタが異なります（ポートの有無や割り込みの有無）。

2. ADCKS レジスタは PER0 レジスタの ADCEN ビットが"1"のときにリード、ライトが許可されます。

10.2 SFR ガード機能のレジスタ

SFR ガード機能で使用するレジスタを以下に説明します。

(1) 不正メモリ・アクセス検出制御レジスタ（IAWCTL）

SFR ガード機能の有効／無効の設定を行うレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス：F0078H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM[1:0]		0	GPORT	GINT	GCSC

ビット	説明
GPORT	ポート機能の制御レジスタのガード 0：無効 1：有効
GINT	割り込み機能の制御レジスタのガード 0：無効 1：有効
GCSC	クロック制御機能、電圧検出回路の制御レジスタのガード 0：無効 1：有効

10.3 SFR ガード機能のフロー・チャート

SFR ガード機能使用時のフロー・チャートを以下に示します。

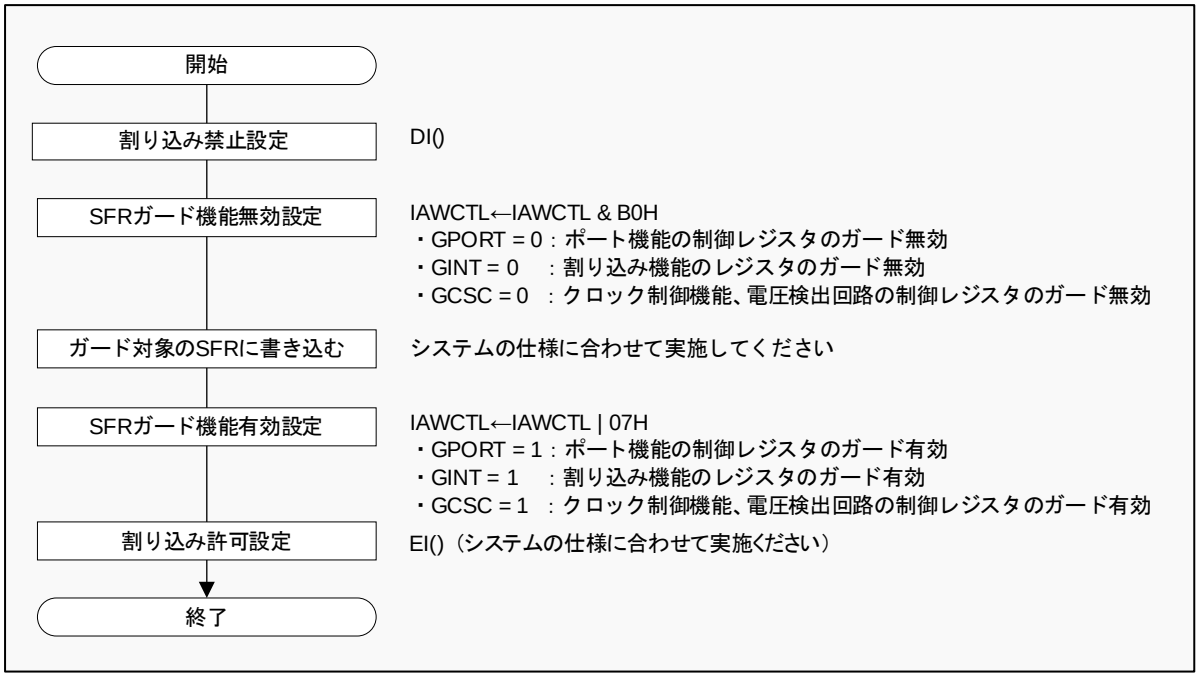


図 10-1 SFR ガード機能のフロー・チャート

10.4 SFR ガード機能を使用する際の注意事項

SFR ガード機能を使用する際の注意事項を以下に示します。

(1) リセット解除時、本機能は無効（GPORT, GINT, GCSC の値は "0"）になります。

(2) ポート・レジスタ（Pxx）はガードされません。

11. 不正メモリ・アクセス検出機能

11.1 不正メモリ・アクセス検出機能の概要

不正メモリ・アクセス検出機能は、不正アクセス検出空間（図 11-1 参照）をアクセスした際に、リセットを発生させる機能です。

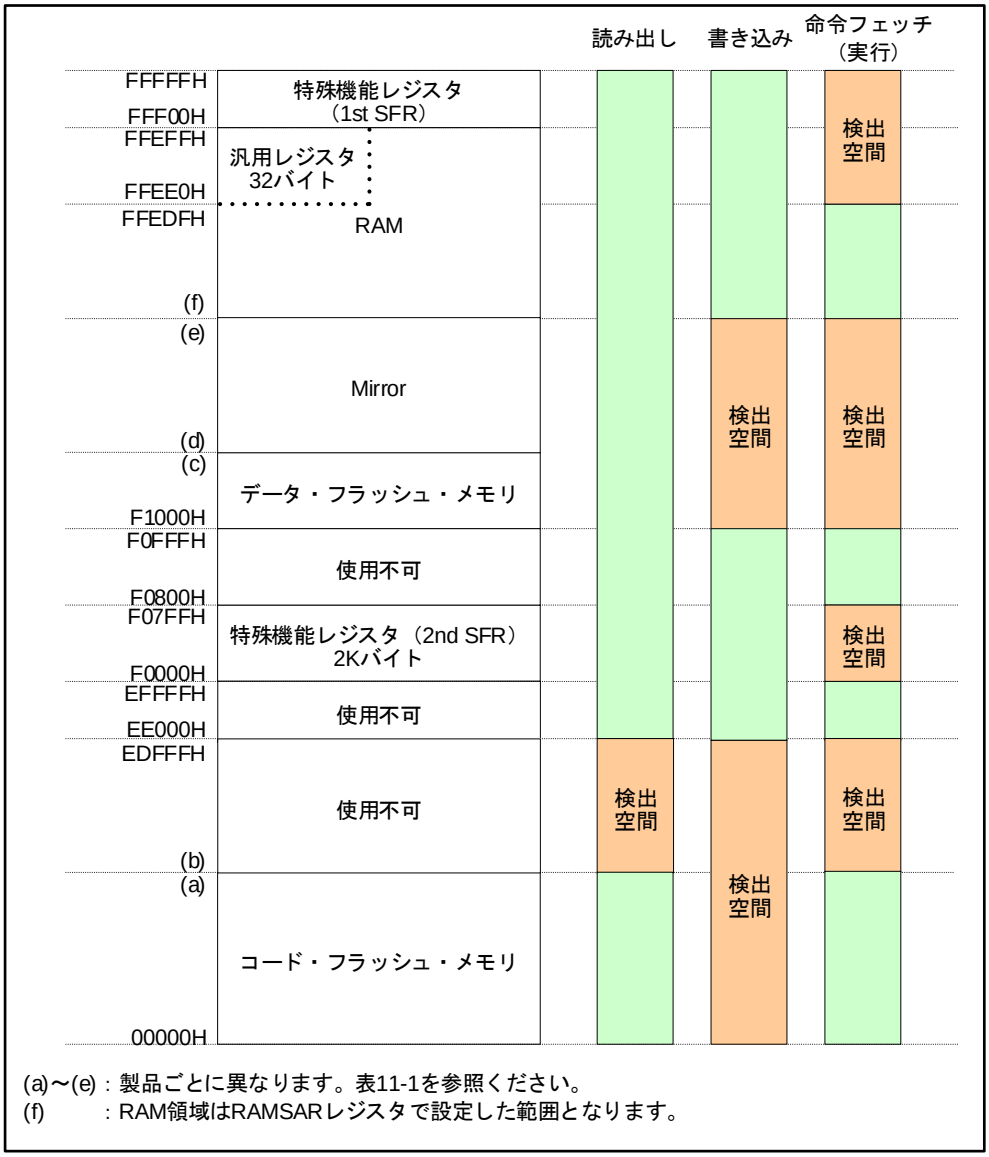


図 11-1　不正メモリ･アクセス検出空間

表 11-1　RL78 製品別メモリ空間

	対応アドレス	RL78/F24	RL78/F23
(f)	RAM 空間開始アドレス (RAMSAR レジスタの設定により決まります)	F9F00H (RAMSAR=9FH)	FCF00H (RAMSAR=CFH)
(e)	ミラー空間終了アドレス	F9EFFH	FCEFFH
(d)	ミラー空間開始アドレス	F5000H	F3000H
(c)	データ・フラッシュ・メモリ空間終了アドレス	F4FFFH	F2FFFH
(b)	コード・フラッシュ・メモリ空間終了アドレス+1	40000H	20000H
(a)	コード・フラッシュ・メモリ空間終了アドレス	3FFFFH	1FFFFH

11.2 不正メモリ・アクセス検出機能のレジスタ

不正メモリ・アクセス検出機能で使用するレジスタを以下に説明します。

(1) 不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出有効／無効の設定を行うレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス：F0078H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM[1:0]		0	GPORT	GINT	GCSC

ビット	説明
IAWEN 注	0：不正メモリ・アクセスの検出無効 1：不正メモリ・アクセスの検出有効

注　IAWEN ビットは 1 の書き込みのみ有効です。IAWEN = 1 としたあとの 0 の書き込みは無効です。

11.3 不正メモリ・アクセス検出機能のフロー・チャート

不正メモリ・アクセス検出機能使用時のフロー・チャートを以下に示します。

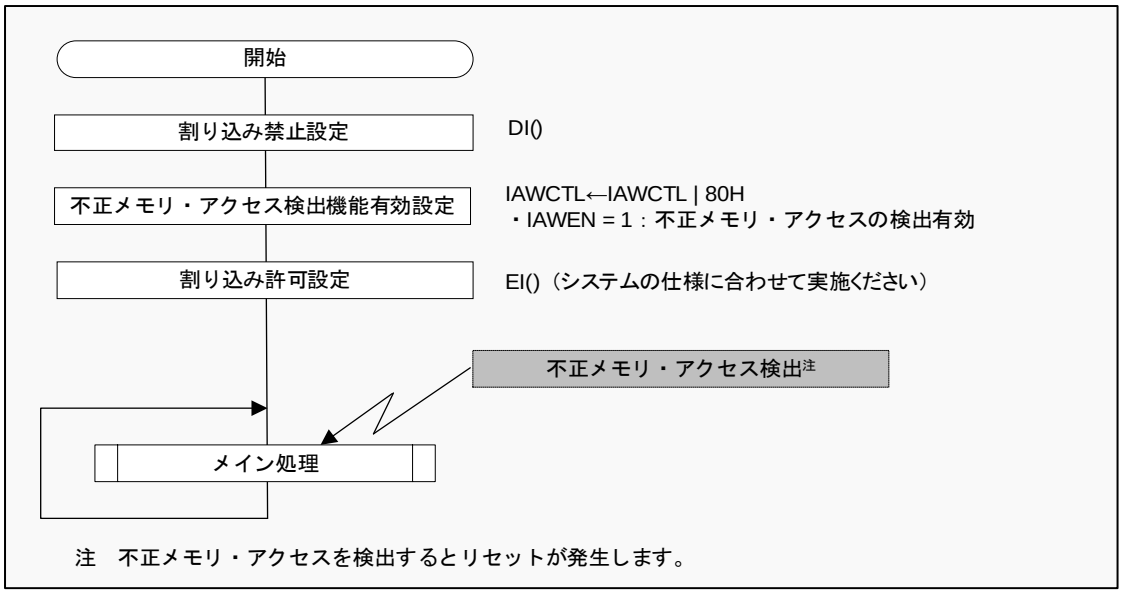


図 11-2　不正メモリ・アクセス検出機能のフロー・チャート

11.4 不正メモリ・アクセス機能を使用する際の注意事項

不正メモリ・アクセス検出機能を使用する際の注意事項を以下に示します。

(1) ユーザ・オプション・バイト（000C0H）のビット 4（WDTON）が 1 の場合、IAWEN ビットの設定に関わらず、不正メモリ・アクセス検出機能は有効となります。

12. 周波数検出機能

12.1 周波数検出機能の概要

周波数検出機能は、CPU／周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロック（f_{IH}）、高速システム・クロック（f_{MX}）、および PLL クロック（f_{PLL}）のいずれかを選択した時、低速オンチップ・オシレータ・クロック（f_{IL}）と比較することで f_{CLK} の周波数異常を検出する機能です。

タイマ・アレイ・ユニット 0（TAU0）を使用し、基準クロック（低速オンチップ・オシレータ・クロック）の 1 クロック中にモニタ・クロック（f_{IH}, f_{MX}, f_{PLL} のいずれか）が何回カウントしたかをユーザ・ソフトウェアで判定します。

12.2 周波数検出機能のレジスタ

周波数検出機能で使用するレジスタを以下に説明します。

(1) タイマ入力選択レジスタ 0（TIS0）

タイマ・アレイ・ユニット 0 のチャネル 1 のタイマ入力に低速オンチップ・オシレータ・クロックを選択します。8 ビット・メモリ操作命令でアクセスします。

アドレス：F0074H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TIS0	TIS07	TIS06	0	TIS04	0	TIS0[2:0]		

ビット	説明
TIS0[2:0]	タイマ・アレイ・ユニット 0 チャネル 1 で使用するタイマ入力の選択 000B, 010B, 011B ：タイマ入力端子（TI01）の入力信号 001B ：ELC 注 からのイベント入力信号 100B ：低速オンチップ・オシレータ・クロック（f_{IL}） 101B ：サブ／低速オンチップ・オシレータ・クロック（f_{SL}） 上記以外 ：設定禁止

注　RL78/F24 のみ使用可能です。RL78/F23 は使用できません。

(2) タイマ・アレイ・ユニット 0 関連レジスタ

- タイマ・モード・レジスタ 01（TMR01）
  CKS01[1:0]=動作クロック選択（チャネル 1 の動作クロックに CK00～CK03 のいずれかを選択）
  CCS01=0（カウント・クロック選択に "0"（動作クロック（f_{MCK}））を選択）
  SPLIT01=0（16 ビット・タイマ動作を選択）
  STS01[2:0]=001B（TI01 端子入力の有効エッジをスタート・トリガ，キャプチャ・トリガの両方に使用）
  CIS01[1:0]=00B（TI01 端子入力の有効エッジに立ち下がりエッジ検出を選択）
  MD01[3:1]=010B（チャネル 1 の動作モードをキャプチャ・モードに選択）
  MD010=0（カウント開始時に INTTM01 発生しないを選択）
  タイマ・チャネル開始レジスタ 0（TS0）
  TS01：チャネル 1 の動作許可
- タイマ・データ・レジスタ 01（TDR01）
  低速オンチップ・オシレータ・クロックの入力信号により、カウント値をキャプチャする
- タイマ・ステータス・レジスタ 01（TSR01）
  OVF：チャネル 1 のオーバフローを判定する
- タイマ・チャネル停止レジスタ 0（TT0）
  TT01：チャネル 1 の動作停止

12.3 周波数検出機能のフロー・チャート

周波数検出機能使用時のフロー・チャートを以下に示します。

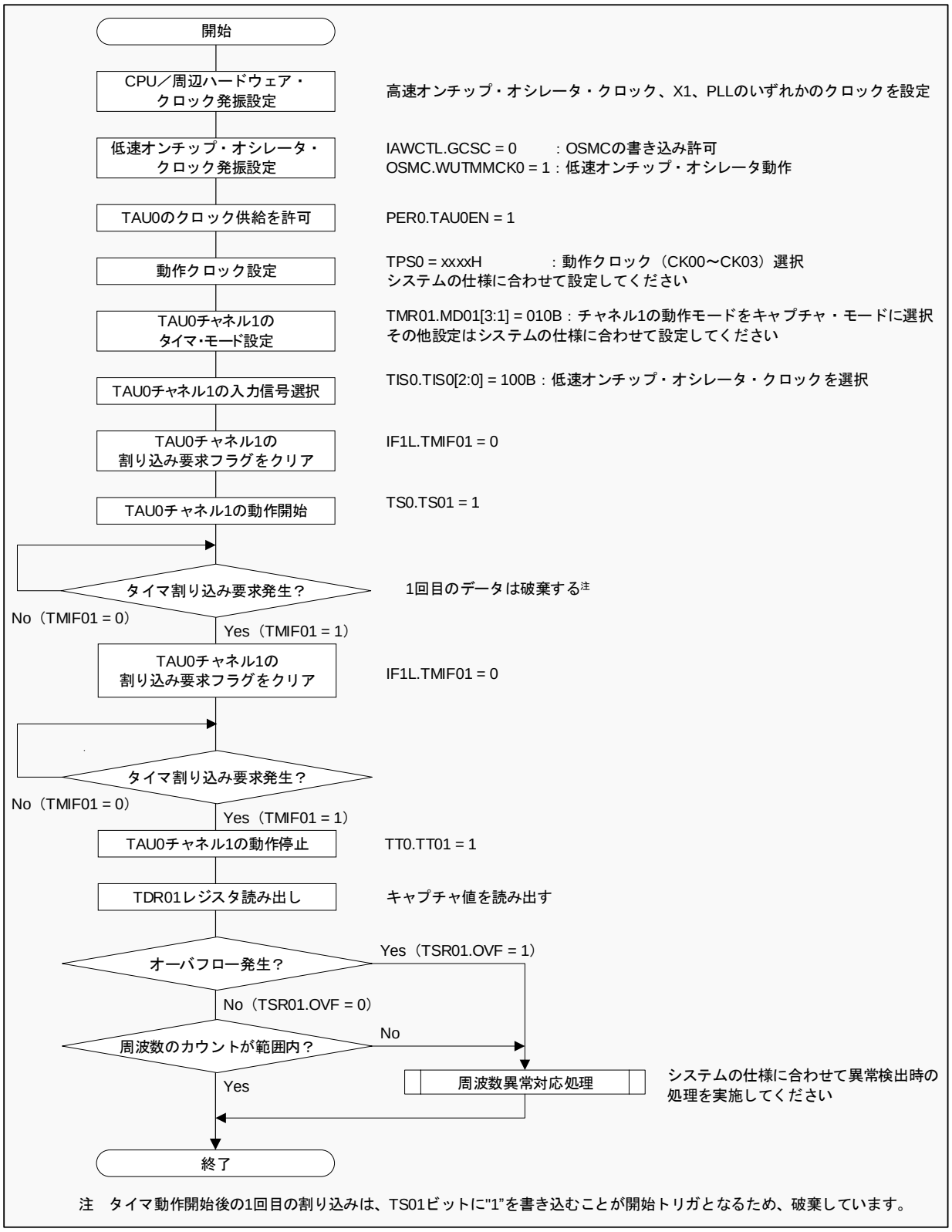


図 12-1 周波数検出機能のフロー・チャート

13. A/D テスト機能

13.1 A/D テスト機能の概要

A/D テスト機能は、内部電圧の A/D 変換による自己診断と、アナログ入力端子の断線検出を支援する機能を提供します。

(1) 12 ビット A/D コンバータの自己診断
低電位基準電圧、高電位基準電圧/2、高電位基準電圧の内部電圧を A/D 変換することにより、A/D コンバータが正常に動作していることを確認する機能です。

(2) 断線検出アシスト機能
A/D 変換開始前にサンプリング容量の電荷をプリチャージあるいはディスチャージする機能を内蔵しています。ユーザがこの機能を使用することにより、アナログ入力に接続した配線の断線検出に使用することができます。以下に断線アシスト機能の概要を示します。
なお、自己診断使用時は、断線検出アシスト機能を使用できません。

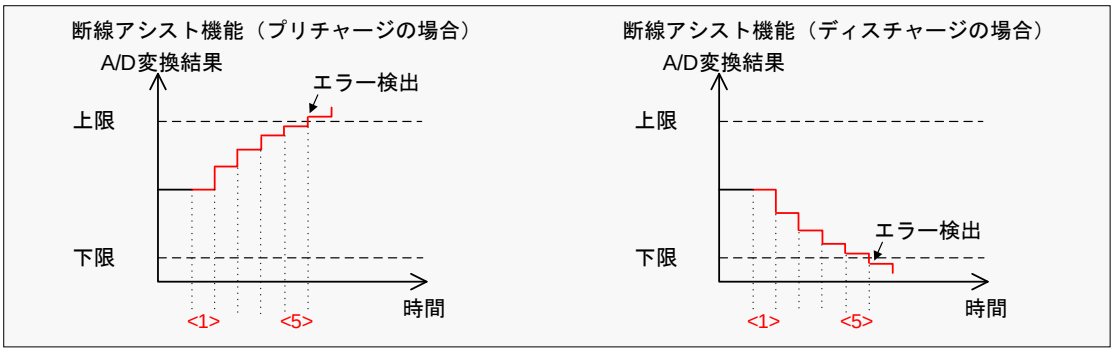


図 13-1 断線アシスト機能の概要

13.2 A/D テスト機能のレジスタ

A/D テスト機能で使用するレジスタの説明を以下に説明します。

(1) A/D 制御拡張レジスタ（ADCER）

A/D コンバータの自己診断を選択するレジスタです。16 ビット・メモリ操作命令でアクセスします。

アドレス：F06BEH (ADWINR: 00H)　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
ADCER	ADRFMT	0	0	0	DIAGM	DIAGLD	DIAGVAL[1:0]	

7	6	5	4	3	2	1	0
0	0	ACE	0	0	0	0	0

ビット	説明
DIAGM	A/D コンバータの自己診断の選択 0：自己診断を無効 1：自己診断を有効
DIAGLD	自己診断モードの選択 0：自己診断の有効時に設定しない 1：自己診断電圧固定モードを使用する
DIAGVAL[1:0]	自己診断に使用する A/D 変換電圧の設定 00B：自己診断電圧固定モード時は設定禁止 01B：0V に設定する 10B：基準電圧の 1/2 に設定する 11B：基準電圧に設定する

(2) A/D 自己診断データ・レジスタ（ADRD）

A/D コンバータの自己診断実施時に診断結果（A/D 変換結果）を取得するレジスタです。16 ビット・メモリ操作命令でアクセスします。

アドレス：F06BEH (ADWINR: 01H)　リセット時：0000H　R

ADCER.ADRFMT = 0（右詰め）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADRD	0	0	0	0	AD[11:0]											

ADCER.ADRFMT = 1（左詰め）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADRD	AD[11:0]												0	0	0	0

ビット	説明
AD[11:0]	A/D 変換結果

(3) A/D 断線検出コントロール・レジスタ（ADDISCR）

A/D ポートの断線検出を制御するためのレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス：F06BAH (ADWINR: 07H)　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADDISCR	0	0	0	ADNDIS[4:0]				

ビット	説明
ADNDIS[4]	A/D チャージ方式選択 0：ディスチャージを選択 1：プリチャージを選択
ADNDIS[3:0]	チャージ時間の選択 0000B：断線検出アシスト機能は無効 0001B：設定禁止 0010B： 2 cycles, 0011B： 3 cycles, 0100B： 4 cycles, 0101B： 5 cycles, 0110B： 6 cycles, 0111B： 7 cycles, 1000B： 8 cycles, 1001B： 9 cycles, 1010B：10 cycles, 1011B：11 cycles, 1100B：12 cycles, 1101B：13 cycles, 1110B：14 cycles, 1111B：15 cycles

13.3 A/D テスト機能（自己診断機能）のフロー・チャート

A/D テスト機能（自己診断機能）使用時のフロー・チャートを以下に示します。

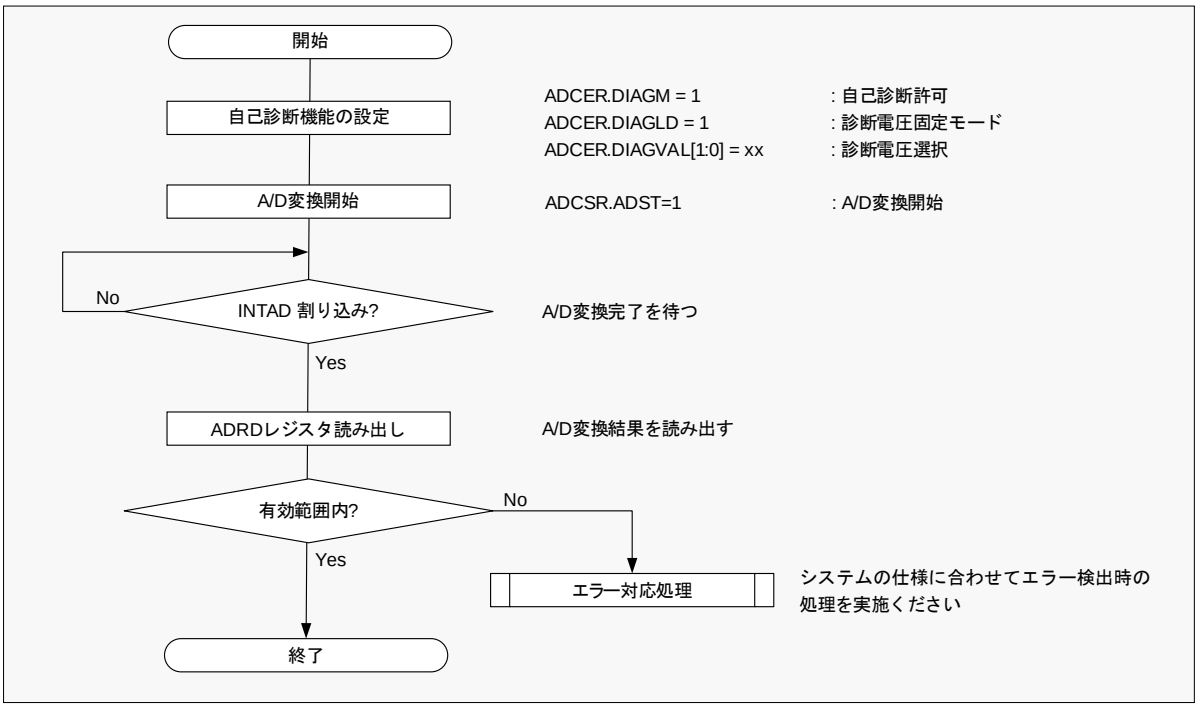


図 13-2 A/D テスト機能（自己診断機能）のフロー・チャート

13.4 A/D テスト機能（断線検出機能）のフロー・チャート

A/D テスト機能（断線検出機能）使用時のフロー・チャートを以下に示します。

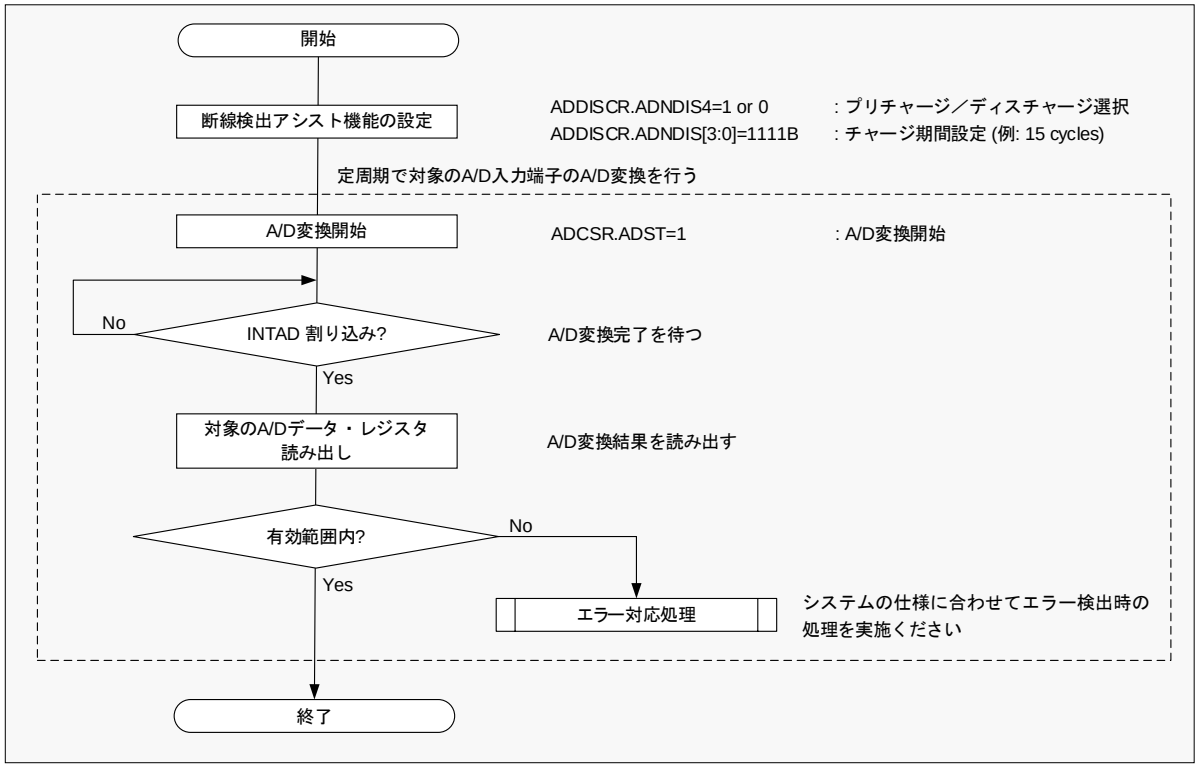


図 13-3 A/D テスト機能（断線検出機能）のフロー・チャート

13.5 A/D テスト機能を使用する際の注意事項

A/D テスト機能を使用する際の注意事項を以下に示します。

(1) 断線検出アシスト機能を使用する場合、アナログ入力部の抵抗成分による誤差電圧が入力されるため、A/D コンバータの絶対精度に誤差が生ずる可能性があります。

(2) A/D 変換結果を判定する場合、A/D 変換精度、電源変動ノイズ等を考慮して、複数回数の評価や十分なマージンを確保した判定値を使用する等、ご使用環境に合わせ検討ください。

14. 入出力ポートのデジタル出力信号レベル検出機能

14.1 入出力ポートのデジタル出力信号レベル検出機能の概要

入出力ポートのデジタル出力信号レベル検出機能は、ポートが出力モード時に、端子のデジタル出力レベルを読み出す機能です。端子部の不良診断を行うことができます。

14.2 入出力ポートのデジタル出力信号レベル検出機能のレジスタ

入出力ポートのデジタル出力信号レベル検出機能で使用するレジスタを以下に説明します。

(1) ポート・モード選択レジスタ（PMS）

ポートが出力モードの時に、ポートの出力ラッチの値を読み出すか、端子の出力レベルを読み出すかを選択するレジスタです。1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令でアクセスします。

アドレス：F0077H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	<0>
PMS	0	0	0	0	0	0	0	PMS0

ビット	説明
PMS0	ポートが出力モードの時（PMmn=0）に読み出すデータの選択 0：Pmn レジスタの値（出力ラッチ）を読み出す 1：端子の出力レベルを読み出す

備考 m = 0～15, n = 0～7

14.3 入出力ポートのデジタル出力信号レベル検出機能のフロー・チャート

入出力ポートのデジタル出力信号レベル検出機能使用時のフロー・チャートを以下に示します。

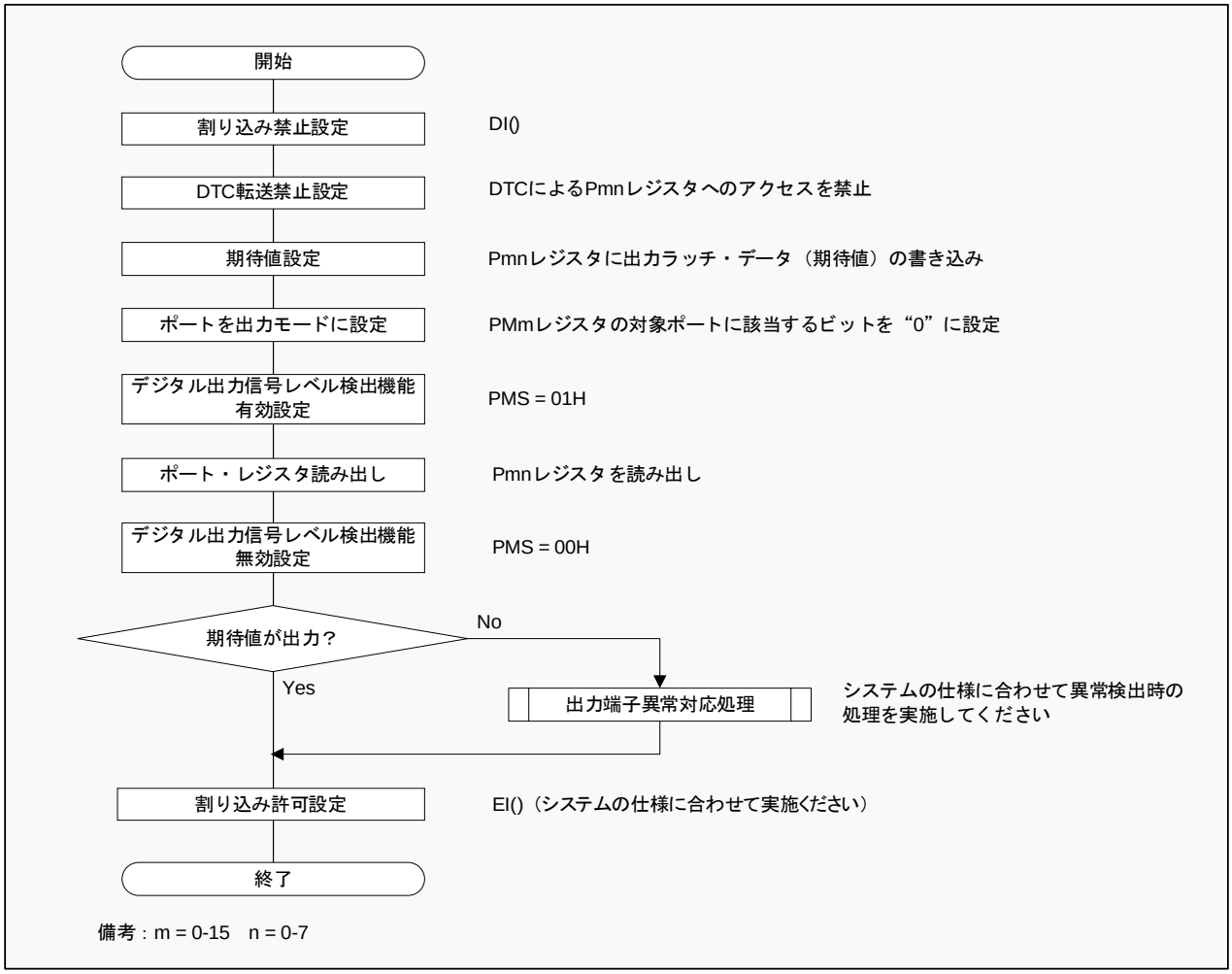


図 14-1　入出力ポートのデジタル出力信号レベル検出機能のフロー・チャート

14.4 入出力ポートのデジタル出力信号レベル検出機能を使用する際の注意事項

入出力ポートのデジタル出力信号レベル検出機能を使用する際の注意事項を以下に示します。

(1) PMS レジスタの PMS0 ビットが "1"（端子の出力レベルを読み出す）の時に、ポート・レジスタ（Pmn）に対してビット操作命令や AND, OR 命令等の演算命令を使用した書き込みを行うと、検出非対象のビット（同じポート・レジスタ内の他のビット）に対して、その時に端子から読み出されたレベルをポート・ラッチに格納します。PMS0 ビットが "1"の時に、ポート・レジスタに書き込みを行う場合は、8 ビット・データ転送命令を使用してください。また、DI（割り込み禁止）として、ポート・レジスタを読み出してください。

15. ウォッチドッグ・タイマ機能

15.1 ウォッチドッグ・タイマ機能の概要

ウォッチドッグ・タイマ機能は、プログラムの暴走を検出するために使用します。暴走を検出すると、内部リセット信号を発生します。

15.2 ウォッチドッグ・タイマ機能のレジスタ

ウォッチドッグ・タイマ機能で使用するレジスタを以下に説明します。

(1) ユーザ・オプション・バイト（000C0H/040C0H）

ウォッチドッグ・タイマの動作について設定します。

アドレス：000C0H/040C0H　　リセット時：−（ユーザ設定値）

	7	6	5	4	3	2	1	0
000C0H/040C0H	WDTINT	WINDOW[1:0]		WDTON	WDCS[2:0]			WDSTBYON

ビット	説明
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用設定 0: インターバル割り込みを使用しない 1: オーバフロー時間の 75% + 1/2f_{WDT} 禁止到達時にインターバル割り込みを発生する
WINDOW[1:0]	ウォッチドッグ・タイマのウィンドウ・オープン期間設定 00B: 設定禁止 01B：50% 10B：75% 11B：100%
WDTON	ウォッチドッグ・タイマのカウンタ動作の許可設定 0：カウンタ動作禁止（リセット解除後、カウント停止） 1：カウンタ動作許可（リセット解除後、カウント開始）
WDCS[2:0]	ウォッチドッグ・タイマのオーバフロー時間（f_{WDT} = 17.25kHz(MAX.)の場合） 000B：2^6 / f_{WDT} (　3.71 ms) 001B：2^7 / f_{WDT} (　7.42 ms) 010B：2^8 / f_{WDT} (　14.84 ms) 011B：2^9 / f_{WDT} (　29.68 ms) 100B：2^{11} / f_{WDT} (　118.72 ms) 101B：2^{13} / f_{WDT} (　474.90 ms) 110B：2^{14} / f_{WDT} (　949.80 ms) 111B：2^{16} / f_{WDT} (3799.19 ms)
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御設定 0：HALT/ STOP/ SNOOZE モード時、カウンタ動作停止 1：HALT/ STOP/ SNOOZE モード時、カウンタ動作許可

(2) ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始を指示するためのレジスタです。8ビット・メモリ操作命令でアクセスします。ユーザ・オプション・バイトの WDTON=1 のとき、本レジスタに ACH を書き込むことにより、カウンタのクリアとカウントを開始します。

アドレス：FFFABH　リセット時：1AH / 9AH 注　R/W

略号	7	6	5	4	3	2	1	0
WDTE								

ビット	説明
7-0	• ウィンドウ・オープン期間に ACH を書き込むとウォッチドック・タイマのカウンタをクリアします。なお、リセット解除後の 1 回目の書き込みは、ウィンドウ・オープン期間に関係しません。 • WDTON が”1”のとき、かつ、ウィンドウ・クローズ期間に書いた場合、内部リセットが発生します。 • WDTON が”1”のとき、かつ、ACH 以外の値を書いた場合、および 1 ビット・メモリ操作命令で書いた場合、内部リセットが発生します。

注 WDTE レジスタのリセット値は、オプション・バイト（000C0H）の WDTON ビットの設定値により異なります。
・WDTON = 1 の場合：1AH
・WDTON = 0 の場合：9AH

15.3 ウォッチドッグ・タイマ機能のフロー・チャート

ウォッチドッグ・タイマ使用時のフロー・チャートを以下に示します。

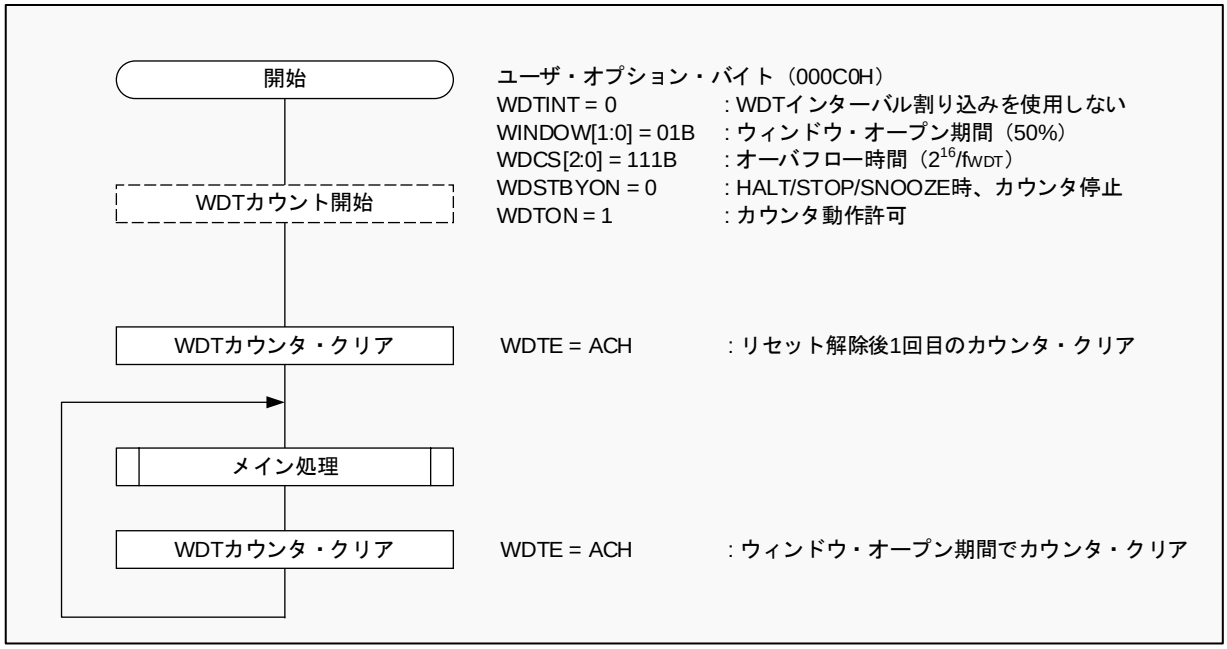


図 15-1 ウォッチドッグ・タイマ機能のフロー・チャート

15.4 ウォッチドッグ・タイマ機能を使用する際の注意事項

ウォッチドッグ・タイマ機能を使用する際の注意事項を以下に示します。

(1) ウォッチドッグ・タイマのウィンドウ・オープン期間の設定を 75%に設定したとき、ウィンドウ・クローズ期間を避けてカウンタ・クリアを行って下さい。表 15-1 にウィンドウ・オープン期間 75%時のカウンタ・クリア禁止期間を、スタンバイ・モード（間欠動作）時にウィンドウ・クローズ期間を避けてカウンタ・クリアを行う処理例を 15.5 に示します。

表 15-1 WDT のカウンタ・クリア禁止期間

WDCS2	WDCS1	WDCS0	WDT のオーバフロー時間 （f_{WDT}=17.25MHz(MAX.)の場合）	WDT のカウンタ・クリア 禁止期間
0	0	0	2^6 / f_{WDT} (3.71ms)	1.85ms～ 2.51ms
0	0	1	2^7 / f_{WDT} (7.42ms)	3.71ms～ 5.02ms
0	1	0	2^8 / f_{WDT} (14.84ms)	7.42ms～ 10.04ms
0	1	1	2^9 / f_{WDT} (29.68ms)	14.84ms～ 20.08ms
1	0	0	2^{11} / f_{WDT} (118.72ms)	56.36ms～ 80.32ms
1	0	1	2^{13} / f_{WDT} (474.89ms)	237.44ms～ 321.26ms
1	1	0	2^{14} / f_{WDT} (949.79ms)	474.89ms～ 642.51ms
1	1	1	2^{16} / f_{WDT} (3799.18ms)	1899.59ms～ 2570.04ms

15.5 ウィンドウ・オープン期間を 75%に設定した時の処理例

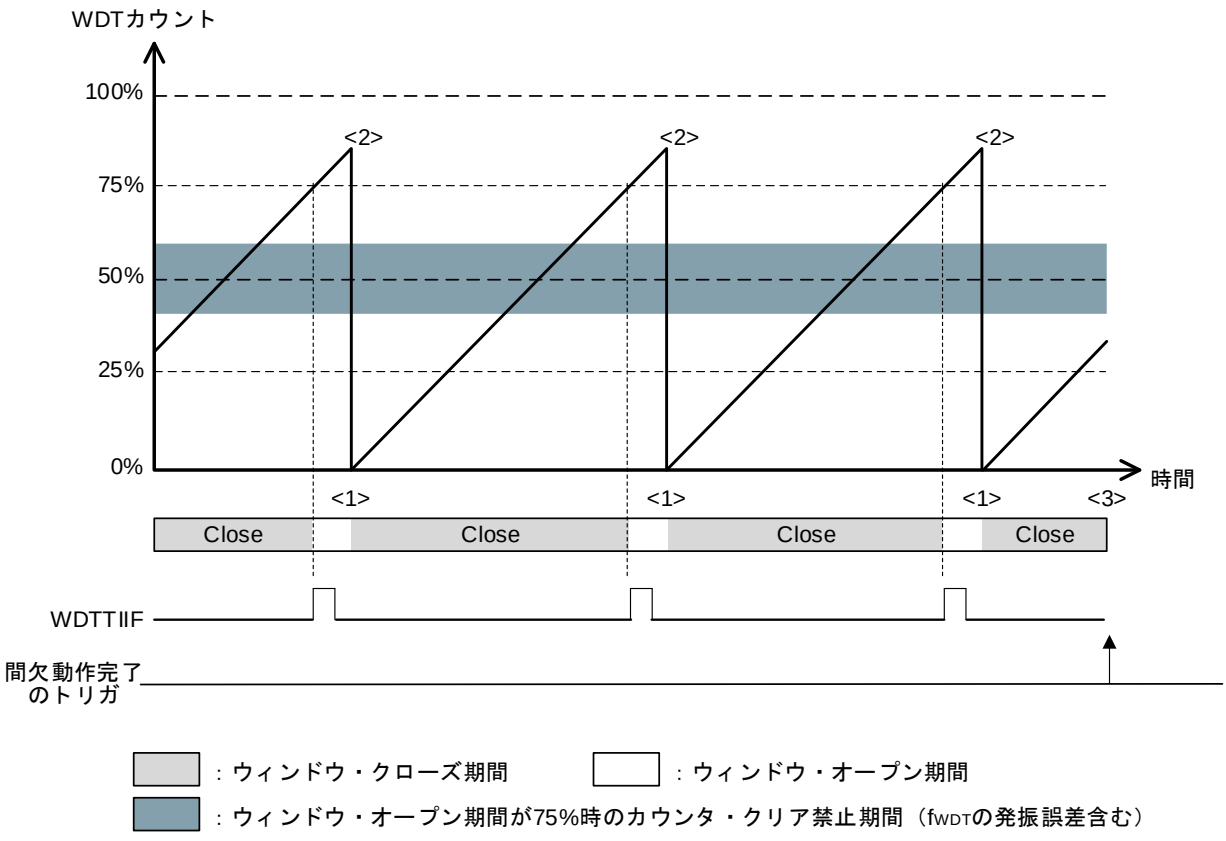
ウィンドウ・オープン期間を 75%に設定した時の処理例として、スタンバイ・モード（間欠動作）時にカウンタのクリア禁止期間以外のタイミングで WDT のカウンタ・クリアを行う処理を示します。

WDT のインターバル割り込みでスタンバイ・モードから復帰し、WDT のカウンタ・クリア（WDTE レジスタに“ACH”を書き込み）する処理例を以下に示します。

動作設定: ユーザ・オプション・バイト（000C0H）= 1101xxx1B

- WDTINT = 1 : オーバフロー時間の75% + 1/2 f_{WDT} 到達時にインターバル割り込みを発生する
- WINDOW[1:0] = 10B : ウォッチドック・タイマのウィンドウ・オープン期間 75%
- WDTON = 1 : ウォッチドック・タイマのカウンタ動作許可（リセット解除後，カウント開始）
- WDCS[2:0] = xxxB : ウォッチドッグ・タイマのオーバフロー時間設定（任意）
- WDSTBYON = 1 : HALT/STOP/SNOOZE モード時，ウォッチドッグ・タイマのカウンタ動作許可

WDTインターバル・割り込みマスク・フラグ（WDTIMK）を“0”に設定（割り込み許可）。



	ソフトウェア処理	ハードウェア状態
<1>	-	WDT インターバル割り込み発生
<2>	WDTEレジスタに“ACH”を書き込み	WDTカウンタクリア
<3>	通常処理モードを実行	スタンバイ・モードから通常処理モードへ復帰

図 15-2 WDT のインターバル割り込みによる処理例

16. 参考資料

本アプリケーションノートの参考資料を以下に示します。参照の際は、ルネサスエレクトロニクスホームページから最新版を入手してください。

- RL78/F23, F24 ユーザーズマニュアル ハードウェア編 Rev. 1.00
- RL78 ファミリユーザーズマニュアル ソフトウェア編 Rev. 2.30

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2022. 9.30	-	初版発行
1.10	2023.12.31	P.18	「4.5 内部 RAM ECC 機能を使用する際の注意事項」を修正。
		P.25	「5.4 CAN-RAM ECC 機能を使用する際の注意事項」を改訂。
		P.42	「9.2 RAM ガード機能のレジスタ」IAWCTL レジスタ説明を改訂、RAMSAR レジスタ説明を追加。
		P.44	「9.4 RAM ガード機能を使用する際の注意事項」を改訂。
		P.45	「10.1 SFR ガード機能の概要」を改訂。
		P.52	「図 13-1 断線アシスト機能の概要」を追加。
		P.55	「図 13-2 A/D テスト機能（自己診断機能）のフロー・チャート」を改訂。
		P.55	「図 13-3 A/D テスト機能（断線検出機能）のフロー・チャート」を改訂。
		P.58	「図 14-1 入出力ポートのデジタル出力信号レベル検出機能のフロー・チャート」を修正。
		P.60	「図 15-1 ウォッチドッグ・タイマ機能のフロー・チャート」を改訂。
		P.62	「図 15-2 WDT のインターバル割り込みによる処理例」を修正。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2023 Renesas Electronics Corporation. All rights reserved.