M16C/65グループ

シリアルインタフェースUARTi (i=0~2, 5~7)補足資料

R01AN0418JJ0100
Rev.1.00
2011.03.09

1. 要約

この資料はM16C/65グループのシリアルインタフェースUARTi (i=0~2, 5~7)の仕様について補足するものです。

2. はじめに

この資料は、テクニカルアップデート TN-16C-A201A/J「M16C/65、M16C/64A、M16C/63、M16C/6C グループの仕様変更」に示したシリアルインタフェース UARTi の仕様変更またはマニュアルの記述を補足するものです。

仕様変更を確認する場合に使用してください。また、最後に旧来マニュアルをつけていますので、記述を比較する場合に参照してください。

なお、I^{2}C モードを使用したプログラムを作成する場合は、下のアプリケーションノートを参照してください。

- UARTi特殊モード1を使用したI^{2}Cバスインタフェース (RJJ05B1545)
- UARTi特殊モード1を使用したI^{2}C-busインタフェース (マスタ送信/受信) (RJJ05B1596)
- UARTi特殊モード1を使用したI^{2}C-busインタフェース (スレーブ送信/受信) (RJJ05B1604)

3. 仕様変更または補足内容

3.1 クロック同期形シリアルI/Oモード、UARTモード

「送受信回路の初期化」が分かり難かったので、下のように同じ手順にします。従来記載していた方法でも誤りではありません。

通信の途中終了時、または通信エラー発生時の処理

クロック同期形シリアルI/OモードまたはUARTモードで、通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で再設定を行ってください。

(1) UiC1レジスタのTEビットを“0” (送信禁止)、REビットを“0” (受信禁止)にする。
(2) UiMRレジスタのSMD2~SMD0ビットを“000b” (シリアルインタフェースは無効)にする。
(3) UiMR レジスタの SMD2~SMD0 ビットを “001b”(クロック同期形シリアル I/O モード)、“100b” (UARTモードキャラクタ長7ビット)、“101b” (UARTモードキャラクタ長8ビット)、“110b” (UARTモードキャラクタ長9ビット)のいずれかにする。
(4) UiC1レジスタのTEビットを“1” (送信許可)、REビットを“1” (受信許可)にする。

3.2 I²Cモード

仕様変更内容を下に示します。また、I²Cモードは機能説明を見直しています。大幅に変更した箇所を、「4. 特殊モード1 (I2Cモード)」に示します。

3.2.1 UiSMR4レジスタ

UiSMR4レジスタのビットはI²Cモードで使用します。UiSMRレジスタのIICMビットが“1” (I²Cモード)のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

STAREQ、RSTAREQ、STPREQ、STSPSEL、SCLHIビットはI²Cモードでマスタの場合に使用します。STSPSELビットは先にSTAREQ、RSTAREQ、STPREQビットのいずれかを“1” (スタート)にした後、“1”(スタートコンディション/ストップコンディション生成回路選択)にしてください。

ACKD、ACKC、SWC9ビットはI²Cモードでスレーブの場合に使用します。

3.2.2 UiBRGレジスタ

I²Cモードでは、UiBRGレジスタに設定する値を“03h”以上にしてください。

3.2.3 UiSMR3レジスタ

I²Cモードでは、UiSMR3レジスタのCKPHビットを“1” （クロック遅れあり）にしてください。

3.2.4 注意事項

次の注意事項を追加しました。

3.2.4.1 “L” レベル/“H” レベル入力電圧、“L” レベル出力電圧

“L” 入力電圧、“H” 入力電圧、および“L” 出力電圧は、I²Cバス規格と異なります。
SCL、SDAと端子を共用する入出力ポートの推奨動作条件を参照してください。

＜I²Cバス規格＞
“H” 入力電圧(V_{IH}) = min 0.7 V_{CC}
“L” 入力電圧(V_{IL}) = max 0.3 V_{CC}

3.2.4.2　コンディション生成時のセットアップ時間およびホールド時間

スタートコンディション生成時、SCLクロックの1/2サイクル分の時間がホールド時間(t_{HD}:STA)となります。ストップコンディション生成時、SCLクロックの1/2サイクル分の時間がセットアップ時間(t_{SU}:STO)となります。

また、SDAデジタル遅延機能を使用する場合、遅延時間を考慮してください(ユーザーズマニュアルハードウェア編のUART章「SDAデジタル遅延機能」参照)。

以下にコンディション生成時のホールド時間およびセットアップ時間の算出例を示します。

＜100kbps設定時の算出例＞

- UiBRGカウントソース：f1 = 20MHz
- UiBRGレジスタの設定値：n = 100 – 1
- SDAデジタル遅延設定値：DL2~DL0 = 101b (UiBRGカウントソースの5~6サイクル)

の場合、

f_{SCL}(理論)	= f1/(2(n+1))	= 20MHz/(2×(99+1))	= 100kbps
t_{DL}	= 遅延サイクル数 /f1	= 6/20MHz	= 0.3µs
$t_{HD:STA}$(理論)	= 1/(2f_{SCL}(理論))	= 1/(2×100kbps)	= 5µs
$t_{SU:STO}$(理論)	= 1/(2f_{SCL}(理論))	= 1/(2×100kbps)	= 5µs
$t_{HD:STA}$(実効)	= $t_{HD:STA}$(理論) – t_{DL}	= 5µs – 0.3µs	= 4.7µs
$t_{SU:STO}$(実効)	= $t_{SU:STO}$(理論) + t_{DL}	= 5µs + 0.3µs	= 5.3µs

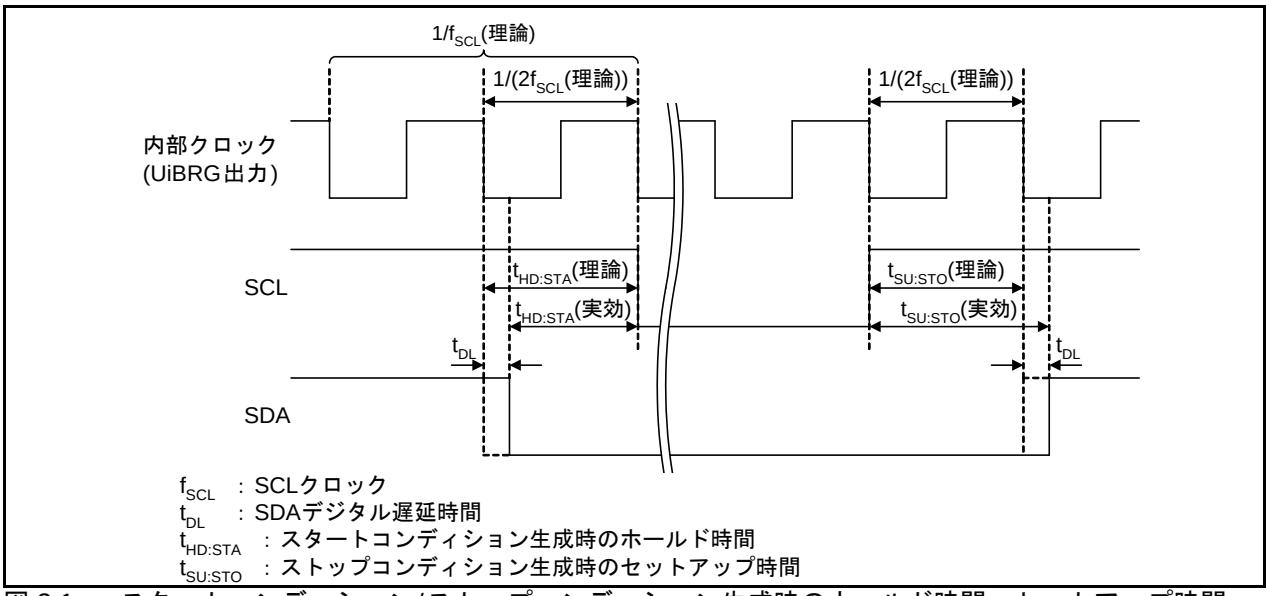


図 3.1　スタートコンディション/ストップコンディション生成時のホールド時間、セットアップ時間

3.2.4.3　UiBRGカウントソースによる最大送受信速度の制限

I²Cモードでは、UiBRGレジスタに設定する値を“03h”以上にしてください。

内部回路がSCLクロックのレベルを認識するまで、最大でUiBRGカウントソースの3サイクルを要します。したがって、接続可能なI²Cバスのビットレートは、UiBRGカウントソースの速度の1/3以下です。UiBRGレジスタに“00h”~“02h”を設定した場合は、ビットずれを起こす可能性があります。

3.2.4.4　スレーブ時のリスタートコンディション

スレーブ時、リスタートコンディションを検出すると、その後の処理を正しく実行しない場合があります。スレーブ時はリスタートコンディションを使用しないでください。

3.2.4.5　スレーブ時の送受信開始条件

スレーブとして、UiC0レジスタのTXEPTビットが“1” (送信レジスタにデータなし) の状態から送受信を始める場合は、外部クロックが“H”のときに、最後の条件を満たすようにしてください。

送受信開始条件（順序は関係ありません）

送信

- UiC1レジスタのTEビットが“1” (送信許可)
- UiC1レジスタのTIビットが“0” (UiTBレジスタにデータあり)

受信

- UiC1レジスタのREビットが“1” (受信許可)
- UiC1レジスタのTEビットが“1” (送信許可)
- UiC1レジスタのTIビットが“0” (UiTBレジスタにデータあり)

3.3　特殊モード2

特殊モード2は、マスタモードで使用してください。スレーブモード (外部クロック) で使用しないでください。したがって、特殊モード2では、UiMRレジスタのCKDIRビットを“0” (内部クロック)にしてください。

ただし、条件によってはスレーブモードを使用できるのでアプリケーションノートを準備します。

シリアルインタフェース 特殊モード2 (スレーブ通信) (RJJ05B1671-0100)

4. 特殊モード1 (I²C モード)

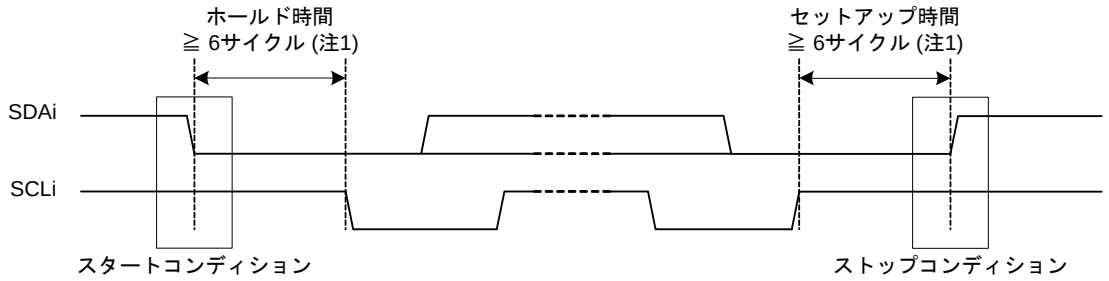
4.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出回路によりスタートコンディションを、ストップコンディション検出回路によりストップコンディションを検出します。

スタートコンディション検出割り込み要求は、SCLi端子が“H”の状態でSDAi端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCLi端子が“H”の状態でSDAi端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、UiSMRレジスタのBBSビットで判定してください。

スタートコンディション、ストップコンディションを検出するには、図4.1に示すとおりセットアップ時間、ホールド時間ともにBRGiのカウントソースの6サイクル以上必要です。Fast-Modeの仕様を満たすためには、BRGiのカウントソースは10MHz以上である必要があります。



i = 0~2、5~7

注1. サイクル数はBRGiのカウントソース のサイクル数を示します。

図 4.1 スタートコンディション、ストップコンディションの検出

4.2 スタートコンディション、ストップコンディションの生成

UiSMR4レジスタ(i=0~2, 5~7)のSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

UiSMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

UiSMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。

出力の手順は次のとおりです。

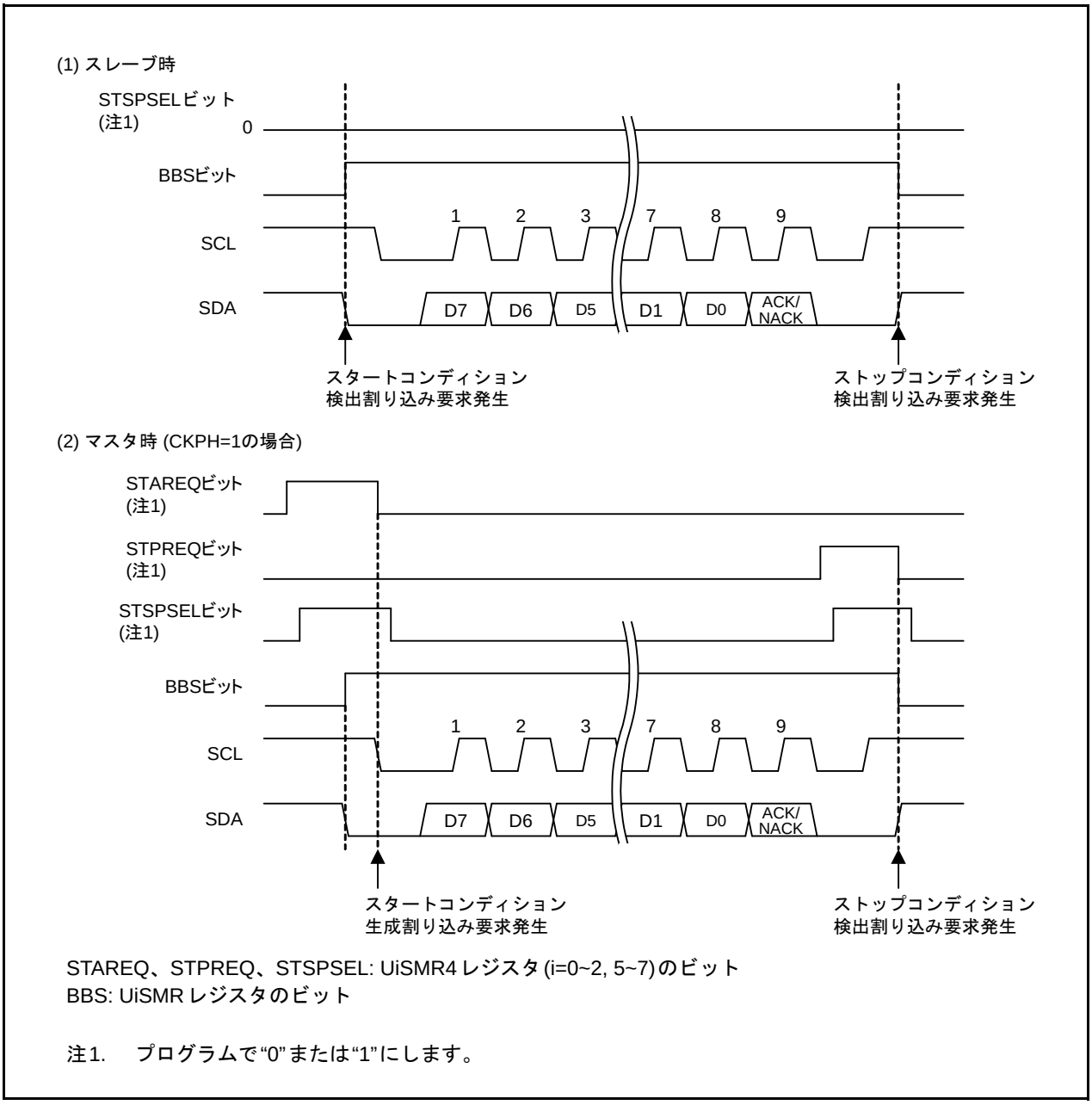
(1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする

(2) UiSMR4レジスタのSTSPSELビットを“1”(出力)にする

表 4.1と図 4.2にSTSPSELビットの機能を示します。

表 4.1　STSPSELビットの機能

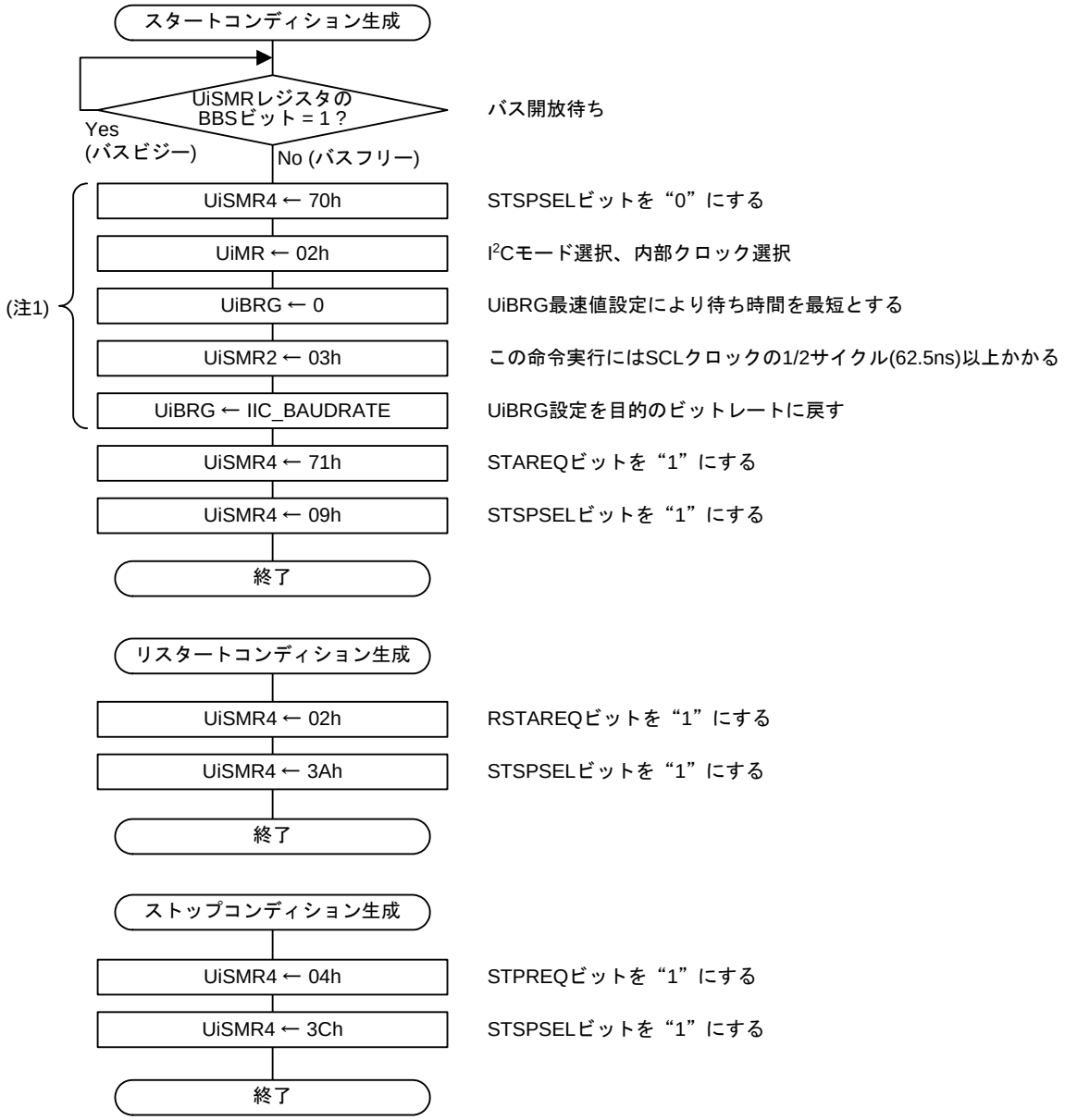
機能	STSPSEL=0	STSPSEL=1
SCLi、SDAi端子の出力	送受信クロック、データを出力。 スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了



STAREQ、STPREQ、STSPSEL: UiSMR4レジスタ (i=0~2, 5~7)のビット
BBS: UiSMRレジスタのビット

注1.　プログラムで“0”または“1”にします。

図 4.2　STSPSELビットの機能



注1. ストップコンディション生成後、次のスタートコンディションを生成する場合、UiSMR4 レジスタのSTSPSELビットを“0”にした後、SCLクロックの1/2サイクル以上待ってから、STAREQビットを“0”から“1”にしてください。
上記設定手順は、XIN=16MHz、メインクロック分周なし、UiBRGカウントソース=f1の場合の設定例です。

(テクニカルアップデート番号: TN-M16C-A130B/J)

図 4.3　各コンディション生成時のレジスタ設定手順

4.3 アービトレーション

SCLi の立ち上がり時に、自身の送信データとSDAi 端子からの入力データが一致しているかを判定し、一致していなければ出力を停止することによりアービトレーションを行います。

UiSMR レジスタ (i=0~2, 5~7)のABCビットでUiRBレジスタのABTビットの更新タイミングを選択します。ABCビットが“0” (ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”に、検出しないと“0”になります。ABCビットが“1” (バイトごとに更新) の場合、判定時に一度でも不一致が検出された場合、8 ビット目のSCLiの立ち下がりでABTビットが“1” (検出) になります。なお、バイトごとに更新する場合は、1バイト目のACK検出完了後、ABTビットを“0” (未検出)にしてから、次の1バイトの送受信を開始してください。

UiSMR2レジスタのALSビットを“1” (SDA出力を停止する)にすると、アービトレーションロストが発生しABTビットが“1”になると同時にSDAi端子がハイインピーダンスになります。

4.4 SCL制御とクロック同期化

I²C モードでの送受信は送受信クロックで行います。しかし、送受信クロックが速くなってくると、ACK の生成や送信データの準備に必要な時間を確保することが難しくなってきます。I²C モードではこの時間を確保するためのウェイト挿入の機能、および他デバイスが挿入したウェイトに対しクロックを同期させる機能をサポートしています。

UiSMR2レジスタ (i=0~2, 5~7)のSWCビットは、アクノリッジ生成のためのウェイトを挿入するときに使用します。SWCビットが“1” (8 ビット受信後、SCLi 端子を“L”に固定) の場合、8 ビット目のSCLiの立ち下がりでSCLi 端子が“L”固定になります。SWCビットを“0” (ウェイトなし/ウェイト解除)にすると、“L”固定を解除できます。

UiSMR2レジスタのSWC2ビットを“1” (SCLi 端子を“L”に固定) にすると、送受信中でもSCLi端子を“L”固定にできます。SWC2 ビットを“0” (SCLi 端子に送受信クロックを出力) にすると、SCLi端子からの“L”固定は解除され、送受信クロックが出力されます。

UiSMR4レジスタのSWC9ビットは、受信したアクノリッジビットを判定するためのウェイトを挿入するときに使用します。UiSMR3 レジスタのCKPH ビットが“1” (クロック遅れあり) のとき、SWC9ビットを“1” (9ビット受信後、SCLi端子を“L”に固定)にすると、9ビット目のSCLiの立ち下がりでSCLi 端子が“L”固定になります。SWC9 ビットを“0” (ウェイトなし/ウェイト解除) にすると“L”固定を解除できます。

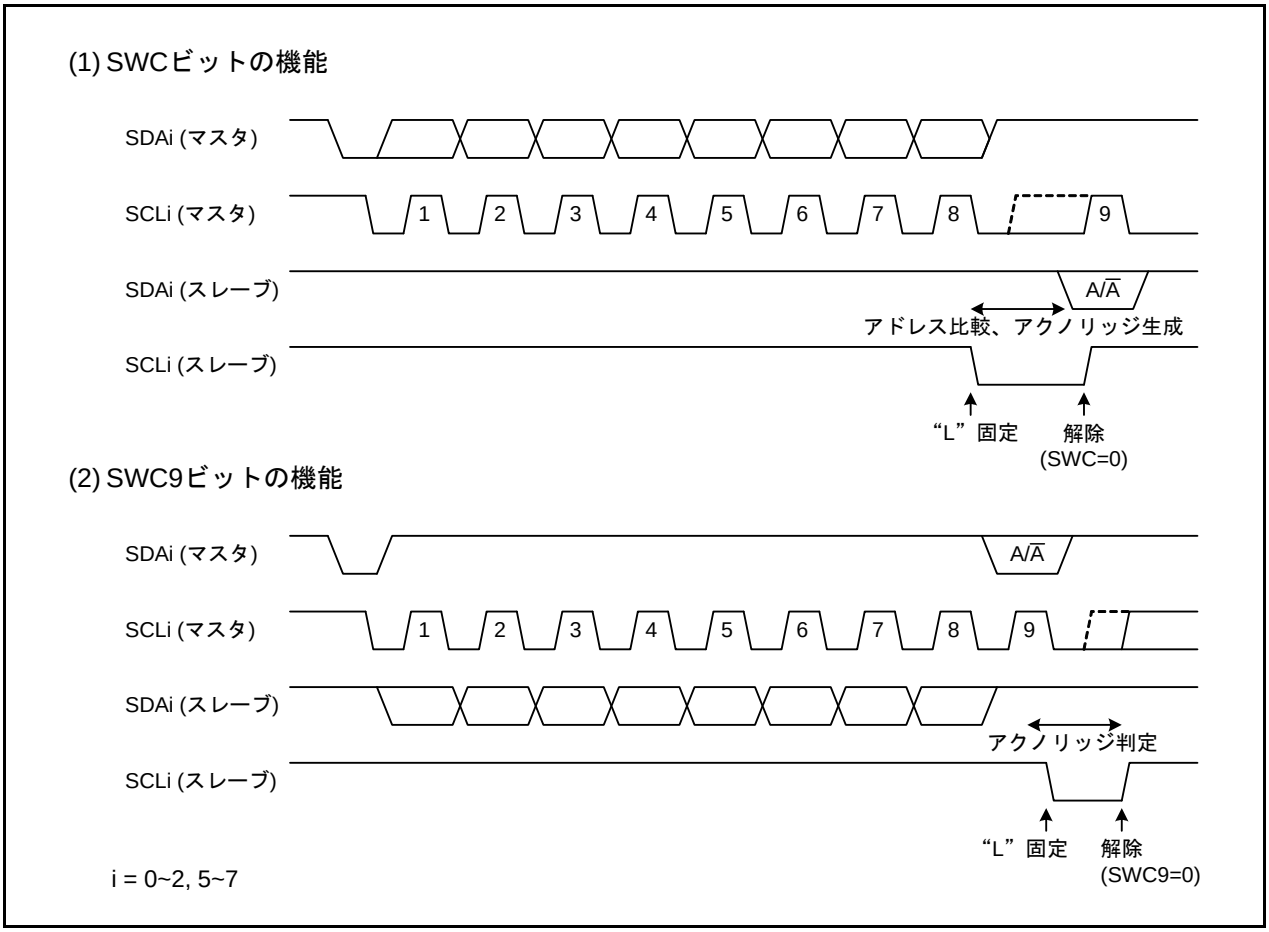


図 4.4　SWCビット、SWC9ビットによるウェイトの挿入

UiSMR2レジスタのCSCビットは、他のデバイスがウェイトを挿入するなどしたために、自身が出力したクロックとSCLi端子に入力されたクロックが異なったとき、内部で生成するクロックをSCLi端子から入力されるクロックに同期させるためのビットです。CSC ビットが“1” (クロック同期を実施する) の場合、内部生成クロックが“H”のときにSCLi 端子が“H”から“L”に変化すると、内部生成クロックを“L”にし、UiBRG レジスタの値をリロードしてL 区間のカウントを開始します。また、SCLi 端子が“L”のとき、内部生成クロックが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。したがってUARTiの送受信クロックは、内部生成クロックとSCLi端子の信号の論理積になります。送受信クロックは、内部生成クロックの1クロック前から9クロック目まで同期化されます。CSCビットはUiMRレジスタのCKDIRビットが“0” (内部クロック)のときのみ“1”にできます。

UiSMR4 レジスタの SCLHI ビットは、自身がマスタとして送受信を行っているときに他のマスタがストップコンディションを生成した場合に、SCLi 端子を開放するために使用します。SCLHI ビットを “1” (出力停止)にすると、ストップコンディション検出時にSCLi端子を開放し(ハイインピーダンス)、クロック出力を停止します。

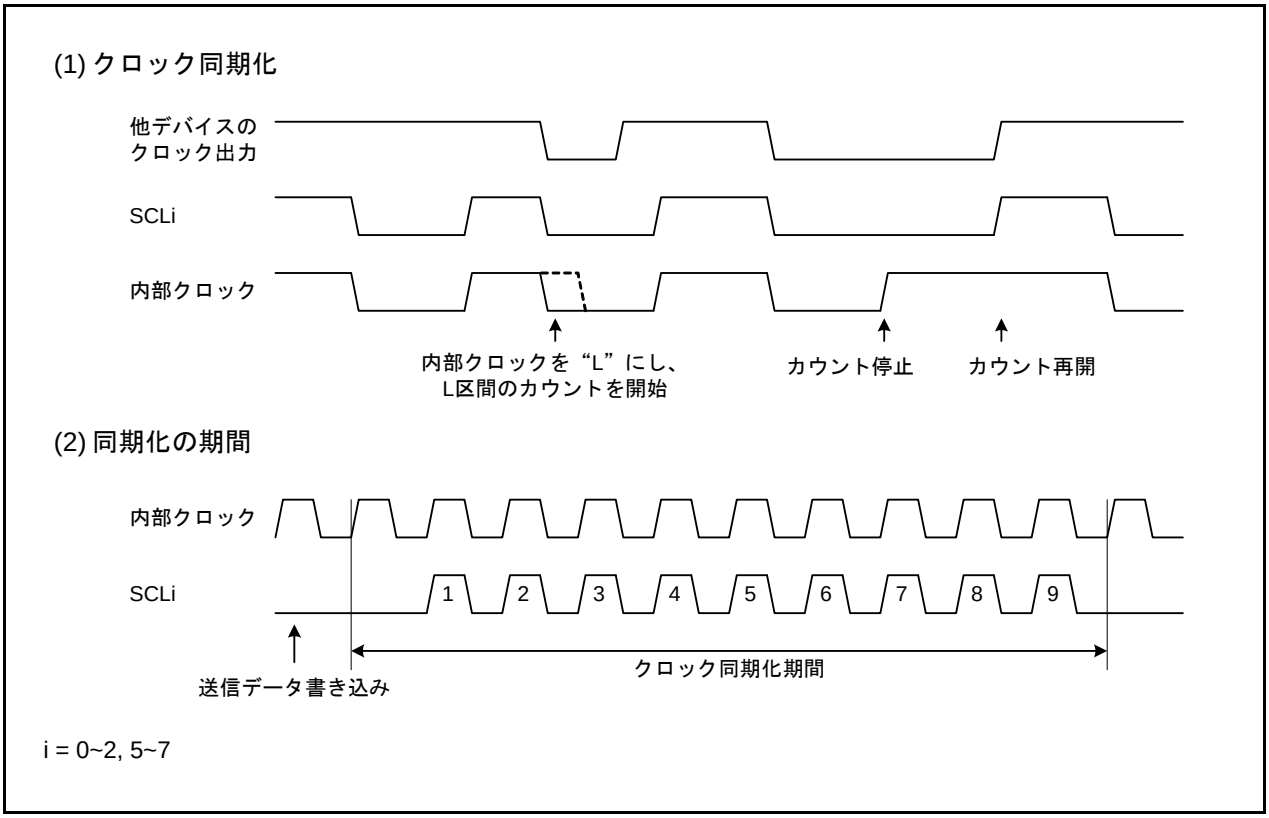

(1) クロック同期化
他デバイスの
クロック出力
SCLi
内部クロック
内部クロックを“L”にし、
L区間のカウントを開始
カウント停止
カウント再開
(2) 同期化の期間
内部クロック
SCLi
1
2
3
4
5
6
7
8
9
送信データ書き込み
クロック同期化期間
i = 0~2, 5~7

図 4.5　クロック同期化

4.5　SCLクロックの周波数の考え方

I²Cモードで生成するSCLクロックのDutyは50%です。そのため、I²CバスのFast-Modeの最大SCLクロック(400kbps)を設定すると、SCLクロックの“L”幅は1.25μsとなります。この値は、Fast-ModeのI²Cバス規格(f_{LOW} = Min.1.3μs)を満たしません。よって、SCLクロックの設定を384.6kbps以下とし、SCLクロックの“L”幅が1.3μs以上になるようにしてください。

クロック同期化機能(「図4.5 クロック同期化」参照)を有効にすると、ノイズフィルタ幅＋UiBRGカウントソースの1~1.5サイクルのサンプリング遅延が発生し、SCLクロックの“H”認識が遅れるため、SCLクロックの“H”幅が延びます。そのため、SCLクロックのビットレートの設定に対して、実際のSCLクロックは遅くなります。

また、SCLクロックの実効値を算出するためには、SCLクロック立ち上がり時間(t_R)も考慮してください。

下記にSCLクロック実効値の算出例を示します。

＜384.6kbps設定時のSCLクロック実効値の算出例＞

- UiBRGカウントソース：f1 = 20MHz
- UiBRGレジスタの設定値：n = 26 – 1
- SCLクロック立ち上がり時間：t_R = 100ns
- SCLクロック立ち下がり時間：t_F = 0ns
- ノイズフィルタ幅：t_{NF} = 100ns (注1)
- サンプリング遅延：t_{SD} = 1cycle

の場合、

f_{SCL}(理論値) = f1/(2(n+1)) = 20MHz/(2(25+1)) = 384.6kbps

t_{LOW} = 1/(2f_{SCL}(理論)) = 1/(2×384.6kbps) = 1.3μs

t_{HIGH} = 1/(2f_{SCL}(理論)) + t_{NF} + (t_{SD}×1/f1)

= 1/(2×384.6kbps) + 100ns + (1×1/20MHz)

= 1.45μs

f_{SCL}(実効値) = 1/(t_F + t_{LOW} + t_R + t_{HIGH}) = 1/(0ns + 1.3μs + 100ns + 1.45μs) ≒ 350.8kbps

注1.最大200ns。

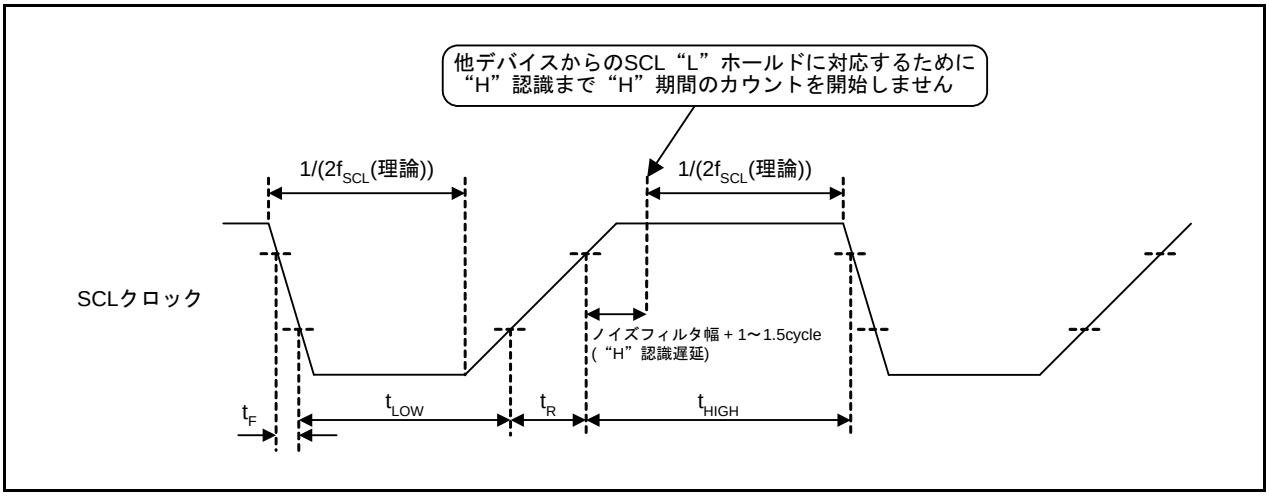


図4.6　SCLクロック

4.6　SDA出力制御

バイトデータを送信する場合、1ビット目~8ビット目はSDAi端子から送信データを出力し、9ビット目はアクノリッジを受信するためSDAi端子を開放します。

I²Cモードでは、UiTBレジスタに9ビットのデータを設定してください。9ビットデータのb7~b0には送信データを、b8には“1”を設定してください。

UiC0レジスタのUFORMビットを“1” (MSBファースト)にして、UiTBレジスタに9ビットデータを設定すると、b7→b6→•••→b0→b8の順で、SDAi端子からデータが出力されます。b8が“1”なので9ビット目でSDAi端子がハイインピーダンス状態になり、アクノリッジを受信できます。

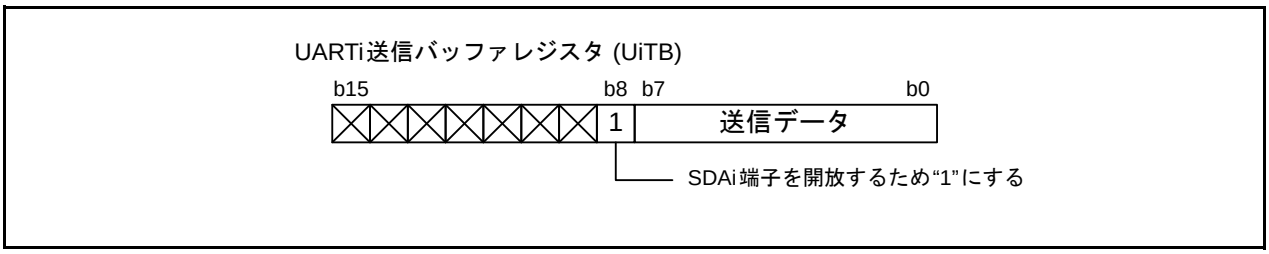


図 4.7　UiTBレジスタの設定 (SDA出力)

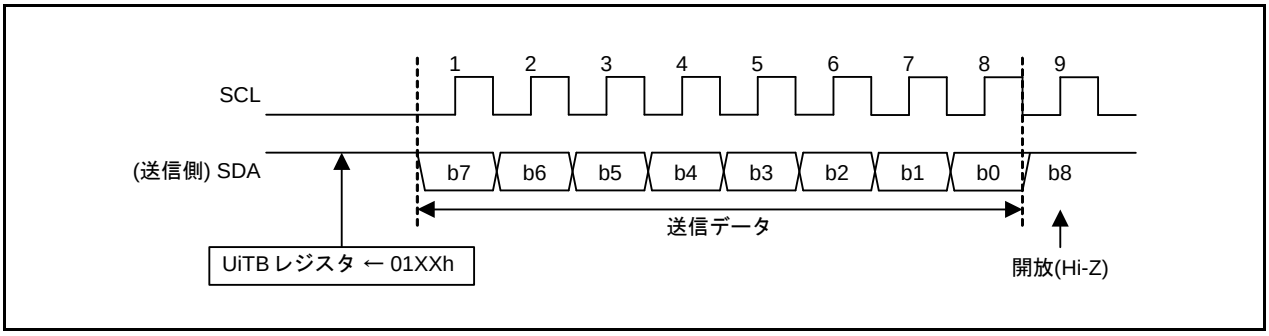


図 4.8　バイトデータの送信

UiSMR3レジスタのDL2~DL0ビットによりSDAiの出力を遅延なし、またはUiBRGカウントソースの1~8サイクルの遅延を設定できます。

UiSMR2レジスタのSDHIビットを“1” (SDA出力禁止)にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUARTiの送受信クロックの立ち上がりのタイミングで書かないでください。UiRBレジスタのABTビットが“1” (検出)になる場合があります。

4.7　SDAデジタル遅延機能

I²Cバスでデータ送信を行う場合、SCLクロックが“L”のときにデータを変化させてください。SCLクロックが“H”のときにSDAが変化すると、各コンディションと認識されます(「3.2.4.2 コンディション生成時のセットアップ時間およびホールド時間」参照)。

SDAデジタル遅延機能は、SDAi端子からの出力を遅延させる機能です。SDAの変化を遅延させることで、SCLクロックが“L”の期間にデータを変化させることができます。

SDAデジタル遅延機能は、UiSMR3レジスタのDL2~DL0ビットを“001b”~“111b”にすると有効になり、“000b”にすると無効になります。

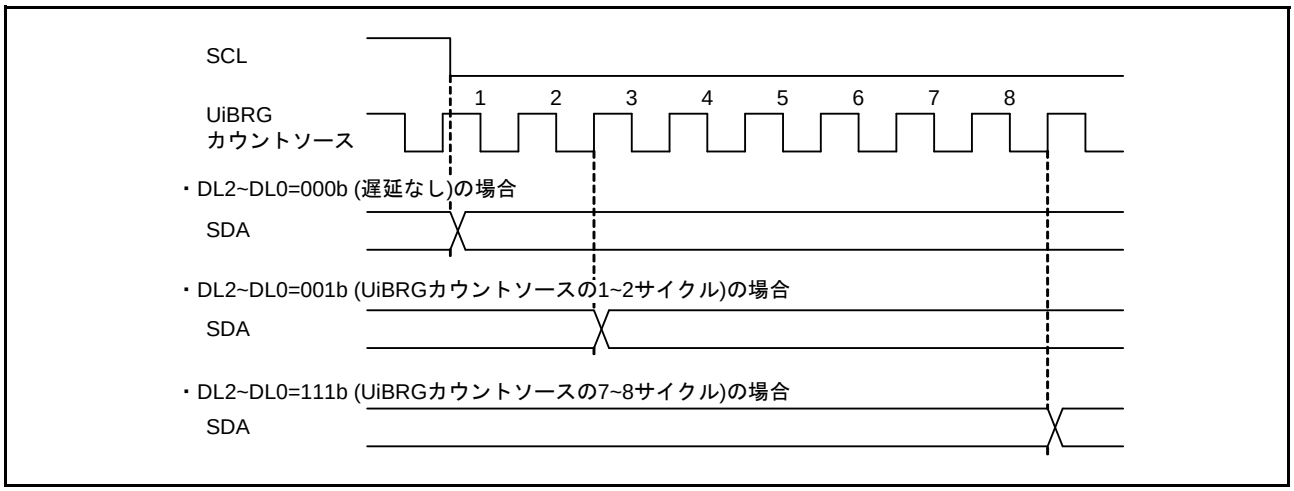


図 4.9　DL2~DL0ビットの設定によるSDA出力切り替え

4.8　SDA入力

UiSMR2レジスタ(i=0~2, 5~7)のIICM2ビットが“0”(ACK/NACK割り込みを使用)の場合、受信したデータの1~8ビット目(D7~D0)をUiRBレジスタのビット7~0に、9ビット目(ACK/NACK)をUiRBレジスタのビット8に格納します。

IICM2ビットが“1”のとき、受信したデータの1~7ビット目(D7~D1)をUiRBレジスタのビット6~0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”のときでも、UiSMR3レジスタのCKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

バイトデータを受信する場合、1ビット目~8ビット目はデータを受信するためSDAi端子を開放し、9ビット目はアクノリッジを生成します。マスタ時の最終バイトデータを受信するとき、またはスレーブ時のスレーブアドレス不一致のときはNACKを生成します。それ以外は、通常、ACKを生成します。

I²Cモードでは、UiTBレジスタに9ビットのデータを設定してください。9ビットデータのb7~b0にはSDAi端子を開放するため“FFh”を、b8はACKを生成する場合は“0”、NACKを生成する場合は“1”を設定してください。

UiTBレジスタに9ビットデータの“00FFh”または“01FFh”を設定すると、1ビット目~8ビット目はSDAi端子がハイインピーダンス状態になり、データを受信できます。9ビット目はACKまたはNACKが生成されます。

受信したデータはUiRBレジスタから読み出してください。クロック遅延機能を使用すると、UiRBレジスタへのデータ転送が2回行われ、それぞれのUiRBレジスタの内容が異なります。

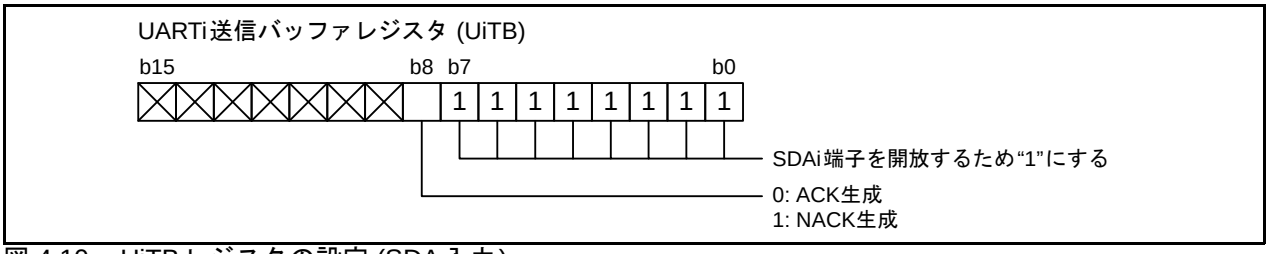


図 4.10　UiTB レジスタの設定 (SDA入力)

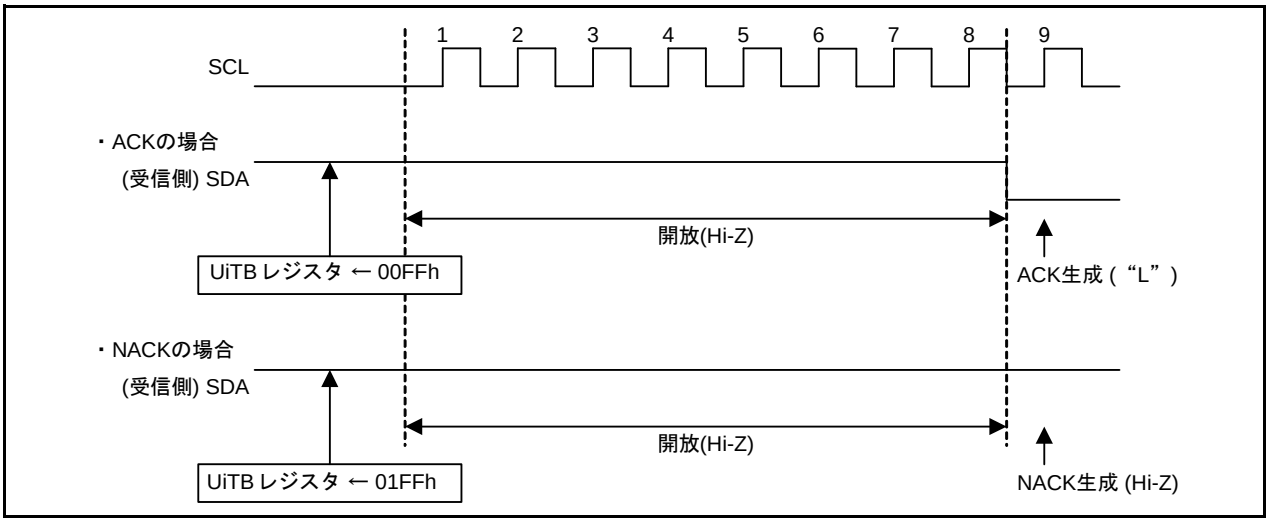


図 4.11　バイトデータの受信

4.9　ACK、NACK

データを受信することが確定している場合、UiTB レジスタに00FFh をダミーデータとして設定することで、8 ビット受信後にACK が出力されます。また、UiSMR4 レジスタ (i=0~2, 5~7) の STSPSEL ビットが “0” (シリアル入出力回路選択) で、UiSMR4 レジスタの ACKC ビットが “1” (ACK データ出力) の場合、UiSMR4 レジスタの ACKD ビットの値が SDAi 端子から出力されます。

UiSMR2 レジスタの IICM2 ビットが “0” の場合、9 ビット目の SCLi の立ち上がり時に SDAi 端子が “H” であれば NACK 割り込み要求が、“L” であれば ACK 割り込み要求が発生します。

DMA 起動要因に「UARTi 受信または ACK 割り込み要求」を選択すると、ACK 検出によって DMA 転送を起動できます。

4.10　送受信初期化

この機能を使用する場合、送受信クロックは外部クロックを選択してください。

UiSMR2 レジスタの STAC ビットを “1” (スタートコンディション検出時、回路を初期化する) にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、UiTB レジスタの値が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを 1 ビット目として送信を開始します。ただし、UARTi 出力値はクロックが入って 1 ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを 1 ビット目として受信が開始されます。

SWC ビットが “1” (8 ビット受信後 SCL 端子を “L” に固定) になります。これにより、クロックの 9 ビット目の立ち下がりで SCLi 端子が “L” になります。

なお、この機能を使用し UARTi の送受信を開始した場合、UiC1 レジスタの TI ビットは変化しません。

スレーブ時、UARTi 初期化機能を使用すると、スタートコンディション検出時に自動的に UARTi が初期化されるため、スタートコンディション検出時に割り込みは必要ありません。

5.　参考ドキュメント

M16C/65グループ　ユーザーズアマニュアル ハードウェア編　Rev.2.00 (R01UH0135JJ0200)

アプリケーションノート
「2. はじめに」で示したものや、その他のモードに関するものを準備しています。

(最新版をルネサス エレクトロニクスホームページから入手してください。)

参考資料：従来のシリアルインタフェースUARTiの記述
資料の最後に、従来のマニュアルのシリアルインタフェースUARTiの章を示します。

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ
http://japan.renesas.com/

お問合せ先
http://japan.renesas.com/inquiry

改訂記録	M16C/65グループ シリアルインタフェースUARTi (i=0~2, 5~7)補足資料

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.03.09	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理
   【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。
   CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。
2. 電源投入時の処置
   【注意】電源投入時は，製品の状態は不定です。
   電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。
   外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。
   同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. リザーブアドレス（予約領域）のアクセス禁止
   【注意】リザーブアドレス（予約領域）のアクセスを禁止します。
   アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
4. クロックについて
   【注意】リセット時は、クロックが安定した後、リセットを解除してください。
   プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。
   リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
5. 製品間の相違について
   【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。
   同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：　輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有･使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

RENESAS

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口　http://www.renesas.com

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社　〒100-0004　千代田区大手町2-6-2（日本ビル）　(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/inquiry

© 2011 Renesas Electronics Corporation. All rights reserved.
Colophon 1.0

23. シリアルインタフェースUARTi (i=0~2, 5~7)

23.1 概要

UARTiはそれぞれ専用の送受信クロック発生用タイマを持ち、独立して動作します。

表23.1にシリアルインタフェースUARTi (i=0~2, 5~7)の仕様、表23.2にUART0~UART2、UART5~UART7の仕様の相違、図23.1~図23.3にUARTiブロック図、図23.4にUARTi送受信部ブロック図を示します。

表23.1　シリアルインタフェースUARTi (i=0~2, 5~7)の仕様

項目	仕様
動作モード	• クロック同期形シリアルI/Oモード • クロック非同期形シリアルI/Oモード(UARTモード) • 特殊モード1(I²Cモード) 簡易形I²Cバスインタフェースに対応したモードです。 • 特殊モード2 送受信クロックの極性と位相を選択できます。 • 特殊モード3(バス衝突検出機能、IEモード) UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。 • 特殊モード4(SIMモード) UART2で使用できます。SIMインタフェースに対応するモードです。

表23.2　UART0~UART2、UART5~UART7の仕様の相違

項目	UART0	UART1	UART2	UART5	UART6	UART7
クロック同期形シリアルI/Oモード	あり		あり	あり	あり	
クロック非同期形シリアルI/Oモード(UARTモード)	あり		あり	あり	あり	
特殊モード1(I²Cモード)	あり		あり	あり	あり	
特殊モード2	あり		あり	あり	あり	
特殊モード3(IEモード)	あり		あり	あり	あり	
特殊モード4(SIMモード)	なし		あり	なし	なし	
メモリ拡張モードまたはマイクロプロセッサモード時の使用	使用できる				使用しないでください	

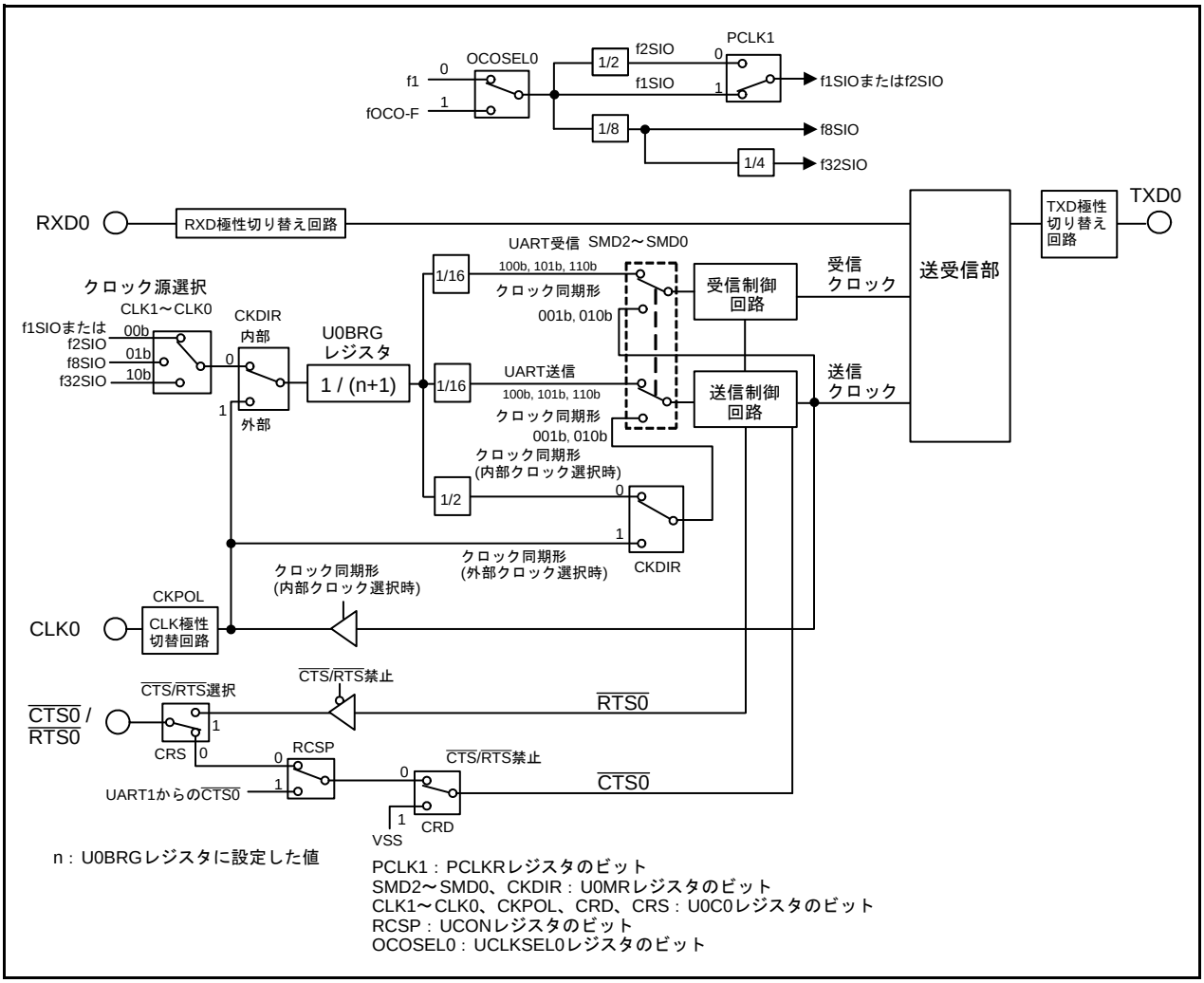


図 23.1 UART0ブロック図

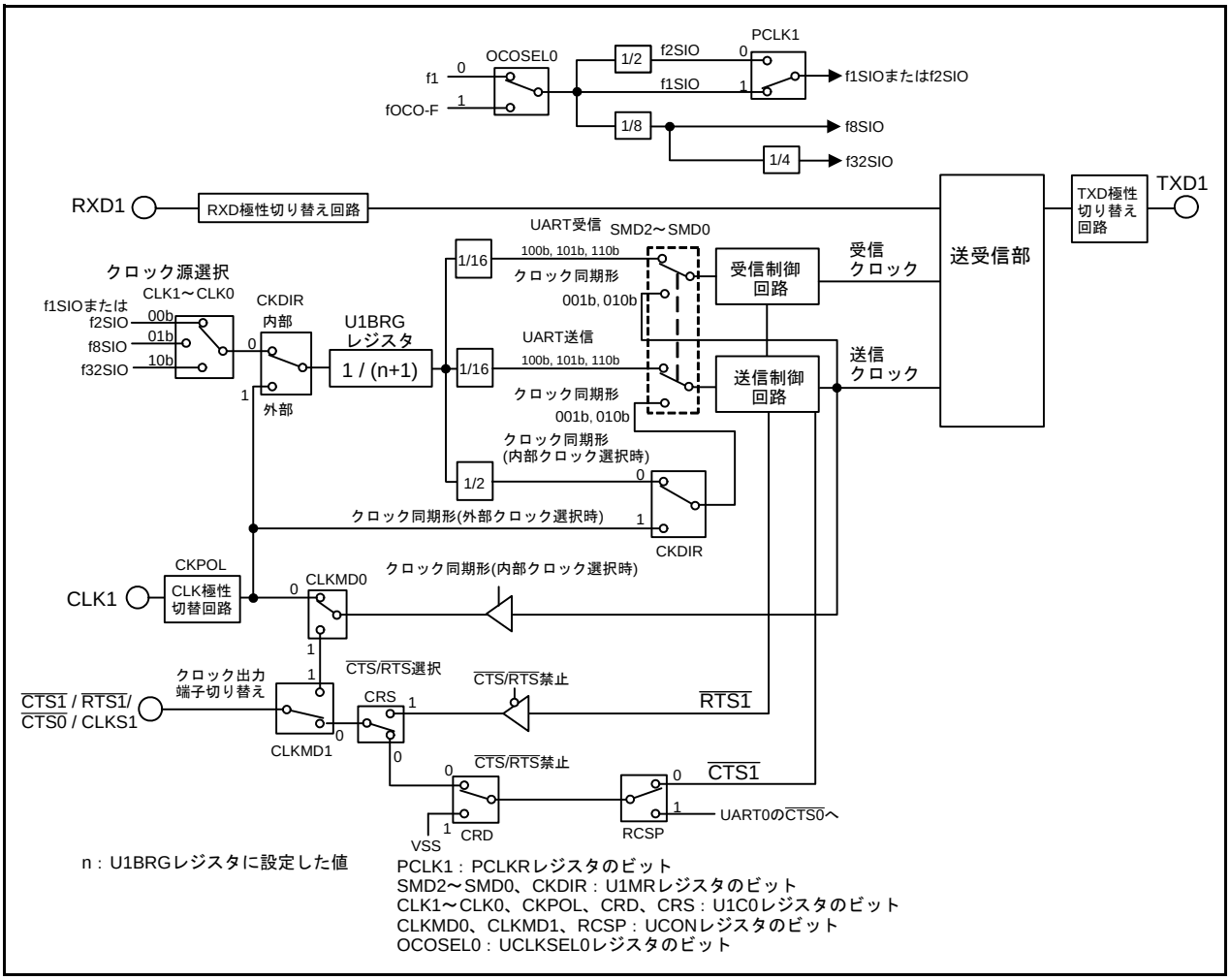
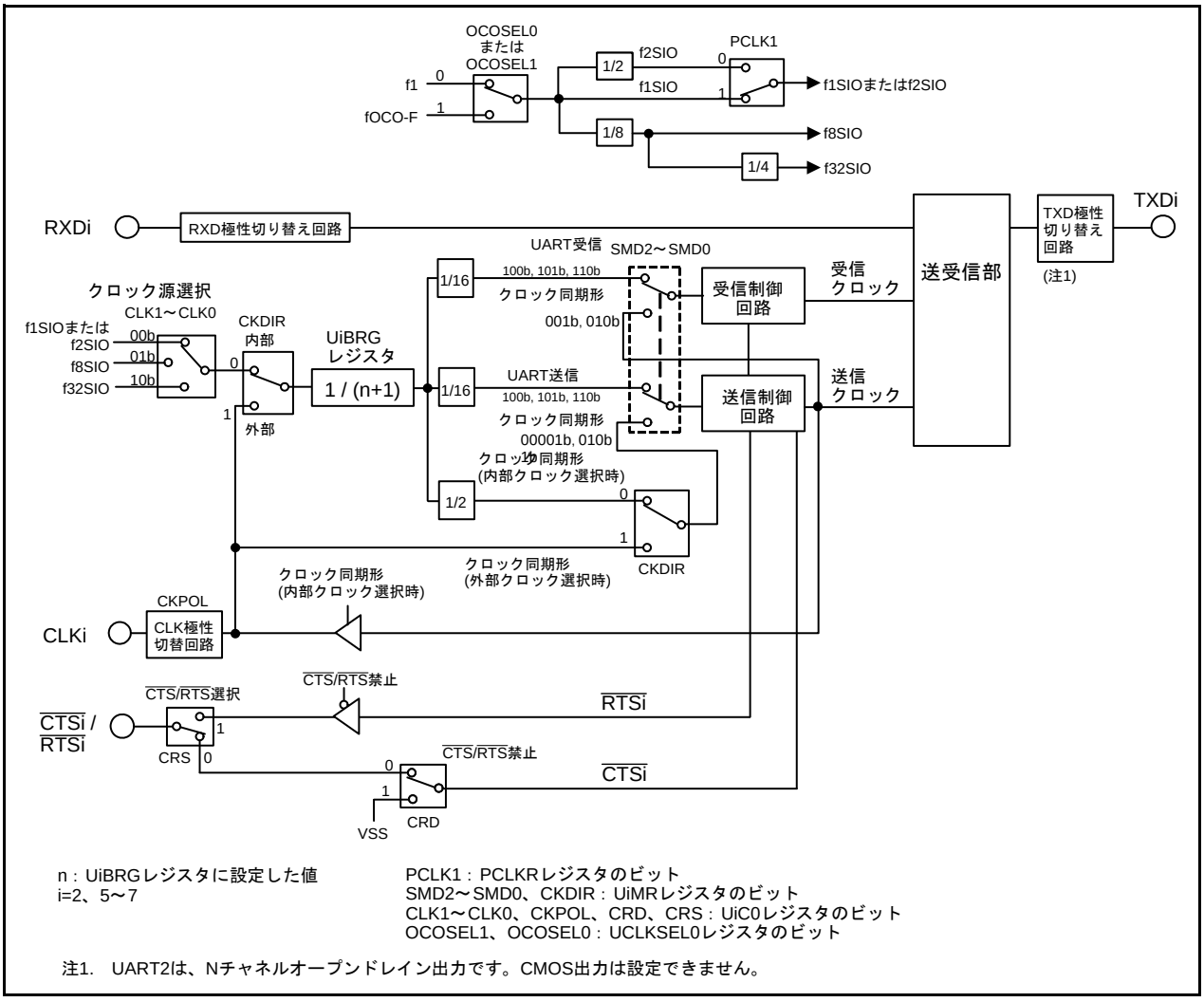


図 23.2 UART1ブロック図



n：UiBRGレジスタに設定した値
i=2、5～7

PCLK1：PCLKRレジスタのビット
SMD2～SMD0、CKDIR：UiMRレジスタのビット
CLK1～CLK0、CKPOL、CRD、CRS：UiC0レジスタのビット
OCOSEL1、OCOSEL0：UCLKSEL0レジスタのビット

注1.　UART2は、Nチャネルオープンドレイン出力です。CMOS出力は設定できません。

図 23.3　UART2、UART5~7ブロック図

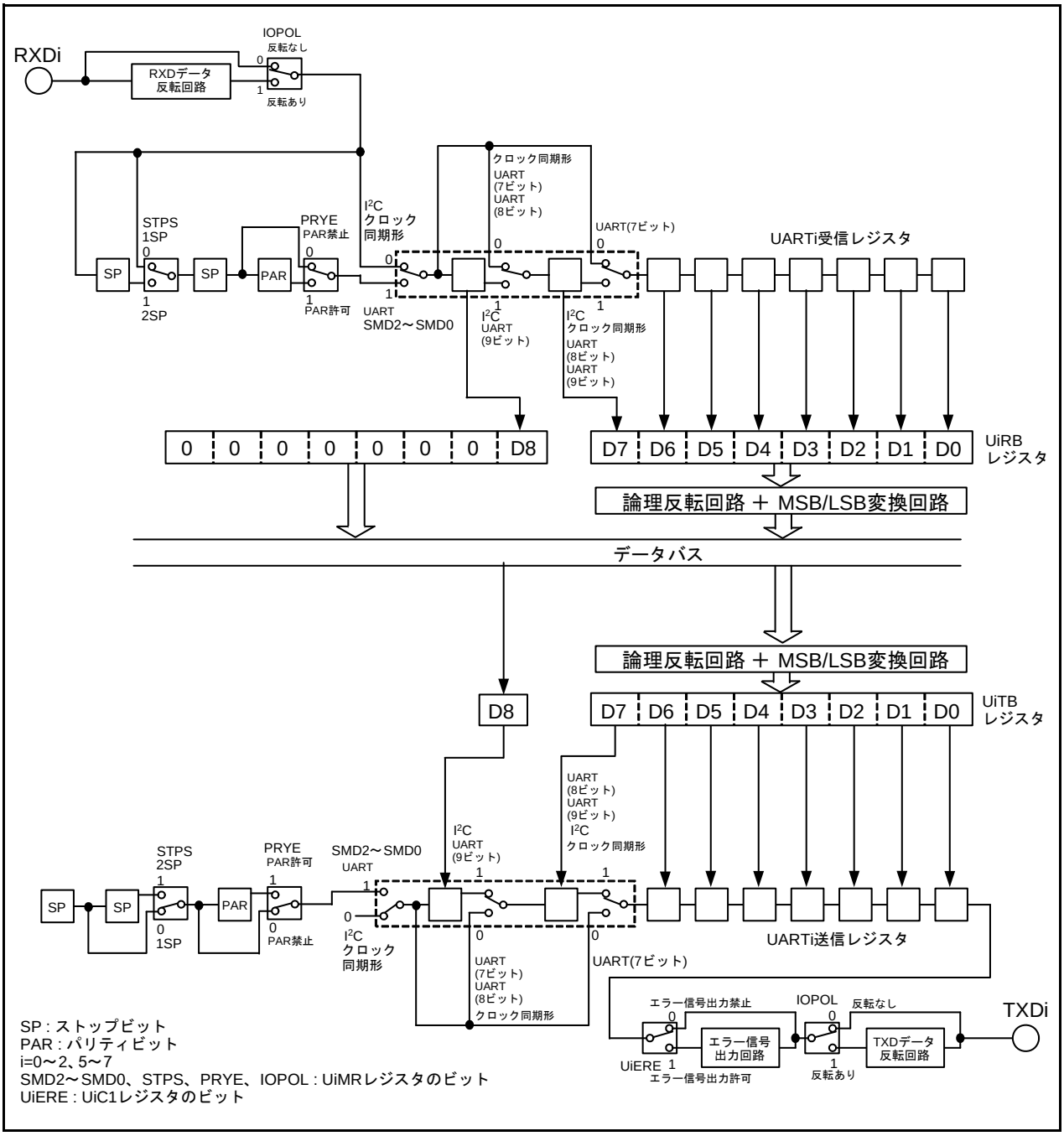


図 23.4　UARTi送受信部ブロック図

23.2 レジスタの説明

UART0~UART2、UART5~UART7関連レジスタを表23.3~表23.4 レジスター覧に示します。

UCLKSEL0 レジスタのOCOSEL0 ビットまたはOCOSEL1 ビットを設定した後、その他のUART0~UART2、UART5~UART7 関連レジスタを設定してください。OCOSEL0 ビットまたはOCOSEL1 ビットを変更した後も、その他のUART0~UART2、UART5~UART7関連レジスタを再設定してください。

レジスタ、ビットの設定値は、各モードの「使用レジスタと設定値」を参照してください。

表 23.3　レジスター覧 (1/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0244h	UART0特殊モードレジスタ4	U0SMR4	00h
0245h	UART0特殊モードレジスタ3	U0SMR3	000X 0X0Xb
0246h	UART0特殊モードレジスタ2	U0SMR2	X000 0000b
0247h	UART0特殊モードレジスタ	U0SMR	X000 0000b
0248h	UART0送受信モードレジスタ	U0MR	00h
0249h	UART0ビットレートレジスタ	U0BRG	XXh
024Ah	UART0送信バッファレジスタ	U0TB	XXh
024Bh			XXh
024Ch	UART0送受信制御レジスタ0	U0C0	0000 1000b
024Dh	UART0送受信制御レジスタ1	U0C1	00XX 0010b
024Eh	UART0受信バッファレジスタ	U0RB	XXh
024Fh			XXh
0250h	UART送受信制御レジスタ2	UCON	X000 0000b
0252h	UARTクロック選択レジスタ	UCLKSEL0	X0h
0254h	UART1特殊モードレジスタ4	U1SMR4	00h
0255h	UART1特殊モードレジスタ3	U1SMR3	000X 0X0Xb
0256h	UART1特殊モードレジスタ2	U1SMR2	X000 0000b
0257h	UART1特殊モードレジスタ	U1SMR	X000 0000b
0258h	UART1送受信モードレジスタ	U1MR	00h
0259h	UART1ビットレートレジスタ	U1BRG	XXh
025Ah	UART1送信バッファレジスタ	U1TB	XXh
025Bh			XXh
025Ch	UART1送受信制御レジスタ0	U1C0	0000 1000b
025Dh	UART1送受信制御レジスタ1	U1C1	00XX 0010b
025Eh	UART1受信バッファレジスタ	U1RB	XXh
025Fh			XXh
0264h	UART2特殊モードレジスタ4	U2SMR4	00h
0265h	UART2特殊モードレジスタ3	U2SMR3	000X 0X0Xb
0266h	UART2特殊モードレジスタ2	U2SMR2	X000 0000b
0267h	UART2特殊モードレジスタ	U2SMR	X000 0000b
0268h	UART2送受信モードレジスタ	U2MR	00h
0269h	UART2ビットレートレジスタ	U2BRG	XXh
026Ah	UART2送信バッファレジスタ	U2TB	XXh
026Bh			XXh
026Ch	UART2送受信制御レジスタ0	U2C0	0000 1000b

表 23.4　レジスター覧 (2/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
026Dh	UART2送受信制御レジスタ1	U2C1	0000 0010b
026Eh	UART2受信バッファレジスタ	U2RB	XXh
026Fh			XXh
0284h	UART5特殊モードレジスタ4	U5SMR4	00h
0285h	UART5特殊モードレジスタ3	U5SMR3	000X 0X0Xb
0286h	UART5特殊モードレジスタ2	U5SMR2	X000 0000b
0287h	UART5特殊モードレジスタ	U5SMR	X000 0000b
0288h	UART5送受信モードレジスタ	U5MR	00h
0289h	UART5ビットレートレジスタ	U5BRG	XXh
028Ah	UART5送信バッファレジスタ	U5TB	XXh
028Bh			XXh
028Ch	UART5送受信制御レジスタ0	U5C0	0000 1000b
028Dh	UART5送受信制御レジスタ1	U5C1	0000 0010b
028Eh	UART5受信バッファレジスタ	U5RB	XXh
028Fh			XXh
0294h	UART6特殊モードレジスタ4	U6SMR4	00h
0295h	UART6特殊モードレジスタ3	U6SMR3	000X 0X0Xb
0296h	UART6特殊モードレジスタ2	U6SMR2	X000 0000b
0297h	UART6特殊モードレジスタ	U6SMR	X000 0000b
0298h	UART6送受信モードレジスタ	U6MR	00h
0299h	UART6ビットレートレジスタ	U6BRG	XXh
029Ah	UART6送信バッファレジスタ	U6TB	XXh
029Bh			XXh
029Ch	UART6送受信制御レジスタ0	U6C0	0000 1000b
029Dh	UART6送受信制御レジスタ1	U6C1	0000 0010b
029Eh	UART6受信バッファレジスタ	U6RB	XXh
029Fh			XXh
02A4h	UART7特殊モードレジスタ4	U7SMR4	00h
02A5h	UART7特殊モードレジスタ3	U7SMR3	000X 0X0Xb
02A6h	UART7特殊モードレジスタ2	U7SMR2	X000 0000b
02A7h	UART7特殊モードレジスタ	U7SMR	X000 0000b
02A8h	UART7送受信モードレジスタ	U7MR	00h
02A9h	UART7ビットレートレジスタ	U7BRG	XXh
02AAh	UART7送信バッファレジスタ	U7TB	XXh
02ABh			XXh
02ACh	UART7送受信制御レジスタ0	U7C0	0000 1000b
02ADh	UART7送受信制御レジスタ1	U7C1	0000 0010b
02AEh	UART7受信バッファレジスタ	U7RB	XXh
02AFh			XXh

23.2.1 UARTクロック選択レジスタ (UCLKSEL0)

UARTクロック選択レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
X	X	X	X			0	0

シンボル	アドレス	リセット後の値
UCLKSEL0	0252h番地	X0h

ビットシンボル	ビット名	機　能	RW
— (b1-b0)	予約ビット	“0”にしてください。	RW
OCOSEL0	UART0～UART2分周前クロック選択ビット	0 : f1 1 : fOCO-F	RW
OCOSEL1	UART5～UART7分周前クロック選択ビット	0 : f1 1 : fOCO-F	RW
— (b7-b4)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—

OCOSEL0 (UART0~UART2分周前クロック選択ビット) (b2)
OCOSEL1 (UART5~UART7分周前クロック選択ビット) (b3)

OCOSEL0 ビット、OCOSEL1 ビットは、UART0~UART2、UART5~UART7 の送受信停止中に設定してください。

OCOSEL0 ビットまたはOCOSEL1 ビットを設定した後、その他の UART0~UART2、UART5~UART7 関連レジスタを設定してください。OCOSEL0 ビットまたはOCOSEL1 ビットを変更した後も、その他のUART0~UART2、UART5~UART7関連レジスタを再設定してください。

23.2.2 周辺クロック選択レジスタ (PCLKR)

周辺クロック選択レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0	0		0	0	0		

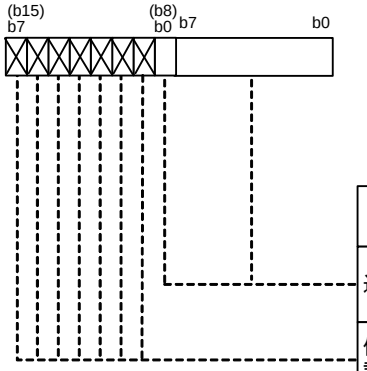
シンボル	アドレス	リセット後の値
PCLKR	0012h番地	0000 0011b

ビットシンボル	ビット名	機　能	RW
PCLK0	タイマA、Bクロック選択ビット(タイマA、タイマB、短絡防止タイマ、マルチマスタI²C-busインタフェースのクロック源)	0 : f2TIMAB/f2IIC 1 : f1TIMAB/f1IIC	RW
PCLK1	SI/Oクロック選択ビット(UART0～UART2、UART5～UART7、SI/O3、SI/O4のクロック源)	0 : f2SIO 1 : f1SIO	RW
— (b4-b2)	予約ビット	“0”にしてください	RW
PCLK5	クロック出力機能拡張ビット(シングルチップ時有効)	0 : CM0レジスタのCM01～CM00ビットで選択 1 : f1を出力	RW
— (b7-b6)	予約ビット	“0”にしてください	RW

PCLKR レジスタはPRCR レジスタのPRC0 ビットを“1”(書き込み許可) にした後で書き換えてください。

23.2.3 UARTi送信バッファレジスタ (UiTB) (i=0~2, 5~7)

UARTi送信バッファレジスタ (i=0～2、5～7)



シンボル	アドレス	リセット後の値
U0TB	024Bｈ～024Aｈ番地	不定
U1TB	025Bｈ～025Aｈ番地	不定
U2TB	026Bｈ～026Aｈ番地	不定
U5TB	028Bｈ～028Aｈ番地	不定
U6TB	029Bｈ～029Aｈ番地	不定
U7TB	02ABｈ～02AAｈ番地	不定

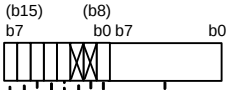
機　能	RW
送信データ	WO
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—

このレジスタはMOV命令を使用して書いてください。

キャラクタ長が9ビットの場合は、16ビット単位で書くか、または8ビット単位で上位バイトを先に、下位バイトを後で書いてください。

23.2.4 UARTi受信バッファレジスタ (UiRB) (i=0~2, 5~7)

UARTi受信バッファレジスタ (i=0～2、5～7)



シンボル	アドレス	リセット後の値
U0RB	024Fh～024Eh番地	不定
U1RB	025Fh～025Eh番地	不定
U2RB	026Fh～026Eh番地	不定
U5RB	028Fh～028Eh番地	不定
U6RB	029Fh～029Eh番地	不定
U7RB	02AFh～02AEh番地	不定

ビットシンボル	ビット名	機　能	RW
— (b7-b0)	——	受信データ(D7～D0)	RO
— (b8)	——	受信データ(D8)	RO
— (b10-b9)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
ABT	アービトレーションロスト検出フラグ	0 : 未検出 (勝) 1 : 検出 (負)	RW
OER	オーバランエラーフラグ	0 : オーバランエラーなし 1 : オーバランエラー発生	RO
FER	フレーミングエラーフラグ	0 : フレーミングエラーなし 1 : フレーミングエラー発生	RO
PER	パリティエラーフラグ	0 : パリティエラーなし 1 : パリティエラー発生	RO
SUM	エラーサムフラグ	0 : エラーなし 1 : エラー発生	RO

UiMR レジスタの SMD2~ SMD0 ビットが“100b”、“101b”または“110b”の場合は、16 ビット単位で読み出すか、または8ビット単位で上位バイトを先に、下位バイトを後で読み出してください。下位バイトを読み出すと上位バイトに配置されたFER,PERビットが“0”になります。

オーバランエラーが発生したとき、UiRBレジスタの受信データは不定です。

ABT (アービトレーションロスト検出フラグ) (b11)

ABTビットはプログラムで“0”を書くと“0”になります (“1”を書いても変化しません)。

OER (オーバランエラーフラグ) (b12)

［“0”になる条件］

- UiMR レジスタの SMD2~ SMD0 ビットが“000b” (シリアルインタフェースは無効)
- UiC1 レジスタの RE ビットが“0” (受信禁止)

［“1”になる条件］

- UiC1 レジスタの RI ビットが“1” (UiRB レジスタにデータあり) かつ次のデータの最終ビットを受信

FER (フレーミングエラーフラグ) (b13)

SMD2~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I^2Cモード)の場合、FERビットは無効です。これらのモードで読んだ場合、その値は不定です。

［“0”になる条件］

- UiMRレジスタのSMD2~ SMD0ビットが“000b”(シリアルインタフェースは無効)
- UiC1レジスタのREビットが0”(受信禁止)
- UiRBレジスタの下位バイトを読む

［“1”になる条件］

- 設定した個数のストップビットが検出されない
  (受信データをUARTi受信レジスタからUiRBレジスタに転送するタイミングで検出)

PER (パリティエラーフラグ) (b14)

SMD2~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I^2Cモード)の場合、PERビットは無効です。これらのモードで読んだ場合、その値は不定です。

UiMRレジスタのPRYEビットが“1”(パリティ許可)の場合に有効です。

［“0”になる条件］

- UiMRレジスタのSMD2~ SMD0ビットが“000b”(シリアルインタフェースは無効)
- UiC1レジスタのREビットが0”(受信禁止)
- UiRBレジスタの下位バイトを読む

［“1”になる条件］

- パリティビットとキャラクタビット中の“1”の個数が設定した個数でない
  (受信データをUARTi受信レジスタからUiRBレジスタに転送するタイミングで検出)

SUM (エラーサムフラグ) (b15)

SMD2~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I^2Cモード)の場合は、SUMビット無効です。これらのモードで読んだ場合、その値は不定です。

［“0”になる条件］

- UiMRレジスタのSMD2~ SMD0ビットが“000b”(シリアルインタフェースは無効)
- UiC1レジスタのREビットが0”(受信禁止)
- PER、FER、OERビットがすべて“0”(エラーなし)

［“1”になる条件］

- PER、FER、OERビットのうち1つ以上が“1”(エラー発生)

23.2.5 UARTiビットレートレジスタ (UiBRG) (i=0~2, 5~7)

UARTiビットレートレジスタ (i=0～2、5～7)

b7 b0

シンボル	アドレス	リセット後の値
U0BRG、U1BRG、U2BRG	0249h、0259h、0269h番地	不定
U5BRG、U6BRG、U7BRG	0289h、0299h、02A9h番地	不定

機　能	設定範囲	RW
設定値をnとすると、UiBRGはカウントソースをn+1分周する	00h～FFh	WO

送受信停止中に書いてください。
このレジスタはMOV命令を使用して書いてください。
このレジスタはUiC0レジスタのCLK1~CLK0ビットを設定した後に書いてください。

23.2.6 UARTi送受信モードレジスタ (UiMR) (i=0~2, 5~7)

UARTi送受信モードレジスタ(i=0～2、5～7)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
U0MR、U1MR、U2MR	0248h、0258h、0268h番地	00h
U5MR、U6MR、U7MR	0288h、0298h、02A8h番地	00h

ビットシンボル	ビット名	機　能	RW
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 0 : シリアルインタフェースは無効 0 0 1 : クロック同期形シリアルI/Oモード 0 1 0 : I^2Cモード 1 0 0 : UARTモードキャラクタ長7ビット 1 0 1 : UARTモードキャラクタ長8ビット 1 1 0 : UARTモードキャラクタ長9ビット 上記以外: 設定しないでください	RW
SMD1			RW
SMD2			RW
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック	RW
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	RW
PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0 : 奇数パリティ 1 : 偶数パリティ	RW
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	RW
IOPOL	TXD、RXD入出力極性切り替えビット	0 : 反転なし 1 : 反転あり	RW

23.2.7 UARTi送受信制御レジスタ0 (UiC0) (i=0~2, 5~7)

UARTi送受信制御レジスタ0(i=0～2、5～7)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
U0C0、U1C0、U2C0	024Ch、025Ch、026Ch番地	0000 1000b
U5C0、U6C0、U7C0	028Ch、029Ch、02ACh番地	0000 1000b

ビットシンボル	ビット名	機　能	RW
CLK0	UiBRGカウントソース選択ビット	b1 b0 0 0 : f1SIO またはf2SIOを選択 0 1 : f8SIOを選択 1 0 : f32SIOを選択 1 1 : 設定しないでください	RW
CLK1			RW
CRS	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能選択ビット	CRD=0のとき有効 0 : $\overline{\text{CTS}}$機能を選択 1 : $\overline{\text{RTS}}$機能を選択	RW
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	RO
CRD	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット	0 : $\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能許可 1 : $\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能禁止	RW
NCH	データ出力選択ビット	0 : TXDi/SDAi、SCLi端子はCMOS出力 1 : TXDi/SDAi、SCLi端子はNチャネルオープンドレイン出力	RW
CKPOL	CLK極性選択ビット	0 : 送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	RW
UFORM	ビットオーダ選択ビット	0 : LSBファースト 1 : MSBファースト	RW

CLK1~CLK0 (UiBRGカウントソース選択ビット) (b1~b0)

"00b" (f1SIOまたはf2SIOを選択)のとき、PCLKRレジスタのPCLK1ビットで選択してください。
UCLKSEL0、PCLKRレジスタを設定した後で、CLK1~CLK0を設定してください。
CLK1~ CLK0ビットを変更した場合は、UiBRGレジスタを設定してください。

CRS ($\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能選択ビット) (b2)

$\overline{\text{CTS1}}$/$\overline{\text{RTS1}}$はUCONレジスタのCLKMD1ビットが"0" (CLK出力はCLK1のみ)、かつUCONレジスタのRCSPビットが"0" ($\overline{\text{CTS0}}$/$\overline{\text{RTS0}}$分離しない)のとき使用できます。

CRD ($\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット) (b4)

CRDビットが"1" ($\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能禁止)のとき、$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子は入出力ポートとして使用できます。

NCH (データ出力選択ビット) (b5)

TXD2/SDA2、SCL2は、Nチャネルオープンドレイン出力です。CMOS出力は設定できません。U2C0レジスタのNCHビットは、何も配置されていませんので、書く場合“0”を書いてください。

本機能はCMOS出力バッファのPチャネルトランジスタを常時オフにするものであり、TXDi/SDAi、SCLi端子を完全にオープンドレインにする機能ではありません。

入力できる電圧の範囲については、電気的特性をご確認ください。

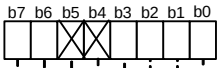
UFORM (ビットオーダ選択ビット) (b7)

UFORMビットはUiMRレジスタのSMD2~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“101b”(UARTモードキャラクタ長8ビット)のとき有効です。

SMD2~ SMD0ビットが“010b”(I^2Cモード)のときは“1”に、“100b”(UARTモードキャラクタ長7ビット)または“110b”(UARTモードキャラクタ長9ビット)のときは“0”にしてください。

23.2.8 UARTi送受信制御レジスタ1 (UiC1) (i=0~2, 5~7)

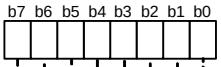
UARTi送受信制御レジスタ1 (i=0、1)



シンボル	アドレス	リセット後の値
U0C1、U1C1	024Dh、025Dh番地	00XX 0010b

ビットシンボル	ビット名	機　能	RW
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	RW
TI	送信バッファ空フラグ	0 : UiTBレジスタにデータあり 1 : UiTBレジスタにデータなし	RO
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	RW
RI	受信完了フラグ	0 : UiRBレジスタにデータなし 1 : UiRBレジスタにデータあり	RO
— (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
UiLCH	データ論理選択ビット	0 : 反転なし 1 : 反転あり	RW
UiERE	エラー信号出力許可ビット	0 : 出力しない 1 : 出力する	RW

UARTi送受信制御レジスタ1(i=2、5～7)



シンボル	アドレス	リセット後の値
U2C1	026Dh番地	0000 0010b
U5C1、U6C1、U7C1	028Dh、029Dh、02ADh番地	0000 0010b

ビットシンボル	ビット名	機　能	RW
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	RW
TI	送信バッファ空フラグ	0 : UiTBレジスタにデータあり 1 : UiTBレジスタにデータなし	RO
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	RW
RI	受信完了フラグ	0 : UiRBレジスタにデータなし 1 : UiRBレジスタにデータあり	RO
UiIRS	UARTi送信割り込み要因選択ビット	0 : UiTBレジスタ空(TI=1) 1 : 送信完了(TXEPT=1)	RW
UiRRM	UARTi連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	RW
UiLCH	データ論理選択ビット	0 : 反転なし 1 : 反転あり	RW
UiERE	エラー信号出力許可ビット	0 : 出力しない 1 : 出力する	RW

UART0、UART1のUiIRS、UiRRMビットはUCONレジスタにあります。

UiLCH (データ論理選択ビット) (b6)

UiLCHビットは、UiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモードキャラクタ長7ビット)または“101b”(UARTモードキャラクタ長8ビット)のとき有効です。SMD2~ SMD0ビットが“010b”(I^2Cモード)または“110b”(UARTモードキャラクタ長9ビット)のときは“0”にしてください。

23.2.9 UART送受信制御レジスタ2 (UCON)

UART送受信制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
UCON	0250h番地	X000 0000b

ビットシンボル	ビット名	機　能	RW
U0IRS	UART0送信割り込み要因選択ビット	0 : 送信バッファ空(TI=1) 1 : 送信完了(TXEPT=1)	RW
U1IRS	UART1送信割り込み要因選択ビット	0 : 送信バッファ空(TI=1) 1 : 送信完了(TXEPT=1)	RW
U0RRM	UART0連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	RW
U1RRM	UART1連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	RW
CLKMD0	UART1CLK、CLKS選択ビット0	CLKMD1=1のとき有効 0 : CLK1からクロックを出力 1 : CLKS1からクロックを出力	RW
CLKMD1	UART1CLK、CLKS選択ビット1	0 : CLK出力はCLK1のみ 1 : 送受信クロック複数端子出力機能選択	RW
RCSP	UART0$\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離ビット	0 : $\overline{\text{CTS}}$/$\overline{\text{RTS}}$共通端子 1 : $\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

UART2、UART5~UART7のUiIRS、UiRRMビットはUiC1レジスタにあります。

CLKMD1 (UART1CLK、CLKS選択ビット1) (b5)

複数の送受信クロック出力端子を使用する場合、次の条件を満たしてください。
U1MRレジスタのCKDIRビット= 0 (内部クロック)

23.2.10 UARTi特殊モードレジスタ (UiSMR) (i=0~2, 5~7)

UARTi特殊モードレジスタ(i=0～2、5～7)

b7	b6	b5	b4	b3	b2	b1	b0
X				0			

シンボル	アドレス	リセット後の値
U0SMR、U1SMR、U2SMR	0247h、0257h、0267h番地	X000 0000b
U5SMR、U6SMR、U7SMR	0287h、0297h、02A7h番地	X000 0000b

ビットシンボル	ビット名	機　能	RW
IICM	I²Cモード選択ビット	0 : I²Cモード以外 1 : I²Cモード	RW
ABC	アービトレーションロスト検出フラグ制御ビット	0 : ビットごとに更新 1 : バイトごとに更新	RW
BBS	バスビジーフラグ	0 : ストップコンディション検出 1 : スタートコンディション検出(ビジー)	RW
— (b3)	予約ビット	“0”にしてください。	RW
ABSCS	バス衝突検出サンプリングクロック選択ビット	0 : 送受信クロックの立ち上がり 1 : タイマAjのアンダフロー信号	RW
ACSE	送信許可ビット自動クリア機能選択ビット	0 : 自動クリア機能なし 1 : バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット	0 : RXDiに同期しない 1 : RXDiに同期する	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

BBS (バスビジーフラグ) (b2)

BBSビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

ABSCS (バス衝突検出サンプリングクロック選択ビット) (b4)

ABSCSビットが“1”の場合のUARTiとタイマAjの組み合わせは次のとおりです。

UART0、UART6: タイマA3のアンダフロー信号

UART1、UART7: タイマA4のアンダフロー信号

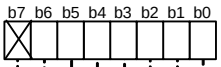
UART2、UART5: タイマA0のアンダフロー信号

SSS (送信開始条件選択ビット) (b6)

送信が始まると、SSSビットは“0”(RXDiに同期しない)になります。

23.2.11 UARTi特殊モードレジスタ2 (UiSMR2) (i=0~2, 5~7)

UARTi特殊モードレジスタ2 (i=0～2、5～7)

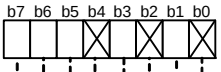


シンボル	アドレス	リセット後の値
U0SMR2、U1SMR2、U2SMR2 U5SMR2、U6SMR2、U7SMR2	0246h、0256h、0266h番地 0286h、0296h、02A6h番地	X000 0000b X000 0000b

ビットシンボル	ビット名	機　能	RW
IICM2	I²Cモード選択ビット2	「**表 23.18 I²Cモード時の各機能**」参照	RW
CSC	クロック同期化ビット	0：禁止 1：許可	RW
SWC	SCLウェイト出力ビット	0：禁止 1：許可	RW
ALS	SDA出力停止ビット	0：禁止 1：許可	RW
STAC	UARTi初期化ビット	0：禁止 1：許可	RW
SWC2	SCLウェイト出力ビット2	0：送受信クロック 1：“L”出力	RW
SDHI	SDA出力禁止ビット	0：許可 1：禁止(ハイインピーダンス)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

23.2.12 UARTi特殊モードレジスタ3 (UiSMR3) (i=0~2, 5~7)

UARTi特殊モードレジスタ3 (i=0～2、5～7)



シンボル	アドレス	リセット後の値
U0SMR3、U1SMR3、U2SMR3 U5SMR3、U6SMR3、U7SMR3	0245h、0255h、0265h番地 0285h、0295h、02A5h番地	000X 0X0Xb 000X 0X0Xb

ビットシンボル	ビット名	機　能	RW
— (b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CKPH	クロック位相設定ビット	0 : クロック遅れなし 1 : クロック遅れあり	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
NODC	クロック出力選択ビット	0 : CLKiはCMOS出力 1 : CLKiはNチャネルオープンドレイン出力	RW
— (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
DL0	SDAiデジタル 遅延値設定ビット	b7 b6 b5 0 0 0 : 遅延なし 0 0 1 : UiBRGカウントソースの1～2サイクル 0 1 0 : UiBRGカウントソースの2～3サイクル 0 1 1 : UiBRGカウントソースの3～4サイクル 1 0 0 : UiBRGカウントソースの4～5サイクル 1 0 1 : UiBRGカウントソースの5～6サイクル 1 1 0 : UiBRGカウントソースの6～7サイクル 1 1 1 : UiBRGカウントソースの7～8サイクル	RW
DL1			RW
DL2			RW

NODC (クロック出力選択ビット) (b3)

本機能はCMOS出力バッファのPチャネルトランジスタを常時オフにするものであり、CLKi端子を完全にオープンドレインにする機能ではありません。

入力できる電圧の範囲については、電気的特性をご確認ください。

DL2~DL0 (SDAiデジタル遅延値設定ビット) (b7~b5)

DL2~ DL0ビットはI^2Cモードで、SDAi出力にデジタル的に遅延を発生させるものです。I^2Cモード以外の場合、“000b” (遅延なし)にしてください。

遅延量はSCLi端子、SDAi端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

23.2.13 UARTi特殊モードレジスタ4 (UiSMR4) (i=0~2, 5~7)

UARTi特殊モードレジスタ4 (i=0～2、5～7)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
								U0SMR4、U1SMR4、U2SMR4	0244h、0254h、0264h番地	00h
								U5SMR4、U6SMR4、U7SMR4	0284h、0294h、02A4h番地	00h

ビットシンボル	ビット名	機　能	RW
STAREQ	スタートコンディション生成ビット	0 : クリア 1 : スタート	RW
RSTAREQ	リスタートコンディション生成ビット	0 : クリア 1 : スタート	RW
STPREQ	ストップコンディション生成ビット	0 : クリア 1 : スタート	RW
STSPSEL	SCL、SDA出力選択ビット	0 : スタートコンディション、ストップコンディション出力しない 1 : スタートコンディション、ストップコンディション出力する	RW
ACKD	ACKデータビット	0 : ACK 1 : NACK	RW
ACKC	ACKデータ出力許可ビット	0 : シリアルインタフェースデータ出力 1 : ACKデータ出力	RW
SCLHI	SCL出力停止許可ビット	0 : 禁止 1 : 許可	RW
SWC9	SCLウェイトビット3	0 : SCL“L”ホールド禁止 1 : SCL“L”ホールド許可	RW

STAREQ (スタートコンディション生成ビット) (b0)

スタートコンディションが生成されたとき、“0”になります。

RSTAREQ (リスタートコンディション生成ビット) (b1)

リスタートコンディションが生成されたとき、“0”になります。

STPREQ (ストップコンディション生成ビット) (b2)

ストップコンディションが生成されたとき、“0”になります。

23.3 動作説明

23.3.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、送受信クロックを用いて送受信を行うモードです。表23.5にクロック同期形シリアルI/Oモードの仕様を示します。

表23.5 クロック同期形シリアルI/Oモードの仕様

項目	仕様
データフォーマット	キャラクタ長　8ビット
送受信クロック	• UiMRレジスタのCKDIRビットが“0”(内部クロック): $\frac{fj}{2(n+1)}$ fj=f1SIO、f2SIO、f8SIO、f32SIO　n=UiBRGレジスタの設定値　00h~FFh • CKDIRビットが“1”(外部クロック):CLKi端子からの入力
送信制御、受信制御	$\overline{\text{CTS}}$機能、$\overline{\text{RTS}}$機能、$\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要(注1) • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) • $\overline{\text{CTS}}$機能を選択している場合、$\overline{\text{CTSi}}$端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要(注1) • UiC1レジスタのREビットが“1”(受信許可) • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信割り込み　次のいずれかを選択可 • UiC1またはUCONレジスタのUiIRSビットが“0”(送信バッファ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了):UARTi送信レジスタからデータ送信完了時 受信割り込み • UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	• CLK極性選択 データの出力と入力タイミングが、送受信クロックの立ち上がりか立ち下がりかを選択可 • LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 • 連続受信モード選択 UiRBレジスタを読むことで、同時に受信許可状態になる • シリアルデータ論理切り替え 送受信データの論理値を反転する機能 • 送受信クロック複数端子出力選択(UART1) UART1の送受信クロック端子を2本設定し、プログラムで出力端子を選択可 • $\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離機能(UART0) $\overline{\text{CTS0}}$と$\overline{\text{RTS0}}$を別の端子から入出力する

i=0~2, 5~7

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタの受信データは不定になります。またSiRICレジスタのIRビットは変化しません。

表23.6にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。表23.6は、送受信クロック複数端子出力選択機能を非選択の場合です。また、表23.7にクロック同期形シリアルI/Oモード時のP6_4端子の機能を示します。

なお、UARTiの動作モード選択後、送信開始までは、TXDi端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表23.6　クロック同期形シリアルI/Oモード時の入出力端子の機能(送受信クロック複数端子出力機能を非選択の場合)

端子名	入出力	機 能	選択方法
TXDi	出力	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RXDi	入力	シリアルデータ入力	端子を共用するポートの方向ビットを“0”にする
	入力	入力ポート	ポートの方向ビットを“0”にする(送信だけを行うときは入力ポートとして使用可)
CLKi	出力	送受信クロック出力	UiMRレジスタのCKDIRビット=0
	入力	送受信クロック入力	UiMRレジスタのCKDIRビット=1 端子を共用するポートの方向ビットを“0”にする
$\overline{\text{CTS}}$i/$\overline{\text{RTS}}$i	入力	$\overline{\text{CTS}}$入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 端子を共用するポートの方向ビットを“0”にする
	出力	$\overline{\text{RTS}}$出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力	入出力ポート	UiC0レジスタのCRDビット=1

i=0~2, 5~7

表23.7　クロック同期形シリアルI/Oモード時のP6_4端子の機能

端子の機能	ビットの設定値					
	U1C0レジスタ		UCONレジスタ			PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P6_4	1	—	0	0	—	入力:0、出力:1
$\overline{\text{CTS1}}$	0	0	0	0	—	0
$\overline{\text{RTS1}}$	0	1	0	0	—	—
$\overline{\text{CTS0}}$ (注1)	0	0	1	0	—	0
CLKS1	—	—	—	1(注2)	1	—

—:“0”または“1”

注1.　この他にU0C0レジスタのCRDビットを“0”($\overline{\text{CTS0}}$/$\overline{\text{RTS0}}$許可)、U0C0レジスタのCRSビットを“1”($\overline{\text{RTS0}}$選択)にしてください。

注2.　CLKMD1ビットが“1”でCLKMD0ビットが“0”の場合は、次のレベルを出力します。

- U1C0レジスタのCKPOLビットが“0”:H
- U1C0レジスタのCKPOLビットが“1”:L

表 23.8にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表 23.8　クロック同期形シリアルI/Oモード時の使用レジスタと設定値 (注2)

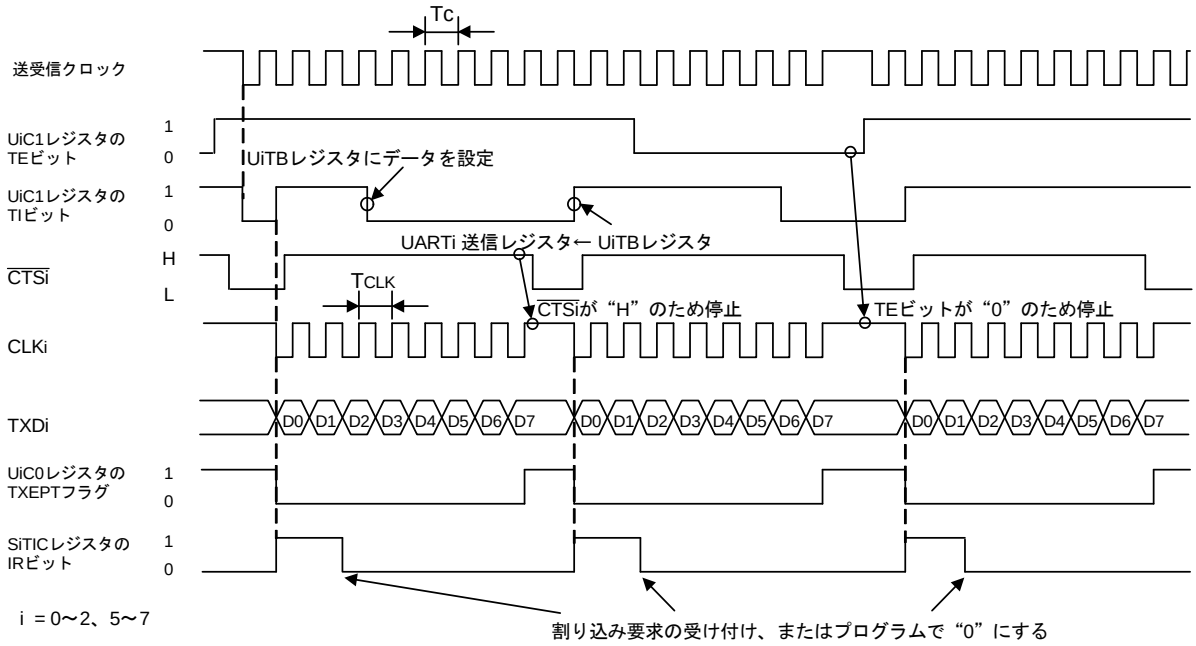
レジスタ	ビット	機能
UCLKSEL0	OCOSEL0	UART0~UART2の分周前クロックを選択してください
	OCOSEL1	UART5~UART7の分周前クロックを選択してください
PCLKR	PCLK1	UiBRGのカウントソースを選択してください
UiTB	0~7	送信データを設定してください
	8	ー (設定しないでよい) 書く場合は“0”にしてください
UiRB	0~7	受信データが読めます
	8、11、13~15	読んだ場合、その値は不定
	OER	オーバランエラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	“001b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	4~6	“0”にしてください
	IOPOL	“0”にしてください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください
	CRS	$\overline{\text{CTS}}$または$\overline{\text{RTS}}$を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	$\overline{\text{CTS}}$または$\overline{\text{RTS}}$機能の許可、または禁止を選択してください
	NCH	TXDi端子の出力形式を選択してください(注1)
	CKPOL	送受信クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	UjIRS	UARTj送信割り込み要因を選択してください
	UjRRM	連続受信モードを使用する場合、“1”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
UiSMR	0~7	“0”にしてください
UiSMR2	0~7	“0”にしてください
UiSMR3	0~2	“0”にしてください
	NODC	クロック出力形式を選択してください
	4~7	“0”にしてください
UiSMR4	0~7	“0”にしてください
UCON	U0IRS	UART0送信割り込み要因を選択してください
	U1IRS	UART1送信割り込み要因を選択してください
	U0RRM	連続受信モードを使用する場合、“1”にしてください
	U1RRM	連続受信モードを使用する場合、“1”にしてください
	CLKMD0	CLKMD1=1のとき送受信クロックを出力する端子を選択してください
	CLKMD1	UART1の送受信クロックを2端子から出力する場合、“1”にしてください
	RCSP	UART0の$\overline{\text{CTS0}}$/$\overline{\text{RTS}}$を分離する場合、“1”にしてください
	7	“0”にしてください

i=0~2, 5~7　　j=2, 5~7

注1.　TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていませんので、書く場合“0”を書いてください。

注2.　この表は手順を示すものではありません。

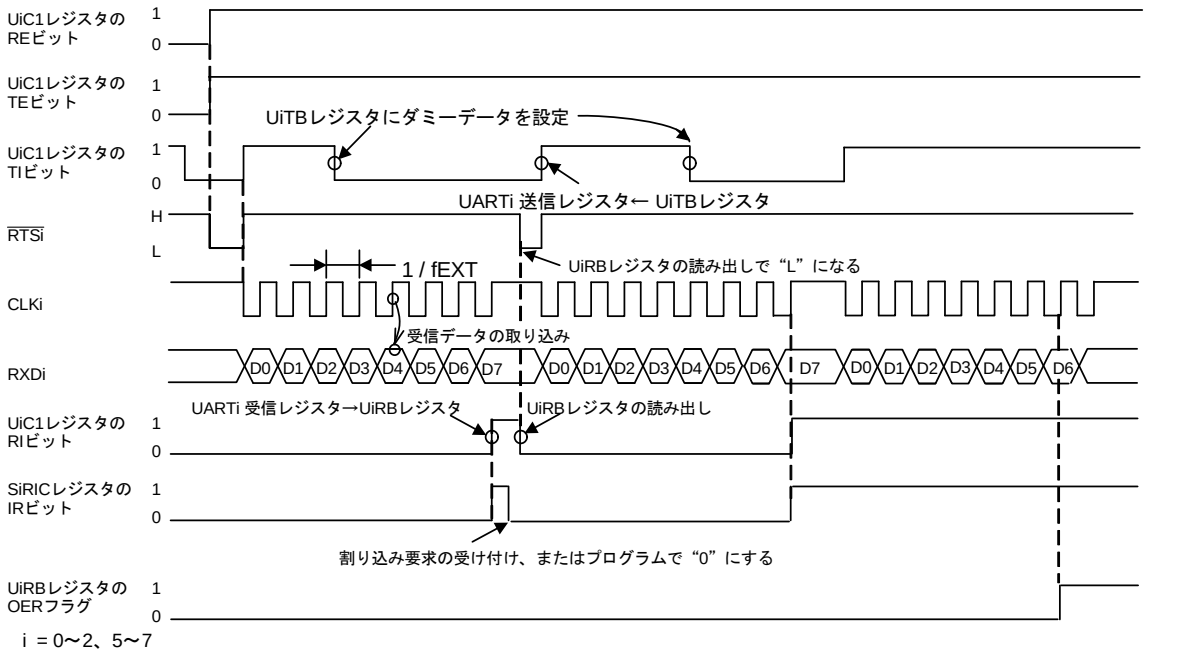
(1) 送信タイミング例(内部クロック選択時)



この図は次の設定条件の場合です。
- UiMRレジスタのCKDIRビット = “0” (内部クロック選択)
- UiC0レジスタのCRDビット = “0” (CTS/RTS機能許可)、CRSビット = “0” (CTS機能選択)
- UiC0レジスタのCKPOLビット = “0” (送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)
- UiC1またはUCONレジスタのUiIRSビット = “0” (UiTBレジスタ空で割り込み要求発生)

$Tc = T_{CLK} = 2(n+1) / fj$
fj : UiBRGカウントソースの周波数 (f1SIO, f2SIO, f8SIO, f32SIO)
n : UiBRGレジスタに設定した値

(2) 受信タイミング例(外部クロック選択時)



この図は次の設定条件の場合です。
- UiMRレジスタのCKDIRビット = “1” (外部クロック選択)
- UiC0レジスタのCRDビット = “0” (CTS/RTS機能許可)、CRSビット = “1” (RTS機能選択)
- UiC0レジスタのCKPOLビット = “0” (送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)

fEXT : 外部クロックの周波数

データ受信前のCLKi端子の入力が“H”のときに、次の条件が揃うようにしてください。
- UiC1レジスタのTEビット=1(送信許可)
- UiC1レジスタのREビット=1(受信許可)
- UiTBレジスタへのダミーデータの書き込み

図 23.5　クロック同期形シリアルI/Oモード時の送信、受信タイミング例

23.3.1.1　送受信回路の初期化

送受信中断などで、送受信回路を初期化する場合は、次のようにしてください。

- UiRBレジスタ (i=0~2, 5~7)の初期化手順
  (1) UiC1レジスタのREビットを“0”(受信禁止)にする。
  (2) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
  (3) UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
  (4) UiC1レジスタのREビットを“1”(受信許可)にする。

- UiTBレジスタの初期化手順
  (1) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
  (2) UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
  (3) UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

23.3.1.2　CLK極性選択

UiC0レジスタ (i=0~2, 5~7)のCKPOLビットで送受信クロックの極性を選択できます。図23.6に送受信クロックの極性を示します。

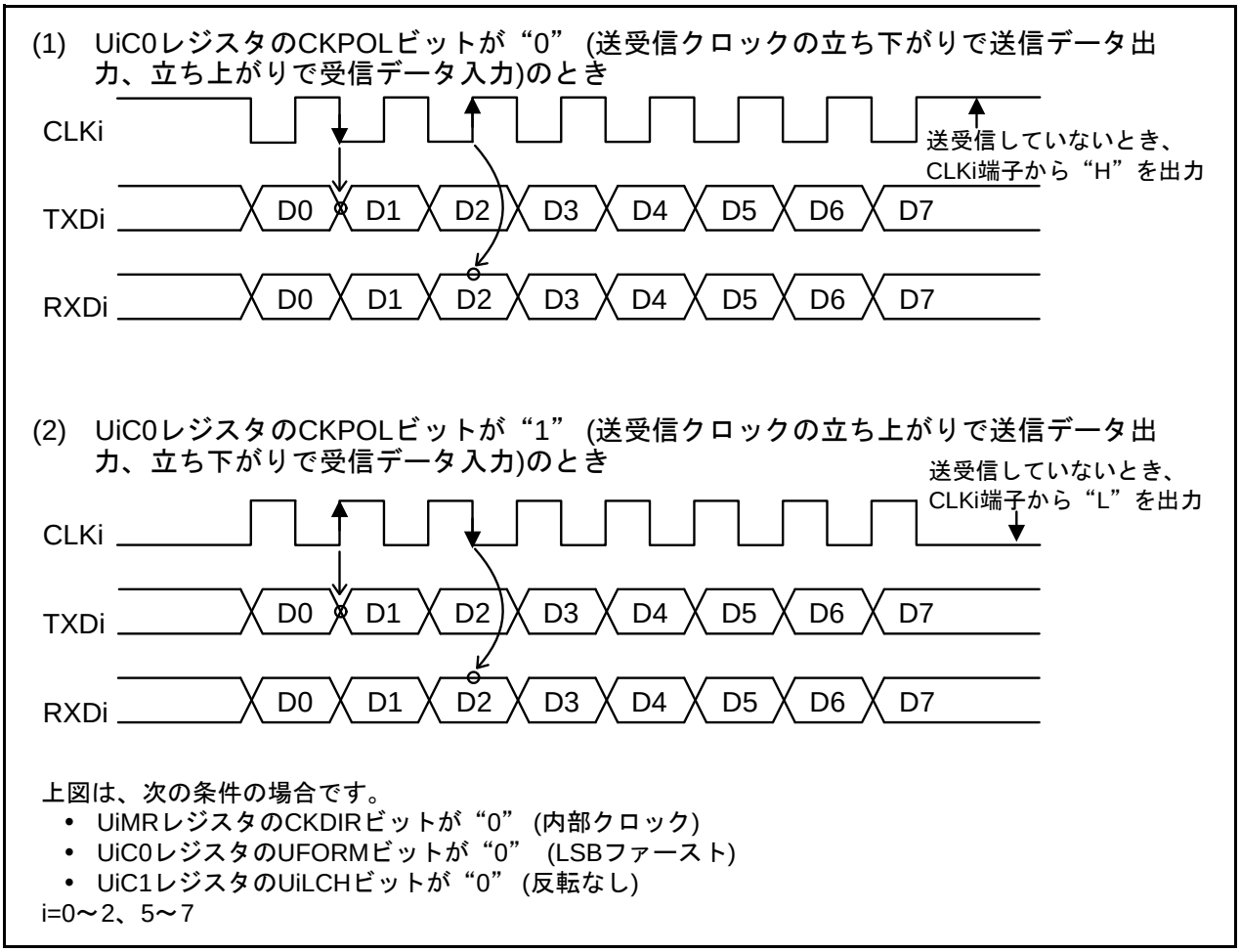
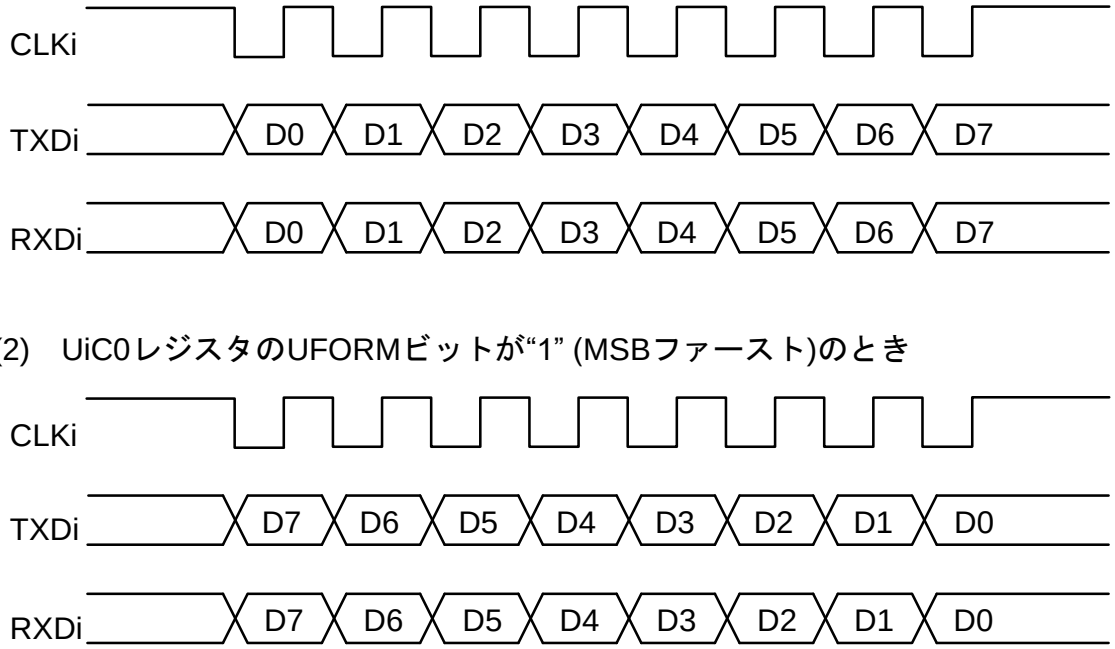


図23.6　送受信クロックの極性

23.3.1.3　LSBファースト、MSBファースト選択

UiC0レジスタ (i=0~2, 5~7)のUFORMビットでビットオーダを選択できます。図 23.7にビットオーダを示します。

(1)　UiC0レジスタのUFORMビットが“0” (LSBファースト)のとき



上図は、次の条件の場合です。

- UiC0レジスタのCKPOLビット=0
  (送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)
- UiC1レジスタのUiLCHビット=0(反転なし)

i=0～2、5～7

図 23.7　ビットオーダ

23.3.1.4　連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

UiC1またはUCONレジスタのUiRRMビット(i=0~2, 5~7)を“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTIビットが0 (UiTBレジスタにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。

外部クロック使用時は、8ビット目のデータを受信してから、次の送信が始まるまでにUiRBレジスタを読み出してください。

図23.8に連続受信モードの動作例を示します。

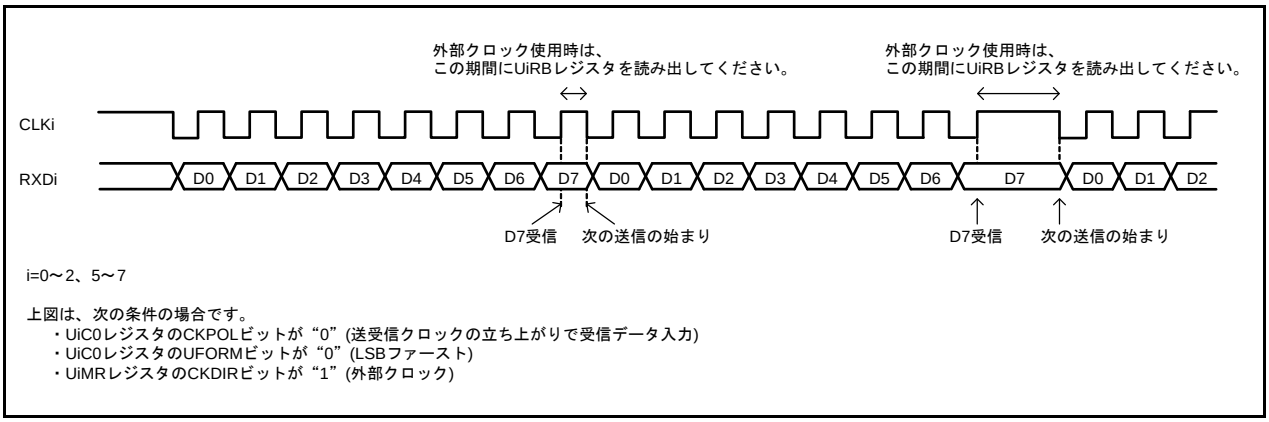


図23.8　連続受信モードの動作例

23.3.1.5　シリアルデータ論理切り替え

UiC1レジスタ(i=0~2, 5~7)のUiLCHビットが“1”(反転あり)の場合、UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図23.9にシリアルデータ論理を示します。

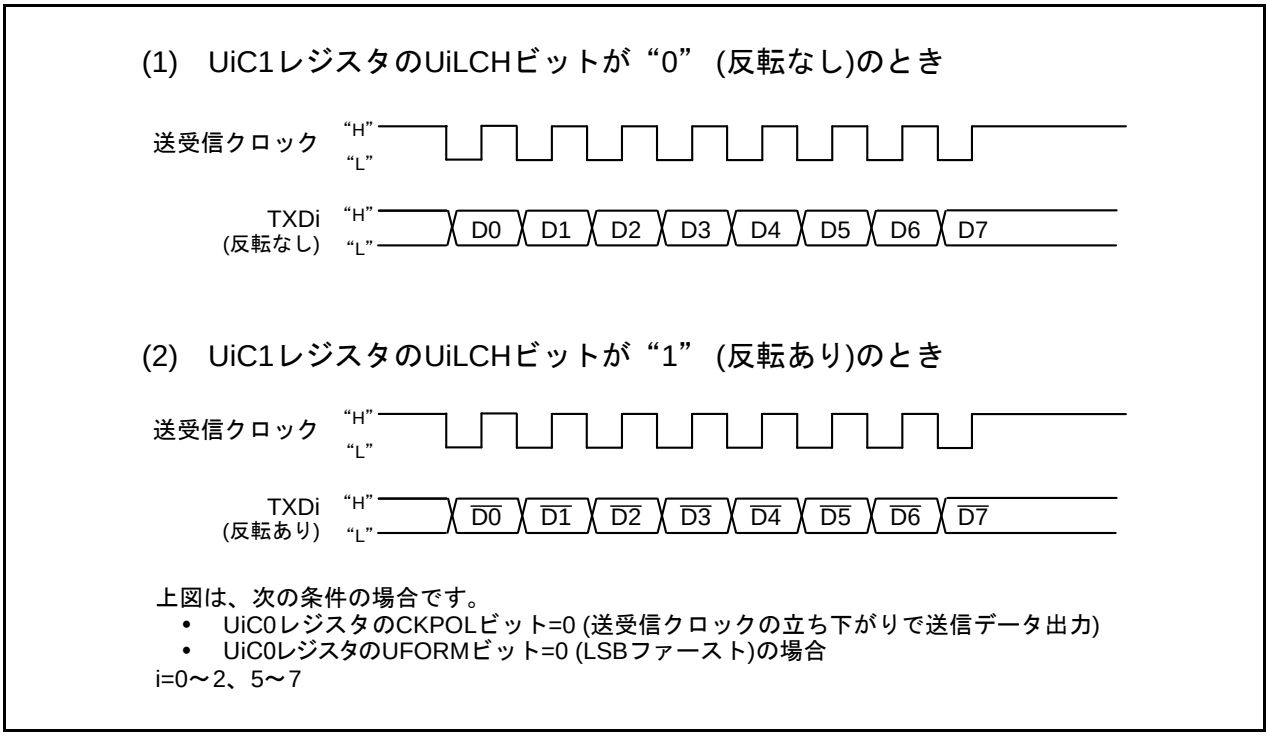


図 23.9　シリアルデータ論理

23.3.1.6　送受信クロック複数端子出力選択 (UART1)

UCONレジスタのCLKMD1~CLKMD0ビットで2本の送受信クロック出力端子から1本を選択できます(図 23.10)。この機能は、UART1の送受信クロックが内部クロックの場合に使用できます。

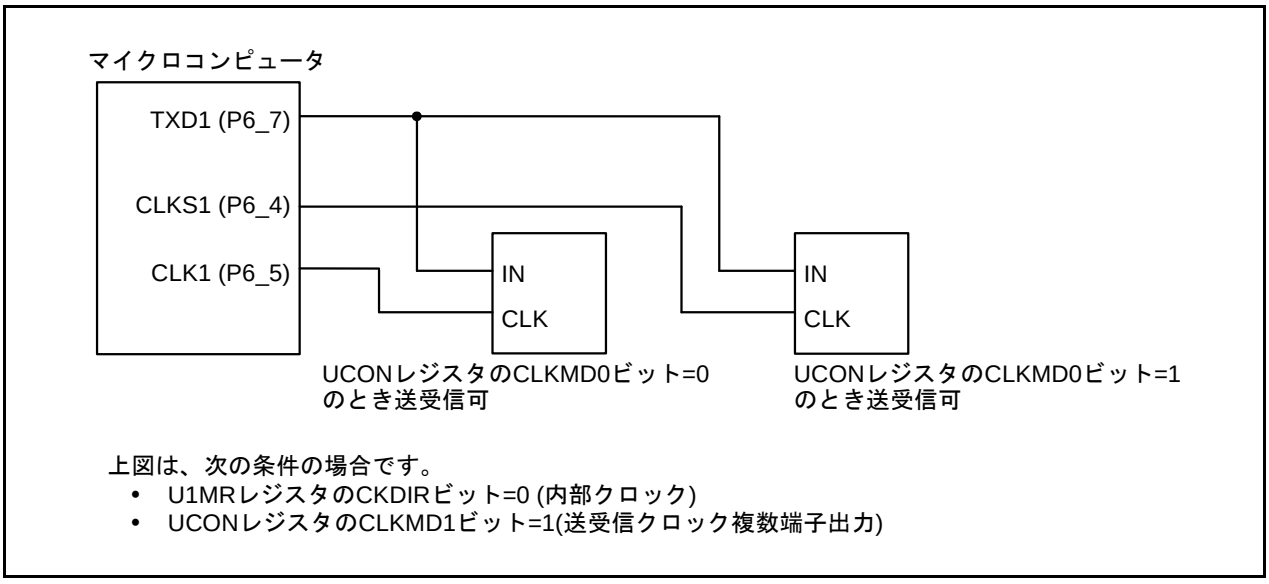


図 23.10　送受信クロック複数端子出力機能の使用例

23.3.1.7 $\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能

$\overline{\text{CTS}}$機能は、$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$ (i=0~2, 5~7) 端子に“L”を入力すると、送受信を開始させる機能です。$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

$\overline{\text{RTS}}$機能は、受信準備が整ったとき、$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子の出力レベルが“L”になります。CLKi端子の最初の立ち下がりで出力レベルが“H”になります。

端子の機能選択は「表 23.6 クロック同期形シリアルI/Oモード時の入出力端子の機能(送受信クロック複数端子出力機能を非選択の場合)」を参照してください。

23.3.1.8 $\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離機能 (UART0)

$\overline{\text{CTS0}}$/$\overline{\text{RTS0}}$を分離し、$\overline{\text{RTS0}}$をP6_0端子から出力、$\overline{\text{CTS0}}$をP6_4端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- U0C0レジスタのCRDビット=0 (UART0の$\overline{\text{CTS}}$/$\overline{\text{RTS}}$許可)
- U0C0レジスタのCRSビット=1 (UART0の$\overline{\text{RTS}}$出力)
- U1C0レジスタのCRDビット=0 (UART1の$\overline{\text{CTS}}$/$\overline{\text{RTS}}$許可)
- U1C0レジスタのCRSビット=0 (UART1の$\overline{\text{CTS}}$入力)
- UCONレジスタのRCSPビット=1 ($\overline{\text{CTS0}}$をP6_4端子から入力)
- UCONレジスタのCLKMD1ビット=0 (CLKS1を使用しない)

なお、$\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離機能使用時、UART1の$\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能は使用できません。

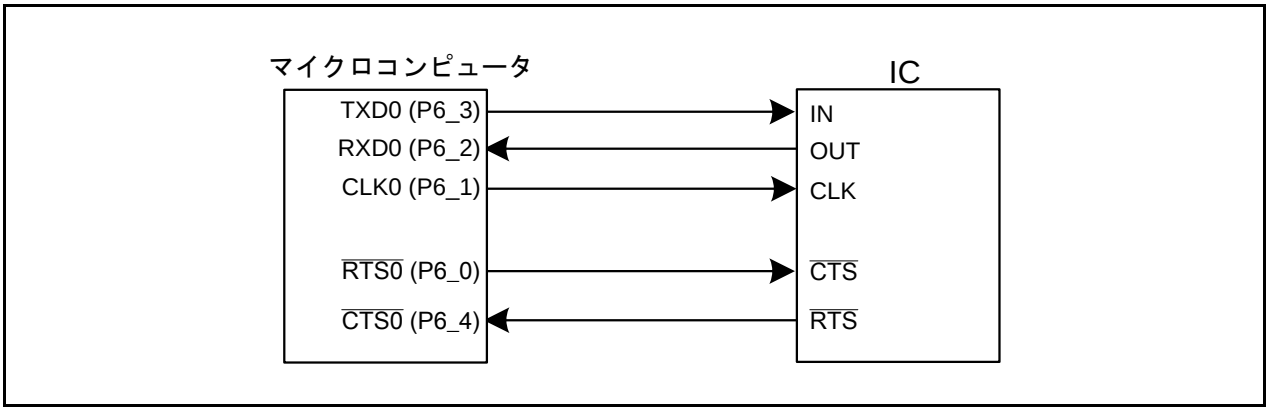


図 23.11 $\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離機能の使用例

23.3.2 クロック非同期形シリアルI/O (UART)モード

UARTモードは、任意のビットレート、ビットオーダを設定して送受信を行うモードです。表23.9にUARTモードの仕様を示します。

表 23.9 UARTモードの仕様

項目	仕様
データフォーマット	• キャラクタビット　7ビット、8ビット、9ビットを選択可 • スタートビット　1ビット • パリティビット　奇数、偶数、なしを選択可 • ストップビット　1ビット、2ビットを選択可
送受信クロック	• UiMRレジスタのCKDIRビットが0 (内部クロック): $\frac{fj}{16(n+1)}$ fj=f1SIO、f2SIO、f8SIO、f32SIO　n=UiBRGレジスタの設定値　00h~FFh • CKDIRビットが“1” (外部クロック): $\frac{fEXT}{16(n+1)}$ fEXTはCLKi端子からの入力　n=UiBRGレジスタの設定値　00h~FFh
送信制御、受信制御	$\overline{CTS}$機能、$\overline{RTS}$機能、$\overline{CTS/RTS}$機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要 • UiC1レジスタのTEビットが“1” (送信許可) • UiC1レジスタのTIビットが“0” (UiTBレジスタにデータあり) • $\overline{CTS}$機能を選択している場合、$\overline{CTSi}$端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要 • UiC1レジスタのREビットが“1” (受信許可) • スタートビットの検出
割り込み要求発生タイミング	送信割り込み　次の条件のいずれかを選択可 • UiC1またはUCONレジスタのUiIRSビットが“0” (送信バッファ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1” (送信完了): UARTi送信レジスタからデータ送信完了時 受信割り込み • UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	• オーバランエラー (注1)　UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 • フレーミングエラー　設定した個数のストップビットが検出されなかったときに発生 • パリティエラー　パリティ許可時にパリティビットとキャラクタビット中の1の個数が設定した個数でなかったときに発生 • エラーサムフラグ　オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	• LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 • シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 • TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 • $\overline{CTS/RTS}$分離機能(UART0) $\overline{CTS0}$と$\overline{RTS0}$を別の端子から入出力する。

i=0~2, 5~7

注1. オーバランエラーが発生した場合、UiRB レジスタの受信データは不定になります。また SiRIC レジスタの IR ビットは変化しません。

表 23.10にUARTモード時の入出力端子の機能を示します。表 23.11にUARTモード時のP6_4端子の機能を示します。なお、UARTiの動作モード選択後、送信開始までは、TXDi端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表 23.10 UARTモード時の入出力端子の機能

端子名	入出力	機能	選択方法
TXDi	出力	シリアルデータ出力	(受信だけを行うときは“H”を出力)
RXDi	入力	シリアルデータ入力	端子を共用するポートの方向ビットを“0”にする
	入力	入力ポート	端子を共用するポートの方向ビットを“0”にする(送信だけを行うときは入力ポートとして使用可)
CLKi	入出力	入出力ポート	UiMRレジスタのCKDIRビット=0
	入力	送受信クロック入力	UiMRレジスタのCKDIRビット=1 端子を共用するポートの方向ビットを“0”にする
$\overline{\text{CTSi}}$/ $\overline{\text{RTSi}}$	入力	$\overline{\text{CTS}}$入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 端子を共用するポートの方向ビットを“0”にする
	出力	$\overline{\text{RTS}}$出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力	入出力ポート	UiC0レジスタのCRDビット=1

i=0~2 、5~7

表 23.11 UARTモード時のP6_4端子の機能

端子の機能	ビットの設定値				
	U1C0レジスタ		UCONレジスタ		PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	PD6_4
P6_4	1	—	0	0	入力: 0、出力: 1
$\overline{\text{CTS1}}$	0	0	0	0	0
$\overline{\text{RTS1}}$	0	1	0	0	—
$\overline{\text{CTS0}}$ (注1)	0	0	1	0	0

—: “0”または“1”

注1. この他にU0C0レジスタのCRDビットを“0”($\overline{\text{CTS0}}$/$\overline{\text{RTS0}}$許可)、U0C0レジスタのCRSビットを“1”($\overline{\text{RTS0}}$選択)にしてください。

表 23.12にUARTモード時の使用レジスタと設定値 (注4)を示します。

表 23.12 UARTモード時の使用レジスタと設定値 (注4)

レジスタ	ビット	機能
UCLKSEL0	OCOSEL0	UART0~UART2の分周前クロックを選択してください
	OCOSEL1	UART5~UART7の分周前クロックを選択してください
PCLKR	PCLK1	UiBRGのカウントソースを選択してください。
UiTB	0~8	送信データを設定してください(注1)
UiRB	0~8	受信データが読めます(注1、3)
	11	読んだ場合、その値は不定
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	キャラクタ長が7ビットの場合、“100b”を設定してください。
		キャラクタ長が8ビットの場合、“101b”を設定してください。
		キャラクタ長が9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TXD/RXD入出力極性を選択してください
UiC0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	$\overline{\text{CTS}}$または$\overline{\text{RTS}}$機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能の許可または禁止を選択してください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	“0”にしてください
	UFORM	キャラクタ長8ビット時、LSBファースト、MSBファーストを選択できます。 キャラクタ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	UjIRS	UARTj送信割り込み要因を選択してください
	UjRRM	“0”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
UiSMR	0~7	“0”にしてください
UiSMR2	0~7	“0”にしてください
UiSMR3	0~7	“0”にしてください
UiSMR4	0~7	“0”にしてください
UCON	U0IRS	UART0送信割り込み要因を選択してください
	U1IRS	UART1送信割り込み要因を選択してください
	U0RRM	“0”にしてください
	U1RRM	“0”にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1	“0”にしてください
	RCSP	UART0の$\overline{\text{CTS0}}$信号をP6_4端子から入力する場合、“1”にしてください
	7	“0”にしてください

i=0~2, 5~7　　j=2, 5~7

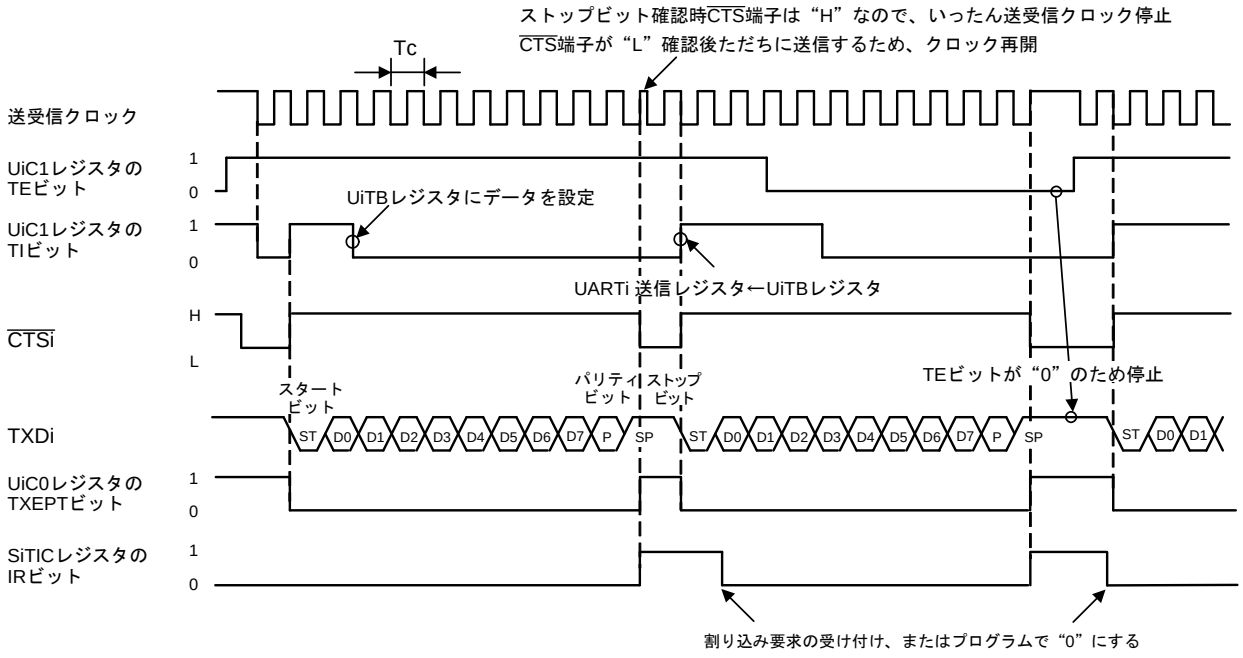
注1.　使用するビットは次のとおりです。キャラクタ長7ビット: ビット0~6、キャラクタ長8ビット: ビット0~7、キャラクタ長9ビット: ビット0~8

注2.　TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていませんので、書く場合“0”を書いてください。

注3.　キャラクタ長7ビットの場合、ビット7、8の内容は不定です。
キャラクタ長8ビットの場合、ビット8の内容は不定です。

注4.　この表は手順を示すものではありません。

(1) キャラクタ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)

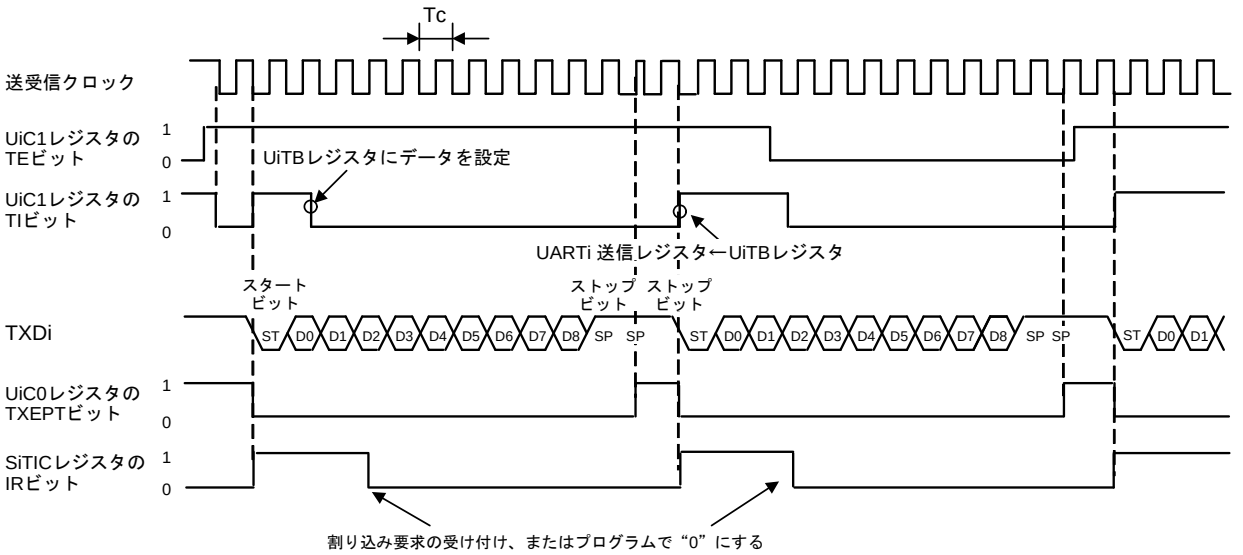


i = 0 ~ 2、5 ~ 7

上記タイミング図は次の設定条件の場合です。
- ・UiMRレジスタのPRYEビット＝1(パリティ許可)
- ・UiMRレジスタのSTPSビット=0(1ストップビット)
- ・UiC0レジスタのCRDビット＝0(CTS/RTS機能許可)、CRSビット＝0(CTS機能選択)
- ・UiC1またはUCONレジスタのUiIRSビット =1(送信完了で割り込み要求発生)

Tc = 16(n+1) / fj または 16(n+1) / fEXT
- fj　　: UiBRGカウントソースの周波数 (f1SIO、f2SIO、f8SIO、f32SIO)
- fEXT : UiBRGカウントソースの周波数 (外部クロック)
- n　　: UiBRGに設定した値

(2) キャラクタ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)



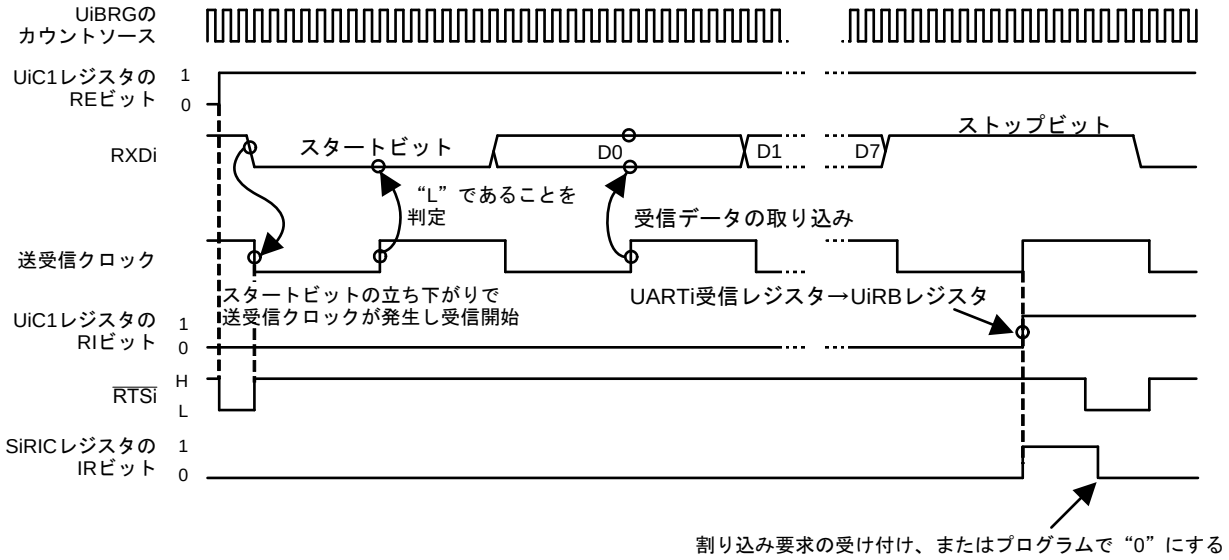
i = 0 ~ 2、5 ~ 7

上記タイミング図は次の設定条件の場合です。
- ・UiMRレジスタのPRYEビット＝0(パリティ禁止)
- ・UiMRレジスタのSTPSビット=1(2ストップビット)
- ・UiC0レジスタのCRDビット＝1(CTS/RTS機能禁止)
- ・UiC1またはUCONレジスタのUiIRSビット =0(送信バッファ空で割り込み要求発生)

Tc = 16(n+1) / fj または 16(n+1) / fEXT
- fj　　: UiBRGカウントソースの周波数 (f1SIO、f2SIO、f8SIO、f32SIO)
- fEXT : UiBRGカウントソースの周波数 (外部クロック)
- n　　: UiBRGに設定した値

図 23.12 UARTモード時の送信タイミング例

キャラクタ長8ビット時の受信タイミング例 (パリティ禁止、1ストップビット)



上記タイミング図は次の設定条件の場合です。
- UiMRレジスタのPRYEビット=0 (パリティ禁止)
- UiMRレジスタのSTPSビット=0 (1ストップビット)
- UiC0レジスタのCRDビット=0 ($\overline{CTSi}$/$\overline{RTSi}$許可)、CRSビット=1 ($\overline{RTSi}$選択)

i=0～2、5～7

図 23.13 UARTモード時の受信タイミング例

23.3.2.1 ビットレート

UARTモードは、UiBRGレジスタ(i=0~2, 5~7)で分周した周波数の16分周がビットレートになります。
UiBRGレジスタの設定値(n)は次の式で求められます。

$$n = \frac{fj}{\text{ビットレート(bps)} \times 16} - 1$$

fj=f1SIO、f2SIO、f8SIO、f32SIO
n=00h~FFh
表23.13にビットレートの設定例を示します。

表 23.13 ビットレート

ビットレート (bps)	UiBRGの カウントソース	周辺機能クロックf1: 16 MHz		周辺機能クロックf1: 24 MHz	
		UiBRG の 設定値: n	ビットレート (bps)	UiBRG の 設定値: n	ビットレート (bps)
1200	f8SIO	103 (67h)	1202	155 (9Bh)	1202
2400	f8SIO	51 (33h)	2404	77 (4Dh)	2404
4800	f8SIO	25 (19h)	4808	38 (26h)	4808
9600	f1SIO	103 (67h)	9615	155 (9Bh)	9615
14400	f1SIO	68 (44h)	14493	103 (67h)	14423
19200	f1SIO	51 (33h)	19231	77 (4Dh)	19231
28800	f1SIO	34 (22h)	28571	51 (33h)	28846
31250	f1SIO	31 (1Fh)	31250	47 (2Fh)	31250
38400	f1SIO	25 (19h)	38462	38 (26h)	38462
51200	f1SIO	19 (13h)	50000	28 (1Ch)	51724

注1. UCLKSEL0レジスタのOCOSEL0ビットまたはOCOSEL1ビットが“0”(f1)の場合です。

23.3.2.2　送受信回路の初期化

送受信中断などで、送受信回路を初期化する場合は、次のようにしてください。

- UiRBレジスタ(i=0~2, 5~7)の初期化手順
  (1) UiC1レジスタのREビットを“0”(受信禁止)にする。
  (2) UiC1レジスタのREビットを“1”(受信許可)にする。

- UiTBレジスタの初期化手順
  (1) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
  (2) UiMRレジスタのSMD2~SMD0ビットを再設定(“001b”、“101b”、“110b”)にする。
  (3) UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

23.3.2.3　LSBファースト、MSBファースト選択

図23.14に示すように、UiC0レジスタのUFORMビットでビットオーダを選択できます。この機能はキャラクタ長8ビットのときに有効です。

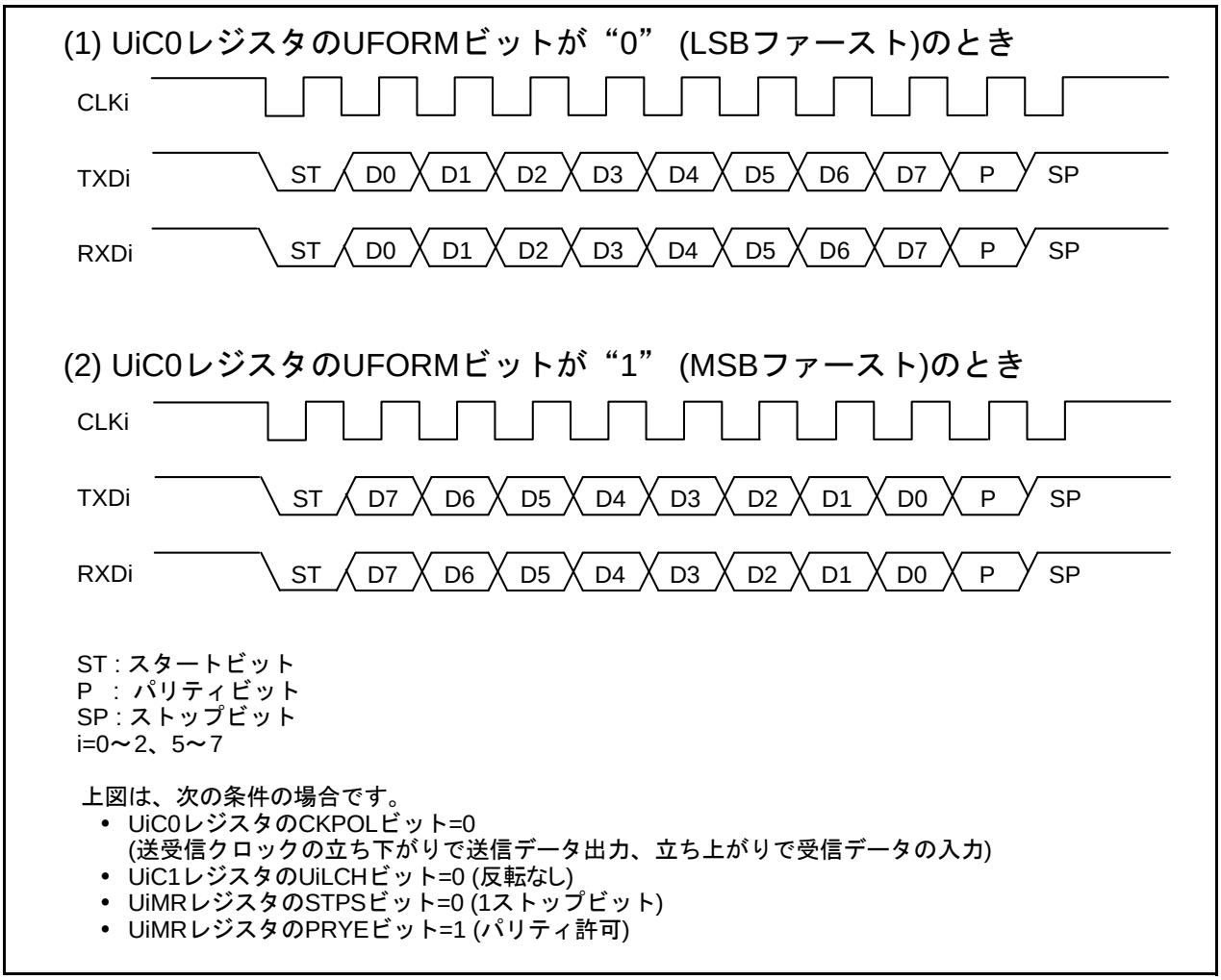
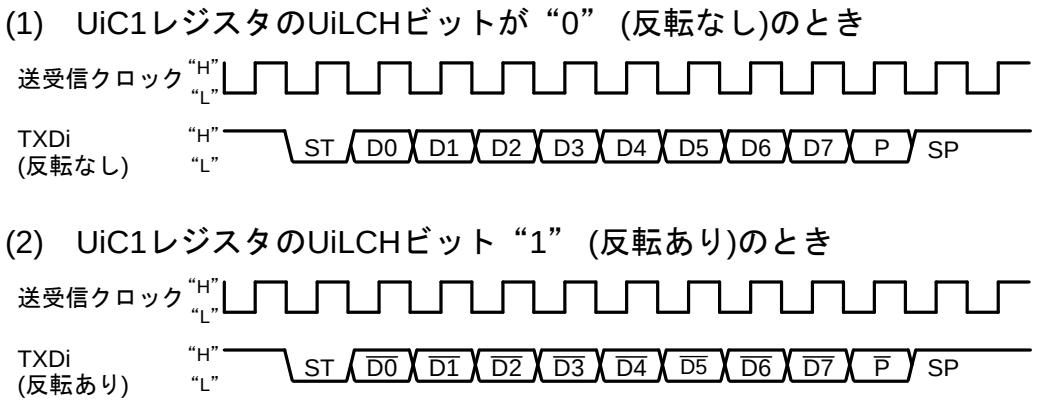


図 23.14　ビットオーダ

23.3.2.4　シリアルデータ論理切り替え

UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図23.15にシリアルデータ論理を示します。



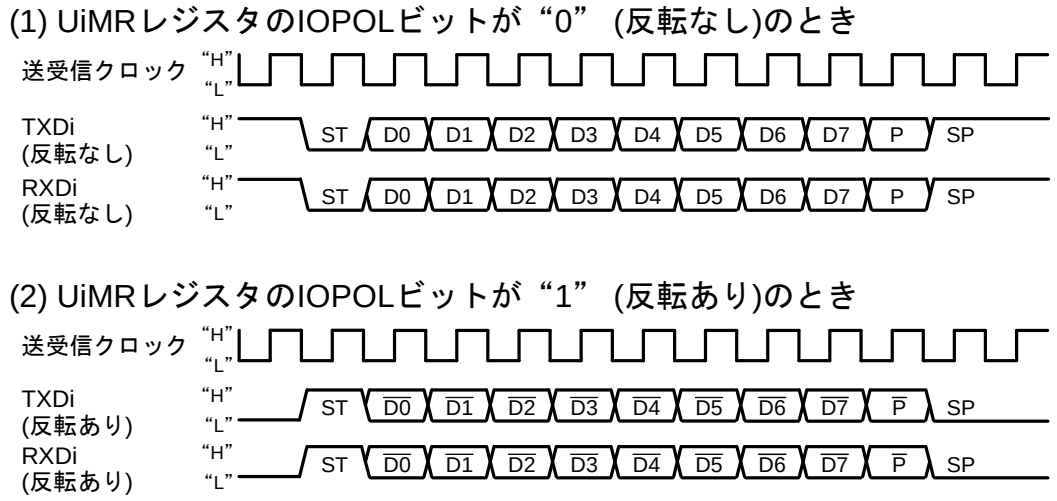
ST：スタートビット
P：パリティ
SP：ストップビット
i=0～2、5～7

上図は、次の条件の場合です。
- ・UiC0レジスタのCKPOLビット=0 (送受信クロックの立ち下がりで送信データ出力)
- ・UiC0レジスタのUFORMビット=0 (LSBファースト)
- ・UiMRレジスタのSTPSビット=0 (1ストップビット)
- ・UiMRレジスタのPRYEビット=1 (パリティ許可)
- ・UiMRレジスタのIOPOLビット=0 (TXD、RXD入出力極性反転なし)

図23.15　シリアルデータ論理

23.3.2.5　TXD、RXD入出力極性切り替え機能

TXDi端子出力とRXDi端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図 23.16にTXD、RXD入出力極性切り替えを示します。



ST：スタートビット
P　：パリティ
SP：ストップビット
i=0～2、5～7

上図は、次の条件の場合です。
- ・UiC0レジスタのUFORMビット=0 (LSBファースト)
- ・UiMRレジスタのSTPSビット=0 (1ストップビット)
- ・UiMRレジスタのPRYEビット＝1 (パリティ許可)
- ・UiC1レジスタのUiLCHビット=0 (シリアルデータ論理反転なし)

図 23.16　TXD、RXD入出力極性切り替え

23.3.2.6 $\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能

$\overline{\text{CTS}}$機能は、$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$(i=0~2, 5~7)端子に“L”を入力すると、送信を開始させる機能です。$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

$\overline{\text{RTS}}$機能は、受信準備が整ったとき、$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子の出力レベルが“L”になります。スタートビットの検出で出力レベルが“H”になります。

端子の機能選択は「表 23.10 UARTモード時の入出力端子の機能」を参照してください。

23.3.2.7 $\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離機能 (UART0)

$\overline{\text{CTS0}}$/$\overline{\text{RTS0}}$を分離し、$\overline{\text{RTS0}}$をP6_0端子から出力、$\overline{\text{CTS0}}$をP6_4端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- U0C0レジスタのCRDビット=0 (UART0の$\overline{\text{CTS}}$/$\overline{\text{RTS}}$許可)
- U0C0レジスタのCRSビット=1 (UART0の$\overline{\text{RTS}}$出力)
- U1C0レジスタのCRDビット=0 (UART1の$\overline{\text{CTS}}$/$\overline{\text{RTS}}$許可)
- U1C0レジスタのCRSビット=0 (UART1の$\overline{\text{CTS}}$入力)
- UCONレジスタのRCSPビット=1 ($\overline{\text{CTS0}}$をP6_4端子から入力)
- UCONレジスタのCLKMD1ビット=0 (CLKS1を使用しない)

なお、$\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離機能使用時、UART1の$\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能は使用できません。

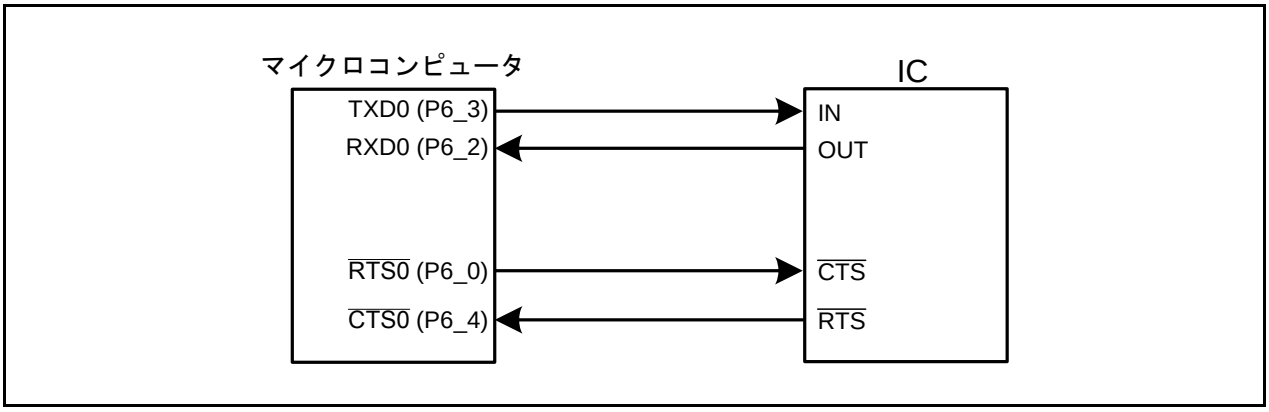


図 23.17 $\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離機能の使用例

23.3.3 特殊モード1 (I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表23.14にI²Cモードの仕様を、表23.16~表23.17にI²Cモード時の使用レジスタと設定値を、表23.18にI²Cモード時の各機能を、図23.18にI²Cモードのブロック図を示します。

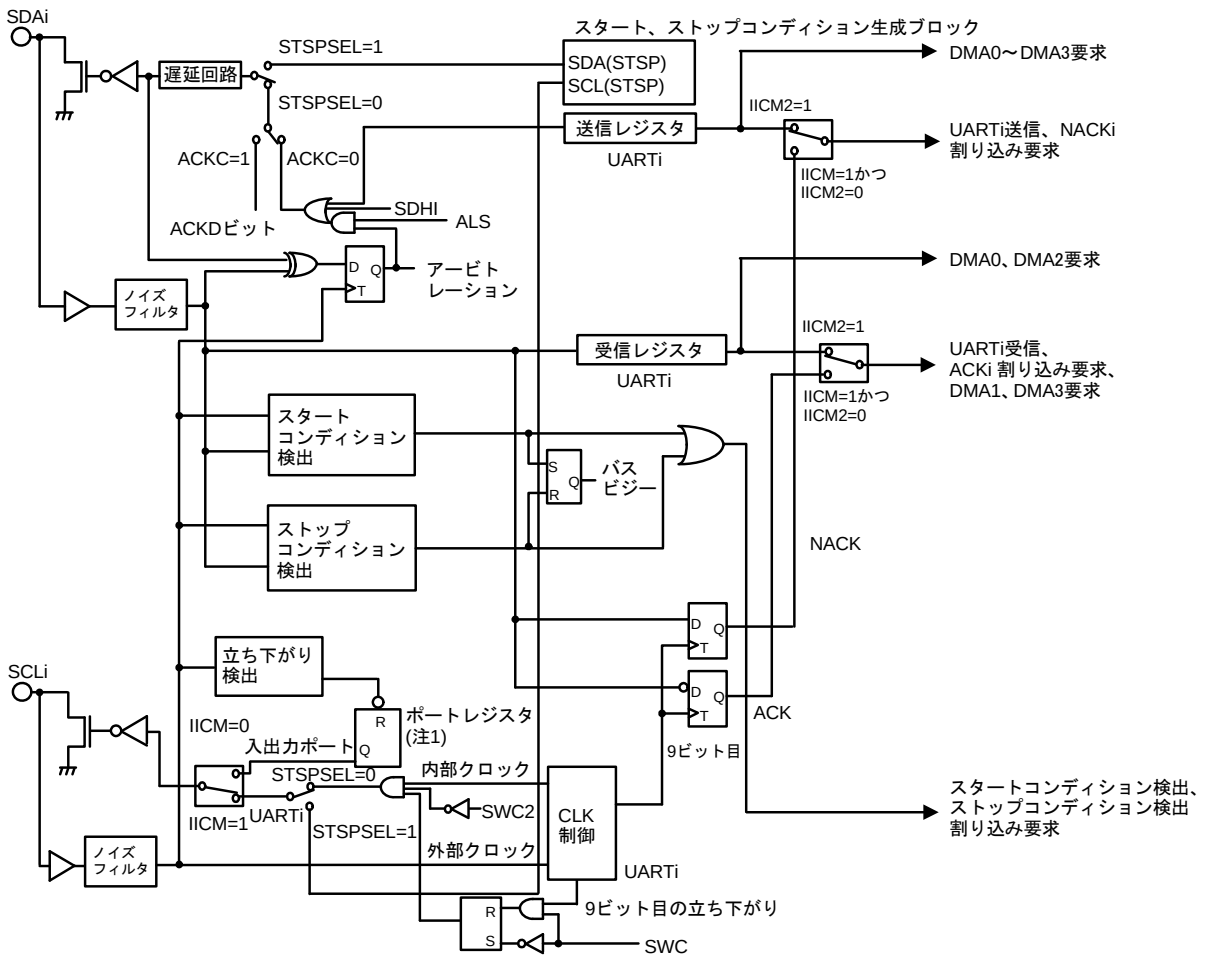
表23.18に示すように、UiMRレジスタのSMD2~SMD0ビットを“010b”に、UiSMRレジスタのIICMビットを1にするとI²Cモードになります。SDAi送信出力には遅延回路が付加されますので、SCLiが“L”になり安定した後、SDAi出力が変化します。

表23.14 I²Cモードの仕様

項目	仕様
データフォーマット	キャラクタ長　8ビット
送受信クロック	• マスタ時 UiMRレジスタのCKDIRビットが“0”(内部クロック) : $\frac{fj}{2(n+1)}$ fj=f1SIO、f2SIO、f8SIO、f32SIO　　n=UiBRGレジスタの設定値　00h~FFh • スレーブ時 CKDIRビットが“1”(外部クロック) : SCLi端子からの入力
送信開始条件	送信開始には、次の条件が必要(注1) • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 (注1) • UiC1レジスタのREビットが“1”(受信許可) • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信割り込み • アクノリッジ未検出、または送信 受信割り込み • アクノリッジ未検出、または受信 スタートコンディション検出、ストップコンディション検出割り込み • スタートコンディション、ストップコンディション検出
エラー検出	オーバランエラー (注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	• アービトレーションロスト UiRBレジスタのABTビットの更新タイミングを選択可 • SDAiデジタル遅延 デジタル遅延なし、またはUiBRGカウントソースの2~8サイクルの遅延を選択可 • クロック位相設定 クロック遅れあり、なしを選択可

i=0~2, 5~7

注1.　外部クロックを選択している場合、外部クロックが“H”の状態で条件を満たしてください。
注2.　オーバランエラーが発生した場合、UiRBレジスタ受信データは不定になります。



この図は、UiMRレジスタのSMD2～SMD0ビット=010b、UiSMRレジスタのIICMビット=1の場合です。

IICM : UiSMRレジスタのビット
IICM2, SWC, ALS, SWC2, SDHI : UiSMR2レジスタのビット
STSPSEL, ACKD, ACKC : UiSMR4レジスタのビット

i=0～2、5～7

注1. IICMビットが1の場合は、SCLi端子に対応するポート方向ビットが1 (出力モード)であっても、端子のレベルが読めます。

図 23.18 I²Cモードのブロック図

表 23.15 I²Cモード時の入出力端子

端子	入出力	機能
SCLi (注1)	入出力	クロック入出力
SDAi (注1)	入出力	データ入出力

i=0~2, 5~7

注1. CLKi、$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子は使用しません (入出力ポートに使用できます)。

表 23.16 I²Cモード時の使用レジスタと設定値(1/2) (注3)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UCLKSEL0	OCOSEL0	UART0~UART2の分周前クロックを選択してください	UART0~UART2の分周前クロックを選択してください
	OCOSEL1	UART5~UART7の分周前クロックを選択してください	UART5~UART7の分周前クロックを選択してください
PCLKR	PCLK1	UiBRGのカウントソースを選択してください	UiBRGのカウントソースを選択してください
UiTB	0~7	送信データを設定してください	送信データを設定してください
	8	ー (設定しないでよい)	ー (設定しないでよい)
UiRB	0~7	受信データが読めます	受信データが読めます
	8	ACK、NACKが入ります	ACK、NACKが入ります
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	オーバランエラーフラグ
	13~15	読んだ場合、その値は不定	読んだ場合、その値は不定
UiBRG	0~7	ビットレートを設定してください	無効
UiMR	SMD2~SMD0	“010b”にしてください	“010b”にしてください
	CKDIR	“0”にしてください	“1”にしてください
	4~6	“0”にしてください	“0”にしてください
	IOPOL	“0”にしてください	“0”にしてください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD (注2)	“1”にしてください	“1”にしてください
	NCH	“1”にしてください(注1)	“1”にしてください(注1)
	CKPOL	“0”にしてください	“0”にしてください
	UFORM	“1”にしてください	“1”にしてください
UiC1	TE	送信を許可する場合、“1”にしてください	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ	受信完了フラグ
	UjIRS	“1”にしてください	“1”にしてください
	UjRRM、UiLCH、UiERE	“0”にしてください	“0”にしてください
UiSMR	IICM	“1”にしてください	“1”にしてください
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	バスビジーフラグ	バスビジーフラグ
	3~7	“0”にしてください	“0”にしてください
UiSMR2	IICM2	「表 23.18 I²Cモード時の各機能」参照	「表 23.18 I²Cモード時の各機能」参照
	CSC	クロック同期化を許可する場合、“1”にしてください	“0”にしてください
	SWC	クロックの9ビット目の立ち下がりでSCLi出力を“L”出力固定にする場合、“1”にしてください	クロックの9ビット目の立ち下がりでSCLi出力を“L”出力固定にする場合、“1”にしてください
	ALS	アービトレーションロスト検出時にSDAiの出力を停止する場合“1”にしてください	“0”にしてください
	STAC	“0”にしてください	スタートコンディション検出でUARTiを初期化する場合、“1”にしてください
	SWC2	SCLiの出力を強制的に“L”にする場合、“1”にしてください	SCLiの出力を強制的に“L”にする場合、“1”にしてください
	SDHI	SDAi出力を禁止をする場合、“1”にしてください	SDAi出力を禁止をする場合、“1”にしてください
	7	“0”にしてください	“0”にしてください

i=0~2, 5~7　　j=2, 5~7

注1.　TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていませんので、書く場合“0”を書いてください。

注2.　UART1をI²Cモードで使用しているときに、UART0の$\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離機能を許可する場合、U1C0レジスタのCRDビットを“0”($\overline{\text{CTS}}$/$\overline{\text{RTS}}$許可)、CRSビットを“0”($\overline{\text{CTS}}$入力)にしてください。

注3.　この表は手順を示すものではありません。

表 23.17 I²Cモード時の使用レジスタと設定値(2/2) (注1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiSMR3	0、2、4 NODC	“0”にしてください	“0”にしてください
	CKPH	「表 23.18 I²Cモード時の各機能」参照	「表 23.18 I²Cモード時の各機能」参照
	DL2~DL0	SDAiのデジタル遅延値を設定してください	SDAiのデジタル遅延値を設定してください
UiSMR4	STAREQ	スタートコンディションを生成する場合、“1”にしてください	“0”にしてください。
	RSTAREQ	リスタートコンディションを生成する場合、“1”にしてください	“0”にしてください。
	STPREQ	ストップコンディションを生成する場合、“1”にしてください	“0”にしてください。
	STSPSEL	各コンディション出力時に“1”にしてください	“0”にしてください。
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、“1”にしてください	ACKデータを出力する場合、“1”にしてください
	SCLHI	ストップコンディション検出時にSCLi出力を停止する場合、“1”にしてください	“0”にしてください。
	SWC9	“0”にしてください	クロックの9ビット目の次の立ち下がりでSCLiを“L”ホールドにする場合、“1”にしてください
UCON	U0IRS	“1”にしてください	“1”にしてください
	U1IRS	“1”にしてください	“1”にしてください
	U0RRM	“0”にしてください	“0”にしてください
	U1RRM	“0”にしてください	“0”にしてください
	CLKMD0	“0”にしてください	“0”にしてください
	CLKMD1	“0”にしてください	“0”にしてください
	RCSP	“0”にしてください	“0”にしてください
	7	“0”にしてください	“0”にしてください

i=0~2 、5~7
SMD2~SMD0: UiMRレジスタのビット
CKPOL: UiC0レジスタのビット
IICM: UiSMRレジスタのビット
IICM2: UiSMR2レジスタのビット
CKPH: UiSMR3レジスタのビット

注1.　この表は手順を示すものではありません。

I²Cモードでは、UiSMR2レジスタのIICM2ビットとUiSMR3レジスタのCKPHビットの組み合わせで、機能やタイミングが変わります。図23.19にUiRBレジスタへの転送、割り込みのタイミングを示します。UiRBレジスタへの転送タイミング、UiRBレジスタに格納されるデータのビット位置、割り込みの種類、割り込み要求とDMA要求の発生タイミングは、この図を参照してください。

その他の機能のクロック同期シリアルI/Oモードとの比較を、表23.18にI²Cモード時の各機能示します。

表 23.18 I²Cモード時の各機能

機能	クロック同期シリアルI/Oモード (SMD2~SMD0=001b, IICM=0)	I²Cモード(SMD2~SMD0=010b,IICM=1)			
		IICM2=0(NACK/ACK割り込み)		IICM2=1(UART送信/UART受信割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
スタートコンディション検出 ストップコンディション検出 割り込み	ー	スタートコンディション検出、ストップコンディション検出 (「図 23.21 STSPSELビットの機能」参照)			
送信、NACK割り込み(注2)	UARTi送信 送信開始、または送信完了(UiIRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCLiの立ち上がり		UARTi送信 9ビット目のSCLiの立ち上がり	UARTi送信 9ビット目の次のSCLiの立ち下がり
受信、ACK割り込み(注2)	UARTi受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCLiの立ち上がり		UARTi受信 9ビット目のSCLiの立ち下がり	
UART受信シフトレジスタからUiRBレジスタへのデータ転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCLiの立ち上がり		9ビット目のSCLiの立ち下がり	9ビット目のSCLiの立ち下がりと、立ち上がり
UARTi送信出力遅延	遅延なし	遅延あり			
ノイズフィルター幅	15ns	200ns			
RXDi,SCLi端子レベルの読み込み	対応するポート方向ビットが0の場合、可能	対応するポート方向ビットの内容に関係なく、可能			
TXDi, SDAi出力の初期値	CKPOL=0(H) CKPOL=1(L)	I²Cモード設定前に、ポートレジスタに設定した値(注1)			
SCLiの初期値、終了値	ー	H	L	H	L
DMA1、DMA3要因(注2)	UARTi受信	アクノリッジ検出(ACK)		UARTi受信 9ビット目のSCLiの立ち下がり	
受信データ読み出し	1~8ビット目をUiRBレジスタのビット0~7に格納	1~8ビット目をUiRBレジスタのビット7~0に格納		1~7ビット目をUiRBレジスタのビット6~0に、8ビット目をUiRBレジスタのビット8に格納	受信割り込みで読み出した場合、 1~7ビット目をUiRBレジスタのビット6~0に、8ビット目をUiRBレジスタのビット8に格納。 送信割り込みで読み出した場合、 1~8ビット目をUiRBレジスタの ビット7~0に格納

i=0~2, 5~7
SMD2~SMD0: UiMRレジスタのビット
CKPOL: UiC0レジスタのビット
IICM: UiSMRレジスタのビット
IICM2: UiSMR2レジスタのビット
CKPH: UiSMR3レジスタのビット

注1.　SDAi出力の初期値は、SMD2~SMD0ビットが“000b”(シリアルインタフェースが無効)の状態で設定してください。
注2.　「図 23.19 UiRBレジスタへの転送、割り込みのタイミング」参照。

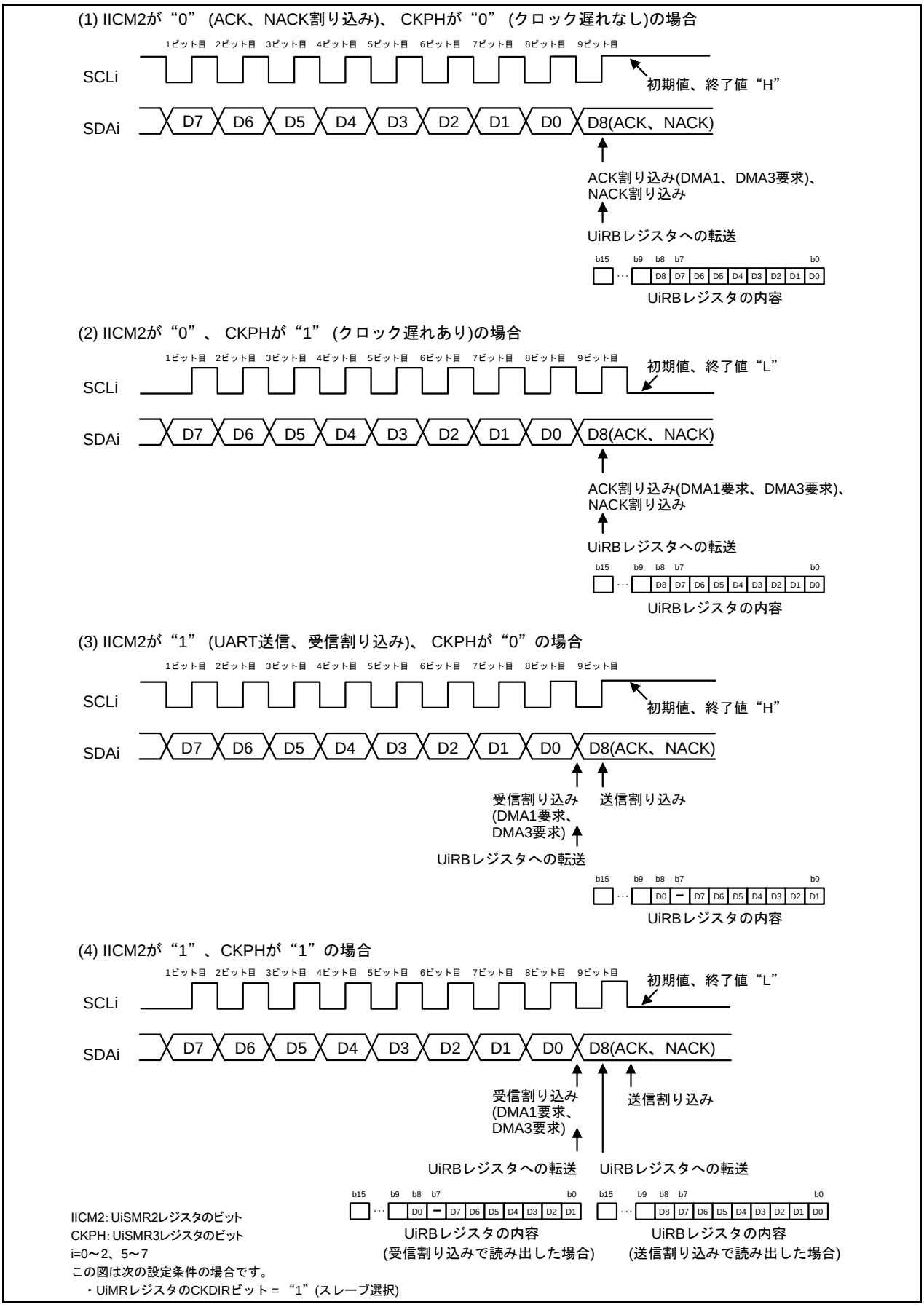


図 23.19 UiRBレジスタへの転送、割り込みのタイミング

23.3.3.1　スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCLi端子が“H”の状態でSDAi端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCLi端子が“H”の状態でSDAi端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、UiSMRレジスタのBBSビットで判定してください。

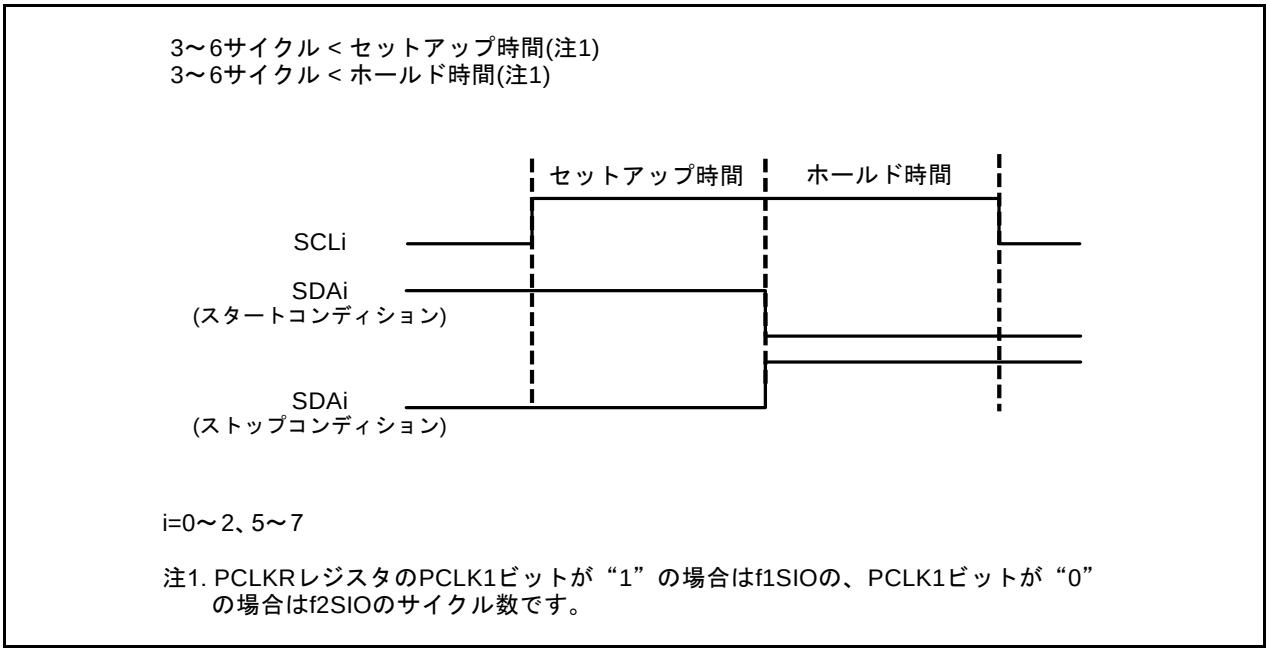


図 23.20　スタートコンディション、ストップコンディションの検出

23.3.3.2　スタートコンディション、ストップコンディションの出力

UiSMR4レジスタ(i=0~2, 5~7)のSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

UiSMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

UiSMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。

出力の手順は次の通りです。

(1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする

(2) UiSMR4レジスタのSTSPSELビットを“1”(出力)にする

表 23.19と図 23.21にSTSPSELビットの機能を示します。

表 23.19 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
SCLi、SDAi端子の出力	送受信クロック、データを出力。 スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

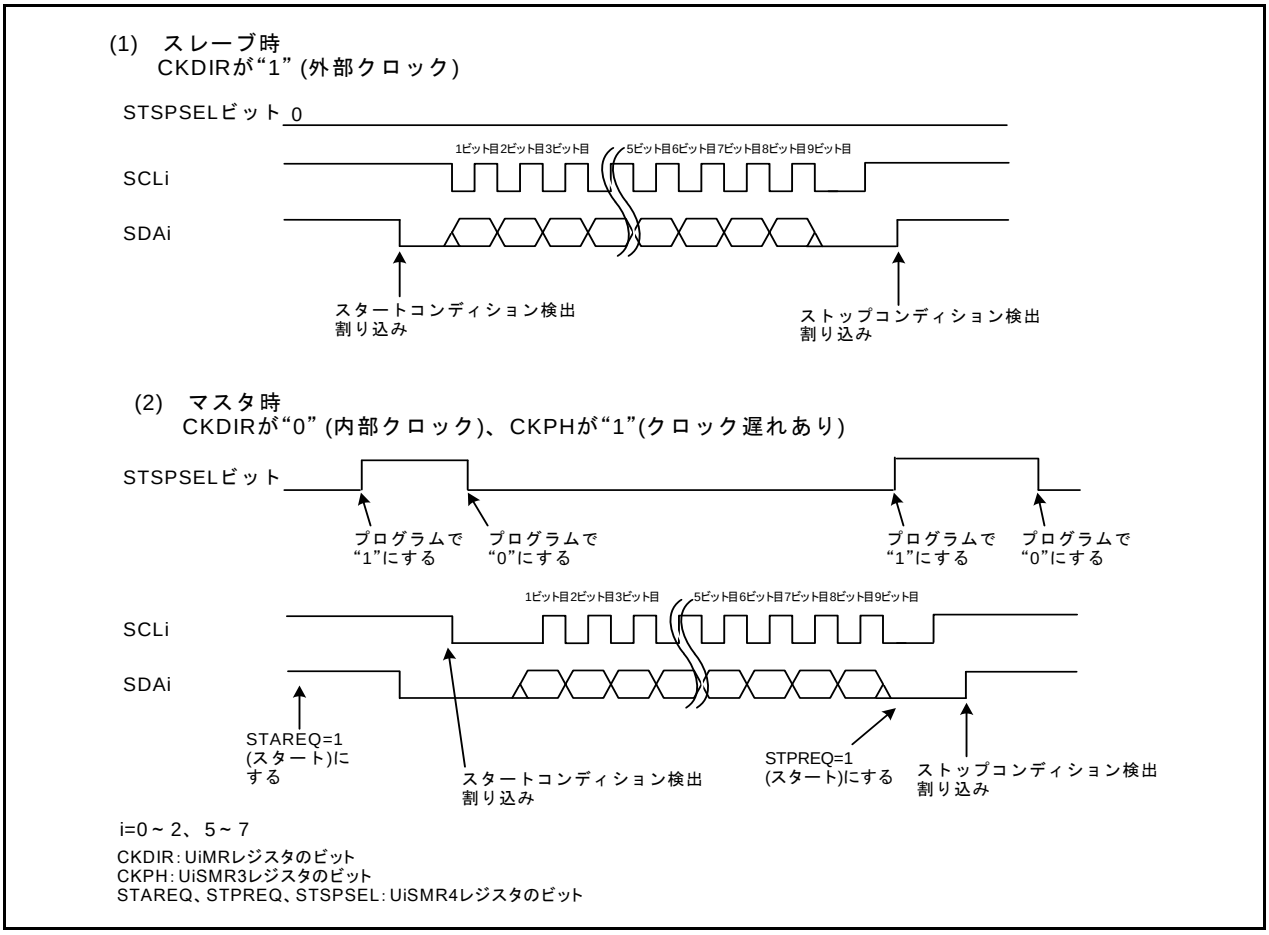


図 23.21 STSPSELビットの機能

23.3.3.3 アービトレーション

SCLi の立ち上がりのタイミングで、送信データと SDAi 端子入力データの不一致を判定します。UiSMR レジスタのABCビットで、UiRBレジスタのABTビットの更新タイミングを選択します。ABCビットが“0”(ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”(不一致検出)に、検出しないと“0”(未検出)になります。ABCビットを“1”にすると、判定時に一度でも不一致が検出された場合、9ビット目のクロックの立ち下がりでABTビットが“1”になります。なお、バイトごとに更新する場合は、1バイト目のアクノリッジ検出完了後、ABTビットを“0”にしてから、次の1バイトを送受信してください。

UiSMR2 レジスタの ALS ビットを“1”(SDA 出力停止許可)にすると、アービトレーションロストが発生しABTビットが“1”になったとき、同時にSDAi端子がハイインピーダンス状態になります。

23.3.3.4　送受信クロック

「図 23.19 UiRBレジスタへの転送、割り込みのタイミング」に示すような送受信クロックで送受信を行います。

UiSMR2レジスタのCSCビットは内部で生成したクロック(内部SCLi)と、SCLi端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCLiが“H”の場合、SCLi端子に立ち下がりエッジがあれば内部SCLiを“L”とし、UiBRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子が“L”のとき、内部SCLiが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。したがって、UARTiの送受信クロックは、内部SCLiとSCLi端子の信号の論理積になります。なお、送受信クロックは内部SCLiの1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、送受信クロックは内部クロックを選択してください。

UiSMR2レジスタのSWCビットでクロックの9ビット目の立ち下がりで、SCLi端子が“L”出力固定になるか“L”出力固定を解除するかを選択できます。

UiSMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCLi出力を停止します(ハイインピーダンス状態)。

UiSMR2レジスタのSWC2ビットを“1”(“L”出力)にすると、送受信中でもSCLi端子から強制的に“L”を出力できます。SWC2ビットを“0”(送受信クロック)にすると、SCLi端子からの“L”出力は解除され、送受信クロックが入出力されます。

UiSMR3レジスタのCKPHビットが“1”のとき、UiSMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりでSCLi端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

23.3.3.5　SDA出力

UiTBレジスタのビット7~0 (D7~D0) に書いた値を、D7から順に出力します。9ビット目 (D8) はACKまたはNACKです。

SDAi送信出力の初期値は、UiSMRレジスタのIICMビットが“1”(I^2Cモード)で、UiMRレジスタのSMD2~SMD0ビットが“000b”(シリアルインタフェースは無効)の状態で設定してください。

UiSMR3レジスタのDL2~DL0ビットによりSDAiの出力を遅延なし、またはUiBRGカウントソースの1~8サイクルの遅延を設定できます。

UiSMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUARTiの送受信クロックの立ち上がりのタイミングで書かないでください。UiRBレジスタのABTビットが“1”(検出)になる場合があります。

23.3.3.6　SDA入力

UiSMR2レジスタのIICM2ビットが“0”のとき、受信したデータの1~8ビット目 (D7~D0) をUiRBレジスタのビット7~0に格納します。9ビット目 (D8) はACKまたはNACKです。

IICM2ビットが“1”のとき、受信したデータの1~7ビット目 (D7~D1) をUiRBレジスタのビット6~0に、8ビット目 (D0) をUiRBレジスタのビット8に格納します。IICM2ビットが“1”のときでも、UiSMR3レジスタのCKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

23.3.3.7 ACK、NACK

UiSMR4レジスタのSTSPSELビットが“0”(スタートコンディション、ストップコンディションを生成しない)でUiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

UiSMR2レジスタのIICM2ビットが“0”の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“H”のままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“L”ならば発生します。

DMA1、DMA3要求要因にACKiを選択すると、アクノリッジ検出によってDMA転送を起動できます。

23.3.3.8 送受信初期化

UiSMR2レジスタのSTACビットを“1”(UARTi初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、UiTBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UARTi出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- UiSMR2レジスタのSWCビットが“1”(SCLウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりでSCLi端子が“L”になります。

なお、この機能を使用しUARTiの送受信を開始した場合、UiC1レジスタのTIビットは変化しません。また、この機能を使用する場合、送受信クロックは外部クロックを選択してください。

23.3.4 特殊モード2

1つのマスタから、複数のスレーブへシリアル通信できます。また、送受信クロックの極性と位相を選択できます。表 23.20に特殊モード2の仕様を示します。

表 23.20 特殊モード2の仕様

項目	仕様
データフォーマット	キャラクタ長　8ビット
送受信クロック	• マスタモード UiMRレジスタのCKDIRビットが“0”(内部クロック選択) : $\frac{fj}{2(n+1)}$ fj=f1SIO、f2SIO、f8SIO、f32SIO　n: UiBRGレジスタ設定値　00h~FFh
送信制御、受信制御	入出力ポートで制御
送信開始条件	送信開始には次の条件が必要 (注1) • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 (注1) • UiC1レジスタのREビットが“1”(受信許可) • TEビットが“1”(送信許可) • TIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信割り込み　次の条件のいずれかを選択可 • UiC1またはUCONレジスタのUiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時 (送信開始時) • UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 受信割り込み • UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー (注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	• CLK極性選択 データの出力と入力タイミングが、送受信クロックの立ち上がりか立ち下がりかを選択可 • LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 • 連続受信モード選択 UiRBレジスタを読むことで、同時に受信許可状態になる • シリアルデータ論理切り替え 送受信データの論理値を反転する機能 • クロック位相選択 送受信クロックの極性と相の4つの組み合わせを選択可

i=0~2, 5~7

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRB レジスタの受信データは不定になります。また SiRIC レジスタの IR ビットは変化しません。

図 23.22に特殊モード2の通信制御例(UART2)を、表 23.21に特殊モード2時の入出力端子を示します。

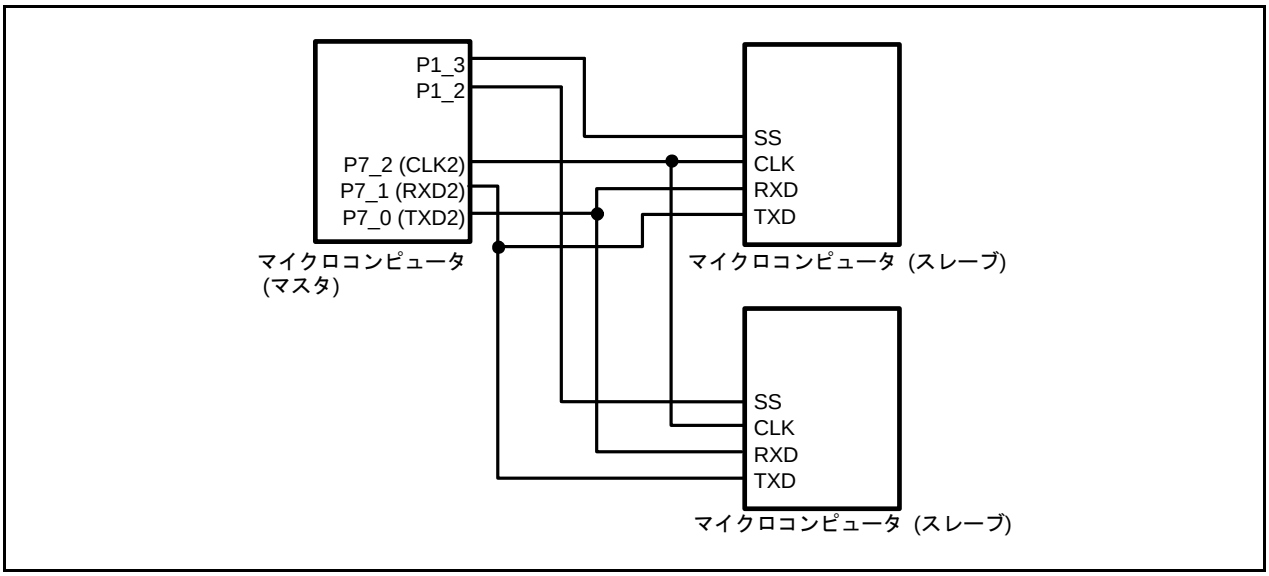


図 23.22 特殊モード2の通信制御例(UART2)

表 23.21 特殊モード2時の入出力端子

端子名	入出力	機能	選択方法
CLKi	出力	クロック出力	UiMR レジスタのCKDIR ビット= 0
	入力	クロック入力	UiMR レジスタのCKDIR ビット= 1 端子を共用するポートの方向ビットを“0”にする
TXDi	出力	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RXDi	入力	シリアルデータ入力	端子を共用するポートの方向ビットを“0”にする
	入力	入力ポート	端子を共用するポートの方向ビットを“0”にする (送信だけを行うときは入力ポートとして使用可)

i=0~2, 5~7

$\overline{\text{CTS}}$i/RTSi端子は使用しません (入出力ポートに使用できます)。

表 23.22 特殊モード2時の使用レジスタと設定値 (注2)

レジスタ	ビット	機能
UCLKSEL0	OCOSEL0	UART0~UART2の分周前クロックを選択してください
	OCOSEL1	UART5~UART7の分周前クロックを選択してください
PCLKR	PCLK1	UiBRGのカウントソースを選択してください
UiTB	0~7	送信データを設定してください
	8	ー (設定しないでよい)　書く場合は“0”にしてください
UiRB	0~7	受信データが読めます
	OER	オーバランエラーフラグ
	8、11、13~15	読んだ場合、その値は不定
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	“001b”にしてください
	CKDIR	マスタモードの場合“0”に、スレーブモードの場合“1”にしてください
	4~6	“0”にしてください
	IOPOL	“0”にしてください
UiC0	CLK0,CLK1	UiBRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1”にしてください
	NCH	TXDi端子の出力形式を選択してください(注1)
	CKPOL	UiSMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できます
	UFORM	LSBファーストまたはMSBファーストを選択してください
UiC1	TE	送受信許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	UjIRS	UARTj送信割り込み要因を選択してください
	UjRRM	連続受信モードを使用する場合、“1”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
UiSMR	0~7	“0”にしてください
UiSMR2	0~7	“0”にしてください
UiSMR3	CKPH	UiC0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できます
	NODC	“0”にしてください
	0、2、4~7	“0”にしてください
UiSMR4	0~7	“0”にしてください
UCON	U0IRS	UART0送信割り込み要因を選択してください
	U1IRS	UART1送信割り込み要因を選択してください
	U0RRM	連続受信モードを使用する場合、“1”にしてください
	U1RRM	連続受信モードを使用する場合、“1”にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0”にしてください

i=0~2, 5~7　　j=2, 5~7

注1.　TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていませんので、書く場合“0”を書いてください。

注2.　この表は手順を示すものではありません。

23.3.4.1　クロック位相設定機能

UiSMR3レジスタのCKPHビットとUiC0レジスタのCKPOLビットで送受信クロックの相と極性の4つの組み合わせを選択できます。

送受信クロックの極性と相は、送受信を行うマスタとスレーブで同じにしてください。

図23.23にマスタ(内部クロック)の場合の送受信のタイミングを示します。

図23.24にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)、図23.25にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)を示します。

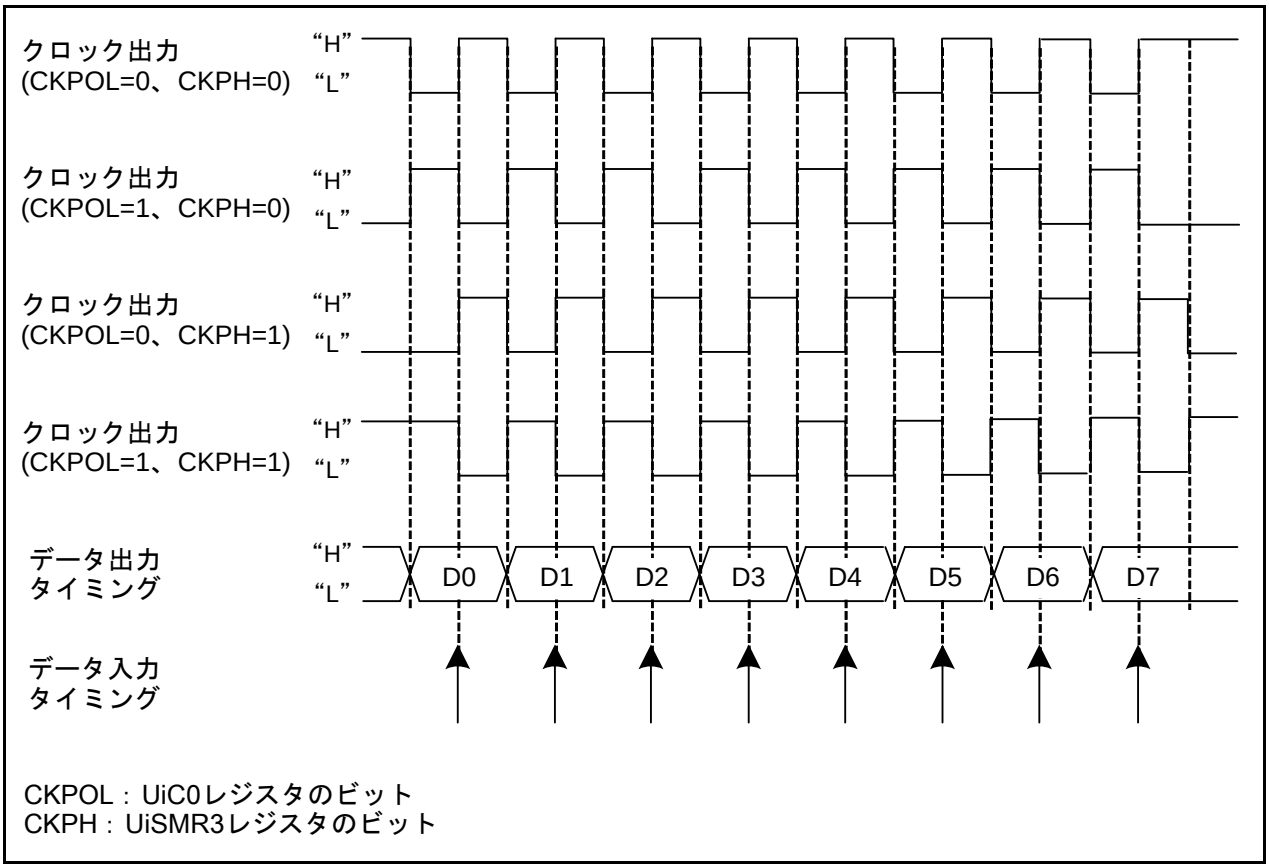
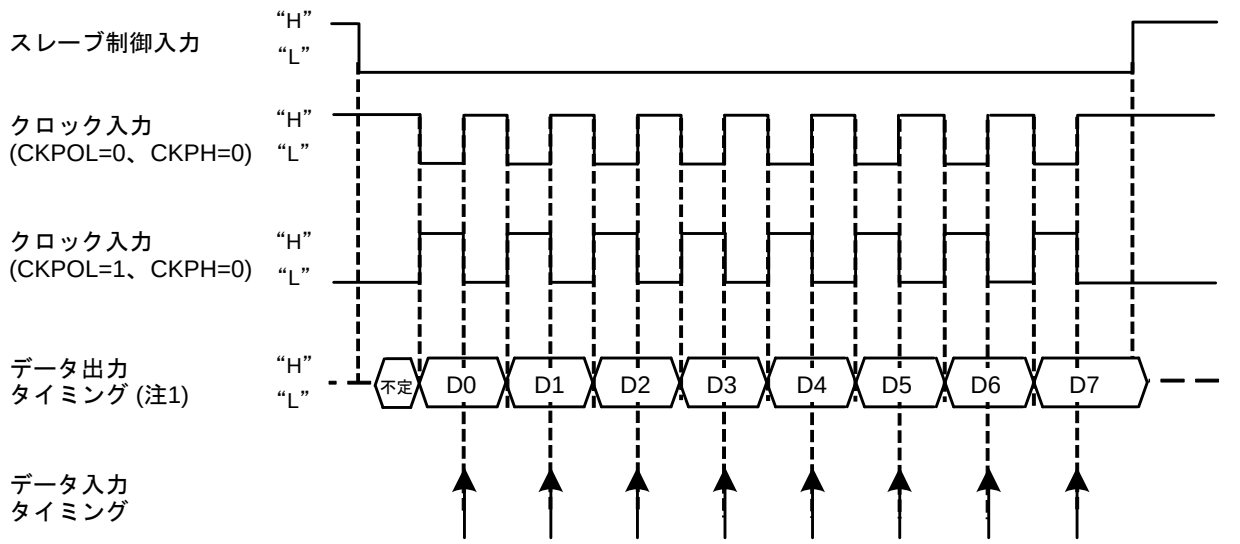


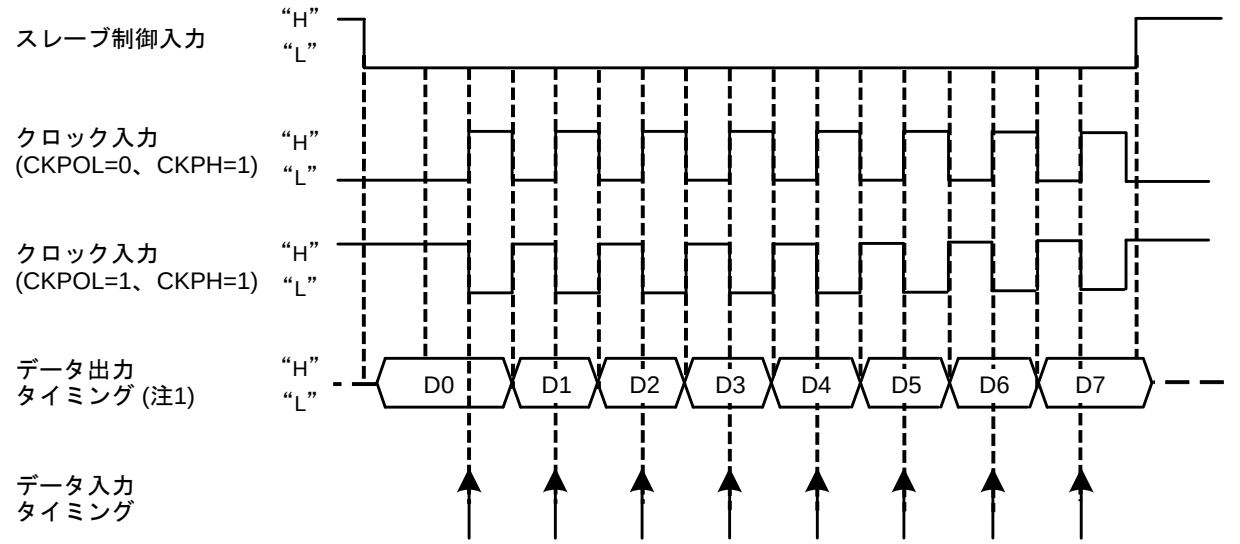
図23.23　マスタ(内部クロック)の場合の送受信のタイミング



CKPOL：UiC0レジスタのビット
CKPH：UiSMR3レジスタのビット

注1. UART2の出力はNチャネルオープンドレイン出力です。
外部でプルアップしてください。

図 23.24 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)



CKPOL：UiC0レジスタのビット
CKPH：UiSMR3レジスタのビット

注1. UART2の出力はNチャネルオープンドレイン出力です。
外部でプルアップしてください。

図 23.25 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)

23.3.5 特殊モード3 (IEモード)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表 23.23にIEモード時の使用レジスタと設定値 (注4)、図 23.26にバス衝突検出機能関連ビットの機能を示します。

TXDi端子(i=0~2, 5~7)の出力レベルとRXDi端子の入力レベルが異なる場合、UARTiバス衝突検出割り込み要求が発生します。

UART0、UART1のバス衝突検出機能を使用する場合は、IFSR2Aレジスタの IFSR26ビットとIFSR27ビットで選択してください。

表 23.23 IEモード時の使用レジスタと設定値 (注4)

レジスタ	ビット	機能
UiTB	0~8	送信データを設定してください
UiRB(注3)	0~8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	“110b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0”にしてください
	PRY	PRYE=0なので無効
	PRYE	“0”にしてください
	IOPOL	TXD、RXD入出力極性を選択してください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1”にしてください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	“0”にしてください
	UFORM	“0”にしてください
UiC1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	UjIRS (注1)	UARTj送信割り込み要因を選択してください
	UjRRM (注1)、UiLCH、UiERE	“0”にしてください
UiSMR	0~3、7	“0”にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、“1”にしてください
	SSS	送信開始条件を選択してください
UiSMR2	0~7	“0”にしてください
UiSMR3	0~7	“0”にしてください
UiSMR4	0~7	“0”にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0にしてください”
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0”にしてください

i=0~2, 5~7

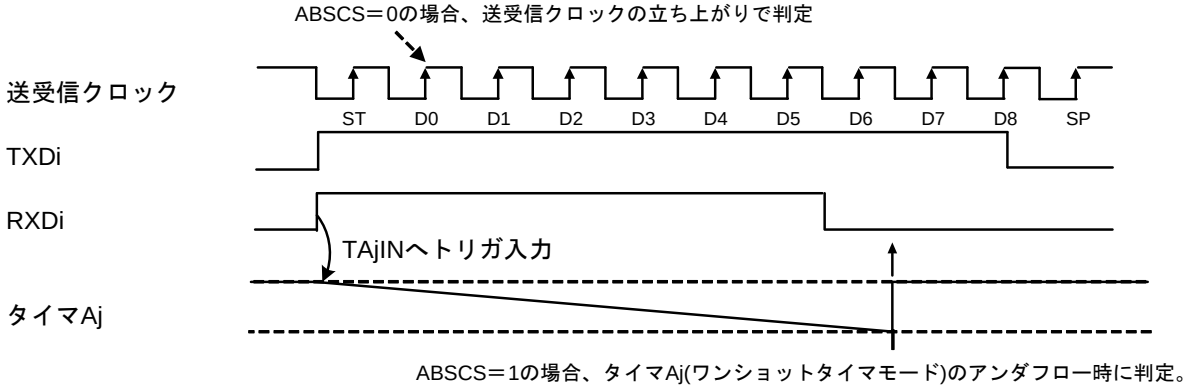
注1. U0C1、U1C1 レジスタのビット 4、5 は“0”にしてください。U0IRS、U1IRS、U0RRM、U1RRM ビットはUCONレジスタにあります。

注2. TXD2 端子は N チャネルオープンドレインです。U2C0 レジスタの NCH ビットは、何も配置されていませんので、書く場合は“0”を書いてください。

注3. この表に記載していないビットはIEモード時に書く場合、“0”を書いてください。

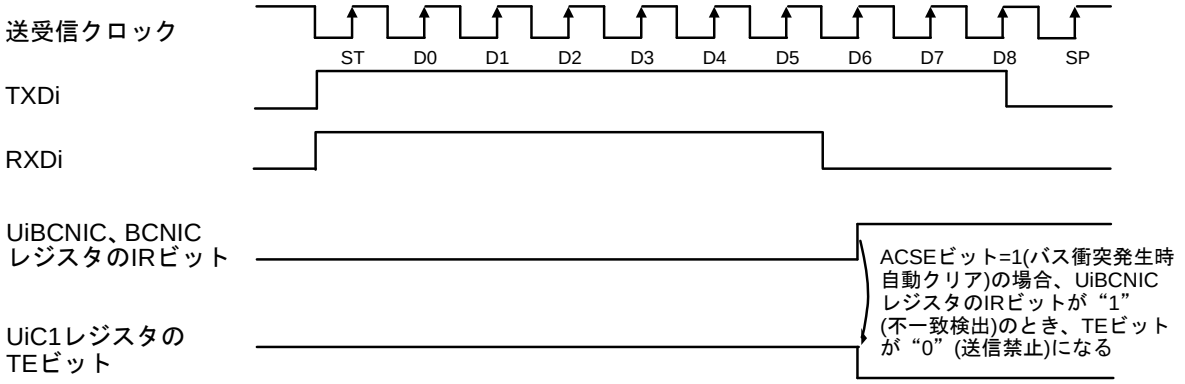
注4. この表は手順を示すものではありません。

(1) UiSMRレジスタのABSCSビット (バス衝突検出サンプリングクロック選択) (i=0～2、5～7)

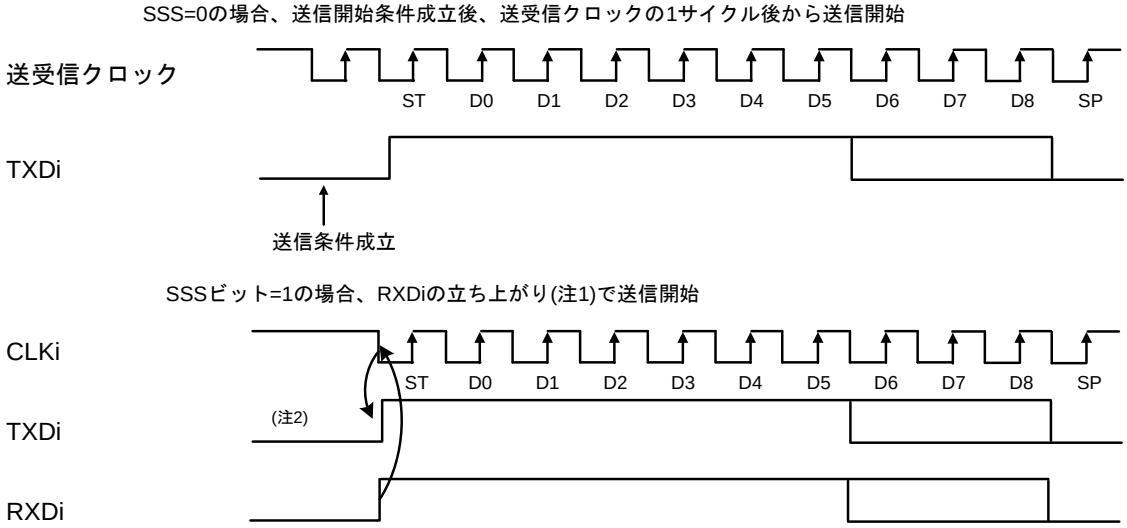


タイマAj : UART0の場合タイマA3。UART1の場合タイマA4。UART2の場合タイマA0。
UART5の場合タイマA0。UART6の場合タイマA3。UART7の場合タイマA4。

(2) UiSMRレジスタのACSEビット (送信許可ビット自動クリア)



(3) UiSMRレジスタのSSSビット(送信開始条件選択)



注1. UiMRレジスタのIOPOL=0の場合、RXDiの立ち下がり。IOPOL=1の場合、RXDiの立ち上がり。
注2. 送信条件は、RXDの立ち下がり(注1)前に成立している必要があります。

上の図は、IOPOL=1 (反転あり)の場合です。i=0～2、5～7

図 23.26 バス衝突検出機能関連ビットの機能

23.3.6 特殊モード4 (SIMモード) (UART2)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTXD2端子から“L”を出力できます。

表23.24にSIMモードの仕様、表23.25にSIMモード時の使用レジスタと設定値を示します。

表23.24 SIMモードの仕様

項目	仕様
データフォーマット	•ダイレクトフォーマット •インバースフォーマット
送受信クロック	•U2MRレジスタのCKDIRビットが“0”(内部クロック)：fi/(16(n+1)) fi=f1SIO、f2SIO、f8SIO、f32SIO n=U2BRGレジスタの設定値　00h~FFh •CKDIRビットが“1”(外部クロック)：fEXT/(16(n+1)) fEXTはCLK2端子からの入力 n=U2BRGレジスタの設定値　00h~FFh
送信開始条件	送信開始には、次の条件が必要 •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 •U2C1レジスタのREビットが“1”(受信許可) •スタートビットの検出
割り込み要求発生タイミング(注2)	•送信時 UART2送信レジスタからデータ転送完了時(U2IRSビット=1) •受信時 UART2受信レジスタからU2RBレジスタへデータ転送(受信完了)時
エラー検出	•オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 •フレーミングエラー(注3) 設定した個数のストップビットが検出されなかったときに発生 •パリティエラー(注3) 受信時、パリティエラーを検出すると、パリティエラー信号をTXD2端子から出力 送信時、送信割り込み発生時、RXD2端子の入力レベルによりパリティエラーを検知 •エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

注2. リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

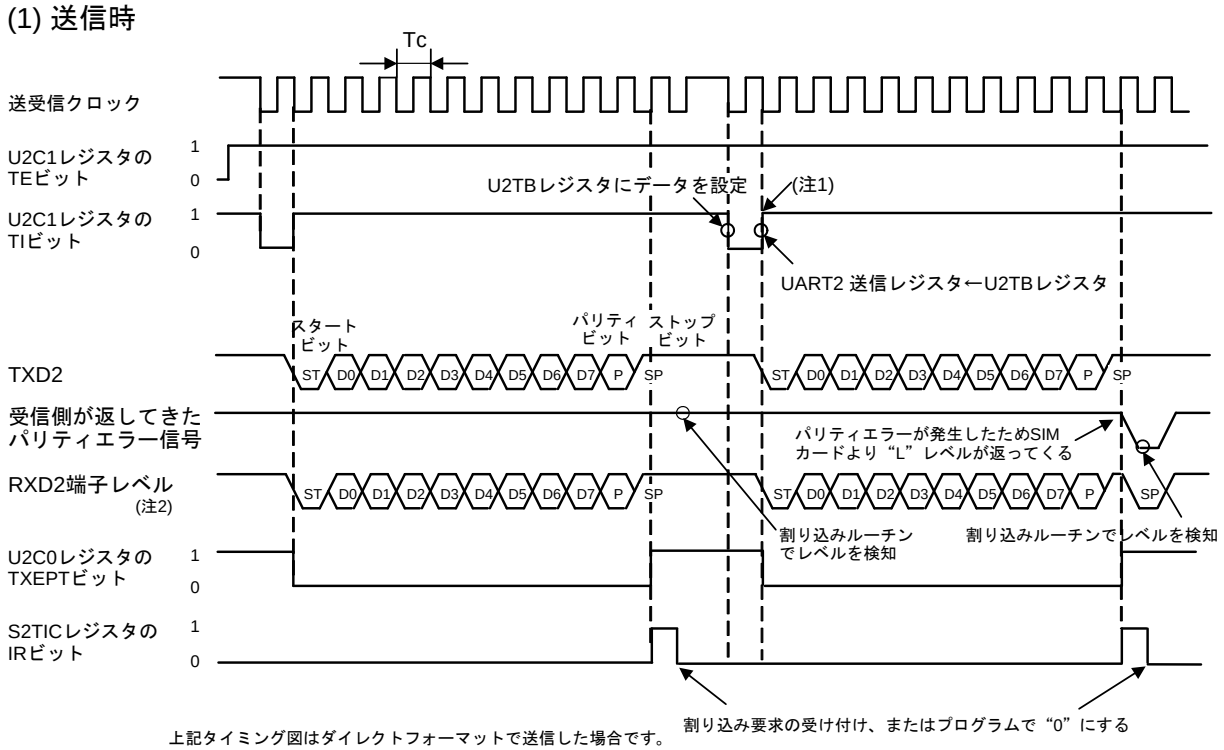
注3. フレーミングエラーフラグ、パリティエラーフラグは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに検出されます。

表 23.25 SIMモード時の使用レジスタと設定値 (注2)

レジスタ	ビット	機能
U2TB(注1)	0~7	送信データを設定してください
U2RB(注1)	0~7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0~7	ビットレートを設定してください
U2MR	SMD2~SMD0	“101b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0”にしてください
	PRY	ダイレクトフォーマットの場合“1”に、インバースフォーマットの場合“0”にしてください
	PRYE	“1”にしてください
	IOPOL	“0”にしてください
U2C0	CLK0,CLK1	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1”にしてください
	NCH	“0”にしてください
	CKPOL	“0”にしてください
	UFORM	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合“1”にしてください
U2C1	TE	送信を許可する場合“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合“1”にしてください
	RI	受信完了フラグ
	U2IRS	“1”にしてください
	U2RRM	“0”にしてください
	U2LCH	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合“1”にしてください
	U2ERE	“1”にしてください
U2SMR (注1)	0~3	“0”にしてください
U2SMR2	0~7	“0”にしてください
U2SMR3	0~7	“0”にしてください
U2SMR4	0~7	“0”にしてください

注1.　この表に記載していないビットはSIMモード時に書く場合、0を書いてください。
注2.　この表は手順を示すものではありません。

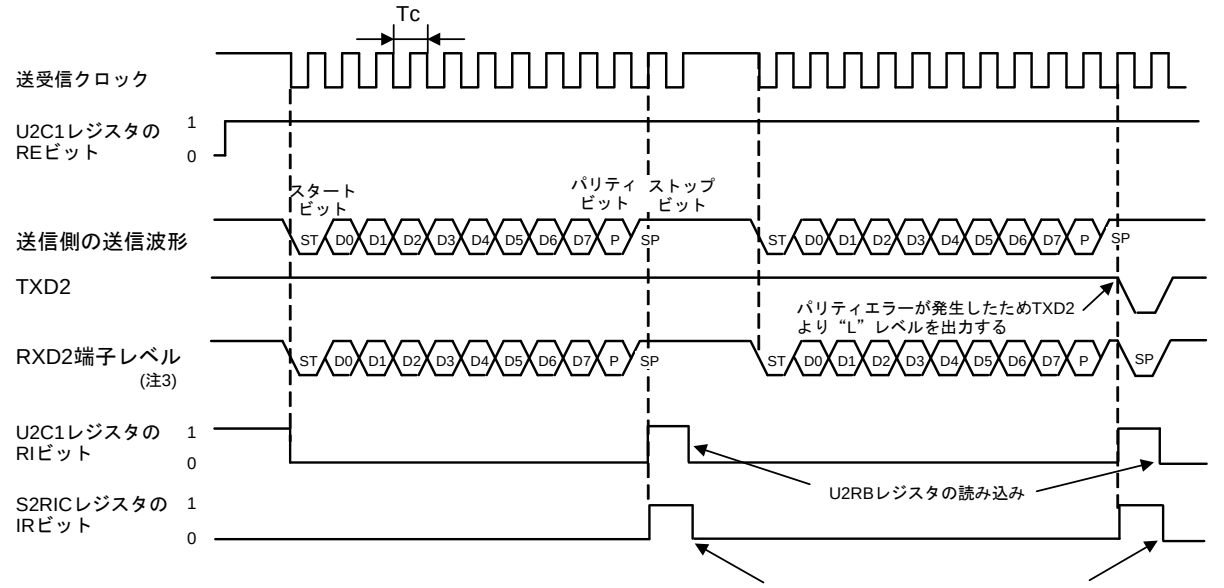
(1) 送信時



上記タイミング図はダイレクトフォーマットで送信した場合です。
- U2MRレジスタのSTPSビット＝0 (1ストップビット)
- U2MRレジスタのPRYビット＝1 (偶数パリティ)
- U2C0レジスタのUFORMビット＝0 (LSBファースト)
- U2C1レジスタのU2LCHビット＝0 (反転なし)
- U2C1レジスタのU2IRSビット＝1 (送信完了)

Tc = 16(n+1) / fj または16(n+1)/fEXT
fj　: U2BRGカウントソースの周波数 (f1SIO、f2SIO、f8SIO、f32SIO)
fEXT: U2BRGのカウントソースの周波数 (外部クロック)
n　: U2BRGに設定した値

(2) 受信時



上記タイミング図はダイレクトフォーマットで受信した場合です。
- U2MRレジスタのSTPSビット＝0 (1ストップビット)
- U2MRレジスタのPRYビット＝1 (偶数パリティ)
- U2C0レジスタのUFORMビット＝0 (LSBファースト)
- U2C1レジスタのU2LCHビット＝0 (反転なし)
- U2C1レジスタのU2IRSビット＝1 (送信完了)

Tc = 16(n+1) / fj または16(n+1)/fEXT
fj　: U2BRGカウントソースの周波数 (f1SIO、f2SIO、f8SIO、f32SIO)
fEXT: U2BRGのカウントソースの周波数 (外部クロック)
n　: U2BRGに設定した値

注1. 上記タイミングで、U2TBレジスタに値を書いた後、BRGのオーバフロータイミングで送信が開始されます。
注2. TXD2とRXD2を接続しているため、TXD2の送信波形と受信側が返してきたパリティエラー信号を合成した波形になります。
注3. TXD2とRXD2を接続しているため、送信側の送信波形とTXD2のパリティエラー信号出力を合成した波形になります。

図 23.27 SIMモードの送受信タイミング例

図 23.28にSIMインタフェース接続例を示します。TXD2とRXD2を接続してプルアップしてください。

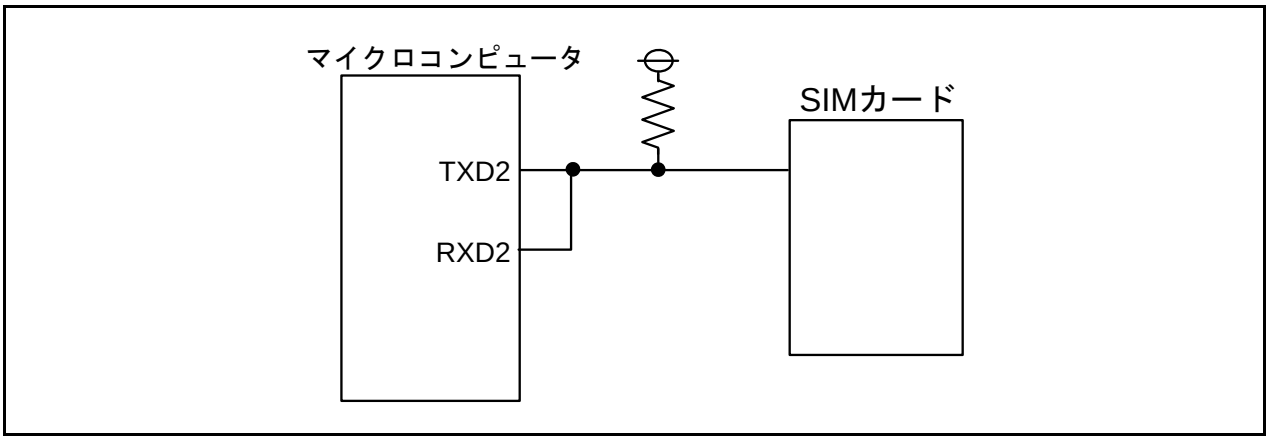


図 23.28 SIMインタフェース接続例

23.3.6.1 パリティエラー信号出力機能

U2C1レジスタのU2EREビットを“1”(出力する)にすると、パリティエラー信号を使用できます。

パリティエラー信号は、受信時にパリティエラーを検出した場合に出力する信号で、図 23.29に示すタイミングでTXD2出力が“L”になります。ただし、パリティエラー信号出力中にU2RBレジスタを読むと、U2RBレジスタのPERビットが“0”(パリティエラーなし)になり、同時にTXD2出力も“H”に戻ります。

送信時、送信完了割り込み要求がストップビットを出力した次の送受信クロックの立ち下がりで発生します。したがって、送信完了割り込みルーチンで、RXD2と端子を共用するポートを読むと、パリティエラー信号が返されたかどうかが判定できます。

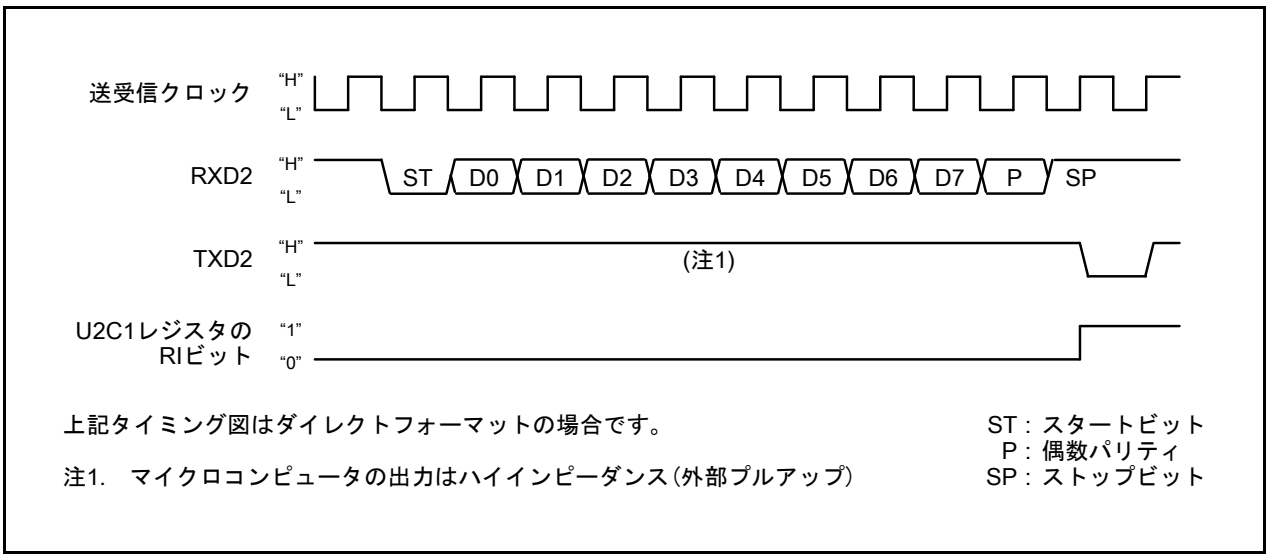


図 23.29 パリティエラー信号出力タイミング

23.3.6.2　フォーマット

フォーマットには、ダイレクトフォーマットとインバースフォーマットがあります。

ダイレクトフォーマットの場合、U2MRレジスタのPRYEビットを“1”(パリティ許可)、PRYビットを“1”(偶数パリティ)、U2C0レジスタのUFORMビットを“0”(LSBファースト)、U2C1レジスタのU2LCHビットを“0”(反転なし)にしてください。送信時、U2TBレジスタに設定したデータをD0から順に、偶数パリティを付加して送信します。受信時、受け取ったデータをD0から順にU2RBレジスタに格納します。偶数パリティでパリティエラーを判定します。

インバースフォーマットの場合、PRYEビットを“1”、PRYビットを“0”(奇数パリティ)、UFORMビットを“1”(MSBファースト)、U2LCHビットを“1”(反転あり)にしてください。送信時、U2TBレジスタに設定した値の論理反転したデータをD7から順に、奇数パリティを付加して送信します。受信時、受け取ったデータを論理反転して、D7から順にU2RBレジスタに格納します。奇数パリティで、パリティエラーを判定します。

図23.30にSIMインタフェースフォーマットを示します。

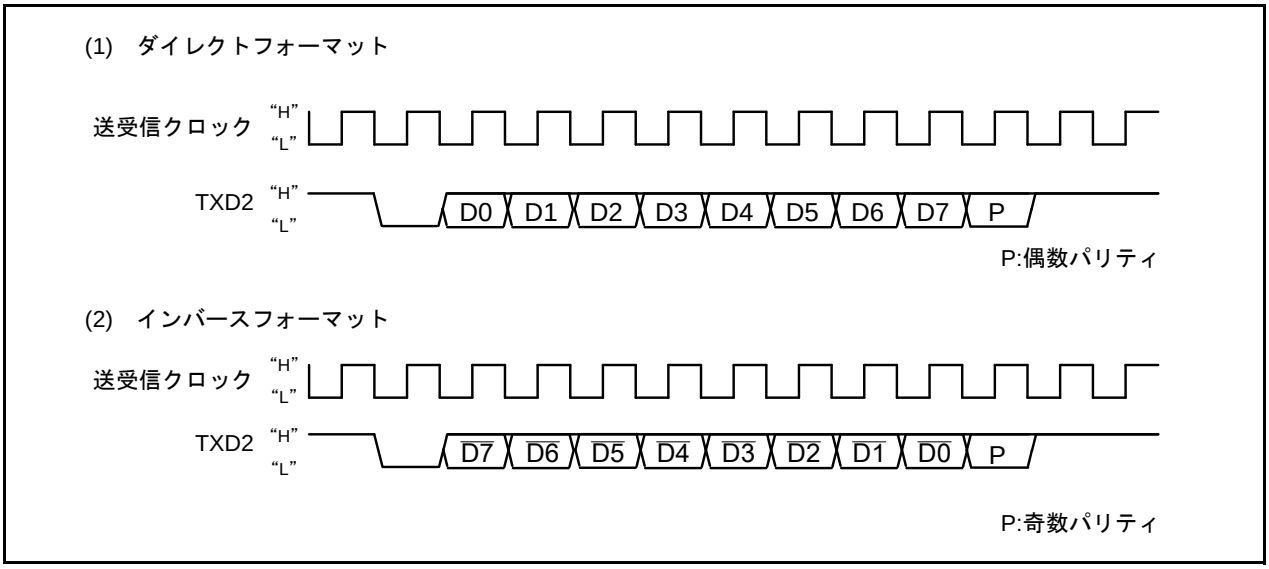


図23.30　SIMインタフェースフォーマット

23.4 割り込み

UART0~UART2、UART5~UART7には、送信、受信、ACK、NACK、スタート/ストップコンディション検出、バス衝突検出による割り込みがあります。

23.4.1 割り込み関連レジスタ

割り込みの要因や割り込み要求発生タイミングは、各モードの仕様、動作例を参照してください。また、割り込み制御の詳細は「14.7 割り込み制御」を参照してください。表 23.26 に UART0~UART2、UART5~UART7の割り込み関連レジスタを示します。

表 23.26 UART0~UART2、UART5~UART7の割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0046h	UART1バス衝突検出割り込み制御レジスタ	U1BCNIC	XXXX X000b
0047h	UART0バス衝突検出割り込み制御レジスタ	U0BCNIC	XXXX X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXX X000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXX X000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXX X000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXX X000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXX X000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXX X000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXX X000b
006Bh	UART5バス衝突検出割り込み制御レジスタ	U5BCNIC	XXXX X000b
006Ch	UART5送信割り込み制御レジスタ	S5TIC	XXXX X000b
006Dh	UART5受信割り込み制御レジスタ	S5RIC	XXXX X000b
006Eh	UART6バス衝突検出割り込み制御レジスタ	U6BCNIC	XXXX X000b
006Fh	UART6送信割り込み制御レジスタ	S6TIC	XXXX X000b
0070h	UART6受信割り込み制御レジスタ	S6RIC	XXXX X000b
0071h	UART7バス衝突検出 割り込み制御レジスタ	U7BCNIC	XXXX X000b
0072h	UART7送信割り込み制御レジスタ	S7TIC	XXXX X000b
0073h	UART7受信割り込み制御レジスタ	S7RIC	XXXX X000b
0205h	割り込み要因選択レジスタ3	IFSR3A	00h
0206h	割り込み要因選択レジスタ2	IFSR2A	00h

UART0~UART2、UART5~UART7の割り込みは他の周辺機能と、割り込みベクタや割り込み制御レジスタを共用しているものがあります。これらの割り込みを使用する場合は、割り込み要因選択レジスタで選択してください。表 23.27にUART0~UART2、UART5~UART7割り込み選択方法を示します。

表 23.27 UART0~UART2、UART5~UART7割り込み選択方法

割り込み要因	割り込み要因選択レジスタの設定		
	レジスタ	ビット	設定値
UART0スタート/ストップコンディション検出、バス衝突検出	IFSR2A	IFSR26	1
UART1スタート/ストップコンディション検出、バス衝突検出	IFSR2A	IFSR27	1
UART5スタート/ストップコンディション検出、バス衝突検出	IFSR3A	IFSR33	0
UART5送信、NACK	IFSR3A	IFSR34	0
UART6スタート/ストップコンディション検出、バス衝突検出	IFSR3A	IFSR35	0
UART6送信、NACK	IFSR3A	IFSR36	0
UART7スタート/ストップコンディション検出、バス衝突検出	IFSR2A	IFSR24	0
UART7送信、NACK	IFSR2A	IFSR25	0

また、次のモードの場合、ビット内容の変更によって割り込み要求が発生することがあります。

- 特殊モード1 (I^2Cモード)

  次のビットを変更した後、UARTiの各割り込み制御レジスタのIRビットを“0”(割り込み要求なし)にしてください。

  UiMRレジスタのSMD2~SMD0ビット、UiSMRレジスタのIICMビット、UiSMR2レジスタのIICM2ビット、UiSMR3レジスタのCKPHビット

- 特殊モード4 (SIMモード)

  リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にすると、送信割り込み要求が発生します。SIMモードを使用する場合はこれらのビット設定後、S2TICレジスタのIRビットを“0”(割り込み要求なし)にしてください。

23.4.2 受信割り込み

- UiMRレジスタのSMD2~SMD0ビットが“010b”(I^2Cモード)以外の場合

  UiC1レジスタのRIビットが“0”(UiRBレジスタにデータなし)から“1”(UiRBレジスタにデータあり)に変化するときに、SiRICレジスタのIRビットが“1”(割り込み要求あり)になります。

  オーバランエラー発生時(RIビットが“1”のとき次のデータ受信)は、RIビットが“1”のまま変化しないため、SiRICレジスタのIRビットは変化しません。

- UiMRレジスタのSMD2~SMD0ビットが“010b”(I^2Cモード)の場合

  UiC1レジスタのRIビットが“0”(UiRBレジスタにデータなし)から“1”(UiRBレジスタにデータあり)に変化するときに、SiRICレジスタのIRビットが“1”(割り込み要求あり)になります。

  オーバランエラー発生も、SiRICレジスタのIRビットが“1”になります。

23.5 シリアルインタフェースUARTi (i=0~2, 5~7) 使用上の注意事項

23.5.1 複数モードに関わる共通事項

23.5.1.1 SDの影響

TB2SCレジスタのIVPCR1ビットが“1”($\overline{SD}$端子入力による三相出力強制遮断許可)のとき、$\overline{SD}$端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V、P7_3/$\overline{CTS2}$/$\overline{RTS2}$/TA1IN/$\overline{V}$、P7_4/TA2OUT/W、P7_5/TA2IN/$\overline{W}$
P8_0/TA4OUT/RXD5/SCL5/U、P8_1/TA4IN/$\overline{CTS5}$/$\overline{RTS5}$/$\overline{U}$

23.5.1.2 レジスタ設定

UCLKSEL0 レジスタのOCOSEL0 ビットまたはOCOSEL1 ビットを設定した後、その他のUART0~UART2、UART5~UART7関連レジスタを設定してください。OCOSEL0ビットまたはOCOSEL1ビットを変更した後も、その他のUART0~UART2、UART5~UART7関連レジスタを再設定してください。

23.5.1.3 CLKi出力

(テクニカルアップデート番号: TN-M16C-A178A/J)

CLKi端子の出力形式をNチャネルオープンドレインで使用する場合、次の手順で端子の機能を変更してください。

ポートからCLKiにするとき

(1) UiMR レジスタのSMD2~SMD0 ビットでシリアルインタフェースのモードを選択する (“000b”以外にする)
(2) UiSMR3レジスタのNODCビットを“1”にする

CLKiからポートにするとき

(1) NODCビットを“0”にする
(2) SMD2~SMD0ビットでシリアルインタフェースを無効にする (“000b”にする)

23.5.2 クロック同期形シリアルI/Oモード

23.5.2.1 送受信

外部クロック選択時、$\overline{RTS}$機能を選択した場合は、受信可能状態になると$\overline{RTSi}$ (i=0~2, 5~7) 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると$\overline{RTSi}$端子の出力レベルは“H”になります。このため、$\overline{RTSi}$端子を送信側の$\overline{CTSi}$端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は$\overline{RTS}$機能は無効です。

23.5.2.2 送信

外部クロックを選択している場合、UiC0レジスタ(i=0~2, 5~7)のCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOL ビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で次の条件を満たしてください。

- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- $\overline{CTS}$機能を選択している場合、$\overline{CTSi}$端子の入力が“L”

23.5.2.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子(i=0~2, 5~7)からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタのRIビットが“1”(UiRBレジスタにデータあり)でUARTi受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態で、CKPOLビットが“1”のときは外部クロックが“L”の状態で次の条件を満たしてください。

- UiC1レジスタのREビットが“1”(受信許可)
- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

23.5.3 クロック非同期型シリアルI/O(UART)モード

23.5.3.1 送受信

外部クロック選択時、$\overline{\text{RTS}}$機能を選択した場合は、受信可能状態になると$\overline{\text{RTSi}}$ (i=0~2, 5~7) 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると$\overline{\text{RTSi}}$端子の出力レベルは“H”になります。このため、$\overline{\text{RTSi}}$端子を送信側の$\overline{\text{CTSi}}$端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は$\overline{\text{RTS}}$機能は無効です。

23.5.3.2 送信

外部クロックを選択している場合、UiC0レジスタ(i=0~2, 5~7)のCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で次の条件を満たしてください。

- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- $\overline{\text{CTS}}$機能を選択している場合、$\overline{\text{CTSi}}$端子の入力が“L”

23.5.4 特殊モード (I²Cモード)

23.5.4.1 スタートコンディション、ストップコンディション生成

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4レジスタ(i=0~2, 5~7)のSTSPSELビットを“0”にした後、送受信クロックの1/2サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

23.5.4.2 IRビット

次のビットを変更した後、UARTiの各割り込み制御レジスタのIRビットを“0”(割り込み要求なし)にしてください。

UiMRレジスタのSMD2~SMD0ビット、UiSMRレジスタのIICMビット、
UiSMR2レジスタのIICM2ビット、UiSMR3レジスタのCKPHビット

23.5.5 特殊モード4 (SIMモード)

リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。