

## RL78/F13, F14, F15

R01AN6057JJ0200

## ハードウェア・デザイン・ガイド

Rev.2.00

2023. 9.30

## 要旨

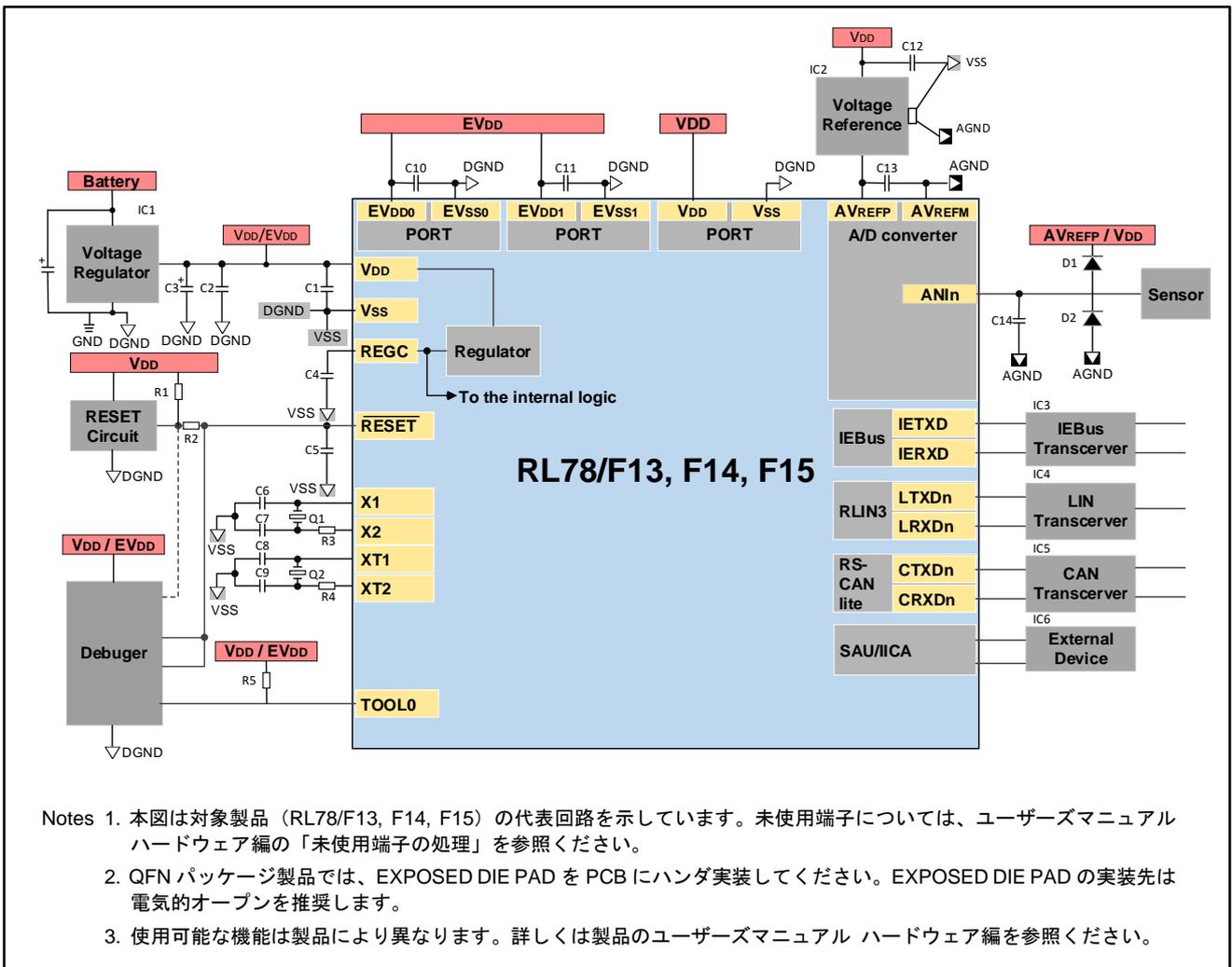
本資料は、RL78/F13, F14, F15 を搭載したハードウェアを設計する際の参考資料として、ハードウェア仕様と推奨事項をまとめたものです。対象製品のユーザーズマニュアル ハードウェア編（電気的特性）も併せて参照してください。

## 目次

1. 回路例.....	2
1.1 電源回路.....	4
1.1.1 電源端子.....	4
1.1.2 電源供給タイミング.....	5
1.2 REGC 端子.....	6
1.3 RESET 端子.....	7
1.4 発振回路.....	8
1.4.1 クロック入出力端子.....	8
1.4.2 メイン・システム・クロック.....	9
1.4.3 サブシステム・クロック.....	9
1.4.4 発振回路の注意事項.....	10
1.5 ポート機能使用時の注意事項.....	12
1.5.1 ポートの出力特性.....	12
1.5.2 未使用端子の処理.....	18
1.5.3 周辺 I/O 端子リダイレクション機能.....	19
1.5.4 注入電流.....	20
1.6 A/D コンバータ使用時の注意事項.....	21
1.6.1 ANIn 端子入力範囲について.....	21
1.6.2 基板設計時の注意事項.....	21
1.6.3 ノイズ対策.....	22
1.6.4 アナログ入力（ANIn）端子.....	22
1.6.5 アナログ入力（ANIn）端子の入力インピーダンスについて.....	22
1.6.6 内部等価回路.....	23
1.7 オンチップ・デバッグ回路.....	24

1. 回路例

図 1 に RL78/F13, F14, F15 の回路例を示します。また、表 1 に参考用外付け部品表を示します。



- Notes
- 本図は対象製品 (RL78/F13, F14, F15) の代表回路を示しています。未使用端子については、ユーザーズマニュアル ハードウェア編の「未使用端子の処理」を参照ください。
  - QFN パッケージ製品では、EXPOSED DIE PAD を PCB にハンダ実装してください。EXPOSED DIE PAD の実装先は電氣的オープンを推奨します。
  - 使用可能な機能は製品により異なります。詳しくは製品のユーザーズマニュアル ハードウェア編を参照ください。

図 1. RL78/F13, F14, F15 の回路例

表 1. 外付け部品一覧 (参考用)

項目	部品	値 (Typ.)	目的	備考	参照章
電源回路	IC1	No recommended IC	VDD への電源供給	ユーザ・システムの仕様に合わせてください	1.1
	C1	0.1 $\mu$ F	バイパス・コンデンサ	参考値。VDD 端子と VSS 端子間に最短かつ等長で接続してください	
	C2, C3	No recommended value	レギュレータ出力の電圧レベル安定化	使用されるレギュレータ IC の仕様書を参照し適正な容量を配置してください	
	C4	0.47 $\mu$ F – 1.0 $\mu$ F	マイコン内部レギュレータの安定化	REGC 端子と VSS 端子間に最短で接続してください	1.2
	C10	0.1 $\mu$ F	バイパス・コンデンサ	参考値。EVDD0 端子と EVSS0 端子間に最短かつ等長で接続してください	–
	C11	0.1 $\mu$ F	バイパス・コンデンサ	参考値。EVDD1 端子と EVSS1 端子間に最短かつ等長で接続してください	–
RESET	R1	1.0 k $\Omega$	プルアップ抵抗	外部リセット回路の仕様に合わせて配置してください	1.3
	C5	0.1 $\mu$ F	RESET 端子出力の電圧レベル安定化	参考値。RESET 端子と VSS 端子間に最短で接続してください	
発振回路 (メイン・システム・クロック)	Q1	1.0 MHz – 20.0 MHz	メイン・システム・クロック発振用	各値については、使用される発振子メーカーに確認ください。 C6, C7 の GND 側は、VSS 端子と最短で接続してください	1.4.1
	C6, C7	No recommended value			1.4.2
	R3	No recommended value			
発振回路 (サブシステム・クロック)	Q2	32.768 kHz	サブシステム・クロック発振用	各値については、使用される発振子メーカーに確認ください。 C8, C9 の GND 側は、VSS 端子と最短で接続してください	1.4.1
	C8, C9	No recommended value			1.4.3
	R4	No recommended value			
A/D コンバータ	IC2	No recommended IC	基準電圧供給	ユーザ・システムの仕様に合わせてください	1.6
	C12	No recommended value	バイパス・コンデンサ	使用される基準電圧供給回路に合わせてください	
	C13	0.1 $\mu$ F	バイパス・コンデンサ	AVREFP 端子と AVREFM 端子間に最短で接続してください	
	D1, D2	$V_F \leq 0.3$ V	ノイズ対策	ユーザ・システムの仕様に合わせてください	
	C14	100pF – 1000 $\mu$ F	入力電圧安定化	ユーザ・システムの仕様に合わせてください。 ANIn 端子と VSS 端子間に最短で接続してください	
デバッグ回路	R2	10 k $\Omega$	RESET 回路とオンチップ・デバッグに流れる電流制限	外部リセット回路の仕様に合わせてください	1.7
	R5	10 k $\Omega$	プルアップ抵抗	オンチップ・デバッグ時は外部でプルアップしてください	
IEBus	IC3	No recommended IC	IEBus トランシーバ	ユーザ・システムの仕様に合わせてください	–
LIN	IC4	No recommended IC	LIN トランシーバ	ユーザ・システムの仕様に合わせてください	–
CAN	IC5	No recommended IC	CAN トランシーバ	ユーザ・システムの仕様に合わせてください	–
SAU/IICA	IC6	No recommended IC	通信回路	ユーザ・システムの仕様に合わせてください	–

注意：製品により端子や周辺機能が異なります。詳しくは使用される製品のユーザーズマニュアル：ハードウェア編を参照ください。

## 1.1 電源回路

### 1.1.1 電源端子

電源端子は、バイパス・コンデンサを介して GND に接続します。バイパス・コンデンサはセラミック・コンデンサなどの周波数特性の良いコンデンサを使用してください。また、電源端子（+側）とバイパス・コンデンサおよびペアとなる電源端子（-側）は、最短かつ等長に配線します。バイパス・コンデンサを設置する場合、電源端子のペアに注意してください。例えば、 $V_{DD}$  端子と  $V_{SS}$  端子、 $EV_{DD0/1}$  端子と  $EV_{SS0/1}$  端子、 $AV_{REFP}$  端子と  $AV_{REFM}$  端子がペアとなります。電源端子のパターンは、他の信号線よりも幅の太いパターンで配線してください。なお、本製品では「図 1. RL78/F13, F14, F15 の回路例」に示す通り、 $V_{DD} = EV_{DD0}/EV_{DD1}$ 、 $V_{SS} = EV_{SS0}/EV_{SS1}$  として設計してください。

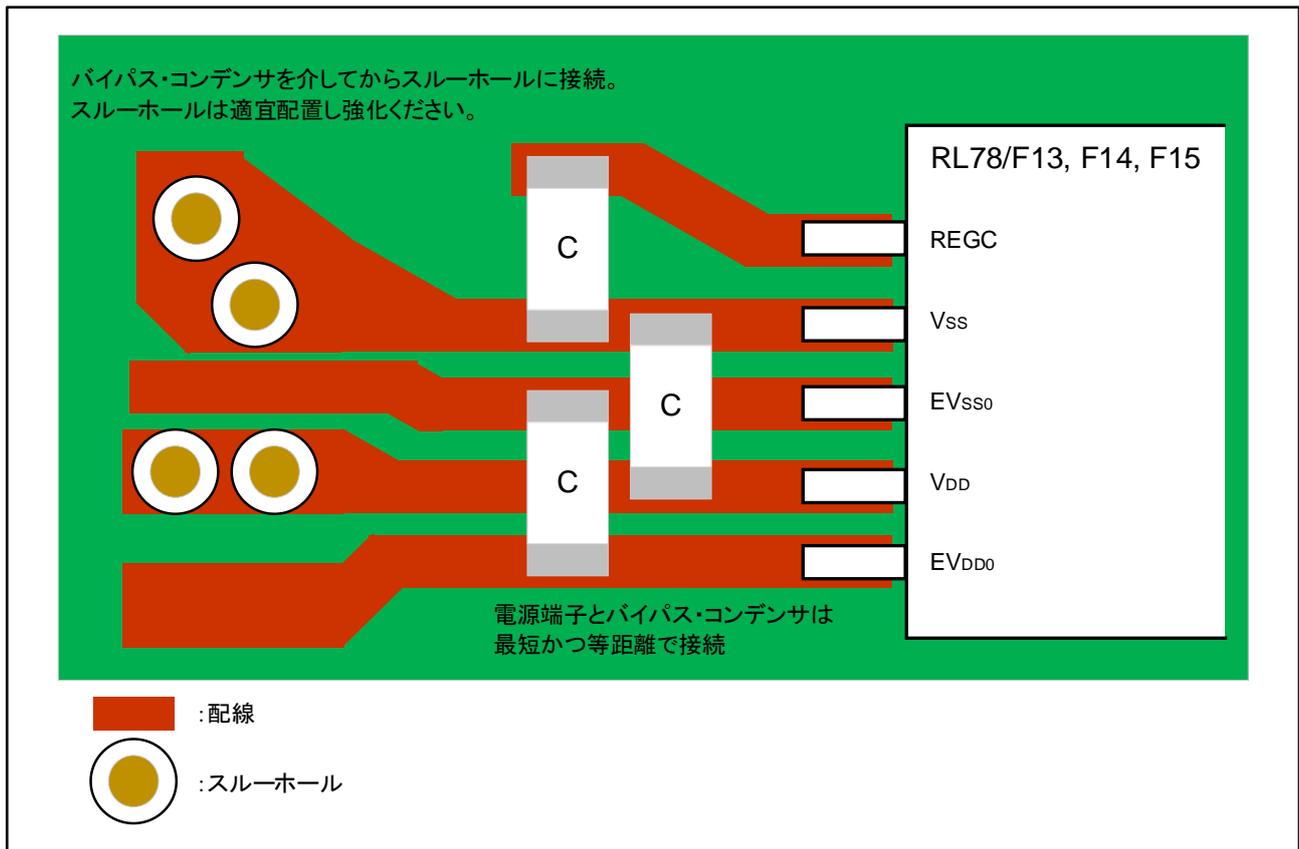


図 2. 電源端子とバイパス・コンデンサの接続例

## 1.1.2 電源供給タイミング

電源回路による電源供給タイミングの注意事項を示します。

## (1) 外部リセット回路使用時

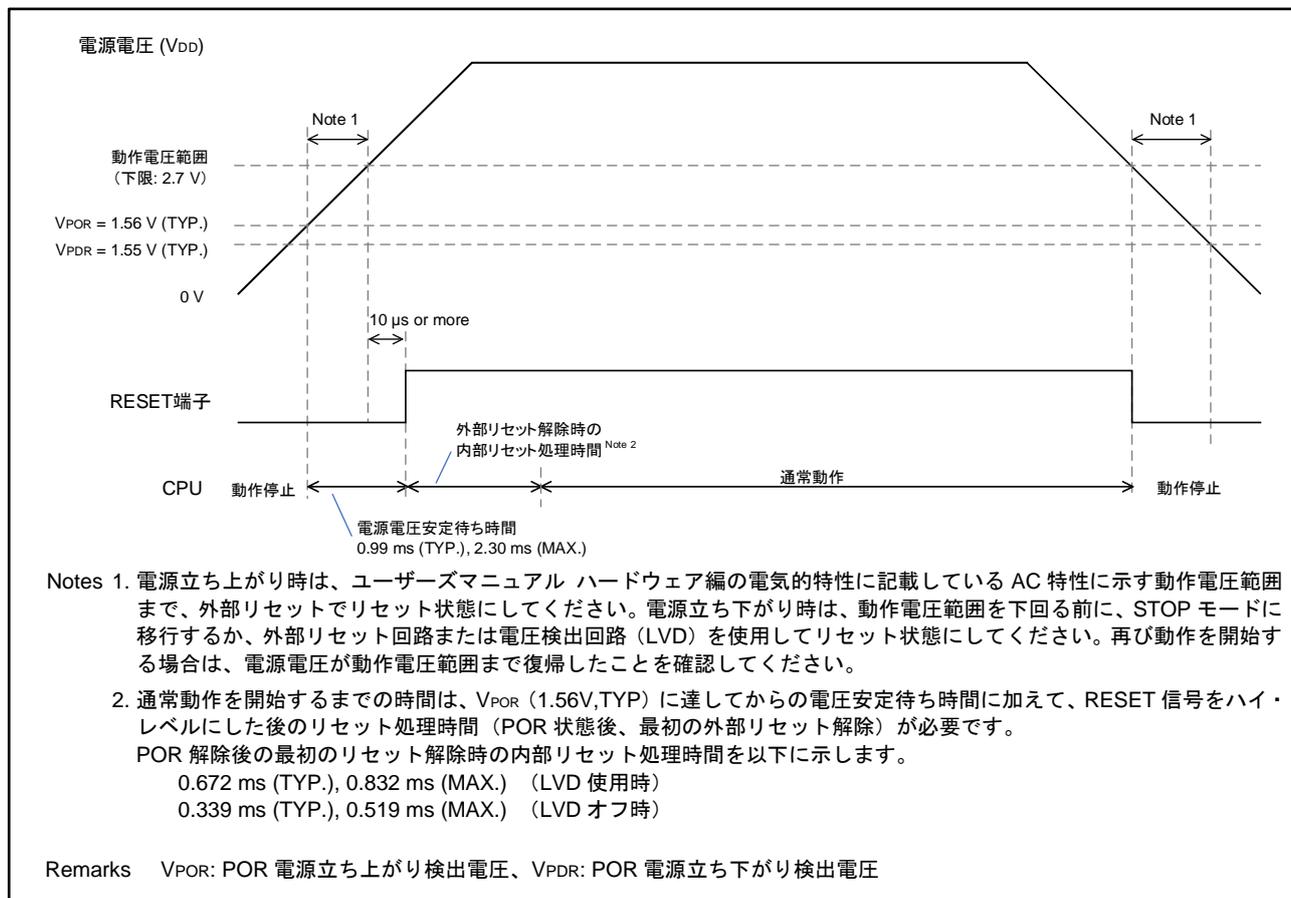


図 3. 外部リセット回路使用時の電源供給タイミング

(2) LVD 使用時 (割り込み&リセット・モード)

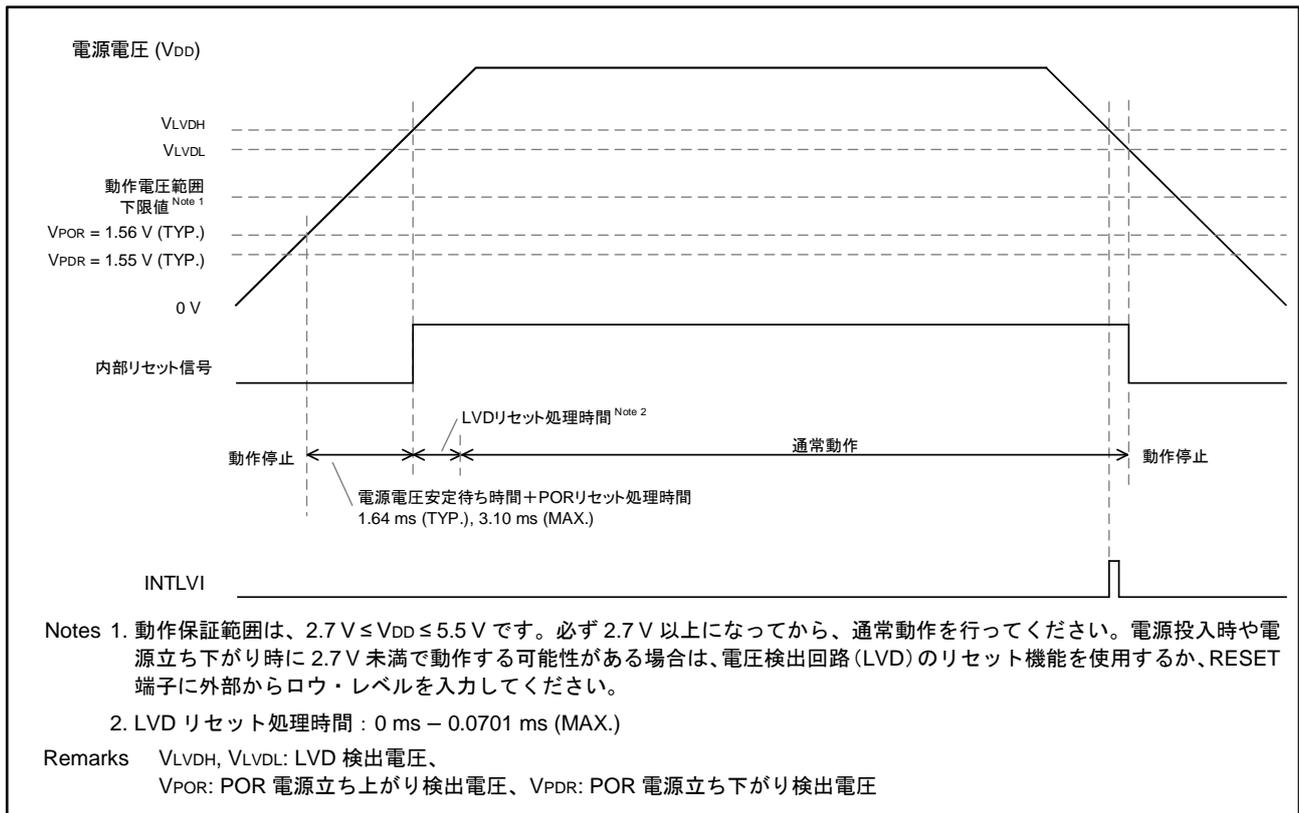


図 4. LVD 使用時の電源供給タイミング

1.2 REGC 端子

RL78/F13, F14, F15 は、内部レギュレータを搭載しています。内部レギュレータの出力を安定させるために REGC 端子はコンデンサ (0.47  $\mu\text{F}$  ~ 1.0  $\mu\text{F}$ ) を介して V<sub>SS</sub> に接続してください。また、使用するコンデンサは、特性の良い製品を使用してください。

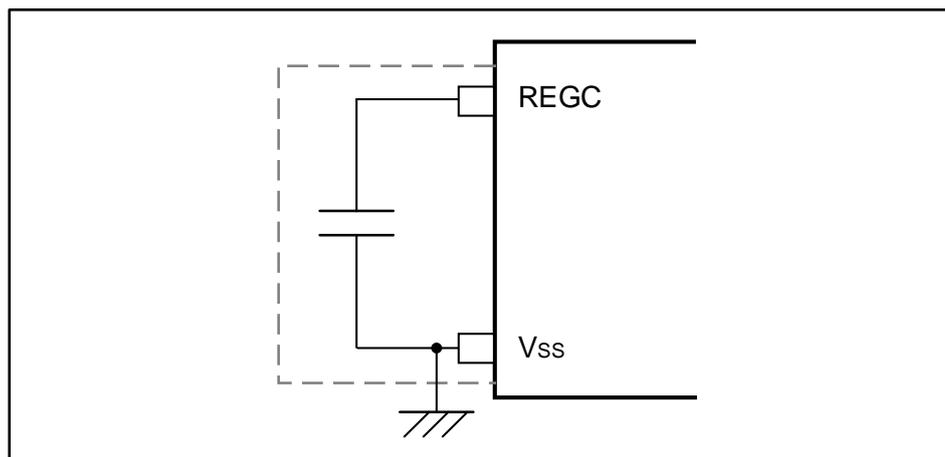


図 5. REGC 端子の接続

**注意** 上図の破線部で示す配線は、極力短くしてください。

### 1.3 RESET 端子

RL78/F13, F14, F15 は、パワー・オン・リセット回路（POR）を搭載しています。したがって、リセット回路の最小回路は、RESET 端子にプルアップ抵抗（1 k $\Omega$  ~ 10 k $\Omega$ ）を介して V<sub>DD</sub> と接続した回路になります。

ホット・プラグイン機能を使用する場合は、デバッガ接続時のノイズ除去用に RESET 端子の近くにコンデンサ C5（約 0.1  $\mu$ F）を配置してください。

機能安全等の理由により、外付けウォッチドッグ・タイマ機能を搭載したリセット IC を使用するか等、ユーザ・システムの仕様により検討してください。

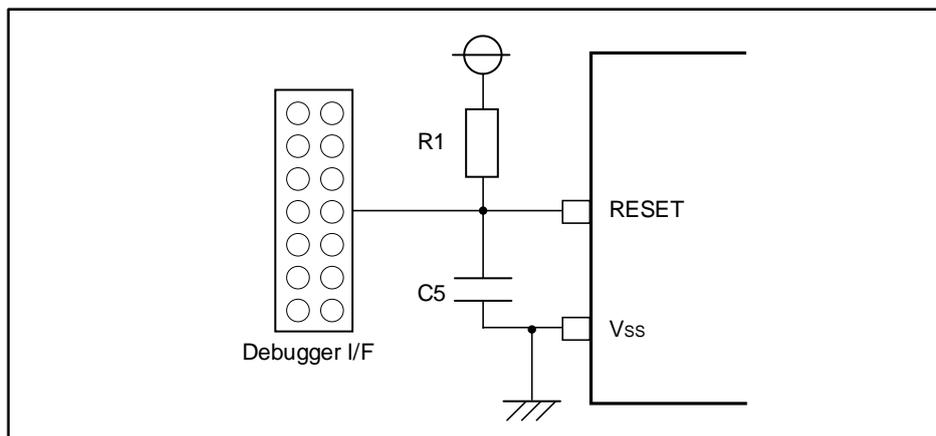


図 6. RESET 端子の接続（最小回路イメージ）

## 1.4 発振回路

### 1.4.1 クロック入出力端子

クロック入出力端子 (X1、X2、XT1、XT2) は、周辺回路を含め最短に配線してください。また、クロック入出力端子のパターンは、他のパターン (大電流が流れる信号線や高速にスイッチングする信号線) を並走または交差させずに、安定した V<sub>SS</sub> パターンでガードしてください。詳しくは、「1.4.4 発振回路の注意事項」を参照ください。図 7 にクロック入出力回路の接続パターン例を示します。サブシステム・クロックを使用される場合、本図の X1、X2 を XT1、XT2 と読み替えてください。

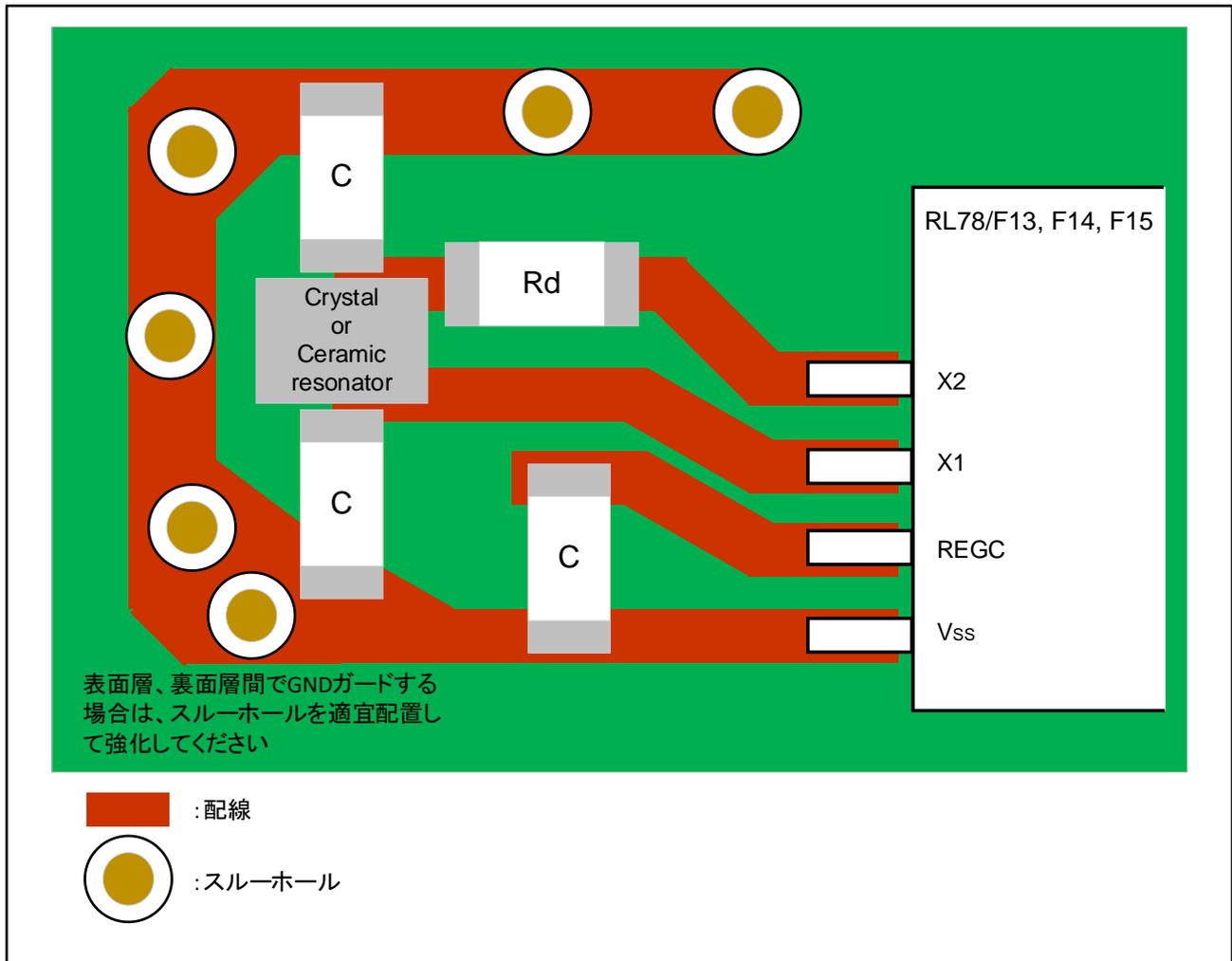


図 7. クロック入出力回路の接続例

### 1.4.2 メイン・システム・クロック

メイン・システム・クロックの接続例を下図に示します。水晶またはセラミック発振子(1 MHz ~ 20 MHz)を使用し、X1, X2 端子に接続します。

回路を構成する抵抗値および容量値については使用される発振子メーカー様に確認ください。

また、EXCLK 端子に外部からクロック信号を供給することもできます。

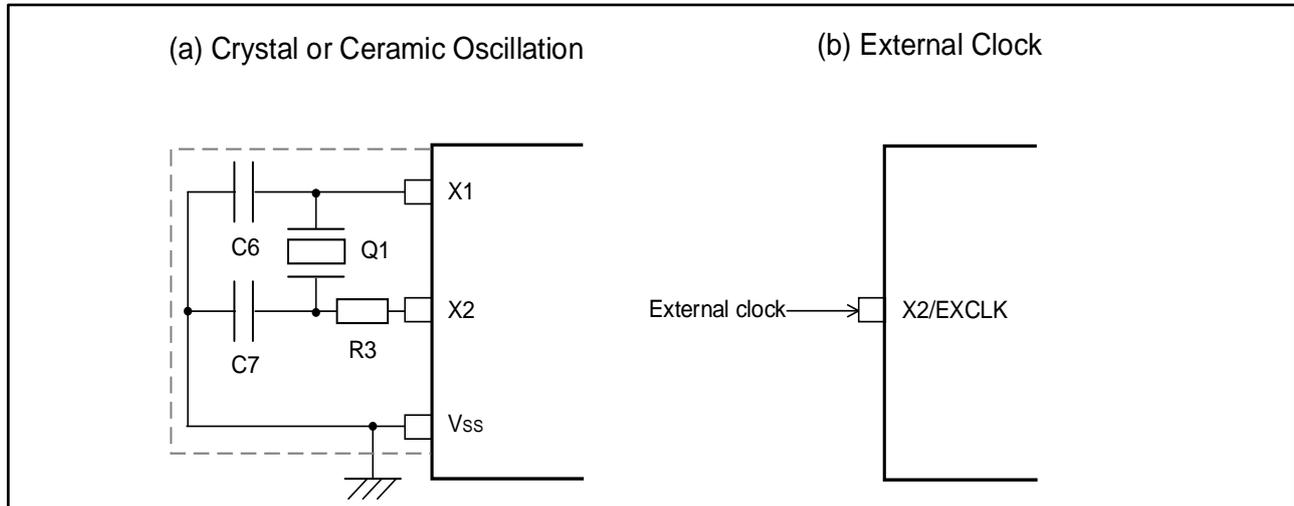


図 8. メイン・システム・クロックの接続

### 1.4.3 サブシステム・クロック

サブシステム・クロックの接続例を下図に示します。水晶共振子 (TYP.: 32.768 kHz) を使用し、XT1, XT2 端子に接続します。

回路を構成する抵抗値および容量値については使用される発振子メーカー様に確認ください。

また、EXCLKS 端子に外部からクロック信号を供給することもできます。

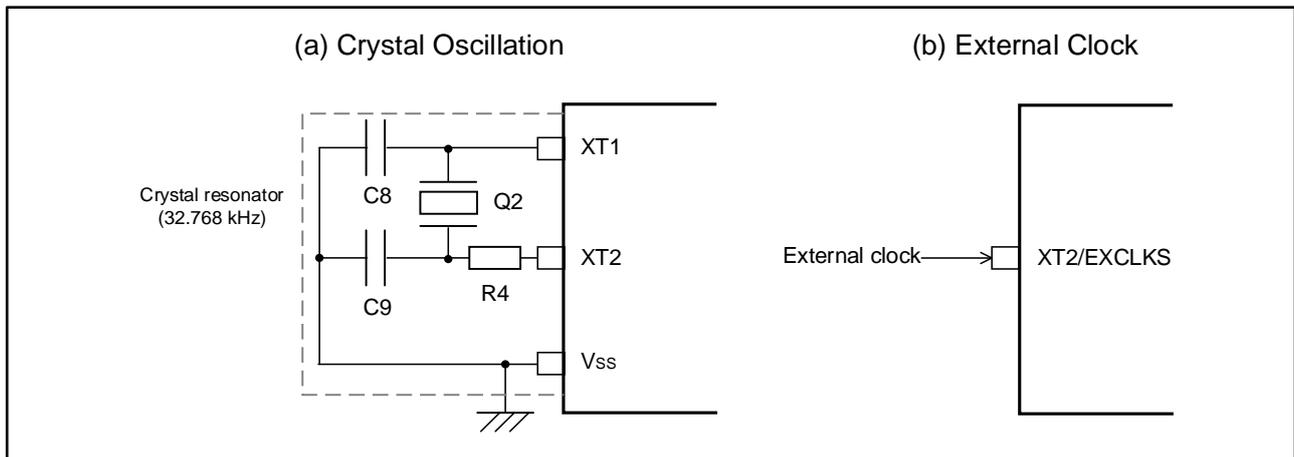


図 9. サブシステム・クロックの接続

#### 1.4.4 発振回路の注意事項

発振回路の回路定数については、ご使用される発振子メーカーにお問い合わせください。

X1 発振回路、XT1 発振回路を使用する場合、配線容量の影響を避けるため、図 8 および図 9 の破線で囲んだ箇所を以下のように配線してください。

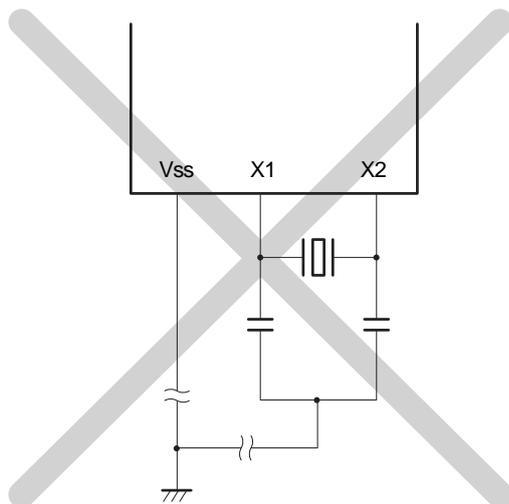
- 配線長は極力短くしてください。
- 他の信号線と交差させない、変化する大電流が流れる配線と近接させないでください。
- 発振回路で使用するコンデンサの接地点は、常に  $V_{SS}$  と同電位となる様にしてください。大電流が流れるグラウンド・パターンに接地しないでください。
- 発振回路の信号を取り出さないでください。寄生容量、配線抵抗の付加による発振強度の低下が考えられます。

特に XT1 発振回路は、低消費電力にするために増幅度の低い回路になっています。回路設計時は、次の点に注意してください。

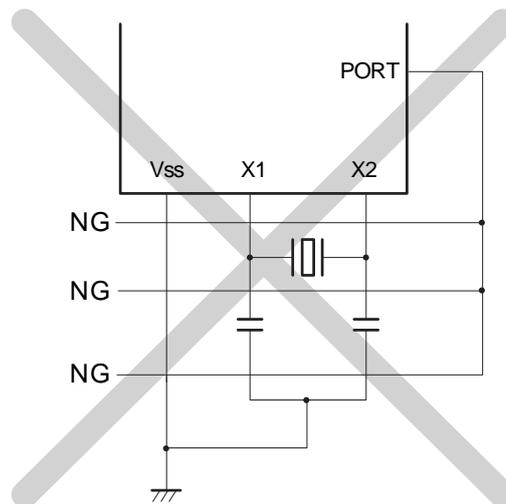
- 端子や回路基板には寄生容量が含まれています。したがって、実際に使用する回路基板で十分な発振評価を行い、問題がないことを確認してください。
- XT1, XT2 端子と発振子との配線は極力短くし、寄生容量、配線抵抗成分を小さくしてください。特に超低消費発振 (AMPHS [1:0] = 10B) を選択している場合はご注意ください。
- 回路基板は寄生容量、配線抵抗成分が少ない材質で回路を構成してください。
- XT1 発振回路の周辺には、できるかぎり  $V_{SS}$  と同電位のグラウンド・パターンを配置してください。
- XT1, XT2 端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる配線と近接させないでください。
- 高湿度環境における回路基板の吸湿や、基板上での結露により XT1 端子と XT2 端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境で使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は、XT1, XT2 端子間に容量やリークが生じない材料をご使用ください。

以下に発振回路の悪い接続例を示します。

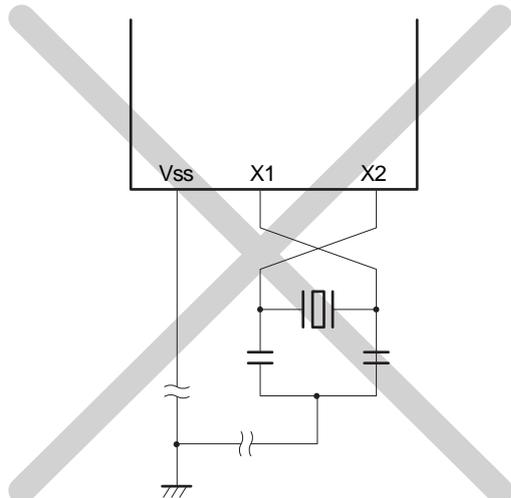
(a) 接続回路の配線が長い



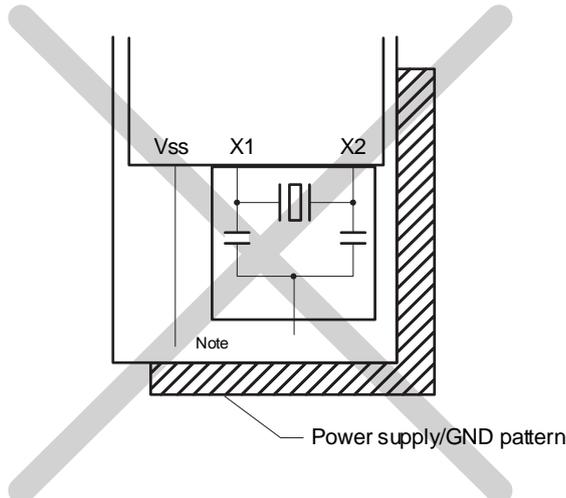
(b) 信号線が交差している



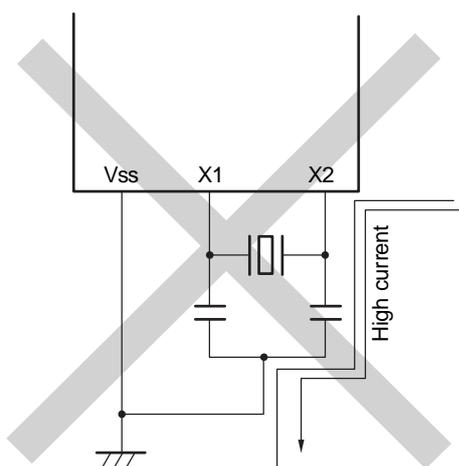
(c) X1, X2 の信号線の配線が交差している



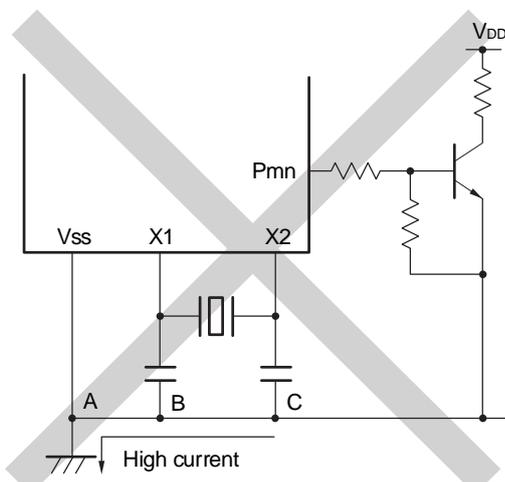
(d) X1, X2 配線の下に電源/GND パターンがある



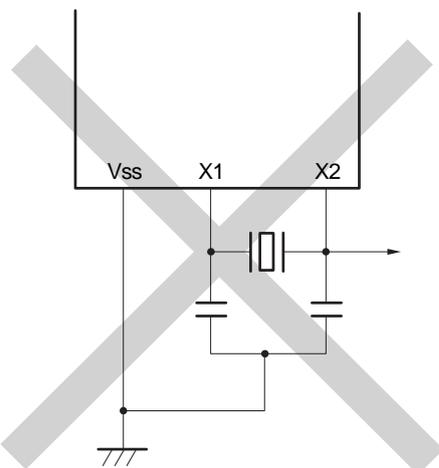
(e) 大電流が流れる信号線に近接している



(f) 発振回路のグランド・ライン上に電流が流れる (A 点、B 点、C 点の電位が変動する)



(g) 信号を取り出している



**注意** X2 と XT1 が基板上で平行に配線されている場合、X2 のクロストーク・ノイズが XT1 に相乗し誤動作を引き起こす可能性があります。

**備考** サブシステム・クロックを使用される場合、本図の X1, X2 を XT1, XT2 と読み替えてください。また、XT2 側にダンピング抵抗を挿入してください。

## 1.5 ポート機能使用時の注意事項

### 1.5.1 ポートの出力特性

RL78/F13, F14, F15 の汎用 I/O ポートは、VDD タイプと EVDD タイプがあります。ポートの出力電流に差異があるため注意してください。

#### (1) L グレード製品のポート特性

表 2. L グレード製品の IOH、IOL 特性 (1/2)

● RL78/F13 (LIN) 20/30/32/48/64 ピン製品 (コード・フラッシュ・メモリが 64KB 以下の製品)

ポート・タイプ	対応する I/O ポート	条件	ポート特性 (IOH and IOL)
VDD-type	Per pin for P33, P34, P80 – P87, P90, P91, P121 – P124, P137	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -0.1 mA IOL2: 0.4 mA
	Total of all VDD-type pins	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -2.0 mA IOL2: 5.0 mA
EVDD-type	Per pin for P00, P10 – P17, P30 – P32, P40 – P43, P50 – P53, P60 – P63, P70 – P77, P92 – P96, P120, P125, P130, P140	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -3.0 mA IOL1: 4.0 mA
	Total of all EVDD-type pins	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -50.0 mA IOL1: 65.0 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -29.0 mA IOL1: 50.0 mA

● RL78/F13 (LIN) 64 ピン製品 (コード・フラッシュ・メモリが 96KB 以上の製品) 、  
RL78/F13 (LIN) 80 ピン製品、RL78/F13 (CAN&LIN) 30/32/48/64/80 ピン製品

ポート・タイプ	対応する I/O ポート	条件	ポート特性 (IOH and IOL)
VDD-type	Per pin for P33, P34, P80 – P87, P90 – P95, P121 – P124, P137	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -0.1 mA IOL2: 0.4 mA
	Total of all VDD-type pins	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -2.0 mA IOL2: 5.0 mA
EVDD-type	Per pin for P00 – P02, P10 – P17, P30 – P32, P40 – P47, P50 – P57, P60 – P67, P70 – P77, P96, P97, P120, P125, P126, P130, P140	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -3.0 mA IOL1: 4.0 mA
	Total of all EVDD-type pins	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -50.0 mA IOL1: 65.0 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -29.0 mA IOL1: 50.0 mA

● RL78/F14 32/48/64/80 ピン製品 (コード・フラッシュ・メモリが 96KB 以下の製品)

ポート・タイプ	対応する I/O ポート	条件	ポート特性 (IOH and IOL)
VDD-type	Per pin for P33, P34, P80 – P87, P90 – P95, P121 – P124, P137	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -0.1 mA IOL2: 0.4 mA
	Total of all VDD-type pins	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -2.0 mA IOL2: 5.0 mA
EVDD-type	Per pin for P00 – P02, P10 – P17, P30 – P32, P40 – P47, P50 – P57, P60 – P67, P70 – P77, P96, P97, P120, P125, P126, P130, P140	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -3.0 mA IOL1: 4.0 mA
	Total of all EVDD-type pins	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -50.0 mA IOL1: 65.0 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -29.0 mA IOL1: 50.0 mA

表 2. L グレード製品の IOH、IOL 特性 (2/2)

- RL78/F14 48/64/80 ピン製品 (コード・フラッシュ・メモリが 128KB 以上の製品)、  
RL78/F14 100 ピン製品

ポート・タイプ	対応する I/O ポート	条件	ポート特性 (IOH and IOL)
VDD-type	Per pin for P33, P34, P80 – P87, P90 – P97, P100 – P105, P121 – P124, P137	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -0.1 mA IOL2: 0.4 mA
	Total of all VDD-type pins	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -2.0 mA IOL2: 5.0 mA
EVDD-type	Per pin for P00 – P03, P10 – P17, P30 – P32, P40 – P47, P50 – P57, P60 – P67, P70 – P77, P106, P107, P120, P125 – P127, P130, P140, P150 – P157	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -3.0 mA IOL1: 4.0 mA
	Total of all EVDD-type pins	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -50.0 mA IOL1: 65.0 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -29.0 mA IOL1: 50.0 mA

- RL78/F15 48/64/80/100/144 ピン製品

ポート・タイプ	対応する I/O ポート	条件	ポート特性 (IOH and IOL)
VDD-type	Per pin for P33, P34, P80 – P87, P90 – P97, P100 – P105, P121 – P124, P137	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -0.1 mA IOL2: 0.4 mA
	Total of all VDD-type pins	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -2.0 mA IOL2: 5.0 mA
EVDD-type	Per pin for P00 – P07, P10 – P17, P20 – P27, P30 – P32, P35 – P37, P40 – P47, P50 – P57, P60 – P67, P70 – P77, P106, P107, P110 – P117, P120, P125 – P127, P130 – P136, P140 – P147, P150 – P157, P160 – P167	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -3.0 mA IOL1: 4.0 mA
	Total of all EVDD-type pins	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -50.0 mA IOL1: 65.0 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -29.0 mA IOL1: 50.0 mA

備考 対応する I/O ポートは製品により異なります。  
P121~P124、および P137 端子は入力専用端子になります。

## (2) K グレード製品のポート特性

表 3. K グレード製品の IOH、IOL 特性 (1/2)

- RL78/F13(LIN) 20/30/32/48/64 ピン製品 (コード・フラッシュ・メモリが 64KB 以下の製品)

ポート・タイプ	対応する I/O ポート	条件	ポート特性 (IOH and IOL)
VDD-type	Per pin for P33, P34, P80 – P87, P90, P91, P121 – P124, P137	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -0.1 mA IOL2: 0.4 mA
	Total of all VDD-type pins	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -2.0 mA IOL2: 5.0 mA
EVDD-type	Per pin for P00, P10 – P17, P30 – P32, P40 – P43, P50 – P53, P60 – P63, P70 – P77, P92 – P96, P120, P125, P130, P140	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -3.0 mA IOL1: 4.0 mA
	Total of all EVDD-type pins	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -42.0 mA IOL1: 65.0 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -29.0 mA IOL1: 50.0 mA

- RL78/F13(LIN) 64 ピン製品 (コード・フラッシュ・メモリが 96KB 以上の製品)、  
RL78/F13(LIN) 80 ピン製品、RL78/F13(CAN&LIN) 30/32/48/64/80 ピン製品

ポート・タイプ	対応する I/O ポート	条件	ポート特性 (IOH and IOL)
VDD-type	Per pin for P33, P34, P80 – P87, P90 – P95, P121 – P124, P137	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -0.1 mA IOL2: 0.4 mA
	Total of all VDD-type pins	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -2.0 mA IOL2: 5.0 mA
EVDD-type	Per pin for P00 – P02, P10 – P17, P30 – P32, P40 – P47, P50 – P57, P60 – P67, P70 – P77, P96, P97, P120, P125, P126, P130, P140	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -3.0 mA IOL1: 4.0 mA
	Total of all EVDD-type pins	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -42.0 mA IOL1: 65.0 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -29.0 mA IOL1: 50.0 mA

- RL78/F14 32/48/64/80 ピン製品 (コード・フラッシュ・メモリが 96KB 以上の製品)

ポート・タイプ	対応する I/O ポート	条件	ポート特性 (IOH and IOL)
VDD-type	Per pin for P33, P34, P80 – P87, P90 – P95, P121 – P124, P137	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -0.1 mA IOL2: 0.4 mA
	Total of all VDD-type pins	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -2.0 mA IOL2: 5.0 mA
EVDD-type	Per pin for P00 – P02, P10 – P17, P30 – P32, P40 – P47, P50 – P57, P60 – P67, P70 – P77, P96, P97, P120, P125, P126, P130, P140	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -3.0 mA IOL1: 4.0 mA
	Total of all EVDD-type pins	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -42.0 mA IOL1: 65.0 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -29.0 mA IOL1: 50.0 mA

表 3. K グレード製品の IOH、IOL 特性 (2/2)

- RL78/F14 48/64/80 ピン製品 (コード・フラッシュ・メモリが 128KB 以上の製品)、  
RL78/F14 100 ピン製品

ポート・タイプ	対応する I/O ポート	条件	ポート特性 (IOH and IOL)
VDD-type	Per pin for P33, P34, P80 – P87, P90 – P97, P100 – P105, P121 – P124, P137	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -0.1 mA IOL2: 0.4 mA
	Total of all VDD-type pins	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -2.0 mA IOL2: 5.0 mA
EVDD-type	Per pin for P00 – P03, P10 – P17, P30 – P32, P40 – P47, P50 – P57, P60 – P67, P70 – P77, P106, P107, P120, P125 – P127, P130, P140, P150 – P157	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -3.0 mA IOL1: 4.0 mA
	Total of all EVDD-type pins	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -42.0 mA IOL1: 65.0 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -29.0 mA IOL1: 50.0 mA

- RL78/F15 48/64/80/100/144 ピン製品

ポート・タイプ	対応する I/O ポート	条件	ポート特性 (IOH and IOL)
VDD-type	Per pin for P33, P34, P80 – P87, P90 – P97, P100 – P105, P121 – P124, P137	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -0.1 mA IOL2: 0.4 mA
	Total of all VDD-type pins	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -2.0 mA IOL2: 5.0 mA
EVDD-type	Per pin for P00 – P07, P10 – P17, P20 – P27, P30 – P32, P35 – P37, P40 – P47, P50 – P57, P60 – P67, P70 – P77, P106, P107, P110 – P117, P120, P125 – P127, P130 – P136, P140 – P147, P150 – P157, P160 – P167	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -3.0 mA IOL1: 4.0 mA
	Total of all EVDD-type pins	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -42.0 mA IOL1: 65.0 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -29.0 mA IOL1: 50.0 mA

備考 対応する I/O ポートは製品により異なります。  
P121~P124、および P137 端子は入力専用端子になります。

## (3) Y グレード製品の特性

表 4. Y グレード製品の IOH、IOL 特性 (1/2)

- RL78/F13(LIN) 20/30/32/48/64 ピン製品 (コード・フラッシュ・メモリが 64KB 以下の製品)

ポート・タイプ	対応する I/O ポート	条件	ポート特性 (IOH and IOL)
VDD-type	Per pin for P33, P34, P80 – P87, P90, P91, P121 – P124, P137	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -0.1 mA IOL2: 0.4 mA
	Total of all VDD-type pins	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -2.0 mA IOL2: 5.0 mA
EVDD-type	Per pin for P00, P10 – P17, P30 – P32, P40 – P43, P50 – P53, P60 – P63, P70 – P77, P92 – P96, P120, P125, P130, P140	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -3.0 mA IOL1: 4.0 mA
	Total of all EVDD-type pins	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -32.0 mA IOL1: 55.0 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -29.0 mA IOL1: 45.0 mA

- RL78/F13(LIN) 64 ピン製品 (コード・フラッシュ・メモリが 96KB 以上の製品) 、  
RL78/F13(LIN) 80 ピン製品、RL78/F13(CAN&LIN) 30/32/48/64/80 ピン製品

ポート・タイプ	対応する I/O ポート	条件	ポート特性 (IOH and IOL)
VDD-type	Per pin for P33, P34, P80 – P87, P90 – P95, P121 – P124, P137	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -0.1 mA IOL2: 0.4 mA
	Total of all VDD-type pins	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -2.0 mA IOL2: 5.0 mA
EVDD-type	Per pin for P00 – P02, P10 – P17, P30 – P32, P40 – P47, P50 – P57, P60 – P67, P70 – P77, P96, P97, P120, P125, P126, P130, P140	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -3.0 mA IOL1: 4.0 mA
	Total of all EVDD-type pins	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -32.0 mA IOL1: 55.0 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -29.0 mA IOL1: 45.0 mA

- RL78/F14 32/48/64/80 ピン製品 (コード・フラッシュ・メモリが 96KB 以上の製品)

ポート・タイプ	対応する I/O ポート	条件	ポート特性 (IOH and IOL)
VDD-type	Per pin for P33, P34, P80 – P87, P90 – P95, P121 – P124, P137	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -0.1 mA IOL2: 0.4 mA
	Total of all VDD-type pins	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -2.0 mA IOL2: 5.0 mA
EVDD-type	Per pin for P00 – P02, P10 – P17, P30 – P32, P40 – P47, P50 – P57, P60 – P67, P70 – P77, P96, P97, P120, P125, P126, P130, P140	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -3.0 mA IOL1: 4.0 mA
	Total of all EVDD-type pins	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -32.0 mA IOL1: 55.0 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -29.0 mA IOL1: 45.0 mA

表 4. Y グレード製品の IOH、IOL 特性 (2/2)

- RL78/F14 48/64/80 ピン製品 (コード・フラッシュ・メモリが 128KB 以上の製品)、  
RL78/F14 100 ピン製品

ポート・タイプ	対応する I/O ポート	条件	ポート特性 (IOH and IOL)
VDD-type	Per pin for P33, P34, P80 – P87, P90 – P97, P100 – P105, P121 – P124, P137	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -0.1 mA IOL2: 0.4 mA
	Total of all VDD-type pins	$2.7V \leq V_{DD} \leq 5.5V$	IOH2: -2.0 mA IOL2: 5.0 mA
EVDD-type	Per pin for P00 – P03, P10 – P17, P30 – P32, P40 – P47, P50 – P57, P60 – P67, P70 – P77, P106, P107, P120, P125 – P127, P130, P140, P150 – P157	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -3.0 mA IOL1: 4.0 mA
	Total of all EVDD-type pins	$4.0V \leq EV_{DD} \leq 5.5V$	IOH1: -32.0 mA IOL1: 55.0 mA
		$2.7V \leq EV_{DD} < 4.0V$	IOH1: -29.0 mA IOL1: 45.0 mA

備考 対応する I/O ポートは製品により異なります。  
P121~P124、および P137 端子は入力専用端子になります。

## 1.5.2 未使用端子の処理

RL78/F13, F14, F15 の未使用端子の処理を表 5 に示します。

表 5. 未使用端子の処理

ポート・タイプ	端子名	未使用端子の処理
VDD-type	P121 – P124, P137 (Input-only pin)	個別に抵抗を介して $V_{DD}$ または $V_{SS}$ に接続
	All VDD-type pins except P121 – P124 and P137	入力時：個別に抵抗を介して $V_{DD}$ または $V_{SS}$ に接続 【参考：20 k $\Omega$ の抵抗を介してプルアップ】 出力時：オープン
	RESET	抵抗を介して $V_{DD}$ に接続
EVDD-type	P40 <sup>Note</sup>	入力時：抵抗を介して $EV_{DD}$ に接続 【参考：10 k $\Omega$ の抵抗を介してプルアップ】 出力時：オープン
	P130 (Output-only pin)	オープン
	All EVDD-type pins except P40 and P130	入力時：個別に抵抗を介して $EV_{DD}$ または $EV_{SS}$ に接続 【参考：10 k $\Omega$ の抵抗を介してプルアップ／プルダウン】 出力時：オープン

Note: TOOL0 機能 (オンチップ・デバッグ／フラッシュ・プログラマ) は P40 端子に割り当てられています。  
TOOL0 機能を使用する場合は、基板上で 10 k $\Omega$  の抵抗を介して  $EV_{DD}$  にプルアップしてください。

## 1.5.3 周辺 I/O 端子リダイレクション機能

RL78/ F13, F14, F15 の周辺 I/O は、PIORx レジスタや STPSTC レジスタを使用して端子を割り当てることができます。

表 6. 周辺 I/O 端子リダイレクション機能

レジスタ	ビット	割り当て可能な周辺機能端子
PIOR0	PIOR00 – PIOR07	TI00 – TI07 (タイマ・アレイ・ユニット入力端子)
PIOR1	PIOR10 – PIOR17	TO00 – TO07 (タイマ・アレイ・ユニット出力端子)
PIOR2	PIOR20 – PIOR27	TI10 – TI17 (タイマ・アレイ・ユニット入力端子)
PIOR3	PIOR30 – PIOR37	TO10 – TO17 (タイマ・アレイ・ユニット出力端子)
PIOR4	PIOR40	SI00/SDA00/RXD0, SO00/TXD0, SCL00/SCK00, SSI00 (シリアル・アレイ・ユニット入出力端子)
	PIOR41	SI01, SO01, SCK01, SSI01 (シリアル・アレイ・ユニット入出力端子)
	PIOR42	SI10/RXD1, SO10/TXD1, SCK10, SSI10 (シリアル・アレイ・ユニット入出力端子)
	PIOR43	SI11, SO11, SCK11, SSI11 (シリアル・アレイ・ユニット入出力端子)
	PIOR44	LRXD0, LTXD0 (RLIN3 モジュールのシリアル・データ入出力端子)
	PIOR45	LRXD1, LTXD1 (RLIN3 モジュールのシリアル・データ入出力端子)
	PIOR46	CRXD0, CTXD0 (RS-CAN lite モジュールのシリアル・データ入出力端子)
PIOR5	PIOR50	KR0 – KR7 (キー・リターン割り込み入力端子)
	PIOR52	INTP2 (外部割り込み入力端子)
	PIOR53	INTP3 (外部割り込み入力端子)
PIOR6	PIOR60 – PIOR67	SNZOUT0 – SNZOUT7 (SNOOZE ステータス出力端子)
PIOR7	PIOR70	TRDIOA0/TRDCLK0 (タイマ RD 入出力端子)
	PIOR71	TRDIOB0 (タイマ RD 入出力端子)
	PIOR73	TRDIOD0 (タイマ RD 入出力端子)
PIOR8	PIOR80	RTC1HZ (リアルタイム・クロック補正クロック出力端子)
PIOR9	PIOR90	SCK20, SI20/RXD2, SO20/TXD2 (シリアル・アレイ・ユニット入出力端子)
	PIOR91	SCK21, SI21, SO21 (シリアル・アレイ・ユニット入出力端子)
	PIOR96	CRXD1, CTXD1 (RS-CAN lite モジュールのシリアル・データ入出力端子)
	PIOR97	IEXD, IETXD (IEBus コントローラのシリアル・データ入出力端子)
PIOR10	PIOR100 – PIOR107	TI20 – TI27 (タイマ・アレイ・ユニット入力端子)
PIOR11	PIOR110 – PIOR117	TO20 – TO27 (タイマ・アレイ・ユニット出力端子)
STPSTC	STPSEL	STOPST (STOP ステータス出力端子)

1.5.4 注入電流

RL78/ F13, F14, F15 の入力ポートは、注入電流規格に対応しています。  
端子により注入電流の規格が異なります。

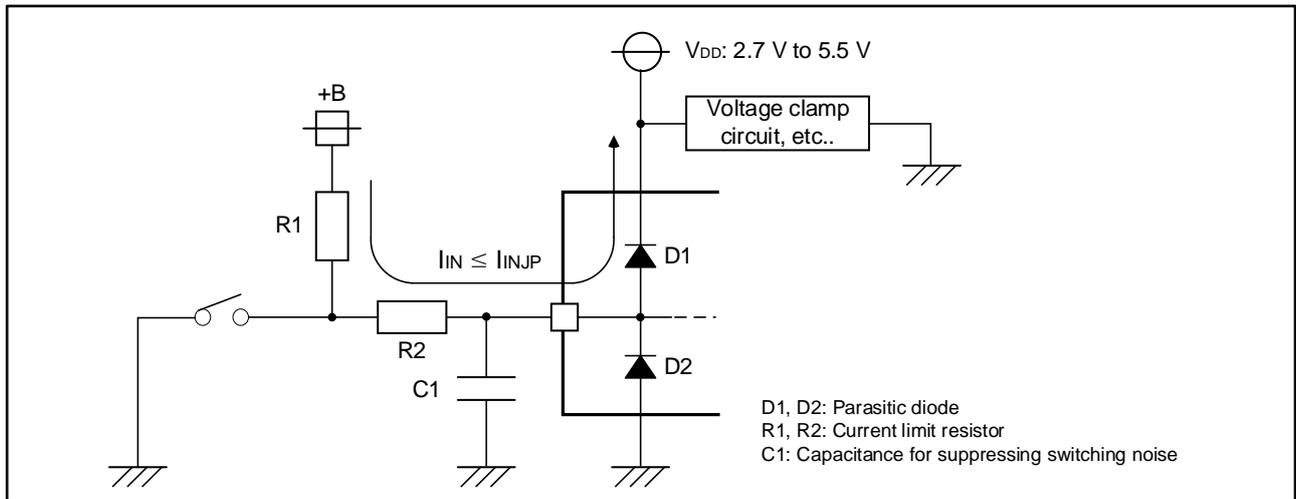


図 10. 注入電流の回路例

表 7. 注入電流規格

項目	ポート・タイプ	条件	注入電流規格 (MAX.)
正注入電流 ( $V_{IN} \geq V_{DD}$ )	EVDD-type	P40, P130 (Output-only pin)	禁止
		All EVDD-type pins except P40, P70 – P74, P120, P125, and P130	0.4 mA (per pin), 4.0 mA (Total of EVDD-type pins)
		P70 – P74, P120, P125	0.15 mA (per pin), 1.0 mA (total of pins (including VDD-type pins))
	VDD-type	All VDD-type pins except P33, P34, P81 – P84, P121 – P124, and P137	0.15 mA (per pin), 1.0 mA (total of pins (including EVDD-type pins (P70-P74, P120, P125)))
		P33, P34, P121 – P124, P137	禁止
P81 – P84		0.15 mA (per pin), 0.15 mA (total of pins)	

注意. 本スペックは、製品出荷時に検査をいたしません。本スペックは、開発時の設計検討及び製品特性を元に定めています。

## 1.6 A/D コンバータ使用時の注意事項

### 1.6.1 ANIn 端子入力範囲について

ANIn 端子の入力電圧は規格の範囲内でご使用ください。特に  $V_{DD}$ 、 $AV_{REFP}$  を超える電圧、 $V_{SS}$ 、 $AV_{REFM}$  未満（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

内部基準電圧（1.45V）を A/D コンバータの+側の基準電圧源に選択した場合は、ADS レジスタで選択されている端子には内部基準電圧を超える電圧を入れしないでください。ただし、ADS レジスタで選択されていない端子が内部基準電圧を超える電圧になっていても問題ありません。

### 1.6.2 基板設計時の注意事項

- アナログ電源（ $AV_{REFP}$ 、 $AV_{REFM}$ ）の供給パターンは、デジタル電源（ $V_{DD}$ 、 $EV_{DD0}$ 、 $EV_{DD1}$ 、 $V_{SS}$ 、 $EV_{SS0}$ 、 $EV_{SS1}$ ）の供給パターンと分離し、できるだけ太い配線パターンでレイアウトしてください。
- アナログ電源（ $AV_{REFP}$ 、 $AV_{REFM}$ ）の供給源とデジタル電源（ $V_{DD}$ 、 $EV_{DD0}$ 、 $EV_{DD1}$ 、 $V_{SS}$ 、 $EV_{SS0}$ 、 $EV_{SS1}$ ）の供給源を個別に分けて用意することで、デジタル電源ノイズの影響を小さくすることができます。
- アナログ電源（ $AV_{REFP}$ 、 $AV_{REFM}$ ）とデジタル電源（ $V_{DD}$ 、 $EV_{DD0}$ 、 $EV_{DD1}$ 、 $V_{SS}$ 、 $EV_{SS0}$ 、 $EV_{SS1}$ ）を共通電源として使用する場合は、電源供給元の出力部でアナログ電源とデジタル電源を分けて供給してください。
- アナログ・グランド（ $AV_{REFM}$ ）のパターンは、基板上的安定したデジタル・グランド（ $V_{SS}$ ）のパターンと 1 点で接続し、デジタル・グランドのノイズによる影響を小さくしてください。

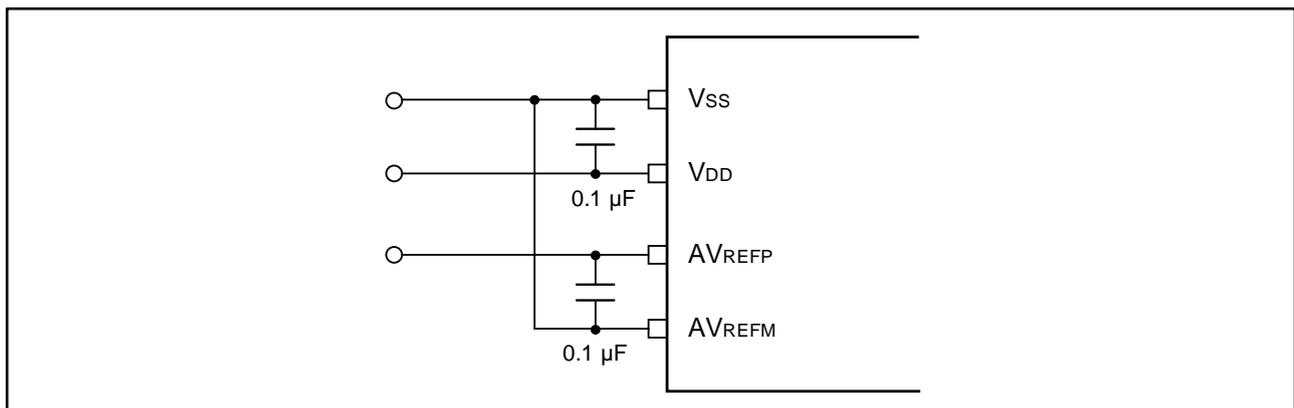


図 11. アナログ電源端子の接続例

### 1.6.3 ノイズ対策

10 ビット分解能を保つためには、 $AV_{REFP}$ 、 $V_{DD}$ 、 $ANIn$  端子へのノイズに注意する必要があります。

- (1) 電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください
- (2) アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図 11 のようにコンデンサ  $C$  を外付けすることを推奨します
- (3) 変換中においては、他の端子とスイッチングしないようにしてください
- (4) 変換開始直後に HALT モードに設定すると、精度が向上します

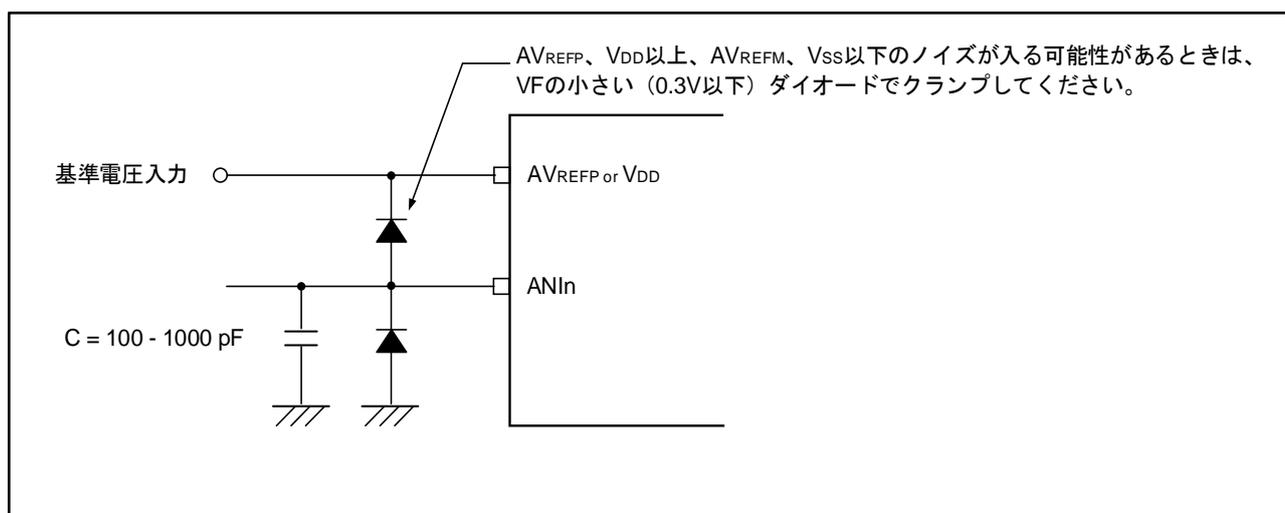


図 12. アナログ入力保護回路の例

### 1.6.4 アナログ入力（ANIn）端子

- (1) アナログ入力（ANIn）端子は入力端子と兼用になっています

ANIn 端子を選択して A/D 変換する場合、変換中にポートに対して出力値を変更しないでください。変換精度が低下することがあります。

- (2) A/D 変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによって A/D 変換値が期待値と異なることがあります

このようなパルスが入出力されないようにしてください。

### 1.6.5 アナログ入力（ANIn）端子の入力インピーダンスについて

この A/D コンバータは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを  $1\text{ k}\Omega$  以下にし、出力インピーダンスが高い時は ANIn 端子に  $100\text{ pF}$  程度のコンデンサを付けることを推奨します。（図 12 参照）

## 1.6.6 内部等価回路

アナログ入力部の等価回路を以下に示します。

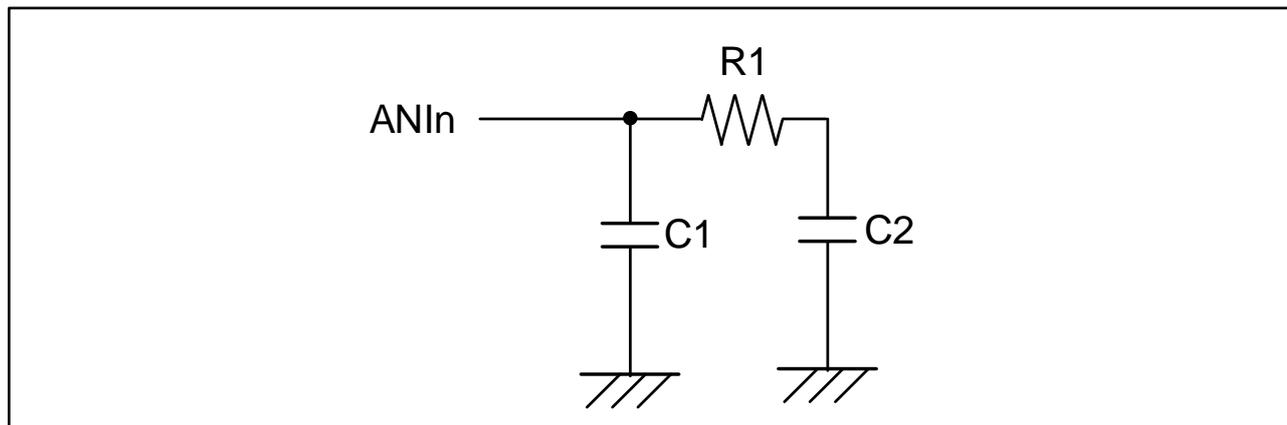


図 13. アナログ入力端子の等価回路

表 8. 等価回路の抵抗と容量値（参考値）

$AV_{REFP}, V_{DD}$	ANIn	R1 [kΩ]	C1 [pF]	C2 [pF]
$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	ANI0 – ANI23	14	8	2.5
	ANI24 – ANI30	18	8	7.0
$2.7\text{ V} \leq V_{DD} < 3.6\text{ V}$	ANI0 – ANI23	39	8	2.5
	ANI24 – ANI30	53	8	7.0

注意 上記表の値は参考値であり、保証値ではありません。

## 1.7 オンチップ・デバッグ回路

RL78/ F13, F14, F15 は、E2/E2 LITE エミュレータとの接続に  $V_{DD}$ ,  $EV_{DD0}$ , RESET, TOOL0,  $V_{SS}$  端子を使用します。エミュレータとの通信は 1 線式 UART を使用します。詳しくは、E1/E20/E2 エミュレータ, E2 エミュレータ Lite ユーザーズマニュアル別冊 (RL78 接続時の注意事項) [資料 No : R20UT1994JJ] を参照ください。

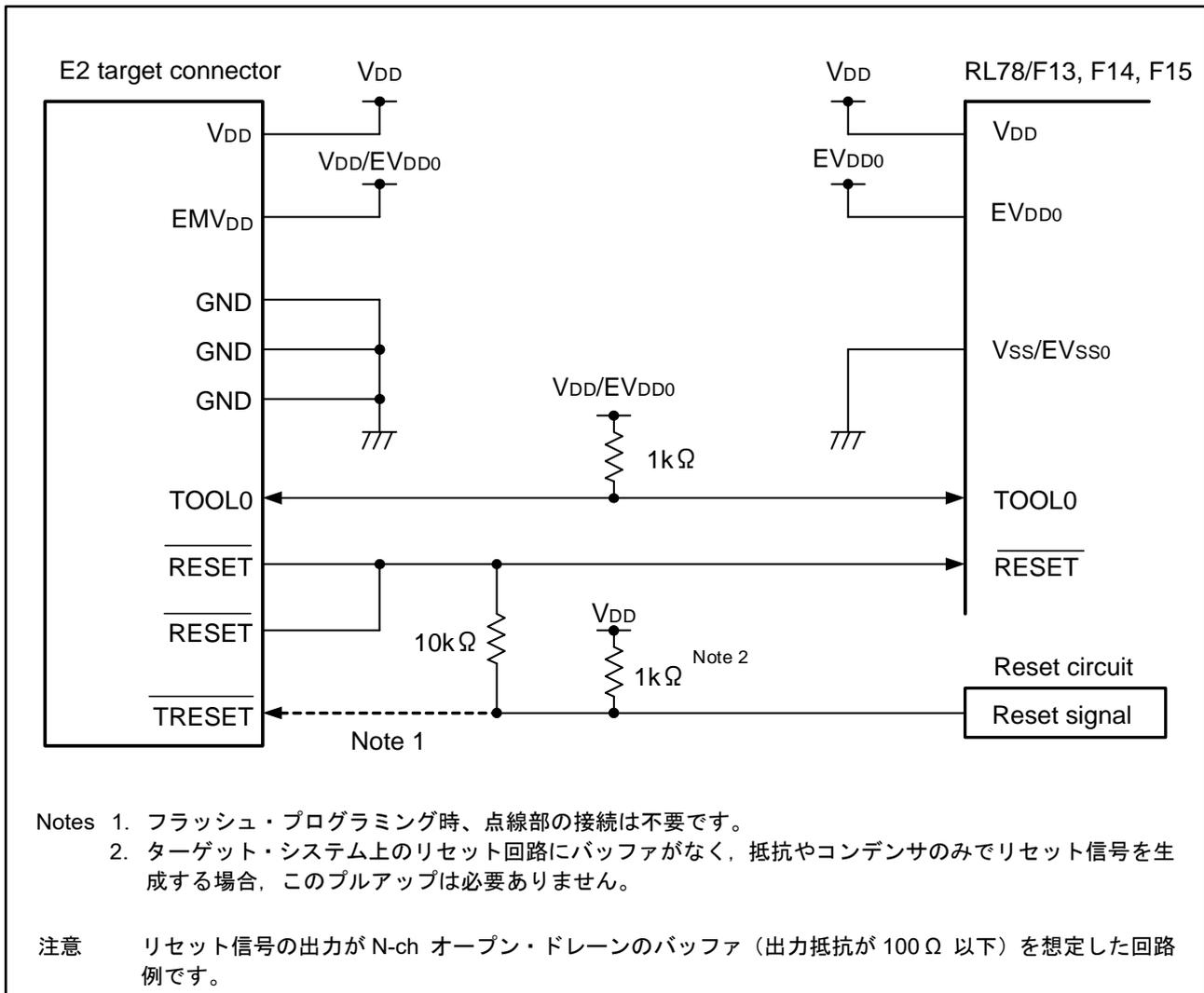


図 14. E2 エミュレータとの接続例

## 関連資料

資料名称	資料 No
RL78/F13, F14 ユーザーズマニュアル ハードウェア編	R01UH0368J
RL78/F15 ユーザーズマニュアル ハードウェア編	R01UH0559J
E1/E20/E2 エミュレータ, E2 エミュレータ Lite ユーザーズマニュアル別冊 (RL78 接続時の注意事項)	R20UT1994J

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2021. 9.30	–	初版発行
2.00	2023. 9.30	全体	記載 Form を変更
		P.2	図 1 回路例を更新 (VSS/DGND/AGND の記載を追加) および Note2 の記載を新規追加
		P.3	表 1 備考欄のコメントを図 1 の更新にあわせて修正
		P.4	1.1.1 電源端子の説明、および図 2 のパターン例を追加
		P.8	1.4.1 クロック端子の説明、パターン例を追加
		P.12 – P.17	表 2 – 表 4 ポート出力特性を L/K/Y グレード毎に記載
		P.19	表 6 周辺 I/O 端子リダイレクション機能の Form を変更
		P.21	1.6.2 基板設計時の注意事項、図 11 アナログ電源端子の接続例を追加

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
  - 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
  - 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
  - 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
  - 当社製品を、全部または一部を問わず、改造、変更、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、変更、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
  - 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等  
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
  - あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
  - 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
  - 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
  - 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
  - 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
  - お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとなります。
  - 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
  - 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

## 本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレストシア）

[www.renesas.com](http://www.renesas.com)

## お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

[www.renesas.com/contact/](http://www.renesas.com/contact/)

## 商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。