

RX23E-A グループ RX21A グループ

RX23E-A グループと RX21A グループの相違点

要旨

本アプリケーションノートは、主に RX23E-A グループ、RX21A グループにおける周辺機能の概要、I/O レジスタ、端子機能の相違点、および移行の際の留意点を確認することを目的とした参考資料です。

本アプリケーションノートで特に記載のない箇所については RX23E-A グループの 48 ピンパッケージと RX21A グループの 100 ピンパッケージについて記載しています。電気的特性、注意事項、設定手順の仕様差分についてはユーザーズマニュアルをご確認ください。

対象デバイス

RX23E-A グループ、RX21A グループ

目次

1. RX23E-A グループと RX21A グループの搭載機能比較	4
2. 仕様の概要比較	6
2.1 CPU	6
2.2 動作モード	7
2.3 アドレス空間	8
2.4 リセット	9
2.5 オプション設定メモリ	10
2.6 電圧検出回路	12
2.7 クロック発生回路	21
2.8 クロック周波数精度測定回路	24
2.9 消費電力低減機能	26
2.10 レジスタライトプロテクション機能	30
2.11 例外処理	31
2.12 割り込みコントローラ	32
2.13 バス	34
2.14 メモリプロテクションユニット	36
2.15 イベントリンクコントローラ	37
2.16 I/O ポート	41
2.17 マルチファンクションピンコントローラ	44
2.18 コンペアマッチタイマ	56
2.19 独立ウォッチドッグタイマ	57
2.20 シリアルコミュニケーションインタフェース	59
2.21 I ² C バスインタフェース	63
2.22 シリアルペリフェラルインタフェース	66
2.23 24 ビット Δ - Σ A/D コンバータ	69
2.24 10 ビット A/D コンバータ / 12 ビット A/D コンバータ	72
2.25 データ演算回路	78
2.26 RAM	79
2.27 フラッシュメモリ	80
2.28 パッケージ	84
3. 端子機能の比較	85
3.1 64 ピンパッケージ(RX21A : LQFP)/48 ピンパッケージ(RX23E-A : LQFP)/40 ピンパッケージ (RX23E-A : HWQFN)	85
4. 移行の際の留意点	89
4.1 端子設計の留意点	89
4.1.1 VCL 端子(外付け容量)	89
4.1.2 モード設定端子	89
4.2 機能設定の留意点	89
4.2.1 MOSCWTCCR レジスタ	89
4.2.2 I/O ポートのレジスタ設定に関する制限事項	89
4.2.3 例外ベクタテーブル	89
4.2.4 I ² C バスインタフェースのノイズ除去	89
4.2.5 24 ビット Δ - Σ A/D コンバータ	89

4.2.6	コンペア機能制約	90
4.2.7	ユーザブートモード	90
4.2.8	フラッシュメモリのコマンド使用方法	90
5.	参考ドキュメント	91
	改訂記録	93

1. RX23E-A グループと RX21A グループの搭載機能比較

RX23E-A グループと RX21A グループの搭載機能比較を以下に示します。機能の詳細については「2.仕様の概要比較」および「5.参考ドキュメント」を参照してください。

表 1.1 に RX21A/RX23E-A 搭載機能比較を示します。

表 1.1 RX21A/RX23E-A 搭載機能比較

機能名	RX21A	RX23E-A
CPU	●	
動作モード	▲/■	
アドレス空間	▲	
リセット	■	
オプション設定メモリ (OFSM)	▲/■	
電圧検出回路 (LVDAa):RX21A、(LVDAb):RX23E-A	●/■	
クロック発生回路	●/■	
クロック周波数精度測定回路 (CAC)	●/■	
消費電力低減機能	●/■	
レジスタライトプロテクション機能	●/▲	
例外処理	●	
割り込みコントローラ (ICUb)	●/■	
バス	●	
メモリプロテクションユニット (MPU)	●/■	
DMA コントローラ (DMACA)	○	
データトランスファコントローラ (DTCa)	○	
イベントリンクコントローラ (ELC)	■	
I/O ポート	■	
マルチファンクションピンコントローラ (MPC)	▲	
マルチファンクションタイマパルスユニット 2 (MTU2a)	○	
ポートアウトプットイネーブル 2 (POE2a)	○	
8 ビットタイマ (TMR)	○	
コンペアマッチタイマ (CMT)	■	
リアルタイムクロック (RTCc)	○	×
ローパワータイマ (LPT)	×	○
ウォッチドッグタイマ (WDTA)	○	×
独立ウォッチドッグタイマ (IWDTa)	▲	
シリアルコミュニケーションインタフェース (SCIc):RX21A シリアルコミュニケーションインタフェース(SCIlg, SCIh):RX23E-A	●	
IrDA インタフェース	○	×
I²C バスインタフェース (RIIC):RX21A、(RIICa):RX23E-A	■	
CAN モジュール (RSCAN)	×	○
シリアルペリフェラルインタフェース (RSPI):RX21A、(RSPIb):RX23E-A	●/■	
CRC 演算器 (CRC)	○	
アナログフロントエンド (AFE)	×	○
24 ビット Δ-Σ A/D コンバータ (DSAD):RX21A、(DSADA):RX23E-A	●/■	

機能名	RX21A	RX23E-A
10 ビット A/D コンバータ (AD):RX21A 12 ビット A/D コンバータ (S12ADE):RX23E-A	●/■	
D/A コンバータ (DA)	○	×
温度センサ (TEMPSa)	○	▲(注 1)
コンパレータ A (CMPA)	○	×
コンパレータ B (CMPB)	○	×
データ演算回路 (DOC)	●	
RAM	●/■	
フラッシュメモリ (FLASH)	●/■	
パッケージ	●/■	

○:機能搭載、×:機能未搭載、●:機能追加による差分あり、▲:機能変更による差分あり

■:機能削除による差分あり

注 1. RX23E-A グループではアナログフロントエンド章に、RX21A グループの温度センサ章相当の機能が記載されています。

2. 仕様の概要比較

以下に概要の比較、レジスタの比較を示します。

概要の比較では、いずれかのグループにしか存在しない、または両方のグループに存在するが相違点がある項目は**赤字**にしています。

レジスタの比較では、両方のグループに存在するが相違点がある項目は**赤字**に、いずれかのグループにしか存在しない項目は**黒字**でレジスタ名のみ記載しています。レジスタ仕様に相違点がない項目は記載していません。

2.1 CPU

表 2.1 に CPU の概要比較を、表 2.2 に CPU のレジスタ比較を示します。

表 2.1 CPU の概要比較

項目	RX21A	RX23E-A
中央演算処理装置	- 最大動作周波数：50MHz 32 ビット RX CPU - 最小命令実行時間：1 命令 1 クロック - アドレス空間：4G バイト・リニアアドレス - レジスタ —汎用レジスタ：32 ビット×16 本 —制御レジスタ：32 ビット×8 本 —アキュムレータ：64 ビット×1 本 - 基本命令：73 種類 - DSP 機能命令：9 種類 - アドレッシングモード：10 種類 - データ配置 —命令：リトルエンディアン —データ：リトルエンディアン/ビッグエンディアンを選択可能 32 ビット乗算器： 32 ビット×32 ビット→64 ビット - 除算器：32 ビット÷32 ビット→32 ビット - バレルシフタ：32 ビット - メモリプロテクションユニット (MPU)	- 最大動作周波数：32MHz 32 ビット RX CPU (RX v2) - 最小命令実行時間：1 命令 1 クロック - アドレス空間：4G バイト・リニアアドレス - レジスタ —汎用レジスタ：32 ビット×16 本 —制御レジスタ：32 ビット×10 本 —アキュムレータ：72 ビット×2 本 - 基本命令：75 種類 可変長命令形式 浮動小数点演算命令：11 種類 - DSP 機能命令：23 種類 - アドレッシングモード：10 種類 - データ配置 —命令：リトルエンディアン —データ：リトルエンディアン/ビッグエンディアンを選択可能 32 ビット乗算器： 32 ビット× 32 ビット→ 64 ビット - 除算器：32 ビット÷ 32 ビット→ 32 ビット - バレルシフタ：32 ビット - メモリプロテクションユニット(MPU)
FPU	-	単精度浮動小数点(32 ビット) IEEE754 に準拠したデータタイプ、および例外

表 2.2 CPU のレジスタ比較

レジスタ	ビット	RX21A	RX23E-A
FPSW	-	-	浮動小数点ステータスワード
EXTB	-	-	例外テーブルレジスタ
ACC(RX21A) ACC0, ACC1 (RX23E-A)	-	アキュムレータ	アキュムレータ 0、 アキュムレータ 1

2.2 動作モード

表 2.3 に動作モードの概要比較を、表 2.4 に動作モードのレジスタ比較を示します。

表 2.3 動作モードの概要比較

項目	RX21A	RX23E-A
モード設定端子による 動作モード	シングルチップモード	シングルチップモード
	ブートモード	ブートモード(SCI インタフェース)
	ユーザブートモード	-
エンディアンの選択	MDEB レジスタ(ユーザブートモード) MDES レジスタ(シングルチップモード)	MDE レジスタ

表 2.4 動作モードのレジスタ比較

レジスタ	ビット	RX21A	RX23E-A
MDSR	-	モードステータスレジスタ	-

2.3 アドレス空間

図 2.1 にシングルチップモードのメモリマップ比較を示します。

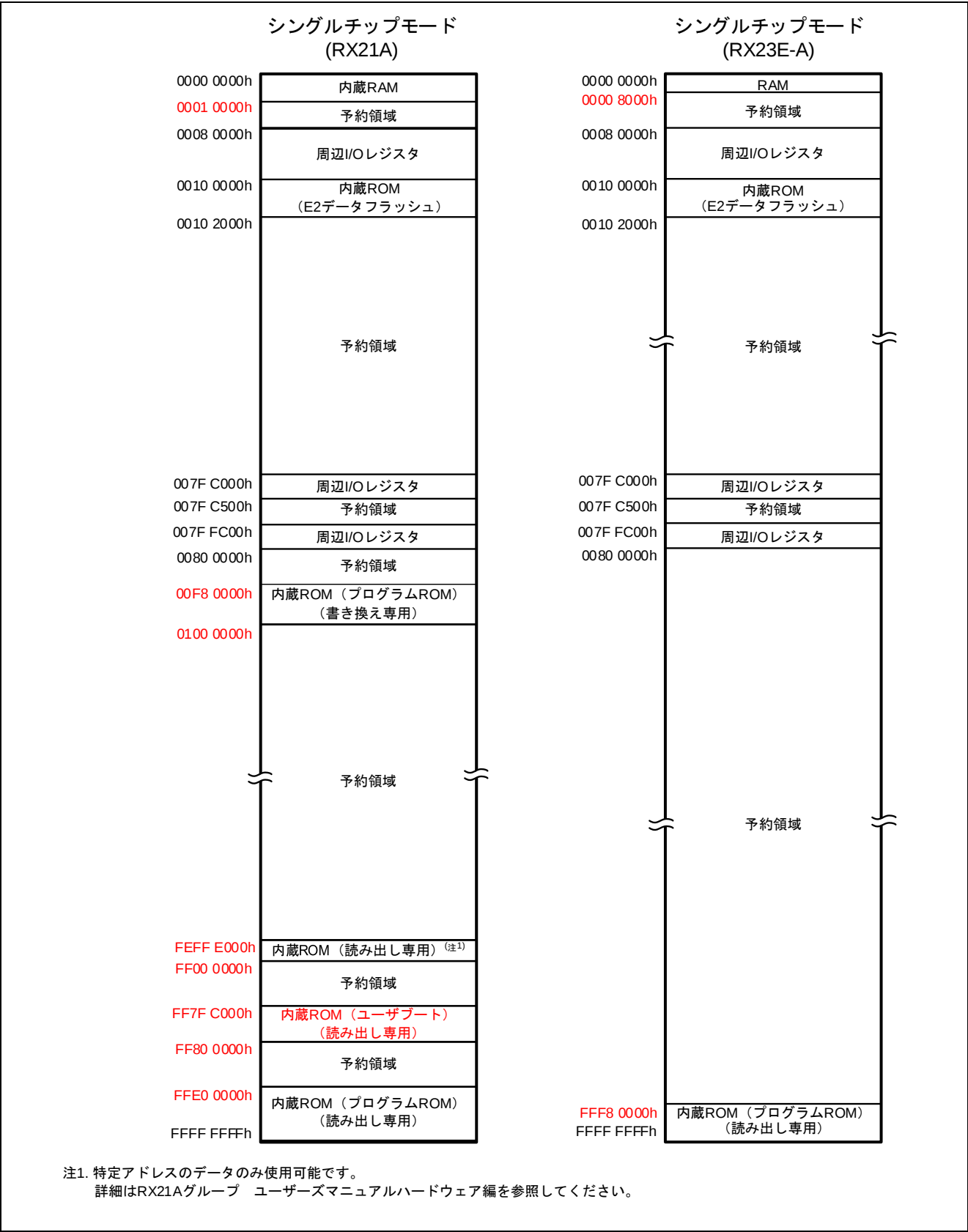


図 2.1 シングルチップモードのメモリマップ比較

2.4 リセット

表 2.5 にリセットの概要比較を、表 2.6 にリセットのレジスタ比較を示します。

表 2.5 リセットの概要比較

項目	RX21A	RX23E-A
RES#端子リセット	RES#端子の入力電圧が Low	RES#端子の入力電圧が Low
パワーオンリセット	VCC の上昇(監視電圧 : VPOR)	VCC の上昇(監視電圧 : VPOR)
電圧監視 0 リセット	VCC の下降(監視電圧 : Vdet0)	VCC の下降(監視電圧 : Vdet0)
電圧監視 1 リセット	VCC の下降(監視電圧 : Vdet1)	VCC の下降(監視電圧 : Vdet1)
電圧監視 2 リセット	VCC の下降(監視電圧 : Vdet2)	VCC の下降(監視電圧 : Vdet2)
ディープソフトウェア スタンバイリセット	割り込みによるディープソフトウェア スタンバイモードの解除	-
独立ウォッチドッグタイマ リセット	独立ウォッチドッグタイマのアンダ フロー、またはリフレッシュエラー	独立ウォッチドッグタイマのアンダ フロー、またはリフレッシュエラー
ウォッチドッグタイマ リセット	ウォッチドッグタイマのアンダフ ロー、またはリフレッシュエラー	-
ソフトウェアリセット	レジスタ設定	レジスタ設定

表 2.6 リセットのレジスタ比較

レジスタ	ビット	RX21A	RX23E-A
RSTSR0	DPSRSTF	ディープソフトウェア スタンバイリセット検出フラグ	-
RSTSR2	WDTRF	ウォッチドッグタイマ リセット検出フラグ	-

2.5 オプション設定メモリ

図 2.2 にオプション設定メモリ領域比較を、表 2.7 にオプション設定メモリのレジスタ比較を示します。

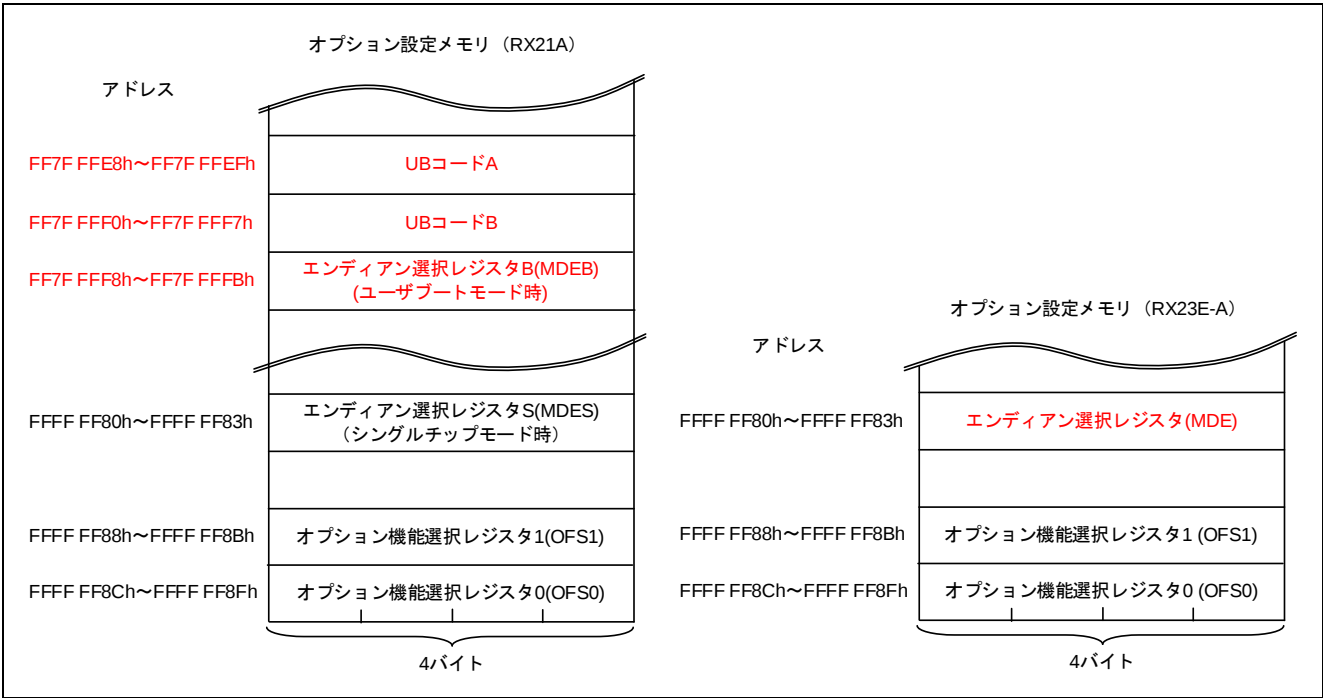


図 2.2 オプション設定メモリ領域比較

表 2.7 オプション設定メモリのレジスタ比較

レジスタ	ビット名	RX21A	RX23E-A(OFSM)
OFS0	IWDTTOPS[1:0]	IWDT タイムアウト期間選択ビット b3 b2 0 0 : 1024 サイクル (03FFh) 0 1 : 4096 サイクル (0FFFh) 1 0 : 8192 サイクル (1FFFh) 1 1 : 16384 サイクル (3FFFh)	IWDT タイムアウト期間選択ビット b3 b2 0 0 : 128 サイクル(007Fh) 0 1 : 512 サイクル(01FFh) 1 0 : 1024 サイクル(03FFh) 1 1 : 2048 サイクル(07FFh)
	IWDTSLCSTP	IWDT スリープモード カウント停止制御ビット 0 : カウント停止無効 1 : スリープモード、ソフトウェアスタンバイモード、 ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止有効	IWDT スリープモード カウント停止制御ビット 0 : カウント停止無効 1 : スリープモード、ソフトウェアスタンバイモード、および ディープスリープモード移行時のカウント停止有効
	WDTSTRT	WDT スタートモード選択ビット	-
	WDTTOPS[1:0]	WDT タイムアウト期間選択ビット	-
	WDTCKS[3:0]	WDT クロック分周比選択ビット	-
	WDRPES[1:0]	WDT ウィンドウ終了位置選択ビット	-
	WDRPSS[1:0]	WDT ウィンドウ開始位置選択ビット	-
OFS1	WDTRSTIRQS	WDT リセット割り込み要求選択ビット	-
	VDSEL[1:0]	電圧検出 0 レベル選択ビット b1 b0 0 0 : 設定しないでください 0 1 : 2.80V を選択 1 0 : 1.90V を選択 1 1 : 設定しないでください	電圧検出 0 レベル選択ビット b1 b0 0 0 : 3.84V を選択 0 1 : 2.82V を選択 1 0 : 2.51V を選択 1 1 : 1.90V を選択
	FASTSTUP	-	電源立ち上げ時起動時間短縮ビット
MDEB, MDES (RX21A) MDE (RX23E-A)	-	エンディアン選択レジスタ B、 エンディアン選択レジスタ S	エンディアン選択レジスタ

2.6 電圧検出回路

表 2.8 に電圧検出回路の概要比較を、表 2.9 に電圧検出回路のレジスタ比較を示します。

また、表 2.10 に Vdet1 のモニタの設定手順比較を、表 2.11 に Vdet2 のモニタの設定手順比較を、表 2.12 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順比較を、表 2.13 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順比較を示します。

表 2.8 電圧検出回路の概要比較

項目		RX21A(LVDAa)			RX23E-A(LVDAb)		
		電圧監視 0	電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
VCC 監視	監視する電圧	Vdet0	Vdet1	Vdet2	Vdet0	Vdet1	Vdet2
	検出対象	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合 LVCMPCR.E XVCCINP2 ビットで VCC と CMPA2 端子への入力電圧の切り替え可能	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合
	検出電圧	OFS1 レジスタで 2 レベルから選択可能	LVDLVLR.LV D1LVL[3:0] ビットで 9 レベルから選択可能	VCC または CMPA2 端子入力電圧選択時で異なる。 LVDLVLR.LV D2LVL[3:0] ビットで 9 レベルから選択可能	OFS1 レジスタで 4 レベルから選択可能	LVDLVLR.LV D1LVL[3:0] ビットで 14 レベルから選択可能	LVDLVLR.LV D2LVL[1:0] ビットで 4 レベルから選択可能
	モニタフラグ	なし	LVD1SR.LVD 1MON フラグ： Vdet1 より高いか低いかをモニタ	LVD2SR.LVD 2MON フラグ： Vdet2 より高いか低いかをモニタ	なし	LVD1SR.LVD 1MON フラグ： Vdet1 より高いか低いかをモニタ	LVD2SR.LVD 2MON フラグ： Vdet2 より高いか低いかをモニタ
			LVD1SR.LVD 1DET フラグ： Vdet1 通過検出	LVD2SR.LVD 2DET フラグ： Vdet2 通過検出		LVD1SR.LVD 1DET フラグ： Vdet1 通過検出	LVD2SR.LVD 2DET フラグ： Vdet2 通過検出
	電圧検出時の処理	リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット

項目		RX21A(LVDAa)			RX23E-A(LVDAb)		
		電圧監視 0	電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
電圧検出時の処理	リセット	Vdet0 > VCC でリセット： VCC > Vdet0 の一定時間後 に CPU 動作 再開	Vdet1 > VCC でリセット： VCC > Vdet1 の一定時間後 に CPU 動作 再開、または Vdet1 > VCC の一定時間後 に CPU 動作 再開を選択可 能	Vdet2 > VCC でリセット： VCC > Vdet2 の一定時間後 に CPU 動作 再開、または Vdet2 > VCC の一定時間後 に CPU 動作 再開を選択可 能	Vdet0 > VCC でリセット： VCC > Vdet0 の一定時間後 に CPU 動作 再開	Vdet1 > VCC でリセット： VCC > Vdet1 の一定時間後 に CPU 動作 再開、または Vdet1 > VCC の一定時間後 に CPU 動作 再開を選択可 能	Vdet2 > VCC でリセット： VCC > Vdet2 の一定時間後 に CPU 動作 再開、または Vdet2 > VCC の一定時間後 に CPU 動作 再開を選択可 能
	割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み
			ノンマスカブル またはマスカブル を選択可能	ノンマスカブル またはマスカブル を選択可能		ノンマスカブル またはマスカブル を選択可能	ノンマスカブル またはマスカブル を選択可能
			Vdet1 > VCC、VCC > Vdet1 の両方、またはどちらかで割り込み要求	Vdet2 > VCC、VCC > Vdet2 の両方、またはどちらかで割り込み要求		Vdet1 > VCC、VCC > Vdet1 の両方、またはどちらかで割り込み要求	Vdet2 > VCC、VCC > Vdet2 の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	あり	あり	デジタルフィルタ機能なし		
	サンプリング時間	-	LOCO の n 分周 × 2 (n : 1, 2, 4, 8)	LOCO の n 分周 × 2 (n : 1, 2, 4, 8)	-		
イベントリンク機能		なし	あり Vdet1 通過検出イベント出力	あり Vdet2 通過検出イベント出力	なし	あり Vdet1 通過検出イベント出力	あり Vdet2 通過検出イベント出力

表 2.9 電圧検出回路のレジスタ比較

レジスタ	ビット	RX21A(LVDAa)	RX23E-A(LVDAb)
LVCMPCR	EXVREFINP1	コンパレータ A1 リファレンス電圧 外部入力選択ビット	-
	EXVCCINP1	コンパレータ A1 比較電圧外部入力 選択ビット	-
	EXVREFINP2	コンパレータ A2 リファレンス電圧 外部入力選択ビット	-
	EXVCCINP2	コンパレータ A2 比較電圧外部入力 選択ビット	-
LVDLVLR	LVD1LVL[3:0]	電圧検出 1 レベル選択ビット (電圧下降時の標準電圧) b3 b0 0 1 1 1 : 3.10V 1 0 0 0 : 2.95V 1 0 0 1 : 2.80V 1 0 1 0 : 2.65V 1 0 1 1 : 2.50V 1 1 0 0 : 2.35V 1 1 0 1 : 2.20V 1 1 1 0 : 2.05V 1 1 1 1 : 1.90V 上記以外は設定しないでください	電圧検出 1 レベル選択ビット (電圧下降時の標準電圧) b3 b0 0 0 0 0 : 4.29V 0 0 0 1 : 4.14V 0 0 1 0 : 4.02V 0 0 1 1 : 3.84V 0 1 0 0 : 3.10V 0 1 0 1 : 3.00V 0 1 1 0 : 2.90V 0 1 1 1 : 2.79V 1 0 0 0 : 2.68V 1 0 0 1 : 2.58V 1 0 1 0 : 2.48V 1 0 1 1 : 2.20V 1 1 0 0 : 1.96V 1 1 0 1 : 1.86V 上記以外は設定しないでください
	LVD2LVL[3:0] (RX21A) LVD2LVL[1:0] (RX23E-A)	電圧検出 2 レベル選択ビット (電圧下降時の標準電圧) (b7-b4) (LVCMPCR.EXVCCINP2= “0” (VCC 選択)のとき) b7 b4 0 1 1 1 : 3.10V 1 0 0 0 : 2.95V 1 0 0 1 : 2.80V 1 0 1 0 : 2.65V 1 0 1 1 : 2.50V 1 1 0 0 : 2.35V 1 1 0 1 : 2.20V 1 1 1 0 : 2.05V 1 1 1 1 : 1.90V (LVCMPCR.EXVCCINP2= “1” (CMPA2 端子選択)のとき) b7 b4 0 0 0 1 : 1.33V 上記以外は設定しないでください	電圧検出 2 レベル選択ビット (電圧下降時の標準電圧) (b5-b4) b5 b4 0 0 : 4.29V 0 1 : 4.14V 1 0 : 4.02V 1 1 : 3.84V

レジスタ	ビット	RX21A(LVDAa)	RX23E-A(LVDAb)
LVD1CR0	LVD1DFDIS	電圧監視 1/コンパレータ A1 デジタルフィルタ無効モード選択ビット	-
	LVD1FSAMP[1:0]	サンプリングクロック選択ビット	-
LVD2CR0	LVD2DFDIS	電圧監視 2/コンパレータ A2 デジタルフィルタ無効モード選択ビット	-
	LVD2FSAMP[1:0]	サンプリングクロック選択ビット	-

表 2.10 Vdet1 のモニタの設定手順比較

項目		RX21A(LVDAa)	RX23E-A(LVDAb)
Vdet1 のモニタの設定手順	1	LVDLVLRLVD1LVL[3:0]ビット (電圧検出 1 検出電圧) を設定する	LVDLVLRLVD1LVL[3:0]ビット(電圧検出 1 検出電圧)を設定する
	2	LVCMPPCR.EXVREFINP1 ビットを“0” (内部基準電圧) にする。 LVCMPPCR.EXVCCINP1 ビットを“0” (VCC 電圧) にする	-
	3	- デジタルフィルタを使用する場合 LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する - デジタルフィルタを使用しない場合 LVD1CR0.LVD1DFDIS ビットを“1” (デジタルフィルタ無効) にする	-
	4	LVCMPPCR.LVD1E ビットを“1” (電圧検出 1 回路有効) にする	LVCMPPCR.LVD1E ビットを“1” (電圧検出 1 回路有効)にする
	5	td(E-A)以上待つ	td(E-A)以上待つ
	6	LVD1CR0.LVD1CMPE ビットを“1” (電圧監視 1 回路比較結果出力許可) にする	LVD1CR0.LVD1CMPE ビットを“1” (電圧監視 1 回路比較結果出力許可)にする
	7	- デジタルフィルタを使用する場合 LOCO の 1 サイクル以上待つ - デジタルフィルタを使用しない場合 - (手順なし)	-
	8	- デジタルフィルタを使用する場合 LVD1CR0.LVD1DFDIS ビットを“0” (デジタルフィルタ有効) にする - デジタルフィルタを使用しない場合 - (手順なし)	-
	9	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ (n=1、2、4、8 : デジタルフィルタのサンプリングクロック=LOCO の n 分周) - デジタルフィルタを使用しない場合 - (待ち時間なし)	-

表 2.11 Vdet2 のモニタの設定手順比較

項目		RX21A(LVDAa)	RX23E-A(LVDAb)
Vdet2 のモニタの設定手順	1	LVDLVL.R.LVD2LVL[3:0]ビット (電圧検出 2 検出電圧) を設定する	LVDLVL.R.LVD2LVL[1:0]ビット (電圧検出 2 検出電圧) を設定する
	2	LVCMP.R.EXVREFINP2 ビットを“0” (内部基準電圧) にする。 LVCMP.R.EXVCCINP2 ビットを“0” (VCC 電圧) または“1” (CMPA2 端子入力電圧) にする	-
	3	- デジタルフィルタを使用する場合 LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する - デジタルフィルタを使用しない場合 LVD2CR0.LVD2DFDIS ビットを“1” (デジタルフィルタ無効) にする	-
	4	LVCMP.R.LVD2E ビットを“1” (電圧検出 2 回路有効) にする	LVCMP.R.LVD2E ビットを“1” (電圧検出 2 回路有効) にする
	5	td(E-A)以上待つ	td(E-A)以上待つ
	6	LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可) にする	LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可) にする
	7	- デジタルフィルタを使用する場合 LOCO の 1 サイクル以上待つ - デジタルフィルタを使用しない場合 - (手順なし)	-
	8	- デジタルフィルタを使用する場合 LVD2CR0.LVD2DFDIS ビットを“0” (デジタルフィルタ有効) にする - デジタルフィルタを使用しない場合 - (手順なし)	-
	9	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ (n=1、2、4、8 : デジタルフィルタのサンプリングクロック=LOCO の n 分周) - デジタルフィルタを使用しない場合 - (待ち時間なし)	-

表 2.12 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順比較

項目		RX21A(LVDAa)	RX23E-A(LVDAb)
電圧監視 1 割り込み、 電圧監視 1ELC イ ベント出力	1	LVDLVL.R.LVD1LVL[3:0]ビットで検出 電圧を選択する	LVDLVL.R.LVD1LVL[3:0]ビットで検出 電圧を選択する
	2	LVCMP.R.EXVREFINP1 ビットを “0” (内部基準電圧) にする。 LVCMP.R.EXVCCINP1 ビットを “0” (VCC 電圧) にする	-
	3	- デジタルフィルタを使用する場合 LVD1CR0.LVD1FSAMP[1:0]ビット でデジタルフィルタのサンプリング クロックを選択する - デジタルフィルタを使用しない場合 LVD1CR0.LVD1DFDIS ビットを “1” (デジタルフィルタ無効) に する	-
	4	LVD1CR0.LVD1RI ビットを “0” (電 圧監視 1 割り込み) にする	LVD1CR0.LVD1RI ビットを “0” (電 圧監視 1 割り込み) にする
	5	LVD1CR1.LVD1IDTSEL[1:0]ビットで 割り込み要求のタイミングを選択す る。 LVD1CR1.LVD1IRQSEL ビットで割り 込みの種類を選択する	LVD1CR1.LVD1IDTSEL[1:0]ビットで 割り込み要求のタイミングを選択す る。 LVD1CR1.LVD1IRQSEL ビットで割り 込みの種類を選択する。
	6	LVCMP.R.LVD1E ビットを “1” (電 圧検出 1 回路有効) にする	LVCMP.R.LVD1E ビットを “1” (電 圧検出 1 回路有効) にする
	7	td(E-A)以上待つ	td(E-A)以上待つ
	8	LVD1CR0.LVD1CMPE ビットを “1” (電圧監視 1 回路比較結果出力許可) にする	LVD1CR0.LVD1CMPE ビットを “1” (電圧監視 1 回路比較結果出力許可)に する
	9	-	2 μ s 以上待つ
	10	- デジタルフィルタを使用する場合 LOCO の 1 サイクル以上待つ - デジタルフィルタを使用しない場合 - (手順なし)	-
	11	- デジタルフィルタを使用する場合 LVD1CR0.LVD1DFDIS ビットを “0” (デジタルフィルタ有効) に する - デジタルフィルタを使用しない場合 - (手順なし)	-
	12	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ (n=1,2,4,8 : デジタルフィルタの サンプリングクロック=LOCO の n 分周) - デジタルフィルタを使用しない場合 - (待ち時間なし)	-
	13	LVD1SR.LVD1DET ビットを “0” に する	LVD1SR.LVD1DET ビットを “0” にす る
	14	LVD1CR0.LVD1RIE ビットを “1” (電圧監視 1 割り込み/リセット許可) にする	LVD1CR0.LVD1RIE ビットを “1” (電 圧監視 1 割り込み/リセット許可)にする

項目		RX21A(LVDAa)	RX23E-A(LVDAb)
電圧監視 1 リセット	1	LVD1LVR.LVD1LVL[3:0]ビットで検出電圧を選択する	LVD1LVR.LVD1LVL[3:0]ビットで検出電圧を選択する
	2	LVCMPCR.EXVREFINP1 ビットを“0”（内部基準電圧）にする。 LVCMPCR.EXVCCINP1 ビットを“0”（VCC 電圧）にする	-
	3	- デジタルフィルタを使用する場合 LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する - デジタルフィルタを使用しない場合 LVD1CR0.LVD1DFDIS ビットを“1”（デジタルフィルタ無効）にする	-
	4	LVD1CR0.LVD1RI ビットを“1”（電圧監視 1 リセット）にする。 LVD1CR0.LVD1RN ビットでリセットネゲートの種類を選択する	LVD1CR0.LVD1RI ビットを“1”（電圧監視 1 リセット）にする。 LVD1CR0.LVD1RN ビットでリセットネゲートの種類を選択する
	5	LVD1CR0.LVD1RIE ビットを“1”（電圧監視 1 割り込み/リセット許可）にする	LVD1CR0.LVD1RIE ビットを“1”（電圧監視 1 割り込み/リセット許可）にする。
	6	LVCMPCR.LVD1E ビットを“1”（電圧検出 1 回路有効）にする	LVCMPCR.LVD1E ビットを“1”（電圧検出 1 回路有効）にする
	7	td(E-A)以上待つ	td(E-A)以上待つ
	8	LVD1CR0.LVD1CMPE ビットを“1”（電圧監視 1 回路比較結果出力許可）にする	LVD1CR0.LVD1CMPE ビットを“1”（電圧監視 1 回路比較結果出力許可）にする
	9	-	2μs 以上待つ
	10	- デジタルフィルタを使用する場合 LOCO の 1 サイクル以上待つ - デジタルフィルタを使用しない場合 - (手順なし)	-
	11	- デジタルフィルタを使用する場合 LVD1CR0.LVD1DFDIS ビットを“0”（デジタルフィルタ有効）にする - デジタルフィルタを使用しない場合 - (手順なし)	-
	12	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ (n=1,2,4,8: デジタルフィルタのサンプリングクロック=LOCO の n 分周) - デジタルフィルタを使用しない場合 - (待ち時間なし)	-

表 2.13 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順比較

項目		RX21A(LVDAa)	RX23E-A(LVDAb)
電圧監視 2 割り込み、 電圧監視 2ELC イ ベント出力	1	LVDLVLRL.VLD2LVL[3:0]ビットで検出 電圧を選択する。	LVDLVLRL.VLD2LVL[1:0]ビットで検出 電圧を選択する
	2	LVCMPPCR.EXVREFINP2 ビットを “0” (内部基準電圧) にする。 LVCMPPCR.EXVCCINP2 ビットを “0” (VCC 電圧) または “1” (CMPA2 端子入力電圧) にする	-
	3	- デジタルフィルタを使用する場合 LVD2CR0.LVD2FSAMP[1:0]ビット でデジタルフィルタのサンプリング クロックを選択する - デジタルフィルタを使用しない場合 LVD2CR0.LVD2DFDIS ビットを “1” (デジタルフィルタ無効) に する	-
	4	LVD2CR0.LVD2RI ビットを “0” (電 圧監視 2 割り込み) にする	LVD2CR0.LVD2RI ビットを “0” (電 圧監視 2 割り込み) にする
	5	LVD1CR1.LVD1IDTSEL[1:0]ビットで 割り込み要求のタイミングを選択す る。 LVD1CR1.LVD1IRQSEL ビットで割り 込みの種類を選択する	LVD2CR1.LVD2IDTSEL[1:0]ビットで 割り込み要求のタイミングを選択す る。 LVD2CR1.LVD2IRQSEL ビットで割り 込みの種類を選択する
	6	LVCMPPCR.LVD2E ビットを “1” (電 圧検出 2 回路有効) にする	LVCMPPCR.LVD2E ビットを “1” (電 圧検出 2 回路有効) にする
	7	td(E-A)以上待つ	td(E-A)以上待つ
	8	LVD2CR0.LVD2CMPE ビットを “1” (電圧監視 2 回路比較結果出力許可) にする。	LVD2CR0.LVD2CMPE ビットを “1” (電圧監視 2 回路比較結果出力許可)に する
	9	-	2 μ s 以上待つ
	10	- デジタルフィルタを使用する場合 LOCO の 1 サイクル以上待つ - デジタルフィルタを使用しない場合 - (手順なし)	-
	11	- デジタルフィルタを使用する場合 LVD2CR0.LVD2DFDIS ビットを “0” (デジタルフィルタ有効) に する - デジタルフィルタを使用しない場合 - (手順なし)	-
	12	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ (n=1,2,4,8: デジタルフィルタの サンプリングクロック=LOCO の n 分周) - デジタルフィルタを使用しない場合 - (待ち時間なし)	-
	13	LVD2SR.LVD2DET ビットを “0” に する	LVD2SR.LVD2DET ビットを “0” にす る
	14	LVD2CR0.LVD2RIE ビットを “1” (電圧監視 2 割り込み/リセット許可) にする	LVD2CR0.LVD2RIE ビットを “1” (電 圧監視 2 割り込み/リセット許可)にする

項目		RX21A(LVDAa)	RX23E-A(LVDAb)
電圧監視 2 リセット	1	LVDLVLRLVD2LVL[3:0]ビットで検出電圧を選択する。	LVDLVLRLVD2LVL[1:0]ビットで検出電圧を選択する
	2	LVCMPPCR.EXVREFINP2 ビットを“0”（内部基準電圧）にする。 LVCMPPCR.EXVCCINP2 ビットを“0”（VCC 電圧）または“1”（CMPA2 端子入力電圧）にする	-
	3	- デジタルフィルタを使用する場合 LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する - デジタルフィルタを使用しない場合 LVD2CR0.LVD2DFDIS ビットを“1”（デジタルフィルタ無効）にする	-
	4	LVD2CR0.LVD2RI ビットを“1”（電圧監視 2 リセット）にする。 LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する	LVD2CR0.LVD2RI ビットを“1”（電圧監視 2 リセット）にする。 LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する。
	5	LVD2CR0.LVD2RIE ビットを“1”（電圧監視 2 割り込み/リセット許可）にする	LVD2CR0.LVD2RIE ビットを“1”（電圧監視 2 割り込み/リセット許可）にする
	6	LVCMPPCR.LVD2E ビットを“1”（電圧検出 2 回路有効）にする	LVCMPPCR.LVD2E ビットを“1”（電圧検出 2 回路有効）にする
	7	td(E-A)以上待つ	td(E-A)以上待つ
	8	LVD2CR0.LVD2CMPE ビットを“1”（電圧監視 2 回路比較結果出力許可）にする。	LVD2CR0.LVD2CMPE ビットを“1”（電圧監視 2 回路比較結果出力許可）にする
	9	-	2μs 以上待つ
	10	- デジタルフィルタを使用する場合 LOCO の 1 サイクル以上待つ - デジタルフィルタを使用しない場合 - (手順なし)	-
	11	- デジタルフィルタを使用する場合 LVD2CR0.LVD2DFDIS ビットを“0”（デジタルフィルタ有効）にする - デジタルフィルタを使用しない場合 - (手順なし)	-
	12	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ (n=1,2,4,8: デジタルフィルタのサンプリングクロック=LOCO の n 分周) - デジタルフィルタを使用しない場合 - (待ち時間なし)	-

2.7 クロック発生回路

表 2.14 にクロック発生回路の概要比較を、表 2.15 にクロック発生回路のレジスタ比較を示します。

表 2.14 クロック発生回路の概要比較

項目	RX21A	RX23E-A
用途	• CPU、DMAC、DTC、ROM および RAM に供給されるシステムクロック(ICLK)の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD) の生成 周辺モジュールクロック(PCLKA)は DEU 用、周辺モジュールクロック(PCLKD)は AD 用、周辺モジュールクロック(PCLKC)は DSAD 用、周辺モジュールクロック(PCLKB)は、DEU、DSAD、AD 以外の周辺モジュール用の動作クロックです。 • FlashIF に供給される FlashIF クロック (FCLK) の生成 • CAC に供給される CAC クロック (CACCLK) の生成 • RTC に供給される RTC 専用サブクロック (RTCSCLK) の生成 • IWDTC に供給される IWDTC 専用クロック (IWDTCCLK) の生成	• CPU、DMAC、DTC、ROM および RAM に供給されるシステムクロック(ICLK)の生成 • 周辺モジュールに供給される周辺モジュールクロック(PCLKA、PCLKB、PCLKD)の生成 周辺モジュールクロック(PCLKA)は MTU2 用、周辺モジュールクロック(PCLKD)は S12AD 用、周辺モジュールクロック(PCLKB)は MTU2、S12AD 以外の周辺モジュール用の動作クロックです。 • FlashIF に供給される FlashIF クロック (FCLK)の生成 • CAC に供給される CAC クロック(CACCLK)の生成 • IWDTC に供給される IWDTC 専用クロック (IWDTCCLK)の生成 • CAN に供給される CAN クロック (CANMCLK)の生成 • LPT に供給される LPT クロック(LPTCLK)の生成
動作周波数	• ICLK : 50MHz (max) • PCLKA : 50MHz (max) • PCLKB : 25MHz (max) • PCLKC : 25MHz (max) • PCLKD : 25MHz (max) • FCLK : —4MHz~25MHz (ROM、E2 データフラッシュ P/E 時) —25MHz (max) (E2 データフラッシュ読み出し時) • CACCLK : 各発振器のクロックと同じ • RTCSCLK : 32.768kHz • IWDTCCLK : 125kHz	• ICLK : 32MHz (max) • PCLKA : 32MHz (max) • PCLKB : 32MHz (max) • PCLKD : 32MHz (max) • FCLK : —1MHz~32MHz (ROM、E2 データフラッシュ P/E 時) —32MHz (max) (E2 データフラッシュ読み出し時) • CACCLK : 各発振器のクロックと同じ • IWDTCCLK : 15kHz • CANMCLK : 20MHz (max) • LPTCLK : 選択した発振器のクロックと同じ

項目	RX21A	RX23E-A
メインクロック 発振器	- 発振子周波数 : 1MHz~20MHz - 外部クロック入力周波数 : 20MHz (max) - 接続できる発振子、または付加回路 : セラミック共振子、水晶振動子 - 接続端子 : EXTAL、XTAL - 発振停止検出機能 : メインクロックの発振停止検出時、LOCO に切り替える機能、MTU の端子をハイインピーダンスにする機能 - ドライブ能力を切り替える機能	- 発振子周波数 : 1MHz~20MHz (VCC$\geq$2.4V), 1MHz~8MHz (VCC < 2.4V) - 外部クロック入力周波数 : 20MHz (max) - 接続できる発振子、または付加回路 : セラミック共振子、水晶振動子 - 接続端子 : EXTAL, XTAL - 発振停止検出機能 : メインクロックの発振停止検出時、LOCO に切り替える機能、MTU の端子をハイインピーダンスにする機能 - ドライブ能力を切り替える機能
サブクロック 発振器	発振子周波数 : 32.768kHz 接続できる発振子、または付加回路 : 水晶振動子 接続端子 : XCIN、XCOUT	-
PLL 回路	- 入力クロック源 : メインクロック - 入力分周比 : 1、2、4 分周から選択可能 - 入力周波数 : 4MHz~12.5MHz - 逡倍比 : 8、10、12、16、20、24、25 逡倍から選択可能 - VCO 発振周波数 : 50MHz~100MHz	- 入力クロック源 : メインクロック - 入力分周比 : 1、2、4 分周から選択可能 - 入力周波数 : 4MHz~8MHz - 逡倍比 : 4~8 逡倍(0.5 刻み)から選択可能 - 発振周波数 : 24MHz~32MHz (VCC$\geq$2.4V)
高速オンチップ オシレータ (HOCO)	- 発振周波数 : 32MHz/36.864MHz/40MHz/50MHz HOCO 電源制御	発振周波数 : 32MHz
低速オンチップ オシレータ (LOCO)	発振周波数 : 125kHz	発振周波数 : 4MHz
IWDT 専用 オンチップ オシレータ	発振周波数 : 125kHz	発振周波数 : 15kHz

表 2.15 クロック発生回路のレジスタ比較

レジスタ	ビット	RX21A	RX23E-A
SCKCR	-	システムクロックコントロールレジスタ	システムクロックコントロールレジスタ
		リセット後の初期値が異なります	
	PCKC[3:0]	周辺モジュールクロック C (PCLKC) 選択ビット	-
	BCK[3:0]	外部バスクロック (BCLK) 選択ビット	-
SCKCR3	CKSEL[2:0]	クロックソース選択ビット b10 b8 0 0 0 : LOCO 選択 0 0 1 : HOCO 選択 0 1 0 : メインクロック発振器選択 0 1 1 : サブクロック発振器選択 1 0 0 : PLL 回路選択 上記以外は設定しないでください	クロックソース選択ビット b10 b8 0 0 0 : LOCO 選択 0 0 1 : HOCO 選択 0 1 0 : メインクロック発振器選択 1 0 0 : PLL 回路選択 上記以外は設定しないでください

レジスタ	ビット	RX21A	RX23E-A
PLLCR	STC[4:0] (RX21A) STC[5:0] (RX23E-A)	周波数通倍率設定ビット (b12-b8) b12 b8 0 0 1 1 1 : ×8 0 1 0 0 1 : ×10 0 1 0 1 1 : ×12 0 1 1 1 1 : ×16 1 0 0 1 1 : ×20 1 0 1 1 1 : ×24 1 1 0 0 0 : ×25 上記以外は設定しないでください	周波数通倍率設定ビット (b13-b8) b13 b8 0 0 0 1 1 1 : ×4 0 0 1 0 0 0 : ×4.5 0 0 1 0 0 1 : ×5 0 0 1 0 1 0 : ×5.5 0 0 1 0 1 1 : ×6 0 0 1 1 0 0 : ×6.5 0 0 1 1 0 1 : ×7 0 0 1 1 1 0 : ×7.5 0 0 1 1 1 1 : ×8 上記以外は設定しないでください
SOSCCR	-	サブクロック発振器 コントロールレジスタ	-
HOCOCR2	-	高速オンチップオシレータ コントロールレジスタ 2	-
OSCOVFSR	-	-	発振安定フラグレジスタ
MOSCWTCR	-	- (注 1)	メインクロック発振器 ウェイトコントロールレジスタ
CKOCR	-	-	CLKOUT 出力コントロールレジスタ
MOFCR	-	メインクロック発振器強制発振 コントロールレジスタ リセット後の初期値が異なります	メインクロック発振器強制発振 コントロールレジスタ
	MODRV[2:0]	メインクロック発振器ドライブ能力 切り替えビット	-
	MODRV2[1:0] (RX21A) MODRV21 (RX23E-A)	メインクロック発振器 ドライブ能力切り替え 2 ビット (b5-b4) b5 b4 0 1 : 1MHz~8MHz 1 0 : 8.1MHz~15.9MHz 1 1 : 16MHz~20MHz 上記以外は設定しないでください	メインクロック発振器 ドライブ能力切り替えビット (b5) VCC ≥ 2.4V 0 : 1MHz~10MHz 未満 1 : 10MHz~20MHz VCC < 2.4V 0 : 1MHz~8MHz 1 : 設定禁止
LOCOTRR	-	-	低速オンチップオシレータ トリミングレジスタ
ILOCOTRR	-	-	IWDT 専用オンチップオシレータ トリミングレジスタ
HOCOTRR0	-	-	高速オンチップオシレータ トリミングレジスタ 0
HOCOPCR	-	高速オンチップオシレータ 電源コントロールレジスタ	-
PLLPCR	-	PLL 電源コントロールレジスタ	-

注 1. RX21A グループでは消費電力低減機能章に、MOSCWTCR レジスタの説明が記載されています。

2.8 クロック周波数精度測定回路

表 2.16 にクロック周波数精度測定回路の概要比較を、表 2.17 にクロック周波数精度測定回路のレジスタ比較を示します。

表 2.16 クロック周波数精度測定回路の概要比較

項目	RX21A(CAC)	RX23E-A(CAC)
測定対象クロック	以下のクロックの周波数を測定可能 - メインクロック発振器出力クロック (メインクロック) - サブクロック発振器出力クロック (サブクロック) - 高速オンチップオシレータ出力クロック (HOCO クロック) - 低速オンチップオシレータ出力クロック (LOCO クロック) - IWDT 専用オンチップオシレータ出力クロック (IWDTCLK クロック)	以下のクロックの周波数を測定可能 - メインクロック - HOCO クロック - LOCO クロック - IWDT 専用クロック (IWDTCLK) - 周辺モジュールクロック B(PCLKB)
測定基準クロック	- 外部から CACREF 端子に入力したクロック - メインクロック発振器出力クロック (メインクロック) - サブクロック発振器出力クロック (サブクロック) - 高速オンチップオシレータ出力クロック (HOCO クロック) - 低速オンチップオシレータ出力クロック (LOCO クロック) - IWDT 専用オンチップオシレータ出力クロック (IWDTCLK クロック)	- 外部から CACREF 端子に入力したクロック - メインクロック - HOCO クロック - LOCO クロック - IWDT 専用クロック (IWDTCLK) - 周辺モジュールクロック B(PCLKB)
選択機能	デジタルフィルタ機能	デジタルフィルタ機能
割り込み要因	- 測定終了割り込み - 周波数エラー割り込み - オーバフロー割り込み	- 測定終了割り込み - 周波数エラー割り込み - オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能

表 2.17 クロック周波数精度測定回路のレジスタ比較

レジスタ	ビット	RX21A(CAC)	RX23E-A(CAC)
CACR1	FMCS[2:0]	周波数測定クロック選択ビット b3 b1 000: メインクロック発振器出力クロック 001: サブクロック発振器出力クロック 010: 高速オンチップオシレータ出力クロック 011: 低速オンチップオシレータ出力クロック 100: IWDТ 専用オンチップオシレータ出力クロック 上記以外は設定しないでください	測定対象クロック選択ビット b3 b1 000: メインクロック 010: HOCO クロック 011: LOCO クロック 100: IWDТ 専用クロック(IWDТCLK) 101: 周辺モジュールクロック B(PCLKB) 上記以外は設定しないでください
CACR2	RSCS[2:0]	基準信号生成クロック選択ビット b3 b1 000: メインクロック発振器出力クロック 001: サブクロック発振器出力クロック 010: 高速オンチップオシレータ出力クロック 011: 低速オンチップオシレータ出力クロック 100: IWDТ 専用オンチップオシレータ出力クロック 上記以外は設定しないでください	測定基準クロック選択ビット b3 b1 000: メインクロック 010: HOCO クロック 011: LOCO クロック 100: IWDТ 専用クロック(IWDТCLK) 101: 周辺モジュールクロック B(PCLKB) 上記以外は設定しないでください

2.9 消費電力低減機能

表 2.18 に消費電力低減機能の概要比較を、表 2.19 に各モードにおける遷移および解除方法と動作状態の比較を、表 2.20 に消費電力低減機能のレジスタ比較を示します。

表 2.18 消費電力低減機能の概要比較

項目	RX21A	RX23E-A
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、 DEU 用クロック (PCLKA)、周辺モジュールクロック (PCLKB)、 DSAD 用クロック (PCLKC)、AD 用クロック (PCLKD)、FlashIF クロック (FCLK) に対し、個別に分周比を設定することが可能	システムクロック (ICLK)、高速周辺モジュールクロック (PCLKA)、周辺モジュールクロック (PCLKB)、S12AD 用クロック (PCLKD)、FlashIF クロック (FCLK) に対し、個別に分周比を設定することが可能
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	- スリープモード 全モジュールクロックストップモード - ソフトウェアスタンバイモード ディープソフトウェアスタンバイモード	- スリープモード ディープスリープモード - ソフトウェアスタンバイモード
動作電力低減機能	- 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、および全モジュールクロックストップモード時の消費電力を低減することが可能 - 動作電力制御状態：7 種類 —高速動作モード —中速動作モード 1A —中速動作モード 1B —中速動作モード 2A —中速動作モード 2B —低速動作モード 1 —低速動作モード 2	- 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、およびディープスリープモード時の消費電力を低減することが可能 - 動作電力制御状態：2 種類 —高速動作モード —中速動作モード

表 2.19 各モードにおける遷移および解除方法と動作状態の比較

モード	遷移および解除方法と動作状態	RX21A	RX23E-A
スリープモード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	動作可能	動作可能
	サブクロック発振器	動作可能	-
	高速オンチップオシレータ	動作可能	動作可能
	低速オンチップオシレータ	動作可能	動作可能
	IWDT 専用オンチップオシレータ	動作可能	動作可能

モード	遷移および解除方法と動作状態	RX21A	RX23E-A
スリープモード	PLL	動作可能	動作可能
	CPU	停止(保持)	停止(保持)
	RAM(0000 0000h~0000 FFFFh)	動作可能(保持)	動作可能(保持)
	DMAC	動作可能	動作可能
	DTC	動作可能	動作可能
	フラッシュメモリ	動作	動作
	ウォッチドッグタイマ	停止(保持)	-
	独立ウォッチドッグタイマ(IWDT)	動作可能	動作可能
	リアルタイムクロック(RTC)	動作可能	-
	ローパワータイマ(LPT)	-	動作可能
	8ビットタイマ(ユニット 0, 1) (TMR)	動作可能	動作可能
	電圧検出回路(LVD)	動作可能	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	動作可能	動作可能
	I/O ポート	動作	動作
	CLKOUT 出力	-	動作可能
ソフトウェアスタンバイモード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	停止	停止
	サブクロック発振器	動作可能	-
	高速オンチップオシレータ	停止	停止
	低速オンチップオシレータ	停止	停止
	IWDT 専用オンチップオシレータ	動作可能	動作可能
	PLL	停止	停止
	CPU	停止(保持)	停止(保持)
	RAM(0000 0000h~0000 FFFFh)	停止(保持)	停止(保持)
	DMAC	停止(保持)	停止(保持)
	DTC	停止(保持)	停止(保持)
	フラッシュメモリ	停止(保持)	停止(保持)
	ウォッチドッグタイマ	停止(保持)	-
	独立ウォッチドッグタイマ(IWDT)	動作可能	動作可能
	リアルタイムクロック(RTC)	動作可能	-
	ローパワータイマ(LPT)	-	動作可能
	8ビットタイマ(ユニット 0, 1) (TMR)	停止(保持)	停止(保持)
	電圧検出回路(LVD)	動作可能	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	停止(保持)	停止(保持)
	I/O ポート	保持	保持
	CLKOUT 出力	-	停止

動作可能は制御レジスタの設定によって、動作/停止を制御可能であることを示します。

停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

停止(不定)は、内部レジスタ値不定、内部状態は電源オフを示します。

表 2.20 消費電力低減機能のレジスタ比較

レジスタ	ビット	RX21A	RX23E-A
SBYCR	SSBY	ソフトウェアスタンバイビット 0 : WAIT 命令実行後、スリープモード または 全モジュールクロックストップモード に移行 1 : WAIT 命令実行後、ソフトウェアスタンバイモードに移行	ソフトウェアスタンバイビット 0 : WAIT 命令実行後、スリープモード または ディープスリープモード に遷移 1 : WAIT 命令実行後、ソフトウェアスタンバイモードに遷移
MSTPCRA	-	モジュールストップコントロール レジスタ A リセット後の初期値が異なります	モジュールストップコントロール レジスタ A
	MSTPA14	コンペアマッチタイマ (ユニット 1) モジュールストップ設定ビット	-
	MSTPA16	-	AFE モジュールストップ設定ビット
	MSTPA17	-	12 ビット A/D コンバータ モジュールストップ設定ビット
	MSTPA19	D/A コンバータ モジュールストップ設定ビット	-
	MSTPA23	10 ビット A/D コンバータ モジュールストップ設定ビット	-
	MSTPA24	モジュールストップ A24 設定ビット	-
	MSTPA25	24 ビット $\Delta\Sigma$ /D コンバータ モジュールストップ設定ビット 対象モジュール : DSAD	DSAD0 モジュールストップ設定ビット 対象モジュール : DSAD0
	MSTPA26	-	DSAD1 モジュールストップ設定ビット
	MSTPA27	モジュールストップ A27 設定ビット	-
	MSTPA29	モジュールストップ A29 設定ビット	-
	ACSE	全モジュールクロックストップモード 許可ビット	-
MSTPCRB	MSTPB0	-	RSCAN0 モジュールストップ設定ビット
	MSTPB4	-	シリアルコミュニケーション インタフェース SC1h モジュールストップ設定ビット
	MSTPB8	温度センサ モジュールストップ設定ビット	-
	MSTPB10	コンパレータ B モジュールストップ設定ビット	-
	MSTPB16	シリアルペリフェラルインタフェース 1 モジュールストップ設定ビット	-
	MSTPB20	I ² C バスインタフェース 1 モジュールストップ設定ビット	-
MSTPCRC	MSTPC20	IrDA モジュールストップ設定ビット	-
	MSTPC26	シリアルコミュニケーション インタフェース 9 モジュールストップ設定ビット	-
	MSTPC27	シリアルコミュニケーション インタフェース 8 モジュールストップ設定ビット	-
	DSLPE	-	ディープスリープモード許可ビット
MSTPCRD	-	モジュールストップ コントロールレジスタ D	-

レジスタ	ビット	RX21A	RX23E-A
OPCCR	OPCM[2:0]	動作電力制御モード選択ビット b2 b0 000: 高速動作モード 010: 中速動作モード 1A 011: 中速動作モード 1B 100: 中速動作モード 2A 101: 中速動作モード 2B 110: 低速動作モード 1 111: 低速動作モード 2 上記以外は設定しないでください	動作電力制御モード選択ビット b2 b0 000: 高速動作モード 010: 中速動作モード 上記以外は設定しないでください
	OPCMTSF	動作電力制御モード遷移状態フラグ - リード時 0: 遷移完了 1: 遷移中 - ライト時 書き込みは“0”としてください	動作電力制御モード遷移状態フラグ 0: 遷移完了 1: 遷移中
RSTCKCR	-	スリープモード復帰クロックソース切り替えレジスタ	-
MOSCWTCR	-	メインクロック発振器 ウェイトコントロールレジスタ	- (注1)
SOSCWTCR	-	サブクロック発振器 ウェイトコントロールレジスタ	-
PLLWTCR	-	PLL ウェイトコントロールレジスタ	-
HOCOWTCR2	-	HOCO ウェイトコントロールレジスタ 2	-
DPSBYCR	-	ディープスタンバイコントロールレジスタ	-
DPSIER0	-	ディープスタンバイインタラプトイネーブルレジスタ 0	-
DPSIER2	-	ディープスタンバイインタラプトイネーブルレジスタ 2	-
DPSIFR0	-	ディープスタンバイインタラプトフラグレジスタ 0	-
DPSIFR2	-	ディープスタンバイインタラプトフラグレジスタ 2	-
DPSIEGR0	-	ディープスタンバイインタラプトエッジレジスタ 0	-
DPSIEGR2	-	ディープスタンバイインタラプトエッジレジスタ 2	-
FHSSBYCR	-	フラッシュ HOCO ソフトウェアスタンバイコントロールレジスタ	-
DPSBKRY	-	ディープスタンバイバックアップレジスタ (y=0~31)	-

注 1. RX23E-A グループではクロック発生回路章に、MOSCWTCR レジスタの説明が記載されています。

2.10 レジスタライトプロテクション機能

表 2.21 にレジスタライトプロテクション機能の概要比較を、表 2.22 にレジスタライトプロテクション機能のレジスタ比較を示します。

表 2.21 レジスタライトプロテクション機能の概要比較

項目	RX21A	RX23E-A
PRC0 ビット	クロック発生回路関連レジスタ SCKCR、SCKCR3、PLLCR、 PLLCR2、MOSCCR、SOSCCR、 LOCOCR、ILOCOCR、HOCOCCR、 OSTDCR、OSTDSR、HOCOCCR2	クロック発生回路関連レジスタ SCKCR、SCKCR3、PLLCR、PLLCR2、 MOSCCR、LOCOCR、ILOCOCR、 HOCOCCR、OSTDCR、OSTDSR、 CKOCR、LOCOTRR、ILOCOTRR、 HOCOTRR0
PRC1 ビット	- 動作モード関連レジスタ SYSCR1 - 消費電力低減機能関連レジスタ SBYCR、MSTPCRA、MSTPCRB、 MSTPCRC、MSTPCRD、OPCCR、 RSTCKCR、MOSCWTCR^(注1)、 SOSCWTCR、PLLWTCR、 DPSBYCR、DPSIER0、DPSIER2、 DPSIFR0、DPSIFR2、DPSIEGR0、 DPSIEGR2、FHSSBYCR、 HOCOWTCR2 - クロック発生回路関連レジスタ MOFCR、HOCOPCR、PLLPCR - ソフトウェアリセットレジスタ SWRR	- 動作モード関連レジスタ SYSCR1 - 消費電力低減機能関連レジスタ SBYCR、MSTPCRA、MSTPCRB、 MSTPCRC、OPCCR - クロック発生回路関連レジスタ MOFCR、MOSCWTCR^(注1) - ソフトウェアリセットレジスタ SWRR
PRC2 ビット	-	ローパワータイマ関連レジスタ LPTCR1、LPTCR2、LPTCR3、LPTPRD、 LPCMR0、LPWUCR
PRC3 ビット	LVD 関連レジスタ LVCMPCCR、LVDLVLR、LVD1CR0、 LVD1CR1、LVD1SR、LVD2CR0、 LVD2CR1、LVD2SR	LVD 関連レジスタ LVCMPCCR、LVDLVLR、LVD1CR0、 LVD1CR1、LVD1SR、LVD2CR0、 LVD2CR1、LVD2SR

注 1. RX21A グループでは消費電力低減機能章に、RX23E-A グループではクロック発生回路章に、MOSCWTCR レジスタの説明が記載されています。

表 2.22 レジスタライトプロテクション機能のレジスタ比較

レジスタ	ビット	RX21A	RX23E-A
PRCR	PRC2	-	ローパワータイマ関連レジスタへの書き込み許可

2.11 例外処理

表 2.23 に例外処理の概要比較を、表 2.24 にベクタ比較を、表 2.25 に例外処理ルーチンからの復帰命令比較を示します。

表 2.23 例外処理の概要比較

項目	RX21A	RX23E-A
例外事象	- 未定義命令例外 - 特権命令例外 - アクセス例外 - リセット - ノンマスカブル割り込み - 割り込み - 無条件トラップ	- 未定義命令例外 - 特権命令例外 - アクセス例外 - 浮動小数点例外 - リセット - ノンマスカブル割り込み - 割り込み - 無条件トラップ

表 2.24 ベクタ比較

項目	RX21A	RX23E-A
未定義命令例外	固定ベクタテーブル	例外ベクタテーブル(EXTB)
特権命令例外	固定ベクタテーブル	例外ベクタテーブル(EXTB)
アクセス例外	固定ベクタテーブル	例外ベクタテーブル(EXTB)
浮動小数点例外	-	例外ベクタテーブル(EXTB)
リセット	固定ベクタテーブル	例外ベクタテーブル(EXTB)
ノンマスカブル割り込み	固定ベクタテーブル	例外ベクタテーブル(EXTB)
割り込み		
高速割り込み	FINTV	FINTV
高速割り込み以外	可変ベクタテーブル (INTB)	割り込みベクタテーブル(INTB)
無条件トラップ	可変ベクタテーブル (INTB)	割り込みベクタテーブル(INTB)

表 2.25 例外処理ルーチンからの復帰命令比較

項目	RX21A	RX23E-A
未定義命令例外	RTE	RTE
特権命令例外	RTE	RTE
アクセス例外	RTE	RTE
浮動小数点例外	-	RTE
リセット	復帰不可能	復帰不可能
ノンマスカブル割り込み	復帰不可能	禁止
割り込み		
高速割り込み	RTFI	RTFI
高速割り込み以外	RTE	RTE
無条件トラップ	RTE	RTE

2.12 割り込みコントローラ

表 2.26 に割り込みコントローラの概要比較を、表 2.27 に割り込みコントローラのレジスタ比較を示します。

表 2.26 割り込みコントローラの概要比較

項目		RX21A(ICUb)	RX23E-A(ICUb)
割り込み	周辺機能割り込み	- 周辺モジュールからの割り込み - 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定	- 周辺モジュールからの割り込み - 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定
	外部端子割り込み	- IRQ0～IRQ7 端子からの割り込み - 要因数：8 - 割り込み検出：Low/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 - デジタルフィルタ機能：あり	- IRQ0～IRQ7 端子からの割り込み - 要因数：8 - 割り込み検出：Low/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 - デジタルフィルタ機能：あり
	ソフトウェア割り込み	- レジスタ書き込みによる割り込み - 要因数：1	- レジスタ書き込みによる割り込み - 要因数：1
	イベントリンク割り込み	ELC イベントより、ELSR18I、ELSR19I 割り込みを発生	ELC イベントより、ELSR8I、ELSR18I、ELSR19I 割り込みを発生
	割り込み優先順位	レジスタにより優先順位を設定	レジスタにより優先順位を設定
	高速割り込み機能	CPU の割り込み処理を高速化可能。1 要因にのみ設定	CPU の割り込み処理を高速化可能。1 要因にのみ設定
	DTC、DMAC 制御	割り込み要因により DTC や DMAC を起動可能	割り込み要因により DTC や DMAC の起動が可能
ノンマスクابل割り込み	NMI 端子割り込み	- NMI 端子からの割り込み - 割り込み検出：立ち下がりエッジ/立ち上がりエッジ - デジタルフィルタ機能：あり	- NMI 端子からの割り込み - 割り込み検出：立ち下がりエッジ/立ち上がりエッジ - デジタルフィルタ機能：あり
	発振停止検出割り込み	発振停止検出時の割り込み	発振停止検出時の割り込み
	WDT アンダフロー/リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み	-
	IWDT アンダフロー/リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	電圧監視 1 割り込み	電圧検出回路 1 (LVD1) の電圧監視割り込み	電圧検出回路 1 (LVD1) の電圧監視割り込み
	電圧監視 2 割り込み	電圧検出回路 2 (LVD2) の電圧監視割り込み	電圧検出回路 2 (LVD2) の電圧監視割り込み
低消費電力状態からの復帰	スリープモード	ノンマスクابل割り込み、全割り込み要因で復帰	ノンマスクابل割り込み、全割り込み要因で復帰
	ディープスリープモード	-	ノンマスクابل割り込み、全割り込み要因で復帰
	全モジュールクロックストップモード	ノンマスクابل割り込み、IRQ0～IRQ7 割り込み、TMR 割り込み、RTC アラーム/周期割り込みで復帰	-
	ソフトウェアスタンバイモード	ノンマスクابل割り込み、IRQ0～IRQ7 割り込み、RTC アラーム/周期割り込みで復帰	ノンマスクابل割り込み、IRQ0～IRQ7 割り込みで復帰

表 2.27 割り込みコントローラのレジスタ比較

レジスタ	ビット	RX21A(ICUb)	RX23E-A(ICUb)
IRn (注 1)	-	割り込み要求レジスタ n (n = 016~253)	割り込み要求レジスタ n (n = 016~255)
IPRn (注 1)	-	割り込み要因 プライオリティレジスタ n (n = 000~253)	割り込み要因 プライオリティレジスタ n (n = 000~255)
DTCERN (注 1)	-	DTC 起動許可レジスタ n (n = 027~252)	DTC 転送要求許可レジスタ n (n = 027~255)
NMISR	WDTST	WDT アンダフロー/リフレッシュ エラーステータスフラグ	-
NMIER	WDTEN	WDT アンダフロー/リフレッシュ エラー許可ビット	-
NMICLR	WDTCLR	WDT クリアビット	-

注 1. RX21A グループでは n=254、255、RX23E-A グループでは n=250~255 は予約領域です。

2.13 バス

表 2.28 にバスの概要比較を、表 2.29 にバスのレジスタ比較を示します。

表 2.28 バスの概要比較

項目		RX21A	RX23E-A
CPU バス	命令バス	• CPU(命令)を接続 • 内蔵メモリを接続(RAM、ROM) • システムクロック(ICLK)に同期して動作	• CPU(命令)を接続 • 内蔵メモリを接続(RAM、ROM) • システムクロック(ICLK)に同期して動作
	オペランドバス	• CPU(オペランド)を接続 • 内蔵メモリを接続(RAM、ROM) • システムクロック(ICLK)に同期して動作	• CPU(オペランド)を接続 • 内蔵メモリを接続(RAM、ROM) • システムクロック(ICLK)に同期して動作
メモリバス	メモリバス 1	• RAM を接続	• RAM を接続
	メモリバス 2	• ROM を接続	• ROM を接続
内部メインバス	内部メインバス 1	• CPU を接続 • システムクロック(ICLK)に同期して動作	• CPU を接続 • システムクロック(ICLK)に同期して動作
	内部メインバス 2	• DTC, DMAC を接続 • 内蔵メモリを接続(RAM、ROM) • システムクロック(ICLK)に同期して動作	• DTC, DMAC を接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック(ICLK)に同期して動作
内部周辺バス	内部周辺バス 1	• 周辺機能 (DTC、DMAC、割り込みコントローラ、バスエラー監視部)を接続 • システムクロック(ICLK)に同期して動作	• 周辺機能 (DTC、DMAC、割り込みコントローラ、バスエラー監視部)を接続 • システムクロック(ICLK)に同期して動作
	内部周辺バス 2	• 周辺機能(内部周辺バス 1 以外の周辺機能)を接続 • 周辺モジュールクロック(PCLKB、PCLKC、PCLKD)に同期して動作	• 周辺機能(内部周辺バス 1, 3, 4 以外の周辺機能)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 3	-	• 周辺機能(RSCAN, DSAD0, DSAD1, AFE)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 4	• 周辺機能(DEU)を接続 • 周辺モジュールクロック(PCLKA)に同期して動作	• 周辺機能(MTU2)を接続 • 周辺モジュールクロック(PCLKA)に同期して動作
	内部周辺バス 6	• ROM (P/E 時)、E2 データフラッシュを接続 • FlashIF クロック(FCLK)に同期して動作	• フラッシュ制御モジュール、E2 データフラッシュを接続 • FlashIF クロック(FCLK)に同期して動作

表 2.29 バスのレジスタ比較

レジスタ	ビット名	RX21A	RX23E-A
BEREN	TOEN	-	タイムアウト検出許可ビット ^{(注 1)(注 2)}
BERSR1	TO	-	タイムアウトビット
BUSPRI	BPGB[1:0]	内部周辺バス 2 プライオリティ制御ビット	内部周辺バス 2、 3 プライオリティ制御ビット

注 1. 検出禁止(TOEN ビット = 0)にしてバスアクセスを行った場合、バスがフリーズすることがあります。

注 2. タイムアウトエラー検出中に TOEN ビットを “0” (検出禁止)にしないようにしてください。

2.14 メモリプロテクションユニット

表 2.30 にメモリプロテクションユニットのレジスタ比較を示します。

表 2.30 メモリプロテクションユニットのレジスタ比較

レジスタ	ビット名	RX21A(MPU)	RX23E-A(MPU)
MPESTS	IA(RX21A) IMPER (RX23E-A)	命令メモリプロテクションエラー 発生ビット	命令メモリプロテクションエラー 発生ビット
	DA(RX21A) DMPER (RX23E-A)	データメモリプロテクションエラー 発生ビット	データメモリプロテクションエラー 発生ビット

2.15 イベントリンクコントローラ

表 2.31 にイベントリンクコントローラの概要比較を、表 2.32 にイベントリンクコントローラのレジスタ比較を、表 2.33 に ELSRn レジスタと周辺モジュールの対応を、表 2.34 に ELSRn.ELS[7:0] に設定するイベント信号名と信号番号の対応を示します。

表 2.31 イベントリンクコントローラの概要比較

項目	RX21A(ELC)	RX23E-A(ELC)
イベントリンク機能	69 種類のイベント信号を、直接モジュールへリンク可能 - タイマ系のモジュールは、イベント入力時の動作の選択が可能 - ポート B、ポート E のイベントリンク動作が可能 —シングルポート^(注 1) : 指定した 1 ビットのポートにイベントリンクの動作設定が可能 —ポートグループ^(注 1) : 8 ビットポート内で、指定した複数ビットをグループ化してイベントリンクの動作設定が可能	56 種類のイベント信号を、直接周辺モジュールへリンク可能 - タイマ系の周辺モジュールは、イベント信号入力時の動作を選択可能 - ポート B のイベントリンク動作が可能 —シングルポート^(注 1) : 指定した 1 本のポートにイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への移行が可能

注 1. 入力に設定されているシングルポート、ポートグループでは、対応する端子への入力信号が変化するとイベントが発生します。

表 2.32 イベントリンクコントローラのレジスタ比較

レジスタ	ビット	RX21A(ELC)	RX23E-A(ELC)
ELSRn	-	イベントリンク設定レジスタ n (n = 0 ~ 5 、7、10、12、 14 、 16 、18~ 36)	イベントリンク設定レジスタ n (n = 1~4、7、 8 、10、12、 15 、18、19、24、25、28、29、 46 、 47)
	ELS[7:0]	イベントリンク選択ビット 00000000 : イベントリンク機能停止 00000001~01101001 : リンクするイベント信号の番号を指定 上記以外は設定しないでください	イベントリンク選択ビット 00h : 該当する周辺モジュールへのイベント信号の出力は無効 08h~6Ah : リンクするイベント信号の番号を指定 上記以外は設定しないでください
ELOPA	MTU0MD[1:0]	MTU0 動作選択ビット	-
ELOPB	MTU5MD[1:0]	MTU5 動作選択ビット	-
ELOPC	LPTMD[1:0]	-	LPT 動作選択ビット
PGRn	-	ポートグループ指定レジスタ n (n=1、2)	-
PGCn	-	ポートグループコントロールレジスタ n (n=1、2)	-
PDBFn	-	ポートバッファレジスタ n (n=1、2)	-
PELn	-	イベント接続ポート指定レジスタ n (n= 0 ~ 3)	イベント接続ポート指定レジスタ n (n = 0、1)

レジスタ	ビット	RX21A(ELC)	RX23E-A(ELC)
PELn	PSP[1:0]	ポート番号指定ビット b4 b3 0 0 : 設定無効 0 1 : ポート B (PGR1 レジスタに対応) 1 0 : ポート E (PGR2 レジスタに対応) 1 1 : 設定しないでください	ポート番号指定ビット b4 b3 0 0 : 設定無効 0 1 : ポート B (PGR1 レジスタに対応) 1 0 : 設定しないでください 1 1 : 設定しないでください

表 2.33 ELSRn レジスタと周辺モジュールの対応

レジスタ	RX21A(ELC)	RX23E-A(ELC)
ELSR0	MTU0	-
ELSR1	MTU1	MTU1
ELSR2	MTU2	MTU2
ELSR3	MTU3	MTU3
ELSR4	MTU4	MTU4
ELSR5	MTU5	-
ELSR7	CMT1	CMT1
ELSR8	-	ICU (LPT 専用割り込み)^(注1)
ELSR10	TMR0	TMR0
ELSR12	TMR2	TMR2
ELSR14	10 ビット A/D コンバータ	-
ELSR15	-	S12AD
ELSR16	DA0	-
ELSR18	割り込み 1 ^(注2)	ICU (割り込み 1) ^(注2)
ELSR19	割り込み 2 ^(注2)	ICU (割り込み 2) ^(注2)
ELSR20	出力ポートグループ 1	-
ELSR21	出力ポートグループ 2	-
ELSR22	入力ポートグループ 1	-
ELSR23	入力ポートグループ 2	-
ELSR24	シングルポート 0	シングルポート 0 ^(注3)
ELSR25	シングルポート 1	シングルポート 1 ^(注3)
ELSR26	シングルポート 2	-
ELSR27	シングルポート 3	-
ELSR28	クロックソースを LOCO へ切り替え	クロックソースを LOCO へ切り替え
ELSR29	POE	POE
ELSR30	24 ビット $\Delta\Sigma$ A/D コンバータ チャンネル 0	-
ELSR31	24 ビット $\Delta\Sigma$ A/D コンバータ チャンネル 1	-
ELSR32	24 ビット $\Delta\Sigma$ A/D コンバータ チャンネル 2	-
ELSR33	24 ビット $\Delta\Sigma$ A/D コンバータ チャンネル 3	-
ELSR34	24 ビット $\Delta\Sigma$ A/D コンバータ チャンネル 4	-
ELSR35	24 ビット $\Delta\Sigma$ A/D コンバータ チャンネル 5	-
ELSR36	24 ビット $\Delta\Sigma$ A/D コンバータ チャンネル 6	-
ELSR46	-	DSAD0
ELSR47	-	DSAD1

注 1. イベント信号は“32h” (LPT・コンペアマッチ)を指定してください。

注 2. イベント信号は RX21A グループでは“63h”～“69h”、RX23E-A グループでは“65h”～“6Ah”の中から指定してください。これ以外の値は、設定しないでください。

注 3. ELSR24、ELSR25 レジスタに DOC・データ演算条件成立信号(6Ah)は、設定しないでください。

表 2.34 ELSRn.ELS[7:0]に設定するイベント信号名と信号番号の対応

ELS[7:0] ビットの値	周辺 モジュール	RX21A(ELC)	RX23E-A(ELC)
01h	マルチファンクション タイマパルス ユニット 2	MTU0・コンペアマッチ 0A 信号	-
02h		MTU0・コンペアマッチ 0B 信号	-
03h		MTU0・コンペアマッチ 0C 信号	-
04h		MTU0・コンペアマッチ 0D 信号	-
05h		MTU0・コンペアマッチ 0E 信号	-
06h		MTU0・コンペアマッチ 0F 信号	-
07h		MTU0・オーバーフロー信号	-
08h		MTU1・コンペアマッチ 1A 信号	MTU1・コンペアマッチ 1A
09h		MTU1・コンペアマッチ 1B 信号	MTU1・コンペアマッチ 1B
0Ah		MTU1・オーバーフロー信号	MTU1・オーバーフロー
0Bh		MTU1・アンダフロー信号	MTU1・アンダフロー
0Ch		MTU2・コンペアマッチ 2A 信号	MTU2・コンペアマッチ 2A
0Dh		MTU2・コンペアマッチ 2B 信号	MTU2・コンペアマッチ 2B
0Eh		MTU2・オーバーフロー信号	MTU2・オーバーフロー
0Fh		MTU2・アンダフロー信号	MTU2・アンダフロー
10h		MTU3・コンペアマッチ 3A 信号	MTU3・コンペアマッチ 3A
11h		MTU3・コンペアマッチ 3B 信号	MTU3・コンペアマッチ 3B
12h		MTU3・コンペアマッチ 3C 信号	MTU3・コンペアマッチ 3C
13h		MTU3・コンペアマッチ 3D 信号	MTU3・コンペアマッチ 3D
14h		MTU3・オーバーフロー信号	MTU3・オーバーフロー
15h		MTU4・コンペアマッチ 4A 信号	MTU4・コンペアマッチ 4A
16h		MTU4・コンペアマッチ 4B 信号	MTU4・コンペアマッチ 4B
17h		MTU4・コンペアマッチ 4C 信号	MTU4・コンペアマッチ 4C
18h		MTU4・コンペアマッチ 4D 信号	MTU4・コンペアマッチ 4D
19h		MTU4・オーバーフロー信号	MTU4・オーバーフロー
1Ah		MTU4・アンダフロー信号	MTU4・アンダフロー
1Bh		MTU5・コンペアマッチ 5U 信号	-
1Ch		MTU5・コンペアマッチ 5V 信号	-
1Dh		MTU5・コンペアマッチ 5W 信号	-
1Fh	コンペアマッチタイマ	CMT1・コンペアマッチ 1 信号	CMT1・コンペアマッチ 1
22h	8ビットタイマ	TMR0・コンペアマッチ A0 信号	TMR0・コンペアマッチ A0
23h		TMR0・コンペアマッチ B0 信号	TMR0・コンペアマッチ B0
24h		TMR0・オーバーフロー信号	TMR0・オーバーフロー
28h		TMR2・コンペアマッチ A2 信号	TMR2・コンペアマッチ A2
29h		TMR2・コンペアマッチ B2 信号	TMR2・コンペアマッチ B2
2Ah		TMR2・オーバーフロー信号	TMR2・オーバーフロー
2Eh	リアルタイムクロック	RTC・周期信号	-
31h	独立ウォッチドッグタイマ	IWDT・アンダフロー・リフレッシュエラー信号	IWDT・アンダフロー・リフレッシュエラー
32h	ローパワータイマ	-	LPT・コンペアマッチ
34h	12ビット A/D コンバータ	-	S12AD・比較条件成立
35h		-	S12AD・比較条件不成立
3Ah	シリアルコミュニケーションインターフェース	SCI5・エラー (受信エラー・エラーシグナル検出) 信号	SCI5・エラー (受信エラー・エラーシグナル検出)

ELS[7:0] ビットの値	周辺 モジュール	RX21A(ELC)	RX23E-A(ELC)
3Bh	シリアルコ ミュニケー ションインタ フェース	SCI5・受信データフル信号	SCI5・受信データフル
3Ch		SCI5・送信データエンプティ信号	SCI5・送信データエンプティ
3Dh		SCI5・送信完了信号	SCI5・送信完了
4Eh		RIIC0・通信エラー、イベント発生信号	RIIC0・通信エラー、イベント発生
4Fh	I ² C バスインタ フェース	RIIC0・受信データフル信号	RIIC0・受信データフル
50h		RIIC0・送信データエンプティ信号	RIIC0・送信データエンプティ
51h		RIIC0・送信終了信号	RIIC0・送信終了
52h		RSPI0・エラー (モードフォルト・オーバ ラン・パリティエラー) 信号	RSPI0・エラー (モードフォルト・オーバ ラン・パリティエラー)
53h	シリアルペリ フェラルイン タフェース	RSPI0・アイドル信号	RSPI0・アイドル
54h		RSPI0・受信データフル信号	RSPI0・受信データフル
55h		RSPI0・送信データエンプティ信号	RSPI0・送信データエンプティ
56h		RSPI0・送信完了信号 (クロック同期式動 作のスレーブモード時を除く)	RSPI0・送信完了
57h	10 ビット A/D コンバータ	10 ビット A/D コンバータ・A/D 変換終了 信号	-
58h	12 ビット A/D コンバータ	-	S12AD・A/D 変換終了
59h	コンパレータ B0	コンパレータ B0・比較結果変化信号	-
5Ah	コンパレータ B0・B1	コンパレータ B0・B1 共通比較結果変化信 号	-
5Bh	電圧検出回路	LVD1・電圧検出信号	LVD1・電圧検出
5Ch		LVD2・電圧検出信号	LVD2・電圧検出
5Dh	DMA コントローラ	DMAC0・転送終了信号	DMAC0・転送終了
5Eh		DMAC1・転送終了信号	DMAC1・転送終了
5Fh		DMAC2・転送終了信号	DMAC2・転送終了
60h		DMAC3・転送終了信号	DMAC3・転送終了
61h	データトラン スファコント ローラ	DTC・転送終了信号	DTC・転送終了
62h	クロック 発生回路	クロック発生回路・発振停止検出信号	クロック発生回路・発振停止検出
63h	I/O ポート	入力ポートグループ 1・入力エッジ検出信 号	-
64h		入力ポートグループ 2・入力エッジ検出信 号	-
65h		シングル入力ポート 0・入力エッジ検出信 号	シングル入力ポート 0・入力エッジ検出
66h		シングル入力ポート 1・入力エッジ検出信 号	シングル入力ポート 1・入力エッジ検出
67h		シングル入力ポート 2・入力エッジ検出信 号	-
68h		シングル入力ポート 3・入力エッジ検出信 号	-
69h	イベントリン クコントロー ラ	ソフトウェアイベント信号	ソフトウェアイベント
6Ah	データ演算 回路	-	DOC・データ演算条件成立
上記以外は設定しないでください			

2.16 I/O ポート

表 2.35 に I/O ポート 64 ピン(RX21A)/48 ピン(RX23E-A)/40 ピン(RX23E-A)の概要比較を、表 2.36 に I/O ポートの機能比較を、表 2.37 に I/O ポートのレジスタ比較を示します。

表 2.35 I/O ポート 64 ピン(RX21A)/48 ピン(RX23E-A)/40 ピン(RX23E-A)の概要比較

ポートシンボル	RX21A(64 ピン)	RX23E-A(48 ピン)	RX23E-A(40 ピン)
PORT0	P03、P05	-	-
PORT1	P14~P17	P14~P17	P14~P17
PORT2	P26、P27	P26、P27	P26、P27
PORT3	P30~P32、P35~P37	P30、P31、P35~P37	P30、P31、P35~P37
PORT4	P40、P41	-	-
PORT5	P54、P55	-	-
PORTA	PA0、PA1、PA3、PA4、PA6	-	-
PORTB	PB0、PB1、PB3、PB5~PB7	PB0、PB1	PB0、PB1
PORTC	PC2~PC7	PC4~PC7	PC4、PC5
PORTH	PH0~PH3	PH0~PH3	PH0、PH1

表 2.36 I/O ポートの機能比較

項目	ポートシンボル	RX21A	RX23E-A
入力プルアップ機能	PORT0	P03、P05、P07	—
	PORT1	P12~P17	P14~P17
	PORT2	P20~P27	P26、P27
	PORT3	P30~P34、P36、P37	P30、P31、P36、P37
	PORT4	P40~P43	—
	PORT5	P50~P55	—
	PORTA	PA0~PA7	—
	PORTB	PB0~PB7	PB0、PB1
	PORTC	PC0~PC7	PC4~PC7
	PORTE	PE6、PE7	—
	PORTH	PH0~PH3	PH0~PH3
	PORTJ	PJ1、PJ3	—
オープンドレイン 出力機能	PORT1	P12~P17	P14~P17
	PORT2	P20~P27	P26、P27
	PORT3	P30~P34、P36、P37	P30、P31、P36、P37
	PORTA	PA0~PA7	—
	PORTB	PB0~PB7	PB0、PB1
	PORTC	PC0~PC7	PC4~PC7
	PORTE	PE6、PE7	—
	PORTH	—	PH0~PH3
駆動能力切り替え機能	PORT0	P03、P05、P07	—
	PORT1	P12~P17	P14~P17
	PORT2	P20~P27	P26、P27
	PORT3	P30~P34、P36、P37	P30、P31、P36、P37
	PORT4	P40~P43	—
	PORT5	P50~P55	—
	PORTA	PA0~PA7	—
	PORTB	PB0~PB7	PB0、PB1
	PORTC	PC0~PC7	PC4~PC7
	PORTE	PE6、PE7	—
	PORTH	PH0~PH3	PH0~PH3
	PORTJ	PJ1、PJ3	—
5V トレラント	PORT1	P12、P13、P16、P17	P16、P17
	PORT2	P20、P21	—

表 2.37 I/O ポートのレジスタ比較

レジスタ	ビット名	RX21A	RX23E-A
PDR	B0~B7	Pm0~7 方向制御ビット (m = 0~5、A~C、E、H、J)	Pm0~7 方向制御ビット (m = 1~3, B, C, H)
PODR	B0~B7	Pm0~7 出力データ格納ビット (m = 0~5、A~C、E、H、J)	Pm0~7 出力データ格納ビット (m = 1~3, B, C, H)
PIDR	B0~B7	Pm0~7 ビット (m = 0~5、A~C、E、H、J)	Pm0~7 ビット (m = 1~3, B, C, H)
PMR	B0~B7	Pm0 端子モード制御ビット (m = 0~5、A~C、E、H、J)	Pm0~7 端子モード制御ビット (m = 1~3, B, C, H)
ODR0	B0	Pm0 出力形態指定ビット (m = 1~3、A~C)	Pm0 出力形態指定ビット (m = 3, B, H)
	B2, B3	Pm1 出力形態指定ビット (m = 1~3、A~C) P21, P31, PA1, PB1, PC1 b2 0 : CMOS 出力 1 : N チャネルオープンドレイン b3 読むと“0”が読めます。書く場合、“0”としてください	Pm1 出力形態指定ビット (m = 3, B, H) - P31, PH1 b2 0 : CMOS 出力 1 : N チャネルオープンドレイン b3 読むと“0”が読めます。書く場合、“0”としてください - PB1 b3 b2 00 : CMOS 出力 01 : N チャネルオープンドレイン 10 : P チャネルオープンドレイン 11 : 設定しないでください
	B4	Pm2 出力形態指定ビット (m = 1~3、A~C)	Pm2 出力形態指定ビット (m = 3, B, H)
ODR0	B6	Pm3 出力形態指定ビット (m = 1~3、A~C)	Pm3 出力形態指定ビット (m = 3, B, H)
ODR1	B0	Pm4 出力形態指定ビット (m = 1~3、A~C、E)	Pm4 出力形態指定ビット (m = 1~3, C)
	B2	Pm5 出力形態指定ビット (m = 1~3、A~C、E)	Pm5 出力形態指定ビット (m = 1~3, C)
	B4	Pm6 出力形態指定ビット (m = 1~3、A~C、E)	Pm6 出力形態指定ビット (m = 1~3, C)
	B6	Pm7 出力形態指定ビット (m = 1~3、A~C、E)	Pm7 出力形態指定ビット (m = 1~3, C)
PCR	B0~B7	Pm0~7 入力プルアップ抵抗 制御ビット (m = 0~5、A~C、E、H、J)	Pm0~7 入力プルアップ抵抗 制御ビット (m = 1~3, B, C, H)
DSCR	B0~B7	Pm0~7 駆動能力制御ビット (m = 1~3、5、A~C、E、H、J)	Pm0~7 駆動能力制御ビット (m = 1~3, B, C, H)
PSRA	-	-	ポート切り替えレジスタ A

2.17 マルチファンクションピンコントローラ

表 2.38 にマルチプル端子の割り当て比較を、表 2.39～表 2.50 にマルチファンクションピンコントローラのレジスタ比較を示します。

マルチプル端子の割り当て端子比較の、**青字**は RX23E-A グループのみに存在する端子、**橙字**は RX21A グループのみに存在する端子です。“○”は機能割り当てあり、“×”は端子なし、または機能割り当てなし、グレーの塗りつぶしは非搭載機能を表しています。

表 2.38 マルチプル端子の割り当て比較

モジュール/機能	端子機能	割り当て ポート	RX21A	RX23E-A	
			64 ピン	48 ピン	40 ピン
割り込み	NMI (入力)	P35	○	○	○
	IRQ0-DS (入力)	P30	○		
	IRQ0 (入力)	PH1	○	○	○
		P30	×	○	○
	IRQ1-DS (入力)	P31	○		
	IRQ1 (入力)	PH2	○	○	×
		P31	×	○	○
	IRQ2-DS (入力)	P32	○		
	IRQ2 (入力)	P26	×	○	○
	IRQ3 (入力)	P27	×	○	○
	IRQ4-DS (入力)	PB1	○		
	IRQ4 (入力)	P14	○	○	○
		PB0	×	○	○
	IRQ5-DS (入力)	PA4	○		
	IRQ5 (入力)	P15	○	○	○
	IRQ6-DS (入力)	PA3	○		
	IRQ6 (入力)	P16	○	○	○
	IRQ7 (入力)	P17	○	○	○
マルチファンクション タイマユニット 2	MTIOC0A (入出力)	PB3	○	×	×
		P30	×	○	○
	MTIOC0B (入出力)	P15	○	○	○
		PA1	○	×	×
	MTIOC0C (入出力)	P32	○	×	×
		PB1	○	×	×
		PB0	×	○	○
	MTIOC0D (入出力)	PA3	○	×	×
		PH0	×	○	○
	MTIOC1A (入出力)	P31	×	○	○
	MTIOC1B (入出力)	PB5	○	×	×
		PB1	×	○	○
	MTIOC2A (入出力)	P26	○	○	○
		PB5	○	×	×
		PB1	×	○	○
	MTIOC2B (入出力)	P27	○	○	○
	MTIOC3A (入出力)	P14	○	○	○
		P17	○	○	○
		PC7	○	○	×

モジュール/機能	端子機能	割り当て ポート	RX21A	RX23E-A	
			64 ピン	48 ピン	40 ピン
マルチファンクション タイマユニット 2	MTIOC3B (入出力)	P17	○	○	○
		PB7	○	×	×
		PC5	○	○	○
	MTIOC3C (入出力)	P16	○	○	○
		PC6	○	○	×
	MTIOC3D (入出力)	P16	○	○	○
		PB6	○	×	×
		PC4	○	○	○
	MTIOC4A (入出力)	PA0	○	×	×
		PB3	○	×	×
		P27	×	○	○
	MTIOC4B (入出力)	P30	○	○	○
		P54	○	×	×
		PC2	○	×	×
	MTIOC4C (入出力)	PB1	○	×	×
		P26	×	○	○
	MTIOC4D (入出力)	P31	○	○	○
		P55	○	×	×
		PC3	○	×	×
	MTIC5U (入力)	PA4	○	×	×
		PH1	×	○	×
	MTIC5V (入力)	PA6	○	×	×
		PH2	×	○	×
	MTIC5W (入力)	PB0	○	×	×
		PH3	×	○	×
	MTCLKA (入力)	P14	○	○	○
		PA4	○	×	×
		PC6	○	○	×
		PH2	×	○	×
	MTCLKB (入力)	P15	○	○	○
		PA6	○	×	×
		PC7	○	○	×
		PH3	×	○	×
	MTCLKC (入力)	PA1	○	×	×
		PC4	○	○	○
		PH0	×	○	○
	MTCLKD (入力)	PA3	○	×	×
		PC5	○	○	○
		PH1	×	○	○
ポートアウトプット イネーブル 2	POE0# (入力)	PC4	○	○	○
	POE1# (入力)	PB5	○	×	×
		PB1	×	○	○
	POE2# (入力)	PA6	○	×	×
		PH1	×	○	○
		PH3	×	○	×
	POE3# (入力)	PB3	○	×	×
		PB0	×	○	○
	POE8# (入力)	P17	○	○	○
		P30	○	○	○

モジュール/機能	端子機能	割り当て ポート	RX21A	RX23E-A	
			64 ピン	48 ピン	40 ピン
8 ビットタイマ	TMO0 (出力)	PB3	○	×	×
		PH1	○	○	○
		P26	×	○	○
	TMCi0 (入力)	PB1	○	×	×
		PH3	○	○	×
		PB0	×	○	○
	TMRI0 (入力)	PA4	○	×	×
		PH2	○	○	×
		PH0	×	○	○
	TMO1 (出力)	P17	○	○	○
		P26	○	×	×
	TMCi1 (入力)	P54	○	×	×
		PC4	○	○	○
	TMRI1 (入力)	PB5	○	×	×
		PB1	×	○	○
	TMO2 (出力)	P16	○	○	○
		PC7	○	○	×
	TMCi2 (入力)	P15	○	○	○
		P31	○	×	×
		PC6	○	○	×
	TMRI2 (入力)	P14	○	○	○
		PC5	○	○	○
	TMO3 (出力)	P32	○	×	×
		P55	○	×	×
		P31	×	○	○
	TMCi3 (入力)	P27	○	×	×
		PA6	○	×	×
		P30	×	○	○
	TMRI3 (入力)	P30	○	×	×
		P27	×	○	○
シリアルコミュニケーションインターフェース	RXD1 (入力) / SMISO1 (入出力) / SSCL1 (入出力)	P15	○	○	○
		P30	○	○	○
	TXD1 (出力) / SMOSI1 (入出力) / SSDA1 (入出力)	P16	○	○	○
		P26	○	○	○
	SCK1 (入出力)	P17	○	○	○
		P27	○	○	○
	CTS1# (入力) / RTS1# (出力) / SS1# (入力)	P14	○	○	○
		P31	○	○	○
	RXD5 (入力) / SMISO5 (入出力) / SSCL5 (入出力) / IRRXD5 (入力)	PA3	○		
		PC2	○		
	RXD5 (入力) / SMISO5 (入出力) / SSCL5 (入出力)	PH0		○	○
	TXD5 (出力) / SMOSI5 (入出力) / SSDA5 (入出力) / IRTXD5 (出力)	PA4	○		
		PC3	○		

モジュール/機能	端子機能	割り当て ポート	RX21A	RX23E-A	
			64 ピン	48 ピン	40 ピン
シリアルコミュニケーションインターフェース	TXD5 (出力) / SMOSI5 (入出力) / SSDA5 (入出力)	PH1		○	○
	SCK5 (入出力)	PA1	○	×	×
		PC4	○	×	×
		PH2	×	○	×
		PC5	×	○	○
	CTS5# (入力) / RTS5# (出力) / SS5# (入力)	PA6	○	×	×
		PC4	×	○	○
	RXD6 (入力) / SMISO6 (入出力) / SSCL6 (入出力)	PB0	○	×	×
		PC6	×	○	×
	TXD6 (出力) / SMOSI6 (入出力) / SSDA6 (入出力)	P32	○	×	×
		PB1	○	×	×
		PC7	×	○	×
	SCK6 (入出力)	PB3	○	×	×
		PC5	×	○	×
	CTS6# (入力) / RTS6# (出力) / SS6# (入力)	PH3	×	○	×
	RXD8 (入力) / SMISO8 (入出力) / SSCL8 (入出力)	PC6	○		
	TXD8 (出力) / SMOSI8 (入出力) / SSDA8 (入出力)	PC7	○		
	SCK8 (入出力)	PC5	○		
	CTS8# (入力) / RTS8# (出力) / SS8# (入力)	PC4	○		
	RXD9 (入力) / SMISO9 (入出力) / SSCL9 (入出力)	PB6	○		
	TXD9 (出力) / SMOSI9 (入出力) / SSDA9 (入出力)	PB7	○		
	SCK9 (入出力)	PB5	○		
	RXD12 (入力) / SMISO12 (入出力) / SSCL12 (入出力) / RXDX12 (入力)	PB0		○	○
	TXD12 (出力) / SMOSI12 (入出力) / SSDA12 (入出力) / TXDX12 (出力) / SIOX12 (入出力)	PB1		○	○
	SCK12 (入出力)	PC5		○	○
	CTS12# (入力) / RTS12# (出力) / SS12# (入力)	PC4		○	○

モジュール/機能	端子機能	割り当て ポート	RX21A	RX23E-A	
			64 ピン	48 ピン	40 ピン
I ² C バスインタフェース	SCL0-DS (入出力) / SCL (入出力)	P16	○		
	SDA0-DS (入出力) / SDA (入出力)	P17	○		
シリアルペリフェラル インタフェース	RSPCKA (入出力)	PB0	○	×	×
		PC5	○	○	○
		PH3	×	○	×
	MOSIA (入出力)	P16	○	○	○
		PA6	○	×	×
		PC6	○	○	×
		PH2	×	○	×
	MISOA (入出力)	P17	○	○	○
		PC7	○	○	×
	SSLA0 (入出力)	PA4	○	×	×
		PC4	○	○	○
		PH1	×	○	○
	SSLA1 (出力)	PA0	○	×	×
		P15	×	○	○
	SSLA2 (出力)	PA1	○	×	×
		PH0	×	○	○
	SSLA3 (出力)	PC2	○	×	×
		P14	×	○	○
	RSPCKB (入出力)	P27	○		
	MOSIB (入出力)	P26	○		
	MISOB (入出力)	P30	○		
	SSLB0 (入出力)	P31	○		
リアルタイムクロック	RTCOOUT (出力)	P16	○		
		P32	○		
	RTCIC0 (入力)	P30	○		
	RTCIC1 (入力)	P31	○		
	RTCIC2 (入力)	P32	○		
10 ビット A/D コンバー タ/ 12 ビット A/D コンバー タ	AN0 (入力)	P40	○		
	AN1 (入力)	P41	○		
	AN4 (入力)	P03	○		
	AN5 (入力)	P05	○		
	ADTRG0# (入力)	P16	○	○	○
クロック周波数精度 測定回路	CACREF (入力)	PA0	○	×	×
		PC7	○	○	×
		PH0	○	○	○
コンパレータ A	CMPA1 (入力)	PA0	○		
	CVREFA (入力)	PA1	○		
コンパレータ B	CMPB0 (入力)	PB0	○		
	CVREFB0 (入力)	PA6	○		
	CMPB1 (入力)	PA3	○		
	CVREFB1 (入力)	PA4	○		
クロック発生回路	CLKOUT (出力)	PH1		○	○
RSCAN	CTXD0 (出力)	P14		○	○
	CRXD0 (入力)	P15		○	○

表 2.39 P0n 端子機能制御レジスタ (P0nPFS) の比較

レジスタ	ビット	RX21A	RX23E-A
P0nPFS	-	P0n 端子機能制御レジスタ (n = 3, 5, 7)	-

表 2.40 P0n 端子機能制御レジスタ (P0nPFS) の比較

レジスタ	ビット	RX21A (n = 2~7)	RX23E-A (n = 4~7)
P12PFS	-	P12 端子機能制御レジスタ	-
P13PFS	-	P13 端子機能制御レジスタ	-
P14PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0001b : MTIOC3A 0010b : MTCLKA 0101b : TMRI2 1011b : CTS1#/RTS1#/SS1#	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC3A 00010b : MTCLKA 00101b : TMRI2 01011b : CTS1#/RTS1#/SS1# 01101b : SSLA3 10000b : CTXD0
P15PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0001b : MTIOC0B 0010b : MTCLKB 0101b : TMCi2 1010b : RXD1/SMISO1/SSCL1	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC0B 00010b : MTCLKB 00101b : TMCi2 01010b : RXD1/SMISO1/SSCL1 01101b : SSLA1 10000b : CRXD0
P16PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0001b : MTIOC3C 0010b : MTIOC3D 0101b : TMO2 0111b : RTCOUT 1001b : ADTRG0# 1010b : TXD1/SMOSI1/SSDA1 1101b : MOSIA 1111b : SCL0-DS	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC3C 00010b : MTIOC3D 00101b : TMO2 01001b : ADTRG0# 01010b : TXD1/SMOSI1/SSDA1 01101b : MOSIA 01111b : SCL
P17PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0001b : MTIOC3A 0010b : MTIOC3B 0101b : TMO1 0111b : POE8# 1010b : SCK1 1101b : MISOA 1111b : SDA0-DS	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC3A 00010b : MTIOC3B 00101b : TMO1 00111b : POE8# 01010b : SCK1 01101b : MISOA 01111b : SDA

レジスタ	ビット	RX21A(n = 2~7)	RX23E-A(n = 4~7)
P1nPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P12: IRQ2 (100 ピン、80 ピン) P13: IRQ3 (100 ピン、80 ピン) P14: IRQ4 (100 ピン、80 ピン、64 ピン) P15: IRQ5 (100 ピン、80 ピン、64 ピン) P16: IRQ6 (100 ピン、80 ピン、64 ピン) P17: IRQ7 (100 ピン、80 ピン、64 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P14 : IRQ4 P15 : IRQ5 P16 : IRQ6 P17 : IRQ7

表 2.41 P2n 端子機能制御レジスタ (P2nPFS) の比較

レジスタ	ビット	RX21A(n = 0~7)	RX23E-A(n = 6, 7)
P20PFS	-	P20 端子機能制御レジスタ	-
P21PFS	-	P21 端子機能制御レジスタ	-
P22PFS	-	P22 端子機能制御レジスタ	-
P23PFS	-	P23 端子機能制御レジスタ	-
P24PFS	-	P24 端子機能制御レジスタ	-
P25PFS	-	P25 端子機能制御レジスタ	-
P26PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0001b : MTIOC2A 0101b : TMO1 1010b : TXD1/SMOSI1/SSDA1 1101b : MOSIB	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC2A 00010b : MTIOC4C 00101b : TMO0 01010b : TXD1/SMOSI1/SSDA1
P27PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0001b : MTIOC2B 0101b : TMCI3 1010b : SCK1 1101b : RSPCKB	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC2B 00010b : MTIOC4A 00101b : TMRI3 01010b : SCK1
P2nPFS	ISEL	-	割り込み入力機能選択ビット

表 2.42 P3n 端子機能制御レジスタ (P3nPFS)の比較

レジスタ	ビット	RX21A(n = 0~4)	RX23E-A(n = 0, 1)
P30PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0001b : MTIOC4B 0101b : TMRI3 0111b : POE8# 1010b : RXD1/SMISO1/SSCL1 1101b : MISOB	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC4B 00010b : MTIOC0A 00101b : TMCI3 00111b : POE8# 01010b : RXD1/SMISO1/SSCL1
P31PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0001b : MTIOC4D 0101b : TMCI2 1011b : CTS1#/RTS1#/SS1# 1101b : SSLB0	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC4D 00010b : MTIOC1A 00101b : TMO3 01011b : CTS1#/RTS1#/SS1#
P32PFS	-	P32 端子機能制御レジスタ	-
P33PFS	-	P33 端子機能制御レジスタ	-
P34PFS	-	P34 端子機能制御レジスタ	-
P3nPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P30: IRQ0-DS (100 ピン、80 ピン、64 ピン) P31: IRQ1-DS (100 ピン、80 ピン、64 ピン) P32: IRQ2-DS (100 ピン、80 ピン、64 ピン) P33: IRQ3-DS (100 ピン) P34: IRQ4 (100 ピン、80 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P30 : IRQ0 P31 : IRQ1

表 2.43 P4n 端子機能制御レジスタ (P4nPFS)の比較

レジスタ	ビット	RX21A	RX23E-A
P4nPFS	-	P4n 端子機能制御レジスタ (n = 0~3)	-

表 2.44 P5n 端子機能制御レジスタ (P5nPFS)の比較

レジスタ	ビット	RX21A	RX23E-A
P5nPFS	-	P5n 端子機能制御レジスタ (n = 0~2、4、5)	-

表 2.45 PAn 端子機能制御レジスタ (PANPFS)の比較

レジスタ	ビット	RX21A	RX23E-A
PAnPFS	-	PAn 端子機能制御レジスタ (n = 0~7)	-

表 2.46 P_{Bn} 端子機能制御レジスタ(P_{Bn}PFS)の比較

レジスタ	ビット	RX21A(n = 0~7)	RX23E-A(n = 0, 1)
PB0PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0001b : MTIC5W 1011b : RXD6/SMISO6/SSCL6 1101b : RSPCKA	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC0C 00101b : TMCIO 00111b : POE3# 01100b : RXD12/RXD12/SMISO12/SSCL12
PB1PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0001b : MTIOC0C 0010b : MTIOC4C 0101b : TMCIO 1011b : TXD6/SMOSI6/SSDA6	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC2A 00010b : MTIOC1B 00101b : TMRI1 00111b : POE1# 01100b : TXD12/TXD12/SIOX12/SMOSI12/ SSDA12
PB2PFS	-	PB2 端子機能制御レジスタ	-
PB3PFS	-	PB3 端子機能制御レジスタ	-
PB4PFS	-	PB4 端子機能制御レジスタ	-
PB5PFS	-	PB5 端子機能制御レジスタ	-
PB6PFS	-	PB6 端子機能制御レジスタ	-
PB7PFS	-	PB7 端子機能制御レジスタ	-
P _{Bn} PFS	ISEL	割り込み入力機能選択ビット 0 : IRQ _n 入力端子として使用しない 1 : IRQ _n 入力端子として使用する PB1: IRQ4-DS (100 ピン、80 ピン、64 ピン)	割り込み入力機能選択ビット 0 : IRQ _n 入力端子として使用しない 1 : IRQ _n 入力端子として使用する PB0 : IRQ4
	ASEL	アナログ機能選択ビット	-

表 2.47 PCn 端子機能制御レジスタ(PCnPFS)の比較

レジスタ	ビット	RX21A(n = 0~7)	RX23E-A(n = 4~7)
PC0PFS	-	PC0 端子機能制御レジスタ	-
PC1PFS	-	PC1 端子機能制御レジスタ	-
PC2PFS	-	PC2 端子機能制御レジスタ	-
PC3PFS	-	PC3 端子機能制御レジスタ	-
PC4PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0001b : MTIOC3D 0010b : MTCLKC 0101b : TMCi1 0111b : POE0# 1010b : SCK5 1011b : CTS8#/RTS8#/SS8# 1101b : SSLA0	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC3D 00010b : MTCLKC 00101b : TMCi1 00111b : POE0# 01011b : CTS5#/RTS5#/SS5# 01100b : CTS12#/RTS12#/SS12# 01101b : SSLA0
PC5PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0001b : MTIOC3B 0010b : MTCLKD 0101b : TMRI2 1010b : SCK8 1101b : RSPCKA	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC3B 00010b : MTCLKD 00101b : TMRI2 01010b : SCK5 01011b : SCK6 01100b : SCK12 01101b : RSPCKA
PC6PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0001b : MTIOC3C 0010b : MTCLKA 0101b : TMCi2 1010b : RXD8/SMISO8/SSCL8 1101b : MOSIA	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC3C 00010b : MTCLKA 00101b : TMCi2 01011b : RXD6/SMISO6/SSCL6 01101b : MOSIA
PC7PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0001b : MTIOC3A 0010b : MTCLKB 0101b : TMO2 0111b : CACREF 1010b : TXD8/SMOSI8/SSDA8 1101b : MISOA	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC3A 00010b : MTCLKB 00101b : TMO2 00111b : CACREF 01011b : TXD6/SMOSI6/SSDA6 01101b : MISOA

表 2.48 PEn 端子機能制御レジスタ(PEnPFS)の比較

レジスタ	ビット	RX21A	RX23E-A
PEnPFS	-	PEn 端子機能制御レジスタ (n = 6, 7)	-

表 2.49 PHn 端子機能制御レジスタ(PHnPFS)の比較

レジスタ	ビット	RX21A(n = 0~3)	RX23E-A(n = 0~3)
PH0PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0111b : CACREF	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC0D 00010b : MTCLKC 00101b : TMRIO 00111b : CACREF 01010b : RXD5/SMISO5/SSCL5 01101b : SSLA2
PH1PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0101b : TMO0	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIC5U 00010b : MTCLKD 00101b : TMO0 00111b : POE2# 01001b : CLKOUT 01010b : TXD5/SMOSI5/SSDA5 01101b : SSLA0
PH2PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0101b : TMRIO	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIC5V 00010b : MTCLKA 00101b : TMRIO 01010b : SCK5 01101b : MOSIA
PH3PFS	PSEL[3:0] (RX21A) PSEL[4:0] (RX23E-A)	端子機能選択ビット (b3-b0) b3 b0 0000b : Hi-Z 0101b : TMCIO	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIC5W 00010b : MTCLKB 00101b : TMCIO 00111b : POE2# 01011b : CTS6#/RTS6#/SS6# 01101b : RSPCKA

表 2.50 PJn 端子機能制御レジスタ(PJnPFS)の比較

レジスタ	ビット	RX21A	RX23E-A
PJPFS	-	PJn 端子機能制御レジスタ (n =1, 3)	-

2.18 コンペアマッチタイマ

表 2.51 にコンペアマッチタイマの概要比較を、表 2.52 にコンペアマッチタイマのレジスタ比較を示します。

表 2.51 コンペアマッチタイマの概要比較

項目	RX21A(CMT)	RX23E-A(CMT)
チャンネル数	4 チャンネル	2 チャンネル
カウントクロック	4 種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512 の中から各チャンネル独立に選択可能	4 種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512 の中からチャンネルごとに選択可能
割り込み	コンペアマッチ割り込みを各チャンネル独立に要求することが可能	コンペアマッチ割り込みをチャンネルごとに要求することが可能
イベントリンク機能(出力)	CMT1 のコンペアマッチによりイベント信号出力	CMT1 のコンペアマッチによりイベント信号出力
イベントリンク機能(入力)	- 設定したモジュールに対してリンク動作が可能 - 設定したイベントによる(1)カウントスタート、(2)イベントカウンタ、(3)カウントリスタート動作が可能	- 設定したモジュールに対してリンク動作が可能 - CMT1 のカウントスタート、イベントカウンタ、カウントリスタート動作が可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.52 コンペアマッチタイマのレジスタ比較

レジスタ	ビット	RX21A(CMT)	RX23E-A(CMT)
CMSTR1	-	コンペアマッチタイマ スタートレジスタ 1	-

2.19 独立ウォッチドッグタイマ

表 2.53 に独立ウォッチドッグタイマの概要比較を、表 2.54 に独立ウォッチドッグタイマのレジスタ比較を示します。

表 2.53 独立ウォッチドッグタイマの概要比較

項目	RX21A(IWDTa)	RX23E-A(IWDTa)
カウントソース	IWDT 専用クロック (IWDTCLK)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1 分周/16 分周/32 分周/64 分周/ 128 分周/256 分周	1 分周/16 分周/32 分周/64 分周/ 128 分周/256 分周
カウント動作	14 ビットのダウンカウンタによる ダウンカウント	14 ビットのダウンカウンタによる ダウンカウント
カウント開始条件	- リセット後、自動的にカウント開始 (オートスタートモード) - リフレッシュ (IWDTRR レジスタに 00h を書き込み後、FFh を書き込む) により、カウント開始 (レジスタスタートモード)	- オートスタートモード : リセット解除後、自動的にカウント開始 - レジスタスタートモード : リフレッシュ動作 (IWDTRR レジスタに “00h” を書き込み後、“FFh” を書き込む) により、カウント開始
カウント停止条件	- リセット (ダウンカウンタ、レジスタは初期値に戻る) - 低消費電力状態 (レジスタ設定による) - アンダフロー、リフレッシュエラー発生時 (レジスタスタートモード : リフレッシュ後にカウント再開)	- リセット (ダウンカウンタ、レジスタは初期値に戻る) - 低消費電力状態 (レジスタ設定による) - アンダフロー、リフレッシュエラー発生時 (レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
割り込み要因	割り込み要求出力要因 - ダウンカウンタがアンダフローしたときノンマスカブル割り込み (WUNI) を発生 - リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)	ノンマスカブル割り込み要因 - ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
カウント値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
イベントリンク機能 (出力)	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)	- ダウンカウンタのアンダフローイベント出力 - リフレッシュエラーイベント出力
出力信号 (内部信号)	- リセット出力 - 割り込み要求出力 - スリープモードカウント停止制御出力	- リセット出力 - 割り込み要求出力 - スリープモードカウント停止制御出力

項目	RX21A(IWDTa)	RX23E-A(IWDTa)
オートスタートモード (オプション機能選択レジスタ 0(OFS0 制御))	- リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) - ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット) - ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDRPSS[1:0]ビット) - ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択 (OFS0.IWDTSLCSTP ビット)	- リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDRPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択(OFS0.IWDRSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウント停止の選択(OFS0.IWDTSLCSTP ビット)
レジスタスタートモード (IWDT レジスタ制御)	- リフレッシュ動作後のクロック分周比の選択 (IWDTCR.CKS[3:0]ビット) - ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0]ビット) - ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCR.RPSS[1:0]ビット) - ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCR.RPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (IWDTCR.RSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択 (IWDTCSTPR.SLCSTP ビット)	- リフレッシュ動作後のクロック分周比の選択 (IWDTCR.CKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCR.RPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCR.RPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (IWDTCR.RSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウント停止の選択(IWDTCSTPR.SLCSTP ビット)

表 2.54 独立ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX21A(IWDTa)	RX23E-A(IWDTa)
IWDTRCR	TOPS[1:0]	タイムアウト期間選択ビット b1 b0 0 0 : 1024 サイクル (03FFh) 0 1 : 4096 サイクル (0FFFh) 1 0 : 8192 サイクル (1FFFh) 1 1 : 16384 サイクル (3FFFh)	タイムアウト期間選択ビット b1 b0 0 0 : 128 サイクル(007Fh) 0 1 : 512 サイクル(01FFh) 1 0 : 1024 サイクル(03FFh) 1 1 : 2048 サイクル(07FFh)

2.20 シリアルコミュニケーションインタフェース

表 2.55 にシリアルコミュニケーションインタフェースの概要比較を、表 2.56 にシリアルコミュニケーションインタフェースのチャンネル比較を、表 2.57 にシリアルコミュニケーションインタフェースのレジスタ比較を示します。

表 2.55 シリアルコミュニケーションインタフェースの概要比較

項目		RX21A(SCIc)	RX23E-A(SCIg, SCIh)
チャンネル数		• SCIc : 5 チャンネル	• SCIg : 3 チャンネル • SCIh : 1 チャンネル
シリアル通信方式		• 調歩同期式 • クロック同期式 • スマートカードインタフェース • 簡易 I²C バス • 簡易 SPI バス	• 調歩同期式 • クロック同期式 • スマートカードインタフェース • 簡易 I²C バス • 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		• 送信部:ダブルバッファ構成による連続送信が可能 • 受信部:ダブルバッファ構成による連続受信が可能	• 送信部:ダブルバッファ構成による連続送信が可能 • 受信部:ダブルバッファ構成による連続受信が可能
データ転送		LSB ファースト/MSB ファースト選択可能	LSB ファースト/MSB ファースト選択可能
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了(簡易 I ² C モード用)	送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了(簡易 I ² C モード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への設定が可能	チャンネルごとにモジュールストップ状態への設定が可能
調歩同期式モード	データ長	7 ビット/8 ビット	7 ビット/8 ビット/ 9 ビット
	送信ストップビット	1 ビット/2 ビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn 端子、RTSn 端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Low	Low または立ち下がリエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブレークを検出可能	フレーミングエラー発生時、RXDn 端子のレベルを直接読み出すことでブレークを検出可能
	クロックソース	• 内部クロック/外部クロックの選択が可能 • TMR からの転送レートクロック入力が可能(SCI5、SCI6)	• 内部クロック/外部クロックの選択が可能 • TMR からの転送レートクロック入力が可能(SCI5、SCI6)
	倍速モード	-	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能	複数のプロセッサ間のシリアル通信機能

項目		RX21A(SCIc)	RX23E-A(SCIlg, SCIh)
調歩同期式モード	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8 ビット	8 ビット
	受信エラーの検出	オーバランエラー	オーバランエラー
	ハードウェアフロー制御	CTSn 端子、RTSn 端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	- 受信時パリティエラーを検出するとエラーシグナルを自動送出 - 送信時エラーシグナルを受信するとデータを自動再送信	- 受信時パリティエラーを検出するとエラーシグナルを自動送出 - 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	I ² C バスフォーマット (MSB ファースト限定)	I ² C バスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)	マスタ(シングルマスタ動作のみ)
	転送速度	最大 384kbps	ファストモード対応
	ノイズ除去	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能
簡易 SPI モード	データ長	8 ビット	8 ビット
	エラーの検出	オーバランエラー	オーバランエラー
	SS 入力端子機能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能	クロック位相、クロック極性の設定を 4 種類から選択可能
拡張シリアルモード (SCI12 のみ対応)	Start Frame 送信	-	- Break Field Low width の出力が可能/出力完了割り込み機能あり - バス衝突検出機能あり/検出割り込み機能あり
	Start Frame 受信	-	- Break Field Low width の検出が可能/検出完了割り込み機能あり - Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり - Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データを設定可能 - Control Field 1 にプライオリティインタラプトビットを設定可能 - Break Field がない Start Frame にも対応可能 - Control Field 0 がない Start Frame にも対応可能 - ビットレート測定機能あり
拡張シリアルモード (SCI12 のみ対応)	入出力制御機能	-	- TXDX12/RXDX12 信号の極性選択が可能 - RXDX12 信号にデジタルフィルタ機能を設定可能 - RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 - RXDX12 端子受信データサンプリングタイミング選択可能
	タイマ機能	-	リロードタイマ機能として使用可能
ビットレートモジュレーション機能		-	内蔵ボーレートジェネレータの出力補正により誤差を低減可能

項目	RX21A(SCIc)	RX23E-A(SCIg, SCIH)
イベントリンク機能 (SCI5 のみ対応)	- エラー(受信エラー・エラーシグナル検出)イベント出力 - 受信データフルイベント出力 - 送信データエンプティイベント出力 - 送信終了イベント出力	- エラー(受信エラー・エラーシグナル検出)イベント出力 - 受信データフルイベント出力 - 送信データエンプティイベント出力 - 送信終了イベント出力

表 2.56 シリアルコミュニケーションインタフェースのチャンネル比較

項目	RX21A(SCIc)	RX23E-A(SCIg, SCIH)
調歩同期式モード	SCI1, SCI5, SCI6, SCI8, SCI9	SCI1, SCI5, SCI6, SCI12
クロック同期式モード	SCI1, SCI5, SCI6, SCI8, SCI9	SCI1, SCI5, SCI6, SCI12
スマートカードインタフェースモード	SCI1, SCI5, SCI6, SCI8, SCI9	SCI1, SCI5, SCI6, SCI12
簡易 I ² C モード	SCI1, SCI5, SCI6, SCI8, SCI9	SCI1, SCI5, SCI6, SCI12
簡易 SPI モード	SCI1, SCI5, SCI6, SCI8, SCI9	SCI1, SCI5, SCI6, SCI12
拡張シリアルモード	-	SCI12
TMR クロック入力	SCI5, SCI6	SCI5, SCI6, SCI12
イベントリンク機能	SCI5	SCI5

表 2.57 シリアルコミュニケーションインタフェースのレジスタ比較

レジスタ	ビット	RX21A(SCIc)	RX23E-A(SCIg, SCIH)
RDRH, RDRL, RDRHL	-	-	レシーブデータレジスタ H、L、HL
TDRH, TDRL, TDRHL	-	-	トランスミットデータレジスタ H、L、HL
SMR	CHR	キャラクタレングスビット SCMR.SMIF ビット=0 のとき (調歩同期式モードのみ有効) 0 : データ長 8 ビットで送受信 1 : データ長 7 ビットで送受信	キャラクタレングスビット SCMR.SMIF ビット=0 のとき (調歩同期式モードのみ有効) SCMR.CHR1 ビットと組み合わせで選択します。 CHR1 CHR 0 0 : データ長 9 ビットで送受信 0 1 : データ長 9 ビットで送受信 1 0 : データ長 8 ビットで送受信 1 1 : データ長 7 ビットで送受信
SSR	RDRF	-	受信データフルフラグ
	TDRE	-	送信データエンプティフラグ
SCMR	CHR1	-	キャラクタレングスビット 1
MDDR	-	-	モジュレーションデューティレジスタ
SEMR	BRME	-	シリアル拡張モードレジスタ
	BGDM	-	ポーレートジェネレータ 倍速モードセレクトビット
	RXDESEL	-	調歩同期スタートビットエッジ検出 セレクトビット
ESMER	-	-	拡張シリアルモード有効レジスタ
CR0	-	-	コントロールレジスタ 0
CR1	-	-	コントロールレジスタ 1

レジスタ	ビット	RX21A(SCIc)	RX23E-A(SCIg, SCIf)
CR2	-	-	コントロールレジスタ 2
CR3	-	-	コントロールレジスタ 3
PCR	-	-	ポートコントロールレジスタ
ICR	-	-	割り込みコントロールレジスタ
STR	-	-	ステータスレジスタ
STCR	-	-	ステータスクリアレジスタ
CF0DR	-	-	Control Field 0 データレジスタ
CF0CR	-	-	Control Field 0 コンペアイネーブルレジスタ
CF0RR	-	-	Control Field 0 受信データレジスタ
PCF1DR	-	-	プライマリ Control Field 1 データレジスタ
SCF1DR	-	-	セカンダリ Control Field 1 データレジスタ
CF1CR	-	-	Control Field 1 コンペアイネーブルレジスタ
CF1RR	-	-	Control Field 1 受信データレジスタ
TCR	-	-	タイマコントロールレジスタ
TMR	-	-	タイマモードレジスタ
TPRE	-	-	タイマプリスケアラレジスタ
TCNT	-	-	タイマカウントレジスタ

2.21 I²C バスインタフェース

表 2.58 に I²C バスインタフェースの概要比較を、表 2.59 に I²C バスインタフェースのレジスタ比較を示します。

表 2.58 I²C バスインタフェースの概要比較

項目	RX21A(RIIC)	RX23E-A(RIICa)
チャンネル数	2 チャンネル	1 チャンネル
通信フォーマット	- I²C バスフォーマット/SMBus フォーマット - マスタ/スレーブ選択可能 - 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保	- I²C バスフォーマット/SMBus フォーマット - マスタ/スレーブ選択可能 - 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	~400kbps	ファストモード対応(~400 kbps)
SCL クロック	マスタ時、SCL クロックのデューティ比を 4%~96%の範囲で設定可能	マスタ時、SCL クロックのデューティ比を 4%~96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	- スレーブアドレスを 3 セット設定可能 7 ビット/10 ビットアドレスフォーマット対応 (混在可能) - ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能	- 異なるスレーブアドレスを 3 種類まで設定可能 7 ビット/10 ビットアドレスフォーマット対応(混在可能) - ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクノリッジ応答	- 送信時、アクノリッジビットの自動ロード —ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 - 受信時、アクノリッジビットの自動送出 —8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能	- 送信時、アクノリッジビットの自動ロード —ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 - 受信時、アクノリッジビットの自動送出 —8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	受信時、SCL クロックの Low ホールドによるウェイトが可能 —8 クロック目と 9 クロック目の間をウェイト —9 クロック目と 1 クロック目の間をウェイト (WAIT 機能)	受信時、SCL クロックの Low ホールドによるウェイトが可能 —8 クロック目と 9 クロック目の間をウェイト —9 クロック目と 1 クロック目の間をウェイト
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能

項目	RX21A(RIIC)	RX23E-A(RIICa)
アービトレーション	- マルチマスタ対応 —他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 —スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 —マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) - ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能	- マルチマスタ対応 —他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 —スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 —マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) - ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能
ノイズ除去	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4 種類 - 通信エラー/イベント発生 —AL 検出 —NACK 検出 —タイムアウト検出 —スタートコンディション検出 (リスタートコンディション含む) —ストップコンディション検出 - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了	4 種類 - 通信エラー/通信イベント発生 —アービトレーション検出 —NACK 検出 —タイムアウト検出 —スタートコンディション検出 (リスタートコンディション含む) —ストップコンディション検出 - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了
消費電力低減機能	モジュールストップ状態への遷移が可能	モジュールストップ状態への遷移が可能
RIIC の動作モード	4 種類 —マスタ送信モード —マスタ受信モード —スレーブ送信モード —スレーブ受信モード	4 種類 —マスタ送信モード —マスタ受信モード —スレーブ送信モード —スレーブ受信モード
イベントリンク機能 (出力)	4 種類(RIIC0) - 通信エラー/イベント発生 —AL 検出 —NACK 検出 —タイムアウト検出 —スタートコンディション検出 (リスタートコンディション含む) —ストップコンディション検出 - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了	4 種類(RIIC0) - 通信エラー/通信イベント発生 —アービトレーション検出 —NACK 検出 —タイムアウト検出 —スタートコンディション検出 (リスタートコンディション含む) —ストップコンディション検出 - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了

表 2.59 I²C バスインタフェースのレジスタ比較

レジスタ	ビット	RX21A(RIIC)	RX23E-A(RIICa)
ICMR2	TMWE	タイムアウト内部カウンタ書き込み許可ビット	-
TMOCNT	-	タイムアウト内部カウンタ	-

2.22 シリアルペリフェラルインタフェース

表 2.60 にシリアルペリフェラルインタフェースの概要比較を、表 2.61 にシリアルペリフェラルインタフェースのレジスタ比較を示します。

表 2.60 シリアルペリフェラルインタフェースの概要比較

項目	RX21A(RSPI)	RX23E-A(RSPIb)
チャンネル数	2 チャンネル	1 チャンネル
RSPI 転送機能	• MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能 • 送信のみの動作が可能 • マスタ/スレーブモードでのシリアル通信が可能 • シリアル転送クロックの極性を変更可能 • シリアル転送クロックの位相を変更可能	• MOSI(Master Out Slave In)、MISO(Master In Slave Out)、SSL(Slave Select)、RSPCK(RSPI Clock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 • 送信のみの動作が可能 • 通信モード:全二重または送信のみを選択可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能
データフォーマット	• MSB ファースト/LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)	• MSB ファースト/LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)
ビットレート	• マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成 (最大分周比は 4096 分周) • スレーブモード時、外部入力クロックをシリアルクロックとして使用 (最大周波数は PCLK の 8 分周) High 幅 : PCLK の 4 サイクル、 Low 幅 : PCLK の 4 サイクル	• マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2~4096 分周) • スレーブ時は、PCLK の最小 6 分周のクロックを、RSPCK として入力可能 (RSPCK の最大周波数は PCLK の 6 分周) High 幅 : PCLK の 3 サイクル、 Low 幅 : PCLK の 3 サイクル
バッファ構成	• 送信/受信バッファ構成はダブルバッファ	• 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは 128 ビット
エラー検出	• モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出	• モードフォルトエラー検出 • オーバランエラー検出^(注 1) • パリティエラー検出 • アンダランエラー検出

項目	RX21A(RSPI)	RX23E-A(RSPIb)
SSL 制御機能	1 チャンネルあたり 4 本の SSL 信号 (SSLn0~SSLn3) - シングルマスタ設定時には、SSLn0~SSLn3 信号を出力 - マルチマスタ設定時：SSLn0 信号は入力、SSLn1~SSLn3 信号は出力または未使用 - スレーブ設定時：SSLn0 信号は入力、SSLn1~SSLn3 信号は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 —設定範囲：1~8 RSPCK —設定単位：1 RSPCK - RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能 —設定範囲：1~8 RSPCK —設定単位：1 RSPCK - 次アクセスの SSL 出力アサートのウェイト(次アクセス遅延)を設定可能 —設定範囲：1~8 RSPCK —設定単位：1 RSPCK - SSL 極性変更機能	1 チャンネルあたり 4 本の SSL 端子 (SSLA0~SSLA3) - シングルマスタ設定時には、SSLA0~SSLA3 端子を出力 - マルチマスタ設定時：SSLA0 端子は入力、SSLA1~SSLA3 端子は出力または未使用 - スレーブ設定時：SSLA0 端子は入力、SSLA1~SSLA3 端子は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能 —設定範囲：1~8 RSPCK —設定単位：1 RSPCK - RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能 —設定範囲：1~8 RSPCK —設定単位：1 RSPCK - 次アクセスの SSL 出力アサートのウェイト(次アクセス遅延)を設定可能 —設定範囲：1~8 RSPCK —設定単位：1 RSPCK - SSL 極性変更機能
マスタ転送時の制御方式	- 最大 8 コマンドで構成された転送をシーケンシャルにループ実行可能 - 各コマンドに以下の項目を設定可能 —SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能	- 最大 8 コマンドで構成された転送を連続してループ実行可能 - 各コマンドに以下の項目を設定可能 —SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能 RSPCK 自動停止機能
割り込み要因	マスカブルな割り込み要因 - RSPI 受信割り込み (受信バッファフル) - RSPI 送信割り込み (送信バッファエンプティ) - RSPI エラー割り込み (モードフォルト、オーバラン、パリティエラー) - RSPI アイドル割り込み (RSPI アイドル)	- 受信バッファフル割り込み - 送信バッファエンプティ割り込み - RSPI エラー割り込み (モードフォルト、オーバラン、アンダラン、パリティエラー) - RSPI アイドル割り込み (RSPI アイドル)

項目	RX21A(RSPI)	RX23E-A(RSPIb)
イベントリンク機能(出力)	RSPI0 のみ対応 - 受信バッファフルイベント出力 - 送信バッファエンプティイベント出力 - モードフォルト/オーバラン/パリティエラーイベント出力 - RSPI アイドルイベント出力 - 送信完了イベント出力	以下のイベントをイベントリンクコントローラへ出力可能(RSPI0) - 受信バッファフルイベント信号 - 送信バッファエンプティイベント信号 - モードフォルト/オーバラン/アンダラン/パリティエラーのイベント信号 - RSPI アイドルイベント信号 - 送信完了イベント信号
その他の機能	- CMOS/オープンドレイン出力切り替え機能 - RSPI 初期化機能 - ループバックモード機能	- CMOS/オープンドレイン出力切り替え機能 - RSPI 初期化機能 - ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

注 1. マスタ受信かつ、RSPCK 自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。

表 2.61 シリアルペリフェラルインタフェースのレジスタ比較

レジスタ	ビット	RX21A(RSPI)	RX23E-A(RSPIb)
SPSR	MODF	モードフォルトエラーフラグ	モードフォルトエラーフラグ ^(注 1)
		0 : モードフォルトエラーなし	0 : モードフォルトエラーなし、アンダランエラーなし
		1 : モードフォルトエラー発生	1 : モードフォルトエラーまたはアンダランエラー発生
	UDRF	-	アンダランエラーフラグ ^(注 1)
	SPTEF	-	送信バッファエンプティフラグ
SPCR2	SPRF	-	受信バッファフルフラグ
	SCKASE	-	RSPCK 自動停止機能許可ビット

注 1. UDRF フラグを“0”にするときは、同時に MODF フラグも“0”にしてください。

2.23 24 ビット Δ - Σ A/D コンバータ

表 2.62 に 24 ビット Δ - Σ A/D コンバータの概要比較を、表 2.63 に 24 ビット Δ - Σ A/D コンバータのレジスタ比較を示します。

表 2.62 24 ビット Δ - Σ A/D コンバータの概要比較

項目	RX21A(DSAD)	RX23E-A(DSADA)
ユニット数	最大 7 ユニット	2 ユニット
入力チャンネル	最大 7 チャンネル	6 チャンネル(12 入力)
A/D 変換方式	2 次 $\Delta\Sigma$ 変調	Δ - Σ 型
分解能	24 ビット	24 ビット
アナログ入力	- 差動入力 : 4 チャンネル (ANDS0P/ANDS0N、ANDS1P/ANDS1N、ANDS2P/ANDS2N、ANDS3P/ANDS3N) - シングルエンド入力 : 3 チャンネル (ANDS4、ANDS5、ANDS6)	アナログマルチプレクサ(AMUX)によりチャンネルごとに入力方式を選択可能 - 差動入力 - 疑似差動入力 - シングルエンド入力
モジュレータクロック周波数(fMOD)	-	- ノーマルモード : 500 kHz - ローパワーモード : 125 kHz
プログラマブルゲイン計装アンプ(PGA)	- ANDS0P~3P、ANDS0N~3N : ×1、×2、×4、×8、×16、×32、×64 - ANDS4~6 : ×1、×2、×4	- PGA のゲインをチャンネルごとに設定可能 (×1、×2、×4、×8、×16、×32、×64、×128) - PGA をバイパスし DSAD への直接入力が可能 - PGA をバイパスしアナログ入力バッファ (BUF)経由での DSAD 入力が可能
データレジスタ	- アナログ入力チャンネルごとに A/D 変換結果レジスタあり - 変換結果の上位側を拡張し、符号付 32 ビットデータとして格納	A/D 変換結果レジスタ 1 本、A/D 変換平均値レジスタ 1 本 - A/D 変換結果に対応するチャンネル番号を専用レジスタで確認可能 - A/D 変換結果に対するオーバフローフラグあり - 出力コードを 2 の補数形式、ストレートバイナリ形式から選択可能
動作クロック	周辺モジュールクロック PCLKB と A/D 変換クロック DSADCLK を以下の分周比で設定可能 - PCLKB : DSADCLK 分周比 = N : 1 (N : 1、2、4、8、16、32) - DSADCLK = 25MHz (固定)	- ノーマルモード : 4 MHz - ローパワーモード : 1 MHz PCLKB を 1/2/3/4/5/6/7.5/8 分周して生成
変換開始条件	- イベントリンクコントローラ (ELC) により設定されたイベントの発生 - 各チャンネルごとに独立に設定可能	- ソフトウェアトリガ - ハードウェアトリガ
ユニット間同期スタート	-	ユニット 0 とユニット 1 の同期スタートが可能

項目	RX21A(DSAD)	RX23E-A(DSADA)
動作モード	ワンショット動作	- 連続スキャンモード(オートスキャンを停止させるまで動作) - シングルスキャンモード(オートスキャン1サイクル実行後に停止) - ワンショット動作(A/D 変換終了後停止)
A/D 変換回数	1 回(A/D 変換終了後停止)	オートスキャンの1サイクルにおける A/D 変換回数をチャンネルごとに設定可能 - レジスタ設定内容により、1~8032 回または 1~255 回を指定 0 回に設定した場合はワンショット動作
入力選択	- 通常変換：アナログ入力端子からの入力 で A/D 変換 $\Delta\Sigma$ 変調器単体変換：内蔵 D/A コンバータから $\Delta\Sigma$ 変調器へ入力し A/D 変換	アナログ入力端子からの入力 で A/D 変換
変換モード	-	- 通常動作 - シングルサイクルセトリング
オーバサンプリング比 (OSR)	-	64/128/256/512/1024/2048/ユーザ定義値から選択可能 - ユーザ定義値：32~65536 (16 の倍数のみ) - チャンネルごとに設定可能
A/D 変換結果平均化	-	- 平均化処理の動作選択可能 —平均化処理を行わない —平均化処理を行い、A/D 変換終了割り込みを 1 回の A/D 変換ごとに発生 —平均化処理を行い、A/D 変換終了割り込みを平均値を格納したときに発生 - 平均化するデータ数はチャンネルごとに選択可能(8/16/32/64)
割り込み要因	- 各チャンネルごとに A/D 変換終了時に割り込み要求 (DSADIO~6) を発生、いずれの割り込みでも DMA コントローラ (DMAC)、データトランスファコントローラ (DTC) を起動可能 - データレジスタが読み出されないまま次の変換データが上書きされた場合、データレジスタ上書き発生割り込み要求 (DSADORI) を発生	- A/D 変換終了割り込み (ADIO0, ADI1) - スキャン終了割り込み(SCANEND0, SCANEND1)
スキャン動作	A/D 変換が許可されているチャンネルのみ、各チャンネルは独立したタイミングで制御される	A/D 変換が許可されているチャンネルのみ、チャンネル 0 側から順に変換
デジタルフィルタ	デシメーションフィルタ	4 次 Sinc フィルタ
オフセットエラー、ゲインエラー補正	-	レジスタに設定した値を用いて、オフセットエラー、ゲインエラーを自動補正
断線検出アシスト	-	入力信号の断線検出アシスト機能が使用可能 断線検出電流をチャンネルごとに設定可能 (0.5 μA, 2 μA, 4 μA, 20 μA)
異常検知	-	A/D 変換結果に異常が発生した場合、A/D 変換結果とともに異常を通知

項目	RX21A(DSAD)	RX23E-A(DSADA)
イベントリンク機能	ELC からのトリガにより A/D 変換開始 (ハードウェアトリガ)	ELC からのトリガにより A/D 変換開始 (ハードウェアトリガ)
消費電力低減機能	- モジュールストップ状態を設定し、供給クロックの停止が可能 - 内蔵 BGR および各チャネルの PGA、$\Delta\Sigma$ 変調器の起動/停止が個別に設定可能	モジュールストップ状態への遷移が可能

表 2.63 24 ビット Δ - Σ A/D コンバータのレジスタ比較

レジスタ	ビット	RX21A(DSAD)	RX23E-A(DSADA)
CCR	-	-	DSAD 動作クロック制御レジスタ
MR	-	-	DSAD 動作モードレジスタ
MRm	-	-	チャネル m 動作モードレジスタ (m = 0~5)
CRm	-	-	チャネル m 制御レジスタ (m = 0~5)
ADST	-	-	A/D 変換開始レジスタ
ADSTP	-	-	A/D 変換停止レジスタ
DSADDR0~6 (RX21A) DR(RX23E-A)	DATA[23:0]	-	データビット
	OVF	-	オーバフローフラグ
	ERR	-	異常検出フラグ
	CCH[2:0]	-	変換チャネル表示ビット
AVDR	-	-	平均値データレジスタ
SR	-	-	ステータスレジスタ
OSRm	-	-	チャネル m オーバサンプリング比設定レジスタ (m = 0~5)
GCRm	-	-	チャネル m ゲイン補正レジスタ (m = 0~5)
OFCRm	-	-	チャネル m オフセット補正レジスタ (m = 0~5)
DSADCR0~6	-	$\Delta\Sigma$ A/D コントロールレジスタ 0~6	-
DSADRSTR	-	$\Delta\Sigma$ A/D リセットレジスタ	-
DSADCSR0~6	-	$\Delta\Sigma$ A/D コントロール/ ステータスレジスタ 0~6	-
DSADGSR0~3	-	$\Delta\Sigma$ A/D ゲイン選択レジスタ 0~3	-
DSADGSR4~6	-	$\Delta\Sigma$ A/D ゲイン選択レジスタ 4~6	-
DSADFR0~6	-	$\Delta\Sigma$ A/D 上書きフラグレジスタ 0~6	-
DSADRCCR	-	$\Delta\Sigma$ A/D リファレンス制御レジスタ	-
DSADCER	-	$\Delta\Sigma$ A/D 制御拡張レジスタ	-
DSADISR0~6	-	$\Delta\Sigma$ A/D 入力選択レジスタ 0~6	-
DSADIIC	-	$\Delta\Sigma$ A/D 入力インピーダンス校正データレジスタ	-
DSADGmXn	-	$\Delta\Sigma$ A/D ゲイン校正データレジスタ (m = 0~6、n = 1, 2, 4, 8, 16, 32)	-

2.24 10 ビット A/D コンバータ / 12 ビット A/D コンバータ

表 2.64 に 10 ビット A/D コンバータ / 12 ビット A/D コンバータの概要比較を、表 2.65 に 12 ビット A/D コンバータのレジスタ比較を、表 2.66 に ADSTRGR レジスタに設定する A/D 起動要因比較を示します。

表 2.64 10 ビット A/D コンバータ / 12 ビット A/D コンバータの概要比較

項目	RX21A(AD)	RX23E-A(S12ADE)
ユニット数	1 ユニット	1 ユニット
入力チャンネル	7 チャンネル	6 チャンネル
拡張アナログ機能	温度センサ出力、内部基準電圧	-
A/D 変換方式	逐次比較方式	逐次比較方式
分解能	10 ビット	12 ビット
変換時間	1 チャンネル当たり 2.0 μ s (A/D 変換クロック ADCLK=25MHz 動作時)	1 チャンネル当たり 1.4 μ s (A/D 変換クロック ADCLK = 32MHz 動作時)
A/D 変換クロック	周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の分周比で設定可能 —PCLK : ADCLK 分周比 = 1 : 1、1 : 2、1 : 4、1 : 8、2 : 1、4 : 1 ADCLK の設定はクロック発生回路で行います	周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の周波数比で設定可能 —PCLK : ADCLK 周波数比 = 1 : 1、1 : 2、2 : 1、4 : 1、8 : 1 ADCLK の設定はクロック発生回路で行います
データレジスタ	- アナログ入力用 7 本 - 温度センサ用 1 本、内部基準電圧用 1 本 - A/D 変換結果を 10 ビット A/D データレジスタに保持 - 加算モード時は A/D 変換結果の加算値を 12 ビットで A/D データレジスタに保持	- アナログ入力用 6 本、ダブルトリガモードでの A/D 変換データ二重化用 1 本 - 自己診断用 1 本 - A/D 変換結果を 12 ビット A/D データレジスタに保持 - A/D 変換結果の 12 ビット精度出力に対応 - 加算モード時は A/D 変換結果の加算値を変換精度ビット数 + 2 ビット / 4 ビットで A/D データレジスタに保持 - ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能)選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに保持、2 回目の A/D 変換データは二重化レジスタに保持

項目	RX21A(AD)	RX23E-A(S12ADE)
動作モード	- シングルスキャンモード： —任意に選択した最大 7 チャンネルのアナログ入力を 1 回のみ A/D 変換 —温度センサ出力を 1 回のみ A/D 変換 —内部基準電圧を 1 回のみ A/D 変換 - 連続スキャンモード： —任意に選択した最大 7 チャンネルのアナログ入力を繰り返し A/D 変換	- シングルスキャンモード： —任意に選択した最大 6 チャンネルのアナログ入力を 1 回のみ A/D 変換 - 連続スキャンモード： —任意に選択した最大 6 チャンネルのアナログ入力を繰り返し A/D 変換 - グループスキャンモード： —任意に選択した最大 6 チャンネルのアナログ入力をグループ A とグループ B に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 —グループ A とグループ B は、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 - グループスキャンモード (グループ A 優先制御選択時) —グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を実施 —グループ A の A/D 変換動作終了後、グループ B の A/D 変換動作を再実行(再スキャン)の設定が可能
A/D 変換開始条件	- ソフトウェアトリガ - 同期トリガ —MTU、ELC、温度センサからのトリガ - 非同期トリガ —ADTRG0#端子による A/D 変換の開始が可能	- ソフトウェアトリガ - 同期トリガ —マルチファンクションタイマパルスユニット(MTU)、イベントリンクコントローラ(ELC)からのトリガ - 非同期トリガ —外部トリガ ADTRG0#端子による A/D 変換動作の開始が可能
機能	- サンプル&ホールド機能 - サンプリングステート数可変機能 10 ビット A/D コンバータの自己診断機能 - A/D 変換値加算モード - アナログ入力断線検出アシスト機能	- サンプリングステート数可変機能 12 ビット A/D コンバータの自己診断機能 - A/D 変換値加算モードと平均モードが選択可能 - アナログ入力断線検出機能(ディスチャージ機能/プリチャージ機能) - ダブルトリガモード (A/D 変換データ二重化機能) - A/D データレジスタオートクリア機能 - コンペア機能 (ウィンドウ A、ウィンドウ B) - コンペア機能使用時のリングバッファ (16 本)

項目	RX21A(AD)	RX23E-A(S12ADE)
割り込み要因	1 回のスキャン終了でスキャン終了割り込み要求 (ADI) を発生 - ADI 割り込みで DMA コントローラ (DMAC)、データトランスファコントローラ (DTC) を起動可能	- ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 - ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生 - グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(GBADI)を発生 - グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(GBADI)を発生 - S12ADI0、GBADI 割り込みで DMA コントローラ(DMAC)、データトランスファコントローラ(DTC)を起動可能
イベントリンク機能	- スキャン終了時に ELC イベント発生可能 - ELC からのトリガにより A/D 変換開始可能	- グループスキャンモードでのグループ B のスキャン終了を除くスキャン終了時に ELC イベント発生 - グループスキャンモードでのグループ B のスキャン終了時に ELC イベント発生 - すべてのスキャン終了時に ELC イベント発生 - ELC からのトリガによりスキャン開始可能 - シングルスキャンモードでのウィンドウコンペア機能のイベント条件に応じて、ELC イベント発生
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.65 12 ビット A/D コンバータのレジスタ比較

レジスタ	ビット	RX21A(AD)	RX23E-A(S12ADE)
ADDRy	-	A/D データレジスタ y (y = 0~ 6)	A/D データレジスタ y (y = 0~5)
ADDBLDR	-	-	A/D データ二重化レジスタ
ADTSDR	-	A/D 温度センサデータレジスタ	-
ADOCDR	-	A/D 内部基準電圧データレジスタ	-
ADCSR	DBLANS[4:0]	-	ダブルトリガ対象チャンネル選択ビット
	GBADIE	-	グループ B スキャン終了割り込み許可ビット
	DBLE	-	ダブルトリガモード選択ビット
	ADHSC	-	A/D 変換動作選択ビット
	ADCS (RX21A) ADCS[1:0] (RX23E-A)	スキャンモード選択ビット (b14) 0 : シングルスキャンモード 1 : 連続スキャンモード	スキャンモード選択ビット (b14-b13) b14 b13 00 : シングルスキャンモード 01 : グループスキャンモード 10 : 連続スキャンモード 11 : 設定禁止
ADANSA (RX21A) ADANSA0 (RX23E-A)	ANSA[6:0] (RX21A) ANSA0n (RX23E-A)	A/D 変換チャンネル選択ビット (b6-b0)	A/D 変換チャンネル選択ビット (n = 00~05)
ADANSB0	-	-	A/D チャンネル選択レジスタ B0
ADADS (RX21A) ADADS0 (RX23E-A)	ADS[6:0] (RX21A) ADS0n (RX23E-A)	AD 変換値加算チャンネル選択ビット (b6-b0)	A/D 変換値加算/ 平均チャンネル 選択ビット (n = 00~05)
ADADC	ADC[1:0] (RX21A) ADC[2:0] (RX23E-A)	加算回数選択ビット (b1-b0) b1 b0 00 : 1 回変換 (加算なし。通常変換と同じ) 01 : 2 回変換 (1 回加算を行う) 10 : 3 回変換 (2 回加算を行う) 11 : 4 回変換 (3 回加算を行う)	加算回数選択ビット (b2-b0) b2 b0 000 : 1 回変換 (加算なし。通常変換と同じ) 001 : 2 回変換(1 回加算を行う) 010 : 3 回変換(2 回加算を行う) 011 : 4 回変換(3 回加算を行う) 101 : 16 回変換 (15 回加算を行う) 上記以外は設定しないでください
	AVEE	-	平均モードイネーブルビット
ADSTRGR	TRSB[5:0]	-	グループ B 専用 A/D 変換開始トリガ選択ビット
	TRSA[4:0] (RX21A) TRSA[5:0] (RX23E-A)	A/D 変換開始トリガ選択ビット (b12-b8)	A/D 変換開始トリガ選択ビット (b13-b8)
ADEXICR	-	A/D 拡張入力コントロールレジスタ	-
ADSSSTRn	-	A/D サンプリングステートレジスタ n (n=0~ 6 、 T 、 O)	A/D サンプリングステートレジスタ n (n = 0~5)
ADDISCR	ADNDIS[3:0] (RX21A) ADNDIS[4:0] (RX23E-A)	断線検出アシスト設定ビット (b3-b0)	A/D 断線検出アシスト設定ビット (b4-b0)

レジスタ	ビット	RX21A(AD)	RX23E-A(S12ADE)
ADELCCR	-	-	A/D イベントリンク コントロールレジスタ
ADGSPCR	-	-	A/D グループスキュー優先 コントロールレジスタ
ADCMPCR	-	-	A/D コンペア機能 コントロールレジスタ
ADCMPSR0	-	-	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0
ADCMPLR0	-	-	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0
ADCMPCR0	-	-	A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ
ADCMPCR1	-	-	A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ
ADCMPSR0	-	-	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 0
ADHVREFCNT	-	-	A/D 高電位/低電位基準電圧 コントロールレジスタ
ADWINMON	-	-	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ
ADCMPBNSR	-	-	A/D コンペア機能ウィンドウ B チャンネル選択レジスタ
ADWINLLB	-	-	A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ
ADWINULB	-	-	A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ
ADCMPBSR	-	-	A/D コンペア機能ウィンドウ B チャンネルステータスレジスタ
ADBUF _n	-	-	A/D データ格納バッファレジスタ n (n = 0~15)
ADBUFEN	-	-	A/D データ格納バッファ イネーブルレジスタ
ADBUFPTR	-	-	A/D データ格納バッファ ポインタレジスタ

表 2.66 ADSTRGR レジスタに設定する A/D 起動要因比較

ビット	RX21A(AD)	RX23E-A(S12ADE)
TRSA[4:0] (RX21A)	A/D 変換開始トリガ選択ビット (b12-b8)	A/D 変換開始トリガ選択ビット (b13-b8)
TRSA[5:0] (RX23E-A)	b12 b8	b13 b8
	0 0 0 0 0 : ADTRG0#	1 1 1 1 1 1 : トリガ要因非選択状態
	0 0 0 0 1 : TRG0AN	0 0 0 0 0 0 : ADTRG0#
	0 0 0 1 0 : TRG0BN	0 0 0 0 0 1 : TRG0AN
	0 0 0 1 1 : TRGAN	0 0 0 0 1 0 : TRG0BN
	0 0 1 0 0 : TRG0EN	0 0 0 0 1 1 : TRGAN
	0 0 1 0 1 : TRG0FN	0 0 0 1 0 0 : TRG0EN
	0 0 1 1 0 : TRG4AN	0 0 0 1 0 1 : TRG0FN
	0 0 1 1 1 : TRG4BN	0 0 0 1 1 0 : TRG4AN
	0 1 0 0 0 : TRG4ABN	0 0 0 1 1 1 : TRG4BN
	0 1 0 0 1 : ELC	0 0 1 0 0 0 : TRG4ABN
	0 1 0 1 0 : 温度センサ	0 0 1 0 0 1 : ELCTRG0

2.25 データ演算回路

表 2.67 にデータ演算回路の概要比較を示します。

表 2.67 データ演算回路の概要比較

項目	RX21A(DOC)	RX23E-A(DOC)
データ演算機能	16 ビットデータの比較、加算、または減算	16 ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能
割り込み	- データ比較の結果が一致または不一致のとき - データ加算の結果が"FFFFh"より大きくなったとき - データ減算の結果が"0000h"より小さくなったとき	- データ比較の結果が一致または不一致のとき - データ加算の結果が"FFFFh"より大きくなったとき - データ減算の結果が"0000h"より小さくなったとき
イベントリンク機能(出力)	-	- データ比較の結果が一致または不一致のとき - データ加算の結果が"FFFFh"より大きくなったとき - データ減算の結果が"0000h"より小さくなったとき

2.26 RAM

表 2.68 に RAM の概要比較を示します。

表 2.68 RAM の概要比較

項目	RX21A	RX23E-A
容量	64K バイト (0000 0000h~0000 FFFFh) 32K バイト (0000 0000h~0000 7FFFh)	32K バイト (0000 0000h ~ 0000 7FFFh) 16K バイト (0000 0000h ~ 0000 3FFFh)
アクセス	- 読み出し/書き込みともに 1 サイクルで動作 - RAM 有効/無効選択可能	- 読み出し/書き込みともに 1 サイクルで動作 - RAM 有効/無効選択可能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能

2.27 フラッシュメモリ

表 2.69 にフラッシュメモリの概要比較を、表 2.70 にフラッシュメモリのレジスタ比較を示します。

表 2.69 フラッシュメモリの概要比較

項目	RX21A	RX23E-A(FLASH)
メモリ容量	- ユーザ領域 : 512K バイト - データ領域 : 8K バイト - ユーザブート領域 : 16K バイト	- ユーザ領域 : 最大 256K バイト - データ領域 : 8K バイト - エクストラ領域 : スタートアップ領域情報、アクセスウィンドウ情報、ユニーク ID を格納
アドレス	- 容量が 512K バイトの場合 —FFF8 0000h~FFFF FFFFh - 容量が 384K バイトの場合 —FFFA 0000h~FFFF FFFFh - 容量が 256K バイトの場合 —FFFC 0000h~FFFF FFFFh	- 容量が 256K バイトの場合 —FFFC 0000h~FFFF FFFFh - 容量が 128K バイトの場合 —FFFE 0000h~FFFF FFFFh
FCU コマンド(RX21A)/ ソフトウェア コマンド(RX23E-A)	以下の FUC コマンドを実装 —P/E ノーマルモード移行、ステータス リードモード移行、ロックビットリ ードモード移行 (ロックビットリ ード 1)、周辺クロック通知、プログラム、 ブロックイレーズ、P/E サスペンド、 P/E レジューム、ステータスレジスタ リア、ロックビットリード 2/ブランク チェック、ロックビットプログラム	- 以下のソフトウェアコマンドを実装 —プログラム、ブランクチェック、ブ ロックイレーズ、全ブロックイレーズ - エクストラ領域のプログラム用に以下の コマンドを実装 —スタートアップ領域情報プログラム、 アクセスウィンドウ情報プログラム
イレーズ後の値	- ROM : FFh - E2 データフラッシュ : FFh	- ROM : FFh - E2 データフラッシュ : FFh
割り込み	FCU コマンドの実行が完了により割り込み (FRDYI)が発生	ソフトウェアコマンド処理の完了、 または強制停止処理の完了 により割り込み (FRDYI)が発生
オンボード プログラミング	- ブートモードによる書き換え —調歩同期式シリアルインタフェース (SCI1) を使用 —通信速度は自動調整 —ユーザブート領域も書き換え可能 - ユーザブートモードによる書き換え —ユーザ独自のブートプログラムを作成 可能 - ユーザプログラム中の ROM 書き換え ルーチンによる書き換え —システムをリセットすることなく ROM/E2 データフラッシュの書き換え が可能	- ブートモード(SCI インタフェース) —シリアルコミュニケーションインタ フェースのチャンネル 1 (SCI1)を調歩同 期式モードで使用 —ユーザ領域とデータ領域を書き換え可 能 - ブートモード(FINE インタフェース) —FINE を使用 —ユーザ領域とデータ領域を書き換え可 能 - セルフプログラミング (シングルチップモード) —ユーザプログラム内のフラッシュ書き 換えルーチンによるユーザ領域とデー タ領域の書き換えが可能

項目		RX21A	RX23E-A(FLASH)
オフボードプログラミング		本 MCU に対応したフラッシュプログラマを使用して、ユーザ領域とデータ領域の書き換えが可能	本 MCU に対応したフラッシュプログラマを使用して、ユーザ領域とデータ領域の書き換えが可能
ID コードプロテクト		- ブートモード時、シリアルプログラマとの接続の許可または禁止を、ID コードにより制御可能 - オンチップデバギングエミュレータ接続時、ID コードにより制御可能	- ブートモード時、シリアルプログラマとの接続の許可または禁止を、ID コードにより制御可能 - オンチップデバギングエミュレータ接続時、ID コードにより制御可能
プロテクト機能	ソフトウェアプロテクト機能	- FENTRYR.FENTRY0 ビット、FWEPROR.FLWE[1:0] ビット、ロックビット、DFLRE0 レジスタ、DFLWE0 レジスタにより意図しない書き換えを防ぐことが可能 DFLRE0 レジスタ、DFLWE0 レジスタによるプロテクトの単位は 2K バイト	DFLCTL.DFLEN ビット、FENTRYR.FENTRY0 ビットにより意図しない書き換えを防ぐことが可能
	コマンドロック状態	プログラム/イレーズ中に異常動作を検出した場合、以後のプログラム/イレーズ処理を禁止	-
	ブートプログラムプロテクション	ユーザブート領域のプログラム/イレーズは、ブートモードでのみ可能	-
	スタートアッププログラム保護機能	-	ブロック 0~7 の書き換えを安全に行うための機能
	エリアプロテクション	-	セルフプログラミング時、ユーザ領域内の指定された範囲のみ書き換えを許可し、それ以外への書き換えを禁止することが可能
バックグラウンドオペレーション(BGO)機能		- E2 データフラッシュへのプログラム/イレーズを実行している期間、ROM 領域に配置したプログラムを実行可能 - ROM へのプログラム/イレーズを実行している期間、CPU は ROM/E2 データフラッシュ以外の領域に配置したプログラムを実行可能	E2 データフラッシュの書き換え中に、ROM 上に配置されたプログラムを実行可能

表 2.70 フラッシュメモリのレジスタ比較

レジスタ	ビット	RX21A	RX23E-A(FLASH)
DFLCTL	-	-	E2 データフラッシュ制御レジスタ
FPR	-	-	プロテクト解除レジスタ
FPSR	-	-	プロテクト解除ステータスレジスタ
FPMCR	-	-	フラッシュ P/E モード制御レジスタ
FISR	-	-	フラッシュ初期設定レジスタ
FRESETR	-	フラッシュリセットレジスタ	フラッシュリセットレジスタ
	FRKEY[7:0]	FRESETR は、16 ビットレジスタです。 キーコード	FRESETR は、8 ビットレジスタです。 -
FASR	-	-	フラッシュ領域選択レジスタ
FCR	-	-	フラッシュ制御レジスタ
FEXCR	-	-	フラッシュエクストラ領域制御レジスタ
FSARH	-	-	フラッシュ処理開始アドレスレジスタ H
FSARL	-	-	フラッシュ処理開始アドレスレジスタ L
FEARH	-	-	フラッシュ処理終了アドレスレジスタ H
FEARL	-	-	フラッシュ処理終了アドレスレジスタ L
FWBn	-	-	フラッシュライトバッファ n レジスタ (n = 0~3)
FSTATR0	ERSERR (RX21A) ERERR (RX23E-A)	消去エラービット (b5)	イレーズエラーフラグ (b0)
	PRGERR	書き込みエラービット (b4)	プログラムエラーフラグ (b1)
	BCERR	-	ブランクチェックエラーフラグ
	ILGLERR	イリーガルコマンドエラービット (b6)	イリーガルコマンドエラーフラグ (b4)
	EILGLERR	-	エクストラ領域 イリーガルコマンドエラーフラグ
	PRGSPD	書き込みサスペンドステータスビット	-
	ERSSPD	消去サスペンドステータスビット	-
	SUSRDY	サスペンドレディービット	-
	FRDY	フラッシュレディービット	-
FSTATR1	FRDY	-	フラッシュレディフラグ
	EXRDY	-	エクストラ領域レディフラグ
	FLOCKST	ロックビットステータスビット	-
	FCUERR	FCU エラービット	-
FEAMH	-	-	フラッシュエラーアドレス モニタレジスタ H
FEAML	-	-	フラッシュエラーアドレス モニタレジスタ L
FSCMR	-	-	フラッシュスタートアップ 設定モニタレジスタ
FAWSMR	-	-	フラッシュアクセスウィンドウ 開始アドレスモニタレジスタ
FAWEMR	-	-	フラッシュアクセスウィンドウ 終了アドレスモニタレジスタ
FWEPROR	-	フラッシュライト イレーズプロテクトレジスタ	-
FMODR	-	フラッシュモードレジスタ	-
FASTAT	-	フラッシュアクセスステータスレジスタ	-
FAEINT	-	フラッシュアクセスエラー割り込み 許可レジスタ	-

レジスタ	ビット	RX21A	RX23E-A(FLASH)
FRDYIE	-	フラッシュレディー割り込み許可レジスタ	-
FPROTR	-	フラッシュプロテクトレジスタ	-
FCMDR	-	FCU コマンドレジスタ	-
FCPSR	-	FCU 処理切り替えレジスタ	-
FPESTAT	-	フラッシュ P/E ステータスレジスタ	-
PCKAR	-	周辺クロック通知レジスタ	-
DFLRE0	-	E2 データフラッシュ読み出し許可レジスタ 0	-
DFLWE0	-	E2 データフラッシュプログラム/イレーズ許可レジスタ 0	-
DFLBCCNT	-	E2 データフラッシュブランクチェック制御レジスタ	-
DFLBCSTAT	-	E2 データフラッシュブランクチェックステータスレジスタ	-

2.28 パッケージ

表 2.71 に示す通り、一部パッケージの外形図やパッケージ展開に差分がありますので、基板設計時には留意ください。

表 2.71 パッケージ

パッケージタイプ	RENESAS Code	
	RX21A	RX23E-A
100 ピン TFLGA	○	×
100 ピン LQFP	○	×
80 ピン LQFP	○	×
64 ピン LQFP	○	×
48 ピン LFQFP	×	○
40 ピン HWQFN	×	○

○ : パッケージあり(RENESAS Code は省略)、 × : パッケージなし

3. 端子機能の比較

以下に端子機能の比較、および電源、クロック、システム制御端子の比較を示します。いずれかのグループにしか存在しない項目は青字に、両方のグループに存在するが相違点がある項目は赤字にしています。仕様に相違点がない項目は黒字にしています。

RX21A グループと RX23E-A グループでは、ピン数が同じパッケージはありませんが、各端子機能は一部を除いて互換性があり、移行し易い端子設計となっています。

3.1 64 ピンパッケージ(RX21A : LQFP)/48 ピンパッケージ(RX23E-A : LQFP)/40 ピンパッケージ(RX23E-A : HWQFN)

表 3.1 に 64 ピンパッケージ(RX21A)/48 ピンパッケージ(RX23E-A)/40 ピンパッケージ(RX23E-A)端子機能の比較を示します。

表 3.1 64 ピンパッケージ(RX21A)/48 ピンパッケージ(RX23E-A)/40 ピンパッケージ(RX23E-A)端子機能の比較

64 ピン	48 ピン	40 ピン	RX21A (64 ピン LQFP)	RX23E-A (48 ピン LQFP)	RX23E-A (40 ピン HWQFN)
1	1	-	P03/AN4	AIN10/AN004/IEXC0/ IEXC1/IEXC2/IEXC3	-
2	10	8	VCL	VCL	VCL
3	11	9	MD/FINED	MD/FINED	MD/FINED
4	-	-	XCIN	-	-
5	-	-	XCOUT	-	-
6	5	3	RES#	RES#	RES#
7	6	4	XTAL/P37	XTAL/P37	XTAL/P37
8	7	5	VSS	VSS	VSS
9	8	6	EXTAL/P36	EXTAL/P36	EXTAL/P36
10	9	7	VCC	VCC	VCC
11	12	10	P35/NMI	P35/NMI	P35/NMI
12	-	-	P32/MTIOC0C/TMO3/ TXD6/SMOSI6/SSDA6/ IRQ2-DS/RTCOUT/ RTCIC2	-	-
13	13	11	P31/MTIOC4D/TMCI2/ CTS1#/RTS1#/SS1#/ SSLB0/IRQ1-DS/RTCIC1	P31/MTIOC1A/MTIOC4D/ TMO3/CTS1#/RTS1#/ SS1#/IRQ1	P31/MTIOC1A/MTIOC4D/ TMO3/CTS1#/RTS1#/ SS1#/IRQ1
14	14	12	P30/MTIOC4B/TMRI3/ POE8#/RXD1/SMISO1/ SSCL1/MISOB/IRQ0-DS/ RTCIC0	P30/MTIOC0A/MTIOC4B/ TMCI3/POE8#/RXD1/ SMISO1/SSCL1/IRQ0	P30/MTIOC0A/MTIOC4B/ TMCI3/POE8#/RXD1/ SMISO1/SSCL1/IRQ0
15	15	13	P27/MTIOC2B/TMCI3/ SCK1/RSPCKB	P27/MTIOC2B/MTIOC4A/ TMRI3/SCK1/IRQ3	P27/MTIOC2B/MTIOC4A/ TMRI3/SCK1/IRQ3
16	16	14	P26/MTIOC2A/TMO1/ TXD1/SMOSI1/SSDA1/ MOSIB	P26/MTIOC2A/MTIOC4C/ TMO0/TXD1/SMOSI1/ SSDA1/IRQ2	P26/MTIOC2A/MTIOC4C/ TMO0/TXD1/SMOSI1/ SSDA1/IRQ2
17	17	15	P17/MTIOC3A/MTIOC3B/ TMO1/POE8#/SCK1/ MISOA/SDA0-DS/IRQ7	P17/MTIOC3A/MTIOC3B/ TMO1/POE8#/SCK1/ MISOA/SDA/IRQ7	P17/MTIOC3A/MTIOC3B/ TMO1/POE8#/SCK1/ MISOA/SDA/IRQ7
18	18	16	P16/MTIOC3C/MTIOC3D/ TMO2/TXD1/SMOSI1/ SSDA1/MOSIA/SCL0-DS/ IRQ6/RTCOUT/ADTRG0#	P16/MTIOC3C/MTIOC3D/ TMO2/TXD1/SMOSI1/ SSDA1/MOSIA/SCL/IRQ6/ ADTRG0#	P16/MTIOC3C/MTIOC3D/ TMO2/TXD1/SMOSI1/ SSDA1/MOSIA/SCL/IRQ6/ ADTRG0#

64 ピン	48 ピン	40 ピン	RX21A (64ピン LQFP)	RX23E-A (48ピン LFQFP)	RX23E-A (40ピン HWQFN)
19	19	17	P15/MTIOC0B/MTCLKB/ TMC12/RXD1/SMISO1/ SSCL1/IRQ5	P15/MTIOC0B/MTCLKB/ TMC12/RXD1/SMISO1/ SSCL1/SSLA1/CRXD0/ IRQ5	P15/MTIOC0B/MTCLKB/ TMC12/RXD1/SMISO1/ SSCL1/SSLA1/CRXD0/ IRQ5
20	20	18	P14/MTIOC3A/MTCLKA/ TMRI2/CTS1#/RTS1#/ SS1#/IRQ4	P14/MTIOC3A/MTCLKA/ TMRI2/CTS1#/RTS1#/ SS1#/SSLA3/CTXD0/ IRQ4	P14/MTIOC3A/MTCLKA/ TMRI2/CTS1#/RTS1#/ SS1#/SSLA3/CTXD0/ IRQ4
21	21	-	PH3/TMCIO	PH3/MTIC5W/MTCLKB/ TMCIO/POE2#/CTS6#/ RTS6#/SS6#/RSPCKA	-
22	22	-	PH2/TMRI0/IRQ1	PH2/MTIC5V/MTCLKA/ TMRI0/SCK5/MOSIA/IRQ1	-
23	23	19	PH1/TMO0/IRQ0	PH1/MTIC5U/MTCLKD/ TMO0/POE2#/TXD5/ SMOSI5/SSDA5/SSLA0/ IRQ0/CLKOUT	PH1/MTCLKD/TMO0/ POE2#/TXD5/SMOSI5/ SSDA5/SSLA0/IRQ0/ CLKOUT
24	24	20	PH0/CACREF	PH0/MTIOC0D/MTCLKC/ TMRI0/CACREF/RXD5/ SMISO5/SSCL5/SSLA2	PH0/MTIOC0D/MTCLKC/ TMRI0/CACREF/RXD5/ SMISO5/SSCL5/SSLA2
25	-	-	P55/MTIOC4D/TMO3	-	-
26	-	-	P54/MTIOC4B/TMC11	-	-
27	25	-	PC7/MTIOC3A/TMO2/ MTCLKB/TXD8/SMOSI8/ SSDA8/MISOA/CACREF	PC7/MTIOC3A/MTCLKB/ TMO2/CACREF/TXD6/ SMOSI6/SSDA6/MISOA	-
28	26	-	PC6/MTIOC3C/MTCLKA/ TMC12/RXD8/SMISO8/ SSCL8/MOSIA	PC6/MTIOC3C/MTCLKA/ TMC12/RXD6/SMISO6/ SSCL6/MOSIA	-
29	27	21	PC5/MTIOC3B/MTCLKD/ TMRI2/SCK8/RSPCKA	PC5/MTIOC3B/MTCLKD/ TMRI2/SCK5/SCK6/ SCK12/RSPCKA	PC5/MTIOC3B/MTCLKD/ TMRI2/SCK5/SCK12/ RSPCKA
30	28	22	PC4/MTIOC3D/MTCLKC/ TMC11/POE0#/SCK5/ CTS8#/RTS8#/SS8#/ SSLA0	PC4/MTIOC3D/MTCLKC/ TMC11/POE0#/CTS5#/ RTS5#/SS5#/CTS12#/ RTS12#/SS12#/SSLA0	PC4/MTIOC3D/MTCLKC/ TMC11/POE0#/CTS5#/ RTS5#/SS5#/CTS12#/ RTS12#/SS12#/SSLA0
31	-	-	PC3/MTIOC4D/TXD5/ SMOSI5/SSDA5/IRTXD5	-	-
32	-	-	PC2/MTIOC4B/RXD5/ SMISO5/SSCL5/IRRXD5/ SSLA3	-	-
33	-	-	PB7/PC1/MTIOC3B/TXD9/ SMOSI9/SSDA9	-	-
34	-	-	PB6/PC0/MTIOC3D/RXD9/ SMISO9/SSCL9	-	-
35	-	-	PB5/MTIOC2A/MTIOC1B/ TMRI1/POE1#/SCK9	-	-
36	-	-	PB3/MTIOC0A/MTIOC4A/ TMO0/POE3#/SCK6	-	-
37	29	23	PB1/MTIOC0C/MTIOC4C/ TMCIO/TXD6/SMOSI6/ SSDA6/IRQ4-DS	PB1/MTIOC1B/MTIOC2A/ TMRI1/POE1#/TXD12/ TXDX12/SIOX12/ SMOSI12/SSDA12	PB1/MTIOC1B/MTIOC2A/ TMRI1/POE1#/TXD12/ TXDX12/SIOX12/ SMOSI12/SSDA12
38	30	24	VCC	VCC	VCC
39	31	25	PB0/MTIC5W/RXD6/ SMISO6/SSCL6/RSPCKA/ CMPB0	PB0/MTIOC0C/TMCIO/ POE3#/RXD12/RDX12/ SMISO12/SSCL12/IRQ4	PB0/MTIOC0C/TMCIO/ POE3#/RXD12/RDX12/ SMISO12/SSCL12/IRQ4
40	32	26	VSS	VSS	VSS

64 ピン	48 ピン	40 ピン	RX21A (64ピン LQFP)	RX23E-A (48ピン LFQFP)	RX23E-A (40ピン HWQFN)
41	-	-	PA6/MTIC5V/MTCLKB/ TMC13/POE2#/CTS5#/ RTS5#/SS5#/MOSIA/ CVREFB0	-	-
42	-	-	PA4/MTIC5U/MTCLKA/ TMRI0/TXD5/SMOSI5/ SSDA5/IRTXD5/SSLA0/ IRQ5-DS/CVREFB1	-	-
43	-	-	PA3/MTIOC0D/MTCLKD/ RXD5/SMISO5/SSCL5/ IRRXD5/IRQ6-DS/CMPB1	-	-
44	-	-	PA1/MTIOC0B/MTCLKC/ SCK5/SSLA2/CVREFA	-	-
45	-	-	PA0/MTIOC4A/SSLA1/ CACREF/CMPA1	-	-
46	-	-	BGR_BO	-	-
47	-	-	ANDS0N	-	-
48	-	-	ANDS0P	-	-
49	-	-	ANDS1N	-	-
50	-	-	ANDS1P	-	-
51	-	-	AVSSA	-	-
52	-	-	AVCCA	-	-
53	-	-	VREFDSL	-	-
54	-	-	VREFDSH	-	-
55	-	-	VCOMDS	-	-
56	-	-	ANDS4	-	-
57	-	-	ANDSSG	-	-
58	46	38	P41/AN1	AIN7/AN001/IEXC0/ IEXC1/IEXC2/IEXC3	AIN7/AN001/IEXC0/ IEXC1/IEXC2/IEXC3
59	47	39	VREFL0	VREFL0/AIN8/AN002/ IEXC0/IEXC1/IEXC2/ IEXC3	VREFL0/AIN8/AN002/ IEXC0/IEXC1/IEXC2/ IEXC3
60	45	37	P40/AN0	AIN6/AN000/IEXC0/ IEXC1/IEXC2/IEXC3	AIN6/AN000/IEXC0/ IEXC1/IEXC2/IEXC3
61	48	40	VREFH0	VREFH0/AIN9/AN003/ IEXC0/IEXC1/IEXC2/ IEXC3	VREFH0/AIN9/AN003/ IEXC0/IEXC1/IEXC2/ IEXC3
62	4	2	AVCC0	AVCC0	AVCC0
63	2	-	P05/AN5	AIN11/AN005/IEXC0/ IEXC1/IEXC2/IEXC3	-
64	3	1	AVSS0	AVSS0	AVSS0
-	33	27	-	AVCC0	AVCC0
-	34	28	-	AVSS0	AVSS0
-	35	29	-	REFOUT	REFOUT
-	36	30	-	LSW	LSW
-	37	31	-	REF0N	REF0N
-	38	32	-	REF0P	REF0P
-	39	33	-	AIN0/IEXC0/IEXC1/IEXC2/ IEXC3	AIN0/IEXC0/IEXC1/IEXC2/ IEXC3
-	40	34	-	AIN1/IEXC0/IEXC1/IEXC2/ IEXC3	AIN1/IEXC0/IEXC1/IEXC2/ IEXC3
-	41	-	-	AIN2/IEXC0/IEXC1/IEXC2/ IEXC3	-
-	42	-	-	AIN3/IEXC0/IEXC1/IEXC2/ IEXC3	-
-	43	35	-	AIN4/IEXC0/IEXC1/IEXC2/ IEXC3/REF1N	AIN4/IEXC0/IEXC1/IEXC2/ IEXC3/REF1N

64 ピン	48 ピン	40 ピン	RX21A (64 ピン LQFP)	RX23E-A (48 ピン LFQFP)	RX23E-A (40 ピン HWQFN)
-	44	36	-	AIN5/IEXC0/IEXC1/IEXC2/ IEXC3/REF1P	AIN5/IEXC0/IEXC1/IEXC2/ IEXC3/REF1P

4. 移行の際の留意点

RX23E-A グループと RX21A グループの相違について、いくつかの留意点があります。

ハードウェアに関する留意点を「4.1 端子設計の留意点」で説明します。また、ソフトウェアに関する留意点を「4.2 機能設定の留意点」で説明します。

4.1 端子設計の留意点

4.1.1 VCL 端子(外付け容量)

RX23E-A グループの VCL 端子に接続する内部電源安定用の平滑コンデンサは $4.7\mu\text{F}$ の容量を使用してください。

4.1.2 モード設定端子

リセット解除時のモード設定端子は、RX21A グループでは MD 端子と PC7 ですが、RX23E-A グループでは MD 端子のみとなっています。

4.2 機能設定の留意点

RX21A グループで動作するソフトウェアは RX23E-A グループの一部のソフトウェアに対し、互換性があります。しかし、動作タイミングや電気的特性などが異なる場合があるため、十分に評価してください。

以下に RX21A グループと RX23E-A グループで異なる機能の設定に関し、ソフトウェアでの留意点について説明します。

モジュールおよび機能の相違点については「2.仕様の概要比較」を参照してください。詳細は「5.参考ドキュメント」のユーザズマニュアルハードウェア編を参照してください。

4.2.1 MOSCWTCR レジスタ

RX21A グループはメインクロックをカウントし、RX23E-A グループは LOCO クロックをカウントします。

4.2.2 I/O ポートのレジスタ設定に関する制限事項

RX23E-A グループの PDR レジスタ、PODR レジスタ、PMR レジスタの P12、P13、P20、P32、P33、P34 端子に対応しているビットは、読むと不定値が読めます。書く場合、読んだ値を書き戻してください。

4.2.3 例外ベクタテーブル

RX21A グループのベクタテーブルの配置アドレスは固定ですが、RX23E-A グループでは例外テーブルレジスタ(EXTB)に設定した値を先頭アドレスとして、ベクタテーブルを可変に配置できます。

4.2.4 I²C バスインタフェースのノイズ除去

RX21A グループでは、SCL、SDA ラインにアナログノイズフィルタを内蔵していますが、RX23E-A グループではアナログノイズフィルタを内蔵していません。

4.2.5 24 ビット Δ - Σ A/D コンバータ

RX23E-A グループでは、RX21A グループから 24 ビット Δ - Σ A/D コンバータのレジスタが大幅に変更されています。ソフトウェアの互換性が低くなっていますので注意してください。

4.2.6 コンペア機能制約

RX23E-A グループの 12 ビット A/D コンバータのコンペア機能には、以下の制約があります。

- (1) 自己診断機能、ダブルトリガモードは併用禁止です。
(ADRD、ADDBLDR レジスタはコンペア機能対象外です。)
- (2) マッチ/アンマッチイベント出力を使用する場合は、シングルスキャンモードを設定してください。
- (3) ウィンドウ A とウィンドウ B で同一 CH は設定禁止です。
- (4) バッファ機能を使用する場合は、シングルスキャンモードを設定してください。
(ダブルトリガモードも併用禁止です)
- (5) High 側基準値 $\geq$ Low 側基準値となるように設定してください。

4.2.7 ユーザブートモード

RX21A グループには UB コード A と UB コード B およびユーザブートモードが存在しますが、RX23E-A グループには存在しません。

RX23E-A グループでは、スタートアッププログラム保護機能を使用すると、ユーザブートモードの代わりに任意のインタフェースでフラッシュメモリのユーザ領域のプログラム/イレースが可能です。

詳細は「5 参考ドキュメント」の RX23E-A グループ ユーザーズマニュアルハードウェアインタフェース編で、スタートアッププログラム保護機能を参照してください。

4.2.8 フラッシュメモリのコマンド使用方法

RX21A グループでは、FCU に FCU コマンドを発行することにより、フラッシュメモリのプログラム/イレース等を行います。RX23E-A グループでは、ROM のプログラム/イレース用の専用シーケンサのモードへ移行して、ソフトウェアコマンドを発行することにより、フラッシュメモリのプログラム/イレース等を行います。

表 4.1 に FCU コマンドとソフトウェアコマンドの仕様比較を示します。

表 4.1 FCU コマンドとソフトウェアコマンドの仕様比較

項目	FCU コマンド(RX21A)	ソフトウェアコマンド(RX23E-A)
コマンド発行領域	プログラム/イレース用アドレス (00F8 0000h~00FF FFFFh)	-
使用可能コマンド	● P/E ノーマルモード移行 ● ステータスリードモード移行 ● ロックビットリードモード移行 (ロックビットリード 1) ● 周辺クロック通知 ● プログラム ● ブロックイレース ● ブランクチェック ● P/E サスペンド ● P/E レジューム ● ステータスレジスタクリア ● ロックビットリード 2 ● ロックビットプログラム	● プログラム ● ブロックイレース ● 全ブロックイレース ● ブランクチェック ● スタートアップ領域情報プログラム ● アクセスウィンドウ情報プログラム

5. 参考ドキュメント

ユーザーズマニュアル:ハードウェア

RX21A グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0251JJ0110)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX23E-A グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0801JJ0100)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデートの対応について

本アプリケーションノートは以下のテクニカルアップデートの内容を反映しています。

TN-RX*-A107A/J
TN-RX*-A118A/J
TN-RX*-A128A/J
TN-RX*-A130B/J
TN-RX*-A138A/J
TN-RX*-A141A/J
TN-RX*-A0147B/J
TN-RX*-A151A/J
TN-RX*-A188A/J
TN-RX*-A0224B/J
TN-RX*-A0225A/J
TN-RX*-A0227A/J

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Sep.05.19	—	初版発行
1.10	Sep.23.20	4	1 表 1.1 RX21A/RX23E-A 搭載機能比較 改訂
		7	2.2 表 2.3 動作モードの概要比較 改訂
		8	2.3 表 2.5 シングルチップモードのメモリマップ比較 削除、図 2.1 シングルチップモードのメモリマップ比較 追加
		10	2.5 図 2.2 オプション設定メモリ領域比較 追加
		22	2.7 表 2.15 クロック発生回路のレジスタ比較 改訂
		31	2.11 表 2.24 ベクタ比較、表 2.25 例外処理ルーチンからの復帰命令比較 追加
		42	2.16 表 2.36 I/O ポートの機能比較 追加
		44	2.17 表 2.38 マルチプル端子の割り当て比較 追加
		49～55	2.17 表 5.1～表 2.50 追加、表 2.36 マルチファンクションピンコントローラのレジスタ比較 削除
		75	2.24 表 2.65 12 ビット A/D コンバータのレジスタ比較 改訂
		77	2.24 表 2.66 ADSTRGR レジスタに設定する A/D 起動要因比較 追加
		80	2.27 表 2.69 フラッシュメモリの概要比較 改訂
		89	4.2 説明文 追加
		92	テクニカルアップデートの対応について 改訂

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子(または外部発振回路)を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子(または外部発振回路)を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}(\text{Max.})$ から $V_{IH}(\text{Min.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}(\text{Max.})$ から $V_{IH}(\text{Min.})$ までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス(予約領域)のアクセス禁止

リザーブアドレス(予約領域)のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス(予約領域)があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害(お客様または第三者いずれに生じた損害も含みます。以下同じです。))に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器(自動車、電車、船舶等)、交通制御(信号)、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム(生命維持装置、人体に埋め込み使用するもの等)、もしくは多大な物的損害を発生させるおそれのある機器・システム(宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等)に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報(データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等)をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとしたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24(豊洲フォレシア)

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。