
M16C/62P, M16C/64C グループ

M16C/62P と M16C/64C の相違点

R01AN0467JJ0101

Rev.1.01

2011.06.30

要旨

本アプリケーションノートでは、M16C/62P 100 ピン版と M16C/64C 100 ピン版との機能の相違点について説明します。各機能の詳細については、ユーザズマニュアルハードウェア編を参照してください。

対象デバイス

M16C/62P, M16C/64C グループ

M16C/64C グループは M16C/62P グループから周辺機能を強化した、端子配置、周辺機能に互換がある品種です。そのため M16C/64C グループへの書き換えがスムーズに行えます。

目次

1.	概要比較	3
1.1	機能の概要比較	3
1.2	端子機能比較	6
2.	詳細比較	7
2.1	プロテクトの相違点	7
2.2	リセットの相違点	7
2.3	電圧検出回路の相違点	8
2.4	クロックの相違点	9
2.5	パワーコントロールの相違点	10
2.6	プロセッサモードの相違点	10
2.7	プログラマブル入出力ポートの相違点	11
2.8	割り込みの相違点	12
2.9	ウォッチドッグタイマの相違点	15
2.10	DMACの相違点	16
2.11	タイマの相違点	18
2.12	三相モータ制御用タイマ機能の相違点	21
2.13	シリアルインタフェースの相違点	22
2.14	A/Dコンバータの相違点	25
2.15	CRC演算回路の相違点	26
2.16	フラッシュメモリの相違点	27
2.17	フラッシュメモリのブロック構成の相違点	28
2.18	M16C/64Cで追加された機能	29
2.19	開発ツールの相違点	29
3.	参考ドキュメント	30

1. 概要比較

1.1 機能の概要比較

表 1.1~表 1.3 に機能の相違点を示します。

表 1.1 機能の相違点(1)(注1)

項目		M16C/62P	M16C/64C
最小命令実行時間		41.7ns(f(BCLK)=24MHz、 VCC1=3.0~5.5V) 100ns(f(BCLK)=10MHz、 VCC1=2.7~5.5V)	40.0ns(f(BCLK)=25MHz、 VCC1=2.7~5.5V)
クロック発生回路		PLL、XIN、XCIN、オンチップオシレータ (約1MHz)	PLL、XIN、XCIN、125kHz オンチップオシレータ
タイマ/周辺クロック供給停止機能		なし	あり
パワーコントロール	スローリードモード	なし	あり
	低消費電流リードモード	なし	あり
リセット解除後のCPUクロック		メインクロックの8分周	125kHz オンチップオシレータクロックの8分周
NMI 端子		NMI 割り込み入力ポート	PM24 ビット = 0 (NMI 禁止時) : プログラマブル入出力ポート (Nch オープンドレイン出力) PM24 ビット = 1 (NMI 許可時) : NMI 割り込み入力ポート
外部バス	拡張領域	04000h~07FFFh (PM13=0 の場合) 08000h~0FFFFh (PM10=0 の場合) 10000h~26FFFh 28000h~7FFFFh 80000h~CFFFFh (PM13=0 の場合) D0000h~FFFFFh (マイクロプロセッサモードの場合)	04000h~07FFFh (PM13=0 の場合) 08000h~0CFFFh (PM10=0 の場合) 0D800h~0DFFFh 0E000h~0FFFFh (PM10=0 の場合) 10000h~13FFFh (PRG2C0=1 の場合) 14000h~26FFFh 28000h~7FFFFh 80000h~CFFFFh (PM13=0 の場合) D0000h~FFFFFh (マイクロプロセッサモードの場合)
	HOLD 入力	可能	禁止

PM24 : PM2 レジスタのビット

PM10、PM13 : PM1 レジスタのビット

PRG2C0 : PRG2C レジスタのビット

注1. 詳細と電気的特性についてはユーザーズマニュアルハードウェア編を参照してください。

表 1.2 機能の相違点(2)(注1)

項目		M16C/62P	M16C/64C
割り込み		外部割り込み : 8	外部割り込み : 13
ウォッチ ドッグ タイマ	リセットス タート機能	なし	起動または停止を選択可能
	カウント ソース	CPUクロック、 オンチップオシレータ (約1MHz)	CPUクロック、 オンチップオシレータ (125kHz)
DMA	DMAC	2チャンネル 起動要因 : 25	4チャンネル 起動要因 : 43
タイマ	タイマA、 タイマB カウント ソース	f1、f2、f8、f32、fC32から選択	f1TIMAB、f2TIMAB、f8TIMAB、 f32TIMAB、f64TIMAB、fOCO-S、fC32 から選択
	リアルタイム クロック	なし	秒、分、時、曜日カウント
	PWM機能	なし	8ビット×2
	リモコン信 号受信機能	なし	2回路
シリアル インタ フェース	UART	クロック同期/非同期兼用×3チャンネル	クロック同期/非同期兼用×6チャンネル
	CEC機能	なし	あり
	マルチマス タI ² C-bus インタ フェース	なし	1チャンネル
A/D コンバータ	分解能	8ビット/10ビット選択	10ビットのみ
	サンプル ホールド	あり/なし選択	ありのみ
CRC 演算回路	生成多項式	CRC-CCITT($X^{16}+X^{12}+X^5+1$)	CRC-CCITT($X^{16}+X^{12}+X^5+1$)または CRC-16($X^{16}+X^{15}+X^2+1$)から選択
	MSB/LSB 選択機能	なし	あり
	SFRアクセ ス監視機能	なし	あり

注1. 詳細と電氣的特性についてはユーザーズマニュアルハードウェア編を参照してください。

表 1.3 機能の相違点 (3)(注1)

項目		M16C/62P	M16C/64C
フラッシュメモリ	FFFFFFh 番地機能設定	ROMコードプロテクト選択機能	オプション選択 ・リセット後、ウォッチドッグタイマ自動起動選択 ・リセット後、カウントソース保護モード選択 ・ROMコードプロテクト選択 ・Vdet0選択 ・ハードウェアリセット後、電圧検出0回路起動選択
メモリマップ		ユーザー ROM ・プログラムROM 080000h~0FFFFFFh データフラッシュ ・ブロック A 00F000h~00FFFFFFh	ユーザー ROM ・プログラムROM1 080000h~0FFFFFFh ・プログラムROM2 010000h~013FFFFh データフラッシュ ・ブロック A 00E000h~00EFFFFh ・ブロック B 00F000h~00FFFFFFh
ユーザーROM(512Kバイト時)		64Kバイト×7 32Kバイト×1 8Kバイト×3 4Kバイト×2	64Kバイト×8 16Kバイト×1(プログラムROM2)
データフラッシュ		4Kバイト×1(ブロックA)	4Kバイト×2(ブロックA、ブロックB)
プログラム方式		ワード単位	2ワード単位
イレーズ方式		一括消去、ブロック消去	ブロック消去
ユーザーブートモード		なし	あり

注1. 詳細と電気的特性についてはユーザーズマニュアルハードウェア編を参照してください。

1.2 端子機能比較

表 1.4に端子機能の相違点を示します。

表 1.4 端子機能の相違点

M16C/62P	M16C/64C	M16C/62Pからの変更点
P9_4/TB4IN/DA1	P9_4/TB4IN/DA1/PWM1	【追加】PWM1
P9_3/TB3IN/DA0	P9_3/TB3IN/DA0/PWM0	【追加】PWM0
P9_2/TB2IN/SOUT3	P9_2/TB2IN/SOUT3/PMC0	【追加】PMC0
P9_1/TB1IN/SIN3	P9_1/TB1IN/SIN3/PMC1	【追加】PMC1
P8_5/NMI	P8_5/NMI/SD/CEC	【追加】SD/CEC
P8_1/TA4IN/U	P8_1/TA4IN/U/CTS5/RTS5	【追加】CTS5/RTS5
P8_0/TA4OUT/U	P8_0/TA4OUT/U/RXD5/SCL5	【追加】RXD5/SCL5
P7_7/TA3IN	P7_7/TA3IN/CLK5	【追加】CLK5
P7_6/TA3OUT	P7_6/TA3OUT/TXD5/SDA5	【追加】TXD5/SDA5
P7_1/TA0IN/TB5IN/RXD2/SCL2	P7_1/TA0IN/TB5IN/RXD2/SCL2/SCLMM	【追加】SCLMM
P7_0/TA0OUT/TXD2/SDA2	P7_0/TA0OUT/TXD2/SDA2/SDAMM	【追加】SDAMM
P6_0/CTS0/RTS0	P6_0/CTS0/RTS0/RTCOUT	【追加】RTCOUT
P4_7/CS3	P4_7/CS3/PWM1/TXD7/SDA7	【追加】PWM1/TXD7/SDA7
P4_6/CS2	P4_6/CS2/PWM0/RXD7/SCL7	【追加】PWM0/RXD7/SCL7
P4_5/CS1	P4_5/CS1/CLK7	【追加】CLK7
P4_4/CS0	P4_4/CS0/CTS7/RTS7	【追加】CTS7/RTS7
P2_5/AN2_5/A5(/D5/D4)	P2_5/INT7/AN2_5/A5,[A5/D5],[A5/D4]	【追加】INT7
P2_4/AN2_4/A4(/D4/D3)	P2_4/INT6/AN2_4/A4,[A4/D4],[A4/D3]	【追加】INT6
P1_7/INT5/D15	P1_7/INT5/D15/IDU	【追加】IDU
P1_6/INT4/D14	P1_6/INT4/D14/IDW	【追加】IDW
P1_5/INT3/D13	P1_5/INT3/D13/IDV	【追加】IDV
P1_3/D11	P1_3/D11/TXD6/SDA6	【追加】TXD6/SDA6
P1_2/D10	P1_2/D10/RXD6/SCL6	【追加】RXD6/SCL6
P1_1/D9	P1_1/D9/CLK6	【追加】CLK6
P1_0/D8	P1_0/D8/CTS6/RTS6	【追加】CTS6/RTS6

2. 詳細比較

2.1 プロテクトの相違点

表 2.1にプロテクト関連SFRの相違点を示します。

表 2.1 プロテクト関連SFRの相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
PRCR	000Ah	000Ah	0	プロテクトビット0 CM0,CM1,CM2,PLC0,PCLKRレジスタへの書き込み許可	プロテクトビット0 CM0,CM1,CM2,PLC0,PCLKR, PCLKSTP1への書き込み許可
			3	プロテクトビット3 VCR2,D4INTレジスタへの書き込み許可	プロテクトビット3 VCR2,VWCE,VD1LS,VW0C,VW1C, VW2Cレジスタへの書き込み許可
			6	—	プロテクトビット6 PRG2Cレジスタへの書き込み許可

2.2 リセットの相違点

表 2.2にリセットの相違点を、表 2.3にリセット関連SFRの相違点を示します。

表 2.2 リセットの相違点

項目	M16C/62P	M16C/64C
リセットの種類	ハードウェアリセット 電圧低下検出リセット 発振停止検出リセット ウォッチドッグタイマリセット ソフトウェアリセット	ハードウェアリセット 電圧監視0リセット 電圧監視1リセット 電圧監視2リセット パワーオンリセット 発振停止検出リセット ウォッチドッグタイマリセット ソフトウェアリセット
コールドスタート、ウォームスタート判定方法	WDCレジスタのWDC5ビット	RSTFRレジスタのCWRビット
リセット要因判別レジスタ	なし	あり

表 2.3 リセット関連SFRの相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
RSTFR	—	0018h	—	—	M16C/64Cのみ

2.3 電圧検出回路の相違点

表 2.4に電圧検出回路の相違点を、表 2.5に電圧検出回路関連SFRの相違点を示します。

表 2.4 電圧検出回路の相違点

項目	M16C/62P	M16C/64C
電圧検出割り込み監視レベル	Vdet4	<ul style="list-style-type: none"> ・ Vdet1(電圧検出1回路) ・ Vdet2(電圧検出2回路)
電圧検出リセット監視レベル	Vdet3	<ul style="list-style-type: none"> ・ Vdet0(電圧検出0回路) ・ Vdet1(電圧検出1回路) ・ Vdet2(電圧検出2回路)

検出電圧はユーザズマニュアル ハードウェア編の電気的特性を参照してください。

表 2.5 電圧検出回路関連SFRの相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
VCR2	001Ah	001Ah	5	予約ビット	電圧検出0許可ビット 0: 電圧検出0回路無効 1: 電圧検出0回路有効
			6	リセット領域監視ビット 0: リセット領域検出回路無効 1: リセット領域検出回路有効	電圧検出1許可ビット 0: 電圧検出1回路無効 1: 電圧検出1回路有効
			7	電圧低下監視ビット 0: 電圧低下検出回路無効 1: 電圧低下検出回路有効	電圧検出2許可ビット 0: 電圧検出2回路無効 1: 電圧検出2回路有効
D4INT	001Fh	—	—	M16C/62Pのみ	—
VWCE	—	0026h	—	—	M16C/64Cのみ
VD1LS	—	0028h	—	—	M16C/64Cのみ
VW0C	—	002Ah	—	—	M16C/64Cのみ
VW1C	—	002Bh	—	—	M16C/64Cのみ
VW2C	—	002Ch	—	—	M16C/64Cのみ

2.4 クロックの相違点

表 2.6にクロックの相違点を表 2.7~表 2.8にクロック関連SFRの相違点を示します。

表 2.6 クロックの相違点

項目	M16C/62P	M16C/64C
クロック出力機能	fC,f8,f32から選択	fC,f8,f32,f1から選択
リセット解除後のCPUクロック	メインクロックの8分周 (CM21ビットの初期値：“0”)	125kHzオンチップオシレータクロック の8分周 (CM21ビットの初期値：“1”)
周辺機能クロックfC供給	常に供給	PM2レジスタのPM25ビットで 供給する/しない選択可能
125kHzオンチップオシレータ	なし	あり
オンチップオシレータ周波数	約1MHz	約125kHz
PLLクロック周波数の計算方法	$f(XIN) \times n$	$f(XIN) / m \times n$
タイマ/周辺クロック供給停止 機能	なし	あり

CM21ビット：CM1レジスタのビット

n：PLC0レジスタのPLC02~PLC00ビットで設定した通倍率

m：PLC0レジスタのPLC05~PLC04ビットで設定した分周比

表 2.7 クロック関連SFRの相違点(1/2)

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
CM1	0007h	0007h	3	予約ビット	XIN-XOUT帰還抵抗選択ビット 0：内蔵帰還抵抗接続 1：内蔵帰還抵抗未接続
			4		
PCLKR	025Eh	0012h	—	アドレス変更	
			5	予約ビット	クロック出力機能拡張ビット (シングルチップ時有効) 0：CM0レジスタCM01~CM00ビットで選択 1：f1を出力
PCLKSTP1	—	0016h	—	—	M16C/64Cのみ
PLC0	001Ch	001Ch	4	予約ビット “1”にしてください	基準周波数カウンタ設定ビット 00：分周なし 01：2分周 10：4分周 11：設定しないでください
			5	予約ビット	

表 2.8 クロック関連SFRの相違点(2/2)

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
PM2	001Eh	001Eh	0	PLL動作時のSFRアクセスのウェイト指定 0: 2ウェイト 1: 1ウェイト	予約ビット "1"にしてください
			2	WDTカウントソース保護ビット 0: ウォッチドッグタイマのカウントソースはCPUクロック 1: ウォッチドッグタイマのカウントソースはオンチップオシレータクロック	—
			4	予約ビット	NMI割り込み許可ビット 0: NMI割り込み禁止 1: NMI割り込み許可
			5	—	周辺機能クロックfC供給許可ビット 0: 供給禁止 1: 供給許可

2.5 パワーコントロールの相違点

表 2.9にパワーコントロールの相違点を、表 2.10にパワーコントロール関連SFRの相違点を示します。

表 2.9 パワーコントロールの相違点

項目	M16C/62P	M16C/64C
スローリードモード	なし	あり
低消費電流リードモード	なし	あり

表 2.10 パワーコントロール関連SFRの相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
FMR2	—	0222h	—	—	M16C/64Cのみ

2.6 プロセッサモードの相違点

表 2.11にプロセッサモード関連SFRの相違点を示します。

表 2.11 プロセッサモード関連SFRの相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
PM1	0005h	0005h	0	CS2領域切り替えビット 0: 08000h~26FFFh(ブロックA無効) 1: 10000h~26FFFh(ブロックA有効)	CS2領域切り替えビット 0: 0E000h~0FFFFhはCS2領域 1: 0E000h~0FFFFhはデータフラッシュ
PRG2C	—	0010h	—	—	M16C/64Cのみ

2.7 プログラマブル入出力ポートの相違点

表 2.12にプログラマブル入出力ポートの相違点を、表 2.13にプログラマブル入出力ポート関連SFRの相違点を示します。

表 2.12 プログラマブル入出力ポートの相違点

項目	M16C/62P	M16C/64C
NMI/SD デジタルフィルタ	なし	NMIDFレジスタでデジタルフィルタのあり/なし選択可能

表 2.13 プログラマブル入出力ポート関連SFRの相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
PD8	03F2h	03F2h	5	何も配置されていない	ポートP8_5方向ビット 0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能)
PUR0	03FCh	0360h	—	アドレス変更	
PUR1	03FDh	0361h	—	アドレス変更	
PUR2	03FEh	0362h	—	アドレス変更	
PCR	03FFh	0366h	—	アドレス変更	
			3	何も配置されていない	予約ビット
			4		CEC出力許可ビット
			5		INT6入力許可ビット
			6		INT7入力許可ビット
		7		キー入力許可ビット	
NMIDF	—	0369h	—	—	M16C/64Cのみ

2.8 割り込みの相違点

表 2.14 に割り込みの相違点を、表 2.15~表 2.16 に割り込みベクタの相違点を、表 2.17 に割り込み関連 SFR の相違点を示します。

表 2.14 割り込みの相違点

項目	M16C/62P	M16C/64C
NMI許可機能	許可のみ	PM2レジスタのPM24ビットで許可/禁止選択可能

表 2.15 割り込みベクタの相違点

ソフトウェア割り込み番号	ベクタ番号	M16C/62P	M16C/64C
0	+0~+3(0000h~0003h)	BRK命令	BRK命令
1	+4~+7(0004h~0007h)	— (予約)	INT命令割り込み
2	+8~+11(0008h~000Bh)		INT7
3	+12~+15(000Ch~000Fh)		INT6
4	+16~+19(0010h~0013h)	INT3	INT3
5	+20~+23(0014h~0017h)	タイマB5	タイマB5
6	+24~+27(0018h~001Bh)	タイマB4、UART1スタート/ストップコンディション検出、バス衝突検出	タイマB4、UART1スタート/ストップコンディション検出、バス衝突検出
7	+28~+31(001Ch~001Fh)	タイマB3、UART0スタート/ストップコンディション検出、バス衝突検出	タイマB3、UART0スタート/ストップコンディション検出、バス衝突検出
8	+32~+35(0020h~0023h)	SI/O4、INT5	SI/O4、INT5
9	+36~+39(0024h~0027h)	SI/O3、INT4	SI/O3、INT4
10	+40~+43(0028h~002Bh)	UART2スタート/ストップコンディション検出、バス衝突検出	UART2スタート/ストップコンディション検出、バス衝突検出
11	+44~+47(002Ch~002Fh)	DMA0	DMA0
12	+48~+51(0030h~0033h)	DMA1	DMA1
13	+52~+55(0034h~0037h)	キー入力割り込み	キー入力割り込み
14	+56~+59(0038h~003Bh)	A/Dコンバータ	A/Dコンバータ
15	+60~+63(003Ch~003Fh)	UART2送信、NACK2	UART2送信、NACK2
16	+64~+67(0040h~0043h)	UART2受信、ACK2	UART2受信、ACK2
17	+68~+71(0044h~0047h)	UART0送信、NACK0	UART0送信、NACK0
18	+72~+75(0048h~004Bh)	UART0受信、ACK0	UART0受信、ACK0
19	+76~+79(004Ch~004Fh)	UART1送信、NACK1	UART1送信、NACK1
20	+80~+83(0050h~0053h)	UART1受信、ACK1	UART1受信、ACK1
21	+84~+87(0054h~0057h)	タイマA0	タイマA0
22	+88~+91(0058h~005Bh)	タイマA1	タイマA1
23	+92~+95(005Ch~005Fh)	タイマA2	タイマA2
24	+96~+99(0060h~0063h)	タイマA3	タイマA3
25	+100~+103(0064h~0067h)	タイマA4	タイマA4
26	+104~+107(0068h~006Bh)	タイマB0	タイマB0
27	+108~+111(006Ch~006Fh)	タイマB1	タイマB1
28	+112~+115(0070h~0073h)	タイマB2	タイマB2

表 2.16 割り込みベクタの相違点

ソフトウェア 割り込み番号	ベクタ番号	M16C/62P	M16C/64C
29	+116~+119(0074h~0077h)	INT0	INT0
30	+120~+123(0078h~007Bh)	INT1	INT1
31	+124~+127(007Ch~007Fh)	INT2	INT2
32 ~ 40	+128~+131(0080h~0083h) ~ +160~+163(00A0h~00A3h)	INT命令割り込み	INT命令割り込み
41	+164~+167(00A4h~00A7h)		DMA2
42	+168~+171(00A8h~00ABh)		DMA3
43	+172~+175(00ACh~00AFh)		UART5スタート/ストップコンディ ション検出、バス衝突検出、CEC1
44	+176~+179(00B0h~00B3h)		UART5送信、NACK5、CEC2
45	+180~+183(00B4h~00B7h)		UART5受信、ACK5
46	+184~+187(00B8h~00BBh)		UART6スタート/ストップコンディ ション検出、バス衝突検出、リアル タイムクロック周期
47	+188~+191(00BCh~00BFh)		UART6送信、NACK6、 リアルタイムクロックコンペアー致
48	+192~+195(00C0h~00C3h)		UART6受信、ACK6
49	+196~+199(00C4h~00C7h)		UART7スタート/ストップコンディ ション検出、バス衝突検出、リモコ ン信号受信機能0
50	+200~+203(00C8h~00CBh)	UART7送信、NACK7、リモコン信 号受信機能1	
51	+204~+207(00CCh~00CFh)	UART7受信、ACK7	
52 ~ 58	+208~+211(00D0h~00D3h) ~ +232~+235(00E8h~00EBh)	INT命令割り込み	
59	+236~+239(00ECh~00EFh)		I ² C-busインタフェース割り込み
60	+240~+243(00F0h~00F3h)		SCL/SDA割り込み
61 ~ 63	+244~+247(00F4h~00F7h) ~ +252~+255(00FCh~00FFh)		INT命令割り込み

表 2.17 割り込み関連SFRの相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
IFSR3A	—	0205h	—	—	M16C/64Cのみ
IFSR2A	035Eh	0206h	—	アドレス変更	
			2	何も配置されていない	割り込み要因切り替えビット 0: 未使用 1: I ² C-bus インタフェース
			3		割り込み要因切り替えビット 0: 未使用 1: SCL/SDA
			4		割り込み要因切り替えビット 0: UART7 スタート/ストップコン ディション検出、バス衝突検出 1: リモコン信号受信機能0
			5		割り込み要因切り替えビット 0: UART7 送信、NACK 1: リモコン信号受信機能1
			6	割り込み要因切り替えビット 0: タイマB3 1: UART0 バス衝突検出	割り込み要因切り替えビット 0: タイマB3 1: UART0 スタート/ストップコン ディション検出、バス衝突検出
			7	割り込み要因切り替えビット 0: タイマB4 1: UART1 バス衝突検出	割り込み要因切り替えビット 0: タイマB4 1: UART1 スタート/ストップコン ディション検出、バス衝突検出
IFSR	035Fh	0207h	—	アドレス変更	
AIER	0009h	020Eh	—	アドレス変更	
AIER2	01BBh	020Fh	—	アドレス変更	
RMAD0	0010h~ 0012h	0210h~ 0212h	—	アドレス変更	
RMAD1	0014h~ 0016h	0214h~ 0216h	—	アドレス変更	
RMAD2	01B8h~ 01BAh	0218h~ 021Ah	—	アドレス変更	
RMAD3	01BCh~ 01BEh	021Ch~ 021Eh	—	アドレス変更	

2.9 ウォッチドッグタイマの相違点

表 2.18にウォッチドッグタイマの相違点を、表 2.19にウォッチドッグタイマ関連SFRの相違点を示します。

表 2.18 ウォッチドッグタイマの相違点

項目	M16C/62P	M16C/64C
カウントソース保護モード有効設定	PM2レジスタのPM22ビットを“1”にする	CSPRレジスタのCSPROビットを“1”にする(注1)
カウントソース保護モード時の周期	約32.8ms(32768/約1MHz)	約32.8ms(4096/約125kHz)
ウォッチドッグタイマのリフレッシュ	WDTSレジスタに対する書き込み命令を実行することで初期化およびカウントを開始する	WDTRレジスタに“00h”を書いて続けて“FFh”を書く
カウント開始条件		<ul style="list-style-type: none"> ・OFS1のWDTONビットを“0”にしてリセット解除すると、自動的にカウントを開始する ・WDTSレジスタに対する書き込み命令を実行することでカウントを開始する

注1. OFS1のCSPROINIビットが“0”のとき、リセット解除後の値は“1”になります。

表 2.19 ウォッチドッグタイマ関連SFRの相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
WDTS	000Eh	037Eh	—	アドレス変更	
WDC	000Fh	037Fh	—	アドレス変更	
			5	コールドスタート/ウォームスタート判定フラグ 0: コールドスタート 1: ウォームスタート	何も配置されていない
VW2C	—	002Ch	—	—	M16C/64Cのみ
CSPR	—	037Ch	—	—	M16C/64Cのみ
WDTR	—	037Dh	—	—	M16C/64Cのみ

2.10 DMACの相違点

表 2.20にDMACの相違点を、表 2.21~表 2.22にDMAi要求要因の相違点を、表 2.23にDMAC関連SFRの相違点を示します。

表 2.20 DMACの相違点

項目	M16C/62P	M16C/64C
チャンネル数	2チャンネル	4チャンネル

表 2.21 DMAi要求要因の相違点 (M16C/62Pの場合i=0,1、M16C/64Cの場合i=0~3)(1/2)

DSEL4 ~ DSEL0	M16C/62P		M16C/64C	
	DMS=0	DMS=1	DMS=0	DMS=1
00000b	INTi端子の立ち下がりエッジ	—	INTi端子の立ち下がりエッジ	—
00001b	ソフトウェアトリガ	—	ソフトウェアトリガ	—
00010b	タイマA0	—	タイマA0	—
00011b	タイマA1	—	タイマA1	—
00100b	タイマA2	—	タイマA2	—
00101b	タイマA3	SI/O3(DMA1のみ)	タイマA3	SI/O3(DMA1、DMA3のみ)
00110b	タイマA4	DMA0の場合： INTi端子の両エッジ DMA1の場合：SI/O4	タイマA4	DMA0、DMA2の場合： INTi端子の両エッジ DMA1、DMA3の場合： SI/O4
00111b	タイマB0	DMA0、DMA2の場合： タイマB3 DMA1、DMA3の場合： INTi端子の両エッジ	タイマB0	DMA0、DMA2の場合： タイマB3 DMA1、DMA3の場合： INTi端子の両エッジ
01000b	タイマB1	タイマB4(DMA0のみ)	タイマB1	タイマB4(DMA0、DMA2のみ)
01001b	タイマB2	タイマB5(DMA0のみ)	タイマB2	タイマB5(DMA0、DMA2のみ)
01010b	UART0送信	—	UART0送信	—
01011b	DMA0の場合： UART0受信 DMA1の場合： UART0受信/ACK0	—	DMA0、DMA2の場合： UART0受信 DMA1、DMA3の場合： UART0受信/ACK0	—
01100b	UART2送信	—	UART2送信	—
01101b	DMA0の場合： UART2受信 DMA1の場合： UART2受信/ACK2	—	DMA0、DMA2の場合： UART2受信 DMA1、DMA3の場合： UART2受信/ACK2	—
01110b	A/Dコンバータ	—	A/Dコンバータ	—
01111b	DMA0の場合： UART1送信 DMA1の場合： UART1受信/ACK1	—	DMA0、DMA2の場合： UART1送信 DMA1、DMA3の場合： UART1受信/ACK1	—

表 2.22 DMA_i要求要因の相違点 (M16C/62Pの場合i=0,1、M16C/64Cの場合i=0~3)(2/2)

DSEL4 ~ DSEL0	M16C/62P		M16C/64C	
	DMS=0	DMS=1	DMS=0	DMS=1
10000b	X	X	DMA0、DMA2の場合：UART1受信 DMA1、DMA3の場合：UART1送信	INT _j 端子の立ち下がりエッジ(j=4~7)
10001b			UART5送信	INT _j 端子の両エッジ
10010b			DMA0、DMA2の場合：UART5受信 DMA1、DMA3の場合：UART5受信/ACK5	—
10011b			UART6送信	—
10100b			DMA0、DMA2の場合：UART6受信 DMA1、DMA3の場合：UART6受信/ACK6	—
10101b			UART7送信	—
10110b			DMA0、DMA2の場合：UART7受信 DMA1、DMA3の場合：UART7受信/ACK7	—
10111b				

表 2.23 DMAC関連SFRの相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
DAR0	0024h~ 0026h	0184h~ 0186h	—	アドレス変更	
DAR1	0034h~ 0036h	0194h~ 0196h	—	アドレス変更	
DAR2	—	01A4h~ 01A6h	—	—	M16C/64Cのみ
DAR3	—	01B4h~ 01B6h	—	—	M16C/64Cのみ
DM0CON	002Ch	018Ch	—	アドレス変更	
DM1CON	003Ch	019Ch	—	アドレス変更	
DM2CON	—	01ACh	—	—	M16C/64Cのみ
DM3CON	—	01BCh	—	—	M16C/64Cのみ
SAR0	0020h~ 0022h	0180h~ 0182h	—	アドレス変更	
SAR1	0030h~ 0032h	0190h~ 0192h	—	アドレス変更	
SAR2	—	01A0h~ 01A2h	—	—	M16C/64Cのみ
SAR3	—	01B0h~ 01B2h	—	—	M16C/64Cのみ
TCR0	0028h~ 0029h	0188h~ 0189h	—	アドレス変更	
TCR1	0038h~ 0039h	0198h~ 0199h	—	アドレス変更	
TCR2	—	01A8h~ 01A9h	—	—	M16C/64Cのみ
TCR3	—	01B8h~ 01B9h	—	—	M16C/64Cのみ
DM0SL	03B8h	0398h	—	アドレス変更	
DM1SL	03BAh	039Ah	—	アドレス変更	
DM2SL	—	0390h	—	—	M16C/64Cのみ
DM3SL	—	0392h	—	—	M16C/64Cのみ

2.11 タイマの相違点

表 2.24にタイマの相違点を、表 2.25~表 2.26にタイマ関連SFRの相違点を示します。

表 2.24 タイマの相違点

項目	M16C/62P	M16C/64C
カウントソース	f1,f2,f8,f32,fC32	f1TIMAB,f2TIMAB,f8TIMAB,f32TIMAB,f64TIMAB,FOCO-S,fC32
タイマクロック源選択	なし(f1固定)	f1,メインクロックから選択
タイマ周辺クロック停止機能	なし	あり
出力極性反転機能	なし	あり
プログラマブル出力モード	なし	あり
TAiOUT端子(i=0~4)によるアップダウン切り替え	あり	なし
パルス周期測定モード、パルス幅測定モード時の初期値	不定	書き込み設定可能
パルス周期測定モード、パルス幅測定モード時のタイマレジスタ読み出し	TBjレジスタ(j=0~5)を読むと、リロードレジスタの内容(測定結果)が読める	PPWFSkレジスタ(k=1,2)のPPWFSk2~PPWFSk0ビットが“0”の場合 ・TBjレジスタを読むと、リロードレジスタの内容(測定結果)が読める PPWFSkレジスタのPPWFSk2~PPWFSk0ビットが“1”の場合 ・TBjレジスタを読むとカウンタの内容(カウント中の値)が読める。 ・TBj1レジスタを読むと、リロードレジスタの内容(測定結果)が読める
パルス周期測定モード、パルス幅測定モード時のタイマレジスタ書き込み	TBjレジスタに書いた値は、リロードレジスタにもカウンタにも書かれない	カウント停止中にTBjレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる
オーバーフローフラグクリア方法	TBjSビットが“1”(カウント開始)の状態、MR3ビットが“1”(オーバーフローあり)になった後、カウントソースの1サイクル以上経過した後にTBjMRレジスタに値を書く	TBjMRレジスタに値を書く

表 2.25 タイマ関連SFRの相違点 (1/2)

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
TACS0 ~ TACS2	—	01D0h ~ 01D2h	2-0	—	TAi カウントソース選択ビット (i=0,2,4) TAi のカウントソースを選択
			3	—	TAi カウントソース選択肢指定ビット 0 : TCK0 ~ TCK1 有効、TCS0 ~ TCS2 無効 1 : TCK0 ~ TCK1 無効、TCS0 ~ TCS2 有効
			6-4	—	TAj カウントソース選択ビット (j=1,3) TAj のカウントソースを選択
			7	—	TAj カウントソース選択肢指定ビット 0 : TCK0 ~ TCK1 有効、TCS4 ~ TCS6 無効 1 : TCK0 ~ TCK1 無効、TCS4 ~ TCS6 有効
TA0MR ~ TA4MR	0396h~ 039Ah	0336h~ 033Ah	—	アドレス変更	—
			4	アップ/ダウン切り替え 要因選択ビット 0 : UDF レジスタ 1 : TAIOUT 端子の入力信号	
TA0	0386h~ 0387h	0326h~ 0327h	—	アドレス変更	
TA1	0388h~ 0389h	0328h~ 0329h	—	アドレス変更	
TA2	038Ah~ 038Bh	032Ah~ 032Bh	—	アドレス変更	
TA3	038Ch~ 038Dh	032Ch~ 032Dh	—	アドレス変更	
TA4	038Eh~ 038Fh	032Eh~ 032Fh	—	アドレス変更	
TABSR	0380h	0320h	—	アドレス変更	
UDF	0384h	0324h	—	アドレス変更	
ONSF	0382h	0322h	—	アドレス変更	
TRGSR	0383h	0323h	—	アドレス変更	
CPSRF	0381h	0015h	—	アドレス変更	
PCLKSTP1	—	0016h	—	—	M16C/64C のみ
PWMFS	—	01D4h	—	—	M16C/64C のみ
TAPOFS	—	01D5h	—	—	M16C/64C のみ
TAOW	—	01D8h	—	—	M16C/64C のみ
TA11	0342h~ 0343h	0302h~ 0303h	—	アドレス変更	プログラマブル出力モード時に使用
			—	—	
TA21	0344h~ 0345h	0304h~ 0305h	—	アドレス変更	プログラマブル出力モード時に使用
			—	—	
TA41	0346h~ 0347h	0306h~ 0307h	—	アドレス変更	プログラマブル出力モード時に使用
			—	—	

表 2.26 タイマ関連SFRの相違点 (2/2)

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
TBCS0 TBCS1 TBCS2 TBCS3	—	01C8h 01C9h 01E8h 01E9h	2-0 3 6-4 7	—	TBiカウントソース選択ビット (i=0,2,3,5) TBiのカウントソースを選択 TBiカウントソース選択肢指定ビット 0 : TCK0~TCK1有効、TCS0~ TCS2無効 1 : TCK0~TCK1無効、TCS0~ TCS2有効 TBjカウントソース選択ビット(j=1,4) TBjのカウントソースを選択 TBjカウントソース選択肢指定ビット 0 : TCK0~TCK1有効、TCS4~ TCS6無効 1 : TCK0~TCK1無効、TCS4~ TCS6有効
TB0MR~ TB2MR	039Bh~ 039Dh	033Bh~ 033Dh	—	アドレス変更	
TB3MR~ TB5MR	035Bh~ 035Dh	031Bh~ 031Dh	—	アドレス変更	
TB0	0390h~ 0391h	0330h~ 0331h	—	アドレス変更	
TB1	0392h~ 0393h	0332h~ 0333h	—	アドレス変更	
TB2	0394h~ 0395h	0334h~ 0335h	—	アドレス変更	
TB3	0350h~ 0351h	0310h~ 0311h	—	アドレス変更	
TB4	0352h~ 0353h	0312h~ 0313h	—	アドレス変更	
TB5	0354h~ 0355h	0314h~ 0315h	—	アドレス変更	
TBSR	0340h	0300h	—	アドレス変更	
TABSR	0380h	0320h	—	アドレス変更	
PPWFS1	—	01C6h	—	—	M16C/64Cのみ
PPWFS2	—	01E6h	—	—	M16C/64Cのみ
TB01	—	01C0h~ 01C1h	—	—	M16C/64Cのみ
TB11	—	01C2h~ 01C3h	—	—	M16C/64Cのみ
TB21	—	01C4h~ 01C5h	—	—	M16C/64Cのみ
TB31	—	01E0h~ 01E1h	—	—	M16C/64Cのみ
TB41	—	01E2h~ 01E3h	—	—	M16C/64Cのみ
TB51	—	01E4h~ 01E5h	—	—	M16C/64Cのみ

2.12 三相モータ制御用タイマ機能の相違点

表 2.27に三相モータ制御用タイマ機能の相違点を、表 2.28に三相モータ制御用タイマ機能関連SFRの相違点を示します。

表 2.27 三相モータ制御用タイマ機能の相違点

項目	M16C/62P	M16C/64C
カウントソース	f1,f2,f8,f32,fc32	f1TIMAB,f2TIMAB,f8TIMAB,f32TIMAB,f64TIMAB,fOCO-S,fc32
位置データ保持機能	なし	あり
三相PWM出力端子制御機能	なし	あり

表 2.28 三相モータ制御用タイマ機能関連SFRの相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
DTT	034Ch	030Ch	—	アドレス変更	
ICBT2	034Dh	030Dh	—	アドレス変更	
IDB0	034Ah	030Ah	—	アドレス変更	
IDB1	034Bh	030Bh	—	アドレス変更	
INVC0	0348h	0308h	—	アドレス変更	
INVC1	0349h	0309h	—	アドレス変更	
TA1	0388h~ 0389h	0328h~ 0329h	—	アドレス変更	
TA2	038Ah~ 038Bh	032Ah~ 032Bh	—	アドレス変更	
TA4	038Eh~ 038Fh	032Eh~ 032Fh	—	アドレス変更	
TA11	0342h~ 0343h	0302h~ 0303h	—	アドレス変更	
TA21	0344h~ 0345h	0304h~ 0305h	—	アドレス変更	
TA41	0346h~ 0347h	0306h~ 0307h	—	アドレス変更	
TB2SC	039Eh	033Eh	—	アドレス変更	
TB2	0394h~ 0395h	0334h~ 0335h	—	アドレス変更	
TRGSR	0383h	0323h	—	アドレス変更	
TABSR	0380h	0320h	—	アドレス変更	
PDRF	—	030Eh	—	—	M16C/64Cのみ
PFCR	—	0318h	—	—	M16C/64Cのみ
TPRC	—	01DAh	—	—	M16C/64Cのみ

2.13 シリアルインタフェースの相違点

表 2.29にシリアルインタフェースの相違点を、表 2.30~表 2.31にシリアルインタフェース関連SFRの相違点を示します。

表 2.29 シリアルインタフェースの相違点

項目		M16C/62P	M16C/64C
クロック同期形/非同期形兼用		3チャンネル(UART0~UART2)	6チャンネル(UART0~2、UART5~7)
I ² Cモード			
特殊モード2			
IEモード			
SI/O3、4	送信後出力制御	送信後、SOUT3,4端子の状態はハイインピーダンス状態	S34C2レジスタのSM26、SM27ビットで送信後の状態をハイインピーダンスか最終ビットレベルを保持かを選択可能

表 2.30 シリアルインタフェース関連SFRの相違点(1/2)

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
PCLKSTP1	—	0016h	—	—	M16C/64Cのみ
U0BRG	03A1h	0249h	—	アドレス変更	
U0C0	03A4h	024Ch	—	アドレス変更	
U0C1	03A5h	024Dh	—	アドレス変更	
U0MR	03A0h	0248h	—	アドレス変更	
U0RB	03A6h~ 03A7h	024Eh~ 024Fh	—	アドレス変更	
U0SMR	036Fh	0247h	—	アドレス変更	
			3	LSYN(注1)	予約ビット
U0SMR2	036Eh	0246h	—	アドレス変更	
U0SMR3	036Dh	0245h	—	アドレス変更	
U0SMR4	036Ch	0244h	—	アドレス変更	
U0TB	03A2h~ 03A3h	024Ah~ 024Bh	—	アドレス変更	
UCON	03B0h	0250h	—	アドレス変更	
U1BRG	03A9h	0259h	—	アドレス変更	
U1C0	03ACh	025Ch	—	アドレス変更	
U1C1	03ADh	025Dh	—	アドレス変更	
U1MR	03A8h	0258h	—	アドレス変更	
U1RB	03AEh~ 03AFh	025Eh~ 025Fh	—	アドレス変更	
U1SMR	0373h	0257h	—	アドレス変更	
			3	LSYN(注1)	予約ビット
U1SMR2	0372h	0256h	—	アドレス変更	
U1SMR3	0371h	0255h	—	アドレス変更	
U1SMR4	0370h	0254h	—	アドレス変更	
U1TB	03AAh~ 03ABh	025Ah~ 025Bh	—	アドレス変更	
U2BRG	0379h	0269h	—	アドレス変更	
U2C0	037Ch	026Ch	—	アドレス変更	
U2C1	037Dh	026Dh	—	アドレス変更	
U2MR	0378h	0268h	—	アドレス変更	
U2RB	037Eh~ 037Fh	026Eh~ 026Fh	—	アドレス変更	
U2SMR	0377h	0267h	—	アドレス変更	
			3	LSYN(注1)	予約ビット
U2SMR2	0376h	0266h	—	アドレス変更	
U2SMR3	0375h	0265h	—	アドレス変更	
U2SMR4	0374h	0264h	—	アドレス変更	
U2TB	037Ah~ 037Bh	026Ah~ 026Bh	—	アドレス変更	

注1. M3062LFGPFP、M3062LFGPGPのみ有効です。その他の製品では予約ビットです。

表 2.31 シリアルインタフェース関連SFRの相違点(2/2)

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
U5BRG	—	0289h	—	—	M16C/64Cのみ
U5C0	—	028Ch	—	—	M16C/64Cのみ
U5C1	—	028Dh	—	—	M16C/64Cのみ
U5MR	—	0288h	—	—	M16C/64Cのみ
U5RB	—	028Eh~ 028Fh	—	—	M16C/64Cのみ
U5SMR	—	0287h	—	—	M16C/64Cのみ
U5SMR2	—	0286h	—	—	M16C/64Cのみ
U5SMR3	—	0285h	—	—	M16C/64Cのみ
U5SMR4	—	0284h	—	—	M16C/64Cのみ
U5TB	—	028Ah~ 028Bh	—	—	M16C/64Cのみ
U6BRG	—	0299h	—	—	M16C/64Cのみ
U6C0	—	029Ch	—	—	M16C/64Cのみ
U6C1	—	029Dh	—	—	M16C/64Cのみ
U6MR	—	0298h	—	—	M16C/64Cのみ
U6RB	—	029Eh~ 029Fh	—	—	M16C/64Cのみ
U6SMR	—	0297h	—	—	M16C/64Cのみ
U6SMR2	—	0296h	—	—	M16C/64Cのみ
U6SMR3	—	0295h	—	—	M16C/64Cのみ
U6SMR4	—	0294h	—	—	M16C/64Cのみ
U6TB	—	029Ah~ 029Bh	—	—	M16C/64Cのみ
U7BRG	—	02A9h	—	—	M16C/64Cのみ
U7C0	—	02ACh	—	—	M16C/64Cのみ
U7C1	—	02ADh	—	—	M16C/64Cのみ
U7MR	—	02A8h	—	—	M16C/64Cのみ
U7RB	—	02AEh~ 02AFh	—	—	M16C/64Cのみ
U7SMR	—	02A7h	—	—	M16C/64Cのみ
U7SMR2	—	02A6h	—	—	M16C/64Cのみ
U7SMR3	—	02A5h	—	—	M16C/64Cのみ
U7SMR4	—	02A4h	—	—	M16C/64Cのみ
U7TB	—	02AAh~ 02ABh	—	—	M16C/64Cのみ
S3C	0362h	0272h	—	アドレス変更	
S4C	0366h	0276h	—	アドレス変更	
S3BRG	0363h	0273h	—	アドレス変更	
S4BRG	0367h	0277h	—	アドレス変更	
S3TRR	0360h	0270h	—	アドレス変更	
S4TRR	0364h	0274h	—	アドレス変更	
S34C2	—	0278h	—	—	M16C/64Cのみ

2.14 A/Dコンバータの相違点

表 2.32にA/Dコンバータの相違点を、表 2.33にA/Dコンバータ関連SFRの相違点を示します。

表 2.32 A/Dコンバータの相違点

項目	M16C/62P	M16C/64C
1端子あたりの変換速度	<ul style="list-style-type: none"> ・ サンプル&ホールドなし 分解能8ビットの場合49φADサイクル 分解能10ビットの場合59φADサイクル ・ サンプル&ホールドあり 分解能8ビットの場合28φADサイクル 分解能10ビットの場合33φADサイクル 	最短43φADサイクル
外部オペアンプ接続モード	あり	なし
分解能	8ビット/10ビット選択	10ビット
サンプル&ホールド	あり/なし選択	ありのみ
断線検知アシスト機能	なし	あり

表 2.33 A/Dコンバータ関連SFRの相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
PCLKSTP1	—	0016h	—	—	M16C/64Cのみ
ADCON1	03D7h	03D7h	3	8/10ビットモード選択ビット 0 : 8ビットモード 1 : 10ビットモード	何も配置されていない
			5	Vref接続ビット 0 : Vref未接続 1 : Vref接続	A/Dスタンバイビット 0 : A/D動作停止 1 : A/D動作可能
			7-6	外部オペアンプ接続モードビット 00 : ANEX0、ANEX1は使用しない 01 : ANEX0入力をA/D変換 10 : ANEX1入力をA/D変換 11 : 外部オペアンプ接続モード	拡張端子選択ビット 00 : ANEX0、ANEX1は使用しない 01 : ANEX0入力をA/D変換 10 : ANEX1入力をA/D変換 11 : 設定しないでください
ADCON2	03D4h	03D4h	0	A/D変換方式選択ビット 0 : サンプル&ホールドなし 1 : サンプル&ホールドあり	何も配置されていない
AINRST	—	03A2h	—	—	M16C/64Cのみ

2.15 CRC演算回路の相違点

表 2.34にCRC演算回路の相違点を、表 2.35にCRC演算回路関連SFRの相違点を示します。

表 2.34 CRC演算回路の相違点

項目	M16C/62P	M16C/64C
CRC生成多項式	CCRC-CCITT($X^{16}+X^{12}+X^5+1$)	CRC-CCITT($X^{16}+X^{12}+X^5+1$)またはCRC-16($X^{16}+X^{15}+X^2+1$)
MSB/LSB選択機能	なし	MSB/LSB選択可能
SFRアクセス監視機能	なし	あり

表 2.35 CRC演算回路関連SFRの相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
CRCMR	—	03B6h	—	—	M16C/64Cのみ
CRCSAR	—	03B4h~ 03B5h	—	—	M16C/64Cのみ

2.16 フラッシュメモリの相違点

表 2.36にフラッシュメモリの相違点を、表 2.37にソフトウェアコマンドの相違点を、表 2.38にフラッシュメモリ関連SFRの相違点を示します。

表 2.36 フラッシュメモリの相違点

項目	M16C/62P	M16C/64C
書き込み単位	1ワード単位	2ワード単位
消去、書き込み回数	100回(全領域) または、1,000回(ブロックA、ブロック1以外のユーザROM領域)/10,000回(ブロックA、ブロック1)	1,000回(プログラムROM1、プログラムROM2)/10,000回(データフラッシュ)
サスペンド機能	なし	あり
ユーザブート機能	なし	あり
強制イレーズ機能	なし	あり
データ保持	10年間	20年間

表 2.37 ソフトウェアコマンドの相違点

ソフトウェアコマンド	マイコン	第1バスサイクル		第2バスサイクル		第3バスサイクル	
		アドレス	データ	アドレス	データ	アドレス	データ
プログラム	M16C/62P	WA	XX40h	WA	WD	—	—
	M16C/64C	WA	XX41h	WA	WD0	WA	WD1
イレーズ全アンロックブロック	M16C/62P	X	XXA7h	X	XXD0h	—	—
	M16C/64C	—	—	—	—	—	—
ブロックブランクチェック(注1)	M16C/62P	—	—	—	—	—	—
	M16C/64C	X	XX25h	BA	XXD0h	—	—

注1. ブロックブランクチェックコマンドはライターメカ向けを想定したものであり、一般ユーザ向けのコマンドではありません。

WA: 書き込み番地(偶数。ただし、M16C/64Cの場合、番地の末尾は、0h、4h、8hまたはChにしてください。)

WD: 書き込みデータ(16ビット)

WD0: 書き込みデータ下位ワード(16ビット)

WD1: 書き込みデータ上位ワード(16ビット)

BA: ブロックの最上位番地(ただし、偶数番地)

X: ユーザROM領域内の任意の偶数番地

XX: コマンドの上位8ビット(無視されます)

表 2.38 フラッシュメモリ関連SFRの相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62P	M16C/64C		M16C/62P	M16C/64C
FIDR	01B4h	—	—	M16C/62P	—
FMR0	01B7h	0220h	—	アドレス変更	
FMR1	01B5h	0221h	1	EW1モード選択ビット 0: EW0モード 1: EW1モード	FMR6レジスタへの書き込み許可ビット 0: 禁止 1: 許可
			7	予約ビット	データフラッシュウェイトビット 0: 1ウェイト 1: PM17ビットに従う
FMR2	—	0222h	—	—	M16C/64Cのみ
FMR3	—	0223h	—	—	M16C/64Cのみ
FMR6	—	0230h	—	—	M16C/64Cのみ

2.17 フラッシュメモリのブロック構成の相違点

M16C/62PとM16C/64Cは、フラッシュROMブロック分割が異なります。M16C/64Cでブロック分割の異なるブロックを黄色で塗りつぶし、図 2.1にM16C/62PとM16C/64Cのフラッシュメモリのブロック構成の相違点を示します。

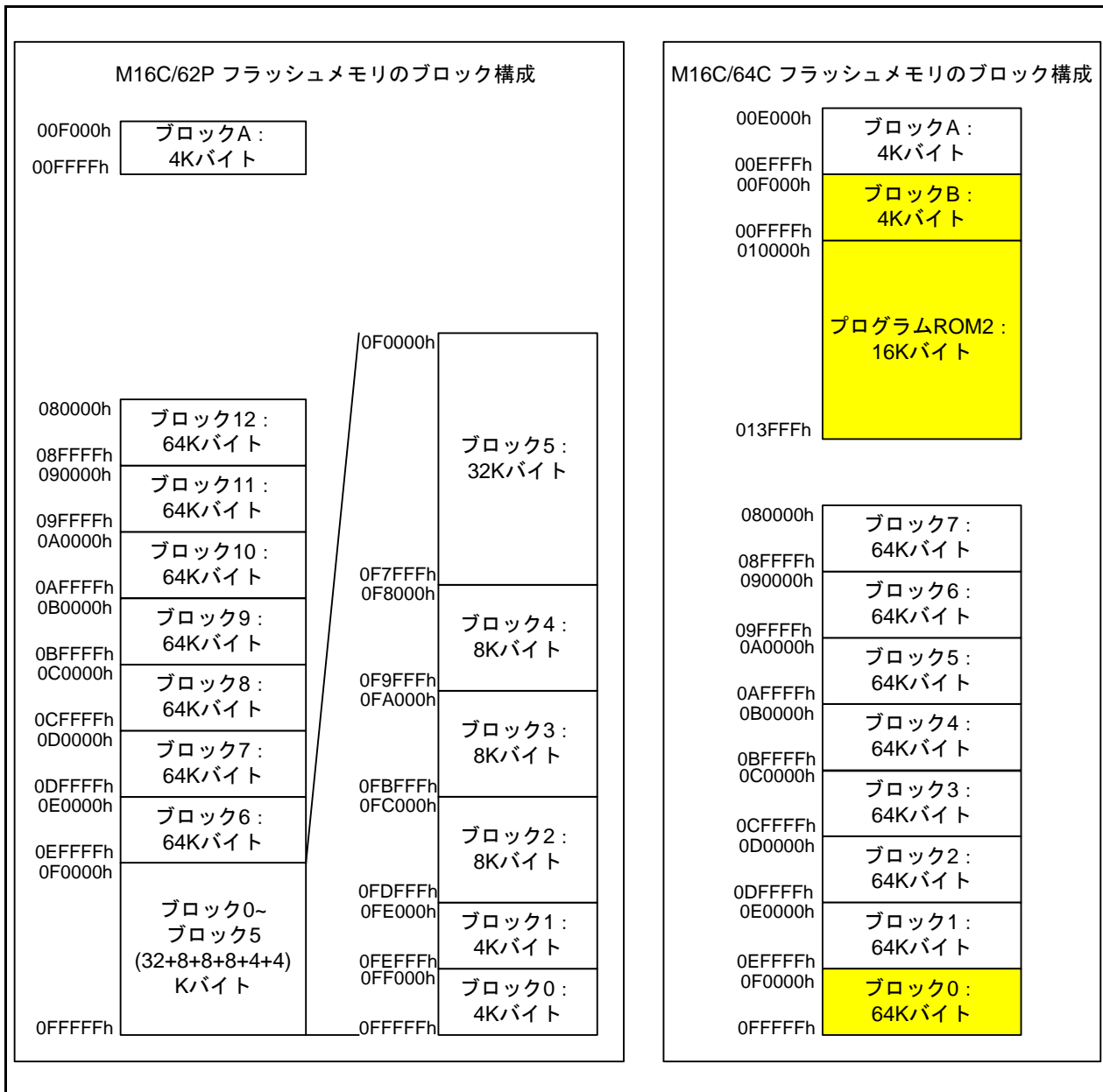


図 2.1 M16C/62PとM16C/64Cのフラッシュメモリのブロック構成の相違点

2.18 M16C/64Cで追加された機能

M16C/64Cで追加された機能は以下の通りです。

- マルチマスタI²C-busインタフェース
- CEC機能
- リアルタイムクロック
- PWM機能
- リモコン信号受信機能

2.19 開発ツールの相違点

表 2.39に開発ツールの相違点を示します。

表 2.39 開発ツールの相違点

ツール種類名	M16C/62P	M16C/64C
Cコンパイラ	M3T-NC30WA	M3T-NC30WA
リアルタイムOS	M3T-MR30	M3T-MR30
エミュレーションデバッグ	PC7501	E100
エミュレーションプローブ	M3062PT2-EPB	なし
MCUユニット	なし	R0E530650MCU00
コンパクトエミュレータ	M3062PT3-CPE	—
オンチップデバッグエミュレータ	E8 E8a (7線式)	E8a (1線式)
Renesas Starter Kits	R0K33062PS001BE	—

3. 参考ドキュメント

M16C/62Pユーザーズマニュアルハードウェア編 Rev.2.41

M16C/64Cユーザーズマニュアルハードウェア編 Rev.1.00

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート/テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

改訂記録	M16C/62P, M16C/64C グループ M16C/62PとM16C/64Cの相違点
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.01.31	-	初版発行
1.01	2011.06.30	3	表 1.1 「消費電流」 削除、NMI端子変更、外部バス「HOLD入力」追加
		4	表 1.2 ウォッチドッグタイマ「カウントスタート」→「カウントソース」、CRC演算回路「MSB/LSB選択機能」追加
		5	表 1.3 FFFFh番地機能設定 M16C/64C : オプション選択 2項目追加
		7	表 2.1 PRCR レジスタ M16C/64C : 「VW0C」追加、表 2.2 M16C/64C : 「(電圧監視0リセットに連動)」削除、「リセット要因判別レジスタ」追加
		9	表 2.6 「40MHzオンチップオシレータ」削除、「125kHzオンチップオシレータ」追加
		10	表 2.11 PM1 レジスタ M16C/64C : 「0B000h」→「0E000h」
		15	表 2.18 「ウォッチドッグタイマの初期化」→「ウォッチドッグタイマのリフレッシュ」
		16	表 2.21 M16C/64C : 01101b 「ACK1」→「ACK2」
		17	表 2.23 TCR1 レジスタ M16C/62P : 「0030h~0032h」→「0038h~0039h」
		18	表 2.24 オーバーフローフラグクリア方法 M16C/62P : 変更
		18,21	表 2.24、表 2.27 「カウントソース」 M16C/64C : 表記変更
		19	表 2.25 「TAPOFS」重複分削除
		20	表 2.26 PPWFS2 「01B6h」→「01E6h」、 TB31 「01B0h~01E1h」→「01E0h~01E1h」
		21	表 2.28 「RDRF」→「PDRF」、 「RFCR」→「PFCR」
		22	表 2.29 「特殊モード」→「特殊モード2」
		27	表 2.36 「データ保持」追加、表 2.37 「(注3)」→「(注1)」、表 2.38 FMR0 レジスタ M16C/62P : 「01BFh」→「01B7h」
		28	図 2.1 「プログラROM2」→「プログラムROM2」
29	表 2.39 「エミュレーションプローブ」変更、「MCUユニット」追加		
30	3. M16C/64C Rev.更新「Rev.0.10」→「Rev.1.00」		

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/inquiry>