

RA ファミリ

R01AN5286JU0100

**RA2A1 24 ビットシグマデルタ A/D コンバータ機能概要**

Rev.1.00

2020.03.01

**要旨**

このアプリケーションノートは、RA2A1 グループに搭載された 24 ビットシグマデルタ A/D コンバータの性能とキャリブレーション機能について説明します。

**対象デバイス**

RA2A1 グループ

**条件**

特に規定のない限り、代表的なデータは  $VCC = AVCC0 = AVCC1 = 3.3\text{ V}$ 、 $VSS = AVSS0 = AVSS1 = 0\text{ V}$ 、 $T_a = 25\text{ }^\circ\text{C}$  に基づいています

**目次**

1. 概要.....	2
2. データシートのパラメータ値の活用.....	3
2.1 アナログ入力パラメータ.....	3
2.1.1 差動入力モードの入力電圧範囲.....	3
2.1.2 シングルエンド入力モードの入力電圧範囲.....	5
2.2 タイミングパラメータ.....	6
2.3 24 ビットシグマデルタ A/D コンバータの特性.....	8
2.3.1 A/D 変換結果の平均化による精度改善.....	14
2.4 センサバイアス (SBIAS) の特性.....	15
2.5 動作電流とスタンバイ電流.....	16
3. キャリブレーション機能.....	17
3.1 内部キャリブレーション動作モード.....	17
3.2 外部キャリブレーション動作モード.....	18
3.3 リキャリブレーション省略.....	18
3.4 キャリブレーション制御フロー.....	19
3.4.1 アナログ電源起動フロー.....	19
3.4.2 入力マルチプレクサ設定フロー.....	20
3.4.3 PGA オフセットの自己診断フロー.....	21
3.4.4 断線検出アシストフロー.....	22
3.4.5 内部キャリブレーションフロー.....	23
3.4.6 外部キャリブレーションフロー.....	24
3.4.7 リキャリブレーション省略フロー.....	25
改訂履歴.....	26

### 1. 概要

RA2A1 グループは、プログラマブルゲイン計装アンプ (programmable gain instrumentation amplifier: PGA) を持つ 24 ビットシグマデルタ A/D コンバータを搭載しています。入力モードとして、差動入力モード、またはシングルエンド入力モードをチャンネルごとに選択できます。入力マルチプレクサからの信号は、プログラマブルゲイン計装アンプ (PGA) を通過し、シグマデルタ A/D コンバータに入力されます。A/D 変換結果は SINC3 デジタルフィルタでフィルタ処理され、出力レジスタ内に格納されます。

この 24 ビットシグマデルタ A/D コンバータは、キャリブレーション機能を搭載しています。実使用条件におけるオフセット誤差の補正值とゲイン誤差の補正值を計算するキャリブレーション機能により、高精度の A/D 変換を実現できます。リセット後、最初に 24 ビットシグマデルタ A/D コンバータの差動入力モードを使用するときに、キャリブレーションを実施する必要があります。

このアプリケーションノートは、24 ビットシグマデルタ A/D コンバータのアナログ入力パラメータとタイミングパラメータ、SNR 特性と SINAD 特性、A/D 変換時の消費電流、キャリブレーションの実施方法について説明します。

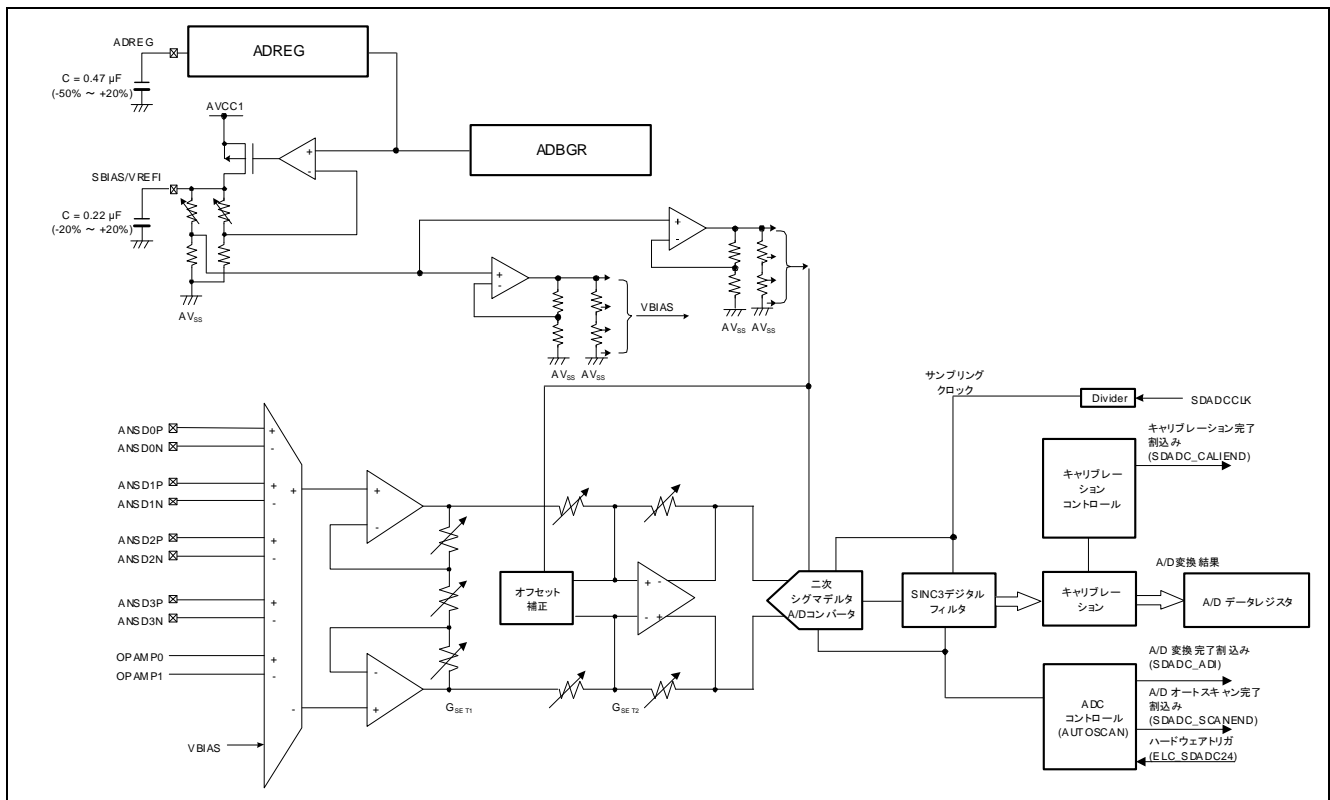


図 1 SDADC24 のブロック図

表 1 SDADC24 の I/O 端子

端子名	I/O	機能
AVCC1	入力	アナログ部の電源電圧端子
AVSS1	入力	アナログ部の電源グランド端子
ADREG	入出力	PGA とシグマデルタ A/D コンバータ用の電源端子
SBIAS/VREFI	入力	外部基準電圧入力端子 (VREFI)
	出力	センサ電源端子 (SBIAS)
ANSD0P ~ ANSD3P、 ANSD0N ~ ANSD3N	入力	アナログ入力端子

## 2. データシートのパラメータ値の活用

この章では、24 ビットシグマデルタ A/D コンバータの電気的特性について説明します。

### 2.1 アナログ入力パラメータ

この章では、アナログ入力について説明します。2.1.1 章と 1.1.1 章で、差動入力モードとシングルエンド入力モードそれぞれの入力電圧範囲を示します。

#### 2.1.1 差動入力モードの入力電圧範囲

表 2 に、差動入力モードにおけるアナログ入力の特性を示します。

表 2 差動入力モードにおけるアナログ入力の特性

条件:  $V_{CC} = AV_{CC0} = AV_{CC1} = 2.7 \sim 5.5 \text{ V}$ ,  $V_{SS} = AV_{SS0} = AV_{SS1} = 0 \text{ V}$

項目	シンボル	min	typ	max	単位	測定条件	
フルスケール範囲	$F_{SR}$	-	$\pm 0.8 / G_{TOTAL}$	-	V	-	
差動入力モードでのアナログ入力	差動入力電圧範囲	$V_{ID}$	$-0.8/G_{TOTAL}$	-	$0.8/G_{TOTAL}$	V	$V_{ID} = ANSDnP$ - $ANSDnN$ 、 または $AMP00$ - $AMP10$ ( $n = 0 \sim 3$ ), $d_{OFR} = 0 \text{ mV}$
	入力電圧範囲	$V_I$	0.2	-	1.8	V	$V_I = ANSDnP$ 、 $ANSDnN$ 、 $AMP00$ 、または $AMP10$ ( $n = 0 \sim 3$ )
	コモンモード入力電圧範囲	$V_{COM}$	$0.2 + ( V_{ID}  \times G_{SET1}) / 2$	1.0	$1.8 - ( V_{ID}  \times G_{SET1}) / 2$	V	$d_{OFR} = 0 \text{ mV}$
入力絶対電流	$I_{IN}$	-	2	-	nA	$V_I = 1 \text{ V}$	
入力オフセット電流	$I_{INOFR}$	-	1	-	nA	$V_{ID} = 0 \text{ V}$ 、 $V_{COM} = 1 \text{ V}$	
入力インピーダンス	$Z_{IN}$	-	500	-	Mohm	$V_{ID} = 1 \text{ V}$ 、 $V_{COM} = 1 \text{ V}$	

差動入力モードでは、ゲインの通倍率 ( $G_{TOTAL}$ ) は前段アンプのゲイン ( $G_{SET1}$ ) と次段アンプのゲイン ( $G_{SET2}$ ) の組み合わせで  $\times 1$  から  $\times 32$  に変更可能です。

下記の式で、 $V_{SIG}$  は差動電圧の振幅、 $V_{COM}$  は同相入力電圧、 $d_{OFR}$  はオフセット電圧調整用の D/A コンバータの出力電圧を入力電圧に変換して計算された値です。1つのアンプ段の入力電圧範囲は、 $0.2 \text{ V} \sim 1.8 \text{ V}$  です。したがって、計装アンプの前段アンプを通り次段アンプに入る信号は、式 1 に示す条件を満たす必要があります。

また、計装アンプから見た前段アンプを通過して次段アンプから出力される信号は、式 2 に示す条件を満たす必要があります。

式 1:

$$0.2 \text{ V} + \frac{|V_{SIG}| \times G_{SET1}}{2} \leq V_{COM} \leq 1.8 \text{ V} - \frac{|V_{SIG}| \times G_{SET1}}{2}$$

式 2:

$$-0.8 \text{ V} \leq (V_{SIG} + d_{OFR}) \times G_{TOTAL} \leq 0.8 \text{ V}$$

$d_{OFR} = 0 \text{ mV}$  の場合、入力信号はフルスケールの差動入力電圧となります。 $V_{SIG} = V_{ID}$  (フルスケール差動入力電圧) のとき、 $V_{COM}$  は式 3 で表すことができます。

式 3:

$$0.2 \text{ V} + \frac{|V_{ID}| \times G_{SET1}}{2} \leq V_{COM} \leq 1.8 \text{ V} - \frac{|V_{ID}| \times G_{SET1}}{2}$$

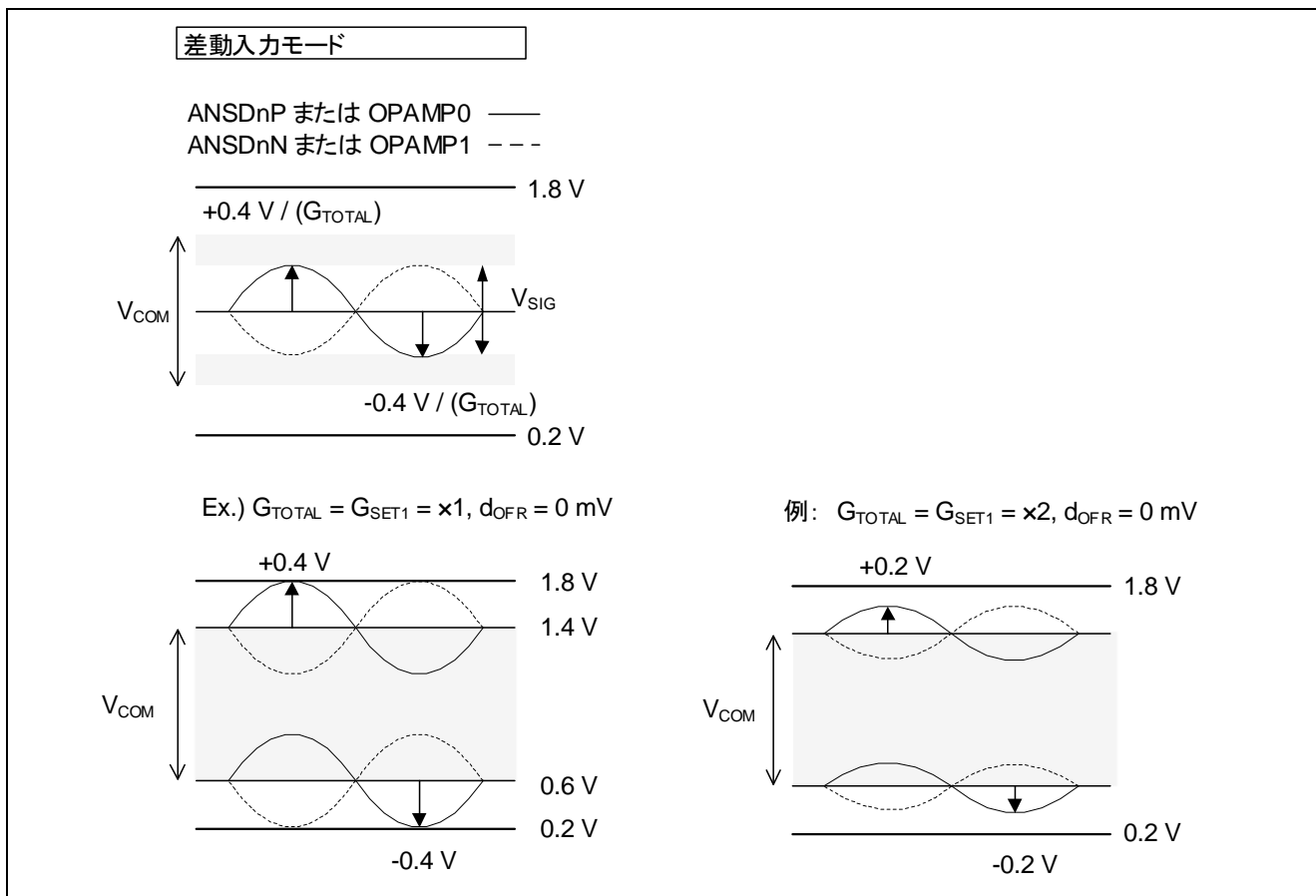


図 2 差動入力モードの入力電圧範囲

図 3 に、プログラマブルゲイン計装アンプ (PGA) の各チャンネルについて差動入力電圧の振幅遷移を示します。

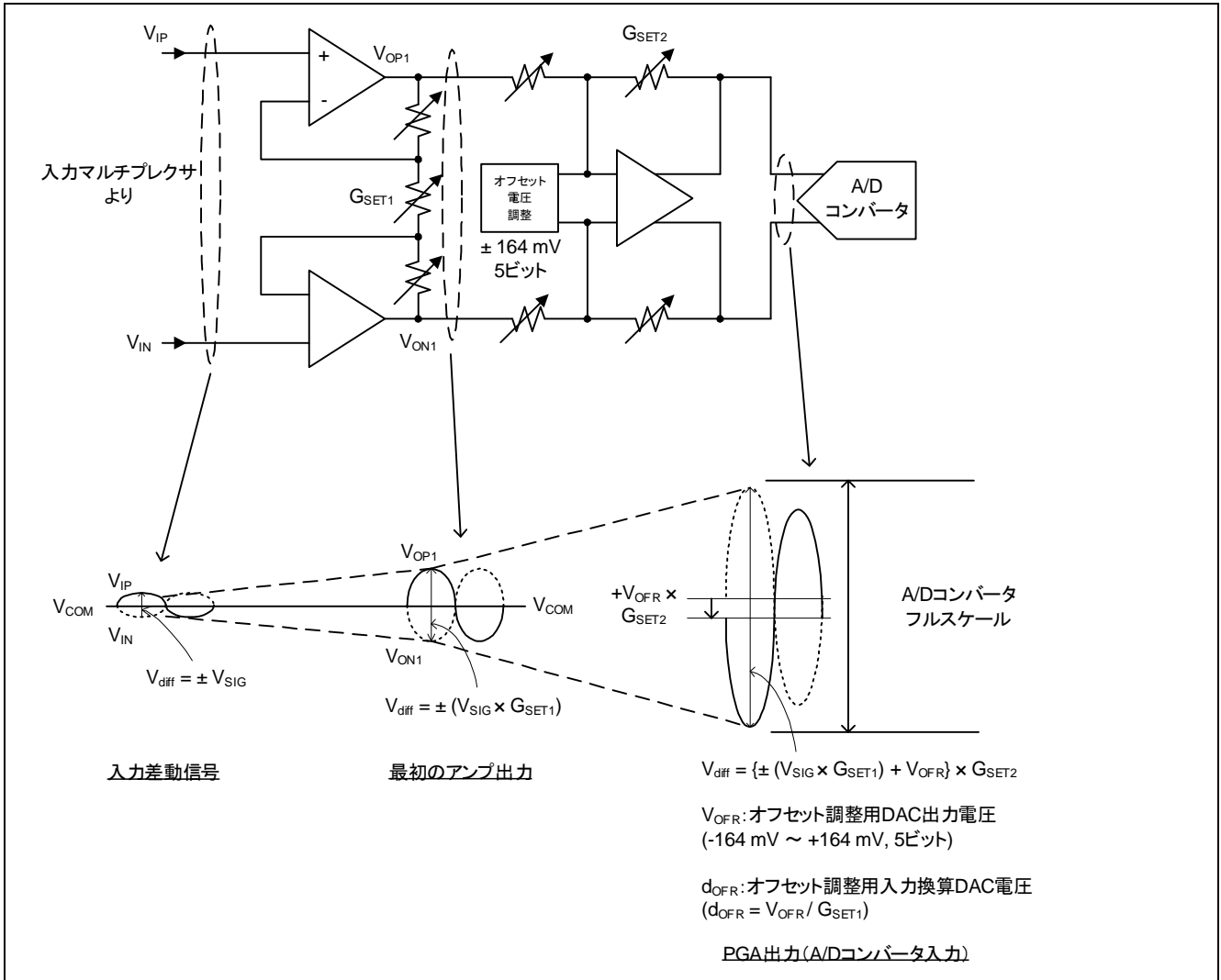


図 3 PGA のチャンネルごとの差動入力電圧の遷移

### 2.1.2 シングルエンド入力モードの入力電圧範囲

表 3 に、シングルエンド入力モードにおけるアナログ入力の特性を示します。

表 3 シングルエンド入力モードにおけるアナログ入力の特性

条件:  $V_{CC} = AV_{CC0} = AV_{CC1} = 2.7 \sim 5.5 \text{ V}$ ,  $V_{SS} = AV_{SS0} = AV_{SS1} = 0 \text{ V}$

項目	シンボル	min	typ	max	単位	測定条件
シングルエンド入力モードの アナログ入力	$V_i$	0.2	-	1.8	V	$V_i = ANSDnP, ANSDnN,$ AMP00、または AMP10 ( $n = 0 \sim 3$ )、 $V_{COM} = 1.0 \text{ V}$ , $d_{OFR} = 0 \text{ mV}$ 、 $G_{SET1} = 1, G_{SET2} = 1, OSR = 256$
入力絶対電流	$I_{IN}$	-	2	-	nA	$V_i = 1 \text{ V}$

シングルエンド入力モードがサポートしている組み合わせは、 $d_{OFR} = 0 \text{ mV}$ ,  $G_{SET1} = 1, G_{SET2} = 1$ 、オーバーサンプリング比 (OSR) = 256 のみです。

正の側のシングルエンド入力モードで、入力マルチプレクサからの信号は、PGA の非反転入力に接続されます。バイアス電圧 ( $V_{BIAS} = 1.0 \text{ V}$  (typ 値)) は PGA の反転入力に接続され、基準電圧を供給します。負の側のシングルエンド入力モードで、入力マルチプレクサからの信号は PGA の反転入力に接続され、内部バイアス電圧は PGA の非反転入力に接続されます。それらの差としての信号出力は、 $0.2 \text{ V} \sim 1.8 \text{ V}$  の範囲内にあります。

入力電圧範囲 ( $V_i$ ) は、次の式を満たす必要があります。

$$0.2 \text{ V} \leq V_i \leq 1.8 \text{ V}$$

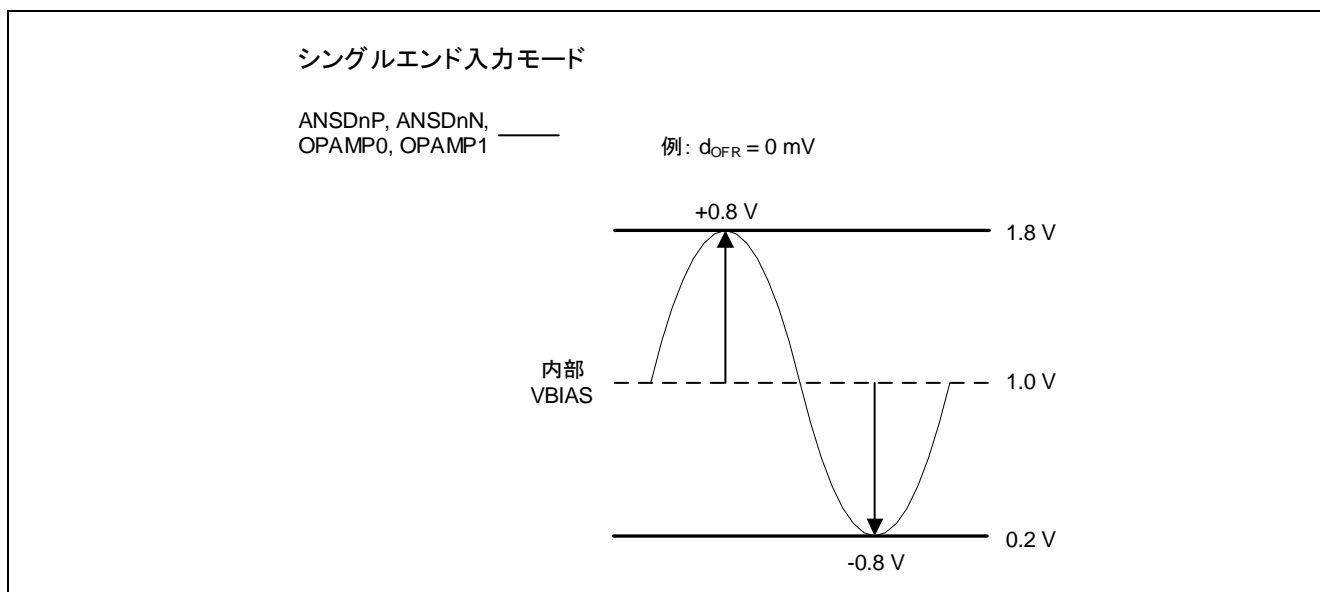


図 4 シングルエンド入力モードの入力電圧範囲

## 2.2 タイミングパラメータ

表 4 に、24 ビットシグマデルタ A/D コンバータのタイミングパラメータを示します。

表 4 24 ビットシグマデルタ A/D コンバータのタイミングパラメータ

条件:  $V_{CC} = AV_{CC0} = AV_{CC1} = 2.7 \sim 5.5 \text{ V}$ ,  $V_{SS} = AV_{SS0} = AV_{SS1} = 0 \text{ V}$

項目	シンボル	min	typ	max	単位	測定条件
オーバーサンプリング周波数	$F_{OS}$	-	1	-	MHz	通常 A/D 変換モード
		-	0.125	-		低消費電力 A/D 変換モード
出力データ速度	$f_{DATA1}$	0.48828	-	15.625	ksp/s	通常 A/D 変換モード
	$f_{DATA2}$	61.03615	-	1953.125	sps	低消費電力 A/D 変換モード

SDADC24 は、SDADCCLK が生成した基準クロックを使用して A/D 変換を実施します。SDADC24 基準クロックが  $4 \text{ MHz}$  を出力するように、SDADC24.STC1.CLKDIV[3:0] ビットを設定します。通常 A/D 変換モードで、オーバーサンプリング周波数は  $1 \text{ MHz}$  です。低消費電力 A/D 変換モードで、オーバーサンプリング周波数は  $0.125 \text{ MHz}$  です。

SDADC24.PGACn.PGAOSR[2:0] ビット ( $n = 0 \sim 4$ ) を設定する方法で、オーバーサンプリング比として 64、128、256、512、1024、2048 のいずれかを選択できます。

出力データ速度の計算式は次のとおりです。

出力データ速度 (sps) = オーバーサンプリング周波数 / オーバーサンプリング比

SINC3 デジタルフィルタを使用して、A/D 変換結果のダウンサンプリングを実施します。

図 5 に、このデジタルフィルタのブロック図を示します。3 個のアキュムレータと 3 個の微分器がカスケード(直列)接続されています。A/D コンバータを安定させるために、必要な安定時間を満たす必要があります。表 5 に、安定時間 1 と安定時間 2 を示します。これらは次のように定義されています。

- 安定時間 1 – ADC2.SDADST ビットの立ち上がりから、A/D 変換終了割り込みまでの時間。図 6 の安定時間 1 を参照してください。
- 安定時間 2 – チャンネル切り替え前の最後の A/D 変換終了割り込みから、チャンネル切り替え後の最初の A/D 変換終了割り込みまでの時間。図 6 の安定時間 2 を参照してください。

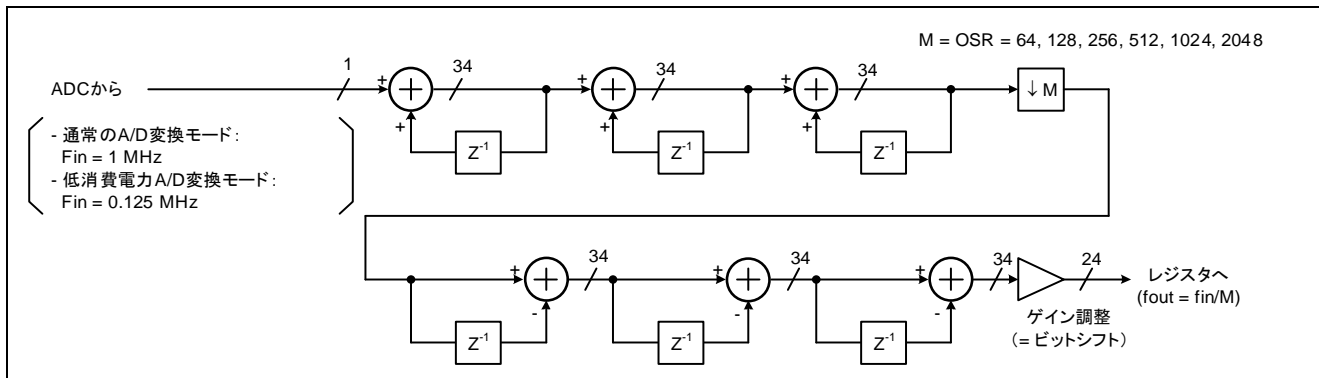


図 5 デジタルフィルタのブロック図

表 5 各動作モードの安定時間

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5 V, VSS = AVSS0 = AVSS1 = 0 V

項目		通常 A/D 変換モード	低消費電力 A/D 変換モード
安定時間 1	min	3T + 129 μs + 2PCLKB + 9 ADC 基準クロック*1	3T + 1032 μs + 2PCLKB + 9 個分の ADC 基準クロック*1
	max	3T + 129 μs + 3PCLKB + 10 ADC 基準クロック*1	3T + 1032 μs + 3PCLKB + 10 個分の ADC 基準クロック*1
安定時間 2*2	min	3T + 129 μs - 1PCLKB	3T + 1032 μs - 1PCLKB
	max	3T + 129 μs + 1PCLKB	3T + 1032 μs + 1PCLKB

注記: オートスキャン内蔵シーケンサが、安定時間を自動的に生成します。

3T とは、サンプリング時間に比べて 3 倍の長さの時間 (3 × 1 / fout) を意味します。

注記: 1. 通常 A/D 変換モード: 4 MHz。低消費電力 A/D 変換モード: 500 kHz。

2. A/D コンバータと制御回路は非同期なので、割り込みの出力タイミングで ± 1PCLKB の変動が発生します。A/D 変換の間隔に変動はなく、互いに等しい間隔で変換が実行されます。

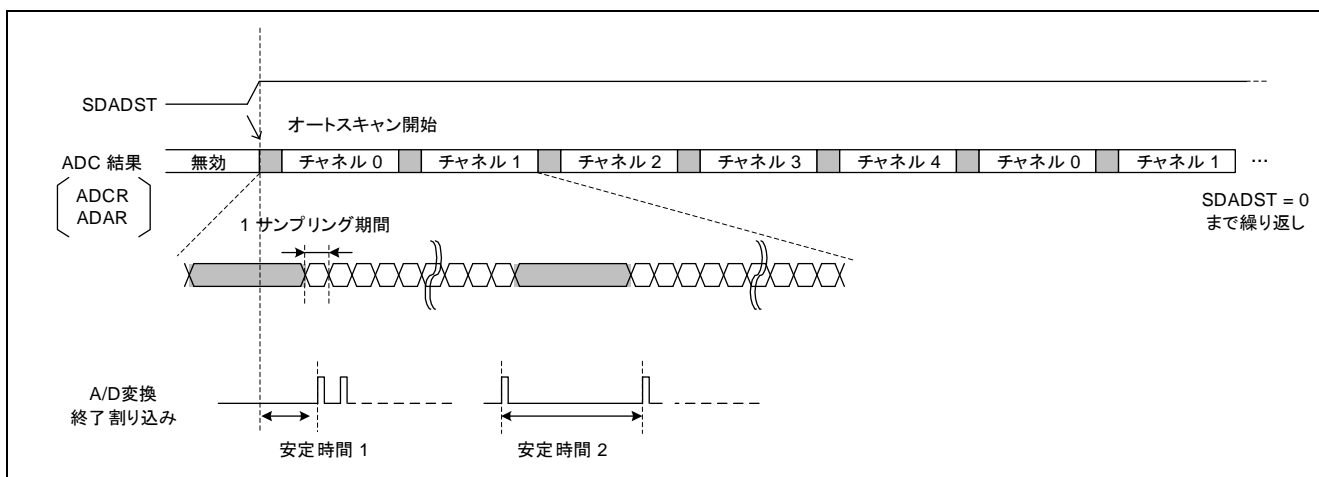


図 6 オートスキャンのシーケンス

## 2.3 24 ビットシグマデルタ A/D コンバータの特性

表 6 に、24 ビットシグマデルタ A/D コンバータの SNR、SINAD、および ENOB の特性評価結果を示します。

SNR と SINAD は、多くのアプリケーションで非常に重要です。これらのパラメータはコンバータが検知できる入力信号の最小の変化量を表すからです。閉ループシステムで入力信号の小さい変化を検出できる場合、制御ループの性能を向上させることが可能です。

SNR: 信号対ノイズ比 (dB 単位)  
合計 RMS ノイズに対する RMS 信号のレベル

SINAD: 信号対ノイズ + 歪み比 (dB 単位)  
入力信号の RMS (実効値) レベルを、DC 成分を除くノイズと歪みの RMS 値の総和で割った値

ENOB: 実効ビット数  
 $ENOB = (SINAD - 1.76 \text{ dB}) / 6.02 \text{ dB}$

ENOB (RMS): 実効分解能  
 $ENOB (RMS) = \log_2 (V_{Fullscale} / Noise_{RMS})$   
Noise\_rms は、 $V_{ID} = 0 \text{ V}$  の場合の入力換算ノイズ (input-referred noise) です。 $V_{Fullscale}$  は、 $F_{SR}$  のピーク・ツー・ピーク値です。

**表 6 24 ビットシグマデルタ A/D コンバータの SNR、SINAD、および ENOB の評価結果**

条件:  $VCC = AVCC0 = AVCC1 = 3.3 \text{ V}$ 、 $VSS = AVSS0 = AVSS1 = 0 \text{ V}$ 、 $V_{COM} = 1.0 \text{ V}$ 。

特に規定のない限り、外部クロック入力を使用し、 $F_{OS} = 1 \text{ MHz}$ 、 $d_{OFR} = 0 \text{ mV}$  に設定した状況で、差動入力モードでこれらの電氣的仕様が適用されます。

項目	シンボル	typ	単位	測定条件					
信号対ノイズ比 $V_{ID} = 0 \text{ V}$	SNR	76.0	dB	$G_{SET1} = 1$ 、 $G_{SET2} = 1$ 、 PGACn.PGA_AVE[1:0] = 00b または 01b	OSR = 64				
		85.1			OSR = 128				
		89.1			OSR = 256				
		92.2			OSR = 512				
		95.2			OSR = 1024				
		98.2			OSR = 2048				
		73.1	dB	$G_{SET1} = 8$ 、 $G_{SET2} = 4$ 、 PGACn.PGA_AVE[1:0] = 00b または 01b	OSR = 64				
		78.2			OSR = 128				
		81.3			OSR = 256				
		84.2			OSR = 512				
		87.2			OSR = 1024				
		89.8			OSR = 2048				
		信号対ノイズ + 歪み比 $f_{in} = 83 \text{ Hz}$			SINAD	74.4	dB	$G_{SET1} = 1$ 、 $G_{SET2} = 1$ 、 PGACn.PGA_AVE[1:0] = 00b または 01b	OSR = 64
						84.1			OSR = 128
87.8	OSR = 256								
90.1	OSR = 512								
91.7	OSR = 1024								
93.0	OSR = 2048								
72.2	dB		$G_{SET1} = 8$ 、 $G_{SET2} = 4$ 、 PGACn.PGA_AVE[1:0] = 00b または 01b	OSR = 64					
77.9				OSR = 128					
81.0				OSR = 256					
83.7				OSR = 512					
86.1				OSR = 1024					
87.7				OSR = 2048					



項目	シンボル	typ	単位	測定条件					
実効ビット数 fin = 83 Hz	ENOB	12.1	ビット	G <sub>SET1</sub> = 1、G <sub>SET2</sub> = 1、 PGACn.PGA <sub>AVE</sub> [1:0] = 00b または 01b	OSR = 64				
		13.7			OSR = 128				
		14.3			OSR = 256				
		14.7			OSR = 512				
		14.9			OSR = 1024				
		15.2			OSR = 2048				
		11.7	ビット	G <sub>SET1</sub> = 8、G <sub>SET2</sub> = 4、 PGACn.PGA <sub>AVE</sub> [1:0] = 00b または 01b	OSR = 64				
		12.6			OSR = 128				
		13.2			OSR = 256				
		13.6			OSR = 512				
		14.0			OSR = 1024				
		14.3			OSR = 2048				
		実効分解能			ENOB (RMS)	14.1	ビット	G <sub>SET1</sub> = 1、G <sub>SET2</sub> = 1、 PGACn.PGA <sub>AVE</sub> [1:0] = 00b または 01b、 V <sub>fullscale</sub> = 1.6 V	OSR = 64
						15.6			OSR = 128
16.3	OSR = 256								
16.8	OSR = 512								
17.3	OSR = 1024								
17.8	OSR = 2048								
13.6	ビット		G <sub>SET1</sub> = 8、G <sub>SET2</sub> = 4、 PGACn.PGA <sub>AVE</sub> [1:0] = 00b または 01b、 V <sub>fullscale</sub> = 0.05 V	OSR = 64					
14.5				OSR = 128					
15.0				OSR = 256					
15.5				OSR = 512					
16.0				OSR = 1024					
16.4				OSR = 2048					

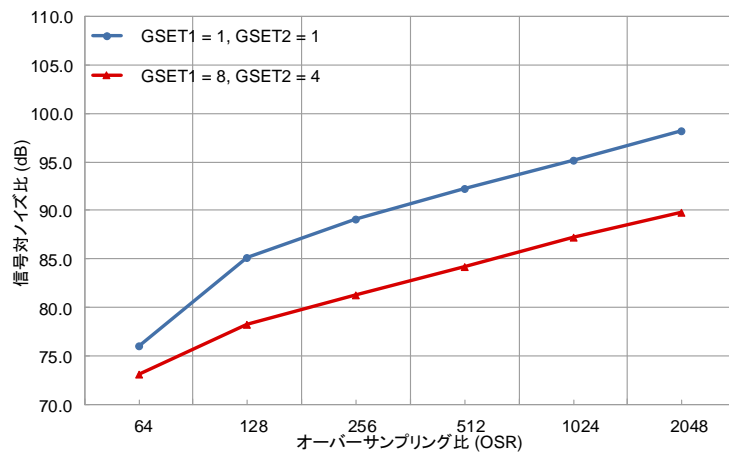


図 7 SNR と OSR の対比

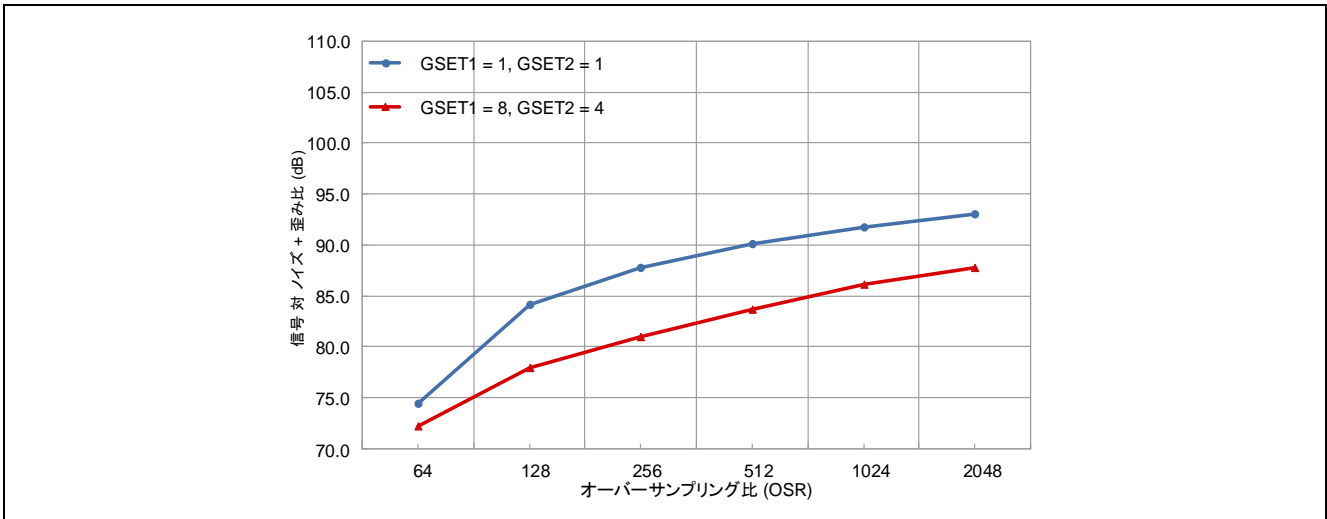


図 8 SINAD と OSR の対比

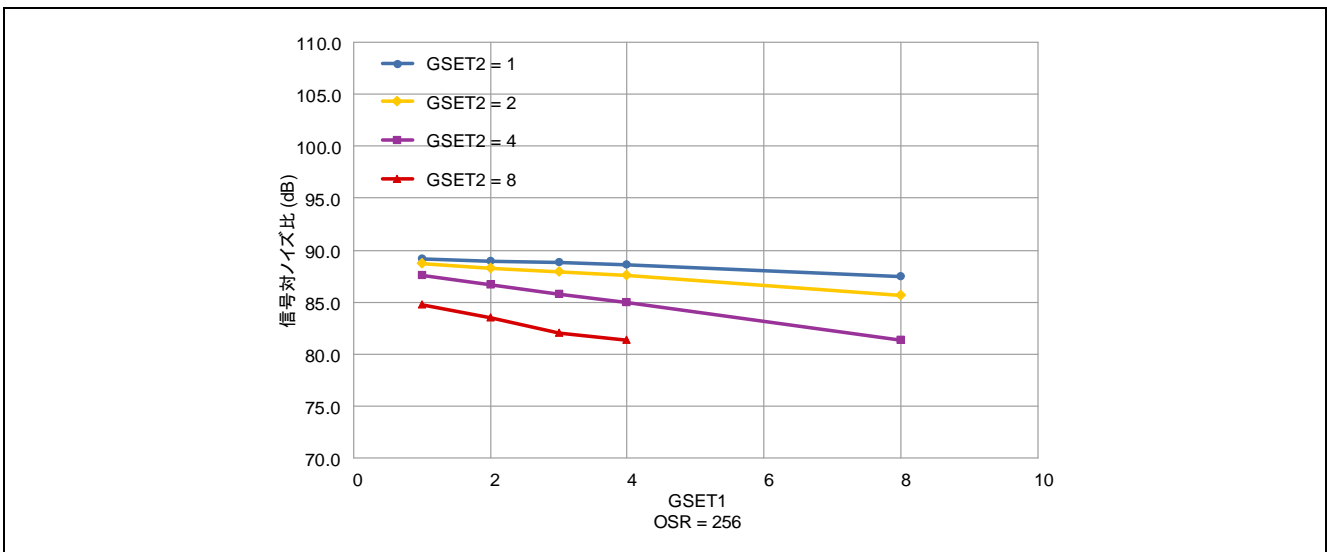


図 9 G<sub>SET1</sub> に対する SNR の依存性

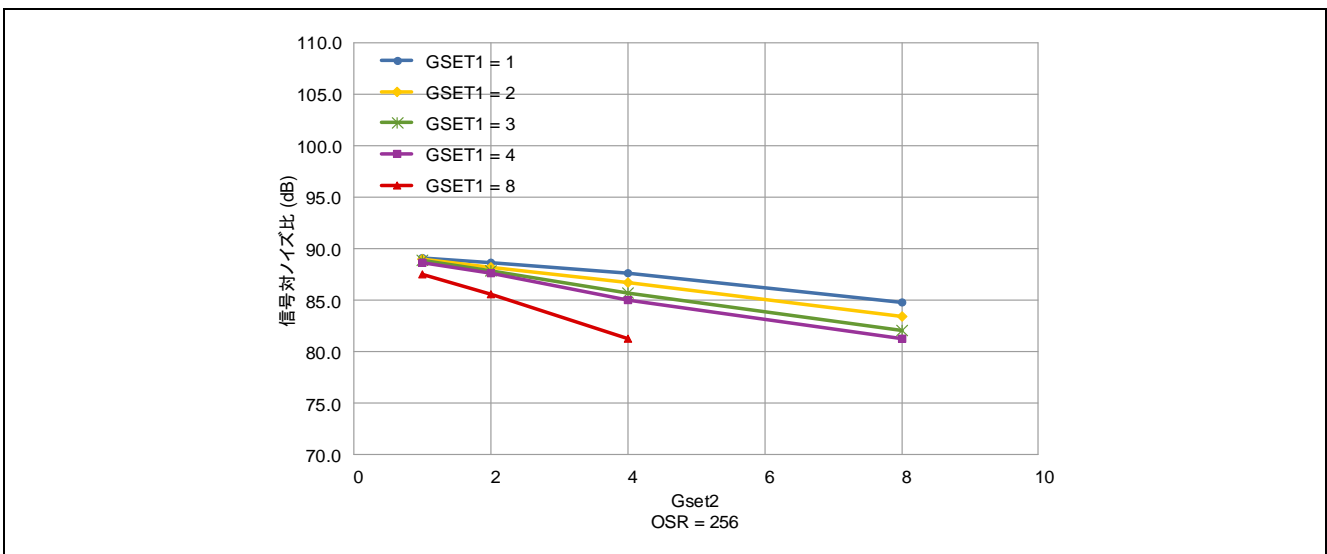


図 10 G<sub>SET2</sub> に対する SNR の依存性

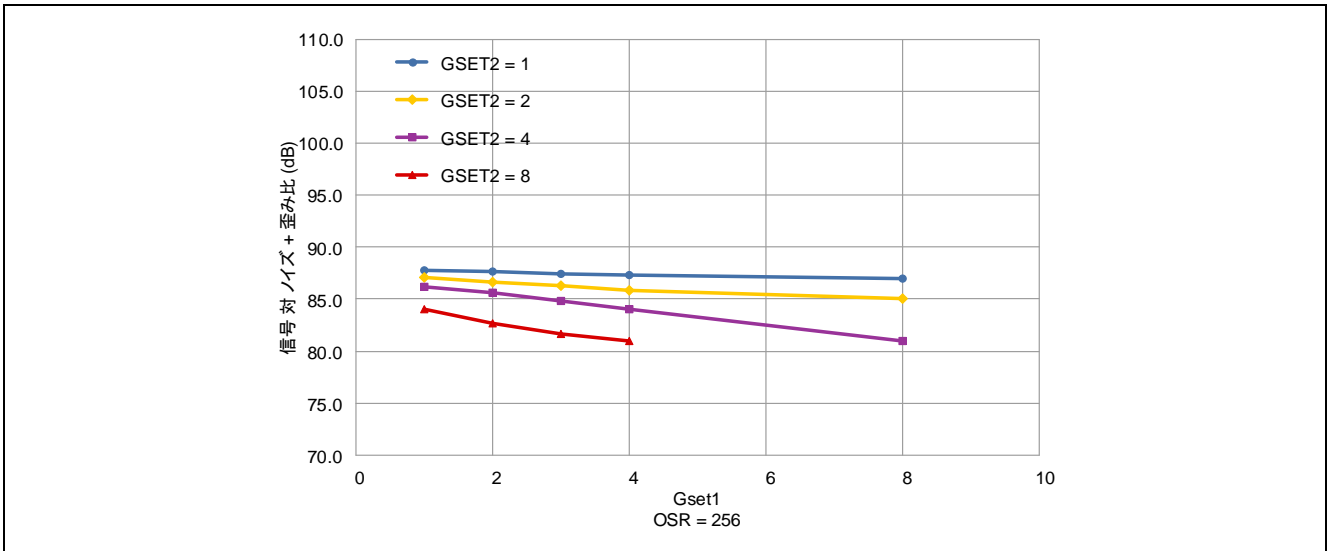


図 11  $G_{SET1}$  に対する SINAD の依存性

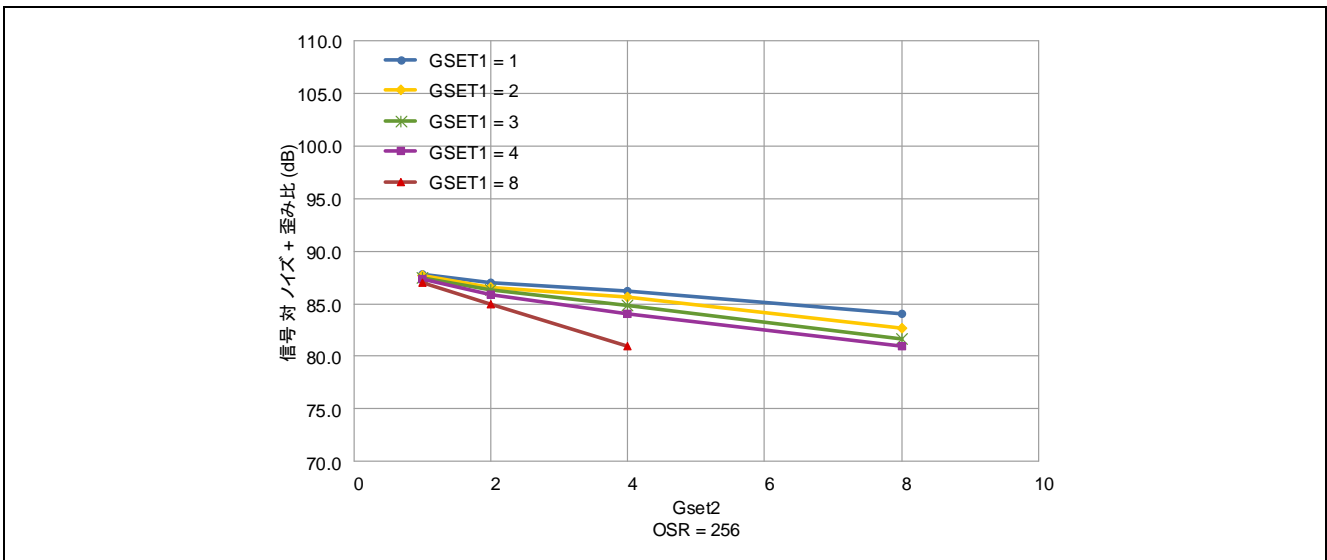


図 12  $G_{SET2}$  に対する SINAD の依存性

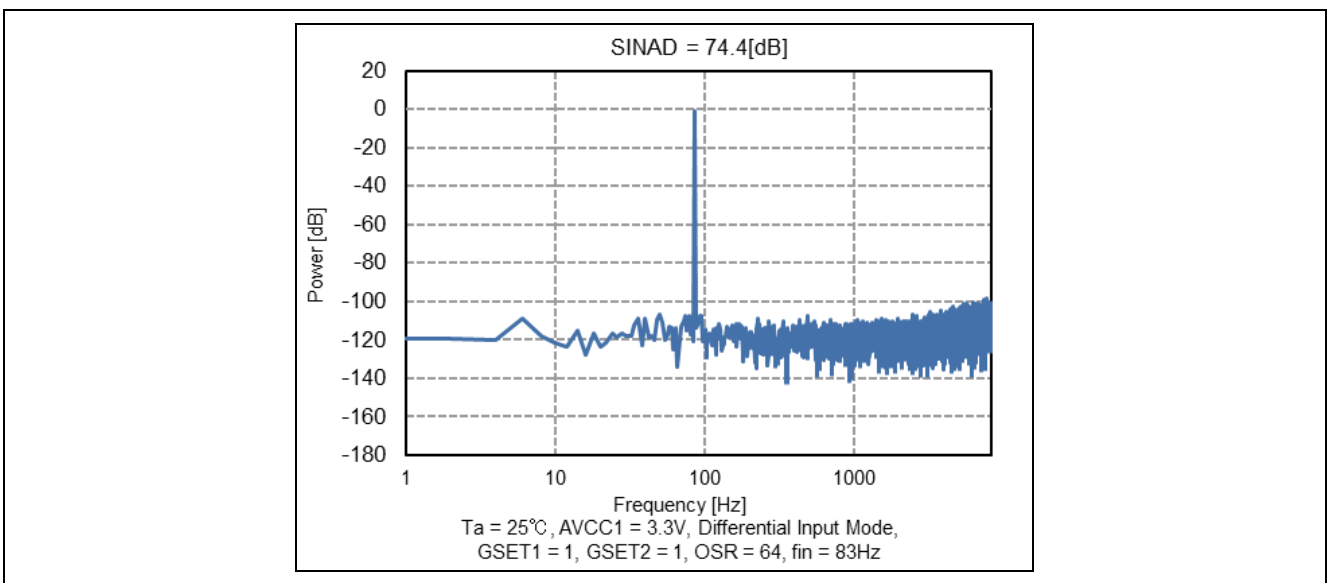


図 13 周波数と出力の対比 ( $G_{SET1} = 1$ ,  $G_{SET2} = 1$ , OSR = 64)

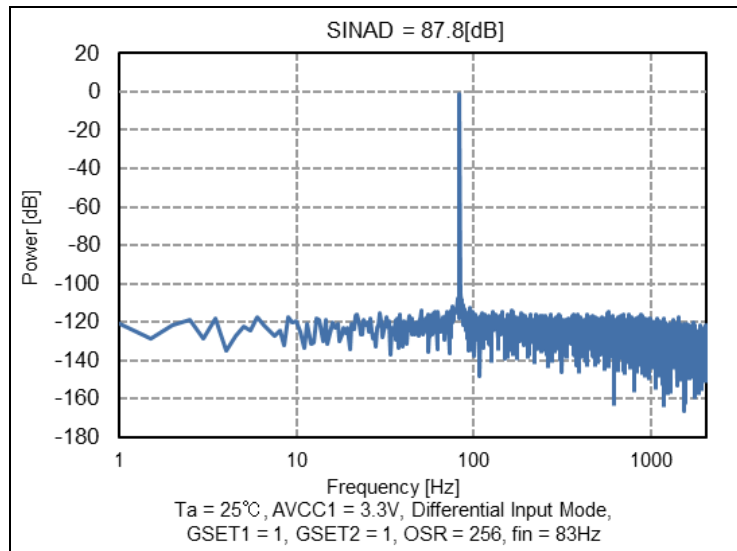


図 14 周波数と出力の対比 (GSET1 = 1、GSET2 = 1、OSR = 256)

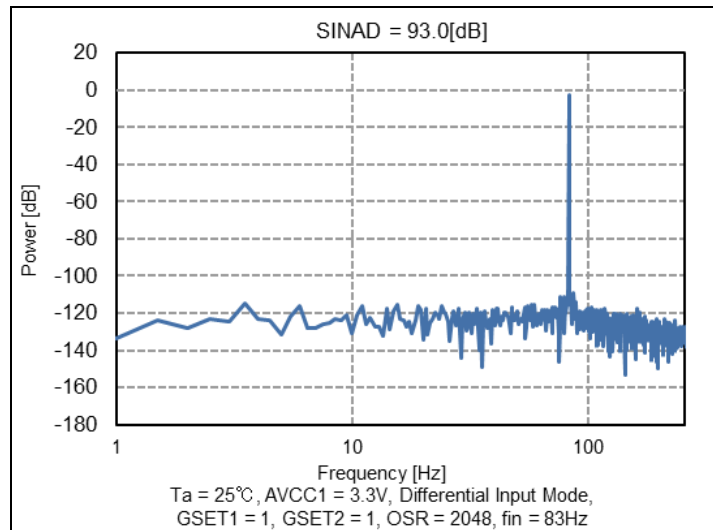


図 15 周波数と出力の対比 (GSET1 = 1、GSET2 = 1、OSR = 2048)

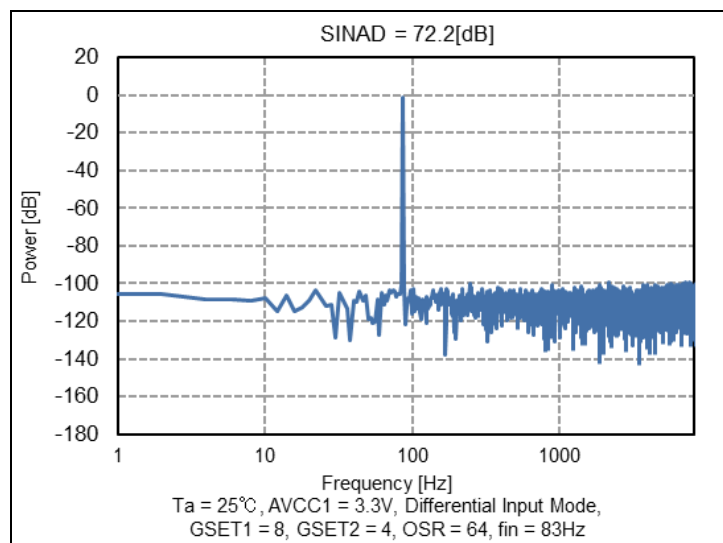


図 16 周波数と出力の対比 (GSET1 = 8、GSET2 = 4、OSR = 64)

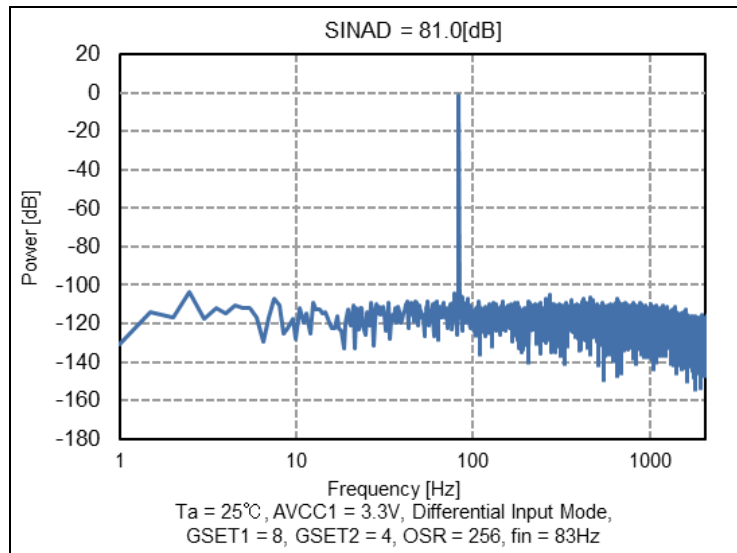


図 17 周波数と出力の対比 (G<sub>SET1</sub> = 8、G<sub>SET2</sub> = 4、OSR = 256)

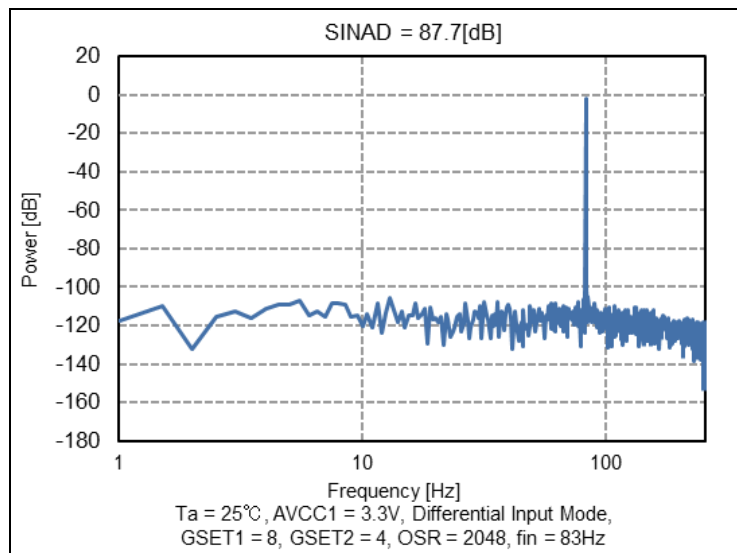


図 18 周波数と出力の対比 (G<sub>SET1</sub> = 8、G<sub>SET2</sub> = 4、OSR = 2048)

### 2.3.1 A/D 変換結果の平均化による精度改善

この 24 ビットシグマデルタ A/D コンバータは、平均化機能を搭載しています。平均化機能を使用する場合、複数の変換を実行し、それらの結果の平均を求めます。8、16、32、または 64 回の出力データの平均を求めることができます。この結果、突発的なノイズの影響を軽減し、変換結果の精度を改善することができます。

**表 7 A/D 変換結果の平均化による性能評価結果**

条件:  $V_{CC} = AV_{CC0} = AV_{CC1} = 3.3 \text{ V}$ 、 $V_{SS} = AV_{SS0} = AV_{SS1} = 0 \text{ V}$ 、 $V_{COM} = 1.0 \text{ V}$ 。

特に規定のない限り、外部クロック入力を使用し、 $F_{OS} = 1 \text{ MHz}$ 、 $d_{OFR} = 0 \text{ mV}$  に設定した状況で、差動入力モードでこれらの電氣的仕様が適用されます。

項目	シンボル	typ	単位	測定条件	
信号対ノイズ比 $V_{ID} = 0 \text{ V}$	SNR	89.1	dB	$G_{SET1} = 1, G_{SET2} = 1,$ $OSR = 256$	平均化なし
		95.9			8 回の平均
		98.8			16 回の平均
		101.5			32 回の平均
		104.3			64 回の平均
信号対ノイズ + 歪み比 $f_{in} = 10 \text{ Hz}$	SINAD	88.1	dB	$G_{SET1} = 1, G_{SET2} = 1,$ $OSR = 256$	平均化なし
		91.8			8 回の平均
		92.9			16 回の平均
		94.1			32 回の平均
		95.4			64 回の平均
実効ビット数 $f_{in} = 10 \text{ Hz}$	ENOB	14.3	ビット	$G_{SET1} = 1, G_{SET2} = 1,$ $OSR = 256$	平均化なし
		15.0			8 回の平均
		15.1			16 回の平均
		15.3			32 回の平均
		15.6			64 回の平均
実効分解能	ENOB (RMS)	16.3	ビット	$G_{SET1} = 1, G_{SET2} = 1,$ $OSR = 256,$ $V_{fullscale} = 1.6 \text{ V}$	平均化なし
		17.4			8 回の平均
		17.9			16 回の平均
		18.4			32 回の平均
		18.8			64 回の平均

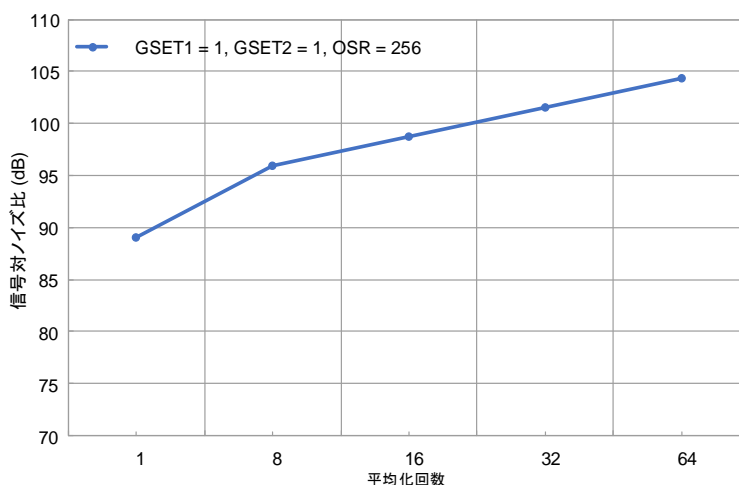


図 19 SNR と平均化回数の対比

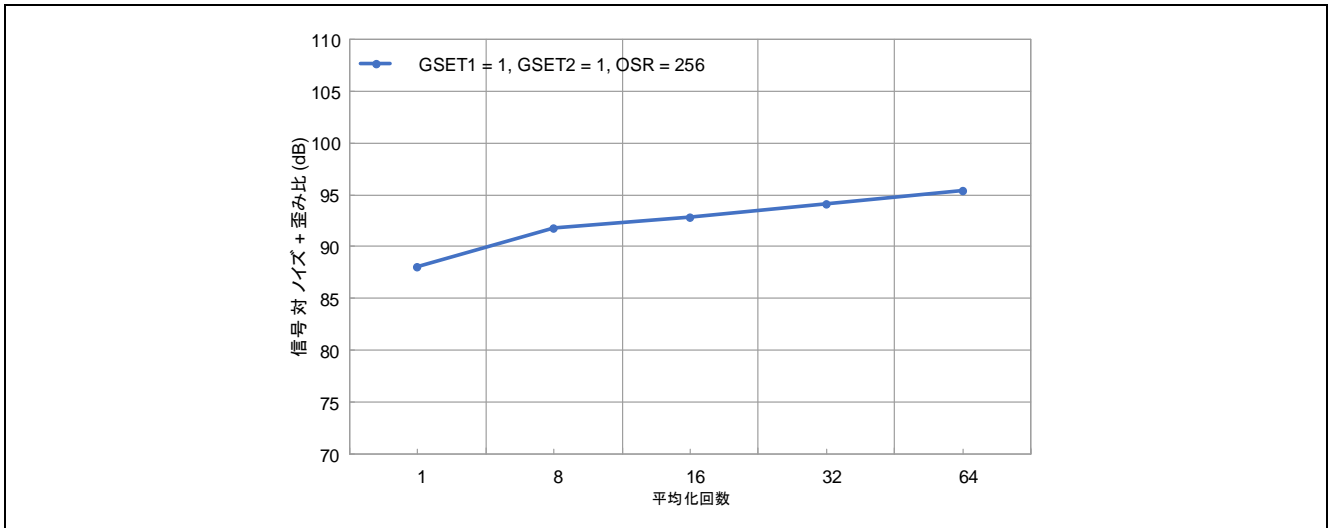


図 20 SINAD と平均化回数の対比

### 2.4 センサバイアス (SBIAS) の特性

表 8 に、SBIAS ドリフトの特性評価結果を示します。

評価結果の平均値の  $\pm 1\sigma$  を「代表値」として定義し、評価結果の平均値の  $\pm 5\sigma$  を「最大値」として定義します。

表 8 SBIAS ドリフトの特性評価結果

条件: VCC = AVCC0 = AVCC1 = 2.7V ~ 5.5 V, VSS = AVSS0 = AVSS1 = 0 V, Ta = -40 °C ~ 105 °C, SDADCSTC1.VREFSEL = 0, 0.22  $\mu$ F (-20% ~ +20%) を使用して SBIAS/VREFI 端子を AVSS1 端子に接続。

項目	シンボル	typ <sup>*1</sup>	max <sup>*2</sup>	単位	測定条件
SBIAS ドリフト	dE <sub>SBIAS</sub>	18.7	89.1	ppm/°C	SBIAS = 0.8 V
		16.6	79.0		SBIAS = 1.0 V
		14.8	73.4		SBIAS = 1.2 V
		14.2	69.4		SBIAS = 1.4 V
		13.2	66.6		SBIAS = 1.6 V
		12.6	64.7		SBIAS = 1.8 V
		12.1	63.6		SBIAS = 2.0 V
		11.9	62.7		SBIAS = 2.2 V

注記: SBIAS ドリフトの計算式は、(Max (SBIAS 誤差 (T (-40°C) ~ T (125°C))) - Min (SBIAS 誤差 (T (-40°C) ~ T (125°C)))) / (125°C - (-40°C))

注記: 1. 平均  $\pm 1\sigma$   
2. 平均  $\pm 5\sigma$

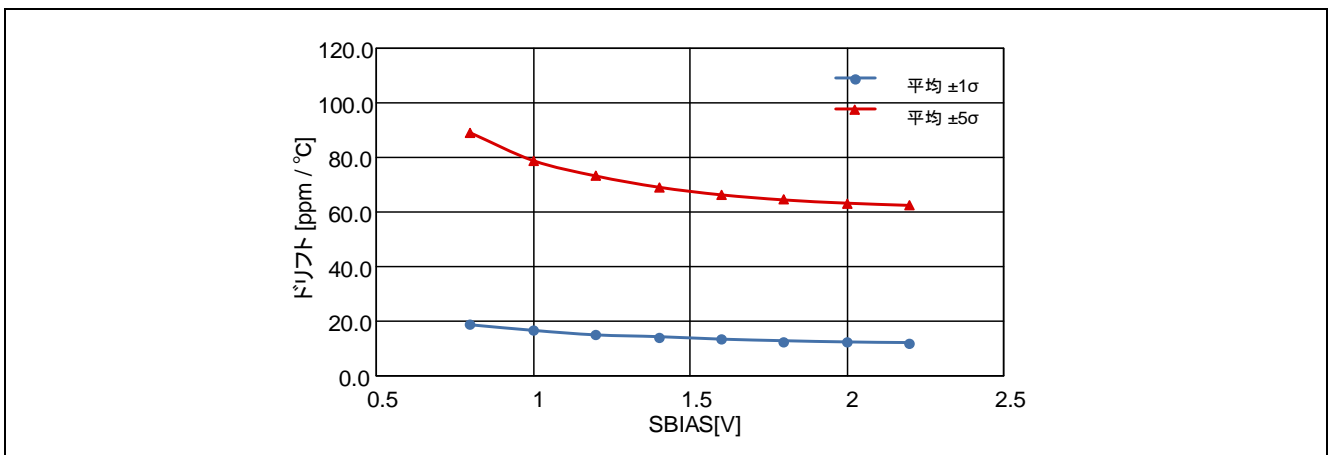


図 21 ドリフトと SBIAS の対比

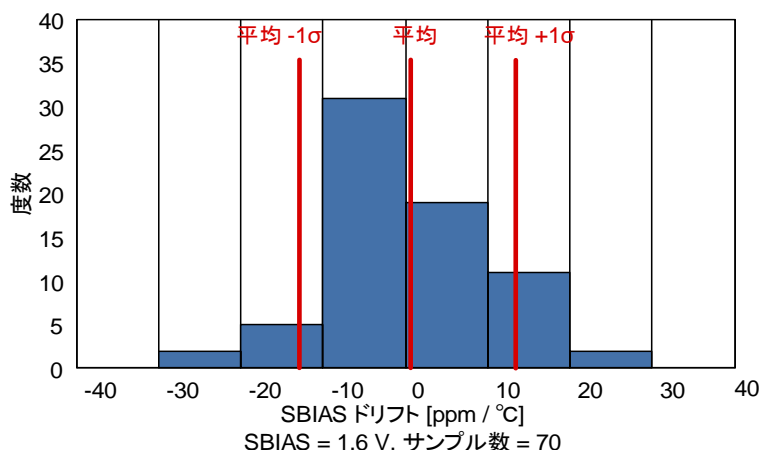


図 22 SBIAS ドリフトのヒストグラム

## 2.5 動作電流とスタンバイ電流

表 9 ~ 表 11 で、A/D コンバータモジュールの停止状態、A/D 変換待機状態、A/D 変換状態のそれぞれに対応する動作電流の評価結果を示します。

**表 9 A/D コンバータモジュールの停止状態における動作電流の評価結果**

条件: VCC = AVCC0 = AVCC1 = 3.3 V、VSS = AVSS0 = AVSS1 = 0 V、HOCO クロック発振周波数 = 64 MHz、  
PCLKB = 32 MHz、MSTPCRD.MSTPD17 = 1b、SDADCCKCR.SDADCCKEN = 0b、  
SDADCCKCR.SDADCCKSEL = 1b、STC2.BGRPON = 0b、STC2.ADCPON = 0b、ADC2.SDADST = 0b

項目	シンボル	typ	単位	測定条件
アナログ電源の電源電流	I <sub>AVCC1</sub>	0.1	μA	-

**表 10 A/D 変換待機状態における動作電流の評価結果**

条件: VCC = AVCC0 = AVCC1 = 3.3 V、VSS = AVSS0 = AVSS1 = 0 V、HOCO クロック発振周波数 = 64 MHz、  
PCLKB = 32 MHz、MSTPCRD.MSTPD17 = 0b、SDADCCKCR.SDADCCKEN = 1b、  
SDADCCKCR.SDADCCKSEL = 1b、STC2.BGRPON = 1b、STC2.ADCPON = 1b、ADC2.SDADST = 0b

項目	シンボル	typ	単位	測定条件
アナログ電源の電源電流	I <sub>AVCC1</sub>	0.90	mA	SDADCSTC1.VREFSEL = 0、 SBIAS = 2.2 V
		0.62		通常 A/D 変換モード 低消費電力 A/D 変換モード

**表 11 A/D 変換状態における動作電流の評価結果**

条件: VCC = AVCC0 = AVCC1 = 3.3 V、VSS = AVSS0 = AVSS1 = 0 V、HOCO クロック発振周波数 = 64 MHz、  
PCLKB = 32 MHz、MSTPCRD.MSTPD17 = 0b、SDADCCKCR.SDADCCKEN = 1b、  
SDADCCKCR.SDADCCKSEL = 1b、STC2.BGRPON = 1b、STC2.ADCPON = 1b、ADC2.SDADST = 1b

項目	シンボル	typ	max	単位	測定条件
アナログ電源の電源電流	I <sub>AVCC1</sub>	0.97	1.11	mA	SDADCSTC1.VREFSEL = 0、 SBIAS = 2.2 V
		0.77	0.90		
基準電圧の電源電流	I <sub>REF1</sub>	6.0	7.0	μA	SDADCSTC1.VREFSEL = 1、VREF1 = 0.8V
		18.0	22.0		SDADCSTC1.VREFSEL = 1、VREF1 = 2.4V



### 3. キャリブレーション機能

使用条件下でオフセット誤差補正值とゲイン誤差補正值を計算するキャリブレーション機能により、高精度の A/D 変換を実現します。キャリブレーション機能は、内部基準電圧またはユーザ指定基準電圧の A/D 変換を実施し、その変換結果の誤差から最も適切な補正值を決定します。キャリブレーションは、CLBSTR.CLBST ビットに 1 を書き込むと開始されます。A/D 変換を連続的に複数回実行し、補正係数を計算します。

キャリブレーション機能は、アナログ・ブロック電源、基準電圧の電源電圧、アナログ入力、SDADC24 基準クロックが安定した環境で使用される必要があります。不安定な環境でキャリブレーションを実施すると、A/D 変換の精度が低下する可能性があります。

表 12 キャリブレーションの設定と動作

コントロールレジスタのビット			キャリブレーション用の補正係数の計算
PGACn.PGASEL	CLBC.CLBMD[1:0]	PGACn.PGACVE	
0 (差動入力モード)	Don't care	0	無効
	00	1	内部キャリブレーション動作
	01	1	外部オフセットのキャリブレーション動作
	10	1	外部ゲインのキャリブレーション動作

注記: シングルエンド入力モードに設定されているチャンネルに対しては、補正係数の計算を行いません。

以下の状況で、キャリブレーションを実施する必要があります。

- リセット後に差動入力モードを最初に使用する場合。
- 差動入力モードで STC1.VREFSEL ビットにより、外部 VREF モードと内部 VREF モードの間で VREF モードを切り替える場合。
- 差動入力モードで STC1.VSBIA[3:0] ビットにより、SBIAS 出力電圧と VREFI 入力電圧の間で電圧を切り替える場合。
- 差動入力モードで、モードを通常 A/D 変換モードから低消費電力 A/D 変換モードに、またはその逆に切り替える場合。
- 差動入力モードで、同じチャンネルに関するゲインを変更する場合。

- 注記: 1. A/D 変換結果のチャンネル番号を表すビット (ADCR.SDADCRC[2:0]) や、A/D 変換結果のステータスを表示するビット (ADCR.SDADCRS)、および A/D コンバータの変換結果を表すビット (ADCR.SDADCRD[23:0]) は、内部キャリブレーションや外部キャリブレーションの実施中に更新されません。
2. 内部または外部キャリブレーションを実施する場合、シングルスキャンを指定するには、シグマデルタ A/D コンバータの制御レジスタ 1 (ADC1) で、オートスキャンモード選択ビットを 1 に設定します。詳細は、3.4.5 章 内部キャリブレーションフロー と 3.4.6 章 外部キャリブレーションフロー を参照してください。
3. キャリブレーションの実施中、 $d_{OFR}$  電圧を、0 mV (PGACn.PGAOFS[4:0] = 00000b (n = 0 ~ 4)) 以外の値に設定することはできません。
4. 外部キャリブレーション動作を実施する場合、複数のチャンネルを同時に PGACn.PGACVE = 1 (n = 0 ~ 4) に設定することはできません。

#### 3.1 内部キャリブレーション動作モード

内部キャリブレーション動作モードは、内部基準電圧に基づいて生成した内部アナログ入力を使用して、オフセット誤差とゲイン誤差の補正值を計算します。複数の入力チャンネルに対応する補正值を、1 回のキャリブレーション動作で計算することができます。CLBSTR.CLBST ビットによりキャリブレーションを開始した後、キャリブレーションの対象として設定したすべての入力チャンネルに対して、オフセット誤差補正值とゲイン誤差補正值を計算します。キャリブレーション完了割り込み (SDADC\_CALIEND) が生成された後、キャリブレーションが完了します。設定の詳細は、図 30 を参照してください。

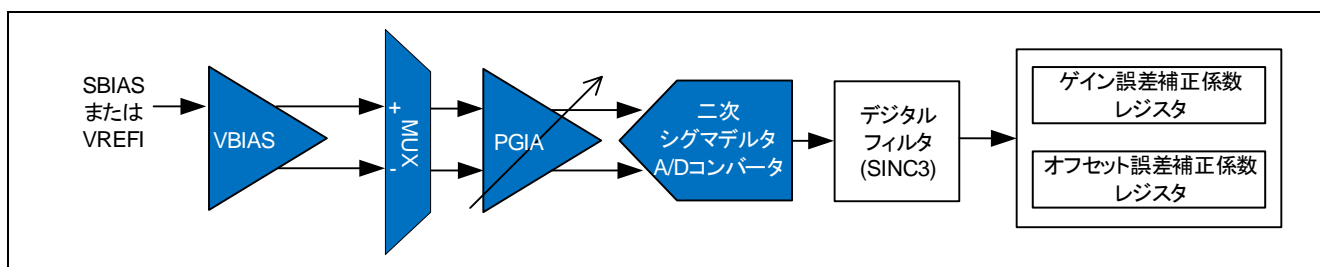


図 23 内部キャリブレーション

### 3.2 外部キャリブレーション動作モード

外部キャリブレーション動作モードは、ユーザ指定の基準電圧に基づくキャリブレーションを実施します。オフセットキャリブレーションは、オフセットキャリブレーションを 0 に補正するときの差動アナログ入力 (VIDOCAL) に応じて、A/D 変換結果に対応する補正値を計算します。ゲインキャリブレーションは、ゲインキャリブレーションを  $2^{23} - 1$  に補正するときの差動アナログ入力 (VIDGCAL) からオフセットキャリブレーション時の差動アナログ入力 (VIDOCAL) の値を引く方法により、その差の値 (VIDGCAL - VIDOCAL) を、A/D 変換結果に対する補正値として計算します。1 つのチャンネルに対応する補正値は、1 回のキャリブレーション動作で計算します。オフセット誤差とゲイン誤差の補正値を計算するには、2 回のキャリブレーション動作を実施する必要があります。キャリブレーションが完了するたびに、キャリブレーション完了割り込み (SDADC\_CALIEND) が生成されます。各キャリブレーション動作を実行する前 (CLBSTR.CLBST ビットを 1 に設定する前) に、入力チャンネルに対応する基準電圧を設定してください。表 13 に、外部キャリブレーション動作モードにおけるユーザ指定の基準電圧を示します。設定の詳細は、図 31 を参照してください。

表 13 外部キャリブレーション動作モードにおけるユーザ指定の基準電圧

ユーザ指定の基準電圧		min	typ	max	単位
外部オフセットキャリブレーション時の差動アナログ入力 (VIDOCAL)	ANSDnP - ANSDnN (n = 0 ~ 3) または OPAMP0 - OPAMP1	*1	0	*1	V
外部ゲインキャリブレーション時の差動アナログ入力 (VIDGCAL)		0.4/G <sub>TOTAL</sub> *1		0.8/G <sub>TOTAL</sub> *1	V
VIDGCAL - VIDOCAL*1		0.4/G <sub>TOTAL</sub>		0.8/G <sub>TOTAL</sub>	V

注 1: VIDOCAL と VIDGCAL は、VIDGCAL - VIDOCAL の最小値(min)と最大値(max)を満たす範囲で使用する必要があります。

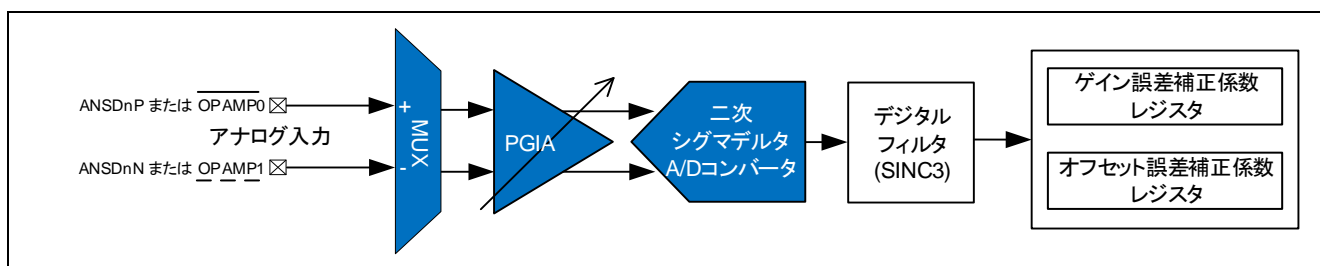


図 24 外部キャリブレーション

### 3.3 リキャリブレーション省略

STC1.SDADLPM、STC1.VSBIAS[3:0]、STC1.VREFSEL、PGACn.PGAGC[4:0] の各ビットの設定がキャリブレーション実行時と同じ設定で差動入力モードを使用する場合、キャリブレーション後の GCVLR レジスタと OCVLR レジスタの値をデータフラッシュに格納してください。次回は、格納した値を GCVLR と OCVLR の各レジスタにコピーすることで、リキャリブレーションを省略できます。設定の詳細は、図 32 を参照してください。

ただし、大きな温度変化が発生した場合や、ユーザ環境または使用条件が変化した場合、リキャリブレーションを実施する必要があります。

### 3.4 キャリブレーション制御フロー

図 26 ~ 図 32 に、SDADC24 のスタートアップフローとキャリブレーションフローを示します。

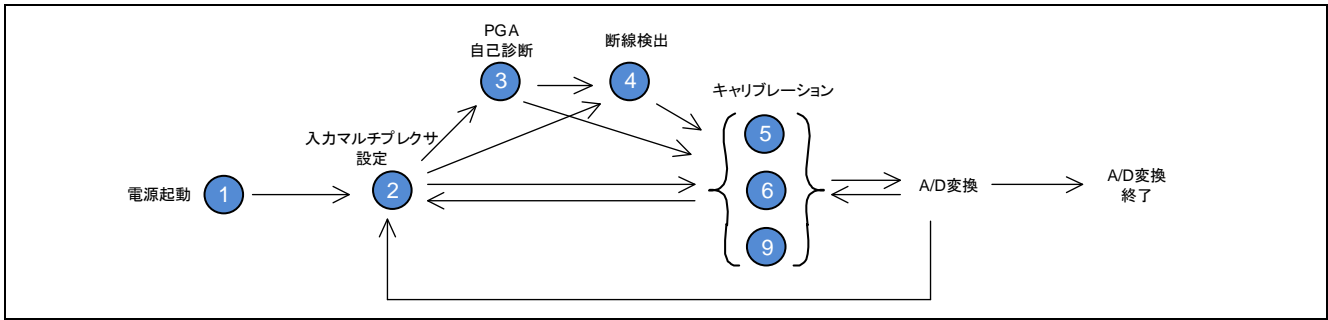


図 25 フローの概要

#### 3.4.1 アナログ電源起動フロー

図 26 に、アナログ電源の起動フローを示します。

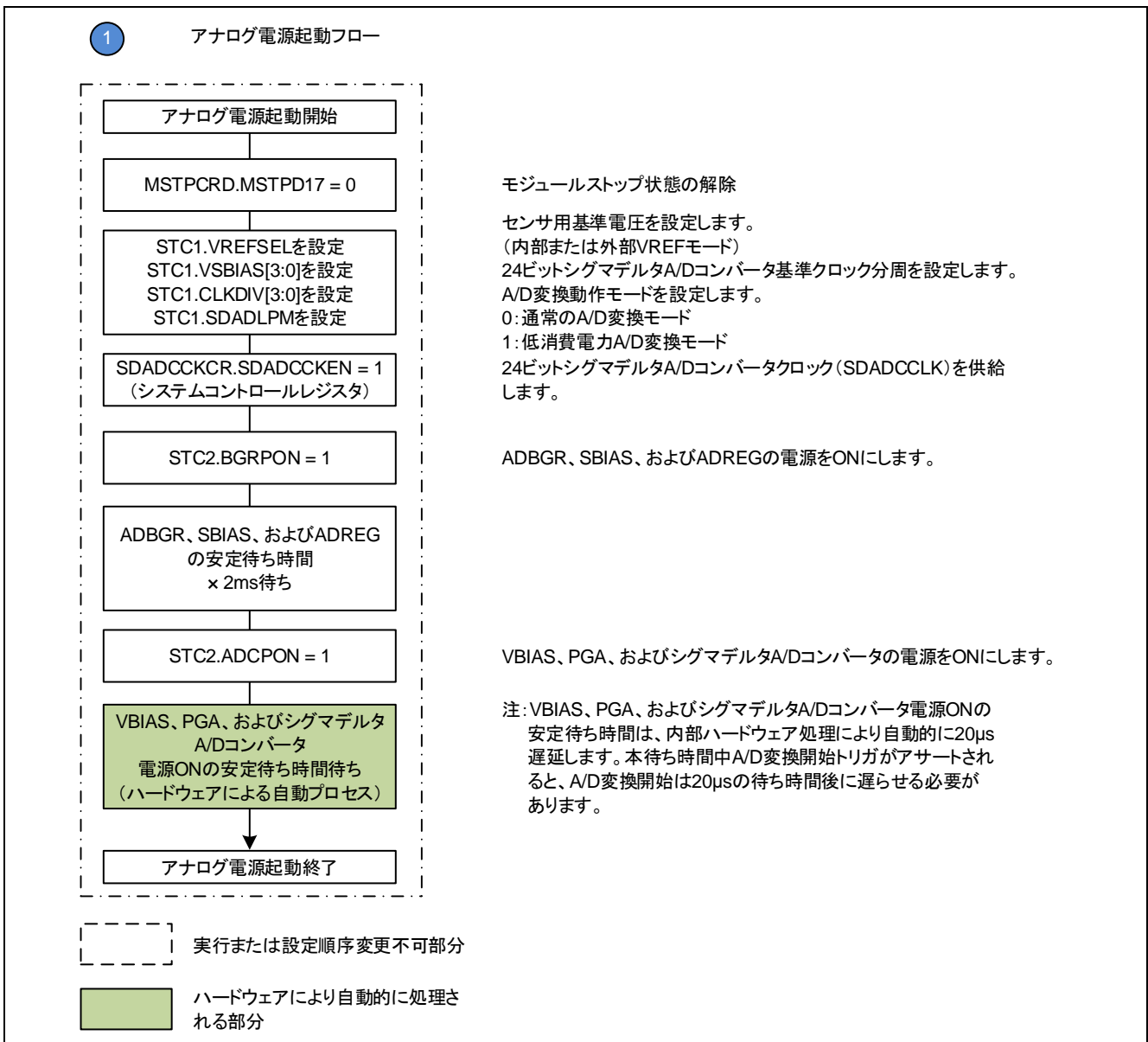


図 26 アナログ電源起動フロー

### 3.4.2 入力マルチプレクサ設定フロー

図 27 に、入力マルチプレクサの設定フローを示します。

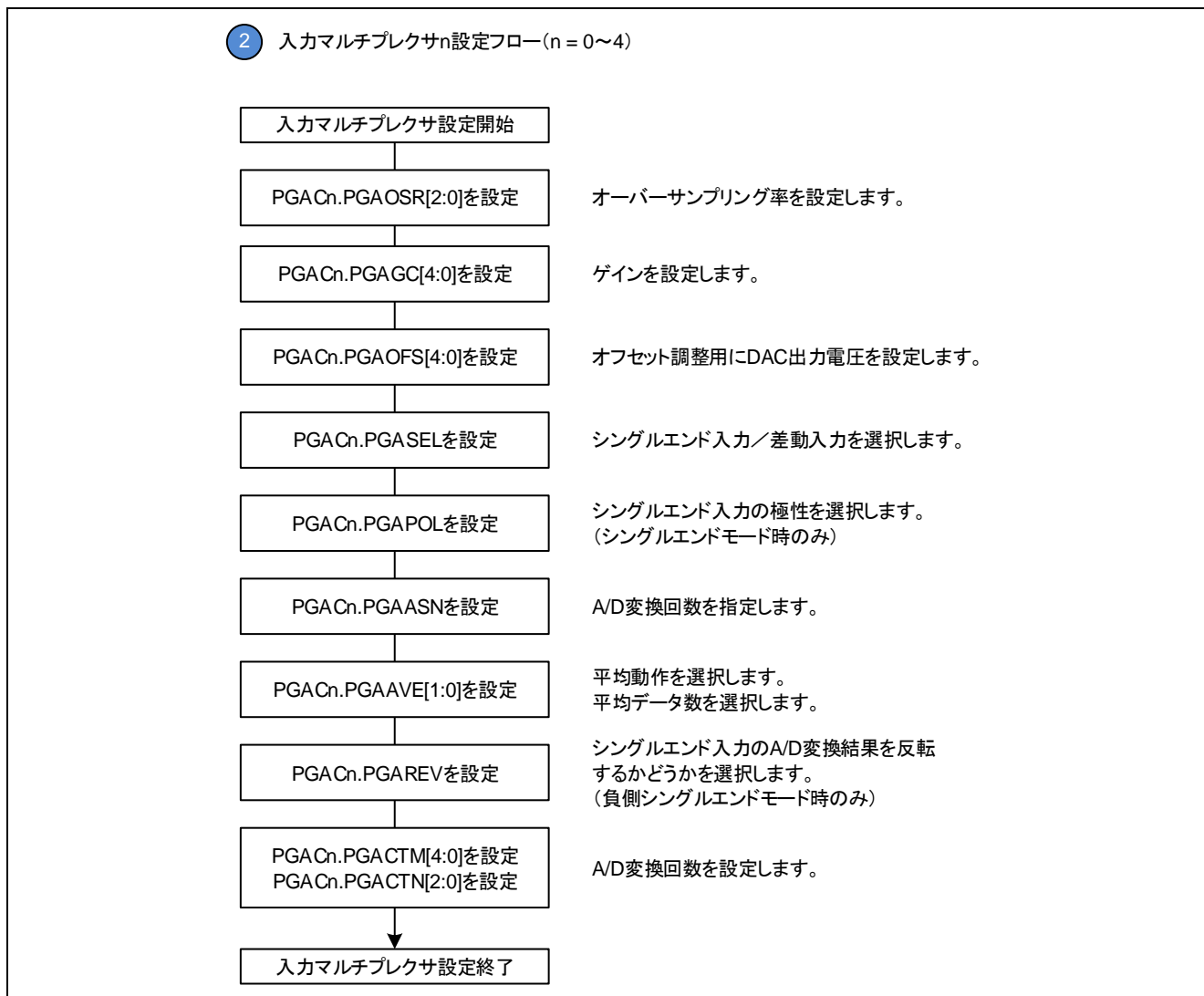


図 27 入力マルチプレクサ設定フロー

3.4.3 PGA オフセットの自己診断フロー

図 28 に、PGA オフセットの自己診断フローを示します。

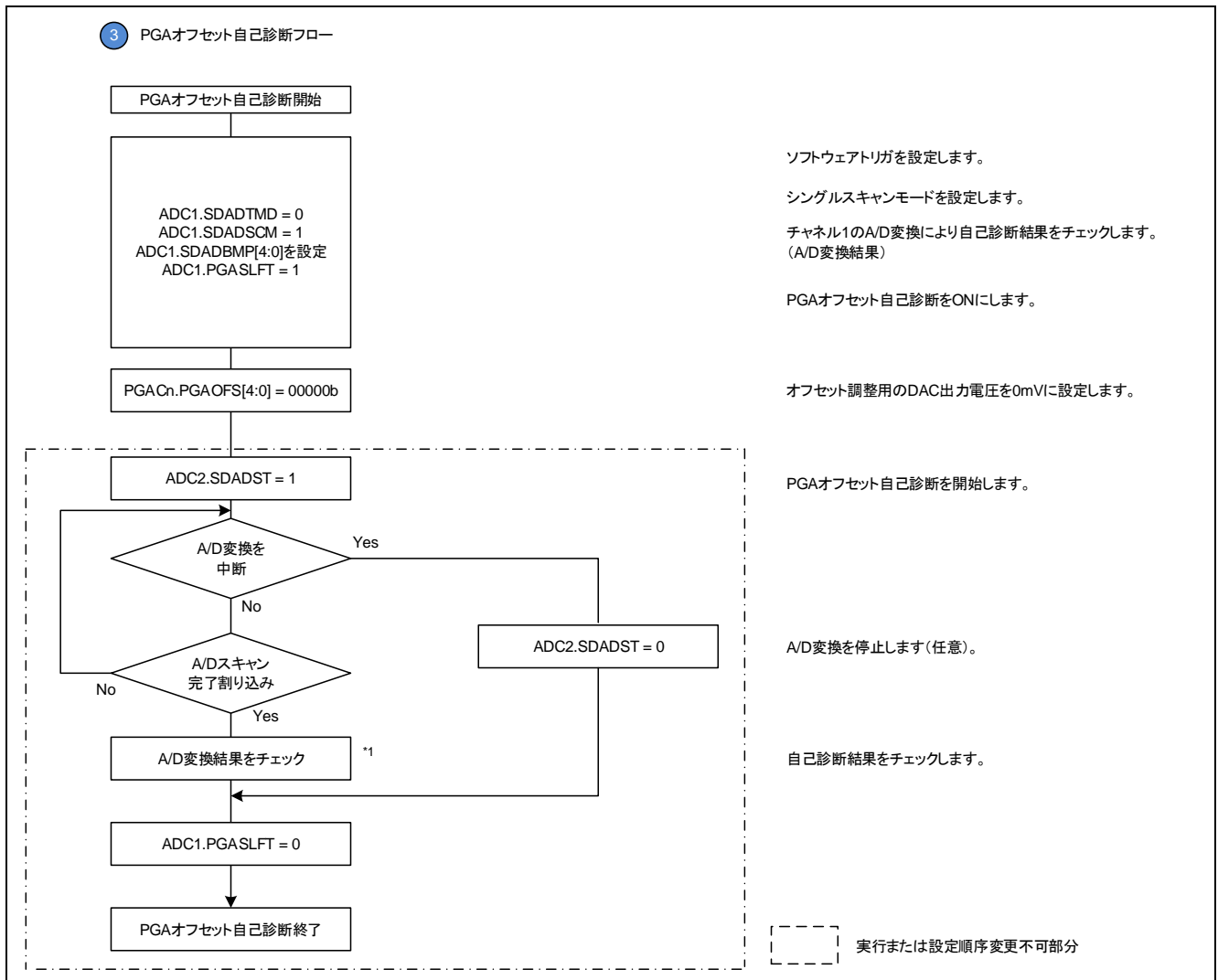


図 28 PGA オフセットの自己診断フロー

注記: 1.PGA オフセットの自己診断の結果は、A/D 変換結果から確認できます。

### 3.4.4 断線検出アシストフロー

図 29 に、断線検出アシストフローを示します。

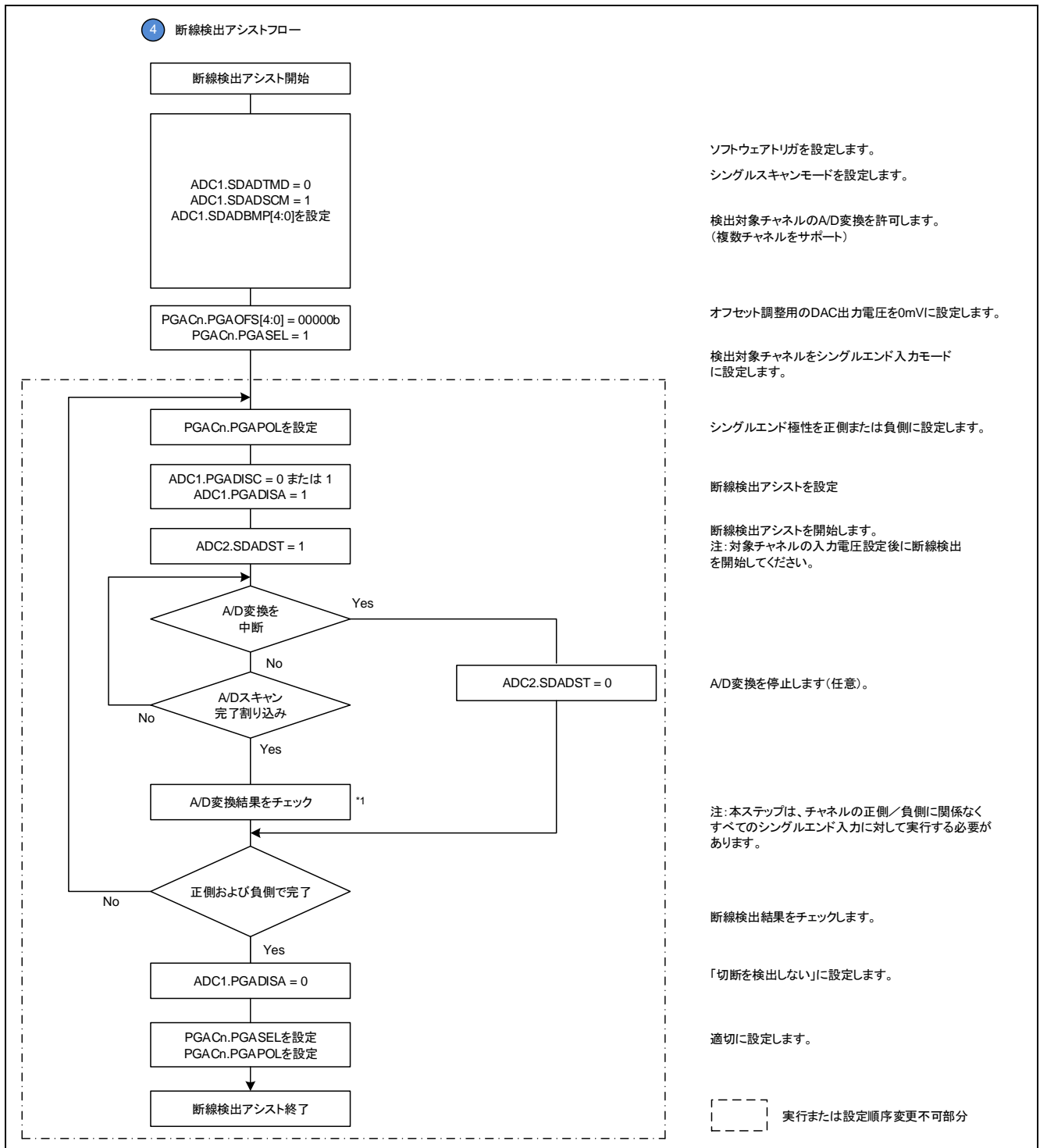


図 29 断線検出アシストフロー

注記: 断線検出状態は、A/D 変換結果から確認できます。

3.4.5 内部キャリブレーションフロー

図 30 に、内部キャリブレーションフローを示します。

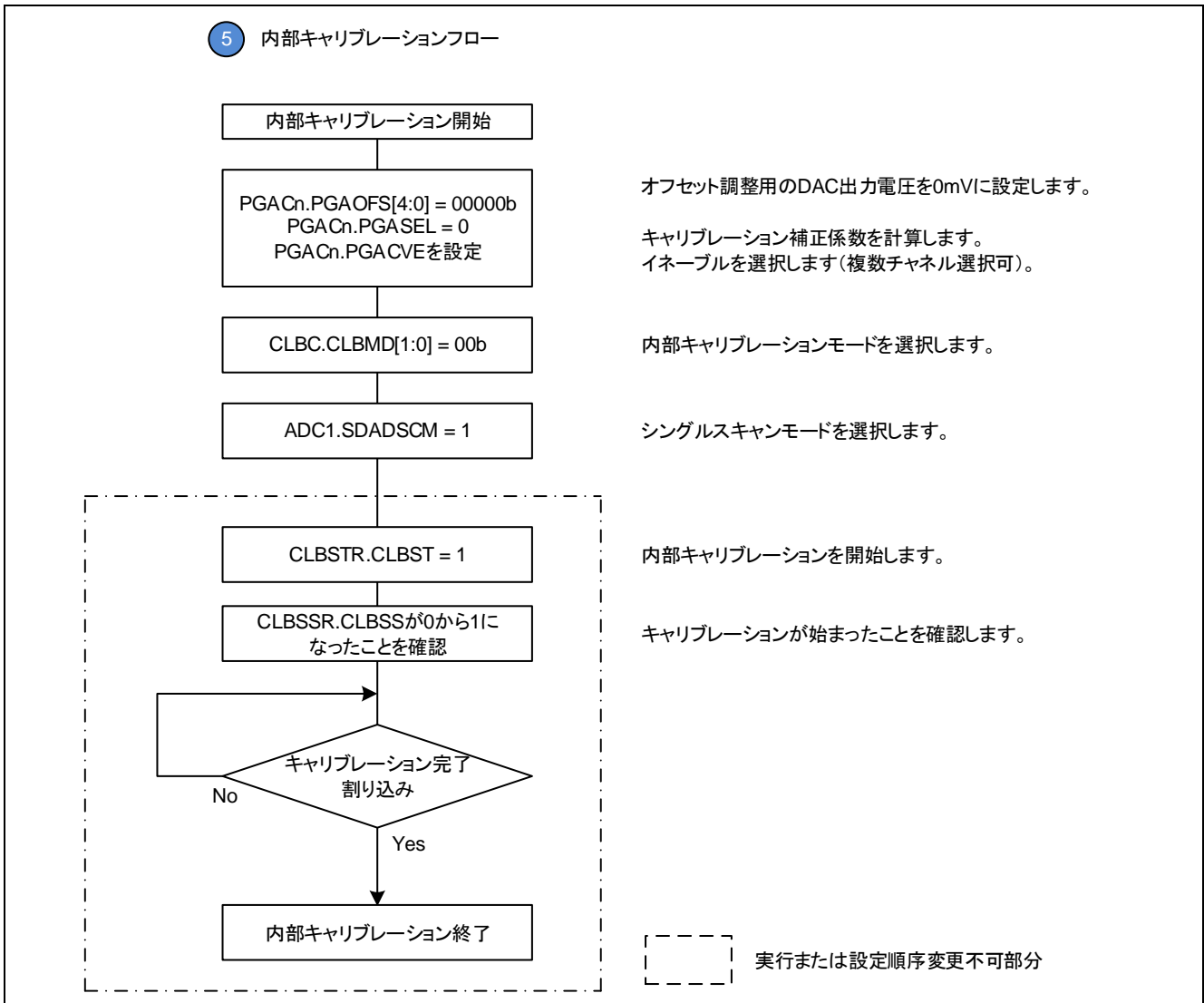


図 30 内部キャリブレーションフロー

3.4.6 外部キャリブレーションフロー

図 31 に、外部キャリブレーションフローを示します。

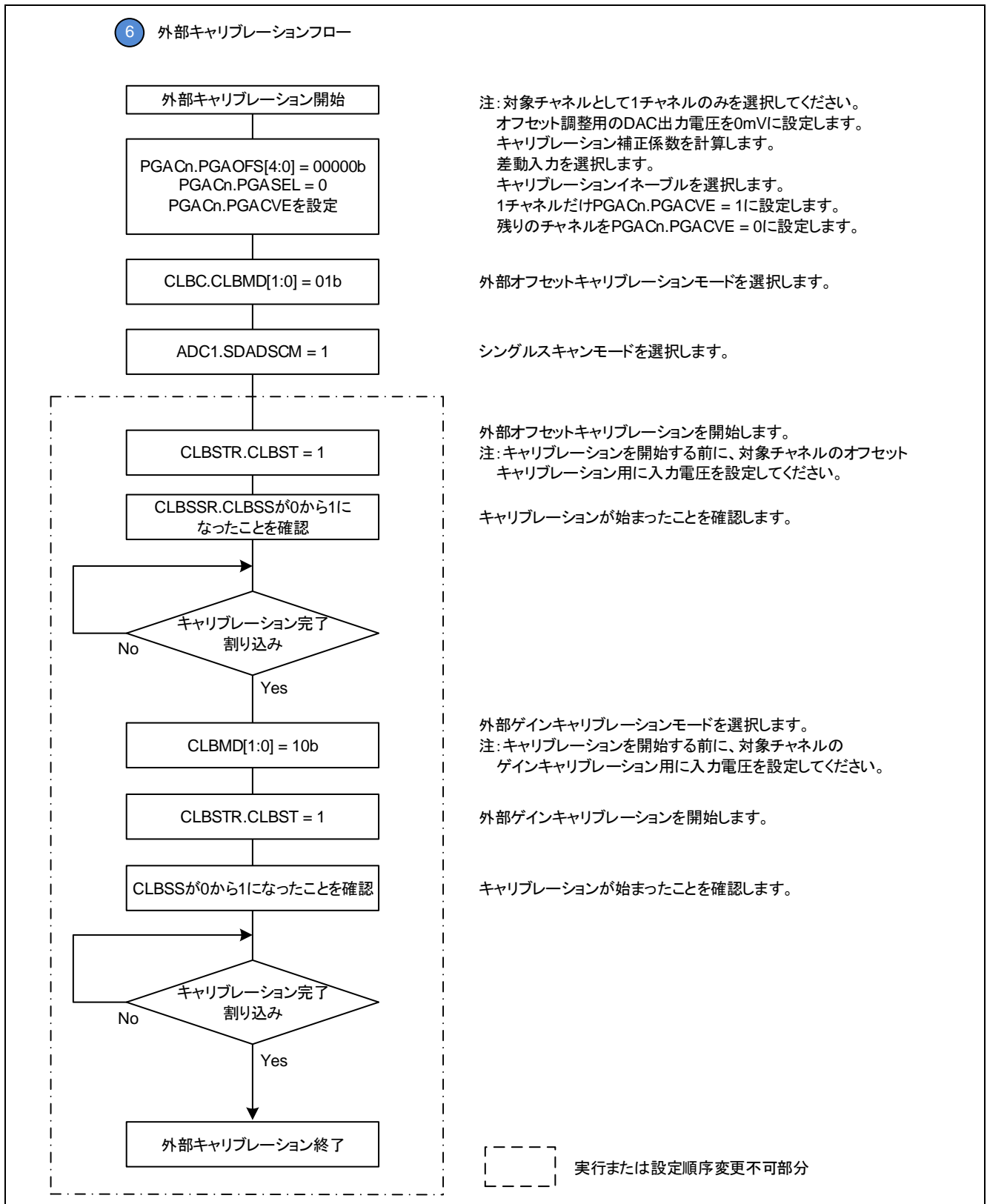


図 31 外部キャリブレーションフロー

注記: 複数のチャネルに対して外部キャリブレーションを実施するには、各チャネルに対してこのフローを繰り返します。



3.4.7 リキャリブレーション省略フロー

図 32 に、リキャリブレーション省略フローを示します。

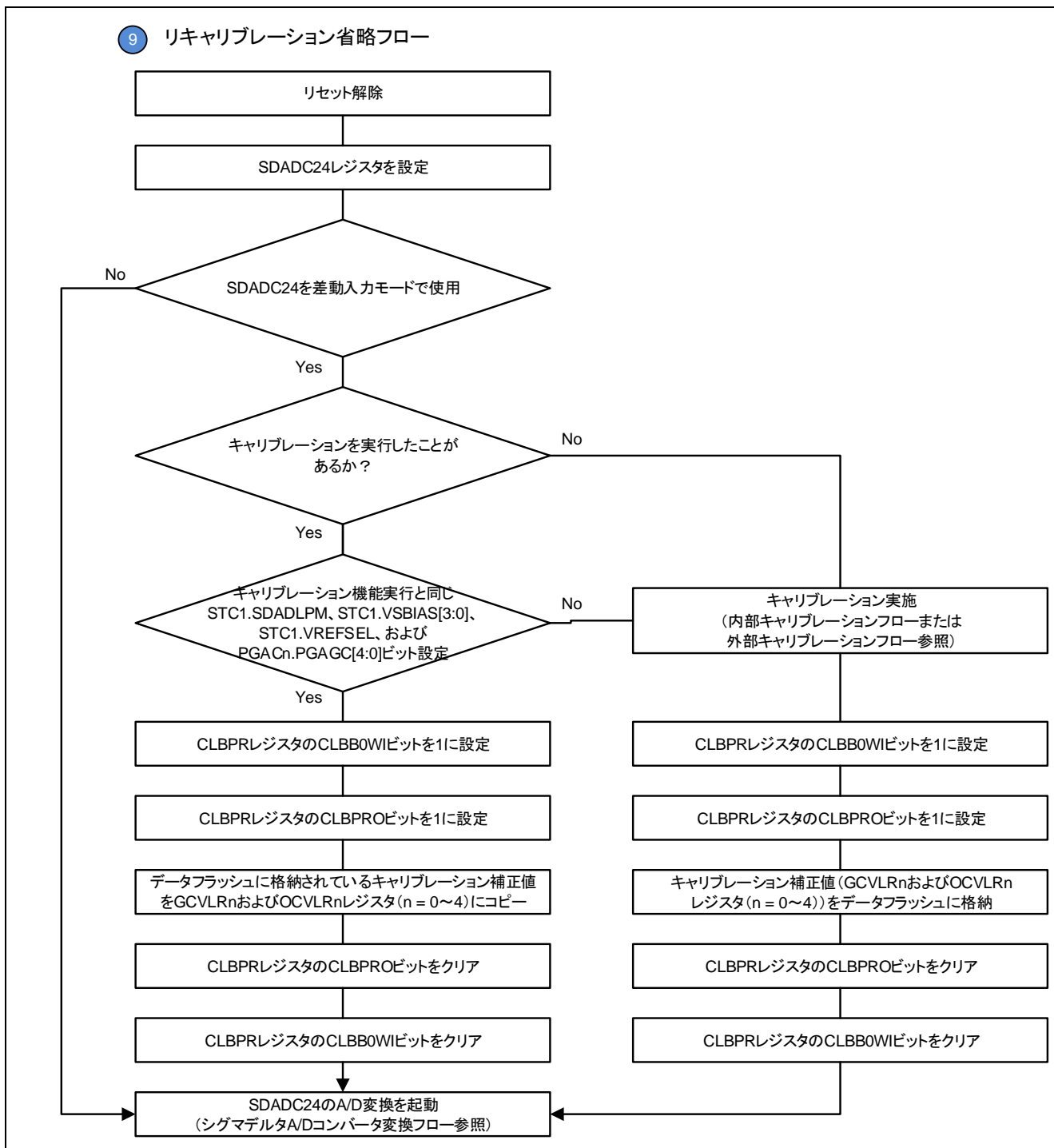


図 32 リキャリブレーション省略フロー

## 改訂履歴

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2020.3.1	-	初版 英語版(R01AN5286EU0101、2019.12.19発行版)を翻訳

すべての商標および登録商標はそれぞれの所有者に帰属します。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}(\text{Max.})$  から  $V_{IH}(\text{Min.})$  までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}(\text{Max.})$  から  $V_{IH}(\text{Min.})$  までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システム的设计において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとしします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1.本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2.本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

## 本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

[www.renesas.com](http://www.renesas.com)

## お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

[www.renesas.com/contact/](http://www.renesas.com/contact/)

## 商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。