発行日: 2015年10月ÁG 日

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア ルネサス エレクトロニクス株式会社

問合せ窓口 http://japan.renesas.com/contact/ E-mail: csc@renesas.com

411	口八坐	MDU 0 MOU	% /□≖□		1.Fó//		ᄷᄼ
製印	品分類	MPU & MCU	発行番号	TN-RL*-A€	H-O/J	Rev.	第 3 版
題名	誤記訂 RL78/L	正通知 .13 ユーザーズマニュアル Rev.2.00	の記載変更	情報分類	技術情報		
適			対象ロット等		<i>-</i>	. 13	
用製品	用 製 RL78/L13 グループ		全ロット	関連資料	RL78/L13 ユーザーズマニ ハードウェア編 Rev.2.00 R01UH0382JJ0200 (Nov.20		00

RL78/L13 ユーザーズマニュアル ハードウェア編 Rev.2.00(R01UH0382JJ0200)において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
5. 6. 4 CPUクロック状態移行図 表5-3 CPUクロックの移行とSFRレジスタの設定例(3/5)の誤記訂正	p.181	誤記訂正
8.3.5 リアルタイム・クロック・コントロール・レジスタ1(RTCC1)	p.401	記載追加
8.4.1 リアルタイム・クロック2の動作開始	p.414	誤記訂正

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。



ユーザーズマニュアルの訂正一覧

No		訂正	内容と該当箇所			本通知での	
INO	ドキュメントハ	No.	和文	R01UH0	382JJ0200	該当ページ	
1	14.5.7 SNOOZEモード機能 SNOOZEモード動作時のタイミング	゛チャー	-ト(図14-71, 図14-7	"3)	p.585, p.587	p.3, 4	
2	14.6.3 SNOOZEモード機能	p.610	p.5				
3	14.6.3 SNOOZEモード機能 SNOOZEモード動作時のタイミング	゛チャー	-ト(図14-90, 図14-9	01, 図14-93)	p.612, p.613, p.615	p.6-8	
4	19.4.3 多重割り込み処理 表19-5 割り込み処理中に多重割り	り込み可	能な割り込み要求の)関係	p.860	p.9	
5	32.1 絶対最大定格	32. 1 絶対最大定格					
6	32.8 データ・メモリSTOPモード低	p.1060	p.11				
7	33.1 絶対最大定格				p.1066	p.12	
8	33.8 データ・メモリSTOPモード低	電源電源	王データ保持特性		p.1117	p.13	
9	6.3.3 タイマ・モード・レジスタmn(T 図6-12 タイマ・モード・レジスタmn(,)	p.214	p.14	
10	32. 3. 1 端子特性				p.1005 , 1006	p.15 , 16	
11	33. 3. 1 端子特性				p.1069 , 1070	p.17 , 18	
12	8.3.5 リアルタイム・クロック・コント	ロール	・レジスタ1(RTCC1)	p.401	p.19	
13	5. 6. 4 CPUクロック状態移行図 表5-3 CPUクロックの移行とSFR	レジスタ	の設定例(3/5)の誤	記訂正	p.181	p.20	
14	8.4.1 リアルタイム・クロック20	の動作開	見始		p.414	p.21	

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

発行文書履歴

RL78/L13 ユーザーズマニュアル Rev.2.00 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A029A/J	2014年6月27日	初版発行 訂正一覧の No.1 ~ No.8 の誤記訂正
TN-RL*-A031A/J	2014年9月17日	2 版発行 訂正一覧の No.9 ~ No.11 の誤記訂正
TN-RL*-A046A/J	2015年7月6日	訂正一覧の No.12 の記載追加
TN-RL*-A031B/J	2015年10月27日	3 版発行 訂正一覧の No.13~No.14 の誤記訂正(本通知です。)

発行日: 2015年10月27日

発行日: 2015年10月27日

1. <u>14.5.7 SNOOZE モード機能</u>

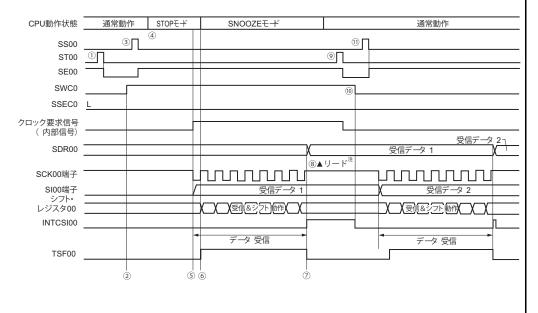
SNOOZE モード動作時のタイミング・チャート(図 14-71, 図 14-73)(p.585,

p.587)

CPU動作状態、クロック要求信号(内部信号)とTSF00のタイミング・チャートの誤記 訂正

誤)

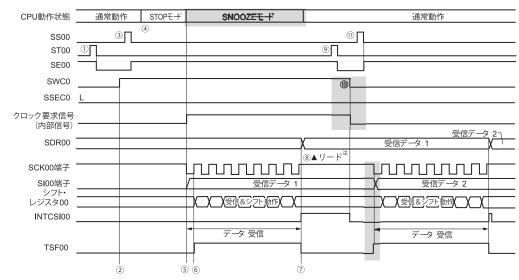
図 14-71 SNOOZE モード動作(1 回起動)時のタイミング・チャート (タイプ 1:DAPmn = 0, CKPmn = 0)



(省略)

正)

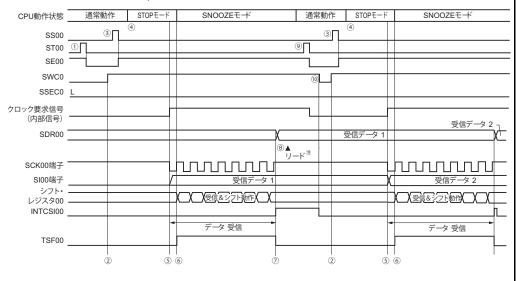
図 14-71 SNOOZE モード動作(1 回起動)時のタイミング・チャート (タイプ 1:DAPmn =0, CKPmn = 0)



CPU動作状態、クロック要求信号(内部信号)とINTCSI00のタイミング・チャートの誤記訂正

誤)

図 14-73 SNOOZE モード動作(連続起動)時のタイミング・チャート (タイプ 1: DAPmn = 0, CKPmn = 0)

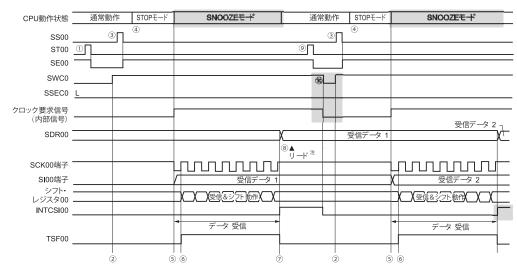


(省略)

発行日: 2015年10月27日

正)

図 14-73 SNOOZE モード動作(連続起動)時のタイミング・チャート (タイプ 1:DAPmn = 0, CKPmn = 0)



(省略)



RENESAS

2. 14.6.3 SNOOZE モード機能の注意追加(p.610)

誤)

14.6.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により,UART受信を動作させるモードです。 通常STOPモード時はUARTの通信動作を停止しますが,SNOOZEモード機能を使用することで,CPUを動作させずにUART受信を行うことができます。

(省略)

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロック(fIH) を選択している場合のみ設定可能です。

(省略)

4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn、FEFmn、OVFmnフラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm=1で使用するときは、SWC0=1に設定する前にPEFmn、FEFmn、OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0(RxDq)を読み出してください。

発行日: 2015年10月27日

正)

14.6.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により,UART受信を動作させるモードです。 通常STOPモード時はUARTの通信動作を停止しますが,SNOOZEモード機能を使用することで,CPUを動作させずにUART受信を行うことができます。

(省略)

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロック(fIH) を選択している場合のみ設定可能です。

- 4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn、FEFmn、OVFmnフラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm=1で使用するときは、SWC0=1に設定する前にPEFmn、FEFmn、OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0(RxDq)を読み出してください。
- 5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。 また、スタート・ビット入力を検出できないような短いパルスを受ける とUART受信が開始されず、SNOOZEモードを継続することがあります。 この場合、次のUART受信で正しくデータ受信できず、フレーミング・ エラーもしくはパリティ・エラーが発生することがあります。

発行日: 2015年10月27日

3. <u>14.6.3 SNOOZE モード機能</u>

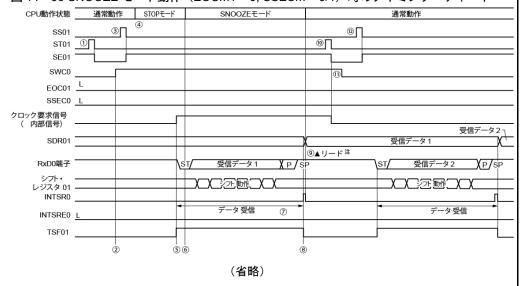
SNOOZE モード動作時のタイミング・チャート(図 14-90, 図 14-91,

図 14-93) (p.612, p.613, p.615)

CPU動作状態、クロック要求信号(内部信号)、INTSR0とTSF01のタイミング・チャートの誤記訂正

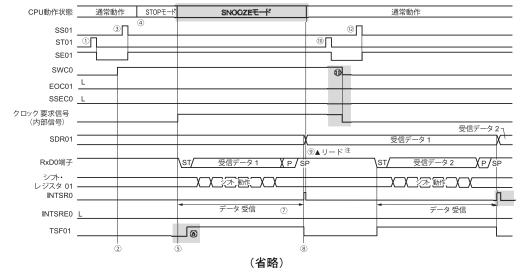
誤)

図 14-90 SNOOZE モード動作(EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



正)

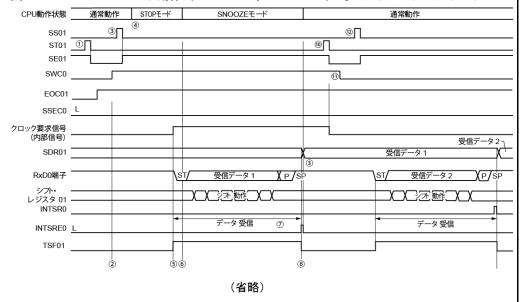
図 14-90 SNOOZE モード動作(EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



CPU 動作状態、クロック要求信号(内部信号)、SDR01、INTSR0 と TSF01 のタイミング・チャートの誤記訂正

誤)

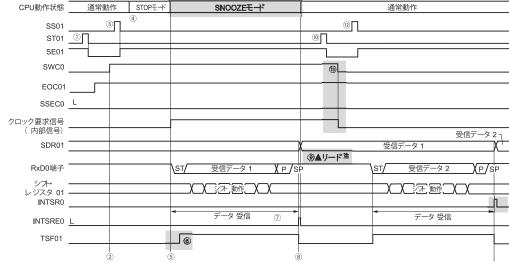
図 14-91 SNOOZE モード動作(EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



発行日: 2015年10月27日

正)

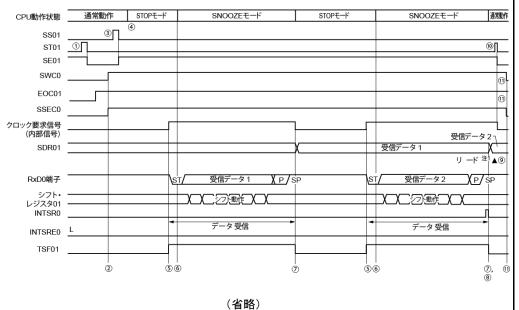
図 14-91 SNOOZE モード動作(EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



CPU 動作状態、クロック要求信号(内部信号)、INTSR0 と TSF01 のタイミング・チャートの誤記訂正

誤)

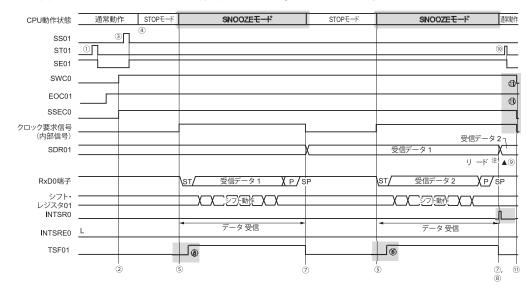
図 14-93 SNOOZE モード動作(EOCm1 = 1, SSECm = 1) 時のタイミング・チャート



発行日: 2015年10月27日

正)

図 14-93 SNOOZE モード動作(EOCm1 = 1, SSECm = 1) 時のタイミング・チャート





発行日: 2015年10月27日

4. 19.4.3 多重割り込み処理

表 19-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

(p.860)

誤)

表19-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求			マスカブル割り込み要求							
		優先順位	エレベル0	優先順位	なレベル1	優先順位	エレベル2	優先順位	なレベル3	ウエア
`		(PR =	= 00)	(PR:	= 01)	(PR=	= 10)	(PR =	= 11)	割り込
処理中の割り	ኃ込み	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	み要求
マスカブル	ISP1 = 0		×	×	×	×	×	×	×	
割り込み	ISP0 = 0									
	ISP1 = 0		×		×	×	×	×	×	
	ISP0 = 1									
	ISP1 = 1		×		×		×	×	×	
	ISP0 = 0									
	ISP1 = 1				~~~				~~~	
	ISP0 = 1									
ソフトウエ	ア割り込み		×		×		×		×	

正)

表19-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割	り込み要求		マスカブル割り込み要求							ソフト
		優先順位	エレベル0	優先順位	なレベル1	優先順位	エレベル2	優先順位	エレベル3	ウエア
		(PR =	= 00)	(PR	= 01)	(PR =	= 10)	(PR=	= 11)	割り込
処理中の割り	り込み	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	み要求
マスカブル	ISP1 = 0		×	×	×	×	×	×	×	
割り込み	ISP0 = 0									
	ISP1 = 0		×		×	×	×	×	×	
	ISP0 = 1									
	ISP1 = 1		×		×		×	×	×	
	ISP0 = 0									
	ISP1 = 1		×		×		×		×	
	ISP0 = 1									
ソフトウエ	ア割り込み		×		×		×		×	

(省略)



5. <u>32.1 絶対最大定格</u> (p.1002)

誤)

絶対最大定格(3/3)

項目	略号		条件	定格	単
					位
ハイ・レベル	Іон1	1端子	P00-P07, P14-P17 , P30-P35,	- 40	mA
出力電流			P40-P47, P50-P57, P60, P61,		
			P70-P77, P125-P127, P130		
		端子合計	P00-P07, P14-P17 , P30-P35,	- 170	mA
		- 170 mA	P40-P47, P50-P57, P60, P61,		
			P70-P77, P125-P127, P130		
	Іон2	1端子	P10-P13, P20-P27	- 0.5	mA
		端子合計		2	mA
ロウ・レベル	lo _{L1}	1端子	P00-P07, P14-P17 , P30-P35,	40	mA
出力電流			P40-P47, P50-P57, P60, P61,		
			P70-P77, P125-P127, P130		
		端子合計	P40-P47, P130	70	mA
		170 mA	P00-P07, P14-P17 , P30-P35,	100	mA
			P50-P57, P60, P61, P70-P77,		
			P125-P127		
	lol2	1端子	P10-P13, P20-P27	1	mA
		端子合計		5	mA
動作周囲	TA	通常動作時		- 40 ~ + 85	
温度		フラッシュ	・メモリ・プログラミング時		
保存温度	Tstg			- 65 ~ + 150	

発行日: 2015年10月27日

正)

絶対最大定格(3/3)

項 目	略 号		条件	定格	単
				~ 11	· 位
ハイ・レベル	І он1	1端子	P00-P07, P10-P17, P22-P27,	- 40	mA
出力電流			P30-P35, P40-P47, P50-P57, P60,		
			P61, P70-P77, P125-P127, P130		
		端子合計	P00-P07, P10-P17, P22-P27,	- 170	mA
		- 170 mA	P30-P35, P40-P47, P50-P57, P60,		
			P61, P70-P77, P125-P127, P130		
	І он2	1端子	P20-P21	- 0.5	mA
		端子合計		- 1	mA
ロウ・レベル	lol1	1端子	P00-P07, P10-P17, P22-P27,	40	mA
出力電流			P30-P35, P40-P47, P50-P57, P60,		
			P61, P70-P77, P125-P127, P130		
		端子合計	P40-P47, P130	70	mA
		170 mA	P00-P07, P10-P17, P22-P27,	100	mA
			P30-P35, P50-P57, P60, P61,		
			P70-P77, P125-P127		
	lol2	1端子	P20-P21	1	mA
		端子合計		2	mA
動作周囲	TA	通常動作時		- 40 ~ +85	
温度		フラッシュ	・メモリ・プログラミング時		
保存温度	T _{stg}			- 65 ~ + 150	



6. 32.8 データ・メモリ STOP モード低電源電圧データ保持特性(p.1060)

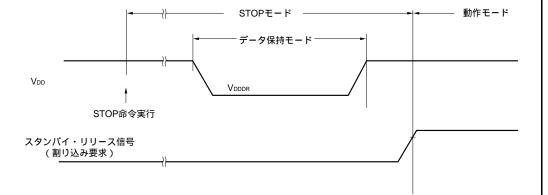
旧)

32.8 データ・メモリSTOPモード低電源電圧データ保持特性

 $(T_A = -40 \sim +85 ^{\circ}C)$

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.46 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



発行日: 2015年10月27日

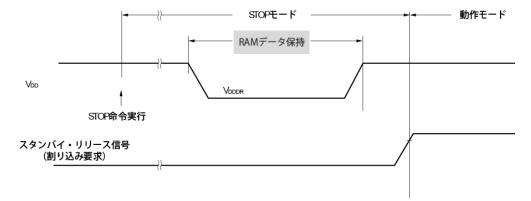
新)

32.8 RAMデータ保持特性

 $(T_A = -40 \sim +85 \text{ °C})$

項目	略号	条件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	VDDDR		1.46 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時,PORリセットがかかるまではRAMのデータを保持しますが,PORリセットがかかった場合のRAMのデータは保持されません。



7. <u>33.1 絶対最大定格</u> (p.1066)

誤)

絶対最大定格(3/3)

項目	略号		条 件	定格	単
					位
ハイ・レベル	Іон1	1端子	P00-P07, P14-P17 , P30-P35,	- 40	mA
出力電流			P40-P47, P50-P57, P60, P61,		
			P70-P77, P125-P127, P130		
		端子合計	P00-P07, P14-P17 , P30-P35,	- 170	mA
		- 170 mA	P40-P47, P50-P57, P60, P61,		
			P70-P77, P125-P127, P130		
	Іон2	1端子	P10-P13, P20-P27	- 0.5	mA
		端子合計		2	mA
ロウ・レベル	lo _{L1}	1端子	P00-P07, P14-P17 , P30-P35,	40	mA
出力電流			P40-P47, P50-P57, P60, P61,		
			P70-P77, P125-P127, P130		
		端子合計	P40-P47, P130	70	mA
		170 mA	P00-P07, P14-P17 , P30-P35,	100	mA
			P50-P57, P60, P61, P70-P77,		
			P125-P127		
	lol2	1端子	P10-P13, P20-P27	1	mA
		端子合計		5	mA
動作周囲	TA	通常動作時		- 40 ~ + 105	
温度		フラッシュ	・メモリ・プログラミング時		
保存温度	T _{stg}			- 65 ~ + 150	

発行日: 2015年10月27日

正)

絶対最大定格(3/3)

項 目	略 号		条件	定格	単
					位
ハイ・レベル	Іон1	1端子	P00-P07, P10-P17, P22-P27,	- 40	mA
出力電流			P30-P35, P40-P47, P50-P57, P60,		
			P61, P70-P77, P125-P127, P130		
		端子合計	P00-P07, P10-P17, P22-P27,	- 170	mA
		- 170 mA	P30-P35, P40-P47, P50-P57, P60,		
			P61, P70-P77, P125-P127, P130		
	І он2	1端子	P20-P21	- 0.5	mA
		端子合計		- 1	mA
ロウ・レベル	lol1	1端子	P00-P07, P10-P17, P22-P27,	40	mA
出力電流			P30-P35, P40-P47, P50-P57, P60,		
			P61, P70-P77, P125-P127, P130		
		端子合計	P40-P47, P130	70	mA
		170 mA	P00-P07, P10-P17, P22-P27,	100	mA
			P30-P35, P50-P57, P60, P61,		
			P70-P77, P125-P127		
	lol2	1端子	P20-P21	1	mA
		端子合計		2	mA
動作周囲	TA	通常動作時		- 40 ~ + 105	
温度		フラッシュ	・メモリ・プログラミング時		
保存温度	T _{stg}			- 65 ~ + 150	



8. 33.7 データ・メモリ STOP モード低電源電圧データ保持特性(p.1117)

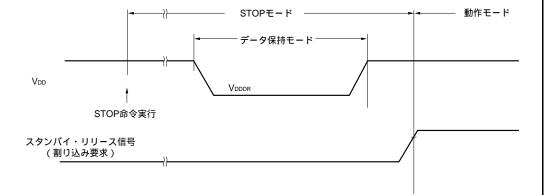
旧)

30.7 データ・メモリSTOPモード低電源電圧データ保持特性

 $(T_A = -40 \sim +105 ^{\circ}C)$

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.44 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



発行日: 2015年10月27日

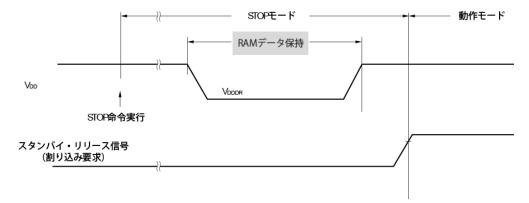
新)

30.7 RAMデータ保持特性

 $(T_A = -40 \sim +105 ^{\circ}C)$

項目	略号	条件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	VDDDR		1.44 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時,PORリセットがかかるまではRAMのデータを保持しますが,PORリセットがかかった場合のRAMのデータは保持されません。



9. 6.3.3 タイマ・モード・レジスタmn(TMRmn)

図 6-12 タイマ・モード・レジスタ mn(TMRmn)のフォーマット(4/4)(p.214)

誤)

図6-12 タイマ・モード・レジスタmn (TMRmn) のフォーマット (4/4)

アドレス: F0190H, F0191H(TMR00)-F019EH, F019FH(TMR07) リセット時: 0000H R/W (省略)

動作モード (MDmg2 MDmg4 で記号	MD	カウント・スタートと割り込みの設定
(MDmn3-MDmn1で設定	mn0	
(上表参照))		
・インターバル・タイマ・モード	0	カウント開始時にタイマ割り込みを発生しない
(0,0,0)		(タイマ出力も変化しない)。
・キャプチャ・モード	1	カウント開始時にタイマ割り込みを発生する
(0, 1, 0)		(タイマ出力も変化させる)。
・イベント・カウンタ・モード	0	カウント開始時にタイマ割り込みを発生しない
(0,1,1)		(タイマ出力も変化しない)。
・ワンカウント・モード ^{注2} (1,0,0)	0	カウント動作中のスタート・トリガは無効とする。
		その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注3} 。
		その際に割り込みは 発生する 。
・キャプチャ&ワンカウント・モ	0	カウント開始時にタイマ割り込みを発生しない
ード (1,1,0)		(タイマ出力も変化しない)。
		カウント動作中のスタート・トリガは無効とする。
		その際に割り込みは発生しない。
上記以外		設定禁止

発行日: 2015 年 10 月27 日

正)

図6-12 タイマ・モード・レジスタmn (TMRmn) のフォーマット (4/4)

アドレス: F0190H, F0191H(TMR00)-F019EH, F019FH(TMR07) リセット時: 0000H R/W (省略)

動作モード	MD	カウント・スタートと割り込みの設定
(MDmn3-MDmn1で設定	mn0	
(上表参照))		
・インターバル・タイマ・モード	0	カウント開始時にタイマ割り込みを発生しない
(0,0,0)		(タイマ出力も変化しない)。
・キャプチャ・モード	1	カウント開始時にタイマ割り込みを発生する
(0,1,0)		(タイマ出力も変化させる)。
・イベント・カウンタ・モード	0	カウント開始時にタイマ割り込みを発生しない
(0,1,1)		(タイマ出力も変化しない)。
・ワンカウント・モード ^{注2} (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。
		その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注3} 。
		その際に割り込みは <mark>発生しない。</mark>
・キャプチャ&ワンカウント・モ	0	カウント開始時にタイマ割り込みを発生しない
ード (1,1,0)		(タイマ出力も変化しない)。
		カウント動作中のスタート・トリガは無効とする。
		その際に割り込みは発生しない。
上記以外		設定禁止

10. 32. 3. 1 端子特性(p.1005, p.1006)

誤)

 $(T_A = -40 \sim +85 \, ^{\circ}\text{C}, 1.6 \, \text{V} \leq \text{V}_{DD} \leq 5.5 \, \text{V}, \, \text{V}_{SS} = 0 \, \text{V})$

	項	目	略	条 作	*	MIN.	TYP.	MAX.	単
			号						位
ハイ 注1	・レベノ	レ出力電流	Іон1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子	1.6 V V _{DD} 5.5 V			- 10.0 注2	mA
				P00-P07, P14-P17 , P30-P35, P40-P47,	4.0 V V _{DD} 5.5 V			90.0	mA
				P50-P57, P70-P77, P125-P127, P130	2.7 V V _{DD} < 4.0 V			- 15.0	mA
		合計 (デューティ = 70 %時 ^{注3})	1.8 V V _{DD} < 2.7 V			- 7.0	mA		
)	1.6 V V _{DD} < 1.8 V			- 3.0	mA
			Іон2	P20, P21 1端子	1.6 V V _{DD} 5.5 V			- 0.1 注2	mA
				全端子合計 (デューティ = 70 %時 ^{注3})	1.6 V V _{DD} 5.5 V			- 0.2	mA

(省略)

発行日: 2015年10月27日

正)

 $(T_A = -40 \sim +85 \, ^{\circ}C, 1.6 \, V \leq V_{DD} \leq 5.5 \, V, \, V_{SS} = 0 \, V)$

	項	目	略	条	#		MIN.	TYP.	MAX.	単
			号							位
ハイ 注1	・レベリ	レ出力電流	Іон1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子	1.6 V V	5.5 do			- 10.0 注2	mA
				P00-P07, P10-P17 P22-P27, P30-P35, P40-P47, P50-P57,	4.0 V V				90.0	mA mA
				P70-P77, P125-P127,	V				15.0	
				P130 合計 (デューティ = 70 %時	1.8 V V	op < 2.7			- 7.0	mA
				(デューティ = 70 %時 注3)	1.6 V V	op < 1.8			- 3.0	mA
			Іон2	P20, P21 1端子	1.6 V V	5.5 od			- 0.1 注2	mA
				全端子合計 (デューティ = 70 %時 ^{注3})	1.6 V V	5.5			- 0.2	mA



誤)

 $(T_A = -40 \sim +85 \, ^{\circ}C, 1.6 \, V \leq V_{DD} \leq 5.5 \, V, \, V_{SS} = 0 \, V)$

略	条	件	MIN	TYP.	MAX.	単
号						位
lol1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70 P77 P125 P12				20.0 注2	mA
	7, P130 1端子					
	P60, P61 1端子				15.0 ½2	mA
	P40-P47, P130 合	4.0 V VDD 5.5 V			70.0	mA
	計	2.7 V V _{DD} < 4.0 V			15.0	mA
	,	1.8 V V _{DD} < 2.7 V			9.0	mA
	時一)	1.6 V V _{DD} < 1.8 V			4.5	mA
	P00-P07, P14-P17 ,	4.0 V VDD 5.5 V			90.0	mA
	P30-P35, P50-P57, P70-P77,	2.7 V V _{DD} < 4.0 V			35.0	mA
		1.8 V V _{DD} < 2.7 V			20.0	mA
	F125-F127 占訂 (デューティ = 70 %時 ^{注3})	1.6 V V _{DD} < 1.8 V			10.0	mA
lol2	全端子合計 (デューティ = 70 %時 ^{注3})				160. 0	mA
	P20, P21 1端子				0.4 ^注 2	mA
	全端子合計	1.6 V VDD 5.5 V			0.8	m
	·					Α
	号 lou	Bolan P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P12 7, P130 1端子 P60, P61 1端子 P40-P47, P130 合計 (デューティ = 70 % 時 ^{注3})	Bola P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P12 7, P130 1端子 P60, P61 1端子 P40-P47, P130 合計 (デューティ = 70% P125-P127 合計 (デューティ = 70% 時注3) 全端子合計 (デューティ = 70% 時注3) 1.6 V VDD < 1.8 V VDD < 2.7 V P125-P127 合計 (デューティ = 70% 時注3) 1.6 V VDD < 1.8 V VDD < 2.7 V P125-P127 合計 (デューティ = 70% 時注3) 全端子合計 (デューティ = 70% 時注3) 全端子合計 (デューティ = 70% 時注3) P20, P21 1端子 1.6 V VDD < 5.5 V P20, P21 1端子 1.6 V VDD < 5.5 V P30-P35, P50-P57, P70-P77, P125-P127 合計 (デューティ = 70% 時注3) 1.6 V VDD < 1.8 V	日 P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P12	B	Body

(省略)

発行日: 2015年10月27日

正)

 $(TA = -40 \sim +85 \, ^{\circ}C, 1.6 \, V \leq VDD \leq 5.5 \, V, \, VSS = 0 \, V)$

項 目	略	条	件	MIN.	TYP.	MAX.	単
	号						位
ロウ・レベル出力 電流 ^{注1}	lol1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130				20.0 ∄2	mA
		P60, P61 1端子				15.0 _{注2}	mA
		P40-P47, P130 合	4.0 V VDD 5.5 V			70.0	mA
		計	2.7 V V _{DD} < 4.0 V			15.0	mA
		(デューティ = 70 % 時 ^{注3})	1.8 V V _{DD} < 2.7 V			9.0	mA
		時一)	1.6 V V _{DD} < 1.8 V			4.5	mA
		P00-P07, P10-P17,	4.0 V VDD 5.5 V			90.0	mA
		P22-P27 P30-P35,	2.7 V V _{DD} < 4.0 V			35.0	mA
		P50-P57, P70-P77,	1.8 V V _{DD} < 2.7 V			20.0	mA
		P125-P127 合計 (デューティ = 70 % 時 ^{注3})	1.6 V V _{DD} < 1.8 V			10.0	mA
		全端子合計 (デューティ = 70 % 時 ^{注3})				160.0	mA
	lol2	P20, P21 1端子				0.4 ^{注2}	mA
		全端子合計 (デューティ = 70 % 時 ^{注3})	1.6 V V _{DD} 5.5 V			8.0	mA

11. 33. 3. 1 端子特性(p.1069, p.1070)

誤)

 $(T_A = -40 \sim +105 \, ^{\circ}\text{C}, 2.4 \, \text{V} \leq \text{V}_{DD} \leq 5.5 \, \text{V}, \, \text{V}_{SS} = 0 \, \text{V})$

項目	略		 件	MIN.	TYP.	MAX.	単
	号						位
ハイ・レベル出力電	Іон1	P00-P07, P10-P17,	2.4 V V _{DD}			- 3.0	mA
流 ^{注1}		P22-P27, P30-P35,	5.5 V			注2	
		P40-P47, P50-P57,					
		P70-P77,					
		P125-P127, P130 1					
		端子					
		P00-P07, P14-P17 ,	4.0 V V _{DD}				mA
		P30-P35, P40-P47,	5.5 V			45.0	
		P50-P57, P70-P77,	2.7 V V _{DD} <			-	mA
		P125-P127, P130	4.0 V			15.0	
		合計	2.4 V V _{DD} <			- 7.0	mA
		(デューティ = 70 %	2.7 V				
		時 ^{注3})	2.7 V				
	Іон2	P20, P21	2.4 V V _{DD}			- 0.1	mA
		1端子	5.5 V			注2	
		全端子合計	2.4 V V _{DD}			- 0.2	mA
		(デューティ = 70 %	5.5 V				
		時 ^{注3})					

(省略)

発行日: 2015年10月27日

正)

 $(T_A = -40 \sim +105 \, ^{\circ}\text{C}, 2.4 \, \text{V} \leq \text{V}_{DD} \leq 5.5 \, \text{V}, \, \text{V}_{SS} = 0 \, \text{V})$

項目	略号	条	件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電 流 ^{注1}	Іон1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1 端子 P00-P07, P10-P17, P22-P27 P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 合計 (デューティ = 70 % 時 ^{注3})	2.4 V VDD 5.5 V 4.0 V VDD 5.5 V 2.7 V VDD < 4.0 V 2.4 V VDD < 2.7 V			- 3.0 *2 - 45.0 - 15.0 - 7.0	mA mA
	Іон2	P20, P21 1端子 全端子合計 (デューティ = 70 % 時 ^{注3})	2.4 V VDD 5.5 V 2.4 V VDD 5.5 V			- 0.1 122 - 0.2	mA mA



誤)

 $(T_A = -40 \sim +105 \, ^{\circ}\text{C}, 2.4 \, \text{V} \leq \text{V}_{DD} \leq 5.5 \, \text{V}, \, \text{V}_{SS} = 0 \, \text{V})$

項目	略	条	件	MIN.	TYP.	MAX.	単
	号		_				位
ロウ・レベル出力 電流 ^{注1}	F F	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1				8.5 ^{±2}	mA
		端子					
		P60, P61 1端子				15.0 ≵2	mA
		P40-P47, P130 合計 (デューティ = 70 % 時 ^{注3})	4.0 V V _{DD} 5.5 V			40.0	mA
			2.7 V V _{DD} < 4.0 V			15.0	mA
			2.4 V V _{DD} < 2.7 V			9.0	mA
		P00-P07, P14-P17 , P30-P35, P50-P57,	4.0 V V _{DD} 5.5 V			60.0	mA
		P70-P77, P125-P127 合計	2.7 V V _{DD} < 4.0 V			35.0	mA
		(デューティ = 70 % 時 ^{注3})	2.4 V V _{DD} < 2.7 V			20.0	mA
		全端子合計 (デューティ = 70 % 時 ^{注3})				100.0	mA
	l _{OL2}	P20, P21 1端子				0.4 ^{注2}	mA
		全端子合計 (デューティ = 70 % 時 ^{注3})	2.4 V V _{DD} 5.5 V			0.8	mA

発行日: 2015年10月27日

正)

 $(T_A = -40 \sim +105 \, ^{\circ}\text{C}, 2.4 \, \text{V} \leq \text{V}_{DD} \leq 5.5 \, \text{V}, \, \text{V}_{SS} = 0 \, \text{V})$

項目	略	条	件	MIN.	TYP.	MAX.	単
	号						位
ロウ・レベル出力 電流 ^{注1}	P22 P4(P7(P12 端号 P6(1端 P4(P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1 端子				8.5 ^{±2}	mA
		P60, P61 1端子				15.0 _{注2}	mA
		P40-P47, P130 合計 (デューティ = 70 %	4.0 V V _{DD} 5.5 V			40.0	mA
		時 ^{注3})	2.7 V V _{DD} < 4.0 V			15.0	mA
			2.4 V V _{DD} < 2.7 V			9.0	mA
		P00-P07, P10-P17, P22-P27 P30-P35,	4.0 V V _{DD} 5.5 V			60.0	mA
		P50-P57, P70-P77, P125-P127 合計	2.7 V V _{DD} < 4.0 V			35.0	mA
		(デューティ = 70 % 時 ^{注3})	2.4 V V _{DD} < 2.7 V			20.0	mA
		全端子合計 (デューティ = 70 % 時 ^{建3})				100.0	mA
	l _{OL2}	P20, P21 1端子				0.4 ^{注2}	mA
		全端子合計 (デューティ = 70 % 時 ^{注3})	2.4 V V _{DD} 5.5 V			0.8	mA

12. <u>8.3.5 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1)</u>

図8-6 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォ

ーマット(3/3)の記載追加 (p.401)

旧)

RWAIT	リアルタイム・クロック 2 のウエイト制御		
0	カウンタ動作設定		
1	SEC~YEAR カウンタ停止設定。カウンタ値読み出し,書き込みモード。		

カウンタの動作を制御します。

カウンタ値を読み出し,書き込みを行う際は必ず"1"を書き込んでください。

カウンタ(16ビット)は動作を継続するので,1秒以内に読み出しや書き込みを終了し,0に戻してください。

RWAIT = 1に設定後,カウンタ値の読み出し,書き込みが可能(RWST = 1)となるまで最大1クロック (fRTC)の時間がかかります。RWST = 1になっていることを確認したあとカウンタ読み出し,書き込みを行ってください。

カウンタ(16ビット)のオーバフローがRWAIT = 1の時に起きた場合は,オーバフローが起きたことを保持してRWAIT = 0になったあと,カウント・アップします。

ただし、 かカウント・レジスタへの書き込みを行った場合は、 オーバフローが起きたことを保持しません。

発行日: 2015年10月27日

新)

RWAIT	リアルタイム・クロック2のウエイト制御		
0	カウンタ動作設定		
1	SEC~YEAR カウンタ停止設定。カウンタ値読み出し,書き込みモード。		

カウンタの動作を制御します。

カウンタ値を読み出し,書き込みを行う際は必ず"1"を書き込んでください。

カウンタ(16ビット)は動作を継続するので,1秒以内に読み出しや書き込みを終了し,0に戻してください。

RWAIT = 1に設定後,カウンタ値の読み出し,書き込みが可能(RWST = 1)となるまで最大1クロック (fRTC)の時間がかかります。 $(^{(\pm 1, \pm 2)}$ RWST = 1になっていることを確認したあとカウンタ読み出し,書き込みを行ってください。

カウンタ(16ビット)のオーバフローがRWAIT = 1の時に起きた場合は,オーバフローが起きたことを保持してRWAIT = 0になったあと,カウント・アップします。

ただし、 ϑ カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

- 注 1 . RTCE = 1に設定した後、f_{RTC} の1クロック時間内でRWAIT=1とした場合、RWSTビットが" 1 " になるまで動作クロック(f_{RTC})の2クロック時間がかかる場合があります。
- 注2. スタンバイ (HALTモード、STOPモード、SNOOZEモード) から復帰した後、f_{RTC} の 1 クロック時間内で、RWAIT = 1とした場合、RWSTビットが "1"になるまでに、動作クロック (f_{RTC})の2クロック時間がかかる場合があります。



13. <u>5. 6. 4 CPU クロック状態移行図 (p.181)</u>

表 5-3 CPU クロックの移行と SFR レジスタの設定例 (3/5) の誤記訂正

誤)

(6) CPU を高速システム・クロック動作 (C) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序) ―

SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待	CKCレジスタ	
状態遷移	HIOSTOP	ち	MCM0	
(C) (B)	0	注	0	

高速オンチップ・オシレータ・クロック

動作中の場合は不要

注 FRQSEL4 = 0 の場合: 18 μ s~65 μ s FRQSEL4 = 1 の場合: 18 μ s~80 μ s

(省略

(8) CPU をサブシステム・クロック動作 (D) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序) -

_	(0, 7777 07 HXACIDAT)				· · · · · · · · · · · · · · · · · · ·
	SFRレジスタの設定フラグ	CSCレジ	発振精度安	CKCレジスタ	
	状態遷移	スタ	定待ち		
		HIOSTOP		CSS	MCM0
L	(D) (B)	0	注	0	0

高速オンチップ・オシレー

設定済みの場

タ・クロック動作中の場合

合は不要

は不要

注 FRQSEL4 = 0 の場合: 18 μs~65 μs FRQSEL4 = 1 の場合: 18 μs~80 μs

備考 1. 表 5-3 の (A) - (J) は、図 5-16 の(A) - (J) と対応しています。

2. 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件と STOP モード期間によって変化します。

RENESAS

発行日: 2015年10月27日

正)

(6) CPU を高速システム・クロック動作 (C) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序) -

SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待	CKCレジスタ	
状態遷移	HIOSTOP	ち	MCM0	
(C) (B)	0	注	0	

高速オンチップ・オシレータ・クロック

動作中の場合は不要

注 FRQSEL4 = 0 の場合: 18 μs~65 μs FRQSEL4 = 1 の場合: 18 μs~135 μs

(省略)

(8) CPU をサブシステム・クロック動作 (D) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序)

SFRレジスタの設定フラグ 状態遷移		CSCレジ	発振精度安	CKCL	ッジスタ
		スタ	定待ち		
		HIOSTOP		CSS	MCM0
(D) (B)	0	注	0	0
	,)		

高速オンチップ・オシレー タ・クロック動作中の場合 設定済みの場 合は不要

は不要

注 FRQSEL4 = 0 の場合: 18 μ s~65 μ s FRQSEL4 = 1 の場合: 18 μ s~135μ s

備考 1. 表 5-3 の (A) – (J) は、図 5-16 の(A) – (J) と対応しています。

2. 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件と STOP モード期間によって変化します。

Page 20 of 21

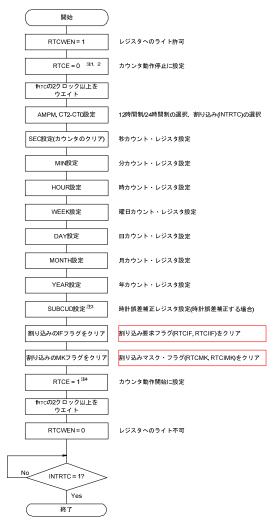
(c) 2015. Renesas Electronics Corporation. All rights reserved.

14.8.4.1 リアルタイム・クロック2の動作開始

図 8 - 20 リアルタイム・クロック 2 の動作開始手順の誤記訂正(p.414)

誤)

図8-18 リアルタイム・クロック2の動作開始手順

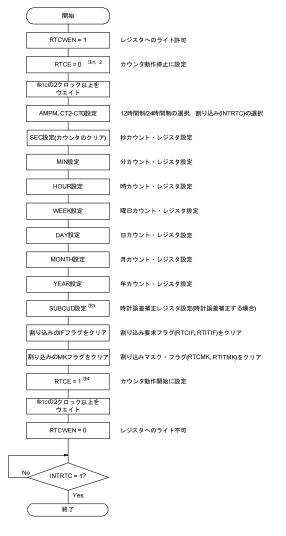


RENESAS

発行日: 2015年10月27日

正)

図8-18 リアルタイム・クロック2の動作開始手順



Page 21 of 21