

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A024C/J	Rev.	第3版
題名	誤記訂正通知 RL78/I1A ユーザーズマニュアル Rev.2.10 の記載変更		情報分類	技術情報	
適用製品	RL78/I1A グループ : R5F107xxx	対象ロット等 全ロット	関連資料	RL78/I1A ユーザーズマニュアル ハードウェア編 Rev.2.10 R01UH0169JJ0210 (Jul.2013)	

RL78/I1A ユーザーズマニュアル ハードウェア編 Rev.2.10(R01UH0169JJ0210)において、下記訂正がございます。

本通知で追加となる訂正内容

訂正箇所	該当ページ	内容
1.3 端子接続図 1.3.1 20ピン製品	P.4	誤記訂正
1.3 端子接続図 1.3.2 30ピン製品	P.5	誤記訂正
1.3 端子接続図 1.3.3 38ピン製品	P.6	誤記訂正
図13-1 プログラマブル・ゲイン・アンプのブロック図	P.522	誤記訂正
13.3.3 プログラマブル・ゲイン・アンプ入力チャンネル選択レジスタ (PGAINS)	P.525	誤記訂正

通知済みの訂正内容

項目	訂正箇所	該当ページ	内容
1	図7-19 周辺機能切り替えレジスタ0(PFSEL0)のフォーマット	P.306	誤記訂正
2	図7-73 強制出力停止機能制御レジスタ0p(TKBPACTL0p)のフォーマット	P.382	誤記訂正
3	図7-74 強制出力停止機能制御レジスタ1p(TKBPACTL1p)のフォーマット	P.384	誤記訂正
4	図7-75 強制出力停止機能制御レジスタ2p(TKBPACTL2p)のフォーマット	P.386	誤記訂正
5	図14-1 コンパレータのブロック図	P.533	誤記訂正
6	図14-12 周辺機能切り替えレジスタ0(PFSEL0)	P.544	誤記訂正
7	14. 5 タイマKB連動機能使用時の注意事項	-	注意追加
8	SNOOZEモード動作時のタイミング・チャート	P.661,P.662,P.664	誤記訂正
9	表20-1 割り込み要因一覧(2/3)	P.895	注意追加
10	図20-1 割り込み機能の基本構成	P.897	誤記訂正
11	表21-1 HALTモード時の動作状態(2/2)	P.928	誤記訂正
12	表21-2 STOPモード時の動作状態	P.932	誤記訂正
13	表21-3 SNOOZEモード時の動作状態	P.938	誤記訂正
14	32. 7 データ・メモリSTOPモード低電源電圧データ保持特性	P.1096	説明追加
15	33. 7 データ・メモリSTOPモード低電源電圧データ保持特性	P.1138	説明追加
16	第34章外形図 34. 3 38ピン製品	P.1143	誤記訂正

ドキュメント改善計画

本訂正内容(今回通知する訂正内容)については、次回ユーザーズマニュアル(Rev.3.00)改版時に、修正を行います。

ユーザーズマニュアルの訂正一覧

(訂正内容)

項目	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0169JJ0210	
1		図7-19 周辺機能切り替えレジスタ0(PFSEL0)のフォーマット	P.306	P.3
2		図7-73 強制出力停止機能制御レジスタ0p(TKBPACTL0p)のフォーマット	P.382	P.5
3		図7-74 強制出力停止機能制御レジスタ1p(TKBPACTL1p)のフォーマット	P.384	P.9
4		図7-75 強制出力停止機能制御レジスタ2p(TKBPACTL2p)のフォーマット	P.386	P.14
5		図14-1 コンパレータのブロック図	P.533	P.19
6		図14-12 周辺機能切り替えレジスタ0(PFSEL0)	P.544	P.21
7		14.5 タイマKB連動機能使用時の注意事項	-	P.23
8		SNOOZEモード動作時のタイミング・チャート	P.661,P.662,P.664	P.26
9		表20-1 割り込み要因一覧(2/3)	P.895	P.29
10		図20-1 割り込み機能の基本構成	P.897	P.30
11		表21-1 HALTモード時の動作状態(2/2)	P.928	P.32
12		表21-2 STOPモード時の動作状態	P.932	P.34
13		表21-3 SNOOZEモード時の動作状態	P.938	P.36
14		32.7 データ・メモリSTOPモード低電源電圧データ保持特性	P.1096	P.38
15		33.7 データ・メモリSTOPモード低電源電圧データ保持特性	P.1138	P.39
16		第34章外形図 34.3 38ピン製品	P.1143	P.40
17		1.3 端子接続図 1.3.1 20ピン製品	P.4	P.42
18		1.3 端子接続図 1.3.2 30ピン製品	P.5	P.43
19		1.3 端子接続図 1.3.3 38ピン製品	P.6	P.44
20		図13-1 プログラマブル・ゲイン・アンプのブロック図	P.522	P.45
21		13.3.3 プログラマブル・ゲイン・アンプ入力チャネル選択レジスタ(PGAINS)	P.525	P.46

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

発行文書履歴

RL78/I1A ユーザーズマニュアル 誤記訂正通知 制限事項 発行文書履歴

文書番号	発行日	記事
TN-RL*-A024A/J	2014年3月31日	初版発行
TN-RL*-A024B/J	2014年11月21日	第2版発行 訂正一覧の項目16を追加
TN-RL*-A024C/J	2015年4月24日	第3版発行 訂正一覧の項目17~21を追加(本通知です。)

以上

1. 図7-19 周辺機能切り替えレジスタ0(PFSELO)のフォーマット

周辺機能切り替えレジスタ0(PFSELO)の TMRSTEN1, 0 ビットの説明にある誤記を訂正し, 注意事項を追加します。

誤)

図 7-19 周辺機能切り替えレジスタ 0 (PFSELO) のフォーマット

アドレス：F05C6H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFSELO	0	CMP2STEN	CMP0STEN	PNFEN	ADTRG11	ADTRG10	TMRSTEN1	TMRSTEN0

CMP2STEN	CMP0STEN	コンパレータ割り込みの切り替え
第14章 コンパレータを参照してください。		

PNFEN	外部割り込みINTP20のノイズ・フィルタ使用可否
0	ノイズ・フィルタあり
1	ノイズ・フィルタなし

ADTRG11	ADTRG10	A/D変換のタイマ・トリガの選択
0	0	タイマKB0のトリガ要因
0	1	タイマKB1のトリガ要因
1	0	タイマKB2のトリガ要因
1	1	設定禁止

TMRSTEN1	外部割り込みINTP21の機能選択
0	外部割り込み機能(外部割り込み発生可, タイマ・リスタート不可)
1	タイマ・リスタート機能(外部割り込み発生不可, スタンバイ解除不可)

TMRSTEN0	外部割り込みINTP20の機能選択
0	外部割り込み機能(外部割り込み発生可, タイマ・リスタート不可)
1	タイマ・リスタート機能(外部割り込み発生不可, スタンバイ解除不可)

備考 図14-1 コンパレータのブロック図を参照してください。

正)

図 7-19 周辺機能切り替えレジスタ 0 (PFSEL0) のフォーマット

アドレス：F05C6H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFSEL0	0	CMP2STEN	CMP0STEN	PNFEN	ADTRG11	ADTRG10	TMRSTEN1	TMRSTEN0

CMP2STEN	CMP0STEN	コンパレータ割り込みの切り替え
第14章 コンパレータを参照してください。		

PNFEN	外部割り込みINTP20のノイズ・フィルタ使用可否
0	ノイズ・フィルタあり
1	ノイズ・フィルタなし

ADTRG11	ADTRG10	A/D変換のタイマ・トリガの選択
0	0	タイマKB0のトリガ要因
0	1	タイマKB1のトリガ要因
1	0	タイマKB2のトリガ要因
1	1	設定禁止

TMRSTEN1	外部割り込みINTP21の切り替え ^注
0	外部割り込み機能を選択 (STOPモード解除可能, タイマ・リスタート不可)
1	タイマ・リスタート機能を選択 (STOPモード解除不可, タイマ・リスタート可)

TMRSTEN0	外部割り込みINTP20の切り替え ^注
0	外部割り込み機能を選択 (STOPモード解除可能, タイマ・リスタート不可)
1	タイマ・リスタート/強制出力停止機能2を選択 (STOPモード解除不可, タイマ・リスタート可)

注 INTP20, 21 をタイマ KB の強制出力停止機能 2 またはタイマ・リスタート機能のトリガとして使用する場合は、14.5 タイマ KB 連動機能使用時の注意事項も参照してください。

備考 図 14-1 コンパレータのブロック図を参照してください。

2. 図7-73 強制出力停止機能制御レジスタ0p(TKBPACTL0p)のフォーマット

強制出力停止機能制御レジスタ 0p(TKBPACTL0p)の説明にある誤記を訂正し、注意事項を追加します。

誤)

図7-73 強制出力停止機能制御レジスタ 0p (TKBPACTL0p) のフォーマット (1/2)

アドレス：F0630H (TKBPACTL00) リセット時：0000H R/W
F0632H (TKBPACTL01)

略号	15	14	13	12	11	10	9	8
TKBPAFXS0p3	TKBPAFXS0p2	TKBPAFXS0p1	TKBPAFXS0p0	0	0	0	0	TKBPAFCM0p
7	6	5	4	3	2	1	0	
0	TKBPAHZS0p2	TKBPAHZS0p1	TKBPAHZS0p0	TKBPAHCM0p1	TKBPAHCM0p0	TKBPAMD0p1	TKBPAMD0p0	

TKBPAFXS0p3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	<u>INTP20をトリガとする</u>

TKBPAFXS0p2	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	<u>コンパレータ2をトリガとする</u>

TKBPAFXS0p1	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ1をトリガとしない
1	<u>コンパレータ1をトリガとする</u>

TKBPAFXS0p0	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	<u>コンパレータ0をトリガとする</u>

TKBPAFCM0p	強制出力停止機能2の動作モード選択
0	<u>トリガ入力で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除。</u>
1	<u>トリガ入力で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除。</u>

図7 - 73 強制出力停止機能制御レジスタ0p (TKBPACTL0p) のフォーマット (2/2)

TKBPAHVS0p2	強制出力停止機能1のコンパレータトリガ選択	
0	コンパレータ2をトリガとしない	
1	コンパレータ2をトリガとする	

TKBPAHVS0p1	強制出力停止機能1のコンパレータトリガ選択	
0	コンパレータ1をトリガとしない	
1	コンパレータ1をトリガとする	

TKBPAHVS0p0	強制出力停止機能1のコンパレータトリガ選択	
0	コンパレータ0をトリガとしない	
1	コンパレータ0をトリガとする	

TKBPAHCM0p1	TKBPAHCM0p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく Hi-Zストップ・トリガ (TKBPAHTIn) = 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、 Hi-Zストップ・トリガ (TKBPAHTIn) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の Hi-Zストップ・トリガ (TKBPAHTIn) = 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく Hi-Zストップ・トリガ (TKBPAHTIn) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、 Hi-Zストップ・トリガ (TKBPAHTIn) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の Hi-Zストップ・トリガ (TKBPAHTIn) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。

TKBPAMD0p1	TKBPAMD0p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

- 注意1. タイマ動作中に、TKBPACTL0pレジスタを書き換えないでください。ただし、TKBPACTL0pレジスタにリフレッシュ（同値書き込み）することは可能です。
2. ビット11-9, 7には必ず0を設定してください。

正)

図7-73 強制出力停止機能制御レジスタ 0p (TKBPACTL0p) のフォーマット (1/2)

アドレス：F0630H (TKBPACTL00) リセット時：0000H R/W
 F0632H (TKBPACTL01)

略号	15	14	13	12	11	10	9	8
TKBPACTL0p	TKBPAFXS0p3	TKBPAFXS0p2	TKBPAFXS0p1	TKBPAFXS0p0	0	0	0	TKBPAFCM0p
	7	6	5	4	3	2	1	0
	0	TKBPAHZS0p2	TKBPAHZS0p1	TKBPAHZS0p0	TKBPAHCM0p1	TKBPAHCM0p0	TKBPAMD0p1	TKBPAMD0p0

TKBPAFXS0p3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	INTP20をトリガとする ^{注1}

TKBPAFXS0p2	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	コンパレータ2をトリガとする ^{注2}

TKBPAFXS0p1	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ1をトリガとしない
1	コンパレータ1をトリガとする ^{注3}

TKBPAFXS0p0	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする ^{注2}

TKBPAFCM0p	強制出力停止機能2の動作モード選択
0	トリガ入力で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除。 ^{注4}
1	トリガ入力で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除。 ^{注4}

TKBPAHZS0p2	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	コンパレータ2をトリガとする ^{注2}

TKBPAHZS0p1	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ1をトリガとしない
1	コンパレータ1をトリガとする ^{注3}

TKBPAHZS0p0	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする ^{注2}

図7 - 73 強制出力停止機能制御レジスタ0p (TKBPACTL0p) のフォーマット (2/2)

TKBPAHCM0p1	TKBPAHCM0p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。 ^{注4}
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。 ^{注4}

TKBPAMD0p1	TKBPAMD0p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

- 注 1. INTP20を強制出力停止機能2に使用する場合は、14.5 タイマKB連動機能使用時の注意事項も参照してください。
2. CMP0, CMP2をタイマKBの強制出力停止機能に使用する場合は、CMPnSTEN=1としてください。
詳しくは14.5 タイマKB連動機能使用時の注意事項を参照してください。
3. CMP1をタイマKBの強制出力停止機能に使用する場合は、14.5 タイマKB連動機能使用時の注意事項を参照してください。
4. 次のカウンタ周期を待たずにタイマKBを停止 (TKBCEn = 0) した場合、次にタイマKBを動作 (TKBCEn = 1) するまで、強制出力停止機能を継続します。

- 注意1. タイマ動作中に、TKBPACTL0pレジスタを書き換えしないでください。ただし、TKBPACTL0pレジスタにリフレッシュ (同値書き込み) することは可能です。
2. ビット11-9, 7には必ず0を設定してください。

備考 p = 0, 1 n = 0 - 2

3. 図7-74 強制出力停止機能制御レジスタ1p(TKBPACTL1p)のフォーマット

強制出力停止機能制御レジスタ 1p(TKBPACTL1p)の説明にある誤記を訂正し、注意事項を追加します。

誤)

図7-74 強制出力停止機能制御レジスタ 1p (TKBPACTL1p) のフォーマット (1/2)

アドレス：F0670H (TKBPACTL10) リセット時：0000H R/W
F0672H (TKBPACTL11)

略号	15	14	13	12	11	10	9	8
TKBPACTL1p	TKBPAFXS1p3	TKBPAFXS1p2	TKBPAFXS1p1	TKBPAFXS1p0	0	0	0	TKBPAFCM1p
	7	6	5	4	3	2	1	0
	0	TKBPAHZS1p2	TKBPAHZS1p1	TKBPAHZS1p0	TKBPAHCM1p1	TKBPAHCM1p0	TKBPAMD1p1	TKBPAMD1p0

TKBPAFXS1p3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	<u>INTP20をトリガとする</u>

TKBPAFXS1p2	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ3をトリガとしない
1	<u>コンパレータ3をトリガとする</u>

TKBPAFXS1p1	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	<u>コンパレータ2をトリガとする</u>

TKBPAFXS1p0	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	<u>コンパレータ0をトリガとする</u>

TKBPAFCM1p	強制出力停止機能2の動作モード選択
0	<u>トリガ入力で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除。</u>
1	<u>トリガ入力で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除。</u>

図7 - 74 強制出力停止機能制御レジスタ1p (TKBPACTL1p) のフォーマット (2/2)

TKBPAHVS1p2	強制出力停止機能1のコンパレータトリガ選択	
0	コンパレータ3をトリガとしない	
1	<u>コンパレータ3をトリガとする</u>	

TKBPAHVS1p1	強制出力停止機能1のコンパレータトリガ選択	
0	コンパレータ2をトリガとしない	
1	<u>コンパレータ2をトリガとする</u>	

TKBPAHVS1p0	強制出力停止機能1のコンパレータトリガ選択	
0	コンパレータ0をトリガとしない	
1	<u>コンパレータ0をトリガとする</u>	

TKBPAHCM1p1	TKBPAHCM1p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく <u>Hi-Zストップ・トリガ (TKBPAHTIn)</u> = 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、 <u>Hi-Zストップ・トリガ (TKBPAHTIn)</u> = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の <u>Hi-Zストップ・トリガ (TKBPAHTIn)</u> = 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく <u>Hi-Zストップ・トリガ (TKBPAHTIn)</u> = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、 <u>Hi-Zストップ・トリガ (TKBPAHTIn)</u> = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の <u>Hi-Zストップ・トリガ (TKBPAHTIn)</u> = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。

TKBPAMD1p1	TKBPAMD1p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

- 注意1. タイマ動作中に、TKBPACTL1pレジスタを書き換えしないでください。ただし、TKBPACTL1pレジスタにリフレッシュ（同値書き込み）することは可能です。
2. ビット11-9, 7には必ず0を設定してください。

備考...p=0,1

正)

図7-74 強制出力停止機能制御レジスタ 1p (TKBPACTL1p) のフォーマット (1/2)

アドレス：F0670H (TKBPACTL10) リセット時：0000H R/W

F0672H (TKBPACTL11)

略号	15	14	13	12	11	10	9	8
TKBPACTL1p	TKBPAFXS1p3	TKBPAFXS1p2	TKBPAFXS1p1	TKBPAFXS1p0	0	0	0	TKBPAFCM1p
	7	6	5	4	3	2	1	0
	0	TKBPAHZS1p2	TKBPAHZS1p1	TKBPAHZS1p0	TKBPAHCM1p1	TKBPAHCM1p0	TKBPAMD1p1	TKBPAMD1p0

TKBPAFXS1p3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	INTP20をトリガとする ^{注1}

TKBPAFXS1p2	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ3をトリガとしない
1	コンパレータ3をトリガとする ^{注2}

TKBPAFXS1p1	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	コンパレータ2をトリガとする ^{注3}

TKBPAFXS1p0	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする ^{注3}

TKBPAFCM1p	強制出力停止機能2の動作モード選択
0	トリガ入力 ^{注4} で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除。
1	トリガ入力 ^{注4} で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除。

図7 - 74 強制出力停止機能制御レジスタ1p (TKBPACTL1p) のフォーマット (2/2)

TKBPAHVS1p2	強制出力停止機能1のコンパレータトリガ選択	
0	コンパレータ3をトリガとしない	
1	コンパレータ3をトリガとする ^{注2}	

TKBPAHVS1p1	強制出力停止機能1のコンパレータトリガ選択	
0	コンパレータ2をトリガとしない	
1	コンパレータ2をトリガとする ^{注3}	

TKBPAHVS1p0	強制出力停止機能1のコンパレータトリガ選択	
0	コンパレータ0をトリガとしない	
1	コンパレータ0をトリガとする ^{注3}	

TKBPAHCM1p1	TKBPAHCM1p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHTT1p) = 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHTT1p) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHTT1p) = 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHTT1p) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。 ^{注4}
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHTT1p) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHTT1p) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。 ^{注4}

TKBPAMD1p1	TKBPAMD1p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

注1. INTp20を強制出力停止機能2に使用する場合は、14.5 タイマKB連動機能使用時の注意事項も参照してください。

2. CMP3をタイマKBの強制出力停止機能に使用する場合は、14.5 タイマKB連動機能使用時の注意事項を参照してください。

3. CMP0, CMP2 をタイマ KB の強制出力停止機能に使用する場合は, CMPnSTEN=1 としてください。

詳しくは14.5 タイマKB連動機能使用時の注意事項を参照してください。

4. 次のカウンタ周期を待たずにタイマ KB を停止 (TKBCEn = 0) した場合、次にタイマ KB を動作 (TKBCEn = 1) するまで、強制出力停止機能を継続します。

- 注意1. タイマ動作中に, TKBPACTL1pレジスタを書き換えないでください。ただし, TKBPACTL1pレジスタにリフレッシュ (同値書き込み) することは可能です。
2. ビット11-9, 7には必ず0を設定してください。

備考 p = 0, 1 n = 0 - 2

4. 図7-75 強制出力停止機能制御レジスタ2p(TKBPACTL2p)のフォーマット

強制出力停止機能制御レジスタ 2p(TKBPACTL2p)の説明にある誤記を訂正し、注意事項を追加します。

誤)

図 7 - 75 強制出力停止機能制御レジスタ 2p (TKBPACTL2p) のフォーマット (1/2)

アドレス：F06B0H (TKBPACTL20) リセット時：0000H R/W

F06B2H (TKBPACTL21)

略号	15	14	13	12	11	10	9	8
TKBPACTL2p	TKBPAFXS2p3	TKBPAFXS2p2	TKBPAFXS2p1	TKBPAFXS2p0	0	0	0	TKBPAFCM2p
	7	6	5	4	3	2	1	0
	0	TKBPAHZS2p2	TKBPAHZS2p1	TKBPAHZS2p0	TKBPAHCM2p1	TKBPAHCM2p0	TKBPAMD2p1	TKBPAMD2p0

TKBPAFXS2p3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	<u>INTP20をトリガとする</u>

TKBPAFXS2p2	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ5をトリガとしない
1	<u>コンパレータ5をトリガとする</u>

TKBPAFXS2p1	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ4をトリガとしない
1	<u>コンパレータ4をトリガとする</u>

TKBPAFXS2p0	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	<u>コンパレータ0をトリガとする</u>

TKBPAFCM2p	強制出力停止機能2の動作モード選択
0	<u>トリガ入力</u> で強制出力停止機能2を開始し、 <u>次のカウンタの周期</u> で強制出力停止機能2を解除。
1	<u>トリガ入力</u> で強制出力停止機能2を開始し、 <u>そのトリガの逆エッジを検出してから</u> 、 <u>次のカウンタの周期</u> で強制出力停止機能2を解除。

図7 - 75 強制出力停止機能制御レジスタ2p (TKBPACTL2p) のフォーマット (2/2)

TKBPAHVS2p2	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ5をトリガとしない
1	コンパレータ5をトリガとする

TKBPAHVS2p1	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ4をトリガとしない
1	コンパレータ4をトリガとする

TKBPAHVS2p0	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする

TKBPAHCM2p1	TKBPAHCM2p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく Hi-Zストップ・トリガ (TKBPAHTIn) = 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、 Hi-Zストップ・トリガ (TKBPAHTIn) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の Hi-Zストップ・トリガ (TKBPAHTIn) = 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく Hi-Zストップ・トリガ (TKBPAHTIn) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、 Hi-Zストップ・トリガ (TKBPAHTIn) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の Hi-Zストップ・トリガ (TKBPAHTIn) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。

TKBPAMD2p1	TKBPAMD2p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

- 注意1. タイマ動作中に、TKBPACTL2pレジスタを書き換えしないでください。ただし、TKBPACTL2pレジスタにリフレッシュ（同値書き込み）することは可能です。
2. ビット11-9, 7には必ず0を設定してください。

備考 p = 0.1

正)

図7-75 強制出力停止機能制御レジスタ 2p (TKBPACTL2p) のフォーマット (1/2)

アドレス：F06B0H (TKBPACTL20) リセット時：0000H R/W

F06B2H (TKBPACTL21)

略号	15	14	13	12	11	10	9	8
TKBPACTL2p	TKBPAFXS2p3	TKBPAFXS2p2	TKBPAFXS2p1	TKBPAFXS2p0	0	0	0	TKBPAFCM2p
	7	6	5	4	3	2	1	0
	0	TKBPAHZS2p2	TKBPAHZS2p1	TKBPAHZS2p0	TKBPAHCM2p1	TKBPAHCM2p0	TKBPAMD2p1	TKBPAMD2p0

TKBPAFXS2p3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	INTP20をトリガとする ^{注1}

TKBPAFXS2p2	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ5をトリガとしない
1	コンパレータ5をトリガとする ^{注2}

TKBPAFXS2p1	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ4をトリガとしない
1	コンパレータ4をトリガとする ^{注2}

TKBPAFXS2p0	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする ^{注3}

TKBPAFCM2p	強制出力停止機能2の動作モード選択
0	トリガ入力で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除。 ^{注4}
1	トリガ入力で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除。 ^{注4}

図7 - 75 強制出力停止機能制御レジスタ2p (TKBPACTL2p) のフォーマット (2/2)

TKBPAHZS2p2	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ5をトリガとしない
1	コンパレータ5をトリガとする ^{注2}

TKBPAHZS2p1	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ4をトリガとしない
1	コンパレータ4をトリガとする ^{注2}

TKBPAHZS2p0	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする ^{注3}

TKBPAHCM2p1	TKBPAHCM2p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し,そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHTT2p) = 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し,そのトリガ信号がアクティブ・レベル期間中の場合は,強制出力停止機能解除トリガ (TKBPAHTT2p) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHTT2p) = 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し,そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHTT2p) = 1書き込みのあと,次のカウンタの周期で強制出力停止機能1を解除。 ^{注4}
1	1	トリガ入力で強制出力停止機能1を開始し,そのトリガ信号がアクティブ・レベル期間中の場合は,強制出力停止機能解除トリガ (TKBPAHTT2p) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHTT2p) = 1書き込みのあと,次のカウンタの周期で強制出力停止機能1を解除。 ^{注4}

TKBPAMD2p1	TKBPAMD2p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

注1. INTP20を強制出力停止機能2に使用する場合は, 14.5 タイマKB連動機能使用時の注意事項も参照してください。

2. CMP4, CMP5 をタイマ KB の強制出力停止機能に使用する場合は, 14.5 タイマ KB 連動機能使用時の注意事項を参照してください。

3. CMPO をタイマ KB の強制出力停止機能に使用する場合は, CMPOSTEN=1 としてください。

詳しくは14.5 タイマKB連動機能使用時の注意事項を参照してください。

4. 次のカウンタ周期を待たずにタイマ KB を停止 (TKBCEn = 0) した場合, 次にタイマ KB を動作 (TKBCEn = 1) するまで, 強制出力停止機能を継続します。

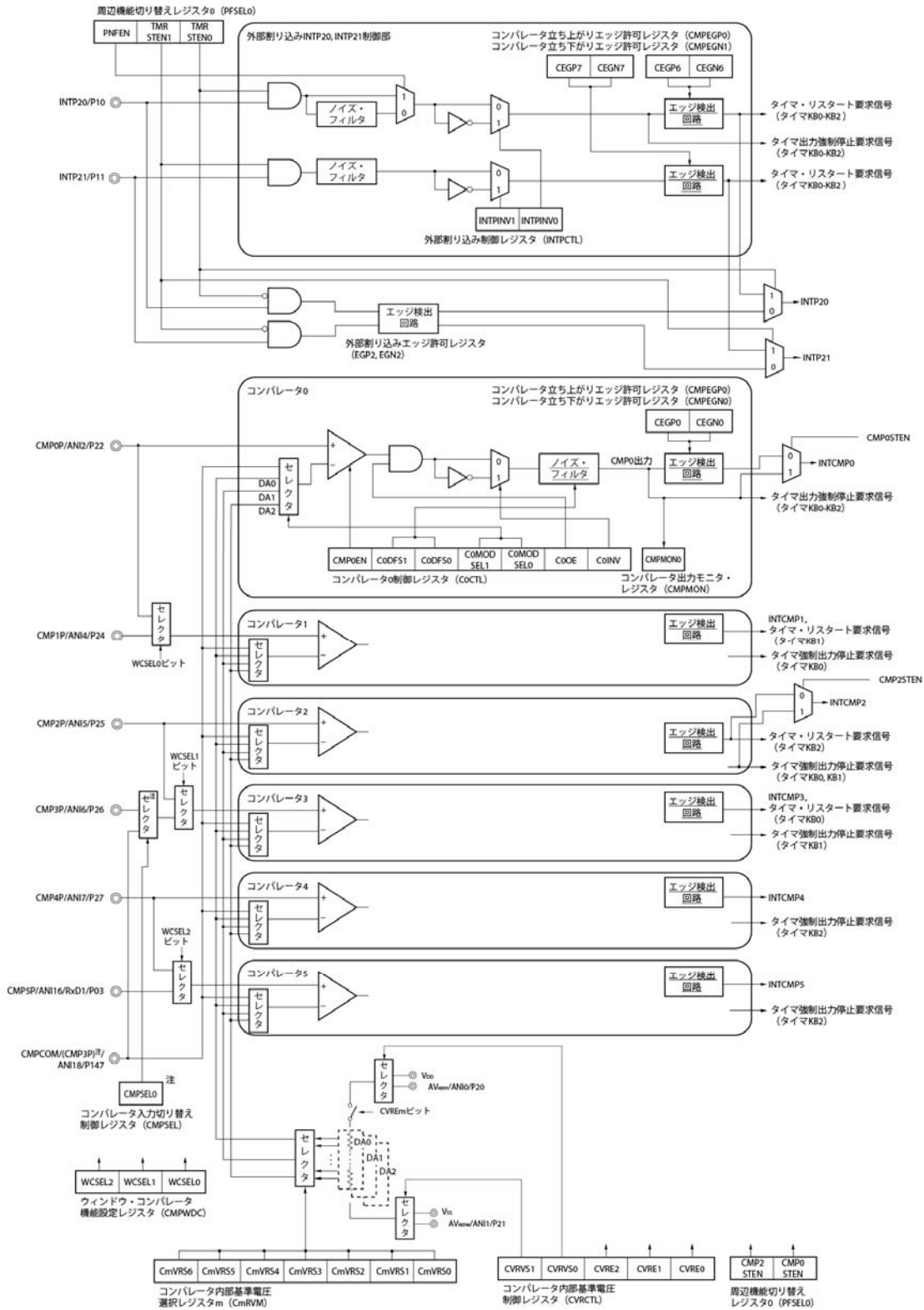
- 注意 1. タイマ動作中に、TKBPACTL2p レジスタを書き換えしないでください。ただし、TKBPACTL2p レジスタにリフレッシュ（同値書き込み）することは可能です。
2. ビット 11-9, 7 には必ず 0 を設定してください。

備考 p = 0, 1 n = 0 - 2

5. 図14-1 コンパレータのブロック図

ブロック図中のノイズ・フィルタ名称、エッジ検出回路名称の誤記を訂正し、注意事項を追加します。

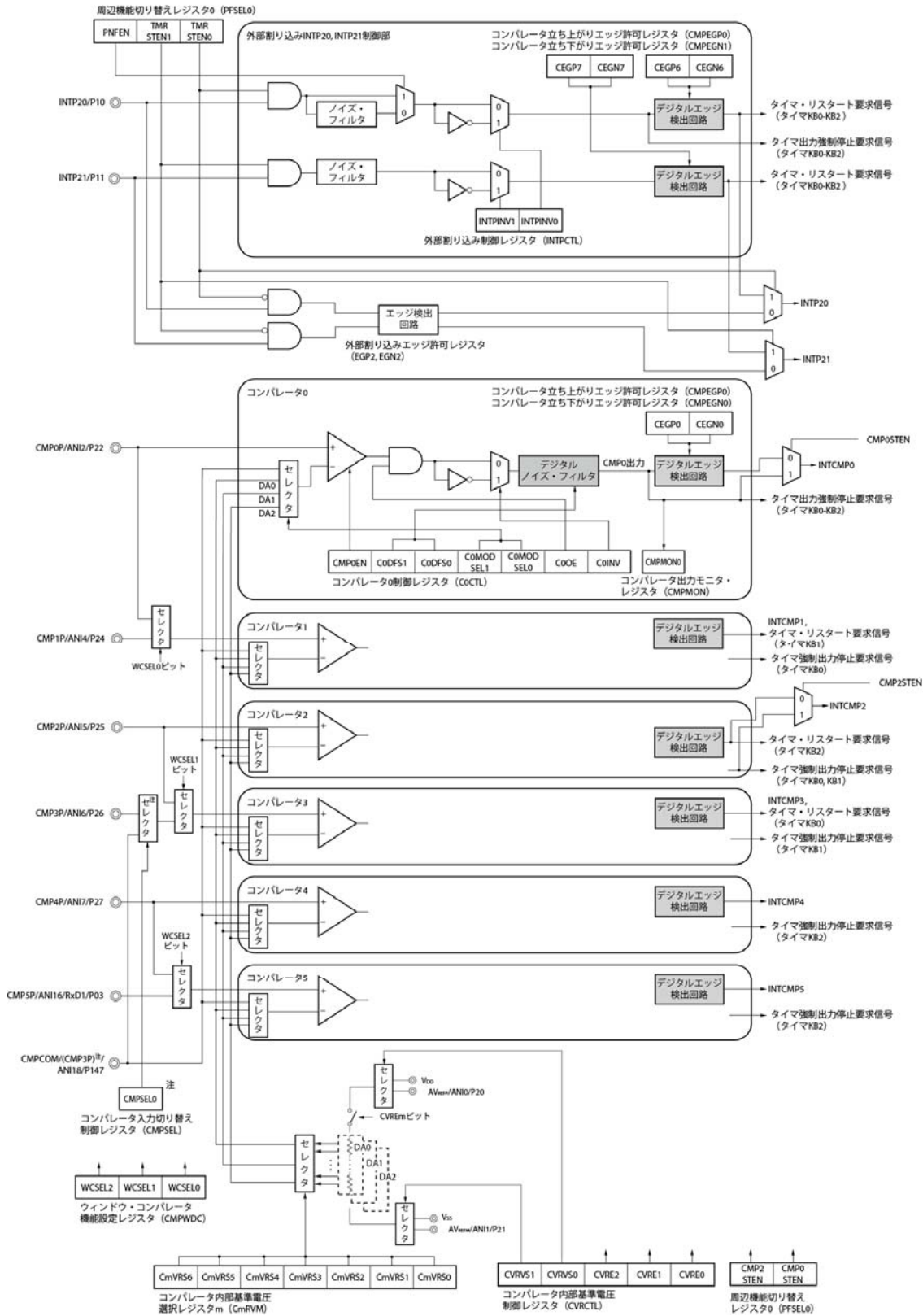
誤)



注 20ピン製品のみ。30ピン、38ピン製品は、デフォルトでANI16/CMP3P/P26が選択されます。

備考 m = 0-2

正)



注 20ピン製品のみ。30ピン、38ピン製品は、デフォルトでANI16/CMP3P/P26が選択されます。

注意 INTP20, INTP21, コンパレータをタイマKB強制出力停止機能, タイマKBリスタート機能に使用する場合, 14.5
 タイマKB連動機能使用時の注意事項を参照してください。

備考 m = 0-2

6. 図14-12 周辺機能切り替えレジスタ0(PFSEL0)

コンパレータ, 外部割り込みの説明について誤記を訂正し, 注意事項を追加します。

誤)

図 14 - 12 周辺機能切り替えレジスタ 0 (PFSEL0)

アドレス：F05C6H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFSEL0	0	CMP2STEN	CMPOSTEN	PNFEN	ADTRG11	ADTRG10	TMRSTEN1	TMRSTEN0

:

CMP2STEN	コンパレータ2検出割り込み (INTCMP2) の切り替え
0	STOPモード解除不可
1	STOPモード解除可能, ただし, ノイズ・フィルタ未使用時 (低消費RTCモード時 (OSMCレジスタのRTCLPC≒1) に動作可能)

CMPOSTEN	コンパレータ0検出割り込み (INTCMP0) の切り替え
0	STOPモード解除不可
1	STOPモード解除可能, ただし, ノイズ・フィルタ未使用時 (低消費RTCモード時 (OSMCレジスタのRTCLPC≒1) に動作可能)

PNFEN	外部割り込みINTP20のノイズ・フィルタ使用可否
0	ノイズ・フィルタあり
1	ノイズ・フィルタなし

TMRSTEN1	外部割り込みINTP21の機能選択
0	外部割り込み機能 (外部割り込み発生可, タイマ・リスタート不可)
1	タイマ・リスタート機能 (外部割り込み発生不可, スタンバイ解除不可)

TMRSTEN0	外部割り込みINTP20の機能選択
0	外部割り込み機能 (外部割り込み発生可, タイマ・リスタート不可)
1	タイマ・リスタート機能 (外部割り込み発生不可, スタンバイ解除不可)

注意 CMP0, CMP2 以外のコンパレータ検出割り込みは, STOP モード解除に使用することはできません。

正)

図 14 - 12 周辺機能切り替えレジスタ 0 (PFSEL0)

アドレス：F05C6H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFSEL0	0	CMP2STEN	CMP0STEN	PNFEN	ADTRG11	ADTRG10	TMRSTEN1	TMRSTEN0

:

CMP2STEN	コンパレータ2検出割り込み (INTCMP2) 入力信号の切り替え ^{注1}
0	デジタル・エッジ検出回路経路の信号を選択。STOPモード解除不可
1	強制出力停止要求信号を選択。STOPモード解除可能、ただし、ノイズ・フィルタ未使用時 (低消費RTCモード時 (OSMCレジスタのRTCLPC = 1) に動作可能)

CMP0STEN	コンパレータ0検出割り込み (INTCMP0) 入力信号の切り替え ^{注1}
0	デジタル・エッジ検出回路経路の信号を選択。STOPモード解除不可
1	強制出力停止要求信号を選択。STOPモード解除可能、ただし、ノイズ・フィルタ未使用時 (低消費RTCモード時 (OSMCレジスタのRTCLPC = 1) に動作可能)

PNFEN	外部割り込みINTP20のノイズ・フィルタ使用可否
0	ノイズ・フィルタあり
1	ノイズ・フィルタなし

TMRSTEN1	外部割り込みINTP21の切り替え ^{注2}
0	外部割り込み機能を選択 (STOPモード解除可能、タイマ・リスタート不可)
1	タイマ・リスタート機能を選択 (STOPモード解除不可、タイマ・リスタート可)

TMRSTEN0	外部割り込みINTP20の切り替え ^{注2}
0	外部割り込み機能を選択 (STOPモード解除可能、タイマ・リスタート不可)
1	タイマ・リスタート/強制出力停止機能2を選択 (STOPモード解除不可、タイマ・リスタート可)

注 1 CMP0, CMP2 による割り込みを使用する場合、使用する機能と割り込み入力信号を合わせてください。
 CMP0, CMP2 をタイマ KB の強制出力停止機能のトリガに使用する場合は、CMPnSTEN=1 としてください。
 CMP2 をタイマ KB のタイマ・リスタート機能のトリガに使用する場合は CMP2STEN=0 としてください。
 詳細については、14.5 タイマ KB 連動機能使用時の注意事項を参照してください。

注 2 INTP20, 21 をタイマ KB の強制出力停止機能 2 またはタイマ・リスタート機能のトリガとして使用する場合は、
 14.5 タイマ KB 連動機能使用時の注意事項も参照してください。

注意 CMP0, CMP2 以外のコンパレータ検出割り込みは、STOP モード解除に使用することはできません。

備考 n = 0, 2

7. 14.5 タイマKB連動機能使用時の注意事項

INTP2m, コンパレータについて、タイマ KB 連動機能使用時の注意事項を追加します。

旧)

該当箇所なし

新)

14.5 タイマ KB 連動機能使用時の注意事項

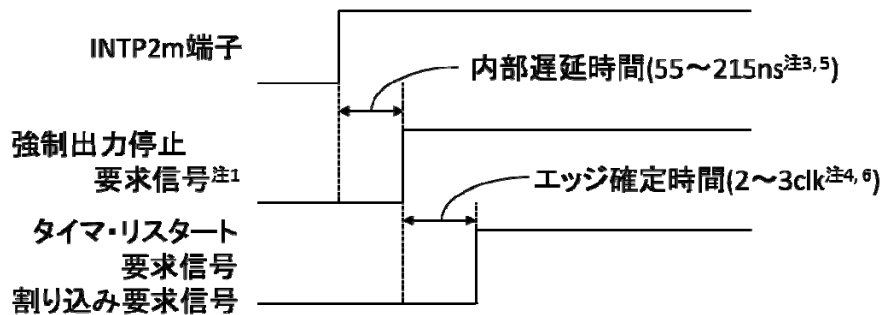
INTP2m, コンパレータは、外部割り込み機能の他にタイマKBとの連動機能(強制出力停止機能, タイマ・リスタート機能)のトリガとして使用する事が出来ます。使用する機能に応じて、周辺機能切り替えレジスタ(PFSEL0), エッジ設定レジスタを設定する必要があります。また、各機能が動作するまでに必要なアクティブ信号の幅が異なります。

INTP2m, コンパレータをご使用になる場合は、表 14-4~6 を参考にレジスタの設定を行い、必要なアクティブ信号幅が確保されるように外部回路を構築してください。

表 14-4 INTP2m の機能, レジスタ設定とアクティブ信号幅の関係

機能	周辺機能切り替え レジスタの設定	エッジ設定 レジスタ	各機能が動作するのに必要なアクティブ信号幅		
			割り込み	強制出力停止	タイマ・リスタート
外部割り込み (STOP解除可能)	TMRSTENm=0	EGPn, EGNn	~ 1us	-	-
強制出力停止 ^{注1}	TMRSTENm=1	CEGPp, CEGNp ^{注2}	55 ~ 215ns ^{注3} +2 ~ 3clk ^{注4}	55~215ns ^{注3,5}	-
タイマ・リスタート	TMRSTENm=1	CEGPp, CEGNp	55 ~ 215ns ^{注3} +2 ~ 3clk ^{注4}	-	55 ~ 215ns ^{注3} +2 ~ 3clk ^{注4,6}

図 14-18 INTP2m による強制出力停止要求信号, タイマ・リスタート要求信号の発生タイミング



- 注 1. INTP20 のみ強制出力停止機能 2 のトリガとして使用可能です。
- 2. 強制出力停止機能 2 はハイレベルでアクティブとなります。エッジ選択は割り込みにのみ有効です。
- 3. INTP20 でノイズ・フィルタを OFF(PNFEN=1)した場合, 5~15ns となります。
- 4. f_{CLK} または f_{PLL} (PLLON=1 の場合)
- 5. 強制出力停止機能 2 が動作してから端子出力が変化するまでには、別途出力遅延時間(10~40ns)が掛かります。
- 6. タイマ・リスタート機能が動作するには、要求信号を受けてからさらに 1clk, 出力端子の状態が変化するまでには、別途出力遅延時間(10~40ns)が掛かります。

備考 m = 0, 1 n = 20, 21 p = 7, 6

表 14-5 コンパレータ 0, 2 の機能, レジスタ設定とアクティブ信号幅の関係

機能	周辺機能切り替え レジスタの設定	エッジ設定 レジスタ	各機能が動作するのに必要なアクティブ信号幅		
			割り込み	強制出力停止	タイマ・リスタート
外部割り込み (STOP解除可能 ^{注1})	CMPnSTEN=1	立ち上がり固定 ^{注2}	~ 150ns ^{注3}	-	-
外部割り込み (STOP解除不可)	CMPnSTEN=0	CEGPn, CEGNn	~ 150ns ^{注3} +2 ~ 3clk ^{注4,5}	-	-
強制出力停止	CMPnSTEN=1	^{注6}	~ 150ns ^{注3}	~ 150ns ^{注3,7}	-
タイマ・リスタート	CMPnSTEN=0	CEGPn, CEGNn	~ 150ns ^{注3} +2 ~ 3clk ^{注4,5}	-	~ 150ns ^{注3} +2 ~ 3clk ^{注4,5}

図 14-19 コンパレータ 0, 2 による強制出力停止要求信号の発生タイミング(CMPmSTEN=1)

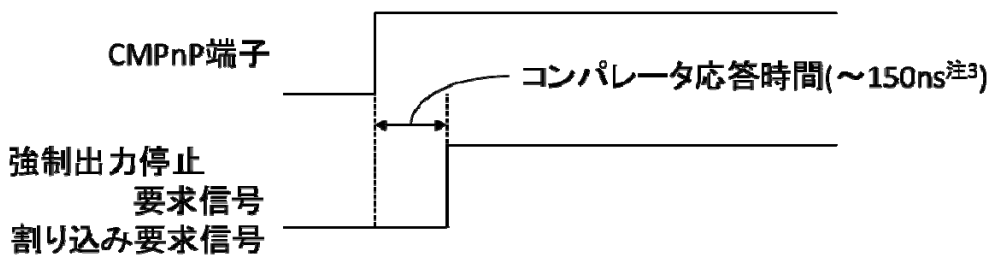
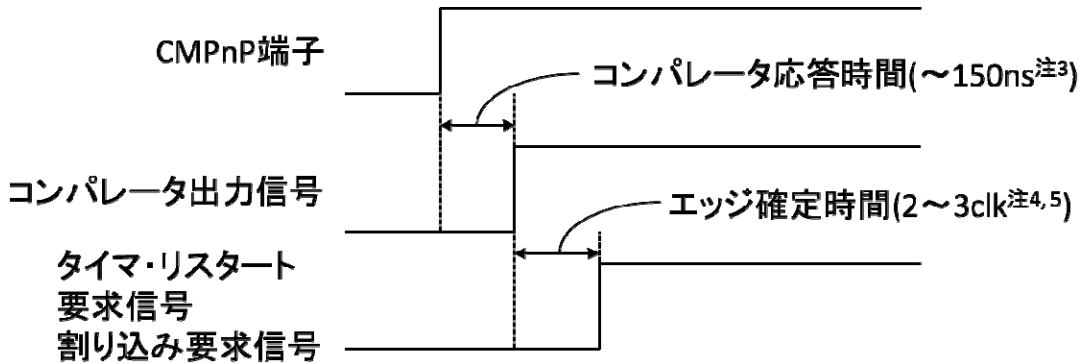


図 14-20 コンパレータ 0, 2 によるタイマ・リスタート要求信号の発生タイミング(CMPmSTEN=0)



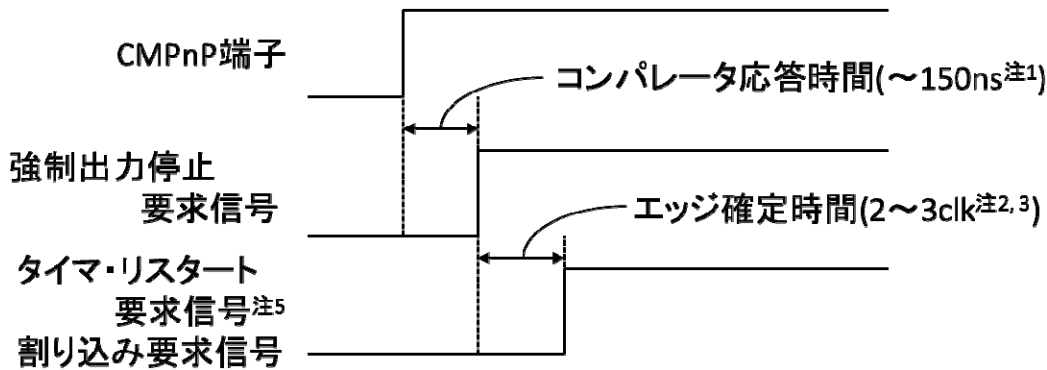
- 注 1. コンパレータ制御レジスタ CnCTL のノイズ・フィルタ設定 (CnDFS1, CnDFS0)=(0, 0) の場合
2. エッジの方向を変更したい場合は, CnINV レジスタで出力を反転させてください。
3. コンパレータ制御レジスタ CnCTL のノイズ・フィルタ設定 (CnDFS1, CnDFS0)=(0, 0) の場合です。
ノイズ・フィルタ設定を(0, 0)から変更した場合は, 設定した除去幅分が加算されます。
4. f_{CLK} または f_{PLL} (PLLON=1 の場合)。
5. タイマ・リスタート機能が動作するには, 要求信号を受けてからさらに 1clk,
出力端子の状態が変化するまでには, 別途出力遅延時間(10～40ns)が掛かります。
6. 強制出力停止機能はハイレベルでアクティブとなります。
7. 強制出力停止機能が動作してから出力端子の状態が変化するまでには,
別途出力遅延時間(10～40ns)が掛かります。

備考 n = 0, 2

表 14-6 コンパレータ 1, 3, 4, 5 の機能, レジスタ設定とアクティブ信号幅の関係

機能	周辺機能切り替え レジスタの設定	エッジ設定 レジスタ	各機能が動作するのに必要なアクティブ信号幅		
			割り込み	強制出力停止	タイマ・リスタート
外部割り込み (STOP解除不可)	-	CEGPn, CEGNn	~ 150ns ^{注1} +2~3clk ^{注2,3}	-	-
強制出力停止	-	^{注4}	~ 150ns ^{注2} +2~3clk ^{注3,4}	~ 150ns ^{注2,5}	-
タイマ・リスタート ^{注6}	-	CEGPn, CEGNn	~ 150ns ^{注2} +2~3clk ^{注3,4}	-	~ 150ns ^{注2} +2~3clk ^{注3,4}

図 14-21 コンパレータ 1, 3, 4, 5 による強制出力停止要求信号, タイマ・リスタート要求信号の発生タイミング



- 注 1. コンパレータ制御レジスタ CnCTL のノイズ・フィルタ設定 (CnDFS1, CnDFS0)=(0, 0) の場合です。ノイズ・フィルタ設定を(0, 0)から変更した場合は、設定した除去幅分が加算されます。
- 2. f_{CLK} または f_{PLL} (PLLON=1 の場合)。
- 3. タイマ・リスタート機能が動作するには、要求信号を受けてからさらに 1clk、出力端子の状態が変化するまでには、別途出力遅延時間(10~40ns)が掛かります。
- 4. 強制出力停止機能はハイレベルでアクティブとなります。
- 5. 強制出力停止機能が動作してから出力端子の状態が変化するまでには、別途出力遅延時間(10~40ns)が掛かります。
- 6. タイマ・リスタート機能はコンパレータ 1, 3 のみ使用可能です。

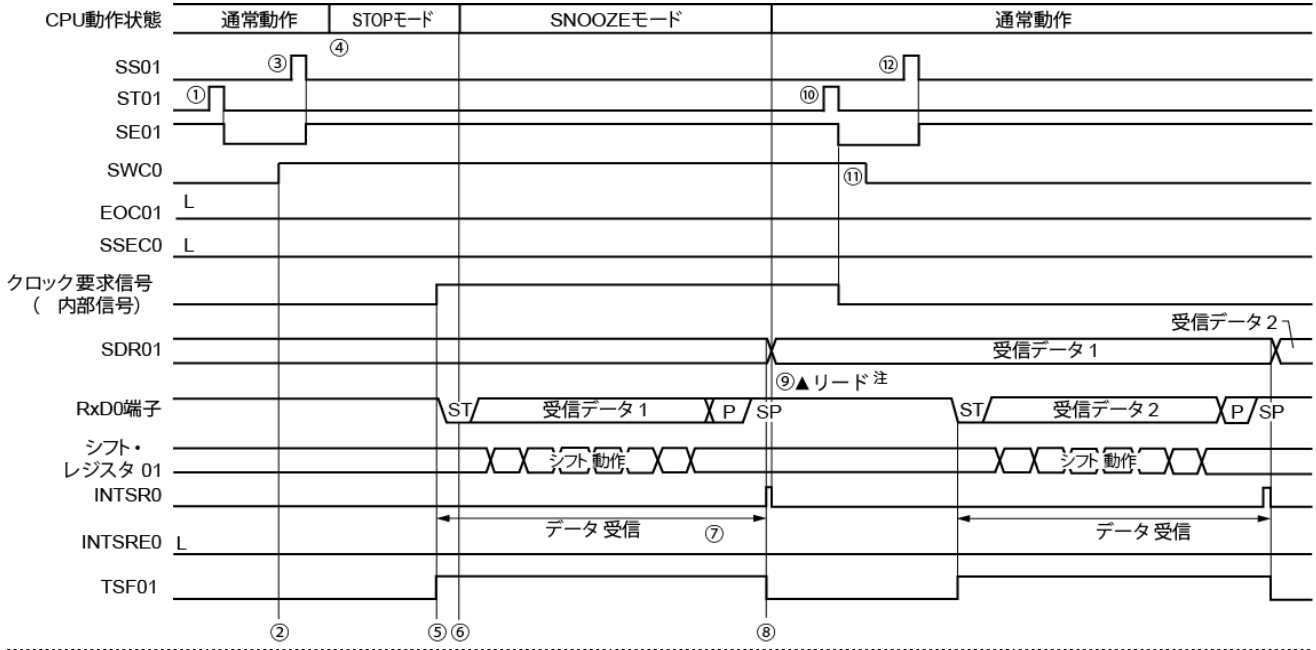
備考 n = 1, 3-5

8. SNOOZEモード動作時のタイミング・チャート(P.661,P.662,P.664)

クロック要求信号(内部信号)タイミングの誤記訂正

誤)

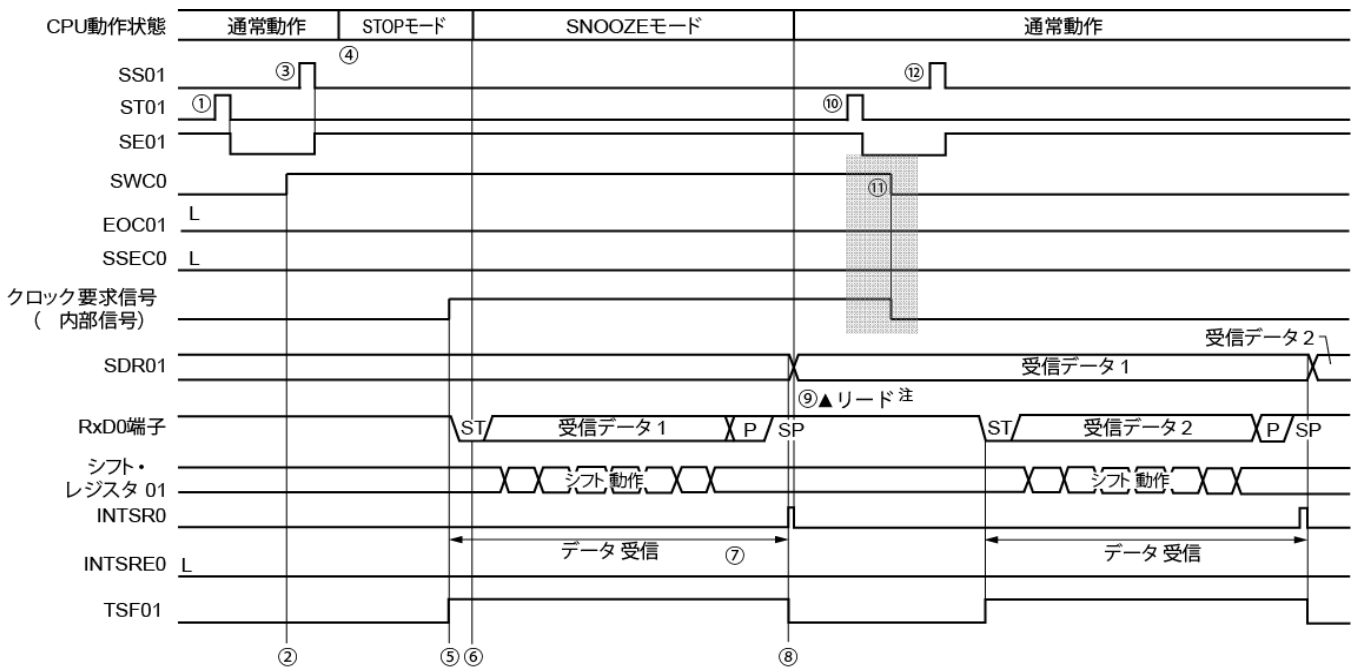
図 15-90 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



(省略)

正)

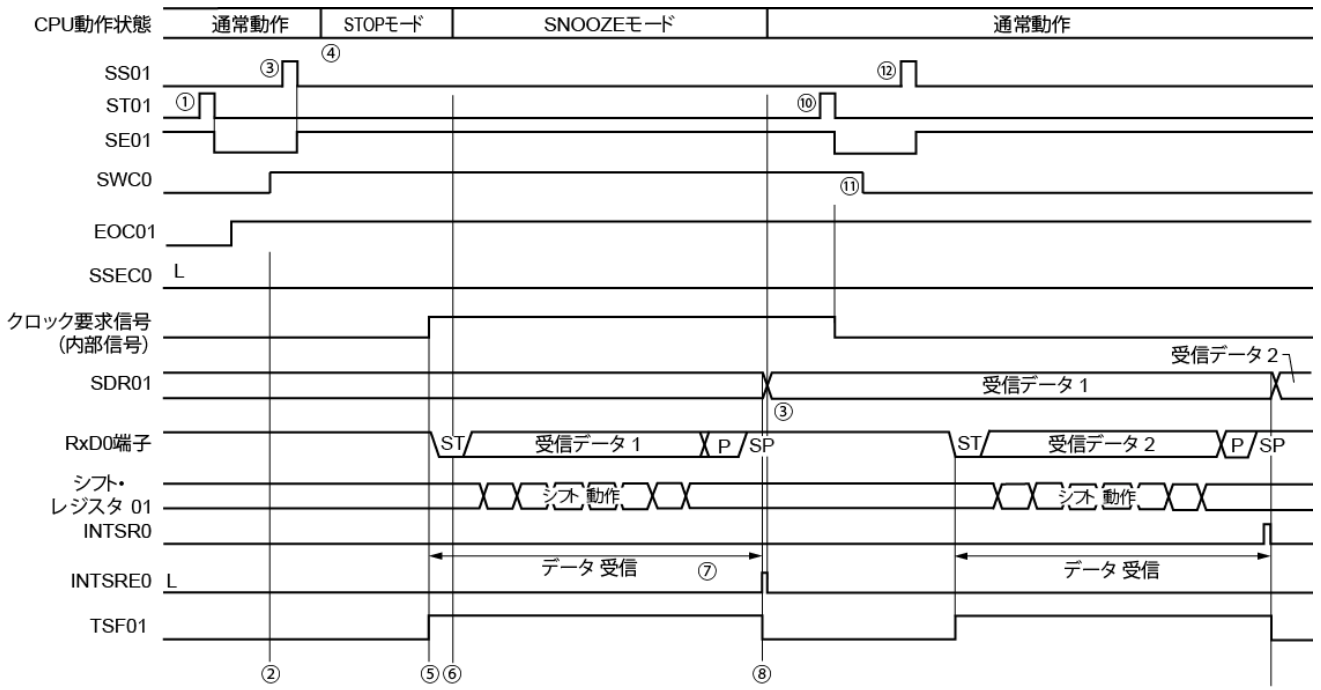
図 15 - 90 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



クロック要求信号(内部信号)と、SDR01 のタイミング・チャートの誤記訂正

誤)

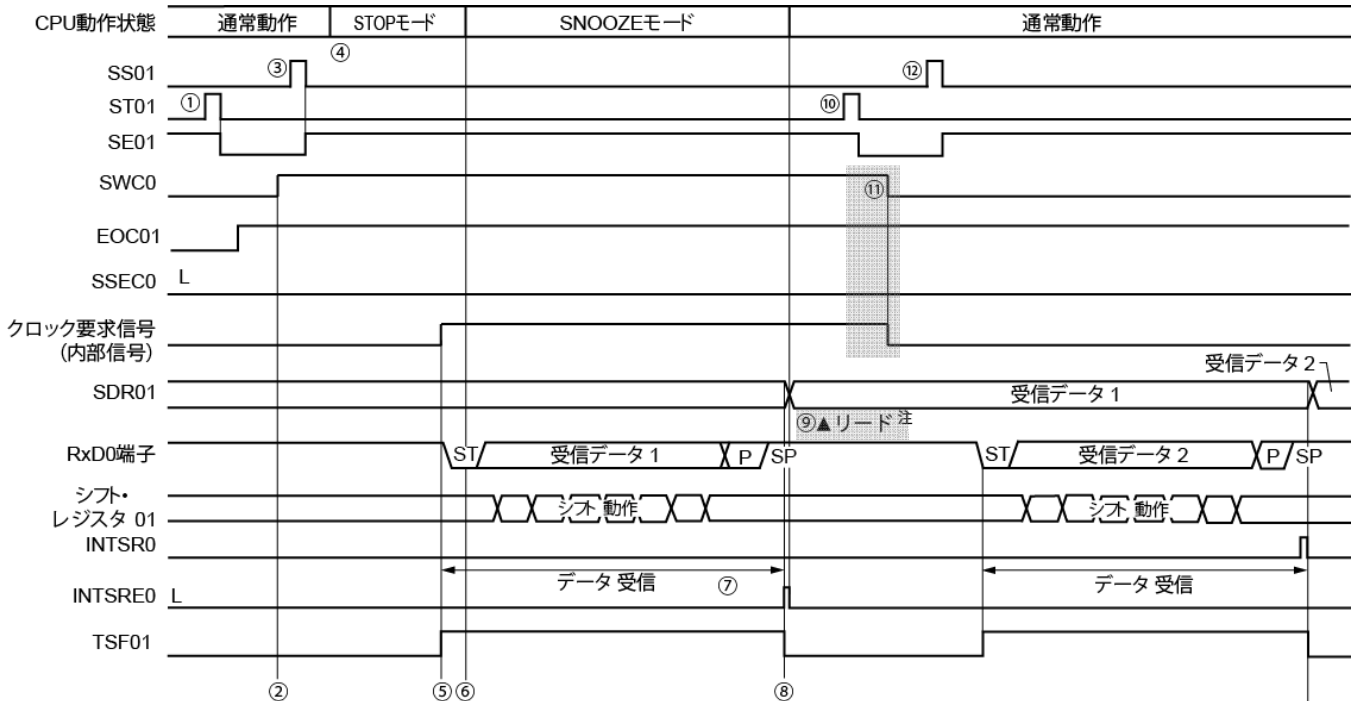
図 15-91 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



(省略)

正)

図 15-91 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート

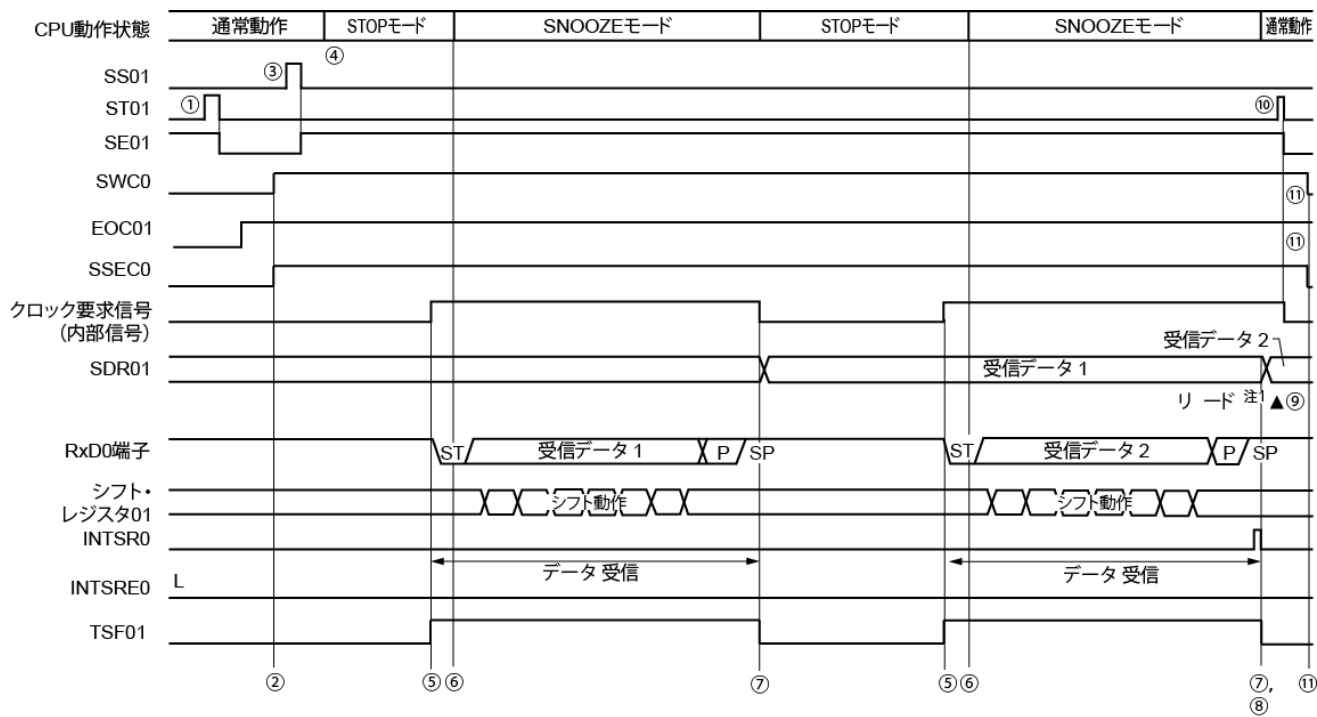


(省略)

クロック要求信号(内部信号)タイミング・チャートの誤記訂正

誤)

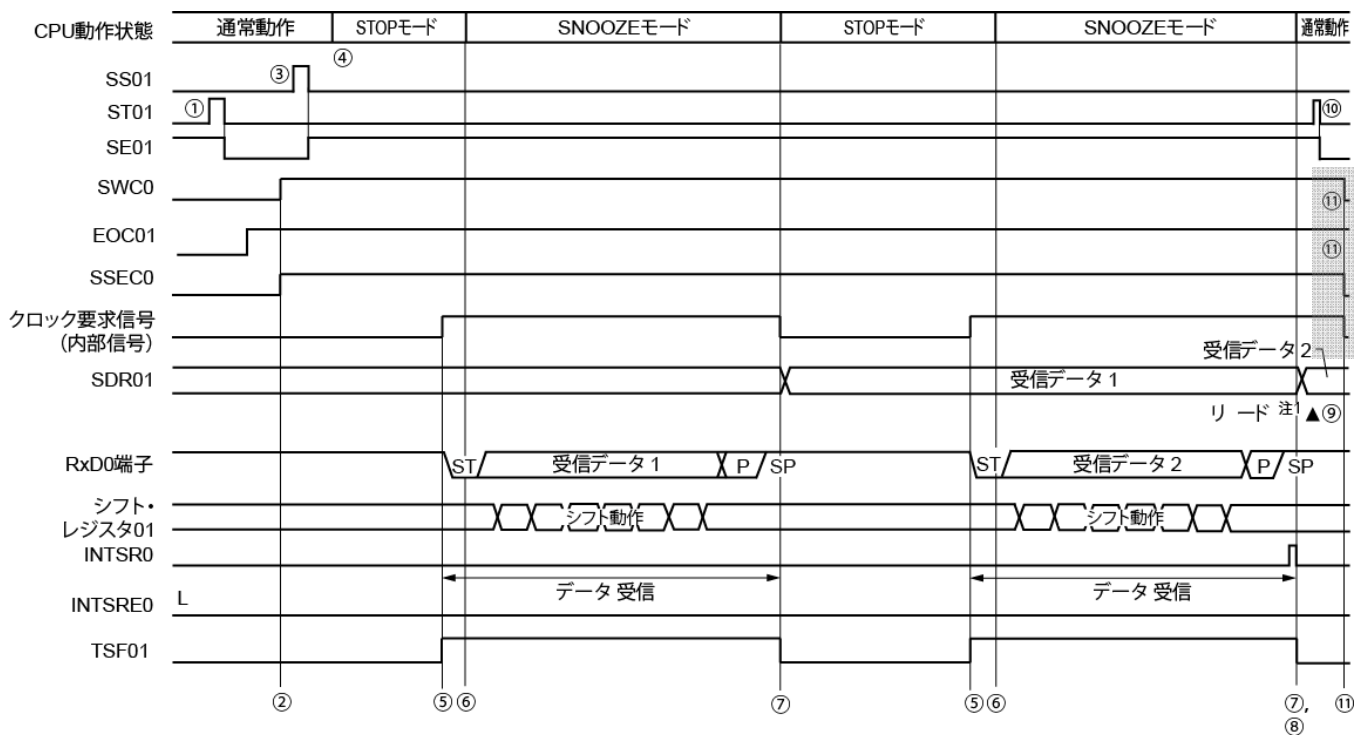
図 15-93 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート



(省略)

正)

図 15-93 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート



(省略)

9. 表20-1 割り込み要因一覧(2/3)

割り込み要因一覧にある注意事項を追加します。

旧)

- 注 1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。
0が最高順位、40が最低順位です。
2. 基本構成タイプの(A)-(D)は、それぞれ図 20-1 の(A)-(D)に対応しています。
3. INTCMP1, INTCMP3, INTCMP4, INTCMP5 は、STOP モード解除には使用できません。

新)

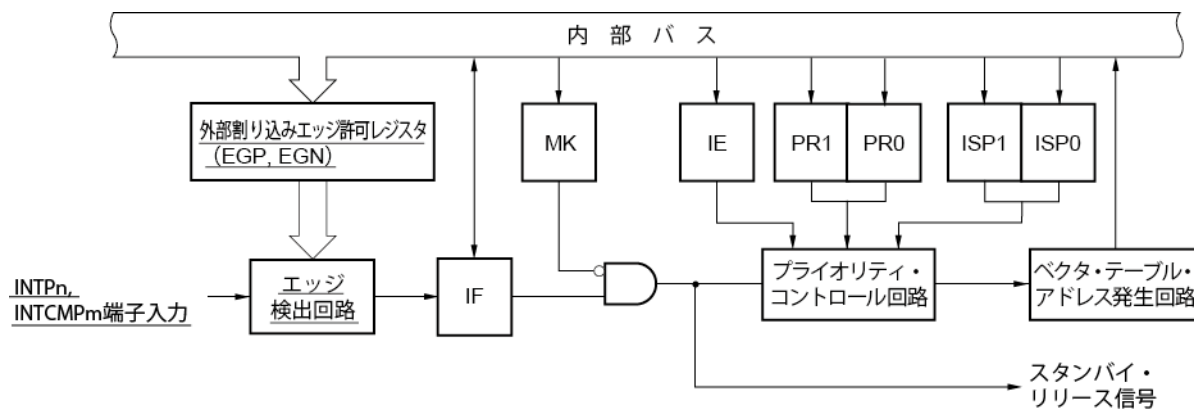
- 注 1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。
0が最高順位、40が最低順位です。
2. 基本構成タイプの(A)-(D)は、それぞれ図 20-1 の(A)-(D)に対応しています。
3. INTCMP1, INTCMP3, INTCMP4, INTCMP5 は、STOP モード解除には使用できません。
割り込み発生のタイミングについては、14.5 タイマ KB 連動機能使用時の注意事項を参照してください。

10. 図20-1 割り込み機能の基本構成

割り込み機能の基本構成図の誤記を訂正します。

誤)

(B) 外部マスクابل割り込み (INTP_n, INTCMP_m)

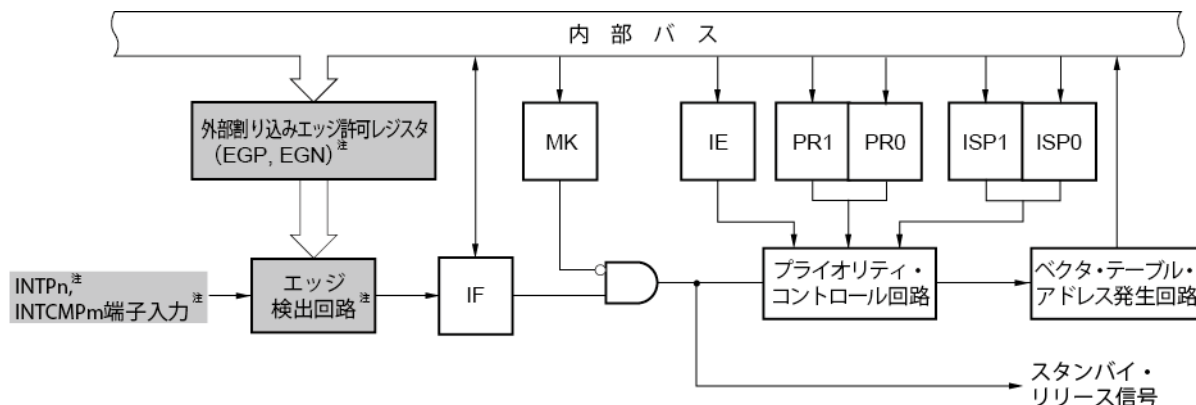


- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサースビス・プライオリティ・フラグ0
- ISP1 : インサースビス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

- 備考
- 20ピン : n = 0, 20, 21, 22, m = 0-3
 - 30ピン : n = 0, 4, 11, 20-23, m = 0-5
 - 38ピン : n = 0, 3, 4, 9-11, 20-23, m = 0-5

正)

(B) 外部マスクابل割り込み (INTPn^注, INTCMPm^注)



注 INTP20, INTP21, INTCMPm は、タイマ KB 連動機能(タイマ KB 強制出力停止機能, タイマ KB タイマ・リスタート機能)使用時の設定により、割り込み信号の経路、割り込み発生タイミング、エッジ許可レジスタが変わります。詳しくは、図 14-1 コンパレータのブロック図, 14.5 タイマ KB 連動機能使用時の注意事項を参照してください。

- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサービス・プライオリティ・フラグ0
- ISP1 : インサービス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

- 備考
- 20ピン : n = 0, 20, 21, 22, m = 0-3
 - 30ピン : n = 0, 4, 11, 20-23, m = 0-5
 - 38ピン : n = 0, 3, 4, 9-11, 20-23, m = 0-5

11. 表21-1 HALTモード時の動作状態(2/2)

HALTモード時のコンパレータの動作について説明を訂正します。

誤)

HALTモードの設定 項目		サブシステム・クロックでCPU動作中のHALT命令実行時	
		XT1クロック (f _{XT}) でCPU動作時	外部サブシステム・クロック (f _{EXS}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f _{IH}	動作禁止	
	f _X		
	f _{EX}		
サブシステム・クロック	f _{XT}	動作継続 (停止不可)	動作不可
	f _{EXS}	動作不可	動作継続 (停止不可)
f _{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU	動作停止		
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM			
ポート (ラッチ)	HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット	RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		
タイマKB0-KB2			
タイマKC0			
リアルタイム・クロック (RTC)	動作可能		
12ビット・インターバル・タイマ			
ウォッチドッグ・タイマ	第11章 ウォッチドッグ・タイマ参照		
A/Dコンバータ	動作禁止		
プログラマブル・ゲイン・アンプ	動作可能 (ただし, PGA出力信号の入力先であるA/Dコンバータが動作禁止のため, 使用不可)		
コンパレータ	動作可能 (低消費RTCモードでは (OSMCレジスタのRTCLPC = 1) は, コンパレータ割り込み検出によるSTOPモード解除設定 (PFSEL0レジスタのCMPnSTEN = 1) かつノイズ・フィルタ未使用時のみ動作可能 (n = 0, 2)) .		

(省略)

正)

HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時	
項目		XT1クロック (f _{XT}) でCPU動作時	外部サブシステム・クロック (f _{EXS}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f _{IH}	動作禁止	
	f _X		
	f _{EX}		
サブシステム・クロック	f _{XT}	動作継続 (停止不可)	動作不可
	f _{EXS}	動作不可	動作継続 (停止不可)
f _{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU	動作停止		
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM			
ポート (ラッチ)	HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット	RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		
タイマKB0-KB2			
タイマKC0			
リアルタイム・クロック (RTC)	動作可能		
12ビット・インターバル・タイマ			
ウォッチドッグ・タイマ	第11章 ウォッチドッグ・タイマ参照		
A/Dコンバータ	動作禁止		
プログラマブル・ゲイン・アンプ	動作可能 (ただし, PGA出力信号の入力先であるA/Dコンバータが動作禁止のため, 使用不可)		
コンパレータ	動作可能 (低消費RTCモード (OSMCレジスタのRTCLPC = 1) では, CMP0, CMP2のみコンパレータ割り込み検出によるSTOPモード解除設定 (PFSEL0レジスタのCMPnSTEN = 1) を行い, かつノイズ・フィルタ未使用とすることで動作可能 (n = 0, 2))		

(省略)

12. 表21-2 STOPモード時の動作状態

STOPモード時のコンパレータの動作について説明を訂正します。

誤)

項目	STOPモード の設定	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速オンチップ・オシレータ・ クロック (f _{IH}) でCPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロッ ク (f _{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システ ム・クロック	f _{IH}	停止		
	f _X			
	f _{EX}			
サブシステム・ クロック	f _{XT}	STOPモード設定前の状態を継続		
	f _{EXS}			
f _{IL}		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) およびサブシ ステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
コード・フラッシュ・メモリ				
データ・フラッシュ・メモリ				
RAM				
ポート (ラッチ)		STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット		動作禁止		
タイマKB0-KB2				
タイマKC0				
リアルタイム・クロック (RTC)		動作可能		
12ビット・インターバル・タイマ				
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照		
A/Dコンバータ		ウエイク・アップ動作可能 (SNOOZEモードへ移行)		
プログラマブル・ゲイン・アン プ		動作可能		
コンパレータ		動作可能 (STOPモード解除可能に設定したチャンネルのみ、かつデジタル・フィルタ未使用時)		

(省略)

正)

STOPモード の設定 項目	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
	高速オンチップ・オシレータ・ クロック (f _{IH}) でCPU動作時	X1クロック (f _x) でCPU動作時	外部メイン・システム・クロッ ク (f _{EX}) でCPU動作時
システム・クロック	CPUへのクロック供給は停止		
メイン・システ ム・クロック	f _{IH}	停止	
	f _x		
	f _{EX}		
サブシステム・ クロック	f _{XT}	STOPモード設定前の状態を継続	
	f _{EXS}		
f _{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) およびサブシス テム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU	動作停止		
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM			
ポート (ラッチ)	STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット	動作禁止		
タイマKB0-KB2			
タイマKC0			
リアルタイム・クロック (RTC)	動作可能		
12ビット・インターバル・タイマ			
ウォッチドッグ・タイマ	第11章 ウォッチドッグ・タイマ参照		
A/Dコンバータ	ウエイク・アップ動作可能 (SNOOZEモードへ移行)		
プログラマブル・ゲイン・アンプ	動作可能		
コンパレータ	CMP0, CMP2のみ コンパレータ割り込み検出によるSTOPモード解除設定 (PFSEL0レジスタの CMPnSTEN = 1) を行い, かつノイズ・フィルタ未使用とすることで動作可能 (n = 0, 2)		

(省略)

13. 表21-3 SNOOZEモード時の動作状態

SNOOZEモード時のコンパレータの動作について説明を訂正します。

誤)

項目	STOPモードの設定	STOPモード中にCSI00, UART0のデータ受信信号およびA/Dコンバータのタイマ・トリガ信号入力時 高速オンチップ・オシレータ・クロック (f _H) でCPU動作時
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f _H	動作開始
	f _X	停止
	f _{EX}	
サブシステム・クロック	f _{XT}	STOPモード中の状態を継続
	f _{EXS}	
	f _{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止
CPU		動作停止
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		
ポート (ラッチ)		STOPモード中の状態を継続
タイマ・アレイ・ユニット		動作禁止
タイマKB0-KB2		
タイマKC0		
リアルタイム・クロック (RTC)		動作可能
12ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照
A/Dコンバータ		動作可能
プログラマブル・ゲイン・アンプ		動作可能
コンパレータ		動作可能 (STOPモード解除可能に設定したチャンネルのみ、かつデジタル・フィルタ未使用時)

(省略)

正)

STOPモード の設定		STOPモード中にCSI00, UART0のデータ受信信号および A/Dコンバータのタイマ・トリガ信号入力時 高速オンチップ・オシレータ・クロック (f _{IH}) でCPU動作時
項目		
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f _{IH}	動作開始
	f _X	停止
	f _{EX}	
サブシステム・クロック	f _{XT}	STOPモード中の状態を継続
	f _{EXS}	
f _{IL}		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止
CPU		動作停止
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		
ポート (ラッチ)		STOPモード中の状態を継続
タイマ・アレイ・ユニット		動作禁止
タイマKB0-KB2		
タイマKC0		
リアルタイム・クロック (RTC)		動作可能
12ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照
A/Dコンバータ		動作可能
プログラマブル・ゲイン・アンプ		動作可能
コンパレータ		CMP0, CMP2のみ コンパレータ割り込み検出によるSTOPモード解除設定 (PFSEL0レジスタのCMPnSTEN = 1) を行い, かつノイズ・フィルタ未使用とすることで動作可能 (n = 0, 2)

(省略)

14. 32.7 データ・メモリSTOPモード低電源電圧データ保持特性

データ・メモリ STOP モード低電源電圧データ保持特性について、説明を追加します。

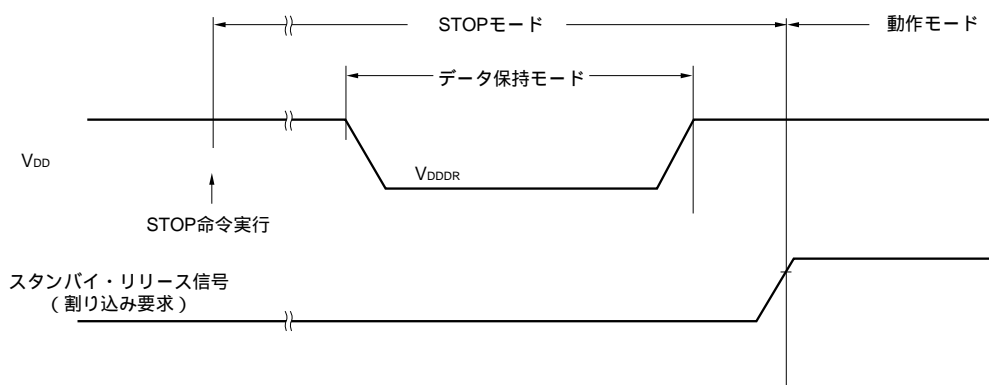
誤)

32.7 データ・メモリSTOPモード低電源電圧データ保持特性

($T_A = -40 \sim +105$, $V_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.44 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



新)

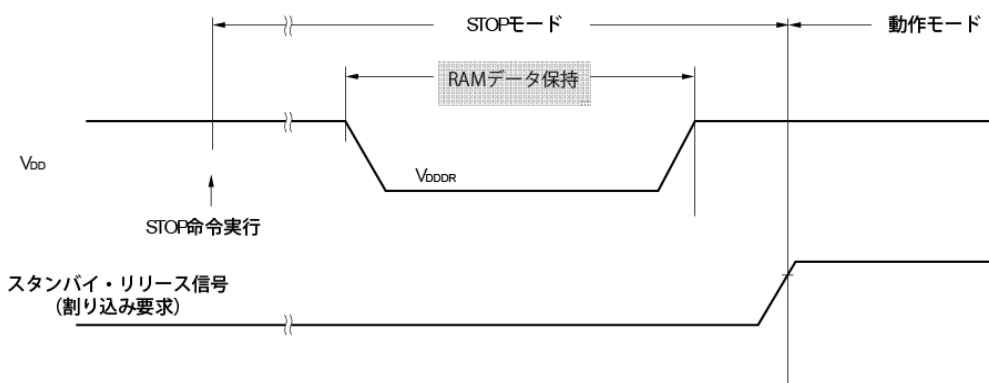
32.7 RAMデータ保持特性

($T_A = -40 \sim +105$, $V_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.44 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。

注意 動作電圧範囲外でCPU動作した場合、RAMのデータは保持されません。そのため動作電圧範囲を下回る前に、STOPモードに移行してください。



15. 33.7 データ・メモリSTOPモード低電源電圧データ保持特性

データ・メモリ STOP モード低電源電圧データ保持特性について、説明を追加します。

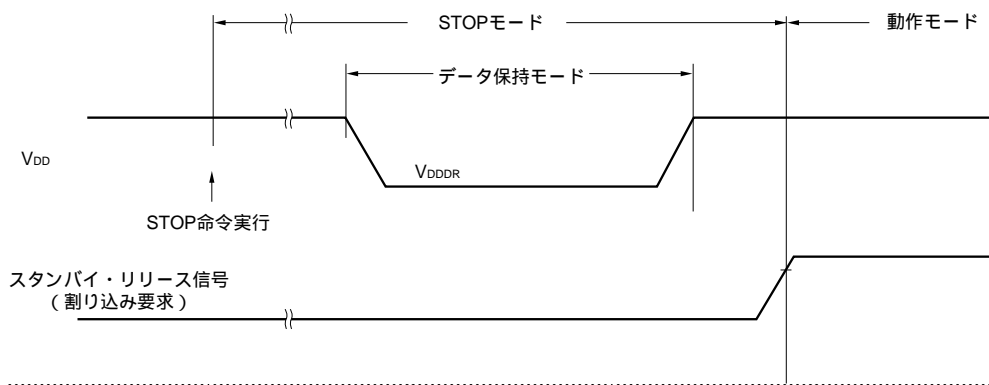
誤)

33.7 データ・メモリSTOPモード低電源電圧データ保持特性

($T_A = -40 \sim +125$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.47 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



新)

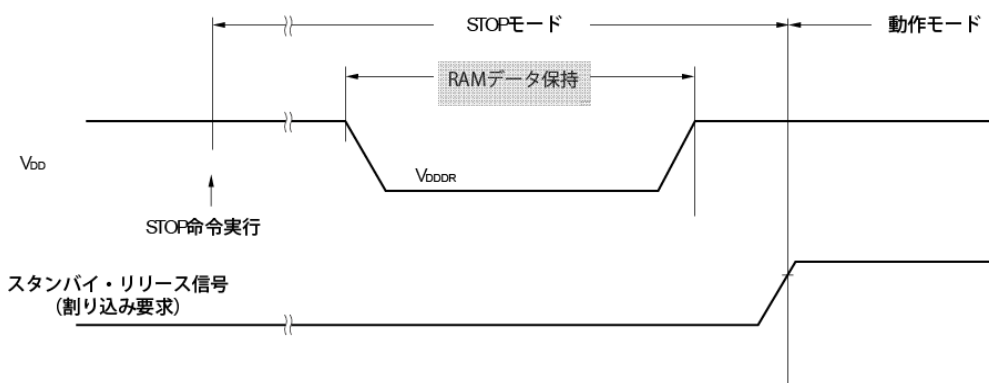
33.7 RAMデータ保持特性

($T_A = -40 \sim +105$, $V_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.47 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。

注意 動作電圧範囲外でCPU動作した場合、RAMのデータは保持されません。そのため動作電圧範囲を下回る前に、STOPモードに移行してください。

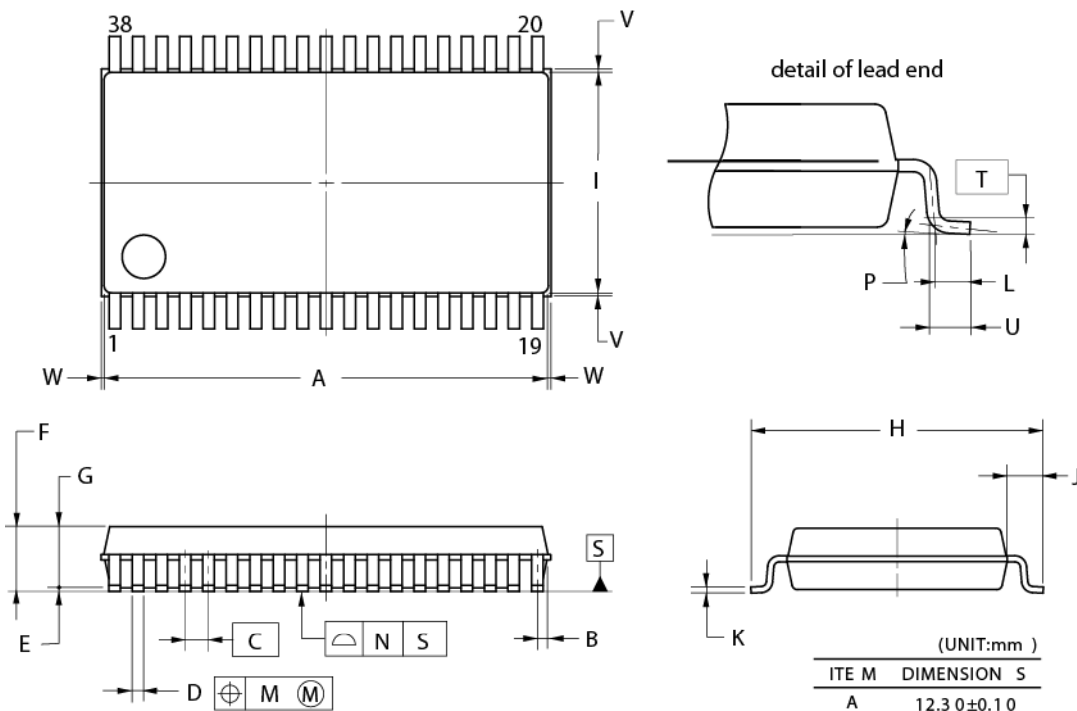


16. 34. 3 38ピン製品

パッケージコード、寸法の誤記を訂正します。

誤)

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
<u>P-SSOP38-6.1x12.3-0.65</u>	<u>PRSP0038JA-B</u>	<u>P38MC-65-GAA-2</u>	0.3



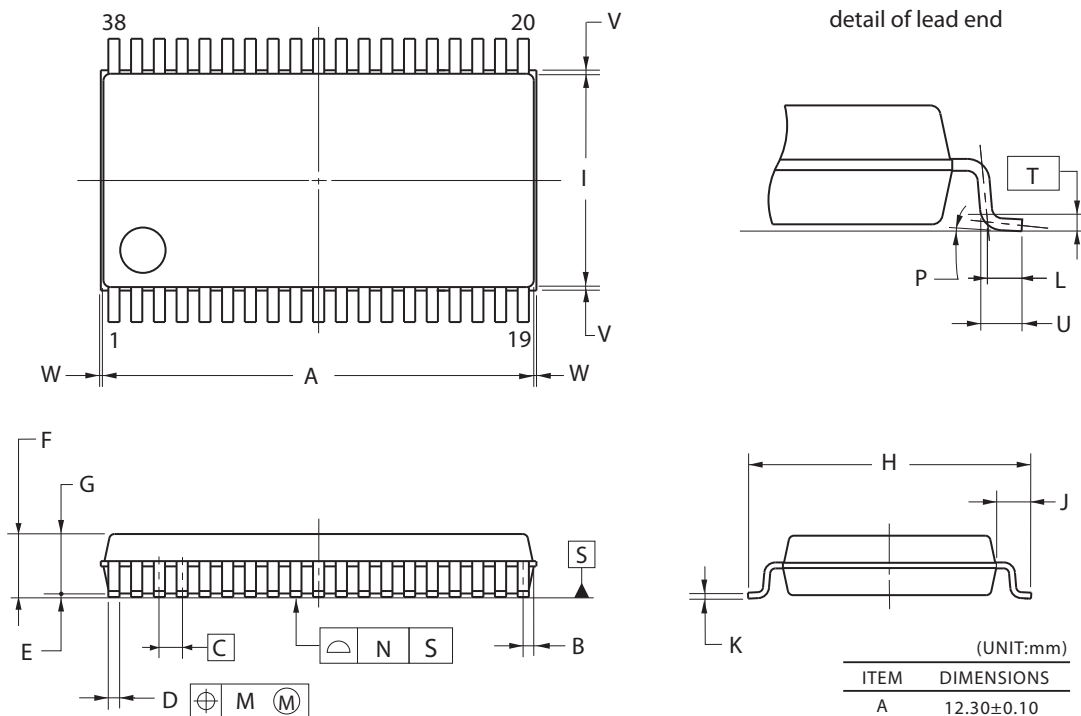
NOTE
Each lead centerline is located within 0.10 mm of its true position (T.P.) at maximum material condition .

(UNIT:mm)

ITEM	DIMENSION	S
A	12.3 0±0.10	
B	0.30	
C	0.65 (T.P.)	
D	0.30 ^{+0.10} / _{-0.05}	
E	0.12 5±0.07 5	
F	2.00 MAX .	
G	1.70±0.10	
H	8.10±0.20	
I	6.10±0.10	
J	1.00±0.20	
K	0.15 ^{+0.10} / _{-0.05}	
L	0.50	
M	0.10	
N	0.10	
P	3° ^{+5°} / _{-3°}	
T	0.25(T.P.)	
U	0.60±0.15	
V	0.25 MAX .	
W	0.15 MAX .	

正)

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP) [g]
P-SSOP38-0300-0.65	PRSP0038JA-A	P38MC-65-2A4-2	0.3



NOTE

Each lead centerline is located within 0.10 mm of its true position (T.P.) at maximum material condition.

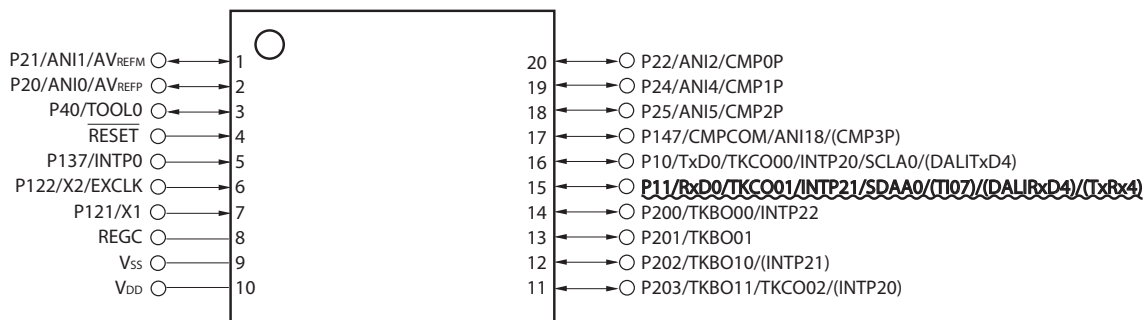
(UNIT:mm)

ITEM	DIMENSIONS
A	12.30±0.10
B	0.30
C	0.65 (T.P.)
D	0.32 ^{+0.08} / _{-0.07}
E	0.125±0.075
F	2.00 MAX.
G	1.70±0.10
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	0.17 ^{+0.08} / _{-0.07}
L	0.50
M	0.10
N	0.10
P	3° ^{+7°} / _{-3°}
T	0.25(T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

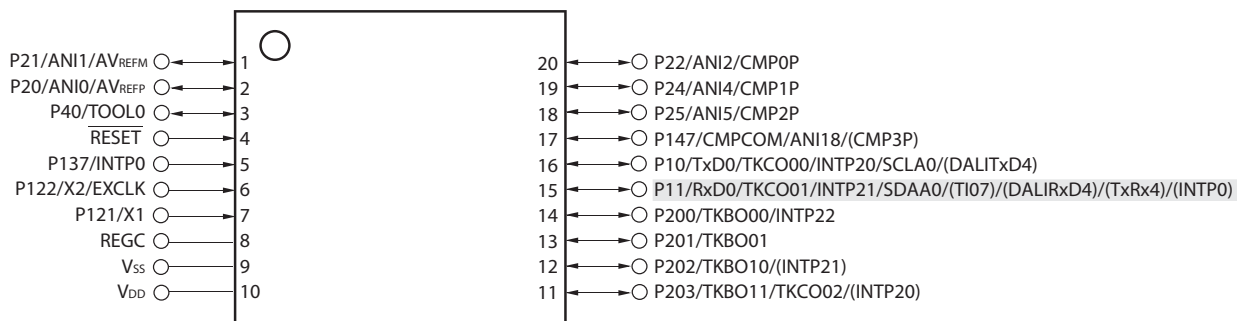
17. 1.3.1 20ピン製品

兼用端子の誤りについて訂正します。

誤)



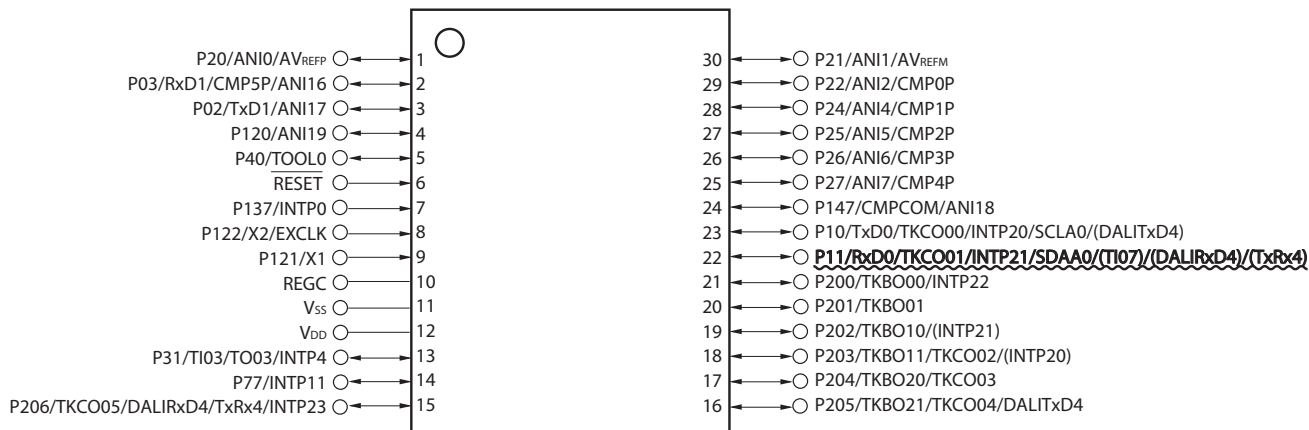
正)



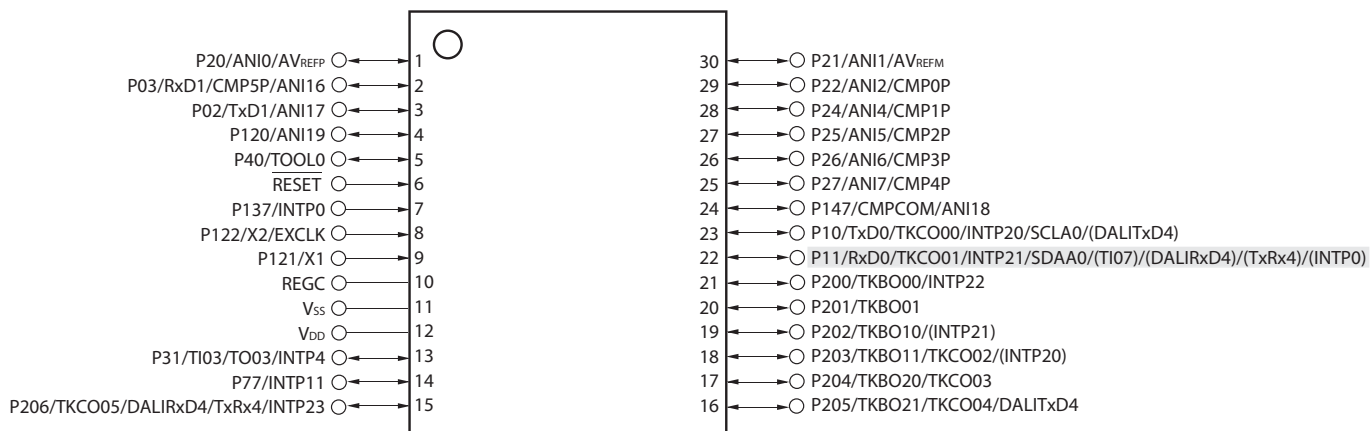
18. 1. 3. 2 30ピン製品

兼用端子の誤りについて訂正します。

誤)



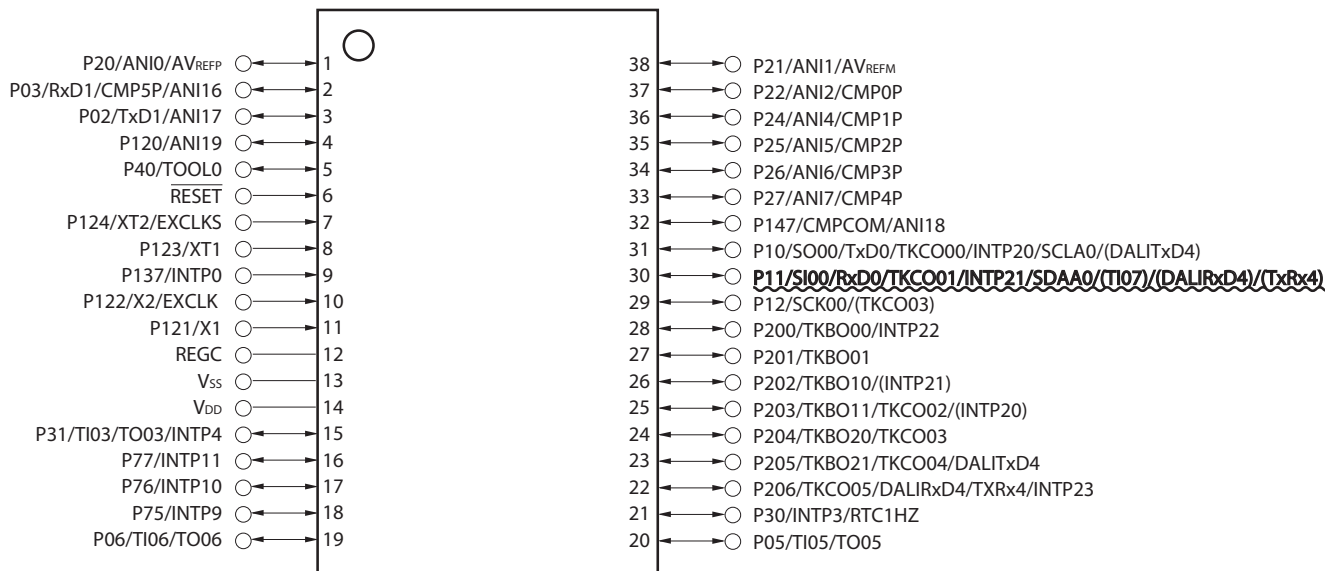
正)



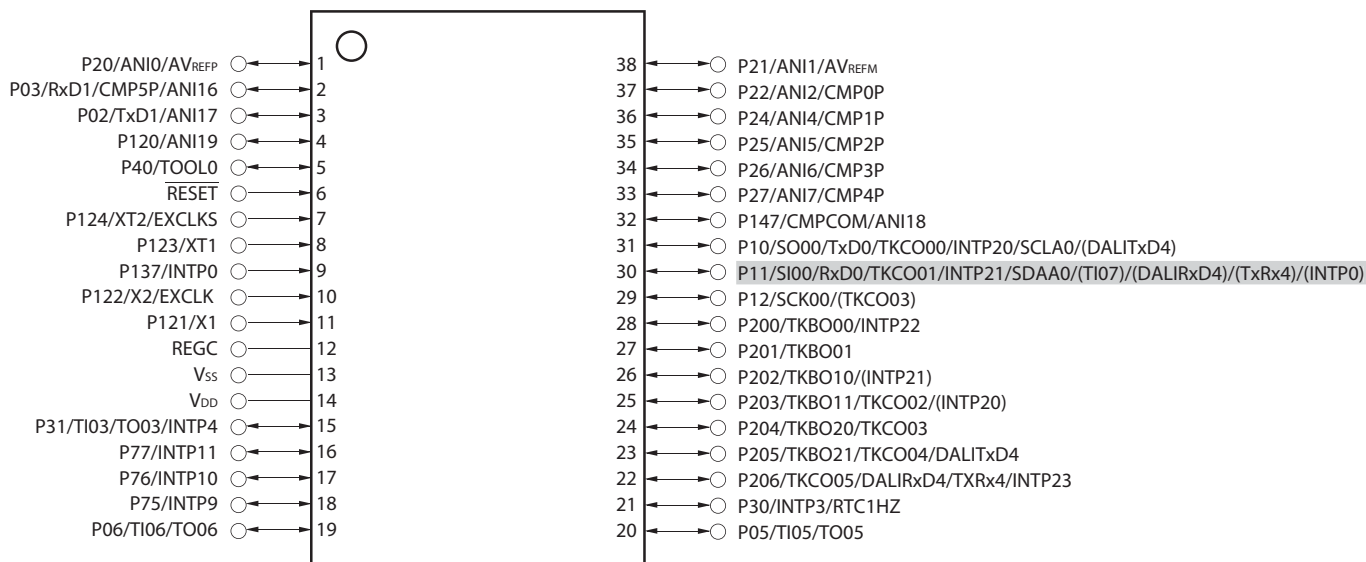
19. 1.3.3 38ピン製品

兼用端子の誤りについて訂正します。

誤)



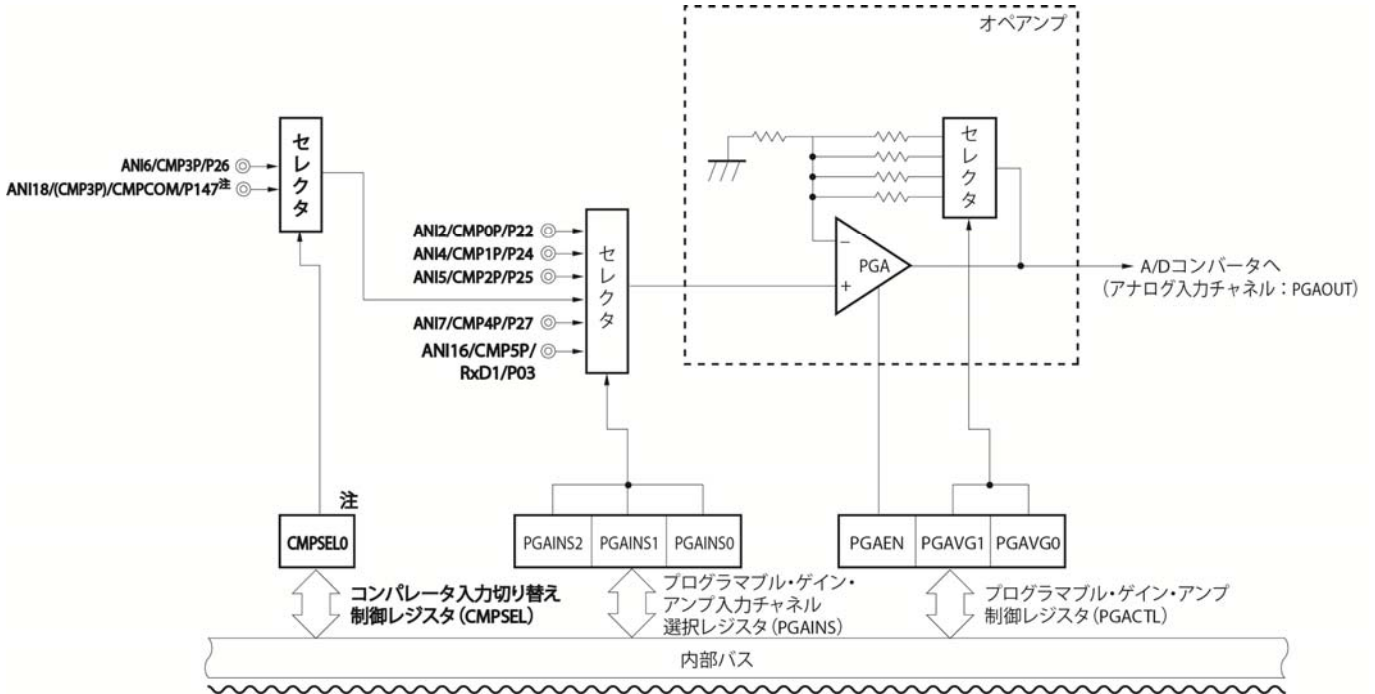
正)



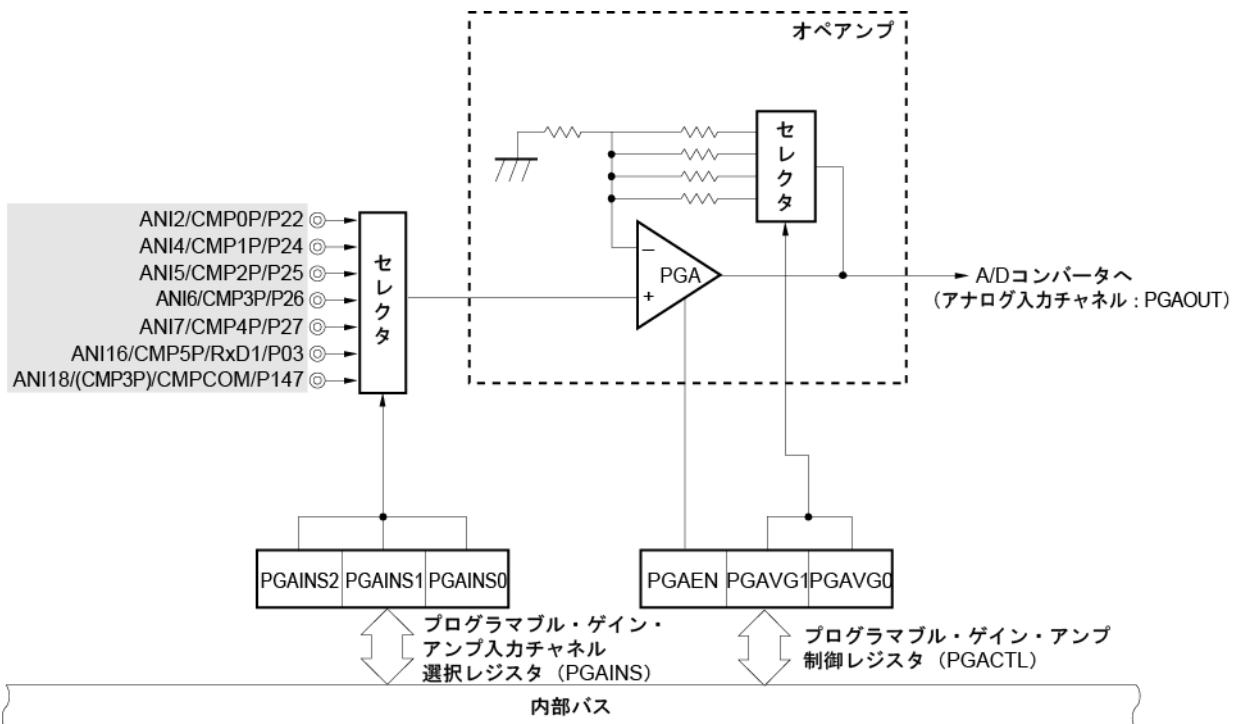
20. 図13-1 プログラマブル・ゲイン・アンプのブロック図

ブロック図の誤りを訂正します。

誤)



正)



21. 13. 3. 3 プログラマブル・ゲイン・アンプ入力チャンネル選択レジスタ(PGAINS)

プログラマブル・ゲイン・アンプ入力チャンネル選択レジスタ(PGAINS)の誤記を訂正します。

誤)

図13 - 4 プログラマブル・ゲイン・アンプ入力チャンネル選択レジスタ (PGAINS) のフォーマット

アドレス：F0551H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PGAINS	0	0	0	0	0	PGAINS2	PGAINS1	PGAINS0

PGAINS2	PGAINS1	PGAINS0	プログラマブル・ゲイン・アンプに入力するアナログ入力チャンネル
0	0	0	ANI2/CMP0P
0	0	1	ANI4/CMP1P
0	1	0	ANI5/CMP2P
0	1	1	ANI6/CMP3PまたはANI18/(CMP3P) ^注
1	0	0	ANI7/CMP4P
1	0	1	ANI16/CMP5P
上記以外			設定禁止

注 コンパレータ入力切り替え制御レジスタ (CMPSEL) で選択します (20ピン製品のみ)。

注意 PGAINSレジスタは、プログラマブル・ゲイン・アンプの動作停止中 (PGAEN = 0) に設定してください。

正)

図13 - 4 プログラマブル・ゲイン・アンプ入力チャンネル選択レジスタ (PGAINS) のフォーマット

アドレス：F0551H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PGAINS	0	0	0	0	0	PGAINS2	PGAINS1	PGAINS0

PGAINS2	PGAINS1	PGAINS0	プログラマブル・ゲイン・アンプに入力するアナログ入力チャンネル
0	0	0	ANI2/CMP0P
0	0	1	ANI4/CMP1P
0	1	0	ANI5/CMP2P
0	1	1	ANI6/CMP3P
1	0	0	ANI7/CMP4P
1	0	1	ANI16/CMP5P
1	1	0	ANI18/CMPCOM/(CMP3P) ^注
上記以外			設定禁止

注 コンパレータ入力切り替え制御レジスタ (CMPSEL) で選択します (20ピン製品のみ)。

注意 PGAINSレジスタは、プログラマブル・ゲイン・アンプの動作停止中 (PGAEN = 0) に設定してください。