

Renesas RA4M1 グループ

ユーザーズマニュアル ハードウェア編

32

32-bit MCU

Renesas Advanced (RA) Family

Renesas RA4 Series

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、変更、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、変更、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

はじめに

1. このマニュアルについて

このマニュアルは主に、製品の概要、CPU、システム制御機能、周辺機能、電気的特性の仕様および使用上の注意事項で構成されています。このマニュアルはマイクロコントローラ（MCU）のスーパーセットの製品特性を記述します。お客様の製品によっていくつかの端子、レジスタまたは機能が存在しないものがある場合があります。使用できないレジスタが割り当てられているアドレス空間は予約されています。

2. 対象読者

このマニュアルは、本 MCU を使用したプログラミングアプリケーションを設計およびプログラミングするシステム設計者を対象としています。読者には、電気回路、論理回路および MCU に関する基本的な知識が求められます。

3. 関連ドキュメント

弊社では、本 MCU 用に下記のドキュメントを提供しています。

ドキュメントの種類	内容
データシート	特長、概要およびMCUの電気的特性
ユーザーズマニュアル ハードウェア編	ピン配置、メモリマップ、周辺機能、電気特性、タイミング図、および動作記述などのMCU仕様
アプリケーションノート	テクニカルノート、ボードデザインのガイドラインおよびソフトウェア移行情報
テクニカルアップデート (TU)	制限や正誤表などの製品仕様に関する予備レポート

4. 数値の表記法

数値には、このマニュアル全体を通じて下記の表記法が用いられています。

例	内容
011b	2進数。たとえば、数値3を2進数で表記すると011bになります。
1Fh	16進数。たとえば、数値31を16進数で表記すると1Fhになります。場合によっては、C/C++フォーマットに基づいて、プレフィックス0xが付いた16進数が示されます。
1234	10進数。一般的に10進数には後付き記号を付けません。

5. シンボルの表記法

シンボルには、このマニュアル全体を通じて下記の表記法が用いられています。

例	内容
ICU.NMICR.NMIMD	機能モジュールのシンボル (ICU)、レジスタのシンボル (NMICR)、およびビットフィールドのシンボル (NMIMD) は、ピリオドで区切られます。
ICU.NMICR	機能モジュールのシンボル (ICU) とレジスタのシンボル (NMICR) は、ピリオドで区切られます。
NMICR.NMIMD	レジスタのシンボル (NMICR) とビットフィールドのシンボル (NMIMD) は、ピリオドで区切られます。
NFCLKSEL[1:0]	レジスタビット名において、角括弧内に記されたビット範囲は、その位置におけるフィールドのビット番号を示します。たとえば、NFCLKSEL[1:0]はNMI端子割り込みコントロールレジスタ (NMICR)の指定位置の2ビットフィールドを表します。

6. 単位記号

下記の単位記号は誤解を招くことがあります。これらの単位記号は、このマニュアル全体を通して下記の意味で用いられます。

例	内容
b	Bit
B	Byte この単位記号は、一般にMCUおよびアドレススペースのメモリ指定に使用されます。
k	$1000 = 10^3$ kは1024 (2^{10}) を表すのにも使用されますが、この単位記号はこのマニュアル全体を通して1000 (10^3) 表すために使用されます。
K	$1024 = 2^{10}$ この単位記号は、このマニュアル全体を通して1000 (10^3) ではなく1024 (2^{10}) を表すために使用されます。

7. 特殊用語

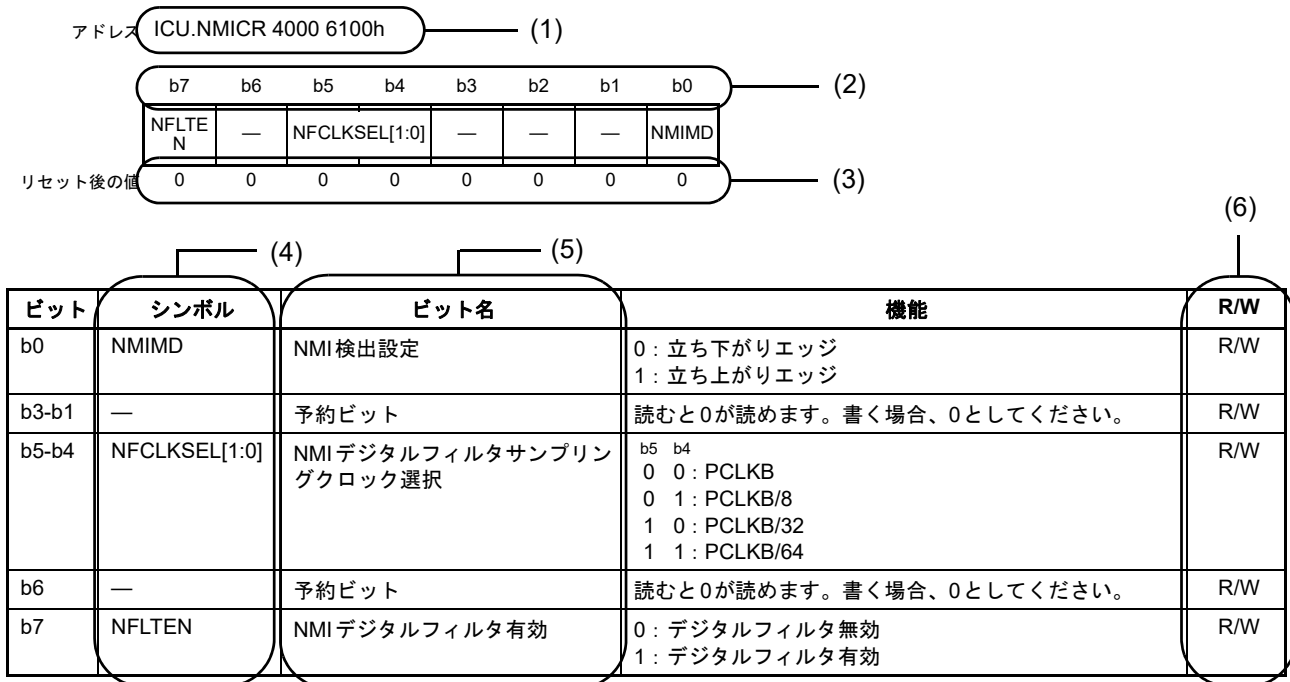
下記の用語には特殊な意味があります。

用語	内容
NC	非接続の端子。NCは、端子がMCUに接続されていないことを意味します。
Hi-Z	ハイインピーダンス

8. レジスタの説明

各章の「レジスタの説明」には、ビットの並びを示すレジスタ配置図と、各ビットの内容を説明するレジスタのビット機能表があります。これらの表で使用されている記号例については、以降の項で説明します。以下は、レジスタの説明および関連するビットフィールド定義の例です。

X.X.X NMI 端子割り込みコントロールレジスタ (NMICR)



(1) 機能モジュールのシンボル、レジスタのシンボル、およびアドレス割り当て

この部分には、通常、機能モジュールのシンボル、レジスタのシンボル、およびこのレジスタのアドレス割り当てが記載されます。たとえば、ICU.NMICR 4000 6100h は、割り込みコントローラユニット (ICU) の NMI 端子割り込みコントロールレジスタ (NMICR) がアドレス 4000 6100h に割り当てられることを表します。

(2) ビット番号

この番号はビット番号を表します。32 ビットレジスタの場合は b31 ~ b0 の順に、16 ビットレジスタの場合は b15 ~ b0 の順に、8 ビットレジスタの場合は b7 ~ b0 の順に示されます。

(3) リセット後の値

これらのシンボルや数字は、ハードリセット後の各ビット値を示しています。特に記載のない限り、値は 2 進数で示されます。

- 0: ハードリセット後、値は 0
- 1: ハードリセット後、値は 1
- x: ハードリセット後、値は不定

(4) ビットシンボル

ビットシンボルは、ビットフィールドの略名です。予約ビットの場合は、— と表記されます。

(5) ビット名

ビット名は、ビットフィールドの正式名です。

(6) R/W

R/W 列は、そのビットフィールドが読み出し可能であるか書き込み可能であることを示します。

R/W: 読み出しも書き込みも可能

R(W): 読み出しも書き込みも可能。しかし、本ビットフィールドに書き込むにはいくつかの制限があります。制限の詳細については、それぞれのレジスタの説明または注釈を参照してください。

R: 読み出しのみ可能。書き込みは無効

W: 書き込みのみ可能。読み出し値は不定

9. 略称

このマニュアルで使用する略称が下表に示されています。

略称	内容
AES	Advanced Encryption Standard (高度暗号化標準)
AHB	Advanced High-performance Bus (アドバンストハイパフォーマンスバス)
AHB-AP	AHB Access Port (AHBアクセスポート)
APB	Advanced Peripheral Bus (アドバンスト周辺バス)
ARC	Alleged RC (Alleged RC暗号)
ATB	Advanced Trace Bus (アドバンストトレースバス)
BCD	Binary Coded Decimal (2進化10進数)
BSDL	Boundary Scan Description Language (パウンダリスキャン記述言語)
DES	Data Encryption Standard (データ暗号化標準)
DSA	Digital Signature Algorithm (デジタル署名アルゴリズム)
ECC	Error Correction Code (誤り訂正コード)
ETB	Embedded Trace Buffer (エンベデッドトレースバッファ)
ETM	Embedded Trace Macrocell (エンベデッドトレースマクロセル)
FLL	Frequency Locked Loop (周波数安定化ループ回路)
FPU	Floating Point Unit (浮動小数点ユニット)
GSM	Global System for Mobile communications (第2世代移動通信システム (2G) 規格)
HMI	Human Machine Interface (ヒューマンマシンインタフェース)
IrDA	Infrared Data Association (赤外線通信協会/規格)
LSB	Least Significant Bit (最下位ビット)
MSB	Most Significant Bit (最上位ビット)
NVIC	Nested Vector Interrupt Controller (ネスト型ベクタ割り込みコントローラ)
PC	Program Counter (プログラムカウンタ)
PFS	Port Function Select (ポート機能選択)
PLL	Phase Locked Loop (位相同期回路)
POR	Power-on Reset (パワーオンリセット)
PWM	Pulse Width Modulation (パルス幅変調)
RSA	Rivest Shamir Adleman (Rivest/Shamir/Adlemanによる公開鍵暗号方式)
SHA	Secure Hash Algorithm (セキュアハッシュアルゴリズム)
S/H	Sample and Hold (サンプルアンドホールド)
SP	Stack Pointer (スタックポインタ)
SWD	Serial Wire Debug (シリアルワイヤデバッグ)
SW-DP	Serial Wire-Debug Port (シリアルワイヤデバッグポート)
TRNG	True Random Number Generator (真性乱数発生器)
UART	Universal Asynchronous Receiver/Transmitter (調歩同期式シリアルインタフェース)

10. 所有権通知

このマニュアルに含まれるすべてのテキスト、画像、写真、商標、ロゴ、挿絵、コンピュータコード（総称して「コンテンツ」）は、ルネサスが所有、管理、またはライセンス保持するものであり、トレードドレス法、著作権法、特許法、商標法、その他の知的所有権法、不当競争法で保護されています。このマニュアルに明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、このマニュアルの一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

Arm® および Cortex® は、Arm Limited の登録商標です。CoreSight™ は Arm Limited の商標です。

CoreMark® は、Embedded Microprocessor Benchmark Consortium の登録商標です。

Magic Packet™ は、Advanced Micro Devices、Inc. の商標です。

SuperFlash® は、Silicon Storage Technology、Inc. の日本と米国を含むいくつかの国での登録商標です。

このマニュアルに記載されているその他のブランド名は、それぞれの所有者の商標または登録商標です。

目次

特長	49
1. 概要	50
1.1 機能の概要	50
1.2 ブロック図	56
1.3 型名	57
1.4 機能の比較	59
1.5 端子機能	60
1.6 ピン配置図	63
1.7 端子一覧	70
2. CPU	74
2.1 概要	74
2.1.1 CPU	74
2.1.2 デバッグ	74
2.1.3 動作周波数	75
2.2 MCU の実装オプション	76
2.3 トレースインタフェース	77
2.4 JTAG/SWD インタフェース	77
2.5 デバッグモード	77
2.5.1 デバッグモード定義	77
2.5.2 デバッグモードの影響	78
2.5.2.1 低消費電力モード	78
2.5.2.2 リセット	78
2.6 プログラムモデル	79
2.6.1 アドレス空間	79
2.6.2 Cortex-M4 ペリフェラルアドレスマップ	79
2.6.3 CoreSight ROM テーブル	80
2.6.3.1 ROM エントリ	80
2.6.3.2 CoreSight コンポーネントレジスタ	80
2.6.4 DBGREG モジュール	81
2.6.4.1 デバッグステータスレジスタ (DBGSTR)	81
2.6.4.2 デバッグストップコントロールレジスタ (DBGSTOPCR)	82
2.6.4.3 トレースコントロールレジスタ (TRACECTR)	83
2.6.4.4 DBGREG CoreSight コンポーネントレジスタ	83
2.6.5 OCDREG モジュール	84
2.6.5.1 ID 認証コードレジスタ (IAUTH0 ~ 3)	84
2.6.5.2 MCU ステータスレジスタ (MCUSTAT)	85
2.6.5.3 MCU コントロールレジスタ (MCUCTRL)	86
2.6.5.4 OCDREG CoreSight コンポーネントレジスタ	86
2.7 CoreSight ATB ファネル	87

2.8	フラッシュパッチ & ブレークユニット	87
2.9	SysTick システムタイマ	87
2.10	CoreSight タイムスタンプジェネレータ	87
2.11	OCD エミュレータ接続	88
2.11.1	DBGEN	88
2.11.2	アンロック ID コード	88
2.11.3	OCD エミュレータ接続における制限	89
2.11.3.1	低消費電力モード中の接続開始	89
2.11.3.2	OCD モードにおける低消費電力モードの切り替え	89
2.11.3.3	OSIS におけるアンロック ID コードの変更	89
2.11.3.4	接続順序と JTAG/SWD 認証	89
2.12	参考資料	91
3.	動作モード	92
3.1	概要	92
3.2	動作モードの説明	92
3.2.1	シングルチップモード	92
3.2.2	SCI ブートモード	92
3.2.3	USB ブートモード	92
3.3	動作モード遷移	93
3.3.1	モード設定端子による動作モード遷移	93
4.	アドレス空間	94
4.1	概要	94
5.	リセット	95
5.1	概要	95
5.2	レジスタの説明	99
5.2.1	リセットステータスレジスタ 0 (RSTSR0)	99
5.2.2	リセットステータスレジスタ 1 (RSTSR1)	101
5.2.3	リセットステータスレジスタ 2 (RSTSR2)	103
5.3	動作説明	104
5.3.1	RES 端子リセット	104
5.3.2	パワーオンリセット	105
5.3.3	電圧監視リセット	106
5.3.4	独立ウォッチドッグタイマリセット	107
5.3.5	ウォッチドッグタイマリセット	108
5.3.6	ソフトウェアリセット	108
5.3.7	コールドスタート/ウォームスタート判定機能	108
5.3.8	リセット発生要因の判定	109
6.	オプション設定メモリ	110
6.1	概要	110
6.2	レジスタの説明	111
6.2.1	オプション機能選択レジスタ 0 (OFS0)	111

6.2.2	オプション機能選択レジスタ 1 (OFS1)	115
6.2.3	MPU レジスタ	116
6.2.4	アクセスウィンドウ設定コントロールレジスタ (AWSC)	118
6.2.5	アクセスウィンドウ設定レジスタ (AWS)	119
6.2.6	OCD / シリアルプログラマ ID 設定レジスタ (OSIS)	121
6.3	オプション設定メモリの設定方法	122
6.3.1	オプション設定メモリへのデータの配置方法	122
6.3.2	オプション設定メモリにプログラムするデータの設定方法	122
6.4	使用上の注意事項	122
6.4.1	オプション設定メモリの予約領域および予約ビットにプログラムするデータ	122
7.	低電圧検出 (LVD)	123
7.1	概要	123
7.2	レジスタの説明	126
7.2.1	電圧モニタ 1 回路コントロールレジスタ 1 (LVD1CR1)	126
7.2.2	電圧モニタ 1 回路ステータスレジスタ (LVD1SR)	127
7.2.3	電圧モニタ 2 回路コントロールレジスタ 1 (LVD2CR1)	128
7.2.4	電圧モニタ 2 回路ステータスレジスタ (LVD2SR)	129
7.2.5	電圧モニタ回路コントロールレジスタ (LVCMPCR)	130
7.2.6	電圧検出レベル選択レジスタ (LVDLVLR)	131
7.2.7	電圧モニタ 1 回路コントロールレジスタ 0 (LVD1CR0)	132
7.2.8	電圧モニタ 2 回路コントロールレジスタ 0 (LVD2CR0)	133
7.3	VCC 入力電圧のモニタ	134
7.3.1	V_{det0} のモニタ	134
7.3.2	V_{det1} のモニタ	134
7.3.3	V_{det2} のモニタ	134
7.4	電圧監視 0 リセット	135
7.5	電圧監視 1 割り込み、電圧監視 1 リセット	136
7.6	電圧監視 2 割り込み、電圧監視 2 リセット	138
7.7	イベントリンク出力機能	140
7.7.1	割り込み処理とイベントリンクの関係	140
8.	クロック発生回路	141
8.1	概要	141
8.2	レジスタの説明	146
8.2.1	システムクロック分周コントロールレジスタ (SCKDIVCR)	146
8.2.2	システムクロックソースコントロールレジスタ (SCKSCR)	148
8.2.3	PLL クロックコントロールレジスタ 2 (PLLCCR2)	149
8.2.4	PLL コントロールレジスタ (PLLCCR)	150
8.2.5	メモリウェイトサイクルコントロールレジスタ (MEMWAIT)	151
8.2.6	メインクロック発振器コントロールレジスタ (MOSCCR)	154
8.2.7	サブクロック発振器コントロールレジスタ (SOSCCR)	155
8.2.8	低速オンチップオシレータコントロールレジスタ (LOCOCR)	156

8.2.9	高速オンチップオシレータコントロールレジスタ (HOCOOCR)	157
8.2.10	高速オンチップオシレータコントロールレジスタ 2 (HOCOOCR2)	158
8.2.11	中速オンチップオシレータコントロールレジスタ (MOCOOCR)	159
8.2.12	発振安定フラグレジスタ (OSCSF)	160
8.2.13	発振停止検出コントロールレジスタ (OSTDCR)	162
8.2.14	発振停止検出ステータスレジスタ (OSTDSR)	163
8.2.15	メインロック発振器ウェイトコントロールレジスタ (MOSCWTCR)	164
8.2.16	高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)	165
8.2.17	メインロック発振器モードコントロールレジスタ (MOMCR)	166
8.2.18	サブロック発振器モードコントロールレジスタ (SOMCR)	166
8.2.19	セグメント LCD ソースクロックコントロールレジスタ (SLCDSCCKR)	167
8.2.20	クロックアウトコントロールレジスタ (CKOCR)	168
8.2.21	LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR)	169
8.2.22	MOCO ユーザトリミングコントロールレジスタ (MOCOUTCR)	170
8.2.23	HOCO ユーザトリミングコントロールレジスタ (HOCOUTCR)	171
8.2.24	トレースクロックコントロールレジスタ (TRCKCR)	171
8.2.25	USB クロックコントロールレジスタ (USBCKCR)	172
8.3	メインロック発振器	173
8.3.1	水晶振動子を接続する方法	173
8.3.2	外部クロックを入力する方法	173
8.3.3	外部クロック入力に関する注意事項	173
8.4	サブロック発振器	174
8.4.1	32.768kHz 水晶振動子を接続する方法	174
8.5	発振停止検出機能	175
8.5.1	発振停止検出と検出後の動作	175
8.5.2	発振停止検出割り込み	177
8.6	PLL 回路	177
8.7	内部クロック	178
8.7.1	システムクロック (ICLK)	179
8.7.2	周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD)	180
8.7.3	フラッシュインタフェースクロック (FCLK)	180
8.7.4	USB クロック (UCLK)	181
8.7.5	CAN クロック (CANMCLK)	181
8.7.6	CAC クロック (CACCLK)	181
8.7.7	RTC 専用クロック (RTCSCLK、RTCLCLK)	181
8.7.8	IWDT 専用クロック (IWDTCLK)	181
8.7.9	AGT 専用クロック (AGTSCLK、AGTLCLK)	182
8.7.10	SysTick タイマ専用クロック (SYSTICCLK)	182
8.7.11	セグメント LCDC ソースクロック (LCDSRCCLK)	182
8.7.12	クロック/ブザー出力クロック (CLKOUT)	182
8.7.13	JTAG クロック (JTAGTCK)	182

8.8	使用上の注意事項	183
8.8.1	クロック発生回路に関する注意事項	183
8.8.2	発振子に関する注意事項	183
8.8.3	ボード設計に関する注意事項	183
8.8.4	発振子接続端子に関する注意事項	183
9.	クロック周波数精度測定回路 (CAC)	184
9.1	概要	184
9.2	レジスタの説明	186
9.2.1	CAC コントロールレジスタ 0 (CACR0)	186
9.2.2	CAC コントロールレジスタ 1 (CACR1)	187
9.2.3	CAC コントロールレジスタ 2 (CACR2)	188
9.2.4	CAC 割り込みコントロールレジスタ (CAICR)	189
9.2.5	CAC ステータスレジスタ (CASTR)	190
9.2.6	CAC 上限値設定レジスタ (CAULVR)	191
9.2.7	CAC 下限値設定レジスタ (CALLVR)	191
9.2.8	CAC カウンタバッファレジスタ (CACNTBR)	191
9.3	動作説明	192
9.3.1	クロック周波数測定	192
9.3.2	CACREF 端子のデジタルフィルタ機能	193
9.4	割り込み要求	193
9.5	使用上の注意事項	193
9.5.1	モジュールストップ機能の設定	193
10.	低消費電力モード	194
10.1	概要	194
10.2	レジスタの説明	199
10.2.1	スタンバイコントロールレジスタ (SBYCR)	199
10.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	200
10.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	201
10.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	202
10.2.5	モジュールストップコントロールレジスタ D (MSTPCRD)	203
10.2.6	動作電力コントロールレジスタ (OPCCR)	204
10.2.7	サブ動作電力コントロールレジスタ (SOPCCR)	205
10.2.8	スヌーズコントロールレジスタ (SNZCR)	206
10.2.9	スヌーズ終了コントロールレジスタ (SNZEDCR)	207
10.2.10	スヌーズ要求コントロールレジスタ (SNZREQCR)	209
10.2.11	フラッシュ動作コントロールレジスタ (FLSTOP)	211
10.2.12	システムコントロール OCD コントロールレジスタ (SYOCDCR)	212
10.3	クロックの切り替えによる消費電力の低減	213
10.4	モジュールストップ機能	213
10.5	低消費電力機能	213
10.5.1	動作電力制御モードの設定方法	213

10.5.2	動作範囲	216
10.6	スリープモード	219
10.6.1	スリープモードへの遷移	219
10.6.2	スリープモードの解除	219
10.7	ソフトウェアスタンバイモード	221
10.7.1	ソフトウェアスタンバイモードへの遷移	221
10.7.2	ソフトウェアスタンバイモードの解除	222
10.7.3	ソフトウェアスタンバイモードの応用例	223
10.8	スヌーズモード	224
10.8.1	スヌーズモードへの遷移	224
10.8.2	スヌーズモードの解除	225
10.8.3	ソフトウェアスタンバイモードへの復帰	226
10.8.4	スヌーズモードの動作例	228
10.9	使用上の注意事項	231
10.9.1	レジスタアクセス	231
10.9.2	I/O ポートの状態	233
10.9.3	DMAC と DTC のモジュールストップ状態	233
10.9.4	内部割り込み要因	233
10.9.5	低消費電力モードへの遷移	233
10.9.6	WFI 命令のタイミング	233
10.9.7	スリープモード/スヌーズモード時の DMAC または DTC による WDT/IWDT レジスタの書き込みについて	233
10.9.8	スヌーズモードにおける発振器について	234
10.9.9	RXD0 の立ち下がりエッジによるスヌーズモードエントリ	234
10.9.10	スヌーズモードにおける SCI0 の使用	234
10.9.11	スヌーズモードにおける A/D 変換開始条件	234
10.9.12	スヌーズモードにおける CTSU の条件	234
10.9.13	スヌーズモードにおける ELC イベント	235
10.9.14	未使用回路に対するモジュールストップ機能	235
11.	バッテリーバックアップ機能	236
11.1	概要	236
11.1.1	バッテリーバックアップ機能	236
11.1.2	バッテリー電源スイッチ	236
11.1.3	VBATT 端子低電圧検出	236
11.1.4	VBATT_R 低電圧検出	237
11.1.5	バックアップレジスタ	237
11.1.6	VBATT ウェイクアップコントロール機能	237
11.1.7	時間キャプチャ端子検出	237
11.2	レジスタの説明	239
11.2.1	VBATT コントロールレジスタ 1 (VBTCR1)	239
11.2.2	VBATT コントロールレジスタ 2 (VBTCR2)	240

11.2.3	VBATT ステータスレジスタ (VBTSR)	241
11.2.4	VBATT コンパレータコントロールレジスタ (VBTCMPCR)	242
11.2.5	VBATT 端子低電圧検出割り込みコントロールレジスタ (VBTLVDICR)	242
11.2.6	VBATT バックアップレジスタ (VBTBKRn) (n = 0 ~ 511)	243
11.2.7	VBATT ウェイクアップコントロールレジスタ (VBTWCTLR)	243
11.2.8	VBATT ウェイクアップ I/O 0 出力トリガ選択レジスタ (VBTWCH0OTSR)	244
11.2.9	VBATT ウェイクアップ I/O 1 出力トリガ選択レジスタ (VBTWCH1OTSR)	245
11.2.10	VBATT ウェイクアップ I/O 2 出力トリガ選択レジスタ (VBTWCH2OTSR)	246
11.2.11	VBATT 入力コントロールレジスタ (VBTICTLR)	247
11.2.12	VBATT 出力コントロールレジスタ (VBTOCTLR)	248
11.2.13	VBATT ウェイクアップトリガ要因イネーブルレジスタ (VBTWTER)	249
11.2.14	VBATT ウェイクアップトリガ要因エッジレジスタ (VBTWEGR)	250
11.2.15	VBATT ウェイクアップトリガ要因フラグレジスタ (VBTWFR)	251
11.2.16	バックアップレジスタアクセスコントロールレジスタ (BKRACR)	252
11.3	動作説明	253
11.3.1	バッテリーバックアップ機能	253
11.3.2	VBATT バッテリ電源スイッチの使用法	255
11.3.3	VBATT 端子低電圧検出の手順	255
11.3.4	VBATT バックアップレジスタの使用法	256
11.3.5	VBATT ウェイクアップコントロール機能の使用法	257
11.4	使用上の注意事項	260
12.	レジスタライトプロテクション	261
12.1	概要	261
12.2	レジスタの説明	262
12.2.1	プロテクトレジスタ (PRCR)	262
13.	割り込みコントローラユニット (ICU)	263
13.1	概要	263
13.2	レジスタの説明	265
13.2.1	IRQ コントロールレジスタ i (IRQCRI) (i = 0 ~ 12, 14, 15)	265
13.2.2	ノンマスクابل割り込みステータスレジスタ (NMISR)	267
13.2.3	ノンマスクابل割り込みイネーブルレジスタ (NMIER)	270
13.2.4	ノンマスクابل割り込みステータスクリアレジスタ (NMICLR)	272
13.2.5	NMI 端子割り込みコントロールレジスタ (NMICR)	274
13.2.6	ICU イベントリンク設定レジスタ n (IELSRn)	275
13.2.7	DMAC イベントリンク設定レジスタ n (DELSRn)	276
13.2.8	SYS イベントリンク設定レジスタ (SELSR0)	277
13.2.9	ウェイクアップ割り込みイネーブルレジスタ (WUPEN)	278
13.3	ベクタテーブル	280
13.3.1	割り込みベクタテーブル	280
13.3.2	イベント番号	282
13.4	割り込み動作	287

13.4.1	割り込みの検出	287
13.4.2	割り込み要求先の選択	289
13.4.2.1	CPU 割り込み要求	289
13.4.2.2	DTC の起動	289
13.4.2.3	DMAC の起動	290
13.4.3	デジタルフィルタ	290
13.4.4	外部端子割り込み	291
13.5	ノンマスクブル割り込み動作	292
13.6	低消費電力モードからの復帰	293
13.6.1	スリープモードからの復帰	293
13.6.2	ソフトウェアスタンバイモードからの復帰	293
13.6.3	スヌーズモードからの復帰	293
13.7	ノンマスクブル割り込みとともに WFI 命令を使用する場合	294
13.8	参考資料	294
14.	バス	295
14.1	概要	295
14.2	バスの説明	297
14.2.1	メインバス	297
14.2.2	スレーブインタフェース	297
14.2.3	並列動作	298
14.2.4	エンディアン形式に関する制限事項	298
14.3	レジスタの説明	299
14.3.1	マスタバスコントロールレジスタ (BUSMCNT<master>)	299
14.3.2	スレーブバスコントロールレジスタ (BUSSCNT<slave>)	300
14.3.3	バスエラーアドレスレジスタ (BUSnERRADD) (n = 1 ~ 4)	301
14.3.4	バスエラーステータスレジスタ (BUSnERRSTAT) (n = 1 ~ 4)	302
14.4	バスエラー監視部	303
14.4.1	バスに生じるエラーの種類	303
14.4.2	バスエラー発生時の動作	303
14.4.3	不正アドレスアクセスエラーを引き起こす条件	304
14.4.4	タイムアウト	304
14.5	使用上の注意事項	304
14.5.1	フラッシュキャッシュ使用時の注意事項	304
14.5.2	連続バスアクセス時の割り込みに関する注意事項	304
14.6	参考資料	306
15.	メモリプロテクションユニット (MPU)	307
15.1	概要	307
15.2	CPU スタックポインタモニタ	308
15.2.1	レジスタの保護	310
15.2.2	オーバーフローエラーとアンダーフローエラー	310
15.2.3	レジスタの説明	311

15.2.3.1	メインスタックポインタ (MSP) モニタ開始アドレスレジスタ (MSPMPUSA)	311
15.2.3.2	メインスタックポインタ (MSP) モニタ終了アドレスレジスタ (MSPMPUEA)	311
15.2.3.3	プロセススタックポインタ (PSP) モニタ開始アドレスレジスタ (PSPMPUSA)	312
15.2.3.4	プロセススタックポインタ (PSP) モニタ終了アドレスレジスタ (PSPMPUEA)	312
15.2.3.5	スタックポインタモニタ検出後動作レジスタ (MSPMPUOAD, PSPMPUOAD)	313
15.2.3.6	スタックポインタモニタアクセスコントロールレジスタ (MSPMPUCTL, PSPMPUCTL)	314
15.2.3.7	スタックポインタモニタ保護レジスタ (MSPMPUPT, PSPMPUPT)	315
15.3	Arm MPU	316
15.4	バスマスタ MPU	317
15.4.1	レジスタの説明	319
15.4.1.1	グループ A 領域 n 開始アドレスレジスタ (MMPUSAn) (n = 0 ~ 15)	319
15.4.1.2	グループ A 領域 n 終了アドレスレジスタ (MMPUEAn) (n = 0 ~ 15)	319
15.4.1.3	グループ A 領域 n アクセスコントロールレジスタ (MMPUACAn) (n = 0 ~ 15)	320
15.4.1.4	バスマスタ MPU コントロールレジスタ (MMPUCTLA)	322
15.4.1.5	グループ A レジスタ保護 (MMPUPTA)	323
15.4.2	動作説明	324
15.4.2.1	メモリプロテクション	324
15.4.2.2	レジスタの保護	326
15.4.2.3	メモリプロテクションエラー	326
15.5	バスマスタ MPU	327
15.5.1	レジスタの説明	328
15.5.1.1	メモリバス 3 アクセスコントロールレジスタ (SMPUMBIU)	328
15.5.1.2	内部周辺バス 9 アクセスコントロールレジスタ (SMPUFBIU)	329
15.5.1.3	メモリバス 4 アクセスコントロールレジスタ (SMPUSRAM0)	330
15.5.1.4	内部周辺バス 1 アクセスコントロールレジスタ (SMPUP0BIU)	331
15.5.1.5	内部周辺バス 3 アクセスコントロールレジスタ (SMPUP2BIU)	332
15.5.1.6	内部周辺バス 7 アクセスコントロールレジスタ (SMPUP6BIU)	333
15.5.1.7	スレーブ MPU コントロールレジスタ (SMPUCTL)	334
15.5.2	機能説明	335
15.5.2.1	メモリプロテクション	335
15.5.2.2	レジスタの保護	335
15.5.2.3	メモリプロテクションエラー	335
15.6	セキュリティ MPU	336
15.6.1	レジスタの説明 (オプション設定メモリ)	337
15.6.1.1	セキュリティ MPU プログラムカウンタ開始アドレスレジスタ (SECMPUPCSn) (n = 0, 1)	337

15.6.1.2	セキュリティ MPU プログラムカウンタ終了アドレスレジスタ (SECMPUPCEn) (n = 0, 1)	338
15.6.1.3	セキュリティ MPU 領域 0 開始アドレスレジスタ (SECMPUS0)	338
15.6.1.4	セキュリティ MPU 領域 0 終了アドレスレジスタ (SECMPUE0)	339
15.6.1.5	セキュリティ MPU 領域 1 開始アドレスレジスタ (SECMPUS1)	339
15.6.1.6	セキュリティ MPU 領域 1 終了アドレスレジスタ (SECMPUE1)	340
15.6.1.7	セキュリティ MPU 領域 2 開始アドレスレジスタ (SECMPUS2)	340
15.6.1.8	セキュリティ MPU 領域 2 終了アドレスレジスタ (SECMPUE2)	341
15.6.1.9	セキュリティ MPU 領域 3 開始アドレスレジスタ (SECMPUS3)	341
15.6.1.10	セキュリティ MPU 領域 3 終了アドレスレジスタ (SECMPUE3)	342
15.6.1.11	セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC)	343
15.6.2	メモリプロテクション	344
15.6.3	デバッグに関する注意事項	345
15.7	参考資料	345
16.	DMA コントローラ (DMAC)	346
16.1	概要	346
16.2	レジスタの説明	348
16.2.1	DMA 転送元アドレスレジスタ (DMSAR)	348
16.2.2	DMA 転送先アドレスレジスタ (DMDAR)	348
16.2.3	DMA 転送カウントレジスタ (DMCRA)	349
16.2.4	DMA ブロック転送カウントレジスタ (DMCRB)	350
16.2.5	DMA 転送モードレジスタ (DMTMD)	351
16.2.6	DMA 割り込み設定レジスタ (DMINT)	352
16.2.7	DMA アドレスモードレジスタ (DMAMD)	354
16.2.8	DMA オフセットレジスタ (DMOFR)	357
16.2.9	DMA 転送イネーブルレジスタ (DMCNT)	357
16.2.10	DMA ソフトウェア起動レジスタ (DMREQ)	358
16.2.11	DMA ステータスレジスタ (DMSTS)	359
16.2.12	DMACA モジュール起動レジスタ (DMAST)	360
16.3	動作説明	361
16.3.1	転送モード	361
16.3.2	拡張リピート領域機能	365
16.3.3	オフセットを使用したアドレス更新機能	367
16.3.4	起動要因	371
16.3.5	動作タイミング	372
16.3.6	DMAC の実行サイクル	373
16.3.7	DMAC の起動	374
16.3.8	DMA 転送の開始	375
16.3.9	DMA 転送中のレジスタ	375
16.3.10	チャンネル優先順位	376
16.4	DMA 転送の終了	377

16.4.1	設定した総転送回数完了による転送終了	377
16.4.2	リピートサイズ終了割り込みによる転送終了	377
16.4.3	拡張リピート領域オーバーフロー割り込みによる転送終了	377
16.4.4	DMA 転送の終了に関する注意事項	378
16.5	割り込み	379
16.6	イベントリンク	381
16.7	低消費電力機能	381
16.8	使用上の注意事項	382
16.8.1	DMA 転送中のレジスタアクセスについて	382
16.8.2	予約領域への DMA 転送について	382
16.8.3	割り込みコントローラユニットの DMAC イベントリンク設定レジスタ (ICU.DELSRn) の設定	382
16.8.4	DMA 起動の保留／再開方法	382
17.	データトランスファコントローラ (DTC)	383
17.1	概要	383
17.2	レジスタの説明	385
17.2.1	DTC モードレジスタ A (MRA)	385
17.2.2	DTC モードレジスタ B (MRB)	386
17.2.3	DTC 転送元レジスタ (SAR)	387
17.2.4	DTC 転送先レジスタ (DAR)	387
17.2.5	DTC 転送カウントレジスタ A (CRA)	388
17.2.6	DTC 転送カウントレジスタ B (CRB)	389
17.2.7	DTC コントロールレジスタ (DTCCR)	389
17.2.8	DTC ベクタベースレジスタ (DTCVBR)	390
17.2.9	DTC モジュール起動レジスタ (DTCST)	390
17.2.10	DTC ステータスレジスタ (DTCSTS)	391
17.3	起動要因	392
17.3.1	転送情報の配置と DTC ベクタテーブル	392
17.4	動作説明	394
17.4.1	転送情報のリードスキップ機能	396
17.4.2	転送情報のライトバックスキップ機能	397
17.4.3	ノーマル転送モード	397
17.4.4	リピート転送モード	398
17.4.5	ブロック転送モード	399
17.4.6	チェーン転送	401
17.4.7	動作タイミング	402
17.4.8	DTC の実行サイクル	404
17.4.9	DTC のバス権解放タイミング	404
17.5	DTC の設定手順	405
17.6	DTC の使用例	406
17.6.1	ノーマル転送	406
17.6.2	チェーン転送	407

17.6.3	カウンタ = 0 のときのチェーン転送	409
17.7	割り込み要因	411
17.8	イベントリンク	411
17.9	スヌーズ制御インタフェース	411
17.10	モジュールストップ機能	412
17.11	使用上の注意事項	412
17.11.1	転送情報の開始アドレス	412
18.	イベントリンクコントローラ (ELC)	413
18.1	概要	413
18.2	レジスタの説明	414
18.2.1	イベントリンクコントローラレジスタ (ELCR)	414
18.2.2	イベントリンクソフトウェアイベント発生レジスタ n (ELSEGRn) (n = 0, 1)	415
18.2.3	イベントリンク設定レジスタ n (ELSRn) (n = 0 ~ 9, 12, 14 ~ 18)	416
18.3	動作説明	421
18.3.1	割り込み処理とイベントリンクの関係	421
18.3.2	イベントのリンク	421
18.3.3	イベントリンクの動作設定手順例	421
18.4	使用上の注意事項	422
18.4.1	DMAC または DTC 転送終了のイベントリンクを使用する場合	422
18.4.2	クロック設定について	422
18.4.3	モジュールストップ機能の設定	422
18.4.4	ELC 遅延時間	422
19.	I/O ポート	423
19.1	概要	423
19.2	レジスタの説明	425
19.2.1	ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR)	425
19.2.2	ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR)	426
19.2.3	ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR)	427
19.2.4	ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR)	428
19.2.5	ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS_HA/PmnPFS_BY) (m = 0 ~ 9; n = 00 ~ 15)	429
19.2.6	書き込みプロテクトレジスタ (PWPR)	431
19.3	動作説明	432
19.3.1	汎用入出力ポート	432
19.3.2	ポート機能選択	432
19.3.3	ELC のポートグループ機能	433
19.3.3.1	ELC から ELC_PORT1, 2, 3, 4 が入力された場合の動作	433
19.3.3.2	イベントパルスが ELC に出力された場合の動作	434
19.4	未使用端子の処理	435
19.5	使用上の注意事項	436
19.5.1	端子機能の設定手順	436
19.5.2	ポートグループ入力の使用手順	436

19.5.3	ポート出力データレジスタ (PODR) の概要	436
19.5.4	アナログ機能を使う場合の注意事項	436
19.5.5	入出力バッファの仕様	437
19.5.6	USB_DP 端子および USB_DM 端子の選択	437
19.5.7	USBFS/GPIO 機能を使用した P914 および P915 の プルアップ/プルダウン設定	437
19.6	製品ごとの周辺選択設定	438
20.	キー割り込み機能 (KINT)	449
20.1	概要	449
20.2	レジスタの説明	451
20.2.1	キーリターンコントロールレジスタ (KRCTL)	451
20.2.2	キーリターンフラグレジスタ (KRF)	451
20.2.3	キーリターンモードレジスタ (KRM)	452
20.3	動作説明	453
20.3.1	キー割り込みフラグを使用しない場合の動作 (KRMD = 0)	453
20.3.2	キー割り込みフラグを使用する場合の動作 (KRMD = 1)	454
20.4	使用上の注意事項	456
21.	GPT 用ポートアウトプットイネーブル (POEG)	457
21.1	概要	457
21.2	レジスタの説明	459
21.2.1	POEG グループ n 設定レジスタ (POEGGn) (n = A, B)	459
21.3	出力禁止制御の動作	460
21.3.1	端子入力レベル検出時の動作	460
21.3.1.1	デジタルフィルタ	460
21.3.2	GPT からの出力禁止要求	461
21.3.3	発振停止検出による出力禁止制御	461
21.3.4	レジスタによる出力禁止制御	461
21.3.5	出力禁止状態の解除	461
21.4	割り込み要因	462
21.5	GPT に対する外部トリガ出力	462
21.6	使用上の注意事項	463
21.6.1	ソフトウェアスタンバイモードへの遷移	463
21.6.2	GPT 対応端子の指定	463
22.	汎用 PWM タイマ (GPT)	464
22.1	概要	464
22.2	レジスタの説明	468
22.2.1	汎用 PWM タイマ書き込み保護レジスタ (GTWP)	469
22.2.2	汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)	469
22.2.3	汎用 PWM タイマソフトウェアストップレジスタ (GTSTP)	470
22.2.4	汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR)	470
22.2.5	汎用 PWM タイマスタート要因選択レジスタ (GTSSR)	471

22.2.6	汎用 PWM タイマストップ要因選択レジスタ (GTPSR)	474
22.2.7	汎用 PWM タイマクリア要因選択レジスタ (GTCSR)	477
22.2.8	汎用 PWM タイマアップカウンタ要因選択レジスタ (GTUPSR)	480
22.2.9	汎用 PWM タイマダウンカウンタ要因選択レジスタ (GTDNSR)	483
22.2.10	汎用 PWM タイマインプットキャプチャ要因選択レジスタ A (GTICASR)	486
22.2.11	汎用 PWM タイマインプットキャプチャ要因選択レジスタ B (GTICBSR)	489
22.2.12	汎用 PWM タイマコントロールレジスタ (GTCR)	492
22.2.13	汎用 PWM タイマカウンタ方向、デューティ設定レジスタ (GTUDDTYC)	494
22.2.14	汎用 PWM タイマ I/O コントロールレジスタ (GTIOR)	496
22.2.15	汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)	500
22.2.16	汎用 PWM タイマステータスレジスタ (GTST)	501
22.2.17	汎用 PWM タイマバッファイネーブルレジスタ (GTBER)	506
22.2.18	汎用 PWM タイマカウンタ (GTCNT)	508
22.2.19	汎用 PWM タイマコンペアキャプチャレジスタ n (GTCCRn) (n = A ~ F)	508
22.2.20	汎用 PWM タイマ周期設定レジスタ (GTPR)	509
22.2.21	汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)	509
22.2.22	汎用 PWM タイマデッドタイムコントロールレジスタ (GTDTCR)	510
22.2.23	汎用 PWM タイマデッドタイム値レジスタ U (GTDVU)	511
22.2.24	出力相切り替えコントロールレジスタ (OPSCR)	512
22.3	動作説明	515
22.3.1	基本動作	515
22.3.1.1	カウンタ動作	515
22.3.1.2	コンペアマッチによる波形出力機能	520
22.3.1.3	インプットキャプチャ機能	524
22.3.2	バッファ動作	526
22.3.2.1	GTPR レジスタのバッファ動作	526
22.3.2.2	GTCCRA、GTCCRB レジスタのバッファ動作	529
22.3.3	PWM 出力動作モード	535
22.3.3.1	のこぎり波 PWM モード	535
22.3.3.2	のこぎり波ワンショットパルスモード	537
22.3.3.3	三角波 PWM モード 1 (谷 32 ビット転送)	540
22.3.3.4	三角波 PWM モード 2 (山/谷 32 ビット転送)	542
22.3.3.5	三角波 PWM モード 3 (谷 64 ビット転送)	544
22.3.4	デッドタイム自動設定機能	547
22.3.5	カウンタ方向切り替え機能	552
22.3.6	出力デューティ 0% および出力デューティ 100% 機能	553
22.3.7	ハードウェアカウンタスタート/カウンタストップ、カウンタクリア動作	555
22.3.7.1	ハードウェアスタート動作	555
22.3.7.2	ハードウェアストップ動作	557
22.3.7.3	ハードウェアクリア動作	561
22.3.8	同期動作	564

22.3.8.1	ソフトウェアによる同期動作	564
22.3.8.2	ハードウェアによる同期動作	566
22.3.9	PWM 出力動作例	568
22.3.10	位相計数機能	574
22.3.11	出力相切り替え (GPT_OPS)	584
22.3.11.1	外部入力信号の同期および入力選択	587
22.3.11.2	入力サンプリング	587
22.3.11.3	入力相デコード	588
22.3.11.4	出力選択制御	589
22.3.11.5	出力選択制御 (グループ出力禁止機能)	590
22.3.11.6	イベントリンクコントローラ (ELC) 出力	590
22.3.11.7	GPT_OPS スタート動作設定フロー	591
22.4	割り込み要因	592
22.4.1	割り込み要因	592
22.4.2	DMAC/DTC の起動	595
22.5	ELC によるリンク動作	596
22.5.1	ELC へのイベント信号出力	596
22.5.2	ELC からのイベント信号入力	596
22.6	ノイズフィルタ機能	597
22.7	保護機能	598
22.7.1	レジスタの書き込み保護	598
22.7.2	バッファ動作の禁止	598
22.7.3	GTIOC 端子出力のネゲート制御	599
22.8	出力端子の初期化方法	600
22.8.1	リセット後の端子設定	600
22.8.2	動作中の異常による端子の初期化	600
22.9	使用上の注意事項	601
22.9.1	モジュールストップ機能の設定	601
22.9.2	コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A ~ F)	601
22.9.3	GTCNT カウンタの範囲設定	602
22.9.4	GTCNT カウンタのスタート/ストップ	602
22.9.5	イベントごとの優先順位	603
23.	低消費電力非同期汎用タイマ (AGT)	604
23.1	概要	604
23.2	レジスタの説明	606
23.2.1	AGT カウンタレジスタ (AGT)	606
23.2.2	AGT コンペアマッチ A レジスタ (AGTCMA)	606
23.2.3	AGT コンペアマッチ B レジスタ (AGTCMB)	607
23.2.4	AGT コントロールレジスタ (AGTCR)	608
23.2.5	AGT モードレジスタ 1 (AGTMR1)	610
23.2.6	AGT モードレジスタ 2 (AGTMR2)	611

23.2.7	AGT I/O コントロールレジスタ (AGTIOC)	612
23.2.8	AGT イベント端子選択レジスタ (AGTISR)	613
23.2.9	AGT コンペアマッチ機能選択レジスタ (AGTCMSR)	613
23.2.10	AGT 端子選択レジスタ (AGTIOSEL)	614
23.3	動作説明	615
23.3.1	リロードレジスタおよびカウンタの書き換え動作	615
23.3.2	リロードレジスタおよびコンペアレジスタ A/B の書き換え動作	617
23.3.3	タイマモード	618
23.3.4	パルス出力モード	619
23.3.5	イベントカウンタモード	620
23.3.6	パルス幅測定モード	622
23.3.7	パルス周期測定モード	623
23.3.8	コンペアマッチ機能	624
23.3.9	各モードの出力設定	626
23.3.10	スタンバイモード	627
23.3.11	割り込み要因	628
23.3.12	ELC へのイベント信号出力	628
23.4	使用上の注意事項	629
23.4.1	カウント動作の開始および停止制御	629
23.4.2	カウンタレジスタへのアクセス	630
23.4.3	モード変更時	630
23.4.4	デジタルフィルタ	630
23.4.5	イベント番号、パルス幅、およびパルス周期の計算方法	630
23.4.6	TSTOP ビットで強制的にカウントを停止した場合	630
23.4.7	カウントソースとして AGT0 アンダーフローを選択した場合	631
23.4.8	I/O レジスタのリセット	631
23.4.9	カウントソースとして PCLKB、PCLKB/8、または PCLKB/2 を選択した場合	631
23.4.10	カウントソースとして AGTLCLK または AGTSCLK を選択した場合	631
23.4.11	クロックソースを切り替える場合	631
24.	リアルタイムクロック (RTC)	632
24.1	概要	632
24.2	レジスタの説明	634
24.2.1	64Hz カウンタ (R64CNT)	634
24.2.2	秒カウンタ (RSECCNT) / バイナリカウンタ 0 (BCNT0)	635
24.2.3	分カウンタ (RMINCNT) / バイナリカウンタ 1 (BCNT1)	636
24.2.4	時カウンタ (RHRCNT) / バイナリカウンタ 2 (BCNT2)	637
24.2.5	曜日カウンタ (RWKCNT) / バイナリカウンタ 3 (BCNT3)	638
24.2.6	日カウンタ (RDAYCNT)	639
24.2.7	月カウンタ (RMONCNT)	639
24.2.8	年カウンタ (RYRCNT)	640

24.2.9	秒アラームレジスタ (RSECAR) / バイナリカウンタ 0 アラームレジスタ (BCNT0AR)	641
24.2.10	分アラームレジスタ (RMINAR) / バイナリカウンタ 1 アラームレジスタ (BCNT1AR)	642
24.2.11	時アラームレジスタ (RHRAR) / バイナリカウンタ 2 アラームレジスタ (BCNT2AR)	643
24.2.12	曜日アラームレジスタ (RWKAR) / バイナリカウンタ 3 アラームレジスタ (BCNT3AR)	645
24.2.13	日アラームレジスタ (RDAYAR) / バイナリカウンタ 0 アラームイネーブルレジスタ (BCNT0AER)	646
24.2.14	月アラームレジスタ (RMONAR) / バイナリカウンタ 1 アラームイネーブルレジスタ (BCNT1AER)	647
24.2.15	年アラームレジスタ (RYRAR) / バイナリカウンタ 2 アラームイネーブルレジスタ (BCNT2AER)	648
24.2.16	年アラームイネーブルレジスタ (RYRAREN) / バイナリカウンタ 3 アラームイネーブルレジスタ (BCNT3AER)	649
24.2.17	RTC コントロールレジスタ 1 (RCR1)	650
24.2.18	RTC コントロールレジスタ 2 (RCR2)	651
24.2.19	RTC コントロールレジスタ 4 (RCR4)	654
24.2.20	周波数レジスタ (RFRH/RFRL)	655
24.2.21	時計誤差補正レジスタ (RADJ)	656
24.2.22	時間キャプチャコントロールレジスタ y (RTCCRy) (y = 0 ~ 2)	657
24.2.23	秒キャプチャレジスタ y (RSECCPy) (y = 0 ~ 2) / BCNT0 キャプチャレジスタ y (BCNT0CPy) (y = 0 ~ 2)	659
24.2.24	分キャプチャレジスタ y (RMINCPy) (y = 0 ~ 2) / BCNT1 キャプチャレジスタ y (BCNT1CPy) (y = 0 ~ 2)	660
24.2.25	時キャプチャレジスタ y (RHRCPy) (y = 0 ~ 2) / BCNT2 キャプチャレジスタ y (BCNT2CPy) (y = 0 ~ 2)	661
24.2.26	日キャプチャレジスタ y (RDAYCPy) (y = 0 ~ 2) / BCNT3 キャプチャレジスタ y (BCNT3CPy) (y = 0 ~ 2)	662
24.2.27	月キャプチャレジスタ y (RMONCPy) (y = 0 ~ 2)	663
24.3	動作説明	664
24.3.1	電源投入後のレジスタ初期設定の概要	664
24.3.2	クロックおよびカウントモードの設定手順	665
24.3.3	時刻の設定	666
24.3.4	30 秒調整	667
24.3.5	64Hz カウンタと時刻の読み出し	668
24.3.6	アラーム機能	669
24.3.7	アラーム割り込み禁止手順	670
24.3.8	時間誤差補正機能	671
24.3.8.1	自動補正	671
24.3.8.2	ソフトウェアによる補正	672
24.3.8.3	補正モードの変更手順	673
24.3.8.4	補正の停止手順	673
24.3.8.5	時間キャプチャ	673

24.4	割り込み要因	675
24.5	イベントリンク出力機能	676
24.5.1	割り込み処理とイベントリンク機能	676
24.6	使用上の注意事項	677
24.6.1	カウント動作時のレジスタ書き込みについて	677
24.6.2	周期割り込みの使用について	678
24.6.3	RTCOUT (1Hz/64Hz) クロック出力について	678
24.6.4	レジスタ設定後の低消費電力モードへの遷移について	678
24.6.5	レジスタの書き込み／読み出し時の注意事項	679
24.6.6	カウントモードの変更について	679
24.6.7	リアルタイムクロックを使用しない場合の初期化手順	680
24.6.8	クロックソースを切り替える場合	680
25.	ウォッチドッグタイマ (WDT)	681
25.1	概要	681
25.2	レジスタの説明	683
25.2.1	WDT リフレッシュレジスタ (WDTRR)	683
25.2.2	WDT コントロールレジスタ (WDTCR)	684
25.2.3	WDT ステータスレジスタ (WDTSR)	687
25.2.4	WDT リセットコントロールレジスタ (WDTRCR)	688
25.2.5	WDT カウント停止コントロールレジスタ (WDCSTPR)	688
25.2.6	オプション機能選択レジスタ 0 (OFS0)	688
25.3	動作説明	689
25.3.1	スタートモード別のカウント動作	689
25.3.1.1	レジスタスタートモード	689
25.3.1.2	オートスタートモード	691
25.3.2	WDTCR、WDTRCR、および WDCSTPR レジスタへの書き込み制御	693
25.3.3	リフレッシュ動作	694
25.3.4	リセット出力	695
25.3.5	割り込み要因	695
25.3.6	ダウンカウンタ値の読み出し	695
25.3.7	オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係	696
25.4	ELC によるリンク動作	696
25.5	使用上の注意事項	696
25.5.1	ICU イベントリンク設定レジスタ n (IELSRn) の設定	696
26.	独立ウォッチドッグタイマ (IWDG)	697
26.1	概要	697
26.2	レジスタの説明	699
26.2.1	IWDG リフレッシュレジスタ (IWDTRR)	699
26.2.2	IWDG ステータスレジスタ (IWDTSR)	700
26.2.3	オプション機能選択レジスタ 0 (OFS0)	701
26.3	動作説明	704

26.3.1	オートスタートモード	704
26.3.2	リフレッシュ動作	706
26.3.3	ステータスフラグ	707
26.3.4	リセット出力	707
26.3.5	割り込み要因	708
26.3.6	ダウンカウンタ値の読み出し	708
26.4	ELC によるリンク動作	708
26.5	使用上の注意事項	709
26.5.1	リフレッシュ動作	709
26.5.2	クロック分周比の設定	709
27.	USB2.0 フルスピードモジュール (USBFS)	710
27.1	概要	710
27.2	レジスタの説明	712
27.2.1	システムコンフィグレーションコントロールレジスタ (SYSCFG)	712
27.2.2	システムコンフィグレーションステータスレジスタ 0 (SYSSTS0)	714
27.2.3	デバイスステートコントロールレジスタ 0 (DVSTCTR0)	715
27.2.4	CFIFO ポートレジスタ (CFIFO/CFIFOL) D0FIFO ポートレジスタ (D0FIFO/D0FIFOL) D1FIFO ポートレジスタ (D1FIFO/D1FIFOL)	718
27.2.5	CFIFO ポート選択レジスタ (CFIFOSEL) D0FIFO ポート選択レジスタ (D0FIFOSEL) D1FIFO ポート選択レジスタ (D1FIFOSEL)	720
27.2.6	CFIFO ポートコントロールレジスタ (CFIFOCTR) D0FIFO ポートコントロールレジスタ (D0FIFOCTR) D1FIFO ポートコントロールレジスタ (D1FIFOCTR)	724
27.2.7	割り込みイネーブルレジスタ 0 (INTENB0)	726
27.2.8	割り込みイネーブルレジスタ 1 (INTENB1)	727
27.2.9	BRDY 割り込みイネーブルレジスタ (BRDYENB)	728
27.2.10	NRDY 割り込みイネーブルレジスタ (NRDYENB)	729
27.2.11	BEMP 割り込みイネーブルレジスタ (BEMPENB)	730
27.2.12	SOF 出力コンフィグレーションレジスタ (SOFCFG)	731
27.2.13	割り込みステータスレジスタ 0 (INTSTS0)	732
27.2.14	割り込みステータスレジスタ 1 (INTSTS1)	735
27.2.15	BRDY 割り込みステータスレジスタ (BRDYSTS)	738
27.2.16	NRDY 割り込みステータスレジスタ (NRDYSTS)	739
27.2.17	BEMP 割り込みステータスレジスタ (BEMPSTS)	740
27.2.18	フレームナンバレジスタ (FRMNUM)	741
27.2.19	USB リクエストタイプレジスタ (USBREQ)	742
27.2.20	USB リクエストバリューレジスタ (USBVAL)	743
27.2.21	USB リクエストインデックスレジスタ (USBINDX)	744
27.2.22	USB リクエストレンクスレジスタ (USBLENG)	745
27.2.23	DCP コンフィグレーションレジスタ (DCPCFG)	746
27.2.24	DCP マックスパケットサイズレジスタ (DCPMAXP)	747

27.2.25	DCP コントロールレジスタ (DCPCTR)	748
27.2.26	パイプウィンドウ選択レジスタ (PIPESEL)	751
27.2.27	パイプコンフィグレーションレジスタ (PIPECFG)	752
27.2.28	パイプマックスパケットサイズレジスタ (PIPEMAXP)	754
27.2.29	パイプ周期コントロールレジスタ (PIPEPERI)	755
27.2.30	パイプ n コントロールレジスタ (PIPEEnCTR) (n = 1 ~ 9)	756
27.2.31	パイプ n トランザクションカウンタイネーブルレジスタ (PIPEEnTRE) (n = 1 ~ 5)	763
27.2.32	パイプ n トランザクションカウンタレジスタ (PIPEEnTRN) (n = 1 ~ 5)	764
27.2.33	デバイスアドレス n コンフィグレーションレジスタ (DEVADDn) (n = 0 ~ 5)	765
27.2.34	USB モジュールコントロールレジスタ (USBMC)	766
27.2.35	BC コントロールレジスタ 0 (USBBCCTRL0)	767
27.3	動作説明	769
27.3.1	システム制御	769
27.3.1.1	USBFS 関連レジスタへのデータ設定	769
27.3.1.2	コントローラ機能の選択	769
27.3.1.3	抵抗による USBFS データバス制御	769
27.3.1.4	USBFS の電源接続例	770
27.3.1.5	USB 外部接続回路の例	772
27.3.2	割り込み要因	779
27.3.3	割り込みの説明	781
27.3.3.1	BRDY 割り込み	781
27.3.3.2	NRDY 割り込み	784
27.3.3.3	BEMP 割り込み	787
27.3.3.4	デバイスステート遷移割り込み (デバイスコントローラモード)	788
27.3.3.5	コントロール転送ステージ遷移割り込み (デバイスコントローラモード)	789
27.3.3.6	フレーム番号更新割り込み	791
27.3.3.7	VBUS 割り込み	791
27.3.3.8	レジューム割り込み	791
27.3.3.9	OVRCCR 割り込み	791
27.3.3.10	BCHG 割り込み	791
27.3.3.11	DTCH 割り込み	791
27.3.3.12	SACK 割り込み	791
27.3.3.13	SIGN 割り込み	791
27.3.3.14	ATTCH 割り込み	792
27.3.3.15	EOFERR 割り込み	792
27.3.3.16	ポータブルデバイス検出割り込み	792
27.3.4	パイプコントロール	793
27.3.4.1	パイプコントロールレジスタの切り替え手順	794
27.3.4.2	転送タイプ	794
27.3.4.3	エンドポイント番号	794

27.3.4.4	最大パケットサイズ設定	795
27.3.4.5	トランザクションカウンタ（受信方向パイプ 1～5）	795
27.3.4.6	応答 PID	795
27.3.4.7	データ PID シーケンスビット	797
27.3.4.8	応答 PID = NAK 機能	797
27.3.4.9	自動応答モード	797
27.3.4.10	OUT-NAK モード	797
27.3.4.11	Null 自動応答モード	798
27.3.5	FIFO バッファメモリ	799
27.3.6	FIFO バッファクリア	800
27.3.7	FIFO ポートの機能	801
27.3.8	DMA 転送（D0FIFO/D1FIFO ポート）	802
27.3.9	DCP を使用したコントロール転送	803
27.3.9.1	ホストコントローラモードでのコントロール転送	803
27.3.9.2	デバイスコントローラモードでのコントロール転送	804
27.3.10	バルク転送（パイプ 1～5）	805
27.3.11	インタラプト転送（パイプ 6～9）	806
27.3.11.1	ホストコントローラモードでのインタラプト転送時の インターバルカウンタ	806
27.3.12	アイソクロナス転送（パイプ 1～2）	807
27.3.12.1	アイソクロナス転送のエラー検出	807
27.3.12.2	DATA-PID	808
27.3.12.3	インターバルカウンタ	809
27.3.13	SOF 補完機能	814
27.3.14	パイプスケジュール	815
27.3.14.1	トランザクション発行条件	815
27.3.14.2	転送スケジュール	815
27.3.14.3	USB 通信許可	815
27.3.15	バッテリーチャージング検出処理	816
27.3.15.1	デバイスコントローラモードでの処理	816
27.3.15.2	ホストコントローラ選択時の処理	818
27.4	使用上の注意事項	821
27.4.1	モジュールストップ状態の設定	821
27.4.2	ソフトウェアスタンバイモード終了時の割り込みステータスレジスタのクリア	821
27.4.3	ポート機能設定後の割り込みステータスレジスタのクリア	821
28.	シリアルコミュニケーションインタフェース（SCI）	822
28.1	概要	822
28.2	レジスタの説明	826
28.2.1	受信シフトレジスタ（RSR）	826
28.2.2	受信データレジスタ（RDR）	826
28.2.3	受信 9 ビットデータレジスタ（RDRHL）	826

28.2.4	受信 FIFO データレジスタ H, L, HL (FRDRH, FRDRL, FRDRHL)	827
28.2.5	送信データレジスタ (TDR)	828
28.2.6	送信 9 ビットデータレジスタ (TDRHL)	829
28.2.7	送信 FIFO データレジスタ H, L, HL (FTDRH, FTDRL, FTDRHL)	830
28.2.8	送信シフトレジスタ (TSR)	831
28.2.9	非スマートカードインタフェースモード用シリアルモードレジスタ (SMR) (SCMR.SMIF = 0)	831
28.2.10	スマートカードインタフェースモード用シリアルモードレジスタ (SMR_SMCI) (SCMR.SMIF = 1)	833
28.2.11	非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0)	835
28.2.12	スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR_SMCI) (SCMR.SMIF = 1)	837
28.2.13	非スマートカードインタフェースおよび非 FIFO モード用シリアルステータス レジスタ (SSR) (SCMR.SMIF = 0 および FCR.FM = 0)	839
28.2.14	非スマートカードインタフェースおよび FIFO モード用シリアルステータス レジスタ (SSR_FIFO) (SCMR.SMIF = 0 および FCR.FM = 1)	842
28.2.15	スマートカードインタフェースモード用シリアルステータスレジスタ (SSR_SMCI) (SCMR.SMIF = 1)	845
28.2.16	スマートカードモードレジスタ (SCMR)	848
28.2.17	ビットレートレジスタ (BRR)	850
28.2.18	モジュレーションデューティレジスタ (MDDR)	859
28.2.19	シリアル拡張モードレジスタ (SEMR)	861
28.2.20	ノイズフィルタ設定レジスタ (SNFR)	863
28.2.21	I ² C モードレジスタ 1 (SIMR1)	864
28.2.22	I ² C モードレジスタ 2 (SIMR2)	865
28.2.23	I ² C モードレジスタ 3 (SIMR3)	866
28.2.24	I ² C ステータスレジスタ (SISR)	868
28.2.25	SPI モードレジスタ (SPMR)	869
28.2.26	FIFO コントロールレジスタ (FCR)	871
28.2.27	FIFO データ数レジスタ (FDR)	872
28.2.28	ラインステータスレジスタ (LSR)	873
28.2.29	コンペアマッチデータレジスタ (CDR)	874
28.2.30	データコンペアマッチコントロールレジスタ (DCCR)	875
28.2.31	シリアルポートレジスタ (SPTR)	877
28.3	調歩同期式モードの動作	878
28.3.1	シリアル転送フォーマット	879
28.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	881
28.3.3	クロック	882
28.3.4	倍速動作とビットレートの 6 倍の周波数	882
28.3.5	CTS、RTS 機能	883
28.3.6	アドレス一致 (受信データ一致) 検出機能	884
28.3.7	SCI の初期化 (調歩同期式モード)	887

28.3.8	シリアルデータの送信（調歩同期式モード）	889
28.3.9	シリアルデータの受信（調歩同期式モード）	895
28.4	マルチプロセッサ通信機能	902
28.4.1	マルチプロセッサシリアルデータ送信	904
28.4.2	マルチプロセッサシリアルデータ受信	907
28.5	クロック同期式モードの動作	912
28.5.1	クロック	912
28.5.2	CTS、RTS 機能	913
28.5.3	SCI の初期化（クロック同期式モード）	914
28.5.4	シリアルデータの送信（クロック同期式モード）	916
28.5.5	シリアルデータの受信（クロック同期式モード）	922
28.5.6	シリアルデータの同時送受信動作（クロック同期式モード）	927
28.6	スマートカードインタフェースモードの動作	931
28.6.1	接続例	931
28.6.2	データフォーマット（ブロック転送モード時を除く）	931
28.6.3	ブロック転送モード	933
28.6.4	受信データのサンプリングタイミングと受信マージン	934
28.6.5	SCI の初期化	935
28.6.6	シリアルデータの送信（ブロック転送モード時を除く）	937
28.6.7	シリアルデータの受信（ブロック転送モード時を除く）	940
28.6.8	クロック出力制御	942
28.7	簡易 IIC モードの動作	943
28.7.1	開始条件、再開条件、停止条件の生成	945
28.7.2	クロック同期化	946
28.7.3	SDA 出力遅延	947
28.7.4	SCI の初期化（簡易 IIC モード）	948
28.7.5	マスタ送信動作（簡易 IIC モード）	949
28.7.6	マスタ受信動作（簡易 IIC モード）	951
28.8	簡易 SPI モードの動作	953
28.8.1	マスタモード、スレーブモードと各端子の状態	954
28.8.2	マスタモード時の SS 機能	954
28.8.3	スレーブモード時の SS 機能	954
28.8.4	クロックと送受信データの関係	955
28.8.5	SCI の初期化（簡易 SPI モード）	955
28.8.6	シリアルデータの送受信（簡易 SPI モード）	955
28.9	ビットレートモジュレーション機能	956
28.10	割り込み要因	957
28.10.1	SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（非 FIFO 選択時）	957
28.10.2	SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（FIFO 選択時）	957
28.10.3	調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける 割り込み	957
28.10.4	スマートカードインタフェースモードにおける割り込み	959

28.10.5	簡易 IIC モードにおける割り込み	960
28.11	イベントリンク機能	961
28.12	アドレス不一致イベント出力 (SCIO_DCUF)	962
28.13	ノイズ除去機能	963
28.14	使用上の注意事項	964
28.14.1	モジュールストップ状態の設定	964
28.14.2	低消費電力状態での SCI 動作	964
28.14.3	ブレークの検出と処理について	969
28.14.4	マーク状態とブレークの送付	969
28.14.5	受信エラーフラグと送信動作 (クロック同期式モードおよび簡易 SPI モード)	969
28.14.6	クロック同期送信に関する制限事項 (クロック同期式モードおよび簡易 SPI モード)	970
28.14.7	DMAC または DTC 使用時の制限事項	971
28.14.8	通信の開始に関する注意事項	971
28.14.9	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	971
28.14.10	簡易 SPI モードに関する制限事項	972
28.14.11	送信許可ビット (SCR.TE) に関する注意事項	973
28.14.12	調歩同期式モードで RTS 機能を使用した時の受信の停止について	973
29.	I ² C バスインタフェース (IIC)	974
29.1	概要	974
29.2	レジスタの説明	977
29.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	977
29.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	980
29.2.3	I ² C バスモードレジスタ 1 (ICMR1)	984
29.2.4	I ² C バスモードレジスタ 2 (ICMR2)	985
29.2.5	I ² C バスモードレジスタ 3 (ICMR3)	987
29.2.6	I ² C バスファンクションイネーブルレジスタ (ICFER)	989
29.2.7	I ² C バスステータスイネーブルレジスタ (ICSER)	991
29.2.8	I ² C バス割り込みイネーブルレジスタ (ICIER)	993
29.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	994
29.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	997
29.2.11	I ² C バスウェイクアップユニットレジスタ (ICWUR)	1001
29.2.12	I ² C バスウェイクアップユニットレジスタ 2 (ICWUR2)	1002
29.2.13	スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)	1003
29.2.14	スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)	1004
29.2.15	I ² C バスビットレート Low レジスタ (ICBRL)	1005
29.2.16	I ² C バスビットレート High レジスタ (ICBRH)	1006
29.2.17	I ² C バス送信データレジスタ (ICDRT)	1007
29.2.18	I ² C バス受信データレジスタ (ICDRR)	1007
29.2.19	I ² C バスシフトレジスタ (ICDRS)	1008
29.3	動作説明	1009

29.3.1	通信データフォーマット	1009
29.3.2	初期設定	1010
29.3.3	マスタ送信動作	1011
29.3.4	マスタ受信動作	1015
29.3.5	スレーブ送信動作	1020
29.3.6	スレーブ受信動作	1023
29.4	SCL 同期回路	1025
29.5	SDA 出力遅延機能	1026
29.6	デジタルノイズフィルタ回路	1027
29.7	アドレス一致検出機能	1028
29.7.1	スレーブアドレス一致検出機能	1028
29.7.2	ジェネラルコールアドレス検出機能	1030
29.7.3	デバイス ID アドレス検出機能	1030
29.7.4	ホストアドレス検出機能	1032
29.8	ウェイクアップ機能	1033
29.8.1	ノーマルウェイクアップモード 1	1034
29.8.2	ノーマルウェイクアップモード 2	1038
29.8.3	コマンドリカバリモード / EEP 応答モード (特殊ウェイクアップモード)	1041
29.8.4	WFI 命令の実行に関する注意事項	1044
29.9	SCL の自動 Low ホールド機能	1045
29.9.1	送信データの誤送信防止機能	1045
29.9.2	NACK 受信転送中断機能	1046
29.9.3	受信データ取りこぼし防止機能	1047
29.10	マスタアビトレーションロスト検出機能	1049
29.10.1	マスタアビトレーションロスト検出機能 (MALE ビット)	1049
29.10.2	NACK 送信中のアビトレーションロスト検出機能 (NALE ビット)	1051
29.10.3	スレーブアビトレーションロスト検出機能 (SALE ビット)	1052
29.11	スタートコンディション、リスタートコンディション、ストップコンディション 発行機能	1053
29.11.1	スタートコンディション発行動作	1053
29.11.2	リスタートコンディション発行動作	1053
29.11.3	ストップコンディション発行動作	1056
29.12	バスハングアップ	1057
29.12.1	タイムアウト検出機能	1057
29.12.2	SCL クロック追加出力機能	1059
29.12.3	IIC リセット、内部リセット	1060
29.13	SMBus 動作	1061
29.13.1	SMBus タイムアウト測定	1061
29.13.2	パケットエラーコード (PEC)	1062
29.13.3	SMBus ホスト通知プロトコル (Notify ARP Master コマンド)	1062
29.14	割り込み要因	1063
29.14.1	IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作	1063

29.15	各コンディション発行時のレジスタの状態	1064
29.16	イベントリンク出力機能	1065
29.16.1	割り込み処理とイベントリンク機能	1065
29.17	使用上の注意事項	1065
29.17.1	モジュールストップ状態の設定	1065
29.17.2	転送開始に関する注意事項	1065
30.	CAN (Controller Area Network) モジュール	1066
30.1	概要	1066
30.2	レジスタの説明	1069
30.2.1	コントロールレジスタ (CTRL)	1069
30.2.2	ビットコンフィグレーションレジスタ (BCR)	1073
30.2.3	マスクレジスタ k (MKRk) (k = 0 ~ 7)	1075
30.2.4	FIFO 受信 ID 比較レジスタ 0、1 (FIDCR0, FIDCR1)	1076
30.2.5	マスク無効レジスタ (MKIVLR)	1077
30.2.6	メールボックスレジスタ j (MBj_ID、MBj_DL、MBj_Dm、MBj_TS) (j = 0 ~ 31; m = 0 ~ 7)	1078
30.2.7	メールボックス割り込みイネーブルレジスタ (MIER)	1082
30.2.8	FIFO メールボックスモード用メールボックス割り込みイネーブルレジスタ (MIER_FIFO)	1083
30.2.9	送信用メッセージコントロールレジスタ (MCTL_TXj) (j = 0 ~ 31)	1084
30.2.10	受信用メッセージコントロールレジスタ (MCTL_RXj) (j = 0 ~ 31)	1087
30.2.11	受信 FIFO コントロールレジスタ (RFCR)	1089
30.2.12	受信 FIFO ポインタコントロールレジスタ (RFPCR)	1091
30.2.13	送信 FIFO コントロールレジスタ (TFCR)	1092
30.2.14	送信 FIFO ポインタコントロールレジスタ (TFPCR)	1093
30.2.15	ステータスレジスタ (STR)	1094
30.2.16	メールボックスサーチモードレジスタ (MSMR)	1096
30.2.17	メールボックスサーチステータスレジスタ (MSSR)	1097
30.2.18	チャネルサーチサポートレジスタ (CSSR)	1098
30.2.19	アクセプタンスフィルタサポートレジスタ (AFSR)	1099
30.2.20	エラー割り込みイネーブルレジスタ (EIER)	1100
30.2.21	エラー割り込み要因判定レジスタ (EIFR)	1102
30.2.22	受信エラーカウントレジスタ (RECR)	1104
30.2.23	送信エラーカウントレジスタ (TECR)	1104
30.2.24	エラーコード格納レジスタ (ECSR)	1105
30.2.25	タイムスタンプレジスタ (TSR)	1106
30.2.26	テストコントロールレジスタ (TCR)	1107
30.3	動作モード	1109
30.3.1	CAN リセットモード	1110
30.3.2	CAN halt モード	1111
30.3.3	CAN スリープモード	1112
30.3.4	CAN オペレーションモード (バスオフ状態以外)	1112

30.3.5	CAN オペレーションモード (バスオフ状態)	1113
30.4	データ転送レートの設定	1114
30.4.1	クロックの設定	1114
30.4.2	ビットタイムの設定	1114
30.4.3	データ転送レート	1115
30.5	メールボックスとマスクレジスタの構成	1116
30.6	アクセプタンスフィルタ機能とマスク機能	1118
30.7	受信/送信	1121
30.7.1	受信	1122
30.7.2	送信	1124
30.8	割り込み	1125
30.9	使用上の注意事項	1126
30.9.1	モジュールストップ状態の設定	1126
30.9.2	動作クロックの設定	1126
31.	シリアルペリフェラルインタフェース (SPI)	1127
31.1	概要	1127
31.2	レジスタの説明	1131
31.2.1	SPI コントロールレジスタ (SPCR)	1131
31.2.2	SPI スレーブ選択極性レジスタ (SSLP)	1132
31.2.3	SPI 端子コントロールレジスタ (SPPCR)	1133
31.2.4	SPI ステータスレジスタ (SPSR)	1134
31.2.5	SPI データレジスタ (SPDR/SPDR_HA)	1137
31.2.6	SPI ビットレートレジスタ (SPBR)	1140
31.2.7	SPI データコントロールレジスタ (SPDCR)	1141
31.2.8	SPI クロック遅延レジスタ (SPCKD)	1142
31.2.9	SPI スレーブ選択ネゲート遅延レジスタ (SSLND)	1143
31.2.10	SPI 次アクセス遅延レジスタ (SPND)	1144
31.2.11	SPI コントロールレジスタ 2 (SPCR2)	1145
31.2.12	SPI コマンドレジスタ 0 (SPCMD0)	1146
31.3	動作説明	1148
31.3.1	SPI 動作の概要	1148
31.3.2	SPI 端子の制御	1149
31.3.3	SPI システム構成例	1150
31.3.3.1	シングルマスタとシングルスレーブ (MCU はマスタ)	1150
31.3.3.2	シングルマスタとシングルスレーブ (MCU はスレーブ)	1151
31.3.3.3	シングルマスタとマルチスレーブ (MCU はマスタ)	1152
31.3.3.4	シングルマスタとマルチスレーブ (MCU はスレーブ)	1153
31.3.3.5	マルチマスタとマルチスレーブ (MCU はマスタ)	1154
31.3.3.6	クロック同期構成のマスタとスレーブ (MCU はマスタ)	1155
31.3.3.7	クロック同期構成のマスタとスレーブ (MCU はスレーブ)	1155
31.3.4	データフォーマット	1156

31.3.4.1	パリティ機能無効時の動作 (SPCR2.SPPE = 0)	1157
31.3.4.2	パリティ機能有効時の動作 (SPCR2.SPPE = 1)	1161
31.3.5	転送フォーマット	1165
31.3.5.1	CPHA ビット = 0 の場合	1165
31.3.5.2	CPHA ビット = 1 の場合	1166
31.3.6	データ転送モード	1167
31.3.6.1	全二重同期式シリアル通信 (SPCR.TXMD = 0)	1167
31.3.6.2	送信動作のみ (SPCR.TXMD = 1)	1168
31.3.7	送信バッファエンプティ/受信バッファフル割り込み	1169
31.3.8	エラー検出	1171
31.3.8.1	オーバーランエラー	1172
31.3.8.2	パリティエラー	1174
31.3.8.3	モードフォルトエラー	1175
31.3.8.4	アンダーランエラー	1175
31.3.9	SPI の初期化	1176
31.3.9.1	SPE ビットのクリアによる初期化	1176
31.3.9.2	システムリセットによる初期化	1176
31.3.10	SPI 動作	1177
31.3.10.1	マスタモード動作	1177
31.3.10.2	スレーブモード動作	1183
31.3.11	クロック同期式動作	1187
31.3.11.1	マスタモード動作	1187
31.3.11.2	スレーブモード動作	1189
31.3.12	ループバックモード	1191
31.3.13	パリティビット機能の自己診断	1192
31.3.14	割り込み要因	1193
31.4	イベントリンク動作	1194
31.4.1	受信バッファフルイベント出力	1194
31.4.2	送信バッファエンプティイベント出力	1194
31.4.3	モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力	1194
31.4.4	SPI アイドルイベント出力	1195
31.4.5	送信完了イベント出力	1195
31.5	使用上の注意事項	1196
31.5.1	モジュールストップ状態の設定	1196
31.5.2	低消費電力機能に関する制約	1196
31.5.3	転送の開始に関する制限	1196
31.5.4	モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力に関する制限	1196
31.5.5	SPRF および SPTEF フラグに関する制限	1196
32.	巡回冗長検査 (CRC) 演算器	1197
32.1	概要	1197

32.2	レジスタの説明	1198
32.2.1	CRC コントロールレジスタ 0 (CRCCR0)	1198
32.2.2	CRC コントロールレジスタ 1 (CRCCR1)	1199
32.2.3	CRC データ入力レジスタ (CRCDIR/CRCDIR_BY)	1199
32.2.4	CRC データ出力レジスタ (CRCDOR/CRCDOR_HA/CRCDOR_BY)	1200
32.2.5	スヌープアドレスレジスタ (CRCSAR)	1201
32.3	動作説明	1202
32.3.1	基本動作	1202
32.3.2	CRC スヌープ	1206
32.4	使用上の注意事項	1207
32.4.1	モジュールストップ状態の設定	1207
32.4.2	送信時の注意事項	1207
33.	拡張シリアルサウンドインタフェース (SSIE)	1208
33.1	概要	1208
33.2	SSIE の仕様	1208
33.3	ブロック図	1210
33.4	レジスタの説明	1212
33.4.1	コントロールレジスタ (SSICR)	1212
33.4.2	ステータスレジスタ (SSISR)	1222
33.4.3	FIFO コントロールレジスタ (SSIFCR)	1233
33.4.4	FIFO ステータスレジスタ (SSIFSR)	1240
33.4.5	送信 FIFO データレジスタ (SSIFTDR)	1243
33.4.6	受信 FIFO データレジスタ (SSIFRDR)	1245
33.4.7	TDM モードレジスタ (SSITDMR)	1247
33.4.8	ステータスコントロールレジスタ (SSISCR)	1251
33.5	通信フォーマット	1252
33.5.1	I ² S フォーマット	1253
33.5.2	モノラルフォーマット	1254
33.5.2.1	ショートフレーム	1254
33.5.2.2	ロングフレーム	1255
33.6	通信モード	1256
33.6.1	スレーブモード通信	1256
33.6.2	マスターモード通信	1256
33.6.3	送信	1257
33.6.4	受信	1257
33.6.5	送信および受信	1257
33.7	動作説明	1258
33.7.1	アイドル状態	1258
33.7.2	通信状態	1261
33.7.2.1	データ通信状態	1262
33.7.2.2	パディング通信	1264

33.8	通信動作	1265
33.8.1	通信開始	1265
33.8.2	送信	1267
33.8.3	受信	1268
33.8.4	送信および受信	1268
33.8.5	通信停止	1269
33.8.6	エラー処理	1270
33.8.7	通信再開	1271
33.9	割り込み	1272
33.9.1	SSIE0_SSIF 割り込み	1272
33.9.2	SSIE0_SSITXI 割り込み	1273
33.9.3	SSIE0_SSIRXI 割り込み	1274
33.10	ソフトウェアリセット	1275
33.10.1	ソフトウェアリセット手順	1275
33.11	注意事項	1277
33.11.1	スレーブモード通信の注意事項	1277
33.11.1.1	SSIBCK 制御	1277
33.11.1.2	SSILRCK/SSIFS 端子	1277
33.11.2	マスタモード通信の注意事項	1277
33.11.2.1	AUCKE 制御	1277
33.11.2.2	LRCONT 制御	1277
33.11.2.3	BCKASTP 制御	1277
33.11.3	通信フローの注意事項	1277
33.11.3.1	エラー割り込み発生	1277
33.11.3.2	送信データエンプティ割り込み	1278
33.11.3.3	受信データフル割り込み	1278
33.11.3.4	転送モードの切り替え	1278
33.11.3.5	SSIE 停止後の通信再開	1279
33.11.4	書き込みアクセス制限	1279
33.11.4.1	SSICR レジスタ	1279
33.11.4.2	SSISR レジスタ	1279
33.11.4.3	通信状態	1279
34.	バウンダリスキャン	1281
34.1	概要	1281
34.2	レジスタの説明	1282
34.2.1	インストラクションレジスタ (JTIR)	1283
34.2.2	ID コードレジスタ (JTIDR)	1283
34.2.3	バイパスレジスタ (JTBPR)	1284
34.2.4	バウンダリスキャンレジスタ (JTBSR)	1284
34.3	動作説明	1285
34.3.1	TAP コントローラ	1285

34.3.2	コマンド	1286
34.4	使用上の注意事項	1287
35.	14 ビット A/D コンバータ (ADC14)	1288
35.1	概要	1288
35.2	レジスタの説明	1292
35.2.1	A/D データレジスタ y (ADDRy)、A/D データ 2 重化レジスタ (ADDBLDR)、 A/D データ 2 重化レジスタ A (ADDBLDRA)、A/D データ 2 重化レジスタ B (ADDBLDRB)、A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR)	1292
35.2.2	A/D 自己診断データレジスタ (ADRD)	1296
35.2.3	A/D コントロールレジスタ (ADCSR)	1298
35.2.4	A/D チャネル選択レジスタ A0 (ADANSA0)	1302
35.2.5	A/D チャネル選択レジスタ A1 (ADANSA1)	1303
35.2.6	A/D チャネル選択レジスタ B0 (ADANSB0)	1304
35.2.7	A/D チャネル選択レジスタ B1 (ADANSB1)	1305
35.2.8	A/D 変換値加算／平均チャネル選択レジスタ 0 (ADADS0)	1306
35.2.9	A/D 変換値加算／平均チャネル選択レジスタ 1 (ADADS1)	1307
35.2.10	A/D 変換値加算／平均回数選択レジスタ (ADADC)	1308
35.2.11	A/D コントロール拡張レジスタ (ADCER)	1309
35.2.12	A/D 変換開始トリガ選択レジスタ (ADSTRGR)	1311
35.2.13	A/D 変換拡張入力コントロールレジスタ (ADEXICR)	1313
35.2.14	A/D サンプリングステートレジスタ n (ADSSTRn) (n = 00 ~ 14, L, T, O)	1315
35.2.15	A/D 断線検出コントロールレジスタ (ADDISCR)	1316
35.2.16	A/D グループスキャン優先コントロールレジスタ (ADGSPCR)	1317
35.2.17	A/D コンペア機能コントロールレジスタ (ADCMPCR)	1319
35.2.18	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0 (ADCMPANSR0)	1321
35.2.19	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1 (ADCMPANSR1)	1321
35.2.20	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)	1322
35.2.21	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)	1323
35.2.22	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPLR1)	1325
35.2.23	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER)	1326
35.2.24	A/D コンペア機能ウィンドウ A 下側レベル設定レジスタ (ADCMPDR0)、 A/D コンペア機能ウィンドウ A 上側レベル設定レジスタ (ADCMPDR1)、 A/D コンペア機能ウィンドウ B 下側レベル設定レジスタ (ADWINLLB)、 A/D コンペア機能ウィンドウ B 上側レベル設定レジスタ (ADWINULB)	1327
35.2.25	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 (ADCMPSR0) ...	1329
35.2.26	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1 (ADCMPSR1) ...	1330
35.2.27	A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ (ADCMPSER)	1331
35.2.28	A/D コンペア機能ウィンドウ B チャネル選択レジスタ (ADCMPBNSR)	1332
35.2.29	A/D コンペア機能ウィンドウ B ステータスレジスタ (ADCMPBSR)	1334
35.2.30	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)	1335

35.2.31	A/D 高電位／低電位基準電圧コントロールレジスタ (ADHVREFCNT)	1336
35.3	動作説明	1337
35.3.1	スキヤンの動作説明	1337
35.3.2	シングルスキヤンモード	1338
35.3.2.1	基本動作	1338
35.3.2.2	チャンネル選択と自己診断	1339
35.3.2.3	温度センサ出力／内部基準電圧選択時の A/D 変換動作	1340
35.3.2.4	ダブルトリガモード選択時の A/D 変換動作	1341
35.3.2.5	ダブルトリガモード選択時の拡張動作	1342
35.3.3	連続スキヤンモード	1343
35.3.3.1	基本動作	1343
35.3.3.2	チャンネル選択と自己診断	1344
35.3.4	グループスキヤンモード	1345
35.3.4.1	基本動作	1345
35.3.4.2	ダブルトリガモード選択時の A/D 変換動作	1346
35.3.4.3	グループ A 優先制御動作	1347
35.3.5	コンペア機能 (ウィンドウ A、ウィンドウ B)	1357
35.3.5.1	コンペア機能	1357
35.3.5.2	コンペア機能のイベント出力	1359
35.3.5.3	コンペア機能の制限事項	1361
35.3.6	アナログ入力のサンプリング時間とスキヤン変換時間	1361
35.3.7	A/D データレジスタの自動クリア機能の使用例	1364
35.3.8	A/D 変換値加算／平均モード	1364
35.3.9	断線検出アシスト機能	1365
35.3.10	非同期トリガによる A/D 変換の開始	1366
35.3.11	周辺モジュールからの同期トリガによる A/D 変換の開始	1367
35.4	割り込み要因と DTC/DMAC 転送要求	1368
35.4.1	割り込み要求	1368
35.5	イベントリンク機能	1369
35.5.1	ELC へのイベント出力	1369
35.5.2	ELC からのイベントによる ADC14 の動作	1369
35.6	基準電圧の選択	1369
35.7	高電位基準電圧に内部基準電圧を選択する A/D 変換手順	1370
35.8	使用上の注意事項	1371
35.8.1	データレジスタの読み出し注意事項	1371
35.8.2	A/D 変換停止時の注意事項	1372
35.8.3	A/D 変換強制停止と開始時の動作タイミング	1373
35.8.4	スキヤン終了割り込み処理の制限事項	1373
35.8.5	モジュールストップ状態の設定	1373
35.8.6	低消費電力状態への遷移に関する制限事項	1373
35.8.7	断線検出アシスト機能使用時の絶対精度誤差	1373

35.8.8	ADHSC ビット書き換え手順	1374
35.8.9	動作モードおよびステータスビットについての注意事項	1374
35.8.10	ボード設計に関する注意事項	1374
35.8.11	ノイズ低減についての注意事項	1375
35.8.12	14 ビット A/D コンバータ入力を使用する場合のポートの設定	1375
35.8.13	ADC14、OPAMP、ACMPLP 間の関係	1376
35.8.14	ソフトウェアスタンバイモードの解除についての注意事項	1376
36.	12 ビット D/A コンバータ (DAC12)	1377
36.1	概要	1377
36.2	レジスタの説明	1378
36.2.1	D/A データレジスタ 0 (DADR0)	1378
36.2.2	D/A コントロールレジスタ (DACR)	1378
36.2.3	DADR0 フォーマット選択レジスタ (DADPR)	1379
36.2.4	D/A A/D 同期スタートコントロールレジスタ (DAADSCR)	1379
36.2.5	D/A VREF コントロールレジスタ (DAVREFCR)	1380
36.3	動作説明	1381
36.3.1	D/A 変換と A/D 変換の干渉低減	1382
36.3.2	内部基準電圧を基準電圧として使用するときの注意事項	1384
36.4	イベントリンクの動作設定手順	1385
36.5	イベントリンク動作における注意事項	1385
36.6	使用上の注意事項	1386
36.6.1	モジュールストップ機能の設定	1386
36.6.2	モジュールストップ状態での DAC12 の動作	1386
36.6.3	ソフトウェアスタンバイモード時の DAC12 の動作	1386
36.6.4	D/A 変換と A/D 変換の干渉低減有効時の制限事項	1386
37.	温度センサ (TSN)	1387
37.1	概要	1387
37.2	レジスタの説明	1388
37.2.1	温度センサ較正データレジスタ H (TSCDRH)	1388
37.2.2	温度センサ較正データレジスタ L (TSCDRL)	1388
37.3	温度センサの使用方法	1389
37.3.1	使用前の準備	1389
37.3.2	温度センサの使用手順	1390
38.	オペアンプ (OPAMP)	1391
38.1	概要	1391
38.2	レジスタの説明	1392
38.2.1	オペアンプモードコントロールレジスタ (AMPMC)	1392
38.2.2	オペアンプトリガモードコントロールレジスタ (AMPTRM)	1393
38.2.3	オペアンプ起動トリガ選択レジスタ (AMPTRS)	1393
38.2.4	オペアンプコントロールレジスタ (AMPC)	1394
38.2.5	オペアンプモニタレジスタ (AMPMON)	1394

38.3	動作説明	1395
38.3.1	状態遷移	1395
38.3.2	オペアンプ制御動作	1396
38.4	ソフトウェアトリガモード	1400
38.5	起動トリガモード	1401
38.6	起動および A/D トリガモード	1402
38.7	使用上の注意事項	1402
39.	低消費電力アナログコンパレータ (ACMPLP)	1403
39.1	概要	1403
39.2	レジスタの説明	1406
39.2.1	ACMPLP モード設定レジスタ (COMPMDR)	1406
39.2.2	ACMPLP フィルタコントロールレジスタ (COMPFIR)	1407
39.2.3	ACMPLP 出力コントロールレジスタ (COMPOCR)	1408
39.2.4	コンパレータ入力選択レジスタ (COMPSEL0)	1408
39.2.5	コンパレータ基準電圧選択レジスタ (COMPSEL1)	1409
39.3	動作説明	1410
39.4	ノイズフィルタ	1413
39.5	ACMPLP 割り込み	1414
39.6	ELC イベント出力	1414
39.7	割り込み処理と ELC リンクの関係	1414
39.8	コンパレータ端子出力	1414
39.9	使用上の注意事項	1414
39.9.1	モジュールストップ状態の設定	1414
39.9.2	A/D コンバータとの関係	1414
40.	8 ビット D/A コンバータ (DAC8)	1415
40.1	概要	1415
40.2	レジスタの説明	1416
40.2.1	D/A 変換値設定レジスタ n (DACSn) (n = 0, 1)	1416
40.2.2	D/A コンバータモードレジスタ (DAM)	1416
40.3	動作説明	1417
40.4	使用上の注意事項	1417
40.4.1	モジュールストップ状態	1417
40.4.2	モジュールストップ状態での 8 ビット D/A コンバータの動作	1417
40.4.3	ソフトウェアスタンバイモード時の 8 ビット D/A コンバータの動作	1417
40.4.4	D/A コンバータを使用しないとき	1417
41.	静電容量式タッチセンシングユニット (CTSU)	1418
41.1	概要	1418
41.2	レジスタの説明	1421
41.2.1	CTSU コントロールレジスタ 0 (CTSUCR0)	1421
41.2.2	CTSU コントロールレジスタ 1 (CTSUCR1)	1423
41.2.3	CTSU 同期ノイズ低減設定レジスタ (CTSUSDPRS)	1424
41.2.4	CTSU センサ安定待ち時間コントロールレジスタ (CTSUSST)	1425

41.2.5	CTSU 計測チャンネルレジスタ 0 (CTSUMCH0)	1426
41.2.6	CTSU 計測チャンネルレジスタ 1 (CTSUMCH1)	1428
41.2.7	CTSU チャンネルイネーブルコントロールレジスタ 0 (CTSUCHAC0)	1429
41.2.8	CTSU チャンネルイネーブルコントロールレジスタ 1 (CTSUCHAC1)	1429
41.2.9	CTSU チャンネルイネーブルコントロールレジスタ 2 (CTSUCHAC2)	1430
41.2.10	CTSU チャンネルイネーブルコントロールレジスタ 3 (CTSUCHAC3)	1430
41.2.11	CTSU チャンネルイネーブルコントロールレジスタ 4 (CTSUCHAC4)	1431
41.2.12	CTSU チャンネル送受信コントロールレジスタ 0 (CTSUCHTRC0)	1431
41.2.13	CTSU チャンネル送受信コントロールレジスタ 1 (CTSUCHTRC1)	1432
41.2.14	CTSU チャンネル送受信コントロールレジスタ 2 (CTSUCHTRC2)	1432
41.2.15	CTSU チャンネル送受信コントロールレジスタ 3 (CTSUCHTRC3)	1433
41.2.16	CTSU チャンネル送受信コントロールレジスタ 4 (CTSUCHTRC4)	1433
41.2.17	CTSU 高域ノイズ低減コントロールレジスタ (CTSUDCLKC)	1434
41.2.18	CTSU ステータスレジスタ (CTSUST)	1435
41.2.19	CTSU 高域ノイズ低減スペクトラム拡散コントロールレジスタ (CTSUSSC)	1437
41.2.20	CTSU センサオフセットレジスタ 0 (CTSUSO0)	1438
41.2.21	CTSU センサオフセットレジスタ 1 (CTSUSO1)	1439
41.2.22	CTSU センサカウンタ (CTSUSC)	1440
41.2.23	CTSU リファレンスカウンタ (CTSURC)	1441
41.2.24	CTSU エラーステータスレジスタ (CTSUERRS)	1442
41.3	動作説明	1444
41.3.1	計測動作原理	1444
41.3.2	計測モード	1446
41.3.2.1	初期設定フロー	1447
41.3.2.2	ステータスカウンタ	1448
41.3.2.3	自己容量シングルスキャンモードの動作	1449
41.3.2.4	自己容量マルチスキャンモードの動作	1451
41.3.2.5	相互容量フルスキャンモードの動作	1453
41.3.3	複数モードに関わる共通事項	1456
41.3.3.1	センサ安定待ち時間と計測時間	1456
41.3.3.2	割り込み	1457
41.4	使用上の注意事項	1459
41.4.1	計測結果データ (CTSUSC カウンタ、CTSURC カウンタ)	1459
41.4.2	ソフトウェアトリガに対する制限	1459
41.4.3	外部トリガに対する制限	1459
41.4.4	強制終了に関する制限	1459
41.4.5	TSCAP 端子	1460
41.4.6	計測動作時 (CTSUCR0.CTUSUSTRT ビット = 1) の制限	1460
42.	データ演算回路 (DOC)	1461
42.1	概要	1461
42.2	レジスタの説明	1462

42.2.1	DOC コントロールレジスタ (DOCR)	1462
42.2.2	DOC データ入力レジスタ (DODIR)	1463
42.2.3	DOC データ設定レジスタ (DODSR)	1463
42.3	動作説明	1464
42.3.1	データ比較モード	1464
42.3.2	データ加算モード	1465
42.3.3	データ減算モード	1466
42.4	イベントリンクコントローラ (ELC) への割り込み要求と出力	1466
42.5	使用上の注意事項	1466
42.5.1	モジュールストップ状態の設定	1466
43.	SRAM	1467
43.1	概要	1467
43.2	レジスタの説明	1468
43.2.1	SRAM パリティエラー検出後動作レジスタ (PARIOAD)	1468
43.2.2	SRAM プロテクトレジスタ (SRAMPRCR)	1468
43.2.3	ECC 動作モードコントロールレジスタ (ECCMODE)	1469
43.2.4	ECC 2 ビットエラーステータスレジスタ (ECC2STS)	1469
43.2.5	ECC 1 ビットエラー情報更新イネーブルレジスタ (ECC1STSEN)	1470
43.2.6	ECC 1 ビットエラーステータスレジスタ (ECC1STS)	1470
43.2.7	ECC プロテクトレジスタ (ECCPRCR)	1471
43.2.8	ECC プロテクトレジスタ 2 (ECCPRCR2)	1471
43.2.9	ECC テストコントロールレジスタ (ECCTEST)	1472
43.2.10	SRAM ECC エラー検出後動作レジスタ (ECCOAD)	1472
43.3	動作説明	1473
43.3.1	消費電力低減機能	1473
43.3.2	ECC 機能	1473
43.3.3	ECC エラー発生	1474
43.3.4	ECC デコーダのテスト方法	1475
43.3.5	パリティ計算機能	1476
43.3.6	SRAM エラー要因	1477
43.3.7	アクセスサイクル	1478
43.4	使用上の注意事項	1478
43.4.1	SRAM 領域からの命令フェッチ	1478
43.4.2	SRAM のストアバッファ	1478
44.	フラッシュメモリ	1479
44.1	概要	1479
44.2	メモリ構成	1481
44.3	フラッシュキャッシュ	1483
44.3.1	概要	1483
44.4	レジスタの説明	1484
44.4.1	フラッシュキャッシュイネーブルレジスタ (FCACHEE)	1484

44.4.2	フラッシュキャッシュインバリデートレジスタ (FCACHEIV)	1484
44.4.3	データフラッシュコントロールレジスタ (DFLCTL)	1485
44.4.4	ファクトリ MCU インフォメーションフラッシュルートテーブル (FMIFRT)	1485
44.4.5	ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)	1486
44.4.6	型名レジスタ n (PNRn) (n = 0 ~ 3)	1486
44.4.7	MCU バージョンレジスタ (MCUVER)	1487
44.5	動作説明	1488
44.5.1	フラッシュキャッシュ使用における注意	1488
44.6	フラッシュメモリ関連の動作モード	1489
44.6.1	ID コードプロテクト機能	1490
44.7	機能概要	1491
44.7.1	構成領域ビットマップ	1493
44.7.2	スタートアップ領域選択	1493
44.7.3	アクセスウィンドウによるプロテクション	1494
44.8	プログラムコマンド	1495
44.9	サスペンド動作	1495
44.10	プロテクション機能	1495
44.11	シリアルプログラミングモード	1496
44.11.1	SCI ブートモード	1496
44.11.2	USB ブートモード	1497
44.12	シリアルプログラマを使用する場合	1498
44.12.1	シリアルプログラミング	1498
44.12.2	プログラミング環境	1498
44.13	セルフプログラミング	1499
44.13.1	概要	1499
44.13.2	バックグラウンドオペレーション	1499
44.14	フラッシュメモリの読み出し	1500
44.14.1	コードフラッシュメモリの読み出し	1500
44.14.2	データフラッシュメモリの読み出し	1500
44.15	使用上の注意事項	1501
44.15.1	イレースを中断した領域	1501
44.15.2	イレースサスペンドコマンドによる中断	1501
44.15.3	追加の書き込みに関する制限	1501
44.15.4	プログラム/イレース中のリセット	1501
44.15.5	プログラム/イレース中に禁止されるノンマスカブル割り込み	1501
44.15.6	プログラム/イレース動作中における割り込みベクタの配置	1501
44.15.7	Low-speed モードでのプログラム/イレース	1501
44.15.8	プログラム/イレース中の異常終了	1501
44.15.9	プログラム/イレース中に禁止の動作	1502
45.	セグメント LCD コントローラ (SLCDC)	1503
45.1	概要	1503

45.2	レジスタの説明	1506
45.2.1	LCD モードレジスタ 0 (LCDM0)	1506
45.2.2	LCD モードレジスタ 1 (LCDM1)	1507
45.2.3	LCD クロックコントロールレジスタ 0 (LCDC0)	1508
45.2.4	LCD ブーストレベルコントロールレジスタ (VLCD)	1509
45.3	LCD 表示データレジスタ	1510
45.4	LCD 表示データレジスタの選択	1513
45.4.1	A パターン領域と B パターン領域のデータ表示	1513
45.4.2	点滅表示 (A パターン領域と B パターン領域のデータを交互に表示)	1514
45.5	LCD コントローラ/ドライバの設定	1515
45.6	動作停止手順	1518
45.7	LCD 駆動電圧 (VL1、VL2、VL3、VL4) の供給	1519
45.7.1	外部抵抗分割方式	1519
45.7.2	内部昇圧方式	1521
45.7.3	容量分割方式	1522
45.8	コモン信号とセグメント信号	1523
45.9	表示モード	1530
45.9.1	スタティック表示例	1530
45.9.2	2 時分割表示例	1533
45.9.3	3 時分割表示例	1536
45.9.4	4 時分割表示例	1540
45.9.5	8 時分割表示例	1544
46.	セキュア暗号エンジン (SCE5)	1548
46.1	概要	1548
46.2	動作説明	1549
46.2.1	暗号エンジン	1549
46.2.2	暗号化と復号	1550
46.3	使用上の注意事項	1550
46.3.1	ソフトウェアスタンバイモード	1550
46.3.2	モジュールストップ機能の設定	1550
47.	内部電圧レギュレータ	1551
47.1	概要	1551
47.2	動作説明	1551
48.	電気的特性	1552
48.1	絶対最大定格	1553
48.2	DC 特性	1555
48.2.1	T_j/T_a の定義	1555
48.2.2	I/O V_{IH} , V_{IL}	1555
48.2.3	I/O I_{OH} , I_{OL}	1557
48.2.4	I/O V_{OH} , V_{OL} 、その他の特性	1559
48.2.5	低駆動能力の入出力端子出力特性	1562

48.2.6	中駆動能力の入出力端子出力特性	1565
48.2.7	中駆動能力の P408、P409 入出力端子出力特性	1568
48.2.8	IIC 入出力端子出力特性	1570
48.2.9	動作電流とスタンバイ電流	1571
48.2.10	VCC 立ち上がり／立ち下がり勾配とリップル周波数	1579
48.3	AC 特性	1580
48.3.1	周波数	1580
48.3.2	クロックタイミング	1583
48.3.3	リセットタイミング	1587
48.3.4	ウェイクアップ時間	1588
48.3.5	NMI/IRQ ノイズフィルタ	1592
48.3.6	I/O ポート、POEG、GPT、AGT、KINT、ADC14 のトリガタイミング	1593
48.3.7	CAC タイミング	1595
48.3.8	SCI タイミング	1595
48.3.9	SPI タイミング	1601
48.3.10	IIC タイミング	1607
48.3.11	SSIE タイミング	1609
48.3.12	CLKOUT タイミング	1612
48.4	USB 特性	1613
48.4.1	USBFS タイミング	1613
48.4.2	USB 外部供給	1614
48.5	ADC14 特性	1615
48.6	DAC12 特性	1625
48.7	TSN 特性	1627
48.8	OSC 停止検出特性	1627
48.9	POR/LVD 特性	1628
48.10	バッテリーバックアップ機能特性	1632
48.11	CTSU 特性	1635
48.12	セグメント LCD コントローラ特性	1635
48.12.1	抵抗分割方式	1635
48.12.2	内部昇圧方式	1636
48.12.3	容量分割方式	1638
48.13	コンパレータ特性	1639
48.14	OPAMP 特性	1640
48.15	フラッシュメモリ特性	1641
48.15.1	コードフラッシュメモリ特性	1641
48.15.2	データフラッシュメモリ特性	1643
48.16	バウンダリスキャン	1644
48.17	ジョイントテストアクショングループ (JTAG)	1646
48.17.1	シリアルワイヤデバッグ (SWD)	1648
付録 1.	各プロセスモードのポート状態	1650

付録 2.	外形寸法図	1653
付録 3.	I/O レジスタ	1663
3.1	周辺機能のベースアドレス	1663
3.2	アクセスサイクル	1665
3.3	レジスタの説明	1667
改訂記録		1690

高効率48MHz Arm® Cortex®-M4コア、256KBのコードフラッシュメモリ、32KB SRAM、セグメントLCDコントローラ、静電容量式タッチセンシングユニット、USB2.0フルスピードモジュール、14ビットA/Dコンバータ、12ビットD/Aコンバータ、セキュリティ&セーフティ機能

特長

■ 浮動小数点ユニット (FPU) 内蔵

Arm Cortex-M4 コア

- Armv7E-M アーキテクチャ (DSP 命令セット搭載)
- 最大動作周波数: 48MHz
- 4GB アドレス空間をサポート
- Arm メモリプロテクションユニット (Arm MPU) (8 領域)
- デバッグ&トレース: ITM, DWT, FPB, TPIU, ETB
- CoreSight™ デバッグポート: JTAG-DP および SW-DP

■ メモリ

- 256KB のコードフラッシュメモリ
- 8KB データフラッシュメモリ (100000 回のプログラム/イレース (P/E) サイクル)
- 32KB の SRAM
- フラッシュキャッシュ (FCACHE)
- メモリプロテクションユニット (MPU)
- 128 ビットの固有の ID

■ 接続性

- USB2.0 フルスピードモジュール (USBFS)
 - オンチップトランシーバ (電圧レギュレータ付き)
 - USB バッテリチャージング規格 1.2 に準拠
- シリアルコミュニケーションインタフェース (SCI) × 4
 - UART
 - 簡易 IIC
 - 簡易 SPI
- シリアルペリフェラルインタフェース (SPI) × 2
- I²C バスインタフェース (IIC) × 2
- コントローラエリアネットワーク (CAN) モジュール
- 拡張シリアルサウンディングインタフェース (SSIE)

■ アナログ

- 14 ビット A/D コンバータ (ADC14)
- 12 ビット D/A コンバータ (DAC12)
- 8 ビット D/A コンバータ (DAC8) × 2 (ACMPLP 用)
- 低消費電力アナログコンバータ (ACMPLP) × 2
- オペアンプ (OPAMP) × 4
- 温度センサ (TSN)

■ タイマ

- 32 ビット汎用 PWM タイマ (GPT32) × 2
- 16 ビット汎用 PWM タイマ (GPT16) × 6
- 低消費電力非同期汎用タイマ (AGT) × 2
- ウォッチドッグタイマ (WDT)

■ セーフティ

- エラーコレクションコード (ECC) 搭載の SRAM
- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- GPT 用のポートアウトブットイネーブル (POEG)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション
- メインクロック発振器停止検出
- 不正メモリアクセス

■ システムおよびパワーマネジメント

- 低消費電力モード
- カレンダーおよびバッテリバックアップ対応のリアルタイムクロック (RTC)
- イベントリンクコントローラ (ELC)
- DMA コントローラ (DMAC) × 4
- データトランスファコントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 電圧設定が可能な低電圧検出 (LVD)

■ セキュリティおよび暗号化

- AES128/256
- GHASH
- 真性乱数発生器 (TRNG)

■ ヒューマンマシーンインタフェース (HMI)

- セグメント LCD コントローラ (SLCDC)
 - 最大 38 セグメント × 4 コモン
 - 最大 34 セグメント × 8 コモン
- 静電容量式タッチセンシングユニット (CTSU)

■ マルチクロックソース

- メインクロック発振器 (MOSC)
 - (1 ~ 20MHz, VCC = 2.4 ~ 5.5V の場合)
 - (1 ~ 8MHz, VCC = 1.8 ~ 2.4V の場合)
 - (1 ~ 4MHz, VCC = 1.6 ~ 1.8V の場合)
- サブクロック発振器 (SOSC) (32.768kHz)
- 高速オンチップオシレータ (HOCO)
 - (24, 32, 48, 64MHz, VCC = 2.4 ~ 5.5V の場合)
 - (24, 32, 48MHz, VCC = 1.8 ~ 5.5V の場合)
 - (24, 32MHz, VCC = 1.6 ~ 5.5V の場合)
- 中速オンチップオシレータ (MOCO) (8MHz)
- 低速オンチップオシレータ (LOCO) (32.768kHz)
- IWDT 専用オンチップオシレータ (15kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- クロックアウトのサポート

■ 汎用入出力ポート

- 最大 84 本の入出力端子
 - 最大 3 本の CMOS 入力
 - 最大 81 本の CMOS 入出力
 - 最大 9 本の 5V トレラント入出力
 - 最大 2 本の大電流端子 (20mA)

■ 動作電圧

- VCC: 1.6 ~ 5.5V

■ 動作温度およびパッケージ

- Ta = -40 °C ~ +85 °C
 - 100 ピン LGA (7mm × 7mm, 0.65mm ピッチ)
- Ta = -40 °C ~ +105 °C
 - 100 ピン LQFP (14mm × 14mm, 0.5mm ピッチ)
 - 64 ピン LQFP (10mm × 10mm, 0.5mm ピッチ)
 - 64 ピン QFN (8mm × 8mm, 0.4mm ピッチ)
 - 48 ピン LQFP (7mm × 7mm, 0.5mm ピッチ)
 - 48 ピン QFN (7mm × 7mm, 0.5mm ピッチ)
 - 40 ピン QFN (6mm × 6mm, 0.5mm ピッチ)

1. 概要

MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm® ベースの 32 ビットコア MCU で構成されています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本 MCU は、最大 48MHz で動作する低消費電力で高性能な Arm Cortex®-M4 コアと、以下の各機能を最適な形で組み合わせています。

- 256KB のコードフラッシュメモリ
- 32KB の SRAM
- セグメント LCD コントローラ (SLCDC)
- 静電容量式タッチセンシングユニット (CTSU)
- USB2.0 フルスピードモジュール (USBFS)
- 14 ビット A/D コンバータ (ADC14)
- 12 ビット D/A コンバータ (DAC12)
- セキュリティ機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M4 コア	<ul style="list-style-type: none"> • 最高動作周波数 : 48MHz • Arm Cortex-M4 コア : <ul style="list-style-type: none"> - リビジョン : r0p1-01rel0 - Armv7E-M アーキテクチャプロファイル - 単精度浮動小数点ユニット (ANSI/IEEE 規格 754-2008 に準拠) • Arm メモリプロテクションユニット (Arm MPU) : <ul style="list-style-type: none"> - Armv7 保護メモリシステムアーキテクチャ - 8 つのメモリ保護領域 • SysTick タイマ : <ul style="list-style-type: none"> - SYSTICLK (LOCO) または ICLK クロックによる駆動

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 256KB のコードフラッシュメモリ。「44. フラッシュメモリ」を参照してください。
データフラッシュメモリ	8KB のデータフラッシュメモリ。「44. フラッシュメモリ」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。「6. オプション設定メモリ」を参照してください。
SRAM	パリティビットまたは誤り訂正コード (ECC) を備えた高速 SRAM を内蔵しています。ECC 誤り訂正機能は SRAM0 の領域にあります。「43. SRAM」を参照してください。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2種類の動作モード： <ul style="list-style-type: none"> • シングルチップモード • SCI/USB ブートモード 「3. 動作モード」を参照してください。
リセット	14種類のリセット： <ul style="list-style-type: none"> • RES端子リセット • パワーオンリセット • VBATT 選択電圧のパワーオンリセット • 独立ウォッチドッグタイマリセット • ウォッチドッグタイマリセット • 電圧監視0リセット • 電圧監視1リセット • 電圧監視2リセット • SRAMパリティエラーリセット • SRAM ECCエラーリセット • バスマスタMPUエラーリセット • バススレーブMPUエラーリセット • CPUスタックポインタエラーリセット • ソフトウェアリセット 「5. リセット」を参照してください。
低電圧検出 (LVD)	低電圧検出 (LVD) 機能は、VCC端子へ入力された電圧レベルを監視します。検出レベルはソフトウェアプログラムで選択できます。「7. 低電圧検出 (LVD)」を参照してください。
クロック	<ul style="list-style-type: none"> • メインクロック発振器 (MOSC) • サブクロック発振器 (SOSC) • 高速オンチップオシレータ (HOCO) • 中速オンチップオシレータ (MOCO) • 低速オンチップオシレータ (LOCO) • PLL周波数シンセサイザ • IWDWT専用オンチップオシレータ • クロックアウトのサポート 「8. クロック発生回路」を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定基準として使用するクロック (測定基準クロック) で生成した時間内に、測定対象となるクロック (測定対象クロック) のパルス数をカウントし、パルス数が許容範囲内であるかどうかを判定します。測定が完了した場合、または測定基準クロックで生成した時間内のパルス数が許容範囲内でない場合は、割り込み要求が発生します。「9. クロック周波数精度測定回路 (CAC)」を参照してください。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、NVIC/DTCモジュールとDMACモジュールにリンクされるイベント信号を制御します。また、NMI割り込みも制御します。「13. 割り込みコントローラユニット (ICU)」を参照してください。
キー割り込み機能 (KINT)	キー割り込みは、キーリターンモードレジスタ (KRM) をを設定し、キー割り込み入力端子に立ち上がりまたは立ち下がりエッジを入力することで発生させることができます。「20. キー割り込み機能 (KINT)」を参照してください。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。「10. 低消費電力モード」を参照してください。
バッテリーバックアップ機能	バッテリーバックアップ機能により、バッテリーによる部分電力供給が可能です。バッテリー電源領域に含まれるものには、RTC、SOSC、LOCO、ウェイクアップコントロール、バックアップメモリ、VBATT_R低電圧検出、およびVCCとVBATT間の切り替えがあります。正常に動作しているとき、バッテリー電源領域にはメイン電源 (VCC端子) から電力が供給されます。VCC端子に電圧降下を検出されると、電源は専用のバッテリーバックアップ用電源端子 (VBATT端子) に切り替わります。再び電圧が上昇すると、電源は再びVBATT端子からVCC端子へ切り替わります。「11. バッテリーバックアップ機能」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。「12. レジスタライトプロテクション」を参照してください。
メモリプロテクションユニット (MPU)	メモリ保護のために4つのメモリプロテクションユニット (MPU) とCPUスタックポインタモニタ機能が備えられています。「15. メモリプロテクションユニット (MPU)」を参照してください。

表 1.3 システム (2/2)

機能	機能の説明
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は14ビットのダウンカウンタです。システムが暴走してWDTをリフレッシュできないためにカウンタがアンダーフローした場合、本MCUをリセットするために使用できます。さらに、アンダーフローによって、ノンマスカブル割り込みまたは割り込みを発生させることも可能です。カウンタのリフレッシュには、リフレッシュ許可期間を設定することができ、この許可期間を暴走検知の条件として使用できます。「 25. ウォッチドッグタイマ (WDT) 」を参照してください。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は14ビットのダウンカウンタで構成されます。このカウンタはアンダーフロー防止のため周期的に動作させる必要があります。IWDTには、本MCUをリセットする機能や、タイマのアンダーフローに備えて割り込み/ノンマスカブル割り込みを生成する機能があります。タイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、本MCUをフェールセーフ機構と呼ばれる状態に戻すことに特に役立ちます。独立ウォッチドッグタイマ (IWDT) は、リセット、アンダーフロー、リフレッシュエラー時に自動的に起動します。あるいはレジスタのカウント値のリフレッシュによっても起動します。「 26. 独立ウォッチドッグタイマ (IWDT) 」を参照してください。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号として使用し、それらを異なるモジュールに接続することにより、CPUを介さずにモジュール間の直接的な相互作用を可能にします。「 18. イベントリンクコントローラ (ELC) 」を参照してください。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) モジュールは割り込み要求による起動時に、データ転送を行います。「 17. データトランスファコントローラ (DTC) 」を参照してください。
DMAコントローラ (DMAC)	4チャンネルのDMAコントローラ (DMAC) モジュールは、CPUを介さずにデータ転送が可能です。DMA転送要求が発生すると、DMACは転送元アドレスに格納されているデータを転送先アドレスへ転送します。「 16. DMAコントローラ (DMAC) 」を参照してください。

表 1.6 タイマ

機能	機能の説明
汎用PWMタイマ (GPT)	汎用PWMタイマ (GPT) は、2チャンネルの32ビットタイマの場合と、6チャンネルの16ビットタイマの場合があります。PWM波形は、アップカウンタ、ダウンカウンタ、またはアップダウンカウンタを制御することで発生させることができます。さらに、ブラシレスDCモータ制御用のPWM波形を発生させることもできます。GPTは汎用タイマとしても使用可能です。「 22. 汎用PWMタイマ (GPT) 」を参照してください。
GPT用のポートアウトプットイネーブル (POEG)	汎用PWMタイマ (GPT) の出力端子を出力禁止状態とするには、GPT用のポートアウトプットイネーブル (POEG) 機能を使用します。「 21. GPT用ポートアウトプットイネーブル (POEG) 」を参照してください。
低消費電力非同期汎用タイマ (AGT)	低消費電力非同期汎用タイマ (AGT) は、パルスの出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な16ビットタイマです。この16ビットタイマは、リロードレジスタとダウンカウンタで構成されます。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGTレジスタでアクセスが可能です。「 23. 低消費電力非同期汎用タイマ (AGT) 」を参照してください。
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) は、カレンダーカウントモードとバイナリカウントモードの2種類のカウントモードを持ちます。これらはレジスタ設定で制御されます。カレンダーカウントモードでは、RTCは2000年から2099年までの100年間のカレンダーを内蔵しており、うるう年を自動調整します。バイナリカウントモードでは、RTCは秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに利用可能です。「 24. リアルタイムクロック (RTC) 」を参照してください。

表 1.7 通信インターフェース

機能	機能の説明
シリアルコミュニケーションインターフェース (SCI)	シリアルコミュニケーションインターフェース (SCI) は、下記の5種類の調歩同期式および同期式シリアルインターフェースとして設定が可能です。 <ul style="list-style-type: none"> 調歩同期式インターフェース (UART および調歩同期式通信インターフェースアダプタ (ACIA)) 8ビットクロック同期式インターフェース 簡易 IIC (マスタのみ) 簡易 SPI スマートカードインターフェース スマートカードインターフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。 SCI0 および SCI1 は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データの転送速度を個別に設定することが可能です。「 28. シリアルコミュニケーションインターフェース (SCI) 」を参照してください。
I ² Cバスインターフェース (IIC)	3チャンネルI ² Cバスインターフェース (IIC) モジュールは、NXP社が提唱するI ² Cバス (Inter-Integrated Circuit Bus) インターフェース機能に準拠しており、そのサブセット機能を提供しています。「 29. I²Cバスインターフェース (IIC) 」を参照してください。
シリアルペリフェラルインターフェース (SPI)	独立した2つのシリアルペリフェラルインターフェース (SPI) チャンネルによって、複数のプロセスおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。「 31. シリアルペリフェラルインターフェース (SPI) 」を参照してください。
拡張シリアルサウンドインターフェース (SSIE)	拡張シリアルサウンドインターフェース (SSIE) の周辺機器は、PCMオーディオデータを送信するため、デジタルオーディオデバイスをシリアルバス経由で本MCUに接続する機能を提供しています。SSIEは最大50MHzのオーディオクロック周波数をサポートしており、各種アプリケーションに適合するスレーブまたはマスタレシーバ/トランスミッタ/トランシーバとして動作可能です。SSIEはレシーバとトランスミッタに8段FIFOバッファを内蔵し、割り込みおよびDMA駆動によるデータ送受信をサポートしています。「 33. 拡張シリアルサウンドインターフェース (SSIE) 」を参照してください。
CAN (Controller Area Network) モジュール	CAN (Controller Area Network) モジュールは、電磁ノイズの多い応用機器において、複数のスレーブ・マスタ間でメッセージベースのプロトコルを用いたデータの送受信機能を提供します。 CANモジュールは、ISO 11898-1 (CAN 2.0A/CAN 2.0B) 規格に準拠しており、通常のメールボックスモードおよびFIFOモードを送信用に設定可能な最大32個のメールボックスをサポートしています。標準 (11ビット) と拡張 (29ビット) の両方のメッセージフォーマットに対応しています。「 30. CAN (Controller Area Network) モジュール 」を参照してください。
USB2.0フルスピードモジュール (USBFS)	USB2.0フルスピードモジュール (USBFS) は、ホストコントローラまたはデバイスコントローラとして動作可能です。本モジュールは、ユニバーサルシリアルバス規格2.0のフルスピード転送とロースピード転送 (ホストコントローラのみ) に対応しています。また、USBトランシーバを内蔵しており、ユニバーサルシリアルバス規格2.0で定義されている全転送タイプに対応しています。 データ転送用にバッファメモリを内蔵し、最大10本のパイプを使用できます。 パイプ1~9に対しては、通信を行う周辺デバイスやユーザシステムに合わせて任意のエンドポイント番号の割り付けが可能です。 本MCUは、バッテリーチャージング規格のリビジョン1.2に準拠しています。本MCUは5Vで動作するため、USB LDOレギュレータは内蔵USBトランシーバの電源に3.3Vを供給します。「 27. USB2.0フルスピードモジュール (USBFS) 」を参照してください。

表 1.8 アナログ (1/2)

機能	機能の説明
14ビットA/Dコンバータ (ADC14)	逐次比較方式の14ビットA/Dコンバータを内蔵しています。アナログ入力チャンネルは最大25チャンネルまで選択可能です。変換には温度センサ出力と内部基準電圧を選択できます。A/D変換精度には12ビット変換と14ビット変換が選択可能であり、デジタル値生成における速度と分解能のバランスを最適化できます。「 35. 14ビットA/Dコンバータ (ADC14) 」を参照してください。
12ビットD/Aコンバータ (DAC12)	出力アンプ付きの12ビットD/Aコンバータ (DAC12) です。「 36. 12ビットD/Aコンバータ (DAC12) 」を参照してください。
8ビットD/Aコンバータ (DAC8) (ACMPLP用)	本MCUは出力アンプなしの8ビットD/Aコンバータ (DAC8) を内蔵します。DAC8はACMPLPの基準電圧としてのみ使用します。「 40. 8ビットD/Aコンバータ (DAC8) 」を参照してください。

表 1.8 アナログ (2/2)

機能	機能の説明
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵の温度センサ (TSN) でダイ温度の測定と監視が可能です。このセンサはダイ温度に正比例した電圧を出力するため、ダイ温度と出力電圧はリニアな関係にあります。出力された電圧はADC14で変換されてから、末端の応用機器で使用できます。「37. 温度センサ (TSN)」を参照してください。
低消費電力アナログコンパレータ (ACMPLP)	低消費電力アナログコンパレータ (ACMPLP) は、基準入力電圧とアナログ入力電圧の比較が可能です。比較結果はソフトウェアで読み取ることも、外部に出力することもできます。基準入力電圧は、CMPREFi (i = 0, 1) 端子への入力、内部8ビットD/Aコンバータ出力、またはMCU内部に生成された内部基準電圧 (Vref) から選択できます。ACMPLPの応答速度は、動作開始前に設定可能です。高速モードを設定すると、応答遅延時間が短くなりますが、電流消費は増加します。低速モードを設定すると、応答遅延時間が長くなりますが、電流消費は低減します。「39. 低消費電力アナログコンパレータ (ACMPLP)」を参照してください。
オペアンプ (OPAMP)	オペアンプ (OPAMP) は、小さいアナログ入力電圧を増幅してその増幅電圧の出力が可能です。入力端子2つと出力端子1つを備えた差動オペアンプユニットが合計で4つ搭載されています。「38. オペアンプ (OPAMP)」を参照してください。

表 1.9 ヒューマンマシンインタフェース

機能	機能の説明
セグメントLCDコントローラ (SLCDC)	セグメントLCDコントローラ (SLCDC) には下記の機能があります。 <ul style="list-style-type: none"> • A波形またはB波形の選択が可能 • LCD駆動電圧生成回路は、内部昇圧方式、容量分割方式、および外部抵抗分割方式の間で切り替えが可能 • 表示データレジスタの自動読み出しによるセグメント信号とコモン信号の自動出力 • 昇圧回路動作時に生成する基準電圧を16段階から選択可能 (コントラスト調整) • LCDの点滅が可能 「45. セグメントLCDコントローラ (SLCDC)」を参照してください。
静電容量式タッチセンシングユニット (CTSU)	静電容量式タッチセンシングユニット (CTSU) は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は電気絶縁体で覆われており、指が電極に直接接触することはありません。「41. 静電容量式タッチセンシングユニット (CTSU)」を参照してください。

表 1.10 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC) 演算器は、CRCコードを生成してデータエラーを検出します。LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダを切り替えることができます。さらに、いくつかのCRC生成多項式が利用可能です。スヌープ機能により、特定のアドレスに対する読み出しと書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントでCRCコードの自動生成が必要となるアプリケーションで役立ちます。「32. 巡回冗長検査 (CRC) 演算器」を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16ビットのデータを比較、加算、または減算する機能です。「42. データ演算回路 (DOC)」を参照してください。

表 1.11 セキュリティ

機能	機能の説明
セキュアクリプトエンジン5 (SCE5)	<ul style="list-style-type: none"> • セキュリティアルゴリズム： <ul style="list-style-type: none"> - 対称暗号方式：AES • その他のサポート機能： <ul style="list-style-type: none"> - TRNG (真性乱数発生器) - ハッシュ値生成：GHASH

表 1.12 I/Oポート

機能	機能の説明
I/Oポート	<ul style="list-style-type: none">• 100ピンLQFP、100ピンLGA<ul style="list-style-type: none">- 入出力 : 81- 入力 : 3- ブルアップ抵抗 : 79- Nチャンネルオープンドレイン出力 : 64- 5Vトレラント : 9• 64ピンLQFP、64ピンQFN<ul style="list-style-type: none">- 入出力 : 49- 入力 : 3- ブルアップ抵抗 : 47- Nチャンネルオープンドレイン出力 : 36- 5Vトレラント : 7• 48ピンLQFP、48ピンQFN<ul style="list-style-type: none">- 入出力 : 33- 入力 : 3- ブルアップ抵抗 : 31- Nチャンネルオープンドレイン出力 : 22- 5Vトレラント : 4• 40ピンQFN<ul style="list-style-type: none">- 入出力 : 25- 入力 : 3- ブルアップ抵抗 : 23- Nチャンネルオープンドレイン出力 : 15- 5Vトレラント : 2

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

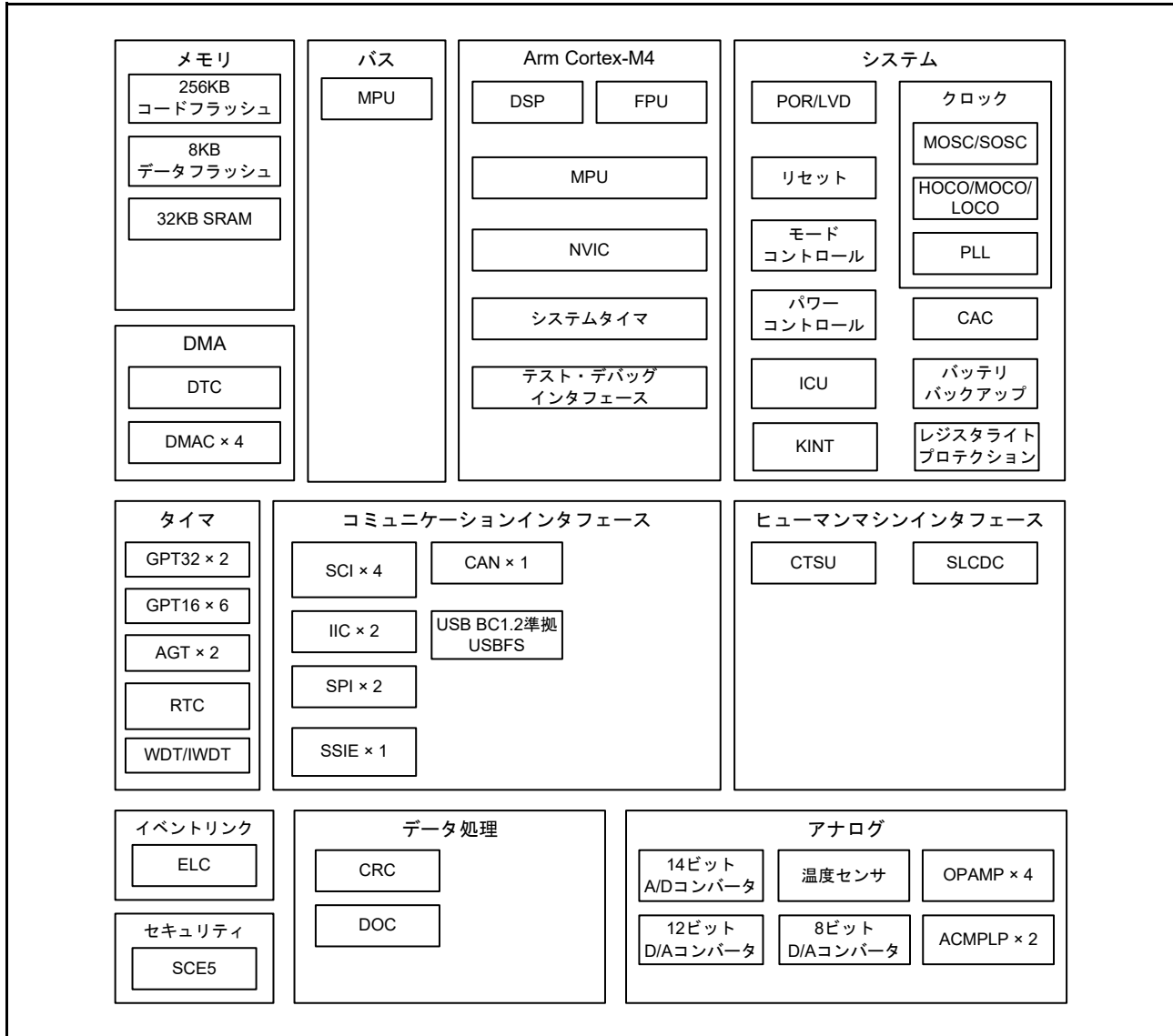


図 1.1 ブロック図

1.3 型名

図 1.2 に、製品型名、メモリ容量、およびパッケージタイプの読み方を示します。表 1.13 に製品一覧を示します。

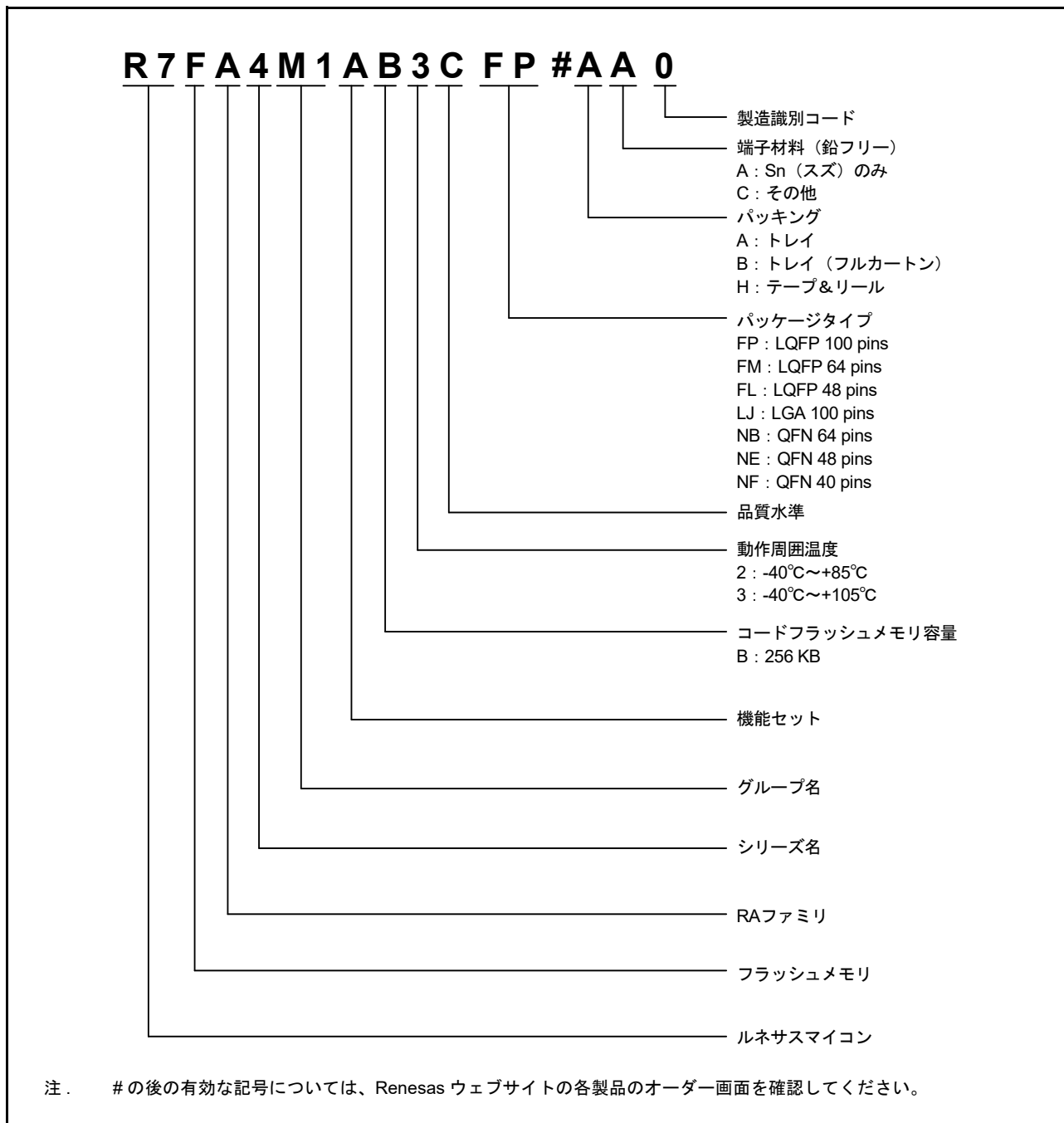


図 1.2 型名の読み方

表 1.13 製品一覧

製品型名	パッケージコード	コード フラッシュ	データ フラッシュ	SRAM	動作温度
R7FA4M1AB3CFP	PLQP0100KB-B	256KB	8KB	32KB	-40 ~ +105 °C
R7FA4M1AB2CLJ	PTLG0100JA-A				-40 ~ +85 °C
R7FA4M1AB3CFM	PLQP0064KB-C				-40 ~ +105 °C
R7FA4M1AB3CNB	PWQN0064LA-A				-40 ~ +105 °C
	PWQN0064LB-B				
R7FA4M1AB3CFL	PLQP0048KB-B				-40 ~ +105 °C
R7FA4M1AB3CNE	PWQN0048KB-A				-40 ~ +105 °C
	PWQN0048KC-A				
R7FA4M1AB3CNF	PWQN0040KC-A				-40 ~ +105 °C
	PWQN0040KD-A				

1.4 機能の比較

表 1.14 機能の比較

型名	R7FA4M1AB3CFP	R7FA4M1AB2CLJ	R7FA4M1AB3CFM/ R7FA4M1AB3CNB	R7FA4M1AB3CFL/ R7FA4M1AB3CNE	R7FA4M1AB3CNF
端子総数	100	100	64	48	40
パッケージ	LQFP	LGA	LQFP/QFN	LQFP/QFN	QFN
コードフラッシュメモリ	256KB				
データフラッシュメモリ	8KB				
SRAM	32KB				
	パリティ	16KB			
	ECC	16KB			
システム	CPUクロック	48MHz			
	バックアップレジスタ	512バイト			
	ICU	あり			
	KINT	8		5	3
イベントコントロール	ELC	あり			
DMA	DTC	あり			
	DMAC	4			
バス	外部バス	なし			
タイマ	GPT32	2			
	GPT16	6		4	2
	AGT	2		なし	
	RTC	あり			
	WDT/IWDT	あり			
通信	SCI	4			
	IIC	2			
	SPI	2			1
	SSIE	1	なし		
	QSPI	なし			
	SDHI	なし			
	CAN	1			
	USBFS	あり			
アナログ	ADC14	25	18	14	11
	DAC12	1			
	DAC8	2			
	ACMPLP	2			1
	OPAMP	4	4	3	1
	TSN	あり			
HMI	SLCDC	4com × 38seg または8com × 34seg	4com × 21seg または8com × 17seg	なし	
	CTSU	27	24	15	10
データ処理	CRC	あり			
	DOC	あり			
セキュリティ	SCE5				
I/Oポート	入出力	81	49	33	25
	入力	3	3	3	3
	プルアップ抵抗	79	47	31	23
	Nチャネルオープンドレイン出力	64	36	22	15
	5Vトレラント	9	7	4	2

1.5 端子機能

表 1.15 端子機能 (1/3)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介してVSS端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グラウンド端子。システムの電源 (0V) に接続してください。
	VBATT	入力	バックアップ電源供給端子
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください。
	XCOU	出力	
CLKOUT	出力	クロック出力端子	
動作モードコントロール	MD	入力	動作モード設定用の端子。これらの端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子がLowになると、本MCUはリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
インタラプト	NMI	入力	ノンマスクابل割り込み要求端子
	IRQ0 ~ IRQ12, IRQ14, IRQ15	入力	マスクابل割り込み要求端子
KINT	KR00 ~ KR07	入力	キー割り込み入力端子 キー割り込み (KINT) は、キー割り込み入力端子に立ち下がりエッジを入力することで生成することが可能です。
オンチップデバッグ	TMS	入出力	オンチップエミュレータ用またはバウンダリスキャン用端子
	TDI	入力	
	TCK	入力	
	TDO	出力	
	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
SWO	出力	シリアルワイヤトレース出力端子	
バッテリーバックアップ	VBATWIO0 ~ VBATWIO2	入出力	VBATTウェイクアップコントロール機能用のウェイクアップ信号出力 VBATTウェイクアップコントロール機能用の外部イベント入力
GPT	GTETRGA, GTETRGB	入力	外部トリガ入力端子
	GTIOC0A ~ GTIOC7A, GTIOC0B ~ GTIOC7B	入出力	インプットキャプチャ、アウトプットキャプチャ、またはPWM出力端子
	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDC モータ制御用3相PWM出力 (正相U相)
	GTOULO	出力	BLDC モータ制御用3相PWM出力 (逆相U相)
	GTOVUP	出力	BLDC モータ制御用3相PWM出力 (正相V相)
	GTOVLO	出力	BLDC モータ制御用3相PWM出力 (逆相V相)
	GTOWUP	出力	BLDC モータ制御用3相PWM出力 (正相W相)
	GTOWLO	出力	BLDC モータ制御用3相PWM出力 (逆相W相)
	AGT	AGTEE0, AGTEE1	入力
AGTIO0, AGTIO1		入出力	外部イベント入力およびパルス出力端子
AGTO0, AGTO1		出力	パルス出力端子
AGTOA0, AGTOA1		出力	出力コンペアマッチA出力端子
AGTOB0, AGTOB1		出力	出力コンペアマッチB出力端子

表 1.15 端子機能 (2/3)

機能	端子名	入出力	説明
RTC	RTCOOUT	出力	1Hz/64Hzのクロック出力端子
	RTCIC0~RTCIC2	入力	時間キャプチャイベント入力端子
SCI	SCK0~SCK2, SCK9	入出力	クロック用の入出力端子 (クロック同期モード)
	RXD0~RXD2, RXD9	入力	受信データ用の入力端子 (調歩同期モード/クロック同期モード)
	TXD0~TXD2, TXD9	出力	送信データ用の出力端子 (調歩同期モード/クロック同期モード)
	CTS0_RTS0~ CTS2_RTS2, CTS9_RTS9	入出力	送受信の開始制御用の入出力端子 (調歩同期モード/クロック同期モード)、アクティブLow
	SCL0~SCL2, SCL9	入出力	I ² Cクロック用の入出力端子 (簡易IIC)
	SDA0~SDA2, SDA9	入出力	I ² Cデータ用の入出力端子 (簡易IIC)
	SCK0~SCK2, SCK9	入出力	クロック用の入出力端子 (簡易SPI)
	MISO0~MISO2, MISO9	入出力	データのスレーブ送信用の入出力端子 (簡易SPI)
	MOSI0~MOSI2, MOSI9	入出力	データのマスタ送信用の入出力端子 (簡易SPI)
	SS0~SS2, SS9	入力	スレーブ選択入力端子 (簡易SPI)、アクティブLow
IIC	SCL0, SCL1	入出力	クロック用の入出力端子
	SDA0, SDA1	入出力	データ用の入出力端子
SSIE	SSIBCK0	入出力	SSIEシリアルビットクロック端子
	SSILRCK0/SSIFS0	入出力	ワード選択端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	AUDIO_CLK	入力	オーディオ用の外部クロック端子 (入力オーバーサンプリングクロック)
SPI	RSPCKA, RSPCKB	入出力	クロック入出力端子
	MOSIA, MOSIB	入出力	マスタから出力されたデータの入出力端子
	MISOA, MISOB	入出力	スレーブから出力されたデータの入出力端子
	SSLA0, SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1, SSLA2, SSLA3, SSLB1, SSLB2, SSLB3	出力	スレーブ選択用の出力端子
	CAN	CRX0	入力
CTX0		出力	送信データ
USBFS	VSS_USB	入力	グランド端子
	VCC_USB_LDO	入力	USB LDOレギュレータ用の電源端子
	VCC_USB	入出力	入力: USBトランシーバ用の電源端子 出力: USB LDOレギュレータ出力端子。この端子は外部コンデンサに接続してください。
	USB_DP	入出力	USB内蔵トランシーバD+入出力端子。この端子はUSBバスのD+端子に接続してください。
	USB_DM	入出力	USB内蔵トランシーバD-入出力端子。この端子はUSBバスのD-端子に接続してください。
	USB_VBUS	入力	USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。デバイスコントローラ機能選択時のVBUSの接続/切断を検出することが可能です。
	USB_EXICEN	出力	外部電源 (OTG) チップの低消費電力制御信号
	USB_VBUSEN	出力	外部電源チップへのVBUS (5V) 供給許可信号
	USB_OVRCURA, USB_OVRCURB	入力	外部オーバーカレント検出信号を接続してください。OTG電源チップとの接続時にはVBUSコンパレータ信号を接続してください。
	USB_ID	入力	OTGモード動作時はMicroABコネクタのID入力信号を接続してください。

表 1.15 端子機能 (3/3)

機能	端子名	入出力	説明
アナログ電源	AVCC0	入力	アナログ電源端子
	AVSS0	入力	アナログ電源グランド端子
	VREFH0	入力	アナログ基準電源端子
	VREFL0	入力	基準電源グランド端子
	VREFH	入力	D/Aコンバータ用のアナログ基準電圧源端子
	VREFL	入力	D/Aコンバータ用のアナログ基準グランド端子
ADC14	AN000 ~ AN014, AN016 ~ AN025	入力	A/Dコンバータで処理されるアナログ信号用の入力端子
	ADTRG0	入力	A/D変換を開始する外部トリガ信号用の入力端子、アクティブLow
DAC12	DA0	出力	D/Aコンバータのアナログ出力端子
コンパレータ出力	VCOUT	出力	コンパレータ出力端子
ACMPLP	CMPREF0, CMPREF1	入力	基準電圧入力端子
	CMPIN0, CMPIN1	入力	アナログ電圧入力端子
OPAMP	AMP0+ ~ AMP3+	入力	アナログ電圧入力端子
	AMP0- ~ AMP3-	入力	アナログ電圧入力端子
	AMP00 ~ AMP30	出力	アナログ電圧出力端子
CTSU	TS00 ~ TS13, TS17 ~ TS22, TS27 ~ TS31, TS34, TS35	入力	静電容量式タッチ検出端子 (タッチ端子)
	TSCAP	—	タッチドライバ用の二次電源端子
I/Oポート	P000 ~ P008, P010 ~ P015	入出力	汎用入出力端子
	P100 ~ P115	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201 ~ P206, P212, P213	入出力	汎用入出力端子
	P214, P215	入力	汎用入力端子
	P300 ~ P307	入出力	汎用入出力端子
	P400 ~ P415	入出力	汎用入出力端子
	P500 ~ P505	入出力	汎用入出力端子
	P600 ~ P603, P608 ~ P610	入出力	汎用入出力端子
	P708	入出力	汎用入出力端子
	P808, P809	入出力	汎用入出力端子
	P914, P915	入出力	汎用入出力端子
	SLCDC	VL1, VL2, VL3, VL4	入出力
CAPH, CAPL		入出力	LCDコントローラ/ドライバ用のコンデンサ接続端子
COM0 ~ COM7		出力	LCDコントローラ/ドライバ用のコモン信号出力端子
SEG00 ~ SEG37		出力	LCDコントローラ/ドライバ用のセグメント信号出力端子

1.6 ピン配置図

図 1.3 ~ 図 1.9 にピン配置図を示します。

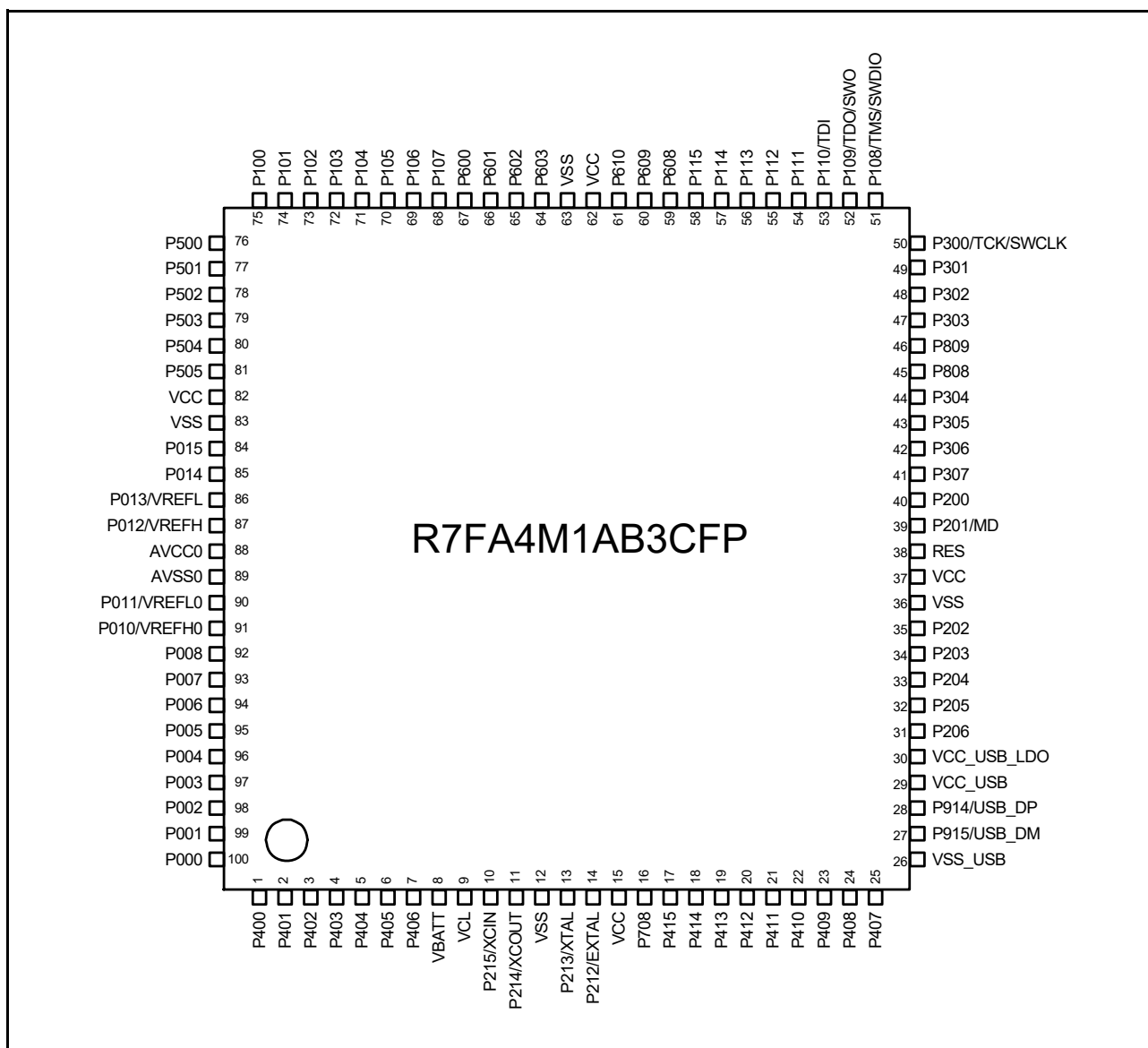


図 1.3 100-pin LQFP のピン配置図 (上面図)

R7FA4M1AB2CLJ

	A	B	C	D	E	F	G	H	J	K	
10	P407	P409	P412	VCC	P212/ EXTAL	P215/ XCIN	VCL	P403	P400	P000	10
9	P915/ USB_DM	P914/ USB_DP	P413	VSS	P213/ XTAL	P214/ XCOUT	VBATT	P405	P401	P001	9
8	VCC_ USB	VSS_ USB	VCC_US B_LDO	P411	P415	P708	P404	P003	P004	P002	8
7	P205	P204	P206	P408	P414	P406	P006	P007	P008	P005	7
6	VSS	VCC	P202	P203	P410	P402	P505	AVSS0	P011/ VREFLO	P010/ VREFH0	6
5	P200	P201/MD	P307	RES	P113	P600	P504	AVCC0	P013/ VREFL	P012/ VREFH	5
4	P305	P304	P808	P306	P115	P601	P503	P100	P015	P014	4
3	P809	P303	P110/TDI	P111	P609	P602	P107	P103	VSS	VCC	3
2	P300/ TCK/ SWCLK	P302	P301	P114	P610	P603	P106	P101	P501	P502	2
1	P108/ TMS/ SWDIO	P109/ TDO/ SWO	P112	P608	VCC	VSS	P105	P104	P102	P500	1
	A	B	C	D	E	F	G	H	J	K	

図 1.4 100-pin LGA のピン配置図 (上面図)

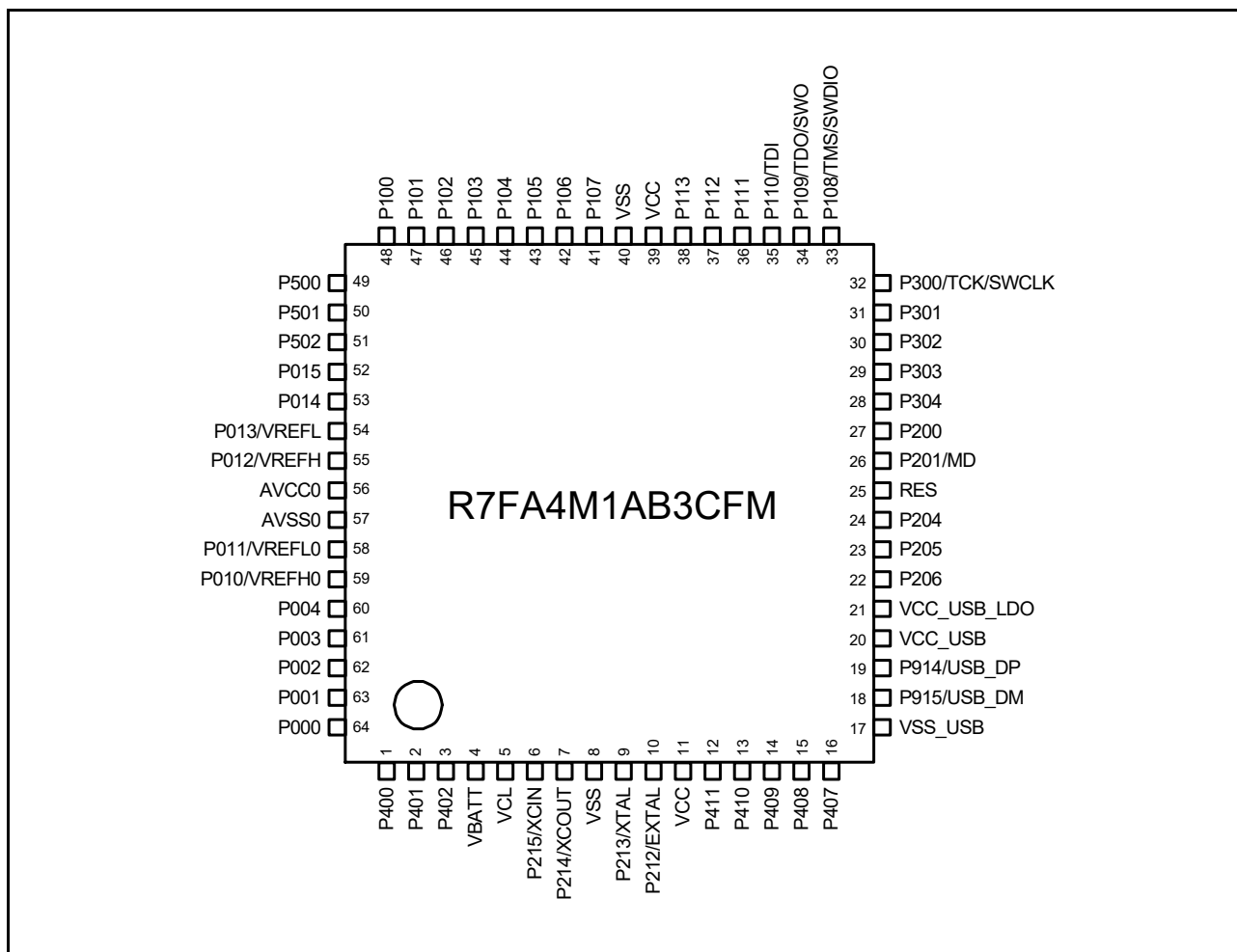


図 1.5 64-pin LQFP のピン配置図 (上面図)

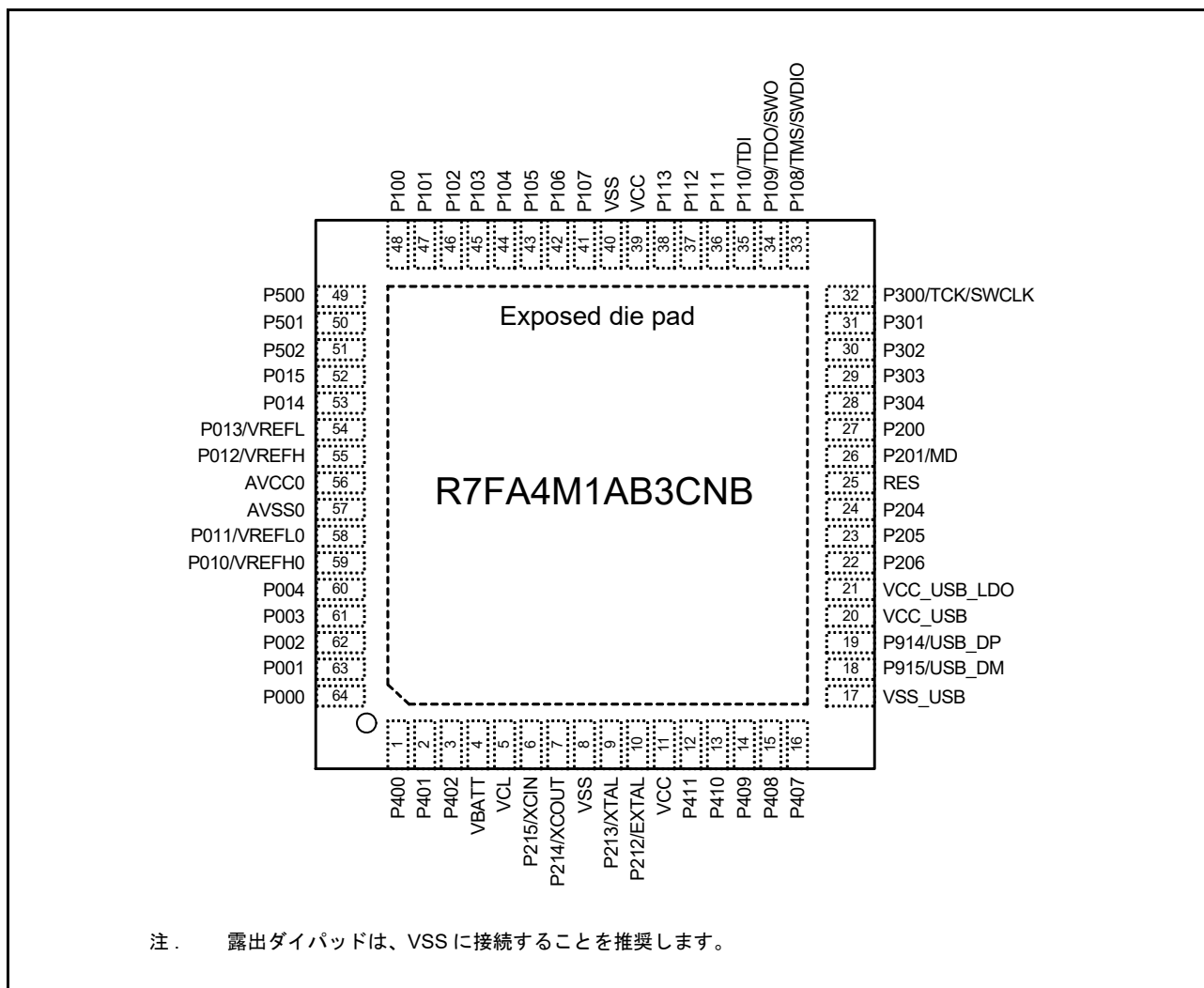


図 1.6 64-pin QFN のピン配置図 (上面図)

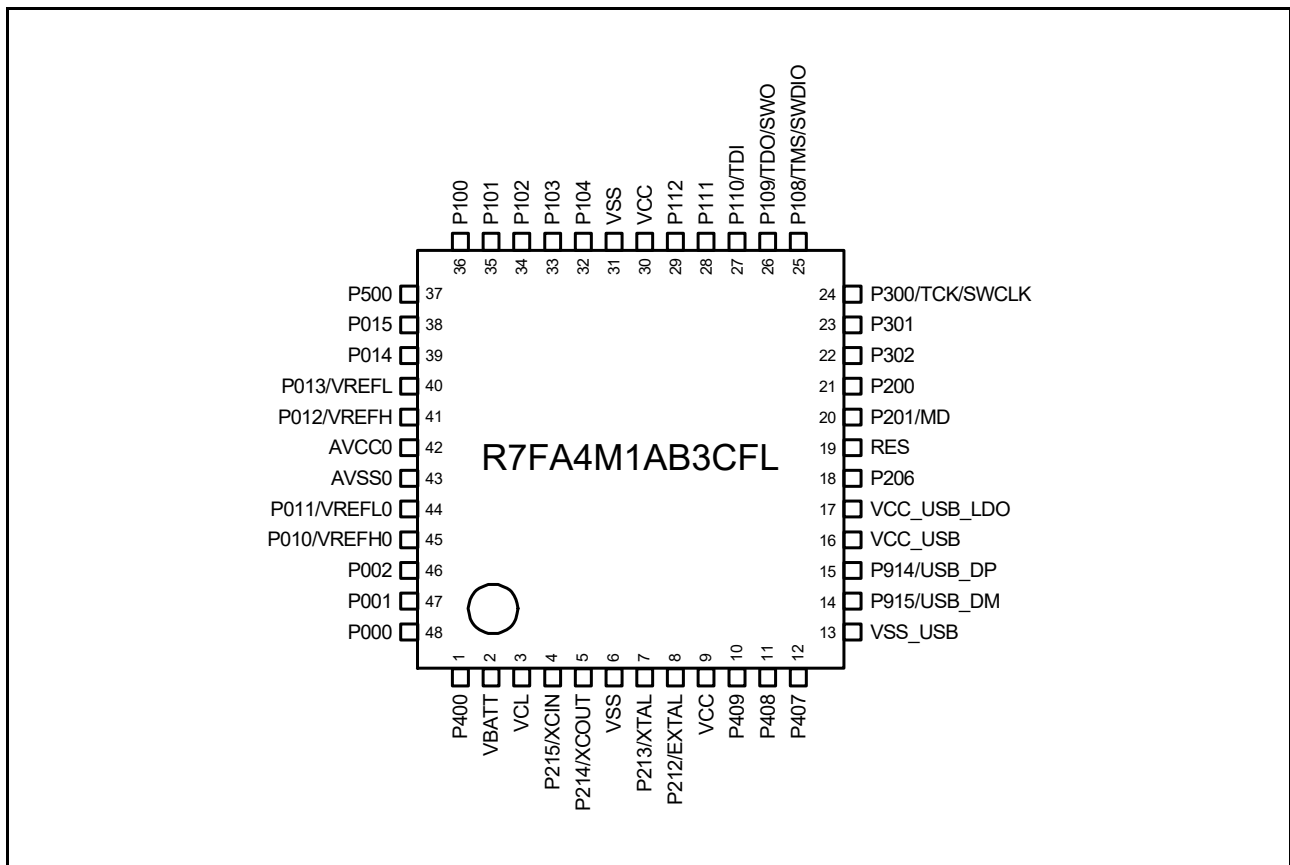


図 1.7 48-pin LQFP のピン配置図 (上面図)

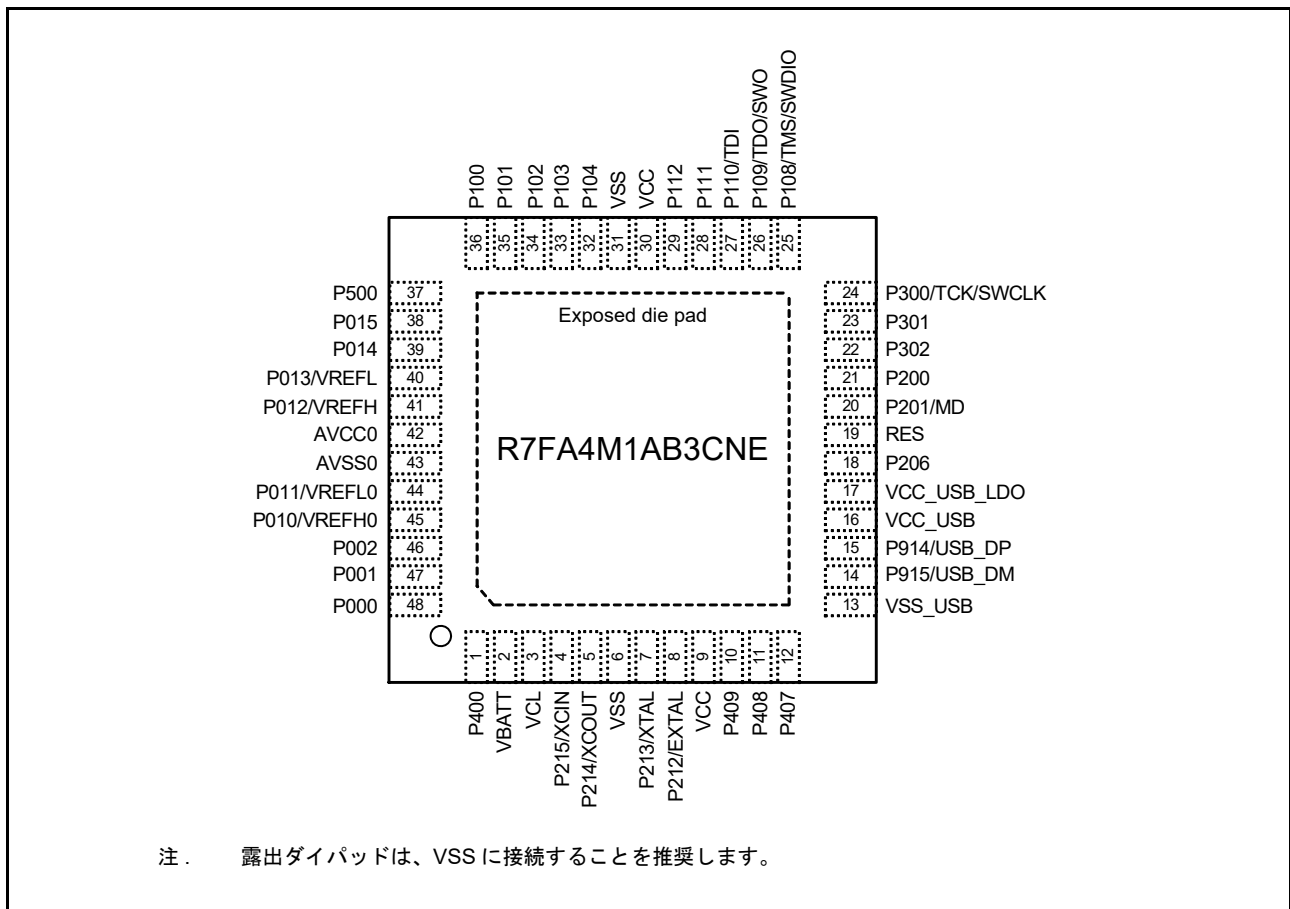


図 1.8 48-pin QFN のピン配置図 (上面図)

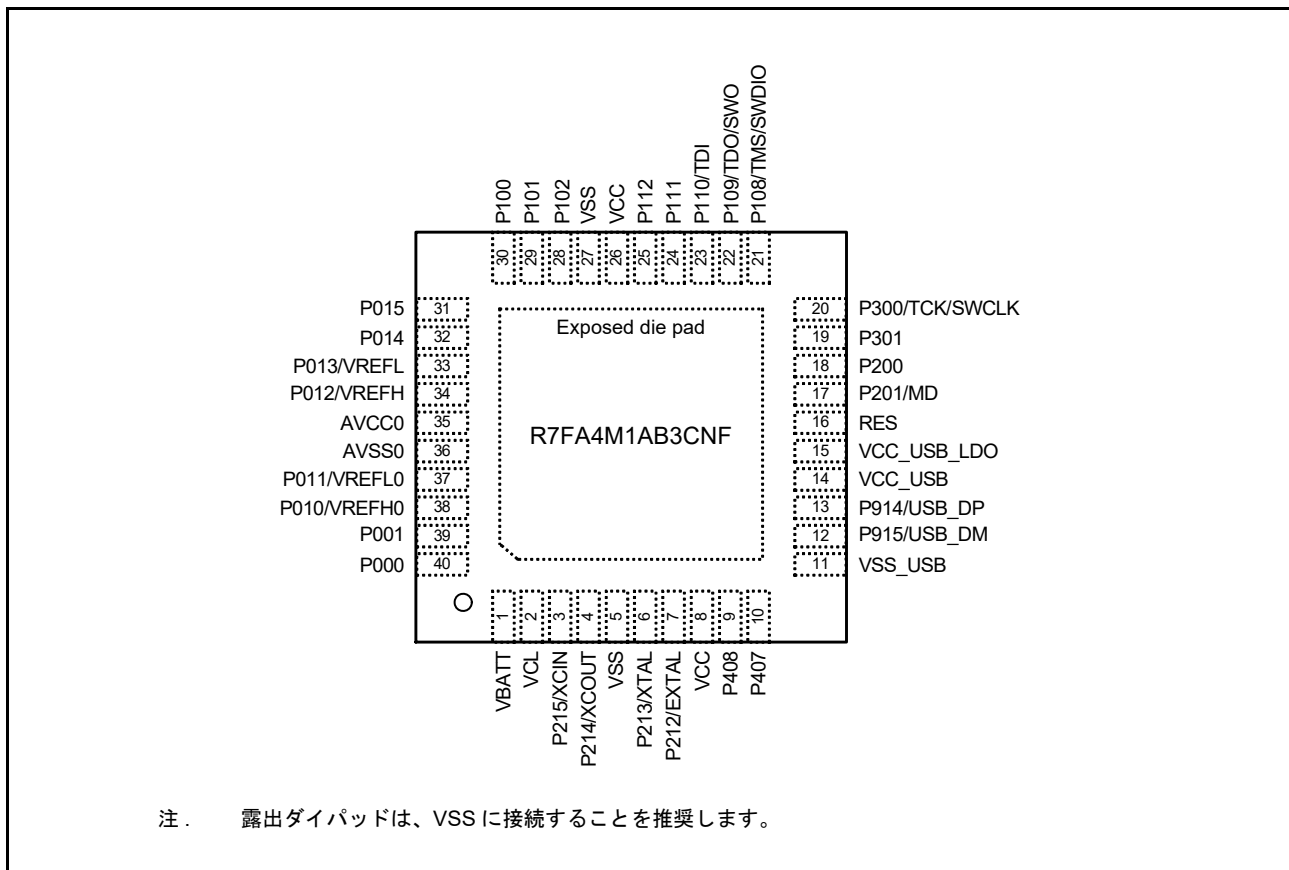


図 1.9 40-pin QFN のピン配置図 (上面図)

1.7 端子一覧

ピン番号	ピン番号						電源、システム、クロック、デバッグ、CAC、VBATT	インタラプト	I/Oポート	タイマ				通信インターフェース				アナログ			HMI		
	LQFP100	LGA100	LQFP64	QFN64	LQFP48	QFN48				QFN40	AGT	GPT_OPS, POEG	GPT	RTC	USBFS,CAN	SCI	IIC	SPI	SSIE	ADC14	DAC12, OPAMP	ACMPLP	SLDC
1	J10	1	1	1	1		CACRE [†]	IRQ0	P400	AGTIO1		GTIOC6A			SCK0 SCK1	SCL0		AUDIO_CLK			SEG04	TS20	
2	J9	2	2					IRQ5	P401		GTETRGA	GTIOC6B		CTX0	CTS0 RTS0/ SS0 TXD1/ MOSI1/ SDA1	SDA0					SEG05	TS19	
3	F6	3	3				VBATWIO0	IRQ4	P402	AGTIO0/ AGTIO1			RTCIC0	CRX0	RXD1/ MISO1/ SCL1						SEG06	TS18	
4	H10						VBATWIO1		P403	AGTIO0/ AGTIO1		GTIOC3A	RTCIC1		CTS1 RTS1/ SS1			SSIBCK0				TS17	
5	G8						VBATWIO2		P404			GTIOC3B	RTCIC2					SSILRC K0/ SSIFS0					
6	H9								P405			GTIOC1A						SSITXD0					
7	F7								P406			GTIOC1B						SSIRXD0					
8	G9	4	4	2	2	1	VBATT																
9	G10	5	5	3	3	2	VCL																
10	F10	6	6	4	4	3	XCIN		P215														
11	F9	7	7	5	5	4	XCOUT		P214														
12	D9	8	8	6	6	5	VSS																
13	E9	9	9	7	7	6	XTAL	IRQ2	P213		GTETRGA	GTIOC0A			TXD1/ MOSI1/ SDA1								
14	E10	10	10	8	8	7	EXTAL	IRQ3	P212	AGTEE1	GTETRGA	GTIOC0B			RXD1/ MISO1/ SCL1								
15	D10	11	11	9	9	8	VCC																
16	F8								P708						RXD1/ MISO1/ SCL1			SSLA3					
17	E8							IRQ8	P415			GTIOC0A						SSLA2					
18	E7							IRQ9	P414			GTIOC0B						SSLA1					
19	C9								P413						CTS0 RTS0/ SS0			SSLA0					
20	C10								P412						SCK0			RSPCKA					
21	D8	12	12					IRQ4	P411	AGTOA1	GTOVUP	GTIOC6A			TXD0/ MOSI0/ SDA0			MOSIA			SEG07	TS07	
22	E6	13	13					IRQ5	P410	AGTOB1	GTOVLO	GTIOC6B			RXD0/ MISO0/ SCL0			MISOA			SEG08	TS06	
23	B10	14	14	10	10			IRQ6	P409		GTOVUP	GTIOC5A		USB_E XICEN	TXD9/ MOSI9/ SDA9						SEG09	TS05	
24	D7	15	15	11	11	9		IRQ7	P408		GTOVLO	GTIOC5B		USB_ID	CTS1 RTS1/ SS1 RXD9/ MISO9/ SCL9	SCL0					SEG10	TS04	
25	A10	16	16	12	12	10			P407	AGTIO0			RTCOUT	USB_V BUS_	CTS0 RTS0/ SS0	SDA0		SSLB3		ADTRG0		SEG11	TS03
26	B8	17	17	13	13	11	VSS_USB																
27	A9	18	18	14	14	12			P915					USB_DM									

ピン番号							電源、システム、クロック、 テラバグ、CAC、VBATT	インタラプト	I/Oポート	タイマ				通信インターフェース				アナログ			HMI			
LQFP100	LGA100	LQFP64	QFN64	LQFP48	QFN48	QFN40				INTERRUPT	PORT	AGT	GPT_OPS, POEG	GPT	RTC	USBFS,CAN	SCI	IIC	SPI	SSIE	ADC14	DAC12, OPAMP	ACMPLP	SLCDC
28	B9	19	19	15	15	13			P914					USB_D P										
29	A8	20	20	16	16	14	VCC_U SB																	
30	C8	21	21	17	17	15	VCC_U SB_LD O																	
31	C7	22	22	18	18			IRQ0	P206		GTIU			USB_V BUSEN	RXD0/ MISO0/ SCL0	SDA1	SSLB1					SEG12	TS01	
32	A7	23	23				CLKOU T	IRQ1	P205	AGT01	GTIV	GTIOC 4A		USB_O VRCUR A	TXD0/ MOSI0/ SDA0 CTS9/ RTS9/ SS9	SCL1	SSLB0					SEG13	TSCAP	
33	B7	24	24				CACRE F		P204	AGTIO 1	GTIW	GTIOC 4B		USB_O VRCUR B	SCK0 SCK9	SCL0	RSPCK B					SEG14	TS00	
34	D6								P203			GTIOC 5A			CTS2_ RTS2/ SS2 TXD9/ MOSI9/ SDA9		MOSIB					SEG15	TSCAP	
35	C6								P202			GTIOC 5B			SCK2 RXD9/ MISO9/ SCL9		MISOB					SEG16		
36	A6						VSS																	
37	B6						VCC																	
38	D5	25	25	19	19	16	RES																	
39	B5	26	26	20	20	17	MD		P201															
40	A5	27	27	21	21	18		NMI	P200															
41	C5								P307														SEG17	
42	D4								P306														SEG18	
43	A4							IRQ8	P305														SEG19	
44	B4	28	28					IRQ9	P304			GTIOC 7A											SEG20	TS11
45	C4								P808														SEG21	
46	A3								P809														SEG22	
47	B3	29	29						P303			GTIOC 7B											SEG03/ COM7	TS02
48	B2	30	30	22	22			IRQ5	P302		GTOU P	GTIOC 4A			TXD2/ MOSI2/ SDA2		SSLB3					SEG02/ COM6	TS08	
49	C2	31	31	23	23	19		IRQ6	P301	AGTIO 0	GTOUL O	GTIOC 4B			RXD2/ MISO2/ SCL2 CTS9/ RTS9/ SS9		SSLB2					SEG01/ COM5	TS09	
50	A2	32	32	24	24	20	TCK/ SWCLK		P300		GTOU P	GTIOC 0A						SSLB1						
51	A1	33	33	25	25	21	TMS/ SWDIO		P108		GTOUL O	GTIOC 0B			CTS9_ RTS9/ SS9		SSLB0							
52	B1	34	34	26	26	22	TDO/ SWO/ CLKOU T		P109		GTOVU P	GTIOC 1A		CTX0	SCK1 TXD9/ MOSI9/ SDA9		MOSIB					SEG23	TS10	

ピン番号	ピン番号						電源、システム、クロック、 デバッグ、CAC、VBATT	インタラプト	I/Oポート	タイマ				通信インターフェース				アナログ			HMI	
	LQFP100	LGA100	LQFP64	QFN64	LQFP48	QFN48				QFN40	AGT	GPT_OPS, POEG	GPT	RTC	USBFS,CAN	SCI	IIC	SPI	SSIE	ADC14	DAC12, OPAMP	ACMPLP
79	G4							P503				USB_E XICEN	SCK1				AN023		CMPIN 0	SEG37		
80	G5							P504				USB_ID	CTS1, RTS1/ SS1				AN024					
81	G6							IRQ14	P505								AN025					
82	K3						VCC															
83	J3						VSS															
84	J4	52	52	38	38	31		IRQ7	P015								AN010				TS28	
85	K4	53	53	39	39	32			P014								AN009	DA0				
86	J5	54	54	40	40	33	VREFL		P013								AN008	AMP1+				
87	K5	55	55	41	41	34	VREFH		P012								AN007	AMP1-				
88	H5	56	56	42	42	35	AVCC0															
89	H6	57	57	43	43	36	AVSS0															
90	J6	58	58	44	44	37	VREFL 0	IRQ15	P011								AN006	AMP2+			TS31	
91	K6	59	59	45	45	38	VREFH 0		P010								AN005	AMP2-			TS30	
92	J7								P008								AN014					
93	H7								P007								AN013	AMP30				
94	G7								P006								AN012	AMP3-				
95	K7							IRQ10	P005								AN011	AMP3+				
96	J8	60	60					IRQ3	P004								AN004	AMP20				
97	H8	61	61						P003								AN003	AMP10				
98	K8	62	62	46	46			IRQ2	P002								AN002	AMP00				
99	K9	63	63	47	47	39		IRQ7	P001								AN001	AMP0-			TS22	
100	K10	64	64	48	48	40		IRQ6	P000								AN000	AMP0+			TS21	

2. CPU

本 MCU は、Arm® Cortex®-M4 コアをベースにしています。

2.1 概要

2.1.1 CPU

- Arm Cortex-M4
 - リビジョン : r0p1-01rel0
 - Armv7E-M アーキテクチャプロファイル
 - 単精度浮動小数点ユニット (ANSI/IEEE 規格 754-2008 に準拠)
- メモリプロテクションユニット (MPU)
 - Armv7 保護メモリシステムアーキテクチャ
 - 8つのメモリ保護領域
- SysTick タイマ
 - SYSTICCLK (LOCO) または ICLK クロックによる駆動

詳細は、[2.12](#)の[参考資料 1](#) および [2](#) を参照してください。

2.1.2 デバッグ

- Arm CoreSight™ ETM™-M4
 - リビジョン : r0p1-00rel0
 - Arm ETM アーキテクチャバージョン 3.5
- CoreSight 計装トレースマクロセル (ITM)
- データウォッチポイント & トレース (DWT) ユニット
 - ウォッチポイントとトリガ用の4つのコンパレータ
- フラッシュパッチ & ブレークポイント (FPB) ユニット
 - フラッシュパッチ (リマップ) 機能は使用できません。ブレークポイント機能のみ使用可能です
 - 6つの命令コンパレータ
 - 2つのリテラルコンパレータ
- CoreSight タイムスタンプジェネレータ (TSG)
 - ETM および ITM 用タイムスタンプ
 - CPU クロックによる駆動
- デバッグレジスタモジュール (DBGREG)
 - リセットコントロール
 - 停止コントロール
- CoreSight デバッグアクセスポート (DAP)
 - JTAG デバッグポート (JTAG-DP)
 - シリアルワイヤデバッグポート (SW-DP)

- Cortex-M4 トレースポートインタフェースユニット (TPIU)
 - シリアルワイヤ出力 (SWO)
- CoreSight エンベデッドトレースバッファ (ETB)
 - CoreSight トレースメモリコントローラ (ETB コンフィグレーション内蔵)
 - バッファサイズ: 1KB

詳細は、2.12 の参考資料 1. および 2. を参照してください。

2.1.3 動作周波数

本 MCU の動作周波数は以下のとおりです。

- CPU: 最大 48MHz
- シリアルワイヤ出力 (SWO) トレースインタフェース: 最大 12.5MHz
- Joint Test Action Group (JTAG) インタフェース: 最大 12.5MHz
- シリアルワイヤデバッグ (SWD) インタフェース: 最大 12.5MHz

図 2.1 に Cortex-M4 CPU のブロック図を示します。

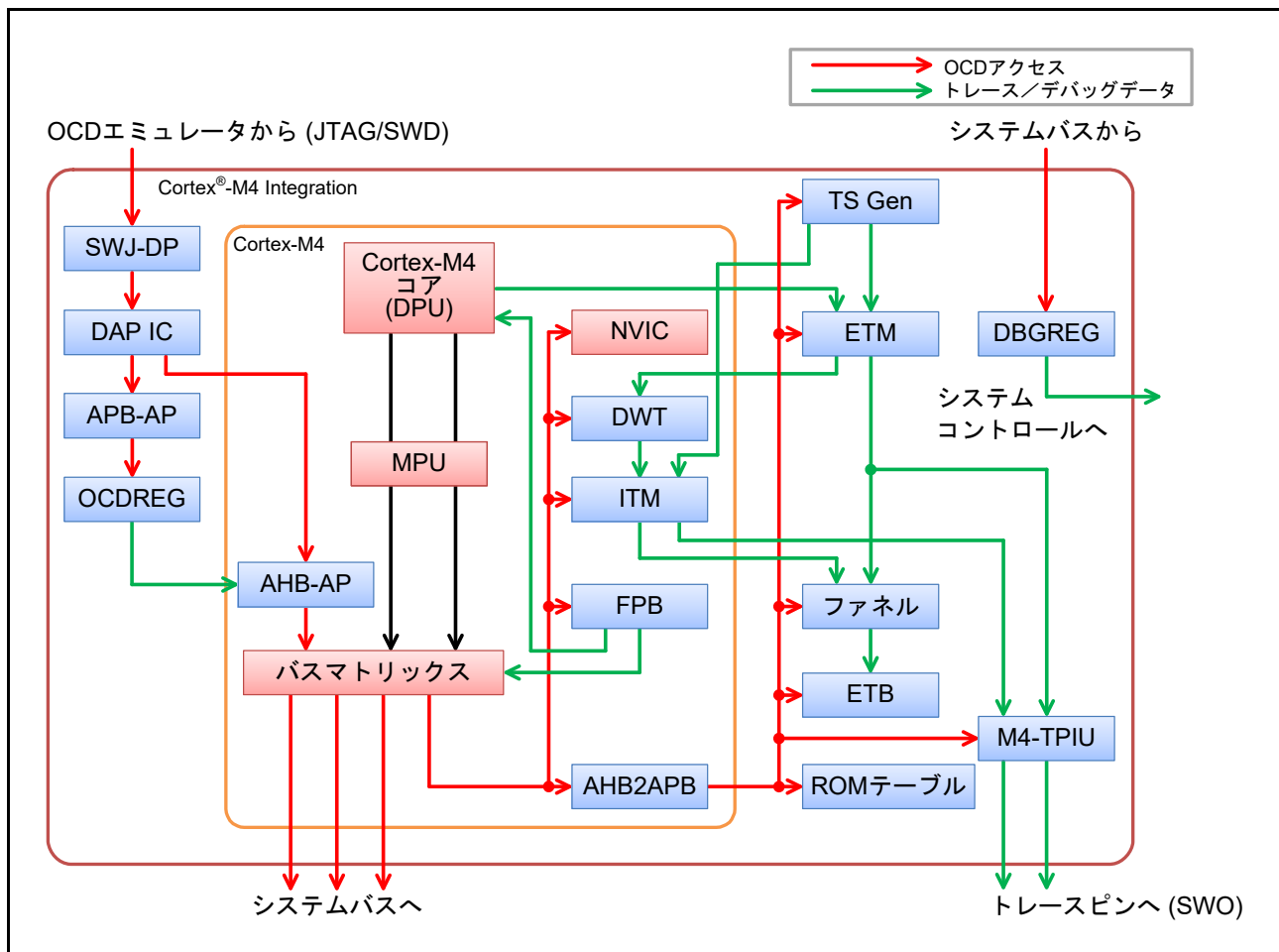


図 2.1 Cortex-M4 CPU ブロック図

2.2 MCUの実装オプション

表 2.1 に MCU の実装オプションを示します。これは、[参考資料 2.](#) の構成可能オプションを基にしています。

表 2.1 実装オプション

オプション	説明
MPU	あり (8つのメモリ保護領域)
FPB	フラッシュパッチ (リマップ) 機能は使用できず、ブレークポイント機能のみ使用可能です
DWT	あり
ITM	あり
ETM	あり
AHB-AP	あり
HTMインタフェース	なし
TPIU	あり (シリアルワイヤ出力のみ)
WIC	なし ウェイクアップ割り込みコントローラ (WIC) の代わりに、ICU によって CPU のウェイクアップが可能です。詳細は、「 13. 割り込みコントローラユニット (ICU) 」を参照してください。
デバッグポート	SWJ-DP
FPU	あり
割り込み数	32
プライオリティビット数	4ビット (16レベル)
エンディアン形式	リトルエンディアン
タイムスタンプジェネレータ	あり
ETB	あり
スリープモードパワーセーブ	スリープモードなどの低消費電力モードがサポートされています。詳細は、「 10. 低消費電力モード 」を参照してください。SCB.SCR.SLEEPDEEP は無視されます。
メモリ特性	本MCUではキャッシュ可能属性を利用しています。詳細は、「 14. バス 」を参照してください。
SysTickタイマ	あり SYST_CALIB = 4000 0147h ビット [31] = 0 基準クロック提供 ビット [30] = 1 TERMS値が精度異常 ビット [29:24] = 00h 予約ビット ビット [23:0] = 000147h TERM: (32768 × 10ms) - 1 / 32.768kHz = 326.66 (10進) = 327 (スケューを含む) = 00147h
イベント入出力	実装なし
システムリセット要求出力	アプリケーション割り込みおよびリセットコントロールレジスタのSYSRESETREQビットによってCPUがリセットされます。
補助フォルト入力 (AUXFAULT)	実装なし

2.3 トレースインタフェース

シリアルワイヤ出力 (SWO) はトレース出力を行います。表 2.2 はトレース機能用の MCU 端子を示します。この端子は他機能と兼用されます。

表 2.2 トレース機能の端子

名称	入出力	幅	機能	使用しない場合
TDO/SWO	出力	1ビット	シリアルワイヤ出力 JTAG TDO 端子と兼用	オープン

2.4 JTAG/SWD インタフェース

表 2.3 は JTAG/SWD 端子を示します。

表 2.3 JTAG/SWD 端子

名称	入出力	P/N	幅	機能	使用しない場合
TCK/SWCLK	入力	Positive	1ビット	JTAG クロック 端子 / SWD クロック 端子	プルアップ
TMS/SWDIO	入出力	Negative	1ビット	JTAG TMS 端子 / SWD 入出力 端子	プルアップ
TDI	入力	Positive	1ビット	JTAG TDI 端子	プルアップ
TDO/SWO	出力	Negative	1ビット	JTAG TDO 端子 SWO 端子と兼用	オープン

2.5 デバッグモード

2.5.1 デバッグモード定義

シングルチップモードでは、デバッガを接続した状態を OCD (オンチップデバッガ) モード、デバッガを接続していない状態をユーザモードと定義します。表 2.4 に、2つの CPU デバッグモードおよびその使用条件を示します。

表 2.4 CPU デバッグモードおよび条件

条件		モード	
OCD 接続	JTAG/SWD 認証	デバッグモード	デバッグ認証
未接続	—	ユーザモード	禁止
接続	不合格	ユーザモード	禁止
接続	合格	OCD モード	許可

- 注 . OCD 接続は、SWJ-DP レジスタの CDBGPWRUPREQ ビット出力によって判別されます。このビットは OCD によってのみ書き込み可能です。ただし、このビットのレベルは、DBGSTR.CDBGPWRUPREQ ビットを読み出すことで確認できます。
- 注 . デバッグ認証は、Armv7-M アーキテクチャによって定義されます。「許可」とは、侵入型と非侵入型の両方の CPU デバッグが許可されることを意味します。「禁止」とは、両方とも許可されないことを意味します。

2.5.2 デバッグモードの影響

この節ではデバッグモードの影響について説明します。デバッグモードは CPU の内部および外部に影響を与えます。

2.5.2.1 低消費電力モード

すべての CoreSight デバッグコンポーネントは、CPU がソフトウェアスタンバイモードまたはスヌーズモードへ遷移した場合でも、レジスタの設定値を格納することが可能です。ただし、これらの低消費電力モードにおいては、AHB-AP はオンチップデバッグ (OCD) アクセスに応答できません。OCD が CoreSight デバッグコンポーネントにアクセスするには、低消費電力モードが解除されるのを待つ必要があります。OCD は MCUCTRL レジスタの DBIRQ ビットを設定することで、低消費電力モードの解除を要求できます。詳細は、[2.6.5.3 MCU コントロールレジスタ \(MCUCTRL\)](#) を参照してください。

2.5.2.2 リセット

OCD モードでは、一部のリセットは CPU 状態と DBGSTOPCR の設定内容に依存します。

表 2.5 リセットまたは割り込みおよびモード設定

リセット/割り込み名称	オンチップデバッグ (OCD) モード時の制御	
	OCD ブレークモード	OCD RUN モード
RES 端子リセット	ユーザモードと同じ	
パワーオンリセット	ユーザモードと同じ	
独立ウォッチドッグタイマリセット/割り込み	発生しない (注1)	DBGSTOPCR の設定内容に依存 (注2)
ウォッチドッグタイマリセット/割り込み	発生しない (注1)	DBGSTOPCR の設定内容に依存 (注2)
電圧監視0リセット	DBGSTOPCR の設定内容に依存 (注3)	
電圧監視1リセット/割り込み	DBGSTOPCR の設定内容に依存 (注3)	
電圧監視2リセット/割り込み	DBGSTOPCR の設定内容に依存 (注3)	
SRAM パリティエラーリセット/割り込み	DBGSTOPCR の設定内容に依存 (注3)	
SRAM ECC エラーリセット/割り込み	DBGSTOPCR の設定内容に依存 (注3)	
MPU バスマスタリセット/割り込み	ユーザモードと同じ	
MPU バススレーブリセット/割り込み	ユーザモードと同じ	
スタックポインタエラーリセット/割り込み	ユーザモードと同じ	
ソフトウェアリセット	ユーザモードと同じ	

注. OCD ブレークモードでは CPU が停止しています。OCD RUN モードでは CPU が OCD モードにあって、停止していません。

注 1. このモードでは IWDG と WDG は常に停止しています。

注 2. IWDG と WDG の動作は、DBGSTOPCR の設定内容に依存します。

注 3. リセットまたは割り込みのマスク処理は、DBGSTOPCR の設定内容に依存します。

2.6 プログラマモデル

2.6.1 アドレス空間

本 MCU のデバッグシステムには、次の 2 つの CoreSight アクセスポート (AP) があります。

- AHB-AP : CPU バスマトリックスに接続され、CPU と同様にシステムアドレス空間にアクセスします
- APB-AP : 専用のアドレス空間 (OCD アドレス空間) を持ち、OCD レジスタに接続されます

図 2.2 は、AP 接続とアドレス空間のブロック図です。

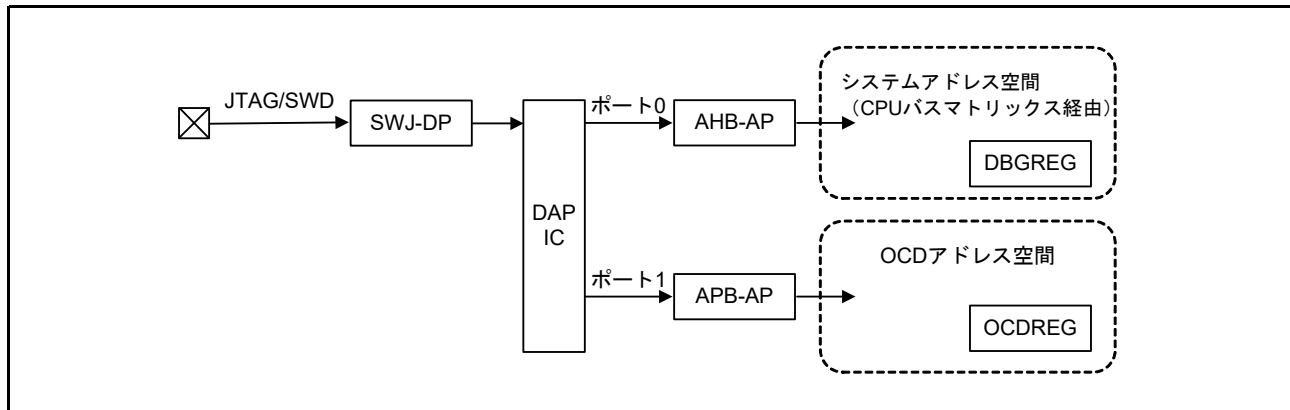


図 2.2 JTAG/SWD 認証のブロック図

デバッグ用に、DBGREG と OCDREG の 2 つのレジスタモジュールが存在します。DBGREG はシステムアドレス空間に配置され、OCD エミュレータ、CPU、および MCU の他のバスマスタからアクセスが可能です。OCDREG は OCD アドレス空間に配置され、OCD ツールからのみアクセスが可能です。CPU と他のバスマスタは OCD レジスタにアクセスできません。

2.6.2 Cortex-M4 ペリフェラルアドレスマップ

システムアドレス空間では、Cortex-M4 コアは専用周辺バス (PPB) を備えます。このバスは CPU および OCD エミュレータからのみアクセスが可能です。PPB は、本 MCU に対する Cortex-M4 最初の実装から拡張されます。表 2.6 は、本 MCU のアドレスマップを示しています。

表 2.6 Cortex-M4 ペリフェラルアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
ITM	E000 0000h	E000 0FFFh	参考資料 2. を参照してください。
DWT	E000 1000h	E000 1FFFh	参考資料 2. を参照してください。
FPB	E000 2000h	E000 2FFFh	参考資料 2. を参照してください。
SCS	E000 E000h	E000 EFFFh	参考資料 2. を参照してください。
TPIU	E004 0000h	E004 0FFFh	参考資料 2. を参照してください。
ETM	E004 1000h	E004 1FFFh	参考資料 5. を参照してください。
ATB ファネル	E004 2000h	E004 2FFFh	2.7 CoreSight ATB ファネルを参照してください。 参考資料 4. を参照してください。
ETB	E004 3000h	E004 3FFFh	参考資料 6. を参照してください。
タイムスタンプジェネレータ	E004 4000h	E004 4FFFh	2.10 CoreSight タイムスタンプジェネレータを参照してください。 参考資料 4. を参照してください。
ROM テーブル	E00F F000h	E00F FFFFh	2.6.3 CoreSight ROM テーブルを参照してください。 参考資料 7. を参照してください。

2.6.3 CoreSight ROM テーブル

本 MCU には 1 つの CoreSight ROM テーブルがあります。これは Arm コンポーネントの一覧表です。

2.6.3.1 ROM エントリ

表 2.7 に、CoreSight ROM テーブルの ROM エントリを示します。OCD エミュレータは、この ROM エントリを使用して、システムに実装されているコンポーネントを識別できます。詳細は、[参考資料 7](#) を参照してください。

表 2.7 CoreSight ROM テーブル

#	アドレス	アクセスサイズ	R/W	値	対象モジュール
0	E00F F000h	32ビット	R	FFF0_F003h	SCS
1	E00F F004h	32ビット	R	FFF0_2003h	DWT
2	E00F F008h	32ビット	R	FFF0_3003h	FPB
3	E00F F00Ch	32ビット	R	FFF0_1003h	ITM
4	E00F F010h	32ビット	R	FFF4_1003h	TPIU
5	E00F F014h	32ビット	R	FFF4_2003h	ETM
6	E00F F018h	32ビット	R	FFF4_3003h	ファネル
7	E00F F01Ch	32ビット	R	FFF4_4003h	ETB
8	E00F F020h	32ビット	R	FFF4_5003h	TSG
9	E00F F024h	32ビット	R	0000_0000h	(エントリ終了)

2.6.3.2 CoreSight コンポーネントレジスタ

CoreSight ROM テーブルは、Arm CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタの一覧です。

表 2.8 にこれらのレジスタを示します。各レジスタの詳細は、[参考資料 7](#) を参照してください。

表 2.8 CoreSight ROM テーブルの CoreSight コンポーネントレジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
DEVTYPE	E00F FFCCh	32ビット	R	0000_0001h
PID4	E00F FFD0h	32ビット	R	0000_0004h
PID5	E00F FFD4h	32ビット	R	0000_0000h
PID6	E00F FFD8h	32ビット	R	0000_0000h
PID7	E00F FFDCh	32ビット	R	0000_0000h
PID0	E00F FFE0h	32ビット	R	0000_0016h
PID1	E00F FFE4h	32ビット	R	0000_0030h
PID2	E00F FFE8h	32ビット	R	0000_000Ah
PID3	E00F FFECCh	32ビット	R	0000_0000h
CID0	E00F FFF0h	32ビット	R	0000_000Dh
CID1	E00F FFF4h	32ビット	R	0000_0010h
CID2	E00F FFF8h	32ビット	R	0000_0005h
CID3	E00F FFFCh	32ビット	R	0000_00B1h

2.6.4 DBGREG モジュール

DBGREG レジスタモジュールはデバッグ機能を制御し、CoreSight 準拠のコンポーネントとして実装されています。

表 2.9 に、CoreSight コンポーネントレジスタ以外の DBGREG レジスタを示します。

表 2.9 CoreSight ではない DBGREG レジスタ

名称	DAP ポート	アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	ポート0	4001 B000h	32ビット	R
デバッグストップコントロールレジスタ	ポート0	4001 B010h	32ビット	R/W
トレースコントロールレジスタ	ポート0	4001 B020h	32ビット	R/W

2.6.4.1 デバッグステータスレジスタ (DBGSTR)

アドレス [DBG.DBGSTR 4001 B000h](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	CDBGPWRUPACK	CDBGPWRUPREQ	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと0が読めます。	R
b28	CDBGPWRUPREQ	デバッグパワーアップ要求	0 : OCDはデバッグパワーアップを要求していない 1 : OCDはデバッグパワーアップを要求している	R
b29	CDBGPWRUPACK	デバッグパワーアップアクノリッジ	0 : デバッグパワーアップ要求は承認されていない 1 : デバッグパワーアップ要求は承認されている	R
b31-b30	—	予約ビット	読むと0が読めます。	R

2.6.4.2 デバッグストップコントロールレジスタ (DBGSTOPCR)

アドレス DBG.DBGSTOPCR 4001 B010h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	DBGSTOP_RECCR	DBGSTOP_RPER	—	—	—	—	—	DBGSTOP_LVD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSTOP_P_WDT	DBGSTOP_P_IWDT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	DBGSTOP_IWDT	OCD RUNモードでのIWDTリセット/割り込み用のマスク	OCDブレークモードでは、このビットの値に関係なく、リセット/割り込みはマスクされ、IWDTカウンタは停止します。 0: IWDTリセット/割り込みを許可 1: IWDTリセット/割り込みをマスクし、IWDTカウントを停止	R/W
b1	DBGSTOP_WDT	OCD RUNモードでのWDTリセット/割り込み用のマスク	OCDブレークモードでは、このビットの値に関係なく、リセット/割り込みはマスクされ、WDTカウンタは停止します。 0: WDTリセット/割り込みを許可 1: WDTリセット/割り込みをマスクし、WDTカウントを停止	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	DBGSTOP_LVD[2:0]	LVD0リセット/割り込み用のマスクビット	0: LVD0リセットを許可 1: LVD0リセットをマスク	R/W
b17		LVD1リセット/割り込み用のマスクビット	0: LVD1リセット/割り込みを許可 1: LVD1リセット/割り込みをマスク	R/W
b18		LVD2リセット/割り込み用のマスクビット	0: LVD2リセット/割り込みを許可 1: LVD2リセット/割り込みをマスク	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	DBGSTOP_RPER	SRAMパリティエラーリセット/割り込み用のマスクビット	0: SRAMパリティエラーリセット/割り込みを許可 1: SRAMパリティエラーリセット/割り込みをマスク	R/W
b25	DBGSTOP_RECCR	SRAM ECCエラーリセット/割り込み用のマスクビット	0: SRAM ECCエラーリセット/割り込みを許可 1: SRAM ECCエラーリセット/割り込みをマスク	R/W
b31-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

デバッグストップコントロールレジスタ (DBGSTOPCR) は、OCD モード時の機能停止を制御します。このレジスタの全ビットは、本 MCU が OCD モードでないときは 0 とみなされます。

2.6.4.3 トレースコントロールレジスタ (TRACECTR)

アドレス DBG.TRACECTR 4001 B020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ENETB FULL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b30-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	ENETBFULL	ETB フルによる停止要求用の許可ビット	0 : ETB フルはCPUを停止させない 1 : ETB フルはCPUを停止させる	R/W

2.6.4.4 DBGREG CoreSight コンポーネントレジスタ

DBGREG モジュールは、Arm CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを備えています。表 2.10 は、これらのレジスタの一覧です。各レジスタの詳細は、参考資料 7. を参照してください。

表 2.10 DBGREG CoreSight コンポーネントレジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	4001 BFD0h	32ビット	R	0000_0004h
PID5	4001 BFD4h	32ビット	R	0000_0000h
PID6	4001 BFD8h	32ビット	R	0000_0000h
PID7	4001 BFDCh	32ビット	R	0000_0000h
PID0	4001 BFE0h	32ビット	R	0000_0005h
PID1	4001 BFE4h	32ビット	R	0000_0030h
PID2	4001 BFE8h	32ビット	R	0000_001Ah
PID3	4001 BFECCh	32ビット	R	0000_0000h
CID0	4001 BFF0h	32ビット	R	0000_000Dh
CID1	4001 BFF4h	32ビット	R	0000_00F0h
CID2	4001 BFF8h	32ビット	R	0000_0005h
CID3	4001 BFFCh	32ビット	R	0000_00B1h

2.6.5 OCDREG モジュール

OCDREG モジュールは、オンチップデバッグ (OCD) エミュレータ機能を制御し、CoreSight 準拠のコンポーネントとして実装されています。表 2.11 に、OCDREG レジスタを示します。

表 2.11 OCDREG レジスタ

名称	DAPポート	アドレス	アクセスサイズ	R/W
ID 認証コードレジスタ 0	IAUTH0	ポート1 8000 0000h	32ビット	W
ID 認証コードレジスタ 1	IAUTH1	ポート1 8000 0100h	32ビット	W
ID 認証コードレジスタ 2	IAUTH2	ポート1 8000 0200h	32ビット	W
ID 認証コードレジスタ 3	IAUTH3	ポート1 8000 0300h	32ビット	W
MCU ステータスレジスタ	MCU STAT	ポート1 8000 0400h	32ビット	R
MCU コントロールレジスタ	MCU CTRL	ポート1 8000 0410h	32ビット	R/W

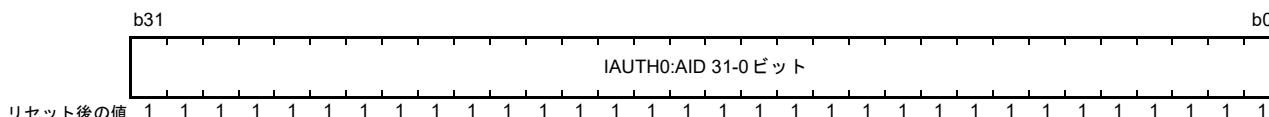
注. OCDREG は専用の OCD アドレス空間に配置されます。このアドレスマップはシステムのアドレスマップから独立しています。

2.6.5.1 ID 認証コードレジスタ (IAUTH0 ~ 3)

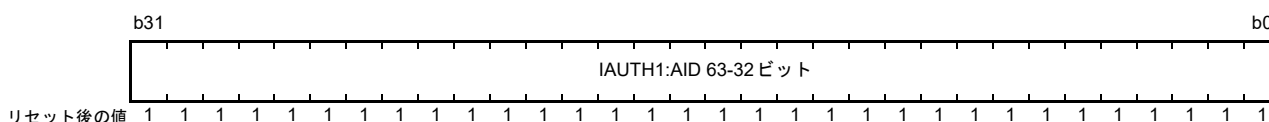
128 ビットキーを書き込むための 4 つの認証レジスタが存在します。これらのレジスタは、IAUTH0 から IAUTH3 への順序で書き込む必要があります。レジスタセットへの書き込みがこの順序に従わないと、予測できない結果となります。

32 ビットの書き込みのみが許可されます。このレジスタの初期値はすべて 1 です。これは、OSIS レジスタの ID コードが初期値の場合、JTAG/SWD アクセスが許可されることを意味します。2.11.2 アンロック ID コードを参照してください。

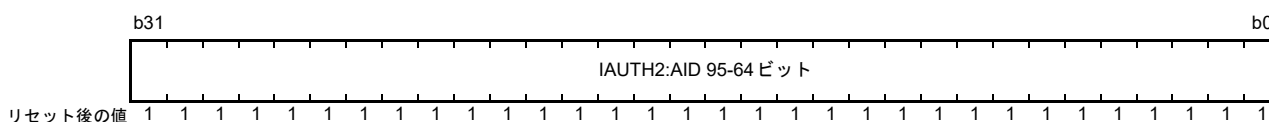
アドレス IAUTH0 8000 0000h



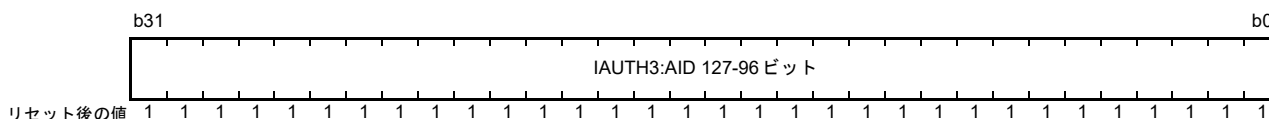
アドレス IAUTH1 8000 0100h



アドレス IAUTH2 8000 0200h



アドレス IAUTH3 8000 0300h



2.6.5.2 MCU ステータスレジスタ (MCUSTAT)

アドレス MCUSTAT 8000 0400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUSTOPCLK	CPUSLEEP	AUTH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1/0 (注1)	1/0 (注1)	0

ビット	シンボル	ビット名	機能	R/W
b0	AUTH	認証ステータス	0: 認証失敗 1: 認証成功	R
b1	CPUSLEEP	—	0: CPUは非スリープモード 1: CPUはスリープモード	R
b2	CPUSTOPCLK	—	0: CPUクロックを停止させない。MCUがノーマルモードまたはスリープモードであることを示す 1: CPUクロックを停止させる。MCUがスヌーズモードまたはソフトウェアスタンバイモードであることを示す	R
b31-b3	—	予約ビット	読むと0が読めます。	R

注 1. MCU 状態に依存します。

2.6.5.3 MCU コントロールレジスタ (MCUCTRL)

アドレス MCUCTRL 8000 0410h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DBIRQ	—	—	—	—	—	—	—	EDBGRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EDBGRQ	外部デバッグ要求	このビットに1を書き込むと、CPUが停止するかデバッグモニタ例外となります。 0：デバッグイベント要求なし 1：デバッグイベント要求あり EDBGRQビットが0に設定されたとき、またはCPUが停止したときはEDBGRQビットはクリアされます。	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	DBIRQ	デバッグ割り込み要求	このビットに1を書き込むと、MCUは低消費電力モードから復帰します。 0：デバッグ割り込み要求なし 1：デバッグ割り込み要求あり この条件はDBIRQビットに0を書き込むことで解除できます。	R/W
b31-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注． DBIRQ ビットと EDBGRQ ビットには同じ値を設定してください。

2.6.5.4 OCDREG CoreSight コンポーネントレジスタ

OCDREG モジュールは、Arm CoreSight アーキテクチャで定義された OCDREG CoreSight コンポーネントレジスタを備えています。表 2.12 は、これらのレジスタを一覧で表します。各レジスタの詳細は、[参考資料 7](#) を参照してください。

表 2.12 OCDREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	8000 0FD0h	32ビット	R	0000_0004h
PID5	8000 0FD4h	32ビット	R	0000_0000h
PID6	8000 0FD8h	32ビット	R	0000_0000h
PID7	8000 0FDCh	32ビット	R	0000_0000h
PID0	8000 0FE0h	32ビット	R	0000_0004h
PID1	8000 0FE4h	32ビット	R	0000_0030h
PID2	8000 0FE8h	32ビット	R	0000_000Ah
PID3	8000 0FECh	32ビット	R	0000_0000h
CID0	8000 0FF0h	32ビット	R	0000_000Dh
CID1	8000 0FF4h	32ビット	R	0000_00F0h
CID2	8000 0FF8h	32ビット	R	0000_0005h
CID3	8000 0FFCh	32ビット	R	0000_00B1h

2.7 CoreSight ATB ファネル

MCUには、1個のCoreSight ATB ファネルがあります。このファネルは、2個のATB スレーブと1個のATB マスタを持ち、ETM および ITM から ETB へのデバッグトレースのソースを選択します。図 2.3 は、MCU における CoreSight ATB 接続を示しています。

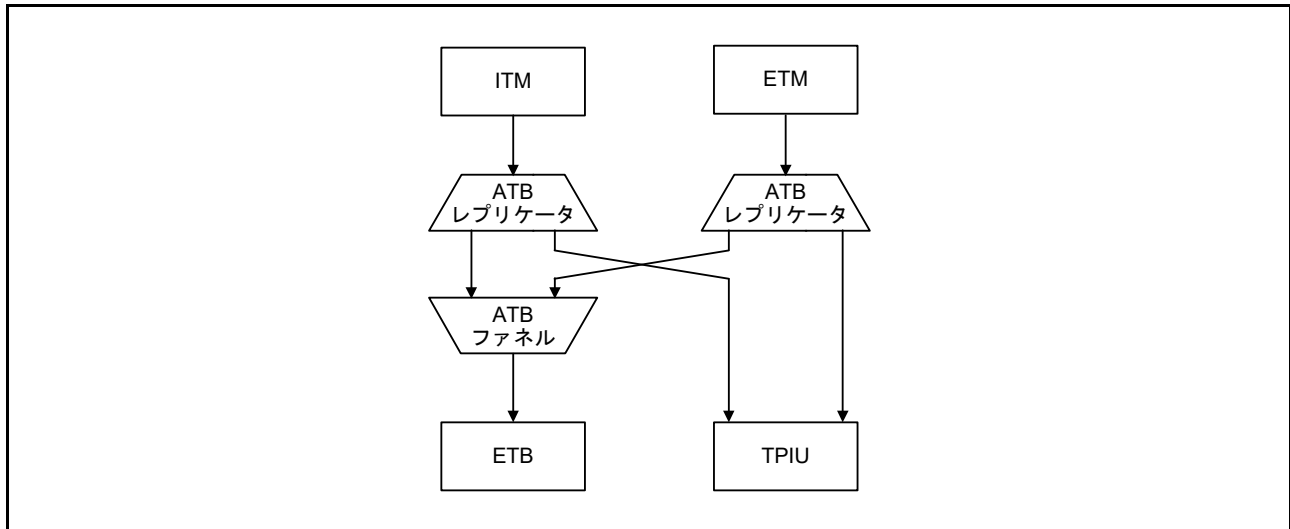


図 2.3 CoreSight ATB 接続

表 2.13 は ATB ファネルのスレーブ接続を示しています。

表 2.13 ATBスレーブ接続

ATBスレーブ番号	接続されるトレースソース
#0	ITM
#1	ETM

ATB とファネルの詳細は、参考資料 4. を参照してください。

2.8 フラッシュパッチ & ブレークユニット

本 MCU は、フラッシュパッチ & ブレークユニットを備えています。ブレークポイント機能は使用可能ですが、フラッシュパッチ（リマップ）機能は使用できません。したがって、FP_COMPn レジスタの REPLACE ビット [31:30] を 0 に設定しないでください。FP_REMAP レジスタのビット 28 は、常に 1 に設定されています。本レジスタに書き込む場合は、ビット [28] に 1 を書き込んでください。本レジスタを読み出す場合は、ビット [28] は常に 1 が読み出されます。詳細は、参考資料 1. を参照してください。

2.9 SysTick システムタイマ

SysTick システムタイマは、簡易的な 24 ビットダウンカウンタを備えています。このタイマの基準クロックには、CPU クロック (ICLK) または SysTick タイマクロック (SYSTICCLK) を選択できます。詳細は、「8. クロック発生回路」および参考資料 1. (注 1) を参照してください。

注 1. 参考資料 1. では、IMPLEMENTATION DEFINED 外部基準クロックは SYSTICCLK (LOCO)、プロセッサクロックは ICLK です。

2.10 CoreSight タイムスタンプジェネレータ

CoreSight タイムスタンプジェネレータは、CPU クロックベースのタイムスタンプを ITM と ETM に供給します。64 ビットカウンタの 48 LSB ビットが、これら 2 つのコンポーネントに用いられます。詳細は、参考資料 4. を参照してください。

2.11 OCD エミュレータ接続

JTAG/SWD 認証機構はデバッグと MCU リソースへのアクセス許可をチェックします。全デバッグ機能を取得するには、この認証機構の合格結果が必要です。図 2.4 に、認証機構のブロック図を示します。

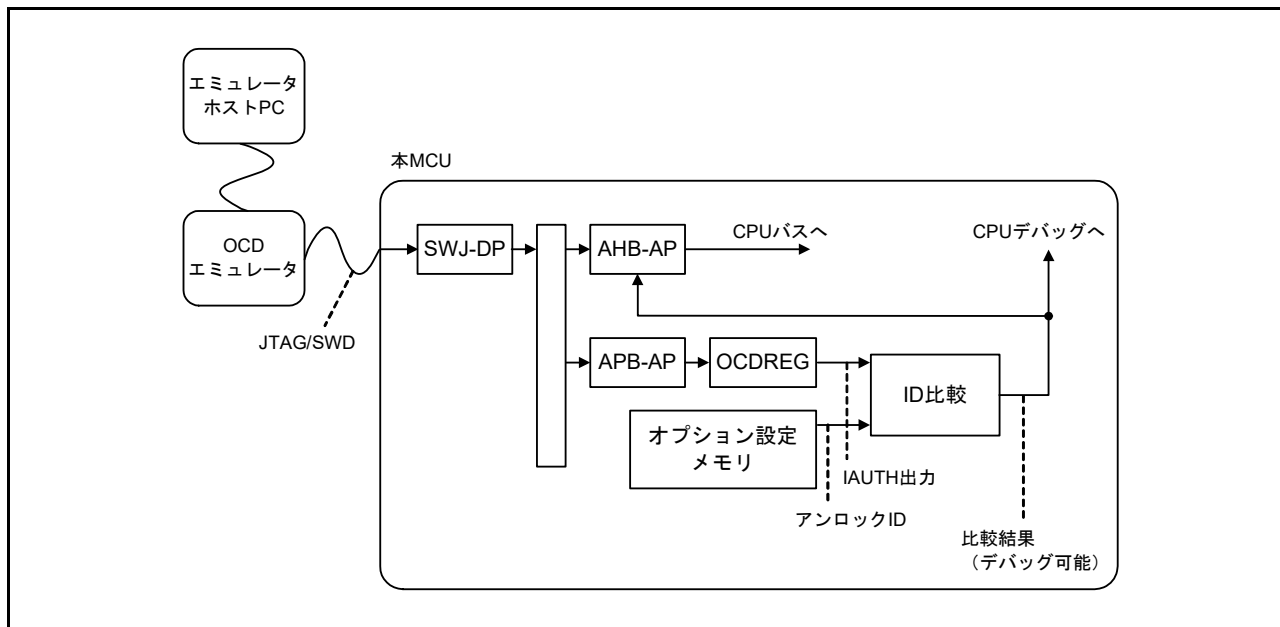


図 2.4 認証機構のブロック図

本 MCU には認証用の ID コンパレータがあります。このコンパレータは、OCDREG からの 128 ビットの IAUTH 出力と、オプション設定メモリからの 128 ビットのアンロック ID コードを比較します。これら 2 つの出力が同一であると、CPU デバッグ機能と、OCD エミュレータからのシステムバスアクセスが許可されます。

2.11.1 DBGEN

OCD エミュレータは、アクセス許可を取得した後、システムコントロール OCD コントロールレジスタ (SYOCDCR) の DBGEN ビットを設定する必要があります。また、OCD エミュレータは DBGEN ビットをクリアしないと切断されません。詳細は、「10. 低消費電力モード」を参照してください。

2.11.2 アンロック ID コード

アンロック ID コードは、デバッグとオンチップリソースへのアクセスの許可を判定するために用いられます。アンロック ID コードが ID 認証レジスタ 0～3 に書き込まれた 128 ビットデータと一致した場合、JTAG/SWD デバッガはアクセス許可を取得します。アンロック ID コードは、オプション設定メモリの OCD / シリアルプログラマ ID 設定レジスタ (OSIS) に書き込まれます。アンロック ID コードの初期値は、すべて 1 (FFFFFFFF_FFFFFFFF_FFFFFFFF_FFFFFFFFh) です。詳細は、「6. オプション設定メモリ」を参照してください。

2.11.3 OCD エミュレータ接続における制限

この節では、エミュレータのアクセス制限について説明します。

2.11.3.1 低消費電力モード中の接続開始

OCD エミュレータから JTAG/SWD 接続を開始するとき、MCU はノーマルモードかスリープモードでなければいけません。MCU がソフトウェアスタンバイモードかスヌーズモードであると、OCD エミュレータは MCU をハングさせる場合があります。

2.11.3.2 OCD モードにおける低消費電力モードの切り替え

MCU が OCD モードであるとき、MCU の低消費電力モードへの切り替えが可能です。ただし、AHB-AP からのシステムバスアクセスは、ソフトウェアスタンバイモードまたはスヌーズモードでは禁止されます。これらのモードでは、SWJ-DP、APB-AP、および OCDREG に対してのみ、OCD エミュレータからのアクセスが可能です。表 2.14 に制限事項を示します。

表 2.14 モード別の制限

アクティブモード	OCDエミュレータの接続開始	低消費電力モードへの切り替え	AHB-APとシステムバスへのアクセス	APB-APとOCDREGへのアクセス
ノーマル	可能	可能	可能	可能
スリープ	可能	可能	可能	可能
ソフトウェアスタンバイ	不可能	可能	不可能	可能
スヌーズ	不可能	可能	不可能	可能

ソフトウェアスタンバイモードまたはスヌーズモードにおいてシステムバスアクセスが必要な場合は、OCDREG の MCUCTRL.DBIRQ ビットを設定して、MCU を低消費電力モードから復帰させてください。同時に、OCDREG の MCUCTRL.EDBGRQ ビットを用いることで、OCD エミュレータは CPU ブレークによって CPU の実行を開始することなく、MCU を復帰させることが可能です。

2.11.3.3 OSIS におけるアンロック ID コードの変更

OSIS においてアンロック ID コードを変更した後、OCD エミュレータは、RES 端子をアサートするか、またはシステムコントロールブロックのアプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットを 1 にすることによって、本 MCU をリセットする必要があります。変更されたアンロック ID コードは、リセット後に反映されます。

2.11.3.4 接続順序と JTAG/SWD 認証

OCD エミュレータは JTAG/SWD 認証機構で保護されているため、OCD では認証レジスタに対し ID コードの入力が必要となる場合があります。オプション設定メモリの OSIS 値によって、コード入力が必要かを決定します。リセットネゲート後、コールドスタート時の OSIS 値を比較する前に 44 μ s の待ち時間が必要です。

(1) OSIS の MSB が 0 (ビット [127] = 0) のとき

ID コードは常に不一致であり、OCD への接続は禁止されます。

OSIS の bit[127] が 0 に設定されている時、エミュレータはデバイスに接続できませんが、ALeRASE コマンドは実行されます。ALeRASE コマンドが実行されたとき、ユーザー領域とオプション設定メモリ領域は初期化されます。

OSIS レジスタが初期化されるため、エミュレータが接続可能になります。

OSIS の bit[127] = 0 の時、ALeRASE コマンドの実行を防止するためには、追加設定が必要です。

以下の 2 つの方法を選択できます。

- A) SECMPUAC の設定 (ブートスワップを設定している時、SECMPUAC のアドレスは 2000h 加算されます。)
 - SECMPUAC を 0xFEFF に設定してください。

- SECMPUPCS0 を 0xFFFF_FFFC に、SECMPUPCE0 を 0xFFFF_FFFF に設定してください。

または、

B) AWSC の設定

AWSC の bit[14] を 0 に設定してください。

AWSC の bit[14] は、一度 0 に設定すると 1 に変更できません。

0 に設定した場合、アクセスウィンドウとスタートアップ領域は二度と変更できません。

スタートアップ領域を変更できなくなるため、セルフプログラミングでの書き換えは禁止されます。

(2) OSIS がすべて 1 (デフォルト) のとき

OCD 認証は不要であり、OCD は認証なしで AHB-AP を使用できます。

1. JTAG または SWD インタフェースを介して OCD エミュレータを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは、SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートする必要があります。その後、同じレジスタの CDBGPWRUPACK がアサートされるまで待ちます。
3. システムアドレス空間にアクセスするよう AHB-AP を設定します。この AHB-AP は DAP バスのポート 0 に接続されます。
4. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

(3) OSIS[127:126] が 10b のとき

OCD 認証が必要であり、OCD は、OCDREG の IAUTH レジスタ 0 ~ 3 にアンロック ID コードを書き込んでから、AHB-AP を使用する必要があります。

1. JTAG または SWD インタフェースを介して OCD デバッガを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートする必要があります。その後、同じレジスタの CDBGPWRUPACK がアサートされるまで待ちます。
3. OCDREG にアクセスするよう APB-AP を設定します。この APB-AP は DAP バスのポート 1 に接続されます。
4. APB-AP を使用して、OCDREG の IAUTH レジスタ 0 ~ 3 に 128 ビット ID コードを書き込みます。
5. この 128 ビット ID コードが OSIS の値と一致した場合、AHB-AP に対して AHB トランザクションを発行する権限が与えられます。認証結果は、MCUSTAT レジスタの AUTH ビット、または AHB-AP コントロールステータスワードレジスタの DbgStatus ビットで確認できます。
 - DbgStatus ビットが 1 の場合、128 ビット ID コードが OSIS 値と一致している。AHB 転送が許可される
 - DbgStatus ビットが 0 の場合、128 ビット ID コードが OSIS 値と一致していない。AHB 転送は許可されない
6. システムアドレス空間にアクセスするよう AHB-AP を設定します。この AHB-AP は DAP バスのポート 0 に接続されます。
7. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

(4) OSIS[127:126] = 11b の場合

OCD 認証が必要であり、OCD は、OCDREG の IAUTH レジスタ 0 ~ 3 にアンロック ID コードを書き込む必要があります。接続順序は、「ALeRASE」機能を除いて、OSIS[127:126] = 10b の場合と同じです。

IAUTH レジスタ 0 ~ 3 に ASCII コードで「ALeRASE」(414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) と書き込まれている場合、コードフラッシュ、データフラッシュ、および構成領域の内容はただちに消去されます。詳細は、「44. フラッシュメモリ」を参照してください。

ALeRASE のシーケンスは下記のとおりです。

1. JTAG または SWD インタフェースを介して OCD デバッガを本 MCU に接続します。

2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートする必要があります。その後、同じレジスタの CDBGPWRUPACK がアサートされるまで待ちます。
3. OCDREG にアクセスするよう APB-AP を設定します。この AHB-AP は DAP バスのポート 1 に接続されます。
4. APB-AP を使用して、OCDREG の IAUTH レジスタ 0～3 に 128 ビット ID コードを書き込みます。
5. 128 ビット ID コードが ASCII コードの「ALeRASE」の場合、コードフラッシュ、データフラッシュ、および構成領域の内容は消去されます。その後、MCU はスリープモードに遷移します。

2.12 参考資料

1. *ARM®v7-M Architecture Reference Manual (ARM DDI 0403D)*
2. *ARM® Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D)*
3. *ARM®Cortex®-M4 Devices Generic User Guide (ARM DUI 0553A)*
4. *ARM® CoreSight™ SoC-400 Technical Reference Manual (ARM DDI 0480F)*
5. *ARM® CoreSight™ ETM-M4 Technical Reference Manual (ARM DDI 0440C)*
6. *ARM® CoreSight™ Trace Memory Controller Technical Reference Manual (ARM DDI 0461B)*
7. *ARM® CoreSight™ Architecture Specification (ARM IHI 0029D)*

3. 動作モード

3.1 概要

表 3.1 は、モード設定端子による動作モードの選択を示しています。詳細は、[3.2 動作モードの説明](#)を参照してください。どのモードで起動しても、内蔵フラッシュメモリが有効な場合に動作を開始します。

表 3.1 モード設定端子による動作モードの選択

モード設定端子	動作モード	内蔵フラッシュメモリ
MD		
1	シングルチップモード	有効
0	SCI/USB ブートモード	有効

3.2 動作モードの説明

3.2.1 シングルチップモード

シングルチップモードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。MD 端子が High になっているときにリセットが解除されると、MCU はシングルチップモードで起動し、内蔵フラッシュメモリが有効になります。

3.2.2 SCI ブートモード

このモードでは、本 MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き込みルーチン（SCI ブートプログラム）が用いられます。シリアルコミュニケーションインタフェース（SCI）を使用して、本 MCU 外部からコードフラッシュメモリとデータフラッシュメモリを含む内蔵フラッシュメモリを書き換えることが可能です。詳細は、「[44. フラッシュメモリ](#)」を参照してください。MD 端子を Low に保持してリセットを解除すると、SCI ブートモードで起動します。

3.2.3 USB ブートモード

このモードでは、本 MCU 内部のブート領域に格納された、内蔵フラッシュメモリ書き込みルーチン（USB ブートプログラム）が用いられます。USB を使用して、本 MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることが可能です。詳細は、「[44. フラッシュメモリ](#)」を参照してください。MD 端子を Low に保持してリセットを解除すると、USB ブートモードで起動します。

3.3 動作モード遷移

3.3.1 モード設定端子による動作モード遷移

MD 端子の設定による動作モード遷移について、[図 3.1](#) に状態遷移図を示します。

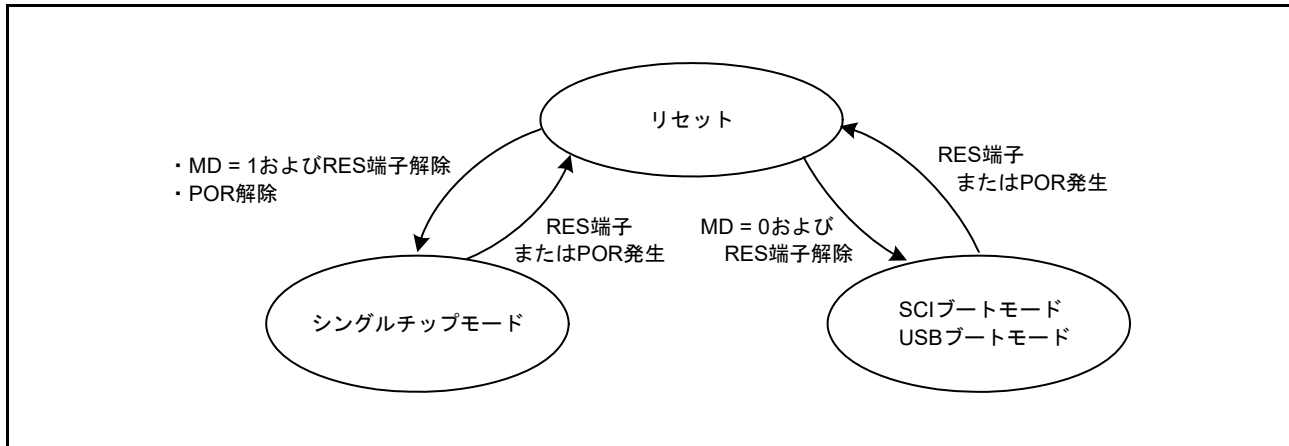


図 3.1 モード設定端子のレベルと動作モード

4. アドレス空間

4.1 概要

本 MCU は、プログラムとデータの両方を格納できる 4GB のリニアアドレス空間（0000 0000h ~ FFFF FFFFh）をサポートしています。図 4.1 にメモリマップを示します。

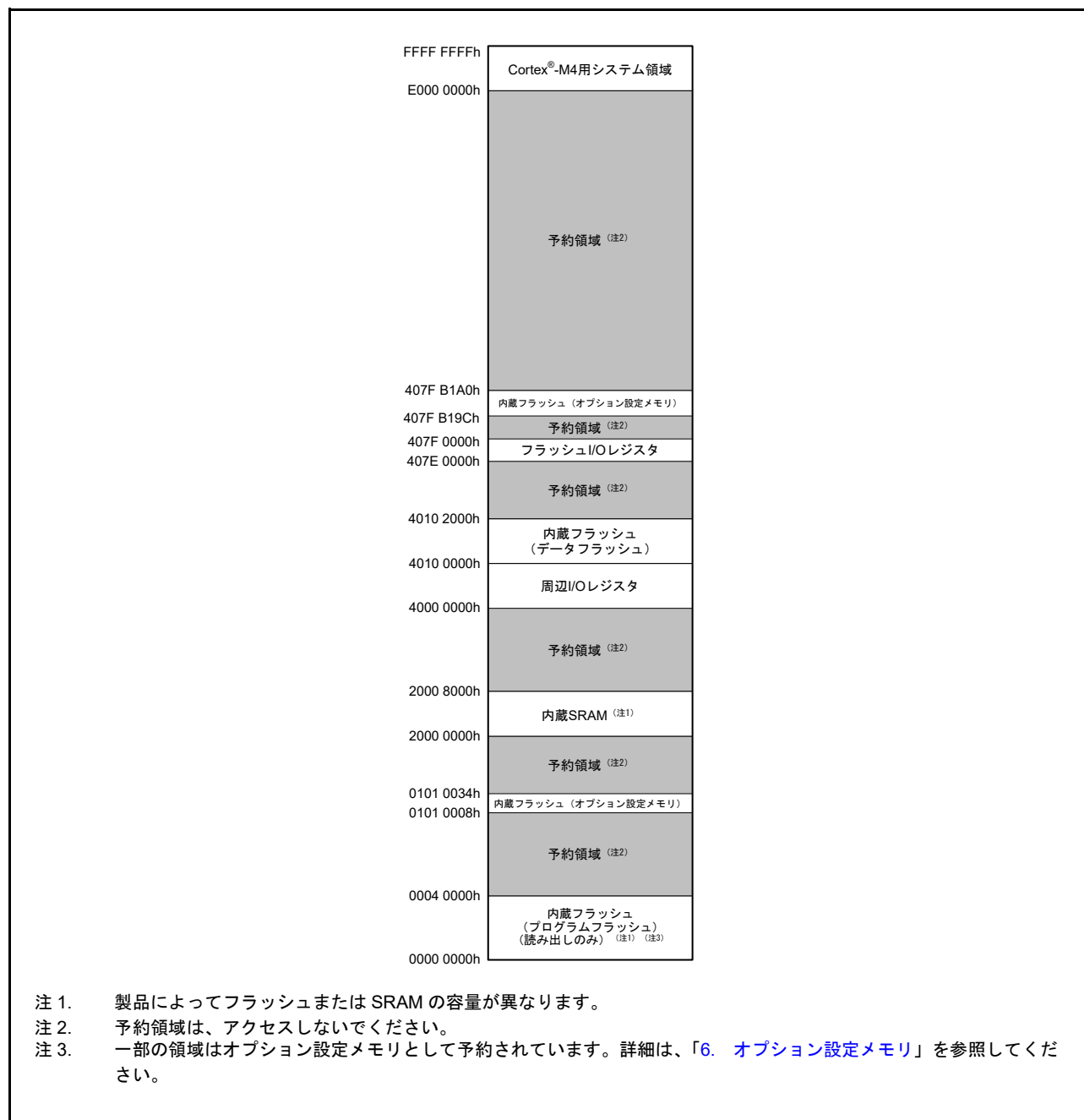


図 4.1 メモリマップ

5. リセット

5.1 概要

本 MCU は、以下の 14 種類のリセットをサポートしています。

- RES 端子リセット
- パワーオンリセット
- VBATT 選択電圧のパワーオンリセット
- 独立ウォッチドッグタイマリセット
- ウォッチドッグタイマリセット
- 電圧監視 0 リセット
- 電圧監視 1 リセット
- 電圧監視 2 リセット
- SRAM パリティエラーリセット
- SRAM ECC エラーリセット
- バスマスタ MPU エラーリセット
- バススレーブ MPU エラーリセット
- CPU スタックポインタエラーリセット
- ソフトウェアリセット

表 5.1 にリセットの名称と要因を示します。

表 5.1 リセットの名称と要因

リセット名	要因
RES 端子リセット	RES 端子への入力電圧が [†] Low
パワーオンリセット	VCC の上昇 (監視電圧: V_{POR}) (注1)
VBATT 選択電圧のパワーオンリセット	VCC の下降 (監視電圧: V_{DET_BATT}) (注1)
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダーフロー、またはリフレッシュエラーの発生
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダーフロー、またはリフレッシュエラーの発生
電圧監視 0 リセット	VCC の下降 (監視電圧: V_{det0}) (注1)
電圧監視 1 リセット	VCC の下降 (監視電圧: V_{det1}) (注1)
電圧監視 2 リセット	VCC の下降 (監視電圧: V_{det2}) (注1)
SRAM パリティエラーリセット	SRAM パリティエラーの検出
SRAM ECC エラーリセット	ECC エラーの検出
バスマスタ MPU エラーリセット	バスマスタ MPU エラーの検出
バススレーブ MPU エラーリセット	バススレーブ MPU エラーの検出
CPU スタックポインタエラーリセット	CPU スタックポインタエラーの検出
ソフトウェアリセット	レジスタ設定 (Arm [®] ソフトウェアリセットビット、AIRCR.SYSRESETREQ)

注 1. 監視電圧 (V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} 、および V_{DET_BATT}) については、「7. 低電圧検出 (LVD)」、「11. バッテリバックアップ機能」および「48. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。表 5.2 と表 5.3 に、リセット種類の初期化対象を示します。

表 5.2 リセット要因ごとの初期化対象リセット検出フラグ

初期化対象フラグ	リセット要因							
	RES 端子 リセット	パワーオン リセット	電圧監視 0リセット	独立ウォッチ ドッグタイマ リセット	ウォッチ ドッグタイマ リセット	電圧監視 1リセット	電圧監視 2リセット	ソフトウェア リセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	×	×	×	×	×	×	×
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	×	×	×	×	×	×
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	○	○	○	×	×	×	×	×
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	○	○	○	×	×	×	×	×
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	×	×	×	×	×
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	×	×	×	×	×
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	○	○	○	×	×	×	×	×
SRAMパリティエラーリセット検出フラグ (RSTSR1.RPERF)	○	○	○	×	×	×	×	×
SRAM ECCエラーリセット検出フラグ (RSTSR1.REERF)	○	○	○	×	×	×	×	×
バススレーブMPUエラーリセット検出フラグ (RSTSR1.BUSSRF)	○	○	○	×	×	×	×	×
バスマスタMPUエラーリセット検出フラグ (RSTSR1.BUSMRF)	○	○	○	×	×	×	×	×
スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	○	○	○	×	×	×	×	×
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	×	○	×	×	×	×	×	×

初期化対象フラグ	リセット要因					
	SRAM パリティ エラー リセット	SRAM ECC エラー リセット	バスマスタ MPUエラー リセット	バススレーブ MPUエラー リセット	スタック ポインタ エラー リセット	VBATT_ POR (注1)
パワーオンリセット検出フラグ (RSTSR0.PORF)	×	×	×	×	×	×
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	×	×	×	×	×	×
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	×	×	×	×	×	×
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	×	×	×	×	×	×
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	×	×	×	×	×	×
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	×	×	×	×	×	×
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	×	×	×	×	×	×
SRAMパリティエラーリセット検出フラグ (RSTSR1.RPERF)	×	×	×	×	×	×
SRAM ECCエラーリセット検出フラグ (RSTSR1.REERF)	×	×	×	×	×	×
バススレーブMPUエラーリセット検出フラグ (RSTSR1.BUSSRF)	×	×	×	×	×	×
バスマスタMPUエラーリセット検出フラグ (RSTSR1.BUSMRF)	×	×	×	×	×	×
スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	×	×	×	×	×	×
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	×	×	×	×	×	×

○ : 0 に初期化される。× : 初期化されない。

注 1. VBATT_POR の詳細は、「11. バッテリバックアップ機能」を参照してください。

表 5.3 リセット要因ごとの初期化対象モジュール関連レジスタ

初期化対象レジスタ	初期化対象レジスタ	リセット要因							
		RES 端子 リセット	パワーオン リセット	電圧監視0 リセット	独立 ウォッチ ドッグ タイマ リセット	ウォッチ ドッグ タイマ リセット	電圧監視1 リセット	電圧監視2 リセット	ソフトウェ アリセット
ウォッチドッグタイマ関連の レジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSTPR	○	○	○	○	○	○	○	○
電圧監視機能1関連のレジスタ	LVD1CR0, LVCMPCR.LVD1E, LVDLVL.R.LVD1LVL	○	○	○	○	○	×	×	×
	LVD1CR1/LVD1SR	○	○	○	○	○	×	×	×
電圧監視機能2関連のレジスタ	LVD2CR0, LVCMPCR.LVD2E, LVDLVL.R.LVD2LVL	○	○	○	○	○	×	×	×
	LVD2CR1/LVD2SR	○	○	○	○	○	×	×	×
SOSC関連のレジスタ	SOSCCR	×	×	×	×	×	×	×	×
	SOMCR	×	×	×	×	×	×	×	×
LOCO関連のレジスタ	LOCOCR	×	×	×	×	×	×	×	×
	LOCOUTCR	×	×	×	×	×	×	×	×
MOSC関連のレジスタ	MOMCR	○	○	○	○	○	○	○	○
リアルタイムクロック関連のレジスタ (注2)		×	×	×	×	×	×	×	○
AGT関連のレジスタ		×	○	○	×	×	○	○	×
MPU関連のレジスタ		○	○	○	○	○	○	○	○
端子状態 (XCIN/XCOUT 端子以外)		○	○	○	○	○	○	○	○
端子状態 (XCIN/XCOUT 端子)		×	×	×	×	×	×	×	×
バッテリーバックアップ	VBTCR1	×	○	×	×	×	×	×	×
	VBTCR2, VBTSR, VBTMPPCR, VBTLVDCR, VBTWCTLR, VBTWCH0OTSR, VBTWCH1OTSR, VBTWCH2OTSR, VBTICTLR, VBTICTLR, VBTWTER, VBTWEGR, VBTWFR	×	×	×	×	×	×	×	×
	VBTKRn (n = 0 ~ 511)	×	×	×	×	×	×	×	×
上記以外のレジスタ、CPU、および内部状態		○	○	○	○	○	○	○	○

初期化対象レジスタ	初期化対象レジスタ	リセット要因					
		SRAM パリティ エラー リセット	SRAM ECC エラー リセット	バスマスタ MPU エラー リセット	バススレー ブMPU エラー リセット	スタック ポインタ エラー リセット	VBATT_ POR (注3)
ウォッチドッグタイマ関連の レジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSTPR	○	○	○	○	○	×
電圧監視機能1関連のレジスタ	LVD1CR0, LVCMPCR.LVD1E, LVDLVL.R.LVD1LVL	×	×	×	×	×	×
	LVD1CR1/LVD1SR	×	×	×	×	×	×
電圧監視機能2関連のレジスタ	LVD2CR0, LVCMPCR.LVD2E, LVDLVL.R.LVD2LVL	×	×	×	×	×	×
	LVD2CR1/LVD2SR	×	×	×	×	×	×
SOSC関連のレジスタ	SOSCCR	×	×	×	×	×	○ (注1)
	SOMCR	×	×	×	×	×	○
LOCO関連のレジスタ	LOCOCR	×	×	×	×	×	○
	LOCOUTCR	×	×	×	×	×	○
MOSC関連のレジスタ	MOMCR	○	○	○	○	○	×
リアルタイムクロック関連のレジスタ (注2)		×	×	×	×	×	×
AGT関連のレジスタ		×	×	×	×	×	×
MPU関連のレジスタ		○	○	×	×	×	×
端子状態 (XCIN/XCOUT 端子以外)		○	○	○	○	○	×
端子状態 (XCIN/XCOUT 端子)		×	×	×	×	×	○
バッテリーバックアップ	VBTCR1	×	×	×	×	×	×
	VBTCR2, VBTSR, VBTMPPCR, VBTLVDCR, VBTWCTLR, VBTWCH0OTSR, VBTWCH1OTSR, VBTWCH2OTSR, VBTICTLR, VBTICTLR, VBTWTER, VBTWEGR, VBTWFR	×	×	×	×	×	○
	VBTKRn (n = 0 ~ 511)	×	×	×	×	×	×
上記以外のレジスタ、CPU、および内部状態		○	○	○	○	○	×

○ : 初期化される。 × : 初期化されない。

- 注 1. 各レジスタの初期値については、「8. クロック発生回路」を参照してください。
- 注 2. RTC にはソフトウェアリセットがあります。RCR1.RTCOS、RCR1.CIE、RCR2.RTCOE、RCR2.ADJ30、および RCR2.RESET は、すべてのタイプのリセットで初期化されます。対象ビットの詳細については、「24. リアルタイムクロック (RTC)」を参照してください。
- 注 3. VBATT_POR の詳細については、「11. バッテリバックアップ機能」を参照してください。

RTC はいずれのリセット要因によっても初期化されません。SOSC と LOCO は、RTC と AGT のクロックソースとして選択可能です。表 5.4 および表 5.5 は、リセット発生時の SOSC と LOCO の状態を示しています。

表 5.4 リセット発生時の SOSC の状態

状態		リセット要因	
		VBATT_POR	その他
SOSC	有効または無効	無効に初期化	リセット発生前に選択されていた状態を継続
	駆動能力	ノーマルモードに初期化	リセット発生前に選択されていた状態を継続
	XCIN/XCOUT	汎用入力端子に初期化	リセット発生前に選択されていた状態を継続

表 5.5 リセット発生時の LOCO の状態

状態		リセット要因	
		VBATT_POR	その他
LOCO	有効または無効	有効に初期化	リセット発生前に選択されていた状態を継続
	発振精度	LOCOUTCRによるトリミング前の精度に初期化 (精度: ±15%)	LOCOUTCRによってトリミングされた精度を継続

リセットが解除されると、リセット例外処理を開始します。

表 5.6 にリセット機能に関連する入出力端子を示します。

表 5.6 リセット入出力端子

端子名	入出力	機能
RES	入力	リセット端子

5.2 レジスタの説明

5.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス SYSTEM.RSTSR0 4001 E410h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF
リセット後の値	0	0	0	0	x (注1)	x (注1)	x (注1)	x (注1)

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0: パワーオンリセット未検出 1: パワーオンリセット検出	R/W (注2)
b1	LVD0RF	電圧監視0リセット検出フラグ	0: 電圧監視0リセット未検出 1: 電圧監視0リセット検出	R/W (注2)
b2	LVD1RF	電圧監視1リセット検出フラグ	0: 電圧監視1リセット未検出 1: 電圧監視1リセット検出	R/W (注2)
b3	LVD2RF	電圧監視2リセット検出フラグ	0: 電圧監視2リセット未検出 1: 電圧監視2リセット検出	R/W (注2)
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための0の書き込みのみ可能です。このフラグは、1を読んだ後、0を書くことでクリアする必要があります。

PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

[1 になる条件]

- パワーオンリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

LVD0RF フラグ (電圧監視 0 リセット検出フラグ)

VCC 電圧が V_{det0} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 0 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

LVD1RF フラグ (電圧監視 1 リセット検出フラグ)

VCC 電圧が V_{det1} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 1 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

LVD2RF フラグ (電圧監視 2 リセット検出フラグ)

VCC 電圧が V_{det2} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 2 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

5.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス SYSTEM.RSTSR1 4001 E0C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SPERF	BUSMRF	BUSSRF	REERF	RPERF	—	—	—	—	—	SWRF	WDTRF	IWDTRF
リセット後の値	0	0	0	x (注1)	x (注1)	x (注1)	x (注1)	x (注1)	0	0	0	0	0	x (注1)	x (注1)	x (注1)

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R(W) (注2)
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R(W) (注2)
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R(W) (注2)
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	RPERF	SRAMパリティエラーリセット検出フラグ	0: SRAMパリティエラーリセット未検出 1: SRAMパリティエラーリセット検出	R(W) (注2)
b9	REERF	SRAM ECCエラーリセット検出フラグ	0: SRAM ECCエラーリセット未検出 1: SRAM ECCエラーリセット検出	R(W) (注2)
b10	BUSSRF	バススレーブMPUエラーリセット検出フラグ	0: バススレーブMPUエラーリセット未検出 1: バススレーブMPUエラーリセット検出	R(W) (注2)
b11	BUSMRF	バスマスタMPUエラーリセット検出フラグ	0: バスマスタMPUエラーリセット未検出 1: バスマスタMPUエラーリセット検出	R(W) (注2)
b12	SPERF	SPエラーリセット検出フラグ	0: SPエラーリセット未検出 1: SPエラーリセット検出	R(W) (注2)
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための0の書き込みのみ可能です。本リセットフラグは、1を読んだ後、0を書く必要があります。

IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

[1になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[0になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

WDTRF フラグ (ウォッチドッグタイマリセット検出フラグ)

ウォッチドッグタイマリセットが発生したことを示します。

[1になる条件]

- ウォッチドッグタイマリセットが発生したとき

[0になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

SWRF フラグ (ソフトウェアリセット検出フラグ)

ソフトウェアリセットが発生したことを示します。

[1 になる条件]

- ソフトウェアリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

RPERF フラグ (SRAM パリティエラーリセット検出フラグ)

SRAM パリティエラーリセットが発生したことを示します。

[1 になる条件]

- SRAM パリティエラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

REERF フラグ (SRAM ECC エラーリセット検出フラグ)

SRAM ECC エラーリセットが発生したことを示します。

[1 になる条件]

- SRAM ECC エラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

BUSSRF フラグ (バススレーブ MPU エラーリセット検出フラグ)

バススレーブ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バススレーブ MPU エラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

BUSMRF フラグ (バスマスタ MPU エラーリセット検出フラグ)

バスマスタ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バスマスタ MPU エラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

SPERF フラグ (SP エラーリセット検出フラグ)

スタックポインタエラーリセットが発生したことを示します。

[1 になる条件]

- スタックポインタエラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

5.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス SYSTEM.RSTSR2 4001 E411h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CWSF
リセット後の値	0	0	0	0	0	0	0	x (注1)

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート 判別フラグ	0: コールドスタート 1: ウォームスタート	R(W) (注2)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. リセット後の値は、リセット要因で異なります。

注 2. フラグをセットするための 1 の書き込みのみ可能です。

RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。

CWSF フラグ (コールドスタート/ウォームスタート判別フラグ)

リセット処理の種類（コールドスタートまたはウォームスタート）を示します。CWSF フラグは、パワーオンリセットで初期化されます。RES 端子リセットでは初期化されません。

[1 になる条件]

- ソフトウェアで 1 を書いたとき。0 を書いても変化しない

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき

5.3 動作説明

5.3.1 RES 端子リセット

RES 端子によるリセットです。RES 端子が Low になると実行中の処理はすべて打ち切れ、本 MCU はリセット状態になります。本 MCU を適切にリセットするには、電源投入時に指定された電源安定時間だけ RES 端子は Low を保持していなければいけません。

RES 端子が Low から High になったとき、RES 解除後待機時間 (t_{RESWT}) 経過後に内部リセットが解除されます。その後 CPU はリセット例外処理を開始します。

詳細は、「[48. 電気的特性](#)」を参照してください。

5.3.2 パワーオンリセット

パワーオンリセット (POR) は、パワーオンリセット回路による内部リセットです。

RES 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。VCC が V_{POR} を超えると、指定されたパワーオンリセット時間経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間とは、外部電源と MCU 回路のための安定期間です。パワーオンリセットが発生すると、RSTSR0.PORF フラグが 1 になります。PORF フラグは、RES 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0 (リセット後、電圧監視 0 リセット有効) の状態で、VCC が V_{det0} 以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。

VCC が V_{det0} を超えると、電圧監視 0 リセット時間 (t_{LVD0}) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。 V_{det0} の電圧検出レベルは、オプション機能選択レジスタ 1 (OFS1) の VDSEL1[2:0] ビットの設定により変更できます。

図 5.1 に、パワーオンリセットおよび電圧監視 0 リセット時の動作例を示します。

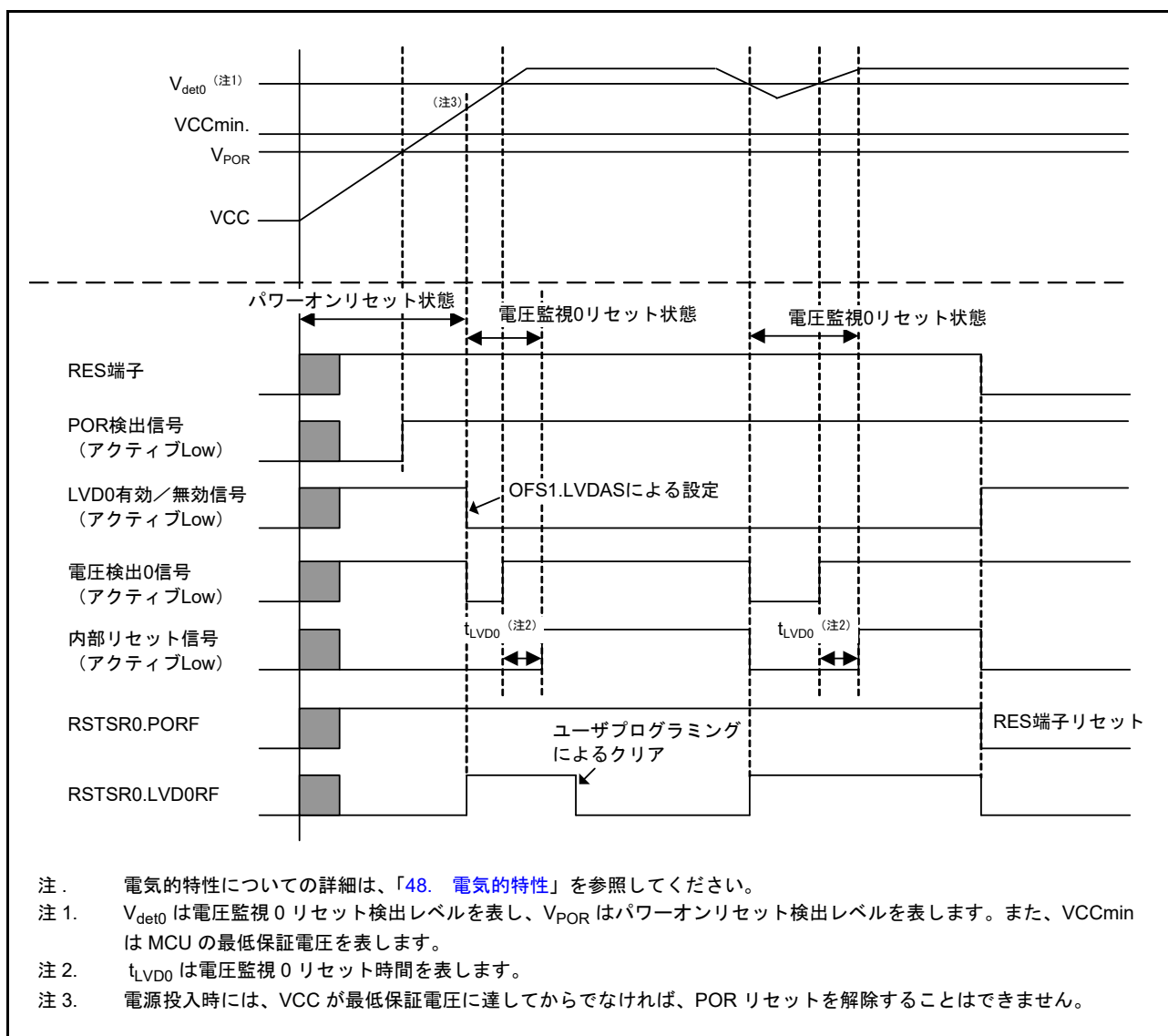


図 5.1 パワーオンリセットおよび電圧監視 0 リセット時の動作例

5.3.3 電圧監視リセット

電圧監視 0 リセットは、電圧監視回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0 (リセット後、電圧監視 0 リセット有効) の状態で、VCC が V_{det0} 以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。VCC が V_{det0} を超えると、電圧監視 0 リセット時間 (t_{LVD0}) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 1 回路コントロールレジスタ 0 (LVD1CR0) の電圧監視 1 割り込み/リセット許可ビット (RIE) が 1 (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (RI) が 1 (低電圧検出時、リセット発生) の状態にあるとき、VCC が V_{det1} 以下になると、RSTSR0.LVD1RF フラグが 1 になり、電圧検出回路は電圧監視 1 リセットを発生させます。

同様に、電圧監視 2 回路コントロールレジスタ 0 (LVD2CR0) の電圧監視 2 割り込み/リセット許可ビット (RIE) が 1 (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2CR0.RI) が 1 (低電圧検出時、リセット発生) の状態にあるとき、VCC が V_{det2} 以下になると、RSTSR0.LVD2RF フラグが 1 になり、電圧検出回路は電圧監視 2 リセットを発生させます。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (RN) で選択可能です。LVD1CR0.RN ビットが 0 で、かつ VCC が V_{det1} 以下になっている場合、 V_{det1} を超えてから LVD1 リセット時間 (t_{LVD1}) が経過すると、内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.RN ビットが 1 で、かつ VCC が V_{det1} 以下になっている場合、LVD1 リセット時間 (t_{LVD1}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様であり、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (RN) で選択可能です。

V_{det1} および V_{det2} の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) で変更できます。

図 5.2 に電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。

電圧監視 1 リセットと電圧監視 2 リセットの詳細は、「7. 低電圧検出 (LVD)」を参照してください。

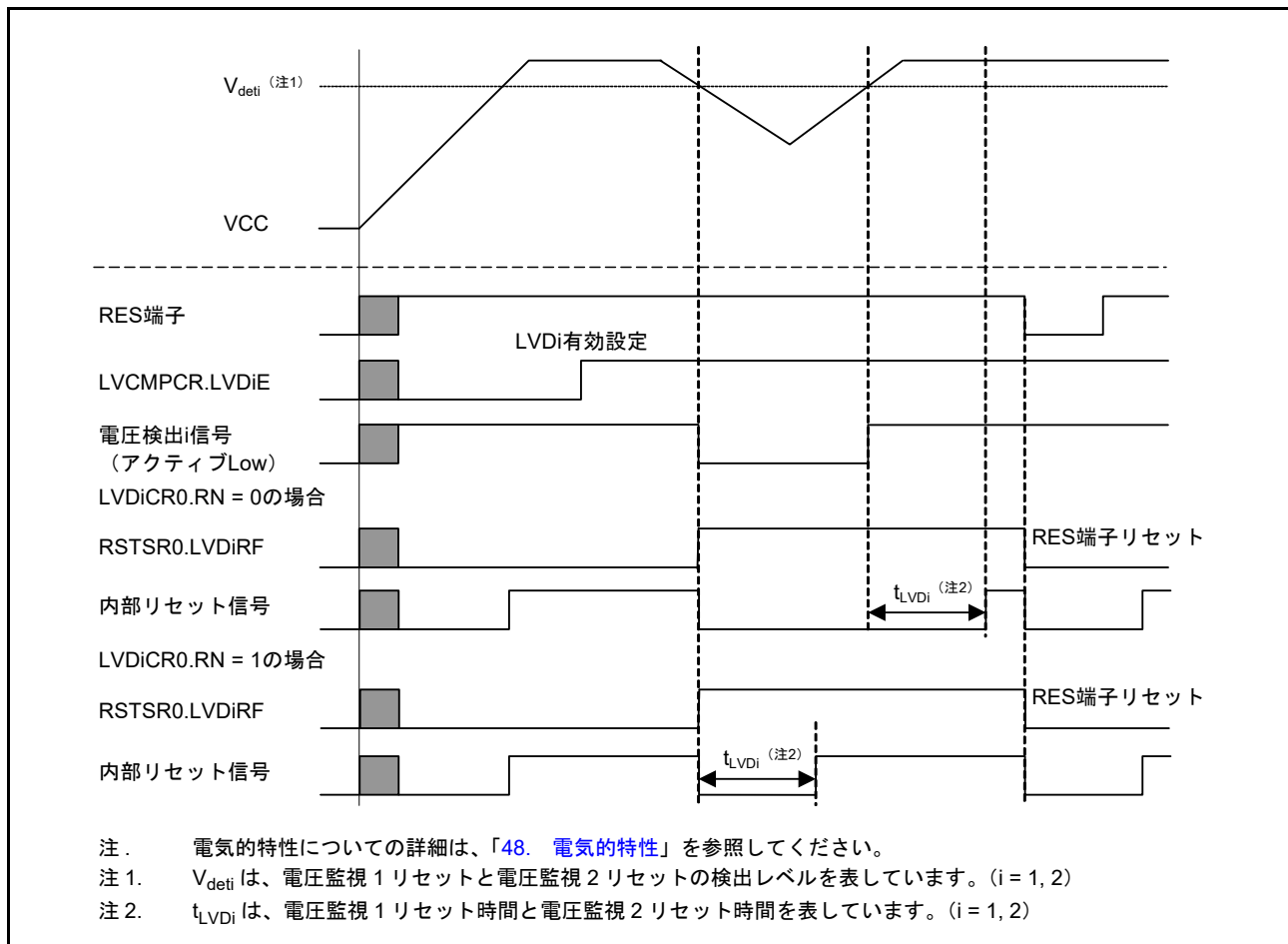


図 5.2 電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例

5.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマリセットは、独立ウォッチドッグタイマ (IWDT) により生成された内部リセットです。IWDT から独立ウォッチドッグタイマリセットを出力するかどうかをオプション機能選択レジスタ 0 (OFS0) で選択できます。

独立ウォッチドッグタイマリセットの出力を選択した場合、IWDT がアンダーフローしたとき、あるいはリフレッシュ動作禁止時に書き込みを行ったときに、独立ウォッチドッグタイマリセットが生成されます。独立ウォッチドッグタイマリセットの生成後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

5.3.5 ウォッチドッグタイマリセット

ウォッチドッグタイマリセットは、ウォッチドッグタイマ (WDT) による内部リセットです。WDT リセットコントロールレジスタ (WDTRCR) またはオプション機能選択レジスタ 0 (OFS0) によって、WDT からウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセットの出力を選択した場合、WDT がアンダーフローしたとき、あるいはリフレッシュ動作禁止時に書き込みを行ったときに、このリセットが発生します。ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

5.3.6 ソフトウェアリセット

ソフトウェアリセットは、Arm コア内部の AIRCR レジスタの SYSRESETREQ ビットに対するソフトウェア設定によって発生する内部リセットです。SYSRESETREQ ビットを 1 にすると、ソフトウェアリセットが発生します。ソフトウェアリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

SYSRESETREQ ビットについての詳細は、ARM® Cortex®-M4 Technical Reference Manual を参照してください。

5.3.7 コールドスタート/ウォームスタート判定機能

RSTSR2.CWSF フラグの読み出しによって、リセット処理の原因を判定できます。このフラグは、電源が投入されたときのリセット処理 (コールドスタート) なのか、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) なのかを示します。

RSTSR2 の CWSF フラグは、パワーオンリセットが発生すると 0 (コールドスタート) になり、その他のリセットを行っても 0 になりません。また、ソフトウェアで 1 を書くと 1 になります。0 を書いても 0 になりません。

図 5.3 にコールドスタート/ウォームスタート判定機能の動作例を示します。

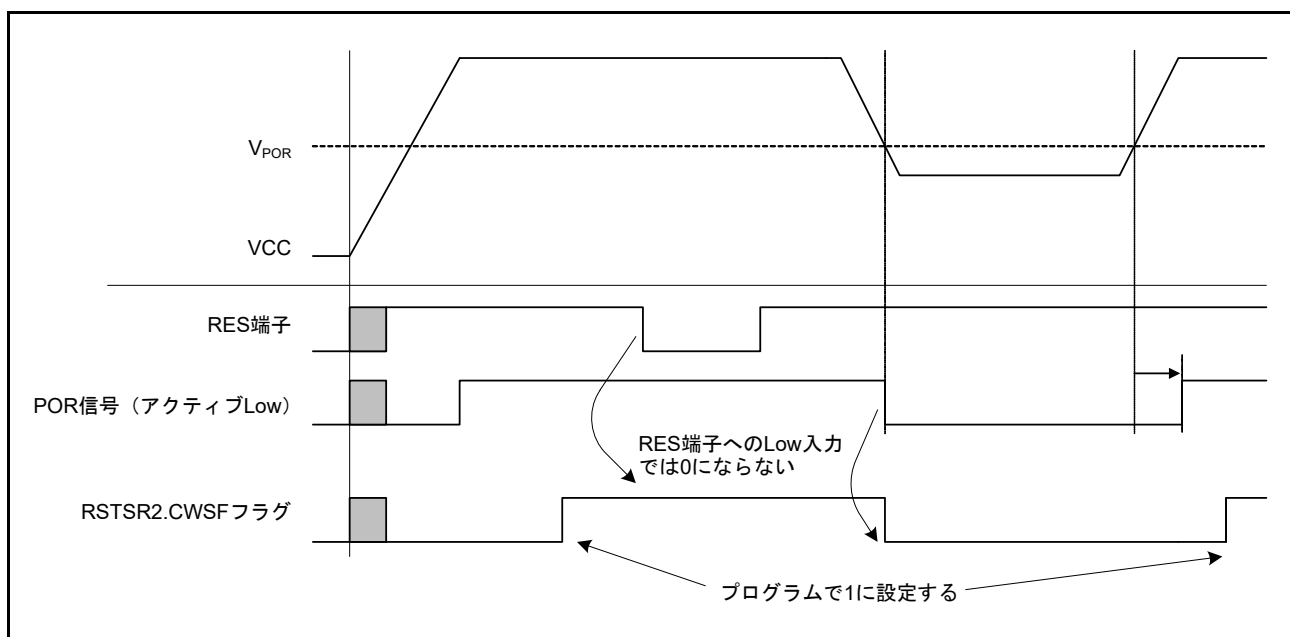


図 5.3 コールドスタート/ウォームスタート判定機能の動作例

5.3.8 リセット発生要因の判定

RSTSR0 レジスタと RSTSR1 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認できます。図 5.4 にリセット発生要因の判定フロー例を示します。リセットフラグは、1 を読んだ後に 0 を書く必要があります。

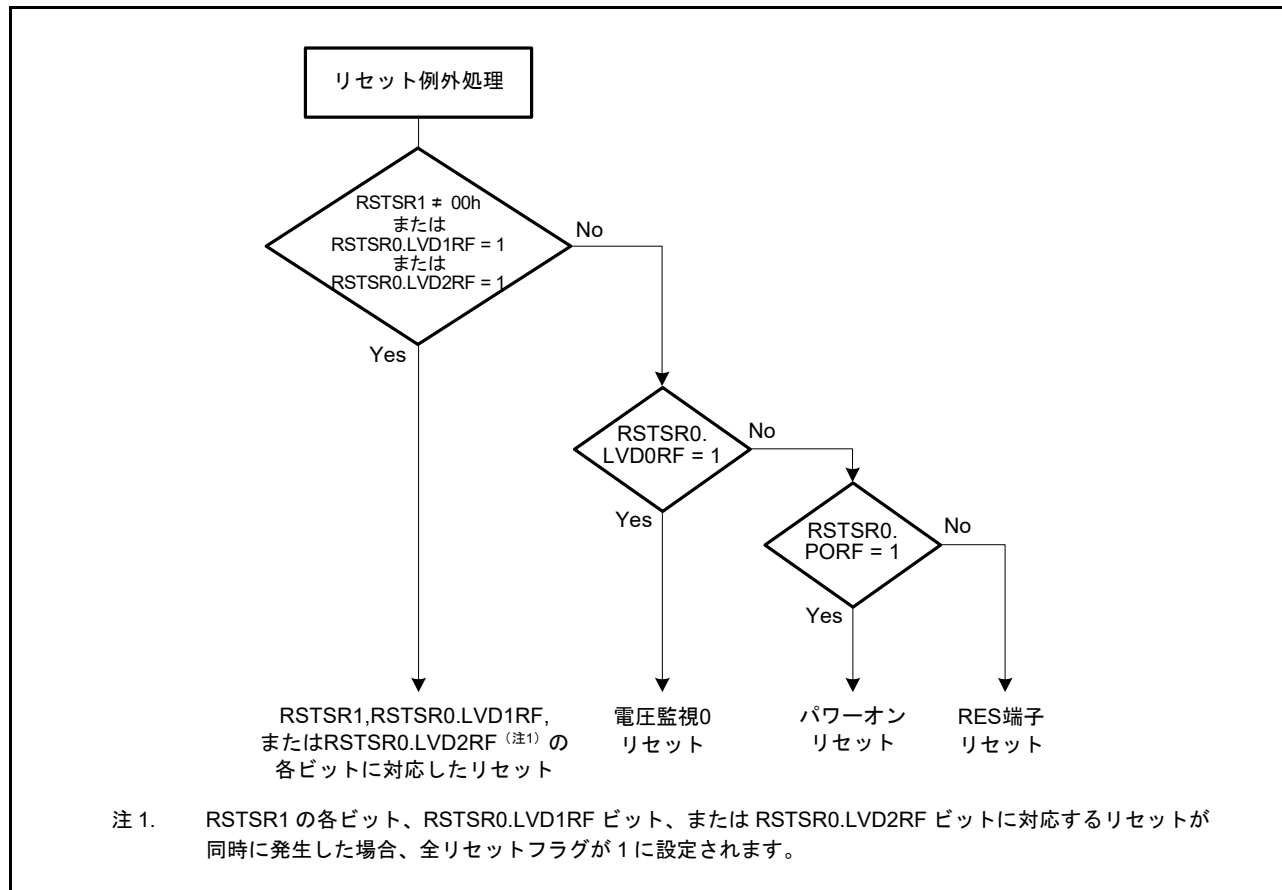


図 5.4 リセット発生要因の判定フロー例

6. オプション設定メモリ

6.1 概要

オプション設定メモリは、MCUのリセット後の状態を決定します。オプション設定メモリは、フラッシュメモリのコンフィグレーション設定領域とプログラムフラッシュ領域にあり、これら2つの領域では設定方法が異なります。図 6.1 にオプション設定メモリの領域を示します。

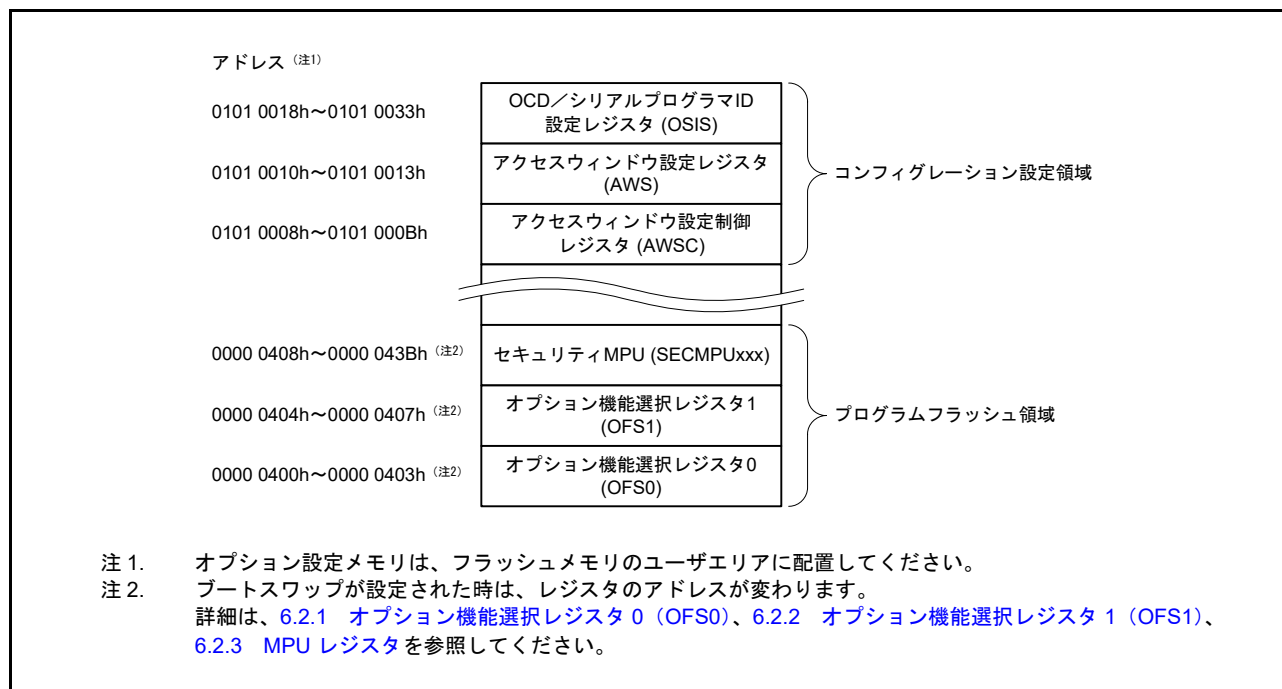


図 6.1 オプション設定メモリの領域

6.2 レジスタの説明

6.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス OFS0 0000 0400h/0000 2400h (注1)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	WDTST PCTL	—	WDTR STIRQ	WDTRPSS[1:0]	WDTRPES[1:0]	WDTCKS[3:0]			WDTTOPS[1:0]	WDTST RT	—				
リセット後の値															
ユーザの設定値 (注2)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTST TPCTL	—	IWDR STIRQS	IWDRPSS[1:0]	IWDRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]	IWDTST TRT	—				
リセット後の値															
ユーザの設定値 (注2)															

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、書き込んだ値が読めます。書き込む場合は1としてください。	R
b1	IWDTSTRT	IWDTスタートモード選択	0: リセット後、IWDTは自動的に起動 (オートスタートモード) 1: IWDTは無効	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択	b3 b2 0 0: 128サイクル (007Fh) 0 1: 512サイクル (01FFh) 1 0: 1024サイクル (03FFh) 1 1: 2048サイクル (07FFh)	R
b7-b4	IWDTCKS[3:0]	IWDT専用クロック分周比選択	b7 b4 0 0 0 0: 1分周 0 0 1 0: 16分周 0 0 1 1: 32分周 0 1 0 0: 64分周 1 1 1 1: 128分周 0 1 0 1: 256分周 上記以外は設定しないでください。	R
b9-b8	IWDRPES[1:0]	IWDTウィンドウ終了位置選択	b9 b8 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0% (ウィンドウ終了位置の設定なし)	R
b11-b10	IWDRPSS[1:0]	IWDTウィンドウ開始位置選択	b11 b10 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100% (ウィンドウ開始位置の設定なし)	R
b12	IWDRSTIRQS	IWDTリセット割り込み要求選択	0: 割り込み 1: リセット	R
b13	—	予約ビット	読んだ場合は、書き込んだ値が読めます。書き込む場合は1としてください。	R
b14	IWDTSTPCTL	IWDT停止制御	0: カウント継続 1: スリープモード、スヌーズモード、またはソフトウェアスタンバイモードのとき、カウント停止	R
b16-b15	—	予約ビット	読んだ場合は、書き込んだ値が読めます。書き込む場合は1としてください。	R
b17	WDTSTRT	WDTスタートモード選択	0: リセット後、WDTは自動的に起動 (オートスタートモード) 1: リセット後、WDTは停止状態 (レジスタスタートモード)	R

ビット	シンボル	ビット名	機能	R/W
b19-b18	WDTTOPS[1:0]	WDTタイムアウト期間選択	b19 b18 0 0 : 1024 サイクル (03FFh) 0 1 : 4096 サイクル (0FFFh) 1 0 : 8192 サイクル (1FFFh) 1 1 : 16384 サイクル (3FFFh)	R
b23-b20	WDTCKS[3:0]	WDTクロック分周比選択	b23 b20 0 0 0 1 : PCLKB/4 0 1 0 0 : PCLKB/64 1 1 1 1 : PCLKB/128 0 1 1 0 : PCLKB/512 0 1 1 1 : PCLKB/2048 1 0 0 0 : PCLKB/8192 上記以外は設定しないでください。	R
b25-b24	WDRPES[1:0]	WDTウィンドウ終了位置選択	b25 b24 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウ終了位置の設定なし)	R
b27-b26	WDRPSS[1:0]	WDTウィンドウ開始位置選択	b27 b26 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウ開始位置の設定なし)	R
b28	WDRSTIRQS	WDTリセット割り込み要求選択	WDT動作の選択 0 : 割り込み 1 : リセット	R
b29	—	予約ビット	読んだ場合は、書き込んだ値が読めます。書き込む場合は1としてください。	R
b30	WDTSTPCTL	WDT停止制御	0 : カウント継続 1 : スリープモード遷移時にカウント停止	R
b31	—	予約ビット	読んだ場合は、書き込んだ値が読めます。書き込む場合は1としてください。	R

- 注 1. ブートスワップを設定すると、本レジスタのアドレスが変更されます。
そのため、ブートスワップが使用されている場合は、0000 2400h および 0000 0400h を同じ値に設定します。
- 注 2. ブランク品は、FFFF_FFFFh です。ユーザがプログラムした値になります。

IWDTSTRT ビット (IWDT スタートモード選択)

リセット後の IWDT の起動モード (停止状態または起動状態) を選択します。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択)

ダウンカウンタがアンダーフローするまでのタイムアウト期間を、IWDTCKS[3:0] ビットで設定した分周クロックを1サイクルとして、128、512、1024、2048 の各サイクルで選択します。リフレッシュ後、IWDT がアンダーフローするまでのクロックサイクル数は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせで決定されます。

詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択)

IWDT 専用クロックを分周するプリスケアラの分周比設定を、1/1、1/16、1/32、1/64、1/128、1/256 の各分周から選択します。この設定を IWDTTOPS[1:0] ビット設定と組み合わせることで、IWDT のカウント期間は 128 から 524288 までの IWDT クロックサイクルに設定可能です。

詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRPES[1:0] ビット (IWDT ウィンドウ終了位置選択)

ダウンカウンタのウィンドウ終了位置を、カウント値の 0%、25%、50%、75% から選択します。ウィンドウ終了位置の値はウィンドウ開始位置の値よりも小さくなければいけません。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値にした場合、ウィンドウ開始位置の設定値のみが有効となります。

IWDTRPSS[1:0] および IWDTRPES[1:0] ビットで設定したウィンドウ開始および終了位置に対応するカウンタ値は、IWDTTOPS[1:0] ビットの設定によって変わります。

詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択)

ダウンカウンタのウィンドウ開始位置を、カウント値の 25%、50%、75%、100% から選択します。このとき、カウント開始時が 100%、アンダーフロー発生時が 0% です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となります。それ以外の期間でのリフレッシュはできません。

詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDRSTIRQS ビット (IWDT リセット割り込み要求選択)

ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。独立ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかの動作を選択できます。

詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTSTPCTL ビット (IWDT 停止制御)

スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時にカウントを停止するかどうかを選択します。

詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

WDTSTRT ビット (WDT スタートモード選択)

リセット後の WDT の起動モード (停止状態、またはオートスタートモードでの起動) を選択します。WDT がオートスタートモードで起動された場合、WDT の設定は OFS0 レジスタの設定が有効となります。

WDTTOPS[1:0] ビット (WDT タイムアウト期間選択)

ダウンカウンタがアンダーフローするまでのタイムアウト期間を、WDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024、4096、8192、16384 の各サイクル数で指定します。リフレッシュ後、カウンタがアンダーフローするまでの PCLKB サイクル数は、WDTCKS[3:0] ビットと WDTTOPS[1:0] ビットの組み合わせで決定されます。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

WDTCKS[3:0] ビット (WDT クロック分周比選択)

PCLKB を分周するプリスケアラの分周比設定を、1/4、1/64、1/128、1/512、1/2048、1/8192 の各分周から選択します。この設定を WDTTOPS[1:0] ビット設定と組み合わせることで、WDT のカウント期間は 4096 から 134217728 までの PCLKB サイクルに設定可能です。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

WDRPES[1:0] ビット (WDT ウィンドウ終了位置選択)

ダウンカウンタのウィンドウ終了位置を、カウント値の 0%、25%、50%、75% から選択します。ウィンドウ終了位置の値はウィンドウ開始位置の値よりも小さくなければいけません。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値にした場合、ウィンドウ開始位置の設定値のみが有効となります。

WDRPSS[1:0] および WDRPES[1:0] ビットで設定したウィンドウ開始および終了位置に関連するカウンタ値は、WDTTOPS[1:0] ビットの設定によって変わります。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

WDTRPSS[1:0] ビット (WDT ウィンドウ開始位置選択)

ダウンカウンタのウィンドウ開始位置を、カウント値の 25%、50%、75%、100% から選択します。このとき、カウント開始時が 100%、アンダーフロー発生時が 0% です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となります。それ以外の期間でのリフレッシュはできません。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

WDRSTIRQS ビット (WDT リセット割り込み要求選択)

ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

WDTSTPCTL ビット (WDT 停止制御)

スリープモード遷移時に、カウントを停止させるかどうかを選択します。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

6.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス OFS1 0000 0404h/0000 2404h (注1)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注2)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	HOCOFRQ1[2:0]		—	—	—	—	HOCOEN	—	—	VDSEL1[2:0]		LVDAS	—	—	
リセット後の値 ユーザの設定値 (注2)															

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合は、書き込んだ値が読めます。書き込む場合は1としてください。	R
b2	LVDAS	電圧検出0回路起動	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R
b5-b3	VDSEL1[2:0]	電圧検出0レベル選択	b5 b3 0 0 0: 3.84V を選択 0 0 1: 2.82V を選択 0 1 0: 2.51V を選択 0 1 1: 1.90V を選択 1 0 0: 1.70V を選択 上記以外は設定しないでください。	R
b7-b6	—	予約ビット	読んだ場合は、書き込んだ値が読めます。書き込む場合は1としてください。	R
b8	HOCOEN	HOCO発振有効	0: リセット後、HOCO発振が有効 1: リセット後、HOCO発振が無効	R
b11-b9	—	予約ビット	読んだ場合は、書き込んだ値が読めます。書き込む場合は1としてください。	R
b14-b12	HOCOFRQ1[2:0]	HOCO周波数設定1	b14 b12 0 0 0: 24MHz 0 1 0: 32MHz 1 0 0: 48MHz 1 0 1: 64MHz 上記以外は設定しないでください。	R
b31-b15	—	予約ビット	読んだ場合は、書き込んだ値が読めます。書き込む場合は1としてください。	R

- 注1. ブートスワップを設定すると、本レジスタのアドレスが変更されます。
そのため、ブートスワップが使用されている場合は、0000 2404h および 0000 0404h を同じ値に設定します。
- 注2. ブランク品は、FFFF_FFFFh です。ユーザがプログラムした値になります。

LVDAS ビット (電圧検出 0 回路起動)

リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

VDSEL1[2:0] ビット (電圧検出 0 レベル選択)

電圧検出 0 回路の電圧検出レベルを選択します。

HOCOEN ビット (HOCO 発振有効)

リセット後、HOCO 用発振許可ビットを有効にするか無効にするかを選択します。本ビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

注． HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット (SCKSCR.CKSEL[2:0]) を設定することによってのみ、システムクロックソースは HOCO に切り替わります。HOCO クロックを使用する場合は、OFS1.HOCOFRQ1[2:0] ビット (注 1) を最適な値に設定してください。

注 1. OFS1.HOCOFRQ1[2:0] ビットの値は、リセット後に HOCOCR2.HCFRQ1[2:0] ビットに自動的に転送されるため、OFS1.HOCOEN = 1 であるときは、HOCOCR2.HCFRQ1[2:0] ビットで設定することも可能です。

リセット解除後、動作は Low-voltage モードとなるので、HOCOCR.HCSTP ビットをすぐに 0 にする必要があります。

HOCOFRQ1[2:0] ビット (HOCO 周波数設定 1)

リセット後の HOCO 周波数を、24、32、48、または 64MHz から選択します。

6.2.3 MPU レジスタ

表 6.1 に、MPU 機能に関連したレジスタを示します。詳細は、「15. メモリプロテクションユニット (MPU)」を参照してください。

フラッシュメモリを消去すると、セキュリティ MPU は無効になります。MPU レジスタに不正なデータを書きこむと、MCU が動作しないことがあります。適切なデータを設定するには、「15. メモリプロテクションユニット (MPU)」を参照してください。

表 6.1 MPU レジスタ (1/2)

レジスタ名	シンボル	機能	アドレス (注1)	サイズ (バイト)
セキュリティ MPU プログラムカウンタ開始アドレスレジスタ 0	SECMPUPCS0	コードフラッシュのセキュリティフェッチ領域または SRAM を指定	0000 0408h	4
セキュリティ MPU プログラムカウンタ終了アドレスレジスタ 0	SECMPUPCE0	コードフラッシュのセキュリティフェッチ領域または SRAM を指定	0000 040Ch	4
セキュリティ MPU プログラムカウンタ開始アドレスレジスタ 1	SECMPUPCS1	コードフラッシュのセキュリティフェッチ領域または SRAM を指定	0000 0410h	4
セキュリティ MPU プログラムカウンタ終了アドレスレジスタ 1	SECMPUPCE1	コードフラッシュのセキュリティフェッチ領域または SRAM を指定	0000 0414h	4
セキュリティ MPU 領域 0 開始アドレスレジスタ	SECMPUS0	セキュリティプログラムとコードフラッシュデータを指定	0000 0418h	4
セキュリティ MPU 領域 0 終了アドレスレジスタ	SECMPUE0	セキュリティプログラムとコードフラッシュデータを指定	0000 041Ch	4
セキュリティ MPU 領域 1 開始アドレスレジスタ	SECMPUS1	SRAM のセキュアデータを指定	0000 0420h	4
セキュリティ MPU 領域 1 終了アドレスレジスタ	SECMPUE1	SRAM のセキュアデータを指定	0000 0424h	4
セキュリティ MPU 領域 2 開始アドレスレジスタ	SECMPUS2	セキュリティ機能のセキュアデータを指定	0000 0428h	4
セキュリティ MPU 領域 2 終了アドレスレジスタ	SECMPUE2	セキュリティ機能のセキュアデータを指定	0000 042Ch	4
セキュリティ MPU 領域 3 開始アドレスレジスタ	SECMPUS3	セキュリティ機能のセキュアデータを指定	0000 0430h	4
セキュリティ MPU 領域 3 終了アドレスレジスタ	SECMPUE3	セキュリティ機能のセキュアデータを指定	0000 0434h	4

表 6.1 MPUレジスタ (2/2)

レジスタ名	シンボル	機能	アドレス (注1)	サイズ (バイト)
セキュリティ MPUアクセスコントロールレジスタ	SECMPUAC	セキュリティ有効/無効領域を指定	0000 0438h	4

注 1. ブートスワップ設定時、MPU レジスタのアドレスは変わります。
そのため、ブートスワップを使う場合、(0000 2408h ~ 0000 243Bh)、(0000 0408h ~ 0000 043Bh) は同じ値に設定してください。

6.2.4 アクセスウィンドウ設定コントロールレジスタ (AWSC)

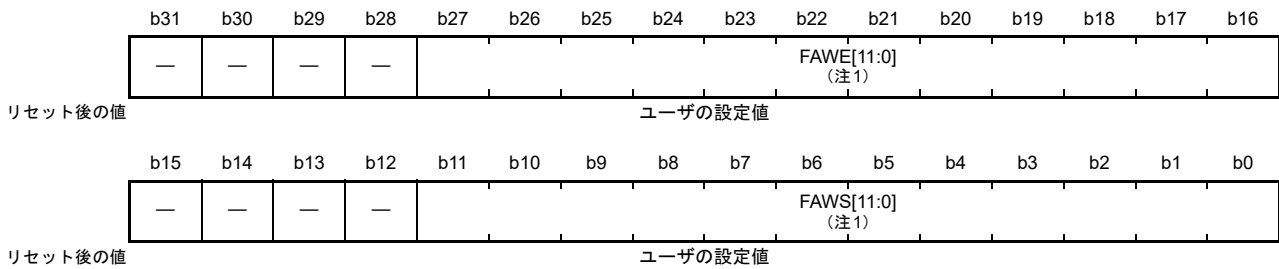
アドレス AWSC 0101 0008h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	FSPR	—	—	—	—	—	BTFLG	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値															

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読んだ場合は、書き込んだ値が読めます。書き込む場合は1としてください。	R
b8	BTFLG	スタートアップ領域選択フラグ	スタートアップ領域のアドレスをブートスワップ機能用に入れ替えるかどうかを指定します。 0: 最初の8KB領域 (0000 0000h~0000 1FFFh) と次の8KB領域 (0000 2000h~0000 3FFFh) が入れ替わる 1: 最初の8KB領域 (0000 0000h~0000 1FFFh) と次の8KB領域 (0000 2000h~0000 3FFFh) は入れ替わらない	R
b13-b9	—	予約ビット	読んだ場合は、書き込んだ値が読めます。書き込む場合は1としてください。	R
b14	FSPR	アクセスウィンドウとスタートアップ領域選択機能の保護	アクセスウィンドウ、スタートアップ領域選択フラグ (BTFLG)、およびテンポラリブートスワップ制御に対するライト/イレースのプログラミングを制御します。本ビットは0にした場合、1に変更できません。 0: アクセスウィンドウ (FAWE[11:0]、FAWS[11:0]) とスタートアップ領域選択フラグ (BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は無効。 1: アクセスウィンドウ (FAWE[11:0]、FAWS[11:0]) とスタートアップ領域選択フラグ (BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は有効。	R
b31-b15	—	予約ビット	読んだ場合は、書き込んだ値が読めます。書き込む場合は1としてください。	R

6.2.5 アクセスウィンドウ設定レジスタ (AWS)

アドレス AWS 0101 0010h



ビット	シンボル	ビット名	機能	R/W
b11-b0	FAWS[11:0]	アクセスウィンドウ開始ブロックアドレス (注1)	アクセスウィンドウの開始ブロックアドレスを指定します。これらのビットは、アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。このブロックアドレスでは、ブロックの先頭アドレスを設定します。アドレスビット[21:10]で構成されます。	R
b15-b12	—	予約ビット	読んだ場合は、書き込んだ値が読めます。書き込む場合は1としてください。	R
b27-b16	FAWE[11:0]	アクセスウィンドウ終了ブロックアドレス (注1)	アクセスウィンドウの終了ブロックアドレスを指定します。これらのビットは、アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。アクセスウィンドウの終了ブロックアドレスは、アクセスウィンドウで定義される受け付け可能プログラムおよびイレース領域の次のブロックです。このブロックアドレスでは、ブロックの先頭アドレスを指定します。アドレスビット[21:10]で構成されます。	R
b31-b28	—	予約ビット	読んだ場合は、書き込んだ値が読めます。書き込む場合は1としてください。	R

注1. FAWE[0] ビットと FAWS[0] ビットにプログラムする場合、0としてください。

アクセスウィンドウ外の領域にプログラムまたはイレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。アクセスウィンドウは FSPR ビットでロックすることが可能です。

アクセスウィンドウは、FAWS[11:0] ビットおよび FAWE[11:0] ビットの両方で指定されています。

以下に、FAWS[11:0] ビットと FAWE[11:0] ビットの設定方法を説明します。

- FAWE[11:0] = FAWS[11:0] : P/E コマンドは、全プログラムフラッシュ領域に対して実行が許可される
- FAWE[11:0] > FAWS[11:0] : P/E コマンドは、FAWS[11:0] ビットで指示されたブロックから、FAWE[11:0] ビットで指示されたブロックより 1 つ下のブロックまでのウィンドウでのみ実行が許可される
- FAWE[11:0] < FAWS[11:0] : P/E コマンドは、プログラムフラッシュ領域に対して実行が禁止される

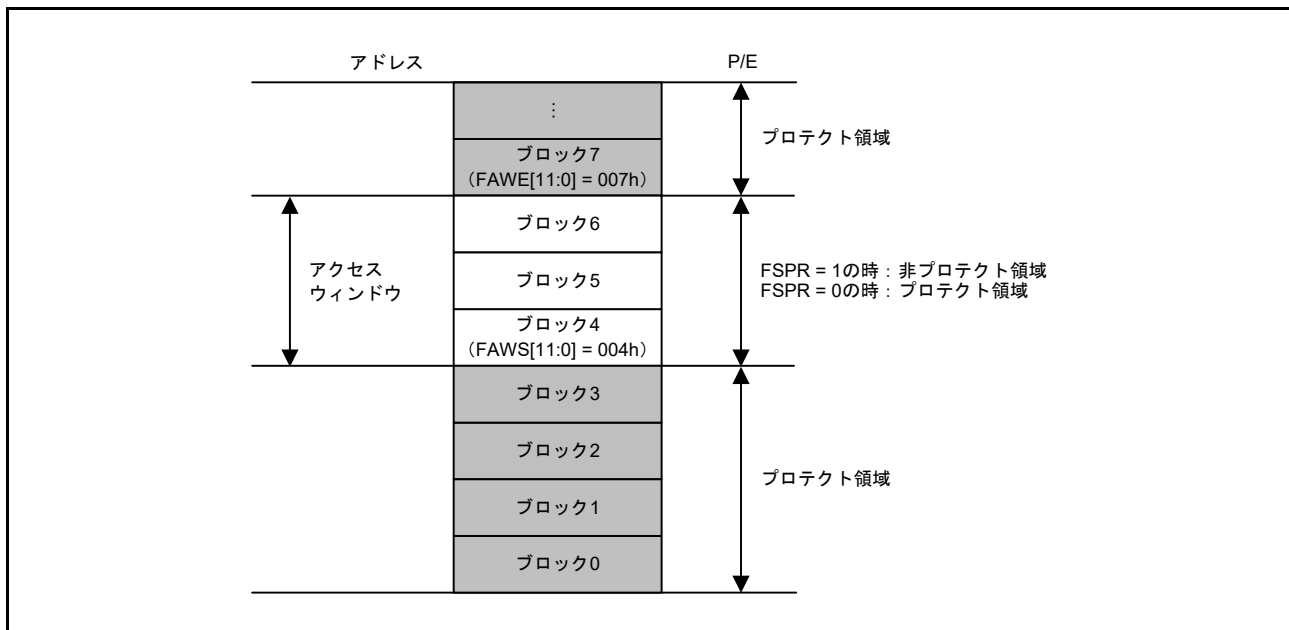


図 6.2 アクセスウィンドウの概要

6.2.6 OCD / シリアルプログラマ ID 設定レジスタ (OSIS)

OSIS レジスタは、OCD / シリアルプログラマの ID コードプロテクト機能の ID を格納します。OCD / シリアルプログラマを接続する場合、MCU がその接続を許可するか否か判定できるようにするための値を書き込んでください。本レジスタは、OCD / シリアルプログラマから送られてくるコードが、オプション設定メモリ上の ID コードと一致するか否かを判定します。ID コードが一致した場合、OCD / シリアルプログラマとの接続が許可されます。一致しない場合、OCD / シリアルプログラマとの接続はできません。OSIS レジスタは 32 ビット単位で設定する必要があります。

アドレス OSIS 0101 0018h, OSIS 0101 0020h, OSIS 0101 0028h, OSIS 0101 0030h



OCD / シリアルプログラマの ID 認証に使用する ID を格納します。

ID コードのビット 127 とビット 126 は、ID コードプロテクト機能が有効か判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、表 6.2 に示します。

表 6.2 IDコードプロテクト機能の仕様

ブートアップ時の動作モード	IDコード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
シリアルプログラミングモード (SCI/USB ブートモード)	FFh, ..., FFh (全バイトがFFh)	プロテクト無効	ID コードはチェックされません。ID コードは常に一致して、プログラマまたはオンチップデバッグへの接続が許可されます。
オンチップデバッグモード (JTAG/SWD ブートモード)	ビット 127 = 1 および ビット 126 = 1、 かつ 16 バイトのうち 少なくとも 1 つが FFh 以外	プロテクト有効	ID コードの一致 = 認証が完了し、プログラマまたはオンチップデバッグへの接続が許可されます。 ID コードの不一致 = ID コードプロテクト待ち状態へ遷移します。 プログラマまたはオンチップデバッグから送られてきた ID コードが ASCII コードの ALeRASE (414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFF_Fh) であると、ユーザフラッシュ (コードおよびデータ) 領域と構成領域の内容は消去されます。ただし、FSPR ビットが 0 であれば、強制消去は実行されません。
	ビット 127 = 1 および ビット 126 = 0	プロテクト有効	ID コードが一致すると認証が完了し、プログラマまたはオンチップデバッグへの接続が許可されます。ID コードが不一致の場合、ID コードプロテクト待ち状態へ遷移します。
	ビット 127 = 0	プロテクト有効	ID コードはチェックされません。ID コードは常に不一致であり、プログラマまたはオンチップデバッグへの接続は禁止されていますが、ALeRASE コマンドは受け入れられます。ALeRASE コマンドの禁止については、2.11.3.4 接続順序と JTAG/SWD 認証の (1) OSIS の MSB が 0 (ビット [127] = 0) のときを参照してください。ルネサスはテストモードにアクセスできません。

6.3 オプション設定メモリの設定方法

6.3.1 オプション設定メモリへのデータの配置方法

プログラムデータは、[図 6.1](#) に示すオプション設定メモリのアドレスに配置されます。配置したデータは、フラッシュ書き込みソフトウェアやオンチップデバッガなどのツールで使用されます。

注． プログラムの書式はコンパイラによって異なります。詳細は、コンパイラのマニュアルを参照してください。

6.3.2 オプション設定メモリにプログラムするデータの設定方法

[6.3.1 オプション設定メモリへのデータの配置方法](#)に記載した方法でデータを配置するだけでは、オプション設定メモリにデータを書き込めません。同時に、本節に記載されている方法のいずれかを実施する必要があります。

(1) セルフプログラミングでオプション設定メモリを変更する場合

プログラムコマンドを用いて、プログラムフラッシュ領域へデータを書き込んでください。また、コンフィグレーション設定コマンドを使用して、コンフィグレーション設定領域のオプション設定メモリへデータを書き込んでください。さらに、スタートアップ領域選択機能を使用して、オプション設定メモリを含むブートプログラムを安全に更新してください。

プログラムコマンド、コンフィグレーション設定コマンド、およびスタートアップ領域選択機能の詳細については、「[44. フラッシュメモリ](#)」を参照してください。

(2) OCD によるデバッグ時またはフラッシュライターによってプログラムする場合

この手順は使用するツールによって異なるため、詳細はツールのマニュアルを参照してください。

MCU は以下の 2 つの設定手順を提供します：

- [6.3.1 オプション設定メモリへのデータの配置方法](#)に示すように配置されたデータを、コンパイラが生成するオブジェクトファイルやモトローラ S 形式ファイルから読み取り、本 MCU へプログラムする
- ツールの GUI インタフェースを使用して、[6.3.1 オプション設定メモリへのデータの配置方法](#)に示すものと同じデータをプログラムする

6.4 使用上の注意事項

6.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットがプログラム可能な場合、予約領域の全ビットおよび全予約ビットには 1 を書き込んでください。これらのビットに 0 を書き込むと、正常動作は保証されません。

7. 低電圧検出 (LVD)

7.1 概要

低電圧検出 (LVD) モジュールは、VCC 端子へ入力された電圧レベルを監視し、検出レベルはソフトウェアプログラムで選択できます。LVD モジュールは、3つの独立した電圧レベル検出器（電圧検出 0、1、2 回路）で構成され、それぞれが VCC 端子への入力電圧レベルを測定します。LVD 電圧検出レジスタにより、さまざまな電圧しきい値で VCC の変動を検出するようにユーザアプリケーションを設定できます。

それぞれの電圧レベル検出器には、電圧監視 0、1、2 などの電圧監視回路が対応しています。電圧監視レジスタにより、電圧しきい値を通過したときに、割り込み、イベントリンク出力、またはリセットを発生させるように LVD を設定できます。

表 7.1 に、LVD の仕様を示します。また、図 7.1 に電圧検出 0、1、2 回路のブロック図を、図 7.2 に電圧監視 1 割り込み/リセット発生回路のブロック図を、図 7.3 に電圧監視 2 割り込み/リセット発生回路のブロック図を示します。

表 7.1 LVD の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視電圧	V_{det0}	V_{det1}	V_{det2}
	検出イベント	電圧が V_{det0} 以下	電圧が V_{det1} 以上または以下	電圧が V_{det2} 以上または以下
	検出電圧	OFS1.VDSEL1[2:0]ビットで5レベルから選択可能	LVDLVL.R.LVD1LVL[4:0]ビットで16レベルから選択可能	LVDLVL.R.LVD2LVL[2:0]ビットで4レベルから選択可能
	モニタフラグ	なし	LVD1SR.MON フラグ：電圧が V_{det1} より高いか低いかを監視 LVD1SR.DET フラグ： V_{det1} 通過検出	LVD2SR.MON フラグ：電圧が V_{det2} より高いか低いかを監視 LVD2SR.DET フラグ： V_{det2} 通過検出
電圧検出時の処理	リセット	電圧監視0リセット $V_{det0} > VCC$ でリセット。 $VCC > V_{det0}$ の一定時間後にCPU動作再開	電圧監視1リセット $V_{det1} > VCC$ でリセット。 CPU動作再開タイミングとして、 $VCC > V_{det1}$ の一定時間後、または $V_{det1} > VCC$ の一定時間後を選択可能	電圧監視2リセット $V_{det2} > VCC$ でリセット。 CPU動作再開タイミングとして、 $VCC > V_{det2}$ の一定時間後、または $V_{det2} > VCC$ の一定時間後を選択可能
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
			ノンマスクابل割り込み、またはマスクابل割り込みを選択可能 $V_{det1} > VCC$ または $VCC > V_{det1}$ またはいずれかのとき割り込み要求	ノンマスクابل割り込み、またはマスクابل割り込みを選択可能 $V_{det2} > VCC$ または $VCC > V_{det2}$ またはいずれかのとき割り込み要求
イベントリンク機能	なし	あり V_{det1} 通過検出時にイベント信号出力	あり V_{det2} 通過検出時にイベント信号出力	

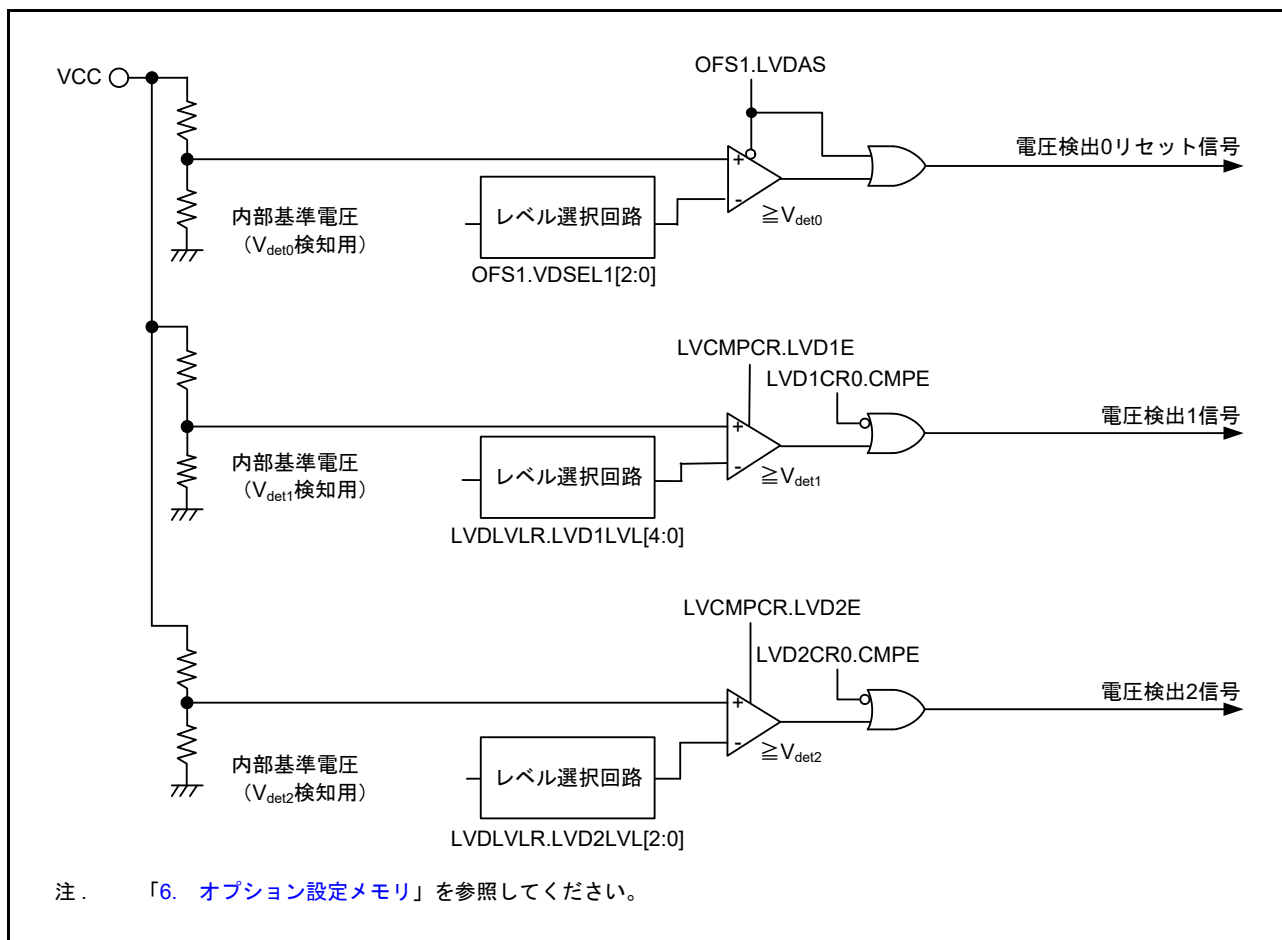


図 7.1 電圧検出 0、1、2 回路のブロック図

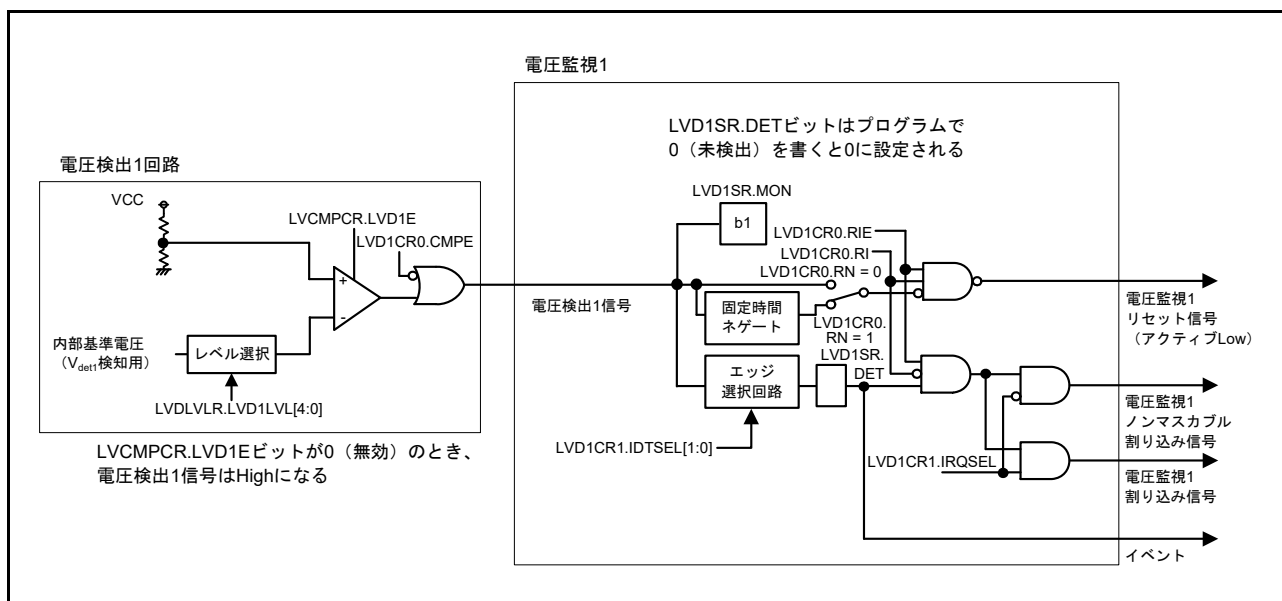


図 7.2 電圧監視 1 割り込み/リセット発生回路のブロック図

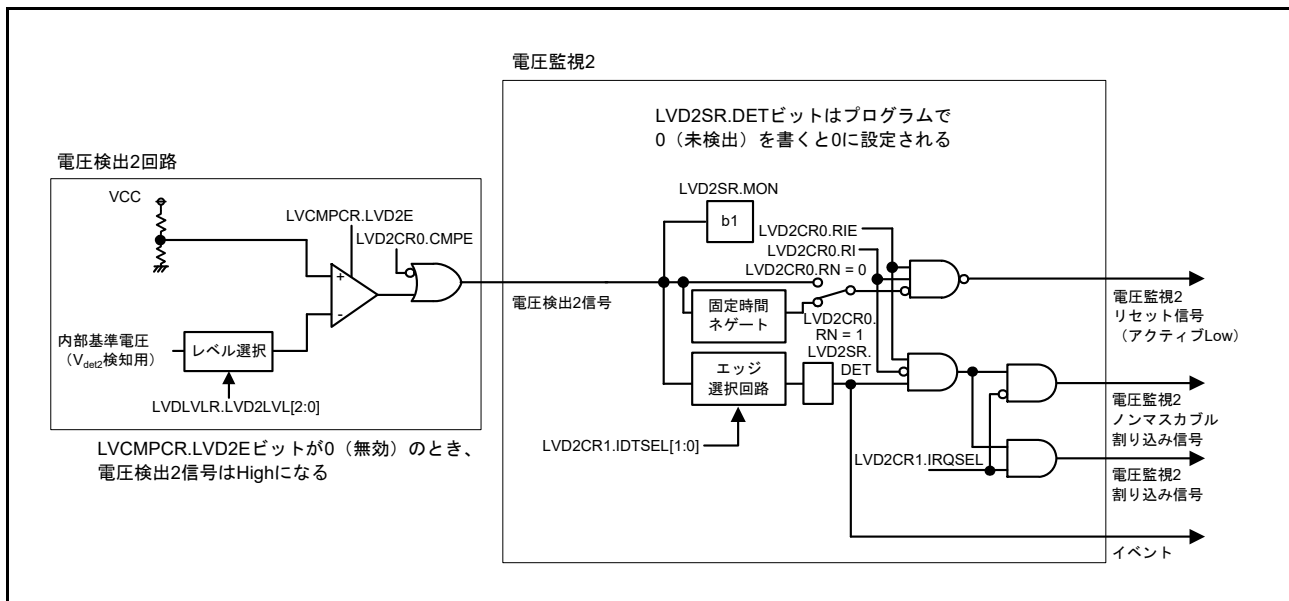


図 7.3 電圧監視 2 割り込み/リセット発生回路のブロック図

7.2 レジスタの説明

7.2.1 電圧モニタ 1 回路コントロールレジスタ 1 (LVD1CR1)

アドレス SYSTEM.LVD1CR1 4001 E0E0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
					L		
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	IDTSEL[1:0]	電圧監視 1 割り込み発生条件選択	b1 b0 0 0 : $V_{CC} \geq V_{det1}$ (上昇) 検出時 0 1 : $V_{CC} < V_{det1}$ (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定禁止	R/W
b2	IRQSEL	電圧監視 1 割り込み種類選択	0 : ノンマスクブル割り込み 1 : マスクブル割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注1. マスクブル割り込みを設定する場合、ICU の NMIER.LVD1EN ビットをリセット状態から変更しないでください。

7.2.2 電圧モニタ 1 回路ステータスレジスタ (LVD1SR)

アドレス SYSTEM.LVD1SR 4001 E0E1h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	MON	DET
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	DET	電圧監視1電圧変化検出フラグ	0: 未検出 1: V_{det1} 通過検出	R/(W) (注1)
b1	MON	電圧監視1信号モニタフラグ	0: $VCC < V_{det1}$ 1: $VCC \geq V_{det1}$ または MON 無効	R
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注1. 本ビットには 0 のみ書けます。0 を書いた後、本ビットの読み出し値に反映されるまでにシステムクロックの 2 サイクルが必要が必要です。

DET フラグ (電圧監視 1 電圧変化検出フラグ)

DET フラグは、LVCMPCR.LVD1E ビットが 1 (電圧検出 1 回路有効) であり、かつ LVD1CR0.CMPE ビットが 1 (電圧監視 1 回路比較結果出力許可) のときに有効になります。

DET フラグを 0 にするときは、LVD1CR0.RIE を 0 (禁止) にしてから行う必要があります。LVD1CR0.RIE を 0 にした後、再度 1 (許可) にする場合は、PCLKB サイクルが 2 サイクル以上経過してから行ってください。

MON フラグ (電圧監視 1 信号モニタフラグ)

MON フラグは、LVCMPCR.LVD1E ビットが 1 (電圧検出 1 回路有効) であり、かつ LVD1CR0.CMPE ビットが 1 (電圧監視 1 回路比較結果出力許可) のときに有効になります。

7.2.3 電圧モニタ 2 回路コントロールレジスタ 1 (LVD2CR1)

アドレス SYSTEM.LVD2CR1 4001 E0E2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	IRQSEL	IDTSEL	IDTSEL
					L	[1:0]	[1:0]
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	IDTSEL [1:0]	電圧監視 2 割り込み発生条件選択	b1 b0 0 0 : $V_{CC} \geq V_{det2}$ (上昇) 検出時 0 1 : $V_{CC} < V_{det2}$ (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定禁止	R/W
b2	IRQSEL	電圧監視 2 割り込み種類選択	0 : ノンマスカブル割り込み 1 : マスカブル割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. マスカブル割り込みを設定する場合、ICU の NMIER.LVD2EN ビットをリセット状態から変更しないでください。

7.2.4 電圧モニタ 2 回路ステータスレジスタ (LVD2SR)

アドレス SYSTEM.LVD2SR 4001 E0E3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	MON	DET
リセット後の値							
0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	DET	電圧監視2電圧変化検出フラグ	0: 未検出 1: V_{det2} 通過検出	R/W (注1)
b1	MON	電圧監視2信号モニタフラグ	0: $VCC < V_{det2}$ 1: $VCC \geq V_{det2}$ または MON 無効	R
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注1. 本ビットには 0 のみ書けます。0 を書いた後、本ビットの読み出し値に反映されるまでにシステムクロックの 2 サイクルが必要です。

DET フラグ (電圧監視 2 電圧変化検出フラグ)

DET フラグは、LVCMPCR.LVD2E ビットが 1 (電圧検出 2 回路有効) であり、かつ LVD2CR0.CMPE ビットが 1 (電圧監視 2 回路比較結果出力許可) のときに有効になります。

DET フラグを 0 にするときは、LVD2CR0.RIE を 0 (禁止) にしてから行ってください。LVD2CR0.RIE を 0 にした後、再度 1 (許可) にする場合は、PCLKB の 2 サイクル以上が経過してから行ってください。

MON フラグ (電圧監視 2 信号モニタフラグ)

MON フラグは、LVCMPCR.LVD2E ビットが 1 (電圧検出 2 回路有効) であり、かつ LVD2CR0.CMPE ビットが 1 (電圧監視 2 回路比較結果出力許可) のときに有効になります。

7.2.5 電圧モニタ回路コントロールレジスタ (LVCMPCR)

アドレス SYSTEM.LVCMPCR 4001 E417h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	LVD1E	電圧検出1有効	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2有効	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを1 (書き込み許可) にしてから、このレジスタを書き換えてください。

LVD1E ビット (電圧検出1有効)

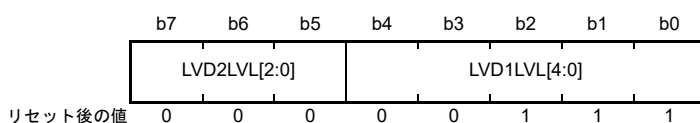
電圧検出1の割り込み/リセットを使用する場合、または LVD1SR.MON ビットを使用する場合、LVD1E ビットを1にしてください。LVD1E ビットを0から1に変更した後、 $t_{d(E-A)}$ 経過すると、電圧検出1回路が動作します。

LVD2E ビット (電圧検出2有効)

電圧検出2の割り込み/リセットを使用する場合、または LVD2SR.MON ビットを使用する場合、LVD2E ビットを1にしてください。LVD2E ビットを0から1に変更した後、 $t_{d(E-A)}$ 経過すると、電圧検出2回路が動作します。

7.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス SYSTEM.LVDLVLR 4001 E418h



ビット	シンボル	ビット名	機能	R/W
b4-b0	LVD1LVL[4:0]	電圧検出1レベル選択 (電圧下降時の標準電圧)	b4 b0 0 0 0 0 0 : 4.29V (V_{det1_0}) 0 0 0 0 1 : 4.14V (V_{det1_1}) 0 0 0 1 0 : 4.02V (V_{det1_2}) 0 0 0 1 1 : 3.84V (V_{det1_3}) 0 0 1 0 0 : 3.10V (V_{det1_4}) 0 0 1 0 1 : 3.00V (V_{det1_5}) 0 0 1 1 0 : 2.90V (V_{det1_6}) 0 0 1 1 1 : 2.79V (V_{det1_7}) 0 1 0 0 0 : 2.68V (V_{det1_8}) 0 1 0 0 1 : 2.58V (V_{det1_9}) 0 1 0 1 0 : 2.48V (V_{det1_A}) 0 1 0 1 1 : 2.20V (V_{det1_B}) 0 1 1 0 0 : 1.96V (V_{det1_C}) 0 1 1 0 1 : 1.86V (V_{det1_D}) 0 1 1 1 0 : 1.75V (V_{det1_E}) 0 1 1 1 1 : 1.65V (V_{det1_F}) 上記以外は設定しないでください。	R/W
b7-b5	LVD2LVL[2:0]	電圧検出2レベル選択 (電圧下降時の標準電圧)	b7 b5 0 0 0 : 4.29V (V_{det2_0}) 0 0 1 : 4.14V (V_{det2_1}) 0 1 0 : 4.02V (V_{det2_2}) 0 1 1 : 3.84V (V_{det2_3}) 1 0 0 : 設定禁止 1 0 1 : 設定禁止 1 1 0 : 設定禁止 1 1 1 : 設定禁止	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

LVDLVLR レジスタは、LVCMPCR.LVD1E ビット、LVCMPCR.LVD2E ビットがともに 0 (電圧検出 n 回路無効) (n = 1, 2) の場合のみ変更可能です。また、低電圧検出 1 および 2 回路は、同じ電圧検出レベルに設定しないでください。

7.2.7 電圧モニタ 1 回路コントロールレジスタ 0 (LVD1CR0)

アドレス SYSTEM.LVD1CR0 4001 E41Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	RN	RI	—	—	—	CMPE	—	RIE
リセット後の値	1	0	0	0	x	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	RIE	電圧監視 1 割り込み／リセット許可	0: 禁止 1: 許可	R/W
b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b2	CMPE	電圧監視 1 回路比較結果出力許可	0: 電圧監視 1 回路比較結果出力禁止 1: 電圧監視 1 回路比較結果出力許可	R/W
b3	—	予約ビット	読むと不定値が読めます。書く場合、1 としてください。	R/W
b5-b4	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b6	RI	電圧監視 1 回路モード選択	0: V_{det1} 通過時に電圧監視 1 割り込み 1: V_{det1} 以下に下降時、電圧監視 1 リセット許可	R/W
b7	RN	電圧監視 1 リセットネゲート選択	0: $VCC > V_{det1}$ 検出時、安定時間 (t_{LVD1}) 経過後にネゲート 1: LVD1 リセットアサート時、安定時間 (t_{LVD1}) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

RIE ビット (電圧監視 1 割り込み／リセット許可)

電圧監視 1 の割り込み／リセットを許可または禁止にします。このビットが 1 に設定されている状態で、かつフラッシュメモリのプログラム／イレース中の場合には、電圧監視 1 割り込みと電圧監視 1 リセットをどちらも発生させないようにしてください。

RN ビット (電圧監視 1 リセットネゲート選択)

RN ビットを 1 (LVD1 リセットアサート時、安定時間経過後にネゲート) にする場合は、MOCO CR.MCSTP ビットは 0 (MOCO 動作) にしてください。また、ソフトウェアスタンバイモードへ遷移する場合は、RN ビットは 0 ($VCC > V_{det1}$ 検出時、安定時間経過後にネゲート) のみが可能です。この場合、RN ビットを 1 (LVD1 リセットアサート時、安定時間経過後にネゲート) にしないでください。

7.2.8 電圧モニタ 2 回路コントロールレジスタ 0 (LVD2CR0)

アドレス SYSTEM.LVD2CR0 4001 E41Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	RN	RI	—	—	—	CMPE	—	RIE
リセット後の値	1	0	0	0	x	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	RIE	電圧監視2割り込み／リセット許可	0: 禁止 1: 許可	R/W
b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	CMPE	電圧監視2回路比較結果出力許可	0: 電圧監視2回路比較結果出力禁止 1: 電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R/W
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RI	電圧監視2回路モード選択	0: V_{det2} 通過時に電圧監視2割り込み発生 1: V_{det2} 以下に下降時、電圧監視2リセット許可	R/W
b7	RN	電圧監視2リセットネゲート選択	0: $VCC > V_{det2}$ 検出時、安定時間 (t_{LVD2}) 経過後にネゲート 1: LVD2リセットアサート時、安定時間 (t_{LVD2}) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

RIE ビット (電圧監視 2 割り込み／リセット許可)

電圧監視 2 の割り込み／リセットを許可または禁止にします。このビットが 1 に設定されている状態で、かつフラッシュメモリのプログラム／イレース中の場合には、電圧監視 2 割り込みと電圧監視 2 リセットをどちらも発生させないようにしてください。

RN ビット (電圧監視 2 リセットネゲート選択)

RN ビットを 1 (LVD2 リセットアサート時、安定時間経過後にネゲート) にする場合は、MOCOCCR.MCSTP ビットは 0 (MOCO 動作) にしてください。また、ソフトウェアスタンバイモードへ遷移する場合は、RN ビットは 0 ($VCC > V_{det2}$ 検出時、安定時間経過後にネゲート) のみが可能です。この場合、RN ビットを 1 (LVD2 リセットアサート時、安定時間経過後にネゲート) にしないでください。

7.3 VCC 入力電圧のモニタ

7.3.1 V_{det0} のモニタ

電圧監視 0 の比較結果のステータスは、読み出すことができません。

7.3.2 V_{det1} のモニタ

表 7.2 に V_{det1} のモニタの設定手順を示します。設定が完了すると、LVD1SR.MON フラグで電圧監視 1 の比較結果をモニタできます。

表 7.2 V_{det1} のモニタの設定手順

手順	電圧監視1の比較結果のモニタ	
電圧検出1回路の設定	1	LVDLVLRLレジスタへ書き込む前に、LVCMPCLR.LVD1E = 0にして、電圧検出1を無効にする
	2	LVDLVLRL.LVD1LVL[4:0]ビットで検出電圧を選択する
	3	LVCMPCLR.LVD1E = 1にして、電圧検出1回路を有効にする
	4	$t_{d(E-A)}$ (LVD有効切り替え後のLVD動作安定時間) 以上待つ
出力許可の設定	5	LVD1CR0.CMPE = 1にして、電圧監視1の比較結果出力を許可する

7.3.3 V_{det2} のモニタ

表 7.3 に V_{det2} のモニタの設定手順を示します。設定が完了すると、LVD2SR.MON フラグで電圧監視 2 の比較結果をモニタできます。

表 7.3 V_{det2} のモニタの設定手順

手順	電圧監視2の比較結果のモニタ	
電圧検出2回路の設定	1	LVDLVLRLレジスタへ書き込む前に、LVCMPCLR.LVD2E = 0にして、電圧検出2回路を無効にする
	2	LVDLVLRL.LVD2LVL[2:0]ビットで検出電圧を選択する
	3	LVCMPCLR.LVD2E = 1にして、電圧検出2回路を有効にする
	4	$t_{d(E-A)}$ (LVD有効切り替え後のLVD動作安定時間) 以上待つ
出力許可の設定	5	LVD2CR0.CMPE = 1にして、電圧監視2の比較結果出力を許可する

7.4 電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にして、リセット後の電圧監視 0 リセットを有効にしてください。ただし、ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧監視 0 リセットは無効です。

図 7.4 に電圧監視 0 リセットの動作例を示します。

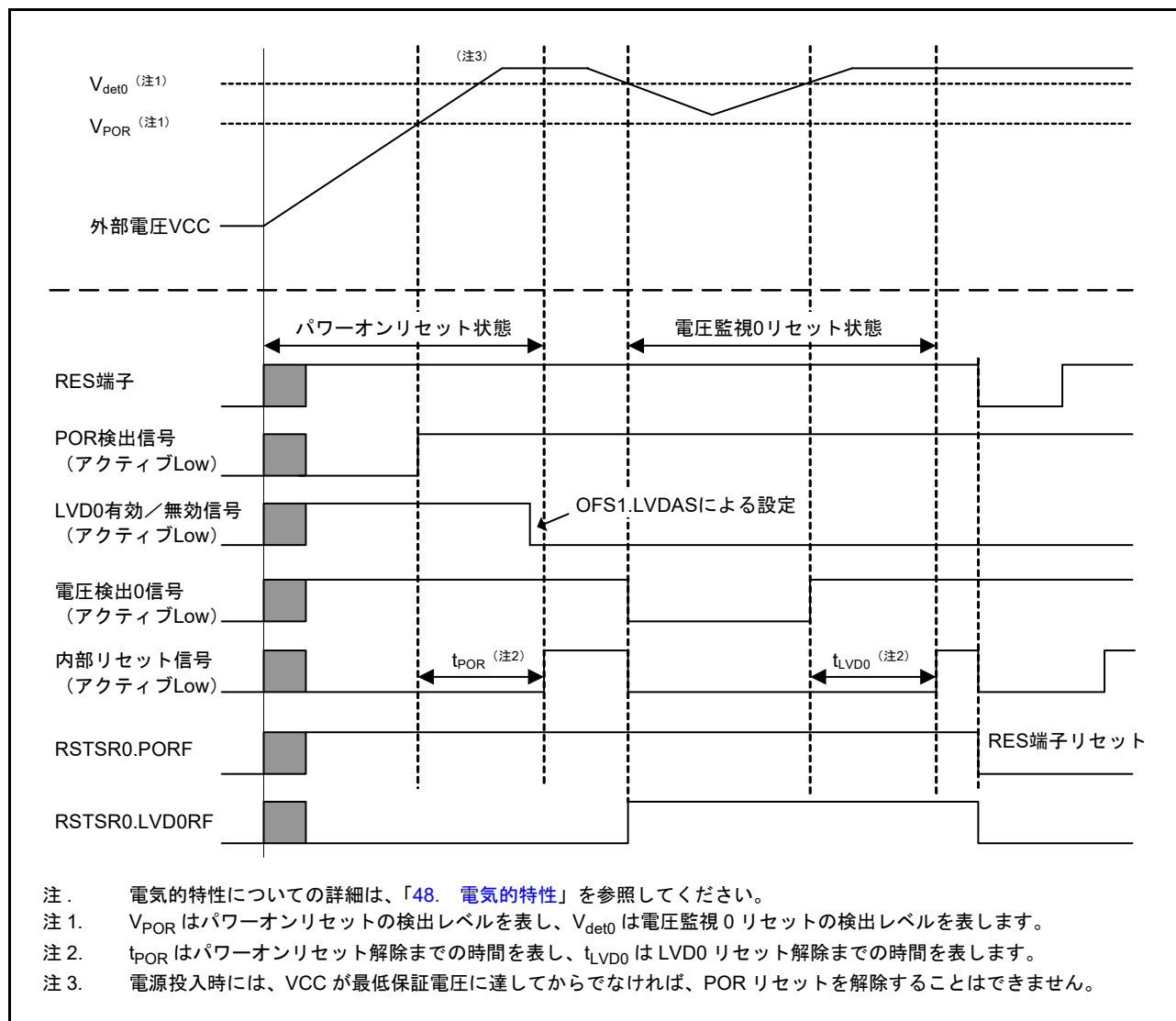


図 7.4 電圧監視 0 リセットの動作例

7.5 電圧監視 1 割り込み、電圧監視 1 リセット

電圧監視 1 回路での比較結果により、割り込みやリセットを発生させることができます。

表 7.4 に、電圧監視 1 割り込み/リセット関連ビットの動作設定手順を示します。表 7.5 に、電圧監視 1 割り込み/リセット関連ビットの停止設定手順を示します。図 7.5 に電圧監視 1 割り込みの動作例を示します。電圧監視 1 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

なお、ソフトウェアスタンバイモードで電圧監視 1 回路を使用する場合は、以下の手順で電圧監視 1 回路を設定してください。

(1) ソフトウェアスタンバイモード時の設定

- $VCC > V_{det1}$ が検出された場合、安定時間経過後に電圧監視 1 リセット信号をネゲート (LVD1CR0.RN = 0) してください

表 7.4 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力)		電圧監視 1 リセット
電圧検出 1 回路の設定	1	LVLDLVL レジスタへ書き込む前に、LVCMPCR.LVD1E = 0 にして、電圧検出 1 回路を無効にする	
	2	LVLDLVL.LVD1LVL[4:0] ビットで検出電圧を選択する	
	3	LVCMPCR.LVD1E = 1 にして、電圧検出 1 回路を有効にする	
	4	$t_{d(E-A)}$ (LVD 有効切り替え後の LVD 動作安定時間) 以上待つ (注1)	
電圧監視 1 割り込み/ リセットの設定	5	LVD1CR0.RI = 0 にして、電圧監視 1 割り込みを選択する	<ul style="list-style-type: none"> • LVD1CR0.RI = 1 にして、電圧監視 1 リセットを選択する • LVD1CR0.RN ビットでリセットネゲートの種類を選択する
	6	<ul style="list-style-type: none"> • LVD1CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する • LVD1CR1.IRQSEL ビットで割り込みの種類を選択する 	—
出力許可の設定	7	LVD1SR.DET = 0 にする	
	8	LVD1CR0.RIE = 1 にして、電圧監視 1 割り込み/リセットを許可する (注2)	
	9	LVD1CR0.CMPE = 1 にして、電圧監視 1 の比較結果出力を許可する	

注 1. 手順 4 の待ち時間中に手順 5 ~ 8 を行うことができます。 $t_{d(E-A)}$ の詳細は、「48. 電氣的特性」を参照してください。

注 2. ELC イベント信号のみを出力させる場合、手順 8 は不要です。

表 7.5 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力)、電圧監視 1 リセット	
出力許可停止の設定	1	LVD1CR0.CMPE = 0 にして、電圧監視 1 の比較結果出力を禁止する
	2	LVD1CR0.RIE = 0 にして、電圧監視 1 割り込み/リセットを禁止する (注1)
電圧検出 1 回路停止の設定	3	LVCMPCR.LVD1E = 0 にして、電圧検出 1 回路を無効にする

注 1. ELC イベント信号のみを出力させる場合、手順 2 は不要です。

電圧監視 1 割り込みや電圧監視 1 リセットを使用した後に、いったん停止してから再度設定する場合は、条件によって停止手順と再設定手順における以下の段階は省略可能です。

- 電圧検出 1 回路の設定を変更しない場合、電圧検出 1 回路の設定または停止は不要
- 電圧監視 1 割り込みまたはリセットの設定を変更しない場合、電圧監視 1 割り込みまたはリセットの設定は不要

図 7.5 に電圧監視 1 割り込みの動作例を示します。

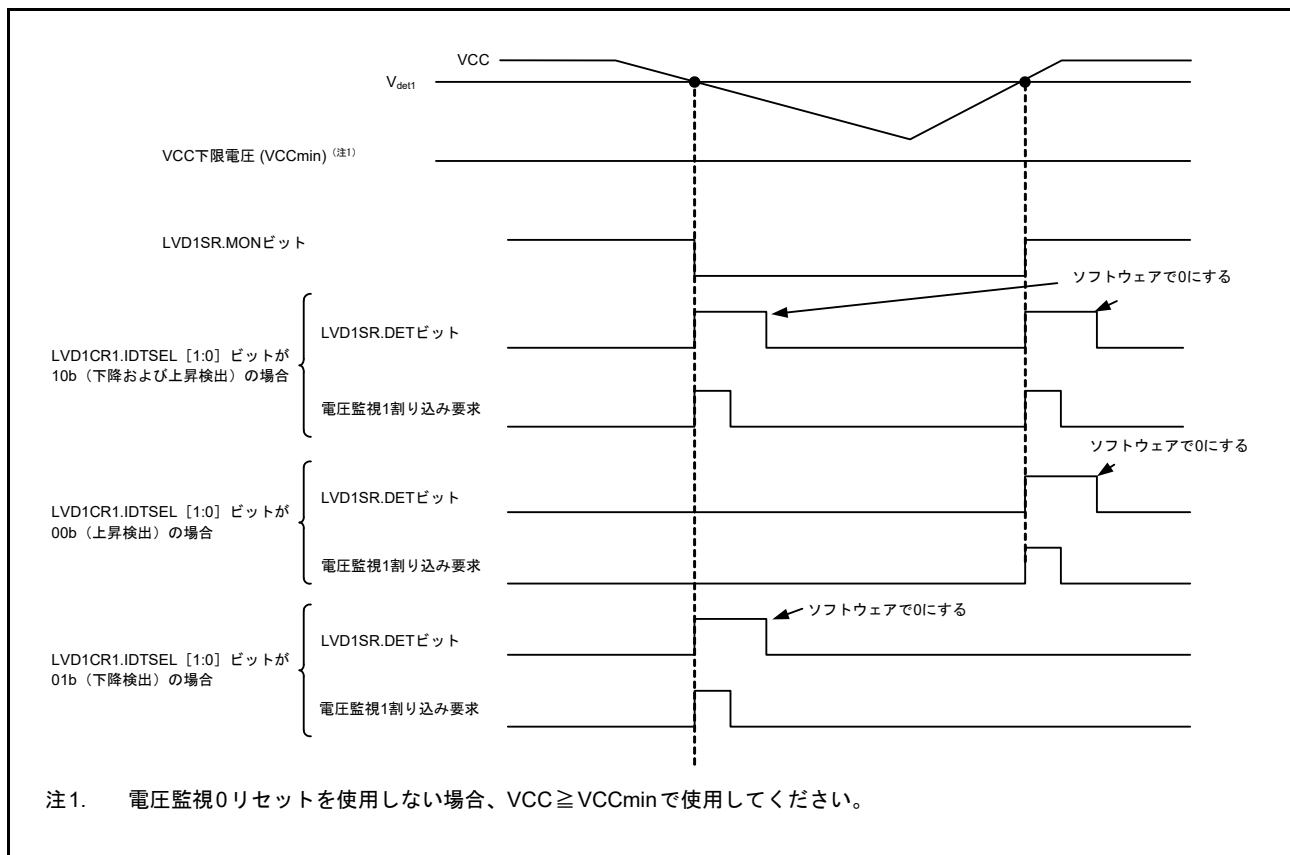


図 7.5 電圧監視 1 割り込みの動作例

7.6 電圧監視 2 割り込み、電圧監視 2 リセット

電圧監視 2 回路での比較結果により、割り込みやリセットを発生させることができます。

表 7.6 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を示します。表 7.7 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を示します。図 7.6 に電圧監視 2 割り込みの動作例を示します。電圧監視 2 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

なお、ソフトウェアスタンバイモードで電圧監視 2 回路を使用する場合は、以下の手順で電圧監視 2 回路を設定してください。

(1) ソフトウェアスタンバイモード時の設定

- VCC > V_{det2} 検出時、安定時間経過後に LVD2CR0.RN ビットをクリア (LVD2CR0.RN = 0) してください

表 7.6 電圧監視動作のための電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの設定手順

手順	電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)		電圧監視 2 リセット
電圧検出 2 回路の設定	1	LVDLVLRL レジスタへ書き込む前に、LVCMPCLR.LVD2E = 0 にして、電圧検出 2 回路を無効にする	
	2	LVDLVLRL.LVD2LVL[2:0] ビットで検出電圧を選択する	
	3	LVCMPCLR.LVD2E = 1 にして、電圧検出 2 回路を有効にする	
	4	t _{d(E-A)} (LVD 有効切り替え後の LVD 動作安定時間) 以上待つ (注1)	
電圧監視 2 割り込み/ リセットの設定	5	LVD2CR0.RI = 0 にして、電圧監視 2 割り込みを選択する	<ul style="list-style-type: none"> LVD2CR0.RI = 1 にして、電圧監視 2 リセットを選択する LVD2CR0.RN ビットでリセットネゲートの種類を選択する
	6	<ul style="list-style-type: none"> LVD2CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する LVD2CR1.IRQSEL ビットで割り込みの種類を選択する 	
出力許可の設定	7	LVD2SR.DET = 0 にする	
	8	LVD2CR0.RIE = 1 にして、電圧監視 2 割り込みまたはリセットを許可する (注2)	
	9	LVD2CR0.CMPE = 1 にして、電圧監視 2 の比較結果出力を許可する	

注 1. 手順 4 の待ち時間中に手順 5 ~ 8 を行うことができます。t_{d(E-A)} の詳細は、「48. 電氣的特性」を参照してください。

注 2. ELC イベント信号のみを出力させる場合、手順 8 は不要です。

表 7.7 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順	電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)、電圧監視 2 リセット	
出力許可停止の設定	1	LVD2CR0.CMPE = 0 にして、電圧監視 2 の比較結果出力を禁止する
	2	LVD2CR0.RIE = 0 にして、電圧監視 2 割り込みまたはリセットを禁止する (注1)
電圧検出 2 回路停止の設定	3	LVCMPCLR.LVD2E = 0 にして、電圧検出 2 回路を無効にする

注 1. ELC イベント信号のみを出力させる場合、手順 2 は不要です。

電圧監視 2 割り込みや電圧監視 2 リセットを使用した後に、いったん停止してから再度設定する場合は、条件によって停止手順と再設定手順における以下の段階は省略可能です。

- 電圧検出 2 回路の設定を変更しない場合、電圧検出 2 回路の設定または停止は不要
- 電圧監視 2 割り込みまたは電圧監視 2 リセットの設定を変更しない場合、電圧監視 2 割り込みまたはリセットの設定は不要

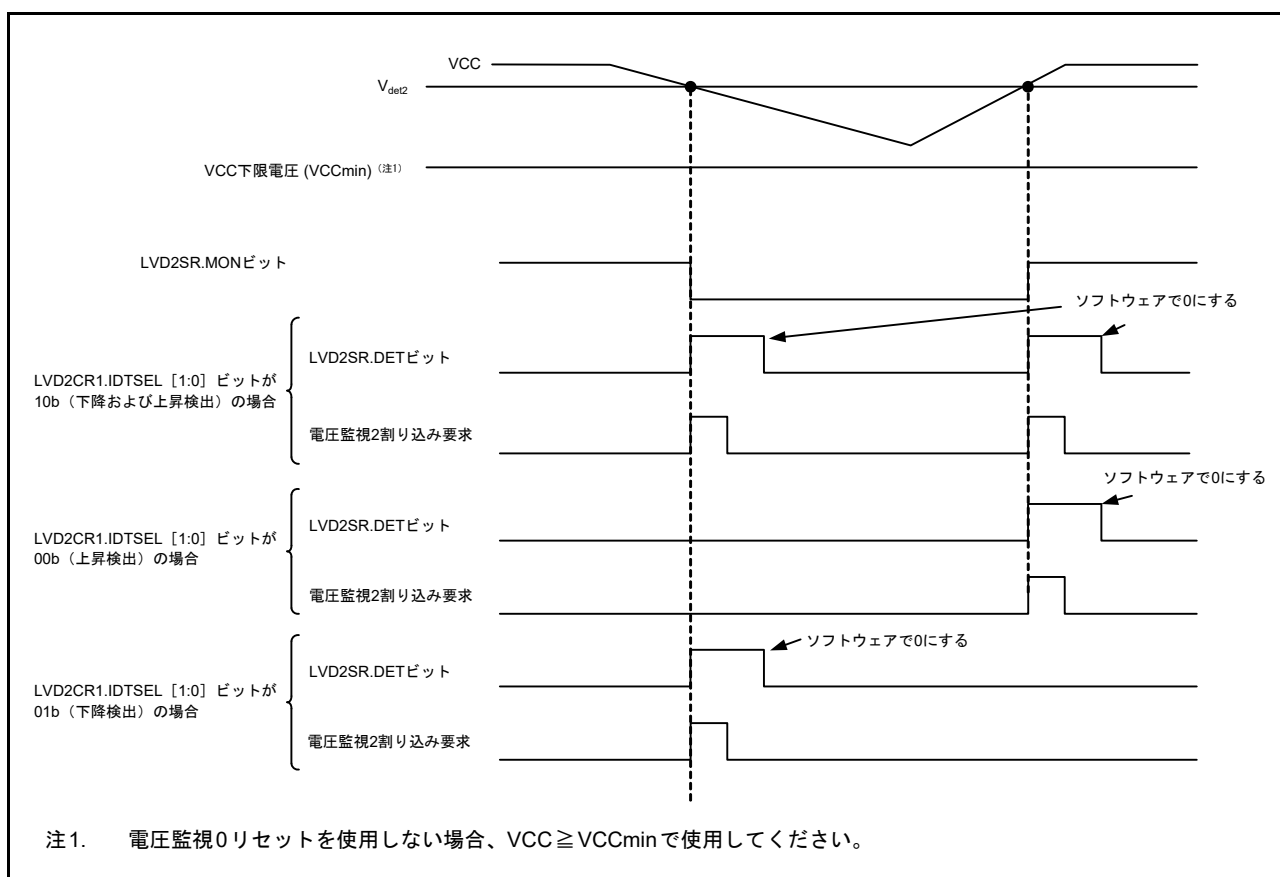


図 7.6 電圧監視 2 割り込みの動作例

7.7 イベントリンク出力機能

LVD は、イベントリンクコントローラ (ELC) に対してイベント信号出力を行うことができます。

(1) V_{det1} 通過検出イベント

電圧検出 1 回路有効かつ電圧監視 1 回路比較結果出力許可の状態において、 V_{det1} 通過を検出した場合、LVD はイベント信号を出力します。

(2) V_{det2} 通過検出イベント

電圧検出 2 回路有効かつ電圧監視 2 回路比較結果出力許可の状態において、 V_{det2} 通過を検出した場合、LVD はイベント信号を出力します。

LVD のイベントリンク出力機能を有効にする場合、LVD を有効にしてから、ELC 側の LVD イベントリンク機能を有効にする必要があります。LVD のイベントリンク出力機能を停止する場合は、LVD の停止設定を行う前に、ELC 側の LVD イベントリンク機能を無効にしてください。

7.7.1 割り込み処理とイベントリンクの関係

LVD には、電圧監視 1 割り込みおよび電圧監視 2 割り込みのそれぞれに割り込み許可または禁止を制御するビットがあります。割り込み要因が発生すると、割り込み許可ビットが許可の場合は、割り込み信号 (LVD1CR0.RIE および LVD2CR0.RIE) が CPU へ出力されます。

一方、割り込み要因が発生するとすぐに、割り込み許可ビットの状態にかかわらず、イベントリンク信号がイベント信号として、ELC を介して他のモジュールに出力されます。

ソフトウェアスタンバイモードにおいても、電圧監視 1 割り込み信号および電圧監視 2 割り込み信号を出力することが可能です。ソフトウェアスタンバイモードでは、ELC 用のイベント信号が以下のように出力されます。

- ソフトウェアスタンバイモード期間中に V_{det1} または V_{det2} 通過イベントを検出した場合、ソフトウェアスタンバイモードではクロックが供給されていないため ELC 用のイベント信号は出力されません。 V_{det1} および V_{det2} 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、 V_{det1} および V_{det2} 検出フラグの状態にしたがって ELC 用のイベント信号が出力されます

8. クロック発生回路

8.1 概要

本 MCU はクロック発生回路を内蔵しています。

表 8.1 と表 8.2 にクロック発生回路の仕様を示します。図 8.1 にクロック発生回路のブロック図を示します。

表 8.1 クロックソース用のクロック発生回路の仕様

クロックソース	項目	内容
メインクロック発振器 (MOSC)	発振子周波数	• 1MHz～20MHz (注1)
	外部クロック入力周波数	最大20MHz (注1)
	外部発振子または付加回路：セラミック発振子、水晶振動子	あり
	接続端子：EXTAL, XTAL	
	駆動能力切り替え	
	発振停止検出機能	
サブクロック発振器 (SOSC)	発振子周波数	32.768kHz
	外部発振子または付加回路：水晶振動子	あり
	接続端子：XCIN, XCOUT	
	駆動能力切り替え	
PLL 回路	入力クロックソース	MOSC
	入力周波数	4MHz～12.5MHz
	通倍比	8～31 通倍から選択可能 (1ステップ単位)
	出力分周比	2、4分周から選択可能
	PLL 出力周波数	24MHz～64MHz (出力分周比：2) 24MHz～32MHz (出力分周比：4)
高速オンチップオシレータ (HOCO)	発振周波数	24/32/48/64MHz
	ユーザトリミング	あり
中速オンチップオシレータ (MOCO)	発振周波数	8MHz
	ユーザトリミング	あり
低速オンチップオシレータ (LOCO)	発振周波数	32.768kHz
	ユーザトリミング	あり
IWDТ専用オンチップオシレータ (IWDТLOCO)	発振周波数	15kHz
	ユーザトリミング	不可
JTAG用外部クロック入力 (TCK)	入力クロック周波数	最大12.5MHz
SWD用外部クロック入力 (SWCLK)	入力クロック周波数	最大12.5MHz

注 1. 周波数は供給電圧に依存します。詳細は電氣的特性章のクロックタイミングの表を参照してください。

表 8.2 クロック発生回路の仕様（内部クロック）

項目	クロックソース	クロック供給	内容
システムクロック (ICLK)	MOSC/SOSC/HOCO/MOCO/ LOCO/PLL	CPU, DTC, DMAC, Flash, SRAM	最大48MHz 分周比： 1, 2, 4, 8, 16, 32, 64
周辺モジュールクロック A (PCLKA)	MOSC/SOSC/HOCO/MOCO/ LOCO/PLL	周辺モジュール (SPI, SCI, SCE5, CRC, GPT パスクロック)	最大48MHz 分周比： 1, 2, 4, 8, 16, 32, 64
周辺モジュールクロック B (PCLKB)	MOSC/SOSC/HOCO/MOCO/ LOCO/PLL	周辺モジュール (DAC12, IIC, SSI, DOC, CAC, CAN, AGT, POEG, CTSU)	最大32MHz 分周比： 1, 2, 4, 8, 16, 32, 64
周辺モジュールクロック C (PCLKC)	MOSC/SOSC/HOCO/MOCO/ LOCO/PLL	周辺モジュール (ADC14変換クロック)	最大64MHz 分周比： 1, 2, 4, 8, 16, 32, 64
周辺モジュールクロック D (PCLKD)	MOSC/SOSC/HOCO/MOCO/ LOCO/PLL	周辺モジュール (GPT カウントクロック)	最大64MHz 分周比： 1, 2, 4, 8, 16, 32, 64
フラッシュインタフェース クロック (FCLK)	MOSC/SOSC/HOCO/MOCO/ LOCO/PLL	フラッシュインタフェース	1MHz~32MHz (P/E) 最大32MHz (読み出し) 分周比： 1, 2, 4, 8, 16, 32, 64
USBクロック (UCLK)	HOCO (注1) /PLL	USBFS	48MHz
CANクロック (CANMCLK)	MOSC	CAN	1MHz~20MHz
セグメントLCDクロック (LCDSRCCLK)	MOSC/SOSC/HOCO/MOCO/ LOCO	SLCDC	最大64MHz
AGTクロック (AGTSCLK/AGTLCLK)	SOSC/LOCO	AGT	32.768kHz
CACメインクロック (CACMCLK)	MOSC	CAC	最大20MHz
CACサブクロック (CACSCLK)	SOSC	CAC	32.768kHz
CAC LOCOクロック (CACLCLK)	LOCO	CAC	32.768kHz
CAC MOCOクロック (CACMOCLK)	MOCO	CAC	8MHz
CAC HOCOクロック (CACHCLK)	HOCO	CAC	24/32/48/64MHz
CAC IWDTLOCOクロック (CACILCLK)	IWDTLOCO	CAC	15kHz
RTCクロック (RTCSCLK/ RTCLCLK)	SOSC/LOCO	RTC	32.768kHz
IWDTクロック (IWDTCLK)	IWDTLOCO	IWDT	15kHz
SysTick タイマクロック (SYSTICCLK)	LOCO	SysTick タイマ	32.768kHz
JTAGクロック (JTAGTCK)	TCK端子	JTAG	最大12.5MHz
クロック/ブザー出力 (CLKOUT)	MOSC/SOSC/LOCO/MOCO/ HOCO	CLKOUT 端子	最大16MHz 分周比： 1, 2, 4, 8, 16, 32, 64, 128
シリアルワイヤクロック (SWCLK)	SWCLK端子	OCD	最大12.5MHz
トレースクロック (TRCLK)	MOSC/SOSC/HOCO/MOCO/ LOCO/PLL	CPU-OCD	最大48MHz 分周比：1, 2, 4

- 注 . クロック周波数の設定に関する制限 : $ICLK \geq PCLKA \geq PCLKB$ 、 $PCLKD \geq PCLKA \geq PCLKB$ 、 $ICLK \geq FCLKA$
クロック周波数比に関する制限 (N : 整数、最大 64) :
ICLK:FCLK = N:1、ICLK:PCLKA = N:1、ICLK:PCLKB = N:1
ICLK:PCLKC = N:1 または 1:N、ICLK:PCLKD = N:1 または 1:N
PCLKB:PCLKC = 1:1、1:2、1:4、2:1、4:1、または 8:1
- 注 . プログラム/イレース (P/E) モードでの最小 FCLK 周波数は 1MHz
- 注 1. USBFS をデバイスコントローラとして使用しているときのみ

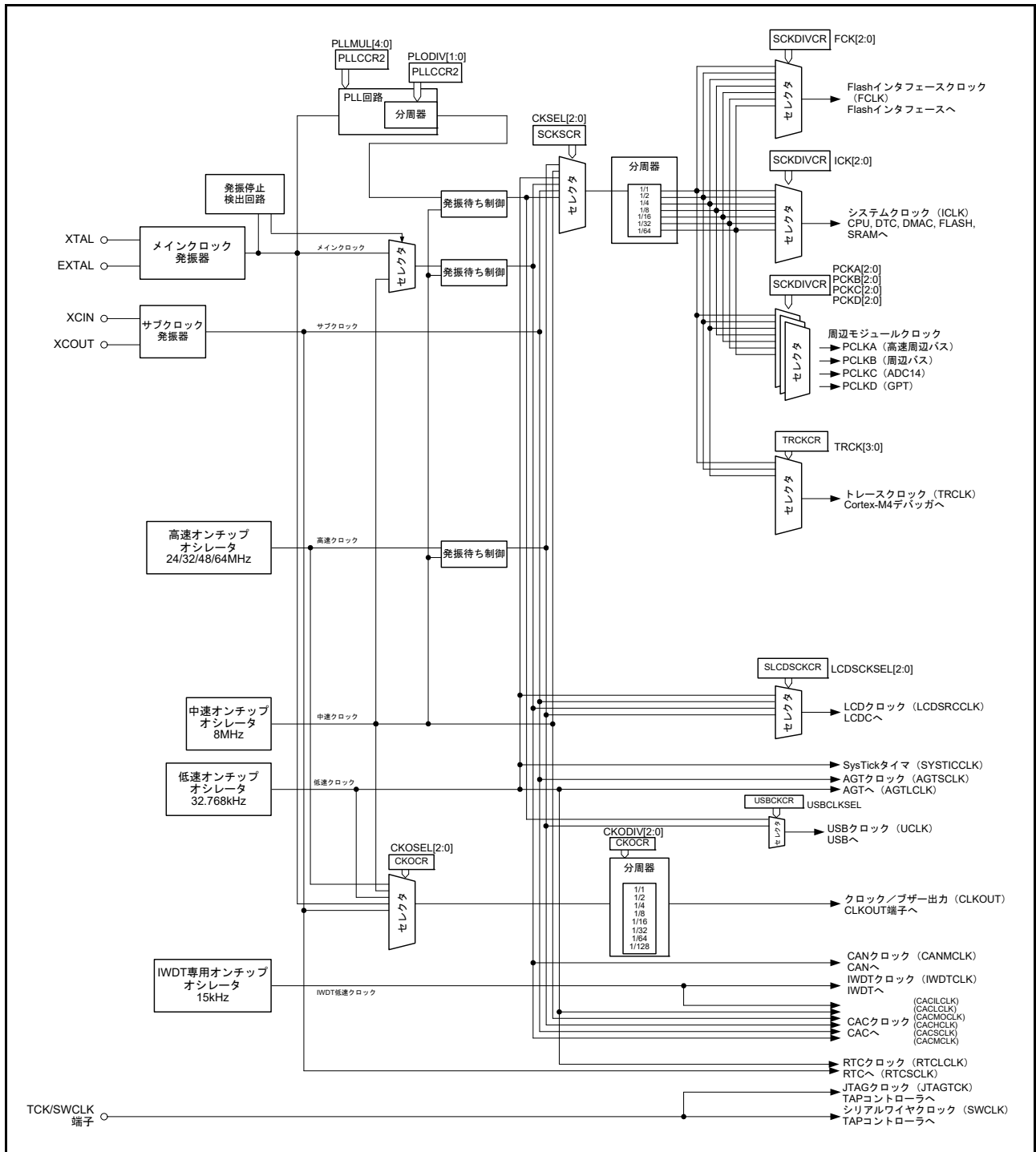


図 8.1 クロック発生回路のブロック図

表 8.3 にクロック発生回路の入出力端子を示します。

表 8.3 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	水晶振動子用の接続端子。EXTAL端子は外部クロックの入力にも使用可能です。 詳細は、 8.3.2 外部クロックを入力する方法 を参照してください。
EXTAL	入力	
XCIN	入力	32.768kHz水晶振動子接続端子
XCOUT	出力	
TCK/SWCLK	入力	JTAG用のクロック入力
CLKOUT	出力	CLKOUT/BUZZERクロック用の出力端子

8.2 レジスタの説明

8.2.1 システムクロック分周コントロールレジスタ (SCKDIVCR)

アドレス SYSTEM.SCKDIVCR 4001 E020h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	FCK[2:0]			—	ICK[2:0]			—	—	—	—	—	—	—	—	
リセット後の値	0	1	0	0	0	1	0	0	0	0	0	0	0	1	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	PCKA[2:0]			—	PCKB[2:0]			—	PCKC[2:0]			—	PCKD[2:0]			
リセット後の値	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	PCKD[2:0]	周辺モジュールクロック D (PCLKD) 選択 (注3)	b2 b0 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	PCKC[2:0]	周辺モジュールクロック C (PCLKC) 選択 (注3)	b6 b4 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	PCKB[2:0]	周辺モジュールクロック B (PCLKB) 選択 (注2)	b10 b8 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14-b12	PCKA[2:0]	周辺モジュールクロック A (PCLKA) 選択 (注2)	b14 b12 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b18-b16	—	予約ビット	PCKB[2:0]と同じビットを書いてください。	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b26-b24	ICK[2:0]	システムクロック (ICLK) 選択 (注1) (注2) (注3) (注4)	b26 b24 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b30-b28	FCK[2:0]	Flashインタフェースクロック (FCLK) 選択(注1)	b30 b28 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. システムクロック (ICLK) とフラッシュインタフェースクロック (FCLK) の間には以下の周波数関係が必要です。
ICLK:FCLK = N:1 (N: 整数)
ICLK < FCLK となる設定の場合、その設定は無視されます。
- 注 2. システムクロック (ICLK) と周辺モジュールクロック (PCLKA, PCLKB) の間には以下の周波数関係が必要です。
ICLK:PCLKA = N:1, ICLK:PCLKB = N:1 (N: 整数)
ICLK < PCLKA または ICLK < PCLKB となる設定の場合、その設定は無視されます。
- 注 3. システムクロック (ICLK) と周辺モジュールクロック (PCLKC, PCLKD) の間には以下の周波数関係が必要です。
ICLK:PCLKC = N:1 または 1:N, ICLK:PCLKD = N:1 または 1:N (N: 整数)
- 注 4. SCKSCR.CKSEL[2:0] ビットで 32MHz よりも速いシステムクロックを選択し、かつ MEMWAIT.MEMWAIT = 0 の場合、ICLK を 1 分周に設定するのは禁止です。

SCKDIVCR レジスタは、システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)、およびフラッシュインタフェースクロック (FCLK) の周波数を選択するレジスタです。

PCKD[2:0] ビット (周辺モジュールクロック D (PCLKD) 選択)

周辺モジュールクロック D (PCLKD) の周波数を選択します。

PCKC[2:0] ビット (周辺モジュールクロック C (PCLKC) 選択)

周辺モジュールクロック C (PCLKC) の周波数を選択します。

PCKB[2:0] ビット (周辺モジュールクロック B (PCLKB) 選択)

周辺モジュールクロック B (PCLKB) の周波数を選択します。

PCKA[2:0] ビット (周辺モジュールクロック A (PCLKA) 選択)

周辺モジュールクロック A (PCLKA) の周波数を選択します。

ICK[2:0] ビット (システムクロック (ICLK) 選択)

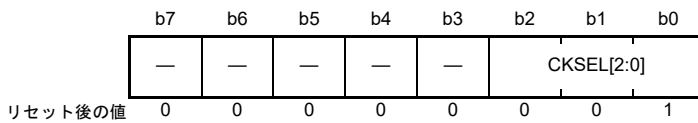
CPU、DMAC、および DTC 用システムクロックの周波数を選択します。

FCK[2:0] ビット (Flash インタフェースクロック (FCLK) 選択)

Flash インタフェースクロック (FCLK) の周波数を選択します。

8.2.2 システムクロックソースコントロールレジスタ (SCKSCR)

アドレス SYSTEM.SCKSCR 4001 E026h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKSEL[2:0]	クロックソース選択 (注1)	b2 b0 0 0 0: HOCO 0 0 1: MOCO 0 1 0: LOCO 0 1 1: メインクロック発振器 (MOSC) 1 0 0: サブクロック発振器 (SOSC) 1 0 1: PLL 上記以外は設定しないでください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SCKDIVCR.ICK[2:0] ビットで1分周を選択し、かつ MEMWAIT.MEMWAIT = 0 の場合、32MHz よりも速いシステムクロックソース (システムクロックソース > 32MHz) の選択は禁止です。

SCKSCR レジスタは、システムクロックのクロックソースを選択するレジスタです。

CKSEL[2:0] ビット (クロックソース選択)

CKSEL[2:0] ビットは下記モジュールのクロックソースを選択します：

- システムクロック (ICLK)
- 周辺モジュールクロック (PCLKA、PCLKB、PCLKC、および PCLKD)
- フラッシュインタフェースクロック (FCLK)

ビットは下記のソースの1つから選択します：

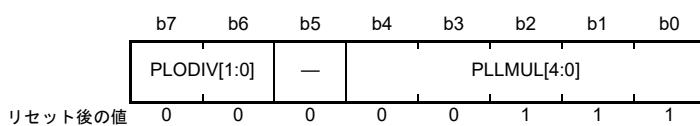
- 低速オンチップオシレータ (LOCO)
- 中速オンチップオシレータ (MOCO)
- 高速オンチップオシレータ (HOCO)
- メインクロック発振器 (MOSC)
- サブクロック発振器 (SOSC)
- PLL 回路

内部非同期割り込みが発生していないときに、クロックソースの切り替えを行ってください。

停止しているクロックソースへの切り替えは禁止されています。

8.2.3 PLL クロックコントロールレジスタ 2 (PLLCCR2)

アドレス SYSTEM.PLLCCR2 4001 E02Bh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PLLMUL[4:0]	PLL周波数逡倍率選択(注1)	b4 b0 0 0 1 1 1 : × 8 0 1 0 0 0 : × 9 0 1 0 0 1 : × 10 : 1 1 1 0 1 : × 30 1 1 1 1 0 : × 31 上記以外は設定しないでください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	PLODIV[1:0]	PLL出力分周比選択(注1)	b7 b6 0 0 : 予約 0 1 : 2分周 1 0 : 4分周 上記以外は設定しないでください。	R/W

注1. PLLMUL[4:0] ビットと PLODIV[1:0] ビットは、PLL の出力周波数が表 8.1 の範囲に収まるように設定する必要があります。

PLLCCR2 レジスタは、PLL 回路の動作を設定するレジスタです。PLLCCR.PLLSTP ビットが 0 (PLL 動作) の場合、PLLCCR2 レジスタへの書き込みは禁止です。

PLLMUL[4:0] ビット (PLL 周波数逡倍率選択)

PLL 回路の周波数逡倍率を選択します。

PLODIV[1:0] ビット (PLL 出力分周比選択)

PLL 出力の分周比を選択します。

8.2.4 PLL コントロールレジスタ (PLLCR)

アドレス SYSTEM.PLLCR 4001 E02Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	PLLST P
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLSTP	PLL 停止制御	0 : PLL 動作 (注1) 1 : PLL 停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. PLL 動作時は、VCC は 2.4V 以上 ($VCC \geq 2.4V$) でなければいけません。また、動作電力制御モードは、High-speed モードまたは Middle-speed モードに設定する必要があります。

PLLCR レジスタは、PLL 回路の動作を制御するレジスタです。

PLLSTP ビット (PLL 停止制御)

PLL 回路を起動または停止させます。

PLLSTP ビットで PLL を起動させた後、OSCSF.PLLSF ビットが 1 になっていることを確認してから、PLL クロックを使用してください。PLL を動作するように設定してから、一定の安定待機時間を要します。PLL 動作が停止してから、発振が停止するまでも一定の待機時間を要します。

PLL 動作の開始および停止に関しては、以下の制限があります。

- PLL の停止後、動作を再開させる前に OSCSF.PLLSF ビットが 0 であることを確認すること
- PLL を停止させる前に、PLL が動作していること、および OSCSF.PLLSF ビットが 1 であることを確認すること
- PLL クロックをシステムクロックとして選択しているかどうかにかかわらず、PLL を動作開始に設定して MCU をソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF ビットが 1 になっていることを確認した上で WFI 命令を実行すること
- PLL の停止設定後にソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF ビットが 0 に設定されていることを確認した上で WFI 命令を実行すること

以下の条件下で PLLSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL)

PLLSTP に 0 を書き込む前に、以下の条件が満たされていることを確認してください。

- OSCSF.MOSCSF ビットが 1 であること
- PLLSTP = 1 (PLL 停止) に設定してから 4 μ s 以上が経過していること
- PLLMUL[4:0] ビットの設定 (PLL 周波数通倍率選択) から 1 μ s 以上が経過していること

8.2.5 メモリウェイトサイクルコントロールレジスタ (MEMWAIT)

アドレス SYSTEM.MEMWAIT 4001 E031h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MEMWAIT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MEMWAIT	メモリウェイトサイクル選択	0: ウェイトなし 1: ウェイトあり	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. SCKDIVCR.ICLK ビットで 1 分周を選択し、かつ SCKSCR.CKSEL[2:0] ビットで 32MHz よりも速いシステムクロックソース (ICLK > 32MHz) を選択した場合、MEMWAIT ビットへの 0 の書き込みは禁止されています。

このレジスタは Flash リードアクセスのウェイトサイクルを制御します。

MEMWAIT ビット (メモリウェイトサイクル選択)

Flash リードアクセスのウェイトサイクルを選択します。リセット解除後は、Flash アクセスのウェイトサイクルは 0 ウェイト (MEMWAIT = 0) に設定されます。

MEMWAIT ビットへ書き込む前に、ICLK 周波数と動作電力制御モードを確認してください。ICLK、動作電力制御モード、および MEMWAIT ビットを設定する場合、以下の制限があります。

- ICLK を 32MHz よりも速く設定する場合 (ICLK > 32MHz)、ICLK が 32MHz 以下 (ICLK ≤ 32MHz) で、かつ動作電力制御モードが High-speed モード (OPCCR.OPCM[1:0] = 00b) の状態で、MEMWAIT ビットを 1 にしてください。
動作モードが High-speed モード以外の場合、MEMWAIT を 1 にすることは禁止されています。
MEMWAIT = 0 の状態で、ICLK を 32MHz よりも速く設定することは禁止されています

- ICLK を 32MHz より速い設定 (ICLK > 32MHz) から 32MHz 以下 (ICLK ≤ 32MHz) の設定にする場合は、MEMWAIT = 1 の状態で、ICLK 周波数を 32MHz 以下にする必要があります。
ICLK が 32MHz よりも速い状態で、MEMWAIT を 0 に設定することは禁止されています。動作モードが High-speed モード以外の場合、MEMWAIT を 1 に設定することは禁止されています。ICLK 周波数が 32MHz 以下で、かつ動作電力制御モードが High-speed モード (OPCCR.OPCM[1:0] = 00b) のときに、MEMWAIT を 0 に設定できます

表 8.4 MEMWAIT ビットの設定

MEMWAIT ビット	MCU 動作電力制御		
	モード: High-speed モード以外	High-speed モード	
		ICLK ≤ 32MHz	ICLK > 32MHz
0	○	○	×
1	×	○	○

○: 設定可能

×: 設定不可

図 8.2 に、ICLK を 32MHz よりも速く設定する場合のフロー例を示します。

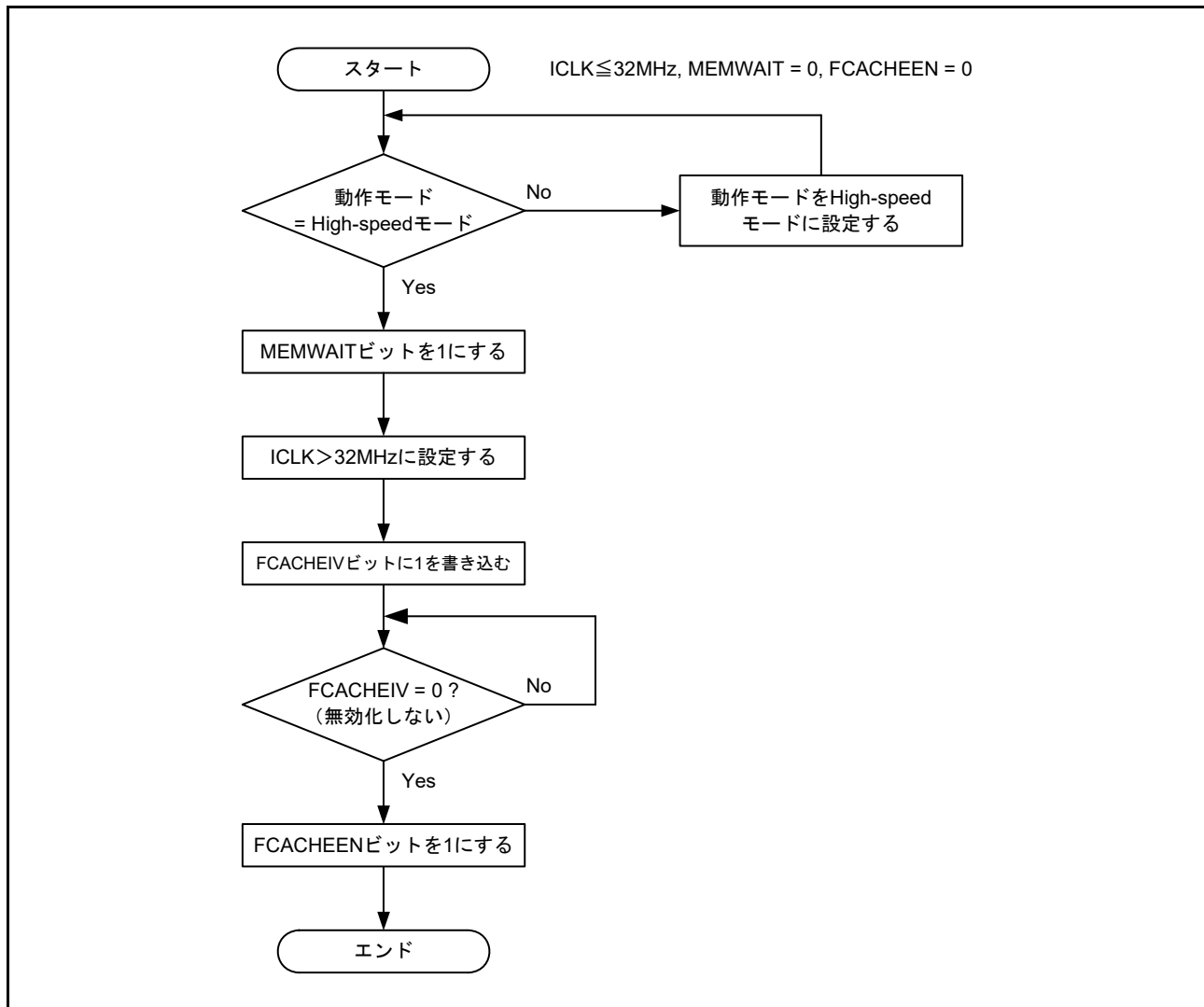


図 8.2 ICLK > 32MHz に設定する場合

図 8.3 に、ICLK が 32MHz 超の場合に、ICLK を 32MHz 以下に設定する例を示します。

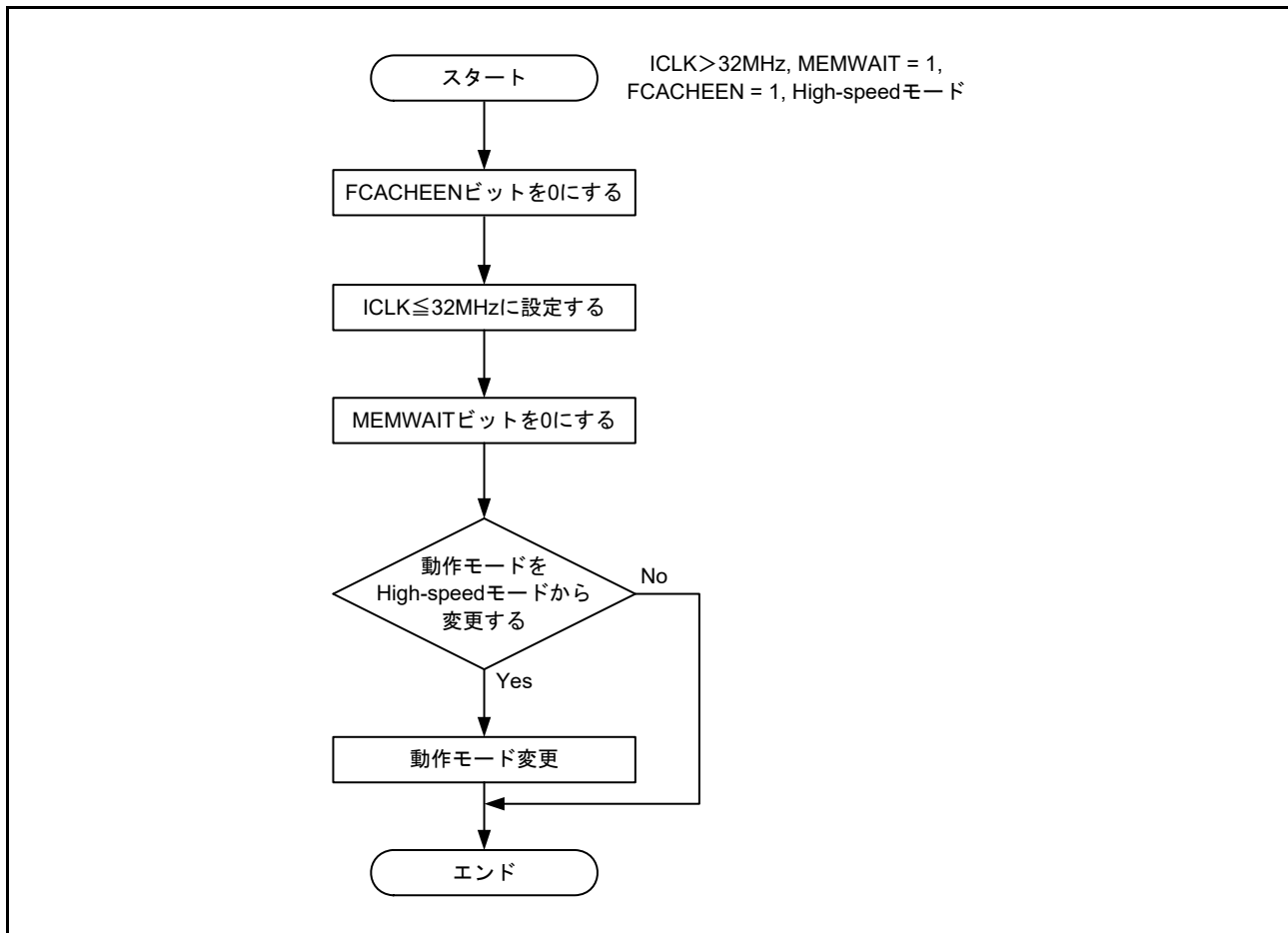


図 8.3 ICLK > 32MHz の状態から ICLK ≤ 32MHz に設定する場合

8.2.6 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス SYSTEM.MOSCCR 4001 E032h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止	0: メインクロック発振器動作 (注1) 1: メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. MOSTP を0にする前に、MOMCR レジスタを設定する必要があります。

MOSCCR レジスタは、メインクロック発振器を制御するレジスタです。

MOSTP ビット (メインクロック発振器停止)

メインクロック発振器を起動または停止させます。

MOSTP ビットを動作に設定することで、メインクロック発振器を起動させることができます。MOSTP ビット値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。

メインクロックを使用する場合は、MOSTP ビットを0にする前に、メインクロック発振器モードコントロールレジスタ (MOMCR) およびメインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) を設定する必要があります。MOSCCR.MOSTP ビット設定でメインクロックを動作させるように変更した場合、必ず OSCSF.MOSCSF ビットが1になっていることを確認してから、メインクロックを使用してください。

メインクロック発振器を動作させるように設定してから、発振が安定するまでに一定の時間を要します。また、メインクロックが停止した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- メインクロック発振器の停止後、動作を再開させる前に OSCSF.MOSCSF ビットが0であることを確認すること
- メインクロック発振器を停止させる前に、メインクロック発振器が動作していること、および OSCSF.MOSCSF ビットが1であることを確認すること
- メインクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、メインクロック発振器を動作させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが1になっていることを確認した上で WFI 命令を実行すること
- メインクロック発振器を停止させるように設定した後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが0にクリアされていることを確認した上で WFI 命令を実行すること

以下の条件下で MOSTP ビットに1を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC)
- SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL)
- PLLCR.PLLSTP = 0 (PLL 動作)

8.2.7 サブクロック発振器コントロールレジスタ (SOSCCR)

アドレス SYSTEM.SOSCCR 4001 E480h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	SOSTP
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SOSTP	サブクロック発振器停止	0: サブクロック発振器動作 (注1) (注2) 1: サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SOSTP を 0 にする前に、SOMCR レジスタを設定する必要があります。

注2. VBATT 機能を使用しない場合、SOSC を動作させるように設定する前に、VBTCR1.BPWSWSTP ビットを設定する必要があります。VBTCR1.BPWSWSTP ビットについての詳細は、「11. バッテリバックアップ機能」を参照してください。

SOSCCR レジスタは、サブクロック発振器を制御するレジスタです。

SOSTP ビット (サブクロック発振器停止)

サブクロック発振器を起動または停止させます。

SOSTP ビット値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。RTC などの周辺モジュールに対するソースとしてサブクロックを使用する場合、SOSTP ビットを使用してください。

サブクロック発振器を使用する場合は、SOSTP ビットを 0 にする前に、サブクロック発振器モードコントロールレジスタ (SOMCR) を設定してください。SOSTP ビットを 0 にした後、必ずサブクロック発振安定時間 (tSUBOSC) が経過してから、サブクロックを使用してください。SOSTP ビットでサブクロックを動作するように設定してから、一定の安定待機時間を要します。また、発振が停止するまでにも一定の待機時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- サブクロック発振器の停止後、動作を再開させるまでに SOSC で 5 サイクル以上の待ち時間が必要
- サブクロック発振器を停止させる場合、サブクロック発振器が安定していることを確認すること
- サブクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、サブクロック発振器の発振が安定していることを確認した上で WFI 命令を実行すること
- サブクロック発振器を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、SOSC で 3 クロックサイクル以上待った後、WFI 命令を実行すること

以下の条件下で SOSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 100b (システムクロックソース = SOSC)

8.2.8 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス SYSTEM.LOCOCR 4001 E490h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO 停止	0 : LOCO クロック動作 (注1) 1 : LOCO クロック停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. VBATT 機能を使用しない場合、LOCO の動作設定の前に、VBTCR1.BPWSWSTP ビットを設定する必要があります。VBTCR1.BPWSWSTP については、「11. バッテリバックアップ機能」を参照してください。

LOCOCR レジスタは、LOCO クロックを制御するレジスタです。

LCSTP ビット (LOCO 停止)

LOCO クロックを起動または停止させます。

LCSTP ビットを LOCO クロック開始に設定した後、必ず LOCO クロック発振安定待機時間 (t_{LOCO}) が経過してから LOCO クロックを使用してください。LOCO クロックを動作を開始するように設定してから、一定の安定待機時間を要します。また、停止に設定した後も、LOCO クロックが停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- LOCO クロックの停止後、動作を再開させるまでに LOCO で 5 クロックサイクル以上の間隔が必要
- LOCO クロックを停止させる時に、LOCO クロックの発振が安定していることを確認すること
- LOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、MCU をソフトウェアスタンバイモードへ遷移する場合は、LOCO の発振が安定していることを確認した上で WFI 命令を実行すること
- LOCO クロックを停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、LOCO で 3 サイクル以上待ってから WFI 命令を実行すること

以下の条件下で LCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 010b (システムクロックソース = LOCO)

8.2.9 高速オンチップオシレータコントロールレジスタ (HOCOOCR)

アドレス SYSTEM.HOCOOCR 4001 E036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止	0 : HOCOクロック動作 (注2) (注3) (注4) 1 : HOCOクロック停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 . HOCOOCR.HCSTP = 0 および OSCSF.HOCOSF = 0 (HOCO は安定待機時間カウント中) の状態にあるとき、OPCCR.OPCM[1:0] ビットへの書き込みは禁止されています。
- 注 . OPCCR.OPCMTSF = 1、SOPCCR.SOPCMTSF = 1 (動作電力制御モードの遷移中)、または FLSTOP.CFLSTOPF = 1 (フラッシュの遷移中) の状態にあるとき、HCSTP ビットへの書き込みは禁止されています。
- 注 1. OFS1.HOCOEN ビットが 0 のとき、HCSTP ビットのリセット後の値は 0 になります。OFS1.HOCOEN ビットが 1 のとき、HCSTP ビットのリセット後の値は 1 になります。
- 注 2. HOCO の動作周波数が 48MHz の場合、HOCO 動作時の VCC は 1.8V 以上 ($VCC \geq 1.8V$) である必要があります。HOCO の動作周波数が 64MHz の場合、HOCO 動作時の VCC は 2.4V 以上 ($VCC \geq 2.4V$) である必要があります。
- 注 3. HOCO を使用する場合 (HCSTP = 0)、OFS1.HOCOFREQ1[2:0] ビットを最適な値に設定する必要があります。Low-voltage モードの間中は、HOCOOCR.HCSTP は常に 0 でなければなりません。
- 注 4. OFS1.HOCOFREQ1[2:0] ビットの値は、リセット後に HOCOOCR2.HCFREQ1[2:0] ビットに自動的に転送されるため、HOCO 周波数は、HOCOOCR2.HCFREQ1[2:0] に設定することも可能です。

HOCOOCR レジスタは、HOCO を制御するレジスタです。

HCSTP ビット (HOCO 停止)

HOCO クロックを起動または停止させます。HOCO クロックを動作させるには、高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR) も設定してください。

HCSTP ビットで HOCO が動作するように変更した場合、必ず OSCSF.HOCOSF ビットが 1 になっていることを確認してから HOCO クロックを使用してください。OFS1.HOCOEN ビットが 0 になっている場合、OSCSF.HOCOSF が 1 になっていることを確認してから、HOCO クロックを使用してください。HOCO が動作するように設定してから、一定の安定待機時間を要します。また、HOCO クロックを停止に設定した後、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- HOCO クロックの停止後、動作を再開させる前に OSCSF.HOCOSF ビットが 0 であることを確認すること
- HOCO クロックを停止させる前に、HOCO クロックが動作していること、および OSCSF.HOCOSF ビットが 1 であることを確認すること
- HOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、HOCOOCR.HCSTP ビットが 0 のときに、OSCSF.HOCOSF ビットが 1 にセットされていることを確認してから、WFI 命令を実行して MCU をソフトウェアスタンバイモードに移行してください
- HOCO クロックを停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF ビットが 0 になっていることを確認した上で WFI 命令を実行すること

以下の条件下で HCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 000b (システムクロックソース = HOCO)

8.2.10 高速オンチップオシレータコントロールレジスタ 2 (HOCO CR2)

アドレス SYSTEM.HOCO CR2 4001 E000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	HCFRQ1[2:0]			—	—	—
リセット後の値	0	0	0/1 (注1)	0/1 (注1)	0/1 (注1)	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b3	HCFRQ1[2:0]	HOC周波数設定1	b5 b3 0 0 0 : 24MHz 0 1 0 : 32MHz 1 0 0 : 48MHz 1 0 1 : 64MHz 上記以外の値は設定禁止	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. 本レンジに書く場合は、PRCR.PRC0 ビットに1を設定してから書き込んでください。

注1. HCFRQ1[2:0] ビットのリセット後の値は、OFS1.HOCOFRQ1[2:0] ビットに依存します。

HOCO CR2 レジスタは、HOCO クロックを制御します。

HOCO CR.HCSTP ビットが0 (HOCO 動作) のとき、HOCO CR2 レジスタへの書き込みは禁止です。

8.2.11 中速オンチップオシレータコントロールレジスタ (MOCOOCR)

アドレス SYSTEM.MOCOOCR 4001 E038h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	MCSTP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MCSTP	MOCO停止	0 : MOCOクロック動作 1 : MOCOクロック停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MOCOOCR レジスタは、MOCO クロックを制御するレジスタです。

MCSTP ビット (MOCO 停止)

MOCO クロックを起動または停止させます。

MCSTP ビットを 0 にした後、必ず MOCO クロック発振安定時間 (t_{MOCO}) が経過してから、MOCO クロックを使用してください。MCSTP ビットを 0 にしてから、一定の安定待機時間を要します。また、MCSTP ビットを 1 にした後も、発振が停止するまでに一定の時間を要します。

発振器の開始および停止に関しては、以下の制限が適用されます。

- MOCO クロックの停止後、動作を再開させるまでに MOCO で 5 クロックサイクル以上の間隔が必要
- MOCO クロックを停止させる場合、MOCO の発振が安定していることを確認すること
- MOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、MOCO の発振が安定していることを確認した上で WFI 命令を実行すること
- MOCO クロックを停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、MOCO で 3 クロックサイクル以上待つから WFI 命令を実行すること

以下の条件下で MCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 001b (システムクロックソース = MOCO)

発振停止検出コントロールレジスタの発振停止検出機能有効ビット (OSTDCR.OSTDE) で発振停止検出を有効にしているとき、MCSTP ビットを 1 (MOCO 停止) にすることは禁止されています。

MOCO クロックは他の発振器の待機時間の計測に使用されるため、MOCOOCR.MCSTP ビットの設定値にかかわらず、他の発振器の待機時間が計測されているときは MOCO クロックが発振しています。MCSTP ビットが停止に設定されていても、意図せず MOCO クロックが供給される場合があります。

8.2.12 発振安定フラグレジスタ (OSCSF)

アドレス SYSTEM.OSCSF 4001 E03Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PLLSF	—	MOSCSF	—	—	HOCOSF
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HOCOSF	HOCOクロック発振安定フラグ	0: HOCOクロックは停止、または発振安定待ち中 1: HOCOクロックは安定、システムクロックとして使用可能	R
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	MOSCSF	メインクロック発振安定フラグ	0: メインクロック発振器は停止 (MOSTP = 1)、または発振安定待ち中 (注2) 1: メインクロック発振器は安定、システムクロックとして使用可能	R
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PLLSF	PLLクロック発振安定フラグ	0: PLLクロックは停止、または発振安定待ち中 1: PLLクロックは安定、システムクロックとして使用可能	R
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. リセット後の値は、OFS1.HOCOEN ビットで決まります。
OFS1.HOCOEN が 1 になっている場合、HOCOSF のリセット後の値は 0 です。
OFS1.HOCOEN が 0 になっている場合、リセット解除直後に HOCOSF の値が 0 になり、HOCO 発振安定時間の経過後に HOCOSF の値が 1 になります。
- 注 2. 該当する発振器のウェイトコントロールレジスタに適切な値が設定されます。待機時間が不十分な場合、発振が安定する前に発振安定フラグが 1 になり、内部回路へクロック信号の供給が開始されます。

OSCSF レジスタのフラグは、各発振器の発振安定待ち回路内にあるカウンタの動作ステータスを示します。

これらのカウンタは、発振開始後、各発振器の出力クロックが内部回路に供給されるまでの待機時間を計測します。カウンタのオーバーフローは、対応する発振器から内部回路へクロックの供給が開始されたことを示します。

HOCOSF フラグ (HOCO クロック発振安定フラグ)

高速クロック発振器 (HOCO) の待機時間を計測するカウンタの動作状態を示します。OFS1.HOCOEN ビットが 0 のときに、OSCSF.HOCOSF ビットが 1 になっていることを確認してから、HOCO クロックを使用してください。

[1 になる条件]

- HOCO クロックの停止時に、HOCOCR.HCSTP ビットを 0 にした結果、HOCOWTCR.HSTS[2:0] ビットに設定された中速クロックのサイクルの経過後に、MCU 内部へ高速クロックの供給が開始されたとき

[0 になる条件]

- 高速クロック発振器の動作時に、HOCOCR.HCSTP ビットを 1 にした結果、高速クロック発振器が発振停止になったとき

MOSCSF フラグ (メインクロック発振安定フラグ)

メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- メインクロック発振器の停止時に、MOSCCR.MOSTP ビットを 0 にした結果、MOSCWTCR.MSTS[3:0] ビットに設定された中速クロックサイクルが経過し、MCU 内部へメインクロックの供給が開始されたとき

[0 になる条件]

- メインクロック発振器の動作時に、MOSCCR.MOSTP ビットを 1 にした結果、メインクロック発振器が発振停止になったとき

PLLSF フラグ (PLL クロック発振安定フラグ)

PLL の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- PLL の停止時に、PLLCR.PLLSTP ビットを 0 にした結果、中速クロックの 370 サイクルがカウントされて、MCU 内で PLL クロック供給が開始されたとき。ただし、PLLSTP ビットを 0 にしたときに PLL クロックソースの発振が安定していなければ、PLL クロックソースの発振が安定した後も、中速クロックサイクルのカウントが継続する

[0 になる条件]

- PLL の動作時に、PLLCR.PLLSTP ビットを 1 にした結果、PLL が発振停止になったとき

8.2.13 発振停止検出コントロールレジスタ (OSTDCR)

アドレス SYSTEM.OSTDCR 4001 E040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可	0: 発振停止検出割り込みを禁止 (POEGへの通知なし) 1: 発振停止検出割り込みを許可 (POEGへの通知あり)	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	OSTDE	発振停止検出機能有効	0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

OSTDCR レジスタは、発振停止検出機能を制御するレジスタです。

OSTDIE ビット (発振停止検出割り込み許可)

発振停止検出機能割り込みを許可します。また本ビットは、発振停止検出を POEG に通知するかどうかを制御します。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) をクリアする必要がある場合、OSTDIE ビットを 0 にしてから OSTDF をクリアしてください。OSTDIE ビットを 1 にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、PCLKB の 2 サイクルを超える待ち時間が必要になる場合があります。

OSTDE ビット (発振停止検出機能有効)

発振停止検出機能を有効にします。本ビットを 1 (発振停止検出機能は有効) にすると、MOCO 停止ビット (MOCO.CR.MCSTP) が 0 となり MOCO が起動します。発振停止検出機能が有効の間は、MOCO は停止できません。MOCO.CR.MCSTP ビットへの 1 の書き込み (MOCO 停止) は無効です。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が 1 (メインクロック発振停止検出) のとき、OSTDE ビットへの 0 の書き込みは無効です。

ソフトウェアスタンバイモードに遷移する前に必ず OSTDE ビットを 0 にしてください。ソフトウェアスタンバイモードへ遷移する場合は、最初に OSTDE ビットを 0 にしてから WFI 命令を実行してください。

発振停止検出機能を使用する場合、以下の制限があります。

- Low-speed モードでは、ICLK、FCLK、PCLKA、PCLKB、PCLKC、および PCLKD に対する 1 分周、2 分周、4 分周、8 分周の設定は禁止
- Low-voltage モードでは、ICLK、FCLK、PCLKA、PCLKB、PCLKC、および PCLKD に対する 1 分周と 2 分周の設定は禁止

8.2.14 発振停止検出ステータスレジスタ (OSTDSR)

アドレス SYSTEM.OSTDSR 4001 E041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0: メインクロック発振停止を未検出 1: メインクロック発振停止を検出	R/(W) (注1)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 0のみ書けます。

OSTDSR レジスタは、メインクロック発振器の発振停止の検出状態を示します。

OSTDF フラグ (発振停止検出フラグ)

メインクロックの状態を示します。OSTDF フラグが1のとき、メインクロックの発振停止が検出されたことを示します。メインクロック発振停止が検出された後、メインクロックの発振が再開しても OSTDF フラグは0になりません。OSTDF フラグは、1を読み出した後に0を書き込むことで0になります。

OSTDF に0を書き込んでから、0を読み出せるようになるまで、ICLK で3サイクル以上待つ必要があります。メインクロックの発振が停止しているとき、OSTDF フラグを0にすると、OSTDF フラグはいったん0になった後、再度1に戻ります。

以下の条件下では、OSTDSR.OSTDF は0にできません。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC)

クロックソースをメインクロック発振器と PLL 以外に切り替えた後、OSTDF フラグを0にする必要があります。

[1になる条件]

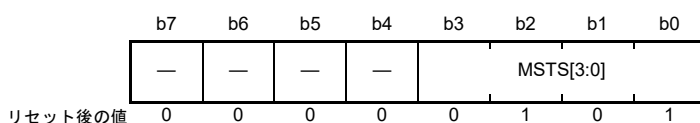
- OSTDCR.OSTDE が1 (発振停止検出機能は有効) の状態で、メインクロックの発振が停止したとき

[0になる条件]

- SCKSCR.CKSEL[2:0] ビットが011b (システムクロックが MOSC) でも101b (システムクロックが PLL) でもない場合に、1を読んだ後、0を書いたとき

8.2.15 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス SYSTEM.MOSCWTCR 4001 E0A2h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MSTS[3:0]	メインクロック発振器 待機時間設定	b3 b0 0 0 0 0 : 待機時間 = 2サイクル (0.25 μ s) 0 0 0 1 : 待機時間 = 1024サイクル (128 μ s) 0 0 1 0 : 待機時間 = 2048サイクル (256 μ s) 0 0 1 1 : 待機時間 = 4096サイクル (512 μ s) 0 1 0 0 : 待機時間 = 8192サイクル (1024 μ s) 0 1 0 1 : 待機時間 = 16384サイクル (2048 μ s) (リセット後の値) 0 1 1 0 : 待機時間 = 32768サイクル (4096 μ s) 0 1 1 1 : 待機時間 = 65536サイクル (8192 μ s) 1 0 0 0 : 待機時間 = 131072サイクル (16384 μ s) 1 0 0 1 : 待機時間 = 262144サイクル (32768 μ s) 上記以外は設定しないでください。 待機時間は "MOCO = 8MHz (標準は0.125 μ s) " として計算されます。	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MSTS[3:0] ビット (メインクロック発振器 待機時間設定)

メインクロック発振器の発振安定待機時間を設定します。

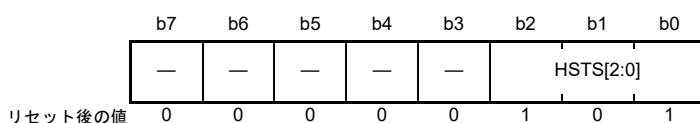
発振器メーカーが推奨する安定時間以上の時間をメインクロック発振安定時間に設定してください。メインクロックが外部から入力される場合、発振安定時間は必要ないので 0000b に設定してください。

MSTS[3:0] ビットに設定した待機時間は、MOCO クロックでカウントされます。MOCO は、必要であれば、MOCOCR.MCSTP ビットの値にかかわらず、自動的に発振を開始します。設定した待機時間が経過すると、MCU 内部へメインクロックの供給が開始され、OSCSF.MOSCSF フラグは 1 になります。設定した待機時間が短いと、クロックの発振が安定になる前に、メインクロックの供給が開始されます。

MOSCWTCR レジスタの書き換えは、MOSCCR.MOSTP ビットが 1 で、かつ OSMOSF.MOSCSF フラグが 0 の場合にのみ行ってください。それ以外では、このレジスタを書き換えしないでください。

8.2.16 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)

アドレス SYSTEM.HOCOWTCR 4001 E0A5h



ビット	シンボル	ビット名	機能	R/W
b2-b0	HSTS[2:0]	HOCO待機時間設定	b2 b0 1 0 1 : <ul style="list-style-type: none"> 待機時間 = 245 サイクル (29.13μs) HOCOの動作周波数が24MHzまたは32MHzで、かつ動作電力制御モードが低電圧モード以外の場合 待機時間 = 287 サイクル (35.875μs) HOCOの動作周波数が48MHzで、かつ動作電力制御モードが低電圧モード以外の場合 待機時間 = 679 サイクル (84.88μs) (リセット後の値) 動作電力制御モードが低電圧モードの場合 1 1 0 : <ul style="list-style-type: none"> 待機時間 = 541 サイクル (67.63μs) HOCOの動作周波数が64MHzの場合 上記以外は設定しないでください。 待機時間は "MOCO = 8MHz (標準は0.125 μ s) " として計算されます。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

HOCOWTCR レジスタは、高速クロック発振器の出力を内部回路に供給するまでの待機時間を制御するレジスタです。HOCOCR.HCSTP ビットが1の場合、または OSCSF.HOCOSF フラグが1の場合にのみ、HOCOWTCR に値を書き込むことができます。それ以外では、HOCOWTCR に書き込まないでください。

HSTS[2:0] ビット (HOCO 待機時間設定)

発振安定待ち回路は、待機時間を計測し、MCU 内部へのクロック供給を制御します。高速クロック発振器が動作を開始すると、発振安定待ち回路は、HOCOWTCR レジスタに設定された中速クロックサイクル数のカウントを開始します。設定したサイクル数のカウントが完了するまでの間にわたって、MCU クロック供給は行われません。カウント完了後、MCU のクロック信号の供給が開始され、OSCSF.HOCOSF フラグが1になります。

MOCOCR.MCSTP ビットの設定にかかわらず、発振安定待ち回路による中速クロックサイクル数のカウントは続きます。待機時間の計測時には、ハードウェアで自動的に中速発振器の動作/停止が制御されます。

8.2.17 メインクロック発振器モードコントロールレジスタ (MOMCR)

アドレス SYSTEM.MOMCR 4001 E413h

b7	b6	b5	b4	b3	b2	b1	b0
—	MOSEL	—	—	MODR V1	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	MODRV1	メインクロック発振器駆動能力1切り替え	0: 10MHz~20MHz 1: 1MHz~10MHz	R/W
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	MOSEL	メインクロック発振器切り替え	0: 発振子 1: 外部クロック入力	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. EXTAL/XTAL 端子もポートとして使用されます。初期設定状態では、この端子がポートとして設定されています。

注. 本レジスタを変更する前に、MOSCCR.MOSTP ビットを1 (MOSC 停止) にする必要があります。

MODRV1 ビット (メインクロック発振器駆動能力1切り替え)

メインクロック発振器の駆動能力を切り替えます。

MOSEL ビット (メインクロック発振器切り替え)

メインクロック発振器の発振源を切り替えます。

8.2.18 サブクロック発振器モードコントロールレジスタ (SOMCR)

アドレス SYSTEM.SOMCR 4001 E481h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	SODRV[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SODRV[1:0]	サブクロック発振器駆動能力切り替え	b1 b0 0 0: 通常モード 0 1: 低消費電力モード1 1 0: 低消費電力モード2 1 1: 低消費電力モード3	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

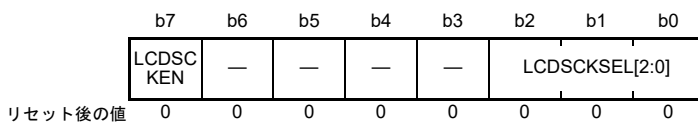
このレジスタの変更は、SOSCCR.SOSTP が1 (SOSC 停止) のときに行う必要があります。

SODRV[1:0] ビット (サブクロック発振器駆動能力切り替え)

サブクロック発振器の駆動能力を切り替えます。

8.2.19 セグメント LCD ソースクロックコントロールレジスタ (SLCDSCCKCR)

アドレス SYSTEM.SLCDSCCKCR 4001 E050h



ビット	シンボル	ビット名	機能	R/W
b2-b0	LCDSCCKSEL[2:0]	LCD ソースクロック (LCDSRCCLK) 選択	b2 b0 0 0 0: LOCO 0 0 1: SOSC 0 1 0: MOSC 1 0 0: HOCO 上記以外は設定しないでください。	R/W
b6-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	LCDSCKEN	LCD ソースクロックアウト許可	0: LCD ソースクロックアウトを禁止 1: LCD ソースクロックアウトを許可	R/W

LCDSCKEN ビットと LCDSCCKSEL[2:0] ビットを同時に設定することはしないでください。

LCDSCCKSEL[2:0] ビット (LCD ソースクロック (LCDSRCCLK) 選択)

LOCO、SOSC、MOSC、または HOCO クロックを LCD クロックソースとして設定します。LCD ソースクロックを変更する場合、LCDSCKEN ビットを 0 にしてください。

これらのビットを変更する際は、以下の手順に従ってください。

1. LCDSCKEN を 0 (LCD ソースクロックアウトを禁止) にする。
2. 変更する前に、LCD ソースクロックの 3 サイクル分と、ICLK の 2 サイクル分待つ。
3. LCDSCCKSEL[2:0] ビットに変更値を書く。
4. LCDSCCKSEL[2:0] ビットを読み出して、変更されたことを確認する。

LCDSCKEN ビット (LCD ソースクロックアウト許可)

LCD モジュールへの LCD ソースクロック出力を許可します。

本ビットを 1 にすると、選択したクロックが出力されます。本ビットを変更する場合は、LCDSCCKSEL[2:0] ビットで選択した LCD ソースクロックが安定していることを確認してください。変更後にソフトウェアスタンバイモードへ遷移する場合は、以下の手順に従ってください。

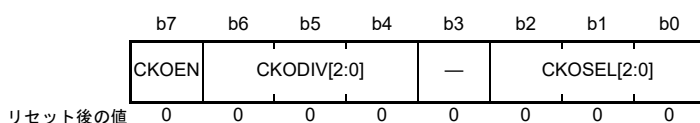
1. 本ビットを変更する。
2. LCDSCCKSEL[2:0] ビットで選択したソースクロックの 2 サイクル分以上待つ。
3. WFI 命令を実行する。

本ビットを 0 にした後、LCDSCCKSEL[2:0] ビットで選択したソースクロックを停止する場合は、以下の手順に従ってください。

1. 本ビットを 0 (LCD ソースクロック出力を禁止) にする。
2. LCDSCCKSEL[2:0] ビットで選択したソースクロックの 2 サイクル分以上待つ。
3. LCDSCCKSEL[2:0] ビットで選択したソースクロックを停止する。

8.2.20 クロックアウトコントロールレジスタ (CKOCR)

アドレス SYSTEM.CKOCR 4001 E03Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKOSEL[2:0]	クロックアウトソース選択	b2 b0 0 0 0 : HOCO 0 0 1 : MOCO 0 1 0 : LOCO 0 1 1 : MOSC 1 0 0 : SOSC 上記以外は設定しないでください。	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	CKODIV[2:0]	クロックアウト入力分周比選択	b6 b4 0 0 0 : 1分周 0 0 1 : 2分周 0 1 0 : 4分周 0 1 1 : 8分周 1 0 0 : 16分周 1 0 1 : 32分周 1 1 0 : 64分周 1 1 1 : 128分周	R/W
b7	CKOEN	クロックアウト許可	0 : クロックアウトを禁止 1 : クロックアウトを許可	R/W

CKOSEL[2:0] ビット (クロックアウトソース選択)

HOCO、MOCO、LOCO、MOSC、または SOSC クロックを、CLKOUT 端子から出力するソースクロックとして選択するために設定します。

CLKOUT ソースクロックを変更する場合、CKOEN ビットを 0 にしてください。

CKODIV[2:0] ビット (クロックアウト入力分周比選択)

クロック分周比を選択するために設定します。

分周比を変更する場合、CKOEN ビットを 0 にしてください。出力クロック周波数の分周比は、CLKOUT 端子出力周波数の特性を超えない値に設定する必要があります。CLKOUT 端子の特性の詳細については、「48. 電気的特性」を参照してください。

CKOEN ビット (クロックアウト許可)

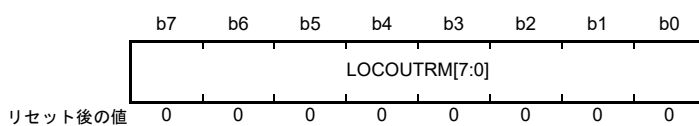
CLKOUT 端子からの出力を許可するために設定します。

本ビットを 1 にすると、選択したクロックが出力されます。本ビットを 0 にすると、Low が出力されます。本ビットを変更する場合は、CKOSEL[2:0] ビットで選択したクロックソースが安定していることを確認してください。安定していないと、出力にグリッチを生じる恐れがあります。

ソフトウェアスタンバイモードに遷移し、選択したクロックソースをこのモードで停止させる場合、モード遷移前に本ビットをクリアしてください。

8.2.21 LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR)

アドレス SYSTEM.LOCOUTCR 4001 E492h



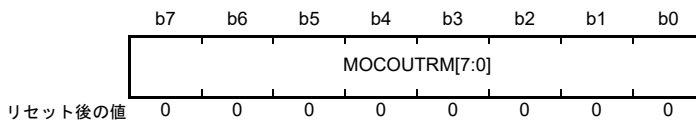
ビット	シンボル	ビット名	機能	R/W
b7-b0	LOCOUTRM[7:0]	LOCOユーザートリミング	b7 1 0 0 0 0 0 0 0 : -128 1 0 0 0 0 0 0 1 : -127 1 0 0 0 0 0 1 0 : -126 : 1 1 1 1 1 1 1 1 : -1 0 0 0 0 0 0 0 0 : センターコード 0 0 0 0 0 0 0 1 : +1 : 0 1 1 1 1 1 0 1 : +125 0 1 1 1 1 1 1 0 : +126 0 1 1 1 1 1 1 1 : +127 これらのビットは、元のLOCOトリミングビットに追加 されます。	R/W

LOCO 周波数が仕様外となるような値に LOCOUTCR を設定した場合、MCU 動作は保証されません。

LOCOUTCR を変更した場合の周波数安定時間は、MCU 動作開始時の周波数安定時間に相当します。
LOCO クロック周波数と他の発振周波数の比率が整数の場合、LOCOUTCR 値の変更は禁止されています。

8.2.22 MOCO ユーザトリミングコントロールレジスタ (MOCOUTCR)

アドレス SYSTEM.MOCOUTCR 4001 E061h

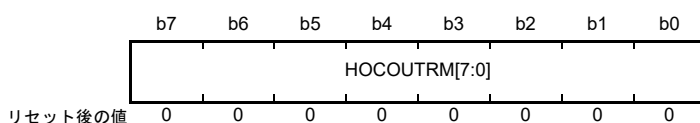


ビット	シンボル	ビット名	機能	R/W
b7-b0	MOCOUTRM[7:0]	MOCO ユーザトリミング	b7 1 0 0 0 0 0 0 0 : -128 1 0 0 0 0 0 0 1 : -127 1 0 0 0 0 0 1 0 : -126 : 1 1 1 1 1 1 1 1 : -1 0 0 0 0 0 0 0 0 : センターコード 0 0 0 0 0 0 0 1 : +1 : 0 1 1 1 1 1 0 1 : +125 0 1 1 1 1 1 1 0 : +126 0 1 1 1 1 1 1 1 : +127 これらのビットは、元のMOCOトリミングビットに追加されます。	R/W

MOCO 周波数が仕様外となるような値に MOCOUTCR を設定した場合、MCU 動作は保証されません。
 MOCOUTCR を変更した場合の周波数安定時間は、MCU 動作開始時の周波数安定時間に相当します。
 MOCO 周波数と他の発振周波数の比率が整数の場合、MOCOUTCR 値の変更は禁止されています。

8.2.23 HOCO ユーザトリミングコントロールレジスタ (HOCOUTCR)

アドレス SYSTEM.HOCOUTCR 4001 E062h

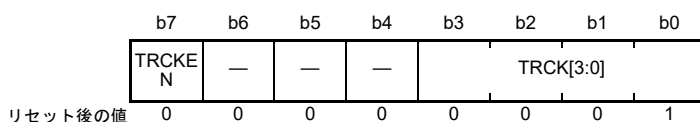


ビット	シンボル	ビット名	機能	R/W
b7-b0	HOCOUTRM[7:0]	HOCOユーザトリミング	b7 b0 1 0 0 0 0 0 0 0 : -128 1 0 0 0 0 0 0 1 : -127 1 0 0 0 0 0 1 0 : -126 : 1 1 1 1 1 1 1 1 : -1 0 0 0 0 0 0 0 0 : センターコード 0 0 0 0 0 0 0 1 : +1 : 0 1 1 1 1 1 1 0 : +125 0 1 1 1 1 1 1 1 : +126 0 1 1 1 1 1 1 1 : +127 これらのビットは、元のHOCOトリミングビットに追加されます。	R/W

HOCO 周波数が仕様外となるような値に HOCOUTCR を設定した場合、MCU 動作は保証されません。HOCOUTCR を変更した場合の周波数安定時間は、MCU 動作開始時の周波数が安定するまでの時間に相当します。USBCKCR.USBCLKSEL を 1 にした場合、00h 以外の値を HOCOUTCR に書き込むことは禁止です。

8.2.24 トレースクロックコントロールレジスタ (TRCKCR)

アドレス SYSTEM.TRCKCR 4001 E03Fh



ビット	シンボル	ビット名	機能	R/W
b3-b0	TRCK[3:0]	トレースクロック動作周波数選択	b3 b0 0 0 0 0 : 1分周 0 0 0 1 : 2分周 (リセット後の値) 0 0 1 0 : 4分周 上記以外は設定しないでください。	R/W
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	TRCKEN	トレースクロック動作許可	0: 動作禁止 1: 動作許可	R/W

注. 本レジスタは、VBATT_POR 以外のすべてのリセットで初期化することが可能です。

トレースクロックコントロールレジスタは、トレースクロックの切り替えを制御するレジスタです。TRCLK 周波数を変更する前に TRCKEN ビットを 0 にしてください。

8.2.25 USB クロックコントロールレジスタ (USBCKCR)

アドレス SYSTEM.USBCKCR 4001 E0D0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	USBCLKSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBCLKSEL	USBクロックソース選択	0 : PLL (リセット後の値) 1 : HOCO	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

USBCLKSEL ビット (USB クロックソース選択)

USBCLKSEL ビットは USB クロック (UCLK) のソースを選択します。

- USBCKCR レジスタの書き換えは、SYSCFG.SCKE ビットが 0 の状態で行ってください
- USBCKCR.USBCLKSEL ビットは、USBFS をデバイスコントローラとして使用しているときにのみ 1 にできます。
ホストコントローラおよび On-The-Go (OTG) 機能を使用するには、USBCKSR.USBCLKSEL ビットを 0 にしてください
- USBCKCR.USBCLKSEL ビットが 1 の場合は、ユーザトリミング機能は使用できません。HOCO ユーザトリミング機能を使用する場合は、HOCOUTCR.HOCOUTRM[7:0] ビットを 00h にしてください

8.3 メインクロック発振器

メインクロック発振器にクロック信号を供給するには、下記のいずれかの方法を使用します。

- 発振器を接続
- 外部クロック信号の入力を接続

8.3.1 水晶振動子を接続する方法

水晶振動子の接続例を図 8.4 に示します。

必要に応じてダンピング抵抗 (R_d) を挿入することが可能です。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカーの推奨する値を使用してください。また、振動子メーカーが外部帰還抵抗 (R_f) の使用を推奨している場合は、その指示に従って EXTAL と XTAL の間に R_f を挿入してください。

振動子を接続してクロックを供給する場合、その振動子の周波数は、表 8.1 に記載されているように、メインクロック発振器の発振子周波数の範囲内としてください。

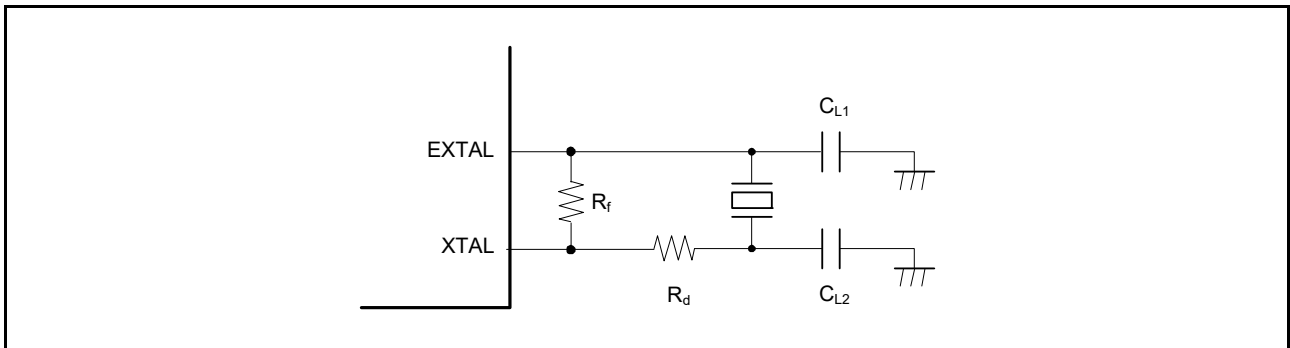


図 8.4 水晶振動子の接続例

8.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図 8.5 に示します。外部クロックで発振器を動作させるには、MOMCR.MOSEL ビットを 1 にしてください。XTAL 端子はハイインピーダンスになります。

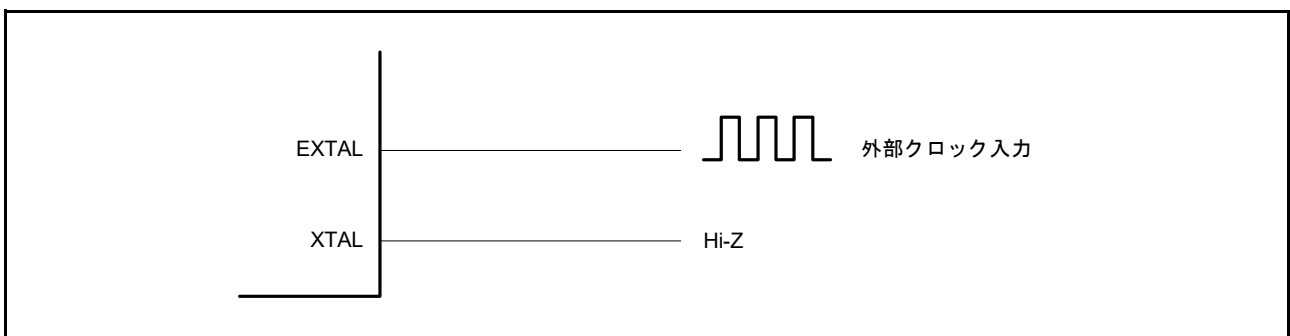


図 8.5 外部クロックの等価回路

8.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器の停止ビット (MOSCCR.MOSTP) が 0 の場合、外部クロック入力周波数を変更しないでください。

8.4 サブクロック発振器

サブクロック発振器へクロックを供給する唯一の方法は、水晶振動子を接続することです。

8.4.1 32.768kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、[図 8.6](#) に示すように 32.768kHz の水晶振動子を接続します。

必要に応じてダンピング抵抗 (R_d) を挿入することが可能です。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカーの推奨する値を使用してください。振動子メーカーが外部帰還抵抗 (R_f) の使用を推奨している場合は、その指示に従って XCIN と XCOUT の間に R_f を挿入してください。振動子を接続してクロックを供給する場合、その振動子の周波数は、[表 8.1](#) に記載されているように、サブクロック発振器の発振子周波数の範囲内としてください。

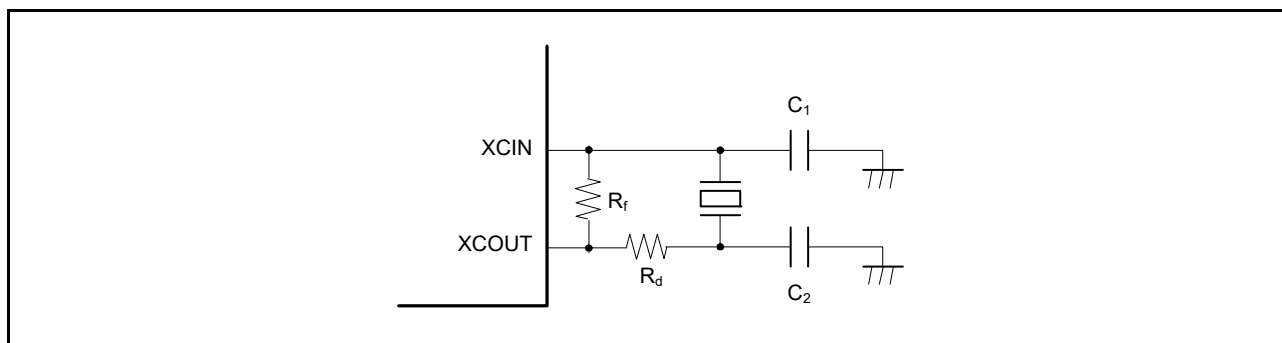


図 8.6 32.768kHz 水晶振動子の接続例

8.5 発振停止検出機能

8.5.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器停止の検出に使用されます。

発振停止が検出されると、システムクロックは以下のように切り替わります。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC) で発振停止が検出された場合、システムクロックソースは MOCO クロックに切り替わります
- SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL) で発振停止が検出されると、PLL クロックはシステムクロックソースのままとなります。周波数はフリーラン発振周波数となり、SCKSCR.CKSEL[2:0] の設定は変わりません

発振停止が検出されたとき、発振停止検出割り込み要求を発生させることができます。さらに、検出時の汎用 PWM タイマ (GPT) 出力をハイインピーダンスにすることが可能です。

メインクロック発振器の異常などによって、入力クロックが一定期間 0 または 1 のままとなった場合、メインクロック発振器停止が検出されます (「48. 電気的特性」を参照してください)。

メインクロックと MOCO クロックの切り替え、または PLL クロックと PLL フリーランクロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。

OSTDF は切り替えたクロックを以下のように制御します。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC) の場合 :
OSTDF が 0 から 1 になると、クロックソースは MOCO クロックに切り替わる
OSTDF が 1 から 0 になると、クロックソースは MOSC クロックに戻る
- SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL) の場合 :
OSTDF が 0 から 1 になると、クロックソースは PLL フリーラン発振クロックに切り替わる
OSTDF が 1 から 0 になると、クロックソースは PLL に戻る

発振停止検出後にクロックソースをメインクロックあるいは PLL クロックに戻したい場合は、いったん CKSEL[2:0] ビットの設定をメインクロックまたは PLL クロック以外に変更し、OSTDF フラグを 0 にしてください。さらに、OSTDF フラグが 1 になっていないことを確認した後、所定の発振安定時間が経過してから、CKSEL[2:0] ビットの設定をメインクロックまたは PLL クロックに変更してください。

リセット解除後、メインクロック発振器は停止して、発振停止検出機能は無効になります。発振停止検出機能を有効にするには、メインクロック発振器を動作させた後、所定の発振安定時間が経過してから、発振停止検出機能有効ビット (OSTDCR.OSTDE) に 1 を書き込んでください。

発振停止検出機能は、外部要因によってメインクロックが停止したことを検出します。そのため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードへ遷移する場合は、あらかじめ発振停止検出機能は無効にする必要があります。

発振停止検出機能は、以下のクロックを MOCO クロック (システムクロックが MOSC の場合) に切り替えます。

- CLKOUT 以外の MOSC または PLL を選択できるすべてのクロック
- MOCO 動作中 (システムクロックが MOSC の場合) または PLL フリーラン動作中 (システムクロックが PLL の場合) のシステムクロック (ICLK) 周波数は、MOCO 発振周波数と、システムクロック選択ビット (SCKDIVCR.ICK[2:0]) で設定された分周比に指定される

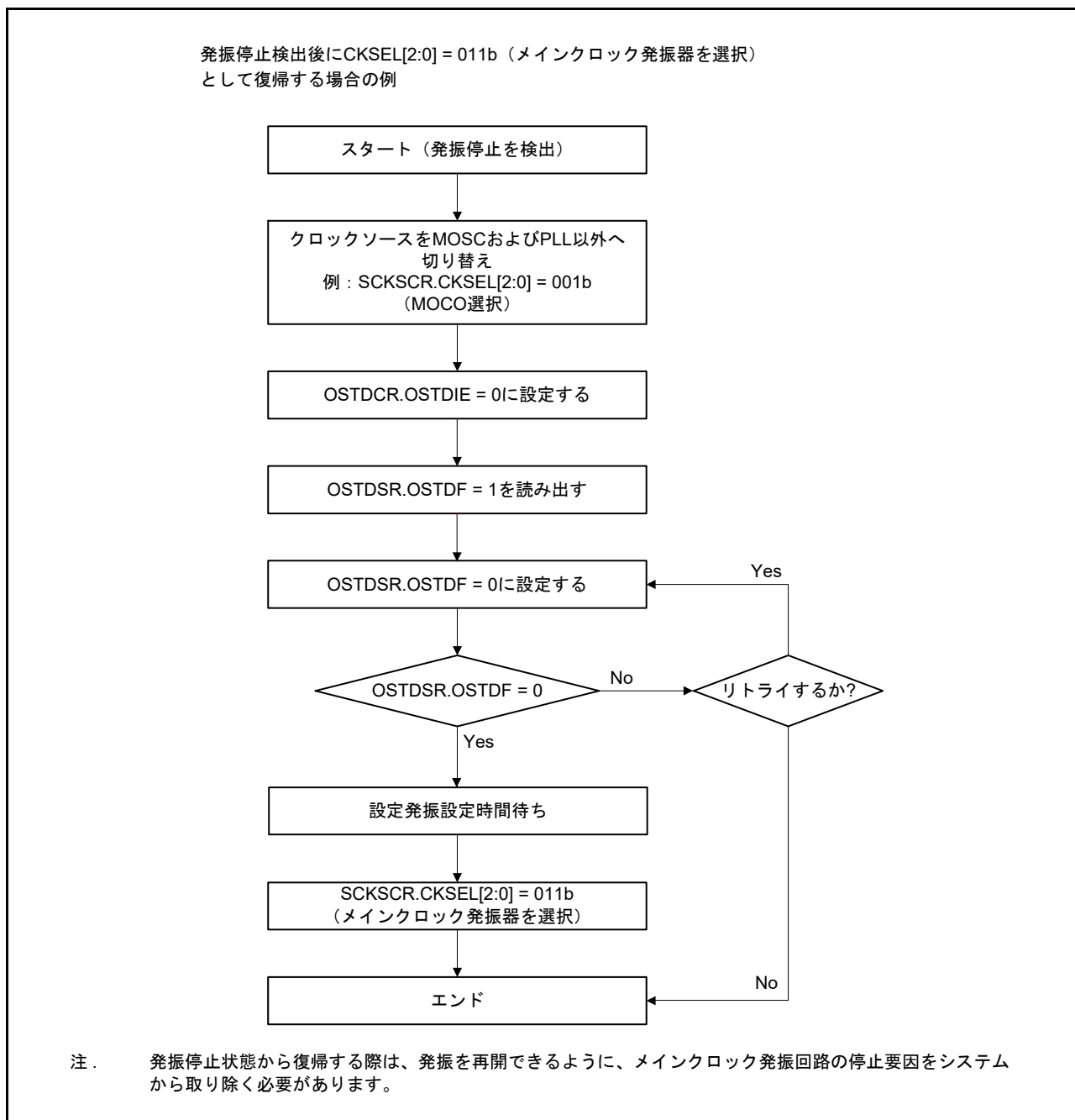


図 8.7 発振停止検出時の復帰フロー

8.5.2 発振停止検出割り込み

発振停止検出フラグ (OSTDSR.OSTDF) が 1 で、かつ発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が 1 (発振停止検出時の割り込み発生許可) のとき、発振停止検出割り込み (MOSC_STOP) が発生します。このとき GPT 用ポートアウトプットイネーブル (POEG) に対して、メインクロック発振器の停止が通知されます。POEG はこの通知を受けて、POEG Groupn 設定レジスタの発振停止検出フラグ (POEGGm.OSTPF) を 1 にします (n = A, B)。

この POEGGn.OSTPF フラグに対しては、発振停止を検出後、PCLKB で 10 サイクル以上経過するまで書き込みできません。OSTDSR.OSTDF フラグのクリアは、発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を 0 にした後に行ってください。OSTDCR.OSTDIE ビットを再度 1 にする場合は、PCLKB で 2 サイクルクロック以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、これ以上の PCLKB 待ち時間が必要になる場合があります。

発振停止検出割り込みはノンマスクابل割り込みです。リセット解除後の初期状態ではノンマスクابل割り込みは禁止されているため、発振停止検出割り込みを使用する前にソフトウェアでノンマスクابل割り込みを許可してください。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

8.6 PLL 回路

PLL 回路は、発振器からの周波数を逡倍する機能を持っています。

8.7 内部クロック

内部クロック用のクロックソースには以下のものがあります。

- メインクロック発振器
- サブクロック発振器
- HOCO クロック
- MOCO クロック
- LOCO クロック
- PLL クロック
- IWDT 専用クロック
- JTAG 用外部クロック

これらのソースから、以下の内部クロックが生成されます。

- CPU、DMAC、DTC、フラッシュメモリ、および SRAM の動作クロック — システムクロック (ICLK)
- 周辺モジュールの動作クロック — PCLKA、PCLKB、PCLKC、および PCLKD
- フラッシュインタフェースの動作クロック — FCLK
- USBFS の動作クロック — UCLK
- CAN の動作クロック — CANMCLK
- CAC の動作クロック — CACCLK
- RTC LOCO クロックの動作クロック — RTCLCLK
- RTC サブクロックの動作クロック — RTCCLK
- IWDT の動作クロック — IWDTCLK
- AGT LOCO クロックの動作クロック — AGTLCLK
- AGT サブクロックの動作クロック — AGTSCLK
- SysTick タイマの動作クロック — SYSTICCLK
- SLCDC のソースクロック — LCDSRCCLK
- 外部端子出力のクロック — CLKOUT
- JTAG の動作クロック — JTAGTCK

内部クロックの周波数設定に使用するレジスタの詳細については、[8.7.1 システムクロック \(ICLK\) ～ 8.7.13 JTAG クロック \(JTAGTCK\)](#) を参照してください。

各ビットを書き換えると、変更後の周波数で動作します。

8.7.1 システムクロック (ICLK)

システムクロック (ICLK) は、CPU、DMAC、DTC、フラッシュメモリ、および SRAM の動作クロックです。

ICLK の周波数は、下記ビットで設定します。

- SCKDIVCR.ICK[2:0] ビット
- SCKSCR.CKSEL[2:0] ビット
- PLLCCR2.PLLMUL[4:0] ビットおよび PLLCCR2. PLODIV[1:0] ビット
- OFS1.HOCOFRQ1[2:0] ビット (注 1)

注 1. OFS1.HOCOFRQ1[2:0] ビットの値は、リセット後に HOCOCR2.HCFRQ1[2:0] ビットに自動的に転送されるため、HOCOCR2.HCFRQ1[2:0] ビットで設定することも可能です。

ICLK クロックソースを切り替えると、クロックソースの遷移期間中に ICLK クロックサイクルの期間が長くなります。図 8.8 および図 8.9 を参照してください。

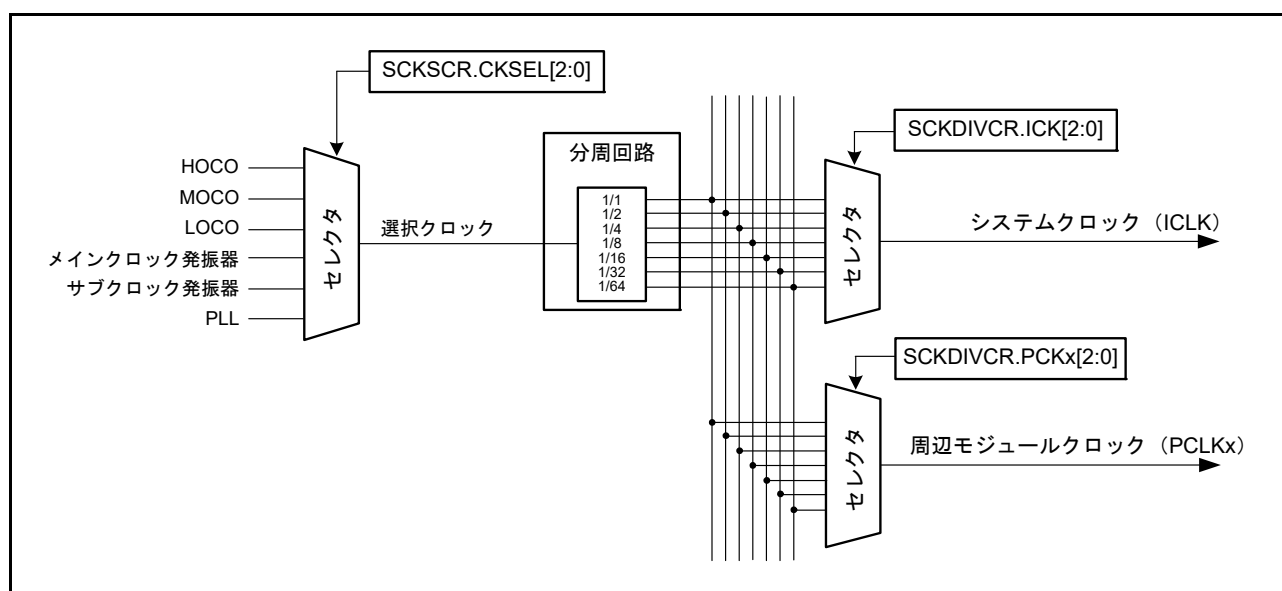


図 8.8 クロックソース選択ブロック図

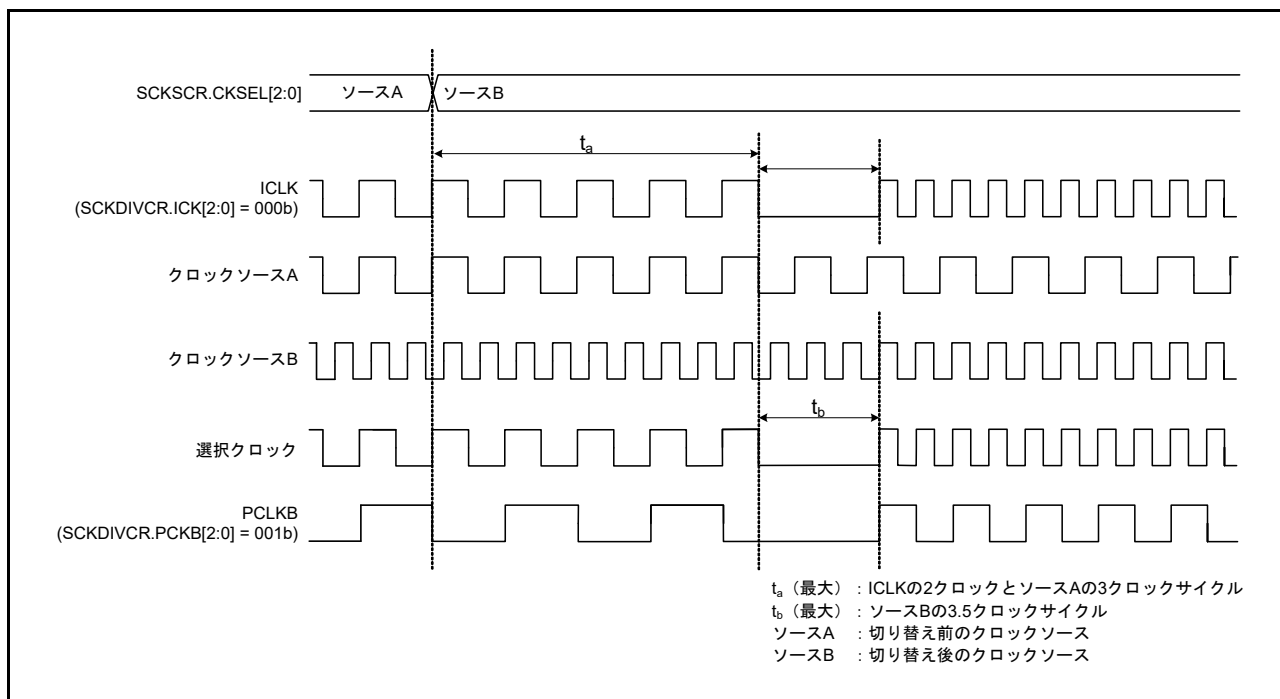


図 8.9 クロックソース切り替えタイミング図

8.7.2 周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD)

周辺モジュールクロック (PCLKA、PCLKB、PCLKC、および PCLKD) は、周辺モジュールの動作クロックです。

各クロックの周波数は、下記ビットで設定します。

- SCKDIVCR.PCKA[2:0] ビット SCKDIVCR.PCKB[2:0] ビット、SCKDIVCR.PCKC[2:0] ビット、および SCKDIVCR.PCKD[2:0] ビット
- SCKSCR.CKSEL[2:0] ビット
- PLLCCR2.PLLMUL[4:0] ビットおよび PLLCCR2.PLODIV[1:0] ビット
- OFS1.HOCOFRQ1[2:0] ビット (注1)

注1. OFS1.HOCOFRQ1[2:0] ビットの値は、リセット後に HOCOCR2.HCFRQ1[2:0] ビットに自動的に転送されるため、HOCOCR2.HCFRQ1[2:0] ビットで設定することも可能です。

周辺モジュールクロックのクロックソースを切り替えると、クロックソースの遷移期間中に周辺モジュールクロックサイクルの期間が長くなります。図 8.8 および図 8.9 を参照してください。

8.7.3 フラッシュインタフェースクロック (FCLK)

フラッシュインタフェースクロック (FCLK) は、フラッシュメモリインタフェースの動作クロックです。すなわち、FCLK はデータフラッシュからの読み出しに加え、コードフラッシュとデータフラッシュのプログラミングおよびイレースに使用されます。

FCLK の周波数は、下記ビットで設定します。

- SCKDIVCR.FCK[2:0] ビット
- SCKSCR.CKSEL[2:0] ビット

- PLLCCR2.PLLMUL[4:0] ビットおよび PLLCCR2.PLODIV[1:0] ビット
- OFS1.HOCOFRQ1[2:0] ビット (注1)

注1. OFS1.HOCOFRQ1[2:0] ビットの値は、リセット後に HOCOCR2.HCFRQ1[2:0] ビットに自動的に転送されるため、HOCOCR2.HCFRQ1[2:0] ビットで設定することも可能です。

8.7.4 USB クロック (UCLK)

USB クロック (UCLK) は、USBFS モジュールの動作クロックです。USBFS モジュールには 48MHz クロックを供給する必要があります。USBFS モジュールを使用する場合は、UCLK クロックを 48MHz に設定してください。

UCLK の周波数は、下記ビットで設定します。

- SCKSCR.CKSEL[2:0] ビット
- PLLCCR2.PLLMUL[4:0] ビットおよび PLLCCR2.PLODIV[1:0] ビット
- OFS1.HOCOFRQ1[2:0] ビット (注1)

注1. OFS1.HOCOFRQ1[2:0] ビットの値は、リセット後に HOCOCR2.HCFRQ1[2:0] ビットに自動的に転送されるため、HOCOCR2.HCFRQ1[2:0] ビットで設定することも可能です。

8.7.5 CAN クロック (CANMCLK)

CAN クロック (CANMCLK) は、CAN モジュールの動作クロックです。CANMCLK は、メインクロック発振器で生成されます。

8.7.6 CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC の動作クロックです。

CACCLK は下記により、生成されます。

- メインクロック発振器
- サブクロック発振器
- 高速クロック発振器
- 中速クロック発振器
- 低速オンチップオシレータ
- IWDT 専用オンチップオシレータ

8.7.7 RTC 専用クロック (RTCSCCLK、RTCLCLK)

RTC 専用クロック (RTCSCCLK および RTCLCLK) は、RTC の動作クロックです。

RTCSCCLK はサブクロック発振器で生成され、RTCLCLK は LOCO クロックで生成されます。

8.7.8 IWDT 専用クロック (IWDTCLK)

IWDT 専用クロック (IWDTCLK) は、IWDT の動作クロックです。

IWDTCLK は、IWDT 専用オンチップオシレータの内部発振によって生成されます。

8.7.9 AGT 専用クロック (AGTSCLK、AGTLCLK)

AGT 専用クロック (AGTSCLK および AGTLCLK) は、AGT の動作クロックです。

AGTSCLK はサブクロック発振器で生成され、AGTLCLK は LOCO クロックで生成されます。

8.7.10 SysTick タイマ専用クロック (SYSTICCLK)

SysTick タイマ専用クロック (SYSTICCLK) は、SysTick タイマの動作クロックです。

SYSTICCLK は、LOCO クロックで生成されます。

8.7.11 セグメント LCDC ソースクロック (LCDSRCCLK)

セグメント LCDC ソースクロック (LCDSRCCLK) は、SLCDC の動作クロックです。

LCDSRCCLK は、SLCDSCKCR.LCDSCKSEL[2:0] ビットで設定します。

SLCDSCKCR.LCDSCKEN を 1 にすると、LCDSRCCLK が出力されます。SLCDSCKCR.LCDSCKSEL[2:0] ビットの値を変更する場合は、SLCDSCKCR.LCDSCKEN ビットが 0 になっているか確認してください。

8.7.12 クロック／ブザー出力クロック (CLKOUT)

CLKOUT は、クロック出力またはブザー出力用に CLKOUT 端子から外部に出力されます。

CKOCR.CKOEN を 1 にすると、CLKOUT が CLKOUT 端子に出力されます。CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビットの値を変更する場合は、CKOCR.CKOEN ビットの値が 0 になっているか確認してください。

CLKOUT の周波数は、下記 ビットで指定します。

- CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビット
- PLLCCR2.PLLMUL[4:0] ビットおよび PLLCCR2.PLODIV[1:0] ビット
- OFS1.HOCOFRQ1[2:0] ビット (注 1)

注 1. OFS1.HOCOFRQ1[2:0] ビットの値は、リセット後に HOCOCR2.HCFRQ1[2:0] ビットに自動的に転送されるため、HOCOCR2.HCFRQ1[2:0] ビットで設定することも可能です。

8.7.13 JTAG クロック (JTAGTCK)

JTAG 専用クロック (JTAGTCK) は、JTAG の動作クロックです。

JTAGTCK は、JTAG の外部クロック (TCK) で生成されます。

8.8 使用上の注意事項

8.8.1 クロック発生回路に関する注意事項

各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKA ~ PCLKD)、およびフラッシュインタフェースクロック (FCLK) の周波数は、SCKDIVCR レジスタの設定に応じて変化します。各周波数は、以下の条件を満たす必要があります。

- 各周波数は、AC 電気的特性で規定されるクロックサイクル時間 (t_{cyc}) の動作保証範囲内に収まるように選択すること。「48. 電気的特性」を参照してください
- 周波数は表 8.2 に記載の周波数範囲を超えないこと
- 周辺モジュールは PCLKA および PCLKB を基準に動作するため、周波数変更の前後で、タイマや SCI などのモジュールは動作速度が変化する
- システムクロック (ICLK)、周辺モジュールクロック (PCLKA ~ PCLKD)、およびフラッシュインタフェースクロック (FCLK) は、表 8.2 に従って設定すること

クロック周波数変更後の処理を確実に実行するには、最初に該当するクロックコントロールレジスタを書き換えて周波数を変更し、次にレジスタ値を読み出して確認し、最後にその後の処理を実行してください。

8.8.2 発振子に関する注意事項

発振子の諸特性はユーザのボード設計に密接に関係するので、使用する前に十分な評価が必要です。発振子の接続例については図 8.6 を参照してください。発振子の回路定数は、使用する発振子および実装回路の浮動容量によって異なります。そのため、回路定数に関しては振動子メーカーと相談して決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

8.8.3 ボード設計に関する注意事項

水晶振動子を使用する場合は、振動子およびコンデンサはできるだけ XTAL/EXTAL 端子の近くに配置してください。図 8.10 に示すように、発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

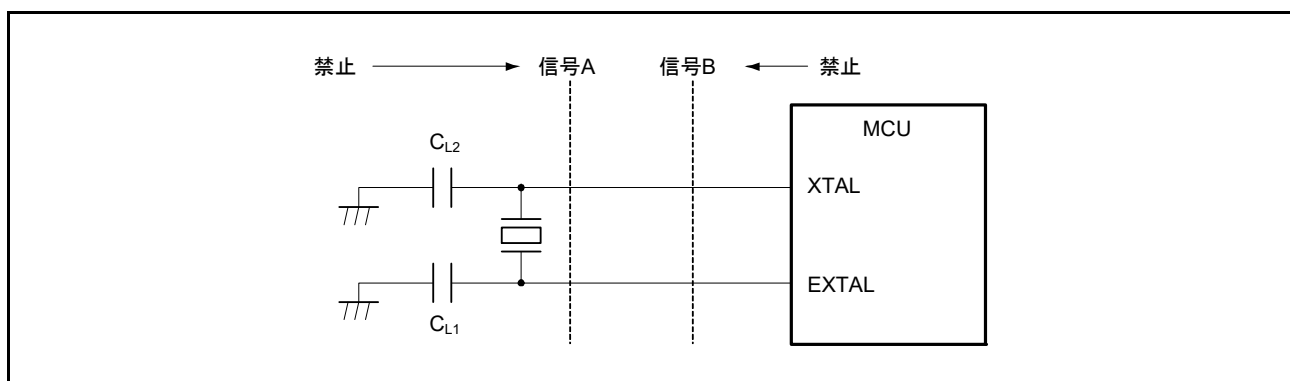


図 8.10 発振回路部のボード設計での信号ルーティング (メインクロック発振器とサブクロック発振器に適用可能)

8.8.4 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子と XTAL 端子は、汎用ポート P212 および P213 として使用可能です。これらの端子を汎用ポートとして使用する場合は、MOSCCR.MOSTP ビットを 1 にして、メインクロックを停止させる必要があります。

9. クロック周波数精度測定回路 (CAC)

9.1 概要

クロック周波数精度測定回路 (CAC) は、測定基準として使用するクロック (測定基準クロック) で生成した時間内に、測定対象となるクロック (測定対象クロック) のパルスをカウントし、パルス数が許容範囲内であるかどうかを判定します。

測定が完了している場合、または測定基準クロックで生成した時間内のパルス数が許容範囲内でない場合は、割り込み要求が発生します。

表 9.1 に CAC の仕様を、図 9.1 にブロック図を、表 9.2 に入出力端子を示します。

表 9.1 CACの仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 : <ul style="list-style-type: none"> • メインクロック発振器 • サブクロック発振器 • HOCOクロック • MOCOクロック • LOCOクロック • IWDTCLKクロック • 周辺モジュールクロック B (PCLKB)
測定基準クロック	以下のクロックを基準として使用可能 : <ul style="list-style-type: none"> • 外部からCACREF端子に入力したクロック • メインクロック発振器 • サブクロック発振器 • HOCOクロック • MOCOクロック • LOCOクロック • IWDTCLKクロック • 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ
割り込み要因	<ul style="list-style-type: none"> • 測定終了 • 周波数エラー • オーバーフロー
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

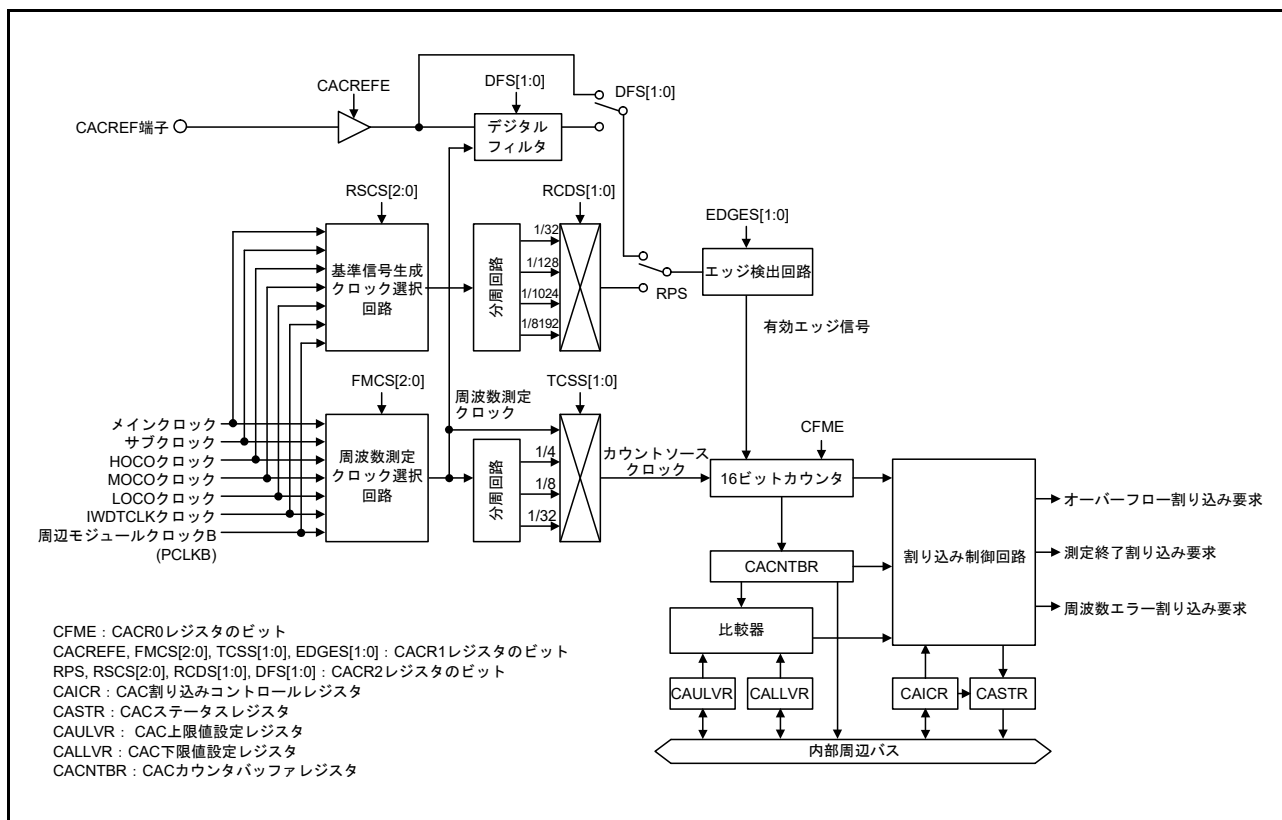


図 9.1 CAC のブロック図

表 9.2 CAC の入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

9.2 レジスタの説明

9.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス CAC.CACR0 4004 4600h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFME
リセット後の値	0	0	0	0	0	0	0	0

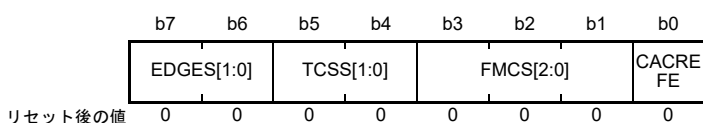
ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効	0 : 無効 1 : 有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CFME ビット (クロック周波数測定有効)

クロック周波数測定が有効かどうかを指定します。CFME ビットを読み出すことで、本ビットが変更されたことを確認できます。変更が完了するまでは、追加の書き込みは無視されます。

9.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス CAC.CACR1 4004 4601h



ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力有効	0 : 無効 1 : 有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択	b3 b1 0 0 0 : メインクロック発振器 0 0 1 : サブクロック発振器 0 1 0 : HOCOクロック 0 1 1 : MOCOクロック 1 0 0 : LOCOクロック 1 0 1 : 周辺モジュールクロック (PCLKB) 1 1 0 : IWDTCCLKクロック 1 1 1 : 設定禁止	R/W
b5-b4	TCSS[1:0]	測定対象クロック分周比選択	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定禁止	R/W

注. CACR1 レジスタは、CACR0.CFME ビットが0のときに設定してください。

CACREFE ビット (CACREF 端子入力有効)

CACREF 端子入力があるかどうかを指定します。

FMCS[2:0] ビット (測定対象クロック選択)

周波数を測定する測定対象クロックを選択します。

TCSS[1:0] ビット (測定対象クロック分周比選択)

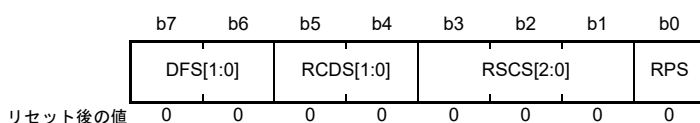
測定対象クロックの分周比を選択します。

EDGES[1:0] ビット (有効エッジ選択)

基準信号の有効エッジを選択します。

9.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス CAC.CACR2 4004 4602h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択	b3 b1 0 0 0 : メインクロック発振器 0 0 1 : サブクロック発振器 0 1 0 : HOCOクロック 0 1 1 : MOCOクロック 1 0 0 : LOCOクロック 1 0 1 : 周辺モジュールクロック (PCLKB) 1 1 0 : IWDTCCLKクロック 1 1 1 : 設定禁止	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1024分周クロック 1 1 : 8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : デジタルフィルタ用のサンプリングクロックを周波数測定クロックとして使用 1 0 : デジタルフィルタ用のサンプリングクロックを周波数測定クロックの4分周クロックとして使用 1 1 : デジタルフィルタ用のサンプリングクロックを周波数測定クロックの16分周クロックとして使用	R/W

注. CACR2 レジスタは、CACR0.CFME ビットが0のときに設定してください。

RPS ビット (基準信号選択)

基準信号として CACREF 端子入力と内部クロック (内部生成信号) のどちらを使用するかを選択します。

RSCS[2:0] ビット (測定基準クロック選択)

測定基準クロックを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択)

内部基準クロック選択時 (RPS = 1) に基準クロックの分周比を選択します。RPS = 0 (CACREF 端子を基準クロックソースとして使用) の場合、基準クロックは分周されません。

DFS[1:0] ビット (デジタルフィルタ機能選択)

デジタルフィルタを有効または無効にします。また、そのサンプリングクロックを選択します。

9.2.4 CAC 割り込みコントロールレジスタ (CAICR)

アドレス CAC.CAICR 4004 4603h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可	0: 周波数エラー割り込み要求禁止 1: 周波数エラー割り込み要求許可	R/W
b1	MENDIE	測定終了割り込み要求許可	0: 測定終了割り込み要求禁止 1: 測定終了割り込み要求許可	R/W
b2	OVFIE	オーバーフロー割り込み要求許可	0: オーバーフロー割り込み要求禁止 1: オーバーフロー割り込み要求許可	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	FERRFCL	FERRF フラグクリア	本ビットを1にすると FERRF フラグをクリアします。読むと0が読めます。	R/W
b5	MENDFCL	MENDF フラグクリア	本ビットを1にすると MENDF フラグをクリアします。読むと0が読めます。	R/W
b6	OVFFCL	OVFF フラグクリア	本ビットを1にすると OVFF フラグをクリアします。読むと0が読めます。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FERRIE ビット (周波数エラー割り込み要求許可)

周波数エラー割り込み要求を許可するかどうかを指定します。

MENDIE ビット (測定終了割り込み要求許可)

測定終了割り込み要求を許可するかどうかを指定します。

OVFIE ビット (オーバーフロー割り込み要求許可)

オーバーフロー割り込み要求を許可するかどうかを指定します。

FERRFCL ビット (FERRF フラグクリア)

本ビットを1にすると FERRF フラグをクリアします。

MENDFCL ビット (MENDF フラグクリア)

本ビットを1にすると MENDF フラグをクリアします。

OVFFCL ビット (OVFF フラグクリア)

本ビットを1にすると OVFF フラグをクリアします。

9.2.5 CAC ステータスレジスタ (CASTR)

アドレス CAC.CASTR 4004 4604h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0: クロック周波数は許容範囲内 1: クロック周波数が許容範囲を外れた (周波数エラー)	R
b1	MENDF	測定終了フラグ	0: 測定中 1: 測定終了	R
b2	OVFF	オーバーフローフラグ	0: カウンタがオーバーフローしていない 1: カウンタがオーバーフローした	R
b7-b3	—	予約ビット	読むと0が読めます。	R

FERRF フラグ (周波数エラーフラグ)

クロック周波数が設定値から外れた (周波数エラー) ことを示します。

[1 になる条件]

- クロック周波数が CAULVR と CALLVR の両レジスタで定義された許容範囲を外れたとき

[0 になる条件]

- FERRFCL ビットに 1 を書いたとき

MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

[1 になる条件]

- 測定が終了したとき

[0 になる条件]

- MENDFCL ビットに 1 を書いたとき

OVFF フラグ (オーバーフローフラグ)

カウンタがオーバーフローしたことを示します。

[1 になる条件]

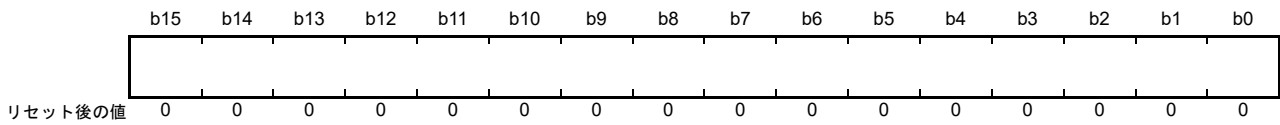
- カウンタがオーバーフローしたとき

[0 になる条件]

- OVFFCL ビットに 1 を書いたとき

9.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス CAC.CAULVR 4004 4606h

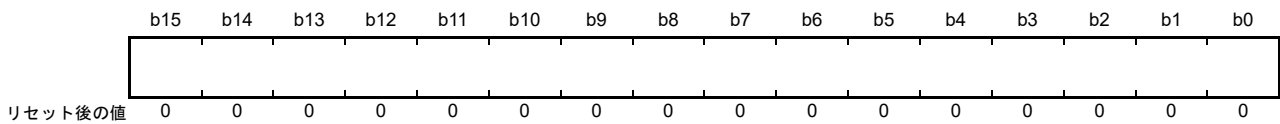


CAULVR レジスタは、許容範囲の上限値を指定する 16 ビットの読み出し/書き込みレジスタです。カウンタ値がこのレジスタに指定された値を上回った場合、周波数エラーが検出されます。CACR0.CFME ビットが 0 のときに設定してください。

デジタルフィルタやエッジ検出回路と CACREF 端子入力信号との位相差によって、CACNTBR レジスタに格納されるカウンタ値がずれる可能性があります。そのため、余裕を持った値を設定してください。

9.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス CAC.CALLVR 4004 4608h



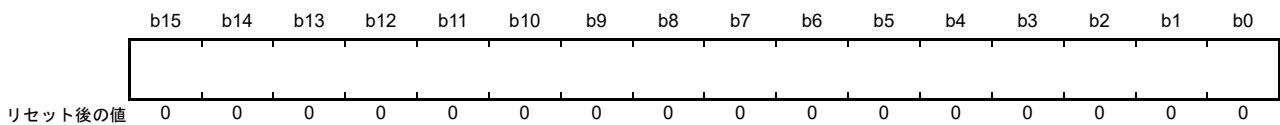
CALLVR レジスタは、許容範囲の下限値を指定する 16 ビットの読み出し/書き込みレジスタです。カウンタ値がこのレジスタに指定された値を下回った場合、周波数エラーが検出されます。

CACR0.CFME ビットが 0 のときに設定してください。

デジタルフィルタやエッジ検出回路と CACREF 端子入力信号との位相差によって、CACNTBR レジスタに格納されるカウンタ値がずれる可能性があります。そのため、余裕を持った値を設定してください。

9.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス CAC.CACNTBR 4004 460Ah



CACNTBR レジスタは、測定結果を格納する 16 ビットの読み出し専用レジスタです。

9.3 動作説明

9.3.1 クロック周波数測定

CAC は、CACREF 端子入力または内部クロックを基準にしてクロック周波数を測定します。図 9.2 に CAC の動作例を示します。

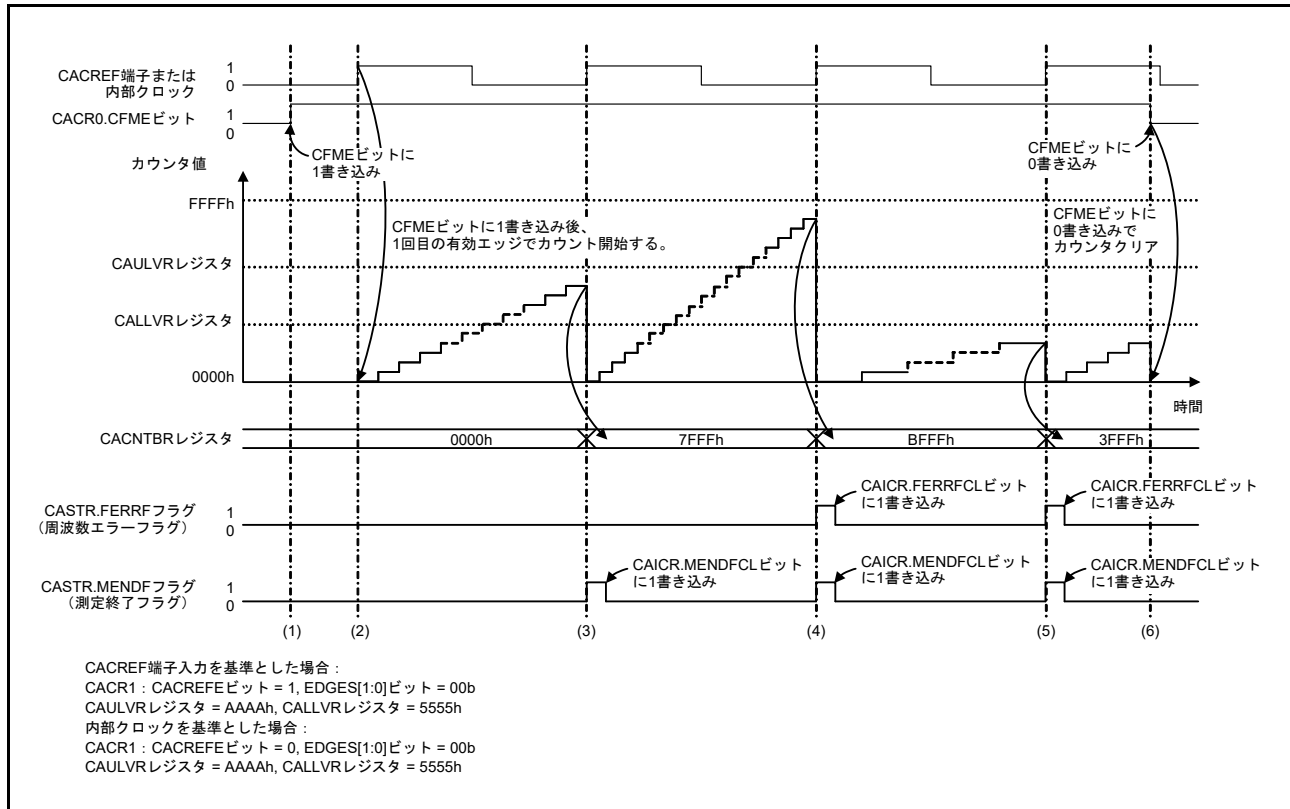


図 9.2 CAC の動作例

1. CACR0.CFME ビットに 1 を書き込む前に、測定対象クロックと測定基準クロックを定義するために CACR1 レジスタと CACR2 レジスタを設定する必要があります。CACR0.CFME ビットに 1 を書き込むと、クロック周波数測定が有効になります。
2. CACR1.EDGES[1:0] ビットで選択した有効エッジが測定基準クロックから入力されると、タイマがカウントアップを開始します。図 9.2 に示すように、有効エッジは立ち上がりエッジ (CACR1.EDGES[1:0] = 00b) です。
3. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR ≤ CAULVR および CACNTBR ≥ CALLVR が成立する場合、クロック周波数は正常なので CASTR.MENDF フラグのみが 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。
4. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR > CAULVR の場合、クロック周波数は異常なので CASTR.FERRF フラグが 1 になります。また、CAICR.FERRIE ビットを 1 にしている場合は、周波数エラー割り込みが発生します。測定終了時に CASTR の MENDF フラグは 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。
5. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR < CALLVR の場合、クロック周波数は異常なので CASTR.FERRF フラグが 1 になります。また、CAICR.FERRIE ビットが 1 の場合は、周波数エラー割り込みが発生します。測定終了時に CASTR の MENDF フラグは 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。

6. CACR0.CFME ビットが 1 のときは、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACR0.CFME ビットに 0 を書き込むと、カウンタをクリアしてカウントアップが停止します。

9.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期で CACREF 端子レベルが 3 回連続で一致した場合、内部回路に一致したレベルを送信します。再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へ同じレベルを送信し続けます。デジタルフィルタ機能では、デジタルフィルタ機能の有効/無効と、サンプリングクロックの設定が可能です。

デジタルフィルタと CACREF 端子入力信号の位相差によって、CACNTBR レジスタに転送されるカウンタ値には、サンプリングクロックの最大 1 周期分の誤差が生じる場合があります。カウントソースクロックに分周クロックを選択している場合は、以下の計算式を使ってカウンタ値の誤差を表すことができます。

$$\text{カウンタ値誤差} = (\text{カウントソースクロック 1 周期}) / (\text{サンプリングクロック 1 周期})$$

9.4 割り込み要求

CAC は次の 3 種類の割り込み要求を発生させます。

- 周波数エラー割り込み
- 測定終了割り込み
- オーバーフロー割り込み

割り込み要因が発生すると、対応するステータスフラグが 1 になります。表 9.3 に、CAC の割り込み要求に関する情報を示します。

表 9.3 CAC の割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタを CAULVR レジスタおよび CALLVR レジスタと比較した結果が、CACNTBR > CAULVR または CACNTBR < CALLVR のとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	<ul style="list-style-type: none"> • CACREF 端子または内部クロックから有効エッジが入力されたとき • CACR0.CFME ビットに 1 を書き込んだ後の 1 回目の有効エッジでは、測定終了割り込みの発生なし
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

9.5 使用上の注意事項

9.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、CAC の動作を許可または禁止することが可能です。リセット後の初期状態では、CAC モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

10. 低消費電力モード

10.1 概要

本 MCU は、クロック分周器の設定、モジュールストップ設定、通常モード時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能を提供します。

表 10.1 に低消費電力モード機能の仕様を示します。表 10.2 に、低消費電力モードへの遷移条件、CPU と周辺モジュールの状態、および各モードの解除方法を示します。リセット後、MCU はプログラム実行状態に遷移しますが、DMAC、DTC、および SRAM のみが動作しています。

表 10.1 低消費電力モード機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD)、フラッシュインタフェースクロック (FCLK) に対して、個別に分周比の選択が可能 (注1)
モジュールストップ	周辺モジュール機能を個別に停止可能
低消費電力モード	<ul style="list-style-type: none"> • スリープモード • ソフトウェアスタンバイモード • スヌーズモード
電力制御モード	<p>動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード、スリープモード、スヌーズモード時の消費電力の低減が可能</p> <p>5つの動作電力制御モードが利用可能：</p> <ul style="list-style-type: none"> • High-speed モード • Middle-speed モード • Low-speed モード • Low-voltage モード • Subosc-speed モード

注 1. 詳細は、「8. クロック発生回路」を参照してください。

表 10.2 各低消費電力モードの動作状態

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード (注1)
遷移条件	SBYCR.SSBY = 0 の状態で WFI 命令	SBYCR.SSBY = 1 の状態で WFI 命令	ソフトウェアスタンバイモード時のスヌーズ要求 SNZCR.SNZE = 1
解除方法	すべての割り込み。 このモードで利用可能なすべてのリセット	表 10.3 に示す割り込み。このモードで利用可能なすべてのリセット	表 10.3 に示す割り込み。このモードで利用可能なすべてのリセット
割り込みによる解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
リセットによる解除後の状態	リセット状態	リセット状態	リセット状態
メインクロック発振器	選択可能	停止	選択可能 (注2)
サブクロック発振器	選択可能	選択可能	選択可能
高速オンチップオシレータ	選択可能	停止	選択可能
中速オンチップオシレータ	選択可能	停止	選択可能
低速オンチップオシレータ	選択可能	選択可能	選択可能
IWDT 専用オンチップオシレータ	選択可能 (注4)	選択可能 (注4)	選択可能 (注4)
PLL	選択可能	停止	選択可能 (注2)
発振停止検出機能	選択可能	動作禁止	動作禁止
クロック/ブザー出力機能	選択可能	選択可能 (注3)	選択可能
CPU	停止 (保持)	停止 (保持)	停止 (保持)
SRAM (ECC SRAM を含む)	選択可能	停止 (保持)	選択可能
フラッシュメモリ	動作	停止 (保持)	停止 (保持)
DMA コントローラ (DMAC)	選択可能	停止 (保持)	動作禁止
データトランスファコントローラ (DTC)	選択可能	停止 (保持)	選択可能
USB2.0 フルスピードモジュール (USBFS)	選択可能	停止 (保持) (注5)	動作禁止 (注5)
ウォッチドッグタイマ (WDT)	選択可能 (注4)	停止 (保持)	停止 (保持)
独立ウォッチドッグタイマ (IWDT)	選択可能 (注4)	選択可能 (注4)	選択可能 (注4)
リアルタイムクロック (RTC)	選択可能	選択可能	選択可能
低消費電力非同期汎用タイマ (AGTn: n = 0, 1)	選択可能	選択可能 (注6)	選択可能 (注6)
14ビットA/Dコンバータ (ADC14)	選択可能	停止 (保持)	選択可能 (注11)
12ビットD/Aコンバータ (DAC12)	選択可能	停止 (保持)	選択可能
静電容量式タッチセンシングユニット (CTSUS)	選択可能	停止 (保持)	選択可能
セグメントLCDコントローラ (SLCDC)	選択可能	選択可能 (注7)	選択可能
データ演算回路 (DOC)	選択可能	停止 (保持)	選択可能
シリアルコミュニケーションインタフェース (SCI0)	選択可能	停止 (保持)	選択可能 (注10)
シリアルコミュニケーションインタフェース (SCIn: n = 1, 2, 9)	選択可能	停止 (保持)	動作禁止
I ² Cバスインタフェース (IIC0)	選択可能	選択可能	選択可能
I ² Cバスインタフェース (IIC1)	選択可能	停止 (保持)	動作禁止
イベントリンクコントローラ (ELC)	選択可能	停止 (保持)	選択可能 (注8)
低消費電力アナログコンパレータ (ACMPLP0)	選択可能	選択可能 (注9)	選択可能 (注9)
低消費電力アナログコンパレータ (ACMPLP1)	選択可能	選択可能 (注9)	選択可能 (注9)
オペアンプ (OPAMP)	選択可能	選択可能	選択可能
NMI、IRQn (n = 0 ~ 12, 14, 15) 端子割り込み	選択可能	選択可能	選択可能
キー割り込み機能 (KINT)	選択可能	選択可能	選択可能
低電圧検出 (LVD)	選択可能	選択可能	選択可能
パワーオンリセット回路	動作	動作	動作
その他の周辺モジュール	選択可能	停止 (保持)	動作禁止
I/Oポート	動作	保持	動作

- 注 . 「選択可能」とは、動作／停止がコントロールレジスタで選択できることを意味します。
「停止（保持）」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。
「動作禁止」とは、ソフトウェアスタンバイモードへ遷移する前に、その機能を停止させる必要があることを意味します。
- 注 1. モジュールストップビットが 0 に設定されているモジュールはすべて、スリープモード遷移後に PCLK が供給されると、ただちに起動します。スリープモード時に消費電力の増大を防ぐには、ソフトウェアスタンバイモードへ遷移する前に、スリープモードで不要なモジュールのストップビットを 1 にしてください。
- 注 2. スリープモードで SCI0 を使用する場合、MOSCCR.MOSTP ビットと PLLCR.PLLSTP ビットは 1 でなければいけません。
- 注 3. クロックアウトソース選択ビット (CKOCR.CKOSEL[2:0]) が 010b (LOCO) および 100b (SOSC) 以外の値に設定されている場合は停止します。
- 注 4. IWDT 専用オンチップオンレタおよび IWDT の場合、IWDT オートスタートモード時、オプション機能選択レジスタ 0 の IWDT 停止制御ビット (OFS0.IWDTSTPCTL) の設定により、動作／停止を選択することが可能です。WDT の場合、IWDT オートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDT 停止制御ビット (WDTSTPCTL) の設定により、動作／停止を選択することが可能です。
- 注 5. USBFS レジューム検出が可能です。
- 注 6. AGT0.AGTMR1.TCK[2:0] ビットで 100b (LOCO) または 110b (SOSC) が選択されている場合、AGT0 は動作可能です。AGT1.AGTMR1.TCK[2:0] ビットで 100b (LOCO)、110b (SOSC)、または 101 (AGT0 からのアンダーフローイベント信号) が選択されている場合、AGT1 は動作可能です。
- 注 7. SLCDSCKCR.LCDSCKSEL[2:0] ビットで 000b (LOCO) または 001b (SOSC) が選択されている場合、動作可能です。SLCDSCKCR.LCDSCKSEL[2:0] ビットが 000b または 001b 以外の値に設定されている場合、停止が選択されます。
- 注 8. イベントは、[10.9.13 スリープモードにおける ELC イベント](#)に記載のものに限定されます。
- 注 9. VCOOUT 機能のみが許可されます。ACMPLP がデジタルフィルタを使用していない場合に、VCOOUT 端子は動作します。デジタルフィルタの詳細については、「[39. 低消費電力アナログコンパレータ \(ACMPLP\)](#)」を参照してください。
- 注 10. SCI0 のシリアル通信モードは、調歩同期式モードに限定されます。
- 注 11. スリープモードで 14 ビット A/D コンバータを使用する場合、ADCMPCR.CMPAE ビットまたは ADCMPCR.CMPBE ビットは 1 でなければいけません。

表 10.3 スヌーズモードとソフトウェアスタンバイモードから通常モードへ遷移する場合の有効な割り込み要因

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード
NMI		可能	可能
VBATT	VBATT_LVD	可能	可能
ポート	PORT_IRQn (n = 0 ~ 12, 14, 15)	可能	可能
LVD	LVD_LVD1	可能	可能
	LVD_LVD2	可能	可能
IWDT	IWDT_NMIUNDF	可能	可能
USBFS	USBFS_USBR	可能	可能
RTC	RTC_ALM	可能	可能
	RTC_PRD	可能	可能
KINT	KEY_INTKR	可能	可能
AGT1	AGT1_AGTI	可能	可能 (注3)
	AGT1_AGTCMAI	可能	可能
	AGT1_AGTCMBI	可能	可能
ACMPLP	ACMP_LP0	可能	可能
IIC0	IIC0_WUI	可能	可能
ADC140	ADC140_WCMPPM	不可能	SELSR0で可能 (注1) (注3)
	ADC140_WCMPUM	不可能	SELSR0で可能 (注1) (注3)
SCI0	SCI0_AM	不可能	SELSR0で可能 (注1) (注2)
	SCI0_RXI_OR_ERI	不可能	SELSR0で可能 (注1) (注2)
DTC	DTC_COMPLETE	不可能	SELSR0で可能 (注1) (注3)
DOC	DOC_DOPCI	不可能	SELSR0で可能 (注1)
CTSU	CTSU_CTSUFN	不可能	SELSR0で可能 (注1)

注 1. 割り込み要求をスヌーズモードからの復帰トリガとして使用するには、この割り込み要求を SELSR0 で選択する必要があります。「13. 割り込みコントローラユニット (ICU)」を参照してください。SELSR0 で選択したトリガが、WFI 命令の実行後、通常モードからソフトウェアスタンバイモードへの遷移途中に発生した場合は、その要求が受け付けられるかどうかはトリガ発生のタイミングに依存します。

注 2. SCI0_AM または SCI0_RXI_OR_ERI のいずれか一方のみ選択可能です。

注 3. SNZEDCR レジスタで許可されたイベントを使用してはいけません。

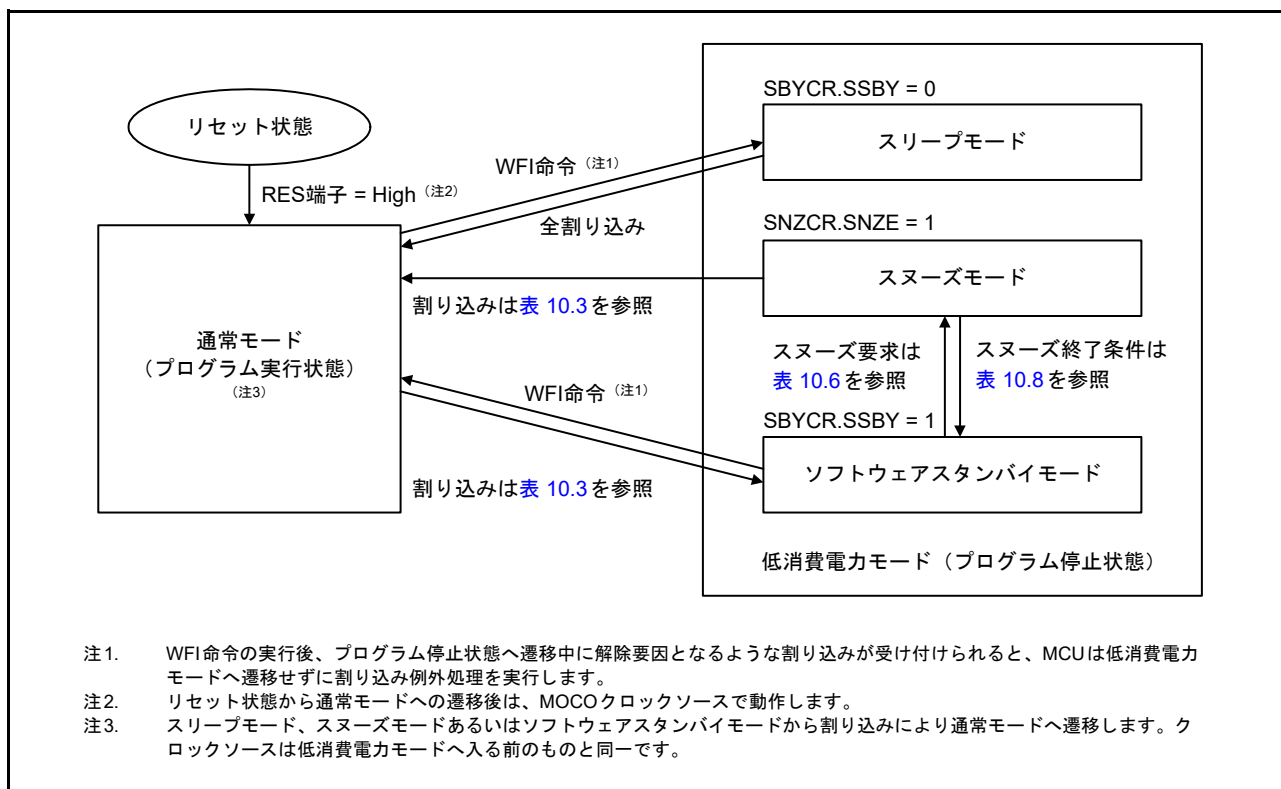


図 10.1 モード遷移

10.2 レジスタの説明

10.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス SYSTEM.SBYCR 4001 E00Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b15	SSBY	ソフトウェアスタンバイ	0: スリープモード 1: ソフトウェアスタンバイモード	R/W

SSBY ビット (ソフトウェアスタンバイ)

WFI 命令実行後の遷移先を設定します。

SSBY ビットが1の状態では WFI 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。なお、割り込みによってソフトウェアスタンバイモードから通常モードへ復帰したときは、SSBY ビットは1のままです。SSBY ビットに0を書き込むことにより、クリアできます。

OSTDCR.OSTDE ビットが1のときは、SSBY ビットの設定は無視されます。SSBY ビットが1であっても、WFI 命令を実行するとスリープモードへ遷移します。

FENTRYR.FENTRY0 ビットが1、または FENTRYR.FENTRYD ビットが1の場合、SSBY ビットの設定値は無視されます。SSBY ビットが1であっても、WFI 命令を実行するとスリープモードへ遷移します。

10.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス SYSTEM.MSTPCRA 4001 E01Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	MSTPA 22	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	MSTPA 6	—	—	—	—	—	MSTPA 0
リセット後の値	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPA0	SRAM0モジュールストップ設定 (注1)	対象モジュール：SRAM0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5-b1	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b6	MSTPA6	ECCSRAMモジュールストップ設定 (注1)	対象モジュール：ECCSRAM 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b21-b7	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b22	MSTPA22	DMAコントローラ/データ転送ファコントローラモジュールストップ設定 (注2)	対象モジュール：DMAC/DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b23	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

注 1. MSTPA0 ビットと MSTPA6 ビットの設定値は同じでなければいけません。

注 2. MSTPA22 ビットを 0 から 1 に書き換える場合、DMAC および DTC を無効にしてから MSTPA22 ビットを設定してください。

10.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス MSTP.MSTPCRB 4004 7000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB 31	MSTPB 30	MSTPB 29	—	—	—	—	—	—	MSTPB 22	—	—	MSTPB 19	MSTPB 18	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MSTPB 11	—	MSTPB 9	MSTPB 8	—	—	—	—	—	MSTPB 2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	MSTPB2	コントローラエリアネットワーク モジュールストップ設定 (注1)	対象モジュール：CAN0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b7-b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b8	MSTPB8	I2Cバスインタフェース1モジュール ストップ設定	対象モジュール：IIC1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9	MSTPB9	I2Cバスインタフェース0モジュール ストップ設定	対象モジュール：IIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b11	MSTPB11	ユニバーサルシリアルバス2.0 フルスピードインタフェース モジュールストップ設定 (注2)	対象モジュール：USBFS 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17-b12	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b18	MSTPB18	シリアルペリフェラルインタフェー ス1モジュールストップ設定	対象モジュール：SPI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b19	MSTPB19	シリアルペリフェラルインタフェー ス0モジュールストップ設定	対象モジュール：SPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b21-b20	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b22	MSTPB22	シリアルコミュニケーションインタ フェース9モジュールストップ設定	対象モジュール：SCI9 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b28-b23	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b29	MSTPB29	シリアルコミュニケーションインタ フェース2モジュールストップ設定	対象モジュール：SCI2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	MSTPB30	シリアルコミュニケーションインタ フェース1モジュールストップ設定	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーションインタ フェース0モジュールストップ設定	対象モジュール：SCI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注1. MSTPB2 ビットの書き換えは、本ビットによって制御されるクロックの発振が安定しているときに行う必要があります。本ビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、書き換え後に CAN クロック (CANMCLK) が 2 サイクル経過してから WFI を実行してください。

注2. MSTPB11 ビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、書き換え後に USB クロック (UCLK) が 2 サイクル経過してから WFI 命令を実行してください。

10.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス MSTP.MSTPCRC 4004 7004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPC31	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MSTPC14	MSTPC13	—	—	—	—	MSTPC8	—	—	—	MSTPC4	MSTPC3	—	MSTPC1	MSTPC0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	クロック周波数精度測定回路モジュールストップ設定 (注1)	対象モジュール：CAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b1	MSTPC1	巡回冗長検査演算器モジュールストップ設定	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b2	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b3	MSTPC3	静電容量式タッチセンシングユニットモジュールストップ設定	対象モジュール：CTSU 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	MSTPC4	セグメントLCDコントローラモジュールストップ設定	対象モジュール：SLCDC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b7-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b8	MSTPC8	拡張シリアルサウンドインタフェースモジュールストップ設定	対象モジュール：SSIE0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b12-b9	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b13	MSTPC13	データ演算回路モジュールストップ設定	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14	MSTPC14	イベントリンクコントローラモジュールストップ設定	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30-b15	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b31	MSTPC31	SCE5モジュールストップ設定 (注2)	対象モジュール：SCE5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注 1. MSTPC0 ビットの書き換えは、本ビットによって制御されるクロックの発振が安定しているときに行う必要があります。本ビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、発振器によって出力されるクロックのうち、最も遅いクロックが2サイクル経過してから WFI 命令を実行してください。

注 2. 本 MCU で SCE5 を使用しない場合でも、未使用回路を初期化するために、プログラムの最初で MSTPC31 ビットを 0 にしてください。10.9.14 未使用回路に対するモジュールストップ機能を参照してください。

10.2.5 モジュールストップコントロールレジスタ D (MSTPCRD)

アドレス MSTP.MSTPCRD 4004 7008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPD 31	—	MSTPD 29	—	—	—	—	—	—	—	—	MSTPD 20	MSTPD 19	—	—	MSTPD 16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MSTPD 14	—	—	—	—	—	—	—	MSTPD 6	MSTPD 5	—	MSTPD 3	MSTPD 2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	MSTPD2	低消費電力非同期汎用タイマ1モジュールストップ設定 (注1)	対象モジュール：AGT1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPD3	低消費電力非同期汎用タイマ0モジュールストップ設定 (注2)	対象モジュール：AGT0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	MSTPD5	汎用PWMタイマ321～320モジュールストップ設定	対象モジュール：GPT321～GPT320 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	MSTPD6	汎用PWMタイマ167～162モジュールストップ設定	対象モジュール：GPT167～GPT162 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13-b7	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b14	MSTPD14	GPT用ポートアウトプットイネーブルモジュールストップ設定	対象モジュール：POEG 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b16	MSTPD16	14ビットA/Dコンバータモジュールストップ設定	対象モジュール：ADC140 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18-b17	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b19	MSTPD19	8ビットD/Aコンバータモジュールストップ設定 (注3)	対象モジュール：DAC8 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20	MSTPD20	12ビットD/Aコンバータモジュールストップ設定	対象モジュール：DAC12 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b28-b21	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b29	MSTPD29	低消費電力アナログコンパレータモジュールストップ設定	対象モジュール：ACMPLP 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b31	MSTPD31	オペアンプモジュールストップ設定	対象モジュール：OPAMP 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

- 注 1. カウントソースがサブクロック発振器または LOCO の場合、MSTPD2 ビットを 1 にしても、AGT1 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT1 レジスタにアクセスする場合を除いて、本ビットを 1 にする必要があります。
- 注 2. カウントソースがサブクロック発振器または LOCO の場合、MSTPD3 ビットを 1 にしても、AGT0 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT0 レジスタにアクセスする場合を除いて、本ビットを 1 にする必要があります。
- 注 3. 8 ビット D/A コンバータを使用する場合 (MSTPD19 = 0)、ACMPLP の MSTPD29 ビットを 0 にしてください。

10.2.6 動作電力コントロールレジスタ (OPCCR)

アドレス SYSTEM.OPCCR 4001 E0A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OPCM TSF	—	—	OPCM[1:0]	
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OPCM[1:0]	動作電力制御モード選択	b1 b0 0 0 : High-speed モード 0 1 : Middle-speed モード 1 0 : Low-voltage モード (注1) 1 1 : Low-speed モード	R/W
b3-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b4	OPCMTSF	動作電力制御モード遷移状態フラグ	0 : 遷移完了 1 : 遷移中	R
b7-b5	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. HOCOCR.HCSTP は常に 0 でなければいけません。

OPCCR レジスタは、通常モード、スリープモード、およびスヌーズモード時に消費電力を低減させるためのレジスタです。OPCCR レジスタを設定することにより、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。

動作電力制御モードの変更手順については、[10.5 低消費電力機能](#)を参照してください。

OPCM[1:0] ビット (動作電力制御モード選択)

通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。

表 10.4 は、各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係を示しています。

HOCOCR.HCSTP と OSCSF.HOCOSF が 0 の状態にある間は、HOCO クロックの発振がまだ安定していないので、OPCCR.OPCM[1:0] への書き込みは禁止されます。

OPCMTSF フラグ (動作電力制御モード遷移状態フラグ)

動作電力制御モード切り替え時の切り替え制御状態を示します。本フラグは、OPCM[1:0] ビットが書き換えられると 1、モード遷移が完了すると 0 になります。本フラグを読み取って 0 であることを確認してから次の処理を行ってください。

10.2.7 サブ動作電力コントロールレジスタ (SOPCCR)

アドレス SYSTEM.SOPCCR 4001 E0AAh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SOPC MTSF	—	—	—	SOPC M
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOPCM	サブ動作電力制御モード選択	0 : Subosc-speed モード以外 1 : Subosc-speed モード	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SOPCMTSF	サブ動作電力制御モード遷移状態フラグ	0 : 遷移完了 1 : 遷移中	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SOPCCR レジスタは、通常モード、スリープモードおよびスヌーズモード時に消費電力を低減させるために使用します。本レジスタを設定することによって、Subosc-speed モードへの遷移およびこのモードからの復帰が開始されます。Subosc-speed モードは、サブクロック発振器または分周なしの LOCO を使用した場合に限り利用可能です。

CACHEE.FCACHEEN ビットでフラッシュキャッシュ機能を禁止に設定してから、動作電力制御モードを変更してください。詳細は、「44. フラッシュメモリ」を参照してください。

動作電力制御モードの変更手順については、10.5 低消費電力機能を参照してください。

SOPCM ビット (サブ動作電力制御モード選択)

通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。本ビットを1にすることで、Subosc-speed モードへまたは Subosc-speed モードから遷移できます。また、本ビットを0にすることで、Subosc-speed モード遷移前の動作モード (OPCCR.OPCM[1:0] で設定された動作モード) へ復帰できます。

表 10.4 は、各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係を示しています。

SOPCMTSF フラグ (サブ動作電力制御モード遷移状態フラグ)

動作電力制御モードを Subosc-speed モードからまたは Subosc-speed モードへ切り替えたときの切り替え制御状態を示します。本フラグは、SOPCM ビットが書き換えられると1、モード遷移が完了すると0になります。本フラグを読み取って0であることを確認してから次の処理を行ってください。

表 10.4 は、各動作電力制御モードを示しています。

表 10.4 各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係

動作電力制御モード	OPCM[1:0] ビット	SOPCM ビット	消費電力
High-speed モード	00b	0	高 ↓ 低
Middle-speed モード	01b	0	
Low-voltage モード	10b	0	
Low-speed モード	11b	0	
Subosc-speed モード	xxb	1	

10.2.8 スヌーズコントロールレジスタ (SNZCR)

アドレス SYSTEM.SNZCR 4001 E092h

	b7	b6	b5	b4	b3	b2	b1	b0
	SNZE	—	—	—	—	—	SNZDTCEN	RXDREQEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RXDREQEN	RXD0 スヌーズ要求許可	0: ソフトウェアスタンバイモード時に RXD0 の立ち下がりエッジを無視 1: ソフトウェアスタンバイモード時に RXD0 の立ち下がりエッジを検出	R/W
b1	SNZDTCEN	スヌーズモード時の DTC 許可	0: スヌーズモード時に DTC 動作を禁止 1: スヌーズモード時に DTC 動作を許可	R/W
b6-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b7	SNZE	スヌーズモード許可	0: スヌーズモードを禁止 1: スヌーズモードを許可	R/W

RXDREQEN ビット (RXD0 スヌーズ要求許可)

ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジを検出するか否かを指定します。本ビットは、SCIO が調歩同期式モードで動作している場合にのみ使用可能です。RXD0 端子の立ち下がりエッジを検出するには、ソフトウェアスタンバイモードへ遷移する前に、本ビットを設定してください。本ビットが 1 の場合、ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジが検出されると、MCU はスヌーズモードへ遷移します。

SNZDTCEN ビット (スヌーズモード時の DTC 許可)

スヌーズモード時に DTC と SRAM を使用するか否かを指定します。スヌーズモードで DTC と SRAM を使用するには、ソフトウェアスタンバイモードへ遷移する前に、本ビットを 1 にしてください。本ビットが 1 の場合、IELSRn (ICU イベントリンク設定レジスタ n) の設定によって、DTC を起動することが可能です。

SNZE ビット (スヌーズモード許可)

ソフトウェアスタンバイモードからスヌーズモードへの遷移を許可するか否かを指定します。スヌーズモードを使用するには、ソフトウェアスタンバイモードへ遷移する前に、本ビットを 1 にしてください。本ビットが 1 の場合、ソフトウェアスタンバイモード時に表 10.6 に示すトリガによって、MCU はスヌーズモードへ遷移します。ソフトウェアスタンバイモードまたはスヌーズモードから通常モードへ遷移した後、ソフトウェアスタンバイモードへ再遷移する場合は、あらかじめ SNZE ビットをいったんクリアしてから再設定してください。詳細は、10.8 スヌーズモードを参照してください。

10.2.9 スヌーズ終了コントロールレジスタ (SNZEDCR)

アドレス SYSTEM.SNZEDCR 4001 E094h

	b7	b6	b5	b4	b3	b2	b1	b0
	SCI0UMTED	—	—	AD0UMTED	AD0MATED	DTCNZRED	DTCZREDED	AGTUNFED
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AGTUNFED	AGT1アンダーフロー時スヌーズ終了許可	0: スヌーズ終了要求禁止 1: スヌーズ終了要求許可	R/W
b1	DTCZRED	最後のDTC送信完了時スヌーズ終了許可	0: スヌーズ終了要求禁止 1: スヌーズ終了要求許可	R/W
b2	DTCNZRED	最後以外のDTC送信完了時スヌーズ終了許可	0: スヌーズ終了要求禁止 1: スヌーズ終了要求許可	R/W
b3	AD0MATED	ADC140コンペアマッチスヌーズ終了許可	0: スヌーズ終了要求禁止 1: スヌーズ終了要求許可	R/W
b4	AD0UMTED	ADC140コンペア不一致スヌーズ終了許可	0: スヌーズ終了要求禁止 1: スヌーズ終了要求許可	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SCI0UMTED	SCI0アドレス不一致スヌーズ終了許可	0: スヌーズ終了要求禁止 1: スヌーズ終了要求許可	R/W

表 10.8 に示すトリガの1つをスヌーズモードからソフトウェアスタンバイモードへの切り替え条件として使用するには、SNZEDCR レジスタの対応するビットを1にしてください。表 10.3 に示したような、スヌーズモードから通常モードへ復帰させるためのイベントは、SNZEDCR レジスタで許可しないでください。

AGTUNFED ビット (AGT1 アンダーフロー時スヌーズ終了許可)

AGT1 アンダーフローによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「23. 低消費電力非同期汎用タイマ (AGT)」を参照してください。

DTCZRED ビット (最後の DTC 送信完了時スヌーズ終了許可)

最後の DTC 送信完了 (すなわち、DTC の CRA または CRB レジスタが 0) による、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「17. データトランスファコントローラ (DTC)」を参照してください。

DTCNZRED ビット (最後以外の DTC 送信完了時スヌーズ終了許可)

各 DTC 送信完了 (すなわち、DTC の CRA または CRB レジスタが 0 以外) による、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「17. データトランスファコントローラ (DTC)」を参照してください。

AD0MATED ビット (ADC140 コンペアマッチスヌーズ終了許可)

変換結果が期待値と一致した場合に、ADC140 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「35. 14 ビット A/D コンバータ (ADC14)」を参照してください。

AD0UMTED ビット (ADC140 コンペア不一致スヌーズ終了許可)

変換結果が期待値と一致しない場合に、ADC140 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「35. 14 ビット A/D コンバータ (ADC14)」を参照してください。

SCI0UMTED ビット (SCI0 アドレス不一致スヌーズ終了許可)

ソフトウェアスタンバイモード時に受信したアドレスが期待値と一致しない場合に、SCI0 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「[28. シリアルコミュニケーションインタフェース \(SCI\)](#)」を参照してください。本ビットは、SCI0 が調歩同期式モードで動作している場合にのみ 1 にしてください。

10.2.10 スヌーズ要求コントロールレジスタ (SNZREQCR)

アドレス SYSTEM.SNZREQCR 4001 E098h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	SNZREQEN30	SNZREQEN29	SNZREQEN28	—	—	SNZREQEN25	SNZREQEN24	SNZREQEN23	—	—	—	—	—	SNZREQEN17	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SNZREQEN15	SNZREQEN14	—	SNZREQEN12	SNZREQEN11	SNZREQEN10	SNZREQEN9	SNZREQEN8	SNZREQEN7	SNZREQEN6	SNZREQEN5	SNZREQEN4	SNZREQEN3	SNZREQEN2	SNZREQEN1	SNZREQEN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SNZREQEN0	スヌーズ要求許可0	IRQ0端子のスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b1	SNZREQEN1	スヌーズ要求許可1	IRQ1端子のスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b2	SNZREQEN2	スヌーズ要求許可2	IRQ2端子のスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b3	SNZREQEN3	スヌーズ要求許可3	IRQ3端子のスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b4	SNZREQEN4	スヌーズ要求許可4	IRQ4端子のスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b5	SNZREQEN5	スヌーズ要求許可5	IRQ5端子のスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b6	SNZREQEN6	スヌーズ要求許可6	IRQ6端子のスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b7	SNZREQEN7	スヌーズ要求許可7	IRQ7端子のスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b8	SNZREQEN8	スヌーズ要求許可8	IRQ8端子のスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b9	SNZREQEN9	スヌーズ要求許可9	IRQ9端子のスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b10	SNZREQEN10	スヌーズ要求許可10	IRQ10端子のスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b11	SNZREQEN11	スヌーズ要求許可11	IRQ11端子のスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b12	SNZREQEN12	スヌーズ要求許可12	IRQ12端子のスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	SNZREQEN14	スヌーズ要求許可14	IRQ14端子のスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W

ビット	シンボル	ビット名	機能	R/W
b15	SNZREQEN15	スヌーズ要求許可 15	IRQ15 端子のスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17	SNZREQEN17	スヌーズ要求許可 17	キー割り込みのスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b22-b18	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23	SNZREQEN23	スヌーズ要求許可 23	ACMPLPのスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b24	SNZREQEN24	スヌーズ要求許可 24	RTCアラームのスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b25	SNZREQEN25	スヌーズ要求許可 25	RTC周期のスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b27-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	SNZREQEN28	スヌーズ要求許可 28	AGT1アンダーフローのスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b29	SNZREQEN29	スヌーズ要求許可 29	AGT1コンペアマッチAのスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b30	SNZREQEN30	スヌーズ要求許可 30	AGT1コンペアマッチBのスヌーズ要求許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SNZREQCR レジスタは、ソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのトリガを制御します。WUPEN レジスタ（「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照）の設定によって、トリガがソフトウェアスタンバイモードの解除要求として選択されている場合、SNZREQCR レジスタの対応するビットが1であっても、そのトリガが発生するとMCUは通常モードへ遷移します。WUPEN レジスタ設定はSNZREQCR レジスタ設定よりも常に優先順位は高くなります。詳細は、[10.8 スヌーズモード](#)と「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

10.2.11 フラッシュ動作コントロールレジスタ (FLSTOP)

アドレス SYSTEM.FLSTOP 4001 E09Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	FLSTP F	—	—	—	FLSTO P
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLSTOP	フラッシュメモリ動作ON/OFF選択	0: コードフラッシュメモリとデータフラッシュメモリは動作 1: コードフラッシュメモリとデータフラッシュメモリは停止	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	FLSTPF	フラッシュメモリ動作ステータスフラグ	0: 遷移完了 1: 遷移中 (フラッシュ停止状態からフラッシュ動作状態へ、またはフラッシュ動作状態からフラッシュ停止状態へ)	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FLSTOP ビット (フラッシュメモリ動作 ON/OFF 選択)

フラッシュメモリを有効または無効にします。FLSTOP ビットは SRAM で実行されるプログラムによって書き込む必要があります。FLSTOP ビットが 1 のときに割り込みを使用する場合は、SRAM 内に割り込みベクタを配置してください。Low-voltage モードが選択されていない場合、本ビットを 0 にしてください。

- 注. フラッシュメモリの動作を開始するために FLSTOP ビットの値を 1 から 0 に変更した場合、フラッシュメモリへのアクセスを再開する前に、FLSTPF フラグが 0 であること、および OSCSF.HOCOSF が 1 であることを確認してください。その後、命令はコードフラッシュメモリで実行可能になります。
- 注. HOCOCR.HCSTP と OSCSF.HOCOSF が 0 (HOCO は発振安定待ちカウント中) の状態にあるとき、FLSTOP.FLSTOP への書き込みは禁止されます。

FLSTPF フラグ (フラッシュメモリ動作ステータス フラグ)

フラッシュ停止状態からフラッシュ動作状態へ、またはフラッシュ動作状態からフラッシュ停止状態への遷移状態を表します。遷移が完了したとき、本フラグを読むと 0 が読めます。フラッシュメモリ停止後、再度フラッシュメモリを使用する場合は、FLSTPF フラグが 0 であることを確認してから処理を進めてください。

10.2.12 システムコントロール OCD コントロールレジスタ (SYOCD CR)

アドレス SYSTEM.SYOCD CR 4001 E40Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	DBGEN	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DBGEN	デバッグ有効	0 : オンチップデバッグは無効 1 : オンチップデバッグは有効 オンチップデバッグモードで最初に1にしてください。	R/W

DBGEN ビット (デバッグ有効)

オンチップデバッグモードを有効にします。本ビットは、オンチップデバッグモードで最初に1にする必要があります。

[1 になる条件]

- デバッグの接続時に1を書いたとき

[0 になる条件]

- パワーオンリセットが発生したとき
- 0を書いたとき

10.3 クロックの切り替えによる消費電力の低減

クロック周波数は、下記ビットの設定により切り替わります。

- SCKDIVCR.FCK[2:0]
- ICK[2:0]
- PCKA[2:0]
- PCKB[2:0]
- PCKC[2:0]
- PCKD[2:0]

CPU、DMAC、DTC、フラッシュ、および SRAM は、ICK[2:0] ビットで設定された動作クロックを使用します。

周辺モジュールは、PCKA[2:0]、PCKB[2:0]、PCKC[2:0]、および PCKD[2:0] の各ビットで設定された動作クロックを使用します。

フラッシュメモリインタフェースは、FCK[2:0] ビットで設定された動作クロックを使用します。詳細は、「[8. クロック発生回路](#)」を参照してください。

10.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することが可能です。

MSTPCRA ~ MSTPCRD レジスタの MSTPmi ビット (m = A ~ D, i = 31 ~ 0) を 1 にすると、指定したモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は動作を継続します。MSTPmi ビットを 0 にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュール内部の状態が保持されます。

リセット解除後は、DMAC、DTC、および SRAM 以外の全モジュールがモジュールストップ状態になります。MSTPmi ビットが 1 であるときは、対応するモジュールにアクセスしないでください。そうでないと、そのモジュールに対するデータの読み出し/書き込みやモジュールの動作は保証されません。また、対応するモジュールにアクセス中であるときは、MSTPmi ビットを 1 にしないでください。

10.5 低消費電力機能

動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード時、スリープモード時、およびスヌーズモード時の消費電力を削減できます。

10.5.1 動作電力制御モードの設定方法

動作電力制御モードを切り替える場合は、その前後において、電圧範囲や周波数範囲などの動作条件が仕様範囲内に収まっていることを必ず確認してください。動作電力制御モードの切り替え手順例を以下に示します。表 10.5 に各モードで使用可能な発振子を示します。

表 10.5 各モードで使用可能な発振子

モード	発振器						
	PLL (注1)	高速オンチップオシレータ	中速オンチップオシレータ	低速オンチップオシレータ	メインクロック発振器	サブクロック発振器	IWDT専用オンチップオシレータ
High-speed	可能	可能	可能	可能	可能	可能	可能
Middle-speed	可能	可能	可能	可能	可能	可能	可能
Low-voltage	不可能	可能	可能	可能	可能	可能	可能
Low-speed	不可能	可能	可能	可能	可能	可能	可能
Subosc-speed	不可能	不可能	不可能	可能	不可能	可能	可能

注 1. PLL の VCC 範囲は 2.4 ~ 5.5V です。

(1) 消費電力が大きいモードから小さいモードへ切り替える場合

例 1 : High-speed モードから Low-speed モードへの切り替え

最初は High-speed モードで動作しています。

1. フラッシュキャッシュが High-speed モードでキャッシュャブルなときに、FCACHEE.FCACHEEN をリセットしてフラッシュキャッシュを禁止する。
2. 発振器を Low-speed モードで使用するものに変更する。各クロックの周波数を、Low-speed モードにおける最大動作周波数以下にする。
3. Low-speed モードで不要な発振器をオフにする。
4. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
5. OPCCR.OPCM ビットを 11b (Low-speed モード) に設定する。
6. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
7. フラッシュキャッシュが Low-speed モードでキャッシュャブルなときに、以下の手順で設定してください。
 - a. FCACHEIV.FCACHEIV を設定してフラッシュキャッシュをインバリデートする。
 - b. FCACHEIV.FCACHEIV ビットが 0 であることを確認する。
 - c. FCACHEE.FCACHEEN ビットを設定してフラッシュキャッシュを許可する。

動作は Low-speed モードになります。

例 2 : High-speed モードから Subosc-speed モードへの切り替え

最初は High-speed モードで動作しています。

1. フラッシュキャッシュが High-speed モードでキャッシュャブルなときに、FCACHEE.FCACHEEN をリセットしてフラッシュキャッシュを禁止する。
2. クロックソースをサブクロック発振器に切り替える。
3. HOCO、MOCO、メイン発振器、および PLL をオフにする。
4. サブクロック発振器以外の全クロックソースが停止していることを確認する。
5. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
6. SOPCCR.SOPCM ビットを 1 (Subosc-speed モード) にする。
7. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
8. フラッシュキャッシュが Subosc-speed モードでキャッシュャブルなときに、以下の手順で設定してください。
 - a. FCACHEIV.FCACHEIV を設定してフラッシュキャッシュをインバリデートする。
 - b. FCACHEIV.FCACHEIV が 0 であることを確認します。
 - c. FCACHEE.FCACHEEN を設定してフラッシュキャッシュを許可します。

動作は Subosc-speed モードになります。

(2) 消費電力が小さいモードから大きいモードへ切り替える場合

例 1 : Subosc-speed モードから High-speed モードへの切り替え

最初は Subosc-speed モードで動作しています。

1. フラッシュキャッシュが Subosc-speed モードでキャッシュャブルなときに、FCACHEE.FCACHEEN ビットをリセットしてフラッシュキャッシュを禁止する。
2. SOPCCR.SOPCMSF フラグが 0 (遷移完了) であることを確認する。
3. SOPCCR.SOPCM ビットを 0 (High-speed モード) にする。
4. SOPCCR.SOPCMSF フラグが 0 (遷移完了) であることを確認する。
5. High-speed モードに必要な発振器をオンにする。
6. 各クロックの周波数を、High-speed モードにおける最大動作周波数以下にする。
7. フラッシュキャッシュ High-speed モードでキャッシュャブルなときに、以下の手順で設定してください。
 - a. FCACHEIV.FCACHEIV を設定してフラッシュキャッシュをインバリデートする。
 - b. FCACHEIV.FCACHEIV が 0 であることを確認する。
 - c. FCACHEE.FCACHEEN を設定してフラッシュキャッシュを許可する。

動作は High-speed モードになります。

例 2 : Low-speed モードから High-speed モードへの切り替え

最初は Low-speed モードで動作しています。

1. フラッシュキャッシュが Low-speed モードでキャッシュャブルなときに、FCACHEE.FCACHEEN をリセットしてフラッシュキャッシュを禁止する。
2. OPCCR.OPCMSF フラグが 0 (遷移完了) であることを確認する。
3. OPCCR.OPCM ビットを 00b (High-speed モード) にする。
4. OPCCR.OPCMSF フラグが 0 (遷移完了) であることを確認する。
5. High-speed モードに必要な発振器をオンにする。
6. 各クロックの周波数を、High-speed モードにおける最大動作周波数以下にする。
7. フラッシュキャッシュ High-speed モードでキャッシュャブルなときに、以下の手順で設定してください。
 - a. FCACHEIV.FCACHEIV を設定してフラッシュキャッシュをインバリデートする。
 - b. FCACHEIV.FCACHEIV が 0 であることを確認する。
 - c. FCACHEE.FCACHEEN を設定してフラッシュキャッシュを許可する。

動作は High-speed モードになります。

10.5.2 動作範囲

High-speed モード

フラッシュリード時の最大動作周波数は、ICLK では 48MHz、FCLK では 32MHz です。フラッシュリード時の動作電圧範囲は 2.4 ~ 5.5V です。ただし、ICLK と FCLK では、動作電圧が 2.4V 以上かつ 2.7V 未満の場合、フラッシュリード時の最大動作周波数は 16MHz になります。

フラッシュプログラムおよびイレース時では、動作周波数範囲は 1 ~ 48MHz、動作電圧範囲は 2.7 ~ 5.5V です。

動作電圧が 2.4V 以上の場合、PLL が使用可能です。

図 10.2 に、High-speed モードにおける動作電圧と動作周波数を示します。

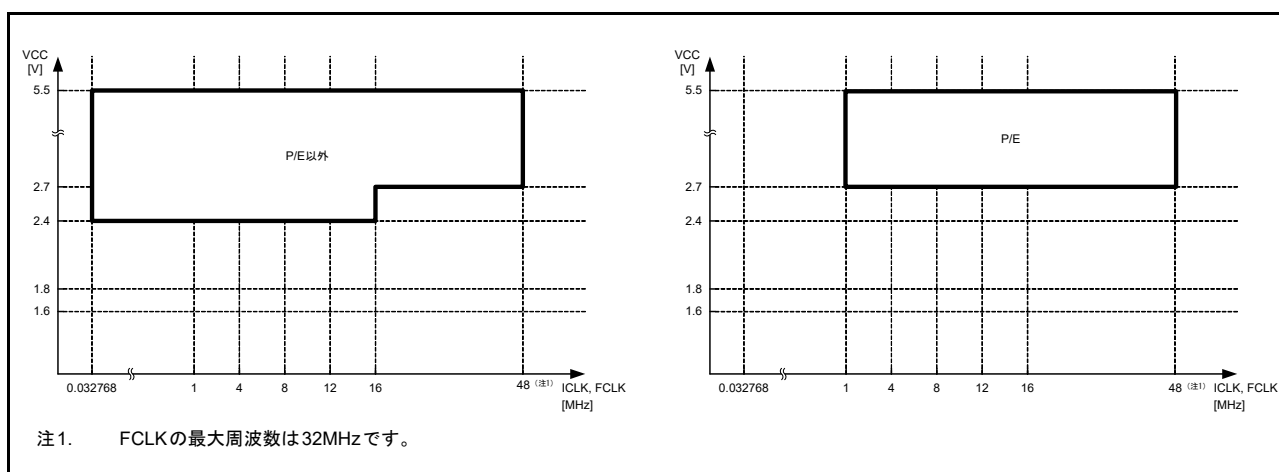


図 10.2 High-speed モードにおける動作電圧と動作周波数

Middle-speed モード

このモードでは、同じ条件下で High-speed モードよりも消費電力を低減できます。

フラッシュリード時の最大動作周波数は、ICLK と FCLK で 12MHz です。フラッシュリード時の動作電圧範囲は 1.8 ~ 5.5V です。ただし、ICLK と FCLK では、動作電圧が 1.8V 以上かつ 2.4V 未満の場合、フラッシュリード時の最大動作周波数は 8MHz になります。

フラッシュプログラムおよびイレース時では、動作周波数範囲は 1 ~ 12MHz で、動作電圧範囲は 1.8 ~ 5.5V です。動作電圧が 1.8V 以上かつ 2.4V 未満の場合、フラッシュプログラムおよびイレース時の最大動作周波数は 8MHz になります。動作電圧が 2.4V 以上の場合、PLL が使用可能です。

図 10.3 に、Middle-speed モードにおける動作電圧と動作周波数を示します。

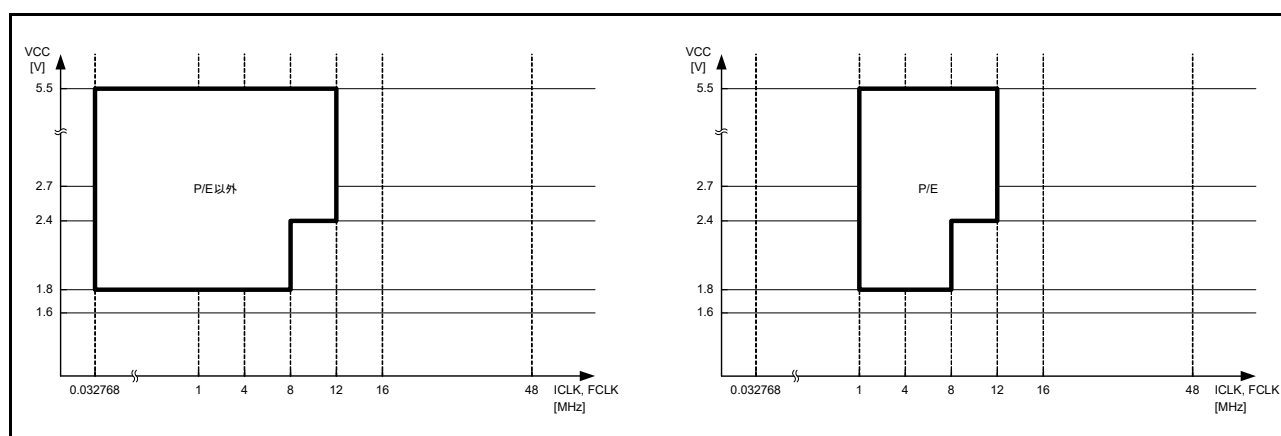


図 10.3 Middle-speed モードにおける動作電圧と動作周波数

Low-voltage モード

リセット解除後、このモードで動作が開始されます。PLL は使用禁止です。

フラッシュリード時の最大動作周波数は、ICLK と FCLK で 4MHz です。フラッシュリード時の動作電圧範囲は 1.6 ~ 5.5V です。

フラッシュプログラムおよびイレース時では、動作周波数範囲は 1 ~ 4MHz で、動作電圧範囲は 1.8 ~ 5.5V です。PLL は使用禁止です。

図 10.4 に、Low-voltage モードにおける動作電圧と動作周波数を示します。

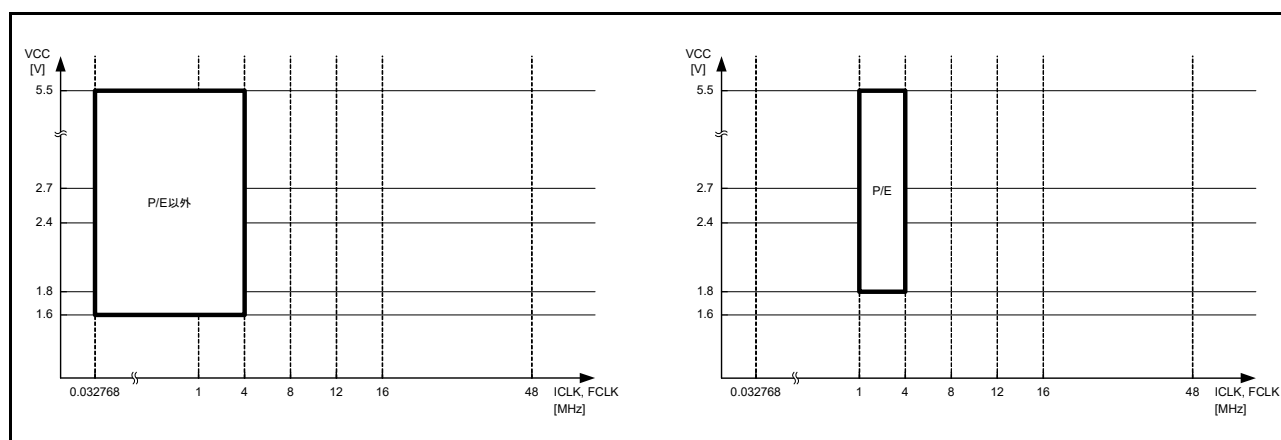


図 10.4 Low-voltage モードにおける動作電圧と動作周波数

Low-speed モード

フラッシュリード時の最大動作周波数は、ICLK と FCLK で 1MHz です。フラッシュリード時の動作電圧範囲は 1.8 ~ 5.5V です。

フラッシュメモリの P/E 動作は禁止です。PLL は使用禁止です。

図 10.5 に、Low-speed モードにおける動作電圧と動作周波数を示します。

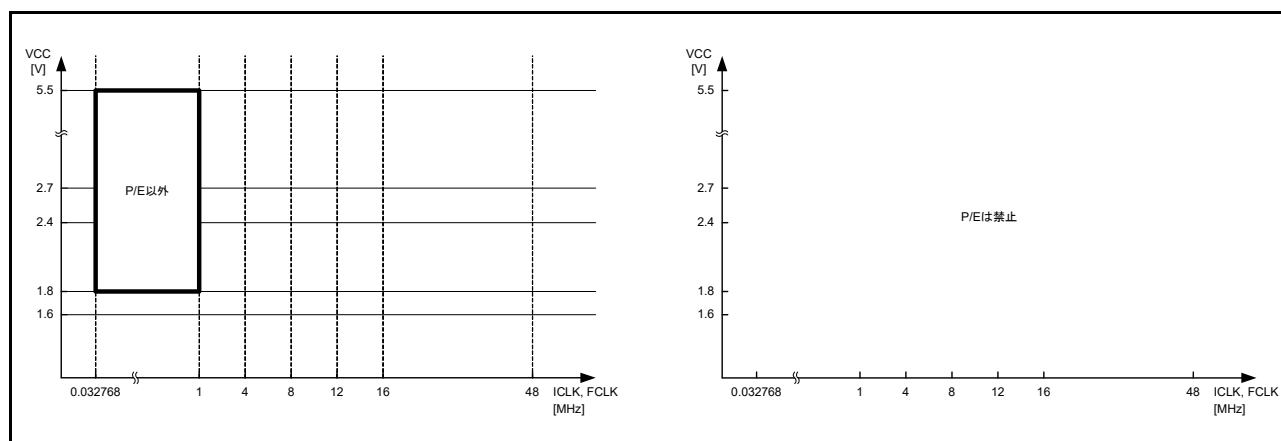


図 10.5 Low-speed モードにおける動作電圧と動作周波数

Subosc-speed モード

フラッシュリード時の最大動作周波数は、ICLK と FCLK で 37.6832kHz です。フラッシュリード時の動作電圧範囲は 1.8 ~ 5.5V です。

フラッシュメモリの P/E 動作は禁止です。サブクロック発振器と低速オンチップオシレータ以外の発振器は使用禁止です。

図 10.6 に、Subosc-speed モードにおける動作電圧と動作周波数を示します。

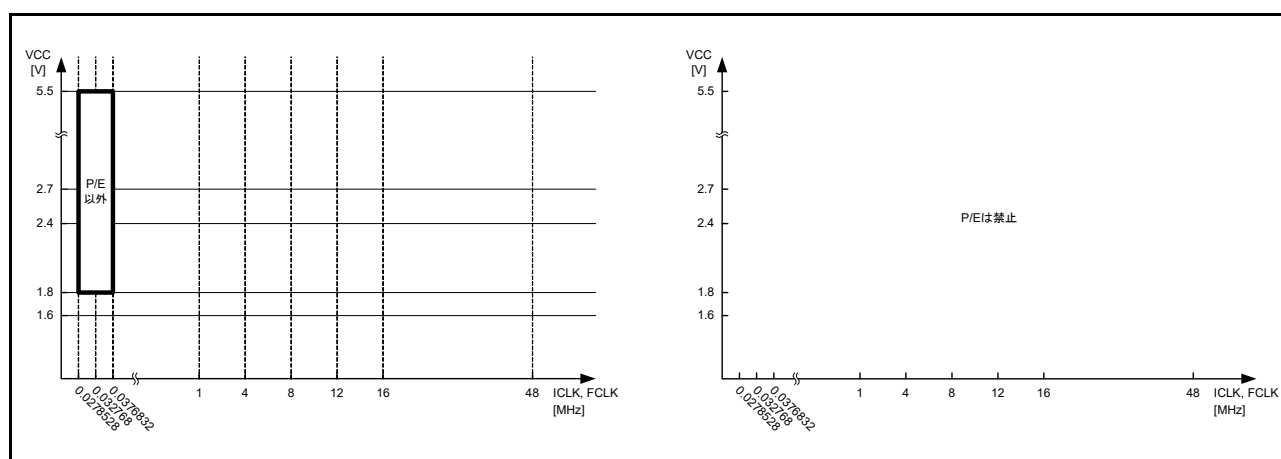


図 10.6 Subosc-speed モードにおける動作電圧と動作周波数

10.6 スリープモード

10.6.1 スリープモードへの遷移

SBYCR.SSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はスリープモードへ遷移します。このモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。スリープモードで利用可能なリセットまたは割り込みが発生すると、スリープモードが解除されます。すべての割り込み要因が利用可能です。割り込みを使用してスリープモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止) の場合、MCU がスリープモードへ遷移すると IWDT はカウントを停止します。IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続) の場合、MCU がスリープモードへ遷移しても IWDT はカウントを継続します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 1 (スリープモード時に WDT カウント停止) の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。同様に、WDT がレジスタスタートモードであり、かつ WDTCS1PR.SLCSTP ビットが 1 (スリープモード時に WDT カウント停止) の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 0 (スリープモード時に WDT カウント継続) の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。同様に、WDT がレジスタスタートモードであり、かつ WDTCS1PR.SLCSTP ビットが 0 (スリープモード時に WDT カウント継続) の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。

10.6.2 スリープモードの解除

スリープモードは、以下の割り込みにより解除されます：

- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- SRAM パリティエラーリセット
- SRAM ECC エラーリセット
- バスマスタ MPU エラーリセット
- バススレーブ MPU エラーリセット
- IWDT または WDT アンダーフローによるリセット

動作は以下の通りです：

1. 割り込みによる解除
割り込み要求が発生すると、スリープモードが解除されて、MCU は割り込み処理を開始します。
2. RES 端子リセットによる解除
RES 端子を Low にすると、MCU はリセット状態になります。「[48. 電气的特性](#)」に示す規定の期間に従って、RES 端子を Low に保つようしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。

3. IWDT リセットによる解除

IWDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、スリープモード時に IWDT が停止して、スリープモードを解除するための内部リセットが発生しません。

- OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1

4. WDT リセットによる解除

WDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、通常モード時にカウントしている場合でも WDT はスリープモードで停止して、スリープモードを解除するための内部リセットが発生しません。

- OFS0.WDTSTRT = 0 (オートスタートモード) かつ OFS0.WDTSTPCTL = 1
- OFS0.WDTSTRT = 1 (レジスタスタートモード) かつ WDTCSTPR.SLCSTP = 1

5. スリープモードで利用可能な他のリセットによる解除

その他の利用可能なリセットによってスリープモードは解除され、MCU はリセット例外処理を開始します。

注 . 割り込みの正しい設定方法については、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

10.7 ソフトウェアスタンバイモード

10.7.1 ソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1 の状態で WFI 命令を実行すると、MCU はソフトウェアスタンバイモードへ遷移します。このモードでは、CPU、ほとんどの内蔵周辺機能、および発振器が停止します。ただし、CPU の内部レジスタの値と SRAM データ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、ほとんどの発振器が停止するため、消費電力が大幅に削減されます。表 10.2 には、各内蔵周辺機能と発振器の状態が示されています。ソフトウェアスタンバイモードで利用可能なリセットまたは割り込みが発生すると、ソフトウェアスタンバイモードが解除されます。利用可能な割り込み要因については表 10.3 を、ソフトウェアスタンバイモードから復帰させる方法については、13.2.9 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。割り込みを使用してソフトウェアスタンバイモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

スヌーズモード時に DTC を使用する場合を除き、DMAST.DMST ビットと DTCST.DTCST ビットを 0 に設定してから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止) の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続) の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続します。

MCU がソフトウェアスタンバイモードへ遷移すると、WDT はカウントを停止します。

OSTDCR.OSTDE = 1 (発振停止検出機能が有効) の状態で、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、発振停止検出機能を無効 (OSTDCR.OSTDE = 0) にした後、WFI 命令を実行してください。OSTDCR.OSTDE = 1 の状態で WFI 命令を実行すると、SBYCR.SSBY = 1 であっても、MCU はスリープモードへ遷移します。また、フラッシュメモリのプログラム/イレース処理中は、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、プログラム/イレース処理が完了してから WFI 命令を実行してください。

10.7.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、以下の割り込みにより解除されます。

- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- IWDT アンダーフローによるリセット

ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰します。ソフトウェアスタンバイモードから復帰させる方法については、[13.2.9 ウェイクアップ割り込みイネーブルレジスタ \(WUPEN\)](#) を参照してください。

以下の方法のいずれかによって、ソフトウェアスタンバイモードを解除できます。

1. 割り込みによる解除
利用可能な割り込み要求 ([表 10.3](#) を参照) が発生すると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰し、割り込み処理を開始します。
2. RES 端子リセットによる解除
RES 端子を Low にすると、MCU はリセット状態に遷移し、デフォルト状態で動作している発振器が発振を開始します。「[48. 電气的特性](#)」に示す規定の期間に従って、RES 端子を Low に保つようしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. パワーオンリセットによる解除
パワーオンリセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
4. 電圧監視リセットによる解除
電圧検出回路による電圧監視リセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
5. IWDT リセットによる解除
IWDT アンダーフローによる内部リセットが発生すると、ソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。ただし、下記の条件下では、ソフトウェアスタンバイモード時に IWDT が停止して、ソフトウェアスタンバイモードを解除するための内部リセットが発生しません。
 - OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1

10.7.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジ検出時のソフトウェアスタンバイモードへの遷移と、IRQn 端子の立ち上がりエッジによるソフトウェアスタンバイモードの解除の例を図 10.7 に示します。

この例では、通常モードにおいて、ICU の IRQCRi.IRQMD[1:0] ビットが 00b (立ち下がりエッジ) の状態で IRQn 端子の割り込みを受け付けた後、IRQCRi.IRQMD[1:0] ビットを 01b (立ち上がりエッジ) にしています。続いて、SBYCR.SSBY ビットを 1 にした後、WFI 命令を実行しています。その結果、ソフトウェアスタンバイモードへの遷移が完了し、その後、IRQn 端子の立ち上がりエッジによってソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、ICU の設定も必要になります。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。図 10.7 の発振安定時間については、「48. 電気的特性」に示されています。

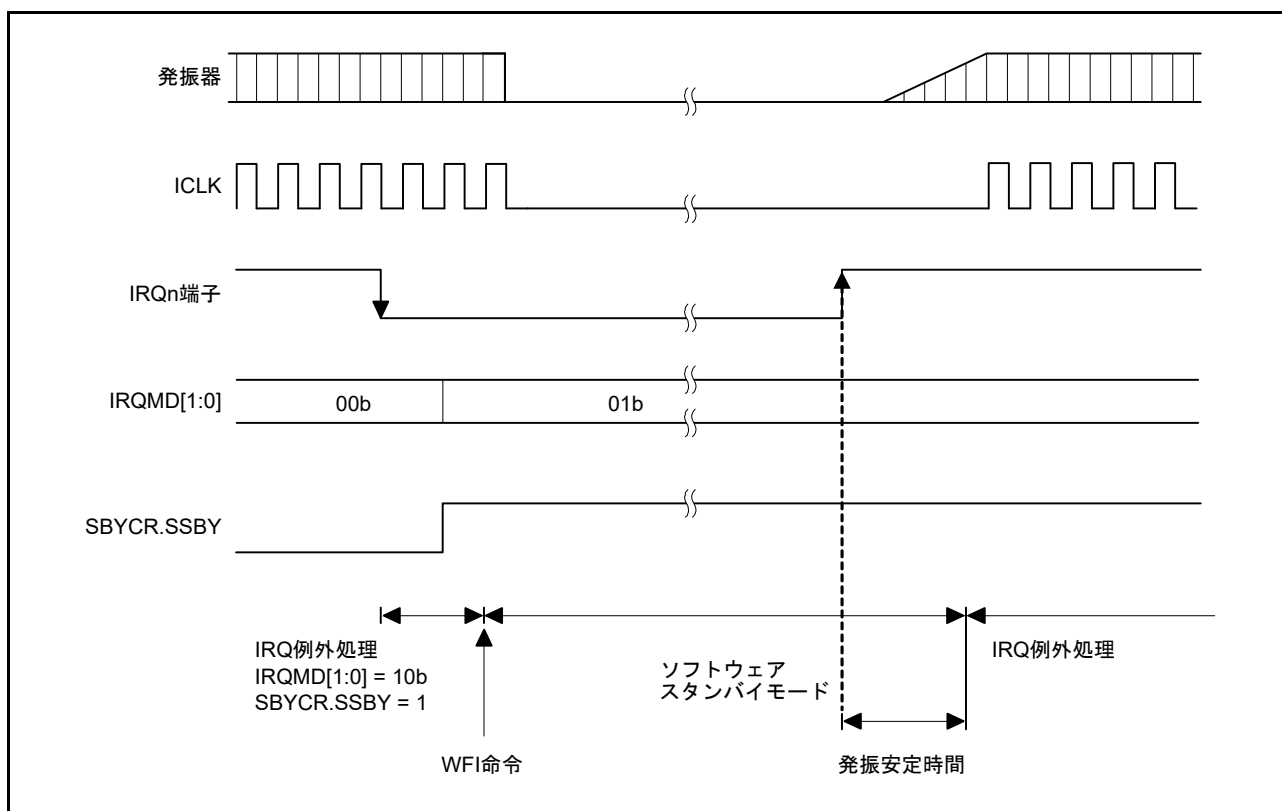


図 10.7 ソフトウェアスタンバイモードの応用例

10.8 スヌーズモード

10.8.1 スヌーズモードへの遷移

図 10.8 に、スヌーズモードエントリの構成を示します。ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。このモードでは、CPU が復帰していなくても一部の周辺モジュールは動作します。スヌーズモードで動作可能な周辺モジュールを、表 10.2 各低消費電力モードの動作状態に示します。また、スヌーズモード時の DTC の動作は、SNZCR.SNZDTCEN ビットで選択できます。

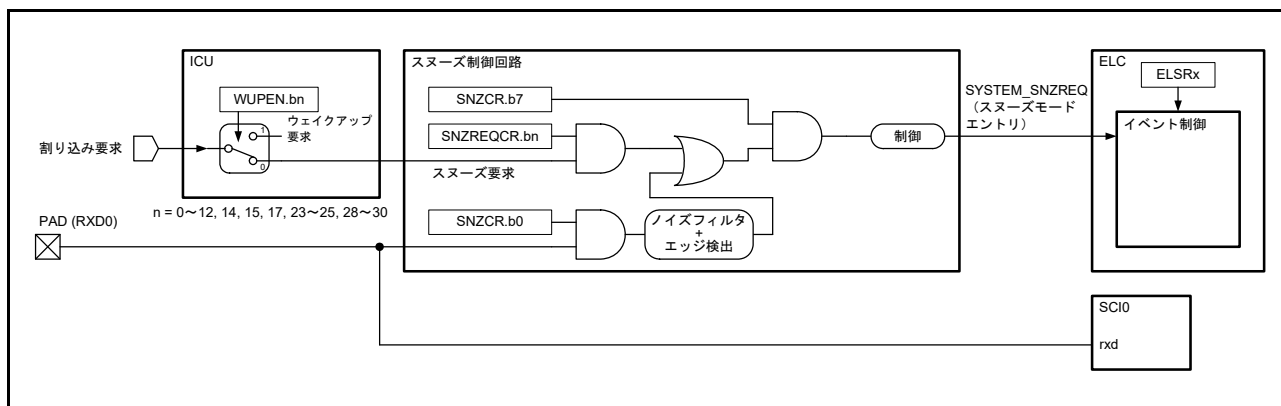


図 10.8 スヌーズモードエントリの構成

表 10.6 に、ソフトウェアスタンバイモードからスヌーズモードへの切り替えに利用可能なスヌーズ要求を示します。これらのスヌーズ要求をスヌーズモードへ切り替えるためのトリガとして使用するには、ソフトウェアスタンバイモードへ遷移する前に、SNZREQCR レジスタの対応する SNZREQENn ビット、または SNZCR レジスタの RXDREQEN ビットを設定する必要があります。

注 . 同時に複数のスヌーズ要求を有効にしないでください。

表 10.6 スヌーズモードへの切り替えに利用可能なスヌーズ要求

スヌーズ要求	コントロールレジスタ	
	レジスタ	ビット
PORT_IRQn (n = 0 ~ 12, 14, 15)	SNZREQCR	SNZREQENn (n = 0 ~ 12, 14, 15)
KEY_INTKR	SNZREQCR	SNZREQEN17
ACMP_LP0	SNZREQCR	SNZREQEN23
RTC_ALM	SNZREQCR	SNZREQEN24
RTC_PRD	SNZREQCR	SNZREQEN25
AGT1_AGTI	SNZREQCR	SNZREQEN28
AGT1_AGTCMAI	SNZREQCR	SNZREQEN29
AGT1_AGTCMBI	SNZREQCR	SNZREQEN30
RXD0 立ち下がりがエッジ	SNZCR	RXDREQEN (注1)

注 1. 調歩同期式モード以外の場合、RXDREQEN ビットを 1 にしないでください。

10.8.2 スヌーズモードの解除

スヌーズモードは、ソフトウェアスタンバイモードで利用可能な割り込み要求、またはすべてのリセットで解除されます。各モードを解除するために使用可能な要求を、表 10.3 に示します。スヌーズモードの解除後、MCU は通常モードへ遷移して、該当の割り込みまたはリセットの例外処理を開始します。SELSR0 レジスタで選択した割り込み要求によって引き起こされる動作が、スヌーズモードを解除します。スヌーズモードを解除するための割り込みは、対応する割り込み処理の NVIC とリンクさせるため、IELSRn (n = 0 ~ 31) で選択する必要があります。SELSR0 レジスタと IELSRn レジスタについては、「13. 割り込みコントローラユニット (ICU)」を参照してください。

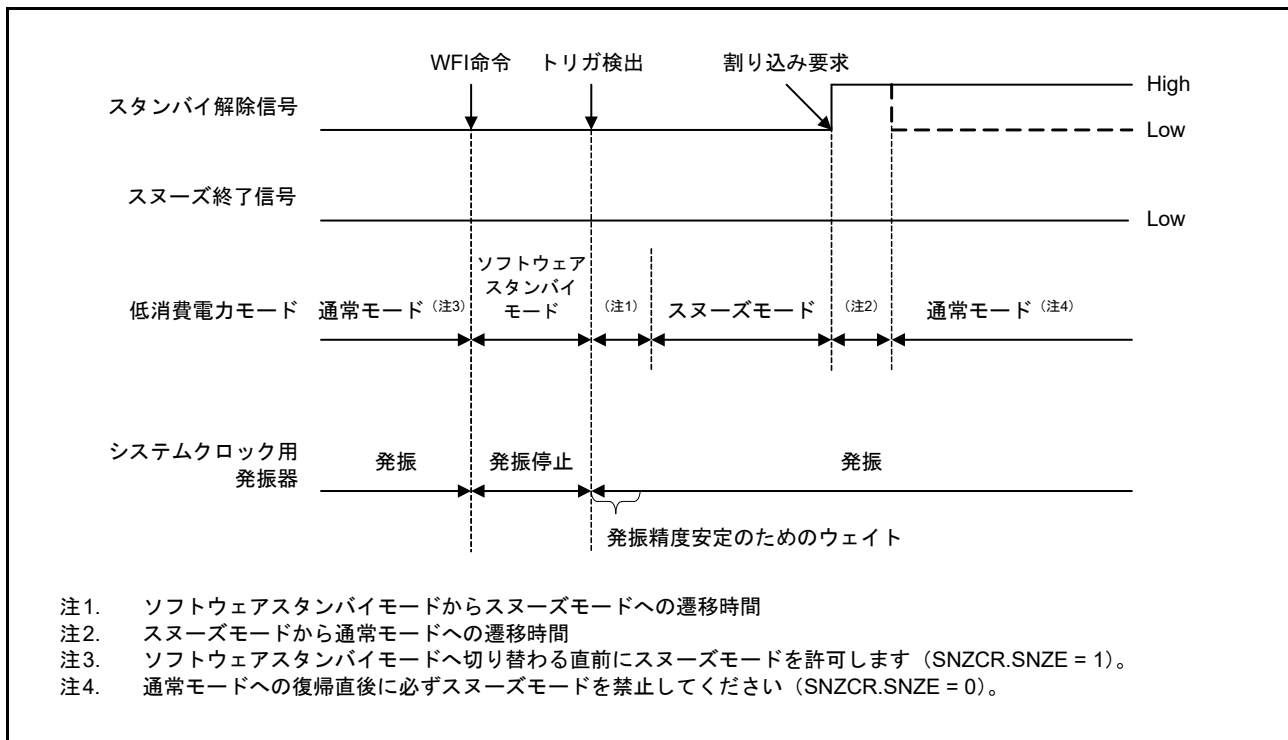


図 10.9 スヌーズモード時に割り込み要求信号が発生する場合

10.8.3 ソフトウェアスタンバイモードへの復帰

表 10.7 に、ソフトウェアスタンバイモードへ復帰するためのトリガとして使用可能なスヌーズ終了要求を示します。スヌーズ終了要求は、スヌーズモードでのみ利用可能です。MCU がスヌーズモード状態でないときに要求が発生しても、それらは無視されます。複数の要求を選択した場合、それぞれの要求がスヌーズモードからソフトウェアスタンバイモードへの遷移を行います。

表 10.8 に、スヌーズ終了条件を構成するスヌーズ終了要求と周辺モジュールの条件を示します。CTSU、SCI0、ADC140、および DTC モジュールは、それらの動作が完了するまで MCU をスヌーズモード状態に保ちます。ただし、ソフトウェアスタンバイモードへの復帰トリガとしての AGT1 アンダーフローは、SCI0 の動作完了を待たずにスヌーズモードを解除します。

図 10.10 に、スヌーズモードからソフトウェアスタンバイモードへ遷移する際のタイミング図を示します。このようなモード遷移は、SNZEDCR レジスタで設定したスヌーズ終了要求に従って発生します。ソフトウェアスタンバイモードへ遷移後、スヌーズ要求は自動的にクリアされます。

表 10.7 利用可能なスヌーズ終了要求（ソフトウェアスタンバイモードへの遷移トリガ）

スヌーズ終了要求	許可/禁止制御	
	レジスタ	ビット
AGT1 アンダーフローまたは測定終了 (AGT1_AGTI)	SNZEDCR	bit [0]
DTC 転送終了時 (DTC_COMPLETE)	SNZEDCR	bit [1]
DTC 転送終了前 (DTC_TRANSFER)	SNZEDCR	bit [2]
ADC140 ウィンドウ A/B コンペアマッチ (ADC140_WCMPPM)	SNZEDCR	bit [3]
ADC140 ウィンドウ A/B コンペア不一致 (ADC140_WCMPUM)	SNZEDCR	bit [4]
SCI0 アドレス不一致 (SCI0_DCUF)	SNZEDCR	bit [7]

表 10.8 スヌーズ終了条件

スヌーズ終了要求発生時の動作モジュール	スヌーズ終了要求	
	AGT1 アンダーフロー	AGT1 アンダーフロー以外
DTC	左記の全モジュールの動作完了後、MCU はソフトウェアスタンバイモードへ遷移する。	左記の全モジュールの動作完了後、MCU はソフトウェアスタンバイモードへ遷移する。
ADC140		
CTSU		
SCI0	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。	
その他の全モジュール	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。	

注． DTC を用いて ADC140、CTSU、または SCI を起動した場合は、スヌーズ終了要求の発生後、MCU はソフトウェアスタンバイモードへ遷移します。

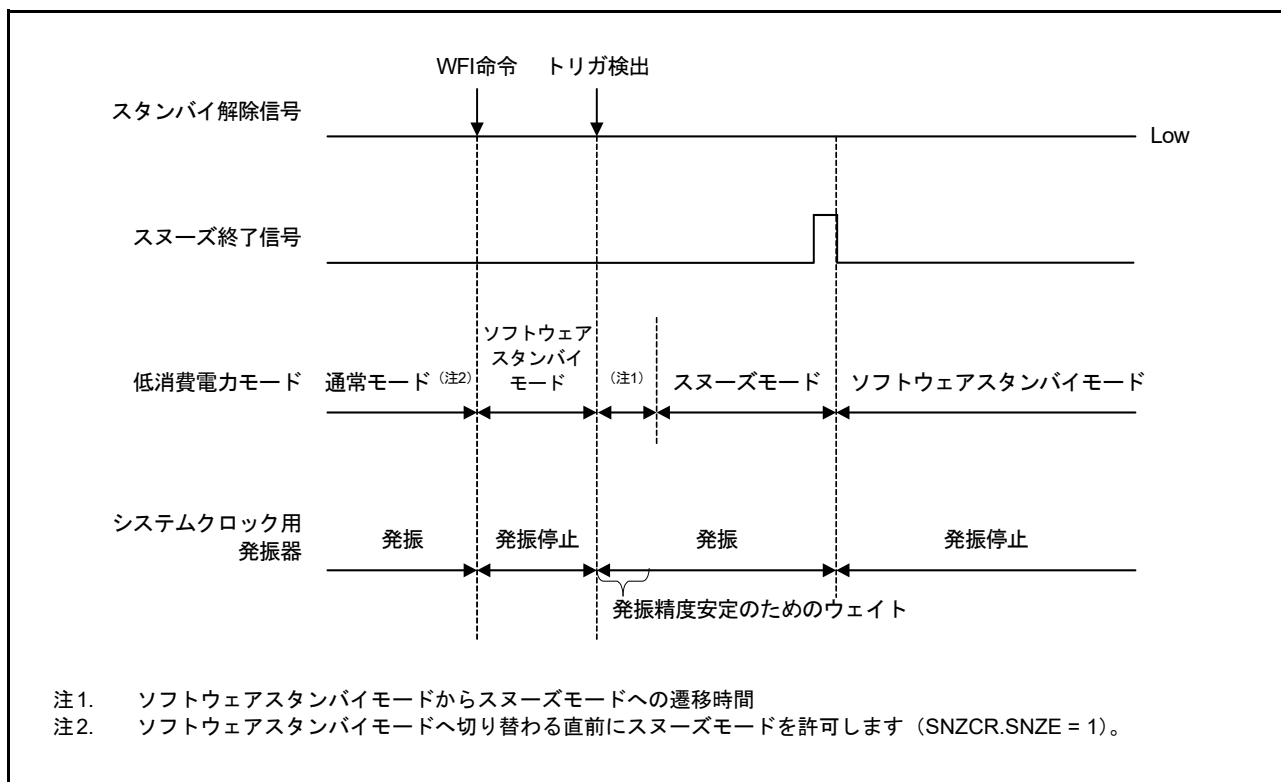


図 10.10 割り込み要求信号が発生しない場合のスヌーズモードの解除

10.8.4 スヌーズモードの動作例

図 10.11 に、スヌーズモードで ELC を使用する場合の設定例を示します。

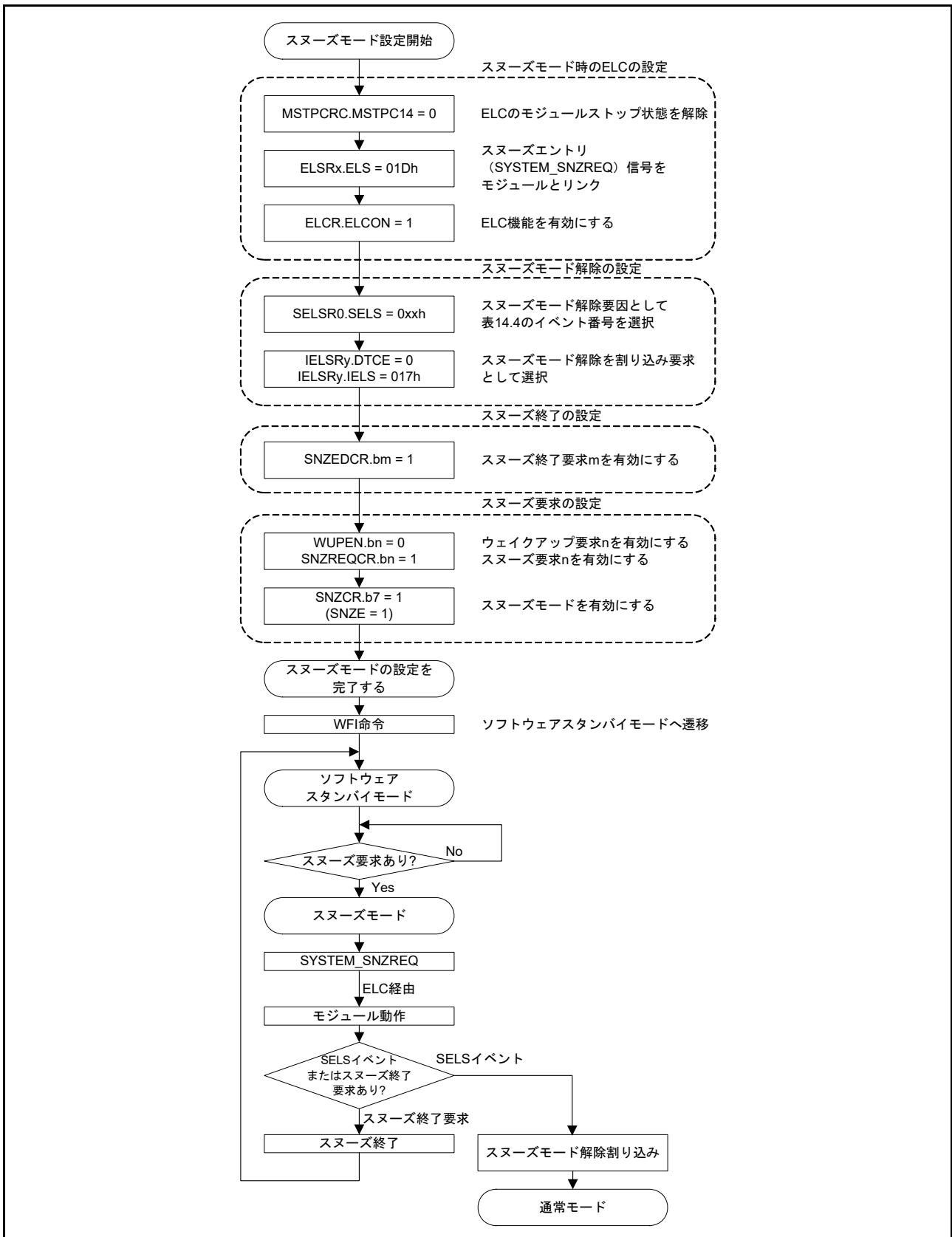


図 10.11 スヌーズモードで ELC を使用するための設定例

本 MCU は、CPU を介さずに SCI0 の調歩同期式モードでデータの送受信が可能です。スヌーズモードで SCI0 を使用する場合は、以下の動作モードのいずれかを使用してください。

- High-speed モード
- Middle-speed モード
- Low-speed モード

Low-voltage モードと Subosc-speed モードは使用しないでください。

表 10.9 および表 10.10 に、スヌーズモードにおける SCI0 の最大転送速度を示します。

スヌーズモードで SCI0 を使用する場合は以下のビットを設定してください。

- BGDM ビットを 0
- ABCS ビットを 0
- ABCSE ビットを 0

詳細は、「28. シリアルコミュニケーションインタフェース (SCI)」を参照してください。

High-speed モード、Middle-speed モード、Low-speed モード

表 10.9 HOCO: $\pm 1.0\%$ ($T_a = -20 \sim +85^\circ\text{C}$)

(単位 : bps)

ICLK, PCLKA, PCLKB, PCLKC, PCLKD, FCLK, TRCLKの最大分周比	HOCO周波数			
	24MHz	32MHz	48MHz	64MHz
1	9600 (注1)	—	—	—
2	9600 (注2)	9600 (注4)	4800	—
4	9600 (注3)	9600 (注5)	4800	2400
8	4800	4800	4800	2400
16	4800	4800	4800	2400
32	2400	2400	2400	2400
64	2400	2400	2400	2400

注 1. 9600bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 3Dh、SCI0.MDDR = CEh を使用する必要があります。

注 2. 9600bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 1Eh、SCI0.MDDR = CEh を使用する必要があります。

注 3. 9600bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0Dh、SCI0.MDDR = BAh を使用する必要があります。

注 4. 9600bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 32h、SCI0.MDDR = FEh を使用する必要があります。

注 5. 9600bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 18h、SCI0.MDDR = F9h を使用する必要があります。

High-speed モード、Middle-speed モード、Low-speed モード

表 10.10 HOCO: $\pm 2.0\%$ ($T_a = -40 \sim -20^\circ\text{C}$ 、 $+85 \sim +105^\circ\text{C}$)

(単位 : bps)

ICLK, PCLKA, PCLKB, PCLKC, PCLKD, FCLK, TRCLKの最大分周比	HOCO周波数			
	24MHz	32MHz	48MHz	64MHz
1	2400	—	—	—
2	2400	2400	2400	—
4	2400	2400	2400	1200
8	2400	2400	2400	1200
16	2400	2400	2400	1200
32	1200	1200	1200	1200
64	1200	1200	1200	1200

図 10.12 に、スヌーズモードエントリで SCI0 を使用する場合の設定例を示します。

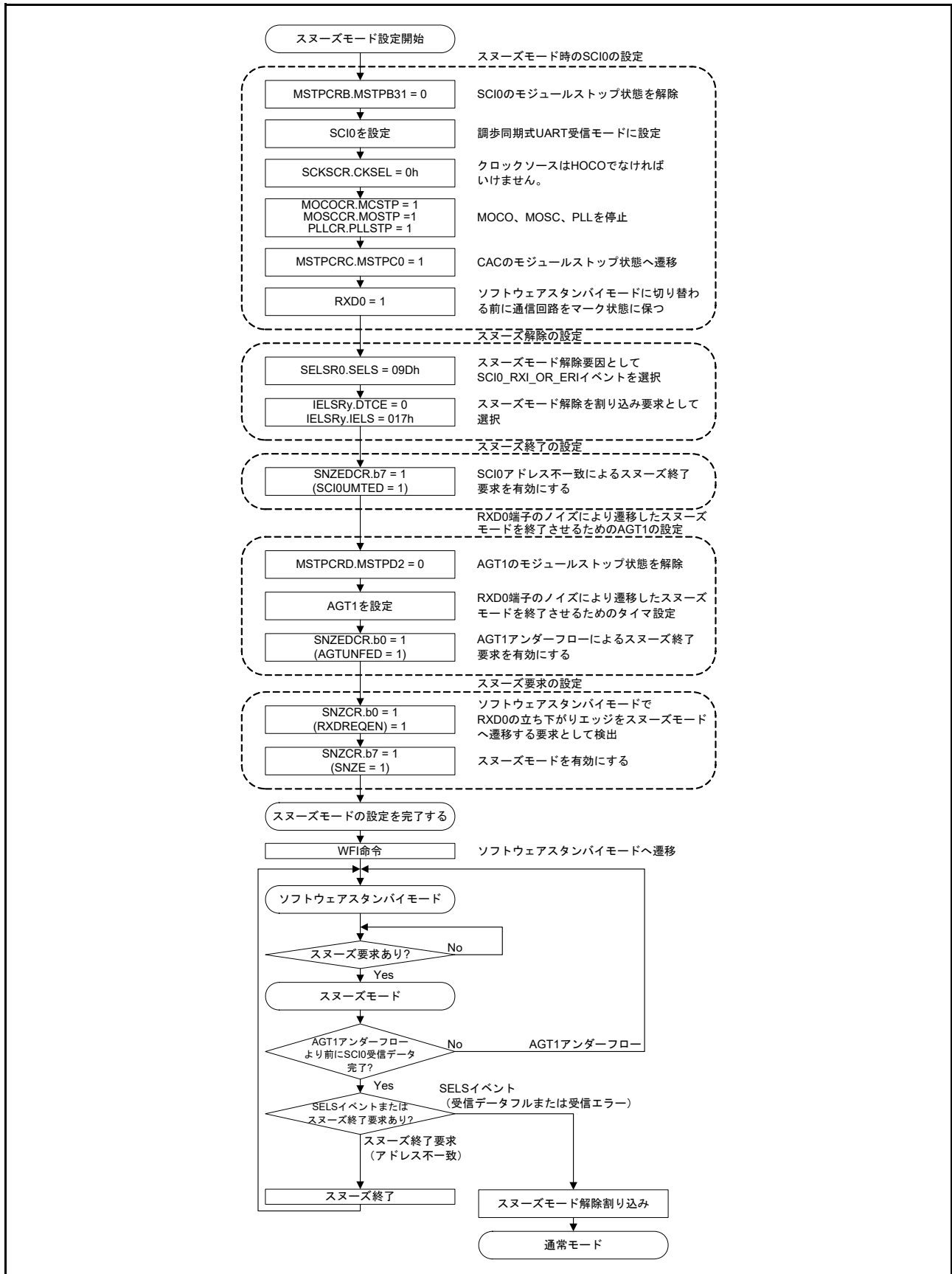


図 10.12 スヌーズモードエントリで SCI0 を使用するための設定例

10.9 使用上の注意事項

10.9.1 レジスタアクセス

(1) 特定モードの期間中または遷移中の無効なレジスタへのライトアクセス

下記の条件のいずれかに当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- SYSTEM という周辺名をもつ全レジスタ

[条件]

- OPCCR.OPCMTSF = 1 または SOPCCR.SOPCMTSF = 1 (動作電力制御モードへの遷移中)
- WFI 命令の実行から、通常モードへ復帰するまでの期間中
- FENTRYR.FENTRY0 = 1 または FENTRYR.FENTRYD = 1 (フラッシュ P/E モード、データフラッシュ P/E モード)
- FLSTOP.FLSTPF = 1 (遷移中)

(2) クロック関連レジスタの有効な設定値

表 10.11 と表 10.12 に、各動作電力制御モードにおけるクロック関連レジスタの有効な設定値を示します。これら有効な設定値以外を書き込まないようにしてください。書き込んでも無視されます。また、各レジスタには、動作電力制御モード以外の特定の条件下で禁止される設定値もあります。各レジスタに対する他の条件については、「8. クロック発生回路」を参照してください。

表 10.11 クロック関連レジスタに対する有効な設定値 (1)

モード	有効な設定値								
	SCKSCR. CKSEL[2:0], CKOCR. CKOSEL[2:0]	SCKDIVCR. FCK[2:0], SCKDIVCR. ICK[2:0]	SLCDSCKCR. LCDSCSEL[2:0]	PLLCR. PLLSTP	HOCOGR. HCSTP	MOCOGR. MCSTP	LOCOGR. LCSTP	MOSCCR. MOSTP	SOSCCR. SOSTP
High-speed, Middle-speed	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (MOSC) 100b (SOSC) 101b (PLL) (注1)	000b (1/1) 001b (1/2) 010b (1/4) 011b (1/8) 100b (1/16) 101b (1/32) 110b (1/64)	000b (LOCO) 001b (SOSC) 010b (MOSC) 100b (HOCO)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)
Low-speed, Low-voltage	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (MOSC) 100b (SOSC)			1 (停止)					
Subosc-speed	010b (LOCO) 100b (SOSC)	000b (1/1)	000b (LOCO) 001b (SOSC)	1 (停止)	1 (停止)	1 (停止)	0 (動作) 1 (停止)	1 (停止)	0 (動作) 1 (停止)

注 1. SCKSCR.CKSEL[2:0] のみ

表 10.12 クロック関連レジスタの有効な設定値 (2)

動作発振器	有効な設定値	
	SOPCCR.SOPCM	OPCCR.OPCM[1:0]
PLL	0	00b, 01b
高速オンチップオシレータ	0	00b, 01b, 10b, 11b
中速オンチップオシレータ		
メインクロック発振器	0, 1	00b, 01b, 10b, 11b
低速オンチップオシレータ		
サブクロック発振器		
IWDT専用オンチップオシレータ		

(3) Subosc-speed モードにおける無効なレジスタへのライトアクセス

下記の条件に当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- SCKSCR, OPCCR

[条件]

- SOPCCR.SOPCM = 1 (Subosc-speed モード)

(4) DTC または DMAC による無効なレジスタへのライトアクセス

DTC または DMAC によって、下記のレジスタに書き込まないでください。

[レジスタ]

- MSTPCRA

(5) スヌーズモードにおける無効なレジスタへのライトアクセス

スヌーズモード時に、下記のレジスタに書き込まないでください。これらのレジスタの設定は、ソフトウェアスタンバイモードへ遷移する前に行ってください。

[レジスタ]

- SNZCR, SNZEDCR, SNZREQCR

(6) FLSTOP.FLSTOP ビットを 1 に設定する無効なライトアクセス

下記の条件のいずれかに当てはまる場合、FLSTOP.FLSTOP ビットを 1 にしないでください。

[条件]

- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 00b (High-speed モード)
- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 01b (Middle-speed モード)
- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 11b (Low-speed モード)
- SOPCCR.SOPCM = 1 (Subosc-speed モード)

(7) MEMWAIT.MEMWAIT ビットを 1 に設定する無効なライトアクセス

下記の条件のいずれかに当てはまる場合、MEMWAIT.MEMWAIT ビットを 1 にしないでください。

[条件]

- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 01 (Middle-speed モード)
- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 10 (Low-voltage モード)
- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 11 (Low-speed モード)
- SOPCCR.SOPCM = 1 (Subosc-speed モード)

(8) PRCR.PRC1 ビットが 0 の場合の無効なライトアクセス

PRCR.PRC1 ビットが 0 の場合、下記のレジスタに書き込まないでください。

[レジスタ]

- SBYCR, SNZCR, SNZEDCR, SNZREQCR, FLSTOP, OPCCR, SOPCCR

10.9.2 I/O ポートの状態

ソフトウェアスタンバイモードおよびスヌーズモード（スヌーズモード時に書き換える場合を除く）における I/O ポートの状態は、各モードへ遷移する前と同じです。したがって、High を出力している間、供給電流は低減されません。

10.9.3 DMAC と DTC のモジュールストップ状態

MSTPCRA.MSTPA22 ビットを 1 にする前に、DMAC の DMAST.DMST ビットと、DTC の DTCST.DTCST ビットを 0 にしてください。詳細は、「[16. DMA コントローラ \(DMAC\)](#)」と「[17. データトランスファコントローラ \(DTC\)](#)」を参照してください。

10.9.4 内部割り込み要因

モジュールストップ状態では、割り込みの動作ができません。割り込み要求が発生した状態でモジュールストップビットを設定すると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。そのため、事前に対応する割り込みを禁止してから、モジュールストップビットを設定してください。

10.9.5 低消費電力モードへの遷移

本 MCU はイベントによるウェイクアップをサポートしていないため、WFE 命令の実行によって低消費電力モード（スリープモードまたはソフトウェアスタンバイモード）へ遷移させないでください。また、本 MCU は SLEEPDEEP による低消費電力モードをサポートしていないため、Cortex®-M4 コアが内蔵するシステムコントロールレジスタの SLEEPDEEP ビットは設定しないでください。

10.9.6 WFI 命令のタイミング

WFI 命令は、I/O レジスタの書き込みが完了する前に実行されることがあり、その場合、意図しない動作を起こす恐れがあります。これは、I/O レジスタへの書き込み直後に WFI 命令が実行された場合に生じます。この問題を避けるには、書き込まれたレジスタを読み戻すことによって、書き込みの完了を確認することが推奨されます。たとえば、WFI 命令の実行前に MSTPCRB レジスタを読み出すことにより、I/O レジスタへの書き込みを完了させる時間を確保することが可能です。

10.9.7 スリープモード／スヌーズモード時の DMAC または DTC による WDT/IWDT レジスタの書き込みについて

スリープモードやスヌーズモードへ遷移すると WDT や IWDT が停止します。停止中は、DMAC または DTC によって WDT または IWDT 関連のレジスタを書き換えしないでください。

10.9.8 スヌーズモードにおける発振器について

ソフトウェアスタンバイモードへ遷移して停止した発振器は、スヌーズモードへの切り替えトリガが発生すると、自動的に動作を再開します。すべての発振器が安定するまで、MCU はスヌーズモードへ遷移しません。スヌーズモード時には、ソフトウェアスタンバイモードへ遷移する前に、必ずスヌーズモードで不要な発振器を無効にしてください。そうしないと、ソフトウェアスタンバイモードからスヌーズモードへの遷移に時間がかかります。

10.9.9 RXD0 の立ち下がリエッジによるスヌーズモードエントリ

SNZCR.RXDREQEN ビットが 1 の場合、RXD0 端子のノイズが原因で、MCU がソフトウェアスタンバイモードからスヌーズモードへ遷移する場合があります。また RXD0 端子のノイズによって、スヌーズモード時に後続の RXD0 データを受信する可能性があります。ノイズ発生後、MCU が RXD0 データを受信しなければ、割り込み (SCI0_ERI や SCI0_RXI など) もアドレス不一致イベントも発生せず、MCU はスヌーズモードを維持します。この問題を避けるには、スヌーズモードで SCI0 を使用する場合、AGT1 アンダーフロー割り込みを用いてソフトウェアスタンバイモードまたは通常モードへ復帰するようにしてください。ただし SCI 通信中は、AGT1 アンダーフロー割り込みがソフトウェアスタンバイモードへの復帰要因とならないように AGT1 を設定してください。これは、SCI0 の動作を中途半端に停止させます。

10.9.10 スヌーズモードにおける SCI0 の使用

スヌーズモードで SCI0 を使用する場合、AGT1 アンダーフロー以外のウェイクアップ要求を使用しないでください。

スヌーズモードで SCI0 を使用する場合は、下記の条件が満たされなければいけません。

- クロックソースは HOCO であること
- MOCO、MOSC、および PLL は、ソフトウェアスタンバイモード遷移前に停止していること
- RXD0 端子は、ソフトウェアスタンバイモード遷移前に High レベルを維持していること
- SCI 通信中は、ソフトウェアスタンバイモードへの遷移が生じないこと
- ソフトウェアスタンバイモード遷移前に、MSTPCRC.MSTPC0 ビットが 1 であること

10.9.11 スヌーズモードにおける A/D 変換開始条件

スヌーズモードでは、ELC のみが A/D コンバータの開始トリガとなれます。ソフトウェアトリガや ADTRG0 端子は使用しないでください。

10.9.12 スヌーズモードにおける CTSU の条件

スヌーズモードでは、ELC のみが CTSU を起動できます。

10.9.13 スヌーズモードにおける ELC イベント

スヌーズモードで利用可能な ELC イベントを下記に示します。これ以外のイベントは使用しないでください。スヌーズモードへ遷移後、初めて周辺モジュールを起動する場合は、イベントリンク設定レジスタ (ELSRn) において、スヌーズモードエントリイベント (SYSTEM_SNZREQ) をトリガとして設定する必要があります。

- スヌーズモードエントリ (SYSTEM_SNZREQ)
- DTC 転送終了 (DTC_DTCEND)
- ADC140 ウィンドウ A/B コンペアマッチ (ADC140_WCMPPM)
- ADC140 ウィンドウ A/B コンペア不一致 (ADC140_WCMPUM)
- データ演算回路割り込み (DOC_DOPCI)

10.9.14 未使用回路に対するモジュールストップ機能

ユーザモードで使用されない回路はリセットされない可能性があります。また、MCU のリセット中はクロックが供給されないため不安定な状態のまま動作する恐れもあります。このような場合は、MCU が Low-speed モードまたはソフトウェアスタンバイモードへ遷移すると、供給電流が、本ユーザーズマニュアルで指定された値よりも最大で 600 μ A 高い値に上昇する可能性があります。未使用回路は図 10.13 に示す手順を用いて初期化してください。

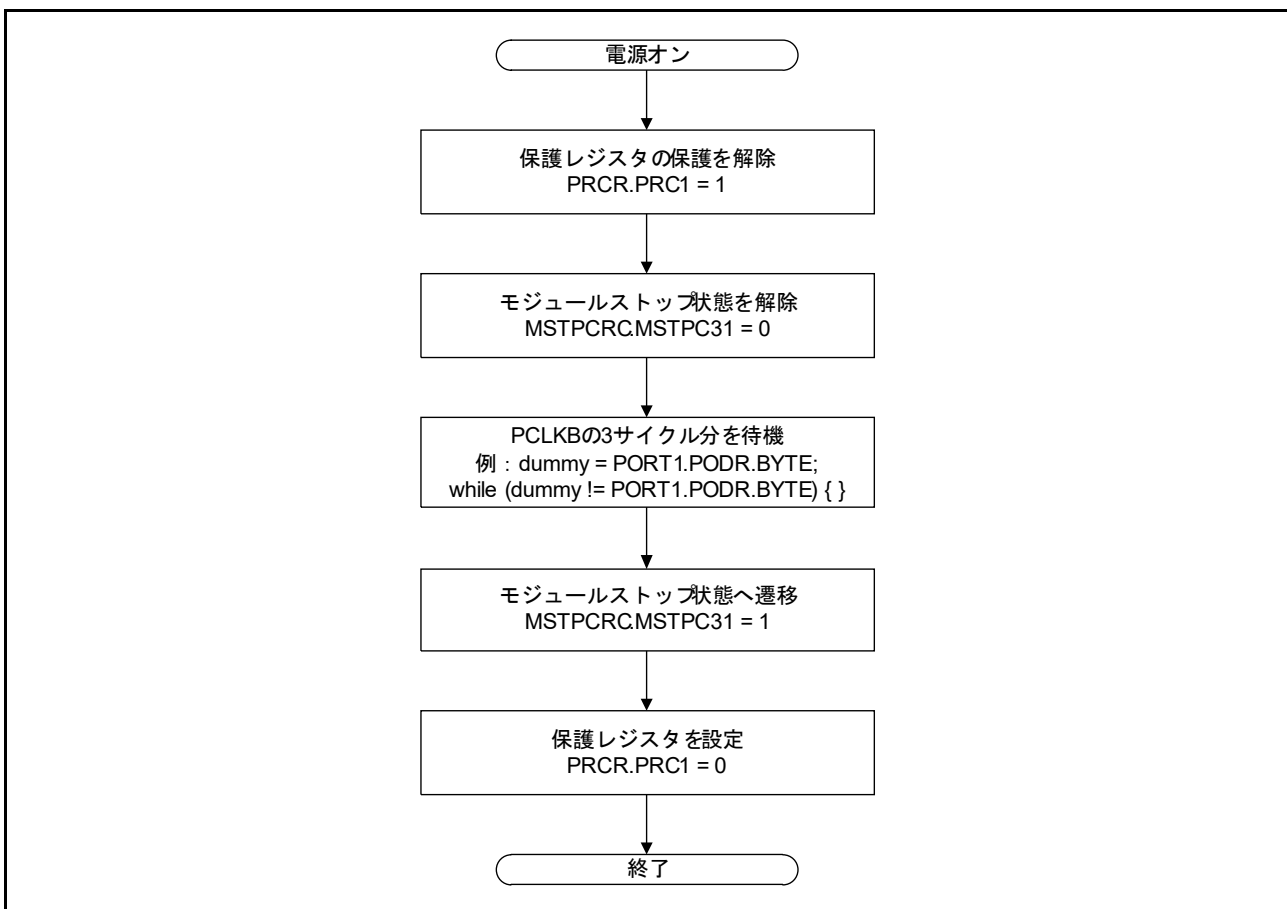


図 10.13 未使用回路の初期設定フロー例

11. バッテリバックアップ機能

11.1 概要

本 MCU は電力損失が生じた場合にバッテリーによる部分給電を維持するバッテリーバックアップ機能を提供します。VCC 端子と VBATT 端子の切り替えによるバッテリー電源領域には、RTC、SOSC、LOCO、ウェイクアップコントロール/バックアップメモリ、VBATT_R 低電圧検出、および VBATT 低電圧検出が含まれます。

正常に動作しているとき、バッテリー電源領域には主電源（VCC 端子）から電源が供給されます。VCC 端子に電圧降下が検出されると、電源は専用のバッテリーバックアップ用電源端子（VBATT 端子）に切り替わります。そして電圧が上昇すると、電源は再び VBATT 端子から VCC 端子へ切り替わります。VBATT ウェイクアップ入出力端子の構成を表 11.1 に示します。

表 11.1 VBATT ウェイクアップ入出力端子の構成

端子名	入出力	機能
VBATWIO _n	入出力	VBATT ウェイクアップコントロール機能用のウェイクアップ信号出力 VBATT ウェイクアップコントロール機能用の外部イベント入力

注. n = 0 ~ 2

11.1.1 バッテリバックアップ機能

バッテリーバックアップ機能は以下を含みます。

- バッテリ電源スイッチ
- VBATT 端子低電圧検出
- VBATT_R 低電圧検出
- バックアップレジスタ
- VBATT ウェイクアップコントロール機能
- 時間キャプチャ端子検出

11.1.2 バッテリ電源スイッチ

VCC 端子の印加電圧が低下すると、この機能によって、電源が VCC 端子から VBATT 端子に切り替わります。そして電圧が上昇すると、再び VBATT 端子から VCC 端子へ切り替わります。

この切り替えは VBTCR1.BPWSWSTP ビットで制御されます。デフォルトで切り替えは有効ですが、VBTCR1.BPWSWSTP ビットを 1 にすることで無効にできます。

11.1.3 VBATT 端子低電圧検出

バッテリー電源領域は、VBATT 端子の低電圧検出機能によってサポートされています。この機能は、VBATT 端子へ供給される電圧状態を監視します。

VBATT ステータスレジスタのフラグを使用して、電源の低電圧状態を検出することが可能です。

11.1.4 VBATT_R 低電圧検出

バッテリー電源領域は、VBATT_R 低電圧検出機能によってサポートされています。この機能は、VBATT_R の電圧レベルを監視します。VBATT_R とは、バッテリー電源スイッチの出力電圧です。

低電圧検出によって VBATT_POR リセットが発生し、バッテリー電源領域が初期化されます。詳細は、各レジスタの説明を参照してください。VBATT ステータスレジスタには、低電圧検出をチェックするフラグがあります。

11.1.5 バックアップレジスタ

バッテリー電源領域には、512 個の 1 バイトバックアップレジスタが搭載されています。バッテリー電源領域に VCC 端子または VBATT 端子から電源が供給されていれば、これらのレジスタはデータを保持します。このメモリは VBATT 端子の低電圧検出によってチェックされます。

11.1.6 VBATT ウェイクアップコントロール機能

VBATT ウェイクアップコントロール機能とは、VBATT 端子による VBATT_R 供給時に、RTC アラーム／周期信号、または VBATWIO_n (n=0~2) 入力信号がアサートされた場合に VBATWIO[2:0] 端子のトグル動作を可能にする機能です。

注． ウェイクアップコントロール機能によるこのトグル動作では、ICU での割り込み、およびリセット対象モジュールへのリセットは発生しません。この機能は、トグルの出力によって、ボードに搭載されている他のデバイスに VCC 電源を制御させる場合などに使用します。詳細は、[11.3.5 VBATT ウェイクアップコントロール機能の使用法](#)を参照してください。

11.1.7 時間キャプチャ端子検出

RTC は、時間キャプチャ端子 RTCIC_n (n=0~2) の入力レベルの変化を検出します。RTCIC_n 端子の機能については、「[24. リアルタイムクロック \(RTC\)](#)」を参照してください。RTCIC_n 端子を使用するには、[11.2 レジスタの説明](#)に従って VBTICTLR レジスタを設定してください。

注． バッテリバックアップ機能を使用しない場合は、VBATT 端子を VCC 端子に接続する必要があります。

注． 電源投入時、VBTCR1.BPWSWSTP ビットを 1 にするまで、RTC、SOSC (マルチプレクスポートを含む)、LOCO には電源が供給されません。「[48. 電気的特性](#)」に示すように、VBTCR1.BPWSWSTP ビットの設定後、モジュールに電源が供給されるまでには VBATT_POR のリセット時間 $t_{VBATPOR}$ が必要です。VBATT 機能を使用するか否かにかかわらず、パワーオンリセット後は、VBTCR1.BPWSWSTP ビットを 1 にする必要があります。詳細は、[11.2.1 VBATT コントロールレジスタ 1 \(VBTCR1\)](#) を参照してください。

図 11.1 に、バッテリバックアップ機能の構成図を示します。

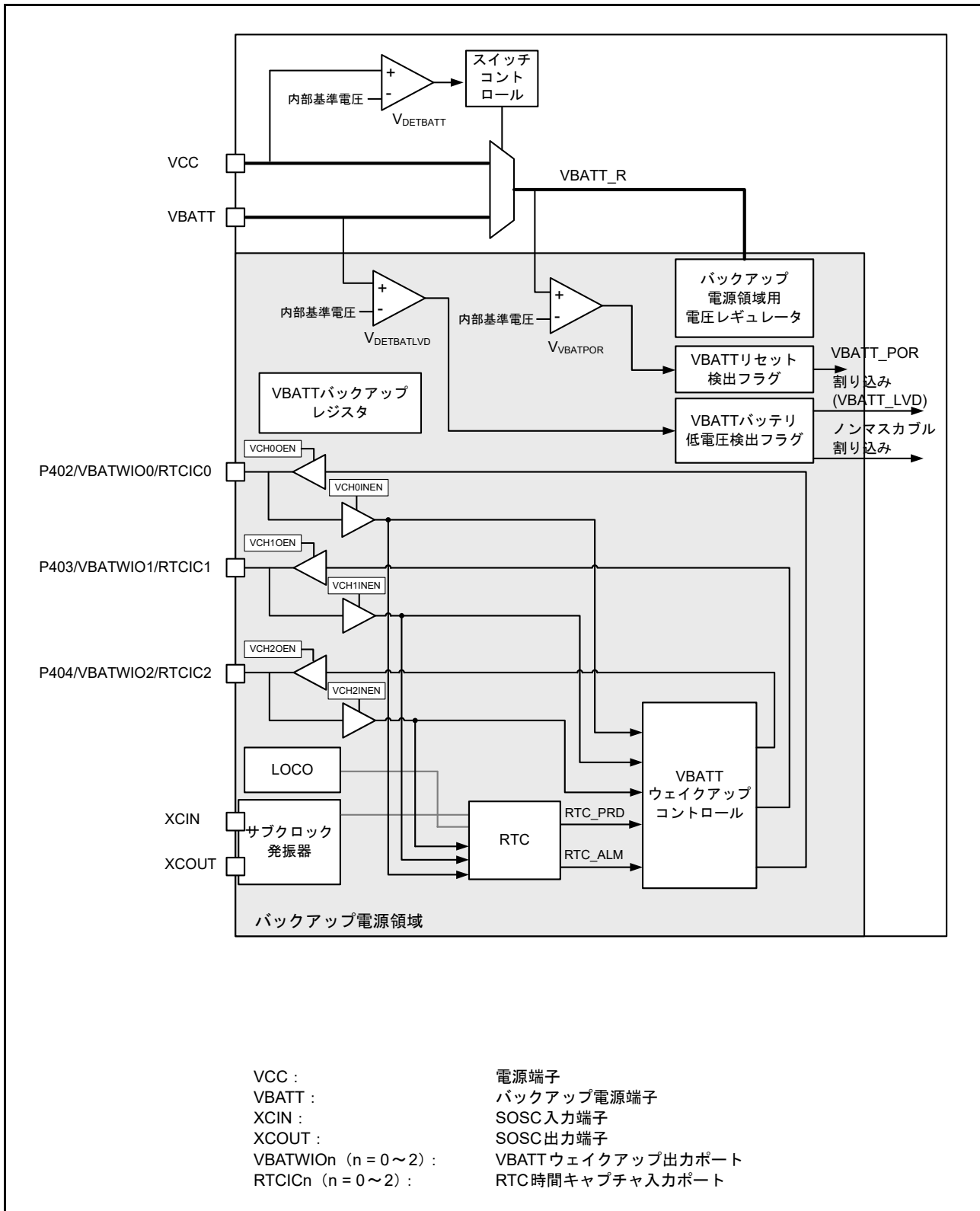


図 11.1 バッテリバックアップ機能の構成図

11.2 レジスタの説明

11.2.1 VBATT コントロールレジスタ 1 (VBTCR1)

アドレス SYSTEM.VBTCR1 4001 E41Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BPWSWSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BPWSWSTP	バッテリー電源スイッチ停止	0 : バッテリ電源スイッチ有効 1 : バッテリ電源スイッチ停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

BPWSWSTP ビット (バッテリー電源スイッチ停止)

BPWSWSTP ビットでバッテリー電源スイッチを有効にすると、VCC 端子の印加電圧が低下した場合、バッテリーバックアップモジュールの供給電圧は VCC 端子から VBATT 端子へ切り替わります。停止にすると、バッテリーバックアップモジュールの電源は常に VCC から供給されます。バッテリーバックアップ機能を無効にするには、本ビットに 1 を書いてください。本ビットはパワーオンリセットによってのみ初期化されます。

- 注 . 本ビットは、VBATSR.VBTRVLD ビットの状態をチェックすることなく設定可能です。
- 注 . VBATT 機能を使用するか否かにかかわらず、パワーオンリセット後は、VBTCR1.BPWSWSTP ビットを 1 にする必要があります。VBTCR1.BPWSWSTP ビットの設定フローが、[図 11.2](#) に示されています。また、VBATT 機能を使用する際は、他の関連レジスタの設定後に、VBTCR1.BPWSWSTP ビットをクリアする必要があります。

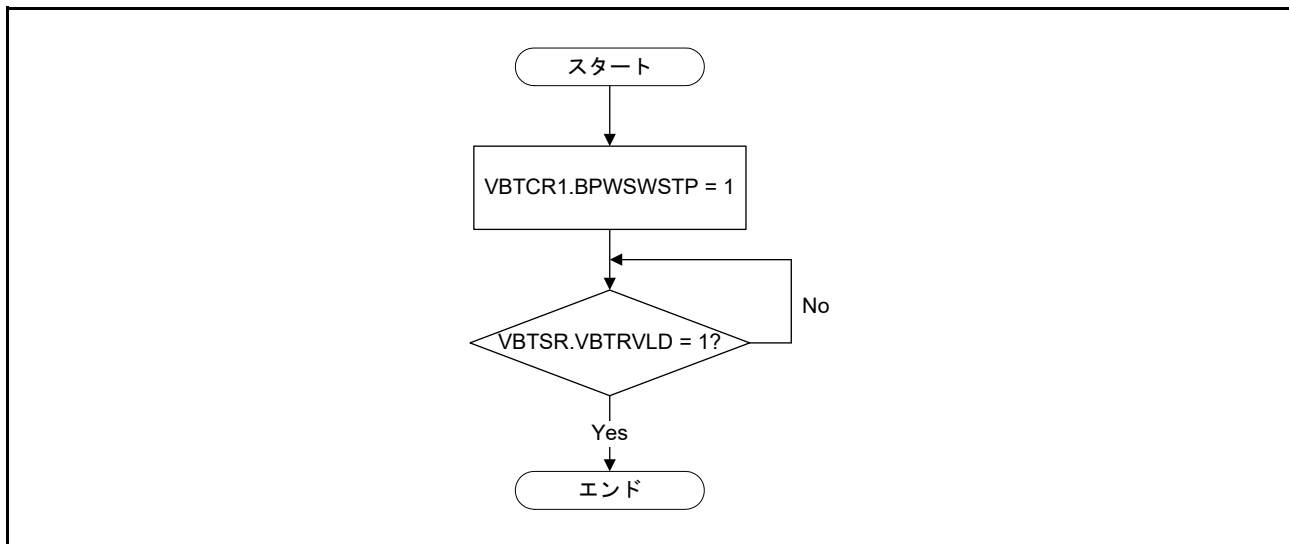


図 11.2 VBTCR1.BPWSWSTP ビットの設定フロー

注 . [図 11.2](#) では、VBATSR.VBTRVLD ビットが 1 でない場合、ループを抜け出すために VBATT_POR のリセット時間 $t_{VBATPOR}$ ([「48. 電気的特性」](#)を参照) を必要とします。

VBATSR.VBTRVLD が 0 の場合、下記のレジスタにはアクセスできません。その他のレジスタは、この条件とは無関係にアクセス可能です。

- 「[8. クロック発生回路](#)」に記載の LOCOCR、LOCOUTCR、SOSCCR、および SOMCR
- VBTCR1 レジスタと VBATSR.VBTRVLD ビットを除く、本章に記載の全レジスタ

- 「24. リアルタイムクロック (RTC)」に記載の全レジスタ

11.2.2 VBATT コントロールレジスタ 2 (VBTCR2)

アドレス SYSTEM.VBTCR2 4001 E4B0h

b7	b6	b5	b4	b3	b2	b1	b0
VBTLVDLVL[1:0]	—	VBTLVDEN	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	VBTLVDEN	VBATT 端子低電圧検出有効	0 : VBATT 端子の低電圧検出は無効 1 : VBATT 端子の低電圧検出は有効	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	VBTLVDLVL[1:0]	VBATT 端子低電圧検出レベル選択	b7 b6 0 0 : 予約 0 1 : 設定禁止 1 0 : 2.3V 1 1 : 2.1V	R/W

VBTCR2 レジスタは、VBATT 端子の低電圧検出機能を制御するレジスタです。VBTCR2 レジスタは VBATT_POR 信号によってリセットされます。

VBTLVDEN ビット (VBATT 端子低電圧検出有効)

VBATT 端子の低電圧検出を制御します。

VBTLVDLVL[1:0] ビット (VBATT 端子低電圧検出レベル選択)

VBATT 端子の低電圧検出レベルを選択します。

11.2.3 VBATT ステータスレジスタ (VBTSR)

アドレス SYSTEM.VBTSR 4001 E4B1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	VBTRVLD	—	—	VBTBLDF	VBTRDF
リセット後の値	0	0	0	0 (注5)	0	0	0 (注2)	1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	VBTRDF	VBATT_Rリセット検出フラグ	0 : VBATT_R電圧のパワーオンリセット未検出 1 : VBATT_R選択電圧のパワーオンリセットを検出	R/(W) (注3)
b1	VBTLDF	VBATTバッテリー低電圧検出フラグ (注4)	0 : VBATT端子の低電圧未検出 1 : VBATT端子の低電圧を検出	R/(W) (注3)
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	VBTRVLD	VBATT_R有効	0 : VBATT_R領域は無効 1 : VBATT_R領域は有効	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注1. 本フラグはVBATT_PORリセットによってのみ設定されます。
 注2. 本フラグはVBATT_PORリセットによってのみリセットされます。
 注3. 1を読んだ後に0を書くことのみ可能です。
 注4. 本フラグはVBTLVDENビットが1の場合にのみ有効です。VBTLVDENビットが0の場合、本フラグは読むと0が読めません。
 注5. VBATT_R電圧レベルに依存します。

VBTRDF フラグ (VBATT_R リセット検出フラグ)

VBATT_R (VCC または VBATT の選択電圧) のパワーオンリセットが発生したことを示します。

[1になる条件]

- VBATT_R電圧のパワーオンリセットが発生したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

VBTLDF フラグ (VBATT バッテリ低電圧検出フラグ)

VBATT端子の低電圧が検出されたことを示します。

[1になる条件]

- VBATT端子の低電圧を検出したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

VBTRVLD ビット (VBATT_R 有効)

VBATT領域が有効かどうかをチェックします。

VBATT_R領域が有効かどうかをチェックします。下記のレジスタに対して読み出したまたは書き込みを行う場合は、最初にVBTRVLDビットが1であることを確認する必要があります。

- 「8. クロック発生回路」に記載のLOCOCR、LOCOUTCR、SOSCCR、およびSOMCR
- VBTCR1レジスタとVBTSR.VBTRVLDビットを除く、本章に記載の全レジスタ
- 「24. リアルタイムクロック (RTC)」に記載の全レジスタ

11.2.4 VBATT コンパレータコントロールレジスタ (VBTCMPCR)

アドレス SYSTEM.VBTCMPCR 4001 E4B2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	VBTCMPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VBTCMPE	VBATT 端子低電圧検出回路出力許可	0 : VBATT 端子の低電圧検出回路出力を禁止 1 : VBATT 端子の低電圧検出回路出力を許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTCMPE ビット (VBATT 端子低電圧検出回路出力許可)

VBATT 端子の低電圧検出回路出力を制御します。本ビットは VBATT_POR 信号によって初期化されます。

11.2.5 VBATT 端子低電圧検出割り込みコントロールレジスタ (VBTLVDICR)

アドレス SYSTEM.VBTLVDICR 4001 E4B4h

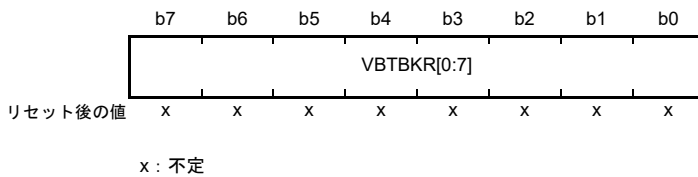
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	VBTLVDISEL	VBTLVDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VBTLVDIE	VBATT 端子低電圧検出割り込み許可	0 : VBATT 端子の低電圧検出割り込みを禁止 1 : VBATT 端子の低電圧検出割り込みを許可	R/W
b1	VBTLVDISEL	端子低電圧検出割り込み選択	0 : ノンマスクابل割り込み 1 : マスクابل割り込み	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTLVDICR レジスタは VBATT_POR 信号によってリセットされます。

11.2.6 VBATT バックアップレジスタ (VBTBKRn) (n = 0 ~ 511)

アドレス SYSTEM.VBTBKR0 4001 E500h ~ SYSTEM.VBTBKR511 4001 E6FFh

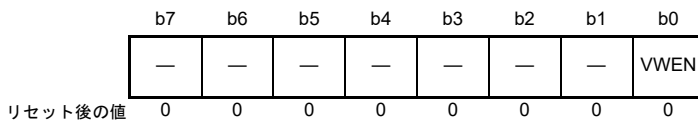


VBTBKRn レジスタは、8 ビット単位で読み出し/書き込みが可能なレジスタであり、VBATT 電源供給時にデータを格納します。本レジスタの値は、VBATT モードでも保持されます。このレジスタはいずれのリセットによっても初期化されません。

注. この VBATT バックアップレジスタにアクセスする場合、VCC レベルは $V_{_BKBATT}$ を上回っていなければいけません（「48. 電気的特性」を参照してください）。

11.2.7 VBATT ウェイクアップコントロールレジスタ (VBTWCTLR)

アドレス SYSTEM.VBTWCTLR 4001 E4B6h



ビット	シンボル	ビット名	機能	R/W
b0	VWEN	VBATT ウェイクアップ有効	0: ウェイクアップ機能は無効 1: ウェイクアップ機能は有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTWCTLR レジスタは、VBATT ウェイクアップコントロール機能を制御します。VBTWCTLR レジスタは VBATT_POR 信号によってリセットされます。

VWEN ビット (VBATT ウェイクアップ有効)

VBATT ウェイクアップコントロール機能を有効にします。VWEN ビットを 0 にして、VBTWCTLR.VCHnOEN (n=0~2) ビットを 1 にした場合、VBATWIO_n (n=0~2) 端子出力は Low になります。VWEN ビットを 1 にすると、VBATWIO_n 端子出力は、VBTWCTLR.VOUTnLSEL (n=0~2) ビットで指定したレベルに変化します。

VWEN ビットは、以下のレジスタの設定完了後にのみ 1 にしてください。以下のレジスタを書き換える場合は、事前に VWEN ビットを 0 にしてください。

- VBTWCHnOTSR
- VBTICTLR
- VBTWCTLR
- VBTWTER
- VBTWEGR (n=0~2)

11.2.8 VBATT ウェイクアップ I/O 0 出カトリガ選択レジスタ (VBTWCH00TSR)

アドレス SYSTEM.VBTWCH00TSR 4001 E4B8h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CH0VR TCATE	CH0VR TCTE	CH0VC H2TE	CH0VC H1TE	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b1	CH0VCH1TE	VBATWIO0出力VBATWIO1トリガ許可	0: VBATWIO1端子によるVBATTウェイクアップ入出力0の出カトリガを禁止 1: VBATWIO1端子によるVBATTウェイクアップ入出力0の出カトリガを許可	R/W
b2	CH0VCH2TE	VBATWIO0出力VBATWIO2トリガ許可	0: VBATWIO2端子によるVBATTウェイクアップ入出力0の出カトリガを禁止 1: VBATWIO2端子によるVBATTウェイクアップ入出力0の出カトリガを許可	R/W
b3	CH0VRTCTE	VBATWIO0出力RTC周期信号許可	0: RTC周期信号によるVBATTウェイクアップ入出力0の出カトリガを禁止 1: RTC周期信号によるVBATTウェイクアップ入出力0の出カトリガを許可	R/W
b4	CH0VRTCATE	VBATWIO0出力RTCアラーム信号許可	0: RTCアラーム信号によるVBATTウェイクアップ入出力0の出カトリガを禁止 1: RTCアラーム信号によるVBATTウェイクアップ入出力0の出カトリガを許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTWCH00TSR レジスタは、VBATT ウェイクアップ入出力0の出カトリガ要因を制御するレジスタです。

本レジスタのビットを1にして、VBTWFR レジスタの対応するウェイクアップトリガフラグを設定すると、VBATWIO0 端子は VBTCTRL レジスタの VOUT0LSEL ビットに従った信号を出力します。

VBTWCH00TSR レジスタは VBATT_POR 信号によって初期化されます。

11.2.9 VBATT ウェイクアップ I/O 1 出カトリガ選択レジスタ (VBTWCH1OTSR)

アドレス SYSTEM.VBTWCH1OTSR 4001 E4B9h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CH1VR TCATE	CH1VR TCTE	CH1VC H2TE	—	CH1VC H0TE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH1VCH0TE	VBATWIO1出力VBATWIO0トリガ許可	0: VBATWIO0端子によるVBATTウェイクアップ入出力1の出カトリガを禁止 1: VBATWIO0端子によるVBATTウェイクアップ入出力1の出カトリガを許可	R/W
b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	CH1VCH2TE	VBATWIO1出力VBATWIO2トリガ許可	0: VBATWIO2端子によるVBATTウェイクアップ入出力1の出カトリガを禁止 1: VBATWIO2端子によるVBATTウェイクアップ入出力1の出カトリガを許可	R/W
b3	CH1VRTCTE	VBATWIO1出力RTC周期信号許可	0: RTC周期信号によるVBATTウェイクアップ入出力1の出カトリガを禁止 1: RTC周期信号によるVBATTウェイクアップ入出力1の出カトリガを許可	R/W
b4	CH1VRTCATE	VBATWIO1出力RTCアラーム信号許可	0: RTCアラーム信号によるVBATTウェイクアップ入出力1の出カトリガを禁止 1: RTCアラーム信号によるVBATTウェイクアップ入出力1の出カトリガを許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTWCH1OTSR レジスタは、VBATT ウェイクアップ入出力1の出カトリガ要因を制御するレジスタです。

本レジスタのビットを1にして、VBTWFR レジスタの対応するウェイクアップトリガフラグを設定すると、VBATWIO1 端子は VBTCTLR レジスタの VOUTILSEL ビットに従った信号を出力します。

VBTWCH1OTSR レジスタは VBATT_POR 信号によって初期化されます。

11.2.10 VBATT ウェイクアップ I/O 2 出カトリガ選択レジスタ (VBTWCH2OTSR)

アドレス SYSTEM.VBTWCH2OTSR 4001 E4BAh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CH2VR TCATE	CH2VR TCTE	—	CH2VC H1TE	CH2VC H0TE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH2VCH0TE	VBATWIO2出力VBATWIO0トリガ許可	0: VBATWIO0端子によるVBATTウェイクアップ入出力2の出カトリガを禁止 1: VBATWIO0端子によるVBATTウェイクアップ入出力2の出カトリガを許可	R/W
b1	CH2VCH1TE	VBATWIO2出力VBATWIO1トリガ許可	0: VBATWIO1端子によるVBATTウェイクアップ入出力2の出カトリガを禁止 1: VBATWIO1端子によるVBATTウェイクアップ入出力2の出カトリガを許可	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	CH2VRTCTE	VBATWIO2出力RTC周期信号許可	0: RTC周期信号によるVBATTウェイクアップ入出力2の出カトリガを禁止 1: RTC周期信号によるVBATTウェイクアップ入出力2の出カトリガを許可	R/W
b4	CH2VRTCATE	VBATWIO2出力RTCアラーム信号許可	0: RTCアラーム信号によるVBATTウェイクアップ入出力2の出カトリガを禁止 1: RTCアラーム信号によるVBATTウェイクアップ入出力2の出カトリガを許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTWCH2OTSR レジスタは、VBATT ウェイクアップ入出力2の出カトリガ要因を制御するレジスタです。

本レジスタのビットを1にして、VBTWFR レジスタの対応するウェイクアップトリガフラグを設定すると、VBATWIO2 端子はVBTOCTLR レジスタのVOUT2LSEL ビットに従った信号を出力します。

VBTWCH2OTSR レジスタはVBATT_POR 信号によって初期化されます。

11.2.11 VBATT 入力コントロールレジスタ (VBTICTLR)

アドレス SYSTEM.VBTICTLR 4001 E4BBh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	VCH2I NEN	VCH1I NEN	VCH0I NEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VCH0INEN	VBATT ウェイクアップ入出力0入力許可	0 : VBATWIO0、RTCIC0 入力禁止 1 : VBATWIO0、RTCIC0 入力許可	R/W
b1	VCH1INEN	VBATT ウェイクアップ入出力1入力許可	0 : VBATWIO1、RTCIC1 入力禁止 1 : VBATWIO1、RTCIC1 入力許可	R/W
b2	VCH2INEN	VBATT ウェイクアップ入出力2入力許可	0 : VBATWIO2 および RTCIC2 の入力を禁止 1 : VBATWIO2 および RTCIC2 の入力を許可	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTICTLR レジスタは、VBATT ウェイクアップ入出力端子の入力方向を選択するレジスタです。VBTICTLR レジスタは VBATT_POR 信号によってリセットされます。

VCHnINEN ビット (VBATT ウェイクアップ入出力 n 入力許可) (n = 0 ~ 2)

VBATT ウェイクアップ入出力端子の入力を許可します。VBATT ウェイクアップコントロール機能だけでなく、RTC (RTCICn (n = 0 ~ 2)) の時間キャプチャ機能も使用する場合は、VBTICTLR レジスタを設定する必要があります。これらの機能については、「[24. リアルタイムクロック \(RTC\)](#)」を参照してください。

11.2.12 VBATT 出力コントロールレジスタ (VBTOCTLR)

アドレス SYSTEM.VBTOCTLR 4001 E4BCh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	VOUT2 LSEL	VOUT1 LSEL	VOUT0 LSEL	VCH2O EN	VCH1O EN	VCH0O EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VCH0OEN	VBATT ウェイクアップ入出力0 出力許可	0 : VBATWIO0 の出力を禁止 1 : VBATWIO0 の出力を許可 (注1) (注2)	R/W
b1	VCH1OEN	VBATT ウェイクアップ入出力1 出力許可	0 : VBATWIO1 の出力を禁止 1 : VBATWIO1 の出力を許可 (注1) (注2)	R/W
b2	VCH2OEN	VBATT ウェイクアップ入出力2 出力許可	0 : VBATWIO2 の出力を禁止 1 : VBATWIO2 の出力を許可 (注1) (注2)	R/W
b3	VOUT0LSEL	VBATT ウェイクアップ入出力0 出力レベル選択	0 : VBATT ウェイクアップトリガ前にLを出力 1 : VBATT ウェイクアップトリガ前にHを出力	R/W
b4	VOUT1LSEL	VBATT ウェイクアップ入出力1 出力レベル選択	0 : VBATT ウェイクアップトリガ前にLを出力 1 : VBATT ウェイクアップトリガ前にHを出力	R/W
b5	VOUT2LSEL	VBATT ウェイクアップ入出力2 出力レベル選択	0 : VBATT ウェイクアップトリガ前にLを出力 1 : VBATT ウェイクアップトリガ前にHを出力	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTOCTLR レジスタは、VBATT ウェイクアップ入出力端子 (VBATWIO_n (n=0~2)) の出力方向と出力レベルを選択するレジスタです。VBTOCTLR レジスタは VBATT_POR 信号によってリセットされます。

VCH_nOEN ビット (VBATT ウェイクアップ入出力 n 出力許可) (n = 0 ~ 2)

VBATT 出力を許可します。

- 注 1. 出力端子として設定できるのは、これらの入出力端子のうち 1 つだけです。そのため、これらのビットのうち 2 つは、0 にする必要があります。
- 注 2. VCH0OEN ビットを 1 にした場合、P402PFS.PMR ビットは 0 にする必要があります。
VCH1OEN ビットを 1 にした場合、P403PFS.PMR ビットは 0 にする必要があります。
VCH2OEN ビットを 1 にした場合、P404PFS.PMR ビットは 0 にする必要があります。

VOUT_nLSEL ビット (VBATT ウェイクアップ入出力 n 出力レベル選択) (n = 0 ~ 2)

VBATT ウェイクアップ入出力 n 端子からの出力レベルを選択します。VOUT_nLSEL ビットを 0 にした場合、VBATWIO_n 端子は、VBATT ウェイクアップトリガ受信前は Low を出力し、VBATT ウェイクアップトリガ受信後は High を出力します。VOUT_nLSEL ビットを 1 にした場合、VBATWIO_n 端子は、VBATT ウェイクアップトリガ受信前は High を出力し、VBATT ウェイクアップトリガ受信後は Low を出力します。

11.2.13 VBATT ウェイクアップトリガ要因イネーブルレジスタ (VBTWTER)

アドレス SYSTEM.VBTWTER 4001 E4BDh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	VRTCAE	VRTCIE	VCH2E	VCH1E	VCH0E
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VCH0E	VBATWIO0端子許可	0: VBATWIO0端子によるVBATTウェイクアップトリガを禁止 1: VBATWIO0端子によるVBATTウェイクアップトリガを許可	R/W
b1	VCH1E	VBATWIO1端子許可	0: VBATWIO1端子によるVBATTウェイクアップトリガを禁止 1: VBATWIO1端子によるVBATTウェイクアップトリガを許可	R/W
b2	VCH2E	VBATWIO2端子許可	0: VBATWIO2端子によるVBATTウェイクアップトリガを禁止 1: VBATWIO2端子によるVBATTウェイクアップトリガを許可	R/W
b3	VRTCIE	RTC周期信号許可	0: RTC周期信号によるVBATTウェイクアップトリガを禁止 1: RTC周期信号によるVBATTウェイクアップトリガを許可	R/W
b4	VRTCAE	RTCアラーム信号許可	0: RTCアラーム信号によるVBATTウェイクアップトリガを禁止 1: RTCアラーム信号によるVBATTウェイクアップトリガを許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTWTER レジスタは、VBATT ウェイクアップトリガの許可または禁止を制御します。VBTWTER レジスタはVBATT_POR 信号によってリセットされます。

複数のトリガ要因の選択が可能です。

11.2.14 VBATT ウェイクアップトリガ要因エッジレジスタ (VBTWEGR)

アドレス SYSTEM.VBTWEGR 4001 E4BEh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	VCH2EG	VCH1EG	VCH0EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VCH0EG	VBATWIO0ウェイクアップトリガ要因エッジ選択	0: 立ち下がりエッジでウェイクアップトリガを発生 1: 立ち上がりエッジでウェイクアップトリガを発生	R/W
b1	VCH1EG	VBATWIO1ウェイクアップトリガ要因エッジ選択	0: 立ち下がりエッジでウェイクアップトリガを発生 1: 立ち上がりエッジでウェイクアップトリガを発生	R/W
b2	VCH2EG	VBATWIO2ウェイクアップトリガ要因エッジ選択	0: 立ち下がりエッジでウェイクアップトリガを発生 1: 立ち上がりエッジでウェイクアップトリガを発生	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTWEGR レジスタは、各 VBATT ウェイクアップトリガ要因のエッジを選択するレジスタです。VBTWEGR レジスタは VBATT_POR 信号によってリセットされます。

11.2.15 VBATT ウェイクアップトリガ要因フラグレジスタ (VBTWFR)

アドレス SYSTEM.VBTWFR 4001 E4BFh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	VRTCAF	VRTCIF	VCH2F	VCH1F	VCH0F
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VCH0F	VBATWIO0 ウェイクアップトリガフラグ	0: VBATWIO0 端子によるウェイクアップトリガの発生なし 1: VBATWIO0 端子によるウェイクアップトリガの発生あり	R/(W) (注1)
b1	VCH1F	VBATWIO1 ウェイクアップトリガフラグ	0: VBATWIO1 端子によるウェイクアップトリガの発生なし 1: VBATWIO1 端子によるウェイクアップトリガの発生あり	R/(W) (注1)
b2	VCH2F	VBATWIO2 ウェイクアップトリガフラグ	0: VBATWIO2 端子によるウェイクアップトリガの発生なし 1: VBATWIO2 端子によるウェイクアップトリガの発生あり	R/(W) (注1)
b3	VRTCIF	VBATT RTC 周期ウェイクアップトリガフラグ	0: RTC 周期信号によるウェイクアップトリガの発生なし 1: RTC 周期信号によるウェイクアップトリガの発生あり	R/(W) (注1)
b4	VRTCAF	VBATT RTC アラームウェイクアップトリガフラグ	0: RTC アラーム信号によるウェイクアップトリガの発生なし 1: RTC アラーム信号によるウェイクアップトリガの発生あり	R/(W) (注1)
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

VBTWFR レジスタは、VBATT ウェイクアップコントロール機能のトリガ要因を示します。このレジスタは、VWEN ビット (VBTWCTLR レジスタ) で保護されています。VBTWFR レジスタは、VWEN ビットに 1 を書いた後、PCLKB が 5 サイクル経過すると有効になります。同様に VBTWFR レジスタを無効にする場合も、VWEN ビットに 0 を書いた後、PCLKB の 5 サイクルを必要とします。

それぞれのフラグは、VBTWEGR レジスタで設定したトリガ要求が発生したときに 1 になります。

VBTWFR レジスタは VBATT_POR によって初期化されます。

VCHnF フラグ (VBATT ウェイクアップ入出力 n ウェイクアップトリガフラグ) (n = 0 ~ 2)

VBATWIO_n 端子によるトリガ要求が発生したことを示します。

[1 になる条件]

- VBTWEGR レジスタで設定した VBATWIO_n 端子によるトリガ要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

VRTCIF フラグ (VBATT RTC 周期ウェイクアップトリガ フラグ)

RTC 周期信号によるトリガ要求が発生したことを示します。

[1 になる条件]

- RTC 周期信号によるトリガ要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

VRTCAF フラグ (VBATT RTC アラームウェイクアップ トリガフラグ)

RTC アラーム信号によるトリガ要求が発生したことを示します。

[1 になる条件]

- RTC アラーム信号によるトリガ要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

11.2.16 バックアップレジスタアクセスコントロールレジスタ (BKRACR)

アドレス SYSTEM.BKRACR 4001 E0C6h

b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	—	BKRACS[2:0]			
リセット後の値	0	0	0	0	0	1	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	BKRACS[2:0]	バックアップレジスタ アクセスサイクル選択	b2 b0 0 0 0: システムクロックソースがSOSCまたはLOCOの場合、 アクセスサイクル制御無効 1 1 0: システムクロックソースがSOSC、LOCO以外の場合、 アクセスサイクル制御有効 上記以外は設定しないでください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

BKRACR レジスタは、バックアップレジスタのアクセスサイクルを制御して消費電力を削減します。アクセスサイクル制御有効 (110b) の場合、バックアップレジスタのアクセスサイクルは、アクセスサイクル制御無効 (000b) の場合の 64 倍です。本レジスタは、VBATT_POR 以外のすべてのリセット要因で初期化されます。

[設定手順]

SOSC / LOCO 以外のシステムクロックを SOSC / LOCO に変更するには、以下を実行します

1. SCKSCR.CKSEL[2:0] ビットを変更する。
2. BKRACR.BKRACS[2:0] ビットを 000b に変更する。

システムクロックを SOSC / LOCO から SOSC / LOCO 以外に変更するには、以下を実行します

1. BKRACR.BKRACS[2:0] ビットを 110b に変更する。
2. SCKSCR.CKSEL[2:0] ビットを変更する。

11.3 動作説明

11.3.1 バッテリバックアップ機能

VCC 端子の電圧が低下すると、VBATT 端子から RTC、LOCO、およびサブクロック発振器への電源供給が可能です。VCC 端子の電圧降下が検出されると、電源との接続は電源から VBATT 端子に切り替わります。また、VCC 端子の電圧が $V_{DET\text{BATT}}$ を超えると、VCC 端子からの電源供給に戻ります。電源の切り替わりは RTC の動作に影響を与えません。VBATT 端子の電圧レベルが動作保証電圧よりも低下した場合、VBATT ステータスレジスタの VBTBLDF ビットをモニタすることが可能です。

バッテリバックアップ機能は、電圧監視 0 リセットを許可に設定した上で使用可能です。

VBATT 端子が電源を供給しているとき、ウェイクアップコントロール機能は、RTC アラーム/周期信号、または VBATWIO_n (n=0~2) 入力信号のアサートをトリガすることによって、VBATWIO_n (n=0~2) の出力端子をトグルさせることができます。

RTC は、時間キャプチャ端子の入力レベルが変化したときの時間キャプチャ端子検出をサポートしていません。

VBATT 端子からは、以下のモジュールに電力が供給されます。

- RTC
- サブクロック発振器 (XCIN、XCOUT 端子を含む)
- VBATWIO_n 端子 (RTCI_{Cn} を含む) (n=0~2)
- LOCO
- VBATT バックアップレジスタ
- VBATT ウェイクアップコントローラ

表 11.2 に、VBATT モード時の動作状態を示します。

表 11.2 VBATT モード時の動作状態 (1/2)

動作状態	VBATT モード
遷移条件	VCC 電圧降下の検出
リセット以外の解除方法	VCC 電圧上昇の検出
メインクロック発振器	停止
サブクロック発振器	動作は SOSCCR.SOSTP ビットで選択可能。発振器の状態は VBATT モード遷移前と同じ。
高速オンチップオシレータ	停止
中速オンチップオシレータ	停止
低速オンチップオシレータ	動作/非動作を LOCOCR.LCSTP ビットで選択可能。発振器の状態は VBATT モード遷移前と同じ。
IWDT 専用オンチップオシレータ	停止
PLL	停止
CPU	停止 (不定)
SRAM (ECC SRAM を含む)	停止 (不定)
VBATT バックアップレジスタ	停止 (保持)
フラッシュメモリ	停止 (保持)
リアルタイムクロック (RTC)	選択クロックがカウントソースとして動作しているときに選択可能。
AGT _n (n=0, 1)	停止 (不定)
低電圧検出 (LVD)	停止
パワーオンリセット回路	停止
バッテリバックアップ電圧監視	動作
その他の周辺モジュール	停止 (不定)

表 11.2 VBATTモード時の動作状態 (2/2)

動作状態	VBATTモード
I/Oポート	<ul style="list-style-type: none"> • RTCICnポート (n = 0~2) : 動作 • 指定ポート以外 : 不定 • VBATWIO_nポート (n = 0~2) : 動作

注. 「選択可能」とは、動作がコントロールレジスタによって選択できることを意味します。モジュールによっては、対応するモジュールストップビットで制御できるものもあります。
「停止（保持）」とは、内部レジスタの内容は保持されますが、動作は中断されることを意味します。
「停止（不定）」とは、内部レジスタの内容が不定で、内部回路への通電が遮断されることを意味します。

図 11.3 に、バッテリバックアップ機能の切り替え順序を示します。

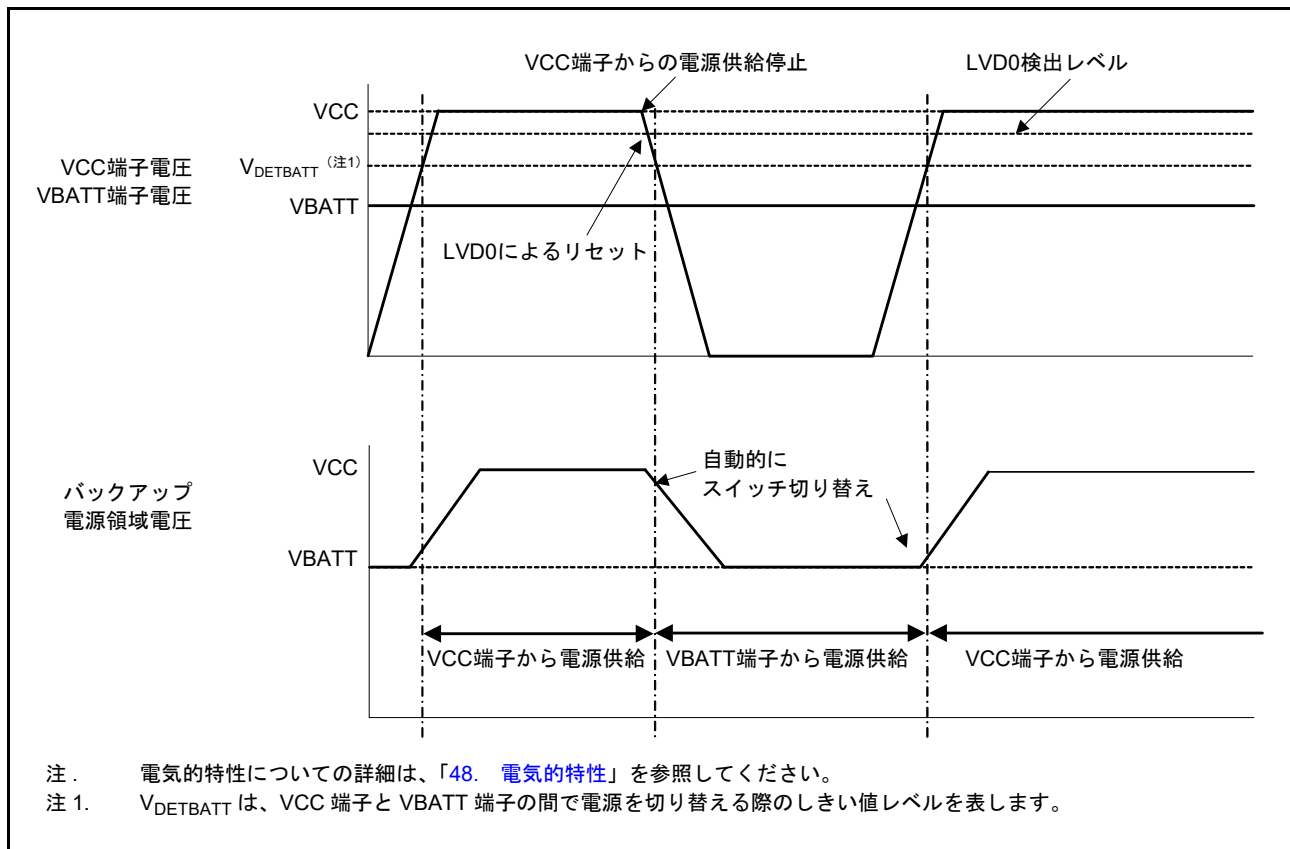


図 11.3 バッテリバックアップ機能の切り替え順序

11.3.2 VBATT バッテリ電源スイッチの使用法

VCC 端子の印加電圧が低下すると、バッテリ電源スイッチによって、電源が VCC 端子から VBATT 端子に切り替わります。そして電圧が上昇すると、再び VBATT 端子から VCC 端子へ切り替わります。この切り替えは VBTCR1.BPWSWSTP ビットで制御されます。

BPWSWSTP ビットでバッテリ電源スイッチを有効にすると、VCC 電圧が低下した際に、バッテリバックアップモジュールの供給電圧を VCC から VBATT へ切り替えることができます。バッテリ電源スイッチが停止すると、バッテリバックアップモジュールの電源は常に VCC から供給されます。バッテリバックアップ機能を使用しない場合は、本ビットに 1 を書き込む必要があります。

注 . バッテリバックアップ機能は、電圧監視 0 リセットを許可 (OFS1.LVDAS ビットを 0) に設定した上で使用可能です。電圧監視 0 レベルは、 $V_{DET\text{BATT}}$ よりも高い値 (OFS1.VDSEL1[2:0] ビットを 000b、001b、または 010b) に設定してください。

注 . 本ビットは、VBTSR.VBTRVLD ビットの状態を確認することなく設定可能です。

11.3.3 VBATT 端子低電圧検出の手順

以下の手順にしたがって VBTSR.VBTBLDF フラグと割り込みを用いた VBATT 端子の低電圧検出のモニタが可能です。

以下の手順は、VBATT 端子の低電圧検出を有効にする方法を示しています。

1. 電圧監視 0 リセットを設定します。「7. 低電圧検出 (LVD)」を参照してください。
2. パワーオンリセット後、VBTCR1.BPWSWSTP ビットに初めてアクセスする場合は、本ビットを 1 にします。
3. VBTSR.VBTRVLD ビットが 1 になるまで待つてから、VBTCR2.VBTLVDEN、VBTLVDICR.VBTLVDIE、および VBTCMPCR.VBTCMPE の各ビットが 0 であることを確認します。
4. VBTCR2.VBTLVDLVL[1:0] ビット (VBATT 端子電圧検出レベル選択) を設定して検出電圧を指定します。
5. VBTLVDICR.VBTLVDISEL ビットを設定して割り込みの種類を選択します。
6. VBTCR2.VBTLVDEN ビットを 1 にして、VBATT 端子の低電圧検出を有効にします。
7. 「48. 電気的特性」に記載されているように、VBATT コンパレータ動作安定時間 ($t_{d\text{ vbat}}$) 経過後に、有効化する VBATT 端子の電圧検出回路に対する VBTCMPCR.VBTCMPE ビットを 1 にします。
8. VBTSR.VBTBLDF フラグが 0 であることを確認した後、許可対象の VBATT 端子の低電圧検出割り込み出力に対する VBTLVDICR.VBTLVDIE ビットを 1 にします。
9. VBTCR1.BPWSWSTP ビットを 0 にクリアして、バッテリ電源スイッチを有効にします。11.3.2 VBATT バッテリ電源スイッチの使用法を参照してください。

VBATT の低電圧が検出された場合は、図 11.4 に示すように、VBATT の低電圧検出を無効にしてください。

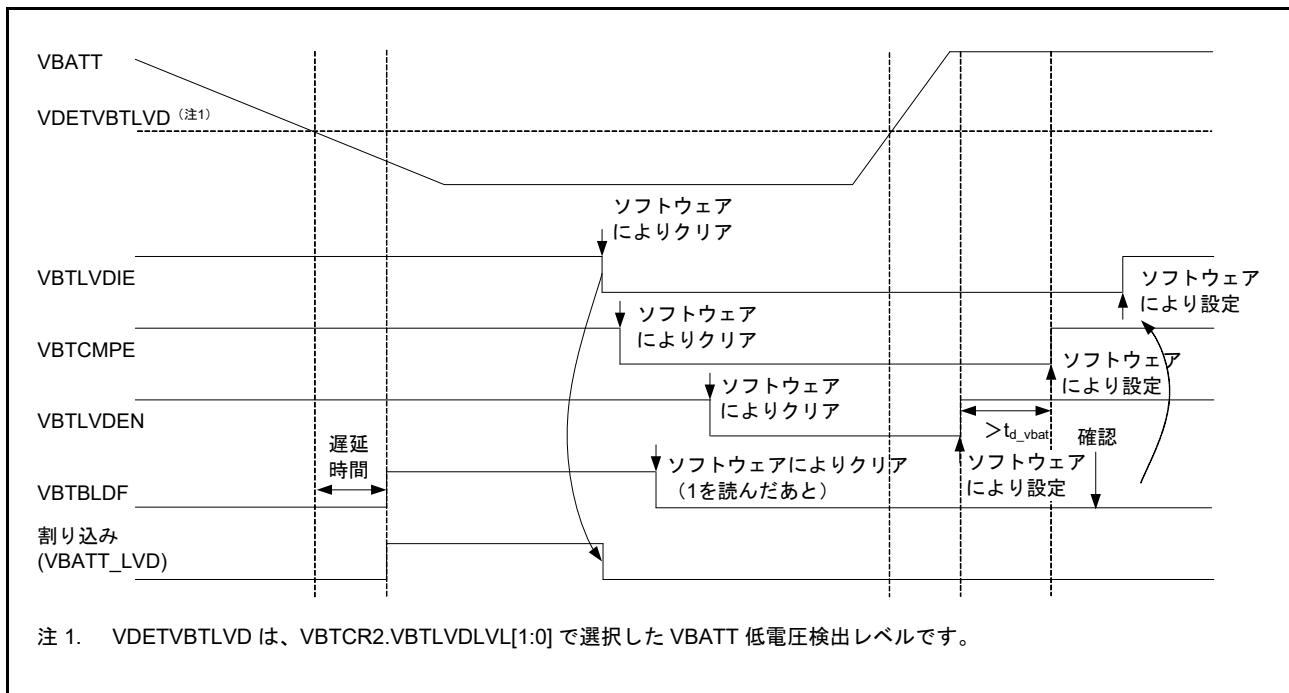


図 11.4 VBATT 低電圧検出割り込みの基本動作

以下の手順は、VBATT 端子の低電圧検出を無効にする方法を示しています。

1. VBTSR.VBTRVLD ビットが 1 であることを確認します。
2. VBTLVDICR.VBTLVDIE ビットを 0 にして、電圧検出割り込みを禁止します。
3. VBTCMPCR.VBTCMPE ビットを 0 にして、VBATT 端子の電圧検出回路出力を無効にします。
4. VBTCR2.VBTLVDEN ビットを 0 にして、VBATT 端子の低電圧出力を無効にします。
5. VBTCR2.VBTLVDEN、VBTCMPCR.VBTCMPE、VBTLVDICR.VBTLVDIE 以外の、VBATT 端子低電圧検出レジスタに関連するビットの設定を変更します。

11.3.4 VBATT バックアップレジスタの使用法

VBATT バックアップレジスタ VBTBKRn (n=0~511) を使用して、以下の手順に示すように、データの格納/復元が可能です。

1. パワーオンリセット後、VBTCR1.BPWSWSTP ビットに初めてアクセスする場合は、本ビットを 1 にします。
2. VBTSR.VBTRVLD ビットが 1 になるのを待ちます。
3. VBTBKRn (n=0~511) に対して 8 ビット単位で読み出し/書き込みが可能になります。
4. VBTCR1.BPWSWSTP ビットを 0 にクリアして、バッテリー電源スイッチを有効にします。 [11.3.2 VBATT バッテリ電源スイッチの使用法](#)を参照してください。

11.3.5 VBATT ウェイクアップコントロール機能の使用法

ウェイクアップコントロール機能とは、VBATT 端子による VBATT_R 供給時に、RTC アラーム/周期信号、または VBATWIO_n (n=0~2) 入力信号がアサートされた場合、VBATWIO_n (n=0~2) 出力端子のトグル動作を可能にする機能です。

注. このウェイクアップコントロール機能によるトグル動作では、ICU での割り込み、およびリセット対象モジュールへのリセットは発生しません。

図 11.5 に、VBATT ウェイクアップコントロール機能の使用例を示します。この例では、VBATWIO0 ポートをウェイクアップ出力ポート、RTCIC2 ポートを外部時間キャプチャ入力キャプチャポート、および VBATWIO2 ポートを外部時間キャプチャ入力トリガポートとして使用しています。VBATWIO0 出力のトグル動作では、トリガ対象がアサートされたとき、Low から High への切り替えを行います。ウェイクアップコントロール機能に対するトリガ要因は、RTC 周期信号、または VBATWIO2 入力の立ち上がりエッジです。

VBATT ウェイクアップコントロール機能を設定するには、以下の手順に従ってください。

1. パワーオンリセット後、VBTCR1.BPWSWSTP ビットに初めてアクセスする場合は、本ビットを 1 にします。
2. VBTSR.VBTRVLD ビットが 1 になるのを待ちます。その後、VBTWCTLR.VWEN ビットと VBTSR.VBTRDF ビットが 0 であることを確認します。これらのビットが 0 でなければ、0 にします。
3. VBTICTLR.VCH_nINEN ビットと VBTCTLR.VCH_nOEN ビットによって、VBATWIO_n ポートの方向を指定し、VBTCTLR.VOUT_nLSEL ビットを 0 または 1 にして、出力レベルを選択します (n=0~2)。この例では、VBATWIO2/RTCIC2 ポートを時間キャプチャ入力、VBATWIO0 ポートをウェイクアップ出力ポートとして使用しています。
下記のビットを 1 にしてください：

- VBTCTLR.VCH0OEN
- VBTICTLR.VCH2INEN

さらに、VBTCTLR.VOUT0LSEL ビットを 0 にして、Low から High へのトグル出力としてください。

4. 必要に応じて、周辺モジュールを設定します。
この例では、RTC の設定で、時間キャプチャ設定に時間キャプチャ機能を指定します。詳細は、「[24. リアルタイムクロック \(RTC\)](#)」を参照してください。
5. VBTWTER レジスタでウェイクアップトリガ要因を選択します。
この例では、VBTWTER.VRTCIE ビットと VBTWTER.VCH2E ビットを 1 に設定して、トリガ要因を、RTC 周期信号および VBATWIO2 入力トリガに選択します。
6. VBTWEGR レジスタでウェイクアップトリガ要因のエッジを選択します。
たとえば、VBTWEGR.VCH2EG ビットを 1 にして、VBATWIO2 ポートを立ち上がりエッジトリガとして選択します。
7. VBTWCH_nOTSR レジスタ (n=0~2) で、VBATT ウェイクアップ出力のトリガ要因を選択します。
この例では、VBTWCH0OTSR.CH0VRTCTE ビットと VBTWCH0OTSR.CH0VCH2TE ビットを 1 に設定します。
8. VBTWCTLR.VWEN ビットを 1 にして、VBATT ウェイクアップコントロール機能を有効にした後、VBTCR1.BPWSWSTP ビットを 0 にして、バッテリー電源スイッチを有効にします。
VBTWCTLR.VWEN ビットを 1 にすると、VBATT ウェイクアップコントロール機能が有効になります。
9. 電源供給の停止要求に対して I/O レジスタが外付けパワーマネジメント IC へ 0 または 1 を出力するように設定します。電源供給の停止後、RTC 周期信号、または VBATWIO2 入力トリガがアサートされると、各イベントの VBATT ウェイクアップトリガ要因フラグ (VBTWFR.VRTCIF、または VBTWFR.VCH2F) が 1 になり、VBATWIO0 ポートのトグル出力が Low から High に切り替わります。その結果、MCU に電源が供給され、低電圧監視 0 リセット (LVD0) 以降に MCU が起動します。この例では、外付けパワーマネジメント IC は、VCC 端子から給電される I/O ポート上で正方向変化を検出したときに電源供給を停止します。また、VBATWIO0 ポート上で正方向変化を検出したときに電源供

給を開始します。

VBATT ウェイクアップ機能のタイミング図を図 11.6 に示します。

以下の手順は、VBATT ウェイクアップトリガによって、低電圧監視 0 リセット (LVD0) 以降に MCU が起動した後のレジスタの設定方法を示しています。

1. VBTCCR1.BPWSWSTP ビットを 1 にします。
2. VBTSR.VBTRVLD ビットが 1 になるまで待つてから、VBTSR.VBTRDF ビットが 0 であることを確認します。
3. VBTWFR レジスタを読み出して、VBATT ウェイクアップトリガ要因を確認します。図 11.6 の例では、VBTWFR.VRTCIF ビットが 1 になります。
4. VBTWFR レジスタの対応するビットを 0 にクリアすると、VBATWIO_n ポート (n=0~2) でトグル出力が開始されます。図 11.6 の例では、VBATWIO0 ポートは High から Low にトグルします。
5. 必要に応じて、電源停止コントロール信号の I/O レジスタが外付けパワーマネジメント IC へ 0 または 1 を出力するように設定します。
6. VBATT ウェイクアップ動作を繰り返したい場合は、VBTCCR1.BPWSWSTP ビットを 0 にクリアし、再度、電源供給の停止を要求するために、電源停止コントロール信号の I/O レジスタが外付けパワーマネジメント IC へ 0 または 1 を出力するように設定します。
ウェイクアップトリガ条件を変更したい場合は、VBTWCTLR.VWEN ビットを 0 にクリアし、VBATT に関連する他のレジスタを設定する前に、VBTWTER レジスタの全ビットをクリアします。

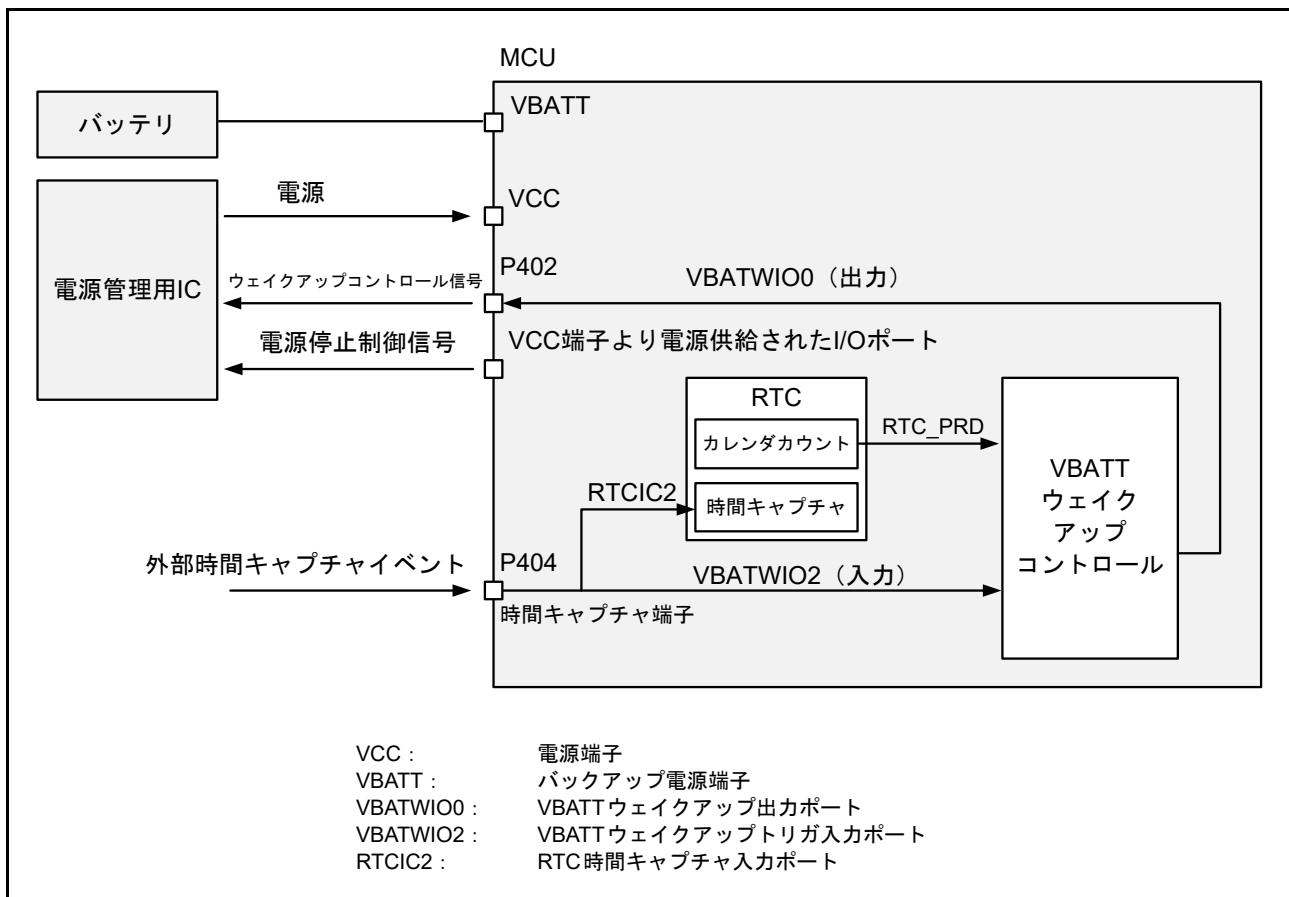


図 11.5 VBATT ウェイクアップコントロール機能の応用例

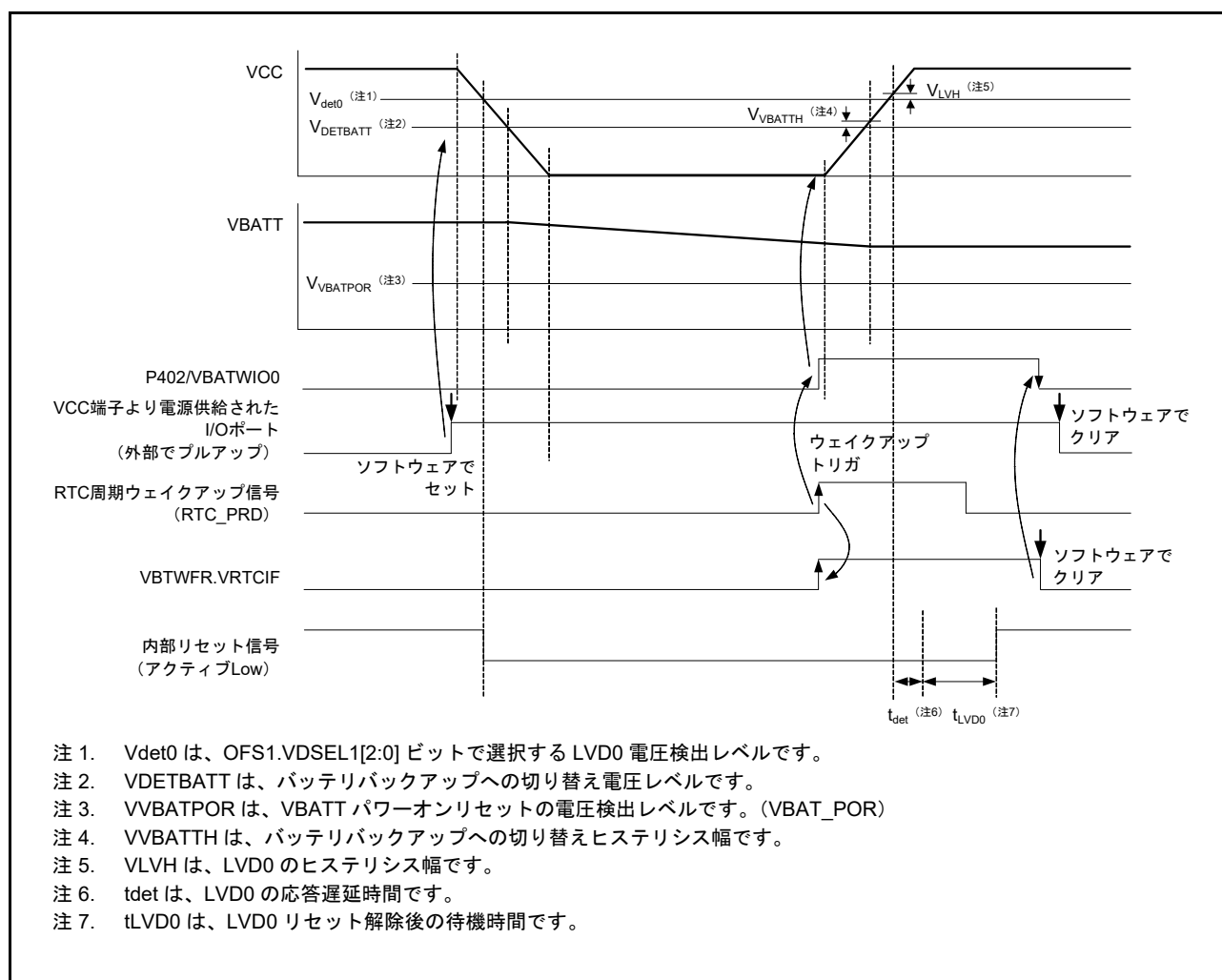


図 11.6 VBAT ウェイクアップ機能のタイミング図

11.4 使用上の注意事項

1. VBATT 端子を使用しない場合は、VBATT 端子を VCC 端子に接続してください。
2. VBATT の電圧レベルが動作保証範囲を下回ったときは、サブクロック発振器と RTC の動作は保証されません。この電圧降下は VBTSR レジスタで確認できます。
3. 本項で説明した各レジスタへの書き込み中にリセットが発生した場合、レジスタ値が失われることがあります。
4. VBATT 端子からの給電によって RTC が動作しているとき、RTC は、カレンダー／バイナリカウント動作、VBATT ウェイクアップ機能のためのアラーム／周期トリガ、および時間キャプチャ機能をサポートします。
5. VBATT ウェイクアップコントロール機能は、VBATT_R が VBATT 端子からのみ給電されている場合にのみ動作します。
6. VCC 端子から給電される I/O ポートの電圧レベルは、電源供給が停止するとハイインピーダンスに変化します。上記ポートを VBATT ウェイクアップ機能のための電源停止コントロール端子として使用する場合は、これらのポートは外部でプルアップまたはプルダウンしてください。

12. レジスタライトプロテクション

12.1 概要

レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護されるレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 12.1 に PRCR レジスタのビットと保護されるレジスタの対応関係を示します。

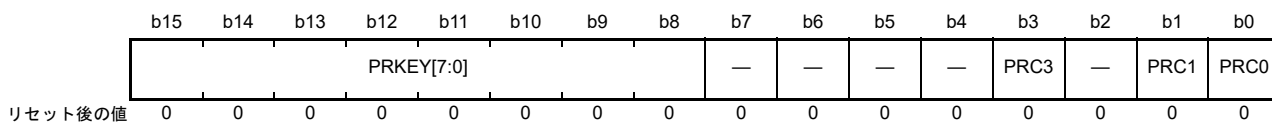
表 12.1 PRCR レジスタのビットと保護されるレジスタの対応関係

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> クロック発生回路関連レジスタ SCKDIVCR, SCKSCR, PLLCR, PLLCCR2, MEMWAIT, MOSCCR, HOCOCR, HOCOCR2, MOCOCR, CKOCR, TRCKCR, OSTDCR, OSTDSR, SLCDSCKCR, EBCKOCR, MOCOUTCR, HOCOUTCR, MOSCWTCR, MOMCR, SOSCCR, SOMCR, LOCCOCR, LOCOUTCR, HOCOWTCR, USBCKCR
PRC1 ビット	<ul style="list-style-type: none"> 低消費電力モード関連レジスタ SBYCR, SNZCR, SNZEDCR, SNZREQCR, FLSTOP, OPCCR, SOPCCR, SYOCDRCR バッテリバックアップ機能関連レジスタ VBTCR1, VBTCR2, VBTSR, VBTCMPCR, VBTLVDICR, VBTWCTLR, VBTWCH0OTSR, VBTWCH1OTSR, VBTWCH2OTSR, VBTICTLR, VBTOCTLR, VBTWTER, VBTWEGR, VBTWFR, VBTBKR_n (n = 0~511), BKRACR
PRC3 ビット	<ul style="list-style-type: none"> LVD 関連レジスタ LVD1CR1, LVD1SR, LVD2CR1, LVD2SR, LVCMPCR, LVDLVLR, LVD1CR0, LVD2CR0

12.2 レジスタの説明

12.2.1 プロテクトレジスタ (PRCR)

アドレス SYSTEM.PRCR 4001 E3FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可または禁止 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	低消費電力モードおよびバッテリバックアップ機能関連レジスタへの書き込み許可または禁止 0: 書き込み禁止 1: 書き込み許可	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可または禁止 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	PRKEY[7:0]	PRCキーコード	PRCRレジスタへの書き込みを制御します。PRCRレジスタを書き換える場合、上位8ビットにA5h、下位8ビットに目的の値を、16ビット単位で書いてください。	W (注1)

注 1. 書き込みデータは保持されません。読むと 00h が読めます。

PRCn ビット (プロテクトビット n) (n = 0, 1, 3)

保護されるレジスタ (表 12.1 を参照) への書き込みを許可または禁止します。PRCn ビットを 1 にすると書き込み許可、0 にすると書き込み禁止になります。

13. 割り込みコントローラユニット (ICU)

13.1 概要

割り込みコントローラユニット (ICU) は、NVIC、DTC、およびDMAC モジュールにリンクされるイベント信号を制御します。ICU はノンマスクابل割り込みも制御します。表 13.1 に ICU の仕様を、図 13.1 にブロック図を、表 13.2 に入出力端子を示します。

表 13.1 ICU の仕様

項目	内容	
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> 周辺モジュールからの割り込み 要因数：174
	外部端子割り込み	<ul style="list-style-type: none"> 割り込み検出：Low レベル^(注4)、立ち下がりエッジ、立ち上がりエッジ、両エッジ これらの検出法は要因ごとに1つ設定可能 デジタルフィルタ機能をサポート 15要因 (IRQ0~IQR12, IQR14, IQR15端子からの割り込み)
	DTC/DMAC 制御	割り込み要因によってDTCとDMACの起動が可能 ^(注1)
	NVICへの割り込み要因	<ul style="list-style-type: none"> 32要因
ノンマスクابل割り込み ^(注2)	NMI端子割り込み	<ul style="list-style-type: none"> NMI端子からの割り込み 割り込み検出：立ち下がりエッジまたは立ち上がりエッジ デジタルフィルタ機能をサポート
	発振停止検出割り込み ^(注3)	メイン発振停止検出時の割り込み
	WDTアンダーフロー/リフレッシュエラー ^(注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	IWDTアンダーフロー/リフレッシュエラー ^(注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	電圧監視1割り込み ^(注3)	低電圧検出1回路 (LVD_LVD1) の電圧監視割り込み
	電圧監視2割り込み ^(注3)	低電圧検出2回路 (LVD_LVD2) の電圧監視割り込み
	VBATT割り込み	VBATT監視による電圧監視割り込み
	RPEST	SRAMパリティエラー発生時の割り込み
	RECCST	SRAM ECCエラー発生時の割り込み
	BUSSST	MPUバススレーブエラー発生時の割り込み
	BUSMST	MPUバスマスタエラー発生時の割り込み
SPEST	CPUスタックポインタモニタによる割り込み	
低消費電力モードからの復帰	<ul style="list-style-type: none"> スリープモード：ノンマスクابل割り込みまたはその他の割り込み要因によって復帰 ソフトウェアスタンバイモード：ノンマスクابل割り込みによって復帰 割り込みはWUPENレジスタで選択可能 スヌーズモード：ノンマスクابل割り込みによって復帰 割り込みはSELSR0およびWUPENレジスタで選択可能 <p>13.2.8 SYSイベントリンク設定レジスタ (SELSR0) および13.2.9 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。</p>	

注 1. DTC と DMAC の起動要因については、表 13.4 イベントテーブルを参照してください。

注 2. リセット解除後に 1 回だけノンマスクابل割り込みを許可することが可能です

注 3. これらのノンマスクابل割り込みは、イベント信号としても使用可能です。割り込みとして使用する場合、NMIER レジスタの値をリセット状態から変更しないでください。電圧監視 1 と電圧監視 2 の割り込みを許可するには、LVD1CR1.IRQSEL ビットと LVD2CR1.IRQSEL ビットを 1 にしてください。VBATT 監視割り込みを許可するには、VBTLVDICR.VBTLVDISEL ビットを 1 にしてください。

注 4. Low レベル：検出された後にクリアしなければ、割り込みは解除されません。

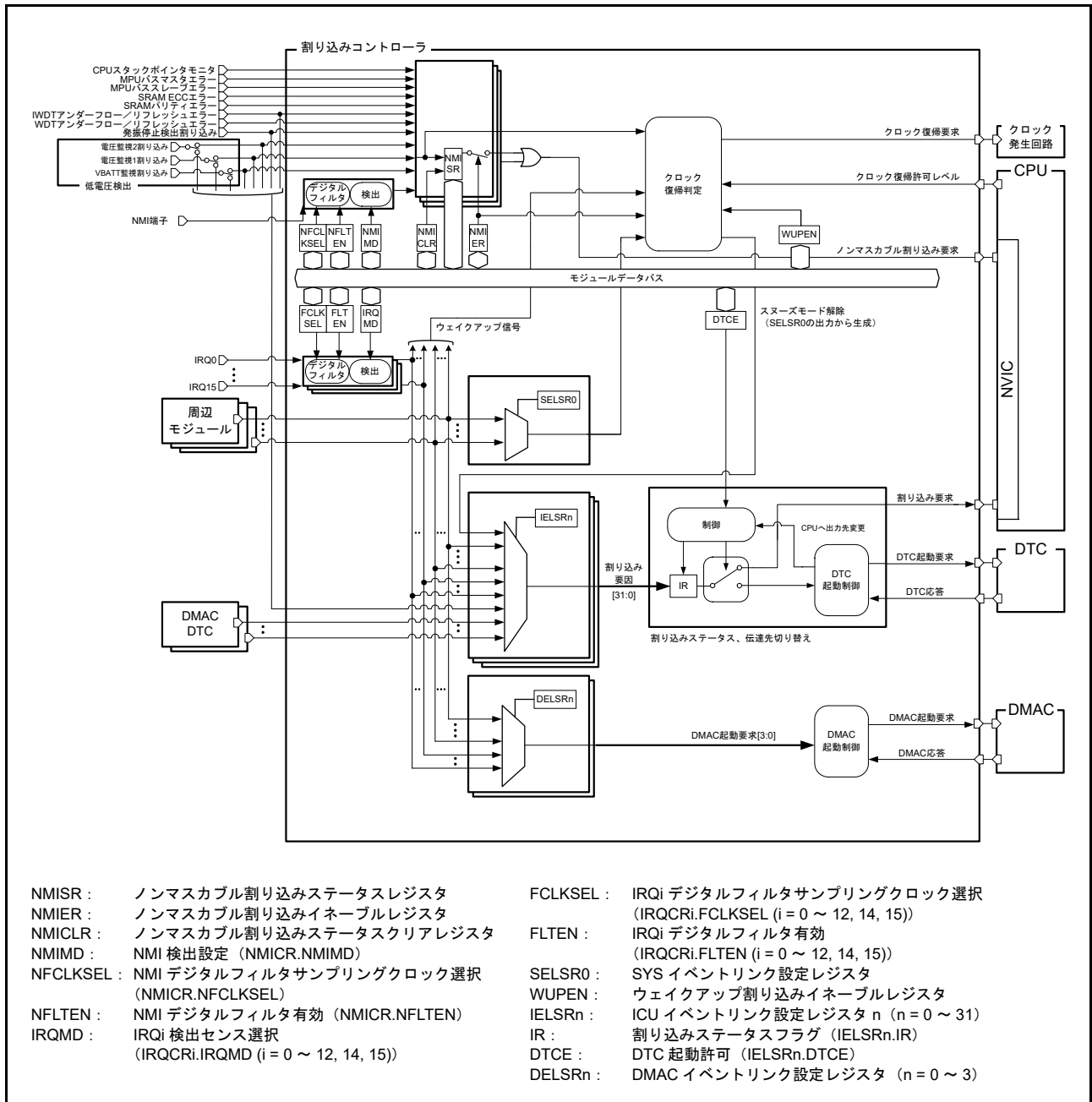


図 13.1 ICU のブロック図

表 13.2 ICU の入出力端子

端子名	入出力	機能
NMI	入力	ノンマスクابل割り込み要求端子
IRQ0 ~ IRQ12, IRQ14, IRQ15	入力	外部割り込み要求端子

13.2 レジスタの説明

本章では、Arm® NVIC の内部レジスタについては説明していません。これらのレジスタについては、*ARM® Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D)* を参照してください。

13.2.1 IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 12, 14, 15)

アドレス ICU.IRQCR0 4000 6000h, ICU.IRQCR1 4000 6001h, ICU.IRQCR2 4000 6002h, ICU.IRQCR3 4000 6003h, ICU.IRQCR4 4000 6004h, ICU.IRQCR5 4000 6005h, ICU.IRQCR6 4000 6006h, ICU.IRQCR7 4000 6007h, ICU.IRQCR8 4000 6008h, ICU.IRQCR9 4000 6009h, ICU.IRQCR10 4000 600Ah, ICU.IRQCR11 4000 600Bh, ICU.IRQCR12 4000 600Ch, ICU.IRQCR14 4000 600Eh, ICU.IRQCR15 4000 600Fh

b7	b6	b5	b4	b3	b2	b1	b0
FLTEN	—	FCLKSEL[1:0]	—	—	—	IRQMD[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	IRQMD[1:0]	IRQi 検出センス選択	b1 b0 0 0: 立ち下がリエッジ 0 1: 立ち上がりエッジ 1 0: 両エッジ 1 1: Lowレベル	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	FCLKSEL[1:0]	IRQi デジタルフィルタサンプリング クロック選択	b5 b4 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	FLTEN	IRQi デジタルフィルタ有効	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W

IRQCRi レジスタの変更には、以下の条件があります。

- CPU 割り込みまたは DTC 起動要因の場合：
IRQCRi レジスタの設定を変更してから、対象の IELSRn レジスタ (n = 0 ~ 31) を設定する必要があります。
対象の IELSRn.IELSR[7:0] ビットが 00h の場合にのみ、レジスタ値の変更が可能です
- DMAC 起動要因の場合：
IRQCRi レジスタの設定を変更してから、対象の DELSRn (n = 0 ~ 3) レジスタを設定する必要があります。
対象の DELSRn.DELSR[7:0] ビットが 00h の場合にのみ、レジスタ値の変更が可能です
- ウェイクアップ許可信号の場合：
IRQCRi レジスタの設定を変更してから、対象の WUPEN.IRQWUPEN[n] ビット (n = 0 ~ 12, 14, 15) を設定する必要があります。
対象の WUPEN.IRQWUPEN[n] ビットが 0 の場合にのみ、レジスタ値の変更が可能です

IRQMD[1:0] ビット (IRQi 検出センス選択)

IRQi 外部端子割り込み要因の検出センシング方法を設定します。外部端子割り込み使用時の設定方法は、[13.4.4 外部端子割り込み](#)を参照してください。

FCLKSEL[1:0] ビット (IRQi デジタルフィルタサンプリングクロック選択)

IRQi 外部端子割り込み要求のデジタルフィルタサンプリングクロックを選択します。下記から選択できます。

- PCLKB (毎サイクル)
- PCLKB/8 (8 サイクルに 1 回)
- PCLKB/32 (32 サイクルに 1 回)
- PCLKB/64 (64 サイクルに 1 回)

デジタルフィルタの詳細については、[13.4.3 デジタルフィルタ](#)を参照してください。

FLTEN ビット (IRQi デジタルフィルタ有効)

IRQi 外部端子割り込み要因に使用するデジタルフィルタを有効にします。デジタルフィルタは、IRQCRI.FLTEN ビットが 1 の場合に有効になり、IRQCRI.FLTEN ビットが 0 の場合に無効になります。IRQi 端子レベルは、IRQCRI.FCLKSEL[1:0] ビットで指定されたサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、[13.4.3 デジタルフィルタ](#)を参照してください。

13.2.2 ノンマスクابل割り込みステータスレジスタ (NMISR)

アドレス ICU.NMISR 4000 6140h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPEST	BUSMST	BUSST	RECCST	RPEST	NMIST	OSTST	—	VBATTST	LVD2ST	LVD1ST	WDTST	IWDTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTST	IWDT アンダーフロー/リフレッシュエラーステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b1	WDTST	WDT アンダーフロー/リフレッシュエラーステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b2	LVD1ST	電圧監視1 割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b3	LVD2ST	電圧監視2 割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b4	VBATTST	VBATT 監視割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b5	—	予約ビット	読むと0が読めます。	R
b6	OSTST	メインクロック発振停止検出割り込みステータスフラグ	0: メインクロック発振停止検出割り込み要求なし 1: メインクロック発振停止検出割り込み要求あり	R
b7	NMIST	NMI端子割り込みステータスフラグ	0: NMI端子割り込み要求なし 1: NMI端子割り込み要求あり	R
b8	RPEST	SRAMパリティエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b9	RECCST	SRAM ECCエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b10	BUSST	MPUバススレーブエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b11	BUSMST	MPUバスマスタエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b12	SPEST	CPUスタックポインタモニタ割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b15-b13	—	予約ビット	読むと0が読めます。	R

NMISR レジスタは、ノンマスクابل割り込み要因のステータスを監視します。NMISR レジスタへの書き込みは無視されます。ノンマスクابل割り込みイネーブルレジスタ (NMIER) の設定は、このレジスタのステータスフラグには影響しません。ノンマスクابل割り込みの処理ルーチンでは、このレジスタの全ビットが0になっていることをチェックして、他のNMI要求が発生していないことを確認してから、処理を終了してください。

IWDTST フラグ (IWDT アンダーフロー/リフレッシュエラーステータスフラグ)

IWDT アンダーフロー/リフレッシュエラー割り込み要求を示します。本フラグは読み出し専用であり、NMICLR.IWDTCLR ビットでクリアされます。

[1 になる条件]

- IWDT アンダーフロー/リフレッシュエラー割り込みが発生し、この割り込みが許可されているとき

[0 になる条件]

- NMICLR.IWDTCLR ビットに1を書いたとき

WDTST フラグ (WDT アンダーフロー/リフレッシュエラーステータスフラグ)

WDT アンダーフロー/リフレッシュエラー割り込み要求を示します。本フラグは読み出し専用であり、NMICLR.WDTCLR ビットでクリアされます。

[1 になる条件]

- WDT アンダーフロー/リフレッシュエラー割り込みが発生したとき

[0 になる条件]

- NMICLR.WDTCLR ビットに 1 を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)

電圧監視 1 割り込み要求を示します。本フラグは読み出し専用であり、NMICLR.LVD1CLR ビットでクリアされます。

[1 になる条件]

- 電圧監視 1 割り込みが発生し、この割り込みが許可されているとき

[0 になる条件]

- NMICLR.LVD1CLR ビットに 1 を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)

電圧監視 2 割り込み要求を示します。本フラグは読み出し専用であり、NMICLR.LVD2CLR ビットでクリアされます。

[1 になる条件]

- 電圧監視 2 割り込みが発生し、この割り込みが許可されているとき

[0 になる条件]

- NMICLR.LVD2CLR ビットに 1 を書いたとき

VBATTST フラグ (VBATT 監視割り込みステータスフラグ)

VBATT 監視割り込み要求を示します。本フラグは読み出し専用であり、NMICLR.VBATTCLR ビットでクリアされます。

[1 になる条件]

- VBATT 監視割り込みが発生したとき

[0 になる条件]

- NMICLR.VBATTCLR ビットに 1 を書いたとき

OSTST フラグ (メインクロック発振停止検出割り込みステータスフラグ)

メインクロック発振停止検出割り込み要求を示します。本フラグは読み出し専用であり、NMICLR.OSTCLR ビットでクリアされます。

[1 になる条件]

- メインクロック発振停止検出割り込みが発生したとき

[0 になる条件]

- NMICLR.OSTCLR ビットに 1 を書いたとき

NMIST フラグ (NMI 端子割り込みステータスフラグ)

NMI 端子割り込み要求を示します。本フラグは読み出し専用であり、NMICLR.NMICLR ビットでクリアされます。

[1 になる条件]

- NMICR.NMIMD ビットで指定したエッジが NMI 端子に入力されたとき

[0 になる条件]

- NMICLR.NMICLR ビットに 1 を書いたとき

RPEST フラグ (SRAM パリティエラー割り込みステータスフラグ)

SRAM パリティエラー割り込み要求を示します。

[1 になる条件]

- SRAM パリティエラーにより、割り込みが発生したとき

[0 になる条件]

- NMICLR.RPECLR ビットに 1 を書いたとき

RECCST フラグ (SRAM ECC エラー割り込みステータスフラグ)

SRAM ECC エラー割り込み要求を示します。

[1 になる条件]

- SRAM ECC エラーにより、割り込みが発生したとき

[0 になる条件]

- NMICLR.RECCCLR ビットに 1 を書いたとき

BUSST フラグ (MPU バススレーブエラー割り込みステータスフラグ)

バススレーブエラー割り込み要求を示します。

[1 になる条件]

- バススレーブエラーにより、割り込みが発生したとき

[0 になる条件]

- NMICLR.BUSSCLR ビットに 1 を書いたとき

BUSMST フラグ (MPU バスマスタエラー割り込みステータスフラグ)

バスマスタエラー割り込み要求を示します。

[1 になる条件]

- バスマスタエラーにより、割り込みが発生したとき

[0 になる条件]

- NMICLR.BUSMCLR ビットに 1 を書いたとき

SPEST フラグ (CPU スタックポインタモニタ割り込みステータスフラグ)

CPU スタックポインタモニタ割り込み要求を示します。

[1 になる条件]

- CPU スタックポインタモニタにより、割り込みが発生したとき

[0 になる条件]

- NMICLR.SPECLR ビットに 1 を書いたとき

13.2.3 ノンマスクブル割り込みイネーブルレジスタ (NMIER)

アドレス ICU.NMIER 4000 6120h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPEEN	BUSME N	BUSSE N	RECCE N	RPEEN	NMIEN	OSTEN	—	VBATT EN	LVD2E N	LVD1E N	WDTE N	IWDTE N
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTEN	IWDT アンダーフロー／リフレッシュエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b1	WDTEN	WDT アンダーフロー／リフレッシュエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b2	LVD1EN	電圧監視1割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b3	LVD2EN	電圧監視2割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b4	VBATTEN	VBATT 監視割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	OSTEN	メインクロック発振停止検出割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b7	NMIEN	NMI 端子割り込み許可	0: 禁止 1: 許可	R/(W) (注1)
b8	RPEEN	SRAM パリティエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b9	RECCEN	SRAM ECC エラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b10	BUSSEN	MPU バススレーブエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b11	BUSMEN	MPU バスマスタエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b12	SPEEN	CPU スタックポインタモニタ割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後、1回だけ1を書き込むことができ、以後のライトアクセスは無効です。0の書き込みは無効です。

注2. イベント信号として使用する場合、1にしないでください。

IWDTEN ビット (IWDT アンダーフロー／リフレッシュエラー割り込み許可)

NMI の起動要因となる IWDT アンダーフロー／リフレッシュエラー割り込みを許可または禁止します。

WDTEN ビット (WDT アンダーフロー／リフレッシュエラー割り込み許可)

NMI の起動要因となる WDT アンダーフロー／リフレッシュエラー割り込みを許可または禁止します。

LVD1EN ビット (電圧監視 1 割り込み許可)

NMI の起動要因となる電圧監視 1 割り込みを許可または禁止します。

LVD2EN ビット (電圧監視 2 割り込み許可)

NMI の起動要因となる電圧監視 2 割り込みを許可または禁止します。

VBATTEN ビット (VBATT 監視割り込み許可)

NMI の起動要因となる VBATT 監視割り込みを許可または禁止します。

OSTEN ビット (メインクロック発振停止検出割り込み許可)

NMI の起動要因となるメインクロック発振停止検出割り込みを許可または禁止します。

NMIEN ビット (NMI 端子割り込み許可)

NMI の起動要因となる NMI 端子割り込みを許可または禁止します。

RPEEN ビット (SRAM パリティエラー割り込み許可)

NMI の起動要因となる SRAM パリティエラー割り込みを許可または禁止します。

RECCEN ビット (SRAM ECC エラー割り込み許可)

NMI の起動要因となる SRAM ECC エラー割り込みを許可または禁止します。

BUSSEN ビット (MPU バススレーブエラー割り込み許可)

NMI の起動要因となるバススレーブエラー割り込みを許可または禁止します。

BUSMEN ビット (MPU バスマスタエラー割り込み許可)

NMI の起動要因となるバスマスタエラー割り込みを許可または禁止します。

SPEEN ビット (CPU スタックポインタモニタ割り込み許可)

NMI の起動要因となる CPU スタックポインタモニタ割り込みを許可または禁止します。

13.2.4 ノンマスクブル割り込みステータスクリアレジスタ (NMICLR)

アドレス ICU.NMICLR 4000 6130h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPECL R	BUSM CLR	BUSSC LR	RECC LR	RPECL R	NMICL R	OSTCL R	—	VBATT CLR	LVD2C LR	LVD1C LR	WDTCL R	IWDTCL LR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTCLR	IWDT クリア	0: 無効 1: NMISR.IWDTST フラグをクリア	R/(W) (注1)
b1	WDTCLR	WDT クリア	0: 無効 1: NMISR.WDTST フラグをクリア	R/(W) (注1)
b2	LVD1CLR	LVD1 クリア	0: 無効 1: NMISR.LVD1ST フラグをクリア	R/(W) (注1)
b3	LVD2CLR	LVD2 クリア	0: 無効 1: NMISR.LVD2ST フラグをクリア	R/(W) (注1)
b4	VBATTCLR	VBATT クリア	0: 無効 1: NMISR.VBATTST フラグをクリア	R/(W) (注1)
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/(W) (注1)
b6	OSTCLR	OST クリア	0: 無効 1: NMISR.OSTST フラグをクリア	R/(W) (注1)
b7	NMICLR	NMI クリア	0: 無効 1: NMISR.NMIST フラグをクリア	R/(W) (注1)
b8	RPECLR	SRAMパリティエラークリア	0: 無効 1: NMISR.RPEST フラグをクリア	R/(W) (注1)
b9	RECCCLR	SRAM ECCエラークリア	0: 無効 1: NMISR.RECCST フラグをクリア	R/(W) (注1)
b10	BUSSCLR	バススレーブエラークリア	0: 無効 1: NMISR.BUSSST フラグをクリア	R/(W) (注1)
b11	BUSMCLR	バスマスタエラークリア	0: 無効 1: NMISR.BUSMST フラグをクリア	R/(W) (注1)
b12	SPECLR	CPUスタックポインタモニタ割り込みクリア	0: 無効 1: NMISR.SPEST フラグをクリア	R/(W) (注1)
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/(W) (注1)

注1. 本ビットには1のみ書けます。

IWDTCLR ビット (IWDT クリア)

1を書き込むことにより、NMISR.IWDTST フラグをクリアします。読むと0が読めます。

WDTCLR ビット (WDT クリア)

1を書き込むことにより、NMISR.WDTST フラグをクリアします。読むと0が読めます。

LVD1CLR ビット (LVD1 クリア)

1を書き込むことにより、NMISR.LVD1ST フラグをクリアします。読むと0が読めます。

LVD2CLR ビット (LVD2 クリア)

1を書き込むことにより、NMISR.LVD2ST フラグをクリアします。読むと0が読めます。

VBATTCLR ビット (VBATT クリア)

1を書き込むことにより、NMISR.VBATTST フラグをクリアします。読むと0が読めます。

OSTCLR ビット (OST クリア)

1 を書き込むことにより、NMISR.OSTST フラグをクリアします。読むと 0 が読めます。

NMICLR ビット (NMI クリア)

1 を書き込むことにより、NMISR.NMIST フラグをクリアします。読むと 0 が読めます。

RPECLR ビット (SRAM パリティエラークリア)

1 を書き込むことにより、NMISR.RPEST フラグをクリアします。読むと 0 が読めます。

RECCCLR ビット (SRAM ECC エラークリア)

1 を書き込むことにより、NMISR.RECCST フラグをクリアします。読むと 0 が読めます。

BUSSCLR ビット (バススレーブエラークリア)

1 を書き込むことにより、NMISR.BUSSST フラグをクリアします。読むと 0 が読めます。

BUSMCLR ビット (バスマスタエラークリア)

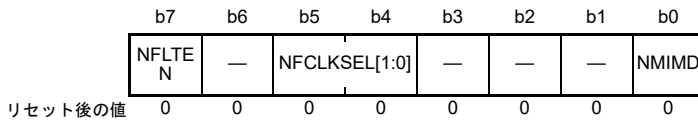
1 を書き込むことにより、NMISR.BUSMST フラグをクリアします。読むと 0 が読めます。

SPECLR ビット (CPU スタックポインタモニタ割り込みクリア)

1 を書き込むことにより、NMISR.SPEST フラグをクリアします。読むと 0 が読めます。

13.2.5 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス ICU.NMICR 4000 6100h



ビット	シンボル	ビット名	機能	R/W
b0	NMIMD	NMI 検出設定	0 : 立ち下がりエッジ 1 : 立ち上がりエッジ	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリングクロック選択	b5 b4 0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	NFLTEN	NMI デジタルフィルタ有効	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W

NMICR レジスタの設定を変更してから、NMI 端子割り込みを許可 (NMICR.NMIEN ビットを 1) にしてください。

NMIMD ビット (NMI 検出設定)

NMI 端子割り込みの検出センシング方法を選択します。

NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック選択)

NMI 端子割り込みのデジタルフィルタサンプリングクロックを選択します。下記から選択できます。

- PCLKB (毎サイクル)
- PCLKB/8 (8 サイクルに 1 回)
- PCLKB/32 (32 サイクルに 1 回)
- PCLKB/64 (64 サイクルに 1 回)

デジタルフィルタの詳細については、[13.4.3 デジタルフィルタ](#)を参照してください。

NFLTEN ビット (NMI デジタルフィルタ有効)

NMI 端子割り込みのデジタルフィルタを有効にします。デジタルフィルタは、NFLTEN ビットが 1 の場合に有効になり、NFLTEN ビットが 0 の場合に無効になります。NMI 端子レベルは、NMICR.NFCLKSEL[1:0] ビットで指定されたクロックサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、[13.4.3 デジタルフィルタ](#)を参照してください。

13.2.6 ICU イベントリンク設定レジスタ n (IELSRn)

アドレス ICU.IELSR0 4000 6300h, ICU.IELSR1 4000 6304h, ICU.IELSR2 4000 6308h, ICU.IELSR3 4000 630Ch.....
.....ICU.IELSR28 4000 6370h, ICU.IELSR29 4000 6374h, ICU.IELSR30 4000 6378h, ICU.IELSR31 4000 637Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16		
	—	—	—	—	—	—	—	DTCE	—	—	—	—	—	—	—	IR		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		
	—	—	—	—	—	—	—	—	IELS[7:0]								—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

ビット	シンボル	ビット名	機能	R/W
b7-b0	IELS[7:0]	ICU イベントリンク選択	b7 b0 00000000 : 対応する NVIC または DTC モジュールへの割り込みは禁止 00000001 ~ 11011001 : リンクするイベント信号の番号。詳細は、表 13.4 を参照してください。	R/W
b15-b8	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b16	IR	割り込みステータスフラグ	0 : 割り込み要求の発生なし 1 : 割り込み要求の発生あり	R/(W) (注1)
b23-b17	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b24	DTCE	DTC 起動許可	0 : DTC 起動を禁止 1 : DTC 起動を許可	R/W
b31-b25	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタにはハーフワードまたはワードアクセスが必要です。

注 1. IR フラグを 1 にする書き込みは禁止です。

IELSRn レジスタでは、NVIC で使用する IRQ 要因を選択します。

詳細は、表 13.4 イベントテーブルを参照してください。IELSRn (n=0~31) は、NVIC IRQ 入力要因番号 0~31 に対応しています。

IELS[7:0] ビット (ICU イベントリンク選択)

対応する NVIC/DTC モジュールにリンクするイベント信号を指定します。

IR フラグ (割り込みステータスフラグ)

IELS[7:0] で指定されたイベントへの割り込み要求生成の有無を示します。

[1 になる条件]

- 対応する周辺モジュールまたは IRQ_i 端子から割り込み要求を受信したとき

[0 になる条件]

- 0 を書いたとき。DTCE ビットを 0 にしてから、IR フラグを 0 にすること

IR フラグのクリア方法：

- 入力割り込み信号をネゲートする。
- 周辺リードアクセスを 1 回実行し、対象モジュールクロックの 2 クロックサイクル分待つ。
- 0 を書き込んで IR フラグをクリアする。

DTCE ビット (DTC 起動許可)

DTCE ビットを 1 にすると、対応するイベントが DTC 起動要因として選択されます。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき
- 0 を書いたとき

13.2.7 DMAC イベントリンク設定レジスタ n (DELSRn)

アドレス ICU.DELSR0 4000 6280h, ICU.DELSR1 4000 6284h, ICU.DELSR2 4000 6288h, ICU.DELSR3 4000 628Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IR		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		
	—	—	—	—	—	—	—	—	DELS[7:0]								—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

ビット	シンボル	ビット名	機能	R/W
b7-b0	DELS[7:0]	DMAC イベントリンク選択	b7 b0 00000000 : 対応する DMAC モジュールへの DMA 起動要求は無効 00000001 ~ 11011001 : リンクするイベント信号の番号 上記以外は設定しないでください。詳細は、表 13.4 イベントテーブルを参照してください。	R/W
b15-b8	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b16	IR	DMAC の割り込みステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b31-b17	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタにはハーフワードまたはワードアクセスが必要です。

注 1. IR フラグを 1 にする書き込みは禁止です。

DELS[7:0] ビット (DMAC イベントリンク選択)

DMAC モジュールにリンクするイベント信号を指定します。

IR フラグ (DMAC の割り込みステータスフラグ)

各 DMA 転送要求のステータスを示します。本フラグは、同じレジスタの DELS[7:0] ビットに対応します。

[1 になる条件]

- 本フラグは、対応する周辺モジュールまたは IRQ_i 端子から DMA 転送要求が発生したときに、1 に設定されます

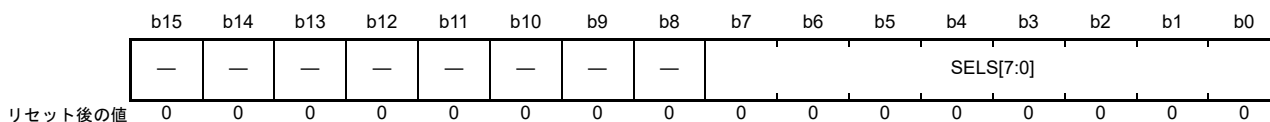
[0 になる条件]

- 0 を書いたとき

- DMA 転送要求の発生後、DMA 転送を開始したとき

13.2.8 SYS イベントリンク設定レジスタ (SELSR0)

アドレス ICU.SELSR0 4000 6200h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SELS[7:0]	SYS イベントリンク選択	b7 b0 00000000 : 対応する低消費電力モードモジュールへのイベント出力は無効 00000001 ~ 11011001 : リンクするイベント信号の番号 上記以外は設定しないでください。詳細は、表 13.4 イベントテーブルを参照してください。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SELSR0 レジスタでは、スヌーズモードから CPU を復帰させるためのイベントを選択します。表 13.4 において「スヌーズモードの解除」欄に○印が付いたイベントのみを使用できます。IELSRn.IELS[7:0] ビットに 017h が設定されると、スヌーズモードを解除する割り込みの発生が可能です。

13.2.9 ウェイクアップ割り込みイネーブルレジスタ (WUPEN)

アドレス ICU.WUPEN 4000 61A0h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
IIC0WUPEN	AGT1CBWUPEN	AGT1CAWUPEN	AGT1UDWUPEN	USBFSWUPEN	—	RTCPRDWUPEN	RTCALMWUPEN	ACMPLP0WUPEN	—	—	VBATTWUPEN	LVD2WUPEN	LVD1WUPEN	KEYWUPEN	IWDTWUPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
IRQWUPEN[15:14]		—	IRQWUPEN[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	IRQWUPEN[12:0]	IRQ割り込みソフトウェアスタンバイ復帰許可	0: IRQ割り込みによるソフトウェアスタンバイ復帰禁止 1: IRQ割り込みによるソフトウェアスタンバイ復帰許可	R/W
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b14	IRQWUPEN[15:14]	IRQ割り込みソフトウェアスタンバイ復帰許可	0: IRQ割り込みによるソフトウェアスタンバイ復帰禁止 1: IRQ割り込みによるソフトウェアスタンバイ復帰許可	R/W
b16	IWDTWUPEN	IWDT割り込みソフトウェアスタンバイ復帰許可	0: IWDT割り込みによるソフトウェアスタンバイ復帰禁止 1: IWDT割り込みによるソフトウェアスタンバイ復帰許可	R/W
b17	KEYWUPEN	キー割り込みソフトウェアスタンバイ復帰許可	0: キー割り込みによるソフトウェアスタンバイ復帰禁止 1: キー割り込みによるソフトウェアスタンバイ復帰許可	R/W
b18	LVD1WUPEN	LVD1割り込みソフトウェアスタンバイ復帰許可	0: LVD1割り込みによるソフトウェアスタンバイ復帰禁止 1: LVD1割り込みによるソフトウェアスタンバイ復帰許可	R/W
b19	LVD2WUPEN	LVD2割り込みソフトウェアスタンバイ復帰許可	0: LVD2割り込みによるソフトウェアスタンバイ復帰禁止 1: LVD2割り込みによるソフトウェアスタンバイ復帰許可	R/W
b20	VBATTWUPEN	VBATT監視割り込みソフトウェアスタンバイ復帰許可	0: VBATT監視割り込みによるソフトウェアスタンバイ復帰禁止 1: VBATT監視割り込みによるソフトウェアスタンバイ復帰許可	R/W
b22-b21	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23	ACMPLP0WUPEN	ACMPLP0割り込みソフトウェアスタンバイ復帰許可	0: ACMPLP0割り込みによるソフトウェアスタンバイ復帰禁止 1: ACMPLP0割り込みによるソフトウェアスタンバイ復帰許可	R/W
b24	RTCALMWUPEN	RTCアラーム割り込みソフトウェアスタンバイ復帰許可	0: RTCアラーム割り込みによるソフトウェアスタンバイ復帰禁止 1: RTCアラーム割り込みによるソフトウェアスタンバイ復帰許可	R/W
b25	RTCPRDWUPEN	RTC周期割り込みソフトウェアスタンバイ復帰許可	0: RTC周期割り込みによるソフトウェアスタンバイ復帰禁止 1: RTC周期割り込みによるソフトウェアスタンバイ復帰許可	R/W
b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b27	USBFSWUPEN	USBFS割り込みソフトウェアスタンバイ復帰許可	0: USBFS割り込みによるソフトウェアスタンバイ復帰禁止 1: USBFS割り込みによるソフトウェアスタンバイ復帰許可	R/W
b28	AGT1UDWUPEN	AGT1アンダーフロー割り込みソフトウェアスタンバイ復帰許可	0: AGT1アンダーフロー割り込みによるソフトウェアスタンバイ復帰禁止 1: AGT1アンダーフロー割り込みによるソフトウェアスタンバイ復帰許可	R/W
b29	AGT1CAWUPEN	AGT1コンペアマッチA割り込みソフトウェアスタンバイ復帰許可	0: AGT1コンペアマッチA割り込みによるソフトウェアスタンバイ復帰禁止 1: AGT1コンペアマッチA割り込みによるソフトウェアスタンバイ復帰許可	R/W

ビット	シンボル	ビット名	機能	R/W
b30	AGT1CBWUPEN	AGT1コンペアマッチB割り込みソフトウェアスタンバイ復帰許可	0: AGT1コンペアマッチB割り込みによるソフトウェアスタンバイ復帰禁止 1: AGT1コンペアマッチB割り込みによるソフトウェアスタンバイ復帰許可	R/W
b31	IIC0WUPEN	IIC0アドレス一致割り込みソフトウェアスタンバイ復帰許可	0: IIC0アドレス一致割り込みによるソフトウェアスタンバイ復帰禁止 1: IIC0アドレス一致割り込みによるソフトウェアスタンバイ復帰許可	R/W

このレジスタの各ビットは、対応する割り込みがソフトウェアスタンバイモードから CPU を復帰させることができるかどうかを制御します。

IRQWUPEN[15:14], [12:0] ビット (IRQ 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため IRQn 割り込みの使用を許可します。

IWDTWUPEN ビット (IWDT 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため IWDT 割り込みの使用を許可します。

KEYWUPEN ビット (キー割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するためキー割り込みの使用を許可します。

LVD1WUPEN ビット (LVD1 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため LVD1 割り込みの使用を許可します。

LVD2WUPEN ビット (LVD2 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため LVD2 割り込みの使用を許可します。

VBATTWUPEN ビット (VBATT 監視割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため VBATT 監視割り込みの使用を許可します。

ACMPLP0WUPEN ビット (ACMPLP0 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため ACMPLP0 割り込みの使用を許可します。

RTCALMWUPEN ビット (RTC アラーム割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため RTC アラーム割り込みの使用を許可します。

RTCPRDWUPEN ビット (RTC 周期割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため RTC 周期割り込みの使用を許可します。

USBFSWUPEN ビット (USBFS 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため USBFS 割り込みの使用を許可します。

AGT1UDWUPEN ビット (AGT1 アンダーフロー割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため AGT1 アンダーフロー割り込みの使用を許可します。

AGT1CAWUPEN ビット (AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため AGT1 コンペアマッチ A 割り込みの使用を許可します。

AGT1CBWUPEN ビット (AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため AGT1 コンペアマッチ B 割り込みの使用を許可します。

IIC0WUPEN ビット (IIC0 アドレス一致割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため IIC0 割り込みの使用を許可します。

13.3 ベクタテーブル

ICU は、マスクابل割り込みとノンマスクابل割り込みを検出します。割り込み優先順位は Arm NVIC で設定されます。ARM® Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D) の NVIC の章を参照してください。

13.3.1 割り込みベクタテーブル

表 13.3 に割り込みベクタテーブルの内容を示します。割り込みベクタアドレスは、NVIC の仕様に従います。

表 13.3 割り込みベクタテーブル (1/2)

例外番号	IRQ番号	ベクタオフセット	発生元	内容
0	—	000h	Arm	初期スタックポインタ
1	—	004h	Arm	初期プログラムカウンタ (リセットベクタ)
2	—	008h	Arm	ノンマスクابل割り込み (NMI)
3	—	00Ch	Arm	ハード障害
4	—	010h	Arm	MemManage 障害
5	—	014h	Arm	バス障害
6	—	018h	Arm	使用障害
7	—	01Ch	Arm	予約
8	—	020h	Arm	予約
9	—	024h	Arm	予約
10	—	028h	Arm	予約
11	—	02Ch	Arm	スーパーバイザコール (SVCall)
12	—	030h	Arm	デバッグ監視
13	—	034h	Arm	予約
14	—	038h	Arm	システムサービスに対する保留可能な要求 (PendableSrvReq)
15	—	03Ch	Arm	システムティックタイマ (SysTick)
16	0	040h	ICU.IELSR0	ICU.IELSR0 レジスタで選択されたイベント
17	1	044h	ICU.IELSR1	ICU.IELSR1 レジスタで選択されたイベント
18	2	048h	ICU.IELSR2	ICU.IELSR2 レジスタで選択されたイベント
19	3	04Ch	ICU.IELSR3	ICU.IELSR3 レジスタで選択されたイベント
20	4	050h	ICU.IELSR4	ICU.IELSR4 レジスタで選択されたイベント
21	5	054h	ICU.IELSR5	ICU.IELSR5 レジスタで選択されたイベント
22	6	058h	ICU.IELSR6	ICU.IELSR6 レジスタで選択されたイベント
23	7	05Ch	ICU.IELSR7	ICU.IELSR7 レジスタで選択されたイベント
24	8	060h	ICU.IELSR8	ICU.IELSR8 レジスタで選択されたイベント
25	9	064h	ICU.IELSR9	ICU.IELSR9 レジスタで選択されたイベント
26	10	068h	ICU.IELSR10	ICU.IELSR10 レジスタで選択されたイベント
27	11	06Ch	ICU.IELSR11	ICU.IELSR11 レジスタで選択されたイベント
28	12	070h	ICU.IELSR12	ICU.IELSR12 レジスタで選択されたイベント
29	13	074h	ICU.IELSR13	ICU.IELSR13 レジスタで選択されたイベント
30	14	078h	ICU.IELSR14	ICU.IELSR14 レジスタで選択されたイベント
31	15	07Ch	ICU.IELSR15	ICU.IELSR15 レジスタで選択されたイベント
32	16	080h	ICU.IELSR16	ICU.IELSR16 レジスタで選択されたイベント
33	17	084h	ICU.IELSR17	ICU.IELSR17 レジスタで選択されたイベント
34	18	088h	ICU.IELSR18	ICU.IELSR18 レジスタで選択されたイベント
35	19	08Ch	ICU.IELSR19	ICU.IELSR19 レジスタで選択されたイベント

表 13.3 割り込みベクタテーブル (2/2)

例外番号	IRQ番号	ベクタオフセット	発生元	内容
36	20	090h	ICU.IELSR20	ICU.IELSR20 レジスタで選択されたイベント
37	21	094h	ICU.IELSR21	ICU.IELSR21 レジスタで選択されたイベント
38	22	098h	ICU.IELSR22	ICU.IELSR22 レジスタで選択されたイベント
39	23	09Ch	ICU.IELSR23	ICU.IELSR23 レジスタで選択されたイベント
40	24	0A0h	ICU.IELSR24	ICU.IELSR24 レジスタで選択されたイベント
41	25	0A4h	ICU.IELSR25	ICU.IELSR25 レジスタで選択されたイベント
42	26	0A8h	ICU.IELSR26	ICU.IELSR26 レジスタで選択されたイベント
43	27	0ACh	ICU.IELSR27	ICU.IELSR27 レジスタで選択されたイベント
44	28	0B0h	ICU.IELSR28	ICU.IELSR28 レジスタで選択されたイベント
45	29	0B4h	ICU.IELSR29	ICU.IELSR29 レジスタで選択されたイベント
46	30	0B8h	ICU.IELSR30	ICU.IELSR30 レジスタで選択されたイベント
47	31	0BCh	ICU.IELSR31	ICU.IELSR31 レジスタで選択されたイベント

13.3.2 イベント番号

下表は、イベント番号を記した表 13.4 の各項目の説明です。

項目	内容
割り込み要求の発生元	割り込み要求の発生元の名称
名称	割り込みの名称
割り込み検出の形式 (信号)	割り込み検出法としての「エッジ」または「レベル」 NMI割り込みとして使用可能なものが○印で示されています。
NVICへの接続	CPU割り込み (IELSRnの設定) として使用可能な割り込みが○印で示されています。
DTCの起動	DTCの起動要求 (IELSRnの設定) に使用可能な割り込みが○印で示されています。
DMACの起動	DMACの起動要求 (DELSRnの設定) に使用可能な割り込みが○印で示されています。
スヌーズモードの解除	SELSR0を使用したスヌーズモードからの復帰要求に使用可能な割り込みが○印で示されています。それ以外では、直接使用可能な割り込みが○印で示されています。
ソフトウェアスタンバイモードの解除	ソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが○印で示されています。

表 13.4 イベントテーブル (1/5)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動	DMACの起動		
001h	ポート	PORT_IRQ0	○	○	○	○	○
002h		PORT_IRQ1	○	○	○	○	○
003h		PORT_IRQ2	○	○	○	○	○
004h		PORT_IRQ3	○	○	○	○	○
005h		PORT_IRQ4	○	○	○	○	○
006h		PORT_IRQ5	○	○	○	○	○
007h		PORT_IRQ6	○	○	○	○	○
008h		PORT_IRQ7	○	○	○	○	○
009h		PORT_IRQ8	○	○	○	○	○
00Ah		PORT_IRQ9	○	○	○	○	○
00Bh		PORT_IRQ10	○	○	○	○	○
00Ch		PORT_IRQ11	○	○	○	○	○
00Dh		PORT_IRQ12	○	○	○	○	○
00Fh		PORT_IRQ14	○	○	○	○	○
010h		PORT_IRQ15	○	○	○	○	○
011h		DMAC0	DMAC0_INT	○	○		
012h	DMAC1	DMAC1_INT	○	○			
013h	DMAC2	DMAC2_INT	○	○			
014h	DMAC3	DMAC3_INT	○	○			
015h	DTC	DTC_COMPLETE	○			○ (注4)	
017h	ICU	ICU_SNZCANCEL	○			○	
018h	FCU	FCU_FRDYI	○				
019h	LVD	LVD_LVD1	○			○	○
01Ah		LVD_LVD2	○			○	○
01Bh	VBATT	VBATT_LVD	○			○	○
01Ch	MOSC	MOSC_STOP	○				
01Dh	低消費電力モード	SYSTEM_SNZREQ		○			

表 13.4 イベントテーブル (2/5)

イベント 番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズ モードの 解除	ソフトウェア スタンバイ モードの解除
			NVICへの接続	DTCの起動	DMACの起動		
01Eh	AGT0	AGT0_AGTI	○	○	○		
01Fh		AGT0_AGTCMAI	○	○	○		
020h		AGT0_AGTCMBI	○	○	○		
021h	AGT1	AGT1_AGTI	○	○	○	○	○
022h		AGT1_AGTCMAI	○	○	○	○	○
023h		AGT1_AGTCMBI	○	○	○	○	○
024h	IWDT	IWDT_NMIUNDF	○			○	○
025h	WDT	WDT_NMIUNDF	○				
026h	RTC	RTC_ALM	○			○	○
027h		RTC_PRD	○			○	○
028h		RTC_CUP	○				
029h	ADC140	ADC140_ADI	○	○	○		
02Ah		ADC140_GBADI	○	○	○		
02Bh		ADC140_CMPAI	○				
02Ch		ADC140_CMPBI	○				
02Dh		ADC140_WCMPM		○	○	○ (注4)	
02Eh		ADC140_WCMPUM		○	○	○ (注4)	
02Fh	ACMPLP	ACMP_LP0	○			○	○
030h		ACMP_LP1	○				
031h	USBFS	USBFS_D0FIFO	○	○	○		
032h		USBFS_D1FIFO	○	○	○		
033h		USBFS_USBI	○				
034h		USBFS_USBR	○			○	○
035h	IIC0	IIC0_RXI	○	○	○		
036h		IIC0_TXI	○	○	○		
037h		IIC0_TEI	○				
038h		IIC0_EEI	○				
039h		IIC0_WUI	○			○	○
03Ah	IIC1	IIC1_RXI	○	○	○		
03Bh		IIC1_TXI	○	○	○		
03Ch		IIC1_TEI	○				
03Dh		IIC1_EEI	○				
03Eh	SSIE0	SSIE0_SSITXI	○	○	○		
03Fh		SSIE0_SSIRXI	○	○	○		
041h		SSIE0_SSIF	○				
042h	CTSU	CTSU_CTSUWR	○	○	○		
043h		CTSU_CTSURD	○	○	○		
044h		CTSU_CTSUFN	○			○ (注4)	
045h	KINT	KEY_INTKR	○			○ (注1)	○ (注1)
046h	DOC	DOC_DOPCI	○			○ (注4)	
047h	CAC	CAC_FERRI	○				
048h		CAC_MENDI	○				
049h		CAC_OVFI	○				

表 13.4 イベントテーブル (3/5)

イベント 番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズ モードの 解除	ソフトウェア スタンバイ モードの解除
			NVICへの接続	DTCの起動	DMACの起動		
04Ah	CAN0	CAN0_ERS	○				
04Bh		CAN0_RXF	○				
04Ch		CAN0_TXF	○				
04Dh		CAN0_RXM	○				
04Eh		CAN0_TXM	○				
04Fh	I/Oポート	IOPORT_GROUP1	○	○ (注2)	○ (注2)		
050h		IOPORT_GROUP2	○	○ (注2)	○ (注2)		
051h		IOPORT_GROUP3	○	○ (注2)	○ (注2)		
052h		IOPORT_GROUP4	○	○ (注2)	○ (注2)		
053h	ELC	ELC_SWEVT0	○ (注3)	○			
054h		ELC_SWEVT1	○ (注3)	○			
055h	POEG	POEG_GROUP0	○				
056h		POEG_GROUP1	○				
057h	GPT320	GPT0_CCMPA	○	○	○		
058h		GPT0_CCMPB	○	○	○		
059h		GPT0_CMPC	○	○	○		
05Ah		GPT0_CMPD	○	○	○		
05Bh		GPT0_CMPE	○	○	○		
05Ch		GPT0_CMPF	○	○	○		
05Dh		GPT0_OVF	○	○	○		
05Eh		GPT0_UDF	○	○	○		
05Fh	GPT321	GPT1_CCMPA	○	○	○		
060h		GPT1_CCMPB	○	○	○		
061h		GPT1_CMPC	○	○	○		
062h		GPT1_CMPD	○	○	○		
063h		GPT1_CMPE	○	○	○		
064h		GPT1_CMPF	○	○	○		
065h		GPT1_OVF	○	○	○		
066h		GPT1_UDF	○	○	○		
067h	GPT162	GPT2_CCMPA	○	○	○		
068h		GPT2_CCMPB	○	○	○		
069h		GPT2_CMPC	○	○	○		
06Ah		GPT2_CMPD	○	○	○		
06Bh		GPT2_CMPE	○	○	○		
06Ch		GPT2_CMPF	○	○	○		
06Dh		GPT2_OVF	○	○	○		
06Eh		GPT2_UDF	○	○	○		

表 13.4 イベントテーブル (4/5)

イベント 番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズ モードの 解除	ソフトウェア スタンバイ モードの解除
			NVICへの接続	DTCの起動	DMACの起動		
06Fh	GPT163	GPT3_CCMPA	○	○	○		
070h		GPT3_CCMPB	○	○	○		
071h		GPT3_CMPC	○	○	○		
072h		GPT3_CMPD	○	○	○		
073h		GPT3_CMPE	○	○	○		
074h		GPT3_CMPF	○	○	○		
075h		GPT3_OVF	○	○	○		
076h		GPT3_UDF	○	○	○		
077h	GPT164	GPT4_CCMPA	○	○	○		
078h		GPT4_CCMPB	○	○	○		
079h		GPT4_CMPC	○	○	○		
07Ah		GPT4_CMPD	○	○	○		
07Bh		GPT4_CMPE	○	○	○		
07Ch		GPT4_CMPF	○	○	○		
07Dh		GPT4_OVF	○	○	○		
07Eh		GPT4_UDF	○	○	○		
07Fh	GPT165	GPT5_CCMPA	○	○	○		
080h		GPT5_CCMPB	○	○	○		
081h		GPT5_CMPC	○	○	○		
082h		GPT5_CMPD	○	○	○		
083h		GPT5_CMPE	○	○	○		
084h		GPT5_CMPF	○	○	○		
085h		GPT5_OVF	○	○	○		
086h		GPT5_UDF	○	○	○		
087h	GPT166	GPT6_CCMPA	○	○	○		
088h		GPT6_CCMPB	○	○	○		
089h		GPT6_CMPC	○	○	○		
08Ah		GPT6_CMPD	○	○	○		
08Bh		GPT6_CMPE	○	○	○		
08Ch		GPT6_CMPF	○	○	○		
08Dh		GPT6_OVF	○	○	○		
08Eh		GPT6_UDF	○	○	○		
08Fh	GPT167	GPT7_CCMPA	○	○	○		
090h		GPT7_CCMPB	○	○	○		
091h		GPT7_CMPC	○	○	○		
092h		GPT7_CMPD	○	○	○		
093h		GPT7_CMPE	○	○	○		
094h		GPT7_CMPF	○	○	○		
095h		GPT7_OVF	○	○	○		
096h		GPT7_UDF	○	○	○		
097h	GPT	GPT_UVWEDGE	○				

表 13.4 イベントテーブル (5/5)

イベント 番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズ モードの 解除	ソフトウェア スタンバイ モードの解除
			NVICへの接続	DTCの起動	DMACの起動		
098h	SCI0	SCI0_RXI	○	○	○		
099h		SCI0_TXI	○	○	○		
09Ah		SCI0_TEI	○				
09Bh		SCI0_ERI	○				
09Ch		SCI0_AM	○			○ (注4)	
09Dh		SCI0_RXI_OR_ERI				○ (注4)	
09Eh	SCI1	SCI1_RXI	○	○	○		
09Fh		SCI1_TXI	○	○	○		
0A0h		SCI1_TEI	○				
0A1h		SCI1_ERI	○				
0A2h		SCI1_AM	○				
0A3h	SCI2	SCI2_RXI	○	○	○		
0A4h		SCI2_TXI	○	○	○		
0A5h		SCI2_TEI	○				
0A6h		SCI2_ERI	○				
0A7h		SCI2_AM	○				
0A8h	SCI9	SCI9_RXI	○	○	○		
0A9h		SCI9_TXI	○	○	○		
0AAh		SCI9_TEI	○				
0ABh		SCI9_ERI	○				
0ACh		SCI9_AM	○				
0ADh	SPI0	SPI0_SPRI	○	○	○		
0AEh		SPI0_SPTI	○	○	○		
0AFh		SPI0_SPII	○				
0B0h		SPI0_SPEI	○				
0B1h		SPI0_SPTEND	○				
0B2h	SPI1	SPI1_SPRI	○	○	○		
0B3h		SPI1_SPTI	○	○	○		
0B4h		SPI1_SPII	○				
0B5h		SPI1_SPEI	○				
0B6h		SPI1_SPTEND	○				

注 1. KRCTL.KRMD = 1 の場合にのみサポートされます。

注 2. 最初のエッジ検出のみが有効です。

注 3. DTC 転送後の割り込みのみがサポートされます。

注 4. SELSR0 の使用

13.4 割り込み動作

ICU は下記の機能を実行します。

- 割り込みの検出
- 割り込みの許可／禁止
- 割り込み要求先の選択 (CPU 割り込み、DTC 起動、DMAC 起動など)

13.4.1 割り込みの検出

外部端子割り込み要求は、割り込み信号のエッジまたはレベル (立ち下がりエッジ／立ち上がりエッジ／両エッジ／Low レベル) のいずれかで検出されます。IRQ_i 端子検出モードを選択するには、IRQCR_i レジスタの IRQMD[1:0] ビットを設定します。周辺モジュールに関連した割り込み要因については、[13.3.2 イベント番号](#)を参照してください。イベントは、割り込みが発生して CPU に受け付けられる前に、NVIC で受け付けられる必要があります。

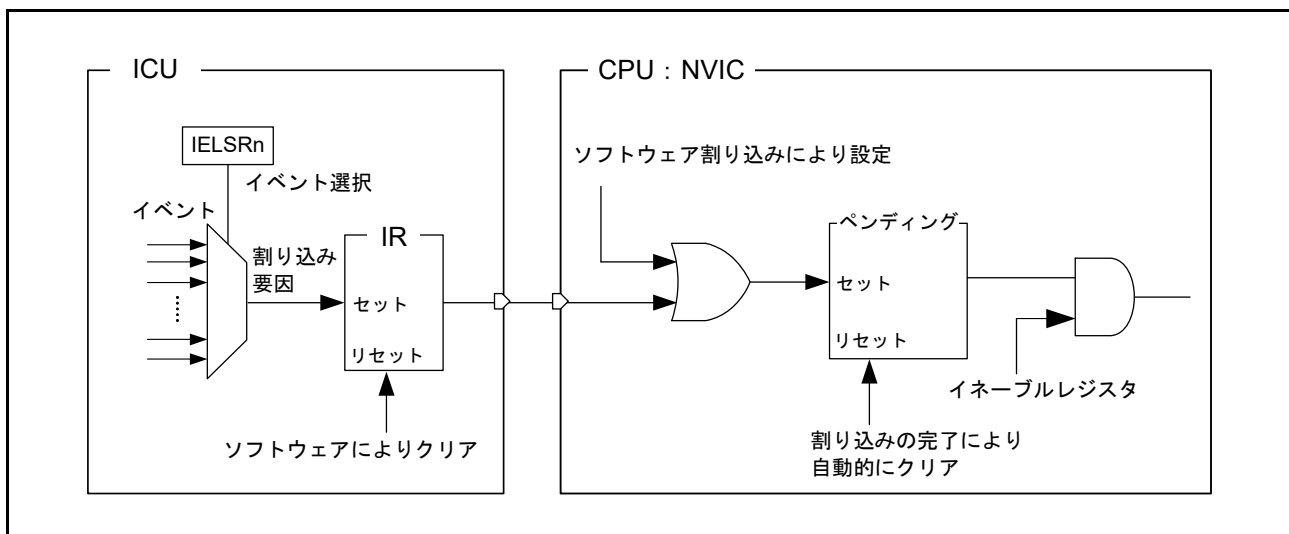


図 13.2 ICU および CPU: NVIC の割り込み経路

- 割り込み中の一般的動作
 - 非ソフトウェア割り込みが発生したとき：
 - IELSR_n.IR フラグと割り込みセット／クリア保留レジスタ (NVIC_ISPR/NVIC_ICPR) が設定される
 - ソフトウェア割り込みが発生したとき：
 - 割り込みセット保留レジスタ (NVIC_ISPR) を設定する
 - 割り込みが完了したとき：
 - ソフトウェアで IELSR_n.IR フラグをクリアする。
 - 割り込みセット／クリア保留レジスタ (NVIC_ISPR/NVIC_ICPR) は自動的にクリアされる

- 割り込みが許可される場合：
 - 1) 割り込みセットイネーブルレジスタ (NVIC_ISER) を設定する。
 - 2) IELSRn.IELS ビットを割り込み要因として設定する。
 - 3) イベント要因に対し動作設定値を指定する。
- 割り込みが禁止される場合：
 - 1) イベント要因に対し設定値を無効にする。
 - 2) IELSRn.IELS ビットをクリアする (IELSRn.IELS[7:0] = 000h)。必要に応じて、IELSRn.IR フラグをクリアする。
 - 3) 割り込みクリアイネーブルレジスタ (NVIC_ICER) をクリアする。必要に応じて、割り込みクリア保留レジスタ (NVIC_ICPR) をクリアする。
- 割り込みのポーリングを行う場合：
 - 1) 割り込みクリアイネーブルレジスタ (NVIC_ICER) を設定 (割り込みを禁止) する。
 - 2) IELSRn.IELS ビットを設定 (割り込み要因を選択) する。
 - 3) イベント要因に対し動作設定値を指定する。
 - 4) 割り込みセット保留レジスタ (NVIC_ISPR) をポーリングする。
 - 5) ポーリングが不要になった場合、割り込みが完了したときに、そのクリア手順に従う。

13.4.2 割り込み要求先の選択

割り込み出力先 (CPU、DTC、または DMAC) は、割り込み要因ごとに個別に選択できます。利用可能な出力先は、[表 13.4 イベントテーブル](#)に示されているように、割り込みごとに固定されています。

注. イベントリスト ([表 13.4](#)) で○印が付いていない割り込み要求先の設定は使用しないでください。

1つの IELSRn レジスタで CPU または DTC を選択した場合、他の IELSRn レジスタで同じ割り込み要因を設定しないでください。同様に、1つの DELSRn レジスタで DMAC を選択した場合、他の DELSRn レジスタで同じ割り込み要因を設定しないでください。

注. IELSRn や DELSRn で同じ割り込みを設定することは禁止されています。

DMAC または DTC が IRQi 端子からの要求先として選択された場合、その割り込みに対して IRQCRi の IRQMD[1:0] ビットをエッジ検出の選択に設定する必要があります。

13.4.2.1 CPU 割り込み要求

IELSRn.DTCE = 0 のとき、IELSRn レジスタで指定されたイベントが NVIC に出力されます。IELSRn.IELS ビットを設定し、IELSRn.DTCE ビットを 0 にしてください。

13.4.2.2 DTC の起動

IELSRn.DTCE = 1 のとき、IELSRn レジスタで指定されたイベントが DTC に出力されます。DTC 送信の完了後、対応する割り込みが発生します。以下の手順に従ってください。

1. IELSRn.IELS ビットを対象のイベントに設定し、IELSRn.DTCE ビットを 1 にする。
2. DTC モジュール起動ビット (DTCST.DTCST) を 1 にする。

DTC が要求先となる場合の動作を [表 13.5](#) に示します。

表 13.5 DTC が起動するときの動作

割り込み要求先	DISEL (注1)	残り転送動作	1要求あたりの動作	IR (注2)	転送後の割り込み要求先
DTC (注3)	1	≠ 0	DTC 転送 → CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	DTC
		= 0	DTC 転送 → CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	IELSRn.DTCE ビットがクリアされ、CPU が要求先になる。
	0	≠ 0	DTC 転送	DTC 転送データの読み出し後、DTC データ転送の開始時にクリアされる。	DTC
		= 0	DTC 転送 → CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	IELSRn.DTCE ビットがクリアされ、CPU が要求先になる。

注 1. DTC.MRB.DISEL ビットで DTC 用の割り込み要求モードを設定します。

注 2. IELSRn.IR フラグが 1 のとき、再度発生した割り込み要求 (DTC 起動要求) は無視されます。

注 3. チェーン転送の場合は、最後のチェーン転送が終了するまで DTC 転送が継続します。このとき、DISEL ビットの状態と残りの転送数によって、転送後の CPU 割り込み発生の有無、IELSRn.IR フラグクリアのタイミング、および割り込み要求先が決まります。「[17. データトランスファコントローラ \(DTC\)](#)」の [表 17.3 チェーン転送の条件](#)を参照してください。

13.4.2.3 DMAC の起動

DELSRn レジスタで指定されたイベントが DMAC に出力されます。DMAC に対して割り込み要因を設定するには、以下の手順に従ってください。

1. DELSRn.DELS[7:0] ビットを設定する。
2. IELSRn.IELS ビットを対象のイベントに設定し、IELSRn.DTCE ビットを 1 にする。
3. 対象の DMAC チャンルの起動要因 (DMACm.DMTMD.DCTG[1:0]) を 01b (割り込みモジュール検出) にする。
4. 対象の DMAC チャンルの DMAC 転送許可ビット (DMACm.DMCNT.DTE) を 1 にする。
5. DMAC 動作許可ビット (DMAST.DMST) を 1 にする。

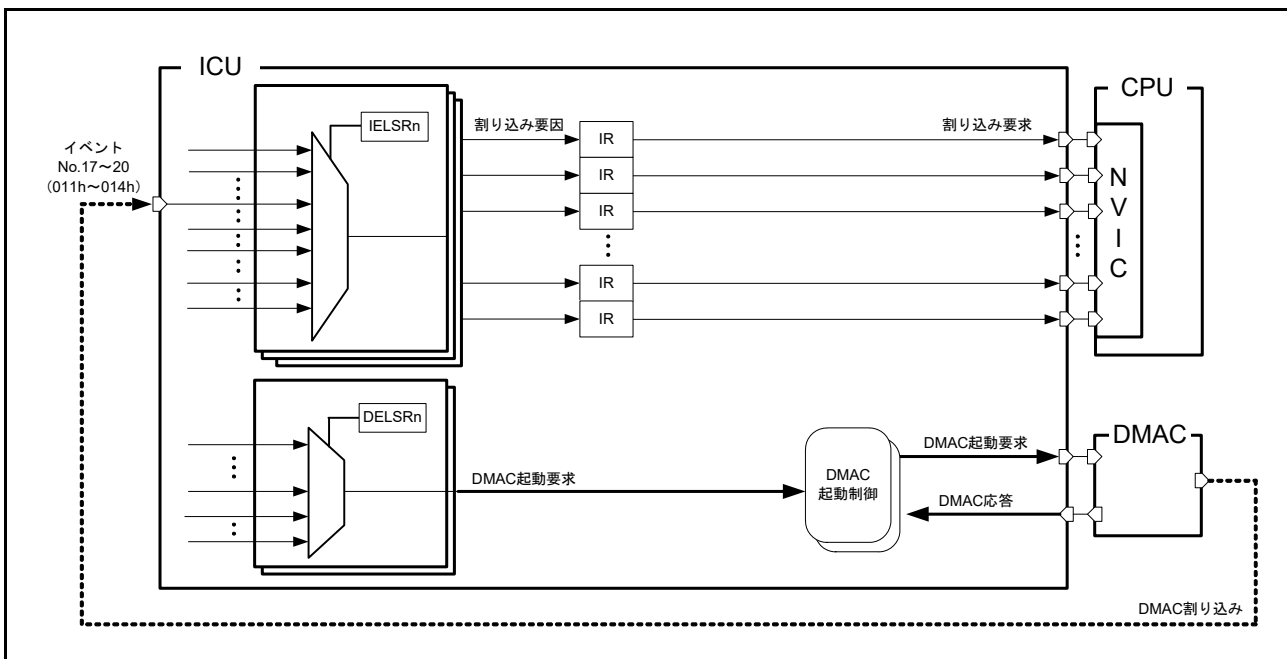


図 13.3 DMAC 要求トリガと割り込み経路

13.4.3 デジタルフィルタ

デジタルフィルタ機能は、外部割り込み要求端子 (IRQi, i = 0 ~ 12, 14, 15) と NMI 端子割り込みのために準備されています。この機能は、入力信号をフィルタサンプリングクロック (PCLKB) でサンプリングし、3 サンプリグサイクル未満のパルス幅を持つ信号を除去します。

- IRQi 端子に対するデジタルフィルタの使用法 :

- 1) IRQCRi.FCLKSEL[1:0] ビット (i = 0 ~ 12, 14, 15) で、サンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 に設定する。
- 2) IRQCRi.FLTEN ビット (i = 0 ~ 12, 14, 15) を 1 (デジタルフィルタ有効) にする。

- NMI 端子に対するデジタルフィルタの使用法 :

- 1) NMICR.NFCLKSEL[1:0] ビットで、サンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 に設定する。
- 2) NMICR.NFLTEN ビットを 1 (デジタルフィルタ有効) にする。

図 13.4 にデジタルフィルタの動作例を示します。

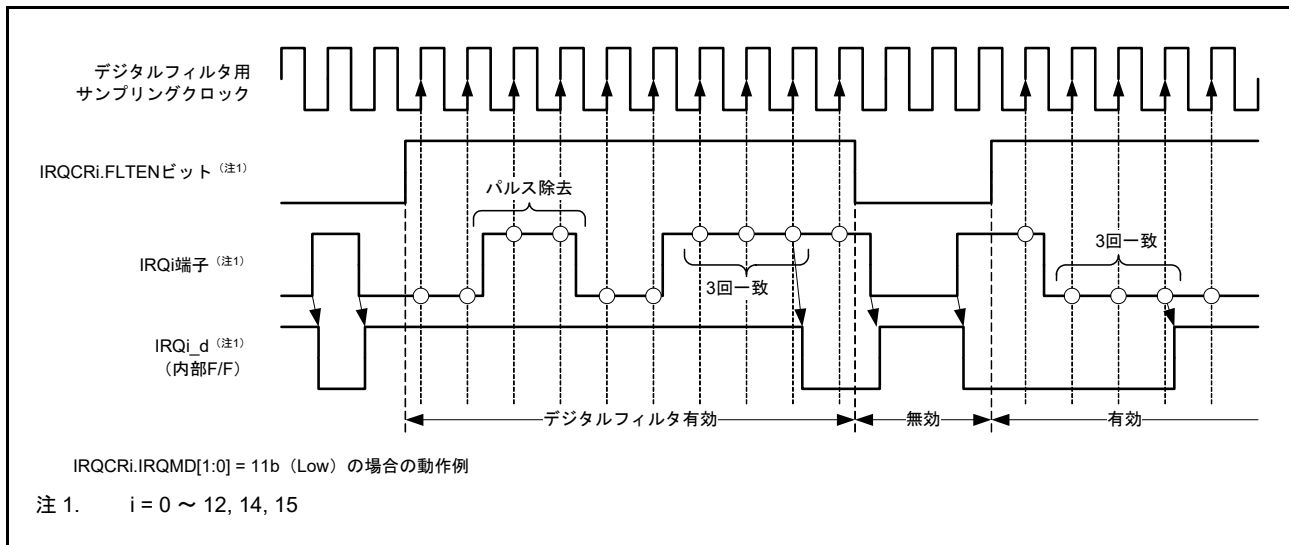


図 13.4 デジタルフィルタの動作例

ソフトウェアスタンバイモードへ遷移する前に、IRQCRi.FLTEN ビットと NMICR.NFLTEN ビットをクリアして、デジタルフィルタを無効にしてください。ICU のクロックはソフトウェアスタンバイモードでは停止します。ソフトウェアスタンバイモードの終了時、回路はスタンバイ前の状態をスタンバイ解除後の状態と比較することでエッジを検出します。ソフトウェアスタンバイモード中に入力に変化すると、誤ったエッジが検出される可能性があります。ソフトウェアスタンバイモードの終了後、デジタルフィルタを再度有効にできます。

13.4.4 外部端子割り込み

外部端子割り込みの使用方法：

1. IRQCRi.FLTEN ビット (i = 0 ~ 12, 14, 15) を 0 (デジタルフィルタ無効) にする。
2. I/O ポートの設定値を設定または確認する。
3. IRQCRi レジスタの IRQMD[1:0] ビット、FCLKSEL[1:0] ビット、および FLTEN ビットを設定する。
4. IRQ 端子を以下のように選択する。
 - IRQ 端子を CPU 割り込み要求に使用する場合、IELSRn.IELS[7:0] ビットを設定し、IELSRn.DTCE ビットを 0 にする
 - IRQ 端子を DTC 起動に使用する場合、IELSRn.IELS[7:0] ビットを設定し、IELSRn.DTCE ビットを 1 にする
 - IRQ 端子を DMAC 起動に使用する場合、DELSRn.DELS ビットを設定する

13.5 ノンマスカブル割り込み動作

ノンマスカブル割り込みをトリガできるのは、以下の要因です。

- NMI 端子割り込み
- 発振停止検出割り込み
- WDT アンダーフロー／リフレッシュエラー割り込み
- IWDT アンダーフロー／リフレッシュエラー割り込み
- 電圧監視 1 割り込み
- 電圧監視 2 割り込み
- VBATT 監視割り込み
- SRAM パリティエラー割り込み
- SRAM ECC エラー割り込み
- MPU バスマスタエラー割り込み
- MPU バススレーブエラー割り込み
- CPU スタックポインタモニタ割り込み

ノンマスカブル割り込みは CPU でのみ使用可能です。DTC または DMAC の起動には使用できません。ノンマスカブル割り込みは他のすべての割り込みよりも優先します。ノンマスカブル割り込みの状態は、ノンマスカブル割り込みステータスレジスタ (NMISR) で確認できます。NMI 処理ルーチンから復帰する前に、NMISR のビットがすべて 0 であることを確認してください。

ノンマスカブル割り込みはデフォルトで無効になっています。ノンマスカブル割り込みを使用するには、以下の手順に従う必要があります。

NMI 端子を使用するには、手順 1～3 に従ってください。

1. NMICR.NFLTEN ビットを 0 (デジタルフィルタ無効) にする。
2. NMICR レジスタの NMIMD ビット、NFCLKSEL[1:0] ビット、および NFLTEN ビットを設定する。
3. NMICLR.NMICLR ビットを 1 にして NMISR.NMIST フラグを 0 にする。
4. ノンマスカブル割り込みイネーブルレジスタ (NMIER) の対応するビットを 1 にしてノンマスカブル割り込みを許可にする。

NMIER レジスタに 1 を書いた後は、NMIER レジスタの NMIEN ビットに対する後続のライトアクセスは無視されます。NMI 割り込みは、リセットの場合を除いて、許可されたものを禁止することはできません。

13.6 低消費電力モードからの復帰

スリープモードまたはソフトウェアスタンバイモードを終了させるために使用可能な割り込み要因は、表 13.4 イベントテーブルに示されています。詳細は、「10. 低消費電力モード」を参照してください。13.6.1 ~ 13.6.3 には、割り込みを使用してスリープモード、ソフトウェアスタンバイモード、およびスヌーズモードから復帰する方法が示されています。

13.6.1 スリープモードからの復帰

割り込みによってスリープモードから復帰する方法：

1. 割り込み要求先として CPU を選択する。
2. NVIC で割り込みを許可にする。

ノンマスクابل割り込みによってスリープモードから復帰するには、NMIER レジスタを使用して該当の割り込み要求を許可します。

13.6.2 ソフトウェアスタンバイモードからの復帰

ICU は、ノンマスクابل割り込みを用いるか、または WUPEN レジスタで選択された割り込みを用いて、ソフトウェアスタンバイモードからの復帰を可能にします。13.2.9 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。

ソフトウェアスタンバイモードからの復帰方法：

1. ソフトウェアスタンバイモードからの復帰を許可する割り込み要因を選択する。
 - ノンマスクابل割り込みの場合、NMIER レジスタを使用して対象の割り込み要求を許可する
 - マスクابل割り込みの場合、WUPEN レジスタを使用して対象の割り込み要求を許可する
2. 割り込み要求先として CPU を選択する。
3. NVIC で割り込みを許可にする。

これらの条件を満たさない IRQ 端子による割り込み要求は、ソフトウェアスタンバイモードでクロックが停止している間は検出されません。

13.6.3 スヌーズモードからの復帰

ICU は、スヌーズモード用の割り込みを用いて、スヌーズモードから通常モードへの復帰を可能にします。

スヌーズモードから通常モードへの復帰方法：

1. 以下の方法のうちいずれかを使用して、スヌーズモードから通常モードへの復帰をトリガしたいイベントを選択する：
 - a. スヌーズモードから通常モードへの復帰をトリガしたいイベントを SELSR0.SEL に設定し、IELSRn.IELS に値 017h (ICU_SNZCANCEL) を設定する
 - b. スヌーズモードから通常モードへの復帰をトリガしたいイベントを IELSRn.IELS に設定する
2. 割り込み要求先として CPU を選択する。
3. NVIC で割り込みを許可にする。

注 . スヌーズモードでは、クロックが ICU に供給されます。IELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、CPU は割り込みアクノリッジを実行できます。DELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、DMAC は割り込みアクノリッジを実行できます。

13.7 ノンマスカブル割り込みとともに WFI 命令を使用する場合

WFI 命令を実行するときは、常に NMISR レジスタのステータスフラグがすべて 0 であることを確認してください。

13.8 参考資料

ARM® Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D)

14. バス

14.1 概要

表 14.1 にバスの仕様を、図 14.1 にバスの構成図を、表 14.2 にバス種類別アドレス対応表を示します。

表 14.1 バスの仕様

バスの種類		内容
メインバス	ICodeバス (CPU)	<ul style="list-style-type: none"> • CPU を接続 • 内蔵メモリ (コードフラッシュメモリ) を接続
	DCodeバス (CPU)	<ul style="list-style-type: none"> • CPU を接続 • 内蔵メモリ (コードフラッシュメモリ) を接続
	システムバス (CPU)	<ul style="list-style-type: none"> • CPU を接続 • 内蔵メモリ、内部周辺バスを接続
	DMAバス	<ul style="list-style-type: none"> • DMAC/DTC を接続 • 内蔵メモリ、内部周辺バスを接続
スレーブインタフェース	メモリバス1	<ul style="list-style-type: none"> • コードフラッシュメモリを接続
	メモリバス3	<ul style="list-style-type: none"> • DMAバスを介してコードフラッシュメモリを接続
	メモリバス4	<ul style="list-style-type: none"> • SRAM0 を接続
	内部周辺バス1	<ul style="list-style-type: none"> • 周辺モジュール関連のシステムコントロールを接続
	内部周辺バス3	<ul style="list-style-type: none"> • 周辺モジュール (CAC, ELC, I/Oポート, POEG, RTC, WDT, IWDT, IIC, CAN, SSIE, ADC14, DAC12, DOC) を接続
	内部周辺バス4	<ul style="list-style-type: none"> • 周辺モジュール (SCI, SPI, CRC, GPT) を接続
	内部周辺バス5	<ul style="list-style-type: none"> • 周辺モジュール (KINT, AGT, USBFS, OPAMP, ACMPLP, DAC8, SLCDC, CTSU) を接続
	内部周辺バス7	<ul style="list-style-type: none"> • セキュアIPを接続
	内部周辺バス9	<ul style="list-style-type: none"> • フラッシュメモリ (P/E時^(注1)) とデータフラッシュメモリを接続

注 1. P/E = プログラムノイレーズ

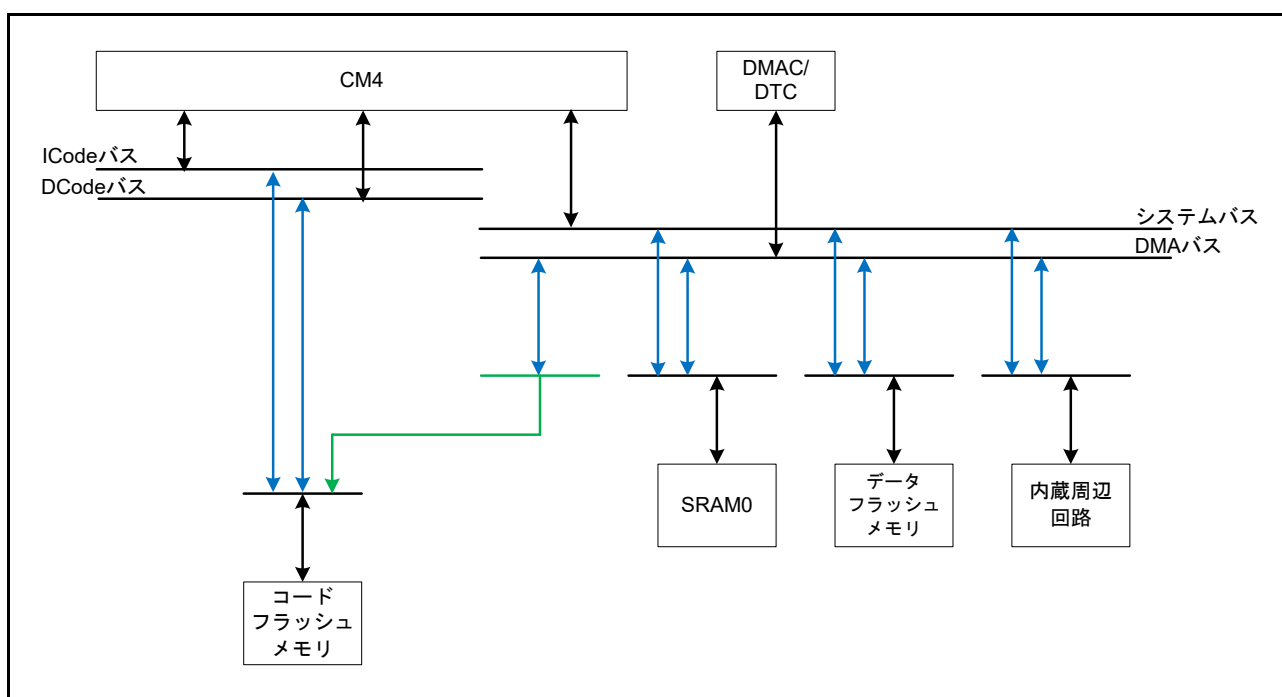


図 14.1 バスの構成図

表 14.2 バス種類別アドレス対応表

アドレス	バス	領域
0000 0000h ~ 01FF FFFFh	メモリバス 1、3	コードフラッシュメモリ
2000 0000h ~ 2000 7FFFh	メモリバス 4	SRAM0
4000 0000h ~ 4001 FFFFh	内部周辺バス 1	周辺 I/O レジスタ
4004 0000h ~ 4005 FFFFh	内部周辺バス 3	
4006 0000h ~ 4007 FFFFh	内部周辺バス 4	
4008 0000h ~ 4009 FFFFh	内部周辺バス 5	
400C 0000h ~ 400D FFFFh	内部周辺バス 7	セキュア IP
4010 0000h ~ 407F FFFFh	内部周辺バス 9	フラッシュメモリ (P/E 時 ^(注1)) とデータフラッシュメモリ

注 1. P/E = プログラム/イレース

14.2 バスの説明

14.2.1 メインバス

CPU 用のメインバスは、ICode バス、DCode バス、およびシステムバスで構成されます。

- ICode バスと DCode バス：コードフラッシュメモリに接続。ICode バスは CPU への命令アクセスに使用、DCode バスは CPU へのデータアクセスに使用
- システムバス：SRAM0、データフラッシュメモリ、および内部周辺バスに接続。CPU への命令アクセスおよびデータアクセスに使用

CPU 以外のモジュール用のメインバスは、DMA バスで構成されます。DMA バスは、コードフラッシュメモリ、SRAM0、データフラッシュメモリ、および内部周辺バスに接続されます。

マスタ転送とスレーブ転送のさまざまな組み合わせの同時通信が可能です。DMAC および DTC ブロックでは、DMAC と DTC の間で DMA バス権の調停が行われます。下記の固定優先順位が用いられます。

DMAC0 > DMAC1 > DMAC2 > DMAC3 > DTC

起動要求を受け付けた DTC または DMAC のチャンネルのみ、バス権要求の発行が可能です。また、DTC の転送制御情報を読み出している間は、DTC 以外のマスタからのバスアクセス要求は受け付けません。

14.2.2 スレーブインタフェース

Cortex[®]-M4 コアを用いた製品には、ICode および DCode バス領域とシステムバス領域が含まれています。ICode および DCode バス領域を作成するため、バスマトリックスは、メインバスからコードフラッシュメモリのスレーブインタフェースまで、ICode バス、DCode バス、およびメモリバス 3 を接続しています。システムバス領域を作成するため、バスマトリックスは、メインバスから SRAM0、データフラッシュメモリ、および内部周辺バスのスレーブインタフェースまで、システムバスと DMA バスを接続しています。メインバスからスレーブインタフェースへの接続については、表 14.1 に記載のスレーブインタフェースを参照してください。

ICode バス、DCode バス、およびメモリバス 3 の間の調停は、ICode および DCode バス領域のスレーブインタフェースで行われます。調停法には、優先順位固定とラウンドロビンが選択可能です。詳細は、14.3.2 [スレーブバスコントロールレジスタ \(BUSSCNT<slave>\)](#) を参照してください。

システムバスと DMA バスの間の調停は、システムバス領域のスレーブインタフェースで行われます。調停法には、優先順位固定とラウンドロビンが選択可能です。詳細は、14.3.2 [スレーブバスコントロールレジスタ \(BUSSCNT<slave>\)](#) を参照してください。

マスタ転送とスレーブ転送のさまざまな組み合わせの同時通信が可能です。

14.2.3 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPU がフラッシュメモリから命令、SRAM からオペランドをフェッチする場合、同時に DMAC は、周辺バスにアクセス可能です。

図 14.2 に並列動作の例を示します。この例では、CPU は命令バスとオペランドバスを使用して、それぞれフラッシュと SRAM に同時にアクセスしています。また、CPU がフラッシュメモリと SRAM にアクセスする間、DMAC または DTC は DMA バスを使用して、周辺バスに同時にアクセスしています。

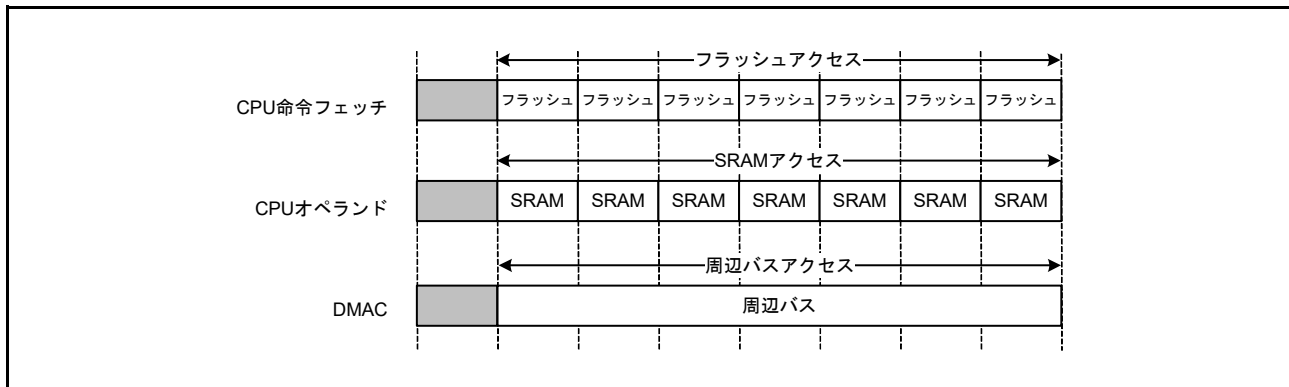


図 14.2 並列動作の例

14.2.4 エンディアン形式に関する制限事項

Cortex-M4 コアでコードを実行する場合、メモリ空間はリトルエンディアンでなければいけません。

14.3 レジスタの説明

14.3.1 マスタバスコントロールレジスタ (BUSMCNT<master>)

アドレス [BUS.BUSMCNTM4I 4000 4000h](#), [BUS.BUSMCNTM4D 4000 4004h](#), [BUS.BUSMCNTSYS 4000 4008h](#),
[BUS.BUSMCNTDMA 4000 400Ch](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IERES	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	IERES	エラー応答無視	0 : バスエラーを通知する 1 : バスエラーを通知しない	R/W

注 . 予約ビットを初期値 0 から書き換えることは禁止されています。書き換え中の動作は保証されません。

IERES ビット (エラー応答無視)

AHB-Lite プロトコルのエラー応答を有効または無効にします。

表 14.3 に、バスの種類とレジスタの対応を示します。

表 14.3 バスの種類とレジスタの対応関係

バスの種類	マスタバス コントロールレジスタ	スレーブバス コントロールレジスタ	バスエラー アドレスレジスタ	バスエラー ステータスレジスタ
ICodeバス (CPU)	BUSMCNTM4I	—	BUS1ERRADD	BUS1ERRSTAT
DCodeバス (CPU)	BUSMCNTM4D	—	BUS2ERRADD	BUS2ERRSTAT
システムバス (CPU)	BUSMCNTSYS	—	BUS3ERRADD	BUS3ERRSTAT
DMAバス	BUSMCNTDMA	—	BUS4ERRADD	BUS4ERRSTAT
メモリバス1	—	BUSSCNTFLI	—	—
メモリバス3	—	BUSSCNTMBIU	—	—
メモリバス4	—	BUSSCNTRAM0	—	—
内部周辺バス 1, 3, 4, 5, 7	—	BUSSCNTPhB [n = 0, 2, 3, 4, 6]	—	—
内部周辺バス9	—	BUSSCNTFBU	—	—

14.3.2 スレーブバスコントロールレジスタ (BUSSCNT<slave>)

アドレス BUS.BUSSCNTFLI 4000 4100h, BUS.BUSSCNTMBIU 4000 4108h, BUS.BUSSCNTRAM0 4000 410Ch,
 BUS.BUSSCNTPOB 4000 4114h, BUS.BUSSCNTP2B 4000 4118h, BUS.BUSSCNTP3B 4000 411Ch,
 BUS.BUSSCNTP4B 4000 4120h, BUS.BUSSCNTP6B 4000 4128h, BUS.BUSSCNTFBU 4000 4130h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	ARBMET[1:0]	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	ARBMET[1:0]	調停法	グループ間の優先順位を指定 b5 b4 0 0: 優先順位固定 0 1: ラウンドロビン 1 0: 設定禁止 1 1: 設定禁止	R/W
b15-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. 予約ビットを初期値 0 から書き換えることは禁止されています。書き換え中の動作は保証されません。

ARBMET[1:0] ビット (調停法)

調停法を、すべてのバスマスタに定義される優先順位で指定します。優先順位固定については、表 14.4 を参照してください。ラウンドロビンについては、表 14.5 を参照してください。バスの種類に対応するレジスタについては、表 14.3 を参照してください。

表 14.4 優先順位固定 (ARBMET[1:0] = 00b)

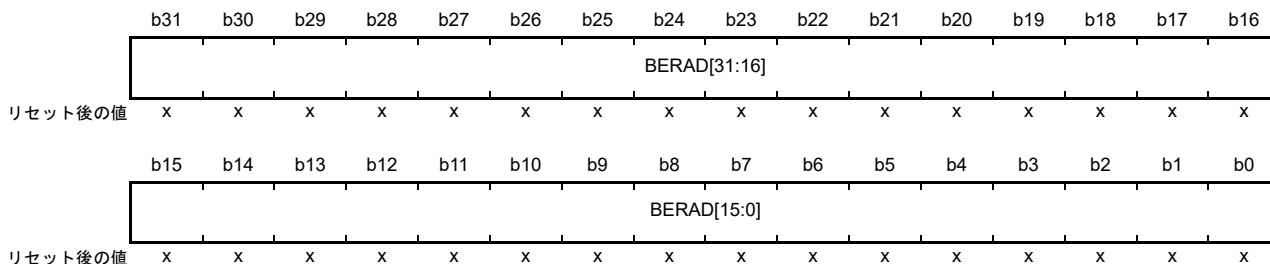
スレーブバスコントロールレジスタ	スレーブインタフェース	優先順位
BUSSCNTFLI	メモリバス1	メモリバス3 > DCodeバス (CPU) > ICodeバス (CPU)
BUSSCNTRAM0	メモリバス4	DMAバス > システムバス (CPU)
BUSSCNTPnB [n = 0, 2, 3, 4, 6]	内部周辺バス1, 3, 4, 5, 7	DMAバス > システムバス (CPU)
BUSSCNTFBU	内部周辺バス9	DMAバス > システムバス (CPU)

表 14.5 ラウンドロビン (ARBMET[1:0] = 01b)

スレーブバスコントロールレジスタ	スレーブインタフェース	優先順位“↔”: ラウンドロビン
BUSSCNTFLI	メモリバス1	メモリバス3 ↔ DCodeバス (CPU) ↔ ICodeバス (CPU)
BUSSCNTRAM0	メモリバス4	DMAバス ↔ システムバス (CPU)
BUSSCNTPnB [n = 0, 2, 3, 4, 6]	内部周辺バス1, 3, 4, 5, 7	DMAバス ↔ システムバス (CPU)
BUSSCNTFBU	内部周辺バス9	DMAバス ↔ システムバス (CPU)

14.3.3 バスエラーアドレスレジスタ (BUSnERRADD) (n = 1 ~ 4)

アドレス [BUS.BUS1ERRADD 4000 4800h](#), [BUS.BUS2ERRADD 4000 4810h](#),
[BUS.BUS3ERRADD 4000 4820h](#), [BUS.BUS4ERRADD 4000 4830h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	BERAD[31:0]	バスエラーアドレス	バスエラーが発生した場合、そのエラーアドレスを格納します。	R

注. 本レジスタは、MPU 関連リセット以外のリセットによってのみクリアされます。詳細については、「[5. リセット](#)」と「[15. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

[表 14.3](#) に、バスの種類とレジスタの対応を示します。

BERAD[31:0] ビット (バスエラーアドレス)

バスエラーが発生した場合、そのアクセスアドレスを格納します。詳細については、BUSnERRSTAT.ERRSTAT ビットの説明と [14.4 バスエラー監視部](#) を参照してください。

BUSnERRADD.BERAD[31:0] ビット (n=1~4) の値は、BUSnERRSTAT.ERRSTAT ビット (n=1~4) が 1 の場合にのみ有効です。

14.3.4 バスエラーステータスレジスタ (BUSnERRSTAT) (n = 1 ~ 4)

アドレス [BUS.BUS1ERRSTAT 4000 4804h](#), [BUS.BUS2ERRSTAT 4000 4814h](#),
[BUS.BUS3ERRSTAT 4000 4824h](#), [BUS.BUS4ERRSTAT 4000 4834h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	ERRSTAT	—	—	—	—	—	—	ACCSTAT
リセット後の値	0	0	0	0	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	ACCSTAT	エラーアクセス状態	エラー発生時のアクセス状態 1: ライトアクセス 0: リードアクセス	R
b6-b1	—	予約ビット	読むと0が読めます。	R
b7	ERRSTAT	バスエラー状態	0: バスエラー発生なし 1: バスエラー発生あり	R

注. 本レジスタは、MPU 関連リセット以外のリセットによってのみクリアされます。詳細については、「[5. リセット](#)」と「[15. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

表 14.3 に、バスの種類とレジスタの対応を示します。

ACCSTAT ビット (エラーアクセス状態)

対応するバスにエラーが発生した場合、そのアクセス状態 (ライトアクセスまたはリードアクセス) を示します。詳細については、BUSnERRSTAT.ERRSTAT ビットの説明と [14.4 バスエラー監視部](#) を参照してください。

このビットの値は、BUSnERRSTAT.ERRSTAT ビット (n = 1 ~ 4) が 1 の場合にのみ有効です。

ERRSTAT ビット (バスエラー状態)

バスエラーの発生の有無を示します。対応するバスにエラーが発生した場合、そのアクセスアドレスとアクセス状態 (ライトアクセスまたはリードアクセス) が格納されます。BUSnERRSTAT.ERRSTAT ビット (n = 1 ~ 4) は 1 になります。

それぞれのバスでは、次の 4 種類のエラーが生じる可能性があります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- バススレーブ MPU エラー
- タイムアウト

バスマスタ MPU エラーまたはバススレーブ MPU エラーを検出時に、各 OAD ビットがリセットを選択している場合、ウェイトの設定によっては、MPU エラーの原因となるバスアクセスが内部リセット信号の生成後に完了し、BUSnERRSTAT.ERRSTAT (n = 1 ~ 4) が 1 にならないことがあります。

バスマスタ MPU エラーまたはバススレーブ MPU エラーを検出時に、各 OAD ビットでノンマスカブル割り込みを選択している場合は、MPU エラーの原因となるバスアクセスの完了後に、BUSnERRSTAT.ERRSTAT (n = 1 ~ 4) が 1 になります。

各バスに生じるエラーについては、[14.4 バスエラー監視部](#)、および「[15. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

14.4 バスエラー監視部

この監視システムは、個々の領域を監視して、エラーを検出すると AHB-Lite エラー応答プロトコルを用いてそのエラーを要求マスタ IP に返します。

14.4.1 バスに生じるエラーの種類

それぞれのバスでは、次の 4 種類のエラーが生じる可能性があります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- バススレーブ MPU エラー
- タイムアウト

表 14.6 に、アクセスによって不正アドレスアクセスエラーが引き起こされるアドレスレンジを示します。ただし、スレーブの予約領域は、不正アドレスアクセスエラーを引き起こしません。バスマスタ MPU とバススレーブ MPU については、「15. メモリプロテクションユニット (MPU)」を参照してください。

14.4.2 バスエラー発生時の動作

バスエラーが発生すると、動作は保証されず、要求マスタ IP にエラーが返されます。マスタごとに発生するバスエラーが、BUSnERRADD レジスタと BUSnERRSTAT レジスタに格納されます。これらのレジスタは必ずリセットでクリアする必要があります。詳細については、14.3.3 と 14.3.4 を参照してください。

注 . DMAC と DTC はバスエラーを受信しません。DMAC または DTC がバスにアクセスした場合、転送は継続されます。

14.4.3 不正アドレスアクセスエラーを引き起こす条件

表 14.6 に、不正アドレスアクセスエラーを引き起こす、バスごとのアドレス空間を示します。

表 14.6 不正アドレスアクセスエラーを引き起こす条件

アドレス	スレーブバス名	マスタバス	
		CPU (ICode/DCode/ システム)	DMA
0000 0000h ~ 01FF FFFFh	メモリバス1 メモリバス3	—	—
0200 0000h ~ 1FFF FFFFh	予約領域	E	E
2000 0000h ~ 2000 7FFFh	メモリバス4	—	—
2000 8000h ~ 3FFF FFFFh	予約領域	E	E
4000 0000h ~ 4001 FFFFh	周辺バス1	—	—
4002 0000h ~ 4003 FFFFh	予約領域	E	E
4004 0000h ~ 4005 FFFFh	周辺バス3	—	—
4006 0000h ~ 4007 FFFFh	周辺バス4	—	—
4008 0000h ~ 4009 FFFFh	周辺バス5	—	—
400A 0000h ~ 400B FFFFh	予約領域	—	—
400C 0000h ~ 400D FFFFh	周辺バス7	—	—
400E 0000h ~ 400F FFFFh	予約領域	E	E
4010 0000h ~ 407F FFFFh	周辺バス9	—	—
4080 0000h ~ DFFF FFFFh	予約領域	E	E
E000 0000h ~ FFFF FFFFh	Cortex-M4用システム	—	E

E は、不正アドレスアクセスエラーが生じる経路を示します。

“—” は、不正アドレスアクセスエラーが生じない経路、またはアクセスが行われない経路を示します。

注 . バスモジュールは、スレーブに対して何も領域が割り当てられていない場合など、予約領域へのアクセスに起因したアクセスエラーを検出します。

0200 0000h ~ 1FFF FFFFh : アクセスエラーを検出

0000 0000h ~ 01FF FFFFh : メモリバス 1 のアクセスエラー検出なし

14.4.4 タイムアウト

一部の周辺モジュールでは、モジュールストップ機能によってタイムアウトエラーが発生します。一定期間スレーブから応答がないと、タイムアウトエラーが検出されます。タイムアウトエラーは、AHB-Lite エラー応答プロトコルを用いて要求マスタ IP に返されます。

14.5 使用上の注意事項

14.5.1 フラッシュキャッシュ使用時の注意事項

CPU からのアクセスを通じてフラッシュキャッシュを使用する場合は、Arm® の MPU もキャッシング対象に設定する必要があります。詳細については、参考資料の 1. および 2. を参照してください。

14.5.2 連続バスアクセス時の割り込みに関する注意事項

ソフトウェアが以下に記載した条件に該当する場合、意図しないソフトウェア動作を回避するために下記のいずれかの回避策を実施ください。

[条件]

下記の全条件が合致すること

- クロック周波数の設定 : $ICLK > PCLKx$ ($x = A, B$)
- スレーブインターフェースまたは外部バスへの先行するアクセス（以後 Access1 と称する）に続いて、同じスレーブインターフェースまたは外部バスへの後続アクセス（以後 Access2 と称する）が行われること
- Access1 と Access2 の間に、他のスレーブインターフェースまたは外部バスへのアクセスが起こらないこと
- Access1 において最終の PCLKx サイクルに割り込みが発生すること

該当するスレーブインターフェースおよび外部バス :

- 内部周辺バス 3
- 内部周辺バス 4
- 内部周辺バス 5
- 内部周辺バス 7

[注意事項 1]

Case 1. 前述の条件のすべてが合致した場合、Access2 の対象レジスタに対する意図しないアクセスが発生する。詳細については、図 14.3 を参照してください。

- Access2 が書き込み動作の場合、間違ったデータが Access2 の対象レジスタに書き込まれ、割り込みから復帰した後に正しい値が書き込まれる。
- Access2 の対象レジスタが FIFO やフラグビットクリア機能を持つとき、Access2 の対象レジスタに対する意図通りでない値のライトアクセス、FIFO からの不要なリードアクセス、意図通りでないフラグビットのクリア機能が動作することがあります。

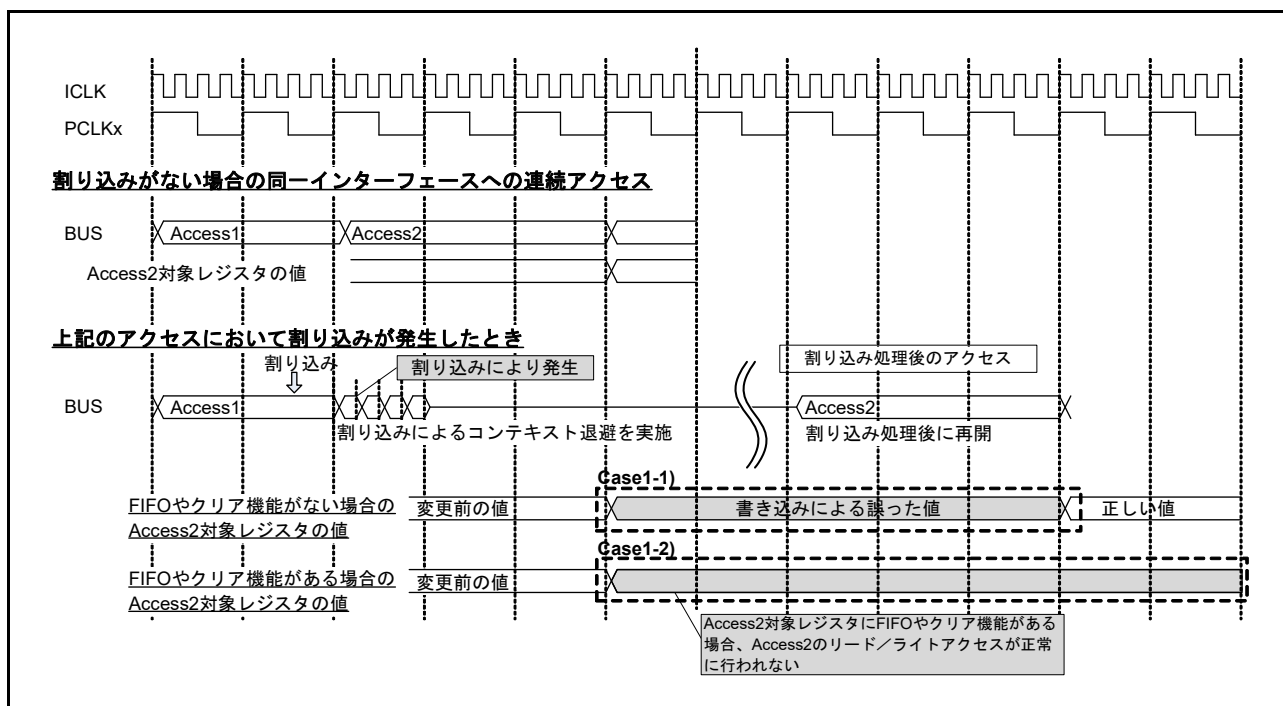


図 14.3 Access2 のターゲットレジスタへの誤アクセス (Case1)

[注意事項 2]

Case 2. 前述の条件のすべてが合致した場合、割り込みルーチン中のアクセスが意図しない動作となる。Access2 と同じスレーブインターフェースまたは外部バスに対する割り込みルーチン中のアクセス（以後 Access3 と称する）が、意図しない動作となる。詳細については、図 14.4 を参照してください。

- 1) Access3 がリードアクセスの場合、CPU は誤ったデータを受け取る可能性がある。
- 2) Access3 がライトアクセスの場合、Access3 は対象レジスタに対しての動作を行わないことがある。
- 3) Access3 の対象レジスタが FIFO やフラグビットクリア機能を持つ場合、それらの機能は意図通りに動作しないことがある。

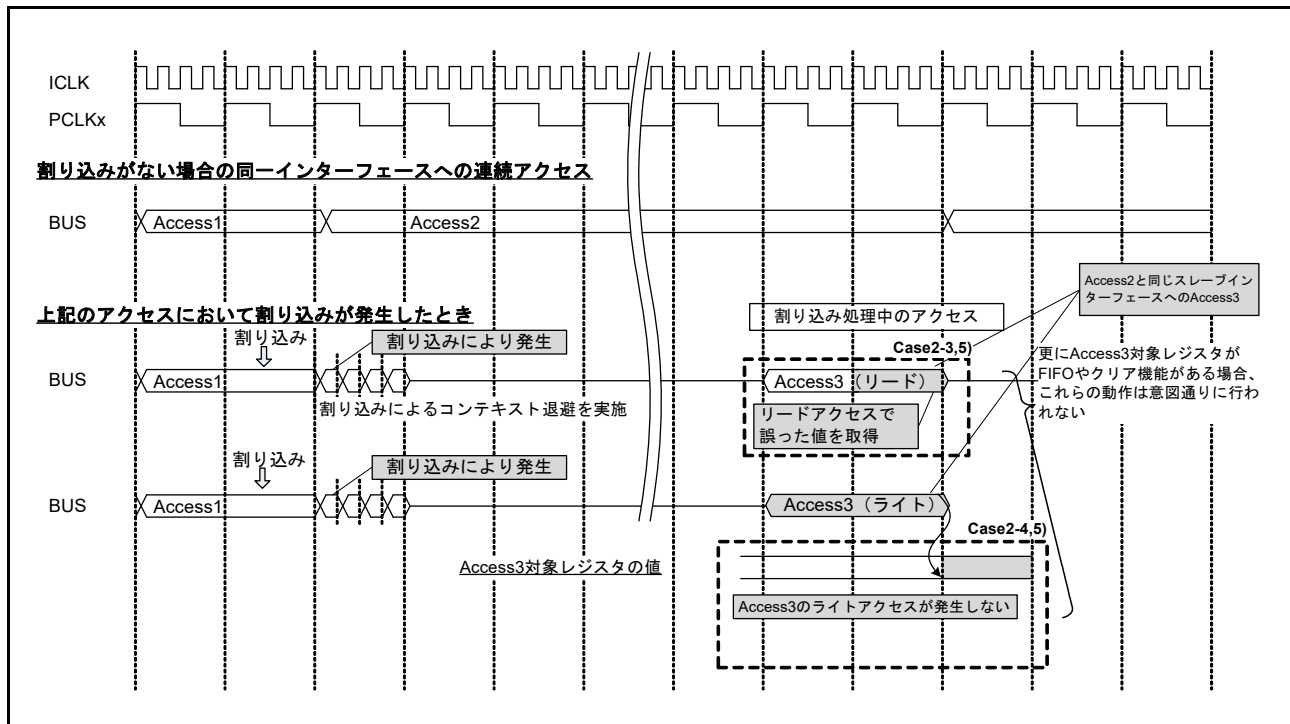


図 14.4 割り込みルーチンでの誤アクセス (Case2)

[回避策]

下記の回避策の一つを適応ください。

- 1) システムにおいて、以下のクロック周波数の設定
 $ICLK = PCLKx$ ($x = A, B$)
- 2) ソフトウェアコードで、意図しない SW の動作が観察された部分の連続する Access1 と Access2 に対し、Access1 と Access2 の間に DSB 命令を挿入
- 3) Access1 から Access2 の間は、割り込みを禁止

注 . どの回避策を適用するのが適切かは、システム要件と動作に依存します。

14.6 参考資料

1. ARM® v7-M Architecture Reference Manual (ARM DDI 0403D)
2. ARM® Cortex-M4 Devices Generic User Guide (ARM DUI 0553A)
3. ARM® AMBA®3 AHB-Lite Protocol v1.0 Specification (ARM IHI 0033A)

15. メモリプロテクションユニット (MPU)

15.1 概要

本 MCU は、4つのメモリプロテクションユニット (MPU) と、CPU スタックポインタモニタ機能を備えています。表 15.1 に MPU の仕様を、表 15.2 に各 MPU エラー検出時の動作を示します。

表 15.1 MPUの仕様

項目	モジュール/機能	内容
不正メモリアクセス	Arm® Cortex®-M4 CPU	<ul style="list-style-type: none"> Arm CPUはデフォルトのメモリマップを内蔵。CPUが不正アクセスを行うと、例外割り込みが発生 デフォルトのメモリマップはMPUで変更可能
	CPUスタックポインタモニタ	2領域 <ul style="list-style-type: none"> メインスタックポインタ (MSP) プロセススタックポインタ (PSP)
メモリプロテクション	Arm MPU	CPU用のメモリプロテクション機能 <ul style="list-style-type: none"> 8 MPU 領域 (サブ領域とバックグラウンド領域を含む)
	バスマスタ MPU	CPUを除く各バスマスタ用のメモリプロテクション機能 <ul style="list-style-type: none"> バスマスタ MPUグループA : 16領域
	バスマスレーブ MPU	各バスマスレーブ用のメモリプロテクション機能
セキュリティ	セキュリティ MPU	非セキュアプログラムによる以下のセキュリティ領域へのアクセスを保護 <ul style="list-style-type: none"> 2領域 (PC) 4領域 (コードフラッシュ、SRAM、2つのセキュリティ機能)

表 15.2 MPUエラー検出時の動作

MPUの種類	通知動作	エラー検出時のバスアクセス	エラーアクセス情報の保持
CPUスタックポインタモニタ	リセットまたはノンマスクابل割り込み	Don't care	保持しない
Arm MPU	ハード障害	<ul style="list-style-type: none"> 正しくライトアクセスできない 正しくリードアクセスできない 	Cortex-M4 プロセッサ内に保持
バスマスタ MPU	リセットまたはノンマスクابل割り込み	<ul style="list-style-type: none"> 保護領域にライトアクセス 保護領域にリードアクセス 	保持
バスマスレーブ MPU	<ul style="list-style-type: none"> リセットまたはノンマスクابل割り込み ハード障害 	<ul style="list-style-type: none"> ライトアクセスは無視 リードアクセスは0が読める 	保持
セキュリティ MPU	通知なし	<ul style="list-style-type: none"> 正しくライトアクセスできない 正しくリードアクセスできない 	保持しない

Arm MPU に対するエラーアクセスについては、15.7 を参照してください。他の MPU に対するエラーアクセスについては、「14. バス」の 14.3.3 バスエラーアドレスレジスタ (BUSnERRADD) (n = 1 ~ 4) および 14.3.4 バスエラーステータスレジスタ (BUSnERRSTAT) (n = 1 ~ 4) を参照してください。

15.2 CPU スタックポインタモニタ

CPU スタックポインタモニタは、スタックポインタのオーバーフローとアンダーフローを検出します。Arm CPU には、メインスタックポインタ (MSP) とプロセススタックポインタ (PSP) の2つのスタックポインタがあるため、2つのCPU スタックポインタモニタをサポートしています。スタックポインタのアンダーフローやオーバーフローを検出すると、CPU スタックポインタモニタはリセットまたはノンマスカブル割り込みを発生させます。CPU スタックポインタモニタを有効にするには、スタックポインタモニタアクセスコントロールレジスタ (MSPMPUCTL、PSPMPUCTL) のスタックポインタモニタ有効ビットを1にします。

表 15.3 に、CPU スタックポインタモニタの仕様を示します。図 15.1 に CPU スタックポインタモニタのブロック図を、図 15.2 にレジスタの設定フローを示します。

表 15.3 CPUスタックポインタモニタの仕様

項目	内容
SRAM領域	メモリプロテクション対象領域
領域数	2領域： <ul style="list-style-type: none">• メインスタックポインタ (MSP)• プロセススタックポインタ (PSP)
各領域のアドレス仕様	領域の開始および終了アドレスの設定可能
各領域のスタックポインタモニタ有効/無効設定	スタックポインタモニタの各領域に対して有効または無効を設定
エラー検出時の動作	リセットまたはノンマスカブル割り込みを生成可能
レジスタの保護	レジスタに対する不正書き込みを防止

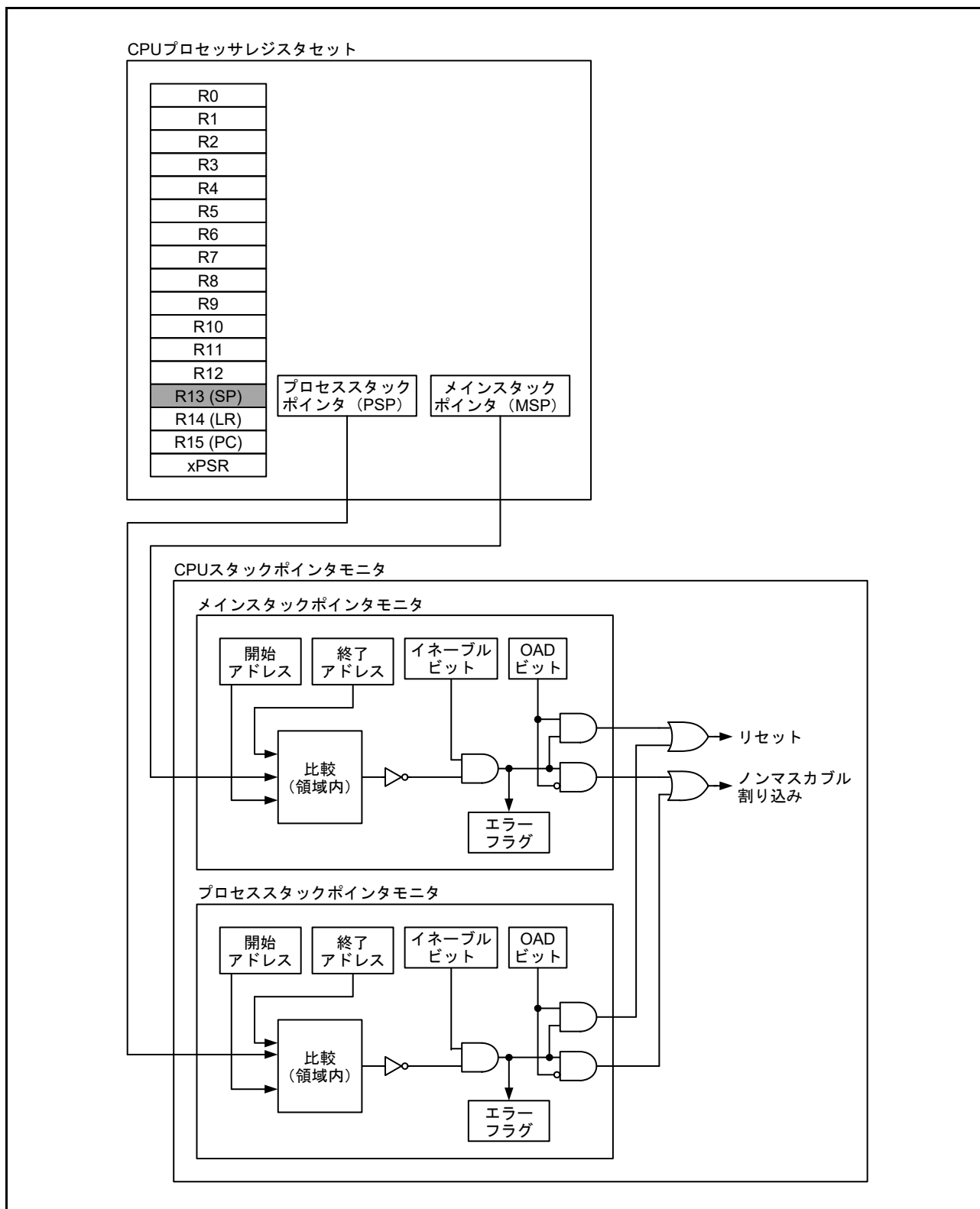


図 15.1 CPU スタックポインタモニタのブロック図

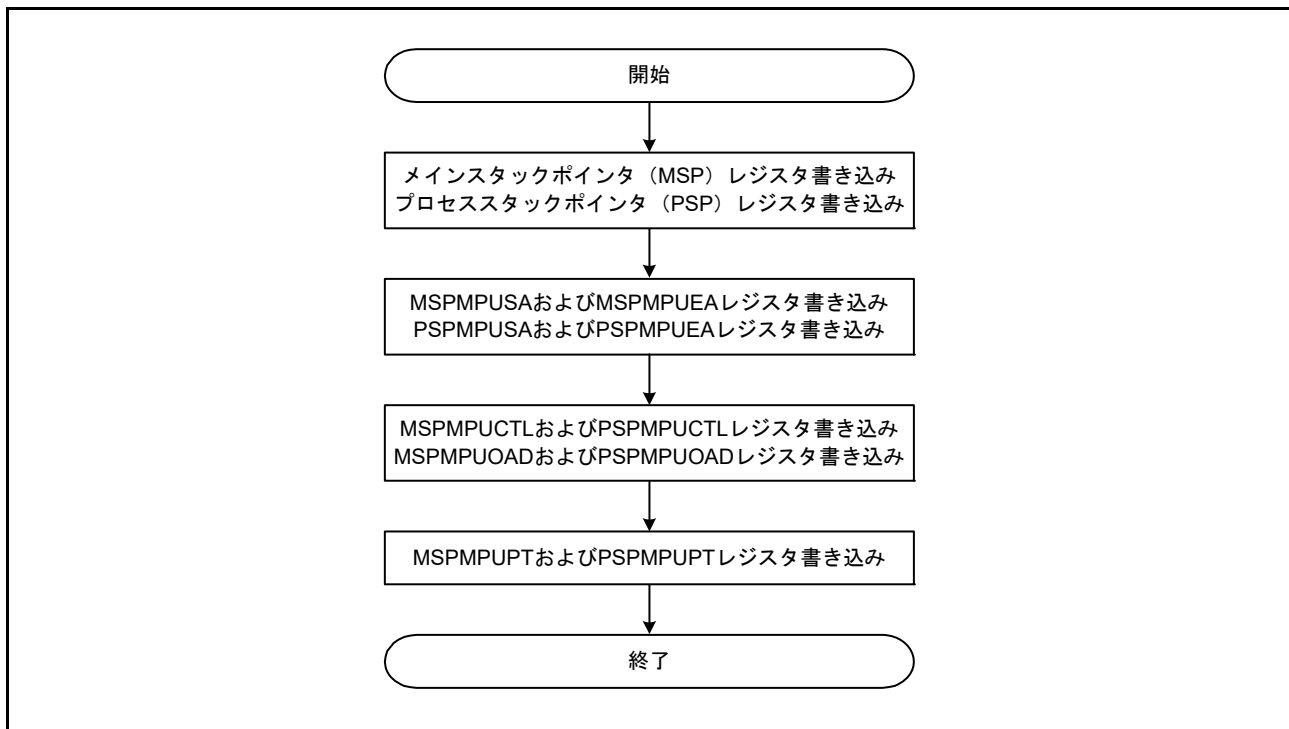


図 15.2 レジスタの設定フロー

15.2.1 レジスタの保護

CPU スタックポインタモニタ関連のレジスタは、スタックポインタモニタ保護レジスタ (MSPMPUPT、PSPMPUPT) の PROTECT ビットで保護することが可能です。

15.2.2 オーバーフローエラーとアンダーフローエラー

オーバーフローやアンダーフローが検出されると、CPU スタックポインタモニタはオーバーフローエラーまたはアンダーフローエラーを発生させます。メモリプロテクションエラーは、ノンマスカブル割り込みまたはリセットのいずれかを OAD ビット設定で選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.SPEST フラグに示されます。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。リセットの状態は SYSTEM.RSTSR1.SPERF フラグに示されます。詳細は、「[5. リセット](#)」を参照してください。

ICU.NMISR.SPEST フラグが CPU スタックポインタモニタ割り込みの発生を示した場合、MSPMPUCTL レジスタと PSPMPUCTL レジスタの ERROR ビットを確認して、それがメインスタックポインタモニタエラーなのか、プロセススタックポインタモニタエラーなのかを判定してください。

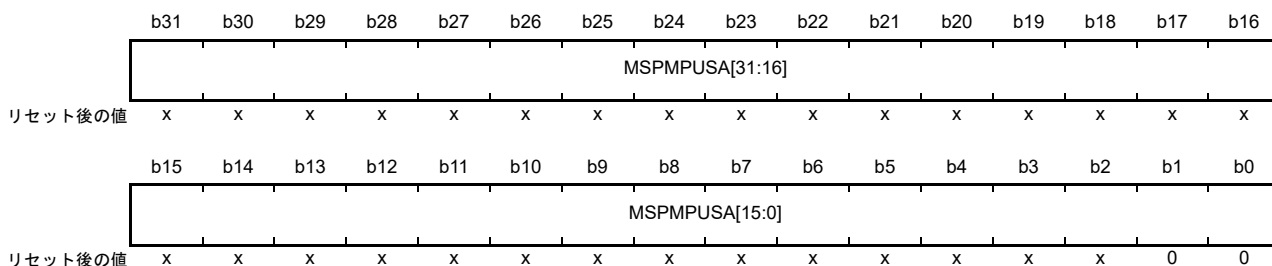
スタックポインタがアンダーフローまたはオーバーフローしているときは、ノンマスカブル割り込みが連続して発生します。ノンマスカブル割り込みフラグをクリアするには、指定された領域内のスタックポインタを設定し、ICU.NMICLR.SPECLR ビットを 1 に設定してノンマスカブル割り込みフラグをクリアしてください。その後、MSPMPUCTL レジスタおよび PSPMPUCTL レジスタの ERROR ビットに 0 書き込んでください。

15.2.3 レジスタの説明

注. MPU レジスタに書き込みを行う前に、バスアクセスを停止してください。

15.2.3.1 メインスタックポインタ (MSP) モニタ開始アドレスレジスタ (MSPMPUSA)

アドレス `SPMON.MSPMPUSA 4000 0D08h`



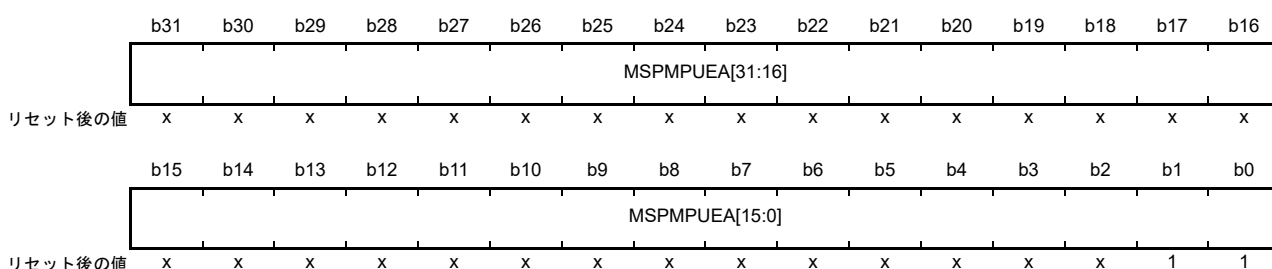
x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MSPMPUSA[31:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。 下位2ビットは0にしてください。値の範囲は、予約領域を除く2000 0000h~200F FFFChでなければいけません。	R/W

MSPMPUSA レジスタと MSPMPUEA レジスタでは、SRAM の CPU スタック領域を指定します (対象は 2000 0000h ~ 200F FFFFh のうち、予約領域を除く領域です)。カバーされる SRAM 領域については、[図 4.1](#) のメモリマップを参照してください。

15.2.3.2 メインスタックポインタ (MSP) モニタ終了アドレスレジスタ (MSPMPUEA)

アドレス `SPMON.MSPMPUEA 4000 0D0Ch`

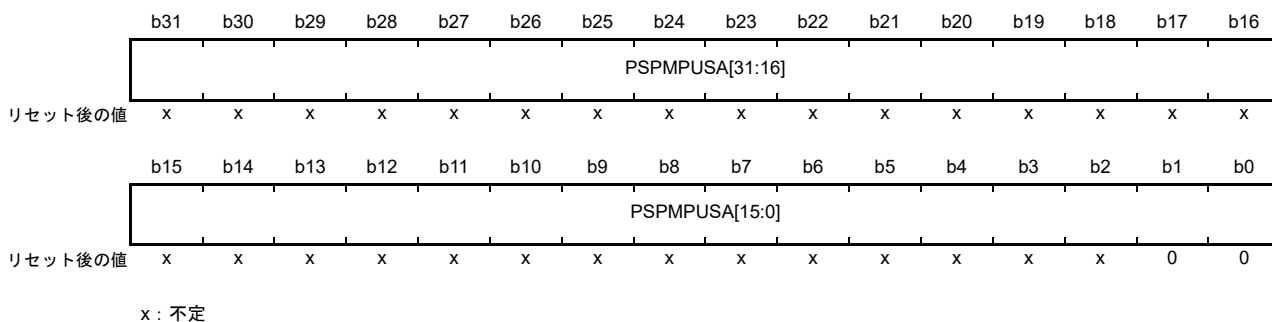


x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MSPMPUEA[31:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。 下位2ビットは1にしてください。値の範囲は、予約領域を除く2000 0003h~200F FFFFhでなければいけません。	R/W

15.2.3.3 プロセススタックポインタ (PSP) モニタ開始アドレスレジスタ (PSPMPUSA)

アドレス [SPMON.PSPMPUSA 4000 0D18h](#)

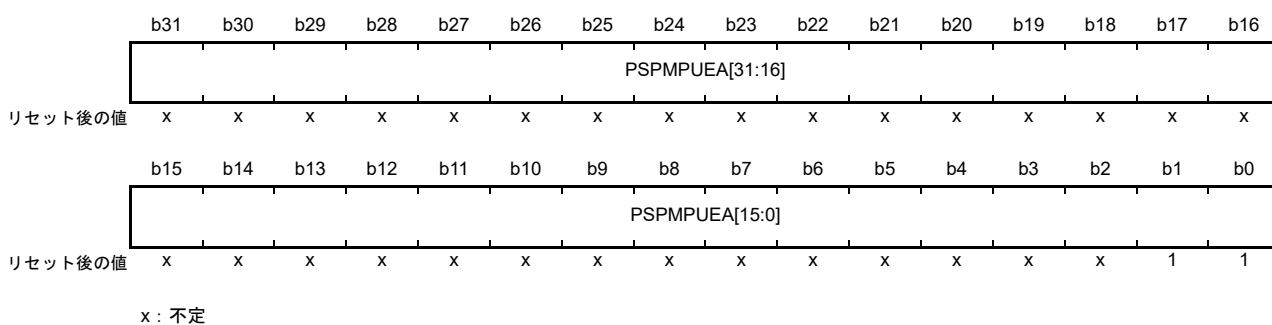


ビット	シンボル	ビット名	機能	R/W
b31-b0	PSPMPUSA[31:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。 下位2ビットは0にしてください。値の範囲は、予約領域を除く2000 0000h～200F FFFChでなければいけません。	R/W

PSPMPUSA レジスタと **PSPMPUEA** レジスタでは、SRAM の CPU スタック領域を指定します (対象は 2000 0000h ~ 200F FFFFh のうち、予約領域を除く領域です。カバーされる SRAM 領域については、[図 4.1](#) のメモリマップを参照してください)。

15.2.3.4 プロセススタックポインタ (PSP) モニタ終了アドレスレジスタ (PSPMPUEA)

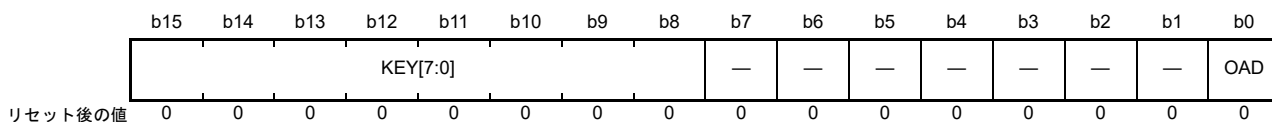
アドレス [SPMON.PSPMPUEA 4000 0D1Ch](#)



ビット	シンボル	ビット名	機能	R/W
b31-b0	PSPMPUEA[31:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。 下位2ビットは1にしてください。値の範囲は、予約領域を除く2000 0003h～200F FFFFhでなければいけません。	R/W

15.2.3.5 スタックポインタモニタ検出後動作レジスタ (MSPMPUOAD, PSPMPUOAD)

アドレス SPMON.MSPMPUOAD 4000 0D00h, SPMON.PSPMPUOAD 4000 0D10h



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	0: ノンマスカブル割り込み 1: リセット	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OADビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

OAD ビット (検出後の動作)

CPU スタックポインタモニタによってスタックポインタのアンダーフローまたはオーバーフローが検出されたとき、リセットまたはノンマスカブル割り込みのいずれかを選択します。メインスタックポインタモニタとプロセススタックポインタモニタは、この OAD ビットを使用して、スタックポインタのアンダーフローまたはオーバーフロー検出時に発生させる信号を決定します。OAD ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット (キーコード)

OAD ビットへの書き込みを許可または禁止します。OAD ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、OAD ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

15.2.3.6 スタックポインタモニタアクセスコントロールレジスタ (MSPMPUCTL, PSPMPUCTL)

アドレス SPMON.MSPMPUCTL 4000 0D04h, SPMON.PSPMPUCTL 4000 0D14h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ERROR	—	—	—	—	—	—	—	ENABLE
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	スタックポインタモニタ有効	0: スタックポインタモニタ無効 1: スタックポインタモニタ有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	ERROR	スタックポインタモニタエラーフラグ	0: スタックポインタにオーバーフロー/アンダーフローなし 1: スタックポインタにオーバーフロー/アンダーフローあり	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 初期値はリセット発生要因によって異なります。

ENABLE ビット (スタックポインタモニタ有効)

スタックポインタモニタ機能を有効または無効にします。メインスタックポインタモニタとプロセススタックポインタモニタを個別に設定できます。

MSPMPUCTL.ENABLE ビットを 1 にした場合、以下のレジスタが利用可能になります。

- MSPMPUSA
- MSPMPUEA
- MSPMPUOAD

PSPMPUCTL.ENABLE ビットを 1 にした場合、以下のレジスタが利用可能になります。

- PSPMPUSA
- PSPMPUEA
- PSPMPUOAD

ERROR ビット (スタックポインタモニタエラーフラグ)

スタックポインタモニタの状態を示します。各スタックポイントモニタは独立した ERROR ビットを持っています。

[1 になる条件]

- スタックポインタがアンダーフローまたはオーバーフローしたとき

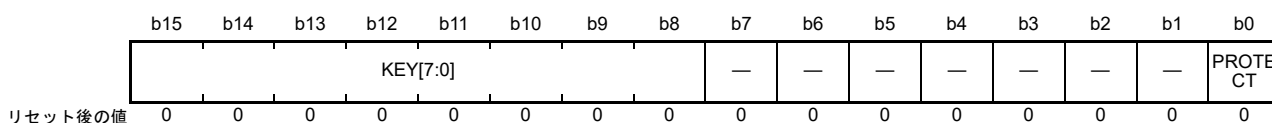
[0 になる条件]

- 0 を書き込んだとき
- バスマスタ MPU リセット、バスマスタ MPU エラーリセット、およびスタックポインタエラーリセット以外のリセットのとき

注. ERROR ビットには 0 のみ書けます。

15.2.3.7 スタックポインタモニタ保護レジスタ (MSPMPUPT, PSPMPUPT)

アドレス SPMON.MSPMPUPT 4000 0D06h, SPMON.PSPMPUPT 4000 0D16h



ビット	シンボル	ビット名	機能	R/W
b0	PROTECT	レジスタの保護	0: スタックポインタモニタ関連レジスタへの書き込みを許可 1: スタックポインタモニタ関連レジスタへの書き込みから保護 (読み出しは許可)	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	PROTECT ビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

PROTECT ビット (レジスタの保護)

保護するレジスタへの書き込みを許可または禁止します。メインスタックポインタモニタとプロセススタックポインタモニタをそれぞれ個別に設定できます。

MSPMPUPT.PROTECT ビットは、下記のメインスタックポインタ関連レジスタへの書き込みアクセスを制御します。

- MSPMPUCTL
- MSPMPUSA
- MSPMPUEA

PSPMPUPT.PROTECT ビットは、下記のプロセススタックポインタ関連レジスタへの書き込みアクセスを制御します。

- PSPMPUCTL
- PSPMPUSA
- PSPMPUEA

PROTECT ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット (キーコード)

PROTECT ビットへの書き込みを許可または禁止します。A5h 以外の値を KEY[7:0] ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 0 が読み出されます。

15.3 Arm MPU

Arm MPU は 8 つの領域のメモリプロテクションユニットを備えており、下記の項目をサポートしています。

- 保護領域
- 保護領域のオーバーラップ (優先順位は昇順)
 - 7 = 最高優先順位
 - 0 = 最低優先順位
- アクセス許可
- メモリ属性のシステムへのエクスポート

Arm MPU の不一致およびアクセス違反によって、優先順位のプログラムが可能な MemManage フォルト (ハード障害) ハンドラが呼び出されます。詳細は、[15.7 参考資料の 2.](#) を参照してください。

15.4 バスマスタ MPU

バスマスタ MPU は、全アドレス空間 (0000 0000h ~ FFFF FFFFh) を対象にバスマスタがアクセスするアドレスを監視しています。アクセス制御情報は、読み出し許可と書き込み許可からなり、最大 16 の領域に対して個別に設定が可能です。バスマスタ MPU は、これらの設定に基づいて各領域へのアクセスを監視します。保護領域に対するアクセスが検出されると、バスマスタ MPU は内部リセットまたはノンマスクブル割り込みを発生させます。エラーアクセスについての詳細は、「14. バス」の 14.3.3 および 14.3.4 を参照してください。

表 15.4 にバスマスタ MPU の仕様を、図 15.3 にブロック図を示します。

表 15.4 バスマスタ MPU の仕様

項目	内容
保護されるマスタグループ	バスマスタ MPU グループ A : DMA バス
保護領域	0000 0000h ~ FFFF FFFFh
領域数	バスマスタ MPU グループ A : 16 領域
各領域のアドレス仕様	領域の開始および終了アドレスの指定可能
各領域のメモリプロテクション有効または無効設定	対応する領域に対し、有効または無効を設定
各領域のアクセス制御設定	読み出し許可と書き込み許可
エラー検出時の動作	リセットまたはノンマスクブル割り込み
レジスタの保護	レジスタに対する不正書き込みの防止

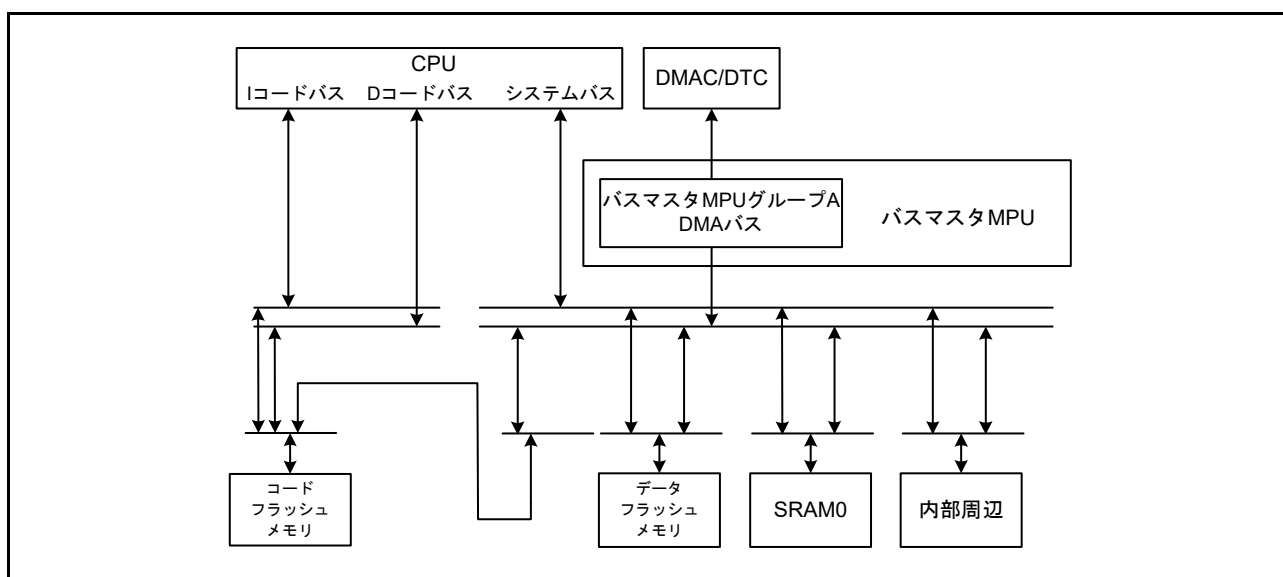


図 15.3 バスマスタ MPU のブロック図

図 15.4 に、バスマスタ MPU グループ A の構成を示します。

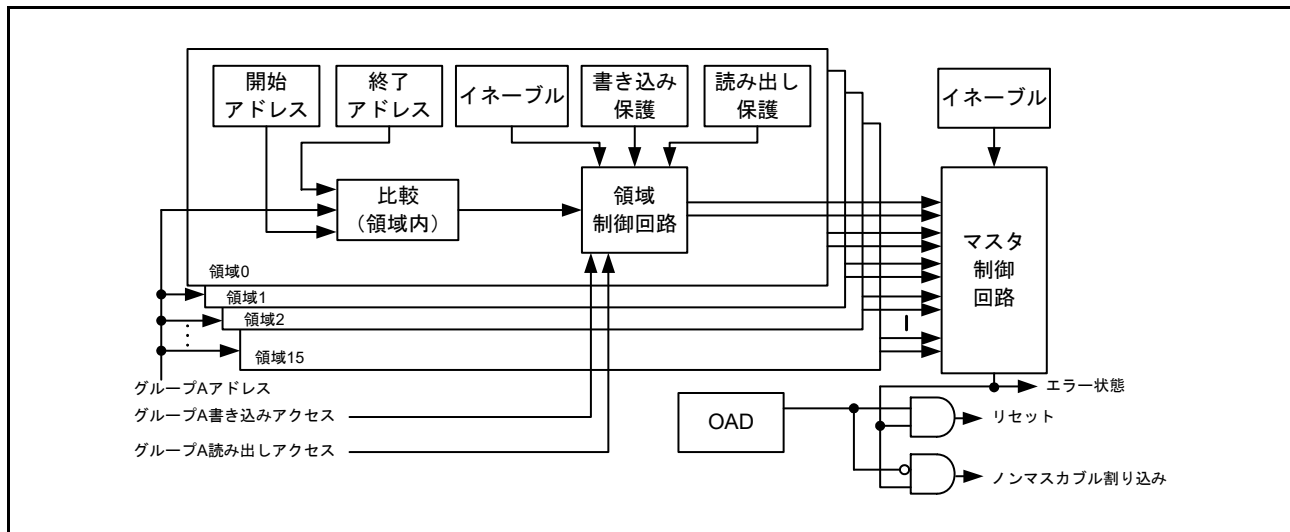


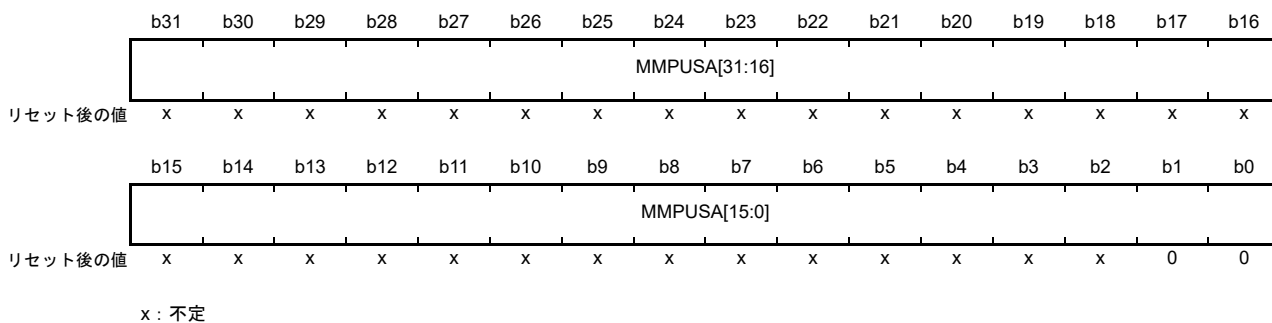
図 15.4 バスマスタ MPU グループ A の構成

15.4.1 レジスタの説明

注. MPU レジスタに書き込みを行う前に、バスアクセスを停止してください。

15.4.1.1 グループ A 領域 n 開始アドレスレジスタ (MMPUSAn) (n = 0 ~ 15)

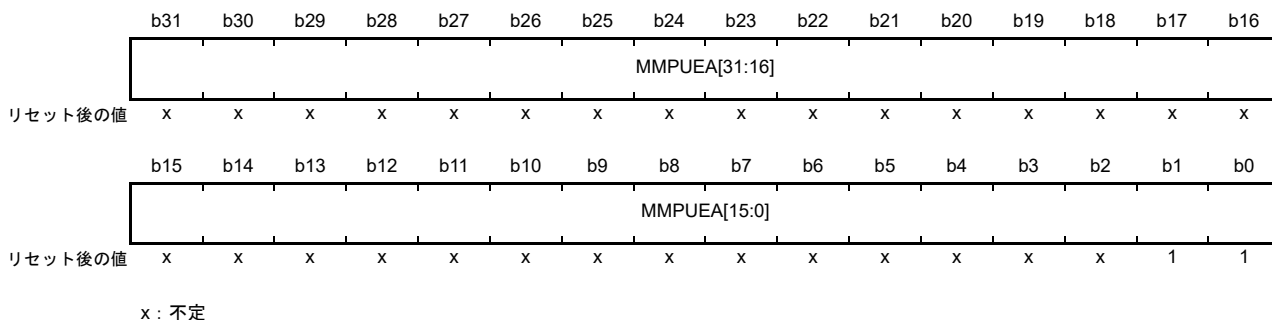
アドレス [MMPU.MMPUSA0 4000 0204h](#), [MMPU.MMPUSA1 4000 0214h](#), [MMPU.MMPUSA2 4000 0224h](#), [MMPU.MMPUSA3 4000 0234h](#), [MMPU.MMPUSA4 4000 0244h](#), [MMPU.MMPUSA5 4000 0254h](#), [MMPU.MMPUSA6 4000 0264h](#), [MMPU.MMPUSA7 4000 0274h](#), [MMPU.MMPUSA8 4000 0284h](#), [MMPU.MMPUSA9 4000 0294h](#), [MMPU.MMPUSA10 4000 02A4h](#), [MMPU.MMPUSA11 4000 02B4h](#), [MMPU.MMPUSA12 4000 02C4h](#), [MMPU.MMPUSA13 4000 02D4h](#), [MMPU.MMPUSA14 4000 02E4h](#), [MMPU.MMPUSA15 4000 02F4h](#)



ビット	シンボル	ビット名	機能	R/W
b31-b0	MMPUSA[31:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。下位2ビットは0にしてください。	R/W

15.4.1.2 グループ A 領域 n 終了アドレスレジスタ (MMPUEAn) (n = 0 ~ 15)

アドレス [MMPU.MMPUEA0 4000 0208h](#), [MMPU.MMPUEA1 4000 0218h](#), [MMPU.MMPUEA2 4000 0228h](#), [MMPU.MMPUEA3 4000 0238h](#), [MMPU.MMPUEA4 4000 0248h](#), [MMPU.MMPUEA5 4000 0258h](#), [MMPU.MMPUEA6 4000 0268h](#), [MMPU.MMPUEA7 4000 0278h](#), [MMPU.MMPUEA8 4000 0288h](#), [MMPU.MMPUEA9 4000 0298h](#), [MMPU.MMPUEA10 4000 02A8h](#), [MMPU.MMPUEA11 4000 02B8h](#), [MMPU.MMPUEA12 4000 02C8h](#), [MMPU.MMPUEA13 4000 02D8h](#), [MMPU.MMPUEA14 4000 02E8h](#), [MMPU.MMPUEA15 4000 02F8h](#)



ビット	シンボル	ビット名	機能	R/W
b31-b0	MMPUEA[31:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。下位2ビットは1にしてください。	R/W

15.4.1.3 グループ A 領域 n アクセスコントロールレジスタ (MMPUACAn) (n = 0 ~ 15)

アドレス MMPU.MMPUACA0 4000 0200h, MMPU.MMPUACA1 4000 0210h, MMPU.MMPUACA2 4000 0220h, MMPU.MMPUACA3 4000 0230h, MMPU.MMPUACA4 4000 0240h, MMPU.MMPUACA5 4000 0250h, MMPU.MMPUACA6 4000 0260h, MMPU.MMPUACA7 4000 0270h, MMPU.MMPUACA8 4000 0280h, MMPU.MMPUACA9 4000 0290h, MMPU.MMPUACA10 4000 02A0h, MMPU.MMPUACA11 4000 02B0h, MMPU.MMPUACA12 4000 02C0h, MMPU.MMPUACA13 4000 02D0h, MMPU.MMPUACA14 4000 02E0h, MMPU.MMPUACA15 4000 02F0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	WP	RP	ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	領域有効	0 : グループ A 領域 n ユニットの無効 1 : グループ A 領域 n ユニットの有効	R/W
b1	RP	読み出し保護	0 : 読み出し許可 1 : 読み出し保護	R/W
b2	WP	書き込み保護	0 : 書き込み許可 1 : 書き込み保護	R/W
b15-b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

ENABLE ビット、RP ビット、および WP ビットは、グループ A 領域 n ユニットごとに個別に設定が可能です。

ENABLE ビット (領域有効)

グループ A 領域 n ユニットの有効または無効にします。

ENABLE ビットを 1 にした場合、MMPUSAn レジスタと MMPUEAn レジスタに設定した領域へのアクセスを、RP ビットと WP ビットで許可または保護することが可能です。ENABLE ビットを 0 にした場合、グループ A 領域 n のアクセスに対して領域は指定されません。

RP ビット (読み出し保護)

グループ A 領域 n の読み出し保護を有効または無効にします。ENABLE ビットを 1 にした場合に RP ビットを使用できます。

WP ビット (書き込み保護)

グループ A 領域 n の書き込み保護を有効または無効にします。ENABLE ビットを 1 にした場合に WP ビットを使用できます。

MMPUACAn レジスタで設定した領域にアクセスした際に、グループ A 領域 n ユニットから出力される情報の対応を表 15.5 に示します。

表 15.5 領域制御回路の機能

MMPUACAn. ENABLE	MMPUACAn. RP	MMPUACAn. WP	アクセス	領域	グループA領域 nユニットの出力
0	—	—	読み出し	—	領域外
			書き込み		領域外
1	0	0	読み出し	内部	許可領域
				外部	領域外
			書き込み	内部	許可領域
				外部	領域外
	0	1	読み出し	内部	許可領域
				外部	領域外
			書き込み	内部	保護領域
				外部	領域外
	1	0	読み出し	内部	保護領域
				外部	領域外
			書き込み	内部	許可領域
				外部	領域外
1	1	読み出し	内部	保護領域	
			外部	領域外	
		書き込み	内部	保護領域	
			外部	領域外	

n = 0 ~ 15

表 15.6 マスタ制御回路の機能

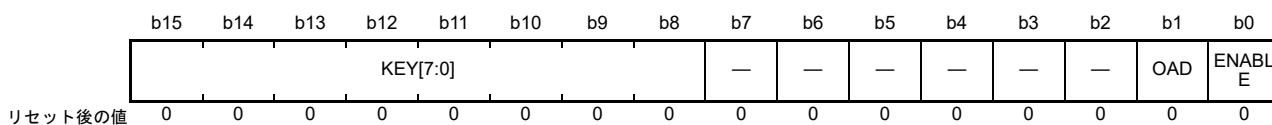
MMPUCTLA. ENABLE	グループA領域 0ユニットの出力	グループA領域 1ユニットの出力	グループA領域 2~15ユニットの出力	グループAの機能
1	保護領域	Don't care	Don't care	エラー発生
1	Don't care	保護領域	Don't care	エラー発生
1	Don't care	Don't care	保護領域	エラー発生
1	領域外	領域外	領域外	エラー発生
その他の場合				エラーなし

マスタ MPU エラーは下記の条件で発生します。

- MMPUCTLA.ENABLE = 1 で、かつ 1 つ以上の領域 n ユニットの出力が保護領域の場合
 - MMPUCTLA.ENABLE = 1 で、かつすべての領域 n ユニットの出力が領域外の場合
- その他の場合は許可領域として処理される。

15.4.1.4 バスマスタ MPU コントロールレジスタ (MMPUCTLA)

アドレス MMPU.MMPUCTLA 4000 0000h



ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	マスタグループ有効	0 : マスタグループAは無効 1 : マスタグループAは有効	R/W
b1	OAD	検出後の動作	0 : ノンマスカブル割り込み 1 : リセット	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OADビットとENABLEビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

ENABLE ビット (マスタグループ有効)

マスタグループ A のバスマスタ MPU 機能を有効または無効にします。

本ビットが 1 になっていれば、MMPUACAn が利用可能です。本ビットを 0 にすると、すべての領域の許可領域を含めて、MMPUACAn レジスタが使用できなくなります。ENABLE ビットを設定する際は、同時にハーフワードアクセスを使って KEY[7:0] ビットに A5h を書き込んでください。

OAD ビット (検出後の動作)

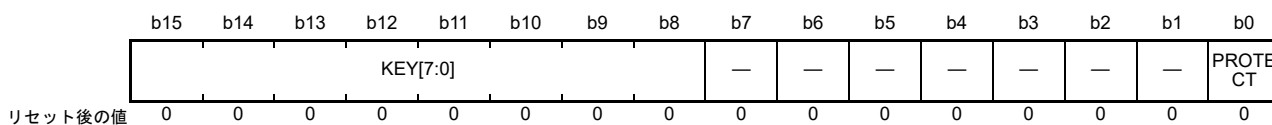
バスマスタ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。OAD ビットを設定する際は、同時にハーフワードアクセスを使って KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット (キーコード)

ENABLE ビットと OAD ビットへの書き込みを許可または禁止します。ENABLE ビットと OAD ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、ENABLE ビットと OAD ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

15.4.1.5 グループ A レジスタ保護 (MMPUPTA)

アドレス `MMPU.MMPUPTA 4000 0102h`



ビット	シンボル	ビット名	機能	R/W
b0	PROTECT	レジスタの保護	0: 全バスマスタ MPU グループ A レジスタの書き込みを許可 1: 全バスマスタ MPU グループ A レジスタの書き込みから保護 (読み出しは可能)	R/W
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b15-b8	KEY[7:0]	キーコード	PROTECT ビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

PROTECT ビット (レジスタの保護)

保護するレジスタへの書き込みを許可または禁止します。MMPUPTA.PROTECT ビットは、バスマスタ MPU グループ A 関連レジスタへの書き込み保護を制御します。

下記のレジスタが MMPUPTA.PROTECT ビットで保護されます。

- MMPUSAn
- MMPUEAn
- MMPUACAn
- MMPUCTLA

PROTECT ビットを設定する際は、同時にハーフワードアクセスを使って KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット (キーコード)

PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

15.4.2 動作説明

15.4.2.1 メモリプロテクション

バスマスタ MPU は、アクセス制御領域に対して個別に設定された制御情報を用いてメモリアクセスを監視します。保護領域に対するアクセスが検出されると、バスマスタ MPU はメモリプロテクションエラーを発生させます。

バスマスタ MPU は、最大 16 の保護領域に対して設定することが可能です。保護領域には、許可領域と保護領域のオーバーラップした領域と、2 つの許可領域がオーバーラップした領域が含まれます。

バスマスタ MPU にはグループ A があります。メモリプロテクション機能は、マスタグループに対してバスのアドレスをチェックし、マスタグループの全アクセスが保護されます。バスマスタ MPU は、リセット後、すべての領域を許可に設定します。MMPUCTLA.ENABLE ビットを 1 にすることで、全領域が保護されます。領域ごとに、許可領域が保護領域の内部に設定されます。保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。

図 15.5 に、バスマスタ MPU の使用例を示します。

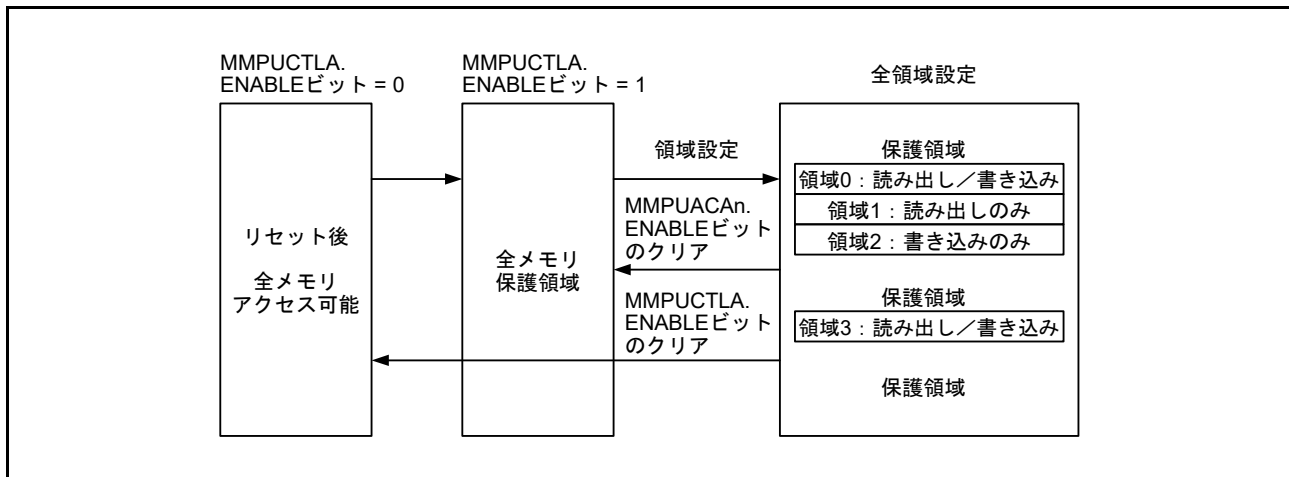


図 15.5 バスマスタ MPU の使用例

図 15.6 に、バスマスタ MPU のオーバーラップ領域に対するアクセスの許可または保護について示します。オーバーラップ領域に対するアクセス制御は以下のとおりです。

- 1 つ以上の領域ユニットの出力が保護領域の場合、領域は保護領域として処理される
- すべての領域ユニットの出力が領域外の場合、領域は保護領域として処理される
- その他の場合は許可領域として処理される

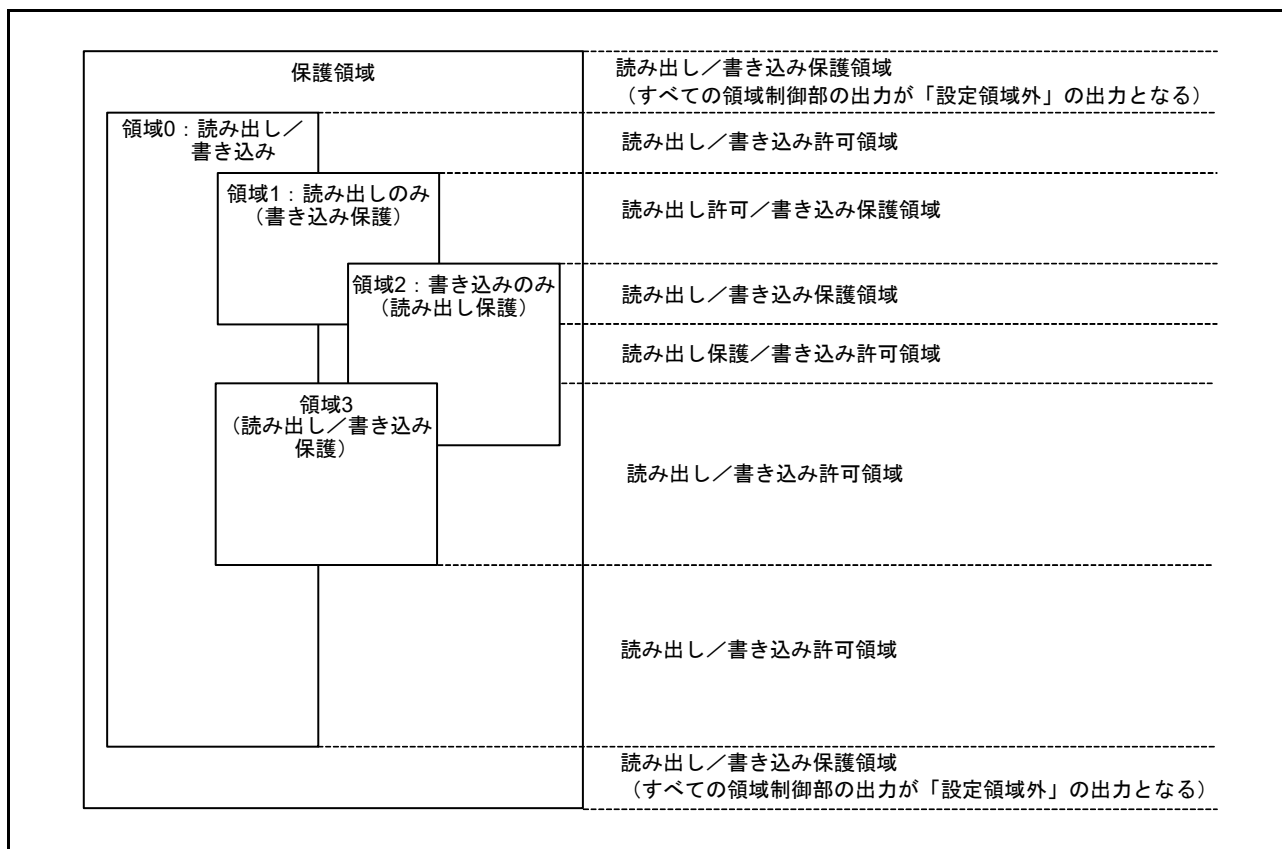


図 15.6 バスマスタ MPU 領域のオーバーラップによるアクセスの許可または保護

図 15.7 に、リセット後のレジスタ設定フローを示します。本レジスタ設定中は、CPU を除く全マスタを停止してください。

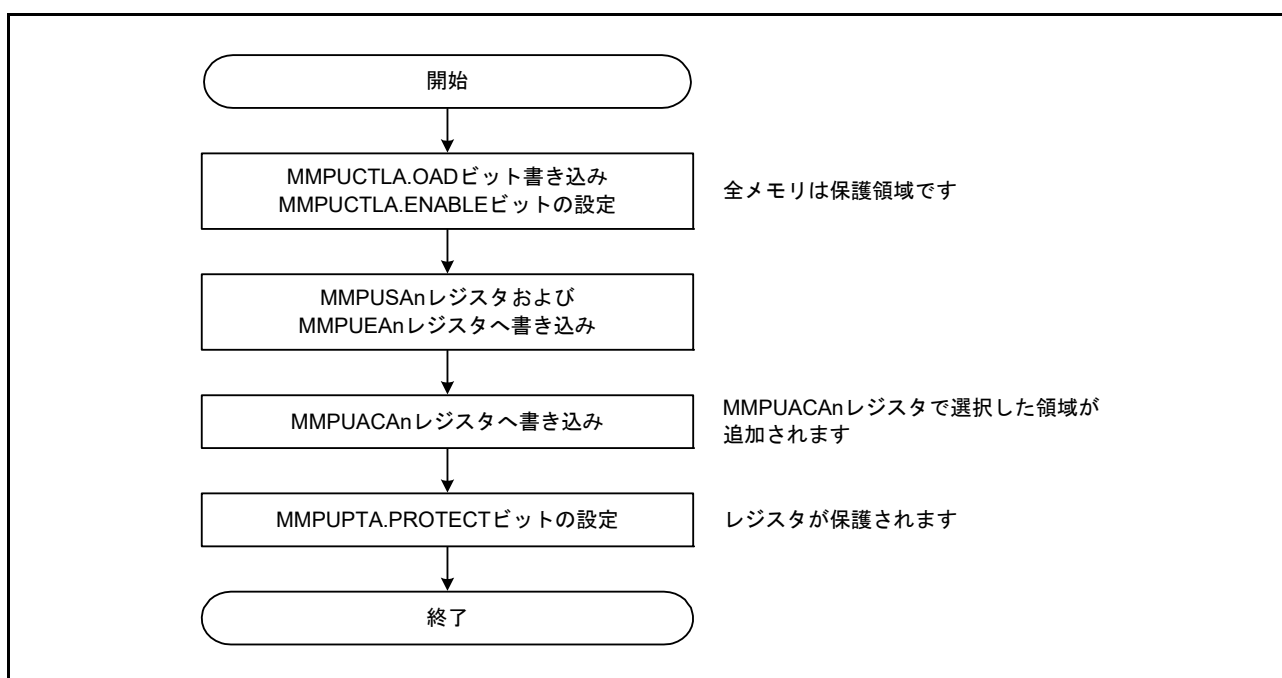


図 15.7 リセット後のレジスタ設定フロー

図 15.8 に、領域を追加するためのレジスタ設定フローを示します。本レジスタ設定中は、CPU を除く全マスタを停止してください。



図 15.8 領域追加のレジスタ設定フロー

15.4.2.2 レジスタの保護

バスマスタ MPU 関連のレジスタを保護するには、MMPUPTA レジスタの PROTECT ビットを設定します。

15.4.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バスマスタ MPU はメモリプロテクションエラーを発生させます。OAD ビットを設定することで、このエラーをノンマスカブル割り込みとリセットのどちらで通知するか選択できます。ノンマスカブル割り込み状態は ICU.NMISR.BUSMST フラグに示されます。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。リセット状態は SYSTEM.RSTSR1.BUSMRF フラグに示されます。詳細は、「5. リセット」を参照してください。

15.5 バススレーブ MPU

バススレーブ MPU は、フラッシュや SRAM などのバススレーブ機能に対するアクセスを監視します。バススレーブ機能は、2 つのバスマスタ、CPU、およびバスマスタ MPU グループ A からアクセスできます。バススレーブ MPU は、2 つのバスマスタごとに独立したプロテクトレジスタを備えており、それぞれ個別にアクセス保護が可能です。保護領域に対するアクセスが検出されると、バススレーブ MPU はリセットまたはノンマスカブル割り込みを発生させ、バスエラー状態、エラーアクセス状態、およびバスエラーアドレスを I/O レジスタに格納できます。詳細は「14. バス」の 14.3.3 および 14.3.4 を参照してください。各領域のアクセス制御情報は、読み出し許可と書き込み許可で構成されます。

表 15.7 にバススレーブ MPU の仕様を、図 15.9 にブロック図を示します。

表 15.7 バススレーブ MPU の仕様

項目	内容
バスマスタの保護	バスマスタ MPU グループ A : DMA バス
スレーブ機能の保護	メモリバス 3 : コードフラッシュメモリ メモリバス 4 : SRAM0 内部周辺バス 1 : システムコントロール関連の周辺モジュール 内部周辺バス 3 : 周辺モジュール (CAC, ELC, I/O ポート, POEG, RTC, WDT, IWDT, IIC, CAN, SSIE, ADC14, DAC12, DOC) 内部周辺バス 4 : 周辺モジュール (SCI, SPI, CRC) 内部周辺バス 5 : 周辺モジュール (KINT, AGT, USBFS, DAC8, OPAMP, ACMP, CTSU) 内部周辺バス 7 : セキュア IP (SCE5) 内部周辺バス 9 : フラッシュメモリ (P/E 時) とデータフラッシュメモリ
各領域のアクセス制御情報設定	読み出し許可、書き込み許可
検出後の動作	リセット、ノンマスカブル割り込み、または例外
レジスタの保護	レジスタに対する不正書き込みの防止が可能

バススレーブ MPU はそれぞれのバススレーブ側に配置され、各バスマスタから各バススレーブへのアクセスを許可または保護します。

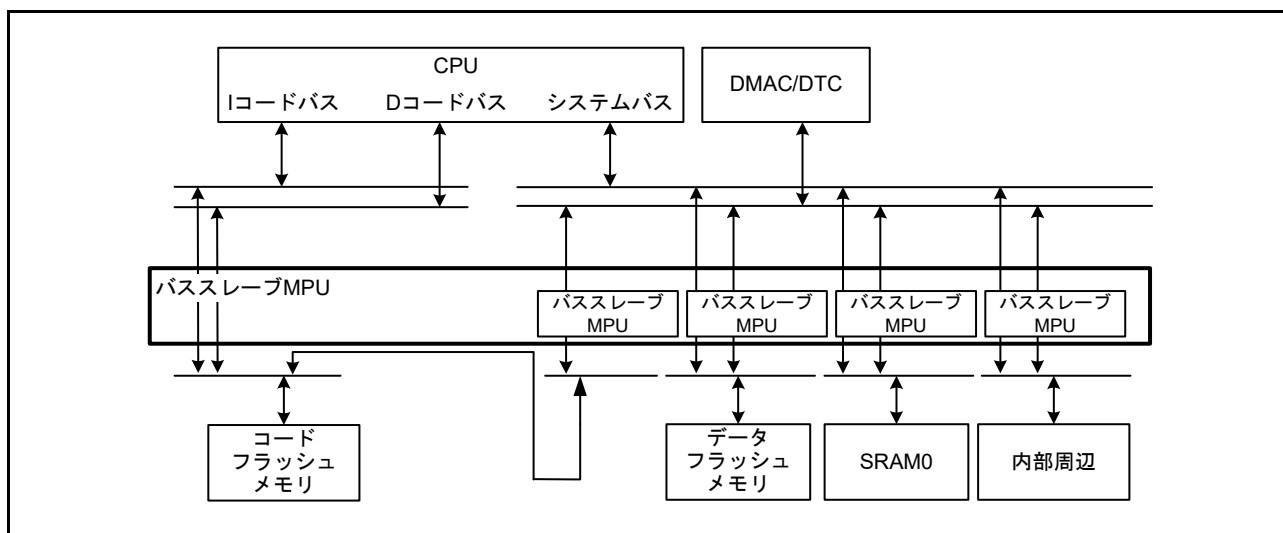


図 15.9 バススレーブ MPU のブロック図

15.5.1 レジスタの説明

注. MPU レジスタに書き込みを行う前に、バスアクセスを停止してください。

15.5.1.1 メモリバス 3 アクセスコントロールレジスタ (SMPUMBIU)

アドレス SMPU.SMPUMBIU 4000 0C10h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	—	—
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPGRPA ビット (マスタグループ A 読み出し保護)

メモリバス 3 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタグループ A 書き込み保護)

メモリバス 3 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

15.5.1.2 内部周辺バス 9 アクセスコントロールレジスタ (SMPUFBIU)

アドレス SMPU.SMPUFBIU 4000 0C14h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット (CPU 読み出し保護)

内部周辺バス 9 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット (CPU 書き込み保護)

内部周辺バス 9 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット (マスタグループ A 読み出し保護)

内部周辺バス 9 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタグループ A 書き込み保護)

内部周辺バス 9 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

15.5.1.3 メモリバス 4 アクセスコントロールレジスタ (SMPUSRAM0)

アドレス SMPU.SMPUSRAM0 4000 0C18h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット (CPU 読み出し保護)

メモリバス 4 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット (CPU 書き込み保護)

メモリバス 4 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット (マスタグループ A 読み出し保護)

メモリバス 4 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタグループ A 書き込み保護)

メモリバス 4 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

15.5.1.4 内部周辺バス 1 アクセスコントロールレジスタ (SMPUP0BIU)

アドレス SMPU.SMPUP0BIU 4000 0C20h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット (CPU 読み出し保護)

内部周辺バス 1 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット (CPU 書き込み保護)

内部周辺バス 1 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット (マスタグループ A 読み出し保護)

内部周辺バス 1 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタグループ A 書き込み保護)

内部周辺バス 1 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

15.5.1.5 内部周辺バス 3 アクセスコントロールレジスタ (SMPUP2BIU)

アドレス SMPU.SMPUP2BIU 4000 0C24h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット (CPU 読み出し保護)

内部周辺バス 3、4、5 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット (CPU 書き込み保護)

内部周辺バス 3、4、5 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット (マスタグループ A 読み出し保護)

内部周辺バス 3、4、5 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタグループ A 書き込み保護)

内部周辺バス 3、4、5 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

15.5.1.6 内部周辺バス 7 アクセスコントロールレジスタ (SMPUP6BIU)

アドレス SMPU.SMPUP6BIU 4000 0C28h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット (CPU 読み出し保護)

内部周辺バス 7 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット (CPU 書き込み保護)

内部周辺バス 7 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット (マスタグループ A 読み出し保護)

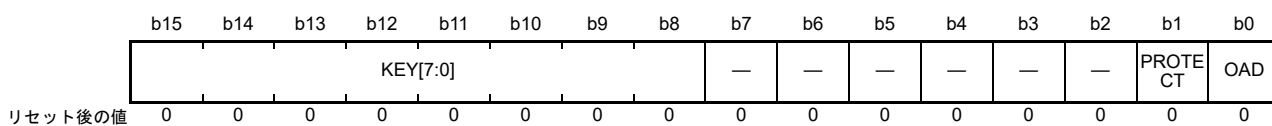
内部周辺バス 7 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタグループ A 書き込み保護)

内部周辺バス 7 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

15.5.1.7 スレーブ MPU コントロールレジスタ (SMPUCTL)

アドレス SMPU.SMPUCTL 4000 0C00h



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	0: ノンマスカブル割り込み 1: リセット	R/W
b1	PROTECT	レジスタの保護	0: 全バススレーブレジスタの書き込みを許可 1: 全バススレーブレジスタの書き込みから保護 (読み出しは許可)	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OADビットとPROTECTビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

OAD ビット (検出後の動作)

バススレーブ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。OAD ビットを設定する際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

PROTECT ビット (レジスタの保護)

保護するレジスタへの書き込みを許可または禁止します。下記のレジスタが SMPUCTL.PROTECT ビットで保護されます。

- SMPUMBIU
- SMPUFBIU
- SMPUSRAM0
- SMPUP0BIU
- SMPUP2BIU
- SMPUP6BIU

PROTECT ビットを設定する際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット (キーコード)

OAD ビットと PROTECT ビットへの書き込みを許可または禁止します。OAD ビットと PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、OAD ビットと PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

15.5.2 機能説明

15.5.2.1 メモリプロテクション

バススレーブ MPU は、各アクセスコントロールレジスタに設定されたアクセス制御情報を用いて、バススレーブによるアクセスがアクセス制御設定に違反していないか監視します。保護領域に対するアクセスが検出されると、バススレーブ MPU はメモリプロテクションエラーを発生させます。

バススレーブ MPU は、各アクセスコントロールレジスタ (SMPUMBIU, SMPUFBIU, SMPUSRAM0, SMPUP0BIU, SMPUP2BIU, SMPUP6BIU) の書き込み保護 (WPCPU または WPGRPA) ビットまたは読み出し保護 (RPCPU または RPGRPA) ビットを 1 にすることで有効になります。

15.5.2.2 レジスタの保護

バススレーブ MPU 関連のレジスタは、SMPUCTL レジスタの PROTECT ビットで保護することが可能です。

15.5.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バススレーブ MPU はメモリプロテクションエラーを発生させます。OAD ビットを設定することで、このエラーをノンマスカブル割り込みとリセットのどちらで通知するか選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.BUSSST フラグに示されます。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。リセットの状態は SYSTEM.RSTSR1.BUSSRF フラグに示されます。詳細は、「[5. リセット](#)」を参照してください。

15.6 セキュリティ MPU

本 MCU には 4 つのセキュリティ領域を持つセキュリティ MPU が内蔵されており、セキュリティ領域にはコードフラッシュ、SRAM、および 2 つのセキュリティ機能が含まれます。セキュリティ領域を、非セキュアプログラムのアクセスから保護することが可能です。非セキュアプログラムから保護領域へのアクセスは許可されていません。

表 15.8 に、セキュリティ MPU の仕様を、図 15.10 にブロック図を示します。

表 15.8 セキュリティ MPU の仕様

項目	内容
セキュリティ領域	コードフラッシュ、SRAM、2つのセキュリティ機能
保護領域	0000 0000h ~ 00FF FFFFh (コードフラッシュメモリ) 1FF0 0000h ~ 200F FFFFh (SRAM) 400C 0000h ~ 400D FFFFh 4010 0000h ~ 407F FFFFh (セキュリティ機能のセキュアデータ)
領域数	プログラムカウンタ : 2領域 データアクセス : 4領域
各領域のアドレス仕様	領域の開始および終了アドレス設定
各領域のメモリプロテクション有効/無効設定	対応する領域に対し、有効/無効を設定

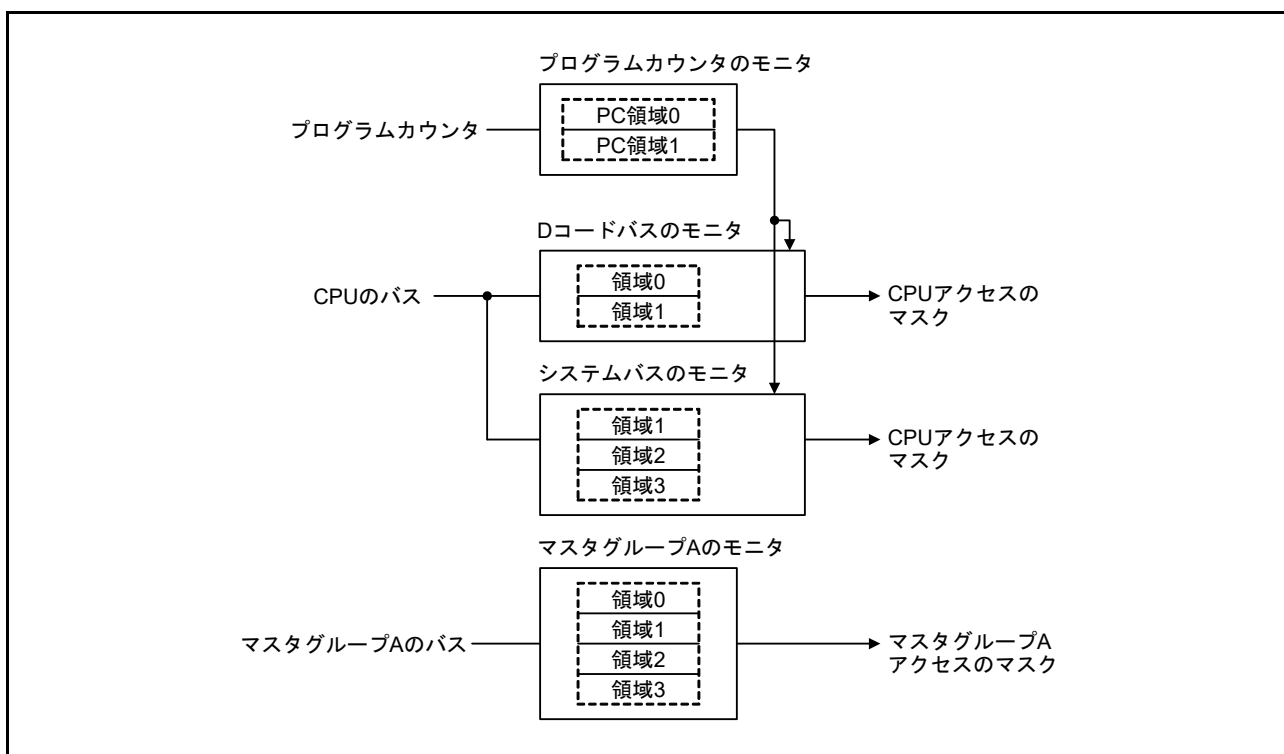


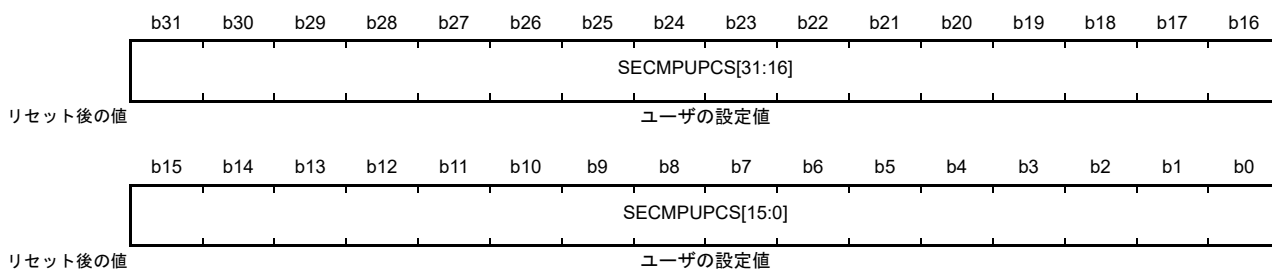
図 15.10 セキュリティ MPU のブロック図

15.6.1 レジスタの説明 (オプション設定メモリ)

セキュリティ MPU のすべてのレジスタは、オプション設定メモリです。オプション設定メモリとは、リセット後のマイコンの状態を選択するために利用可能な一連のレジスタを指します。オプション設定メモリはフラッシュに配置されます。

15.6.1.1 セキュリティ MPU プログラムカウンタ開始アドレスレジスタ (SECMUPCSn) (n = 0, 1)

アドレス [SECMUPCS0 0000 0408h/0000 2408h](#) (注1) , [SECMUPCS1 0000 0410h/0000 2410h](#) (注1)



注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

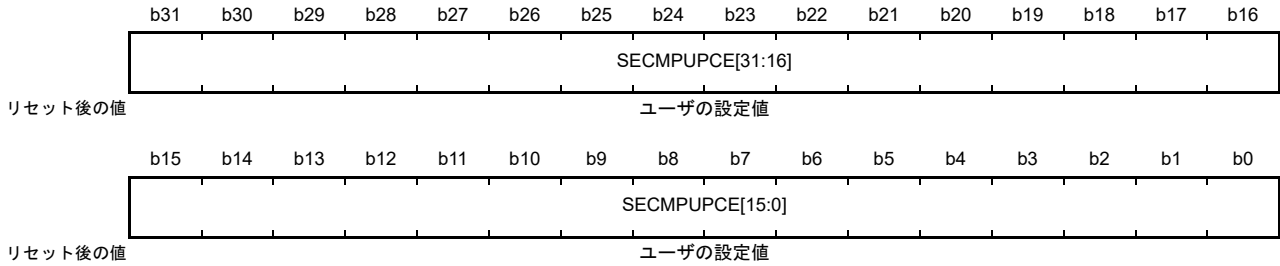
ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMUPCS[31:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。値の範囲は、予約領域を除く 0000 0000h ~ 00FF FFFCh および 1FF0 0000h ~ 200F FFFCh でなければいけません。 オプション設定メモリに設定する場合、下位2ビットへの書き込みは0にしてください。	R

SECMUPCSn レジスタと SECMUPCEn レジスタには、コードフラッシュ (予約領域を除く 00000000h ~ 00FF FFFFh) または SRAM (予約領域を除く 1FF0 0000h ~ 200FFFFFh) のセキュリティフェッチ領域を指定してください。セキュアプログラムは、SECMUPCSn レジスタおよび SECMUPCEn レジスタで定義されたメモリ空間で実行され、SECMUPSm レジスタおよび SECMPUEm レジスタ (m = 0 ~ 3) で指定されたセキュアデータにアクセスできます。

セキュアプログラムの設定では、非セキュアプログラムの最後の命令とセキュアプログラムの最初の命令の間に 12 バイト以上のアドレス空間が必要です。

15.6.1.2 セキュリティ MPU プログラムカウンタ終了アドレスレジスタ (SECMUPCEn) (n = 0, 1)

アドレス [SECMUPCE0 0000 040Ch/0000 240Ch](#) (注1) , [SECMUPCE1 0000 0414h/0000 2414h](#) (注1)

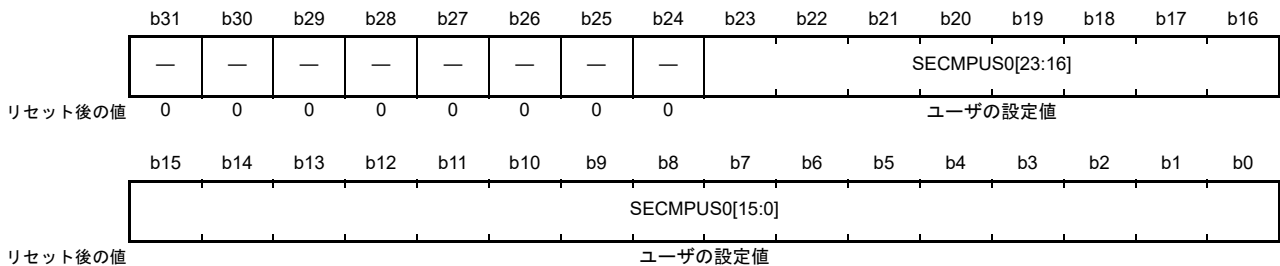


注1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMUPCE[31:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。値の範囲は、予約領域を除く0000 0003h～00FF FFFFhおよび1FF0 0003h～200F FFFFhでなければいけません。 オプション設定メモリに設定する場合、下位2ビットへの書き込みは1にしてください。	R

15.6.1.3 セキュリティ MPU 領域0 開始アドレスレジスタ (SECMUPUS0)

アドレス [SECMUPUS0 0000 0418h/0000 2418h](#) (注1)



注1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

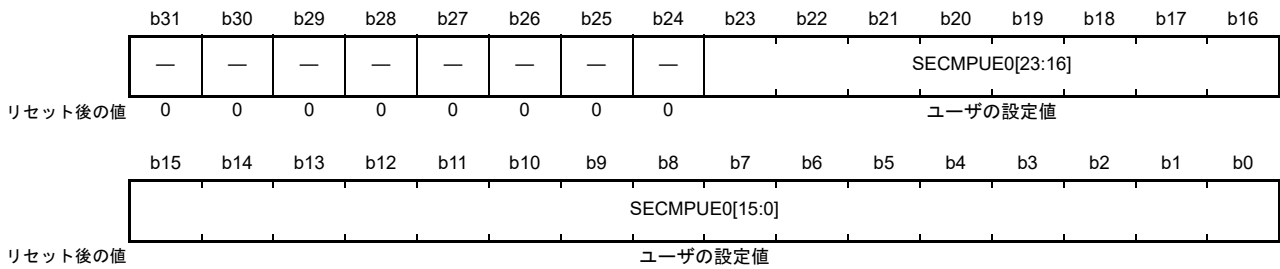
ビット	シンボル	ビット名	機能	R/W
b23-b0	SECMUPUS0[23:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。値の範囲は、予約領域を除く0000 0000h～00FF FFFChでなければいけません。 オプション設定メモリに設定する場合、下位2ビットへの書き込みは0にしてください。	R
b31-b24	—	予約ビット	読むと0が読めます。 オプション設定メモリに設定する場合、これらのビットへの書き込みは0にしてください。	R

SECMUPUS0 レジスタと SECMUPUE0 レジスタには、セキュアプログラムとフラッシュデータ（予約領域を除く 0000 0000h～00FF FFFFh）を設定してください。SECMUPUS0 レジスタおよび SECMUPUE0 レジスタで定義されたメモリ空間は、SECMUPPCSn レジスタおよび SECMUPPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

ベクタテーブル領域の設定は禁止されています。

15.6.1.4 セキュリティ MPU 領域 0 終了アドレスレジスタ (SECMPUE0)

アドレス SECMPUE0 0000 041Ch/0000 241Ch (注1)

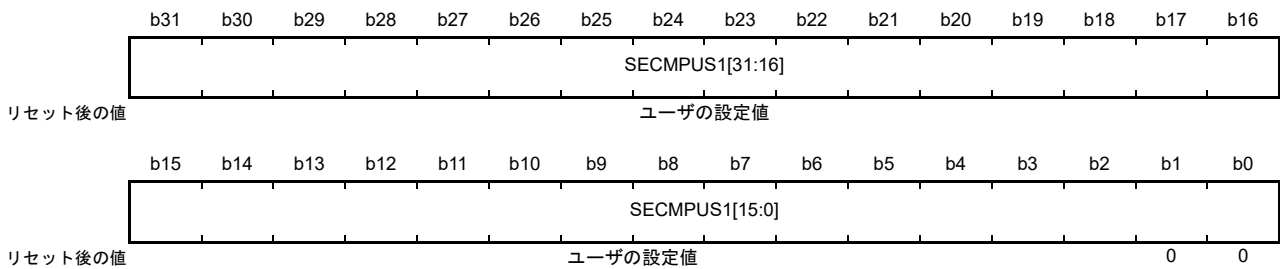


注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	ビット名	機能	R/W
b23-b0	SECMPUE0[23:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。値の範囲は、予約領域を除く 0000 0003h ~ 00FF FFFFh でなければいけません。 オプション設定メモリに設定する場合、下位2ビットへの書き込みは1にしてください。	R
b31-b24	—	予約ビット	読むと0が読めます。 オプション設定メモリに設定する場合、これらのビットへの書き込みは0にしてください。	R

15.6.1.5 セキュリティ MPU 領域 1 開始アドレスレジスタ (SECMPUS1)

アドレス SECMPUS1 0000 0420h/0000 2420h (注1)



注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

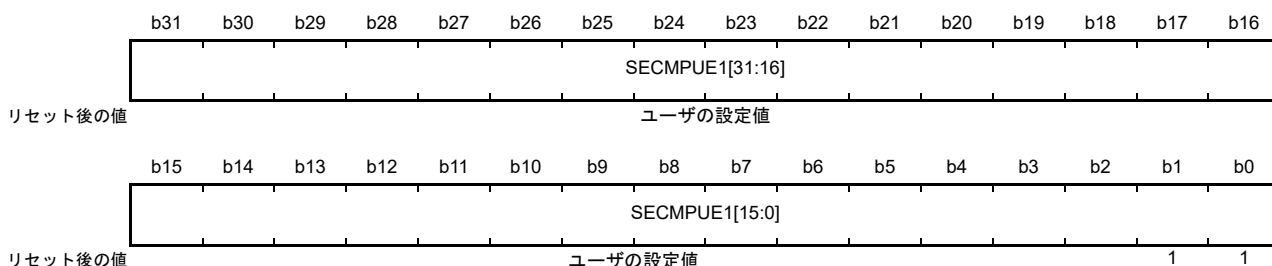
ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMPUS1[31:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。値の範囲は、予約領域を除く 1FF0 0000h ~ 200F FFFCh でなければいけません。 オプション設定メモリに設定する場合、下位2ビットへの書き込みは0に、ビット [31:20] への書き込みは 1FFh または 200h にしてください。	R

SECMPUS1 レジスタと SECMPUE1 レジスタには、SRAM のセキュアデータ（予約領域を除く 1FF0 0000h ~ 200F FFFFh）を設定してください。SECMPUS1 レジスタおよび SECMPUE1 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

スタック領域およびベクタテーブルの設定は禁止されています。

15.6.1.6 セキュリティ MPU 領域 1 終了アドレスレジスタ (SECMPUE1)

アドレス SECMPUE1 0000 0424h/0000 2424h (注1)

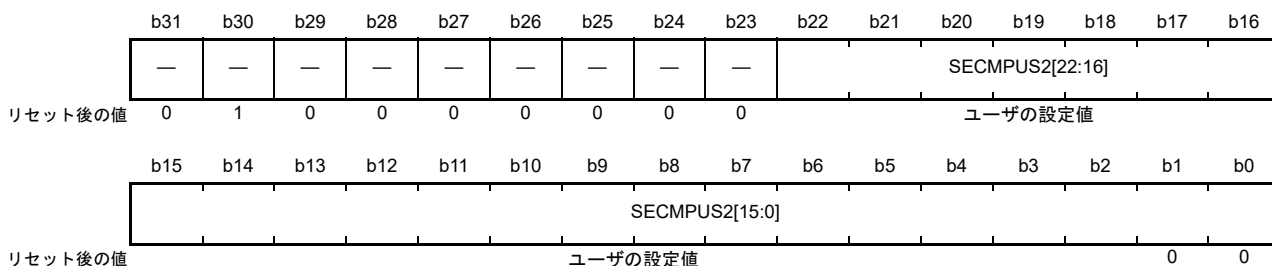


注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMPUE1[31:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。値の範囲は、予約領域を除く 1FF0 0003h~200F FFFFh でなければいけません。 オプション設定メモリに設定する場合、下位2ビットへの書き込みは1に、ビット[31:20]への書き込みは1FFhまたは200hにしてください。	R

15.6.1.7 セキュリティ MPU 領域 2 開始アドレスレジスタ (SECMPUS2)

アドレス SECMPUS2 0000 0428h/0000 2428h (注1)



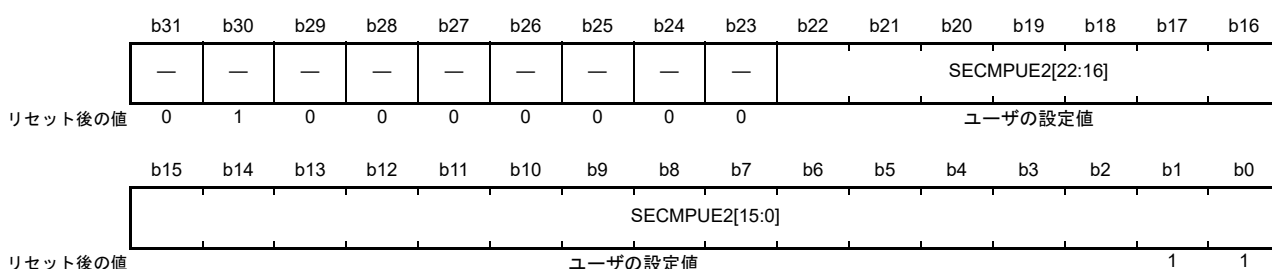
注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	ビット名	機能	R/W
b22-b0	SECMPUS2[22:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。値の範囲は、400C 0000h~400D FFFChおよび4010 0000h~407F FFFChでなければいけません。オプション設定メモリに設定する場合、下位2ビットへの書き込みは0にしてください。	R
b31-b23	—	予約ビット	読むと0100 0000 0bが読めます。オプション設定メモリに設定する場合、これらのビットへの書き込みは0100 0000 0bにしてください。	R

SECMPUS2 および SECMPUE2 レジスタには、セキュリティ機能のセキュアデータ (400C 0000 ~ 400D FFFFh および 4010 0000 ~ 407F FFFFh) を指定します。SECMPUS2 レジスタおよび SECMPUE2 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

15.6.1.8 セキュリティ MPU 領域 2 終了アドレスレジスタ (SECMPUE2)

アドレス SECMPUE2 0000 042Ch/0000 242Ch (注1)

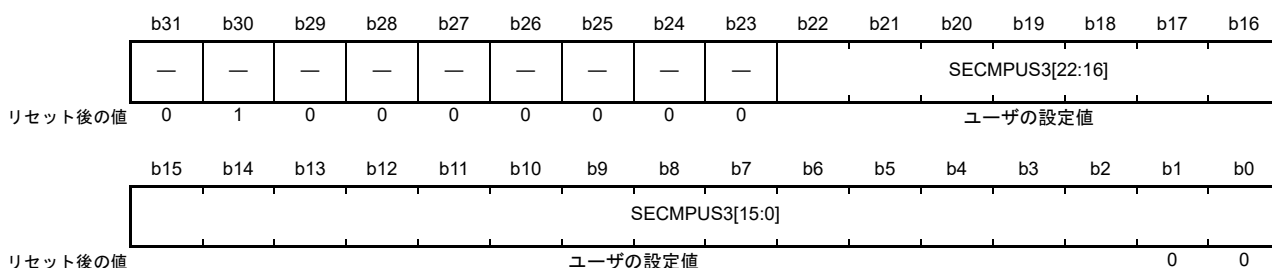


注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	ビット名	機能	R/W
b22-b0	SECMPUE2[22:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。値の範囲は、 400C 0003h～400D FFFFhおよび4010 0003h～407F FFFFh でなければいけません。オプション設定メモリに設定する場 合、下位2ビットへの書き込みは1にしてください。	R
b31-b23	—	予約ビット	読むと0100 0000 0bが読めます。オプション設定メモリに設 定する場合、これらのビットへの書き込みは0100 0000 0bに してください。	R

15.6.1.9 セキュリティ MPU 領域 3 開始アドレスレジスタ (SECMPUS3)

アドレス SECMPUS3 0000 0430h/0000 2430h (注1)



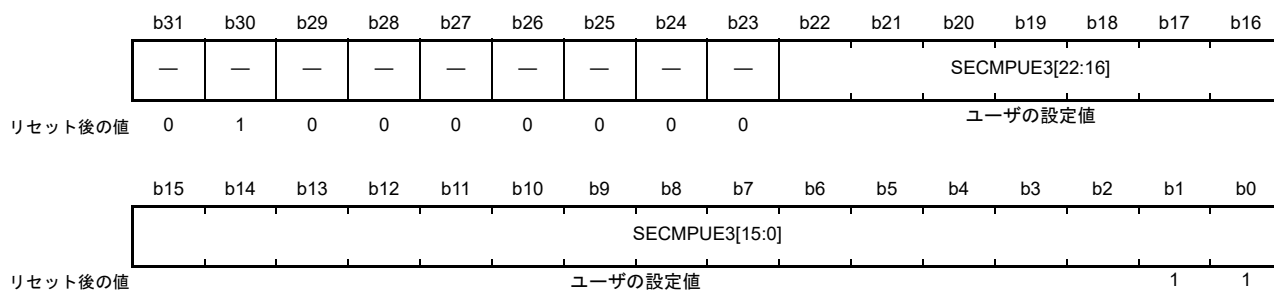
注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	ビット名	機能	R/W
b22-b0	SECMPUS3[22:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。値の範囲は、 400C 0000h～400D FFFChおよび4010 0000h～407F FFFCh でなければいけません。オプション設定メモリに設定する場 合、下位2ビットへの書き込みは0にしてください。	R
b31-b23	—	予約ビット	読むと0100 0000 0bが読めます。オプション設定メモリに設 定する場合、これらのビットへの書き込みは0100 0000 0bに してください。	R

SECMPUS3 および SECMPUE3 レジスタには、セキュリティ機能のセキュアデータ (400C 0000h～400D FFFFh および 4010 0000h～407F FFFFh) を指定します。SECMPUS3 レジスタおよび SECMPUE3 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

15.6.1.10 セキュリティ MPU 領域 3 終了アドレスレジスタ (SECMPEUE3)

アドレス SECMPEUE3 0000 0434h/0000 2434h (注1)



注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	ビット名	機能	R/W
b22-b0	SECMPEUE3[22:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。値の範囲は、400C 0003h ~400D FFFFhおよび4010 0003h~407F FFFFhでなければい けません。オプション設定メモリに設定する場合、下位2ビッ トへの書き込みは1にしてください。	R
b31-b23	—	予約ビット	読むと0100 0000 0bが読めます。オプション設定メモリに設定 する場合、これらのビットへの書き込みは0100 0000 0bにして ください。	R

15.6.1.11 セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC)

アドレス SECMPUAC 0000 0438h/0000 2438h (注1)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DISPC 1	DISPC 0	—	—	—	—	DIS3	DIS2	DIS1	DIS0
リセット後の値	1	1	1	1	1	1	ユーザの設定値	ユーザの設定値	1	1	1	1	ユーザの設定値	ユーザの設定値	ユーザの設定値	ユーザの設定値

注1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	ビット名	機能	R/W
b0	DIS0	領域0無効	0: セキュリティ MPUの領域0は有効 1: セキュリティ MPUの領域0は無効	R
b1	DIS1	領域1無効	0: セキュリティ MPUの領域1は有効 1: セキュリティ MPUの領域1は無効	R
b2	DIS2	領域2無効	0: セキュリティ MPUの領域2は有効 1: セキュリティ MPUの領域2は無効	R
b3	DIS3	領域3無効	0: セキュリティ MPUの領域3は有効 1: セキュリティ MPUの領域3は無効	R
b7-b4	—	予約ビット	読むと1が読めます。 オプション設定メモリに設定する場合、ビット[7:4]への書き込みは1にしてください。	R
b8	DISPC0	PC領域0無効	0: セキュリティ MPUのPC領域0は有効 1: セキュリティ MPUのPC領域0は無効	R
b9	DISPC1	PC領域1無効	0: セキュリティ MPUのPC領域1は有効 1: セキュリティ MPUのPC領域1は無効	R
b15-b10	—	予約ビット	読むと1が読めます。 オプション設定メモリに設定する場合、ビット[15:10]への書き込みは1にしてください。	R

注. フラッシュメモリが消去されると、セキュリティ MPUは無効になります。

注. セキュリティ MPUを有効または無効にする方法については、15.6.2 メモリプロテクションを参照してください。

DIS0 ビット (領域 0 無効)

セキュリティ MPUの領域 0 を有効または無効にします。セキュリティ MPUの領域 0 を有効にすると、SECMPUS0 レジスタと SECMPUE0 レジスタで設定した範囲内のコードフラッシュ領域がセキュアデータとなります。

DIS1 ビット (領域 1 無効)

セキュリティ MPUの領域 1 を有効または無効にします。セキュリティ MPUの領域 1 を有効にすると、SECMPUS1 レジスタと SECMPUE1 レジスタで設定した範囲内の SRAM 領域がセキュアデータとなります。

DIS2 ビット (領域 2 無効)

セキュリティ MPUの領域 2 を有効または無効にします。セキュリティ MPUの領域 2 を有効にすると、SECMPUS2 レジスタと SECMPUE2 レジスタで設定した範囲内のセキュリティ機能領域のセキュアデータがセキュアデータとなります。

DIS3 ビット (領域 3 無効)

セキュリティ MPUの領域 3 を有効または無効にします。セキュリティ MPUの領域 3 を有効にすると、SECMPUS3 レジスタと SECMPUE3 レジスタで設定した範囲内のセキュリティ機能領域のセキュアデータがセキュアデータとなります。

DISPC0 ビット (PC 領域 0 無効)

セキュリティ MPUの PC 領域 0 を有効または無効にします。セキュリティ MPUの PC 領域 0 を有効にすると、SECMPUPCS0 レジスタと SECMPUPCE0 レジスタで設定した範囲内のコードフラッシュ領域または SRAM 領域にセキュアプログラムが含まれます。

DISPC1 ビット (PC 領域 1 無効)

セキュリティ MPU の PC 領域 1 を有効または無効を制御します。セキュリティ MPU の PC 領域 1 を有効にすると、SECMUPPCS1 レジスタと SECMUPPCE1 レジスタで設定した範囲内のコードフラッシュ領域または SRAM 領域にセキュアプログラムが含まれます。

15.6.2 メモリプロテクション

セキュリティ MPU は、非セキュアプログラムからアクセスできないようにセキュリティ領域 (コードフラッシュ、SRAM、2 つのセキュリティ機能) を保護します。保護領域に対するアクセスが検出されると、そのアクセスは無効になります。

セキュリティ MPU を有効にする場合、セキュリティ MPU アクセスコントロールレジスタ (SECMUAC) の DISPC0 ビットまたは DISPC1 ビットを 0 にする必要があります。さらに、セキュリティ MPU アクセスコントロールレジスタ (SECMUAC) の DIS0、DIS1、DIS2、または DIS3 ビットを 0 にする必要があります。セキュリティ MPU を無効にする場合、セキュリティ MPU アクセスコントロールレジスタ (SECMUAC) の DISPC0、DISPC1、DIS0、DIS1、DIS2 および DIS3 ビットをすべて 1 にする必要があります。セキュリティ MPU アクセスコントロールレジスタ (SECMUAC) の上記以外の設定は禁止です。

セキュリティ MPU は、以下の条件下でアクセス保護を行います。

- セキュアデータが非セキュアプログラムからアクセスされる時
- セキュアデータが CPU 以外 (DMAC、DTC) からアクセスされる時
- セキュアデータがデバッグからアクセスされる時

セキュアデータは以下の条件下でアクセス可能です。

- セキュアデータがセキュアプログラムからアクセスされる時

注 . セキュアプログラム : SECMUPPCS0 レジスタと SECMUPPCE0 レジスタで設定した範囲内にあるコードフラッシュ領域または SRAM 領域、SECMUPPCS1 レジスタと SECMUPPCE1 レジスタで設定した範囲内にあるコードフラッシュ領域または SRAM 領域

非セキュアプログラム : セキュアプログラム領域外の全領域

セキュアデータ : SECMUPUS0 レジスタと SECMUPUE0 レジスタで設定した範囲内にあるコードフラッシュ領域
SECMUPUS1 と SECMUPUE1 で設定された範囲内にある SRAM 領域
SECMUPUS2 と SECMUPUE2 で設定された範囲内にあるセキュリティ機能領域
SECMUPUS3 と SECMUPUE3 で設定された範囲内にあるセキュリティ機能領域

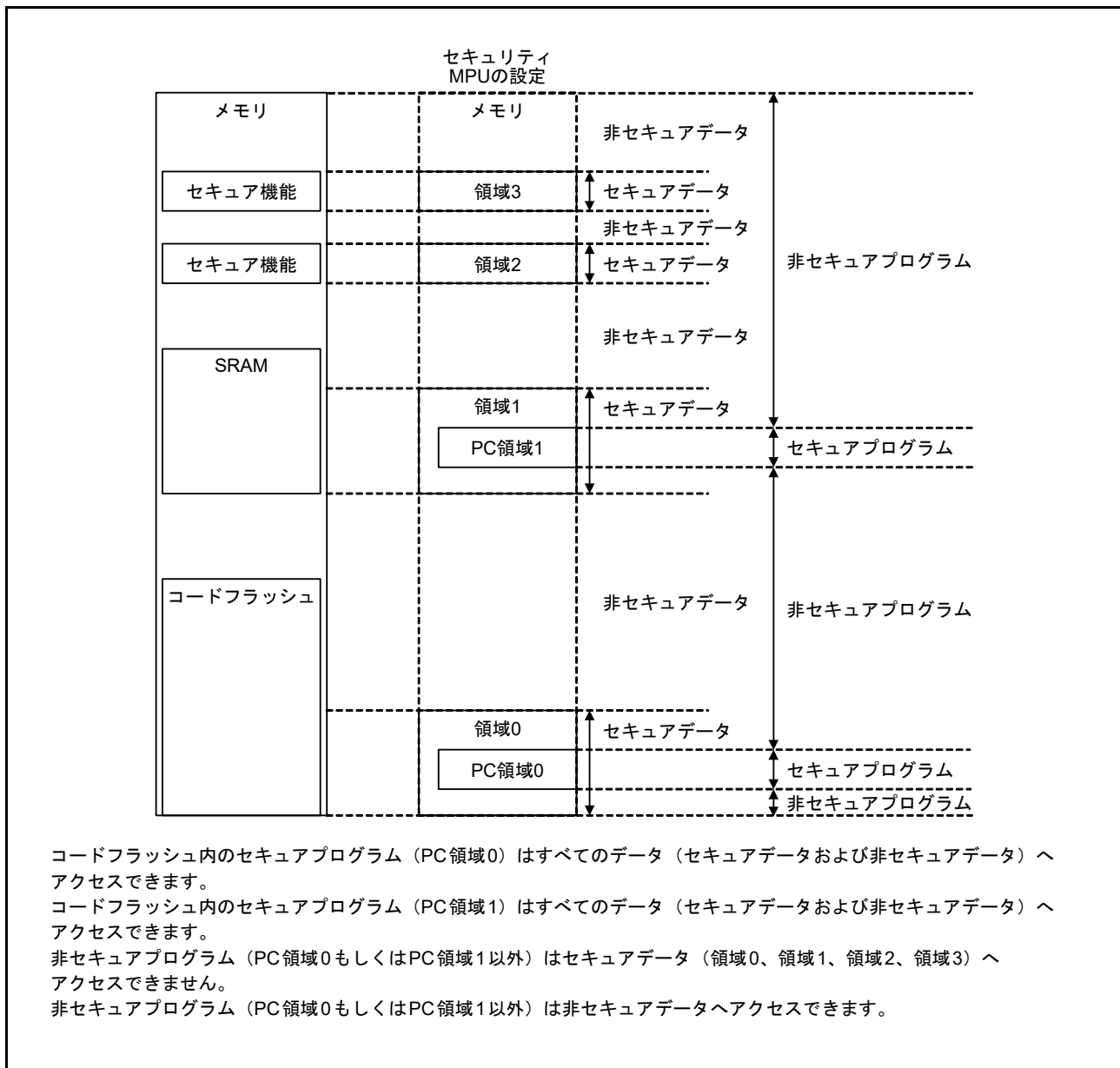


図 15.11 セキュリティ MPU の使用例

15.6.3 デバッグに関する注意事項

セキュリティ MPU を有効にすると、保護されたメモリをデバッグできません。セキュアプログラムをデバッグするには、セキュリティ MPU を無効にしてください。

15.7 参考資料

1. ARM® v7-M Architecture Reference Manual (ARM DDI 0403D)
2. ARM® Cortex-M4 Processor Technical Reference Manual (ARM DDI 0439D)
3. ARM® Cortex-M4 Devices Generic User Guide (ARM DUI 0553A)

16. DMAコントローラ (DMAC)

16.1 概要

本 MCU は、4 チャンネルの DMA コントローラ (DMAC) を内蔵しており、CPU を介さずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。

表 16.1 に DMAC の仕様を、図 16.1 にブロック図を示します。

表 16.1 DMACの仕様

項目		内容
チャンネル数		4チャンネル (DMACm, m = 0~3)
転送空間		4Gバイト (0000 0000h~FFFF FFFFhのうち、予約領域を除く領域)
最大転送データ数		64Mデータ (ブロック転送モードにおける最大総転送数: 1024データ × 65536ブロック)
DMA起動要因		チャンネルごとに選択可能 <ul style="list-style-type: none"> ソフトウェアトリガ 周辺モジュールからの割り込み要求/外部割り込み入力端子からのトリガ (注1)
チャンネル優先順位		チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3 (チャンネル0: 最優先)
転送データ	1データ	ビット長: 8ビット、16ビット、32ビット
	ブロックサイズ	データ数: 1~1024データ
転送モード	ノーマル転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 総データ転送数を指定しない設定 (フリーランニングモード) を選択可能
	リピート転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 転送元または転送先に指定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 設定可能な最大リピートサイズ: 1024
	ブロック転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1ブロックを転送 設定可能な最大ブロックサイズ: 1024データ
選択機能	拡張リピート領域機能	<ul style="list-style-type: none"> 転送アドレスレジスタの上位ビット値を固定したまま、特定範囲のアドレスを繰り返すことでデータ転送が可能 拡張リピート領域は2バイトから128Mバイトまで転送元、転送先別に設定可能
割り込み要求 (DMACm_INT)	転送終了割り込み	転送カウンタで設定したデータ数の転送終了時に発生
	転送エスケープ終了割り込み	下記の条件で発生 <ul style="list-style-type: none"> リピートサイズ分のデータ転送を終了したとき 拡張リピート領域の転送元アドレスがオーバーフローしたとき 拡張リピート領域の転送先アドレスがオーバーフローしたとき
イベントリンク起動 (DMACm_INT)		各データ転送後 (ブロックの場合は各ブロック転送後)、イベントリンク要求を発生
モジュールストップ機能		モジュールストップ状態に設定して消費電力を削減

注 1. DMAC の起動要因については、「13. 割り込みコントローラユニット (ICU)」の表 13.3 を参照してください。

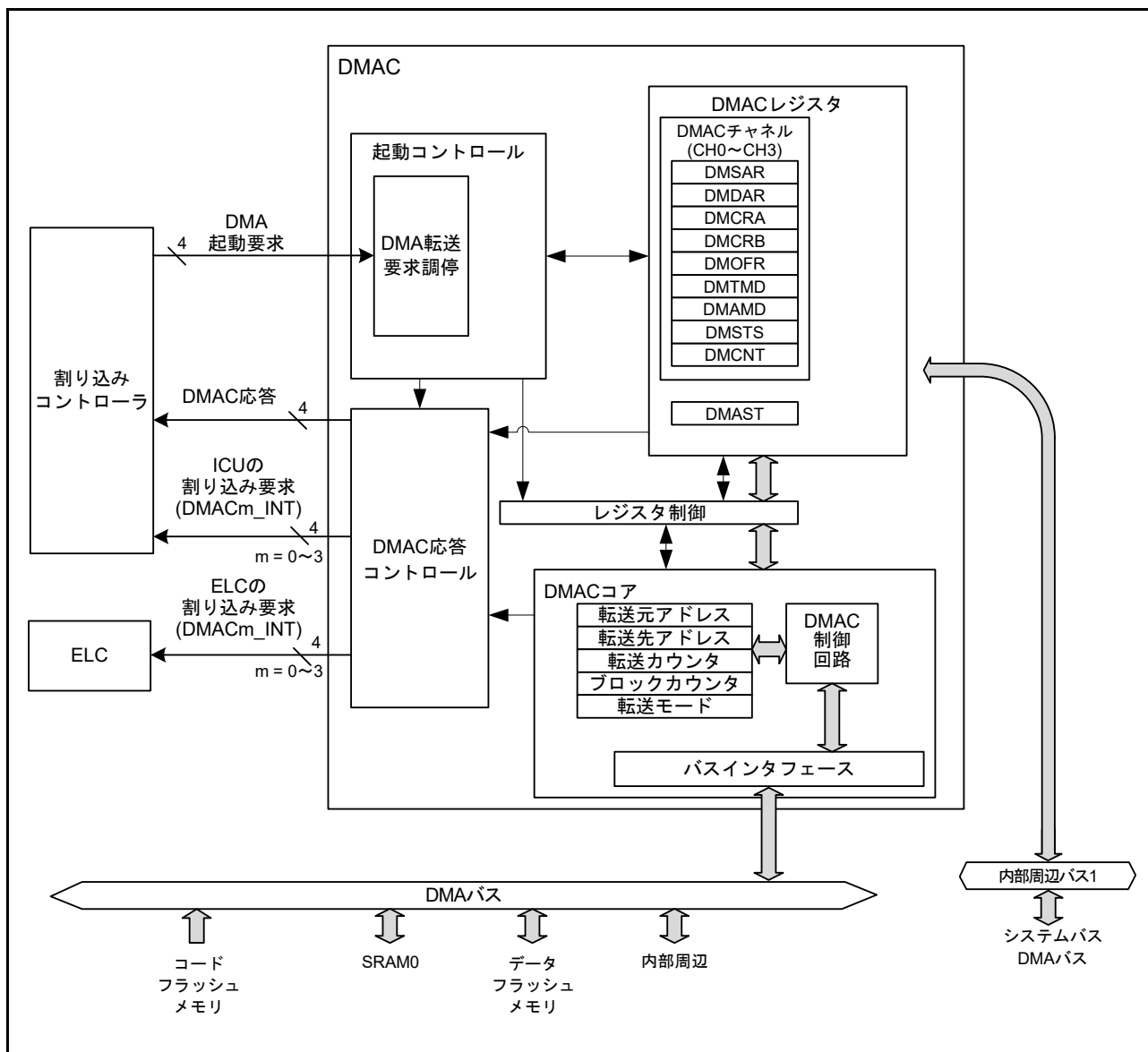
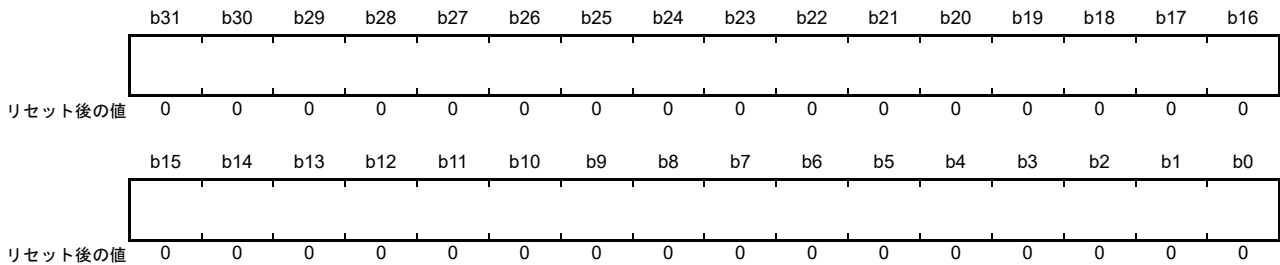


図 16.1 DMAC のブロック図

16.2 レジスタの説明

16.2.1 DMA 転送元アドレスレジスタ (DMSAR)

アドレス [DMAC0.DMSAR 4000 5000h](#), [DMAC1.DMSAR 4000 5040h](#), [DMAC2.DMSAR 4000 5080h](#), [DMAC3.DMSAR 4000 50C0h](#)



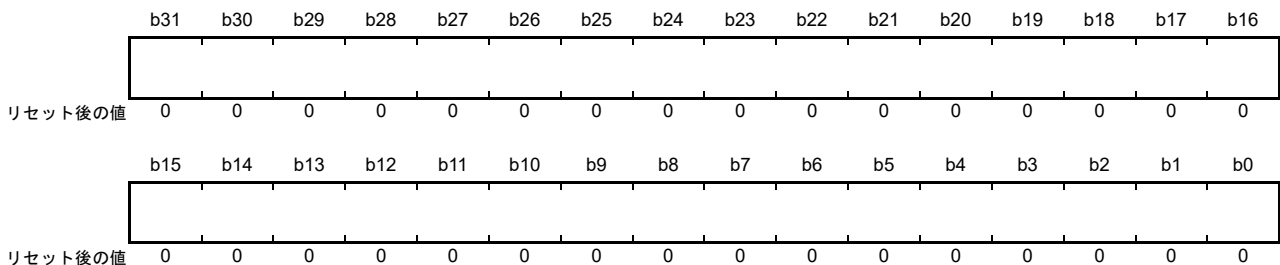
ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	0000 0000h ~ FFFF FFFFh (4Gバイト)	R/W

DMSAR レジスタは、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに設定してください。

注． 本レジスタのアドレスアライメントは、DMTMD レジスタの SZ ビットで選択した転送データサイズ値と一致している必要があります。

16.2.2 DMA 転送先アドレスレジスタ (DMDAR)

アドレス [DMAC0.DMDAR 4000 5004h](#), [DMAC1.DMDAR 4000 5044h](#), [DMAC2.DMDAR 4000 5084h](#), [DMAC3.DMDAR 4000 50C4h](#)



ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	0000 0000h ~ FFFF FFFFh (4Gバイト)	R/W

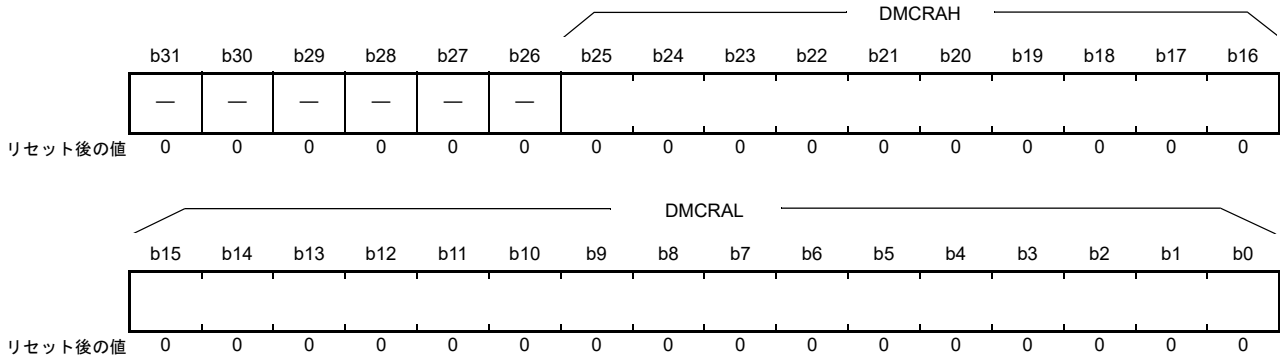
DMDAR レジスタは、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに設定してください。

注． 本レジスタのアドレスアライメントは、DMTMD レジスタの SZ ビットで選択した転送データサイズ値と一致している必要があります。

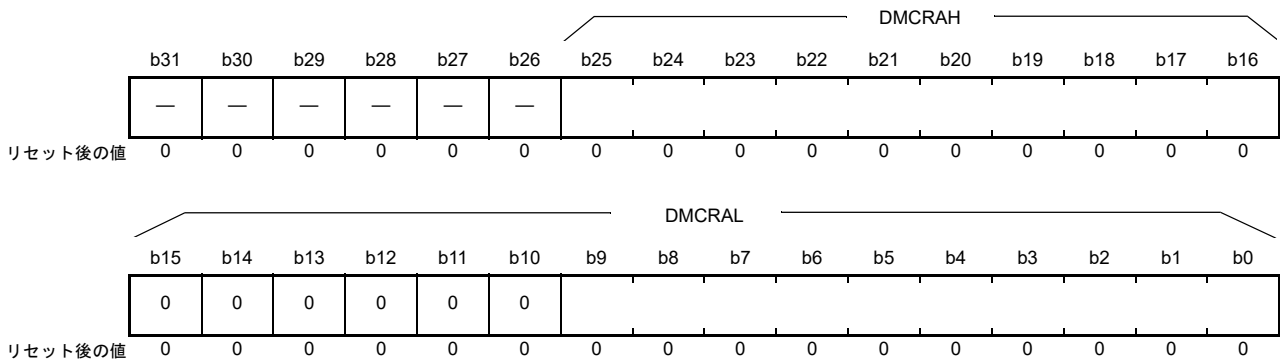
16.2.3 DMA 転送カウントレジスタ (DMCRA)

アドレス [DMAC0.DMCRA 4000 5008h](#), [DMAC1.DMCRA 4000 5048h](#), [DMAC2.DMCRA 4000 5088h](#), [DMAC3.DMCRA 4000 50C8h](#)

• ノーマル転送モード



• リピート転送モード、ブロック転送モード



シンボル	ビット名	機能	R/W
DMCRAL	転送カウンタ下位ビット	転送回数を設定	R/W
DMCRAH	転送カウンタ上位ビット		R/W

注. リピート転送モードとブロック転送モードでは、DMCRAH レジスタと DMCRAL レジスタに同じ値を設定してください。

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] ビット = 00b) のとき

ノーマル転送モードでは、DMCRAL レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65535 回となります。1 回のデータ転送を行うたびにデクリメント (-1) されます。設定値が 0000h のときは転送回数の指定なしとなり、転送カウンタが停止した状態でデータ転送を行います (フリーランニングモード)。ノーマル転送モードでは、DMCRAH レジスタを使用しないでください。DMCRAH レジスタへは 0000h を書いてください。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] ビット = 01b) のとき

リピート転送モードでは、DMCRAH レジスタはリピートサイズを指定し、DMCRAL レジスタは 10 ビットの転送カウンタとして機能します。転送回数は、設定値が 001h のときは 1 回、3FFh のときは 1023 回、000h のときは 1024 回となります。このモードでは、DMCRAH レジスタと DMCRAL レジスタの設定可能範囲は、000h ~ 3FFh (1 ~ 1024 回) です。

DMCRAL[15:10] ビットの設定は無効です。これらのビットには 0 を書いてください。DMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (-1) され、000h になると DMCRAH レジスタの値が DMCRAL レジスタにロードされます。

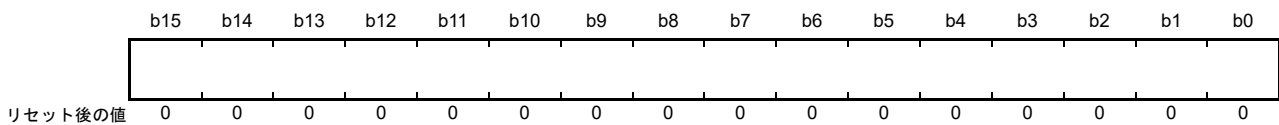
(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] ビット = 10b) のとき

ブロック転送モードでは、DMCRAH レジスタはブロックサイズを指定し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。設定値が 001h のときはブロックサイズ 1、3FFh のときはブロックサイズ 1023、000h のときはブロックサイズ 1024 となります。このモードでは、DMCRAH レジスタと DMCRAL レジスタの設定可能範囲は、000h ~ 3FFh です。

DMCRAL[15:10] ビットの設定は無効です。これらのビットには 0 を書いてください。DMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (-1) され、000h になると DMCRAH レジスタの値が DMCRAL レジスタにロードされます。

16.2.4 DMA ブロック転送カウントレジスタ (DMCRB)

アドレス [DMAC0.DMCRB 4000 500Ch](#), [DMAC1.DMCRB 4000 504Ch](#), [DMAC2.DMCRB 4000 508Ch](#), [DMAC3.DMCRB 4000 50CCh](#)



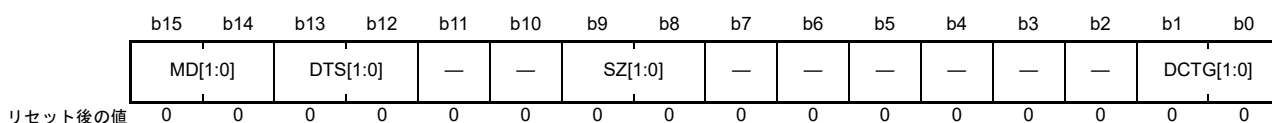
ビット	機能	設定範囲	R/W
b15-b0	ブロック転送回数またはリピート転送回数を設定	<ul style="list-style-type: none"> 0001h ~ FFFFh (1 ~ 65535回) 0000h (65536回) 	R/W

DMCRB レジスタは、ブロック転送モード時とリピート転送モード時の転送回数を指定するレジスタです。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65535 回、0000h のときは 65536 回となります。

リピート転送モードの場合、1 リピートサイズの最終データ転送時にデクリメント (-1) されます。ブロック転送モードの場合、1 ブロックサイズの最終データ転送時にデクリメント (-1) されます。ノーマル転送モードでは、設定は無効ですので、DMCRB レジスタは使用しないでください。

16.2.5 DMA 転送モードレジスタ (DMTMD)

アドレス DMAC0.DMTMD 4000 5010h, DMAC1.DMTMD 4000 5050h, DMAC2.DMTMD 4000 5090h, DMAC3.DMTMD 4000 50D0h



ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求元選択	b1 b0 0 0: ソフトウェア 0 1: 周辺モジュールまたは外部割り込み入力端子からの割り込み (注1) 1 0: 設定禁止 1 1: 設定禁止	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9-b8	SZ[1:0]	データ転送サイズ選択	b9 b8 0 0: 8ビット 0 1: 16ビット 1 0: 32ビット 1 1: 設定禁止	R/W
b11-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	DTS[1:0]	リピート領域選択	b13 b12 0 0: 転送先をリピート領域またはブロック領域に設定 0 1: 転送元をリピート領域またはブロック領域に設定 1 0: リピート領域、ブロック領域の設定なし 1 1: 設定禁止	R/W
b15-b14	MD[1:0]	転送モード選択	b15 b14 0 0: ノーマル転送 0 1: リピート転送 1 0: ブロック転送 1 1: 設定禁止	R/W

注 1. DMAC の起動要因を選択するには、ICU.DELSRn レジスタを使用してください。DMAC の起動要因については、「13. 割り込みコントローラユニット (ICU)」の表 13.4 イベントテーブルを参照してください。

DTS[1:0] ビット (リピート領域選択)

転送元または転送先を、リピート転送モードではリピート領域、ブロック転送モードではブロック領域として選択します。ノーマル転送モードでは、これらのビットの設定値は無効です。

16.2.6 DMA 割り込み設定レジスタ (DMINT)

アドレス DMAC0.DMINT 4000 5013h, DMAC1.DMINT 4000 5053h, DMAC2.DMINT 4000 5093h, DMAC3.DMINT 4000 50D3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピート領域オーバーフロー割り込み許可	0: 禁止 1: 許可	R/W
b1	SARIE	転送元アドレス拡張リピート領域オーバーフロー割り込み許可	0: 禁止 1: 許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可	0: 禁止 1: 許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可	0: 禁止 1: 許可	R/W
b4	DTIE	転送終了割り込み許可	0: 禁止 1: 許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DARIE ビット (転送先アドレス拡張リピート領域オーバーフロー割り込み許可)

本ビットが1のときに、転送先アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが0になります。同時に DMSTS.ESIF フラグが1になり、転送先アドレスの拡張リピート領域オーバーフローによって割り込み要求がトリガされたことを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1ブロック分のデータ転送終了後に割り込みが発生します。割り込みにより転送を終了したチャンネルの DMACm.DMCNT.DTE ビットを1にすると、転送終了時の状態から再び転送を開始することが可能です。転送先アドレスに拡張リピート領域を設定していない場合は、本ビットは無視されます。

SARIE ビット (転送元アドレス拡張リピート領域オーバーフロー割り込み許可)

本ビットが1のときに、転送元アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが0になります。同時に DMSTS.ESIF フラグが1になり、転送元アドレスの拡張リピート領域オーバーフローによって割り込み要求がトリガされたことを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1ブロック分のデータ転送終了後に割り込みが発生します。割り込みにより転送を終了したチャンネルの DMACm.DMCNT.DTE ビットを1にすると、転送終了時の状態から再び転送を開始することが可能です。転送元アドレスに拡張リピート領域を設定していない場合は、本ビットは無視されます。

RPTIE ビット (リピートサイズ終了割り込み許可)

リピート転送モードにおいて本ビットを1にすると、1リピートサイズ分のデータ転送終了後に DMCNT.DTE ビットが0になります。同時に DMSTS.ESIF フラグが1になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットを10b (リピート領域、ブロック領域の指定なし) にしたときも、リピートサイズ終了割り込み要求を発生させることができます。

本ビットをブロック転送モードで1にしたときも、リピート転送モードの場合と同様に1ブロックの転送終了後に DMCNT.DTE ビットが0になります。同時に DMSTS.ESIF フラグが1になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットを10b (リピート領域、ブロック領域の指定なし) にしたときも、リピートサイズ終了割り込み要求を発生させることができます。

ESIE ビット (転送エスケープ終了割り込み許可)

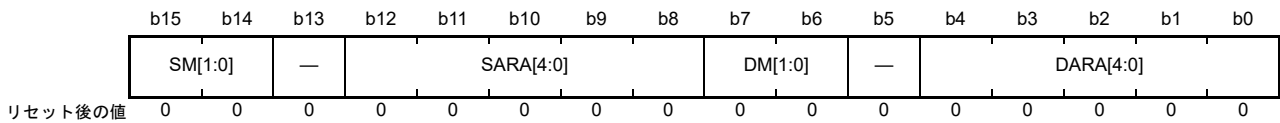
DMA 転送中に発生した転送エスケープ終了割り込み要求 (リピートサイズ終了割り込み要求、拡張リピート領域オーバーフロー割り込み要求) を許可します。本ビットが 1 のとき割り込みが発生して、DMSTS.ESIF フラグが 1 になります。転送エスケープ終了割り込みを解除するには、本ビットまたは DMSTS.ESIF フラグを 0 にします。

DTIE ビット (転送終了割り込み許可)

指定した回数のデータ転送が終了したときに発生する転送終了割り込み要求を許可します。本ビットが 1 のとき割り込みが発生して、DMSTS.DTIF フラグが 1 になります。転送終了割り込みを解除するには、本ビットまたは DMSTS.DTIF フラグを 0 にします。

16.2.7 DMA アドレスモードレジスタ (DMAMD)

アドレス DMAC0.DMAMD 4000 5014h, DMAC1.DMAMD 4000 5054h, DMAC2.DMAMD 4000 5094h, DMAC3.DMAMD 4000 50D4h



ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピート領域設定	転送先アドレスに拡張リピート領域を設定します。設定値についての詳細は、表 16.2 を参照してください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定	b7 b6 0 0: 転送先アドレス固定 0 1: オフセット加算 1 0: 転送先アドレスインクリメント 1 1: 転送先アドレスデクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピート領域設定	転送元アドレスに拡張リピート領域を設定します。設定値についての詳細は、表 16.2 を参照してください。	R/W
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定	b15 b14 0 0: 転送先アドレス固定 0 1: オフセット加算 1 0: 転送先アドレスインクリメント 1 1: 転送先アドレスデクリメント	R/W

DARA[4:0] ビット (転送先アドレス拡張リピート領域設定)

転送先アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2 バイトから 128M バイトまで設定可能です。設定間隔は2 のべき乗バイト単位です。アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMACm.DMTMD.DTS[1:0] = 00b (転送先にリピート領域またはブロック領域を設定) であれば、DARA[4:0] ビットには 00000b を書いてください。

拡張リピート領域にオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.DARIE ビットを 1 にしてください。表 16.2 には、各設定値に対応した拡張リピート領域が示されています。

DM[1:0] ビット (転送先アドレス更新モード設定)

転送先アドレスの更新モードを下記の通り選択します。

- インクリメントを選択し、DMTMD.SZ[1:0] ビットに 00b、01b、または 10b を設定した場合、転送先アドレスはそれぞれ 1、2、または 4 ごとにインクリメントされる
- デクリメントを選択し、DMTMD.SZ[1:0] ビットに 00b、01b、または 10b を設定した場合、転送先アドレスはそれぞれ 1、2、または 4 ごとにデクリメントされる
- オフセット加算を選択した場合、DMACm.DMOFR レジスタで設定したオフセット値をアドレスに加算

SARA[4:0] ビット (転送元アドレス拡張リピート領域設定)

転送元アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMACm.DMTMD.DTS[1:0] = 01b (転送元にリピート領域またはブロック領域を設定) であれば、SARA[4:0] ビットには 00000b を書いてください。

拡張リピート領域でオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.SARIE ビットを 1 にしてください。表 16.2 には、各設定値に対応した拡張リピート領域が示されています。

SM[1:0] ビット (転送元アドレス更新モード設定)

転送元アドレスの更新モードを選択します。

- インクリメントを選択し、DMTMD.SZ[1:0] ビットに 00b、01b、または 10b を設定した場合、転送元アドレスはそれぞれ 1、2、または 4 ごとにインクリメントされる
- デクリメントを選択し、DMTMD.SZ[1:0] ビットに 00b、01b、または 10b を設定した場合、転送元アドレスはそれぞれ 1、2、または 4 ごとにデクリメントされる
- オフセット加算を選択した場合、DMACm.DMOFR レジスタで設定したオフセット値をアドレスに加算

表 16.2 SARA[4:0] または DARA[4:0] の設定値と対応するリピート領域 (1/2)

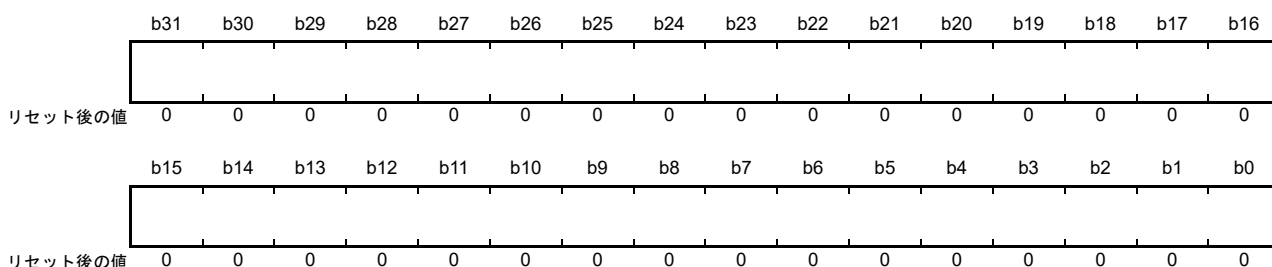
SARA[4:0] または DARA[4:0]	拡張リピート領域
00000b	拡張リピート領域を設定しない
00001b	当該アドレスの下位 1 ビット (2 バイト) を拡張リピート領域に設定
00010b	当該アドレスの下位 2 ビット (4 バイト) を拡張リピート領域に設定
00011b	当該アドレスの下位 3 ビット (8 バイト) を拡張リピート領域に設定
00100b	当該アドレスの下位 4 ビット (16 バイト) を拡張リピート領域に設定
00101b	当該アドレスの下位 5 ビット (32 バイト) を拡張リピート領域に設定
00110b	当該アドレスの下位 6 ビット (64 バイト) を拡張リピート領域に設定
00111b	当該アドレスの下位 7 ビット (128 バイト) を拡張リピート領域に設定
01000b	当該アドレスの下位 8 ビット (256 バイト) を拡張リピート領域に設定
01001b	当該アドレスの下位 9 ビット (512 バイト) を拡張リピート領域に設定
01010b	当該アドレスの下位 10 ビット (1K バイト) を拡張リピート領域に設定
01011b	当該アドレスの下位 11 ビット (2K バイト) を拡張リピート領域に設定
01100b	当該アドレスの下位 12 ビット (4K バイト) を拡張リピート領域に設定
01101b	当該アドレスの下位 13 ビット (8K バイト) を拡張リピート領域に設定
01110b	当該アドレスの下位 14 ビット (16K バイト) を拡張リピート領域に設定
01111b	当該アドレスの下位 15 ビット (32K バイト) を拡張リピート領域に設定
10000b	当該アドレスの下位 16 ビット (64K バイト) を拡張リピート領域に設定
10001b	当該アドレスの下位 17 ビット (128K バイト) を拡張リピート領域に設定
10010b	当該アドレスの下位 18 ビット (256K バイト) を拡張リピート領域に設定
10011b	当該アドレスの下位 19 ビット (512K バイト) を拡張リピート領域に設定
10100b	当該アドレスの下位 20 ビット (1M バイト) を拡張リピート領域に設定
10101b	当該アドレスの下位 21 ビット (2M バイト) を拡張リピート領域に設定
10110b	当該アドレスの下位 22 ビット (4M バイト) を拡張リピート領域に設定

表 16.2 SARA[4:0]またはDARA[4:0]の設定値と対応するリピート領域 (2/2)

SARA[4:0]またはDARA[4:0]	拡張リピート領域
10111b	当該アドレスの下位23ビット (8Mバイト) を拡張リピート領域に設定
11000b	当該アドレスの下位24ビット (16Mバイト) を拡張リピート領域に設定
11001b	当該アドレスの下位25ビット (32Mバイト) を拡張リピート領域に設定
11010b	当該アドレスの下位26ビット (64Mバイト) を拡張リピート領域に設定
11011b	当該アドレスの下位27ビット (128Mバイト) を拡張リピート領域に設定
11100b~11111b	設定禁止

16.2.8 DMA オフセットレジスタ (DMOFR)

アドレス **DMAC0.DMOFR 4000 5018h, DMAC1.DMOFR 4000 5058h, DMAC2.DMOFR 4000 5098h, DMAC3.DMOFR 4000 50D8h**

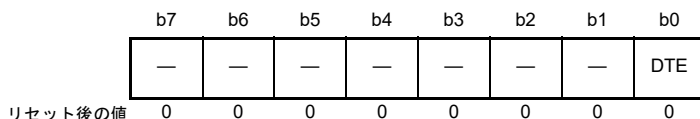


ビット	機能	設定範囲	R/W
b31-b0	転送元または転送先のアドレス更新モードとしてオフセット加算が選択されている場合、そのオフセット値を設定	0000 0000h~00FF FFFFh (0バイト~(16M-1)バイト) FF00 0000h~FFFF FFFFh (-16Mバイト~-1バイト)	R/W

本レジスタへの書き込みは、データ転送中ではなく、DMAC 動作停止中または DMA 転送が禁止されているときに行ってください。[31:25] ビットの設定は無効です。[24] ビットの値が [31:25] ビットへ拡張されません。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

16.2.9 DMA 転送イネーブルレジスタ (DMCNT)

アドレス **DMAC0.DMCNT 4000 501Ch, DMAC1.DMCNT 4000 505Ch, DMAC2.DMCNT 4000 509Ch, DMAC3.DMCNT 4000 50DCh**



ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA 転送許可	0: 禁止 1: 許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DTE ビット (DMA 転送許可)

DMA 転送を許可します。DMA 転送を許可するには、DMAST.DMST ビットを 1 (DMAC 起動許可) にした後、本ビットを 1 (対応するチャンネルの DMA 転送許可) にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- 設定された総転送データ数の転送が終了したとき
- リpeatサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リpeat領域オーバーフロー割り込みによって DMA 転送が停止したとき

16.2.10 DMA ソフトウェア起動レジスタ (DMREQ)

アドレス DMAC0.DMREQ 4000 501Dh, DMAC1.DMREQ 4000 505Dh, DMAC2.DMREQ 4000 509Dh, DMAC3.DMREQ 4000 50DDh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CLRS	—	—	—	SWREQ
0	0	0	0	0	0	0	0

リセット後の値

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMAソフトウェア起動	0 : DMA転送を要求しない 1 : DMA転送を要求する	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	CLRS	DMAソフトウェア起動ビット自動クリア選択	0 : ソフトウェアによるDMA転送開始後にSWREQビットをクリアする 1 : ソフトウェアによるDMA転送開始後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SWREQ ビット (DMA ソフトウェア起動)

本ビットを1にするとDMA転送要求が発生します。DMA転送の開始後、CLRSビットが0の場合、SWREQビットが0になります。CLRSビットが1の場合、SWREQビットは0になりません。DMA転送要求は、転送終了後に再発行できます。

注． DMTMD.DCTG[1:0] ビットが00b (DMA起動要因がソフトウェア) になっている場合のみ、本ビットの設定が有効となり、ソフトウェアによるDMA転送が可能となります。DMTMD.DCTG[1:0] ビットが00b以外になっている場合、本ビットの設定は無効です。

CLRSビットが0の状態ではソフトウェアによるDMA転送を行う場合、SWREQビットが0であることを確認してからSWREQビットに1を書いてください。

[1になる条件]

- 1を書いたとき

[0になる条件]

- CLRSビットが0(ソフトウェアによるDMA転送開始後にSWREQビットをクリアする)の場合に、ソフトウェアによるDMA転送要求が受け付けられてDMA転送が開始したとき
- 0を書いたとき

CLRS ビット (DMA ソフトウェア起動ビット自動クリア選択)

SWREQビットを1にして転送要求が発生させた場合、DMA転送が開始した後、SWREQビットを0にするか否かをCLRSビットで設定します。CLRSビットを0にすると、DMA転送の開始後、SWREQビットは0になります。CLRSビットを1にすると、SWREQビットは0になりません。DMA転送要求は、転送終了後に再発行できます。

16.2.11 DMA ステータスレジスタ (DMSTS)

アドレス DMAC0.DMSTS 4000 501Eh, DMAC1.DMSTS 4000 505Eh, DMAC2.DMSTS 4000 509Eh, DMAC3.DMSTS 4000 50DEh

	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	DTIF	—	—	—	ESIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ終了割り込みフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと0が読めます。書き込みは無効です。	R/W
b4	DTIF	転送終了割り込みフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b6-b5	—	予約ビット	読むと0が読めます。書き込みは無効です。	R/W
b7	ACT	DMAアクティブフラグ	0 : DMACが停止中 1 : DMACが動作中	R

注1. フラグをクリアするための0の書き込みのみ可能です。

ESIF フラグ (転送エスケープ終了割り込みフラグ)

転送エスケープ終了割り込みが発生したことを示します。

[1 になる条件]

- リピート転送モードにおいて、DMINT.RPTIE ビットが1の状態では1リピートサイズ分のデータ転送が終了したとき
- ブロック転送モードにおいて、DMINT.RPTIE ビットが1の状態では1ブロック分のデータ転送が終了したとき
- DMINT.SARIE ビットが1で、かつ DMAMD.SARA[4:0] ビットが00000b 以外 (転送元アドレスに拡張リピート領域を設定) の状態で、転送元アドレスに拡張リピート領域オーバーフローが発生したとき
- DMINT.DARIE ビットが1で、かつ DMAMD.DARA[4:0] ビットが00000b 以外 (転送先アドレスに拡張リピート領域を設定) の状態で、転送先アドレスに拡張リピート領域オーバーフローが発生したとき

[0 になる条件]

- 0を書いたとき
- DMCNT.DTE ビットに1を書いたとき

DTIF フラグ (転送終了割り込みフラグ)

転送終了割り込みが発生したことを示します。

[1 になる条件]

- ノーマル転送モードにおいて、指定した回数のデータ転送が終了したとき (DMCRAL レジスタの値が0になり転送が終了したとき)
- リピート転送モードにおいて、指定した回数のリピート転送が終了したとき (DMCRB レジスタの値が0になり転送が終了したとき)
- ブロック転送モードにおいて、指定したブロック数の転送が終了したとき (DMCRB レジスタの値が0になり転送が終了したとき)

[0 になる条件]

- 0 を書いたとき
- DMCNT.DTE ビットに 1 を書いたとき

ACT フラグ (DMA アクティブフラグ)

DMAC がアイドル状態であるか、または動作中であることを示します。

[1 になる条件]

- DMAC がデータ転送を開始したとき

[0 になる条件]

- 1 転送要求に対するデータ転送が終了したとき

16.2.12 DMACA モジュール起動レジスタ (DMAST)

アドレス DMA.DMAST 4000 5200h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DMST
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMAC 動作許可	0 : 禁止 1 : 許可	R/W
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

DMST ビット (DMAC 動作許可)

本ビットを 1 にすると、DMAC 全チャネルの起動が許可されます。本ビットを 1 (DMAC 起動許可) にした場合、複数チャネルの DMACm.DMCNT.DTE ビットを 1 (DMA 転送許可) にすることで、対応する全チャネルが同時に転送要求受け付け可能状態になります。

DMA 転送中に DMST ビットを 0 にすると、実行中の 1 転送要求に対するデータ転送が終了した後、DMA 転送が一時停止します。DMA 転送を再開するには、再度 DMST ビットを 1 にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき

16.3 動作説明

16.3.1 転送モード

(1) ノーマル転送モード

ノーマル転送モードでは、1 転送要求に対して 1 データの転送を行います。DMACm.DMCRAL レジスタで転送回数を最大 65535 回まで指定できます。また、DMACm.DMCRAL レジスタを 0000h にすると、転送回数は指定なしとなり、転送カウンタが停止した状態でデータ転送を行います (フリーランニングモード)。フリーランニングモードの場合を除き、指定した転送回数の終了後に転送終了割り込み要求を発生させることができます。ノーマル転送モードでは、DMACm.DMCRB レジスタの設定は無効です。

ノーマル転送モードにおけるレジスタ更新動作を表 16.3 に示します。

表 16.3 ノーマル転送モードでのレジスタ更新値

レジスタ	機能	1 転送要求に対する転送終了後の更新動作
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算
DMACm.DMCRAL	転送カウンタ	1 減算/更新なし (フリーランニングモード時)
DMACm.DMCRAH	—	更新なし (ノーマル転送モードでは使用しない)
DMACm.DMCRB	—	更新なし (ノーマル転送モードでは使用しない)

ノーマル転送モードにおける転送動作を図 16.2 に示します。

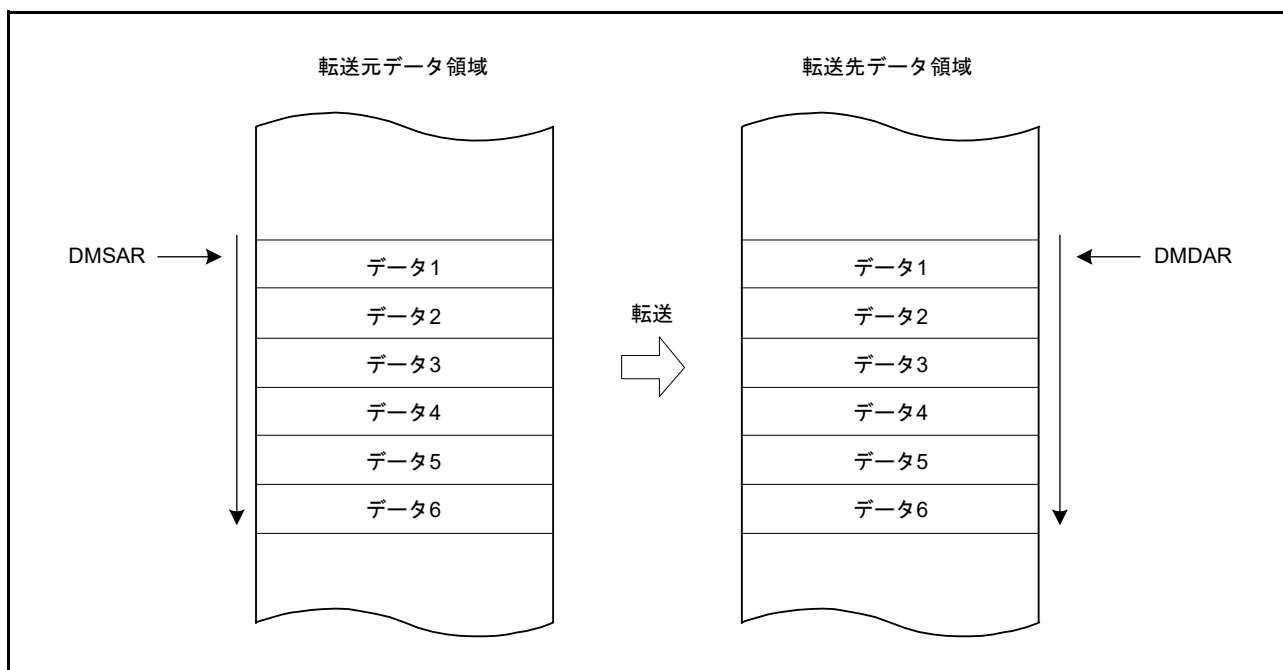


図 16.2 ノーマル転送モードにおける転送動作

(2) リピート転送モード

リピート転送モードでは、1 転送要求に対して 1 データの転送を行います。

DMACm.DMCRA レジスタで最大 1K データのリピート転送サイズを設定します。DMACm.DMCRB で最大 64K のリピート転送回数を設定します。総データ転送サイズは、最大 64M データ (1K データ × 64K リピート転送回数) まで設定可能です。

転送元または転送先のどちらか一方をリピート領域に指定することが可能です。リピート領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、リピートサイズ分のデータ転送が終了すると、転送開始時のアドレスに復帰します。このモードでは、指定したリピートサイズ分のデータ転送が終了したとき、DMA 転送を停止させて、リピートサイズ終了割り込みを要求することが可能です。DMA 転送を再開させるには、リピートサイズ終了割り込み処理で DMACm.DMCNT.DTE ビットに 1 を書き込んでください。

また、指定したリピート転送回数の終了後に、転送終了割り込み要求を発生させることができます。

リピート転送モードにおけるレジスタ更新動作を表 16.4 に、リピート転送モードにおける転送動作を図 16.3 に示します。

表 16.4 リピート転送モードにおけるレジスタ更新動作

レジスタ	機能	1 転送要求に対する転送終了後の更新動作	
		DMACm.DMCRAL レジスタが 1 以外するとき	DMACm.DMCRAL レジスタが 1 のとき (リピートサイズの最終データ転送)
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算 DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSAR の初期値 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDAR の初期値 DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算
DMACm.DMCRAH	リピートサイズ	更新なし	更新なし
DMACm.DMCRAL	転送カウンタ	1 減算	DMACm.DMCRAH
DMACm.DMCRB	リピート転送回数のカウンタ	更新なし	1 減算

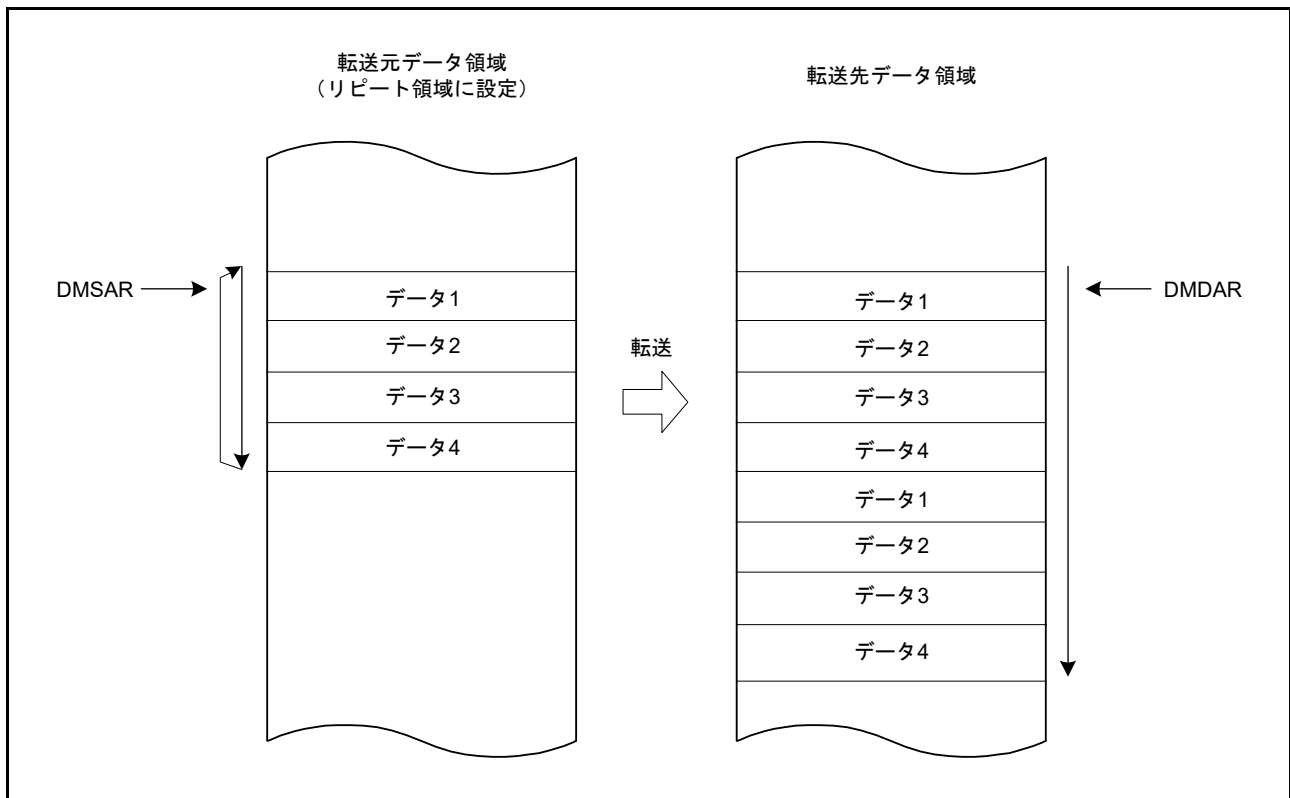


図 16.3 リピート転送モードにおける転送動作

(3) ブロック転送モード

ブロック転送モードでは、1転送要求に対して1ブロックのデータ転送を行います。

DMACm.DMCRA レジスタで最大 1K データのブロック転送サイズを設定します。DMACm.DMCRB で最大 64K のブロック転送回数を設定します。総データ転送サイズは、最大 64M データ (1K データ × 64K ブロック転送回数) まで設定可能です。

転送元または転送先のどちらか一方をブロック領域に指定することが可能です。ブロック領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、1ブロックのデータ転送が終了すると、転送開始時のアドレスに復帰します。このモードでは、1ブロックのデータ転送が終了したとき、DMA 転送を停止させて、リピートサイズ終了割り込みを要求することが可能です。DMA 転送を再開させるには、リピートサイズ終了割り込み処理で DMACm.DMCNT.DTE ビットに 1 を書き込んでください。

また、指定したブロック転送回数の終了後に、転送終了割り込み要求を発生させることができます。ブロック転送モードにおけるレジスタ更新動作を表 16.5 に、ブロック転送モードにおける転送動作を図 16.4 に示します。

表 16.5 ブロック転送モードにおけるレジスタ更新動作

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新動作
DMACm.DMSAR	転送元アドレス	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算 DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算
DMACm.DMDAR	転送先アドレス	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算
DMACm.DMCRAH	ブロックサイズ	更新なし
DMACm.DMCRAL	転送カウント	DMACm.DMCRAH
DMACm.DMCRB	ブロック転送回数のカウント	1減算

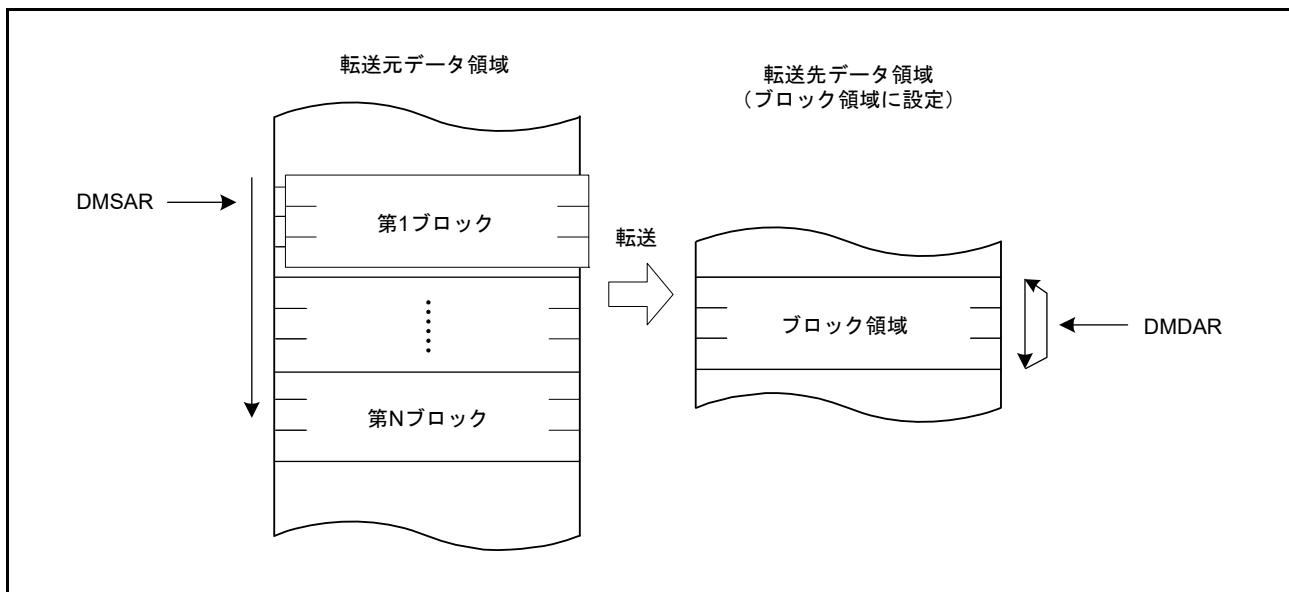


図 16.4 ブロック転送モードにおける転送動作

16.3.2 拡張リピート領域機能

DMAC は転送元アドレスと転送先アドレスに対して拡張リピート領域をサポートしています。DMA 転送元アドレスレジスタ (DMSAR) および DMA 転送先アドレスレジスタ (DMDAR) でそれぞれ個別に設定可能です。この機能を設定すると、アドレスレジスタは拡張リピート領域に指定した範囲のアドレス値を繰り返します。転送元アドレスの拡張リピート領域は、DMACm.DMAMD.SARA[4:0] ビットで設定します。

転送先アドレスの拡張リピート領域は、DMACm.DMAMD.DARA[4:0] ビットで設定します。転送元と転送先に異なるサイズの設定が可能です。ただし、リピート領域またはブロック領域として設定した転送元または転送先に、拡張リピート領域を設定することはできません。

アドレスレジスタの値が拡張リピート領域の終了アドレスに到達し、拡張リピート領域がオーバーフローすると、DMA 転送を停止させて、拡張リピート領域オーバーフロー割り込み要求を発生させることができます。DMACm.DMINT.SARIE ビットが 1 のとき、転送元の拡張リピート領域がオーバーフローすると、DMACm.DMSTS.ESIF フラグが 1 になり、DMACm.DMCNT.DTE ビットを 0 にして DMA 転送を終了させます。このとき、DMACm.DMINT.ESIE ビットが 1 になっていると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMACm.DMINT.DARIE ビットが 1 の場合、この機能は転送先アドレスレジスタが対象になります。DMA 転送を再開させるには、割り込み処理で DMACm.DMCNT.DTE ビットに 1 を書き込んでください。

図 16.5 に、拡張リピート領域の動作例を示します。

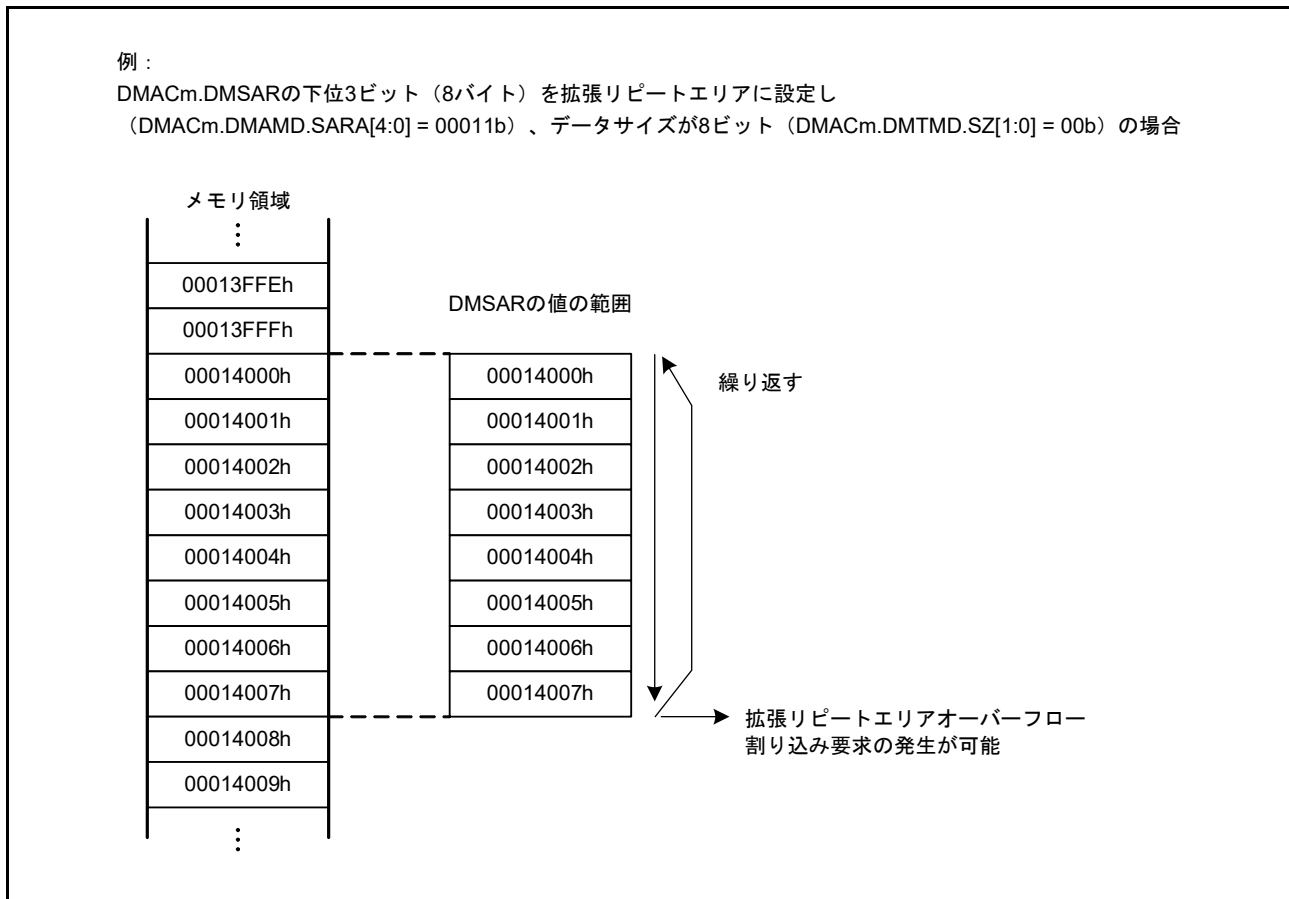


図 16.5 拡張リピート領域の動作例

ブロック転送モードで拡張リピート領域オーバーフロー割り込みを使用する場合は、以下の点を考慮してください。

- 拡張リピート領域オーバーフロー割り込みで転送を終了させる場合、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの境界と拡張リピート領域の範囲の境界が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックの転送中に拡張リピート領域にオーバーフローが発生した場合、そのブロックの転送が終了するまで拡張リピート領域オーバーフロー割り込みは保留され、転送はオーバーランします

図 16.6 に、ブロック転送モードにおける拡張リピート領域機能の使用例を示します。

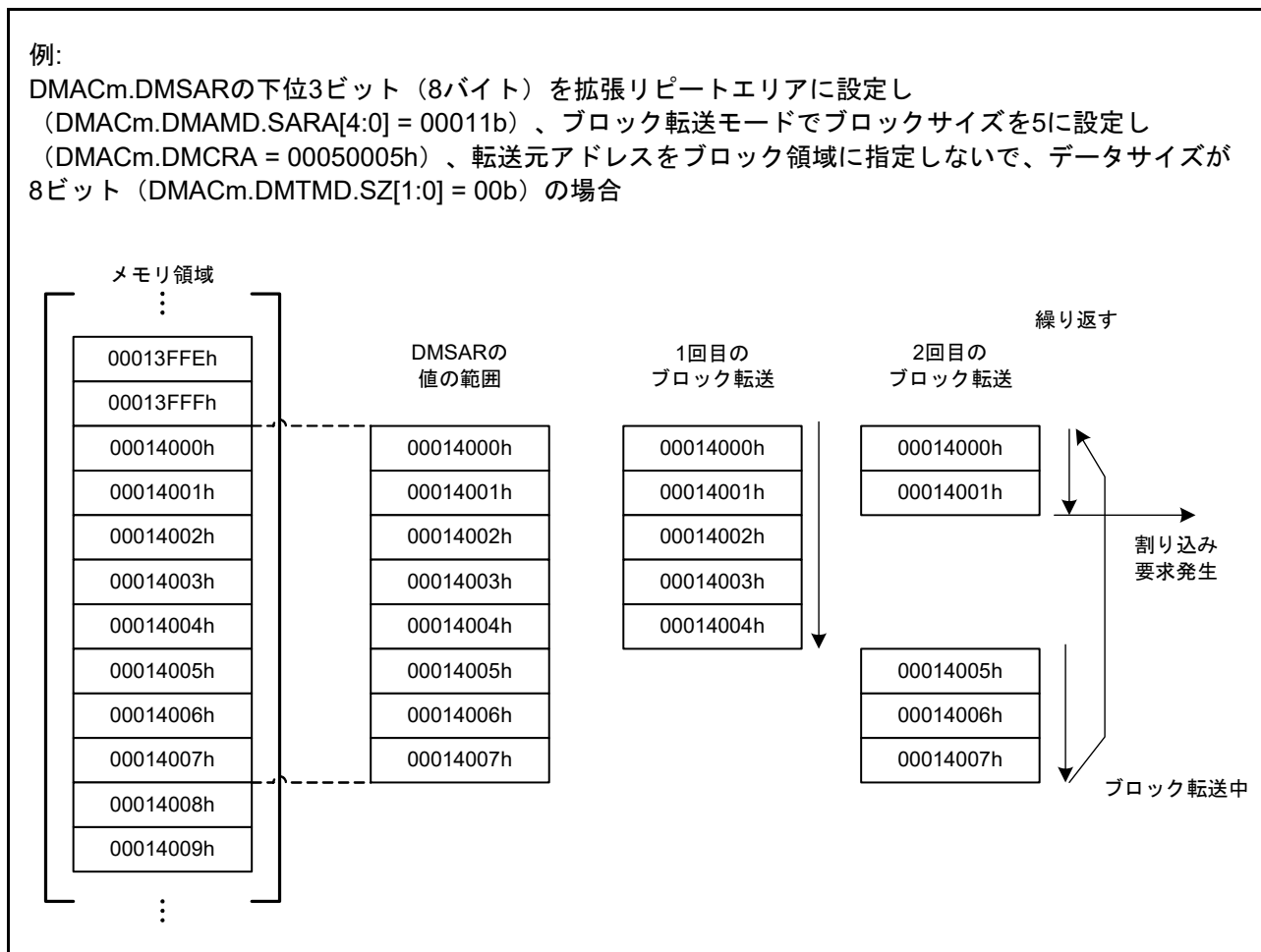


図 16.6 ブロック転送モードにおける拡張リピート領域機能の使用例

16.3.3 オフセットを使用したアドレス更新機能

転送元アドレスと転送先アドレスの更新方法には、固定、インクリメント、デクリメントの他にオフセット加算があります。オフセット加算では、DMAC が 1 データの転送を実行するたびに、DMA オフセットレジスタ (DMACm.DMOFR) で設定したオフセット値がアドレスに加算されます。この機能によって、分散した領域にアドレスが割り付けられた状態でデータ転送を実施できます。また、DMACm.DMOFR に負の値を設定すると、オフセットによる減算も可能です。負の値は 2 の補数で設定する必要があります。

各アドレス更新モードにおけるアドレス更新方法を表 16.6 に示します。

表 16.6 各アドレス更新モードにおけるアドレス更新方法

アドレス更新モード	DMACm.DMAMD.SM[1:0]および DMACm.DMAMD.DM[1:0]の アドレス更新モード設定値	DMACm.DMTMD.SZ[1:0]の設定値別アドレス更新方法		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+ DMACm.DMOFR (注1)		
インクリメント	10b	+ 1	+ 2	+ 4
デクリメント	11b	- 1	- 2	- 4

注 1. DMA オフセットレジスタに負の値を設定する場合、その値は次式で計算される 2 の補数でなければいけません。
負のオフセット値の 2 の補数表現 = \sim (オフセット値) + 1 (\sim : ビット反転)

(1) オフセット加算を使用した基本的な転送

オフセット加算によるアドレス更新機能の動作例を図 16.7 に示します。

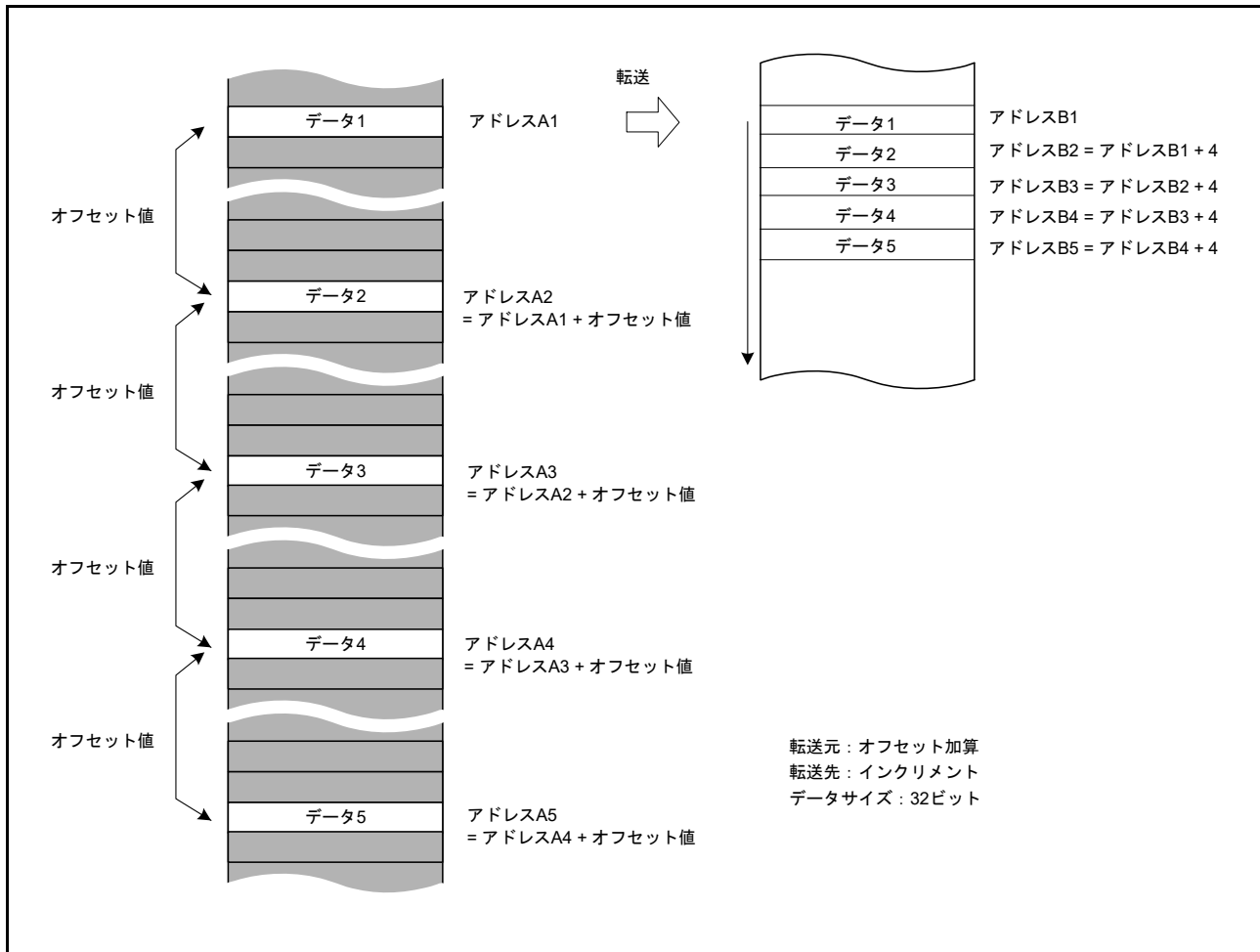


図 16.7 オフセット加算によるアドレス更新機能の動作例

図 16.7 では、以下のように設定しています。

- 転送データサイズは 32 ビット
- 転送元アドレスの更新モードはオフセット加算
- 転送先アドレスの更新モードはインクリメント

2 回目以降のデータは、前回のアドレスにオフセット値を加算することで得られる転送元アドレスから読み出されます。指定された間隔で読み出されたデータは、転送先では連続した領域に書き込まれます。

(2) オフセット加算を使用した XY 変換例

図 16.8 に、リピート転送モードとオフセット加算を組み合わせる XY 変換を行うときの動作を示します。設定方法は以下のとおりです。

- DMAC0.DMAMD — 転送元アドレス更新モード設定：オフセット加算
- DMAC0.DMAMD — 転送先アドレス更新モード設定：インクリメント
- DMAC0.DMTMD — データ転送サイズ選択：32 ビット
- DMAC0.DMTMD — 転送モード設定：リピート転送
- DMAC0.DMTMD — リピート領域選択：転送元をリピート領域に設定

- DMAC0.DMOFR — オフセットアドレス : 10h
- DMAC0.DMCRA — リポートサイズ : 4h
- DMAC0.DMINT — リポートサイズ終了割り込みを許可

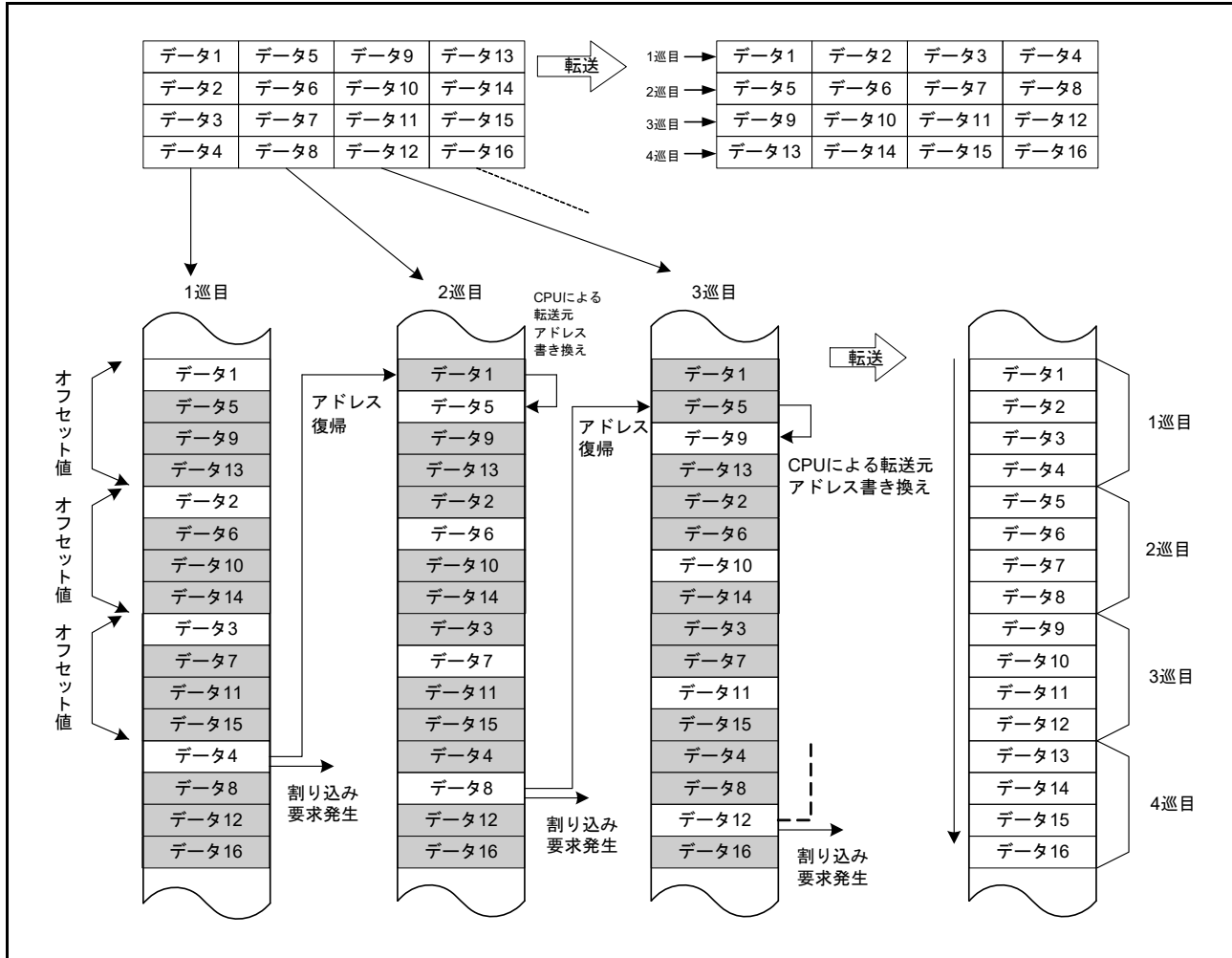


図 16.8 リポート転送モード+オフセット加算によるXY変換動作

転送が開始されると、毎回、転送元アドレスにオフセット値を加算してデータ転送が行われます。転送データは、連続した転送先アドレスに書き込まれます。“データ4”まで転送されたときの動作は以下のとおりです。

- リポートサイズ分のデータ転送が終了する
- 転送元アドレスは転送開始時のアドレス（転送元の“データ1”のアドレス）に復帰する
- リポートサイズ終了割り込要求が発生する

この割り込みによって転送が一時停止している間、以下の処理を行います。

- DMAC0.DMSAR — DMA 転送元アドレスを“データ5”のアドレスに書き換える（この例では“データ1”のアドレスに4を加算）
- DMAC0.DMCNT — DTE ビットを1にする

DMA 転送が中断したときの状態から DMA 転送が再開されます。以降、同じ処理を繰り返すと、転送元のデータが転送先で配置を入れ替えられます (XY 変換)。

図 16.9 に XY 変換のフローを示します。

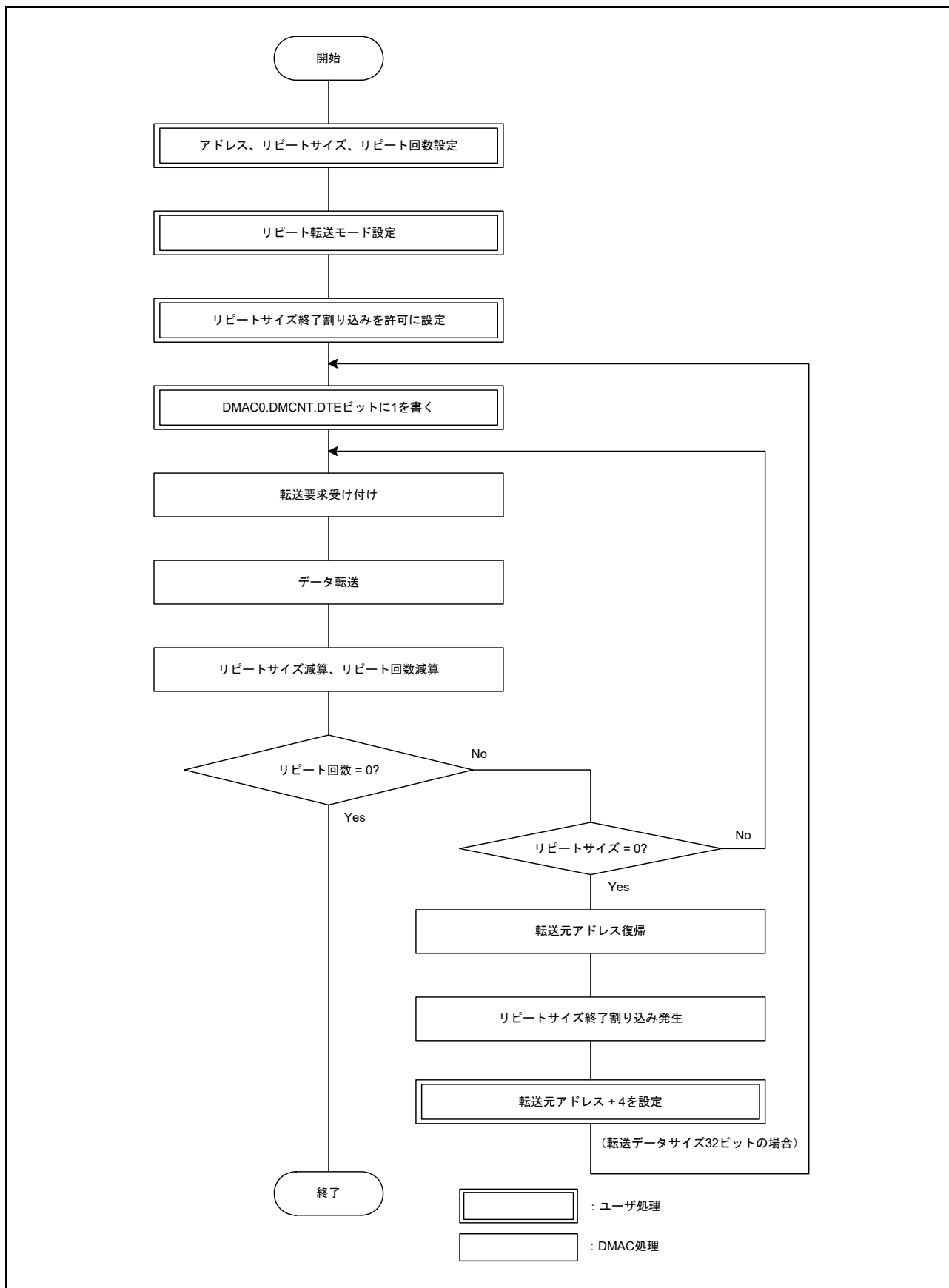


図 16.9 リピート転送モード + オフセット加算による XY 変換のフロー

16.3.4 起動要因

ソフトウェア、周辺モジュールからの割り込み要求、および外部割り込み要求は、すべて DMAC 起動要因として指定可能です。起動要因を選択するには、DMACm.DMTMD.DCTG[1:0] ビットを設定します。

(1) ソフトウェアによる DMAC 起動

ソフトウェアによって DMA 転送を開始する場合、以下の手順に従います。

1. DMACm.DMTMD.DCTG[1:0] ビットを 00b にする。
2. DMACm.DMCNT.DTE ビットを 1 (DMA 転送許可) にする。
3. DMAST.DMST ビットを 1 (DMAC 起動許可) にする。
4. DMACm.DMREQ.SWREQ ビットを 1 (DMA 転送要求あり) にする。

DMACm.DMREQ.CLRS ビットが 0 の状態でソフトウェアによる DMAC 起動を行った場合、DMA 転送要求に対する転送が開始されると DMACm.DMREQ.SWREQ ビットが 0 になります。

DMACm.DMREQ.CLRS ビットが 1 の状態でソフトウェアによる DMAC 起動を行った場合は、転送を開始しても DMACm.DMREQ.SWREQ ビットは 0 になりません。要求に対する転送終了後、再び DMA 転送要求が発生します。

(2) 内蔵周辺モジュール／外部割り込み要求による DMAC 起動

内蔵周辺モジュールからの割り込み要求と外部割り込み要求を、DMAC 起動要因に指定することが可能です。起動要因は、ICU.DELSRn.DELS[7:0] ビット (n = 0 ~ 3) でチャンネルごとに個別に選択できます。

内蔵周辺モジュールからの割り込み要求または外部割り込み要求によって DMAC 転送を開始する場合、以下の手順に従います。

1. DMACm.DMTMD.DCTG[1:0] ビットを 01b (周辺モジュールまたは外部割り込み端子からの割り込み) にする。
2. DMACm.DMCNT.DTE ビットを 1 (DMA 転送許可) にする。
3. ICU.DELSRn.DSEL ビットにイベント番号を設定する (DMAC イベントリンクを選択する)。
4. DMAST.DMST ビットを 1 (DMAC 起動許可) にする。

DMAC 起動要因となる割り込み要求については、「[13. 割り込みコントローラユニット \(ICU\)](#)」の表 13.3 を参照してください。

16.3.5 動作タイミング

以下に示すタイミング図は、最小実行サイクル数を示しています。

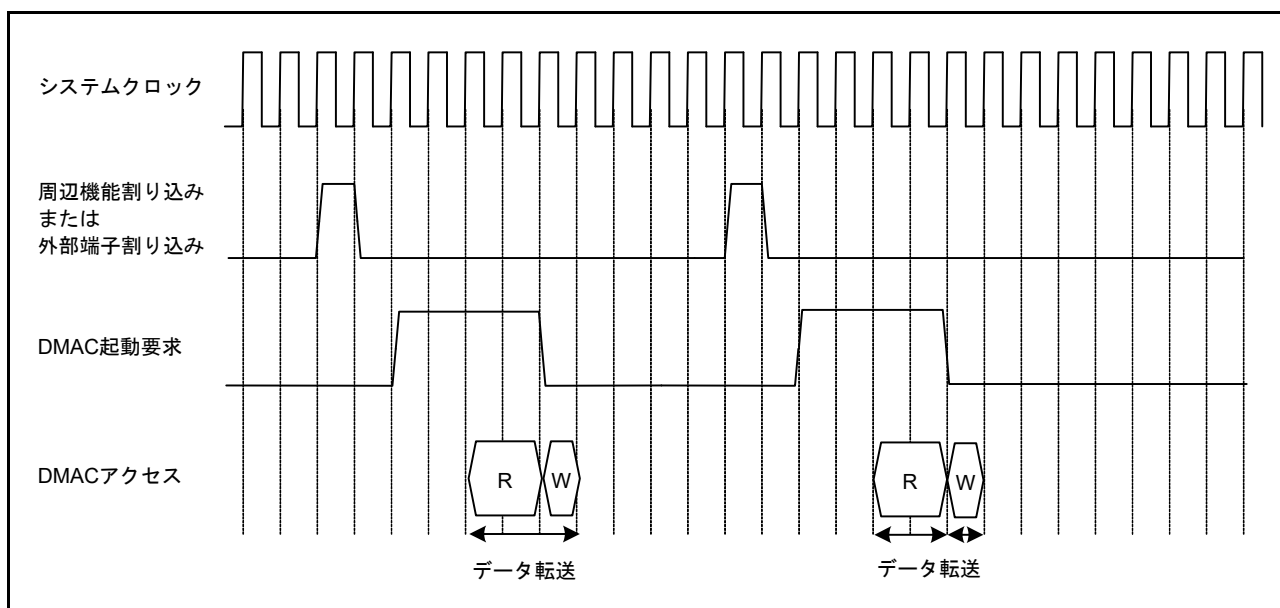


図 16.10 DMAC 動作タイミング例 1 (ノーマル転送モードまたはリピート転送モードでの周辺モジュールまたは外部割り込み入力端子からの割り込みによる DMA 起動)

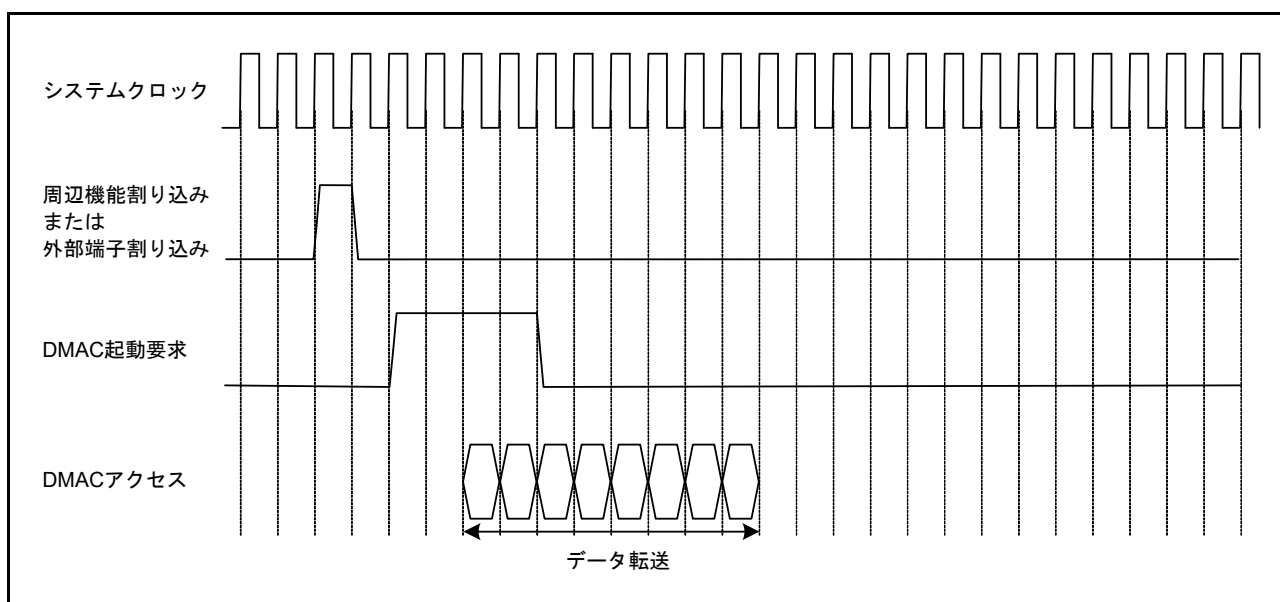


図 16.11 DMAC 動作タイミング例 2 (ブロックサイズ = 4 のブロック転送モードでの周辺モジュールまたは外部割り込み入力端子からの割り込みによる DMA 起動)

16.3.6 DMAC の実行サイクル

表 16.7 に、1 回の DMAC データ転送動作における実行サイクルを示します。

表 16.7 DMACの実行サイクル

転送モード	データ転送 (読み出し)	データ転送 (書き込み)
ノーマル	$Cr + 1$	Cw
リピート	$Cr + 1$	Cw
ブロック (注1)	$P \times Cr$	$P \times Cw$

注. P = ブロックサイズ (DMCRAH レジスタの設定値)

Cr = データリード先アクセスサイクル

Cw = データライト先アクセスサイクル

注 1. ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

Cr と Cw はアクセス先で異なります。アクセス先ごとのサイクル数については、「43. SRAM」、「44. フラッシュメモリ」、および「14. バス」を参照してください。システムクロックと周辺クロックの周波数比も考慮されています。

データ転送 (読み出し) 列の「+1」の単位は、システムクロック (ICLK) の 1 サイクルです。動作例については、16.3.5 動作タイミングを参照してください。

DMAC の応答時間は、DMAC の起動要因が検出されてから DMAC 転送が始まるまでの時間です。表 16.7 には、DMAC の起動要因がアクティブになってから DMAC 転送が始まるまでの時間は含まれていません。

16.3.7 DMAC の起動

図 16.12 にレジスタの設定手順を示します。

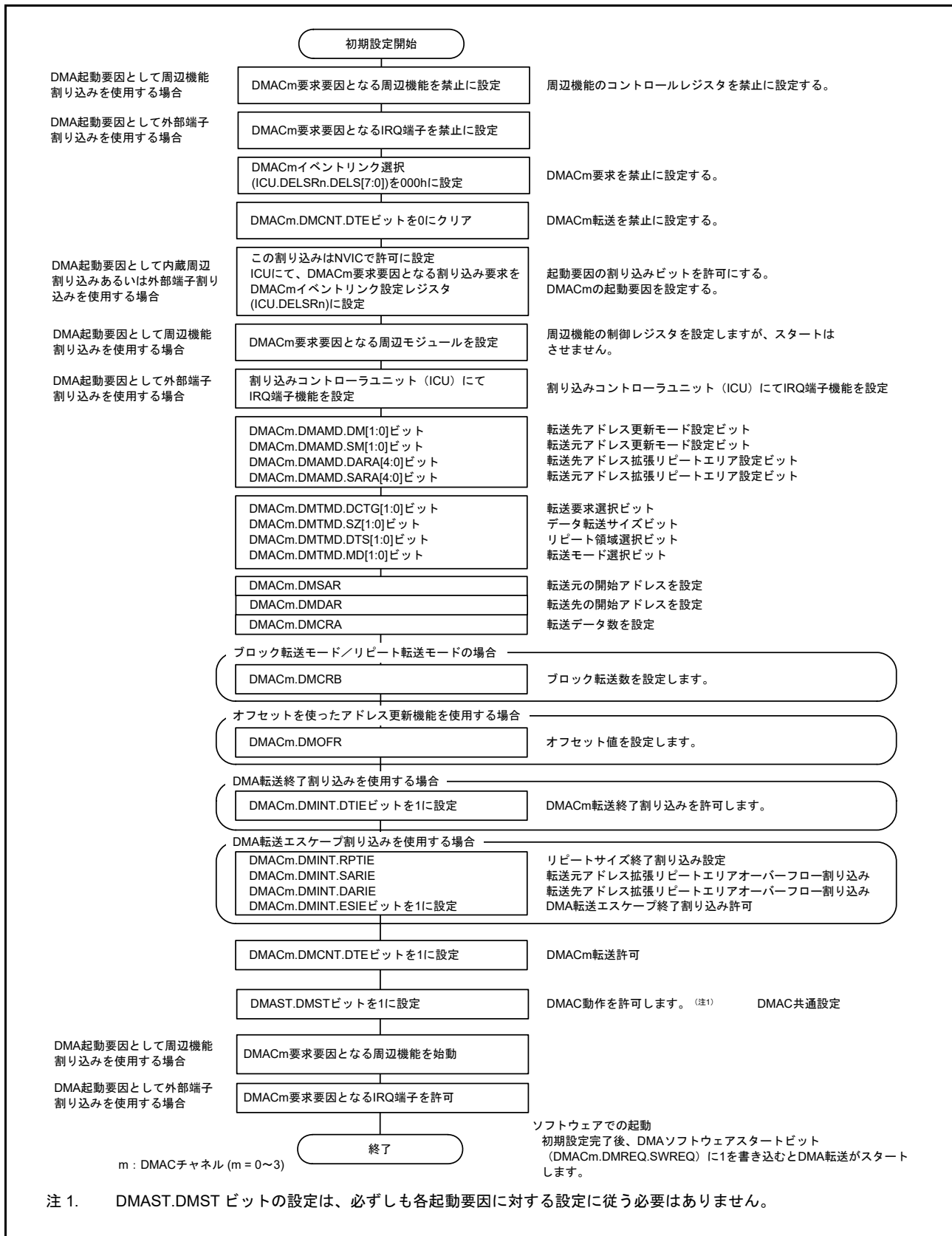


図 16.12 レジスタの設定手順

16.3.8 DMA 転送の開始

チャンネル *m* の DMA 転送を有効にするには、DMACm.DMCNT.DTE ビットを 1 (DMA 転送許可) にして、DMAST.DMST ビットを 1 (DMAC 起動許可) にします。他の DMAC チャンネルや DTC の転送中は、新たな起動要求は受け付けられません。先行する転送が終了した時点で最も優先順位の高いチャンネルの DMA 転送要求が選択され、そのチャンネルの DMA 転送が開始されます。DMA 転送が始まると、DMACm.DMSTS.ACT フラグが 1 (DMAC 動作中) になります。

16.3.9 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理によって値が更新されます。更新される値は、各種設定や転送の状態によって異なります。更新されるレジスタは、DMACm.DMSAR、DMACm.DMDAR、DMACm.DMCRA、DMACm.DMCRB、DMACm.DMCNT、および DMACm.DMSTS です。これらの説明を下記に示します。各転送モードにおけるレジスタの更新動作については、表 16.3 ~ 表 16.5 を参照してください。

(1) DMA 転送元アドレスレジスタ (DMACm.DMSAR)

1 転送要求に対するデータ転送が終了すると、DMSAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

(2) DMA 転送先アドレスレジスタ (DMACm.DMDAR)

1 転送要求に対するデータ転送が終了すると、DMDAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

(3) DMA 転送カウントレジスタ (DMACm.DMCRA)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

(4) DMA ブロック転送カウントレジスタ (DMACm.DMCRB)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

(5) DMA 転送許可ビット (DMACm.DMCNT.DTE)

DMACm.DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可/禁止を制御します。DMA 転送の状態に応じて自動的に DMAC によって 0 になります。

DMAC が本ビットをクリアする条件は、以下のとおりです。

- 設定された総転送データ数の転送が終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピート領域オーバーフロー割り込みによって DMA 転送が停止したとき

対応する DMACm.DMCNT.DTE ビットが 1 になっているチャンネルのレジスタへの書き込みは禁止です (DMACm.DMCNT レジスタを除く)。DTE ビットを 0 にした後のみ、書き込みが可能になります。

(6) DMA アクティブフラグ (DMACm.DMSTS.ACT)

DMACm.DMSTS.ACT フラグは、DMACm がアイドル状態であるか、または動作中であることを示します。本フラグは DMAC がデータ転送を開始すると 1 になり、1 転送要求に対するデータ転送が終了すると 0 になります。DMA 転送中に DMACm.DMCNT.DTE ビットに 0 を書いて DMA 転送を停止させた場合でも、本フラグは DMA 転送が終了するまで 1 を保持します。

(7) 転送終了割り込みフラグ (DMACm.DMSTS.DTIF)

総転送サイズ分の DMA 転送が終了すると、DMACm.DMSTS.DTIF フラグは 1 になります。本フラグと DMACm.DMINT.DTIE ビットがともに 1 の場合、転送終了割り込み要求が発生します。本フラグが 1 になるタイミングは、DMA 転送のバスサイクルが終了し、DMACm.DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。割り込み処理中に DMACm.DMCNT.DTE ビットを 1 にした場合、本フラグは自動的に 0 になります。

(8) 転送エスケープ終了割り込みフラグ (DMACm.DMSTS.ESIF)

リポートサイズ終了割り込み、または拡張リポート領域オーバーフロー割り込み要求が発生したとき、DMACm.DMSTS.ESIF フラグは 1 になります。本フラグと DMACm.DMINT.ESIE ビットがともに 1 の場合、転送エスケープ終了割り込み要求が発生します。本フラグが 1 になるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了し、DMACm.DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。割り込み処理中に DMACm.DMCNT.DTE ビットを 1 にした場合、本フラグは自動的に 0 になります。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

16.3.10 チャネル優先順位

DMAC は、複数の DMA 転送要求が発生したとき、DMA 転送要求のあるチャネルの優先順位を判断します。

チャネル優先順位は、チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3 の順で固定です (チャネル 0 が最優先)。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送後にチャネルアービトレーションを行い、最も優先順位の高いチャネルの転送が開始されます。

16.4 DMA 転送の終了

DMA 転送の終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMACm.DMCNT.DTE ビットと DMACm.DMSTS.ACT フラグが 1 から 0 になります。

16.4.1 設定した総転送回数完了による転送終了

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] = 00b) の場合

DMACm.DMCRAL レジスタの値が 1 から 0 になると、対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.DTIF フラグが 1 になります。このとき DMACm.DMINT.DTIE ビットが 1 であると、CPU または DTC へ転送終了割り込み要求が送信されます。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] = 01b) の場合

DMACm.DMCRB レジスタの値が 1 から 0 になると、対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.DTIF フラグが 1 になります。このとき DMACm.DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] = 10b) の場合

DMACm.DMCRB レジスタの値が 1 から 0 になると、対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.DTIF フラグが 1 になります。このとき DMACm.DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

16.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMACm.DMINT.RPTIE ビットが 1 であれば、1 リピートサイズ分の転送終了時にリピートサイズ終了割り込み要求が発生します。DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.ESIF フラグが 1 になります。このとき DMACm.DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。転送を再開させるには、DMACm.DMCNT.DTE ビットに 1 を書き込んでください。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。1 ブロックサイズ分の転送終了時に、リピート転送モードと同様に割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

16.4.3 拡張リピート領域オーバーフロー割り込みによる転送終了

拡張リピート領域が指定され、かつ DMACm.DMINT.SARIE ビットまたは DMACm.DMINT.DARIE ビットが 1 の場合に、拡張リピート領域がオーバーフローすると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMA 転送が停止して、DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.ESIF フラグが 1 になります。このとき DMACm.DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

この割り込み要求がリードサイクル中に発生しても、以降のライトサイクルは実行されます。ブロック転送モードでは、割り込み要求が 1 ブロックの転送中に発生しても、そのブロックの残りのデータが転送されるまで、転送は終了しません。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

16.4.4 DMA 転送の終了に関する注意事項

DMA 転送終了後、次の要求時に DMA 起動要求が発生する場合があります。このような状況が生じた場合、DMA 転送が開始され、DMA 起動要求は DMAC 内に保持されます。これを避けるには、ICU の DELSRn.DELS[7:0] ビットを 0 にして、DMA 起動要求を停止してください。

最後の DMA 転送後に DMA 起動要求が発生した場合は、ICU.DELSRm.IR ビットを設定して DMA 起動要求をクリアしてください。

16.5 割り込み

各 DMAC チャンネルは、1 要求分の転送終了後、CPU または DTC へ割り込み要求 (DMACm_INT) を出力することが可能です。

表 16.8 に、各割り込み要因とそれらに対応するステータスフラグおよび許可ビットを示します。図 16.13 に、割り込み出力 (DMAC0 ~ DMAC3) の概略論理図を示します。また、DMAC 割り込み処理ルーチンで DMA 転送を再開/終了する手順を図 16.14 に示します。

表 16.8 割り込み要因、割り込みステータスフラグ、割り込み許可ビットの対応関係

割り込み要因		割り込み許可ビット	割り込みステータスフラグ	要求出力許可ビット
転送終了		—	DMACm.DMSTS.DTIF	DMACm.DMINT.DTIE
エスケープ 転送終了	リピートサイズ終了	DMACm.DMINT.RPTIE	DMACm.DMSTS.ESIF	DMACm.DMINT.ESIE
	転送元アドレス拡張リピート領域 オーバーフロー	DMACm.DMINT.SARIE		
	転送先アドレス拡張リピート領域 オーバーフロー	DMACm.DMINT.DARIE		

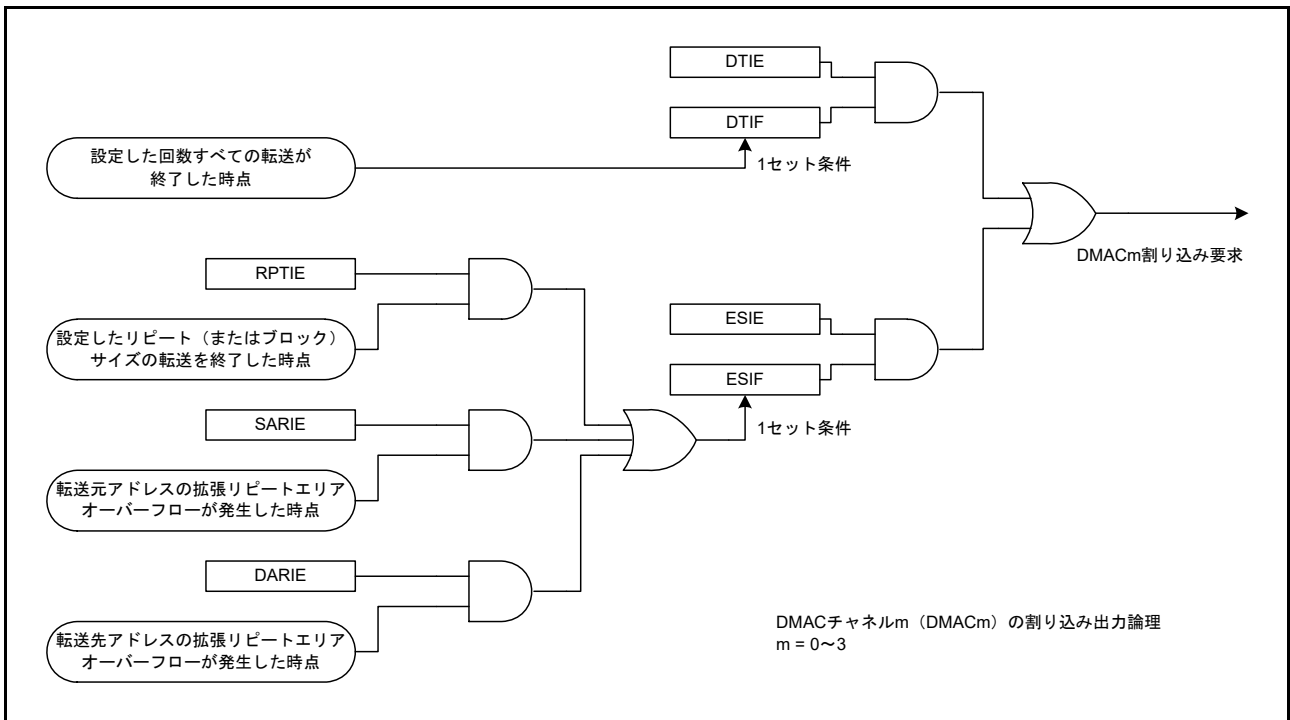


図 16.13 割り込み出力 (DMAC0 ~ DMAC3) の概略論理図

割り込みを解除して DMA 転送を再開する方法は、以下のケースで異なります。

- DMA 転送を終了した場合
- DMA 転送を継続した場合

(1) DMA 転送を終了した場合

転送終了割り込みの場合は、DMACm.DMSTS.DTIF フラグに 0 を書いてください。また、リピートサイズ割り込みと拡張リピート領域オーバーフロー割り込みの場合は、DMACm.DMSTS.ESIF フラグに 0 を書いてください。割り込み要因がクリアされます。DMACm は停止状態を保ちます。その後、新たな DMA 転送を開始する場合は、必要なレジスタを設定して、DMACm.DMCNT.DTE ビットを 1 (DMA 転送許可) にしてください。

(2) DMA 転送を継続した場合

DMACm.DMCNT.DTE ビットに 1 を書いてください。自動的に DMACm.DMSTS.ESIF フラグが 0 (割り込み要因がクリア) になり、DMA 転送が再開します。

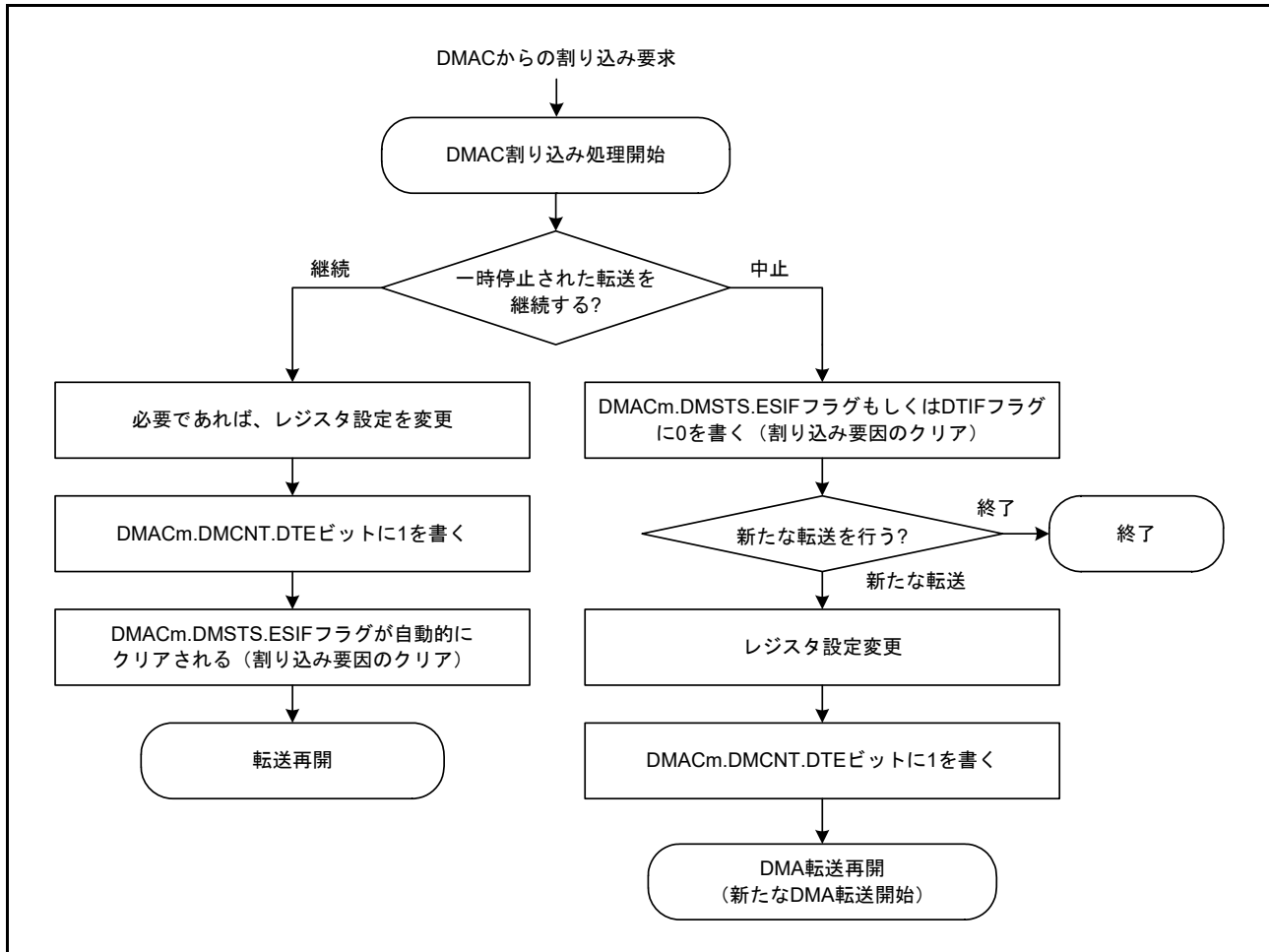


図 16.14 DMAC 割り込み処理ルーチンで DMA 転送を再開/終了する手順

16.6 イベントリンク

各 DMAC チャネルは、1 回のデータ転送（ブロック転送モードの場合は 1 ブロックの転送）が終了するたびに、イベントリンク要求信号 (DMACm_INT) を出力します。詳細は、「[18. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

16.7 低消費電力機能

モジュールストップ状態、またはソフトウェアスタンバイモードへ遷移する際は、最初に DMAST.DMST ビットを 0 (DMAC モジュール停止) にして、以下の各項に示すように設定してください。

(1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書いたとき、DMA 転送が動作中の場合は、DMA 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のとき、DMAC のレジスタにアクセスすることは禁止されています。MSTPCRA.MSTPA22 ビットに 0 を書くことで、DMAC のモジュールストップ状態は解除されます。

(2) ソフトウェアスタンバイモード

[10.7.1 ソフトウェアスタンバイモードへの遷移](#)の手順に従って設定してください。

WFI 命令実行時に DMA 転送が動作中の場合、DMA 転送が終了してからソフトウェアスタンバイモードへ遷移します。

(3) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定については、[10.9.6 WFI 命令のタイミング](#)を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットを 1 にしてください。ソフトウェアスタンバイモード時に発生した要求を、DMAC 起動要求ではなく CPU への割り込み要求として使用する場合は、[13.4.2 割り込み要求先の選択](#)に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。

16.8 使用上の注意事項

16.8.1 DMA 転送中のレジスタアクセスについて

DMACm.DMSTS.ACT フラグが 1 (DMAC 動作中)、または DMACm.DMCNT.DTE ビットが 1 (DMA 転送許可) の状態で、同じチャンネルの下記のレジスタに書き込まないでください。

- DMSAR
- DMDAR
- DMCRA
- DMCRB
- DMTMD
- DMINT
- DMAMD
- DMOFR

16.8.2 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域の詳細は、「[4. アドレス空間](#)」を参照してください。

16.8.3 割り込みコントローラユニットの DMAC イベントリンク設定レジスタ (ICU.DELSRn) の設定

DMAC イベントリンク設定レジスタ (ICU.DELSRn) を設定する前に、DMA 転送許可ビット (DMACm.DMCNT.DTE ビット) が 0 (DMA 転送禁止) であることを確認してください。また、ICU.DELSRn レジスタで設定したイベント番号に対応する DTC 起動許可レジスタビット (ICU.IELSRn.DTCE) を 1 にしないでください。ICU.IELSRn.DTCE レジスタと ICU.DELSRn レジスタの詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

16.8.4 DMA 起動の保留／再開方法

DMA 起動要求を保留する場合、DMAC イベントリンク選択 (ICU.DELSRn.DELS[7:0]) を 0 にしてください。DMA 転送を再開するには、[16.3.7 DMAC の起動](#)に示す設定を行った上で、ICU.DELSRn.DELS[7:0] ビットにイベント番号を書き込んでください。

17. データトランスファコントローラ (DTC)

17.1 概要

本 MCU は割り込み要求によって起動するとデータ転送を行うデータトランスファコントローラ (DTC) を内蔵しています。表 17.1 に DTC の仕様を、図 17.1 にブロック図を示します。

表 17.1 DTCの仕様

項目	内容
転送モード	<ul style="list-style-type: none"> ノーマル転送モード 1回の起動で1データを転送 リピート転送モード 1回の起動で1データを転送 リピートサイズ分のデータを転送すると転送開始時のアドレスに復帰 リピート回数は最大256回設定可能で、最大256 × 32ビット (1024バイト) 転送可能 ブロック転送モード 1回の起動で1ブロックを転送 ブロックサイズは、最大256 × 32ビット = 1024バイト設定可能
転送チャンネル	<ul style="list-style-type: none"> 割り込み要因に対応するチャンネルの転送が可能 (ICUからのDTC起動要求で転送) 1つの起動要因に対して複数データの転送が可能 (チェーン転送) チェーン転送は「カウンタが0のとき実施」または「毎回実施」のいずれかを選択可能
転送空間	<ul style="list-style-type: none"> 0000 0000h ~ FFFF FFFFhのうち予約領域を除く4Gバイトの領域
データ転送単位	<ul style="list-style-type: none"> 1データ: 1バイト (8ビット)、1ハーフワード (16ビット)、1ワード (32ビット) 1ブロックサイズ: 1~256データ
CPU割り込み要因	<ul style="list-style-type: none"> DTCを起動した割り込みでCPUへの割り込み要求を発生可能 1回のデータ転送後にCPUへの割り込み要求を発生可能 指定したデータ数のデータ転送終了後にCPUへの割り込み要求を発生可能
イベントリンク機能	1回のデータ転送後 (ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報読み出しスキップを実行可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、転送情報のライトバックをスキップ可能
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

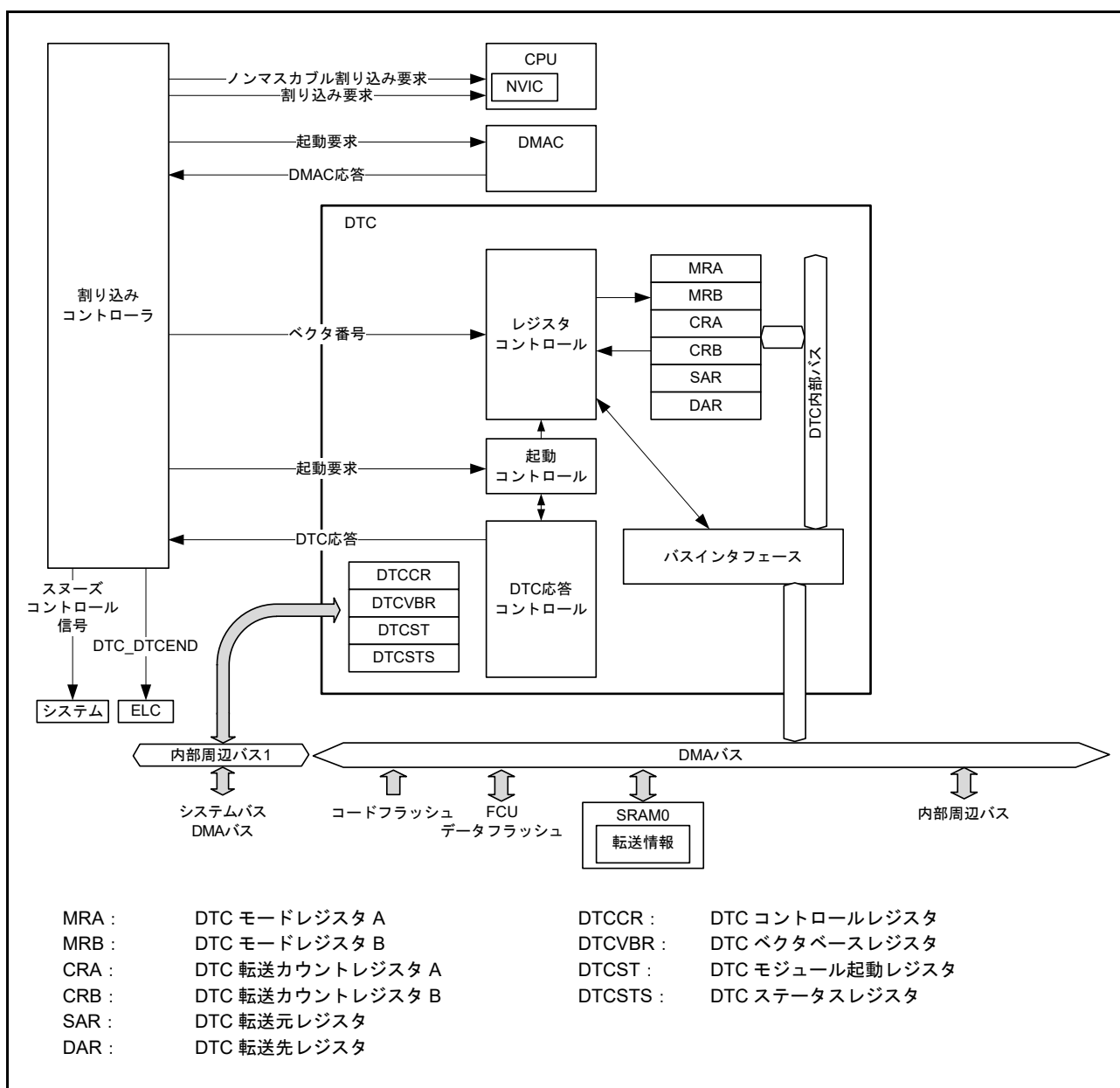


図 17.1 DTC のブロック図

CPU の DTC と NVIC の接続関係については、「13. 割り込みコントローラユニット (ICU)」の 13.1 概要を参照してください。

17.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB は、すべて DTC の内部レジスタであり、CPU から直接アクセスすることはできません。これら DTC 内部レジスタの設定値は、SRAM 領域に転送情報として配置されます。起動要求が発生すると、DTC は SRAM 領域から転送情報を読み出して、それを DTC の内部レジスタに設定します。データ転送の終了後、内部レジスタの内容は転送情報として SRAM 領域にライトバックされます。

17.2.1 DTC モードレジスタ A (MRA)

アドレス (CPU から直接アクセス不可。17.3.1 を参照してください)

b7	b6	b5	b4	b3	b2	b1	b0
MD[1:0]		SZ[1:0]		SM[1:0]		—	—
リセット後の値	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと、不定値が読めます。書く場合、0としてください。	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモード	b3 b2 0 0: SARレジスタはアドレス固定 (SARレジスタへのライトバックをスキップ) 0 1: SARレジスタはアドレス固定 (SARレジスタへのライトバックをスキップ) 1 0: 転送後SARレジスタをインクリメント SZ[1:0] = 00bのとき+1 SZ[1:0] = 01bのとき+2 SZ[1:0] = 10bのとき+4 1 1: 転送後SARレジスタをデクリメント SZ[1:0] = 00bのとき-1 SZ[1:0] = 01bのとき-2 SZ[1:0] = 10bのとき-4	—
b5-b4	SZ[1:0]	DTC データトランスファサイズ	b5 b4 0 0: バイト (8ビット) 転送 0 1: ハーフワード (16ビット) 転送 1 0: ワード (32ビット) 転送 1 1: 設定禁止	—
b7-b6	MD[1:0]	DTC 転送モード選択	b7 b6 0 0: ノーマル転送モード 0 1: リピート転送モード 1 0: ブロック転送モード 1 1: 設定禁止	—

MRA レジスタは、CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 03h) にアクセス可能なので、DTC によって MRA レジスタから (および MRA レジスタへ) 自動的に MRA 転送情報が転送されます。17.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

17.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可。17.3.1を参照してください)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—	
リセット後の値	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと、不定値が読めます。書く場合、0としてください。	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモード	b3 b2 0 0: DAR レジスタはアドレス固定 (DAR レジスタへのライトバックをスキップ) 0 1: DAR レジスタはアドレス固定 (DAR レジスタへのライトバックをスキップ) 1 0: 転送後DARレジスタをインクリメント MRA.SZ[1:0] = 00bのとき+1 SZ[1:0] = 01bのとき+2 SZ[1:0] = 10bのとき+4 1 1: 転送後DARレジスタをデクリメント MRA.SZ[1:0] = 00bのとき-1 SZ[1:0] = 01bのとき-2 SZ[1:0] = 10bのとき-4	—
b4	DTS	DTC転送モード選択	0: 転送先にリポート領域またはブロック領域を選択 1: 転送元にリポート領域またはブロック領域を選択	—
b5	DISEL	DTC割り込み選択	0: 指定されたデータ転送の終了時、CPUへの割り込み要求が発生 1: DTCデータ転送のたびに、CPUへの割り込み要求が発生	—
b6	CHNS	DTCチェーン転送選択	0: 連続してチェーン転送を行う 1: 転送カウンタが1→0、または1→CRAHとなったとき、チェーン転送を行う	—
b7	CHNE	DTCチェーン転送許可	0: チェーン転送禁止 1: チェーン転送許可	—

MRB レジスタは、CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 02h) にアクセス可能なので、DTC によって MRB レジスタから (および MRB レジスタへ) 自動的に MRB 転送情報が転送されます。17.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

DTS ビット (DTC 転送モード選択)

リポート転送モードあるいはブロック転送モードにおいて、転送元または転送先をリポート領域またはブロック領域に設定します。

CHNS ビット (DTC チェーン転送選択)

チェーン転送の条件を選択します。CHNE ビットが 0 のとき、CHNS ビットの設定は無視されます。チェーン転送の条件については、表 17.3 チェーン転送の条件を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定も、起動要因フラグのクリアも行われず、CPU への割り込み要求は発生しません。

CHNE ビット (DTC チェーン転送許可)

チェーン転送を許可します。チェーン転送条件の選択は、CHNS ビットで行います。詳細は 17.4.6 チェーン転送を参照してください。

17.2.3 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可。17.3.1を参照してください)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。SAR レジスタは CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 04h) にアクセス可能なので、DTC によって SAR レジスタから (および SAR レジスタへ) 自動的に転送情報が転送されます。17.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

制限事項 : DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0] = 01b の場合、ビット [0] は 0 でなければいけません。MRA.SZ[1:0] = 10b の場合、ビット [1] およびビット [0] は 0 でなければいけません。

17.2.4 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可。17.3.1を参照してください)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

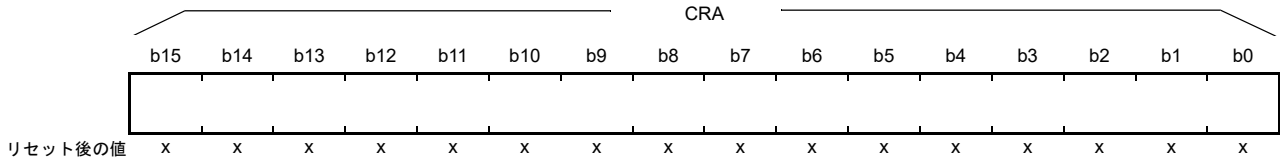
x: 不定

DAR は、転送先の開始アドレスを設定するレジスタです。CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 08h) にアクセス可能なので、DTC によって DAR レジスタから (および DAR レジスタへ) 自動的に転送情報が転送されます。17.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0] = 01b の場合、ビット [0] は 0 でなければいけません。MRA.SZ[1:0] = 10b の場合、ビット [1] およびビット [0] は 0 でなければいけません。

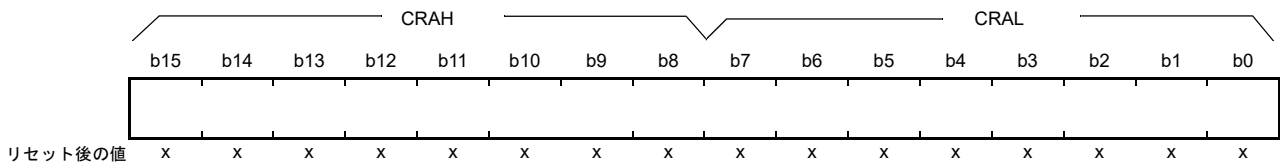
17.2.5 DTC 転送カウンタレジスタ A (CRA)

アドレス (CPUから直接アクセス不可。17.3.1を参照してください)

- ノーマル転送モード



- リピート転送モード/ブロック転送モード



x: 不定

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタ A 下位レジスタ	転送回数を設定	—
CRAH	転送カウンタ A 上位レジスタ		—

注. 転送モードによって機能が異なります。

注. リピート転送モードとブロック転送モードでは、CRAH および CRAL レジスタには同じ値を設定してください。

CRA レジスタは、CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 0Eh) にアクセス可能なので、DTC によって CRA レジスタから (および CRA レジスタへ) 自動的に転送情報が転送されます。17.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

(1) ノーマル転送モード (MRA.MD[1:0] ビット = 00b) の場合

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65535 回、0000h のときは 65536 回となります。CRA レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。

(2) リピート転送モード (MRA.MD[1:0] ビット = 01b) の場合

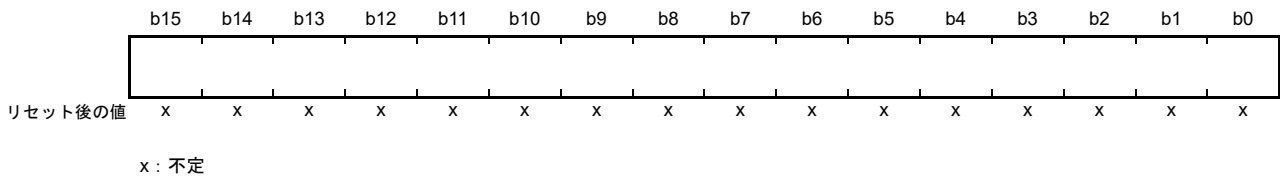
リピート転送モードでは、CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。転送回数は、設定値が 01h のときは 1 回、FFh のときは 255 回、00h のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。00h に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

(3) ブロック転送モード (MRA.MD[1:0] ビット = 10b) の場合

ブロック転送モードでは、CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。転送回数は、設定値が 01h のときは 1 回、FFh のときは 255 回、00h のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。00h に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

17.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可。17.3.1を参照してください)

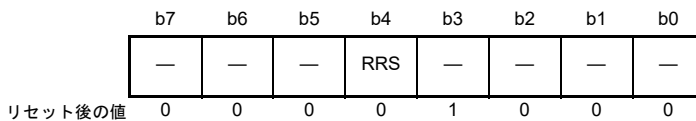


CRB レジスタは、ブロック転送モードのブロック転送回数を指定するレジスタです。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65535 回、0000h のときは 65536 回となります。CRB レジスタの値は、1 ブロックサイズの最終データ転送時にデクリメント (-1) されます。ノーマル転送モードまたはリピート転送モードを選択した場合、CRB レジスタは使用されず、設定値は無視されます。

CRB レジスタは、CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 0Ch) にアクセス可能なので、DTC によって CRB レジスタから (および CRB レジスタへ) 自動的に転送情報が転送されます。17.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

17.2.7 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 4000 5400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b4	RRS	DTC 転送情報リードスキップ許可	0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RRS ビット (DTC 転送情報リードスキップ許可)

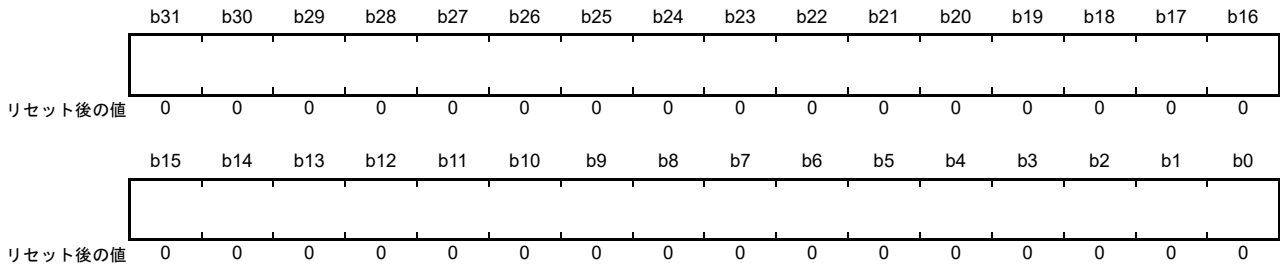
DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。

ベクタ番号が一致し、かつ RRS ビットが 1 になっていると、転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRS ビットにかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ (CRA レジスタ) が 0 になっている場合と、ブロック転送で転送カウンタ (CRB レジスタ) が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

17.2.8 DTC ベクタベースレジスタ (DTCVBR)

アドレス [DTC.DTCVBR 4000 5404h](#)

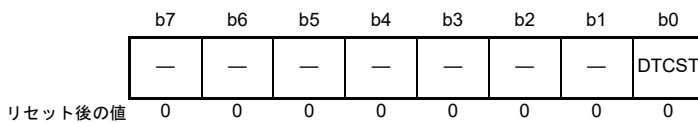


ビット	ビット名	機能	R/W
b31-b0	DTCベクタベースアドレス	DTCベクタベースアドレスを設定。下位10ビットは0にしてください。	R/W

DTCVBR レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定するレジスタです。0000 0000h ~ FFFF FFFFh (4G バイト) の範囲内で 1K バイト単位の設定が可能です。

17.2.9 DTC モジュール起動レジスタ (DTCST)

アドレス [DTC.DTCST 4000 540Ch](#)



ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DTCST ビット (DTC モジュール起動)

DTC が転送要求を受け付けられるようにするには、DTCST ビットを 1 にしてください。本ビットを 0 にすると、新たな転送要求を受け付けません。データ転送中に 0 に書き換えた場合、受け付け済みの転送要求は処理が終了するまで有効です。

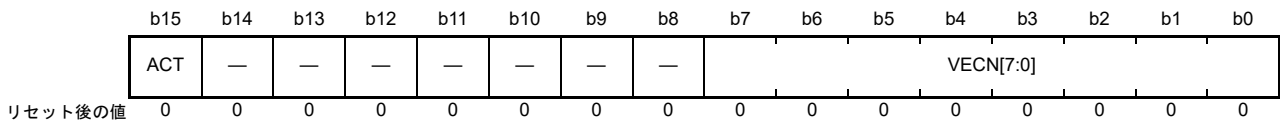
下記の状態またはモードへ遷移する際は、事前に DTCST ビットを 0 にする必要があります。

- モジュールストップ状態
- スヌーズモードへの遷移を伴わないソフトウェアスタンバイモード

これらの遷移については、[17.10 モジュールストップ機能](#)と「[10. 低消費電力モード](#)」を参照してください。

17.2.10 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 4000 540Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTC アクティブベクタ番号 モニタ	DTC 転送動作中にその起動要因をベクタ番号で示します。 この値は、DTC 転送動作中 (ACT フラグの値が1) の場合にのみ 有効です。	R
b14-b8	—	予約ビット	読むと0が読めます。	R
b15	ACT	DTC アクティブフラグ	0 : DTC 転送動作なし 1 : DTC 転送動作中	R

VECN[7:0] ビット (DTC アクティブベクタ番号モニタ)

DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。ACT フラグが 1 (DTC 転送動作中) であれば、読み出された VECN[7:0] の値は有効であり、ACT フラグが 0 (DTC 転送動作なし) であれば、読み出された VECN[7:0] の値は無効です。

ACT フラグ (DTC アクティブフラグ)

DTC の転送動作状態を示します。

[1 になる条件]

- 転送要求によって DTC が起動したとき

[0 になる条件]

- 転送要求に対する DTC の転送が完了したとき

17.3 起動要因

DTC は割り込み要求によって起動します。ICU.IELSRn.DTCE ビットを 1 にすると、対応する割り込みによって DTC が起動します。ICU.IELSR に設定されたセレクト出力番号 n ($n=0 \sim 31$) は、割り込みベクタ番号として定義されます。「13. 割り込みコントローラユニット (ICU)」の表 13.4 イベントテーブルに示すように、許可された割り込みに対して、各割り込みベクタ番号 n に対応した特定の DTC 割り込み要因が、ICU.IELSRn.IELS[7:0] ($n=0 \sim 31$) によって選択されます。ソフトウェアによる起動については、18.2.2 イベントリンクソフトウェアイベント発生レジスタ n (ELSEGRn) ($n=0, 1$) を参照してください。

割り込みベクタ番号は DTC ベクタテーブル番号と同等です。DTC が起動要求を受け付けると、その要求に対する転送が終了するまで、新たな起動要求は優先順位にかかわらず受け付けません。DMAC または DTC 転送中に複数の起動要求が発生した場合、転送の終了時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が 0 の状態で、複数の起動要求が発生した場合、DTC は、その後 DTCST.DTCST が 1 になったときに最も優先順位の高い要求を受け付けます。割り込みベクタ番号が小さいほど優先順位は高くなります。

1 回のデータ転送開始時 (チェーン転送の場合、連続した最後の転送時)、DTC は以下のように動作します。

- 指定した回数のデータ転送が終了すると、ICU.IELSRn.DTCE ビットが 0 になり、CPU に対して割り込み要求が送信される
- MRB.DISEL ビットが 1 の場合、データ転送完了時に CPU に対して割り込み要求が送信される
- 上記のいずれでもない場合、起動要因となった ICU.IELSRn.IR ビットはデータ転送開始時に 0 になる

17.3.1 転送情報の配置と DTC ベクタテーブル

DTC は、起動要因ごとにベクタテーブルから転送情報の開始アドレスを読み出して、このアドレスから始まる転送情報を読み出します。

ベクタテーブルのベースアドレス (開始アドレス) は、下位 10 ビットが 0 になるように配置する必要があります。DTC ベクタベースレジスタ (DTCVBR) を用いて、DTC ベクタテーブルのベースアドレスを設定してください。転送情報は SRAM 領域に配置します。SRAM 領域では、ベクタ番号 n を持つ転送情報 n の開始アドレスは、ベクタテーブルのベースアドレス + $4n$ 番地でなければいけません。

DTC ベクタテーブルと転送情報の対応関係を図 17.2 に示します。SRAM 領域上の転送情報の配置を図 17.3 に示します。

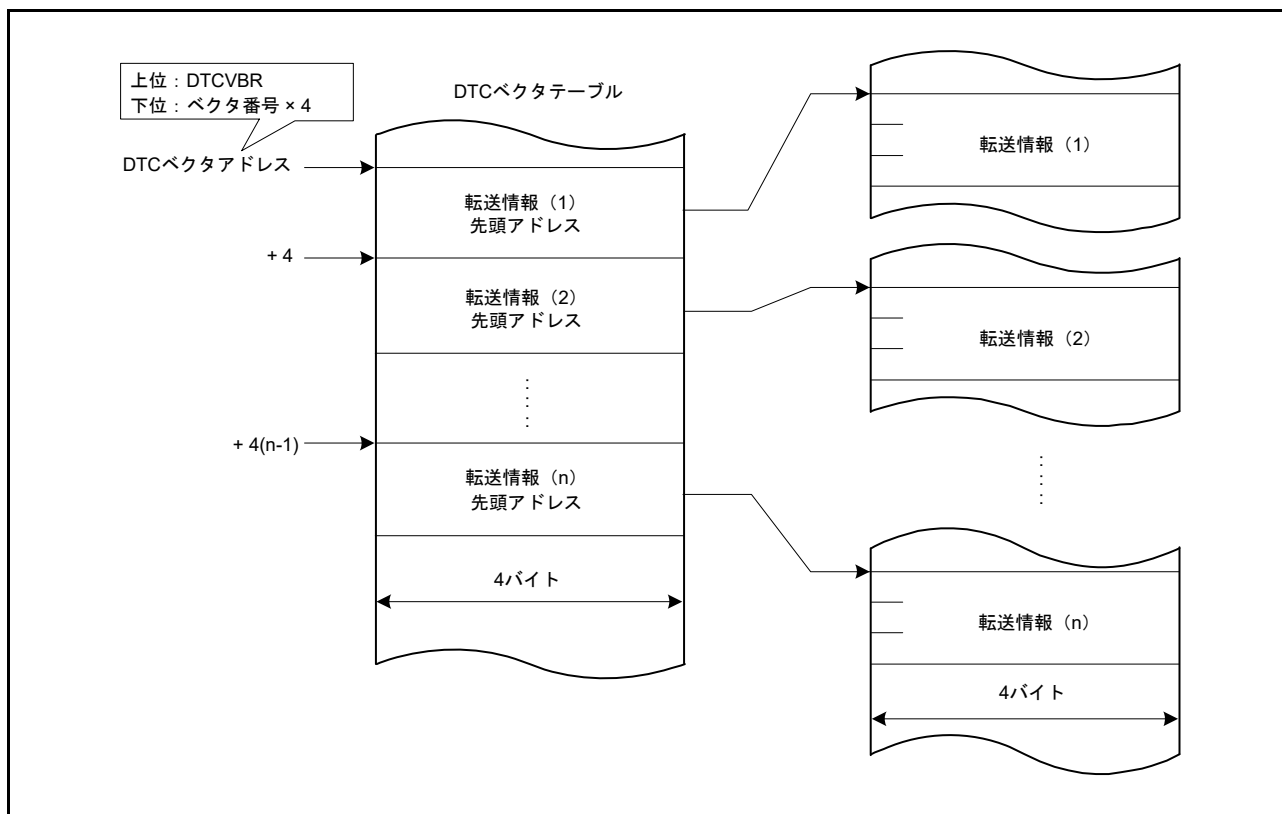


図 17.2 DTC ベクタテーブルと転送情報の対応関係

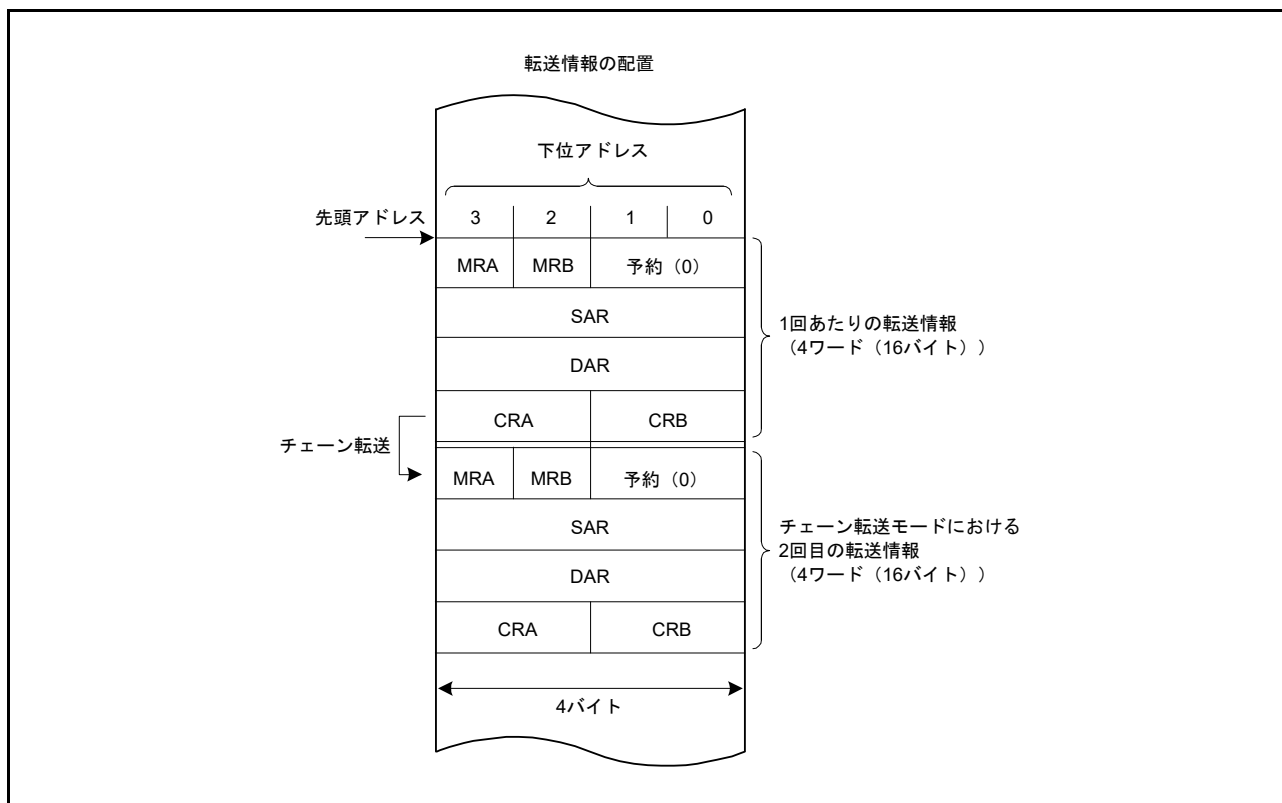


図 17.3 SRAM 領域上の転送情報の配置

17.4 動作説明

DTC は、転送情報に従ってデータを転送します。DTC を動作させるには、あらかじめ転送情報を SRAM 領域に格納しておく必要があります。DTC が起動すると、DTC はベクタ番号に対応する DTC ベクタを読み出します。次に DTC は、DTC ベクタが示す転送情報格納アドレスから転送情報を読み出して、データ転送を行います。データ転送後に、DTC は転送情報のライトバックを行います。転送情報を SRAM 領域に格納することで、任意のチャンネル数のデータ転送が可能になります。

転送モードには、下記の 3 種類があります。

- ノーマル転送モード
- リピート転送モード
- ブロック転送モード

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。これらのレジスタ値は、データの転送後、それぞれ個別にインクリメント、デクリメント、あるいはアドレス固定されます。

DTC の転送モードを [表 17.2](#) に示します。

表 17.2 DTC の転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト (8ビット) / 1ハーフワード (16ビット) / 1ワード (32ビット)	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536回
リピート転送モード (注1)	1バイト (8ビット) / 1ハーフワード (16ビット) / 1ワード (32ビット)	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～256回 (注3)
ブロック転送モード (注2)	CRAHレジスタで指定したブロックサイズ (1～256バイト、1～256ハーフワード (2～512バイト)、または1～256ワード (4～1024バイト))	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536回

- 注 1. 転送元または転送先のいずれかをリピート領域に設定します。
 注 2. 転送元または転送先のいずれかをブロック領域に設定します。
 注 3. 指定回数の転送終了後は、初期状態を回復し動作を再開します。

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数転送またはチェーン転送が可能です。指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

DTC の動作フローを [図 17.4](#) に示します。チェーン転送の条件を [表 17.3](#) に示します。この表では、2 番目以降の転送に対する制御情報の組み合わせは省略されています。

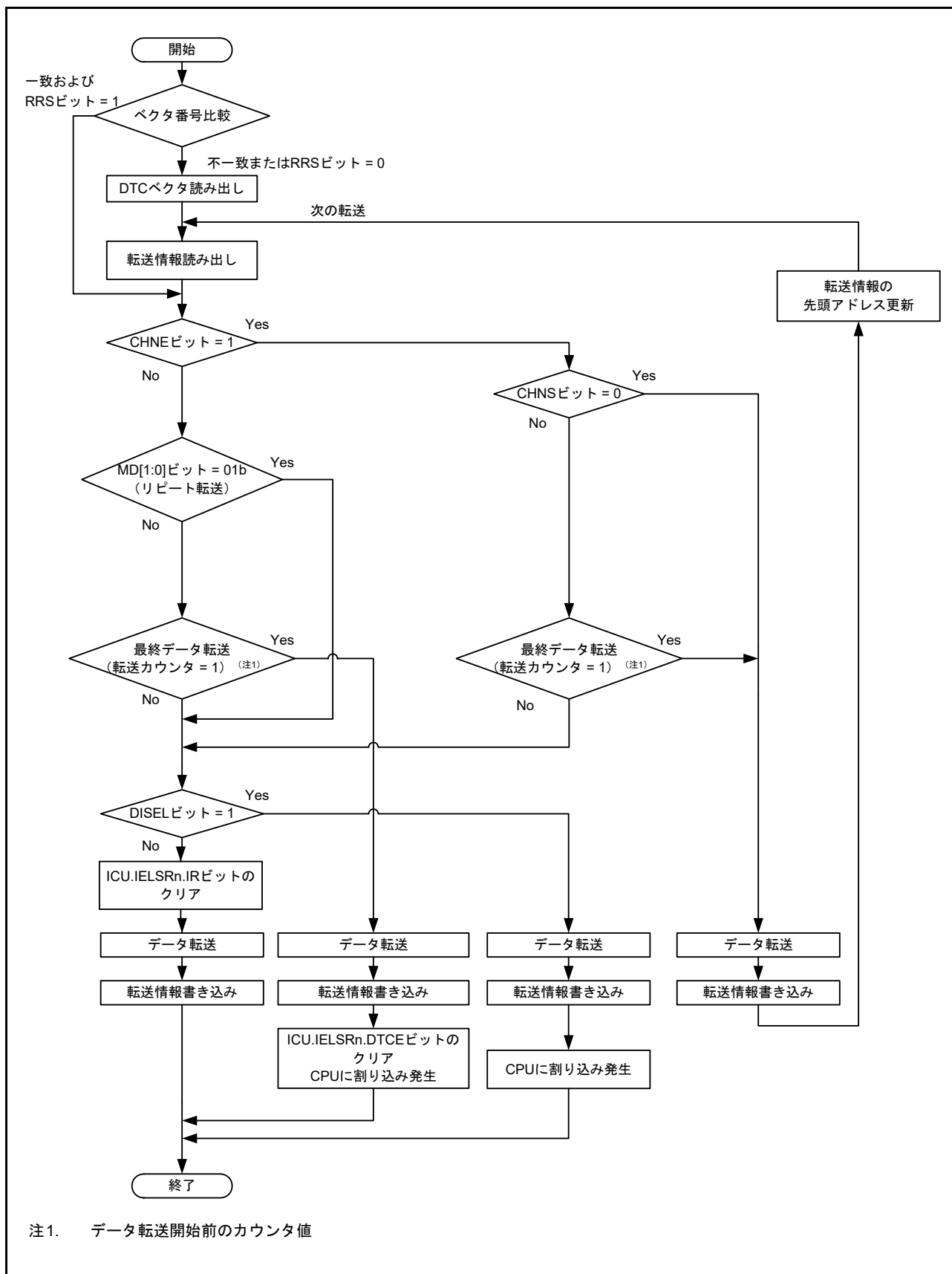


図 17.4 DTC の動作フロー

表 17.3 チェーン転送の条件

第1転送				第2転送 (注3)				DTC 転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1) (注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1) (注2)	
0	—	0	(1→0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1→0)	—	—	—	—	第1転送で終了しCPU へ割り込み要求
0	—	1	—	—	—	—	—	第1転送で終了
1	0	—	—	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了しCPU へ割り込み要求
				0	—	1	—	第2転送で終了
1	1	0	(1→*) 以外	—	—	—	—	第1転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了しCPU へ割り込み要求
				0	—	1	—	第2転送で終了
1	1	1	(1→*) 以外	—	—	—	—	第1転送で終了しCPU へ割り込み要求

注 1. 使用する転送カウンタは、以下のように、各転送モードで異なります。

ノーマル転送モード：CRA レジスタ
 リピート転送モード：CRAL レジスタ
 ブロック転送モード：CRB レジスタ

注 2. 転送終了時のカウンタ動作は以下のとおりです。

ノーマル転送モード、ブロック転送モードでは (1→0)
 リピート転送モードでは (1→CRAH)

表中の (1→*) は、モードに応じて、これら両方の動作を表します。

注 3. 2 番目以降の転送に対してチェーン転送の選択が可能です。第 2 転送と CHNE ビットが 1 の組み合わせに対する条件は省略されています。

17.4.1 転送情報のリードスキップ機能

DTCCR.RRS ビットを設定することにより、ベクタアドレスと転送情報の読み出しをスキップできます。DTC 起動要求時に、今回の DTC ベクタ番号と前回起動時の DTC ベクタ番号が比較されます。ベクタ番号が一致し、かつ DTCCR.RRS ビットが 1 になっているときは、ベクタアドレスと転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送の場合は、ベクタアドレスと転送情報が読み出されます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が 0 になっている場合、またはブロック転送で転送カウンタ (CRB レジスタ) が 0 になっている場合も、DTCCR.RRS ビットの値にかかわらず転送情報が読み出されます。転送情報のリードスキップの動作例を [図 17.12](#) に示します。

DTC ベクタテーブルと転送情報を更新する場合は、DTCCR.RRS ビットを 0 にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを 1 に戻してください。DTCCR.RRS ビットをいったん 0 にすることによって、格納されていたベクタ番号が破棄されます。次の起動時には、更新された DTC ベクタテーブルと転送情報が読み出されます。

17.4.2 転送情報のライトバックスキップ機能

MRA.SM[1:0] ビットまたは MRB.DM[1:0] ビットを「アドレス固定」に設定すると、転送情報の一部はライトバックされません。転送情報のライトバックスキップ条件と対応するレジスタを表 17.4 に示します。CRA レジスタと CRB レジスタはライトバックされますが、MRA レジスタと MRB レジスタのライトバックはスキップされます。

表 17.4 転送データのライトバックスキップ条件と適用されるレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SARレジスタ	DARレジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

17.4.3 ノーマル転送モード

ノーマル転送モードでは、1つの起動要因で、1バイト (8 ビット)、1 ハーフワード (16 ビット)、1 ワード (32 ビット) のデータ転送が可能です。転送回数は 1 ~ 65536 回まで設定できます。転送元アドレスと転送先アドレスは、それぞれ個別に、インクリメント、デクリメント、または固定に設定できます。指定回数の転送が終了すると、CPU への割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表 17.5 に、ノーマル転送モードのメモリマップを図 17.5 に示します。

表 17.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)
CRA	転送カウンタ A	CRA - 1
CRB	転送カウンタ B	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

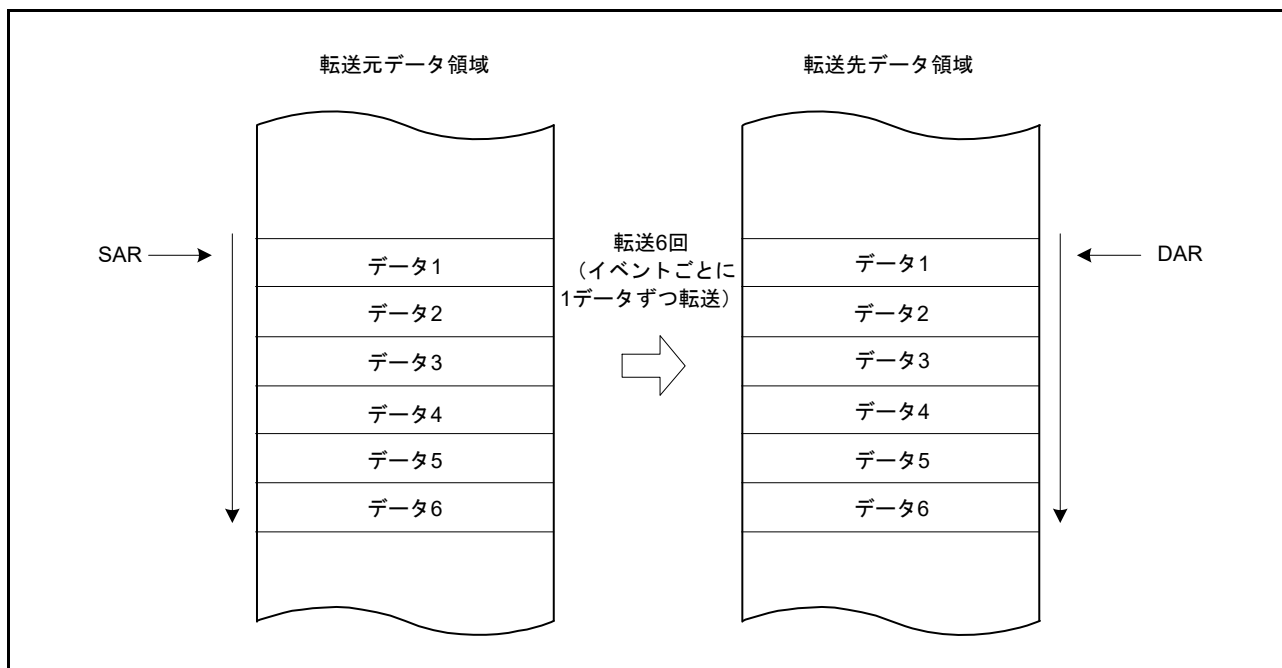


図 17.5 ノーマル転送モードのメモリマップ (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRA = 0006h)

17.4.4 リピート転送モード

リピート転送モードでは、1つの起動要因で、1バイト (8ビット)、1ハーフワード (16ビット)、または1ワード (32ビット) のデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをリピート領域に指定する必要があります。転送回数は1～256回まで設定できます。指定回数 of 転送が終了すると、リピート領域に設定された方のアドレスレジスタは初期値に戻り、転送カウンタも初期値に戻ります。そして転送が繰り返されます。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ (CRAL レジスタ) が 00h になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタが 00h にならないので、MRB.DISEL ビットが 0 になっていると、CPU への割り込み要求は禁止されます。指定されたデータ転送が終了したとき、CPU への割り込みが発生します。

リピート転送モードのレジスタ機能を表 17.6 に、リピート転送モードのメモリマップを図 17.6 に示します。

表 17.6 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値	
		CRALが1以外のとき	CRALが1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)	<ul style="list-style-type: none"> MRB.DTS ビット = 0 のとき インクリメント、デクリメント、固定 (注1) MRB.DTS ビット = 1 のとき SAR レジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)	<ul style="list-style-type: none"> MRB.DTS ビット = 0 のとき DAR レジスタの初期値 MRB.DTS ビット = 1 のとき インクリメント、デクリメント、固定 (注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新なし	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

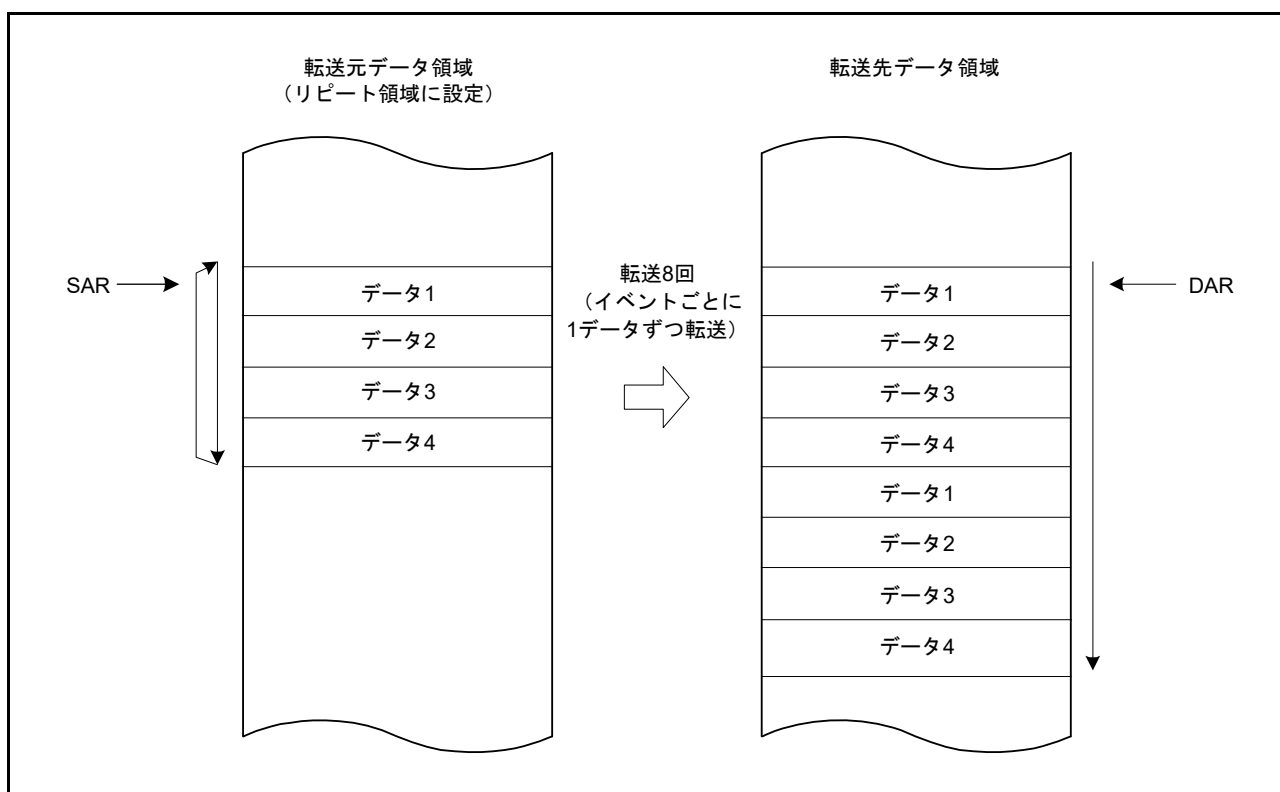


図 17.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合) (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRAH = 04h)

17.4.5 ブロック転送モード

ブロック転送モードでは、1つの起動要因で1ブロックのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをブロック領域に指定する必要があります。ブロックサイズは、1～256 バイト、1～256 ハーフワード (2～512 バイト)、または1～256 ワード (4～1024 バイト) に設定できます。指定された1ブロックの転送が終了すると、ブロックサイズカウンタ (CRAL レジスタ) と、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが1のとき SAR レジスタ、DTS ビットが0のとき DAR レジスタ) は初期値に戻ります。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

転送回数 (ブロック数) は、1～65536 まで指定可能です。指定回数 of ブロック転送が終了すると、CPU への割り込み要求を発生させることができます。

ブロック転送モードのレジスタ機能を表 17.7 に、ブロック転送モードのメモリマップを図 17.7 に示します。

表 17.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	<ul style="list-style-type: none"> • MRB.DTSビット=0のとき インクリメント/デクリメント/固定 (注1) • MRB.DTSビット=1のとき SARレジスタの初期値
DAR	転送先アドレス	<ul style="list-style-type: none"> • MRB.DTSビット=0のとき DARレジスタの初期値 • MRB.DTSビット=1のとき インクリメント/デクリメント/固定 (注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注 1. アドレス固定のとき、ライトバックはスキップされます。

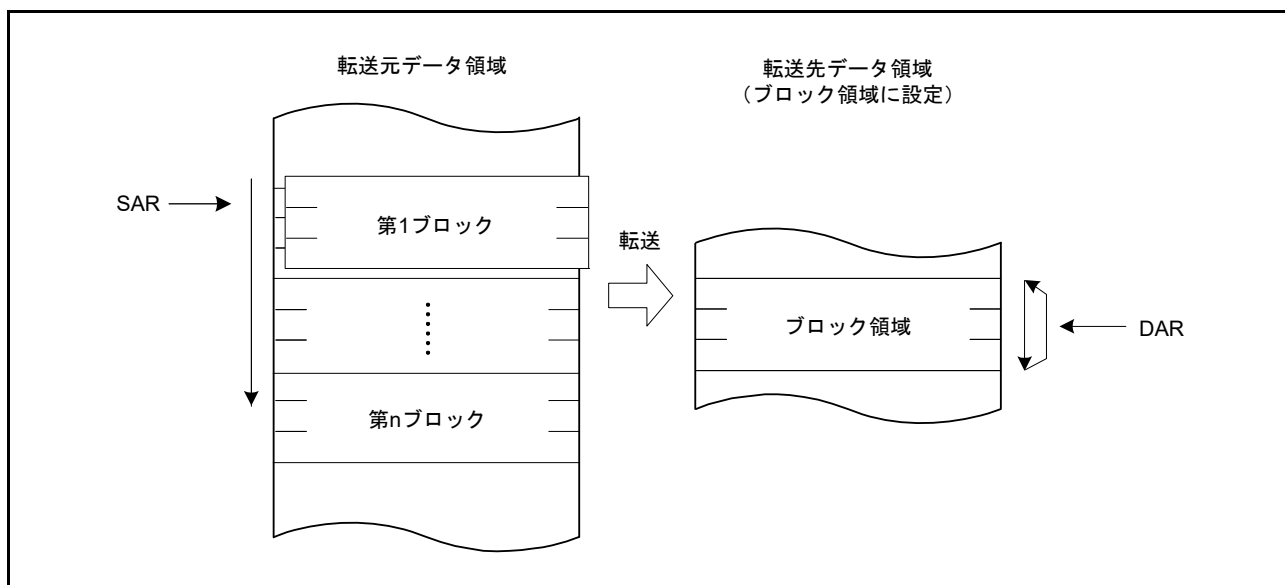


図 17.7 ブロック転送モードのメモリマップ

17.4.6 チェーン転送

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数のデータ転送を連続して行うチェーン転送が可能になります。MRB.CHNE ビットを 1 にして、MRB.CHNS ビットを 0 にした場合は、指定した転送回数の終了による CPU への割り込み要求も、MRB.DISEL ビット = 1 による CPU への割り込み要求も発生しません。割り込み要求は、DTC データ転送のたびに CPU に送信されます。データ転送が、起動要因の ICU.IELSRn.IR ビットに影響を与えることはありません。

データ転送を定義するための SAR、DAR、CRA、CRB、MRA、および MRB レジスタは、それぞれ個別に設定可能です。図 17.8 にチェーン転送の動作を示します。

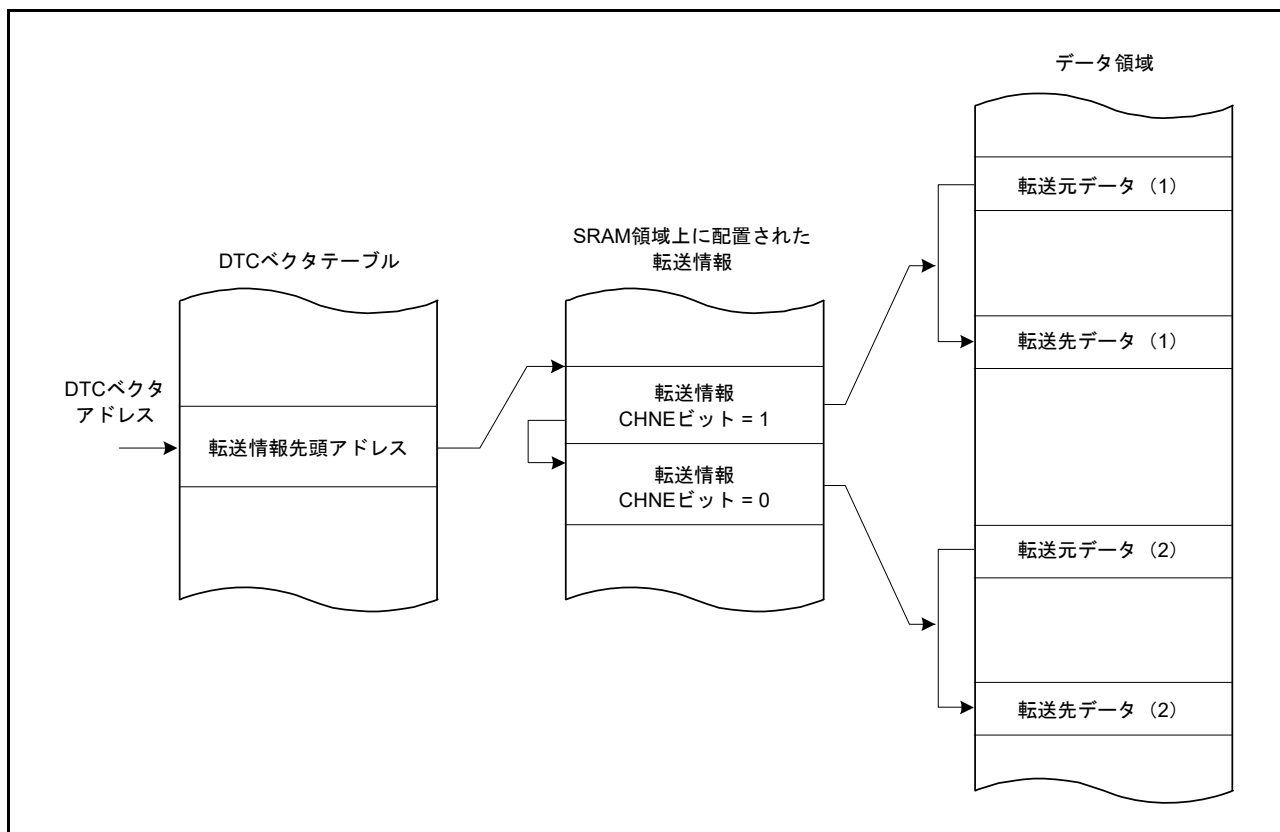


図 17.8 チェーン転送の動作

MRB.CHNE ビットと MRB.CHNS ビットを 1 にした場合、指定されたデータ転送終了時にのみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送の終了時にチェーン転送が実行されます。チェーン転送の条件については、表 17.3 [チェーン転送の条件](#)を参照してください。

17.4.7 動作タイミング

図 17.9 ~ 図 17.12 に示すタイミング図は、最小実行サイクル数を示しています。

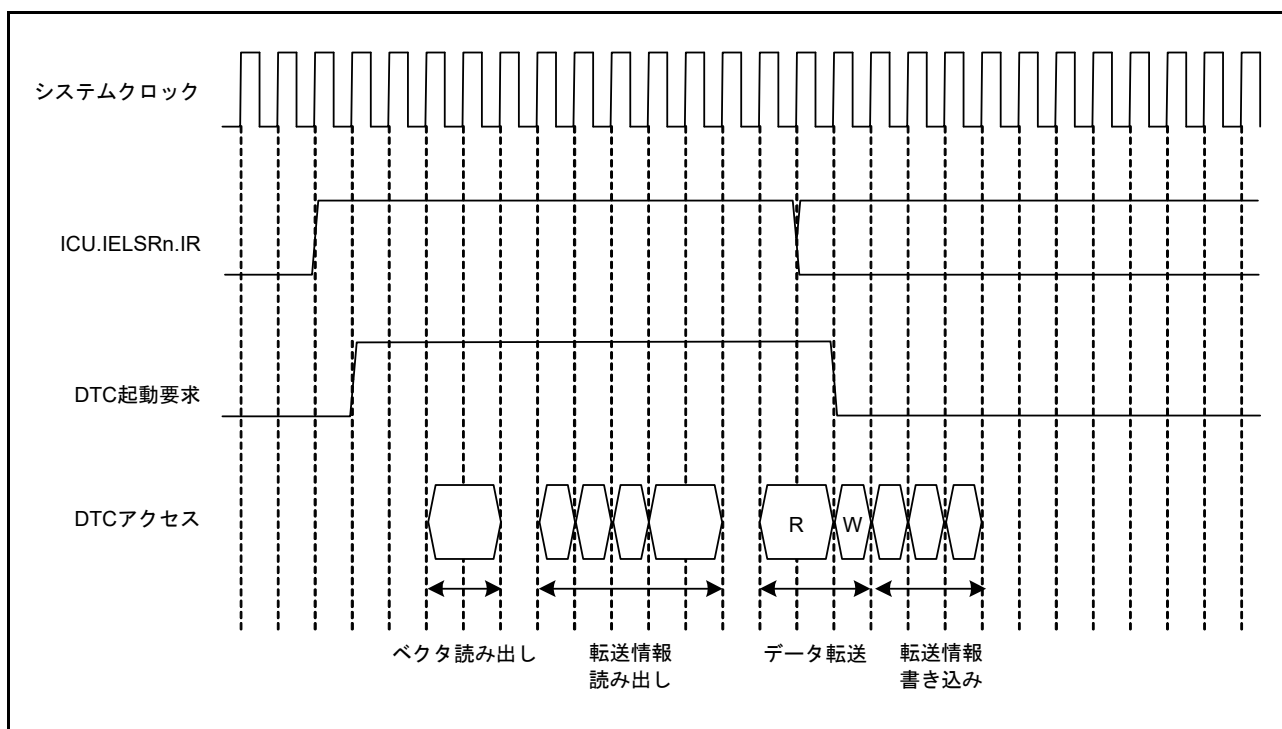


図 17.9 DTC 動作タイミング例 1 (ノーマル転送モードおよびリピート転送モードの場合)

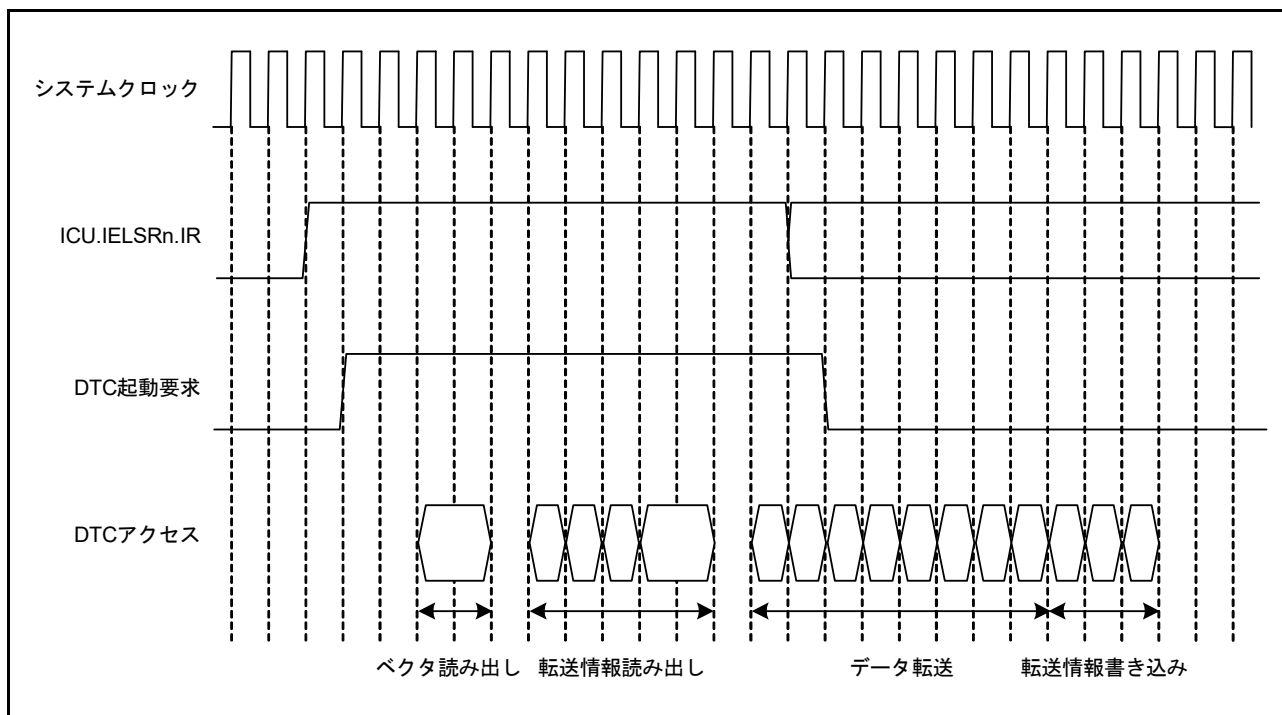


図 17.10 DTC 動作タイミング例 2 (ブロック転送モードでブロックサイズ = 4 の場合)

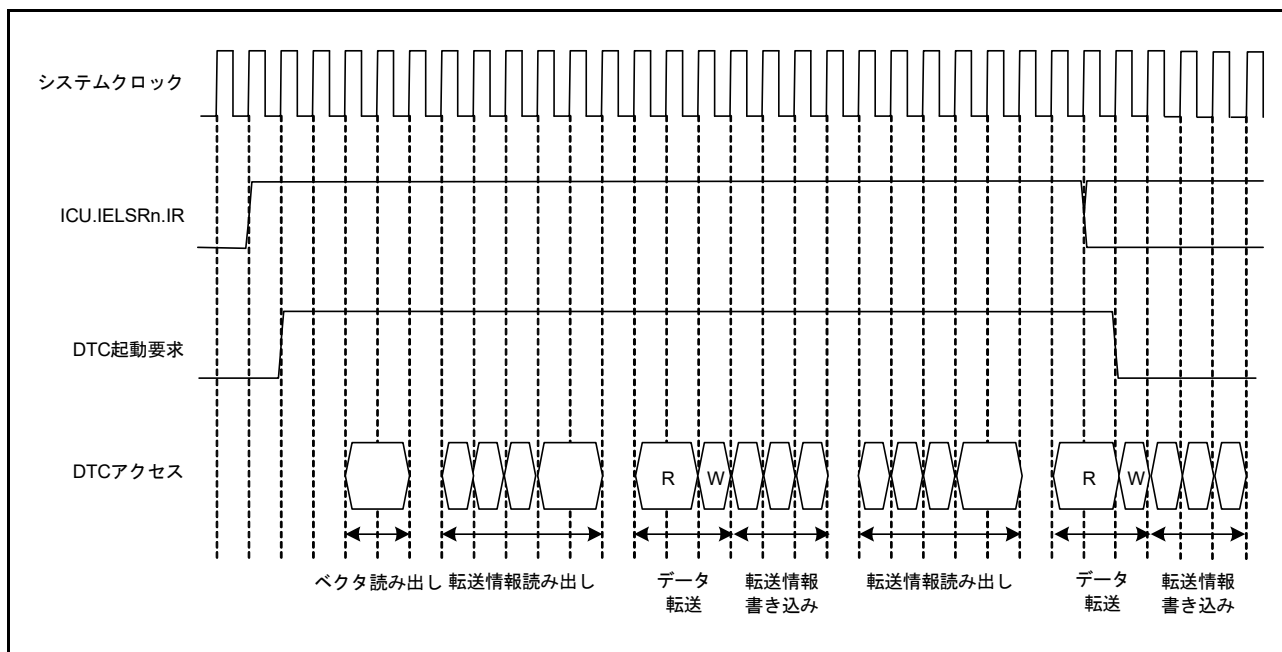
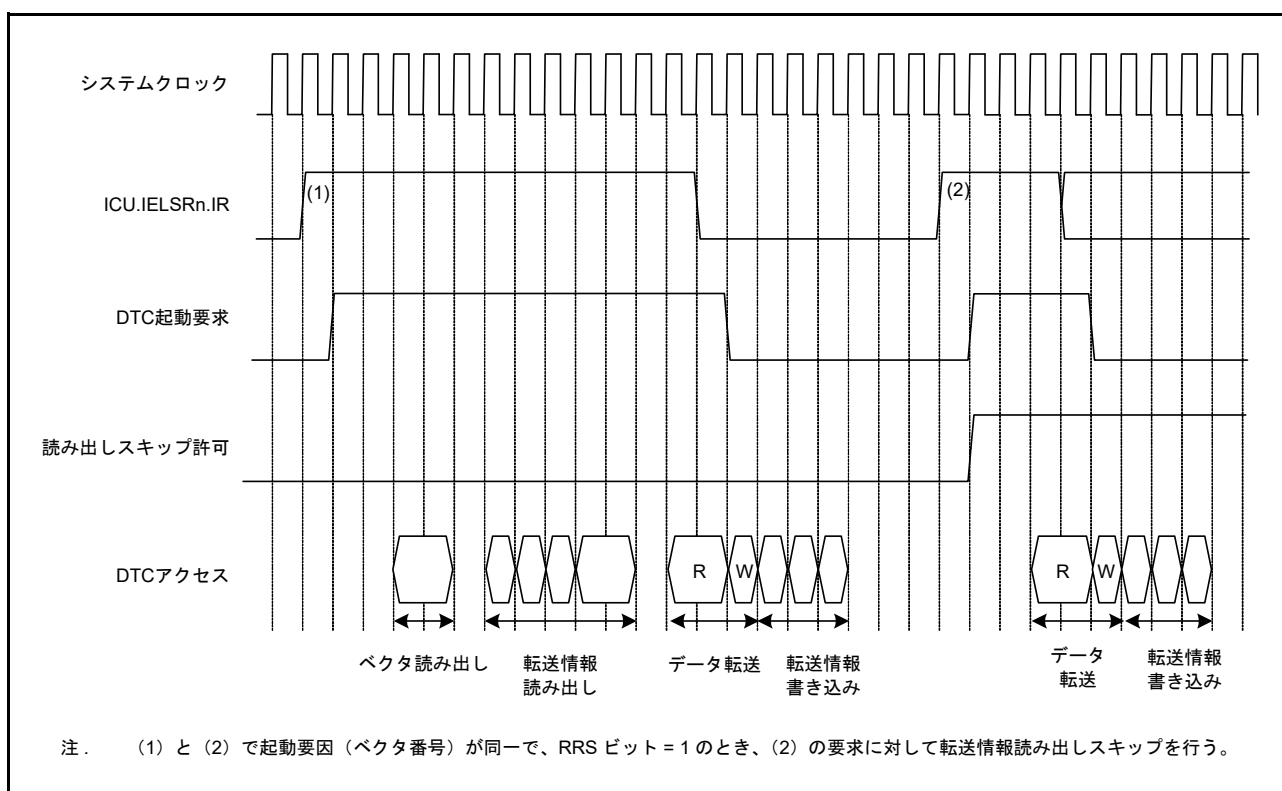


図 17.11 DTC 動作タイミング例 3 (チェーン転送の場合)



注. (1) と (2) で起動要因 (ベクタ番号) が同一で、RRS ビット = 1 のとき、(2) の要求に対して転送情報読み出しスキップを行う。

図 17.12 転送情報リードスキップ時の動作例 (ベクタ、転送情報、転送先データが SRAM にあり、転送元データが周辺モジュールにある場合)

17.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 17.8 に示します。

各実行状態の順序については、17.4.7 動作タイミングを参照してください。

表 17.8 DTC の実行サイクル

転送モード	ベクタ読み出し		転送情報読み出し		転送情報書き込み			データ転送		内部動作	
	$C_v + 1$	0 (注1)	$4 \times C_i + 1$	0 (注1)	$3 \times C_i + 1$ (注2)	$2 \times C_i + 1$ (注3)	C_i (注4)	読み出し	書き込み		
ノーマル								$C_r + 1$	$C_w + 1$	2	0 (注1)
リポート								$C_r + 1$	$C_w + 1$		
ブロック (注5)								$P \times C_r$	$P \times C_w$		

注 1. 転送情報がリードスキップされる場合

注 2. SAR レジスタと DAR レジスタがともにアドレス固定でない場合

注 3. SAR レジスタと DAR レジスタのいずれかがアドレス固定の場合

注 4. SAR レジスタと DAR レジスタがともにアドレス固定の場合

注 5. ブロックサイズが 2 以上の場合。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

P: ブロックサイズ (CRAH および CRAL レジスタの初期設定値)

C_v : ベクタ転送情報格納先へのアクセスサイクル

C_i : 転送情報格納先アドレスへのアクセスサイクル

C_r : データリード先へのアクセスサイクル

C_w : データライト先へのアクセスサイクル

ベクタ読み出し、転送情報読み出し、データ転送読み出しの各列に記載の + 1 の単位と、内部動作の列に記載の 2 の単位は、いずれもシステムクロック (ICLK) です。

C_v 、 C_i 、 C_r 、 C_w は対応するアクセス先で異なります。それぞれのアクセス先に対するサイクル数については、「43. SRAM」、「44. フラッシュメモリ」および「14. バス」を参照してください。

システムクロックと周辺クロックの周波数比も考慮されています。

DTC の応答時間は、DTC の起動要因が検出されてから DTC 転送が始まるまでの時間です。

この表には、DTC の起動要因がアクティブになってから DTC データ転送が始まるまでの時間は含まれていません。

17.4.9 DTC のバス権解放タイミング

DTC は、転送情報の読み出し中はバス権を解放しません。転送情報の読み出しや書き込みが実施される前に、バスマスタ調停部によって決定された優先順位に従ってバス調停が行われます。バス調停については、「14. バス」を参照してください。

17.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。図 17.13 に、DTC の設定手順を示します。

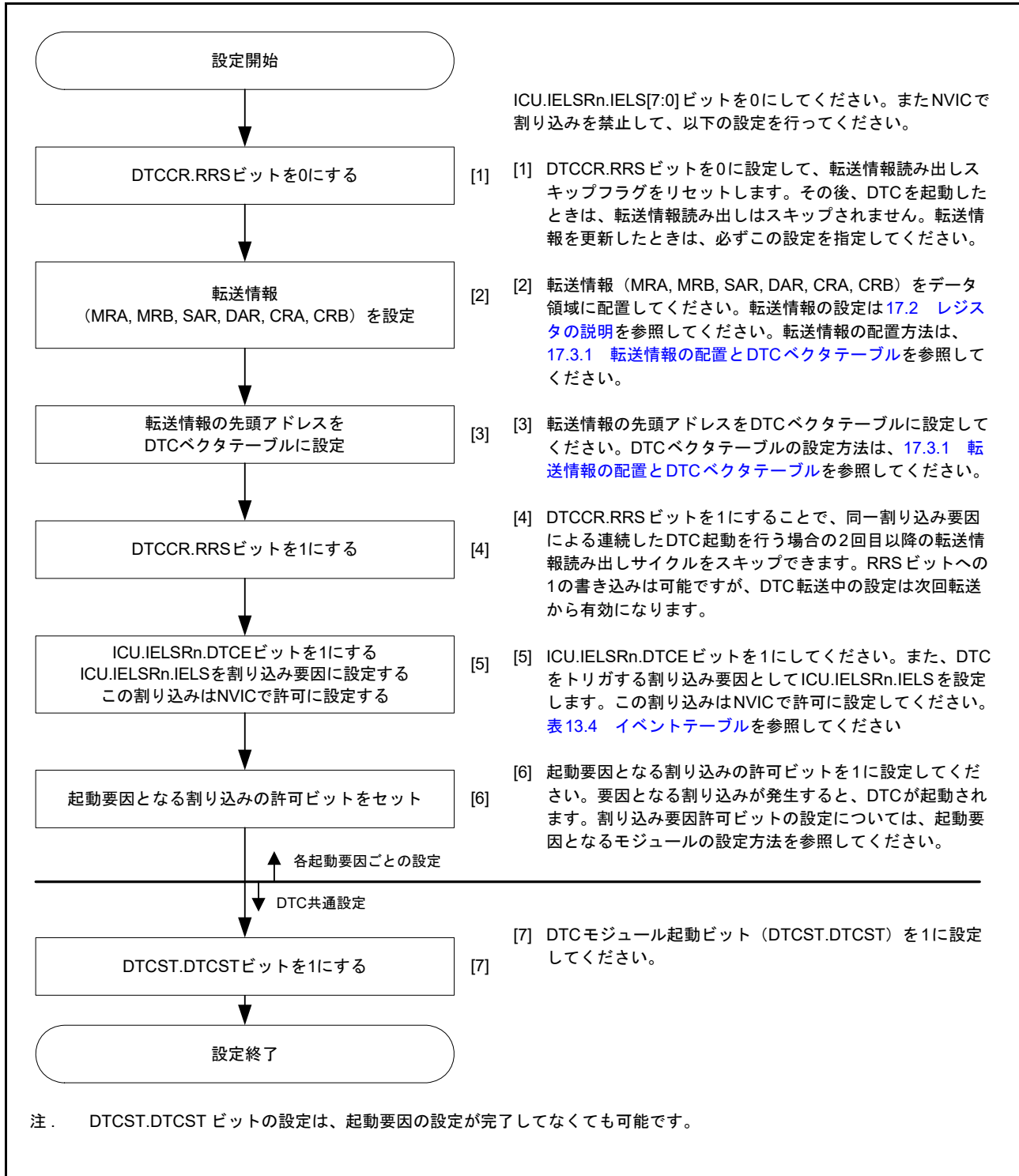


図 17.13 DTC の設定手順

17.6 DTC の使用例

17.6.1 ノーマル転送

ここでは、DTC の使用例として、SCI から 128 バイトのデータ受信を行う場合を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] ビット = 00b)、ノーマル転送モード (MRA.MD[1:0] ビット = 00b)、およびバイト転送 (MRA.SZ[1:0] ビット = 00b) を設定します。MRB レジスタには、転送先アドレスのインクリメント (MRB.DM[1:0] ビット = 10b) と、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = 0、MRB.DISEL ビット = 0) を設定します。MRB.DTS ビットは任意の値を設定できます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する SRAM 領域の開始アドレス、CRA レジスタには 128 回 (0080h) を設定します。CRB レジスタは任意の値を設定できます。

(2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の開始アドレスを、DTC のベクタテーブルに設定します。

(3) ICU の設定と DTC モジュールの起動

ICU.IELSRn.DTCE ビットを 1 にします。また、SCI 割り込みとして ICU.IELSRn.IELS ビットを設定します。この割り込みは NVIC で許可に設定する必要があります。DTCST.DTCST ビットを 1 にします。

(4) SCI の設定

SCI の SCR.RIE ビットを 1 にして RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると、受信が停止します。これに対処するため、CPU が受信エラー割り込みを受け付けられるように設定してください。

(5) DTC 転送

SCI が 1 バイトのデータ受信を完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから SRAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントが行われます。

(6) 割り込み処理

128 回のデータ転送が終了して CRA レジスタが 0 になると、CPU に対する RXI 割り込み要求が発生します。割り込み処理ルーチンで終了処理を行ってください。

17.6.2 チェーン転送

ここでは、DTC のチェーン転送の例として、汎用 PWM タイマ (GPT) によってパルスを出力する場合を示します。チェーン転送を利用して、PWM タイマのコンペア値を転送し、GPT 用 PWM タイマの周期を変更することが可能です。

チェーン転送の最初の転送には、GPTm.GTCCRC レジスタ ($m = 320 \sim 321, 162 \sim 167$) への転送用にノーマル転送モードを指定します。チェーン転送の 2 番目の転送には、GPTm.GTCCRE レジスタへの転送用にノーマル転送モードを指定します。チェーン転送の 3 番目の転送には、GPTm.GTPBR レジスタへの転送用にノーマル転送モードを指定します。これは、起動要因のクリアや指定回数の転送終了時の割り込み発生が、チェーン転送の 3 番目の転送、すなわち MRB.CHNE ビット = 0 のときの転送にのみ行われるからです。

以下の例では、DTC の起動要因として、GPT320.GTPR レジスタによるカウンタオーバーフロー割り込みの使用方法を説明します。

(1) 第 1 転送情報の設定

GPT320.GTCCRC レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] ビット = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] ビット = 00b) と、ワード転送 (MRA.SZ[1:0] ビット = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] ビット = 00b) を選択し、チェーン転送 (MRB.CHNE ビット = 1、MRB.CHNS ビット = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRC レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(2) 第 2 転送情報の設定

GPT320.GTCCRE レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] ビット = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] ビット = 00b) と、ワード転送 (MRA.SZ[1:0] ビット = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] ビット = 00b) を選択し、チェーン転送 (MRB.CHNE ビット = 1、MRB.CHNS ビット = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRE レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(3) 第 3 転送情報の設定

GPT320.GTPBR レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] ビット = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] ビット = 00b) と、ワード転送 (MRA.SZ[1:0] ビット = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] ビット = 00b) を選択し、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = 0、MRB.DISEL ビット = 0) を選択します。MRB.DTS ビットは、任意の値を設定できます。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTPBR レジスタのアドレスを設定します。

6. CRA レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(4) 転送情報の配置

GPT320.GTPBR レジスタへの転送で使用する転送情報は、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタで使用する転送制御情報のすぐ後に配置します。

(5) DTC ベクタテーブルの設定

DTC ベクタテーブルで、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへの転送で使用する転送制御情報の開始アドレスを設定します。

(6) ICU の設定と DTC モジュールの起動

1. GPT320 カウンタオーバーフロー割り込みに対応する ICU.IELSRn.DTCE ビットを設定します。
2. ICU.IELSRn.IELS[7:0] ビットを 93 (5Dh) にして、GPT320 カウンタオーバーフローを指定します。
3. DTCST.DTCST ビットを 1 にします。

(7) GPT の設定

1. GTCCRA および GTCCRB レジスタがアウトプットコンペアレジスタとして動作できるように、GPT320.GTIOR レジスタを設定します。
2. GPT320.GTCCRA レジスタと GPT320.GTCCRB レジスタには、デフォルトの PWM タイマコンペア値を設定し、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタには、次の PWM タイマコンペア値を設定します。
3. GPT320.GTPR レジスタには、デフォルトの PWM タイマ周期を設定し、GPT320.GTPBR レジスタには、次の PWM タイマ周期を設定します。
4. PmnPFS.PDR の出力ビットを 1 にして、PmnPFS.PSEL[4:0] の周辺選択ビットを 00011b にします。

(8) GPT の起動

GPT320.GTSTR.CSTRT ビットを 1 にして、GPT320.GTCNT カウンタのカウント動作を開始します。

(9) DTC 転送

GPT320.GTPR レジスタで GPT320 カウンタオーバーフローが発生するたびに、次の PWM タイマコンペア値が GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへ転送されます。また、次の PWM タイマ周期の設定値が GPT320.GTPBR レジスタへ転送されます。

(10) 割り込み処理

指定した回数の転送終了後 (たとえば、GPT 転送用 CRA レジスタの値が 0 になると)、CPU に対して GPT320 カウンタオーバーフロー割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

17.6.3 カウンタ = 0 のときのチェーン転送

第2転送は第1データ転送の転送カウンタが0になったときにだけ実行されます。第1データ転送情報は第2転送が実行されるたびに繰り返し変更されます。チェーン転送によって、256回以上のリピート転送が可能になります。

以下に、128K バイトの入力バッファを構成する例を示します。入力バッファは下位アドレスが0000h から始まるように設定されています。カウンタ=0のときのチェーン転送を図17.14に示します。

1. 第1データ転送のデータ入力用にノーマル転送モードを設定します。以下のように設定してください。
 - a. 転送元アドレス = 固定
 - b. CRAレジスタ = 0000h (65536回)
 - c. MRB.CHNEビット = 1 (チェーン転送許可)
 - d. MRB.CHNSビット = 1 (転送カウンタが0の場合のみチェーン転送を行う)
 - e. MRB.DISELビット = 0 (指定されたデータ転送の終了時、CPUへの割り込み要求が発生)
2. 第1データ転送の転送先アドレスの65536回ごとに、開始アドレスの上位8ビットアドレスを別の領域(フラッシュなど)に用意してください。たとえば、入力バッファを20 0000h ~ 21 FFFFhにする場合は、21hと20hを用意します。
3. 第2データ転送は以下のように設定してください。
 - f. 第1データ転送の転送先アドレスをリセットするため、リピート転送モード(転送元をリピート領域)に設定
 - g. 転送先として、第1転送情報領域のDARレジスタの上位8ビットを指定
 - h. MRB.CHNEビット = 0 (チェーン転送禁止)
 - i. MRB.DISELビット = 0 (指定されたデータ転送の終了時、CPUへの割り込み要求が発生)
 - j. 入力バッファを20 0000h ~ 21 FFFFhにした場合は、転送カウンタ = 2
4. 1回の割り込みで、第1データ転送が65536回実行されます。第1データ転送の転送カウンタが0になると、第2データ転送がスタートします。第1データ転送の転送先アドレスの上位8ビットを21hにしてください。転送先アドレスの下位16ビットおよび第1データ転送の転送カウンタは0000hになっています。
5. 引き続き1回の割り込みで、第1データ転送用に指定された65536回だけ、第1データ転送が実行されます。第1データ転送の転送カウンタが0になると、第2データ転送がスタートします。第1データ転送の転送先アドレスの上位8ビットを20hにしてください。転送先アドレスの下位16ビットおよび第1データ転送の転送カウンタは0000hになっています。
6. 手順4と5が無限に繰り返されます。第2データ転送はリピート転送モードのため、CPUへの割り込み要求は発生しません。

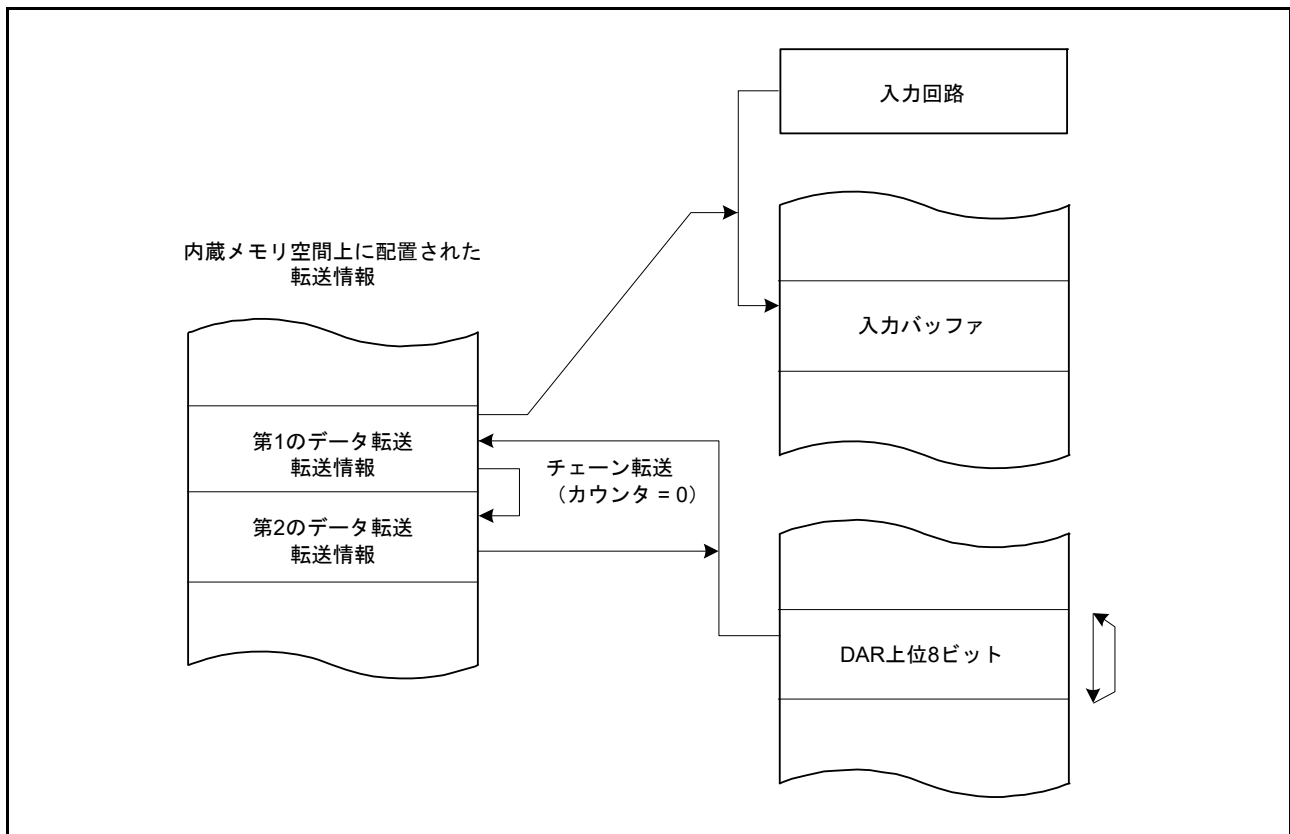


図 17.14 カウンタ = 0 のときのチェーン転送

17.7 割り込み要因

DTC が指定された回数のデータ転送を完了したとき、または MRB.DISEL ビットが 1 の状態でデータ転送が完了したとき、DTC の起動要因によって CPU に対する割り込みが発生します。CPU に対する割り込みは、NVIC および ICU.IELSRn.IELS[7:0] ビットの設定に従って制御されます。「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

DTC が決定する起動要因の優先順位は、割り込みベクタ番号が小さいほど高くなります。CPU への割り込みの優先順位は、NVIC の優先順位で決定されます。

17.8 イベントリンク

1 転送要求分の転送完了時に、DTC はイベントリンク要求を出力できます。

17.9 スヌーズ制御インタフェース

DTC によってスヌーズモードからソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR.DTCZRED または SYSTEM.SNZEDCR.DTCNZRED を 1 にしてください。[10.8.3 ソフトウェアスタンバイモードへの復帰](#)を参照してください。

SYSTEM.SNZEDCR.DTCZRED は、最後の DTC 送信完了 (CRA と CRB が 0 であることによって検出) 時に、スヌーズ終了要求を許可または禁止にします。

SYSTEM.SNZEDCR.DTCNZRED は、最後以外の DTC 送信完了 (CRA と CRB が 0 以外であることによって検出) 時に、スヌーズ終了要求を許可または禁止にします。

17.10 モジュールストップ機能

モジュールストップ状態へ遷移、またはスヌーズモードへの遷移を伴わないソフトウェアスタンバイモードへ遷移する際は、事前に DTCST.DTCST ビットを 0 にしてください。その後、本項に示す次の動作を実行してください。SYSTEM.SNZCR.SNZDTCEN ビットを 1 にすると、DTC はスヌーズモードでも利用可能です。「10. 低消費電力モード」を参照してください。

(1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書いたときに DTC 転送が動作中の場合、DTC 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のときは、DTC のレジスタにアクセスしないでください。MSTPCRA.MSTPA22 ビットに 0 を書くことで、DTC のモジュールストップ状態が解除されます。

(2) ソフトウェアスタンバイモード

10.7.1 ソフトウェアスタンバイモードへの遷移の手順に従って設定してください。

WFI 命令実行時点で DTC 転送が動作中の場合、DTC 転送が終了してからソフトウェアスタンバイモードへ遷移します。

ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。10.8.1 スヌーズモードへの遷移を参照してください。スヌーズモード時の DTC の動作は、SYSTEM.SNZCR.SNZDTCEN ビットで選択できます。スヌーズモード時に DTC 動作を許可にする場合、ソフトウェアスタンバイモードへ遷移する前に、DTCST.DTCST ビットを 1 にしてください。DTC によってソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR.DTCZRED または SYSTEM.SNZEDCR.DTCNZRED を 1 にしてください。10.8.3 ソフトウェアスタンバイモードへの復帰を参照してください。ソフトウェアスタンバイモード中は ICU からの DTC 起動要求は停止しますが、スヌーズモード中は停止しません。

(3) モジュールストップ機能の注意事項

WFI 命令とレジスタの設定手順については、「10. 低消費電力モード」を参照してください。

スヌーズモードへ遷移しないで低消費電力モードから復帰した後に DTC 転送を行うには、再度 DTCST.DTCST ビットを 1 にしてください。

ソフトウェアスタンバイモード時に発生した要求を、DTC 起動要求ではなく CPU への割り込み要求として使用する場合は、13.4.2 割り込み要求先の選択に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。スヌーズモード時に DTC 動作を許可する場合、DTC のモジュールストップ機能を使用しないでください。

17.11 使用上の注意事項

17.11.1 転送情報の開始アドレス

ベクタテーブルに指定する転送情報の開始アドレスは 4n 番地でなければいけません。4n 番地以外を指定すると、アドレスの最下位 2 ビットは 00b としてアクセスされます。

18. イベントリンクコントローラ (ELC)

18.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 18.1 に ELC の仕様を、図 18.1 にブロック図を示します。

表 18.1 ELC の仕様

項目	内容
イベントリンク機能	150種類のイベント信号を、直接モジュールに接続可能。ELCイベント信号と、DTC起動用のイベントの発生が可能
モジュールストップ機能	モジュールストップ状態に設定

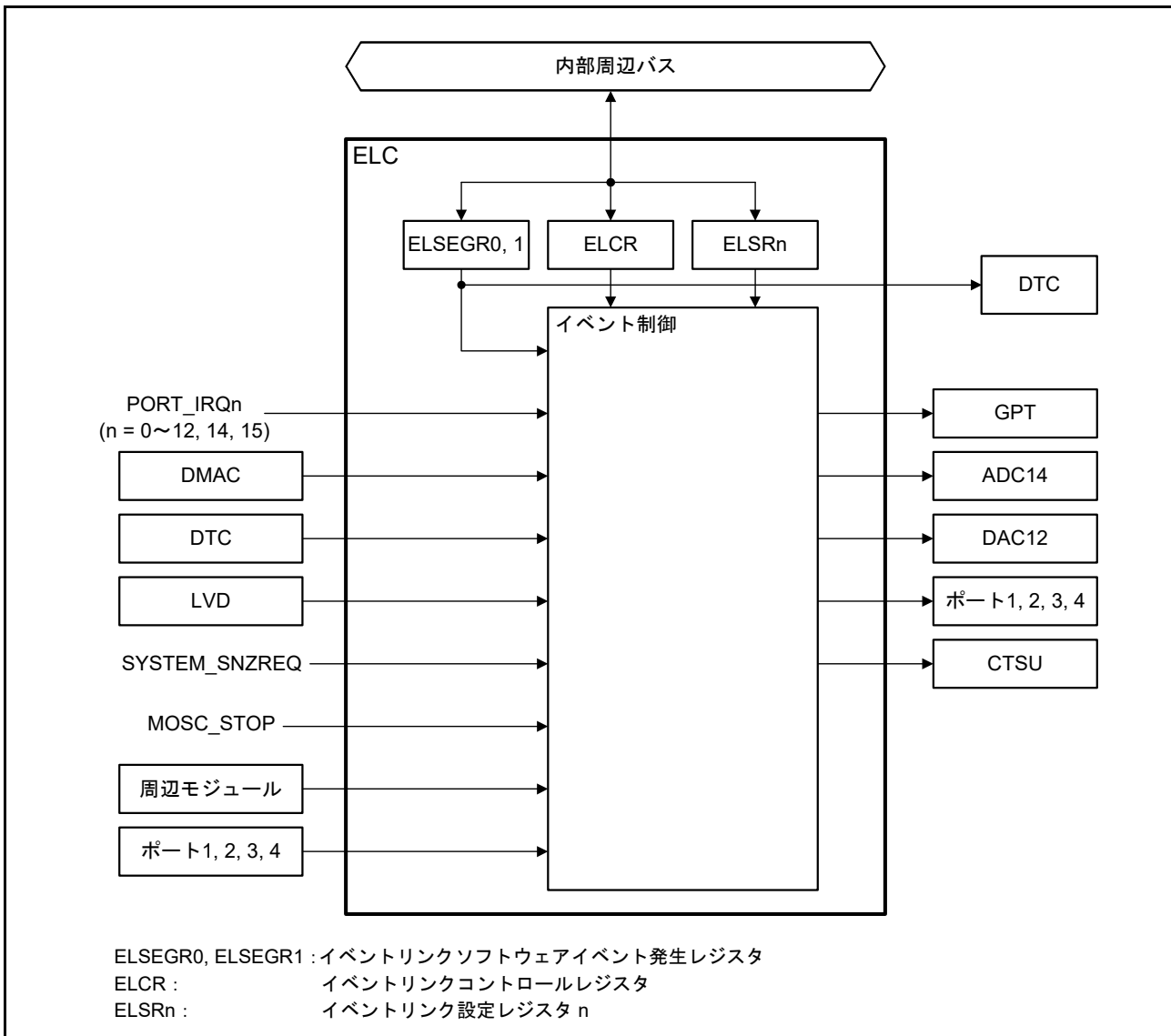


図 18.1 ELC のブロック図 (n = 0 ~ 9、12、14 ~ 18)

18.2 レジスタの説明

18.2.1 イベントリンクコントローラレジスタ (ELCR)

アドレス [ELC.ELCR 4004 1000h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	ELCON	全イベントリンク有効	0 : ELC機能は無効 1 : ELC機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

18.2.2 イベントリンクソフトウェアイベント発生レジスタ n (ELSEGRn) (n = 0, 1)

アドレス ELC.ELSEGR0 4004 1002h, ELC.ELSEGR1 4004 1004h

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生	0: 通常動作 1: ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	WE	SEGビット書き込み許可	0: SEGビットへの書き込み禁止 1: SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止	0: ELSEGRレジスタへの書き込み許可 1: ELSEGRレジスタへの書き込み禁止	W

SEG ビット (ソフトウェアイベント発生)

WE ビットが1の状態では本ビットに1を書くとソフトウェアイベントが発生します。読むと0が読めません。1を書いてもデータは格納されません。WE ビットを1にしてから、本ビットを書く必要があります。

ソフトウェアイベントは、DTC に対してイベントリンクをトリガすることが可能です。

WE ビット (SEG ビット書き込み許可)

WE ビットが1の場合にのみ、SEG ビットへの書き込みが可能になります。WI ビットを0にクリアしてから、本ビットを書く必要があります。

[1になる条件]

- WI ビットが0の状態では1を書いたとき

[0になる条件]

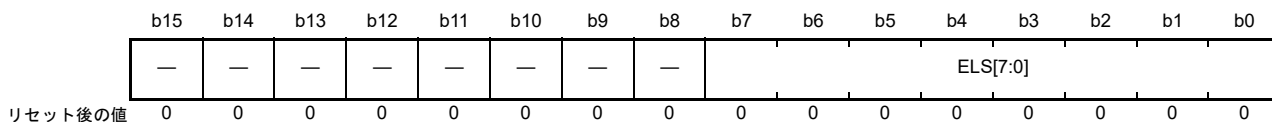
- WI ビットが0の状態では0を書いたとき

WI ビット (ELSEGR レジスタ書き込み禁止)

WI ビットへの書き込み値が0の場合にのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと1が読めます。WI ビットを0にしてから、WE または SEG ビットを設定する必要があります。

18.2.3 イベントリンク設定レジスタ n (ELSRn) (n = 0 ~ 9, 12, 14 ~ 18)

アドレス [ELC.ELSR0 4004 1010h](#), [ELC.ELSR1 4004 1014h](#), [ELC.ELSR2 4004 1018h](#), [ELC.ELSR3 4004 101Ch](#), [ELC.ELSR4 4004 1020h](#),
[ELC.ELSR5 4004 1024h](#), [ELC.ELSR6 4004 1028h](#), [ELC.ELSR7 4004 102Ch](#), [ELC.ELSR8 4004 1030h](#), [ELC.ELSR9 4004 1034h](#),
[ELC.ELSR12 4004 1040h](#), [ELC.ELSR14 4004 1048h](#), [ELC.ELSR15 4004 104Ch](#), [ELC.ELSR16 4004 1050h](#), [ELC.ELSR17 4004 1054h](#),
[ELC.ELSR18 4004 1058h](#)



ビット	シンボル	ビット名	機能	R/W
b7-b0	ELS[7:0]	イベントリンク選択	b7 b0 00000000 : 対応する周辺モジュールへのイベント出力は禁止 00000001 ~ 10110110 : リンクするイベント信号の番号を指定 上記以外は設定しないでください。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応関係を [表 18.2](#) に示します。また、ELSRn レジスタに設定するイベント信号名と信号番号の対応関係を [表 18.3](#) に示します。

表 18.2 ELSRn レジスタと周辺機能の対応

レジスタ名	周辺機能 (モジュール)	イベント名
ELSR0	GPT (A)	ELC_GPTA
ELSR1	GPT (B)	ELC_GPTB
ELSR2	GPT (C)	ELC_GPTC
ELSR3	GPT (D)	ELC_GPTD
ELSR4	GPT (E)	ELC_GPTE
ELSR5	GPT (F)	ELC_GPTF
ELSR6	GPT (G)	ELC_GPTG
ELSR7	GPT (H)	ELC_GPTH
ELSR8	ADC14A	ELC_AD00
ELSR9	ADC14B	ELC_AD01
ELSR12	DAC12	ELC_DA0
ELSR14	PORT 1	ELC_PORT1
ELSR15	PORT 2	ELC_PORT2
ELSR16	PORT 3	ELC_PORT3
ELSR17	PORT 4	ELC_PORT4
ELSR18	CTSU	ELC_CTSU

表 18.3 ELSRn.ELSビットに設定するイベント信号名と信号番号の対応関係 (1/4)

イベント番号	割り込み要求の発生元	名称	内容
001h	ポート	PORT_IRQ0 (注1)	外部端子割り込み0
002h		PORT_IRQ1 (注1)	外部端子割り込み1
003h		PORT_IRQ2 (注1)	外部端子割り込み2
004h		PORT_IRQ3 (注1)	外部端子割り込み3
005h		PORT_IRQ4 (注1)	外部端子割り込み4
006h		PORT_IRQ5 (注1)	外部端子割り込み5
007h		PORT_IRQ6 (注1)	外部端子割り込み6
008h		PORT_IRQ7 (注1)	外部端子割り込み7
009h		PORT_IRQ8 (注1)	外部端子割り込み8
00Ah		PORT_IRQ9 (注1)	外部端子割り込み9
00Bh		PORT_IRQ10 (注1)	外部端子割り込み10
00Ch		PORT_IRQ11 (注1)	外部端子割り込み11
00Dh		PORT_IRQ12 (注1)	外部端子割り込み12
00Fh		PORT_IRQ14 (注1)	外部端子割り込み14
010h		PORT_IRQ15 (注1)	外部端子割り込み15
011h	DMAC0	DMAC0_INT	DMAC転送終了0
012h	DMAC1	DMAC1_INT	DMAC転送終了1
013h	DMAC2	DMAC2_INT	DMAC転送終了2
014h	DMAC3	DMAC3_INT	DMAC転送終了3
016h	DTC	DTC_DTCEND (注3)	DTC転送終了
019h	LVD	LVD_LVD1	電圧監視1割り込み
01Ah		LVD_LVD2	電圧監視2割り込み
01Ch	MOSC	MOSC_STOP	メインクロック発振停止
01Dh	低消費電力モード	SYSTEM_SNZREQ (注2) (注3)	スヌーズエントリ
01Eh	AGT0	AGT0_AGTI	AGT割り込み
01Fh		AGT0_AGTCMAI	コンペアマッチA
020h		AGT0_AGTCMBI	コンペアマッチB
021h	AGT1	AGT1_AGTI	AGT割り込み
022h		AGT1_AGTCMAI	コンペアマッチA
023h		AGT1_AGTCMBI	コンペアマッチB
024h	IWDT	IWDT_NMIUNDF	IWDTアンダーフロー
025h	WDT	WDT_NMIUNDF	WDTアンダーフロー
027h	RTC	RTC_PRD	周期割り込み
029h	ADC140	ADC140_ADI	A/Dスキャン変換終了割り込み
02Dh		ADC140_WCMPPM (注3)	コンペアマッチ
02Eh		ADC140_WCMPUM (注3)	コンペア不一致
02Fh	ACMPLP	ACMP_LP0	低消費電力アナログコンパレータ割り込み0
030h		ACMP_LP1	低消費電力アナログコンパレータ割り込み1
035h	IIC0	IIC0_RXI	受信データフル
036h		IIC0_TXI	送信データエンプティ
037h		IIC0_TEI	送信終了
038h		IIC0_EEI	通信エラー

表 18.3 ELSRn.ELSビットに設定するイベント信号名と信号番号の対応関係 (2/4)

イベント番号	割り込み要求の発生元	名称	内容
03Ah	IIC1	IIC1_RXI	受信データフル
03Bh		IIC1_TXI	送信データエンプティ
03Ch		IIC1_TEI	送信終了
03Dh		IIC1_EEI	通信エラー
046h	DOC	DOC_DOPCI (注3)	データ演算回路割り込み
04Fh	I/Oポート	IOPORT_GROUP1	ポート1イベント
050h		IOPORT_GROUP2	ポート2イベント
051h		IOPORT_GROUP3	ポート3イベント
052h		IOPORT_GROUP4	ポート4イベント
053h	ELC	ELC_SWEVT0	ソフトウェアイベント0
054h		ELC_SWEVT1	ソフトウェアイベント1
057h	GPT320	GPT0_CCMPA	コンペアマッチA
058h		GPT0_CCMPB	コンペアマッチB
059h		GPT0_CMPC	コンペアマッチC
05Ah		GPT0_CMPD	コンペアマッチD
05Bh		GPT0_CMPE	コンペアマッチE
05Ch		GPT0_CMPF	コンペアマッチF
05Dh		GPT0_OVF	オーバーフロー
05Eh		GPT0_UDF	アンダーフロー
05Fh	GPT321	GPT1_CCMPA	コンペアマッチA
060h		GPT1_CCMPB	コンペアマッチB
061h		GPT1_CMPC	コンペアマッチC
062h		GPT1_CMPD	コンペアマッチD
063h		GPT1_CMPE	コンペアマッチE
064h		GPT1_CMPF	コンペアマッチF
065h		GPT1_OVF	オーバーフロー
066h		GPT1_UDF	アンダーフロー
067h	GPT162	GPT2_CCMPA	コンペアマッチA
068h		GPT2_CCMPB	コンペアマッチB
069h		GPT2_CMPC	コンペアマッチC
06Ah		GPT2_CMPD	コンペアマッチD
06Bh		GPT2_CMPE	コンペアマッチE
06Ch		GPT2_CMPF	コンペアマッチF
06Dh		GPT2_OVF	オーバーフロー
06Eh		GPT2_UDF	アンダーフロー
06Fh	GPT163	GPT3_CCMPA	コンペアマッチA
070h		GPT3_CCMPB	コンペアマッチB
071h		GPT3_CMPC	コンペアマッチC
072h		GPT3_CMPD	コンペアマッチD
073h		GPT3_CMPE	コンペアマッチE
074h		GPT3_CMPF	コンペアマッチF
075h		GPT3_OVF	オーバーフロー
076h		GPT3_UDF	アンダーフロー

表 18.3 ELSRn.ELSビットに設定するイベント信号名と信号番号の対応関係 (3/4)

イベント番号	割り込み要求の発生元	名称	内容
077h	GPT164	GPT4_CCMPA	コンペアマッチA
078h		GPT4_CCMPB	コンペアマッチB
079h		GPT4_CMPC	コンペアマッチC
07Ah		GPT4_CMPD	コンペアマッチD
07Bh		GPT4_CMPE	コンペアマッチE
07Ch		GPT4_CMPF	コンペアマッチF
07Dh		GPT4_OVF	オーバーフロー
07Eh		GPT4_UDF	アンダーフロー
07Fh		GPT165	GPT5_CCMPA
080h	GPT5_CCMPB		コンペアマッチB
081h	GPT5_CMPC		コンペアマッチC
082h	GPT5_CMPD		コンペアマッチD
083h	GPT5_CMPE		コンペアマッチE
084h	GPT5_CMPF		コンペアマッチF
085h	GPT5_OVF		オーバーフロー
086h	GPT5_UDF		アンダーフロー
087h	GPT166		GPT6_CCMPA
088h		GPT6_CCMPB	コンペアマッチB
089h		GPT6_CMPC	コンペアマッチC
08Ah		GPT6_CMPD	コンペアマッチD
08Bh		GPT6_CMPE	コンペアマッチE
08Ch		GPT6_CMPF	コンペアマッチF
08Dh		GPT6_OVF	オーバーフロー
08Eh		GPT6_UDF	アンダーフロー
08Fh		GPT167	GPT7_CCMPA
090h	GPT7_CCMPB		コンペアマッチB
091h	GPT7_CMPC		コンペアマッチC
092h	GPT7_CMPD		コンペアマッチD
093h	GPT7_CMPE		コンペアマッチE
094h	GPT7_CMPF		コンペアマッチF
095h	GPT7_OVF		オーバーフロー
096h	GPT7_UDF		アンダーフロー
097h	GPT		GPT_UVWEDGE
098h	SCI0	SCI0_RXI (注4)	受信データフル
099h		SCI0_TXI (注4)	送信データエンプティ
09Ah		SCI0_TEI	送信終了
09Bh		SCI0_ERI (注4)	受信エラー
09Ch		SCI0_AM	アドレス一致イベント
09Eh	SCI1	SCI1_RXI (注4)	受信データフル
09Fh		SCI1_TXI (注4)	送信データエンプティ
0A0h		SCI1_TEI	送信終了
0A1h		SCI1_ERI (注4)	受信エラー
0A2h		SCI1_AM	アドレス一致イベント

表 18.3 ELSRn.ELSビットに設定するイベント信号名と信号番号の対応関係 (4/4)

イベント番号	割り込み要求の発生元	名称	内容
0A3h	SCI2	SCI2_RXI	受信データフル
0A4h		SCI2_TXI	送信データエンプティ
0A5h		SCI2_TEI	送信終了
0A6h		SCI2_ERI	受信エラー
0A7h		SCI2_AM	アドレス一致イベント
0A8h	SCI9	SCI9_RXI	受信データフル
0A9h		SCI9_TXI	送信データエンプティ
0AAh		SCI9_TEI	送信終了
0ABh		SCI9_ERI	受信エラー
0ACh		SCI9_AM	アドレス一致イベント
0ADh	SPI0	SPI0_SPRI	受信バッファフル
0AEh		SPI0_SPTI	送信バッファエンプティ
0AFh		SPI0_SPII	アイドル
0B0h		SPI0_SPEI	エラー
0B1h		SPI0_SPTEND	送信完了イベント
0B2h	SPI1	SPI1_SPRI	受信バッファフル
0B3h		SPI1_SPTI	送信バッファエンプティ
0B4h		SPI1_SPII	アイドル
0B5h		SPI1_SPEI	エラー
0B6h		SPI1_SPTEND	送信完了イベント

- 注 1. パルス（エッジ検出）のみがサポートされています。
- 注 2. ELSR8、9、および ELSR14 ~ ELSR18 が、このイベントを選択できます。
- 注 3. このイベントはスヌーズモードでも発生可能です。
- 注 4. このイベントは FIFO モードではサポートされていません。

18.3 動作説明

18.3.1 割り込み処理とイベントリンクの関係

イベントリンクのイベント番号は、対応する割り込み要因のイベント番号と同一です。イベント信号の発生方法については、各イベント出力元モジュールの章を参照してください。

18.3.2 イベントのリンク

イベントリンク設定レジスタ (ELSRn) に設定しておいたイベントが発生すると、対応するモジュールが起動します。ELC がモジュール起動する場合は、モジュールの動作設定を事前に完了しておく必要があります。表 18.4 に、イベントが発生したときのモジュール別動作一覧を示します。

表 18.4 イベント発生時のモジュールの動作

モジュール	イベント発生時の動作
GPT	<ul style="list-style-type: none"> • カウント開始 • カウント停止 • カウントクリア • アップカウント • ダウンカウント • インプットキャプチャ
ADC14	A/D 変換開始
DAC12	D/A 変換開始
I/Oポート	<ul style="list-style-type: none"> • EORR (リセット) または EOSR (セット) に基づく端子出力の変化 • 端子状態を EIDR にラッチ • ELC で使用可能なポート : PORT 1 PORT 2 PORT 3 PORT 4
CTSU	測定動作開始
DTC	DTC データ転送開始

18.3.3 イベントリンクの動作設定手順例

イベントのリンク方法は以下のとおりです。

1. イベントをリンクするモジュールの動作設定を行います。
2. イベントをリンクするモジュールに対して、ELSRn レジスタを設定します。
3. ELCR.ELCON ビットを 1 にして、すべてのイベントリンクを有効にします。
4. イベント出力元モジュールの設定を行い、起動させます。これによって、2つのモジュール間のリンクがアクティブになります。
5. モジュール単位でイベントリンク動作を停止させるには、そのモジュールに対応する ELSRn.ELS[7:0] ビットを 00000000b にします。すべてのイベントリンクを停止させるには、ELCR.ELCON ビットを 0 にします。

RTC のイベントリンク出力機能を使用する場合は、RTC の設定 (初期化、時刻設定など) を行った後、ELC を設定してください。ELC の設定後に RTC の設定を行うと、意図しないイベント出力が発生する可能性があります。

18.4 使用上の注意事項

18.4.1 DMAC または DTC 転送終了のイベントリンクを使用する場合

DMAC または DTC 転送終了のイベントリンクを使用する場合、DMAC または DTC の転送先とイベントのリンク先を同一周辺モジュールに設定しないでください。設定すると、周辺モジュールへの DMAC または DTC 転送が完了する前に、周辺モジュールが起動する場合があります。

18.4.2 クロック設定について

イベントリンクを使用するには、ELC と対象モジュールが動作可能な状態でなければいけません。対象モジュールがモジュールストップ状態の場合、または、対象モジュールが停止するような低消費電力モード（ソフトウェアスタンバイモード）の場合、そのモジュールは動作できません。モジュールによっては、スヌーズモードで動作できるものもあります。詳細については、表 18.3 と「10. 低消費電力モード」を参照してください。

18.4.3 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、ELC 動作を許可または禁止することが可能です。リセット後の初期状態では、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタを用いて ELC の動作を禁止する場合は、事前に ELCON ビットを 0 にする必要があります。詳細は、「10. 低消費電力モード」を参照してください。

18.4.4 ELC 遅延時間

図 18.2 に示すように、モジュール A は ELC を介してモジュール B にアクセスします。モジュール A とモジュール B の間には、ELC モジュールでの遅延時間（ELC 遅延時間）が存在します。表 18.5 に ELC 遅延時間を示します。

モジュール A とモジュール B のクロックドメインが同一であれば、遅延時間は 0 です。しかし、モジュール A とモジュール B のクロックドメインが異なっていれば、ELC モジュールにある程度の遅延が生じます。この遅延時間は、モジュール A とモジュール B の各クロックのうち遅い方のクロック周波数で決まります。

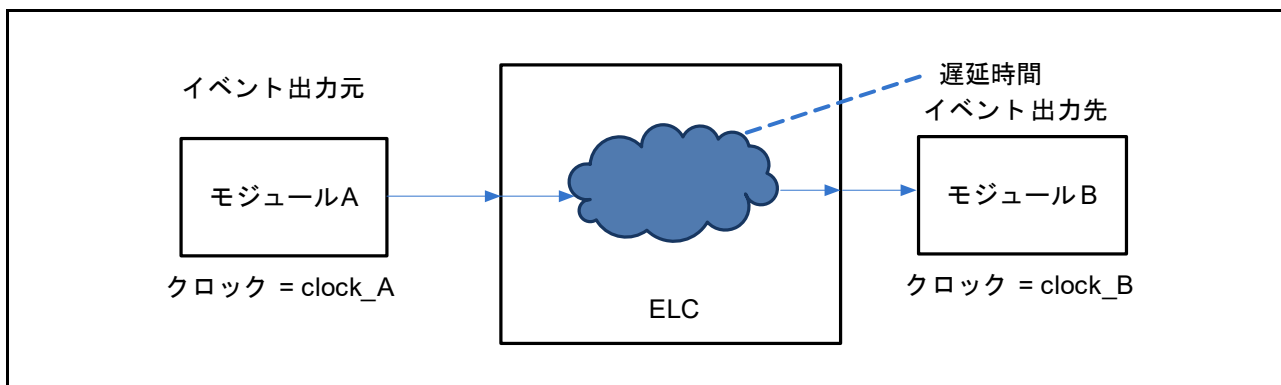


図 18.2 ELC 遅延時間

表 18.5 ELC 遅延時間

クロックドメイン	クロック周波数	ELC 遅延時間
Clock_A = Clock_B	Clock_A = Clock_B	0 サイクル
Clock_A ≠ Clock_B	Clock_A = Clock_B	1~2 サイクル
	Clock_A > Clock_B	B の 1~2 サイクル
	Clock_A < Clock_B	A の 1~2 サイクル

19. I/Oポート

19.1 概要

I/Oポート端子は、汎用入出力ポート端子、周辺モジュールの入出力端子、割り込み入力端子、アナログ入出力、ELCのポートグループ機能、またはバス制御端子として動作します。すべての端子は、リセット直後は入力端子として動作しますが、レジスタの設定によって機能を切り替えることができます。各端子のI/Oポートと周辺モジュールは、対応するレジスタで設定します。

図 19.1 に、I/Oポートレジスタの接続図を示します。パッケージによってI/Oポートの構成は異なります。表 19.1 にI/Oポートの仕様を、表 19.2 にI/Oポートの機能を示します。

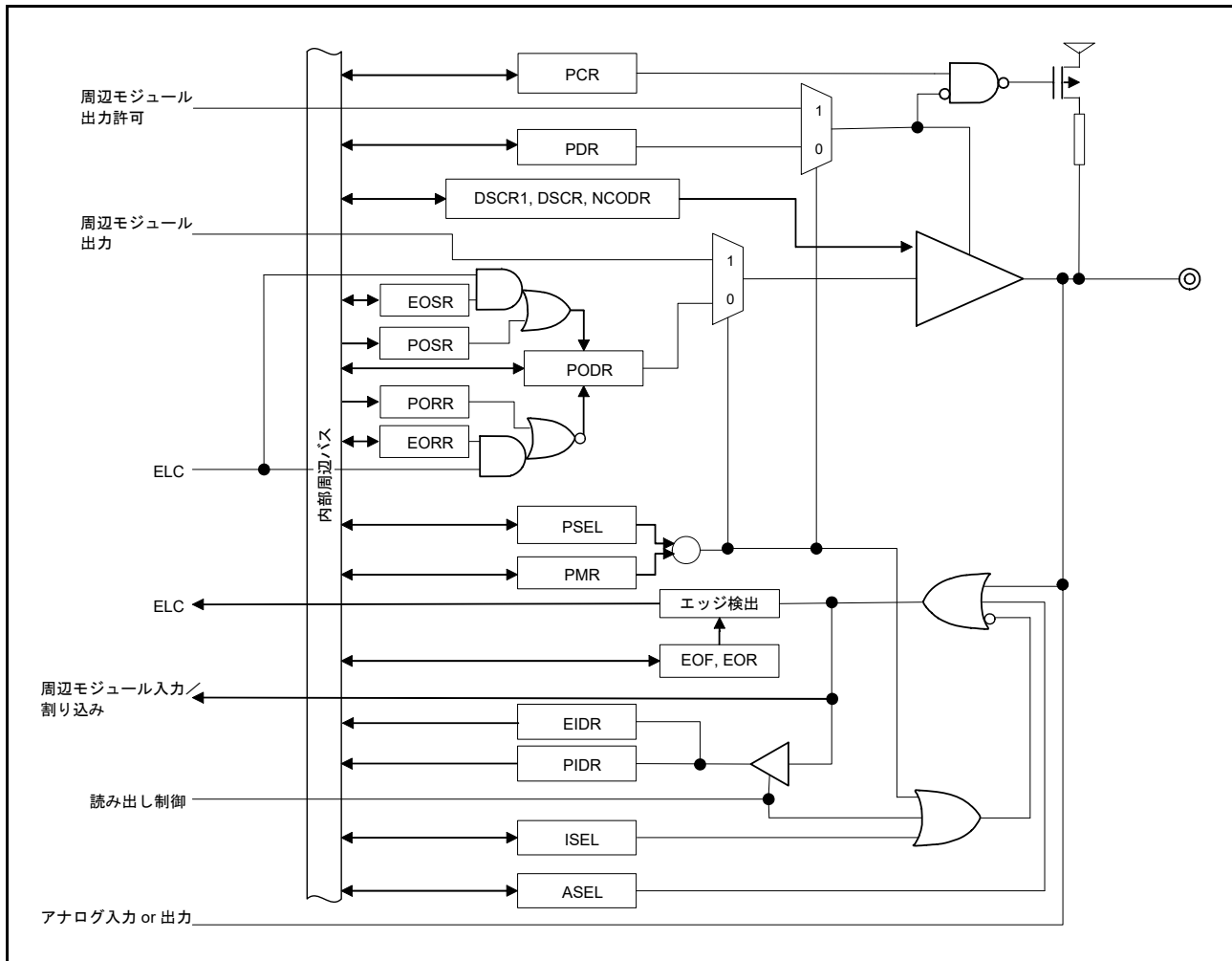


図 19.1 I/Oポートレジスタの接続図

注. 図 19.1 はポートの基本構成を示しています。ポートによって構成は異なります。

表 19.1 I/Oポートの仕様

ポート	パッケージ		パッケージ		パッケージ		パッケージ	
	100ピン	本数	64ピン	本数	48ピン	本数	40ピン	本数
ポート0	P000～P008, P010～P015	15	P000～P004, P010～P015	11	P000～P002, P010～P015	9	P000, P001, P010～P015	8
ポート1	P100～P115	16	P100～P113	14	P100～P104, P108～P112	10	P100～P102, P108～P112	8
ポート2	P200～P206, P212～P215	11	P200, P201, P204～P206, P212～P215	9	P200, P201, P206, P212～P215	7	P200, P201, P212～P215	6
ポート3	P300～P307	8	P300～P304	5	P300～P302	3	P300, P301	2
ポート4	P400～P415	16	P400～P402, P407～P411	8	P400, P407～P409	4	P407, P408	2
ポート5	P500～P505	6	P500～P502	3	P500	1	なし	0
ポート6	P600～P603, P608～P610	7	なし	0	なし	0	なし	0
ポート7	P708	1	なし	0	なし	0	なし	0
ポート8	P808, P809	2	なし	0	なし	0	なし	0
ポート9	P914, P915	2	P914, P915	2	P914, P915	2	P914, P915	2
合計本数		84	合計本数	52	合計本数	36	合計本数	28

表 19.2 I/Oポートの機能

ポート	ポート名	入力プルアップ	オープン ドレイン出力	駆動能力切り替え	5Vトレラント
ポート0	P000～P008, P010～P015	○	—	低/中	—
ポート1	P100～P115	○	○	低/中	—
ポート2	P200, P214, P215	—	—	—	—
	P201～P204	○	○	低/中	—
	P205, P206	○	○	低/中	○
	P212, P213	○	○	—	—
ポート3	P300～P307	○	○	低/中	—
ポート4	P400～P404, P407	○	○	低/中	○
	P405, P406, P409～P415	○	○	低/中	—
	P408	○	○	低/中/中 (IIC)	○
ポート5	P500～P505	○	○	低/中	—
ポート6	P600～P603, P608～P610	○	○	低/中	—
ポート7	P708	○	○	低/中	—
ポート8	P808, P809	○	○	低/中	—
ポート9	P914, P915	—	—	—	—

○ : 使用可能

— : 設定禁止

19.2 レジスタの説明

19.2.1 ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR)

アドレス PORT0.PCNTR1 4004 0000h, PORT1.PCNTR1 4004 0020h, PORT2.PCNTR1 4004 0040h, PORT3.PCNTR1 4004 0060h, PORT4.PCNTR1 4004 0080h, PORT5.PCNTR1 4004 00A0h, PORT6.PCNTR1 4004 00C0h, PORT7.PCNTR1 4004 00E0h, PORT8.PCNTR1 4004 0100h, PORT9.PCNTR1 4004 0120h

PORT0.PODR 4004 0000h, PORT1.PODR 4004 0020h, PORT2.PODR 4004 0040h, PORT3.PODR 4004 0060h, PORT4.PODR 4004 0080h, PORT5.PODR 4004 00A0h, PORT6.PODR 4004 00C0h, PORT7.PODR 4004 00E0h, PORT8.PODR 4004 0100h, PORT9.PODR 4004 0120h,

PORT0.PDR 4004 0002h, PORT1.PDR 4004 0022h, PORT2.PDR 4004 0042h, PORT3.PDR 4004 0062h, PORT4.PDR 4004 0082h, PORT5.PDR 4004 00A2h, PORT6.PDR 4004 00C2h, PORT7.PDR 4004 00E2h, PORT8.PDR 4004 0102h, PORT9.PDR 4004 0122h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PODR 15	PODR 14	PODR 13	PODR 12	PODR 11	PODR 10	PODR 09	PODR 08	PODR 07	PODR 06	PODR 05	PODR 04	PODR 03	PODR 02	PODR 01	PODR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	PDR09	PDR08	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PDRn	Pmn 方向	0 : 入力 (入力端子として機能) 1 : 出力 (出力端子として機能)	R/W
b31-b16	PODRn	Pmn 出力データ	0 : Low 出力 1 : High 出力	R/W

m = 0 ~ 9

n = 00 ~ 15

ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR) は、32 ビットおよび 16 ビットの読み出し/書き込み可能なレジスタで、ポート方向およびポート出力データを制御します。

PCNTR1 はポート方向とポート出力データを指定し、32 ビット単位でアクセスされます。PODRn (PCNTR1 のビット [31:16]) および PDRn (PCNTR1 のビット [15:0]) はそれぞれ 16 ビット単位でアクセスされます。

PDRn ビット (Pmn 方向)

PDRn ビットは、汎用入出力端子として設定されている個々のポート端子の入力/出力方向を選択します。ポート m の各端子はそれぞれ PORTm.PCNTR1.PDRn ビットに対応しています。入出力方向は 1 ビット単位で指定できます。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。P200、P214、P215 は入力専用です。そのため PORT2.PCNTR1.PDR00、PORT2.PCNTR1.PDR14、および PORT2.PCNTR1.PDR15 は予約ビットです。PORTm.PCNTR1 レジスタの PDRn ビットは、PFS.PmnPFS レジスタの PDR ビットと同じ働きをします。

PODRn ビット (Pmn 出力データ)

PODRn ビットは、汎用入出力端子から出力されるデータを格納します。存在しないポート m のビットは予約ビットです。これらのビットには 0 を書いてください。存在しない端子のビットは予約ビットです。P200、P214、P215 は入力専用なので、PORT2.PCNTR1.PODR00、PORT2.PCNTR1.PODR14、および PORT2.PCNTR1.PODR15 は予約ビットです。予約ビットは、読むと 0 が読めます。書く場合、0 としてください。PORTm.PCNTR1 レジスタの PODRn ビットは、PFS.PmnPFS レジスタの PODR ビットと同じ働きをします。

19.2.2 ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR)

アドレス PORT0.PCNTR2 4004 0004h, PORT1.PCNTR2 4004 0024h, PORT2.PCNTR2 4004 0044h, PORT3.PCNTR2 4004 0064h, PORT4.PCNTR2 4004 0084h, PORT5.PCNTR2 4004 00A4h, PORT6.PCNTR2 4004 00C4h, PORT7.PCNTR2 4004 00E4h, PORT8.PCNTR2 4004 0104h, PORT9.PCNTR2 4004 0124h

PORT1.EIDR 4004 0024h, PORT2.EIDR 4004 0044h, PORT3.EIDR 4004 0064h, PORT4.EIDR 4004 0084h,

PORT0.PIDR 4004 0006h, PORT1.PIDR 4004 0026h, PORT2.PIDR 4004 0046h, PORT3.PIDR 4004 0066h, PORT4.PIDR 4004 0086h, PORT5.PIDR 4004 00A6h, PORT6.PIDR 4004 00C6h, PORT7.PIDR 4004 00E6h, PORT8.PIDR 4004 0106h, PORT9.PIDR 4004 0126h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EIDR15	EIDR14	EIDR13	EIDR12	EIDR11	EIDR10	EIDR09	EIDR08	EIDR07	EIDR06	EIDR05	EIDR04	EIDR03	EIDR02	EIDR01	EIDR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIDR15	PIDR14	PIDR13	PIDR12	PIDR11	PIDR10	PIDR09	PIDR08	PIDR07	PIDR06	PIDR05	PIDR04	PIDR03	PIDR02	PIDR01	PIDR00
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b15-b0	PIDRn	Pmn 状態	0 : Low レベル 1 : High レベル	R
b31-b16	EIDRn	ポートイベント入力データ (注1)	ELC_PORTxの発生時 : 0 : Low 入力 1 : High 入力	R

m = 0 ~ 9

n = 00 ~ 15

x = 1 ~ 4

注1. ポート 1 ~ 4 に対応しています。

ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR) は、32 ビットおよび 16 ビット単位での、Pmn 状態およびポートイベント入力データへのリードアクセスを可能にします。

PCNTR2 は、Pmn 状態およびポートイベント入力データを設定し、32 ビット単位でアクセスされます。EIDRn (PCNTR2 のビット [31:16]) および PIDRn (PCNTR2 のビット [15:0]) はそれぞれ 16 ビット単位でアクセスがされます。存在しない端子に対応するビットは予約ビットです。予約ビットは、読むと不定値が読めます。

PIDRn ビット (Pmn 状態)

PIDRn ビットは、PmnPFS.PMR ビットと PORTm.PCNTR1.PDRn ビットの設定値にかかわらず、ポートの個々の端子状態を反映します。PORTm.PCNTR2 レジスタの PIDRn ビットは、PFS.PmnPFS レジスタの PIDR ビットと同じ働きをします。

以下の機能のいずれかが有効な場合、端子の状態は PIDRn ビットに反映されません。

- メインクロック発振器 (MOSC)
- サブクロック発振器 (SOSC)
- アナログ機能 (ASEL = 1)
- 静電容量式タッチセンシングユニット (CTSU)
- セグメント LCD コントローラ (SLCDC)
- USB2.0 フルスピードモジュール (USBFS)

EIDRn ビット (ポートイベント入力データ)

EIDRn ビットは、ELC_PORTx 信号の発生時に端子の状態をラッチします。PmnPFS.PMR ビットおよび PORTm.PCNTR1.PDRn ビットが 0 の場合にのみ、EIDRn ビットに端子状態を入力できます。PmnPFS.ASEL ビットが 1 の場合は、対応する端子の状態は EIDRn ビットに反映されません。

19.2.3 ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR)

アドレス PORT0.PCNTR3 4004 0008h, PORT1.PCNTR3 4004 0028h, PORT2.PCNTR3 4004 0048h, PORT3.PCNTR3 4004 0068h, PORT4.PCNTR3 4004 0088h, PORT5.PCNTR3 4004 00A8h, PORT6.PCNTR3 4004 00C8h, PORT7.PCNTR3 4004 00E8h, PORT8.PCNTR3 4004 0108h, PORT9.PCNTR3 4004 0128h

PORT0.PORR 4004 0008h, PORT1.PORR 4004 0028h, PORT2.PORR 4004 0048h, PORT3.PORR 4004 0068h, PORT4.PORR 4004 0088h, PORT5.PORR 4004 00A8h, PORT6.PORR 4004 00C8h, PORT7.PORR 4004 00E8h, PORT8.PORR 4004 0108h, PORT9.PORR 4004 0128h,

PORT0.POSR 4004 000Ah, PORT1.POSR 4004 002Ah, PORT2.POSR 4004 004Ah, PORT3.POSR 4004 006Ah, PORT4.POSR 4004 008Ah, PORT5.POSR 4004 00AAh, PORT6.POSR 4004 00CAh, PORT7.POSR 4004 00EAh, PORT8.POSR 4004 010Ah, PORT9.POSR 4004 012Ah

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PORR 15	PORR 14	PORR 13	PORR 12	PORR 11	PORR 10	PORR 09	PORR 08	PORR 07	PORR 06	PORR 05	PORR 04	PORR 03	PORR 02	PORR 01	PORR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	POSR 15	POSR 14	POSR 13	POSR 12	POSR 11	POSR 10	POSR 09	POSR 08	POSR 07	POSR 06	POSR 05	POSR 04	POSR 03	POSR 02	POSR 01	POSR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	POSRn	Pmn出力設定	0 : 出力に影響なし 1 : High出力	W
b31-b16	PORRn	Pmn出力リセット	0 : 出力に影響なし 1 : Low出力	W

m = 0 ~ 9

n = 00 ~ 15

注 . EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。

注 . PORRn ビットと POSRn ビットを同時に設定してはいけません。

ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR) は、32 ビットおよび 16 ビットの書き込み可能なレジスタで、ポート出力データの設定またはリセットを制御します。

PCNTR3 はポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。PORR (PCNTR3 のビット [31:16]) および POSR (PCNTR3 のビット [15:0]) はそれぞれ 16 ビット単位でアクセスされます。

POSRn ビット (Pmn 出力設定)

POSR ビットがソフトウェア書き込みによって設定されると、PODR ビットが変更されます。たとえば P100 の場合、PORT1.POSR00 = 1 であると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200、P214、P215 は入力専用です。そのため PORT2.PCNTR3.POSR00、PORT2.PCNTR3.POSR14、PORT2.PCNTR3.POSR15 は予約ビットです。

PORRn ビット (Pmn 出力リセット)

PORR ビットがソフトウェア書き込みによってリセットされると、PODR ビットが変更されます。たとえば P100 の場合、PORT1.PORR00 = 1 であると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200、P214、P215 は入力専用です。そのため PORT2.PCNTR3.PORR00、PORT2.PCNTR3.PORR14、PORT2.PCNTR3.PORR15 は予約ビットです。

19.2.4 ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR)

アドレス PORT1.PCNTR4 4004 002Ch, PORT2.PCNTR4 4004 004Ch, PORT3.PCNTR4 4004 006Ch, PORT4.PCNTR4 4004 008Ch
 PORT1.EORR 4004 002Ch, PORT2.EORR 4004 004Ch, PORT3.EORR 4004 006Ch, PORT4.EORR 4004 008Ch,
 PORT1.EOSR 4004 002Eh, PORT2.EOSR 4004 004Eh, PORT3.EOSR 4004 006Eh, PORT4.EOSR 4004 008Eh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EORR 15	EORR 14	EORR 13	EORR 12	EORR 11	EORR 10	EORR 09	EORR 08	EORR 07	EORR 06	EORR 05	EORR 04	EORR 03	EORR 02	EORR 01	EORR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EOSR 15	EOSR 14	EOSR 13	EOSR 12	EOSR 11	EOSR 10	EOSR 09	EOSR 08	EOSR 07	EOSR 06	EOSR 05	EOSR 04	EOSR 03	EOSR 02	EOSR 01	EOSR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	EOSRn	Pmn イベント出力設定	ELC_PORTxの発生時： 0：出力に影響なし 1：High出力	R/W
b31-b16	EORRn	Pmn イベント出力リセット	ELC_PORTxの発生時： 0：出力に影響なし 1：Low出力	R/W

m = 1 ~ 4

n = 00 ~ 15

x = 1 ~ 4

注． EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。

注． EORRn ビットと EOSRn ビットを同時に設定してはいけません。

ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR) は、32 ビットおよび 16 ビットの読み出し／書き込み可能なレジスタで、ELC からのイベント入力によりポート出力データの設定またはリセットを制御します。

PCNTR4 は、ELC からのイベント入力によりポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。EORR (PCNTR4 のビット [31:16]) および EOSR (PCNTR4 のビット [15:0]) はそれぞれ 16 ビット単位でアクセスされます。

EOSRn ビット (Pmn イベント出力設定)

EOSR ビットが ELC_PORTx 信号の発生によって設定されると、PODR ビットが変更されます。たとえば P100 の場合、ELC_PORTx 信号の発生時に PORT1.EOSR00 が 1 になると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200、P214、P215 は入力専用です。そのため PORT2.PCNTR4.EOSR00、PORT2.PCNTR4.EOSR14、PORT2.PCNTR4.EOSR15 は予約ビットです。

EORRn ビット (Pmn イベント出力リセット)

EORR ビットが ELC_PORTx 信号の発生によってリセットされると、PODR ビットが変更されます。たとえば P100 の場合、ELC_PORTx の発生時に PORT1.EORR00 が 1 になると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200、P214、P215 は入力専用です。そのため PORT2.PCNTR4.EORR00、PORT2.PCNTR4.EORR14、PORT2.PCNTR4.EORR15 は予約ビットです。

19.2.5 ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS_HA/PmnPFS_BY) (m = 0 ~ 9; n = 00 ~ 15)

アドレス PFS.P000PFS 4004 0800h ~ PFS.P008PFS 4004 0820h, PFS.P010PFS 4004 0828h ~ PFS.P015PFS 4004 083Ch, PFS.P010PFS 4004 0840h ~ PFS.P015PFS 4004 087Ch, PFS.P200PFS 4004 0880h ~ PFS.P206PFS 4004 0898h, PFS.P212PFS 4004 08B0h ~ PFS.P215PFS 4004 08BCh, PFS.P300PFS 4004 08C0h ~ PFS.P307PFS 4004 08DCh, PFS.P400PFS 4004 0900h ~ PFS.P415PFS 4004 093Ch, PFS.P500PFS 4004 0940h ~ PFS.P505PFS 4004 0954h, PFS.P600PFS 4004 0980h ~ PFS.P603PFS 4004 098Ch, PFS.P608PFS 4004 09A0h ~ PFS.P610PFS 4004 09A8h, PFS.P708PFS 4004 09E0h, PFS.P808PFS 4004 0A20h ~ PFS.P809PFS 4004 0A24h, PFS.P914PFS 4004 0A78h, PFS.P915PFS 4004 0A7Ch,

PFS.P000PFS_HA 4004 0802h ~ PFS.P008PFS_HA 4004 0822h, PFS.P010PFS_HA 4004 082Ah ~ PFS.P015PFS_HA 4004 083Eh, PFS.P100PFS_HA 4004 0842h ~ PFS.P115PFS_HA 4004 087Eh, PFS.P200PFS_HA 4004 0882h ~ PFS.P206PFS_HA 4004 089Ah, PFS.P212PFS_HA 4004 08B2h ~ PFS.P215PFS_HA 4004 08BEh, PFS.P300PFS_HA 4004 08C2h ~ PFS.P307PFS_HA 4004 08DEh, PFS.P400PFS_HA 4004 0902h ~ PFS.P415PFS_HA 4004 093Eh, PFS.P500PFS_HA 4004 0942h ~ PFS.P505PFS_HA 4004 0956h, PFS.P600PFS_HA 4004 0982h ~ PFS.P603PFS_HA 4004 098Eh, PFS.P608PFS_HA 4004 09A0h ~ PFS.P610PFS_HA 4004 09AAh, PFS.P708PFS_HA 4004 09E2h, PFS.P808PFS_HA 4004 0A22h, PFS.P809PFS_HA 4004 0A26h, PFS.P914PFS_HA 4004 0A7Ah, PFS.P915PFS_HA 4004 0A7Eh,

PFS.P000PFS_BY 4004 0803h ~ PFS.P008PFS_BY 4004 0823h, PFS.P010PFS_BY 4004 082Bh ~ PFS.P015PFS_BY 4004 083Fh, PFS.P100PFS_BY 4004 0843h ~ PFS.P115PFS_BY 4004 087Fh, PFS.P200PFS_BY 4004 0883h ~ PFS.P206PFS_BY 4004 089Bh, PFS.P212PFS_BY 4004 08B3h ~ PFS.P215PFS_BY 4004 08BFh, PFS.P300PFS_BY 4004 08C3h ~ PFS.P307PFS_BY 4004 08DFh, PFS.P400PFS_BY 4004 0903h ~ PFS.P415PFS_BY 4004 093Fh, PFS.P500PFS_BY 4004 0943h ~ PFS.P505PFS_BY 4004 0957h, PFS.P600PFS_BY 4004 0983h ~ PFS.P603PFS_BY 4004 098Fh, PFS.P608PFS_BY 4004 09A1h ~ PFS.P610PFS_BY 4004 09ABh, PFS.P708PFS_BY 4004 09E3h, PFS.P808PFS_BY 4004 0A23h, PFS.P809PFS_BY 4004 0A27h, PFS.P914PFS_BY 4004 0A7Bh, PFS.P915PFS_BY 4004 0A7Fh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	PSEL[4:0]				—	—	—	—	—	—	—	—	PMR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0 (注2)
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	ISEL	EOF	EOR	DSCR1	DSCR	—	—	—	NCODR	—	PCR	—	PDR	PIDR	PODR
リセット後の値	0	0	0	0	0	0 (注2)	0	0	0	0	0	0 (注2)	0	0	0	x 0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	PODR	ポート出力データ	0: Low出力 1: High出力	R/W
b1	PIDR	Pmn状態	0: Lowレベル 1: Highレベル	R
b2	PDR	ポート方向	0: 入力 (入力端子として機能) 1: 出力 (出力端子として機能)	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PCR	プルアップ制御	0: 入力プルアップ無効 1: 入力プルアップ有効	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	NCODR	Nチャンネルオープンドレイン制御	0: CMOS出力 1: NMOSオープンドレイン出力	R/W
b9-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b10	DSCR1 (注3) DSCR	ポート駆動能力	<P408> b11 b10 0 0: 低駆動 0 1: 中駆動 1 0: 中駆動 (IICファストモード) 1 1: 設定禁止 <P408以外> b10 0: 低駆動 1: 中駆動	R/W

ビット	シンボル	ビット名	機能	R/W
b13-b12	EOF/EOR	立ち下がり時イベント／立ち上がり時イベント(注1)	b13 b12 0 0: Don't care 0 1: 立ち上がりエッジ検出 1 0: 立ち下がりエッジ検出 1 1: 両エッジ検出	R/W
b14	ISEL	IRQ入力許可	0: IRQn入力端子として使用しない 1: IRQn入力端子として使用する	R/W
b15	ASEL	アナログ入力許可	0: アナログ端子として使用しない 1: アナログ端子として使用する	R/W
b16	PMR	ポートモード制御	0: 汎用入出力端子として使用する 1: 周辺機能用の入出力ポートとして使用する	R/W
b23-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28-b24	PSEL[4:0]	周辺機能選択	周辺機能を選択します。各端子の機能については、本章の関連する表を参照してください。	R/W
b31-b29	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ポート 1～4に対応しています。

注 2. P108、P109、P110、P201、P300、P914、P915 の初期値は 0000_0000h 以外になります。

P108 は 0001_0010h、P109 は 0001_0000h、P110 は 0001_0010h、P201 は 0000_0010h、P300 は 0001_0010h、P914 は 0001_0000h、P915 は 0001_0000h となります。

ポート mn 端子機能選択レジスタ (PmnPFS) は、端子機能を選択します。

注 3. P408 は DSCR1 ビットだけを持ちます。

ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS_HA/PmnPFS_BY) は、32 ビット、16 ビットおよび 8 ビットの読み出し／書き込み可能なコントロールレジスタです。PmnPFS はポート mn 機能の選択を制御し、32 ビット単位で設定されます。PmnPFS_HA (PmnPFS のビット [15:0]) は 16 ビット単位でアクセスされます。PmnPFS_BY (ビット [7:0]) は 8 ビット単位でアクセスされます。

PODR ビット (ポート出力データ)、PIDR ビット (Pmn 状態)、PDR ビット (ポート方向)

PDR ビット、PIDR ビット、PODR ビットは、PCNTR レジスタと同じ機能を果たします。これらのビットを読むと、PCNTR 値が読めます。

PCR ビット (プルアップ制御)

PCR ビットは、ポートの各端子に対して入力プルアップ抵抗を有効または無効にします。端子が入力状態にあって、PmnPFS.PCR の対応するビットが 1 になっている場合、その端子に接続されたプルアップ抵抗が有効になります。汎用ポート出力端子、または周辺機能出力端子に設定されている場合は、PCR の設定値にかかわらず、プルアップ抵抗は無効になります。リセット状態でもプルアップ抵抗は無効になります。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

NCODR ビット (N チャネルオープンドレイン制御)

NCODR ビットは、ポート端子の出力タイプを設定します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

DSCR1/DSCR ビット (ポート駆動能力)

DSCR1 および DSCR ビットは、ポートの駆動能力を切り替えます。端子の駆動能力が固定されている場合、対応するビットは読み出し／書き込み可能ですが、駆動能力は変更できません。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

EOF/EOR ビット (立ち下がり時イベント／立ち上がり時イベント)

EOF/EOR ビットは、ポートグループ入力信号のエッジ検出方法を選択します。立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を選択できます。EOR/EOF ビットを 01b、10b、または 11b にすると、入出力セルの入力許可がアサートされます。それに続いて、外部端子からイベントパルスが入力され、GPIO が ELC にイベントパルスを出力します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

ISEL ビット (IRQ 入力許可)

ISEL ビットは、IRQ 入力端子を設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQ_n (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

ASEL ビット (アナログ入力許可)

ASEL ビットは、アナログ端子を設定します。本ビットでアナログ端子に設定する場合、以下のように指定します。

1. ポートモード制御ビット (PmnPFS.PMR) で、汎用入出力ポートに指定します。
2. プルアップ制御ビット (PmnPFS.PCR) で、入力プルアップ抵抗を無効にします。
3. ポート方向ビット (PmnPFS.PDR) で、入力に設定します。このとき、端子状態を読むことはできません。PmnPFS レジスタは、ライトプロテクトレジスタ (PWPR) によって保護されています。書き込み禁止を解除してから、レジスタを書き換えてください。

未指定の IRQ_n に対する ISEL ビットは予約ビットです。未指定のアナログ入出力に対する ASEL ビットは予約ビットです。

PMR ビット (ポートモード制御)

PMR ビットは、ポートの端子機能を設定します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

PSEL[4:0] ビット (周辺機能選択)

PSEL[4:0] ビットは、周辺機能を割り当てます。製品ごとの周辺選択設定の詳細は、[19.6 製品ごとの周辺選択設定](#)を参照してください。

19.2.6 書き込みプロテクトレジスタ (PWPR)

アドレス [PMISC.PWPR 4004 0D03h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	BOWI	PFSWE	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	PFSWE	PmnPFS レジスタ書き込み許可	0 : PmnPFS レジスタへの書き込みを禁止 1 : PmnPFS レジスタへの書き込みを許可	R/W
b7	BOWI	PFSWE ビット書き込み禁止	0 : PFSWE ビットへの書き込みを許可 1 : PFSWE ビットへの書き込みを禁止	R/W

PFSWE ビット (PmnPFS レジスタ書き込み許可)

PFSWE ビットを 1 にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。最初に BOWI ビットに 0 を書いてから、PFSWE ビットを 1 にする必要があります。

BOWI ビット (PFSWE ビット書き込み禁止)

BOWI ビットを 0 にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

19.3 動作説明

19.3.1 汎用入出力ポート

P108、P109、P110、P300、P914、P915 以外のすべての端子は、リセット後は汎用入出力ポートとして動作します。汎用入出力ポートは各ポート 16 ビットで構成され、ポートコントロールレジスタ (PCNTRn, n = 1 ~ 4) によるポート単位のアクセス、または端子機能選択レジスタによる端子単位のアクセスが可能です。これらのレジスタの詳細は、[19.2 レジスタの説明](#)を参照してください。

各ポートのビットを以下に示します。

- ポート方向ビット (PDR) : 入力/出力の方向を選択する
- ポート出力データビット (PODR) : 出力用データを格納する
- ポート入力データビット (PIDR) : 端子状態を示す
- イベント入力データビット (EIDR) : ELC_ELC_PORT1, 2, 3, 4 信号発生時の端子状態を示す
- ポート出力設定ビット (POSR) : ソフトウェア書き込み発生時の出力値を示す
- ポート出力リセットビット (PORR) : ソフトウェア書き込み発生時の出力値を示す
- イベント出力設定ビット (EOSR) : ELC_PORT1, 2, 3, 4 信号発生時の出力値を示す
- イベント出力リセットビット (EORR) : ELC_PORT1, 2, 3, 4 信号発生時の出力値を示す

19.3.2 ポート機能選択

下記のポート機能を使用して、各端子の設定が可能です。

- 入出力設定 : CMOS 出力または NMOS オープンドレイン出力、プルアップ制御、および駆動強度
- 汎用入出力ポート : ポート方向、出力データ設定、および読み出し入力データ
- 代替機能 : 端子への設定機能の割り当て

各端子はそれぞれ端子機能選択レジスタ (PmnPFS) に対応しており、PODR、PIDR、PDR などの対応ビットを持ちます。さらに、PmnPFS レジスタは以下のビットを持ちます。

- PCR : 入力プルアップ MOS のオン/オフを切り替えるためのプルアップ抵抗制御ビット
- NCODR : 各端子の出力タイプを選択するための N チャネルオープンドレイン制御ビット
- DSCR1, DSCR : 駆動能力を選択するための駆動能力制御ビット
- EOR : ポート入力の立ち上がりエッジ検出に使用する立ち上がり時イベントビット
- EOF : ポート入力の立ち下がりエッジ検出に使用する立ち下がり時イベントビット
- ISEL : IRQ 入力端子を設定するための IRQ 入力許可ビット
- ASEL : アナログ端子を設定するためのアナログ入力許可ビット
- PMR : 各ポートの端子機能を設定するためのポートモード制御ビット
- PSEL : 対応する周辺機能を選択するためのポート機能選択ビット

これらの設定を実行するには、端子機能選択レジスタに対して単一レジスタアクセスを行います。詳細は、[19.2.5 ポート mn 端子機能選択レジスタ \(PmnPFS/PmnPFS_HA/PmnPFS_BY\) \(m = 0 ~ 9; n = 00 ~ 15\)](#)を参照してください。

19.3.3 ELC のポートグループ機能

本 MCU では、ポート 1～4 がポートグループ機能に割り当てられています。

19.3.3.1 ELC から ELC_PORT1, 2, 3, 4 が入力された場合の動作

本 MCU は、ELC から ELC_PORT1, 2, 3, 4 信号が入力されたとき、以下の 2 つの機能をサポートしています。

(1) EIDR への入力

GPI 機能 (PmnPFS レジスタで PDR = 0 および PMR = 0) では、ELC から ELC_PORT1, 2, 3, 4 信号が入力されると、入出力セルの入力許可がアサートされ、外部端子からのデータが EIDR ビットに読み出されます。

GPO 機能 (PDR = 1) または周辺モード (PMR = 1) では、外部端子から EIDR ビットに 0 が入力されます。

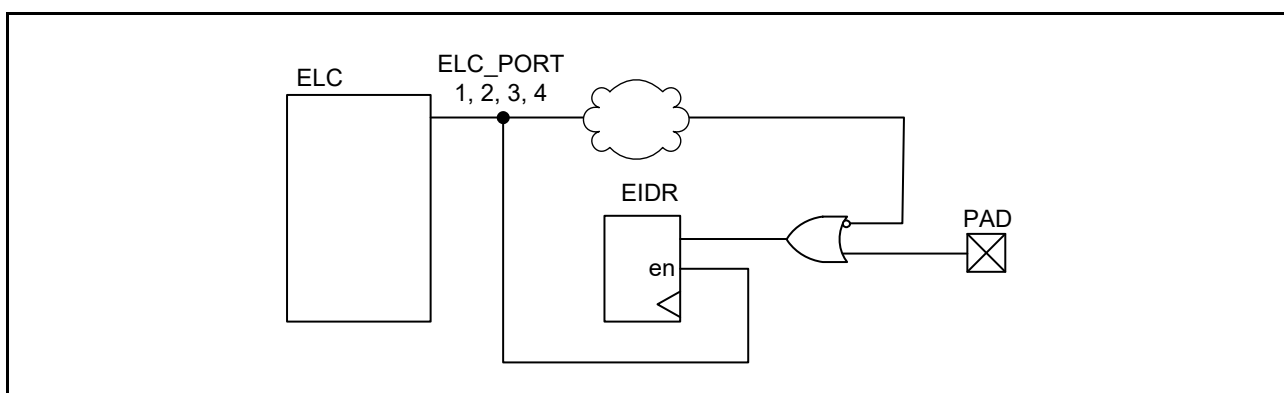


図 19.2 イベントポート入力データ

(2) EOSR/EORR による PODR からの出力

ELC_PORT1, 2, 3, 4 信号の発生時に、EOSR/EORR ビットの設定値に基づいて、PODR から外部端子へデータが出力されます。

- EOSR を 1 にすると、ELC_PORT1, 2, 3, 4 信号発生時に PODR レジスタは外部端子へ 1 を出力します。EOSR = 0 の場合、PODR の値はそのままです
- EORR を 1 にすると、ELC_PORT1, 2, 3, 4 信号発生時に PODR レジスタは外部端子へ 0 を出力します。EORR = 0 の場合、PODR の値はそのままです

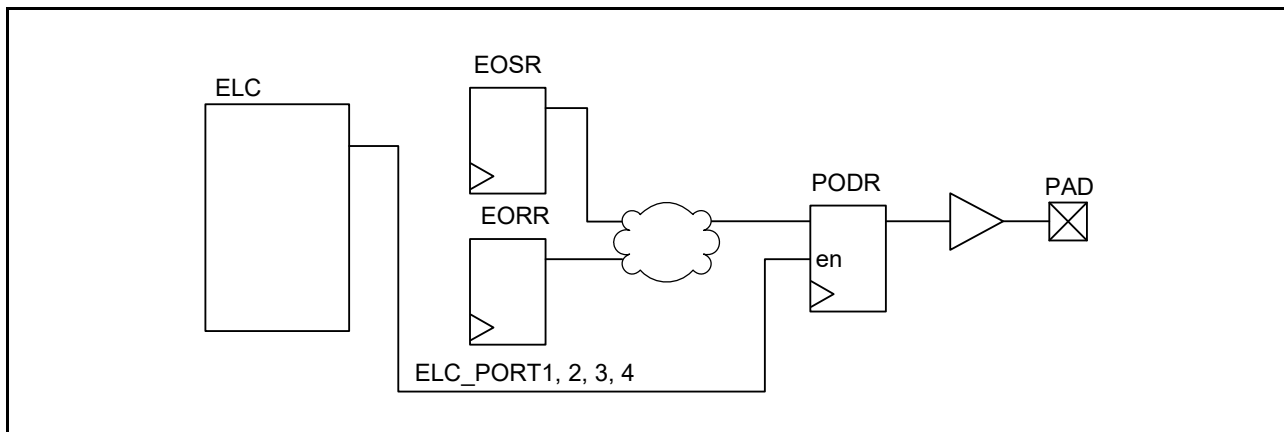


図 19.3 イベントポート出力データ

19.3.3.2 イベントパルスが ELC に出力された場合の動作

外部端子から ELC にイベントパルスを出力するには、PmnPFS.EOR/EOF ビットを設定します。詳細は、[19.2.5 ポート mn 端子機能選択レジスタ \(PmnPFS/PmnPFS_HA/PmnPFS_BY\) \(m = 0 ~ 9; n = 00 ~ 15\)](#) を参照してください。EOR/EOF ビットを設定すると、入出力セルの入力許可がアサートされます。

外部端子のデータが入力となります。たとえばポート 1 に対して、P100 から P115 へデータが入力されると、これら 16 端子のデータは OR 論理で構成されます。このデータは、ワンショットパルスとして形成され、ELC に入力されます。ポート 2 ~ 4 の動作も同じです。

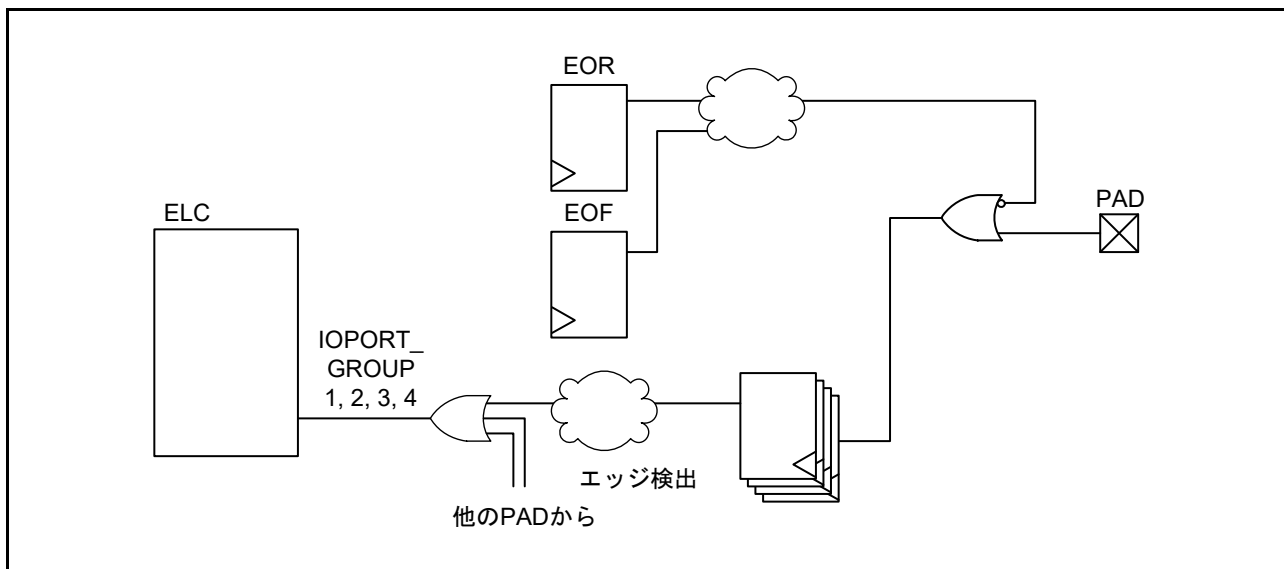


図 19.4 イベントパルスの発生

19.4 未使用端子の処理

表 19.3 に、未使用端子の処理方法を示します。

表 19.3 未使用端子の処理

端子名	内容
P201/MD	モード端子として使用
RES	抵抗を介してVCCに接続（プルアップ）
USB_DP, USB_DM	P914PFS.PMR およびP915PFS.PMR ビットがともに1の場合、端子を開放。 P914PFS.PMR またはP915PFS.PMR ビットのいずれかが0の場合、ポート1～9と同じ方法で設定
P200/NMI	抵抗を介してVCCに接続（プルアップ）
P212/EXTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTPビットを1（汎用ポートP212）に設定。 本端子をポートP212として使用しない場合、P1x～P9xと同じ処理をする
P213/XTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTPビットを1（汎用ポートP213）に設定。 本端子をポートP213として使用しない場合、P1x～P9xと同じ処理をする 外部クロックがEXTAL端子に入力される場合、この端子は開放したまま
P215/XCIN	サブクロック発振器を使用しない場合、SOSCCR.SOSTPビットを1（汎用ポートP215）に設定。 本端子をポートP215として使用しない場合、P1x～P9xと同じ処理をする
P214/XCOUT	サブクロック発振器を使用しない場合、SOSCCR.SOSTPビットを1（汎用ポートP214）に設定。 本端子をポートP214として使用しない場合、P1x～P9xと同じ処理をする
P000～P015	入力（PCNTR1.PDRn = 0）に設定した場合、対応する端子は抵抗を介してAVCC0に接続（プルアップ）、または抵抗を介してAVSS0に接続（プルダウン）（注1）
P1x～P9x （P200, P201, P212 ～P215を除く）	入力（PCNTR1.PDRn = 0）に設定した場合、対応する端子は抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン）（注1）（注2） 出力（PCNTR1.PDRn = 1）に設定した場合、端子を開放（注1）（注3）

- 注 1. PmnPFS.PMR ビット、PmnPFS.ISEL ビット、PmnPFS.PCR ビット、および PmnPFS.ASEL ビットを 0 にクリアしてください。
- 注 2. P108、P110、および P300 端子は、初期値（PmnPFS.PCR = 1）から有効にされた入力プルアップなので、抵抗を介して VCC に接続（プルアップ）することを推奨します。
- 注 3. P109 端子は、初期値から出力であるため、出力（PCNTR1.PDRn = 1）として設定することを推奨します。

19.5 使用上の注意事項

19.5.1 端子機能の設定手順

入出力端子機能を設定するには、下記の手順に従ってください。

1. PWPR.BOWI ビットをクリアします。PWPR.PFSWE ビットに書き込みできるようになります。
2. PWPR.PFSWE ビットを 1 にします。PmnPFS レジスタに書き込みできるようになります。
3. 当該端子の PMR のポートモード制御ビットをクリアして、汎用入出力ポートに設定します。
4. PmnPFS.PSEL[4:0] ビットによって、この端子の入出力機能を設定します。
5. 要求に応じて PMR を 1 にして、選択した入出力機能に切り替えます。
6. PWPR.PFSWE ビットをクリアします。PmnPFS レジスタへの書き込みが禁止されます。
7. PWPR.BOWI ビットを 1 にします。PWPR.PFSWE ビットへの書き込みが禁止されます。

19.5.2 ポートグループ入力の使用手順

ポートグループ入力（ポート 1～4）を使用するには、下記の手順に従ってください。

1. ELSRx.ELS[7:0] ビットを 00000000b にして、意図しないパルスが無視します。詳細は、「[18. イベントリンクコントローラ \(ELC\)](#)」を参照してください。
2. PmnPFS.EOF/EOR ビットを設定して、立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を指定します。
3. ダミーリードを実行するか、少しの間（たとえば 100ns）待ちます。意図しないパルスが無視するかどうかは、外部端子の初期値によって異なります。
4. ELSRx.ELS[8:0] ビットを設定して、イベント信号を許可します。

19.5.3 ポート出力データレジスタ (PODR) の概要

本レジスタは下記のようにデータを出力します。

1. ELC_PORT1, 2, 3, 4 信号の発生時に PCNTR4.EORR が 1 の場合、0 を出力する。
2. PCNTR4.EOSR ビットが 1 の場合、ELC からの ELC_PORT1, 2, 3, 4 発生時に 1 を出力する。
3. PCNTR3.PORR ビットが 1 の場合、0 を出力する。
4. PCNTR3.POSR ビットが 1 の場合、1 を出力する。
5. PCNTR1.PODR ビットが設定されると、0 または 1 を出力する。
6. PmnPFS.PODR ビットが設定されると、0 または 1 を出力する。

上記の番号は、PODR への書き込み優先順位に相当しています。たとえば、上記の 1. と 3. が同時に発生した場合、優先度の高い 1. が実行されます。

19.5.4 アナログ機能を使う場合の注意事項

アナログ機能を使用するには、ポートモードコントロールビット (PMR) とポート方向ビット (PDR) の対応するビットを両方とも 0 にして、端子が汎用入力ポートとして動作できるようにしてください。その後、ポート mn 端子機能選択レジスタ (PmnPFS.ASEL) のアナログ入力許可ビットを 1 にしてください。

19.5.5 入出力バッファの仕様

P402、P403、および P404 端子が内部プルアップ抵抗で出力または入力に構成されている場合は、バッテリーバックアップ機能を使用するか否かにかかわらず、I/O レジスタを設定する前に、VBTCR1.BPWSWSTP ビットを 1 にしてください。この設定は、パワーオンリセット後に一度だけ必要です。バッテリーバックアップ機能を使用する場合は、バッテリーバックアップ機能関連のレジスタを設定した後、再度 VBTCR1.BPWSWSTP ビットを 0 にしてください。

VBTCR1.BPWSWSTP ビットの設定フローが、[図 11.2](#) に示されています。

P402 端子、P403 端子、および P404 端子は、RTC 入力端子 RTCICn (n = 0 ~ 2) として使用できます。VBTICTLR レジスタでこれらの入力端子を有効にすると、端子の出力機能は強制的に無効になります。そのため、ポート機能を使用するには、VBTICTLR レジスタを 0 にする必要があります。

注． VBTICTLR レジスタは、リセット時に初期化されません。詳細は、「[11. バッテリーバックアップ機能](#)」を参照してください。

19.5.6 USB_DP 端子および USB_DM 端子の選択

USB_DP 端子は P914 と、USB_DM 端子 P915 端子と共有されます。USB_DP 端子と P914 端子は PFS.P914PFS.PMR ビットで設定できます。USB_DM 端子と P915 端子は PFS.P915PFS.PMR ビットで設定できます。[表 19.4](#) に、選択した端子ごとの、PFS.P914PFS.PMR ビットおよび PFS.P915PFS.PMR ビットの設定値を示します。

表 19.4 USB 端子/PORT 端子の選択

PMR ビットの設定		選択した端子	
P914PFS.PMR ビット	P915PFS.PMR ビット	P914/USB_DP 端子	P915/USB_DM 端子
0	0	P914	P915
0	1	P914	P915
1	0	P914	P915
1	1	USB_DP	USB_DM

注． P914/USB_DP および P915/USB_DM を GPIO 端子 (P914 および P915) として使用する場合、USB レジスタは初期値で使用してください。

注． P914/USB_DP および P915/USB_DM を USB 端子 (USB_DP および USB_DM) として使用する場合、P914 と P915 の GPIO レジスタは初期値で使用してください。

注． P914/USB_DP および P915/USB_DM を GPIO 端子または USB 端子として使用する場合、これらの端子はリセット後に 1 回だけ設定してください。

19.5.7 USBFS/GPIO 機能を使用した P914 および P915 のプルアップ/プルダウン設定

P914 および P915 を GPIO 端子として使用する場合、それらの動作は USBFS レジスタのプルアップ/プルダウン機能による影響を受けます。

そのため、GPIO 機能を使用する場合は SYSCFG.DMRPU、SYSCFG.DPRPU および SYSCFG.DRPD ビットを使用して、あらかじめ USBFS レジスタのプルアップ/プルダウン制御を無効にしてください。

19.6 製品ごとの周辺選択設定

本節では、PmnPFS レジスタによる端子機能選択設定について詳しく説明します。ただし、同じ機能を2つ以上の端子に同時に割り当てないでください。

表 19.5 入出力端子機能のレジスタ設定 (ポート0)

PSEL[4:0] ビット設定値	機能	端子							
		P000	P001	P002	P003	P004	P005	P006	P007
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z							
01100b	CTSU	TS21	TS22	—	—	—	—	—	—
ASEL ビット		AN000/ AMP0+	AN001/ AMP0-	AN002/ AMP00	AN003/ AMP10	AN004/ AMP20	AN011/ AMP3+	AN012/ AMP3-	AN013/ AMP30
ISEL ビット		IRQ6	IRQ7	IRQ2	—	IRQ3	IRQ10	—	—
PCR ビット		○	○	○	○	○	○	○	○
DSCR ビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
100ピン製品		○	○	○	○	○	○	○	○
64ピン製品		○	○	○	○	○	—	—	—
48ピン製品		○	○	○	—	—	—	—	—
40ピン製品		○	○	—	—	—	—	—	—

PSEL[4:0] ビット設定値	機能	端子						
		P008	P010	P011	P012	P013	P014	P015
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z						
01100b	CTSU	—	TS30	TS31	—	—	—	TS28
ASEL ビット		AN014	AN005/ VREFH0/ AMP2-	AN006/ VREFL0/ AMP2+	AN007 VREFH/ AMP1-	AN008/ VREFL/ AMP1+	AN009/ DA0	AN010
ISEL ビット		—	—	IRQ15	—	—	—	IRQ7
PCR ビット		○	○	○	○	○	○	○
DSCR ビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中
100ピン製品		○	○	○	○	○	○	○
64ピン製品		—	○	○	○	○	○	○
48ピン製品		—	○	○	○	○	○	○
40ピン製品		—	○	○	○	○	○	○

○ : 使用可能
 — : 設定禁止

表 19.6 入出力端子機能のレジスタ設定（ポート1）（1）

PSEL[4:0] ビット設定値	機能	端子							
		P100	P101	P102	P103	P104	P105	P106	P107
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
00001b	AGT	AGTIO0	AGTEE0	AGTO0	—	—	—	—	—
00010b	GPT	GTETRGA	GTETRGB	GTOULO	GTOUUP	GTETRGB	GTETRGA	—	—
00011b	GPT	GTIOC5B	GTIOC5A	GTIOC2B	GTIOC2A	GTIOC1B	GTIOC1A	GTIOC0B	GTIOC0A
00100b	SCI	RXD0/ MISO0/ SCL0	TXD0/ MOSI0/ SDA0	SCK0	CTS0_RTS0/ SS0	RXD0/ MISO0/ SCL0	—	—	—
00101b	SCI	SCK1	CTS1_RTS1/ SS1	TXD2/ MOSI2/ SDA2	—	—	—	—	—
00110b	SPI	MISOA	MOSIA	RSPCKA	SSLA0	SSLA1	SSLA2	SSLA3	—
00111b	IIC	SCL1	SDA1	—	—	—	—	—	—
01000b	KINT	KR00	KR01	KR02	KR03	KR04	KR05	KR06	KR07
01001b	CLKOUT/ ACMPLP/ RTC	—	—	—	—	—	—	—	—
01010b	CAC/ADC14	—	—	ADTRG0	—	—	—	—	—
01100b	CTSU	—	—	—	—	TS13	TS34	—	—
01101b	SLCDC	VL1	VL2	VL3	VL4	COM0	COM1	COM2	COM3
10000h	CAN	—	—	CRX0	CTX0	—	—	—	—
10010b	SSIE	—	—	—	—	—	—	—	—
ASEL ビット		AN022/ CMPIN0	AN021/ CMPREF0	AN020/ CMPIN1	AN019/ CMPREF1	—	—	—	—
ISEL ビット		IRQ2	IRQ1	—	—	IRQ1	IRQ0	—	—
NCODR ビット		○	○	○	○	○	○	○	○
PCR ビット		○	○	○	○	○	○	○	○
DSCR ビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
100ピン製品		○	○	○	○	○	○	○	○
64ピン製品		○	○	○	○	○	○	○	○
48ピン製品		○	○	○	○	○	—	—	—
40ピン製品		○	○	○	—	—	—	—	—

○：使用可能

—：設定禁止

表 19.7 入出力端子機能のレジスタ設定（ポート1）（2）

PSEL[4:0] ビット設定値	機能	端子							
		P108	P109	P110	P111	P112	P113	P114	P115
00000b（リセット後の値）	Hi-Z/JTAG/SWD	TMS/ SWDIO	TDO/ TRACESWO	TDI	Hi-Z				
00001b	AGT	—	—	—	—	—	—	—	—
00010b	GPT	GTOULO	GTOVUP	GTOVLO	—	—	—	—	—
00011b	GPT	GTIOC0B	GTIOC1A	GTIOC1B	GTIOC3A	GTIOC3B	GTIOC2A	GTIOC2B	GTIOC4A
00100b	SCI	—	SCK1	CTS2_RTS2/ SS2	SCK2	TXD2/ MOSI2/ SDA2	—	—	—
00101b	SCI	CTS9_RTS9/ SS9	TXD9/ MOSI9/ SDA9	RXD9/ MISO9/ SCL9	SCK9	SCK1	—	—	—
00110b	SPI	SSLB0	MOSIB	MISOB	RSPCKB	SSLB0	—	—	—
00111b	IIC	—	—	—	—	—	—	—	—
01000b	KINT	—	—	—	—	—	—	—	—
01001b	CLKOUT/ ACMPLP/ RTC	—	CLKOUT	VCOUT	—	—	—	—	—
01010b	CAC/ADC14	—	—	—	—	—	—	—	—
01100b	CTSUS	—	TS10	—	TS12	TSCAP	TS27	TS29	TS35
01101b	SLCDC	—	SEG23	SEG24	CAPH	CAPL	SEG00/COM4	SEG25	SEG26
10000b	CAN	—	CTX0	CRX0	—	—	—	—	—
10010b	SSIE	—	—	—	—	SSIBCK0	SSILRCK0/ SSIFS0	SSIRXD0	SSITXD0
ASEL ビット		—	—	—	—	—	—	—	—
ISEL ビット		—	—	IRQ3	IRQ4	—	—	—	—
NCODR ビット		○	○	○	○	○	○	○	○
PCR ビット		○	○	○	○	○	○	○	○
DSCR ビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
100ピン製品		○	○	○	○	○	○	○	○
64ピン製品		○	○	○	○	○	○	—	—
48ピン製品		○	○	○	○	○	—	—	—
40ピン製品		○	○	○	○	○	—	—	—

○：使用可能

—：設定禁止

表 19.8 入出力端子機能のレジスタ設定（ポート2）（1）

PSEL[4:0] ビット設定値	機能	端子						
		P200 (注1)	P201	P202	P203	P204	P205	P206
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z						
00001b	AGT	—	—	—	—	AGTIO1	AGTO1	—
00010b	GPT	—	—	—	—	GTIW	GTIV	GTIU
00011b	GPT	—	—	GTIOC5B	GTIOC5A	GTIOC4B	GTIOC4A	—
00100b	SCI	—	—	SCK2	CTS2_RTS2/ SS2	SCK0	TXD0/ MOSI0/ SDA0	RXD0/ MISO0/ SCL0
00101b	SCI	—	—	RXD9/ MISO9/ SCL9	TXD9/ MOSI9/ SDA9	SCK9	CTS9_RTS9/ SS9	—
00110b	SPI	—	—	MISOB	MOSIB	RSPCKB	SSLB0	SSLB1
00111b	IIC	—	—	—	—	SCL0	SCL1	SDA1
01001b	CLKOUT/ ACMPLP/ RTC	—	—	—	—	—	CLKOUT	—
01010b	CAC/ADC14	—	—	—	—	CACREF	—	—
01100b	CTSU	—	—	—	TSCAP	TS00	TSCAP	TS01
01101b	SLCDC	—	—	SEG16	SEG15	SEG14	SEG13	SEG12
10011b	USBFS	—	—	—	—	USB_OVRCUR B	USB_OVRCUR A	USB_VBUSEN
ISEL ビット		—	—	—	—	—	IRQ1	IRQ0
NCODR ビット		—	○	○	○	○	○	○
PCR ビット		—	○	○	○	○	○	○
DSCR ビット		—	低/中	低/中	低/中	低/中	低/中	低/中
100ピン製品		○	○	○	○	○	○	○
64ピン製品		○	○	—	—	○	○	○
48ピン製品		○	○	—	—	—	—	○
40ピン製品		○	○	—	—	—	—	—

○：使用可能

—：設定禁止

注 1. NMI ピン割り込みを使用する場合、ポート関連のレジスタ設定は必要ありません。

表 19.9 入出力端子機能のレジスタ設定（ポート2）（2）

PSEL[4:0] ビット設定値	機能	端子			
		P212	P213	P214	P215
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z			
00001b	AGT	AGTEE1	—	—	—
00010b	GPT	GTETRGB	GTETRGA	—	—
00011b	GPT	GTIOC0B	GTIOC0A	—	—
00100b	SCI	—	—	—	—
00101b	SCI	RXD1/ MISO1/ SCL1	TXD1/ MOSI1/ SDA1	—	—
00110b	SPI	—	—	—	—
00111b	IIC	—	—	—	—
01001b	CLKOUT/ ACMPLP/ RTC	—	—	—	—
01010b	CAC/ADC14	—	—	—	—
01100b	CTSU	—	—	—	—
01101b	SLCDC	—	—	—	—
10011b	USBFS	—	—	—	—
ISELビット		IRQ3	IRQ2	—	—
NCODRビット		○	○	—	—
PCRビット		○	○	—	—
DSCRビット		—	—	—	—
100ピン製品		○	○	○	○
64ピン製品		○	○	○	○
48ピン製品		○	○	○	○
40ピン製品		○	○	○	○

○：使用可能
—：設定禁止

表 19.10 入出力端子機能のレジスタ設定 (ポート3)

PSEL[4:0] ビット設定値	機能	端子							
		P300	P301	P302	P303	P304	P305	P306	P307
00000b (リセット後の値)	Hi-Z/JTAG/SWD	TCK/ SWCLK	Hi-Z						
00001b	AGT	—	AGTIO0	—	—	—	—	—	—
00010b	GPT	GTOUUP	GTOULO	GTOUUP	—	—	—	—	—
00011b	GPT	GTIOC0A	GTIOC4B	GTIOC4A	GTIOC7B	GTIOC7A	—	—	—
00100b	SCI	—	RXD2/ MISO2/ SCL2	TXD2/ MOSI2/ SDA2	—	—	—	—	—
00101b	SCI	—	CTS9_RTS9/ SS9	—	—	—	—	—	—
00110b	SPI	SSLB1	SSLB2	SSLB3	—	—	—	—	—
01100b	CTSUS	—	TS09	TS08	TS02	TS11	—	—	—
01101b	SLCDC	—	SEG01/COM5	SEG02/COM6	SEG03/COM7	SEG20	SEG19	SEG18	SEG17
ISEL ビット		—	IRQ6	IRQ5	—	IRQ9	IRQ8	—	—
NCODR ビット		○	○	○	○	○	○	○	○
PCR ビット		○	○	○	○	○	○	○	○
DSCR ビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
100ピン製品		○	○	○	○	○	○	○	○
64ピン製品		○	○	○	○	○	—	—	—
48ピン製品		○	○	○	—	—	—	—	—
40ピン製品		○	○	—	—	—	—	—	—

○ : 使用可能
 — : 設定禁止

表 19.11 入出力端子機能のレジスタ設定（ポート4）（1）

PSEL[4:0] ビット設定値	機能	端子							
		P400	P401	P402	P403	P404	P405	P406	P407
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
00001b	AGT	AGTIO1	—	AGTIO0 (注2) / AGTIO1 (注2)	AGTIO0 (注2) / AGTIO1 (注2)	—	—	—	AGTIO0
00010b	GPT	—	GTETRGA	—	—	—	—	—	—
00011b	GPT	GTIOC6A	GTIOC6B	—	GTIOC3A	GTIOC3B	GTIOC1A	GTIOC1B	—
00100b	SCI	SCK0	CTS0_RTS0/ SS0	—	—	—	—	—	CTS0_RTS0/ SS0
00101b	SCI	SCK1	TXD1/ MOSI1/ SDA1	RXD1/ MISO1/ SCL1	CTS1_RTS1/ SS1	—	—	—	—
00110b	SPI	—	—	—	—	—	—	—	SSLB3
00111b	IIC	SCL0	SDA0	—	—	—	—	—	SDA0
01001b	CLKOUT/ ACMPLP/ RTC	—	—	—	—	—	—	—	RTCCOUT
01010b	CAC/ADC14	CACREF	—	—	—	—	—	—	ADTRG0
01100b	CTSU	TS20	TS19	TS18	TS17	—	—	—	TS03
01101b	SLCDC	SEG04	SEG05	SEG06	—	—	—	—	SEG11
10000b	CAN	—	CTX0	CRX0	—	—	—	—	—
10010b	SSIE	AUDIO_CLK	—	—	SSIBCK0	SSLRCK0/ SSIFS0	SSITXD0	SSIRXD0	—
10011b	USBFS	—	—	—	—	—	—	—	USB_VBUS
Don't care		—	—	RTCIC0 (注1)	RTCIC1 (注1)	RTCIC2 (注1)	—	—	—
ISELビット		IRQ0	IRQ5	IRQ4	—	—	—	—	—
NCODRビット		○	○	○	○	○	○	○	○
PCRビット		○	○	○	○	○	○	○	○
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
100ピン製品		○	○	○	○	○	○	○	○
64ピン製品		○	○	○	—	—	—	—	○
48ピン製品		○	—	—	—	—	—	—	○
40ピン製品		—	—	—	—	—	—	—	○

○：使用可能

—：設定禁止

- 注 1. この端子機能を使用する場合は、該当端子を汎用入力（PmnPFS.PDR ビットおよび PmnPFS.PMR ビットを 0）にしてください。
- 注 2. この端子機能を使用する場合は、PmnPFS.PSEL[4:0] ビットおよび AGTIOSEL.SEL[1:0] ビットを設定してください（詳細は、「23.2.10 AGT 端子選択レジスタ (AGTIOSEL)」を参照）。

表 19.12 入出力端子機能のレジスタ設定（ポート4）（2）

PSEL[4:0] ビット設定値	機能	端子							
		P408	P409	P410	P411	P412	P413	P414	P415
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
00001b	AGT	—	—	AGTOB1	AGTOA1	—	—	—	—
00010b	GPT	GTOWLO	GTOWUP	GTOVLO	GTOVUP	—	—	—	—
00011b	GPT	GTIOC5B	GTIOC5A	GTIOC6B	GTIOC6A	—	—	GTIOC0B	GTIOC0A
00100b	SCI	CTS1_RTS1/ SS1	—	RXD0/ MISO0/ SCL0	TXD0/ MOSI0/ SDA0	SCK0	CTS0_RTS0/ SS0	—	—
00101b	SCI	RXD9/ MISO9/ SCL9	TXD9/ MOSI9/ SDA9	—	—	—	—	—	—
00110b	SPI	—	—	MISOA	MOSIA	RSPCKA	SSLA0	SSLA1	SSLA2
00111b	IIC	SCL0	—	—	—	—	—	—	—
01001b	CLKOUT/ ACMPLP/ RTC	—	—	—	—	—	—	—	—
01010b	CAC/ADC14	—	—	—	—	—	—	—	—
01100b	CTSU	TS04	TS05	TS06	TS07	—	—	—	—
01101b	SLCDC	SEG10	SEG09	SEG08	SEG07	—	—	—	—
10000b	CAN	—	—	—	—	—	—	—	—
10010b	SSIE	—	—	—	—	—	—	—	—
10011b	USBFS	USB_ID	USB_EXICEN	—	—	—	—	—	—
Don't care		—	—	—	—	—	—	—	—
ISELビット		IRQ7	IRQ6	IRQ5	IRQ4	—	—	IRQ9	IRQ8
NCODRビット		○	○	○	○	○	○	○	○
PCRビット		○	○	○	○	○	○	○	○
DSCRビット		低／中／中 (IIC)	低／中	低／中	低／中	低／中	低／中	低／中	低／中
100ピン製品		○	○	○	○	○	○	○	○
64ピン製品		○	○	○	○	—	—	—	—
48ピン製品		○	○	—	—	—	—	—	—
40ピン製品		○	—	—	—	—	—	—	—

○：使用可能

—：設定禁止

表 19.13 入出力端子機能のレジスタ設定（ポート5）

PSEL[4:0] ビット設定値	機能	端子					
		P500	P501	P502	P503	P504	P505
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z					
00001b	AGT	AGTOA0	AGTOB0	—	—	—	—
00010b	GPT	GTIU	GTIV	GTIW	—	—	—
00011b	GPT	GTIOC2A	GTIOC2B	GTIOC3B	—	—	—
00101h	SCI	—	TXD1/ MOSI1/ SDA1	RXD1/ MISO1/ SCL1	SCK1	CTS1_RTS1/ SS1	—
01101b	SLCDC	SEG34	SEG35	SEG36	SEG37	—	—
10011b	USBFS	USB_VBUSEN	USB_OVRCUR A	USB_OVRCUR B	USB_EXICEN	USB_ID	—
ASELビット		AN016/ CMPREF1	AN017/ CMPIN1	AN018/ CMPREF0	AN023/ CMPIN0	AN024	AN025
ISELビット		—	IRQ11	IRQ12	—	—	IRQ14
NCODRビット		○	○	○	○	○	○
PCRビット		○	○	○	○	○	○
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中
100ピン製品		○	○	○	○	○	○
64ピン製品		○	○	○	—	—	—
48ピン製品		○	—	—	—	—	—
40ピン製品		—	—	—	—	—	—

○：使用可能
—：設定禁止

表 19.14 入出力端子機能のレジスタ設定 (ポート6)

PSEL[4:0] ビット設定値	機能	端子			
		P600	P601	P602	P603
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z			
00011b	GPT	GTIOC6B	GTIOC6A	GTIOC7B	GTIOC7A
00101b	SCI	SCK9	RXD9/ MISO9/ SCL9	TXD9/ MOSI9/ SDA9	CTS9_RTS9/ SS9
01101b	SLCDC	SEG33	SEG32	SEG31	SEG30
NCODRビット		○	○	○	○
PCRビット		○	○	○	○
DSCRビット		低/中	低/中	低/中	低/中
100ピン製品		○	○	○	○
64ピン製品		—	—	—	—
48ピン製品		—	—	—	—
40ピン製品		—	—	—	—

PSEL[4:0] ビット設定値	機能	端子		
		P608	P609	P610
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z		
00011b	GPT	GTIOC4B	GTIOC5A	GTIOC5B
00101b	SCI	—	—	—
01101b	SLCDC	SEG27	SEG28	SEG29
NCODRビット		○	○	○
PCRビット		○	○	○
DSCRビット		低/中	低/中	低/中
100ピン製品		○	○	○
64ピン製品		—	—	—
48ピン製品		—	—	—
40ピン製品		—	—	—

○ : 使用可能
 — : 設定禁止

表 19.15 入出力端子機能のレジスタ設定（ポート7）

PSEL[4:0] ビット設定値	機能	端子
		P708
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z
00101b	SCI	RXD1/ MISO1/ SCL1
00110b	SPI	SSLA3
NCODRビット		○
PCRビット		○
DSCRビット		低/中
100ピン製品		○
64ピン製品		—
48ピン製品		—
40ピン製品		—

○：使用可能
—：設定禁止

表 19.16 入出力端子機能のレジスタ設定（ポート8）

PSEL[4:0] ビット設定値	機能	端子	
		P808	P809
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z	
01101b	SLCDC	SEG21	SEG22
NCODRビット		○	○
PCRビット		○	○
DSCRビット		低/中	低/中
100ピン製品		○	○
64ピン製品		—	—
48ピン製品		—	—
40ピン製品		—	—

○：使用可能
—：設定禁止

表 19.17 入出力端子機能のレジスタ設定（ポート9）

PSEL[4:0] ビット設定値	機能	端子	
		P914	P915
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z	
Don't care		(USB_DP)	(USB_DM)
100ピン製品		○	○
64ピン製品		○	○
48ピン製品		○	○
40ピン製品		○	○

○：使用可能
—：設定禁止

20. キー割り込み機能 (KINT)

20.1 概要

キー割り込み (KEY_INTKR) は、キーリターンモードレジスタ (KRM) を設定し、キー割り込み入力端子 KR00 ~ KR07 に立ち上がりエッジまたは立ち下がりエッジを入力することで発生させることができます。

表 20.1 にキー割り込み検出端子の配置、表 20.2 に機能の構成、そして図 20.1 にブロック図を示します。

表 20.1 キー割り込み検出端子の配置

キー割り込みモードコントロールn (n = 0 ~ 7)	内容
KRM0	1ビット単位でKR00信号を制御
KRM1	1ビット単位でKR01信号を制御
KRM2	1ビット単位でKR02信号を制御
KRM3	1ビット単位でKR03信号を制御
KRM4	1ビット単位でKR04信号を制御
KRM5	1ビット単位でKR05信号を制御
KRM6	1ビット単位でKR06信号を制御
KRM7	1ビット単位でKR07信号を制御

表 20.2 キー割り込み機能の構成

項目	構成
入力	KR00 ~ KR07
コントロールレジスタ	キーリターンコントロールレジスタ (KRCTL) キーリターンモードレジスタ (KRM) キーリターンフラグレジスタ (KRF)

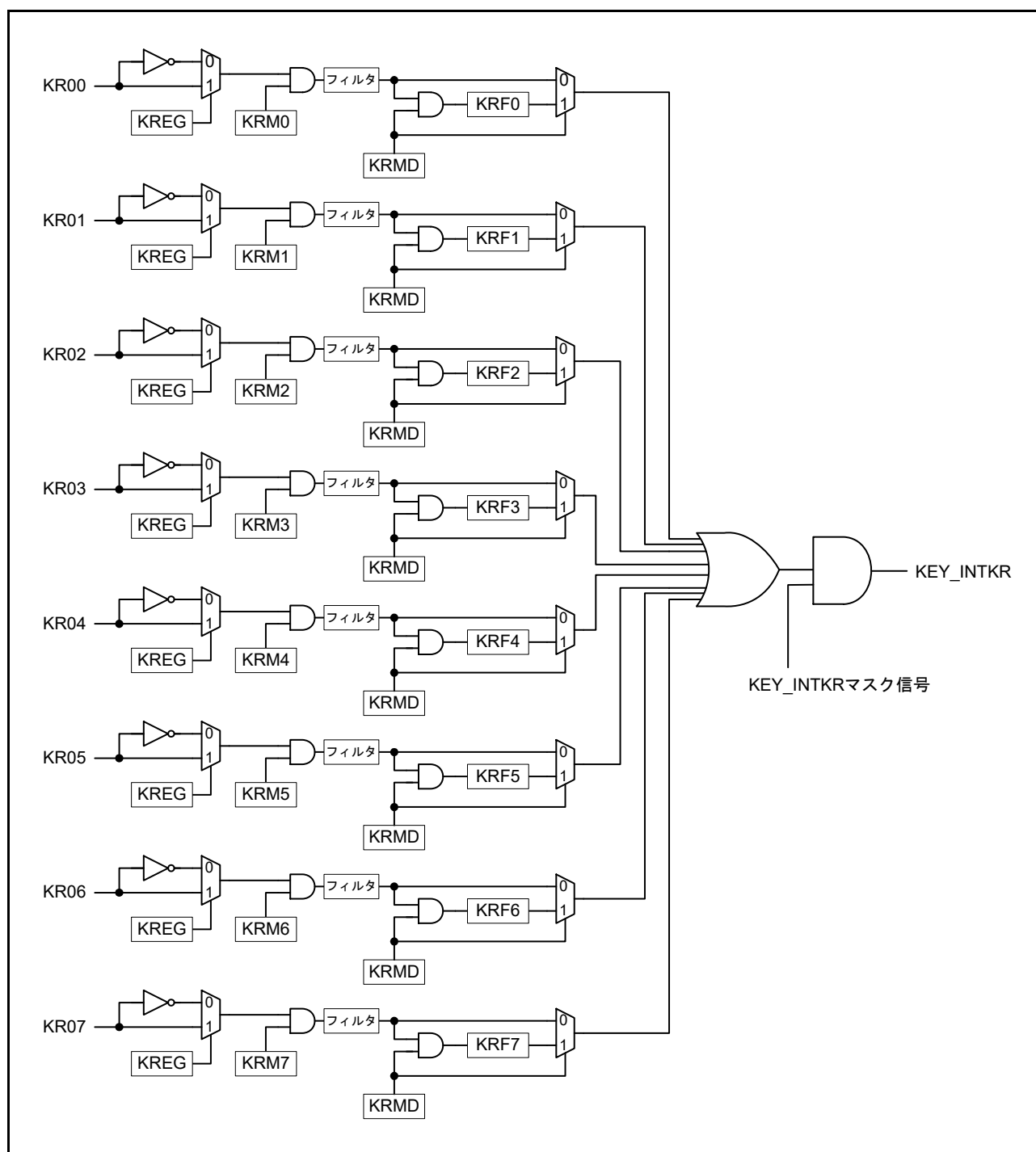


図 20.1 キー割り込み機能のブロック図

図 20.1 において、すべてのキーリターン要因が OR ゲートでマージされ、マージされたキーリターン要因が AND ゲートで KEY_INTKR マスク信号によってマスクされ、AND ゲートの出力がキー割り込み (KEY_INTKR) になります。 KRF_n ($KRMD=1$) を使用する場合、 KEY_INTKR マスク信号は、 KRF_n をクリアすることでアサートされる出力マスクとして使用されます。

20.2 レジスタの説明

20.2.1 キーリターンコントロールレジスタ (KRCTL)

アドレス [KINT.KRCTL 4008 0000h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	KRMD	—	—	—	—	—	—	KREG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KREG	検出エッジ選択 (KR00~KR07)	0 : 立ち下がりエッジ 1 : 立ち上がりエッジ	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	KRMD	キー割り込みフラグ使用状態 (KRF0~KRF7)	0 : キー割り込みフラグを使用しない 1 : キー割り込みフラグを使用する	R/W

KRCTL レジスタは、キー割り込みフラグ (KRF0 ~ KRF7) の使用状態を制御し、検出エッジを設定するためのレジスタです。

20.2.2 キーリターンフラグレジスタ (KRF)

アドレス [KINT.KRF 4008 0004h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	KRF7	KRF6	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	KRFn	キー割り込みフラグn	0 : キー割り込みの検出なし 1 : キー割り込みの検出あり	R/W

n = 0 ~ 7

注. KRMD = 0 の場合、KRFn ビットを 1 にすることは禁止です。
KRFn ビットを 1 に設定しても KRFn の値は変化しません。
KRFn ビットをクリアする場合は、0 を書き込む前に該当ビットが 1 であることを確認し、その後でその他のビットには 1 を書き込んでください。

KRF レジスタは、キー割り込みフラグ (KRF0 ~ KRF7) を制御するレジスタです。

20.2.3 キーリターンモードレジスタ (KRM)

アドレス [KINT.KRM 4008 0008h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	KRMn	キー割り込みモード制御n	0 : キー割り込み信号を検出しない 1 : キー割り込み信号を検出する	R/W

n = 0 ~ 7

注. 対応するキー割り込み入力端子をプルアップ抵抗に設定することで、内蔵プルアップ抵抗の適用が可能です。詳細は、「[19. I/Oポート](#)」を参照してください。

キー割り込みは PmnPFS.PSEL ビットで割り当てることができます。詳細は、「[19. I/Oポート](#)」を参照してください。
キー割り込み入力端子へ入力中の信号が Low レベル (KREG = 0 の場合) または High レベル (KREG = 1 の場合) のとき、KRM レジスタの対象ビットがセットされると割り込みが発生します。この割り込みを無視するには、割り込み処理を禁止してから、KRM レジスタを設定してください。

KRM レジスタは、キー割り込みモードの設定を行うレジスタです。

20.3 動作説明

20.3.1 キー割り込みフラグを使用しない場合の動作 (KRMD = 0)

キー割り込み端子 KR00 ~ KR07 に、KREG ビットで指定された有効エッジが入力されたとき、キー割り込み (KEY_INTKR) が発生します。有効エッジが入力されたチャンネルを判別するには、キー割り込み (KEY_INTKR) の発生後にポートレジスタを読み出して、ポートのレベルをチェックしてください。

KEY_INTKR 信号は、キー割り込み入力端子 (KR00 ~ KR07) の入力レベルに応じて変化します。

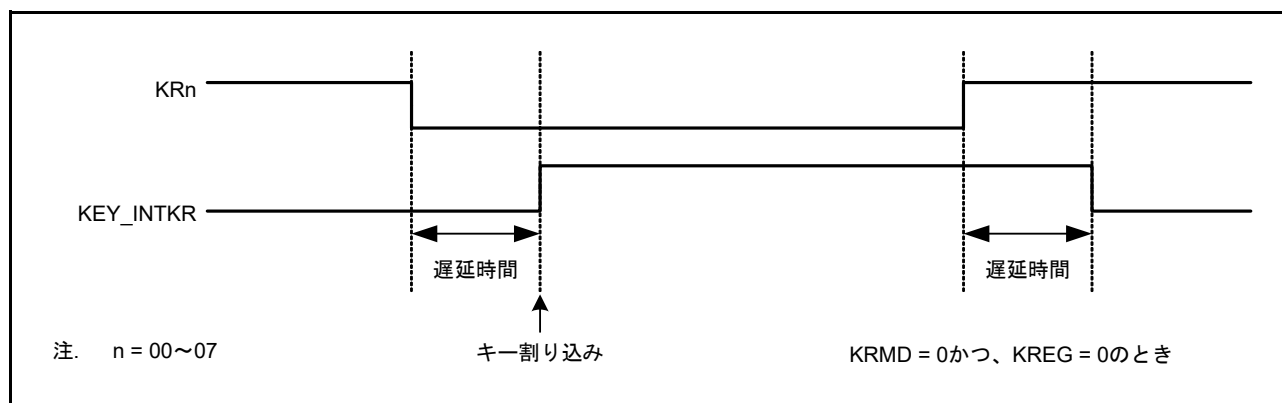


図 20.2 キー割り込みが 1 つのチャンネルに入力された場合の KEY_INTKR 信号の動作

有効エッジが複数のキー割り込み入力端子に入力された場合の動作を図 20.3 に示します。一方の端子に Low レベルが入力中であるとき、すなわち KREG ビットが 0 の場合、KEY_INTKR 信号がセットされます。そのため、この期間中に他方の端子に立ち下がりエッジが入力されても、再度キー割り込み (KEY_INTKR) は発生しません。図 20.3 の [1] を参照してください。

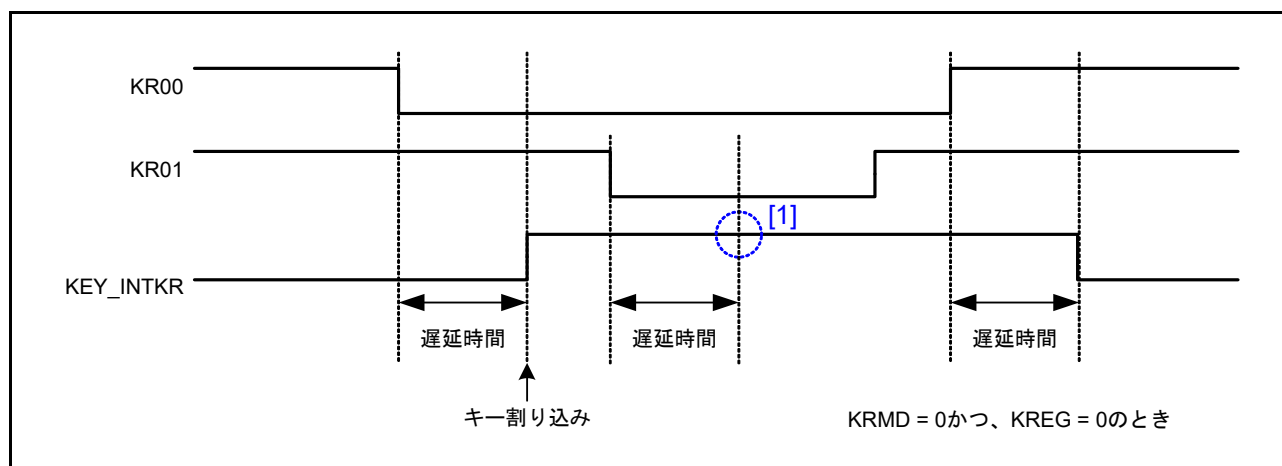


図 20.3 キー割り込みが複数のチャンネルに入力された場合の KEY_INTKR 信号の動作

20.3.2 キー割り込みフラグを使用する場合の動作 (KRMD = 1)

キー割り込み端子 KR00 ~ KR07 に、KREG ビットで指定された有効エッジが入力されたとき、キー割り込み (KEY_INTKR) が発生します。有効エッジが入力されたチャンネルを判別するには、キー割り込み (KEY_INTKR) の発生後にキーリターンフラグレジスタ (KRF) を読み出します。KRMD ビットが 1 になっている場合は、KRF の対応するビットをクリアして、KEY_INTKR 信号をクリアしてください。

図 20.4 に示すように、KREG ビットが 0 の場合、1 つのチャンネルに立ち下がりエッジが入力されるごとに、1 回だけ割り込みが発生します。立ち上がりエッジが入力される前や後に KRFn ビットがクリアされても、それ以上割り込みは発生しません。

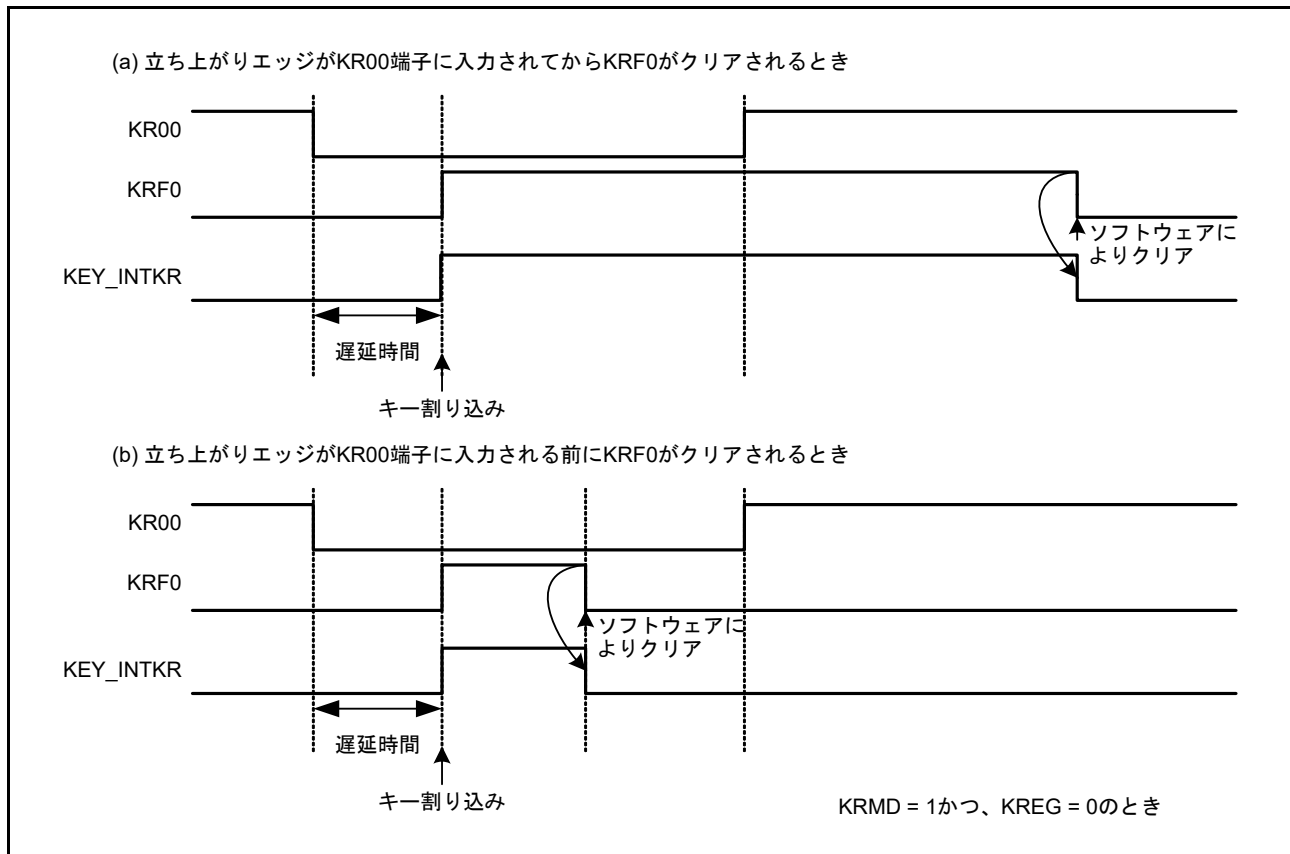


図 20.4 キー割り込みフラグを使用する場合の KEY_INTKR 信号の基本動作

有効エッジが複数のキー割り込み入力端子に入力された場合の動作を図 20.5 に示します。KR00 端子に立ち下がりエッジが入力された後に、すなわち KREG = 0 の場合に、KR01 端子と KR05 端子にも立ち下がりエッジが入力されます。KRF0 ビットがクリアされたとき、KRF1 ビットはセット状態になっています。そのため、KRF0 ビットがクリアされると、KEY_INTKR 信号は 1 クロック (PCLKB) サイクルネゲートされます。図 20.5 の [1] を参照してください。また、KR05 端子に立ち下がりエッジが入力された後に、KRF5 ビットがセットされます。KRF1 ビットがクリアされたとき、図中の [2] の状態になります。そのため、KRF1 ビットがクリアされると、KEY_INTKR 信号は 1 クロック (PCLKB) サイクルネゲートされます。図中の [3] を参照してください。したがって、複数チャンネルに有効エッジが入力されたとき、それぞれキー割り込みを発生させることが可能です。

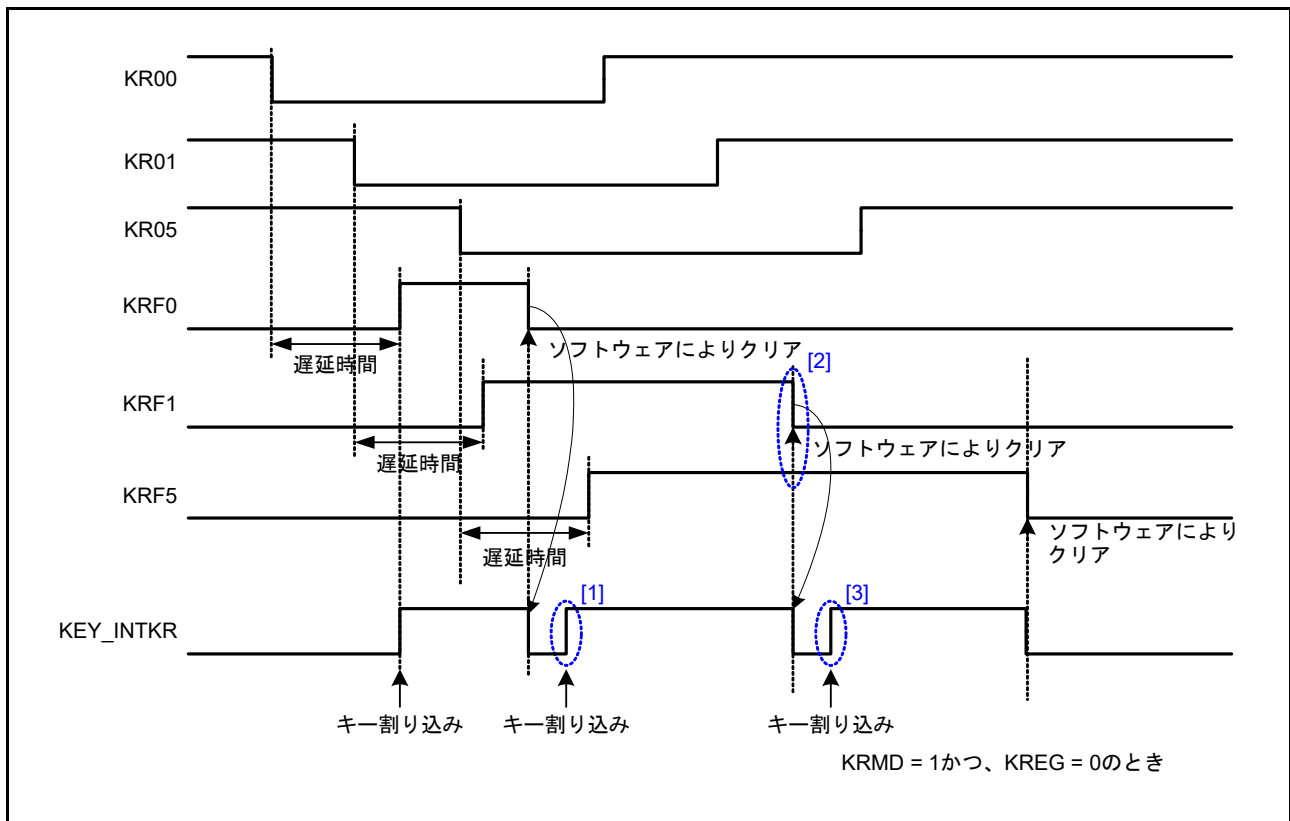


図 20.5 キー割り込みが複数のチャンネルに入力された場合の KEY_INTKR 信号の動作

20.4 使用上の注意事項

- KEY_INTKR をスヌーズ要求として用いる場合は、KRMD を 0 にすること
- KEY_INTKR をスヌーズモードおよびソフトウェアスタンバイモードから通常モードへ復帰するための割り込み要因として用いる場合は、KRMD ビットを 1 にすること
- キー割り込み機能 (KINT) が端子に割り当てられる場合、この端子入力はソフトウェアスタンバイモード時に常に許可される。また、この端子レベルが変化すると、対応する KRFn がセットされる可能性がある。そのため、ソフトウェアスタンバイモードの解除時に、キー割り込みが発生する可能性がある

ソフトウェアスタンバイモード時のキー割り込み端子の変化を無視するには、ソフトウェアスタンバイモードへ遷移する前に、対応する KRM ビットをクリアしてください。ソフトウェアスタンバイモードの解除後は、対応する KRM ビットがセットされる前に、KRFn をクリアする必要があります。

21. GPT 用ポートアウトプットイネーブル (POEG)

汎用 PWM タイマ (GPT) の出力端子を出力禁止状態とするには、ポートアウトプットイネーブル (POEG) 機能において、以下の方法の 1 つを使用します。

- GTETR_{Gn} 端子 (n = A, B) の入力レベル検出
- GPT からの出力禁止要求
- コンパレータ割り込み要求検出
- クロック発生回路の発振停止検出
- レジスタ設定

GTETR_{Gn} 端子 (n = A, B) は、GPT への外部トリガ入力端子としても利用可能です。

21.1 概要

表 21.1 に POEG の仕様を、図 21.1 にブロック図を、表 21.2 に入力端子を示します。

表 21.1 POEGの仕様

項目	内容
入力レベル検出による出力禁止制御	極性とフィルタの選択後、GTETR _{Gn} 端子の立ち上がりエッジまたはHighレベルをサンプリングした場合に、GPT出力端子を出力禁止に設定可能
GPTからの出力禁止要求	GTIOCA端子とGTIOCB端子が同時にアクティブレベルとなる場合、GPTはPOEGに対して出力禁止要求を発生させる。POEGは、これらの出力禁止要求を受信して、GTIOCAおよびGTIOCB端子を出力禁止にするか否かの制御が可能
発振停止検出による出力禁止制御	クロック発生回路による発振が停止した場合に、GPT出力端子を出力禁止に設定可能
ソフトウェア (レジスタ) による出力禁止制御	レジスタの設定値を書き換えることにより、GPT出力端子を出力禁止に設定可能
割り込み	<ul style="list-style-type: none"> • 入力レベル検出による出力禁止制御が可能 • GPTからの出力禁止要求が可能
GPTに対する外部トリガ出力機能 (カウント開始/カウント停止/カウントクリア/アップカウント/ダウンカウント/インプットキャプチャ機能)	極性とフィルタの選択後、GTETR _{Gn} 信号をGPTへ出力可能
ノイズフィルタリング	<ul style="list-style-type: none"> • どの入力端子 (GTETR_{Gn}) に対しても、PCLKB/1、PCLKB/8、PCLKB/32、またはPCLKB/128クロックごとに3回のサンプリングを設定可能 • どの入力端子 (GTETR_{Gn}) に対しても、正または負の極性を選択可能 • 極性およびフィルタ選択後の信号状態のモニタが可能

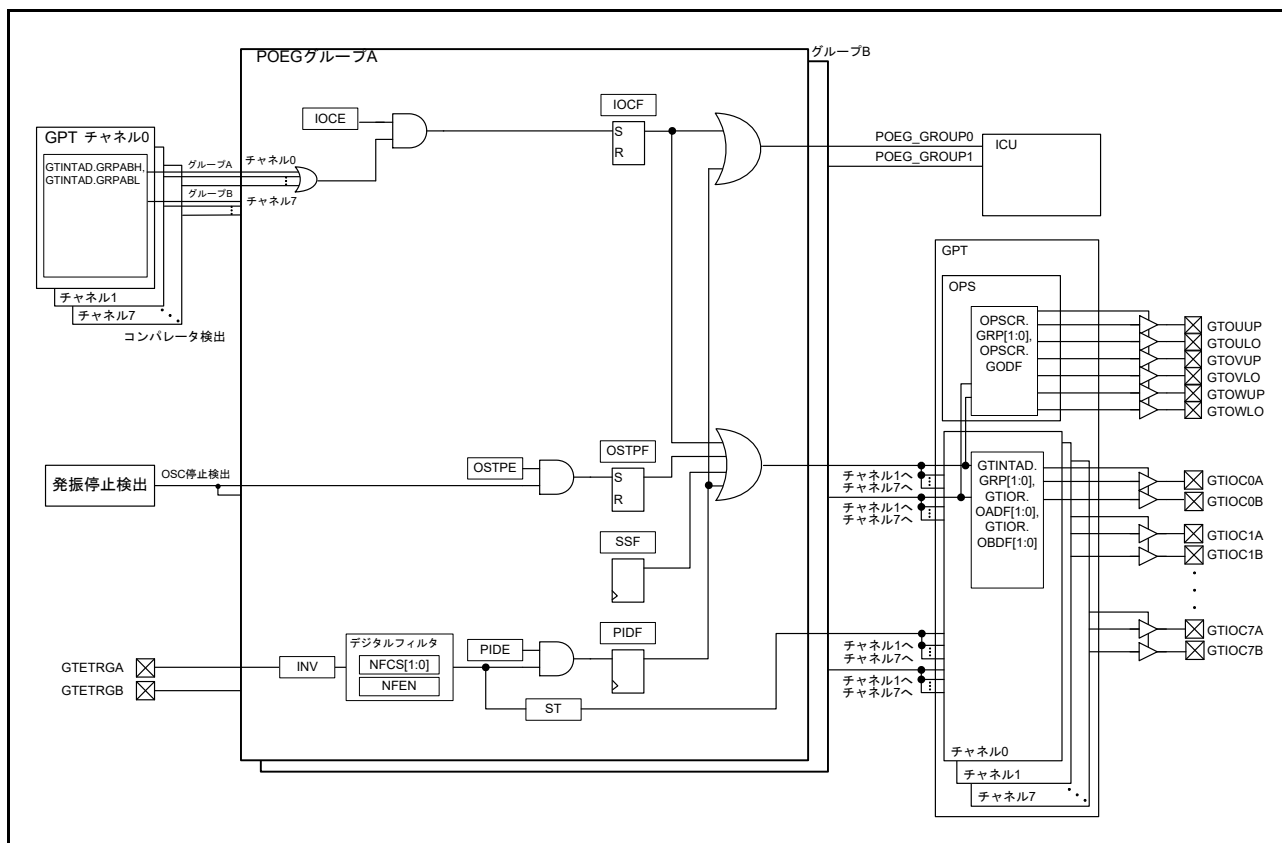


図 21.1 POEG のブロック図

表 21.2 POEGの入力端子

端子名	入出力	機能
GTETRGA	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子A
GTETRGB	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子B

21.2 レジスタの説明

21.2.1 POEG グループ n 設定レジスタ (POEGGn) (n = A, B)

アドレス POEG.POEGGA 4004 2000h, POEG.POEGGB 4004 2100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NFCS[1:0]	NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	—	ST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	OSTPE	IOCE	PIDE	SSF	OSTPF	IOCF	PIDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIDF	ポート入力検出フラグ	0 : GTETRn端子からの出力禁止要求なし 1 : GTETRn端子からの出力禁止要求あり	R/(W) (注1)
b1	IOCF	GPT出力禁止要求検出フラグ	0 : GPTの禁止要求による出力禁止要求なし 1 : GPTの禁止要求による出力禁止要求あり	R/(W) (注1)
b2	OSTPF	発振停止検出フラグ	0 : 発振停止検出による出力禁止要求なし 1 : 発振停止検出による出力禁止要求あり	R/(W) (注1)
b3	SSF	ソフトウェア停止フラグ	0 : ソフトウェアによる出力禁止要求なし 1 : ソフトウェアによる出力禁止要求あり	R/W
b4	PIDE	ポート入力検出許可	0 : GTETRn端子からの出力禁止要求なし 1 : GTETRn端子からの出力禁止要求あり	R/W (注2)
b5	IOCE	GPT出力禁止要求許可	0 : GPTの禁止要求による出力禁止要求なし 1 : GPTの禁止要求による出力禁止要求あり	R/W (注2)
b6	OSTPE	発振停止検出許可	0 : 発振停止検出による出力禁止要求を禁止 1 : 発振停止検出による出力禁止要求を許可	R/W (注2)
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	ST	GTETRn入カステータスフラグ	0 : フィルタリング後のGTETRn入力は0 1 : フィルタリング後のGTETRn入力は1	R
b27-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	INV	GTETRn入力反転	0 : GTETRnをそのまま入力 1 : GTETRnを反転して入力	R/W
b29	NFEN	ノイズフィルタ有効	0 : ノイズのフィルタリングを禁止 1 : ノイズのフィルタリングを許可	R/W
b31-b30	NFCS[1:0]	ノイズフィルタクロック選択	b1 b0 0 0 : GTETRn端子の入カレベルをPCLKB/1クロックごとに3回サンプリング 0 1 : GTETRn端子の入カレベルをPCLKB/8クロックごとに3回サンプリング 1 0 : GTETRn端子の入カレベルをPCLKB/32クロックごとに3回サンプリング 1 1 : GTETRn端子の入カレベルをPCLKB/128クロックごとに3回サンプリング	R/W

注1. フラグをクリアするための0書き込みのみ可能です。

注2. リセット後、1回のみ書き込み可能です。

POEGGA ~ POEGGD レジスタは、GPT 端子の出力禁止状態、割り込み、および GPT への外部トリガ入力を制御するレジスタです。以下の説明で POEGGn とは、POEGGA ~ POEGGD レジスタのすべてを表しています。

21.3 出力禁止制御の動作

以下のいずれかの条件が成立したとき、GTIOCxA、GTIOCxB、および BLDC モータ制御用 3 相 PWM 出力端子を出力禁止に設定できます。

- GTETRn 端子の入力レベルまたはエッジ検出
POEGn.PIDE ビットが 1 の場合、POEGn.PIDF フラグが 1 になります
- GPT からの出力禁止要求
POEGn.IOCE ビットが 1 の場合、GTINTAD.GRPABH ビットまたは GTINTAD.GRPABL ビットで許可された禁止要求が、GPT レジスタの GTINTAD.GRP[1:0] ビットと OPSCR.GRP[1:0] ビットで選択されたグループに適用されると、POEGn.IOCF フラグが 1 になります
- クロック発生回路の発振停止検出
POEGn.OSTPE ビットが 1 の場合、POEGn.OSTPF フラグが 1 になります
- SSF ビットの設定
POEGn.SSF ビットが 1 の場合、GPT と PWM が出力禁止状態になります
出力禁止状態は GPT で制御されます。GTIOCxA 端子および GTIOCxB 端子の出力禁止は、GPT の GTINTAD.GRP[1:0] ビット、GTIOR.OADF[1:0] ビット、および GTIOR.OBDF[1:0] ビットで設定されます。BLDC モータ制御用 3 相 PWM 出力端子の出力禁止は、GPT OPS の OPSCR.GRP[1:0] ビットおよび OPSCR.GODF ビットで設定されます

21.3.1 端子入力レベル検出時の動作

POEGn.PIDE、POEGn.NFCS[1:0]、POEGn.NFEN、および POEGn.INV ビットに設定した入力条件が、GTETRn 端子で発生した場合、GPT 出力端子は出力禁止状態になります。

21.3.1.1 デジタルフィルタ

図 21.2 に、デジタルフィルタによる High 検出時の動作を示します。POEGn.INV ビットの極性の設定に対応した High 状態が、POEGn.NFCS[1:0] ビットで選択したサンプリングクロックにおいて 3 回連続して検出されたとき、High 検出とみなされて、GPT 出力端子は出力禁止状態になります。このとき、一度でも Low を検出した場合は High 検出とみなされません。さらに、サンプリングクロックが出力されていない期間は、GTETRn 端子のレベル変化が無視されます。

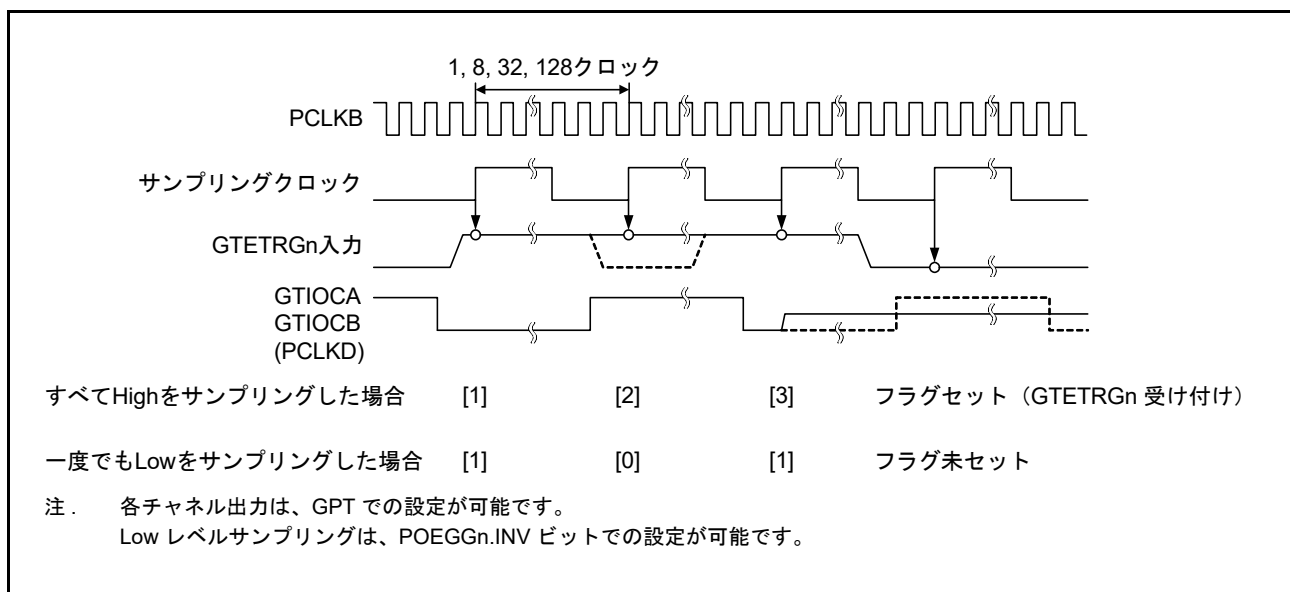


図 21.2 デジタルフィルタの動作例

21.3.2 GPT からの出力禁止要求

この動作の詳細については、「[22. 汎用 PWM タイマ \(GPT\)](#)」を参照してください。

21.3.3 発振停止検出による出力禁止制御

POEGn.OSTPE ビットが 1 の場合、クロック発生回路の発振停止検出機能が発振停止を検出すると、GPT 出力端子はグループごとに出力禁止になります。

21.3.4 レジスタによる出力禁止制御

GPT 出力端子は、ソフトウェア停止フラグ (POEGn.SSF) に書き込むことで直接制御が可能です。

21.3.5 出力禁止状態の解除

出力禁止状態になっている GPT 出力端子を解放するには、リセットによって初期状態に復帰させるか、または下記のフラグをすべてクリアします。

- POEGn.PIDF
- POEGn.IOCF
- POEGn.OSTPF
- POEGn.SSF

外部入力端子 GTETRn が無効ではなく、かつ POEGn.ST ビットが 0 になっていなければ、POEGn.PIDF フラグに 0 を書いても無視されます (フラグはクリアされません)。

GPT の GTST.OABHF フラグ、および GTST.OABLF フラグがすべて 0 になっている場合にのみ、POEGn.IOCF フラグに 0 を書くこと (フラグをクリアすること) が可能です。

クロック発生回路の OSTDSR.OSTDF フラグが 0 になっていない場合、POEGn.OSTPF フラグに 0 を書いても無視されます (フラグはクリアされません)。また、フラグのセットとクリアが同時に発生した場合、セットが優先されます。

[図 21.3](#) に、出力禁止状態の解除タイミングを示します。フラグがクリアされた後、次の GPT カウント周期の開始時に、出力禁止状態が解除されます。

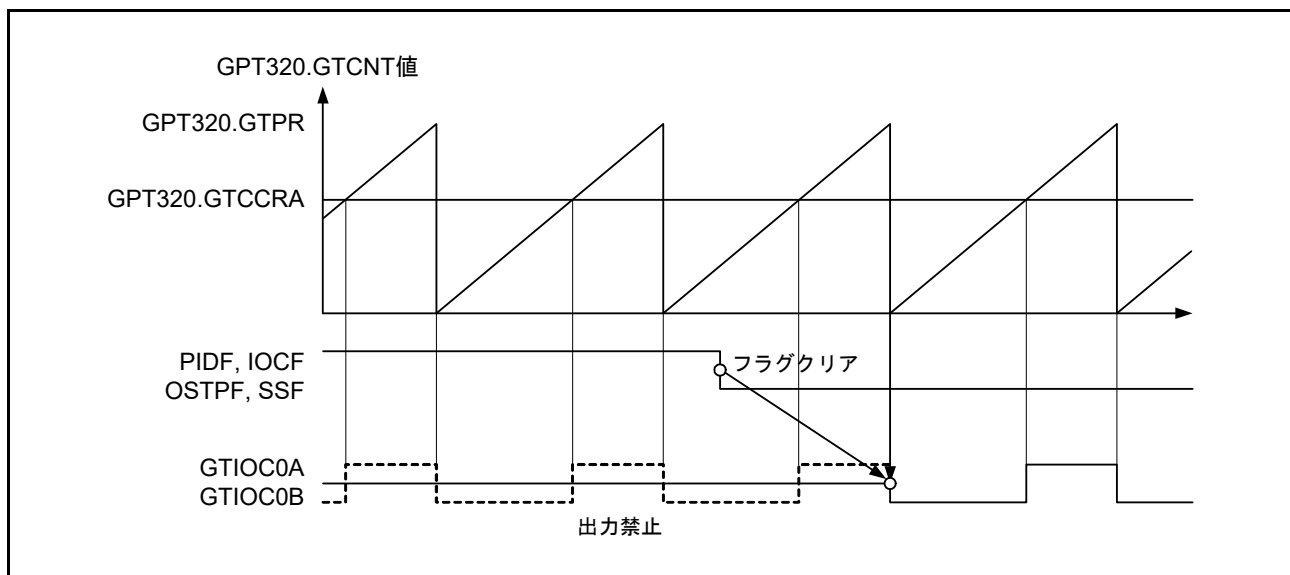


図 21.3 GPT 端子出力の出力禁止状態の解除タイミング

21.4 割り込み要因

POEG は、以下の要因によって割り込み要求を発生させます。

- 入力レベル検出による出力禁止制御
- GPT からの出力禁止要求

表 21.3 に、割り込み要求の条件を示します。

表 21.3 割り込み要因と条件

割り込み要因	シンボル	対応するフラグ	トリガ条件
POEGグループA割り込み	POEG_GROUP0	POEGGA.IOCF	GPTからの出力禁止要求の発生
		POEGGA.PIDF	GTETRG A端子からの出力禁止要求の発生
POEGグループB割り込み	POEG_GROUP1	POEGGB.IOCF	GPTからの出力禁止要求の発生
		POEGGB.PIDF	GTETRG B端子からの出力禁止要求の発生

21.5 GPT に対する外部トリガ出力

POEG は、下記の GPT 動作のトリガ信号として、GTETRG_n 信号を出力します。

- カウント開始
- カウント停止
- カウントクリア
- アップカウント
- ダウンカウント
- インพุットキャプチャ

POEGG.INV ビットで設定した極性信号に対し、POEGG_n.NFCS[1:0] ビットで選択したサンプリングクロックで同じレベルが 3 回連続して入力されたとき、その値が出力されます。コントロールレジスタは 21.3.1 端子入力レベル検出時の動作で記載したビットを設定してください。フィルタリング後の状態は POEGG_n.ST フラグでモニタできます。

図 21.4 に、GPT に対する外部トリガ出力のタイミングを示します。

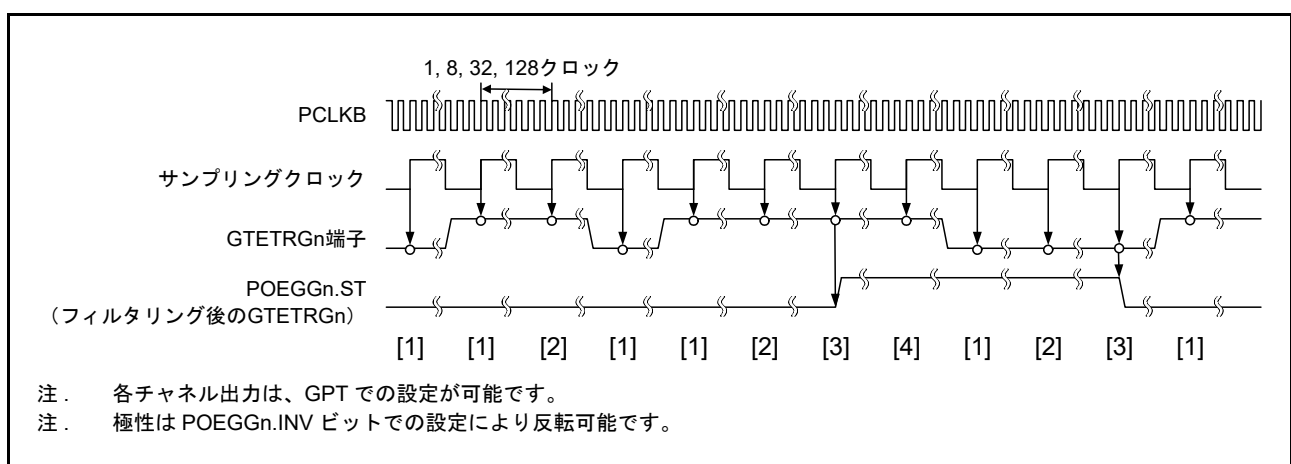


図 21.4 GPT に対する外部トリガ出力のタイミング

21.6 使用上の注意事項

21.6.1 ソフトウェアスタンバイモードへの遷移

POEG を使用する場合は、ソフトウェアスタンバイモードへ遷移させないでください。このモードでは POEG が停止するため、端子の出力禁止を制御することができません。

21.6.2 GPT 対応端子の指定

POEG は、PmnPFS.PMR および PmnPFS.PSEL ビットによって、GPT 対応端子として指定された場合にのみ出力禁止制御を行います。端子が汎用入出力端子として指定されている場合、POEG は出力禁止制御を行いません。

22. 汎用 PWM タイマ (GPT)

22.1 概要

汎用 PWM タイマ (GPT) は、2 チャネルの 32 ビットタイマ (GPT32) と、6 チャネルの 16 ビットタイマ (GPT16) で構成されます。PWM 波形は、アップカウンタ、ダウンカウンタ、またはアップダウンカウンタを制御することで発生させることができます。さらに、ブラシレス DC モータ制御用の PWM 波形を発生させることもできます。GPT は汎用タイマとしても使用可能です。

表 22.1 に GPT の仕様を、表 22.2 に GPT の機能一覧を、図 22.1 にブロック図を、図 22.2 に GPT チャネルとモジュール名の対応関係、および表 22.3 に入出力端子を示します。

表 22.1 GPTの仕様

項目	内容
機能	<ul style="list-style-type: none"> • 32ビット×2チャネル • 16ビット×6チャネル • 各カウンタは、アップカウントもしくはダウンカウント (のこぎり波)、またはアップダウンカウント (三角波) • チャネルごとに独立したクロックソースを選択可能 • チャネルごとに2本の入出力端子 • チャネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 • 各チャネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャネルごとにフレーム周期設定用レジスタを搭載 (オーバーフロー/アンダーフローで割り込み可能) • PWM動作の際にデッドタイム生成が可能 • 任意チャネルのカウンタの同期スタート/ストップ/クリア • 最大8個のELCイベントに対応したカウンタのスタート/ストップ/クリア/アップ/ダウン • 入力レベル比較に対応したカウンタのスタート/ストップ/クリア/アップ/ダウン • 最大4個の外部トリガに対応したカウンタのスタート/ストップ/クリア/アップ/ダウン • 出力端子間の短絡検出による出力端子無効機能 • ブラシレスDCモータ制御用のPWM波形生成が可能 • コンペアマッチA~Fイベント、オーバーフローイベント/アンダーフローイベント、および入力UVWエッジイベントをELCに出力可能 • インプットキャプチャおよび入力UVWのノイズフィルタを使用可能 • バスクロック: PCLKA • コアクロック: PCLKD • 周波数比: PCLKA: PCLKD = 1: N (N = 1/2/4/8/16/32/64)

表 22.2 GPTの機能一覧

項目		GPT32, GPT16
カウントクロック		PCLKD PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 PCLKD/1024
アウトプットコンペア/インプットキャプチャレジスタ (GTCCR)		GTCCRA GTCCRB
コンペア/バッファレジスタ		GTCCRC GTCCRD GTCCRE GTCCRF
周期設定レジスタ		GTPR
周期設定バッファレジスタ		GTPBR
入出力端子		GTIOCA GTIOCB
外部トリガ入力端子 (注1)		GTETRGA GTETRGB
カウンタクリア要因		GTPRレジスタコンペアマッチ、インプットキャプチャ、入力端子状態、ELCイベント入力、およびGTETRn端子入力
コンペアマッチ出力	Low出力	可能
	High出力	可能
	トグル出力	可能
インプットキャプチャ機能		可能
デッドタイム自動付加機能		可能 (デッドタイムバッファなし)
PWMモード		可能
位相計数機能		可能
バッファ動作		ダブルバッファ
ワンショット動作		可能
DTCの起動		すべての割り込み要因
ブラシレスDCモータ制御機能		可能
割り込み要因		8要因 : <ul style="list-style-type: none"> • GTCCRAコンペアマッチ/インプットキャプチャ (GPTn_CCMPA) • GTCCRBコンペアマッチ/インプットキャプチャ (GPTn_CCMPB) • GTCCRCコンペアマッチ (GPTn_CMPC) • GTCCRDコンペアマッチ (GPTn_CMPD) • GTCCREコンペアマッチ (GPTn_CMPE) • GTCCRFコンペアマッチ (GPTn_CMPF) • GTCNTオーバーフロー (GTPRコンペアマッチ) (GPTn_OVF) • GTCNTアンダーフロー (GPTn_UDF) 注. n = 0~7
イベントリンク (ELC) 機能		可能
ノイズフィルタ機能		可能

注 1. GTETRn は、POEG モジュールを経由して GPT に接続します。そのため、GPT 機能を使用するには、MSTPD14 ビットをクリアして POEG にクロックを供給してください。

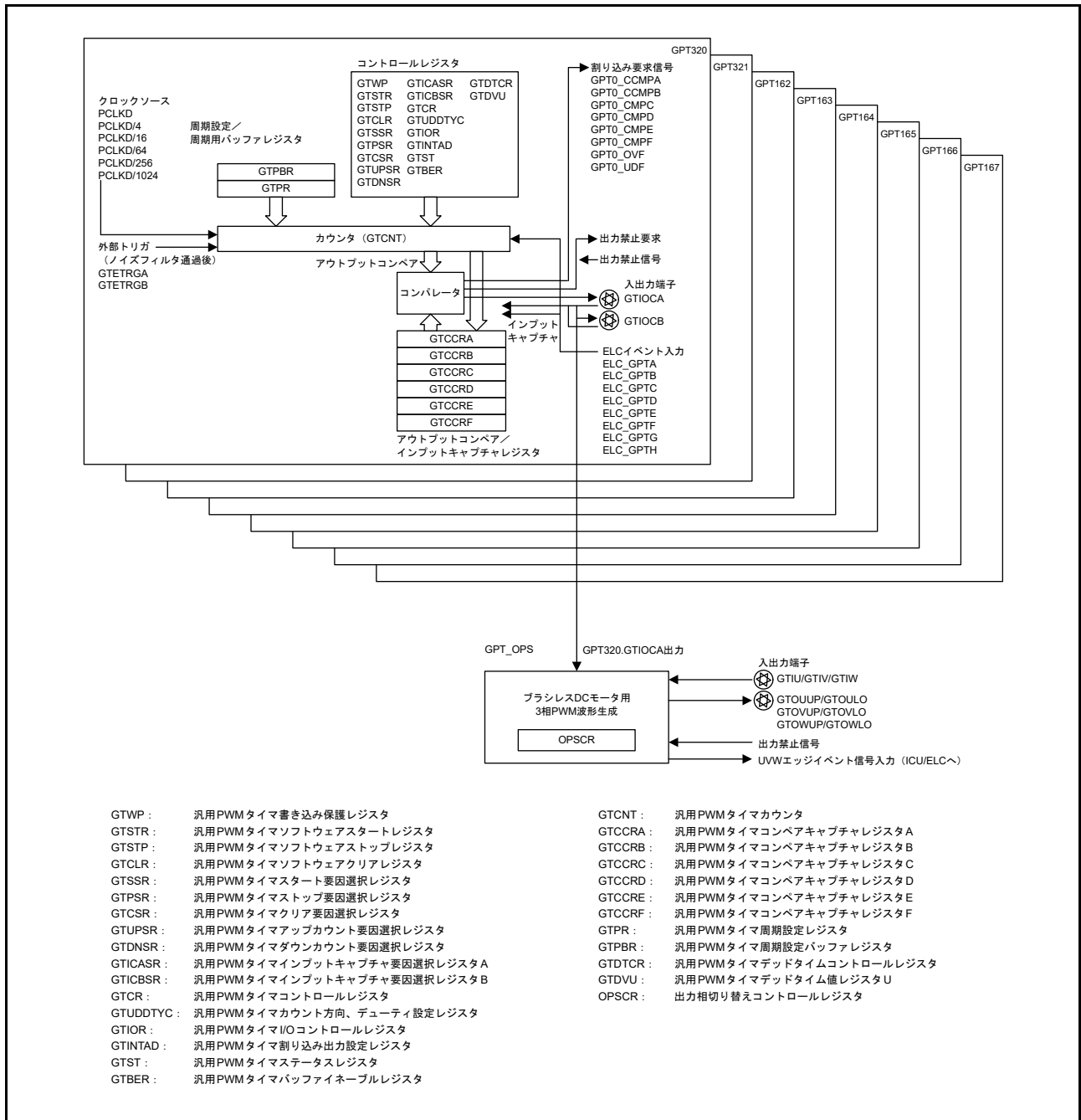


図 22.1 GPT のブロック図

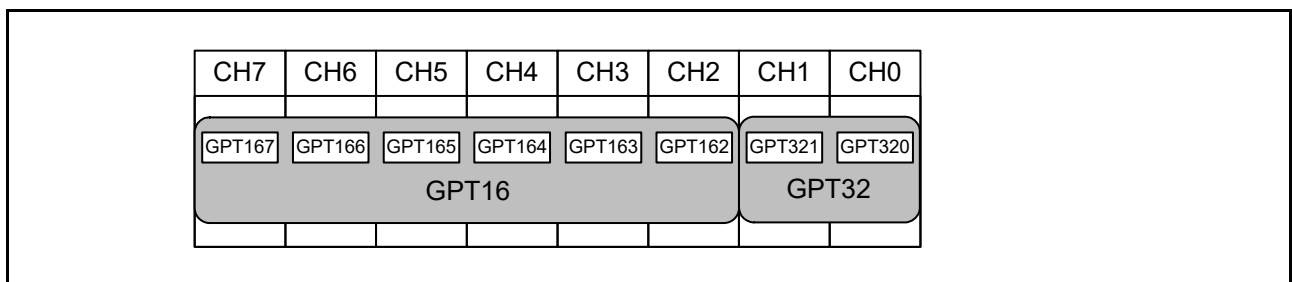


図 22.2 GPT チャンネルとモジュール名の対応関係

表 22.3 GPTの入出力端子

チャンネル	端子名	入出力	機能
共通	GTETRGA	入力	外部トリガ入力端子A (ノイズフィルタリング後)
	GTETRGB	入力	外部トリガ入力端子B (ノイズフィルタリング後)
GPT320	GTIOC0A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT321	GTIOC1A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC1B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT162	GTIOC2A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC2B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT163	GTIOC3A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC3B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT164	GTIOC4A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC4B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT165	GTIOC5A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC5B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT166	GTIOC6A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC6B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT167	GTIOC7A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC7B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT OPS	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDCモータ制御用3相PWM出力 (正相U相)
	GTOULO	出力	BLDCモータ制御用3相PWM出力 (逆相U相)
	GTOVUP	出力	BLDCモータ制御用3相PWM出力 (正相V相)
	GTOVLO	出力	BLDCモータ制御用3相PWM出力 (逆相V相)
	GTOWUP	出力	BLDCモータ制御用3相PWM出力 (正相W相)
	GTOWLO	出力	BLDCモータ制御用3相PWM出力 (逆相W相)

22.2 レジスタの説明

表 22.4 に GPT のレジスタ一覧を示します。

表 22.4 GPT レジスタ

モジュール シンボル	レジスタ名	レジスタ シンボル	リセット値	アドレス	アクセス サイズ
GPT32m (注1) GPT16m (注2)	汎用PWMタイマ書き込み保護レジスタ	GTWP	0000_0000h	4007 8000h + 0100h × m	32
	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	0000_0000h	4007 8004h + 0100h × m	32
	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	FFFF_FFFFh	4007 8008h + 0100h × m	32
	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	0000_0000h	4007 800Ch + 0100h × m	32
	汎用PWMタイマスタート要因選択レジスタ	GTSSR	0000_0000h	4007 8010h + 0100h × m	32
	汎用PWMタイマストップ要因選択レジスタ	GTCSR	0000_0000h	4007 8014h + 0100h × m	32
	汎用PWMタイマクリア要因選択レジスタ	GTCSR	0000_0000h	4007 8018h + 0100h × m	32
	汎用PWMタイマアップカウント要因選択レジスタ	GTUPSR	0000_0000h	4007 801Ch + 0100h × m	32
	汎用PWMタイマダウンカウント要因選択レジスタ	GTDNSR	0000_0000h	4007 8020h + 0100h × m	32
	汎用PWMタイマインプットキャプチャ要因選択レジスタ A	GTICASR	0000_0000h	4007 8024h + 0100h × m	32
	汎用PWMタイマインプットキャプチャ要因選択レジスタ B	GTICBSR	0000_0000h	4007 8028h + 0100h × m	32
	汎用PWMタイマコントロールレジスタ	GTCR	0000_0000h	4007 802Ch + 0100h × m	32
	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	0000_0001h	4007 8030h + 0100h × m	32
	汎用PWMタイマ I/O コントロールレジスタ	GTIOR	0000_0000h	4007 8034h + 0100h × m	32
	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	0000_0000h	4007 8038h + 0100h × m	32
	汎用PWMタイマステータスレジスタ	GTST	0000_8000h	4007 803Ch + 0100h × m	32
	汎用PWMタイマパツファイネーブルレジスタ	GTBER	0000_0000h	4007 8040h + 0100h × m	32
	汎用PWMタイマカウンタ	GTCNT	0000_0000h	4007 8048h + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ A	GTCCRA	FFFF_FFFFh (注3)	4007 804Ch + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ B	GTCCRB	FFFF_FFFFh (注3)	4007 8050h + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ C	GTCCRC	FFFF_FFFFh (注3)	4007 8054h + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ E	GTCCRE	FFFF_FFFFh (注3)	4007 8058h + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ D	GTCCRD	FFFF_FFFFh (注3)	4007 805Ch + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ F	GTCCRF	FFFF_FFFFh (注3)	4007 8060h + 0100h × m	32
	汎用PWMタイマ周期設定レジスタ	GTPR	FFFF_FFFFh (注3)	4007 8064h + 0100h × m	32
	汎用PWMタイマ周期設定パツファレジスタ	GTPBR	FFFF_FFFFh (注3)	4007 8068h + 0100h × m	32
汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	0000_0000h	4007 8088h + 0100h × m	32	
汎用PWMタイマデッドタイム値レジスタ U	GTDVU	FFFF_FFFFh (注3)	4007 808Ch + 0100h × m	32	
GPT_OPS	出力相切り替えコントロールレジスタ	OPSCR	0000_0000h	4007 8FF0h	32

注 1. GPT32m (m = 0 ~ 1)

注 2. GPT16m (m = 2 ~ 7)

注 3. GPT16m のリセット値は 0000FFFFh です。

22.2.1 汎用 PWM タイマ書き込み保護レジスタ (GTWP)

アドレス GPT32m.GTWP 4007 8000h + 0100h × m (m = 0~1),
GPT16m.GTWP 4007 8000h + 0100h × m (m = 2~7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]							—	—	—	—	—	—	—	WP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP	レジスタ書き込み禁止	0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	PRKEY[7:0]	GTWP キーコード	これらのビットにA5hを書き込むと、WPビットへの書き込みが許可されます。読むと0が読めます。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可/禁止するレジスタです。書き込みが許可/禁止されるレジスタは以下のとおりです。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTDTCR, GTDVU

22.2.2 汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)

アドレス GPT32m.GTSTR 4007 8004h + 0100h × m (m = 0~1),
GPT16m.GTSTR 4007 8004h + 0100h × m (m = 2~7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CSTRT ₇	CSTRT ₆	CSTRT ₅	CSTRT ₄	CSTRT ₃	CSTRT ₂	CSTRT ₁	CSTRT ₀	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTSTR レジスタは、各チャネル n (n = 0 ~ 7) の GTCNT カウンタ動作を開始します。

GTSTR レジスタのビット番号はチャネル番号に相当します。GTSTR レジスタは各チャネル共通です。1 が書き込まれた GTSTR レジスタのビット番号に対応するチャネルの GTCNT カウンタが動作を開始します。0 を書き込んでも、GTCNT カウンタの状態と GTSTR レジスタの値には影響しません。GTSTR のビット番号とチャネル番号の対応関係については、[図 22.2](#) を参照してください。

CSTRT[7:0] ビット (チャネル n GTCNT カウントスタート) (n = 0 ~ 7)

チャネル n の GTCNT カウンタ動作を開始します。GPTm.GTSSR.CSTRTn ビットを 1 にしないかぎり、GTSTR.CSTRTn ビット (n = 0 ~ 7) への書き込みは無効です (m = 320 ~ 321, 162 ~ 167)。

リードデータは各チャネルのカウンタ状態 (GTCR.CST ビット値) を示します。0 はカウンタストップを、1 はカウンタ動作を意味します。

22.2.3 汎用 PWM タイマソフトウェアストップレジスタ (GTSTP)

アドレス GPT32m.GTSTP 4007 8008h + 0100h × m (m = 0 ~ 1),
GPT16m.GTSTP 4007 8008h + 0100h × m (m = 2 ~ 7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	—	CSTOP ₇	CSTOP ₆	CSTOP ₅	CSTOP ₄	CSTOP ₃	CSTOP ₂	CSTOP ₁	CSTOP ₀
	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTSTP レジスタは、各チャンネル n ($n = 0 \sim 7$) の GTCNT カウンタ動作を停止します。

GTSTP レジスタのビット番号はチャンネル番号に相当します。GTSTP レジスタの各チャンネルはすべてのチャンネルに共通です。1 が書き込まれた GTSTP レジスタのビット番号に対応するチャンネルの GTCNT カウンタが停止します。0 を書き込んでも、GTCNT カウンタの状態および GTSTP レジスタの値には影響しません。

GTSTP のビット番号とチャンネル番号の対応関係については、[図 22.2](#) を参照してください。

CSTOP[7:0] ビット (チャンネル n GTCNT カウントストップ) ($n = 0 \sim 7$)

チャンネル n の GTCNT カウンタ動作を停止します。GPT32m.GTPSR.CSTOP n ビットを 1 にしないかぎり、GTSTP.CSTOP n ビット ($n = 0 \sim 7$) への書き込みは無効です ($m = 320 \sim 321, 162 \sim 167$)。リードデータは各チャンネルのカウンタ状態 (GTCR.CST ビットの反転値) を示します。0 はカウンタ動作を、1 はカウンタストップを意味します。

22.2.4 汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR)

アドレス GPT32m.GTCLR 4007 800Ch + 0100h × m (m = 0 ~ 1),
GPT16m.GTCLR 4007 800Ch + 0100h × m (m = 2 ~ 7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	—	CCLR7	CCLR6	CCLR5	CCLR4	CCLR3	CCLR2	CCLR1	CCLR0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTCLR レジスタは書き込み専用レジスタであり、各チャンネル n ($n = 0 \sim 7$) の GTCNT カウンタ動作をクリアします。

GTCLR レジスタのビット番号はチャンネル番号に相当します。GTCLR レジスタの各チャンネルはすべてのチャンネルに共通です。1 が書き込まれた GTCLR レジスタのビット番号に対応するチャンネルの GTCNT カウンタがクリアされます。0 を書き込んでも GTCNT カウンタの状態には影響しません。GTCLR のビット番号とチャンネル番号の対応関係については、[図 22.2](#) を参照してください。

CCLR[7:0] ビット (チャンネル n GTCNT カウントクリア) ($n = 0 \sim 7$)

1 を書き込むと、チャンネル n の GTCNT カウンタ値がクリアされます。読むと 0 が読めます。

22.2.5 汎用 PWM タイマスタート要因選択レジスタ (GTSSR)

アドレス GPT32m.GTSSR 4007 8010h + 0100h × m (m = 0~1),
GPT16m.GTSSR 4007 8010h + 0100h × m (m = 2~7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CSTRT	—	—	—	—	—	—	—	SSELC H	SSELC G	SSELC F	SSELC E	SSELC D	SSELC C	SSELC B	SSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSCBF AH	SSCBF AL	SSCBR AH	SSCBR AL	SSCAF BH	SSCAF BL	SSCAR BH	SSCAR BL	—	—	—	—	SSGTR GBF	SSGTR GBR	SSGTR GAF	SSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSGTRGAR	GTETRGA 端子立ち上がり入力要因カウンタスタート許可	0: GTETRGA 入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTETRGA 入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b1	SSGTRGAF	GTETRGA 端子立ち下がり入力要因カウンタスタート許可	0: GTETRGA 入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTETRGA 入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b2	SSGTRGBR	GTETRGB 端子立ち上がり入力要因カウンタスタート許可	0: GTETRGB 入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTETRGB 入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b3	SSGTRGBF	GTETRGB 端子立ち下がり入力要因カウンタスタート許可	0: GTETRGB 入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTETRGB 入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	SSCARBL	GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタスタート許可	0: GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b9	SSCARBH	GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタスタート許可	0: GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b10	SSCAFBL	GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタスタート許可	0: GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b11	SSCAFBH	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタスタート許可	0: GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b12	SSCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタスタート許可	0: GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b13	SSCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタスタート許可	0: GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタスタートを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	SSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタスタート許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b15	SSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタスタート許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b16	SSELCA	ELC_GPTAイベント要因カウンタスタート許可	0: ELC_GPTAイベント入力でのカウンタスタートを禁止 1: ELC_GPTAイベント入力でのカウンタスタートを許可	R/W
b17	SSELCB	ELC_GPTBイベント要因カウンタスタート許可	0: ELC_GPTBイベント入力でのカウンタスタートを禁止 1: ELC_GPTBイベント入力でのカウンタスタートを許可	R/W
b18	SSELCC	ELC_GPTCイベント要因カウンタスタート許可	0: ELC_GPTCイベント入力でのカウンタスタートを禁止 1: ELC_GPTCイベント入力でのカウンタスタートを許可	R/W
b19	SSELCD	ELC_GPTDイベント要因カウンタスタート許可	0: ELC_GPTDイベント入力でのカウンタスタートを禁止 1: ELC_GPTDイベント入力でのカウンタスタートを許可	R/W
b20	SSELCE	ELC_GPTEイベント要因カウンタスタート許可	0: ELC_GPTEイベント入力でのカウンタスタートを禁止 1: ELC_GPTEイベント入力でのカウンタスタートを許可	R/W
b21	SSELCF	ELC_GPTFイベント要因カウンタスタート許可	0: ELC_GPTFイベント入力でのカウンタスタートを禁止 1: ELC_GPTFイベント入力でのカウンタスタートを許可	R/W
b22	SSELCG	ELC_GPTGイベント要因カウンタスタート許可	0: ELC_GPTGイベント入力でのカウンタスタートを禁止 1: ELC_GPTGイベント入力でのカウンタスタートを許可	R/W
b23	SSELCH	ELC_GPTHイベント要因カウンタスタート許可	0: ELC_GPTHイベント入力でのカウンタスタートを禁止 1: ELC_GPTHイベント入力でのカウンタスタートを許可	R/W
b30-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CSTRT	ソフトウェア要因カウンタスタート許可	0: GTSTRレジスタによるカウンタスタートを禁止 1: GTSTRレジスタによるカウンタスタートを許可	R/W

GTSSR レジスタは GTCNT カウンタの開始要因を設定するレジスタです。

SSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタスタート許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

SSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタスタート許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

SSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタスタート許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

SSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタスタート許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

SSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタスタート許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

SSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタスタート許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

SSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタスタート許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

SSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタスタート許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタスタート許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタスタート許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタスタート許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタスタート許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSELCm ビット (ELC_GPTm イベント要因カウンタスタート許可) (m = A ~ H)

ELC_GPTm イベント入力での GTCNT カウンタスタートの許可／禁止を選択します。

CSTRT ビット (ソフトウェア要因カウンタスタート許可)

GTSTR レジスタによる GTCNT カウンタスタートの許可／禁止を選択します。

22.2.6 汎用 PWM タイマストップ要因選択レジスタ (GTPSR)

アドレス GPT32m.GTPSR 4007 8014h + 0100h × m (m = 0 ~ 1),
GPT16m.GTPSR 4007 8014h + 0100h × m (m = 2 ~ 7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CSTOP	—	—	—	—	—	—	—	PSELC H	PSELC G	PSELC F	PSELC E	PSELC D	PSELC C	PSELC B	PSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PSCBF AH	PSCBF AL	PSCBR AH	PSCBR AL	PSCAF BH	PSCAF BL	PSCAR BH	PSCAR BL	—	—	—	—	PSGTR GBF	PSGTR GBR	PSGTR GAF	PSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタストップ許可	0 : GTETRGA入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTETRGA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b1	PSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタストップ許可	0 : GTETRGA入力の立ち下がりエッジでのカウンタストップを禁止 1 : GTETRGA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b2	PSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタストップ許可	0 : GTETRGB入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTETRGB入力の立ち上がりエッジでのカウンタストップを許可	R/W
b3	PSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタストップ許可	0 : GTETRGB入力の立ち下がりエッジでのカウンタストップを禁止 1 : GTETRGB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	PSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタストップ許可	0 : GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b9	PSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタストップ許可	0 : GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b10	PSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタストップ許可	0 : GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを禁止 1 : GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b11	PSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタストップ許可	0 : GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを禁止 1 : GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b12	PSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタストップ許可	0 : GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを許可	R/W
b13	PSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタストップ許可	0 : GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	PSCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタストップ許可	0: GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタストップを禁止 1: GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタストップを許可	R/W
b15	PSCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタストップ許可	0: GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタストップを禁止 1: GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタストップを許可	R/W
b16	PSELCA	ELC_GPTA イベント要因カウンタストップ許可	0: ELC_GPTA イベント入力でのカウンタストップを禁止 1: ELC_GPTA イベント入力でのカウンタストップを許可	R/W
b17	PSELCB	ELC_GPTB イベント要因カウンタストップ許可	0: ELC_GPTB イベント入力でのカウンタストップを禁止 1: ELC_GPTB イベント入力でのカウンタストップを許可	R/W
b18	PSELCC	ELC_GPTC イベント要因カウンタストップ許可	0: ELC_GPTC イベント入力でのカウンタストップを禁止 1: ELC_GPTC イベント入力でのカウンタストップを許可	R/W
b19	PSELCD	ELC_GPTD イベント要因カウンタストップ許可	0: ELC_GPTD イベント入力でのカウンタストップを禁止 1: ELC_GPTD イベント入力でのカウンタストップを許可	R/W
b20	PSELCE	ELC_GPTE イベント要因カウンタストップ許可	0: ELC_GPTE イベント入力でのカウンタストップを禁止 1: ELC_GPTE イベント入力でのカウンタストップを許可	R/W
b21	PSELCF	ELC_GPTF イベント要因カウンタストップ許可	0: ELC_GPTF イベント入力でのカウンタストップを禁止 1: ELC_GPTF イベント入力でのカウンタストップを許可	R/W
b22	PSELCG	ELC_GPTG イベント要因カウンタストップ許可	0: ELC_GPTG イベント入力でのカウンタストップを禁止 1: ELC_GPTG イベント入力でのカウンタストップを許可	R/W
b23	PSELCH	ELC_GPTH イベント要因カウンタストップ許可	0: ELC_GPTH イベント入力でのカウンタストップを禁止 1: ELC_GPTH イベント入力でのカウンタストップを許可	R/W
b30-b24	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b31	CSTOP	ソフトウェア要因カウンタストップ許可	0: GTSTP レジスタによるカウンタストップを禁止 1: GTSTP レジスタによるカウンタストップを許可	R/W

GTSPR レジスタは GTCNT カウンタの停止要因を設定するレジスタです。

PSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタストップ許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

PSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタストップ許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

PSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタストップ許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

PSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタストップ許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

PSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタストップ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

PSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタストップ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

PSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタストップ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

PSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタストップ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

PSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタストップ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

PSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタストップ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

PSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタストップ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

PSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタストップ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

PSELCm ビット (ELC_GPTm イベント要因カウンタストップ許可) (m = A ~ H)

ELC_GPTm イベント入力での GTCNT カウンタストップの許可/禁止を選択します。

CSTOP ビット (ソフトウェア要因カウンタストップ許可)

GTSTP レジスタによる GTCNT カウンタストップの許可/禁止を選択します。

22.2.7 汎用 PWM タイマクリア要因選択レジスタ (GTCSR)

アドレス GPT32m.GTCSR 4007 8018h + 0100h × m (m = 0~1),
GPT16m.GTCSR 4007 8018h + 0100h × m (m = 2~7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CCLR	—	—	—	—	—	—	—	CSELC H	CSELC G	CSELC F	CSELC E	CSELC D	CSELC C	CSELC B	CSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CSCBF AH	CSCBF AL	CSCBR AH	CSCBR AL	CSCAF BH	CSCAF BL	CSCAR BH	CSCAR BL	—	—	—	—	CSGTR GBF	CSGTR GBR	CSGTR GAF	CSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタクリア許可	0: GTETRGA入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b1	CSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタクリア許可	0: GTETRGA入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b2	CSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタクリア許可	0: GTETRGB入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTETRGB入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b3	CSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタクリア許可	0: GTETRGB入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTETRGB入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタクリア許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b9	CSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタクリア許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b10	CSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタクリア許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b11	CSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタクリア許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b12	CSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタクリア許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b13	CSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタクリア許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	CSCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタクリア許可	0: GTIOCA 入力 が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCA 入力 が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b15	CSCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタクリア許可	0: GTIOCA 入力 が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCA 入力 が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b16	CSELCA	ELC_GPTA イベント要因カウンタクリア許可	0: ELC_GPTA イベント入力でのカウンタクリアを禁止 1: ELC_GPTA イベント入力でのカウンタクリアを許可	R/W
b17	CSELCB	ELC_GPTB イベント要因カウンタクリア許可	0: ELC_GPTB イベント入力でのカウンタクリアを禁止 1: ELC_GPTB イベント入力でのカウンタクリアを許可	R/W
b18	CSELCC	ELC_GPTC イベント要因カウンタクリア許可	0: ELC_GPTC イベント入力でのカウンタクリアを禁止 1: ELC_GPTC イベント入力でのカウンタクリアを許可	R/W
b19	CSELCD	ELC_GPTD イベント要因カウンタクリア許可	0: ELC_GPTD イベント入力でのカウンタクリアを禁止 1: ELC_GPTD イベント入力でのカウンタクリアを許可	R/W
b20	CSELCE	ELC_GPTE イベント要因カウンタクリア許可	0: ELC_GPTE イベント入力でのカウンタクリアを禁止 1: ELC_GPTE イベント入力でのカウンタクリアを許可	R/W
b21	CSELCF	ELC_GPTF イベント要因カウンタクリア許可	0: ELC_GPTF イベント入力でのカウンタクリアを禁止 1: ELC_GPTF イベント入力でのカウンタクリアを許可	R/W
b22	CSELCG	ELC_GPTG イベント要因カウンタクリア許可	0: ELC_GPTG イベント入力でのカウンタクリアを禁止 1: ELC_GPTG イベント入力でのカウンタクリアを許可	R/W
b23	CSELCH	ELC_GPTH イベント要因カウンタクリア許可	0: ELC_GPTH イベント入力でのカウンタクリアを禁止 1: ELC_GPTH イベント入力でのカウンタクリアを許可	R/W
b30-b24	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b31	CCLR	ソフトウェア要因カウンタクリア許可	0: GTCLR レジスタによるカウンタクリアを禁止 1: GTCLR レジスタによるカウンタクリアを許可	R/W

GTCSR レジスタは GTCNT カウンタのクリア要因を設定するレジスタです。

CSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因 カウンタクリア許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

CSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因 カウンタクリア許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

CSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因 カウンタクリア許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

CSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因 カウンタクリア許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

CSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタクリア許可)

GTIOCB 入力 が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

CSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタクリア許可)

GTIOCB 入力 が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

CSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタクリア許可)

GTIOCB 入力 が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

CSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタクリア許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

CSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタクリア許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

CSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタクリア許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

CSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタクリア許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

CSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタクリア許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

CSELCm ビット (ELC_GPTm イベント要因カウンタクリア許可) (m = A ~ H)

ELC_GPTm イベント入力での GTCNT カウンタクリアの許可/禁止を選択します。

CCLR ビット (ソフトウェア要因カウンタクリア許可)

GTCLR レジスタによる GTCNT カウンタクリアの許可/禁止を選択します。

22.2.8 汎用 PWM タイマアップカウント要因選択レジスタ (GTUPSR)

アドレス GPT32m.GTUPSR 4007 801Ch + 0100h × m (m = 0~1),
GPT16m.GTUPSR 4007 801Ch + 0100h × m (m = 2~7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	USELC H	USELC G	USELC F	USELC E	USELC D	USELC C	USELC B	USELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	USCBF AH	USCBF AL	USCBR AH	USCBR AL	USCAF BH	USCAF BL	USCAR BH	USCAR BL	—	—	—	—	USGTR GBF	USGTR GBR	USGTR GAF	USGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USGTRGAR	GTETRGA端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTETRGA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTETRGA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b1	USGTRGAF	GTETRGA端子立ち下がり入力要因カウンタカウントアップ許可	0 : GTETRGA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1 : GTETRGA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b2	USGTRGBR	GTETRGB端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTETRGB入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTETRGB入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b3	USGTRGBF	GTETRGB端子立ち下がり入力要因カウンタカウントアップ許可	0 : GTETRGB入力の立ち下がりエッジでのカウンタカウントアップを禁止 1 : GTETRGB入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	USCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b9	USCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b10	USCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタカウントアップ許可	0 : GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1 : GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b11	USCAFBL	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタカウントアップ許可	0 : GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1 : GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b12	USCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b13	USCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	USCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタカウントアップ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b15	USCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタカウントアップ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b16	USELCA	ELC_GPTAイベント要因カウンタカウントアップ許可	0: ELC_GPTAイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTAイベント入力でのカウンタカウントアップを許可	R/W
b17	USELCB	ELC_GPTBイベント要因カウンタカウントアップ許可	0: ELC_GPTBイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTBイベント入力でのカウンタカウントアップを許可	R/W
b18	USELCC	ELC_GPTCイベント要因カウンタカウントアップ許可	0: ELC_GPTCイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTCイベント入力でのカウンタカウントアップを許可	R/W
b19	USELCD	ELC_GPTDイベント要因カウンタカウントアップ許可	0: ELC_GPTDイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTDイベント入力でのカウンタカウントアップを許可	R/W
b20	USELCE	ELC_GPTEイベント要因カウンタカウントアップ許可	0: ELC_GPTEイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTEイベント入力でのカウンタカウントアップを許可	R/W
b21	USELCF	ELC_GPTFイベント要因カウンタカウントアップ許可	0: ELC_GPTFイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTFイベント入力でのカウンタカウントアップを許可	R/W
b22	USELCG	ELC_GPTGイベント要因カウンタカウントアップ許可	0: ELC_GPTGイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTGイベント入力でのカウンタカウントアップを許可	R/W
b23	USELCH	ELC_GPTHイベント要因カウンタカウントアップ許可	0: ELC_GPTHイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTHイベント入力でのカウンタカウントアップを許可	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTUPSR レジスタは GTCNT カウンタのカウントアップ要因を設定するレジスタです。

GTUPSR レジスタの少なくとも1つのビットを1にすると、そのビットに対応する要因によって GTCNT カウンタがカウントアップされます。この場合、GTCR.TPCSは無効です。

USGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタカウントアップ許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

USGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタカウントアップ許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

USGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタカウントアップ許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

USGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタカウントアップ許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

USCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

USCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

USCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

USCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

USCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

USCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

USCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

USCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

USELCm ビット (ELC_GPTm イベント要因カウンタカウントアップ許可) (m = A ~ H)

ELC_GPTm イベント入力での GTCNT カウンタカウントアップの許可/禁止を選択します。

22.2.9 汎用 PWM タイマダウンカウント要因選択レジスタ (GTDNSR)

アドレス GPT32m.GTDNSR 4007 8020h + 0100h × m (m = 0 ~ 1),
GPT16m.GTDNSR 4007 8020h + 0100h × m (m = 2 ~ 7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	DSELC	DSELC	DSELC	DSELC	DSELC	DSELC	DSELC	DSELC	DSELC
リセット後の値	0	0	0	0	0	0	0	H	G	F	E	D	C	B	A	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DSCBF	DSCBF	DSCBR	DSCBR	DSCAF	DSCAF	DSCAR	DSCAR	—	—	—	—	DSGTR	DSGTR	DSGTR	DSGTR
リセット後の値	AH	AL	AH	AL	BH	BL	BH	BL	0	0	0	0	GBF	GBR	GAF	GAR
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DSGTRGAR	GTETRGA 端子立ち上がり入力要因カウンタカウントダウン許可	0: GTETRGA 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTETRGA 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b1	DSGTRGAF	GTETRGA 端子立ち下がり入力要因カウンタカウントダウン許可	0: GTETRGA 入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTETRGA 入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b2	DSGTRGBR	GTETRGB 端子立ち上がり入力要因カウンタカウントダウン許可	0: GTETRGB 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTETRGB 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b3	DSGTRGBF	GTETRGB 端子立ち下がり入力要因カウンタカウントダウン許可	0: GTETRGB 入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTETRGB 入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	DSCARBL	GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可	0: GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b9	DSCARBH	GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可	0: GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b10	DSCAFBL	GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b11	DSCAFBH	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b12	DSCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可	0: GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b13	DSCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可	0: GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	DSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b15	DSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b16	DSELCA	ELC_GPTA イベント要因カウンタカウントダウン許可	0: ELC_GPTA イベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTA イベント入力でのカウンタカウントダウンを許可	R/W
b17	DSELCB	ELC_GPTB イベント要因カウンタカウントダウン許可	0: ELC_GPTB イベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTB イベント入力でのカウンタカウントダウンを許可	R/W
b18	DSELCC	ELC_GPTC イベント要因カウンタカウントダウン許可	0: ELC_GPTC イベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTC イベント入力でのカウンタカウントダウンを許可	R/W
b19	DSELCD	ELC_GPTD イベント要因カウンタカウントダウン許可	0: ELC_GPTD イベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTD イベント入力でのカウンタカウントダウンを許可	R/W
b20	DSELCE	ELC_GPTE イベント要因カウンタカウントダウン許可	0: ELC_GPTE イベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTE イベント入力でのカウンタカウントダウンを許可	R/W
b21	DSELCF	ELC_GPTF イベント要因カウンタカウントダウン許可	0: ELC_GPTF イベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTF イベント入力でのカウンタカウントダウンを許可	R/W
b22	DSELCG	ELC_GPTG イベント要因カウンタカウントダウン許可	0: ELC_GPTG イベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTG イベント入力でのカウンタカウントダウンを許可	R/W
b23	DSELCH	ELC_GPTH イベント要因カウンタカウントダウン許可	0: ELC_GPTH イベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTH イベント入力でのカウンタカウントダウンを許可	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDNSR レジスタは GTCNT カウンタのカウントダウン要因を設定するレジスタです。

GTDNSR レジスタの少なくとも1つのビットを1にすると、そのビットに対応する要因によって GTCNT カウンタがカウントダウンされます。この場合、GTCR.TPCS は無効です。

DSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタカウントダウン許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

DSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタカウントダウン許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

DSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタカウントダウン許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

DSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタカウントダウン許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

DSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

DSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

DSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

DSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

DSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

DSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

DSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

DSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

DSELCm ビット (ELC_GPTm イベント要因カウンタカウントダウン許可) (m = A ~ H)

ELC_GPTm イベント入力での GTCNT カウンタカウントダウンの許可/禁止を選択します。

22.2.10 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A (GTICASR)

アドレス GPT32m.GTICASR 4007 8024h + 0100h × m (m = 0~1),
GPT16m.GTICASR 4007 8024h + 0100h × m (m = 2~7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	ASELC H	ASELC G	ASELC F	ASELC E	ASELC D	ASELC C	ASELC B	ASELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ASCBF AH	ASCBF AL	ASCBR AH	ASCBR AL	ASCAF BH	ASCAF BL	ASCAR BH	ASCAR BL	—	—	—	—	ASGTR GBF	ASGTR GBR	ASGTR GAF	ASGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ASGTRGAR	GTETRGA 端子立ち上がり入力要因 GTCCRAインプットキャプチャ許可	0: GTETRGA 入力の立ち上がりエッジでの GTCCRA インプットキャプチャを禁止 1: GTETRGA 入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可	R/W
b1	ASGTRGAF	GTETRGA 端子立ち下がり入力要因 GTCCRAインプットキャプチャ許可	0: GTETRGA 入力の立ち下がりエッジでの GTCCRA インプットキャプチャを禁止 1: GTETRGA 入力の立ち下がりエッジでの GTCCRA インプットキャプチャを許可	R/W
b2	ASGTRGBR	GTETRGB 端子立ち上がり入力要因 GTCCRAインプットキャプチャ許可	0: GTETRGB 入力の立ち上がりエッジでの GTCCRA インプットキャプチャを禁止 1: GTETRGB 入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可	R/W
b3	ASGTRGBF	GTETRGB 端子立ち下がり入力要因 GTCCRAインプットキャプチャ許可	0: GTETRGB 入力の立ち下がりエッジでの GTCCRA インプットキャプチャを禁止 1: GTETRGB 入力の立ち下がりエッジでの GTCCRA インプットキャプチャを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	ASCARBL	GTIOCB 値 Low での GTIOCA 端子立 ち上がり入力要因 GTCCRA インプ ットキャプチャ許可	0: GTIOCB 入力が0のとき、GTIOCA 入力の立ち上 がりエッジでの GTCCRA インプットキャプチャを禁 止 1: GTIOCB 入力が0のとき、GTIOCA 入力の立ち上 がりエッジでの GTCCRA インプットキャプチャを許 可	R/W
b9	ASCARBH	GTIOCB 値 High での GTIOCA 端子立 ち上がり入力要因 GTCCRA インプ ットキャプチャ許可	0: GTIOCB 入力が1のとき、GTIOCA 入力の立ち上 がりエッジでの GTCCRA インプットキャプチャを禁 止 1: GTIOCB 入力が1のとき、GTIOCA 入力の立ち上 がりエッジでの GTCCRA インプットキャプチャを許 可	R/W
b10	ASCAFBL	GTIOCB 値 Low での GTIOCA 端子立 ち下がり入力要因 GTCCRA インプ ットキャプチャ許可	0: GTIOCB 入力が0のとき、GTIOCA 入力の立ち下 がりエッジでの GTCCRA インプットキャプチャを禁 止 1: GTIOCB 入力が0のとき、GTIOCA 入力の立ち下 がりエッジでの GTCCRA インプットキャプチャを許 可	R/W
b11	ASCAFBH	GTIOCB 値 High での GTIOCA 端子立 ち下がり入力要因 GTCCRA インプ ットキャプチャ許可	0: GTIOCB 入力が1のとき、GTIOCA 入力の立ち下 がりエッジでの GTCCRA インプットキャプチャを禁 止 1: GTIOCB 入力が1のとき、GTIOCA 入力の立ち下 がりエッジでの GTCCRA インプットキャプチャを許 可	R/W
b12	ASCBRAL	GTIOCA 値 Low での GTIOCB 端子立 ち上がり入力要因 GTCCRA インプ ットキャプチャ許可	0: GTIOCA 入力が0のとき、GTIOCB 入力の立ち上 がりエッジでの GTCCRA インプットキャプチャを禁 止 1: GTIOCA 入力が0のとき、GTIOCB 入力の立ち上 がりエッジでの GTCCRA インプットキャプチャを許 可	R/W
b13	ASCBRAH	GTIOCA 値 High での GTIOCB 端子立 ち上がり入力要因 GTCCRA インプ ットキャプチャ許可	0: GTIOCA 入力が1のとき、GTIOCB 入力の立ち上 がりエッジでの GTCCRA インプットキャプチャを禁 止 1: GTIOCA 入力が1のとき、GTIOCB 入力の立ち上 がりエッジでの GTCCRA インプットキャプチャを許 可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	ASCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b15	ASCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b16	ASELCA	ELC_GPTAイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTAイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTAイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b17	ASELCB	ELC_GPTBイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTBイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTBイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b18	ASELCC	ELC_GPTCイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTCイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTCイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b19	ASELCD	ELC_GPTDイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTDイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTDイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b20	ASELCE	ELC_GPTEイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTEイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTEイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b21	ASELCF	ELC_GPTFイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTFイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTFイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b22	ASELCG	ELC_GPTGイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTGイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTGイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b23	ASELCH	ELC_GPTHイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTHイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTHイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTICASR レジスタは GTCCRA のインプットキャプチャ要因を設定するレジスタです。

ASGTRGAR ビット (GTETRGA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可/禁止を選択します。

ASGTRGAF ビット (GTETRGA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可/禁止を選択します。

ASGTRGBR ビット (GTETRGB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可/禁止を選択します。

ASGTRGBF ビット (GTETRGB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可/禁止を選択します。

ASCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

ASCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

ASCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

ASCAFBLH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

ASCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

ASCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

ASCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

ASCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

ASELCm ビット (ELC_GPTm イベント要因カウンタ GTCCRA インพุットキャプチャ許可) (m = A ~ H)

ELC_GPTm イベント入力での GTCCRA インพุットキャプチャの許可/禁止を選択します。

22.2.11 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B (GTICBSR)

アドレス GPT32m.GTICBSR 4007 8028h + 0100h × m (m = 0~1),
GPT16m.GTICBSR 4007 8028h + 0100h × m (m = 2~7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	BSELC H	BSELC G	BSELC F	BSELC E	BSELC D	BSELC C	BSELC B	BSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSCBF AH	BSCBF AL	BSCBR AH	BSCBR AL	BSCAF BH	BSCAF BL	BSCAR BH	BSCAR BL	—	—	—	—	BSGTR GBF	BSGTR GBR	BSGTR GAF	BSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BSGTRGAR	GTETRGA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTETRGA 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTETRGA 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b1	BSGTRGAF	GTETRGA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTETRGA 入力の立ち下がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTETRGA 入力の立ち下がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b2	BSGTRGBR	GTETRGB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTETRGB 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTETRGB 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b3	BSGTRGBF	GTETRGB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTETRGB 入力の立ち下がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTETRGB 入力の立ち下がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BSCARBL	GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b9	BSCARBH	GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b10	BSCAFBL	GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b11	BSCAFBH	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b12	BSCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b13	BSCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	BSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b15	BSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b16	BSELCA	ELC_GPTAイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTAイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTAイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b17	BSELCB	ELC_GPTBイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTBイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTBイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b18	BSELCC	ELC_GPTCイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTCイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTCイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b19	BSELCD	ELC_GPTDイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTDイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTDイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b20	BSELCE	ELC_GPTEイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTEイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTEイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b21	BSELCF	ELC_GPTFイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTFイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTFイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b22	BSELCG	ELC_GPTGイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTGイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTGイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b23	BSELCH	ELC_GPTHイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTHイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTHイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTICBSR レジスタは GTCCRB のインプットキャプチャ要因を設定するレジスタです。

BSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可/禁止を選択します。

BSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可/禁止を選択します。

BSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可/禁止を選択します。

BSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可/禁止を選択します。

BSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

BSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

BSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

BSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

BSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

BSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

BSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

BSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

BSELCm ビット (ELC_GPTm イベント要因カウンタ GTCCRB インพุットキャプチャ許可) (m = A ~ H)

ELC_GPTm イベント入力での GTCCRB インพุットキャプチャの許可/禁止を選択します。

22.2.12 汎用 PWM タイマコントロールレジスタ (GTCR)

アドレス GPT32m.GTCR 4007 802Ch + 0100h × m (m = 0~1),
GPT16m.GTCR 4007 802Ch + 0100h × m (m = 2~7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	TPCS[2:0]			—	—	—	—	—	MD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST	カウントスタート	0 : カウント動作を停止 1 : カウント動作を実行	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b18-b16	MD[2:0]	モード選択	b18 b16 0 0 0 : のこぎり波PWMモード (シングル/ダブルバッファ可) 0 0 1 : のこぎり波ワンショットパルスモード (バッファ動作固定) 0 1 0 : 設定禁止 0 1 1 : 設定禁止 1 0 0 : 三角波PWMモード1 (谷32ビット転送) (シングル/ダブルバッファ可) 1 0 1 : 三角波PWMモード2 (山/谷32ビット転送) (シングル/ダブルバッファ可) 1 1 0 : 三角波PWMモード3 (谷64ビット転送) (バッファ動作固定) 1 1 1 : 設定禁止	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b24	TPCS[2:0]	タイマプリスケアラ選択	b26 b24 0 0 0 : PCLKD/1 0 0 1 : PCLKD/4 0 1 0 : PCLKD/16 0 1 1 : PCLKD/64 1 0 0 : PCLKD/256 1 0 1 : PCLKD/1024	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTCR レジスタは、GTCNT カウンタを制御します。

CST ビット (カウントスタート)

GTCNT カウンタのスタート/ストップを制御します。

[1 になる条件]

- GTSSR.CSTRT ビットが 1 の状態で、GTSTR レジスタの値 (チャンネル番号はビット番号に対応) を 1 にしたとき
- ELC イベント入力、またはカウンタスタート要因により GTSSR レジスタで許可した GTIOCA/GTIOCB/GTETR_{Gn} ポート入力が発生したとき
- ソフトウェアで直接 1 を書き込んだとき

[0 になる条件]

- GTPSR.CSTOP ビットが 1 の状態で、GTSTP レジスタの値 (チャンネル番号はビット番号に対応) を 1 にしたとき
- ELC イベント入力、またはカウンタストップ要因により GTPSR レジスタで許可した GTIOCA/GTIOCB/GTETR_{Gn} ポート入力が発生したとき
- ソフトウェアで直接 0 を書き込んだとき

MD[2:0] ビット (モード選択)

GPT の動作モードを選択します。MD[2:0] ビットの設定は、GTCNT 動作が停止しているときに行ってください。

TPCS[2:0] ビット (タイマプリスケアラ選択)

GTCNT カウンタのクロックを選択します。チャンネルごとに個別にクロックプリスケアラの選択が可能です。TPCS[2:0] ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。

22.2.13 汎用 PWM タイマカウント方向、デューティ設定レジスタ (GTUDDTYC)

アドレス GPT32m.GTUDDTYC 4007 8030h + 0100h × m (m = 0~1),
GPT16m.GTUDDTYC 4007 8030h + 0100h × m (m = 2~7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	OBDTY R	OBDTY F	OBDTY[1:0]	—	—	—	—	OADTY R	OADTY F	OADTY[1:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UD	カウント方向設定	0 : GTCNTカウンタはダウンカウント 1 : GTCNTカウンタはアップカウント	R/W
b1	UDF	カウント方向強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	OADTY[1:0]	GTIOCA出力デューティ設定	b17 b16 0 x : GTIOCA端子のデューティはコンペアマッチに依存 1 0 : GTIOCA端子のデューティは0% 1 1 : GTIOCA端子のデューティは100%	R/W
b18	OADTYF	GTIOCA出力デューティ強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b19	OADTYR	0%/100%デューティ設定解除後のGTIOCA出力値選択	0 : 0%/100%デューティ設定解除後に、0%/100%デューティに設定された出力値をGTIOA[3:2]機能に適用 1 : 0%/100%デューティ設定解除後に、マスクされたコンペアマッチ出力値をGTIOA[3:2]機能に適用	R/W
b23-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	OBDTY[1:0]	GTIOCB出力デューティ設定	b25 b24 0 x : GTIOCB端子のデューティはコンペアマッチに依存 1 0 : GTIOCB端子のデューティは0% 1 1 : GTIOCB端子のデューティは100%	R/W
b26	OBDTYF	GTIOCB出力デューティ強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b27	OBDTYR	0%/100%デューティ設定解除後のGTIOCB出力値選択	0 : 0%/100%デューティ設定解除後に、0%/100%デューティに設定された出力値をGTIOB[3:2]機能に適用 1 : 0%/100%デューティ設定解除後に、マスクされたコンペアマッチ出力値をGTIOB[3:2]機能に適用	R/W
b31-b28	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

x: Don't care

GTUDDTYC レジスタは、GTCNT カウンタのカウント方向（アップ/ダウン）および GTIOCA/GTIOCB 端子出力のデューティを設定するレジスタです。

【カウント方向】

- のこぎり波モードの場合

アップカウント中に UD ビットを 0 にした場合、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。ダウンカウント中に UD 値を 1 にした場合、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。

カウントストップ中に UDF ビットが 0 の状態で UD 値を 1 から 0 に変更した場合、カウント動作はアップカウントとなり、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに

同期したタイミングで) カウント方向が切り替わります。カウントストップ中に UDF ビットが 0 の状態で UD 値を 0 から 1 に変更した場合、カウント動作はダウンカウントとなり、アンダーフロー時に (GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで) カウント方向が切り替わります。

カウントストップ中に UDF ビットを 1 にすると、UD ビット値がカウントスタート時のカウント方向に反映されます。

- 三角波モードの場合

カウント中に UD 値を変更しても、カウント方向は切り替わりません。カウントストップ中に UDF ビットが 0 の状態で UD 値を変更しても、カウントスタート時のカウント方向には反映されません。

カウントストップ中に UDF ビットを 1 にすると、そのときの UD 値がカウントスタート時のカウント方向に反映されます。

UD ビット (カウント方向設定)

GTCNT カウンタのカウント方向 (アップ/ダウン) を設定します。

UDF ビット (カウント方向強制設定)

GTCNT カウンタ動作スタート時のカウント方向を強制的に UD ビットの値に設定します。カウンタが動作している間は、本ビットに 0 以外を書き込まないでください。カウントストップ中に 1 を書いた場合、カウントがスタートする前に 0 に戻してください。

【出力デューティ】

- のこぎり波モードの場合

アップカウント中に OADTY/OBDTY 値を変更すると、オーバーフロー時 (GTCNT = GTPR) にデューティが反映されます。ダウンカウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時 (GTCNT = 0) にデューティが反映されます。

カウントストップ中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更しても、カウンタスタート時に出力デューティは反映されません。カウント方向がアップカウントの場合、オーバーフロー時 (GTCNT = GTPR) に出力デューティが反映されます。カウント方向がダウンカウントの場合、アンダーフロー時 (GTCNT = 0) に出力デューティが反映されます。カウントストップ中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更しても、カウンタスタート時に出力デューティが反映されません。

- 三角波モードの場合

カウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時にデューティが反映されます。カウントストップ中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更しても、カウンタ動作開始時に出力デューティは反映されません。アンダーフロー時に出力デューティが反映されます。カウントストップ中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更しても、カウンタスタート時に出力デューティが反映されます。

OmDTY[1:0] ビット (GTIOCm 出力デューティ設定) (m = A, B)

GTIOCm 端子の出力デューティ (0%、100%、またはコンペアマッチ制御) を設定します。

OmDTYF ビット (GTIOCm 出力デューティ強制設定) (m = A, B)

出力デューティサイクルを OmDTY の設定値に強制的に設定します。カウンタの動作中は、本ビットを 0 にする必要があります。カウントストップ中に本ビットを 1 にした場合は、カウンタの動作開始後、最初の周期が終わるまでに本ビットを 0 に戻してください。

OmDTYR ビット (0%/100% デューティ設定解除後の GTIOCm 出力値選択) (m = A, B)

制御が 0%/100% デューティ設定から GTIOCm 端子および GTIOR レジスタのコンペアマッチに変更された場合、周期の終わりで出力保持/トグル出力の対象となる値を選択します。GTIOm[3:2] ビットが 00b (周期の終わりで出力保持) に、または GTIOR.GTIOm[3:2] ビットが 11b (周期の終わりでトグル出力) に設定されます。

デューティ 0%/100% 設定動作実行中、GPT32 内では、コンペアマッチ動作が継続されます。OmDTYR ビットを 1 にすると、GTIOCm 端子は、コンペアマッチ動作中の周期の終わりで GTIOR.GTIOm [3:2] ビットで選択された出力状態になります。

22.2.14 汎用 PWM タイマ I/O コントロールレジスタ (GTIOR)

アドレス GPT32m.GTIOR 4007 8034h + 0100h × m (m = 0~1),
GPT16m.GTIOR 4007 8034h + 0100h × m (m = 2~7)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFC SB[1:0]	NFBEN	—	—	OBDF[1:0]	OBE	OBHLD	OBDFLT	—	GTIOB[4:0]						
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
NFC SA[1:0]	NFAEN	—	—	OADF[1:0]	OAE	OAHL D	OADFLT	—	GTIOA[4:0]						
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b4-b0	GTIOA[4:0]	GTIOCA 端子機能選択	表 22.5 を参照してください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	OADFLT	カウントストップ時のGTIOCA 端子出力値設定	0: カウントストップ時にGTIOCA 端子はLow を出力 1: カウントストップ時にGTIOCA 端子はHigh を出力	R/W
b7	OAHL D	カウントスタート/ストップ時 のGTIOCA 端子出力設定	0: カウントスタート/ストップ時のGTIOCA 端子出力レ ベルはレジスタ設定値に従う 1: カウントスタート/ストップ時にGTIOCA 端子の出力 レベルを保持する	R/W
b8	OAE	GTIOCA 端子出力許可	0: 出力を禁止 1: 出力を許可	R/W
b10-b9	OADF[1:0]	GTIOCA 端子禁止値設定	b10 b9 0 0: 下記要因を設定しない 0 1: 出力ネゲート制御時にGTIOCA 端子をHi-Zにする 1 0: 出力ネゲート制御時にGTIOCA 端子を0にする 1 1: 出力ネゲート制御時にGTIOCA 端子を1にする	R/W
b12-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	NFAEN	ノイズフィルタA有効	0: GTIOCA 端子のノイズフィルタは無効 1: GTIOCA 端子のノイズフィルタは有効	R/W
b15-b14	NFC SA[1:0]	ノイズフィルタAサンプリングク ロック選択	b15 b14 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W
b20-b16	GTIOB[4:0]	GTIOCB 端子機能選択	表 22.5 を参照してください。	R/W
b21	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b22	OBDFLT	カウントストップ時のGTIOCB 端子出力値設定	0: カウントストップ時にGTIOCB 端子はLow を出力 1: カウントストップ時にGTIOCB 端子はHigh を出力	R/W
b23	OBHL D	カウントスタート/ストップ時 のGTIOCB 端子出力設定	0: カウントスタート/ストップ時のGTIOCB 端子出力レ ベルはレジスタ設定値に従う 1: カウントスタート/ストップ時のGTIOCB 端子出力レ ベルは保持される	R/W
b24	OBE	GTIOCB 端子出力許可	0: 出力を禁止 1: 出力を許可	R/W
b26-b25	OBDF[1:0]	GTIOCB 端子禁止値設定	b26 b25 0 0: 下記要因を設定しない 0 1: 出力ネゲート制御時にGTIOCB 端子をHi-Zにする 1 0: 出力ネゲート制御時にGTIOCB 端子を0にする 1 1: 出力ネゲート制御時にGTIOCB 端子を1にする	R/W
b28-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	NFBEN	ノイズフィルタB有効	0: GTIOCB 端子のノイズフィルタは無効 1: GTIOCB 端子のノイズフィルタは有効	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b30	NFCSB[1:0]	ノイズフィルタBサンプリングクロック選択	b31 b30 0 0 : PCLKD/1 0 1 : PCLKD/4 1 0 : PCLKD/16 1 1 : PCLKD/64	R/W

GTIOR レジスタは、GTIOCA 端子および GTIOCB 端子の機能を設定するレジスタです。

GTIOA[4:0] ビット (GTIOCA 端子機能選択)

GTIOCA 端子の機能を選択します。詳細は、表 22.5 を参照してください。

OADFLT ビット (カウントストップ時の GTIOCA 端子出力値設定)

カウントストップ時に、GTIOCA 端子が Low または High のいずれを出力するかを設定します。

OAHLDB ビット (カウントスタート/ストップ時の GTIOCA 端子出力設定)

GTIOCA 端子の出力レベルを保持するか、カウントスタート/ストップ時のレベルをレジスタ設定に依存させるかを指定します。

OAHLDB ビットを 0 にした場合：

- カウントスタート時に、GTIOA[4:0] ビットの b4 で指定した値を出力
- カウントストップ時に、OADFLT ビットで指定した値を出力
- カウントストップ中に OADFLT ビットを書き換えた場合、新しい値がただちに出力に反映される

OAHLDB ビットを 1 にした場合：

- カウントスタート/ストップ時に出力が保持される

OAE ビット (GTIOCA 端子出力許可)

GTIOCA 端子出力の許可/禁止を選択します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合 (GTICASR レジスタの少なくとも 1 つのビットを 1 にした場合)、OAE ビット値に関わらず、GTIOCA 端子を出力しません。

OADF[1:0] ビット (GTIOCA 端子禁止値設定)

POEG からの出力停止要求によって GTIOCA 端子から出力する値を選択します。

NFAEN ビット (ノイズフィルタ A 有効)

GTIOCA 端子からの入力に対してノイズフィルタの許可/停止を設定します。本ビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対シアウトプットコンペア機能を選択してから、本ビットを変更してください。

NFCSA[1:0] ビット (ノイズフィルタ A サンプリングクロック選択)

GTIOCA 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

GTIOCB[4:0] ビット (GTIOCB 端子機能選択)

GTIOCB 端子の機能を選択します。詳細は、表 22.5 を参照してください。

OBDFLT ビット (カウントストップ時の GTIOCB 端子出力値設定)

カウントストップ時に、GTIOCB 端子が High または Low のいずれを出力するかを設定します。

OBHLD ビット (カウントスタート/ストップ時の GTIOCB 端子出力設定)

GTIOCB 端子の出力レベルを保持するか、カウントスタート/ストップ時のレベルをレジスタ設定に依存させるかを指定します。

OBHLD ビットを 0 にした場合：

- カウントスタート時に、GTIOB[4:0] ビットの b4 で指定した値を出力
- カウントストップ時に、OBDFLT ビットで指定した値を出力
- カウントストップ中に OBDFLT ビットを書き換えた場合、新しい値はただちに出力に反映される

OBHLD ビットを 1 にした場合：

- カウントスタート/ストップ時に出力が保持される

OBE ビット (GTIOCB 端子出力許可)

GTIOCB 端子出力の許可/禁止を選択します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用する場合 (GTICBSR レジスタの少なくとも 1 つのビットを 1 にした場合)、OBE ビット値に関わらず、GTIOCB 端子を出力しません。

OBDF[1:0] ビット (GTIOCB 端子禁止値設定)

POEG からの出力停止要求によって GTIOCB 端子から出力する値を選択します。

NFBEN ビット (ノイズフィルタ B 有効)

GTIOCB 端子からの入力に対してノイズフィルタ機能の許可/停止を設定します。本ビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、本ビットを変更してください。

NFCSB[1:0] ビット (ノイズフィルタ B サンプリングクロック選択)

GTIOCB 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

表 22.5 GTIOA[4:0] ビットと GTIOB[4:0] ビットの設定値 (1/2)

GTIOA/GTIOB[4:0] ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2 (注1) (注2) (注3)	b1-b0 (注2)
0	0	0	0	0	初期出力はLow	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	0	0	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	0	1	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	0	0	0		周期の終わりでHigh出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	1	0	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	1	1	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

表 22.5 GTIOA[4:0] ビットと GTIOB[4:0] ビットの設定値 (2/2)

GTIOA/GTIOB[4:0] ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2 (注1) (注2) (注3)	b1-b0 (注2)
1	0	0	0	0	初期出力は High	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	0	1	1			GTCCRA/GTCCRB コンペアマッチで トグル出力
1	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	1	1	1			GTCCRA/GTCCRB コンペアマッチで トグル出力
1	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	0	1	1			GTCCRA/GTCCRB コンペアマッチで トグル出力
1	1	1	0	0		周期の終わりで トグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	1	1	1			GTCCRA/GTCCRB コンペアマッチで トグル出力

注 1. 周期の終わりとは、のこぎり波のときはオーバフロー（アップカウント動作時に GTCNT が GTPR から 0 になる）、アンダフロー（ダウンカウント動作時に GTCNT が 0 から GTPR になる）、GTCNT カウンタクリア、三角波のときは谷（GTCNT が 0 から 1 になる）を示します。

注 2. コンペアマッチ動作時に、周期の終わりと GTCCRA/GTCCRB コンペアマッチのタイミングが一致した場合、のこぎり波 PWM モードでは b3-b2 の設定値が優先され、それ以外のモードでは b1-b0 の設定値が優先されます。

注 3. GTUPSR レジスタまたは GTDNSR レジスタの少なくとも 1 つのビットが 1 の場合のイベントカウント動作では、b3-b2 の設定値は無視されます。

22.2.15 汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)

アドレス GPT32m.GTINTAD 4007 8038h + 0100h × m (m = 0 ~ 1),
GPT16m.GTINTAD 4007 8038h + 0100h × m (m = 2 ~ 7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	GRPABL	GRPABH	—	—	—	GRP[1:0]	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	GRP[1:0]	出力禁止要因選択	b25 b24 0 0: グループA出力禁止要求 0 1: グループB出力禁止要求 1 x: 設定禁止	R/W
b28-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	GRPABH	同時出力レベルHigh禁止要求許可	0: 同時出力レベルHigh禁止要求を禁止 1: 同時出力レベルHigh禁止要求を許可	R/W
b30	GRPABL	同時出力レベルLow禁止要求許可	0: 同時出力レベルLow禁止要求を禁止 1: 同時出力レベルLow禁止要求を許可	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTINTAD レジスタは、割り込み要求と出力禁止要求を許可または禁止するレジスタです。

GRP[1:0] ビット (出力禁止要因選択)

GTIOCA 端子または GTIOCB 端子を出力禁止要因として選択します。GRPABH で同時出力レベル High が有効になる、または GRPABL で同時出力レベル Low が有効になると、POEG に対する出力禁止要求がグループ A または B へ出力されます。

GTST.ODF が、GRP[1:0] ビットで選択した出力禁止要因グループの要求を示します。GRP[1:0] ビットの設定は、GTIOR.OAE ビットと GTIOR.OBE ビットの両方が 0 のときに行ってください。

GRPABH ビット (同時出力レベル High 禁止要求許可)

GTIOCA 端子と GTIOCB 端子が同時に 1 を出力する場合の出力禁止要求を許可/禁止します。

GRPABL ビット (同時出力レベル Low 禁止要求許可)

GTIOCA 端子と GTIOCB 端子が同時に 0 を出力する場合の出力禁止要求を許可/禁止します。

22.2.16 汎用 PWM タイマステータスレジスタ (GTST)

アドレス GPT32m.GTST 4007 803Ch + 0100h × m (m = 0~1),
GPT16m.GTST 4007 803Ch + 0100h × m (m = 2~7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	OABLF	OABHF	—	—	—	—	ODF	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TUCF	—	—	—	—	—	—	—	TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCFA	インพุットキャプチャ/コンペアマッチフラグA	0: GTCCRAインพุットキャプチャ/コンペアマッチの発生なし 1: GTCCRAインพุットキャプチャ/コンペアマッチの発生あり	R/(W) (注1)
b1	TCFB	インพุットキャプチャ/コンペアマッチフラグB	0: GTCCRBインพุットキャプチャ/コンペアマッチの発生なし 1: GTCCRBインพุットキャプチャ/コンペアマッチの発生あり	R/(W) (注1)
b2	TCFC	インพุットコンペアマッチフラグC	0: GTCCRCコンペアマッチの発生なし 1: GTCCRCコンペアマッチの発生あり	R/(W) (注1)
b3	TCFD	インพุットコンペアマッチフラグD	0: GTCCRDコンペアマッチの発生なし 1: GTCCRDコンペアマッチの発生あり	R/(W) (注1)
b4	TCFE	インพุットコンペアマッチフラグE	0: GTCCREコンペアマッチの発生なし 1: GTCCREコンペアマッチの発生あり	R/(W) (注1)
b5	TCFF	インพุットコンペアマッチフラグF	0: GTCCRFコンペアマッチの発生なし 1: GTCCRFコンペアマッチの発生あり	R/(W) (注1)
b6	TCFPO	オーバーフローフラグ	0: オーバーフロー (山) の発生なし 1: オーバーフロー (山) の発生あり	R/(W) (注1)
b7	TCFPU	アンダーフローフラグ	0: アンダーフロー (谷) の発生なし 1: アンダーフロー (谷) の発生あり	R/(W) (注1)
b14-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	TUCF	カウント方向フラグ	0: GTCNTカウンタはダウンカウント 1: GTCNTカウンタはアップカウント	R
b23-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	ODF	出力禁止フラグ	0: 出力禁止要求の発生なし 1: 出力禁止要求の発生あり	R
b28-b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	OABHF	同時出力レベルHighフラグ	0: GTIOCA端子とGTIOCB端子は同時に1を出力しない 1: GTIOCA端子とGTIOCB端子は同時に1を出力する	R
b30	OABLF	同時出力レベルLowフラグ	0: GTIOCA端子とGTIOCB端子は同時に0を出力しない 1: GTIOCA端子とGTIOCB端子は同時に0を出力する	R
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 本ビットには0のみ書けます。1を書き込まないでください。

GTSTレジスタは、GPTの状態を示します。

TCFA フラグ (インプットキャプチャ/コンペアマッチフラグ A)

GTCCRA のインプットキャプチャまたはコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRA 値になったとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

[0 になる条件]

- 本フラグに 0 を書いたとき

TCFB フラグ (インプットキャプチャ/コンペアマッチフラグ B)

GTCCRB のインプットキャプチャまたはコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRB 値になったとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

[0 になる条件]

- 本フラグに 0 を書いたとき

TCFC フラグ (インプットコンペアマッチフラグ C)

GTCCRC のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRC 値になったとき

[0 になる条件]

- 本フラグに 0 を書いたとき
- [比較を行わない条件]
- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
 - GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
 - GTBER.CCRA[1:0] ビット = 01b、10b、11b (GTCCRC レジスタがバッファ動作)

TCFD フラグ (インプットコンペアマッチフラグ D)

GTCCRD のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRD 値になったとき

[0 になる条件]

- 本フラグに 0 を書いたとき
- [比較を行わない条件]
- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
 - GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
 - GTBER.CCRA[1:0] ビット = 10b、11b (GTCCRD レジスタがバッファ動作)

TCFE フラグ (インプットコンペアマッチフラグ E)

GTCCRE のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRE 値になったとき

[0 になる条件]

- 本フラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] ビット = 01b、10b、11b (GTCCRE レジスタがバッファ動作)

TCFF フラグ (インプットコンペアマッチフラグ F)

GTCCRF のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRF 値になったとき

[0 になる条件]

- 本フラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] ビット = 10b、11b (GTCCRF レジスタがバッファ動作)

TCFPO フラグ (オーバーフローフラグ)

オーバーフローまたは山が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、オーバーフロー (アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化) が発生したとき
- 三角波モードにおいて、山 (GTCNT カウンタが GTPR 値から GTPR 値 - 1 に変化) が発生したとき
- ハードウェア要因によるカウントで、オーバーフロー (アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化) が発生したとき

[0 になる条件]

- 本フラグに 0 を書いたとき

TCFPU フラグ (アンダーフローフラグ)

アンダーフローまたは谷が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、アンダーフロー (ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化) が発生したとき
- 三角波モードにおいて、谷 (GTCNT カウンタが 0 から 1 に変化) が発生したとき
- ハードウェア要因によるカウントで、アンダーフロー (ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化) が発生したとき

[0 になる条件]

- 本フラグに 0 を書いたとき

TUCF フラグ (カウント方向フラグ)

GTCNT カウンタのカウント方向を示します。イベントカウント動作で、本フラグはアップカウント時に 1、ダウンカウント時に 0 になります。

ODF フラグ (出力禁止フラグ)

GRP[1:0] ビットで選択した出力禁止要因グループの要求を示します。

出力禁止時、出力禁止要求がネゲートされる間、出力禁止制御は解除されません。次の周期に解除されず。

OABHF フラグ (同時出力レベル High フラグ)

GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したことを示します。

GTIOCA 端子または GTIOCB 端子が 0 を出力すると、本フラグは 0 に戻ります。本フラグは読み出し専用です。本フラグをクリアするために 0 を書き込むことは禁止されています。

OABHF フラグによる割り込みが許可されている (GTINTAD.GRPABH ビット = 1) 場合、OABHF フラグが出力禁止要求として POEG に出力されます。

[1 になる条件]

- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子が同時に 1 を出力するとき

[0 になる条件]

- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子の出力値が異なるとき
- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子が同時に 0 を出力するとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

OABLF フラグ (同時出力レベル Low フラグ)

GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したことを示します。

GTIOCA 端子または GTIOCB 端子が 1 を出力すると、本フラグは 0 に戻ります。本フラグは読み出し専用です。本フラグをクリアするために 0 を書き込むことは禁止されていません。OABLF フラグによる割り込みが許可されている (GTINTAD.GRPABL ビット=1) 場合、OABLF フラグが出力禁止要求として POEG に出力されます。

[1 になる条件]

- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子が同時に 0 を出力するとき

[0 になる条件]

- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子の出力値が異なるとき
- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子が同時に 1 を出力するとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

OABHF/OABLF フラグを生成する比較対象信号は、出力禁止機能でマスクされる前のコンペアマッチ出力 (PWM 出力) 信号です。出力禁止状態が実行される場合、コンペアマッチも GPT 内部で継続して実行され、OABHF/OABLF フラグは比較値の結果に従って更新されます。

22.2.17 汎用 PWM タイマバッファイネーブルレジスタ (GTBER)

アドレス GPT32m.GTBER 4007 8040h + 0100h × m (m = 0~1),
GPT16m.GTBER 4007 8040h + 0100h × m (m = 2~7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	CCRS WT	PR[1:0]	—	CCRB[1:0]	—	CCRA[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BD[1]	BD[0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD[0]	GTCCRバッファ動作禁止	0 : バッファ動作を許可 1 : バッファ動作を禁止	R/W
b1	BD[1]	GTPRバッファ動作禁止		R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	CCRA[1:0]	GTCCRAバッファ動作	b17 b16 0 0 : バッファ動作しない 0 1 : シングルバッファ動作 (GTCCRA レジスタ ⇄ GTCCRC レジスタ) 1 x : ダブルバッファ動作 (GTCCRA レジスタ ⇄ GTCCRC レジスタ ⇄ GTCCRD レジスタ)	R/W
b19-b18	CCRB[1:0]	GTCCRBバッファ動作	b19 b18 0 0 : バッファ動作しない 0 1 : シングルバッファ動作 (GTCCRB レジスタ ⇄ GTCCRE レジスタ) 1 x : ダブルバッファ動作 (GTCCRB レジスタ ⇄ GTCCRE レジスタ ⇄ GTCCRF レジスタ)	R/W
b21-b20	PR[1:0]	GTPRバッファ動作	b21 b20 0 0 : バッファ動作しない 0 1 : シングルバッファ動作 (GTPBR レジスタ ⇄ GTPR レジスタ) 1 x : 設定禁止	R/W
b22	CCRSWT	GTCCRA・GTCCRB強制バッファ動作	1を書くとGTCCRAおよびGTCCRBレジスタのバッファ転送を強制的に行います。本ビットは1を書いた後、自動的に0に戻ります。読むと0が読めます。	R/W
b31-b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTBER レジスタは、バッファ動作を設定するレジスタです。GTCNT カウンタが停止しているときに設定する必要があります。

BD[0] ビット (GTCCR バッファ動作禁止)

GTCCRA、GTCCRC、GTCCRD レジスタを組み合わせたバッファ動作、GTCCRB、GTCCRE、GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

GTDTCR.TDE ビットが1のとき、BD[0] ビットを0にしても、GTCCRB レジスタはバッファ動作を行いません。GTCCRB レジスタは、デッドタイム付き逆相波形のコンペアマッチ値に自動的に設定されます。

BD[1] ビット (GTPR バッファ動作禁止)

GTPR レジスタと GTPBR レジスタを組み合わせたバッファ動作を禁止します。

CCRA[1:0] ビット (GTCCRA バッファ動作)

GTCCRA、GTCCRC、およびGTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。(注1)

CCRB[1:0] ビット (GTCCRB バッファ動作)

GTCCRB、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。(注1)

PR[1:0] ビット (GTPR バッファ動作)

GTPR および GTPBR レジスタを組み合わせたバッファ動作を設定します。

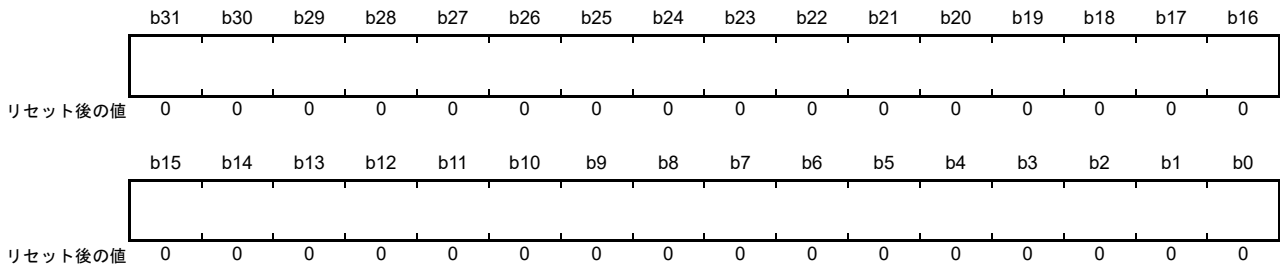
CCRSWT ビット (GTCCRA・GTCCRB 強制バッファ動作)

CCRSWT ビットに1を書くと、強制的に GTCCRA レジスタと GTCCRB レジスタのバッファ転送を行います。本ビットは1を書いた後、自動的に0に戻ります。読むと0が読めます。カウントストップ時にコンペッチ動作が設定されている場合にのみ有効です。

注1. のこぎり波ワンショットパルスモード、または三角波 PWM モード3 (谷 64 ビット転送) では、バッファ動作モードは固定されます。

22.2.18 汎用 PWM タイマカウンタ (GTCNT)

アドレス GPT32m.GTCNT 4007 8048h + 0100h × m (m = 0 ~ 1),
GPT16m.GTCNT 4007 8048h + 0100h × m (m = 2 ~ 7)

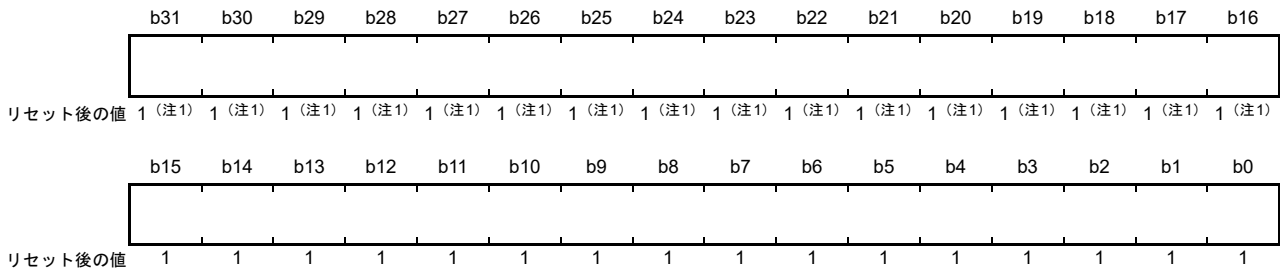


GTCNT は、GPT32m (m = 0 ~ 1) 用の 32 ビットの読み出し/書き込みカウンタです。GPT16m (m = 2 ~ 7) の場合、GTCNT は 16 ビットレジスタになります。GTCNT への書き込みは、カウントストップ後にのみ可能です。32 ビット単位でアクセスしてください。8 ビット単位/16 ビット単位でのアクセスはしないでください。

GPT16m (m = 2 ~ 7) の場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。GTCNT レジスタは、 $0 \leq \text{GTCNT} \leq \text{GTPR}$ の範囲に収まるように設定する必要があります。

22.2.19 汎用 PWM タイマコンペアキャプチャレジスタ n (GTCCRn) (n = A ~ F)

アドレス GPT32m.GTCCRA 4007 804Ch + 0100h × m (m = 0 ~ 1), GPT16m.GTCCRA 4007 804Ch + 0100h × m (m = 2 ~ 7),
GPT32m.GTCCRB 4007 8050h + 0100h × m (m = 0 ~ 1), GPT16m.GTCCRB 4007 8050h + 0100h × m (m = 2 ~ 7),
GPT32m.GTCCRC 4007 8054h + 0100h × m (m = 0 ~ 1), GPT16m.GTCCRC 4007 8054h + 0100h × m (m = 2 ~ 7),
GPT32m.GTCCRD 4007 805Ch + 0100h × m (m = 0 ~ 1), GPT16m.GTCCRD 4007 805Ch + 0100h × m (m = 2 ~ 7),
GPT32m.GTCCRE 4007 8058h + 0100h × m (m = 0 ~ 1), GPT16m.GTCCRE 4007 8058h + 0100h × m (m = 2 ~ 7),
GPT32m.GTCCRF 4007 8060h + 0100h × m (m = 0 ~ 1), GPT16m.GTCCRF 4007 8060h + 0100h × m (m = 2 ~ 7)



注1. GPT16m (m = 2 ~ 7) の場合、リセット後の上位 16 ビットの値は 0000h です。

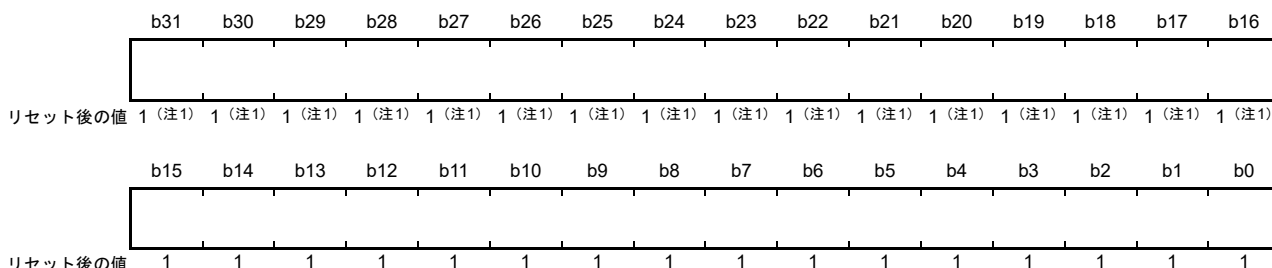
GTCCRn レジスタは読み出し/書き込みレジスタです。GTCCRn レジスタの有効サイズは、GTCNT レジスタ (16 ビットまたは 32 ビット) と同一です。GTCCRn レジスタの有効サイズが 16 ビットの場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

GTCCRA レジスタと GTCCRB レジスタは、アウトプットコンペア/インプットキャプチャ兼用のレジスタです。GTCCRC レジスタと GTCCRE レジスタは、コンペアマッチレジスタですが、GTCCRA レジスタと GTCCRB レジスタ用のバッファレジスタとしても機能します。

GTCCRD レジスタと GTCCRF レジスタは、コンペアマッチレジスタですが、GTCCRC レジスタと GTCCRE レジスタ用のバッファレジスタ (GTCCRA レジスタと GTCCRB レジスタ用のダブルバッファレジスタ) としても機能します。

22.2.20 汎用 PWM タイマ周期設定レジスタ (GTPR)

アドレス GPT32m.GTPR 4007 8064h + 0100h × m (m = 0~1),
GPT16m.GTPR 4007 8064h + 0100h × m (m = 2~7)



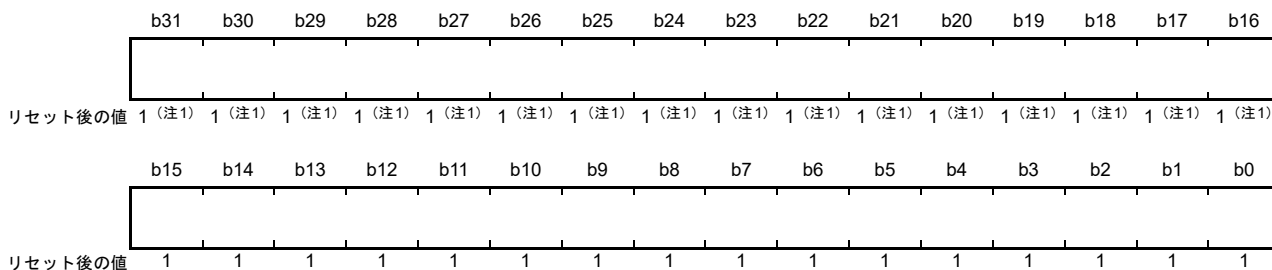
注1. GPT16m (m = 2 ~ 7) の場合、リセット後の上位 16 ビットの値は 0000h です。

GTPR レジスタは、GTCNT カウンタの最大カウント値を設定する、読み出し/書き込みレジスタです。GTPR レジスタの有効サイズは、GTCNT レジスタ (16 ビットまたは 32 ビット) と同一です。GTPR レジスタの有効サイズが 16 ビットの場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

のこぎり波の場合、GTPR 値 + 1 がカウント周期になります。三角波の場合、GTPR 値 × 2 がカウント周期になります。

22.2.21 汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)

アドレス GPT32m.GTPBR 4007 8068h + 0100h × m (m = 0~1),
GPT16m.GTPBR 4007 8068h + 0100h × m (m = 2~7)



注1. GPT16m (m = 2 ~ 7) の場合、リセット後の上位 16 ビットの値は 0000h です。

GTPBR レジスタは、読み出し/書き込み可能なレジスタであり、GTPR レジスタ用のバッファレジスタとして機能します。GTPBR レジスタの有効サイズは、GTCNT レジスタ (16 ビットまたは 32 ビット) と同一です。GTPBR レジスタの有効サイズが 16 ビットの場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

22.2.22 汎用 PWM タイマデッドタイムコントロールレジスタ (GTDTCCR)

アドレス GPT32m.GTDTCCR 4007 8088h + 0100h × m (m = 0~1),
GPT16m.GTDTCCR 4007 8088h + 0100h × m (m = 2~7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	逆相波形設定	0 : GTDVUレジスタを使用しないで、GTCCRBレジスタを設定する 1 : GTDVUレジスタを使用して、デッドタイム付き逆相波形のコンペアマッチ値をGTCCRBレジスタに自動設定する	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDTCCR レジスタは、デッドタイム付き逆相波形のコンペアマッチ値の自動設定を許可するレジスタです。GPTにはデッドタイム制御機能があります。デッドタイム値の設定には GTDVU レジスタを使用します。

TDE ビット (逆相波形設定)

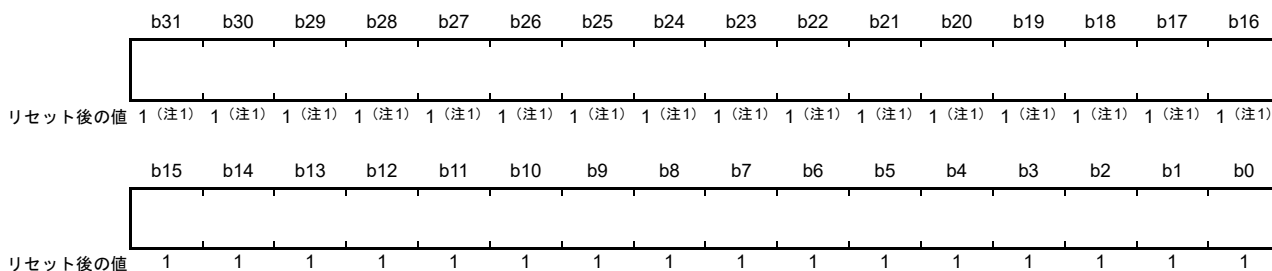
GTDVU レジスタを使用するか否かを指定します。GTDVU レジスタを使用する場合、正相波形のコンペアマッチ値 (GTCCRA 値) とデッドタイム値 (GTDVU 値) から算出されたデッドタイム付き逆相波形のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。TDE ビットの設定値は、のこぎり波 PWM モードでは無視され、自動設定は行われません。

GTCCRB レジスタ値が自動設定される時、下記のような上限/下限値があります。算出された GTCCRB 値がこの範囲に収まらない場合、GTCCRB レジスタには下記の制限値が設定されます。

- 三角波の場合
 - 上限値 : GTPR レジスタ値 - 1
 - 下限値 : アップカウント時は 1、ダウンカウント時は 0
- のこぎり波ワンショットパルスモードの場合
 - 上限値 : GTPR レジスタ値
 - 下限値 : 0

22.2.23 汎用 PWM タイマデッドタイム値レジスタ U (GTDVU)

アドレス GPT32m.GTDVU 4007 808Ch + 0100h × m (m = 0~1),
GPT16m.GTDVU 4007 808Ch + 0100h × m (m = 2~7)



注1. GPT16m (m = 2 ~ 7) の場合、リセット後の上位 16 ビットの値は 0000h です。

GTDVU レジスタは、PWM 波形を生成するためのデッドタイム値を設定する、読み出し/書き込みレジスタです。GTDVU レジスタの有効サイズは GTCNT (16 ビットまたは 32 ビット) と同じです。GTDVU の有効サイズが 16 ビットの場合、32 ビット単位の上位 16 ビットでのアクセスの読み取り値は常に 0000h で、本ビットへの書き込みは無視されます。

周期を超えるデッドタイム値の設定はしないでください。GTCCRB レジスタを読み出すことによって、設定された値の確認が可能です。GTDVU レジスタを使用する場合、GTCCRB レジスタへの書き込みはしないでください。本レジスタ値を 0 にすると、デッドタイムなしの波形が出力されます。

GPT の動作中は、GTDVU レジスタ値の変更はしないでください。GTDVU を新しい値に変更するには、GTCR レジスタの CST ビットで GPT を停止してください。GTDVU レジスタは 32 ビット単位でアクセスしてください。8 ビット単位/16 ビット単位でのアクセスはしないでください。

22.2.24 出力相切り替えコントロールレジスタ (OPSCR)

アドレス GPT_OPS.OPSCR 4007 8FF0h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFCS[1:0]	NFEN	—	—	GODF	GRP[1:0]	—	—	ALIGN	—	INV	N	P	FB		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	EN	—	W	V	U	—	WF	VF	UF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	入力相ソフト設定	ソフトウェア設定からの入力相を設定します。OPSCR.FBビットが1のとき、これらのビットの設定が有効になります。	R/W
b1	VF			R/W
b2	WF			R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	U	入力U相監視	入力相の状態を監視します。 OPSCR.FB = 0 : PCLKDによって同期化した外部入力、 これらのビットに監視される OPSCR.FB = 1 : ソフトウェア設定 (UF/VF/WFビット)	R
b5	V	入力V相監視		R
b6	W	入力W相監視		R
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	EN	イネーブル相出力制御	0 : 出力しない ("Hi-Z"外部端子) 1 : 出力する (注1)	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	FB	外部フィードバック信号許可	ソフトウェア設定および外部入力から入力相を選択します。 0 : 外部入力を選択 1 : ソフトウェア設定 (OPSCR.UF/VF/WFビット) を選択	R/W
b17	P	正相出力 (P) 制御	0 : レベル信号を出力 1 : PWM信号を出力 (GPT320のPWM)	R/W
b18	N	逆相出力 (N) 制御	0 : レベル信号を出力 1 : PWM信号を出力 (GPT320のPWM)	R/W
b19	INV	反転相出力制御	0 : 正論理 (アクティブHigh) を出力 1 : 負論理 (アクティブLow) を出力	R/W
b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b21	ALIGN	入力相アライメント	0 : 入力相をPCLKDに調整 1 : 入力相をPWMに調整	R/W
b23-b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	GRP[1:0]	出力禁止要因選択	b25 b24 0 0 : グループA出力禁止要因を選択 0 1 : グループB出力禁止要因を選択 1 x : 設定禁止	R/W
b26	GODF	グループ出力禁止機能	0 : 本ビット機能を無視 1 : グループ禁止でOPSCR.ENビットをクリア (注1)	R/W
b28-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	NFEN	外部入力ノイズフィルタ有効	0 : 外部入力にノイズフィルタを使用しない 1 : 外部入力にノイズフィルタを使用する	R/W
b31-b30	NFCS[1:0]	外部入力ノイズフィルタクロック選択	外部入力のノイズフィルタサンプリングクロック設定 b31 b30 0 0 : PCLKD/1 0 1 : PCLKD/4 1 0 : PCLKD/16 1 1 : PCLKD/64	R/W

注1. OPSCR.GODF ビット = 1、かつ OPSCR.GRP ビットで選択した信号値が High の場合、OPSCR.EN ビットは 0 になります。

OPSCR レジスタは、ブラシレス DC モータ制御に必要な信号波形の出力を設定するレジスタです。

UF、VF、WF ビット (入力相ソフト設定)

ソフトウェア設定からの入力相を設定します。OPSCR.FB ビットが 1 のとき、これらのビットが有効になります。UF/VF/WF ビットの設定値が U/V/W 外部入力に代わります。

U、V、W ビット (入力相監視)

OPSCR.FB ビットが 0 のとき、PCLKD と同期した外部入力を監視します。OPSCR.FB ビットが 1 の場合、OPSCR.U、OPSCR.V、OPSCR.W ビットは、OPSCR.UF、OPSCR.VF、OPSCR.WF ビットを読み出せます。

EN ビット (イネーブル相出力制御)

出力許可信号出力相 (正相/逆相) を制御します。

OPSCR.EN ビットが 1 の場合に、信号波形が出力されます。

OPSCR.EN ビットが 0 のとき、最初に OPSCR.FB、OPSCR.UF/VF/WF (ソフトウェア設定を選択)、OPSCR.P/N、OPSCR.INV、OPSCR.RV、OPSCR.ALIGN、OPSCR.GRP、OPSCR.GODF、OPSCR.NFEN、OPSCR.NFCS ビットを設定してください。次に EN ビットを 1 にします。また、OPSCR.GODF ビットが 1、かつ OPSCR.GRP ビットで選択した信号値が High の場合、OPSCR.EN ビットは 0 になります。

FB ビット (外部フィードバック信号許可)

ソフトウェア設定 (OPSCR.UF、VF、WF ビット)、およびホール素子などの外部入力からの入力相を選択します。

P ビット (正相出力 (P) 制御)

レベル信号出力、または正相出力の PWM 信号出力 (GTOUUP 端子、GTOVUP 端子、GTOWUP 端子) のどちらかを選択します。

N ビット (逆相出力 (N) 制御)

レベル信号出力、または逆相出力の PWM 信号出力 (GTOULO 端子、GTOVLO 端子、GTOWLO 端子) のどちらかを選択します。

INV ビット (反転相出力制御)

出力相として、正論理 (アクティブ High) 出力、または負論理 (アクティブ Low) 出力のどちらかを選択します。

ALIGN ビット (入力相アライメント)

入力相のサンプリングとして、PCLKD または PWM を選択します (入力相は OPSCR.FB ビットで指定)。

OPSCR.ALIGN ビットが 0 のとき、入力相は PCLKD に調整されます。

注. PWM 出力 (OPSCR.P/N ビット = 1) を選択して、PCLKD 入力相を調整すると、PWM パルスは短パルスになる場合があります。

注. OPSCR.ALIGN ビット = 1 のとき、入力相は PWM 出力に調整されます。

GRP[1:0] ビット (出力禁止要因選択)

出力禁止要因 (A, B) を選択します。

GODF ビット (グループ出力禁止機能)

OPSCR.GODF ビットが 1、かつ OPSCR.GRP[1:0] ビットで選択した信号値が High の場合、OPSCR.EN ビットは 0 になります。OPSCR.GODF ビットが 0 のとき、本ビットは無視されます。

NFEN ビット (外部入力ノイズフィルタ有効)

外部入力用のノイズフィルタを選択します。OPSCR.NFEN ビットが 0 の場合、外部入力にノイズフィルタは使用されません。

注. 意図しない内部エッジにより本ビットが切り替わった場合、OPSCR.EN ビットを 0 にしてください。

NFCS[1:0] ビット (外部入力ノイズフィルタクロック選択)

外部入力用のノイズフィルタを選択します。OPSCR.NFEN ビット = 1 の場合、外部入力のノイズフィルタサンプリングクロック設定が有効になります。

1. NFCS[1:0] ビットを設定します。
2. クロックの 2 周期分待ちます。
3. OPSCR.EN ビットを 1 にします。

22.3 動作説明

22.3.1 基本動作

各チャンネルには 32 ビットタイマがあり、各タイマは、カウントクロックとハードウェア要因を用いて周期的なカウント動作を実行します。カウント機能には、アップカウントとダウンカウントの両方があります。GTPR レジスタがカウント周期を制御します。GTCNT カウンタ値が GTCCRA または GTCCRB レジスタの値に一致すると、対応する GTIOCA 端子または GTIOCB 端子からの出力を変更できます。GTCCRA または GTCCRB レジスタは、ハードウェア要因による入力キャプチャレジスタとして使用可能です。GTCCRC および GTCCRD レジスタは、GTCCRA レジスタ用のバッファレジスタとしても機能します。また、GTCCRE および GTCCRF レジスタは、GTCCRB レジスタ用のバッファレジスタとしても機能します。

22.3.1.1 カウンタ動作

(1) カウンタスタート/ストップ

各チャンネルのカウンタは、GTCR.CST ビットを 1 にするとカウント動作を開始します。GTCR.CST ビット値は以下の要因によって変化します。

- GTCR レジスタへの書き込み
- GTSSR.CSTRT ビットが 1 の場合、GTSTR レジスタの GPT チャンネル番号に対応したビットへの 1 の書き込み
- GTPSR.CSTOP ビットが 1 の場合、GTSTP レジスタの GPT チャンネル番号に対応したビットへの 1 の書き込み
- GTSSR レジスタで選択したハードウェア要因
- GTPSR レジスタで選択したハードウェア要因

(2) カウントクロックによるアップカウント時の周期カウント動作

各チャンネルの GTCNT カウンタは、GTUPSR および GTDNSR レジスタを 0000_0000h にした状態で、対応する GTCR.CST ビットを 1 にすると、アップカウントを開始します。GTCNT カウンタ値が GTPR 値から 0 に変化 (オーバーフロー) すると、GTST.TCFPO フラグが 1 になります。GTCNT カウンタがオーバーフローすると、0000_0000h からアップカウントを再開します。

アップカウント時の周期カウント動作例を [図 22.3](#) に示します。

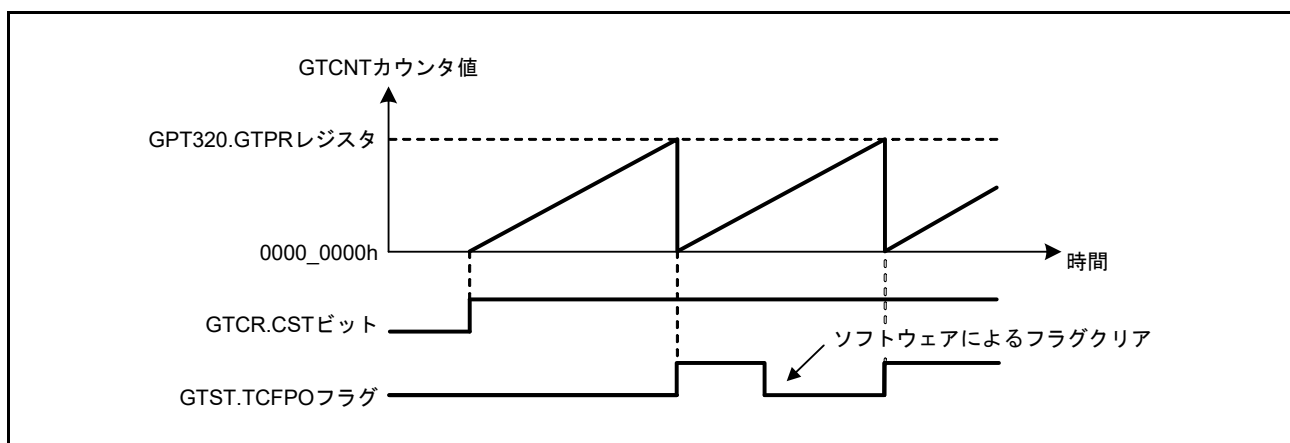


図 22.3 カウントクロックによるアップカウント時の周期カウント動作例

アップカウント時の周期カウント動作の設定例を図 22.4 に示します。

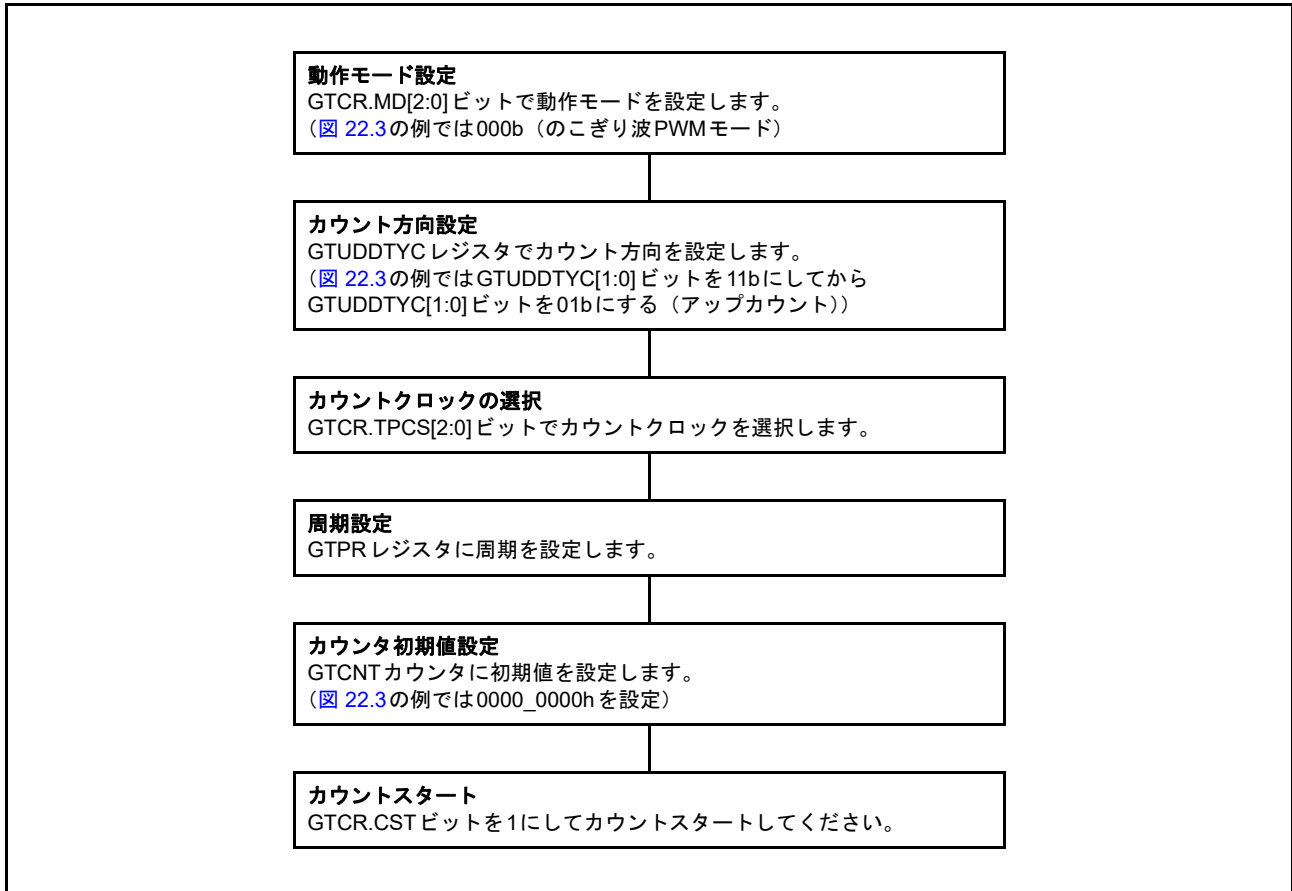


図 22.4 カウントクロックによるアップカウント時の周期カウント動作の設定例

(3) カウントクロックによるダウンカウント時の周期カウント動作

各チャネルのGTCNTカウンタは、GTUPSRおよびGTDNSRレジスタを0000_0000hにした状態で、GTUDDTYC.UDビットを設定することにより、ダウンカウントを実行できます。GTCNTカウンタ値が0からGTPR値に変化(アンダーフロー)すると、GTST.TCFPUビットが1になります。GTCNTカウンタがアンダーフローすると、GTPR値からダウンカウントを再開します。

カウントクロックによるダウンカウント時の周期カウント動作例を図 22.5 に示します。

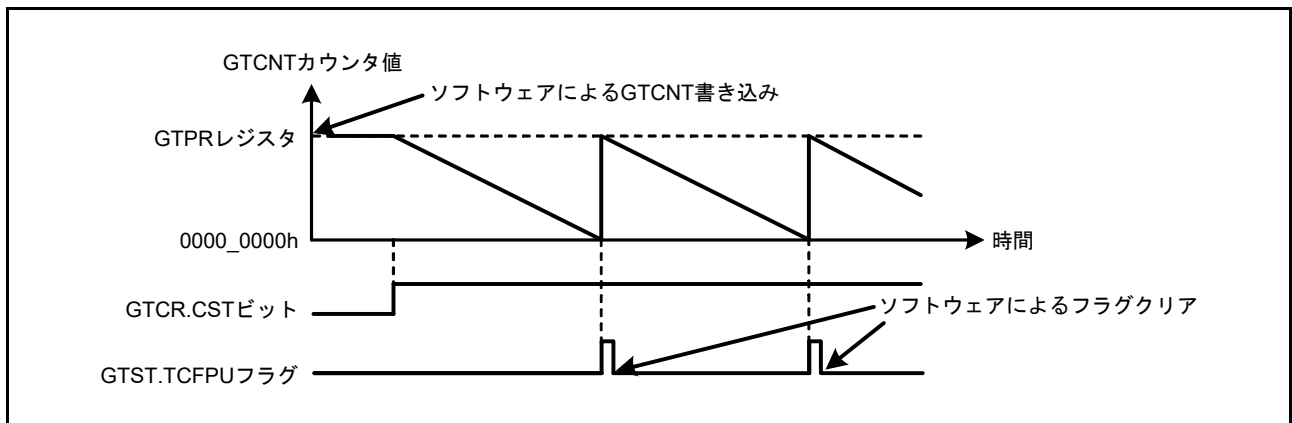


図 22.5 カウントクロックによるダウンカウント時の周期カウント動作例

カウントクロックによるダウンカウント時の周期カウント動作の設定例を図 22.6 に示します。

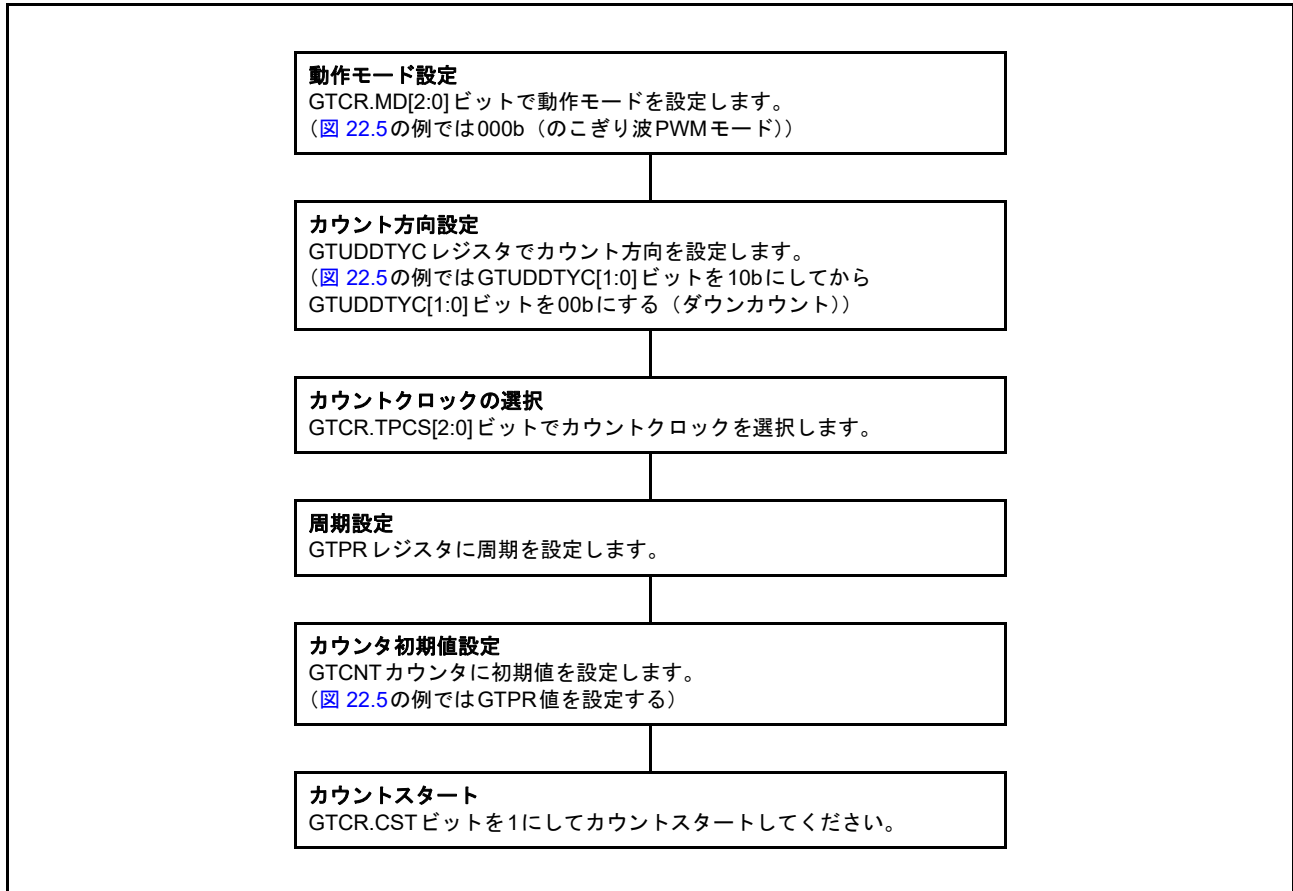


図 22.6 カウントクロックによるダウンカウント時の周期カウント動作の設定例

(4) ハードウェア要因によるアップカウント時のイベントカウント動作

各チャネルのGTCNTカウンタは、GTUPSRレジスタで設定したハードウェア要因によるアップカウントを実行できます。

GTUPSRレジスタを許可に設定すると、GTCR.TPCS[2:0]ビットで選択したカウントクロックと、GTUDDTYC.UDビットで選択したカウント方向は無視されます。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNTカウンタ値は変化しません。ハードウェア要因によるアップカウントのオーバーフロー動作は、カウントクロックによるアップカウントのオーバーフロー動作と同じです。

ハードウェア要因によるカウントアップを行うために、GTCR.CSTビットを1にしてカウント動作を有効にしてください。GTCR.CSTビットを1にすると、GTCR.TPCS[2:0]ビットで指定した1クロック周期の間カウンタはカウントアップされません。これは、カウント動作がGTCR.TPCS[2:0]ビットで選択したカウントクロックと同期するためです。PCLKD1クロック遅れでカウントアップを行う場合、GTCR.TPCS[2:0]ビットを000bにしてください。

ハードウェア要因 (GTETRGA 端子の立ち上がりエッジ) によるアップカウント時の周期カウント動作例を [図 22.7](#) に示します。

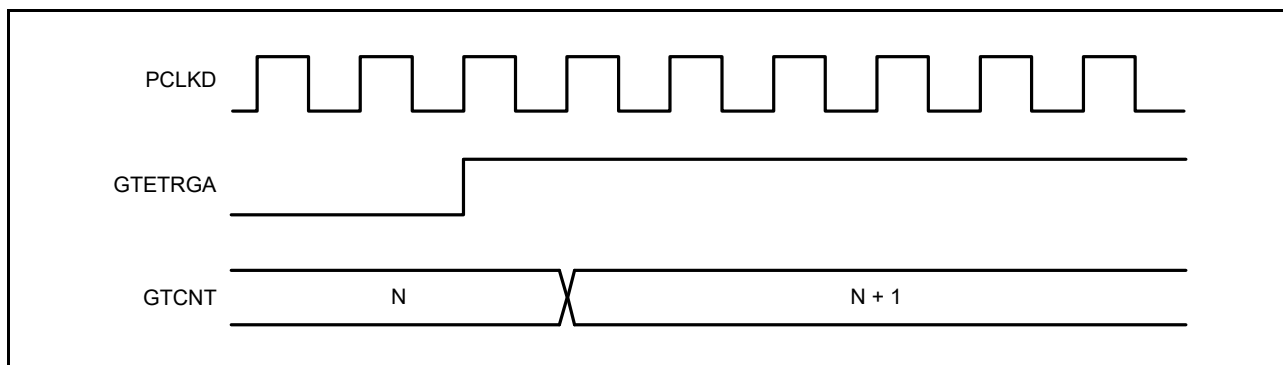


図 22.7 ハードウェア要因によるアップカウント時の周期カウント動作例

カウントクロックによるダウンカウント時の周期カウント動作の設定例を [図 22.8](#) に示します。

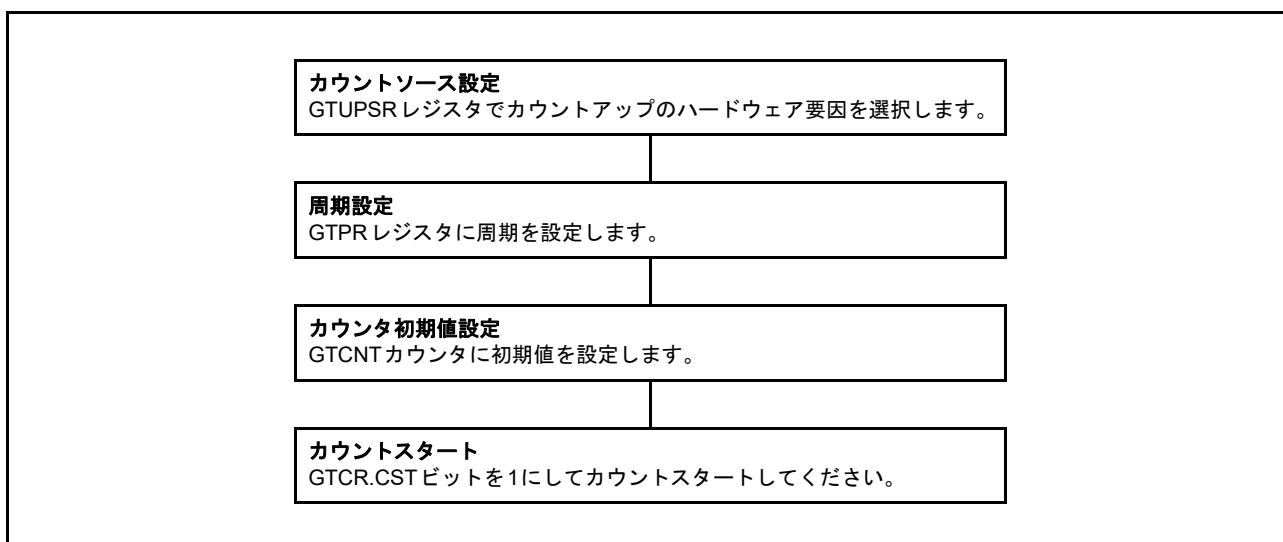


図 22.8 ハードウェア要因によるアップカウント時のイベントカウント動作の設定例

(5) ハードウェア要因によるダウンカウント時のイベントカウント動作

各チャンネルの GTCNT カウンタは、GTDNSR レジスタで設定したハードウェア要因によるダウンカウントを実行できます。

GTDNSR レジスタを許可に設定すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックと、GTUDDTYC.UD ビットで選択したカウント方向は無視されます。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるダウンカウントのアンダーフロー動作は、カウントクロックによるダウンカウントのアンダーフロー動作と同じです。

GTCR.CST ビットを 1 にしてハードウェア要因によるカウントダウンを行うと、カウント動作が有効になります。GTCR.CST ビットを 1 にすると、GTCR.TPCS[2:0] ビットで指定した 1 クロック周期の間カウンタはカウントダウンされません。これは、カウント動作が GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期するためです。PCLKD1 クロック遅れでカウントダウンを行う場合、GTCR.TPCS[2:0] ビットを 000b にしてください。

ハードウェア要因 (GTETRGA 端子の立ち上がりエッジ) によるダウンカウント時の周期カウント動作例を [図 22.9](#) に示します。

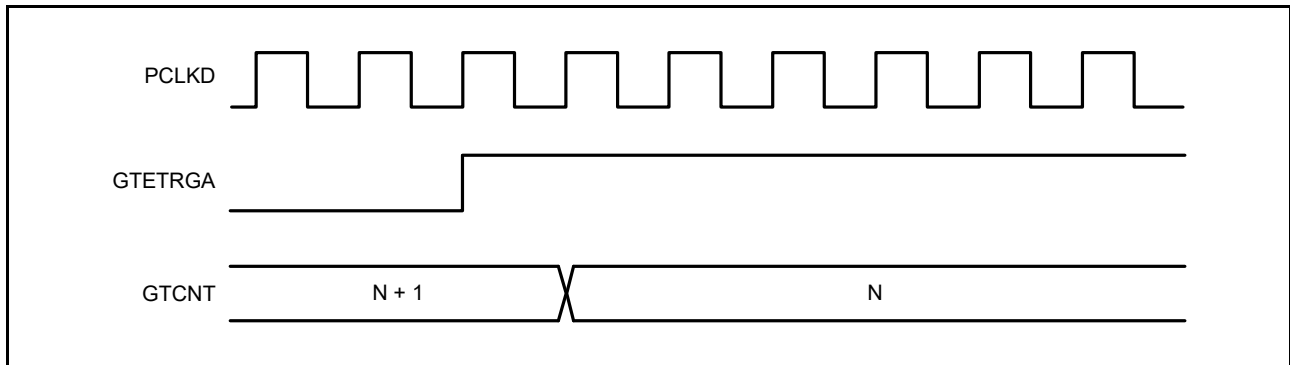


図 22.9 ハードウェア要因によるダウンカウント時のイベントカウント動作

ハードウェア要因によるダウンカウント時の周期カウント動作の設定例を図 22.10 に示します。

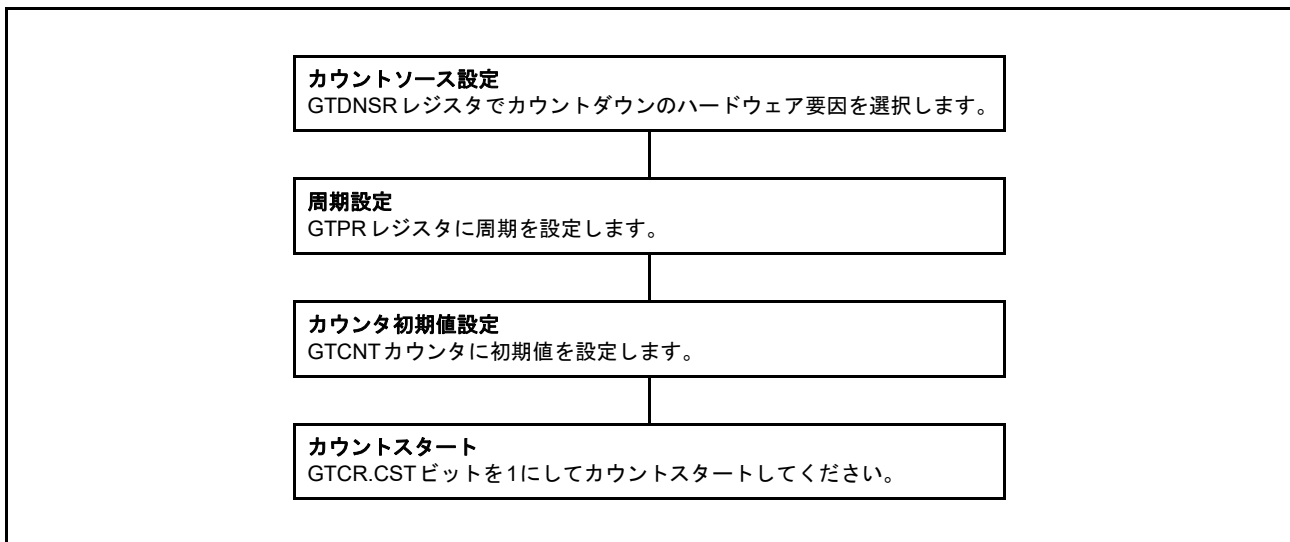


図 22.10 ハードウェア要因によるダウンカウント時のイベントカウント動作の設定例

(6) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアされます。

- GTCNT レジスタへの 0 の書き込み
- GTCSR.CCLR ビットが 1 の場合、GTCLR レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTCSR レジスタで選択したハードウェア要因

カウント動作時は、GTCNT レジスタへの書き込みはしないでください。GTCNT カウンタは、カウント中でも (GTCR.CST ビット = 1)、カウント中でなくても (GTCR.CST ビット = 0)、GTCLR レジスタへの 1 の書き込みとハードウェア要因のクリア要求の両方の方法でクリアできます。

GTCR.MD[2:0] ビットおよびダウンカウント (GTST.TUCF ビット = 0) を示すカウント方向フラグで指定したのこぎり波の場合、GTCLR レジスタに 1 を書き込み、またはハードウェア要因によりクリアすると、GTCNT レジスタは GTPR レジスタの値に設定されます。のこぎり波モードでもダウンカウントでもない場合、GTCLR レジスタへの 1 の書き込みと、ハードウェア要因によるクリアの実行時に、GTCNT レジスタは 0 になります。

GTUPSR または GTDNSR レジスタの少なくとも 1 ビットが 1 の場合のイベントカウント動作では、クリア要因発生後、GTCLR レジスタへの書き込みとハードウェア要因によるクリアがただちに実行され、PCLKD と同期が取られます。その他の設定を使用すると、GTCR.TPCS[2:0] ビットで選択したカウンタロックと同期してクリアが実行されます。

22.3.1.2 コンペアマッチによる波形出力機能

コンペアマッチとは、GTCNT カウンタ値が GTCCRA または GTCCRB レジスタ値と一致することを意味します。コンペアマッチが発生すると、イベントカウントを含むカウントクロックと同期して、コンペアマッチフラグが発生します。同時に、GPT は、対応する GTIOCA または GTIOCB 出力端子から Low 出力 / High 出力 / トグル出力を行うことができます。また、GTPR レジスタで決定される“周期の終わり”においても、GTIOCA または GTIOCB 端子出力を Low 出力 / High 出力 / トグル出力とすることが可能です。

“周期の終わり”とは、以下の場合です。

- のこぎり波でアップカウントの場合：GTCNT カウンタが GTPR 値から 0 に変化したとき（オーバーフロー）
- のこぎり波でダウンカウントの場合：GTCNT カウンタが 0 から GTPR 値に変化したとき（アンダーフロー）
- のこぎり波の場合：GTCNT カウンタがクリアされたとき
- 三角波の場合：GTCNT カウンタが 0 から 1 に変化したとき（谷）

(1) Low 出力 / High 出力

GTCCRA および GTCCRB レジスタのコンペアマッチによる Low 出力 / High 出力の動作例を図 22.11 に示します。

この例では、GPT320.GTCNT カウンタがアップカウント動作を行い、GPT320.GTCCRA レジスタのコンペアマッチによって GTIOC0A 端子から High が出力され、GPT320.GTCCRB レジスタのコンペアマッチによって GTIOC0B 端子から Low が出力されるように設定しています。設定したレベルと端子レベルが一致した場合、端子レベルは変化しません。

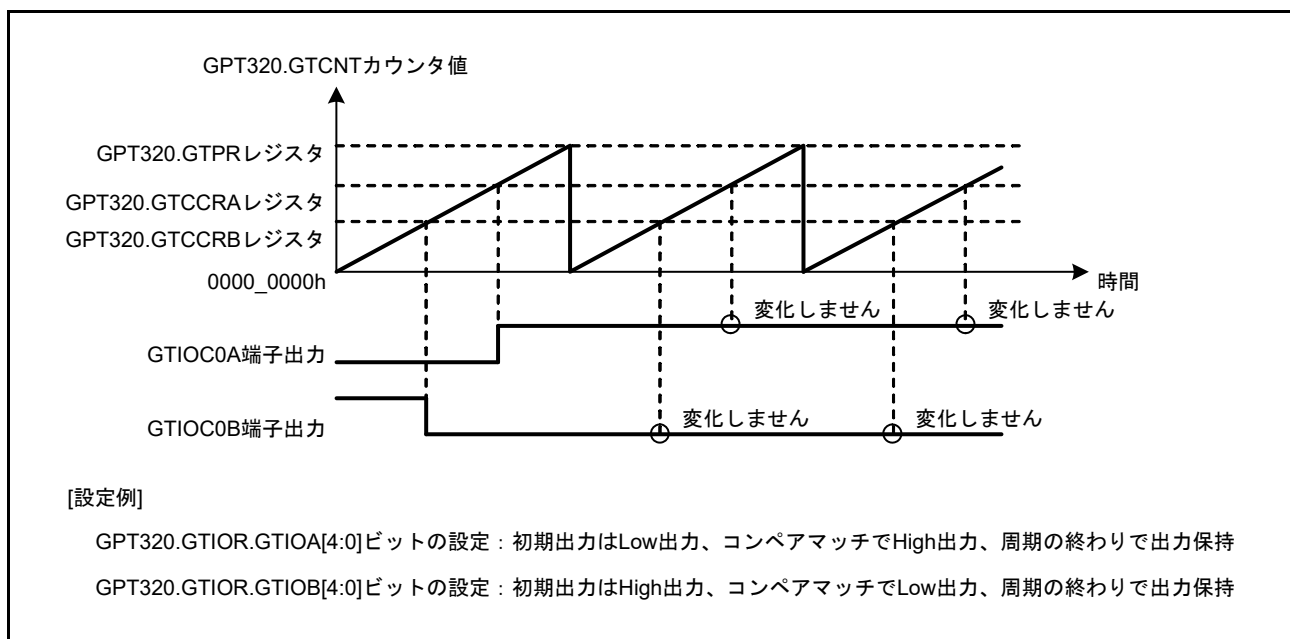


図 22.11 Low 出力 / High 出力動作例

Low 出力 / High 出力動作の設定例を図 22.12 に示します。

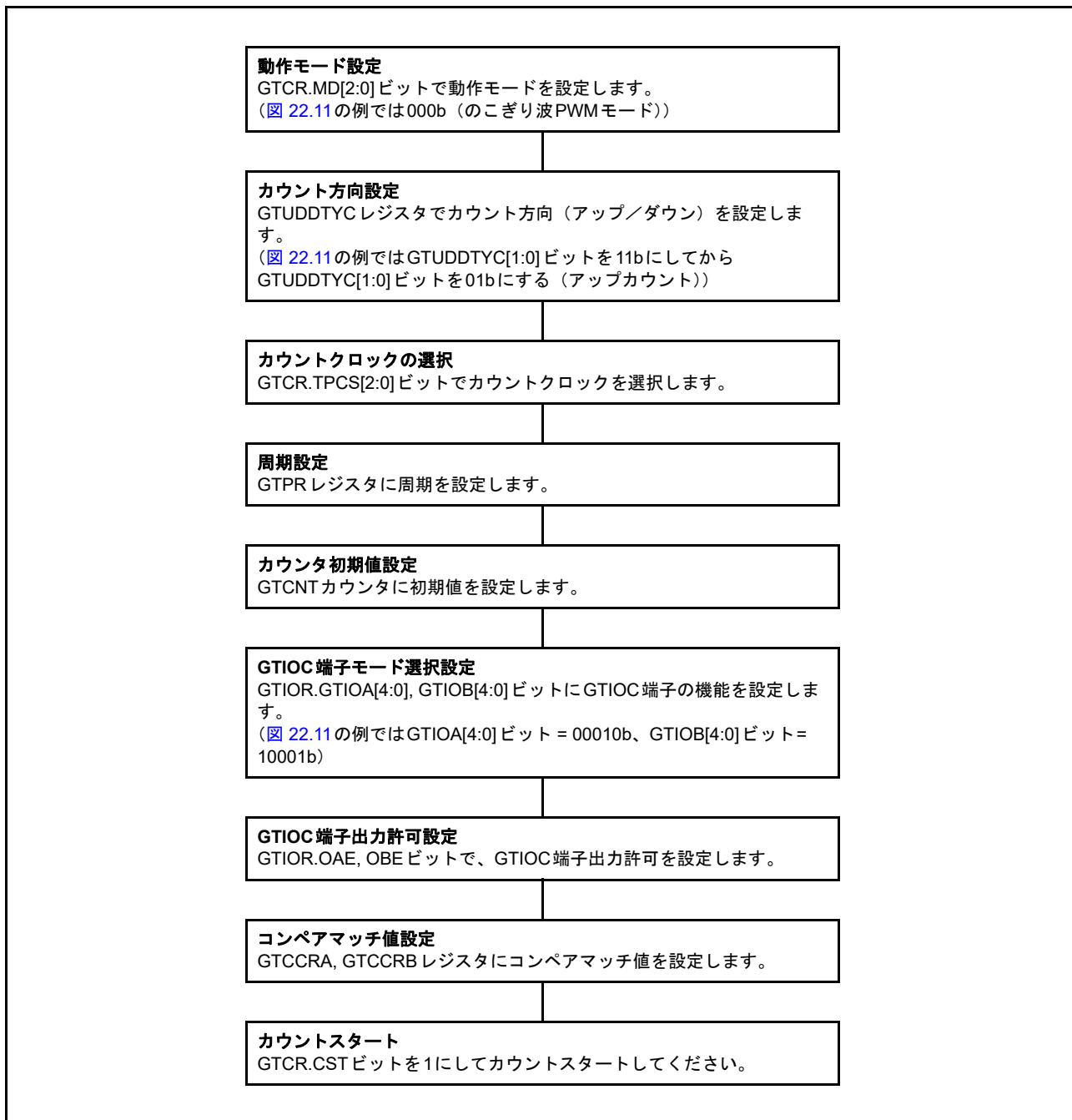


図 22.12 Low 出力 / High 出力動作の設定例

(2) トグル出力

GTCCRA および GTCCRB レジスタのコンペアマッチによるトグル出力の動作例を、[図 22.13](#) および [図 22.14](#) に示します。[図 22.13](#) では、GPT320.GTCNT カウンタがアップカウント動作を行い、GPT320.GTCCRA レジスタのコンペアマッチと、GPT320.GTCCRB レジスタのコンペアマッチによって、それぞれ GTIOC0A 端子と GTIOC0B 端子がトグル出力となるように設定しています。

[図 22.14](#) では、GPT320.GTCNT カウンタがアップカウント動作を行い、GPT320.GTCCRA レジスタのコンペアマッチによって GTIOC0A 端子がトグル出力となり、周期の終わりで GTIOC0B 端子がトグル出力となるように設定しています。

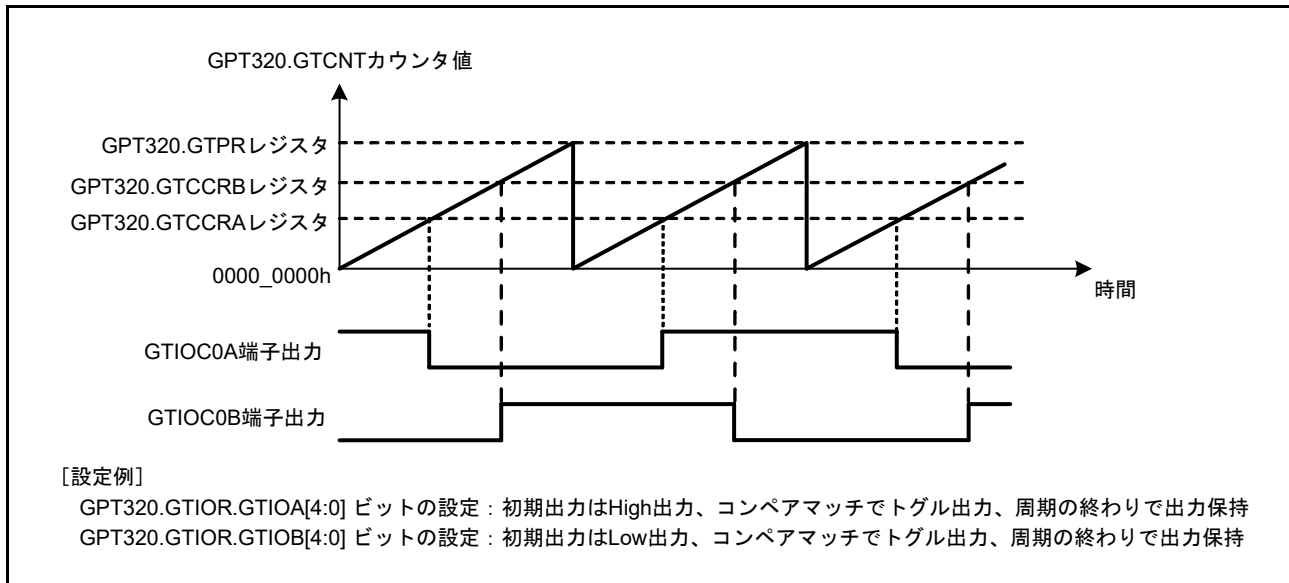


図 22.13 トグル出力動作例 (1)

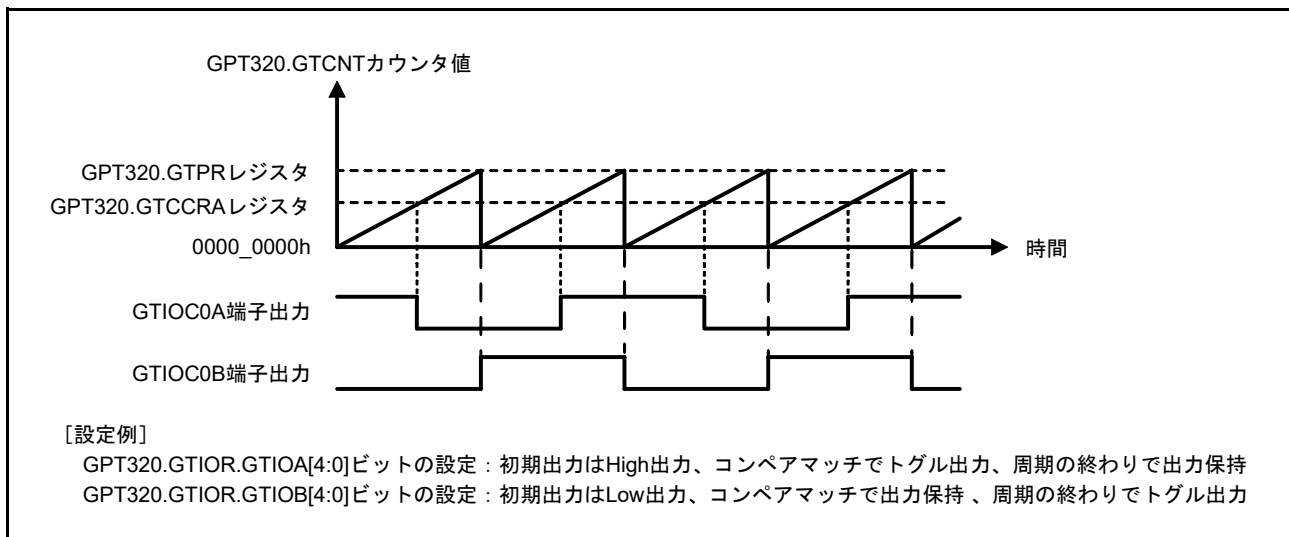


図 22.14 トグル出力動作例 (2)

トグル出力動作設定例を図 22.15 に示します。

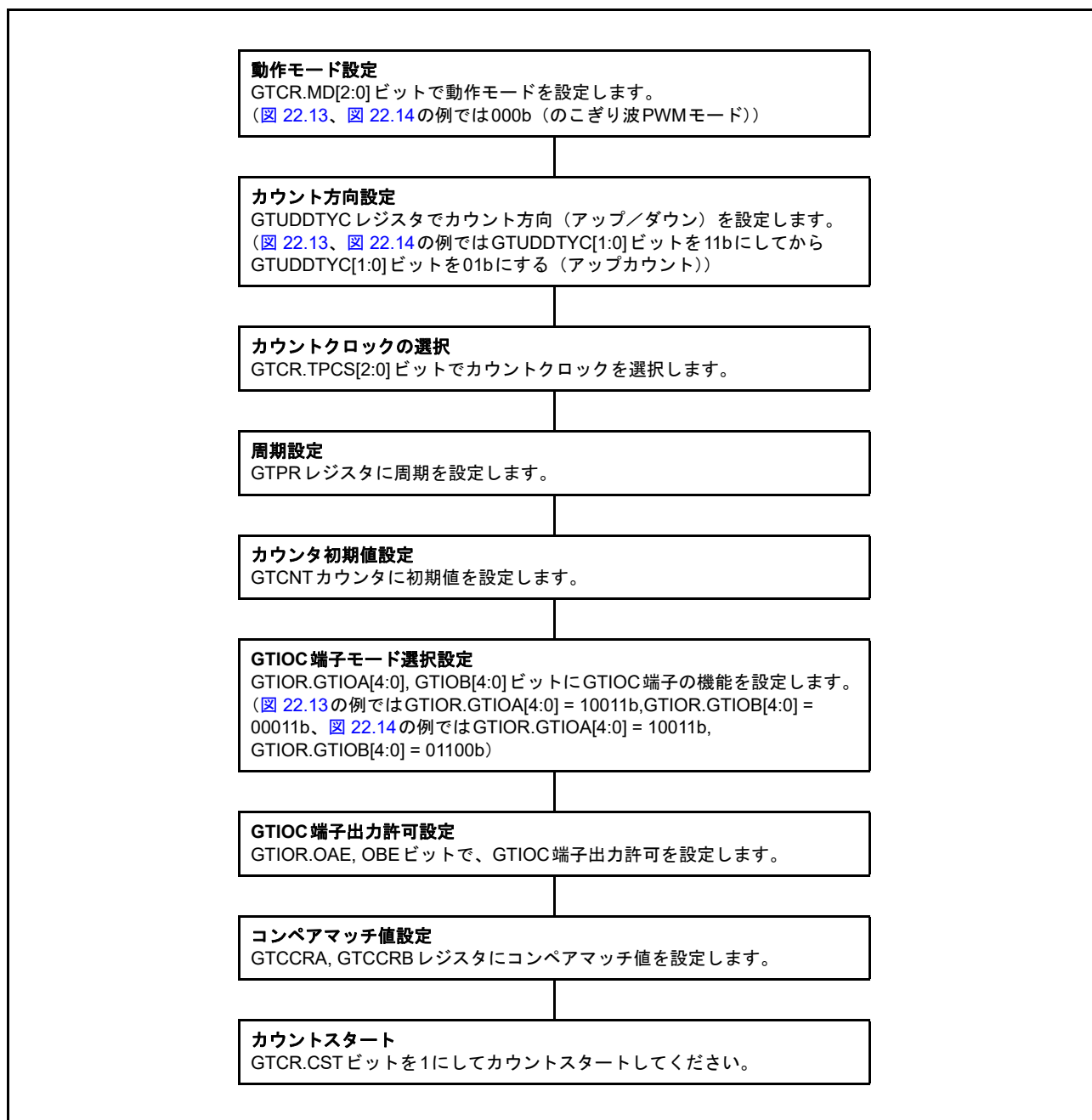


図 22.15 トグル出力動作の設定例

22.3.1.3 インพุットキャプチャ機能

GTICASR および GTICBSR レジスタに設定されたハードウェア要因の検出時に、GTCCRA レジスタまたは GTCCRB レジスタのいずれか一方に GTCNT カウンタ値を転送できます。

インพุットキャプチャ機能の動作例を図 22.16 に示します。

この例では、カウントクロックで GPT320.GTCNT カウンタがアップカウント動作を行い、GTIOC0A 入力端子の両エッジで GTCCRA レジスタにインพุットキャプチャを実行し、GTIOC0B 入力端子の立ち上がりエッジで GTCCRB レジスタにインพุットキャプチャを実行するように設定しています。

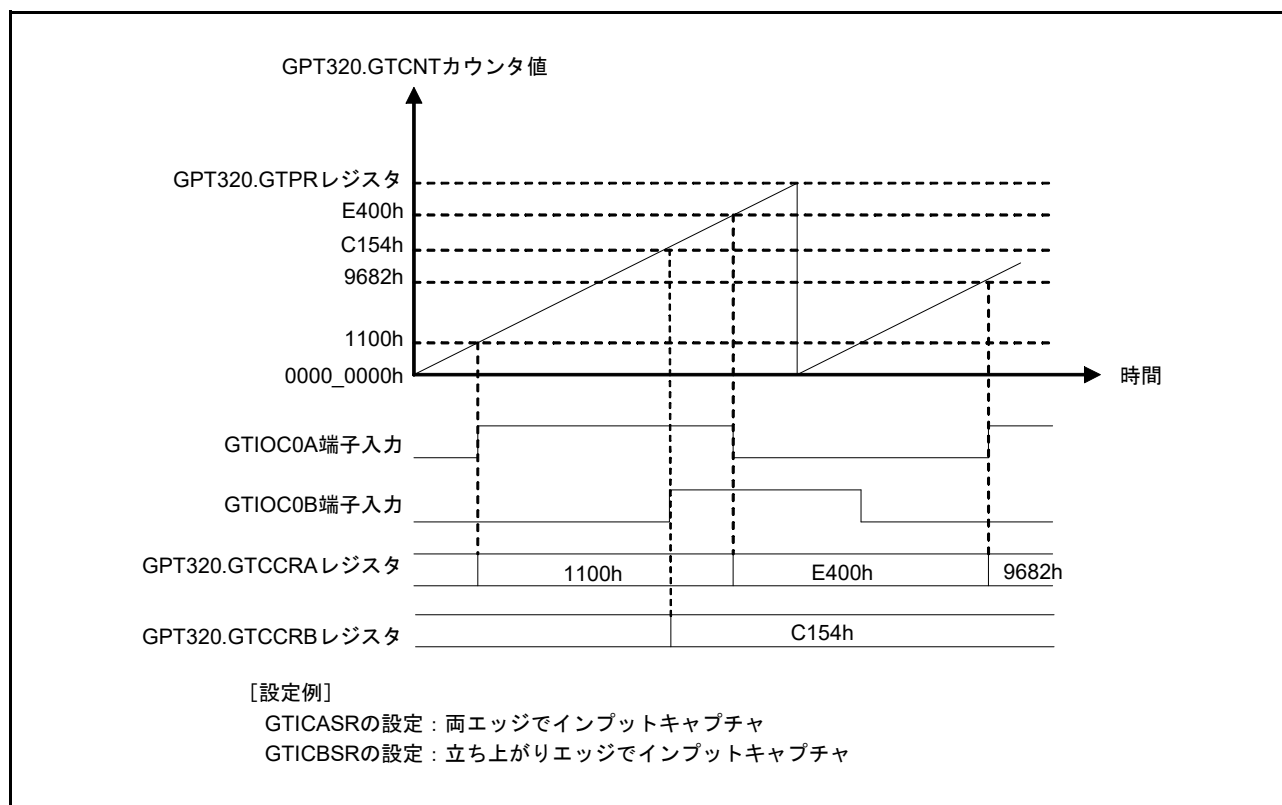


図 22.16 インพุットキャプチャ動作例

カウントクロックによるカウント動作でのインプットキャプチャ動作の設定例を図 22.17 に示します。

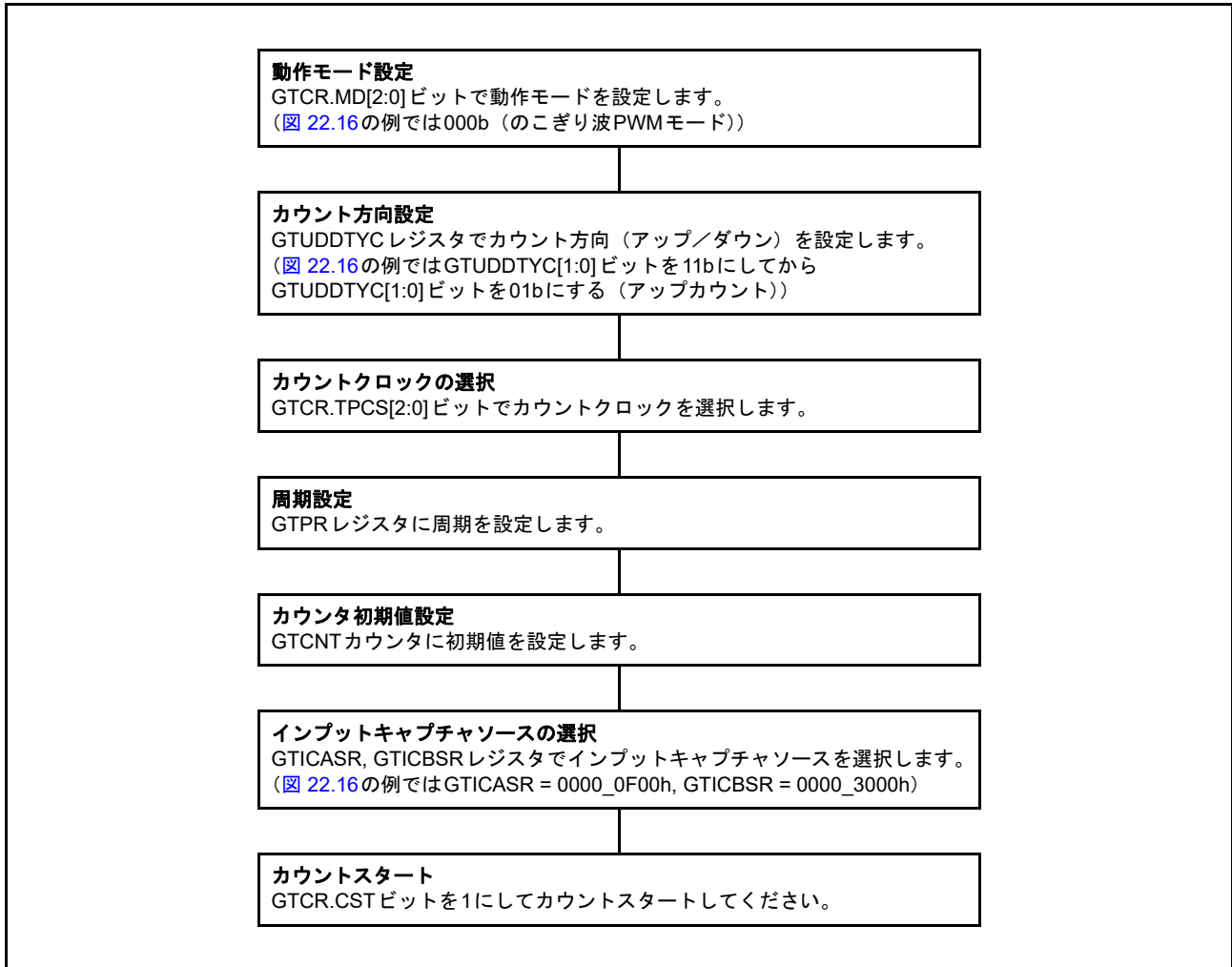


図 22.17 インプットキャプチャ動作設定例

22.3.2 バッファ動作

GTBER レジスタによって、以下のバッファ動作の設定が可能です。

- GTPR レジスタと GTPBR レジスタ
- GTCCRA レジスタ、GTCCRC レジスタ、および GTCCRD レジスタ
- GTCCRB レジスタ、GTCCRE レジスタ、および GTCCRF レジスタ

22.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能します。バッファ転送は、のこぎり波モードまたはイベントカウントでは、オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に実行されます。また、三角波モードでは谷で実行されます。

のこぎり波モードまたはイベントカウントでは、カウント中に以下のカウンタクリア動作が発生すると、バッファ転送が実行されます。

- ハードウェア要因によるクリア（クリア要因は GTCSR[23:0] ビットで選択）
- ソフトウェアによるクリア（GTCSR.CCLR ビットが 1、GTCLR[n] ビットが 1、n = チャネル番号）

GTPR レジスタのバッファ動作例を図 22.18 ~ 図 22.20 に、GTPR レジスタのバッファ動作設定例を図 22.21 に示します。

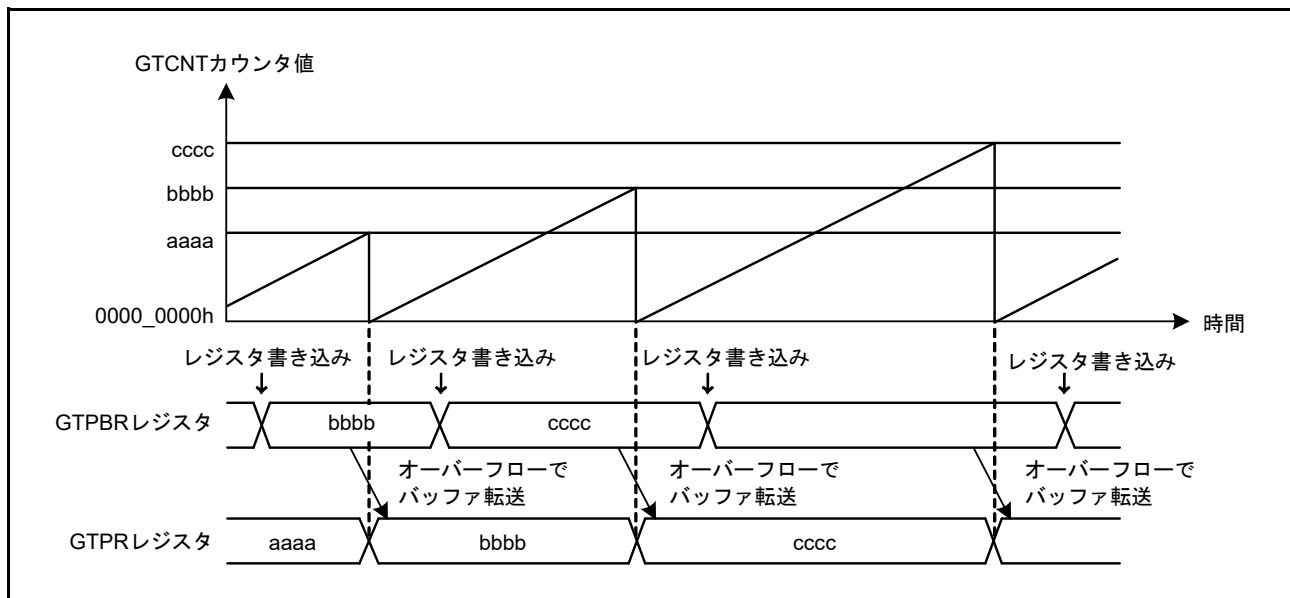


図 22.18 GTPR レジスタのバッファ動作例（のこぎり波でアップカウントの場合）

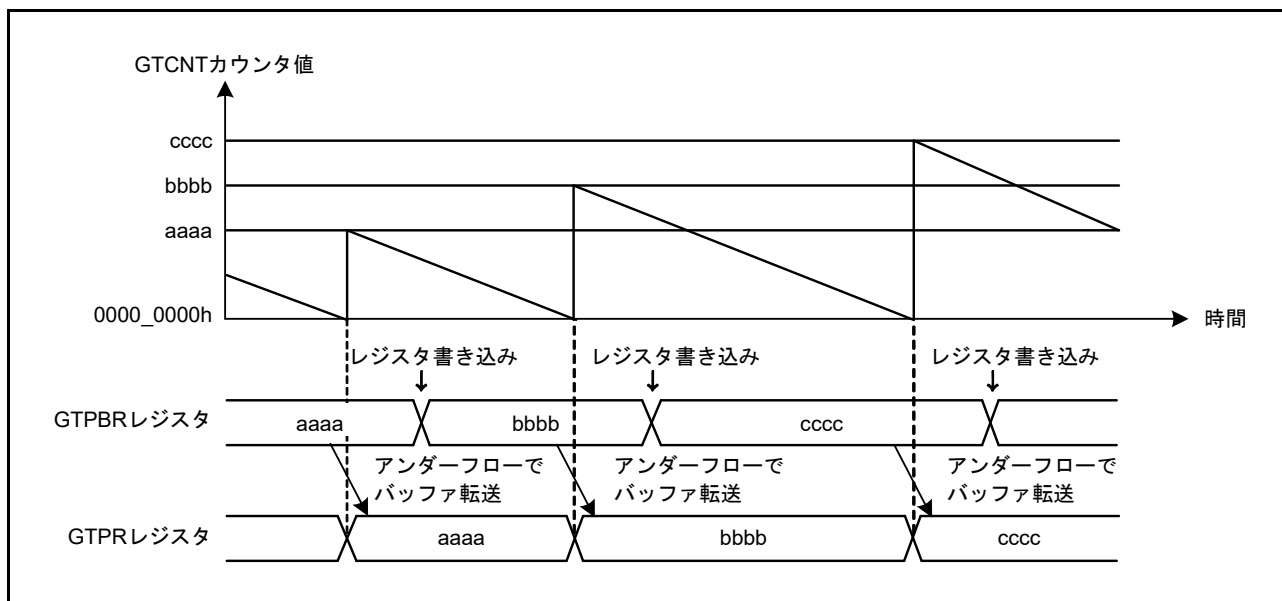


図 22.19 GTPR レジスタのバッファ動作例 (のこぎり波でダウンカウントの場合)

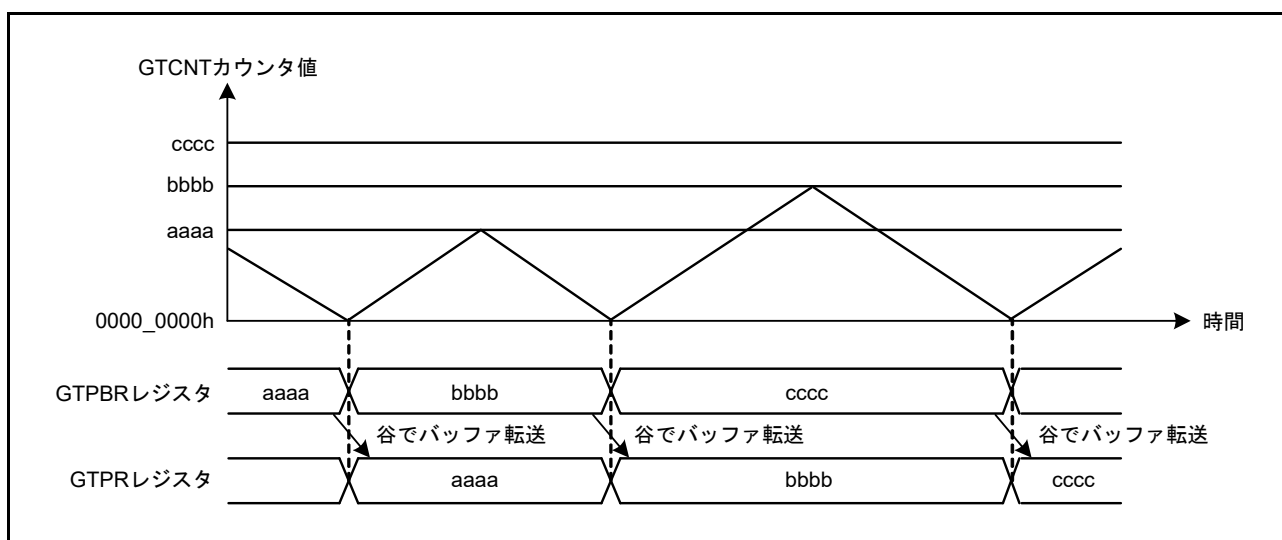


図 22.20 GTPR レジスタのバッファ動作例 (三角波の場合)

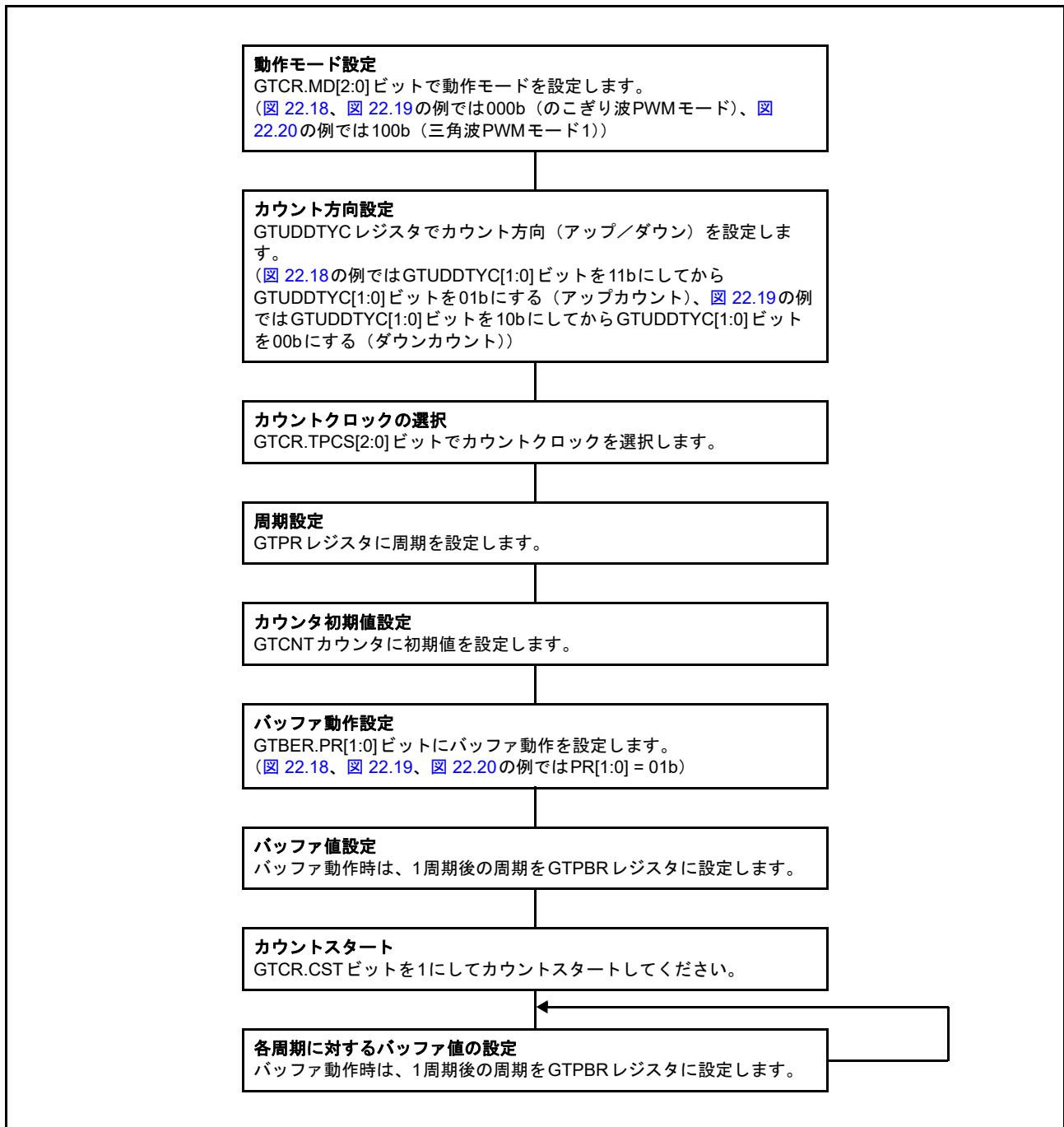


図 22.21 GTPR レジスタのバッファ動作の設定例

22.3.2.2 GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタ用のバッファレジスタとして、GTCCRD レジスタは GTCCRC レジスタ用のバッファレジスタ (すなわち、GTCCRA レジスタ用のダブルバッファレジスタ) として機能します。同様に、GTCCRE レジスタは GTCCRB レジスタ用のバッファレジスタとして、GTCCRF レジスタは GTCCRE レジスタ用のバッファレジスタ (すなわち、GTCCRB レジスタ用のダブルバッファレジスタ) として機能します。

GTCCRA または GTCCRB レジスタのダブルバッファ動作を設定するには、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 10b または 11b にしてください。シングルバッファ動作を設定するには、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 01b にしてください。GTCCRA または GTCCRB レジスタのバッファ動作を設定しない場合は、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 00b にしてください。

(1) GTCCRA または GTCCRB レジスタがアウトプットコンペアレジスタとして動作している場合

バッファ転送は以下の状況で発生します。

- オーバーフロー／アンダーフローによるバッファ転送
のこぎり波モードまたはイベントカウント動作では、オーバーフロー時 (アップカウント中) またはアンダーフロー時 (ダウンカウント中) に、バッファ転送が実行されます。三角波モードでは、谷 (三角波 PWM モード 1) または山と谷 (三角波 PWM モード 2) で、バッファ転送が実行されます
- カウンタクリアによるバッファ転送
のこぎり波モードまたはイベントカウント動作では、カウント中に [22.3.2.1 GTPR レジスタのバッファ動作](#) の場合と同じカウンタクリア要因によって、バッファ転送が (同じく、アップカウント中のオーバーフロー時またはダウンカウント中のアンダーフロー時に) 実行されます。三角波モードでは、カウンタクリアによるバッファ転送は実行されません
- バッファ強制転送
カウントストップ中に GTBER.CCRSWT ビットを 1 にすると、のこぎり波モード、イベントカウント動作、および三角波モードでは、GTCCRA および GTCCRB レジスタのバッファ転送が強制的に実行されます。さらに、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 では、GTCCRD レジスタから一時レジスタ A へのバッファ転送、および GTCCRF レジスタから一時レジスタ B へのバッファ転送が実行されます

GTCCRA および GTCCRB レジスタのバッファ動作例を [図 22.22](#) ~ [図 22.24](#) に、GTCCRA および GTCCRB レジスタのバッファ動作の設定例を [図 22.25](#) に示します。

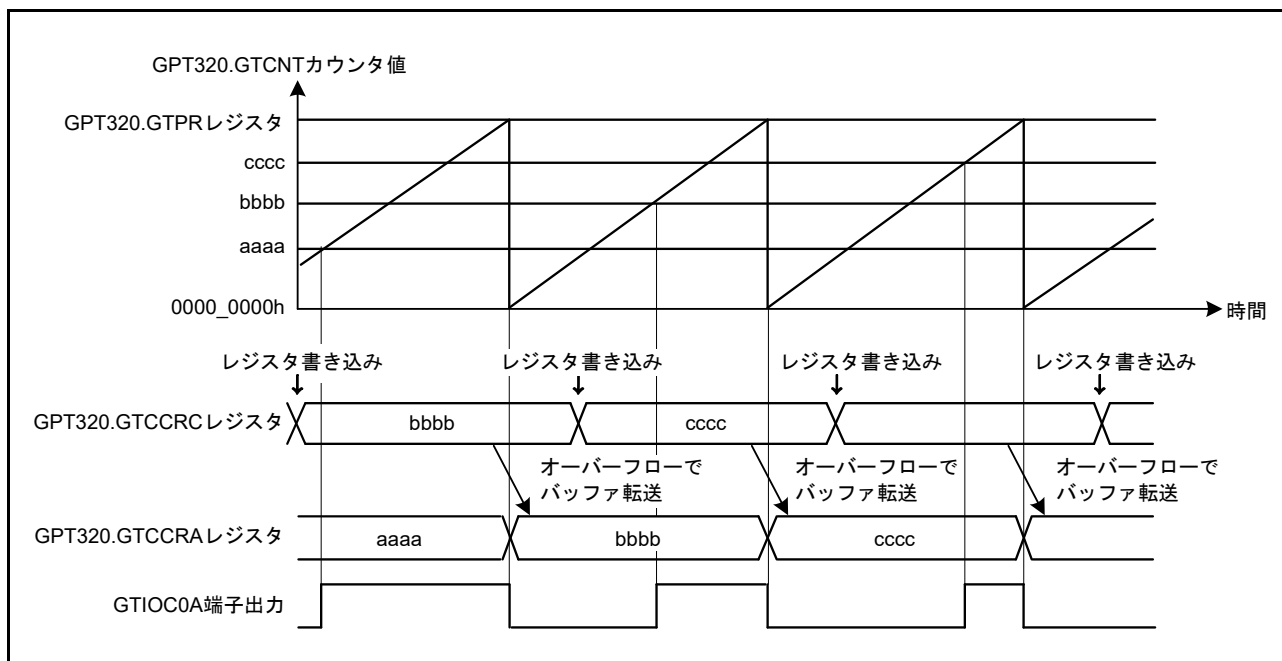


図 22.22 GTCCRA、GTCCRB レジスタのバッファ動作例 (アウトプットコンペア、アップカウント時ののこぎり波、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合)

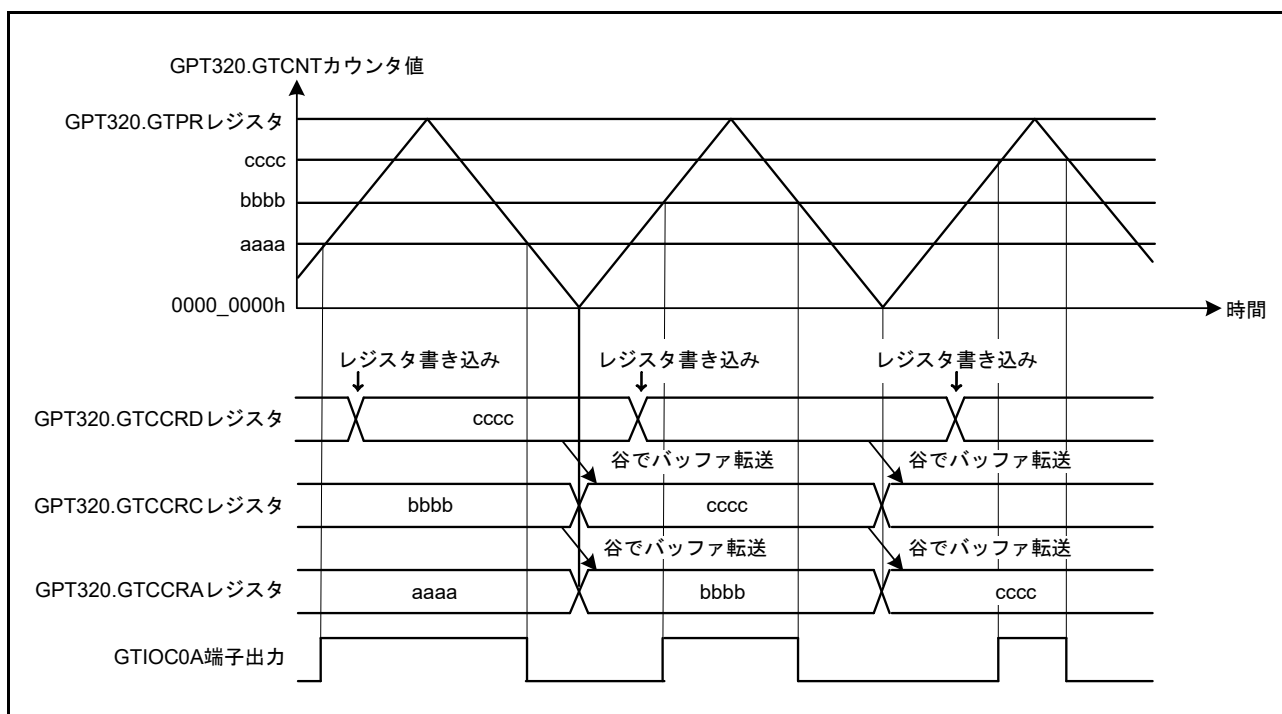


図 22.23 GTCCRA、GTCCRB レジスタのダブルバッファ動作例 (アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

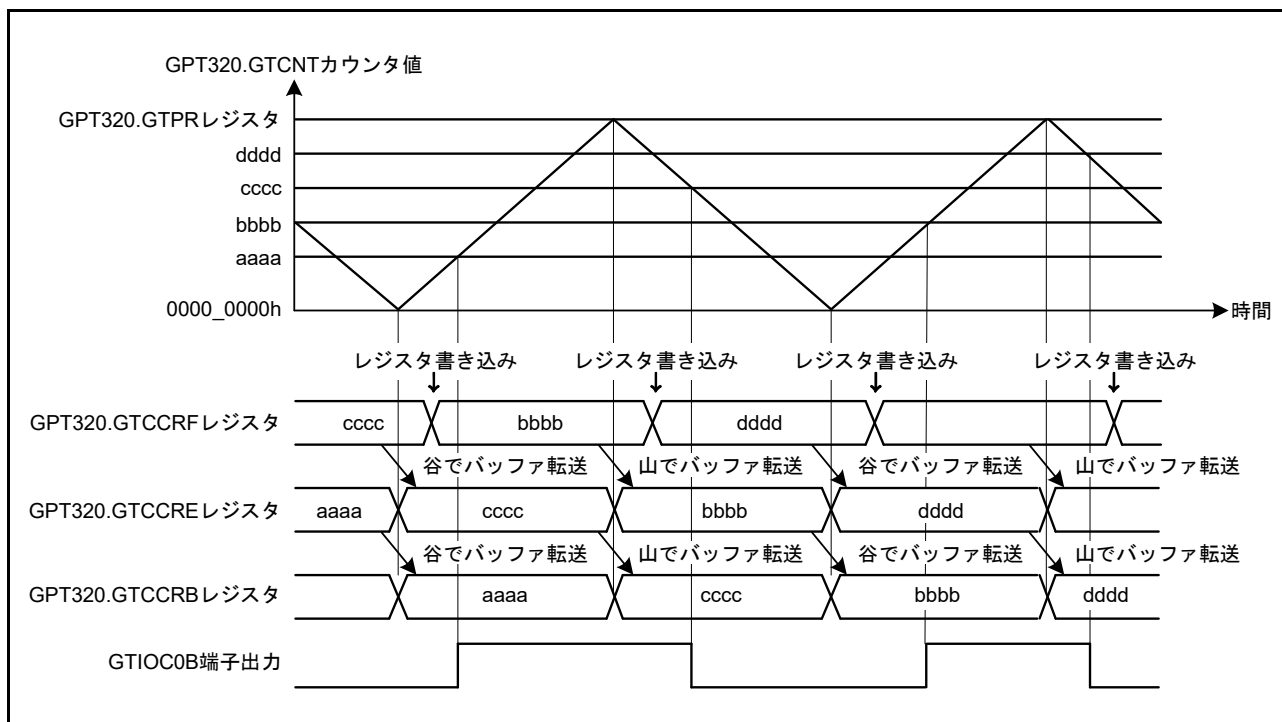


図 22.24 GTCCRA、GTCCRB レジスタのダブルバッファ動作例 (アウトプットコンペア、三角波、山と谷でバッファ動作、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

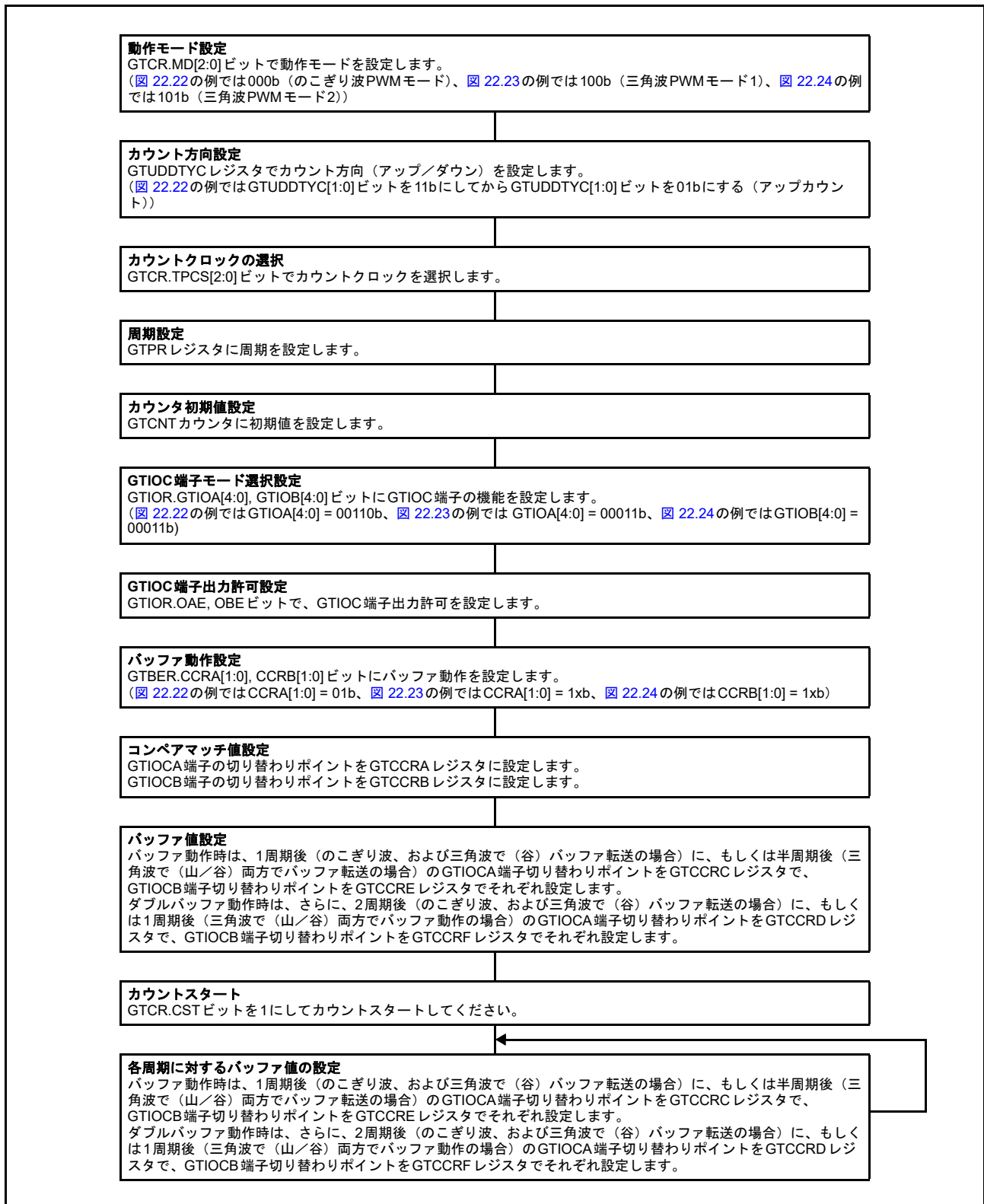


図 22.25 GTCCRA、GTCCRB レジスタのバッファ動作の設定例 (アウトプットコンペア時)

(2) GTCCRA または GTCCRB レジスタがインプットキャプチャレジスタとして動作している場合

インプットキャプチャが発生すると、GTCNT カウンタ値が GTCCRA および GTCCRB レジスタに転送されると同時に、それまで格納されていた GTCCRA および GTCCRB レジスタ値がバッファレジスタに転送されます。インプットキャプチャ動作では、カウンタクリアによるバッファ転送は実行されません。

GTCCRA および GTCCRB レジスタのバッファ動作例を [図 22.26](#) と [図 22.27](#) に、GTCCRA および GTCCRB レジスタのバッファ動作の設定例を [図 22.28](#) に示します。

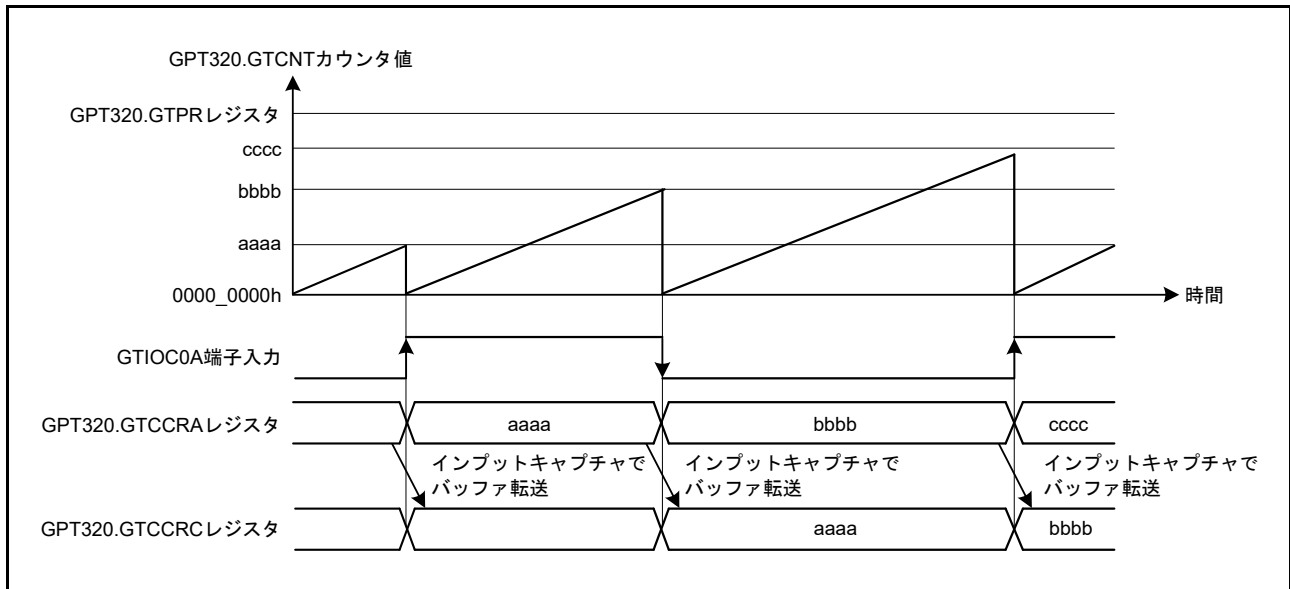


図 22.26 GTCCRA、GTCCRB レジスタのバッファ動作例 (GTIOC0A 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOC0A 端子入力の両エッジで GTCNT カウンタクリアの場合)

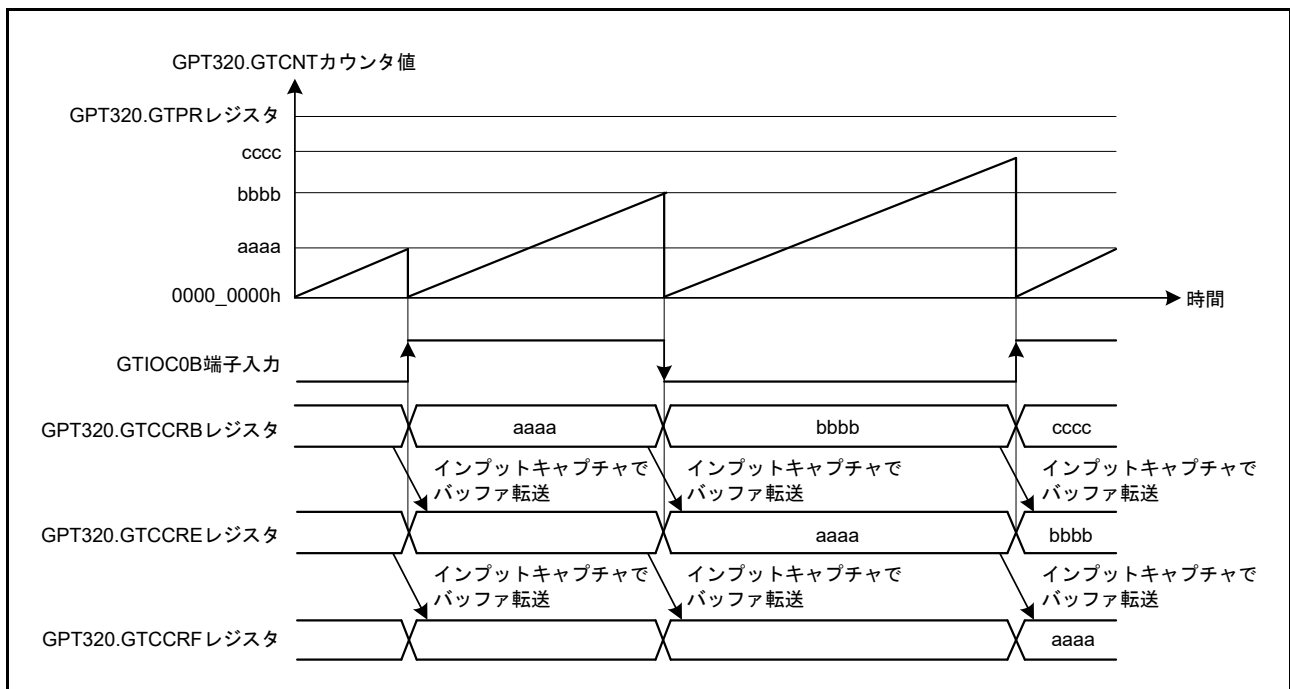


図 22.27 GTCCRA、GTCCRB レジスタのダブルバッファ動作例 (GTIOC0B 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOC0B 端子入力の両エッジで GTCNT カウンタクリアの場合)

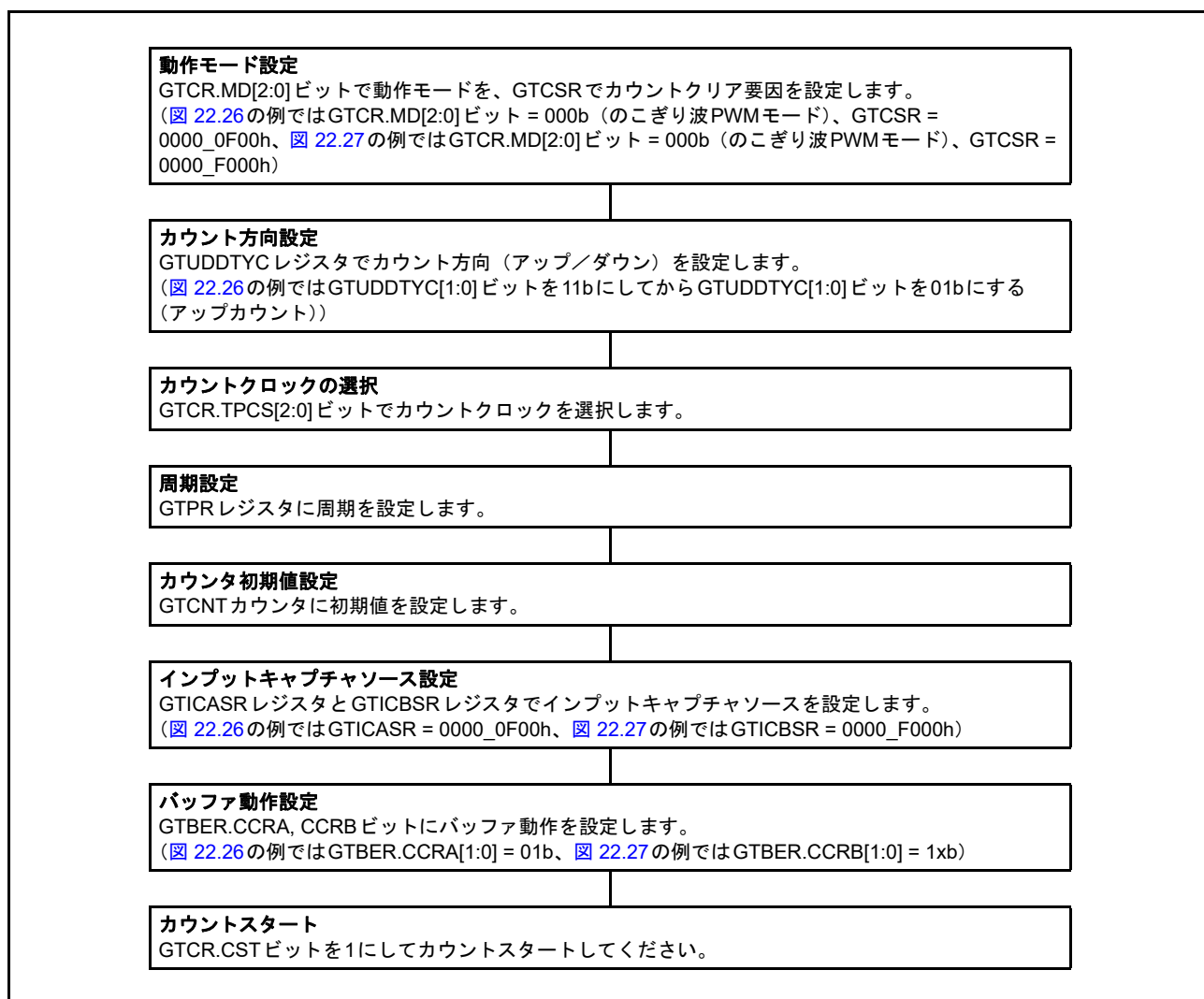


図 22.28 GTCRA、GTCRB レジスタのバッファ動作設定例 (入力キャプチャ時)

22.3.3 PWM 出力動作モード

GPT は、GTCNT カウンタと GTCCRA または GTCCRB レジスタとのコンペアマッチに基づいて、GTIOCA 端子または GTIOCB 端子へ PWM 波形を出力することが可能です。また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

22.3.3.1 のこぎり波 PWM モード

のこぎり波 PWM モードでは、GTPR レジスタに周期を設定することにより、GTCNT カウンタにのこぎり波（半波）動作を実行させます。また、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に、GTIOCA または GTIOCB 端子に PWM 波形を出力させます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。

図 22.29 にのこぎり波 PWM モードの動作例を、図 22.30 にのこぎり波 PWM モードの設定例を示します。

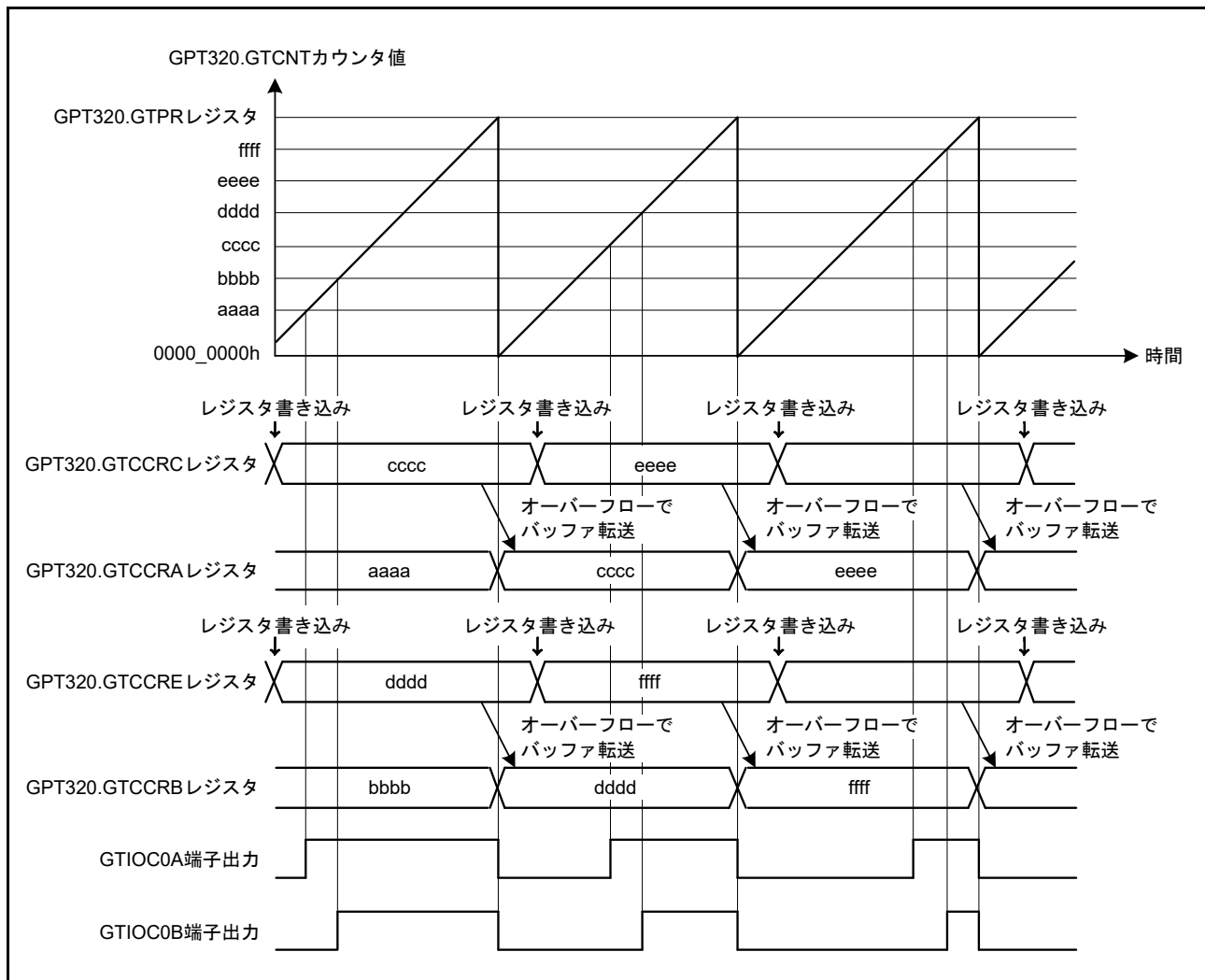


図 22.29 のこぎり波 PWM モード動作例（アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）

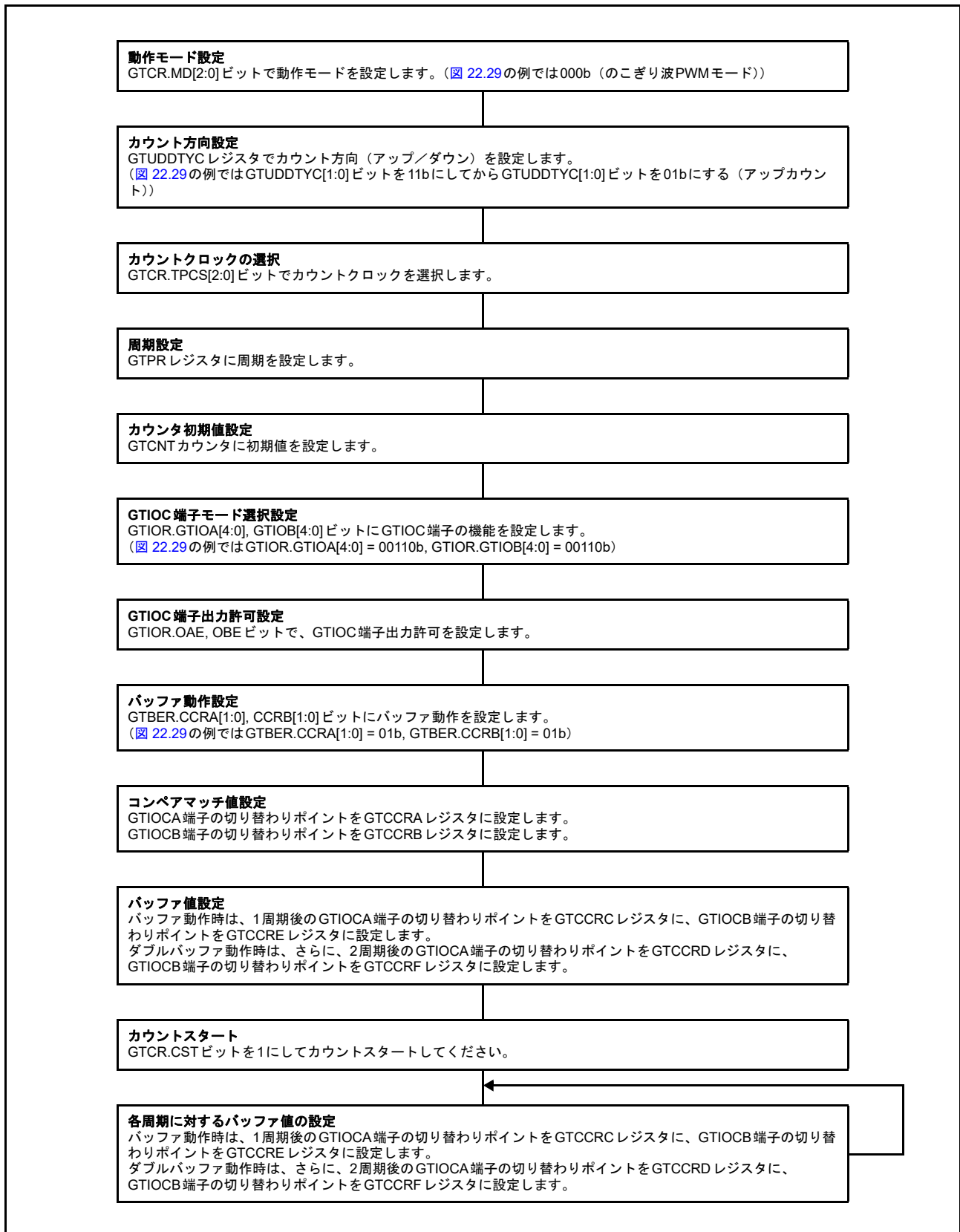


図 22.30 のこぎり波 PWM モードの設定例

22.3.3.2 のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定するモードです。GTCNT カウンタにのこぎり波 (半波) 動作を実行させ、バッファ動作を固定させた状態で GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。

のこぎり波ワンショットパルスモードでのバッファ動作は、通常のバッファ動作とは異なります。バッファ転送は以下のように実行されます。

- 周期の終わりに GTCCRC レジスタから GTCCRA レジスタへ
- 周期の終わりに GTCCRE レジスタから GTCCRB レジスタへ
- 周期の終わりに GTCCRD レジスタから一時レジスタ A へ
- 周期の終わりに GTCCRF レジスタから一時レジスタ B へ
- GTCCRA レジスタのコンペアマッチ時に、一時レジスタ A から GTCCRA レジスタへ
- GTCCRB レジスタのコンペアマッチ時に、一時レジスタ B から GTCCRB レジスタへ

端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。カウントストップ中に GTBER.CCRSWT ビットを 1 にすると、GTCCRD レジスタから一時レジスタ A へ、および GTCCRF レジスタから一時レジスタ B へ、バッファ転送が強制的に実行されます。また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値は GTCCRB レジスタに自動設定されます。

図 22.31 に、のこぎり波ワンショットパルスモードの動作例を、図 22.32 に、のこぎり波ワンショットパルスモードの設定例を示します。

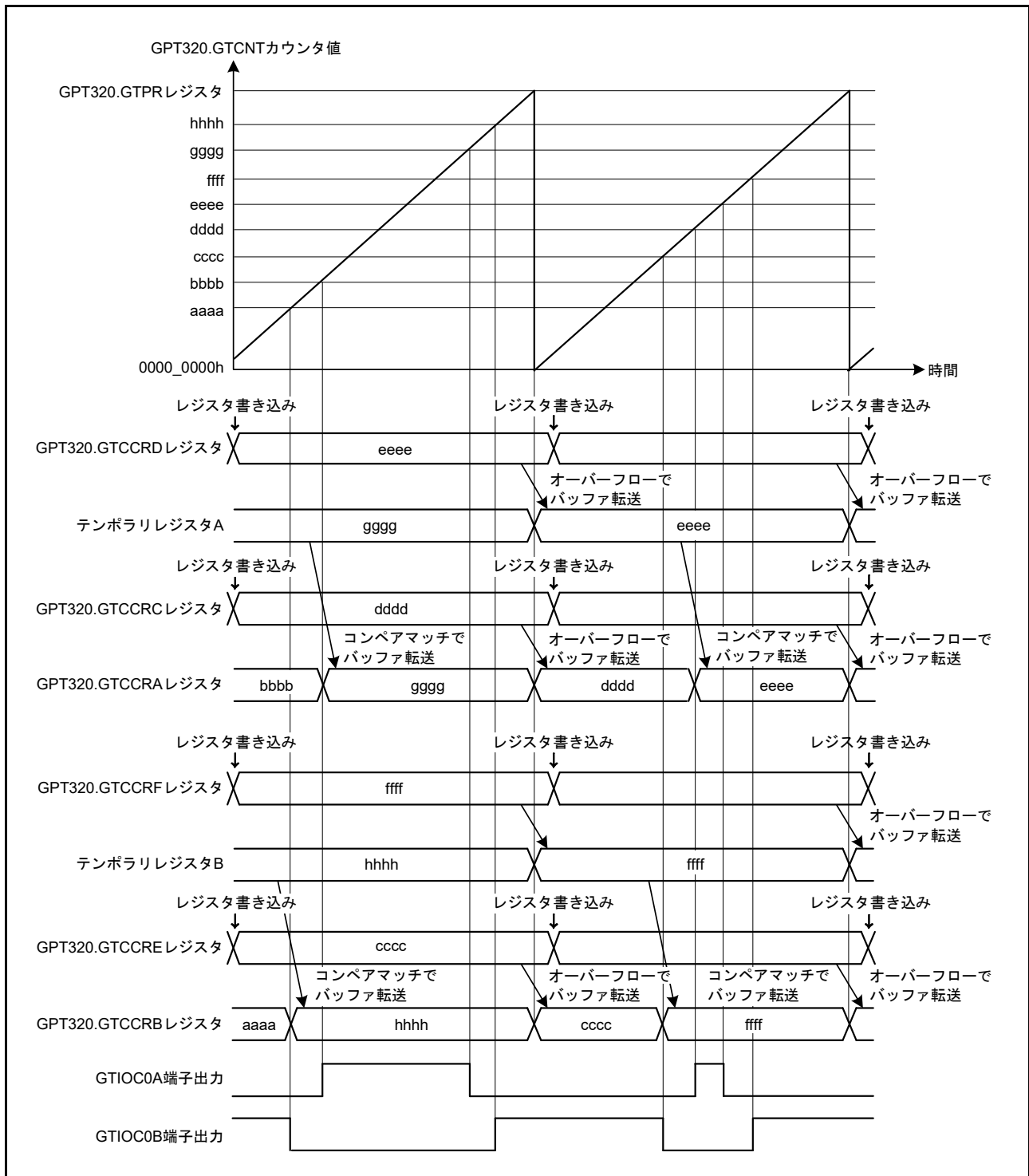


図 22.31 のこぎり波ワンショットパルスモード動作例 (アップカウント、カウントスタート時 GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

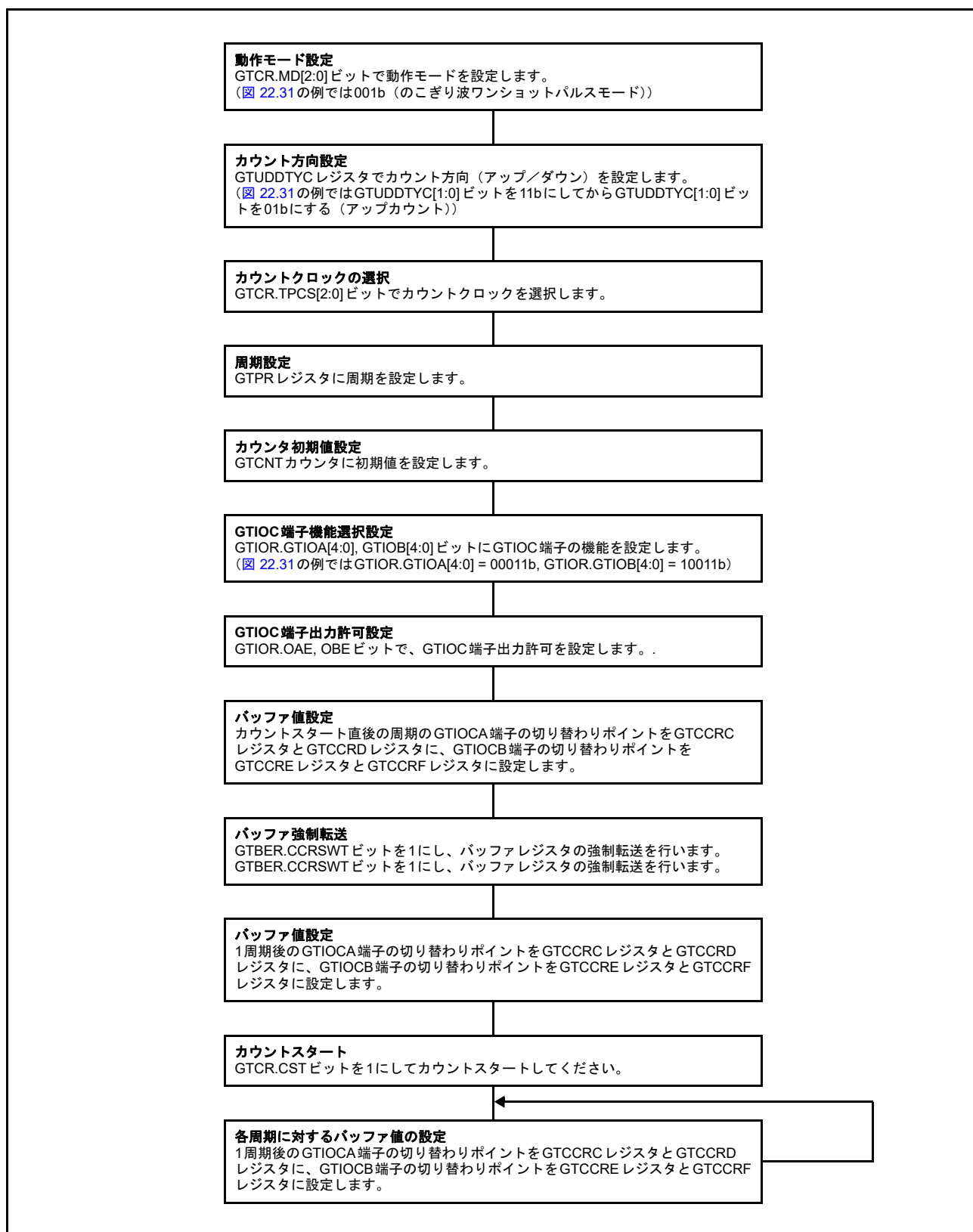


図 22.32 のこぎり波ワンショットパルスモードの設定例

22.3.3.3 三角波 PWM モード 1 (谷 32 ビット転送)

三角波 PWM モード 1 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波 (全波) 動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。バッファ転送は谷で行われます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。

また、GDTDCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 22.33 に三角波 PWM モード 1 の動作例を、図 22.34 に三角波 PWM モード 1 の設定例を示します。

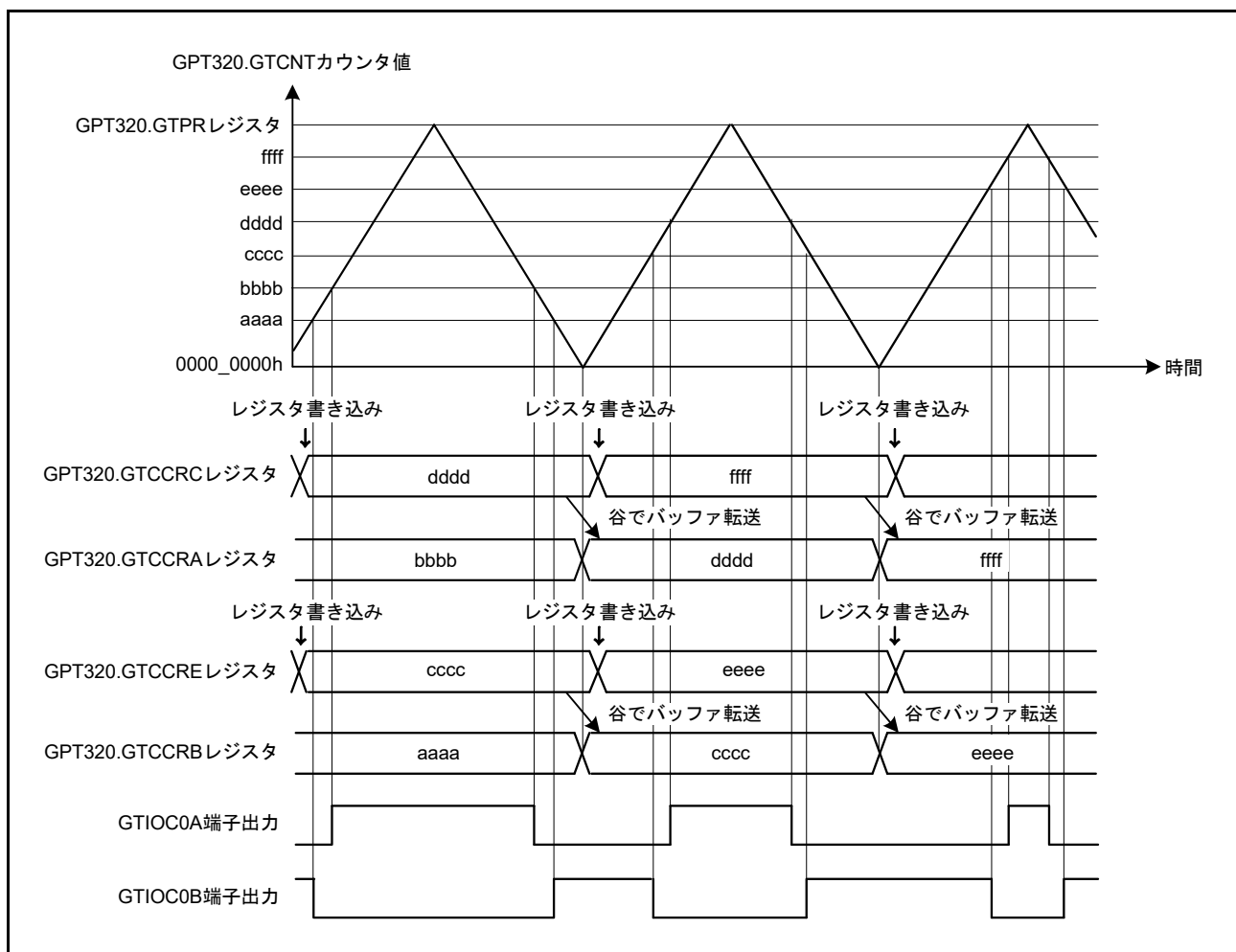


図 22.33 三角波 PWM モード 1 動作例 (バッファ動作、カウントスタート時 GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

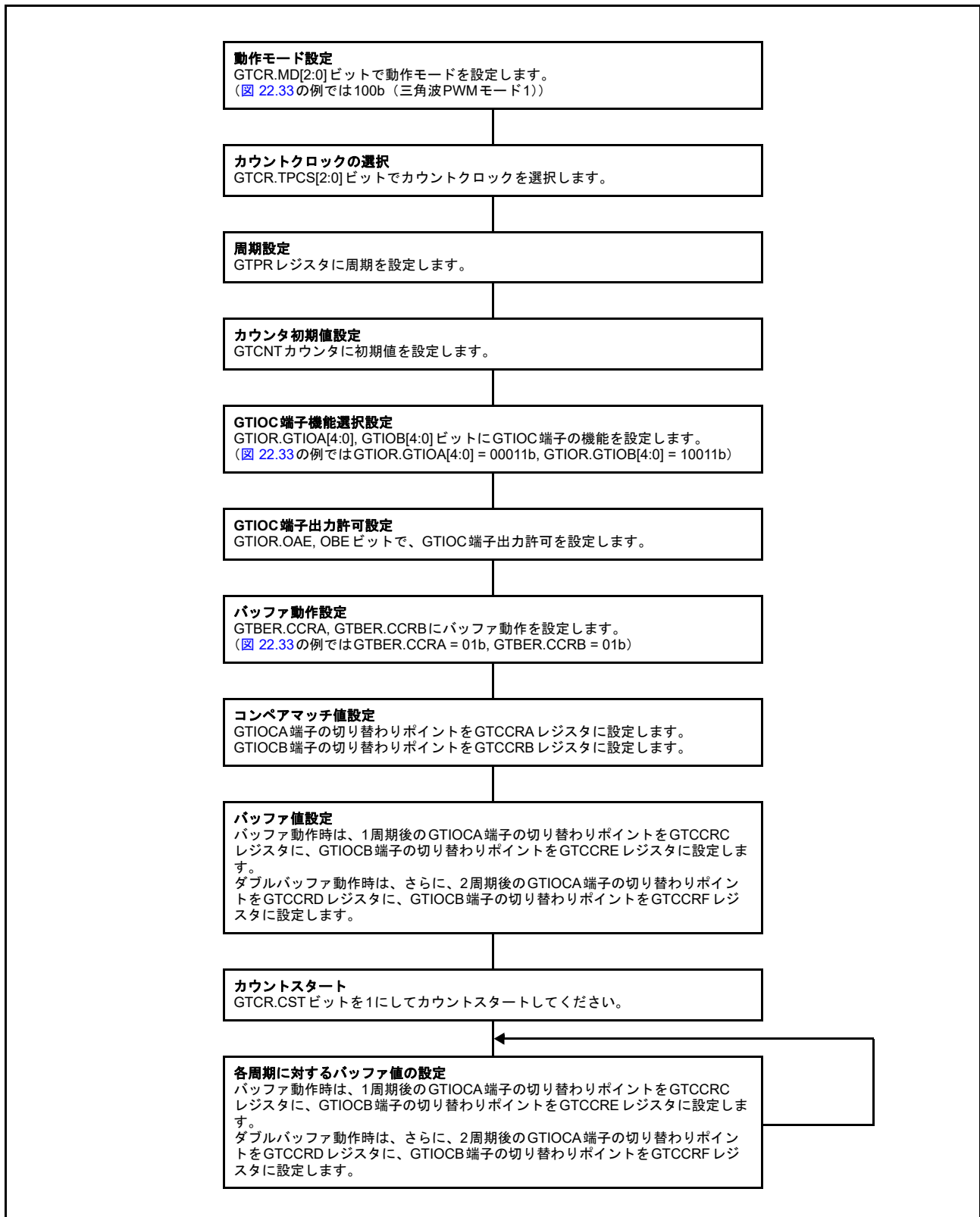


図 22.34 三角波 PWM モード 1 の設定例

22.3.3.4 三角波 PWM モード 2 (山/谷 32 ビット転送)

三角波 PWM モード 1 と同様に、三角波 PWM モード 2 でも GTPR レジスタに周期を設定します。GTCNT カウンタに三角波 (全波) 動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。山と谷の両方でバッファ転送が行われます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 22.35 に三角波 PWM モード 2 の動作例を、図 22.36 に三角波 PWM モード 2 の設定例を示します。

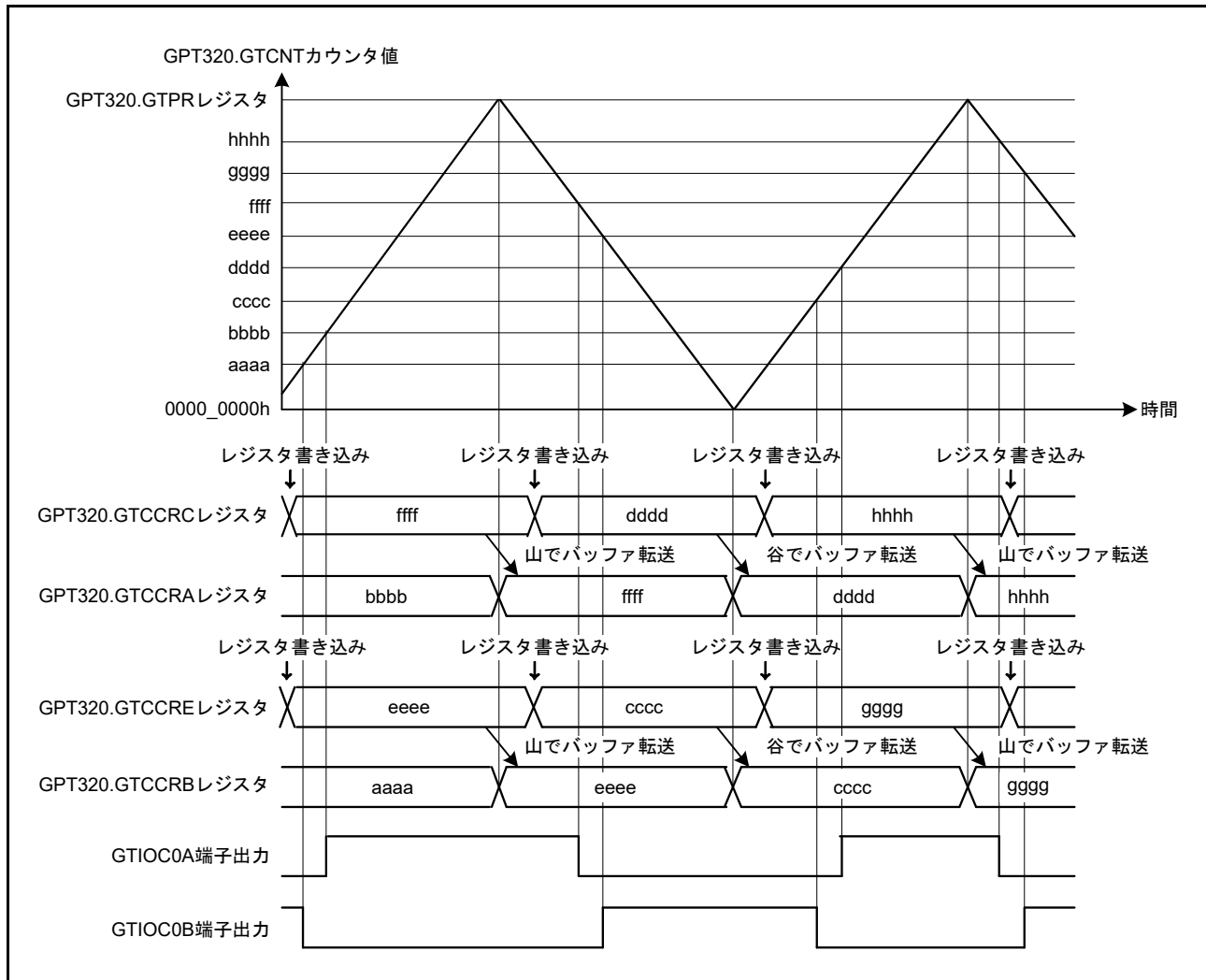


図 22.35 三角波 PWM モード 2 動作例 (バッファ動作、カウントスタート時 GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

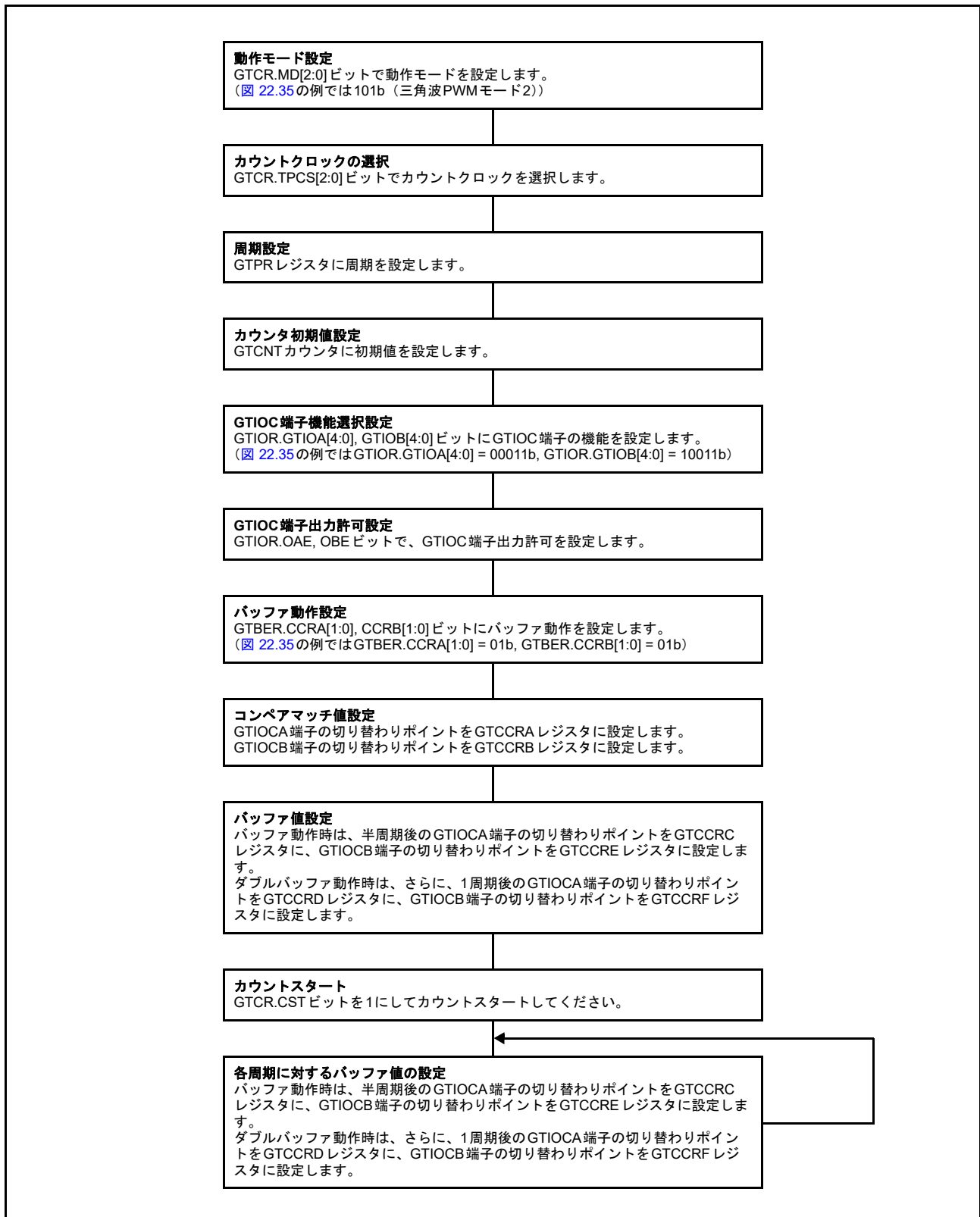


図 22.36 三角波 PWM モード 2 の設定例

22.3.3.5 三角波 PWM モード 3 (谷 64 ビット転送)

三角波 PWM モード 3 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波 (全波) 動作を実行させ、バッファ動作を固定させた状態で GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。三角波 PWM モード 3 でのバッファ動作は、通常のバッファ動作とは異なります。バッファ転送は以下のように実行されます。

- 谷で GTCCRC レジスタから GTCCRA レジスタへ
- 谷で GTCCRE レジスタから GTCCRB レジスタへ
- 谷で GTCCRD レジスタから一時レジスタ A へ
- 谷で GTCCRF レジスタから一時レジスタ B へ
- 山で一時レジスタ A から GTCCRA レジスタへ
- 山で一時レジスタ B から GTCCRB レジスタへ

端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 22.37 に三角波 PWM モード 3 の動作例を、図 22.38 に三角波 PWM モード 3 の設定例を示します。

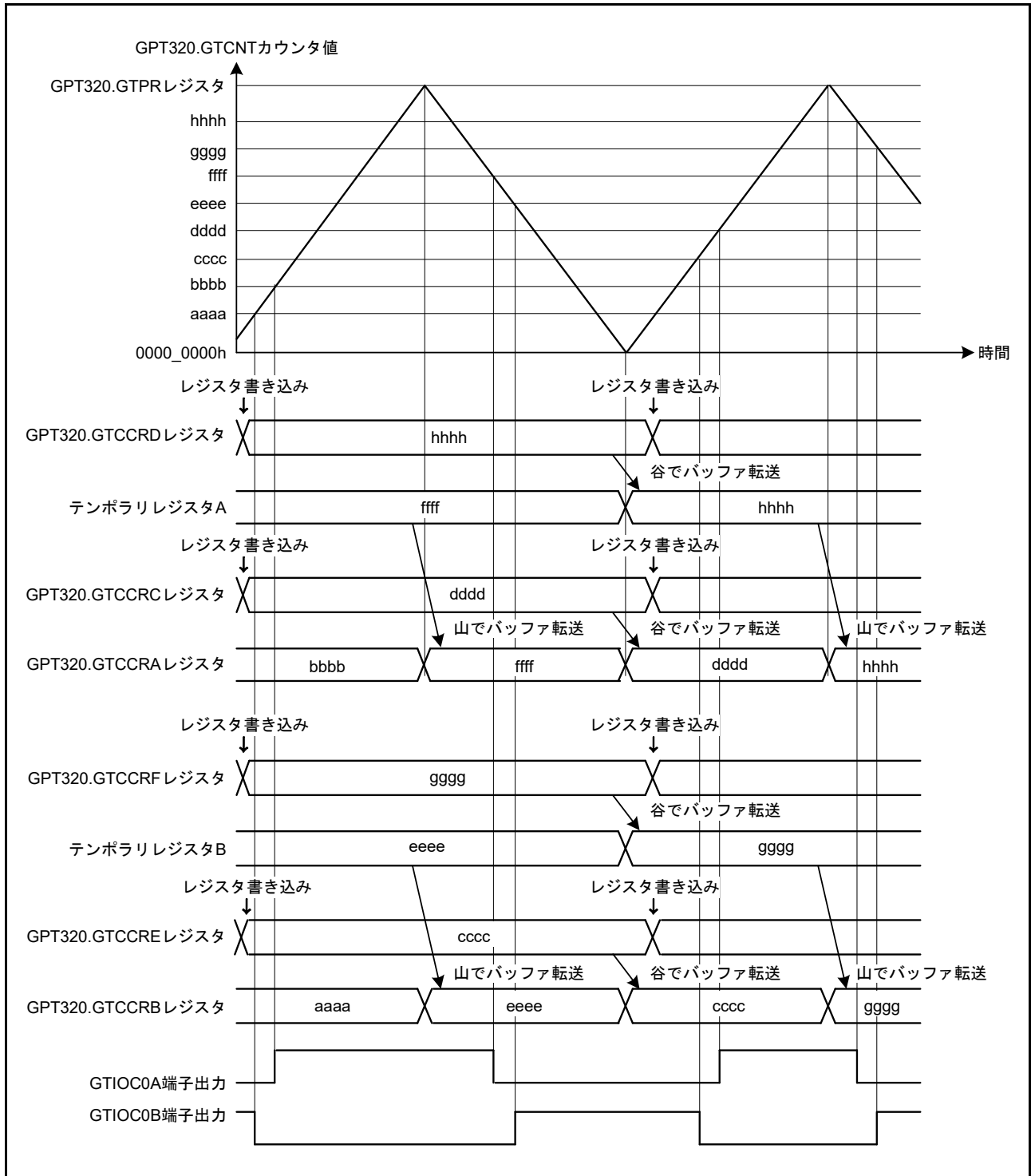


図 22.37 三角波 PWM モード 3 動作例 (カウントスタート時 GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

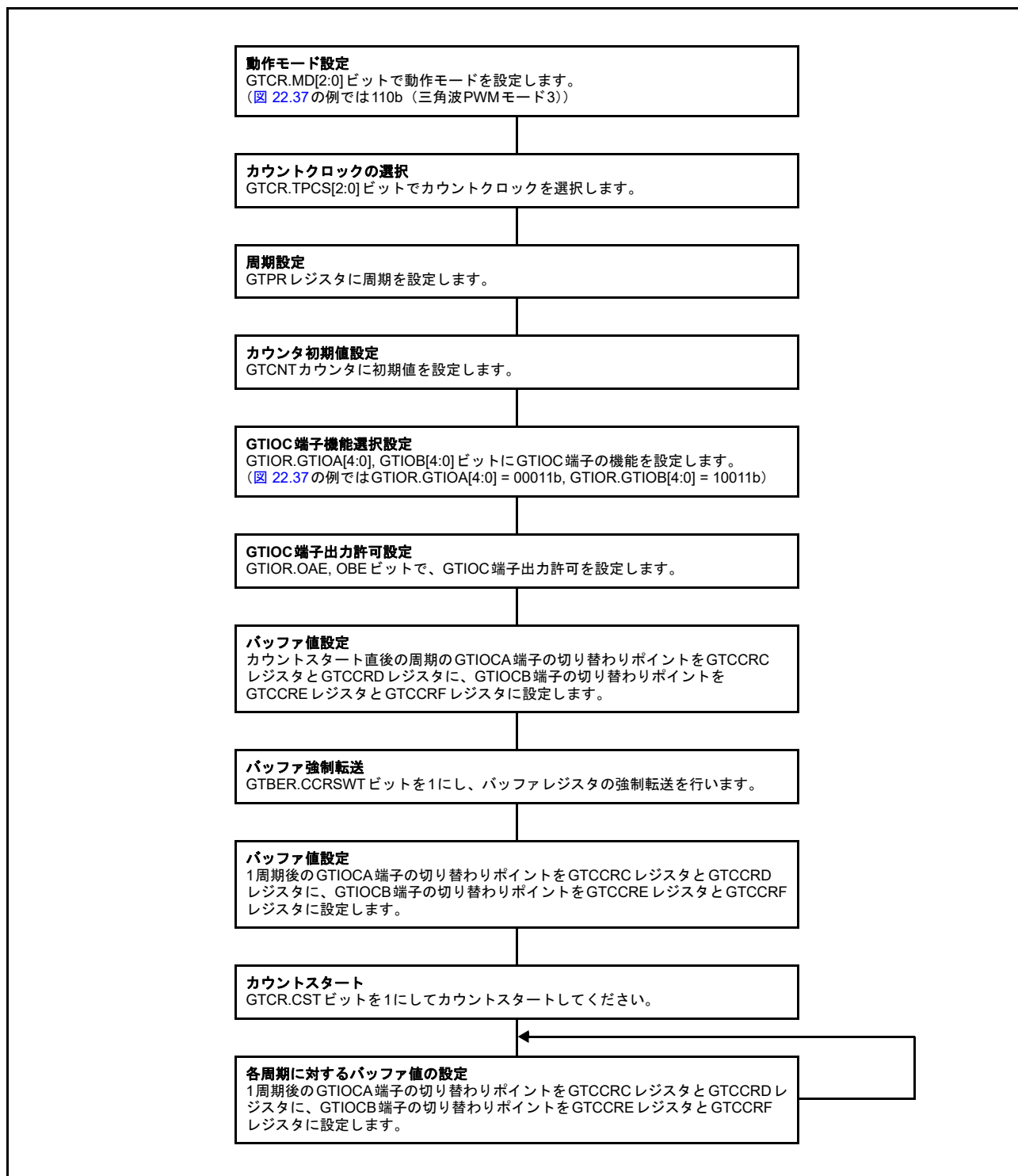


図 22.38 三角波 PWM モード 3 の設定例

22.3.4 デッドタイム自動設定機能

GTDTCR レジスタを設定することにより、正相波形のコンペアマッチ値 (GTCCRA 値) と指定したデッドタイム値 (GTDVU 値) から算出されたデッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。このデッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

なお、デッドタイム自動設定機能を使用する場合、GTCCRB レジスタへの書き込みはしないでください。また、周期を超えるデッドタイムの設定もしないでください。デッドタイム自動設定値は、GTCCRB レジスタ値を読むことで確認できます。GTCCRB レジスタにデッドタイム値が自動設定されるのは、次のカウントクロック周期で、デッドタイム自動設定値の計算用レジスタが更新されるときです。

デッドタイム自動設定機能の動作例を図 22.39 ~ 図 22.42 に示します。設定例を図 22.43 および図 22.44 に示します。

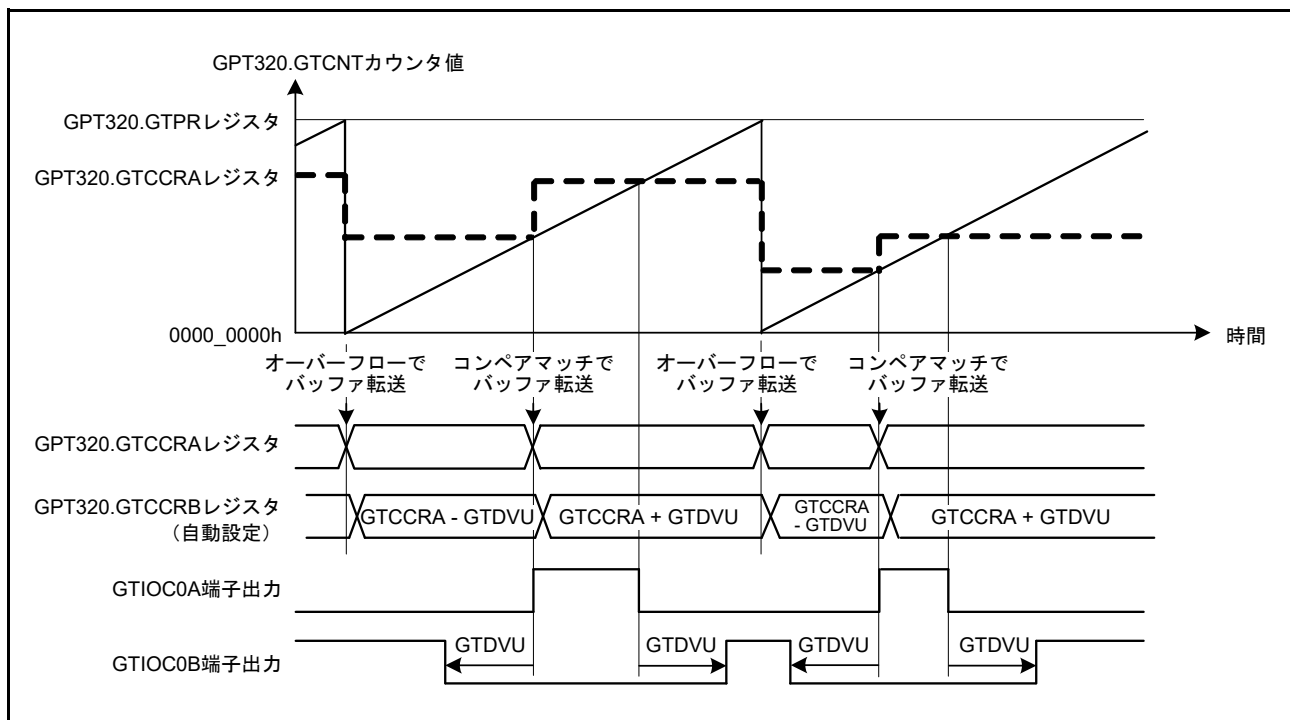


図 22.39 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、アップカウント、アクティブ High の場合)

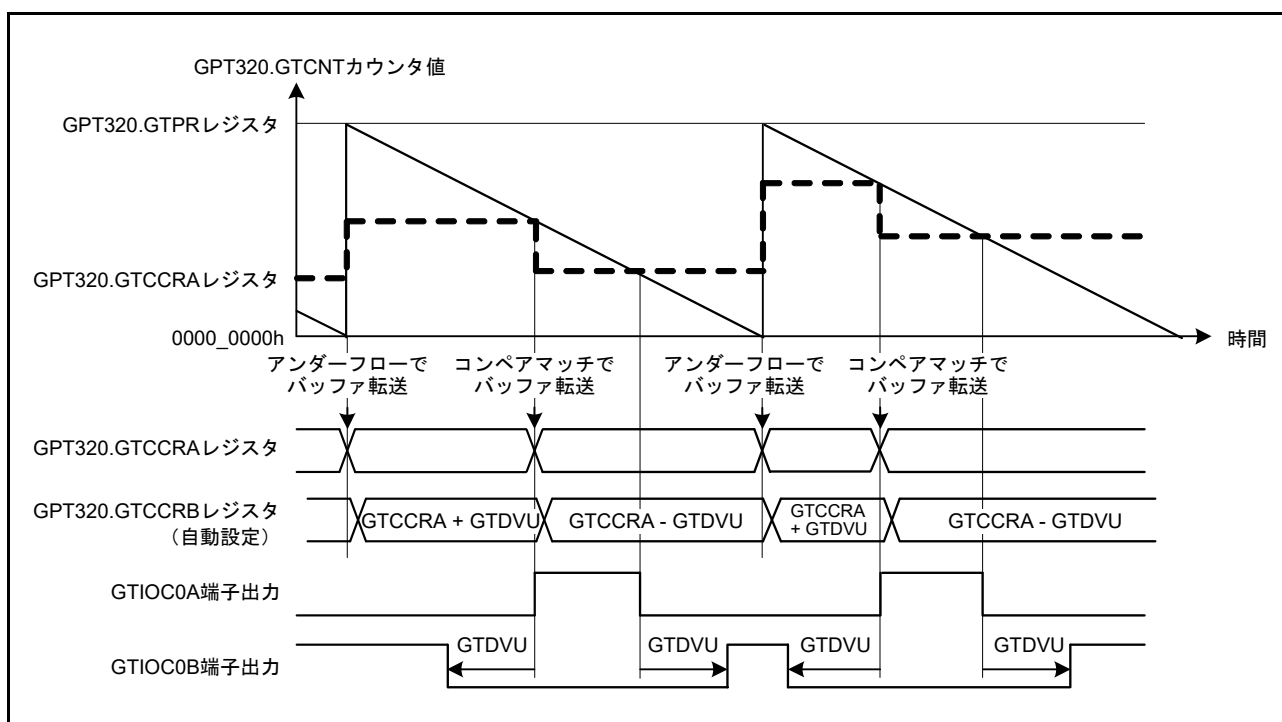


図 22.40 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、ダウンカウント、アクティブ High の場合)

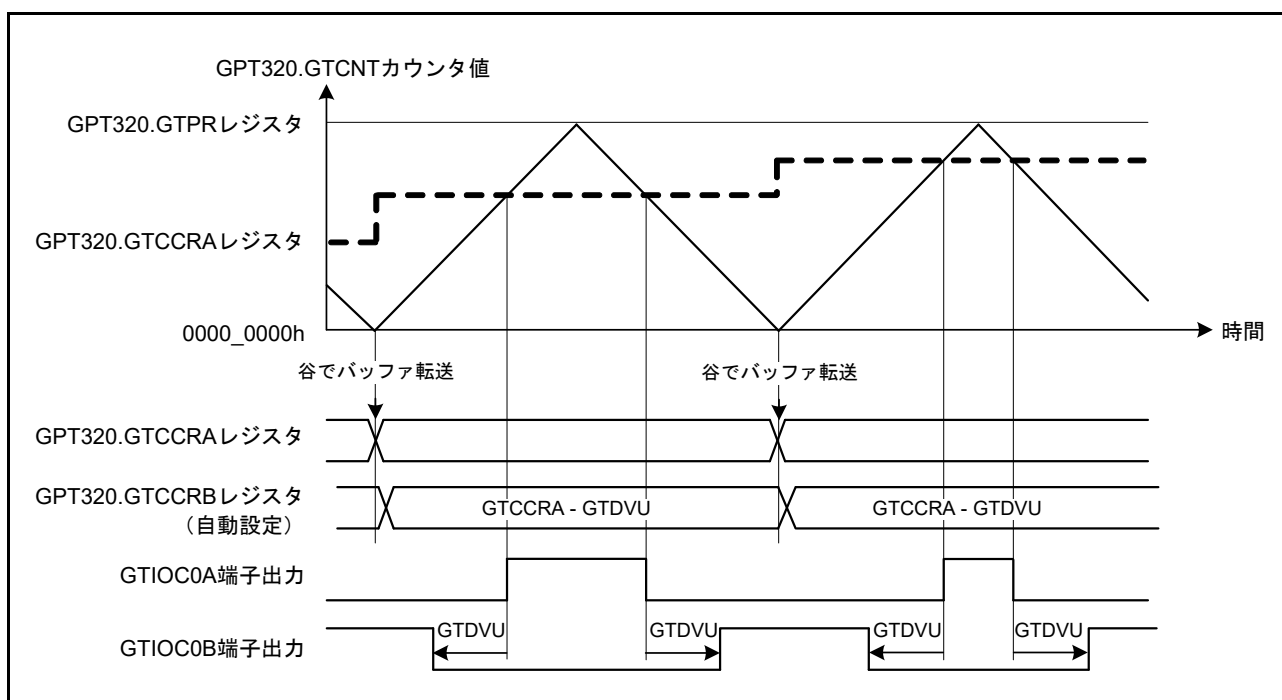


図 22.41 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 1、アクティブ High の場合)

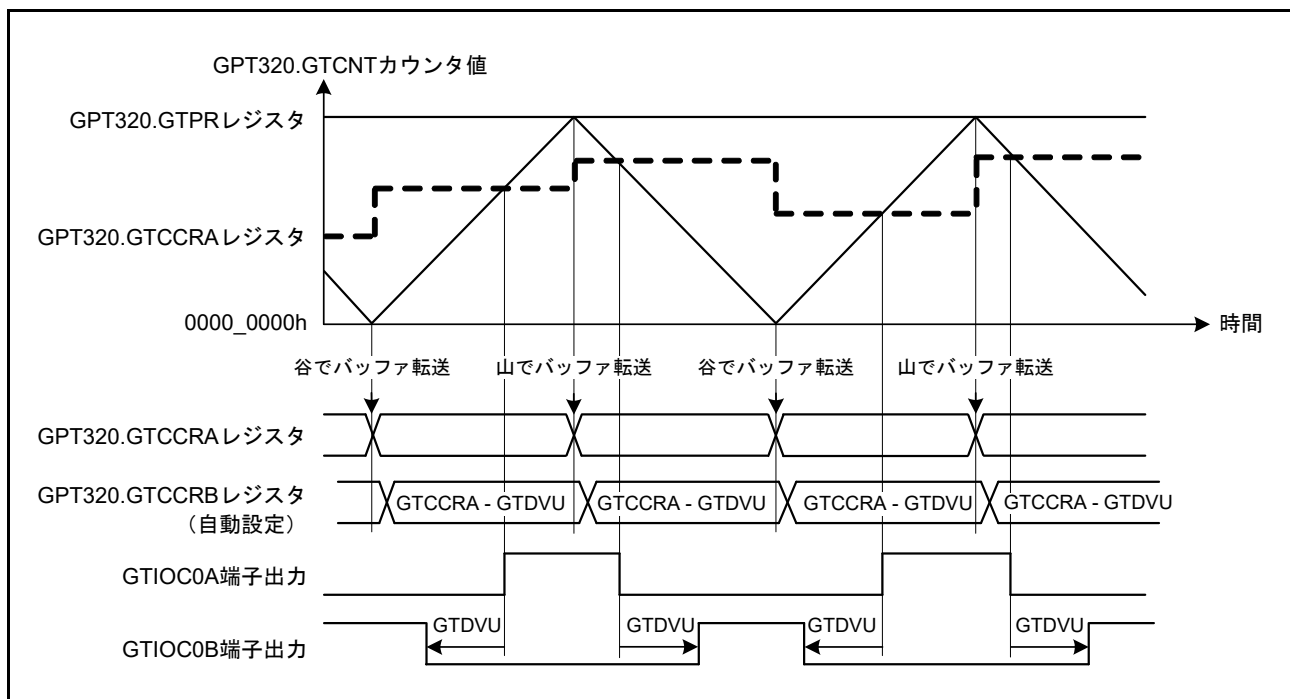


図 22.42 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 2 または 3、アクティブ High の場合)

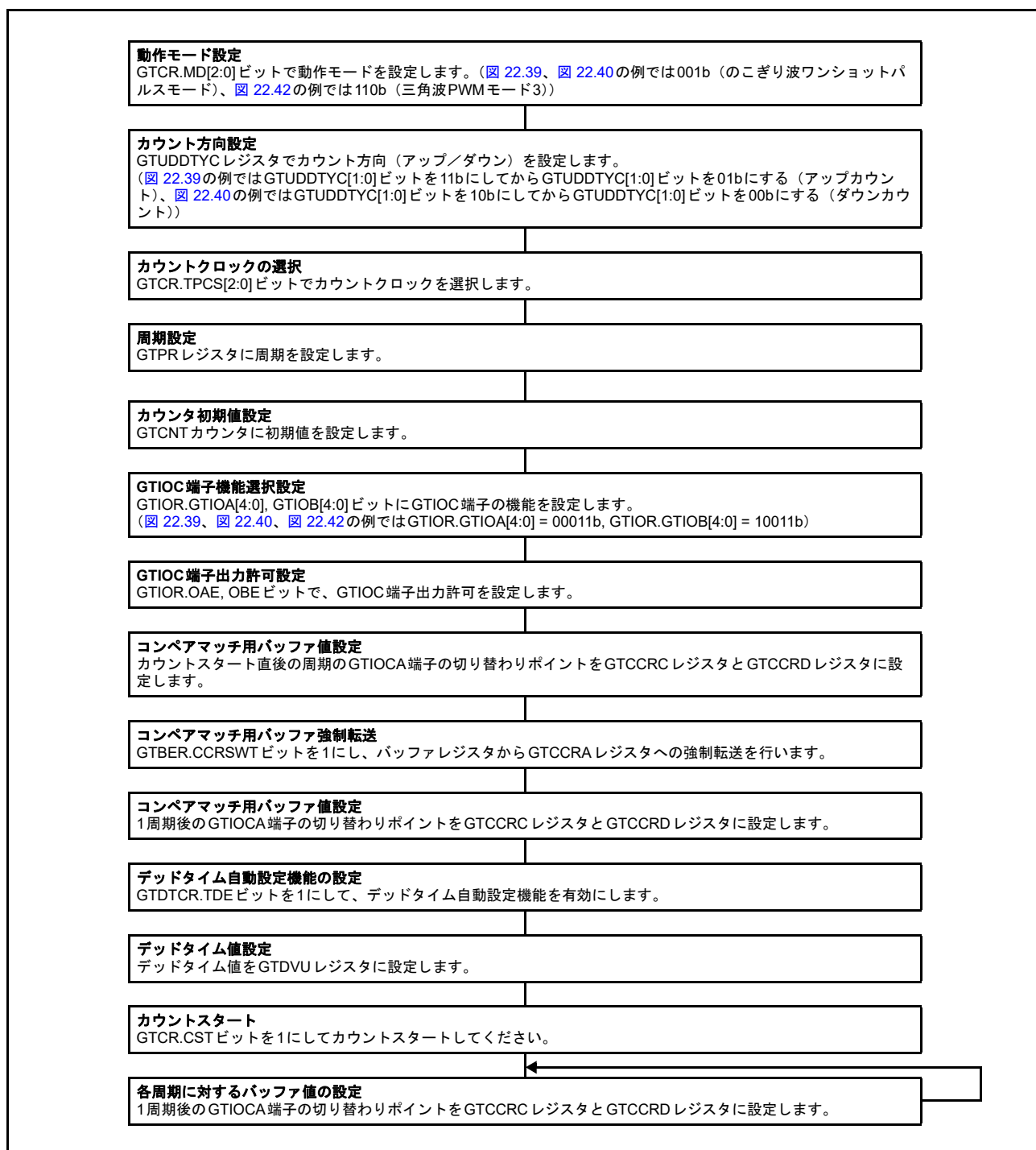


図 22.43 デッドタイム自動設定機能の設定例 (のこぎり波ワンショットパルスモード、三角波PWMモード3の場合)

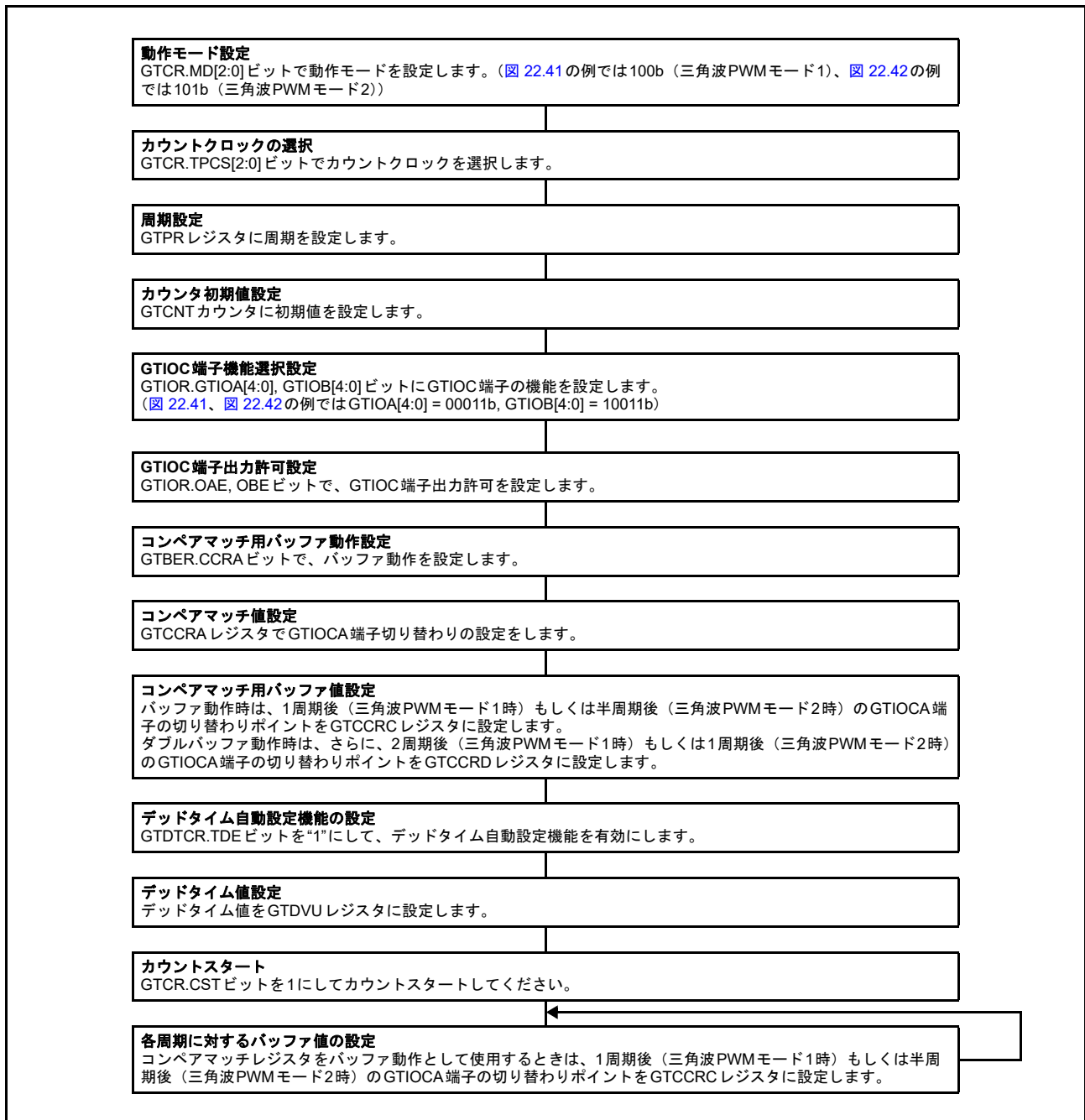


図 22.44 デッドタイム自動設定機能の設定例 (三角波 PWM モード 1 または 2 の場合)

22.3.5 カウント方向切り替え機能

GTUDDTYC.UD ビットの値を書き換えることにより、GTCNT カウンタのカウント方向を切り替えることが可能です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、カウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その変更値はカウントスタート時に反映されず、オーバーフローまたはアンダーフロー発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更しても、カウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その値はカウント動作に反映されません。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

のこぎり波のカウント動作中にカウント方向を変更すると、アップカウント中はアップカウントスタート後の GTPR 値がカウント周期に反映され、ダウンカウント中はダウンカウントスタート前の GTPR 値が反映されます。

図 22.45 にカウント方向切り替え機能の動作例を示します。

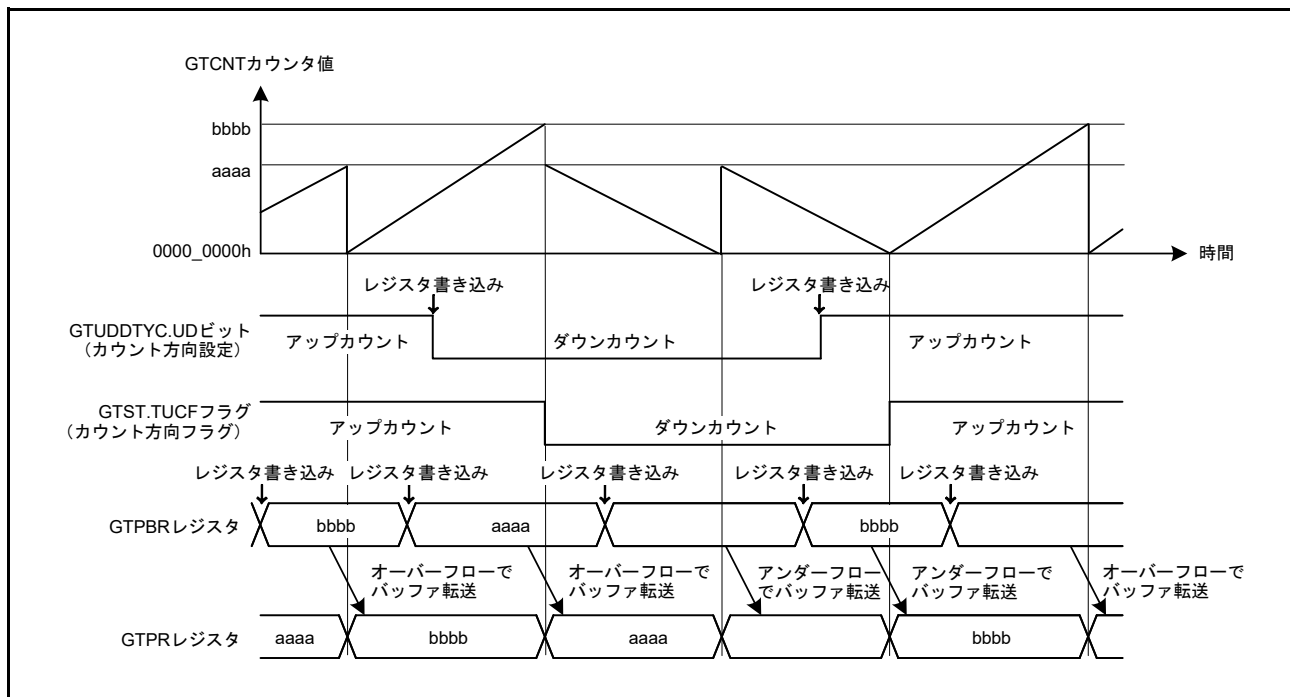


図 22.45 カウント方向切り替え機能の動作例（バッファ動作時）

22.3.6 出力デューティ 0% および出力デューティ 100% 機能

GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更することにより、GTIOCA 端子と GTIOCB 端子の出力デューティが 0% または 100% に設定されます。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、出力デューティの設定値が反映されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。出力デューティはオーバーフローまたはアンダーフロー発生時に変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットを 1 にすると、そのときの GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、アンダーフロー発生時に出力デューティの設定値が反映されます。

カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。アンダーフロー時に出力デューティが変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、出力デューティの変更値はカウントスタート時に反映されます。

0% または 100% デューティ動作の実行時、GPT は内部で以下の動作を継続します。

- コンペアマッチ動作の実行
- コンペアマッチフラグの設定
- 割り込み出力
- バッファ動作の実行

0% または 100% デューティ設定からコンペアマッチに制御が変更されると、周期の終わりでの GTIOCA 端子の出力値は、GTIOR.GTIOA[3:2] ビットと GTUDDTYC.OADTYR ビットで決定されます。周期の終わりでの GTIOCB 端子の出力値は、GTIOR.GTIOB[3:2] ビットと GTUDDTYC.OBDTYR ビットで決定されます。

GTIOR.GTIOA[3:2] ビットと GTIOR.GTIOB[3:2] ビットを 01b にすると、出力端子は周期の終わりで Low 出力となります。GTIOR.GTIOA[3:2] ビットと GTIOR.GTIOB[3:2] ビットを 10b にすると、出力端子は周期の終わりで High 出力となります。

GTIOR.GTIOm[3:2] ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）になっている場合、GTUDDTYC.OADTYR ビットでは、周期の終わりで出力保持／トグル出力の対象となる値を選択します。周期の終わりでの GTIOCA/GTIOCB 端子の出力値を [表 22.6](#) に示します。

表 22.6 0%/100% デューティ設定解除後の出力値 (m = A, B)

GTIOR.GTIOm[3:2]	0%/100% デューティ 設定でマスクされた周期の 終わりでのコンペアマッチ値	GTUDDTYC.OmDTYR (デューティ 0% 設定時)		GTUDDTYC.OmDTYR (デューティ 100% 設定時)	
		0	1	0	1
00 (周期の終わりで出力保持)	0	0	0	1	0
	1	0	1	1	1
01 (周期の終わりでLow出力)	—	0	0	0	0
10 (周期の終わりでHigh出力)	—	1	1	1	1
11 (周期の終わりでトグル出力)	0	1	1	0	1
	1	1	0	0	0

図 22.46 に出力デューティ 0%、100% 機能動作例を示します。

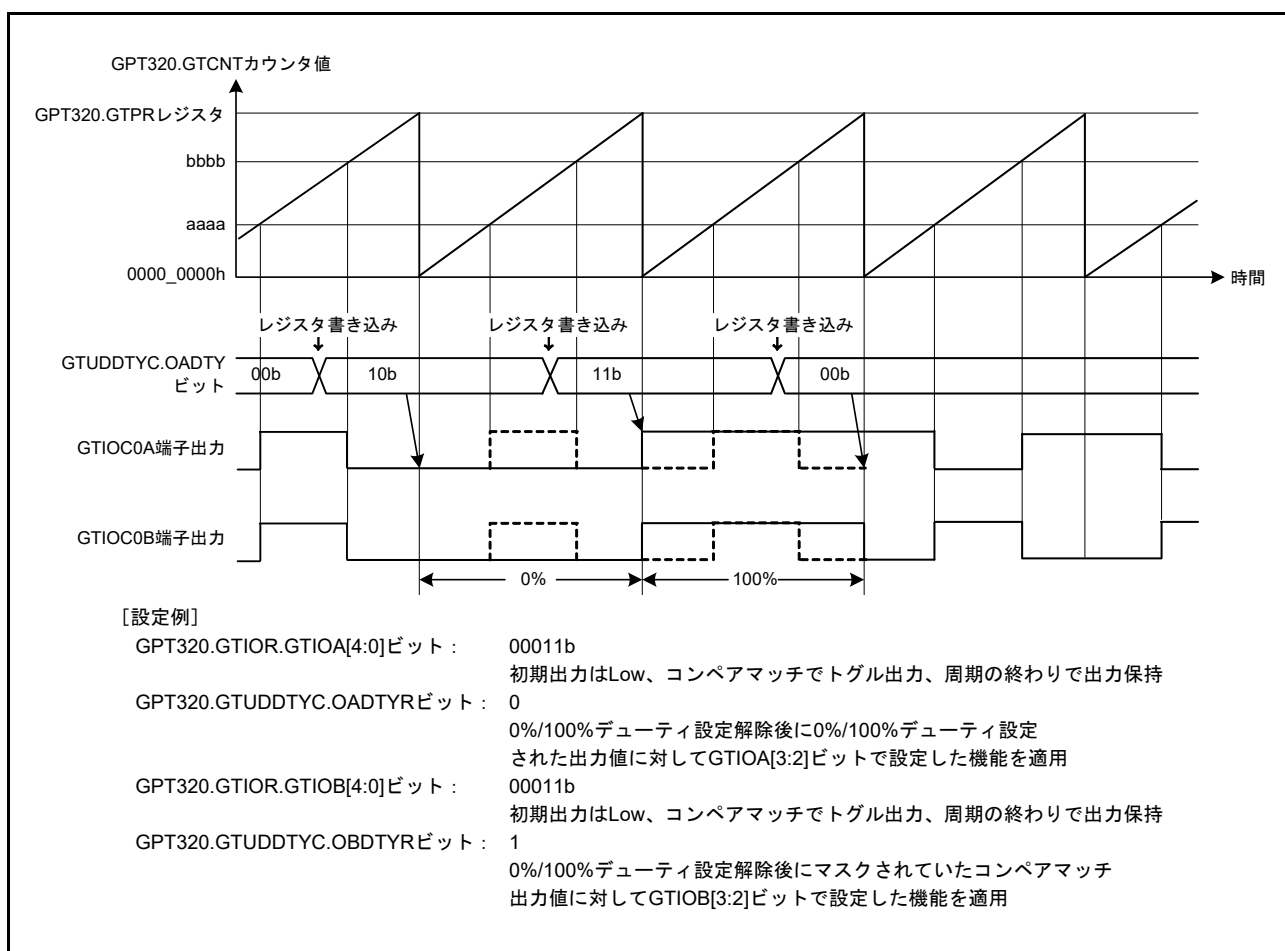


図 22.46 出力デューティ 0%、100% 機能動作例

22.3.7 ハードウェアカウントスタート/カウントストップ、カウントクリア動作

下記のハードウェア要因によって、GTCNT カウンタのカウントスタート、カウントストップ、またはカウントクリアが可能です。

- 外部トリガ入力
- ELC イベント入力
- GTIOCA/GTIOCB 端子入力

22.3.7.1 ハードウェアスタート動作

GTSSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントスタートが可能です。

図 22.47 にハードウェア要因によるカウントスタートの動作例を示します。図 22.48 に設定例を示します。

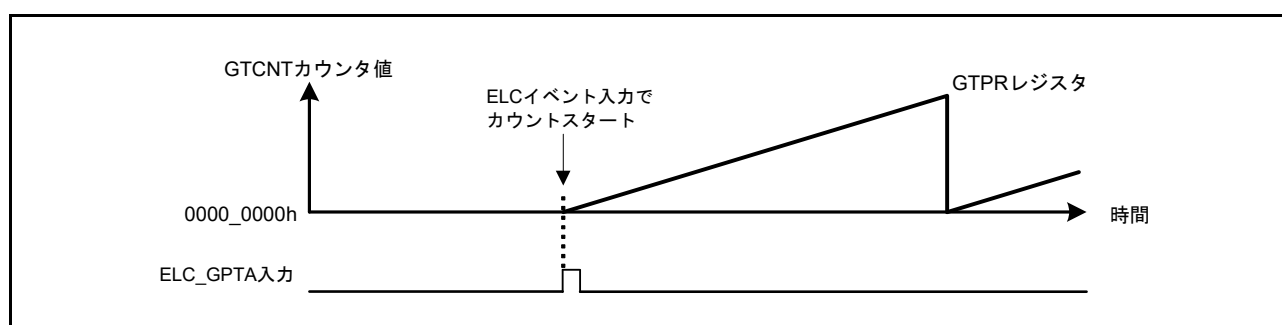


図 22.47 ハードウェア要因によるカウントスタート動作例 (ELC_GPTA イベントからの信号入力時のスタート)

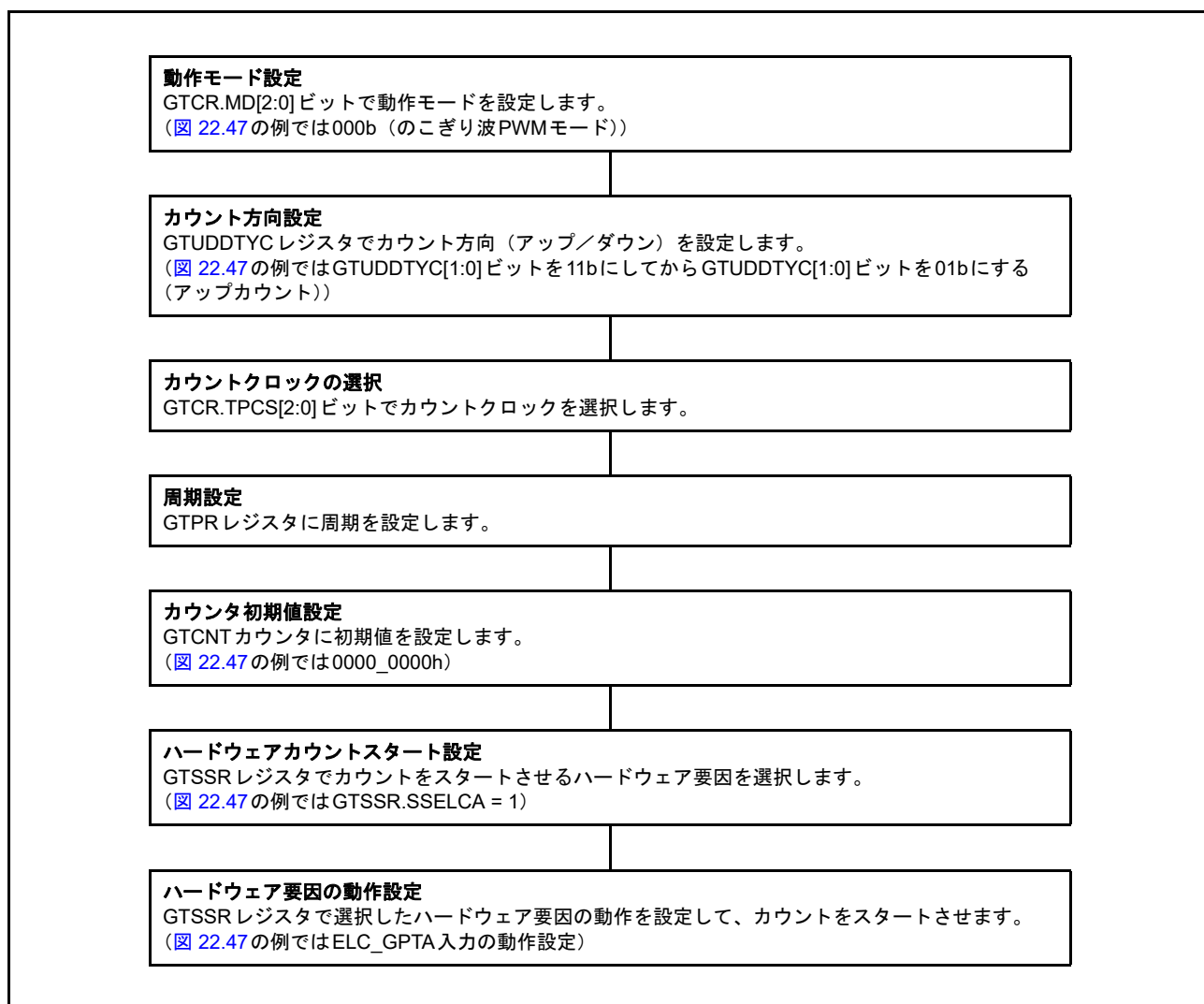


図 22.48 ハードウェア要因によるカウントスタート動作設定例

22.3.7.2 ハードウェアストップ動作

GTPSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントストップが可能です。

図 22.49 にハードウェア要因によるカウントストップの動作例を示します。図 22.50 に設定例を示します。この例では、カウント動作がストップし、ELC イベント入力のエッジで再スタートしています。

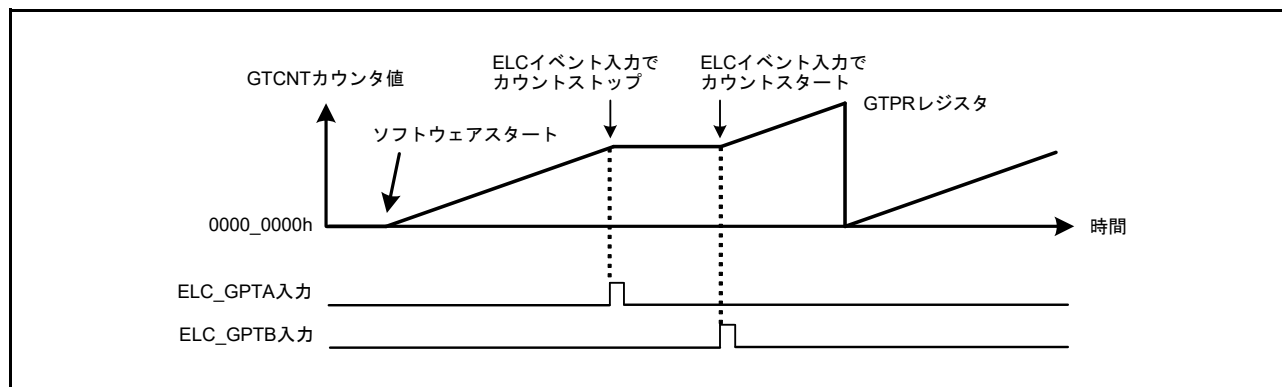


図 22.49 ハードウェア要因によるカウントストップ動作例
(ソフトウェアによるスタート、ELC_GPTA 入力でのストップ、ELC_GPTB 入力での再スタートの場合)

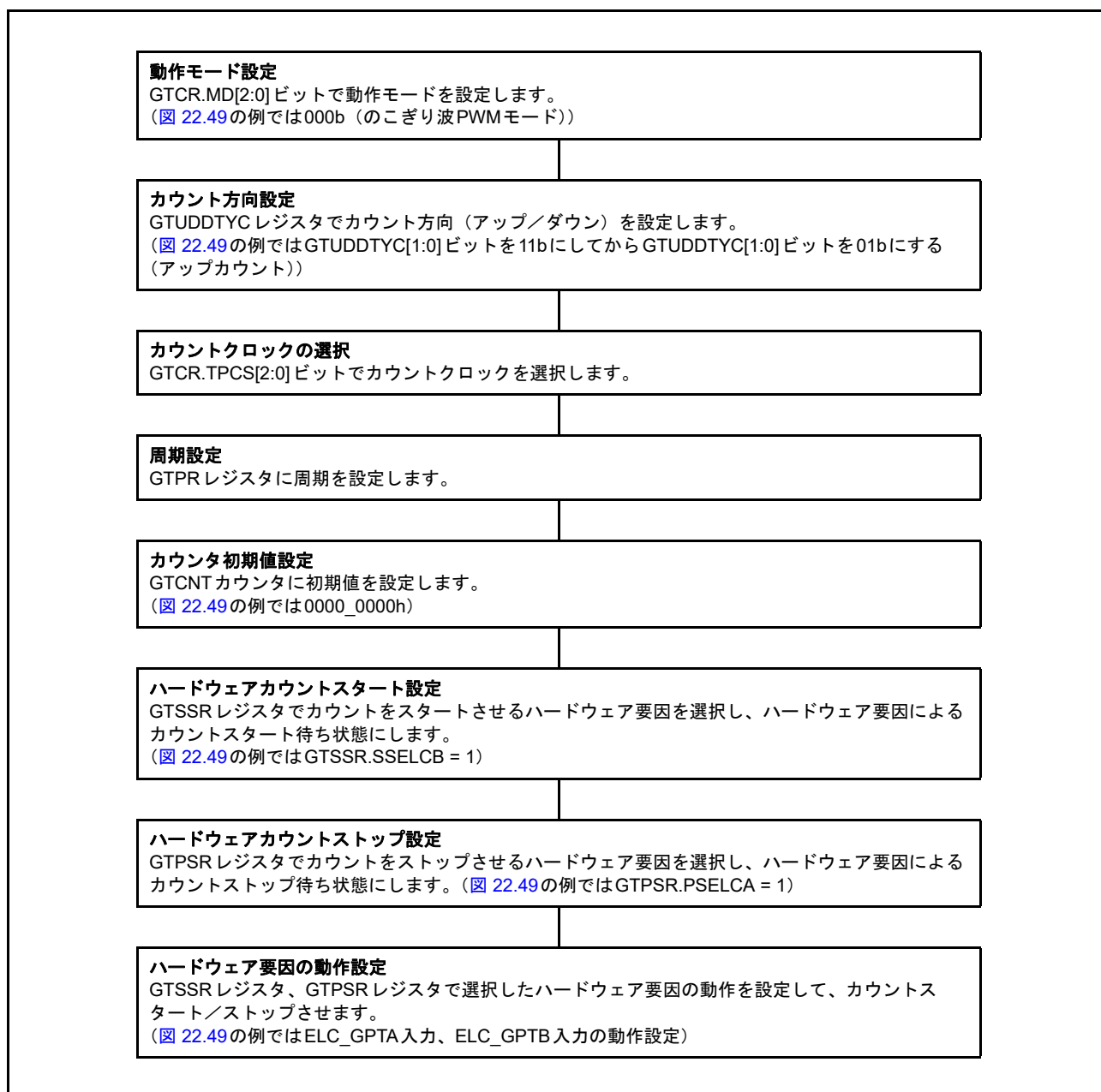


図 22.50 ハードウェア要因によるカウントストップ動作設定例

図 22.51 にハードウェア要因によるカウントスタート/ストップ動作例を示します。図 22.52 に設定例を示します。この例では、外部トリガ入力 GTETRGA 端子が High の期間に、カウンタが動作しています。

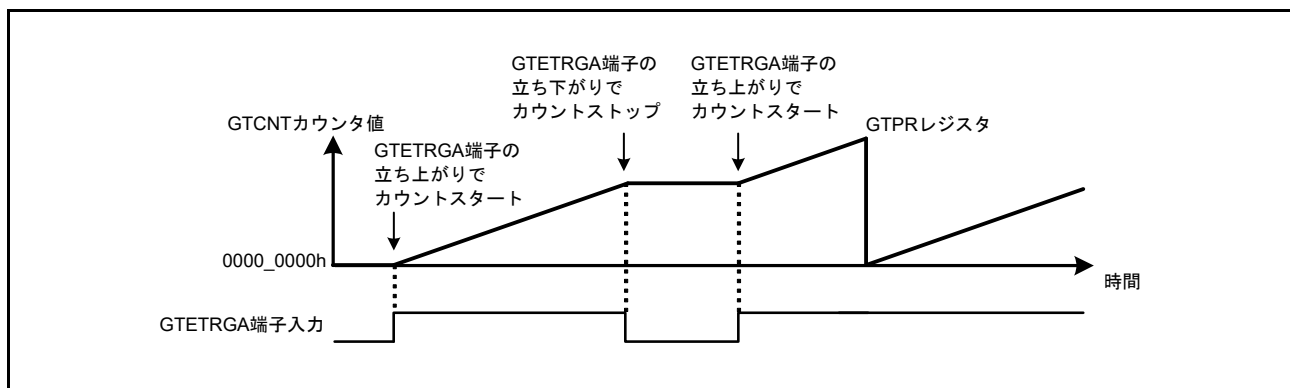


図 22.51 ハードウェア要因によるカウントスタート/ストップ動作例 (GTETRGA 端子入力の立ち上がりエッジでスタート、GTETRGA 端子入力の立ち下がりエッジでストップの場合)

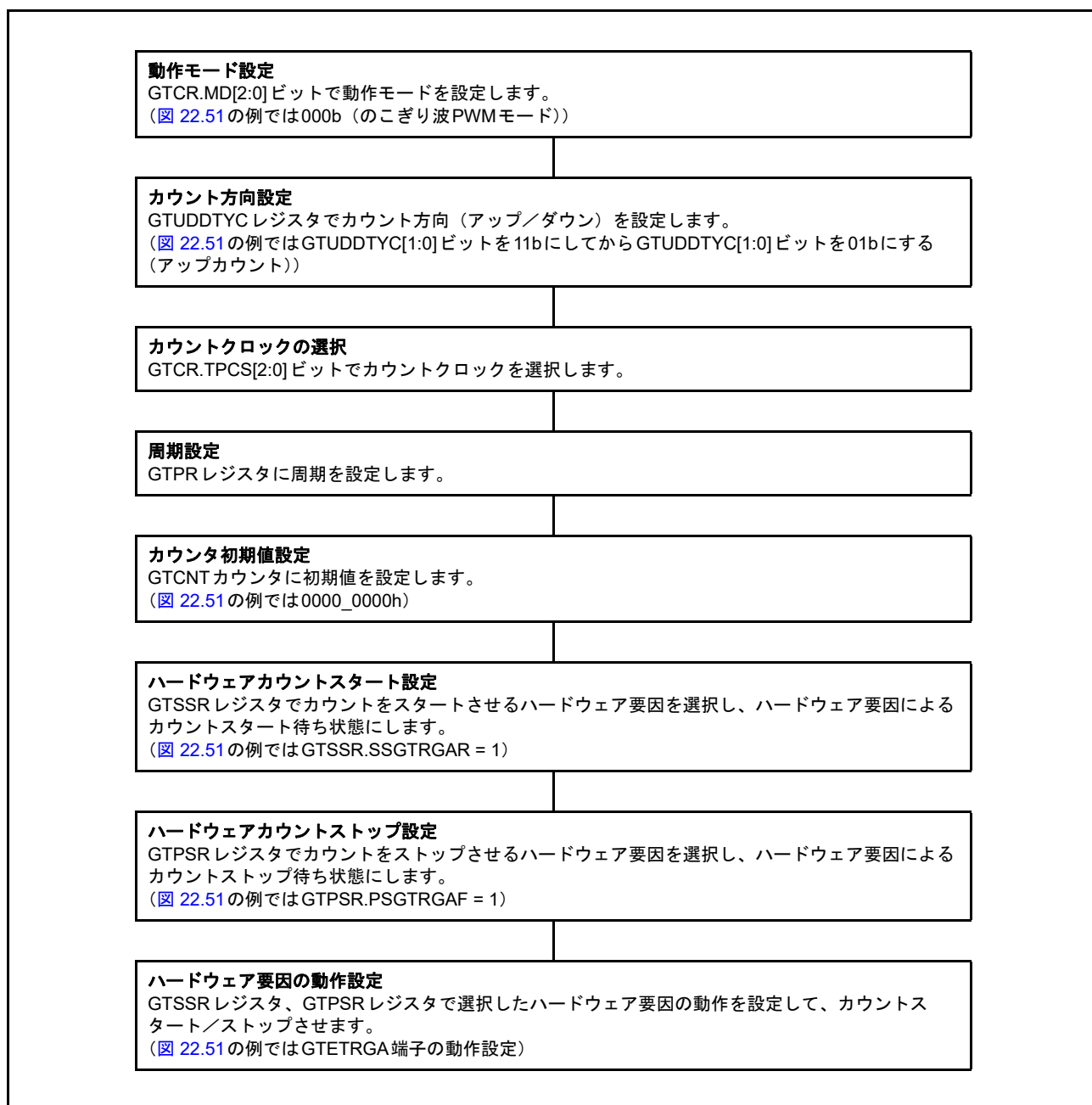


図 22.52 ハードウェア要因によるカウントスタート/ストップ動作設定例

22.3.7.3 ハードウェアクリア動作

GTCSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウンタクリアが可能です。ハードウェア要因またはソフトウェアによって GTCNT カウンタがクリアされても、GPTn_OVF/GPTn_UDF (n=0~7) 割り込み (オーバーフロー/アンダーフロー割り込み) は発生しません。

図 22.53 および図 22.54 に、ハードウェア要因による GTCNT カウンタのクリア動作例を示します。図 22.55 に設定例を示します。この例では、GTCNT カウンタは ELC_GPTA 入力のエッジでスタートし、ELC_GPTB 入力のエッジでストップおよびクリアされています。

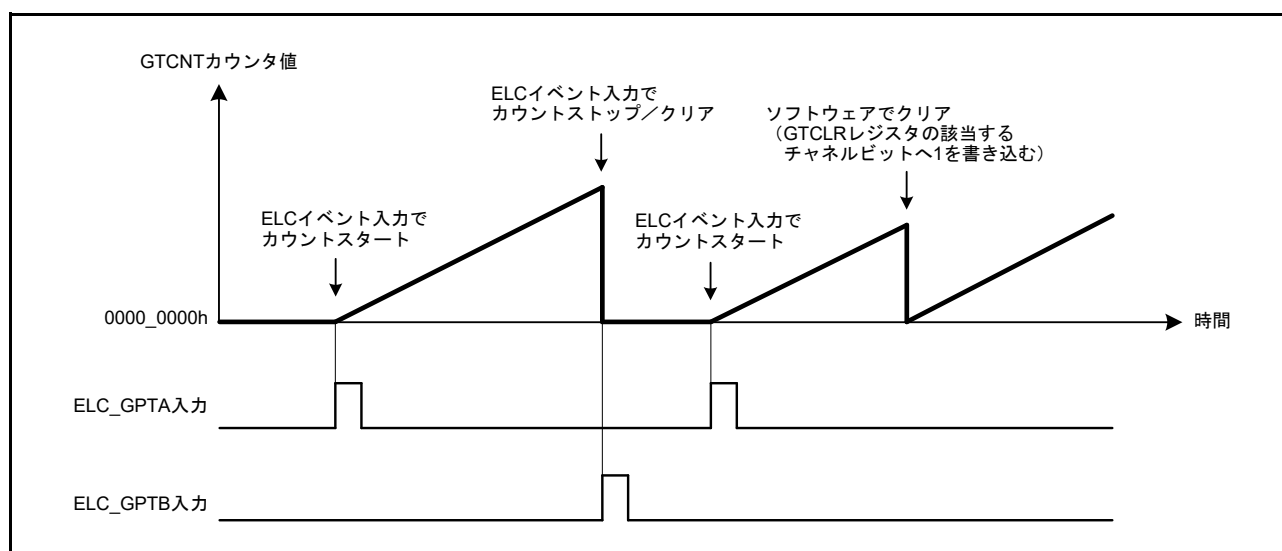


図 22.53 ハードウェア要因によるカウンタクリア動作例 (のこぎり波アップカウント、ELC_GPTA 入力でスタート、ELC_GPTB 入力でストップ/クリアの場合)

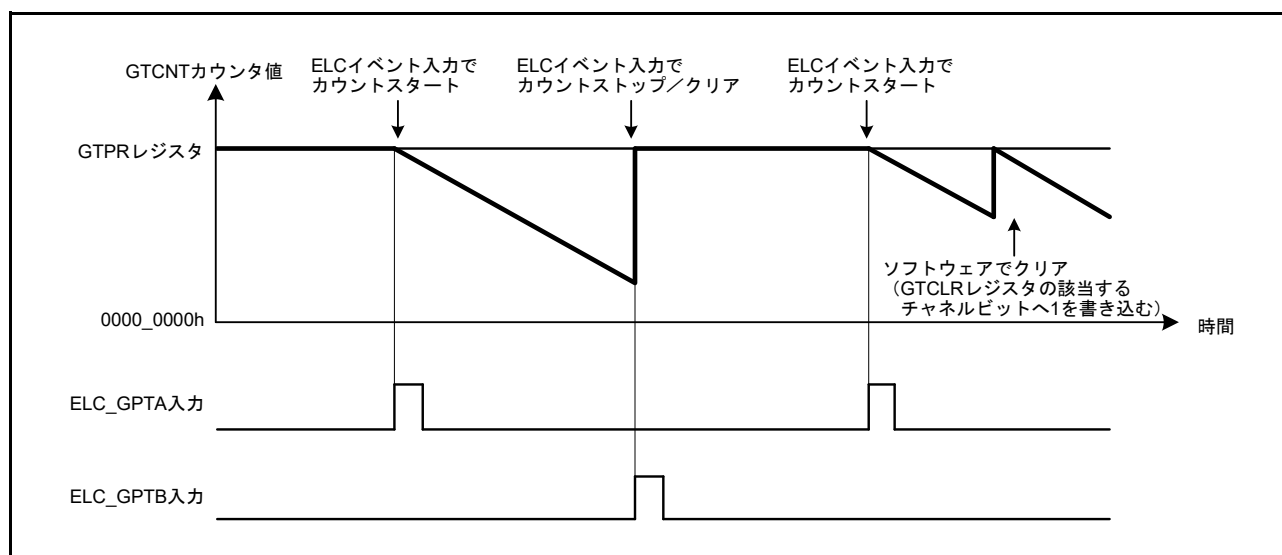


図 22.54 ハードウェア要因によるカウンタクリア動作例 (のこぎり波ダウンカウント、ELC_GPTA 入力でスタート、ELC_GPTB 入力でストップ/クリアの場合)

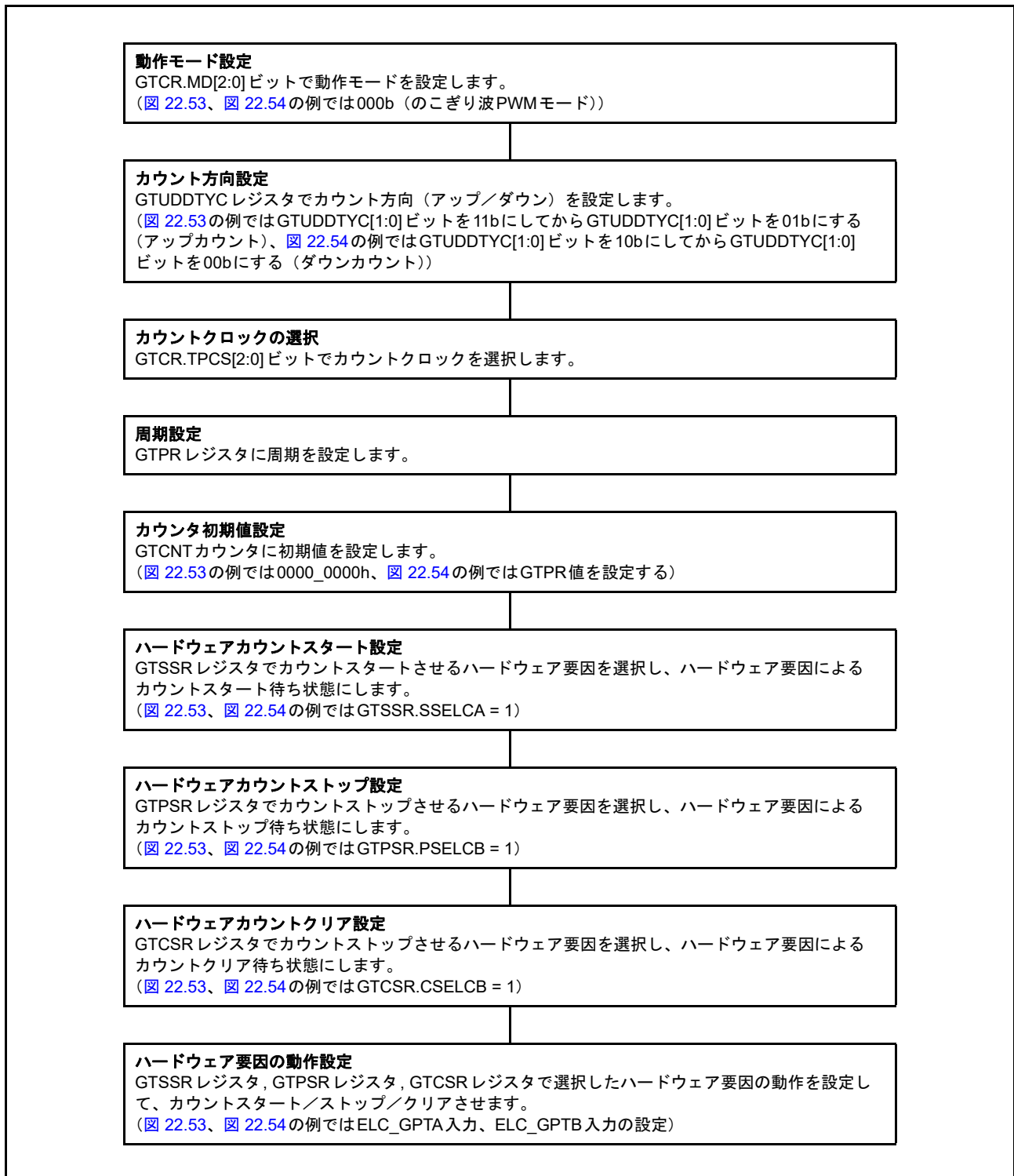


図 22.55 ハードウェア要因によるカウントクリア動作設定例

ハードウェア要因またはソフトウェアによってカウンタがクリアされても、GPTn_OVF (n=0~7) 割り込み (オーバーフロー/アンダーフロー割り込み) は発生しません。

図 22.56 にハードウェア要因によるカウンタクリアと GPTn_OVF (n = 0 ~ 7) 割り込みの関係を示します。

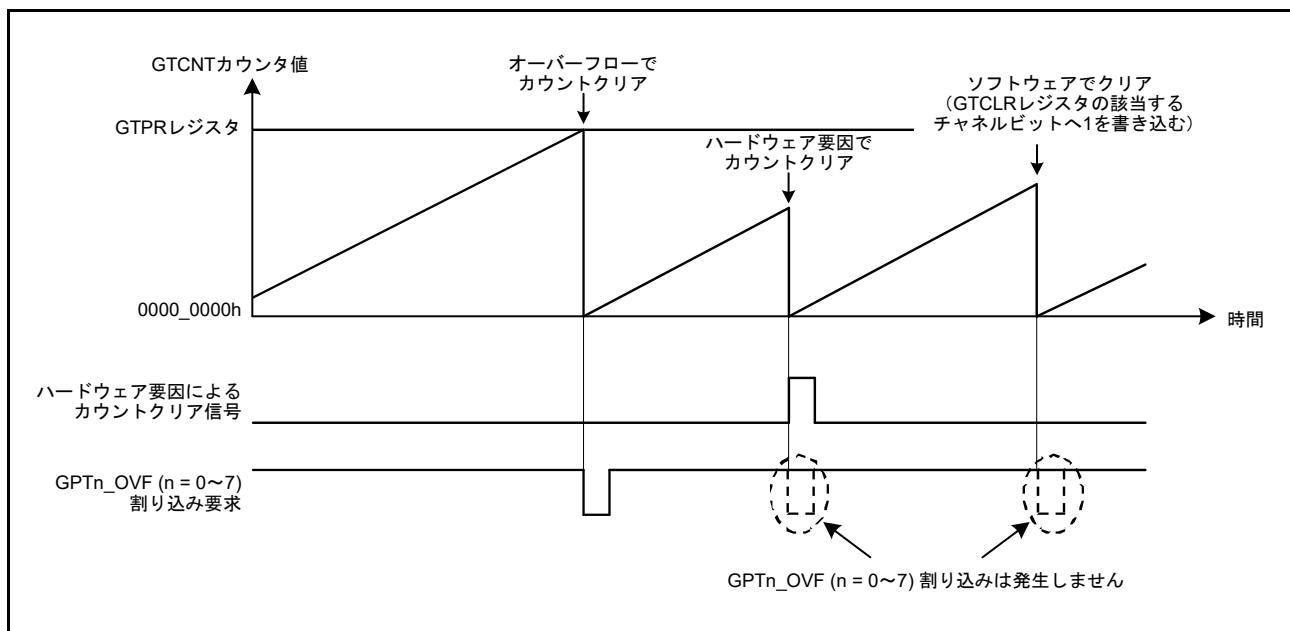


図 22.56 ハードウェア要因によるカウンタクリアと GPTn_OVF (n = 0 ~ 7) 割り込みの関係

22.3.8 同期動作

同期スタート/ストップ/クリア動作など、チャンネル間の同期動作を実行できます。

22.3.8.1 ソフトウェアによる同期動作

GTCNT カウンタは、対応する GTSTR ビット、GTSTP ビット、または GTCLR ビットを同時に 1 にすることにより、複数のチャンネル上でスタート/ストップ/クリアが可能です。

また、GTCNT カウンタの初期値を設定し、対応する GTSTR ビットを同時に 1 にすることにより、位相の異なるカウントスタートが可能です。

図 22.57 に、ソフトウェアによる同時スタート/ストップ/クリアの動作例を示します。図 22.58 に、ソフトウェアによる位相スタートの動作例を示します。

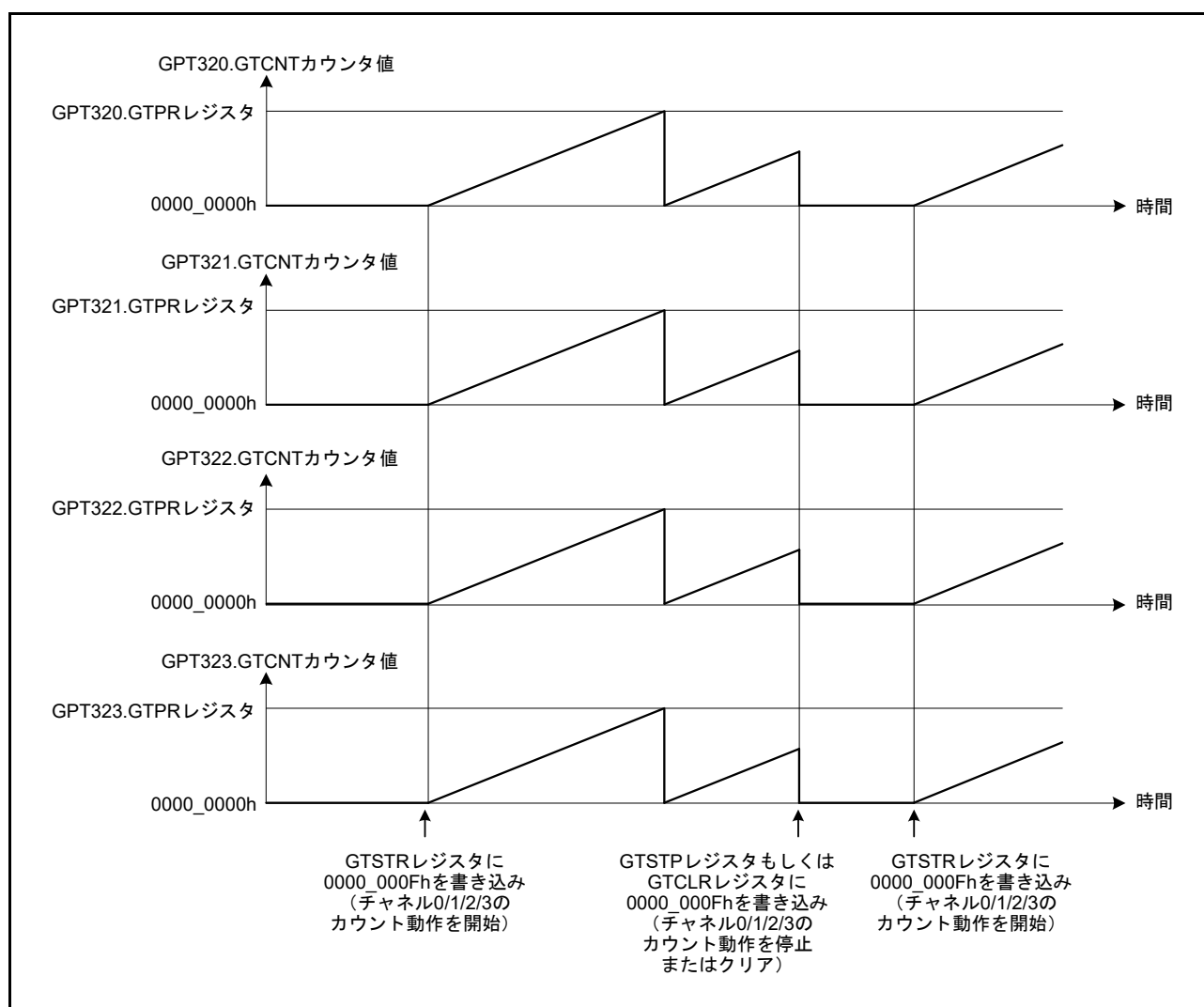


図 22.57 ソフトウェアによる同時スタート/ストップ/クリアの例 (カウント周期 (GTPR レジスタ値) が同一のとき)

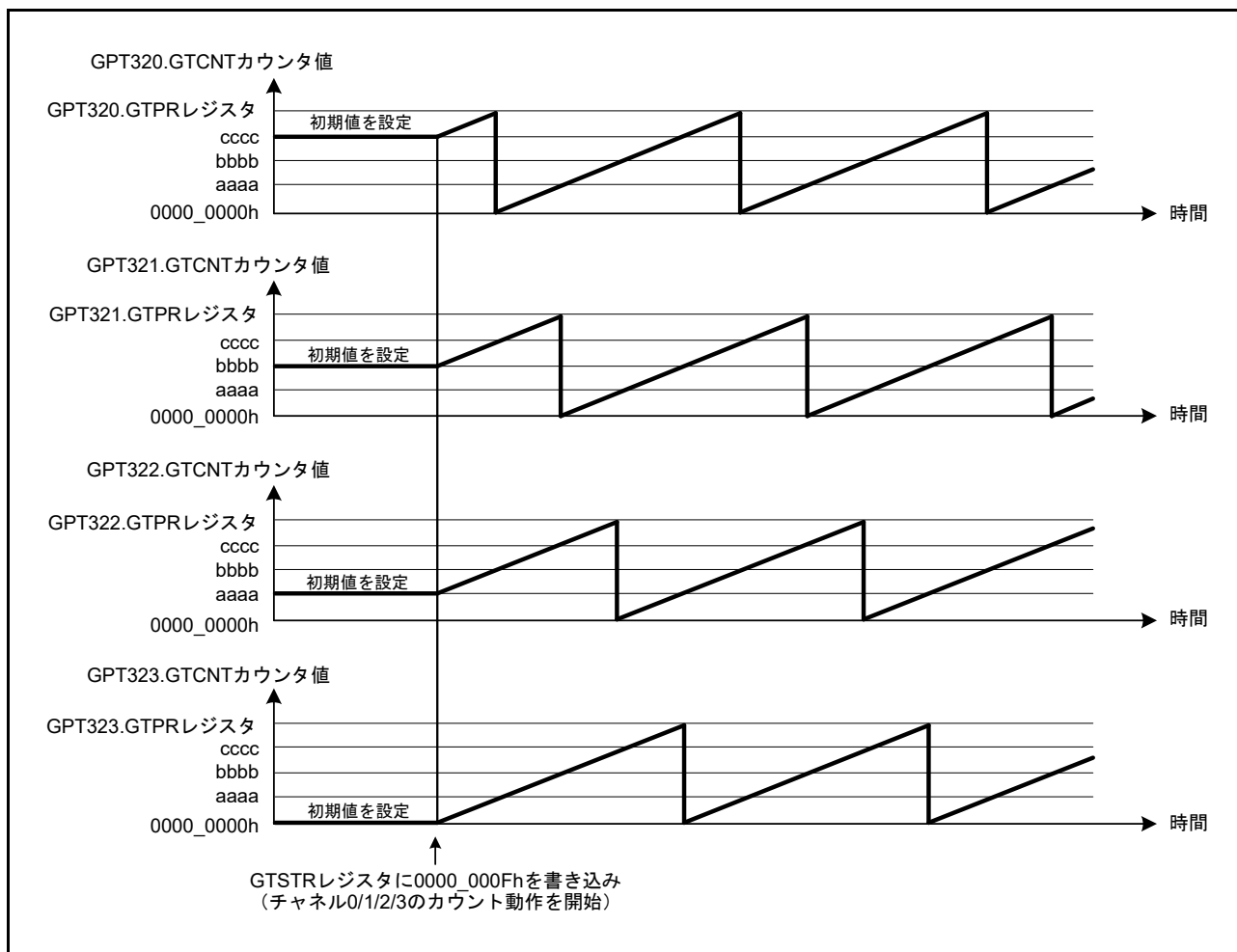


図 22.58 ソフトウェアによる位相スタート動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

22.3.8.2 ハードウェアによる同期動作

下記のハードウェア要因によって、GTCNT カウンタを同時にスタートさせることができます。

- 外部トリガ入力
- ELC イベント入力

図 22.59 にハードウェア要因による同時スタート/ストップ/クリアの動作例を示します。図 22.60 に設定例を示します。

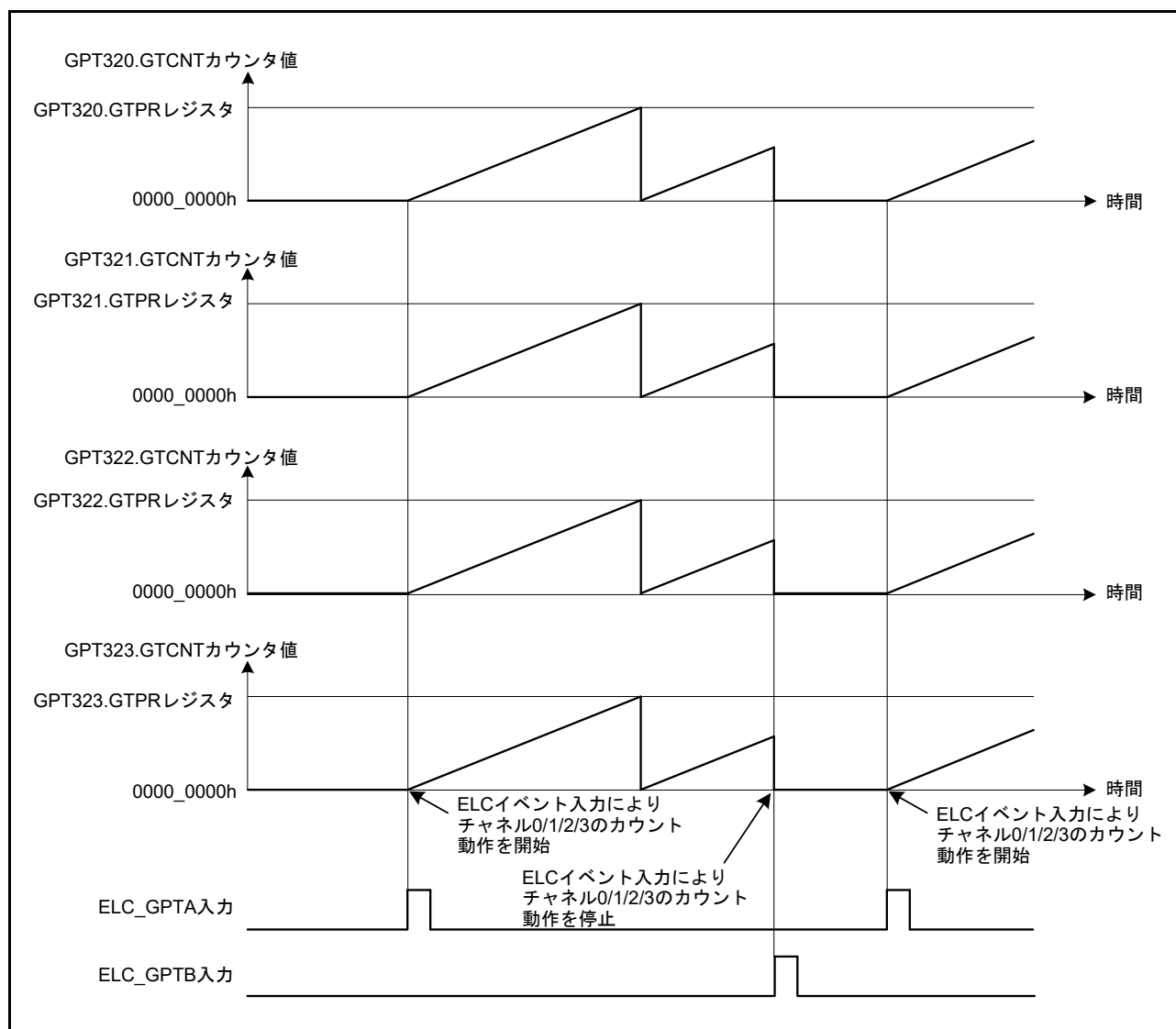


図 22.59 ハードウェア要因による同時スタート/ストップ/クリア動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

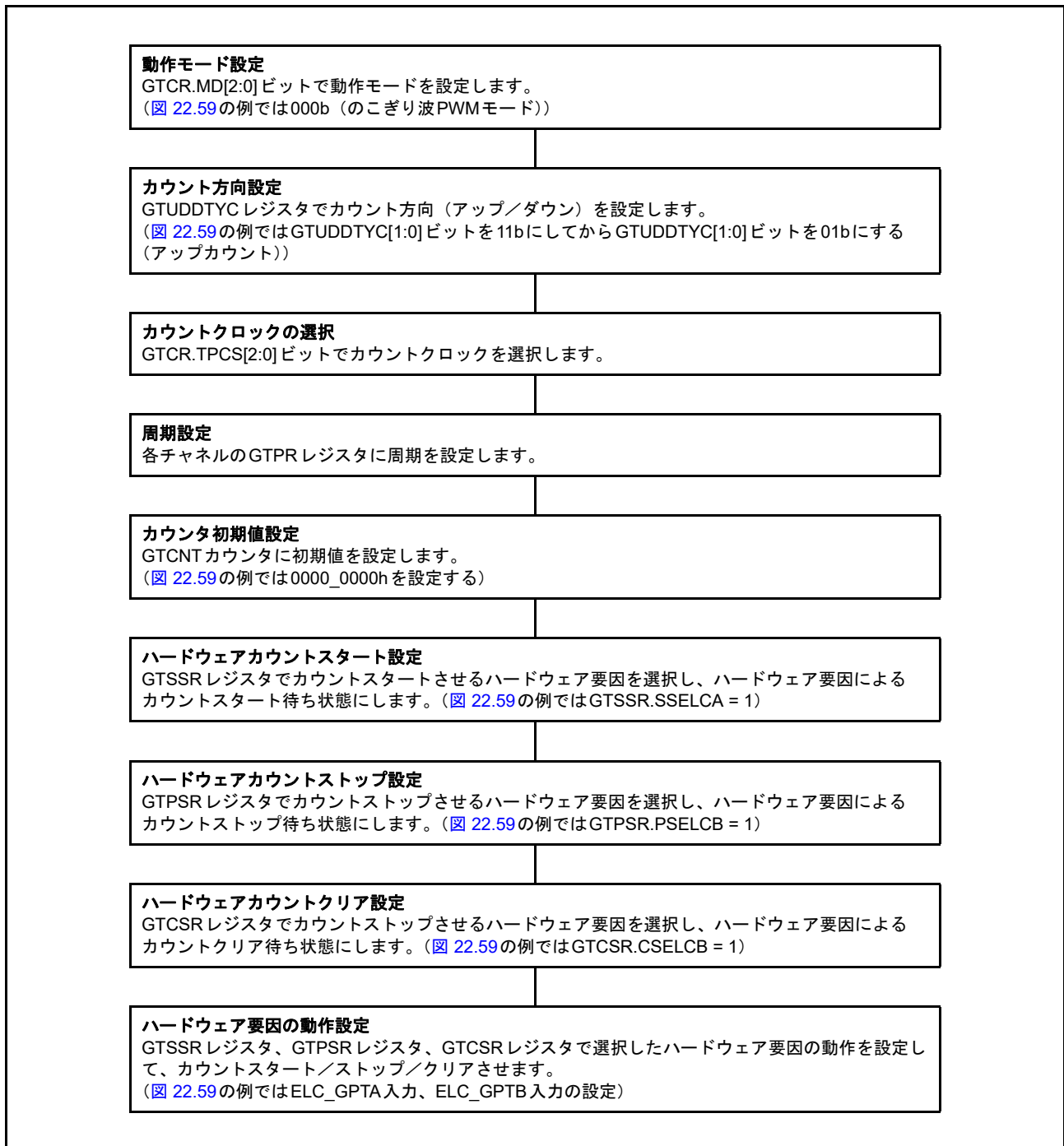


図 22.60 ハードウェア要因による同時スタート設定例

22.3.9 PWM 出力動作例

(1) 同期 PWM 出力

複数の GPT を使用することで、最大 10 チャンネル 20 相の連動した PWM 波形を出力します。

図 22.61 に、4 チャンネルをのこぎり波 PWM モードで同期動作させて、8 相の PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCB 端子は、初期値として Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。

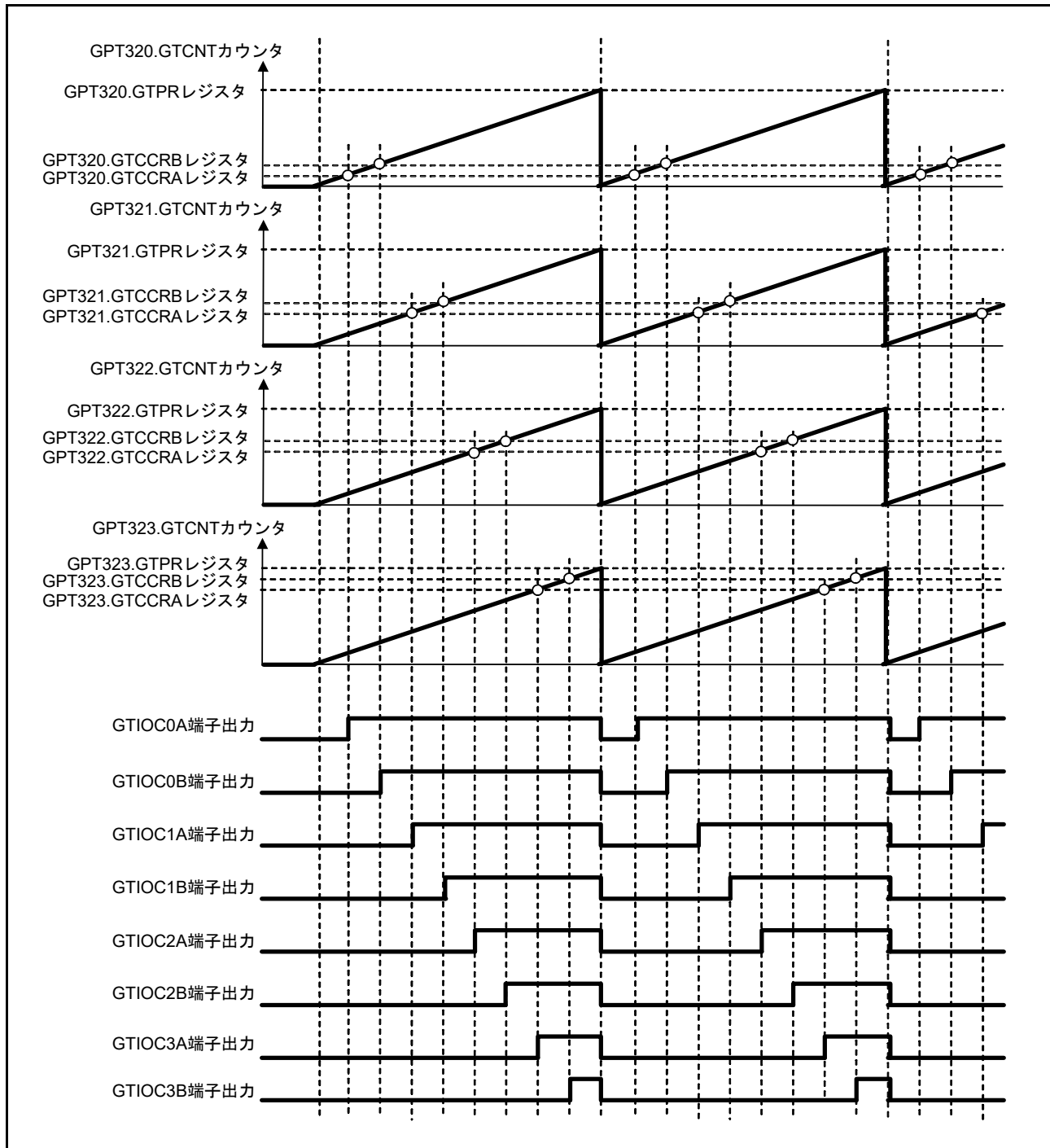


図 22.61 同期 PWM 出力例

(2) のこぎり波 3 相相補 PWM 出力

図 22.62 に、3 チャネルをのこぎり波 PWM モードで同期動作させて、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力するように設定されています。

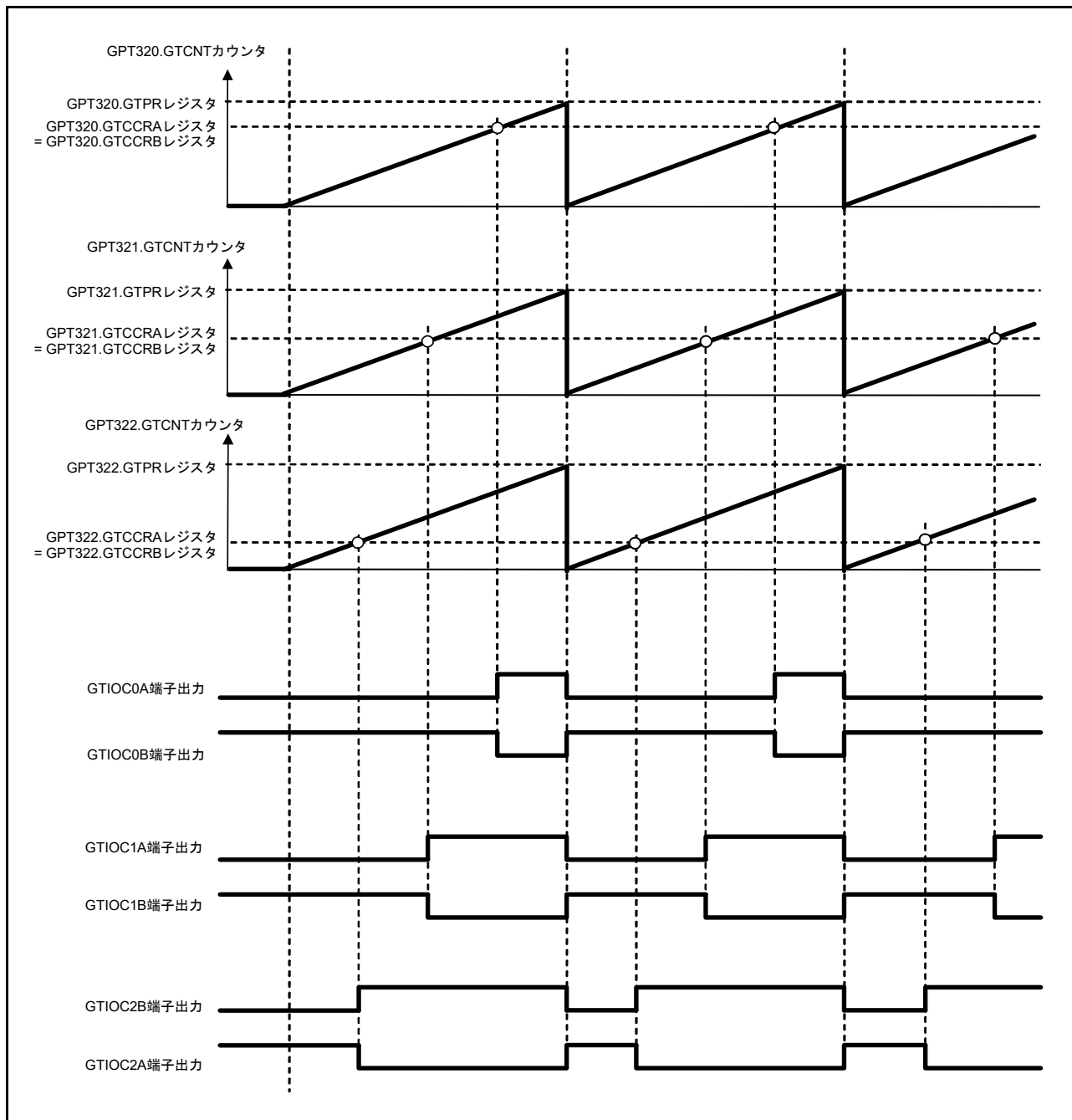


図 22.62 のこぎり波 3 相相補 PWM 出力例

(3) のこぎり波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 22.63 に、デッドタイム自動設定機能を使用して、3 チャンネルののこぎり波ワンショットパルスモードで同期動作させ、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

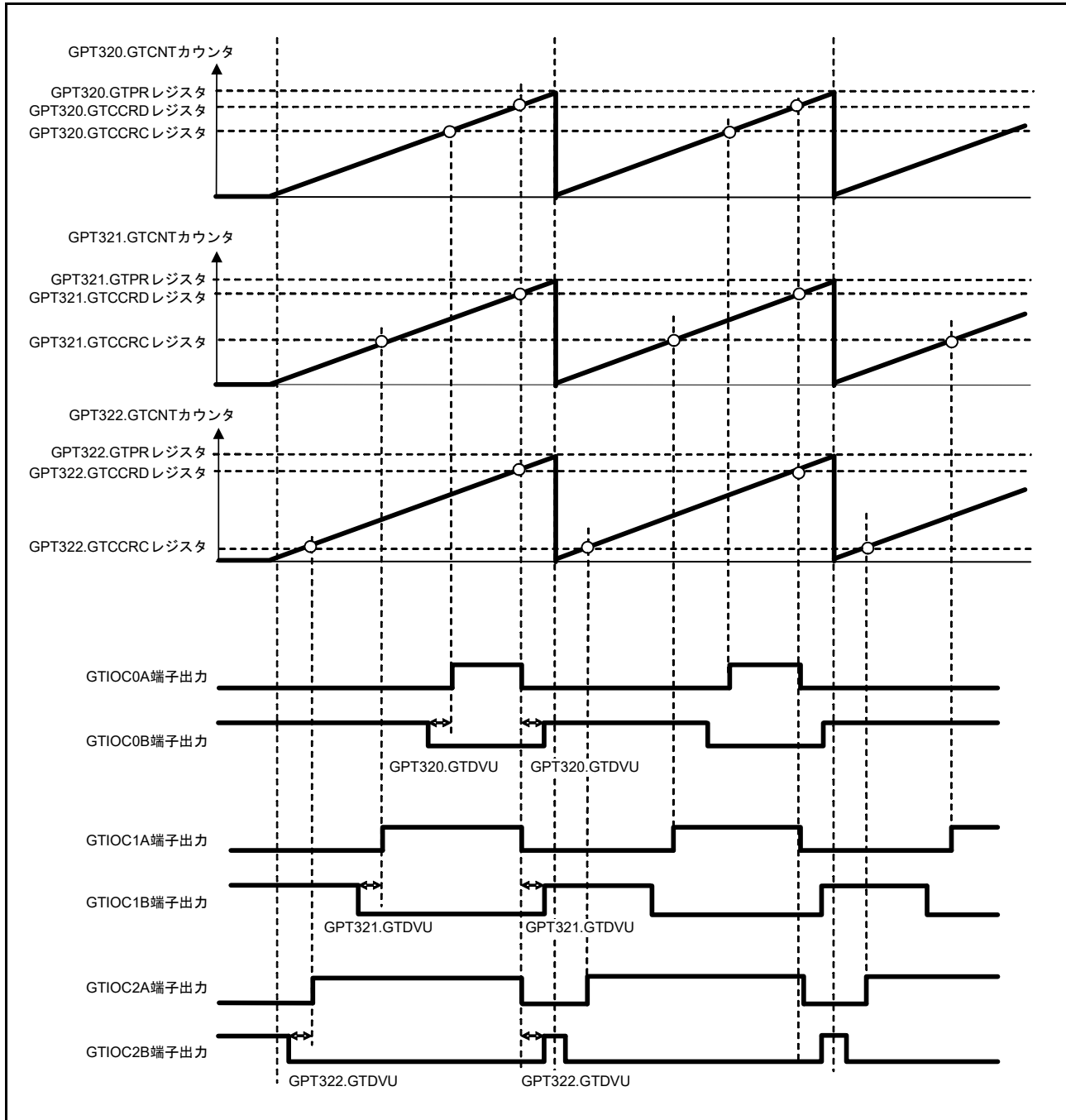


図 22.63 のこぎり波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(4) 三角波 3 相相補 PWM 出力

図 22.64 に、3 チャンネルを三角波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

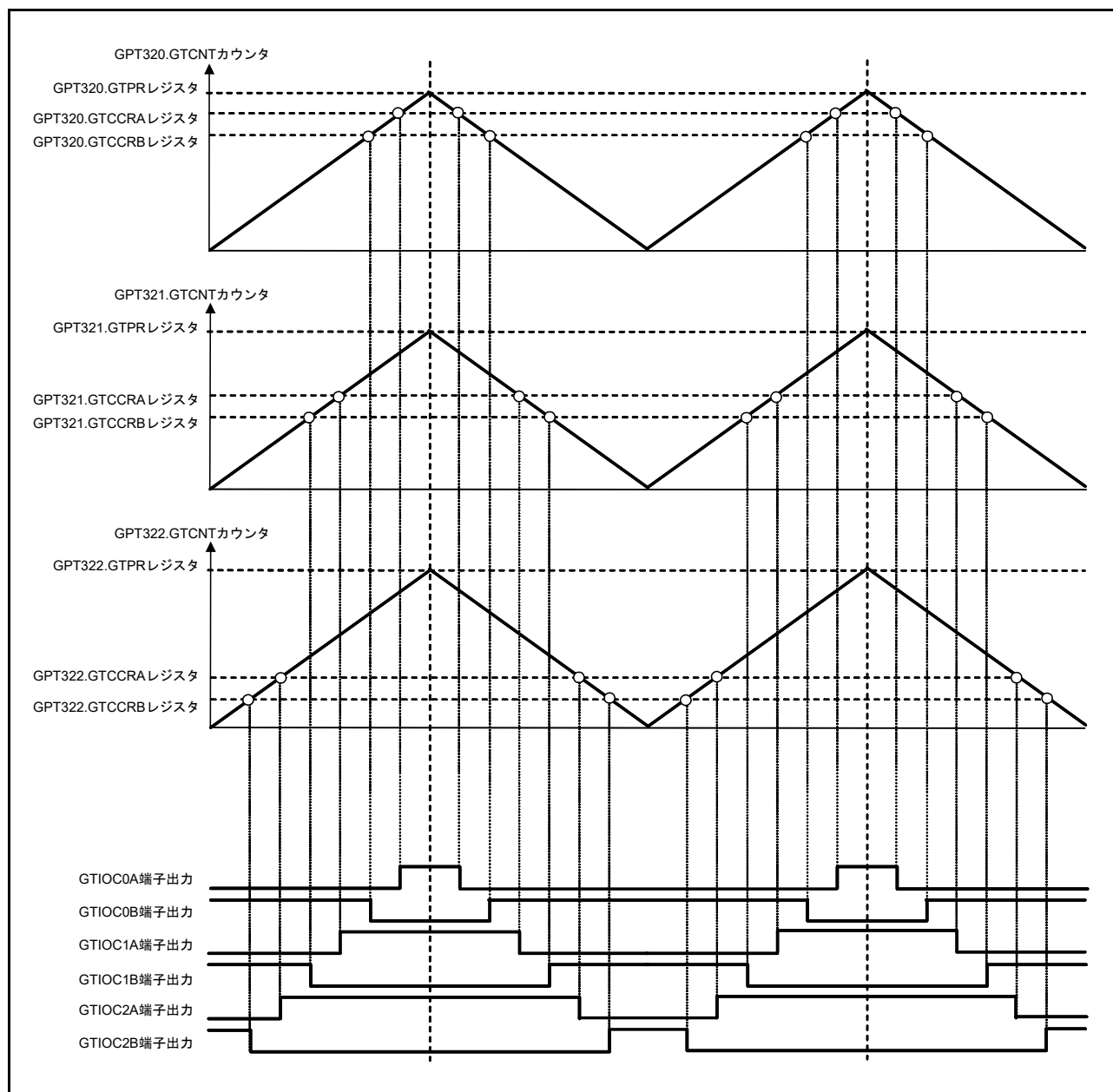


図 22.64 三角波 3 相相補 PWM 出力例

(5) 三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 22.65 に、デッドタイム自動設定機能を使用して、3 チャンネルを三角波 PWM モード 1 で同期動作させ、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

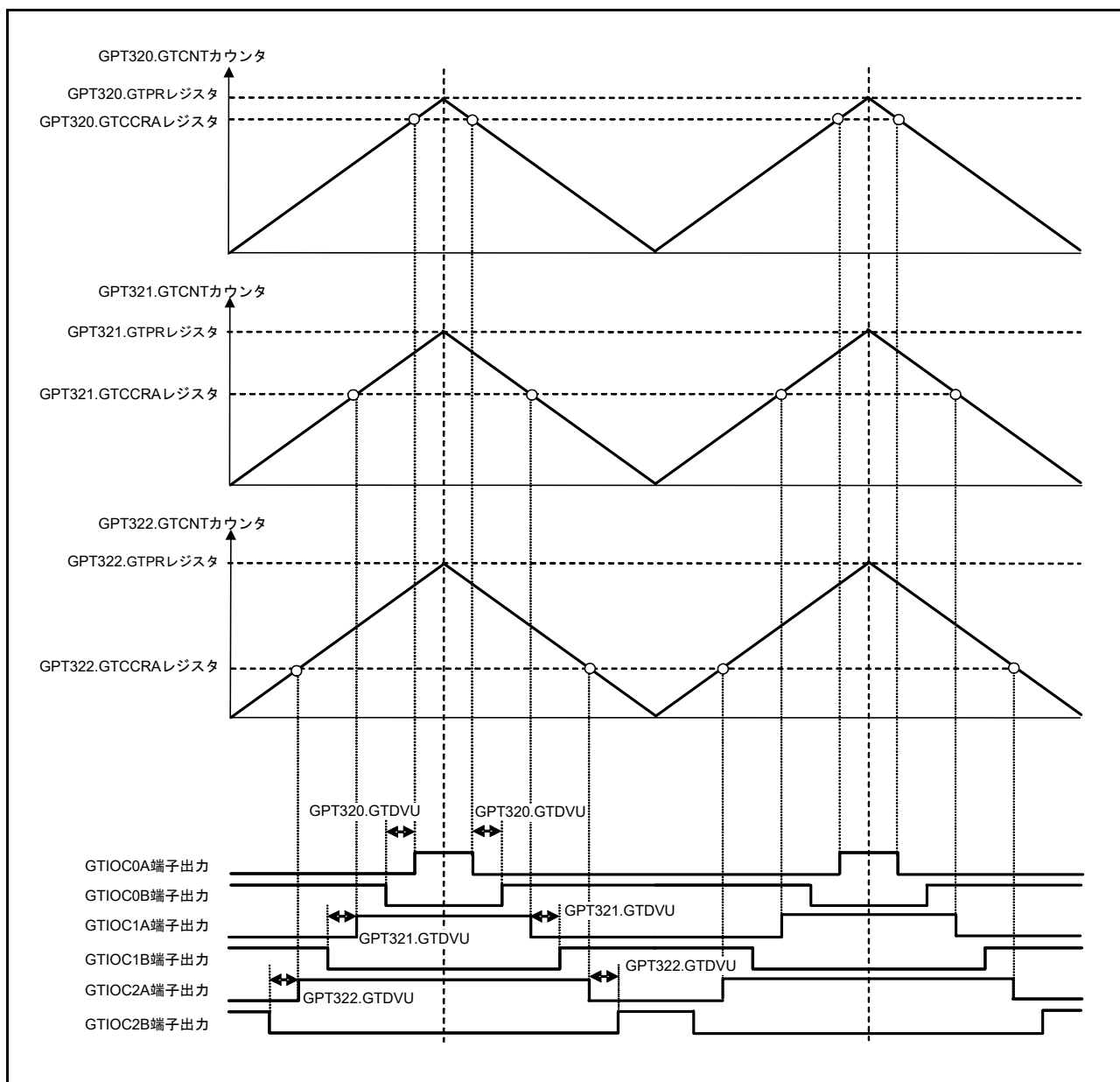


図 22.65 三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(6) 非対称三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 22.66 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 3 で同期動作させ、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

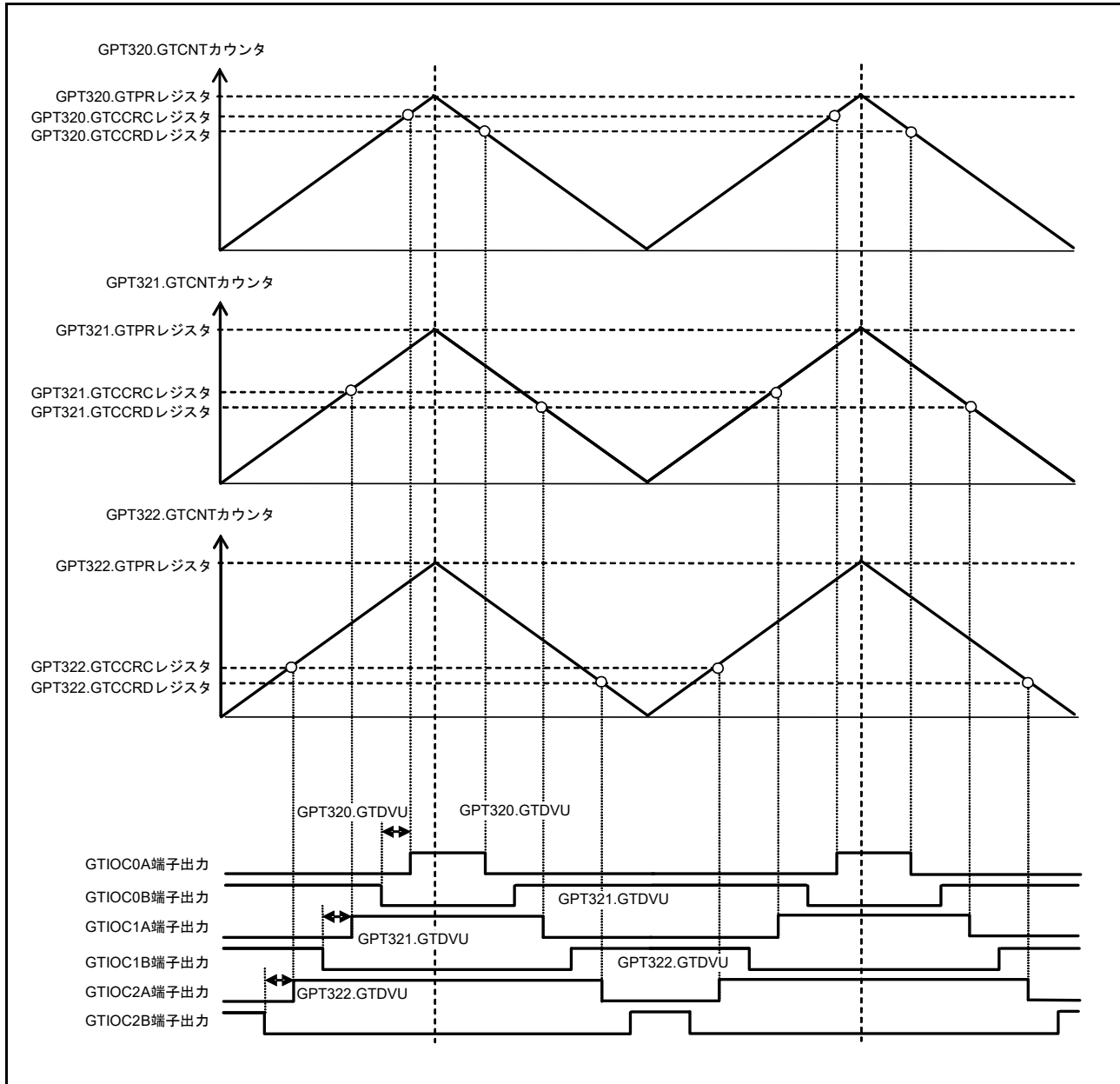


図 22.66 非対称三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

22.3.10 位相計数機能

GTIOCA 端子入力と GTIOCB 端子入力の間で位相差が検出されると、対応する GTCNT カウンタがカウントアップまたはカウントダウンを実行します。GTUPSR および GTDNSR レジスタに設定されている GTIOCA 端子入力と GTIOCB 端子入力のレベルとエッジの関係が、どのような組み合わせであっても位相差を検出できます。カウント動作については、22.3.1.1 カウンタ動作を参照してください。

図 22.67 ～ 図 22.76 に、位相計数モード 1 ～ 5 を示します。表 22.7 ～ 表 22.16 に、アップカウント/ダウンカウントの条件と、GTUPSR および GTDNSR レジスタの設定値を示します。

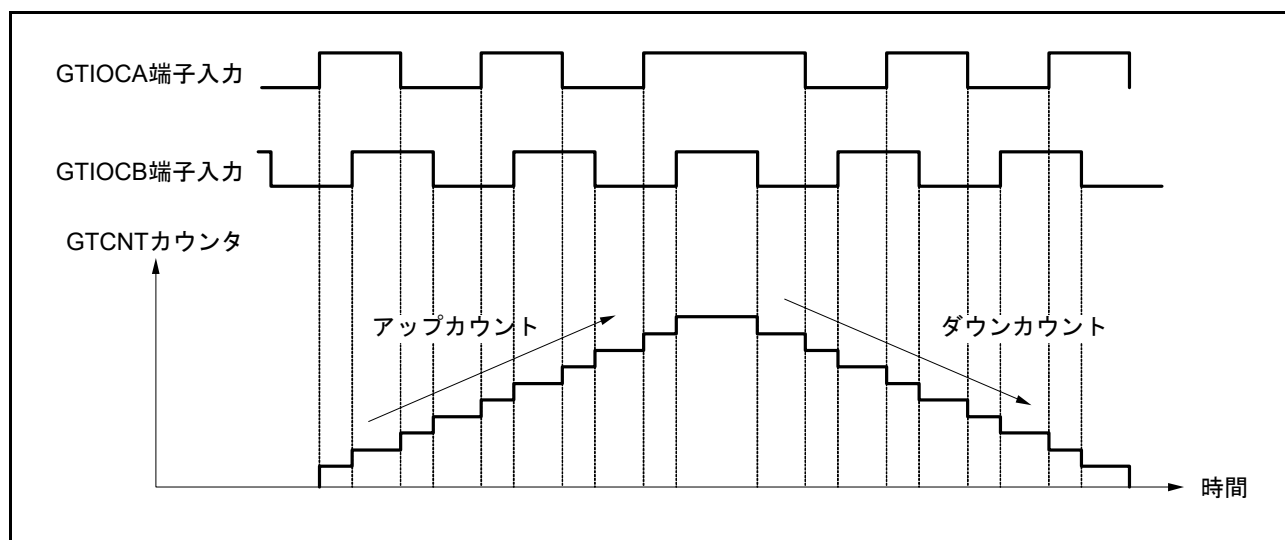


図 22.67 位相計数モード 1 動作例

表 22.7 位相計数モード1でのアップカウント/ダウンカウントの条件

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		アップカウント	GTUPSR レジスタ = 0000_6900h GTDNSR レジスタ = 0000_9600h
Low			
	Low		
	High		
High		ダウンカウント	
Low			
	High		
	Low		

: 立ち上がりエッジ

: 立ち下がりエッジ

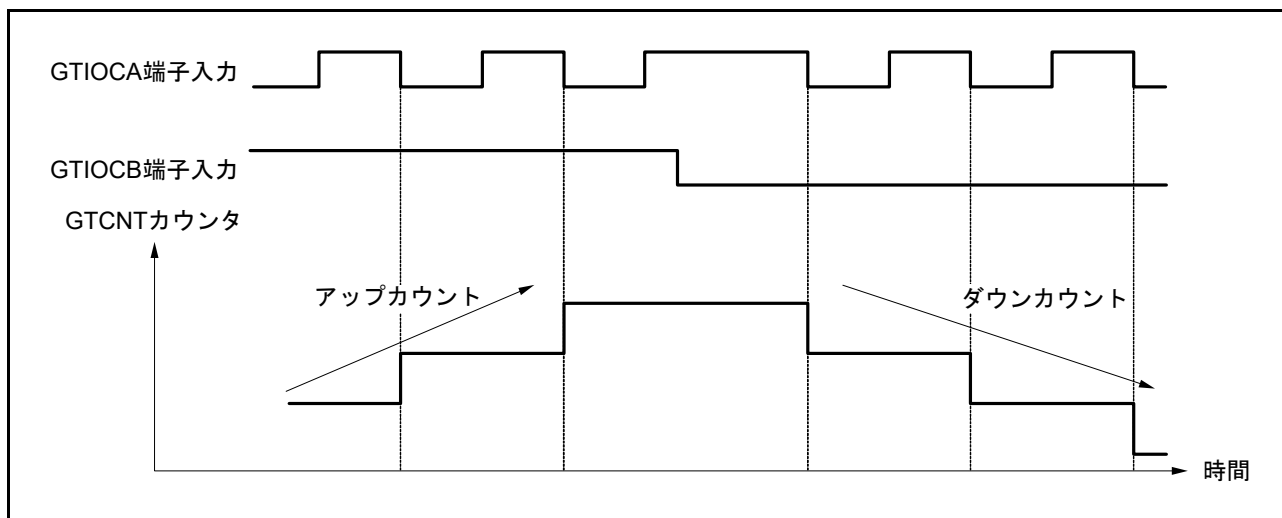


図 22.68 位相計数モード2 動作例 (A)

表 22.8 位相計数モード2でのアップカウント/ダウンカウントの条件 (A)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	Don't care	GTUPSR レジスタ = 0000_0800h GTDNSR レジスタ = 0000_0400h
Low	↓		
↑	Low	アップカウント	
↓	High		
High	↓	Don't care	
Low	↑		
↑	High	ダウンカウント	
↓	Low		

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

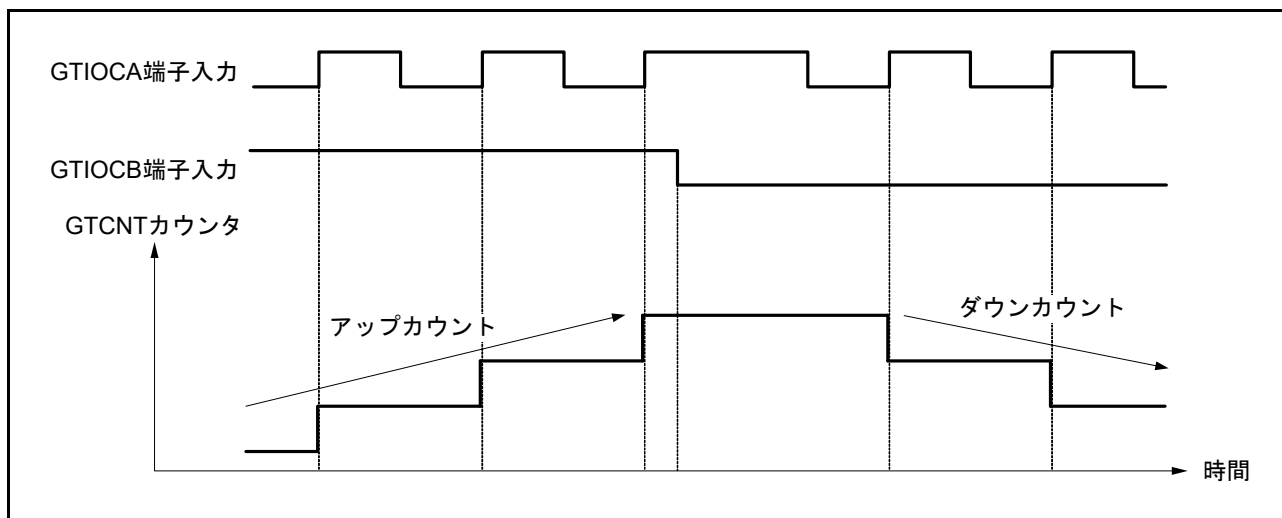


図 22.69 位相計数モード2 動作例 (B)

表 22.9 位相計数モード2でのアップカウント/ダウンカウントの条件 (B)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 0000_0200h GTDNSR レジスタ = 0000_0100h
Low		Don't care	
	Low	ダウンカウント	
	High	Don't care	
High		Don't care	
Low		Don't care	
	High	アップカウント	
	Low	Don't care	

: 立ち上がりエッジ

: 立ち下がりエッジ

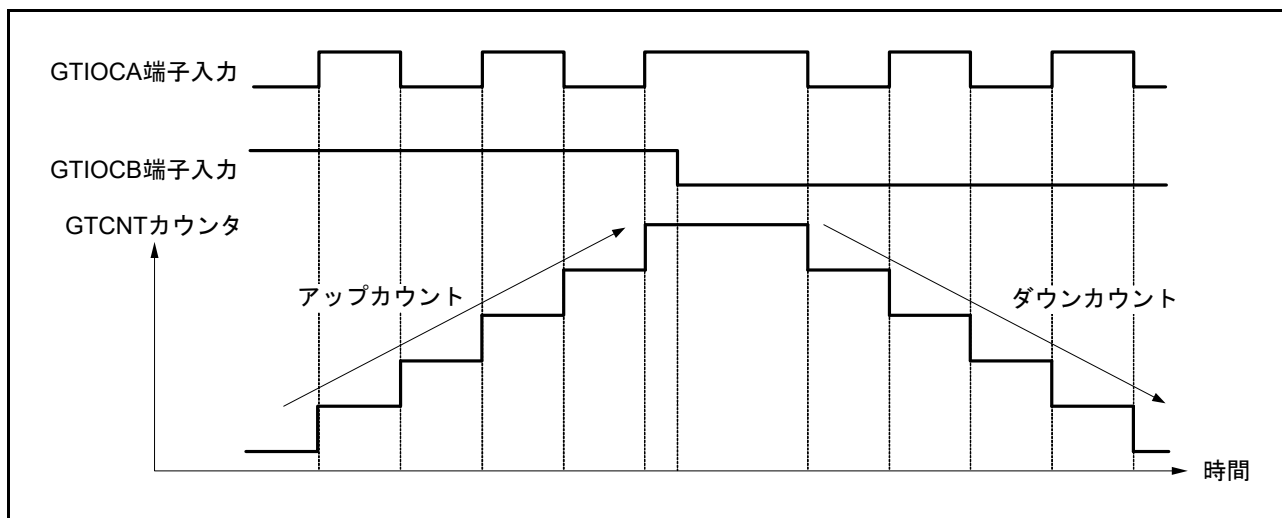


図 22.70 位相計数モード2 動作例 (C)

表 22.10 位相計数モード2でのアップカウント/ダウンカウントの条件 (C)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 0000_0A00h GTDNSR レジスタ = 0000_0500h
Low		Don't care	
	Low	ダウンカウント	
	High	アップカウント	
High		Don't care	
Low		Don't care	
	High	アップカウント	
	Low	ダウンカウント	

: 立ち上がりエッジ

: 立ち下がりエッジ

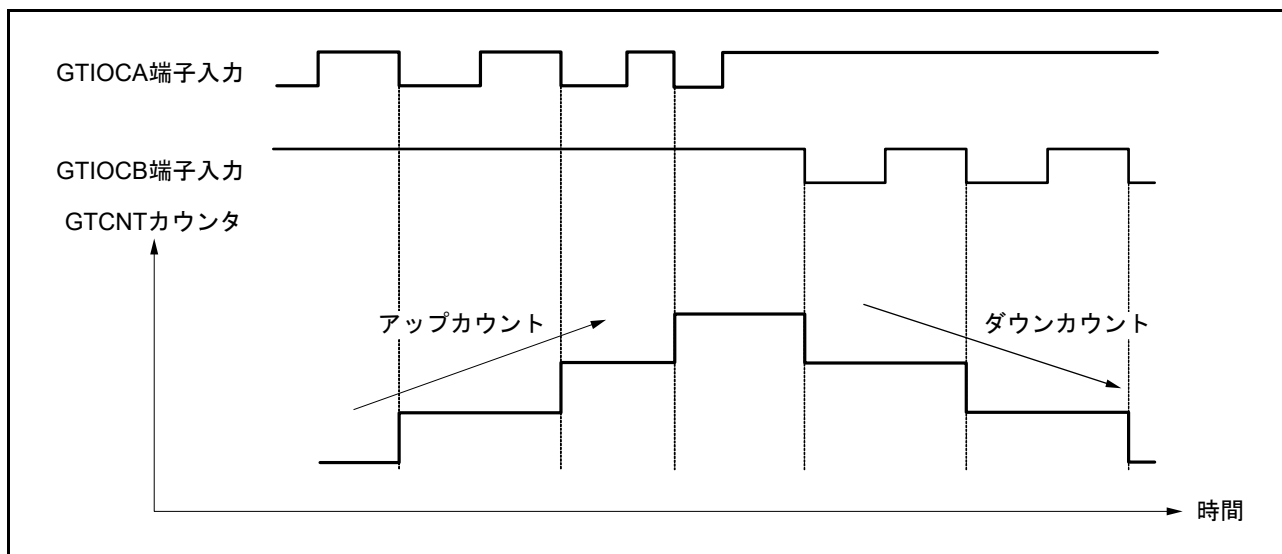


図 22.71 位相計数モード3 動作例 (A)

表 22.11 位相計数モード3でのアップカウント/ダウンカウントの条件 (A)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 0000_0800h GTDNSR レジスタ = 0000_8000h
Low			
	Low	アップカウント	
	High		
High		ダウンカウント	
Low		Don't care	
	High		
	Low		

: 立ち上がりエッジ
 : 立ち下がりエッジ

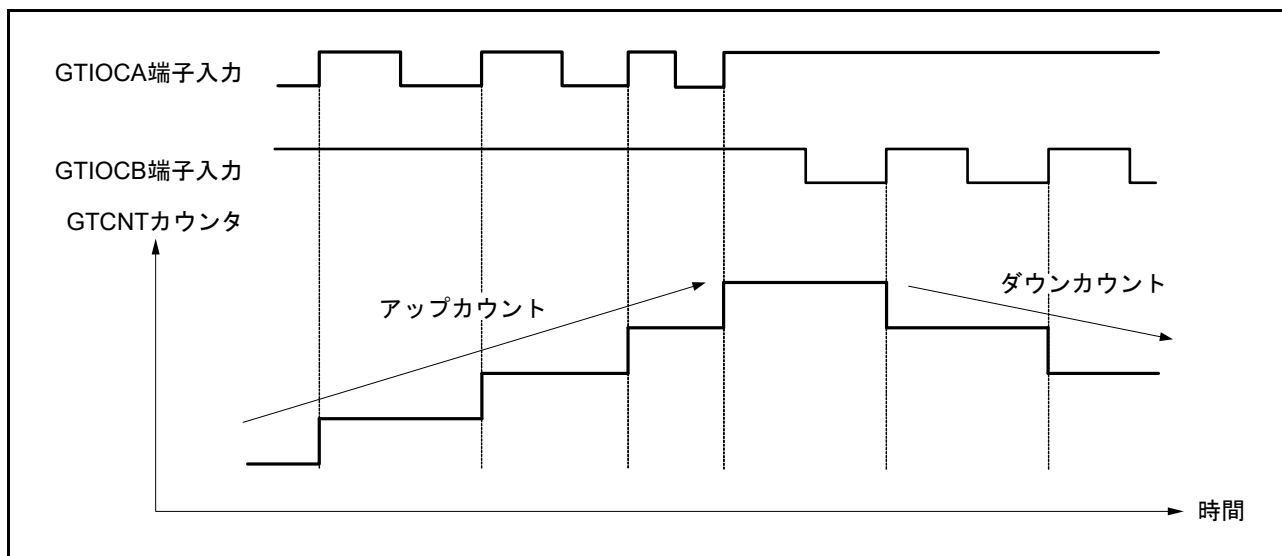


図 22.72 位相計数モード3 動作例 (B)

表 22.12 位相計数モード3でのアップカウント/ダウンカウントの条件 (B)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		ダウンカウント	GTUPSR レジスタ = 0000_0200h GTDNSR レジスタ = 0000_2000h
Low		Don't care	
	Low		
	High		
High			
Low			
	High	Don't care	
	Low		

: 立ち上がりエッジ
 : 立ち下がりエッジ

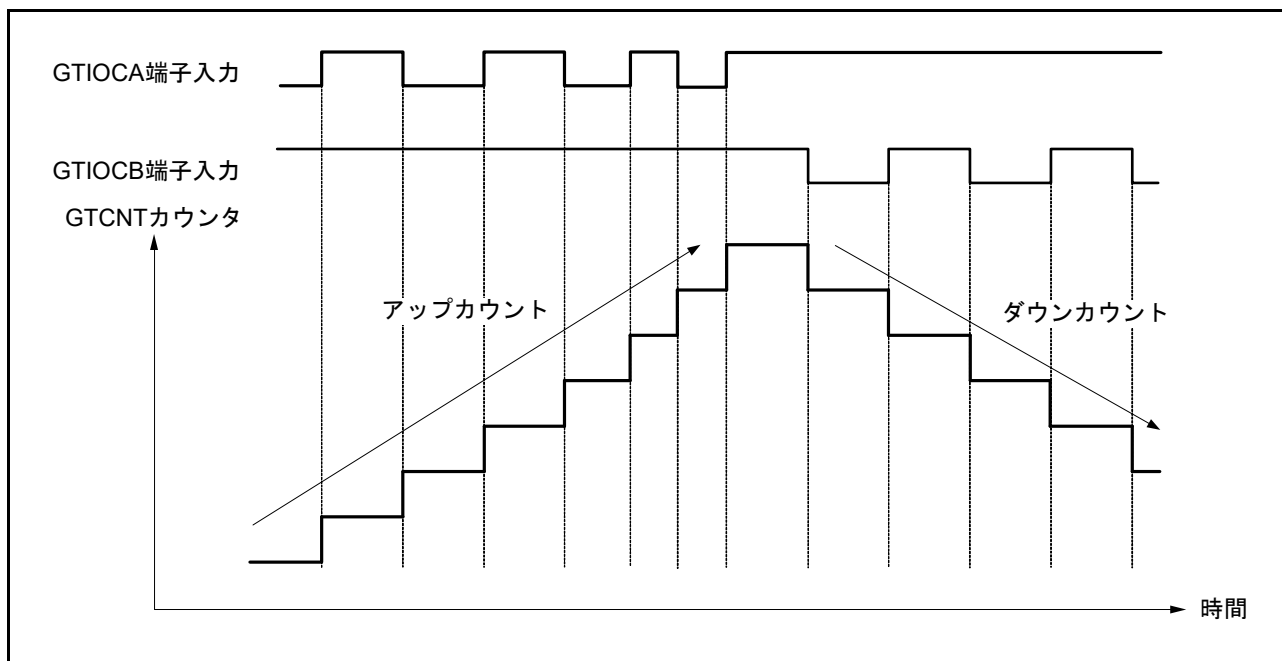


図 22.73 位相計数モード3 動作例 (C)

表 22.13 位相計数モード3でのアップカウント/ダウンカウントの条件 (C)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		ダウンカウント	GTUPSR レジスタ = 0000_0A00h GTDNSR レジスタ = 0000_A000h
Low		Don't care	
	Low		
	High	アップカウント	
High		ダウンカウント	
Low		Don't care	
	High	アップカウント	
	Low	Don't care	

: 立ち上がりエッジ

: 立ち下がりエッジ

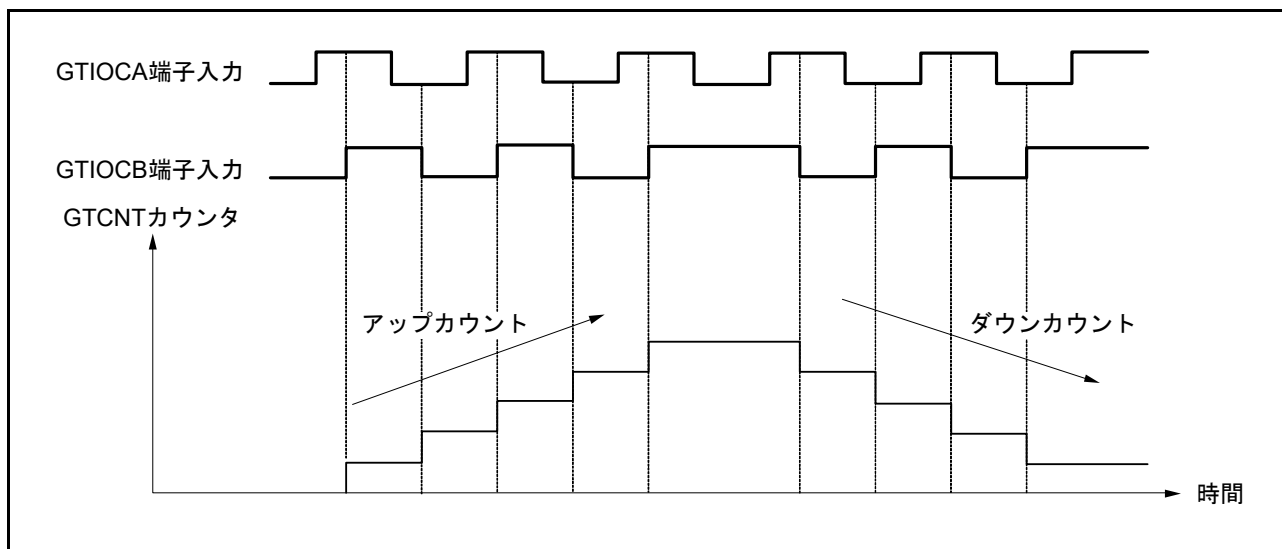


図 22.74 位相計数モード4 動作例

表 22.14 位相計数モード4でのアップカウント/ダウンカウントの条件

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	アップカウント	GTUPSR レジスタ = 0000_6000h GTDNSR レジスタ = 0000_9000h
Low	↓		
↑	Low	Don't care	
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High	Don't care	
↓	Low		

↑ : 立ち上がりエッジ
↓ : 立ち下がりエッジ

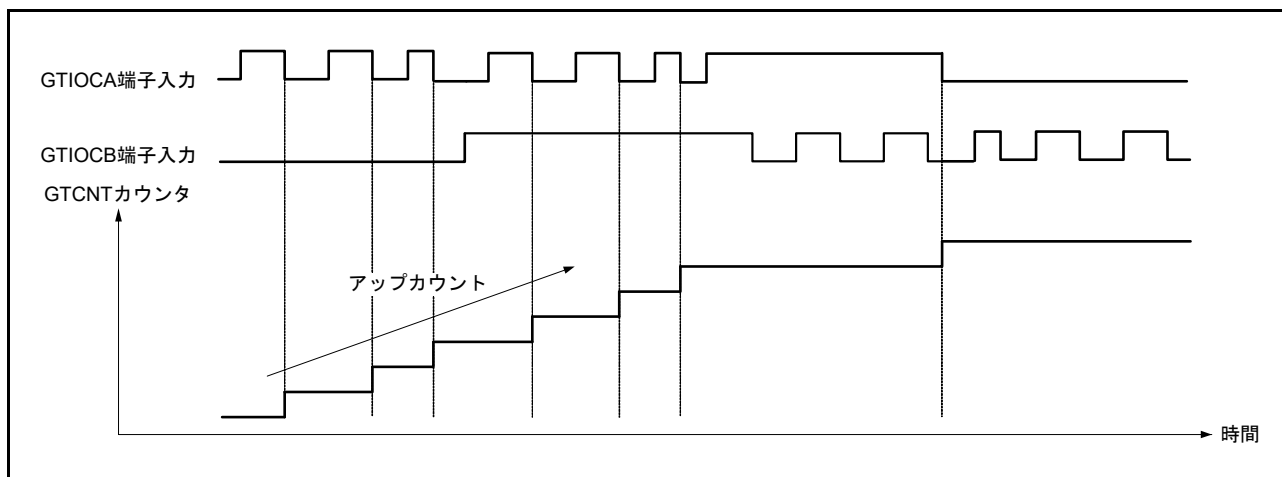


図 22.75 位相計数モード5 動作例 (A)

表 22.15 位相計数モード5でのアップカウント/ダウンカウントの条件 (A)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 0000_0C00h GTDNSR レジスタ = 0000_0000h
Low			
	Low	アップカウント	
	High		
High		Don't care	
Low			
	High	アップカウント	
	Low		

: 立ち上がりエッジ

: 立ち下がりエッジ

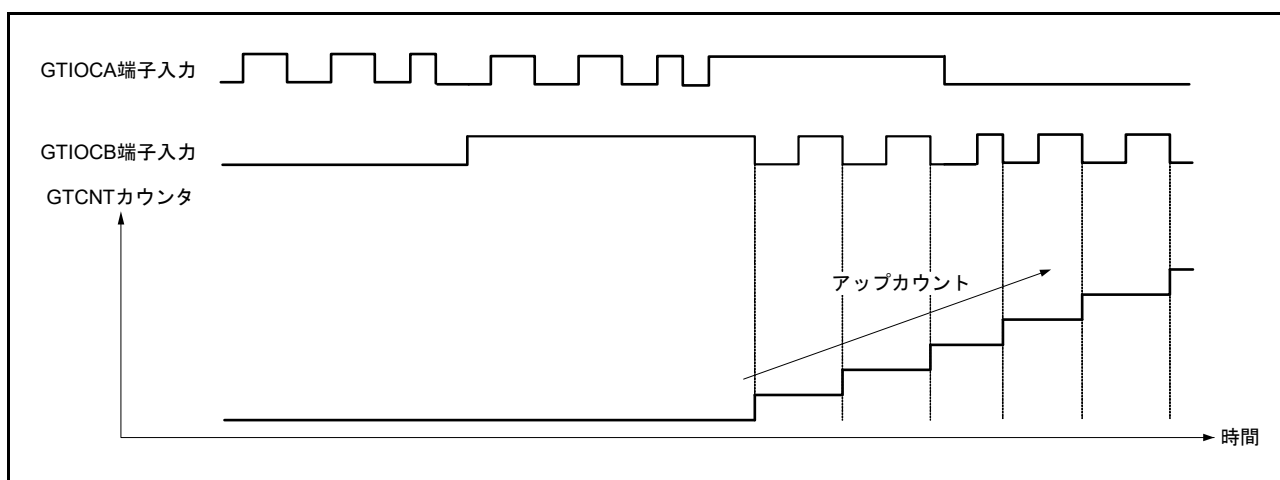


図 22.76 位相計数モード5 動作例 (B)

表 22.16 位相計数モード5でのアップカウント/ダウンカウントの条件 (B)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 0000_C000h GTDNSR レジスタ = 0000_0000h
Low		アップカウント	
	Low	Don't care	
	High	Don't care	
High		アップカウント	
Low		Don't care	
	High	Don't care	
	Low	Don't care	

: 立ち上がりエッジ

: 立ち下がりエッジ

22.3.11 出力相切り替え (GPT_OPS)

GPT_OPS は、出力相切り替えコントロールレジスタ (OPSCR) によるブラシレス DC モータ動作の簡易制御機能を提供しています。

GPT_OPS は、6相モータ制御の各相 (U 正相/逆相、V 正相/逆相、W 正相/逆相) のレベル信号またはチョップ制御に使用する PWM 信号を出力します。この機能では、ソフトウェアで設定したソフト設定値 (OPSCR.UF、VF、WF ビット)、ホール素子により検知した外部信号、GPT320.GTIOCA 端子の PWM 波形などを使用します。

図 22.77 に GPT_OPS 制御フローの概念図を示します。

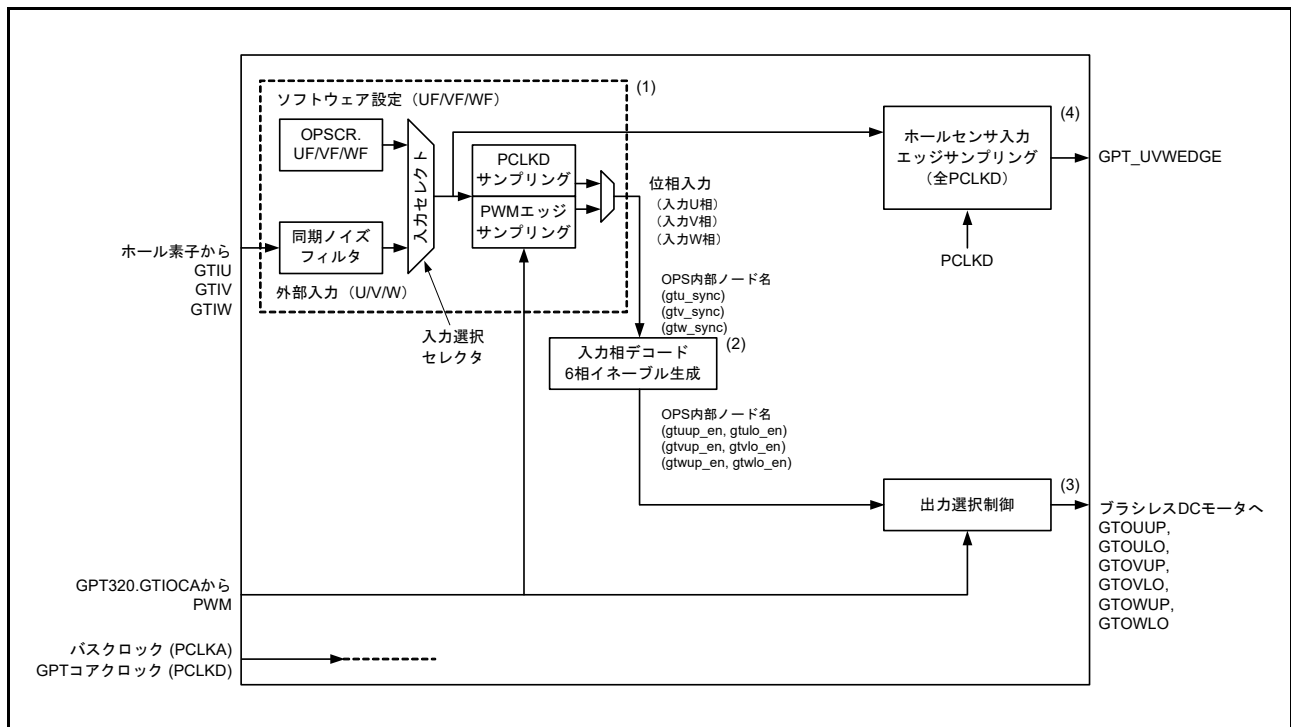


図 22.77 GPT_OPS 制御フロー概念図

図 22.78 に GPT_OPS 動作の 6 相レベル信号出力例を示します。

図 22.78 の GPT_UVWEDGE 信号は、ELC へ出力するホールセンサ入力エッジです。

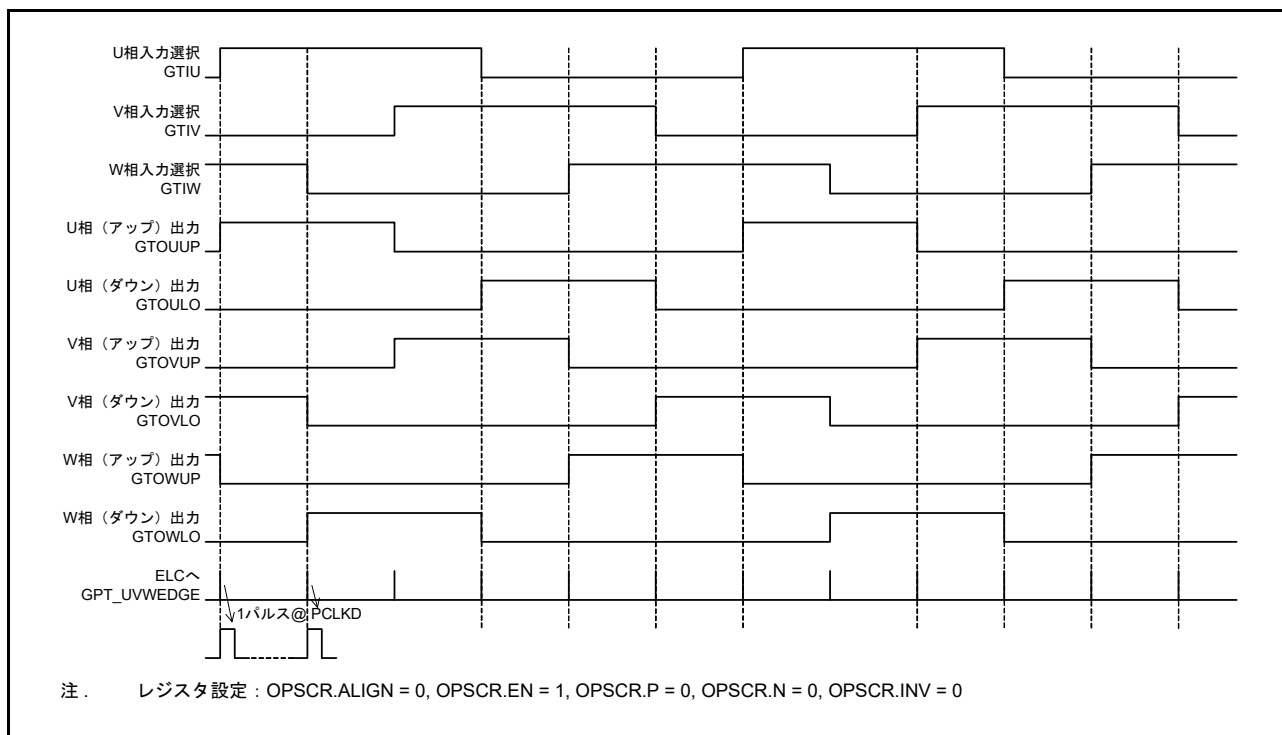


図 22.78 6 相レベル出力動作例

図 22.79 に GPT_OPS 動作の 6 相 PWM 出力例 (チョップ制御) を示します。

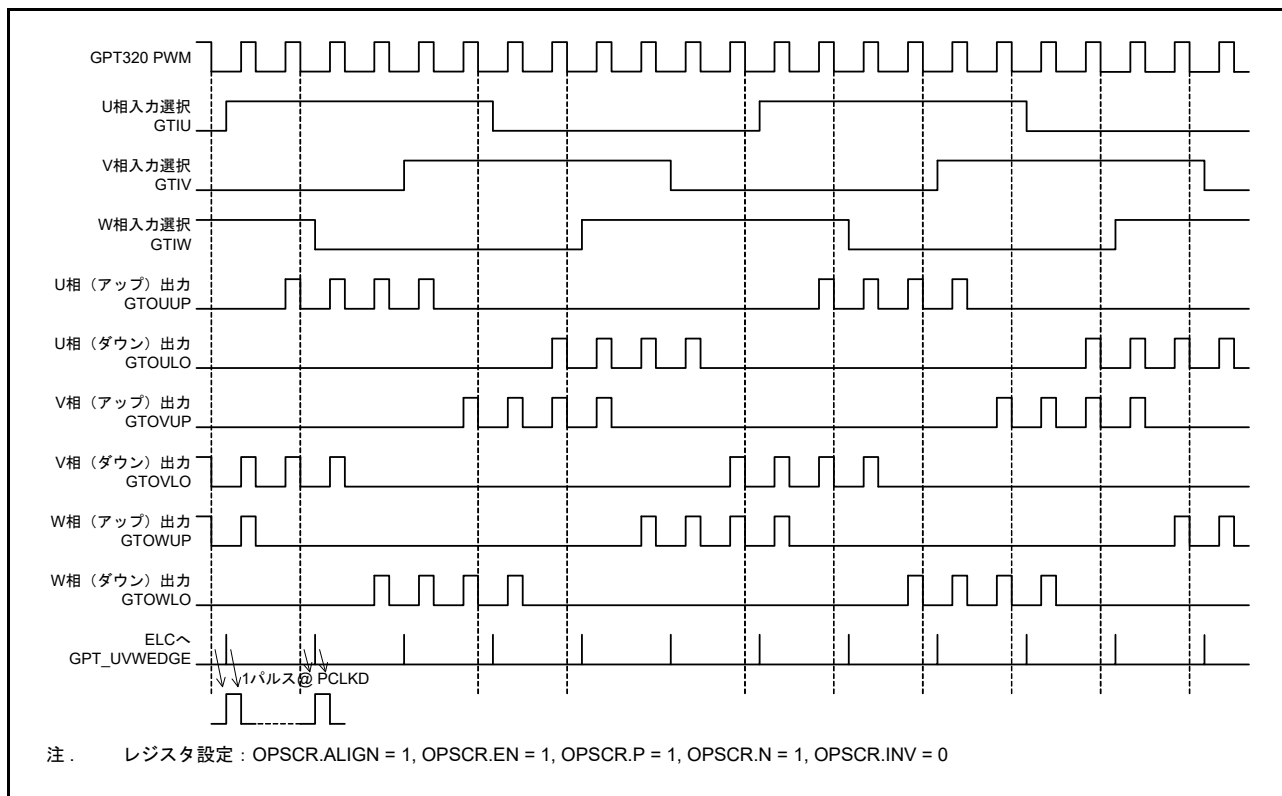


図 22.79 6 相 PWM 出力動作例 (チョップ制御)

図 22.80 に出力禁止制御の例 (6 相 PWM 出力動作) を示します。

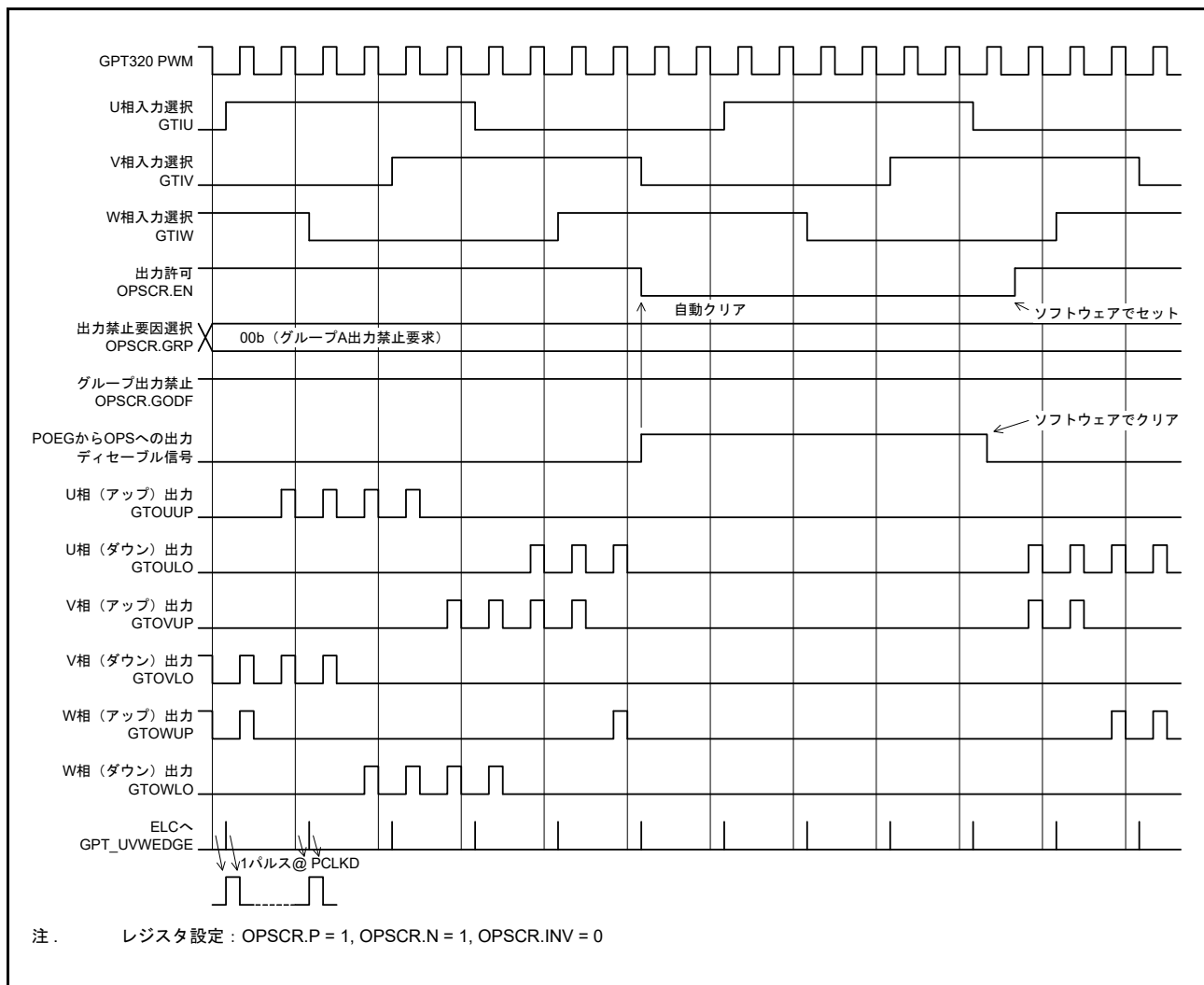


図 22.80 グループ出力禁止制御動作例

22.3.11.1 外部入力信号の同期および入力選択

図 22.77 に示す GPT_OPS 制御フロー概念図の (1) の部分では、OPSCR.FB ビットによって“ソフトウェア設定”と“外部入力”から入力相の選択をします。

OPSCR.FB ビットが 0 の場合、外部入力を選択します。GPT コアクロック (PCLKD) で同期してから入力信号を許可してください。ノイズフィルタ (オプション) 処理を実施後、OPSCR.ALIGN ビットを 1 にセットすると PWM (GPT320.GTIOCA 端子の PWM) の立ち下がりエッジサンプリングで外部入力が入力相となります。

OPSCR.FB ビットが 1 の場合、ソフトウェア設定 (OPSCR.UF、VF、WF) を選択します。OPSCR.ALIGN ビットを 1 にセットすると PWM (GPT320.GTIOCA 端子の PWM) の立ち下がりエッジサンプリングでソフトウェア設定が入力相となります。

OPSCR.ALIGN ビットが 0 の場合、GPT_OPS は OPSCR.FB ビットが 0 または 1 で設定された PCLKD 同期の入力相で動作します。ただし、切り替えタイミング (直前または直後) の出力 U/V/W 相 (PWM 出力モード) の PWM パルス幅が短くなる場合があります。

表 22.17 に、入力選択処理と対応する OPSCR レジスタのビット設定を示します。

表 22.17 入力選択処理方法

OPSCR レジスタ		入力相サンプリング方法の選択 (U/V/W相)	同期入出力選択処理 (GPT_OPS内部ノード名)
FB ビット	ALIGN ビット		
0	1	PWM立ち下がりエッジサンプリングでの外部入力 (PCLKD同期 + 立ち下がりエッジサンプル)	入力相 入力U相 (gtu_sync) 入力V相 (gtv_sync) 入力W相 (gtw_sync)
	0	PCLKD同期出力での外部入力 (PCLKD同期 + スルーモード)	
1	1	PWM立ち下がりエッジサンプリングでのソフトウェア設定 (立ち下がりエッジサンプルのOPSCR.UF、VF、WFビット)	
	0	ソフトウェア設定値選択 (= OPSCR.UF/VF/WF ビット値) (= PCLKD同期)	

22.3.11.2 入力サンプリング

OPSCR.U、V、W ビットは、OPSCR.FB ビットで選択した入力の PCLKD サンプリング結果を示します。

OPSCR.FB ビット=0 の場合、GPT コアクロック (PCLKD) との同期およびノイズフィルタリング (オプション) 後に、OPSCR.U、V、W ビットは外部入力のサンプリング結果を示します。OPSCR.FB ビット=1 の場合、OPSCR.U、V、W ビットはソフト設定値 (OPSCR.UF、VF、WF ビット) です。

22.3.11.3 入力相デコード

図 22.77 に示す GPT_OPS 制御フロー概念図の (2) の部分では、OPSCR.FB ビットで選択した入力相をデコードすることにより、6 相信号を有効にします。6 相許可信号は、GPT_OPS の内部処理に使用されます。

表 22.18 に入力相のデコード表を示します。

表 22.18 入力相デコード表

入力相 (U/V/W) (GPT_OPS 内部ノード名)			入力相のデコードによる6相許可[U/V/W (Up/Lo)] (GPT_OPS 内部ノード名)					
入力U相 (gtu_sync)	入力V相 (gtv_sync)	入力W相 (gtw_sync)	U相 (Up) (gtuup_en)	U相 (Lo) (gtulo_en)	V相 (Up) (gtvup_en)	V相 (Lo) (gtvlo_en)	W相 (Up) (gtwup_en)	W相 (Lo) (gtwlo_en)
1	0	1	1	0	0	1	0	0
1	0	0	1	0	0	0	0	1
1	1	0	0	0	1	0	0	1
0	1	0	0	1	1	0	0	0
0	1	1	0	1	0	0	1	0
0	0	1	0	0	0	1	1	0
0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0

22.3.11.4 出力選択制御

図 22.77 に示す GPT_OPS 制御フロー概念図の (3) の部分では、OPSCR レジスタのビットを設定することによって出力波形を選択します。

出力選択に関連するビットを以下に示します。

- OPSCR.EN ビット : 6 相出力の出力/停止を制御
- OPSCR.P ビットおよび OPSCR.N ビット : 出力相に対してレベル信号/ PWM 信号 (チョッパ出力) を選択可能
- 出力相の極性は、OPSCR.INV ビットで正論理/負論理に設定可能

表 22.19 および表 22.20 に、OPSCR レジスタのビットを使用した出力選択制御方法を示します。

表 22.19 出力選択制御方法 (正相)

イネーブル相出力制御	正相出力 (P) 制御	反転相出力制御	出力ポート名 (正相 = Up) (出力選択内部ノード割り当て)	
OPSCR.EN ビット	OPSCR.P ビット	OPSCR.INV ビット	GTOUUP GTOVUP GTOWUP	モード
0	x	x	0	出力停止 (外部端子 : Hi-Z) GPT_OPS → 0 出力
1	0	0	レベル信号 (gtuup_en) (gtvup_en) (gtwup_en)	レベル出力モード (正相) (正論理)
1	0	1	レベル信号 (~gtuup_en) (~gtvup_en) (~gtwup_en)	レベル出力モード (正相) (負論理)
1	1	0	PWM 信号 (PWM & gtuup_en) (PWM & gtvup_en) (PWM & gtwup_en)	PWM 出力モード (正相) (正論理)
1	1	1	PWM 信号 (~(PWM & gtuup_en)) (~(PWM & gtvup_en)) (~(PWM & gtwup_en))	PWM 出力モード (正相) (負論理)

表 22.20 出力選択制御方法 (逆相)

イネーブル相出力制御	逆相出力 (N) 制御	反転相出力制御	出力ポート名 (逆相 = Lo) (出力選択内部ノード割り当て)	
			GTOULO GTOVLO GTOWLO	モード
OPSCR.EN ビット	OPSCR.N ビット	OPSCR.INV ビット		
0	x	x	0	出力停止 (外部端子: Hi-Z) GPT_OPS → 0出力
1	0	0	レベル信号 (gtulo_en) (gtvlo_en) (gtwlo_en)	レベル出力モード (逆相) (正論理)
1	0	1	レベル信号 (~gtulo_en) (~gtvlo_en) (~gtwlo_en)	レベル出力モード (逆相) (負論理)
1	1	0	PWM信号 (PWM & gtulo_en) (PWM & gtvlo_en) (PWM & gtwlo_en)	PWM出力モード (逆相) (正論理)
1	1	1	PWM信号 (~(PWM & gtulo_en)) (~(PWM & gtvlo_en)) (~(PWM & gtwlo_en))	PWM出力モード (逆相) (負論理)

22.3.11.5 出力選択制御 (グループ出力禁止機能)

OPSCR.GODF ビットが 1 の場合、OPSCR.GRP ビットで選択した信号値が High (出力禁止要求) であると、GPT_OPS 出力端子は非同期に Hi-Z に変化し、PCLKD と同期した出力禁止要求信号によって OPSCR.EN ビットは 0 になります。復帰するには、ソフトウェアで出力禁止要求をクリアした後、OPSCR.EN ビットを 1 にしてください。

OPSCR.EN ビットが 0 にクリアされるタイミングは、出力禁止要求が発生してから PCLKD の 3 サイクル後です。出力禁止制御を確実に実行するには、(POEG の出力禁止要求フラグのクリアによる) 出力禁止要求の発生から停止まで、少なくとも PCLKD の 4 サイクル分待つ必要があります。グループ出力禁止制御の動作例については、[図 22.80](#) を参照してください。

22.3.11.6 イベントリンクコントローラ (ELC) 出力

[図 22.77](#) に示す GPT_OPS 制御フロー概念図の (4) の部分では、ホールセンサ入力信号エッジをイベントリンクコントローラに出力します。

ホールセンサ入力エッジ信号は、PCLKD で検出したパルスと、入力相の U 相 / V 相 / W 相それぞれの立ち上がり / 立ち下がりエッジ信号との OR 論理となります。すなわち、入力相の U 相 / V 相 / W 相それぞれの High 持続期間が短いと、その時点でホールセンサエッジ入力信号は出力されません。

OPSCR.FB ビットが 0 の場合、ホールセンサ入力エッジ信号は、外部入力相の PCLKD エッジで検出したパルスの OR 論理となります。

OPSCR.FB ビットが 1 の場合、ホールセンサ入力エッジ信号は、ソフト設定 (OPSCR.UF、VF、WF ビット) の PCLKD エッジで検出したパルスの OR 論理となります。

ELC への出力信号の例については、[図 22.78](#) ~ [図 22.80](#) を参照してください。

22.3.11.7 GPT_OPS スタート動作設定フロー

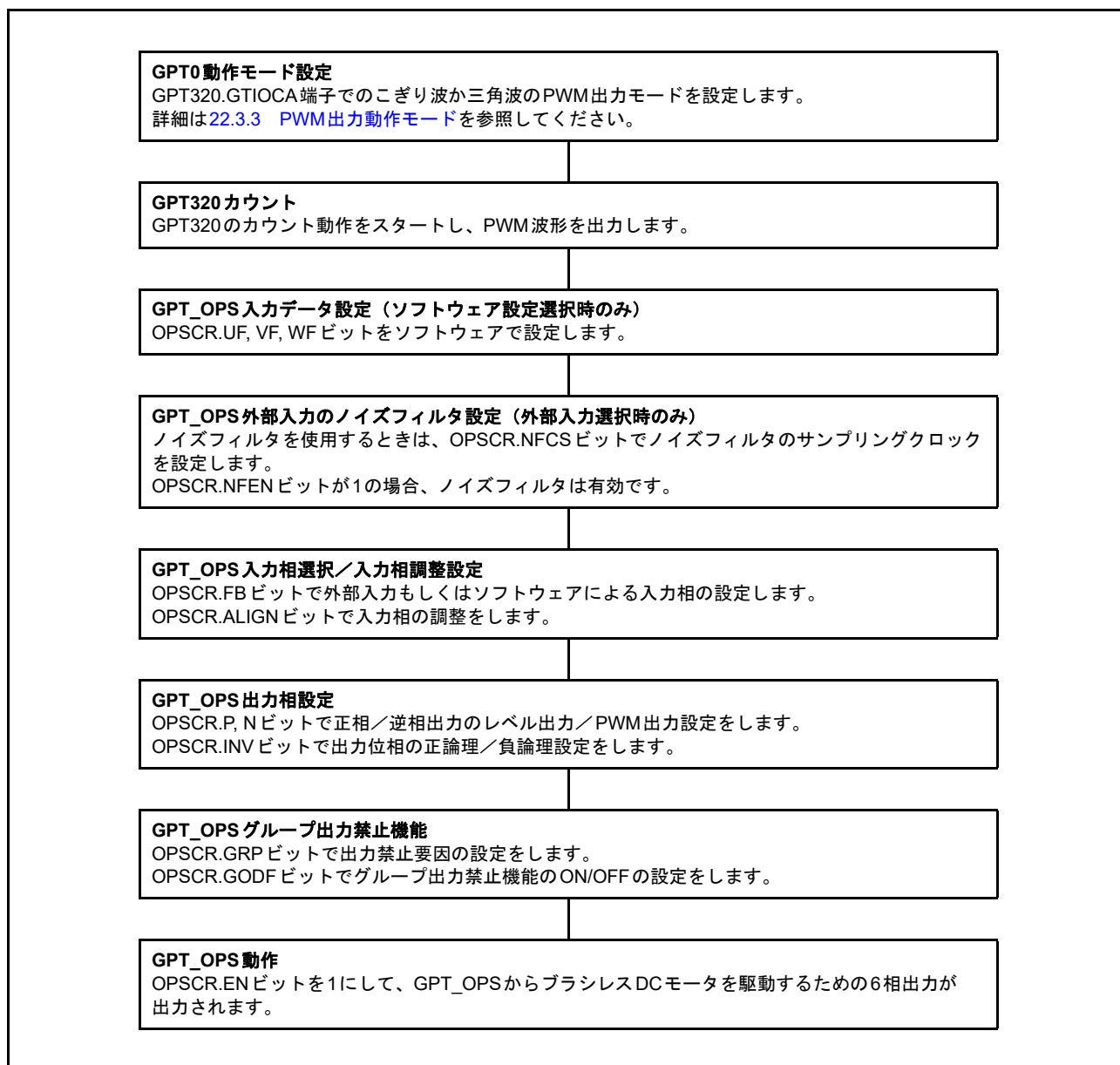


図 22.81 GPT_OPS スタート動作の設定例

22.4 割り込み要因

22.4.1 割り込み要因

GPT には以下の割り込み要因があります。

- GTCCR インพุットキャプチャ/コンペアマッチ
- GTCNT カウンタオーバーフロー (GTPR コンペアマッチ) /アンダーフロー

各割り込み要因には、それぞれ専用のステータスフラグがあります。割り込み要因信号が発生すると、GTST レジスタの対応するステータスフラグが 1 になります。GTST レジスタの対応するステータスフラグは、0 を書き込むことでクリアできます。フラグのセットとクリアが同時に発生した場合、フラグのクリアが優先されます。これらのフラグは、内部状態により自動更新されます。表 22.21 は、GPT の割り込み要因の一覧です。

表 22.21 割り込み要因 (1/2)

チャネル	名称	割り込み要因	割り込みフラグ	DMAC/DTCの 起動
0	GPT0_CCMPA	GPT320.GTCCRA インพุットキャプチャ/コンペアマッチ	TCFA	可能
	GPT0_CCMPB	GPT320.GTCCRB インพุットキャプチャ/コンペアマッチ	TCFB	可能
	GPT0_CMPC	GPT320.GTCCRC コンペアマッチ	TCFC	可能
	GPT0_CMPD	GPT320.GTCCRD コンペアマッチ	TCFD	可能
	GPT0_CMPE	GPT320.GTCCRE コンペアマッチ	TCFE	可能
	GPT0_CMPF	GPT320.GTCCRF コンペアマッチ	TCFF	可能
	GPT0_OVF	GPT320.GTCNT オーバーフロー (GPT320.GTPR コンペアマッチ)	TCFPO	可能
	GPT0_UDF	GPT320.GTCNT アンダーフロー	TCFPU	可能
1	GPT1_CCMPA	GPT321.GTCCRA インพุットキャプチャ/コンペアマッチ	TCFA	可能
	GPT1_CCMPB	GPT321.GTCCRB インพุットキャプチャ/コンペアマッチ	TCFB	可能
	GPT1_CMPC	GPT321.GTCCRC コンペアマッチ	TCFC	可能
	GPT1_CMPD	GPT321.GTCCRD コンペアマッチ	TCFD	可能
	GPT1_CMPE	GPT321.GTCCRE コンペアマッチ	TCFE	可能
	GPT1_CMPF	GPT321.GTCCRF コンペアマッチ	TCFF	可能
	GPT1_OVF	GPT321.GTCNT オーバーフロー (GPT321.GTPR コンペアマッチ)	TCFPO	可能
	GPT1_UDF	GPT321.GTCNT アンダーフロー	TCFPU	可能
2	GPT2_CCMPA	GPT162.GTCCRA インพุットキャプチャ/コンペアマッチ	TCFA	可能
	GPT2_CCMPB	GPT162.GTCCRB インพุットキャプチャ/コンペアマッチ	TCFB	可能
	GPT2_CMPC	GPT162.GTCCRC コンペアマッチ	TCFC	可能
	GPT2_CMPD	GPT162.GTCCRD コンペアマッチ	TCFD	可能
	GPT2_CMPE	GPT162.GTCCRE コンペアマッチ	TCFE	可能
	GPT2_CMPF	GPT162.GTCCRF コンペアマッチ	TCFF	可能
	GPT2_OVF	GPT162.GTCNT オーバーフロー (GPT162.GTPR コンペアマッチ)	TCFPO	可能
	GPT2_UDF	GPT162.GTCNT アンダーフロー	TCFPU	可能
3	GPT3_CCMPA	GPT163.GTCCRA インพุットキャプチャ/コンペアマッチ	TCFA	可能
	GPT3_CCMPB	GPT163.GTCCRB インพุットキャプチャ/コンペアマッチ	TCFB	可能
	GPT3_CMPC	GPT163.GTCCRC コンペアマッチ	TCFC	可能
	GPT3_CMPD	GPT163.GTCCRD コンペアマッチ	TCFD	可能
	GPT3_CMPE	GPT163.GTCCRE コンペアマッチ	TCFE	可能
	GPT3_CMPF	GPT163.GTCCRF コンペアマッチ	TCFF	可能
	GPT3_OVF	GPT163.GTCNT オーバーフロー (GPT163.GTPR コンペアマッチ)	TCFPO	可能
	GPT3_UDF	GPT163.GTCNT アンダーフロー	TCFPU	可能

表 22.21 割り込み要因 (2/2)

チャンネル	名称	割り込み要因	割り込みフラグ	DMAC/DTCの 起動
4	GPT4_CCMPA	GPT164.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT4_CCMPB	GPT164.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT4_CMPC	GPT164.GTCCRCコンペアマッチ	TCFC	可能
	GPT4_CMPD	GPT164.GTCCRDコンペアマッチ	TCFD	可能
	GPT4_CMPE	GPT164.GTCCREコンペアマッチ	TCFE	可能
	GPT4_CMPF	GPT164.GTCCRFコンペアマッチ	TCFF	可能
	GPT4_OVF	GPT164.GTCNTオーバーフロー (GPT164.GTPRコンペアマッチ)	TCFPO	可能
	GPT4_UDF	GPT164.GTCNTアンダーフロー	TCFPU	可能
5	GPT5_CCMPA	GPT165.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT5_CCMPB	GPT165.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT5_CMPC	GPT165.GTCCRCコンペアマッチ	TCFC	可能
	GPT5_CMPD	GPT165.GTCCRDコンペアマッチ	TCFD	可能
	GPT5_CMPE	GPT165.GTCCREコンペアマッチ	TCFE	可能
	GPT5_CMPF	GPT165.GTCCRFコンペアマッチ	TCFF	可能
	GPT5_OVF	GPT165.GTCNTオーバーフロー (GPT165.GTPRコンペアマッチ)	TCFPO	可能
	GPT5_UDF	GPT165.GTCNTアンダーフロー	TCFPU	可能
6	GPT6_CCMPA	GPT166.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT6_CCMPB	GPT166.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT6_CMPC	GPT166.GTCCRCコンペアマッチ	TCFC	可能
	GPT6_CMPD	GPT166.GTCCRDコンペアマッチ	TCFD	可能
	GPT6_CMPE	GPT166.GTCCREコンペアマッチ	TCFE	可能
	GPT6_CMPF	GPT166.GTCCRFコンペアマッチ	TCFF	可能
	GPT6_OVF	GPT166.GTCNTオーバーフロー (GPT166.GTPRコンペアマッチ)	TCFPO	可能
	GPT6_UDF	GPT166.GTCNTアンダーフロー	TCFPU	可能
7	GPT7_CCMPA	GPT167.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT7_CCMPB	GPT167.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT7_CMPC	GPT167.GTCCRCコンペアマッチ	TCFC	可能
	GPT7_CMPD	GPT167.GTCCRDコンペアマッチ	TCFD	可能
	GPT7_CMPE	GPT167.GTCCREコンペアマッチ	TCFE	可能
	GPT7_CMPF	GPT167.GTCCRFコンペアマッチ	TCFF	可能
	GPT7_OVF	GPT167.GTCNTオーバーフロー (GPT167.GTPRコンペアマッチ)	TCFPO	可能
	GPT7_UDF	GPT167.GTCNTアンダーフロー	TCFPU	可能

(1) GPTn_CCMPA 割り込み (n = 0 ~ 7)

割り込み要求は以下の条件で発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRA レジスタ値と一致したとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

(2) GPTn_CCMPB 割り込み (n = 0 ~ 7)

割り込み要求は以下の条件で発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRB レジスタ値と一致したとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRB レジスタに転送されたとき

(3) GPTn_CMPC 割り込み (n = 0 ~ 7)

割り込み要求は以下の条件で発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRC レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 01b、10b、11b (GTCCRC レジスタがバッファ動作)

(4) GPTn_CMPD 割り込み (n = 0 ~ 7)

割り込み要求は以下の条件で発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRD レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 10b、11b (GTCCRD レジスタがバッファ動作)

(5) GPTn_CMPE 割り込み (n = 0 ~ 7)

割り込み要求は以下の条件で発生します。

- GTCCRE レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRE レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] ビット = 01b、10b、11b (GTCCRE レジスタがバッファ動作)

(6) GPTn_CMPF 割り込み (n = 0 ~ 7)

割り込み要求は以下の条件で発生します。

- GTCCRFレジスタがコンペアマッチレジスタとして機能している場合、GTCNTカウンタ値がGTCCRFレジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波PWMモード3)
- GTBER.CCRB[1:0] ビット = 10b、11b (GTCCRFレジスタがバッファ動作)

(7) GPTn_OVF 割り込み (n = 0 ~ 7)

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合、オーバーフロー (アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化) によって割り込み要求が許可されたとき
- 三角波モードの場合、山 (GTCNT カウンタ値が GTPR 値から GTPR 値 - 1 に変化) によって割り込み要求が許可されたとき
- ハードウェア要因によるカウントで、オーバーフロー (アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化) が発生したとき

(8) GPTn_UDF 割り込み (n = 0 ~ 7)

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合、アンダーフロー (ダウンカウント時に GTCNT カウンタ値が 0 から GTPR 値に変化) によって割り込み要求が許可されたとき
- 三角波モードの場合、谷 (GTCNT カウンタ値が 0 から 1 に変化) によって割り込み要求が許可されたとき
- ハードウェア要因によるカウントで、アンダーフロー (ダウンカウント時に GTCNT カウンタ値が 0 から GTPR 値に変化) が発生したとき

表 22.22 割り込み信号と割り込みステータスフラグ

割り込み信号	割り込みステータスフラグ
GPTn_UDF	GTST[7] (TCFPU)
GPTn_OVF	GTST[6] (TCFPO)
GPTn_CMPF	GTST[5] (TCFF)
GPTn_CMPE	GTST[4] (TCFE)
GPTn_CMPD	GTST[3] (TCFD)
GPTn_CMPC	GTST[2] (TCFC)
GPTn_CCMPB	GTST[1] (TCFB)
GPTn_CCMPA	GTST[0] (TCFA)

注. n = 0 ~ 7

22.4.2 DMAC/DTC の起動

各チャンネルの割り込みによって、DMAC および DTC を起動することが可能です。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」、「[16. DMA コントローラ \(DMAC\)](#)」、および「[17. データトランスファコントローラ \(DTC\)](#)」を参照してください。

22.5 ELC によるリンク動作

22.5.1 ELC へのイベント信号出力

GPT では、その割り込み要求信号がイベントリンクコントローラ (ELC) でイベント信号として使用された場合、あらかじめ設定しておいたモジュールとのリンク動作が可能です。

GPT には以下の ELC イベント信号があります。

- コンペアマッチ A 割り込み発生 (GPTn_CCMPA)
- コンペアマッチ B 割り込み発生 (GPTn_CCMPB)
- コンペアマッチ C 割り込み発生 (GPTn_CMPC)
- コンペアマッチ D 割り込み発生 (GPTn_CMPD)
- コンペアマッチ E 割り込み発生 (GPTn_CMPE)
- コンペアマッチ F 割り込み発生 (GPTn_CMPF)
- オーバーフロー割り込み発生 (GPTn_OVF)
- アンダーフロー割り込み発生 (GPTn_UDF)

注. n = 0 ~ 7

22.5.2 ELC からのイベント信号入力

GPT は、ELC からの最大 8 個のイベントに対して、以下の動作を実行できます。

- カウントスタート/ストップ/クリア
- アップカウント/ダウンカウント
- インプットキャプチャ

ハードウェア要因についての詳細は、[22.3 動作説明](#)を参照してください。

22.6 ノイズフィルタ機能

GPT のインプットキャプチャ入力端子とホールセンサ入力端子には、ノイズフィルタが装備されています。ノイズフィルタは、入力信号をサンプリングクロックでサンプリングし、3 サンプル周期に満たない長さのパルスを除去します。

ノイズフィルタ機能では、端子ごとにノイズフィルタ機能を有効/無効にすることや、チャンネルごとにサンプリングクロックを設定することが可能です。

図 22.82 にノイズフィルタのタイミングを示します。

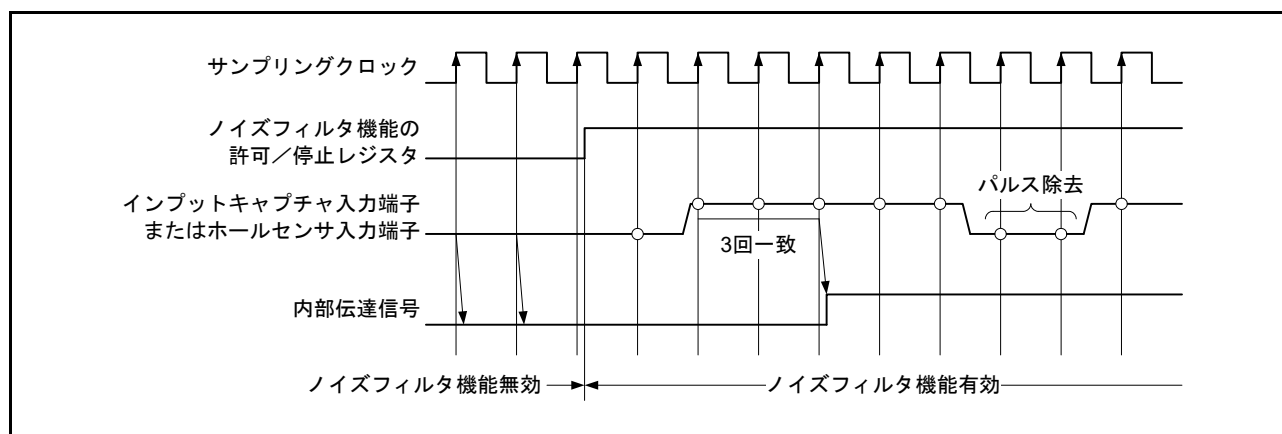


図 22.82 ノイズフィルタのタイミング

ノイズフィルタ機能を有効にすると、「サンプリング周期 × 3 + PCLKD」の遅延の後、ノイズフィルタ対象信号の両エッジでインプットキャプチャ動作またはホールセンサ入力動作が実行されます。この遅延は、インプットキャプチャ入力またはホールセンサ入力動作に対するノイズフィルタリングに起因するものです。

22.7 保護機能

22.7.1 レジスタの書き込み保護

レジスタへの誤書き込みを防止するため、GTWP.WP ビットを設定することで、チャンネル単位でレジスタへの書き込みを禁止できます。下記のレジスタに対して、書き込み保護の設定が可能です。

GTSSR, GTPSR, GTCR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTDTCR, GTDVU

22.7.2 バッファ動作の禁止

バッファレジスタへの書き込みタイミングが、バッファの転送タイミングに対して遅延した場合、GTBER.BD ビットの設定でバッファ動作の中断が可能です。バッファレジスタの書き込み中にバッファ転送条件が発生しても、バッファ転送を一時的に禁止することが可能です。そのためには、バッファレジスタの書き込み前に対応する GTBER.BD ビットを 1 (バッファ動作禁止) にしておき、すべてのバッファレジスタへの書き込み終了後に 0 (バッファ動作許可) に戻します。

図 22.83 にバッファ動作を禁止するための動作例を示します。

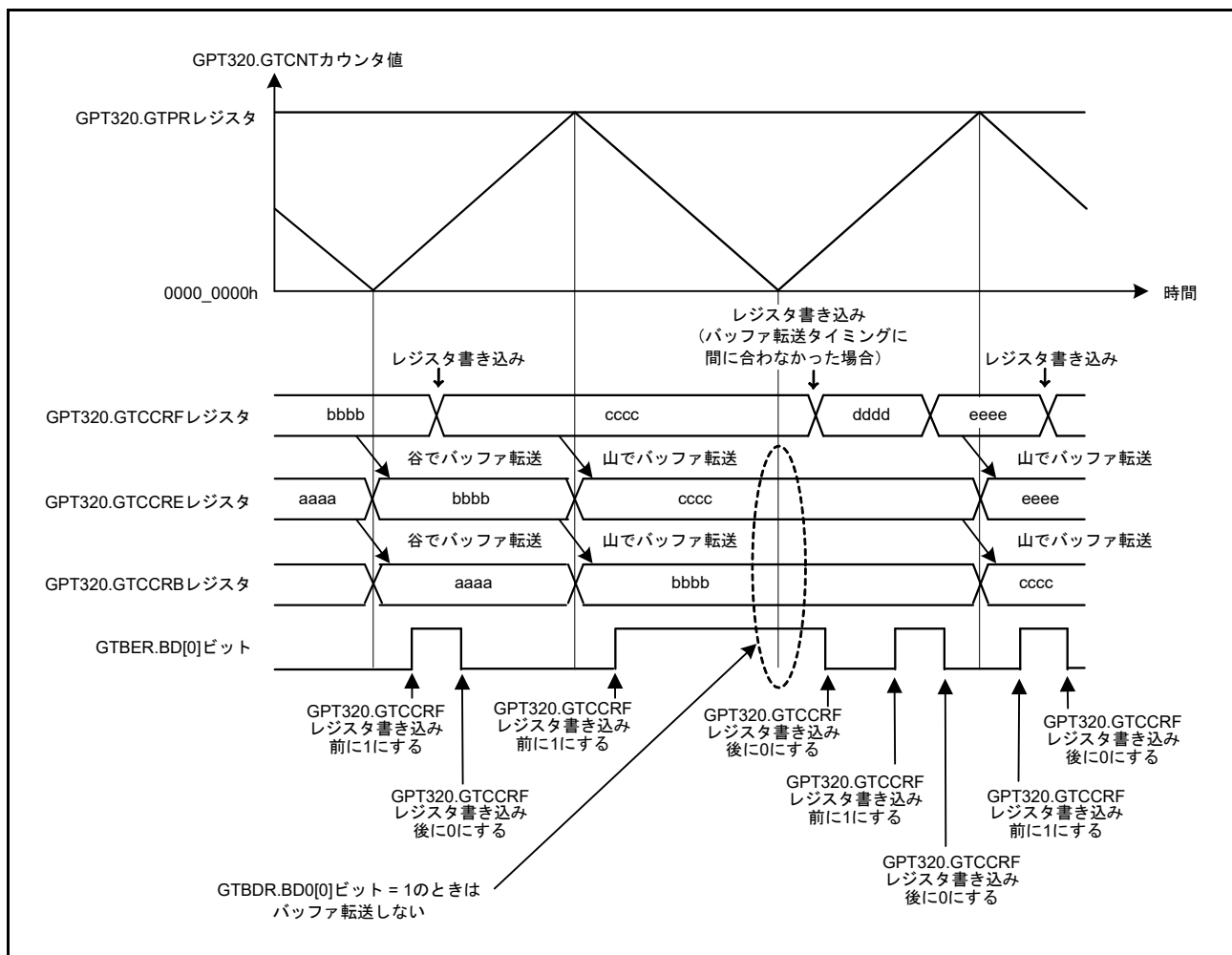


図 22.83 バッファ動作禁止の動作例 (三角波、ダブルバッファ動作、谷と山の両方でバッファ転送の場合)

22.7.3 GTIOC 端子出力のネゲート制御

システム障害から保護するために、POEG からの出力禁止要求によって、GTIOC 端子の出力値を強制的に変更する出力禁止制御が備えられています。

デッドタイムエラーが発生した場合や、GTIOCA 端子の出力値が GTIOCB 端子の出力値と同じ場合には、出力保護が必要です。GPT はこのような条件を検出すると、GTINAD.GRPABH ビットや GTINTAD.GRPABL ビットなどの出力禁止要求許可ビットの設定に応じて、POEG に対して出力禁止要求を生成します。POEG は、各チャネルから出力禁止要求を受信すると、OR 演算を用いて外部入力を計算し、GPT に対して出力禁止要求を発生させます。

POEG が生成した 4 つの出力禁止要求のうちの 1 つの出力要求信号 (GTIOCA 端子および GTIOCB 端子の共通出力禁止要求信号) を GTINTAD.GRP[1:0] ビットの設定で選択します。選択した出力禁止要求の状態は、GTST.ODF ビットを読むことでモニタできます。出力禁止中の出力レベルは、GTIOCA 端子については GTIOR.OADF[1:0] ビットの設定、GTIOCB 端子については GTIOR.OBDF[1:0] ビットの設定に依存します。

出力禁止状態への変更は、POEG から出力禁止要求を発生させることで非同期に実行されます。出力禁止状態の解除は、出力禁止要求を停止させることで周期の終わりに実行されます。出力禁止状態の解除タイミングは、出力禁止要求の停止から、早くとも PCLKD の 3 サイクル後です。出力禁止制御を確実に実行するには、(POEG の出力禁止要求フラグのクリアによる) 出力禁止要求の発生から停止まで、少なくとも PCLKD の 4 サイクル分待つ必要があります。

イベントカウント実行時、または出力禁止状態を周期の終わりを待たずにただちに解除する必要がある場合は、GTIOR.OADF[1:0] ビットを 00b (GTIOCA 端子の場合) にするか、GTIOR.OBDF[1:0] ビットを 00b (GTIOCB 端子の場合) にしてください。

図 22.84 に GTIOC 端子出力禁止制御の動作例を示します。

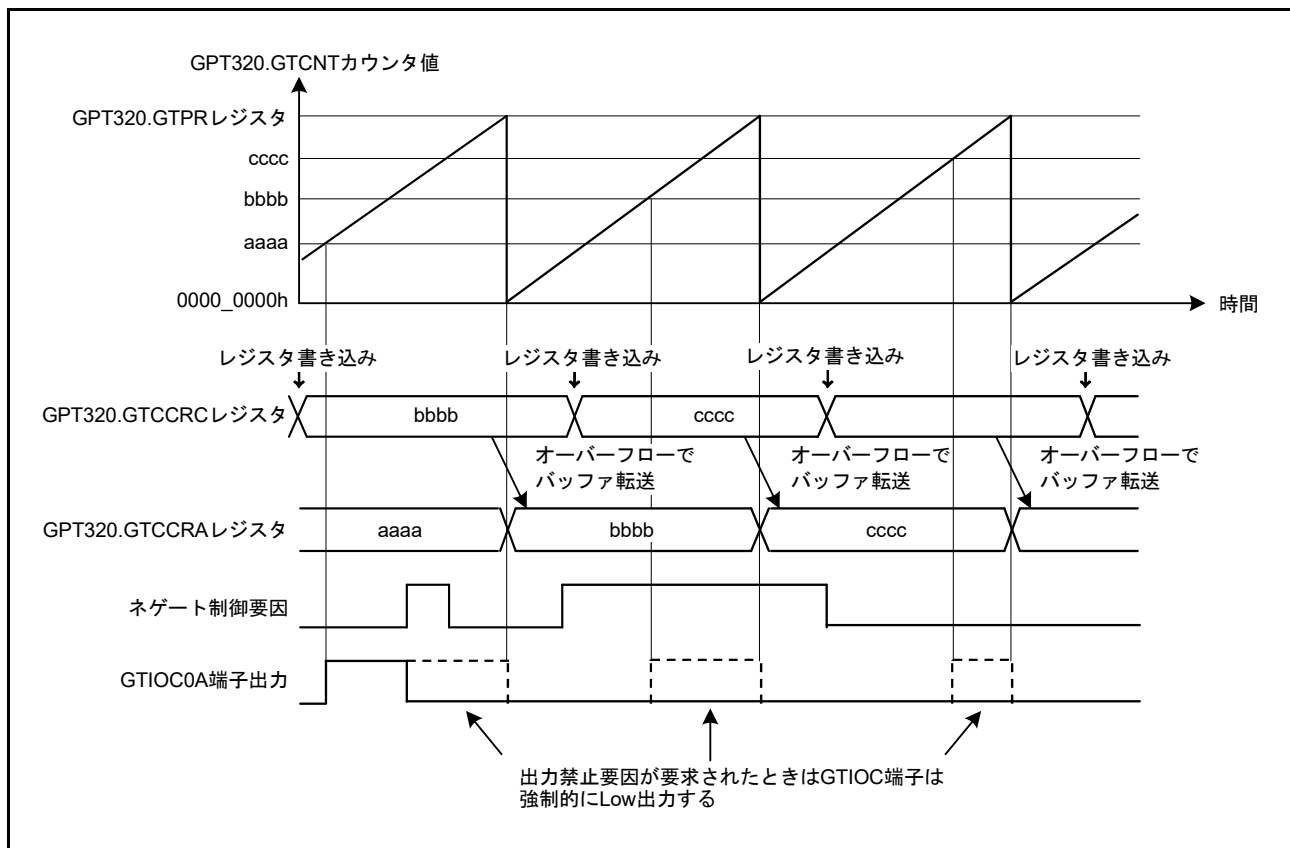


図 22.84 GTIOC 端子出力禁止制御動作例 (のこぎり波でアップカウント、バッファ動作、アクティブレベル 1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、出力禁止で Low 出力の場合)

22.8 出力端子の初期化方法

22.8.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。ポート端子機能を **PmnPFS** レジスタで選択し、**GTIOR.OAE** および **GTIOR.OBE** ビットを設定し、GPT 機能を外部端子に出力してから、カウントを開始してください。

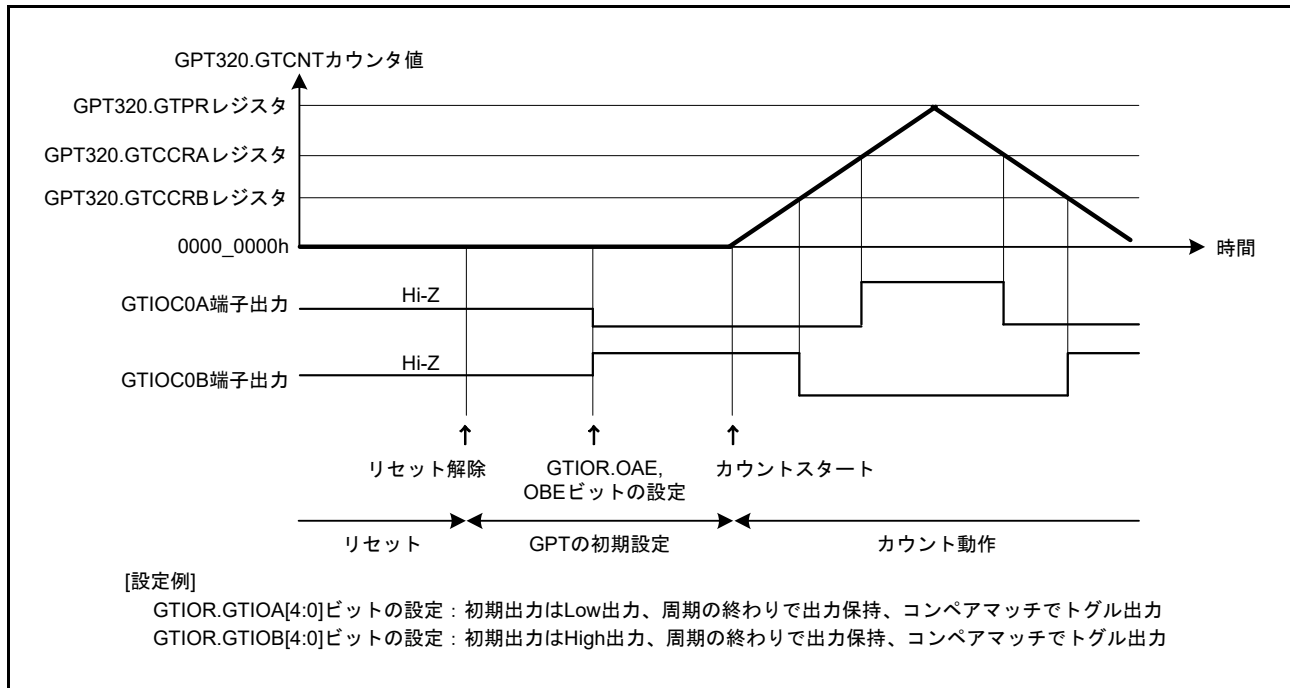


図 22.85 リセット後の端子設定例

22.8.2 動作中の異常による端子の初期化

GPT の動作中に異常が発生した場合、端子を初期化する前に、下記の 4 種類の端子処理を実行できます。

- GTIOR レジスタの **OAHLD** および **OBHLD** ビットを 1 にして、カウントストップ時の出力を保持する
- GTIOR レジスタの **OAHLD** および **OBHLD** ビットを 0 にするとともに、GTIOR レジスタの **OADFLT** および **OBDFLT** ビットに任意の出力値を設定して、カウントストップ時に任意の値を出力させる
- あらかじめ I/O ポートの **PDR**、**PODR**、**PmnPFS** レジスタを設定することにより、端子が汎用出力ポートとして任意の値を出力するように設定する。GTIOR レジスタの **OAE** および **OBE** ビットを 0 にするとともに、端子に対応した **PmnPFS.PMR** レジスタの制御ビットを 0 にして、エラー発生時に、汎用出力ポートとして設定した端子から任意の値が出力されるように設定する
- **POEG** 機能を使用して、出力をハイインピーダンス状態にする

デッドタイムの自動設定を行った場合は、カウントストップ後に **GTDTCR.TDE** ビットを 0 にしてください。カウントストップ時は、GPT の外部要因によって変更されたレジスタ値のみが変化します。カウントが再開すると、停止していた状態から動作が継続します。カウントを停止させた場合は、各レジスタを初期化してからカウントを再開してください。

22.9 使用上の注意事項

22.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) によって、GPT の動作を禁止または許可することが可能です。初期設定では、リセット後、GPT の動作は停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

22.9.2 コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A ~ F)

(1) 三角波 PWM モードでデッドタイムの自動設定を行う場合

GTCCRA レジスタは次の条件を満たす必要があります： $GTDVU < GTCCRA$ かつ $0 < GTCCRA < GTPR$

(2) 三角波 PWM モードでデッドタイムの自動設定を行わない場合

GTCCRA レジスタは、 $0 < GTCCRA < GTPR$ の範囲に収まるように設定する必要があります。GTCCRA = 0 または GTCCRA = GTPR に設定すると、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタも、 $0 < GTCCRB < GTPR$ の範囲に収まるように設定してください。GTCCRB = 0 または GTCCRB = GTPR に設定すると、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行う場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時： $GTCCRC < GTCCRD$ 、 $GTCCRC > GTDVU$ 、 $GTCCRD < (GTPR - GTDVU)$
- ダウンカウント時： $GTCCRC > GTCCRD$ 、 $GTCCRC < (GTPR - GTDVU)$ 、 $GTCCRD > GTDVU$

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行わない場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時： $0 < GTCCRC < GTCCRD < GTPR$
- ダウンカウント時： $GTPR > GTCCRC > GTCCRD > 0$

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時： $0 < GTCCRE < GTCCRF < GTPR$
- ダウンカウント時： $GTPR > GTCCRE > GTCCRF > 0$

(5) のこぎり波 PWM モードの場合

GTCCRA レジスタは、 $0 < GTCCRA < GTPR$ の範囲に収まるように設定する必要があります。GTCCRA = 0 または GTCCRA = GTPR に設定すると、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、 $0 < GTCCRB < GTPR$ の範囲に収まるように設定する必要があります。GTCCRB = 0 または GTCCRB = GTPR に設定すると、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

22.9.3 GTCNT カウンタの範囲設定

GTCNT カウンタレジスタは、 $0 \leq GTCNT \leq GTPR$ の範囲に収まるように設定する必要があります。

22.9.4 GTCNT カウンタのスタート/ストップ


GTCR.CST ビットによる GTCNT カウンタのスタート/ストップ制御タイミングは、GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期しています。GTCR.CST ビットを更新すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックに従って、GTCNT カウンタがスタート/ストップします。このため、GTCNT カウンタが実際にスタートする前に発生したイベントは無視されます。一方、GTCR.CST ビットが 0 になってからイベントが受け付けられたり、割り込みが発生したりする可能性があります。

22.9.5 イベントごとの優先順位

(1) GTCNT レジスタ

表 22.23 に、GTCNT レジスタを更新するイベントの優先順位を示します。

表 22.23 GTCNT を更新する要因の優先順位

GTCNT を更新する要因	優先順位
CPU による書き込み (GTCNT/GTCLR レジスタへの書き込み)	高  低
GTCSR レジスタで設定したハードウェア要因によるクリア	
GTUPSR/GTDNSR レジスタで設定したハードウェア要因によるカウントアップ/ダウン	
カウント動作	

ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。GTCNT レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(2) GTCR.CST ビット

GTSSR/GTPSR レジスタで設定したハードウェア要因によるスタート/ストップと CPU による書き込み (GTCR/GTSTR/GTSTP レジスタへの書き込み) の間で競合があると、CPU による書き込みが優先されます。

GTSSR レジスタで設定したハードウェア要因によるスタートと GTPSR レジスタに設定したハードウェア要因によるストップの間で競合があると、GTCR.CST ビット値は変化しません。GTCR.CST ビットの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(3) GTCCRn レジスタ (n = A ~ F)

インプットキャプチャ/バッファ転送動作と GTCCRn レジスタへの書き込みの間で競合があると、GTCCRn レジスタへの書き込みが優先されます。インプットキャプチャと CPU によるカウンタレジスタへの書き込みまたはハードウェア要因によるカウンタレジスタの更新の間で競合があると、更新前のカウンタ値がキャプチャされます。GTCCRn レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(4) GTPR レジスタ

バッファ転送動作と GTPR レジスタへの書き込みの間で競合があると、GTPR レジスタへの書き込みが優先されます。GTPR レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

23. 低消費電力非同期汎用タイマ (AGT)

23.1 概要

低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 16 ビットのタイマです。

この 16 ビットタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。

表 23.1 に AGT の仕様を、図 23.1 にブロック図を、表 23.2 に端子構成を示します。

表 23.1 AGTの仕様

項目		内容
動作モード	タイマモード	カウントソースをカウント
	パルス出力モード	タイマがアンダーフローするごとにカウントソースをカウントし、出力を反転
	イベントカウンタモード	外部イベントをカウント
	パルス幅測定モード	外部パルス幅を測定
	パルス周期測定モード	外部パルス周期を測定
カウントソース (動作クロック) (注2)		PCLKB、PCLKB/2、PCLKB/8、AGTLCLK/d、AGTSCLK/d、または AGT0 (注1) のアンダーフロー信号を選択可能 (d = 1、2、4、8、16、32、64、または 128)
割り込み/イベントリンク機能 (出力)		<ul style="list-style-type: none"> • アンダーフローイベント信号または測定完了イベント信号 <ul style="list-style-type: none"> - カウンタのアンダーフロー時 - パルス幅測定モードで、外部入力 (AGTIOn) のアクティブ幅の測定が終了したとき - パルス周期測定モードで、外部入力 (AGTIOn) の設定エッジが入力されたとき • コンペアマッチ A イベント信号 <ul style="list-style-type: none"> - AGT と AGTCMA の値が一致したとき (コンペアマッチ A 機能有効時) • コンペアマッチ B イベント信号 <ul style="list-style-type: none"> - AGT と AGTCMB の値が一致したとき (コンペアマッチ B 機能有効時) • AGT1_AGTI、AGT1_AGTCMAI、または AGT1_AGTCMBI による、ソフトウェアスタンバイモードからの復帰が可能
選択可能な機能		<ul style="list-style-type: none"> • コンペアマッチ機能 コンペアマッチ A レジスタおよびコンペアマッチ B レジスタの両方または一方を選択可能

注 1. AGT0 では使用できません。AGT1 が、AGT0 タイマからのアンダーフローイベント信号に直接接続します。

注 2. 周辺モジュールクロック (PCLKB) 周波数 \geq カウントソースクロック周波数となるように設定してください。

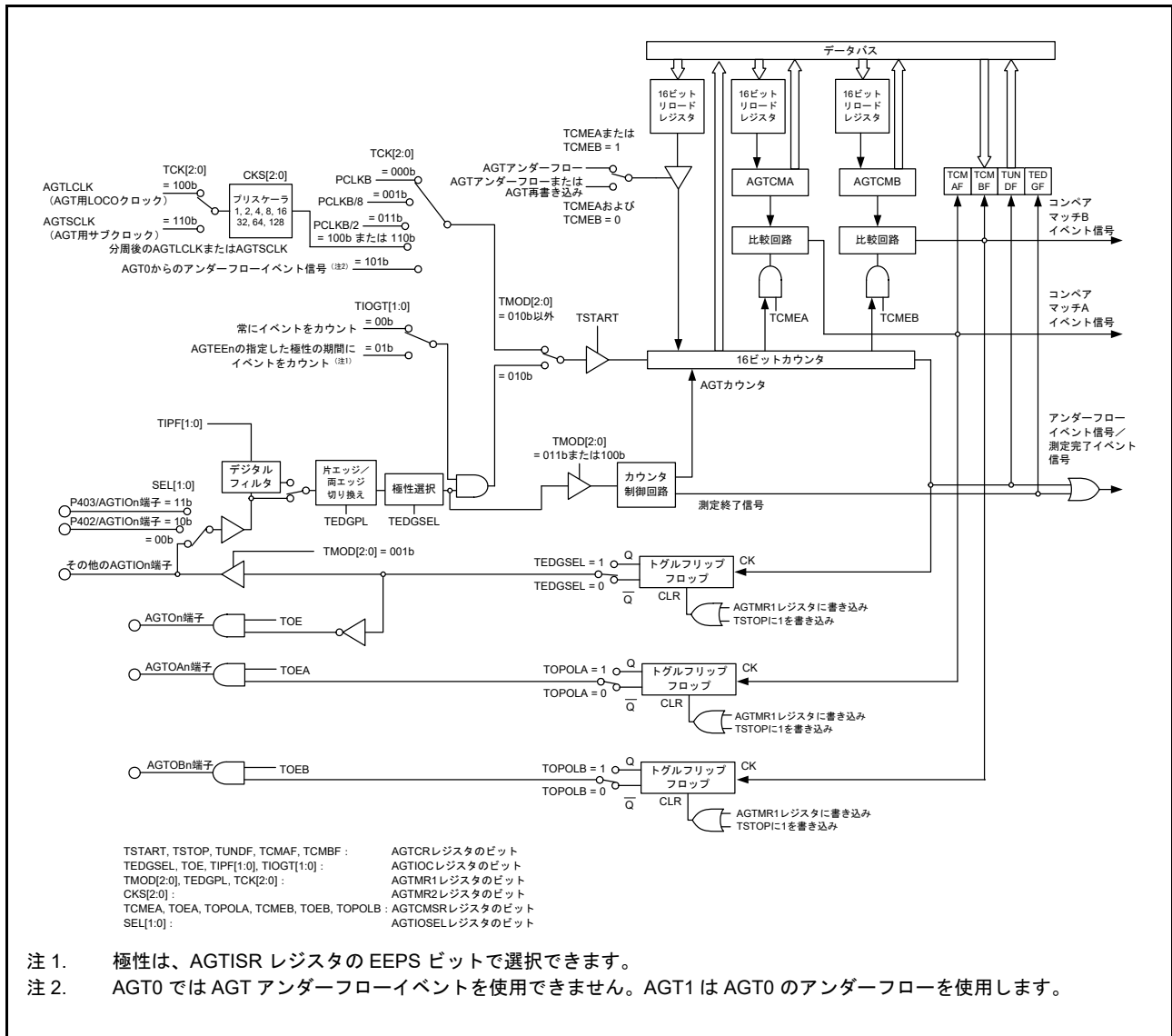


図 23.1 AGT のブロック図

表 23.2 AGT の入出力端子

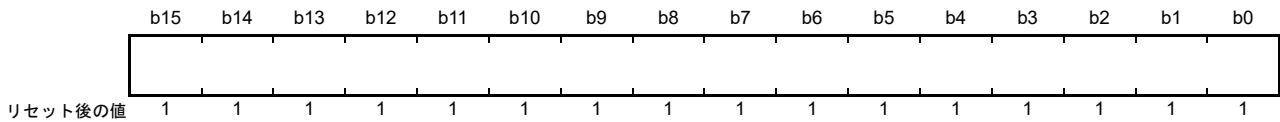
端子名	入出力	機能
AGTEEn	入力	AGT の外部イベント入力
AGTIO _n (注1)	入出力 (注1)	AGT の外部イベント入力およびパルス出力
AGTOn	出力	AGT のパルス出力
AGTOAn	出力	AGT のアウトプットコンペアマッチA出力
AGTOBn	出力	AGT のアウトプットコンペアマッチB出力

注. n : 0, 1 (チャネル番号)
 注 1. AGTIO_n が P403 および P402 に割り当てられている場合、P402 および P403 は入力にのみ使用できます。

23.2 レジスタの説明

23.2.1 AGT カウンタレジスタ (AGT)

アドレス [AGT0.AGT 4008 4000h](#), [AGT1.AGT 4008 4100h](#)



ビット	機能	設定範囲	R/W
b15-b0	16ビットのカウンタおよびリロードレジスタ (注1) (注2)	0000h~FFFFh	R/W

- 注1. AGTCR レジスタの TSTOP ビットに 1 を書き込むと、この 16 ビットカウンタは強制的に停止して、FFFFh になります。
- 注2. AGTMR1 レジスタの TCK[2:0] ビットの設定値が 001b (PCLKB/8) または 011b (PCLKB/2) 以外の場合、AGT レジスタが 0000h になると、ICU、DTC、および ELC への要求信号が、カウント開始直後に一度発生します。AGTOn および AGTIOh はトグル出力となります。
- イベントカウンタモードで AGT レジスタが 0000h になると、TCK[2:0] ビットの値にかかわらず、ICU、DTC、および ELC への要求信号が、カウント開始直後に一度発生します。
- また、指定したカウント期間以外の期間も AGTOn はトグル出力となります。AGT レジスタが 0001h 以上になると、AGT がアンダーフローするたびに要求信号が発生します。

AGT は 16 ビットのレジスタです。書き込み値はリロードレジスタに書き込まれ、読み出し値はカウンタから読み出されます。

リロードレジスタとカウンタの状態は、AGTCR レジスタの TSTART ビットと AGTCMSR レジスタの TCMEA/TCMEB ビットに応じて変化します。詳細は、[23.3.1 リロードレジスタおよびカウンタの書き換え動作](#)を参照してください。AGT レジスタは、16 ビットのメモリ操作命令によって設定できます。

23.2.2 AGT コンペアマッチ A レジスタ (AGTCMA)

アドレス [AGT0.AGTCMA 4008 4002h](#), [AGT1.AGTCMA 4008 4102h](#)



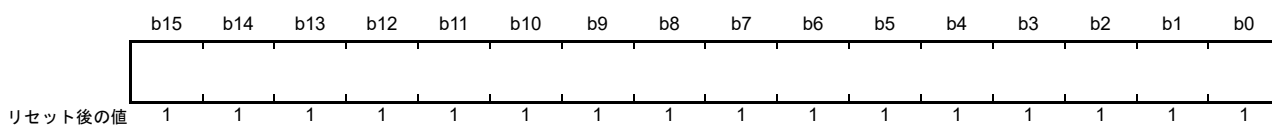
ビット	機能	設定範囲	R/W
b15-b0	16ビットのコンペアマッチAデータを格納 (注1)	0000h~FFFFh	R/W

- 注1. コンペアマッチ A を使用しない場合、AGTCMA レジスタは FFFFh にしてください。

AGTCMA レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し/書き込みレジスタです。リロードレジスタとコンペアレジスタ A の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は、[23.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作](#)を参照してください。AGTCMA レジスタは、16 ビットのメモリ操作命令によって設定できます。

23.2.3 AGT コンペアマッチ B レジスタ (AGTCMB)

アドレス AGT0.AGTCMB 4008 4004h, AGT1.AGTCMB 4008 4104h



ビット	機能	設定範囲	R/W
b15-b0	16ビットのコンペアマッチBデータを格納(注1)	0000h~FFFFh	R/W

注1. コンペアマッチ B を使用しない場合、AGTCMB レジスタは FFFFh にしてください。

AGTCMB レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し/書き込み可能なレジスタです。リロードレジスタとコンペアレジスタ B の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は、[23.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作](#)を参照してください。AGTCMB レジスタは、16 ビットのメモリ操作命令によって設定できます。

23.2.4 AGT コントロールレジスタ (AGTCR)

アドレス AGT0.AGTCR 4008 4008h, AGT1.AGTCR 4008 4108h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCMBF	TCMAF	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	AGT カウント開始 (注2)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	AGT カウント状態フラグ (注2)	0: カウント停止 1: カウント実行中	R
b2	TSTOP	AGT カウント強制停止 (注1)	0: 書き込みは無効 1: 強制的にカウント停止	W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TEDGF	アクティブエッジ判定フラグ	0: アクティブエッジ未受信 1: アクティブエッジ受信	R/(W) (注3)
b5	TUNDF	アンダーフローフラグ	0: アンダーフローなし 1: アンダーフローあり	R/(W) (注3)
b6	TCMAF	コンペアマッチAフラグ	0: 不一致 1: 一致	R/(W) (注3)
b7	TCMBF	コンペアマッチBフラグ	0: 不一致 1: 一致	R/(W) (注3)

- 注1. TSTOP ビットに1 (強制的にカウント停止) を書き込むと、TSTART および TCSTF ビットが同時に初期化されます。パルス出力レベルも初期化されます。読むと0が読めます。
- 注2. TSTART および TCSTF ビットの使用方法については、[23.4.1 カウント動作の開始および停止制御](#)を参照してください。
- 注3. フラグをクリアするための0の書き込みのみ可能です。

TSTART ビット (AGT カウント開始)

TSTART ビットに1を書き込むとカウント動作が開始し、0を書き込むとカウント動作が停止します。本ビットを1にすると、カウントソースと同期して、TCSTF ビットが1 (カウント実行中) になります。また、TSTART ビットに0を書き込むと、カウントソースと同期して、TCSTF ビットが0 (カウント停止) になります。詳細は、[23.4.1 カウント動作の開始および停止制御](#)を参照してください。

TCSTF フラグ (AGT カウント状態フラグ)

[1になる条件]

- TSTART ビットに1を書いたとき (カウントソースと同期して、TCSTF フラグが1になる)

[0になる条件]

- TSTART ビットに0を書いたとき (カウントソースと同期して、TCSTF フラグが0になる)
- TSTOP ビットに1を書いたとき

TSTOP ビット (AGT カウント強制停止)

本ビットに1を書くと、強制的にカウントが停止します。読むと0が読めます。

TEDGF フラグ (アクティブエッジ判定フラグ)

アクティブエッジが検出されたことを示します。

[1 になる条件]

- パルス幅測定モードで、外部入力 (AGTIO_n) のアクティブ幅の測定が終了したとき
- パルス周期測定モードで、外部入力 (AGTIO_n) の設定エッジが入力されたとき

[0 になる条件]

- ソフトウェアで 0 を書いたとき

TUNDF フラグ (アンダーフローフラグ)

カウンタがアンダーフローしたことを示します。

[1 になる条件]

- カウンタがアンダーフローしたとき

[0 になる条件]

- ソフトウェアで 0 を書いたとき

TCMAF フラグ (コンペアマッチ A フラグ)

コンペアマッチ A が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMA レジスタ値と一致したとき

[0 になる条件]

- ソフトウェアで 0 を書いたとき

TCMBF フラグ (コンペアマッチ B フラグ)

コンペアマッチ B が検出されたことを示します。

[1 になる条件]

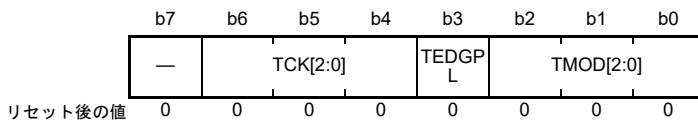
- AGT レジスタ値が AGTCMB レジスタ値と一致したとき

[0 になる条件]

- ソフトウェアで 0 を書いたとき

23.2.5 AGT モードレジスタ 1 (AGTMR1)

アドレス AGT0.AGTMR1 4008 4009h, AGT1.AGTMR1 4008 4109h

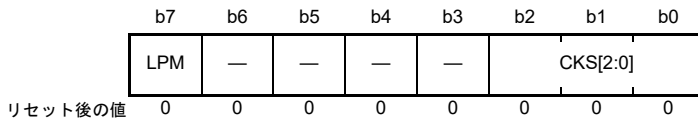


ビット	シンボル	ビット名	機能	R/W
b2-b0	TMOD[2:0]	動作モード (注3)	b2 b0 0 0 0: タイマモード 0 0 1: パルス出力モード 0 1 0: イベントカウンタモード 0 1 1: パルス幅測定モード 1 0 0: パルス周期測定モード 上記以外は設定しないでください。	R/W
b3	TEDGPL	エッジ極性 (注4)	0: 片エッジ 1: 両エッジ	R/W
b6-b4	TCK[2:0]	カウントソース (注1) (注2) (注5)	b6 b4 0 0 0: PCLKB 0 0 1: PCLKB/8 0 1 1: PCLKB/2 1 0 0: AGTR2 レジスタの CKS[2:0] ビットで設定した分周クロック AGTLCLK 1 0 1: AGT0 からのアンダーフローイベント信号 (注6) 1 1 0: AGTR2 レジスタの CKS[2:0] ビットで設定した分周クロック AGTSCLK 上記以外は設定しないでください。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注. AGTMR1 レジスタへライトアクセスすると、AGT の AGTOn、AGTIO_n、AGTOAn、および AGTOB_n 端子 (n = 0, 1) からの出力が初期化されます。初期化時の出力レベルについては、23.2.7 AGT I/O コントロールレジスタ (AGTIOC) の説明を参照してください。
- 注 1. イベントカウンタモードを選択した場合、TCK[2:0] ビットの設定にかかわらず、カウントソースとして外部入力 (AGTIO_n) が選択されます。
- 注 2. カウント動作中は、カウントソースを切り替えないでください。カウントソースは、AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ切り替えてください。
- 注 3. AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の状態で、カウントが停止している場合にのみ、動作モードを変更できます。カウント動作中は、動作モードを変更しないでください。
- 注 4. TEDGPL ビットは、イベントカウンタモードでのみ有効です。
- 注 5. AGT をソフトウェアスタンバイモードまたはスヌーズモードで動作させるには、AGTLCLK または AGTSCLK を選択してください。
- 注 6. AGT0 では使用できません (設定禁止)。AGT1 が、AGT0 のアンダーフローを使用します。

23.2.6 AGT モードレジスタ 2 (AGTMR2)

アドレス AGT0.AGTMR2 4008 400Ah, AGT1.AGTMR2 4008 410Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	AGTLCLK/AGTSCCLK カウントソース クロック周波数分周比 (注1) (注2) (注3)	b2 b0 0 0 0: 1/1 0 0 1: 1/2 0 1 0: 1/4 0 1 1: 1/8 1 0 0: 1/16 1 0 1: 1/32 1 1 0: 1/64 1 1 1: 1/128	R/W
b6-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	LPM	低消費電力モード	0: 通常モード 1: 低消費電力モード	R/W

- 注 1. カウント動作中は、CKS[2:0] ビットを書き換えしないでください。AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ、CKS[2:0] を書き換えてください。
- 注 2. カウントソースが AGTLCLK または AGTSCCLK の場合に、CKS[2:0] の切り替えが有効となります。
- 注 3. CKS[2:0] ビットが 000b 以外の場合は、AGTMR1 レジスタの TCK[2:0] ビットを切り替えしないでください。CKS[2:0] を 000b にした後、AGTMR1 レジスタの TCK[2:0] ビットを切り替えて、カウントソースの 1 サイクル待機してください。

LPM ビット (低消費電力モード)

低消費電力モードに設定します。これによって、特定の AGT レジスタへのアクセスに影響が及びます。低消費電力で動作させるには本ビットを 1 にしてください。本ビットが 1 の場合、下記のレジスタへはアクセスしないでください。

- AGT/AGTCMA/AGTCMB/AGTCR

本ビットを 1 から 0 に切り替えた後は、最初のレジスタアクセスが以下のように制限されます

- AGT: レジスタを 2 回読む必要があります。2 回目の読み出しデータのみが有効です
- AGT、AGTCMA、AGTCMB、および AGTCR: レジスタに書き込む場合、カウントソースクロックで 2 サイクル以上の余裕が必要です

23.2.7 AGT I/O コントロールレジスタ (AGTIOC)

アドレス AGT0.AGTIOC 4008 400Ch, AGT1.AGTIOC 4008 410Ch

b7	b6	b5	b4	b3	b2	b1	b0
TIOGT[1:0]	TIPF[1:0]	—	TOE	—	TEDGSEL		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	I/O 極性切り替え	動作モードによって機能が異なります (表 23.3 および表 23.4 参照)。TEDGSEL ビットは、AGTOn の出力極性、および AGTIO n の入出力エッジと極性を切り替えます。パルス出力モードでは、AGTOn の出力極性と AGTIO n の出力極性のみが制御されます。AGTMR1 レジスタに書き込みを行った場合、または AGTCR レジスタの TSTOP ビットに 1 を書いた場合、AGTOn 出力と AGTIO n 出力が初期化されます。	R/W
b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b2	TOE	AGTOn 出力許可	0 : AGTOn 出力を禁止 1 : AGTOn 出力を許可	R/W
b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b5-b4	TIPF[1:0]	入力フィルタ (注3)	b5 b4 0 0 : フィルタなし 0 1 : PCLKB でのフィルタサンプリング 1 0 : PCLKB/8 でのフィルタサンプリング 1 1 : PCLKB/32 でのフィルタサンプリング これらのビットは、AGTIO n 入力用フィルタのサンプリング周波数を指定します。AGTIO n 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。	R/W
b7-b6	TIOGT[1:0]	カウント制御 (注1) (注2)	b7 b6 0 0 : 常にイベントをカウントする 0 1 : AGTEEn に指定された極性期間の間、イベントをカウントする 上記以外は設定しないでください。	R/W

注 1. AGTEEn を使用する場合、イベントをカウントするための極性は AGTISR レジスタの EEPS ビットで選択できます。

注 2. TIOGT[1:0] ビットは、イベントカウンタモード時に限り有効です。

注 3. ソフトウェアスタンバイモード中にイベントカウンタモード動作が実行される場合、デジタルフィルタ機能は使用できません。

表 23.3 AGTIO n の入出力エッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない
パルス出力モード	0 : High で出力開始 (初期レベル : High) 1 : Low で出力開始 (初期レベル : Low)
イベントカウンタモード	0 : 立ち上がりエッジでカウント 1 : 立ち下がりエッジでカウント
パルス幅測定モード	0 : Low レベル幅を測定 1 : High レベル幅を測定
パルス周期測定モード	0 : ある立ち上がりエッジから次の立ち上がりエッジまで測定 1 : ある立ち下がりエッジから次の立ち下がりエッジまで測定

表 23.4 AGTOn の出力極性切り替え

動作モード	機能
全モード	0 : Low で出力開始 (初期レベル : Low) 1 : High で出力開始 (初期レベル : High)

23.2.8 AGT イベント端子選択レジスタ (AGTISR)

アドレス AGT0.AGTISR 4008 400Dh, AGT1.AGTISR 4008 410Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	EEPS	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	EEPS	AGTEEn極性選択	0 : Lowの期間、イベントをカウントする 1 : Highの期間、イベントをカウントする	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

23.2.9 AGT コンペアマッチ機能選択レジスタ (AGTCMSR)

アドレス AGT0.AGTCMSR 4008 400Eh, AGT1.AGTCMSR 4008 410Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	TOPOL B	TOEB	TCMEB	—	TOPOL A	TOEA	TCMEA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCMEA	コンペアマッチAレジスタ有効 (注1) (注2)	0 : コンペアマッチAレジスタは無効 1 : コンペアマッチAレジスタは有効	R/W
b1	TOEA	AGTOAn出力許可 (注1) (注2)	0 : AGTOAn出力を禁止 1 : AGTOAn出力を許可	R/W
b2	TOPOLA	AGTOAn極性選択 (注1) (注2)	0 : AGTOAn出力をLowで開始 1 : AGTOAn出力をHighで開始	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TCMEB	コンペアマッチBレジスタ有効 (注1) (注2)	0 : コンペアマッチBレジスタは無効 1 : コンペアマッチBレジスタは有効	R/W
b5	TOEB	AGTOBn出力許可 (注1) (注2)	0 : AGTOBn出力を禁止 1 : AGTOBn出力を許可	R/W
b6	TOPOLB	AGTOBn極性選択 (注1) (注2)	0 : AGTOBn出力をLowで開始 1 : AGTOBn出力をHighで開始	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. カウント動作中は、AGTCMSR レジスタを書き換えないでください。AGTCMSR レジスタは、AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ書き換えてください。

注 2. パルス幅測定モードまたはパルス周期測定モード時は、1 にしないでください。

23.2.10 AGT 端子選択レジスタ (AGTIOSEL)

アドレス AGT0.AGTIOSEL 4008 400Fh, AGT1.AGTIOSEL 4008 410Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	TIES	—	—	SEL[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SEL[1:0]	AGTIOn端子選択(注1)	b1 b0 0 0: 下記端子以外はAGTIOnを選択 0 1: 設定禁止 1 0: P402/AGTIOnを選択 P402/AGTIOnは入力専用です。出力することはできません。 1 1: P403/AGTIOnを選択 P403/AGTIOnは入力専用です。出力することはできません。	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TIES	AGTIOn入力許可	0: ソフトウェアスタンバイモード中、外部イベント入力を禁止 1: ソフトウェアスタンバイモード中、外部イベント入力を許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 端子機能選択レジスタを設定する必要があります。「19. I/Oポート」を参照してください。

AGTIOSEL レジスタは、ソフトウェアスタンバイモード時に AGTIOn を使用する場合、AGTIOn 端子を設定するためのレジスタです。AGTIOSEL レジスタは、8 ビットのメモリ操作命令によって設定できます。

SEL[1:0] ビット (AGTIOn 端子選択)

AGTIOn 端子の機能を選択します。

TIES ビット (AGTIOn 入力許可)

外部イベント入力を許可または禁止します。

23.3 動作説明

23.3.1 リロードレジスタおよびカウンタの書き換え動作

動作モードにかかわらず、リロードレジスタとカウンタへの書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値、および AGTCMSR レジスタの TCMEA または TCMEB ビット値によって異なります。TSTART ビットが 0 (カウント停止) の場合、カウント値がリロードレジスタとカウンタに直接書き込まれます。TSTART ビットが 1 (カウント開始) で、かつ TCMEA および TCMEB ビットが 0 (コンペアマッチ A/B レジスタが無効) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、次のカウントソースと同期してカウンタに書き込まれます。TSTART ビットが 1 (カウント開始) で、かつ TCMEA または TCMEB ビットが 1 (コンペアマッチ A/B レジスタが有効) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してカウンタに書き込まれます。

TSTART ビット値と TCMEA または TCMEB ビット値による書き換え動作のタイミングを図 23.2 および図 23.3 に示します。

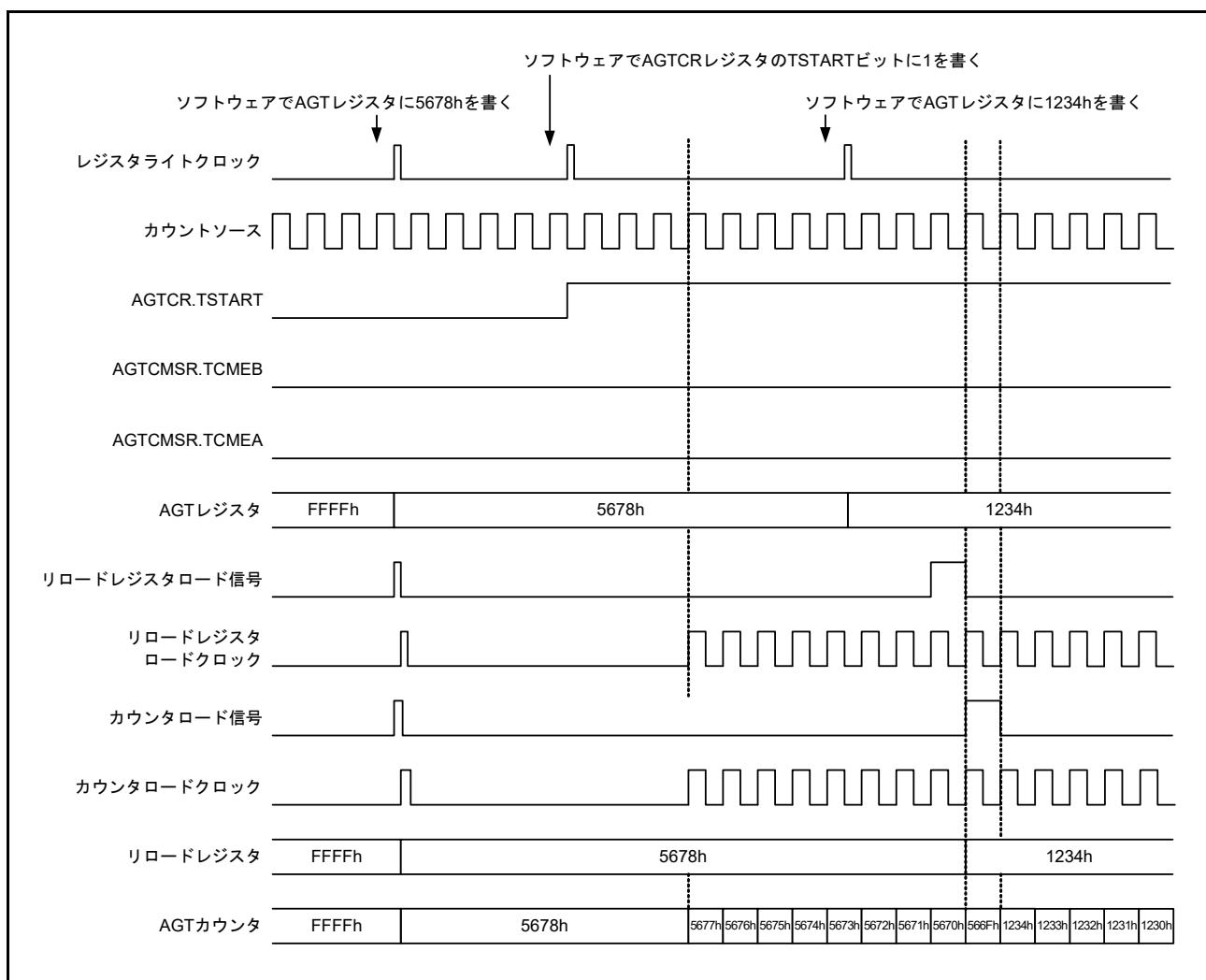


図 23.2 TSTART ビット値および TCMEA または TCMEB ビット値による書き換え動作のタイミング (コンペアマッチ A レジスタおよびコンペアマッチ B レジスタが無効の場合)

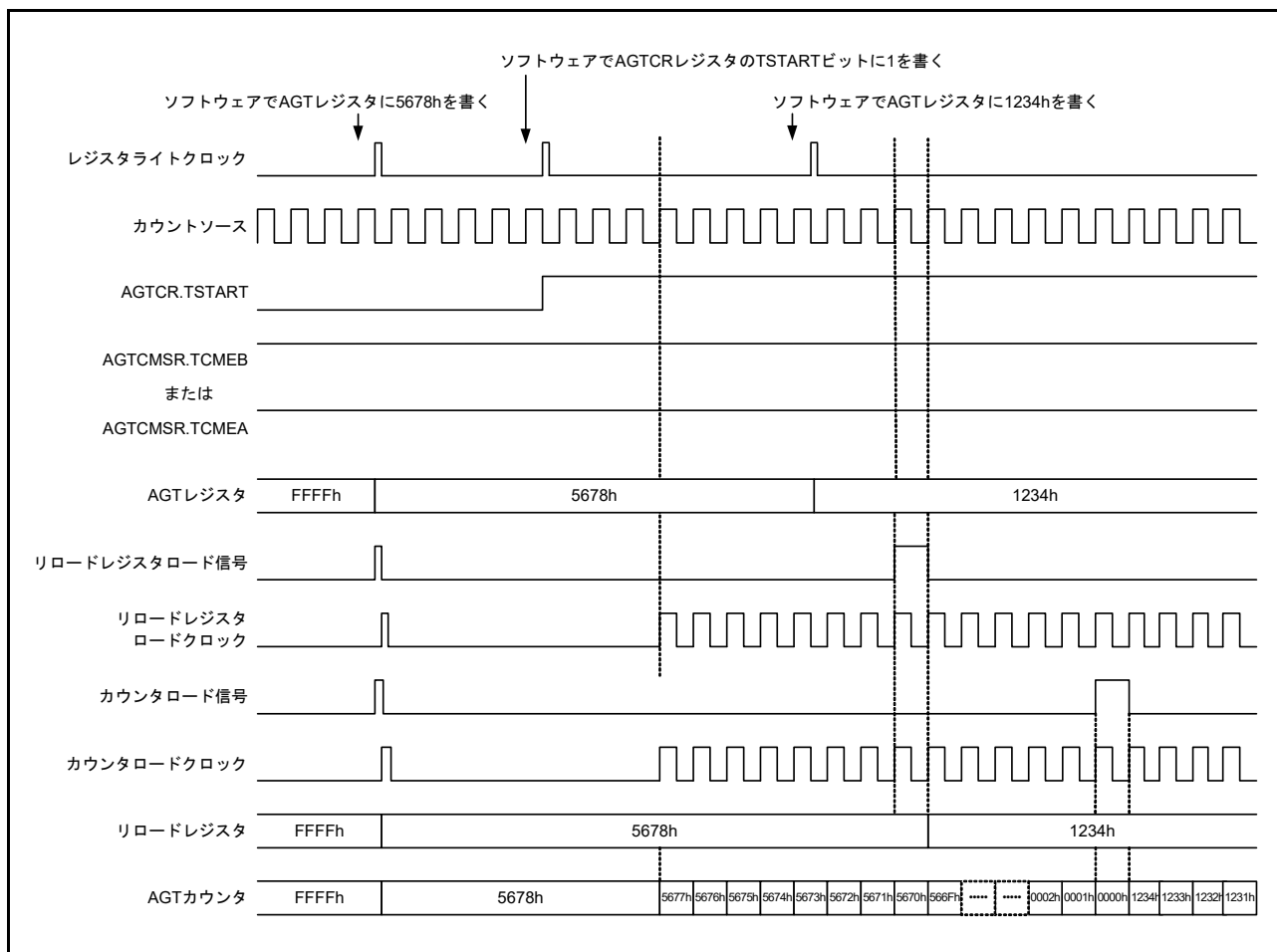


図 23.3 TSTART ビット値および TCMEA または TCMEB ビット値による書き換え動作のタイミング (コンペアマッチ A レジスタまたはコンペアマッチ B レジスタが有効の場合)

23.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作

動作モードにかかわらず、コンペアレジスタ A/B への書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値によって異なります。TSTART ビットが 0 (カウント停止) の場合、カウント値がリロードレジスタとコンペアレジスタ A/B に直接書き込まれます。TSTART ビットが 1 (カウント開始) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してコンペアレジスタに書き込まれます。

TSTART ビット値によるコンペアレジスタ A への書き換え動作のタイミングを図 23.4 に示します。コンペアレジスタ B の場合もコンペアレジスタ A と同じです。

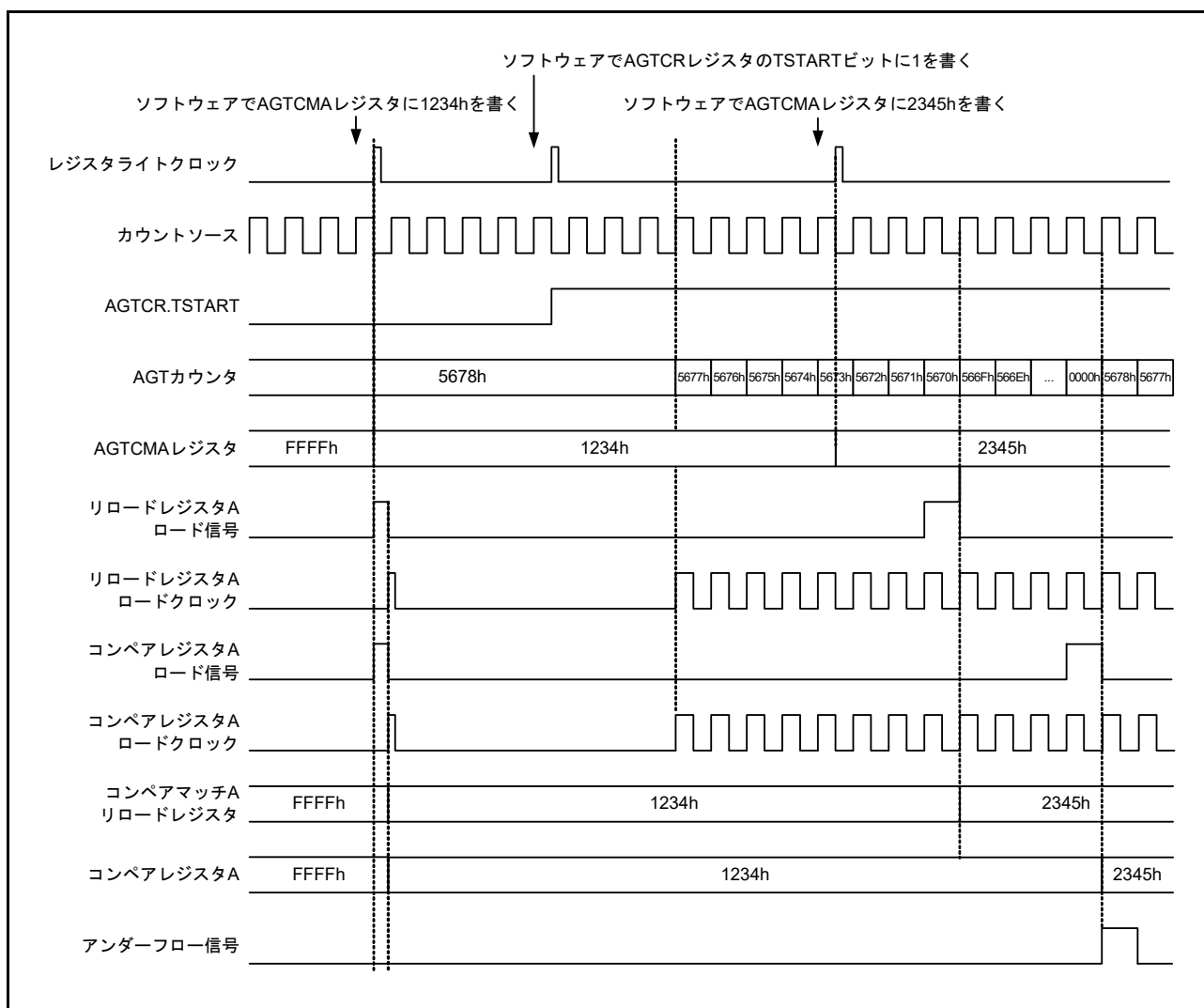


図 23.4 コンペアレジスタ A の TSTART ビット値による書き換え動作のタイミング

23.3.3 タイマモード

このモードでは、AGT カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。タイマモードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0000h に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。

タイマモードでの動作例を図 23.5 に示します。

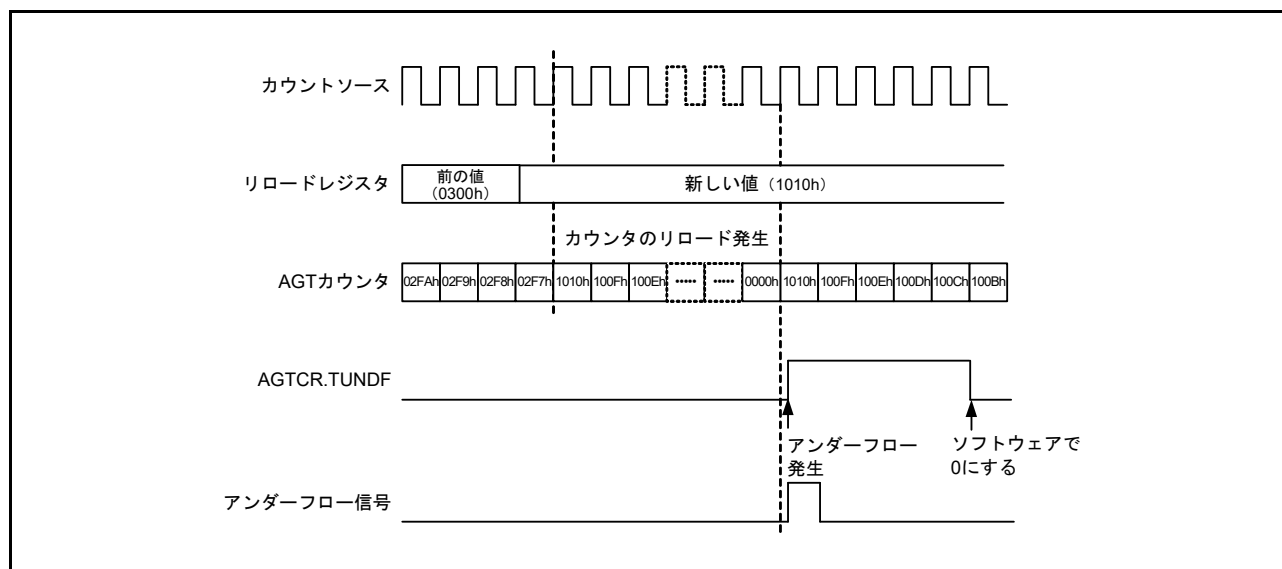


図 23.5 タイマモードでの動作例

23.3.4 パルス出力モード

このモードでは、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントし、アンダーフローが発生するたびに AGTIO_n および AGTO_n 端子の出力レベルは反転します。

パルス出力モードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0000h に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。さらに、AGTIO_n および AGTO_n 端子からパルスを出力できます。その出力レベルは、アンダーフローが発生するたびに反転します。AGTO_n 端子からのパルス出力は、AGTIOC レジスタの TOE ビットで停止できます。出力レベルは、AGTIOC レジスタの TEDGSEL ビットで選択できます。

パルス出力モードでの動作例を [図 23.6](#) に示します。

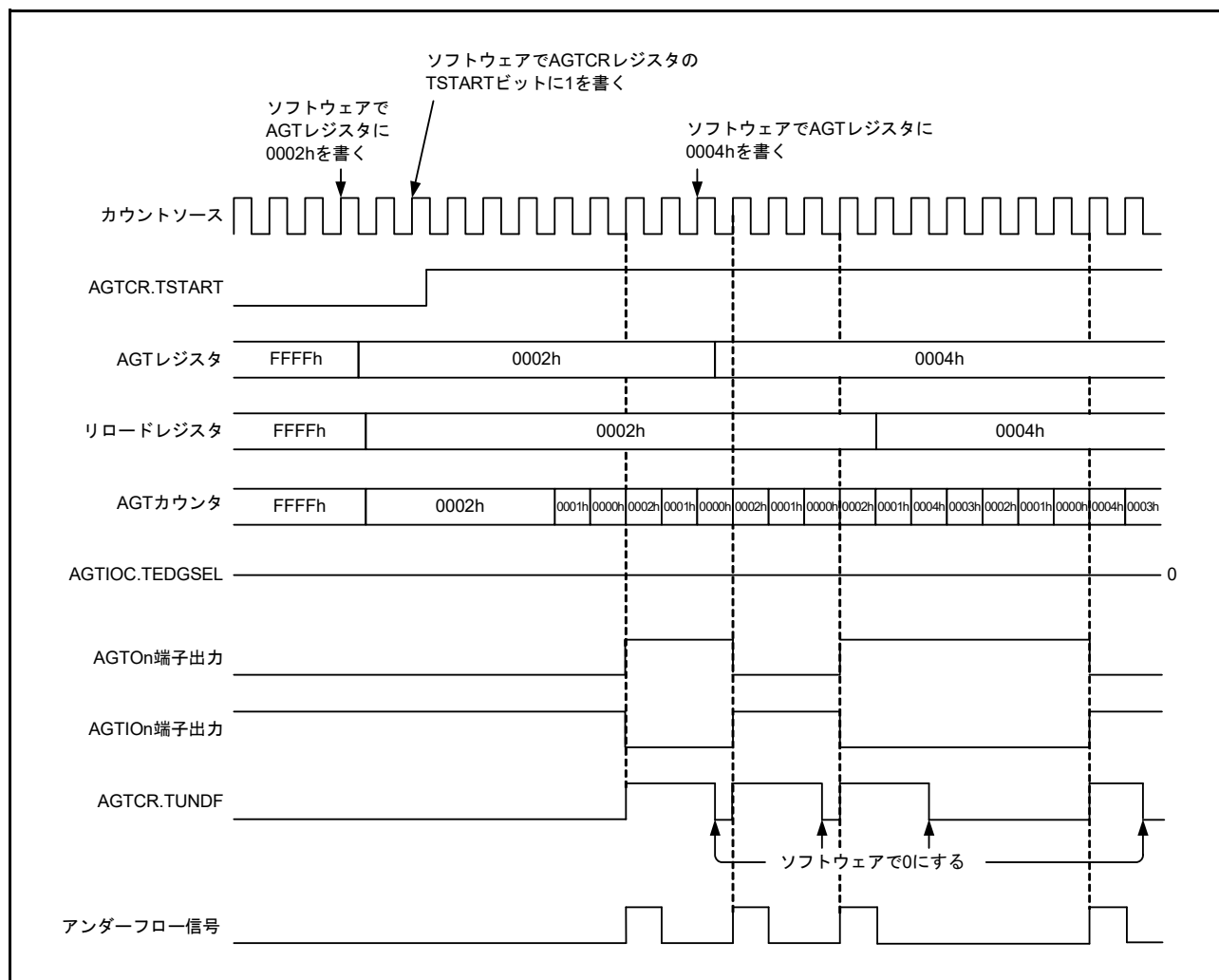


図 23.6 パルス出力モードでの動作例

23.3.5 イベントカウンタモード

このモードでは、カウンタは AGTIO_n 端子への外部イベント信号入力によってデクリメントします。イベントをカウントする期間は、AGTIOC レジスタの TIOGT[1:0] ビットと AGTISR レジスタによってさまざまな設定が可能です。さらに、AGTIOC レジスタの TIPF[1:0] ビットによって、AGTIO_n 入力用のフィルタ機能を指定できます。イベントカウンタモードでも、AGTIO_n 端子からトグル出力が可能です。

イベントカウンタモードでの動作例を図 23.7 に示します。

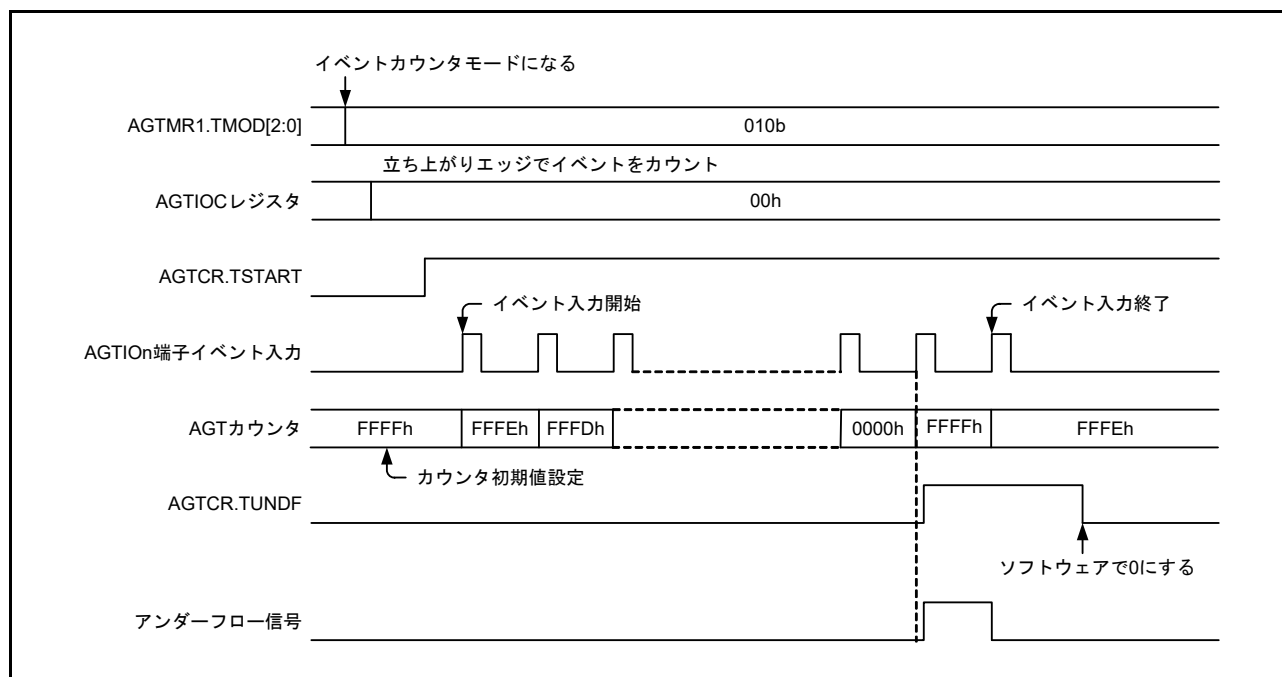


図 23.7 イベントカウンタモードでの動作例 1

イベントカウンタモード時に、指定された期間にイベントがカウントされるように (AGTIOC レジスタの TIOGT[1:0] ビットを 01b に設定) した場合の動作例を図 23.8 に示します。

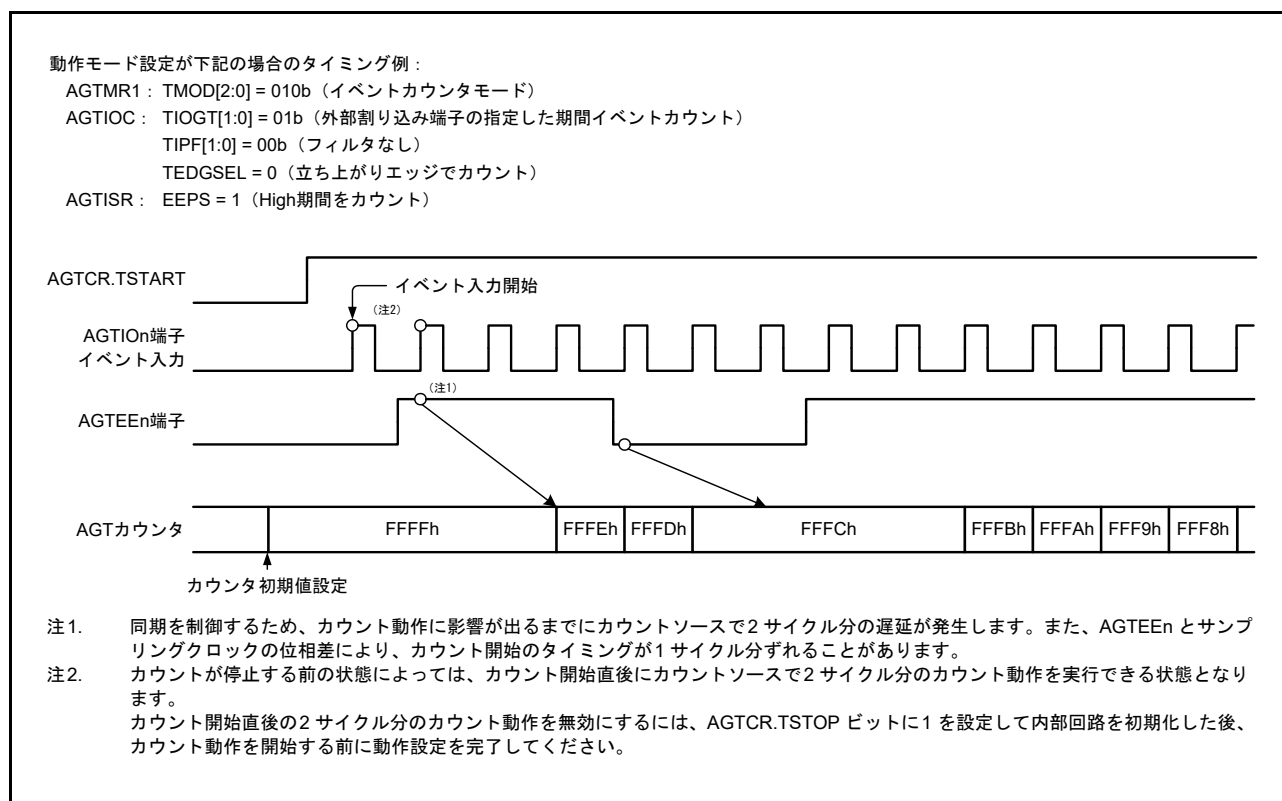


図 23.8 イベントカウンタモードでの動作例 2

23.3.6 パルス幅測定モード

このモードでは、AGTIO_n 端子に入力される外部信号のパルス幅を測定します。

AGTIOC レジスタの TEDGSEL ビットで指定したレベルが AGTIO_n 端子に入力されると、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。指定した AGTIO_n 端子レベルが終了すると、カウンタは停止して、AGTCR レジスタの TEDGF ビットが 1 (アクティブエッジ受信) になり、割り込み要求が発生します。カウンタの停止中にカウント値を読み込むことで、パルス幅データが測定されます。また、測定中にカウンタがアンダーフローすると、AGTCR レジスタの TUNDF ビットが 1 になり、割り込み要求が発生します。

パルス幅測定モードでの動作例を図 23.9 に示します。

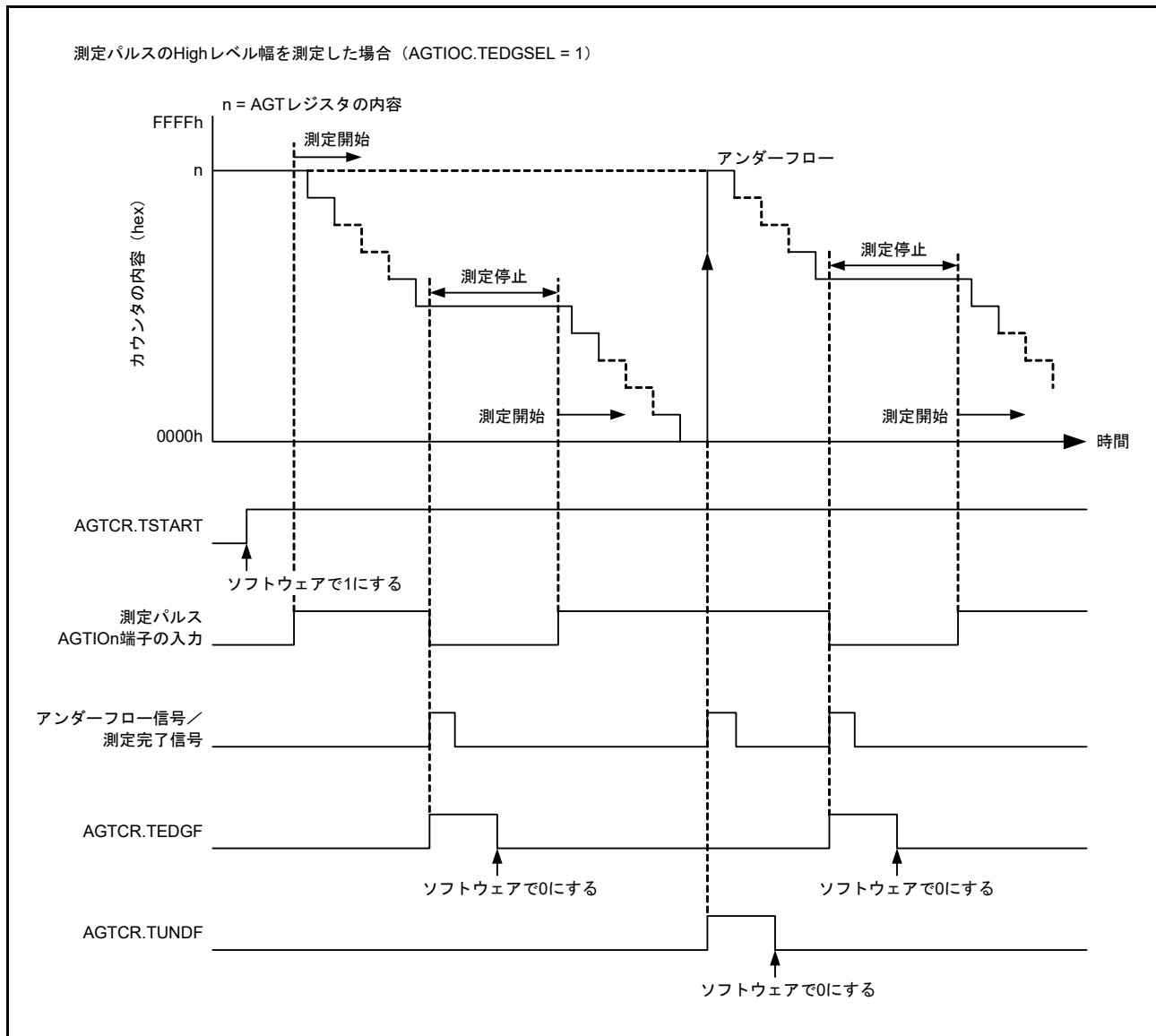


図 23.9 パルス幅測定モードでの動作例

23.3.7 パルス周期測定モード

このモードでは、AGTIO_n 端子に入力される外部信号のパルス周期を測定します。カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGTIOC レジスタの TEDGSEL ビットで指定した周期のパルスが AGTIO_n 端子に入力されると、カウント値が、カウントソースの立ち上がりエッジで読み出しバッファに転送されます。リロードレジスタの値は、次の立ち上がりエッジでカウンタにロードされます。同時に、AGTCR レジスタの TEDGF ビットが 1 (アクティブエッジ受信) になり、割り込み要求が発生します。この時点で読み出しバッファ (AGT レジスタ) が読み出され、リロード値 (23.4.5 イベント番号、パルス幅、およびパルス周期の計算方法を参照) との差が入力パルスの周期データとなります。この周期データは、読み出しバッファが読み出されるまで保持されます。カウンタがアンダーフローすると、AGTCR レジスタの TUNDF ビットが 1 になり、割り込み要求が発生します。

パルス周期測定モードでの動作例を図 23.10 に示します。

カウントソース周期の 2 倍よりも長い周期を持つ入力パルスのみが測定されます。また、Low 幅と High 幅は、両方ともカウントソースの周期より長くなければいけません。これらの条件よりも短いパルス周期が入力されると、その入力は無視される場合があります。

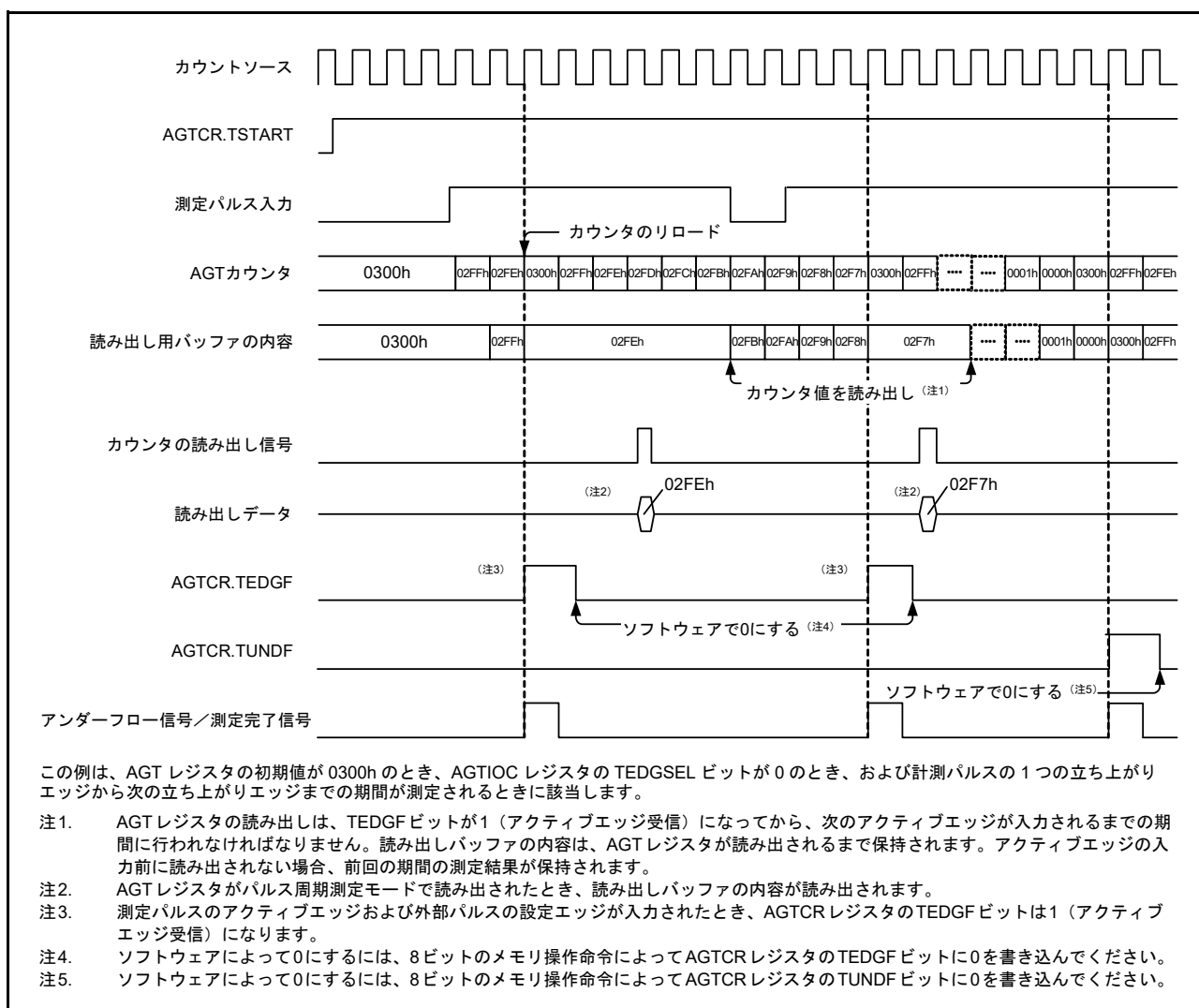


図 23.10 パルス周期測定モードでの動作例

23.3.8 コンペアマッチ機能

この機能は、AGTCMA または AGTCMB レジスタの内容と AGT レジスタの内容の一致（コンペアマッチ）を検出します。この機能は、AGTCMSR レジスタの TCMEA または TCMEB ビットが 1（コンペアマッチ A/B レジスタが有効）の場合に有効となります。カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGT の値と AGTCMA または AGTCMB の値が一致した場合、AGTCR レジスタの TCMAF/TCMBF ビットが 1（一致）になり、割り込み要求が発生します。

コンペアマッチ機能が有効の場合、リロードレジスタとカウンタでは、書き替え動作のタイミングは異なります。詳細は、[23.3.1 リロードレジスタおよびカウンタの書き換え動作](#)を参照してください。また、AGTOAn および AGTOBn 端子の出力レベルは、一致およびアンダーフローによって反転します。出力レベルは、AGTCMSR レジスタの TOPOLA または TOPOLB ビットで選択できます。

コンペアマッチモードでの動作例を図 23.11 に示します。

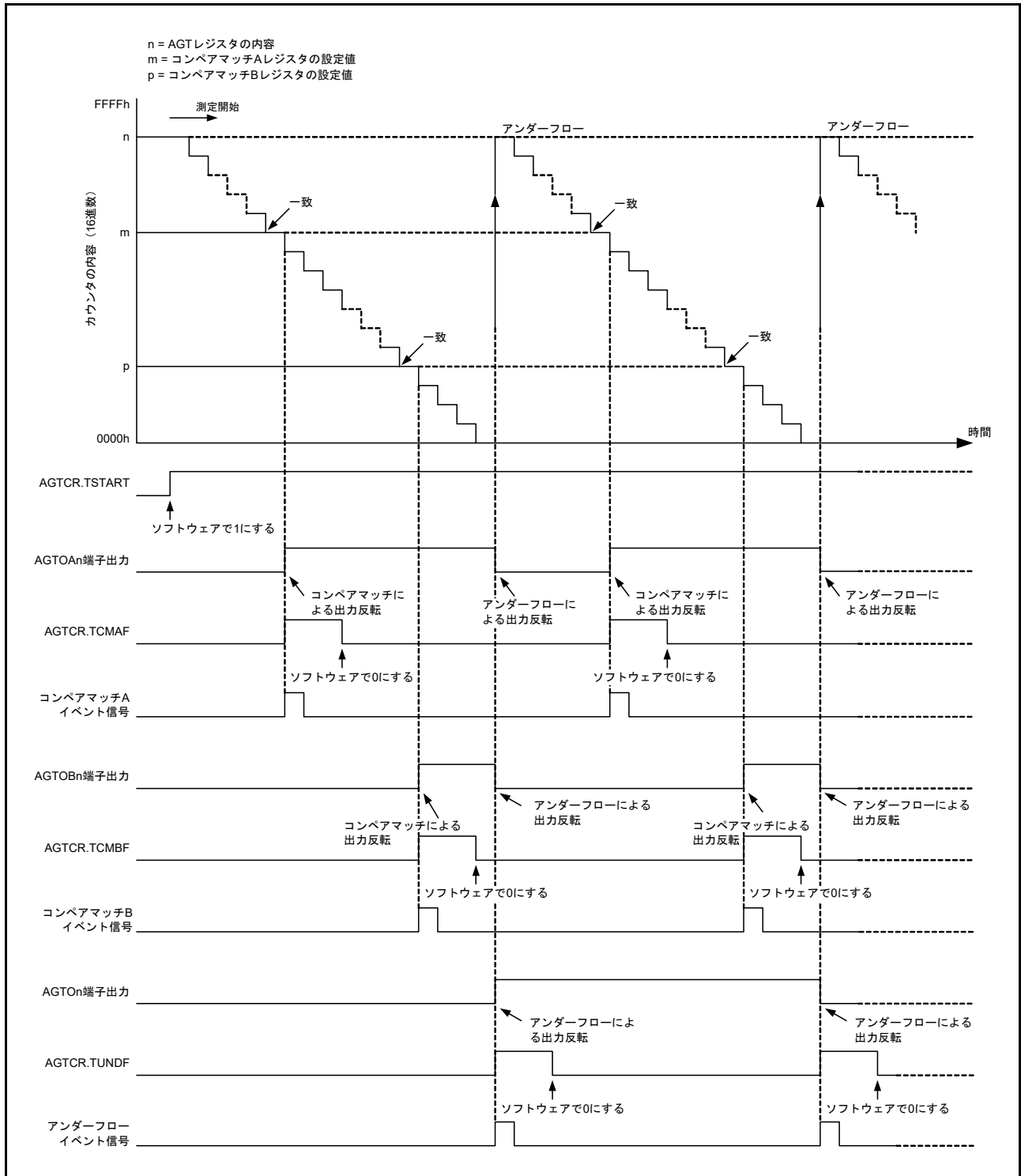


図 23.11 コンペアマッチモードでの動作例 (TOPOLA = 0、TOPOLB = 0 の場合)

23.3.9 各モードの出力設定

各モードでの AGTOn、AGTIOOn、AGTOAn、および AGTOBn 端子の状態を表 23.5 ~ 表 23.8 に示します。

表 23.5 AGTOn端子の設定

動作モード	AGTIOCレジスタ		AGTOn端子出力
	TOEビット	TEDGSELビット	
全モード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止

表 23.6 AGTIOOn端子の設定

動作モード	AGTIOCレジスタ		AGTIOOn端子入出力
	TEDGSELビット		
タイマモード	0または1		入力 (使用しない)
パルス出力モード	1		通常出力
	0		反転出力
イベントカウンタモード	0または1		入力
パルス幅測定モード			
パルス周期測定モード			

表 23.7 AGTOAn端子の設定

動作モード	AGTCMSRレジスタ		AGTOAn端子出力
	TOEAビット	TOPOLAビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
イベントカウンタモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

表 23.8 AGTOBn端子の設定

動作モード	AGTCMSRレジスタ		AGTOBn端子出力
	TOEBビット	TOPOLBビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
イベントカウンタモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

23.3.10 スタンバイモード

AGTはソフトウェアスタンバイモードでも動作可能です。カウント開始 (TSTART = 1 および TCSTF = 1) の状態で、ソフトウェアスタンバイモードに設定してください。

ソフトウェアスタンバイモードで使用可能な設定を表 23.9 および表 23.10 に示します。

表 23.9 ソフトウェアスタンバイモードで使用可能な設定 (AGT0)

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPUの回復要因
タイマモード	100b または 110b	AGTLCLK または AGTSCLK	—
パルス出力モード	100b または 110b	AGTLCLK または AGTSCLK	—
イベントカウンタモード	— (無効)	AGTIO0	—
パルス幅測定モード	100b または 110b	AGTLCLK または AGTSCLK	—
パルス周期測定モード	100b または 110b	AGTLCLK または AGTSCLK	—

表 23.10 ソフトウェアスタンバイモードで使用可能な設定 (AGT1)

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPUの回復要因
タイマモード	100b、110b、または 101b (注1)	AGTLCLK、AGTSCLK、 または AGT0 アンダーフロー	<ul style="list-style-type: none"> アンダーフロー コンペアマッチ A/B
パルス出力モード	100b、110b、または 101b (注1)	AGTLCLK、AGTSCLK、 または AGT0 アンダーフロー	<ul style="list-style-type: none"> アンダーフロー コンペアマッチ A/B
イベントカウンタモード	— (無効)	AGTIO1	<ul style="list-style-type: none"> アンダーフロー コンペアマッチ A/B
パルス幅測定モード	100b、110b、または 101b (注1)	AGTLCLK、AGTSCLK、 または AGT0 アンダーフロー	<ul style="list-style-type: none"> アンダーフロー アクティブエッジ
パルス周期測定モード	100b、110b、または 101b (注1)	AGTLCLK、AGTSCLK、 または AGT0 アンダーフロー	<ul style="list-style-type: none"> アンダーフロー アクティブエッジ

注. ソフトウェアスタンバイモードの解除は AGT1 のみです。

注 1. AGT0 が表 23.9 の状態で動作している場合のみ。

23.3.11 割り込み要因

AGT には、表 23.11 に示すように、3 種類の割り込み要因があります。

表 23.11 AGTの割り込み要因

名称	割り込み要因	DMAC/DTCの 起動
AGTn_AGTI	<ul style="list-style-type: none"> • カウンタがアンダーフローしたとき • 外部入力 (AGTIO_n) のアクティブ幅の測定がパルス幅測定モードで終了したとき • 外部入力 (AGTIO_n) の設定エッジがパルス周期測定モードで入力されたとき 	可能
AGTn_AGTCMAI	AGTとAGTCMAの値が一致したとき	可能
AGTn_AGTCMBI	AGTとAGTCMBの値が一致したとき	可能

注. チャネル番号 (n = 0, 1)

23.3.12 ELC へのイベント信号出力

AGT はイベントリンクコントローラ (ELC) を用いて、割り込み要求信号をイベント信号として使用することにより、指定したモジュールに対するリンク動作の実行が可能です。AGT は、コンペアマッチ A、コンペアマッチ B、およびアンダーフロー/測定完了信号をイベント信号として出力します。詳細は、「[18. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

23.4 使用上の注意事項

23.4.1 カウント動作の開始および停止制御

- イベントカウントモード以外に動作モード (表 23.1 参照) が設定されている場合、またはカウントソースが AGT0 アンダーフロー (TCK[2:0] = 101b) 以外に設定されている場合
- カウント停止中に AGTCR レジスタの TSTART ビットに 1 (カウント開始) を書き込んでも、カウントソースの 3 サイクル中は、AGTCR レジスタの TCSTF ビットは 0 (カウント停止) のままです。TCSTF ビットが 1 (カウント実行中) になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください
- カウント動作中に TSTART ビットに 0 (カウント停止) を書き込んでも、カウントソースの 3 サイクル中は、TCSTF ビットは 1 のままです。TCSTF ビットが 0 になったとき、カウントが停止します。TCSTF ビットが 0 になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください
- TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください

注 1. AGT 関連レジスタ : AGT、AGTCMA、AGTCMB、AGTCR、AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR

- イベントカウントモードに動作モード (表 23.1 参照) が設定されている場合、またはカウントソースが AGT0 アンダーフロー (TCK[2:0] = 101b) に設定されている場合
- カウント停止中に AGTCR レジスタの TSTART ビットに 1 (カウント開始) を書き込んでも、PCLKB の 2 サイクル中は、AGTCR レジスタの TCSTF ビットは 0 (カウント停止) のままです。TCSTF ビットが 1 (カウント実行中) になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください
- カウント動作中に TSTART ビットに 0 (カウント停止) を書き込んでも、PCLKB の 2 サイクル中は、TCSTF ビットは 1 のままです。TCSTF ビットが 0 になったとき、カウントが停止します。TCSTF ビットが 0 になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください
- TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください

注 1. AGT 関連レジスタ : AGT、AGTCMA、AGTCMB、AGTCR、AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR

23.4.2 カウンタレジスタへのアクセス

AGTCR レジスタの TSTART および TCSTF ビットがともに 1 (カウント開始) の場合、AGT レジスタへ連続して書き込むときの書き込み間隔には、カウントソースクロックで 3 サイクル以上の余裕が必要です。

23.4.3 モード変更時

AGT の動作モードに関連するレジスタ (AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR) は、TSTART および TCSTF ビットがともに 0 (カウント停止) になって、カウントが停止した場合にのみ変更可能です。カウント動作中は、これらのレジスタを変更しないでください。

AGT の動作モードに関連するレジスタが変更されると、TEDGF、TUNDF、TCMAF、および TCMBF ビットの値は不定となります。カウントを開始する前に、以下のビットに 0 を書き込んでください。

- TEDGF (アクティブエッジ未受信)
- TUNDF (アンダーフローなし)
- TCMAF (不一致)
- TCMBF (不一致)

23.4.4 デジタルフィルタ

デジタルフィルタの使用時に、TIPF[1:0] ビットを設定した後、および AGTIOC レジスタの TEDGSEL ビットを変更した場合は、デジタルフィルタクロックの 5 サイクル中はタイマ動作を開始しないでください。

23.4.5 イベント番号、パルス幅、およびパルス周期の計算方法

- イベントカウントモードでは、イベント番号が次式で計算されます。
イベント番号 = カウンタ [AGT レジスタ] の初期値 - アクティブイベント終了のカウンタ値
- パルス幅測定モードでは、パルス幅が次式で計算されます。
パルス幅 = 測定停止のカウンタ値 - 次の測定停止のカウンタ値
- パルス周期測定モードでは、入力パルス周期が次式で計算されます。
入力パルス周期 = (カウンタ [AGT レジスタ] の初期値 - 読み出しバッファの読み出し値) + 1

23.4.6 TSTOP ビットで強制的にカウントを停止した場合

AGTCR レジスタの TSTOP ビットでカウンタを強制的に停止した後、カウントソースの 1 サイクル中は、下記の I/O レジスタにアクセスしないでください。

- AGT
- AGTCMA
- AGTCMB
- AGTCR
- AGTMR1
- AGTMR2

23.4.7 カウントソースとして AGT0 アンダーフローを選択した場合

カウントソースとして AGT のアンダーフロー信号を選択した場合、以下の手順に従って AGT を操作してください。

(1) 動作開始手順

1. AGT0 および AGT1 を設定します。
2. AGT1 のカウント動作を開始します。
3. AGT0 のカウント動作を開始します。

(2) 動作停止手順

1. AGT0 のカウント動作を停止します。
2. AGT1 のカウント動作を停止します。
3. AGT1 のカウントソースクロックを停止します (AGT1.AGTMR1.TCK[2:0] ビットに 000b を書き込みます)。

23.4.8 I/O レジスタのリセット

AGT の I/O レジスタは、リセットの種類によっては初期化されません。詳細は、「[5. リセット](#)」を参照してください。

23.4.9 カウントソースとして PCLKB、PCLKB/8、または PCLKB/2 を選択した場合

リセット発生後、AGT の動作は保証されません。AGT 関連レジスタを再設定してください。

23.4.10 カウントソースとして AGTLCLK または AGTSCLK を選択した場合

MSTPCRD レジスタの MSTPD2 ビットは、AGT1 レジスタにアクセスする場合を除き、1 にする必要があります。MSTPCRD レジスタの MSTPD3 ビットは、AGT0 レジスタにアクセスする場合を除き、1 にする必要があります。MSTPD2 または MSTPD3 ビットが 0 の状態でリセットが発生した場合、AGT1 または AGT0 の動作は保証されません。AGT 関連レジスタを再設定してください。

23.4.11 クロックソースを切り替える場合

SCKSCR.CKSEL[2:0] を変更することによりクロックソースを切り替える場合、セレクタからのクロック出力は、切り替えたクロックで 4 サイクル間停止します。したがって、外部イベント入力として AGTIO_n、AGTEEn、またはこれら両方の入力を使用する場合、クロックソースを切り替えないでください。もし外部イベント入力使用中にクロックソースを切り替える場合は、切り替えたソースクロックサイクルで 4 サイクル分入力パルス幅を拡張してください。

24. リアルタイムクロック (RTC)

24.1 概要

RTC には、カレンダーカウントモードとバイナリカウントモードの 2 種類のカウントモードがあり、レジスタ設定を切り替えることで使用します。カレンダーカウントモードでは、RTC は 2000 年から 2099 年まで 100 年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、RTC は秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに利用可能です。

時計カウンタのカウントソースとして、サブクロック発振器または LOCO を選択できます。RTC は、カウントソースをプリスケアラで分周して得られた 128Hz クロックを使用します。年、月、日、曜日、午前/午後 (12 時間モード時)、時、分、秒、または 32 ビットバイナリを 1/128 秒単位でカウントします。

注. コールドスタート後は、VBATT 機能を使用するか否かにかかわらず、VBTCR1.BPWSWSTP ビットを 1 にしてから、RTC レジスタにアクセスしてください。詳細は、「11. バッテリバックアップ機能」の図 11.2 VBTCR1.BPWSWSTP ビットの設定フローを参照してください。

表 24.1 に RTC の仕様を、図 24.1 にブロック図を、表 24.2 に RTC の入出力端子を示します。

表 24.1 RTC の仕様

項目	内容
カウントモード	カレンダーカウントモード/バイナリカウントモード
カウントソース (注1)	サブクロック発振器 (XCIN) または LOCO
時計/カレンダー機能	<ul style="list-style-type: none"> • カレンダーカウントモード 年、月、日、曜日、時、分、秒をカウント、BCD 表示 12 時間/24 時間モード切り替え機能 30 秒調整機能 (30 秒未満は 00 秒に切り捨て、30 秒以上は 1 分に切り上げ) うるう年自動補正機能 • バイナリカウントモード 秒を 32 ビットでカウント、バイナリ表示 • 両モード共通 スタート/ストップ機能 秒以下の桁のバイナリ表示 (1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz) 時計誤差補正機能 クロック (1Hz/64Hz) 出力
割り込み	<ul style="list-style-type: none"> • アラーム割り込み (RTC_ALM) アラーム割り込み条件として、比較対象を下記から選択可能 カレンダーカウントモード: 年、月、日、曜日、時、分、秒 バイナリカウントモード: 32 ビットバイナリカウンタの各ビット • 周期割り込み (RTC_PRD) 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒から選択可能 • 桁上げ割り込み (RTC_CUP) 次のいずれかの条件で割り込み発生 • 64Hz カウンタから秒カウンタへ桁上げが生じたとき • 64Hz カウンタの変化と R64CNT レジスタの読み出しタイミングが重なったとき • アラーム割り込みまたは周期割り込みによる、ソフトウェアスタンバイモードからの復帰が可能
時間キャプチャ機能	<ul style="list-style-type: none"> • 時間キャプチャイベント入力端子のエッジ検出時に、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、および秒をキャプチャ、または 32 ビットバイナリカウンタ値をキャプチャ
イベントリンク機能	周期イベント出力 (RTC_PRD)

注 1. 周辺モジュールクロック (PCLKB) 周波数 ≥ カウントソースクロック周波数となるように設定してください。

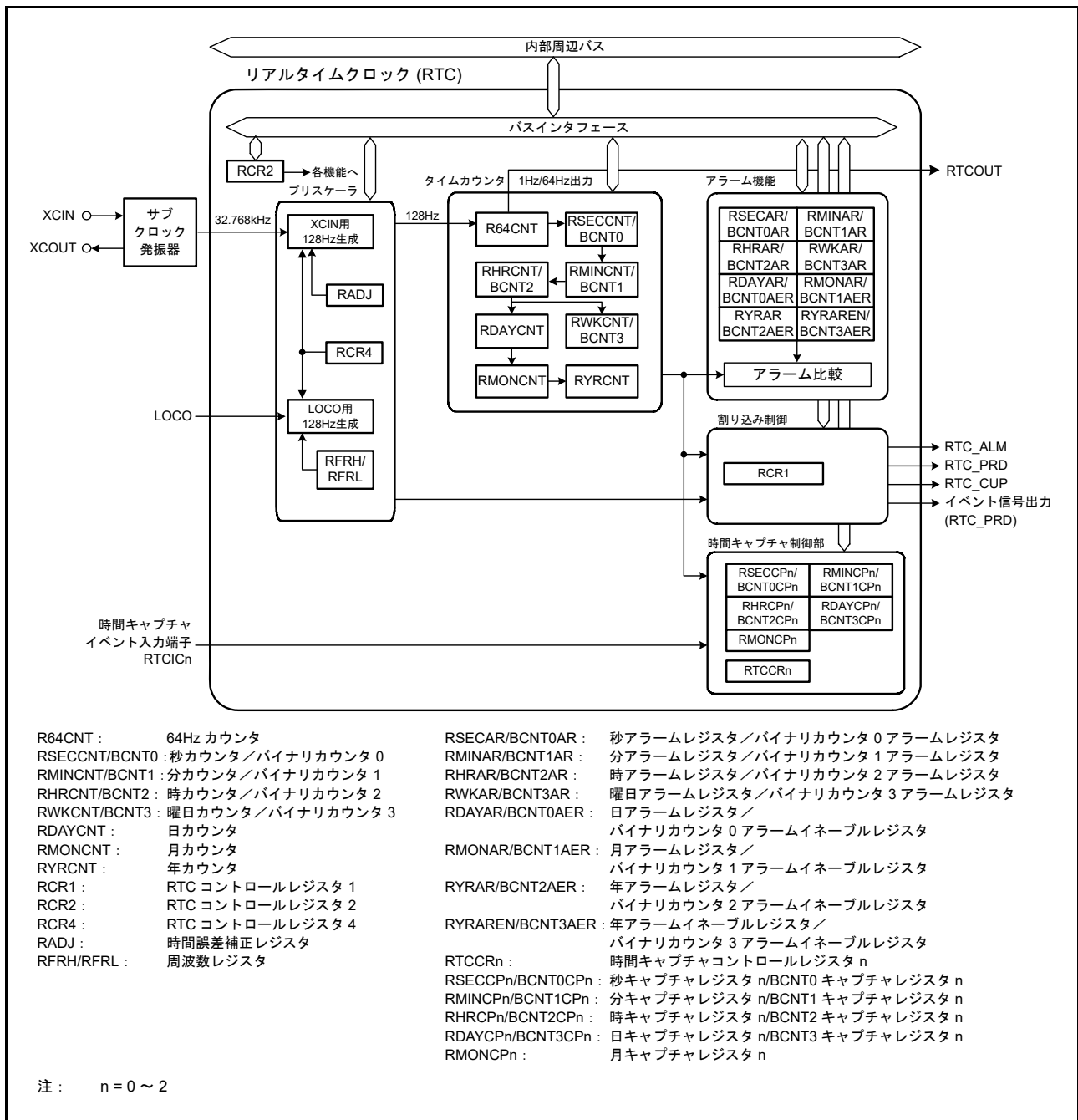


図 24.1 RTC のブロック図

表 24.2 RTC の入出力端子

端子名	入出力	機能
XCIN	入力	32.768kHzの水晶振動子を接続します
XCOUT	出力	
RTCOUT	出力	1Hz/64Hz 波形出力に使用します
RTCIC0	入力	時間キャプチャイベント入力端子です
RTCIC1	入力	
RTCIC2	入力	

24.2 レジスタの説明

RTC レジスタの書き込み／読み出しは、[24.6.5 レジスタの書き込み／読み出し時の注意事項](#)に従って行ってください。

RTC レジスタのビット一覧で、リセット後の値が x (不定) になっているビットは、リセットで初期化されません。カウント動作時 (たとえば RCR2.START ビットが 1 のとき) に、RTC がリセット状態または低消費電力状態へ遷移した場合、年／月／曜日／日／時／分／秒／64Hz カウンタは動作を継続します。

注. レジスタへの書き込み中にリセットが発生すると、レジスタ値が破壊される可能性があります。また、どのレジスタに対しても、その設定直後は、ソフトウェアスタンバイモードへ遷移しないでください。詳細は、[24.6.4 レジスタ設定後の低消費電力モードへの遷移について](#)を参照してください。

24.2.1 64Hz カウンタ (R64CNT)

アドレス [RTC.R64CNT 4004 4000h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
リセット後の値	0	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	F64HZ	64Hz	秒以下の桁の 1Hz～64Hz の状態を示します。	R
b1	F32HZ	32Hz		R
b2	F16HZ	16Hz		R
b3	F8HZ	8Hz		R
b4	F4HZ	4Hz		R
b5	F2HZ	2Hz		R
b6	F1HZ	1Hz		R
b7	—	予約ビット	読むと 0 が読めます。	R

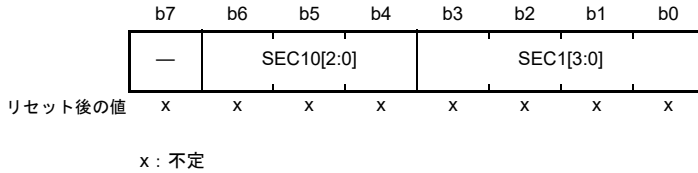
R64CNT カウンタは、カレンダーカウントモード／バイナリカウントモード共通で使用します。64Hz カウンタ (R64CNT) は、128Hz クロックでアップカウントするカウンタで、秒周期を生成します。このカウンタを読み出すことで、秒以下の領域の状態を確認できます。

このカウンタは、RTC ソフトウェアリセットまたは 30 秒調整によって 00h になります。このカウンタを読み出す際は、[24.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

24.2.2 秒カウンタ (RSECNT) / バイナリカウンタ 0 (BCNT0)

(1) カレンダーカウントモード時

アドレス [RTC.RSECNT 4004 4002h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒カウント	1秒ごとに0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b6-b4	SEC10[2:0]	10秒カウント	0から5までカウントして、60秒カウントを行います。	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

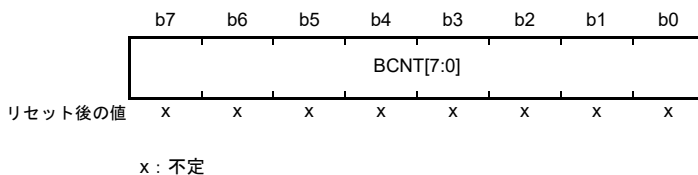
RSECNT カウンタは、BCD コード化された秒の値を設定およびカウントします。64Hz カウンタでの 1 秒ごとの桁上げによってカウントします。

設定可能範囲は 10 進で 00 ~ 59 です。これ以外の値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。

このカウンタを読み出す際は、[24.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

(2) バイナリカウントモード時

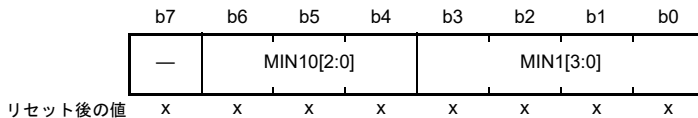
アドレス [RTC.BCNT0 4004 4002h](#)



BCNT0 は、書き込み/読み出し可能な 32 ビットバイナリカウンタの b7 ~ b0 です。32 ビットバイナリカウンタは、64Hz カウンタでの 1 秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[24.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

24.2.3 分カウンタ (RMINCNT) / バイナリカウンタ 1 (BCNT1)

(1) カレンダーカウントモード時

アドレス [RTC.RMINCNT 4004 4004h](#)

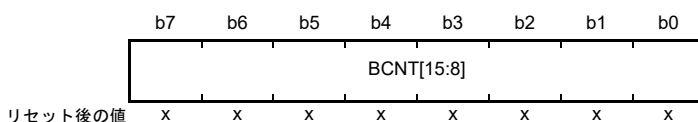
x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分カウント	1分ごとに0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b6-b4	MIN10[2:0]	10分カウント	0から5までカウントして、60分カウントを行います。	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

RMINCNT カウンタは、BCD コード化された分の値を設定およびカウントします。秒カウンタでの1分ごとの桁上げによってカウントします。

設定可能範囲は10進 (BCD) で00～59です。この範囲にない値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[24.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

(2) バイナリカウントモード時

アドレス [RTC.BCNT1 4004 4004h](#)

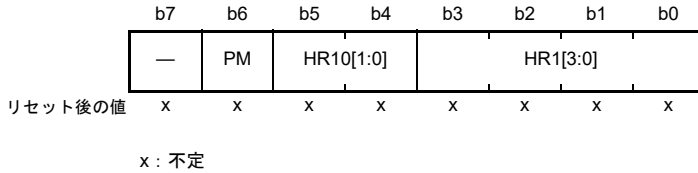
x: 不定

BCNT1 カウンタは、書き込み/読み出し可能な32ビットバイナリカウンタのb15～b8です。32ビットバイナリカウンタは、64Hz カウンタでの1秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[24.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

24.2.4 時カウンタ (RHRCNT) / バイナリカウンタ 2 (BCNT2)

(1) カレンダーカウントモード時

アドレス [RTC.RHRCNT 4004 4006h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間カウンタ	1時間に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b5-b4	HR10[1:0]	10時間カウンタ	一の位からの桁上げごとに1回、0から2までカウントします。	R/W
b6	PM	PM	時計カウンタのAM/PMの設定 0: 午前 1: 午後	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

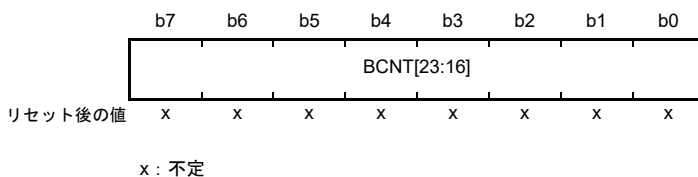
RHRCNT カウンタは、BCD コード化された時間の値を設定およびカウントします。分カウンタでの1時間ごとの桁上げによってカウントします。設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00 ~ 11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00 ~ 23 (BCD)

この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。PM ビットは、RCR2.HR24 ビットが 0 の場合にのみ有効です。それ以外では、PM ビットの設定値は無効です。このカウンタを読み出す際は、[24.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

(2) バイナリカウントモード時

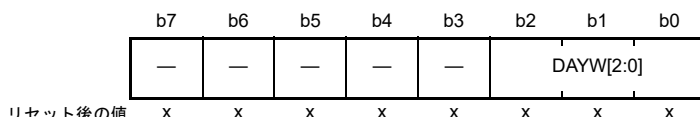
アドレス [RTC.BCNT2 4004 4006h](#)



BCNT2 カウンタは、書き込み/読み出し可能な 32 ビットバイナリカウンタの b23 ~ b16 です。32 ビットバイナリカウンタは、64Hz カウンタでの1秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[24.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

24.2.5 曜日カウンタ (RWKCNT) / バイナリカウンタ 3 (BCNT3)

(1) カレンダーカウントモード時

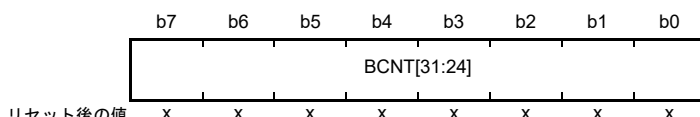
アドレス [RTC.RWKCNT 4004 4008h](#)

x: 不定

ビット	シンボル	ビット名	機能	R/W																																				
b2-b0	DAYW[2:0]	曜日カウンタ	<table border="0"> <tr> <td>b2</td><td>b1</td><td>b0</td><td></td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>: 日</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>: 月</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>: 火</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>: 水</td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>: 木</td> </tr> <tr> <td>1</td><td>0</td><td>1</td><td>: 金</td> </tr> <tr> <td>1</td><td>1</td><td>0</td><td>: 土</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>: 設定禁止</td> </tr> </table>	b2	b1	b0		0	0	0	: 日	0	0	1	: 月	0	1	0	: 火	0	1	1	: 水	1	0	0	: 木	1	0	1	: 金	1	1	0	: 土	1	1	1	: 設定禁止	R/W
b2	b1	b0																																						
0	0	0	: 日																																					
0	0	1	: 月																																					
0	1	0	: 火																																					
0	1	1	: 水																																					
1	0	0	: 木																																					
1	0	1	: 金																																					
1	1	0	: 土																																					
1	1	1	: 設定禁止																																					
b7-b3	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W																																				

RWKCNT カウンタは、コード化された曜日の値を設定およびカウントします。時カウンタでの 1 日ごとの桁上げによってカウントします。設定可能範囲は 0 ~ 6 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[24.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

(2) バイナリカウントモード時

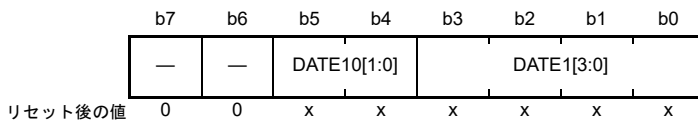
アドレス [RTC.BCNT3 4004 4008h](#)

x: 不定

BCNT3 は、書き込み/読み出し可能な 32 ビットバイナリカウンタの b31 ~ b24 です。64Hz カウンタでの 1 秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[24.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

24.2.6 日カウンタ (RDAYCNT)

アドレス [RTC.RDAYCNT 4004 400Ah](#)



x: 不定

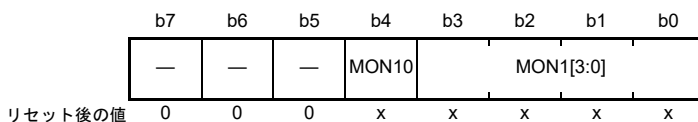
ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日カウンタ	1日に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b5-b4	DATE10[1:0]	10日カウンタ	一の位からの桁上げごとに1回、0から3までカウントします。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RDAYCNT カウンタは、カレンダーカウントモード時に使用され、BCD コード化された日の値を設定およびカウントします。時カウンタでの1日ごとの桁上げによってカウントします。カウント動作は、月によっても、うるう年か否かによっても異なります。うるう年は、年カウンタ (RYRCNT) の値が400、100、および4で割り切れるか否かで判定されます。

設定可能範囲は10進 (BCD) で01～31です。この範囲にない値が設定されると、RTCは正常に動作しません。値を設定する際は、指定可能な日数範囲が月によっても、うるう年か否かによっても異なるので注意してください。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[24.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

24.2.7 月カウンタ (RMONCNT)

アドレス [RTC.RMONCNT 4004 400Ch](#)



x: 不定

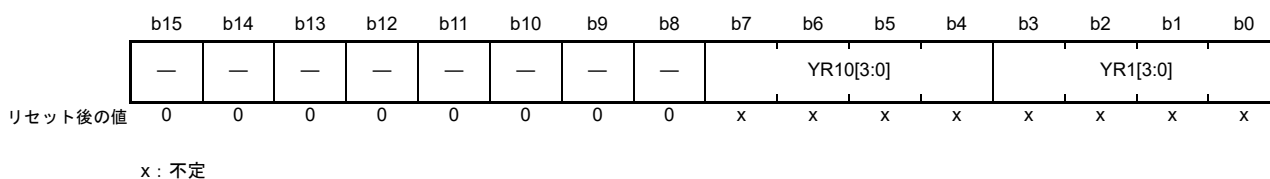
ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月カウンタ	1月に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b4	MON10	10月カウンタ	一の位からの桁上げごとに1回、0から1までカウントします。	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RMONCNT カウンタは、カレンダーカウントモード時に使用され、BCD コード化された月の値を設定およびカウントします。日カウンタでの1月ごとの桁上げによってカウントします。

設定可能範囲は10進 (BCD) で01～12です。この範囲にない値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[24.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

24.2.8 年カウンタ (RYRCNT)

アドレス RTC.RYRCNT 4004 400Eh



ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年カウンタ	1年に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b7-b4	YR10[3:0]	10年カウンタ	一の位からの桁上げごとに1回、0から9までカウントします。十の位に桁上げが生じると、百の位が+1されます。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

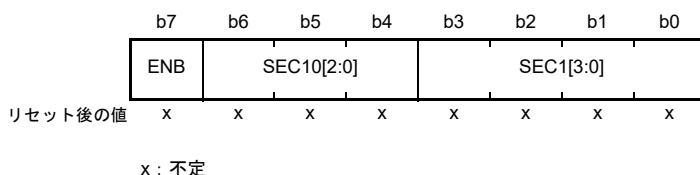
RYRCNT カウンタは、カレンダーカウンタモード時に使用され、BCD コード化された年の値を設定およびカウントします。月カウンタでの1年ごとの桁上げによってカウントします。

設定可能範囲は10進 (BCD) で00～99です。この範囲にない値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[24.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

24.2.9 秒アラームレジスタ (RSECAR) / バイナリカウンタ 0 アラームレジスタ (BCNT0AR)

(1) カレンダーカウントモード時

アドレス [RTC.RSECAR 4004 4010h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1 秒	一秒の位の設定値	R/W
b6-b4	SEC10[2:0]	10 秒	十秒の位の設定値	R/W
b7	ENB	ENB	0: このレジスタ値と RSECCNT カウンタ値との比較を行わない 1: このレジスタ値と RSECCNT カウンタ値との比較を行う	R/W

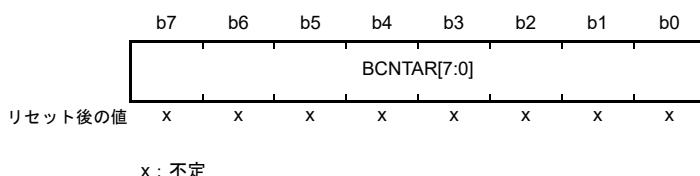
RSECAR レジスタは、BCD コード化された秒カウンタ (RSECCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RSECAR レジスタ値が RSECCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RSECAR レジスタの設定可能範囲は、10 進 (BCD) で 00 ~ 59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT0AR 4004 4010h](#)

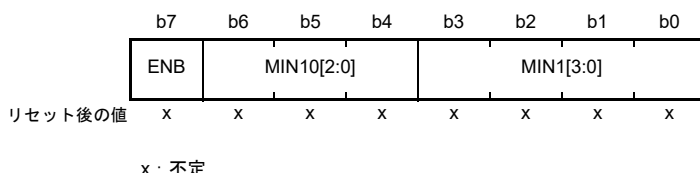


BCNT0AR は、書き込み/読み出し可能な、32 ビットバイナリカウンタの b7 ~ b0 に対応するアラームレジスタです。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

24.2.10 分アラームレジスタ (RMINAR) / バイナリカウンタ 1 アラームレジスタ (BCNT1AR)

(1) カレンダーカウントモード時

アドレス [RTC.RMINAR 4004 4012h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分	一分の位の設定値	R/W
b6-b4	MIN10[2:0]	10分	十分の位の設定値	R/W
b7	ENB	ENB	0: このレジスタ値とRMINCNTカウンタ値との比較を行わない 1: このレジスタ値とRMINCNTカウンタ値との比較を行う	R/W

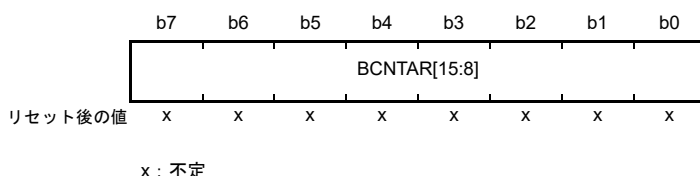
RMINAR レジスタは、BCD コード化された分カウンタ (RMINCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RMINAR レジスタ値が RMINCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RMINAR レジスタの設定可能範囲は、10 進 (BCD) で 00 ~ 59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT1AR 4004 4012h](#)

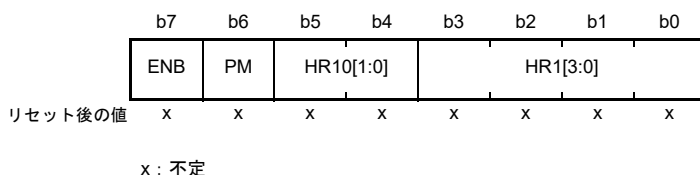


BCNT1AR は、書き込み/読み出し可能な、32 ビットバイナリカウンタの b15 ~ b8 に対応するアラームレジスタです。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

24.2.11 時アラームレジスタ (RHRAR) / バイナリカウンタ 2 アラームレジスタ (BCNT2AR)

(1) カレンダーカウントモード時

アドレス [RTC.RHRAR 4004 4014h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間	一時間の位の設定値	R/W
b5-b4	HR10[1:0]	10時間	十時間の位の設定値	R/W
b6	PM	PM	時計アラームの設定 0: 午前 1: 午後	R/W
b7	ENB	ENB	0: このレジスタ値とRHCNTカウンタ値との比較を行わない 1: このレジスタ値とRHCNTカウンタ値との比較を行う	R/W

RHRAR レジスタは、BCD コード化されたときカウンタ (RHCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RHRAR レジスタ値が RHCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

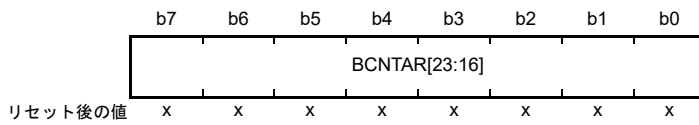
- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00 ~ 11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00 ~ 23 (BCD)

この範囲にない値が設定されると、RTC は正常に動作しません。RCR2.HR24 ビットが 0 の場合、必ず PM ビットを設定してください。RCR2.HR24 ビットが 1 の場合、PM ビットの設定値は無効です。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT2AR 4004 4014h](#)

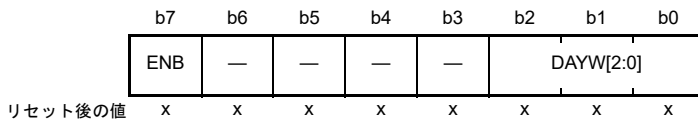
x: 不定

BCNT2AR は、書き込み/読み出し可能な、32 ビットバイナリカウンタの b23 ~ b16 に対応するアラームレジスタです。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

24.2.12 曜日アラームレジスタ (RWKAR) / バイナリカウンタ 3 アラームレジスタ (BCNT3AR)

(1) カレンダーカウントモード時

アドレス [RTC.RWKAR 4004 4016h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日設定	b2 b0 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定禁止	R/W
b6-b3	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0: このレジスタ値とRWKCNTカウンタ値との比較を行わない 1: このレジスタ値とRWKCNTカウンタ値との比較を行う	R/W

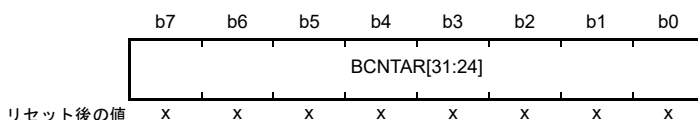
RWKAR レジスタは、コード化された曜日カウンタ (RWKCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RWKAR レジスタ値が RWKCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RWKAR レジスタの設定可能範囲は、10 進 (BCD) で 0 ~ 6 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT3AR 4004 4016h](#)



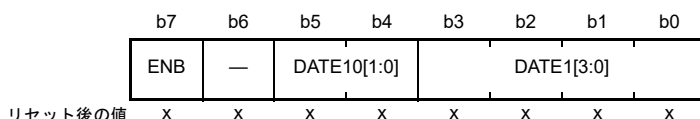
x: 不定

BCNT3AR は、書き込み/読み出し可能な、32 ビットバイナリカウンタの b31 ~ b24 に対応するアラームレジスタです。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

24.2.13 日アラームレジスタ (RDAYAR) / バイナリカウンタ 0 アラームイネーブルレジスタ (BCNTOAER)

(1) カレンダーカウントモード時

アドレス [RTC.RDAYAR 4004 4018h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日	一日の位の設定値	R/W
b5-b4	DATE10[1:0]	10日	十日の位の設定値	R/W
b6	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0: このレジスタ値と RDAYCNT カウンタ値との比較を行わない 1: このレジスタ値と RDAYCNT カウンタ値との比較を行う	R/W

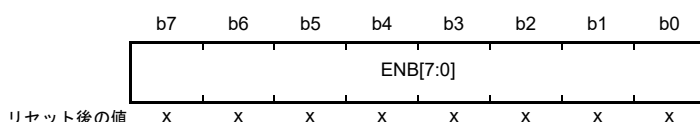
RDAYAR レジスタは、BCD コード化された日カウンタ (RDAYCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RDAYAR レジスタ値が RDAYCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RDAYAR レジスタの設定可能範囲は、10 進 (BCD) で 01 ~ 31 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNTOAER 4004 4018h](#)



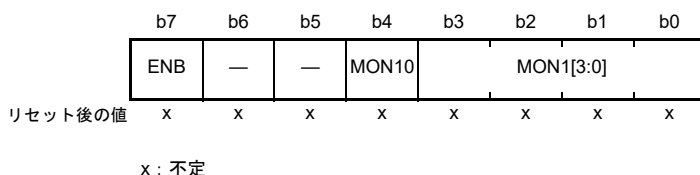
x: 不定

BCNTOAER は、書き込み/読み出し可能な、32 ビットバイナリカウンタの b7 ~ b0 に対応するアラーム許可設定用のレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

24.2.14 月アラームレジスタ (RMONAR) / バイナリカウンタ 1 アラームイネーブルレジスタ (BCNT1AER)

(1) カレンダーカウントモード時

アドレス [RTC.RMONAR 4004 401Ah](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月	一月の位の設定値	R/W
b4	MON10	10月	十月の位の設定値	R/W
b6-b5	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0: このレジスタ値とRMONCNTカウンタ値との比較を行わない 1: このレジスタ値とRMONCNTカウンタ値との比較を行う	R/W

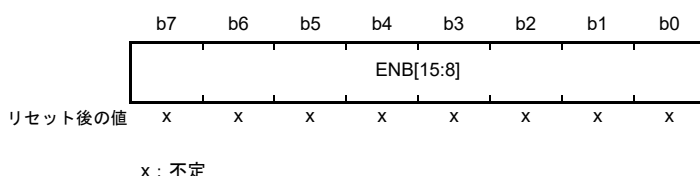
RMONAR レジスタは、BCD コード化された月カウンタ (RMONCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RMONAR レジスタ値が RMONCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RMONAR レジスタの設定可能範囲は、10 進 (BCD) で 01 ~ 12 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT1AER 4004 401Ah](#)

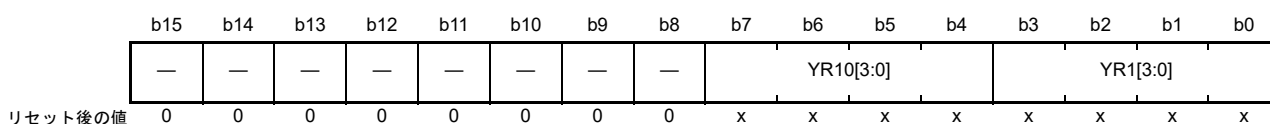


BCNT1AER は、書き込み/読み出し可能な、32 ビットバイナリカウンタの b15 ~ b8 に対応するアラーム許可設定用のレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

24.2.15 年アラームレジスタ (RYRAR) / バイナリカウンタ 2 アラームイネーブルレジスタ (BCNT2AER)

(1) カレンダーカウントモード時

アドレス [RTC.RYRAR 4004 401Ch](#)



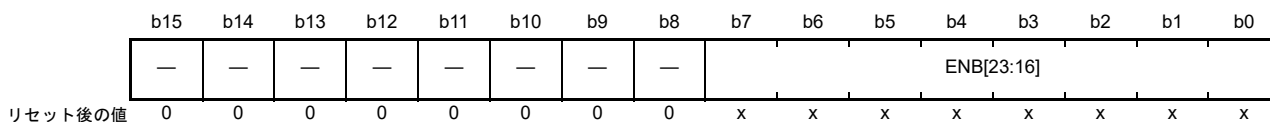
x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年	一年の位の設定値	R/W
b7-b4	YR10[3:0]	10年	十年の位の設定値	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RYRAR レジスタは、BCD コード化された年カウンタ (RYRCNT) に対応するアラームレジスタです。RYRAR レジスタの設定可能範囲は、10 進 (BCD) で 00 ~ 99 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0000h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT2AER 4004 401Ch](#)



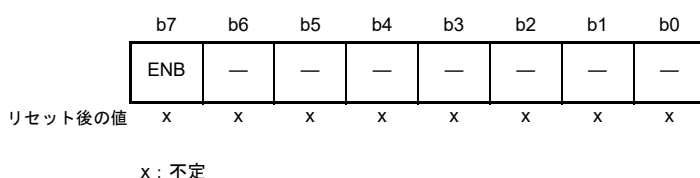
x: 不定

BCNT2AER は、書き込み/読み出し可能な、32 ビットバイナリカウンタの b23 ~ b16 に対応するアラーム許可設定用のレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 0000h になります。

24.2.16 年アラームイネーブルレジスタ (RYRAREN) / バイナリカウンタ 3 アラームイネーブルレジスタ (BCNT3AER)

(1) カレンダーカウントモード時

アドレス [RTC.RYRAREN 4004 401Eh](#)



ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0: このレジスタ値とRYRCNTカウンタ値との比較を行わない 1: このレジスタ値とRYRCNTカウンタ値との比較を行う	R/W

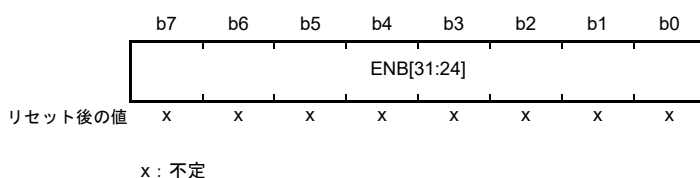
RYRAREN レジスタの ENB ビットが 1 であれば、RYRAR レジスタ値が RYRCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

(2) バイナリカウントモード時

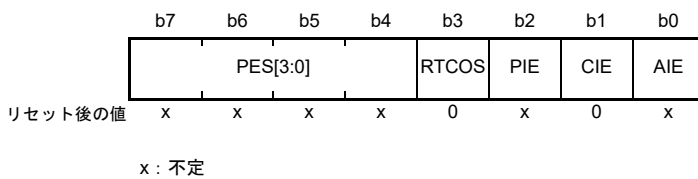
アドレス [RTC.BCNT3AER 4004 401Eh](#)



BCNT3AER は、書き込み/読み出し可能な、32 ビットバイナリカウンタの b31 ~ b24 に対応するアラーム許可設定用のレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

24.2.17 RTC コントロールレジスタ 1 (RCR1)

アドレス RTC.RCR1 4004 4022h



ビット	シンボル	ビット名	機能	R/W
b0	AIE	アラーム割り込み許可	0 : アラーム割り込み要求を禁止 1 : アラーム割り込み要求を許可	R/W
b1	CIE	桁上げ割り込み許可	0 : 桁上げ割り込み要求を禁止 1 : 桁上げ割り込み要求を許可	R/W
b2	PIE	周期割り込み許可	0 : 周期割り込み要求を禁止 1 : 周期割り込み要求を許可	R/W
b3	RTCOS	RTCOUT 出力選択	0 : RTCOUT は 1Hz を出力 1 : RTCOUT は 64Hz を出力	R/W
b7-b4	PES[3:0]	周期割り込み選択	b7 b4 0 1 1 0 : 1/256 秒ごとに周期割り込みが発生 (注1) 0 1 1 1 : 1/128 秒ごとに周期割り込みが発生 1 0 0 0 : 1/64 秒ごとに周期割り込みが発生 1 0 0 1 : 1/32 秒ごとに周期割り込みが発生 1 0 1 0 : 1/16 秒ごとに周期割り込みが発生 1 0 1 1 : 1/8 秒ごとに周期割り込みが発生 1 1 0 0 : 1/4 秒ごとに周期割り込みが発生 1 1 0 1 : 1/2 秒ごとに周期割り込みが発生 1 1 1 0 : 1 秒ごとに周期割り込みが発生 1 1 1 1 : 2 秒ごとに周期割り込みが発生 上記以外 : 周期割り込みは発生しない	R/W

注 1. PES[3:0] ビット = 0110b のときに LOCO を選択 (RCR4.RCKSEL ビット = 1) すると、周期割り込みは 1/128 秒ごとに発生します。

RCR1 レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。AIE、PIE、PES[3:0] ビットは、カウントソースに同期して更新されます。RCR1 レジスタを書き換えた場合は、全ビットが更新されたことを確認してから次の処理を実行してください。

AIE ビット (アラーム割り込み許可)

アラーム割り込み要求を許可または禁止します。

CIE ビット (桁上げ割り込み許可)

RSECCNT/BCNT0 カウンタへの桁上げが生じたとき、または 64Hz カウンタの読み出し中に 64Hz カウンタ (R64CNT) への桁上げが生じたときの割り込み要求の許可または禁止を選択します。

PIE ビット (周期割り込み許可)

周期割り込み要求を許可または禁止します。

RTCOS ビット (RTCOUT 出力選択)

RTCOUT の出力周期を選択します。RTCOS ビットは、カウント動作停止 (RCR2.START ビット = 0)、かつ RTCOUT 出力禁止 (RCR2.RTCOE ビット = 0) のときに書き換えてください。RTCOUT を外部端子に出力する場合は、RCR2.RTCOE ビットを許可にする必要があります。I/O ポートの制御については、[19.5.1 端子機能の設定手順](#)を参照してください。

PES[3:0] ビット (周期割り込み選択)

周期割り込みの周期を設定します。これらのビットで設定した周期に応じて周期割り込みが発生します。

24.2.18 RTC コントロールレジスタ 2 (RCR2)

(1) カレンダーカウントモード時

アドレス RTC.RCR2 4004 4024h

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTMD	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタート	0: プリスケアラと時計カウンタは停止 1: プリスケアラと時計カウンタは通常動作	R/W
b1	RESET	RTCソフトウェアリセット	<ul style="list-style-type: none"> 書き込み時 0: 無効 (0の書き込みは無効です) 1: プリスケアラおよびRTCソフトウェアリセット対象レジスタ (注1) を初期化 読み出し時 0: 通常の時計動作中またはRTCソフトウェアリセット完了 1: RTCソフトウェアリセット処理中 	R/W
b2	ADJ30	30秒調整	<ul style="list-style-type: none"> 書き込み時 0: 無効 (0の書き込みは無効です) 1: 30秒調整を実行 読み出し時 0: 通常の時計動作中または30秒調整が完了 1: 30秒調整処理中 	R/W
b3	RTCOE	RTCOUT出力許可	0: RTCOUT出力を禁止 1: RTCOUT出力を許可	R/W
b4	AADJE	自動補正有効 (注2)	0: 自動補正は無効 1: 自動補正は有効	R/W
b5	AADJP	自動補正周期選択 (注2)	0: 1分ごとにプリスケアラのカウンタ値に対して RADJ.ADJ[5:0] ビット値を加減算 1: 10秒ごとにプリスケアラのカウンタ値に対して RADJ.ADJ[5:0] ビット値を加減算	R/W
b6	HR24	時間モード	0: RTCは12時間モードで動作 1: RTCは24時間モードで動作	R/W
b7	CNTMD	カウントモード選択	0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注1. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RTCCRY, RSECCPY/BCNT0CPY, RMINCPY/BCNT1CPY, RHRCPPY/BCNT2CPY, RDAYCPY/BCNT3CPY, RMONCPY, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注2. LOCO を選択した場合、本ビットの設定は無効です。

RCR2 レジスタは、時間モード、自動補正機能、RTCOUT 出力許可、30秒調整、RTC ソフトウェアリセット、およびカウント制御に関するレジスタです。

START ビット (スタート)

プリスケアラまたは時計カウンタの動作を停止または再開します。START ビットは、カウントソースの次の周期に同期して更新されます。START ビットを書き換えた場合は、このビットが更新されたことを確認してから次の処理を実行してください。

RESET ビット (RTC ソフトウェアリセット)

プリスケアラと RTC ソフトウェアリセット対象レジスタを初期化します。

RESET ビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。本ビットが 0 になったことを確認してから次の処理を実行してください。

ADJ30 ビット (30 秒調整)

30 秒調整を行います。

ADJ30 ビットに 1 を書くと、RSECCNT カウンタ値が 30 秒未満の場合は 00 秒に切り捨てられ、30 秒以上の場合は 1 分に切り上げられます。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに 1 を書いた場合、30 秒調整が完了すると ADJ30 ビットは自動的に 0 になります。ADJ30 ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。30 秒調整を実行すると、プリスケアラと R64CNT カウンタもリセットされます。ADJ30 ビットは、RTC ソフトウェアリセットによって 0 になります。

RTC OE ビット (RTC OUT 出力許可)

RTC OUT 端子からの 1Hz/64Hz クロック信号出力を許可します。

RTC OE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と、RTC OE ビット値の変更は、同時に行わないでください。

RTC OUT を外部端子から出力する場合は、RTC OE ビットを許可にするとともに、この端子にポート制御を設定してください。

AADJE ビット (自動補正有効)

自動補正を制御 (有効または無効に) します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正を行わない) にしてください。

AADJE ビットは、RTC ソフトウェアリセットによって 0 になります。

AADJP ビット (自動補正周期選択)

自動補正の周期を選択します。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正を行わない) にしてください。

AADJP ビットは、RTC ソフトウェアリセットによって 0 になります。

HR24 ビット (時間モード)

RTC を 12 時間モードと 24 時間モードのどちらで動作させるかを指定します。

HR24 ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と、HR24 ビット値の変更は、同時に行わないでください。

CNTMD ビット (カウントモード選択)

RTC をカレンダーカウントモードとバイナリカウントモードのどちらで動作させるかを指定します。

カウントモードを設定した場合は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。本ビットはカウントソースに同期して更新され、RTC ソフトウェアリセットが完了する前に値が確定します。

初期設定の詳細は、[24.3.1 電源投入後のレジスタ初期設定の概要](#)を参照してください。

(2) バイナリカウントモード時

アドレス RTC.RCR2 4004 4024h

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTM D	—	AADJP	AADJE	RTCOC	—	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタート	0: 32ビットバイナリカウンタ、64Hzカウンタ、およびプリスケアラは停止 1: 32ビットバイナリカウンタ、64Hzカウンタ、およびプリスケアラは通常動作	R/W
b1	RESET	RTCソフトウェアリセット	<ul style="list-style-type: none"> 書き込み時 0: 無効 (0の書き込みは無効です) 1: プリスケアラおよびRTCソフトウェアリセット対象レジスタ^(注1)を初期化 読み出し時 0: 通常の時計動作中またはRTCソフトウェアリセット完了 1: RTCソフトウェアリセット処理中 	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	RTCOC	RTCOUT出力許可	0: RTCOUT出力を禁止 1: RTCOUT出力を許可	R/W
b4	AADJE	自動補正有効 ^(注2)	0: 自動補正は無効 1: 自動補正は有効	R/W
b5	AADJP	自動補正周期選択 ^(注2)	0: 32秒ごとにプリスケアラのカウンタ値に対して RADJ.ADJ[5:0]ビット値を加減算 1: 8秒ごとにプリスケアラのカウンタ値に対して RADJ.ADJ[5:0]ビット値を加減算	R/W
b6	—	予約ビット	値は不定です。書く場合、0としてください。	R/W
b7	CNTMD	カウントモード選択	0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注1. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RTCCRy, RSECCPy/BCNT0CPy, RMINCPy/BCNT1CPy, RHRCPy/BCNT2CPy, RDAYCPy/BCNT3CPy, RMONCPy, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注2. LOCO を選択した場合、本ビットの設定は無効です。

START ビット (スタート)

プリスケアラまたはカウンタ (時計) の動作を停止または再開します。START ビットは、カウントソースに同期して更新されます。START ビットを書き換えた場合は、このビットが更新されたことを確認してから次の処理を実行してください。

RESET ビット (RTC ソフトウェアリセット)

プリスケアラと RTC ソフトウェアリセット対象レジスタを初期化します。

RESET ビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。RESET ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。

RTCOE ビット (RTCOUT 出力許可)

RTCOUT 端子からの 1Hz/64Hz クロック信号出力を許可します。

RTCOE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と、RTCOE ビット値の変更は、同時に行わないでください。RTCOUT 信号を外部端子から出力する場合は、本ビットを許可にするとともに、ポート制御を有効にしてください。

AADJE ビット (自動補正有効)

自動補正を制御 (有効または無効に) します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正を行わない) にしてください。AADJE ビットは、RTC ソフトウェアリセットによって 0 になります。

AADJP ビット (自動補正周期選択)

自動補正の周期を選択します。

バイナリカウントモードでは、32 秒ごとまたは 8 秒ごとの補正周期を選択できます。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正を行わない) にしてください。AADJP ビットは、RTC ソフトウェアリセットによって 0 になります。

CNTMD ビット (カウントモード選択)

RTC をカレンダーカウントモードとバイナリカウントモードのどちらで動作させるかを指定します。

カウントモードを設定した場合は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。本ビットはカウントソースに同期して更新され、RTC ソフトウェアリセットが完了する前に値が確定します。

初期設定の詳細は、[24.3.1 電源投入後のレジスタ初期設定の概要](#)を参照してください。

24.2.19 RTC コントロールレジスタ 4 (RCR4)

アドレス [RTC.RCR4 4004 4028h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RCKSEL L
リセット後の値	0	0	0	0	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	RCKSEL	カウントソース選択	0: サブクロック発振器を選択 1: LOCO を選択	R/W
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

RCR4 レジスタは、カウントソースを選択するためのレジスタです。カレンダーカウントモード/バイナリカウントモード共通で使用します。

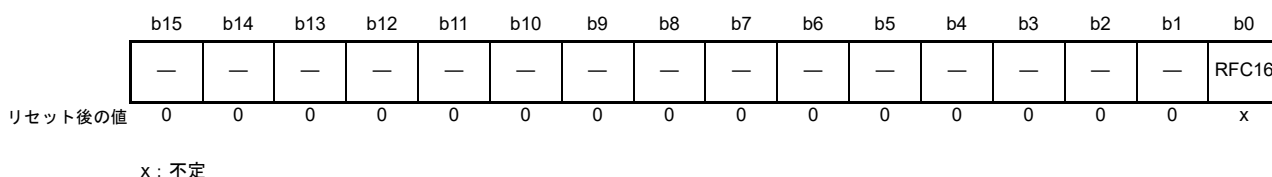
RCKSEL ビットを 0 にすると、サブクロック発振器を使用して時計のカウント動作が行われます。RCKSEL ビットを 1 にすると、LOCO を使用して時計のカウント動作が行われます。

RCKSEL ビット (カウントソース選択)

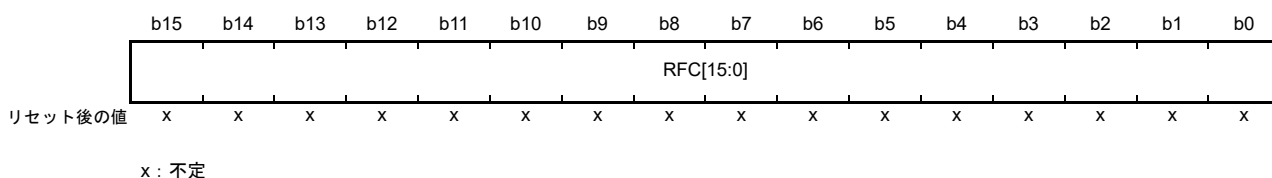
カウントソースを、サブクロック発振器と LOCO から選択します。

カウントソースの選択は、電源投入後、RTC レジスタの初期設定前に一度だけ行ってください。

24.2.20 周波数レジスタ (RFRH/RFRL)

アドレス [RTC.RFRH 4004 402Ah](#)

ビット	シンボル	ビット名	機能	R/W
b0	RFC16	予約ビット	コールドスタート後、RFRLレジスタに書き込む前に0を書いてください。	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

アドレス [RTC.RFRL 4004 402Ch](#)

ビット	シンボル	ビット名	機能	R/W
b15-b0	RFC[15:0]	周波数比較値	LOCO使用時は、このレジスタに00FFhを書いてください。	R/W

RFRL レジスタは、LOCO 選択時のプリスケアラを制御するレジスタです。

RTC の時計カウンタは、128Hz クロック信号を基本クロックとして動作します。そのため、LOCO を選択した場合、プリスケアラで LOCO が分周されて 128Hz クロック信号が生成されます。RFC[15:0] ビットには、LOCO 周波数から 128Hz クロックを生成するための周波数比較値を設定します。コールドスタート後、RFC[15:0] へ書き込む前に、RFRH に 0000h を書き込んでください。

周波数比較値の設定可能範囲は、0007h ~ 01FFh です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。周辺モジュールクロックと LOCO の動作周波数は、「周辺モジュールクロック ≧ LOCO」となるようにしてください。

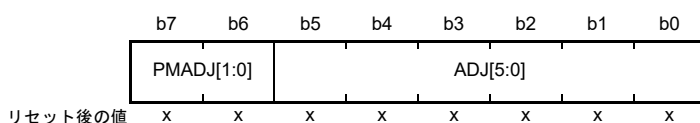
周波数比較値の計算方法：

$$\text{RFC}[15:0] = (\text{LOCO クロック周波数}) \div 128 - 1$$

LOCO 周波数が 32.768kHz の場合、RFRL レジスタは 00FFh にしてください。

24.2.21 時計誤差補正レジスタ (RADJ)

アドレス RTC.RADJ 4004 402Eh



x: 不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	ADJ[5:0]	補正值	プリスケアラの補正值を設定します。	R/W
b7-b6	PMADJ[1:0]	プラスマイナス	b7 b6 0 0: 補正を行わない 0 1: プリスケアラに対して値を加算して補正を行う 1 0: プリスケアラに対して値を減算して補正を行う 1 1: 設定禁止	R/W

プリスケアラに対して値を加算または減算することによって補正が行われます。自動補正有効ビット (RCR2.AADJE) が 0 であると、RADJ レジスタへの書き込み時に補正が行われます。RCR2.AADJE ビットが 1 であると、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正が行われます。

ソフトウェア設定による補正 (自動補正が無効) では、レジスタの設定後、カウントソースの 320 サイクル中に次の補正值を設定すると、現在の補正值の設定が無効となる場合があります。連続して補正を行う場合は、レジスタの設定後、カウントソースで 320 サイクル以上待ってから次の補正值を設定してください。

RADJ レジスタは、カウントソースに同期して更新されます。RADJ レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 00h になります。サブクロック発振器を選択した場合にのみ、このレジスタの設定が有効になります。LOCO を選択した場合、補正は行われません。

ADJ[5:0] ビット (補正值)

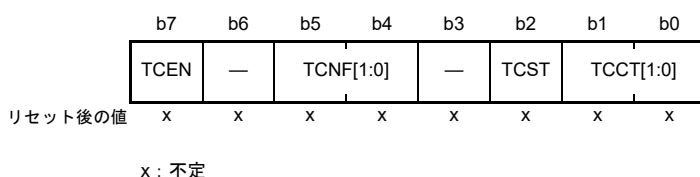
プリスケアラに対する補正值 (サブクロックのサイクル数) を設定します。

PMADJ[1:0] ビット (プラスマイナス)

ADJ[5:0] ビットで設定した誤差補正值に従って、時計を進めるか、遅らせるかを選択します。

24.2.22 時間キャプチャコントロールレジスタ y (RTCCRy) (y = 0 ~ 2)

アドレス RTC.RTCCR0 4004 4040h, RTC.RTCCR1 4004 4042h, RTC.RTCCR2 4004 4044h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TCCT[1:0]	時間キャプチャ制御	b1 b0 0 0: イベントを検出しない 0 1: 立ち上がりエッジを検出 1 0: 立ち下がりエッジを検出 1 1: 両エッジを検出	R/W
b2	TCST	時間キャプチャステータス	0: イベント検出なし 1: イベント検出あり (注1)	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	TCNF[1:0]	時間キャプチャノイズフィルタ制御	b5 b4 0 0: ノイズフィルタ OFF 0 1: 設定禁止 1 0: ノイズフィルタ ON (カウントソース) 1 1: ノイズフィルタ ON (カウントソースの32分周)	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	TCEN	時間キャプチャイベント入力端子有効	0: RTCICn (n = 0~2) 端子は時間キャプチャイベント入力として無効 1: RTCICn (n = 0~2) 端子は時間キャプチャイベント入力として有効	R/W

注 1. イベントが検出されたことを示します。1の書き込みは無効です。0を書き込むと0になります。

RTCCRy レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。RTCCR0 レジスタが RTCIC0 端子、RTCCR1 レジスタが RTCIC1 端子、RTCCR2 レジスタが RTCIC2 端子をそれぞれ制御します。

RTCCRy レジスタは、カウントソースに同期して更新されます。RTCCRy レジスタを書き換えた場合は、TCST ビット以外の全ビットが更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 00h になります。RTCICn を時間キャプチャ端子として使用する場合、VBTICTLR.VCHnIEN ビット (n=0~2) を 1 にする必要があります。詳細は、「11. バッテリバックアップ機能」を参照してください。

TCCT[1:0] ビット (時間キャプチャ制御)

時間キャプチャイベント入力端子 (RTCIC0、RTCIC1、RTCIC2) のエッジ検出を制御します。検出するエッジの選択が可能です。TCCT[1:0] ビットは、VBTICTLR.VCHnIEN ビットが 1 の状態で設定してください。

TCST ビット (時間キャプチャステータス)

時間キャプチャイベント入力端子 (RTCIC0、RTCIC1、RTCIC2) のイベントが検出されたことを示します。TCST ビットが 0 の場合、イベントは検出されていません。TCST ビットが 1 の場合、対応する端子のイベントが検出されたこと、およびキャプチャレジスタが有効であることを示します。複数回イベントが検出された場合は、最初のイベントのキャプチャ時刻が保持されます。

カウント動作が停止中 (すなわち RCR2.START ビットが 0 のとき) にイベントが検出された場合、そのキャプチャ値は保証されません。その場合は、TCST ビットを 0 にしてキャプチャ値を削除してください。TCST ビットに 0 を書き込むことで、TCST ビットを 0 にできます。0 以外の値の書き込みは無効です。

TCST ビットの設定は、TCCT[1:0] ビットが 00b (イベントを検出しない) の状態で行ってください。TCST ビットは、カウントソースに同期して 0 になります。TCST ビットを 0 にした場合、このビットが更新されたことを確認してから次の処理を実行してください。

TCNF[1:0] ビット (時間キャプチャノイズフィルタ制御)

時間キャプチャイベント入力端子 (RTCIC0、RTCIC1、RTCIC2) のノイズフィルタを制御します。

ノイズフィルタが ON の場合、カウントソースの 1 分周または 32 分周を選択できます。このとき、時間キャプチャイベント入力端子の入力レベルが設定したサンプリング周期で 3 回連続して一致すると、その入力レベルが確定されます。

TCNF[1:0] ビットの設定は、TCCT[1:0] ビットが 00b (イベントを検出しない) の状態で行ってください。ノイズフィルタを使用する場合は、TCNF[1:0] ビットの設定後、設定したサンプリング周期の 3 周期分待った後、TCCT[1:0] ビットの設定を行ってください。また、TCNF[1:0] ビットの設定は、VBTICTLR.VCHnIEN ビットが 1 の状態で行ってください。

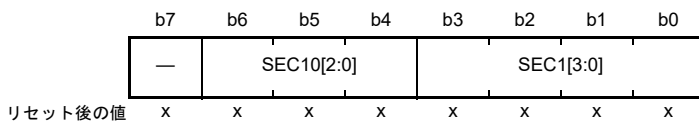
TCEN ビット (時間キャプチャイベント入力端子有効)

時間キャプチャイベント入力端子 (RTCIC0、RTCIC1、および RTCIC2) を有効または無効にします。時間キャプチャイベント入力端子 (RTCTC0、RTCTC1、および RTCTC2) に複数の機能を割り当てる場合は、最初に VBTICTLR レジスタを設定してください。TCEN ビットを 0 にする場合、TCCT[1:0] ビットも 00b にしてください。

24.2.23 秒キャプチャレジスタ y (RSECCPy) (y = 0 ~ 2) / BCNT0 キャプチャレジスタ y (BCNT0CPy) (y = 0 ~ 2)

(1) カレンダーカウントモード時

アドレス [RTC.RSECCP0 4004 4052h](#), [RTC.RSECCP1 4004 4062h](#), [RTC.RSECCP2 4004 4072h](#)



x: 不定

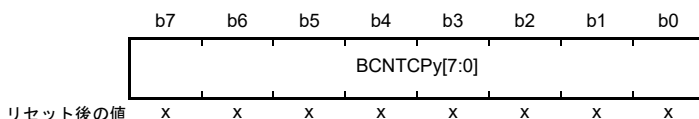
ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒キャプチャ	一秒の位のキャプチャ値を示します。	R
b6-b4	SEC10[2:0]	10秒キャプチャ	十秒の位のキャプチャ値を示します。	R
b7	—	予約ビット	RTCソフトウェアリセット後、読むと0が読めます。	R

RSECCPy レジスタは、時間キャプチャイベント検出時に RSECCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RSECCP0 レジスタに、RTCIC1 端子によるイベント検出時は RSECCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RSECCP2 レジスタに、それぞれイベント検出時刻が格納されます。このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

(2) バイナリカウントモード時

アドレス [RTC.BCNT0CP0 4004 4052h](#), [RTC.BCNT0CP1 4004 4062h](#), [RTC.BCNT0CP2 4004 4072h](#)



x: 不定

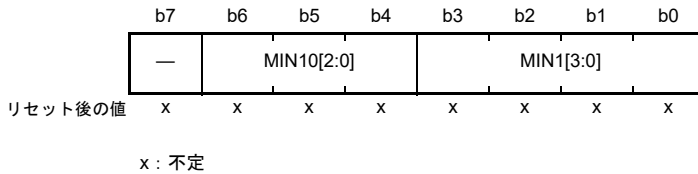
BCNT0CPy レジスタは、時間キャプチャイベント検出時に BCNT0 カウンタ値をキャプチャする読み出し専用のレジスタです。RTCIC0 端子によるイベント検出時は BCNT0CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT0CP1 レジスタに、そして RTCIC2 端子によるイベント検出時は BCNT0CP2 レジスタに、それぞれイベント検出時刻が格納されます。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

24.2.24 分キャプチャレジスタ y (RMINCPy) (y = 0 ~ 2) / BCNT1 キャプチャレジスタ y (BCNT1CPy) (y = 0 ~ 2)

(1) カレンダーカウントモード時

アドレス [RTC.RMINCP0 4004 4054h](#), [RTC.RMINCP1 4004 4064h](#), [RTC.RMINCP2 4004 4074h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分キャプチャ	一分の位のキャプチャ値を示します。	R
b6-b4	MIN10[2:0]	10分キャプチャ	十分の位のキャプチャ値を示します。	R
b7	—	予約ビット	RTCソフトウェアリセット後、読むと0が読めます。	R

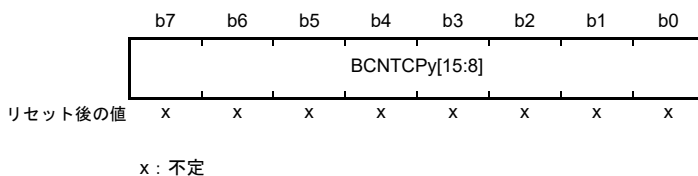
RMINCPy レジスタは、時間キャプチャイベント検出時に RMINCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RMINCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMINCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RMINCP2 レジスタに、それぞれイベント検出時刻が格納されます。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

(2) バイナリカウントモード時

アドレス [RTC.BCNT1CP0 4004 4054h](#), [RTC.BCNT1CP1 4004 4064h](#), [RTC.BCNT1CP2 4004 4074h](#)



BCNT1CPy レジスタは、時間キャプチャイベント検出時に BCNT1 カウンタ値をキャプチャする読み出し専用のレジスタです。

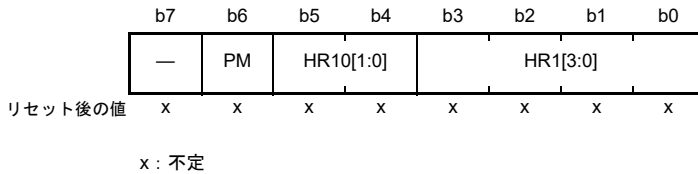
RTCIC0 端子によるイベント検出時は BCNT1CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT1CP1 レジスタに、そして RTCIC2 端子によるイベント検出時は BCNT1CP2 レジスタに、それぞれイベント検出時刻が格納されます。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

24.2.25 時キャプチャレジスタ y (RHRCPy) (y = 0 ~ 2) / BCNT2 キャプチャレジスタ y (BCNT2CPy) (y = 0 ~ 2)

(1) カレンダーカウントモード時

アドレス [RTC.RHRCP0 4004 4056h](#), [RTC.RHRCP1 4004 4066h](#), [RTC.RHRCP2 4004 4076h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間キャプチャ	一時間の位のキャプチャ値を示します。	R
b5-b4	HR10[1:0]	10時間キャプチャ	十時間の位のキャプチャ値を示します。	R
b6	PM	PM	0: 午前 1: 午後	R
b7	—	予約ビット	RTCソフトウェアリセット後、読むと0が読めます。	R

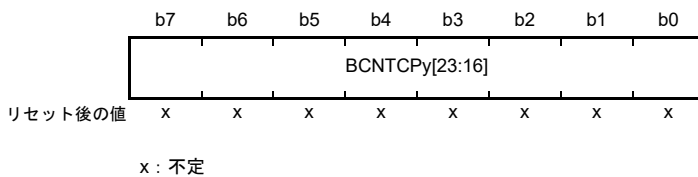
RHRCPy レジスタは、時間キャプチャイベント検出時に RHRCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RHRCP0 レジスタに、RTCIC1 端子によるイベント検出時は RHRCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RHRCP2 レジスタに、それぞれイベント検出時刻が格納されます。RCR2.HR24 ビットが 0 (12 時間モード) の場合にのみ、PM ビットが有効になります。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

(2) バイナリカウントモード時

アドレス [RTC.BCNT2CP0 4004 4056h](#), [RTC.BCNT2CP1 4004 4066h](#), [RTC.BCNT2CP2 4004 4076h](#)



BCNT2CPy レジスタは、時間キャプチャイベント検出時に BCNT2 カウンタ値をキャプチャする読み出し専用のレジスタです。

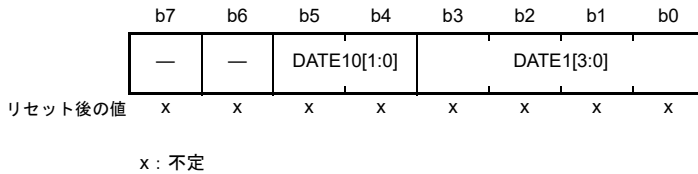
RTCIC0 端子によるイベント検出時は BCNT2CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT2CP1 レジスタに、そして RTCIC2 端子によるイベント検出時は BCNT2CP2 レジスタに、それぞれイベント検出時刻が格納されます。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

24.2.26 日キャプチャレジスタ y (RDAYCPy) (y = 0 ~ 2) / BCNT3 キャプチャレジスタ y (BCNT3CPy) (y = 0 ~ 2)

(1) カレンダーカウントモード時

アドレス [RTC.RDAYCP0 4004 405Ah](#), [RTC.RDAYCP1 4004 406Ah](#), [RTC.BCNT3CP2 4004 407Ah](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日キャプチャ	一日の位のキャプチャ値を示します。	R
b5-b4	DATE10[1:0]	10日キャプチャ	十日の位のキャプチャ値を示します。	R
b7-b6	—	予約ビット	RTCソフトウェアリセット後、読むと0が読めます。	R

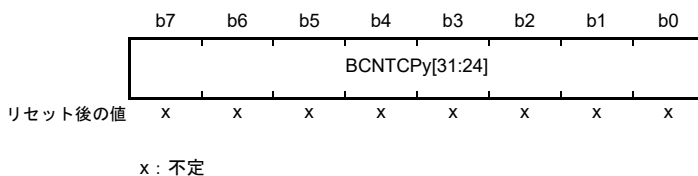
RDAYCPy レジスタは、時間キャプチャイベント検出時に RDAYCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RDAYCP0 レジスタに、RTCIC1 端子によるイベント検出時は RDAYCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RDAYCP2 レジスタに、それぞれイベント検出時刻が格納されます。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

(2) バイナリカウントモード時

アドレス [RTC.BCNT3CP0 4004 405Ah](#), [RTC.BCNT3CP1 4004 406Ah](#), [RTC.BCNT3CP2 4004 407Ah](#)



BCNT3CPy レジスタは、時間キャプチャイベント検出時に BCNT3 カウンタ値をキャプチャする読み出し専用のレジスタです。

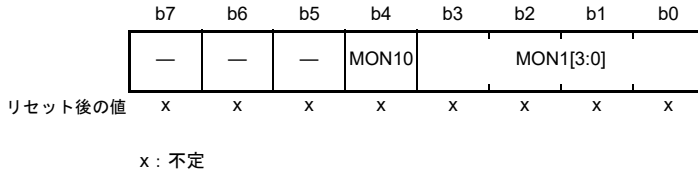
RTCTC0 端子によるイベント検出時は BCNT3CP0 レジスタに、RTCTC1 端子によるイベント検出時は BCNT3CP1 レジスタに、そして RTCTC2 端子によるイベント検出時は BCNT3CP2 レジスタに、それぞれイベント検出時刻が格納されます。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

24.2.27 月キャプチャレジスタ y (RMONCPy) (y = 0 ~ 2)

(1) カレンダーカウントモード時

アドレス [RTC.RMONCP0 4004 405Ch](#), [RTC.RMONCP1 4004 406Ch](#), [RTC.RMONCP2 4004 407Ch](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月キャプチャ	一月の位のキャプチャ値を示します。	R
b4	MON10	10月キャプチャ	十月の位のキャプチャ値を示します。	R
b7-b5	—	予約ビット	読むと0が読めます。	R

RMONCPy レジスタは、時間キャプチャイベント検出時に RMONCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RMONCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMONCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RMONCP2 レジスタに、それぞれイベント検出時刻が格納されます。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

24.3 動作説明

24.3.1 電源投入後のレジスタ初期設定の概要

電源投入後は、クロック設定、カウントモード設定、時間誤差補正、時刻設定、アラーム、割り込み、および時間キャプチャコントロールレジスタに対して、初期設定を行ってください。

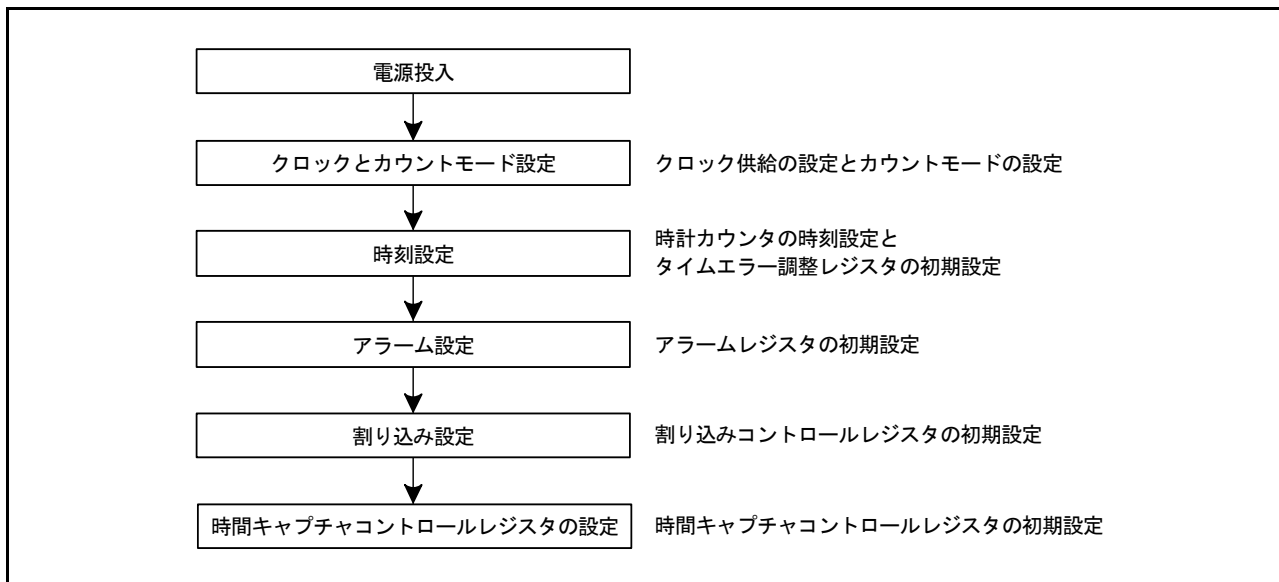


図 24.2 電源投入後の初期設定の概要

24.3.2 クロックおよびカウントモードの設定手順

図 24.3 にクロックおよびカウントモードの設定手順を示します。

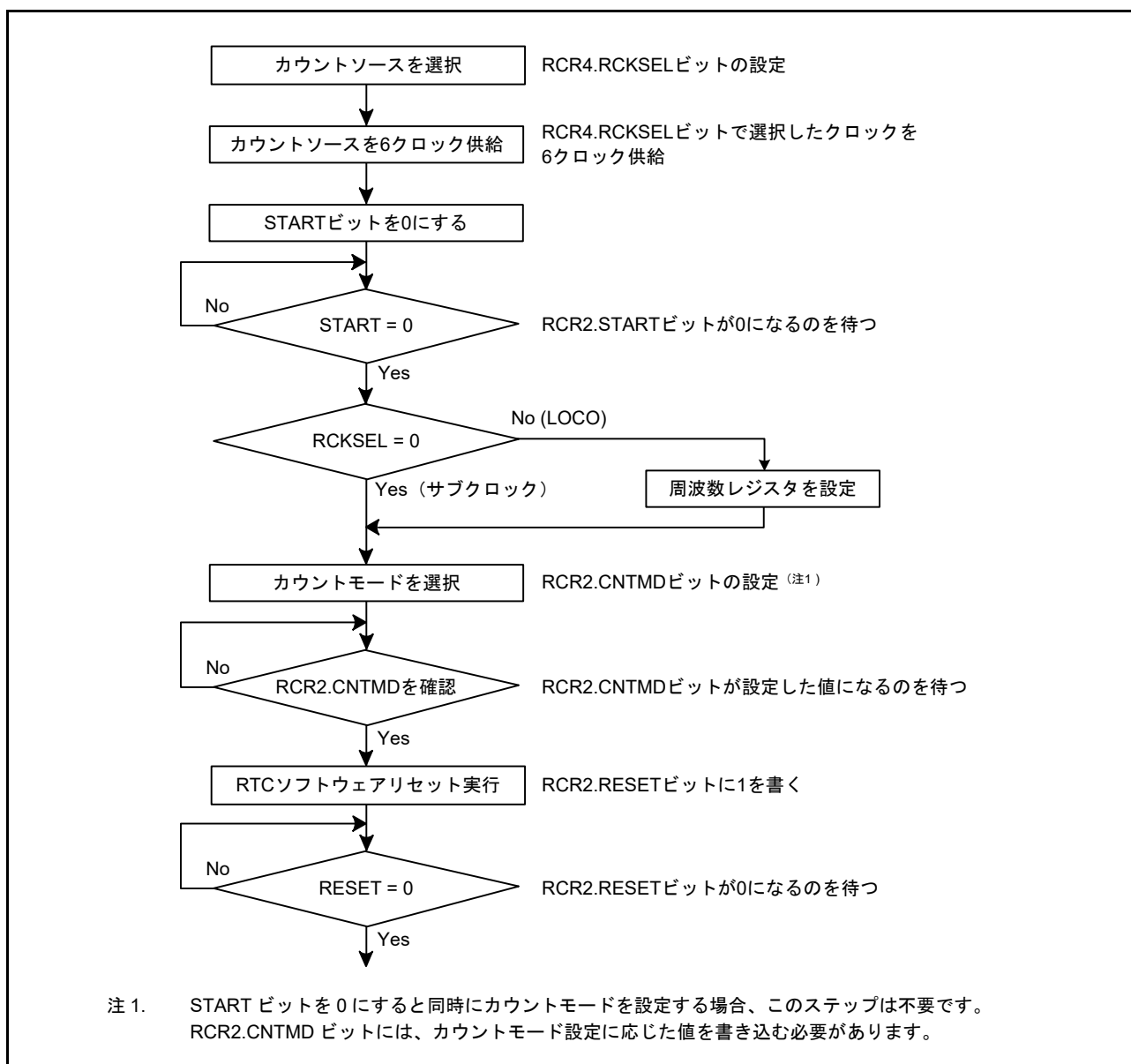


図 24.3 クロックおよびカウントモードの設定手順

24.3.3 時刻の設定

図 24.4 に時刻の設定手順を示します。

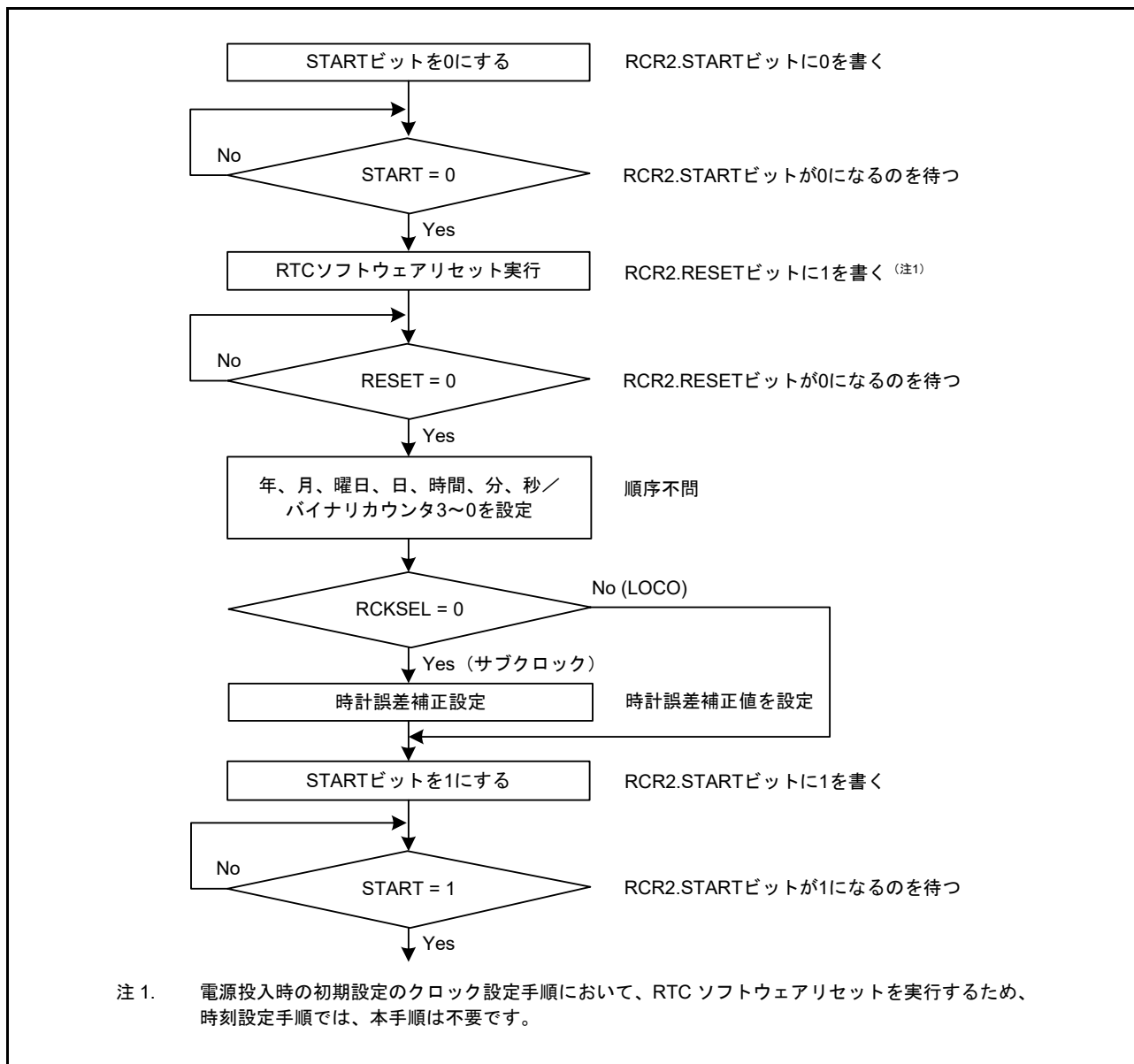


図 24.4 時刻の設定

24.3.4 30 秒調整

図 24.5 に 30 秒調整の実行手順を示します。

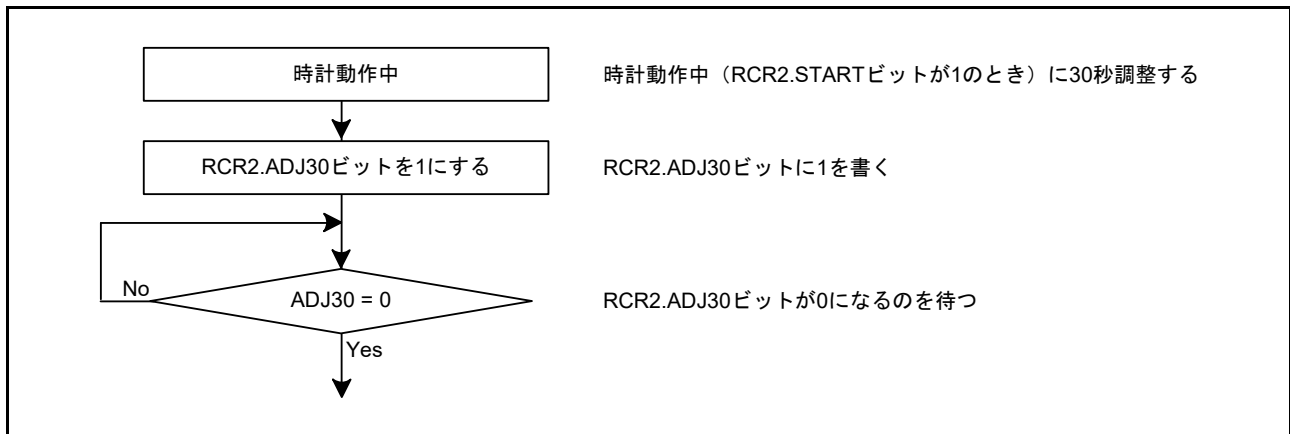


図 24.5 30 秒調整

24.3.5 64Hz カウンタと時刻の読み出し

図 24.6 に 64Hz カウンタと時刻の読み出し手順を示します。

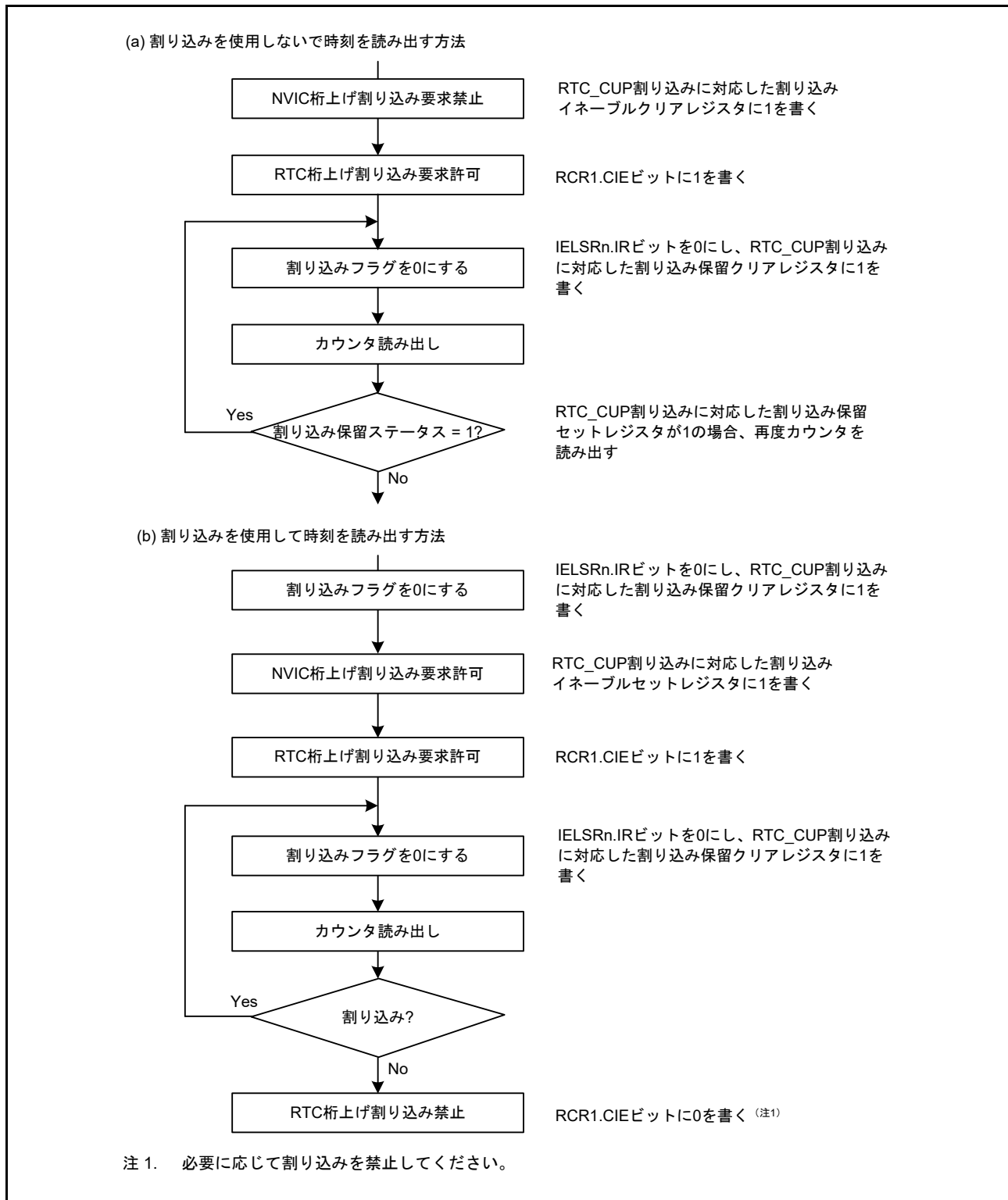


図 24.6 時刻読み出し

64Hz カウンタと時刻の読み出し中に桁上げが生じると、正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しないで時刻を読み出す場合の手順を図 24.6 の (a) に、桁上げ割り込みを使用する場合の手順を (b) に示します。通常は、プログラムを容易にするために、方法 (a) を使用してください。

24.3.6 アラーム機能

図 24.7 にアラーム機能の使用方法を示します。

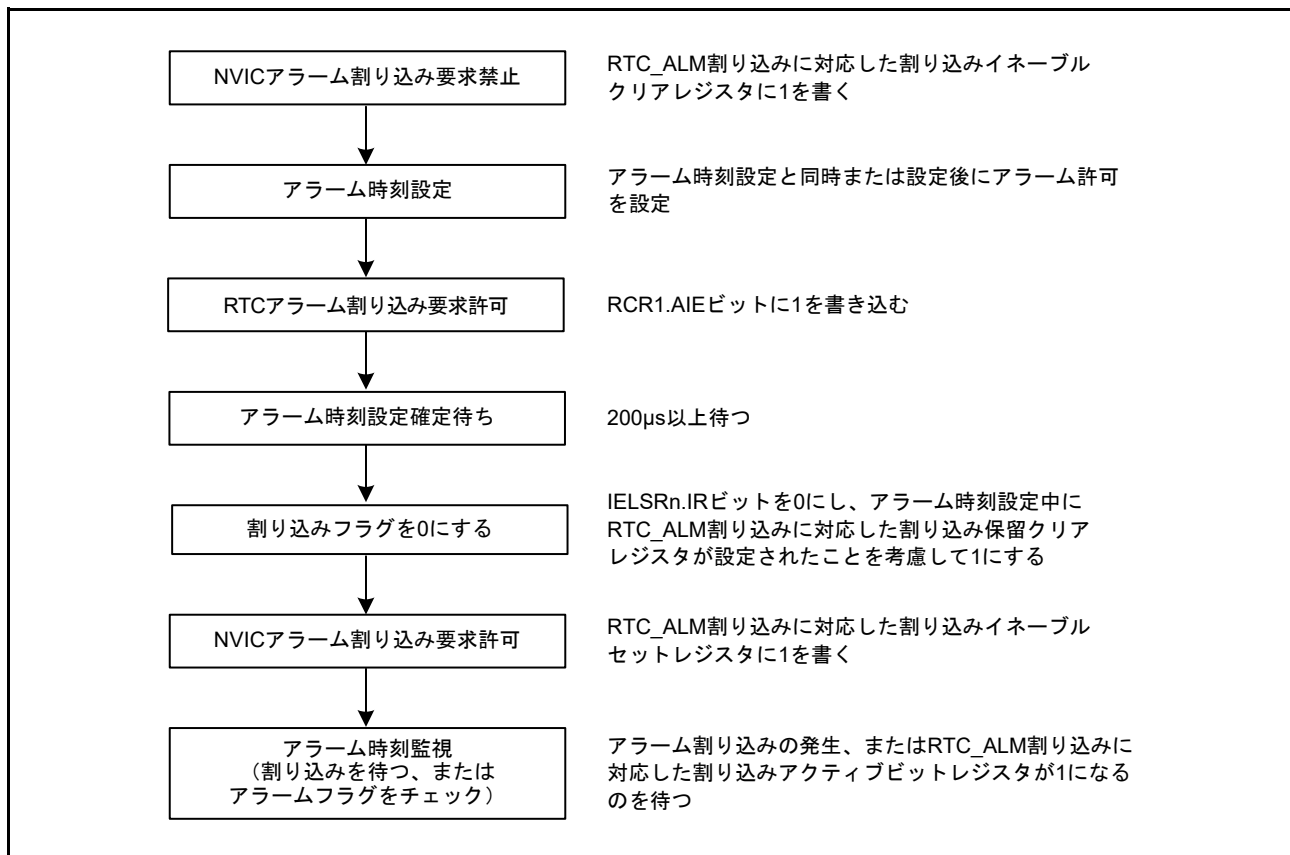


図 24.7 アラーム機能の使用法

カレンダーカウントモードでは、年、月、日、曜日、時、分、秒のいずれか1つ、またはこれらの任意の組み合わせで、アラームを発生させることができます。アラーム設定を必要とする各アラームレジスタのENBビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタはENBビットに0を書き込みます。

バイナリカウントモードでは、32ビットの任意ビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応するアラームイネーブルレジスタのENBビットに1を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットに対しては、アラームイネーブルレジスタのENBビットに0を書き込みます。

カウンタとアラーム時刻が一致すると、IELSRn.IRビットと、RTC_ALM割り込みに対応した割り込みセット保留/クリア保留レジスタが1になります。アラームの検出は、RTC_ALM割り込みに対応した割り込みセット保留レジスタを読み出すことで確認できますが、通常は割り込みを使用してください。RTC_ALM割り込みに対応した割り込みセットイネーブルレジスタが1になっていると、アラームイベント発生時にアラーム割り込みが発生し、アラームの検出が可能になります。

RTC_ALM割り込みに対応したIELSRn.IRビットは、0を書き込むと0になります。割り込みを許可した場合、割り込みハンドラの終了後、RTC_ALM割り込みに対応した割り込みセット保留/クリア保留レジスタと割り込みアクティブビットレジスタが自動的にクリアされます。割り込みを禁止した場合は、RTC_ALM割り込みに対応した割り込みクリア保留レジスタに1を書いてクリアしてください。

低消費電力状態のときにカウンタとアラーム時刻が一致すると、MCUは低消費電力状態から復帰します。

24.3.7 アラーム割り込み禁止手順

図 24.8 に、許可状態のアラーム割り込み要求を禁止する手順を示します。

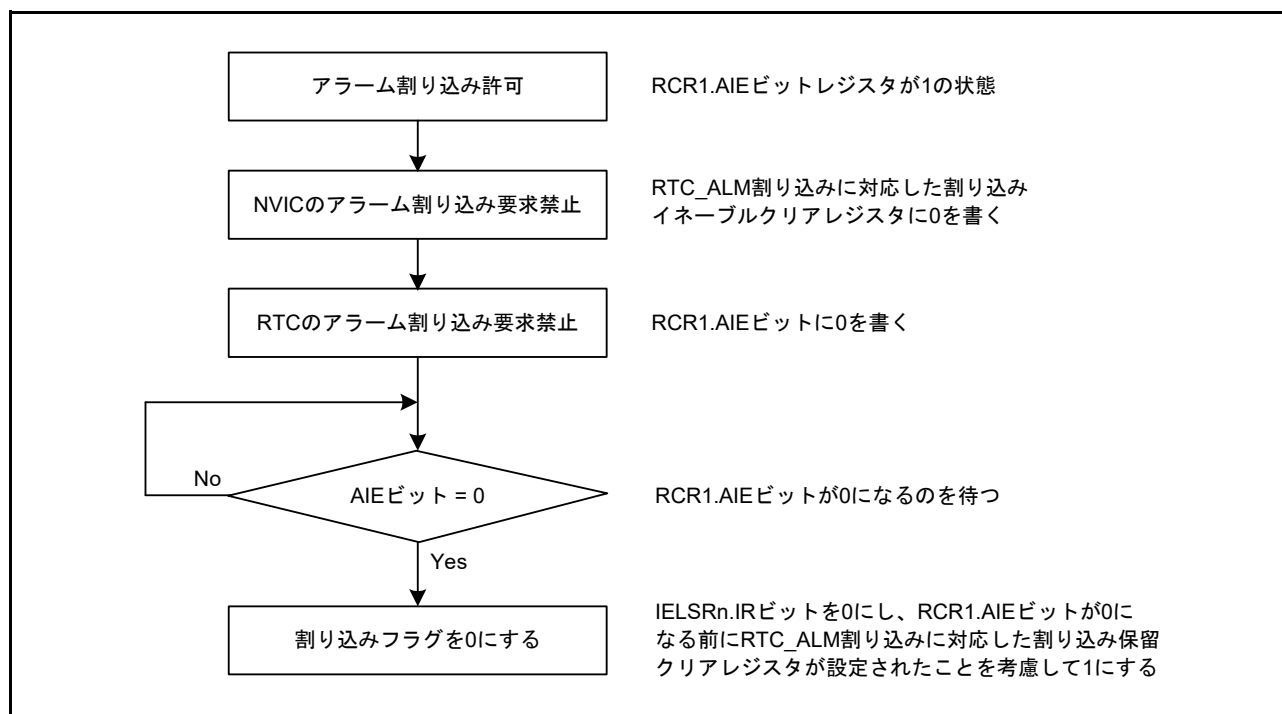


図 24.8 アラーム割り込み要求の禁止手順

24.3.8 時間誤差補正機能

時間誤差補正機能は、サブクロック発振器による発振精度の変動に起因した、時間の誤差（遅れ／進み）を補正するために使用します。サブクロック発振器を選択した場合、サブクロック発振器の 32768 サイクルが 1 秒の動作に相当するため、サブクロックの周波数が高いと時計が進み、低いと時計が遅れます。

時間誤差補正機能には以下の種類があります。

- 自動補正
- ソフトウェアによる補正

自動補正またはソフトウェアによる補正は、RCR2.AADJE ビットで選択してください。

24.3.8.1 自動補正

RCR2.AADJE ビットを 1 にすると、自動補正が有効になります。自動補正では、RCR2.AADJP ビットで選択した補正周期ごとに、プリスケアラでカウントした値に対して RADJ レジスタ値を加算または減算します。

(1) 例 1：サブクロック発振器が 32.769kHz で動作している場合

(a) 補正方法

サブクロック発振器が 32.769kHz で動作している場合、32769 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルで動作するよう設計されているため、1 秒ごとに 1 クロックサイクル分時計が進みます。時計は、1 分当たり 60 クロックサイクルのペースで早くなるため、1 分ごとに 60 クロックサイクルだけ遅らせる方法で補正が可能です。

レジスタ設定値が RCR2.CNTMD = 0 の場合（カレンダーカウントモード）

- RCR2.AADJP ビット = 0（1 分ごとに補正）
- RADJ.PMADJ[1:0] ビット = 10b（プリスケアラに対して値を減算して補正）
- RADJ.ADJ[5:0] ビット = 60（3Ch）

(2) 例 2：サブクロック発振器が 32.766kHz で動作している場合

(a) 補正方法

サブクロック発振器が 32.766kHz で動作している場合、32766 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルで動作するよう設計されているため、1 秒ごとに 2 クロックサイクル分、時計が遅れます。時計は、10 秒当たり 20 クロックサイクルのペースで遅くなるため、10 秒ごとに 20 クロックサイクル分時計を進める方法で補正が可能です。

レジスタ設定値が RCR2.CNTMD = 0 の場合（カレンダーカウントモード）

- RCR2.AADJP ビット = 1（10 秒ごとに補正）
- RADJ.PMADJ[1:0] ビット = 01b（プリスケアラに対して値を加算して補正）
- RADJ.ADJ[5:0] ビット = 20（14h）

(3) 例 3：サブクロック発振器が 32.764kHz で動作している場合

(a) 補正方法

32.764kHz で動作している場合、32764 クロックサイクルで 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、時計は 1 秒間に 4 クロックサイクル分遅れます。8 秒間では 32 クロックサイクル遅れるため、8 秒ごとに 32 クロックサイクル分時計を進める方法で補正が可能です。

レジスタ設定値が RCR2.CNTMD = 1 の場合（バイナリカウントモード）

- RCR2.AADJP ビット = 1（8 秒ごとに補正）
- RADJ.PMADJ[1:0] ビット = 01b（プリスケアラに対して値を加算して補正）

- RCR2.AADJE ビット = 0

24.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットを 0 にすると、ソフトウェアによる補正が有効になります。ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで、プリスケアラでカウントした値に対し RADJ レジスタ値を加算または減算します。

(1) 例 1 : サブクロック発振器が 32.769kHz で動作している場合

(a) 補正方法

サブクロック発振器が 32.769kHz で動作している場合、32769 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルで動作するように設計されているため、1 秒ごとに 1 クロックサイクル分時計が進みます。時計は、1 秒当たり 1 クロックサイクルのペースで早くなるため、1 秒ごとに 1 クロックサイクル分時計を遅らせる方法で補正が可能です。

(b) レジスタ設定値

- RCR2.PMADJ[1:0] ビット = 10b (プリスケアラに対して値を減算して補正)
- RCR2.AADJE ビット = 1 (01h)
この値を、1 秒の割り込みにつき 1 回、RADJ レジスタに書き込みます

24.3.8.3 補正モードの変更手順

補正モードを変更する場合は、RADI.PMADJ[1:0] ビットを 00b (補正を行わない) にした後、RCR2.AADJE ビットの値を変更してください。

ソフトウェアによる補正から自動補正へ切り替える場合

1. RADI.PMADJ[1:0] ビットを 00b (補正を行わない) にします。
2. RCR2.AADJE ビットを 1 (自動補正を有効) にします。
3. RCR2.AADJP ビットで補正周期を選択します。
4. RADI.PMADJ[1:0] ビットに加算または減算を設定し、RADI.ADJ[5:0] ビットに時間誤差補正値を設定します。

自動補正からソフトウェアによる補正へ切り替える場合

1. RADI.PMADJ[1:0] ビットを 00b (補正を行わない) にします。
2. RCR2.AADJE ビットを 0 (ソフトウェアによる補正を有効) にします。
3. 任意のタイミングで、RADI.PMADJ[1:0] ビットに加算または減算を設定し、RADI.ADJ[5:0] ビットに時間誤差補正値を設定することにより、補正を開始します。以降、RADI レジスタに値を書き込むごとに時間補正が行われます。

24.3.8.4 補正の停止手順

補正を停止するには、RADI.PMADJ[1:0] ビットを 00b (補正を行わない) にします。

24.3.8.5 時間キャプチャ

RTC は、時間キャプチャイベント入力端子のエッジ検出によって、月、日、時、分、および秒の値、またはバイナリカウンタ 3 ~ 0 の値を格納することが可能です。

また、RTC の時間キャプチャイベント入力端子には、ノイズフィルタを使用できます。ノイズフィルタを有効にした場合、端子の入力レベルが 3 回一致すると TCST ビットが 1 になります。

時間キャプチャイベント入力端子は、端子ごとにノイズフィルタの ON/OFF を設定できます。VBTICTLR.VCHnIEN (n = 0 ~ 2) ビットを 1 にして、RTCICn 入力を有効にしてください。ノイズフィルタ OFF の場合の動作を図 24.9 に、ノイズフィルタ ON の場合の動作を図 24.10 に示します。

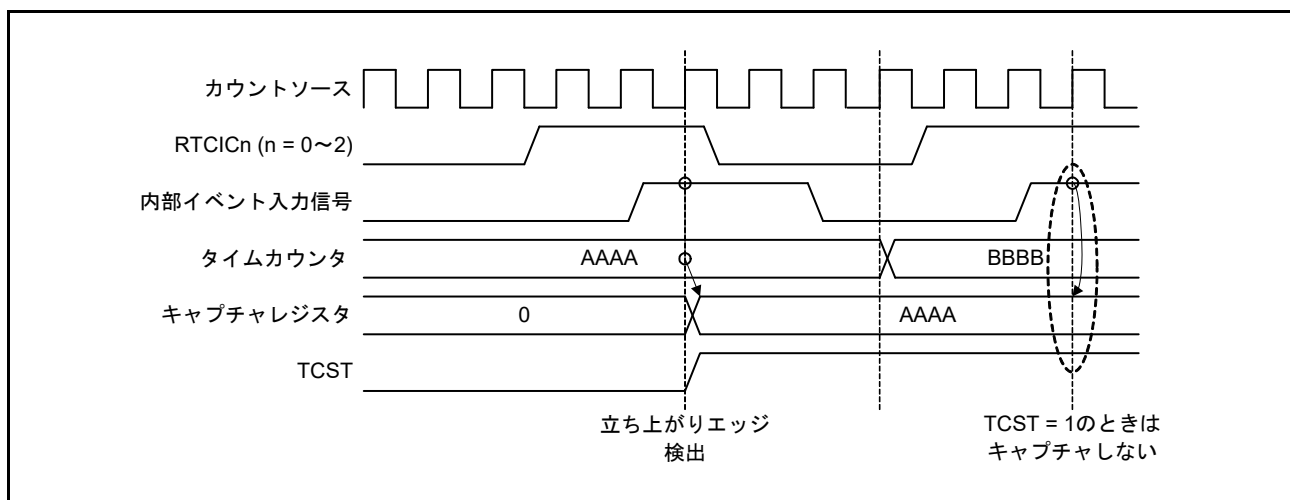


図 24.9 フィルタ OFF 時の時間キャプチャ動作のタイミング

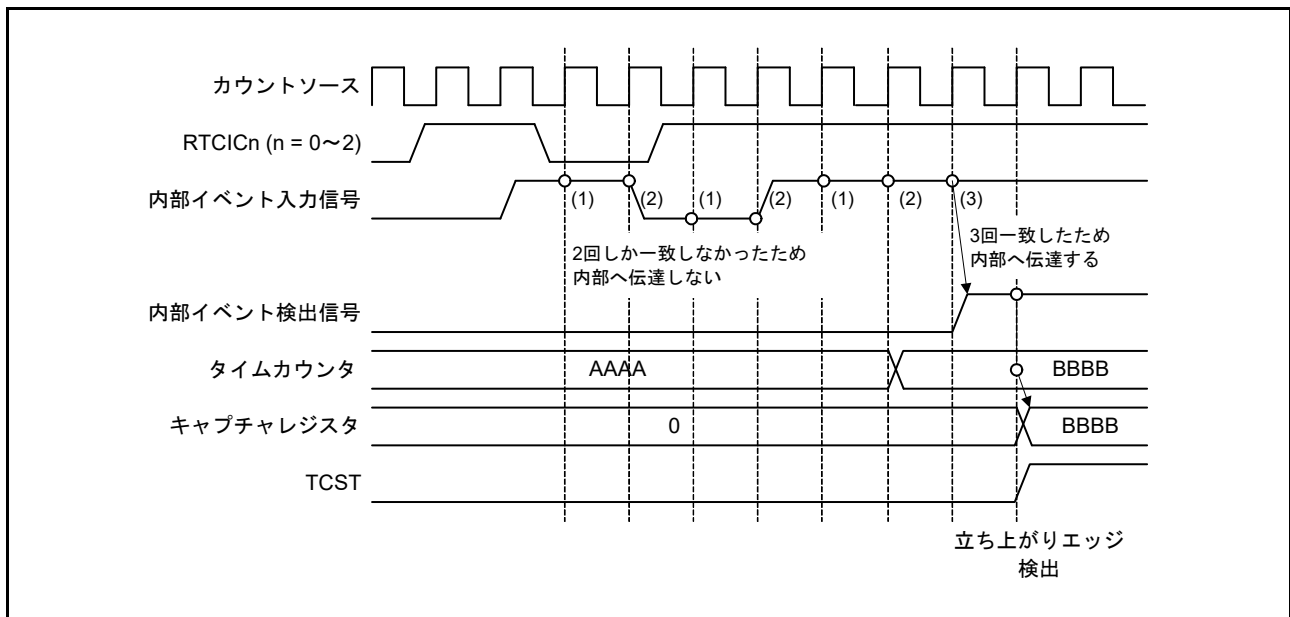


図 24.10 フィルタ ON 時の時間キャプチャ動作のタイミング

24.4 割り込み要因

RTC には、表 24.3 に示すように、3 種類の割り込み要因があります。

表 24.3 RTC 割り込み要因

名称	割り込み要因
RTC_ALM	アラーム割り込み
RTC_PRD	周期割り込み
RTC_CUP	桁上げ割り込み

(1) アラーム割り込み (RTC_ALM)

この割り込みは、アラームレジスタと RTC カウンタの比較結果に基づいて発生します。詳細は、24.3.6 [アラーム機能](#) を参照してください。

アラームレジスタの設定値が時計カウンタと一致したとき、割り込みフラグが 1 になる可能性があるため、アラームレジスタの値を変更した後は、アラーム時刻の設定が確定されるまで待って、IELSRn.IR ビットと、RTC_ALM 割り込みに対応する割り込みセット保留レジスタを再び 0 にクリアしてください。アラーム割り込みの割り込みフラグが 1 になった後、アラームレジスタと時計カウンタを不一致状態に戻すと、再び一致するかアラームレジスタの値の再設定を行うまでフラグは 1 になりません。

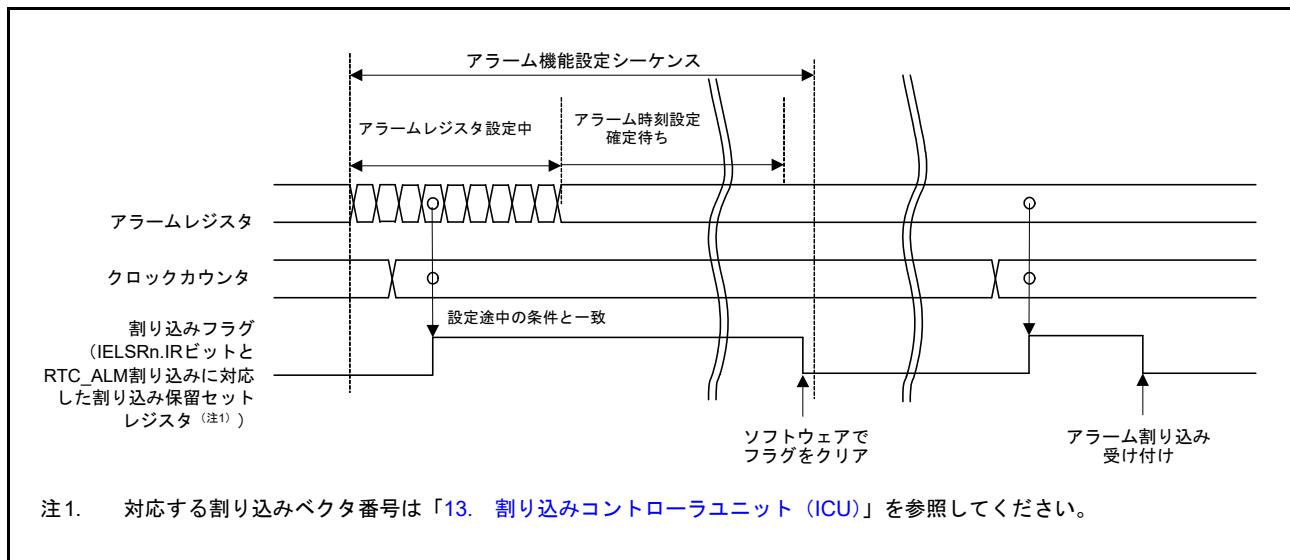


図 24.11 アラーム割り込み (RTC_ALM) のタイミング

(2) 周期割り込み (RTC_PRD)

この割り込みは、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、または 1/256 秒周期で発生します。RCR1.PES[3:0] ビットによって割り込み周期の選択が可能です。

(3) 桁上げ割り込み (RTC_CUP)

この割り込みは、秒カウンタ/バイナリカウンタ 0 への桁上げが生じたとき、または 64Hz カウンタの読み出しと R64CNT カウンタへの桁上げが重なったときに発生します。

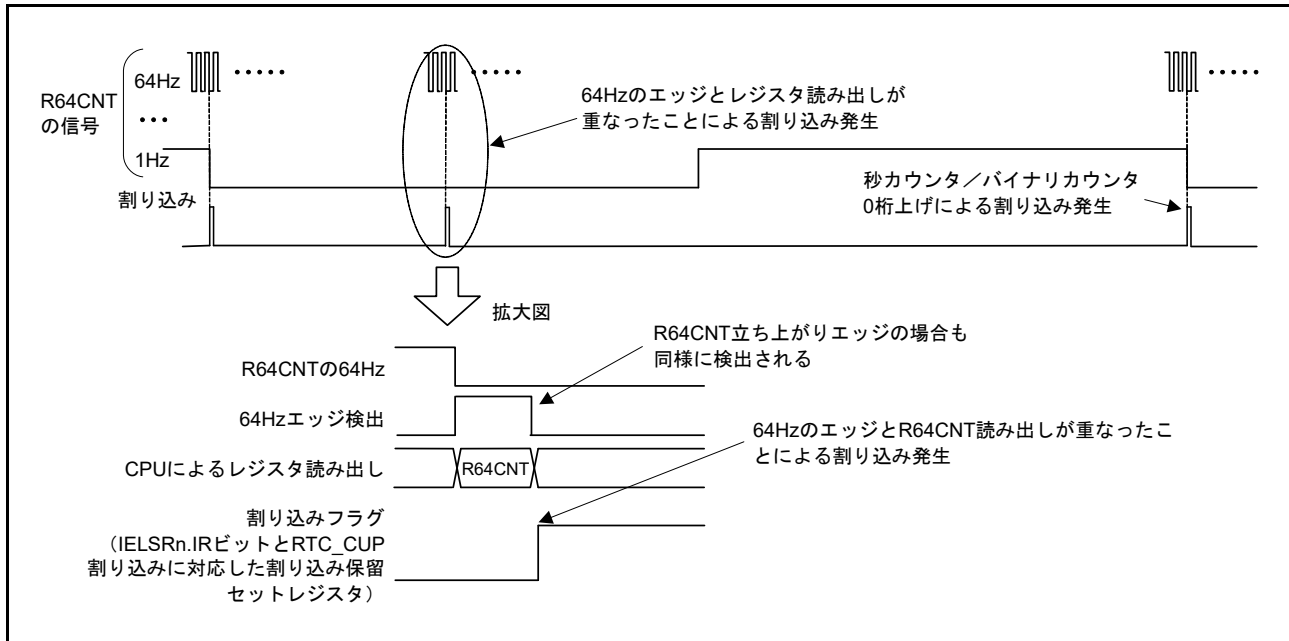


図 24.12 桁上げ割り込み (RTC_CUP) のタイミング

24.5 イベントリンク出力機能

RTC は、イベントリンクコントローラ (ELC) に対して周期イベント出力 (RTC_PRD) のイベント信号を発生させることで、あらかじめ選択しておいた他のモジュールを動作させることが可能です。

RCR1.PES[3:0] ビットの設定により、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒から選択した周期でイベントを出力します。

イベント発生を選択した直後のイベント発生周期は保証されません。

注 . RTC からのイベントリンク機能を使用する場合は、必ず RTC の設定 (初期化、時刻設定など) を行った後、ELC を設定してください。ELC の設定後に RTC を設定すると、意図しないイベント信号が出力される場合があります。

24.5.1 割り込み処理とイベントリンク機能

RTC には、周期割り込みを許可または禁止する許可ビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが許可の場合に、CPU に対して割り込み要求信号が出力されます。

これに対して、イベントリンク出力信号は、対応する割り込み許可ビットの設定とは無関係に、割り込み要因が発生すると、ELC を介して他のモジュールにイベント信号として送信されます。

注 . ソフトウェアスタンバイモード中も、アラーム割り込みと周期割り込みの出力は可能ですが、ELC 用の周期イベント信号は出力されません。

24.6 使用上の注意事項

24.6.1 カウント動作時のレジスタ書き込みについて

カウント動作時 (RCR2.START ビット = 1 のとき) は、以下のレジスタやビットに書き込みを行わないでください。

- RSECCNT/BCNT0
- RMINCNT/BCNT1
- RHRCNT/BCNT2
- RDAYCNT
- RWKCNT/BCNT3
- RMONCNT
- RYRCNT
- RCR1.RTCOS
- RCR2.RTCOE
- RCR2.HR24
- RFRL

上記のレジスタのいずれかに書き込みを行う場合は、前もってカウント動作を停止する必要があります。

24.6.2 周期割り込みの使用について

周期割り込みの使用法を図 24.13 に示します。

周期割り込みの発生とその周期は、RCR1.PES[3:0] ビットの設定で変更できます。ただし、割り込みの生成にはプリスケアラ R64CNT と RSECCNT/BCNT0 カウンタが使用されるため、RCR1.PES[3:0] ビットの設定直後は、割り込み発生周期が保証されません。さらに、以下のいずれかによって、割り込み発生周期が影響される可能性があります。

- カウンタ動作の停止／動作／リセット
- RTC ソフトウェアリセット
- RCR2 値の変更による 30 秒調整

時間誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正值に従って加算または減算されます。

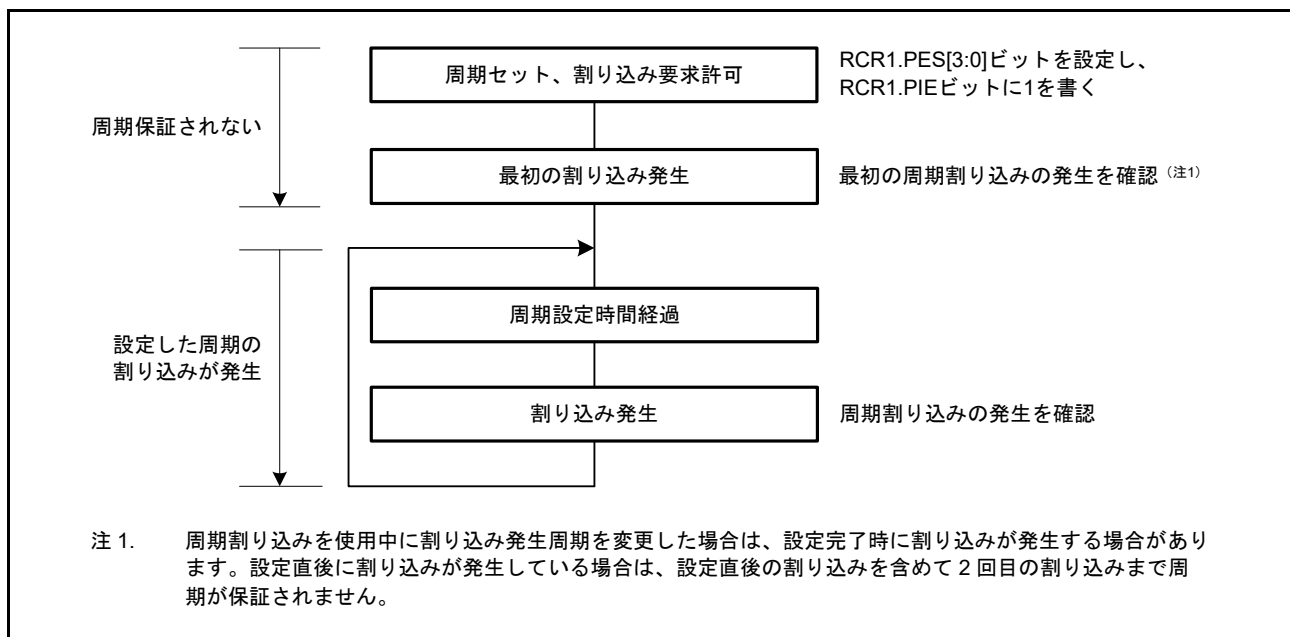


図 24.13 周期割り込み機能の使用法

24.6.3 RTCOUT (1Hz/64Hz) クロック出力について

RCR2 レジスタ値を変更して、カウンタ動作の停止／動作／リセット、RTC ソフトウェアリセット、および 30 秒調整を行うと、RTCOUT (1Hz/64Hz) 出力の周期に影響を与えます。時間誤差補正機能を使用した場合、補正後の RTCOUT (1Hz/64Hz) 出力の周期は、補正值に従って加算または減算されます。

24.6.4 レジスタ設定後の低消費電力モードへの遷移について

RTC レジスタの書き込み中に低消費電力状態（ソフトウェアスタンバイモードまたはバッテリーバックアップ状態）へ遷移すると、レジスタ値が破壊される場合があります。レジスタの設定後は、設定が確定されたことを確認してから低消費電力状態へ遷移してください。

24.6.5 レジスタの書き込み／読み出し時の注意事項

- カウンタレジスタ（秒カウンタなど）へ書き込んだ後、そのカウンタレジスタを読み出す際は、[24.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください
- カウントレジスタ、アラームレジスタ、年アラームイネーブルレジスタ、RCR2.AADJE、AADJP、HR24 ビット、RCR4 レジスタ、または周波数レジスタに書いた値は、書き込み後、4 回目の読み出しから反映されます
- RCR1.CIE ビット、RCR1.RTCOS ビット、および RCR2.RTCOE ビットは、書き込み直後に書いた値を読み出すことができます
- リセット、ソフトウェアスタンバイモード、またはバッテリーバックアップ状態から復帰した後、時計カウンタ値を読み出す際は、時計が動作中（RCR2.START ビット=1）の状態で 1/128 秒待ってください
- リセット発生後、カウントソースクロックが 6 サイクル経過してから、RTC レジスタへ書き込んでください

24.6.6 カウントモードの変更について

カウントモード（カレンダー／バイナリ）を変更する場合は、RCR2.START ビットを 0 にしてカウント動作を停止させた後、初期設定からやり直してください。初期設定の詳細は、[24.3.1 電源投入後のレジスタ初期設定の概要](#)を参照してください。

24.6.7 リアルタイムクロックを使用しない場合の初期化手順

RTC 内のレジスタは、リセットによって初期化されません。初期状態によっては、意図しない割り込み要求の発生やカウンタの動作によって、消費電力が増大する場合があります。

リアルタイムクロックを必要としない製品では、[図 24.14](#) に示す初期化手順に従って、レジスタを初期化してください。

他の方法として、サブクロック発振器をシステムクロックにもリアルタイムクロックにも使用しない場合は、RCR4.RCKSEL ビットを 0 (サブクロック発振器を選択) にした後、サブクロック発振器を停止させることでカウンタを停止できます。サブクロックを停止させるには、SOSCCR.SOSTP ビットに 1 を書き込んでください。

SOSCCR.SOSTP ビットの設定については、「[8. クロック発生回路](#)」を参照してください。

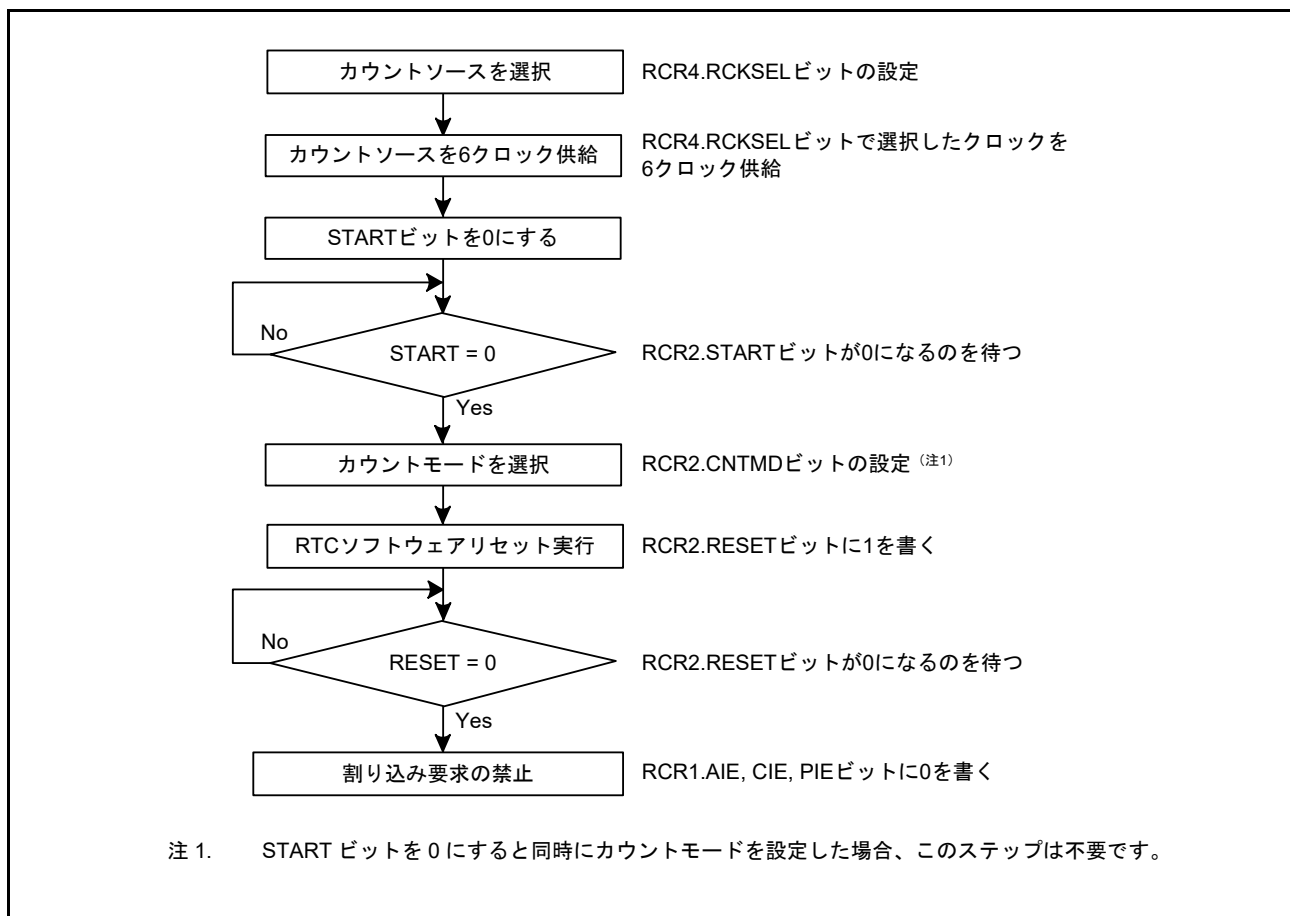


図 24.14 初期化手順

24.6.8 クロックソースを切り替える場合

SCKSCR.CKSEL[2:0] を変更することによりクロックソースを切り替える場合、セレクタからのクロック出力は、切り替えたクロックで 4 サイクル間停止します。このとき RTC 定期割り込みまたは RTC 定期イベント出力が発生した場合は、その割り込みまたはイベントは無効です。

25. ウォッチドッグタイマ (WDT)

25.1 概要

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走して WDT をリフレッシュできなくなったため、カウンタがアンダーフローした場合、MCU をリセットするために使用できます。さらに、ノンマスカブル割り込みやアンダーフロー割り込みを発生させるためにも使用できます。リフレッシュ許可期間を設定することで、カウンタのリフレッシュやシステムの暴走検知が可能になります。

表 25.1 に WDT の仕様を、図 25.1 にブロック図を示します。

表 25.1 WDT の仕様

項目	内容
カウントソース	周辺クロック (PCLKB)
クロック分周比	4分周/64分周/128分周/512分周/2048分周/8192分周
カウンタ動作	14ビットのダウンカウンタによるダウンカウント
カウンタ開始条件	<ul style="list-style-type: none"> オートスタートモード：リセット後、またはアンダーフロー/リフレッシュエラー発生後に自動的にカウント開始 レジスタスタートモード：WDTRRレジスタへの書き込みによるリフレッシュ動作でカウント開始
カウンタ停止条件	<ul style="list-style-type: none"> リセット (ダウンカウンタおよび他のレジスタが初期値に戻る) カウンタのアンダーフローまたはリフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
ウォッチドッグタイマリセット要因	<ul style="list-style-type: none"> ダウンカウンタのアンダーフロー リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
ノンマスカブル割り込み/割り込み要因	<ul style="list-style-type: none"> ダウンカウンタのアンダーフロー リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
カウンタ値の読み出し	WDTSRレジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能 (出力)	<ul style="list-style-type: none"> ダウンカウンタアンダーフローイベント出力 リフレッシュエラーイベント出力
出力信号 (内部信号)	<ul style="list-style-type: none"> リセット出力 割り込み要求出力 スリープモードカウント停止制御出力

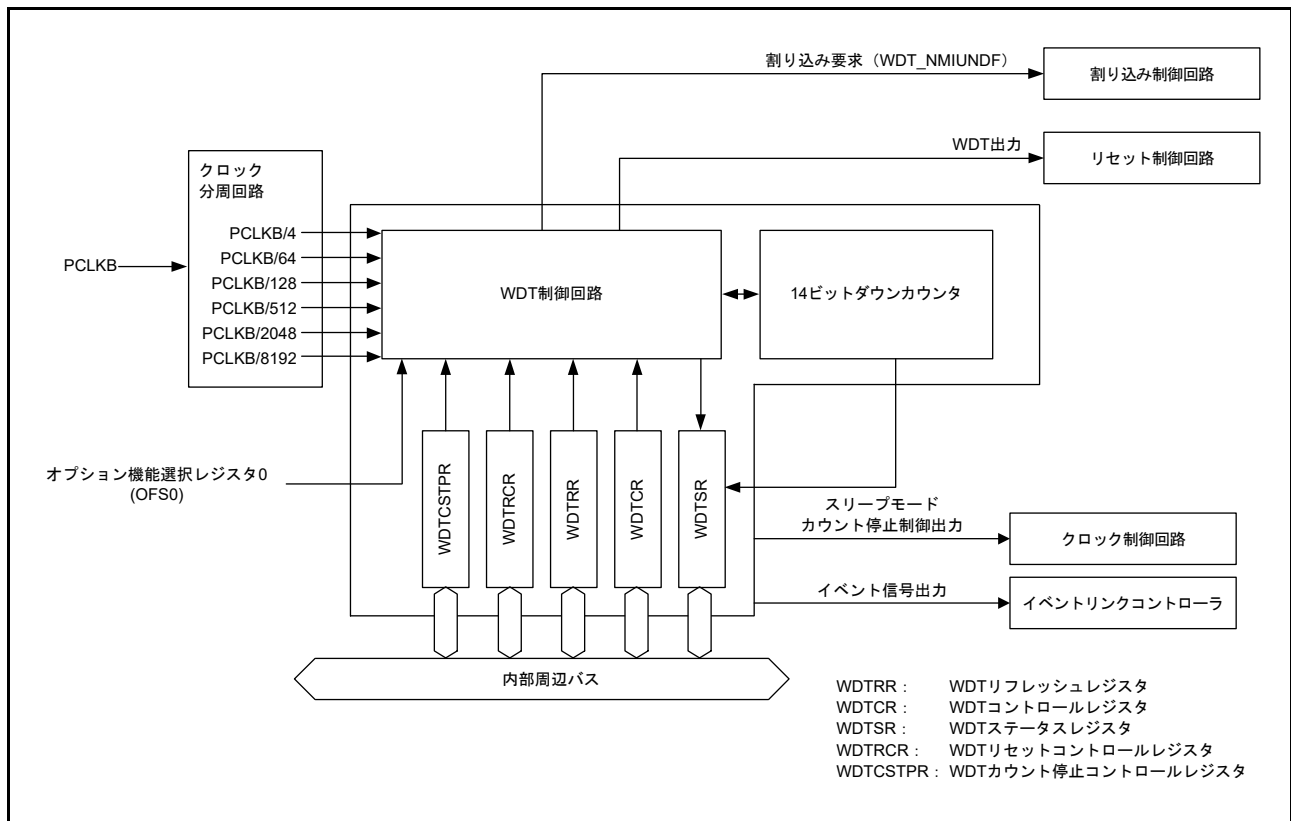


図 25.1 WDT のブロック図

25.2 レジスタの説明

25.2.1 WDT リフレッシュレジスタ (WDTRR)

アドレス [WDT.WDTRR 4004 4200h](#)



ビット	機能	R/W
b7-b0	このレジスタに対して、00hの書き込み後、FFhの書き込みでダウンカウンタがリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間内に、WDTRR レジスタに 00h を書き込んだ後、FFh を書き込むこと（リフレッシュ動作）により、WDT のダウンカウンタがリフレッシュされます。

オートスタートモードでは、ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 の WDT タイムアウト期間選択ビット (OFS0.WDTTOPS[1:0]) で設定した値からダウンカウントがスタートします。レジスタスタートモードでは、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントがスタートします。

読み出し値は、00h を書き込んだ場合は 00h であり、00h 以外の値を書き込んだ場合は FFh となります。リフレッシュ動作の詳細は、[25.3.3 リフレッシュ動作](#)を参照してください。

25.2.2 WDT コントロールレジスタ (WDTCR)

アドレス WDT.WDTCR 4004 4202h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択	b1 b0 0 0 : 1024 サイクル (03FFh) 0 1 : 4096 サイクル (0FFFh) 1 0 : 8192 サイクル (1FFFh) 1 1 : 16384 サイクル (3FFFh)	R/W
b3-b2	—	予約ビット	読むと0が読めます。書き込みは無効です。	R/W
b7-b4	CKS[3:0]	クロック分周比選択	b7 b4 0 0 0 1 : PCLKB/4 0 1 0 0 : PCLKB/64 1 1 1 1 : PCLKB/128 0 1 1 0 : PCLKB/512 0 1 1 1 : PCLKB/2048 1 0 0 0 : PCLKB/8192 上記以外は設定しないでください。	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウ終了位置の設定なし)	R/W
b11-b10	—	予約ビット	読むと0が読めます。書き込みは無効です。	R/W
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウ開始位置の設定なし)	R/W
b15-b14	—	予約ビット	読むと0が読めます。書き込みは無効です。	R/W

WDTCR レジスタへの書き込みには、いくつかの制限があります。詳細は、[25.3.2 WDTCR、WDTRCR、および WDTCTPR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。WDTCR レジスタの設定は、OFS0 レジスタでも可能です。詳細は、[25.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択)

タイムアウト期間 (ダウンカウンタがアンダーフローするまでの期間) を、CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル、4096 サイクル、8192 サイクル、16384 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間 (PCLKB サイクル数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせで決定されます。

表 25.2 に、CKS[3:0] および TOPS[1:0] ビットの設定値、タイムアウト期間、および PCLKB サイクル数の関係を示します。

表 25.2 タイムアウト期間の設定

CKS[3:0] ビット				TOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	PCLKB クロックサイクル数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	PCLKB/4	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	PCLKB/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	PCLKB/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	PCLKB/512	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	PCLKB/2048	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	PCLKB/8192	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

CKS[3:0] ビット (クロック分周比選択)

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、周辺クロック (PCLKB) の 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周から選択できます。TOPS[1:0] ビット設定と組み合わせて、WDT のカウント期間を PCLKB の 4096 ~ 134217728 クロックサイクルから選択できます。

RPES[1:0] ビット (ウィンドウ終了位置選択)

リフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0% から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください (ウィンドウ開始位置 > ウィンドウ終了位置)。「ウィンドウ開始位置 ≤ ウィンドウ終了位置」の設定を行った場合、ウィンドウ開始位置の設定のみが有効となり、ウィンドウ終了位置は 0% になります。

RPSS[1:0] ビット (ウィンドウ開始位置選択)

リフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 100%、75%、50%、25% から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください (ウィンドウ開始位置 > ウィンドウ終了位置)。「ウィンドウ開始位置 ≤ ウィンドウ終了位置」の設定を行った場合、ウィンドウ開始位置の設定のみが有効となり、ウィンドウ終了位置は 0% になります。

表 25.3 に、TOPS[1:0] ビットで設定されるタイムアウト期間を、図 25.2 に RPSS[1:0] ビットおよび RPES[1:0] ビットで設定されるリフレッシュ許可期間を示します。

表 25.3 タイムアウト期間とウィンドウ開始/終了カウンタ値の対応表

TOPS[1:0] ビット		タイムアウト期間		ウィンドウ開始/終了カウンタ値			
		サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

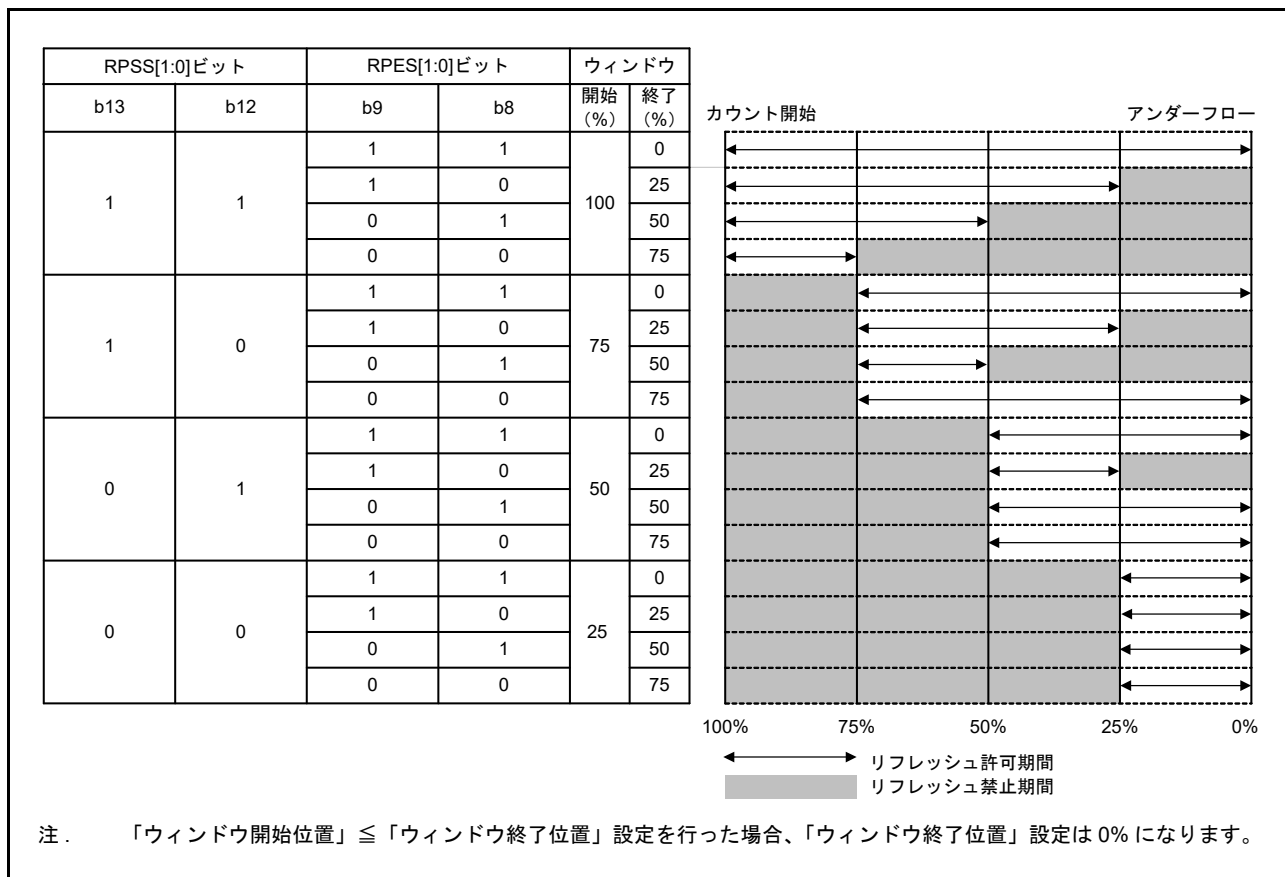
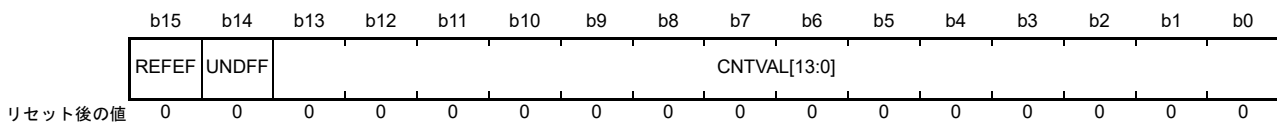


図 25.2 RPSS[1:0] および RPES[1:0] ビットとリフレッシュ許可期間

25.2.3 WDT ステータスレジスタ (WDTSR)

アドレス WDT.WDTSR 4004 4204h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダーフローフラグ	0: アンダーフロー発生なし 1: アンダーフロー発生あり	R(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラー発生なし 1: リフレッシュエラー発生あり	R(W) (注1)

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

CNTVAL[13:0] ビット (ダウンカウンタ値)

本ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウンタ値から 1 カウントずれる場合があります。

UNDFE フラグ (アンダーフローフラグ)

本フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

UNDFE フラグのクリアには、(N+1) PCLKB サイクルを要します。さらに、アンダーフローの発生から (N+1) PCLKB サイクルの間は、このフラグをクリアしても無視されます。N は、次式のように、WDTCR.CKS[3:0] ビットで指定されます。

- WDTCR.CKS[3:0] = 0001b のとき、N = 4
- WDTCR.CKS[3:0] = 0100b のとき、N = 64
- WDTCR.CKS[3:0] = 1111b のとき、N = 128
- WDTCR.CKS[3:0] = 0110b のとき、N = 512
- WDTCR.CKS[3:0] = 0111b のとき、N = 2048
- WDTCR.CKS[3:0] = 1000b のとき、N = 8192

REFEF フラグ (リフレッシュエラーフラグ)

本フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、(N+1) PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から (N+1) PCLKB サイクルの間は、このフラグをクリアしても無視されます。N は、次式のように、WDTCR.CKS[3:0] ビットで指定されます。

- WDTCR.CKS[3:0] = 0001b のとき、N = 4
- WDTCR.CKS[3:0] = 0100b のとき、N = 64
- WDTCR.CKS[3:0] = 1111b のとき、N = 128
- WDTCR.CKS[3:0] = 0110b のとき、N = 512
- WDTCR.CKS[3:0] = 0111b のとき、N = 2048
- WDTCR.CKS[3:0] = 1000b のとき、N = 8192

25.2.4 WDT リセットコントロールレジスタ (WDTRCR)

アドレス [WDT.WDTRCR 4004 4206h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
RSTIR QS	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書き込みは無効です。	R/W
b7	RSTIRQS	リセット割り込み要求選択	WDT動作の選択 0: 割り込み 1: リセット	R/W

WDTRCR レジスタへの書き込みには、いくつかの制限があります。詳細は、[25.3.2 WDTCR、WDTRCR、および WDTCSPTPR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTRCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタと同様の設定が可能です。詳細は、[25.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

25.2.5 WDT カウント停止コントロールレジスタ (WDTCSPTPR)

アドレス [WDT.WDTCSPTPR 4004 4208h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
SLCST P	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書き込みは無効です。	R/W
b7	SLCSTP	スリープモードカウント停止制御	0: カウント停止を禁止 1: スリープモード遷移時にカウント停止	R/W

WDTCSPTPR レジスタは、スリープモードにおいて、WDT カウンタを停止させるか否かを制御します。WDTCSPTPR レジスタへの書き込みには、いくつかの制限があります。詳細は、[25.3.2 WDTCR、WDTRCR、および WDTCSPTPR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTCSPTPR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCSPTPR レジスタと同様の設定が可能です。詳細は、[25.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

SLCSTP ビット (スリープモードカウント停止制御)

スリープモード遷移時に、カウントを停止させるかどうかを選択します。

25.2.6 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタの詳細については、[25.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

25.3 動作説明

25.3.1 スタートモード別のカウント動作

WDTには2つのスタートモードがあります。

- オートスタートモード：リセット状態の解除後、自動的にカウント開始
- レジスタスタートモード：リフレッシュ（レジスタへの書き込み）によってカウント開始

オートスタートモードでは、リセット状態の解除後、フラッシュ内のオプション機能選択レジスタ0 (OFS0) の設定に従って自動的にカウントがスタートします。

レジスタスタートモードでは、リセット状態の解除後、各レジスタを設定してからリフレッシュ（レジスタへの書き込み）を行うと、カウントがスタートします。

オートスタートモードまたはレジスタスタートモードの選択は、OFS0 レジスタの WDT スタートモード選択ビット (OFS0.WDTSTRT) で行います。

オートスタートモードを選択した場合、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

レジスタスタートモードを選択した場合、OFS0 レジスタの設定値は無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) の設定値が有効となります。

25.3.1.1 レジスタスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が1の場合、レジスタスタートモードが選択されて、OFS0 レジスタの設定値は無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) が有効となります。

リセット状態の解除後に、以下を設定してください。

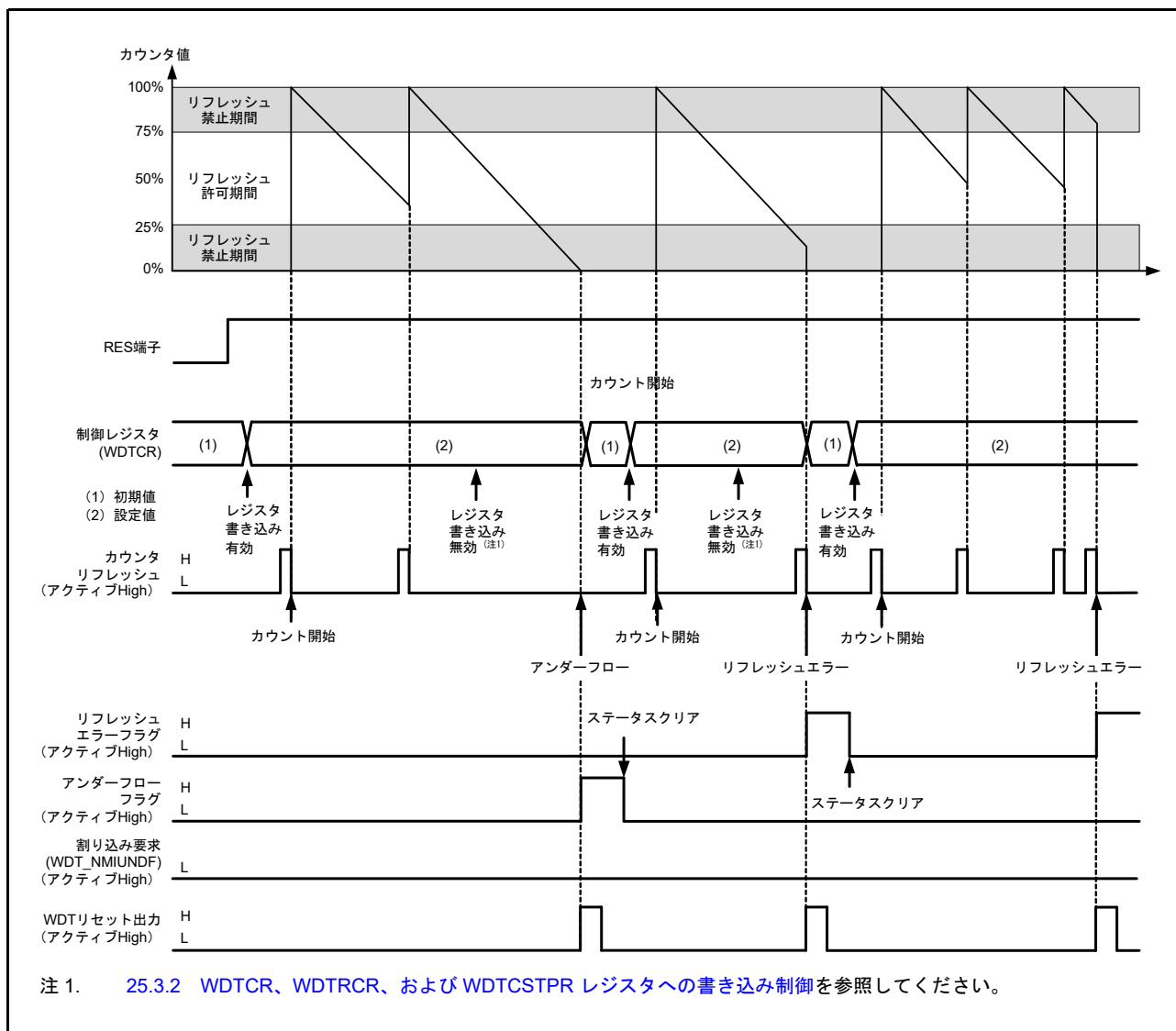
- WDTCR レジスタにおいて、クロック分周比
- WDTCR レジスタにおいて、ウィンドウ開始/終了位置
- WDTCR レジスタにおいて、タイムアウト期間
- WDTRCR レジスタにおいて、リセット出力または割り込み要求出力
- WDTCSSTPR レジスタにおいて、スリープモードへの遷移時のカウント停止制御

WDT リフレッシュレジスタ (WDTRR) にて、ダウンカウンタをリフレッシュして下さい。すると、タイムアウト期間選択ビット (WDTCR.TOPPS[1:0]) で設定した値からダウンカウンタが開始されます。

以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされる限り、リフレッシュごとにカウンタ値がリセットされて、ダウンカウンタ動作が継続します。カウントが継続する間、WDT はリセット信号、またはノンマスクブル割り込み要求/割り込み要求 (WDT_NMIUNDF) を出力しません。ただし、プログラムの暴走によってダウンカウンタをリフレッシュできずダウンカウンタがアンダーフローした場合、あるいはリフレッシュ許可期間外のリフレッシュによりリフレッシュエラーが発生した場合は、WDT はリセット信号またはノンマスクブル割り込み要求/割り込み要求 (WDT_NMIUNDF) を出力します。リセット出力または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット (WDTRCR.RSTIRQS) で行います。NMI の起動要因となる割り込み許可は、WDT アンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で行います。

図 25.3 に、下記の条件下での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- リセット出力を許可 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)



25.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の WDT スタートモード選択ビット (OFS0.WDTSTRT) が 0 の場合、オートスタートモードが選択されて、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が WDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始/終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- スリープモード遷移時のカウント停止制御

リセット状態が解除されると、WDT タイムアウト期間選択ビット (OFS0.WDTPPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされる限り、リフレッシュごとにカウンタ値がリセットされて、ダウンカウント動作が継続します。カウンタが継続する間、WDT はリセット信号、またはノンマスクブル割り込み要求/割り込み要求 (WDT_NMIUNDF) を出力しません。

ただし、プログラムの暴走によってダウンカウンタをリフレッシュできずダウンカウンタがアンダーフローした場合、あるいはリフレッシュ許可期間外のリフレッシュによりリフレッシュエラーが発生した場合は、WDT はリセット信号またはノンマスクブル割り込み要求/割り込み要求 (WDT_NMIUNDF) を出力します。

リセット信号またはノンマスクブル割り込み要求/割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントが再開します。

リセット出力または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) で行います。NMI の起動要因となる割り込み許可は、WDT アンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で行います。

図 25.4 に、下記の条件下での動作 (ノンマスクブル割り込み) 例を示します。

- オートスタートモード (OFS0.WDTSTRT = 0)
- WDT 動作の選択 : 割り込み (OFS0.WDTRSTIRQS = 0)
- NMI 起動起因の割り込み要求を許可 (NMIER.WDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.WDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.WDTRPSS[1:0] = 10b)

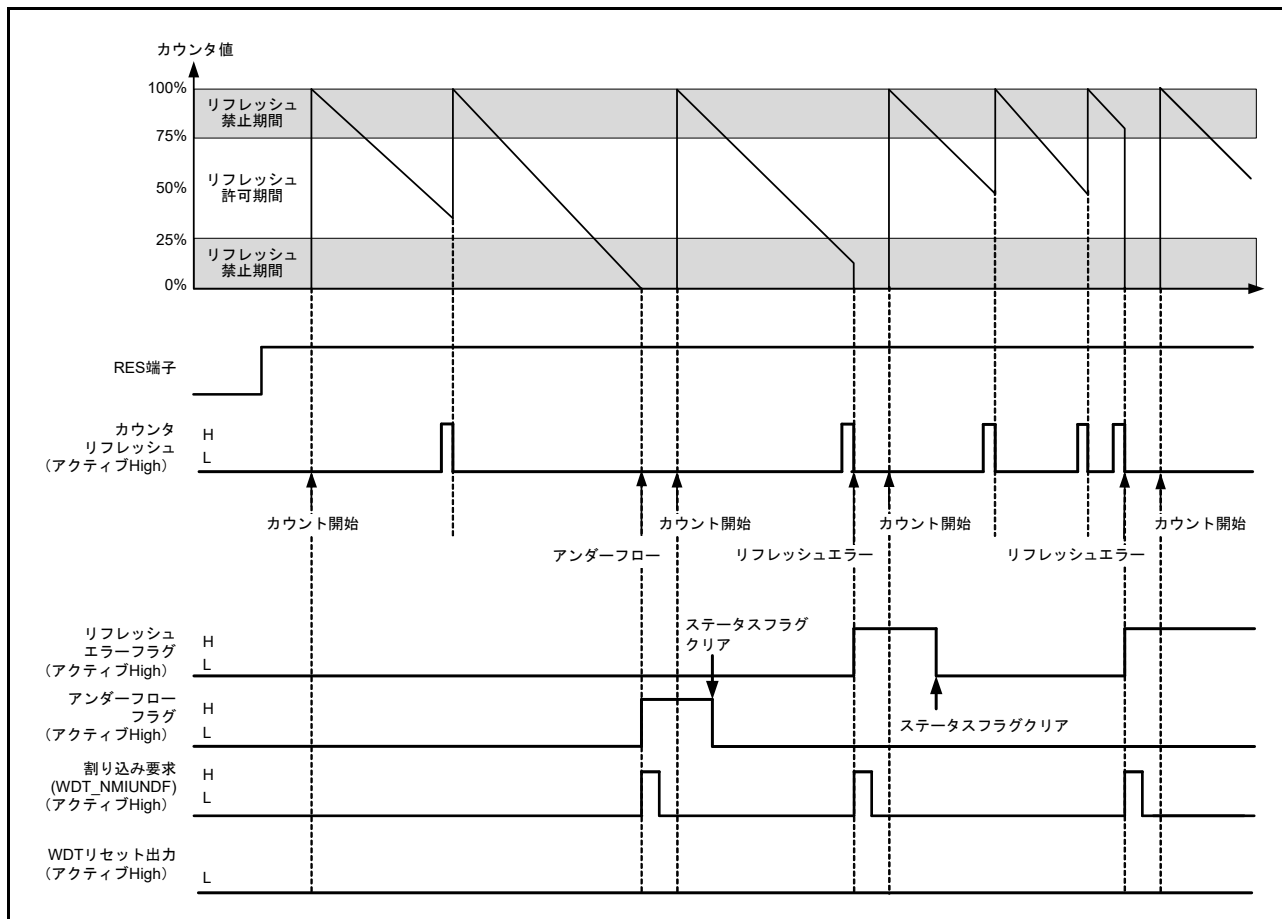


図 25.4 オートスタートモードでの動作例

25.3.2 WDTCR、WDTRCR、および WDTCSSTPR レジスタへの書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) への書き込みは、リセット状態の解除から最初のリフレッシュ動作までの間にそれぞれ 1 回可能です。

リフレッシュ (カウントスタート) 後、あるいは WDTCR、WDTRCR、または WDTCSSTPR レジスタへ書き込み後に、WDT 内部のプロテクト信号が 1 となり、以後の書き込みから WDTCR、WDTRCR、および WDTCSSTPR レジスタを保護します。この保護動作は、WDT のリセット要因によって解除されます。それ以外のリセット要因では解除されません。

図 25.5 に、WDTCR レジスタへの書き込みに対して生成される制御波形を示します。

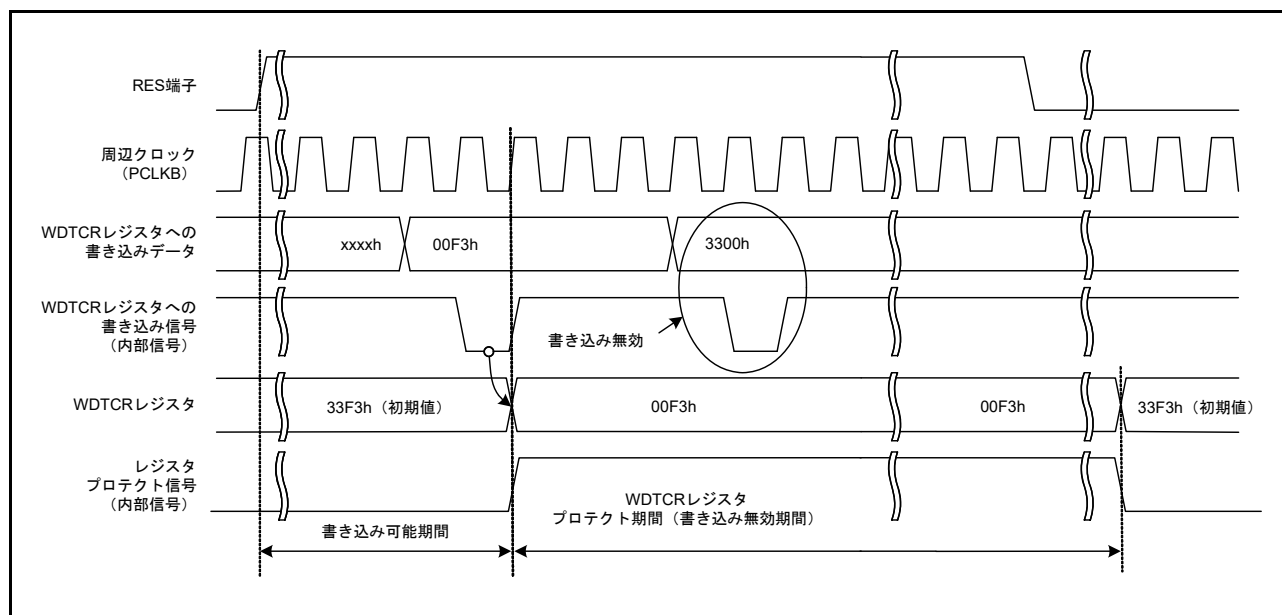


図 25.5 WDTCR レジスタへの書き込みに対して生成される制御波形

25.3.3 リフレッシュ動作

ダウンカウンタは、無効な値を書き込んだ場合は、WDTRR レジスタに 00h の書き込みに続けて FFh を書き込むことにより、リフレッシュが正常に行われます。00h の後に FFh 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、WDTRR レジスタへ 00h の書き込みに続けて FFh を書き込むことにより、正常にリフレッシュが行われます。

また、WDTRR レジスタへの 00h の書き込みと FFh の書き込みの間で、WDTRR 以外のレジスタにアクセスしたり、WDTRR レジスタを読み出したりしても、正常にリフレッシュが行われます。

カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があります。この判定は FFh の書き込み時に行われます。そのため、00h の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 00h → FFh
- 00h (n - 1 回目) → 00h (n 回目) → FFh
- 00h → 別レジスタへのアクセスまたは WDTRR レジスタの読み出し → FFh

【カウンタのリフレッシュに無効な書き込み順序の例】

- 23h (00h 以外の値) → FFh
- 00h → 54h (FFh 以外の値)
- 00h → AAh (00h および FFh 以外の値) → FFh

ダウンカウンタのリフレッシュには、WDT リフレッシュレジスタ (WDTRR) に FFh を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します。この要件を満たすには、ダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、WDTRR レジスタへの FFh の書き込みを完了する必要があります。

図 25.6 に、クロック分周比が PCLKB/64 である場合の WDT リフレッシュ動作波形を示します。

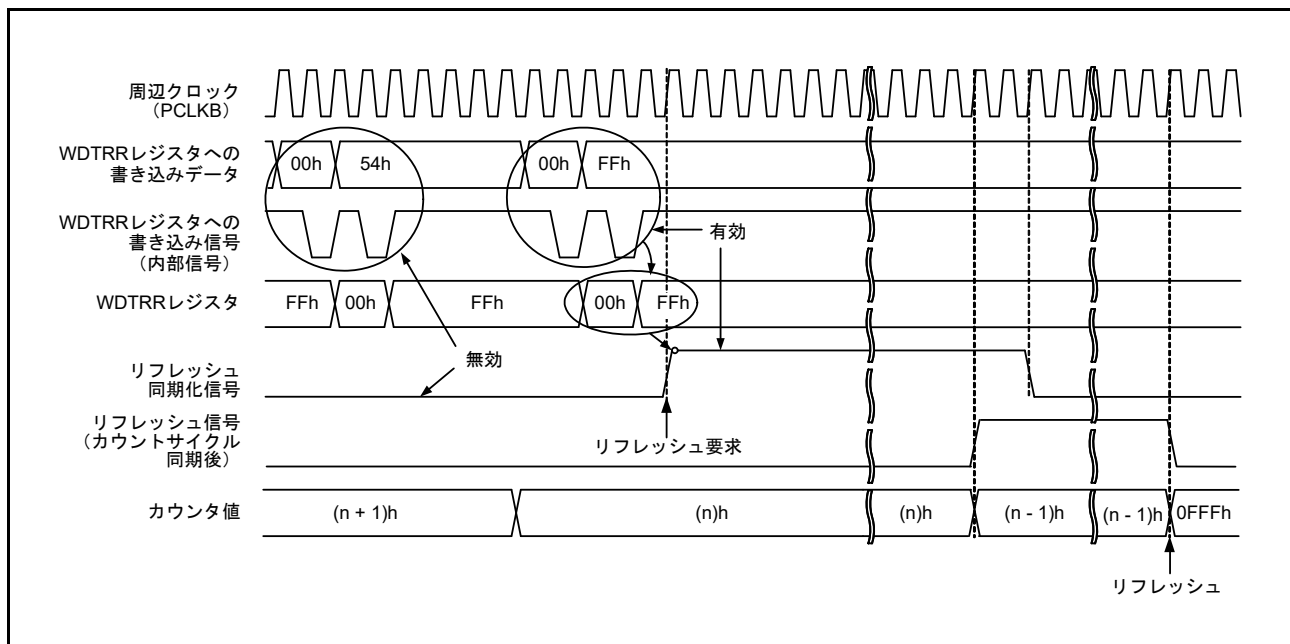


図 25.6 WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b の場合)

25.3.4 リセット出力

レジスタスタートモードでリセット割り込み選択ビット (WDTRCR.RSTIRQS) を 1 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号が 1 サイクル間出力されます。

レジスタスタートモードでは、リセット信号の出力後、ダウンカウンタが初期化され (全ビットが 0 になり)、その状態のまま停止します。リセット状態が解除されて、プログラムが再起動した後は、リフレッシュ動作によってカウンタが設定され、ダウンカウントが再開します。オートスタートモードでは、リセット状態の解除後、自動的にダウンカウントがスタートします。

25.3.5 割り込み要因

レジスタスタートモードでリセット割り込み選択ビット (WDTRCR.RSTIRQS) を 0 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み (WDT_NMIUNDF) 信号が生成されます。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

表 25.4 WDTの割り込み要因

名称	割り込み要因	DTCの起動
WDT_NMIUNDF	ダウンカウンタのアンダーフロー リフレッシュエラー	不可能

25.3.6 ダウンカウンタ値の読み出し

WDT は、カウンタ値を WDT ステータスレジスタのダウンカウンタ値ビット (WDTSR.CNTVAL[13:0]) に格納します。これらのビットを確認して、カウンタ値を取得してください。

図 25.7 に、クロック分周比が PCLKB/64 である場合の WDT ダウンカウンタ値の読み出し処理を示します。

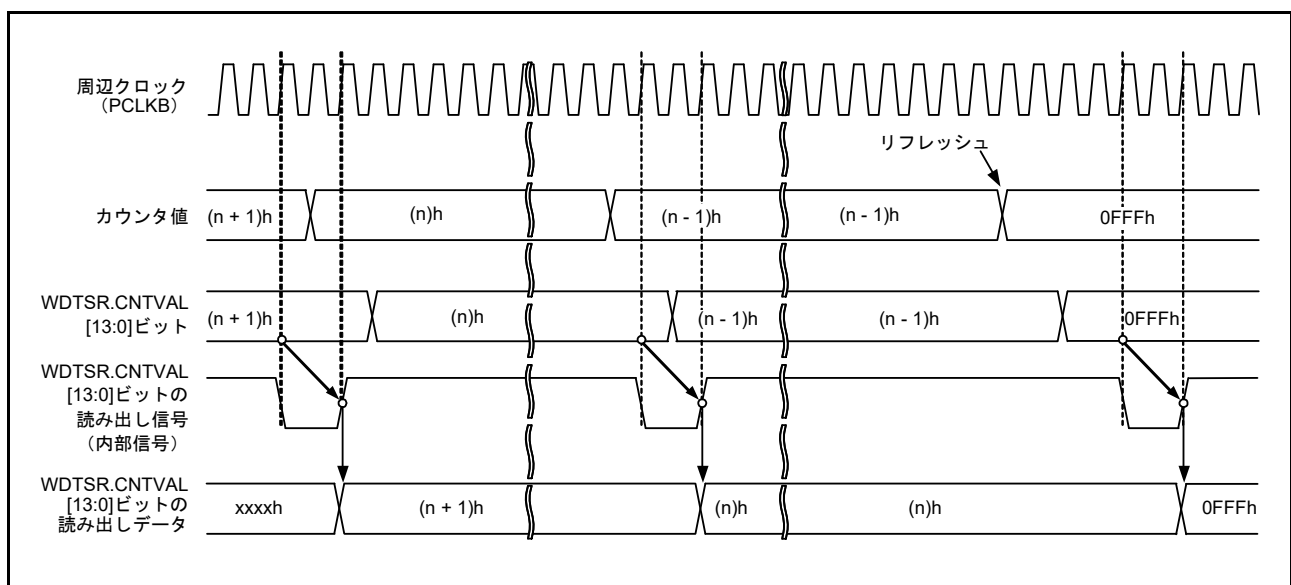


図 25.7 WDT ダウンカウンタ値の読み出し処理
(WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b の場合)

25.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係

表 25.5 に、オートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) と、レジスタスタートモードで使用するレジスタの対応関係を示します。OFS0 レジスタの設定値は、WDT 動作中は変更しないでください。オプション機能選択レジスタ 0 (OFS0) については、[6.2.1 オプション機能選択レジスタ 0 \(OFS0\)](#) を参照してください。

表 25.5 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係

制御対象	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.WDTSTRT = 0	WDT レジスタ (レジスタスタートモード時有効) OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット割り込み要求選択	OFS0.WDTRSTIRQS	WDTCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.WDTSTPCTL	WDTCR.SLCSTP

25.4 ELC によるリンク動作

ELC が割り込み要求信号をイベント信号として使用する場合、WDT は前もって設定しておいたモジュールに対してリンク動作が可能です。イベント信号は、カウンタのアンダーフローおよびリフレッシュエラーによって出力されます。

イベント信号は、レジスタスタートモードまたはオートスタートモードでのリセット割り込み要求選択ビット (WDTCR.RSTIRQS) の設定とは無関係に出力されます。また、リフレッシュエラーフラグ (WDTSR.REFEF) またはアンダーフローフラグ (WDTSR.UNDF) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「[18. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

25.5 使用上の注意事項

25.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定

WDT リセット割り込み要求選択をリセット (OFS0.WDTRSTIRQS = 1 または WDTCR.RSTIRQS = 1) にした場合、またはイベントリンク動作を許可 (IELSRm.ELS[7:0] = 25h) にした場合、ICU イベントリンク設定レジスタ n (IELSRn.IELS[7:0]) には 25h を設定しないでください。

26. 独立ウォッチドッグタイマ (IWDT)

26.1 概要

独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタです。このカウンタはアンダーフロー防止のため周期的に動作させる必要があります。IWDT には、MCU をリセットする機能や、タイマのアンダーフロー発生時に割り込み/ノンマスクابل割り込みを生成する機能があります。このタイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、MCU をフェールセーフ機構と呼ばれる状態に戻すことに特に役立ちます。IWDT は、リセット、アンダーフロー、リフレッシュエラー、またはレジスタのカウンタ値のリフレッシュで自動的に起動します。

IWDT の機能は、WDT とは以下の点で異なります。

- カウントソースとして IWDT 専用クロック (IWDTCLK) の分周したものを使用 (PCLKB の影響を受けない)
- IWDT はレジスタスタートモードを非サポート
- 低消費電力モードへ遷移したとき、OFS0.IWDTSTPCTL ビットを使用してカウンタを停止する/しないの選択が可能

表 26.1 に IWDT の仕様を、図 26.1 にブロック図を示します。

表 26.1 IWDT の仕様

項目	内容
カウントソース (注1)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1分周 / 16分周 / 32分周 / 64分周 / 128分周 / 256分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウンタ開始条件	リセット後、自動的にカウント開始
カウンタ停止条件	<ul style="list-style-type: none"> • リセット (ダウンカウンタおよび他のレジスタが初期値に戻る) • カウンタのアンダーフローまたはリフレッシュエラーの発生 (自動的にカウント再スタート)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	<ul style="list-style-type: none"> • ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
ノンマスクابل割り込み/割り込み要因	<ul style="list-style-type: none"> • ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能 (出力)	<ul style="list-style-type: none"> • ダウンカウンタアンダーフローイベント出力 • リフレッシュエラーイベント出力
出力信号 (内部信号)	<ul style="list-style-type: none"> • リセット出力 • 割り込み要求出力 • スリープモードカウンタ停止制御出力
オートスタートモード	<ul style="list-style-type: none"> • リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0] ビット) • リセット出力または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット) • スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード遷移時のダウンカウンタ停止機能の選択 (OFS0.IWDTSTPCTL ビット)

注 1. 周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウントクロックソースの分周後周波数) となるように設定してください。

IWDT を使用するには、IWDT 専用クロック (IWDTCLK) を供給してください。バスインタフェース部とレジスタ部は PCLKB で動作し、14 ビットカウンタと制御回路は IWDTCLK で動作します。

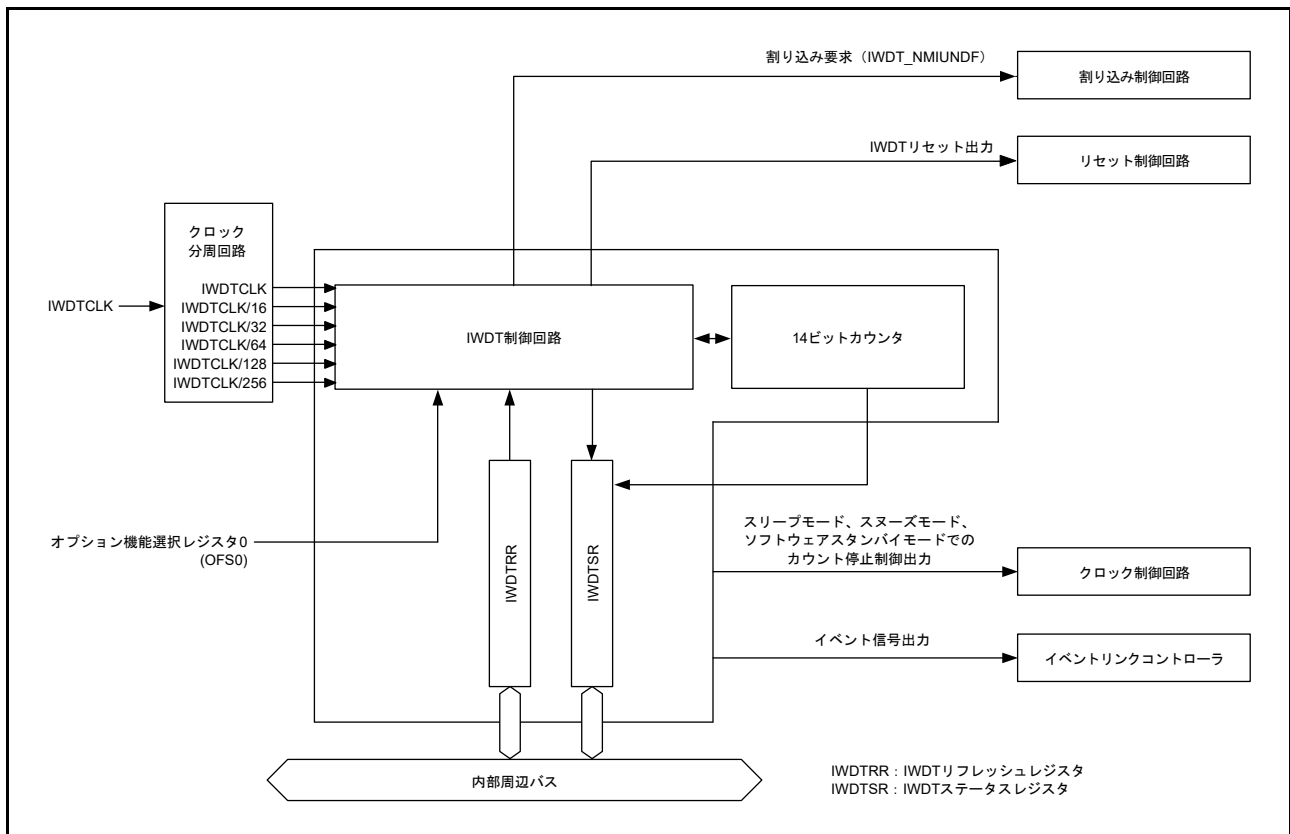
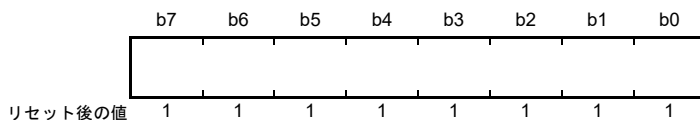


図 26.1 IWDT のブロック図

26.2 レジスタの説明

26.2.1 IWDT リフレッシュレジスタ (IWDTRR)

アドレス IWDTRR 4004 4400h



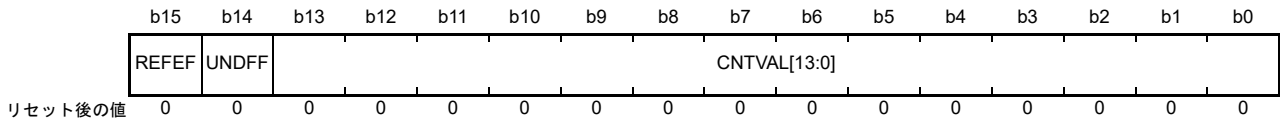
ビット	機能	R/W
b7-b0	このレジスタに対して、00hの書き込み後、FFhの書き込みでカウンタがリフレッシュ	R/W

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするためのレジスタです。リフレッシュ許可期間内に、IWDTRR レジスタに 00h を書き込んだ後、FFh を書き込むこと（リフレッシュ動作）により、IWDT のダウンカウンタがリフレッシュされます。ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 (OFS0) の IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定した値からダウンカウンタがスタートします。

読み出し値は、00h を書き込んだ場合は 00h であり、00h 以外の値を書き込んだ場合は FFh となります。リフレッシュ動作の詳細は、[26.3.2 リフレッシュ動作](#) を参照してください。

26.2.2 IWDT ステータスレジスタ (IWDTSR)

アドレス IWDT.IWDTSR 4004 4404h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダーフローフラグ	0: アンダーフロー発生なし 1: アンダーフロー発生あり	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラー発生なし 1: リフレッシュエラー発生あり	R/(W) (注1)

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

CNTVAL[13:0] ビット (カウンタ値)

本ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDFE フラグ (アンダーフローフラグ)

本フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

UNDFE フラグのクリアには、(N+2) IWDTCLK サイクルと 2 PCLKB サイクルを要します。さらに、アンダーフローの発生から (N+2) IWDTCLK サイクルの間は、このフラグをクリアしても無視されます。N は、次式のように、IWDTCKS[3:0] ビットで指定されます。

- IWDTCKS[3:0] = 0000b のとき、N = 1
- IWDTCKS[3:0] = 0010b のとき、N = 16
- IWDTCKS[3:0] = 0011b のとき、N = 32
- IWDTCKS[3:0] = 0100b のとき、N = 64
- IWDTCKS[3:0] = 1111b のとき、N = 128
- IWDTCKS[3:0] = 0101b のとき、N = 256

REFEF フラグ (リフレッシュエラーフラグ)

本フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、(N+2) IWDTCLK サイクルと 2 PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から (N+2) IWDTCLK サイクルの間は、このフラグをクリアしても無視されます。N は、次式のように、IWDTCKS[3:0] ビットで指定されます。

- IWDTCKS[3:0] = 0000b のとき、N = 1
- IWDTCKS[3:0] = 0010b のとき、N = 16
- IWDTCKS[3:0] = 0011b のとき、N = 32
- IWDTCKS[3:0] = 0100b のとき、N = 64
- IWDTCKS[3:0] = 1111b のとき、N = 128
- IWDTCKS[3:0] = 0101b のとき、N = 256

26.2.3 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) の詳細については、[6.2.1 オプション機能選択レジスタ 0 \(OFS0\)](#) を参照してください。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択)

タイムアウト期間 (ダウンカウンタがアンダーフローするまでの期間) について、IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル / 512 サイクル / 1024 サイクル / 2048 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間 (IWDTCLK サイクル数) は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせで決定されます。

[表 26.2](#) に、IWDTCKS[3:0] および IWDTTOPS[1:0] ビットの設定値、タイムアウト期間、および IWDTCLK サイクル数の関係を示します。

表 26.2 タイムアウト期間の設定

IWDTCKS[3:0] ビット				IWDTTOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK の クロックサイクル数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	IWDTCLK/1	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	IWDTCLK/16	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	IWDTCLK/32	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	IWDTCLK/64	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	IWDTCLK/128	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	IWDTCLK/256	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択)

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、IWDT 専用クロック (IWDTCLK) の 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択できます。IWDTTOPS[1:0] ビット設定と組み合わせて、IWDT のカウント期間を IWDTCLK クロックの 128 ~ 524288 サイクルから選択できます。

IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択)

リフレッシュ許可期間を示すウィンドウの終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0% から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を選択してください。「ウィンドウ開始位置 ≤ ウィンドウ終了位置」の設定を行った場合、ウィンドウ開始位置の設定のみが有効となり、ウィンドウ終了位置は 0% になります。

IWDRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択)

リフレッシュ許可期間を示すウィンドウの開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25% から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください (ウィンドウ開始位置 > ウィンドウ終了位置)。「ウィンドウ開始位置 ≤ ウィンドウ終了位置」の設定を行った場合、ウィンドウ開始位置の設定のみが有効となり、ウィンドウ終了位置は 0% になります。

ウィンドウ開始、終了位置のカウント値を表 26.3 に、IWDRPSS[1:0]、IWDRPES[1:0]、IWDTTOPS[1:0] ビットで設定されるリフレッシュ許可期間を図 26.2 に示します。

表 26.3 タイムアウト期間とウィンドウ開始/終了カウンタ値の対応表

IWDTTOPS[1:0] ビット		タイムアウト期間		ウィンドウ開始/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	007Fh	007Fh	005Fh	003Fh	001Fh
0	1	512	01FFh	01FFh	017Fh	00FFh	007Fh
1	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
1	1	2048	07FFh	07FFh	05FFh	03FFh	01FFh

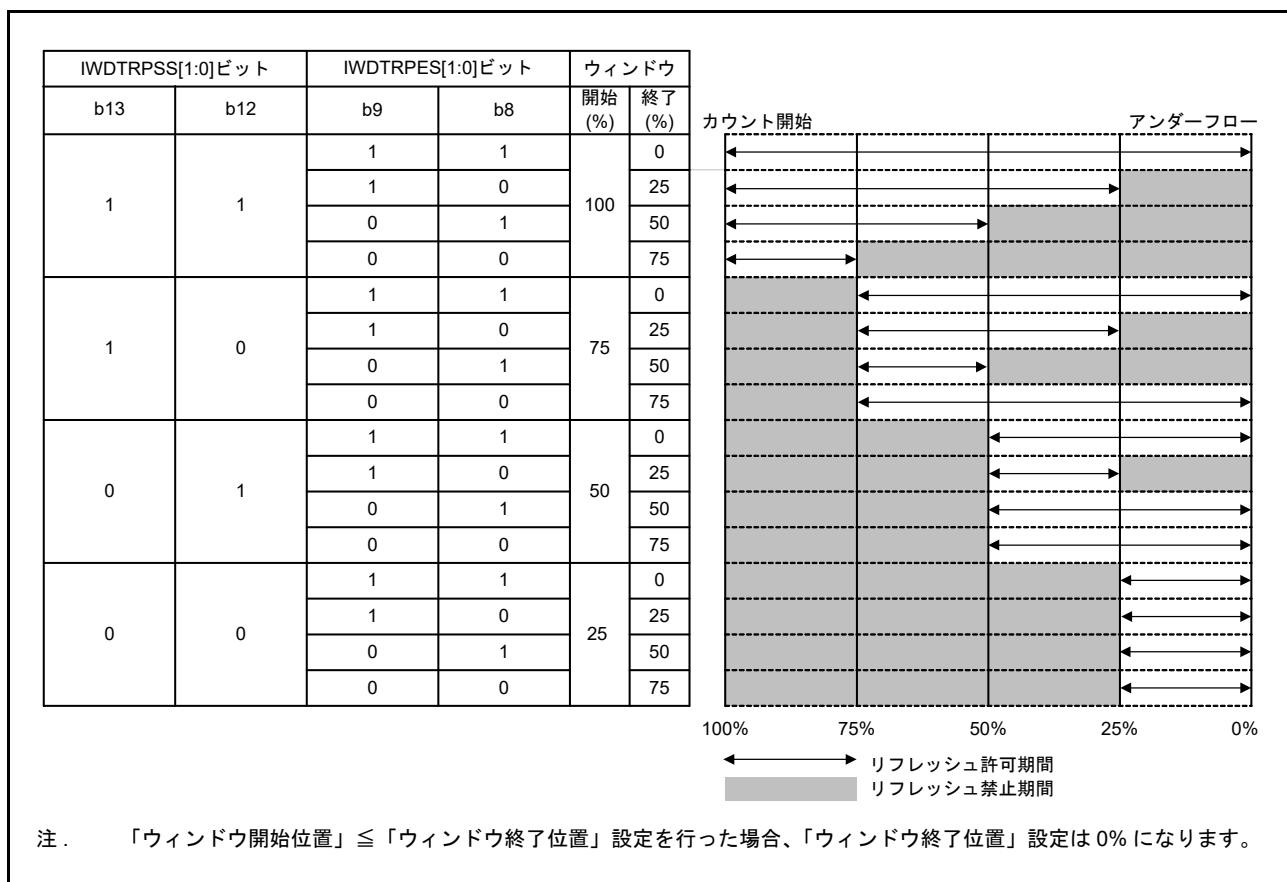


図 26.2 IWDRPSS[1:0] および IWDRPES[1:0] ビットとリフレッシュ許可期間

IWDTRSTIRQS ビット (IWDT リセット割り込み要求選択)

アンダーフローまたはリフレッシュエラー発生時の動作を指定します。1 にすると、リセットを選択します。0 にすると、割り込みを選択します。

IWDSTPCTL ビット (IWDT 停止制御)

スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時に、カウントを停止させるか否かを選択します。

26.3 動作説明

26.3.1 オートスタートモード

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 0 の場合、オートスタートモードが選択されています。それ以外では IWDT は無効です。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が IWDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始/終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- 低消費電力モード遷移時のカウンタ停止制御

リセット状態が解除されると、IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で選択した値からカウンタが自動でダウンカウントを開始します。

以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされる限り、リフレッシュごとにカウンタ値がリセットされて、ダウンカウント動作が継続します。カウントが継続する間、IWDT はリセット信号、またはノンマスカブル割り込み要求/割り込み要求 (IWDT_NMIUNDF) を出力しません。ただし、プログラムの暴走によってダウンカウンタをリフレッシュできずダウンカウンタがアンダーフローした場合、あるいはリフレッシュ許可期間外のリフレッシュによりリフレッシュエラーが発生した場合は、IWDT はリセット信号またはノンマスカブル割り込み要求/割り込み要求 (IWDT_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求/割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントが再開します。リセット出力または割り込み要求出力の選択は、IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) で行います。NMI の起動要因となる割り込み許可は、IWDT アンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.IWDTEN) で行います。

図 26.3 に、下記の条件下での動作例を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- IWDT 動作の選択：割り込み (OFS0.IWDTSTRIRQS = 0)
- NMI 起動起因の割り込み要求を許可 (NMIER.IWDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.IWDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDTRPES[1:0] = 10b)

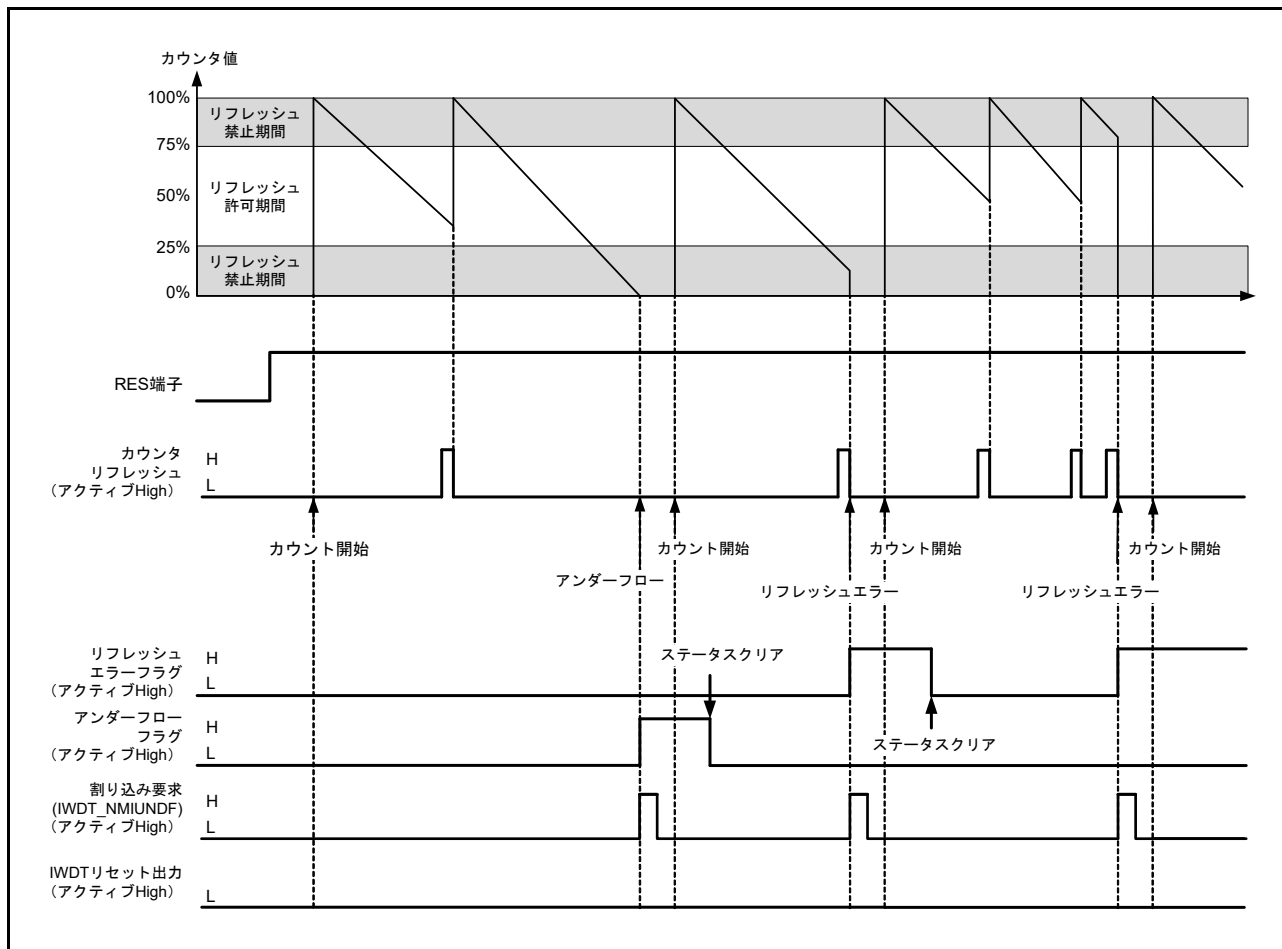


図 26.3 オートスタートモードでの動作例

26.3.2 リフレッシュ動作

ダウンカウンタは、無効な値を書き込んだ場合は、IWDTRR レジスタに 00h の書き込みに続けて FFh を書き込むことにより、リフレッシュが正常に行われます (カウントはリフレッシュによって開始されます)。00h の後に FFh 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、再度、IWDT リフレッシュレジスタ (IWDTRR) へ 00h の書き込みに続けて FFh を書き込むことにより、正常にリフレッシュが行われます。

00h (1 回目) → 00h (2 回目) の順で書き込みを行った場合でも、その後に FFh を書き込めば、00h → FFh の書き込み順序が成立します。00h (n - 1 回目) → 00h (n 回目) → FFh という書き込み順序は有効であり、正常にリフレッシュが行われます。00h より前の書き込み値が 00h 以外であっても、動作に 00h → FFh という書き込み順序が含まれていれば、正常にリフレッシュが行われます。また、IWDTRR レジスタへの 00h の書き込みと FFh の書き込みの間で、IWDTRR 以外のレジスタにアクセスしたり、IWDTRR レジスタを読み出したりしても、正常にリフレッシュが行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 00h → FFh
- 00h (n - 1 回目) → 00h (n 回目) → FFh
- 00h → 別レジスタへのアクセスまたは IWDTRR レジスタの読み出し → FFh

【カウンタのリフレッシュに無効な書き込み順序の例】

- 23h (00h 以外の値) → FFh
- 00h → 54h (FFh 以外の値)
- 00h → AAh (00h および FFh 以外の値) → FFh

リフレッシュ許可期間外に IWDTRR レジスタへ 00h を書き込んだ場合でも、リフレッシュ許可期間内に IWDTRR レジスタへ FFh を書き込めば、この書き込み順序は有効であり、リフレッシュ動作が行われます。

カウンタのリフレッシュには、IWDTRR レジスタに FFh を書き込んだ後、カウント信号のサイクル数で最大 4 サイクル必要です (カウントの 1 サイクルが、IWDT 専用クロック (IWDTCLK) の何サイクルに相当するかは、IWDT 専用クロック分周比選択ビット (OFS0.IWDTCKS[3:0]) で決まります)。そのため、リフレッシュ許可期間の終了またはカウンタアンダーフローの 4 カウントサイクル前までに、IWDTRR レジスタへの FFh の書き込みを完了してください。カウンタの値はカウンタ値ビット (IWDTSR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を 01FFh とした場合、IWDTSR.CNTVAL[13:0] ビット値が 01FFh に達する前 (たとえば 0202h) に IWDTRR レジスタへ 00h を書き込んだとしても、01FFh に達した後に IWDTRR レジスタへ FFh を書き込めば、リフレッシュが行われます
- ウィンドウ終了位置を 01FFh とした場合、IWDTRR レジスタへ 00h → FFh を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットから読み出した値が 0203h (01FFh の 4 カウントサイクル前) 以上であれば、リフレッシュが行われます
- リフレッシュ許可期間が 0000h まで続く場合、アンダーフローの直前でリフレッシュが可能です。この場合、IWDTRR レジスタへ 00h → FFh を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットから読み出した値が 0003h (アンダーフローの 4 カウントサイクル前) 以上であれば、アンダーフローが発生することなく、リフレッシュが行われます

図 26.4 に、PCLKB > IWDTCLK のとき、クロック分周比が IWDTCLK である場合の IWDT リフレッシュ動作波形を示します。

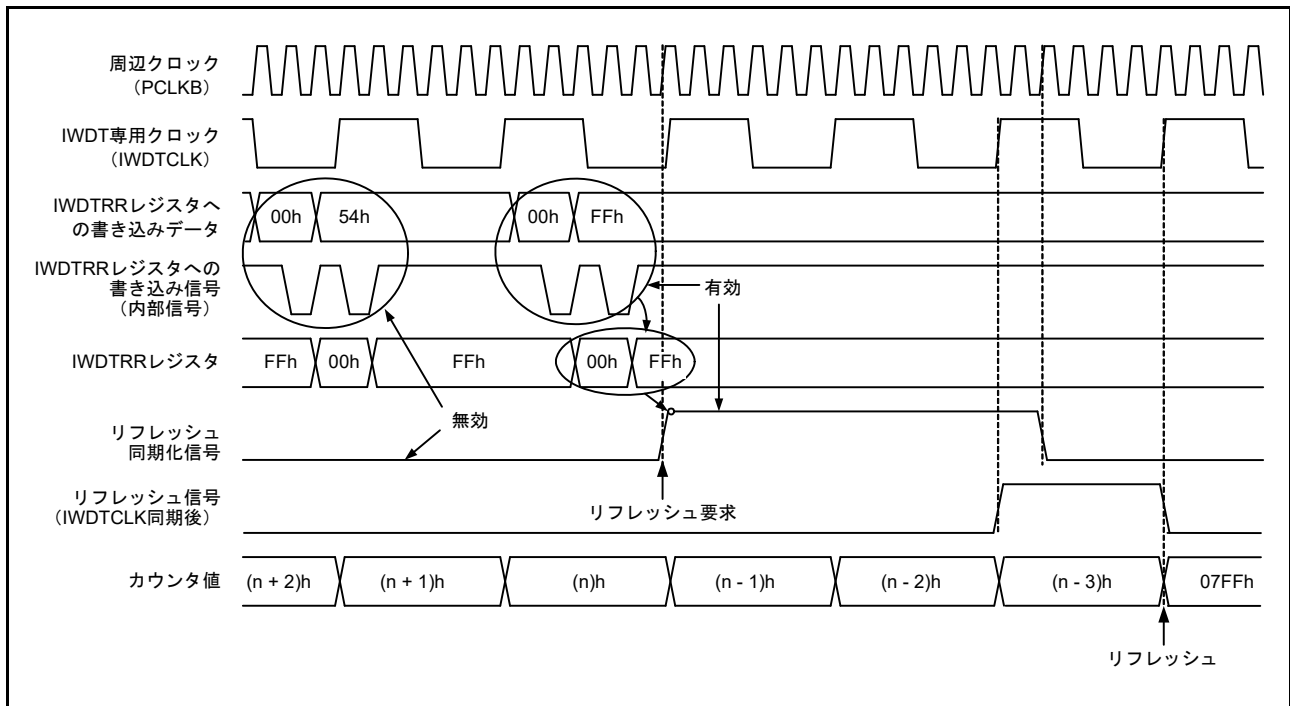


図 26.4 IWDT リフレッシュ動作波形 (OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

26.3.3 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF) とアンダーフローフラグ (IWDTSR.UNDF) は、IWDT がリセット信号を出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。そのため、リセット状態の解除後、または割り込み要求の発生後に、IWDTSR.REFEF フラグや UNDF フラグを読み出すことで、リセット要因や割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。

ステータスフラグをそのままにしても、動作に影響を与えません。次に IWDT がリセットまたは割り込み要求を出力したとき、フラグがクリアされていない場合は、古いリセット要因や割り込み要因はクリアされて、新しいリセット要因や割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでに、最大で 3 IWDTCLK サイクルと 2 PCLKB サイクルを要します。

26.3.4 リセット出力

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を 1 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号が出力されます。リセット出力後、自動でダウンカウントがスタートします。

26.3.5 割り込み要因

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDTSTRQRS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み (IWDT_NMIUNDF) 信号が生成されます。この割り込みは、ノンマスクابل割り込みと割り込みの両方に対応しています。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

表 26.4 IWDTの割り込み要因

名称	割り込み要因	DTCの起動
IWDT_NMIUNDF	ダウンカウンタのアンダーフロー リフレッシュエラー	不可能

26.3.6 ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。IWDT は、カウンタ値を周辺クロック (PCLKB) に同期させて、IWDT ステータスレジスタのダウンカウンタ値ビット (IWDTSR.CNTVAL[13:0]) へ格納します。したがって、カウンタ値は IWDTSR.CNTVAL[13:0] ビットで間接的に確認できます。

ただし、カウンタ値の読み出しには PCLKB で数クロックサイクル (最大 4 クロックサイクル) を要するため、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 26.5 に、 $PCLKB > IWDTCLK$ のとき、クロック分周比が IWDTCLK である場合の IWDT カウンタ値の読み出し処理を示します。

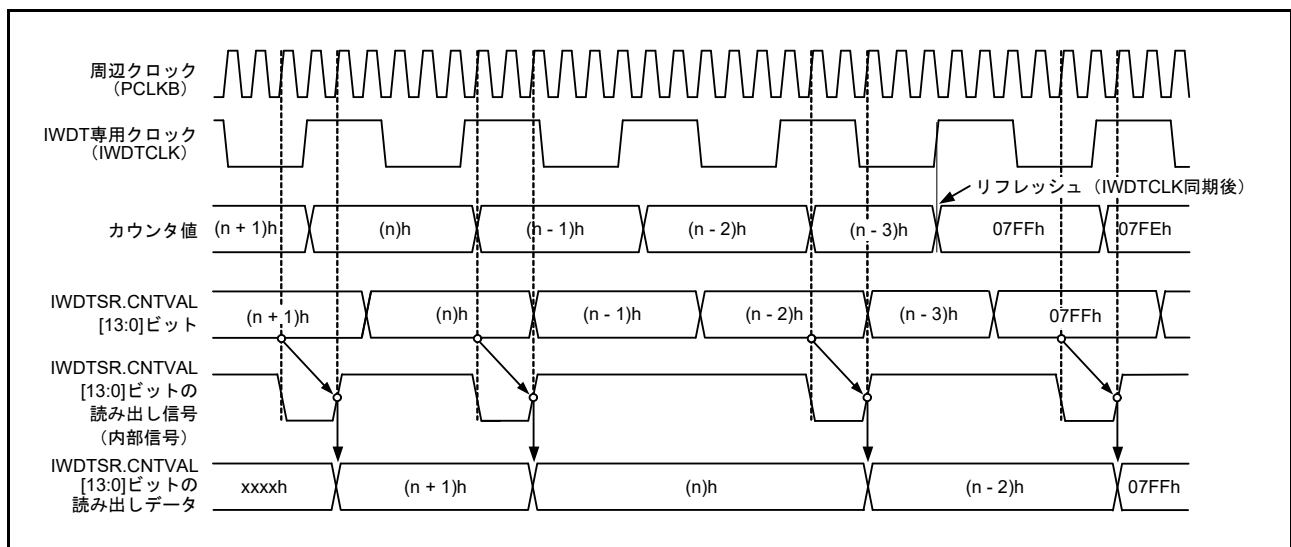


図 26.5 IWDT カウンタ値の読み出し処理
(OFS0.IWDTCK[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

26.4 ELC によるリンク動作

イベントリンクコントローラ (ELC) が割り込み要求信号をイベント信号として使用する場合、IWDT は設定されたモジュールに対してリンク動作が可能です。イベント信号は、カウンタのアンダーフローおよびリフレッシュエラーによって出力されます。

イベント信号は、OFS0.WDTRSTRQRS ビットの設定とは無関係に出力されます。また、リフレッシュエラーフラグ (IWDTSR.REFEF) またはアンダーフローフラグ (IWDTSR.UNDF) が 1 の状態で、次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「18. イベントリンクコントローラ (ELC)」を参照してください。

26.5 使用上の注意事項

26.5.1 リフレッシュ動作

リフレッシュ時間を設定する際は、PCLKB と IWDTCLK の精度における誤差範囲内での変動を考慮してください。その上で、リフレッシュできる値を設定してください。

26.5.2 クロック分周比の設定

周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウントクロックソースの分周後周波数) となるように設定してください。

27. USB2.0 フルスピードモジュール (USBFS)

27.1 概要

本 MCU は、Universal Serial Bus (USB) 2.0 規格に準拠したホストコントローラまたはデバイスコントローラとして動作する USB2.0 フルスピードモジュール (USBFS) を内蔵しています。ホストコントローラは USB2.0 フルスピード転送とロースピード転送に対応し、デバイスコントローラは USB2.0 フルスピード転送に対応しています。また、USBFS は USB トランシーバを内蔵しており、USB2.0 規格で定義されている全転送タイプに対応しています。

USBFS はデータ転送用に FIFO バッファを備え、最大 10 本のパイプが使用可能です。パイプ 1～9 に対しては、周辺デバイスやユーザシステムの通信要件に合わせた任意のエンドポイント番号の割り付けが可能です。

本 MCU は、バッテリーチャージング規格のリビジョン 1.2 に準拠しています。本 MCU は 5V で動作するため、USB LDO レギュレータは内蔵 USB トランシーバの電源に 3.3V を供給します。

表 27.1 に USBFS の仕様を、図 27.1 にブロック図を、表 27.2 に入出力端子を示します。

表 27.1 USBFS の仕様

項目	内容
特徴	<ul style="list-style-type: none"> ホストコントローラ、デバイスコントローラ、および OTG (On-The-Go) の各機能に対応した USB デバイスコントローラ (UDC) と USB2.0 トランシーバ (1 チャンネル) ソフトウェアはホストコントローラとデバイスコントローラ間で切り替え可能 セルフパワーモードまたはバスパワーモードの選択が可能 バッテリーチャージング仕様のリビジョン 1.2 に準拠 USB LDO レギュレータによる内蔵 USB トランシーバへの電力供給
	ホストコントローラの特長： <ul style="list-style-type: none"> フルスピード転送 (12Mbps) およびロースピード転送 (1.5Mbps) SOF およびパケット送信のスケジューリングを自動化 アイソクロナス転送およびインタラプト転送の転送インターバル設定機能
	デバイスコントローラの特長： <ul style="list-style-type: none"> フルスピード転送 (12Mbps) およびロースピード転送 (1.5Mbps) コントロール転送ステージ管理機能 デバイスステート管理機能 SET_ADDRESS リクエストに対する自動応答機能 SOF 補完
通信データ転送タイプ	<ul style="list-style-type: none"> コントロール転送 バルク転送 インタラプト転送 アイソクロナス転送
パイプコンフィグレーション	<ul style="list-style-type: none"> USB 通信用の FIFO バッファ 最大 10 本のパイプを選択可能 (デフォルトコントロールパイプを含む) パイプ 1～9 に対して任意のエンドポイント番号を割り付け可能
	パイプごとに転送条件を指定可能： <ul style="list-style-type: none"> パイプ 0：64 バイトシングルバッファによるコントロール転送 パイプ 1, 2：64 バイトダブルバッファによるバルク転送 256 バイトダブルバッファによるアイソクロナス転送 パイプ 3～5：64 バイトダブルバッファによるバルク転送 パイプ 6～9：64 バイトシングルバッファによるインタラプト転送
その他	<ul style="list-style-type: none"> トランザクションカウントによる受信終了機能 BRDY 割り込みイベント通知タイミング変更機能 (BFRE) DnFIFO ポート (n = 0, 1) で指定したパイプのデータ読み出し後の FIFO バッファ自動クリア機能 (DCLRM) 転送終了時に発生する応答 PID の NAK 設定機能 (SHTNAK) USB_DP/USB_DM のプルアップ抵抗、プルダウン抵抗をチップに内蔵 USB クロックとして使用可能な HOCO クロック
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

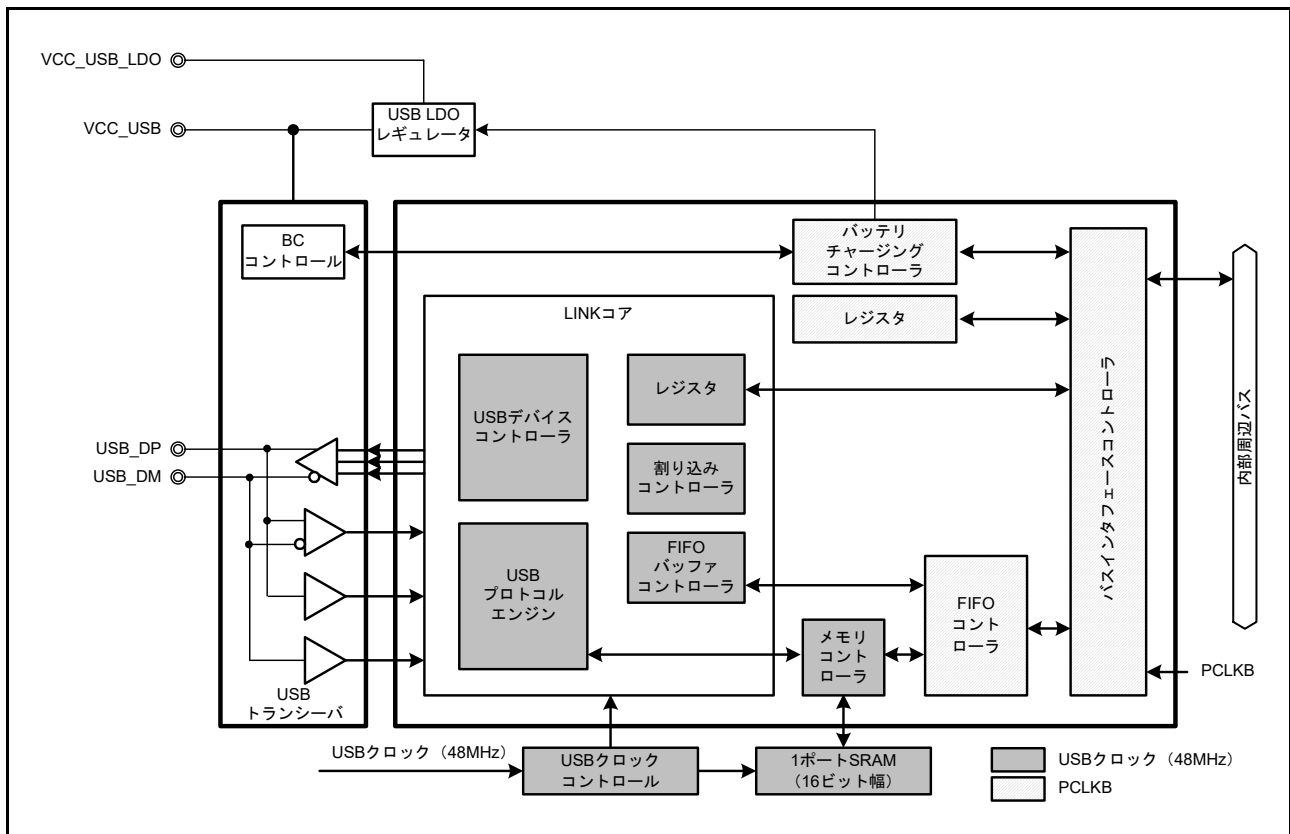


図 27.1 USBFS のブロック図

表 27.2 USBFS の入出力端子

ポート	端子名	入出力	機能
USBFS	USB_DP	入出力	USB 内蔵トランシーバD+ 入出力端子 USBバスのD+端子に接続してください。
	USB_DM	入出力	USB 内蔵トランシーバD- 入出力端子 USBバスのD-端子に接続してください。
	USB_VBUS	入力	USB ケーブル接続モニタ端子 USBバス上のVBUS信号に接続してください。USBFSがデバイスコントローラの場合、VBUS端子状態（アタッチ/デタッチ）の検出が可能です。（注1）
	USB_EXICEN	出力	OTG 電源IC用の低消費電力制御信号
	USB_VBUSEN	出力	外部電源IC用のVBUS（5V）イネーブル信号
	USB_OVRCURA USB_OVRCURB	入力	USBFSのオーバークレント端子 外部オーバークレント検出信号に接続してください。OTG電源チップとの接続時にはVBUSコンパレータ信号に接続してください。
	USB_ID	入力	OTGモード時にMicroABコネクタのID入力信号に接続してください。
共通	VCC_USB	入出力	入力：USBトランシーバ用の電源端子 出力：USB LDOレギュレータ出力端子。外部コンデンサに接続してください。
	VCC_USB_LDO	入力	USB LDOレギュレータ用の電源端子
	VSS_USB	入力	USB用グラウンド端子

注 1. P407 は 5V トレラントです。

27.2 レジスタの説明

27.2.1 システムコンフィグレーションコントロールレジスタ (SYSCFG)

アドレス USBFS.SYSCFG 4009 0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SCKE	—	CNEN	—	DCFM	DRPD	DPRPU	DMRPU	—	—	USBE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBE	USBFS動作許可	0: 禁止 1: 許可	R/W
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	DMRPU	D-ライン抵抗制御(注1)	0: ラインのプルアップを禁止 1: ラインのプルアップを許可	R/W
b4	DPRPU	D+ライン抵抗制御(注1)	0: ラインのプルアップを禁止 1: ラインのプルアップを許可	R/W
b5	DRPD	D+/D-ライン抵抗制御	0: ラインのプルダウンを禁止 1: ラインのプルダウンを許可	R/W
b6	DCFM	コントローラ機能選択	0: デバイスコントローラを選択 1: ホストコントローラを選択	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CNEN	CNENシングルエンドレシーバ許可	0: シングルエンドレシーバを禁止 1: シングルエンドレシーバを許可	R/W
b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	SCKE	USBクロック許可(注2)	0: USBFSへのクロック供給を停止 1: USBFSへのクロック供給を許可	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. DMRPU ビットと DPRPU ビットを同時に許可にしないでください。

注2. SCKE ビットに1を書き込んだ後は、SCKE ビットを読み出して、1になっていることを確認してください。

USBE ビット (USBFS 動作許可)

USBFS の動作を許可または禁止します。

USBE ビットを1から0に変更したときに初期化されるビットを表 27.3 に示します。本ビットの変更は、SCKE ビットが1のときに限り行ってください。ホストコントローラモードでは、DRPD ビットを1にした後、SYSSTS0.LNST[1:0] ビットのチャタリング除去を行い、USB バスの状態が安定したことを確認した上で、USBE ビットを1にしてください。

表 27.3 SYSCFG.USBE ビットへの0の書き込みにより初期化されるレジスタ

選択機能	レジスタ	ビット	注意点
デバイスコントローラ	SYSSTS0	LNST[1:0]	ホストコントローラモードでは値が保持されます。
	DVSTCTR0	RHST[2:0]	—
	INTSTS0	DVSQ[2:0]	ホストコントローラモードでは値が保持されます。
	USBREQ	BREQUEST[7:0]、 BMREQUESTTYPE[7:0]	ホストコントローラモードでは値が保持されます。
	USBVAL	WVALUE[15:0]	ホストコントローラモードでは値が保持されます。
	USBINDEX	WINDEX[15:0]	ホストコントローラモードでは値が保持されます。
	USBLENG	WLENTUH[15:0]	ホストコントローラモードでは値が保持されます。
ホストコントローラ	DVSTCTR0	RHST[2:0]	—
	FRMNUM	FRNM[10:0]	デバイスコントローラモードでは値が保持されます。

DMRPU ビット (D-ライン抵抗制御)

デバイスコントローラモードで、D-ラインのプルアップを許可または禁止します。

デバイスコントローラモードで DMRPU ビットを 1 にすると、USBFS は D-ラインをプルアップし、それがロースピードデバイスとしてアタッチされたことを USB ホストに通知します。DMRPU ビットを 1 から 0 に変更すると、プルアップが解除され、結果としてそれがデタッチされたことを USB ホストに通知します。

ホストコントローラモードでは、本ビットを 0 にしてください。

DPRPU ビット (D+ライン抵抗制御)

デバイスコントローラモードで、D+ラインのプルアップを許可または禁止します。

デバイスコントローラモードで DPRPU ビットを 1 にすると、USBFS は D+ラインをプルアップし、それがアタッチされたことを USB ホストに通知します。DPRPU ビットを 1 から 0 に変更すると、プルアップが解除され、結果としてそれがデタッチされたことを USB ホストに通知します。

ホストコントローラモードでは、本ビットを 0 にしてください。

DRPD ビット (D+/D-ライン抵抗制御)

ホストコントローラモードで、D+/D-ラインのプルダウンを許可または禁止します。

本ビットは、ホストコントローラモードでは 1、デバイスコントローラモードでは 0 にしてください。

DCFM ビット (コントローラ機能選択)

USBFS の機能をホスト機能にするか、デバイス機能にするかを選択します。

本ビットの変更は、DMRPU ビット、DPRPU ビット、および DRPD ビットの両方が 0 の場合に限り行ってください。

CNEN ビット (CNEN シングルエンドレシーバ許可)

CNEN ビットを 1 にすると、シングルエンドレシーバが許可され、D+/D-ラインのステータスをモニタするように LNST ビットが設定されます。

CNEN ビットを使用するのは、USBFS がバッテリーチャージ用ポータブルデバイスとして動作する場合です。

SCKE ビット (USB クロック許可)

USB への 48MHz クロック供給を停止または許可します。

このビットが 0 の場合、SYSCFG レジスタのみ読み出し/書き込みが許可されます。他の USB 関連レジスタの読み出し/書き込みはしないでください。

27.2.2 システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0)

アドレス USBFS.SYSSTS0 4009 0004h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OVCMON[1:0]	—	—	—	—	—	—	—	—	HTACT	—	—	—	IDMON	LNST[1:0]	
リセット後の値 0 (注1)	0 (注1)	0	0	0	0	0	0	0	0	0	0	0	0 (注1)	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	LNST[1:0]	USB データラインステータスマニタ	USB データラインのステータスを示します。表 27.4 を参照してください。	R
b2	IDMON	外部ID0入力端子モニタ	0 : USB_ID端子はLow 1 : USB_ID端子はHigh	R
b5-b3	—	予約ビット	読むと0が読めます。	R
b6	HTACT	USBホストシーケンサステータスマニタ	0 : ホストシーケンサが完全に停止している 1 : ホストシーケンサが完全に停止していない	R
b13-b7	—	予約ビット	読むと0が読み、変更はできません。	R
b15-b14	OVCMON[1:0]	外部USB_OVRCURA/ USB_OVRCURB入力端子モニタ	OVCMON[1]ビットは、USB_OVRCURA端子のステータスを示します。 OVCMON[0]ビットは、USB_OVRCURB端子のステータスを示します。	R

注1. USB_OVRCURA/USB_OVRCURB 端子と USB_ID 端子のステータスに依存します。

LNST[1:0] ビット (USB データラインステータスマニタ)

USB データライン (D+ および D-) のステータスを示します。詳細は、表 27.4 を参照してください。

LNST[1:0] ビットの読み出しは、デバイスコントローラモードではアタッチ処理 (SYSCFG.DPRPU ビット = 1) 後に、ホストコントローラモードではラインのプルダウン許可 (SYSCFG.DRPD ビット = 1) 後に行ってください。

HTACT ビット (USB ホストシーケンサステータスマニタ)

USBFS のホストシーケンサが完全に停止しているとき、HTACT ビットは 0 になります。

ホストコントローラモードで、DVSTCTR0.UACT ビットを 0 にして USBFS を Suspended ステートにする場合や、SCKE ビットを 0 にして通信中にクロック供給を停止する場合は、事前に HTACT ビットが 0 であることを確認してください。

OVCMON[1:0] ビット (外部 USB_OVRCURA/USB_OVRCURB 入力端子モニタ)

外部電源 IC からのオーバーカレント信号のステータスを示します。

表 27.4 USB データバスライン (D+ライン、D-ライン) のステータス

LNST[1:0] ビット	フルスピード動作時	ロースピード動作時
00b	SE0	SE0
01b	J-State	K-State
10b	K-State	J-State
11b	SE1	SE1

27.2.3 デバイスステートコントロールレジスタ 0 (DVSTCTR0)

アドレス USBFS.DVSTCTR0 4009 0008h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	HNPBT OA	EXICE N	VBUSE N	WKUP	RWUP E	USBR ST	RESU ME	UACT	—	RHST[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータス	<ul style="list-style-type: none"> • ホストコントローラモードの場合 b2 b0 0 0 0: 通信速度は不確定 (パワード時あるいは非接続時) 1 x x: USBバスリセット処理中 0 0 1: ロースピード接続時 0 1 0: フルスピード接続時 • デバイスコントローラモードの場合 b2 b0 0 0 0: 通信速度は不確定 0 0 1: USBバスリセット処理中またはロースピード接続時 0 1 0: USBバスリセット処理中またはフルスピード接続時 	R
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	UACT	USBバス許可	0: ダウンストリームポート動作禁止 (SOF送出禁止) 1: ダウンストリームポート動作許可 (SOF送出許可)	R/W
b5	RESUME	レジューム出力	0: レジューム信号を出力しない 1: レジューム信号を出力する	R/W
b6	USBRST	USBバスリセット出力	0: USBバスリセット信号を出力しない 1: USBバスリセット信号を出力する	R/W
b7	RWUPE	ウェイクアップ検出許可	0: ダウンストリームポートウェイクアップ禁止 1: ダウンストリームポートウェイクアップ許可	R/W
b8	WKUP	ウェイクアップ出力	0: リモートウェイクアップ信号を出力しない 1: リモートウェイクアップ信号を出力する	R/W
b9	VBUSEN	USB_VBUSEN出力端子制御	0: 外部USB_VBUSEN端子はLowを出力 1: 外部USB_VBUSEN端子はHighを出力	R/W
b10	EXICEN	USB_EXICEN出力端子制御	0: 外部USB_EXICEN端子はLowを出力 1: 外部USB_EXICEN端子はHighを出力	R/W
b11	HNPBTOA	ホストネゴシエーションプロトコル (HNP) 制御	OTGモードで、デバイスBからデバイスAに切り替えるときに使用します。HNPBTOAビットが1であれば、SYSCFG.DPRPU = 0またはSYSCFG.DCFM = 1であっても、内部機能制御はHNP処理が終了するまでSuspendedステートを保ちます。	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

x: Don't care

RHST[2:0] ビット (USBバスリセットステータス)

USBバスリセットのステータスを示します。

ホストコントローラモードでは、USBRSTビットを1にするとRHST[2:0]ビットが100bになります。USBRSTビットを0にしてUSBFSがSE0ステートを終了すると、RHST[2:0]ビットが新しい値に更新されます。

デバイスコントローラモードでは、USBFSがUSBバスリセットを検出すると、DPRPUビットが1の場合はRHST[2:0]ビットが010bに、DMRPUビットが1の場合はRHST[2:0]ビットが001bになり、DVST割り込みが発生します。

UACT ビット (USB バス許可)

ホストコントローラモードで UACT ビットを 1 にすると、UACT ビットは USB バスへの SOF パケットの送信（データと受信を含む）を制御することで、USB バス動作を許可します。UACT ビットを 1 にしてから 1 フレーム期間内に、USBFS は SOF パケット出力を開始します。UACT ビットを 0 にすると、USB は SOF パケット出力後にアイドル状態に遷移します。

本ビットを 0 にした場合、USB は SOF パケットを出力した後、アイドル状態に遷移します。

以下のいずれかの場合に、USB は UACT ビットを 0 にします。

- 通信中 (UACT ビットが 1 のとき) に DTCH 割り込みを検出したとき
- 通信中 (UACT ビットが 1 のとき) に EOFERR 割り込みを検出したとき

USB バスリセット処理の終了時 (USBRSST ビットへの 0 書き込み時)、または Suspended ステートからのレジューム処理の終了時 (RESUME ビットへの 0 書き込み時) には、常に UACT ビットに 1 を書いてください。

デバイスコントローラモードでは、常に本ビットを 0 にしてください。

RESUME ビット (レジューム出力)

ホストコントローラモードで、レジューム信号の出力を制御します。

本ビットを 1 にすると、USBFS は USB ポートを K-State にドライブし、レジューム信号を出力します。RWUPE ビットが 1 で、USB Suspended ステートのとき、USBFS がリモートウェイクアップ信号を検出すると、本ビットを 1 にします。

また、RESUME ビットが 1 のとき、ソフトウェアで RESUME ビットを 0 にするまで、USBFS は K-State を出力し続けます。RESUME ビットが 1 の期間 (レジューム期間) は、USB2.0 規格に定められた時間を確保してください。インタフェースが Suspended ステートのときにのみ、RESUME ビットを 1 にしてください。レジューム処理の終了 (RESUME ビットへの 0 書き込み) と同時に UACT ビットに 1 を書いてください。

デバイスコントローラモードでは、常に本ビットを 0 にしてください。

USBRSST ビット (USB バスリセット出力)

ホストコントローラモードで、USB バスリセット信号の出力を制御します。USBRSST ビットを 1 にすると、USBFS は USB ポートを SE0 ステートにドライブして、USB バスをリセットします。USBFS は、USBRSST ビットが 1 の期間、ソフトウェアで USBRSST ビットを 1 にするまで SE0 を出力し続けます。USBRSST ビットが 1 の期間 (USB バスリセット期間) は、USB2.0 規格に定められた時間を確保してください。

通信中 (UACT ビット = 1) またはレジューム処理中 (RESUME ビット = 1) に、本ビットに 1 を書き込むと、UACT ビットと RESUME ビットの両方が 0 になるまで、USBFS は USB バスリセット処理を開始できません。USB バスリセット処理の終了 (USBRSST ビットへの 0 書き込み) と同時に UACT ビットに 1 を書いてください。

デバイスコントローラモードでは、常に本ビットを 0 にしてください。

RWUPE ビット (ウェイクアップ検出許可)

ホストコントローラモードで、ダウンストリームポート周辺デバイスからのリモートウェイクアップ信号 (レジューム信号) の受け付けを許可または禁止します。本ビットを 1 にすると、USBFS は下流周辺デバイスからのリモートウェイクアップ信号 (2.5 μ s 間の K-State) を検出し、レジューム処理を実行して K-State にします。

本ビットを 0 にすると、USBFS は USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号 (K-State) を無視します。RWUPE ビットが 1 のときは、Suspended ステートであっても、内部クロックを停止しないでください (SYSCFG.SCKE ビットは 1 にする必要があります)。デバイスコントローラモードでは、常に本ビットを 0 にしてください。

WKUP ビット (ウェイクアップ出力)

デバイスコントローラモードで、USB バスへのリモートウェイクアップ信号 (レジューム信号) を許可または禁止します。

USBFS は、リモートウェイクアップ信号の出力タイミングを管理しています。WKUP ビットを 1 にすると、USBFS は 10ms の K-State を出力した後、本ビットをクリアして 0 にします。USB2.0 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。そのため、USB が Suspended ステートを検出した直後に本ビットを 1 にすると、2ms 後に K-State が出力されます。

本ビットへの 1 の書き込みは、デバイスが Suspended ステート (INTSTS0.DVSQ[2:0] ビット = 1xxb) で、かつ USB ホストがリモートウェイクアップ信号を許可している場合にのみ行ってください。本ビットが 1 のときは、Suspended ステートであっても、内部クロックを停止しないでください (SYSCFG.SCKE ビットを 1 にする必要があります)。ホストコントローラモードでは、本ビットを 0 にしてください。

HNPBTOA ビット (ホストネゴシエーションプロトコル (HNP) 制御)

OTG モード時に、デバイス B からデバイス A へ切り替えるときに使用します。

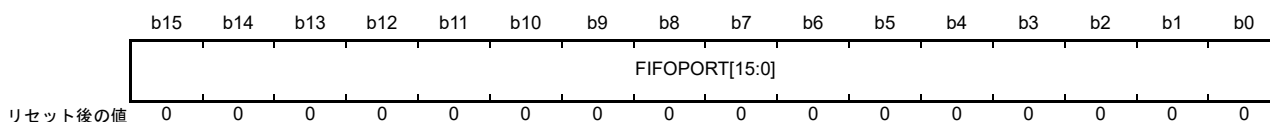
HNPBTOA ビットが 1 の場合、SYSCFG.DPRPU ビットを 0 または SYSCFG.DCFM ビットを 1 にしても、内部機能制御は HNP 処理が終了するまで Suspended ステートを維持します。D+ 信号の立ち下がりを検出しても、レジューム (RESM) 割り込みは発生しません。

“1” にした後、発信側によるプルアップのためにホストアタッチイベントを検出するか、または HNP 処理がタイムアウトしたためソフトウェアで HNPBTOA ビットを 0 にすると、HNP 処理が終了します。

27.2.4 CFIFO ポートレジスタ (CFIFO/CFIFOL) D0FIFO ポートレジスタ (D0FIFO/D0FIFOL) D1FIFO ポートレジスタ (D1FIFO/D1FIFOL)

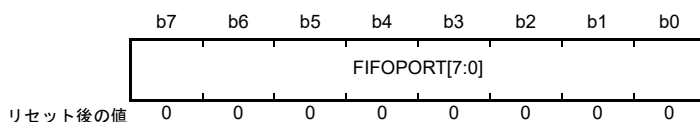
(1) MBW ビットが 1 の場合

アドレス [USBFS.CFIFO 4009 0014h](#), [USBFS.D0FIFO 4009 0018h](#), [USBFS.D1FIFO 4009 001Ch](#)



(2) MBW ビットが 0 の場合

アドレス [USBFS.CFIFOL 4009 0014h](#), [USBFS.D0FIFOL 4009 0018h](#), [USBFS.D1FIFOL 4009 001Ch](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0	FIFOPORT[15:0] (注1)	FIFOポート	これらのビットにアクセスして、FIFOバッファから受信データを読み出すか、またはFIFOバッファへ送信データを書き込みます。	R/W

注 1. 有効ビットは、関連するポート選択レジスタの MBW ビット (CFIFOSEL.MBW、D0FIFOSEL.MBW、D1FIFOSEL.MBW) の設定値と、BIGEND ビット (CFIFOSEL.BIGEND、D0FIFOSEL.BIGEND、D1FIFOSEL.BIGEND) の設定値で決まります。表 27.5 と表 27.6 を参照してください。

下記の 3 つの FIFO ポートが用意されています。

- CFIFO
- D0FIFO
- D1FIFO

各 FIFO ポートは下記のレジスタで構成されます。

- FIFO バッファからのデータリードと、FIFO バッファへのデータライトを処理するポートレジスタ (CFIFO、D0FIFO、または D1FIFO)
- FIFO ポートに割り当てられたパイプを選択するためのポート選択レジスタ (CFIFOSEL、D0FIFOSEL、または D1FIFOSEL)
- ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、または D1FIFOCTR)

各 FIFO ポートには、下記の制限事項があります。

- DCP コントロール転送用 FIFO バッファにアクセスする場合、CFIFO ポート経由で行う
- DMA または DTC 転送用 FIFO バッファにアクセスする場合、D0FIFO または D1FIFO ポート経由で行う
- D0FIFO および D1FIFO ポートへのアクセスは、CPU によっても可能
- DMA または DTC 転送機能など、FIFO ポートに固有の機能を使用する場合、ポート選択レジスタの CURPIPE[3:0] ビットで選択したパイプ番号は変更不可
- 1 つの FIFO ポートを設定するレジスタ群が、他の FIFO ポートに影響を与えることはない
- 同一パイプを複数の FIFO ポートに割り当てることは禁止

- FIFO バッファの状態には、アクセス権が CPU 側にある場合と SIE (Serial Interface Engine) 側にある場合の 2 種類がある。SIE 側にアクセス権がある場合、CPU から FIFO バッファへのアクセスは不可

FIFOPORT[15:0] ビット (FIFO ポート)

FIFOPORT[15:0] ビットへのアクセス時に、USBFS は FIFO バッファから受信データを読み出すか、または FIFO バッファへ送信データを書き込みます。FIFO ポートレジスタへのアクセスは、対応するポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、または D1FIFOCTR) の FRDY フラグが 1 のときに限り可能です。

FIFO ポートレジスタの有効ビットは、ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、または D1FIFOSEL) の MBW および BIGEND ビットの設定値で決まります。表 27.5 と表 27.6 を参照してください。

表 27.5 16 ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット D0FIFOSEL.BIGEND ビット D1FIFOSEL.BIGEND ビット	ビット 15~8	ビット 7~0
0	N+1 データ	N+0 データ
1	N+0 データ	N+1 データ

表 27.6 8 ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット D0FIFOSEL.BIGEND ビット D1FIFOSEL.BIGEND ビット	ビット 15~8	ビット 7~0
0	アクセス禁止 (注1)	N+0 データ
1	アクセス禁止 (注1)	N+0 データ

注 1. これらの領域に対する書き込みや読み出しはしないでください。

27.2.5 CFIFO ポート選択レジスタ (CFIFOSEL) D0FIFO ポート選択レジスタ (D0FIFOSEL) D1FIFO ポート選択レジスタ (D1FIFOSEL)

CFIFOSEL

アドレス USBFS.CFIFOSEL 4009 0020h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RCNT	REW	—	—	—	MBW	—	BIGEN D	—	—	ISEL	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	CFIFOポートアクセスパイプ指定	b3 b0 0 0 0 0 : DCP (デフォルトコントロールパイプ) 0 0 0 1 : パイプ1 0 0 1 0 : パイプ2 0 0 1 1 : パイプ3 0 1 0 0 : パイプ4 0 1 0 1 : パイプ5 0 1 1 0 : パイプ6 0 1 1 1 : パイプ7 1 0 0 0 : パイプ8 1 0 0 1 : パイプ9 上記以外は設定しないでください。	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	ISEL	DCP選択時CFIFOポートアクセス方向	0 : バッファメモリからの読み出しを選択 1 : バッファメモリへの書き込みを選択	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BIGEND	CFIFOポートエンディアン制御	0 : リトルエンディアン 1 : ビッグエンディアン	R/W
b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	MBW	CFIFOポートアクセスビット幅	0 : 8ビット幅 1 : 16ビット幅	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	REW	バッファポインタリワインド	0 : バッファポインタのリワインドを行わない 1 : バッファポインタのリワインドを行う	R/W (注1)
b15	RCNT	リードカウントモード	0 : CFIFOからすべての受信データを読み出したときに、DTLN[8:0]ビット (CFIFOCTR.DTLN[8:0]、D0FIFOCTR.DTLN[8:0]、D1FIFOCTR.DTLN[8:0]) をクリア ダブルバッファモードの場合は、1面のみ全データを読み出したときにDTLN[8:0]ビット値をクリア 1 : CFIFOから受信データを読み出すごとにDTLN[8:0]ビットをダウンカウント	R/W

注 1. 読むと0が読み出されます。

CFIFOSEL、D0FIFOSEL、およびD1FIFOSELレジスタのCURPIPE[3:0]ビットには、同じパイプ番号を指定しないでください。D0FIFOSELおよびD1FIFOSELレジスタのCURPIPE[3:0]ビットを0000bにすると、パイプ指定なしとなります。

DMA または DTC 転送が許可されているとき、パイプ番号を変更しないでください。

CURPIPE[3:0] ビット (CFIFO ポートアクセスパイプ指定)

CFIFO ポート経由のデータリード/ライトに使用するパイプ番号を指定します。これらのビットに書き込む際は、書き込み後に読み出して、書き込み値と読み出し値が一致していることを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセス中は、ソフトウェアが CURPIPE[3:0] ビット値を変更しようとしても、アクセスが完了するまで現在のパイプ指定が維持されます。CURPIPE[3:0] ビットに現在値を書き戻すと、アクセスが継続されます。

ISEL ビット (DCP 選択時 CFIFO ポートアクセス方向)

選択パイプが DCP のときに ISEL ビットへの新しい値の書き込みを行ったときは、その後で ISEL ビットの読み出しを行い、書き込み値と読み出し値が一致することを確認してから次の処理に進んでください。ISEL ビットと CURPIPE[3:0] ビットは、同時に設定してください。

MBW ビット (CFIFO ポートアクセスビット幅)

CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。これらのビットへの書き込みによって FIFO バッファからのデータリードが開始したら、すべてのデータが読み出されるまで、これらのビットを変更しないでください。FIFO バッファを読み出す場合、MBW ビットで設定されたアクセスサイズで読み出してください。

選択パイプが送信方向の場合、バッファメモリへのデータライト中は、ビット幅を 8 ビット幅から 16 ビット幅へ切り替えることはできません。

16 ビット幅を選択した場合でも、バイトアクセス制御を通じて、奇数バイトの書き込みが可能です。

REW ビット (バッファポインタリワインド)

バッファポインタのリワインドを行うか否かを指定します。

選択パイプが受信方向の場合、FIFO バッファの読み出し中に本ビットを 1 にすると、FIFO バッファの最初のデータから再読み出しが可能になります。ダブルバッファモードでは、この設定によって、現在読み出している FIFO バッファ面の最初のデータから再読み出しが可能になります。

CURPIPE[3:0] ビットを変更すると同時に、本ビットを 1 にしないでください。REW ビットを 1 にする前に、必ず FRDY ビットが 1 であることを確認してください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

RCNT ビット (リードカウントモード)

CFIFOCTR.DTLN[8:0] ビットの読み出しモードを指定します。

D0FIFOSEL、D1FIFOSEL

アドレス **USBFS.D0FIFOSEL 4009 0028h, USBFS.D1FIFOSEL 4009 002Ch**

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND	—	—	—	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	FIFOポートアクセスパイプ指定	b3 b0 0 0 0 0 : パイプ指定なし 0 0 0 1 : パイプ1 0 0 1 0 : パイプ2 0 0 1 1 : パイプ3 0 1 0 0 : パイプ4 0 1 0 1 : パイプ5 0 1 1 0 : パイプ6 0 1 1 1 : パイプ7 1 0 0 0 : パイプ8 1 0 0 1 : パイプ9 上記以外は設定しないでください。	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BIGEND	FIFOポートエンディアン制御	0 : リトルエンディアン 1 : ビッグエンディアン	R/W
b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	MBW	FIFOポートアクセスビット幅	0 : 8ビット幅 1 : 16ビット幅	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	DREQE	DMA/DTC転送要求許可	0 : DMA/DTC転送要求を禁止 1 : DMA/DTC転送要求を許可	R/W
b13	DCLRM	指定パイプデータ読み出し後自動バッファメモリアクセス	0 : 自動バッファクリアモードを禁止 1 : 自動バッファクリアモードを許可	R/W
b14	REW	バッファポインタリワインド	0 : バッファポインタのリワインドを行わない 1 : バッファポインタのリワインドを行う	R/W (注1)
b15	RCNT	リードカウントモード	0 : DnFIFOからすべての受信データを読み出したときに、DTLN[8:0]ビット (CFIFOCTR.DTLN[8:0]、D0FIFOCTR.DTLN[8:0]、D1FIFOCTR.DTLN[8:0]) をクリア (ダブルバッファモードの場合は、1面のみの全データを読み出したときにDTLN[8:0]ビット値をクリア) 1 : DnFIFOから受信データを読み出すごとにDTLN[8:0]ビットをダウンカウント (n = 0, 1)	R/W

注 1. 読むと0が読み出されます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットには、同じパイプ番号を指定しないでください。D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットを 0000b にすると、パイプ指定なしとなります。DMA または DTC 転送が許可されているとき、パイプ番号を変更しないでください。

CURPIPE[3:0] ビット (FIFOポートアクセスパイプ指定)

D0FIFO ポートまたは D1FIFO ポート経由のデータリード/ライトに使用するパイプ番号を指定します。これらのビットに書き込む際は、書き込み後に読み出して、書き込み値と読み出し値が一致していることを確認してから、次の処理に進んでください。CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0] ビットには、同じパイプ番号を設定しないでください。

FIFO バッファへのアクセス中は、ソフトウェアが CURPIPE[3:0] ビット値を変更しようとしても、アクセスが完了するまで現在のパイプ指定が維持されます。CURPIPE[3:0] ビットに現在値を書き戻すと、アクセスが継続されます。

MBW ビット (FIFO ポートアクセスビット幅)

D0FIFO ポートまたは D1FIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、これらのビットへの書き込みによって FIFO バッファからのデータリードが開始したら、すべてのデータが読み出されるまで、これらのビットを変更しないでください。FIFO バッファを読み出す場合、MBW ビットで設定されたアクセスサイズで読み出してください。CURPIPE[3:0] ビットと MBW ビットは、同時に設定してください。

選択パイプが送信方向の場合、FIFO メモリへのデータライト中は、ビット幅を 8 ビット幅から 16 ビット幅へ切り替えることはできません。

16 ビット幅を選択した場合でも、バイトアクセス制御を通じて、奇数バイトの書き込みが可能です。

DREQ ビット (DMA/DTC 転送要求許可)

DREQ ビットは、DMA または DTC 転送要求の発行を許可または禁止します。

DMA または DTC 転送要求を許可するには、CURPIPE[3:0] ビットの設定後に、本ビットを 1 にしてください。CURPIPE[3:0] ビットを変更する場合は、最初に本ビットを 0 にしてください。

DCLRM ビット (指定パイプデータ読み出し後自動バッファメモリクリアモードアクセス)

選択パイプのデータを読み出した後の自動 FIFO バッファクリアを許可または禁止します。

本ビットを 1 にすると、選択パイプに割り当てられた FIFO バッファが空の状態での Zero-Length パケットを受信したとき、または PIPECFG.BFRE ビットが 1 の状態で受信したショートパケットの読み出しが完了したとき、USBFS は FIFO ポートコントロールレジスタの BCLR ビットを 1 にします。

SOFCFG.BRDYM ビットを 1 にして USBFS を使用する場合、DCLRM ビットを 0 にしてください。

REW ビット (バッファポインタリワインド)

バッファポインタのリワインドを行うか否かを指定します。

選択パイプが受信方向の場合、FIFO バッファの読み出し中に本ビットを 1 にすると、FIFO バッファの最初のデータから再読み出しが可能になります。ダブルバッファモードでは、この設定によって、現在読み出している FIFO バッファ面の最初のデータから再読み出しが可能になります。

CURPIPE[3:0] ビットを変更すると同時に、本ビットを 1 にしないでください。本ビットを 1 にする前に、必ず FRDY ビットが 1 であることを確認してください。

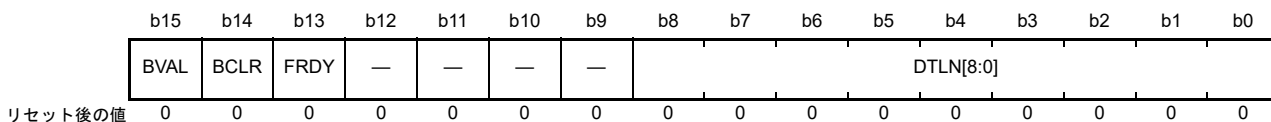
送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

RCNT ビット (リードカウントモード)

D0FIFOCTR.DTLN[8:0] ビット、D1FIFOCTR.DTLN[8:0] ビット値の読み出しモードを指定します。PIPECFG.BFRE ビットを 1 にして DnFIFO にアクセスする場合、RCNT ビットを 0 にしてください。

27.2.6 CFIFO ポートコントロールレジスタ (CFIFOCTR) D0FIFO ポートコントロールレジスタ (D0FIFOCTR) D1FIFO ポートコントロールレジスタ (D1FIFOCTR)

アドレス USBFS.CFIFOCTR 4009 0022h, USBFS.D0FIFOCTR 4009 002Ah, USBFS.D1FIFOCTR 4009 002Eh



ビット	シンボル	ビット名	機能	R/W
b8-b0	DTLN[8:0]	受信データ長	受信データ長を示します。 ポート選択レジスタのRCNTビットの設定値によって値の意味が異なります。詳細は、DTLN[8:0]ビットの説明を参照してください。	R
b12-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	FRDY	FIFOポートレディ	0 : FIFOポートアクセス不可能 1 : FIFOポートアクセス可能	R
b14	BCLR	CPUバッファクリア	0 : 何もしない 1 : CPU側FIFOバッファをクリア	R/W (注1)
b15	BVAL	バッファメモリ有効フラグ	0 : 無効 1 : 書き込み終了	R/W

注 1. 読むと0が読み出されます。

CFIFOCTR、D0FIFOCTR、およびD1FIFOCTRレジスタは、それぞれCFIFO、D0FIFO、およびD1FIFOバッファに対応しています。

DTLN[8:0] ビット (受信データ長)

受信データ長を表示します。

FIFO バッファの読み出し中、DTLN[8:0] ビットは、以下のようにDnFIFOSEL.RCNT ビット (n=0, 1) に応じて異なる値を示します。

- RCNT = 0
CPU または DMAC/DTC が FIFO バッファ 1 面分の全受信データの読み出しを完了するまで、USBFS は受信データ長を DTLN[8:0] ビットに表示します。
PIPECFG.BFRE ビットが 1 のときは、全データが読み出された後も、BCLR ビットが 1 になるまで、USB は受信データ長を保持します。
- RCNT = 1
FIFO バッファからデータを読み出すごとに USBFS は DTLN[8:0] ビットの表示値をダウンカウントします。MBW ビットが 0 のときは -1 ずつ、MBW ビットが 1 のときは -2 ずつ値がダウンカウントされます。
1 面分の FIFO バッファ読み出し完了時に、USBFS は DTLN[8:0] ビットを 0 にします。ただしダブルバッファモードでは、FIFO バッファ 1 面分の受信データの読み出しを完了する前に、もう 1 面分の FIFO バッファにデータを受信した場合、USBFS は、最初の 1 面分の読み出し完了時に、次の 1 面分の受信データ長を DTLN[8:0] ビットに表示します。

FRDY ビット (FIFO ポートレディ)

CPU または DMAC/DTC から FIFO ポートにアクセス可能かどうかを表示します。

以下の場合、USBFS は FRDY ビットを 1 にしますが、読み出すべきデータがないため、FIFO ポート経由のデータ読み出しはできません。

- 選択パイプに割り当てられている FIFO バッファが空の状態 Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが 1 のときに、ショートパケットを受信し、データ読み出しを完了した場合

このような場合は、BCLR ビットを 1 にして FIFO バッファをクリアし、次のデータ送受信が可能な状態にしてください。

BCLR ビット (CPU バッファクリア)

選択パイプの CPU の FIFO バッファをクリアする場合、BCLR ビットを 1 にしてください。

選択パイプに割り当てられた FIFO バッファに、ダブルバッファモードが設定されている場合、FIFO バッファの両面とも読み出し可能な状態であっても、USBFS はその片面のみをクリアします。

選択パイプが DCP の場合は、CPU 側と SIE 側のどちらにアクセス権があるかにかかわらず、BCLR ビットを 1 にすると、USBFS は FIFO バッファのクリアが可能になります。SIE 側にアクセス権がある場合、FIFO バッファをクリアするには、DCPCTR.PID[1:0] ビットを 00b (NAK 応答) にしてから、BCLR ビットを 1 にしてください。

選択パイプが送信方向の場合、BVAL フラグと BCLR ビットへ同時に 1 を書き込むと、USBFS は書き込み済みのデータをクリアして、Zero-Length パケットの送信を可能にします。

選択パイプが DCP 以外の場合、BCLR ビットへの 1 の書き込みは、FIFO ポートコントロールレジスタの FRDY ビットが (USBFS によって) 1 になっている場合にのみ行ってください。

BVAL フラグ (バッファメモリ有効フラグ)

CURPIPE[3:0] ビットで選択したパイプの CPU 側の FIFO バッファへデータライトが完了したとき、BVAL フラグを 1 にしてください。

選択パイプが送信方向のとき、以下の場合に、本フラグを 1 にしてください。

- ショートパケットを送信する場合、データライト後に本フラグを 1 にする
- Zero-Length パケットを送信する場合、FIFO バッファへのデータライト前に本フラグを 1 にする

USBFS は、CPU の FIFO バッファを SIE に切り替えて、それにより送信可能な状態にします。

連続転送モード時にパイプに対して最大パケットサイズ分のデータを書き込むと、USBFS は BVAL フラグを 1 にし、FIFO バッファを CPU から SIE に切り替え、それにより送信可能な状態にします。

BVAL フラグへの 1 の書き込みは、FRDY ビットが (USBFS によって) 1 になっている場合にのみ行ってください。選択パイプが受信方向の場合、BVAL フラグは 1 にしないでください。

27.2.7 割り込みイネーブルレジスタ 0 (INTENB0)

アドレス USBFS.INTENB0 4009 0030h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BRDYE	バッファレディ割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b9	NRDYE	バッファノットレディ応答割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b10	BEMPE	バッファエンプティ割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b11	CTRE	コントロール転送ステージ遷移割り込み許可 (注1)	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b12	DVSE	デバイスステート遷移割り込み許可(注1)	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b13	SOFE	フレーム番号更新割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b14	RSME	レジューム割り込み許可(注1)	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b15	VBSE	VBUS割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W

注1. RSME、DVSE、および CTRE ビットは、デバイスコントローラモード時にのみ 1 にできます。ホストコントローラモードでは、これらのビットを 1 にしないでください。

INTSTS0 レジスタのステータスフラグが 1 で、INTENB0 レジスタの関連する割り込み要求許可ビットが 1 の場合、USBFS は USBFS 割り込み要求を発行します。

INTENB0 レジスタの設定値にかかわらず、関連する条件を満たすステート切り替えに応じて、INTSTS0 レジスタのステータスフラグは 1 となります。

INTSTS0 レジスタの対応するステータスフラグが 1 の状態で、INTENB0 レジスタの割り込み要求許可ビットが 0 から 1 に切り替わると、USBFS 割り込み要求が発行されます。

27.2.8 割り込みイネーブルレジスタ 1 (INTENB1)

アドレス USBFS.INTENB1 4009 0032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCRE	BCHGE	—	DTCHE	ATTCH E	—	—	—	—	EOFERRE	SIGNE	SACKE	—	—	—	PDDETINTE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDDETINTE0	PDDETINT0検出割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SACKE	SETUP トランザクション正常応答割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b5	SIGNE	SETUP トランザクションエラー割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b6	EOFERRE	EOF エラー検出割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b10-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	ATTCH E	アタッチ検出割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b12	DTCHE	デタッチ検出割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	BCHGE	USBバス変化割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b15	OVRCRE	オーバーカレント入力変化割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W

注. INTENB1 レジスタのビットは、ホストコントローラモード時にのみ 1 にできます。デバイスコントローラモードでは、1 にしないでください。

INTENB1 レジスタは、ホストコントローラモード時の SETUP トランザクションに対する割り込みマスクを指定します。

INTSTS1 レジスタのステータスフラグが 1 で、INTENB1 レジスタの関連する割り込み要求許可ビットが 1 の場合、USBFS は USBFS 割り込み要求を発行します。

INTENB1 レジスタの設定値にかかわらず、関連する条件を満たすステート切り替えに応じて、INTSTS1 レジスタのステータスフラグは 1 となります。

INTSTS1 レジスタの対応するステータスフラグが 1 の状態で、INTENB1 レジスタの割り込み要求許可ビットが 0 から 1 に切り替わると、USBFS 割り込み要求が発行されます。

デバイスコントローラモードでは、割り込みを許可しないでください。

27.2.9 BRDY 割り込みイネーブルレジスタ (BRDYENB)

アドレス USBFS.BRDYENB 4009 0036h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9B RDYE	PIPE8B RDYE	PIPE7B RDYE	PIPE6B RDYE	PIPE5B RDYE	PIPE4B RDYE	PIPE3B RDYE	PIPE2B RDYE	PIPE1B RDYE	PIPE0B RDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDYE	パイプ0のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b1	PIPE1BRDYE	パイプ1のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b2	PIPE2BRDYE	パイプ2のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b3	PIPE3BRDYE	パイプ3のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b4	PIPE4BRDYE	パイプ4のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b5	PIPE5BRDYE	パイプ5のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b6	PIPE6BRDYE	パイプ6のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b7	PIPE7BRDYE	パイプ7のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b8	PIPE8BRDYE	パイプ8のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b9	PIPE9BRDYE	パイプ9のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY ビットを 1 にすることを許可または禁止します。

BRDYSTS レジスタのステータスフラグが 1 で、BRDYENB レジスタの関連する PIPE_nBRDYE ビット (n = 0 ~ 9) が 1 の場合、INTSTS0.BRDY フラグは 1 になります。このとき、INTENB0 レジスタの BRDYE ビットが 1 であれば、USBFS は BRDY 割り込み要求を発生させます。

PIPE_nBRDY ビットの少なくとも 1 つが 1 のとき、ソフトウェアで BRDYENB レジスタの対応する割り込み許可ビットを 0 から 1 に変更すると、USBFS は BRDY 割り込み要求を発生させます。

27.2.10 NRDY 割り込みイネーブルレジスタ (NRDYENB)

アドレス USBFS.NRDYENB 4009 0038h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9N RDYE	PIPE8N RDYE	PIPE7N RDYE	PIPE6N RDYE	PIPE5N RDYE	PIPE4N RDYE	PIPE3N RDYE	PIPE2N RDYE	PIPE1N RDYE	PIPE0N RDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDYE	パイプ0のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b1	PIPE1NRDYE	パイプ1のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b2	PIPE2NRDYE	パイプ2のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b3	PIPE3NRDYE	パイプ3のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b4	PIPE4NRDYE	パイプ4のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b5	PIPE5NRDYE	パイプ5のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b6	PIPE6NRDYE	パイプ6のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b7	PIPE7NRDYE	パイプ7のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b8	PIPE8NRDYE	パイプ8のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b9	PIPE9NRDYE	パイプ9のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

NRDYENB レジスタは、各パイプの NRDY 割り込み検出時に、INTSTS0.NRDY ビットを 1 にすることを許可または禁止します。

NRDYSTS レジスタのステータスフラグが 1 で、NRDYENB レジスタの関連する PIPE_nNRDYE ビット (n = 0 ~ 9) が 1 の場合、INTSTS0.NRDY フラグは 1 になります。このとき、INTENB0 レジスタの NRDYE ビットが 1 であれば、USBFS は NRDY 割り込み要求を発生させます。

PIPE_nNRDY ビットの少なくとも 1 つが 1 のとき、ソフトウェアで NRDYENB レジスタの対応する割り込み要求許可ビットを 0 から 1 に変更すると、USBFS は NRDY 割り込み要求を発生させます。

27.2.11 BEMP 割り込みイネーブルレジスタ (BEMPENB)

アドレス USBFS.BEMPENB 4009 003Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9B EMPE	PIPE8B EMPE	PIPE7B EMPE	PIPE6B EMPE	PIPE5B EMPE	PIPE4B EMPE	PIPE3B EMPE	PIPE2B EMPE	PIPE1B EMPE	PIPE0B EMPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMPE	パイプ0のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b1	PIPE1BEMPE	パイプ1のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b2	PIPE2BEMPE	パイプ2のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b3	PIPE3BEMPE	パイプ3のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b4	PIPE4BEMPE	パイプ4のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b5	PIPE5BEMPE	パイプ5のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b6	PIPE6BEMPE	パイプ6のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b7	PIPE7BEMPE	パイプ7のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b8	PIPE8BEMPE	パイプ8のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b9	PIPE9BEMPE	パイプ9のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に、INTSTS0.BEMP ビットを 1 にすることを禁止または許可します。

BEMPSTS レジスタのステータスフラグが 1 で、BEMPENB レジスタの関連する PIPE n BEMPE ビット ($n = 0 \sim 9$) が 1 の場合、INTSTS0.BEMP フラグは 1 になります。このとき、INTENB0 レジスタの BEMPE ビットが 1 であれば、USBFS は BEMP 割り込み要求を発生させます。

PIPE n BEMPE ビットの少なくとも 1 つが 1 のとき、ソフトウェアで BEMPENB レジスタの対応する割り込み要求許可ビットを 0 から 1 に変更すると、USBFS は BEMP 割り込み要求を発生させます。

27.2.12 SOF 出力コンフィグレーションレジスタ (SOFCFG)

アドレス USBFS.SOFCFG 4009 003Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TRNENSEL	—	BRDY M	—	EDGESTS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	EDGESTS	エッジ割り込み出力ステータスマニタ (注1)	エッジ割り込み出力信号のエッジ処理中は1になります。	R
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	BRDY M	BRDY 割り込みステータスクリアタイ ミング	0: ソフトウェアでBRDYフラグをクリア 1: FIFOバッファに対するデータリード/ライトを介して、USBFSがBRDYフラグをクリア	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	TRNENSEL	トランザクション有効期間切り替え (注1)	0: ロースピード通信非対応 1: ロースピード通信対応	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. USBFS へのクロック供給を停止するときは、事前に本ビットが0であることを確認してください。

EDGESTS ビット (エッジ割り込み出力ステータスマニタ)

エッジ割り込み出力信号のエッジ処理中は1を示します。USBFS へのクロック供給を停止するときは、事前に本ビットが0であることを確認してください。

BRDY M ビット (BRDY 割り込みステータスクリアタイミング)

パイプの BRDY 割り込みステータスフラグのクリアタイミングを指定します。

TRNENSEL ビット (トランザクション有効期間切り替え)

USB ポートでフルスピードまたはロースピード通信を行う場合に、1フレーム中に USBFS がトークン発行を行う期間 (トランザクション有効期間) を指定します。

ロースピードデバイスが接続されたとき、本ビットを1にしてください。本ビットは、ホストコントローラモードでのみ有効です。デバイスコントローラモードでは、本ビットを0にしてください。

27.2.13 割り込みステータスレジスタ 0 (INTSTS0)

アドレス USBFS.INTSTS0 4009 0040h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
VBINT	RESM	SOFR	DVST	CTRTR	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]		VALID	CTSQ[2:0]				
リセット後の値	0	0	0	0/1 (注1)	0	0	0	0	0 (注2)	0 (注3)	0 (注3)	0/1 (注3)	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSQ[2:0]	コントロール転送ステージ	b2 b0 0 0 0: アイドルまたはセットアップステージ 0 0 1: コントロールリードデータステージ 0 1 0: コントロールリードステータスステージ 0 1 1: コントロールライトデータステージ 1 0 0: コントロールライトステータスステージ 1 0 1: コントロールライト (ノーデータ) ステータスステージ 1 1 0: コントロール転送シーケンスエラー	R
b3	VALID	USB リクエスト受信	0: Setupパケットの受信なし 1: Setupパケットの受信あり	R/W (注4)
b6-b4	DVSQ[2:0]	デバイスステート	b6 b4 0 0 0: Powered ステート 0 0 1: Default ステート 0 1 0: Address ステート 0 1 1: Configured ステート 1 x x: Suspended ステート	R
b7	VBSTS	VBUS 入力ステータス	0: USB_VBUS 端子が Low 1: USB_VBUS 端子が High	R
b8	BRDY	バッファレディ割り込みステータス	0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R
b9	NRDY	バッファノットレディ割り込みステータス	0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R
b10	BEMP	バッファエンプティ割り込みステータス	0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R
b11	CTRTR	コントロール転送ステージ遷移割り込みステータス (注5)	0: コントロール転送ステージ遷移割り込み発生なし 1: コントロール転送ステージ遷移割り込み発生あり	R/W (注4)
b12	DVST	デバイスステート遷移割り込みステータス (注5)	0: デバイスステート遷移割り込み発生なし 1: デバイスステート遷移割り込み発生あり	R/W (注4)
b13	SOFR	フレーム番号更新割り込みステータス	0: SOF 割り込み発生なし 1: SOF 割り込み発生あり	R/W (注4)
b14	RESM	レジューム割り込みステータス (注5) (注6)	0: レジューム割り込み発生なし 1: レジューム割り込み発生あり	R/W (注4)
b15	VBINT	VBUS 割り込みステータス (注6)	0: VBUS 割り込み発生なし 1: VBUS 割り込み発生あり	R/W (注4)

x: Don't care

- 注 1. MCU のリセット時は 0、USB バスリセット後は 1 です。
- 注 2. USB_VBUS 端子が High のとき 1、Low のとき 0 です。
- 注 3. MCU のリセット時は 000b、USB バスリセット後は 001b です。
- 注 4. VBINT、RESM、SOFR、DVST、CTRTR、または VALID ビットをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書いてください。0 を示しているステータスビットには、0 を書き込まないでください。
- 注 5. RESM、DVST、および CTRTR ビットのステータスは、デバイスコントローラモードでのみ変化します。ホストコントローラモードでは、対応する割り込み許可ビットを 0 (禁止) にしてください。
- 注 6. USBFS は、VBINT ビットおよび RESM ビットが示すステータス変化をクロック停止中 (SYSCFG.SCKE ビット = 0) でも検出し、対応する割り込み要求ビットが 1 であれば、その割り込みを要求します。ソフトウェアによるステータスのクリアは、クロック供給を許可にしてから行ってください。

CTSQ[2:0] ビット (コントロール転送ステージ)

ホストコントローラモードでは、読み出し値は無効です。

VALID ビット (USB リクエスト受信)

ホストコントローラモードでは、読み出し値は無効です。

DVSQ[2:0] ビット (デバイスステート)

USB パスリセットで DVSQ[2:0] ビットは初期化されます。ホストコントローラモードでは、読み出し値は無効です。

BRDY ビット (バッファレディ割り込みステータス)

BRDY 割り込みステータスを示します。

BRDY 割り込みが許可 (BRDYENB.PIPE_nBRDYE = 1) になっているパイプの少なくとも 1 つで、USBFS が BRDY 割り込みステータス (PIPE_nBRDY = 1、n = 0 ~ 9) を検出すると、BRDY ビットを 1 にします。

PIPE_nBRDY ステータスがアサートされる条件については、[27.3.3.1 BRDY 割り込み](#)を参照してください。

1 になっている PIPE_nBRDYE ビットに対応した PIPE_nBRDY ビットのすべてに、ソフトウェアで 0 を書くと、USBFS は BRDY ビットを 0 にします。ソフトウェアで BRDY ビットに 0 を書き込んでも、BRDY ビットを 0 に設定することはできません。

NRDY ビット (バッファノットレディ割り込みステータス)

1 になっている PIPE_nNRDYE ビット (n = 0 ~ 9) に対応した PIPE_nNRDY ビットのうち、少なくとも 1 つの PIPE_nNRDY ビット (n = 0 ~ 9) が 1 になると (ソフトウェアで NRDY 割り込み出力を許可しているパイプのうち、少なくとも 1 つで USBFS が NRDY 割り込みステータスを検出すると)、USBFS は NRDY ビットを 1 にします。

PIPE_nNRDY ステータスがアサートされる条件については、[27.3.3.2 NRDY 割り込み](#)を参照してください。

1 になっている PIPE_nNRDYE ビットに対応した PIPE_nNRDY ビットのすべてに、ソフトウェアで 0 を書くと、USBFS は NRDY ビットを 0 にします。ソフトウェアで NRDY ビットに 0 を書き込んでも、NRDY ビットを 0 に設定することはできません。

BEMP ビット (バッファエンプティ割り込みステータス)

BEMP 割り込みステータスを示します。

BEMP 割り込みが許可されている (BEMPENB.PIPE_nBEMPE = 1) パイプの少なくとも 1 つで、USBFS が BEMP 割り込みステータス (PIPE_nBEMP = 1、n = 0 ~ 9) を検出すると、BEMP ビットを 1 にします。

PIPE_nBEMP ステータスがアサートされる条件については、[27.3.3.3 BEMP 割り込み](#)を参照してください。

1 になっている PIPE_nBEMPE ビットに対応した PIPE_nBEMP ビットのすべてに、ソフトウェアで 0 を書くと、USBFS は BEMP ビットを 0 にします。ソフトウェアで BEMP ビットに 0 を書き込んでも、BEMP ビットはクリアされません。

CTRT ビット (コントロール転送ステージ遷移割り込みステータス)

デバイスコントローラモードでは、USBFS がコントロール転送ステージ遷移を検出すると、CTSQ[2:0] ビット値を更新して、CTRT ビットを 1 にします。コントロール転送ステージ遷移割り込みが発生した場合、USBFS が次のコントロール転送ステージ遷移を検出する前に、CTRT ビットをクリアしてください。

ホストコントローラモードでは、CTRT ビットからの読み出し値は無効です。

DVST ビット (デバイスステート遷移割り込みステータス)

デバイスコントローラモードでは、USBFS がデバイスステートの変化を検出すると、DVSQ[2:0] ビット値を更新して、DVST ビットを 1 にします。デバイスステート遷移割り込みが発生した場合、USBFS が次のデバイスステート遷移を検出する前に、DVST ビットをクリアしてください。

ホストコントローラモードでは、DVST ビットからの読み出し値は無効です。

SOFR ビット (フレーム番号更新割り込みステータス)

ホストコントローラモードでは、ソフトウェアで DVSTCTR0.UACT ビットを 1 にしている場合、USBFS はフレーム番号の更新時に SOFR ビットを 1 にします。SOFR 割り込みは、1ms ごとに検出されます。

デバイスコントローラモードでは、USBFS はフレーム番号の更新時に SOFR ビットを 1 にします。SOFR 割り込みは、1ms ごとに検出されます。

USB ホストから受信した SOF パケットが破損していても、USBFS は内部補完機能によって SOFR 割り込みを検出できます。

RESM ビット (レジューム割り込みステータス)

デバイスコントローラモードでは、USBFS は、Suspended ステート時 (DVSQ[2:0]=1xxb) に USB_DP 端子で信号の立ち下がりを検出すると、RESM ビットを 1 にします。ホストコントローラモードでは、RESM ビットからの読み出し値は無効です。

VBINT ビット (VBUS 割り込みステータス)

USBFS は、USB_VBUS 端子入力値のレベル変化 (High から Low または Low から High) を検出すると、VBINT ビットを 1 にします。USBFS は、USB_VBUS 端子の入力値を VBSTS ビットに表示します。VBUS 割り込みが発生した場合は、ソフトウェアで VBSTS ビットを 3 回以上読み出すことでトランジェント成分を除去し、同じ値が読み出されたことを確認してください。

27.2.14 割り込みステータスレジスタ 1 (INTSTS1)

アドレス USBFS.INTSTS1 4009 0042h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCR	BCHG	—	DTCH	ATTCH	—	—	—	—	EOFERR	SIGN	SACK	—	—	—	PDEDETINT0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDEDETINT0	PDEDET0 検出割り込みステータス	0 : PDEDET0 検出割り込み発生なし 1 : PDEDET0 検出割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SACK	SETUP トランザクション正常応答割り込みステータス	0 : SACK 割り込み発生なし 1 : SACK 割り込み発生あり	R/W (注1)
b5	SIGN	SETUP トランザクションエラー割り込みステータス	0 : SIGN 割り込み発生なし 1 : SIGN 割り込み発生あり	R/W (注1)
b6	EOFERR	EOF エラー検出割り込みステータス	0 : EOFERR 割り込み発生なし 1 : EOFERR 割り込み発生あり	R/W (注1)
b10-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	ATTCH	ATTCH 割り込みステータス	0 : ATTCH 割り込み発生なし 1 : ATTCH 割り込み発生あり	R/W (注1)
b12	DTCH	USB デタッチ検出割り込みステータス	0 : DTCH 割り込み発生なし 1 : DTCH 割り込み発生あり	R/W (注1)
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	BCHG	USB バス変化割り込みステータス (注2)	0 : BCHG 割り込み発生なし 1 : BCHG 割り込み発生あり	R/W (注1)
b15	OVRCR	オーバーカレント入力変化割り込みステータス (注2)	0 : OVRCR 割り込み発生なし 1 : OVRCR 割り込み発生あり	R/W (注1)

- 注 1. INTSTS1 レジスタの各ビットを 0 にする場合は、クリアしたいビットにのみ 0 を書いてください。その他のビットには 1 を書いてください。
- 注 2. USBFS は、OVRCR または BCHG ビットのステータス変化をクロック供給の停止中 (SYSCFG.SCKE = 0) でも検出し、対応する割り込み要求ビットが 1 であれば割り込みを要求します。ソフトウェアでステータスをクリアする前にクロック供給を許可してください (SYSCFG.SCKE = 1)。その他の割り込みは、クロック停止中 (SYSCFG.SCKE ビット = 0) は検出することができません。

INTSTS1 レジスタは、ホストコントローラモードでの各割り込みのステータスを確認するためのレジスタです。INTSTS1 レジスタの各ビットが示すステータス変化の割り込みは、ホストコントローラモードでのみ許可にしてください。

PDEDETINT0 ビット (PDEDET0 検出割り込みステータス)

ホストコントローラモード時、ポータブルデバイス検出割り込みのステータスを示します。USBFS が USB 物理層トランシーバ (PHY) の VDPDET 端子入力値にレベル変化 (High から Low または Low から High) を検出すると、本ビットが 1 になります。USBFS は、VDPDET 端子の入力値を PDEDETSTS0 ビットに表示します。PDEDETINT 割り込みが発生した場合は、ソフトウェアで PDEDETSTS0 ビットを 3 回以上読み出すことでトランジエント成分を除去し、同じ値が読み出されたことを確認してください。

SACK ビット (SETUP トランザクション正常応答割り込みステータス)

ホストコントローラモード時、SETUP トランザクション正常応答割り込みのステータスを示します。

USBFS が発行した SETUP トランザクション中に、周辺デバイスから ACK 応答が返されると、USBFS は SACK 割り込みを検出して、本ビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

デバイスコントローラモードでは、SACK ビットからの読み出し値は無効です。

SIGN ビット (SETUP トランザクションエラー割り込みステータス)

ホストコントローラモード時、SETUP トランザクションエラー割り込みのステータスを示します。

USBFS が発行した SETUP トランザクション中に、周辺デバイスから ACK 応答が 3 回連続で返されない場合、USBFS は SIGN 割り込みを検出し、本ビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

3 回連続した SETUP トランザクションに対して、以下のいずれかの応答条件が発生したとき、USBFS は SIGN 割り込みを検出します。

- 周辺デバイスが何も応答しない状態で USBFS がタイムアウトを検出したとき
- 破損した ACK パケットを受信したとき
- ACK 以外のハンドシェイク (NAK、NYET、または STALL) を受信したとき

デバイスコントローラモードでは、SIGN ビットからの読み出し値は無効です。

EOFERR ビット (EOF エラー検出割り込みステータス)

ホストコントローラモード時、EOFERR 割り込みのステータスを示します。

USBFS は、USB2.0 規格で定められている EOF2 のタイミングで通信が完了しなかったことを検出すると、EOFERR 割り込みを検出し、本ビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

EOFERR 割り込みの検出後、USBFS は対応する割り込み許可ビットの設定値とは無関係に、以下のようハードウェアを制御します。

- EOFERR 割り込みが検出されたポートに対して、DVSTCTR0.UACT ビットを 0 にする
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

ソフトウェアは通信を行っているすべてのパイプを終了させた後、USB ポートの再エニュメレーションを行います。

デバイスコントローラモードでは、EOFERR フラグからの読み出し値は無効です。

ATTCH ビット (ATTCH 割り込みステータス)

ホストコントローラモード時、USB アタッチ検出割り込みのステータスを示します。

USBFS は、フルスピードまたはロースピード信号レベルの J-State または K-State を 2.5 μ s 間検出すると、ATTCH 割り込みを検出して、本ビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

以下のいずれかの条件が発生したとき、USBFS は ATTCH 割り込みを検出します。

- K-State、SE0、または SE1 から J-State に変化し、J-State が 2.5 μ s 間継続したとき
- J-State、SE0、または SE1 から K-State に変化し、K-State が 2.5 μ s 間継続したとき

デバイスコントローラモードでは、ATTCH ビットからの読み出し値は無効です。

DTCH ビット (USB デタッチ検出割り込みステータス)

ホストコントローラモード時、USB デタッチ検出割り込みのステータスを示します。

USBFS は、USB バスデタッチイベントを検出すると、DTCH 割り込みを検出して、本ビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

USBFS は、USB2.0 規格に基づいてバスデタッチイベントを検出します。

DTCH 割り込みの検出後、USBFS は対応する割り込み許可ビットの設定値とは無関係に、以下のようにハードウェアを制御します。

- DTCH 割り込みが検出されたポートに対して、DVSTCTR0.UACT ビットを 0 にする
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

ソフトウェアで、通信を行っているすべてのパイプを終了させ、USB ポートへのアタッチ待ちの状態 (ATTCH 割り込み発生待ちの状態) に遷移してください。

デバイスコントローラモードでは、DTCH フラグからの読み出し値は無効です。

BCHG ビット (USB バス変化割り込みステータス)

ホストコントローラモード時、USB バス変化割り込みのステータスを示します。

USB ポート上でフルスピードまたはロースピード信号レベルの変化が生じると、USBFS は BCHG 割り込みを検出して、本ビットを 1 にします。対象となる変化は、J-State、K-State、または SE0 から、J-State、K-State、または SE0 へのすべての変化です。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

USBFS は、USB ポートの現在の入力状態を LNST[1:0] ビットに表示します。BCHG 割り込みが発生した場合は、同じ値が 3 回以上読み出されるまで、ソフトウェアで LNST[1:0] ビットの読み出しを繰り返し、トランジェント成分を除去してください。

USB バス状態の変化は、内部クロックが停止しているときも検出可能です。

デバイスコントローラモードでは、BCHG フラグからの読み出し値は無効です。

OVRCCR ビット (オーバーカレント入力変化割り込みステータス)

USB_OVRCURA および USB_OVRCURB 入力端子変化割り込みのステータスを示します。

USB_OVRCURA 端子と USB_OVRCURB 端子の入力値の少なくとも一方に変化 (High から Low または Low から High) が生じると、USBFS は OVRCCR 割り込みを検出して、本ビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

27.2.15 BRDY 割り込みステータスレジスタ (BRDYSTS)

アドレス USBFS.BRDYSTS 4009 0046h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9B RDY	PIPE8B RDY	PIPE7B RDY	PIPE6B RDY	PIPE5B RDY	PIPE4B RDY	PIPE3B RDY	PIPE2B RDY	PIPE1B RDY	PIPE0B RDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDY	パイプ0のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1BRDY	パイプ1のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2BRDY	パイプ2のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3BRDY	パイプ3のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4BRDY	パイプ4のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BRDY	パイプ5のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BRDY	パイプ6のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BRDY	パイプ7のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8BRDY	パイプ8のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9BRDY	パイプ9のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注1. SOFCFG.BRDYM ビットが0の場合、BRDYSTS レジスタの各ビットが示すステータスをクリアするには、クリアしたいビットにのみ0を書きしてください。その他のビットには1を書きしてください。
- 注2. SOFCFG.BRDYM ビットが0の場合、BRDY 割り込みのクリアは、FIFO にアクセスする前に行ってください。

27.2.16 NRDY 割り込みステータスレジスタ (NRDYSTS)

アドレス USBFS.NRDYSTS 4009 0048h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9N RDY	PIPE8N RDY	PIPE7N RDY	PIPE6N RDY	PIPE5N RDY	PIPE4N RDY	PIPE3N RDY	PIPE2N RDY	PIPE1N RDY	PIPE0N RDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDY	パイプ0のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1NRDY	パイプ1のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2NRDY	パイプ2のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3NRDY	パイプ3のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4NRDY	パイプ4のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5NRDY	パイプ5のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6NRDY	パイプ6のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7NRDY	パイプ7のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8NRDY	パイプ8のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9NRDY	パイプ9のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. NRDYSTS レジスタの各ビットが示すステータスをクリアするには、クリアしたいビットにのみ0を書いてください。その他のビットには1を書いてください。

27.2.17 BEMP 割り込みステータスレジスタ (BEMPSTS)

アドレス USBFS.BEMPSTS 4009 004Ah

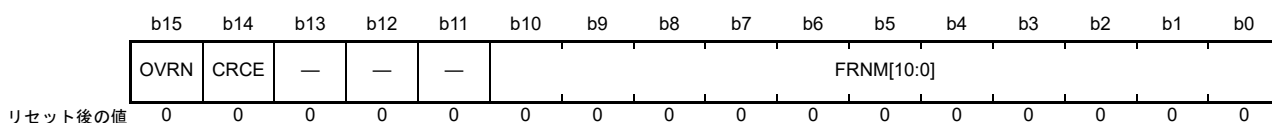
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9B EMP	PIPE8B EMP	PIPE7B EMP	PIPE6B EMP	PIPE5B EMP	PIPE4B EMP	PIPE3B EMP	PIPE2B EMP	PIPE1B EMP	PIPE0B EMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMP	パイプ0のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1BEMP	パイプ1のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2BEMP	パイプ2のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3BEMP	パイプ3のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4BEMP	パイプ4のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BEMP	パイプ5のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BEMP	パイプ6のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BEMP	パイプ7のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8BEMP	パイプ8のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9BEMP	パイプ9のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. BEMPSTS レジスタの各ビットが示すステータスをクリアするには、クリアしたいビットにのみ0を書いてください。その他のビットには1を書いてください。

27.2.18 フレームナンバレジスタ (FRMNUM)

アドレス USBFS.FRMNUM 4009 004Ch



ビット	シンボル	ビット名	機能	R/W
b10-b0	FRNM[10:0]	フレーム番号	最新のフレーム番号	R
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	CRCE	受信データエラー	0: エラーなし 1: エラー発生	R/W (注1)
b15	OVRN	オーバーラン/アンダーラン検出ステータス	0: エラーなし 1: エラー発生	R/W (注1)

注1. ステータスをクリアするには、クリアしたいビットにのみ0を書いてください。その他のビットには1を書いてください。

FRNM[10:0] ビット (フレーム番号)

FRNM[10:0] ビットは、1ms ごとの SOF パケット発行後、または SOF パケット受信時に FRNM[10:0] ビットに書き込んだ後、USBFS に対し最新のフレーム番号を示します。

CRCE ビット (受信データエラー)

アイソクロナス転送中に CRC エラーやビットスタッフィングエラーが発生すると、CRCE ビットが1になります。ホストコントローラモードでの CRC エラー検出時に、USBFS は内部 NRDY 割り込みを発生させます。

CRCE ビットをクリアするには、本ビットに0を書き、FRMNUM レジスタの他のビットには1を書いてください。

OVRN ビット (オーバーラン/アンダーラン検出ステータス)

アイソクロナス転送中にオーバーランエラーやアンダーランエラーが発生すると、OVRN ビットが1になります。OVRN ビットをクリアするには、本ビットに0を書き、FRMNUM レジスタの他のビットには1を書いてください。

ホストコントローラモードでは、以下のいずれかの条件で、OVRN ビットが1になります。

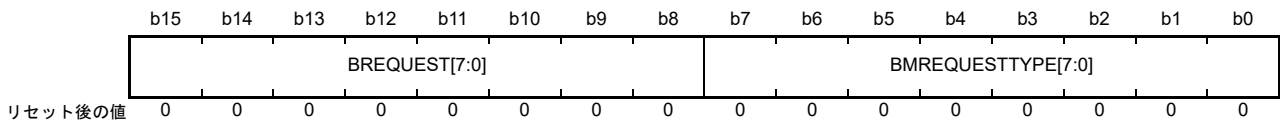
- アイソクロナス転送の送信パイプにおいて、すべての送信データが FIFO バッファに書き込まれていない状態で、OUT トークンの発行タイミングに達したとき
- アイソクロナス転送の受信パイプにおいて、FIFO バッファのすべての面に空きがない状態で、IN トークンの発行タイミングに達したとき

デバイスコントローラモードでは、以下のいずれかの条件で、OVRN ビットが1になります。

- アイソクロナス転送の送信パイプにおいて、すべての送信データが FIFO バッファに書き込まれていない状態で、IN トークンを受信したとき
- アイソクロナス転送の受信パイプにおいて、FIFO バッファのすべての面に空きがない状態で、OUT トークンを受信したとき

27.2.19 USB リクエストタイプレジスタ (USBREQ)

アドレス **USBFS.USBREQ 4009 0054h**



ビット	シンボル	ビット名	機能	R/W
b7-b0	BMREQUESTTYPE[7:0]	リクエストタイプ	USB リクエストの bmRequestType 値	R/W (注1)
b15-b8	BREQUEST[7:0]	リクエスト	USB リクエストの bRequest 値	R/W (注1)

注1. デバイスコントローラモードでは、これらのビットは読み出し可能ですが、書き込みは無効です。ホストコントローラモードでは、これらのビットは読み出し可能および書き込み可能です。

USBREQ レジスタは、コントロール転送のセットアップリクエストを格納するレジスタです。

デバイスコントローラモードでは、USBREQ レジスタは、受信した bRequest および bmRequestType 値を格納します。ホストコントローラモードでは、送信する bRequest および bmRequestType 値を設定します。

USBREQ レジスタは、USB バスリセットで初期化されます。

BMREQUESTTYPE[7:0] ビット (リクエストタイプ)

USB リクエストの bmRequestType 値を格納します。

- ホストコントローラモード時：
送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが 1 のときは、これらのビット値を変更しないでください。
- デバイスコントローラモード時：
SETUP トランザクションで受信した USB リクエストデータ値を示します。書き込みは無効です。

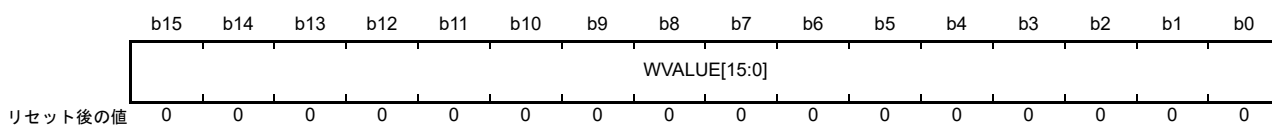
BREQUEST[7:0] ビット (リクエスト)

USB リクエストの bRequest 値を格納します。

- ホストコントローラモード時：
送信用 SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが 1 のときは、これらのビット値を変更しないでください。
- デバイスコントローラモード時：
受信用 SETUP トランザクションの USB リクエストデータ値を示します。書き込みは無効です。

27.2.20 USB リクエストバリュeregスタ (USBVAL)

アドレス USBFS.USBVAL 4009 0056h



ビット	シンボル	ビット名	機能	R/W
b15-b0	WVALUE[15:0]	バリュー	USB リクエストの wValue 値を格納します。	R/W (注1)

注1. デバイスコントローラモードでは、これらのビットは読み出し可能ですが、書き込みは無効です。ホストコントローラモードでは、これらのビットは読み出し/書き込みの両方が可能です。

デバイスコントローラモードでは、USBVAL レジスタは、受信した wValue 値を格納します。ホストコントローラモードでは、送信する wValue の値を設定します。

USBVAL レジスタは、USB バスリセットで初期化されます。

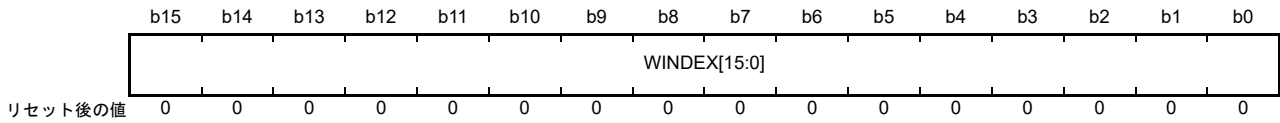
WVALUE[15:0] ビット (バリュー)

USB リクエスト wValue の値を格納します。

- ホストコントローラモード時：
送信用 SETUP トランザクションの USB リクエストの wValue 値を設定してください。DCPCTR.SUREQ ビットが 1 のときは、これらのビット値を変更しないでください。
- デバイスコントローラモード時：
受信用 SETUP トランザクションの USB リクエストの wValue 値を表示します。書き込みは無効です。

27.2.21 USB リクエストインデックスレジスタ (USBINDX)

アドレス USBFS.USBINDX 4009 0058h



ビット	シンボル	ビット名	機能	R/W
b15-b0	WINDEX[15:0]	インデックス	USB リクエストの wIndex 値を格納します。	R/W (注1)

注1. デバイスコントローラモードでは、これらのビットは読み出し可能ですが、書き込みは無効です。ホストコントローラモードでは、これらのビットは読み出し/書き込みの両方が可能です。

USBINDX レジスタは、コントロール転送のセットアップリクエストを格納するレジスタです。

デバイスコントローラモードでは、USBINDX レジスタは受信した wIndex 値を格納します。ホストコントローラモードでは、送信する wIndex の値を設定します。USBINDX レジスタは、USB バスリセットで初期化されます。

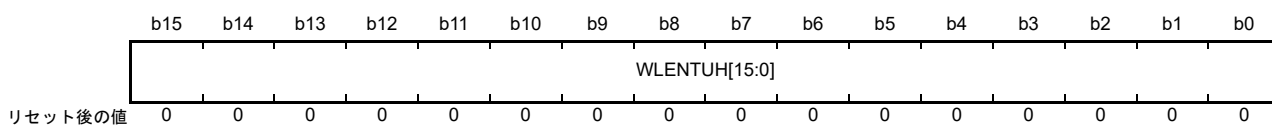
WINDEX[15:0] ビット (インデックス)

USB リクエストの値を格納します。

- ホストコントローラモード時：
送信用 SETUP トランザクションの USB リクエストの wIndex 値を設定してください。DCPCTR.SUREQ ビットが 1 のときは、これらのビット値を変更しないでください。
- デバイスコントローラモード時：
受信信用 SETUP トランザクションの USB リクエストの wIndex 値を示します。書き込みは無効です。

27.2.22 USB リクエストレングスレジスタ (USBLENG)

アドレス USBFS.USBLENG 4009 005Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	WLENTUH[15:0]	レングス	USB リクエストの wLength 値を格納します。	R/W (注1)

注1. デバイスコントローラモードでは、これらのビットは読み出し可能ですが、書き込みは無効です。ホストコントローラモードでは、これらのビットは読み出し/書き込みの両方が可能です。

USBLENG レジスタは、コントロール転送のセットアップリクエストを格納するレジスタです。

デバイスコントローラモードの場合、受信した wLength 値を格納します。ホストコントローラモードでは、送信する wLength 値を設定します。

USBLENG レジスタは、USB バスリセットで初期化されます。

WLENTUH[15:0] ビット (レングス)

USB リクエストの wLength 値を格納します。

- ホストコントローラモード時：
送信用 SETUP トランザクションの USB リクエストの wLength 値を設定してください。
DCPCTR.SUREQ ビットが 1 のときは、これらのビット値を変更しないでください。
- デバイスコントローラモード時：
受信用 SETUP トランザクションの USB リクエストの wLength 値を示します。書き込みは無効です。

27.2.23 DCP コンフィグレーションレジスタ (DCPCFG)

アドレス USBFS.DCPCFG 4009 005Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	SHTNA K	—	—	DIR	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DIR	転送方向 ^(注1)	0: データ受信方向 1: データ送信方向	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SHTNAK	転送終了時のパイプ禁止 ^(注1)	0: 転送終了時にパイプを継続 1: 転送終了時にパイプ禁止	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 本ビットは、必ず PID = NAK のときに設定してください。本ビットを設定するときは、事前に DCPCTR.PBUSY ビットが 0 であることを確認した後、DCP の DCPCTR.PID[1:0] ビットを BUF から NAK へ変更してください。USBFS が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

DIR ビット (転送方向)

ホストコントローラモード時、コントロール転送のデータステージとステータスステージの転送方向を設定します。デバイスコントローラモードでは、DIR ビットは 0 にしてください。

SHTNAK ビット (転送終了時のパイプ禁止)

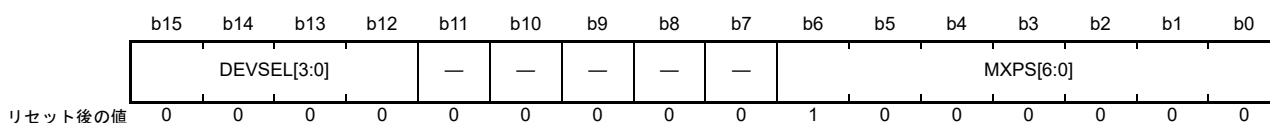
選択パイプが受信方向の場合に、転送終了時に PID を NAK に変更するかどうかを指定します。選択パイプが受信方向の場合のみ有効です。

SHTNAK ビットが 1 の場合、USBFS は、転送の終了を判定したときに DCP の DCPCTR.PID[1:0] ビットを NAK に変更します。USBFS は、以下の場合に転送終了と判定します。

- ショートパケット (Zero-Length パケットを含む) を正常に受信したとき

27.2.24 DCP マックスパケットサイズレジスタ (DCPMAXP)

アドレス USBFS.DCPMAXP 4009 005Eh



ビット	シンボル	ビット名	機能	R/W
b6-b0	MXPS[6:0]	最大パケットサイズ(注1)	DCPのペイロード内の最大データ量(最大パケットサイズ)を設定します。 b6 b0 0 0 0 1 0 0 0 : 8バイト 0 0 1 0 0 0 0 : 16バイト 0 0 1 1 0 0 0 : 24バイト 0 1 0 0 0 0 0 : 32バイト 0 1 0 1 0 0 0 : 40バイト 0 1 1 0 0 0 0 : 48バイト 0 1 1 1 0 0 0 : 56バイト 1 0 0 0 0 0 0 : 64バイト 1 0 0 1 0 0 0 : 72バイト 1 0 1 0 0 0 0 : 80バイト 1 0 1 1 0 0 0 : 88バイト 1 1 0 0 0 0 0 : 96バイト 1 1 0 1 0 0 0 : 104バイト 1 1 1 0 0 0 0 : 112バイト 1 1 1 1 0 0 0 : 120バイト 上記以外は設定しないでください。	R/W
b11-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b12	DEVSEL[3:0]	デバイス選択(注2)	b15 b12 0 0 0 0 : アドレス0000 0 0 0 1 : アドレス0001 0 0 1 0 : アドレス0010 0 0 1 1 : アドレス0011 0 1 0 0 : アドレス0100 0 1 0 1 : アドレス0101 上記以外は設定しないでください。	R/W

注1. MXPS[6:0] ビットは、必ず PID = NAK のときに設定してください。これらのビットを設定するときは、事前に DCPCTR.PBUSY ビットが0であることを確認した後、DCPのDCPCTR.PID[1:0] ビットを BUF から NAKへ変更してください。USBFSがPID[1:0] ビットを NAKに変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。MXPS[6:0] ビットの設定後は、ポート選択レジスタの CURPIPE[3:0] ビットに DCP を設定してから、ポートコントロールレジスタの BCLR ビットを1にしてバッファをクリアしてください。

注2. DEVSEL[3:0] ビットは、必ず PID = NAK のときに、DCPCTR.SUREQ ビットが0の状態を設定してください。これらのビットを設定するときは、事前に DCPCTR.PBUSY ビットが0であることを確認した後、DCPのDCPCTR.PID[1:0] ビットを BUF から NAKへ変更してください。USBFSがPID[1:0] ビットを NAKに変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

MXPS[6:0] ビット (最大パケットサイズ)

DCPの最大データ量(最大パケットサイズ)をペイロードで指定します。ビットの初期値は40h(64バイト)です。本ビットには、USB2.0規格に準じた値を設定してください。MXPS[6:0] ビットを0にした状態で、FIFOバッファへの書き込みも、PID=BUFの設定も行わないでください。

DEVSEL[3:0] ビット (デバイス選択)

ホストコントローラモード時、コントロール転送の対象の周辺デバイスのアドレスを指定します。最初に、関連の DEVADD_n (n=0~5) レジスタでデバイスアドレスを設定し、次に、これらのビットを対応する値に設定してください。たとえば、DEVSEL[3:0] ビットを0010bにする場合は、最初に DEVADD2 レジスタにそのアドレスを設定します。

デバイスコントローラモードでは、これらのビットを0000bにしてください。

27.2.25 DCP コントロールレジスタ (DCPCTR)

アドレス USBFS.DCPCTR 4009 0060h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	SUREQ	—	—	SUREQ CLR	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0: NAK 応答 0 1: BUF 応答 (バッファ状態に従う) 1 0: STALL 応答 1 1: STALL 応答	R/W
b2	CCPL	コントロール転送終了許可	0: 無効 1: コントロール転送終了を許可	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジー	0: DCPはトランザクションで未使用 1: DCPはトランザクションで使用	R
b6	SQMON	シーケンストグルビットモニタ	0: DATA0 1: DATA1	R
b7	SQSET	シーケンストグルビットセット (注2)	DCP 転送時にシーケンストグルビットを設定します。 0: 無効 (0を書いても何も影響なし) 1: 次回トランザクションの期待値をDATA1に設定	R/W (注1)
b8	SQCLR	シーケンストグルビットクリア (注2)	DCP 転送時にシーケンストグルビットをクリアします。 0: 無効 (0を書いても何も影響なし) 1: 次回トランザクションの期待値をDATA0にクリア 読むと0が読めます。	R/W (注1)
b10-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	SUREQCLR	SUREQビットクリア	ホストコントローラモード時にSUREQビットをクリアします。 0: 無効 (0を書いても何も影響なし) 1: SUREQを0にクリア 読むと0が読めます。	R/W
b13-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	SUREQ	SETUP トークン送出	ホストコントローラモード時のトークン送出を設定します。 0: 無効 (0を書いても何も影響なし) 1: Setup パケットを送出	R/W
b15	BSTS	バッファステータス	0: バッファアクセス不可 1: バッファアクセス可能	R

注 1. 読むと0が読めます。

注 2. PID = NAK の状態のときに SQSET ビットおよび SQCLR ビットに1を書き込んでください。これらのビットを設定するときは、事前に PBUSY ビットが0であることを確認した後、DCP の PID[1:0] ビットを BUF から NAK へ変更してください。USBFS が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

PID[1:0] ビット (応答 PID)

コントロール転送における USBFS 応答の種類を制御します。

ホストコントローラモードでは、以下のように PID[1:0] ビットの設定を NAK から BUF に変更します。

- 送信方向設定時：
 - a. DVSTCTR0.UACT ビットが 1、かつ PID = NAK の状態で、FIFO バッファにすべての送信データを書き込みます
 - b. PID[1:0] ビットを 01b (BUF) にします。
これにより、USBFS が OUT トランザクションを実行します
- 受信方向設定時：
 - a. DVSTCTR0.UACT ビットが 1、かつ PID = NAK の状態で、FIFO バッファが空であることを確認します (または空の状態にします)
- PID[1:0] ビットを 01b (BUF) にします。
これにより、USBFS が IN トランザクションを実行します

USBFS は、PID[1:0] ビットの設定値を以下のように変更します。

- ソフトウェアで PID[1:0] ビットを BUF (01b) に設定した場合、USBFS は MaxPacketSize を超えるデータを受信すると、PID[1:0] ビットを STALL (11b) に設定します
 - CRC エラーなどの受信エラーを 3 回連続で検出した場合、USBFS は PID[1:0] ビットを NAK (00b) に設定します
 - STALL ハンドシェイクを受信すると、USBFS は PID[1:0] ビットを STALL (11b) に設定します
- デバイスコントローラモードでは、USBFS は PID[1:0] ビットの設定値を以下のように変更します。
- Setup パケットを受信すると、USBFS は PID[1:0] ビットを NAK (00b) に設定します。このとき、USBFS は INTSTS0.VALID ビットを 1 にするため、ソフトウェアで VALID ビットを 0 にクリアするまで、PID[1:0] ビットの設定値は変更できなくなります
 - ソフトウェアで PID[1:0] ビットを BUF (01b) に設定した場合、USBFS は MaxPacketSize を超えるデータを受信すると、PID[1:0] ビットを STALL (11b) に設定します
 - USBFS はコントロール転送シーケンスエラーを検出すると、PID[1:0] ビットを STALL (1xb) に設定します
 - USBFS は USBFS バスリセットを検出すると、PID[1:0] ビットを NAK に設定します

USBFS は、SET_ADDRESS リクエストの処理中、PID[1:0] ビットの設定値を参照しません。

PID[1:0] ビットは USB バスリセットで初期化されます。

CCPL ビット (コントロール転送終了許可)

デバイスコントローラモード時、CCPL ビットを 1 にすると、コントロール転送のステータスステージの終了が許可されます。対応する PID[1:0] ビットが BUF に設定されている場合、ソフトウェアで CCPL ビットを 1 にすると、USBFS はコントロール転送ステータスステージを終了します。

コントロールリード転送中、USBFS は USB ホストからの OUT トランザクションに対して ACK ハンドシェイクを送信します。コントロールライト転送またはノーデータコントロール転送中は、USBFS は USB ホストからの IN トランザクションに対して Zero-Length パケットを送信します。SET_ADDRESS リクエスト検出時は、CCPL ビットの設定値とは無関係に、USBFS はセットアップステージからステータスステージ完了まで、自動応答モードで動作します。

新たな Setup パケットを受信すると、USBFS は CCPL ビットを 1 から 0 に変更します。INTSTS0.VALID ビットが 1 のとき、ソフトウェアは CCPL ビットに 1 を書き込むことはできません。CCPL ビットは USB バスリセットで初期化されます。

ホストコントローラモードでは、常に CCPL ビットには 0 を書いてください。

PBUSY ビット (パイプビジ)

USBFS が PID[1:0] ビットを BUF から NAK に変更したときに、DCP がトランザクションで使用されているかどうかを示します。USBFS は、選択パイプに対する USBFS トランザクションの開始時に、PBUSY ビットを 0 から 1 へ変更します。そして、1 回のトランザクションが完了すると、PBUSY ビットを 1 から 0 に変更します。

ソフトウェアで PID を NAK に設定した後、PBUSY ビットの値はパイプ設定の変更が可能かどうかを示します。

詳細は、[27.3.4.1 パイプコントロールレジスタの切り替え手順](#)を参照してください。

SQMON ビット (シーケンスストグルビットモニタ)

DCP 転送時、次回トランザクションのシーケンスストグルビットの期待値を示します。

トランザクションが正常終了すると、USBFS は SQMON ビットをトグルします。ただし、受信方向での転送時に DATA-PID 不一致が発生すると、USBFS は本ビットをトグルしません。

デバイスコントローラモードでは、Setup パケットが正常に受信されると、USBFS は SQMON ビットを 1 に (期待値を DATA1 に) 設定します。

デバイスコントローラモードでは、USBFS はステータスステージの IN または OUT トランザクション中に本ビットを参照しません。また、正常終了しても本ビットをトグルしません。

SQSET ビット (シーケンスストグルビットセット)

DCP 転送時、次回トランザクションのシーケンスストグルビットの期待値として DATA1 を指定します。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

SQCLR ビット (シーケンスストグルビットクリア)

DCP 転送時、次回トランザクションのシーケンスストグルビットの期待値として DATA0 を指定します。読むと 0 が読めます。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

SUREQCLR ビット (SUREQ ビットクリア)

ホストコントローラモード時、SUREQCLR ビットを 1 にすると、SUREQ ビットが 0 にクリアされます。読むと 0 が読めます。

SETUP トランザクションで SUREQ ビットが 1 であるときに転送が停止した場合は、ソフトウェアで SUREQCLR ビットを 1 にしてください。正常な SETUP トランザクションでは、その終了時に USBFS が自動的に SUREQ ビットを 0 にクリアするため、ソフトウェアによるクリアは不要です。

SUREQCLR ビットによる SUREQ ビットの制御は、DVSTCTR0.UACT ビットが 0 の場合にのみ行ってください。UACT ビットが 0 の場合は、通信が停止しているか、またはバスデタッチが検出されたために転送が行われていません。

デバイスコントローラモードでは、常に本ビットには 0 を書いてください。

SUREQ ビット (SETUP トークン送出)

ホストコントローラモード時、SUREQ ビットを 1 にすると、USBFS に対して Setup パケット送信がトリガされます。SETUP トランザクション処理が終了すると、USBFS は SACK 割り込みまたは SIGN 割り込みのいずれかを発生させ、SUREQ ビットを 0 にクリアします。また、ソフトウェアで SUREQCLR ビットを 1 にした場合も、USBFS は SUREQ ビットを 0 にクリアします。

SUREQ ビットを 1 にする前に、DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタを正しく設定し、SETUP トランザクションで対象の USB リクエストを送信してください。また、DCP の PID[1:0] ビットが NAK に設定されていることを確認してください。SUREQ ビットを 1 にした後、SETUP トランザクションが終了するまで (SUREQ ビット = 1) の期間は、DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。SETUP トークンを送出する場合にのみ、SUREQ ビットに 1 を書いてください。それ以外では、0 を書いてください。

デバイスコントローラモードでは、常に本ビットには 0 を書いてください。

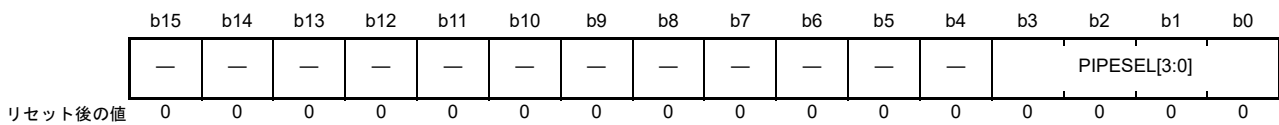
BSTS ビット (バッファステータス)

DCP FIFO バッファアクセスのステータスを示します。本ビットの意味は、以下のように、CFIFOSEL.ISEL ビットの設定値で異なります。

- ISEL ビット = 0 の場合、バッファから受信データの読み出しが可能かどうかを示す
- ISEL ビット = 1 の場合、バッファへの送信データの書き込みが可能かどうかを示す

27.2.26 パイプウィンドウ選択レジスタ (PIPESEL)

アドレス USBFS.PIPESEL 4009 0064h



ビット	シンボル	ビット名	機能	R/W
b3-b0	PIPESEL[3:0]	パイプウィンドウ選択	b3 b0 0 0 0 0: パイプ選択なし 0 0 0 1: パイプ1 0 0 1 0: パイプ2 0 0 1 1: パイプ3 0 1 0 0: パイプ4 0 1 0 1: パイプ5 0 1 1 0: パイプ6 0 1 1 1: パイプ7 1 0 0 0: パイプ8 1 0 0 1: パイプ9 上記以外は設定しないでください。	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

パイプ 1 ~ 9 の設定は、PIPESEL、PIPECFG、PIPEMAXP、PIPEPERI、PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタ (n = 0 ~ 9) で行います。

PIPESEL レジスタでパイプを選択した後、対応する PIPECFG、PIPEMAXP、および PIPEPERI でパイプ機能設定してください。PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

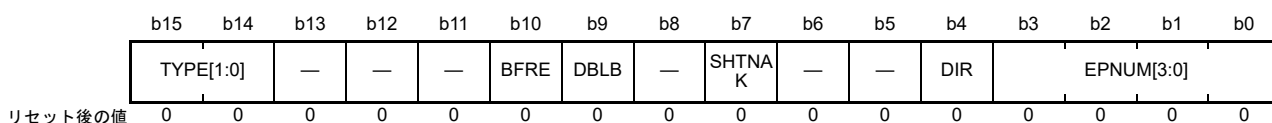
PIPESEL[3:0] ビット (パイプウィンドウ選択)

データの読み出し/書き込みに使用するための PIPECFG、PIPEMAXP、および PIPEPERI レジスタに対応させるパイプ番号を選択します。PIPESEL[3:0] ビットでパイプ番号を選択することにより、その番号に対応した PIPECFG、PIPEMAXP、および PIPEPERI レジスタの読み出し/書き込みが可能になります。

PIPESEL[3:0] ビット = 0000b の場合は、PIPECFG、PIPEMAXP、および PIPEPERI レジスタのすべてのビットから 0 が読み出されます。書き込みは無効です。

27.2.27 パイプコンフィグレーションレジスタ (PIPECFG)

アドレス USBFS.PIPECFG 4009 0068h



ビット	シンボル	ビット名	機能	R/W
b3-b0	EPNUM[3:0]	エンドポイント番号 (注1)	選択パイプのエンドポイント番号を指定します。0000bの設定は、未使用パイプを意味します。	R/W
b4	DIR	転送方向 (注2) (注3)	0: 受信方向 1: 送信方向	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SHTNAK	転送終了時のパイプ禁止 (注1)	0: 転送終了後、パイプ動作を継続 1: 転送終了後、パイプ動作を禁止	R/W
b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9	DBLB	ダブルバッファモード (注2) (注3)	0: シングルバッファ 1: ダブルバッファ	R/W
b10	BFRE	BRDY 割り込み動作指定 (注2) (注3)	0: データ送受信時のBRDY 割り込み 1: データ読み出し完了時のBRDY 割り込み	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b14	TYPE[1:0]	転送タイプ (注1)	<ul style="list-style-type: none"> • パイプ1および2 b15 b14 0 0: パイプ不使用 0 1: バルク転送 1 0: 設定禁止 1 1: アイソクロナス転送 • パイプ3~5 b15 b14 0 0: パイプ不使用 0 1: バルク転送 1 0: 設定禁止 1 1: 設定禁止 • パイプ6~9 b15 b14 0 0: パイプ不使用 0 1: 設定禁止 1 0: インタラプト転送 1 1: 設定禁止 	R/W

- 注 1. TYPE[1:0]、SHTNAK、および EPNUM[3:0] ビットの設定は、必ず PID が NAK であるときに行ってください。これらのビットを設定するときは、事前に PIPEnCTR.PBUSY ビットが 0 であることを確認した後、PIPEnCTR.PID[1:0] ビットを 01b (BUF) から 00b (NAK) に変更してください。USBFS が PID[1:0] ビットを 00 (NAK) に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。
- 注 2. BFRE、DBLB、および DIR ビットの設定は、必ず PID が NAK であるときに、ポート選択レジスタの CURPIPE[3:0] ビットでパイプを選択する前に行ってください。これらのビットを設定するときは、事前に PIPEnCTR.PBUSY ビットが 0 であることを確認した後、PIPEnCTR.PID[1:0] ビットを 01b (BUF) から 00b (NAK) に変更してください。USBFS が PID[1:0] ビットを 00 (NAK) に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。
- 注 3. 選択パイプを使用した USB 通信が終了した後、BFRE、DBLB、または DIR ビットを変更する場合は、注 2 の制限事項に加えて、ソフトウェアで PIPEnCTR.ACLRM ビットに 1 と 0 を連続して書き込み、選択パイプに割り当てられた FIFO バッファをクリアしてください。

PIPECFG レジスタは、パイプ 1 ~ 9 に対して、転送タイプ、FIFO バッファのアクセス方向、およびエンドポイント番号を指定するレジスタです。また、シングルまたはダブルバッファモードの選択と、転送終了時にパイプ動作を継続するか禁止するかの選択を行います。

EPNUM[3:0] ビット (エンドポイント番号)

選択パイプのエンドポイント番号を指定します。0000b の設定は、未使用パイプを意味します。

DIR ビットと EPNUM[3:0] ビットの設定値の組み合わせが、他のパイプと重複しないように設定してください。すべてのパイプに対して、EPNUM[3:0] ビットを 0000b にすることは可能です。

DIR ビット (転送方向)

選択パイプの転送方向を指定します。

ソフトウェアで DIR ビットを 0 にすると、USBFS は選択パイプを受信方向で使用します。ソフトウェアで DIR ビットを 1 にすると、USBFS は選択パイプを送信方向で使用します。

SHTNAK ビット (転送終了時のパイプ禁止)

選択パイプの転送方向が受信の場合、転送終了時に PIPEnCTR.PID[1:0] ビットを 00b (NAK) に変更するかどうかを指定します。本ビットは、受信方向のパイプ 1～5 に対して有効です。

受信方向のパイプに対して、ソフトウェアで本ビットを 1 にすると、USBFS は、転送終了と判定したときに、対応する PIPEnCTR.PID[1:0] ビットを 00b (NAK) に変更します。USBFS は、以下の場合に転送終了と判定します。

- ショートパケット (Zero-Length パケットを含む) を正常に受信したとき
- トランザクションカウンタを使用し、トランザクションカウンタに指定した数のパケットを正常に受信したとき

DBLB ビット (ダブルバッファモード)

選択パイプが使用する FIFO バッファに対して、シングルまたはダブルバッファモードのいずれか一方を選択します。本ビットはパイプ 1～5 の選択時に有効です。

BFRE ビット (BRDY 割り込み動作指定)

選択パイプに対して、USBFS から CPU への BRDY 割り込みの発行タイミングを指定します。

ソフトウェアで BFRE ビットを 1 にした場合、選択パイプが受信方向であると、USBFS は転送終了を検出して、パケットの読み出し時に BRDY 割り込みを発生させます。

この設定で BRDY 割り込みが発生した場合、ソフトウェアでポートコントロールレジスタの BCLR ビットに 1 を書く必要があります。BCLR ビットに 1 を書くまで、選択パイプに割り当てられた FIFO バッファは受信可能な状態になりません。

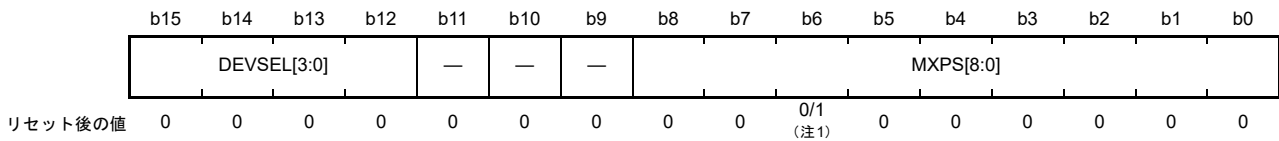
ソフトウェアで BFRE ビットを 1 にしても、選択パイプが送信方向であると、USBFS は BRDY 割り込みを発生させません。詳細は、[27.3.3.1 BRDY 割り込み](#)を参照してください。

TYPE[1:0] ビット (転送タイプ)

PIPESEL.PIPESEL[3:0] ビットで選択したパイプに対して、転送タイプを指定します。PID を BUF に設定して選択パイプで USB 通信を開始する前に、TYPE[1:0] ビットを 00b 以外の値にしてください。

27.2.28 パイプマックスパケットサイズレジスタ (PIPEMAXP)

アドレス USBFS.PIPEMAXP 4009 006Ch



ビット	シンボル	ビット名	機能	R/W																					
b8-b0	MXPS[8:0]	最大パケットサイズ(注2)	<ul style="list-style-type: none"> • パイプ1, 2 : 1バイト (001h) ~ 256バイト (100h) • パイプ3~5 : 8バイト (008h)、16バイト (010h) 32バイト (020h)、64バイト (040h) ([8:7]ビットおよび[2:0]ビットはサポートされていません) • パイプ6~9 : 1バイト (001h) ~ 64バイト (040h) ([8:7]ビットはサポートされていません) 	R/W																					
b11-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																					
b15-b12	DEVSEL[3:0]	デバイス選択(注3)	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 50px;">b3</td> <td style="width: 50px;">b0</td> <td></td> </tr> <tr> <td>0 0 0 0</td> <td>0</td> <td>アドレス0000</td> </tr> <tr> <td>0 0 0 1</td> <td>1</td> <td>アドレス0001</td> </tr> <tr> <td>0 0 1 0</td> <td>0</td> <td>アドレス0010</td> </tr> <tr> <td>0 0 1 1</td> <td>1</td> <td>アドレス0011</td> </tr> <tr> <td>0 1 0 0</td> <td>0</td> <td>アドレス0100</td> </tr> <tr> <td>0 1 0 1</td> <td>1</td> <td>アドレス0101</td> </tr> </table> 上記以外は設定しないでください。	b3	b0		0 0 0 0	0	アドレス0000	0 0 0 1	1	アドレス0001	0 0 1 0	0	アドレス0010	0 0 1 1	1	アドレス0011	0 1 0 0	0	アドレス0100	0 1 0 1	1	アドレス0101	R/W
b3	b0																								
0 0 0 0	0	アドレス0000																							
0 0 0 1	1	アドレス0001																							
0 0 1 0	0	アドレス0010																							
0 0 1 1	1	アドレス0011																							
0 1 0 0	0	アドレス0100																							
0 1 0 1	1	アドレス0101																							

- 注 1. MXPS[8:0] ビットの値は、PIPESEL.PIPESEL[3:0] ビットでパイプを選択していないときは 000h、選択しているときは 040h です。
- 注 2. MXPS[8:0] ビットの設定は、必ず PID が NAK であるときに、ポート選択レジスタの CURPIPE[3:0] ビットでパイプを選択する前に行ってください。これらのビットを設定するときは、事前に PIPEnCTR.PBUSY ビットが 0 であることを確認した後、PIPEnCTR.PID[1:0] ビットを 01b (BUF) から 00b (NAK) に変更してください。USBFS が PID[1:0] ビットを 00 (NAK) に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。
- 注 3. DEVSEL[3:0] ビットの設定は、必ず PID が NAK であるときに行ってください。これらのビットを設定するときは、事前に PIPEnCTR.PBUSY ビットが 0 であることを確認した後、PIPEnCTR.PID[1:0] ビットを 01b (BUF) から 00b (NAK) に変更してください。USBFS が PID[1:0] ビットを 00 (NAK) に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

PIPEMAXP レジスタは、パイプ 1 ~ 9 に対して、最大パケットサイズを指定するレジスタです。

MXPS[8:0] ビット (最大パケットサイズ)

選択パイプの最大データペイロード (最大パケットサイズ) を指定します。

これらのビットは、転送タイプごとに USB2.0 規格に従って適切な値を設定してください。MXPS[8:0] ビット = 0 のときは、FIFO バッファへの書き込みも、PID を BUF にする設定も行わないでください。これらの書き込みは無効です。

DEVSEL[3:0] ビット (デバイス選択)

ホストコントローラモード時、USB 通信の対象デバイスのアドレスを指定します。最初に、関連の DEVADDn (n = 0 ~ 5) レジスタでデバイスアドレスを設定し、次に、これらのビットを対応する値に設定してください。たとえば、DEVSEL[3:0] ビットを 0010b にする場合は、最初に DEVADD2 レジスタにそのアドレスを設定します。

デバイスコントローラモードでは、これらのビットを 0000b にしてください。

27.2.29 パイプ周期コントロールレジスタ (PIPEPERI)

アドレス USBFS.PIPEPERI 4009 006Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	IITV[2:0] ^(注1)	インターバルエラー検出間隔	選択パイプのインターバルエラー検出タイミングを、フレームタイミングの2のn乗で指定してください。	R/W
b11-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	IFIS	アイソクロナスINバッファフラッシュ	0: バッファフラッシュしない 1: バッファフラッシュする	R/W
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. IITV[2:0] ビットの設定は、必ずPIDがNAKであるときに行ってください。これらのビットを設定するときは、事前にPBUSYビットが0であることを確認した後、PID[1:0] ビットを01b (BUF) から00b (NAK) に変更してください。USBFSがPID[1:0] ビットを00 (NAK) に変更した場合は、ソフトウェアによるPBUSYビットの確認は不要です。

PIPEPERI レジスタは、アイソクロナス IN 転送時にインターバルエラーが発生した場合、バッファフラッシュ機能を動作させるか否かの選択、およびパイプ1～9に対してインターバルエラーの検出間隔の設定をするレジスタです。

IITV[2:0] ビット (インターバルエラー検出間隔)

IITV[2:0] ビットを設定し、USB通信を行った後でIITV[2:0] ビットを別の値に変更する場合は、PIPEEnCTR.PID[1:0] ビットを00b (NAK) にした後、PIPEEnCTR.ACLRM ビットを1にして、インターバルタイムを初期化してください。

パイプ3～5に対しては、IITV[2:0] ビットは存在しません。パイプ3～5に対応するIITV[2:0] ビット位置には、000bを書いてください。

IFIS ビット (アイソクロナス IN バッファフラッシュ)

PIPESEL.PIPESEL[3:0] ビットで選択したパイプがアイソクロナス IN 転送で 사용되는場合に、バッファフラッシュの有無を指定します。

デバイスコントローラモードでは、選択パイプの転送タイプがアイソクロナス IN 転送の場合、IITV[2:0] ビットに設定したインターバルごとのフレーム中に、USBFSがUSBホストからINトークンを受信できないと、USBFSは自動的にFIFOバッファをクリアします。

ダブルバッファ (PIPECFG.DBLB ビット=1) が設定されている場合、USBFSは前回使用した1面分のデータのみをクリアします。

USBFSは、INトークンの受信が期待されているフレーム直後のSOFパケット受信時に、FIFOバッファをクリアします。SOFパケットが破損している場合でも、内部補完機能によって、SOFパケットを受信する予定のタイミングでFIFOバッファをクリアします。

ホストコントローラ機能が選択されている場合、このビットを0にしてください。選択パイプがアイソクロナス転送に使用されない場合は、このビットを0にしてください。

27.2.30 パイプ n コントロールレジスタ (PIPEnCTR) (n = 1 ~ 9)

PIPEnCTR (n = 1 ~ 5)

アドレス USBFS.PIPE1CTR 4009 0070h, USBFS.PIPE2CTR 4009 0072h, USBFS.PIPE3CTR 4009 0074h,
USBFS.PIPE4CTR 4009 0076h, USBFS.PIPE5CTR 4009 0078h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0: NAK 応答 0 1: BUF 応答 (バッファ状態に従う) 1 0: STALL 応答 1 1: STALL 応答	R/W
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジー	0: パイプnはトランザクションで未使用 1: パイプnはトランザクションで使用中	R
b6	SQMON	シーケンスストグルビット確認	0: DATA0 1: DATA1	R
b7	SQSET	シーケンスストグルビットセット (注2)	パイプnにシーケンスストグルビットを設定します。 0: 無効 (0を書いても何も影響なし) 1: 次回トランザクションの期待値をDATA1に設定 読むと0が読めます。	R/W (注1)
b8	SQCLR	シーケンスストグルビットクリア (注2)	パイプnのシーケンスストグルビットをクリアします。 0: 無効 (0を書いても何も影響なし) 1: 次回トランザクションの期待値をDATA0にクリア 読むと0が読めます。	R/W (注1)
b9	ACLRM	自動バッファクリアモード (注3)	0: 禁止 1: 許可 (全バッファ初期化)	R/W
b10	ATREPM	自動応答モード (注2)	0: 自動応答を禁止 1: 自動応答を許可	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	INBUFM	送信バッファモニタ	0: FIFOバッファに送信可能データなし 1: FIFOバッファに送信可能データあり	R
b15	BSTS	バッファステータス	0: CPUからのバッファアクセス不可 1: CPUからのバッファアクセス可能	R

注 1. 読むと0が読み出されます。

注 2. ATREPM ビットの設定と、SQCLR ビットまたは SQSET ビットへの1書き込みは、必ずPIDがNAKであるときに行ってください。これらのビットを設定するときは、事前にPBUSYビットが0であることを確認した後、PID[1:0] ビットを01b (BUF) から00b (NAK) に変更してください。USBFSがPID[1:0] ビットを00 (NAK) に変更した場合は、ソフトウェアによるPBUSYビットの確認は不要です。

注 3. ACLRM ビットの設定は、必ずPIDがNAKであるときに、ポート選択レジスタのCURPIPE[3:0] ビットでパイプを選択する前に行ってください。本ビットを設定するときは、事前にPBUSYビットが0であることを確認した後、PID[1:0] ビットを01b (BUF) から00b (NAK) に変更してください。USBFSがPID[1:0] ビットを00 (NAK) に変更した場合は、ソフトウェアによるPBUSYビットの確認は不要です。

PIPEnCTR レジスタは、PIPESEL レジスタで選択したどのパイプに対しても設定可能です。

PID[1:0] ビット (応答 PID)

選択パイプの次回トランザクションにおける応答の種類を指定します。

PID[1:0] ビットの初期値は NAK です。当該パイプで USBFS 転送を行う場合には PID[1:0] ビットの設定を BUF に変更してください。PID[1:0] ビットの設定値に基づく USBFS の通信パケットにエラーがない場合の基本動作を、表 27.7 と表 27.8 に示します。

選択パイプの USBFS 通信中に、ソフトウェアで PID[1:0] ビット設定を BUF から NAK に変更したときは、そのパイプの USBFS 転送が実際に NAK 状態に遷移したかどうかを判定するため、PBUSY ビットが 1 であることを確認してください。USBFS が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

以下の場合に、USBFS が PIPEEnCTR.PID[1:0] ビットの設定値を変更します。

- 選択パイプが受信方向で、かつソフトウェアで選択パイプの PIPECFG.SHTNAK ビットを 1 にしている場合、USBFS は転送終了を認識したときに PID を NAK に設定する
- 選択パイプの最大パケットサイズを超えるペイロードのデータパケットを受信したとき、USBFS は PID を STALL (11b) に設定する
- デバイスコントローラモード時に、USB バスリセットを検出したとき、USBFS は PID を NAK に設定する
- ホストコントローラモード時に、CRC エラーなどの受信エラーを 3 回連続で検出したとき、USBFS は PID を NAK に設定する
- ホストコントローラモード時に、STALL ハンドシェイクを受信したとき、USBFS は PID を STALL (11b) に設定する

応答種類を指定するには、PID[1:0] ビットを以下のように設定してください。

- NAK (00b) から STALL へ遷移させるには、10b を設定
- BUF (01b) から STALL へ遷移させるには、11b を設定
- STALL (11b) から NAK へ遷移させるには、10b を設定してから 00b を設定
- STALL から BUF へ遷移させるには、NAK から BUF への遷移を設定

表 27.7 ホストコントローラモード時の PID[1:0] ビット設定値に基づく USBFS の動作

PID[1:0] ビット値	転送タイプ	転送方向 (DIR ビット)	USBFS の動作
00b (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しない。
01b (BUF)	バルクまたはインタラプト	設定値に依存しない	DVSTCTR0.UACT ビットが 1 であり、かつ選択パイプに対応する FIFO バッファが送受信可能な状態にあるとき、トークンを発行する。 DVSTCTR0.UACT ビットが 0 であるか、または選択パイプに対応する FIFO バッファが送受信可能な状態にないとき、トークンを発行しない。
	アイソクロナス	設定値に依存しない	選択パイプに対応する FIFO バッファの状態にかかわらず、トークンを発行する。
10b (STALL) または 11b (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しない。

表 27.8 デバイスコントローラモード時のPID[1:0]ビット設定値に基づくUSBFSの動作

PID[1:0]ビット値	転送タイプ	転送方向 (DIRビット)	USBFSの動作
00b (NAK)	バルクまたはインタラプト	設定値に依存しない	USBホストからのトークンに対してNAK応答を行う。
	アイソクロナス	設定値に依存しない	USBホストからのトークンに対して何も応答しない。
01b (BUF)	バルク	受信方向 (DIRビット = 0)	USBホストからのOUTトークンに対して、選択パイプに対応するFIFOバッファが受信可能な状態であればデータを受信し、ACK応答を行う。
	インタラプト	受信方向 (DIRビット = 0)	USBホストからのOUTトークンに対して、選択パイプに対応するFIFOバッファが受信可能な状態であればデータを受信し、ACK応答を行う。
	バルクまたはインタラプト	送信方向 (DIRビット = 1)	USBホストからのトークンに対して、選択パイプに対応するFIFOバッファが送信可能な状態であればデータを送信する。送信可能でなければNAK応答を行う。
	アイソクロナス	受信方向 (DIRビット = 0)	USBホストからのOUTトークンに対して、選択パイプに対応するFIFOバッファが受信可能な状態であればデータを受信する。受信可能でなければデータを破棄する。
	アイソクロナス	送信方向 (DIRビット = 1)	USBホストからのトークンに対して、対応するFIFOバッファが送信可能な状態であればデータを送信する。送信可能でなければ、Zero-Lengthパケットを送信する。
10b (STALL) または11b (STALL)	バルクまたはインタラプト	設定値に依存しない	USBホストからのトークンに対してSTALL応答を行う。
	アイソクロナス	設定値に依存しない	USBホストからのトークンに対して何も応答しない。

PBUSY ビット (パイプビジー)

選択パイプが現在トランザクションで使用中心かどうかを示します。

USBFS は、選択パイプに対する USBFS トランザクションの開始時に、PBUSY ビットを 0 から 1 に変更します。1 回のトランザクションが終了すると、PBUSY ビットを 1 から 0 に変更します。

PID を NAK に設定した後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定の変更が可能かどうかを確認できます。詳細は、[27.3.4.1 パイプコントロールレジスタの切り替え手順](#)を参照してください。

SQMON ビット (シーケンストグルビット確認)

選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値を示します。

選択パイプの転送タイプがアイソクロナス転送ではない場合、USBFS は、トランザクションの正常完了時に SQMON ビットをトグルします。ただし、受信方向での転送時に DATA-PID 不一致が発生すると、USBFS は SQMON フラグをトグルしません。

SQSET ビット (シーケンストグルビットセット)

ソフトウェアで SQSET ビットを 1 にすると、USBFS は選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値として DATA1 を設定します。USBFS は、SQSET ビットを 0 にクリアします。

SQCLR ビット (シーケンストグルビットクリア)

ソフトウェアで SQCLR ビットを 1 にすると、USBFS は選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアします。USBFS は、SQCLR ビットを 0 にクリアします。

ACLRM ビット (自動バッファクリアモード)

選択パイプの自動バッファクリアモードを許可または禁止します。選択パイプに割り当てられた FIFO バッファ内のデータを完全にクリアするには、ACLRM ビットに 1 を書いた後、引き続き 0 を書いてください。

[表 27.9](#) に、ACLRM ビットに 1 と 0 を連続して書くことでクリアされるデータと、この処理が必要となる状況を示します。

表 27.9 ACLRM = 1 設定時に USBFS がクリアするデータ

番号	ACLRM ビット設定によってクリアされるデータ	データのクリアが必要となる状況
1	選択パイプに割り当てられた FIFO バッファ内の全データ (ダブルバッファモードでは2つの FIFO バッファ)	選択パイプを初期化する場合
2	選択パイプの転送タイプがアイソクロナス転送のときは、インターバルカウント値	インターバルカウント値をリセットする場合
3	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定値を変更する場合
4	FIFO バッファトグル制御	PIPECFG.DBLB ビットの設定値を変更する場合
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能を強制終了する場合

ATREPM ビット (自動応答モード)

選択パイプの自動応答モードを許可または禁止します。

デバイスコントローラモードで、選択パイプの転送タイプがバルク転送の場合に、ATREPM ビットを 1 にすることが可能です。ATREPM ビットを 1 にした場合、USB ホストからのトークンに対し USBFS は以下のように応答します。

- 選択パイプがバルク IN 転送 (PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 1) に設定されている場合 :
 - a. ATREPM ビット = 1 かつ PID = BUF の場合、IN トークンに対して USBFS は Zero-Length パケットを送信します
 - b. USB ホストから ACK を受信するたびに、USBFS はシーケンストグルビット (DATA-PID) を更新します。1 回のトランザクションでは、IN トークン受信 → Zero-Length パケット送信 → ACK 受信の順に発生します。USBFS は、BRDY 割り込みも BEMP 割り込みも発生させません
- 選択パイプがバルク OUT 転送 (PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 0) に設定されている場合 :

ATREPM ビット = 1 かつ PID = BUF の場合、OUT トークンに対して USBFS は NAK 応答を行い、NRDY 割り込みを発生させます

自動応答モードで USB 通信を行う場合、FIFO バッファが空の状態では ATREPM ビットを 1 にしてください。自動応答モードでの USB 通信中は、FIFO バッファに書き込みを行わないでください。選択パイプの転送タイプがアイソクロナス転送の場合は、常に本ビットを 0 にしてください。

ホストコントローラモードでは、常に ATREPM ビットを 0 にしてください。

INBUFM ビット (送信バッファモニタ)

選択パイプが送信方向の場合に、そのパイプの FIFO バッファステータスを示します。

選択パイプが送信方向 (PIPECFG.DIR = 1) の場合、CPU または DMAC/DTC が FIFO バッファに少なくとも 1 面分のデータの書き込みを完了すると、USBFS は本ビットを 1 にします。

書き込みが完了している面の FIFO バッファ上のデータを、USBFS がすべて送信完了したときに、USBFS は本ビットを 0 にします。ダブルバッファモード (PIPECFG.DBLB = 1) では、CPU または DMAC/DTC が FIFO バッファの 1 面分のデータ書き込みを完了する前に、USBFS が FIFO バッファの 2 面分のデータ送信を完了すると、USBFS は INBUFM ビットを 0 にします。

選択パイプが受信方向 (PIPECFG.DIR = 0) の場合は、INBUFM ビットは BSTS ビットと同じ値を示します。

BSTS ビット (バッファステータス)

選択パイプの FIFO バッファステータスを示します。

BSTS ビットの意味は、表 27.10 に示すように、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値で異なります。

表 27.10 BSTS ビットの動作

DIR ビット値	BFRE ビット値	DCLRM ビット値	BSTS ビットの機能
0	0	0	FIFOバッファからの受信データの読み出しが可能な場合は1に、データ読み出し完了時には0になります。
		1	設定禁止
	1	0	FIFOバッファからの受信データの読み出しが可能な場合は1に、データ読み出し完了後にソフトウェアがポートコントロールレジスタのBCLRビットを1にすると0になります。
		1	FIFOバッファからの受信データの読み出しが可能な場合は1に、データ読み出し完了時には0になります。
1	0	0	FIFOバッファへの送信データの書き込みが可能な場合は1に、データ書き込み完了時には0になります。
		1	設定禁止
	1	0	設定禁止
		1	設定禁止

PIPEnCTR (n = 6 ~ 9)

アドレス [USBFS.PIPE6CTR 4009 007Ah](#), [USBFS.PIPE7CTR 4009 007Ch](#), [USBFS.PIPE8CTR 4009 007Eh](#), [USBFS.PIPE9CTR 4009 0080h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0: NAK 応答 0 1: BUF 応答 (バッファ状態に従う) 1 0: STALL 応答 1 1: STALL 応答	R/W
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジー	0: パイプnはトランザクションで未使用 1: パイプnはトランザクションで使用中	R
b6	SQMON	シーケンスストグルビット確認	0: DATA0 1: DATA1	R
b7	SQSET	シーケンスストグルビットセット (注2)	パイプnにシーケンスストグルビットを設定します。 0: 無効 (0を書いても何も影響なし) 1: 次回トランザクションの期待値をDATA1に設定 読むと0が読めます。	R/W (注1)
b8	SQCLR	シーケンスストグルビットクリア (注2)	パイプnのシーケンスストグルビットをクリアします。 0: 無効 (0を書いても何も影響なし) 1: 次回トランザクションの期待値をDATA0にクリア 読むと0が読めます。	R/W (注1)
b9	ACLRM	自動バッファクリアモード (注2) (注3)	0: 禁止 1: 許可 (全バッファ初期化)	R/W
b14-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	BSTS	バッファステータス	0: バッファアクセス不可 1: バッファアクセス可能	R

注 1. 読むと0が読み出されます。1のみ書けます。
 注 2. SQCLR または SQSET ビットへの1書き込みは、必ずPIDがNAKであるときに行ってください。これらのビットを設定するときは、事前にPBUSYビットが0であることを確認した後、PID[1:0]ビットを01b (BUF) から00b (NAK) に変更してください。USBFSがPID[1:0]ビットを00 (NAK) に変更した場合は、ソフトウェアによるPBUSYビットの確認は不要です。

注3. ACLRM ビットの設定は、必ず PID が NAK であるときに、ポート選択レジスタの CURPIPE[3:0] ビットでパイプを選択する前に行ってください。本ビットを設定するときは、事前に PIPEnCTR.PBUSY ビットが 0 であることを確認した後、PIPEnCTR.PID[1:0] ビットを 01b (BUF) から 00b (NAK) に変更してください。USBFS が PID[1:0] ビットを 00 (NAK) に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

PID[1:0] ビット (応答 PID)

選択パイプの次回トランザクションにおける応答の種類を指定します。

PID[1:0] ビットの初期値は NAK です。当該パイプで USBFS 転送を行う場合には PID[1:0] ビットの設定を BUF に変更してください。PID[1:0] ビットの設定値に基づく USB の通信パッケージにエラーがない場合の基本動作を、表 27.7 および表 27.8 に示します。

選択パイプの USBFS 通信中に、ソフトウェアで PID[1:0] ビット設定を BUF から NAK に変更したときは、そのパイプの USBFS 転送が実際に NAK 状態に遷移したかどうかを判定するため、PBUSY ビットが 1 であることを確認してください。USBFS が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

以下の場合に、USBFS が PIPEnCTR.PID[1:0] ビットの設定値を変更します。

- 選択パイプの最大パッケージサイズを超えるペイロードのデータパッケージを受信したとき、USBFS は PID を STALL (11b) に設定する
- デバイスコントローラモード時に USB バスリセットを検出した場合、USBFS は PID を NAK に設定する
- ホストコントローラモード時に CRC エラーなどの受信エラーを 3 回連続で検出した場合、USBFS は PID を NAK に設定する
- ホストコントローラモード時に、STALL ハンドシェイクを受信した場合、USBFS は PID を STALL (11b) に設定する

応答の種類を指定するには、PID[1:0] ビットを以下のように設定してください。

- NAK (00b) から STALL へ遷移させるには、10b を設定
- BUF (01b) から STALL へ遷移させるには、11b を設定
- STALL (11b) から NAK へ遷移させるには、10b を設定してから 00b を設定
- STALL から BUF へ遷移させるには、00b (NAK) を設定してから 01b (BUF) を設定

PBUSY ビット (パイプビジー)

選択パイプが現在トランザクションで使用かどうかを示します。

USBFS は、選択パイプに対する USBFS トランザクションの開始時に、PBUSY ビットを 0 から 1 に変更します。1 回のトランザクションが終了すると、PBUSY ビットを 1 から 0 に変更します。

PID を NAK に設定した後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定の変更が可能かどうかを確認できます。

SQMON ビット (シーケンスストグルビット確認)

選択パイプの次回トランザクションにおけるシーケンスストグルビットの期待値を示します。

トランザクションが正常終了すると、USBFS は SQMON ビットをトグルします。ただし、受信方向での転送時に DATA-PID 不一致が発生すると、USBFS は SQMON ビットをトグルしません。

SQSET ビット (シーケンスストグルビットセット)

ソフトウェアで SQSET ビットを 1 にすると、USBFS は選択パイプの次回トランザクションにおけるシーケンスストグルビットの期待値として DATA1 を設定します。USBFS は、SQSET ビットを 0 にします。

SQCLR ビット (シーケンスストグルビットクリア)

ソフトウェアで SQCLR ビットを 1 にすると、USBFS は選択パイプの次回トランザクションにおけるシーケンスストグルビットの期待値を DATA0 にクリアします。USBFS は、SQCLR ビットを 0 にします。

ACLRM ビット (自動バッファクリアモード)

選択パイプの自動バッファクリアモードを許可または禁止します。選択パイプに割り当てられた FIFO バッファ内のデータを完全にクリアするには、ACLRM ビットに 1 を書いた後、引き続き 0 を書いてください。

表 27.11 に、ACLRM ビットに 1 と 0 を連続して書くことでクリアされるデータと、この処理が必要となる状況を示します。

表 27.11 ACLRM = 1 設定時に USBFS がクリアするデータ

番号	ACLRM ビット設定によってクリアされるデータ	データのクリアが必要となる状況
1	選択パイプに割り当てられた FIFO バッファの全データ	選択パイプを初期化する場合
2	ホストコントローラ機能選択時、選択パイプの転送タイプがインタラプト転送の場合、インターバルカウント値	インターバルカウント値をリセットする場合
3	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定値を変更する場合
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能を強制終了する場合

BSTS ビット (バッファステータス)

選択パイプの FIFO バッファステータスを示します。

BSTS ビットの意味は、表 27.10 に示すように、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値で異なります。

27.2.31 パイプ n トランザクションカウンタインーブルレジスタ (PIPEnTRE) (n = 1 ~ 5)

アドレス [USBFS.PIPE1TRE 4009 0090h](#), [USBFS.PIPE2TRE 4009 0094h](#), [USBFS.PIPE3TRE 4009 0098h](#),
[USBFS.PIPE4TRE 4009 009Ch](#), [USBFS.PIPE5TRE 4009 00A0h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	TRCLR	トランザクションカウンタクリア	0: 無効 (0を書いても何も影響なし) 1: カレントカウンタ値をクリア	R/W
b9	TRENB	トランザクションカウンタ有効	0: トランザクションカウンタは無効 1: トランザクションカウンタは有効	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PIPEnTRE レジスタの各ビットの設定は、PID が NAK であるときに行ってください。これらのビットを設定する前に、PIPEnCTR.PBUSY ビットが 0 であることを確認してください。その後、選択パイプの PIPEnCTR.PID[1:0] ビットを BUF から NAK へ変更してください。もし USBFS が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

TRCLR ビット (トランザクションカウンタクリア)

TRCLR ビットが 1 の場合、USBFS は選択パイプに対応するトランザクションカウンタの現在の値をクリアし、その後、TRCLR ビットを 0 にします。

TRENB ビット (トランザクションカウンタ有効)

トランザクションカウンタを有効または無効にします。

受信パイプに対して、ソフトウェアで PIPEnTRN.TRNCNT[15:0] ビットに総受信パケット数を設定した後、TRENB ビットを 1 にすると、USBFS は以下のようにハードウェアを制御します。

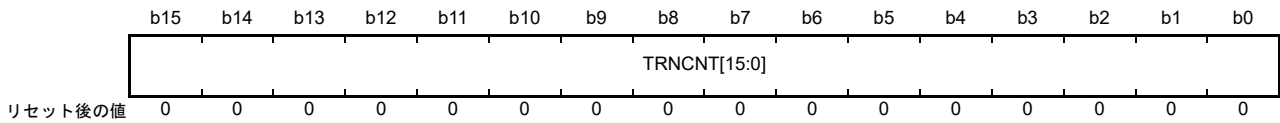
- PIPECFG.SHTNAK ビットが 1 のとき、TRNCNT[15:0] ビットの設定値と同数のパケットを受信し終えた時点で、USBFS は対応するパイプの PIPEnCTR.PID[1:0] ビットを NAK に変更
- PIPECFG.BFRE ビットが 1 のとき、TRNCNT[15:0] ビットの設定値と同数のパケットを受信し、その最後の受信データを読み出し終えた時点で、USBFS は BRDY 割り込みをアサート

送信パイプに対しては、TRENB ビットを 0 にしてください。

トランザクションカウンタを使用しない場合は、本ビットを 0 にしてください。トランザクションカウンタを使用する場合は、TRNCNT[15:0] ビットを設定してから、本ビットを 1 にしてください。トランザクションカウンタのカウンタ対象となる最初のパケットを受信する前に、本ビットを 1 にしてください。

27.2.32 パイプ n トランザクションカウンタレジスタ (PIPE_nTRN) (n = 1 ~ 5)

アドレス [USBFS.PIPE1TRN 4009 0092h](#), [USBFS.PIPE2TRN 4009 0096h](#), [USBFS.PIPE3TRN 4009 009Ah](#),
[USBFS.PIPE4TRN 4009 009Eh](#), [USBFS.PIPE5TRN 4009 00A2h](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0	TRNCNT[15:0]	トランザクションカウンタ	<ul style="list-style-type: none"> 書き込み時： 選択したパイプで受信したパケットの合計数（トランザクション数）を指定します。 読み出し時： PIPE_nTRE.TRENBが0の場合、指定されたトランザクション数を示します。 PIPE_nTRE.TRENBが1の場合、現在カウントされたトランザクション数を示します。 	R/W

PIPE_nTRN レジスタは、USB バスリセット時も、現在の設定値を保持します。

TRNCNT[15:0] ビット (トランザクションカウンタ)

USBFS は、パケット受信時に下記の条件がすべて満たされたとき、TRNCNT[15:0] ビット値を 1 インクリメントします。

- PIPE_nTRE.TRENB ビット = 1
- パケット受信時に「TRNCNT[15:0] 設定値 ≠ 現在のカウンタ値 + 1」です
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットの設定値と一致した

USBFS は、下記の条件のいずれかが満たされたとき、TRNCNT[15:0] ビット値を 0 にします。

- 以下の条件がすべて満たされたとき：
 - PIPE_nTRE.TRENB ビット = 1
 - パケット受信時に「TRNCNT[15:0] 設定値 = 現在のカウンタ値 + 1」です
 - 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットの設定値と一致した
- 以下の条件がどちらも満たされたとき：
 - PIPE_nTRE.TRENB ビット = 1
 - USBFS がショートパケットを受信した
- 以下の条件がどちらも満たされたとき：
 - PIPE_nTRE.TRENB ビット = 1
 - PIPE_nTRE.TRCLR ビットがソフトウェアによって 1 にされた

送信パイプに対しては、TRNCNT[15:0] ビットを 0 にしてください。トランザクションカウンタを使用しない場合、TRNCNT[15:0] ビットを 0 にしてください。

転送するトランザクションの回数を TRNCNT[15:0] ビットに設定することは、PIPE_nTRE.TRENB ビットが 0 の場合にのみ可能です。転送するトランザクションの回数を設定する場合は、PIPE_nTRE.TRENB ビットを 1 にする前に、TRCLR ビットを 1 にして、現在のカウンタ値をクリアしてください。

27.2.33 デバイスアドレス n コンフィグレーションレジスタ (DEVADDn) (n = 0 ~ 5)

アドレス [USBFS.DEVADD0 4009 00D0h](#), [USBFS.DEVADD1 4009 00D2h](#), [USBFS.DEVADD2 4009 00D4h](#),
[USBFS.DEVADD3 4009 00D6h](#), [USBFS.DEVADD4 4009 00D8h](#), [USBFS.DEVADD5 4009 00DAh](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	USBSPD[1:0]	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	USBSPD[1:0]	通信対象デバイス転送速度	b7 b6 0 0 : DEVADDnレジスタを使用しない 0 1 : ロースピード 1 0 : フルスピード 1 1 : 設定禁止	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DEVADDn レジスタは、パイプ 0 ~ 9 に対して、通信対象の周辺デバイスの転送速度を指定するレジスタです。

ホストコントローラモードでは、パイプへの通信を開始する前に、DEVADDn レジスタのビットをすべて設定してください。DEVADDn レジスタの各ビットを変更する場合は、有効なパイプがこれらのビット設定値を使用していないときに行ってください。有効なパイプとは、以下の両方の条件を満たしているパイプです。

- DEVADDn レジスタが、DEVSEL[3:0] ビットで選択されている
- 選択パイプの PID[1:0] ビットが BUF に設定されているか、または選択パイプが DCP であり DCPCTR.SUREQ ビットが 1 になっている

デバイスコントローラモードでは、このレジスタの全ビットを 0 にしてください。

USBSPD[1:0] ビット (通信対象デバイス転送速度)

対象の周辺デバイスの USB 転送速度を設定します。

ホストコントローラモードでは、USBFS は USBSPD[1:0] の設定値に基づいてパケットを生成します。デバイスコントローラモードでは、これらのビットを 00b にしてください。

27.2.34 USB モジュールコントロールレジスタ (USBMC)

アドレス USBFS.USBMC 4009 00CCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	VDCEN	—	—	—	—	—	—	—	VDDUS BE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VDDUSBE	USB 基準電源回路 ON/OFF 制御	0 : USB 基準電源回路 OFF 1 : USB 基準電源回路 ON	R/W
b1	—	予約ビット	読むと 1 が読めます。書く場合、1 としてください。	R/W
b6-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b7	VDCEN	USB レギュレータ ON/OFF 制御	0 : USB レギュレータ OFF 1 : USB レギュレータ ON	R/W
b15-b8	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

VDDUSBE ビット (USB 基準電源回路 ON/OFF 制御)

USB 基準電源回路はバッテリーチャージ用の基準電圧を発生させます。バッテリーチャージ機能の使用時は、本ビットを 1 にしてください。

VDCEN ビット (USB レギュレータ ON/OFF 制御)

USB レギュレータ回路を制御します。USB レギュレータ回路の使用時は、本ビットを 1 にしてください。

27.2.35 BC コントロールレジスタ 0 (USBBCCTRL0)

アドレス USBFS.USBBCCTRL0 4009 00B0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PDDETSTS0	CHGDETSTS0	BATCHGEO	—	VDMSRCE0	IDPSINKE0	VDPSRCE0	IDMSINKE0	IDPSRCE0	RPDME0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPDME0	D-端子プルダウン制御	0: プルダウンOFF 1: プルダウンON	R/W
b1	IDPSRCE0	D+ 端子IDPSRC 出力制御	0: 停止 1: 10 μ A出力	R/W
b2	IDMSINKE0	D-端子0.6V入力検出 (コンパレータ & シンク) 制御	0: 検出OFF 1: 検出ON (コンパレータ & シンク電流ON)	R/W
b3	VDPSRCE0	D+ 端子VDPSRC (0.6V) 出力制御	0: 停止 1: 0.6V出力	R/W
b4	IDPSINKE0	D+ 端子0.6V入力検出 (コンパレータ & シンク) 制御	0: 検出OFF 1: 検出ON (コンパレータ & シンク電流ON)	R/W
b5	VDMSRCE0	D-端子VDMSRC (0.6V) 出力制御	0: 停止 1: 0.6V出力	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	BATCHGEO	BC (バッテリーチャージャ) 機能汎用許可制御	0: 禁止 1: 許可	R/W
b8	CHGDETSTS0	D-端子0.6V入力検出ステータス (注1)	0: 未検出 1: 検出あり	R
b9	PDDETSTS0	D+ 端子0.6V入力検出ステータス (注2)	0: 未検出 1: 検出あり	R
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. IDMSINKE0 = 1 のときに有効

注 2. IDPSINKE0 = 1 のときに有効

RPDME0 ビット (D- 端子プルダウン制御)

バッテリーチャージ機能の使用時は、本ビットを1にしてD-端子のプルダウン抵抗を制御してください。

IDPSRCE0 ビット (D+ 端子 IDPSRC 出力制御)

デバイスコントローラモードでは、本ビットを1にすると、データ接続端子が検出されたときに電流出力が許可され、D+ 端子がプルアップされます。

IDMSINKE0 ビット (D- 端子 0.6V 入力検出 (コンパレータ & シンク) 制御)

デバイスコントローラモードでは、本ビットを1にすると、USBFSは、一次検出中にホストからD-に出力されるVDMSRC (0.6V) が接続されたか否か、または、ファンクションからD+に出力されるVDPSRC (0.6V) がホスト経由でD-のファンクションに接続されたか否かを検出します。

VDPSRCE0 ビット (D+ 端子 VDPSRC (0.6V) 出力制御)

デバイスコントローラモードでは、本ビットを1にすると、一次検出時に出力が許可されて、D+にVDPSRC (0.6V) が印加されます。

IDPSINKE0 ビット (D+ 端子 0.6V 入力検出 (コンパレータ & シンク) 制御)

デバイスコントローラモードでは、本ビットを 1 にすると、USBFS は、ファンクションから D- に出力される VDMSRC (0.6V) が、ホスト経由で D+ (DCP) のファンクションに接続されたか否かを検出します。ホストコントローラモードでは、USBFS は、一次検出時にデバイスから D+ に出力される VDPSRC (0.6V) が接続されたか否かを検出します。

VDMSRCE0 ビット (D- 端子 VDMSRC (0.6V) 出力制御)

デバイスコントローラモードでは、本ビットを 1 にすると、二次検出時に出力が許可されて、D- に VDMSRC (0.6V) が印加されます。ホストコントローラモードでは、一次検出時に出力が許可されて、D- に VDMSRC (0.6V) が印加されます。

CHGDETSTS0 フラグ (D- 端子 0.6V 入力検出ステータス)

ホストコントローラモードでは、一次検出中にホストから D- に出力される VDMSRC (0.6V) が接続されたか、または、ファンクションから D+ に出力される VDPSRC (0.6V) がホスト経由で D- のファンクションに接続されたかを USBFS が検出すると、本フラグが 1 になります。

PDDTSTS0 フラグ (D+ 端子 0.6V 入力検出ステータス)

デバイスコントローラモードでは、二次検出中にファンクションから D- に出力される VDMSRC (0.6V) がホスト経由で D+ (DCP) のファンクションに接続されたかを USBFS が検出すると、本フラグが 1 になります。

ホストコントローラモードでは、一次検出中にファンクションから D+ に出力される VDPSRC (0.6V) が接続されたかを USBFS が検出すると、本ビットが 1 になります。

27.3 動作説明

27.3.1 システム制御

本節では、USBFS の初期化および消費電力制御に必要なレジスタ設定について説明します。

27.3.1.1 USBFS 関連レジスタへのデータ設定

クロック供給を開始 (SYSCFG.SCKE ビット=1) した後、SYSCFG.USBE ビットを 1 にすると、USBFS の動作が許可されて、USBFS は動作を開始します。

27.3.1.2 コントローラ機能の選択

どちらの機能にするかは、SYSCFG.DCFM ビットで選択できます。DCF M ビットを変更するときは、リセット直後の初期設定時、または D+ プルアップ禁止状態 (SYSCFG.DPRPU ビット=0) かつ D+/D- プルダウン禁止状態 (SYSCFG.DRPD ビット=0) のときに行ってください。

27.3.1.3 抵抗による USBFS データバス制御

USBFS は、D+/D- ライン用のプルアップ抵抗とプルダウン抵抗を内蔵しています。SYSCFG.DPRPU、SYSCFG.DMRPU、SYSCFG.DRPD の各ビットを設定して、これらのラインをプルアップまたはプルダウンしてください。

デバイスコントローラモードでは、USB ホストへの接続を確認した後で、SYSCFG.DPRPU ビットを 1 にし、D+ ライン (フルスピード通信時) をプルアップしてください。あるいは、SYSCFG.DMRPU ビットを 1 にし、D- ライン (ロースピード通信時) をプルアップしてください。

PC との通信中に SYSCFG.DPRPU ビット (フルスピード時) を 0 にするか、または SYSCFG.DMRPU ビット (ロースピード時) を 0 にすると、USBFS が USB データラインのプルアップ抵抗を無効にするので、USB ホストに対して切断を通知することが可能です。

ホストコントローラモードでは、SYSCFG.DRPD ビットを 1 にして、D+/D- ラインをプルダウンしてください。

表 27.12 USBFS データバス抵抗制御

SYSCFG レジスタの設定値			D-	D+	機能
DRPD ビット	DPRPU ビット	DMRPU ビット			
0	0	0	オープン	オープン	抵抗を使用しない場合
0	1	0	オープン	プルアップ	デバイスコントローラとしてフルスピードで動作させる場合
0	0	1	プルアップ	オープン	デバイスコントローラとしてロースピードで動作させる場合
1	0	0	プルダウン	プルダウン	ホストコントローラとして動作させる場合
上記以外の設定			—	—	設定禁止

27.3.1.4 USBFS の電源接続例

図 27.2 に、USB レギュレータを使用しない場合の電源接続例を示します。図 27.3 と図 27.4 に、USB レギュレータを使用する場合の電源接続例を示します。

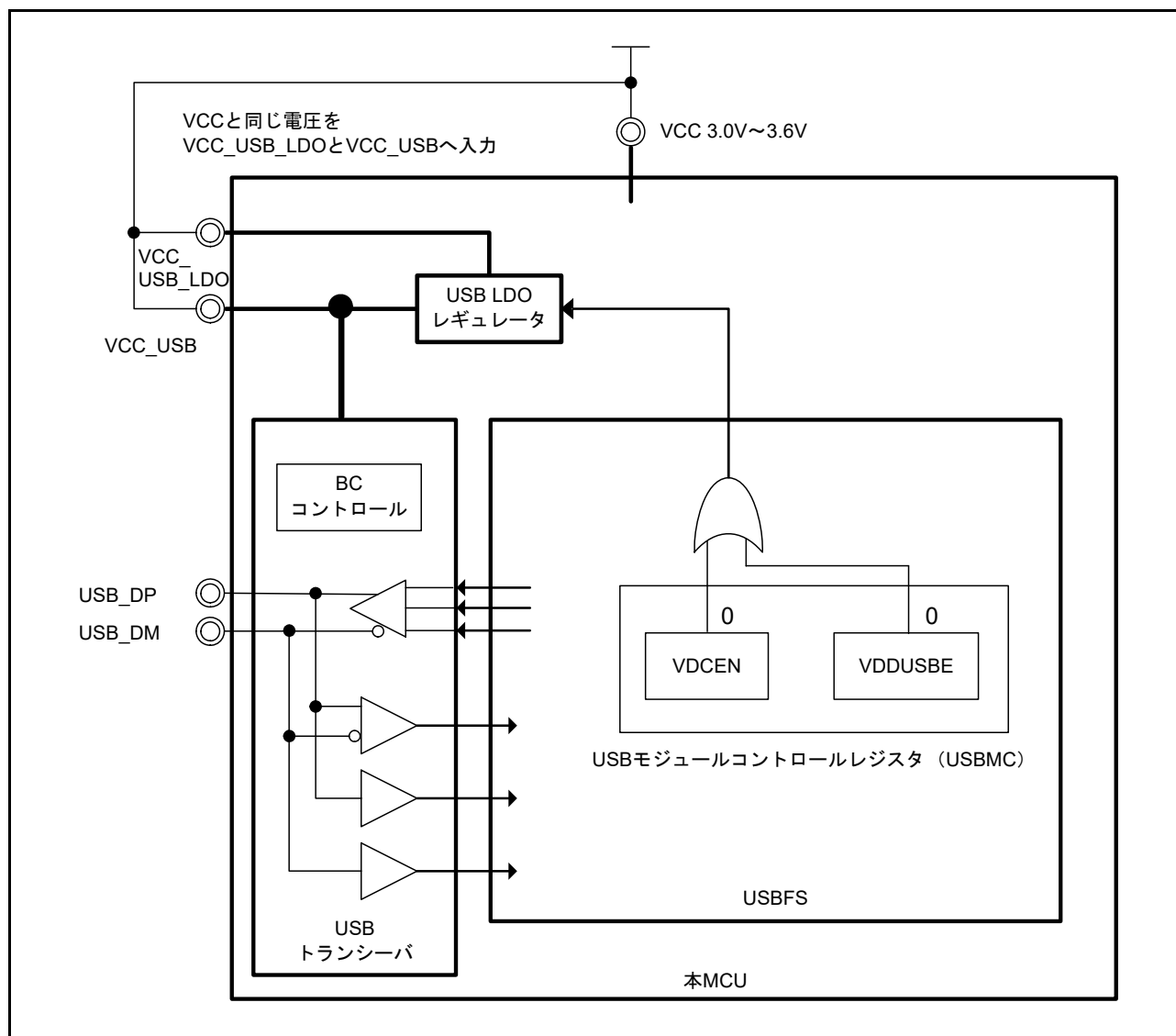


図 27.2 USB LDO レギュレータを使用しない場合の電源接続例

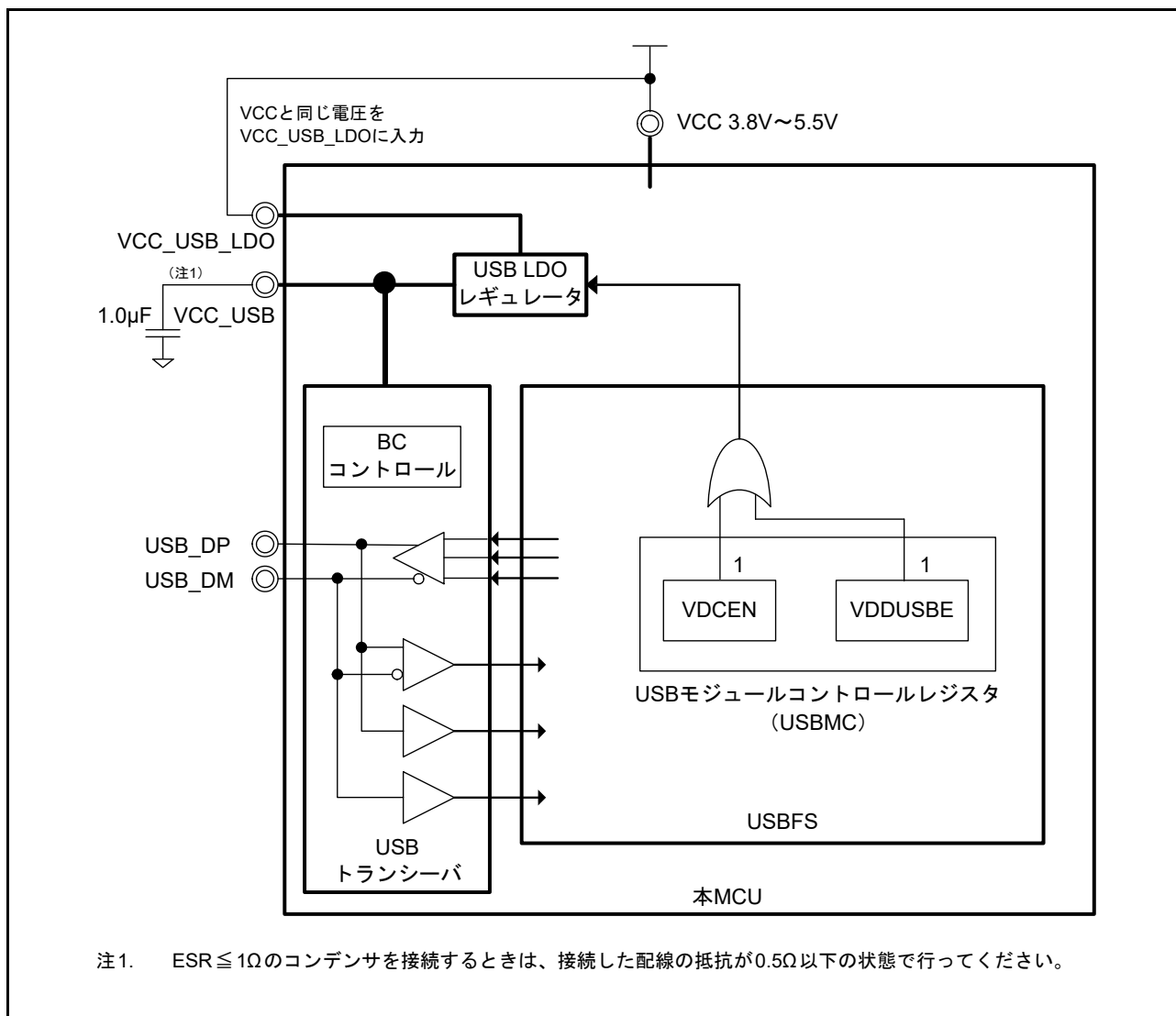


図 27.3 USB LDO レギュレータを使用する場合の電源接続例 (BC 使用)

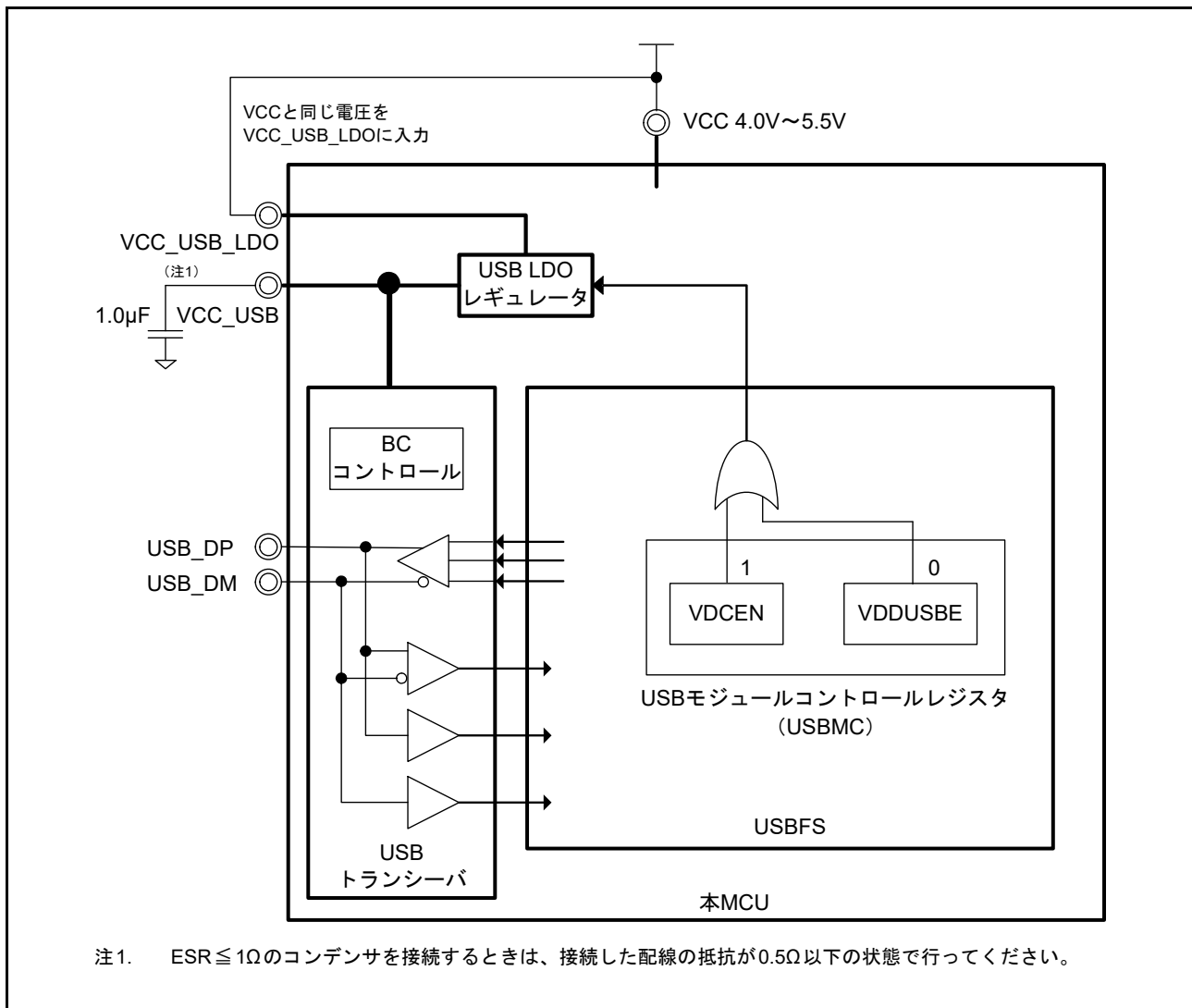


図 27.4 USB LDO レギュレータを使用する場合の電源接続例 (BC 不使用)

27.3.1.5 USB 外部接続回路の例

データラインの1つがプルアップされると、ホストはUSBデバイスを認識します。本MCUでは、このために内蔵プルアップ抵抗を切り替えることができます。また、本MCUはUSB-PHYに電源を内蔵しているため、バスパワーデバイスは外部レギュレータを必要としません。

図 27.5 と 図 27.6 に、USB 接続用外部回路の例を示します。

図 27.5 に、セルフパワー状態でのUSBコネクタのOTG接続例を示します。

USBFSは、D+ラインのプルアップ抵抗と、D+およびD-ラインのプルダウン抵抗を制御します。SYSCFG.DPRPUビットとSYSCFG.DRPDビットで、ラインのプルアップとプルダウンを選択してください。デバイスコントローラモードでは、USBホストとの通信中にSYSCFG.DPRPUビットを0にすると、USBデータラインのプルアップ抵抗が無効になります。USBFSはこれを利用して、USBホストに対してデバイスのデータタッチを通知できます。

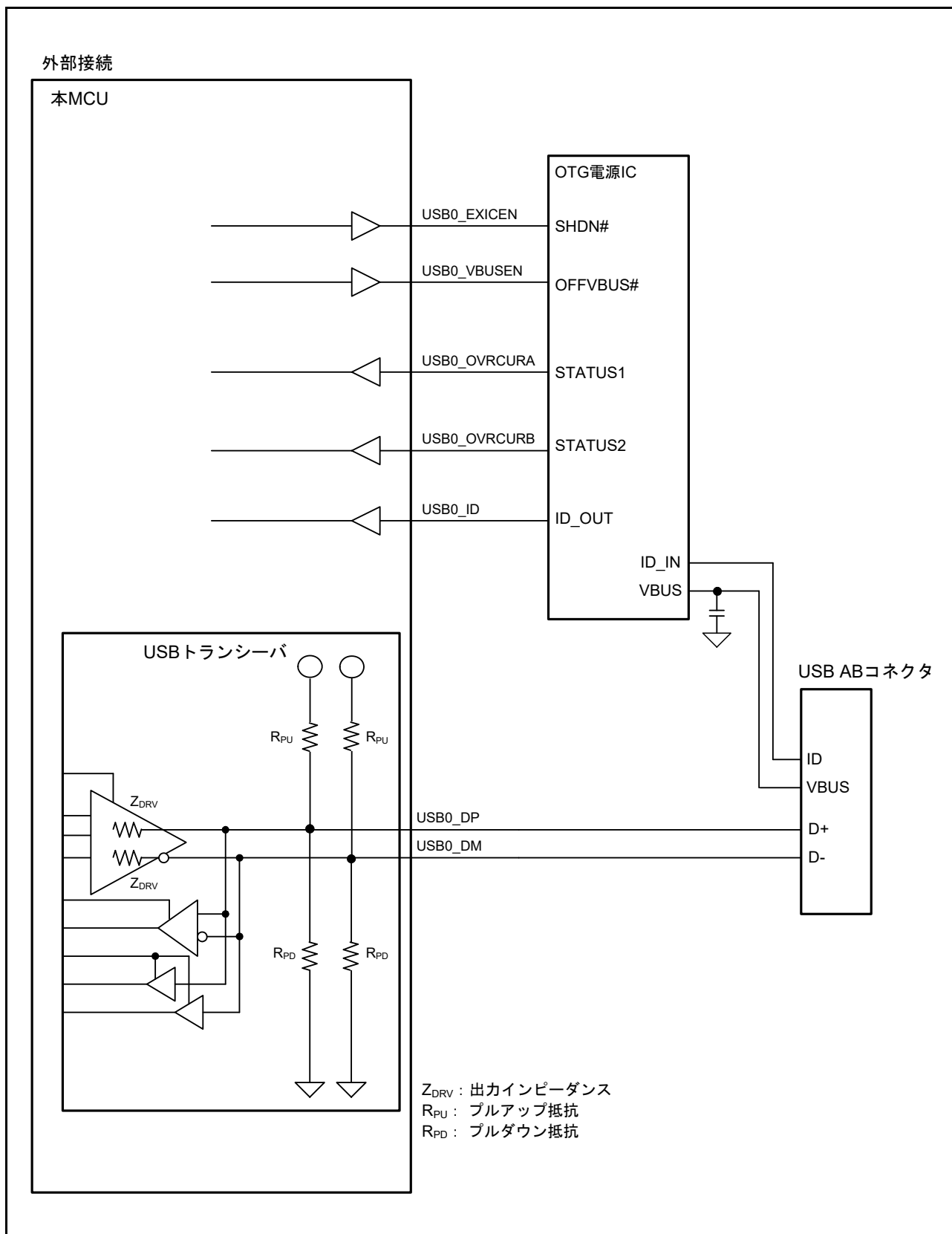


図 27.5 セルフパワー状態での OTG 接続例

図 27.6 に、セルフパワー状態での USB コネクタのファンクション接続例を示します。

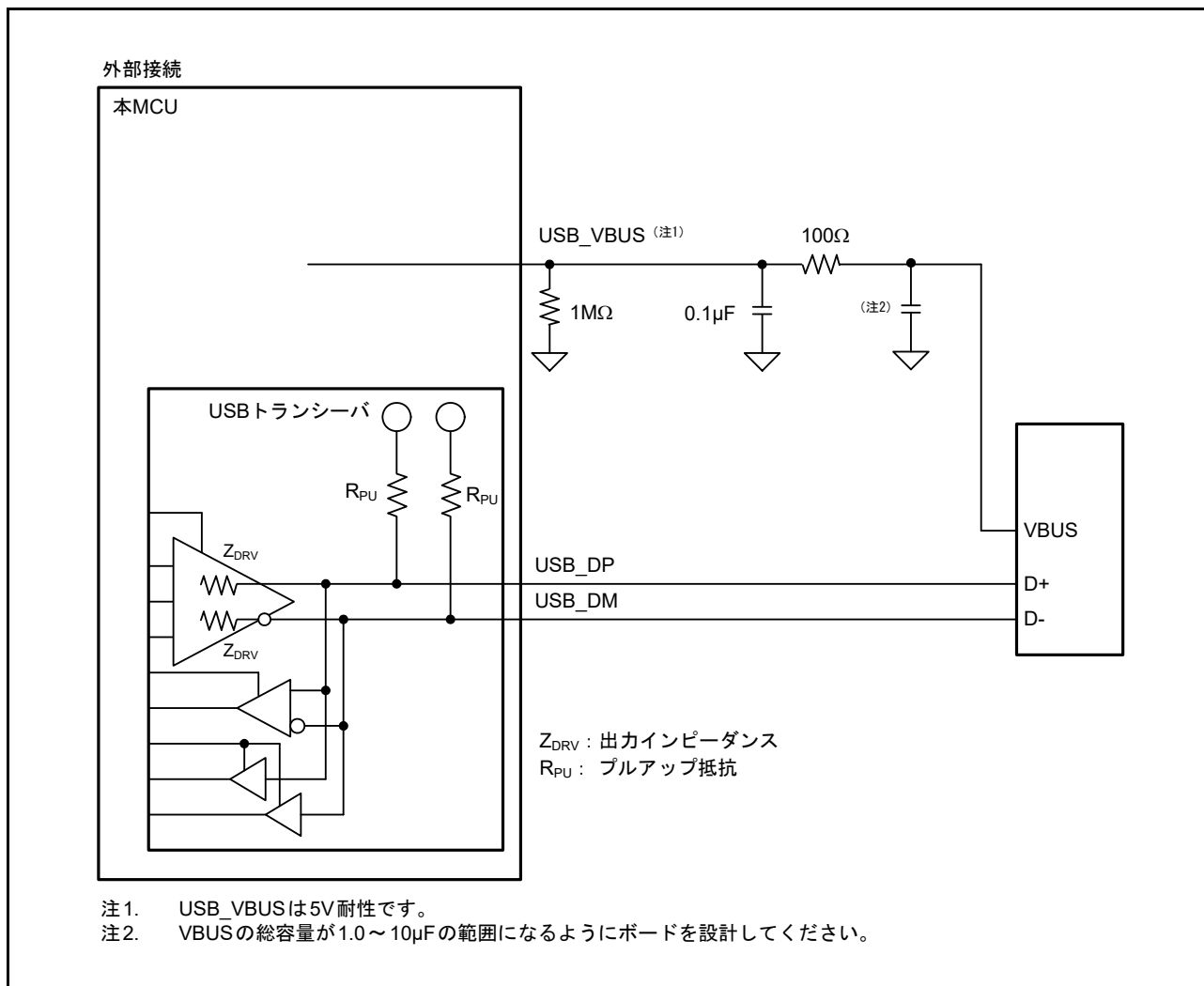


図 27.6 セルフパワー状態でのデバイス接続例

図 27.7 に、USB コネクタのホスト接続例を示します。

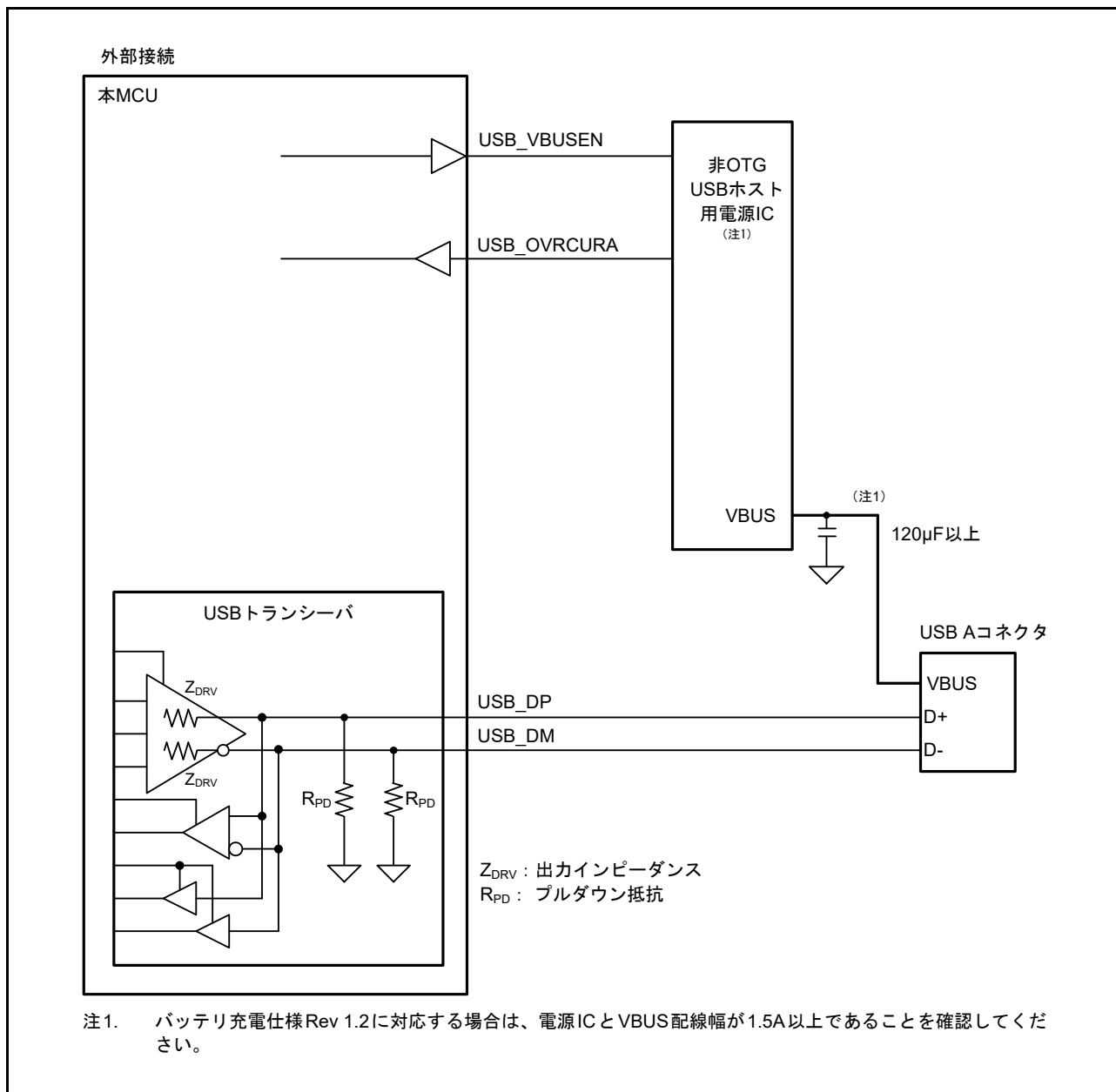


図 27.7 ホスト接続例

図 27.8 に、バスパワー状態での USB コネクタのファンクション接続例を示します。

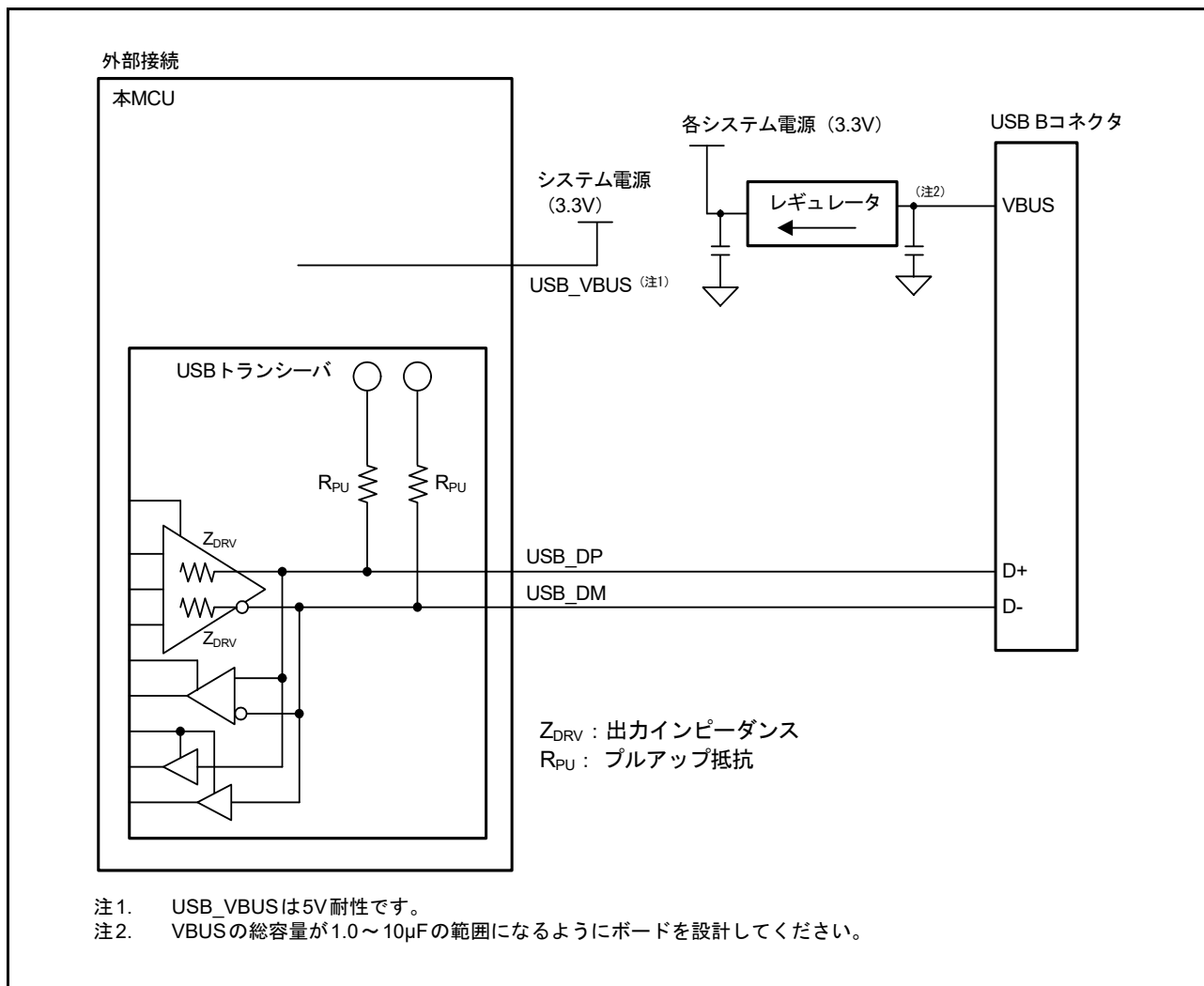


図 27.8 バスパワー状態 1 でのデバイス接続例

図 27.9 に、バスパワー状態 2 での USB コネクタのファンクション接続例を示します。

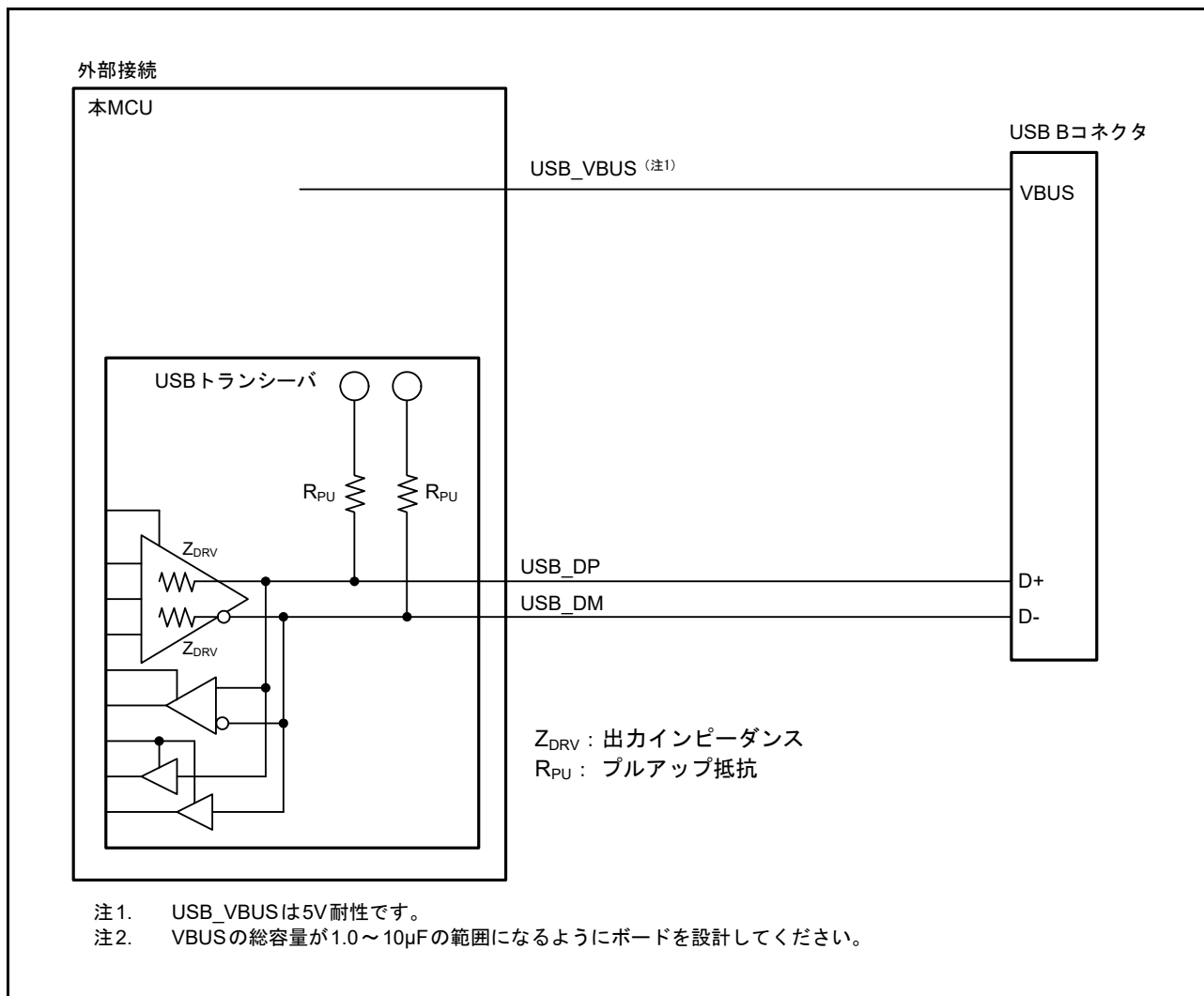


図 27.9 バスパワー状態 2 でのデバイス接続例

この節に記載の外部回路の例は、概略回路であり、すべてのシステムにおいて動作を保証するものではありません。

図 27.10 に、バッテリーチャージング仕様リビジョン 1.2 に対応した USB コネクタのファンクション接続例を示します。

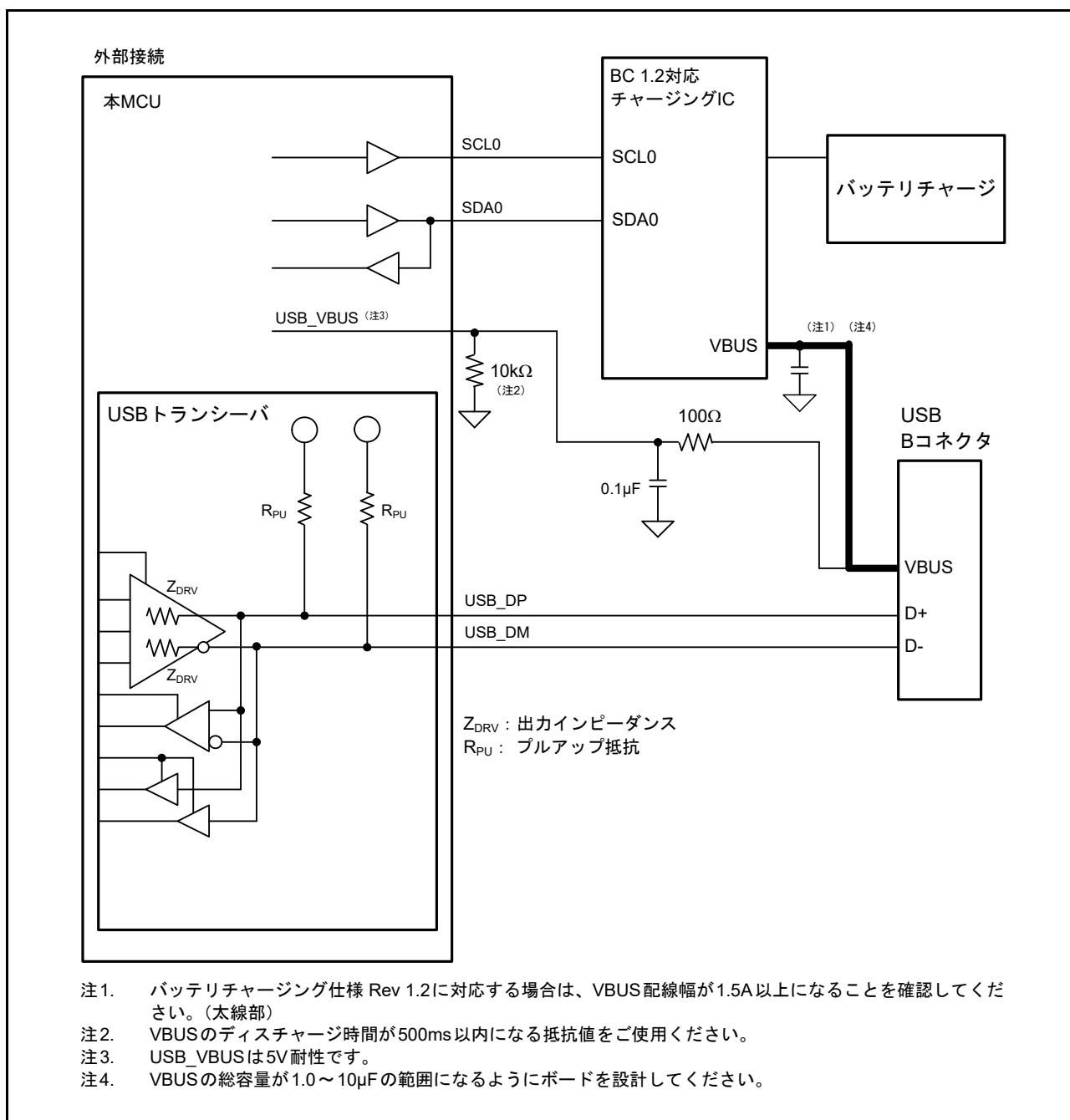


図 27.10 バッテリーチャージングリビジョン 1.2 に対応したファンクション接続例

27.3.2 割り込み要因

表 27.13 に、USBFS の割り込み要因一覧を示します。これらの割り込み発生条件が成立し、かつ対応する割り込みイネーブルレジスタで割り込み出力が許可されていると、割り込みコントローラユニットに対して USBFS 割り込み要求が発行されて、USBFS 割り込みが発生します。「13. 割り込みコントローラユニット (ICU)」を参照してください。

表 27.13 割り込み要因 (1/2)

1にするビット	名称	割り込み要因	対象となるコントローラ機能	ステータスフラグ
VBINT	VBUS 割り込み	<ul style="list-style-type: none"> USB_VBUS 入力端子の状態変化 (Low→High または High→Low) を検出したとき 	ホストまたはデバイス (注1)	INTSTS0. VBSTS
RESM	レジューム割り込み	<ul style="list-style-type: none"> Suspended ステートにおいて USB バスの状態変化を検出したとき (J-State→K-State または J-State→SE0) 	デバイス	—
SOFR	フレーム番号更新割り込み	ホストコントローラモード時： <ul style="list-style-type: none"> フレーム番号の異なる SOF パケットを送信したとき デバイスコントローラモード時： <ul style="list-style-type: none"> フレーム番号の異なる SOF パケットを受信したとき 	ホスト/ デバイス	—
DVST	デバイスステート遷移割り込み	以下のいずれかのデバイスステート遷移を検出したとき <ul style="list-style-type: none"> USB バスリセットの検出 Suspended ステートの検出 SET_ADDRESS リクエストの受信 SET_CONFIGURATION リクエストの受信 	デバイス	INTSTS0. DVSQ[2:0]
CTRT	コントロール転送ステージ遷移割り込み	以下のいずれかによってコントロール転送ステージ遷移を検出したとき <ul style="list-style-type: none"> セットアップステージの完了 コントロールライト転送ステータスステージ遷移の発生 コントロールリード転送ステータスステージ遷移の発生 コントロール転送の完了 コントロール転送シーケンスエラーの発生 	デバイス	INTSTS0. CTSQ[2:0]
BEMP	バッファエンブレディ割り込み	<ul style="list-style-type: none"> FIFO バッファ内の全データを送信してバッファが空になったとき 最大パケットサイズを超えるパケットを受信したとき 	ホスト/ デバイス	BEMPSTS. PIPEnBEMP
NRDY	バッファノットレディ割り込み	ホストコントローラモード時： <ul style="list-style-type: none"> 発行したトークンに対して周辺デバイスから STALL 応答を受信したとき 発行したトークンに対して周辺デバイスから応答を正しく受信できなかったとき (無応答が3回連続、またはパケット受信エラーが3回連続で発生) アイソクロナス転送中にオーバーランエラーまたはアンダーランエラーが発生したとき デバイスコントローラモード時： <ul style="list-style-type: none"> PID[1:0] ビットが 01b (BUF) のときに、IN トークンまたは OUT トークンに対して NAK を応答したとき アイソクロナス転送でのデータ受信中に CRC エラーまたはビットスタッフィングエラーが発生したとき アイソクロナス転送でのデータ受信中にオーバーランまたはアンダーランが発生したとき 	ホスト/ デバイス	NRDYSTS. PIPEnNRDY
BRDY	バッファレディ割り込み	<ul style="list-style-type: none"> バッファがレディ (読み出しまたは書き込み可能状態) になったとき 	ホスト/ デバイス	BRDYSTS. PIPEnBRDY
OVRCCR	オーバーカレント入力変化割り込み	<ul style="list-style-type: none"> USB_OVRCURA または USB_OVRCURB 入力端子の状態変化 (Low→High または High→Low) を検出したとき 	ホスト	INTSTS1. OVRCCR
BCHG	バス変化割り込み	<ul style="list-style-type: none"> USB バスの状態変化を検出したとき 	ホスト/ デバイス	SYSSTS0. LNST[1:0]
DTCH	フルスピード動作時データタッチ検出	<ul style="list-style-type: none"> フルスピード動作時に周辺デバイスのデータタッチを検出したとき 	ホスト	DVSTCTR0. RHST[2:0]
ATTCH	デバイスアタッチ検出	<ul style="list-style-type: none"> J-State または K-State を USB バスで 2.5μs 連続して検出したとき この割り込みは、周辺デバイスの接続の確認に使用できます	ホスト	—
EOFERR	EOF エラー検出	<ul style="list-style-type: none"> 周辺デバイスの EOF エラーを検出したとき 	ホスト	—

表 27.13 割り込み要因 (2/2)

1にするビット	名称	割り込み要因	対象となるコントローラ機能	ステータスフラグ
SACK	SETUP正常	• SETUPトランザクションの正常応答 (ACK) を受信したとき	ホスト	—
SIGN	SETUPエラー	• SETUPトランザクションエラー (無応答またはACKパケット破損) を3回連続で検出したとき	ホスト	—
PDDEINT0	ポータブルデバイス検出割り込み	• ポータブルデバイスのアタッチを検出したとき	ホスト	INTSTS1.PDDETINT0

注1. この割り込みは、ホストコントローラモードでも発生しますが、通常はホストコントローラモードでは使用しません。

図 27.11 に、USBFS の割り込みに関連する回路を示します。

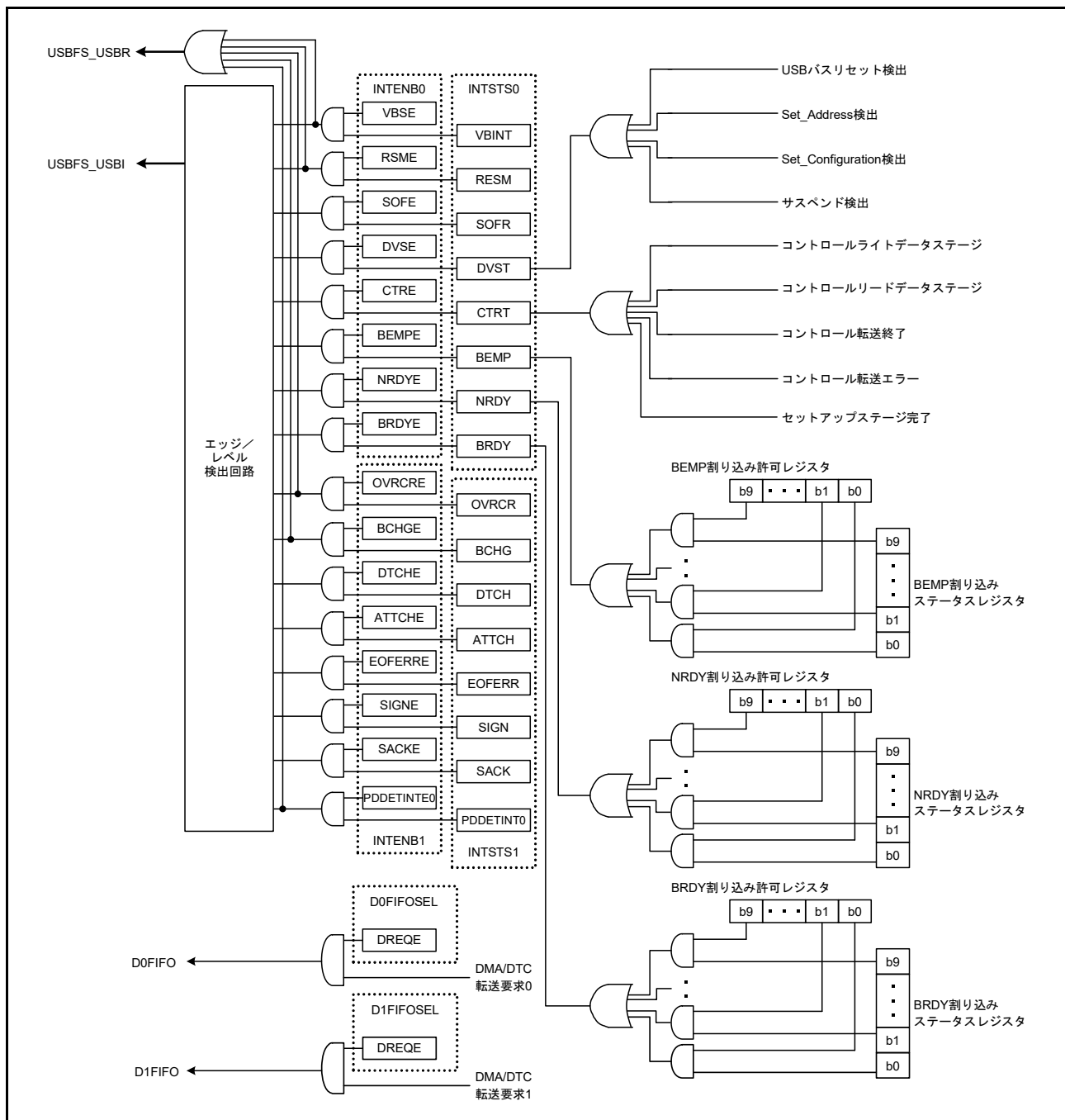


図 27.11 USBFS の割り込みに関連する回路

表 27.14 に、USBFS が発生させる割り込みを示します。

表 27.14 USBFSの割り込み

割り込み名	割り込みステータスフラグ	DTCの起動	DMACの起動	優先順位
D0FIFO	DMA転送要求0	可能	可能	高 ↑
D1FIFO	DMA転送要求1	可能	可能	
USBFS_USBI	VBUS割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み、オーバーカレント入力変化割り込み、バス変化割り込み、フルスピード動作時デタッチ検出、デバイスアタッチ検出、EOFエラー検出、SETUP正常、SETUPエラー、ポータブルデバイス検出割り込み	不可能	不可能	低
USBFS_USBR	VBUS割り込み、レジューム割り込み、オーバーカレント入力変化割り込み、バス変化割り込み、ポータブルデバイス検出割り込み	不可能	不可能	—

27.3.3 割り込みの説明

27.3.3.1 BRDY 割り込み

BRDY 割り込みは、ホストコントローラモードとデバイスコントローラモードの両方で発生します。本節では、USBFS が BRDYSTS レジスタの対応するビットを 1 にする条件について説明します。これらの条件下では、ソフトウェアで当該パイプに対応する BRDYENB レジスタのビットを 1 にして、さらに INTENB0.BRDYE ビットを 1 にしていると、USBFS は BRDY 割り込みを発生させます。

BRDY 割り込みの発生およびクリア条件は、以下のように、各パイプの SOFCFG.BRDYM ビットと PIPECFG.BFRE ビットの設定値によって異なります。

(1) SOFCFG.BRDYM = 0 かつ PIPECFG.BFRE = 0 のとき

この設定の場合、BRDY 割り込みは FIFO ポートがアクセス可能であることを示します。

下記条件のいずれかに該当する場合、USBFS は内部 BRDY 割り込み要求トリガを発生させ、選択パイプに対応する BRDYSTS.PIPEnBRDY ビットを 1 にします。

(a) 送信パイプの場合

- ソフトウェアで DIR ビットを 0 から 1 に変更したとき
- CPU からパイプの FIFO バッファへのライトアクセスが不可能な (BSTS ビットの読み出し値が 0 の) 状態で、そのパイプの packets 送信が完了したとき
- ダブルバッファモードにおいて、一方の FIFO バッファへの書き込み完了時に、もう一方の FIFO バッファが空であったとき
- 一方の FIFO バッファへの送信が完了しても、現在書き込み中の FIFO バッファへの書き込みが完了するまで、要求トリガは発生しません
- アイソクロナス転送のパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- PIPEnCTR.ACLRM ビットに 1 を書くことで、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては (すなわち、コントロール転送でのデータ送信においては)、要求トリガは発生しません。

(b) 受信パイプの場合

- CPU から当該パイプの FIFO バッファへのリードアクセスが不可能な (BSTS ビットの読み出し値が 0 の) 状態で、パケット受信が正常に完了したため、FIFO バッファの読み出しが可能になったとき。DATA-PID 不一致が発生したトランザクションに対しては、要求トリガは発生しません
- ダブルバッファモードにおいて、一方の FIFO バッファからの読み出し完了時に、もう一方の FIFO バッファも読み出し可能なとき。一方の FIFO バッファが受信を完了しても、現在読み出し中の FIFO バッファからの読み出しが完了するまで、要求トリガは発生しません

デバイスコントローラモードでは、コントロール転送のステータスステージで BRDY 割り込みは発生しません。選択パイプの PIPE_nBRDY 割り込みステータスは、ソフトウェアで対応する PIPE_nBRDY ビットに 0 を書くことにより、0 にすることが可能です。この場合、他のパイプの他の PIPEBRDY ビットは 1 である必要があります。BRDY ステータスのクリアは、FIFO バッファへアクセスする前に行ってください。

(2) SOFCFG.BRDYM = 0 かつ PIPECFG.BFRE = 1 のとき

この設定の場合、受信パイプによって 1 転送分の全データがすべて読み出されたときに、USBFS は BRDY 割り込みを発生させ、当該パイプに対応する BRDYSTS レジスタのビットを 1 にします。

下記条件のいずれかに該当する場合、USBFS は 1 転送分の最後のデータが受信されたと判定します。

- ショートパケット (Zero-Length パケットを含む) を受信したとき
- パイプ *n* トランザクションカウンタレジスタ (PIPE_nTRN) を使用し、PIPE_nTRN.TRNCNT[15:0] ビットで設定したパケット数をすべて受信したとき

指定した条件のいずれかが満たされた後、データの読み出しが完了したときに、USBFS は 1 転送分の全データがすべて読み出されたと判定します。

FIFO バッファが空の状態で Zero-Length パケットを受信した場合、FIFO ポートコントロールレジスタの FRDY ビットが 1、DTLN[8:0] ビットが 0 の時点で、USBFS は 1 転送分の全データがすべて読み出されたと判定します。この場合、次の転送を開始するには、対応するポートコントロールレジスタの BCLR ビットにソフトウェアで 1 を書いてください。この設定の場合、USBFS は送信パイプに対して BRDY 割り込みを検出しません。

パイプの PIPE_nBRDY 割り込みステータスは、ソフトウェアで対応する BRDYSTS.PIPE_nBRDY ビットに 0 を書くことにより、0 にすることが可能です。この場合、他の PIPE_nBRDY ビットは 1 である必要があります。

このモードを使用する場合、1 転送分の全データを処理するまで、PIPECFG.BFRE ビットの設定値を変更しないでください。処理の途中で PIPECFG.BFRE ビットを変更する必要がある場合は、PIPE_nCTR.ACLRM ビットを用いてパイプの FIFO バッファをすべてクリアする必要があります。

(3) SOFCFG.BRDYM = 1 かつ PIPECFG.BFRE = 0 のとき

この設定の場合、BRDYSTS.PIPE_nBRDY ビット値は、各パイプの BSTS ビットの設定値に連動します。すなわち、BRDY 割り込みステータスビット (PIPE_nBRDY) は、FIFO バッファの状態に応じて USBFS が 1 または 0 にします。

(a) 送信パイプの場合

BRDY 割り込みステータスビットは、FIFO バッファが書き込み可能な状態であれば 1 になり、そうでなければ 0 になります。送信方向の DCP が書き込み可能であっても、BRDY 割り込みは発生しません。

(b) 受信パイプの場合

BRDY 割り込みステータスビットは、FIFO バッファが読み出し可能な状態であれば 1 になり、全データが読み出されたとき (リードアクセスが不可能な状態で) 0 になります。

FIFO バッファが空の状態で Zero-Length パケットを受信した場合、ソフトウェアで BCLR ビットに 1 を書くまで、当該ビットは 1 になり、BRDY 割り込みが発生し続けます。この設定の場合、ソフトウェアで PIPE_nBRDY ビットを 0 にすることはできません。SOFCFG.BRDYM ビットが 1 のときは、全パイプの PIPECFG.BFRE ビットを 0 にしてください。

図 27.12 に、BRDY 割り込みの発生タイミングを示します。



図 27.12 BRDY 割り込みの発生タイミング

INTSTS0.BRDY ビットのクリア条件は、表 27.15 に示すように、SOFCFG.BRDYM ビットの設定値によって異なります。

表 27.15 BRDY ビットのクリア条件

BRDYM ビット	BRDY ビットのクリア条件
0	ソフトウェアでBRDYSTSレジスタの全ビットを0にしたとき
1	全パイプのBSTS ビットが0になったとき

27.3.3.2 NRDY 割り込み

ソフトウェアで PID ビットを BUF に設定したパイプに内部 NRDY 割り込み要求が発生すると、USBFS は対応する NRDYSTS.PIPE_nNRDY ビットを 1 にします。ソフトウェアで NRDYENB レジスタの対応するビットを 1 にしている場合、USBFS は INTSTS0.NRDY ビットを 1 にして、USBFS 割り込みを発生させます。

USBFS が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ホストコントローラモードでは、SETUP トランザクションの実行中に、内部 NRDY 割り込み要求は発生しません。ホストコントローラモードでは、SETUP トランザクション中に、SACK または SIGN 割り込みを検出します。

デバイスコントローラモードでは、コントロール転送ステータスステージの実行中に、内部 NRDY 割り込み要求は発生しません。

(1) ホストコントローラモード時

(a) 送信パイプの場合

以下のいずれかの条件で、USBFS は NRDY 割り込みを検出します。

- アイソクロナス転送のパイプにおいて、FIFO バッファに送信すべきデータがない状態で OUT トークンの発行タイミングに達したとき。このとき USBFS は、OUT トークンに続けて Zero-Length パケットを送信し、対応する NRDYSTS.PIPE_nNRDY ビットと、FRMNUM.OVRN ビットを 1 にします
- アイソクロナス転送以外のパイプにおいて、SETUP トランザクション以外の通信中に、以下の 2 つのケースの任意の組み合わせが 3 回連続して発生したとき：
 - 周辺デバイスから応答がないとき（周辺デバイスからのハンドシェイクパケットを検出する前に、タイムアウトが検出されたとき）
 - 周辺デバイスからのパケットにエラーが検出されたとき。このとき USBFS は、対応する PIPE_nNRDY ビットを 1 にして、当該パイプに対応する PID[1:0] ビット設定値を NAK に変更します
- SETUP トランザクション以外の通信中に、周辺デバイスから STALL ハンドシェイクを受信したとき。このとき USBFS は、対応する PIPE_nNRDY ビットを 1 にして、当該パイプの PID[1:0] ビット設定値を STALL (11b) に変更します

(b) 受信パイプの場合

- アイソクロナス転送のパイプにおいて、IN トークンの発行タイミングに達したが、FIFO バッファに空きがないとき。USBFS は、IN トークンに対する受信データを破棄し、当該パイプに対応する PIPE_nNRDY ビットと、OVRN ビットを 1 にします。さらに、IN トークンに対する受信データにパケットエラーを検出した場合は、USBFS は FRMNUM.CRCE ビットも 1 にします
- アイソクロナス転送以外のパイプにおいて、以下の 2 つのケースの任意の組み合わせが 3 回連続で発生したとき：
 - USBFS が発行した IN トークンに対して周辺デバイスから応答がないとき（周辺デバイスからの DATA パケットを検出する前に、タイムアウトが検出されたとき）
 - 周辺デバイスからのパケットにエラーが検出されたとき。USBFS は、対応する PIPE_nNRDY ビットを 1 にし、当該パイプに対応する PID[1:0] ビット設定値を NAK に変更します
- アイソクロナス転送のパイプにおいて、IN トークンに対して周辺デバイスから応答がないとき（周辺デバイスからの DATA パケットを検出する前に、タイムアウトが検出されたとき）、または周辺デバイスからのパケットにエラーが検出されたとき。USBFS は、当該パイプに対応する PIPE_nNRDY ビットを 1 にします。当該パイプの PID[1:0] ビットの設定値は変更されません
- アイソクロナス転送のパイプにおいて、受信したデータパケットに CRC エラーまたはビットスタッフィングエラーが検出されたとき。USBFS は、当該パイプに対応する PIPE_nNRDY ビットと、CRCE ビットを 1 にします

- STALL ハンドシェイクを受信したとき。USBFS は、当該パイプに対応する PIPE_nNRDY ビットを 1 にして、そのパイプの PID[1:0] ビットの設定値を STALL に変更します

(2) デバイスコントローラモード時

(a) 送信パイプの場合

- FIFO バッファに送信すべきデータがない状態で IN トークンを受信したとき。このとき USBFS は、IN トークン受信時に NRDY 割り込み要求を発生させ、NRDYSTS.PIPE_nNRDY ビットを 1 にします。割り込みが発生したアイソクロナス転送のパイプに対して、USBFS は Zero-Length パケットを送信し、FRMNUM.OVRN ビットを 1 にします

(b) 受信パイプの場合

- OUT トークンを受信したが、FIFO バッファに空きがないとき。割り込みが発生したアイソクロナス転送のパイプに対して、USBFS は OUT トークン受信時に NRDY 割り込み要求を発生させ、PIPE_nNRDY ビットを 1 にして、OVRN ビットを 1 にします。割り込みが発生したアイソクロナス転送以外のパイプに対しては、USBFS は、OUT トークンに続くデータ受信後の NAK ハンドシェイクを送信するときに、NRDY 割り込み要求を発生させ、PIPE_nNRDY ビットを 1 にします。DATA-PID 不一致による再送信時には、NRDY 割り込み要求は発生しません。また、DATA パケットにエラーがある場合も、NRDY 割り込み要求は発生しません
- アイソクロナス転送のパイプにおいて、インターバルフレーム内にトークンが正常に受信されなかったとき。USBFS は、SOF 受信時に NRDY 割り込み要求を発生させ、PIPE_nNRDY ビットを 1 にします

図 27.13 に、デバイスコントローラ選択時の NRDY 割り込みの発生タイミングを示します。

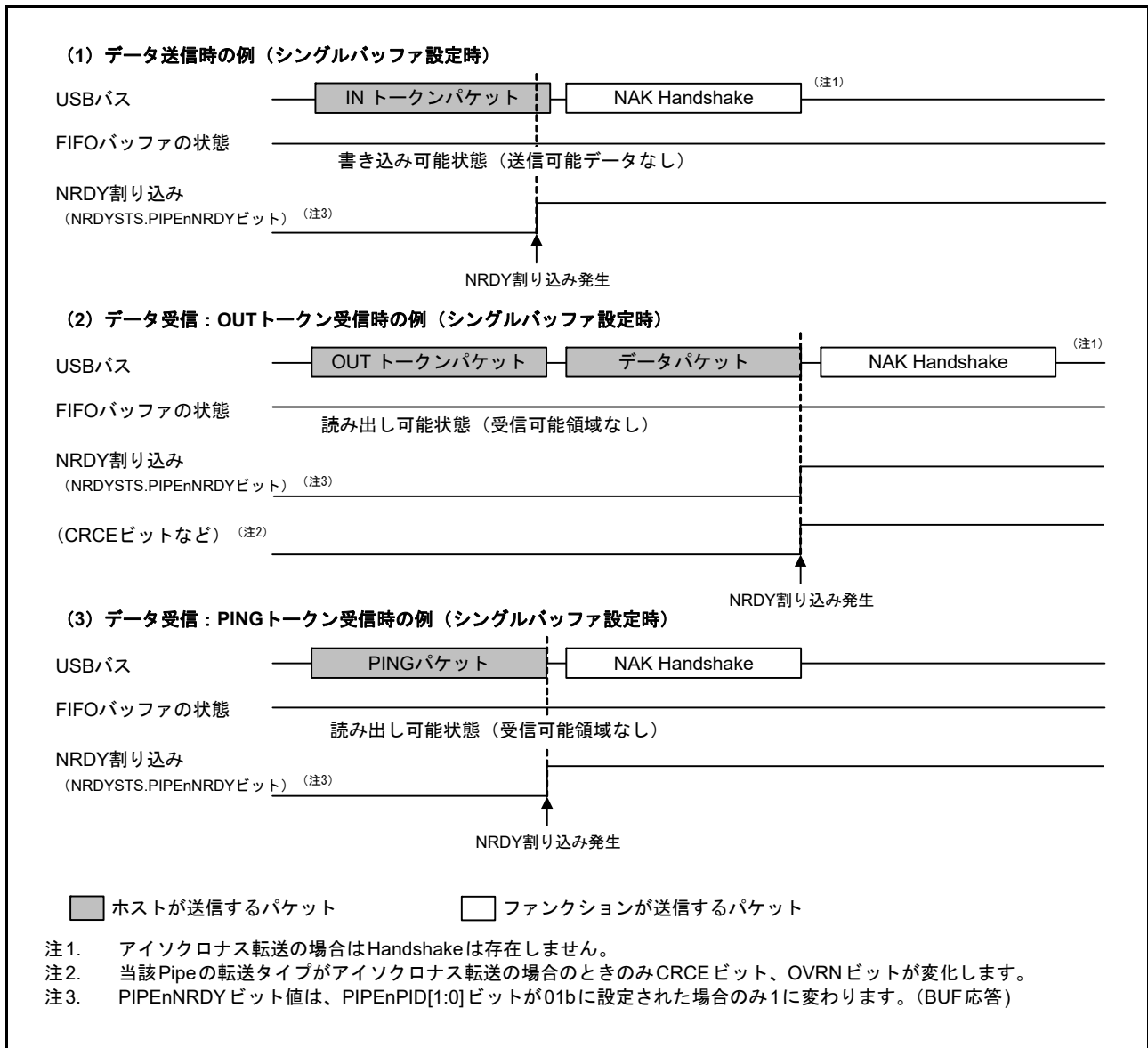


図 27.13 デバイスコントローラモードにおける NRDY 割り込みの発生タイミング

27.3.3.3 BEMP 割り込み

ソフトウェアで PID ビットを BUF に設定したパイプに、BEMP 割り込みが検出されると、USBFS は対応する BEMPSTS.PIPEnBEMP ビットを 1 にします。ソフトウェアで BEMPENB レジスタの対応するビットを 1 にしている場合、USBFS は INTSTS0.BEMP ビットを 1 にして、USBFS 割り込みを発生させます。本節では、USBFS が内部 BEMP 割り込み要求を発生させる条件について説明します。

(1) 送信パイプの場合

送信完了時 (Zero-Length パケットの送信時を含む) に、対応するパイプの FIFO バッファが空のとき、シングルバッファモードでは、DCP 以外のパイプに対して BRDY 割り込みと同時に内部 BEMP 割り込み要求が発生します。

下記条件のいずれかに該当する場合、内部 BEMP 割り込み要求は発生しません。

- ダブルバッファモードで、片方の FIFO バッファからのデータ送信完了時に、CPU または DMAC/DTC が、CPU 側の FIFO バッファへのデータ書き込みをすでに開始しているとき
- PIPEnCTR.ACLRM ビットまたはポートコントロールレジスタの BCLR ビットを 1 にして、バッファをクリア (空に) したとき
- デバイスコントローラモードのコントロール転送ステータスステージにおいて、IN 転送 (Zero-Length パケット送信) を実行したとき

(2) 受信パイプの場合

正常に受信したデータの packet サイズが、設定された最大 packet サイズを超えたとき、USBFS は BEMP 割り込み要求を発生させ、対応する BEMPSTS.PIPEnBEMP ビットを 1 にして、受信データを破棄し、当該パイプに対応する PID[1:0] ビット設定値を STALL (11b) に変更します。USBFS は、ホストコントローラモードでは応答を返しません。デバイスコントローラモードでは STALL 応答を行います。

下記条件のいずれかに該当する場合、内部 BEMP 割り込み要求は発生しません。

- 受信データに CRC エラーまたはビットスタッフィングエラーが検出されたとき
- SETUP トランザクションが実行されたとき
 - BEMPSTS.PIPEnBEMP ビットに 0 を書くと、ステータスがクリアされます
 - BEMPSTS.PIPEnBEMP ビットに 1 を書いても、何の影響もありません

図 27.14 に、デバイスコントローラモード時の BEMP 割り込みの発生タイミングを示します。

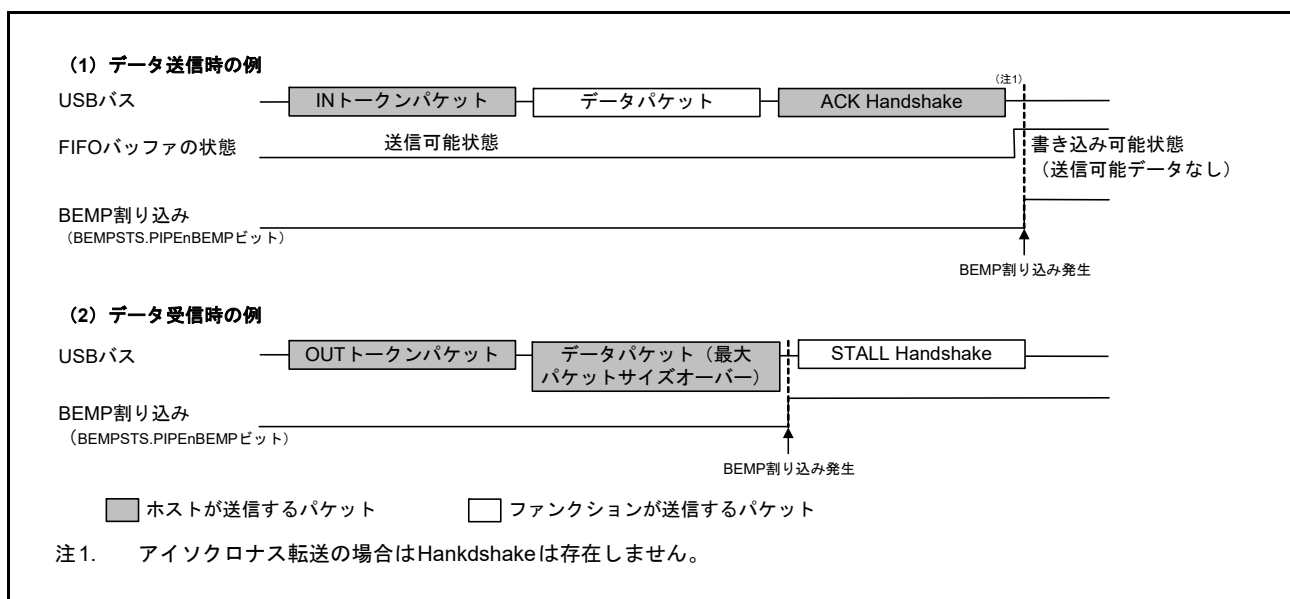


図 27.14 デバイスコントローラモード時の BEMP 割り込みの発生タイミング

27.3.3.4 デバイスステート遷移割り込み (デバイスコントローラモード)

図 27.15 に、USBFS のデバイスステート遷移図を示します。USBFS は、デバイスステートを管理して、デバイスステート遷移割り込みを発生させます。ただし、Suspended ステートからの復帰 (レジューム信号検出) は、レジューム割り込みによって検出します。デバイスステート遷移割り込みは、INTENB0 レジスタを用いて個別に許可または禁止にできます。ステートが変化したデバイスは、INTSTS0.DVSQ[2:0] ビットで確認できます。

Default ステートに遷移する場合は、USB バスリセットの検出後に、デバイスステート遷移割り込みが発生します。

USBFS はデバイスステートを管理して、デバイスコントローラモードでのみデバイスステート遷移割り込みを発生させます。

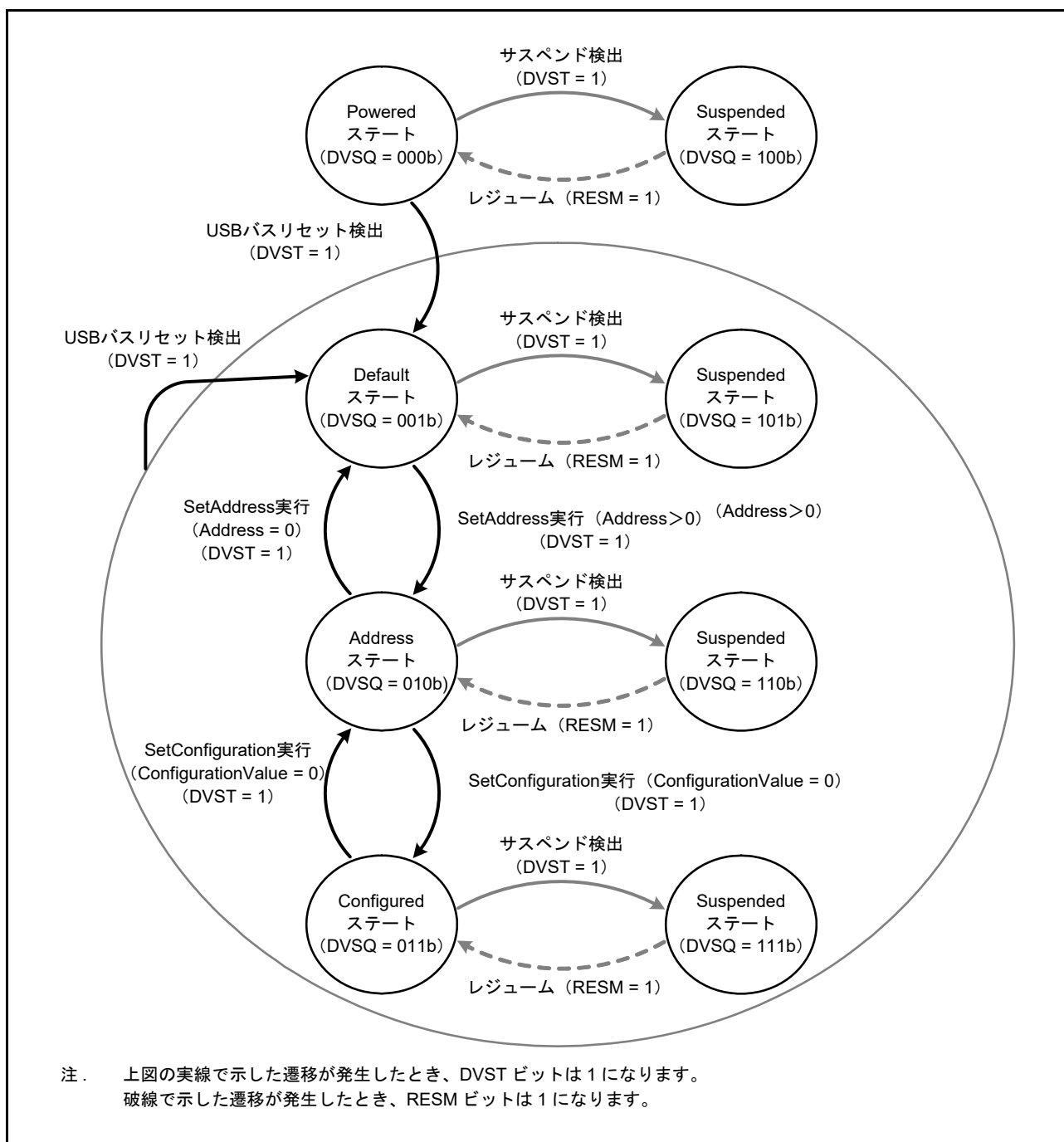


図 27.15 デバイスステートの遷移

27.3.3.5 コントロール転送ステージ遷移割り込み (デバイスコントローラモード)

図 27.16 に、USBFS のコントロール転送ステージ遷移図を示します。USBFS は、コントロール転送のシーケンスを管理して、コントロール転送ステージ遷移割り込みを発生させます。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に許可または禁止できます。遷移した転送ステージは、INTSTS0.CTSQ[2:0] ビットで確認できます。

コントロール転送ステージ遷移割り込みは、デバイスコントローラモードでのみ発生します。本節では、コントロール転送のシーケンスエラーについて説明します。エラーが発生した場合は、DCPCTR.PID[1:0] ビットが 1xb (STALL 応答) になります。

(1) コントロールリード転送エラー

- データステージの IN トークンに対して、一度もデータ転送していない状態で OUT トークンを受信
- ステータスステージで IN トークンを受信
- ステータスステージで DATAPID = DATA0 のデータパケットを受信

(2) コントロールライト転送エラー

- データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
- データステージで最初のデータパケットとして DATAPID = DATA0 のパケットを受信
- ステータスステージで OUT トークンを受信

(3) コントロールライトノーデータ転送エラー

- ステータスステージで OUT トークンを受信

コントロールライト転送のデータステージでは、受信データ長が USB リクエストの wLength 値を超えても、コントロール転送シーケンスエラーと認識されません。コントロールリード転送のステータスステージでは、Zero-Length パケット以外のパケットが ACK 応答によって受信され、転送が正常に終了します。

シーケンスエラーに対して CTRT 割り込みが発生した場合 (INTSTS0.CTRT = 1)、CTRT ビットが 0 になって割り込みステータスがクリアされるまで、CTSQ[2:0] = 110b の値が保持されます。CTSQ[2:0] = 110b が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。セットアップステージ完了のステータスは USBFS が保持しており、ソフトウェアによって割り込みステータスがクリアされると、USBFS が CTRT 割り込みを発生させます。

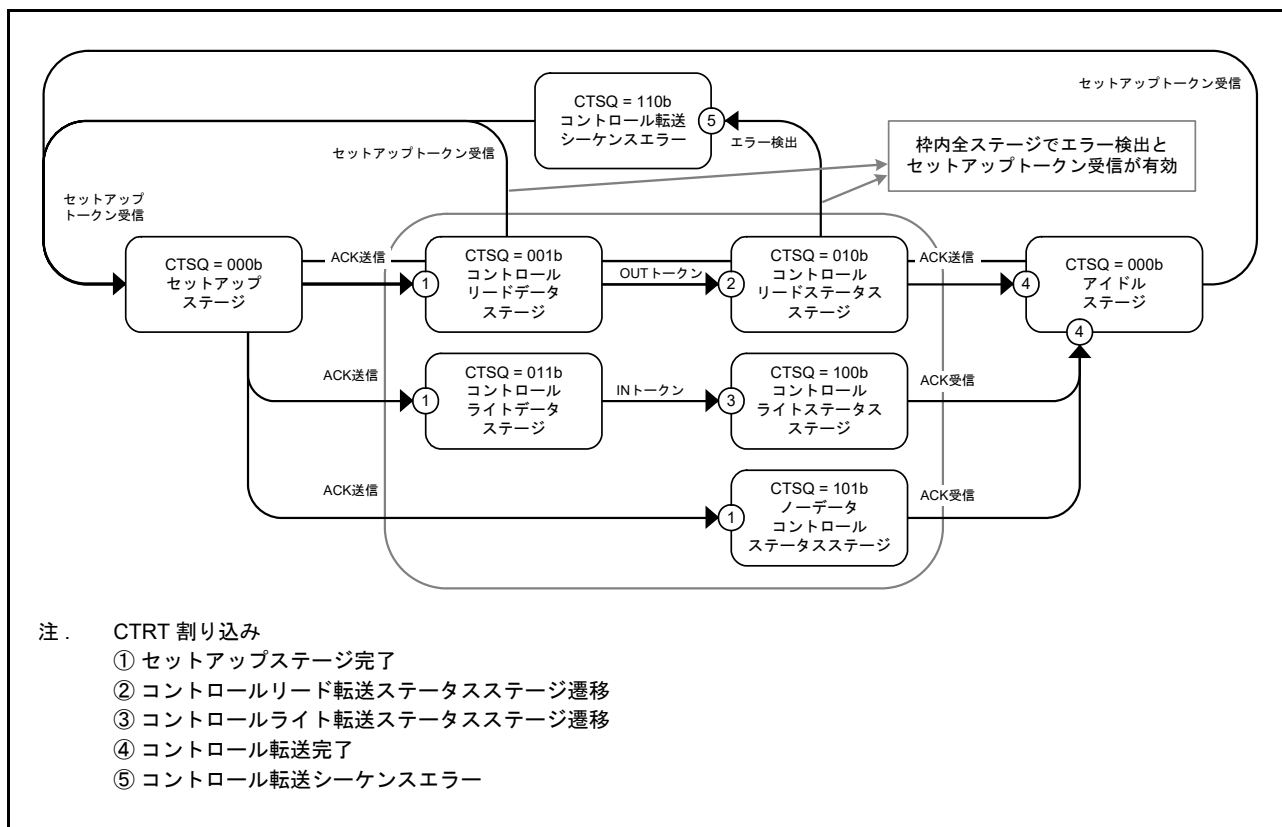


図 27.16 コントロール転送ステージの遷移

27.3.3.6 フレーム番号更新割り込み

ホストコントローラモードでは、フレーム番号が更新されると割り込みが発生します。

デバイスコントローラモードでは、フレーム番号が更新されると SOFR 割り込みが発生します。USBFS は、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生させます。

27.3.3.7 VBUS 割り込み

USB_VBUS 端子レベルに変化があった場合、VBUS 割り込みが発生します。USB_VBUS 端子のレベルは、INTSTS0.VBSTS ビットで確認できます。VBUS 割り込みによって、ホストコントローラの接続/切断の確認が可能です。ホストコントローラが接続された状態でシステムが起動された場合は、USB_VBUS 端子レベルが変化しないため、最初の VBUS 割り込みは発生しません。

27.3.3.8 レジューム割り込み

デバイスコントローラモードでは、デバイスが Suspended ステートのとき、USB バス状態が変化 (J-State から K-State へ、または J-State から SE0 へ変化) すると、レジューム割り込みが発生します。レジューム割り込みによって Suspended ステートからの復帰を検出します。

ホストコントローラモードでは、レジューム割り込みは発生しません。BCHG 割り込みを用いて、USB バス状態の変化を検出してください。

27.3.3.9 OVRCCR 割り込み

USB_OVRCURA または USB_OVRCURB 端子のレベルが変化した場合に、OVRCCR 割り込みが発生します。USB_OVRCURA 端子と USB_OVRCURB 端子のレベルは、SYSSTS0.OVCMON[1:0] ビットで確認できます。外部電源 IC は、OVRCCR 割り込みを用いてオーバーカレントが検出されたかどうかの確認が可能です。

OTG 接続時には、OVRCCR 割り込みによって、VBUS コンパレータの変化が検出されたかどうかの確認が可能です。

27.3.3.10 BCHG 割り込み

USB バス状態に変化があった場合に、BCHG 割り込みが発生します。ホストコントローラモードでは、BCHG 割り込みを用いて周辺デバイスのアタッチ検出が可能であり、また、リモートウェイクアップの検出にも利用できます。BCHG 割り込みは、ホストコントローラモードとデバイスコントローラモードの両方で発生します。

27.3.3.11 DTCH 割り込み

ホストコントローラモードでは、USB バスデタッチが検出されると、DTCH 割り込みが発生します。USBFS は、USB2.0 規格に従ってバスデタッチを検出します。

割り込みを検出した場合は、該当ポートに対して通信を行っている全パイプをソフトウェアで終了させる必要があります。通信を終了したパイプは、当該ポートへのバス接続 (ATTCH 割り込み発生) 待ちの状態に遷移します。対応する割り込み許可ビットとは無関係に、USBFS ハードウェアは以下の処理を行います。

- DTCH 割り込みが検出されたポートの DVSTCTR0.UACT ビットを 0 にする
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

27.3.3.12 SACK 割り込み

ホストコントローラモードでは、送信した Setup パケットに対して周辺デバイスから ACK 応答を受信すると、SACK 割り込みが発生します。SACK 割り込みを用いて、SETUP トランザクションが正常に終了したことを確認できます。

27.3.3.13 SIGN 割り込み

ホストコントローラモードでは、送信した Setup パケットに対して周辺デバイスから ACK 応答を 3 回連続して正常に受信できなかった場合に、SIGN 割り込みが発生します。SIGN 割り込みを用いて、周辺デバイスから ACK 応答が送信されないことや、ACK パケットの破損を検出することが可能です。

27.3.3.14 ATTCH 割り込み

ホストコントローラモードでは、USB ポートにフルスピード信号レベルの J-State または K-State が 2.5 μ s 間検出されると、ATTCH 割り込みが発生します。具体的には、ATTCH 割り込みは以下のいずれかの条件下で検出されます。

- K-State、SE0、または SE1 から J-State へ変化し、J-State が 2.5 μ s 間継続したとき
- J-State、SE0、または SE1 から K-State へ変化し、K-State が 2.5 μ s 間継続したとき

27.3.3.15 EOFERR 割り込み

USB 2.0 規格で定められている EOF2 のタイミングで通信が終了しないことを USBFS が検出すると、EOFERR 割り込みが発生します。

割り込みが検出された場合、該当ポートに対して通信を行っている全パイプをソフトウェアで終了させ、そのポートを再エニュメレーションする必要があります。対応する割り込み許可ビットとは無関係に、USBFS ハードウェアは以下の処理を行います。

- EOFERR 割り込みが検出されたポートの DVSTCTR0.UACT ビットを 0 にする
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

27.3.3.16 ポータブルデバイス検出割り込み

USB-PHY から出力された PDDET のレベル変化 (High から Low または Low から High) を USBFS が検出すると、ポータブルデバイス検出割り込みが発生します。ポータブルデバイス検出割り込みが発生した場合、信号のチャタリングを除去するため、同じ値が 3 回以上読み出されるまでソフトウェアで PDDETSTS0 ビットの読み出しを繰り返してください。

27.3.4 パイプコントロール

表 27.16 に、USBFS のパイプ設定項目一覧を示します。USB データ転送では、ソフトウェアがエンドポイントに関連付けた論理パイプによって、データ転送が行われます。USBFS にはデータ転送用に 10 本のパイプがあります。各パイプは、システムの仕様に合わせて設定してください。

表 27.16 パイプ設定項目

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE	転送タイプ	パイプ1～9：設定可能
	BFRE	BRDY 割り込みモード	パイプ1～5：設定可能
	DBLB	ダブルバッファ選択	パイプ1～5：設定可能
	DIR	転送方向選択	IN または OUT 設定可能
	EPNUM	エンドポイント番号	パイプ1～9：設定可能 パイプ使用時は 0000b 以外に設定
	SHTNAK	転送終了時のパイプ禁止選択	パイプ1～2：バルク転送時のみ設定可能 パイプ3～5：設定可能
DCPMAXP PIPEMAXP	DEVSEL	デバイス選択	ホストコントローラモード時のみ参照
	MXPS	最大パケットサイズ	USB2.0 規格に準拠
PIPEPERI	IFIS	バッファフラッシュ	パイプ1～2：アイソクロナス転送時のみ設定可能 パイプ3～9：設定不可能
	IITV	インターバルカウンタ	パイプ1～2：アイソクロナス転送時のみ設定可能 パイプ3～5：設定不可能 パイプ6～9：ホストコントローラモード時のみ設定可能
DCPCTR PIPECTR	BSTS	バッファステータス	DCP は、ISEL ビットで受信/送信バッファ状態を切り替えます。
	INBUFM	IN バッファモニタ	パイプ1～5のみ搭載
	SUREQ	SETUP リクエスト	DCP のみ設定可能、ホストコントローラモード時のみ制御
	SUREQCLR	SUREQ クリア	DCP のみ設定可能、ホストコントローラモード時のみ制御
	ATREPM	自動応答モード	パイプ1～5：デバイスコントローラモード時のみ設定可能
	ACLRM	自動バッファクリア	パイプ1～9：設定可能
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットの設定
	SQMON	シーケンスモニタ	データトグルビットの監視
	PBUSY	パイプビジーステータス	-
	PID	応答PID	27.3.4.6 応答PIDを参照してください。
PIPEnTRE	TRENB	トランザクションカウンタ許可	パイプ1～5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ1～5：設定可能
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ1～5：設定可能

27.3.4.1 パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタのビットは、USB 通信が禁止 (PID = NAK) されている場合に限り、書き換え可能です。

USB 通信が許可 (PID = BUF) されているときは、以下のレジスタおよびビットを変更しないでください。

- DCPCFG および DCPMAXP レジスタの各ビット
- DCPCTR レジスタの SQCLR および SQSET ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPEnCTR レジスタの ATREPM、ACLRM、SQCLR、および SQSET ビット
- PIPEnTRE および PIPEnTRN レジスタの各ビット

USB 通信が許可 (PID = BUF) されている場合に、上記の各ビットを設定するには、以下の手順で行ってください。

1. パイプコントロールレジスタのビット変更要求が発生します。
2. 当該パイプの PID[1:0] ビットを NAK に設定します。
3. 当該パイプの PBUSY ビットが 0 になるまで待ちます。
4. パイプコントロールレジスタのビットを設定します。

パイプコントロールレジスタのビットは、CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに選択パイプの情報が設定されていない場合に限り、書き換え可能です。

CURPIPE[3:0] ビットが設定されているときは、以下のレジスタを設定しないでください。

- DCPCFG および DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット

パイプ情報を変更する場合は、ポート選択レジスタの CURPIPE[3:0] ビットを、変更するパイプ以外のパイプに設定する必要があります。DCP については、パイプ情報の変更後、ポートコントロールレジスタの BCLR ビットを用いてバッファをクリアしなければいけません。

27.3.4.2 転送タイプ

PIPECFG.TYPE[1:0] ビットで、各パイプの転送タイプを以下のように指定します。

- DCP : 設定不要 (コントロール転送固定)
- パイプ 1 ~ 2 : バルク転送またはアイソクロナス転送に設定
- パイプ 3 ~ 5 : バルク転送に設定
- パイプ 6 ~ 9 : インタラプト転送に設定

27.3.4.3 エンドポイント番号

PIPECFG.EPNUM[3:0] ビットで、各パイプのエンドポイント番号を設定します。DCP は、エンドポイント 0 に固定されています。他のパイプは、エンドポイント 1 からエンドポイント 15 までの設定が可能です。

- DCP : 設定不要 (エンドポイント 0 固定)
- パイプ 1 ~ 9 : 1 から 15 までのエンドポイント番号を選択して設定してください。ただし、PIPECFG.DIR ビットと EPNUM[3:0] ビットの組み合わせが重複しないようにしてください

27.3.4.4 最大パケットサイズ設定

DCPMAXP.MXPS[6:0] ビットと PIPEMAXP.MXPS[8:0] ビットは、各パイプの最大パケットサイズを指定します。DCP とパイプ 1～5 は、USB2.0 規格で定義されているすべての最大パイプサイズに設定可能です。パイプ 6～9 では、最大パケットサイズは 64 バイトです。最大パケットサイズは、転送を開始 (PID = BUF) する前に、以下のように設定してください。

- DCP : 8、16、32、または 64 に設定
- パイプ 1～5 : バルク転送時は 8、16、32、または 64 に設定
- パイプ 1～2 : アイソクロナス転送時は 1～256 の値に設定
- パイプ 6～9 : 1～64 の値に設定

27.3.4.5 トランザクションカウンタ (受信方向パイプ 1～5)

USBFS は、データパケット受信方向で、指定回数のトランザクションが終了した場合に、転送終了と認識します。以下の 2 つのトランザクションカウンタがあります。

- 実行するトランザクション回数を指定する PIPEnTRN レジスタ
- 実行されたトランザクション回数を内部でカウントするカレントカウンタ

PIPECFG.SHTNAK ビットが 1 の状態で、カレントカウンタ値がトランザクションの指定回数に一致すると、対応する PIPEnCTR.PID[1:0] ビットが NAK に設定され、次の転送を禁止状態にします。PIPEnTRE.TRCLR ビットで、トランザクションカウンタ機能のカレントカウンタを初期化することにより、トランザクションを最初からカウントし直すことができます。PIPEnTRN レジスタから読み出されるデータは、PIPEnTRE.TRENB ビットの設定値に応じて以下のように異なります。

- TRENB ビット = 0 : 指定したトランザクションカウンタ値の読み出しが可能
- TRENB ビット = 1 : 内部でカウントした実行済みトランザクション回数を示すカレントカウンタ値の読み出しが可能

TRCLR ビットの操作には、以下の制約事項があります。

- トランザクションのカウント中で、PID = BUF の場合、カレントカウンタはクリアできない
- バッファ内にデータが残っている場合、カレントカウンタはクリアできない

27.3.4.6 応答 PID

DCPCTR および PIPEnCTR レジスタの PID[1:0] ビットは、各パイプの応答 PID を設定します。本節では、各応答 PID の設定値に対する USBFS の動作について説明します。

(1) ソフトウェアの応答 PID 設定 (ホストコントローラモード時)

応答 PID を選択して、以下のようにトランザクションの実行を指定します。

- NAK 設定 : パイプ禁止状態かつトランザクション実行なし
- BUF 設定 : FIFO バッファの状態に応じて下記のトランザクションを実行
 - OUT 方向の場合 : FIFO バッファに送信データがある場合、OUT トークンを発行
 - IN 方向の場合 : FIFO バッファに空きがあり受信可能な場合に、IN トークンを発行
- STALL 設定 : パイプ禁止状態かつトランザクション実行なし

注 . DCP の SETUP トランザクションを実行するには、DCPCTR.SUREQ ビットを使用してください。

(2) ソフトウェアの応答 PID 設定 (デバイスコントローラモード時)

応答 PID を選択して、以下のようにホストからのトランザクションに対する応答を指定します。

- NAK 設定：発生したすべてのトランザクションに対して NAK 応答を返す
- BUF 設定：FIFO バッファの状態に応じてトランザクションに応答する
- STALL 設定：発生したすべてのトランザクションに対して STALL 応答を返す

注． SETUP トランザクションに対しては、PID[1:0] ビットの設定にかかわらず、常に ACK 応答を返し、レジスタに USB リクエストを格納します。

以下の (3) および (4) では、特定のトランザクションの結果に従って、USBFS が PID[1:0] ビットに書き込みを行う状況について説明します。

(3) ハードウェアの応答 PID 設定 (ホストコントローラモード時)

- NAK 設定：以下の場合に PID = NAK となり、トークンの発行が自動的に停止
 - アイソクロナス以外の転送で、NRDY 割り込みが発生したとき
(詳細は、[27.3.3.2 NRDY 割り込み](#)を参照してください)
 - バルク転送において PIPECFG.SHTNAK ビットが 1 の場合に、ショートパケットを受信したとき
 - バルク転送において PIPECFG.SHTNAK ビットが 1 の場合に、トランザクションカウンタが終了したとき
- BUF 設定：USBFS によるこの設定の書き込みなし
- STALL 設定：以下の場合に PID = STALL となり、トークンの発行が自動的に停止
 - 送信したトークンに対して STALL を受信したとき
 - 受信したデータの packetsize が、最大 packetsize を超えたとき

(4) ハードウェアの応答 PID 設定 (デバイスコントローラモード時)

- NAK 設定：以下の場合に PID = NAK となり、トランザクションに対して NAK 応答を返す
 - SETUP トークンを正常に受信したとき (DCP のみ)
 - バルク転送において PIPECFG.SHTNAK ビットが 1 の場合に、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定：USBFS による BUF 書き込みなし
- STALL 設定：以下の場合に PID = STALL となり、トランザクションに対して STALL 応答を返す
 - 受信したデータの packetsize が、最大 packetsize を超えたとき
 - コントロール転送シーケンスエラーが検出されたとき (DCP のみ)

27.3.4.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、およびインタラプト転送において、データが正常に転送されると、USBFS がデータ PID のシーケンスビットを自動的にトグルします。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットで確認できません。データ送信時は ACK ハンドシェイク受信のタイミングでシーケンスビットが切り替わります。データ受信時は ACK ハンドシェイク送信のタイミングでシーケンスビットが切り替わります。DCPCTR レジスタおよび PIPEnCTR レジスタの SQCLR ビット、SQSET ビットで、データ PID シーケンスビットの変更が可能です。

デバイスコントローラモードでのコントロール転送では、ステージ遷移時に USBFS が自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 が返されます。ステータスステージではシーケンスビットは参照せず、PID=DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。ただし、ホストコントローラモードでのコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、ClearFeature リクエストの送受信では、ソフトウェアでデータ PID シーケンスビットを設定する必要があります。

27.3.4.8 応答 PID = NAK 機能

USBFS には、トランザクションの最後のデータパケットを受信したとき、パイプ動作を禁止（応答 PID = NAK）にする機能があります。USBFS は、ショートパケット受信またはトランザクションカウンタに基づいて、トランザクションの終了を自動識別します。PIPECFG.SHTNAK ビットを 1 にすると、この機能が有効になります。

FIFO バッファをダブルバッファモードで使用している場合に、転送単位でのデータパケットの受信が可能です。パイプ動作を禁止した場合は、ソフトウェアで再度パイプを許可（応答 PID = BUF）にする必要があります。

なお、応答 PID = NAK 機能は、バルク転送でのみ使用可能です。

27.3.4.9 自動応答モード

バルク転送のパイプ 1～5 において、PIPEnCTR.ATREPM ビットを 1 にすると、自動応答モードとなります。OUT 転送時 (PIPECFG.DIR ビット=0) では OUT-NAK モードとなり、IN 転送時 (DIR ビット=1) では Null 自動応答モードとなります。

27.3.4.10 OUT-NAK モード

バルク OUT 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、OUT トークンに対して NAK が返され、NRDY 割り込みを出力しません。通常モードから OUT-NAK モードへ遷移させるためには、パイプ動作が禁止 (PID[1:0] ビット = 00b (NAK 応答)) の状態で、OUT-NAK モードを指定してください。その後、パイプ動作を許可 (PID[1:0] ビット = 01b (BUF 応答)) にすると、OUT-NAK モードが有効になります。パイプ動作を禁止する直前で OUT トークンを受け付けた場合は、そのトークンのデータが正常に受信されて、ホストへ ACK が返されます。

OUT-NAK モードから通常モードへ遷移させるには、パイプ動作禁止 (NAK) の状態で OUT-NAK モードを解除してください。その後、パイプ動作を許可 (BUF) してください。通常モードでは、OUT データ受信が可能となります。

27.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ遷移させるには、パイプ動作禁止（応答 PID = NAK）の状態では Null 自動応答モードを指定してください。その後、パイプ動作を許可（応答 PID = BUF）にすると、Null 自動応答モードが有効になります。Null 自動応答モードの設定は、バッファが空でなければ不可能なため、事前に PIPEnCTR.INBUFM ビットが 0 であることを確認してください。INBUFM ビットが 1 の場合は、PIPEnCTR.ACLRM ビットでバッファを空にしてください。また、Null 自動応答モードへの遷移中は、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるには、パイプ動作禁止（応答 PID = NAK）の状態を Zero-Length パケット送信期間（約 10 μ s）だけ維持した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートへデータ書き込みが可能となり、パイプ動作許可（応答 PID = BUF）に設定することで、ホストへのパケット送信が可能となります。

27.3.5 FIFO バッファメモリ

USBFS は、データ転送用の FIFO バッファを備えており、各パイプに使用されるメモリ領域を管理しています。FIFO バッファには、アクセス権がシステム (CPU) にある場合と、USBFS (SIE) にある場合の 2 種類の状態があります。

(1) バッファステータス

表 27.17 と表 27.18 に、USBFS のバッファステータスを示します。FIFO バッファのステータスは、DCPCTR.BSTS および PIPE_nCTR.INBUFM ビットで確認できます。FIFO バッファの転送方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット (DCP 選択時) のいずれかで指定できます。INBUFM ビットは、送信方向のパイプ 1 ~ 5 に対して有効です。

送信側の転送パイプがダブルバッファモードを使用している場合、ソフトウェアは BSTS ビットを読み出して CPU の FIFO バッファステータスを監視することや、INBUFM ビットを読み出して SIE の FIFO バッファステータスを監視することが可能です。CPU または DMAC/DTC による FIFO ポートへのライトアクセスが遅く、BEMP 割り込みではバッファの空き状態を判別できない場合に、ソフトウェアは INBUFM ビットで送信の終了を確認できます。

表 27.17 BSTS ビットが示すバッファステータス

ISEL または DIR	BSTS	バッファメモリのステータス
0 (受信方向)	0	受信データなし、またはデータ受信中 FIFO ポートからの読み出し不可能
0 (受信方向)	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能 注. Zero-Length パケット受信時は読み出し不可能のためバッファクリアが必要
1 (送信方向)	0	送信未完了 FIFO ポートへの書き込み不可能
1 (送信方向)	1	送信完了 CPU は書き込み可能

表 27.18 INBUFM ビットが示すバッファステータス

DIR	INBUFM	バッファメモリのステータス
0 (受信方向)	無効	無効
1 (送信方向)	0	送信完了 送信待ちデータなし
1 (送信方向)	1	データが FIFO ポートからバッファへ書き込まれた状態 送信データあり

27.3.6 FIFO バッファクリア

表 27.19 に、FIFO バッファのクリア方式を示します。FIFO バッファは、ポートコントロールレジスタの BCLR ビット、DnFIFOSEL.DCLRM ビット、または PIPEnCTR.ACLRM ビットでクリアできます。

パイプ 1～5 に対しては、PIPECFG.DBLB ビットでシングルバッファまたはダブルバッファを選択できます。

表 27.19 バッファクリア方式一覧

FIFO バッファ クリアモード	CPU FIFO バッファのクリア	指定パイプのデータ読み出し後に 自動で FIFO バッファをクリアする モード	すべての受信パケットを 破棄するための自動バッファクリア モード
使用するレジスタ	CFIFOCTR DnFIFOCTR	DnFIFOSEL	PIPEnCTR
使用するビット	BCLR	DCLRM	ACLRM
クリア条件	1書き込みでクリア	1: モード有効 0: モード無効	1: モード有効 0: モード無効

(1) 自動バッファクリアモード機能

PIPEnCTR.ACLRM ビットを 1 にすると、USBFS は受信したすべてのデータパケットを破棄します。正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。自動バッファクリアモード機能は、FIFO バッファ読み出し方向にのみ設定可能です。

ACLRM ビットを 1 にした後、続けて 0 にすると、アクセス方向に関係なく、選択パイプの FIFO バッファがクリアされます。ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの 1 書き込みと 0 書き込みの間隔を 100ns 以上とってください。

27.3.7 FIFO ポートの機能

表 27.20 に、FIFO ポート機能の設定内容を示します。ライトアクセス時は、最大パケットサイズに達するまで書き込みを行うと、自動的にデータ送信が可能になります。最大パケットサイズに達する前に送信を可能とするには、ポートコントロールレジスタの BVAL フラグを書き込み終了に設定してください。Zero-Length パケットを送信するには、BCLR ビットでバッファをクリアした後、BVAL フラグを書き込み終了に設定してください。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケットの受信が可能になります。Zero-Length パケット受信時 (DTLN[8:0] ビット=0) は、データは読み出せないで、BCLR ビットによるバッファクリアが必要です。受信データ長は、ポートコントロールレジスタの DTLN[8:0] ビットで確認できます。

表 27.20 FIFOポート機能の設定

レジスタ名	ビット名	内容
CFIFOSEL, DnFIFOSEL (n = 0, 1)	RCNT	DTLN[8:0]読み出しモードを選択
	REW	FIFOバッファをリワインド (再読み出し、再書き込み)
	DCLRM	指定パイプの受信データ読み出し後、受信データの自動クリア (DnFIFO専用)
	DREQE	DMA/DTC転送許可 (DnFIFO専用)
	MBW	FIFOポートアクセスビット幅
	BIGEND	FIFOポートエンディアンを選択
	ISEL	FIFOポートアクセス方向 (DCP専用)
	CURPIPE	カレントパイプを選択
CFIFOCTR, DnFIFOCTR (n = 0, 1)	BVAL	FIFOメモリへの書き込みを終了
	BCLR	CPU FIFOバッファをクリア
	DTLN	受信データ長の確認

(1) FIFO ポート選択

表 27.21 に、各 FIFO ポートで選択可能なパイプを示します。ポート選択レジスタの CURPIPE[3:0] ビットで、アクセスするパイプを選択する必要があります。パイプを選択した後、書き込み値が CURPIPE[3:0] ビットから正しく読み出せたかどうかをソフトウェアで確認してください。前回のパイプ番号が読み出された場合は、USBFS がパイプ変更処理中であることを示します。次に、ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認します。

また、ポート選択レジスタの MBW ビットでアクセスするバス幅をソフトウェアで指定する必要があります。FIFO バッファアクセス方向は、PIPECFG.DIR ビットの設定値に従います。DCP のみ、ポート選択レジスタの ISEL ビットによって方向が決まります。

表 27.21 パイプ別FIFOポートアクセス

パイプ	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポートレジスタ
パイプ1~9	CPUアクセス	CFIFOポートレジスタ D0FIFO/D1FIFOポートレジスタ
	DMA/DTCアクセス	D0FIFO/D1FIFOポートレジスタ

(2) REW ビット

現在アクセス中のパイプへのアクセスを一時的に中断し、別のパイプにアクセスした後、再度、現在のパイプ処理を続行することが可能です。このような処理には、ポート選択レジスタの REW ビットを使用します。

REW ビットを 1 にした状態で、ポート選択レジスタの CURPIPE[3:0] ビットでパイプを選択すると、FIFO バッファの読み出しまたは書き込みポインタがリセットされ、先頭バイトからの読み出しまたは書き込みが可能になります。REW ビットを 0 にした状態でパイプを選択すると、ポインタをリセットせずに、前回選択時の続きから継続してデータの読み出しや書き込みが可能です。FIFO ポートにアクセスするには、パイプの選択後、ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認する必要があります。

27.3.8 DMA 転送 (D0FIFO/D1FIFO ポート)

(1) DMA 転送の概要

パイプ 1～9 に対して、DMAC による FIFO ポートのアクセスが可能です。DMA 転送用パイプのバッファアクセスを可能にすると、DMA 転送要求が発行されます。

DnFIFOSEL.MBW ビットで FIFO ポートへの転送単位を選択するとともに、DnFIFOSEL.CURPIPE[3:0] ビットで DMA 転送用のパイプを選択してください。なお、DMA 転送中は選択パイプを変更しないでください。

(2) DnFIFO 自動クリアモード (D0FIFO/D1FIFO ポート読み出し方向)

DnFIFOSEL.DCLRM ビットを 1 にすると、FIFO バッファからのデータ読み出し完了時に、USBFS は選択パイプの FIFO バッファを自動的にクリアします。

表 27.22 に、設定値ごとのパケット受信とソフトウェアによる FIFO バッファクリア処理を示します。この表に示すように、PIPECFG.BFRE ビットの設定値によってバッファクリア条件が異なります。バッファクリアが必要なすべての状況において、DnFIFOSEL.DCLRM ビットを使用することにより、ソフトウェアによるクリアが不要になります。すなわち、ソフトウェアの介在しない DMA 転送が可能となります。

DnFIFO 自動クリアモードは、FIFO バッファ読み出し方向でのみ設定可能です。

表 27.22 パケット受信とソフトウェアによる FIFO バッファクリア処理

パケット受信時の バッファステータス	レジスタ設定値			
	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

27.3.9 DCP を使用したコントロール転送

コントロール転送データステージでは、デフォルトコントロールパイプ (DCP) を使用してデータ転送が行われます。DCP の FIFO バッファは、コントロールリードとコントロールライトで共通の固定領域を持つ 64 バイトシングルバッファです。FIFO バッファは、CFIFO ポートでのみアクセス可能です。

27.3.9.1 ホストコントローラモードでのコントロール転送

(1) セットアップステージ

USBREQ、USBVAL、USBINDX、および USBLENG レジスタは、SETUP トランザクションの USB リクエストを送信するためのレジスタです。Setup パケットのデータをレジスタに書き込み、DCPCTR.SUREQ ビットに 1 を書き込むことで、設定されているデータが SETUP トランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると 0 になります。SUREQ ビットが 1 のときは、上記 USB リクエストレジスタを変更しないでください。

アタッチされたファンクションデバイスが検出された場合、ソフトウェアによって、DCPMAXP.DEVSEL[3:0] ビットを 0 にクリアし、DEVADD0.USBSPPD[1:0] ビットを適切に設定した上で、前述のシーケンスに従って当該デバイスの最初の SETUP トランザクションを発行してください。

アタッチされたファンクションデバイスが Address ステートに遷移した場合、ソフトウェアによって、割り当てられた USB アドレスを DEVSEL[3:0] ビットに設定し、指定された USB アドレスに対応する DEVADDn レジスタのビットを適切に指定した上で、前述のシーケンスに従って SETUP トランザクションを発行してください。たとえば、PIPEMAXP.DEVSEL[3:0] = 0010b であれば、DEVADD2 レジスタを適切に指定してください。PIPEMAXP.DEVSEL[3:0] = 0101b であれば、DEVADD5 レジスタを適切に設定してください。

SETUP トランザクションのデータが送信されると、周辺デバイスからの応答に基づいて割り込み要求が発生します (INTSTS1 レジスタの SIGN ビットまたは SACK ビット)。この割り込み要求により、ソフトウェアで SETUP トランザクションの結果を確認できます。

SETUP トランザクションの DATA0 データパケット (USB リクエスト) は、DCPCTR.SQMON ビットの状態にかかわらず、常に送信されます。

(2) データステージ

データステージは、DCP の FIFO バッファを使用してデータを転送するために使用します。DCP の FIFO バッファにアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。また、DCPCFG.DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットは、データ PID を DATA1 として転送する必要があります。DCPCTR.SQSET ビットでデータ PID を DATA1 に設定し、PID ビットを BUF に設定してください。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

コントロールライト転送では、送信データのバイト数が最大パケットサイズの整数倍であるときに、ソフトウェアで最後に Zero-Length パケットを送出してください。

(3) ステータスステージ

ステータスステージは、データステージとは逆方向の Zero-Length パケットのデータ転送を行うために使用します。データステージと同様に、DCP の FIFO バッファを使用してデータを転送します。データステージと同じ手順で、トランザクションを実行します。

ステータスステージのデータパケットは、DCPCTR.SQSET ビットでデータ PID を DATA1 に設定して送受信する必要があります。

Zero-Length パケットを受信した場合は、BRDY 割り込み発生後に CFIFOCTR.DTLN[8:0] ビットで受信データ長を確認してから、BCLR ビットで FIFO バッファをクリアしてください。

27.3.9.2 デバイスコントローラモードでのコントロール転送

(1) セットアップステージ

USBFS は、USBFS に対する正常な Setup パケットに対して ACK 応答を送信します。セットアップステージでの USBFS の動作を以下に示します。

新しい Setup パケットを受信すると、USBFS は以下のビットを設定します。

- INTSTS0.VALID ビットを 1 にする
- DCPCTR.PID[1:0] ビットを NAK にする
- DCPCTR.CCPL ビットを 0 にする

Setup パケットの後にデータパケットを受信すると、USBFS は、USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。

コントロール転送に対する応答処理は、VALID ビットを 0 にしてから実行してください。VALID ビットが 1 の状態では、PID = BUF に設定できず、データステージを終了することができません。

VALID ビットの機能により、USBFS は、コントロール転送中に新しい USB リクエストを受信すると、実行中の現在のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、USBFS は、受信した USB リクエスト内の方向ビット (bmRequestType のビット [8]) およびリクエストデータ長 (wLength) を自動検出します。USBFS は他にも、コントロールリード転送、コントロールライト転送、およびノーデータコントロール転送を判別し、ステージ遷移を管理します。間違っただけのシーケンスに対しては、コントロール転送ステージ遷移割り込みでシーケンスエラーが発生し、その割り込みがソフトウェアに通知されます。USBFS のステージ管理については、[図 27.16](#) を参照してください。

(2) データステージ

受信した USB リクエストに対応したデータ転送は、DCP を用いて行ってください。DCP の FIFO バッファにアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。

転送データが DCP の FIFO バッファサイズより大きい場合は、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

(3) ステータスステージ

DCPCTR.PID[1:0] ビットが BUF に設定された状態で、DCPCTR.CCPL ビットを 1 にすることにより、コントロール転送が終了します。

この設定後、セットアップステージで確定したデータ転送方向に従い、USBFS が自動的にステータスステージを実行します。詳細は以下のとおり実行されます。

- コントロールリード転送の場合
USBFS は、USB ホストから Zero-Length パケットを受信し、ACK 応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合
USBFS は、Zero-Length パケットを送信し、USB ホストから ACK 応答を受信します。

(4) コントロール転送自動応答機能

USBFS は、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーのいずれかが発生した場合は、ソフトウェアによる応答が必要です。

- bmRequestType が 00h でない場合：コントロールライト転送以外
- wIndex が 00h でない場合：リクエストエラー
- wLength が 00h でない場合：ノーデータコントロール転送以外
- wValue が 7Fh より大きい場合：リクエストエラー
- INTSTS0.DVSQ[2:0] ビットが 011b (Configured ステート) の場合：デバイスステートエラーのコントロール転送

SET_ADDRESS リクエスト以外のすべてのリクエストには、対応するソフトウェアによる応答が必要です。

27.3.10 バルク転送 (パイプ 1 ~ 5)

バルク転送では、FIFO バッファの使用方法 (シングル/ダブルバッファ設定) の選択が可能です。USBFS は、バルク転送用として下記の機能を備えています。

- BRDY 割り込み機能 (PIPECFG.BFRE ビット): [27.3.3.1 \(2\) SOFCFG.BRDYM = 0 かつ PIPECFG.BFRE = 1 のとき](#)を参照してください
- トランザクションカウント機能 (PIPE_nTRE.TRENB ビット、PIPE_nTRE.TRCLR ビット、PIPE_nTRN.TRNCNT[15:0] ビット): [27.3.4.5 トランザクションカウンタ \(受信方向パイプ 1 ~ 5\)](#) を参照してください
- 応答 PID = NAK 機能 (PIPECFG.SHTNAK ビット): [27.3.4.8 応答 PID = NAK 機能](#)を参照してください
- 自動応答モード (PIPE_nCTR.ATREPM ビット): [27.3.4.9 自動応答モード](#)を参照してください

27.3.11 インタラプト転送 (パイプ 6 ~ 9)

デバイスコントローラモードでは、USBFS は、ホストコントローラが指示するタイミングに基づいてインタラプト転送を行います。

ホストコントローラモードでは、インターバルカウンタを使用して、ソフトウェアでトークン発行タイミングを設定できます。

27.3.11.1 ホストコントローラモードでのインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERL.IITV[2:0] ビットにトランザクションのインターバルを指定します。USBFS は、このインターバルに基づいてインタラプト転送のトークンを発行します。

(1) カウンタの初期化

USBFS は、以下の条件でインターバルカウンタを初期化します。

- パワーオンリセット
IITV[2:0] ビットが初期化されます。
- PIPEnCTR.ACLRM ビットを使用した FIFO バッファの初期化
IITV[2:0] ビットは初期化されませんが、カウント値は初期化されます。PIPEnCTR.ACLRM ビットを 0 にすると、IITV[2:0] ビットの設定値からカウントを開始します。

なお、下記の場合にはインターバルカウンタは初期化されません。

- USB バスリセット、または USB Suspended ステート
IITV[2:0] ビットは初期化されません。DVSTCTR0.UACT ビットを 1 にすることにより、USB バスリセット状態または USB Suspended ステートとなる前に保存された値からカウントが開始します。

(2) トークン発生タイミングにもかかわらずトークンの送受信ができない場合の動作

以下の場合、トークンの発生タイミングであってもトークンは発生しません。USBFS は次のインターバルにトランザクションの実行を試みます。

- PID を NAK または STALL に設定した場合
- 受信 (IN) 方向でのトークン送信時に、FIFO バッファに空き領域がない場合
- 送信 (OUT) 方向でのトークン送信時に、FIFO バッファに送信データがない場合

27.3.12 アイソクロナス転送 (パイプ 1 ~ 2)

USBFS は、アイソクロナス転送用として下記の機能を備えています。

- アイソクロナス転送のエラー通知
- インターバルカウンタ (PIPEPERL.IITV[2:0] ビットで指定)
- アイソクロナス IN 転送データセットアップ制御 (IDLY 機能)
- アイソクロナス IN 転送バッファフラッシュ機能 (PIPEPERL.IFIS ビットで指定)

27.3.12.1 アイソクロナス転送のエラー検出

USBFS は、アイソクロナス転送時に発生したエラーをソフトウェアで管理できるようにするため、下記エラーの検出機能を備えています。表 27.23 および表 27.24 に、USBFS によるエラー検出の優先順位と、関連する割り込みを示します。

(a) PID エラー

- 受信パケットの PID 値が不正な場合

(b) CRC エラー、ビットスタッフィングエラー

- 受信パケットに CRC エラーがあった場合、またはビットスタッフィングが無効な場合

(c) 最大パケットサイズオーバーエラー

- 受信パケットのデータサイズが、最大パケットサイズの設定値を越えた場合

(d) オーバーランエラー、アンダーランエラー

ホストコントローラモード時：

- IN (受信) 方向でのトークン送信時に、FIFO バッファに空き領域がない場合
- OUT (送信) 方向でのトークン送信時に、FIFO バッファに送信データがない場合

デバイスコントローラモード時：

- IN (送信) 方向でのトークン受信時に、FIFO バッファに送信データがない場合
- OUT (受信) 方向でのトークン受信時に、FIFO バッファに空き領域がない場合

(e) インターバルエラー

デバイスコントローラモードでは、以下の場合にインターバルエラーとして処理されます。

- アイソクロナス IN 転送時に、インターバルフレーム内に IN トークンを受信できなかった場合
- アイソクロナス OUT 転送時に、インターバルフレーム内に OUT トークンを受信できなかった場合

表 27.23 トークンの送受信に関するエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	ホストコントローラモードでも、デバイスコントローラモードでも、割り込みは発生しません (破損パケットとして無視されます)。
2	CRCエラー、ビットスタッフィングエラー	ホストコントローラモードでも、デバイスコントローラモードでも、割り込みは発生しません (破損パケットとして無視されます)。
3	オーバーランエラー、アンダーランエラー	ホストコントローラモードでも、デバイスコントローラモードでも、NRDY 割り込みが発生し、FRMNUM.OVRN ビットが1になります。 デバイスコントローラモードでは、IN トークンに対して Zero-Length パケットを送信します。OUT トークンに対してはデータパケットを受信しません。
4	インターバルエラー	デバイスコントローラモードでは、NRDY 割り込みが発生します。ホストコントローラモードでは、割り込みは発生しません。

表 27.24 データパケットの受信に関するエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	割り込みは発生しません（破損パケットとして無視されます）。
2	CRCエラー、ビットスタッフィングエラー	ホストコントローラモードでも、デバイスコントローラモードでも、NRDY割り込みが発生し、FRMNUM.CRCE ビットが1になります。
3	最大パケットサイズオーバーエラー	ホストコントローラモードでも、デバイスコントローラモードでも、BEMP割り込みが発生し、PID[1:0] ビットがSTALLに設定されます。

27.3.12.2 DATA-PID

デバイスコントローラモードでは、USBFS は受信 PID に対して以下のように応答します。

(1) IN 方向の場合

- DATA0：データパケットの PID として送信
- DATA1：送信しない
- DATA2：送信しない
- mData：送信しない

(2) OUT 方向の場合

- DATA0：データパケットの PID として正常受信
- DATA1：データパケットの PID として正常受信
- DATA2：パケットを無視
- mData：パケットを無視

27.3.12.3 インターバルカウンタ

アイソクロナス転送のインターバルは、PIPEPERI.IITV[2:0] ビットで設定できます。デバイスコントローラモードでは、インターバルカウンタによって、表 27.25 に示す機能を実現します。ホストコントローラモードでは、USBFS はトークン発行タイミングを生成し、インターバルカウンタの動作はインタラプト転送の場合と同じです。

表 27.25 デバイスコントローラモード時のインターバルカウンタ機能

転送方向	機能	検出条件
IN	送信バッファのフラッシュ	アイソクロナスIN転送時にインターバルフレーム内にINトークンを正常受信できない。
OUT	トークン未受信の通知	アイソクロナスOUT転送時にインターバルフレーム内にOUTトークンを正常受信できない。

インターバルのカウンタは、SOF の受信時または補完された SOF で行われるので、SOF が破損していても等時性を保つことができます。設定できるフレーム間隔は 2^{IITV} フレームです。

(1) デバイスコントローラモードでのカウンタの初期化

USBFS は、以下の条件でインターバルカウンタを初期化します。

- パワーオンリセット：
PIPEPERI.IITV[2:0] ビットが初期化されます。
- ACLRM ビットを使用した FIFO バッファの初期化：
IITV[2:0] ビットは初期化されませんが、カウンタ値は初期化されます。

インターバルカウンタが初期化されると、パケットを正常に転送した後に、下記のどちらかの条件でインターバルのカウンタを開始します。

- PID = BUF のときに IN トークンに対してデータを送信後、SOF を受信した場合
- PID = BUF のときに OUT トークンに対してデータを受信後、SOF を受信した場合

なお、下記の条件ではインターバルカウンタは初期化されません。

- PID[1:0] ビットを NAK または STALL に設定した場合
インターバルタイムは停止しません。USBFS は次のインターバルにトランザクションの実行を試みます。
- USB バスリセットまたは USBFS サスペンドの場合
IITV[2:0] ビットは初期化されません。SOF を受信すると、SOF 受信前の設定値からインターバルカウンタのカウンタを開始します。

(2) ホストコントローラモードでのインターバルカウンタと転送制御

USBFS は、PIPEPERI.IITV[2:0] ビットの設定値に従って、トークン発行間隔を制御します。具体的には、USBFS は 2^{IITV} 回のフレームに 1 回の間隔で、選択パイプに対するトークンを発行します。

USBFS は、ソフトウェアで PID[1:0] ビットを BUF に設定したフレームの次のフレームから、トークン発行間隔のカウンタを開始します。

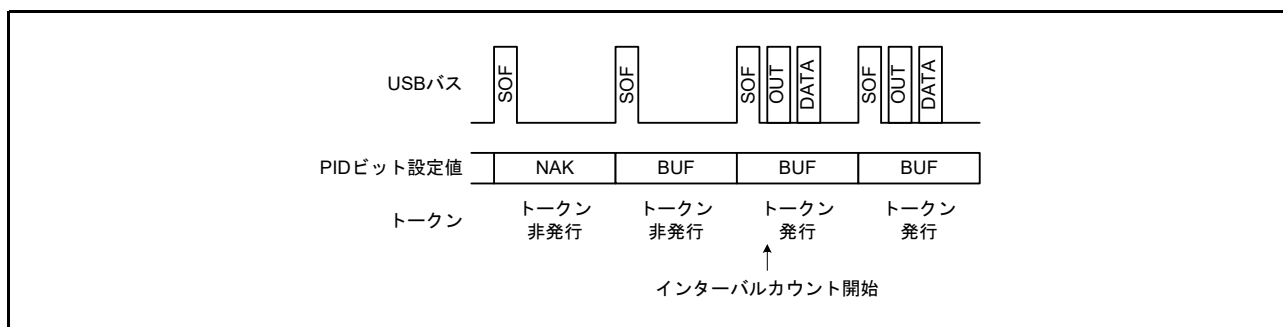


図 27.17 IITV[2:0] = 0 の場合のトークン発行

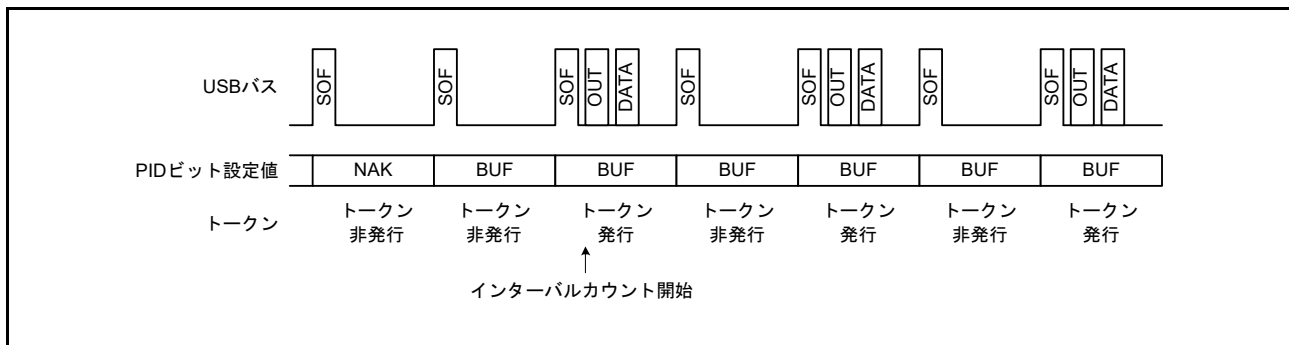


図 27.18 IITV[2:0] = 1 の場合のトークン発行

選択パイプの転送タイプがアイソクロナスの場合、USB はトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件が成立する場合でも、USB はトークンを発行します。

(a) 選択パイプがアイソクロナス IN 転送パイプの場合

USBFS は、IN トークンを発行しても周辺デバイスからパケットを正常受信しなかった場合（無応答やパケットエラーの場合）、NRDY 割り込みを発生させます。

CPU または DMAC/DTC が FIFO バッファからデータを読み出すのが遅いことが原因で FIFO バッファがフルであるため、USBFS がデータを受信できない状態で IN トークン発行タイミングが起こった場合、USBFS は FRMNUM.OVRN ビットを 1 にして、NRDY 割り込みを発生させます。

(b) 選択パイプがアイソクロナス OUT 転送パイプの場合

CPU または DMAC/DTC が FIFO バッファにデータを書き込むのが遅いことが原因で、送信可能なデータが FIFO バッファにない状態で OUT トークン発行タイミングが起こった場合、USBFS は OVRN ビットを 1 にして、NRDY 割り込みを発生させ、Zero-Length パケットを送信します。

以下のいずれかの条件で、トークン発行間隔がリセットされます。

- USBFS がリセット端子でリセットされた場合
IITV[2:0] ビットが初期化されます。
- ソフトウェアで PIPEnCTR.ACLRM ビットを 1 にした場合

(3) デバイスコントローラモードでのインターバルカウントと転送制御

(a) 選択パイプがアイソクロナス OUT 転送パイプの場合

PIPEPERI.IITV[2:0] ビットに設定したインターバル中にデータパケットを受信できなかった場合、USBFS は NRDY 割り込みを発生させます。

データパケットに CRC エラーなどのエラーが含まれていた場合や、FIFO バッファがフルのために USBFS がデータを受信できなかった場合も、USBFS は NRDY 割り込みを発生させます。

NRDY 割り込みの発生タイミングは、SOF パケットの受信時です。SOF パケットが破損している場合でも、内部補完機能によって、SOF パケットの受信時に割り込みを発生させることが可能です。ただし、IITV[2:0] ビットが 0 以外になっていると、インターバルカウント開始後のインターバルごとに、USBFS は SOF パケットの受信時に NRDY 割り込みを発生させます。

インターバルタイマの起動後、ソフトウェアで PID[1:0] ビットを NAK に設定した場合は、USBFS は SOF パケットを受信しても NRDY 割り込みを発生させません。

インターバルのカウント開始タイミングは、下記のように、IITV[2:0] ビットの設定値によって異なります。

- IITV[2:0] ビット = 0 の場合：
選択パイプの PID[1:0] ビットを 01b (BUF) に変更した時点でインターバルのカウントを開始します。

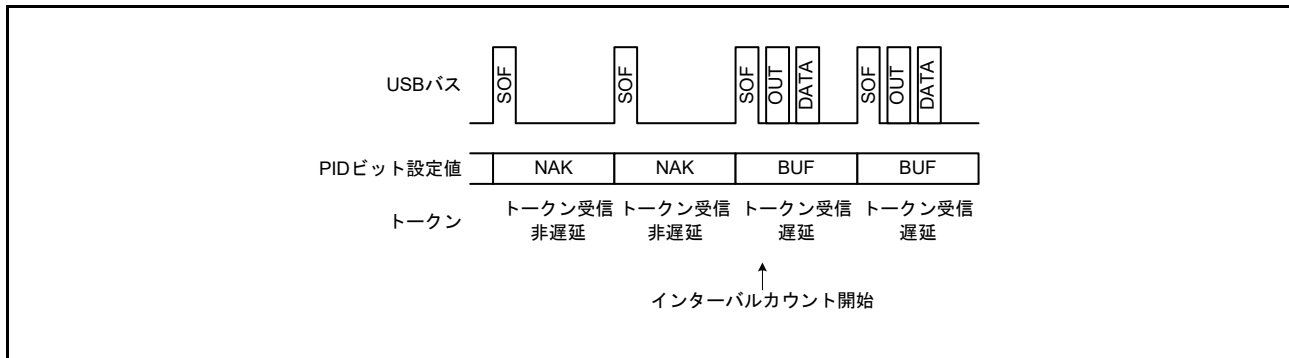


図 27.19 フレームとトークン受信待機の関係 (IITV[2:0] = 0 の場合)

- IITV[2:0] ≠ 0 の場合: 選択パイプの PID[1:0] ビットが BUF に変更された後、最初のデータパケットの正常受信完了時にインターバルのカウントが開始されます

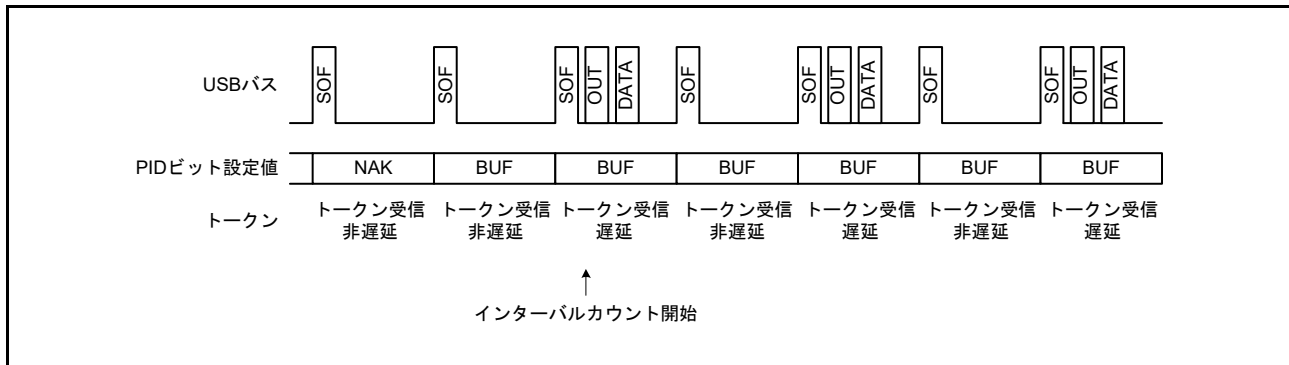


図 27.20 フレームとトークン受信待機の関係 (IITV[2:0] ≠ 0 の場合)

(b) 選択パイプがアイソクロナス IN 転送パイプの場合

この場合、PIPEPERI.IFIS ビットを 1 にする必要があります。IFIS ビットが 0 の場合、PIPEPERI.IITV[2:0] ビットの設定値とは無関係に、USBFS は受信したトークンにตอบสนองしてデータパケットを送信します。

IFIS ビットが 1 で、FIFO バッファに送信可能なデータがある場合、IITV[2:0] ビットに設定したインターバルでフレーム中に IN トークンを受信できないと、USBFS は FIFO バッファをクリアします。

IN トークンに CRC エラーなどのバスエラーが含まれているため、IN トークンを正常受信できなかった場合も、USBFS は FIFO バッファをクリアします。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。SOF パケットが破損している場合でも、内部補完機能によって、SOF パケットの受信時に FIFO バッファをクリアすることが可能です。

インターバルのカウント開始タイミングは、OUT 転送の場合と同様に、IITV[2:0] ビットの設定値によって異なります。

デバイスコントローラモードでは、以下のいずれかの条件でインターバルがカウントされます。

- USBFS がハードウェアリセットされた場合 (IITV[2:0] ビットも 000b になります)
- ソフトウェアで PIPEnCTR.ACLRM ビットを 1 にした場合
- USBFS が USB バスリセットを検出した場合

(4) デバイスコントローラモードでのアイソクロナス転送用送信データセットアップ

デバイスコントローラモードでの USBFS を用いたアイソクロナスデータ送信では、FIFO バッファにデータが書き込まれた後、SOF パケット検出後の最初のフレームでデータパケットの送出が可能になります。このアイソクロナス転送用送信データのセットアップ機能により、送信を開始したフレームを特定することが可能です。

ダブルバッファモードを使用している場合、両方のバッファへの書き込みが完了した後であっても、送信可能なバッファは、先にデータ書き込みが終了したバッファだけです。このため、複数の IN トークンを受信しても、送出される FIFO バッファデータは 1 パケット分のみとなります。

IN トークン受信時に FIFO バッファがデータを送信できる状態であれば、データが転送されて正常応答が返されます。ただし、FIFO バッファがデータを送信できない状態であれば、Zero-Length パケットが送出されてアンダーランエラーが発生します。

図 27.21 に、IITV[2:0] = 0 (毎フレーム) に設定した場合のアイソクロナス転送用送信データのセットアップ機能を用いた送信例を示します。

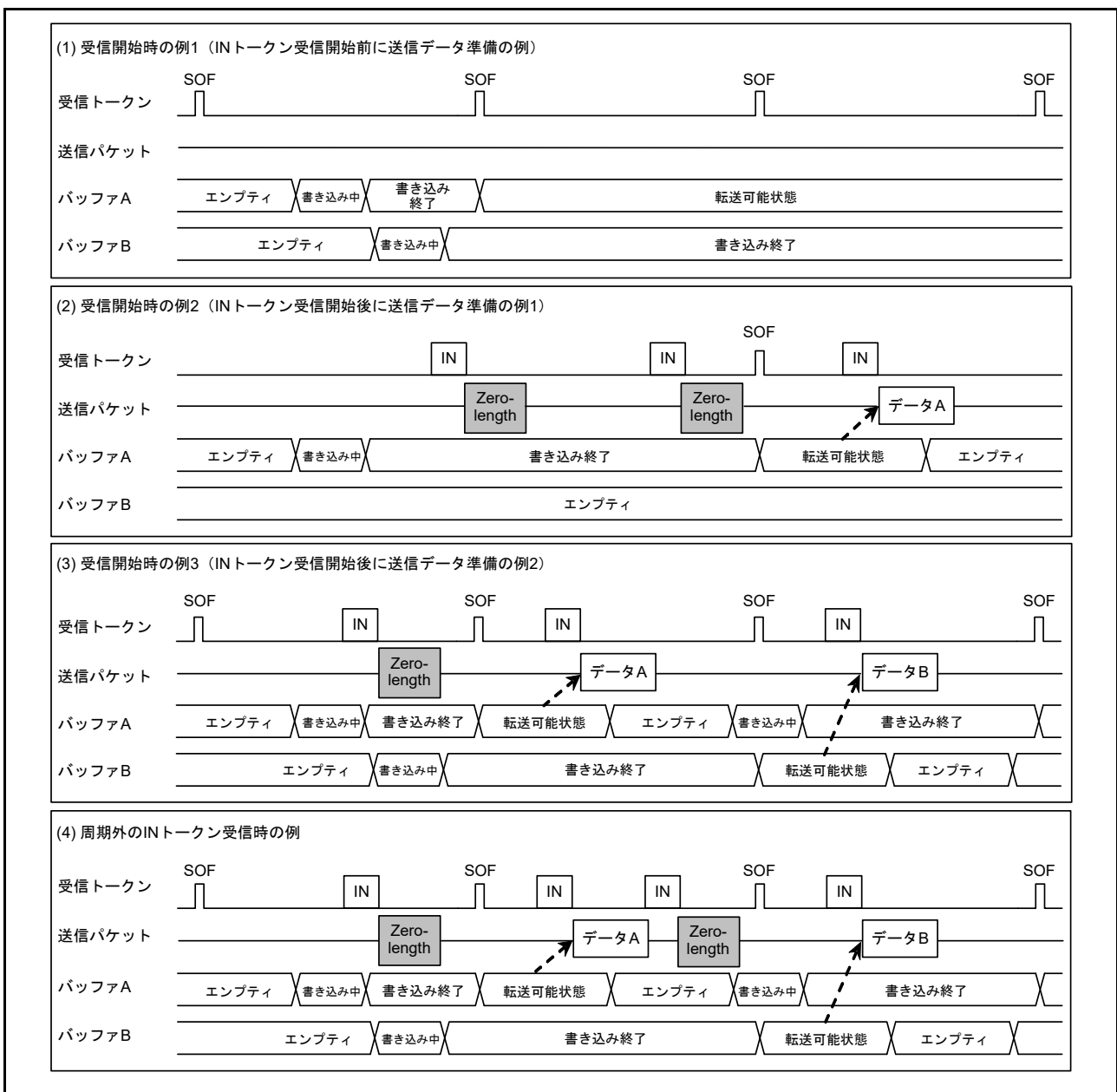


図 27.21 データセットアップ動作例

(5) デバイスコントローラモードでのアイソクロナス転送用送信バッファフラッシュ

デバイスコントローラモードでのアイソクロナスデータ転送時に、USBFS がインターバルフレーム内に IN トークンを受信しないまま、次フレームの SOF パケットを受信した場合は、USBFS はそれを IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能な状態とします。

ダブルバッファモードを使用している場合、両方のバッファへの書き込みが完了していれば、クリアされた FIFO バッファ内のデータが同インターバルフレームで送信されたものとみなして、SOF パケット受信時にクリアされていない FIFO バッファを送信可能な状態とします。

バッファフラッシュ機能のタイミングは、以下のように、PIPEPERI.IITV[2:0] ビットの設定値によって異なります。

- IITV[2:0] = 0 の場合 :
パイプが有効となった後の最初のフレームから、バッファフラッシュ動作を開始します。
- IITV[2:0] ≠ 0 の場合 :
最初の正常なトランザクション以降に、バッファフラッシュ動作を開始します。

図 27.22 にバッファフラッシュの例を示します。インターバルフレーム前に予期しないトークンを受信した場合、データセットアップ状態に応じて、USBFS は書き込みデータを送出するか、またはアンダーランエラーとして Zero-Length パケットを送出します。

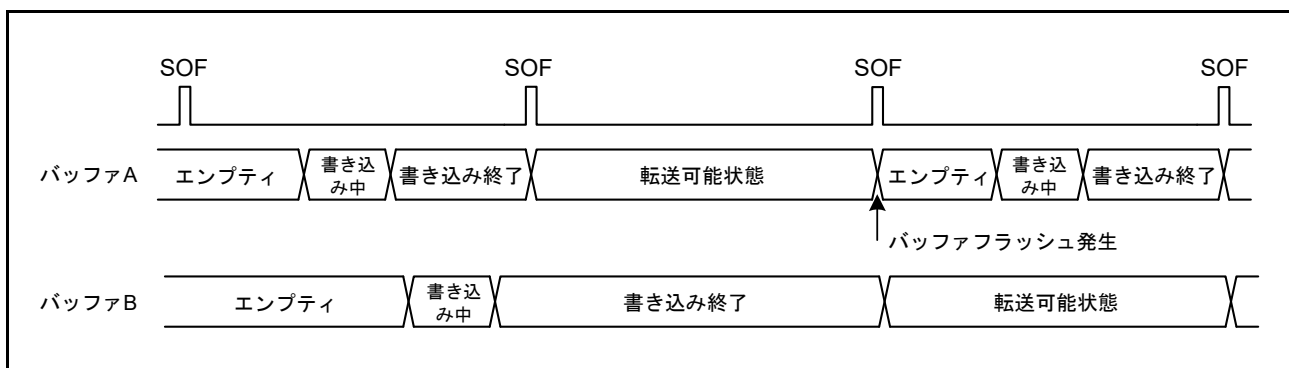


図 27.22 バッファフラッシュ動作例

図 27.23 に、インターバルエラーの発生例を示します。この図に示すように、インターバルエラーには 5 種類あります。図中の①のタイミングでインターバルエラーが発生し、バッファフラッシュ機能が動作します。

IN 転送時にインターバルエラーが発生した場合は、バッファフラッシュ機能が動作します。OUT 転送時にインターバルエラーが発生した場合は、NRDY 割り込みが発生します。FRMNUM.OVRN ビットを用いて、この NRDY 割り込みであるか、または受信パケットエラーやオーバーランエラーによる NRDY 割り込みであるかを識別してください。

図中に網掛けで示したトークンに対しては、FIFO バッファの状態に応じて応答が返されます。

- IN 方向の場合 :
 - バッファがデータを転送できる状態であれば、データが転送されて正常応答が返される
 - バッファがデータを転送できない状態であれば、Zero-Length パケットが送信されてアンダーランエラーが発生する
- OUT 方向の場合 :
 - バッファがデータを受信できる状態であれば、データが受信されて正常応答が返される
 - バッファがデータを受信できない状態であれば、受信データが破棄されてオーバーランエラーが発生する

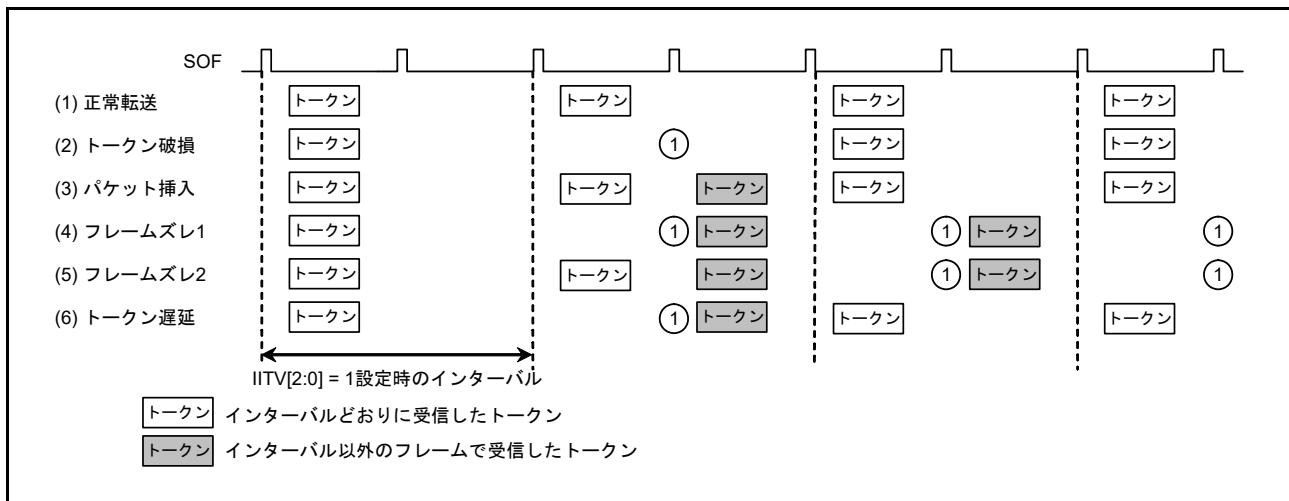


図 27.23 IITV[2:0] = 1 の場合のインターバルエラー発生例

27.3.13 SOF 補完機能

デバイスコントローラモードでは、SOF パケットの破損または欠落のために 1ms 間隔でパケット受信ができなかった場合、USBFS が SOF を補完します。SOF 補完は、SYSCFG.USBE ビットと SYSCFG.SCKE ビットが 1 のときに、SOF パケットの受信時に開始します。下記の条件で、補完機能が初期化されます。

- MCU リセット
- USB バスリセット
- Suspended ステート検出

SOF 補完の動作は以下のとおりです。

- SOF パケットを受信するまでは補完機能は動作しない
- 最初の SOF パケット受信時に、48MHz の内部クロックで 1ms をカウントして補完を実行する
- 2 回目以降の SOF パケット受信時には、前回の受信間隔で補完を実行する
- Suspended ステート時または USB バスリセット時には、補完を実行しない

USBFS は、SOF パケット受信で制御される下記の機能を動作させます。SOF パケットが欠落していても、これらの機能は SOF 補完によって正常に動作します。

- フレーム番号の更新
- SOFR 割り込みタイミング
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落していた場合、FRMNUM.FRNM[10:0] ビットは更新されません。

27.3.14 パイプスケジュール

27.3.14.1 トランザクション発行条件

ホストコントローラモードにおいて、DVSTCTR0.UACT ビットを 1 にすると、USBFS は表 27.26 に示す条件でトランザクションを発行します。

表 27.26 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID	IITV[0]	バッファ状態	SUREQ
Setup	— (注1)	— (注1)	— (注1)	— (注1)	1 設定
コントロール転送のデータステージ、ステータスステージ、バルク転送	IN	BUF	無効	受信領域あり	— (注1)
	OUT	BUF	無効	送信データあり	— (注1)
インタラプト転送	IN	BUF	有効	受信領域あり	— (注1)
	OUT	BUF	有効	送信データあり	— (注1)
アイソクロナス転送	IN	BUF	有効	(注2)	— (注1)
	OUT	BUF	有効	(注3)	— (注1)

- 注 1. 表中の「—」は、トークンの発行に関係のない条件であることを意味します。「有効」とは、インタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみトランザクションを発行することを意味します。「無効」とは、インターバルカウンタにかかわらず、トランザクションを発行することを意味します。
- 注 2. 受信領域の有無にかかわらず、トランザクションを発行します。ただし、受信領域がない場合、受信データを破棄します。
- 注 3. 送信データの有無にかかわらず、トランザクションを発行します。ただし、送信データがない場合、Zero-Length パケットを送信します。

27.3.14.2 転送スケジュール

この節では、USBFS のフレーム内の転送スケジューリング方法について説明します。USBFS は SOF を送信後、以下に示す順序で転送を行います。

1. 周期的転送の実行 :
パイプ 1 → パイプ 2 → パイプ 6 → パイプ 7 → パイプ 8 → パイプ 9 の順にパイプを検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。
2. コントロール転送の SETUP トランザクション :
DCP を確認して、SETUP トランザクションが可能であれば送信します。
3. バルク転送、コントロール転送データステージ、およびコントロール転送ステータスステージの実行 :
DCP → パイプ 1 → パイプ 2 → パイプ 3 → パイプ 4 → パイプ 5 の順にパイプを検索し、バルク転送、コントロール転送データステージ、コントロール転送ステータスステージのトランザクション発行が可能なパイプがあれば、トランザクションを発行します。
トランザクションが発行されると、周辺デバイスからの応答が ACK であるか NAK であるかにかかわらず、処理は次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、ステップ 3. を繰り返します。

27.3.14.3 USB 通信許可

DVSTCTR0.UACT ビットを 1 にすると、SOF の送信が開始され、トランザクションの発行が可能となります。UACT ビットを 0 にすると、SOF の送信が停止して、Suspended ステートとなります。UACT ビットを 1 から 0 に変更すると、次の SOF を送信した後、処理が停止します。

27.3.15 バッテリチャージング検出処理

バッテリチャージング仕様で規定されている、データコンタクト検出 (D+ ラインコンタクトチェック)、一次検出 (チャージャ検出)、および二次検出 (チャージャ検証) の処理を制御することが可能です。本項では、個々のファンクションデバイスとホストデバイスに求められる動作について説明します。

27.3.15.1 デバイスコントローラモードでの処理

USBFS モジュールをバッテリチャージ用のポータブルデバイスとして動作させる場合、以下の処理が必要です。

1. データライン (D+/D-) がコンタクトしたタイミングを検出し、一次検出処理を開始します。
2. 一次検出の開始後、マスク処理のため 40ms 待機してから D- の電圧レベルをチェックし、一次検出結果を確認します。
3. 一次検出中にチャージャが検出された場合は、二次検出を開始します。
4. 二次検出の開始後、マスク処理のため 40ms 待機してから D+ の電圧レベルをチェックし、二次検出結果を確認します。


ステップ 1 では、VBINT ビットと VBSTS ビットで VBUS を検出した後、以下の処理を行う必要があります。

1. 300 ~ 900ms 待機し、その後、USBBCCTRL0 レジスタの VDPSRCE0 ビットと IDMSINKE0 ビットを設定します。
2. IDPSRCE0 ビットを設定します。
3. D+ ラインが High から Low へ変化したことを LNST[1:0] ビットで検出した後、IDPSRCE0 ビットを 0 にクリアし、VDPSRCE0 ビットと IDMSINKE0 ビットを同時に設定します。(注 1)

ステップ 2 では、VDPSRCE0 ビットと IDMSINKE0 ビットを設定して、40ms 待機した後、CHGDETSTS0 ビットで一次検出結果を検証してください。(注 2)

ステップ 3 では、ステップ 2 で CHGDETSTS0 ビットを設定した場合に、チャージャの検出を検証した後、VDPSRCE0 ビットと IDMSINKE0 ビットをクリアし、VDMSRCE0 ビットと IDPSINKE0 ビットを設定してください。

ステップ 4 では、VDMSRCE0 ビットと IDPSINKE0 ビットを設定して、40ms 待機した後、PDDTSTS0 ビットで二次検出結果を検証してください。

 **27.24** に、この処理フローを示します。

- 注 1. バッテリチャージング仕様は、データコンタクト検出 (D+/D- ラインのコンタクトチェック) に関して 2 つの実施方法を記述しています。1 つは、D+ ラインに 7 ~ 13 μ A の電流を印加することで D+ ラインを Logic High に保持し、D+/D- ラインがターゲットと接続したとき、ホストデバイスのプルダウン抵抗により生じる Logic Low への変化を検出する方法です。もう 1 つは、VBUS を検出した後、300 ~ 900ms 待機する方法です。
- 注 2. 一次検出中に、D- ラインの電圧が 0.25 ~ 0.4V 以上かつ 0.8 ~ 2.0V 以下であることが検出されると、ターゲットデバイスが、バッテリチャージ用ホストデバイス (チャージングダウンストリームポート) として認識されます。使用中の USB 送信に対して、CHGDETSTS0 ビットで D- ラインの電圧が 0.25 ~ 0.4V 以上であることだけが判明した場合、必要に応じて、LNST[1:0] ビットを用いて D- ラインの電圧が 0.8 ~ 2.0V 以下であることをチェックするための処理を追加してください。

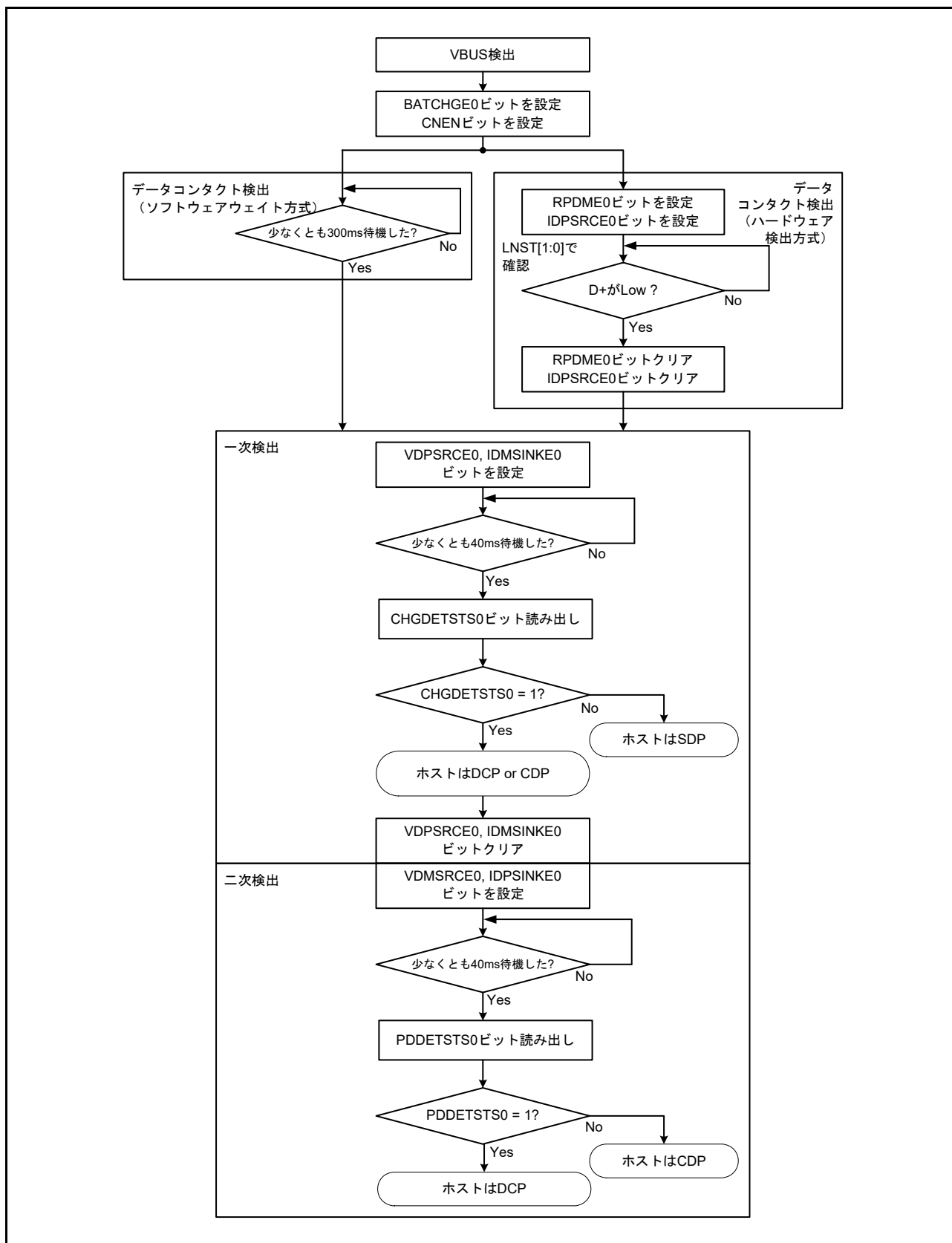


図 27.24 ポータブルデバイスとして動作時の処理フロー

27.3.15.2 ホストコントローラ選択時の処理

USBFS モジュールをバッテリー充電用のチャージングダウンストリームポートとして動作させる場合、以下の処理が必要です。

1. VBUS のドライブを開始します。
2. ポータブルデバイス検出回路を有効にします。
3. ポータブルデバイス検出信号をモニタし、検出信号が High であれば D- ラインのドライブを開始します。
4. ポータブルデバイス検出信号のレベルが Low になるタイミングを検出し、D- ラインのドライブを停止します。

バッテリーチャージング仕様に関連して、以下の処理も利用可能です。

- a. デタッチ検出後、200ms以内にD-ラインのドライブを開始する。
- b. アタッチ検出後、10ms以内にD-ラインのドライブを停止する。

27.3.15.1 デバイスコントローラモードでの処理で説明したように、ポータブルデバイスが一次検出を検出できるようにするには、D- ラインをドライブする必要があります。ステップ 1～4 は、ハードウェアがポータブルデバイス検出機能を備えている場合の手順です。この方法では、ポータブルデバイスが検出されたときに D- ラインをドライブします。

ステップ a と b は、ポータブルデバイス機能がハードウェアに備わっていない場合や利用できない場合の手順です。ポータブルデバイスの検出とは無関係に、D- ラインがデタッチ状態でドライブされ、アタッチ状態ではドライブされません。バッテリーチャージング仕様では、これらの方法のどちらかを選択して用いることができます。

ステップ 3 と 4 では、ポータブルデバイス検出信号の変化を PDDDETINT 割り込みを利用して検出した後、PDDDETSTS0 ビットを読み出すことで現在の信号状態を確認することが可能です。ステップ a と b は、ソフトウェアタイマでのみ実施可能です。

図 27.25 に、ステップ 1～4 の処理フローと、ステップ a～b の処理フローをそれぞれ示します。

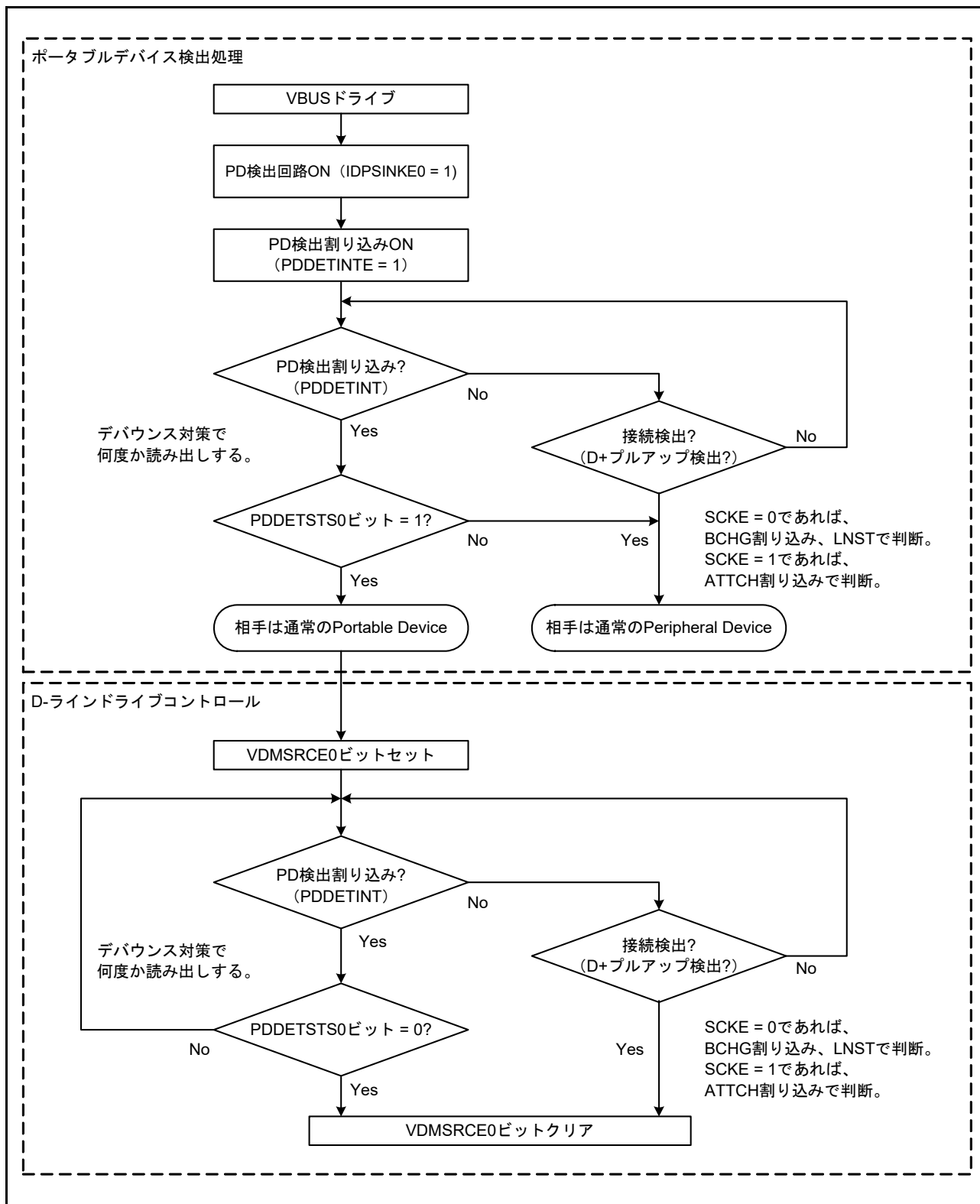


図 27.25 チャージングダウンストリームポートとして動作する場合の処理フロー (ステップ 1～4)

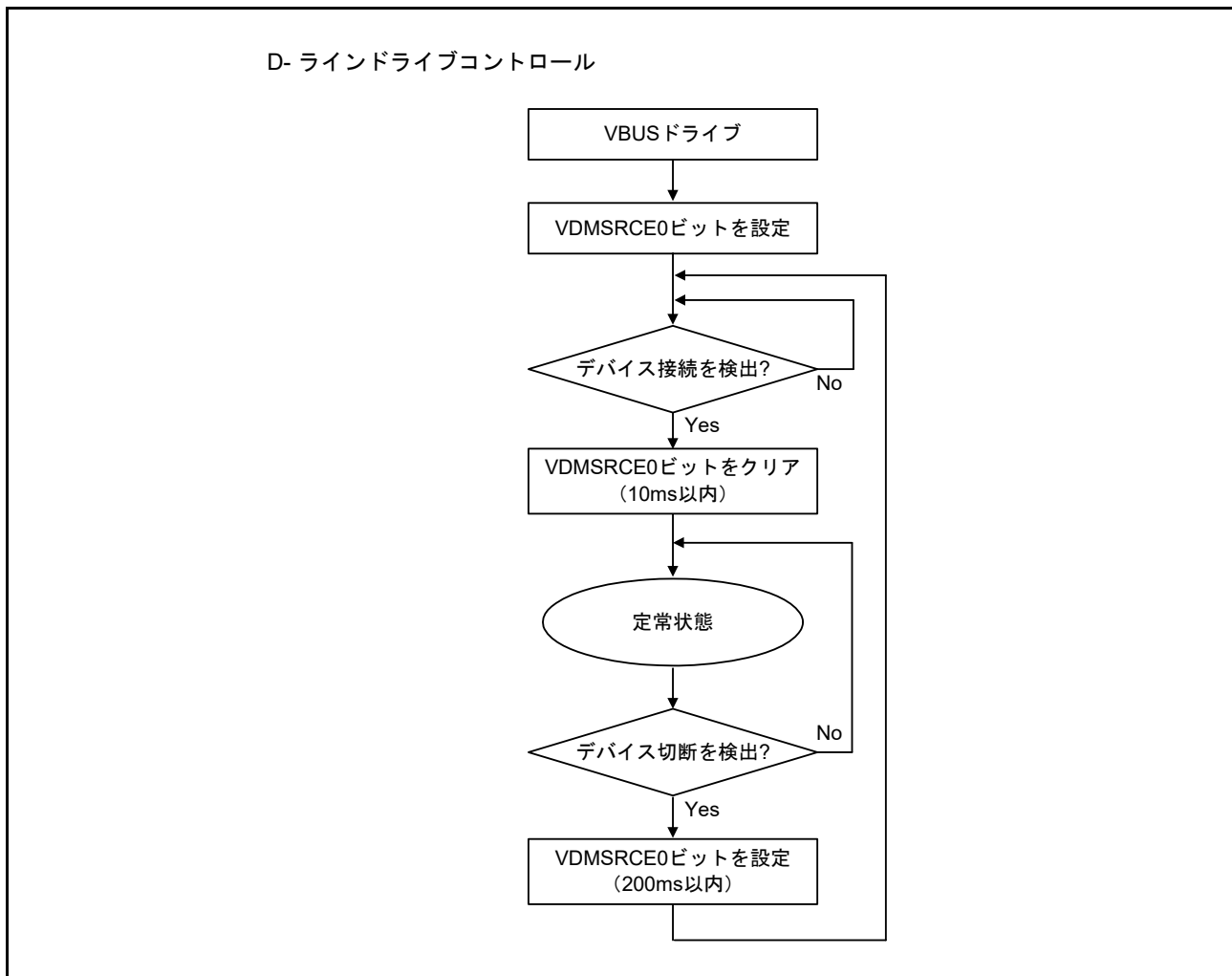


図 27.26 チャージングダウンストリームポートとして動作する場合の処理フロー (ステップ a ~ b)

27.4 使用上の注意事項

27.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) は USBFS の動作を禁止または許可することが可能です。リセット後の初期状態では、USBFS の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

27.4.2 ソフトウェアスタンバイモード終了時の割り込みステータスレジスタのクリア

ソフトウェアスタンバイモードでは入力バッファが常に有効となるため、下記条件下では、予期せぬ割り込みが発生する場合があります。

- 通常モードで、割り込みが許可されている
- ソフトウェアスタンバイモードで、割り込みが禁止されている
- ソフトウェアスタンバイを解除する端子の入力レベルがソフトウェアスタンバイモードで変更されている

これらの条件下では、割り込みステータスレジスタの対応する割り込みフラグが、予期せず設定されることがあります。MCU がソフトウェアスタンバイモードを終了した後に、予期せぬ割り込みが割り込みコントローラに送信される場合があります。この問題を避けるために、解除シーケンスでは INTSTS0 および INTSTS1 レジスタを必ずクリアしてください。

27.4.3 ポート機能設定後の割り込みステータスレジスタのクリア

入力バッファは、PmnPFS.PSEL および PmnPFS.PMR でポートを設定する前は無効であるため、内部信号が High または Low に固定されます。ポートの設定後に入力バッファが有効になると、外部端子の状態が MCU に伝播します。このとき、予期せぬ割り込みが発生する場合があります。INTSTS0 レジスタと INTSTS1 レジスタの VBINT および OVRCCR ビットなどの割り込みステータスフラグが 1 になります。誤作動を回避するために、ポート設定後は INTSTS0 および INTSTS1 レジスタを必ずクリアしてください。

28. シリアルコミュニケーションインタフェース (SCI)

28.1 概要

シリアルコミュニケーションインタフェース (SCI) は、下記の 5 種類の調歩同期式および同期式シリアルインタフェースとして設定が可能です。

- 調歩同期式インタフェース (UART および調歩同期式通信インタフェースアダプタ (ACIA))
- 8 ビットクロック同期式インタフェース
- 簡易 IIC (マスタのみ)
- 簡易 SPI
- スマートカードインタフェース

スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCI0 および SCI1 は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データの転送速度を個別に設定することが可能です。

表 28.1 に SCI の仕様を、図 28.1 にそのブロック図を、表 28.2 に入出力端子をモードごとに示します。

表 28.1 SCI の仕様 (1/2)

項目	内容
シリアル通信方式	<ul style="list-style-type: none"> • 調歩同期式 • クロック同期式 • スマートカードインタフェース • 簡易 IIC • 簡易 SPI
転送速度	内蔵のボーレートジェネレータにより任意のビットレートを設定可能
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子	表 28.2 を参照してください。
データ転送	LSB ファースト / MSB ファーストの選択が可能
割り込み要因	送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、およびアドレス一致 開始条件 / 再開条件 / 停止条件の生成完了 (簡易 IIC モード用)
モジュールストップ機能	チャンネルごとにモジュールストップ状態の設定が可能
スヌーズ終了要求	SCI0 アドレス不一致 (SCI0_DCUF)

表 28.1 SCIの仕様 (2/2)

項目	内容	
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバーランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn_RTSn (注1) 端子を用いた送受信制御が可能
	送受信	1段レジスタまたは16段FIFOの選択が可能 (SCI0およびSCI1のみFIFO対応)
	アドレス一致	受信データとコンペアマッチレジスタの値が一致したとき、割り込み要求/イベント出力の発行が可能
	アドレス不一致 (SCI0のみ) 受信データ	受信データとコンペアマッチレジスタの値が一致しないとき、スヌーズ終了要求の発行が可能
	スタートビットの検出	Low検出または立ち下がりがエッジ検出の選択が可能
	ブレークの検出	SPTRレジスタを読み出すことで、フレーミングエラーからのブレークの検出が可能
	クロックソース	内部クロックまたは外部クロックの選択が可能
	倍速モード	ボーレートジェネレータ倍速モードの選択が可能
	マルチプロセッサ通信機能	複数プロセッサ間のシリアル通信機能が有効
	ノイズ除去	RXDn (注1) 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラー検出機能	オーバーランエラー
	クロックソース	内部クロック (マスターモード) または外部クロック (スレーブモード) の選択が可能
	ハードウェアフロー制御	CTSn_RTSn (注1) 端子を用いた送受信制御が可能
	送受信	1段レジスタまたは16段FIFOの選択が可能 (SCI0およびSCI1のみFIFO対応)
スマートカードインタフェースモード	エラー処理	受信中にパリティエラーを検出するとエラーシグナルを自動送出 送信中にエラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易IICモード	通信フォーマット	I ² Cバスフォーマット (MSBファーストのみ)
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	最大400kbps
	ノイズ除去	SCLn (注1) 端子とSDAn (注1) 端子の入力経路にデジタルノイズフィルタを内蔵し、ノイズ除去幅の調整が可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバーランエラー
	クロックソース	内部クロック (マスターモード) または外部クロック (スレーブモード) の選択が可能
	SS入力端子機能	SSn (注1) 端子をHighにすることで、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択が可能
ビットレートモジュレーション機能	内蔵ボーレートジェネレータの出力補正により誤差の低減が可能	
イベントリンク機能	受信エラーまたはエラーシグナル検出のためのエラーイベント出力 (SCIn_ERI (注1))	
	受信データフルイベント出力 (SCIn_RXI (注1) (注2))	
	送信データエンプティイベント出力 (SCIn_TXI (注1) (注2))	
	送信終了イベント出力 (SCIn_TEI (注1) (注2))	
	アドレス一致イベント出力 (SCIn_AM (注1))	

注 1. チャネル番号 (n=0~4、または9)

注 2. 本イベントリンク機能は、調歩同期式モードにおいてFIFO動作が選択された場合、使用禁止となります。

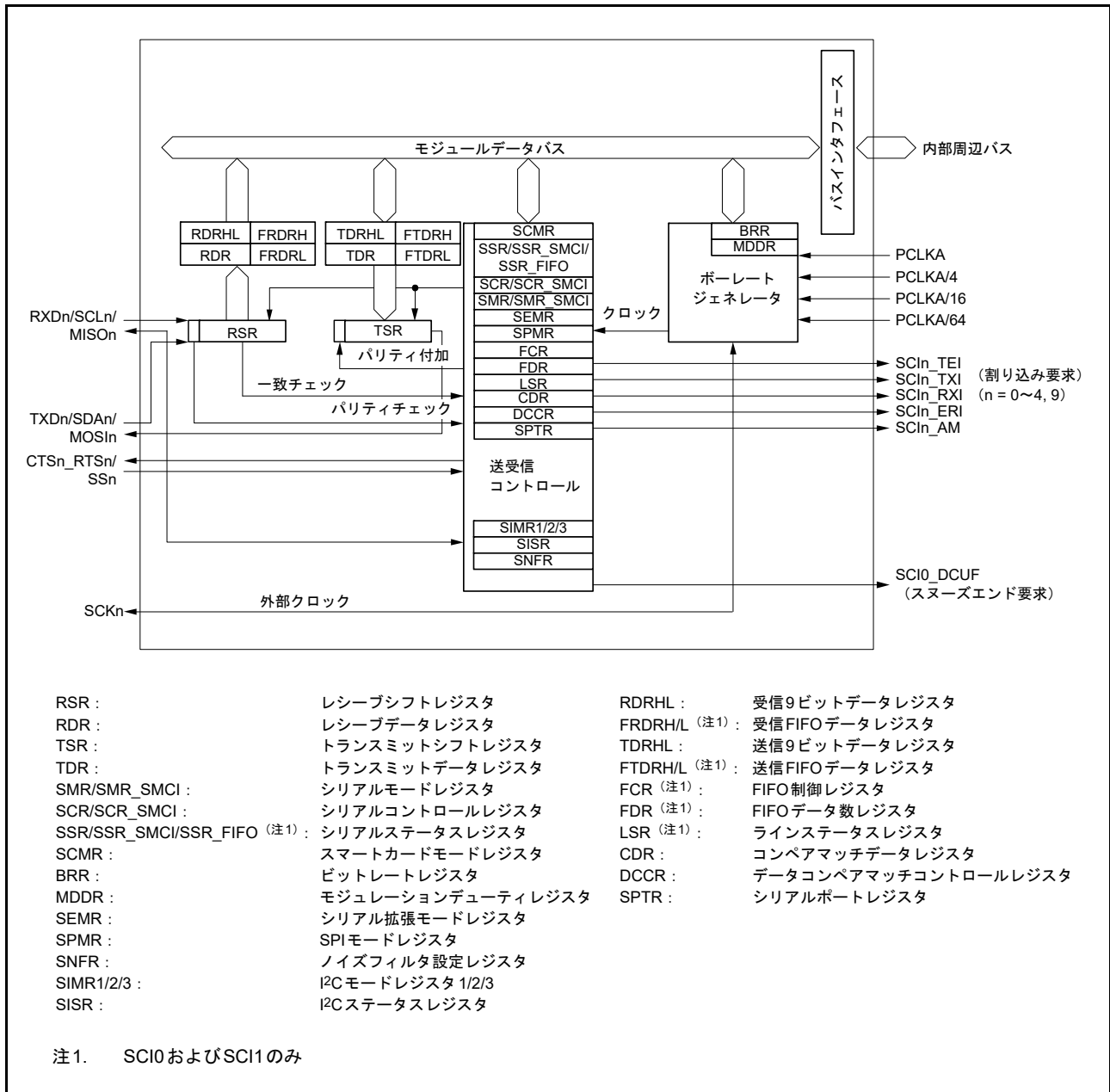


図 28.1 SCIのブロック図

表 28.2 SCIの入出力端子

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	RXD0/SCL0/ MISO0	入出力	SCI0の受信データ入力端子 SCI0のIICクロック入出力端子 SCI0のスレーブ送出データ入出力端子
	TXD0/SDA0/ MOSI0	入出力	SCI0の送信データ出力端子 SCI0のIICデータ入出力端子 SCI0のマスタ送出データ入出力端子
	SS0/CTS0_RTS0	入出力	SCI0のチップセレクト入力端子、アクティブLow SCI0の送受信開始制御用入出力端子、アクティブLow
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1/SCL1/ MISO1	入出力	SCI1の受信データ入力端子 SCI1のIICクロック入出力端子 SCI1のスレーブ送出データ入出力端子
	TXD1/SDA1/ MOSI1	入出力	SCI1の送信データ出力端子 SCI1のIICデータ入出力端子 SCI1のマスタ送出データ入出力端子
	SS1/CTS1_RTS1	入出力	SCI1のチップセレクト入力端子、アクティブLow SCI1の送受信開始制御用入出力端子、アクティブLow
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	RXD2/SCL2/ MISO2	入出力	SCI2の受信データ入力端子 SCI2のIICクロック入出力端子 SCI2のスレーブ送出データ入出力端子
	TXD2/SDA2/ MOSI2	入出力	SCI2の送信データ出力端子 SCI2のIICデータ入出力端子 SCI2のマスタ送出データ入出力端子
	SS2/CTS2_RTS2	入出力	SCI2のチップセレクト入力端子、アクティブLow SCI2の送受信開始制御用入出力端子、アクティブLow
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	RXD9/SCL9/ MISO9	入出力	SCI9の受信データ入力端子 SCI9のIICクロック入出力端子 SCI9のスレーブ送出データ入出力端子
	TXD9/SDA9/ MOSI9	入出力	SCI9の送信データ出力端子 SCI9のIICデータ入出力端子 SCI9のマスタ送出データ入出力端子
	SS9/CTS9_RTS9	入出力	SCI9のチップセレクト入力端子、アクティブLow SCI9の送受信開始制御用入出力端子、アクティブLow

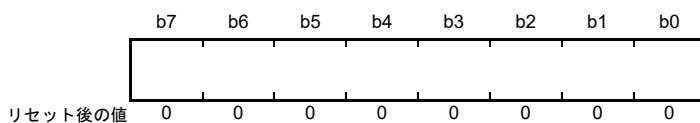
28.2 レジスタの説明

28.2.1 受信シフトレジスタ (RSR)

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR レジスタ、RDRHL レジスタ、または受信 FIFO へ転送されます。CPU から RSR レジスタに直接アクセスすることはできません。

28.2.2 受信データレジスタ (RDR)

アドレス SCI0.RDR 4007 0005h, SCI1.RDR 4007 0025h, SCI2.RDR 4007 0045h, SCI9.RDR 4007 0125h



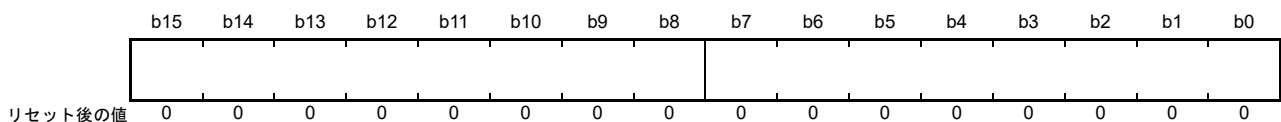
RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。1 フレーム分のシリアルデータを受信すると、受信データは RSR レジスタから本レジスタへ転送され、RSR レジスタは次のデータを受信できるようになります。RSR レジスタと RDR レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。

RDR レジスタの読み出しは、受信データフル割り込み (SCIIn_RXI) 要求が発生したときに 1 回だけ行ってください。

注． 受信データを RDR から読み出す前に次のフレームのデータを受け取ると、オーバーランエラーになります。CPU から RDR レジスタに書き込むことはできません。

28.2.3 受信 9 ビットデータレジスタ (RDRHL)

アドレス SCI0.RDRHL 4007 0010h, SCI1.RDRHL 4007 0030h, SCI2.RDRHL 4007 0050h, SCI9.RDRHL 4007 0130h



RDRHL レジスタは、受信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

RDRHL レジスタの下位 8 ビットは RDR レジスタのシャドールレジスタです。そのため、RDRHL レジスタへアクセスすると RDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、RDRHL レジスタへアクセスしないでください。

1 フレーム分のデータを受信すると、受信データは RSR レジスタから RDR/RDRHL レジスタへ転送されるため、RSR レジスタは次のデータを受信できるようになります。

RSR レジスタと RDRHL レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。RDRHL レジスタの読み出しは、受信データフル割り込み (SCIIn_RXI) 要求が発生した場合にのみ行ってください。受信データを RDRHL から読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDRHL レジスタに書き込むことはできません。

RDRHL レジスタのビット [15:9] は 0 に固定されています。読むと 0 が読めます。書く場合、0 としてください。

28.2.4 受信 FIFO データレジスタ H, L, HL (FRDRH, FRDRL, FRDRHL)

受信 FIFO データレジスタ H (FRDRH)

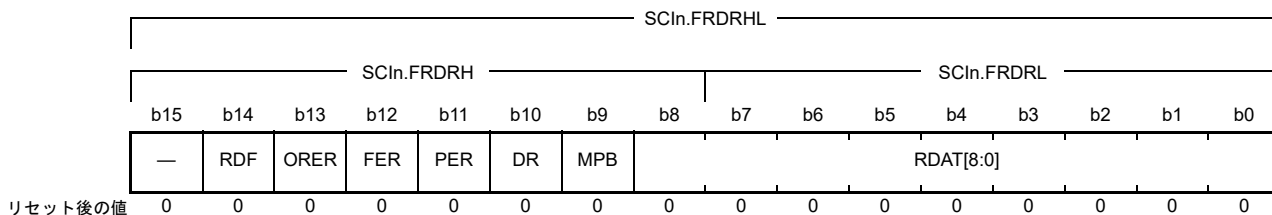
アドレス SCI0.FRDRH 4007 0010h, SCI1.FRDRH 4007 0030h

受信 FIFO データレジスタ L (FRDRL)

アドレス SCI0.FRDRL 4007 0011h, SCI1.FRDRL 4007 0031h

受信 FIFO データレジスタ HL (FRDRHL)

アドレス SCI0.FRDRHL 4007 0010h, SCI1.FRDRHL 4007 0030h



ビット	シンボル	ビット名	機能	R/W
b8-b0	RDAT[8:0]	シリアル受信データ	受信したシリアルデータ。マルチプロセッサモードを含む調歩同期式モードまたはクロック同期式モードにおいて、FIFO 選択時にのみ有効です。	R
b9	MPB	マルチプロセッサビットフラグ	シリアル受信データ (RDAT[8:0]) に対応したマルチプロセッサビット 0: データ送信サイクル 1: ID送信サイクル MPB ビットは、調歩同期式モードにおいて、SMR.MP = 1 および FIFO 選択時にのみ有効です。	R
b10	DR	受信データレディフラグ	0: 受信中であるか、または正常に受信を完了した後、FRDRH および FRDRL に受信データが残っていない 1: 正常に受信を完了した後、次の受信データが一定期間来ない	R (注1)
b11	PER	パリティエラーフラグ	0: FRDRH および FRDRL の第 1 データにパリティエラーの発生なし 1: FRDRH および FRDRL の第 1 データにパリティエラーの発生あり	R
b12	FER	フレーミングエラーフラグ	0: FRDRH および FRDRL の第 1 データにフレーミングエラーの発生なし 1: FRDRH および FRDRL の第 1 データにフレーミングエラーの発生あり	R
b13	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R (注1)
b14	RDF	受信 FIFO データフルフラグ	0: FRDRH および FRDRL に書き込まれた受信データ量が指定された受信トリガ数より少ない 1: FRDRH および FRDRL に書き込まれた受信データ量が指定された受信トリガ数以上です	R (注1)
b15	—	予約ビット	読むと 0 が読めます。	R

注 1. 本フラグを読むと、SSR_FIFO レジスタと同じ値が読み出されます。フラグをクリアするには、SSR_FIFO レジスタに 0 を書いてください。

FRDRHL レジスタは、FRDRL と FRDRH からなる 16 ビットのレジスタです。

FRDRH と FRDRL は、シリアル受信データと関連するステータス情報を格納するための 16 段の FIFO レジスタを構成します。本レジスタは、マルチプロセッサモードを含む調歩同期式モードまたはクロック同期式モードでのみ有効です。

SCI は、受信データを RSR レジスタから FRDRH および FRDRL へ転送し格納することで、1 フレーム分のシリアルデータの受信動作を完了します。16 段が格納されるまで連続受信が実行されます。FRDRH と FRDRL に受信データが存在しない場合、データを読み出すと、その値は不定です。FRDRH および FRDRL がいっぱいになると、それ以降のシリアル受信データは失われます。CPU から FRDRH と FRDRL を読み出すことはできますが、書き込むことはできません。

FRDRH レジスタの RDF、ORER、または DR フラグから 1 を読むことは、SSR_FIFO レジスタの対応するビットを読むことと同等です。FRDRH レジスタの読み出し後、SSR_FIFO レジスタのフラグに 0 を書いてクリアする場合は、クリアするフラグにのみ 0 を書いて、他のフラグには 1 を書いてください。

FRDRH レジスタと FRDRL レジスタの両方を読み出す場合は、FRDRH から FRDRL の順に読んでください。FRDRHL レジスタは 16 ビット単位でアクセスが可能です。

28.2.5 送信データレジスタ (TDR)

アドレス [SCI0.TDR 4007 0003h](#), [SCI1.TDR 4007 0023h](#), [SCI2.TDR 4007 0043h](#), [SCI9.TDR 4007 0123h](#)



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

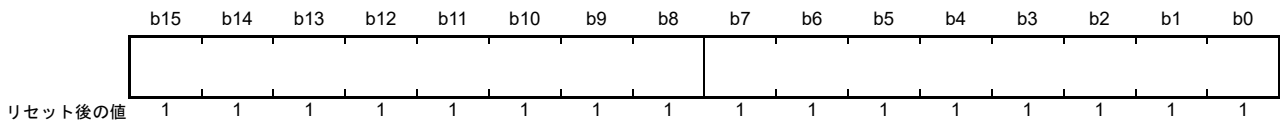
SCI は、TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データを TSR レジスタへ転送し、送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば、SCI はそれを TSR レジスタへ転送して送信を続けます。

CPU からいつでも TDR レジスタの読み出し／書き込みが可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCI_{In}_TXI) 要求が発生するごとに 1 回だけ行ってください。

28.2.6 送信 9 ビットデータレジスタ (TDRHL)

アドレス SCI0.TDRHL 4007 000Eh, SCI1.TDRHL 4007 002Eh, SCI2.TDRHL 4007 004Eh, SCI9.TDRHL 4007 012Eh



TDRHL レジスタは、送信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

TDRHL レジスタの下位 8 ビットは TDR レジスタのシャドールレジスタであるため、TDRHL レジスタへアクセスすると TDR レジスタに影響を与えます。たとえば 7 ビットまたは 8 ビットのデータ長を選択した場合、TDRHL レジスタへアクセスしないでください。

TSR レジスタに空きが検出されると、TDRHL レジスタに書き込まれている送信データが TSR レジスタへ転送されて、送信が開始されます。

TSR レジスタと TDRHL レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDRHL レジスタに次の送信データが書き込まれていれば、TSR レジスタへ転送されて、送信動作が継続します。

CPU から TDRHL レジスタの読み出し/書き込みが可能です。TDRHL レジスタのビット [15:9] は 1 に固定されているため、読むと 1 が読めます。書く場合、1 としてください。

TDRHL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCI_{In}_TXI) 要求が発行されたときに 1 回だけ行ってください。

28.2.7 送信 FIFO データレジスタ H, L, HL (FTDRH, FTDRL, FTDRHL)

送信 FIFO データレジスタ H (FTDRH)

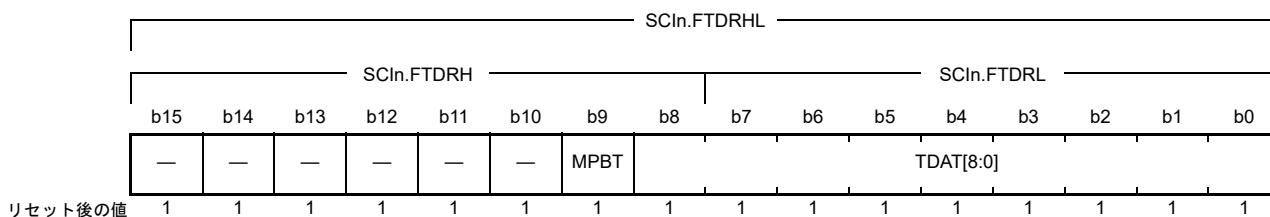
アドレス SCI0.FTDRH 4007 000Eh, SCI1.FTDRH 4007 002Eh

送信 FIFO データレジスタ L (FTDRL)

アドレス SCI0.FTDRL 4007 000Fh, SCI1.FTDRL 4007 002Fh

送信 FIFO データレジスタ HL (FTDRHL)

アドレス SCI0.FTDRHL 4007 000Eh, SCI1.FTDRHL 4007 002Eh



ビット	シンボル	ビット名	機能	R/W
b8-b0	TDAT[8:0]	シリアル送信データ	シリアル送信データ（調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FIFO選択時にのみ有効です）	W
b9	MPBT	マルチプロセッサ通信ビットフラグ	送信フレーム中のマルチプロセッサビットの値： 0：データ送信サイクル 1：ID送信サイクル MPBTビットは、調歩同期式モードにおいて、SMR.MP = 1 およびFIFO選択時にのみ有効です。	W
b15-b10	—	予約ビット	書く場合、1としてください。	W

FTDRHL レジスタは、FTDRH と FTDRL からなる 16 ビットのレジスタです。

FTDRH と FTDRL は、シリアル送信データとマルチプロセッサ通信ビットを格納するための 16 段の FIFO レジスタを構成します。本レジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

SCI は、TSR レジスタに空きを検出すると、FTDRH と FTDRL に書き込まれた送信データを TSR に転送し、シリアル送信を開始します。FTDRH と FTDRL に送信データが残っていない状態になるまで、連続シリアル送信が実行されます。FTDRHL レジスタが送信データでいっぱいになると、次のデータを書き込むことはできません。新たに書き込みを試みても、そのデータは無視されます。CPU から FTDRH と FTDRL に書き込むことはできますが、読み出すことはできません。

FTDRH レジスタと FTDRL レジスタの両方に書き込む場合は、FTDRH から FTDRL の順に書いてください。

MPBT ビット（マルチプロセッサ通信ビットフラグ）

送信フレームのマルチプロセッサビットを選択します。FCR.FM = 1 の場合、SSR.MPBT ビットは無効です。

28.2.8 送信シフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。シリアルデータ送信を行う場合、SCI は最初、TDR、TDRHL、または送信 FIFO から TSR レジスタへ送信データを自動転送し、その後、そのデータを TXDn 端子に送出します。CPU から TSR レジスタに直接アクセスすることはできません。

28.2.9 非スマートカードインタフェースモード用シリアルモードレジスタ (SMR) (SCMR.SMIF = 0)

アドレス SCI0.SMR 4007 0000h, SCI1.SMR 4007 0020h, SCI2.SMR 4007 0040h, SCI9.SMR 4007 0120h

b7	b6	b5	b4	b3	b2	b1	b0
CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択	b1 b0 0 0: PCLKAクロック (n = 0) (注1) 0 1: PCLKA/4クロック (n = 1) (注1) 1 0: PCLKA/16クロック (n = 2) (注1) 1 1: PCLKA/64クロック (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモード	調歩同期式モードでのみ有効です。 0: マルチプロセッサ通信機能は無効 1: マルチプロセッサ通信機能は有効	R/W (注4)
b3	STOP	ストップビット長	調歩同期式モードでのみ有効です。 0: 1ストップビット 1: 2ストップビット	R/W (注4)
b4	PM	パリティモード	PEビット = 1の場合にのみ有効です。 0: 偶数パリティを選択 1: 奇数パリティを選択	R/W (注4)
b5	PE	パリティ許可	調歩同期式モードでのみ有効です。 ●送信時 0: パリティビットを付加しない 1: パリティビットを付加する ●受信時 0: パリティビットをチェックしない 1: パリティビットをチェックする	R/W (注4)
b6	CHR	キャラクタ長	調歩同期式モードでのみ有効です。(注2) SCMR.CHR1ビットと組み合わせてキャラクタ長を選択します。 CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	通信モード	0: 調歩同期式モード、または簡易IICモード 1: クロック同期式モード、または簡易SPIモード	R/W (注4)

- 注 1. n は BRR の設定値を 10 進表記で示します。28.2.17 ビットレートレジスタ (BRR) を参照してください。
 注 2. 調歩同期式モード以外では、本ビットの設定は無効であり、データ長は 8 ビット固定です。
 注 3. LSB ファースト固定となり、TDR レジスタの MSB (ビット 7) は送信されません。
 注 4. SCR.TE ビットと SCR.RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SMR レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

CKS[1:0] ビット (クロック選択)

内蔵ボーレートジェネレータのクロックソースを選択します。

これらのビットの設定値とボーレートの関係については、[28.2.17 ビットレートレジスタ \(BRR\)](#) を参照してください。

MP ビット (マルチプロセッサモード)

マルチプロセッサ通信機能を有効または無効にします。マルチプロセッサモードでは、PE および PM ビットの設定は無効です。

STOP ビット (ストップビット長)

送信データのストップビット長を選択します。

受信時には、本ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみがチェックされます。2 ビット目が 0 の場合は、次の送信フレームのスタートビットとみなされます。

PM ビット (パリティモード)

送受信時のパリティ (偶数パリティまたは奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティ許可)

PE ビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらず、パリティビットの付加、チェックは行いません。

CHR ビット (キャラクタ長)

SCMR.CHR1 ビットと組み合わせて、送受信データのデータ長を選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

CM ビット (通信モード)

通信モードを以下から選択します。

- 調歩同期式モード、または簡易 IIC モード
- クロック同期式モード、または簡易 SPI モード

28.2.10 スマートカードインタフェースモード用シリアルモードレジスタ (SMR_SMCI) (SCMR.SMIF = 1)

アドレス SCI0.SMR_SMCI 4007 0000h, SCI1.SMR_SMCI 4007 0020h, SCI2.SMR_SMCI 4007 0040h, SCI9.SMR_SMCI 4007 0120h

b7	b6	b5	b4	b3	b2	b1	b0
GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択	b1 b0 0 0: PCLKAクロック (n = 0) (注1) 0 1: PCLKA/4クロック (n = 1) (注1) 1 0: PCLKA/16クロック (n = 2) (注1) 1 1: PCLKA/64クロック (n = 3) (注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロックパルス	SCMR.BCP2ビットと組み合わせて基本クロックのサイクル数を選択します。 表 28.3に、SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモード	PEビット = 1の場合にのみ有効です。 0: 偶数パリティを選択 1: 奇数パリティを選択	R/W (注2)
b5	PE	パリティ許可	PEビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、本ビットを1にしてください。	R/W (注2)
b6	BLK	ブロック転送モード	0: 非ブロック転送モードで動作 1: ブロック転送モードで動作	R/W (注2)
b7	GM	GSMモード	0: 非GSMモードで動作 1: GSMモードで動作	R/W (注2)

注 1. nはBRRの設定値を10進表記で示します。28.2.17 ビットレートレジスタ (BRR) を参照してください。

注 2. SCR_SMCI.TE ビットと SCR_SMCI.RE ビットが0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SMR_SMCI レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

CKS[1:0] ビット (クロック選択)

内蔵ボーレートジェネレータのクロックソースを選択します。

これらのビットの設定値とボーレートの関係については、28.2.17 ビットレートレジスタ (BRR) を参照してください。

BCP[1:0] ビット (基本クロックパルス)

スマートカードインタフェースモードにおいて、1ビット転送時間中の基本クロックのサイクル数を選択します。

SCMR.BCP2 ビットと組み合わせて設定します。

詳細は、28.6.4 受信データのサンプリングタイミングと受信マージンを参照してください。

表 28.3 SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0] ビット		1 ビット転送時間中の基本クロックのサイクル数
0	0	0	93クロックサイクル (S = 93) (注1)
0	0	1	128クロックサイクル (S = 128) (注1)
0	1	0	186クロックサイクル (S = 186) (注1)
0	1	1	512クロックサイクル (S = 512) (注1)
1	0	0	32クロックサイクル (S = 32) (注1) (初期値)
1	0	1	64クロックサイクル (S = 64) (注1)
1	1	0	372クロックサイクル (S = 372) (注1)
1	1	1	256クロックサイクル (S = 256) (注1)

注1. S は BRR レジスタの S の値を表します (28.2.17 ビットレートレジスタ (BRR) を参照してください)。

PM ビット (パリティモード)

送受信時のパリティモード (偶数パリティまたは奇数パリティ) を選択します。

スマートカードインタフェースモードにおける本ビットの使用方法については、28.6.2 データフォーマット (ブロック転送モード時を除く) を参照してください。

PE ビット (パリティ許可)

PE ビットは 1 にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット (ブロック転送モード)

BLK ビットを 1 にすると、ブロック転送モードで動作します。

詳細は、28.6.3 ブロック転送モードを参照してください。

GM ビット (GSM モード)

GM ビットを 1 にすると、GSM モードで動作します。

GSM モードでは、SSR_SMCI.TEND フラグのセットタイミングが、先頭から 11.0ETU (ETU : Elementary Time Unit = 1 ビット転送時間) に繰り上げられ、クロック出力制御機能が有効になります。詳細は、28.6.6 シリアルデータの送信 (ブロック転送モード時を除く) と 28.6.8 クロック出力制御を参照してください。

28.2.11 非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0)

アドレス SCI0.SCR 4007 0002h, SCI1.SCR 4007 0022h, SCI2.SCR 4007 0042h, SCI9.SCR 4007 0122h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可	調歩同期式モード : b1 b0 0 0 : 内蔵ポーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます。 0 1 : 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します。 1 x : 外部クロック SEMR.ABCSビットが0の場合、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが1の場合、8倍の周波数のクロック信号を入力してください。 クロック同期式モード : b1 b0 0 x : 内部クロック SCKn端子はクロック出力端子となります。 1 x : 外部クロック SCKn端子はクロック入力端子となります。	R/W (注1)
b2	TEIE	送信終了割り込み許可	0 : SCIn_TEI割り込み要求を禁止 1 : SCIn_TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサ割り込み許可	調歩同期式モードで、SMR.MPビット = 1のとき有効です。 0 : 非マルチプロセッサの受信動作 1 : マルチプロセッサビットが0のデータを受信した場合、そのデータは読み飛ばし、SSRレジスタのRDRF、ORER、およびFERの各ステータスフラグを1にすることはできない。マルチプロセッサビットが1のデータを受信した場合、MPIEビットは自動的に0にクリアされ、非マルチプロセッサの受信動作に戻る。	R/W (注3)
b4	RE	受信許可	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	送信許可	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	受信割り込み許可	0 : SCIn_RXIおよびSCIn_ERI割り込み要求を禁止 1 : SCIn_RXIおよびSCIn_ERI割り込み要求を許可	R/W
b7	TIE	送信割り込み許可	0 : SCIn_TXI割り込み要求を禁止 1 : SCIn_TXI割り込み要求を許可	R/W

x: Don't care

注 1. TE ビット = 0 かつ RE ビット = 0 の場合にのみ書き込み可能です。

注 2. TE ビットおよび RE ビットが 0、かつ SMR.CM ビットが 1 のときのみ、1 の書き込みが可能です。TE ビットまたは RE ビットを 1 にした後は、TE ビットと RE ビットには 0 の書き込みのみが可能です。SMR.CM ビットが 0、かつ SIMR1.IICM ビットが 0 の場合、任意のタイミングで書き込みが可能です。

注 3. マルチプロセッサモード (SMR.MP ビット = 1) では、このレジスタの MPIE ビット以外のビットに新しい値を書き込む場合、ビット操作命令を用いたときにリードモディファイライトによって MPIE ビットが誤って 1 になってしまうのを防ぐため、ストア命令を用いて MPIE ビットに 0 を書いてください。

SCR レジスタは、送受信の制御とクロックソース選択を行うためのレジスタです。

CKE[1:0] ビット (クロック許可)

クロックソースおよび SCKn 端子の機能を選択します。

TEIE ビット (送信終了割り込み許可)

SCIn_TEI 割り込み要求を許可または禁止します。この割り込み要求を禁止にするには、TEIE ビットを 0 にしてください。

簡易 IIC モードでは、開始/再開/停止条件の発行完了時の割り込み (STI 割り込み) に SCIn_TEI 割り込みが割り当てられます。この場合、TEIE ビットによって STI 割り込み要求を許可または禁止にできます。

MPIE ビット (マルチプロセッサ割り込み許可)

MPIE ビットを 1 にすると、マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み飛ばされて、SSR/SSR_FIFO レジスタの RDRF、RDF、ORER、および FER の各ステータスフラグを 1 にすることはできません。マルチプロセッサビットが 1 のデータを受信した場合、MPIE ビットは自動的に 0 にクリアされ、非マルチプロセッサの受信動作に戻ります。詳細は、28.4 マルチプロセッサ通信機能を参照してください。

SSR.MPB ビットが 0 のデータを受信した場合、RSR レジスタから RDR レジスタへ受信データは転送されず、受信エラーも検出されません。また、ORER および FER フラグを 1 にすることができません。

MPB ビットが 1 のデータを受信した場合、MPIE ビットが自動的に 0 にクリアされ、SCIn_RXI および SCIn_ERI 割り込み要求が許可されます (SCR.RIE ビットが 1 の場合)。また、ORER および FER フラグを 1 にすることが可能です。

マルチプロセッサ通信機能を使用しない場合、MPIE ビットを 0 にしてください。

RE ビット (受信許可)

シリアル受信動作を許可または禁止します。

RE ビットを 1 にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を検出することによって、シリアル受信を開始します。RE ビットを 1 にする前に、SMR に受信フォーマットを設定してください。

非 FIFO 選択時は、RE ビットを 0 にして受信動作を停止させても、SSR レジスタの RDRF、ORER、FER、PER の各フラグは影響を受けず、以前の値が保持されます。

FIFO 選択時は、RE ビットを 0 にして受信動作を停止させても、SSR_FIFO レジスタの RDF、ORER、FER、PER、BRK、DR の各フラグは影響を受けず、以前の値が保持されます。

TE ビット (送信許可)

シリアル送信動作を許可または禁止します。

このビットを 1 にすると、TDR レジスタに送信データを書き込むことによって、シリアル送信が開始されます。なお、TE ビットを 1 にする前に SMR レジスタの設定を行い、送信フォーマットを設定してください。

RIE ビット (受信割り込み許可)

SCIn_RXI および SCIn_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn_RXI および SCIn_ERI 割り込み要求は禁止されます。

SCIn_ERI 割り込み要求の解除は、SSR/SSR_FIFO レジスタの ORER、FER、または PER フラグから 1 を読んだ後に 0 にするか、RIE ビットを 0 にすることで行うことができます。

TIE ビット (送信割り込み許可)

SCIn_TXI 割り込み要求を許可または禁止します。

TIE ビットを 0 にすると、SCIn_TXI 割り込み要求は禁止されます。

注. FIFO モードで TIE ビットの値を 0 から 1 に切り替えるには、TIE ビットと TE ビットを同時に 1 にセットするか、TE = 1 のときに TIE ビットを 1 にセットします。FIFO モードで TE = 0 の場合、TIE ビットを 1 に設定することは禁止されています。

28.2.12 スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR_SMCI) (SCMR.SMIF = 1)

アドレス SCI0.SCR_SMCI 4007 0002h, SCI1.SCR_SMCI 4007 0022h, SCI2.SCR_SMCI 4007 0042h, SCI9.SCR_SMCI 4007 0122h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可	<ul style="list-style-type: none"> SMR_SMCI.GMビット = 0の場合 b1 b0 0 0: 出力禁止 I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます。 0 1: クロック出力 1 x: (設定禁止) SMR_SMCI.GMビット = 1の場合 b1 b0 0 0: Low出力固定 x 1: クロック出力 1 0: High出力固定 	R/W (注1)
b2	TEIE	送信終了割り込み許可	スマートカードインタフェースモードでは、本ビットを0にしてください。	R/W
b3	MPIE	マルチプロセッサ割り込み許可	スマートカードインタフェースモードでは、本ビットを0にしてください。	R/W
b4	RE	受信許可	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注2)
b5	TE	送信許可	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注2)
b6	RIE	受信割り込み許可	0: SCIn_RXIおよびSCIn_ERI割り込み要求を禁止 1: SCIn_RXIおよびSCIn_ERI割り込み要求を許可	R/W
b7	TIE	送信割り込み許可	0: SCIn_TXI割り込み要求を禁止 1: SCIn_TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0かつREビット=0の場合にのみ書き込み可能です。

注2. TEビット=0かつREビット=0の場合にのみ、1の書き込みが可能です。TEビットまたはREビットを1にした後は、TEビットとREビットには0の書き込みのみが可能です。

SCR_SMCIレジスタは、送信制御、割り込みの制御と受信、および送受信のクロックソース選択を行うためのレジスタです。

各割り込み要求については、[28.10 割り込み要因](#)を参照してください。

CKE[1:0] ビット (クロック許可)

SCKn端子からのクロック出力を制御します。

GSMモードでは、クロック出力を動的に切り替えることが可能です。詳細は、[28.6.8 クロック出力制御](#)を参照してください。

TEIE ビット (送信終了割り込み許可)

スマートカードインタフェースモードでは、TEIEビットを0にしてください。

RE ビット (受信許可)

シリアル受信動作を許可または禁止します。

本ビットを 1 にすると、スタートビットを検出することによって、シリアル受信を開始します。RE ビットを 1 にする前に、SMR_SMCI レジスタに受信フォーマットを設定してください。

RE ビットを 0 にして受信動作を停止しても、SSR_SMCI レジスタの ORER、FER、PER の各フラグは影響を受けず、以前の値を保持します。

TE ビット (送信許可)

シリアル送信動作を許可または禁止します。

本ビットを 1 にすると、TDR レジスタに送信データを書き込むことでシリアル送信が開始されます。TE ビットを 1 にする前に、SMR_SMCI レジスタに送信フォーマットを設定してください。

RIE ビット (受信割り込み許可)

SCIn_RXI および SCIn_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn_RXI および SCIn_ERI 割り込み要求が禁止されます。

SCIn_ERI 割り込み要求の解除は、SSR_SMCI レジスタの ORER、FER、または PER フラグから 1 を読んで後に 0 にするか、RIE ビットを 0 にすることで行うことができます。

TIE ビット (送信割り込み許可)

SCIn_TXI 割り込み要求を許可または禁止します。

TIE ビットを 0 にすると、SCIn_TXI 割り込み要求は禁止されます。

28.2.13 非スマートカードインタフェースおよび非 FIFO モード用シリアルステータスレジスタ (SSR) (SCMR.SMIF = 0 および FCR.FM = 0)

アドレス SCI0.SSR 4007 0004h, SCI1.SSR 4007 0024h, SCI2.SSR 4007 0044h, SCI9.SSR 4007 0124h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット転送	送信フレームにマルチプロセッサビットを設定します。 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサ	受信フレーム中のマルチプロセッサビットの値: 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDR レジスタに受信データなし 1: RDR レジスタに受信データあり	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: TDR レジスタに送信データあり 1: TDR レジスタに送信データなし	R/(W) (注1)

注1. フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

SSR レジスタは、SCI ステータスフラグと送受信マルチプロセッサビットを設定するためのレジスタです。

MPBT ビット (マルチプロセッサビット転送)

送信フレーム中のマルチプロセッサビットを制御します。

MPB ビット (マルチプロセッサ)

受信フレーム中のマルチプロセッサビットの値を格納します。SCR.RE ビットが0のときは変化しません。

TEND フラグ (送信終了フラグ)

送信が終了したことを示します。

[1になる条件]

- SCR.TE ビットが0 (シリアル送信動作を禁止)、かつ FCR.FM ビットが0 (非 FIFO 選択時) のとき
- SCR.TE ビットが1のときは、TEND フラグは影響を受けず、1の値を保持
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されないとき

[0になる条件]

- SCR.TE ビットが1の状態、TDR レジスタに送信データを書き込んだとき
- SCR.TE ビットが1の状態、TDRE = 1を読んだ後、TDRE に0を書いたとき

PER フラグ (パリティエラーフラグ)

調歩同期式モードでの受信時に、パリティエラーが発生して受信が異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、パリティエラーが検出され、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき

パリティエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCIn_RXI 割り込み要求は発生しません。PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
PER フラグに 0 を書き込んだ後は PER ビットを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードでの受信時に、フレーミングエラーが発生して受信が異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、ストップビットとして 0 がサンプリングされ、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき

2 ストップビットモードでは、ストップビットの 1 ビット目のみがチェックされますが 2 ビット目はチェックされません。フレーミングエラーが発生した場合、受信データは RDR レジスタへ転送されますが SCIn_RXI 割り込み要求は発生しません。さらに、FER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき。FER フラグに 0 を書き込んだ後は、FER ビットを読み出して実際に 0 になっていることを確認してください。

SCR.RE ビットを 0 にしても、FER フラグは影響を受けず、以前の値を保持します。

ORER フラグ (オーバーランエラーフラグ)

受信時にオーバーランエラーが発生して受信が異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーもフレーミングエラーもない受信データを読み出す前に、次のデータを受信したとき

オーバーランエラーが発生する前に受信したデータは RDR レジスタに保持されますが、発生後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。クロック同期式モードでは、シリアル送受信は停止します。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
ORER フラグに 0 を書き込んだ後は、OPER ビットを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- RDR レジスタからデータを読み出したとき

注. 通信が中断しない限り、SSR レジスタの RDRF ビットにアクセスすることによって RDRF フラグをクリアしないでください。

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR.TE = 1 の状態で、データを TDR レジスタに書き込んだとき

注. 通信が中断しない限り、SSR レジスタの TDRE ビットにアクセスすることによって TDRE フラグをクリアしないでください。

28.2.14 非スマートカードインタフェースおよび FIFO モード用シリアルステータスレジスタ (SSR_FIFO) (SCMR.SMIF = 0 および FCR.FM = 1)

アドレス SCI0.SSR_FIFO 4007 0004h, SCI1.SSR_FIFO 4007 0024h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDFE	RDF	ORER	FER	PER	TEND	—	DR
リセット後の値	1	0	0	0	0	0	x	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	DR	受信データレディフラグ	0: 正常に受信を完了した後、受信中であるかまたは FRDRHL に受信データが残っていない (受信 FIFO が空です) 1: FIFO に格納されているデータ量が受信トリガ数以下であるとき、正常に受信を完了した後、次の受信データが一定期間来ない	R/(W) (注1)
b1	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R/W
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R/(W) (注1)
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/(W) (注1)
b6	RDF	受信 FIFO データフルフラグ	0: FRDRHL に書き込まれた受信データ量が指定された受信トリガ数未満です 1: FRDRHL に書き込まれた受信データ量が指定された受信トリガ数以上です	R/(W) (注1)
b7	TDFE	送信 FIFO データエンptyフラグ	0: FTDRHL に書き込まれた送信データ量が指定された送信トリガ数を超過している 1: FTDRHL に書き込まれた送信データ量が指定された送信トリガ数以下です	R/(W) (注1)

注1. フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

SSR_FIFO レジスタは、FIFO モード用のステータスフラグのためのレジスタです。

DR フラグ (受信データレディフラグ)

受信 FIFO データレジスタ (FRDRHL) に格納されたデータ量が指定された受信トリガ数より少ないこと、および、調歩同期式モードにおいて最後のストップビットから 15SETU 経過しても次のデータが受信されていないことを示します。本フラグは、調歩同期式モード (マルチプロセッサモードを含む) において、FIFO 選択時にのみ有効です。

クロック同期式モードでは、本フラグは1になりません。

[1になる条件]

- FRDRHL 内のデータ数が指定された受信トリガ数より少なく、最後のストップビットから 15SETU (注1) 経過しても次のデータが受信されておらず、かつ SSR_FIFO.FER および SSR_FIFO.PER フラグが 0 のとき

[0 になる条件]

- 受信データをすべて読み出した後、DR フラグから 1 を読み出したとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

注 1. 15ETU は、8 ビットフォーマットで 1 ストップビットが選択されている場合の 1.5 フレーム分に相当します。

TEND フラグ (送信終了フラグ)

シリアルキャラクタの最後尾ビットの送信時に、FTDRHL レジスタに有効なデータがなく、送信が停止したことを示します。

[1 になる条件]

- 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に、FTDRHL レジスタに送信データがないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、FTDRHL レジスタに送信データを書き込んだとき
- SCR.TE ビットが 1 の状態で、TEND から 1 を読み出した後、TEND に 0 を書き込んだとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

PER フラグ (パリティエラーフラグ)

調歩同期式モードにおいて、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき、FRDRHL レジスタから読み出したデータにパリティエラーが存在するか否かを示します。

[1 になる条件]

- データ受信時にパリティエラーが検出され、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

データ受信時にパリティエラーが発生しても、受信動作は継続し、受信データが FRDRHL レジスタに格納されます。

SCR.RE ビットが 0 のときは、PER フラグは影響を受けず、以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードにおいて、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき、FRDRHL レジスタから読み出したデータにフレーミングエラーが存在するか否かを示します。

[1 になる条件]

- 受信時にストップビットとして 0 がサンプリングされ、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

データ受信中にフレーミングエラーが発生しても、受信動作は継続し、受信データが FRDRHL レジスタに格納されます。

SCR.RE ビットが 0 のときは、FER フラグは影響を受けず、以前の状態を保持します。

ORER フラグ (オーバーランエラーフラグ)

オーバーランエラーの発生が原因で受信動作が異常停止したことを示します。

[1 になる条件]

- 受信 FIFO が 16 バイトの受信データでいっぱいになった状態で、次のシリアル受信を完了したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

SCR.RE ビットが 0 のときは、ORER フラグは影響を受けず、以前の状態を保持します。

RDF フラグ (受信 FIFO データフルフラグ)

受信データが FRDRHL レジスタへ転送されて、レジスタ内のデータ量が指定した受信トリガ数以上となったことを示します。しかし RTRG が 0 の場合は、受信 FIFO 内のデータ量が 0 であっても、RDF フラグはセットされません。

[1 になる条件]

- 指定された受信トリガ数以上の受信データ量が FRDRHL レジスタ (注1) に格納され、かつ FIFO が空状態でないとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- FRDRHL レジスタが DMAC または DTC によって読み出されたとき (ブロック転送が最終送信の場合のみ)
- 1 になる条件と 0 になる条件が同時に発生したときその後、FRDRHL レジスタに格納されたデータ量が RTRG の値以上になると、1PCLKA 後に RDF フラグは 1 になります

注. 通信が中断しない限り、受信データを読み出す前に SSR レジスタの RDF ビットにアクセスすることによって RDF フラグをクリアしないでください。

注 1. FRDRHL は 16 段の FIFO レジスタであるため、RDF が 1 のときに読み出し可能な最大のデータ量は、指定された受信トリガ数と同等です。FRDRHL 内のデータをすべて読み出した後に、さらに読み出しを実行すると、不定値が読み出されます。

TDFE フラグ (送信 FIFO データエンptyフラグ)

データが FTDRHL レジスタから TSR レジスタへ転送されて、FTDRHL 内のデータ量が指定された送信トリガ数を下回り、FTDRHL への送信データの書き込みが可能になったことを示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- FTDRHL に書き込まれた送信データ量が、指定された送信トリガ数以下であるとき (注1)

[0 になる条件]

- DTC または DMAC が起動している状態で、最終送信に対する FTDRHL への書き込みが実行されたとき
- 1 を読んだ後、0 を書いたとき
1 になる条件と 0 になる条件が同時に発生した場合、TDFE フラグは 0 にクリアされます。その後、FTDRHL レジスタに格納されたデータ量が TTRG の値以下になると、1PCLKA 後に TDFE フラグは 1 になります。

注. 通信が中断しない限り、送信データを書き込む前に SSR レジスタの TDFE ビットにアクセスすることによって TDFE フラグをクリアしないでください。

注 1. FTDRHL レジスタは 16 段の FIFO レジスタであるため、TDFE フラグが 1 のときに書き込み可能な最大のデータ量は "16 - FDR.T[4:0]" で示されます。さらにデータを書き込んでも、そのデータは破棄されます。

28.2.15 スマートカードインタフェースモード用シリアルステータスレジスタ (SSR_SMCI) (SCMR.SMIF = 1)

アドレス SCI0.SSR_SMCI 4007 0004h, SCI1.SSR_SMCI 4007 0024h, SCI2.SSR_SMCI 4007 0044h, SCI9.SSR_SMCI 4007 0124h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット転送	スマートカードインタフェースモードでは、本ビットを0にしてください。	R/W
b1	MPB	マルチプロセッサ	本ビットは、スマートカードインタフェースでは使用しません。読むと0が読めます。	R
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLowをサンプリングしない 1: エラーシグナルLowをサンプリングする	R/(W) (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタに受信データなし 1: RDRレジスタに受信データあり	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタに送信データあり 1: TDRレジスタに送信データなし	R/(W) (注1)

注1. フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

SSR_SMCI レジスタは、スマートカードインタフェースモード用のステータスフラグの設定レジスタです。

TEND フラグ (送信終了フラグ)

受信側からエラーシグナルがなく、次のデータが TDR レジスタに転送可能となったとき、TEND ビットが1になります。

[1 になる条件]

- SCR_SMCI.TE ビット = 0 (シリアル送信動作を禁止) のとき SCR_SMCI.TE ビットを0から1に変更しても、TEND フラグは影響を受けず、1の値を保持します
- 1 バイトのデータを送信してから指定した期間が経過した後、ERS フラグが0で、TDR レジスタが更新されないとき

1 になるタイミングは、以下のように、レジスタの設定値によって決定されます。

- SMR_SMCI.GM = 0 および SMR_SMCI.BLK = 0 のとき、送信開始から 12.5ETU 経過後
- SMR_SMCI.GM = 0 および SMR_SMCI.BLK = 1 のとき、送信開始から 11.5ETU 経過後
- SMR_SMCI.GM = 1 および SMR_SMCI.BLK = 0 のとき、送信開始から 11.0ETU 経過後
- SMR_SMCI.GM = 1 および SMR_SMCI.BLK = 1 のとき、送信開始から 11.0ETU 経過後

[0 になる条件]

- SCR_SMCI.TE ビットが1の状態、TDR レジスタに送信データを書いたとき
- SCR_SMCI.TE ビットが1の状態、TDRE = 1 を読んだ後、TDRE に0を書いたとき

PER フラグ (パリティエラーフラグ)

調歩同期式モードで、受信中にパリティエラーが発生して受信が異常終了したことを示します。

[1 になる条件]

- 受信中にパリティエラーが検出されたとき。パリティエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCI_{In}_RXI 割り込み要求は発生しません。PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません

[0 になる条件]

- 1 を読んだ後、0 を書いたとき。PER ビットに 0 を書き込んだ後は、PER ビットを読み出して実際に 0 になっていることを確認してください。

SCR_SMCI.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

ERS フラグ (エラーシグナルステータスフラグ)

[1 になる条件]

- エラーシグナル Low をサンプリングしたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

ORER フラグ (オーバーランエラーフラグ)

受信中にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーのない受信データを読み出す前に、次のデータを受信したとき。オーバーランエラーが発生する前に受信したデータは RDR レジスタに保持されますが、発生後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません

[0 になる条件]

- 1 を読んだ後、0 を書いたとき。ORER ビットに 0 を書き込んだ後は、ORER ビットを読み出して、実際に 0 になっていることを確認してください。

SCR_SMCI.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- RDR レジスタからデータを読み出したとき

注. 通信が中断しない限り、SSR レジスタの RDRF ビットにアクセスすることによって RDRF フラグをクリアしないでください。

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR_SMCI.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR_SMCI.TE ビットが 1 の状態で、データを TDR レジスタへ転送したとき

注. 通信が中断しない限り、SSR レジスタの TDRE ビットにアクセスすることによって TDRE フラグをクリアしないでください。

28.2.16 スマートカードモードレジスタ (SCMR)

アドレス SCI0.SCMR 4007 0006h, SCI1.SCMR 4007 0026h, SCI2.SCMR 4007 0046h, SCI9.SCMR 4007 0126h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCP2	—	—	CHR1	SDIR	SINV	—	SMIF
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモード選択	0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、または簡易IICモード) 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	SINV	送受信データ反転	0: TDRレジスタの内容をそのまま送信。受信データをそのままRDRレジスタに格納 1: TDRレジスタの内容を反転して送信。受信データを反転してRDRレジスタに格納 以下のモードで使用可能です。 • スマートカードインタフェースモード • 調歩同期式モード (マルチプロセッサモード) • クロック同期式モード • 簡易SPIモード 簡易IICモードで動作させる場合は、本ビットを0にしてください。	R/W (注1)
b3	SDIR	送受信データ転送方向	0: LSBファースト転送 1: MSBファースト転送 以下のモードで使用可能です。 • スマートカードインタフェースモード • 調歩同期式モード (マルチプロセッサモード) • クロック同期式モード • 簡易SPIモード 簡易IICモードで動作させる場合は、本ビットを1にしてください。	R/W (注1)
b4	CHR1	キャラクタ長1	調歩同期式モードでのみ有効 (注2) SMR.CHRビットと組み合わせてキャラクタ長を選択します。 CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3)	R/W (注1)
b6-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b7	BCP2	基本クロックパルス2	SMR_SMCI.BCP[1:0]ビットと組み合わせて基本クロックのサイクル数を選択します。 表 28.4に、SCMR.BCP2ビットとSMR_SMCI.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注 1. SCR/SCR_SMCI レジスタの TE ビットと RE ビットが0 (シリアル送信動作および受信動作を禁止) の場合にのみ書き込み可能です。

注 2. 調歩同期式モード以外では、本ビットの設定は無効であり、データ長は8ビット固定となります。

注 3. LSBファースト固定となり、送信ではTDRレジスタのMSBビット7の値は送信されません。

SCMR レジスタは、スマートカードインタフェースと通信フォーマットを選択するためのレジスタです。

SMIF ビット (スマートカードインタフェースモード選択)

SMIF ビットを 1 にすると、スマートカードインタフェースモードが選択されます。本ビットを 0 にすると、下記のすべてのモードが選択されます。

- 調歩同期式モード
- マルチプロセッサモード
- クロック同期式モード
- 簡易 SPI モード
- 簡易 IIC モード

SINV ビット (送受信データ反転)

送受信データのロジックレベルを反転します。本ビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させる場合は、SMR または SMR_SMCI レジスタの PM ビットを反転してください。

CHR1 ビット (キャラクタ長 1)

SMR レジスタの CHR ビットと組み合わせて、送受信データのデータ長を選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット (基本クロックパルス 2)

スマートカードインタフェースモードにおいて、1 ビット転送時間中の基本クロックのサイクル数を選択します。SMR_SMCI.BCP[1:0] ビットと組み合わせて設定します。

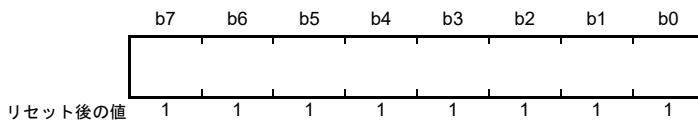
表 28.4 SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0] ビット	1 ビット転送時間中の基本クロックのサイクル数
0	00	93 クロックサイクル (S = 93) (注1)
0	01	128 クロックサイクル (S = 128) (注1)
0	10	186 クロックサイクル (S = 186) (注1)
0	11	512 クロックサイクル (S = 512) (注1)
1	00	32 クロックサイクル (S = 32) (注1) (初期値)
1	01	64 クロックサイクル (S = 64) (注1)
1	10	372 クロックサイクル (S = 372) (注1)
1	11	256 クロックサイクル (S = 256) (注1)

注1. S はビットレートレジスタ (BRR) の S 値です。28.2.17 ビットレートレジスタ (BRR) を参照してください。

28.2.17 ビットレートレジスタ (BRR)

アドレス SCI0.BRR 4007 0001h, SCI1.BRR 4007 0021h, SCI2.BRR 4007 0041h, SCI9.BRR 4007 0121h



BRR レジスタは、ビットレートを調整するための 8 ビットのレジスタです。

SCI はチャンネルごとにボーレートジェネレータが独立しているため、それぞれ異なるビットレートの設定が可能です。調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードにおける、BRR レジスタの設定値 N とビットレート B の関係を表 28.5 に示します。

BRR レジスタの初期値は FFh です。BRR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR_SMCI レジスタの TE および RE ビットが 0 の場合にのみ可能です。

表 28.5 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR レジスタの設定値			BRR レジスタの設定値	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、 マルチプロセッサ通信	0	0	0	$N = \frac{PCLKA \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKA \times 10^6}{B \times 64 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLKA \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKA \times 10^6}{B \times 32 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLKA \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKA \times 10^6}{B \times 16 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLKA \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKA \times 10^6}{B \times 12 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
クロック同期式、 簡易 SPI				$N = \frac{PCLKA \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLKA \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKA \times 10^6}{B \times S \times 2^{2n+1} \times (N + 1)} - 1 \right\} \times 100$
簡易 IIC (注1)				$N = \frac{PCLKA \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B : ビットレート (bps)

N : 内蔵ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

PCLKA : 動作周波数 (MHz)

n および S : 表 28.7 と表 28.8 に示すように、SMR/SMR_SMCI レジスタと SCMR レジスタの設定値によって決まります。

注 1. 簡易 IIC モードでは、SCLn 出力の High/Low 幅が I²C 規格を満たすように、ビットレートを調整してください。

表 28.6 SCL High/Low幅算出式

モード	SCL	算出式 (結果は秒単位)
I ² C	High幅 (min値)	$(N + 1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLKA \times 10^6}$
	Low幅 (min値)	$(N + 1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLKA \times 10^6}$

表 28.7 クロックソースの設定

SMR/SMR_SMCI.CKS[1:0]ビット	クロックソース	n
0 0	PCLKAクロック	0
0 1	PCLKA/4クロック	1
1 0	PCLKA/16クロック	2
1 1	PCLKA/64クロック	3

表 28.8 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2ビット	SMR_SMCI.BCP[1:0]ビット	1ビット期間中の基本クロックのサイクル数	S
0	0 0	93クロックサイクル	93
0	0 1	128クロックサイクル	128
0	1 0	186クロックサイクル	186
0	1 1	512クロックサイクル	512
1	0 0	32クロックサイクル	32
1	0 1	64クロックサイクル	64
1	1 0	372クロックサイクル	372
1	1 1	256クロックサイクル	256

調歩同期式モードにおける、BRR レジスタ値 N の設定例を [表 28.9](#) と [表 28.10](#) に示します。各動作周波数において選択可能な最大ビットレートを [表 28.11](#) に示します。また、スマートカードインタフェースモードにおける、BRR レジスタ値 N の設定例を [表 28.15](#) に示します。

簡易 IIC モードにおける、BRR レジスタ値 N の設定例を [表 28.17](#) に示します。スマートカードインタフェースモードでは、1 ビット転送時間における基本クロックのサイクル数 S を選択できます。詳細は、[28.6.4 受信データのサンプリングタイミングと受信マージン](#)を参照してください。また、[表 28.12](#) と [表 28.13](#) に、外部クロック入力時の最大ビットレートを示します。

調歩同期式モードにおいて、シリアル拡張モードレジスタ (SEMR) の調歩同期基本クロック選択ビット (ABCS) またはボーレートジェネレータ倍速モード選択ビット (BGDM) のいずれか一方を 1 にした場合、ビットレートは [表 28.16](#) に記載された値の 2 倍になります。両ビットとも 1 にした場合、ビットレートは記載値の 4 倍になります。

表 28.9 各ビットレートに対するBRRの設定例 (調歩同期式モード) (1)

ビット レート (bps)	動作周波数PCLKA (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLKA (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

注. この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。
 ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。
 ABCS ビットと BGDM ビットの両方を 1 にした場合は、ビットレートが 4 倍になります。

表 28.10 各ビットレートに対するBRRの設定例 (調歩同期式モード) (2)

ビット レート (bps)	動作周波数PCLKA (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13	3	145	0.33	3	177	-0.25
150	3	64	0.16	3	80	0.47	3	97	-0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	-0.15	2	194	0.16	2	214	-0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	-0.15	1	194	0.16	1	214	-0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	-0.15	0	194	0.16	0	214	-0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35	0	106	0.39	0	129	0.16
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	64	0.16
31250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	-0.54	0	32	-1.36

注. この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。
 ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。
 ABCS ビットと BGDM ビットの両方を 1 にした場合は、ビットレートが 4 倍になります。

表 28.11 各動作周波数における最大ビットレート (調歩同期式モード) (1/2)

PCLKA (MHz)	SEMRレジスタの設定値					最大ビット レート (bps)	PCLKA (MHz)	SEMRレジスタの設定値					最大ビット レート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
8	0	0	0	0	0	250000	17.2032	0	0	0	0	0	537600
		1	0	0	0	500000			1	0	0	0	1075200
	1	0	0	0	0	1000000		1	0	0	0	0	2150400
		1	0	0	0				1	0	0	0	
	Don't care	Don't care	1	0	0	1333333		Don't care	Don't care	1	0	0	3000000
9.8304	0	0	0	0	0	307200	18	0	0	0	0	0	562500
		1	0	0	0	614400			1	0	0	0	1125000
	1	0	0	0	0	1228800		1	0	0	0	0	2250000
		1	0	0	0				1	0	0	0	
	Don't care	Don't care	1	0	0	1638400		Don't care	Don't care	1	0	0	3000000
10	0	0	0	0	0	312500	19.6608	0	0	0	0	0	614400
		1	0	0	0	625000			1	0	0	0	1228800
	1	0	0	0	0	1250000		1	0	0	0	0	2457600
		1	0	0	0				1	0	0	0	
	Don't care	Don't care	1	0	0	1666666		Don't care	Don't care	1	0	0	3276800
12	0	0	0	0	0	375000	20	0	0	0	0	0	625000
		1	0	0	0	750000			1	0	0	0	1250000
	1	0	0	0	0	1500000		1	0	0	0	0	2500000
		1	0	0	0				1	0	0	0	
	Don't care	Don't care	1	0	0	2000000		Don't care	Don't care	1	0	0	3333333

表 28.11 各動作周波数における最大ビットレート (調歩同期式モード) (2/2)

PCLKA (MHz)	SEMRレジスタの設定値					最大ビットレート (bps)	PCLKA (MHz)	SEMRレジスタの設定値					最大ビットレート (bps)		
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N			
12.288	0	0	0	0	0	384000	25	0	0	0	0	0	781250		
		1	0	0	0	768000			1	0	0	0	1562500		
	1	0	0	0	0	1536000		1	0	0	0	0	3125000		
		1	0	0	0				1	0	0	0		4166666	
	Don't care	Don't care	1	0	0	2048000		Don't care	Don't care	1	0	0	0	0	
	14	0	0	0	0	0		437500	30	0	0	0	0	0	937500
			1	0	0	0		875000			1	0	0	0	1875000
1		0	0	0	0	1750000	1	0		0	0	0	3750000		
		1	0	0	0			1		0	0	0		5000000	
Don't care		Don't care	1	0	0	2333333	Don't care	Don't care		1	0	0	0	0	
16		0	0	0	0	0	500000	33		0	0	0	0	0	1031250
			1	0	0	0	1000000				1	0	0	0	2062500
	1	0	0	0	0	2000000	1		0	0	0	0	4125000		
		1	0	0	0				1	0	0	0		5500000	
	Don't care	Don't care	1	0	0	2666666	Don't care		Don't care	1	0	0	0	0	
	40	0	0	0	0	0	1250000								
			1	0	0	0	2500000								
1		0	0	0	0	5000000									
		1	0	0	0										
Don't care		Don't care	1	0	0	6666666									

表 28.12 外部クロック入力時の最大ビットレート (調歩同期式モード)

PCLKA (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)	
		SEMR.ABCS ビット=0	SEMR.ABCS ビット=1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500
33	8.2500	515625	1031250
40	10.0000	625000	1250000

表 28.13 各ビットレートに対するBRRの設定例 (クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数PCLKA (MHz)															
	8		10		16		20		25		30		33		40	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																
250	3	124	—	—	3	249										
500	2	249	—	—	3	124	—	—			3	233				
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	155
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	249
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	124
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	249
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	99
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	49
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	99
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	39
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	19
1M	0	1			0	3	0	4	—	—	—	—	—	—	0	9
2.5M			0	0 (注1)			0	1	—	—	0	2	—	—	0	3
5M							0	0 (注1)	—	—	—	—	—	—	0	1
7.5M											0	0 (注1)				

空欄：設定禁止

—：設定可能ですが誤差が生じます。

注 1. 連続送受信はできません。1フレームの送受信後、次のフレームの送受信を開始するまでに1ビット期間の間隔が空きます。すなわち、同期クロックの出力が1ビット期間停止します。そのため、1フレーム（8ビット）のデータ転送に9ビット分の時間がかかり、平均転送レートはビットレートの8/9倍になります。

表 28.14 外部クロック入力時の最大ビットレート (クロック同期式モード、簡易SPIモード)

PCLKA (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
8	1.3333	1.3333333
10	1.6667	1.6666667
12	2.0000	2.0000000
14	2.3333	2.3333333
16	2.6667	2.6666667
18	3.0000	3.0000000
20	3.3333	3.3333333
25	4.1667	4.1666667
30	5.0000	5.0000000
33	5.5000	5.5000000
40	6.6667	6.6666667

表 28.15 各種ビットレートに対するBRRの設定例 (スマートカードインタフェースモード、n = 0、S = 372の場合)

ビットレート (bps)	動作周波数PCLKA (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	-30	0	1	-25	0	1	-8.99

ビットレート (bps)	動作周波数PCLKA (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	-15.99	0	2	-6.66

ビットレート (bps)	動作周波数PCLKA (MHz)											
	25.00			30.00			33.00			40.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	-12.49	0	3	5.01	0	4	-7.59	0	5	-6.66

表 28.16 各動作周波数における最大ビットレート (スマートカードインタフェースモード、S = 32の場合)

PCLKA (MHz)	最大ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0
33.00	515625	0	0
40.00	625000	0	0

表 28.17 各ビットレートに対するBRRの設定例 (簡易IICモード)

ビット レート (bps)	動作周波数PCLKA (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	30	0.8	1	12	-3.8	1	15	-2.3	1	19	-2.3
25k	0	9	0.0	0	12	-3.8	1	4	0.0	1	5	4.2	1	7	-2.3
50k	0	4	0.0	0	5	4.2	1	2	-16.7	1	2	4.2	1	3	-2.3
100k (注1)	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	0	25	0	1	0.0	0	2	-16.7	0	2	4.2
350k										0	1	-10.7	0	1	11.6 (注2)
400k (注1)										0	1	-21.9	0	1	-2.3 (注2)

ビット レート (bps)	動作周波数PCLKA (MHz)								
	30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	1	22	1.9	1	25	-0.8	0	124	0.0
25k	1	8	4.2	1	9	3.1	0	49	0.0
50k	1	4	-6.3	1	4	3.1	0	24	0.0
100k (注1)	1	2	-21.9	1	2	-14.1	0	12	-3.9
250k	0	3	-6.3	0	3	3.1	0	4	0.0
350k	0	2	-10.7	0	2	-1.8	0	3	-10.7
400k (注1)	0	2	-21.9	0	2	-14.1	0	3	-21.9

注 1. 100kbps と 400kbps のビットレートは、設定値の誤差が負（マイナス）の側にあることを意味しています。

注 2. Low 幅の最小値は、ファストモードでの標準値である 1.3 μ s 未満です。

表 28.18 各ビットレートでの SCL High/Low 幅最小値 (簡易 IIC モード)

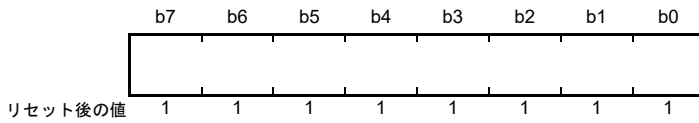
ビット レート (bps)	動作周波数 PCLKA (MHz)											
	8			10			16			20		
	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)
10k	0	24	43.75/50.00	0	30	43.40/49.60	1	12	45.5/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00	1	5	16.80/19.20
50k	0	4	8.75/10.00	0	5	8.40/9.60	1	2	10.50/12.00	1	2	8.40/9.60
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.38/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	0	1.40/1.60	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60
400k										0	1	1.40/1.60

ビット レート (bps)	動作周波数 PCLKA (MHz)											
	25			30			33			40		
	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)
10k	1	19	44.80/51.20	1	22	42.93/49.60	1	25	44.12/50.42	0	124	43.75/50.00
25k	1	7	17.92/20.48	1	8	16.80/19.20	1	9	16.97/19.39	0	49	17.50/20.00
50k	1	3	8.96/10.24	1	4	9.33/10.66	1	4	8.48/9.70	0	24	8.75/10.00
100k	1	1	4.48/5.12	1	2	5.60/6.40	1	2	5.09/5.82	0	12	4.55/5.20
250k	0	2	1.68/1.92	0	3	1.86/2.13	0	3	1.70/1.94	0	4	1.75/2.00
350k	0	1	1.12/1.28 (注1)	0	2	1.40/1.60	0	2	1.27/1.45	0	3	1.40/1.60
400k	0	1	1.12/1.28 (注1)	0	2	1.40/1.60	0	2	1.27/1.45	0	3	1.40/1.60

注 1. Low 幅の最小値は、ファストモードの標準値である 1.3μs 未満です。設定値は表 28.17 と同一です。

28.2.18 モジュレーションデューティレジスタ (MDDR)

アドレス SCI0.MDDR 4007 0012h, SCI1.MDDR 4007 0032h, SCI2.MDDR 4007 0052h, SCI9.MDDR 4007 0132h



MDDR レジスタは、BRR レジスタで調整されたビットレートを補正するためのレジスタです。

SEMR.BRME ビットが 1 のとき、内蔵ボーレートジェネレータにより生成されるビットレートは、MDDR レジスタの設定に応じて均一に補正されます (M/256)。MDDR レジスタの設定値 M とビットレート B の関係を表 28.19 に示します。

MDDR レジスタの初期値は FFh です。ビット 7 は 1 に固定されています。

MDDR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0 の場合にのみ可能です。

表 28.19 ビットレートモジュレーション機能使用時のMDDRレジスタ設定値MとビットレートBの関係

モード	SEMRレジスタの設定値			BRRレジスタの設定値	誤差
	BGDMビット	ABCSビット	ABCSEビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLKA \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKA \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLKA \times 10^6}{32 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKA \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLKA \times 10^6}{16 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKA \times 10^6}{B \times 16 \times 2^{2n-1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
	1	1	0	$N = \frac{PCLKA \times 10^6}{12 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKA \times 10^6}{B \times 12 \times 2^{2n-1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLKA \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKA \times 10^6}{B \times 8 \times 2^{2n-1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
クロック同期式、簡易SPI (注1)				$N = \frac{PCLKA \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLKA \times 10^6}{S \times 2^{2n+1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKA \times 10^6}{B \times S \times 2^{2n+1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
簡易I2C (注2)				$N = \frac{PCLKA \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	

B : ビットレート (bps)

M : MDDR レジスタの設定値 (128 ≤ MDDR ≤ 255)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

PCLKA : 動作周波数 (MHz)

n および S : 表 28.7 と表 28.8 に示すように、SMR/SMR_SMCI レジスタと SCMR レジスタの設定値によって決まります。28.2.17 ビットレートレジスタ (BRR) を参照してください。

注 1. クロック同期式モードと、簡易 SPI モードの最高速設定 (SMR.CKS[1:0] ビット = 00b, SCR.CKE[1] ビット = 0、および BRR = 0) では、この機能を使用しないでください。

注 2. 簡易 IIC モードでは、SCLn 出力の High/Low 幅が I2C 規格を満たすように、ビットレートを調整してください。

調歩同期式モードにおける BRR レジスタ値 N と MDDR レジスタ値 M の設定例を表 28.20 に示します。

表 28.20 各種ビットレートに対する BRR と MDDR の設定例 (調歩同期式モード) (1)

ビット レート (bps)	動作周波数 PCLKA (MHz)														
	8					9.8304					10				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	5	236	0	0.03	0	7	(256) (注1)	0	0.00	0	10	173	1	-0.01
57600	0	3	236	0	0.03	0	4	240	0	0.00	0	4	236	0	0.03
115200	0	1	236	0	0.03	0	1	192	0	0.00	0	4	236	1	0.03
230400	0	0	236	0	0.03	0	0	192	0	0.00	0	1	189	1	0.14
460800	0	0	236	1	0.03	0	0	192	1	0.00	0	0	189	1	0.14

ビット レート (bps)	動作周波数 PCLKA (MHz)														
	12					12.288					14				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	8	236	0	0.03	0	9	(256) (注1)	0	0.00	0	16	191	1	0.00
57600	0	5	236	0	0.03	0	4	192	0	0.00	0	13	236	1	0.03
115200	0	2	236	0	0.03	0	4	192	1	0.00	0	6	236	1	0.03
230400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460800	0	0	157	1	-0.18	0	0	154	1	0.26	0	0	135	1	0.14

ビット レート (bps)	動作周波数 PCLKA (MHz)														
	16					17.2032					18				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	11	236	0	0.03	0	13	(256) (注1)	0	0.00	0	18	166	1	-0.01
57600	0	7	236	0	0.03	0	6	192	0	0.00	0	18	249	1	-0.01
115200	0	3	236	0	0.03	0	6	192	1	0.00	0	8	236	1	0.03
230400	0	1	236	0	0.03	0	3	219	1	-0.20	0	1	210	0	0.14
460800	0	1	236	1	0.03	0	1	219	1	-0.20	0	0	210	0	0.14

ビット レート (bps)	動作周波数 PCLKA (MHz)														
	19.6608					20					25				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	15	(256) (注1)	0	0.00	0	10	173	0	-0.01	0	11	151	0	0.00
57600	0	9	240	0	0.00	0	9	236	0	0.03	0	7	151	0	0.00
115200	0	4	240	0	0.00	0	4	236	0	0.03	0	3	151	0	0.00
230400	0	1	192	0	0.00	0	4	236	1	0.03	0	1	151	0	0.00
460800	0	0	192	0	0.00	0	0	189	0	0.14	0	0	151	0	0.00

ビット レート (bps)	動作周波数 PCLKA (MHz)														
	30					33					40				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	36	194	1	0.01	0	14	143	0	0.01	0	21	173	0	-0.01
57600	0	10	173	0	-0.01	0	9	143	0	0.01	0	38	230	1	-0.01
115200	0	10	173	1	-0.01	0	4	143	0	0.01	0	9	236	0	0.03
230400	0	6	220	1	-0.09	0	4	143	1	0.01	0	4	236	0	0.03
460800	0	3	252	1	0.14	0	1	229	0	0.10	0	4	236	1	0.03

注 1. この例は、SEMR.ABCS ビットと SEMR.ABCSE ビットが 0 の場合を示しています。
SEMR.BRME = 0 (M = 256) の場合、ビットレートモジュレーション機能は無効になります。

28.2.19 シリアル拡張モードレジスタ (SEMR)

アドレス SCI0.SEMR 4007 0007h, SCI1.SEMR 4007 0027h, SCI2.SEMR 4007 0047h, SCI9.SEMR 4007 0127h

	b7	b6	b5	b4	b3	b2	b1	b0
	RXDESEL	BGDM	NFEN	ABCS	ABCSE	BRME	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	BRME	ビットレートモジュレーション有効	0: ビットレートモジュレーション機能は無効 1: ビットレートモジュレーション機能は有効	R/W (注1)
b3	ABCSE	調歩同期拡張基本クロック選択	調歩同期式モードにおいて、SCR.CKE[1] = 0の場合にのみ有効です。 0: 1ビット期間のクロックサイクルは、SEMRレジスタのBGDMとABCSの組み合わせにより決定 1: ポーレートは1ビット期間に対して基本クロックの6サイクル	R/W (注1)
b4	ABCS	調歩同期基本クロック選択	調歩同期式モードでのみ有効 0: 基本クロックの16サイクルを1ビット期間として選択 1: 基本クロックの8サイクルを1ビット期間として選択	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能有効	調歩同期式モードの場合 0: RXDn入力信号のノイズ除去機能は無効 1: RXDn入力信号のノイズ除去機能は有効 (簡易IICモードの場合) 簡易IICモードの場合 0: SCLnおよびSDAn入力信号のノイズ除去機能は無効 1: SCLnおよびSDAn入力信号のノイズ除去機能は有効 他のすべてのモードでは、NFENビットは0でなければなりません。	R/W (注1)
b6	BGDM	ポーレートジェネレータ倍速モード選択	調歩同期式モードにおいて、SCR.CKE[1] = 0の場合にのみ有効です。 0: ポーレートジェネレータから1倍の周波数のクロックを出力 1: ポーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b7	RXDESEL	調歩同期スタートビットエッジ検出選択	調歩同期式モードでのみ有効です。 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がりがエッジでスタートビットを検出	R/W (注1)

注1. SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0 (シリアル送信動作および受信動作を禁止) の場合にのみ書き込み可能です。

SEMR レジスタは、調歩同期式モードにおいて、1 ビット期間のクロックソースを選択するためのレジスタです。

BRME ビット (ビットレートモジュレーション有効)

ビットレートモジュレーション機能を有効または無効にします。有効にすると、内蔵ポーレートジェネレータによって生成されるビットレートが均一に補正されます。

ABCSE ビット (調歩同期拡張基本クロック選択)

1 ビット期間における基本クロックのパルス数は 6 であり、ポーレートジェネレータから 2 倍の周波数のクロックが出力されます。バスクロック周波数を分周しているときにビットレートを 6 にする場合、ABCSE ビットを使用し、かつ SMR.CKS[1:0] = 00b、BRR = 0 に設定してください。本ビットは、調歩同期式モード以外では 0 にしてください。

ABCS ビット (調歩同期基本クロック選択)

1 ビット期間の基本クロックのサイクル数を選択します。本ビットは、調歩同期式モード以外では 0 にしてください。

NFEN ビット (デジタルノイズフィルタ機能有効)

デジタルノイズフィルタ機能を有効または無効にします。

デジタルノイズフィルタ機能を有効にした場合：

- 調歩同期式モードでは、RXDn 入力信号のノイズを除去する
- 簡易 IIC モードでは、SDAn および SCLn の入力信号のノイズを除去する

他のすべてのモードでは、NFEN ビットを 0 にして、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、受信した信号がそのまま転送されます。

BGDM ビット (ポーレートジェネレータ倍速モード選択)

ポーレートジェネレータの出力クロックの周期を通常の周波数にするか 2 倍の周波数にするかを選択します。

本ビットは、調歩同期式モード (SMR.CM ビット = 0) において、クロックソースに内蔵ポーレートジェネレータ (SCR.CKE[1] ビット = 0) を選択したとき有効です。内蔵ポーレートジェネレータから通常の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ポーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビットを 1 にすると、基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

本ビットは、調歩同期式モード以外では 0 にしてください。

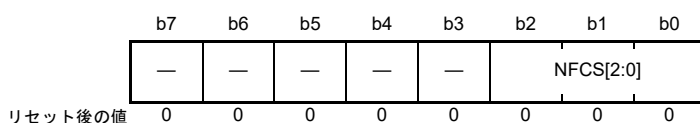
RXDESEL ビット (調歩同期スタートビットエッジ検出選択)

調歩同期式モードで受信する場合のスタートビットの検出方法を選択します。ブレイク中に受信を停止する場合、またはブレイク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せずに受信を開始する場合、本ビットを 1 にしてください。

本ビットは、調歩同期式モード以外では 0 にしてください。

28.2.20 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI0.SNFR 4007 0008h, SCI1.SNFR 4007 0028h, SCI2.SNFR 4007 0048h, SCI9.SNFR 4007 0128h



ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロック 選択	調歩同期式モード時、基本クロックの標準設定は下記のとおりです。 b2 b0 0 0 0: 1分周のクロック信号をノイズフィルタに使用 簡易IICモード時、SMR.CKS[1:0]ビットで選択した内蔵ポーレート ジェネレータのクロックソースの標準設定は下記のとおりです。 b2 b0 0 0 1: 1分周のクロック信号をノイズフィルタに使用 0 1 0: 2分周のクロック信号をノイズフィルタに使用 0 1 1: 4分周のクロック信号をノイズフィルタに使用 1 0 0: 8分周のクロック信号をノイズフィルタに使用 上記以外は設定しないでください。	R/W (注1)
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

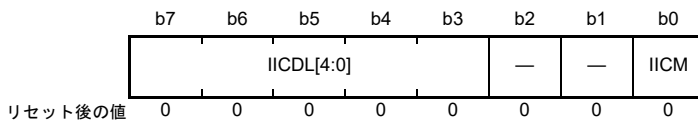
SNFR レジスタは、デジタルノイズフィルタのクロックを設定するためのレジスタです。

NFCS[2:0] ビット (ノイズフィルタクロック選択)

デジタルノイズフィルタのサンプリングクロックを選択します。調歩同期式モードでノイズフィルタを使用する場合、これらのビットを 000b にしてください。簡易 IIC モードでは、これらのビットを 001b ~ 100b の範囲で設定してください。

28.2.21 I²C モードレジスタ 1 (SIMR1)

アドレス SCI0.SIMR1 4007 0009h, SCI1.SIMR1 4007 0029h, SCI2.SIMR1 4007 0049h, SCI9.SIMR1 4007 0129h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易 I ² C モード選択	SMIF IICM 0 0 : 調歩同期式モード、マルチプロセッサモード、 クロック同期式モード、または簡易 SPI モード 0 1 : 簡易 IIC モード 1 0 : スマートカードインタフェースモード 1 1 : 設定禁止	R/W (注1)
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b3	IICDL[4:0]	SDA 遅延出力選択	下記のサイクル数は、内蔵ポーレートジェネレータからのクロック 信号のサイクル数です。 b7 b3 0 0 0 0 0 : 出力遅延なし 0 0 0 0 1 : 0~1サイクル 0 0 0 1 0 : 1~2サイクル 0 0 0 1 1 : 2~3サイクル 0 0 1 0 0 : 3~4サイクル 0 0 1 0 1 : 4~5サイクル : 1 1 1 1 0 : 29~30サイクル 1 1 1 1 1 : 30~31サイクル	R/W (注1)

注1. SCR.TE ビットと SCR.RE ビットが0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SIMR1 レジスタは、簡易 IIC モードと、SDAn 出力の遅延段数を選択するためのレジスタです。

IICM ビット (簡易 I²C モード選択)

IICM ビットは、SCMR.SMIF ビットとの組み合わせで動作モードを選択します。

IICDL[4:0] ビット (SDA 遅延出力選択)

SCLn 端子出力の立ち下がりに対する SDAn 端子出力の遅延を設定します。

内蔵ポーレートジェネレータからのクロック信号を基準として、「遅延なし」から 31 サイクルまでの範囲で設定が可能です。SMR.CKS[1:0] ビットの設定によって分周された PCLKA クロックが、内蔵ポーレートジェネレータからのクロック信号として供給されます。簡易 IIC モード以外では、これらのビットを 00000b にしてください。簡易 IIC モードでは、これらのビットを 00001b ~ 11111b の範囲で設定してください。

28.2.22 I²C モードレジスタ 2 (SIMR2)

アドレス SCI0.SIMR2 4007 000Ah, SCI1.SIMR2 4007 002Ah, SCI2.SIMR2 4007 004Ah, SCI9.SIMR2 4007 012Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	IICACK T	—	—	—	IICCSC	IICINT M
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I ² C 割り込みモード選択	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化	0 : クロック信号と同期しない 1 : クロック信号と同期する	R/W (注1)
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	IICACKT	ACK 送信データ	0 : ACK 送信 1 : NACK 送信または ACK/NACK 受信	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SCR.TE ビットと SCR.RE ビットが0 (シリアル受信動作およびシリアル送信動作を禁止) の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 IIC モードにおいて、送受信の制御方法を選択するためのレジスタです。

IICINTM ビット (I²C 割り込みモード選択)

簡易 IIC モードにおいて、割り込み要求の要因を選択します。

IICCSC ビット (クロック同期化)

たとえば、他のデバイスによりウェイトが挿入されたため SCL_n 端子を Low レベルにしたとき、内部で生成する SCL_n クロック信号を同期化する場合は、IICCSC ビットを 1 にしてください。

IICCSC ビットを 0 にすると、SCL_n クロック信号の同期化を行いません。SCL_n 端子の入力レベルにかかわらず、BRR レジスタで選択したビットレートに従って SCL_n クロック信号を生成します。

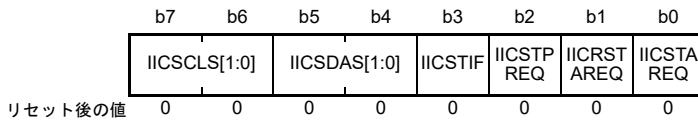
デバッグ時を除いて、IICCSC ビットは 1 にしてください。

IICACKT ビット (ACK 送信データ)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は、IICACKT ビットを 1 にしてください。

28.2.23 I²C モードレジスタ 3 (SIMR3)

アドレス SCI0.SIMR3 4007 000Bh, SCI1.SIMR3 4007 002Bh, SCI2.SIMR3 4007 004Bh, SCI9.SIMR3 4007 012Bh



ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成	0: 開始条件を生成しない 1: 開始条件を生成する (注1) (注3) (注5) (注6)	R/W
b1	IICRSTAREQ	再開条件生成	0: 再開条件を生成しない 1: 再開条件を生成する (注2) (注3) (注5) (注6)	R/W
b2	IICSTPREQ	停止条件生成	0: 停止条件を生成しない 1: 停止条件を生成する (注2) (注3) (注5) (注6)	R/W
b3	IICSTIF	開始/再開/停止条件生成完了フラグ	0: 各条件の生成要求がない状態、または生成中の状態 1: 開始条件、再開条件、または停止条件の生成が完了した状態 IICSTIF ビットに0を書くと、0になります。(注4)	R/W (注4)
b5-b4	IICSDAS[1:0]	SDA出力選択	b5 b4 0 0: シリアルデータ出力 0 1: 開始条件、再開条件、または停止条件の生成 1 0: SDA _n 端子はLowを出力 1 1: SDA _n 端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SCL出力選択	b7 b6 0 0: シリアルクロック出力 0 1: 開始条件、再開条件、または停止条件の生成 1 0: SCL _n 端子はLowを出力 1 1: SCL _n 端子はハイインピーダンス状態	R/W

- 注1. バスの状態を確認し、バスフリー状態のときにのみ開始条件を生成してください。
 注2. バスの状態を確認し、バスビジー状態のときに再開条件または停止条件を生成してください。
 注3. IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットは、2つ以上を1にしないでください。
 注4. 0のみを書いてください。1を書くと、その値は無視されます。
 注5. IICSTIF フラグを0にしてから、各条件生成を行ってください。
 注6. 1の状態にあるとき、0を書かないでください。本ビットが1の状態にあるとき0を書くと、条件生成が中断します。

IICSTAREQ ビット (開始条件生成)

開始条件の生成を行うときは、IICSTAREQ ビットを1にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1を書いたとき

[0 になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット (再開条件生成)

再開条件の生成を行うときは、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にし、IICRSTAREQ ビットを1にしてください。

[1 になる条件]

- 1を書いたとき

[0 になる条件]

- 再開条件の生成が完了したとき

IICSTPREQ ビット (停止条件生成)

停止条件の生成を行うときは、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にし、IICSTPREQ ビットを 1 にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ (開始/再開/停止条件生成完了フラグ)

各条件の生成後に、生成が完了したことを示します。IICSTAREQ ビット、IICRSTAREQ ビット、または IICSTPREQ ビットを用いて各条件の生成を行うときは、IICSTIF フラグを 0 にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可されているとき、IICSTIF フラグが 1 の場合に STI 要求が出力されます。

[1 になる条件]

- 開始条件、再開条件、または停止条件の生成が完了したとき
本フラグが 0 になる条件と競合した場合は、0 になる条件が優先されます。

[0 になる条件]

- 本ビットに 0 を書き込んだとき (その後 IICSTIF フラグが 0 であることを確認してください)
- SIMR1.IICM ビットに 0 を書き込んだとき (簡易 IIC モード以外の場合)
- SCR.TE ビットに 0 を書き込んだとき

IICSDAS[1:0] ビット (SDA 出力選択)

SDAn 端子からの出力を制御します。

IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

IICSCLS[1:0] ビット (SCL 出力選択)

SCLn 端子からの出力を制御します。

IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

28.2.24 I²C ステータスレジスタ (SISR)

アドレス SCI0.SISR 4007 000Ch, SCI1.SISR 4007 002Ch, SCI2.SISR 4007 004Ch, SCI9.SISR 4007 012Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACKR
リセット後の値	0	0	x	x	0	x	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK 受信データフラグ	0 : ACK 受信 1 : NACK 受信	R
b1	—	予約ビット	読むと0が読めます。	R
b2	—	予約ビット	読むと不定値が読めます。	R
b3	—	予約ビット	読むと0が読めます。	R
b5-b4	—	予約ビット	読むと不定値が読めます。	R
b7-b6	—	予約ビット	読むと0が読めます。	R

SISR レジスタは、簡易 IIC モードにおける状態をモニタするためのレジスタです。

IICACKR フラグ (ACK 受信データフラグ)

IICACKR フラグから、受信した ACK/NACK ビットを読み出すことができます。IICACKR フラグは、ACK/NACK を受信するビットの SCL_n クロックの立ち上がりのタイミングで更新されます。

28.2.25 SPI モードレジスタ (SPMR)

アドレス SCI0.SPMR 4007 000Dh, SCI1.SPMR 4007 002Dh, SCI2.SPMR 4007 004Dh, SCI9.SPMR 4007 012Dh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn 端子機能有効	0 : SSn 端子機能は無効 1 : SSn 端子機能は有効	R/W (注1)
b1	CTSE	CTS 有効	0 : CTS 機能は無効 (RTS 出力機能は有効) 1 : CTS 機能は有効	R/W (注1)
b2	MSS	マスタスレーブ選択	0 : TXDn 端子は送信、RXDn 端子は受信 (マスタモード) 1 : TXDn 端子は受信、RXDn 端子は送信 (スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	MFF	モードフォルトフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	CKPOL	クロック極性選択	0 : クロック極性反転なし 1 : クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相選択	0 : クロック遅延なし 1 : クロック遅延あり	R/W (注1)

- 注1. SCR.TE ビットと SCR.RE ビットが0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。
注2. フラグをクリアするため、0 を書き込むことのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット (SSn 端子機能有効)

簡易 SPI モードで SSn 端子を用いて送受信制御を行うには、SSE ビットを1にしてください。他のすべてのモードでは0にしてください。マスタモード (SCR.CKE[1:0] = 00b および MSS = 0) 選択時にシングルマスタ構成が存在する場合は、送受信制御にマスタ側 SSn 端子は必要ないため、SSE ビットを0にします。SSE ビットと CTSE ビットの両方を有効にしないでください (両方を有効にした場合、両ビットを0にしたときと同じ動作になります)。

CTSE ビット (CTS 有効)

SSn 端子を CTS 制御信号入力として用いて送受信制御を行う場合、本ビットを1にしてください。本ビットを0にした場合は RTS 信号が出力されます。スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードでは、本ビットを0にしてください。CTSE ビットと SSE ビットの両方を1にしないでください。両方を有効にした場合、両ビットを0にしたときと同じ動作になります。

MSS ビット (マスタスレーブ選択)

簡易 SPI モードにおいて、マスタ動作またはスレーブ動作を選択します。MSS ビットを1にすると、TXDn 端子と RXDn 端子の機能が逆になり、データは TXDn 端子を介して受信され、RXDn 端子を介して送信されます。簡易 SPI モード以外では0にしてください。

MFF フラグ (モードフォルトフラグ)

モードフォルトエラーが発生したことを示します。マルチマスタ構成では、本フラグを読み出すことでモードフォルトエラーの発生を判定できます。

[1 になる条件]

- 簡易 SPI モードでマスタモード (SSE ビット = 1 かつ MSS ビット = 0) の場合に、SSn 端子入力が Low になったとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

CKPOL ビット (クロック極性選択)

SCKn 端子からのクロック出力の極性を選択します。詳細は、[図 28.70](#) を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では 0 としてください。

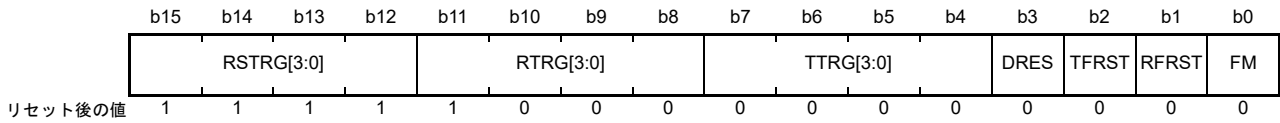
CKPH ビット (クロック位相選択)

SCKn 端子からのクロック出力の位相を選択します。詳細は、[図 28.70](#) を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では 0 としてください。

28.2.26 FIFO コントロールレジスタ (FCR)

アドレス SCI0.FCR 4007 0014h, SCI1.FCR 4007 0034h



ビット	シンボル	ビット名	機能	R/W
b0	FM	FIFOモード選択	調歩同期モード（マルチプロセッサを含む）またはクロック同期モードでのみ有効です。 0：非FIFOモード 通信にはTDR/RDRまたはTDRHL/RDRHLレジスタが選択されます。 1：FIFOモード 通信にはFTDRHL/FRDRHLレジスタが選択されます。	R/W (注1)
b1	RFRST	受信FIFOデータレジスタリセット	FCR.FM = 1の場合にのみ有効です。 0：FRDRHLレジスタをリセットしない 1：FRDRHLレジスタをリセットする	R/W
b2	TFRST	送信FIFOデータレジスタリセット	FCR.FM = 1の場合にのみ有効です。 0：FTDRHLレジスタをリセットしない 1：FTDRHLレジスタをリセットする	R/W
b3	DRES	受信データレディエラー選択	受信データレディ検出時に割り込み要求を選択します。 0：受信データフル割り込み (SCIn_RXI) 1：受信エラー割り込み (SCIn_ERI)	R/W
b7-b4	TTRG[3:0]	送信FIFOデータトリガ数	調歩同期モード（マルチプロセッサを含む）またはクロック同期モードでのみ有効です。 0000：トリガ数0 : 1111：トリガ数15	R/W
b11-b8	RTRG[3:0]	受信FIFOデータトリガ数	調歩同期モード（マルチプロセッサを含む）またはクロック同期モードでのみ有効です。 0000：トリガ数0 : 1111：トリガ数15	R/W
b15-b12	RSTRG[3:0]	RTS出力アクティブトリガ数選択	調歩同期モード（マルチプロセッサを含む）またはクロック同期モードにおいて、FCR.FM = 1、SPMR.CTSE = 0、およびSPMR.SSE = 0の場合にのみ有効です。 0000：トリガ数0 : 1111：トリガ数15	R/W

注1. TEビット=0かつREビット=0の場合にのみ書き込み可能です。

FCRレジスタは、FIFOモードの選択、FTDRHL/FRDRHLレジスタのリセット、送受信用FIFOデータトリガ数の選択、およびRTS出力アクティブトリガ数の選択を行います。

FMビット (FIFOモード選択)

FMビットを1にすると、通信にはFTDRHLとFRDRHLが選択されます。FMビットを0にすると、通信にはTDRとRDR、またはTDRHLとRDRHLが選択されます。

RFRSTビット (受信FIFOデータレジスタリセット)

RFRSTビットを1にすると、FRDRHLレジスタがリセットされ、受信データ量は0にリセットされます。本ビットは、1を書き込んでから1PCLKA経過後に0になります。

TFRST ビット (送信 FIFO データレジスタリセット)

TFRST ビットを 1 にすると、FTDRHL レジスタがリセットされ、送信データ量は 0 にリセットされます。本ビットは、1 を書き込んでから 1PCLKA 経過後 0 になります。

DRES ビット (受信データレディエラー選択)

受信データレディ検出時、DRES ビットは、SCIn_RXI 割り込み要求または SCIn_ERI 割り込み要求を選択します。DMAC または DTC の開始、および FRDRH レジスタまたは FRDRL レジスタの読み出しを行う場合に DRES ビットを 1 にします。

TTRG[3:0] ビット (送信 FIFO データトリガ数)

送信 FIFO データレジスタ (FTDRHL) 内の送信データ量が指定された送信トリガ数以下の場合、TDFE フラグが 1 になり、ソフトウェアによる FTDRHL レジスタへのデータ書き込みが可能になります。SCR.TIE = 1 であれば、SCIn_TXI 割り込み要求が発生しています。

RTRG[3:0] ビット (受信 FIFO データトリガ数)

受信 FIFO データレジスタ (FRDRHL) 内の受信データ量が指定された受信トリガ数以上の場合、RDF フラグが 1 になり、ソフトウェアによる FRDRHL レジスタからのデータ読み出しが可能になります。SCR.RIE = 1 であれば、SCIn_RXI 割り込み要求が発生しています。RTRG[3:0] が 0 の場合は、受信 FIFO 内のデータ量が 0 であっても、RDF フラグはセットされません。また、SCIn_RXI 割り込みは発生しません。

RSTRG[3:0] ビット (RTS 出力アクティブトリガ数選択)

受信 FIFO データレジスタ (FRDRHL) に格納された受信データ量が指定された受信トリガ数以上の場合、RTS 信号は High 状態になります。RSTRG[3:0] が 0 の場合は、受信 FIFO 内のデータ量が 0 であっても、RTS 信号は High 状態になりません。

28.2.27 FIFO データ数レジスタ (FDR)

アドレス SCI0.FDR 4007 0016h, SCI1.FDR 4007 0036h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	T[4:0]				—	—	—	R[4:0]				—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b4-b0	R[4:0]	受信 FIFO データ数	FRDRHL レジスタに格納された受信データ数を示します。マルチプロセッサを含む調歩同期式モードまたはクロック同期式モードにおいて、FCR.FM = 1 の場合にのみ有効です。	R
b7-b5	—	予約ビット	読むと 0 が読めます。	R
b12-b8	T[4:0]	送信 FIFO データ数	FTDRHL レジスタに格納された未送信データ数を示します。マルチプロセッサを含む調歩同期式モードまたはクロック同期式モードにおいて、FCR.FM = 1 の場合にのみ有効です。	R
b15-b13	—	予約ビット	読むと 0 が読めます。	R

このレジスタは、FRDRHL/FTDRHL レジスタに格納されたデータ数を示します。

R[4:0] ビット (受信 FIFO データ数)

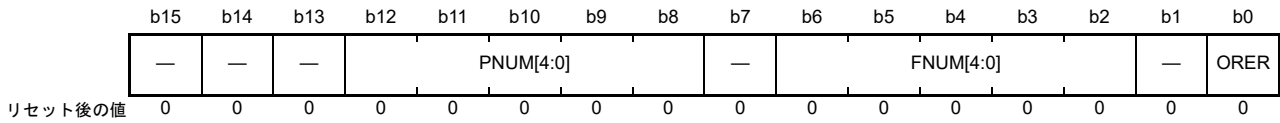
FRDRHL レジスタに格納された受信データ数を示します。値 00h は受信データがないことを意味します。また、値 10h は最大数の受信データが FRDRHL レジスタに格納されていることを意味します。

T[4:0] ビット (送信 FIFO データ数)

FTDRHL レジスタに格納された未送信データ数を示します。値 00h は送信データがないことを意味します。また、値 10h は全送信データ (最大数) が FTDRHL レジスタに格納されていることを意味します。

28.2.28 ラインステータスレジスタ (LSR)

アドレス SCI0.LSR 4007 0018h, SCI1.LSR 4007 0038h



ビット	シンボル	ビット名	機能	R/W
b0	ORER	オーバーランエラーフラグ	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FIFO 選択時にのみ有効です。 0：オーバーランエラーの発生なし 1：オーバーランエラーの発生あり	R (注1)
b1	—	予約ビット	読むと0が読めます。	R
b6-b2	FNUM[4:0]	フレーミングエラー数	受信 FIFO データレジスタ (FRDRHL) に格納された受信データの中でフレーミングエラーを含むデータ数を示します。	R
b7	—	予約ビット	読むと0が読めます。	R
b12-b8	PNUM[4:0]	パリティエラー数	受信 FIFO データレジスタ (FRDRHL) に格納された受信データの中でパリティエラーを含むデータ数を示します。	R
b15-b13	—	予約ビット	読むと0が読めます。	R

注 1. 本フラグが 1 の場合は、SSR_FIFO.ORER に 0 を書き込んでクリアしてください。

LSR レジスタは、受信エラーのステータスを示すためのレジスタです。

ORER フラグ (オーバーランエラーフラグ)

SSR_FIFO.ORER の値を反映します。

FNUM[4:0] ビット (フレーミングエラー数)

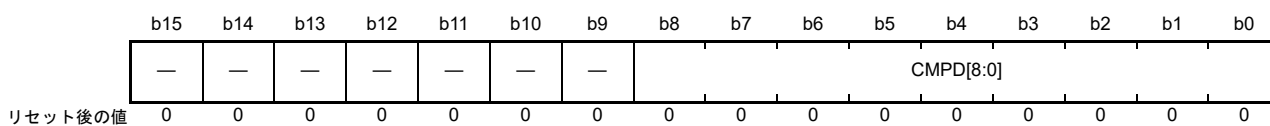
FRDRHL レジスタに格納されたフレーミングエラーを含むデータ数を示します。

PNUM[4:0] ビット (パリティエラー数)

FRDRHL レジスタに格納されたパリティエラーを含むデータ数を示します。

28.2.29 コンペアマッチデータレジスタ (CDR)

アドレス SCI0.CDR 4007 001Ah, SCI1.CDR 4007 003Ah, SCI2.CDR 4007 005Ah, SCI9.CDR 4007 013Ah



ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPD[8:0]	コンペアマッチデータ	アドレス一致ウェイクアップ機能用の比較データパターン	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CDR レジスタは、アドレス一致検出機能を設定するためのレジスタです。

CMPD[8:0] ビット (コンペアマッチデータ)

アドレス一致検出機能が有効 (DCCR.DCME = 1) のとき、アドレス一致検出機能で受信データと比較するデータを設定します。

3種類のビット長から1つ選択できます。

- 7ビット長の CMPD[6:0]
- 8ビット長の CMPD[7:0]
- 9ビット長の CMPD[8:0]

28.2.30 データコンペアマッチコントロールレジスタ (DCCR)

アドレス SCI0.DCCR 4007 0013h, SCI1.DCCR 4007 0033h, SCI2.DCCR 4007 0053h, SCI9.DCCR 4007 0133h

	b7	b6	b5	b4	b3	b2	b1	b0
	DCME	IDSEL	—	DFER	DPER	—	—	DCMF
リセット後の値	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DCMF	データコンペアマッチフラグ	0 : 不一致 1 : 一致	R/(W) (注1)
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	DPER	データコンペアマッチパリティエラーフラグ	0 : パリティエラーの発生なし 1 : パリティエラーの発生あり	R/(W) (注1)
b4	DFER	データコンペアマッチフレーミングエラーフラグ	0 : フレーミングエラーの発生なし 1 : フレーミングエラーの発生あり	R/(W) (注1)
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	IDSEL	IDフレーム選択	調歩同期式モード (マルチプロセッサを含む) でのみ有効です。 0 : MPB ビット値とは無関係に、常にデータを比較する 1 : MPB ビットが1 (IDフレーム) のみのデータを比較する	R/W
b7	DCME	データコンペアマッチ有効	調歩同期式モード (マルチプロセッサを含む) でのみ有効です。 0 : アドレス一致検出機能は無効 1 : アドレス一致検出機能は有効	R/W

注1. フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

DCCR レジスタは、アドレス一致検出機能を制御するためのレジスタです。

DCMF フラグ (データコンペアマッチフラグ)

SCIによって受信データと比較データ (CDR.CMPD) の一致が検出されたことを示します。

[1 になる条件]

- DCCR.DCME = 1 の状態で、受信データが比較データ (CDR.CMPD) と一致したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

シリアルコントロールレジスタ (SCR) の RE ビットを 0 にしても、DCMF フラグは影響を受けず、以前の状態を保持します。

DPER フラグ (データコンペアマッチパリティエラーフラグ)

アドレス一致検出 (受信データの一致検出) 時に、パリティエラーが発生したことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームでパリティエラーが検出されるとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、DPER フラグは影響を受けず、以前の値を保持します。

DFER フラグ (データコンペアマッチフレーミングエラーフラグ)

アドレス一致検出 (受信データの一致検出) 時に、フレーミングエラーが発生したことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームにおいてストップビットが 0 のとき
- 2 ストップモードにおいて、ストップビットの 1 ビット目のみが 1 であるかチェックされ、2 ビット目はチェックされないとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、DFER フラグは影響を受けず、以前の値を保持します。

IDSEL ビット (ID フレーム選択)

アドレス一致検出機能が有効な場合、MPB ビットの値とは無関係に比較を行うか、または MPB ビット = 1 (ID フレーム) の場合にのみ比較を行うかを選択します。

DCME ビット (データコンペアマッチ有効)

アドレス一致検出機能 (データコンペアマッチ機能) を使用するか否かを選択します。

SCI によって受信データと比較データ (CDR.CMPD) の一致が検出された場合、DCME は自動的にクリアされ、その後、SCI は通常のデータコンペアマッチ機能なしの受信モードで動作します。[28.3.6 アドレス一致 \(受信データ一致\) 検出機能](#)を参照してください。

調歩同期式モード以外では、書き込み値は 0 にしてください。

28.2.31 シリアルポートレジスタ (SPTR)

アドレス SCI0.SPTR 4007 001Ch, SCI1.SPTR 4007 003Ch, SCI2.SPTR 4007 005Ch, SCI9.SPTR 4007 013Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPB2IO	SPB2DT	RXDMON
リセット後の値	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RXDMON	シリアル入力データモニタ	RXDn端子の状態を示します。 0 : RXDn端子はLow 1 : RXDn端子はHigh	R
b1	SPB2DT	シリアルポートブ레이크データ選択	SCR.TE = 0の場合、TXDn端子の出力レベルを選択します。 0 : TXDn端子はLow出力 1 : TXDn端子はHigh出力	R/W
b2	SPB2IO	シリアルポートブ레이크入出力	TXDn端子へSPB2DTの値を出力するか否かを選択します。 0 : SPB2DTビットの値をTXDn端子に出力しない 1 : SPB2DTビットの値をTXDn端子に出力する	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPTR レジスタは、シリアル受信端子 (RXDn 端子) の状態を確認し、送信端子 (TXDn 端子) の状態を設定するためのレジスタです。

このレジスタは調歩同期式モードでのみ使用可能です。

表 28.21 に示すように、TXDn 端子の状態は、SCR.TE、SPTR.SPB2IO、および SPTR.SPB2DT の各ビット設定値の組み合わせで決定されます。

表 28.21 TXDn 端子の状態

SCR.TE ビット値	SPTR.SPB2IO ビット値	SPTR.SPB2DT ビット値	TXDn 端子の状態
0	0	x	Hi-Z (初期値)
0	1	0	Low を出力
0	1	1	High を出力
1	x	x	シリアル送信データを出力

x: Don't care

注. SPTR レジスタは調歩同期式モードでのみ使用してください。本レジスタを他のモードで使用した場合の動作は保障されません。

28.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを、[図 28.2](#) に示します。

1 フレームは、スタートビット (Low) で始まり、送受信データ、パリティビット、ストップビット (High) の順に構成されます。調歩同期式シリアル通信では、通信していないときの通信回線はマーク状態 (High) に保たれています。

SCI は通信回線を監視しています。Low を検出すると、スタートビットとみなしてシリアル通信を開始します。

SCI 内部では送信部と受信部は独立しており、全二重通信が可能です。また、送信部と受信部はどちらも FIFO モードに加えてダブルバッファ構成になっているため、送受信中でもデータの読み出し/書き込みが可能であり、連続送受信動作が実現されます。

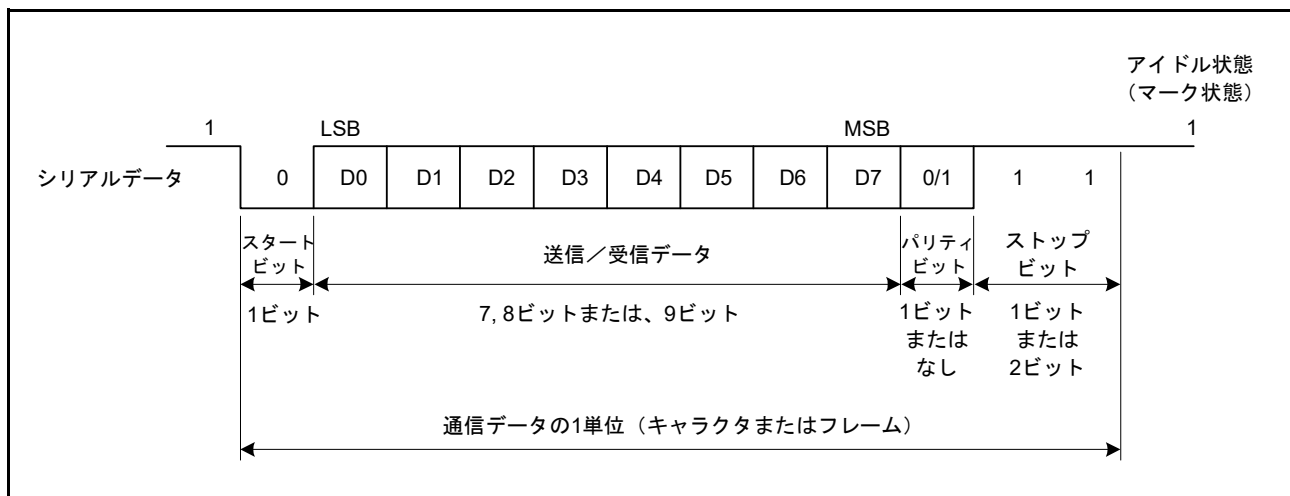


図 28.2 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ/パリティあり/2 ストップビットの場合)

28.3.1 シリアル転送フォーマット

調歩同期式モードで設定できるシリアル転送フォーマットを表 28.22 に示します。フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの設定で選択できます。マルチプロセッサ機能の詳細については、28.4 マルチプロセッサ通信機能を参照してください。

表 28.22 シリアル転送フォーマット (調歩同期式モード) (1/2)

SCMR の設定 値	SMRの設定値				シリアル転送フォーマットとフレーム長												
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	0	0	S	9ビットデータ								STOP		
0	0	0	0	1	1	S	9ビットデータ								STOP		STOP
0	0	1	0	0	0	S	9ビットデータ								P	STOP	
0	0	1	0	1	1	S	9ビットデータ								P	STOP	STOP
1	0	0	0	0	0	S	8ビットデータ							STOP			
1	0	0	0	1	1	S	8ビットデータ							STOP	STOP		
1	0	1	0	0	0	S	8ビットデータ							P	STOP		
1	0	1	0	1	1	S	8ビットデータ							P	STOP	STOP	
1	1	0	0	0	0	S	7ビットデータ						STOP				
1	1	0	0	1	1	S	7ビットデータ						STOP	STOP			
1	1	1	0	0	0	S	7ビットデータ						P	STOP			

表 28.22 シリアル転送フォーマット (調歩同期式モード) (2/2)

SCMR の設定 値	SMRの設定値				シリアル転送フォーマットとフレーム長																	
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13				
1	1	1	0	1	1	S	7ビットデータ							P	STOP	STOP						
0	0	—	1	0	0	S	9ビットデータ									MPB	STOP					
0	0	—	1	1	0	S	9ビットデータ									MPB	STOP	STOP				
1	0	—	1	0	0	S	8ビットデータ								MPB	STOP						
1	0	—	1	1	0	S	8ビットデータ								MPB	STOP	STOP					
1	1	—	1	0	0	S	7ビットデータ							MPB	STOP							
1	1	—	1	1	0	S	7ビットデータ							MPB	STOP	STOP						

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセッサビット

28.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍 (注1) の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。

また、図 28.3 に示すように、受信データは基本クロックの 8 パルス目 (注1) の立ち上がりエッジでサンプリングされるため、各ビットの途中でデータが取り込まれます。調歩同期式モードでの受信マージンは以下の式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%] \cdots \text{式 (1)}$$

M : 受信マージン

N : クロックに対するビットレートの比

SEMR.ABCSE ビット = 0 かつ SEMR.ABCS ビット = 0 のとき N = 16

SEMR.ABCS ビット = 1 のとき N = 8、SEMR.ABCSE ビット = 1 のとき N = 6

D : クロックのデューティ (D = 0.5 ~ 1.0)

L : フレーム長 (L = 9 ~ 13)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、受信マージンは次式で算出されます。

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875\%$$

ただし、これはあくまでも計算上の値なので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

注 1. この例では、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 です。ABCS ビットが 1 で ABCSE ビットが 0 の場合は、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 パルス目の立ち上がりエッジでサンプリングされます。
ABCSE ビットが 1 の場合は、ビットレートの 6 倍の周波数が基本クロックとなり、受信データは基本クロックの 3 パルス目の立ち上がりエッジでサンプリングされます。

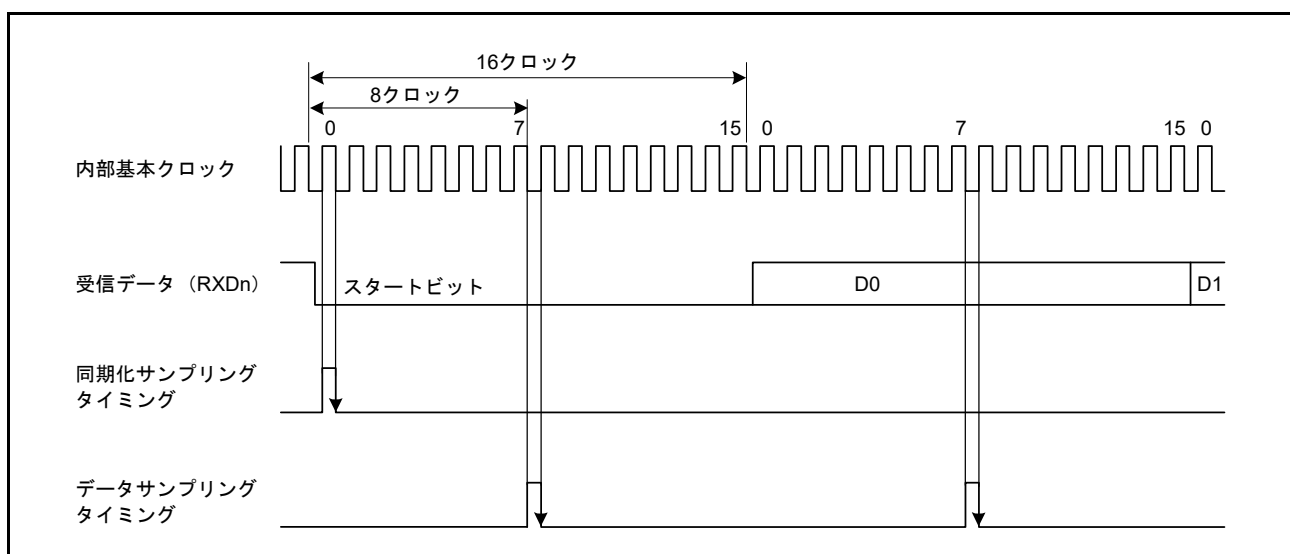


図 28.3 調歩同期式モードでの受信データのサンプリングタイミング

28.3.3 クロック

SCI 送受信クロックには、SMR.CM ビットと SCR.CKE[1:0] ビットの設定により、内蔵ポーレートジェネレータが生成する内部クロック、SCK_n 端子に入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCK_n 端子にビットレートの 16 倍 (SEMR.ABCS ビット=0 のとき)、または 8 倍 (SEMR.ABCS ビット=1 のとき) の周波数のクロックを入力する必要があります。

内部クロックで動作させるときは、SCK_n 端子からクロックを出力させることができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は [図 28.4](#) のようになるため、送信データの間でクロックが立ち上がります。

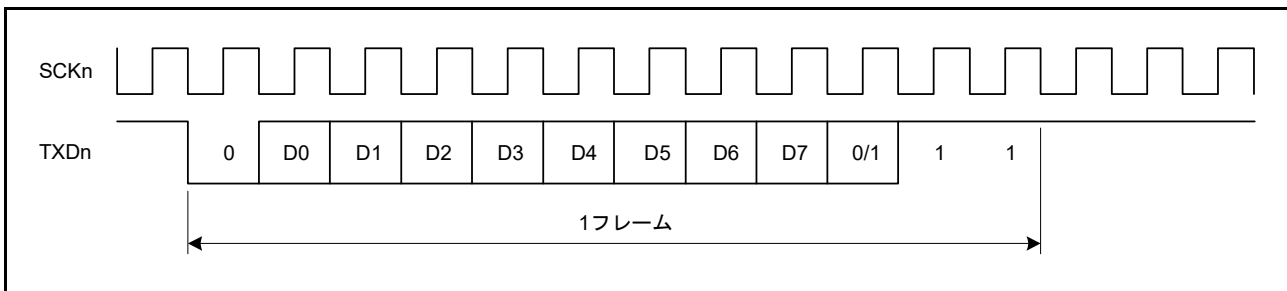


図 28.4 出力クロックと送信データの位相関係
(調歩同期式モード : SCMR.CHR1 = 1、SMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

28.3.4 倍速動作とビットレートの 6 倍の周波数

SEMR.ABCS ビットを 1 にして、1 ビット期間として基本クロックの 8 パルスを選択した場合、ABCS ビットが 0 の場合に比べて、SCI は 2 倍のビットレートで動作します。SEMR.BGDM ビットが 1 になっていると、基本クロックの周期は 1/2 倍になり、ビットレートは BGDM ビットが 0 の場合の 2 倍になります。SCR.CKE[1] ビットを 0 にして、内蔵ポーレートジェネレータを選択した場合、ABCS ビットと BGDM ビットを 1 にすることにより、ABCS ビットと BGDM ビットが 0 の場合に比べて、SCI は 4 倍のビットレートで動作できるようになります。SEMR.ABCSE ビットが 1 になっている場合、基本クロックのパルス数は 1 ビット期間中 6 になり、SEMR.ABCS、SEMR.BGDM、および SMER.ABCSE が 0 の場合に比べて、SCI は 16/3 倍で動作します。

28.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージンの式 (1) に示すとおり、SEMR.ABCS ビットまたは SEMR.ABCSE ビットが 1 の場合、受信マージンは減少します。そのため、SEMR.ABCS ビットまたは SEMR.ABCSE ビットが 0 の状態で、目的とするビットレートが達成できるのであれば、ABCS ビットと ABCSE ビットを 0 にして SCI を使用することが推奨されます。

28.3.5 CTS、RTS 機能

CTS 機能は、CTS_n_RTS_n 端子入力を使用して送信制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTS_n_RTS_n 端子入力が Low になると送信が開始されます。

送信中に CTS_n_RTS_n 端子入力を High にしても、送信中のフレームは影響を受けません。

RTS 機能は、CTS_n_RTS_n 端子出力を使用して受信要求を行います。受信可能な状態になると Low が出力されます。出力が Low になる条件および High になる条件は以下のとおりです。

[Low になる条件]

(a) 非 FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットが 1
- 受信動作中ではない
- 読み出し前の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて 0

(b) FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットが 1
- FRDRHL に書き込まれた受信データ数が指定された受信トリガ数以下
- SSR_FIFO.ORER フラグ (FRDRH.ORER フラグ) が 0

[High になる条件]

(a) 非 FIFO 選択時

- Low になる条件を満たさない場合
- 受信完了後に RDR レジスタを読み出すことなく、SCR.RE = 0 によって受信を終了させた場合、RTS は High を維持します。このとき、SCR.RE に 0 を書き込んだ後に SCR レジスタをダミーリードしてください。

(b) FIFO 選択時

- Low になる条件を満たさない場合

28.3.6 アドレス一致 (受信データ一致) 検出機能

アドレス一致検出機能は、調歩同期式モードでのみ使用可能です。

DCCR.DCME ビットが 1 (注4) の場合、1 フレーム分のデータを受信すると、SCI は受信データと CDR.CMPD ビットの値を比較します。SCI によって受信データと比較データ (CDR.CMPD (注3)) の一致が検出された場合、SCI_{In}_RXI 割り込み要求を発生させることができます。

SMR.MP ビットが 0 の場合は、受信フォーマットの有効データのみが比較対象になります。マルチプロセッサモード (SMR.MP = 1) では、DCCR.IDSEL ビットが 1 の場合、MPB ビット = 1 の受信データがアドレス一致の比較対象となります。MPB ビット = 0 の受信データは、常に不一致として処理されます。

DCCR.IDSEL ビットが 0 の場合、SCI は受信データの MPB ビット値にかかわらず、アドレス一致または不一致の検出を実行します。受信データと比較データ (CDR.CMPD (注3)) の一致が検出されるまで、受信データが読み飛ばされる (廃棄される) ので、SCI はパリティエラーもフレーミングエラーも検出することができません。SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグは 1 になります。

DCCR.IDSEL ビットが 1 であれば、SCR.MPIE ビットが自動的にクリアされます。また、DCCR.IDSEL ビットが 0 であれば、SCR.MPIE ビットの値が保持されます。SCR.RIE ビットが 1 になっていると、SCI は SCI_{In}_RXI 割り込み要求を発行します。一致が検出された受信データに対して、SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。比較された受信データは RDR レジスタ (注1) に格納されません。また、SSR.RDRF フラグは 0 を保持します。(注2)

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、現在のレジスタ設定に基づいて、SCI は次のデータを連続して受信します。

DCCR.DFER フラグまたは DCCR.DPER フラグが 1 の状態では、アドレス一致検出は実行されません。アドレス一致検出機能を有効にする場合は、事前に DCCR.DFER フラグと DCCR.DPER フラグを 0 にしてください。

アドレス一致検出機能の例を [図 28.5](#) および [図 28.6](#) に示します。

- 注 1. FCR.FM = 1 の場合、これは FRDRHL レジスタになります。
- 注 2. FCR.FM = 1 の場合、これは SSR_FIFO.RDF フラグになります。
- 注 3. 比較対象は、3 種類のビット長 (7 ビット長の CMPD[6:0]、8 ビット長の CMPD[7:0]、または 9 ビット長の CMPD[8:0]) から 1 つ選択できます。
- 注 4. アドレス一致検出を実行する受信フレームのスタートビットを受信する前に、DCCR.DCME ビットを 1 にしてください。

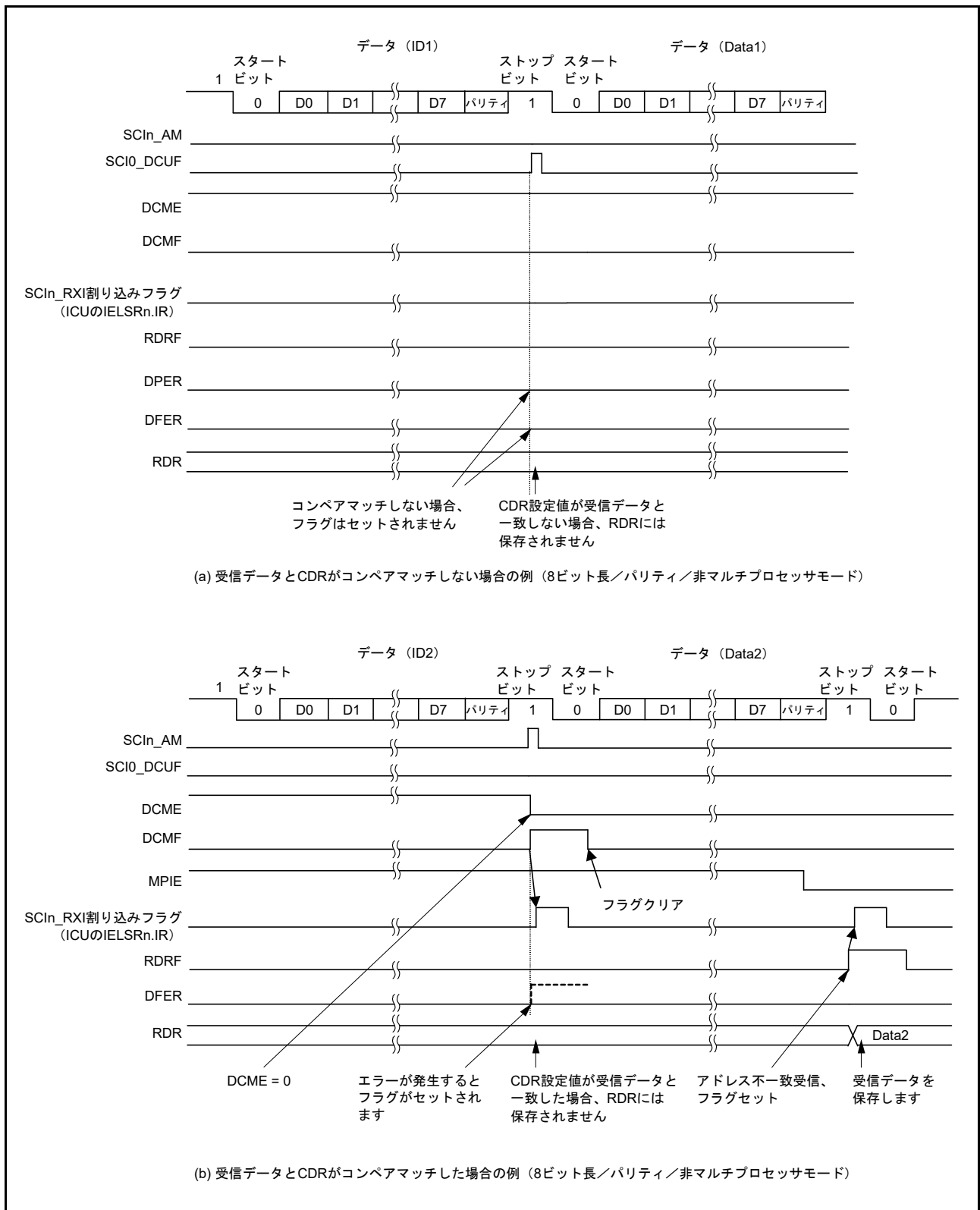


図 28.5 アドレス一致検出の例 (1) (非マルチプロセッサモード)

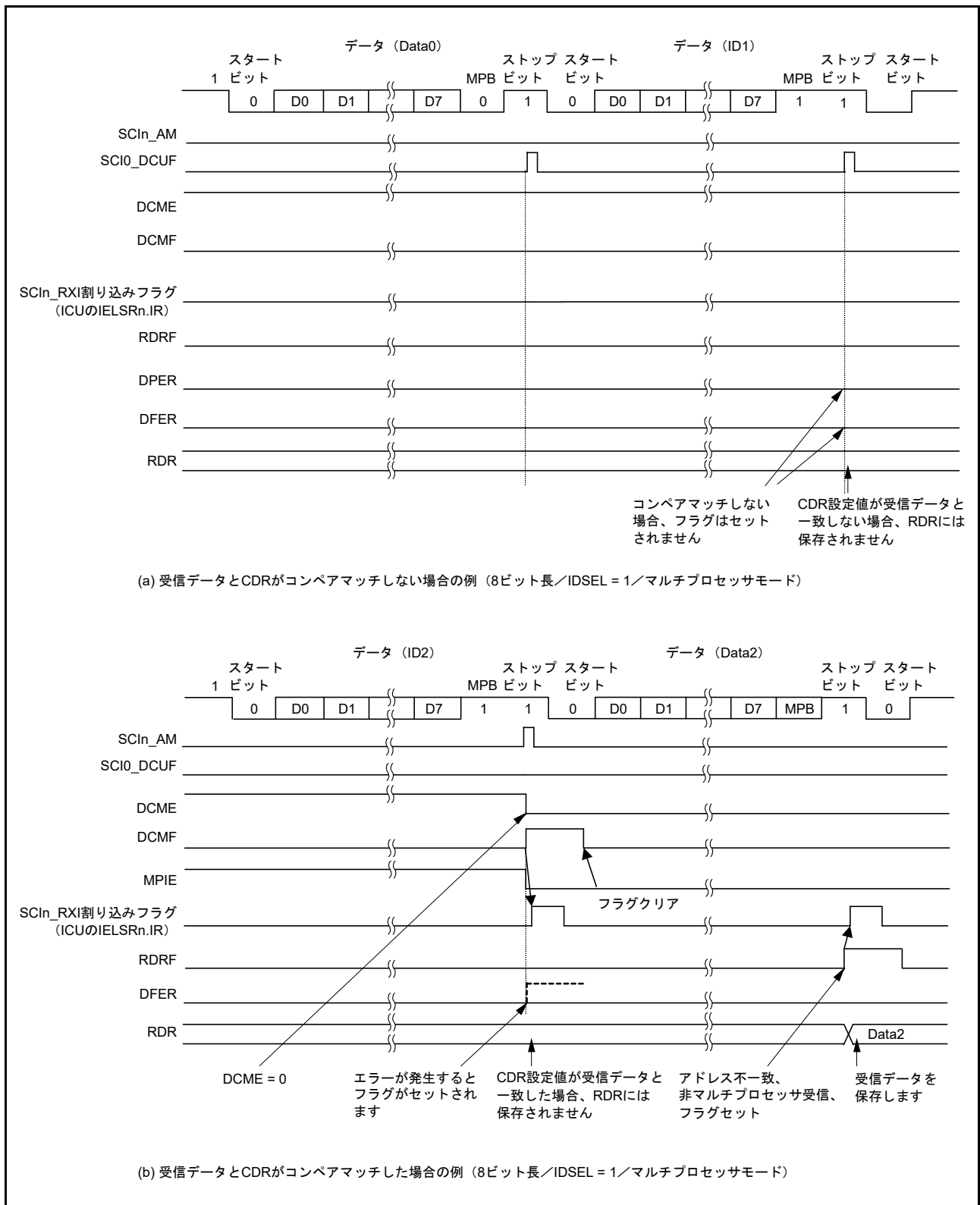


図 28.6 アドレス一致検出の例 (2) (マルチプロセッサモード)

28.3.7 SCI の初期化（調歩同期式モード）

データを送受信する前に、最初に SCR レジスタに初期値 00h を書き込み、次に図 28.7 および図 28.8 のフローチャートに従って SCI の設定（非 FIFO 選択時または FIFO 選択時）を続けてください。動作モードまたは通信フォーマットを変更する場合も、かならず SCR を初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

- 注 . SCR.RE ビットを 0 にしても、SSR レジスタまたは SSR_FIFO レジスタの ORER フラグ、FER フラグ、RDRF フラグ、RDF フラグ、PER フラグ、および DR フラグは初期化されません。また、RDR レジスタと RDRHL レジスタも初期化されません。SCR.TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。
- 注 . 非 FIFO モードでは、SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCI_n_TXI 割り込み要求が発生します。

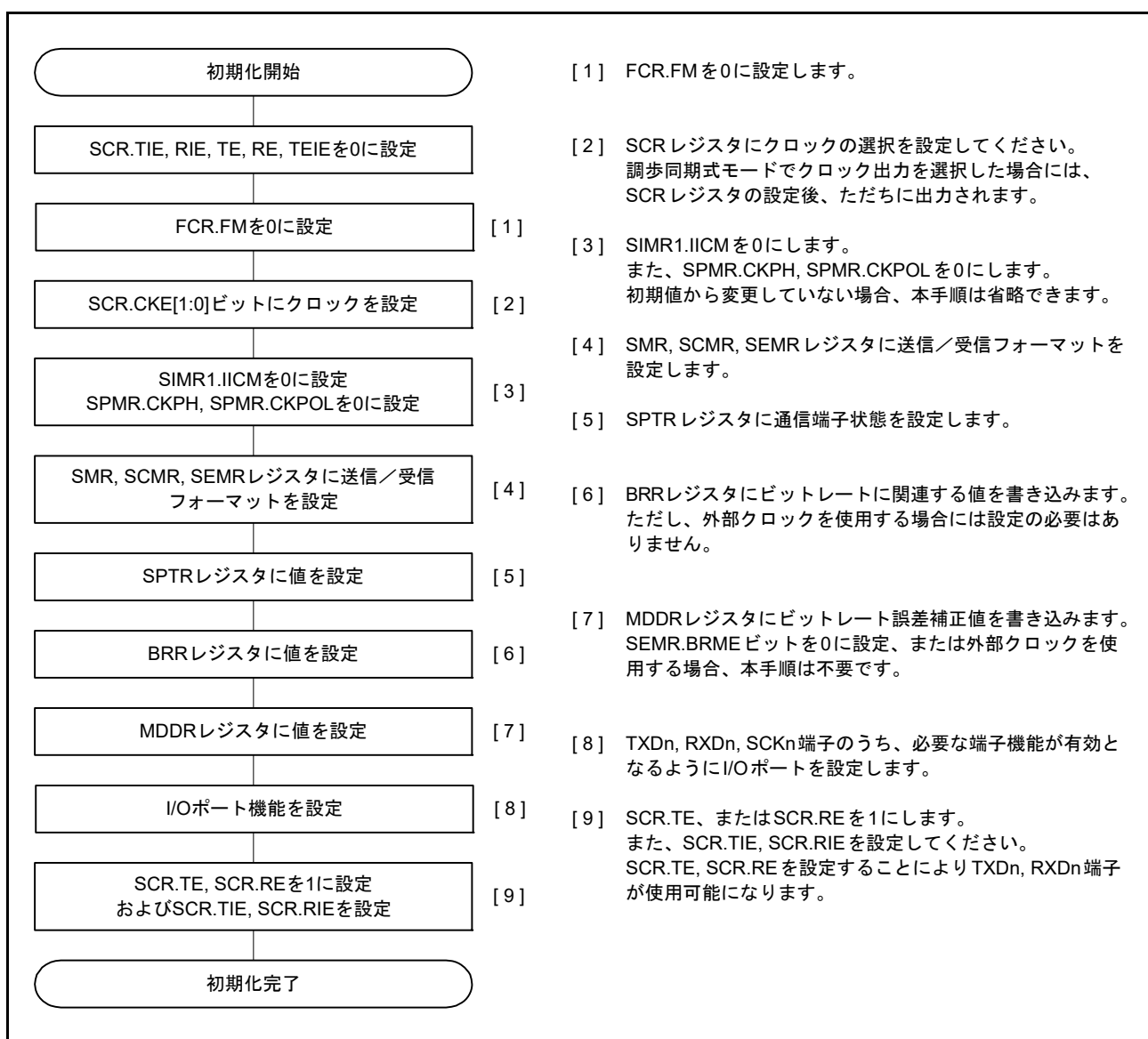


図 28.7 調歩同期式モードにおける SCI の初期化フローチャート例（非 FIFO 選択時）

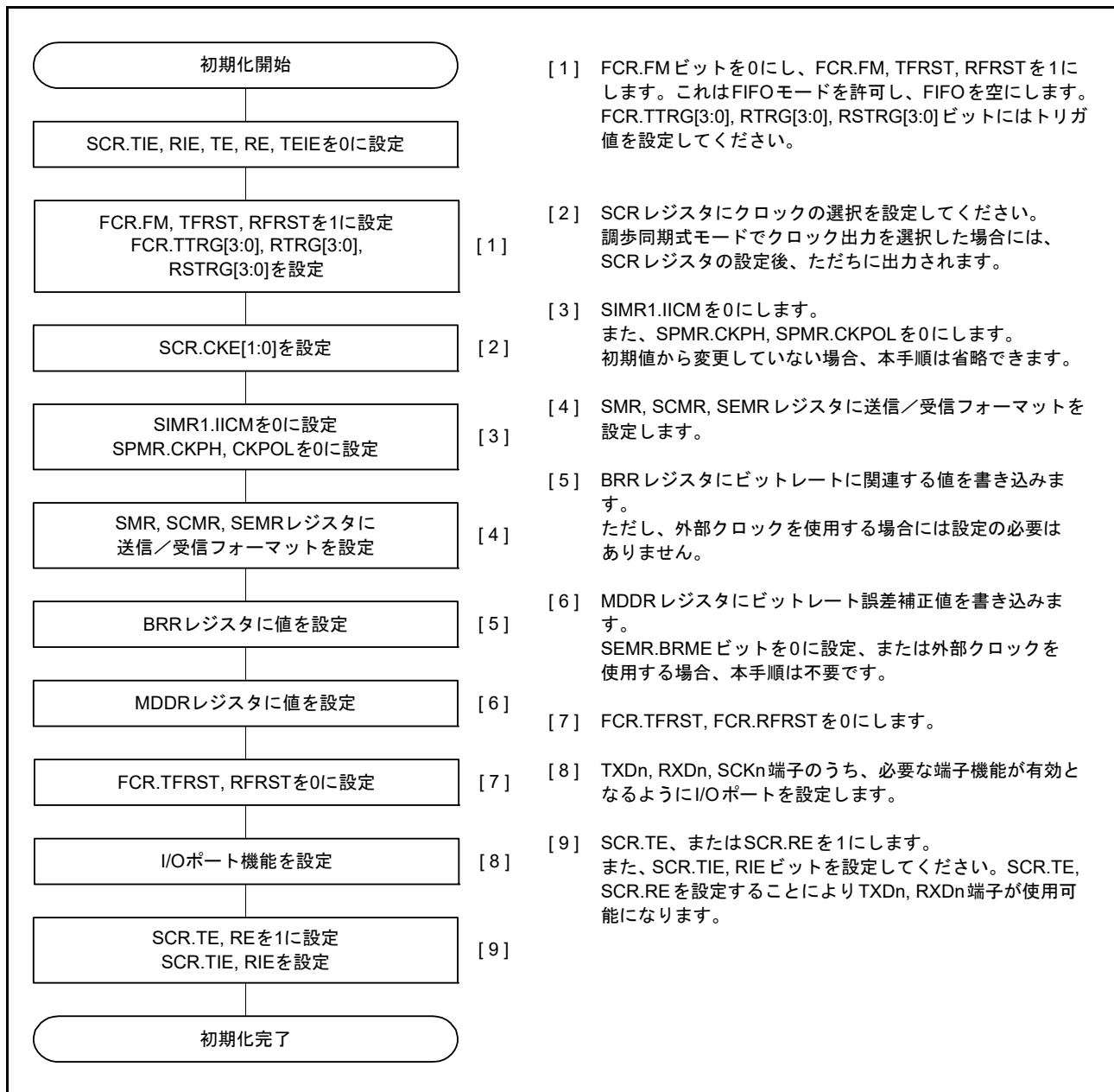


図 28.8 調歩同期式モードにおけるSCIの初期化フローチャート例 (FIFO 選択時)

28.3.8 シリアルデータの送信 (調歩同期式モード)

(1) 非 FIFO 選択時

図 28.9、図 28.10、および図 28.11 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

本節では、シリアルデータ送信時の SCI の動作について説明します。SCR.TE ビットが 1 の場合、1 フレーム (プリアンブル) 分の High レベルが TXD 端子に出力されます。

1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタ (注1) にデータが書き込まれると、SCI は TDR レジスタ (注1) から TSR レジスタへデータを転送します。
なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. SPMR.CTSE ビットが 0 (CTS 機能は無効) であるか、または CTSn_RTSn 端子入力が Low であると、TDR レジスタ (注1) から TSR レジスタへデータが転送され、送信が開始されます。このとき、SCR.TIE ビットが 1 になっていると、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタ (注1) に次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合は、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタ (注1) に書き込んだ後、SCR.TIE ビットを 0 (SCIn_TXI 割り込み要求を禁止) に、SCR.TEIE ビットを 1 (SCIn_TEI 割り込み要求を許可) にします。
3. データは、以下の順に TXDn 端子から送り出されます。
 - スタートビット
 - 送信データ
 - パリティビットまたはマルチプロセッサビット (フォーマットによっては、ない場合もある)
 - ストップビット
4. ストップビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていると、SPMR.CTSE ビットが 0 (CTS 機能は無効)、または CTSn_RTSn 端子入力が Low で、次の送信データが TDR レジスタ (注1) から TSR レジスタへ転送され、ストップビット送付後、次のフレームのシリアル送信が開始されます。
6. TDR レジスタが更新されていない場合は、SSR.TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDRHL レジスタになります。

図 28.9、図 28.10、および図 28.11 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

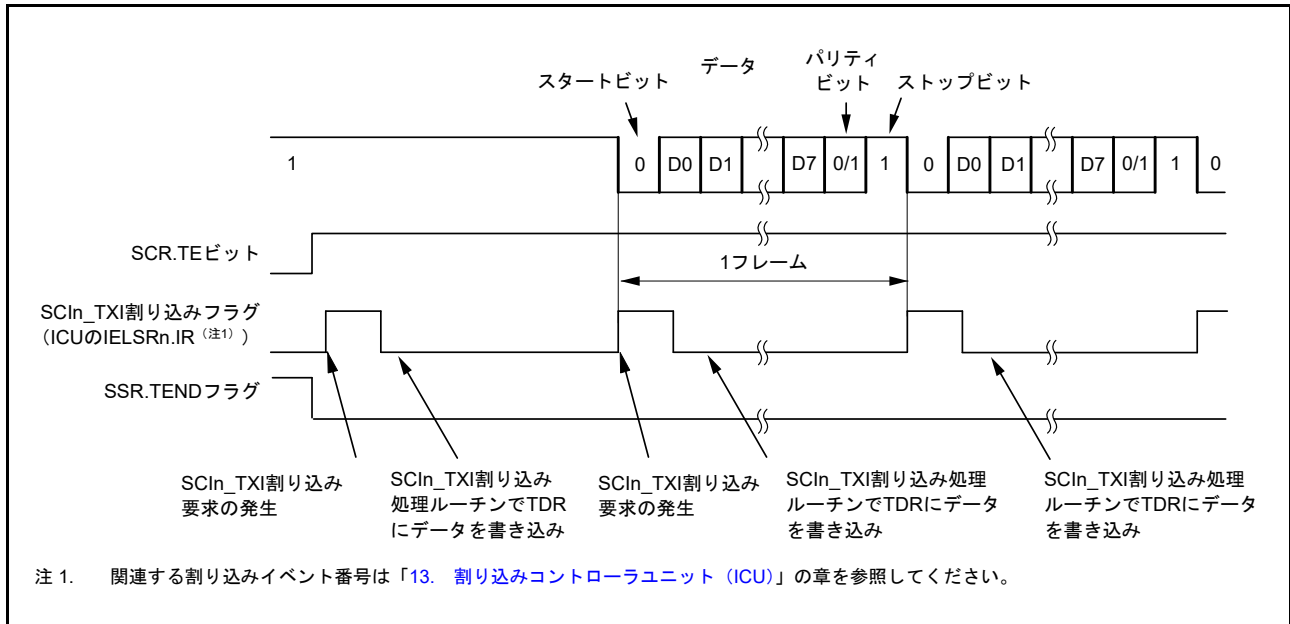


図 28.9 調歩同期式モードにおけるシリアル送信の動作例 (1)
(8 ビットデータ/パリティあり/1 ストップビット/CTS 機能不使用/送信開始時)

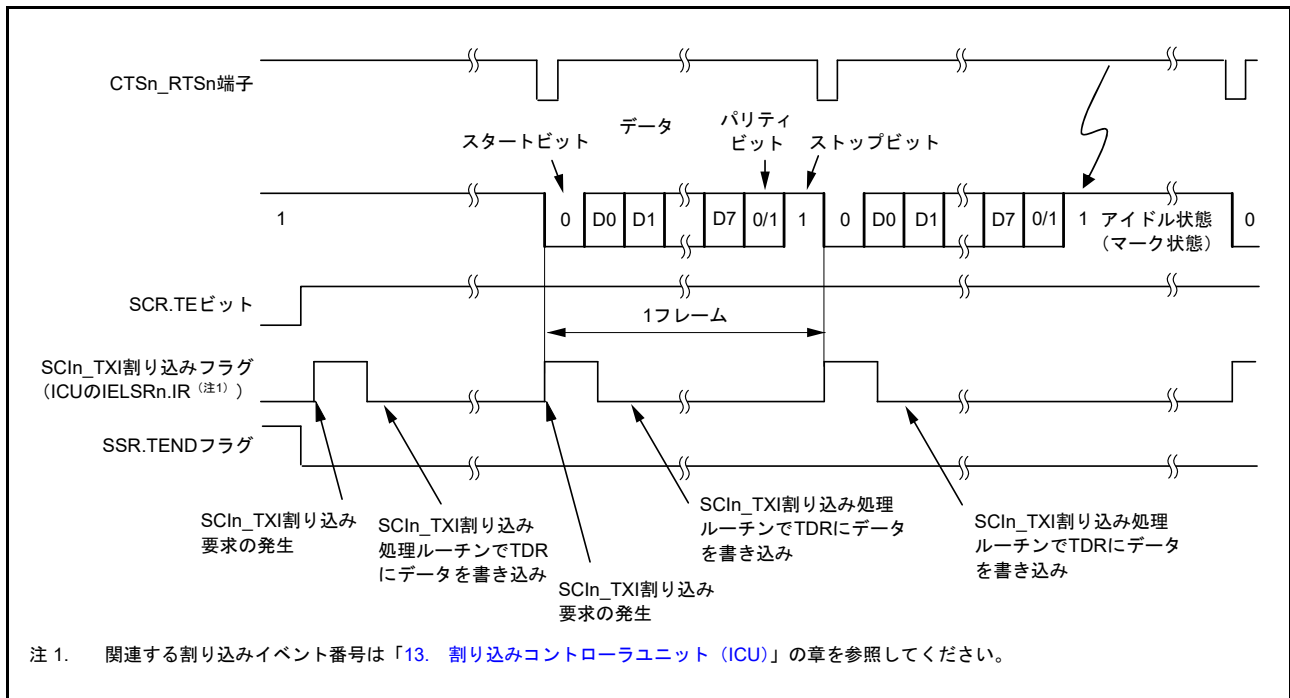


図 28.10 調歩同期式モードにおけるシリアル送信の動作例 (2)
(8 ビットデータ/パリティあり/1 ストップビット/CTS 機能使用/送信開始時)

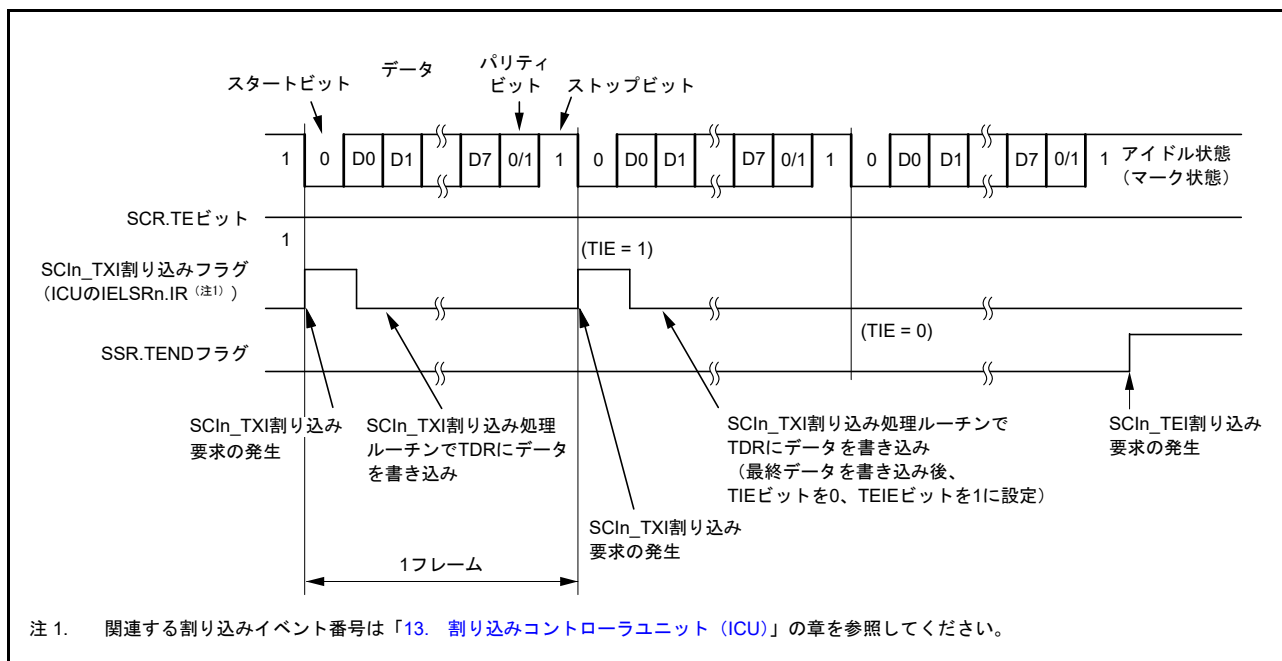


図 28.11 調歩同期式モードにおけるシリアル送信の動作例 (3)
(8 ビットデータ/パリティあり/1ストップビット/CTS 機能不使用/送信中~送信終了時)

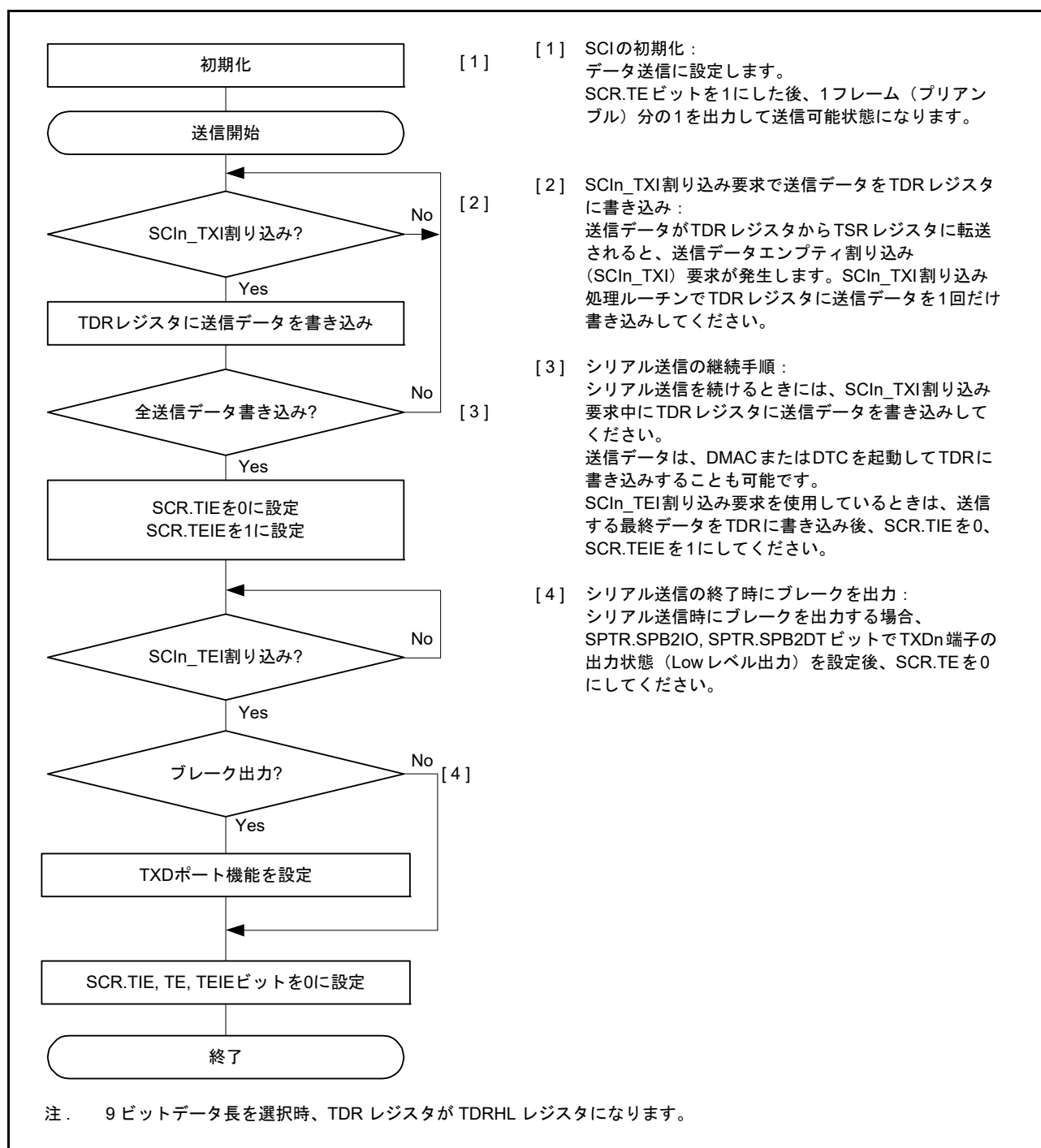


図 28.12 調歩同期式モードにおけるシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 28.13 に、調歩同期式モードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。

データ長に対応したデータが FTDRH レジスタと FTDRL レジスタに設定されます。使用しないビットには 0 を書いてください。FTDRH から FTDRL の順に書いてください。

データ長	レジスタ設定		FTDRH, FTDRLの送信データ															
			FTDRH								FTDRL							
	SCMR. CHR1	SMR. CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	—	—	—	—	—	—	—	—	—	—	7ビット送信データ					
8ビット	1	0	—	—	—	—	—	—	—	—	8ビット送信データ							
9ビット	0	Don't care	—	—	—	—	—	—	—	9ビット送信データ								

—: 無効ビット。書く場合、0としてください。

図 28.13 FTDRH と FTDRL に書き込まれるデータフォーマット (FIFO 選択時)

本節では、シリアルデータ送信時の SCI の動作について説明します。SCR.TE ビットが 1 の場合、1 フレーム (プリアンブル) 分の High レベルが TXD 端子に出力されます。

- SCI_n_TXI 割り込み処理ルーチンで FTDRL レジスタ (注1) にデータが書き込まれると、SCI は FTDRL レジスタ (注1) から TSR レジスタへデータを転送します。
FTDRL レジスタに書き込み可能なデータのバイト数は 16 - FDR.T[4:0] です。なお、送信開始時の SCI_n_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
- SPMR.CTSE ビットが 0 (CTS 機能は無効) であり、かつ CTS_n_RTS_n 端子入力が Low であると、FTDRL レジスタ (注1) から TSR レジスタへデータが転送され、送信が開始されます。FTDRL に書き込まれた送信データ数が指定された送信トリガ数以下のとき、SSR_FIFO.TDFE ビットが 1 になります。このとき、SCR.TIE ビットが 1 になっていると、SCI_n_TXI 割り込み要求が発生します。この SCI_n_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタ (注1) に次の送信データを書き込むことで連続送信が可能になります。SCI_n_TEI 割り込み要求を使用する場合は、SCI_n_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを FTDRL レジスタ (注1) (注2) に書き込んだ後、SCR.TIE ビットを 0 (SCI_n_TXI 割り込み要求を禁止) にして、SCR.TEIE ビットを 1 (SCI_n_TEI 割り込み要求を許可) にします。
- データは、以下の順に TXD_n 端子から送り出されます。
 - スタートビット
 - 送信データ
 - パリティビットまたはマルチプロセッサビット (フォーマットによっては、ない場合もある)
 - ストップビット
- ストップビットを送り出すタイミングで、SCI は FTDRL レジスタ (注3) に未送信データが残っているかいないかチェックします。
- FTDRL レジスタ (注3) にデータがある場合、SPMR.CTSE ビットが 0 (CTS 機能は無効) であるか、または CTS_n_RTS_n 端子入力が Low であると、次の送信データが FTDRL レジスタ (注1) から TSR レジスタへ転送され、ストップビット送過後、次のフレームのシリアル送信が開始されます。
- FTDRL レジスタ (注3) にデータがない場合、SSR_FIFO レジスタの TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR_FIFO.TEND フラグが 1 になり、SCI_n_TEI 割り込み要求が発生します。

- 注1. データ長9ビット選択時は、データを FTDRH レジスタおよび FTDLR レジスタに書き込んでください。
 注2. データ長9ビット選択時は、FTDRH レジスタ→FTDLR レジスタの順にデータを書き込んでください。
 注3. データ長9ビット選択時は、SCIによって FTDLR レジスタの更新のみがチェックされ、FTDRH レジスタの更新はチェックされません。

図 28.14 に、調歩同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。

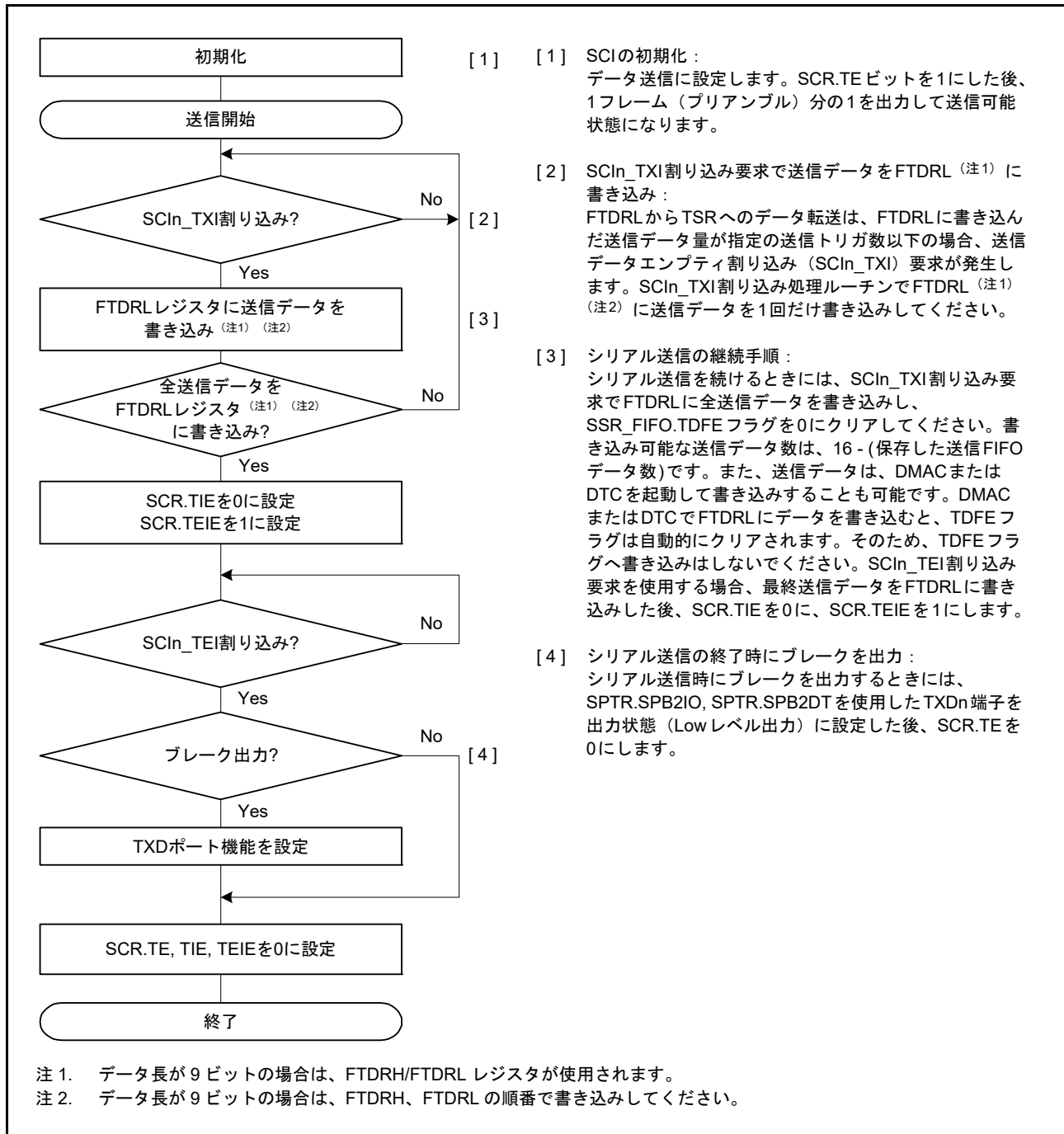


図 28.14 調歩同期式モードにおけるシリアル送信のフローチャート例（FIFO 選択時）

28.3.9 シリアルデータの受信 (調歩同期式モード)

(1) 非 FIFO 選択時

図 28.15 と図 28.16 に、調歩同期式モードにおけるシリアル受信の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTS_n_RTS_n 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタ (注1) へ転送されません。
4. パリティエラーが検出された場合は、SSR.PER フラグが 1 になり、受信データが RDR レジスタ (注1) へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。
5. フレーミングエラーが検出された場合は、SSR.FER フラグが 1 になり、受信データが RDR レジスタ (注1) へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データが RDR レジスタ (注1) へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn_RXI 割り込み要求が発生します。SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データを読み出されると、CTS_n_RTS_n 端子出力が Low になります。

注 1. データ長 9 ビット選択時は、RDRHL レジスタになります。

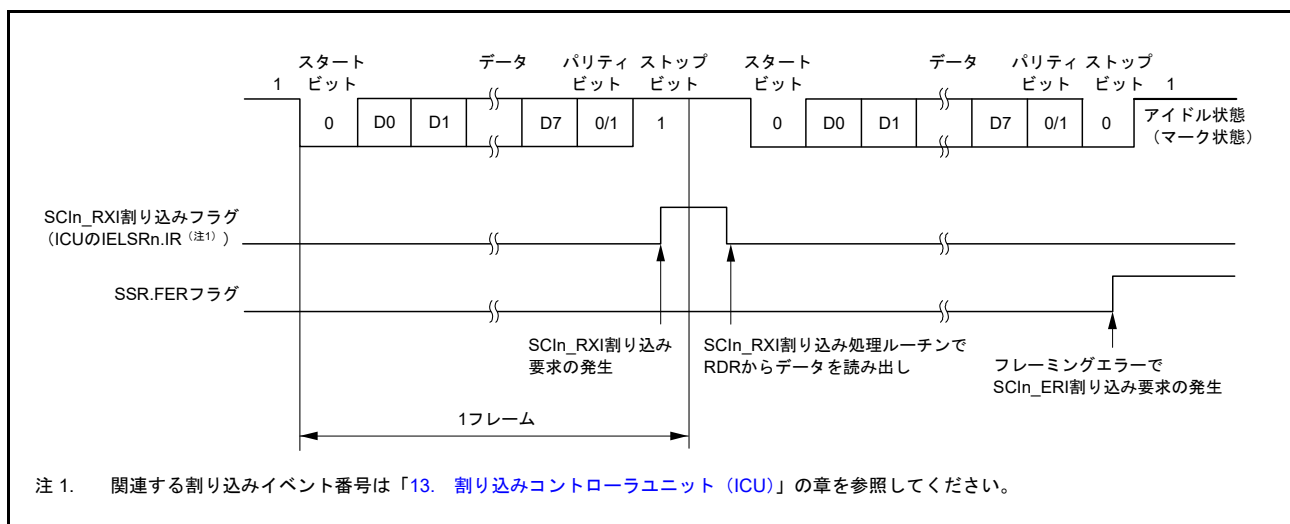


図 28.15 調歩同期式モードにおけるシリアル受信の動作例 (1) (RTS 機能を使用しない場合) (8 ビットデータ / パリティあり / 1 ストップビットの場合)

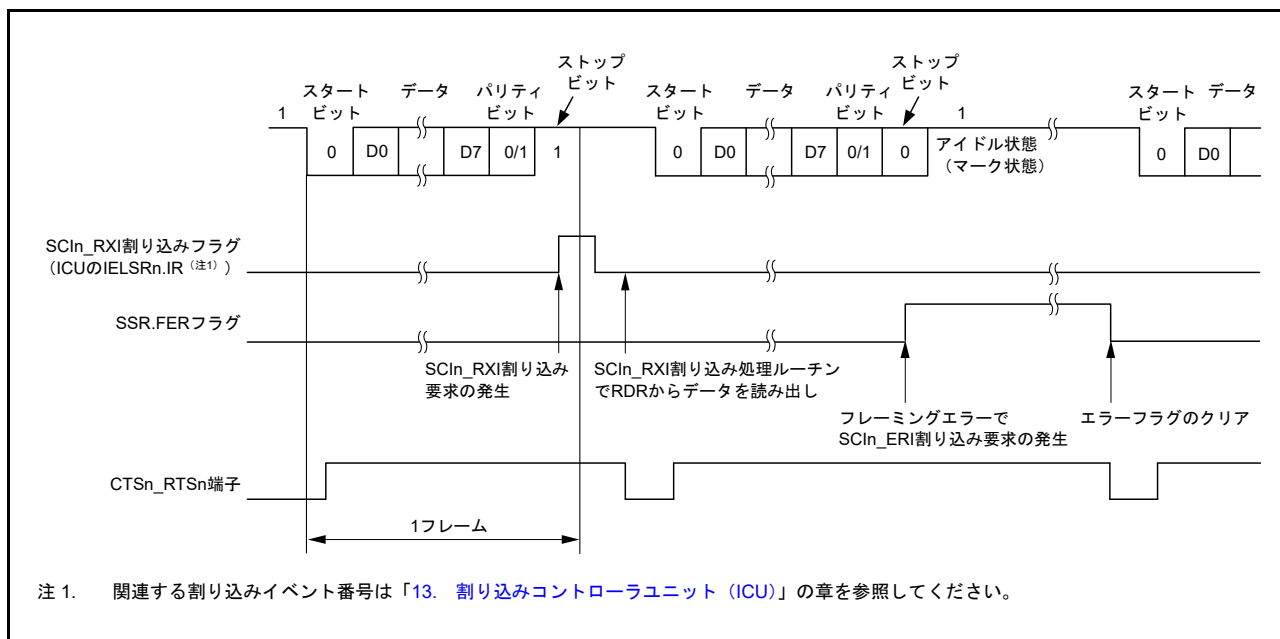


図 28.16 調歩同期式モードにおけるシリアル受信の動作例 (2)
(RTS 機能を使用する場合) (8 ビットデータ/パリティあり/1 ストップビットの場合)

受信エラーを検出した場合の SSR ステータスレジスタの各ステータスフラグの状態と受信データの処理を表 28.23 に示します。

受信エラーが検出されると、SCI_n_ERI 割り込み要求は発生しますが、SCI_n_RXI 割り込み要求は発生しません。受信エラーフラグが 1 の状態では、受信動作を再開できません。受信を再開する前に、ORER、FER、および PER の各ビットを 0 にする必要もあります。また、オーバーランエラー処理では、必ず RDR レジスタまたは RDRHL レジスタを読み出してください。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタまたは RDRHL レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタまたは RDRHL レジスタを読み出す必要があります。

図 28.17 および図 28.18 に、シリアル受信のフローチャート例を示します。

表 28.23 SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの種類
ORER	FER	PER		
1	0	0	消失	オーバーランエラー
0	1	0	RDR (注1) へ転送	フレーミングエラー
0	0	1	RDR (注1) へ転送	パリティエラー
1	1	0	消失	オーバーランエラー + フレーミングエラー
1	0	1	消失	オーバーランエラー + パリティエラー
0	1	1	RDR (注1) へ転送	フレーミングエラー + パリティエラー
1	1	1	消失	オーバーランエラー + フレーミングエラー + パリティエラー

注 1. データ長 9 ビット選択時は、RDRHL レジスタになります。

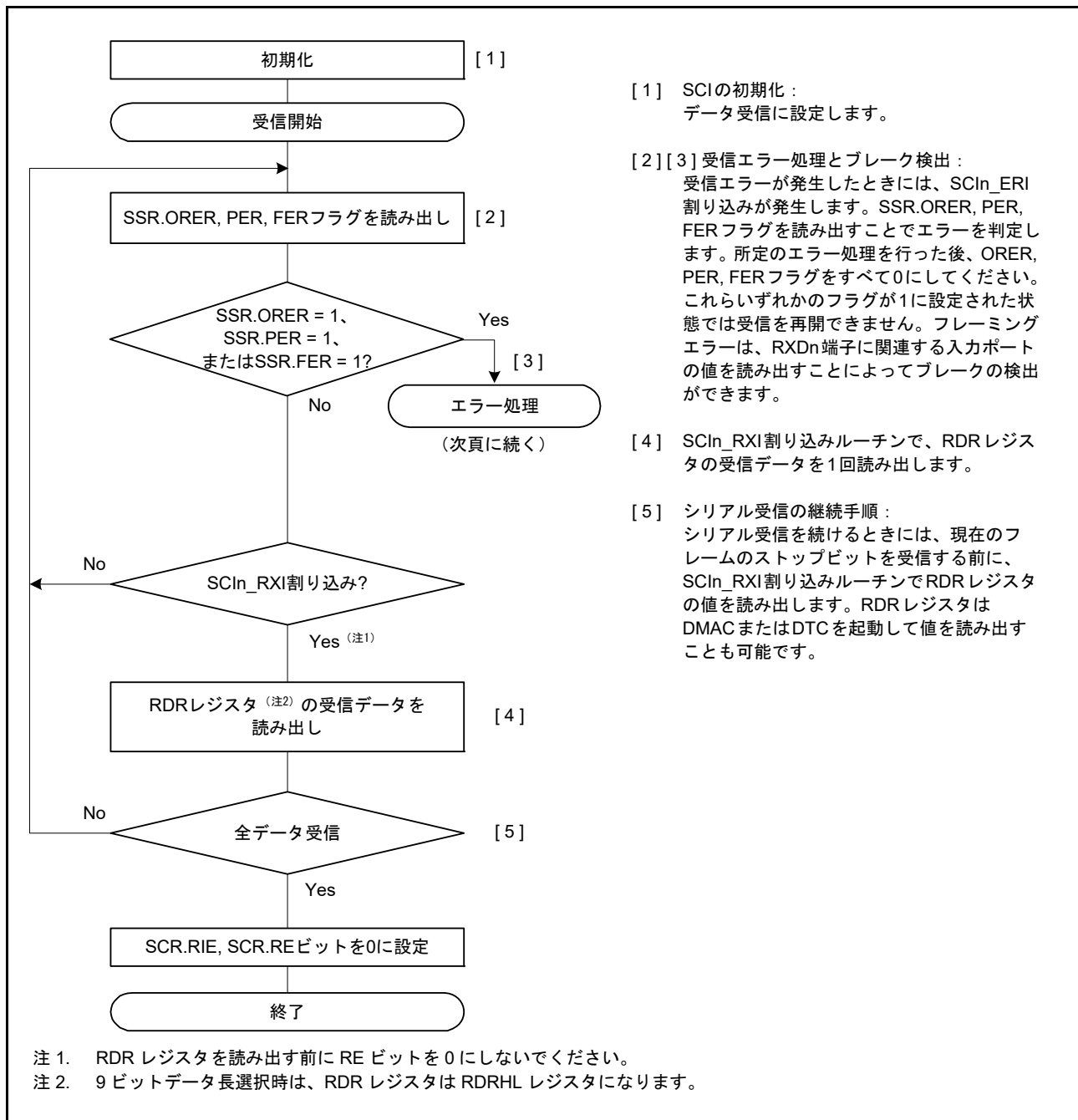


図 28.17 調歩同期式モードにおけるシリアル受信のフローチャート例 (非 FIFO 選択時) (1)

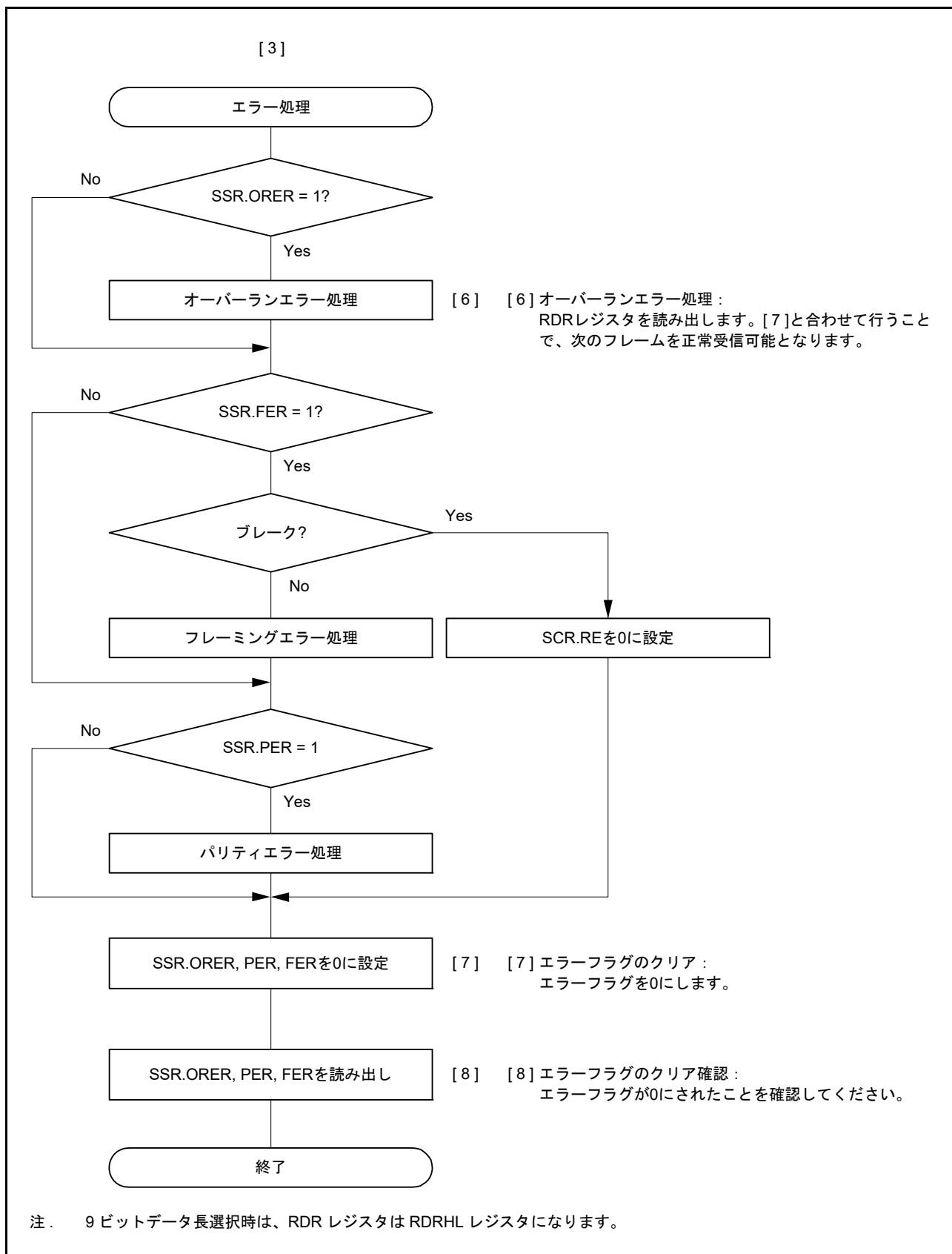


図 28.18 調歩同期式モードにおけるシリアル受信のフローチャート例 (非 FIFO 選択時) (2)

(2) FIFO 選択時

図 28.19 に、調歩同期式モードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

調歩同期式モードでは、FRDRH レジスタの MPB フラグに 0 が書き込まれます。データ長に対応したデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH から FRDRL の順に読み出してください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FER、PER、および FRDRL レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの RDF、ORER、および DR フラグは、常に SSR_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH, FRDRLの受信データ														
			FRDRH								FRDRL						
	SCMR. CHR1	SMR. CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1
7ビット	1	1	—	RDF	ORER	FER	PER	DR	0	0	0	7ビット受信データ					
8ビット	1	0	—	RDF	ORER	FER	PER	DR	0	0	8ビット受信データ						
9ビット	0	Don't care	—	RDF	ORER	FER	PER	DR	0	9ビット受信データ							

注 . MPB フラグからは常に 0 が読み出されます (FRDRH[1]).
 データ長が 7 ビットするとき、FRDRH[0], FRDRL[7] からは常に 0 が読み出されます。
 データ長が 8 ビットするとき、FRDRH[0] から常に 0 が読み出されます。
 FRDRH[7] ビットの読み出し値は不定です。

図 28.19 FRDRH と FRDRL に格納されるデータフォーマット (FIFO 選択時)

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTS_n_RTS_n 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. FRDRL レジスタがいっぱいであると、オーバーランエラーが発生します。オーバーランエラーが発生した場合、SSR_FIFO.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI_n_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ (注1) へ転送されません。
4. パリティエラーが検出された場合は、PER フラグと受信データが FRDRL レジスタ (注1) へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCI_n_ERI 割り込み要求が発生します。
5. フレーミングエラーが検出された場合は、FER フラグと受信データが FRDRL レジスタ (注1) へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCI_n_ERI 割り込み要求が発生します。
6. フレーミングエラーが検出された後、SCI によって連続受信データが 1 フレーム分であることが検出された場合、受信動作が停止します。
7. 受信 FIFO データレジスタ (FRDRL) に格納されたデータ数が指定された受信トリガ数より少なく、かつ、調歩同期式モードにおいて最後のストップビットから 15ETU 経過しても次のデータが受信されていない場合は、SSR_FIFO.DR ビットが 1 になります。SCR.RIE ビットが 1 で、FCR.DRES ビットが 0 の場合、SCI は SCI_n_RXI 割り込み要求を発生させます。FCR.DRES ビットが 1 の場合、SCI は SCI_n_ERI 割り込み要求を発生させます。
8. 正常に受信したときは、受信データが FRDRL レジスタ (注1) へ転送されます。FRDRHL に書き込まれた受信データ数が指定された受信トリガ数以上であると、RDF フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI_n_RXI 割り込み要求が発生します。この SCI_n_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ (注2) へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタ (注3) へ転送された受信データ数が RTS トリガ数未満であると、CTS_n_RTS_n 端子出力が Low になります。

- 注 1. データ長 9 ビット選択時は、FRDRH レジスタと FRDRL レジスタのデータだけを読み出してください。
- 注 2. データ長 9 ビット選択時は、FRDRH レジスタ→FRDRL レジスタの順にデータを読み出してください。
- 注 3. データ長 9 ビット選択時は、SCI によって FRDRL レジスタの更新のみがチェックされ、FRDRH レジスタの更新はチェックされません。

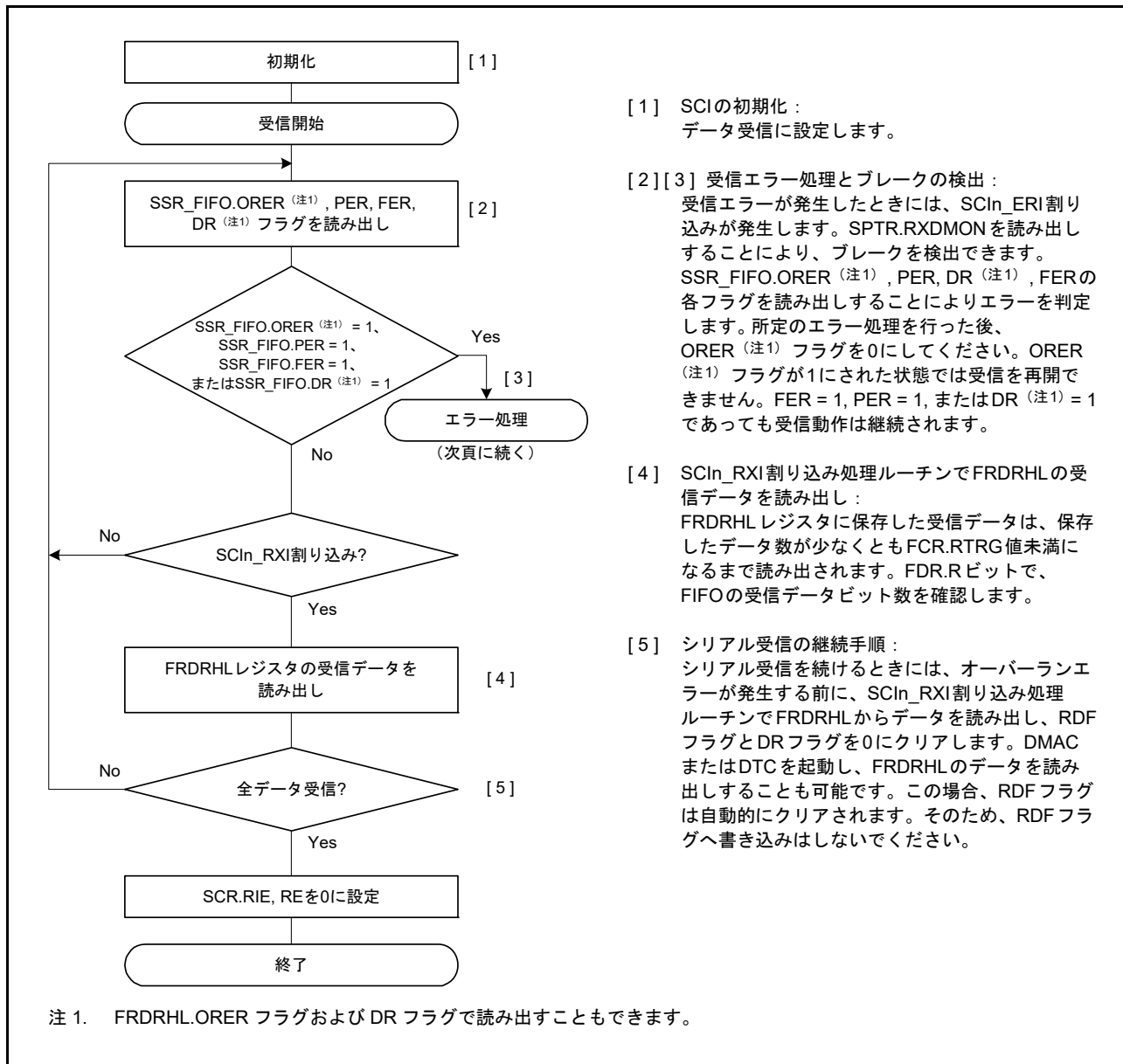


図 28.20 調歩同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択時) (1)

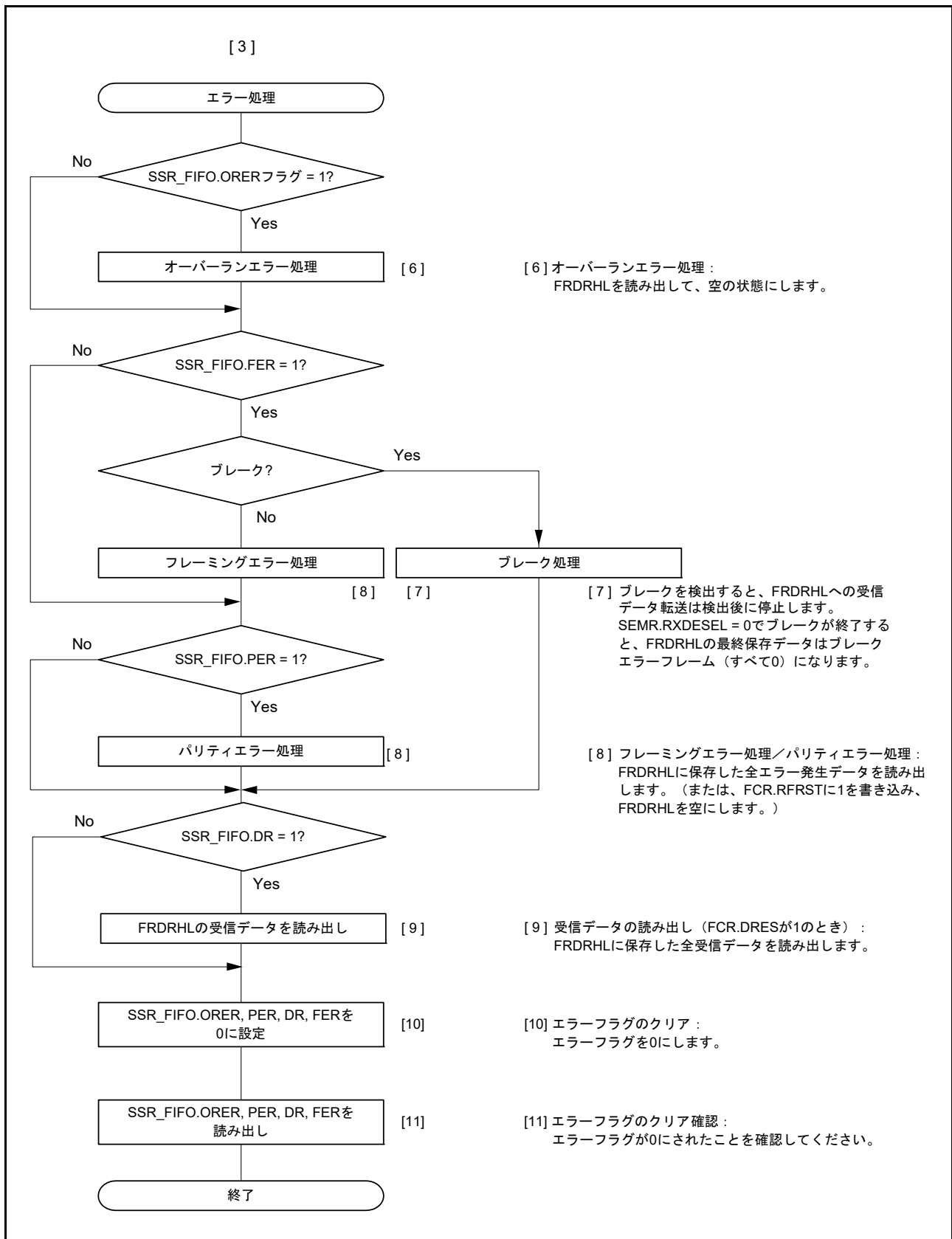


図 28.21 調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択時）（2）

28.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により、複数のプロセッサ間で通信回線を共有したデータの送受信が可能になります。マルチプロセッサ通信では、各受信局にそれぞれ固有の ID コードが割り付けられます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと、指定された受信局にデータを送信するためのデータ送信サイクルで構成されます。

ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。

- マルチプロセッサビットが 1 のとき、送信サイクルは ID 送信サイクル
- マルチプロセッサビットが 0 のとき、送信サイクルはデータ送信サイクル

図 28.22 に、マルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、受信した ID を自局の ID と比較します。2 つが一致した場合、受信局は、続いて送信される通信データを受信します。一致しなかった場合、再びマルチプロセッサビットが 1 の通信データを受信するまで、受信局は通信データを読み飛ばします。

(1) 非 FIFO 選択時

SCI はこの機能をサポートするため、SCR.MPIE ビットを設けています。MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR レジスタ (データ長 9 ビット選択時は RDRHL レジスタ) への受信データの転送
- 受信エラーの検出
- SSR.RDRF、ORER、FER の各ステータスフラグのセット

マルチプロセッサビットが 1 のキャラクタを受信すると、SSR.MPBT ビットが 1 になるとともに、SCR.MPIE ビットが自動的にクリアされ、非マルチプロセッサの受信動作に戻ります。このとき、SCR.RIE ビットがセットされていると、SCI_{In}_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は、非マルチプロセッサの調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも、非マルチプロセッサの調歩同期式モードで使用するクロックと同一です。

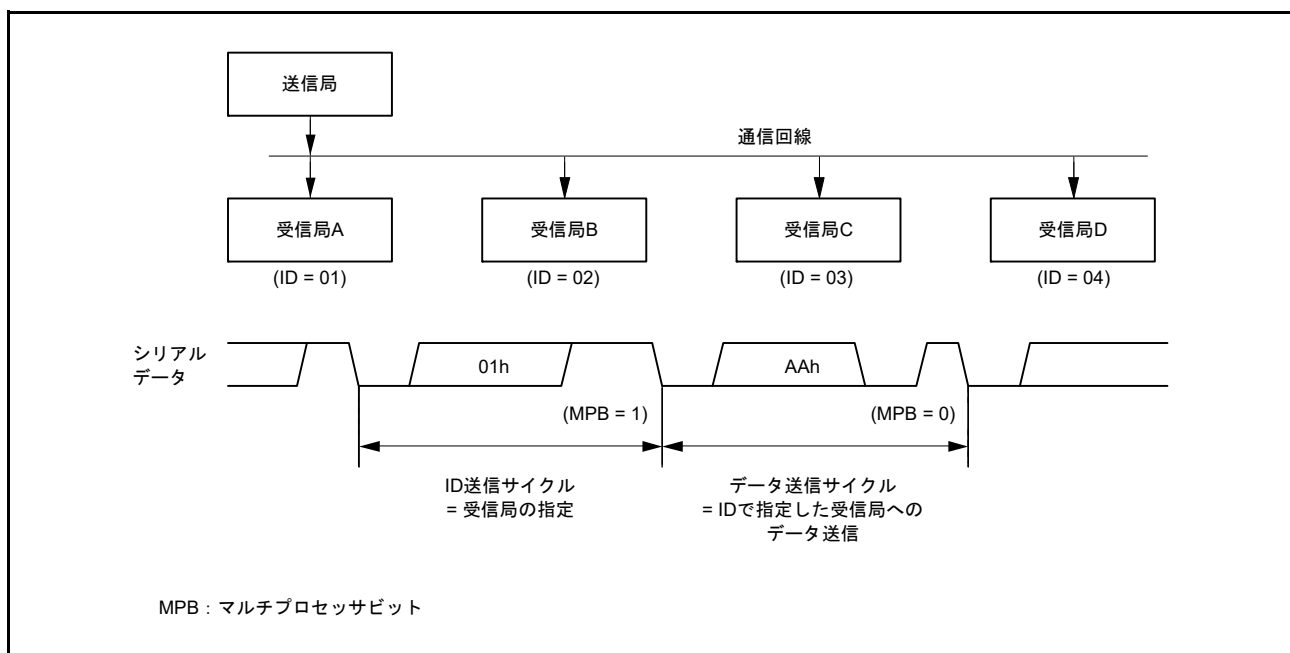


図 28.22 マルチプロセッサフォーマットを使用した通信例 (データ AAh を受信局 A に送信する場合)

(2) FIFO 選択時

データ送信では、ソフトウェアはデータを FTDRHL.MPBT ビットへ書き込む必要があります。このデータは、FTDRHL.TDAT ビットの送信データに対応します。データ受信では、受信データの一部であるマルチプロセッサビットが FTDRHL.MPB ビットに書き込まれ、受信データは FRDRL レジスタに書き込まれます。

MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから FRDRHL レジスタへの受信データの転送
- 受信エラーの検出
- ブレーク
- SSR_FIFO レジスタの RDF、ORER、および FER の各ステータスフラグのセット

マルチプロセッサビットが 1 の 8 ビットキャラクタを受信すると、FRDRHL.MPB ビットが 1 になるとともに、受信データが FRDRHL.RDAT ビットに書き込まれます。SCR.MPIE ビットが自動的にクリアされるので、SCI は非マルチプロセッサの受信動作に戻ります。このとき、SCR.RIE ビットがセットされていると、SCI_{In}_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は、非マルチプロセッサの調歩同期式モードの FIFO 選択時と変わりません。

28.4.1 マルチプロセッサシリアルデータ送信

(1) 非 FIFO 選択時

図 28.23 に、マルチプロセッサデータ送信のフローチャート例を示します。ID 送信サイクルでは、SSR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードの動作と同じです。

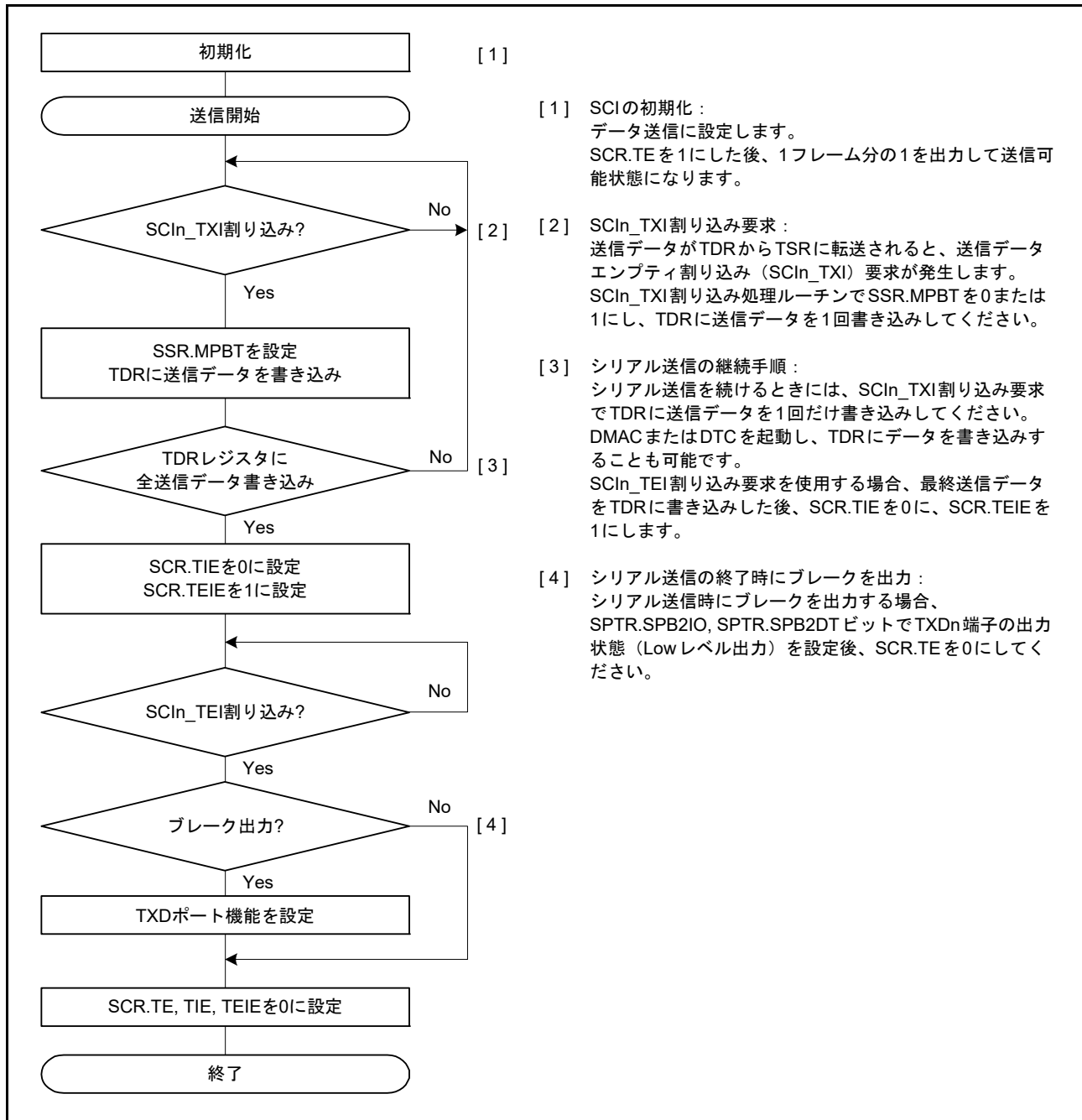


図 28.23 マルチプロセッサシリアル送信のフローチャート例 (非 FIFO 選択時)

(2) FIFO 選択時

図 28.24 に、マルチプロセッサモードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。

FTDRH レジスタの MPBT ビットが 1 になります。適切なデータ長のデータが FTDRH レジスタと FTDRL レジスタに書き込まれます。使用しないビットには 0 を書いてください。FTDRH から FTDRL の順に書いてください。

データ長	レジスタ設定		FTDRH, FTDRLの送信データ															
	SCMR. CHR1	SMR. CHR	FTDRHL															
			FTDRH							FTDRL								
			b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	—	—	—	—	—	—	MPBT	—	—	7ビット送信データ						
8ビット	1	0	—	—	—	—	—	—	MPBT	—	8ビット送信データ							
9ビット	0	Don't care	—	—	—	—	—	—	MPBT	9ビット送信データ								

—: 無効ビット。書く場合、0としてください。

図 28.24 マルチプロセッサモードにおいて FTDRH と FTDRL に書き込まれるデータフォーマット (FIFO 選択時)

図 28.25 に、FIFO 選択時のマルチプロセッサデータ送信のフローチャート例を示します。ID 送信サイクルでは、FTDRH.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードにおける FIFO 選択時の動作と同じです。

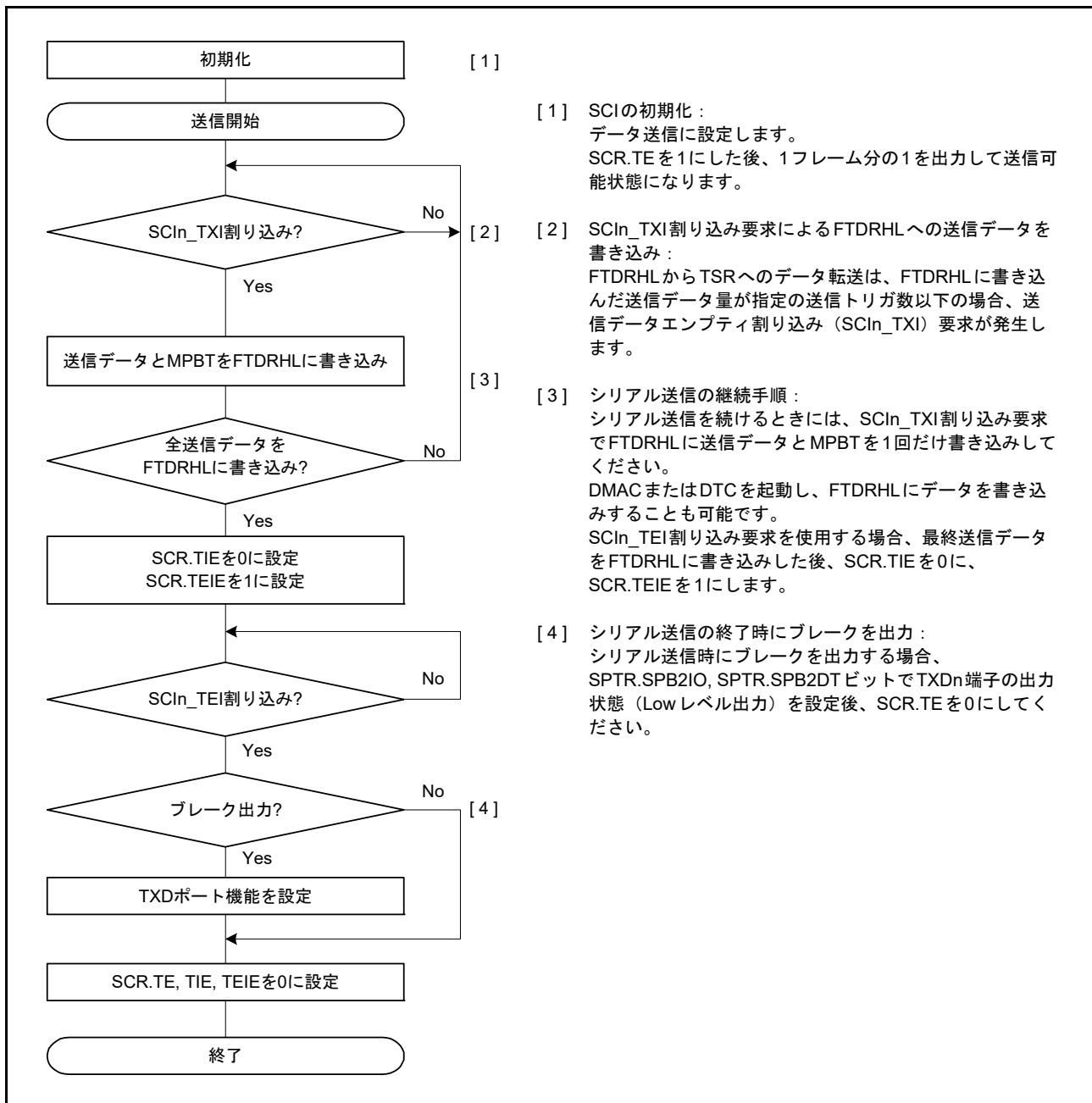


図 28.25 マルチプロセッサモードにおけるシリアル送信のフローチャート例 (FIFO 選択時)

28.4.2 マルチプロセッサシリアルデータ受信

(1) 非 FIFO 選択時

図 28.26 および図 28.27 に、マルチプロセッサデータ受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データが読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データは RDR レジスタ（データ長 9 ビット選択時は RDRHL レジスタ）へ転送され、SCIn_RXI 割り込み要求が発生します。その他の動作は、調歩同期式モードの動作と同じです。

図 28.26 に、データ受信時の動作例を示します。

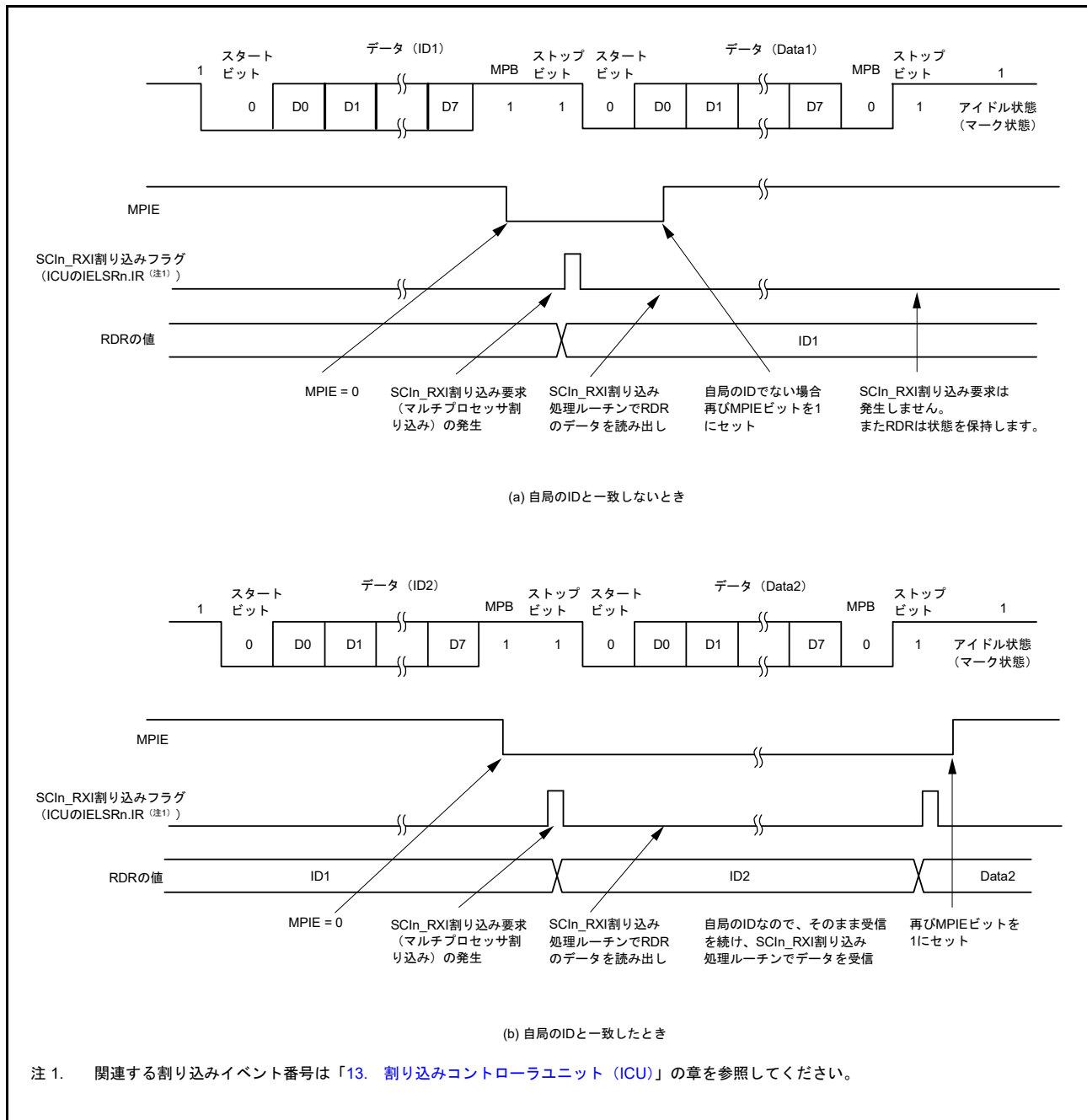


図 28.26 SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの場合)

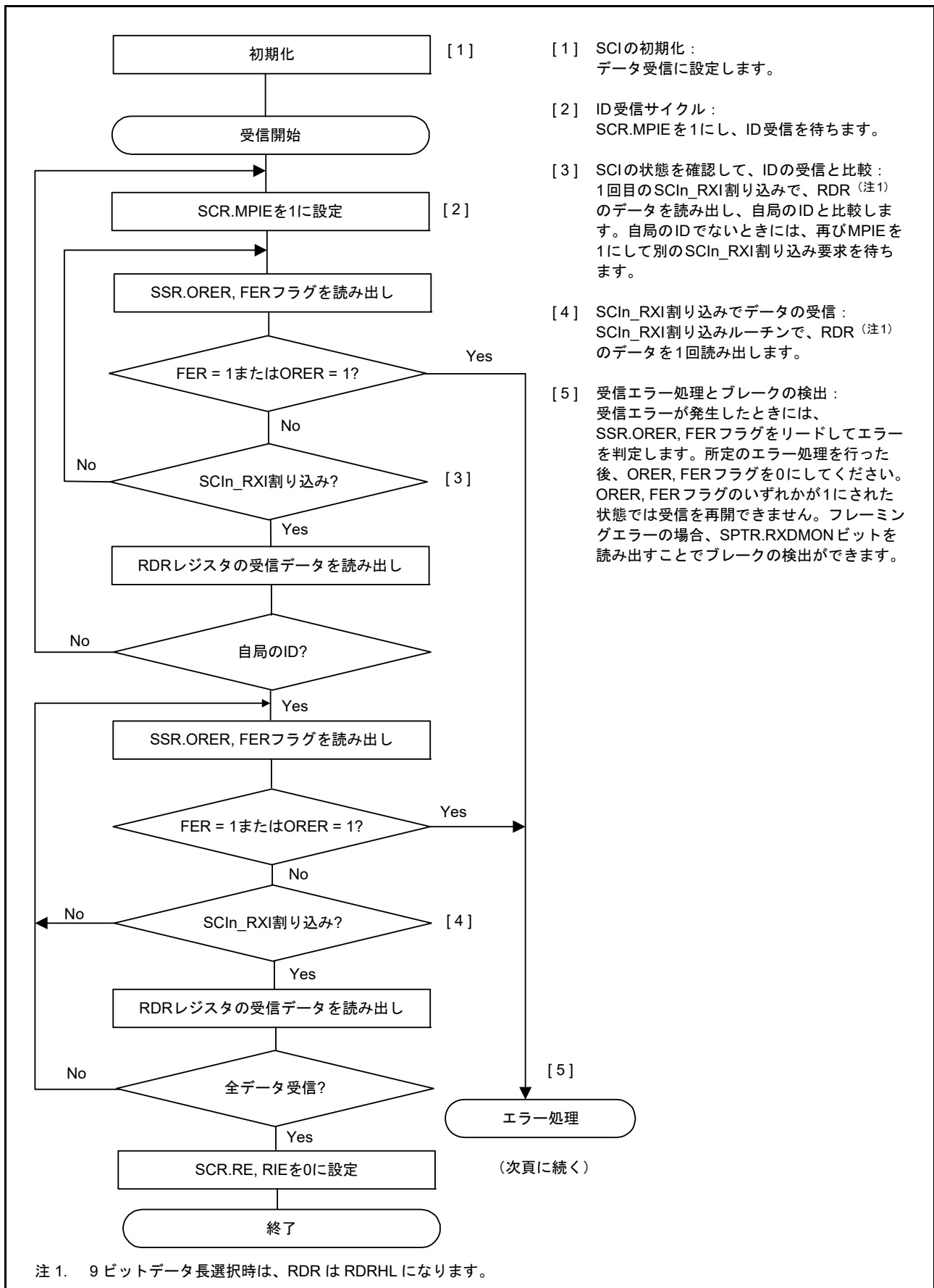


図 28.27 マルチプロセッサシリアル受信のフローチャート例 (1) (非 FIFO 選択時)

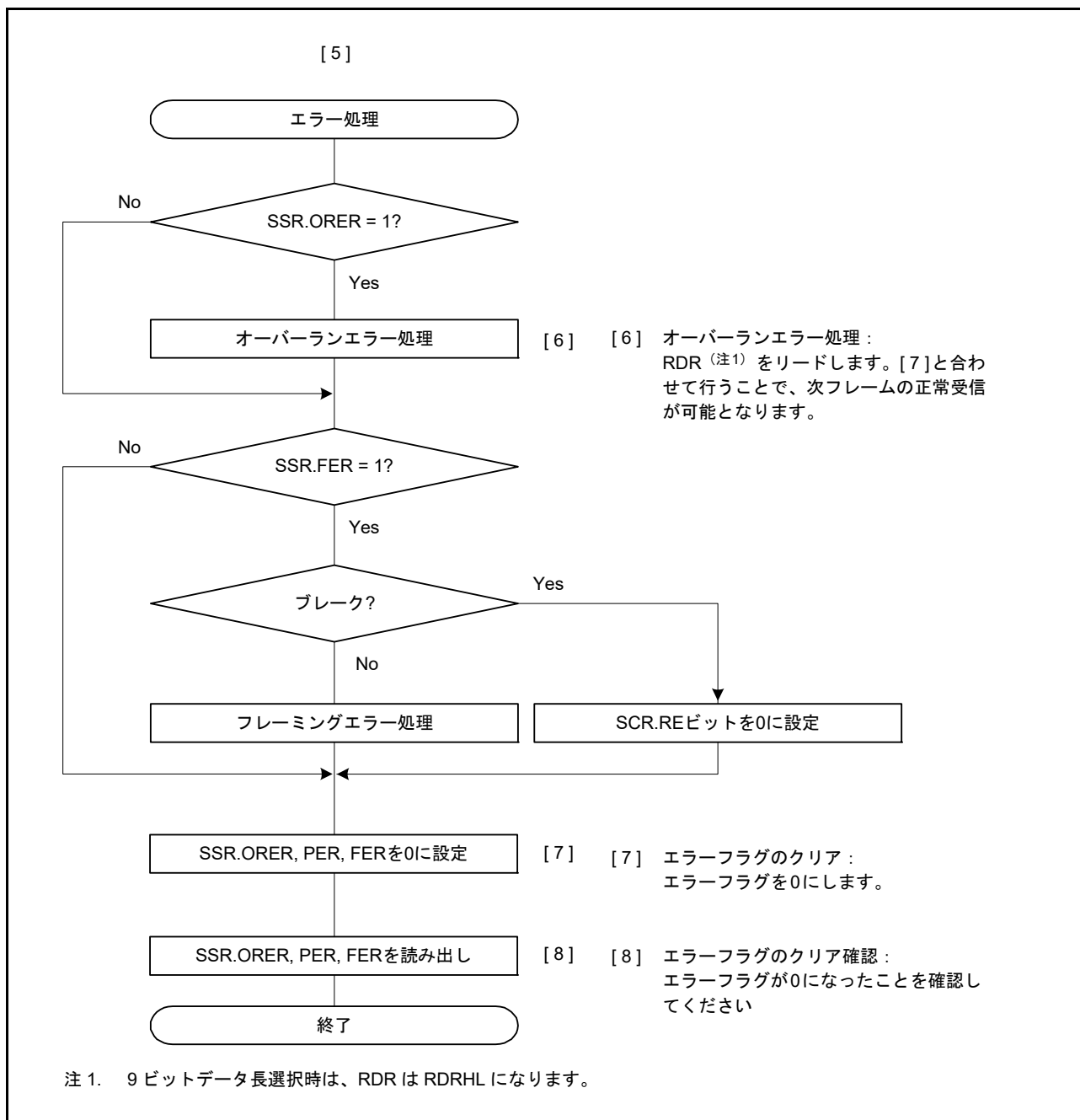


図 28.28 マルチプロセッサシリアル受信のフローチャート例 (2) (非 FIFO 選択時)

(2) FIFO 選択時

図 28.29 に、マルチプロセッサモードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

マルチプロセッサモードでは、受信データの一部である MPB の値が FRDRH レジスタの MPB フラグ (FRDRH[1]) に書き込まれます。FRDRH レジスタの PER フラグ (FRDRH[3]) に 0 が書き込まれます。適切なデータ長のデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。読み出し順は FRDRH → FRDRL としてください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FER、MPB、および FRDRL レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの RDF、ORER、および DR フラグは、常に SSR_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH, FRDRLの受信データ															
	SCMR. CHR1	SMR. CHR	FRDRHL															
			FRDRH							FRDRL								
			b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	—	RDF	ORER	FER	0	DR	MPB	0	0	7ビット受信データ						
8ビット	1	0	—	RDF	ORER	FER	0	DR	MPB	0	8ビット受信データ							
9ビット	0	Don't care	—	RDF	ORER	FER	0	DR	MPB	9ビット受信データ								

注 . データ長が 7 ビットするとき、FRDRH[0], FRDRL[7] からは常に 0 が読み出されます。
 データ長が 8 ビットするとき、FRDRH[0] から常に 0 が読み出されます。
 FRDRH[7] ビットの読み出し値は不定です。

図 28.29 マルチプロセッサモードにおいて FRDRH と FRDRL に格納されるデータフォーマット (FIFO 選択時)

図 28.30 に、FIFO 選択時のマルチプロセッサデータ受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データ、MPB、および関連のエラーが FRDRHL レジスタへ転送されます。SCR.MPIE ビットが自動的にクリアされ、非マルチプロセッサの受信動作が継続します。

フレーミングエラーが発生して SSR_FIFO.FER フラグが 1 になると、SCI はデータ受信を継続します。その他の動作は、調歩同期式モードにおける FIFO 選択時の動作と同じです。

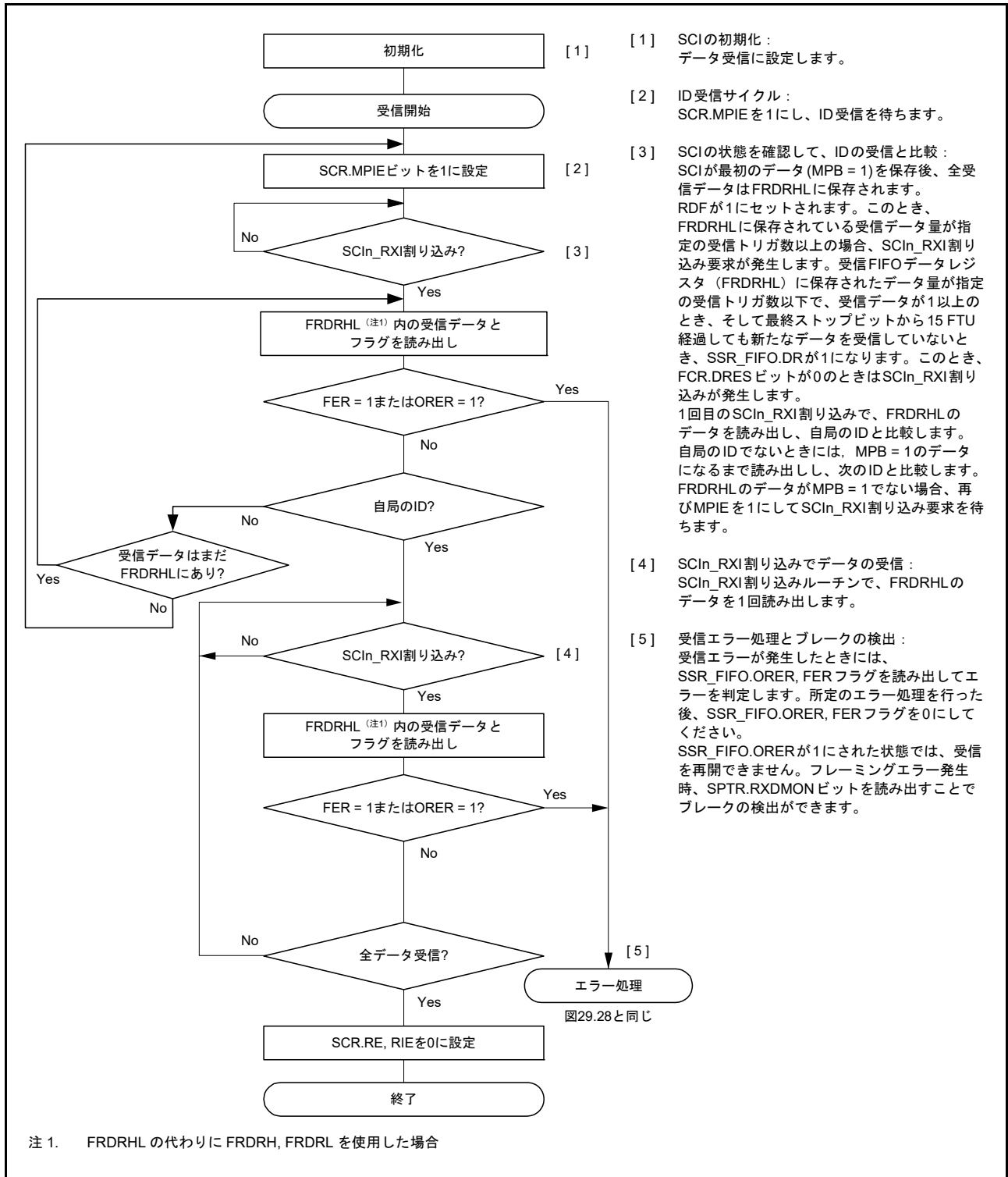


図 28.30 マルチプロセッサモードにおけるシリアル受信のフローチャート例 (FIFO 選択時)

28.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 28.31 に示します。

クロック同期式モードでは、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。

8 ビット出力後の送信ラインは、最終ビット出力状態を保ちます。スレーブモードにおいて SPMR.CKPH ビットが 1 の場合、SCI は第 1 ビットの出力状態を保ちます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。送信部と受信部はどちらもダブルバッファ構成になっているため、送信中に次の送信データを書き込むことや、受信中に前の受信データを読み出すことが可能であり、連続送受信動作が実現されます。

ただし、最高ビットレートの設定 (BRR = 00h かつ SMR.CKS[1:0] = 00b) では連続送受信が不可能であるため、FIFO 選択時はこの設定 (BRR = 00h かつ SMR.CKS[1:0] = 00b) は利用できません。

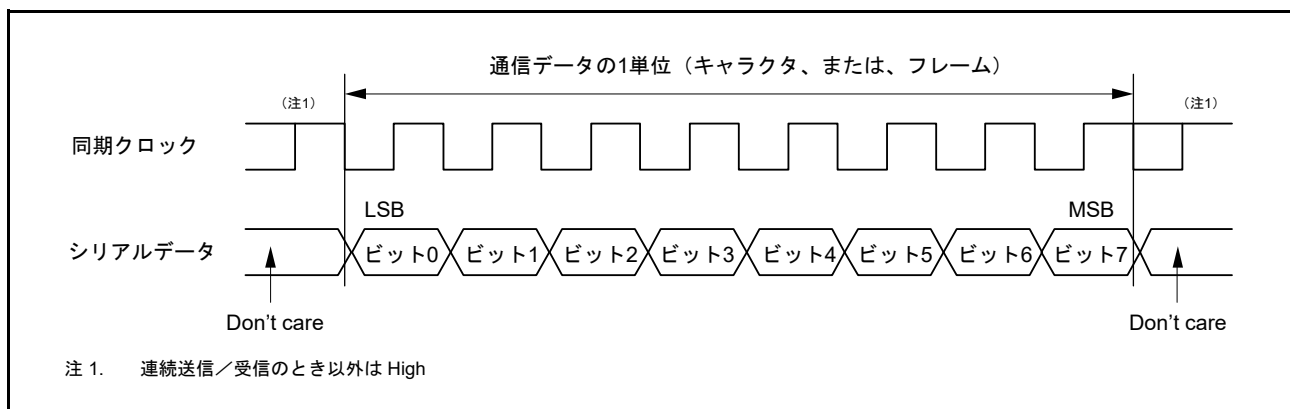


図 28.31 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

28.5.1 クロック

SCR.CKE[1:0] ビットの設定に基づいて、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部同期クロックのいずれかを選択できます。

SCI が内部クロックで動作する場合は、SCKn 端子から同期クロックが出力されます。1 キャラクタの送受信で 8 パルスの同期クロックが出力されます。送受信を行わないとき、クロックは High に固定されます。ただし、受信動作のみで CTS 機能が無効な場合、SCR.RE ビットが 1 になると、同期クロックの出力が始まります。RE ビットが 0 のとき、またはオーバーランエラーが発生したとき、同期クロックは High レベル (注 1) になったところで停止します。

受信動作のみで CTS 機能が有効な場合は、SCR.RE ビットが 1 になっても CTSn_RTSn 端子入力が High であれば、クロック出力は始まりません。SCR.RE ビットが 1 になったとき、CTSn_RTSn 端子入力が Low であれば、同期クロックの出力が始まります。フレームの受信が完了した時点で CTSn_RTSn 端子入力が High であれば、同期クロック出力は High レベルになったところで停止します。CTSn_RTSn 端子入力が Low のままである場合は、RE ビットが 0 のとき、またはオーバーランエラーが発生したとき、同期クロックは High レベル (注 1) になったところで停止します。

注 1. (SPMR.CKPH ビット = 0、かつ SPMR.CKPOL ビット = 1) または (SPMR.CKPH ビット = 1、かつ SPMR.CKPOL ビット = 1) の状態にあるとき、信号は High に固定されます。
(SPMR.CKPH ビット = 0、かつ SPMR.CKPOL ビット = 1) または (SPMR.CKPH ビット = 1、かつ SPMR.CKPOL ビット = 0) の状態にあるとき、信号は Low に固定されます。

28.5.2 CTS、RTS 機能

CTS 機能では、クロックソースが内部クロックの場合に、CTS_n、RTS_n 端子入力を使用してデータ送受信の開始制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTS_n、RTS_n 端子入力が Low になると、データの送受信が開始されます。

送受信中に CTS_n、RTS_n 端子入力を High にしても、処理中のフレームの送受信には影響を与えません。

RTS 機能では、クロックソースが外部同期クロックの場合に、CTS_n、RTS_n 端子出力を使用してデータ送受信の開始要求を行います。シリアル通信が可能な状態になると、CTS_n、RTS_n 端子出力が Low になります。CTS_n、RTS_n 端子出力が Low および High となる条件は以下のとおりです。

[Low になる条件]

(a) 非 FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットまたは SCR.TE ビットが 1
- シリアル通信が許可されている
- 読み出し前の受信データがない (SCR.RE ビットが 1 の場合)
- TSR レジスタに送信用データがある (SCR.TE ビットが 1 の場合)
- SSR.ORER フラグが 0

(b) FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットまたは SCR.TE ビットが 1
- シリアル通信が許可されている
- FRDRHL に書き込まれた受信データ数が指定された CTS_n、RTS_n 出力トリガ数より少ない (SCR.RE = 1 の場合)
- FTDRHL レジスタに未送信データがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 0 の場合)
- TSR レジスタに送信用データがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 1 の場合)
- SSR_FIFO.ORER フラグが 0

[High になる条件]

(a) 非 FIFO 選択時

- Low になる条件を満たさない場合
- 受信完了後に RDR レジスタを読み出すことなく、SCR.RE = 0 によって受信を終了させた場合、RTS は High を維持します。このとき、SCR.RE に 0 を書き込んだ後に SCR レジスタをダミーリードしてください

(b) FIFO 選択時

- Low になる条件を満たさない場合

28.5.3 SCI の初期化 (クロック同期式モード)

データを送受信する前に、最初に SCR レジスタに初期値 00h を書き込み、次に [28.5.2 CTS、RTS 機能](#) の非 FIFO 選択時または FIFO 選択時の説明に従って SCI の初期設定を続けてください。動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

- 注 . SCR.RE ビットを 0 にしても、SSR/SSR_FIFO または RDR、および RDRHL レジスタの ORER フラグ、FER フラグ、RDRF フラグ、RDF フラグ、PER フラグ、および DR フラグは初期化されません。また、RDR レジスタおよび RDRHL レジスタも初期化されません。SCR.TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。
- 注 . 非 FIFO モードでは、SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCI_n_TXI 割り込み要求が発生します。

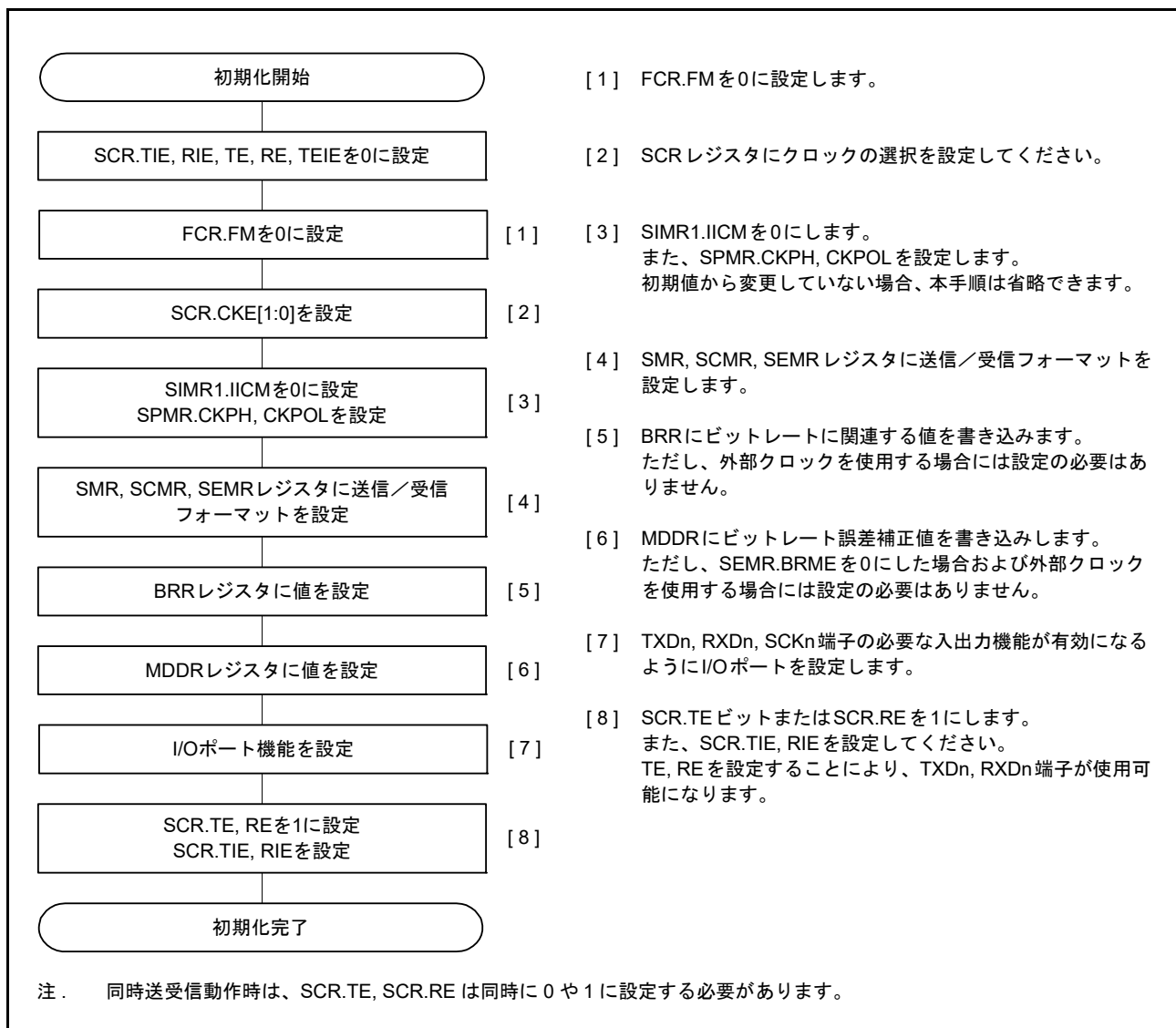


図 28.32 クロック同期式モードにおける SCI の初期化フローチャート例 (非 FIFO 選択時)

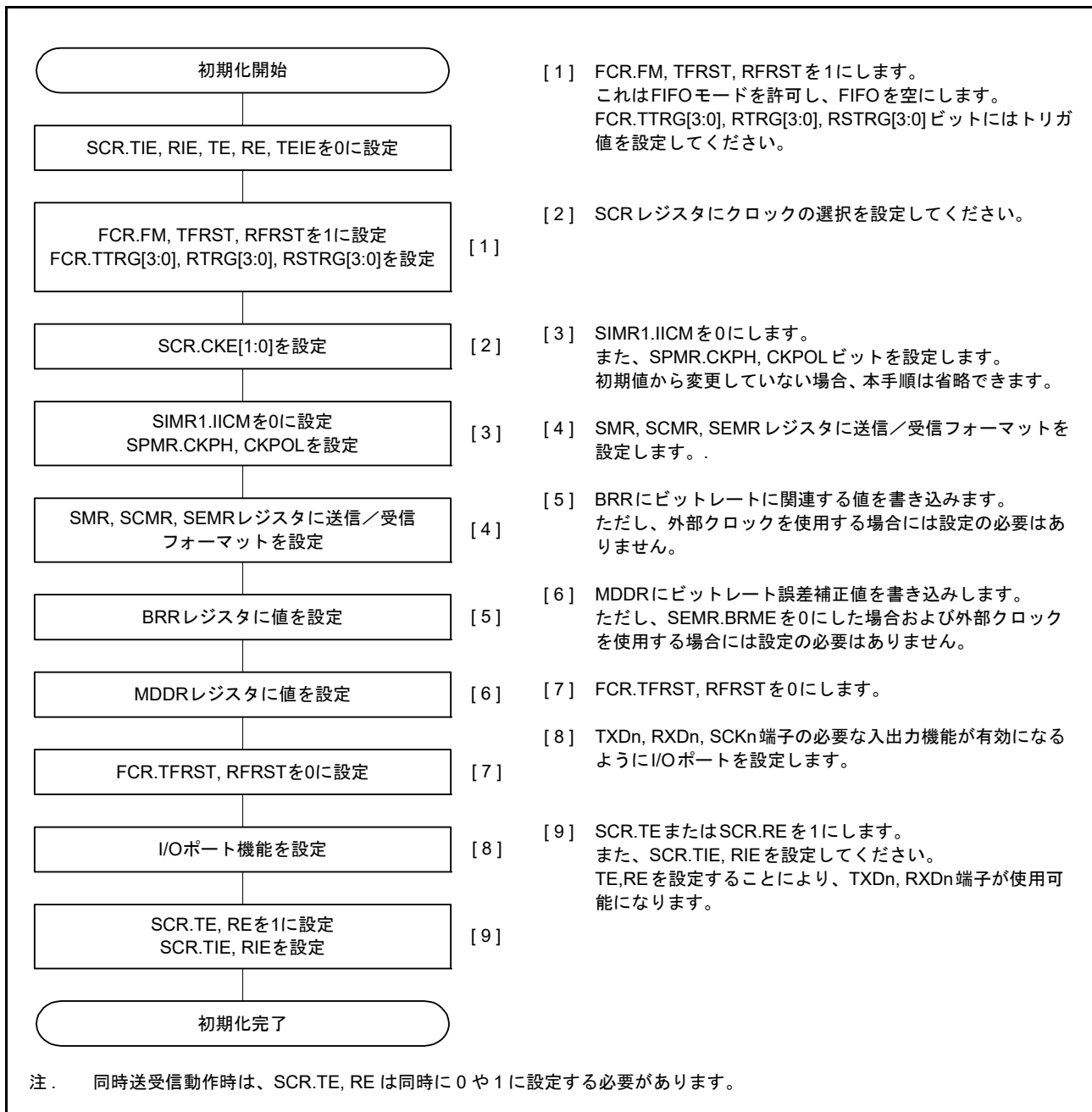


図 28.33 クロック同期式モードにおける SCI の初期化フローチャート例 (FIFO 選択時)

28.5.4 シリアルデータの送信 (クロック同期式モード)

(1) 非 FIFO 選択時

図 28.34、図 28.35、および図 28.36 に、クロック同期式モードにおけるシリアル送信の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TIE ビットを 1 にした後、SCR.TE ビットを 1 にするか、これら 2 つのビットを 1 命令で同時に 1 にすることで発生します。
2. SCI は、TDR レジスタから TSR レジスタへデータを転送した後、送信を開始します。このとき、SCR.TIE ビットが 1 になっていると、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合は、最終送信データを TDR レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTS_n_RTS_n 入力信号が Low になるまで待機します。
4. 最終ビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

図 28.34、図 28.35、図 28.36 に、シリアル送信のフローチャート例を、図 28.37 にクロック同期モードでのシリアル転送例を示します。

受信エラーフラグ (SSR.ORER、FER、または PER) が 1 の状態では、送信は開始されません。送信を開始する前に、必ず受信エラーフラグを 0 にしてください。

注 . 受信エラーフラグは、SCR.RE ビットを 0 にしてもクリアされません。

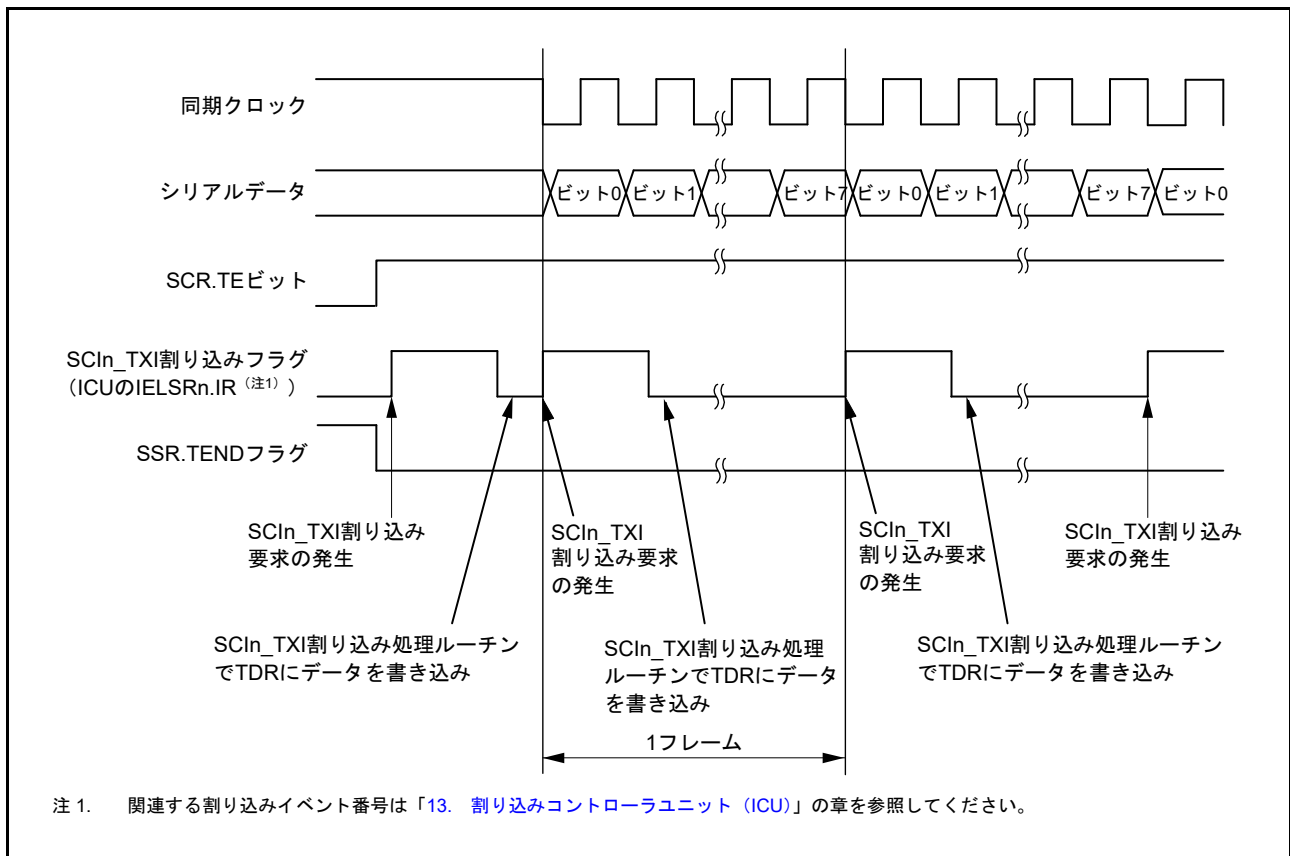


図 28.34 クロック同期式モードにおけるシリアル送信の動作例 (送信開始時に CTS 機能を使用しない場合)

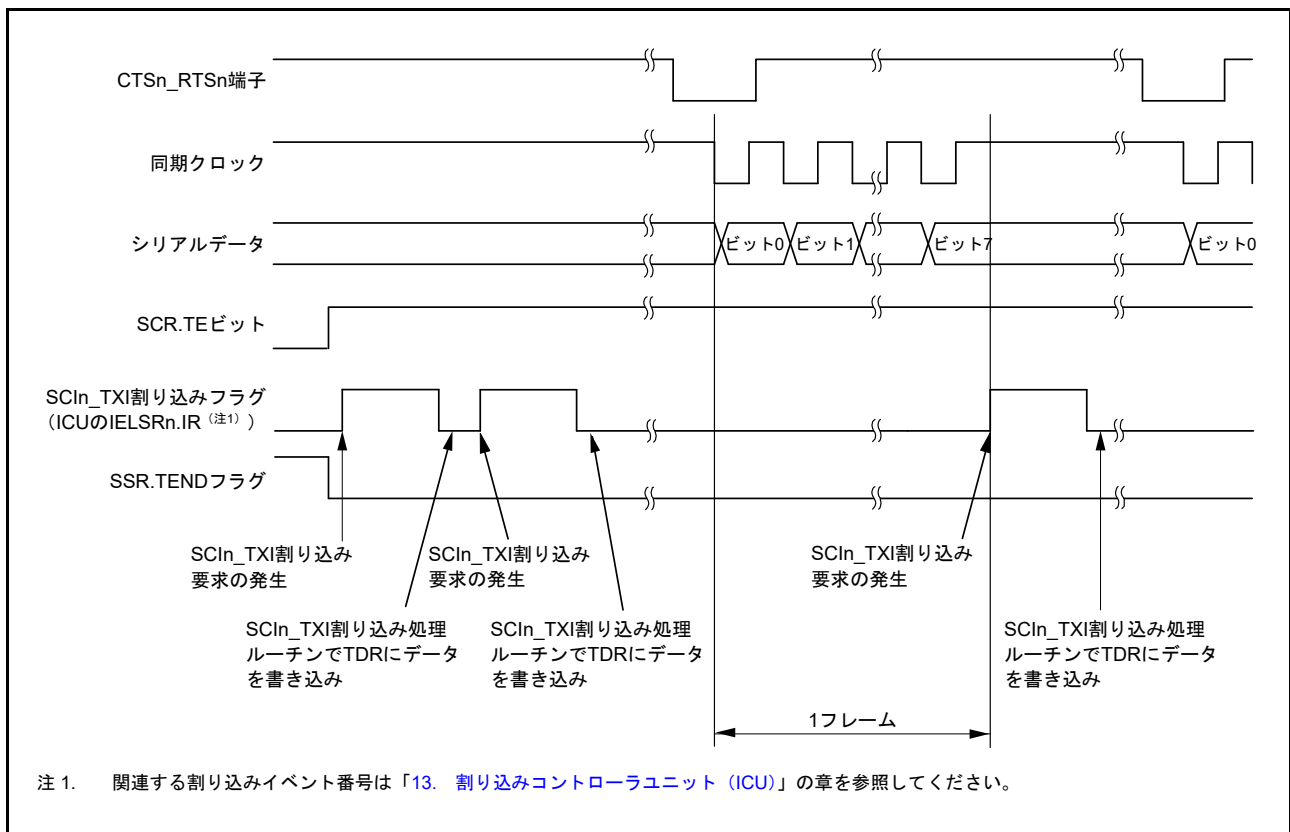


図 28.35 クロック同期式モードにおけるシリアル送信の動作例 (送信開始時に CTS 機能を使用する場合)

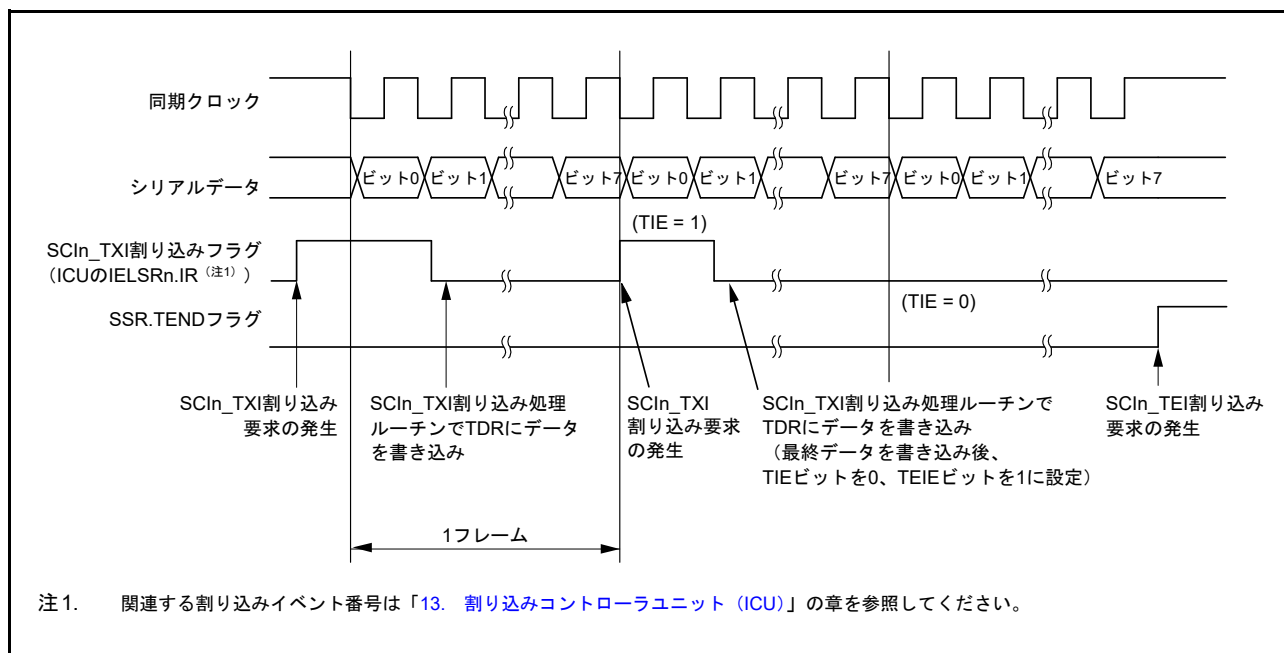


図 28.36 クロック同期式モードにおけるシリアル送信の動作例 (送信中～送信終了時)

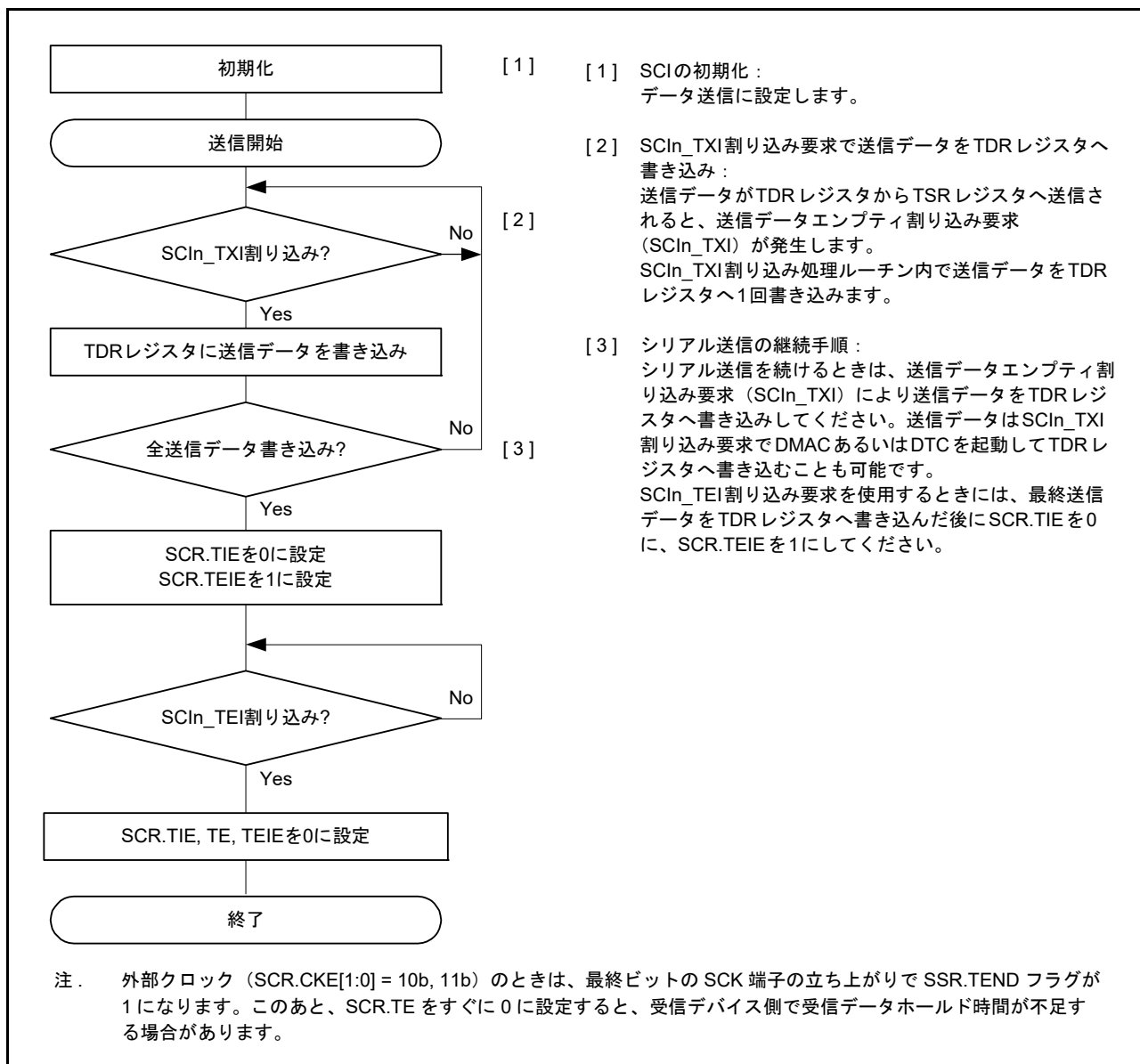


図 28.37 クロック同期式モードにおけるシリアル送信のフローチャート例 (非 FIFO 選択時)

(2) FIFO 選択時

図 28.34 に、クロック同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn_TXI 割り込み処理ルーチンで FTDRL レジスタ (注1) にデータが書き込まれると、SCI は FTDRL レジスタ (注1) から TSR レジスタへデータを転送します。FTDRL レジスタに書き込み可能なデータのバイト数は“16 - FDR.T[4:0]”です。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TIE ビットを 1 にした後に SCR.TE ビットを 1 にするか、これら 2 つのビットを 1 命令で同時に 1 にすることで発生します。
2. SCI は、FTDRL レジスタから TSR レジスタにデータを転送した後、送信を開始します。FTDRL に書き込まれた送信データ数が指定された送信トリガ数以下のとき、SSR_FIFO.TDFE フラグが 1 になります。このとき、SCR.TIE ビットが 1 になっていると、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合は、最終送信データを FTDRL レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、CTS_n_RTS_n 入力信号が Low になり、SPMR.CTSE ビットが 1 になるまで待機します。
4. ストップビットを送り出すタイミングで、SCI は FTDRL レジスタに未送信データが残っていないかチェックします。
5. FTDRL レジスタが更新されていれば、FTDRL レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. FTDRL レジスタが更新されていなければ、SSR_FIFO.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、SCR.EIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

注 1. クロック同期式モードでは、FTDRH レジスタを使用しません。

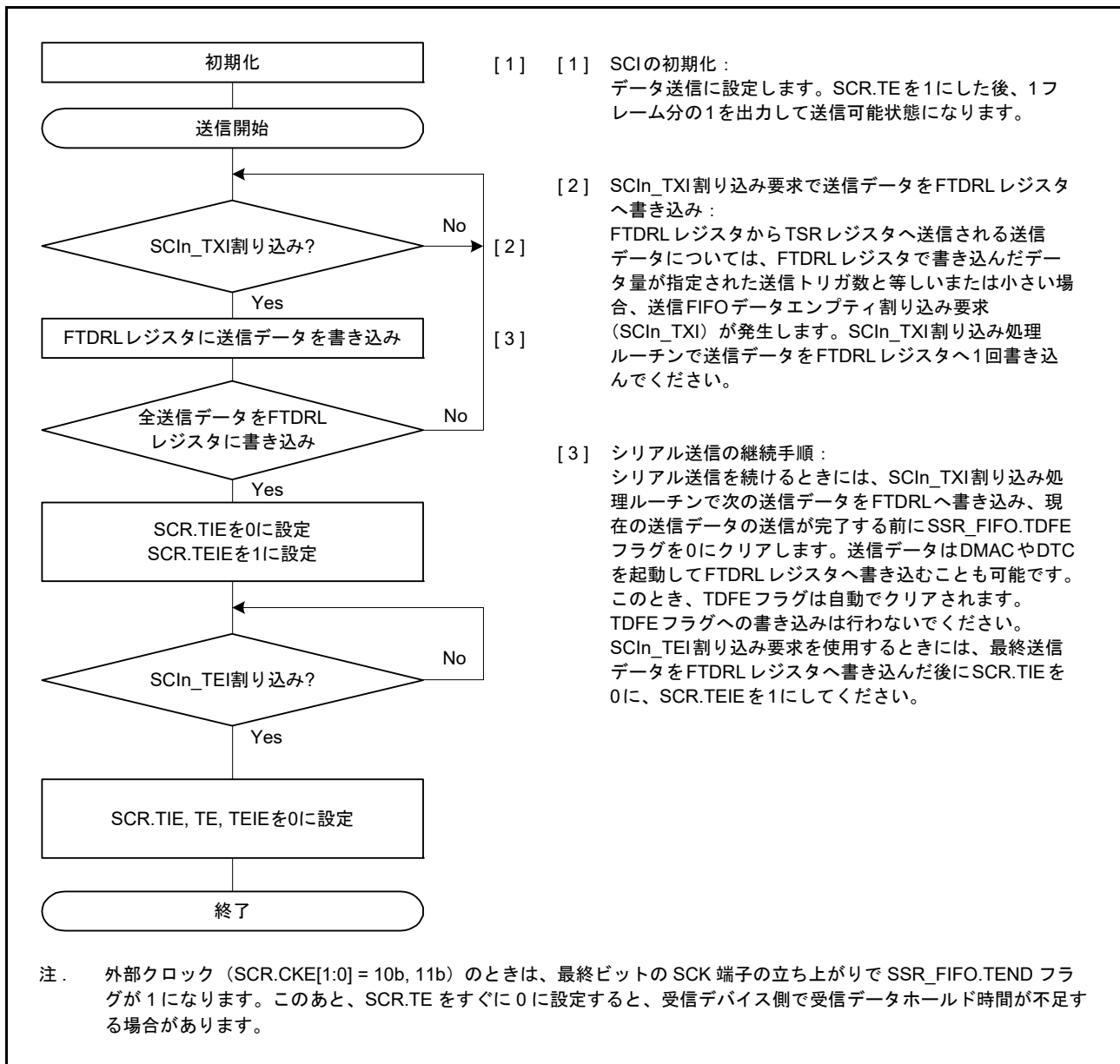


図 28.38 クロック同期式モードにおけるシリアル送信のフローチャート例 (FIFO 選択時)

28.5.5 シリアルデータの受信 (クロック同期式モード)

(1) 非 FIFO 選択時

図 28.39 と図 28.40 に、クロック同期式モードにおけるシリアル受信の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットの値が 1 になると、CTS_n_RTS_n 端子出力は Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI_n_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. 正常に受信したときは、受信データが RDR レジスタへ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCI_n_RXI 割り込み要求が発生します。SCI_n_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタから受信データが読み出されると、CTS_n_RTS_n 端子出力が Low になります。

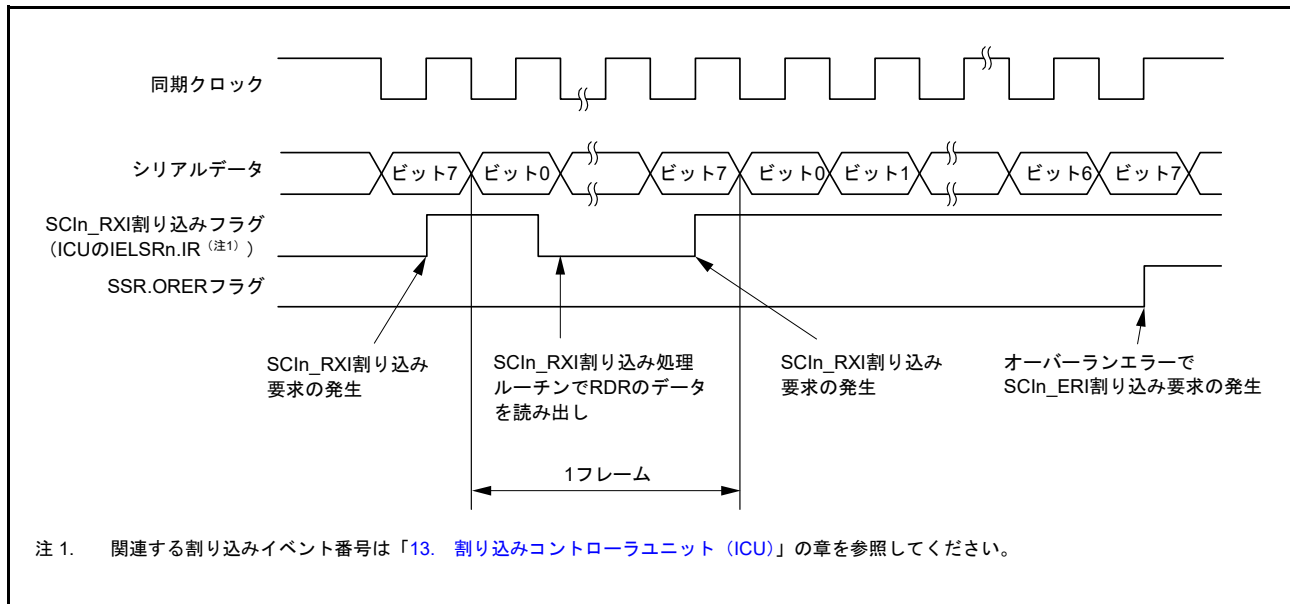


図 28.39 クロック同期式モードにおけるシリアル受信の動作例 (1) (RTS 機能を使用しない場合)

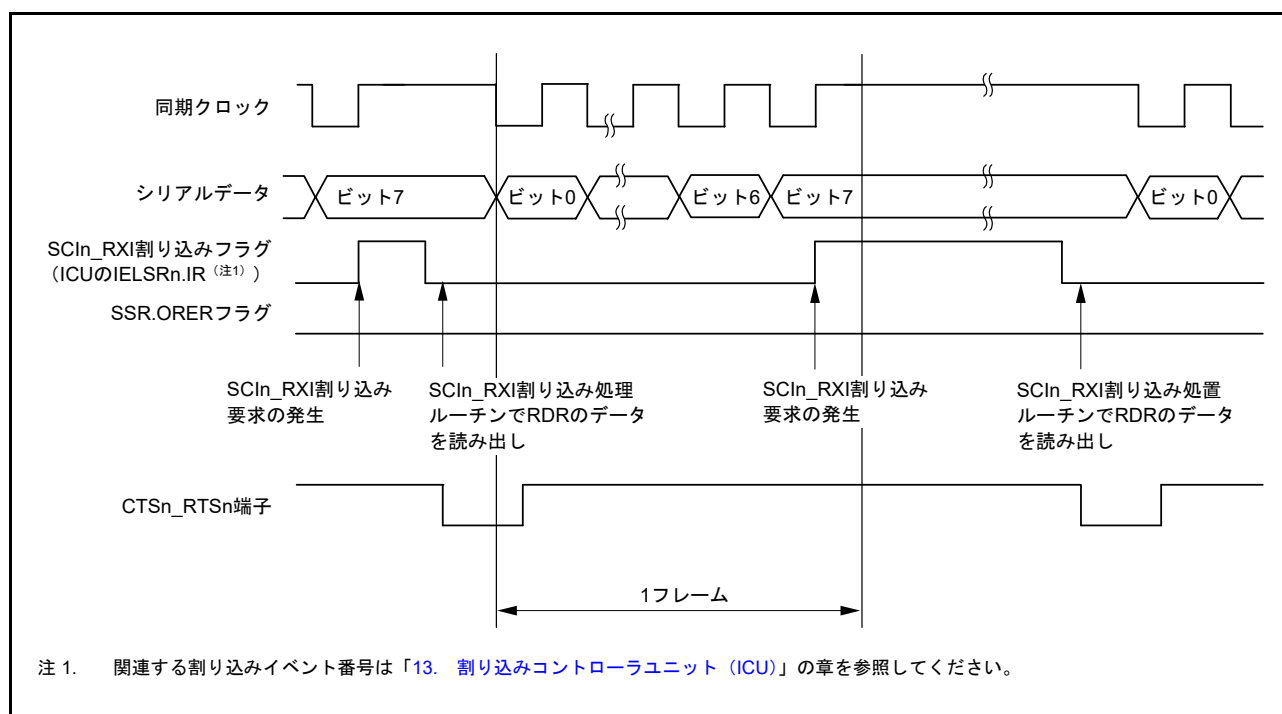


図 28.40 クロック同期式モードにおけるシリアル受信の動作例 (2) (RTS 機能を使用する場合)

受信エラーフラグが 1 の状態では、送受信動作を再開できません。したがって、SSR.ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。また、受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 28.41 に、シリアル受信のフローチャート例を示します。

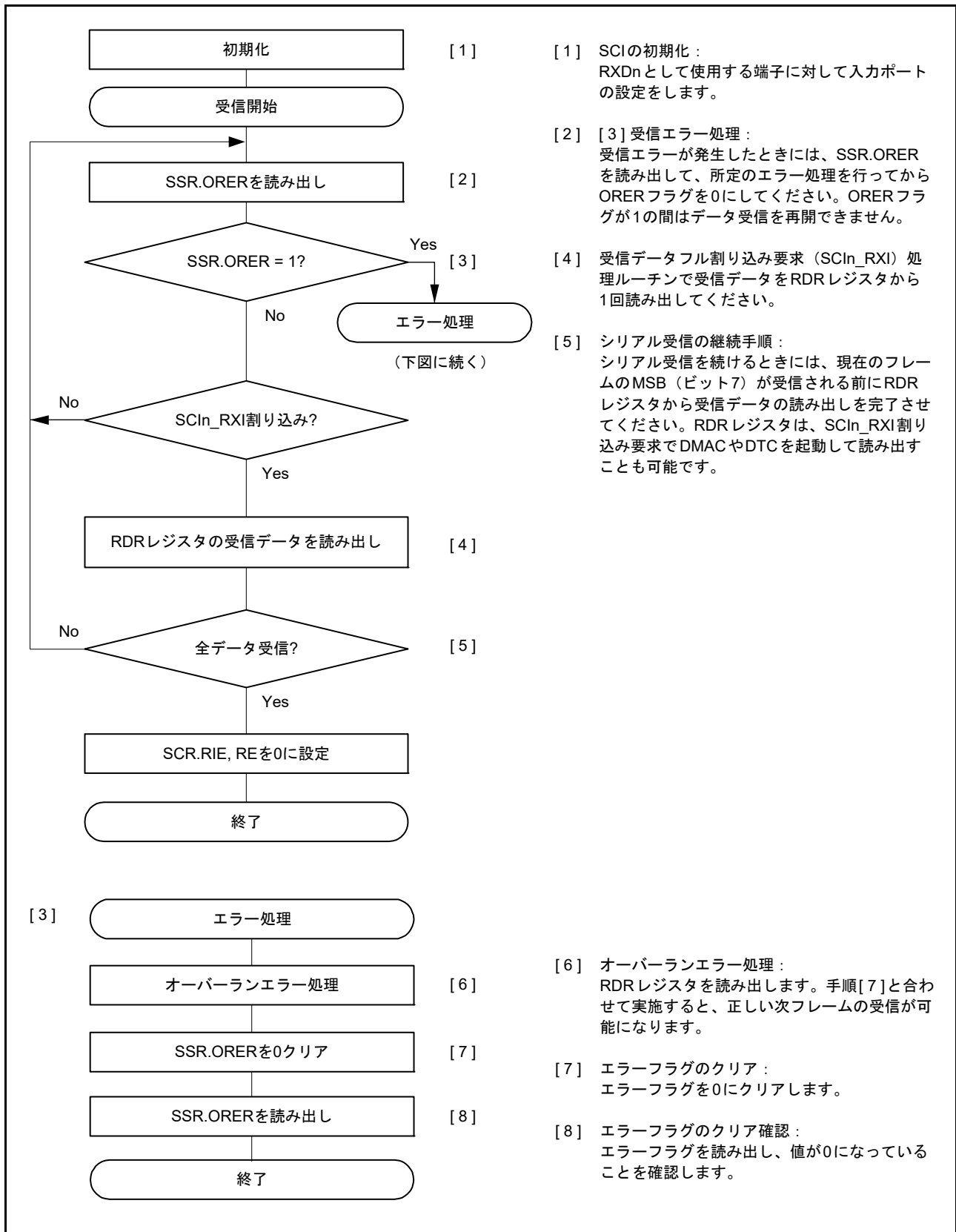


図 28.41 クロック同期式モードにおけるシリアル受信のフローチャート例 (非 FIFO 選択時)

(2) FIFO 選択時

図 28.42 に、クロック同期式モードにおける FIFO 選択時のシリアル受信のフローチャート例を示します。シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットの値が 1 になると、CTS_n_RTS_n 端子出力は Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR_FIFO. ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI_{In}_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ^(注1) へ転送されません。
4. 正常に受信したときは、受信データが FRDRL レジスタ^(注1) へ転送されます。FRDRHL に格納された受信データ数が指定された受信トリガ数以上であると、SSR_FIFO.RDF フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI_{In}_RXI 割り込み要求が発生します。この SCI_{In}_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ^(注2) へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタへ転送された受信データ数が RTS トリガ数未満であると、CTS_n_RTS_n 端子出力が Low になります。

注 1. クロック同期式モードでは、FRDRH レジスタを使用しません。

注 2. RDF と ORER を受信データとともに読み出す場合は、FRDRH → FRDRL の順に読み出してください。

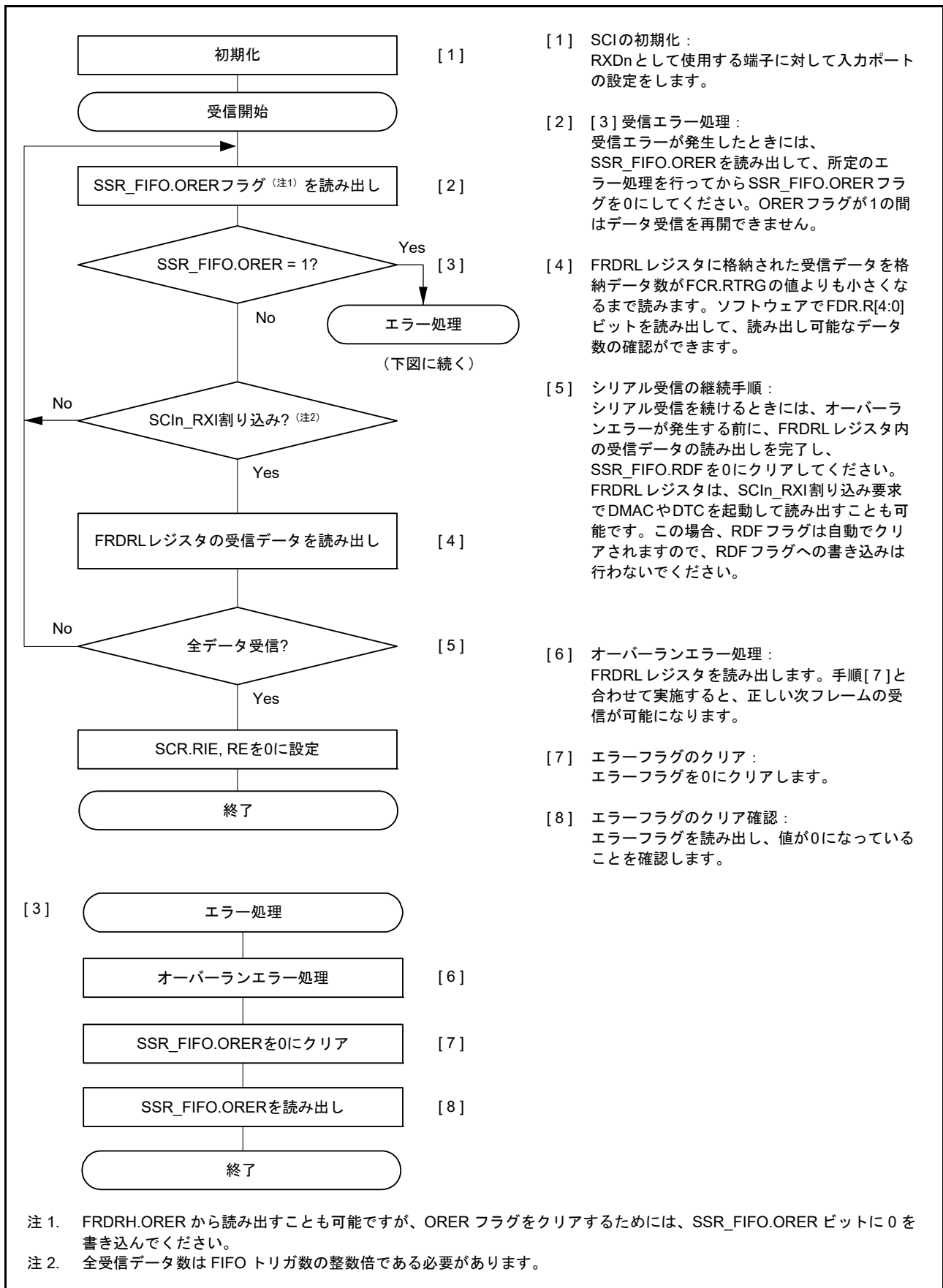


図 28.42 クロック同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択時)

28.5.6 シリアルデータの同時送受信動作 (クロック同期式モード)

(1) 非 FIFO 選択時

図 28.43 に、クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例を示します。シリアル同時送受信動作は、SCI の初期化後、以下の手順に従って行ってください。

送信モードから同時送受信モードへの切り替えは次の手順で行います。

1. SCI が送信完了状態であることを SSR レジスタの TEND フラグが 1 になっていることで確認してください。
2. その後、SCR レジスタを初期化してから、SCR レジスタの TIE、RIE、TE、および RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへの切り替えは、次の手順で行います。

1. SCI が受信完了状態であることを確認してください。
2. SCR.RIE ビットと SCR.RE ビットを 0 にした後、SSR レジスタの受信エラーフラグ (ORER) が 0 になっていることを確認します。
3. その後、SCR レジスタの TIE、RIE、TE、および RE の各ビットを 1 命令で同時に 1 にしてください。

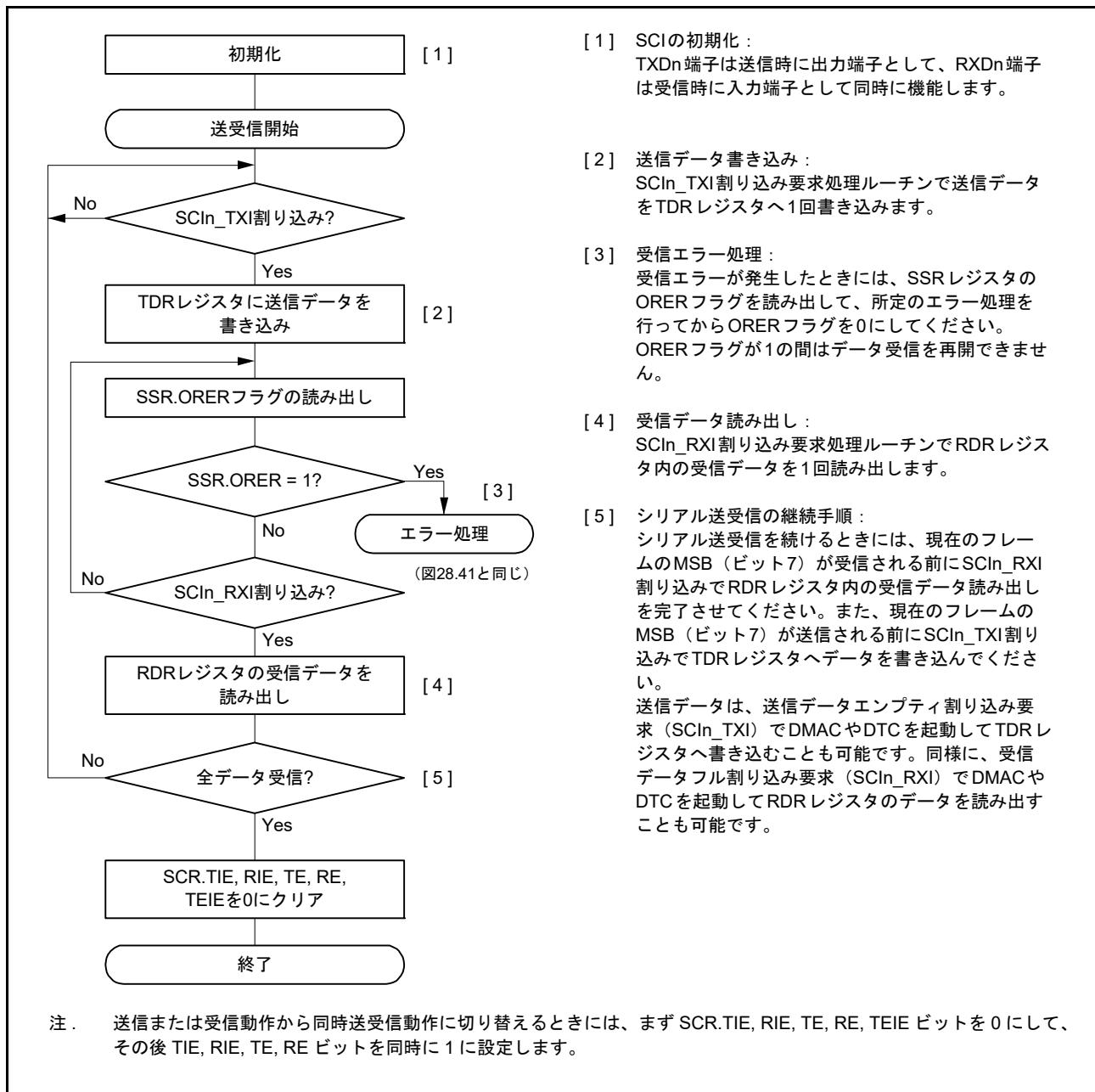


図 28.43 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 28.44 に、クロック同期式モードにおける FIFO 選択時のシリアル同時送受信動作のフローチャート例を示します。

シリアル同時送受信動作は、SCI の初期化後、以下の手順に従って行ってください。

送信モードから同時送受信モードへの切り替えは次の手順で行います。

1. SCI が送信完了状態であることを SSR_FIFO レジスタの TEND フラグが 1 になっていることで確認してください。
2. その後、SCR レジスタを初期化してから、SCR レジスタの TIE、RIE、TE、および RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへの切り替えは、次の手順で行います。

1. SCI が受信完了状態であることを確認してください。
2. SCR.RIE ビットと SCR.RE ビットを 0 にした後、SSR_FIFO レジスタの受信エラーフラグ (ORER) が 0 になっていることを確認します。
3. その後、SCR レジスタの TIE、RIE、TE、および RE の各ビットを 1 命令で同時に 1 にしてください。

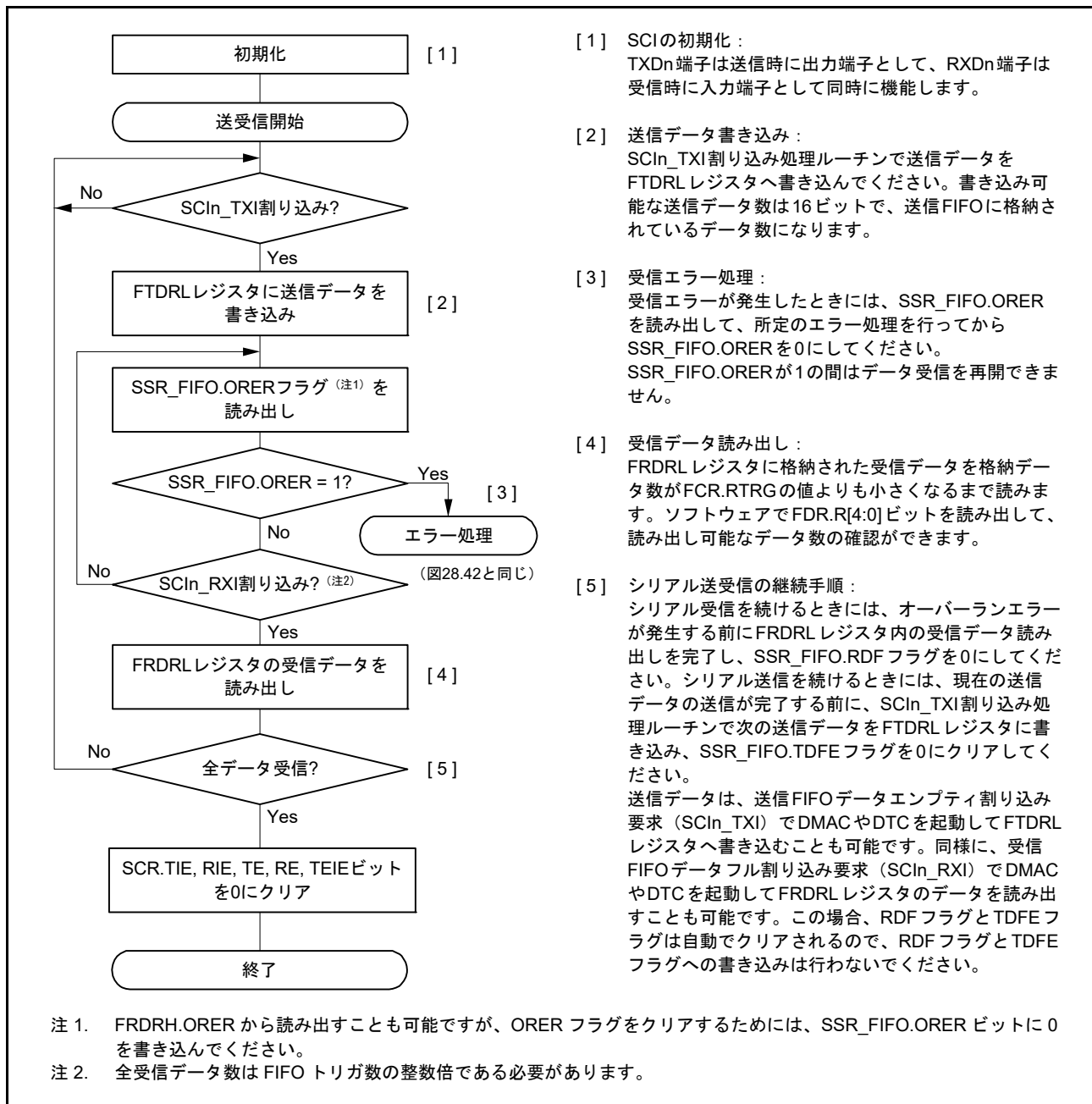


図 28.44 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例 (FIFO 選択時)

28.6 スマートカードインタフェースモードの動作

SCI は拡張機能として、ISO/IEC 7816-3 (Identification Card 規格) に対応したスマートカード (IC カード) インタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

28.6.1 接続例

図 28.45 に、スマートカードと本 MCU の接続例を示します。

図 28.45 に示すように、MCU と IC カードは 1 本のデータ伝送線で通信を行うため、TXDn 端子と RXDn 端子を結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR_SMCI レジスタの TE ビットと RE ビットを 1 にすると、閉ループの送受信が実現され、自己診断が可能になります。SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には、本 MCU の出力ポートを使用できます。

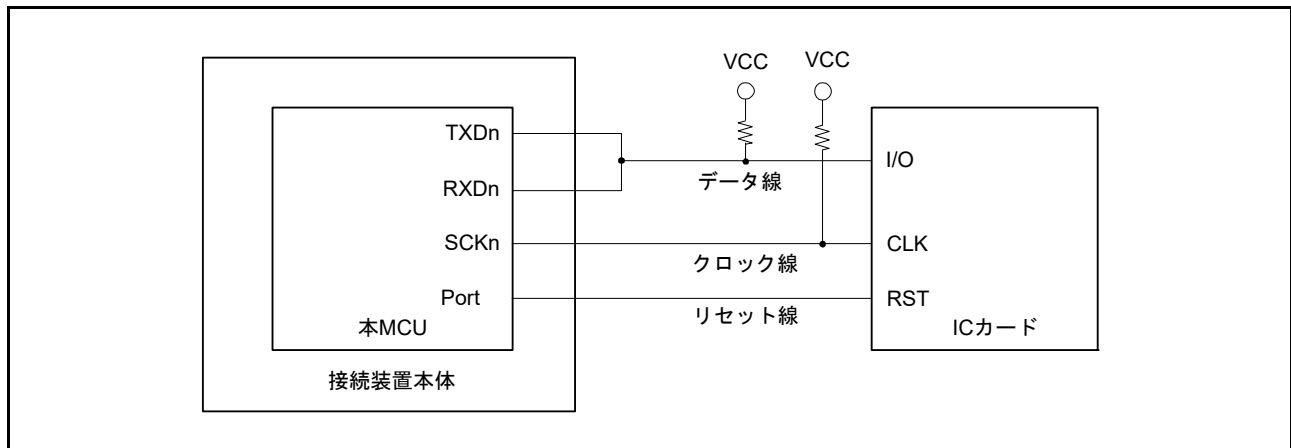


図 28.45 スマートカード (IC カード) との接続例

28.6.2 データフォーマット (ブロック転送モード時を除く)

図 28.46 に、スマートカードインタフェースモードでの送受信フォーマットを示します。

データ転送フォーマットは下記のとおりです。

- 調歩同期式モードでは、1 フレームは 8 ビットデータとパリティビットで構成されます
- 送信中は、パリティビットの終了から次のフレーム開始まで、2ETU (Elementary Time Unit : 1 ビット転送時間) 以上のガードタイムが必要です
- 受信中にパリティエラーを検出した場合、スタートビットから 10.5ETU 経過後、エラーシグナル (Low) が 1ETU 期間出力されます
- 送信中にエラーシグナルをサンプリングすると、2ETU 以上経過後、自動的に同じデータが再送信されます

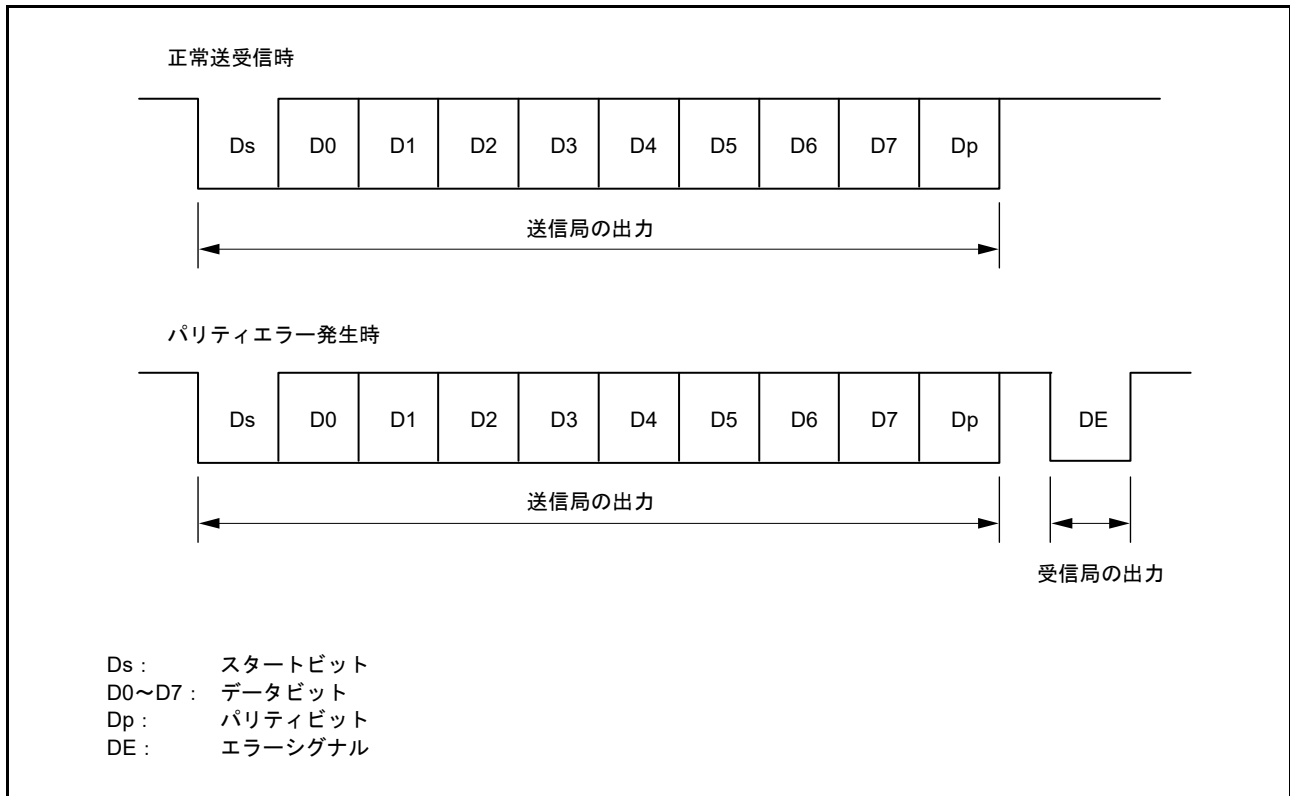


図 28.46 スマートカードインタフェースモードにおけるデータフォーマット

本節では、ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードと送受信する場合について説明します。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプでは、図 28.47 に示すように、ロジックレベル 1 は状態 Z を、ロジックレベル 0 を状態 A をそれぞれ表し、開始キャラクタとして LSB ファーストでデータのが転送されます。したがって、図 28.47 の開始キャラクタでは、データは 3Bh となります。

ダイレクトコンベンションタイプを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 0 にしてください。また、スマートカード規格に従って偶数パリティとするため、SMR_SMCI.PM ビットは 0 にしてください。

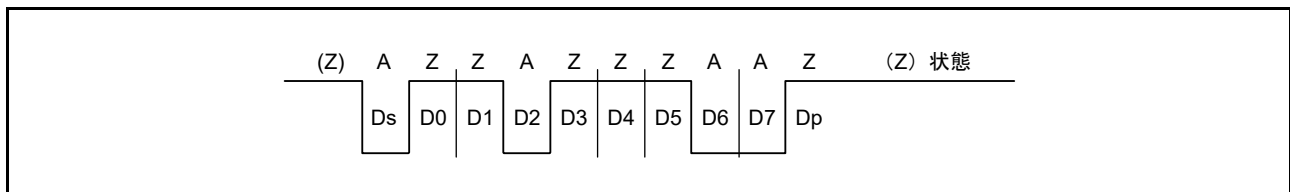


図 28.47 ダイレクトコンベンション (SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR_SMCI.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプでは、[図 28.48](#) に示すように、ロジックレベル 1、ロジックレベル 0 はそれぞれ状態 A、状態 Z を示し、開始キャラクタとして、MSB ファーストでデータの送受信が行われます。したがって、[図 28.48](#) の開始キャラクタでは、データは 3Fh となります。

インバースコンベンションを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 1 にしてください。スマートカード規格に従って偶数パリティとするため、パリティビットは、状態 Z に対応するロジックレベル 0 になります。SINV ビットはデータビット D7 ~ D0 のみを反転させます。そのため、送信時と受信時の両方において、SMR_SMCI.PM ビットには 1 を書いてパリティビットを反転させてください。

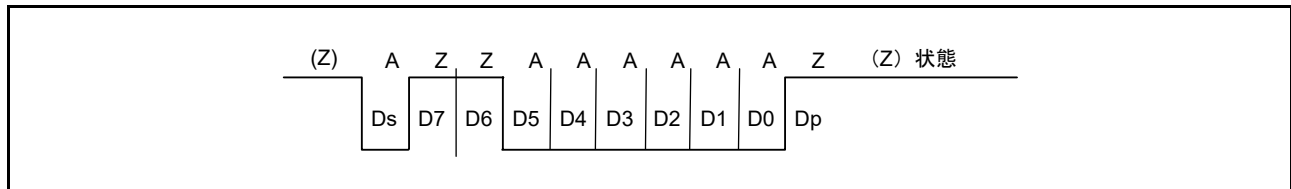


図 28.48 インバースコンベンション (SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR_SMCI.PM ビット = 1)

28.6.3 ブロック転送モード

ブロック転送モードは、スマートカードインタフェースモードの非ブロック転送モードと比較して以下の点が異なります。

- 受信中にパリティエラーが検出されても、エラーシグナルは出力されません。エラー検出時に SSR_SMCI.PER ビットがセットされるので、次のフレームのパリティビットを受信する前に SSR_SMCI.PER ビットをクリアしてください
- 送信中は、パリティビットの終了から次のフレーム開始までのガードタイムとして 1ETU 以上が必要です
- 同じデータの再送信を行わないため、送信開始から 11.5ETU 経過後に、SSR_SMCI.TEND フラグがセットされます
- ブロック転送モードでは、SSR_SMCI.ERS フラグは、スマートカードインタフェースモードの非ブロック転送モードと同様に、エラーシグナル状態を示します。ただし、エラーシグナルの送受信を行わないため、読むと 0 が読めます

28.6.4 受信データのサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成するクロックのみです。

スマートカードインタフェースモードでは、SCIはSCMR.BCP2ビットとSMR_SMCI.BCP[1:0]ビットの設定により、ビットレートの32倍、64倍、372倍、256倍、93倍、128倍、186倍、または512倍の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。

また、[図 28.49](#)に示すように、受信データは基本クロックのそれぞれ16、32、186、128、46、64、93、256サイクルの立ち上がりエッジでサンプリングされるため、各ビットの中間でデータが取り込まれます。このときの受信マージンは次式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%]$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 32, 64, 372, 256)

D : クロックのデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 10)

F : クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次式のようにになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 [\%] = 49.866\%$$

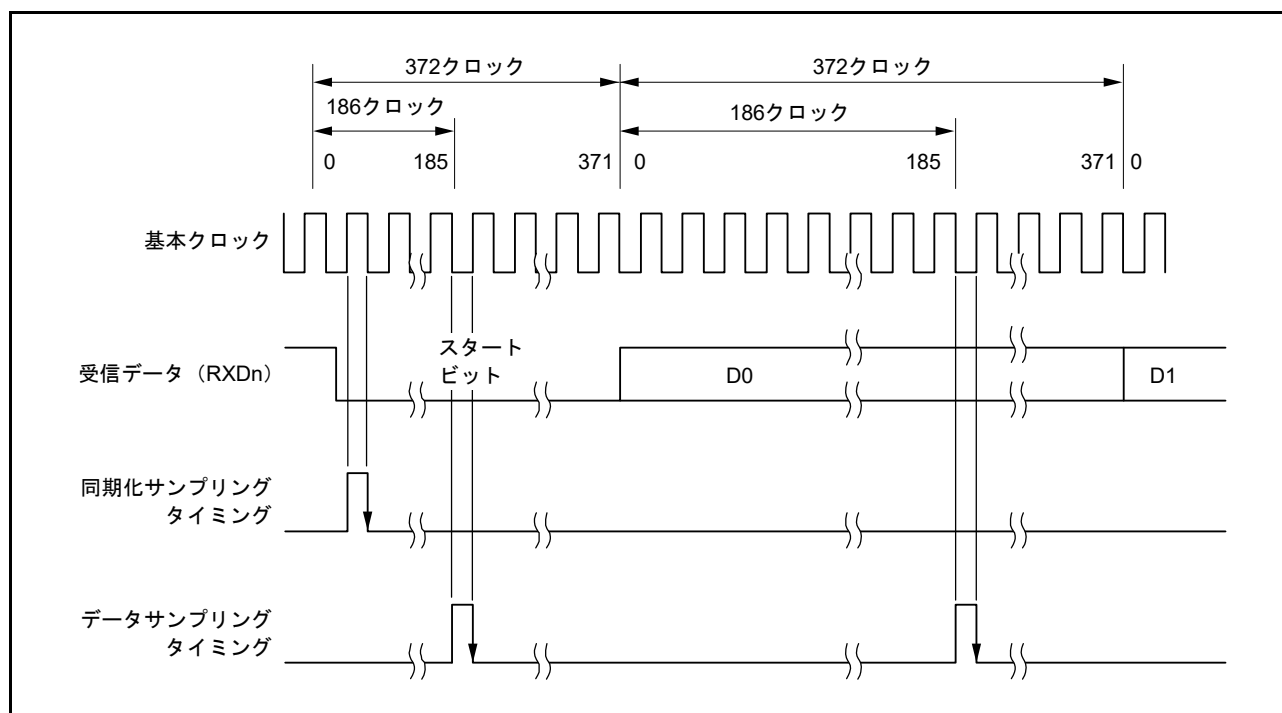


図 28.49 スマートカードインタフェースモードにおける受信データのサンプリングタイミング (ビットレートの372倍のクロック周波数の場合)

28.6.5 SCI の初期化

データの送受信前に、SCR_SMCI レジスタに初期値 00h を書き込み、[図 28.50](#) に示す例に従って、SCI を初期化してください。

送信モードから受信モードへ（またはその逆へ）切り替える場合、必ず事前に SCR_SMCI レジスタの TIE、RIE、TE、RE、および TEIE ビットに初期値を設定してください。なお、SCR_SMCI.RE ビットを 0 にしても RDR レジスタは初期化されません。

受信モードから送信モードへ切り替える場合、受信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、SCR_SMCI.TE ビット=1、SCR_SMCI.RE ビット=0 にしてください。受信動作の完了は、SCIn_RXI 割り込み要求、SSR_SMCI.ORER フラグ、あるいは SSR_SMCI.PER フラグで確認できます。

送信モードから受信モードへ切り替える場合、送信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、SCR_SMCI.TE ビット=0、SCR_SMCI.RE ビット=1 にしてください。送信動作の完了は SSR_SMCI.TEND フラグで確認できます。

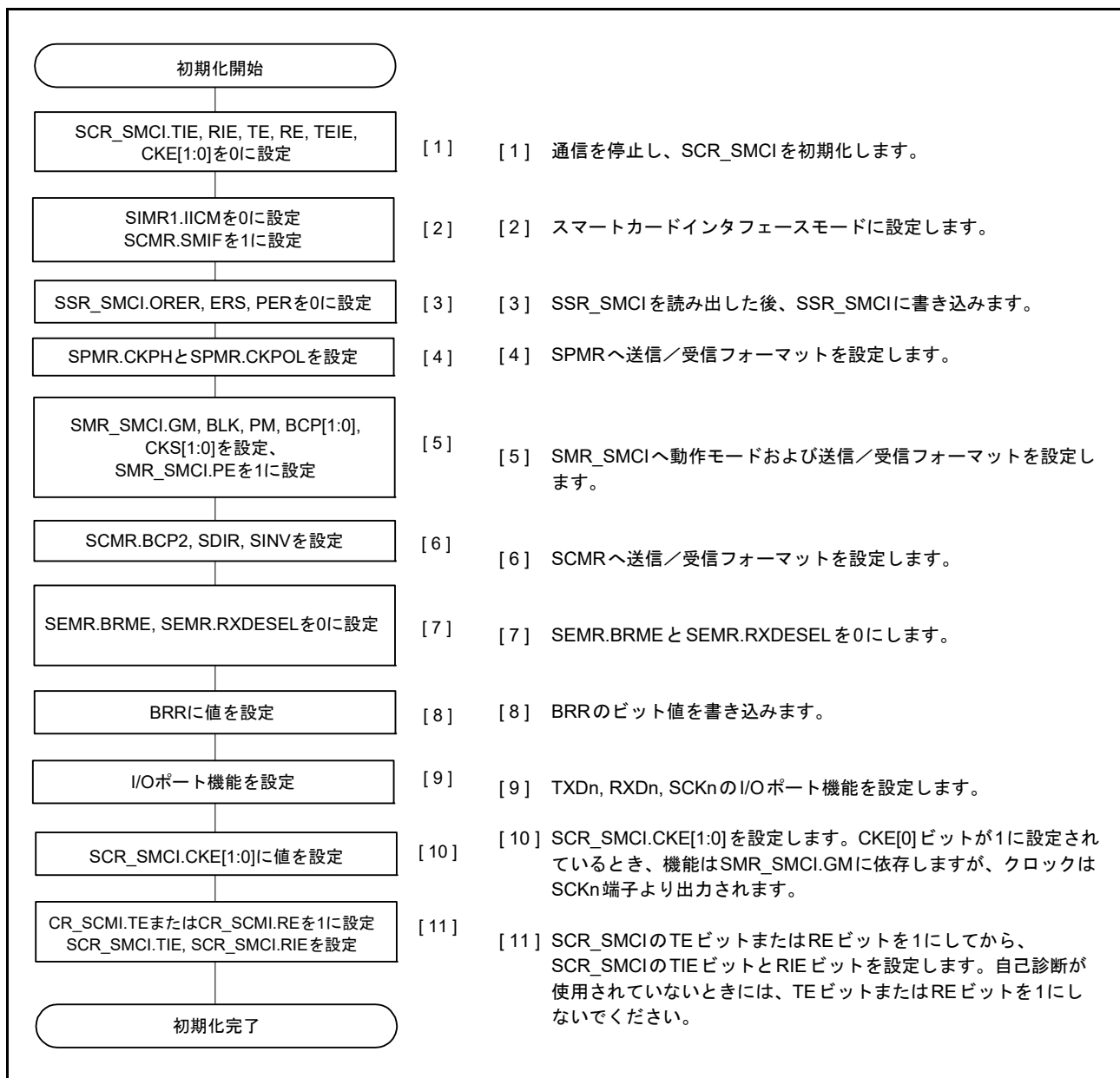


図 28.50 SCI の初期化フローチャート例（スマートカードインタフェースモード）

図 28.50 のフローにしたがってスマートカードインタフェースモードに遷移することでデータ送信が行われるときのタイミング図を図 28.51 に示します。SMR_SMCI.GM ビットを 0 に設定した場合を図 28.51 に示します。図 28.51 のタイミングは、ポートが SCKn および TXDn として接続されている場合、SCR_SMCI レジスタの CKE[0] ビットは 0 になるため、端子は Hi-Z となることを示します。

SCR_SMCI レジスタの CKE[0] ビットを 1 にすることによって SCK 端子へのクロック出力を開始します。そして、SCR_SMCI レジスタの TE ビットを 1 にした後、送信データを書き込むことでデータ送信を開始します。SCR_SMCI レジスタの TE ビットを 0 から 1 に変更すると、データ送信の開始前に 1 フレーム分のプリアンブル期間が生じます。スマートカードインタフェースモードでは、プリアンブル期間がある場合、TXDn 端子は Hi-Z となります。MCU 外部で SCKn 端子および TXDn 端子に対するプルアップまたはプルダウンが必要です。

スマートカードインタフェースモードでは、クロック出力設定を使用すると、SCR_SMCI レジスタの TE ビットおよび RE ビットが 0 であっても、クロック出力は継続されます。

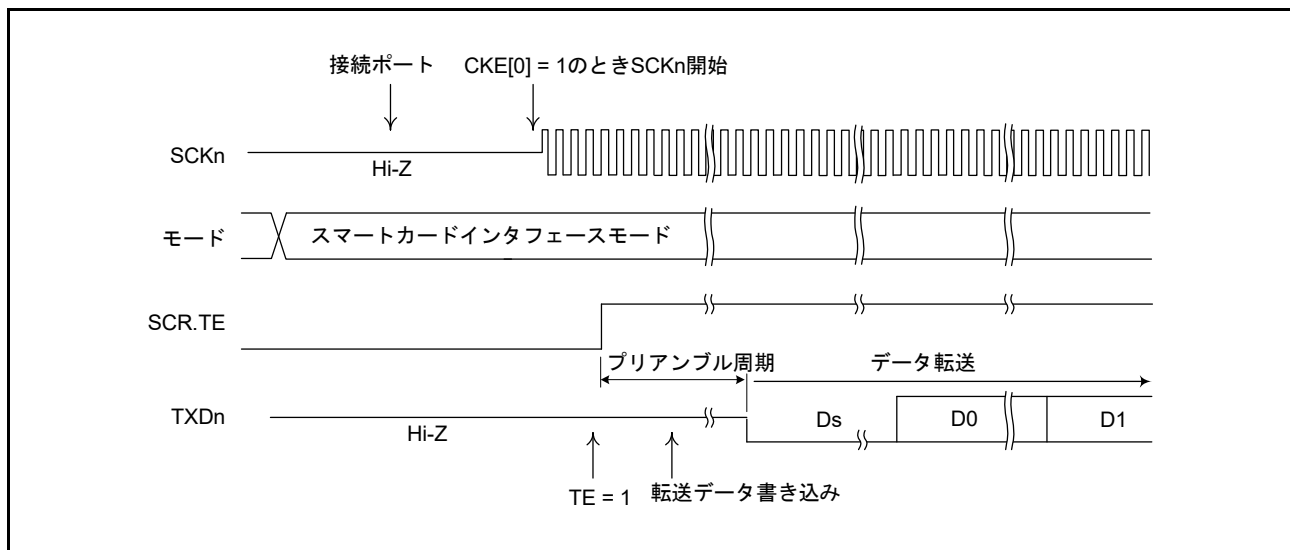


図 28.51 スマートカードインタフェースモードにおけるデータ送信のタイミング例

28.6.6 シリアルデータの送信（ブロック転送モード時を除く）

スマートカードインタフェースモードにおけるシリアル送信（ブロック転送モード時を除く）では、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードと動作が異なります。送信中の再転送動作を図 28.52 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルがサンプリングされると、SSR_SMCI.ERS フラグが 1 になります。このとき、SCR_SMCI.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、SSR_SMCI.ERS フラグを 0 にクリアしてください。
- 2 エラーシグナルを受信したフレームでは、SSR_SMCI.TEND フラグはセットされません。TDR レジスタから TSR レジスタへ再度データが転送され、自動的に再送信が行われます。
- 3 受信側からエラーシグナルが返ってこない場合、ERS フラグは 1 になりません。
- 4 SCI は再転送を含む 1 フレーム分の送信が完了したと判断し、TEND フラグがセットされます。このとき、SCR_SMCI.TIE ビットが 1 になっていると、SCIn_TXI 割り込み要求が発生します。TDR レジスタに送信データを書き込んで、次のデータの送信を開始してください。

図 28.53 に、シリアル送信のフローチャート例を示します。これら一連の処理は、SCIn_TXI 割り込み要求で DMAC または DTC を起動することによって、自動的に行うことができます。

送信動作では、SSR_SMCI.TEND フラグが 1 になっている場合および SCR_SMCI.TIE ビットが 1 の場合、SCIn_TXI 割り込み要求が発生します。

あらかじめ DMAC または DTC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DMAC または DTC が起動されて、送信データの転送が可能になります。TEND フラグは、DMAC または DTC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。この間、TEND フラグは 0 のまま保持され、DMAC または DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI および DMAC または DTC が、指定されたバイト数を自動的に送信します。ただし、ERS フラグは自動的にクリアされないため、RIE ビットを 1 にしておくことで、エラー発生時に SCIn_ERI 割り込み要求を発生させて、ERS フラグを 0 にクリアしてください。

なお、DMAC または DTC を使用して送受信を行う場合は、必ず DMAC または DTC を有効にしてから、SCI の設定を行ってください。

DMAC または DTC の設定方法については、「16. DMA コントローラ (DMAC)」と「17. データトランスファコントローラ (DTC)」を参照してください。

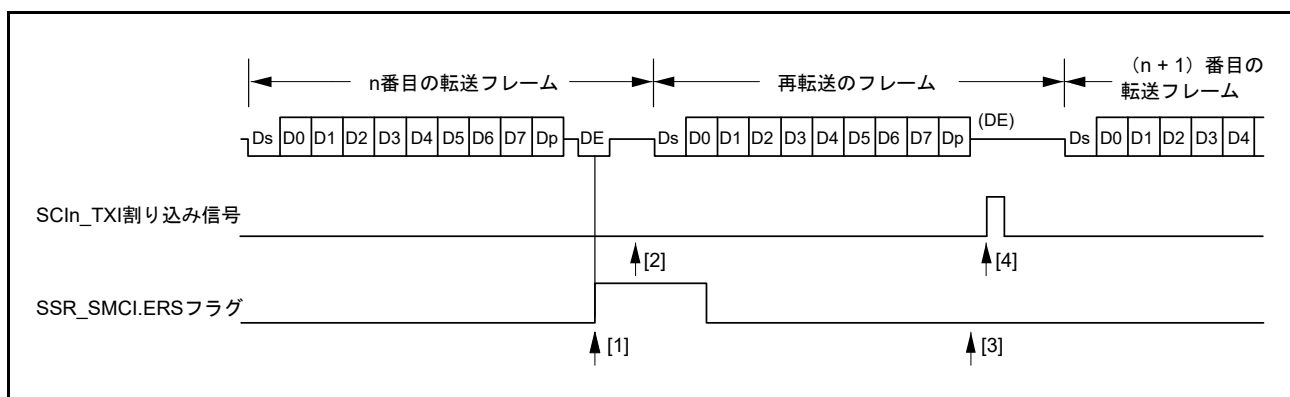


図 28.52 スマートカードインタフェース送信モードでのデータ再転送動作

注 . SMR_SMCI.GM ビットの設定によって、SSR_SMCI.TEND フラグのセットタイミングが異なります。

図 28.53 に、TEND フラグの発生タイミングを示します。

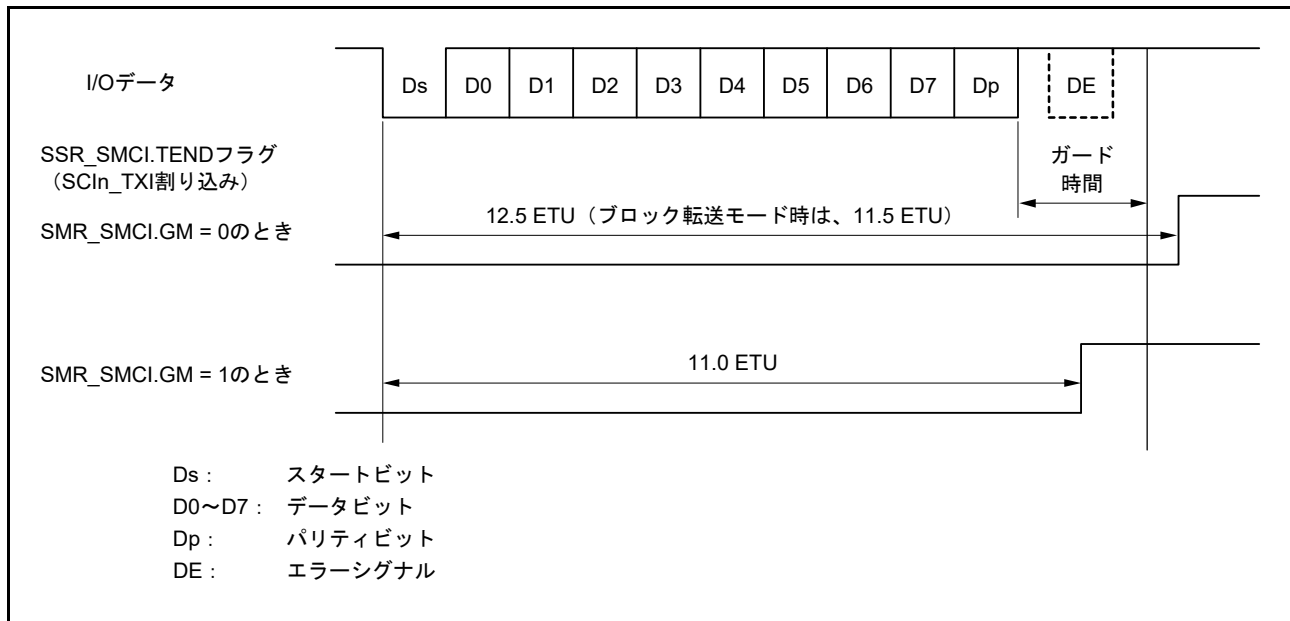


図 28.53 送信中の SSR.TEND フラグの発生タイミング

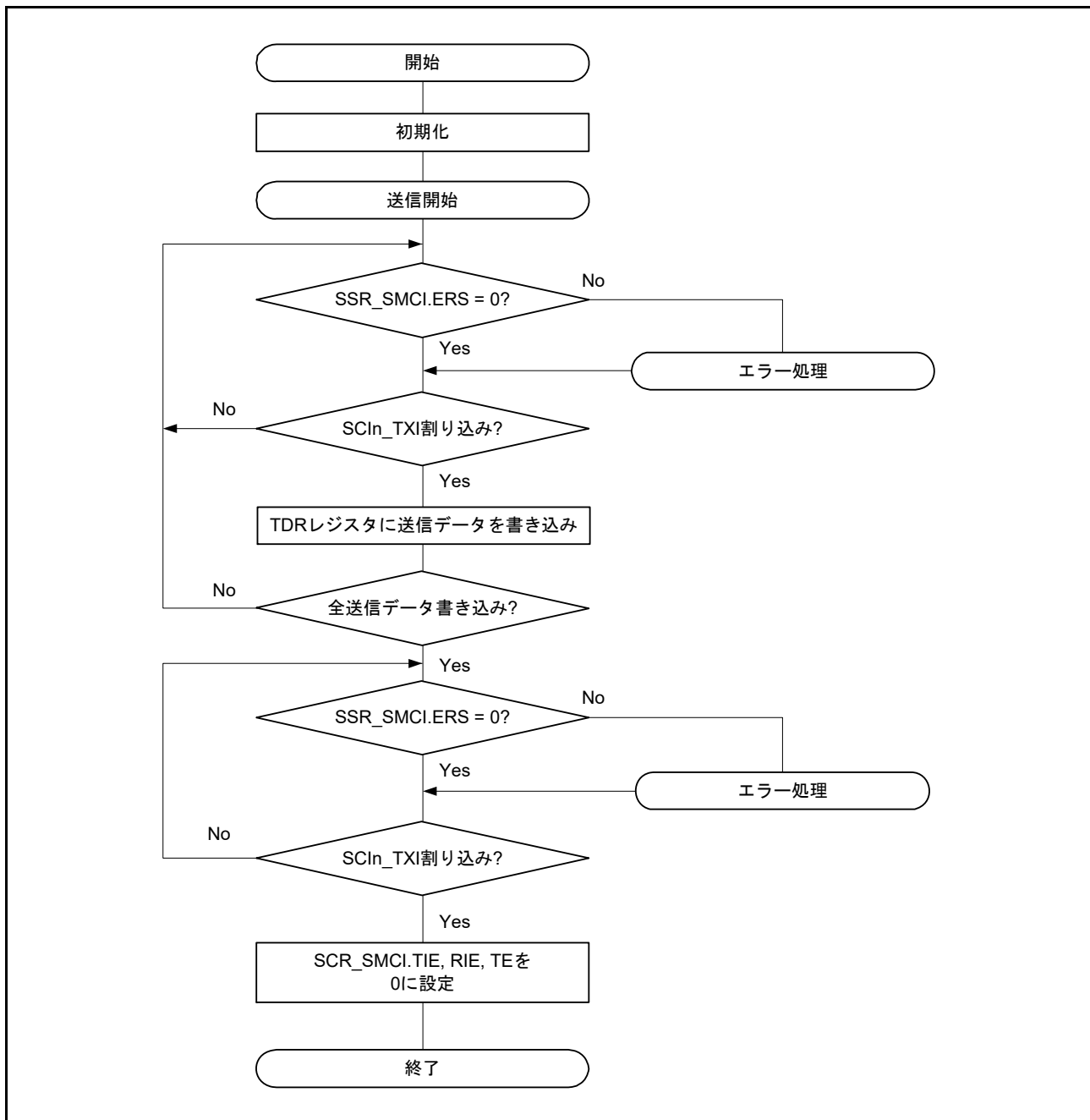


図 28.54 スマートカードインタフェース送信のフローチャート例

28.6.7 シリアルデータの受信（ブロック転送モード時を除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードでの再転送動作を図 28.55 に示します。

1. 受信データにパリティエラーが検出されると、SSR_SMCI.PER フラグが 1 になります。このとき、SCR_SMCI.RIE ビットが 1 になっていると、SCI_{In}_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、PER フラグをクリアしてください。
2. パリティエラーが検出されたフレームに対しては、SCI_{In}_RXI 割り込みは発生しません。
3. パリティエラーが検出されない場合、SSR_SMCI.PER フラグは 1 になりません。
4. この場合、正常に受信が完了したと判断されます。このとき、SCR_SMCI.RIE ビットが 1 になっていると、SCI_{In}_RXI 割り込み要求が発生します。

図 28.56 に、シリアル受信のフローチャート例を示します。これら一連の処理は、SCI_{In}_RXI 割り込み要求で DMAC または DTC を起動することによって、自動的に行うことができます。

受信動作では、RIE ビットを 1 にしておくこと、SCI_{In}_RXI 割り込み要求が発生します。あらかじめ DMAC または DTC の起動要因として SCI_{In}_RXI 割り込み要求を設定しておけば、SCI_{In}_RXI 割り込み要求によって DMAC または DTC が起動されて、受信データの転送が可能になります。

また、受信時にエラーが発生して SSR_SMCI.ORER フラグまたは SSR_SMCI.PER フラグのいずれかが 1 になると、受信エラー割り込み (SCI_{In}_ERI) 要求が発生します。エラー発生後に、エラーフラグをクリアしてください。エラーが発生した場合、DMAC または DTC は起動されず、受信データはスキップされます。そのため、DMAC または DTC に指定されたバイト数だけ受信データが転送されます。

なお、受信時にパリティエラーが発生して PER フラグが 1 になった場合でも、受信したデータは RDR レジスタへ転送されるので、このデータを読み出すことは可能です。

また、受信動作中に SCR_SMCI.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

ブロック転送モードの場合は、28.3.9 シリアルデータの受信（調歩同期式モード）を参照してください。

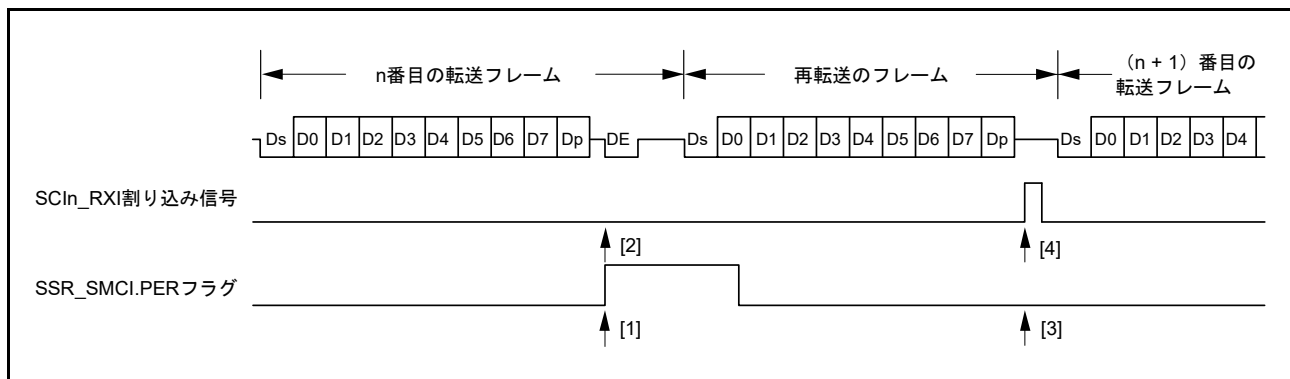


図 28.55 スマートカードインタフェース受信モードでのデータ再転送動作（受信時の再転送動作）

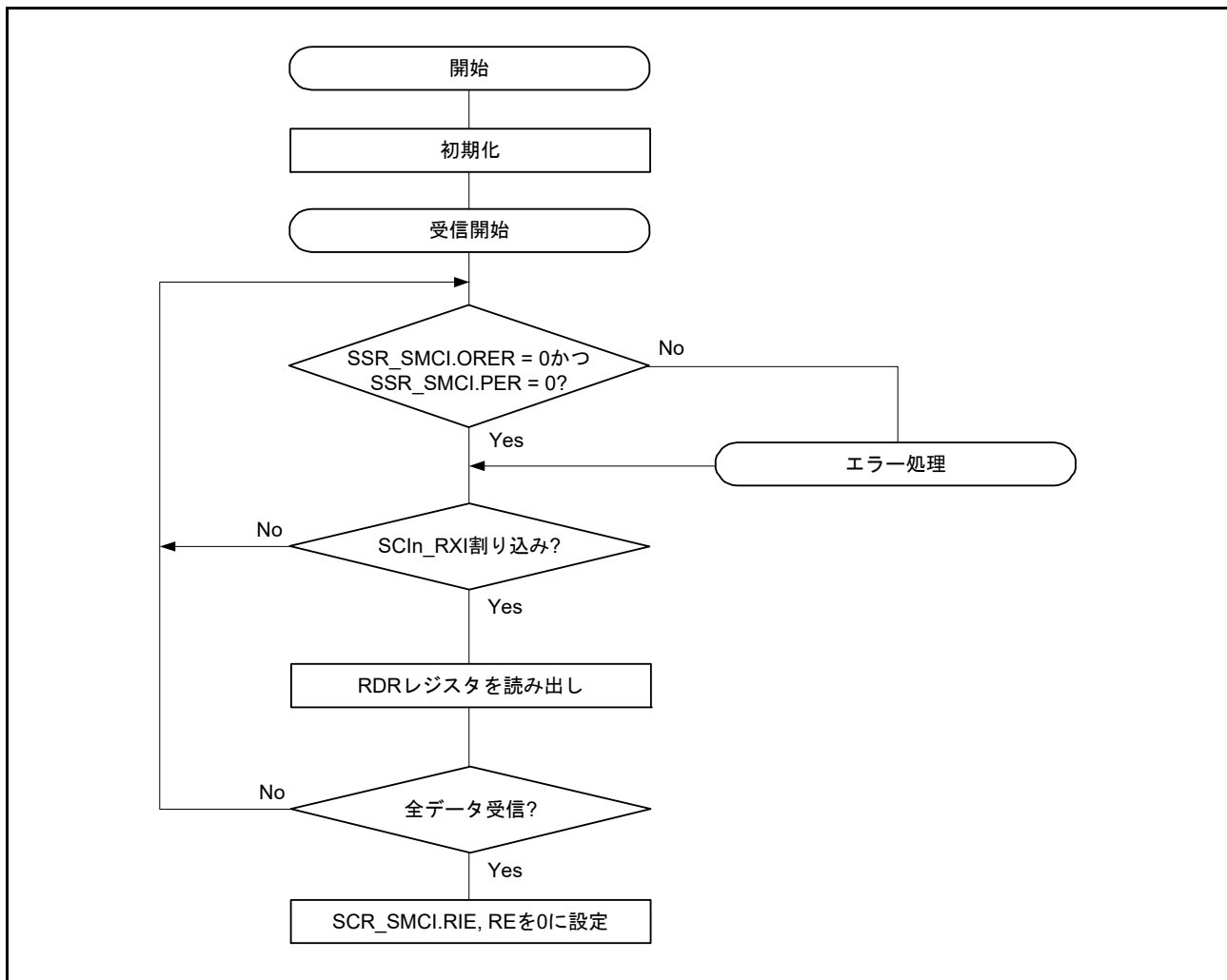


図 28.56 スマートカードインタフェース受信のフローチャート例

28.6.8 クロック出力制御

SMR_SMCI.GM ビットを 1 にすると、SCR_SMCI.CKE[1:0] ビットでクロック出力の制御が行えます。CKE[1:0] ビットの詳細については、[28.2.12 スマートカードインタフェースモード用シリアルコントロールレジスタ \(SCR_SMCI\) \(SCMR.SMIF = 1\)](#) を参照してください。クロック出力を設定すると、[28.6.4 受信データのサンプリングタイミングと受信マージン](#) で説明されている基本クロックが出力します。

図 28.57 に、SCR_SMCI.CKE[1] ビットを 0 にして SCR_SMCI.CKE[0] ビットを制御する場合のクロック出力制御のタイミング例を示します。

SMR_SMCI.GM ビットを 0 にすると、SCR_SMCI.CKE[0] ビットによる出力制御がただちに SCK 端子に反映されるため、SCK 端子から意図しない幅のパルスが出力される可能性があります。

SMR_SMCI.GM ビットを 1 にすると、SCR_SMCI.CKE[0] ビットが変更されても、基本クロックと同じパルス幅で設定したクロックが出力されます。

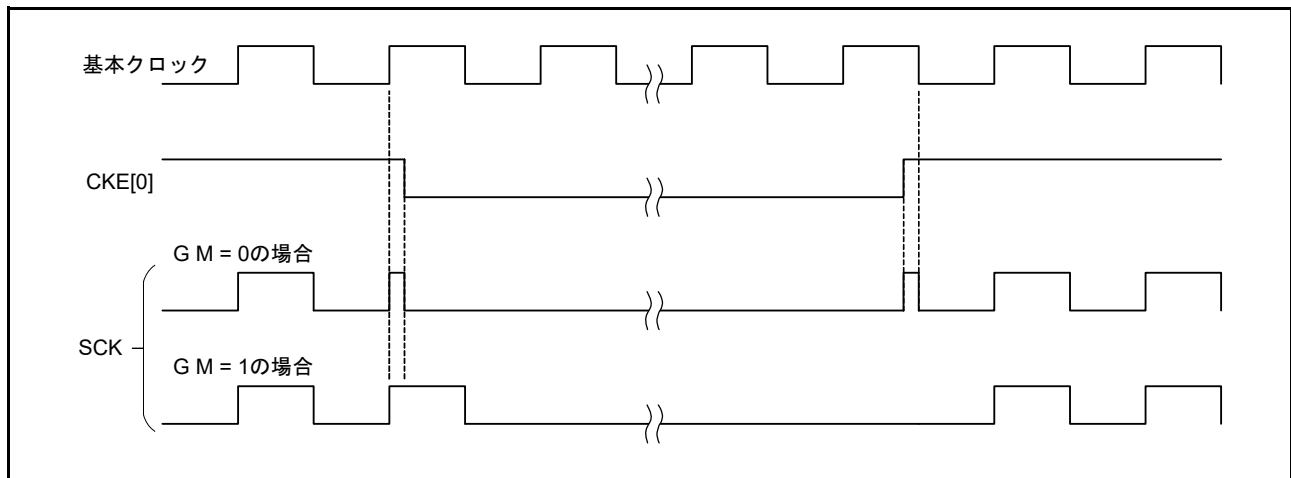


図 28.57 クロック出力制御

28.7 簡易 IIC モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開条件に続くフレームはスレーブアドレスのフレームであり、マスタデバイスは、通信先であるスレーブデバイスを指定するために使用します。指定されたスレーブデバイスは、新たにスレーブデバイスが指定されるか、または停止条件が満たされるまで有効です。各フレーム内の 8 ビットのデータは、MSB から順に送信されます。

図 28.58 に、I²C バスフォーマットを、図 28.59 に、I²C バスタイミングを示します。

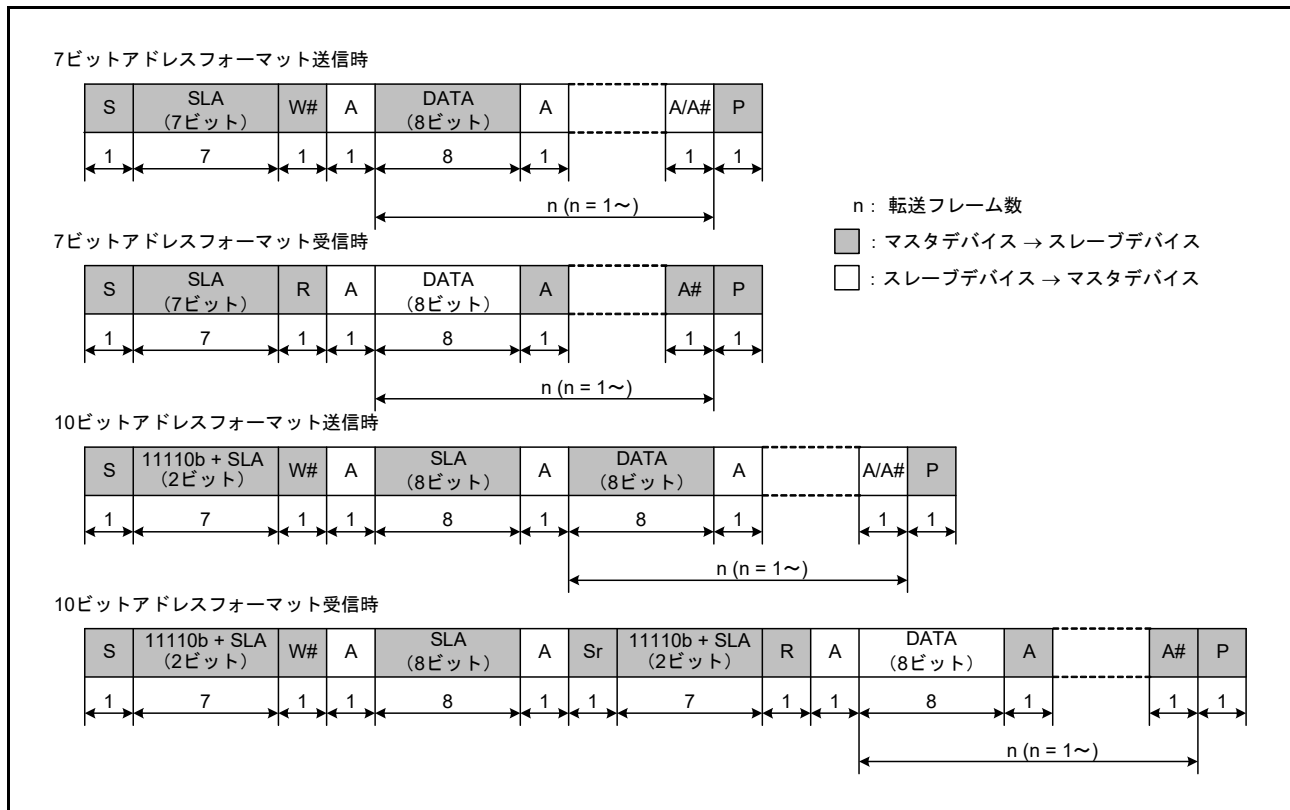


図 28.58 I²C バスフォーマット

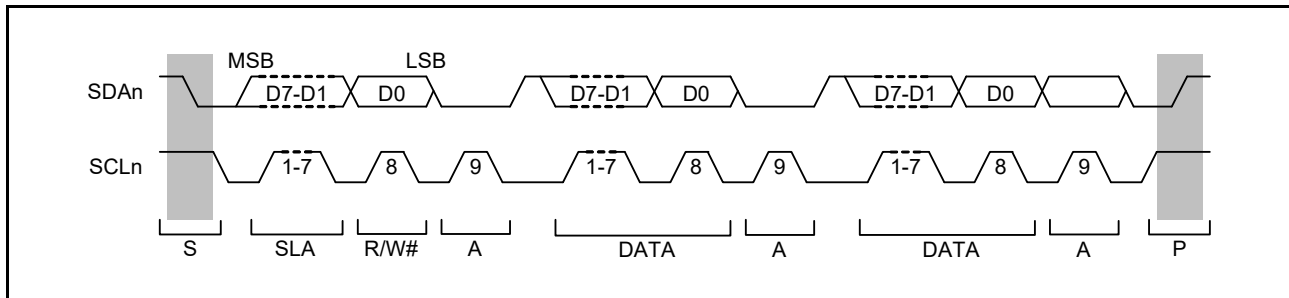


図 28.59 I²C バスタイミング (SLA = 7 ビットの場合)

- S : 開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを High から Low へ変化させます。
- SLA : スレーブアドレスを示します。これによってマスタデバイスがスレーブデバイスを選択します。
- R/W# : 転送方向 (送信/受信) を示します。値 1 のときはスレーブデバイスからマスタデバイスへ、値 0 のときはマスタデバイスからスレーブデバイスへデータを送信します。
- A/A# : アクノリッジを示します。マスタ送信モードでは、スレーブデバイスがアクノリッジを返しません。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。Low への復帰は ACK を、High への復帰は NACK を示します。
- Sr : 再開条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、セットアップ時間経過後に SDAn ラインのレベルを High から Low へ変化させます。
- DATA : 送受信データを示します。
- P : 停止条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを Low から High へ変化させます。

28.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに 1 を書き込むことにより、開始条件の生成を行います。開始条件の生成では、以下の動作が行われます。

- SDA_n ラインを立ち下げ (High から Low へ変化)、SCL_n ラインは開放状態を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、開始条件のホールド時間に設定
- SCL_n ラインを立ち下げ (High から Low へ変化)、SIMR3.IICSTAREQ ビットを 0 にして、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに 1 を書き込むことにより、再開条件の生成を行います。再開条件の生成では、以下の動作が行われます。

- SDA_n ラインを開放、SCL_n ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCL_n ラインの Low 期間に設定
- SCL_n ラインを開放 (Low から High へ変化)
- SCL_n ラインの High を検出時、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開条件のセットアップ時間に設定
- SDA_n ラインを立ち下げ (High から Low へ変化)
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開条件のホールド時間に設定
- SCL_n ラインを立ち下げ (High から Low へ変化)、SIMR3.IICRSTAREQ ビットを 0 にして、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに 1 を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SDA_n ラインを立ち下げ (High から Low へ変化)、SCL_n ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCL_n ラインの Low 期間に設定
- SCL_n ラインを開放 (Low から High へ変化)
- SCL_n ラインの High を検出時、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、停止条件のセットアップ時間に設定
- SDA_n ラインを開放 (Low から High へ変化)、SIMR3.IICSTPREQ ビットを 0 にして、停止条件生成割り込み要求を出力

図 28.60 に、開始条件、再開条件、停止条件生成の動作タイミングを示します。

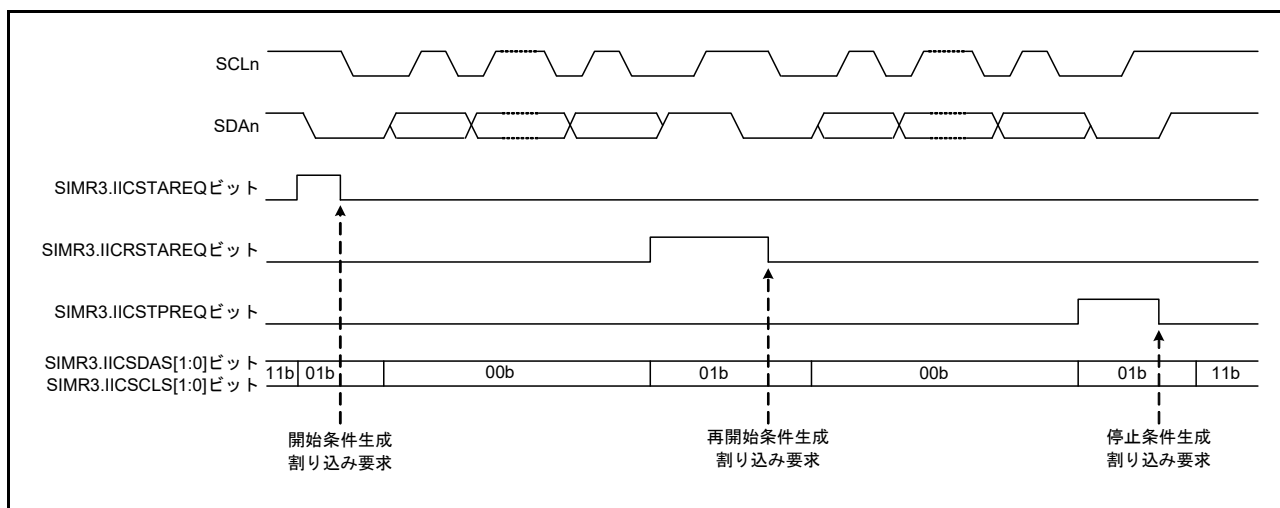


図 28.60 開始条件、再開条件、停止条件生成の動作タイミング

28.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で、SCLn ラインを Low にする場合があります。内部 SCLn クロック信号と SCLn 端子入力のレベルに差異が生じる場合、SIMR2.IICCSC ビットを 1 にすることで、クロック同期の制御が可能になります。

SIMR2.IICCSC ビットを 1 にすると、内部 SCLn クロック信号が Low から High へ変化します。SCLn 端子入力が Low の間は High 期間のカウントを停止します。SCLn 端子入力が High へ遷移すると、High 期間のカウントが開始します。

このとき、SCLn 端子が High へ変化して High 期間のカウントを開始するまでの間隔は、SCLn 端子入力遅延、SCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2～3 サイクル）、および内部処理遅延（PCLKA で 1～2 サイクル）の合計になります。この間、他のデバイスが SCLn ラインを Low にしていなくても、内部 SCLn クロックの High 期間が延長されます。

SIMR2.IICCSC ビットが 1 の場合、データの送受信は、SCLn 端子入力と内部 SCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが 0 の場合は、データの送受信は内部 SCLn クロックに同期して行われます。

開始条件、再開条件、または停止条件の生成要求発行後、内部 SCLn クロックが Low から High へ変化するまでにスレーブデバイスからウェイトが挿入された場合、その期間分は生成までの時間が延長されます。

内部 SCLn クロック信号が Low から High へ変化した後、スレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず生成完了割り込み要求を発行しますが、条件生成自体は保証されません。図 28.61 に、クロック同期化の動作例を示します。

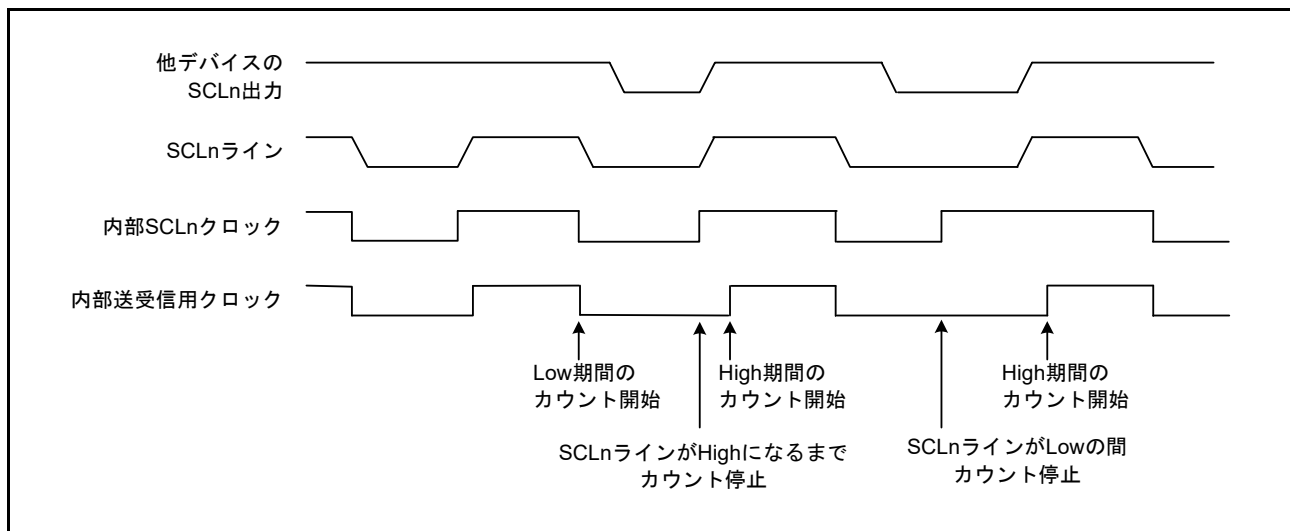


図 28.61 クロック同期化の動作例

28.7.3 SDA 出力遅延

SIMR1.IICDL[4:0] ビットを用いて、SCLn 端子出力の立ち下がりに対し、SDAn 端子出力を遅延させることが可能です。遅延時間設定は 0 ~ 31 サイクルの間で選択可能です。遅延設定は、対応する内蔵ポーレートジェネレータからのクロック信号のサイクル数を表します (SMR.CKS[1:0] ビットで選択した分周ベースクロック (PCLKA) を基準とします)。SDAn 端子出力の遅延は、開始条件/再開条件/停止条件の各信号、8 ビットの送信データ、およびアクノリッジビットに適用されます。

SDAn 出力遅延が SCLn 端子出力の立ち下がり時間より短い場合、SCLn 端子出力の立ち下がり中に SDAn 端子出力が変化を開始し、スレーブデバイスが誤動作する可能性があります。SDAn 出力遅延は、SCLn 端子出力の立ち下がり時間の最大値 (IIC の標準モードとファストモードでは 300ns) より大きい値を設定してください。

図 28.62 に、SDAn 出力遅延のタイミングを示します。

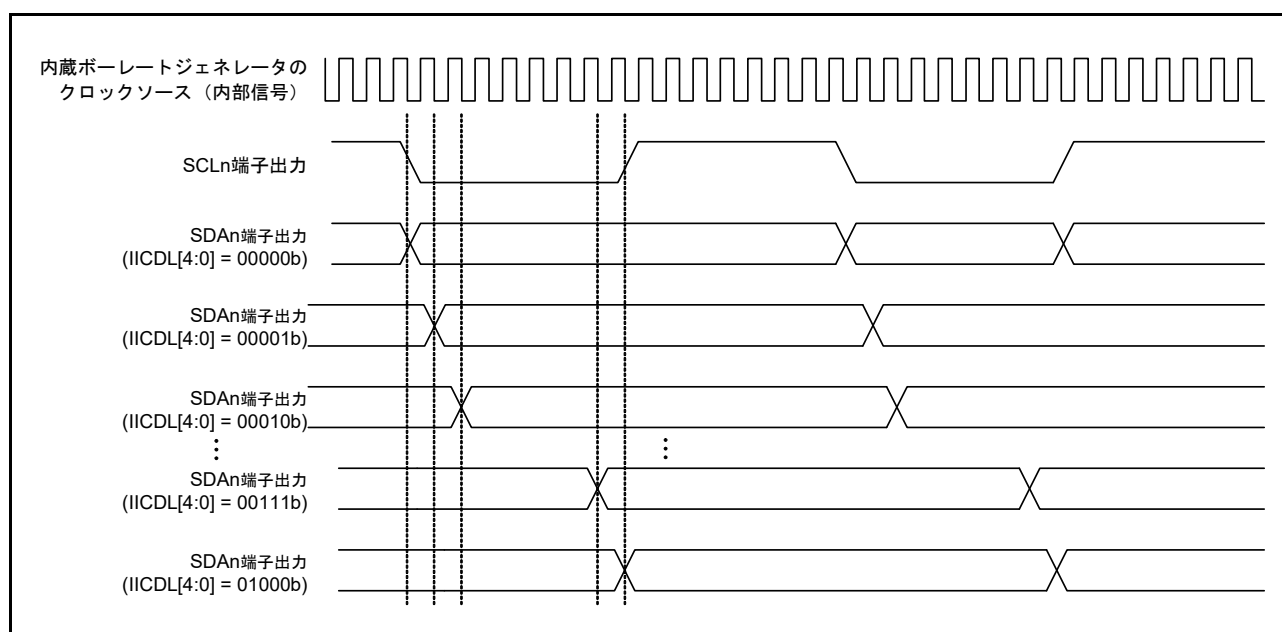


図 28.62 SDA 出力遅延のタイミング

28.7.4 SCI の初期化 (簡易 IIC モード)

データの送受信前に、SCR レジスタに初期値 00h を書き込み、図 28.63 の例に示すようにインタフェースを初期化してください。

動作モードまたは通信フォーマットを変更する前に、必ず SCR レジスタを初期値にしてください。また、簡易 IIC モード時の通信ポートのオープンドレイン設定は、ポート側で行ってください。

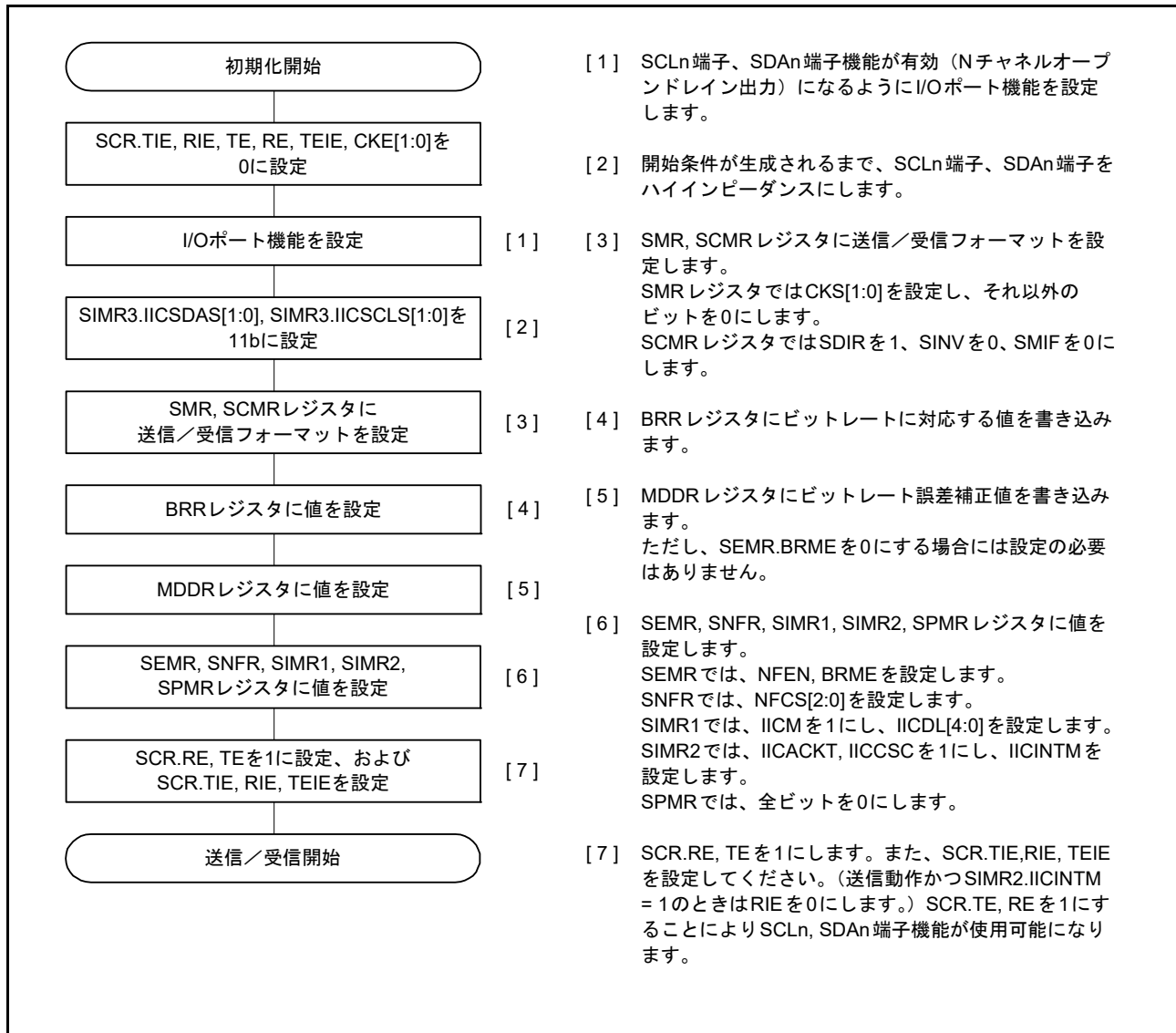


図 28.63 SCI の初期化フローチャート例 (簡易 IIC モード)

28.7.5 マスタ送信動作 (簡易 IIC モード)

図 28.64 と図 28.65 に、マスタ送信の動作例を、図 28.66 に、データ送信のフローチャート例を示します。下図では、SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) で、かつ SCR.RIE ビットが 0 (SCIn_RXI および SCIn_ERI 割り込み要求を禁止) の場合を想定しています。STI 割り込みについては、表 28.24 を参照してください。

10 ビットスレーブアドレス使用時は、図 28.66 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生とのタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

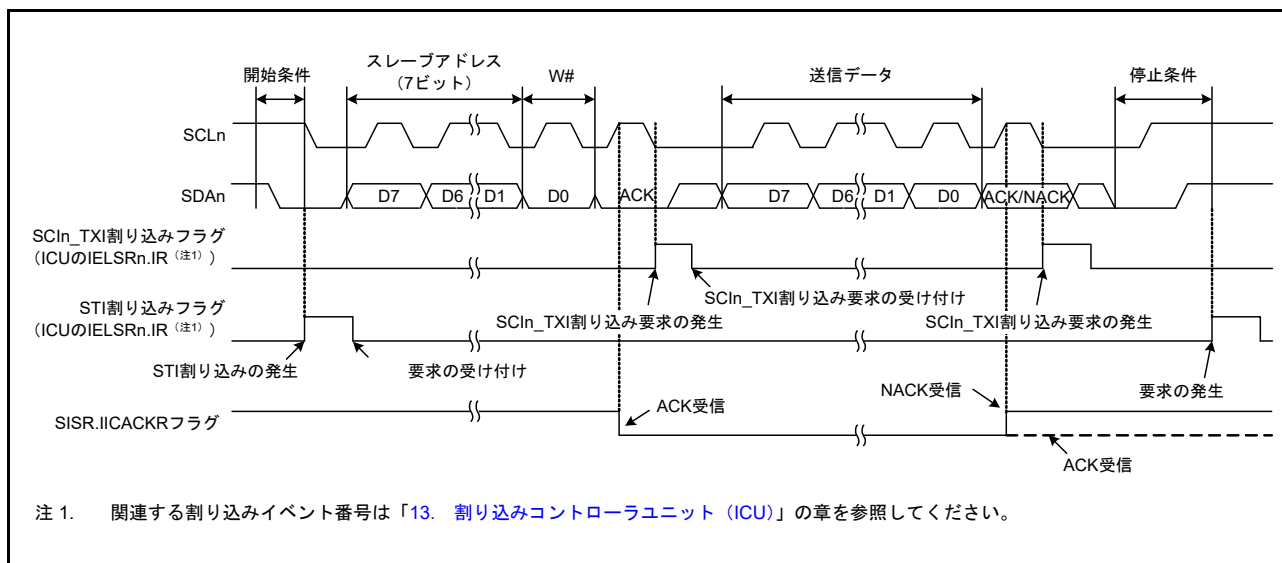


図 28.64 簡易 IIC モードにおけるマスタ送信の動作例 1 (7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信中に SIMR2.IICINTM ビットを 0 (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガにして DMAC または DTC を起動し、データを必要バイト数送信します。NACK を受信した場合は、NACK 割り込みをトリガにして、送信中止や再送信などのエラー処理を行います。

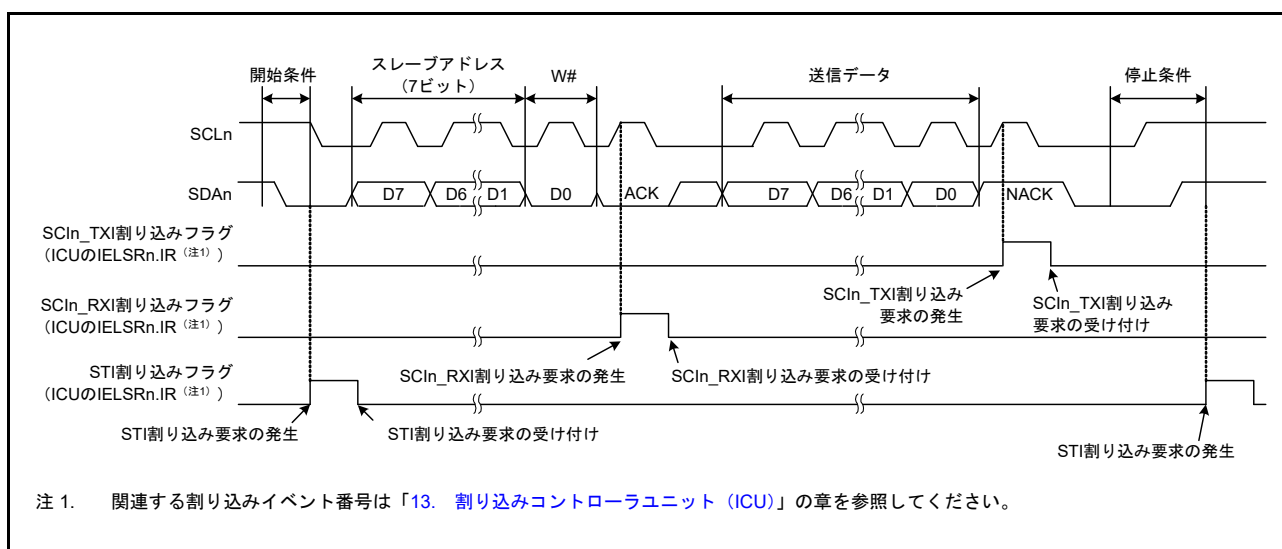


図 28.65 簡易 IIC モードにおけるマスタ送信の動作例 2 (7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)

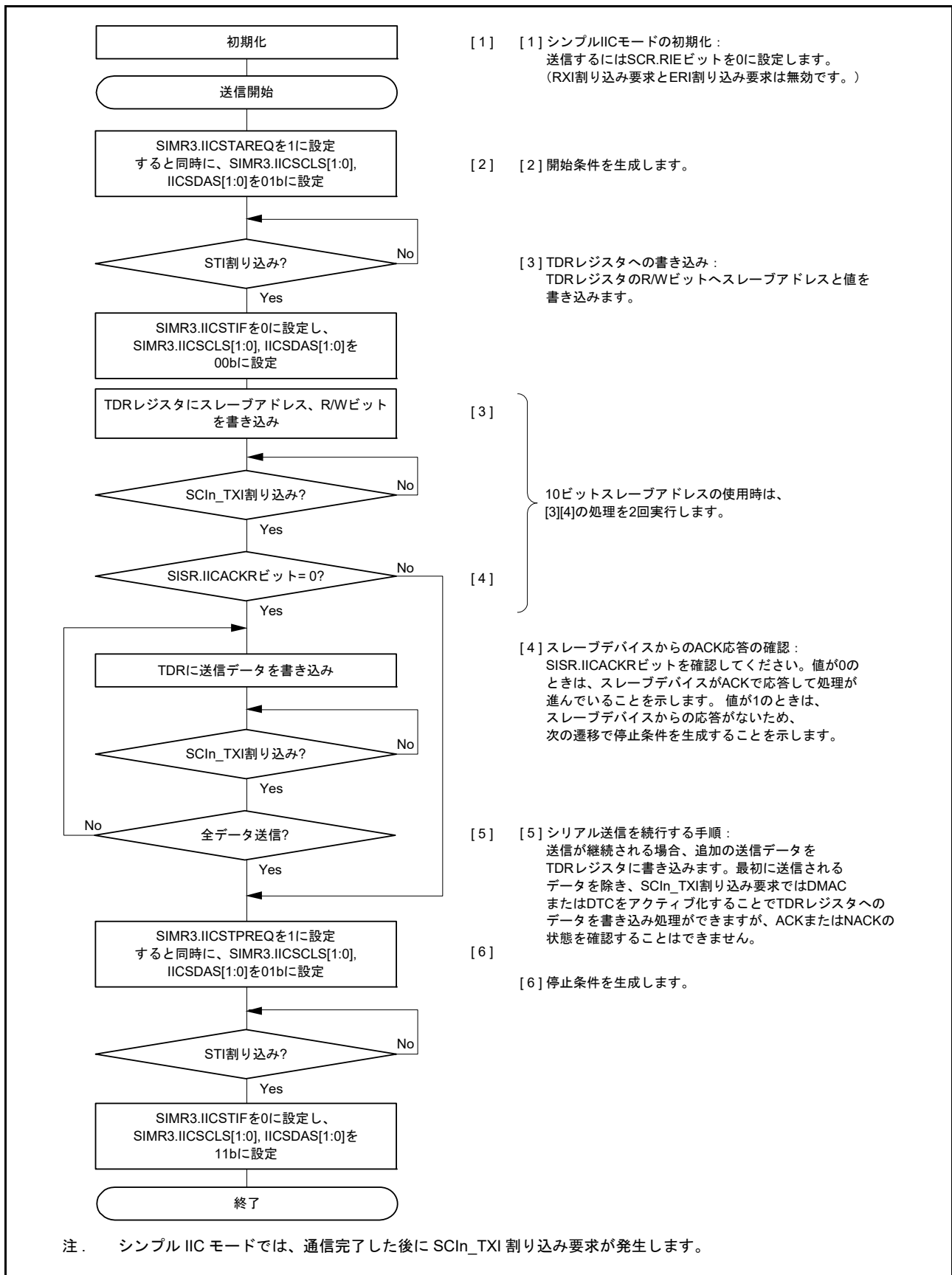


図 28.66 簡易 IIC モードにおけるマスタ送信のフロー例
(送信割り込み、受信割り込み使用時)

28.7.6 マスタ受信動作 (簡易 IIC モード)

図 28.67 に簡易 IIC モードにおけるマスタ受信の動作例を、図 28.68 にマスタ受信のフローチャート例を示します。

下図では、SIMR2.IICINTM ビットを 1 にして受信割り込み、および送信割り込みを使用している場合を想定しています。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

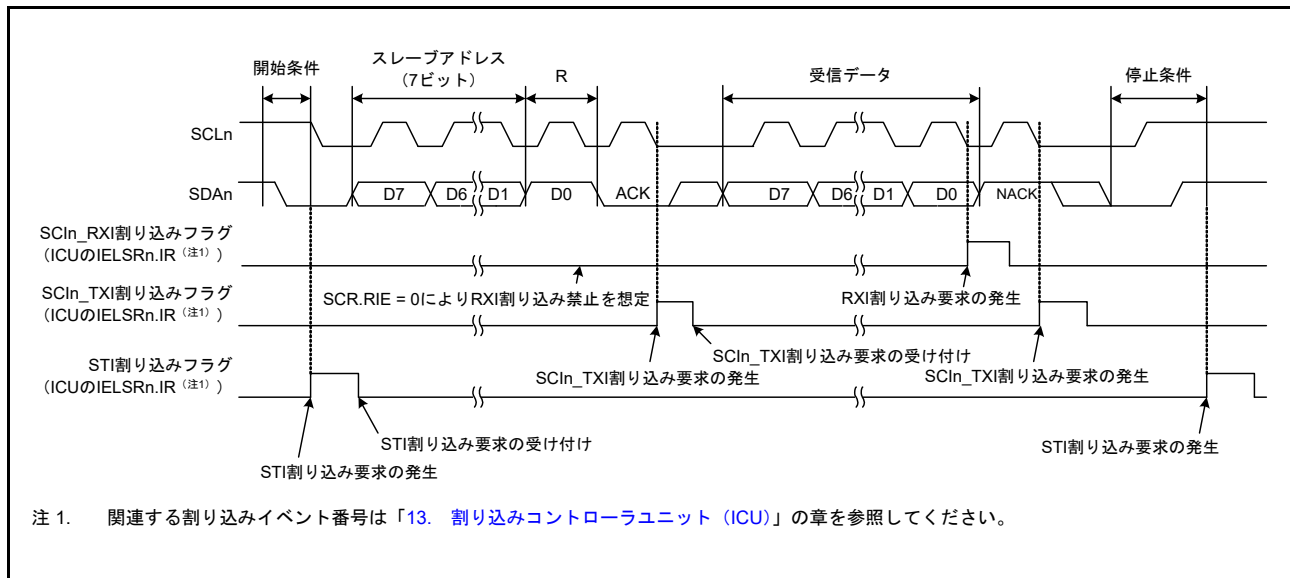


図 28.67 簡易 IIC モードにおけるマスタ受信の動作例
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

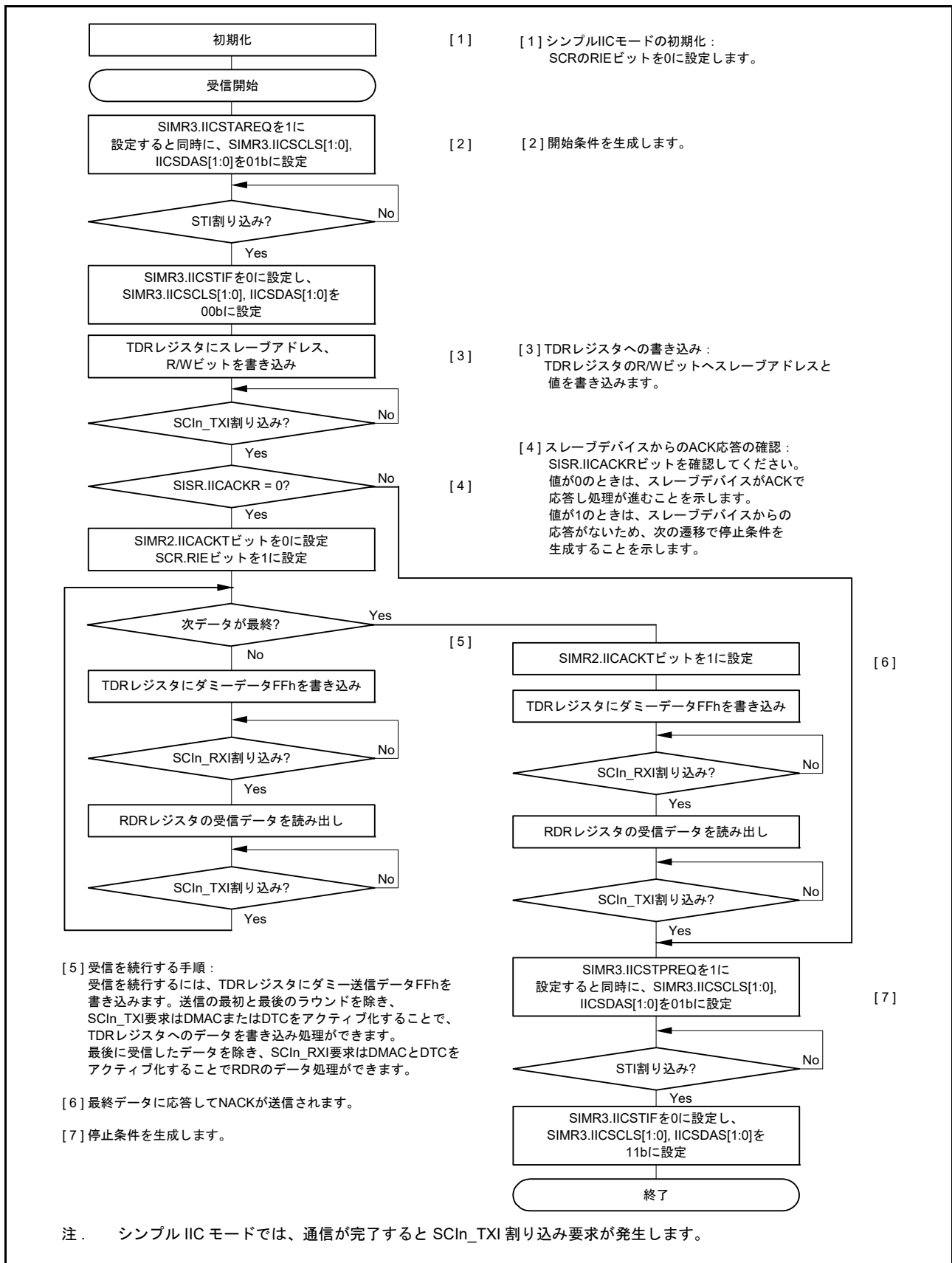


図 28.68 簡易 IIC モードにおけるマスタ受信動作のフローチャート例
(送信割り込み、受信割り込み使用時)

28.8 簡易 SPI モードの動作

SCI は拡張機能として、1 つまたは複数のマスタと複数のスレーブとの間で通信が可能な、簡易 SPI モードをサポートしています。

SCI を簡易 SPI モードにするには、クロック同期式モードの設定 (SCMR.SMIF = 0、SIMR1.IICM = 0、SMR.CM = 1) を使用し、SPMR.SSE ビットを 1 にします。マスタが一つしかない構成では、簡易 SPI モードでマスタとして使用されているデバイスへの接続に、SSn 端子機能は必要ありません。したがって、この場合、SPMR.SSE ビットを 0 にしてください。

図 28.69 に、簡易 SPI モードの接続例を示します。汎用ポート端子を使用して、マスタからの SSn 出力信号を生成してください。

簡易 SPI モードでは、クロック同期式モードと同様に、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを 1 にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもバッファ構成になっているため、送信中に次の送信データを書き込むことや、受信中に前の受信データを読み出すことが可能です。これにより、連続転送が可能となります。

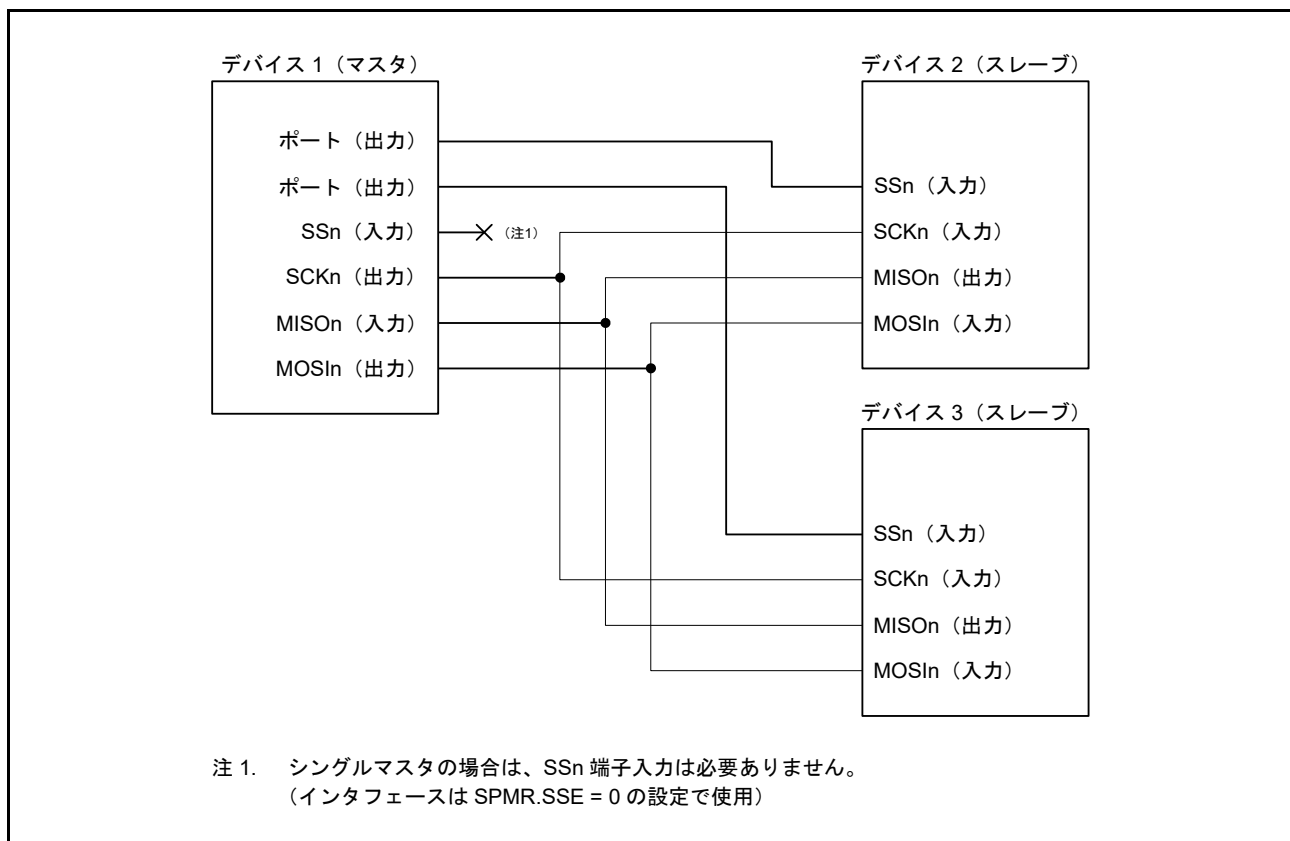


図 28.69 簡易 SPI モードでの接続例 (シングルマスタ時、SPMR.SSE ビット = 0)

28.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] = 00b または 01b、かつ SPMR.MSS = 0) と、スレーブモード (SCR.CKE[1:0] = 10b または 11b、かつ SPMR.MSS = 1) で、各端子の入出力方向が異なります。

表 28.24 に、端子状態、モード、および SSn 端子入力 の関係を示します。

表 28.24 モードごとの端子状態および SSn 端子の入力レベル

モード	SSn 端子入力	TXDn 端子状態	RXDn 端子状態	SCKn 端子状態
マスタモード (注1)	High レベル (通信可)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low レベル (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High レベル (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low レベル (通信可)	受信データ入力	送信データ出力	クロック入力

- 注 1. シングルマスタ構成 (SPMR.SSE ビット = 0) のみの場合、SSn 端子の入力レベルにかかわらず、通信可能となります。これは、SSn 端子入力が High のときと等価です。SSn 端子機能は不要であり、別の用途に使用できます。
- 注 2. シリアル送信禁止 (SCR.TE ビット = 0) の場合、MOSIn 端子出力はハイインピーダンスです。
- 注 3. マルチマスタ構成 (SPMR.SSE ビット = 1) では、シリアル送受信禁止 (SCR.TE および SCR.RE ビット = 00b) の場合、SCKn 端子出力はハイインピーダンスです。

28.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] ビットを 00b にして、SPMR.MSS ビットを 0 にすると、マスタモードになります。シングルマスタ構成 (SPMR.SSE ビット = 0) では、SSn 端子が使用されないため、SSn 端子の値にかかわらず送受信動作が可能です。

マルチマスタ構成 (SPMR.SSE ビット = 1) において SSn 端子入力が High の場合、他にマスタが存在しないこと、あるいは、別のマスタが送受信動作を行っていることを示すため、マスタデバイスは SCKn 端子からクロックを出力した後、送受信動作を開始します。

マルチマスタ構成 (SPMR.SSE ビット = 1) において SSn 端子入力が Low の場合は、別のマスタが存在して、送受信を行っています。MOSIn 端子出力と SCKn 端子出力はハイインピーダンスになり、送受信動作を開始することができません。また、モードフォルトエラーとして SPMR.MFF ビットが 1 になります。マルチマスタ構成では、SPMR.MFF フラグを読み出すことでエラー処理を開始してください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止しませんが、送受信動作完了後の MOSIn 端子出力と SCKn 端子出力はハイインピーダンス状態です。汎用ポート端子を使用して、マスタからの SS 出力信号を生成してください。

28.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] ビットを 10b にして、SPMR.MSS ビットを 1 にすると、スレーブモードになります。SSn 端子入力が High のとき、MISOIn 出力端子の状態はハイインピーダンスであり、SCKn 端子からのクロック入力は無視されます。SSn 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn 端子入力が Low から High に変化した場合、MISOIn 端子出力がハイインピーダンスになります。なお、内部の送受信動作は SCKn 端子から入力されるクロックレートで継続し、1 キャラクタ分の送受信が完了すると、動作が停止して、割り込み (SCIn_TXI、SCIn_RXI、SCIn_TEI のいずれか) が発生します。

28.8.4 クロックと送受信データの関係

SPMR.CKPOL ビットと SPMR.CKPH ビットを用いて、送受信に用いるクロックを 4 種類から選択できます。クロック信号と送受信データの関係を図 28.70 に示します。マスタモードとスレーブモードの両方で、クロックと送受信データの関係は同一です。これは、SSn 端子入力が High のときと等価です。

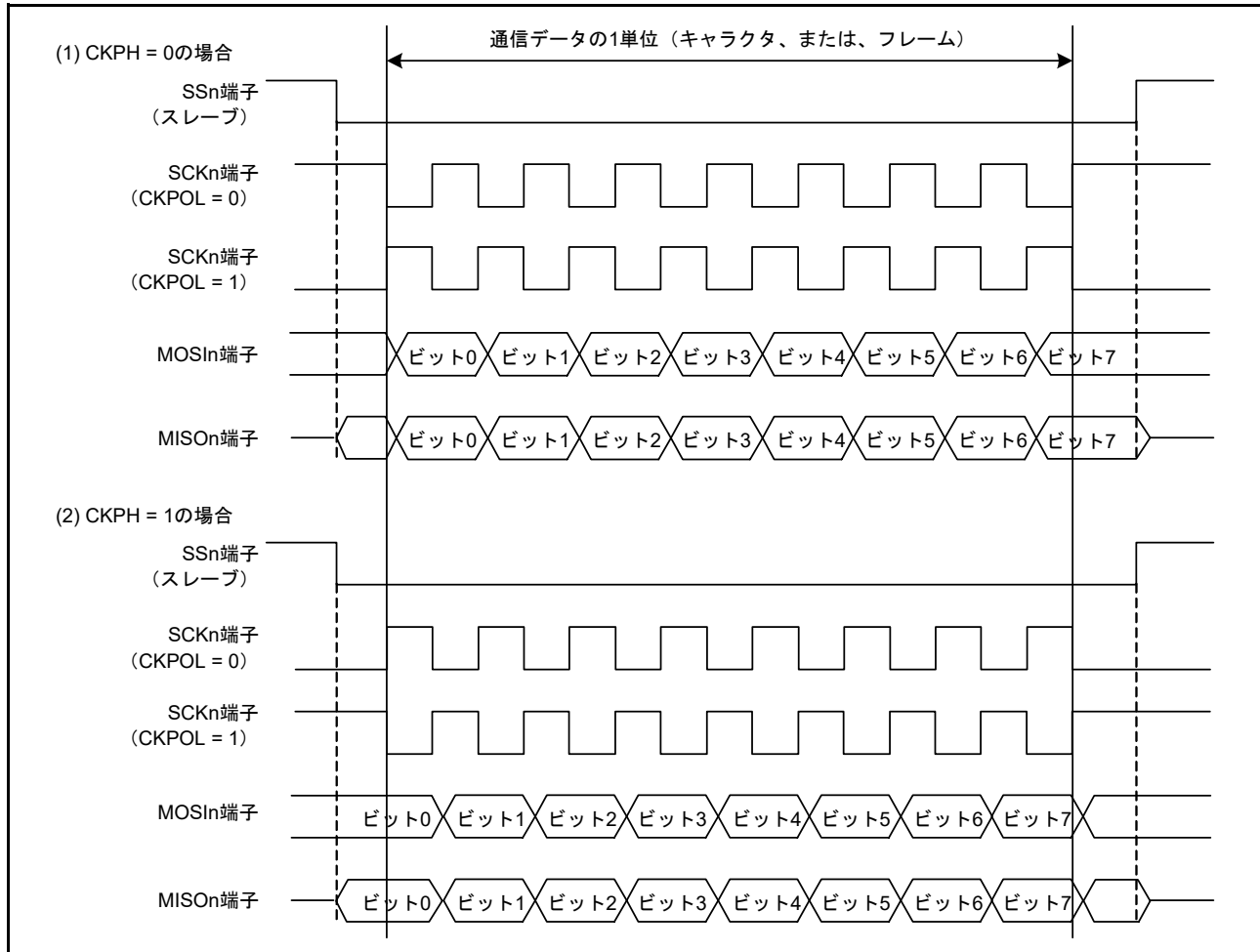


図 28.70 簡易 SPI モードにおけるクロックと送受信データの関係

28.8.5 SCI の初期化 (簡易 SPI モード)

簡易 SPI モードでの SCI 初期化は、クロック同期式モードの場合と同じです。初期化フローの例については、図 28.32 を参照してください。SPMR.CKPOL ビットと SPMR.CKPH ビットは、選択したクロック信号コンフィグレーションがマスタデバイスとスレーブデバイスの両方に適するように設定する必要があります。

動作モードや転送フォーマットに変更を加える場合は、必ず SCR レジスタを初期化してから行ってください。

注. 0 になるのは SCR.RE ビットのみです。SSR.ORER、FER、PER、RDR の各フラグは初期化されません。

SCR.TIE ビットが 1 のときに、SCR.TE ビットの値を 1 から 0、または 0 から 1 に変更すると、送信データエンプティ割り込み (SCI_{In}_TXI) が発生します。

28.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモードでは、送受信先のスレーブデバイスの SSn 端子を、送受信開始前に Low にして、送受信終了後に High にしてください。それ以外の手順はクロック同期式モードと同様です。

28.9 ビットレートモジュレーション機能

ビットレートモジュレーション機能では、PCLKA が SMR/SMR_SMCI レジスタの CKS[1:0] ビットで選択された場合に、MDDR レジスタで指定した数を用いて、ビットレートを均一に補正することが可能です。

調歩同期式モードにおいて、PCLKA が SMR/SMR_SMCI レジスタの CKS[1:0] ビットで選択されたとき、BRR と MDDR がそれぞれ 0 と 160 の場合の例を図 28.71 に示します。この例では、基本クロックの周期が均一に 256/160 に補正され、同時にビットレートも 160/256 に補正されています。

注. 内部クロックを有効にするとバイアスが発生し、内部基本クロックのパルス幅に伸縮が生じます。

クロック同期式モードと、簡易 SPI モードでの最高速設定 (SMR.CKS[1:0] ビット = 00b、SCR.CKE[1] ビット = 0、および BRR = 0) では、この機能を使用しないでください。

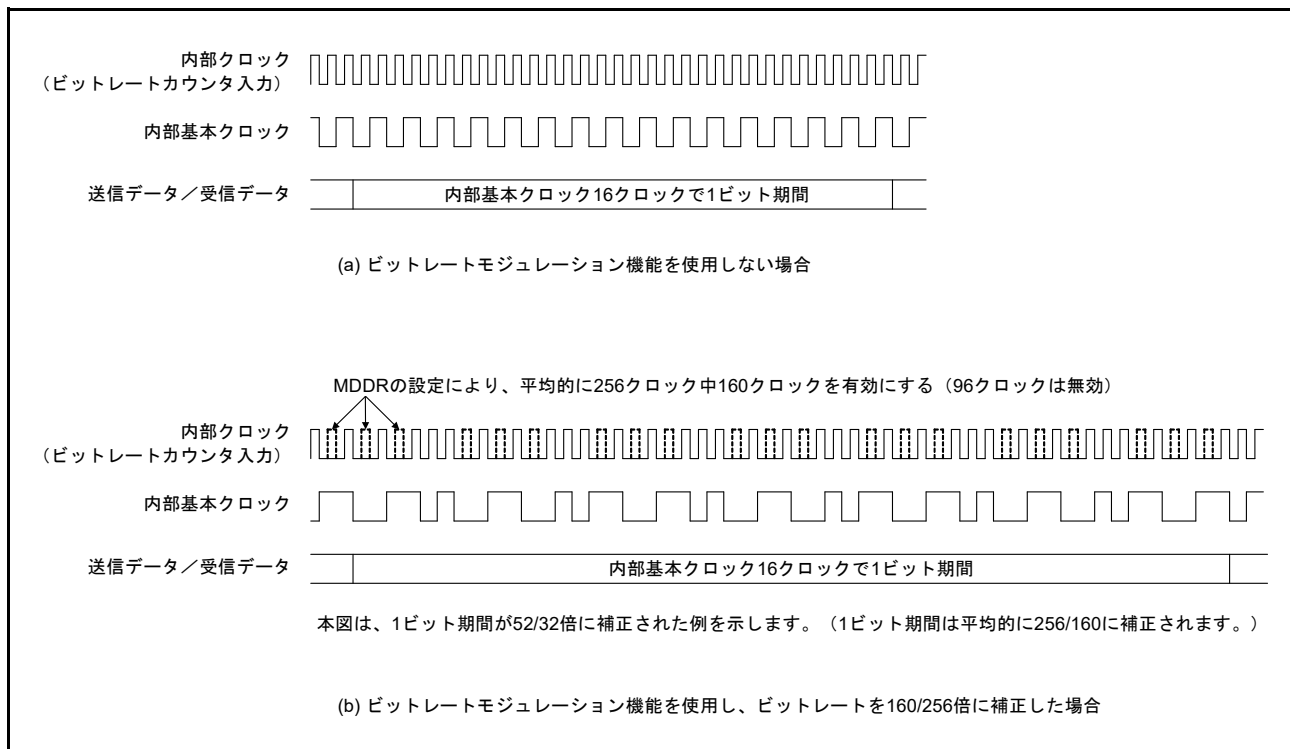


図 28.71 ビットレートモジュレーション機能使用時の内部基本クロックの例

28.10 割り込み要因

28.10.1 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作 (非 FIFO 選択時)

ICU の割り込みステータスフラグが 1 のときは、SCIn_TXI 割り込みと SCIn_RXI 割り込みの発生条件が成立していても、ICU は割り込み要求を出力せず、内部で保存します (内部で保存できる容量は、1 要因ごとに 1 要求までです)。

ICU の割り込みステータスフラグが 0 になると、ICU 内で保持していた割り込み要求を出力します。割り込み要求が出力されると、内部で保持されていた割り込みは自動的に破棄されます。また、内部で保持されていた割り込み要求は、対応する割り込み許可ビット (SCR/SCR_SMCI レジスタの TIE ビットまたは RIE ビット) をクリアすることでも破棄できます。

28.10.2 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作 (FIFO 選択時)

ICU の割り込みステータスフラグを 1 にすると、SCIn_TXI 割り込みと SCIn_RXI 割り込みは ICU に対して割り込み要求を出力しません。ICU の割り込みステータスフラグを 0 にした場合に、SCIn_TXI 割り込みと SCIn_RXI 割り込みの条件が満たされていれば、割り込み要求が発生します。

28.10.3 調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み

(1) 非 FIFO 選択時

表 28.25 に、調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み要因を示します。各割り込み要因には、異なる割り込みベクタの割り当てが可能になり、また SCR レジスタの許可ビットによって、割り込み要因を個別に許可または禁止することが可能です。

SCR.TIE ビットが 1 のとき、送信データが TDR レジスタまたは TDRHL レジスタ (注1) から TSR レジスタへ転送されると、SCIn_TXI 割り込み要求が発生します。また、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることも、SCIn_TXI 割り込み要求が発生することが可能です。SCIn_TXI 割り込み要求を用いて DMAC または DTC を起動し、データ転送を行うことができます。

SCR.TIE ビットが 0 のときに SCR.TE ビットを 1 にするか、SCR.TE ビットが 1 のときに SCR.TIE ビットを 1 にすると (注2)、SCIn_TXI 割り込み要求は発生しません。

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが書き込まれていないと、SSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。また、SCR.TE ビットが 1 のとき、TDR レジスタまたは TDRHL レジスタ (注1) に送信データを書き込むまでの間は、SSR.TEND フラグは 1 を保持しており、SCR.TEIE ビットを 1 にすると SCIn_TEI 割り込み要求が発生します。

TDR レジスタまたは TDRHL レジスタ (注1) にデータを書き込むと、SSR.TEND フラグがクリアされて SCIn_TEI 割り込み要求は取り消されますが、取り消されるまである程度時間がかかります。

SCR.RIE ビットが 1 のとき、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。SCIn_RXI 割り込み要求を用いて DMAC または DTC を起動し、データ転送を行うことができます。

SCR.RIE ビットが 1 のとき、SSR.ORER、FER、PER のいずれかのフラグが 1 になると、SCIn_ERI 割り込み要求が発生します。このとき、SCIn_RXI 割り込み要求は発生しません。これら 3 つのフラグ (ORER、FER、PER) のすべてをクリアすることによって、SCIn_ERI 割り込み要求を取り消すことができます。

(2) FIFO 選択時

表 28.26 に、FIFO モード選択時の割り込み要因を示します。

SCR.TIE ビットが 1 で、FTDRL レジスタに格納されたデータ数が FCR.TTRG ビットで示されたしきい値以下のとき、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に 1 にすることでも発生します。または、SCR.TE ビットが 1 のときに SCR.TIE ビットを 1 にしても発生します。

SCIn_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合には発生しません。

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが FTDRL レジスタに書き込まれていないと、SSR_FIFO.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

SCR.RIE ビットが 1 で、FRDRL レジスタに格納されたデータの数が FCR.RTRG ビットで示されたしきい値以下のとき、SCIn_RXI 割り込み要求が発生します。RTRG が 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、SCIn_RXI 割り込み要求は発生しません。

SCR.RIE ビットが 1 のとき、SSR_FIFO.ORER フラグが 1 になるか、あるいは、フレーミングエラーまたはパリティエラーのあるデータが FRDRL レジスタに格納されると、SCIn_ERI 割り込み要求が発生します。FRDRL レジスタに格納されたデータ数がしきい値以上であると、同時に SCIn_RXI 割り込み要求も発生します。SSR_FIFO.ORER、FER、および PER フラグをすべてクリアすることで、SCIn_ERI 割り込み要求を取り消すことができます。

注 1. 調歩同期式モードにおいて、データ長 9 ビットを選択した場合です。

注 2. 最終データの送信時に SCIn_TXI 割り込みを一時的に禁止して、送信終了割り込みによる処理を行った後、新たにデータ送信を開始したい場合は、SCR.TIE ビットではなく、ICU の割り込み要求許可ビットを用いて、割り込みの発行を制御してください。この方法によって、新しいデータの送信時に、SCIn_TXI 割り込み要求の発生が抑止されるのを防ぐことができます。

表 28.25 SCIの割り込み要因 (非FIFO選択時)

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動	DMACの起動
SCIn_ERI	受信エラー (注1)	ORER, FER, PER, DFER, DPER	RIE	不可能	不可能
SCIn_RXI	受信データフル	RDRF	RIE	可能	可能
	アドレス一致	DCMF	RIE	可能	可能
SCIn_AM	アドレス一致	DCMF	—	可能	可能
SCIn_TXI	送信データエンプティ	TDRE	TIE	可能	可能
SCIn_TEI	送信終了	TEND	TEIE	不可能	不可能

注 1. 割り込みフラグが ORER になるのはクロック同期式モードおよび簡易 SPI モードにおいてのみです。

表 28.26 SCIの割り込み要因 (FIFO選択時)

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動	DMACの起動
SCIn_ERI	受信エラー (注1)	ORER, FER, PER, DFER, DPER	RIE	不可能	不可能
		DR (FCR.DRES = 1 の場合)	RIE	不可能	不可能
SCIn_RXI	受信データフル	RDF	RIE	可能	可能
	受信データレディ	DR (FCR.DRES = 0 の場合)	RIE	可能	可能
	アドレス一致	DCMF	RIE	可能	可能
SCIn_AM	アドレス一致	DCMF	—	可能	可能
SCIn_TXI	送信データエンプティ	TDFE	TIE	可能	可能
SCIn_TEI	送信終了	TEND	TEIE	不可能	不可能

注 1. 割り込みフラグが ORER になるのはクロック同期式モードおよび簡易 SPI モードにおいてのみです。

28.10.4 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードにおける割り込み要因を表 28.27 に示します。このモードでは、送信終了割り込み (SCIn_TEI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

表 28.27 SCIの割り込み要因：スマートカードインタフェースモード

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動	DMACの起動
SCIn_ERI	受信エラー、エラーシグナル検出	ORER, FER, ERS	RIE	不可能	不可能
SCIn_RXI	受信データフル	RDRF	RIE	可能	可能
SCIn_TXI	送信終了	TEND	TIE	可能	可能

スマートカードインタフェースモードの場合も、他の SCI モードと同様に、DMAC または DTC を使用した送受信が可能です。送信動作では、SSR_SMCI.TEND フラグが 1 になると、SCIn_TXI 割り込み要求が発生します。あらかじめ DMAC または DTC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DMAC または DTC が起動されて、送信データの転送が可能になります。TEND フラグは、DMAC または DTC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中は、TEND フラグは 0 のまま保持され、DMAC または DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI および DMAC または DTC が、指定されたバイト数を自動的に送信します。ただし、エラー発生時に SSR_SMCI.ERS フラグは自動的に 0 にクリアされません。そのため、SCR_SMCI.RIE ビットを 1 にしてエラー発生時に SCIn_ERI 割り込み要求を発生させることで、ERS フラグをクリアしてください。

なお、DMAC または DTC を使用して送受信を行う場合は、必ず DMAC または DTC を有効にしてから、SCI の設定を行ってください。DMAC または DTC の設定方法については、「[16. DMA コントローラ \(DMAC\)](#)」と「[17. データトランスファコントローラ \(DTC\)](#)」を参照してください。

受信動作では、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。DMAC または DTC の起動要因として SCIn_RXI 割り込み要求を事前に設定しておけば、SCIn_RXI 割り込み要求によって DMAC または DTC が起動されて、受信データの転送が可能になります。エラーが発生した場合は、エラーフラグがセットされます。そのため、DMAC または DTC は起動せず、代わりに CPU に対して SCIn_ERI 割り込み要求が発行されます。エラーフラグをクリアしてください。

28.10.5 簡易 IIC モードにおける割り込み

簡易 IIC モードにおける割り込み要因を表 28.28 に示します。STI 割り込みは、送信終了割り込み (SCIn_TEI) 要求に割り当てられます。受信エラー割り込み (SCIn_ERI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

簡易 IIC モードにおいても、DMAC または DTC を使用した送受信が可能です。

SIMR2.IICINTM ビットが 1 のとき

- SCLn 信号の 8 ビット目の立ち下がり、SCIn_RXI 割り込み要求が発生します。あらかじめ DMAC または DTC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DMAC または DTC が起動され、受信データの転送が可能になります
- また、SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち下がり、SCIn_TXI 割り込み要求が発生します。あらかじめ DMAC または DTC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DMAC または DTC が起動され、送信データの転送が可能になります

SIMR2.IICINTM ビットが 0 のとき

- SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち上がり、SDAn 端子入力が Low であると、SCIn_RXI 割り込み要求 (ACK 検出) が発生します。あらかじめ DMAC または DTC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DMAC または DTC が起動されて、受信データの転送が可能になります
- SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち上がり、SDAn 端子入力が High であると、SCIn_TXI 割り込み要求 (NACK 検出) が発生します

DMAC または DTC を使用して送受信を行う場合は、前もって DMAC または DTC を有効にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 28.28 SCI の割り込み要因：簡易 IIC モード

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動	DMAC の起動
SCIn_RXI	受信、ACK 検出	—	RIE	可能	可能
SCIn_TXI	送信、NACK 検出	—	TIE	可能	可能
STIn	開始条件、再開条件、停止条件生成終了	IICSTIF	TEIE	不可能	不可能

注． SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) の場合にのみ、DTC の起動が可能です。

28.11 イベントリンク機能

SCI は、各割り込み要因をイベントとして使用することで、イベントリンクコントローラ (ELC) を用いて、あらかじめ設定しておいたモジュールを動作させることが可能です。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力させることが可能です。

(1) エラーイベント出力 (受信エラーまたはエラーシグナル検出時)

- 調歩同期式モードで、受信中にパリティエラーが発生して異常終了したことを示します
- 調歩同期式モードで、受信中にフレーミングエラーが発生して異常終了したことを示します
- 受信中にオーバーランエラーが発生して異常終了したことを示します
- スマートカードインタフェースモードで、送信時にエラー信号が検出されたことを示します
- FIFO 選択時かつ FCR.DRES ビットが 1 の場合、SSR_FIFO.FER フラグと SSR_FIFO.PER フラグが 0 であり、受信 FIFO データトリガ数より少ない受信データが受信 FIFO バッファに格納され、15ETU 経過したことを示します

(2) 受信データフルイベント出力

- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、ACK が検出されたことを示します
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 8 ビット目の立ち下がりが検出されたことを示します
- 簡易 IIC モードでのマスタ送信時に、SIMR2.IICINTM ビットが 1 のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください

(a) 非 FIFO 選択時

- 受信データが受信データレジスタ (RDR または RDRHL) に格納されたことを示します

(b) FIFO 選択時

- このイベント出力は使用しないでください

(3) 送信データエンptyイベント出力

- SCR/SCR_SMCI.TE ビットが 0 から 1 に変化したことを示します
- スマートカードインタフェースモードで、送信が完了したことを示します
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、NACK が検出されたことを示します
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 9 ビット目の立ち下がりが検出されたことを示します

(a) 非 FIFO 選択時

- 送信データが送信データレジスタ (TDR または TDRHL) から送信シフトレジスタ (TSR) へ転送されたことを示します

(b) FIFO 選択時

- このイベント出力は使用しないでください

(4) 送信終了イベント出力

- 送信が完了したことを示します
- 簡易 IIC モードで、開始条件、再開条件、または停止条件の生成が完了したことを示します

注 . FIFO が選択されている場合、このイベント出力は使用しないでください。

(5) アドレス一致イベント出力

- 調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが 1 の場合、比較データ（CDR.CMPD）と受信データの 1 フレームが一致したことを示します

28.12 アドレス不一致イベント出力 (SCI0_DCUF)

SCI0_DCUF は、調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが 1 の場合、比較データ（CDR.CMPD）と受信データの 1 フレームが一致しなかったことを示します。このイベントは、スヌーズ終了要求に対してのみ使用可能です。

28.13 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 28.72 に示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号と、2 段のフリップフロップ回路の出力信号が完全に一致したとき、一致したレベルが内部信号として伝えられます。一致しない場合は前の値が保持されます。ノイズフィルタのサンプリングクロックで、同じレベルが 3 サイクル以上保持された場合、有効な受信信号とみなされます。3 サイクルに達する前にパルスが変化した場合、それは受信信号ではなく、ノイズとみなされます。

SEMR.ABCS = 0 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット転送期間の 1/16 となります。

SEMR.ABCS = 1 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット転送期間の 1/8 となります。

SEMR.ABCSE = 1 の場合、周期は 1 ビット転送期間の 1/6 となります。

調歩同期式モードでは、RXDn 端子に入力される受信信号にノイズ除去機能を使用できます。RXDn 端子の受信レベルは、調歩同期式モードの基本クロックを使用して、ノイズフィルタのフリップフロップ回路でサンプリングされます。

簡易 IIC モードでは、SDAn 端子と SCLn 端子の各入力信号に、この機能を使用できます。ノイズ除去機能のサンプリングクロックは、SNFR.NFCS ビットでポーレートジェネレータのソースクロックを 1、2、4、または 8 分周することにより選択します。

ノイズフィルタが有効な状態で基本クロックを停止させ、その後、基本クロック入力を再開させた場合、ノイズフィルタは、クロック停止時の状態から動作を再開します。基本クロックの入力中に SCR.TE ビットと SCR.RE ビットを 0 にすると、ノイズフィルタのフリップフロップ値はすべて 1 に初期化されます。したがって、受信再開時の入力データが 1 の場合は、レベル一致が検出されたと判断され、その結果が内部信号として伝えられます。入力レベルが 0 の場合は、サンプリングサイクルで連続して 3 回信号のレベルが一致するまで、ノイズフィルタの最初の出力値が保持されます。

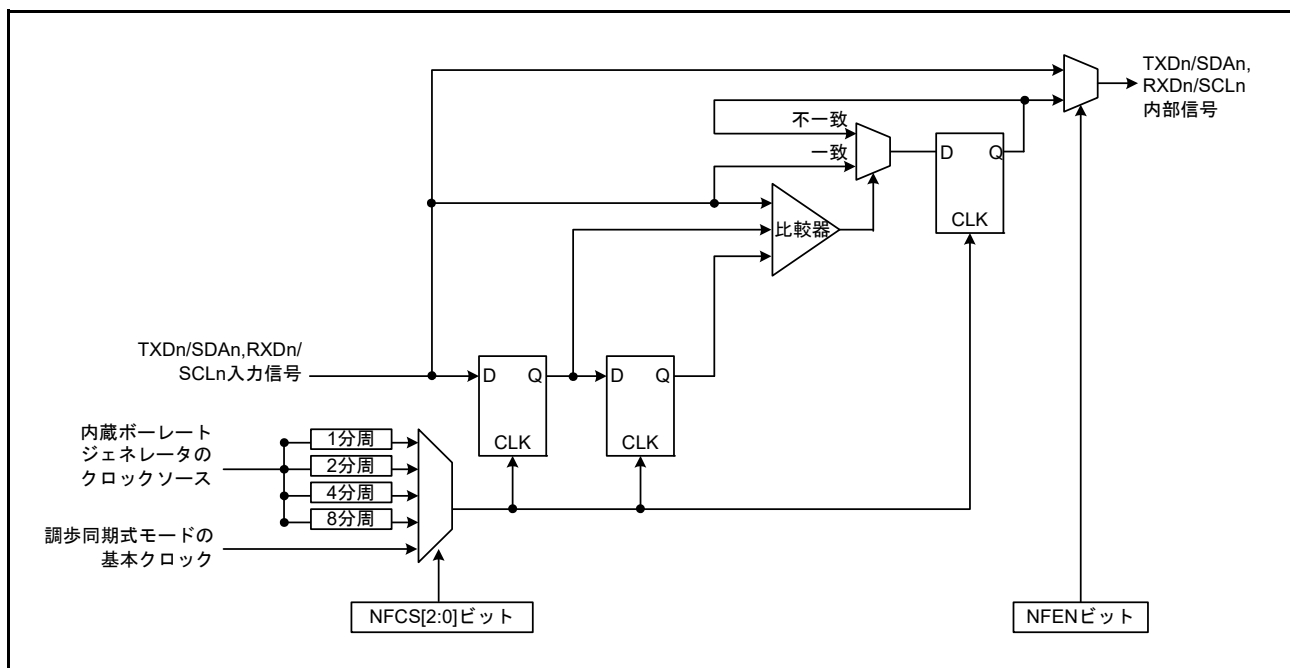


図 28.72 デジタルノイズフィルタ回路のブロック図

28.14 使用上の注意事項

28.14.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作許可または禁止を設定できます。SCI 動作は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

28.14.2 低消費電力状態での SCI 動作

(1) 送信

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、TXDn 端子を汎用入出力ポート機能に切り替えた後、送信動作を停止 (SCR/SCR_SMCI レジスタの TIE、TE、TEIE ビットを 0) にしてください。入出力ポートを SCI 機能に設定すると、SPTR レジスタによって TXDn 端子状態の制御が可能になります。TE ビットを 0 にすることにより、TSR レジスタが初期化されます。SSR/SSR_SMCI レジスタの TEND ビットは、非 FIFO 選択時には 1 にリセットされます。FIFO 選択時には値が保持されます。モジュールストップ状態またはソフトウェアスタンバイモードからの復帰後、出力端子は、ポートの設定と SPTR レジスタの設定に応じて、これらの低消費電力状態へ遷移する前のレベルを出力する場合があります。送信中に低消費電力状態へ遷移すると、送信データは不定になります。

低消費電力状態を解除した後、同じ送信モードで送信する場合は、以下の手順を実行します。

1. TE ビットを 1 にします。
2. SSR/SSR_FIFO/SSR_SMCI レジスタを読み出します。
3. 連続して TDR レジスタへの書き込みを行い、データ送信を開始します。

異なる送信モードで送信する場合は、SCI の初期化からやり直してください。

[図 28.73](#) に、送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。[図 28.74](#) と [図 28.75](#) に、ソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

DTC 転送による送信モードから、モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、送信動作を停止 (TE ビットを 0) にしてください。低消費電力状態の解除後に DTC による送信を開始する場合は、TE ビットを 1 にしてください。SCI_{In}_TXI 割り込みフラグが 1 になり、DTC による送信が始まります。

(2) 受信

(a) ウェイクアップ条件としてアドレス一致検出機能を使用しない場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、受信動作を停止 (SCR/SCR_SMCI.RE ビットを 0) にしてください。受信中に遷移すると、受信中のデータは無効になります。

[図 28.76](#) に、受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

(b) ウェイクアップ条件としてアドレス一致検出機能を使用する場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は最初に、

1. 低消費電力状態解除後の動作を設定してください。
2. CDR.CMPD ビットと DCCR.DCME ビットを 1 にしてください。
3. 受信動作を許可 (SCR/SCR_SMCI.RE = 1) にしてください。
4. モジュールストップ状態またはソフトウェアスタンバイモードを設定してください。

SCI が低消費電力モードへ遷移するとき、受信データ端子 (RXDn) が Low であれば、SEMR.RXDESEL を 0 にしてください。SEMR.RXDESEL が 1 になっていると、低消費電力モードの解除時にスタートビット (RXDn 端子の立ち上がり) が検出されない可能性があります。

図 28.77 に、アドレス一致を用いて受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

(c) SCI0 をスヌーズモードで使用する場合

SCI0 をスヌーズモードで使用する場合は、最大ビットレートなどのいくつかの制限事項があります。詳細は、「10. 低消費電力モード」を参照してください。

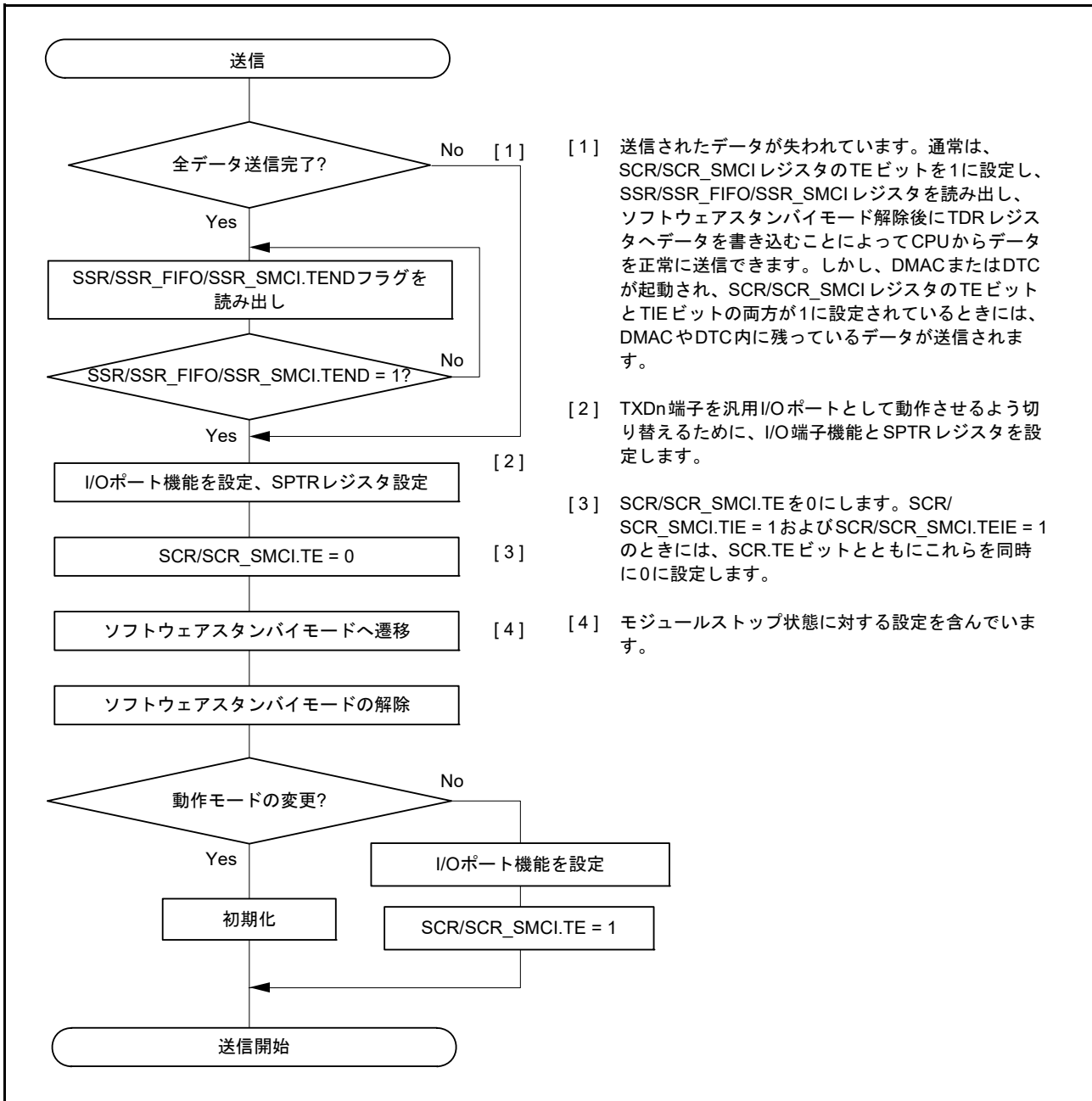


図 28.73 送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

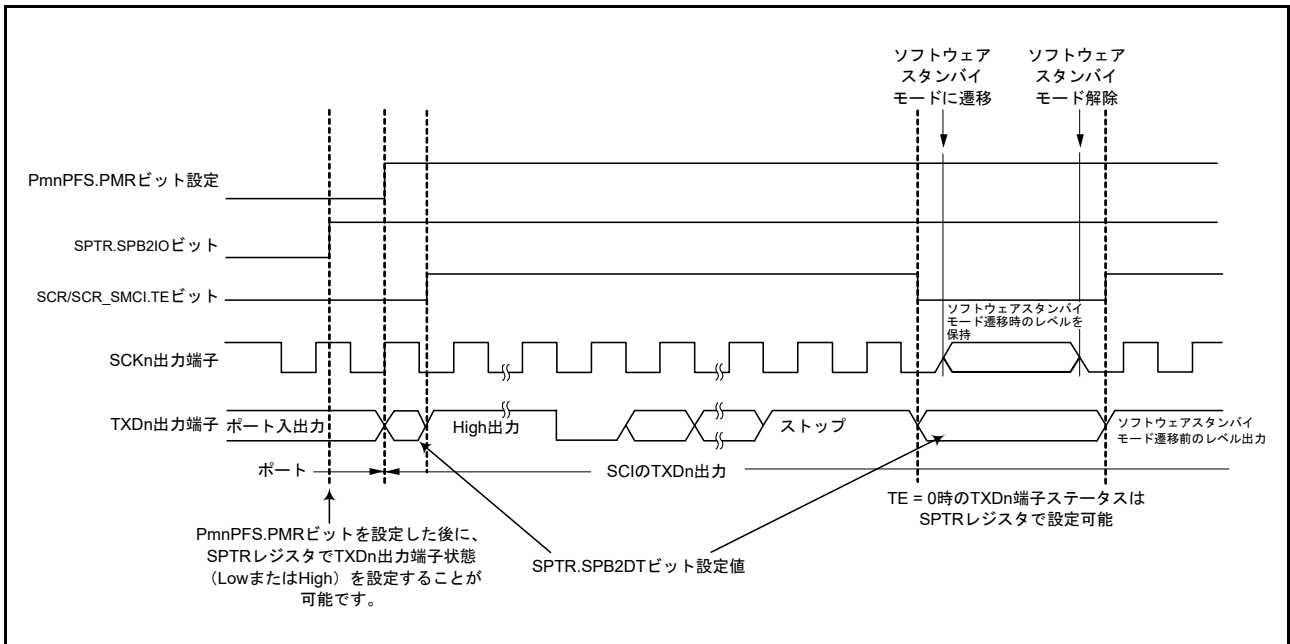


図 28.74 ソフトウェアスタンバイモード遷移中のポートの端子状態 (内部クロック、調歩同期送信)

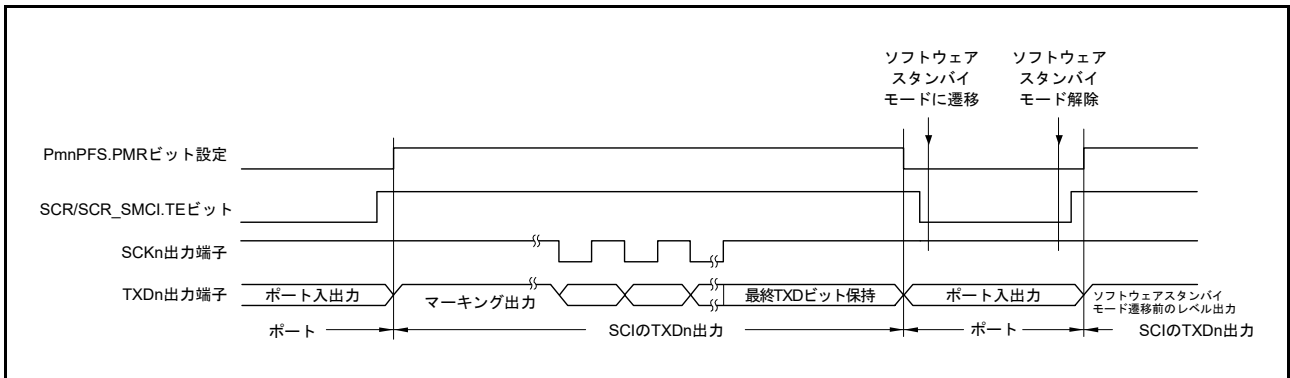


図 28.75 ソフトウェアスタンバイモード遷移中のポートの端子状態 (内部クロック、クロック同期送信)

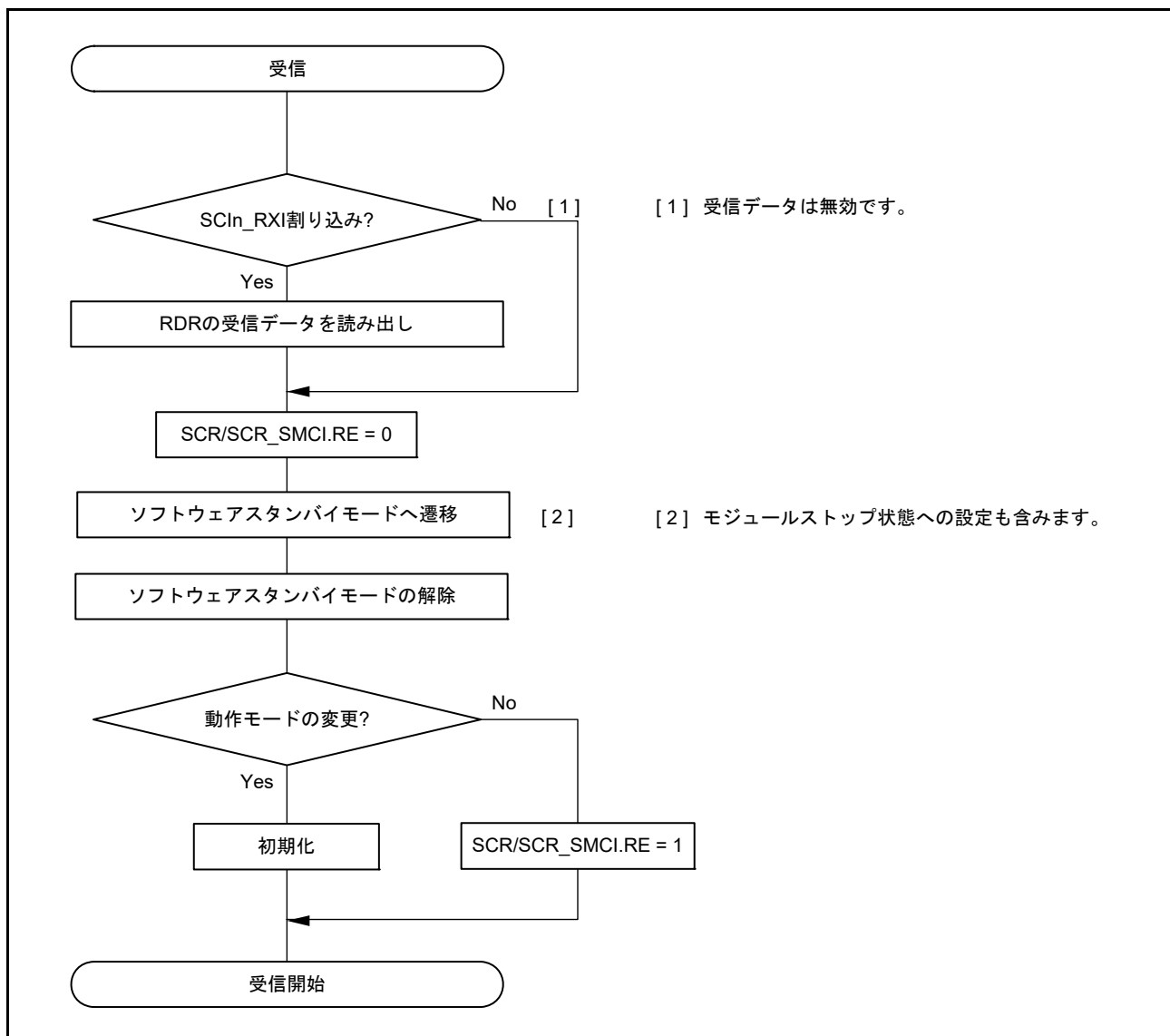


図 28.76 受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

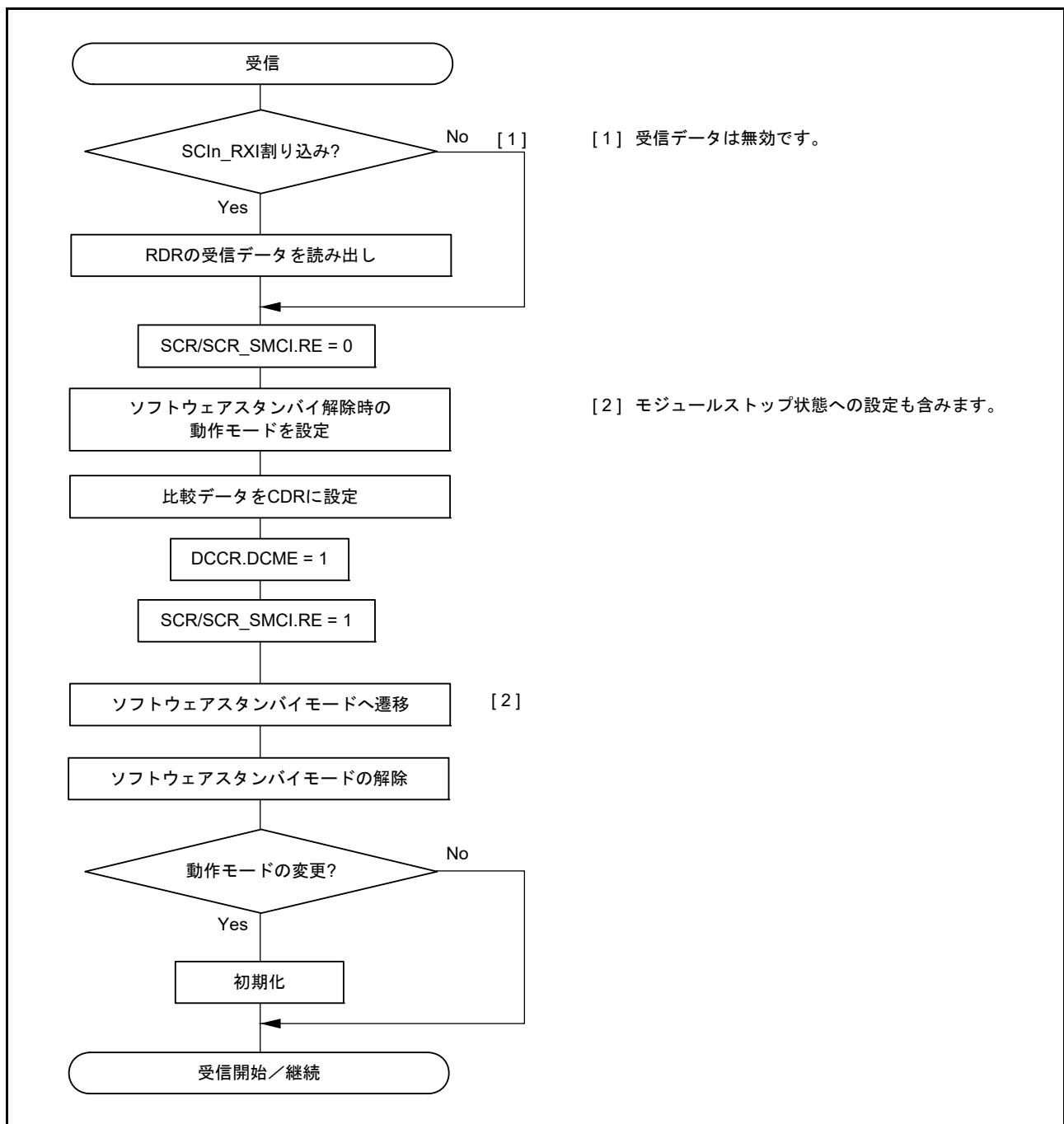


図 28.77 アドレス一致を用いて受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

28.14.3 ブレークの検出と処理について

(1) 非 FIFO 選択時

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すことでブレークを検出できます。ブレークでは、RXDn 端子からの入力がすべて 0 になり、SSR.FER フラグが 1 (フレーミングエラーの発生あり) になります。さらに、SSR.PER フラグも 1 (パリティエラーの発生あり) になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを 0 (フレーミングエラーの発生なし) にしても、再び FER フラグが 1 になります。SEMR.RXDESEL ビットが 1 のとき、SCI は、SSR.FER フラグを 1 にして、次のデータフレームのスタートビットが検出されるまで、受信動作を停止します。このとき、SSR.FER フラグが 0 であれば、ブレーク中は SSR.FER フラグは 0 を保持します。

RXDn 端子が 1 になってブレークが終了した後、最初の RXDn 端子の立ち下がりですタートビットの先頭を検出すれば、受信動作を開始させることが可能です。

(2) FIFO 選択時

フレーミングエラーが検出された後、SCI によって 1 フレーム分の連続する受信データが 0 であることが検出された場合、受信動作が停止します。フレーミングエラー検出時に、SPTR.RXDMON ビットの値を読み出すことでブレークを検出できます。RXD 信号がマーク状態になってブレークが終了した後、FRDRHL レジスタへのデータ受信が再開されます。

28.14.4 マーク状態とブレークの送出

SCR/SCR_SMCI.TE ビットが 0 (シリアル送信動作を禁止) のとき、SPTR.SPB2IO ビットおよび SPTR.SPB2DT ビットを用いて TXDn 端子状態の設定が可能です。この方法により、TXDn 端子をマーク状態にしてブレークを送出できます。

SCR/SCR_SMCI.TE ビットを 1 (シリアル送信動作を許可) にする前に、SPB2IO ビットと SPB2DT ビットによって通信回線をマーク状態 (1 の状態) に設定し、I/O ポート機能を用いて TXDn 端子を変更してください。データ送信時にブレークを出力したいときは、SPB2IO ビットと SPB2DT ビットによって TXDn 端子を 0 出力に設定した後、I/O ポート機能を用いて TXDn 端子を変更し、SCR/SCR_SMCI.TE ビットを 0 にしてください。SCR/SCR_SMCI.TE ビットを 0 にすると、現在の送信状態とは無関係に送信部は初期化されません。

28.14.5 受信エラーフラグと送信動作 (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR/SSR_FIFO.ORER) が 1 の状態では、TDR または FTDR (注1) レジスタにデータを書き込んでも、送信は開始されません。送信を開始する前に、必ず受信エラーフラグを 0 にしてください。

注. SCR/SCR_SMCI.RE ビットを 0 にしてシリアル受信を禁止すると、受信エラーフラグは 0 になりません。

注 1. 簡易 SPI モードでは、FTDRH レジスタを使用しないでください。

28.14.6 クロック同期送信に関する制限事項（クロック同期式モードおよび簡易 SPI モード）

同期クロックに外部クロックソースを使用する場合、以下の制限があります。

(1) 送信開始時

TDR レジスタへの送信データの書き込みから、外部クロック入力の開始まで、下記に示す以上の待機時間を確保してください。

$1PCLKA + \text{スレーブのデータ出力遅延時間 (} t_{DO} \text{)} + \text{マスタのセットアップ時間 (} t_{SU} \text{)}。$

図 28.78 を参照してください。

(2) 連続送信時

送信クロックの 7 ビット目の立ち下がり以前に、TDR または TDRHL レジスタに次の送信データを書き込んでください。図 28.78 を参照してください。

ビット 7 送信開始以降に TDR を更新する場合は、同期クロックが Low の期間に TDR を更新し、かつ送信クロックの 7 ビット目の High 幅を、 $4PCLKA$ 以上にしてください。図 28.78 を参照してください。

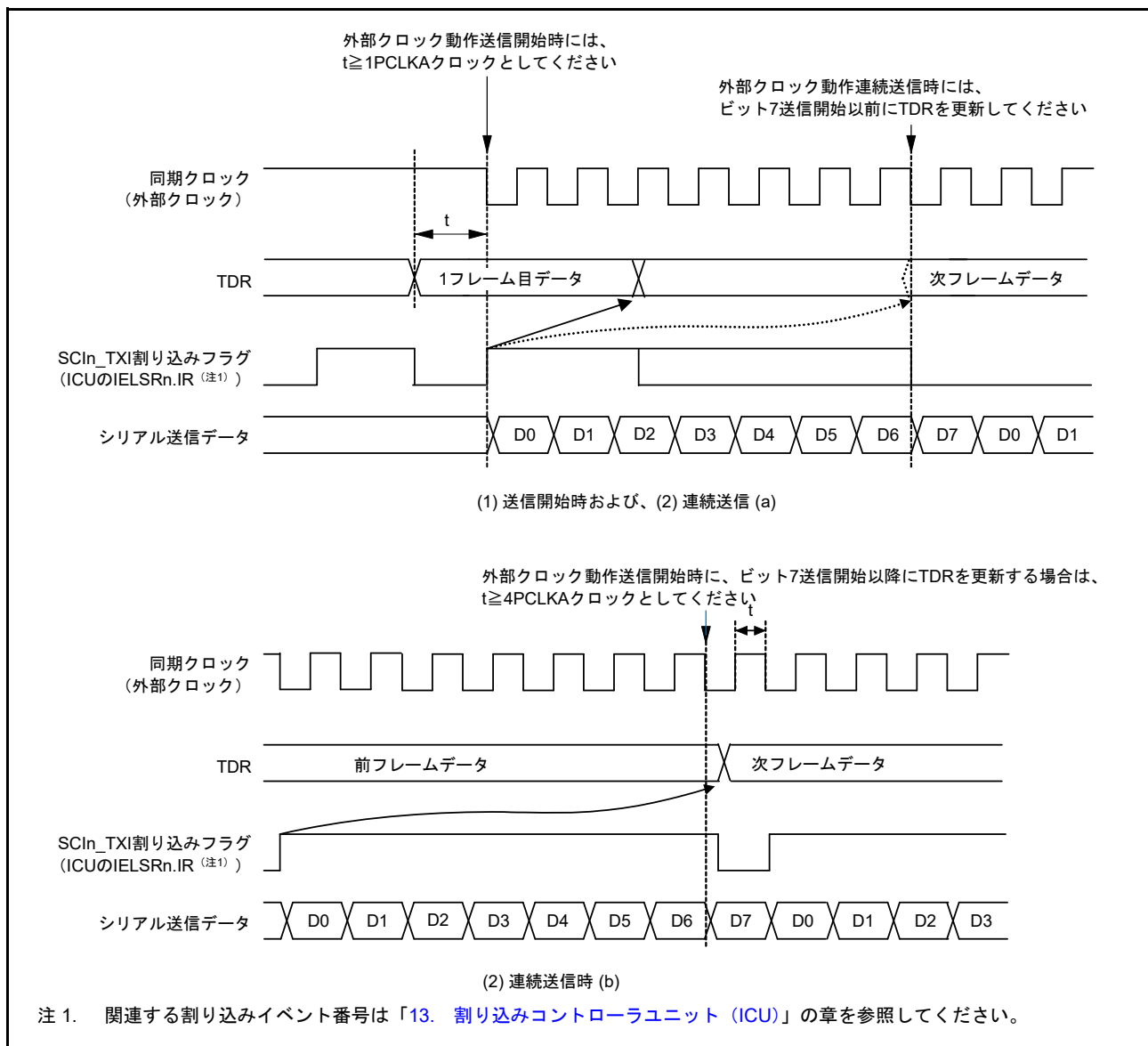


図 28.78 クロック同期送信時の外部クロック使用に関する制限事項

28.14.7 DMAC または DTC 使用時の制限事項

DMAC または DTC による送受信動作中は、DMAC または DTC に転送情報を設定しないでください。

(1) TDR (FTDRHL) レジスタへの書き込み

(a) 非 FIFO 選択時

TDR および TDRHL レジスタにデータを書き込むことが可能です。ただし、TDR または TDRHL レジスタに送信データが残っている状態で、TDR または TDRHL レジスタに新しいデータを書き込むと、残っていたデータは TSR レジスタへ転送されず、失われます。DMAC または DTC を使用する場合、TDR または TDRHL レジスタへの送信データの書き込みは、必ず SCI_{In}_TXI 割り込み要求処理ルーチンで行ってください。

(b) FIFO 選択時

SCR.TE ビットが 1 の場合に、FTDRH および FTDRL レジスタにデータを書き込むことが可能です。FDR.T[4:0] ビットによって、書き込み可能なデータ数を確認してください。

(2) RDR (FRDRHL) レジスタからの読み出し

DMAC または DTC を用いて RDR および RDRHL レジスタを読み出すときは、対応する SCI チャンネルの起動要因として、必ず受信データフル割り込み (SCI_{In}_RXI) を設定してください。

28.14.8 通信の開始に関する注意事項

通信開始時点で ICU の割り込みステータスフラグ (IELSR_n.IR フラグ) が 1 のときは、動作許可 (SCR/SCR_SMCI.TE ビットを 1、または SCR/SCR_SMCI.RE ビットを 1) にする前に、以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

1. 通信が停止していること (SCR/SCR_SMCI.TE ビットまたは SCR/SCR_SMCI.RE ビットが 0 になっていること) を確認します。
2. 対応する割り込み許可ビット (SCR/SCR_SMCI.TIE ビットまたは SCR/SCR_SMCI.RIE ビット) を 0 にします。
3. 対応する割り込み許可ビット (SCR/SCR_SMCI.TIE ビットまたは SCR/SCR_SMCI.RIE ビット) を読み出して、実際に 0 になっていることを確認します。
4. ICU の割り込みステータスフラグ (IELSR_n.IR フラグ) を 0 にします。

28.14.9 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードと簡易 SPI モードでは、外部クロック (SCK_n) 入力を下記のように設定してください。

High パルス期間および Low パルス期間は 2PCLKA 以上、周期は 6PCLKA 以上

28.14.10 簡易 SPI モードに関する制限事項

(1) マスタモード

- SPMR.SSE ビットが 1 の場合、SPMR.CKPH ビットと SPMR.CKPOL ビットで設定した送受信クロックの初期値に合わせて、クロック線を抵抗でプルアップまたはプルダウンしてください。これによって、SCR.TE ビットを 0 にしたときにクロック線がハイインピーダンス状態になったり、SCR.TE ビットを 0 から 1 に変更したりしたときにクロック線に意図しないエッジが発生したりするのを防止できます。シングルマスタモードで SPMR.SSE ビットが 0 の場合は、SCR.TE ビットを 0 にしてもクロック線はハイインピーダンスにならないので、プルアップまたはプルダウンは不要です
- クロック遅れあり (SPMR.CKPH ビット = 1) では、[図 28.79](#) に示すように、SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (SCIn_RXI) が発生します。SCR.TE ビットと SCR.RE ビットを SCKn 端子の最終クロックエッジより前に 0 にすると、SCKn 端子出力がハイインピーダンスとなり、送受信クロックの最後のクロックパルス幅が短くなります。また、SCIn_RXI 割り込みの発生によって、SCKn 端子の最終クロックエッジより前に接続先スレーブの SSn 端子入力信号が High になった場合、スレーブが誤動作する可能性があります
- マルチマスタ構成では、キャラクタの転送中にモードフォルトエラーが発生すると、SSn 端子入力が Low の間に、SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。転送が再開されたときのビットずれを回避するために、接続先スレーブの再設定を行ってください

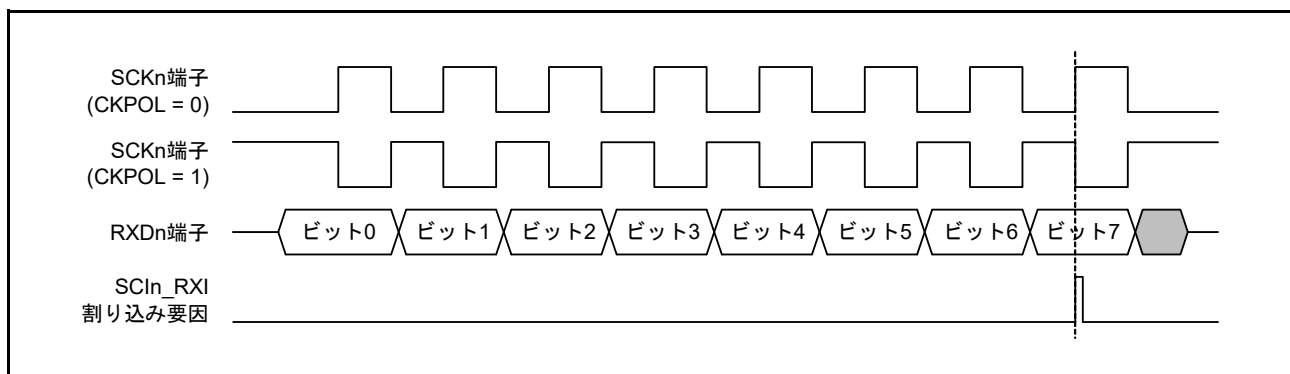


図 28.79 簡易 SPI モードにおける SCIn_RXI 割り込みの発生タイミング (クロック遅れあり)

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから、外部クロック入力の開始まで、下記に示す以上の待機時間を確保してください
 $1PCLKA + \text{スレーブのデータ出力遅延時間 (} t_{DO} \text{)} + \text{マスタのセットアップ時間 (} t_{SU} \text{)}$
- また、SSn 端子への Low 入力から、外部クロック入力の開始までについても、 $5PCLKA$ 以上の待機時間を確保してください
- マスタからの外部クロックの供給は、転送データ長に合わせてください
 - SSn 端子入力は、データ転送開始前と完了後に制御する必要があります
 - キャラクタ転送中に SSn 端子への入力レベルが Low から High に変化した場合は、SCR.TE ビットと SCR.RE ビットを 0 にして、設定を回復後に 1 バイト目から転送をやり直してください

28.14.11 送信許可ビット (SCR.TE) に関する注意事項

SCR.TE ビットが 0 のとき、初期レジスタ値において、TXDn 端子の状態がハイインピーダンスになります。以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

1. プルアップ抵抗を TXDn ラインに接続する。
2. SCR.TE ビットを 0 にする前に、端子機能を汎用の出力ポートに変更する。その後、SCR.TE ビットを 1 にした後、端子機能を TXDn に変更する。
3. 調歩同期式モードにおいて SCR.TE ビットが 0 の場合に、SPTR レジスタを設定し、TXDn 端子に対して決定されたレベルを設定します。

簡易 SPI モードのスレーブ動作では、MISO_n 端子は上記 TXDn 端子と同様の動作をします。MISO_n 端子は TXDn 端子と同様に、上記の 1. または 2. より、ハイインピーダンスにしないでください。

28.14.12 調歩同期式モードで RTS 機能を使用した時の受信の停止について

調歩同期式モードにおいて、SCR.RE ビットを 0 に設定してから RTS 信号ジェネレータを停止するまでに PCLK の 1 クロックサイクルが必要です。

SCR.RE ビットを 0 に設定した後で RDR (または RDRHL) レジスタから読み出すときは、これら 2 つの処理が続けて実行されることを防ぐために、RDR (または RDRHL) レジスタから読み出す前に SCR.RE ビットが 0 に設定されていることを確認してください。

29. I²C バスインタフェース (IIC)

29.1 概要

本 MCU は、2 チャンネルの I²C バスインタフェース (IIC) を内蔵しています。IIC モジュールは、NXP 社の I²C バス (Inter-Integrated Circuit) バスインタフェース方式に準拠しており、そのサブセット機能を備えています。

表 29.1 に IIC の仕様を、図 29.1 に IIC のブロック図を、図 29.2 に入出力端子の外部回路接続例 (I²C バス構成例) を示します。表 29.2 に、入出力端子を示します。

表 29.1 IIC の仕様 (1/2)

項目	内容
通信フォーマット	<ul style="list-style-type: none"> • I²C バスフォーマットまたは SMBus フォーマット • マスタ/スレーブモードを選択可能 • 転送速度に応じたセットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応 (~400kbps)
SCL クロック	マスタ動作時、SCL クロックのデューティ比を 4%~96% の範囲で設定可能
コンディション発行・コンディション検出	<ul style="list-style-type: none"> • スタートコンディション/リスタートコンディション/ストップコンディション自動生成 • スタートコンディション (リスタートコンディション含む) /ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> • 異なるスレーブアドレスを 3 種類まで設定可能 • 7ビット/10ビットアドレスフォーマット対応 (混在可能) • ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクリッジ応答	<ul style="list-style-type: none"> • 送信時、アクリッジビットの自動ロード ノットアクリッジビット検出時に次送信データ転送の自動中断が可能 • 受信時、アクリッジビットの自動送付 8クロック目と9クロック目の間にウェイトありを選択すると、受信値に応じたアクリッジビット値のソフトウェア制御が可能
ウェイト機能	受信時、SCL クロックの Low ホールドによる下記期間のウェイトが可能 <ul style="list-style-type: none"> • 8クロック目と9クロック目の間をウェイト • 9クロック目と次転送の1クロック目の間をウェイト
SDA 出力遅延機能	アクリッジ送信を含むデータ送信の出カタイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> • マルチマスタ対応 <ul style="list-style-type: none"> - 他のマスタとの SCL クロック衝突時、SCL クロックの同期が可能 - スタートコンディション発行がバスで競合する可能性がある場合、SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能 - マスタ動作時、SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能 • バスビジー中のスタートコンディション発生によるアービトレーションロストを検出可能 (スタートコンディションの二重発行防止) • ノットアクリッジ送信時、SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能 • スレーブ送信時、データの SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能
タイムアウト検出機能	SCL クロックの長時間停止を内部で検出
ノイズ除去	<ul style="list-style-type: none"> • SCL および SDA 信号用のデジタルノイズフィルタ • フィルタによるノイズ除去幅をプログラマブルに調整可能
割り込み要因	<ul style="list-style-type: none"> • 通信エラーまたはイベント発生：アービトレーション検出、NACK、タイムアウト、スタート/リスタートコンディション、またはストップコンディション • 受信データフル (スレーブアドレス一致時含む) • 送信データエンプティ (スレーブアドレス一致時含む) • 送信終了
モジュールストップ機能	モジュールストップ状態の設定が可能
IIC の動作モード	<ul style="list-style-type: none"> • マスタ送信 • マスタ受信 • スレーブ送信 • スレーブ受信

表 29.1 IIC の仕様 (2/2)

項目	内容
イベントリンク機能 (出力)	<ul style="list-style-type: none"> 通信エラーまたはイベント発生：アービトレーション検出、NACK、タイムアウト、スタート/リスタートコンディション、またはストップコンディション 受信データフル (スレーブアドレス一致時含む) 送信データエンプティ (スレーブアドレス一致時含む) 送信終了
ウェイクアップ機能 (注1)	<ul style="list-style-type: none"> ウェイクアップイベントを使用したCPUのソフトウェアスタンバイモードからの復帰が可能

注 1. この機能は、IIC のチャンネル IIC0 でのみ利用可能です。

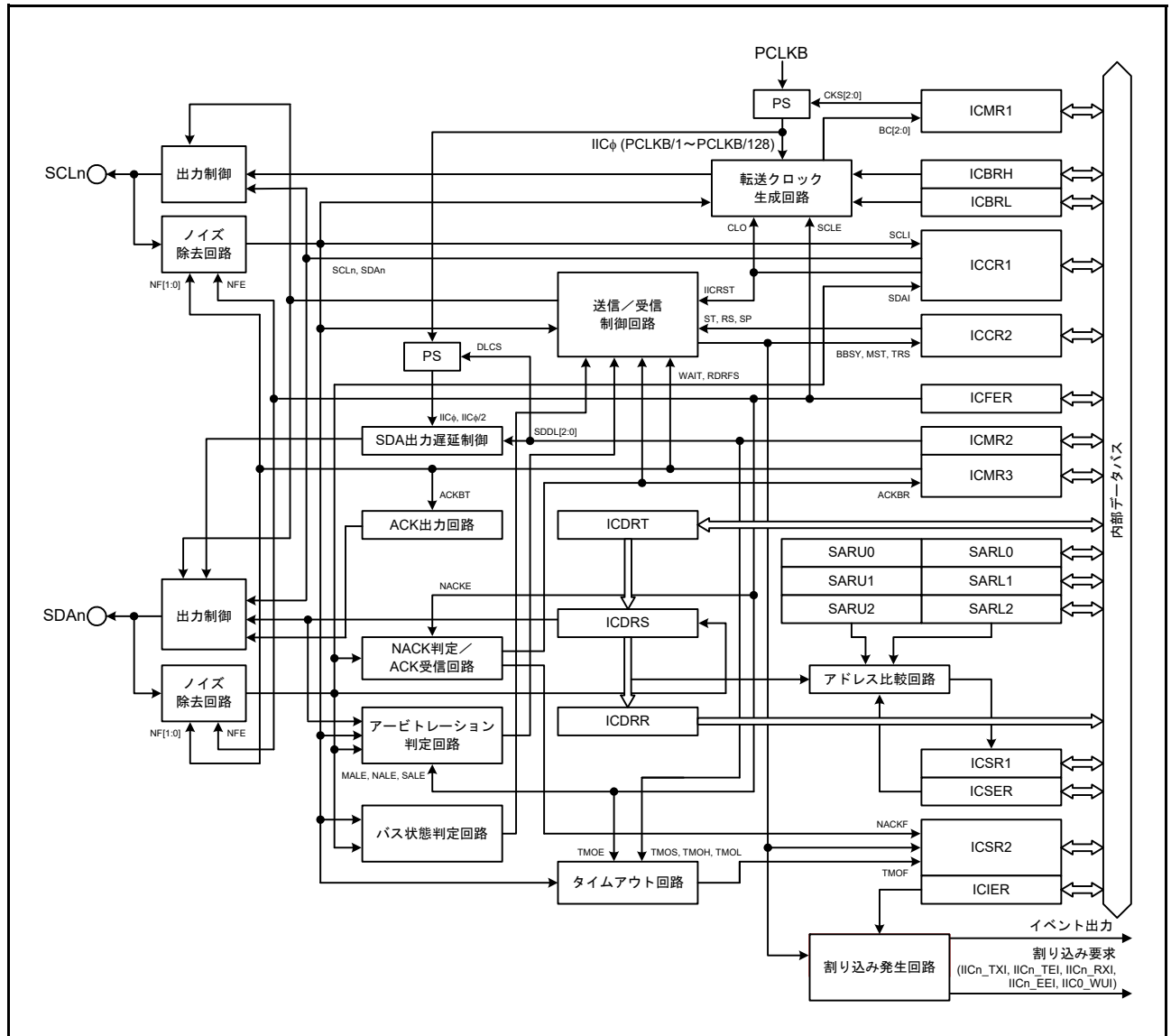


図 29.1 IIC のブロック図

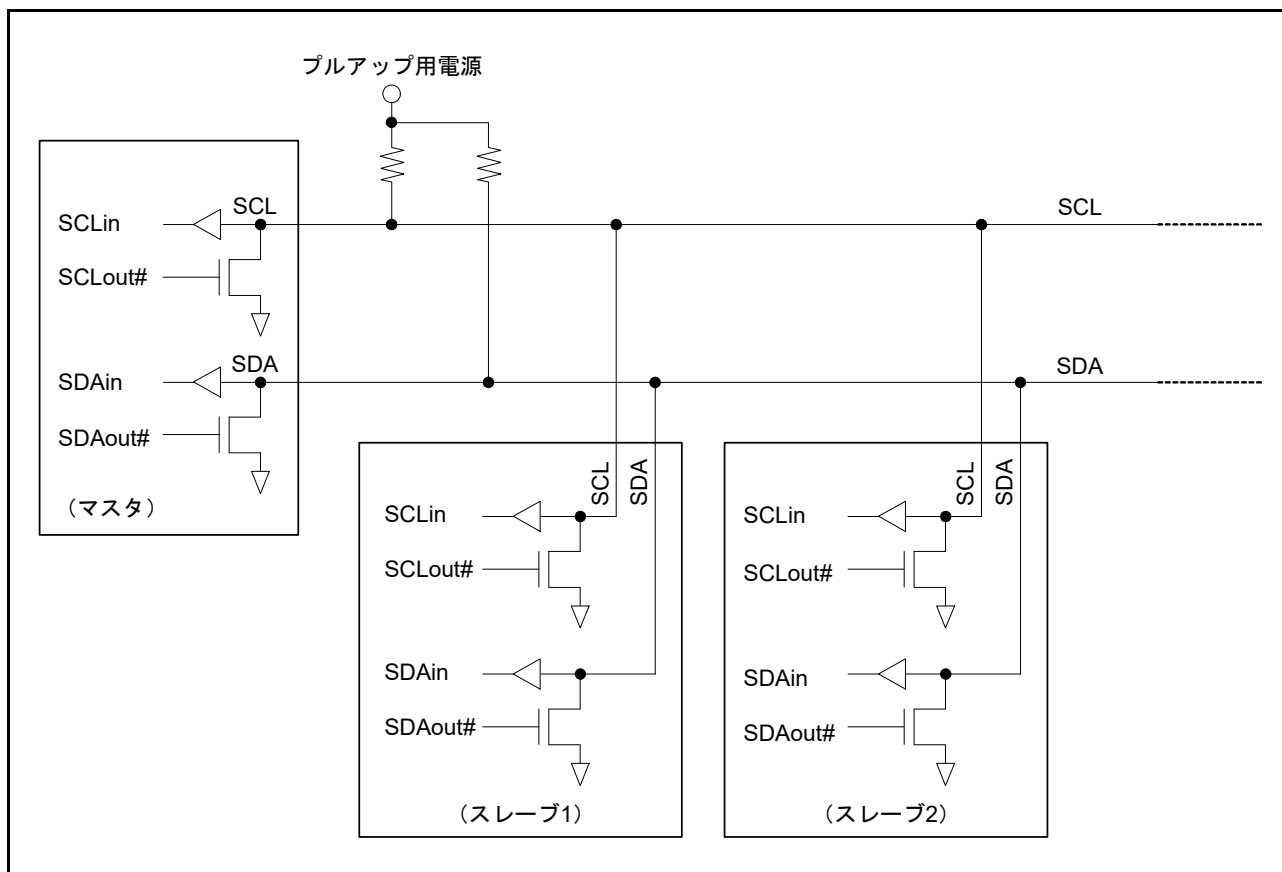


図 29.2 入出力端子の外部回路接続例 (I²C バス構成例)

IIC の各信号の入力レベルは、I²C バス選択時 (ICMR3.SMBS ビット = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS = 1) は TTL レベルです。

表 29.2 IIC の端子構成

チャンネル	端子名	入出力	機能
IIC0	SCL0	入出力	IIC0 シリアルクロック入出力端子
	SDA0	入出力	IIC0 シリアルデータ入出力端子
IIC1	SCL1	入出力	IIC1 シリアルクロック入出力端子
	SDA1	入出力	IIC1 シリアルデータ入出力端子

29.2 レジスタの説明

29.2.1 I²C バスコントロールレジスタ 1 (ICCR1)

アドレス IIC0.ICCR1 4005 3000h, IIC1.ICCR1 4005 3100h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDA ラインモニタ	0 : SDA _n ラインは Low 1 : SDA _n ラインは High	R
b1	SCLI	SCL ラインモニタ	0 : SCL _n ラインは Low 1 : SCL _n ラインは High	R
b2	SDAO	SDA 出力制御/モニタ	<ul style="list-style-type: none"> 読み出し時 0 : IIC は SDA_n 端子を Low にする 1 : IIC は SDA_n 端子を解放する 書き込み時 0 : IIC は SDA_n 端子を Low にする 1 : IIC は SDA_n 端子を解放する 	R/W
b3	SCLO	SCL 出力制御/モニタ	<ul style="list-style-type: none"> 読み出し時 0 : IIC は SCL_n 端子を Low にする 1 : IIC は SCL_n 端子を解放する 書き込み時 0 : IIC は SCL_n 端子を Low にする 1 : IIC は SCL_n 端子を解放する 外部プルアップ抵抗を使用して信号を High にしてください。 	R/W
b4	SOWP	SCLO/SDAO ライトプロテクト	0 : SCLO および SDAO ビットの書き込みを許可 1 : SCLO および SDAO ビットの書き込みを禁止 読むと 1 が読めます。	R/W
b5	CLO	SCL クロック追加出力	0 : SCL クロックを追加で出力しない (デフォルト) 1 : SCL クロックを追加で出力する 1 クロック出力後、自動的に 0 になります。	R/W
b6	IICRST	I ² C バスインタフェース内部リセット	0 : IIC リセットまたは内部リセットを解除する 1 : IIC リセットまたは内部リセットを行う これにより、ビットカウンタをクリアし、SCL _n /SDA _n 出力ラッチを解除します。	R/W
b7	ICE	I ² C バスインタフェース許可	0 : 禁止 (SCL _n および SDA _n 端子は非駆動状態) 1 : 許可 (SCL _n および SDA _n 端子は駆動状態) IICRST ビットとの組み合わせで、IIC リセット、または内部リセットを選択します。	R/W

SDAO ビット (SDA 出力制御/モニタ)、SCLO ビット (SCL 出力制御/モニタ)

IIC から出力される SDA_n 信号と SCL_n 信号を直接操作します。

これらのビットに書き込む場合は、SOWP ビットにも 0 を書いてください。これらのビットを設定すると、入力バッファを介して IIC に入力されます。スレープモードに設定していると、ビットの設定によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディションの期間中、または送受信中に、これらのビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証されません。これらのビットを読んだ場合は、そのとき IIC が出力している信号の状態が読めます。

CLO ビット (SCL クロック追加出力)

SCL クロックを 1 クロック単位で追加出力できるようにするもので、デバッグ時またはエラー処理時に使用します。

通常は 0 にしてください。通常の通信状態で本ビットを 1 にすると、通信エラーの原因になります。この機能の詳細については、[29.12.2 SCL クロック追加出力機能](#)を参照してください。

IICRST ビット (I²C バスインタフェース内部 リセット)

IIC を内部リセットします。

本ビットを 1 にすると、IIC リセットまたは内部リセットを起動できます。IIC リセットまたは内部リセットのどちらが起動するかは、ICE ビットと組み合わせた IICRST ビットの設定によって決定されます。[表 29.3](#) に IIC のリセットの種類を示します。

IIC リセットでは、ICCR1.ICE ビットと ICCR1.IICRST1 ビット以外の IIC の全レジスタと内部状態が初期化されます。

内部リセットは IIC の内部状態に加えて下記を初期化します。

- ビットカウンタ (ICMR.BC[2:0] ビット)
- I²C バスシフトレジスタ (ICDRS)
- I²C バスステータスレジスタ (ICSR1 および ICSR2)
- SDAO および SCLO 出力制御/モニタ (ICCR1.SDAO ビットおよび ICCR1.SCLO ビット)
- I²C バスコントロールレジスタ 2 (z ICCR2.BBSY ビット以外)

各レジスタのリセット条件については、[29.15 各コンディション発行時のレジスタの状態](#)を参照してください。

注 . スレーブモード時に、マスタデバイスとの通信中のバスのハングアップに対して IICRST ビットで内部リセットを行うと、ビットカウンタ情報の差異が原因で、スレーブデバイスとマスタデバイスが異なる状態になる可能性があります。そのため、スレーブモード時には内部リセットは行わないでください。復帰処理はマスタデバイスから行うようにしてください。スレーブモード時に SCLn ラインが Low 出力状態のまま IIC がハングアップしたため、内部リセットが必要になった場合は、内部リセット後にマスタデバイスからリスタートコンディションを発行するか、またはストップコンディションを発行して、スタートコンディションから通信をやり直してください。スレーブデバイスでのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開されると、双方が非同期で動作することになるため同期ズレの原因になります。

表 29.3 IIC のリセット

IICRST	ICE	状態	内容
1	0	IIC リセット	ICCR1.ICE ビットと ICCR1.IICRST1 ビット以外の IIC の全レジスタと内部状態をリセット
	1	内部リセット	IIC 内部状態のリセットに加え下記をリセット : <ul style="list-style-type: none"> • ICMR1.BC[2:0] ビット • ICSR1 レジスタ • ICSR2 レジスタ • ICDRS レジスタ • ICCR1.SCLO ビットおよび ICCR1.SDAO ビット • ICCR2 レジスタ (ICCR2.BBSY ビット)

ICE ビット (I²C バスインタフェース許可)

SCLn および SDA_n 端子の駆動状態／非駆動状態を選択します。また、IICRST ビットと組み合わせて、実行するリセットを 2 種類から選ぶことができます。リセットの種類については、表 29.3 を参照してください。

IIC を使用するときは、ICE ビットを 1 にしてください。ICE ビットを 1 にすると、SCLn および SDA_n 端子は駆動状態になります。IIC を使用しないときは、ICE ビットを 0 にしてください。ICE ビットを 0 にすると、SCLn および SDA_n 端子は非駆動状態になります。端子機能制御を設定するときに、SCLn または SDA_n 端子を IIC に割り当てないでください。これらの端子が IIC に割り当てられると、スレーブアドレス比較が行われます。

29.2.2 I²C バスコントロールレジスタ 2 (ICCR2)

アドレス IIC0.ICCR2 4005 3001h, IIC1.ICCR2 4005 3101h

b7	b6	b5	b4	b3	b2	b1	b0
BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b1	ST	スタートコンディション発行要求	0: スタートコンディション要求を発行しない 1: スタートコンディション要求を発行する	R/W
b2	RS	リスタートコンディション発行要求	0: リスタートコンディション要求を発行しない 1: リスタートコンディション要求を発行する	R/W
b3	SP	ストップコンディション発行要求	0: ストップコンディション要求を発行しない 1: ストップコンディション要求を発行する	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	TRS	送信/受信モード	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモード	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² Cバスは解放状態 (バスフリー状態) 1: I ² Cバスは占有状態 (バスビジー状態)	R

注1. IICM1.MTWP ビットが1の場合に、MST および TRS ビットへの書き込みが可能です。

ST ビット (スタートコンディション発行要求)

マスタモードへの遷移を要求し、スタートコンディションを発行します。

本ビットを1にすると、BBSY フラグが0 (バスフリー状態) のときに、スタートコンディションが発行されます。スタートコンディション発行の詳細については、[29.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1になる条件]

- 1を書いたとき

[0になる条件]

- 0を書いたとき
- スタートコンディションが発行されたとき (スタートコンディションが検出されたとき)
- ICSR2.AL (アービトレーションロスト) フラグが1になったとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

注. BBSY フラグが0 (バスフリー状態) のときに、ST ビットを1 (スタートコンディション発行要求) にする設定のみ行ってください。BBSY フラグが1 (バスビジー状態) のときに、ST ビットを1 (スタートコンディション要求) にすると、アービトレーションロストが発生する場合があります。

RS ビット (リスタートコンディション発行要求)

マスタモード時にリスタートコンディションの発行を要求します。

本ビットを 1 にしてリスタートコンディションを要求すると、BBSY フラグが 1 (バスビジー状態) かつ MST ビットが 1 (マスタモード) のときに、リスタートコンディションが発行されます。リスタートコンディション発行の詳細については、[29.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグが 1 の状態で、1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- リスタートコンディションが発行されたとき (スタートコンディションが検出されたとき)
- ICSR2.AL (アービトレーションロスト) フラグが 1 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. ストップコンディション発行中に RS ビットを 1 にしないでください。

注. スレーブモードで RS ビットを 1 (リスタートコンディション要求) にすると、リスタートコンディションは発行されず、RS ビットは 1 のままになります。RS ビットがクリアされていない状態で動作モードをマスタモードに変更すると、リスタートコンディションが発行される場合があります。

SP ビット (ストップコンディション発行要求)

マスタモード時にストップコンディションの発行を要求します。

本ビットを 1 にすると、BBSY フラグが 1 (バスビジー状態) かつ MST ビットが 1 (マスタモード) のときに、ストップコンディションが発行されます。ストップコンディション発行の詳細については、[29.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグと ICCR2.MST ビットが両方とも 1 の状態で、1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- ストップコンディションが発行されたとき (ストップコンディションが検出されたとき)
- ICSR2.AL (アービトレーションロスト) フラグが 1 になったとき
- スタートコンディションおよびリスタートコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. BBSY フラグが 0 (バスフリー状態) のとき、SP ビットへの書き込みはできません。

注. リスタートコンディション発行中に SP ビットを 1 にしないでください。

TRS ビット (送信/受信モード)

送信/受信モードを示します。

IIC は、TRS ビットが 0 のときは受信モード、1 のときは送信モードになります。TRS ビットと MST ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行または検出時、および R/W# ビットの設定時に、TRS ビット値は自動的に 1 (送信モード) または 0 (受信モード) に変化します。ICMR1.MTWP ビットが 1 のとき、TRS ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1 になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき (ST ビットが 1 の状態で、スタートコンディションが検出されたとき)
- リスタートコンディション要求によってリスタートコンディションが正常に発行されたとき (RS ビットが 1 の状態で、リスタートコンディションが検出されたとき)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが 0 になったとき
- スレーブモードで受信したアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 1 を書いたとき

[0 になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL (アービトレーションロスト) フラグが 1 になったとき
- マスタモードで、R/W# ビットが付加されたスレーブアドレスに 1 が設定される時
- スレーブモード時、受信したアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ受信した R/W# ビットの値が 0 のとき (ジェネラルコールアドレスを受信した場合を含む)
- スレーブモード時、リスタートコンディションが検出されたとき (ICCR2.BBSY = 1、ICCR2.MST = 0 の状態でリスタートコンディションが検出されたとき)
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

MST ビット (マスタ/スレーブモード)

マスタモード/スレーブモードを示します。

IIC は、MST ビットが 0 のときはスレーブモード、1 のときはマスタモードになります。MST ビットと TRS ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行時、あるいはストップコンディションの発行または検出時、MST ビットの値は自動的に 1 (マスタモード) または 0 (スレーブモード) に変化します。ICMR1.MTWP ビットが 1 のとき、MST ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1 になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき (ST ビットが 1 の状態で、スタートコンディションが検出されたとき)
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 1 を書いたとき

[0 になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL (アービトレーションロスト) フラグが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスが占有されているか (バスビジー状態)、解放されているか (バスフリー状態) を示します。

SCL_n ラインが High のときに SDA_n ラインが High から Low に変化すると、スタートコンディションが発行されたとみなされて、本フラグは 1 になります。

SCL_n ラインが High の状態で SDA_n ラインが Low から High に変化するとき、バスフリー時間 (ICBRL レジスタの設定) のスタートコンディションが検出されないと、ストップコンディションが発行されたとみなされて、本フラグは 0 になります。

[1 になる条件]

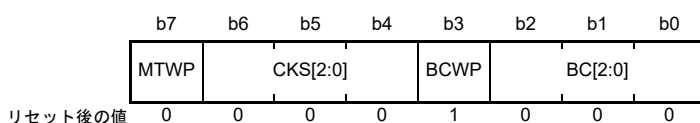
- スタートコンディションが検出されたとき

[0 になる条件]

- ストップコンディション検出後、バスフリー時間 (ICBRL レジスタの設定) スタートコンディションが検出されないとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

29.2.3 I²C バスモードレジスタ 1 (ICMR1)

アドレス IIC0.ICMR1 4005 3002h, IIC1.ICMR1 4005 3102h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0: 9ビット 0 0 1: 2ビット 0 1 0: 3ビット 0 1 1: 4ビット 1 0 0: 5ビット 1 0 1: 6ビット 1 1 0: 7ビット 1 1 1: 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクト	0: BC[2:0]ビットへの書き込み許可 1: BC[2:0]ビットへの書き込み禁止 読むと1が読めます。	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択	IICの内部基準クロックソース (IICφ) を選択します。 b6 b4 0 0 0: PCLKBクロック 0 0 1: PCLKB/2クロック 0 1 0: PCLKB/4クロック 0 1 1: PCLKB/8クロック 1 0 0: PCLKB/16クロック 1 0 1: PCLKB/32クロック 1 1 0: PCLKB/64クロック 1 1 1: PCLKB/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクト	0: ICCR2.MST、TRSビットへの書き込み禁止 1: ICCR2.MST、TRSビットへの書き込み許可	R/W

注 1. BC[2:0] ビットを書き換える場合は、同時に BCWP ビットを 0 にしてください。

BC[2:0] ビット (ビットカウンタ)

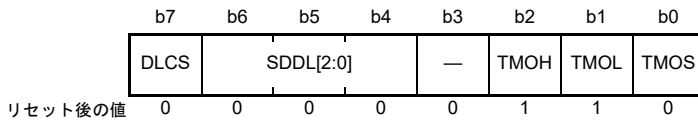
SCL_n ラインの立ち上がりエッジの検出時に、残りの転送ビット数を示すカウンタです。読み出しおよび書き込みは可能ですが、通常はこれらのビットへのアクセスは不要です。

なお、これらのビットへ書き込む場合は、SCL_n ラインが Low の状態で、転送するデータのビット数+1 (追加のアクノリッジビット分) を転送フレーム間で指定してください。

BC[2:0] ビットの値は、アクノリッジビットを含むデータ転送の終了時、あるいはスタートコンディション/リスタートコンディションの検出時に 000b に戻ります。

29.2.4 I²C バスモードレジスタ 2 (ICMR2)

アドレス IIC0.ICMR2 4005 3003h, IIC1.ICMR2 4005 3103h



ビット	シンボル	ビット名	機能	R/W																																																																								
b0	TMOS	タイムアウト検出時間選択	0: ロングモードを選択 1: ショートモードを選択	R/W																																																																								
b1	TMOL	タイムアウトLカウント制御	0: SCLnラインがLowの間カウントを禁止 1: SCLnラインがLowの間カウントを許可	R/W																																																																								
b2	TMOH	タイムアウトHカウント制御	0: SCLnラインがHighの間カウントを禁止 1: SCLnラインがHighの間カウントを許可	R/W																																																																								
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																																																																								
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> ICMR2.DLCS = 0 (IICφ) のとき <table border="0"> <tr><td>b6</td><td>b5</td><td>b4</td><td></td></tr> <tr><td>0</td><td>0</td><td>0</td><td>: 出力遅延なし</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>: IICφの1サイクル</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>: IICφの2サイクル</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>: IICφの3サイクル</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>: IICφの4サイクル</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>: IICφの5サイクル</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>: IICφの6サイクル</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>: IICφの7サイクル</td></tr> </table> <ul style="list-style-type: none"> ICMR2.DLCS = 1 (IICφ/2) のとき <table border="0"> <tr><td>b6</td><td>b5</td><td>b4</td><td></td></tr> <tr><td>0</td><td>0</td><td>0</td><td>: 出力遅延なし</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>: IICφの1または2サイクル</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>: IICφの3または4サイクル</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>: IICφの5または6サイクル</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>: IICφの7または8サイクル</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>: IICφの9または10サイクル</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>: IICφの11または12サイクル</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>: IICφの13または14サイクル</td></tr> </table>	b6	b5	b4		0	0	0	: 出力遅延なし	0	0	1	: IICφの1サイクル	0	1	0	: IICφの2サイクル	0	1	1	: IICφの3サイクル	1	0	0	: IICφの4サイクル	1	0	1	: IICφの5サイクル	1	1	0	: IICφの6サイクル	1	1	1	: IICφの7サイクル	b6	b5	b4		0	0	0	: 出力遅延なし	0	0	1	: IICφの1または2サイクル	0	1	0	: IICφの3または4サイクル	0	1	1	: IICφの5または6サイクル	1	0	0	: IICφの7または8サイクル	1	0	1	: IICφの9または10サイクル	1	1	0	: IICφの11または12サイクル	1	1	1	: IICφの13または14サイクル	R/W
b6	b5	b4																																																																										
0	0	0	: 出力遅延なし																																																																									
0	0	1	: IICφの1サイクル																																																																									
0	1	0	: IICφの2サイクル																																																																									
0	1	1	: IICφの3サイクル																																																																									
1	0	0	: IICφの4サイクル																																																																									
1	0	1	: IICφの5サイクル																																																																									
1	1	0	: IICφの6サイクル																																																																									
1	1	1	: IICφの7サイクル																																																																									
b6	b5	b4																																																																										
0	0	0	: 出力遅延なし																																																																									
0	0	1	: IICφの1または2サイクル																																																																									
0	1	0	: IICφの3または4サイクル																																																																									
0	1	1	: IICφの5または6サイクル																																																																									
1	0	0	: IICφの7または8サイクル																																																																									
1	0	1	: IICφの9または10サイクル																																																																									
1	1	0	: IICφの11または12サイクル																																																																									
1	1	1	: IICφの13または14サイクル																																																																									
b7	DLCS	SDA出力遅延クロックソース選択	0: SDA出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1: SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周 (IICφ/2) を選択 (注1)	R/W																																																																								

注1. DLCS = 1 (IICφ/2) の設定は、SCLがLowのときのみ有効です。SCLがHighのとき、DLCS = 1の設定は無効となり、クロックソースは内部基準クロック (IICφ) となります。

TMOS ビット (タイムアウト検出時間選択)

タイムアウト検出機能が有効 (ICFER.TMOE ビット = 1) の場合に、タイムアウト検出時間としてロングモードまたはショートモードを選択します。本ビットを0にすると、ロングモードが選択されます。TMOS ビットを1にすると、ショートモードが選択されます。ロングモードでは、タイムアウト検出用の内部カウンタが16ビットカウンタとして機能します。ショートモードでは、このカウンタが14ビットカウンタとして機能します。SCLnラインが、このカウンタをTMOHビットとTMOLビットの指定通り動作させる状態にあるとき、カウンタは内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、29.12.1 タイムアウト検出機能を参照してください。

TMOL ビット (タイムアウトLカウント制御)

SCLnラインがLowホールドであり、かつタイムアウト検出機能が有効時 (ICFER.TMOE ビット = 1) に、タイムアウト検出機能の内部カウンタによるカウントアップを許可または禁止します。

TMOH ビット (タイムアウト H カウント制御)

SCL_n ラインが High ホールドであり、かつタイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) に、タイムアウト検出機能の内部カウンタによるカウントアップを許可または禁止します。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDA 出力を遅延させるために、SDDL[2:0] ビットの設定値を使用することができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースで動作します。SDDL[2:0] 設定値は、アクノリッジビット送出を含むすべての種類の SDA 出力で使用可能です。

SDA 出力遅延時間は、データ有効時間 / アクノリッジ有効時間 (注 1) に対する I²C バス規格、または SMBus 規格を満たすように、「データホールド時間 (300ns 以上 + SCL クロックの Low 幅) - データセットアップ時間 (250ns)」の範囲内で設定してください。規格外に設定すると、デバイス間の通信に誤動作を引き起こすか、バスの状態によってはスタートコンディションまたはストップコンディションを誤って表示する可能性があります。

この機能の詳細については、[29.5 SDA 出力遅延機能](#)を参照してください。

- 注 1. データ有効時間 / アクノリッジ有効時間
3450ns (~ 100kbps) : スタンダードモード (Sm)
900ns (~ 400kbps) : ファストモード (Fm)

29.2.5 I²C バスモードレジスタ 3 (ICMR3)

アドレス IIC0.ICMR3 4005 3004h, IIC1.ICMR3 4005 3104h

b7	b6	b5	b4	b3	b2	b1	b0
SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択	b1 b0 0 0: 1IICφサイクル以下のノイズを除去 (フィルタは1段) 0 1: 2IICφサイクル以下のノイズを除去 (フィルタは2段) 1 0: 3IICφサイクル以下のノイズを除去 (フィルタは3段) 1 1: 4IICφサイクル以下のノイズを除去 (フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジ	0: アクノリッジビットに0を受信 (ACK受信) 1: アクノリッジビットに1を受信 (NACK受信)	R
b3	ACKBT	送信アクノリッジ	0: アクノリッジビットに0を送出 (ACK送信) 1: アクノリッジビットに1を送出 (NACK送信)	R/W (注1)
b4	ACKWP	ACKBT ライトプロテクト	0: ACKBT ビットへの書き込み禁止 1: ACKBT ビットへの書き込み許可	R/W (注1)
b5	RDRFS	RDRF フラグセットタイミング選択	0: SCLクロックの9クロック目の立ち上がりでRDRFフラグをセット 8クロック目の立ち下がりでSCLnラインのLowホールドを行わない 1: SCLクロックの8クロック目の立ち上がりでRDRFフラグをセット 8クロック目の立ち下がりでSCLnラインのLowホールドを行う LowホールドはACKBTビットへの書き込みで解除されます。	R/W (注2)
b6	WAIT	WAIT	0: ウェイトなし 9クロック目と1クロック目の間でSCLnのLowホールドを行わない 1: ウェイトあり 9クロック目と1クロック目の間でSCLnのLowホールドを行う LowホールドはICDRRレジスタの読み出しで解除されます。	R/W (注2)
b7	SMBS	SMBus/I ² Cバス選択	0: I ² Cバスを選択 1: SMBusを選択	R/W

注1. ACKBT ビットに書き込む場合は、ACKWP ビットがすでに1の状態であるときにのみ行ってください。ソフトウェアがACKWP ビットとACKBT ビットに同時に1を書き込んでも、ACKBT ビットは1になりません。

注2. WAIT ビットとRDRFS ビットは、受信モードでのみ有効 (送信モードでは無効) です。

NF[1:0] ビット (ノイズフィルタ段数選択)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、29.6 デジタルノイズフィルタ回路を参照してください。

注. ノイズフィルタで除去するノイズ幅は、SCLnラインのHigh幅またはLow幅よりも狭くなるように設定してください。ノイズ幅の設定が [SCLクロックの幅: High幅またはLow幅のいずれか短い方] - [1.5内部基準クロック (IICφ) サイクル + アナログノイズフィルタ: 120ns (参考値)] の値以上の場合、IICのノイズフィルタ機能はSCLクロックをノイズとみなし、IICは正常に動作することができなくなる可能性があります。

ACKBR ビット (受信アクノリッジ)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[1 になる条件]

- ICCR2.TRS ビットが 1 の状態で、アクノリッジビットに 1 を受信したとき

[0 になる条件]

- ICCR2.TRS ビットが 1 の状態で、アクノリッジビットに 0 を受信したとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

ACKBT ビット (送信アクノリッジ)

受信モード時に送出されるアクノリッジビットを設定します。

[1 になる条件]

- ACKWP ビットが 1 の状態で、本ビットに 1 を書いたとき

[0 になる条件]

- ACKWP ビットが 1 の状態で、本ビットに 0 を書いたとき
- ICCR2.SP ビットが 1 の状態で、ストップコンディションの発行を検出したとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

ACKWP ビット (ACKBT ライトプロテクト)

ACKBT ビットの書き込み許可を制御します。

RDRFS ビット (RDRF フラグセットタイミング選択)

受信モード時の RDRF フラグのセットタイミングと、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが 0 のとき、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドは行わず、SCL クロックの 9 クロック目の立ち上がりで RDRF フラグを 1 にします。

RDRFS ビットが 1 のとき、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行い、SCL クロックの 8 クロック目の立ち上がりで RDRF フラグを 1 にします。この SCLn ラインの Low ホールドは、ACKBT ビットへの書き込み値によって解除されます。

この設定でデータを受信した後、アクノリッジビット送出前に、SCLn ラインは自動的に Low ホールドされます。これによって、受信データの内容に応じた ACK (ACKBT ビットが 0) または NACK (ACKBT ビットが 1) の送出処理が可能となります。

WAIT ビット (WAIT)

受信モードにおいて 1 バイト受信ごとに、受信データバッファ (ICDRR レジスタ) の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low ホールドするかどうかを制御します。

WAIT ビットが 0 のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに 0 のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが 1 のとき、1 バイト受信ごとに、9 クロック目の立ち下がりで以降、ICDRR レジスタ値が読み出されるまでの間、SCLn ラインを Low にホールドします。これによって、1 バイトごとの受信動作が可能になります。

注. WAIT ビットの値を読み出す場合は、必ず最初に ICDRR レジスタを読み出してください。

SMBS ビット (SMBus/I²C バス選択)

SMBS ビットを 1 にすると、SMBus が選択されて、ICSER.HOAE ビットが有効になります。

29.2.6 I²C バスファンクションイネーブルレジスタ (ICFER)

アドレス IIC0.ICFER 4005 3005h, IIC1.ICFER 4005 3105h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効	0 : タイムアウト検出機能は無効 1 : タイムアウト検出機能は有効	R/W
b1	MALE	マスタアービトレーションロスト検出有効	0 : マスタアービトレーションロスト検出は無効 アービトレーションロスト発生時は、ICCR2.MSTビットとTRSビットの自動クリアも禁止する。 1 : マスタアービトレーションロスト検出は有効 アービトレーションロスト発生時は、ICCR2.MSTビットとTRSビットの自動クリアも許可する。	R/W
b2	NALE	NACK送信アービトレーションロスト検出有効	0 : NACK送信アービトレーションロスト検出は無効 1 : NACK送信アービトレーションロスト検出は有効	R/W
b3	SALE	スレーブアービトレーションロスト検出有効	0 : スレーブアービトレーションロスト検出は無効 1 : スレーブアービトレーションロスト検出は有効	R/W
b4	NACKE	NACK受信転送中断許可	0 : NACK受信時、転送を中断しない（転送中断禁止） 1 : NACK受信時、転送を中断する（転送中断許可）	R/W
b5	NFE	デジタルノイズフィルタ回路有効	0 : デジタルノイズフィルタ回路を使用しない 1 : デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効	0 : SCL同期回路を使用しない 1 : SCL同期回路を使用する	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TMOE ビット (タイムアウト検出機能有効)

タイムアウト検出機能を有効にします。

タイムアウト検出機能の詳細については、[29.12.1 タイムアウト検出機能](#)を参照してください。

MALE ビット (マスタアービトレーションロスト検出有効)

マスタモード時にアービトレーションロスト検出機能を使用するかどうかを指定します。通常の動作では、本ビットを1にしてください。

NALE ビット (NACK送信アービトレーションロスト検出有効)

受信モード時のNACK送出中にACKが検出された場合（同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択し、それぞれ受信バイト数が異なる場合など）に、アービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出有効)

スレーブ送信モード時に、送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズが原因で送信データとの不一致が生じた場合など）に、アービトレーションロストを発生させるかどうかを選択します。

NACK ビット (NACK 受信転送中断許可)

送信モード時に NACK を受信した場合、転送動作を継続するか中断するかを選択します。通常の動作では、本ビットを 1 にしてください。

NACK ビットが 1 の状態で NACK を受信した場合、次の転送動作が中断されます。NACK ビットが 0 の場合は、受信したアクノリッジの内容にかかわらず、次の転送動作が継続されます。

NACK 受信転送中断機能の詳細については、[29.9.2 NACK 受信転送中断機能](#)を参照してください。

SCLE ビット (SCL 同期回路有効)

SCL クロックを SCL 入力クロックと同期させるかどうかを選択します。通常の動作では、本ビットを 1 にしてください。

SCLE ビットを 0 (SCL 同期回路を使用しない) にすると、IIC は SCL クロックを SCL 入力クロックと同期させません。この設定の場合、SCL_n ラインの状態にかかわらず、IIC は、ICBRH および ICBRL レジスタで設定した転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合に、規格外の短い SCL クロックが出力される場合があります。また、SCL 同期回路を使用しないと、スタートコンディション/リスタートコンディション/ストップコンディションの発行と、追加 SCL クロックサイクルの連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているか確認する場合を除き、0 にしないでください。

29.2.7 I²C バスステータスイネーブルレジスタ (ICSER)

アドレス IIC0.ICSER 4005 3006h, IIC1.ICSER 4005 3106h

b7	b6	b5	b4	b3	b2	b1	b0
HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ 0 有効	0 : SARL0 および SARU0 のスレーブアドレスは無効 1 : SARL0 および SARU0 のスレーブアドレスは有効	R/W
b1	SAR1E	スレーブアドレスレジスタ 1 有効	0 : SARL1 および SARU1 のスレーブアドレスは無効 1 : SARL1 および SARU1 のスレーブアドレスは有効	R/W
b2	SAR2E	スレーブアドレスレジスタ 2 有効	0 : SARL2 および SARU2 のスレーブアドレスは無効 1 : SARL2 および SARU2 のスレーブアドレスは有効	R/W
b3	GCAE	ジェネラルコールアドレス有効	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b5	DIDE	デバイス ID アドレス検出有効	0 : デバイス ID アドレス検出は無効 1 : デバイス ID アドレス検出は有効	R/W
b6	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b7	HOAE	ホストアドレス有効	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 有効) (y = 0 ~ 2)

受信したスレーブアドレスと、SARLy および SARUy レジスタで設定したスレーブアドレスを有効または無効にします。

SARyE ビットを 1 にすると、SARLy および SARUy レジスタで設定したスレーブアドレスが有効になり、受信したスレーブアドレスと比較が行われます。SARyE ビットを 0 にすると、SARLy および SARUy レジスタで設定したスレーブアドレスが無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス有効)

ジェネラルコールアドレス (0000 000b + 0[W] : すべて 0) を受信した場合、それを無視するかどうかを選択します。

本ビットを 1 にした場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、IIC は、SARLy および SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをジェネラルコールアドレスと認識し、データ受信動作を行います。本ビットを 0 にした場合、受信したスレーブアドレスは、ジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出有効)

スタートコンディションまたはリスタートコンディション検出後の第 1 フレームでデバイス ID (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが 1 のときに、受信した第 1 フレームがデバイス ID と一致すると、IIC はデバイス ID アドレスを受信したと認識します。続く R/W# ビットが 0[W] の場合、IIC は第 2 フレーム以降をスレーブアドレスとみなして、受信動作を継続します。DIDE ビットが 0 の場合、IIC は受信した第 1 フレームがデバイス ID アドレスと一致してもそれを無視し、第 1 フレームを通常のスレーブアドレスと認識します。

デバイス ID アドレス検出機能の詳細については、[29.7.3 デバイス ID アドレス検出機能](#)を参照してください。

HOAE ビット (ホストアドレス有効)

ICMR3.SMBS ビットが 1 の場合、受信したホストアドレス (0001 000b) を無視するかどうかを指定します。

HOAE ビットが 1 で、かつ ICMR3.SMBS ビットも 1 の場合、受信したスレーブアドレスがホストアドレスと一致すると、IIC は SARLy および SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをホストアドレスとして認識し、受信動作を行います。ICMR3.SMBS ビットまたは HOAE ビットが 0 の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

29.2.8 I²C バス割り込みイネーブルレジスタ (ICIER)

アドレス IIC0.ICIER 4005 3007h, IIC1.ICIER 4005 3107h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可	0 : タイムアウト割り込み (TMOIn) 要求を禁止 1 : タイムアウト割り込み (TMOIn) 要求を許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可	0 : アービトレーションロスト割り込み (ALIn) 要求を禁止 1 : アービトレーションロスト割り込み (ALIn) 要求を許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可	0 : スタートコンディション検出割り込み (STIn) 要求を禁止 1 : スタートコンディション検出割り込み (STIn) 要求を許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可	0 : ストップコンディション検出割り込み (SPIn) 要求を禁止 1 : ストップコンディション検出割り込み (SPIn) 要求を許可	R/W
b4	NAKIE	NACK 受信割り込み要求許可	0 : NACK 受信割り込み (NAKIn) 要求を禁止 1 : NACK 受信割り込み (NAKIn) 要求を許可	R/W
b5	RIE	受信データフル割り込み要求許可	0 : 受信データフル割り込み (IICn_RXI) 要求を禁止 1 : 受信データフル割り込み (IICn_RXI) 要求を許可	R/W
b6	TEIE	送信終了割り込み要求許可	0 : 送信終了割り込み (IICn_TEI) 要求を禁止 1 : 送信終了割り込み (IICn_TEI) 要求を許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可	0 : 送信データエンプティ割り込み (IICn_TXI) 要求を禁止 1 : 送信データエンプティ割り込み (IICn_TXI) 要求を許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可)

ICSR2.TMOF フラグが 1 のとき、タイムアウト割り込み (TMOIn) 要求を許可します。TMOI 割り込み要求を解除するには、TMOF フラグまたは TMOIE ビットを 0 にします。

ALIE ビット (アービトレーションロスト割り込み要求許可)

ICSR2.AL フラグが 1 のとき、アービトレーションロスト割り込み (ALIn) 要求を許可します。ALI 割り込み要求を解除するには、AL フラグまたは ALIE ビットを 0 にします。

STIE ビット (スタートコンディション検出割り込み要求許可)

ICSR2.START フラグが 1 のとき、スタートコンディション検出割り込み (STIn) 要求を許可または禁止します。STI 割り込み要求を解除するには、START フラグまたは STIE ビットを 0 にします。

SPIE ビット (ストップコンディション検出割り込み要求許可)

ICSR2.STOP フラグが 1 のとき、ストップコンディション検出割り込み (SPIn) 要求を許可または禁止します。SPI 割り込み要求を解除するには、STOP フラグまたは SPIE ビットを 0 にします。

NAKIE ビット (NACK 受信割り込み要求許可)

ICSR2.NACKF フラグが 1 のとき、NACK 受信割り込み (NAKIn) 要求を許可または禁止します。NAKI 割り込み要求を解除するには、NACKF フラグまたは NAKIE ビットを 0 にします。

RIE ビット (受信データフル割り込み要求許可)

ICSR2.RDRF フラグが 1 のとき、受信データフル割り込み (IICn_RXI) 要求を許可または禁止します。

TEIE ビット (送信終了割り込み要求許可)

ICSR2.TEND フラグが 1 のとき、送信終了割り込み (IICn_TEI) 要求を許可または禁止します。IICn_TEI 割り込み要求を解除するには、TEND フラグまたは TEIE ビットを 0 にします。

TIE ビット (送信データエンプティ割り込み要求許可)

ICSR2.TDRE フラグが 1 のとき、送信データエンプティ割り込み (IICn_TXI) 要求を許可または禁止します。

29.2.9 I²C バスステータスレジスタ 1 (ICSR1)

アドレス IIC0.ICSR1 4005 3008h, IIC1.ICSR1 4005 3108h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0 : スレーブアドレス0未検出 1 : スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0 : スレーブアドレス1未検出 1 : スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0 : スレーブアドレス2未検出 1 : スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0 : ジェネラルコールアドレス未検出 1 : ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DID	デバイスIDアドレス検出フラグ	0 : デバイスIDコマンド未検出 1 : デバイスIDコマンド検出 スタートコンディション検出直後に受信した第1フレームが、[デバイスIDアドレス (1111 100b) + 0[W]]の値と一致した場合、1になります。	R/(W) (注1)
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	HOA	ホストアドレス検出フラグ	0 : ホストアドレス未検出 1 : ホストアドレス検出 受信したスレーブアドレスが、ホストアドレス (0001 000b) と一致した場合、1になります。	R/(W) (注1)

注1. フラグをクリアするための0の書き込みのみ可能です。

AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

AASy フラグは、スレーブアドレス y が検出されたかどうかを示します。

[1 になる条件]

【7 ビットアドレスフォーマット選択時 (SARUy.FS = 0)】

- ICSR.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビット値と一致したとき。そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

【10 ビットアドレスフォーマット選択時 (SARUy.FS = 1)】

- ICSR.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLy レジスタの値と一致したとき。そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

【7 ビットアドレスフォーマット選択時 (SARUy.FS = 0)】

- ICSEr.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビット値と不一致のとき。そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる

【10 ビットアドレスフォーマット選択時 (SARUy.FS = 1)】

- ICSEr.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と不一致のとき。そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICSEr.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLy レジスタの値と不一致のとき。そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる

GCA フラグ (ジェネラルコールアドレス検出フラグ)

GCA フラグは、ジェネラルコールアドレスが検出されたかどうかを示します。

[1 になる条件]

- ICSEr.GCAE ビットが 1 (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき。そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICSEr.GCAE ビットが 1 (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と不一致のとき。そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

DID フラグ (デバイス ID アドレス検出フラグ)

DID フラグは、デバイス ID アドレスが検出されたかどうかを示します。

[1 になる条件]

- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b) + 0[W]) の値と一致したとき。そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームがデバイス ID (1111 100b) と不一致のとき。そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b) + 0[W]) の値と一致し、かつ、第 2 フレームがスレーブアドレス 0 ~ 2 のすべてと不一致のとき。そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

HOA フラグ (ホストアドレス検出フラグ)

HOA フラグは、ホストアドレスが検出されたかどうかを示します。

[1 になる条件]

- IC SER.HOAE ビットが 1 (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき。そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- IC SER.HOAE ビットが 1 (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき。そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

29.2.10 I²C バスステータスレジスタ 2 (ICSR2)

アドレス IIC0.ICSR2 4005 3009h, IIC1.ICSR2 4005 3109h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0 : タイムアウト未検出 1 : タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0 : アービトレーションロスト未発生 1 : アービトレーションロスト発生	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0 : スタートコンディション未検出 1 : スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0 : ストップコンディション未検出 1 : ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK 検出フラグ	0 : NACK 未検出 1 : NACK 検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0 : ICDRR レジスタに受信データなし 1 : ICDRR レジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0 : データ送信中 1 : データ送信完了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0 : ICERT レジスタに送信データあり 1 : ICERT レジスタに送信データなし	R

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

TMOF フラグ (タイムアウト検出フラグ)

SCL_n ラインの状態が一定期間変化しなかったために、IIC がタイムアウトを検出したとき、TMOF フラグは 1 になります。

[1 になる条件]

- マスタモードまたはスレーブモード時に、ICFER.TMOE ビットが 1 (タイムアウト検出機能有効) で、かつ受信したスレーブアドレスが一致した状態で、ICMR2.TMOH ビット、ICMR2.TMOL ビット、ICMR2.TMOS ビットで指定した期間 SCL_n ライン状態が変化しなかったとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時に、バス競合などが原因で、バス占有権がアービトレーションロストしたことを示します。IIC は、送信中に SDA_n ラインのレベルを監視し、SDA_n ラインのレベルと出力中のビット値が一致していないと、AL フラグを 1 にすることで、バスが他のデバイスによって占有されていることを示します。さらに IIC は、AL フラグをセットすることで、NACK 送信中またはデータ送信中に、アービトレーションロストが検出されたことも示します。

[1 になる条件]

【マスタアービトレーションロスト検出有効時 (ICFER.MALE = 1)】

- マスタ送信モードでのデータ送信中の ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA_n ラインレベルと不一致のとき
- ICCR2.ST ビットが 1 (スタートコンディション発行要求) の状態でスタートコンディションが検出されたとき、または、内部の SDA 出力状態が SDA_n ラインレベルと不一致のとき
- ICCR2.BBSY フラグが 1 の状態で、ICCR2.ST ビットを 1 (スタートコンディション発行要求) にしたとき

【NACK アービトレーションロスト検出有効時 (ICFER.NALE = 1)】

- 受信モードでの NACK 送信中に、ACK 期間において、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA_n ラインレベルと不一致のとき

【スレーブアービトレーションロスト検出有効時 (ICFER.SALE = 1)】

- スレーブ送信モードでのデータ送信中の ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA_n ラインレベルと不一致のとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

表 29.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST ビットが 1 の状態で、スタートコンディション検出時に、内部の SDA 出力状態が SDA _n ラインレベルと不一致のとき ICCR2.BBSY が 1 の状態で、ICCR2.ST を 1 にしたとき
			1	送信データ不一致	マスタ送信モード時に、送信データ (スレーブアドレス含む) とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モード時に、NACK 送信中に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モード時に、送信データとバス状態が不一致のとき

x: Don't care

START フラグ (スタートコンディション検出フラグ)

START フラグは、スタートまたはリスタートコンディションが検出されたかどうかを示します。

[1 になる条件]

- スタートコンディション (またはリスタートコンディション) が検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

STOP フラグ (ストップコンディション検出フラグ)

STOP フラグは、ストップコンディションが検出されたかどうかを示します。

[1 になる条件]

- ストップコンディションが検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

NACKF フラグ (NACK 検出フラグ)

NACKF フラグは、NACK が検出されたかどうかを示します。

[1 になる条件]

- ICFER.NACKE ビットが 1 (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジを受信しなかった (NACK を受信した) とき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. NACKF フラグが 1 になると、IIC はデータ送受信動作を中断します。NACKF フラグが 1 の状態では、送信モードで ICDRT レジスタへ書き込みを行ったり、受信モードで ICDRR レジスタから読み出しを行ったりしても、データ送受信動作は許可されません。データ送受信動作を再開するには、NACKF フラグを 0 にしてください。

RDRF フラグ (受信データフルフラグ)

RDRF フラグは、IDCRR レジスタに受信データが含まれているかどうかを示します。

[1 になる条件]

- ICDRS レジスタから ICDRR レジスタへ受信データが転送されたとき。RDRF フラグは、SCL クロックの 8 クロック目または 9 クロック目 (ICMR3.RDRFS ビットで選択) の立ち上がりで 1 になる
- ICCR2.TRS ビットが 0 の状態で、スタートコンディションまたはリスタートコンディション検出後、受信したスレーブアドレスが一致したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICDRR レジスタからデータを読んだとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

TEND フラグ (送信終了フラグ)

TEND フラグは、データ送信がまだ送信中であるか、完了したかを示します。

[1 になる条件]

- TDRE フラグが 1 の状態での SCL クロックの 9 クロック目の立ち上がり時

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

TDRE フラグ (送信データエンプティフラグ)

TDRE フラグは、ICDRT レジスタに送信データが含まれているかどうかを示します。

[1 になる条件]

- ICDRT レジスタから ICDRS レジスタヘデータが転送され、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが 1 になったとき
- TRS ビットが 1 の状態で、受信したスレーブアドレスが一致したとき

[0 になる条件]

- ICDRT レジスタヘデータを書いたとき
- ICCR2.TRS ビットが 0 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注 . ICFER.NACKF ビットが 1 の状態で NACKF フラグが 1 になると、IIC はデータ送受信動作を中断します。このとき、TDRE フラグが 0 (次の送信データがすでに書き込まれている状態) であれば、9 クロック目の立ち上がりで ICDRS レジスタヘデータが転送され、ICDRT レジスタが空になりますが、TDRE フラグは 1 になりません。

29.2.11 I²C バスウェイクアップユニットレジスタ (ICWUR)

アドレス IIC0.ICWUR 4005 3016h

	b7	b6	b5	b4	b3	b2	b1	b0
	WUE	WUIE	WUF	WUACK	—	—	—	WUAFA
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WUAFA	ウェイクアップアナログフィルタ追加選択	0 : ウェイクアップアナログフィルタを追加しない 1 : ウェイクアップアナログフィルタを追加する	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	WUACK	ウェイクアップモード用ACK	IICR1.IICRSTビットとWUACKビットの組み合わせで、4つの応答モードから選択します。表 29.5を参照してください。	R/W
b5	WUF	ウェイクアップイベント発生フラグ	0 : ウェイクアップ機能時にスレーブアドレス不一致 1 : ウェイクアップ機能時にスレーブアドレス一致	R/W
b6	WUIE	ウェイクアップ割り込み要求許可	0 : ウェイクアップ割り込み要求 (IIC0_WUI) 禁止 1 : ウェイクアップ割り込み要求 (IIC0_WUI) 許可	R/W
b7	WUE	ウェイクアップ機能有効	0 : ウェイクアップ機能は無効 1 : ウェイクアップ機能は有効	R/W

表 29.5 ウェイクアップモード

IICRST	WUACK	動作モード	内容
0	0	ノーマルウェイクアップモード1	SCLクロックの9クロック目でACK応答を行い、9クロック目の後でSCLのLowホールドを行う。
0	1	ノーマルウェイクアップモード2	即時ACK応答せず、SCLクロックの8クロック目と9クロック目の間でSCLのLowホールドを行う。SCLのLowホールドを解除し、SCLクロックの9クロック目でACK応答を行う。
1	0	コマンドリターンモード	SCLクロックの9クロック目でACK応答を行い、SCLのLowホールドは行わない。
1	1	ECP応答モード	SCLクロックの9クロック目でNACK応答を行い、SCLのLowホールドは行わない。

WUF フラグ (ウェイクアップイベント発生フラグ)

WUF フラグは、ウェイクアップ時にスレーブアドレスが一致しているかどうかを示します。

[1 になる条件]

- ウェイクアップモード時、SCL クロックの最初から 8 番目の Low で、スレーブアドレスが一致した後、PCLKB が供給されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICE ビットが 0 で IICRST ビットが 1 のとき

29.2.12 I²C バスウェイクアップユニットレジスタ 2 (ICWUR2)

アドレス IIC0.ICWUR2 4005 3017h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	WUSY F	WUAS YF	WUSE N
リセット後の値	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	WUSEN	ウェイクアップ機能同期有効	0: IIC 非同期動作を許可 1: IIC 同期動作を許可	R/W
b1	WUASYF	ウェイクアップ機能非同期動作ステータスフラグ	0: IIC 同期動作を許可 1: IIC 非同期動作を許可	R
b2	WUSYF	ウェイクアップ機能同期動作ステータスフラグ	0: IIC 非同期動作を許可 1: IIC 同期動作を許可	R
b7-b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

WUSEN ビット (ウェイクアップ機能同期有効)

ウェイクアップ機能が有効 (ICWUR.WUE = 1) のとき、WUSEN ビットは、WUASYF フラグ (または WUSYF フラグ) との組み合わせで、PCLKB の動作 (同期動作/非同期動作) の切り替えに使用されます。

PCLKB の動作は、以下の場合に同期動作から非同期動作に切り替わります：

- WUASYF フラグが0の状態では WUSEN ビットに0が書き込まれ、ICCR2.BBSY フラグが0 (バスフリーの状態) のとき、PCLKB 非同期動作に切り替わった後、ウェイクアップイベントを検出すると、PCLKB の動作状態に関係なく、(PCLKB 停止状態で) 受信が実行される

PCLKB の動作は、以下の場合に非同期動作から同期動作に切り替わります：

- WUASYF フラグが1の状態では WUSEN ビットに1が書き込まれ、ウェイクアップイベントを検出したとき、1が書き込まれると、WUASYF フラグはただちに0になる
- ウェイクアップイベントが未検出の状態ではストップコンディションを検出したとき

WUASYF フラグ (ウェイクアップ機能非同期動作ステータスフラグ)

本フラグは、ウェイクアップ機能が有効 (ICWUR.WUE = 1) のとき、IIC を PCLKB 非同期動作に切り替えることが可能です。

[1 になる条件]

- ICCR2.BBSY フラグが0の場合に、ICWUR.WUE ビットが1の状態では WUSEN ビットを0にしたとき

[0 になる条件]

- ICWUR.WUE ビットが1の状態ではウェイクアップイベント検出後、WUSEN ビットに1が書き込まれたとき
- WUASYF フラグが1で ICWUR.WUE ビットも1の状態ではウェイクアップイベントを検出する前に、WUSEN ビットが1の状態ではストップコンディションが検出されたとき
- WUASYF フラグが1の状態では WUSEN ビットに1が書き込まれ、ICWUR.WUE ビットが1の状態ではウェイクアップイベントを検出したとき
- ICCR1.ICE = 0 かつ ICCRST = 1 (ICC リセット) のとき
- ICWUR.WUE = 0 のとき

WUSYF フラグ (ウェイクアップ機能同期動作ステータスフラグ)

本フラグは、ウェイクアップ機能が有効 (ICWUR.WUE = 1) のとき、IIC を PCLKB 同期動作に切り替えることが可能です。本フラグを使用すると、WUASYF フラグが予約されます。

[1 になる条件]

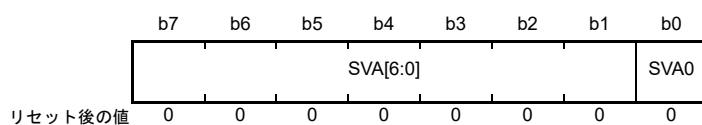
- WUSYF フラグが 0 で ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出後、WUSEN ビットに 1 が書き込まれたとき
- WUSYF フラグが 0 で ICWUR.WUE ビットが 0 の状態でウェイクアップイベントを検出する前に、WUSEN ビットが 1 の状態でストップコンディションが検出されたとき
- ICCR1.ICE = 0 かつ ICCRST = 1 (ICC リセット) のとき
- ICWUR.WUE = 0 のとき

[0 になる条件]

- WUSEN ビットに 0 を書き込んだ後、ICWUR.WUE ビットが 1 の状態で ICCR2.BBSY フラグが 0 のとき

29.2.13 スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)

アドレス IIC0.SARL0 4005 300Ah, IIC1.SARL0 4005 310Ah,
IIC0.SARL1 4005 300Ch, IIC1.SARL1 4005 310Ch,
IIC0.SARL2 4005 300Eh, IIC1.SARL2 4005 310Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレス設定	R/W
b7-b1	SVA[6:0]	7ビットアドレス/10ビットアドレス下位ビット	スレーブアドレス設定	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、本ビットは 10 ビットアドレスの最下位ビットとして機能します。また、SVA[6:0] ビットと組み合わせて 10 ビットアドレスの下位 8 ビットを形成します。

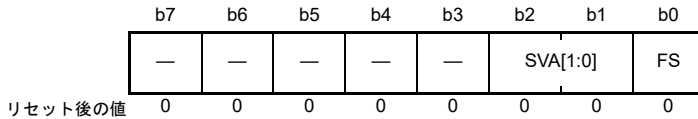
本ビットは、ICSER.SARyE ビットが 1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが 1 の場合に有効です。SARUy.FS ビットまたは SARyE ビットが 0 の場合、本ビットの設定値は無視されます。

SVA[6:0] ビット (7 ビットアドレス/10 ビットアドレス下位ビット)

7 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 0)、これらのビットは 7 ビットアドレスとして機能します。10 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、これらのビットは、SVA0 ビットと組み合わせて 10 ビットアドレスの下位 8 ビットを形成します。ICSER.SARyE ビットが 0 のとき設定値は無視されます。

29.2.14 スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)

アドレス IIC0.SARU0 4005 300Bh, IIC1.SARU0 4005 310Bh,
IIC0.SARU1 4005 300Dh, IIC1.SARU1 4005 310Dh,
IIC0.SARU2 4005 300Fh, IIC1.SARU2 4005 310Fh



ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択	0 : 7ビットアドレスフォーマットを選択 1 : 10ビットアドレスフォーマットを選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレス設定	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FS ビット (7 ビット/10 ビットアドレスフォーマット選択)

スレーブアドレス y (SARLy および SARUy レジスタ) に対して、7ビットアドレスまたは10ビットアドレスを選択します。

ICSER.SARyE ビットが1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが0の場合、スレーブアドレス y には7ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり、SVA[1:0] ビットと SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが1の場合、スレーブアドレス y には10ビットアドレスフォーマットが選択され、SVA[1:0] ビットおよび SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが0 (SARLy および SARUy レジスタ無効) の場合、SARUy.FS ビットの設定値は無効です。

SVA[1:0] ビット (10 ビットアドレス上位ビット)

10ビットアドレスフォーマット選択時 (FS ビット=1)、これらのビットは10ビットアドレスの上位2ビットとして機能します。

これらのビットは、ICSER.SARyE ビットが1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが1の場合に有効です。SARUy.FS ビットまたは SARyE ビットが0の場合、これらのビットの設定値は無視されます。

29.2.15 I²C バスビットレート Low レジスタ (ICBRL)

アドレス IIC0.ICBRL 4005 3010h, IIC1.ICBRL 4005 3110h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定	SCLクロックのLow幅	R/W
b7-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

BRL[4:0] ビット (ビットレート Low 幅設定)

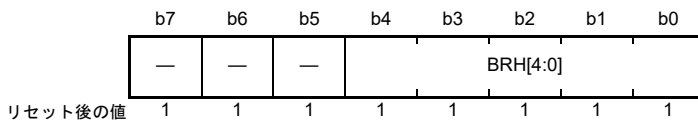
BRL[4:0] ビットは、SCL クロックの Low 幅を設定します。ICBRL レジスタは、ICMR1.CKS[2:0] ビットで指定した内部基準クロックソース (IIC ϕ) で Low 幅をカウントします。ICBRL は、SCL 自動 Low ホールド機能のデータセットアップ時間も生成します (29.9 SCL の自動 Low ホールド機能を参照)。IIC をスレーブモードのみで使用する場合、ICBRL レジスタはデータセットアップ時間 (注1) 以上の値を設定してください。

デジタルノイズフィルタ回路を有効 (ICFER.NFE ビット = 1) にした場合、BRL[4:0] ビットにはノイズフィルタの段数 + 1 以上の値を設定してください。この段数については、ICMR3.NF[1:0] ビットの説明を参照してください。

- 注1. データセットアップ時間 (t_{SU:DAT})
- 250ns (~ 100kbps) : スタンダードモード (Sm)
 - 100ns (~ 400kbps) : ファストモード (Fm)

29.2.16 I²C バスビットレート High レジスタ (ICBRH)

アドレス IIC0.ICBRH 4005 3011h, IIC1.ICBRH 4005 3111h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレート High 幅設定	SCL クロックの High 幅	R/W
b7-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

BRH[4:0] ビット (ビットレート High 幅設定)

SCL クロックの High 幅を設定します。BRH[4:0] ビットはマスタモードで有効になります。IIC をスレーブモードのみで使用する場合は、BRH[4:0] ビットを設定しないでください。

ICBRH レジスタは、ICMR1.CKS[2:0] ビットで指定した内部基準クロックソース (IICφ) で High 幅をカウントします。

デジタルノイズフィルタ回路を有効 (ICFER.NFE ビット = 1) にした場合、ICBRH レジスタにはノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットの説明を参照してください。

IIC 転送速度および SCL クロックのデューティ比は以下の式で算定します。

- ICFER.SCLE = 0 の場合
 転送速度 = $1 / \{[(BRH + 1) + (BRL + 1)] / IIC\phi + tr + tf\}$
 デューティ比 = $\{tr + [(BRH + 1) / IIC\phi]\} / \{tr + tf + [(BRH + 1) + (BRL + 1)] / IIC\phi\}$
- ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] = 000b (IICφ = PCLKB) の場合
 転送速度 = $1 / \{[(BRH + 3) + (BRL + 3)] / IIC\phi + tr + tf\}$
 デューティ比 = $\{tr + [(BRH + 3) / IIC\phi]\} / \{tr + tf + [(BRH + 3) + (BRL + 3)] / IIC\phi\}$
- ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] = 000b (IICφ = PCLKB) の場合
 転送速度 = $1 / \{[(BRH + 3 + nf) + (BRL + 3 + nf)] / IIC\phi + tr + tf\}$
 デューティ比 = $\{tr + [(BRH + 3 + nf) / IIC\phi]\} / \{tr + tf + [(BRH + 3 + nf) + (BRL + 3 + nf)] / IIC\phi\}$
- ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] ≠ 000b の場合
 転送速度 = $1 / \{[(BRH + 2) + (BRL + 2)] / IIC\phi + tr + tf\}$
 デューティ比 = $\{tr + [(BRH + 2) / IIC\phi]\} / \{tr + tf + [(BRH + 2) + (BRL + 2)] / IIC\phi\}$
- ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] ≠ 000b の場合
 転送速度 = $1 / \{[(BRH + 2 + nf) + (BRL + 2 + nf)] / IIC\phi + tr + tf\}$
 デューティ比 = $\{tr + [(BRH + 2 + nf) / IIC\phi]\} / \{tr + tf + [(BRH + 2 + nf) + (BRL + 2 + nf)] / IIC\phi\}$

注 1. IICφ = PCLKB × 分周比

注 2. SCLn ライン立ち上がり時間 [tr] および SCLn ライン立ち下がり時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細については、NXP 社の I²C バス規格書を参照してください。

注 3. nf = ICMR3.NF ビットで選択したデジタルノイズフィルタの段数

表 29.6 SCLE = 0 の場合の ICBRH/ICBRL 転送速度設定例

転送速度 (kbps)	CKS[2:0]	BRH[4:0] (ICBRH)	BRL[4:0] (ICBRL)	PCLKB (MHz)	NF[1:0]	計算式
100	011	15 (EFh)	18 (F2h)	32	—	1)
400	001	9 (E9h)	20 (F4h)	32	—	1)

表 29.7 SCLE = 1かつNFE = 0の場合のICBRH/ICBRL転送速度設定例

転送速度 (kbps)	CKS[2:0]	BRH[4:0] (ICBRH)	BRL[4:0] (ICBRL)	PCLKB (MHz)	NF[1:0]	計算式
100	011	14 (EEh)	17 (F1h)	32	—	4)
400	001	8 (E8h)	19 (F3h)	32	—	4)

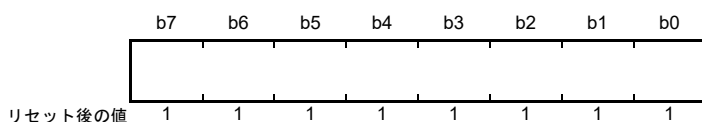
表 29.8 SCLE = 1かつNFE = 1の場合のICBRH/ICBRL転送速度設定例

転送速度 (kbps)	CKS[2:0]	BRH[4:0] (ICBRH)	BRL[4:0] (ICBRL)	PCLKB (MHz)	NF[1:0]	計算式
100	011	12 (ECh)	15 (EFh)	32	01b	5)
400	001	6 (E6h)	17 (F1h)	32	01b	5)

注 . SCLn ラインの立ち上がり時間 (tr) : 100kbps 以下、[Sm] : 1000ns、400kbps 以下、[Fm] : 300ns 以下
SCLn ラインの立ち下がり時間 (tf) : 400kbps 以下、[Sm/Fm] : 300ns 以下

29.2.17 I²C バス送信データレジスタ (ICDRT)

アドレス IIC0.ICDRT 4005 3012h, IIC1.ICDRT 4005 3112h



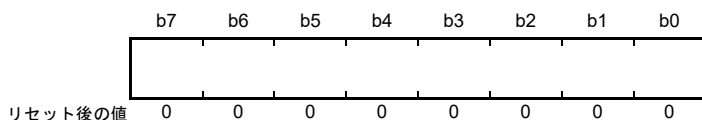
ICDRT レジスタは、I²C バスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データを ICDRS レジスタへ転送し、送信モードでデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構成になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書き込めば、連続送信動作が可能になります。

ICDRT レジスタは常に読み出し/書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (IICn_TXI) 要求が発生したときに 1 回だけ行ってください。

29.2.18 I²C バス受信データレジスタ (ICDRR)

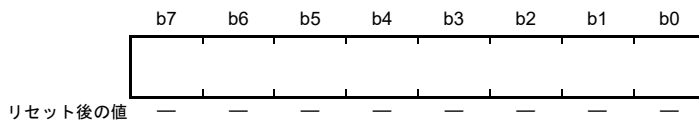
アドレス IIC0.ICDRR 4005 3013h, IIC1.ICDRR 4005 3113h



1 バイトのデータを受信すると、受信したデータは I²C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構成になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読み出せば、連続受信動作が可能になります。ICDRR レジスタに書き込むことはできません。ICDRR レジスタからの読み出しは、受信データフル割り込み (IICn_RXI) 要求が発生したときに 1 回だけ行ってください。

現在のデータを ICDRR レジスタから読み出す前に (ICSR2.RDRF フラグが 1 の状態のまま)、ICDRR レジスタが次の受信データを受け取ると、IIC は RDRF フラグが再び 1 になる前に自動的に SCL クロックを 1 クロック分 Low ホールドします。

29.2.19 I²C バスシフトレジスタ (ICDRS)

ICDRS レジスタは、データを送受信するための 8 ビットのシフトレジスタです。

送信時は、送信データが ICDRT レジスタから ICDRS レジスタへ転送されて、SDAn 端子からデータが送出されます。受信時は、1 バイトのデータ受信後に、データが ICDRS レジスタから ICDRR レジスタへ転送されます。ICDRS レジスタは、直接アクセスすることはできません。

29.3 動作説明

29.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションまたはリスタートコンディションに続くフレームは、マスタデバイスの通信先であるスレーブデバイスを指定するアドレスフレームです。指定されたスレーブは、新たにスレーブが指定されるか、またはストップコンディションが発行されるまで有効です。

図 29.3 に I²C バスフォーマットを、図 29.4 に I²C バスタイミングを示します。

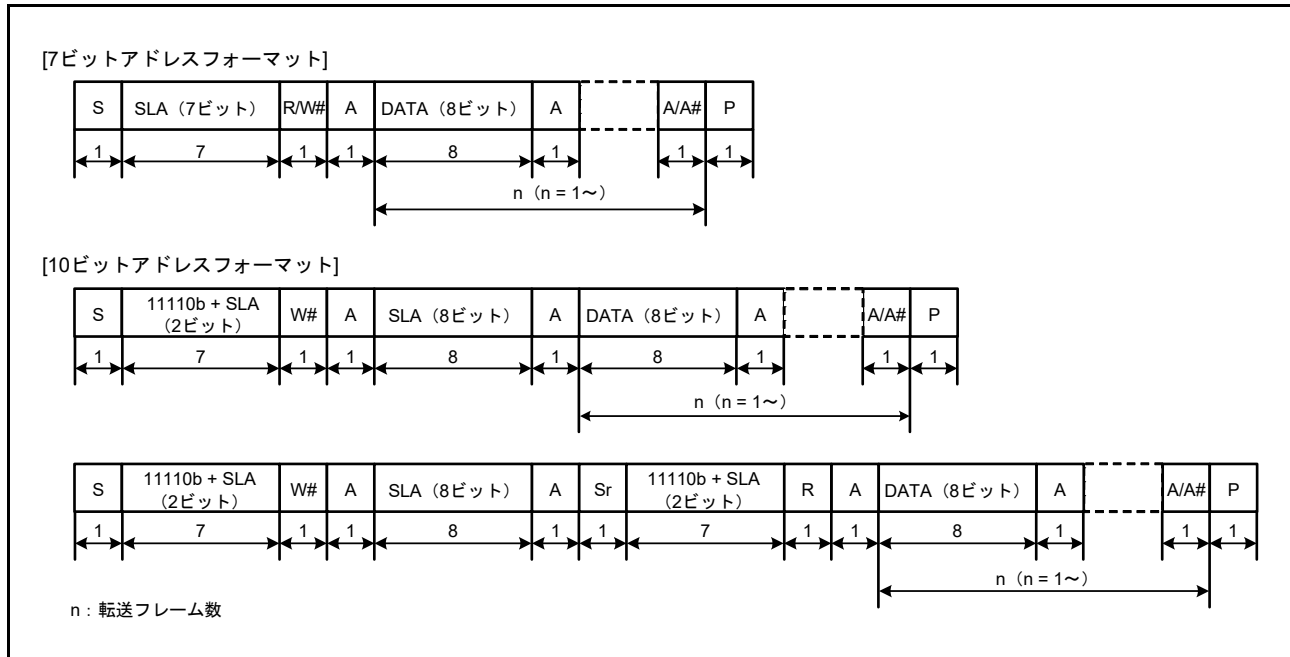


図 29.3 I²C バスフォーマット

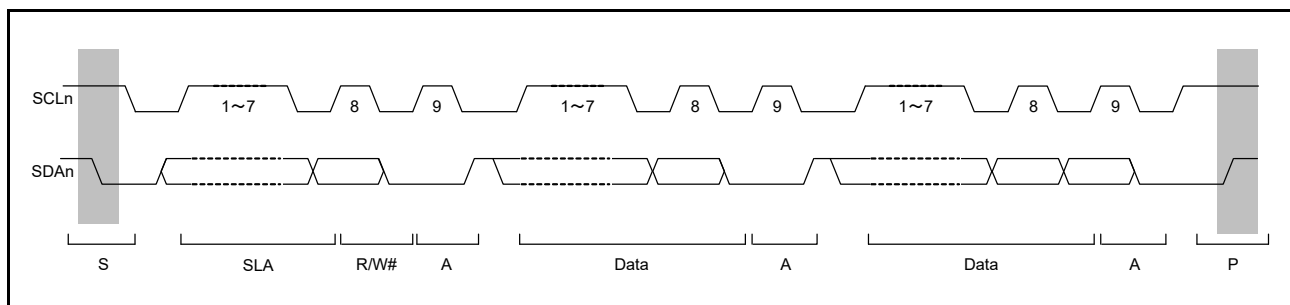


図 29.4 I²C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを表します。SCLnラインがHighのときに、マスタデバイスがSDAnラインをHighからLowに変化させます。
- SLA: スレーブアドレスを表します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: データ転送の方向を表します。R/W#が1のとき、スレーブデバイスからマスタデバイスの方向、R/W#が0のとき、マスタデバイスからスレーブデバイスの方向に送信します。
- A: アクノリッジを表します。受信デバイスがSDAnラインをLowにします。マスタ送信モード時はスレーブデバイスがアクノリッジを返します。マスタ受信モード時はマスタデバイスがアクノリッジを返します。
- A#: ノットアクノリッジを表します。受信デバイスがSDAnラインをHighにします。
- Sr: リスタートコンディションを表します。SCLnラインがHighのときに、セットアップ時間が経過した後、マスタデバイスがSDAnラインをHighからLowに変化させます。

DATA : 送信または受信されるデータを表します。

P : ストップコンディションを表します。SCLn ラインが High のときに、マスタデバイスが SDA_n ラインを Low から High に変化させます。

29.3.2 初期設定

データの送受信を開始する前に、[図 29.5](#) に示す手順に従って IIC を初期化してください。

1. ICCR1.ICE ビットを 0 にして、SCL_n 端子および SDA_n 端子を非駆動状態にします。
2. ICCR1.IICRST ビットを 1 にして、IIC のリセットを行います。
3. ICCR1.ICE ビットを 1 にして、内部リセットを行います。
4. SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL の各レジスタ (y=0~2) を設定します。必要に応じて、それ以外のレジスタも設定します。IIC の初期設定については、[図 29.5](#) を参照してください。
5. 必要なレジスタの設定が完了したら、ICCR1.IICRST ビットを 0 にして IIC リセットを解除してください。

注. すでに IIC の初期化が完了している場合、この手順は不要です。

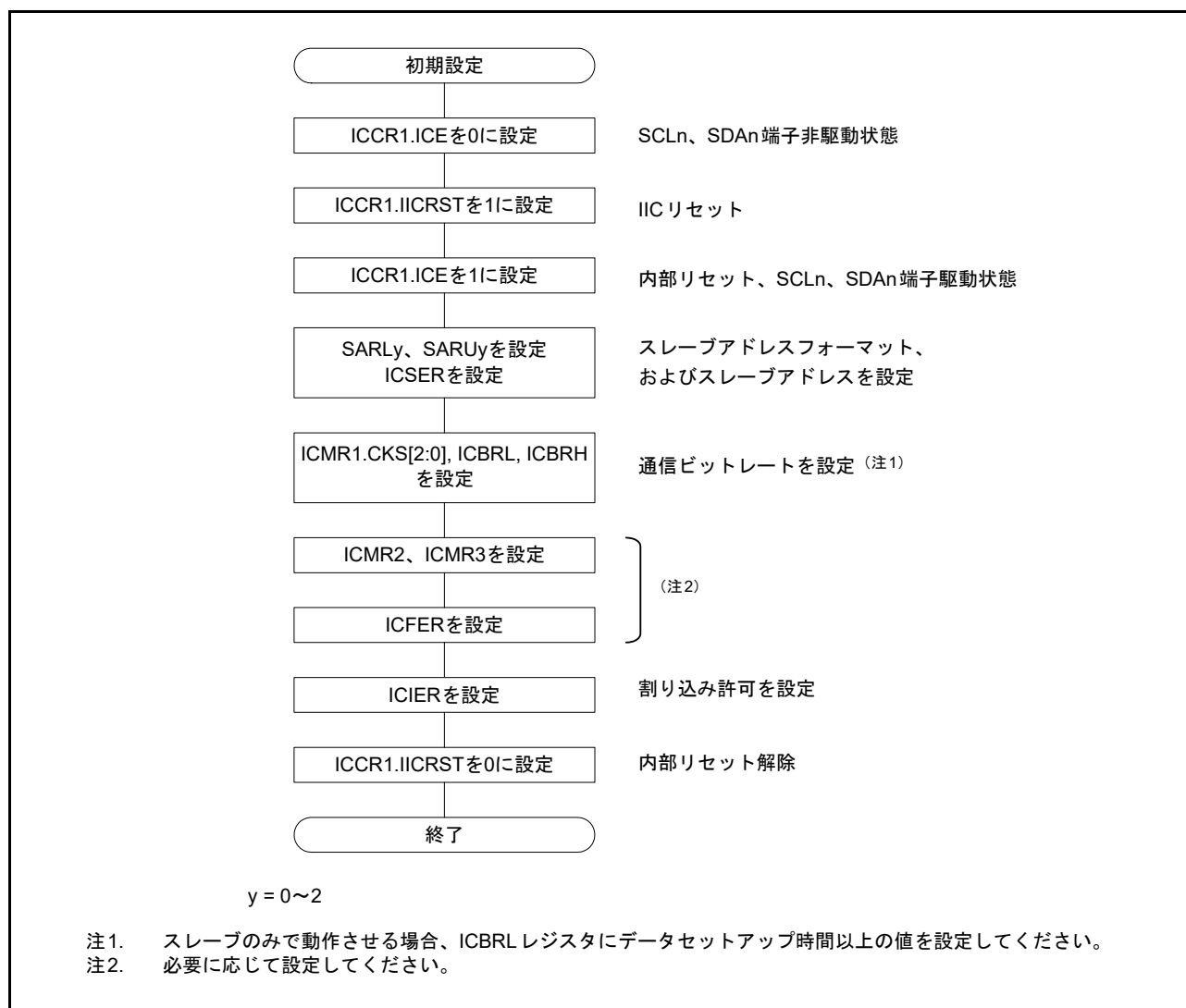


図 29.5 IIC の初期化フローチャート例

29.3.3 マスタ送信動作

マスタ送信動作では、マスタデバイスである IIC が SCL クロックと送信データ信号を出力し、スレーブデバイスがアクノリッジを返します。図 29.6 に、マスタ送信の例を示します。図 29.7 ~ 図 29.9 に、マスタ送信の動作タイミングを示します。

マスタ送信の設定および実行は以下の手順で行います。

1. 29.3.2 初期設定 に示す手順で IIC を初期化します。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに 1 を書き込みます (スタートコンディション要求)。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。同時に、ICSR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。ST ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力の内部レベルと SDA_n ラインのレベルが一致したとき、IIC は ST ビットで要求したスタートコンディションが正しく完了したと認識し、ICCR2.MST ビットと ICCR2.TRS ビットが自動的に 1 になって、IIC はマスタ送信モードになります。TRS ビットが 1 になると、それに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信後、送信された R/W# ビットの値に応じて TRS ビットの値が自動的に更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が 0 の場合、IIC はマスタ送信モードの状態を継続します。
このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。
データを 10 ビットフォーマットのアドレスで送信する場合は、最初に、1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビットおよび W (= 0) ビットを書きます。次に、2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。
なお、送信データの準備ができるまで、またはストップコンディションが発行されるまで、IIC は自動的に SCL_n ラインを Low にホールドします。
5. 送信データの全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るまで待つてから、ICCR2.SP ビットを 1 (ストップコンディション要求) にしてください。IIC はストップコンディション要求を受け付けると、ストップコンディションを発行します。ストップコンディション発行については、29.11.3 ストップコンディション発行動作 を参照してください。
6. IIC はストップコンディションを検出すると、ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 00b にして、スレーブ受信モードへ遷移します。さらに IIC は、TDRE フラグと TEND フラグを自動的に 0 にして、ICSR2.STOP フラグを 1 にします。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

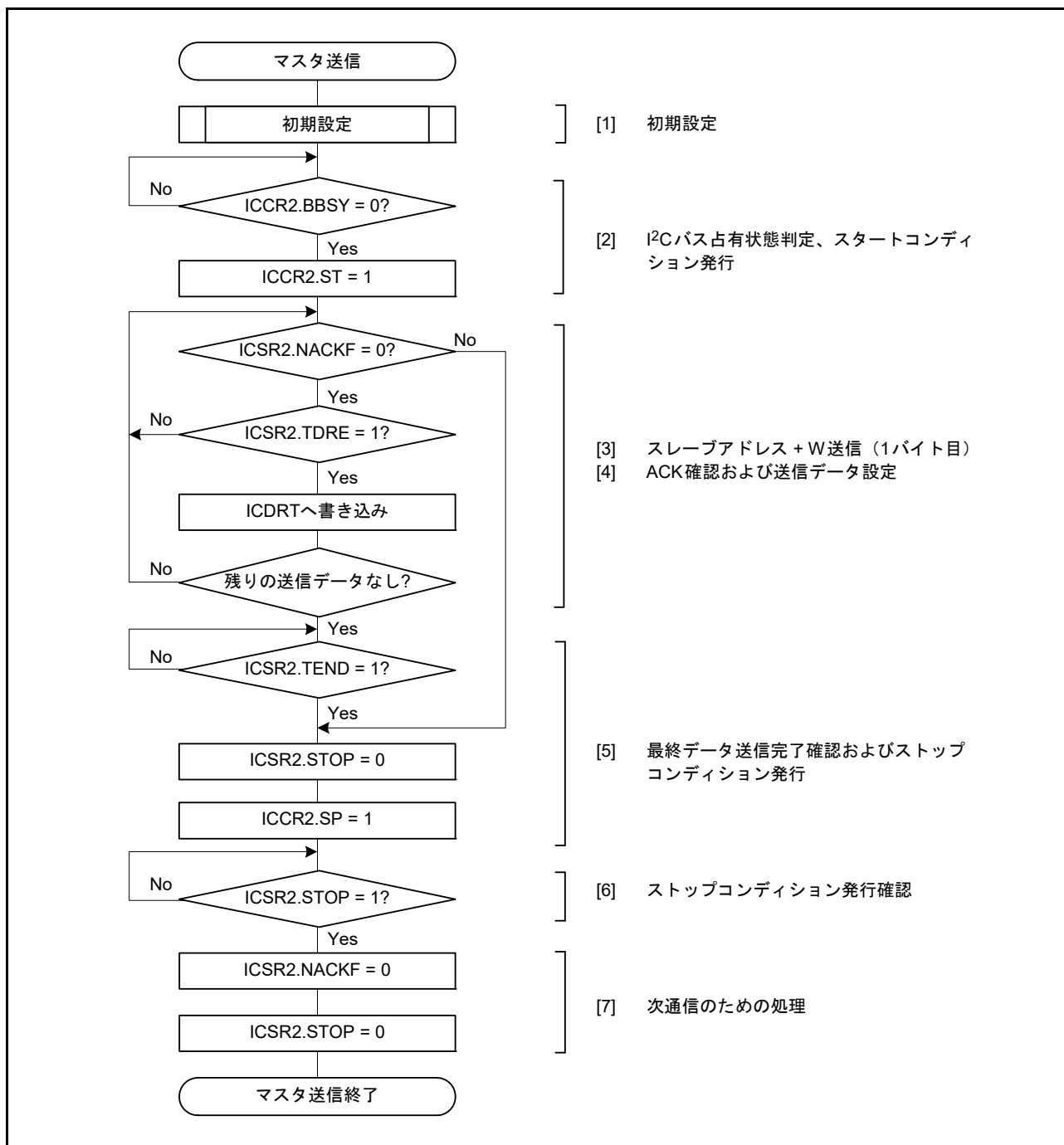


図 29.6 マスタ送信のフロー例

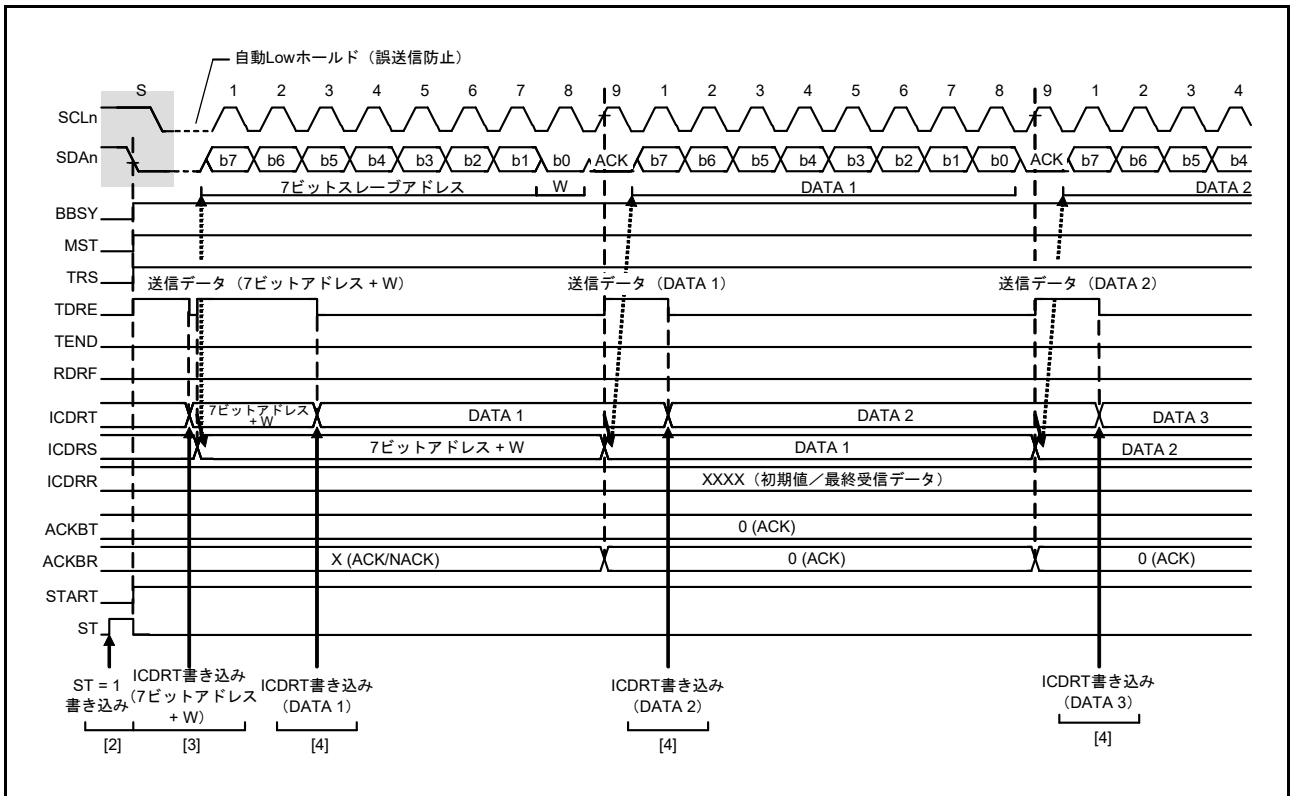


図 29.7 マスタ送信の動作タイミング (1) (7 ビットアドレスフォーマット)

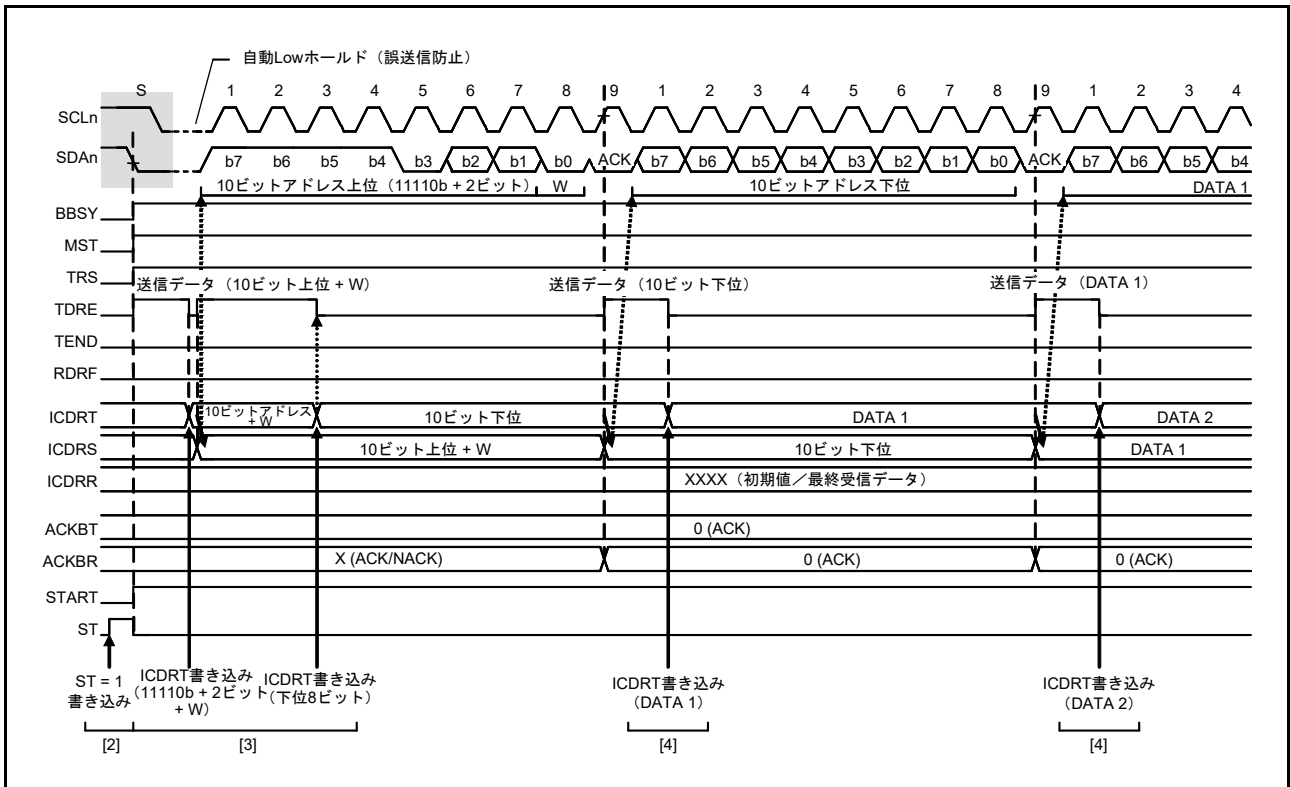


図 29.8 マスタ送信の動作タイミング (2) (10 ビットアドレスフォーマット)

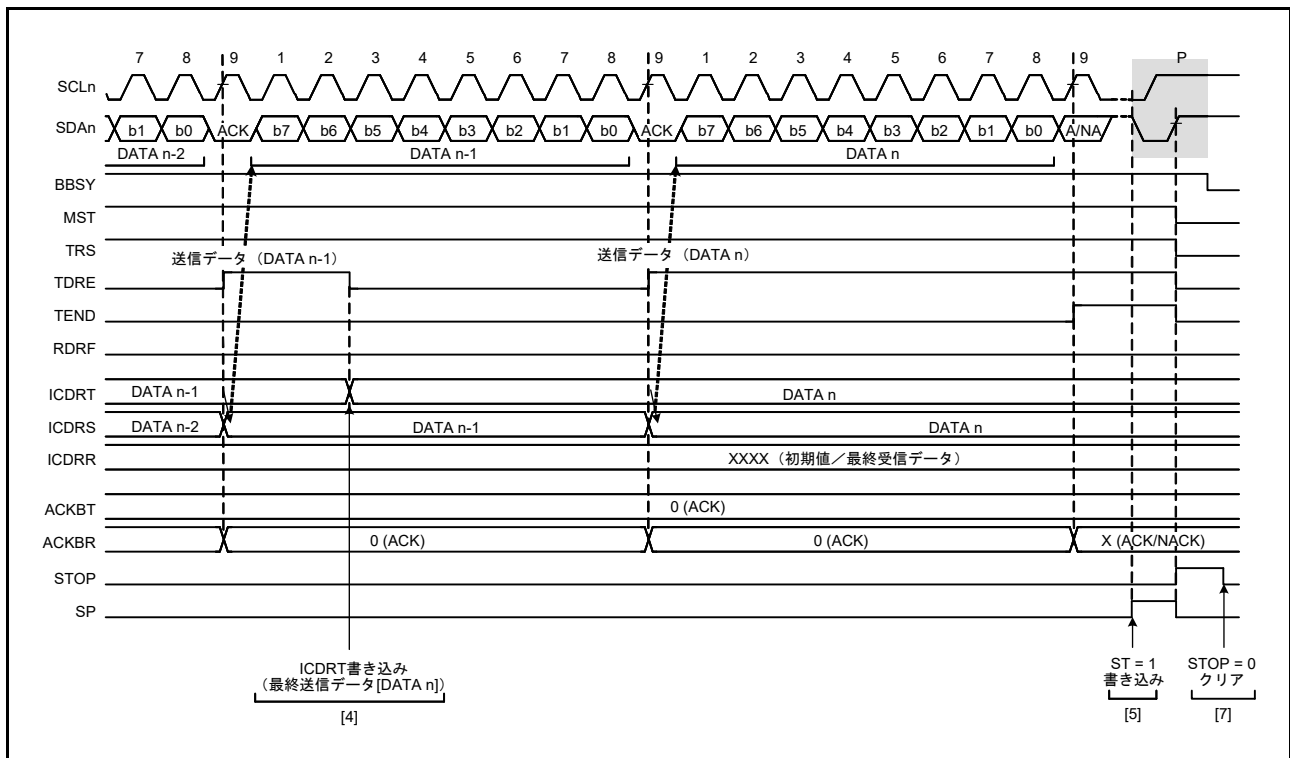


図 29.9 マスタ送信の動作タイミング (3)

29.3.4 マスタ受信動作

マスタ受信動作では、マスタデバイスである IIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初に、対応するスレーブデバイスにスレーブアドレスを送信するため、スレーブアドレス段階の手順ではマスタ送信モードで実行し、その後の手順ではマスタ受信モードで実行します。

図 29.10 と図 29.11 に、マスタ受信の例（7 ビットアドレスフォーマットの場合）を示します。図 29.12 ～図 29.14 に、マスタ受信の動作タイミングを示します。

マスタ受信の設定および実行は以下の手順で行います。

- 29.3.2 初期設定に示す手順で IIC を初期化します。
- ICCR2.BBSY フラグを読み出してバスが解放状態であることを確認した後、ICCR2.ST ビットを 1 にします（スタートコンディションの発行要求）。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。IIC がスタートコンディションを検出すると、ICSR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットは自動的に 0 になります。ST ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力のレベルと SDA_n ラインのレベルが一致したとき、IIC は ST ビットで要求したスタートコンディション発行が正しく完了したと認識し、ICCR2.MST ビットと ICCR2.TRS ビットが自動的に 1 になって、IIC はマスタ送信モードになります。TRS ビットが 1 になると、それに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
- ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（1 バイト目はスレーブアドレスと R/W# ビットの値を示す）を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトが送信されると、送信された R/W# ビットの値に応じて ICCR2.TRS ビットの値が自動的に更新され、送信モードまたは受信モードが選択されます。R/W# ビットの値が 1 の場合、SCL クロックの 9 クロック目の立ち上がりで TRS ビットが 0 になり、IIC はマスタ受信モードになります。TDRE フラグが 0 になり、ICSR2.RDRF フラグが自動的に 1 になります。
このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。1111 0b + スレーブアドレスの上位 2 ビットおよび R (=1) ビットを送信することで、IIC はマスタ受信モードになります。
- ICSR2.RDRF フラグが 1 であることを確認した後、ICDRT レジスタをダミーリードします。これにより、IIC は SCL クロックの出力とデータ受信動作を開始します。
- 1 バイトのデータの受信後、ICMR3.RDRFS ビットで設定した SCL クロック（クロック信号）の 8 クロック目または 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが 1 になります。ICDRT レジスタを読むと受信したデータを読むことができ、RDRF フラグは自動的に 0 になります。SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定した値が返信されます。次に受信するバイトが最後から 2 番目のバイトの場合、最後から 2 番目のバイトを含む ICDRT レジスタを読む前に、ICMR3.WAIT ビットを 1（WAIT あり）にしてください。これにより、手順（6）の ICMR3.ACKBT ビットを 1（NACK）にする処理が割り込みなどの他の処理によって遅れた場合でも、NACK 出力が可能になるとともに、最終バイトの受信時に 9 クロック目の立ち上がりで SCL_n ラインを Low に固定して、ストップコンディションの発行が可能になります。
- ICMR3.RDRFS ビットが 0 で、かつスレーブデバイスに対して、次および最終バイトの転送でデータ受信が終了すべきであることを通知する必要がある場合は、ICMR3.ACKBT ビットを 1（NACK）にしてください。
- 最後から 2 番目のバイトを ICDRT レジスタから読み出した後、ICSR2.RDRF フラグが 1 であれば、（ストップコンディションを要求するために）ICCR2.SP ビットを 1 にした後、ICDRT レジスタの最終バイトを読み出してください。ICDRT レジスタの読み出し時、IIC はウェイト状態から解除され、9 クロック目の Low 出力終了後または SCL_n ラインの Low ホールド解除後に、ストップコンディションを発行します。

- 8. ストップコンディションの検出時に、IIC は ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 00b にして、スレーブ受信モードへ遷移します。また、ストップコンディションの検出によって、ICSR2.STOP フラグが 1 になります。
- 9. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

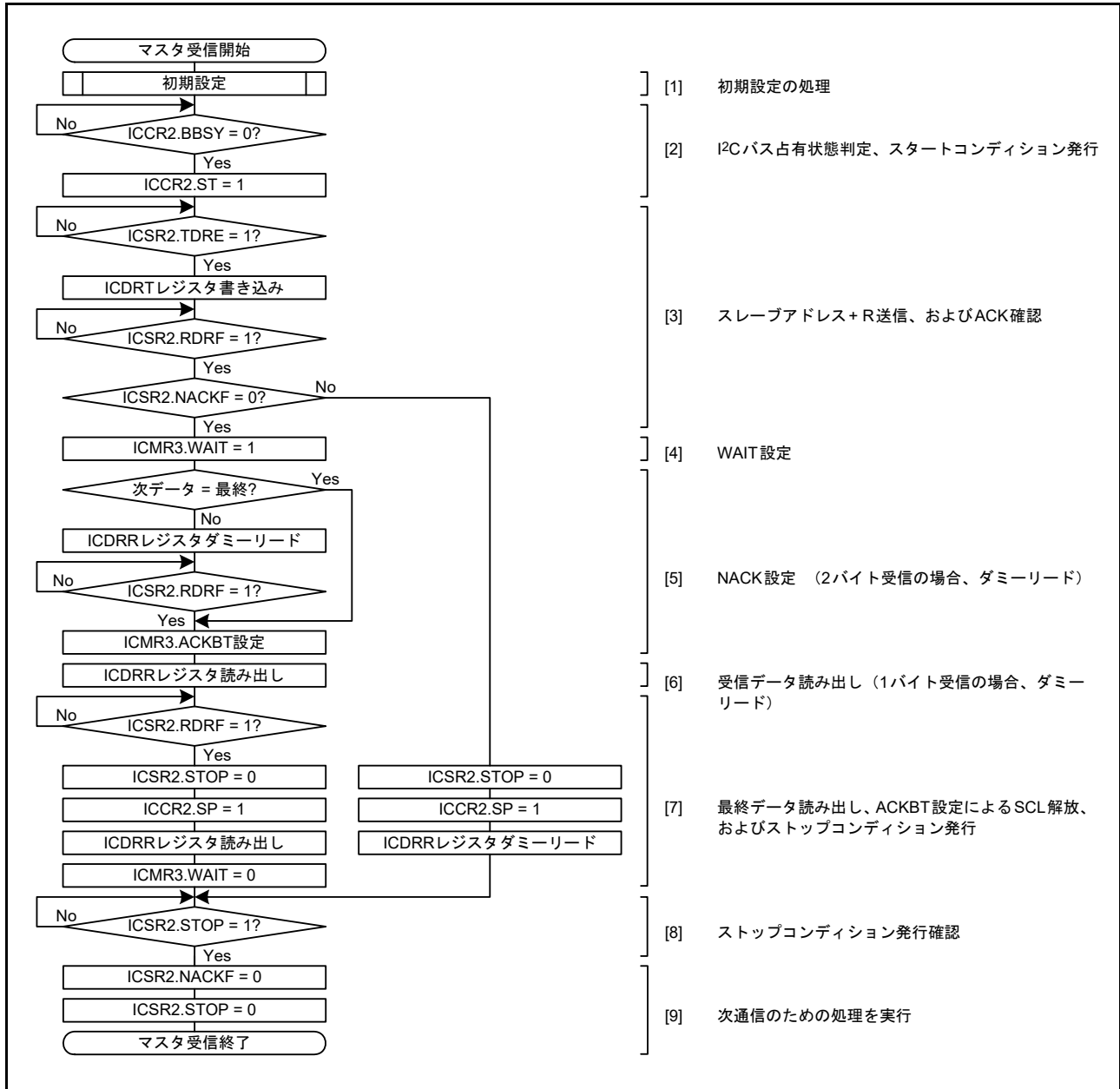


図 29.10 マスタ受信のフローチャート例 (7 ビットアドレスフォーマットで 1 または 2 バイト受信の場合)

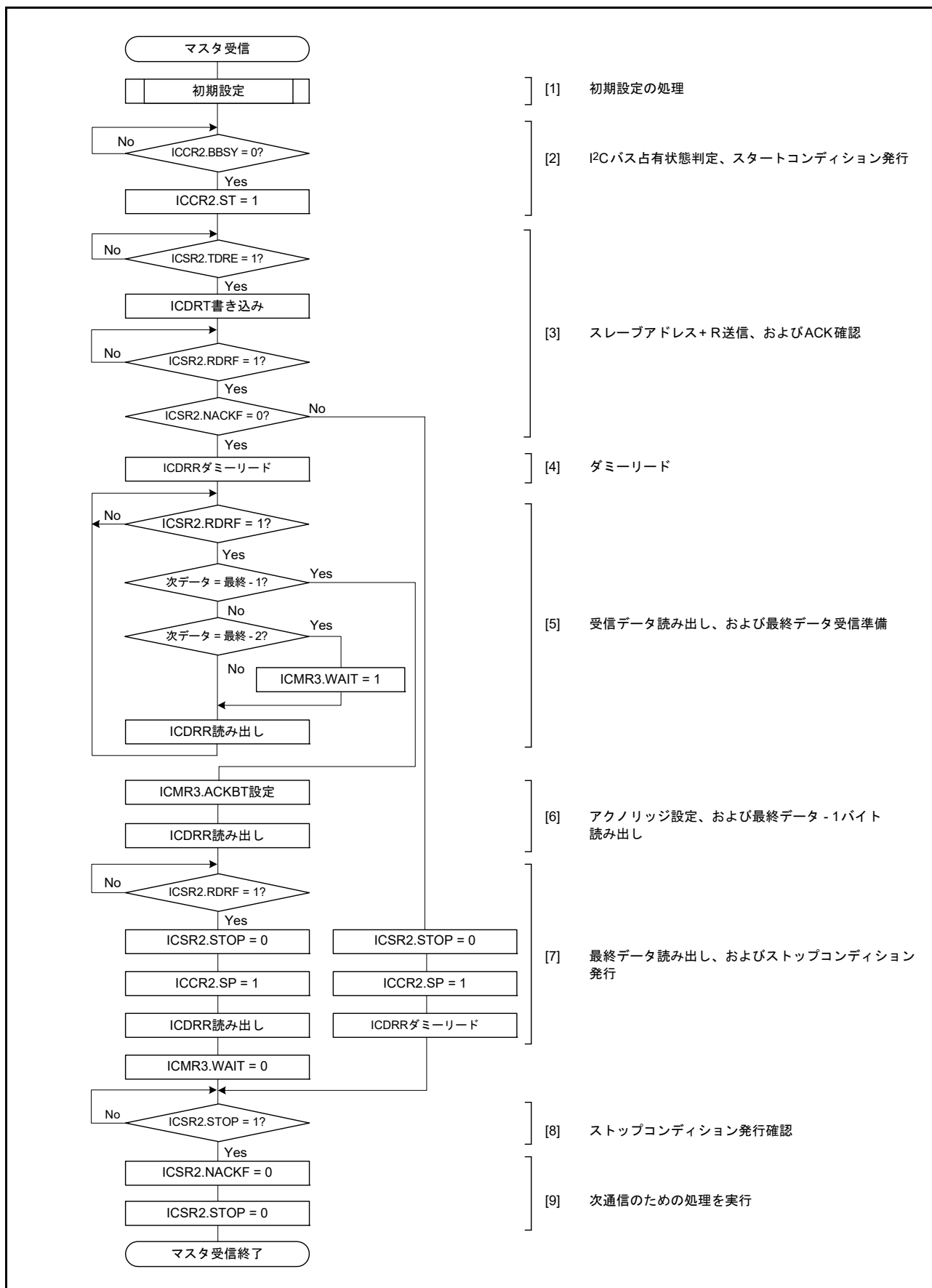


図 29.11 マスタ受信のフローチャート例 (7ビットアドレスフォーマットで3バイト以上受信の場合)

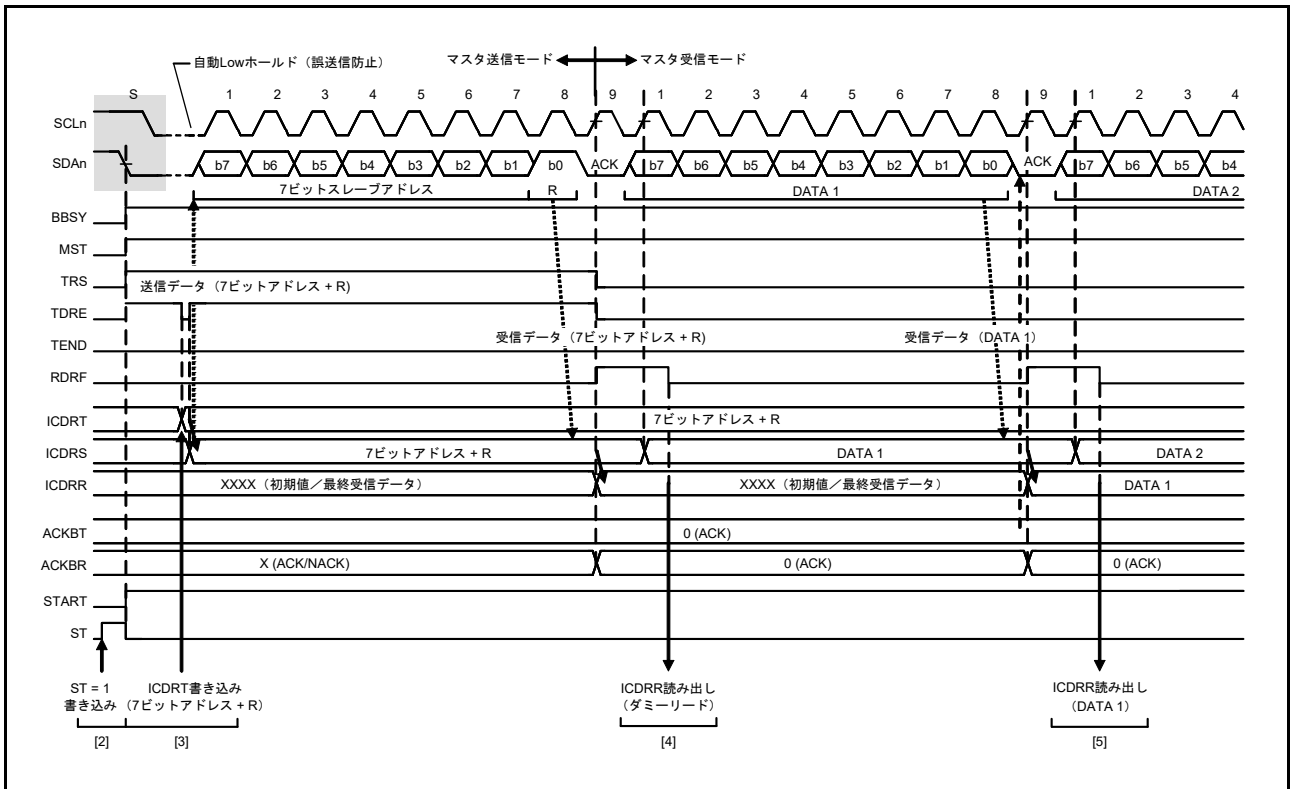


図 29.12 マスタ受信の動作タイミング (1) (7 ビットアドレスフォーマットで RDRFS = 0 の場合)

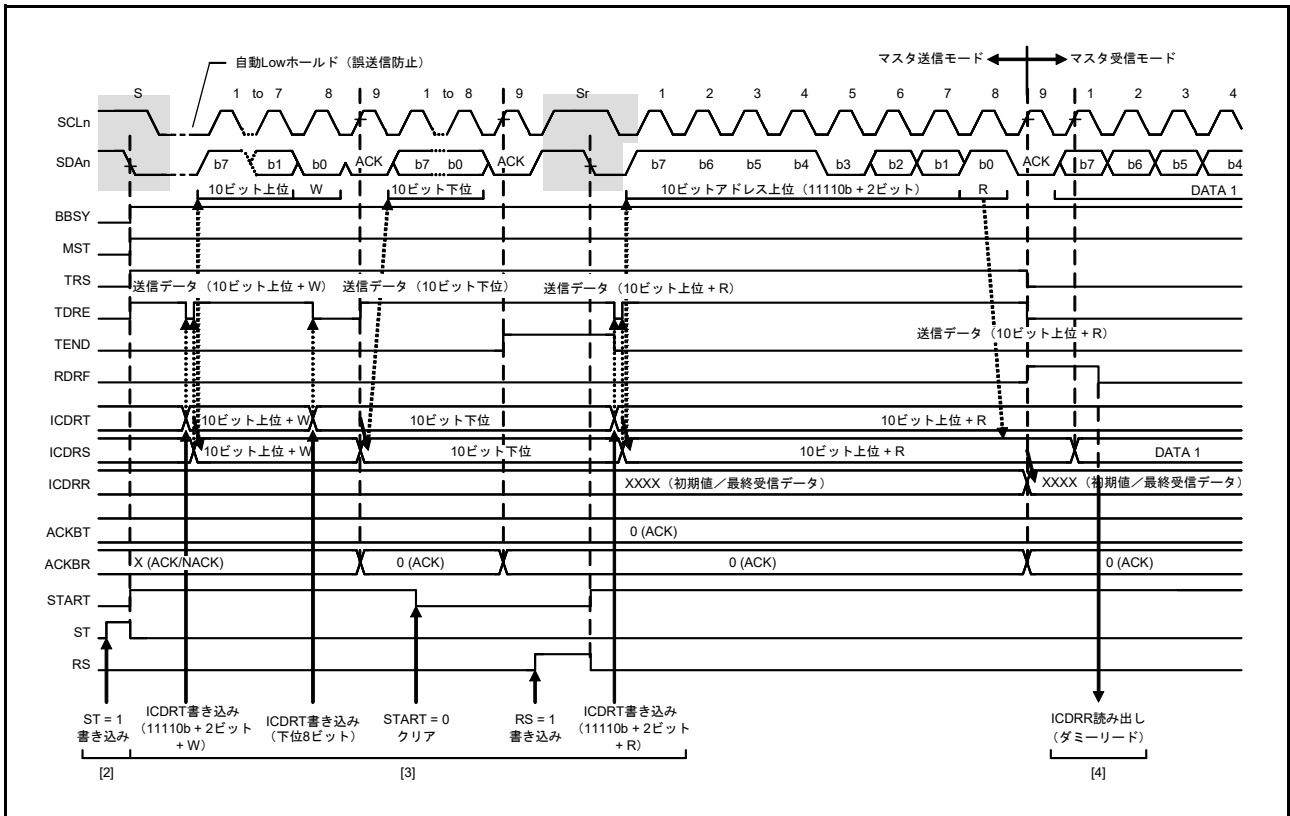


図 29.13 マスタ受信の動作タイミング (2) (10 ビットアドレスフォーマットで RDRFS = 0 の場合)

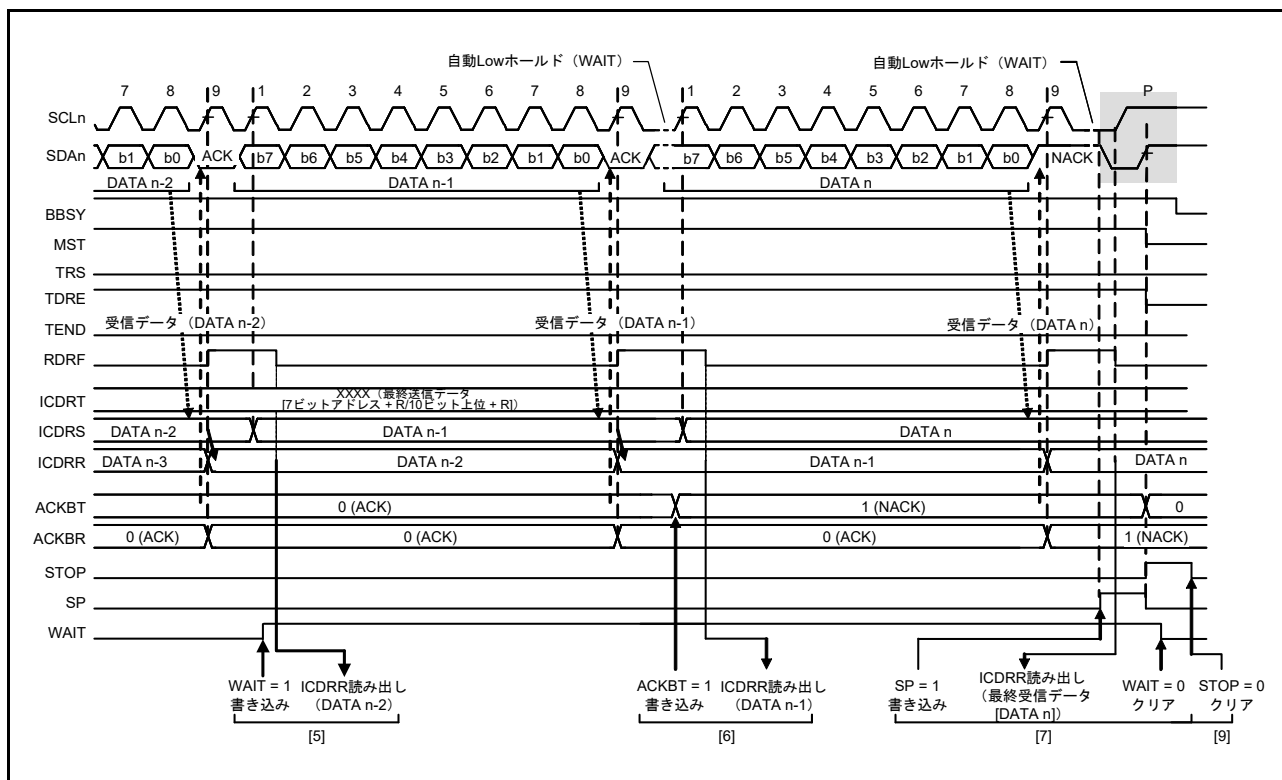


図 29.14 マスタ受信の動作タイミング (3) (RDRFS = 0 の場合)

29.3.5 スレーブ送信動作

スレーブ送信動作では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである IIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 29.15 に、スレーブ送信の例を示します。図 29.16 および図 29.17 に、スレーブ送信の動作タイミングを示します。

スレーブ送信の設定および実行は以下の手順で行います。

1. IIC を初期化する場合は、29.3.2 初期設定 に示す手順に従ってください。
初期化の後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA, GCA, AAS_y ビット (y=0~2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にして、SCL クロックの 9 クロック目のアクノリッジビットとして ICMR3.ACKBT ビットの設定値を出力します。受信した R/W# ビットの値が 1 のとき、IIC は ICCR2.TRS ビットと ICSR2.TDRE フラグの両方を 1 にすることで、自動的にスレーブ送信モードに切り替わります。
3. ICSR2.TEND フラグが 1 であることを確認し、送信データを ICDRT レジスタに書き込んでください。ICFER.NACKF ビットが 1 の状態でマスタデバイスからアクノリッジを受信しなかった (NACK を受信した) 場合、IIC は次の転送動作を中断します。
4. ICSR2.NACKF フラグが 1 になるか、または最終送信バイトを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが 1 の状態で、ICSR2.TEND フラグが 1 になるまで待ってください。ICSR2.NACKF フラグが 1 または TEND フラグが 1 の場合、IIC は SCL クロックの 9 クロック目の立ち下がり SCL_n ラインを Low にします。
5. ICSR2.NACKF フラグが 1 または ICSR2.TEND フラグが 1 の場合、終了処理のため ICDRR レジスタをダミーリードしてください。これによって SCL_n ラインが開放されます。
6. IIC はストップコンディションを検出すると、ICSR1.HOA、GCA、AAS_y ビット (y=0~2)、ICSR2.TDRE、TEND フラグ、および ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。
7. ICSR2.STOP フラグが 1 であることを確認し、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

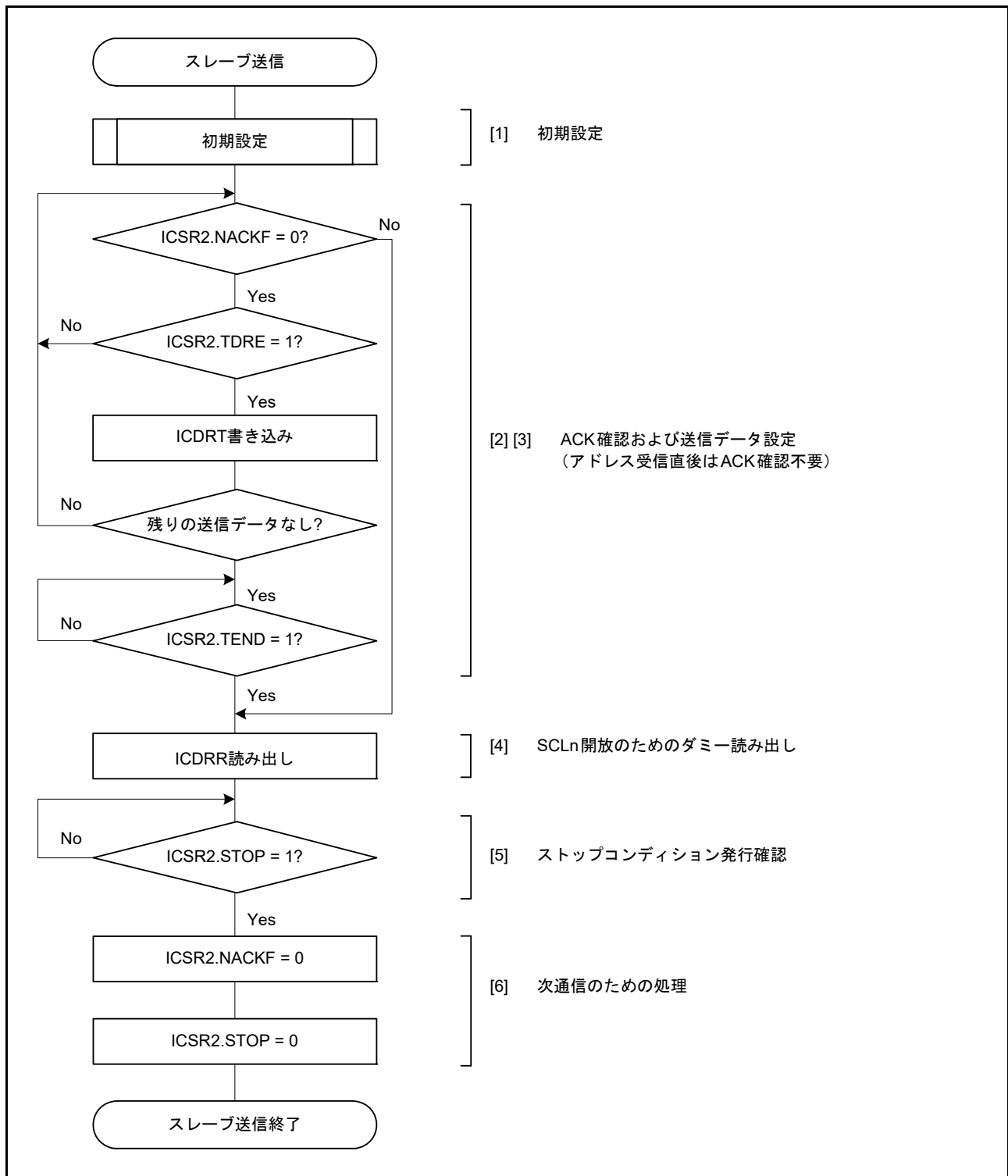


図 29.15 スレーブ送信のフロー例

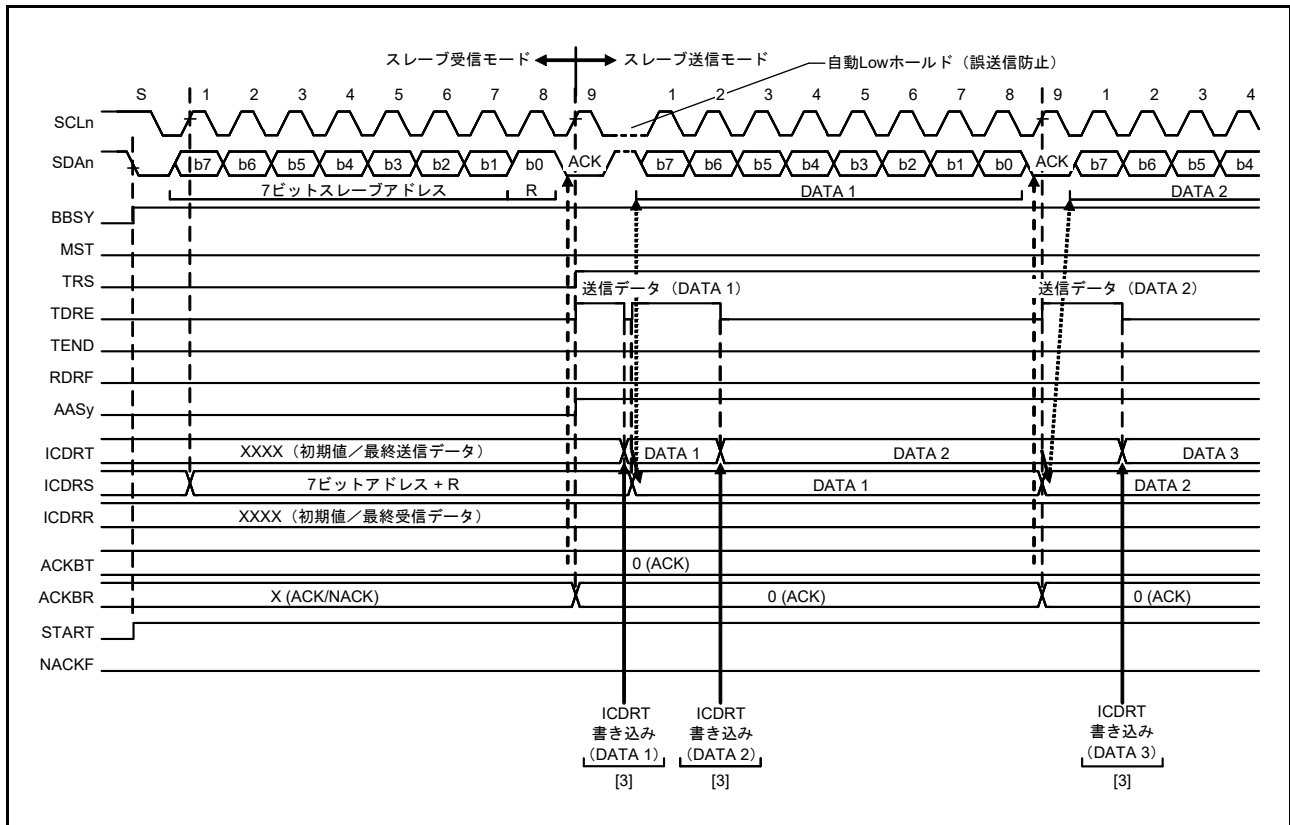


図 29.16 スレープ送信の動作タイミング (1) (7 ビットアドレスフォーマット)

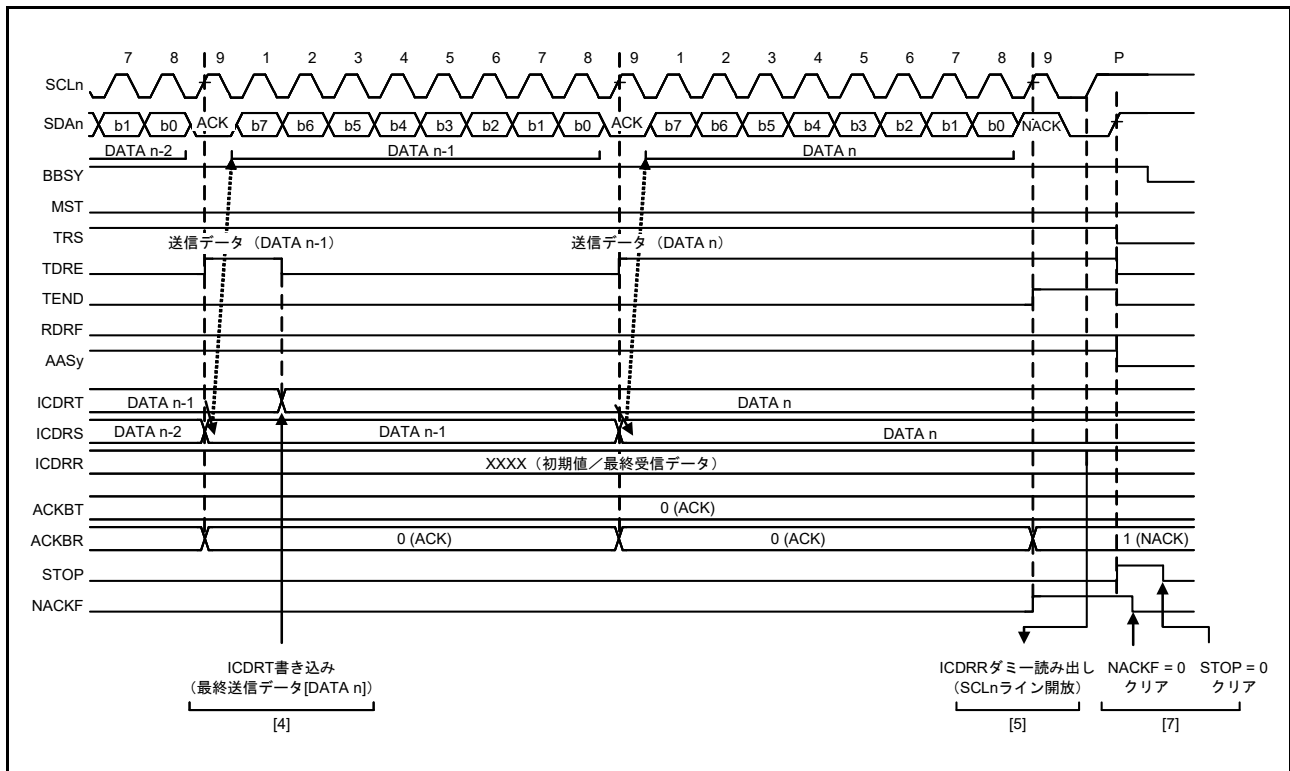


図 29.17 スレープ送信の動作タイミング (2)

29.3.6 スレーブ受信動作

スレーブ受信動作では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである IIC がアクノリッジを返します。

図 29.18 に、スレーブ受信の例を示します。図 29.19 および図 29.20 に、スレーブ受信の動作タイミングを示します。

スレーブ受信の設定および実行は以下の手順で行います。

- IIC を初期化する場合は、29.3.2 初期設定 に示す手順に従ってください。
初期化の後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
- スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA, GCA, AASy ビット (y=0~2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にして、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。
受信した R/W# ビットの値が 0 であれば、IIC はスレーブ受信モードを継続し、ICSR2.RDRF フラグを 1 にします。
- ICSR2.STOP フラグが 0 であることと、ICSR2.RDRF フラグが 1 であることを確認し、ICDRR レジスタをダミーリードしてください。ダミーリードした値は、7 ビットアドレスフォーマット選択時はスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット選択時は下位 8 ビットアドレスです。
- ICDRR レジスタが読み出されると、IIC は ICSR2.RDRF フラグを自動的に 0 にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが 1 のまま次のバイトを受信すると、IIC は RDRF フラグが設定されるポイントの 1 つ手前の SCL クロックで SCLn ラインを Low にホールドします。この場合、ICDRR レジスタを読み出すと、SCLn ラインが Low ホールド状態から解放されます。
ICSR2.STOP フラグが 1 で、かつ ICSR2.RDRF フラグが 1 の場合、全データの受信が完了するまで ICDRR レジスタを読み出してください。
- IIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0~2) を自動的に 0 にします。
- ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために ICSR2.STOP フラグを 0 にしてください。

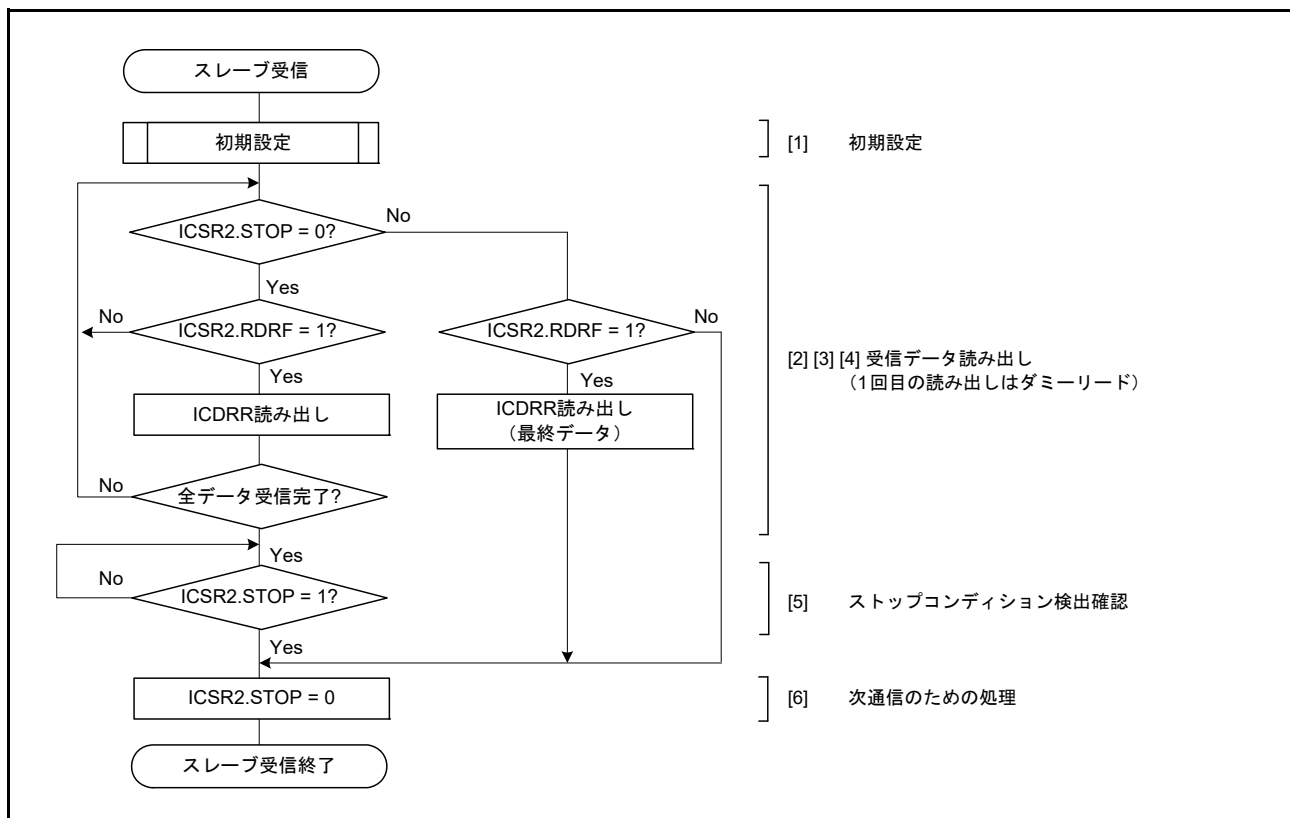


図 29.18 スレーブ受信のフロー例

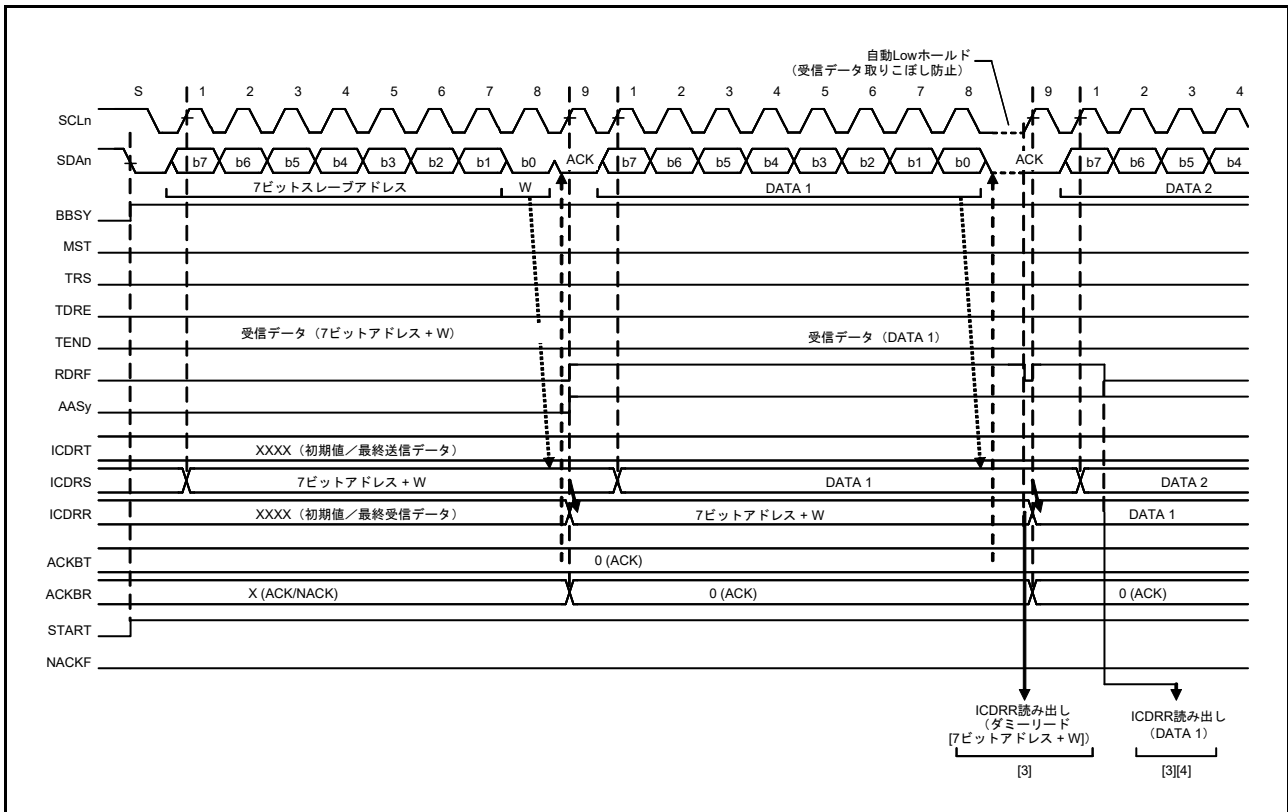


図 29.19 スレーブ受信の動作タイミング (1) (7 ビットアドレスフォーマットで RDRFS = 0 の場合)

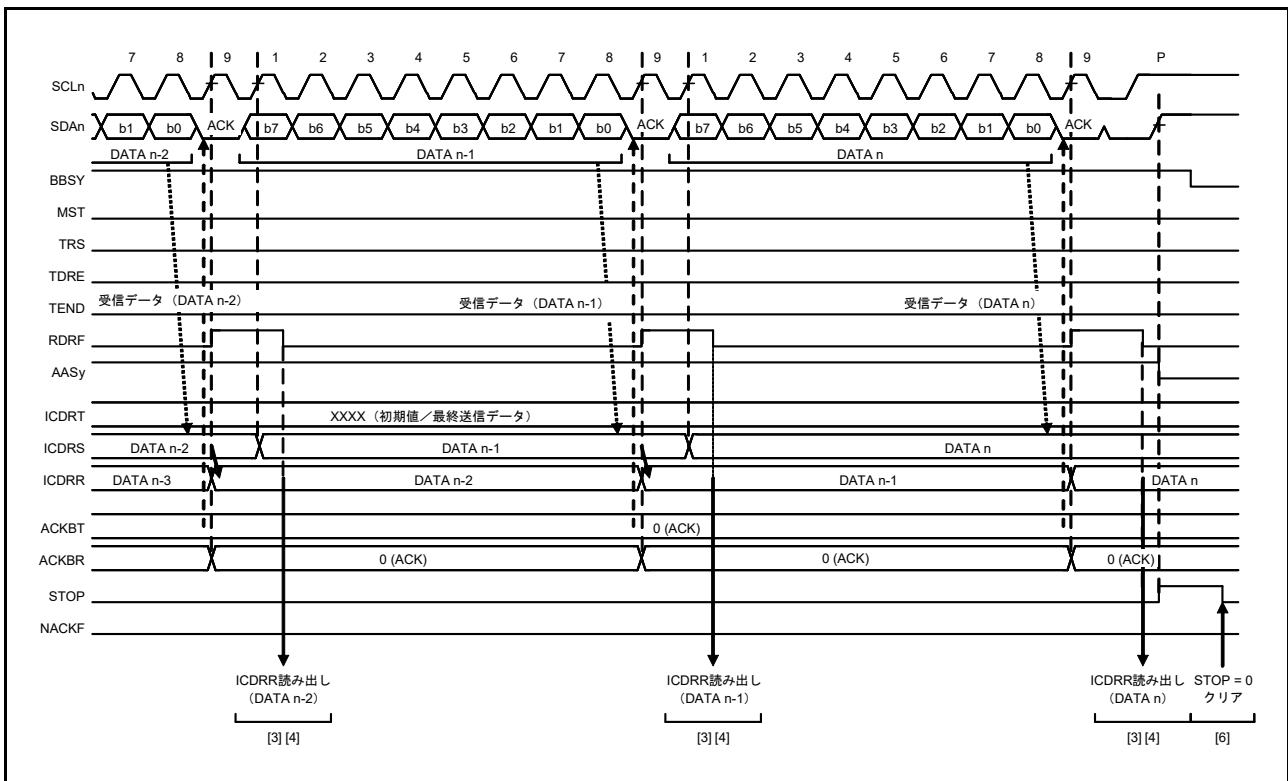


図 29.20 スレーブ受信の動作タイミング (2) (RDRFS = 0 の場合)

29.4 SCL 同期回路

SCL クロック生成では、IIC が SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定した High 幅のカウンタを開始し、カウンタが終了すると SCLn ラインを Low にします。また、IIC が SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定した Low 幅のカウンタを開始し、カウンタが終了すると SCLn ラインを開放します。IIC はこのプロセスを繰り返すことによって、SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、他のマスタデバイスとの競合により SCL 信号同士が衝突する場合があります。SCL 信号が衝突した場合、マスタデバイスは SCL 信号の同期化を行う必要があります。この SCL 信号の同期化はビットごとに行う必要があるため、IIC はマスタモード時に SCLn ラインを監視することで、ビットごとに SCL クロック信号の同期を取る SCL 同期回路を備えています。

IIC が SCLn ラインの立ち上がりを検出して、ICBRH レジスタで指定した High 幅のカウンタを開始し、他のマスタデバイスが生成している SCL 信号によって SCLn ラインが Low になると、IIC は以下の処理を実行します。

1. 立ち下がりを検出すると、カウンタを停止します。
2. SCLn ラインを Low に変化させます。
3. ICBRL レジスタで指定した Low 幅のカウンタを開始します。

Low 幅のカウンタが終了すると、IIC は SCLn ラインの Low ホールドを停止します。他のマスタデバイスからの SCL クロック信号の Low 幅が、IIC 側で設定した Low 幅よりも長いと、SCL クロックの Low 幅が延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインの解放によって SCL クロックが立ち上がります。

IIC が SCL クロックの Low 幅の出力を終了すると、SCLn ラインが解放され、SCL クロックが立ち上がります。すなわち、マルチマスタによる SCL 信号衝突時の SCL 信号の High 幅は、High 幅の短いクロックに同期化され、SCL 信号の Low 幅は、Low 幅の長いクロックに同期化されます。なお、この SCL 同期は、ICFER.SCLE ビットが 1 のときのみ有効です。

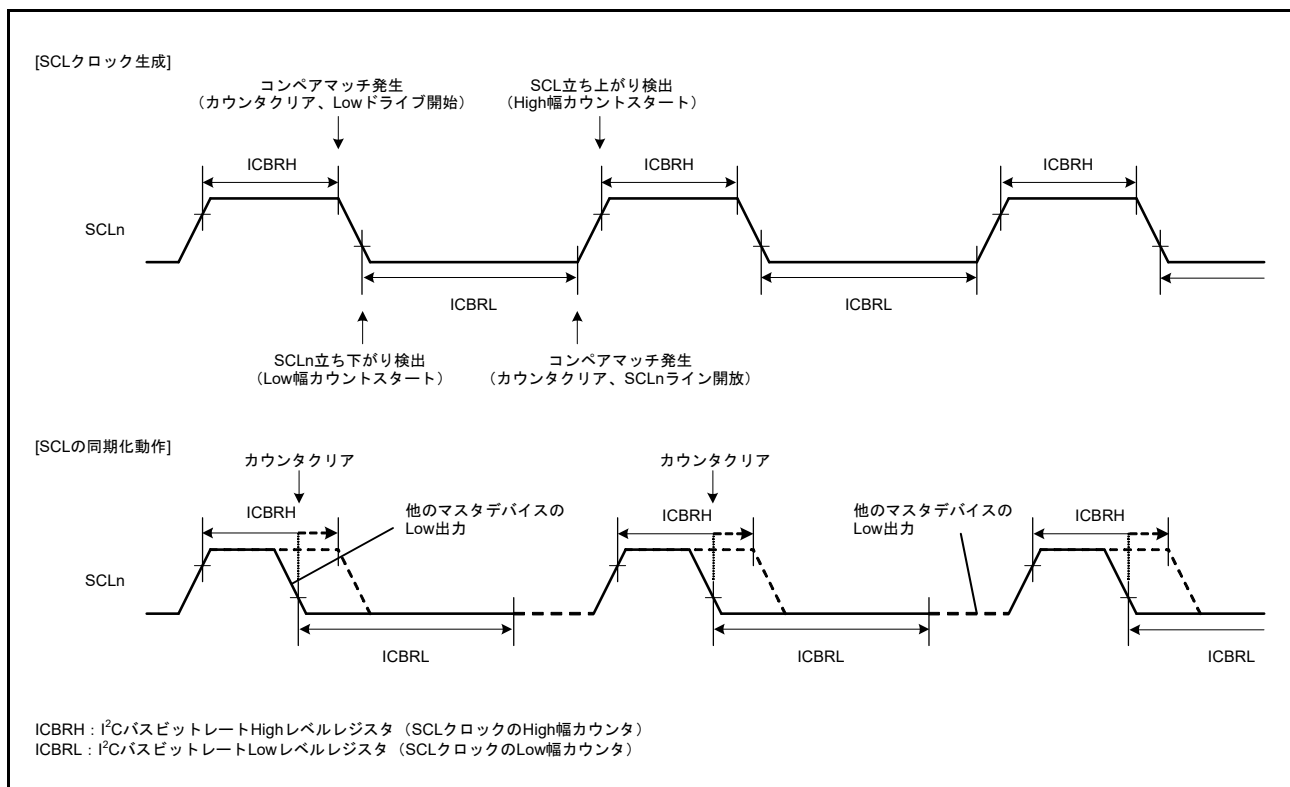


図 29.21 IIC の SCL クロック生成および SCL 同期化動作

29.5 SDA 出力遅延機能

IIC モジュールは SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング (スタート/リスタート/ストップコンディションの発行、データ出力、ACK/NACK 出力) を遅延させることができます。

この機能は、SCL 信号の立ち下がり検出から SDA 出力を遅延させ、SCL クロックが Low である期間中に確実に SDA 信号が出力されるようにします。この方法により、SMBus 仕様の最小データホールド時間 (300ns) の要件を満たして、通信デバイスの誤動作を防止できるようになります。SDA 出力遅延機能は、ICMR2.SDDL[2:0] ビットが 000b 以外のとき有効で、SDDL[2:0] ビットが 000b のとき無効です。

SDA 出力遅延機能が有効のとき、たとえば ICMR2.DLCS ビットは、IIC モジュール用の内部基準クロック (IICΦ) とその 2 分周クロック (IICΦ/2) のどちらかを SDA 出力遅延カウンタのクロックソースとして使用するかを選択します。カウンタは、ICMR2.SDDL[2:0] ビットに設定されたサイクル数をカウントします。遅延カウントに達すると、IIC モジュールは SDA ライン上で必要な出力 (スタート/リスタート/ストップコンディション、データ、ACK/NACK 信号) を行います。

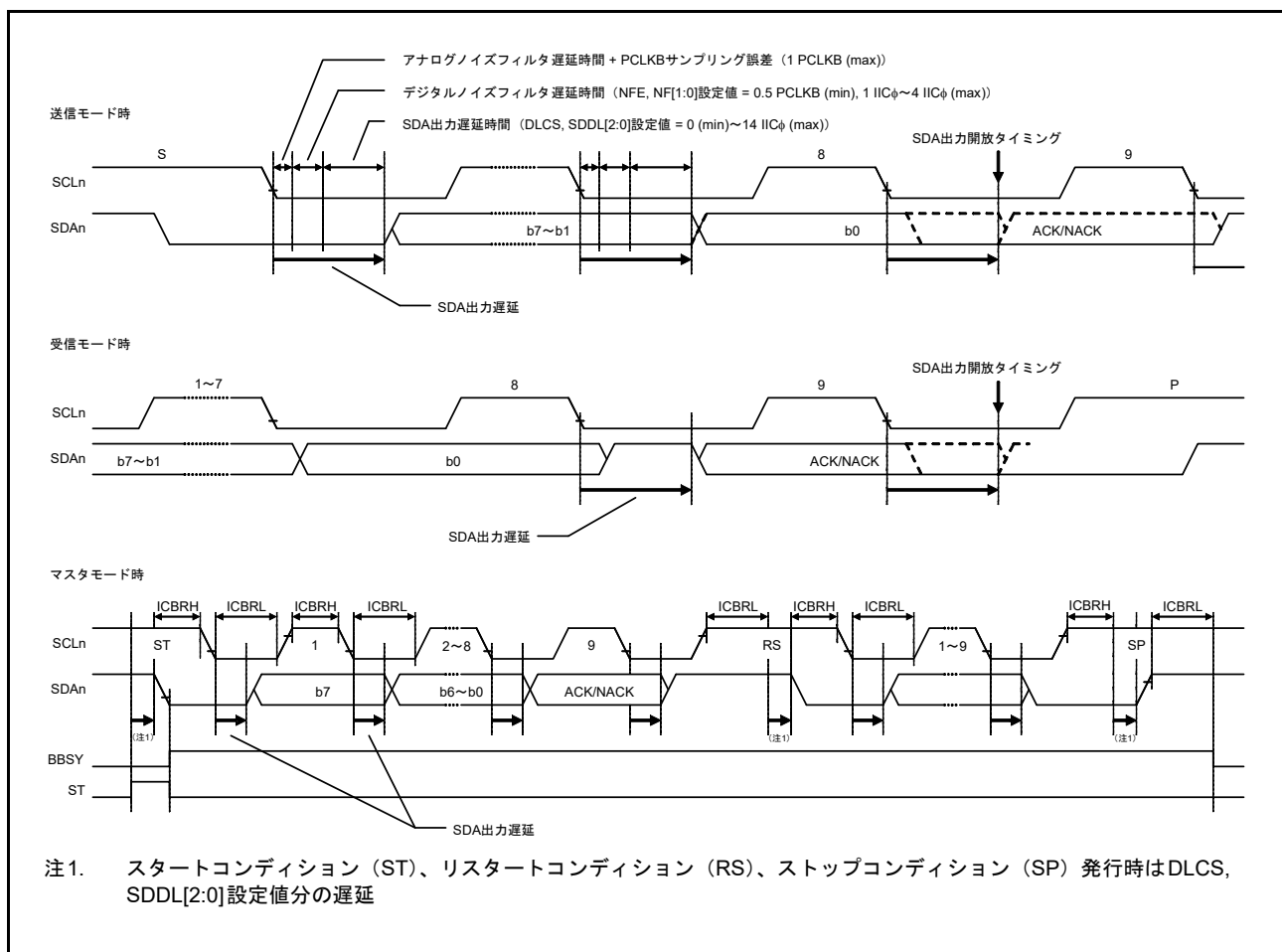


図 29.22 SDA 出力遅延機能

29.6 デジタルノイズフィルタ回路

SCL_n 端子および SDA_n 端子の状態は、アナログノイズフィルタ回路とデジタルノイズフィルタ回路を通じて確認できます。図 29.23 に、デジタルノイズフィルタ回路のブロック図を示します。

IIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択します。ノイズ除去能力は選択した有効段数に応じて、1IIC_φ ~ 4IIC_φ サイクル分となります。

SCL_n 端子入力信号（または SDA_n 端子入力信号）は IIC_φ の立ち下がりでサンプリングされます。入力信号レベルが、ICMR3.NF[1:0] ビットで選択した有効なフリップフロップ回路段数の出力レベルと一致したとき、その信号レベルを後続の各段で確認できます。一致しない場合は前のレベルを保持します。

なお、内部動作クロック (PCLKB) と通信速度の比が小さい場合、たとえば PCLKB が 4MHz 時の 400kbps 通信では、デジタルノイズフィルタは有効信号をノイズとして処理する可能性があります。そのような場合は、ICFER.NFE ビットを 0 にすることでデジタルノイズフィルタ回路を無効にし、アナログノイズフィルタ回路のみを使用することが可能です。

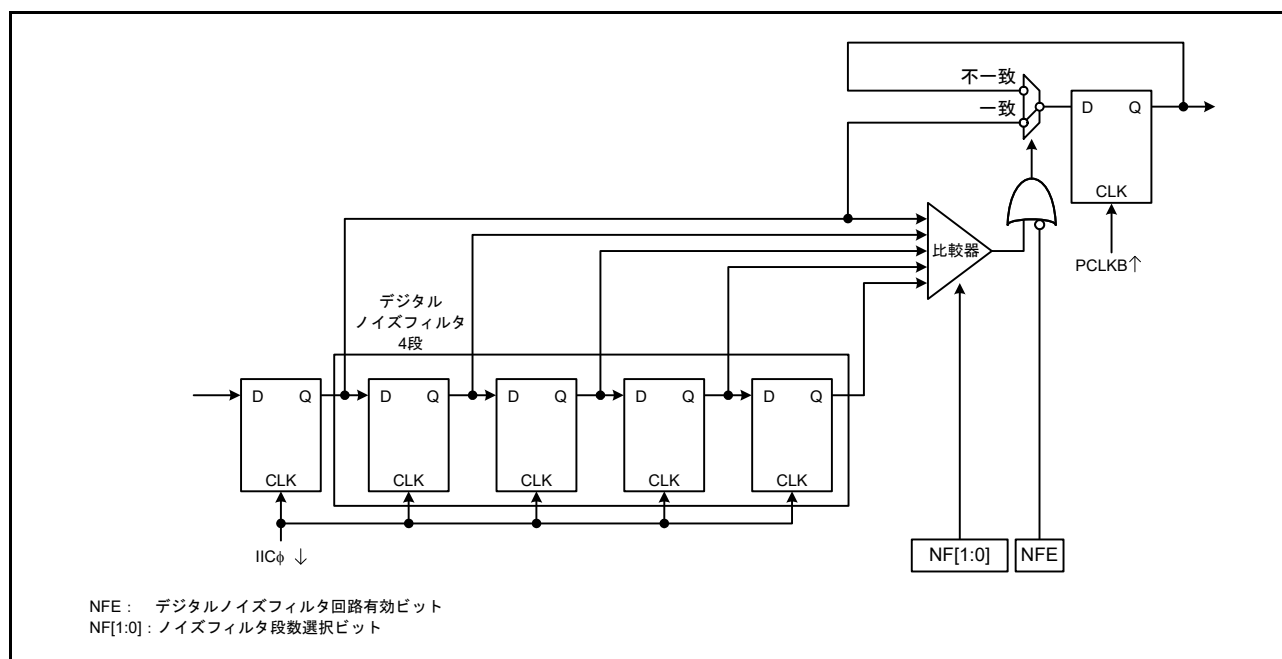


図 29.23 デジタルノイズフィルタ回路のブロック図

29.7 アドレス一致検出機能

IIC は、ジェネラルコールアドレス、ホストアドレスの他に、3 種類の固有のスレーブアドレスの設定が可能です。またスレーブアドレスには、7 ビットアドレスまたは 10 ビットアドレスを設定できます。

29.7.1 スレーブアドレス一致検出機能

IIC は 3 種類の固有のスレーブアドレスの設定が可能であり、それぞれに対してスレーブアドレス検出機能を備えています。ICSER.SARyE ビット ($y=0\sim 2$) が 1 のとき、SARUy および SARLy レジスタ ($y=0\sim 2$) に設定されたスレーブアドレスを検出できます。

IIC が設定されたスレーブアドレス一致を検出すると、対応する ICSR1.AASy フラグ ($y=0\sim 2$) が SCL クロックの 9 クロック目の立ち上がりで 1 になり、続く R/W# ビットにより ICSR2.RDRF フラグまたは ICSR2.TDRE フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) または送信データエンpty割り込み (IICn_TXI) を発生させることができます。どのスレーブアドレスが指定されたかは AASy フラグで識別できます。

図 29.24 ~ 図 29.26 に、AASy フラグが 1 になるタイミングを 3 つのケースで示します。

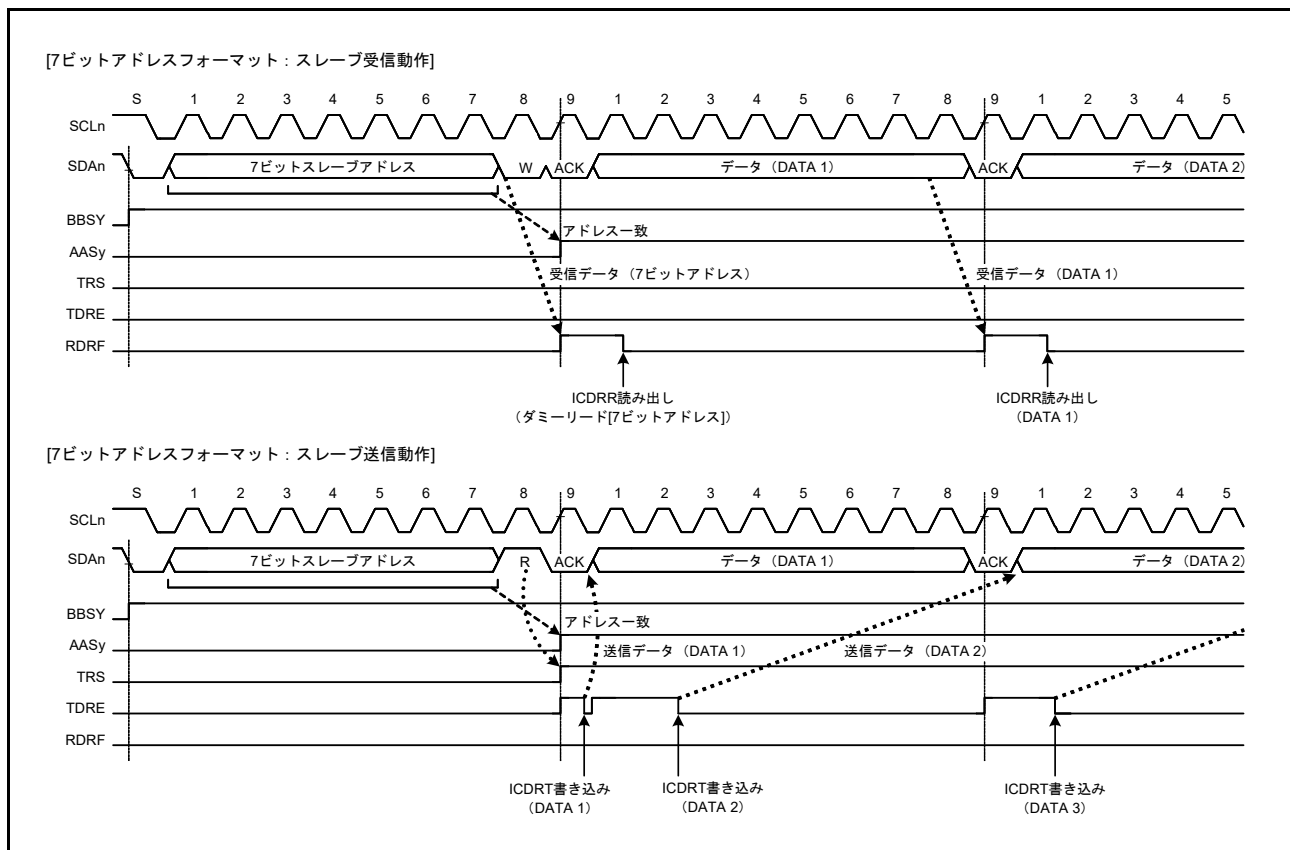


図 29.24 AASy フラグが 1 になるタイミング (7 ビットアドレスフォーマット選択時)

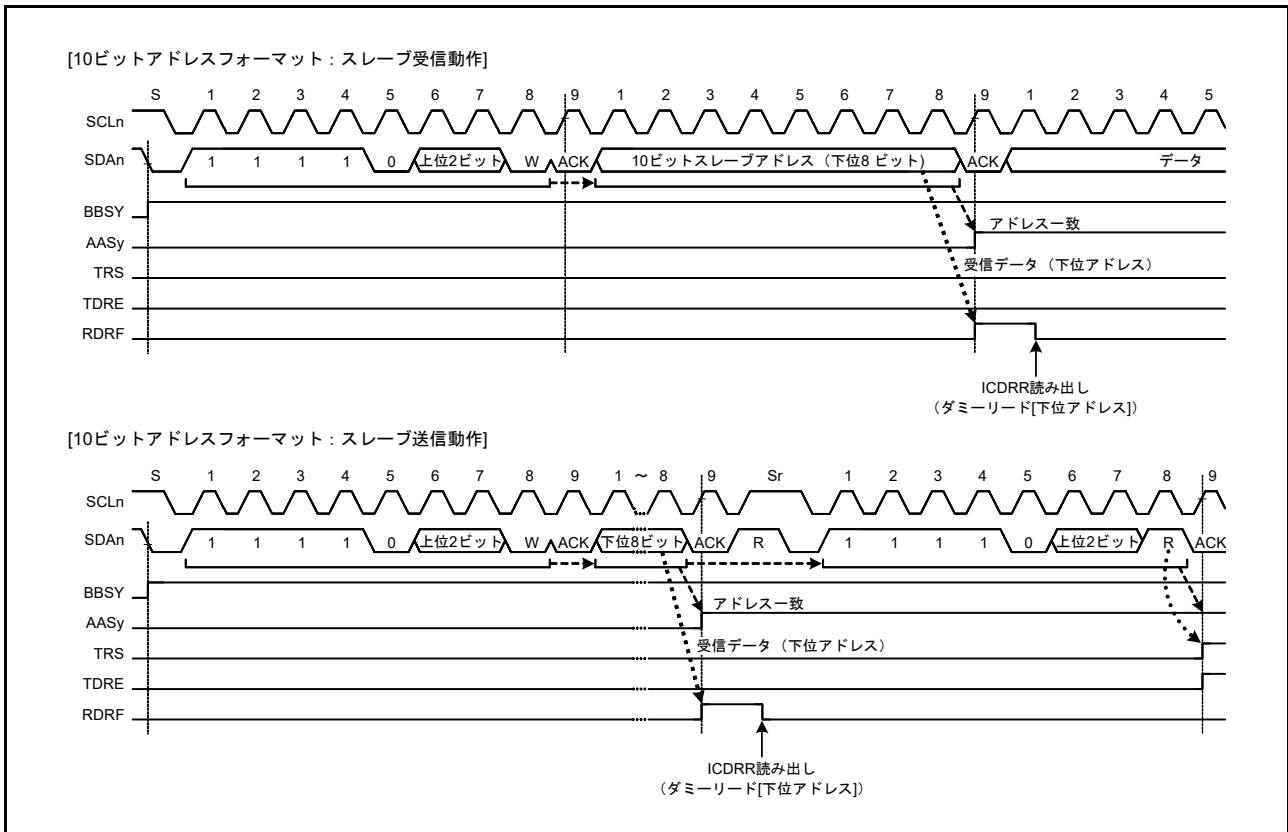


図 29.25 AASy フラグが 1 になるタイミング (10 ビットアドレスフォーマット選択時)

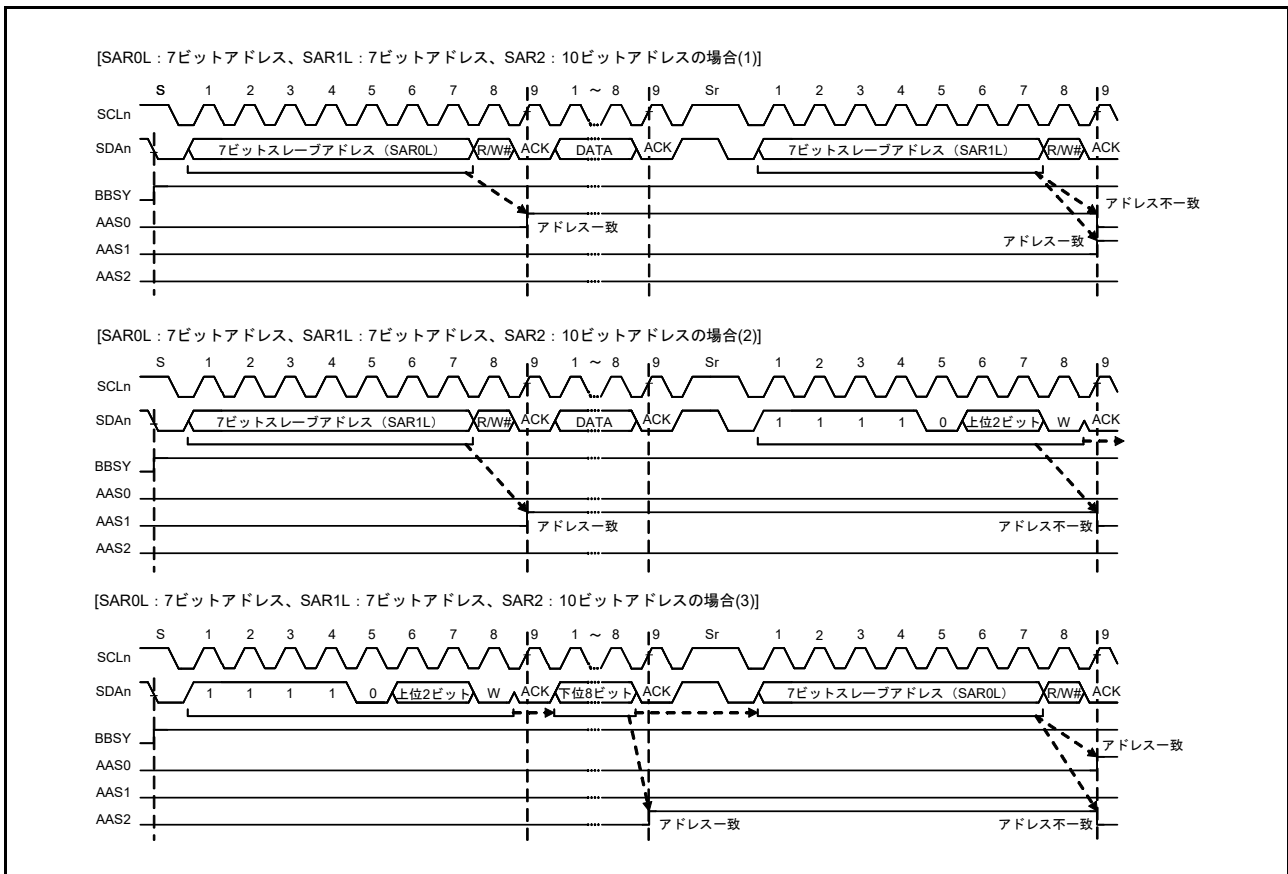


図 29.26 AASy フラグが 1 または 0 になるタイミング (7 ビット / 10 ビットアドレスフォーマット混在)

29.7.2 ジェネラルコールアドレス検出機能

IIC は、ジェネラルコールアドレス (0000 000b + 0[W]) の検出機能を備えています。ジェネラルコールアドレス検出機能は、ICSER.GCAE ビットを 1 にすることで有効になります。

スタートコンディションまたはリスタートコンディション発行後に受信したアドレスが 0000 000b + 1[R] (開始バイト) の場合、IIC はスレーブアドレスの内容はすべて 0 であるとみなし、ジェネラルコールアドレスとは認識しません。

IIC がジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.GCA フラグと ICSR2.RDRF フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) が発生します。GCA フラグを確認することで、ジェネラルコールアドレスが送信されたかどうかを確認できます。

なお、ジェネラルコールアドレス検出後の動作は、通常のスレーブ受信動作と同じです。

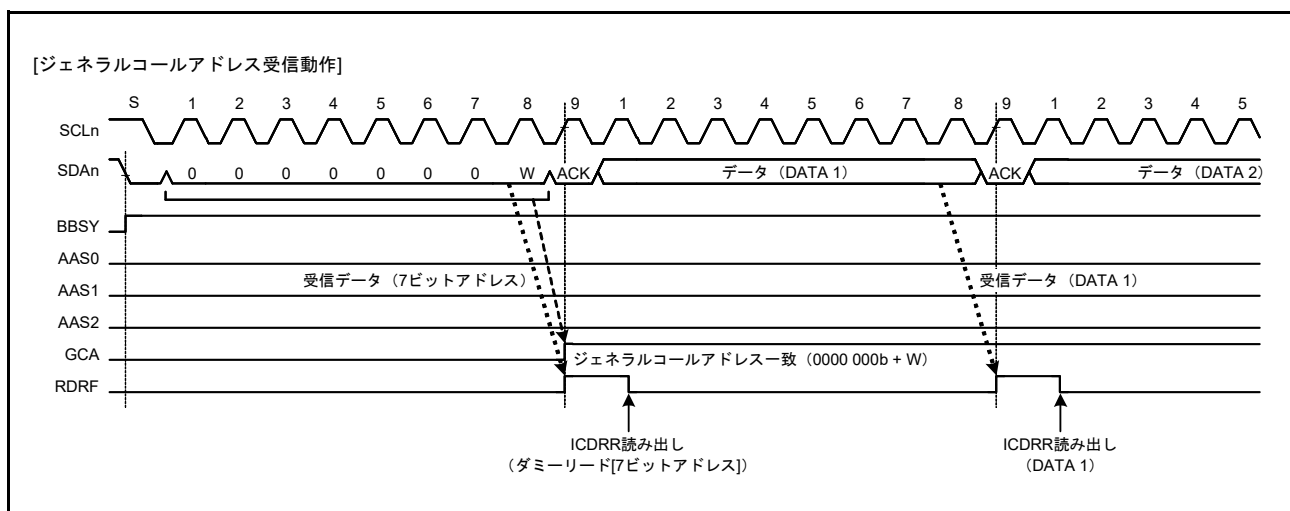


図 29.27 ジェネラルコールアドレス受信時に GCA フラグが 1 になるタイミング

29.7.3 デバイス ID アドレス検出機能

IIC モジュールは、I²C バス仕様 (リビジョン 03) に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを 1 にした状態で、スタートコンディションまたはリスタートコンディション発行後の 1 バイト目に 1111 100b を受信すると、IIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが 0 の場合、SCL クロックの 9 クロック目の立ち上がりで ICSR1.DID フラグを 1 にした後、2 バイト目以降と自スレーブアドレスを比較します。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、IIC は対応する ICSR1.AASy フラグ (y=0~2) を 1 にします。

スタートコンディションまたはリスタートコンディション発行後に受信した 1 バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W# ビットが 1 の場合、IIC は続く 2 バイト目以降のアドレス比較を行わず、ICSR2.TDRE フラグを 1 にします。

デバイス ID アドレス検出機能では、IIC スレーブアドレスと一致しなかった場合、あるいは IIC スレーブアドレスが一致し、リスタートコンディションの検出時にデバイス ID アドレスと一致しなかった場合、IIC は DID フラグを 0 にします。スタートコンディションまたはリスタートコンディション検出後の 1 バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W# ビットが 0 の場合は、IIC は DID フラグを 1 にして、続く 2 バイト目以降を IIC のスレーブアドレスと比較します。R/W# ビットが 1 の場合、DID フラグは前値の状態を継続し、IIC は 2 バイト目以降の比較を行いません。したがって、TDRE = 1 の確認後、DID フラグを読むことで、デバイス ID アドレスを受信したことを確認することが可能です。

なお、一連のデバイス ID フィールド受信後にホストに送信するデバイス ID フィールドとして、必要な情報 (3 バイトデータ: メーカー情報 [12 ビット] + 部品識別 [9 ビット] + リビジョン [3 ビット]) を、通常の送信データとして準備しておいてください。デバイス ID フィールドに含める必要のある情報については、NXP 社にお問い合わせください。

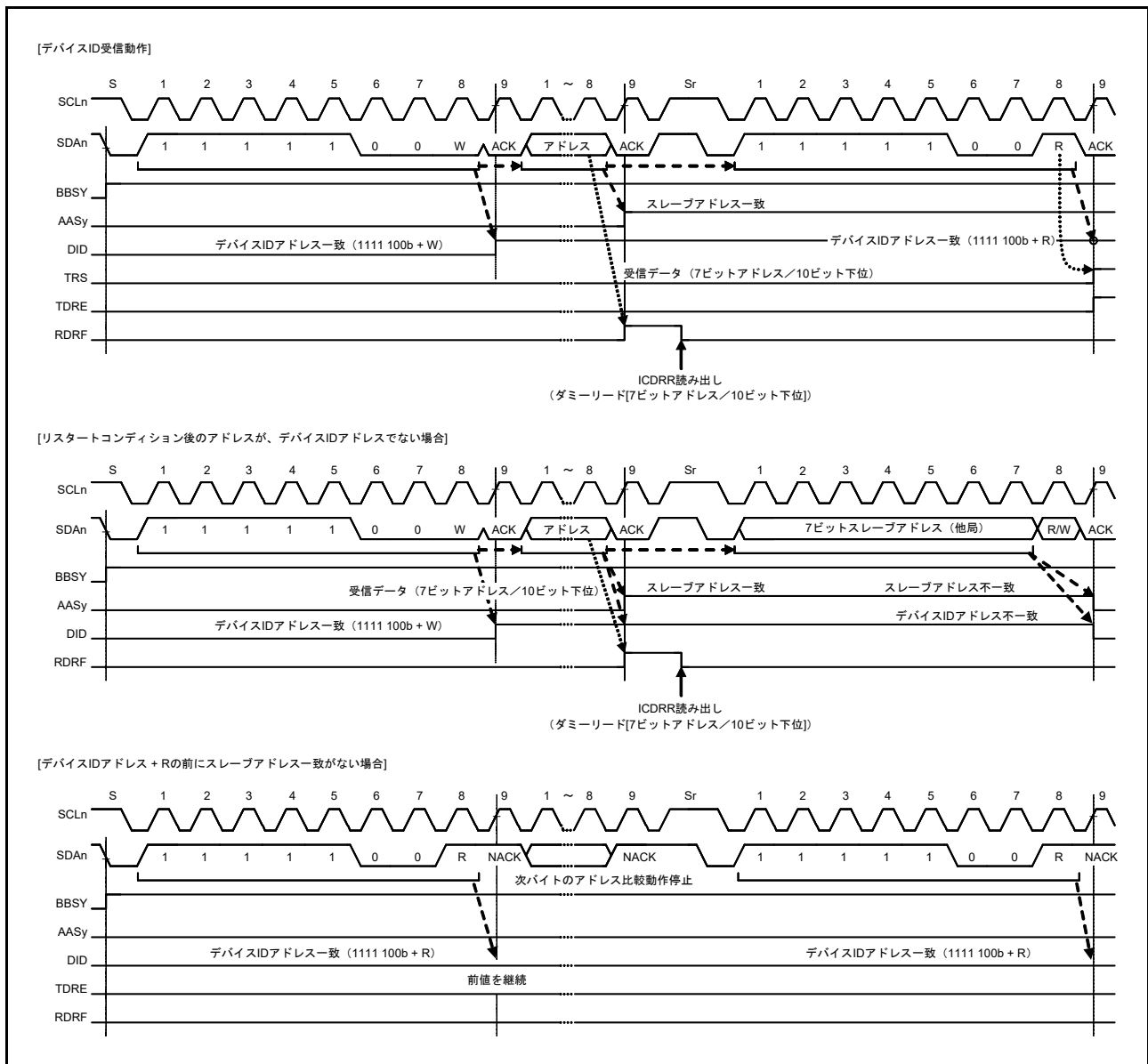


図 29.28 デバイス ID 受信時の AASy、DID フラグのセット/クリアタイミング

29.7.4 ホストアドレス検出機能

IIC は、SMBus モードでの動作時、ホストアドレスの検出が可能です。ICMR3.SMBS ビットが 1 のとき IC SER.HOAE ビットを 1 にすると、スレーブ受信モード (ICCR2.MST、ICCR2.TRS ビット = 00b) 時に、ホストアドレス (0001 000b) の検出が可能です。

IIC がホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.HOA フラグが 1 になります。同時に、R/W# ビットが 0 のとき、ICSR2.RDRF フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) が発生します。HOA フラグは、ホストアドレスが検出されたことを示します。

なお、ホストアドレス (0001 000b) に続くビットが読み出しビット (R/W# = 1) の場合にも、ホストアドレスの検出が可能です。ホストアドレス検出後の IIC の動作は、通常のスレーブ動作と同じです。

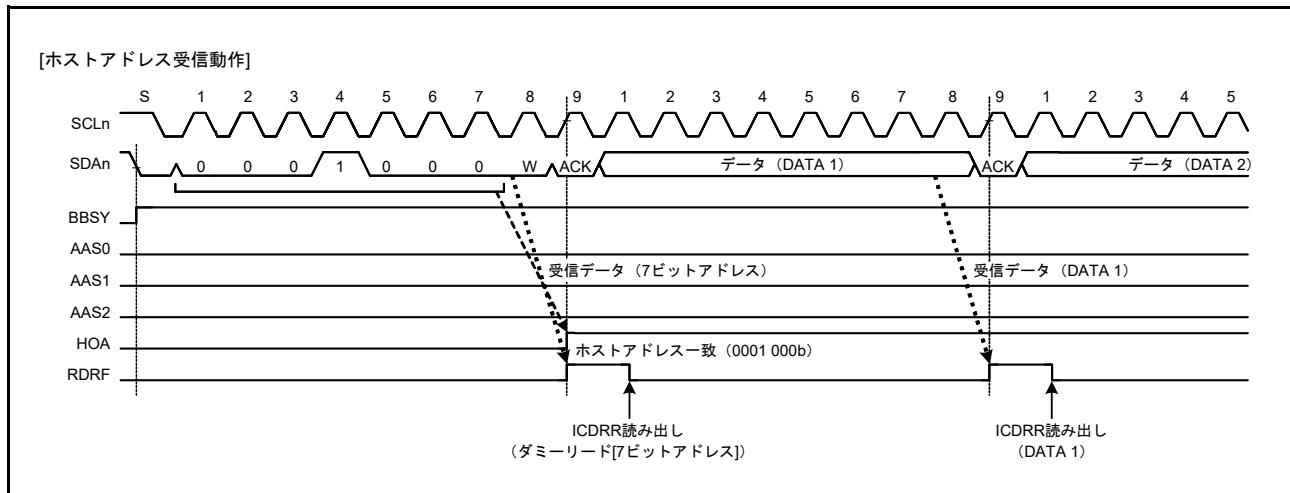


図 29.29 ホストアドレス受信時に HOA フラグが 1 になるタイミング

29.8 ウェイクアップ機能

IICは、MCUをソフトウェアスタンバイモードから通常動作に遷移させるウェイクアップ機能を備えています。ウェイクアップ機能は、システムクロック停止時にデータの受信を許可し、受信データのスレーブアドレスが一致した場合にウェイクアップ割り込み信号を生成します。このウェイクアップ割り込み信号により、MCUは通常動作に遷移します。

ウェイクアップ機能には、下記の4つの動作モードがあります。

- ノーマルウェイクアップモード1
- ノーマルウェイクアップモード2
- コマンドリカバリモード
- EEP 応答モード

表 29.9 に各モードの動作を示します。

表 29.9 ウェイクアップ動作モード

動作モード	ACK応答タイミング	ウェイクアップ前のACK応答	ウェイクアップ時のSCL状態
ノーマルウェイクアップモード1	ウェイクアップ前	ACK	Lowに固定
ノーマルウェイクアップモード2	ウェイクアップ後	ウェイクアップ前：応答なし ウェイクアップ後：ACK応答	Lowに固定
コマンドリカバリモード	ウェイクアップ前	ACK	解放
EEP 応答モード	ウェイクアップ前	NACK	解放

ウェイクアップ機能使用時の注意事項

- ウェイクアップ割り込みによってソフトウェアスタンバイモードから通常動作へ遷移させた後、ウェイクアップ機能を無効 (WUE = 0) にしてください
- WUF が 0 の場合は、ウェイクアップ割り込みによってシステムクロックが回復しても、IICレジスタの内容を変更しないでください。WUF が 1 であることを確認してから、レジスタ設定を行ってください
- ソフトウェアスタンバイモードへ遷移する前に、WUE および WUIE ビットを 1 に、MST および TRS ビットを 0 (スレーブ受信モード) にしてください
- BBSY が 1 の場合は、ソフトウェアスタンバイモードへの遷移を行わないでください
- ウェイクアップ機能は、スレーブアドレスレジスタ SARL0 の 7 ビットスレーブアドレス、ジェネラルコールアドレス、およびホストアドレスをサポートしています。10 ビットスレーブアドレス、SARL1、SARL2 はサポートしていません
- ウェイクアップ機能を有効にする場合、ICIERレジスタのTIE、TEIE、RIE、NAKIE、SPIE、STIE、ALIE、およびTMOIEの各ビットで選択可能な割り込みは禁止してください
- ウェイクアップ機能が有効のときは、タイムアウト機能を使用しないでください
- ウェイクアップ割り込み以外の割り込み (たとえば IRQn) で、ソフトウェアスタンバイモードからの遷移がトリガされると、WUF フラグは 1 になりません

29.8.1 ノーマルウェイクアップモード 1

以下では、ノーマルウェイクアップモード 1 の動作、タイミング、および動作例について説明します。

ノーマルウェイクアップモード 1 では、スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のような通常動作への遷移が行われます。

ウェイクアップ前：IIC の自スレーブアドレスとともに受信したデータに対して ACK を送信する。

ウェイクアップ中：SCL の 9 クロック目で ACK 応答を行ってから、SCL の Low ホールドを行う。(注 1)

ウェイクアップ後：通常動作が継続する。

スレーブアドレスが不一致の場合、SCL の 9 クロック目の後に SCL ラインの Low ホールドは行われず、スレーブ動作が継続します。

図 29.30 にノーマルウェイクアップモード 1 の動作例を、図 29.32 に詳細なタイミングを示します。

注 1. ウェイクアップ中の 9 クロック目と 1 クロック目の間では、WAIT = 1 は無効です。

ウェイクアップ割り込み以外の割り込み（たとえば IRQn）でソフトウェアスタンバイモードからの遷移がトリガされると、WUF フラグは 1 になりません。図 29.31 に、動作例を示します。

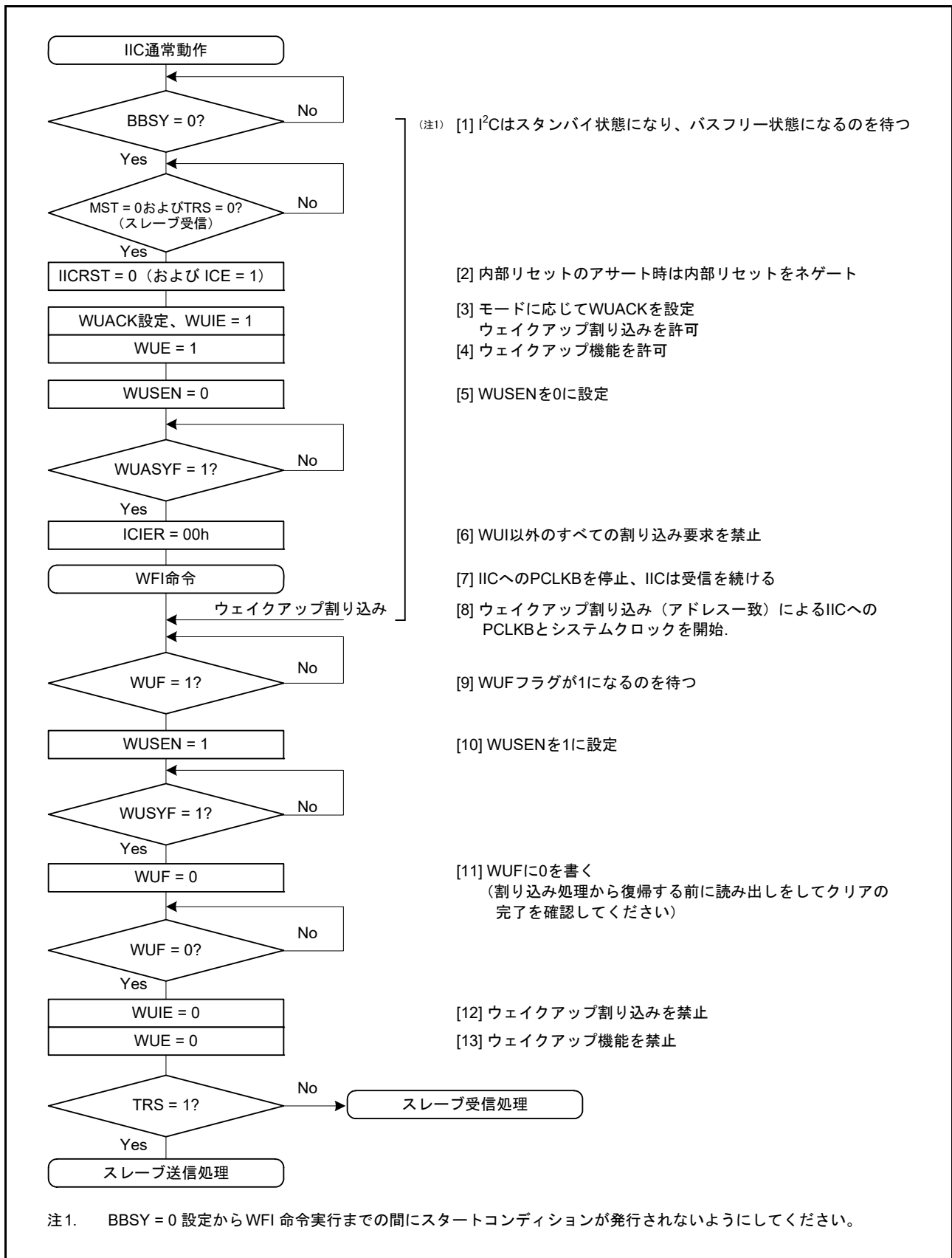


図 29.30 ノーマルウェイクアップモード1の動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

注. ウェイクアップ機能使用時の注意事項を参照してください。

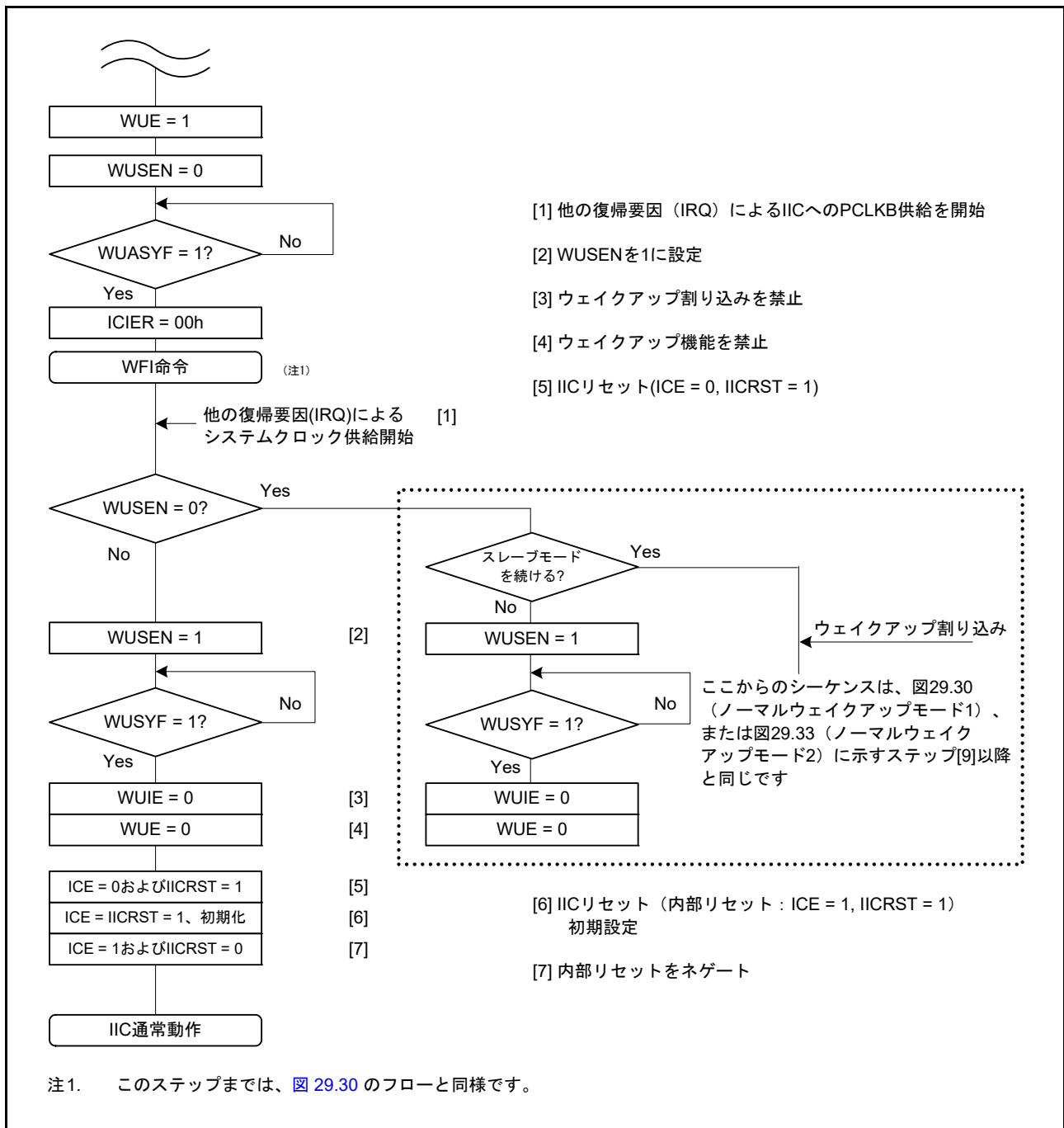


図 29.31 ノーマルウェイクアップモード 1 および 2 の動作例 (IIC ウェイクアップ割り込み以外の割り込み (たとえば IRQn) によるウェイクアップの場合)

注. IIC の初期設定の詳細は、29.3.2 初期設定を参照してください。

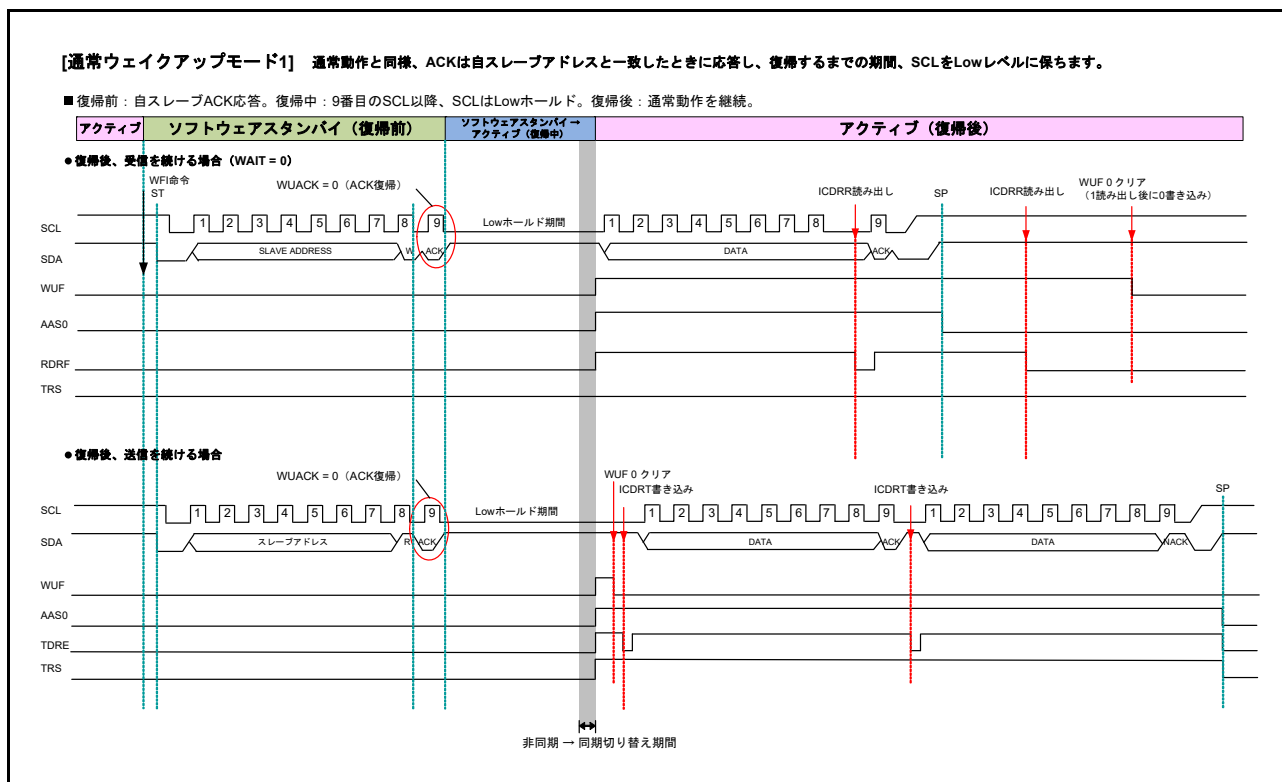


図 29.32 ノーマルウェイクアップモード1のタイミング

29.8.2 ノーマルウェイクアップモード 2

以下では、ノーマルウェイクアップモード 2 の動作、タイミング、および動作例について説明します。

ノーマルウェイクアップモード 2 では、スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のような通常動作への遷移が行われます。

ウェイクアップ前：自スレーブアドレスとともに受信したデータに対して SCL の 8 クロック目の終わりまで応答しない。

ウェイクアップ中：8 クロック目と 9 クロック目に SCL ラインの Low ホールドを行う。

ウェイクアップ後：SCL の 9 クロック目で ACK を返し、通常動作を継続する。

スレーブアドレスが不一致の場合、SCL の 8 クロック目の後に SCL ラインの Low ホールドは行われず、スレーブ動作が継続します。

ノーマルウェイクアップモード 2 の動作例については、[図 29.33](#) を参照してください。[図 29.34](#) に、詳細なタイミングを示します。

ウェイクアップ割り込み以外の割り込み（たとえば IRQ）で、ソフトウェアスタンバイモードからの遷移がトリガされると、WUF フラグは 1 になりません。[図 29.31](#) に示す動作例に従ってください。

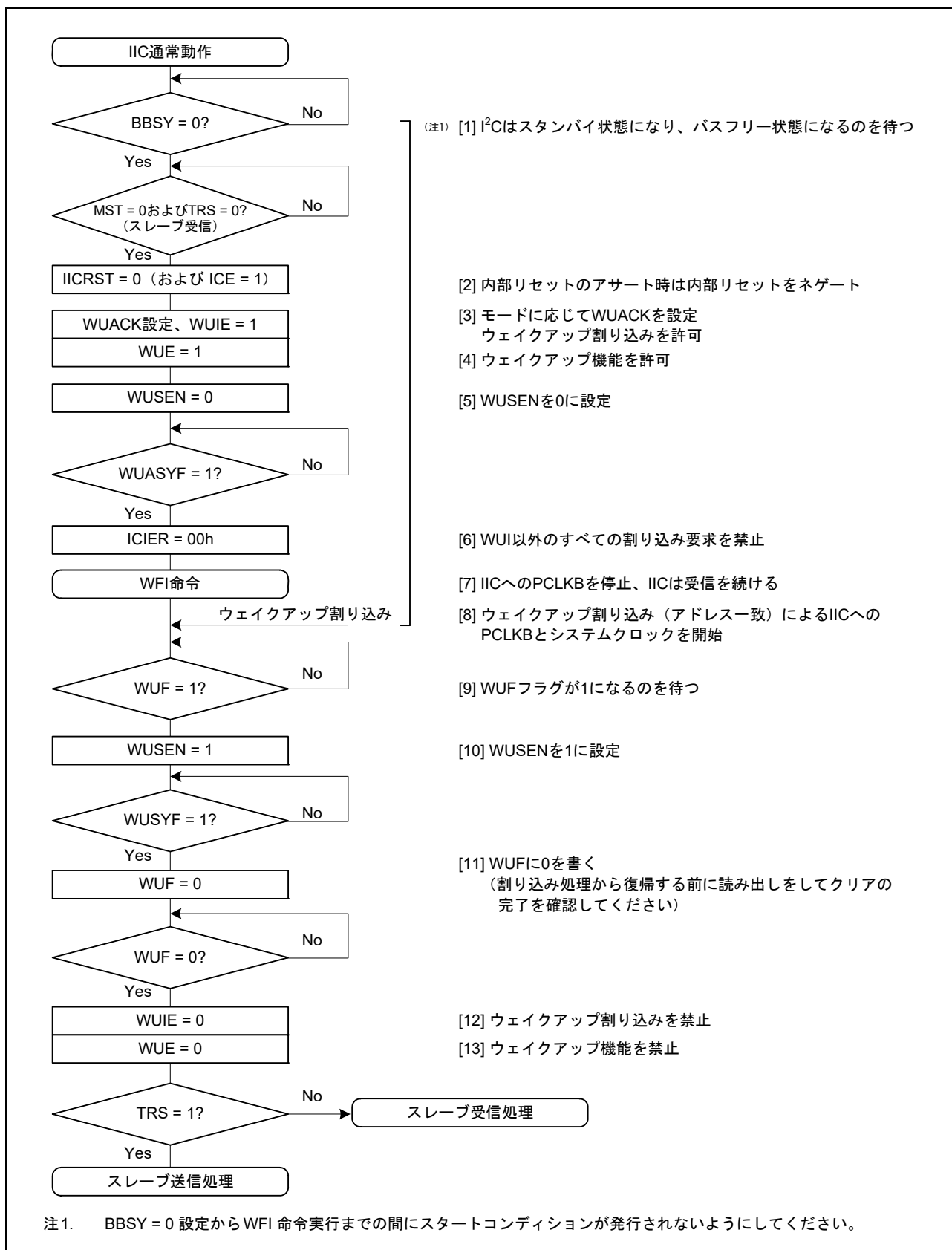


図 29.33 ノーマルウェイクアップモード 2 の動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

注. ウェイクアップ機能使用時の注意事項を参照してください。

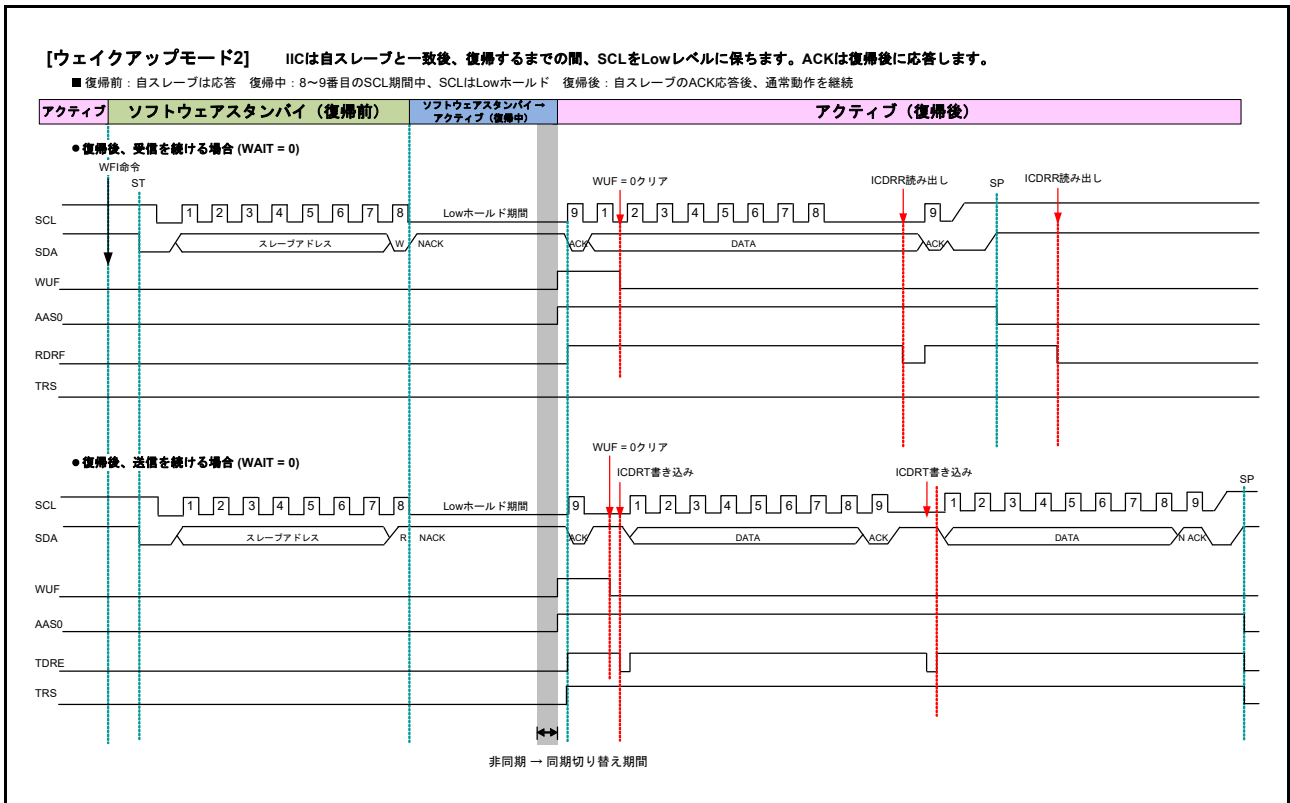


図 29.34 ノーマルウェイクアップモード2のタイミング

29.8.3 コマンドリカバリモード／EEP 応答モード（特殊ウェイクアップモード）

コマンドリカバリモードと EEPROM 応答モードでは、ウェイクアップ期間中（SCL の 9 クロック目の立ち上がり後）に SCL ラインの Low ホールドは行われません。したがって、他の IIC デバイスはこの期間に I²C バスを利用できません。

以下では、コマンドリカバリモードと EEPROM 応答モードの動作、タイミング、および動作例について説明します。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

ウェイクアップ前：IIC は自スレーブアドレスとともに受信したデータに対して、ACK（コマンドリカバリモードの場合）または NACK（EEPROM 応答モードの場合）を返す。

ウェイクアップ中：SCL ラインの Low ホールドを行わない。

ウェイクアップ後：IIC の初期化後、通常動作を継続する。

スレーブアドレスが不一致の場合、スレーブ動作が継続します。

注． ウェイクアップ中に SCL ラインの Low ホールドは行われないので、スレーブアドレスの後続データは送受信できません。

注． コマンドリカバリモードと EEPROM 応答モードは、内部リセット（ICE = IICRST = 1）状態です。したがって、スレーブアドレスが一致しても、ICSR1 フラグ（HOA、GCA、AAS0、AAS1、AAS2）は設定されません。

コマンドリカバリモードと EEPROM 応答モードの動作例については、[図 29.35](#) を参照してください。[図 29.37](#) に、詳細なタイミングを示します。

ウェイクアップ割り込み以外の割り込み（たとえば IRQn）で、ソフトウェアスタンバイモードからの遷移がトリガされると、WUF フラグは 1 になりません。[図 29.36](#) に示す動作例に従ってください。

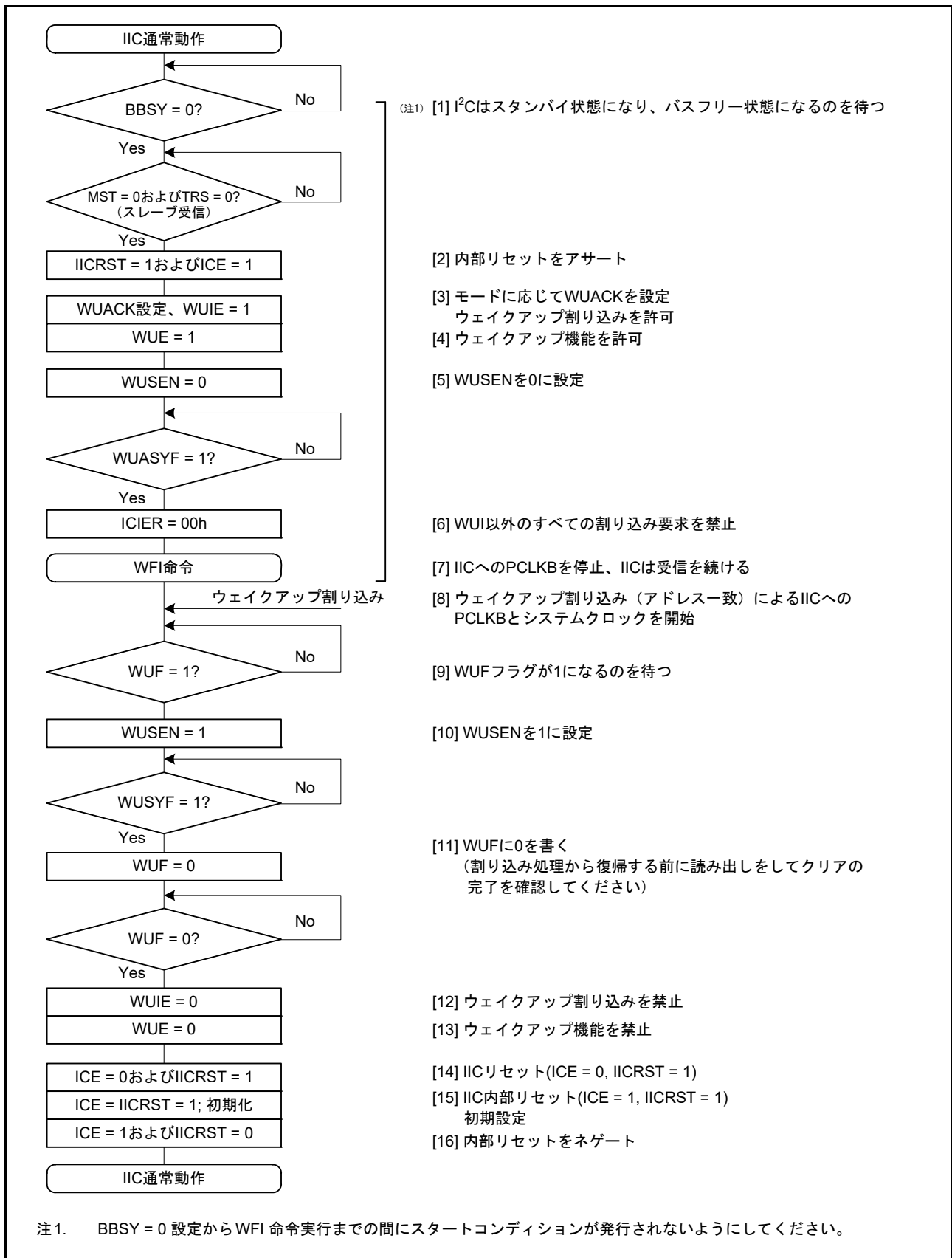


図 29.35 コマンドリカバリモードとEEP 応答モードの動作例 (スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合)

注. ウェイクアップ機能使用時の注意事項を参照してください。

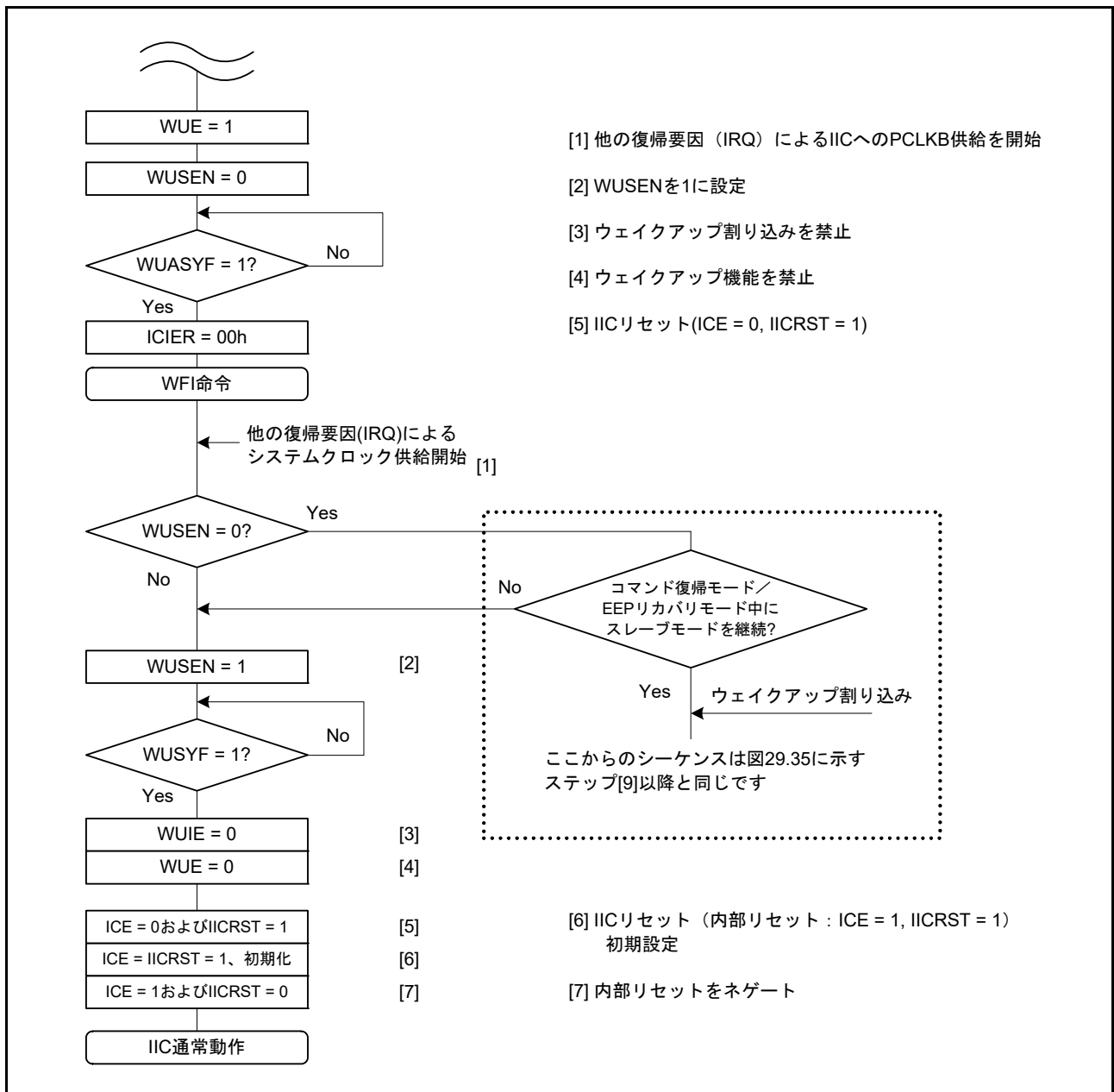


図 29.36 コマンドリカバリモードとEEP 応答モードの動作例 (IIC ウェイクアップ割り込み以外の割り込み (たとえば IRQn) によるウェイクアップの場合)

注 . IIC の初期設定の詳細は、29.3.2 初期設定を参照してください。

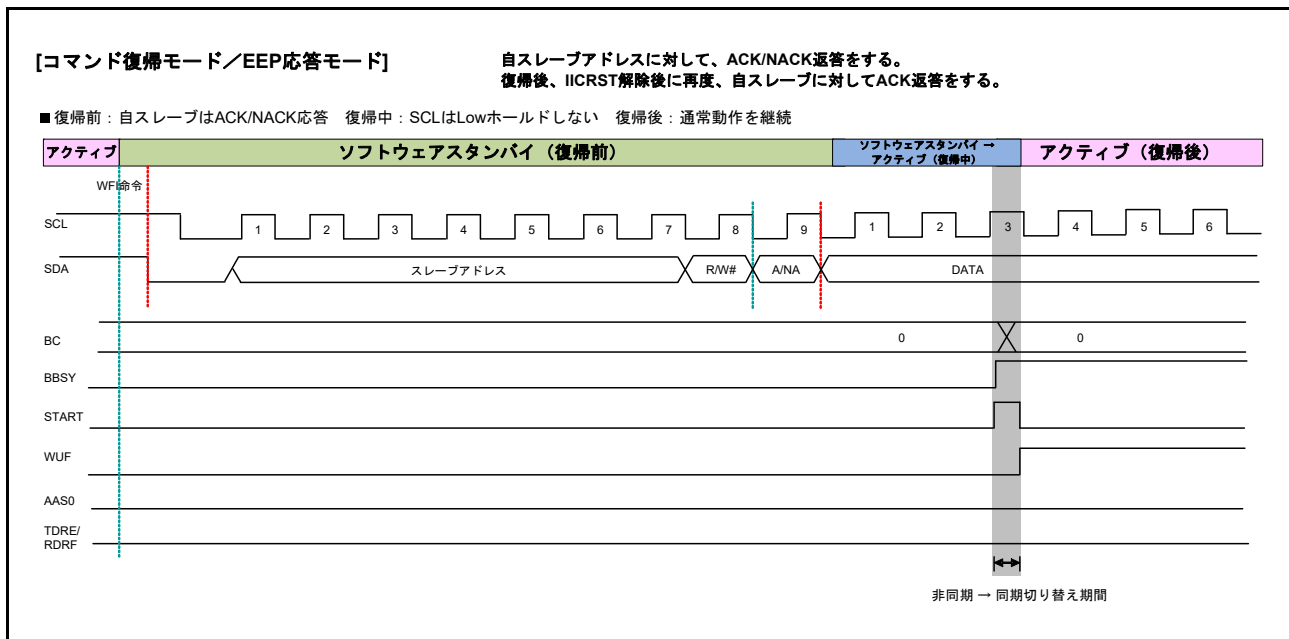


図 29.37 コマンドリカバリモードおよびEEP 応答モードのタイミング

29.8.4 WFI 命令の実行に関する注意事項

図 29.30、図 29.33、図 29.35 に示すウェイクアップ機能の例では、BBSY = 0 を設定してから WFI 命令を実行するまでの間は、スタートコンディションを発行しないようにしてください。

この間にスタートコンディションを発行すると、先頭データブロックの 1 バイト目の受信後に NACK が返されます。その後、スタートコンディションまたはリスタートコンディションの検出によって、ウェイクアップ機能が有効になります。

29.9 SCL の自動 Low ホールド機能

29.9.1 送信データの誤送信防止機能

IIC が送信モード時 (ICCR2.TRS ビット = 1)、I²C バス送信レジスタ (ICDRT) にデータが書かれていない場合、I²C バスシフトレジスタ (ICDRS) が空の場合、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

マスタ送信モード：

- スタートコンディション/リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の間の Low 区間

スレーブ送信モード：

- 9クロック目と1クロック目の間の Low 区間

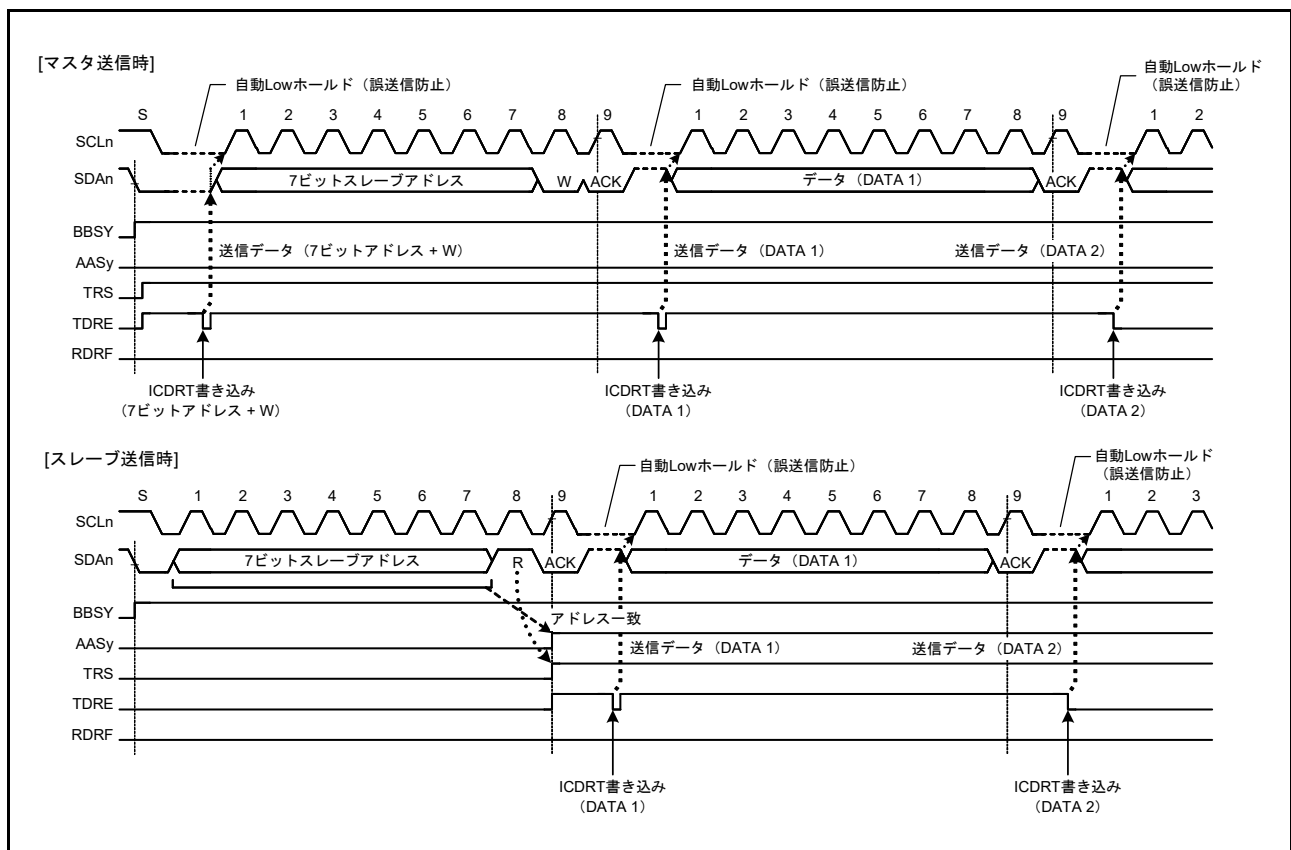


図 29.38 送信モード時の自動 Low ホールド動作

29.9.2 NACK 受信転送中断機能

本機能は、送信モード時 (ICCR2.TRS ビット = 1)、NACK を受信した場合に転送動作を中断します。この機能は、ICFER.NACKE ビットが 1 (転送中断許可) のとき有効になります。NACK 受信時に次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0)、SCL クロックの 9 クロック目の立ち下がり、次のデータ送信を自動的に中断します。これによって、次送信データの MSB が 0 の場合、SDAn ライン Low 出力固定を防止することが可能です。

本機能によって転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以降の送受信動作は行いません。送受信動作を再開するには、NACKF フラグを 0 にする必要があります。マスタ送信モードでは、リスタートコンディションまたはストップコンディション発行後に、NACKF フラグを 0 にしてから、再度スタートコンディションを発行してください。

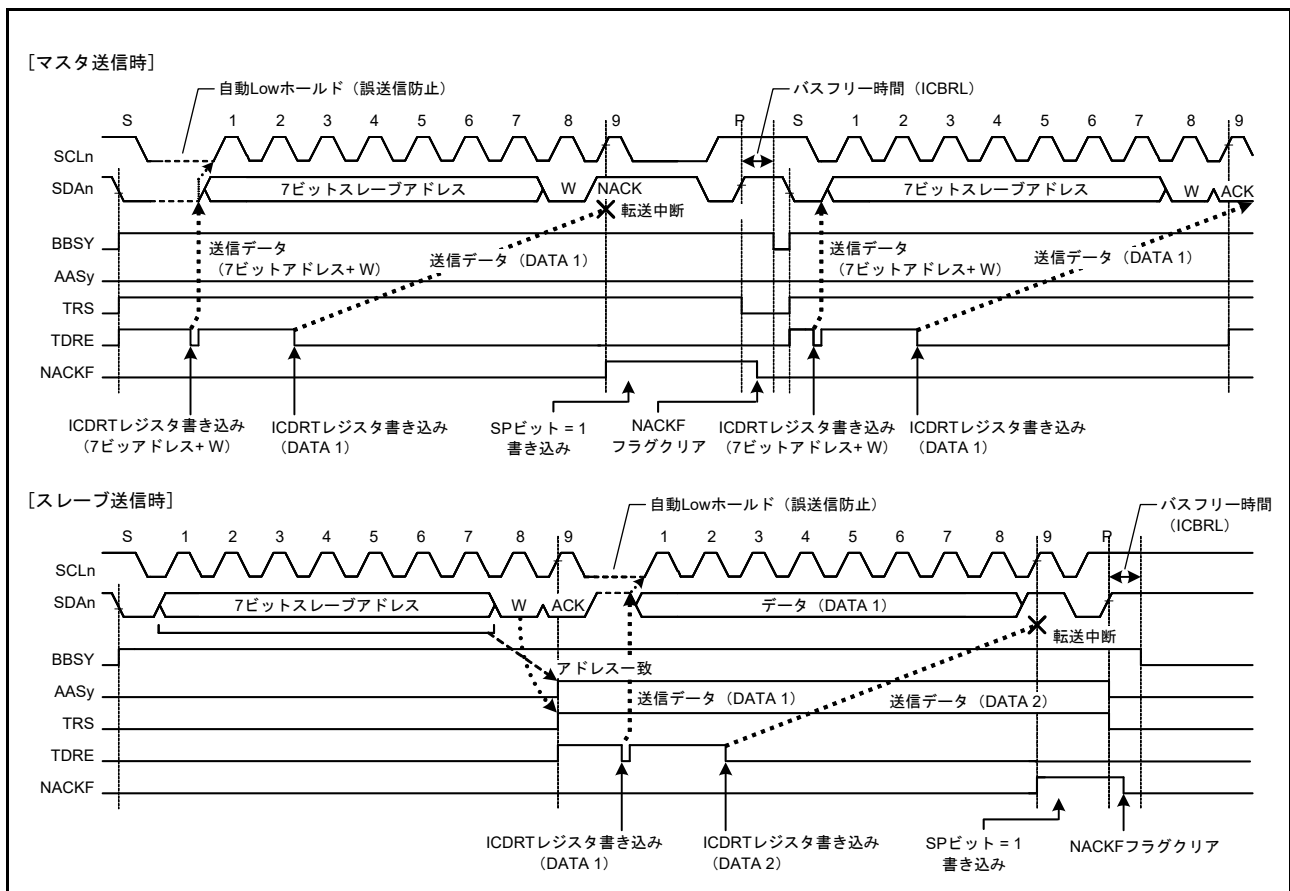


図 29.39 NACK 受信時のデータ転送中断動作 (NACKE = 1 の場合)

29.9.3 受信データ取りこぼし防止機能

受信モード時 (ICCR2.TRS ビット=0) に、受信データフル (ICSR2.RDRF フラグ=1) の状態で受信データ (ICDRR レジスタ) の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、IIC は次のデータ受信の直前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを防止します。

本機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディションが発行され、IIC スレーブアドレスが指定された場合でも有効です。ストップコンディション発行後に自スレーブアドレスとの不一致が発生した場合は、IIC は SCLn ラインの Low ホールドを行わないため、本機能によって他の通信を妨げることはありません。

また、ICMR3.WAIT、RDRFS ビットの組み合わせにより、SCLn ラインが Low ホールドされる期間を選択できます。

(1) WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを 1 にすると、IIC は WAIT ビット機能を用いた 1 バイト受信動作を行います。また、ICMR3.RDRFS ビットが 0 の場合、SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がりまでの期間、IIC はアクノリッジビットに対し自動的に ICMR3.ACKBT ビットの内容を送出し、9 クロック目の立ち下がりを検出すると、WAIT ビット機能を用いて自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、ICDRR レジスタからデータを読み出すことで解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを 1 にすると、IIC は RDRFS ビット機能を用いた 1 バイト受信動作を行います。RDRFS ビットを 1 にすると、SCL クロックの 8 クロック目の立ち上がりで ICSR2.RDRF フラグが 1 (受信データフル) になり、8 クロック目の立ち下がりですべて自動的に SCLn ラインの Low ホールドが行われます。この Low ホールドは、ICMR3.ACKBT ビットに値を書き込むことで解除されますが、ICDRR レジスタからデータを読み出ししても解除されません。そのため、1 バイトごとに受信したデータの内容に基づいて ACK/NACK の送信を制御することによって受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

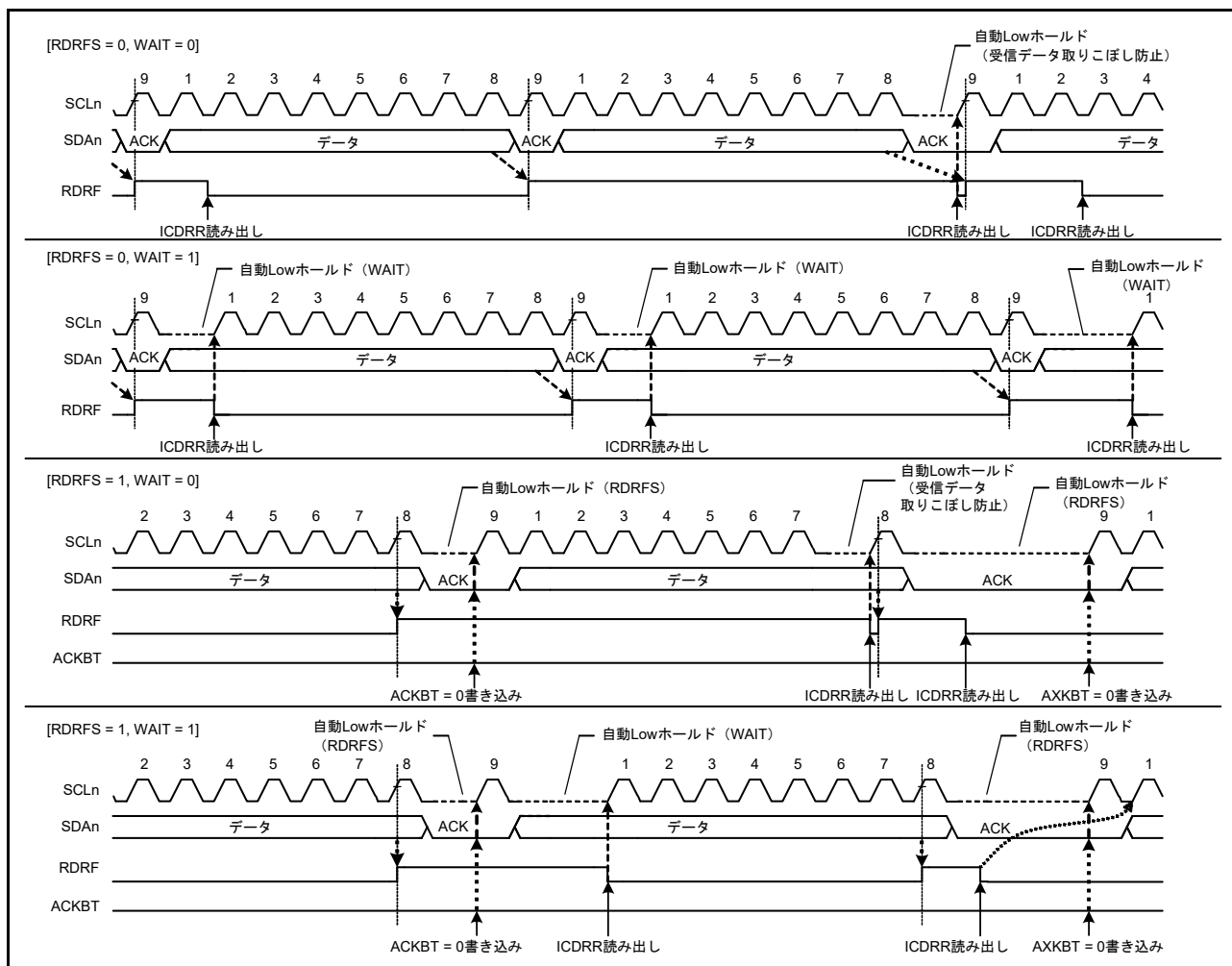


図 29.40 受信モード時の自動 Low ホールド動作 (RDRFS、WAIT ビットを使用)

29.10 マスタアービトレーションロスト検出機能

IIC は、I²C バス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止機能、NACK 送信時のアービトレーションロスト検出機能、およびスレーブ送信モード時のアービトレーションロスト検出機能を備えています。

29.10.1 マスタアービトレーションロスト検出機能 (MALE ビット)

IIC はスタートコンディション発行の際、SDAn ラインを Low にします。ただし、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDAn ラインを Low にした場合、IIC は自身のスタートコンディション発行をエラーと判断し、これをアービトレーションロストとみなします。他のマスタデバイスによる転送の方が優先されます。同様に、バスビジー (ICCR2.BBSY フラグ=1) の状態で ICCR2.ST ビットを 1 にすることでスタートコンディション発行を要求すると、IIC はこれをスタートコンディションの二重発行エラーと判断し、自身がアービトレーションロストを発生させたとみなします。この機能は、転送中に発行されるスタートコンディションによって転送が失敗するのを防止します。

スタートコンディションの発行が正常に行われた場合、アドレスビットを含む送信データ (内部の SDA 出力レベル) と SDAn ラインのレベルが不一致 (内部 SDA 出力が High 出力、すなわち SDAn 端子がハイインピーダンス状態であれば、SDAn ラインに Low が検出されたとき) の場合、IIC ではアービトレーションロストが発生します。

マスタアービトレーションロストが発生した後、IIC はただちにスレーブ受信モードへ遷移します。このとき、ジェネラルコールアドレスを含むスレーブアドレスが自身のアドレスと一致していれば、IIC はスレーブ動作を継続します。

なお、マスタアービトレーションロストは、ICFER.MALE ビットが 1 (マスタアービトレーションロスト検出有効) の状態で、以下に示す条件が成立したとき検出されます。

[マスタアービトレーションロスト条件]

- ICCR2.BBSY フラグが 0 の状態で ICCR2.ST ビットを 1 にしてスタートコンディションを発行した後、SDA の内部出力レベルと SDAn ラインのレベルが不一致のとき (スタートコンディション発行エラー)
- ICCR2.BBSY フラグが 1 の状態で ICCR2.ST ビットを 1 にしたとき (スタートコンディション二重発行エラー)
- マスタ送信モード時 (ICCR2.MST、TRS ビット = 11b)、アクリッジを除く送信データ (内部の SDA 出力レベル) と SDAn ラインのレベルが不一致のとき

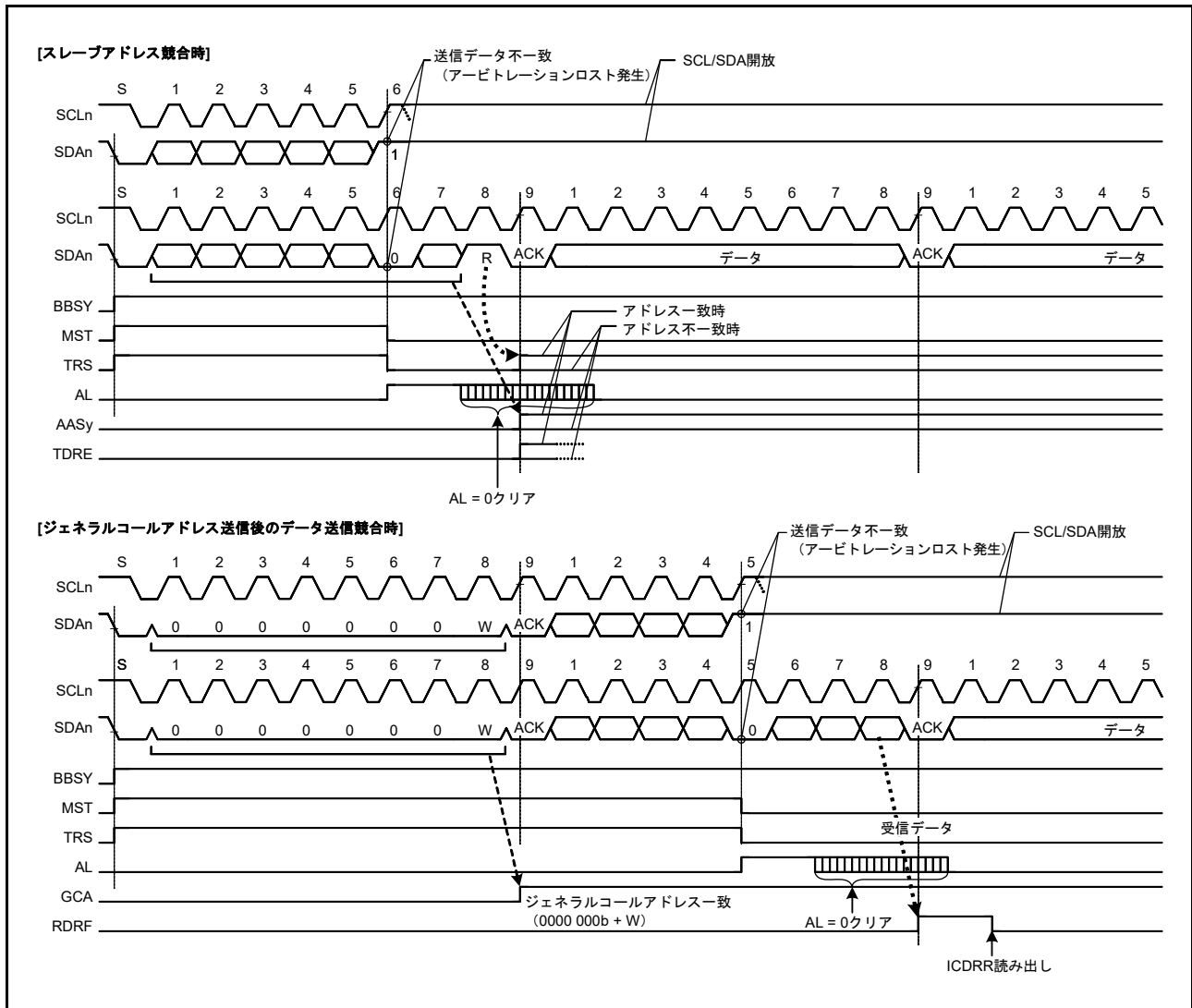


図 29.41 マスタアービトレーションロスト検出動作例 (MALE = 1 の場合)

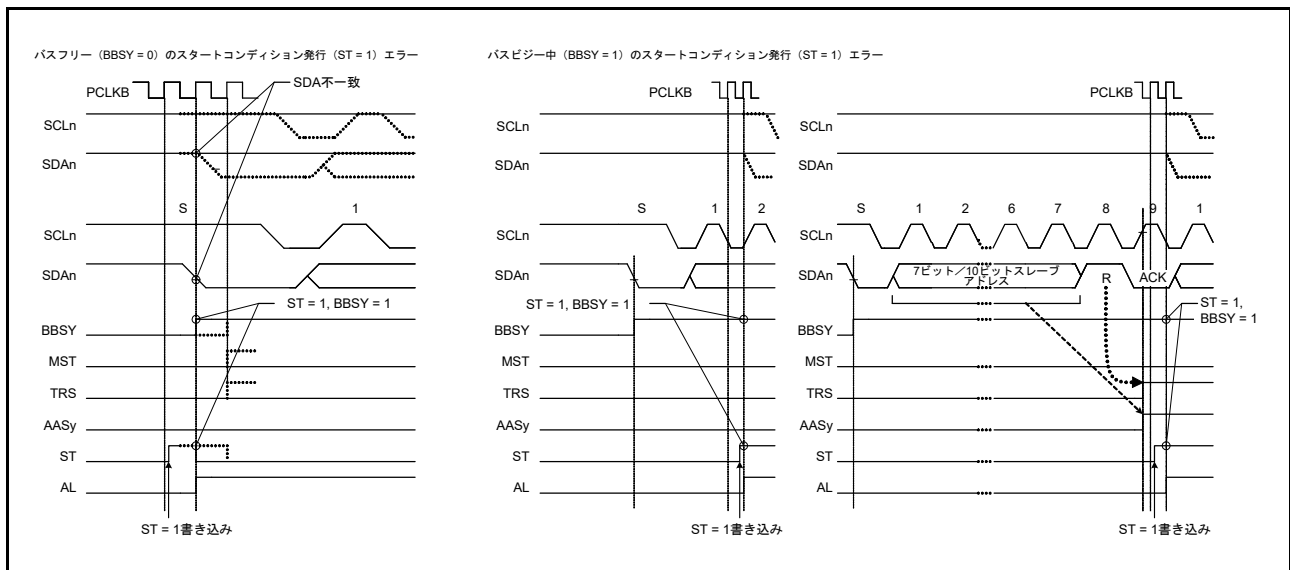


図 29.42 スタートコンディション発行時のアービトレーションロスト (MALE = 1 の場合)

29.10.2 NACK 送信中のアービトレーションロスト検出機能 (NALE ビット)

受信モードでの NACK 送信時に、内部の SDA 出力レベルと SDA_n ラインのレベルが不一致（内部 SDA 出力が High 出力、すなわち SDA_n 端子がハイインピーダンス状態）であれば、SDA_n ラインに LOW が検出されたとき、アービトレーションロストを発生させます。マルチマスタのシステムにおいて、2 つ以上のマスタデバイスが同じスレーブデバイスから同時にデータを受信するとき、NACK 送信と ACK 送信の間の衝突が原因で、アービトレーションロストが発生します。このような衝突は、複数のマスタデバイスが 1 つのスレーブデバイスに対して同じ情報を送受信する際に生じます。図 29.43 に、NACK 送信中のアービトレーションロスト検出の動作例を示します。

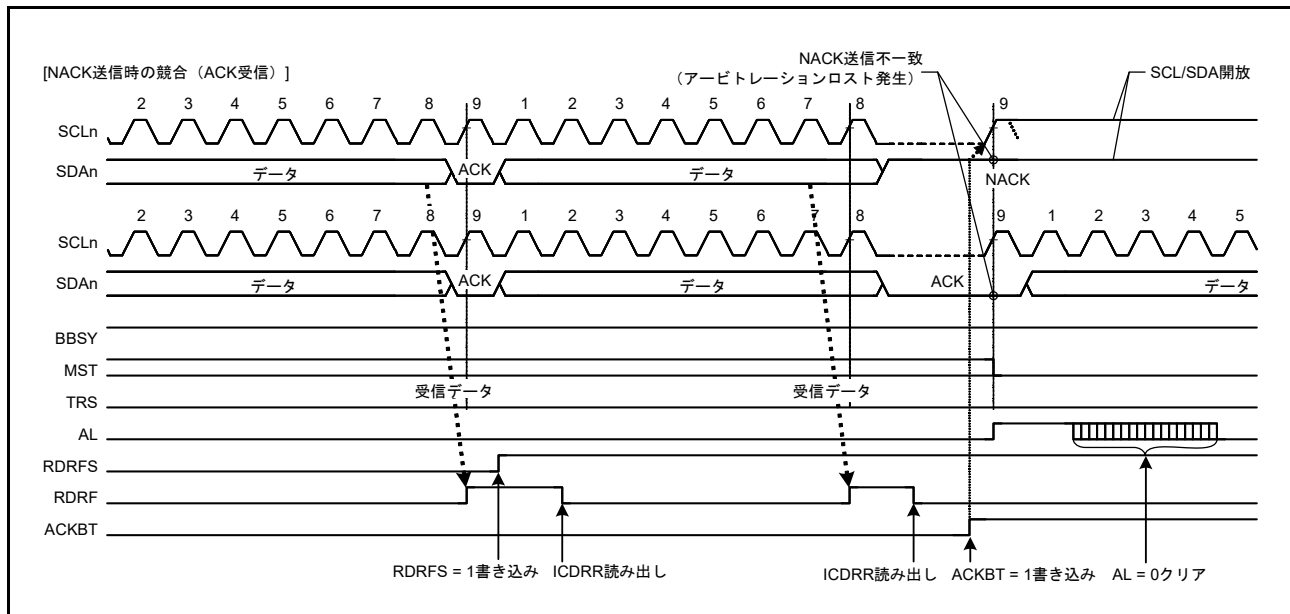


図 29.43 NACK 送信中のアービトレーションロスト検出の動作例 (NALE = 1 の場合)

以下では、2 つのマスタデバイス（マスタ A、B）と 1 つのスレーブデバイスがバス上に接続されている場合を例にアービトレーションロストを説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

マスタ A とマスタ B が同時にスレーブデバイスにアクセスした場合、スレーブアドレスが同じであるため、スレーブデバイスアクセス中にマスタ A にも B にもアービトレーションロストは発生しません。そのため、マスタ A とマスタ B は、どちらもバス権を取得したものと認識して動作します。マスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスからの受信データが必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的に、このような衝突が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できずにストップコンディションを発行します。そのため、このストップコンディションの発行は、マスタ B の SCL クロック出力と競合し、通信を中断させます。

IIC は、NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知し、アービトレーションロストを発生させることができます。

NACK 送信時にアービトレーションロストが発生すると、IIC はただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能は、ストップコンディション発行を未然に防ぎ、バスの通信エラーを防止します。

同様に、SMBus の ARP コマンド処理においても、NACK 送信中のアービトレーションロスト検出機能を用いて、アサインアドレスコマンド後の Get UDID 汎用処理でアサインアドレスの UDID（ユニークデバイス ID）が不一致の場合に必要な FFh 送信処理などの追加クロック処理を省くことができます。

ICFER.NALE ビットが 1（NACK 送信中アービトレーションロスト検出有効）の状態、以下に示す条件が成立したとき、IIC は NACK 送信中のアービトレーションロストを検出します。

[NACK 送信中アービトレーションロスト条件]

- NACK 送信時 (ICMR3.ACKBT ビット = 1)、内部の SDA 出力レベルと SDA_n ラインの状態 (ACK 受信) が不一致のとき

29.10.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

スレーブ送信モード時に、送信データと SDA_n ラインのレベルが不一致 (内部 SDA 出力が High 出力、すなわち SDA_n 端子がハイインピーダンス状態) であれば、SDA_n ラインに LOW が検出されたとき、アービトレーションロストを発生させます。このアービトレーションロスト検出機能は、主に SMBus での UDID (ユニークデバイス ID) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、IIC はただちにスレーブ一致状態を解除してスレーブ受信モードへ遷移します。この機能によって、SMBus での UDID 送信時のデータ衝突を検出し、以降の余剰な処理 (FFh 送信処理) を省くことができます。

ICFER.SALE ビットが 1 (スレーブアービトレーションロスト検出有効) の状態で、以下に示す条件が成立したとき、IIC はスレーブアービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時 (ICCR2.MST、TRS ビット = 01b)、アクノリッジを除く送信データ (内部 SDA 出力レベル) と SDA_n ラインが不一致のとき

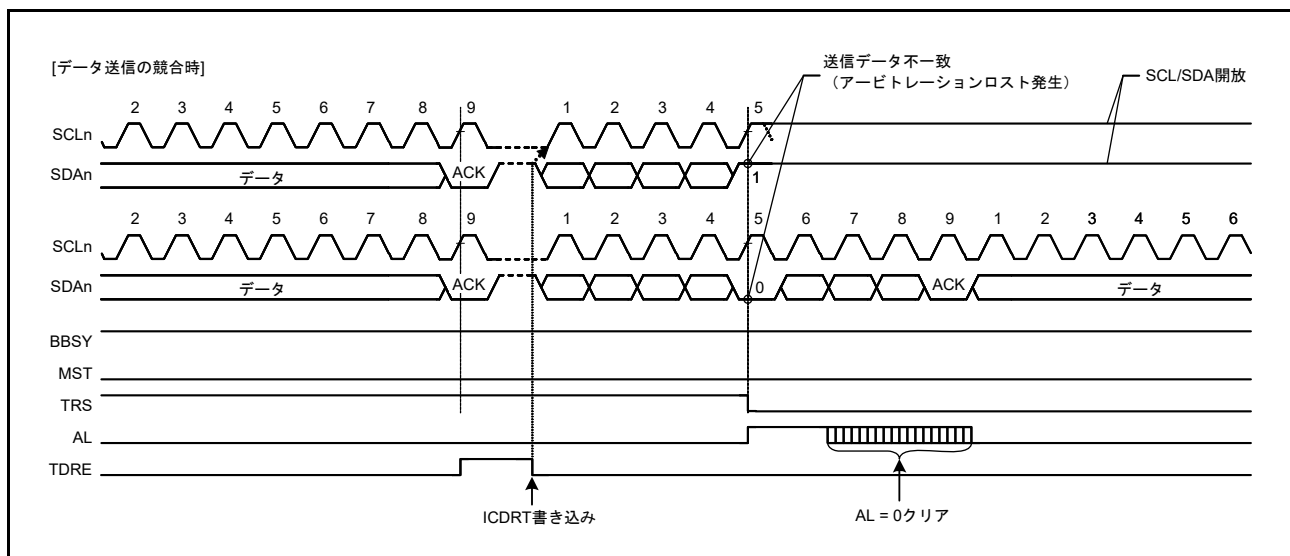


図 29.44 スレーブアービトレーションロスト検出動作例 (SALE = 1 の場合)

29.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

29.11.1 スタートコンディション発行動作

IIC は、ICCR2.ST ビットが 1 のときにスタートコンディションを発行します。

ST ビットを 1 にすると、スタートコンディション発行要求が行われ、ICCR2.BBSY フラグが 0 (バスフリー状態) の場合、IIC はスタートコンディションを発行します。スタートコンディションが正常に発行された場合、IIC は自動的にマスタ送信モードへ遷移します。

スタートコンディションの発行方法：

1. SDA_n ラインを立ち下げる (High から Low に遷移)。
2. ICBRH レジスタで設定した時間とスタートコンディションのホールド時間が経過したことを確認する。
3. SCL_n ラインを立ち下げる (High から Low に遷移)。
4. SCL_n ラインの Low を検出後、ICBRL レジスタで設定した SCL_n ラインの Low 幅が経過したことを確認する。

29.11.2 リスタートコンディション発行動作

IIC は、ICCR2.RS ビットが 1 のときリスタートコンディションを発行します。

RS ビットを 1 にすると、リスタートコンディション発行要求が行われます。ICCR2.BBSY フラグが 1 (バスビジー状態) で、かつ ICCR2.MST ビットが 1 (マスタモード) の場合、IIC はリスタートコンディションを発行します。

リスタートコンディションの発行方法：

1. SDA_n ラインを開放する。
2. ICBRL レジスタで設定した SCL_n ラインの Low 幅が経過したことを確認する。
3. SCL_n ラインを開放する (Low から High に遷移)。
4. SCL_n ラインの High を検出後、ICBRL レジスタで設定した時間とリスタートコンディションのセットアップ時間が経過したことを確認する。
5. SDA_n ラインを立ち下げる (High から Low に遷移)。
6. ICBRH レジスタで設定した時間とリスタートコンディションのホールド時間を確保する。
7. SCL_n ラインを立ち下げる (High から Low に遷移)。
8. SCL_n ラインの Low を検出し、ICBRL レジスタで設定した SCL_n ラインの Low 幅が経過したことを確認する。

注． リスタートコンディション要求の発行時、ICCR2.RS が 0 であることを確認してから、ICDRT レジスタにスレーブアドレスを書いてください。ICCR2.RS が 1 の期間に書き込まれたデータは、以前の再送条件と判断されるため、転送されません。

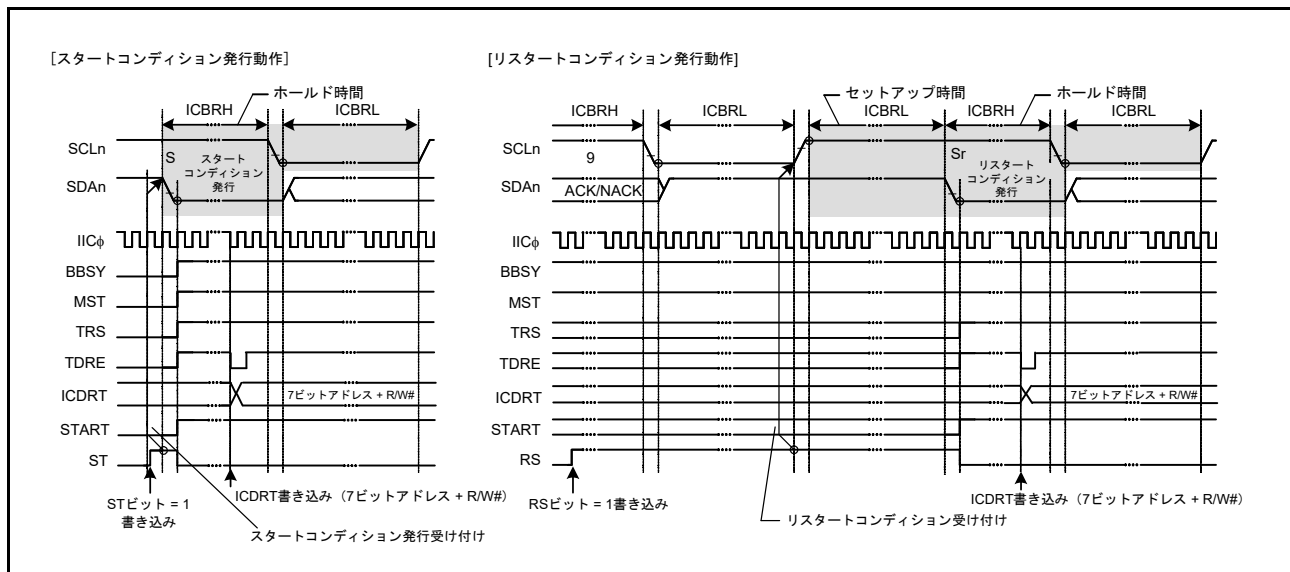


図 29.45 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

図 29.46 に、マスタ送信後にリスタートコンディションが発行されたときの動作タイミングを示します。

マスタ送信後にリスタートコンディションを発行するには：

- 29.3.2 初期設定の内容に従って、IIC を初期化します。
- IICR2.BBSY フラグを読み出してバスフリー状態であることを確認した後、ICCR2.ST ビットを 1 (スタートコンディション要求) にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。同時に、ICSR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。ST ビットが 1 の状態でスタートコンディションが検出され、SDA 出力状態の内部レベルと SDA_n ラインの各レベルが一致すると、IIC は、ST ビットで要求したとおり、スタートコンディションが正常に発行されたと認識します。ICCR2.MST ビットおよび ICCR2.TRS ビットは自動的に 1 になり、IIC はマスタ送信モードになります。TRS ビットが 1 になると、ICSR2.TDRE フラグも自動的に 1 になります。
- ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書き込んでください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信が完了すると、送信された R/W# ビットの値に応じて自動的に TRS ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が 0 の場合、IIC はマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しない、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書き込んで、ストップコンディションを発行してください。
データを 10 ビットフォーマットのアドレスで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビットおよび W (= 0) ビットを書きます。次に、2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書き込んでください。
- ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書き込んでください。なお、送信データの準備ができて、リスタートコンディションまたはストップコンディションが発行されるまで、IIC は自動的に SCL_n ラインを Low にホールドします。
- ICDRT レジスタに送信データの全バイトが書き込まれたら、ICSR2.TEND フラグの値が 1 に戻るのを待ちます。その後、ICSR2.START フラグが 1 になっているのを確認してから、ICSR2.START フラグを 0 にします。
- ICCR2.RS ビットを 1 (リスタートコンディション要求) にします。IIC は要求を受け付けると、リスタートコンディションを発行します。
- ICSR2.START フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書き込んでください。

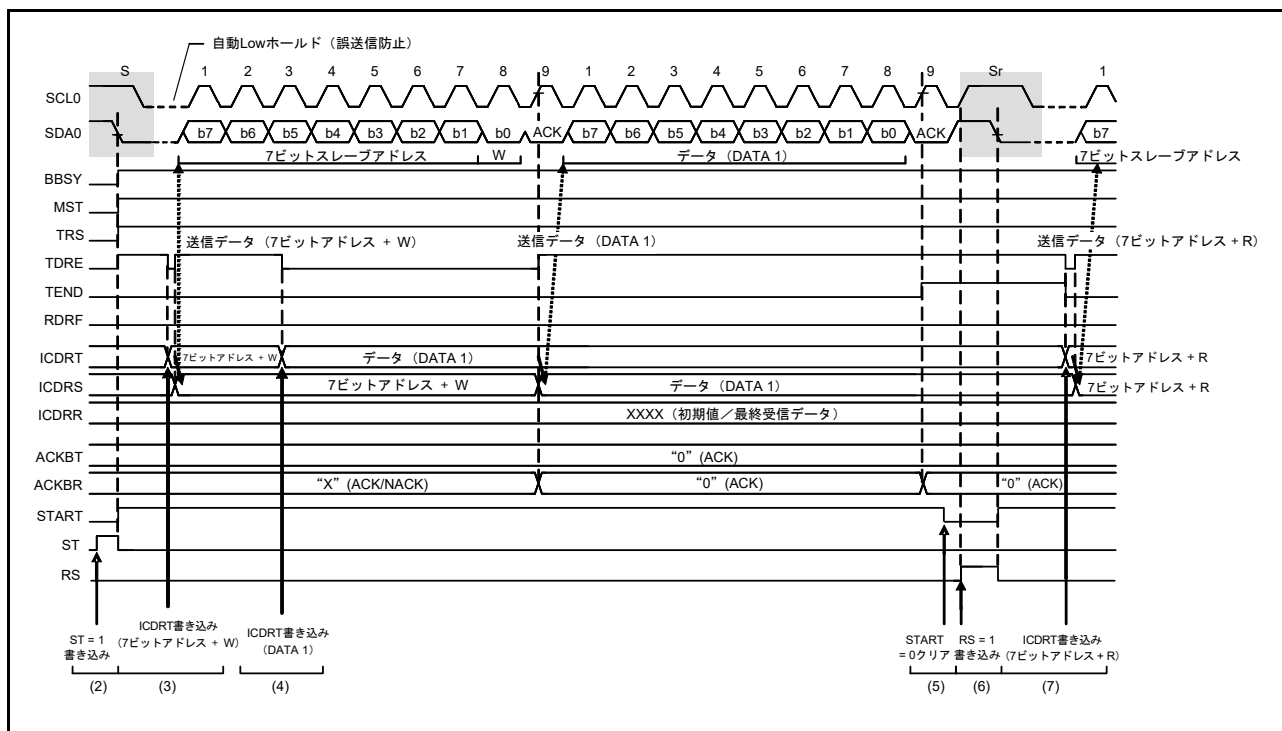


図 29.46 マスタ送信後のリスタートコンディション発行タイミング

29.11.3 ストップコンディション発行動作

IIC は、ICCR2.SP ビットが 1 のときストップコンディションを発行します。

SP ビットを 1 にすると、ストップコンディション要求が行われ、ICCR2.BBSY フラグが 1 (バスビジー状態) で、かつ ICCR2.MST ビットが 1 (マスタモード) の場合、IIC はストップコンディションを発行します。

ストップコンディションの発行方法：

1. SDA_n ラインを立ち下げる (High から Low に遷移)。
2. ICBRL レジスタで設定した SCL_n ラインの Low 幅が経過したことを確認する。
3. SCL_n ラインを開放する (Low から High に遷移)。
4. SCL_n ラインの High 検出後、ICBRH レジスタで設定した時間とストップコンディションのセットアップ時間が経過したことを確認する。
5. SDA_n ラインを開放する (Low から High に遷移)。
6. ICBRL レジスタで設定した時間とバスフリー時間が経過したことを確認する。
7. BBSY フラグをクリアしてバス権を解放する。

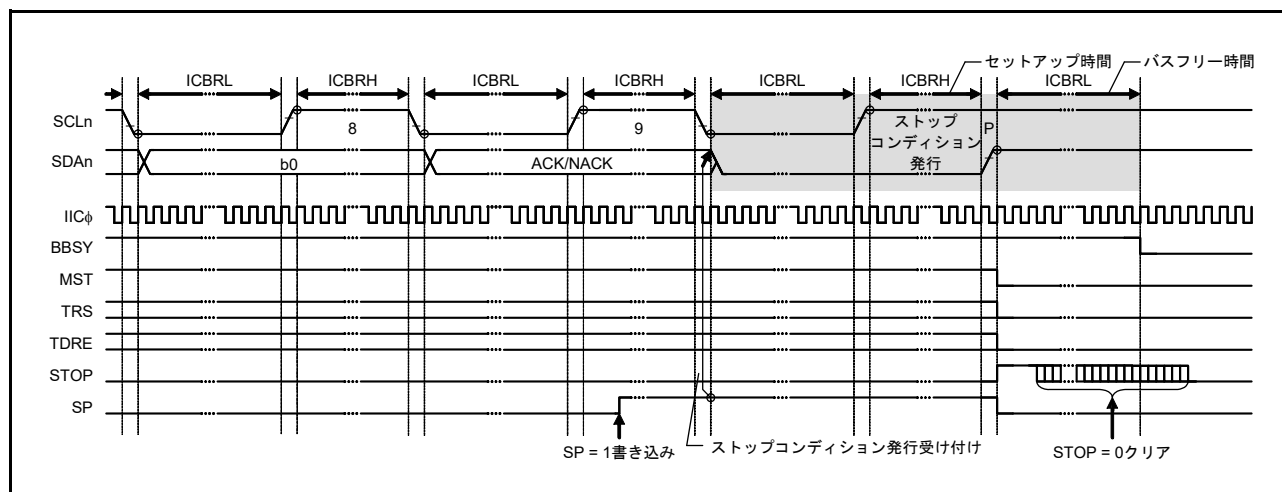


図 29.47 ストップコンディション発行タイミング (SP ビット)

29.12 バスハングアップ

I²C バスでは、ノイズなどが原因で、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLn ラインや SDA_n ライン上のレベルが固定されたままバスハングアップを起こす場合があります。

バスハングアップを管理するために、IIC は次の機能を備えています：

- SCLn ラインを監視してハングアップを検出するためのタイムアウト機能
- クロック信号の同期ズレが原因でハングアップ状態になったバスを解放するための SCL クロック追加出力機能
- IIC リセット機能
- 内部リセット機能

ICCR1.SCLO、SDAO、SCLI、SDAI の各ビットをチェックすることで、IIC 自身と通信相手のどちらが SCLn ラインまたは SDA_n ラインを Low にしているのか確認することが可能です。

29.12.1 タイムアウト検出機能

タイムアウト検出機能では、SCLn ラインに一定時間以上変化が見られない状態を検出できます。IIC は、SCLn ラインが Low または High に固定されたまま一定時間以上経過したことを監視して、バスの異常状態を検出することが可能です。

タイムアウト検出機能は SCLn ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は SCLn ラインに変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合、カウント動作を続けます。SCLn ラインに変化がないために内部カウンタがオーバーフローすると、IIC はタイムアウトを検出してバスハングアップ状態を報告します。

タイムアウト検出機能は、ICFER.TMOE ビットが 1 のときのみ有効です。以下の条件で SCLn ラインが Low または High に固定される場合にバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット = 1) で、バスビジー (ICCR2.BBSY フラグ = 1)
- スレーブモード (ICCR2.MST ビット = 0) で、IIC スレーブアドレス検出 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ = 1)
- スタートコンディション要求中 (ICCR2.ST ビット = 1) で、バスフリー (ICCR2.BBSY フラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0] ビットで設定された内部基準クロック (IIC_φ) をカウントソースとして使用します。このカウンタは、ロングモード選択時 (ICMR2.TMOS ビット = 0) は 16 ビットカウンタ、ショートモード選択時 (ICMR2.TMOS ビット = 1) は 14 ビットカウンタとして機能します。

また、内部カウンタのカウント動作は、SCLn ラインが Low のときカウントさせるか、High のときカウントさせるか、あるいはその両方をカウントさせるかを ICMR2.TMOH、TMOL ビットで選択することが可能です。TMOL ビットと TMOH ビットの両方を 0 にした場合、内部カウンタは動作しません。

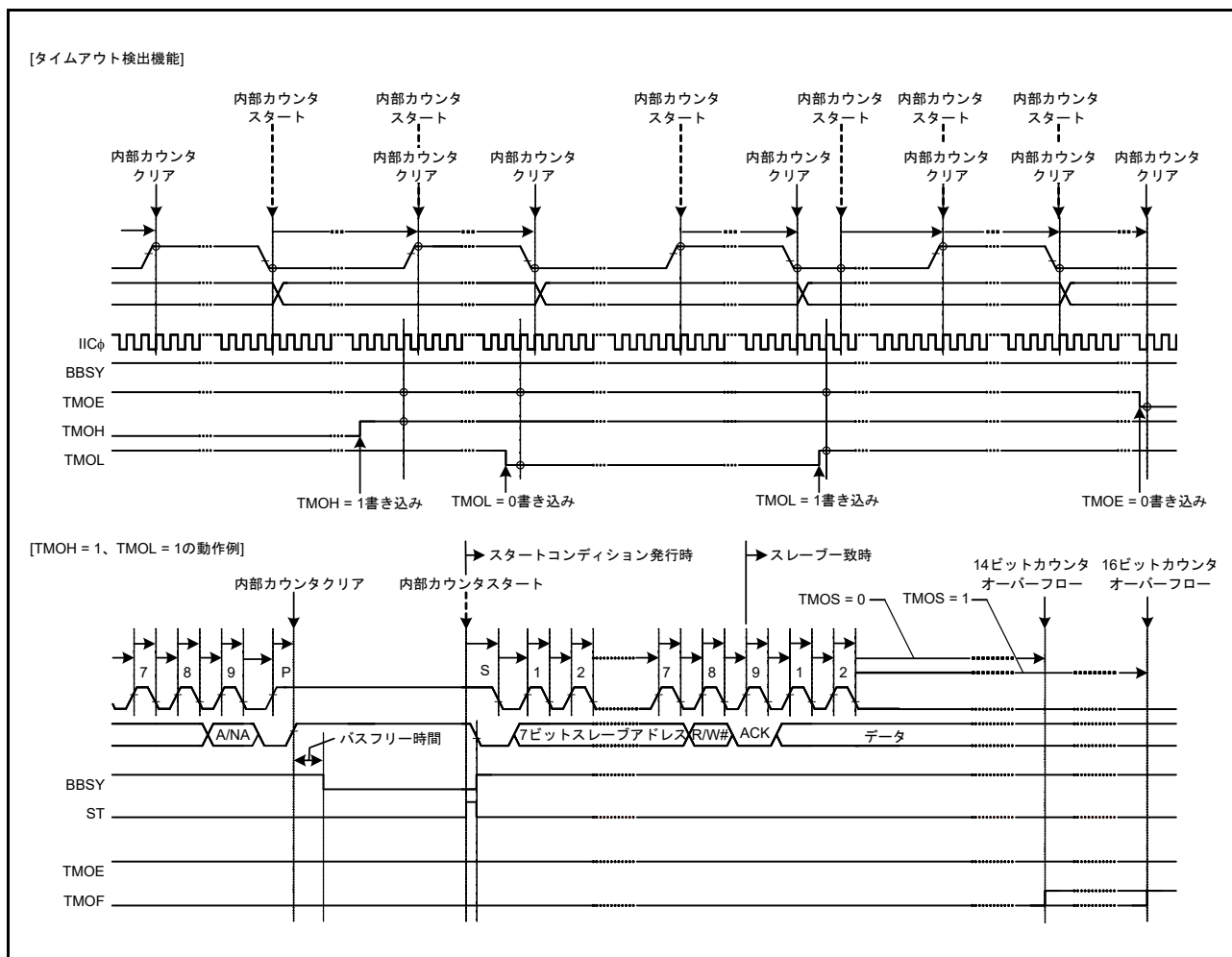


図 29.48 タイムアウト検出機能 (TMOE、TMOS、TMOH、TMOL ビット)

29.12.2 SCL クロック追加出力機能

マスタモード時、本機能は SCL クロック追加出力を行い、マスタデバイスとスレーブデバイスとの同期ズレにより生じた、スレーブデバイスによる SDA_n ラインの Low ホールド状態を解放します。

本機能は、スレーブデバイスが SDA_n ラインを Low ホールドしているため、IIC がストップコンディションを発行できない状態のバスエラー発生時に、SCL クロックを 1 クロック単位で使用します。通常は本機能を使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

マスタモードで ICCR1.CLO ビットを 1 にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定した転送速度で、SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると、CLO ビットは自動的に 0 になります。このとき、ICCR2.BBSY = 1 の場合、SCL 端子は Low を出力し、ICCR2.BBSY = 0 の場合、SCL 端子は High になります。

また、ソフトウェアで CLO ビットが 0 であることを確認した後、CLO ビットに 1 を書くことにより、追加クロックを連続的に出力することができます。

IIC モジュールがマスタモード時に、ノイズの影響によりスレーブデバイスとの同期ズレが原因でスレーブデバイスが SDA_n ラインを Low に固定したままだと、ストップコンディションが出力できません。この機能を使用して SCL 追加クロックを 1 クロックずつ出力することで、SDA_n ラインをスレーブデバイスによる Low ホールドから解放し、バスを使用できない状態から回復させることができます。スレーブデバイスによる SDA_n ラインの解放は、ICCR1.SDAI ビットを読みだすことで確認できます。SDA_n ラインがスレーブデバイスから解放されたことを確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

[ICCR1.CLO ビット使用時の出力条件]

- バスフリー状態 (ICCR2.BBSY フラグ = 0) またはマスタモード (ICCR2.MST ビット = 1、ICCR2.BBSY フラグ = 1) のとき
- 通信デバイスが SCL_n ラインを Low ホールドにしていないとき

図 29.49 に SCL クロック追加出力機能 (CLO ビット) の動作タイミングを示します。

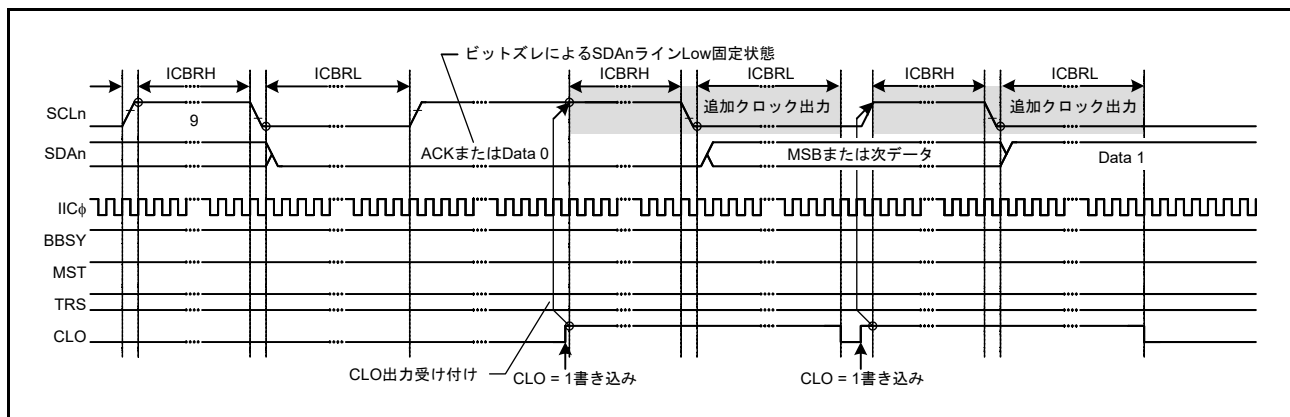


図 29.49 SCL クロック追加出力機能 (CLO ビット)

29.12.3 IIC リセット、内部リセット

IIC がサポートするリセットには 2 種類あります。

- IIC リセット — ICCR2.BBSY フラグを含めたすべてのレジスタを初期化します
- 内部リセット — 他の設定を保持したまま IIC をスレーブアドレス一致状態から解放し、内部カウンタを初期化します

リセット後は、必ず ICCR1.IICRST ビットを 0 にしてください。いずれのリセットも、SCL_n 端子および SDA_n 端子の出力状態を解除してハイインピーダンスに戻すため、バスハングアップ状態の解除に有効です。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になるので、使用は極力避けてください。また、IIC リセット (ICCR1.ICE、IICRST ビット = 01b) 中は、スタートコンディションの有無など、バス状態の監視はできません。

IIC リセットと内部リセットの詳細については、[29.15 各コンディション発行時のレジスタの状態](#)を参照してください。

29.13 SMBus 動作

IIC は SMBus 仕様 (バージョン 2.0) に準拠した通信動作に対応しています。SMBus 通信を行うには、ICMR3.SMBS ビットを 1 にしてください。転送速度が SMBus 規格の 10kbps ~ 100kbps の範囲に収まるように、ICMR1.CKS[2:0] ビットと ICBRH および ICBRL レジスタを設定してください。また、データホールド時間の規定値 300ns 以上を満たすように、ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。IIC をスレーブデバイスとしてのみ使用する場合は、転送速度の設定は不要ですが、ICBRL レジスタには 250ns 以上のデータセットアップ時間を設定してください。

なお、SMBus デバイスデフォルトアドレス (1100 001b) には、スレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、対応する SARUy.FS ビット (y=0 ~ 2) (7 ビットまたは 10 ビットアドレスフォーマット選択ビット) を 0 (7 ビットアドレスフォーマット) にしてください。

また、UDID (ユニークデバイス ID) 送信時には、ICFER.SALE ビットを 1 にして、スレーブアービトレーションロスト検出機能を有効にしてください。

29.13.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは下記に示す区間 (タイムアウト間隔: $T_{\text{LOW:SEXT}}$) を計測する必要があります。

- スタートコンディションからストップコンディションまで

スレーブデバイスでタイムアウト測定を行うには、IIC のスタートコンディション検出割り込み (STIn) とストップコンディション検出割り込み (SPIn) を利用して、スタートコンディション検出からストップコンディション検出までの期間を GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積時間 (スレーブデバイス) $T_{\text{LOW:SEXT}}: 25\text{ms (max)}$ 以内でなければいけません。

GPT で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト $T_{\text{TIMEOUT}}: 25\text{ms (min)}$ を超えた場合、スレーブデバイスは ICCR1.IICRST ビットに 1 を書き込んで IIC の内部リセットを発行し、バスを解放する必要があります。内部リセットを行うと、IIC は SCLn 端子と SDA_n 端子のバス駆動を中止し、両端子の出力をハイインピーダンスにします。これによって、バスを解放することが可能です。

(2) マスタデバイスのタイムアウト測定

SMBus 通信では、マスタデバイスは下記に示す区間 (タイムアウト間隔: $T_{\text{LOW:MEXT}}$) を計測する必要があります。

- スタートコンディションからアクノリッジビットまで
- アクノリッジビットから次のアクノリッジビットまで
- アクノリッジビットからストップコンディションまで

マスタデバイスでタイムアウト測定を行うには、IIC のスタートコンディション検出割り込み (STIn)、ストップコンディション検出割り込み (SPIn)、および送信終了割り込み (IICn_TEI)、または IIC の受信データフル割り込み (IICn_RXI) を利用して、GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積延長時間 (マスタデバイス) $T_{\text{LOW:MEXT}}: 10\text{ms (max)}$ 以内であり、かつスタートコンディションからストップコンディションまでのすべての $T_{\text{LOW:MEXT}}$ の合計が $T_{\text{LOW:SEXT}}: 25\text{ms (max)}$ 以内である必要があります。

ACK 受信タイミング (SCL クロックの 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで監視します。マスタ送信モード時は 1 バイト送信動作を行い、マスタ受信モード時は最終バイト受信の直前まで ICMR3.RDRFS ビットを 0 に保持してください。RDRFS ビットが 0 のとき、RDRF フラグは SCL クロックの 9 クロック目の立ち上がりで 1 になります。

GPT で計測した時間が、SMBus 規格のクロック Low 累積延長時間 (マスタデバイス) $T_{\text{LOW:MEXT}}: 10\text{ms (max)}$ を超えた場合、または各計測時間の合計が、SMBus 規格のクロック Low 検出のタイムアウト $T_{\text{TIMEOUT}}: 25\text{ms (min)}$ を超えた場合は、マスタデバイスはストップコンディションを発行してトランザクションを中止する必要があります。マスタ送信モード時には即座に送信動作を中止 (ICDRT レジスタへの書き込み) してください。

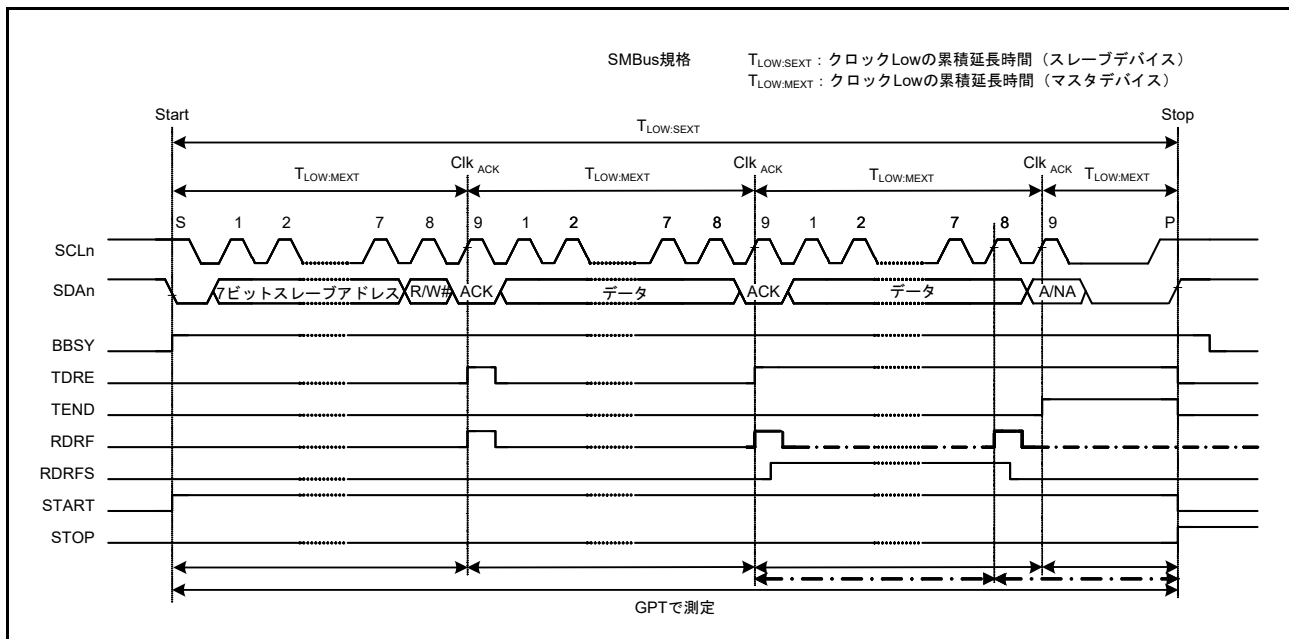


図 29.50 SMBus タイムアウト測定

29.13.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しており、この CRC 演算器を利用して、パケットエラーコード (PEC) の送信や、SMBus データ通信時の受信データチェックが可能です。CRC 演算器の生成多項式については、「[32. 巡回冗長検査 \(CRC\) 演算器](#)」を参照してください。

マスタ送信モード時の PEC データは、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書き込むことで生成することが可能です。

マスタ受信モード時の PEC データは、全受信データを CRC 演算器の CRCDIR レジスタに書き込み、取得した CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することでチェックできます。

PEC コードチェックの結果として、最終バイト受信時の結果 (一致/不一致) に応じた ACK/NACK 送出を行う場合は、最終バイト受信中の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを 1 にし、8 クロック目の立ち下がりまで SCLn ラインを Low にホールドしてください。

29.13.3 SMBus ホスト通知プロトコル (Notify ARP Master コマンド)

SMBus 通信では、スレーブデバイスが一時的にマスタデバイスとなり、SMBus ホスト (または ARP マスタ) に対して自スレーブアドレスを通知したり、SMBus ホストに対して自スレーブアドレスを要求したりできます。

本 MCU を使用する製品を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があるため、IIC はホストアドレス検出機能を備えています。ホストアドレスをスレーブアドレスとして検出するには、ICMR3.SMBS ビットおよび ICSEH.HOAE ビットを 1 にしてください。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

29.14 割り込み要因

IIC が発行する割り込み要求には 5 種類あります。

- 転送エラーまたはイベント生成（アービトレーションロスト、NACK 検出、タイムアウト検出、スタートコンディション検出、およびストップコンディション検出）
- 受信データフル
- 送信データエンプティ
- 送信終了
- ウェイクアップ機能時にスレーブアドレスが一致

表 29.10 に割り込み要求の詳細を示します。受信データフル割り込みコンディションと送信データエンプティコンディションは、どちらも DTC または DMAC を起動してデータ転送を行うことができます。

表 29.10 割り込み要因

シンボル	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	割り込み条件
IICn_EEI (注5)	通信エラー/イベント発生	AL	不可能	不可能	AL = 1かつALIE = 1
		NACKF			NACKF = 1かつNAKIE = 1
		TMOF			TMOF = 1かつTMOIE = 1
		START			START = 1かつSTIE = 1
		STOP			STOP = 1かつSPIE = 1
IICn_RXI (注2) (注5)	受信データフル	RDRF	可能	可能	RDRF = 1かつRIE = 1
IICn_TXI (注1) (注5)	送信データエンプティ	TDRE	可能	可能	TDRE = 1かつTIE = 1
IICn_TEI (注3) (注5)	送信終了	TEND	不可能	不可能	TEND = 1かつTEIE = 1
IIC0_WUI (注4)	ウェイクアップ機能時にスレーブアドレス一致	WUF	不可能	不可能	スレーブアドレス一致 スレーブ受信完了 RWAK動作AAS0 = 1 WUIE = 1

注. CPUによる周辺モジュールへの書き込み命令の実行と、実際にモジュールに書き込まれるタイミングとの間には、遅延があります。割り込みフラグをクリアまたはマスクした場合は、関連するフラグを再度読み出し、クリアまたはマスク処理の完了を確認した後、割り込み処理から復帰させてください。そうしないと、同じ割り込み処理が繰り返される可能性があります。

注 1. IICn_TXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn_TXI 割り込みの条件となる ICSR2.TDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ = 1) で自動的に 0 になります。

注 2. IICn_RXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn_RXI 割り込みの条件となる ICSR2.RDRF フラグは、ICDRR レジスタの読み出しで自動的に 0 になります。

注 3. IICn_TEI 割り込みを使用する場合、IICn_TEI 割り込み処理で ICSR2.TEND フラグをクリアしてください。ICSR2.TEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ = 1) で自動的に 0 になります。

注 4. ウェイクアップ機能はチャンネル 0 にしかないので、IIC0_WUI はチャンネル 0 の場合しか使用しません。

注 5. チャンネル番号 (n = 0 ~ 1)

割り込み処理中に、それぞれのフラグをクリアまたはマスクしてください。

29.14.1 IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作

対応する IR フラグが 1 のときに、IICn_TXI 割り込みおよび IICn_RXI 割り込みの発生条件が成立した場合、割り込み要求は ICU へ出力されず、内部に保存されます (1 要因あたり 1 要求を内部に保持できます)。

ICU.IELSRn.IR フラグが 0 になると、ICU に保存されている割り込み要求が出力されます。通常の使用状態では、内部的に保存されていた割り込み要求が自動的にクリアされます。また、内部的に保存されていた割り込み要求は、対応する周辺側の割り込み許可ビットを 0 にすることでクリアが可能です。

29.15 各コンディション発行時のレジスタの状態

IIC は 2 種類の専用リセット機能、すなわち IIC リセットと内部リセットを備えています。表 29.11 に各コンディション発行時のレジスタの状態を示します。

表 29.11 各コンディション発行時のレジスタの状態

レジスタ		リセット	IIC リセット (ICE ビット = 0、 IICRST ビット = 1)	内部リセット (ICE ビット = 1、 IICRST ビット = 1)	スタート コンディション またはリスタート コンディション検出	ストップコンディ ション検出	
ICCR1	ICE, IICRST	リセット	保持	保持	保持	保持	
	SCLO, SDAO		リセット	リセット			
	その他			保持			
ICCR2	BBSY	リセット	リセット	保持	セット	リセット	
	ST, RS			リセット	リセット	保持	
	SP					リセット	
	TRS					セットまたは保持	リセット
	MST						
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持	
	その他			保持	保持		
ICMR2		リセット	リセット	保持	保持	保持	
ICMR3	ACKBIT	リセット	リセット	保持	保持	リセット	
	その他					保持	
ICFER		リセット	リセット	保持	保持	保持	
ICSER		リセット	リセット	保持	保持	保持	
ICIER		リセット	リセット	保持	保持	保持	
ICSR1		リセット	リセット	リセット	保持	リセット	
ICSR2	TEND	リセット	リセット	リセット	保持	リセット	
	TDRE				セットまたは保持		
	START				セット		
	STOP				保持	セット	
	その他				保持	保持	
ICWUR		リセット	リセット	保持	保持	保持	
ICWUR2	WUSEN	リセット	リセット	保持	保持	保持	
	その他					保持、セット、 またはリセット	
SARL0~SARL2 SARU0~SARU2		リセット	リセット	保持	保持	保持	
ICBRH, ICBRL		リセット	リセット	保持	保持	保持	
ICDRT		リセット	リセット	保持	保持	保持	
ICDRR		リセット	リセット	保持	保持	保持	
ICDRS		リセット	リセット	リセット	保持	保持	
タイムアウト検出機能		リセット	リセット	リセット	動作	動作	
バスフリー時間計測		リセット	リセット	動作	動作	動作	

29.16 イベントリンク出力機能

IIC0 および IIC1 は、イベントリンクコントローラ (ELC) に対して次の要因によってイベント出力を行います。

(1) 通信エラーイベント

通信エラーイベントが発生すると、対応するイベント信号を ELC によって他のモジュールに出力できません。

(2) 受信データフル

レシーブデータレジスタが受信データフルになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(3) 送信データエンプティ

トランスミットデータレジスタが送信データエンプティになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(4) 送信終了

転送が終了すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

29.16.1 割り込み処理とイベントリンク機能

IIC の各割り込み (表 29.10 参照) には、対応する割り込み信号の許可または禁止を制御する許可ビットがあります。対応する割り込み許可ビットが設定されている場合に割り込み要因の条件が成立すると、CPU に対して割り込み要求信号が出力されます。

割り込み要因が発生すると、割り込み許可ビットの設定にかかわらず、対応するイベントリンク出力信号が ELC によって他のモジュールにイベント信号として出力されます。各割り込み要因については、表 29.10 を参照してください。

29.17 使用上の注意事項

29.17.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、IIC の動作を許可または禁止することが可能です。IIC は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細については、「10. 低消費電力モード」を参照してください。

29.17.2 転送開始に関する注意事項

転送開始 (ICCR1.ICE ビット = 1) 時点で IIC の割り込みに対応した IR フラグが 1 であれば、動作を許可する前に下記の手順で割り込み要求をクリアしてください。ICCR1.ICE ビットが 1 の状態で IR フラグを 1 にして転送を開始すると、転送開始後、割り込み要求が内部で保持されるため、IR フラグが予期しない動作となる可能性があります。

1. ICCR1.ICE ビットが 0 であることを確認する。
2. 周辺機能で対応する割り込み許可ビット (ICIER.TIE など) を 0 にする。
3. 周辺機能で対応する割り込み許可ビット (ICIER.TIE など) を読み出して、値が 0 であることを確認する。
4. IR フラグを 0 にする。

30. CAN (Controller Area Network) モジュール

30.1 概要

CAN モジュールは、電磁的ノイズの多いアプリケーションにおいて、メッセージベースのプロトコルを用いて複数のスレーブとマスタの間でデータの送受信を行います。このモジュールは、ISO 11898-1 (CAN 2.0A/CAN 2.0B) 規格に準拠し、最大 32 個のメールボックスをサポートしています。これらは、通常のメールボックスモードと FIFO モードでの送受信用に設定可能です。標準 (11 ビット) と拡張 (29 ビット) の両方のメッセージフォーマットに対応しています。CAN モジュールには、追加の外部 CAN トランシーバが必要です。

表 30.1 に CAN モジュールの仕様を、図 30.1 にブロック図を示します。

表 30.1 CANモジュールの仕様 (1/2)

項目	内容
データ転送	<ul style="list-style-type: none"> ISO11898-1 準拠の標準フレームと拡張フレーム
ビットレート	<ul style="list-style-type: none"> 最大 1Mbps にプログラム可能 (fCAN ≥ 8MHz) fCAN : CAN クロックソース
メッセージボックス	32 個のメールボックスに対し、下記の 2 種類のメールボックスモードを選択可能 <ul style="list-style-type: none"> 通常メールボックスモード : 32 個のメールボックスを送信または受信用に個別に設定可能 FIFO メールボックスモード : 24 個のメールボックスを送信または受信用に個別に設定可能、残りのメールボックスは受信および送信用の 4 段 FIFO で使用
受信	<ul style="list-style-type: none"> データフレームとリモートフレームの受信をサポート 受信 ID フォーマットは、標準 ID のみ、拡張 ID のみ、またはミックス ID を選択可能 ワンショット受信機能をプログラム可能 オーバーライトモード (未読メッセージ上書き) またはオーバーランモード (未読メッセージ保持) を選択可能 メールボックスごとに個別に受信完了割り込みを許可または禁止
アクセプタンスフィルタ	<ul style="list-style-type: none"> 8 つのアクセプタンスマスク (4 メールボックスごとにマスク 1 つ) メールボックスごとに個別にマスクを許可または禁止
送信	<ul style="list-style-type: none"> データフレームとリモートフレームの送信をサポート 送信 ID フォーマットは、標準 ID のみ、拡張 ID のみ、またはミックス ID を選択可能 ワンショット送信機能をプログラム可能 ブロードキャストメッセージ機能 メッセージ ID またはメールボックス番号に基づく優先モードを選択可能 送信要求アボートをサポート、アボート完了はステータスフラグで確認可能 メールボックスごとに個別に送信完了割り込みを許可または禁止
バスオフ復帰のモード遷移	バスオフ状態からの復帰のモード遷移を選択可能 : <ul style="list-style-type: none"> ISO11898-1 仕様準拠 バスオフ開始で CAN halt モードへ自動エントリ バスオフ終了で CAN halt モードへ自動エントリ ソフトウェアにより CAN halt モードへエントリ ソフトウェアによりエラーアクティブ状態へ遷移
エラー状態の監視	<ul style="list-style-type: none"> CAN バスエラー (スタッフエラー、フォームエラー、ACK エラー、15 ビット CRC エラー、ビットエラー、ACK デリミタエラー) の監視 エラー状態 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) への遷移の検出 エラーカウンタ読み出しのサポート
タイムスタンプ機能	<ul style="list-style-type: none"> 16 ビットカウンタによるタイムスタンプ機能 基準クロックは、1、2、4、8 ビットタイム期間から選択可能
割り込み機能	5 種類の割り込み要因をサポート : <ul style="list-style-type: none"> 受信完了割り込み 送信完了割り込み 受信 FIFO 割り込み 送信 FIFO 割り込み エラー割り込み
CAN スリープモード	<ul style="list-style-type: none"> CAN クロック停止による消費電力の削減

表 30.1 CAN モジュールの仕様 (2/2)

項目	内容
ソフトウェアサポートユニット	3つのソフトウェアサポートユニット： <ul style="list-style-type: none"> アクセプタンスフィルタサポート メールボックス検索サポート（受信メールボックス検索、送信メールボックス検索、メッセージロスト検索） チャンネル検索サポート
CANクロックソース	<ul style="list-style-type: none"> PCLKBまたはCANMCLK
テストモード	ユーザ評価用に3つのテストモードを用意： <ul style="list-style-type: none"> リッスンオンリモード セルフテストモード0（外部ループバック） セルフテストモード1（内部ループバック）
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能

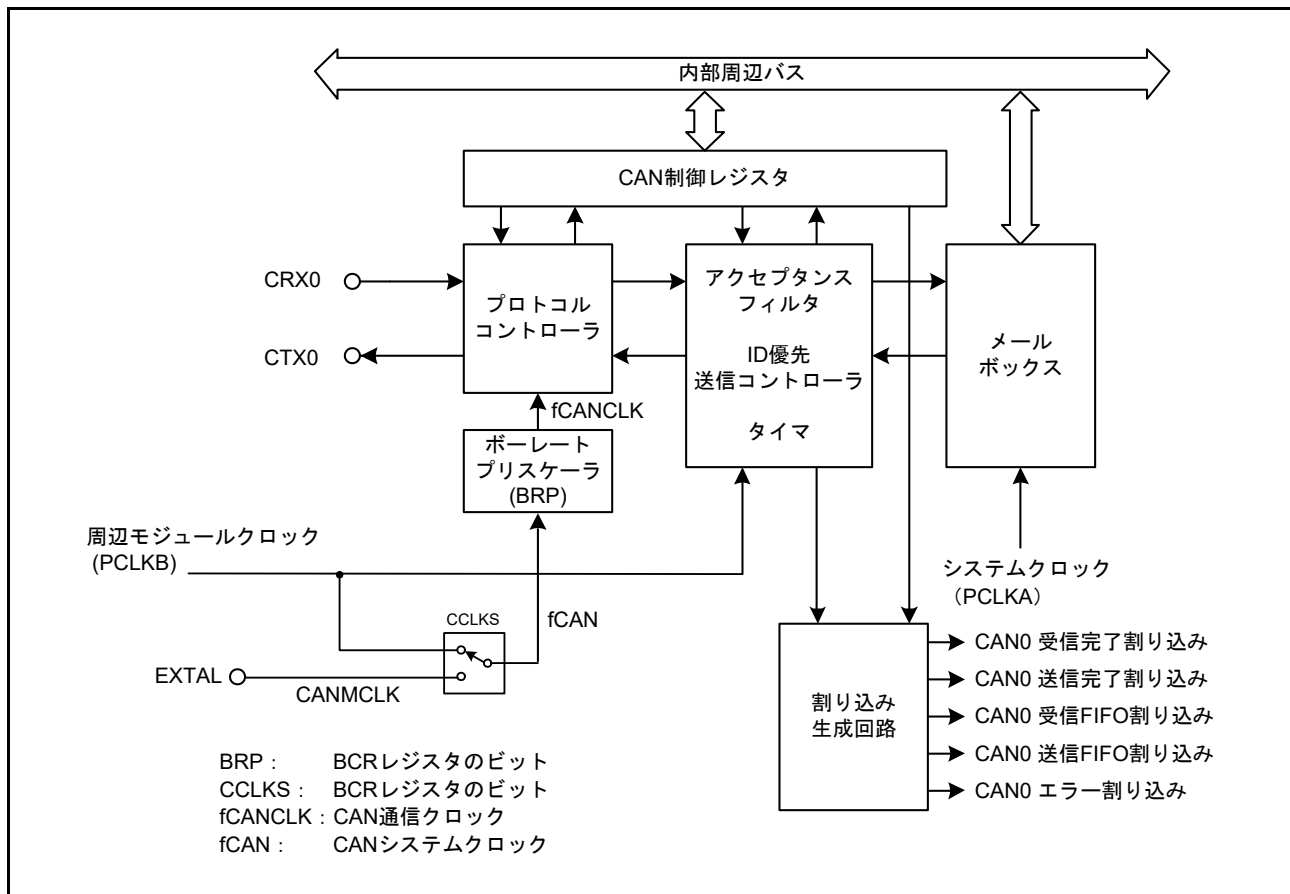


図 30.1 CAN モジュールのブロック図

CAN モジュールには、次のブロックが含まれます。

- CAN の入出力端子
CRX0 および CTX0
- プロトコルコントローラ
バスアービトラージョン、送受信時のビットタイミング、スタンプ処理、エラー処理などの CAN プロトコル処理を行います。
- メールボックス
送信または受信に使用可能な 32 個のメールボックスで構成されます。各メールボックスは、固有の ID、データ長コード (DLC)、データフィールド (8 バイト)、およびタイムスタンプを持ちます。

- アクセプタンスフィルタ
MKR0 ~ MKR7 レジスタの設定値を使用して、受信したメッセージのフィルタ処理を行います。
- タイマ
タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値が、タイムスタンプ値として書き込まれます。
- 5 種類の割り込み発生回路
 - CAN0 受信完了割り込み
 - CAN0 送信完了割り込み
 - CAN0 受信 FIFO 割り込み
 - CAN0 送信 FIFO 割り込み
 - CAN0 エラー割り込み

表 30.2 に CAN モジュール端子を示します。これらは、本 MCU の他の信号との兼用端子です。詳細は、「19. I/O ポート」を参照してください。

表 30.2 端子構成

端子名	入出力	機能
CRX0	入力	データ受信端子
CTX0	出力	データ送信端子

30.2 レジスタの説明

30.2.1 コントロールレジスタ (CTRLR)

アドレス CAN0.CTRLR 4005 0840h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RBOC	BOM[1:0]	SLPM	CANM[1:0]	TSPS[1:0]	TSRC	TPM	MLM	IDFM[1:0]	MBM				
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MBM	CAN メールボックスモード選択 (注1)	0 : 通常メールボックスモード 1 : FIFOメールボックスモード	R/W
b2-b1	IDFM[1:0]	IDフォーマットモード選択 (注1)	b2 b1 0 0 : 標準IDモード すべてのメールボックス (FIFOメールボックスを含む) は標準IDのみに対応します。 0 1 : 拡張IDモード すべてのメールボックス (FIFOメールボックスを含む) は拡張IDのみに対応します。 1 0 : ミックスIDモード すべてのメールボックス (FIFOメールボックスを含む) は、標準IDと拡張IDの両方に対応します。標準IDまたは拡張IDは、通常メールボックスモードで対応するメールボックス内でIDEビットを使用して指定します。FIFOメールボックスモードでは、対応するメールボックスのIDEビットはメールボックス0~23に使用します。FIDCR0およびFIDCR1レジスタのIDEビットは受信FIFO用に、メールボックス24のIDEビットは送信FIFO用に使用します。 1 1 : 設定禁止	R/W
b3	MLM	メッセージロストモード選択 (注1)	0 : オーバーライトモード 1 : オーバーランモード	R/W
b4	TPM	送信優先順位モード選択 (注1)	0 : ID優先送信モード 1 : メールボックス番号優先送信モード	R/W
b5	TSRC	タイムスタンプカウンタリセットコマンド (注4)	0 : リセットしない 1 : リセットする (注3)	R/W
b7-b6	TSPS[1:0]	タイムスタンププリスケアラ選択 (注1)	b7 b6 0 0 : 1ビットタイムごと 0 1 : 2ビットタイムごと 1 0 : 4ビットタイムごと 1 1 : 8ビットタイムごと	R/W
b9-b8	CANM[1:0]	CANオペレーションモード選択 (注5)	b9 b8 0 0 : CANオペレーションモード 0 1 : CANリセットモード 1 0 : CAN haltモード 1 1 : CANリセットモード (強制遷移)	R/W
b10	SLPM	CANスリープモード (注5) (注6)	0 : CANスリープモードの終了 1 : CANスリープモードの開始	R/W
b12-b11	BOM[1:0]	バスオフ復帰モード (注1)	b12 b11 0 0 : 通常モード (ISO11898-1仕様準拠) 0 1 : バスオフ状態開始で自動的にCAN haltモードへ遷移 1 0 : バスオフ状態終了で自動的にCAN haltモードへ遷移 1 1 : ソフトウェア要求によりバスオフ復帰期間中にCAN haltモードへ遷移	R/W
b13	RBOC	バスオフ強制復帰 (注2)	0 : バスオフ状態から強制復帰なし 1 : バスオフ状態から強制復帰 (注3)	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. BOM[1:0]、TSPS[1:0]、TPM、MLM、IDFM[1:0]、およびMBMビットへの書き込みは、CANリセットモード時に行ってください。

- 注 2. RBOC ビットはバスオフ状態で 1 にしてください。
- 注 3. このビットは、1 にした後、自動的に 0 になります。読むと 0 が読めます。
- 注 4. TSRC ビットは CAN オペレーションモード時に 1 にしてください。
- 注 5. CANM[1:0] および SLPM ビットを変更した場合は、STR レジスタでモードが切り替わったことを確認してください。モードが切り替わるまで、CANM[1:0] ビットまたは SLPM ビットを変更しないでください。
- 注 6. SLPM ビットへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。SLPM ビットを書き換える場合は、SLPM ビットのみで 0 または 1 を書いてください。

MBM ビット (CAN メールボックスモード選択)

MBM ビットが 0 (通常メールボックスモード) の場合、メールボックス 0 ~ 31 は送信または受信メールボックスに設定されます。

MBM ビットが 1 (FIFO メールボックスモード) の場合

- メールボックス 0 ~ 23 は送信または受信メールボックスに設定される
- メールボックス 24 ~ 27 は送信 FIFO に設定される
- メールボックス 28 ~ 31 は受信 FIFO に設定される
- 送信データは、メールボックス 24 (送信 FIFO のウィンドウメールボックス) に書き込まれる
- 受信データは、メールボックス 28 (受信 FIFO のウィンドウメールボックス) から読み出される

表 30.3 にメールボックスの構成を示します。

IDFM[1:0] ビット (ID フォーマットモード選択)

IDFM[1:0] ビットは、ID フォーマットを指定します。

MLM ビット (メッセージロストモード選択)

MLM ビットは、未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバーライトモードまたはオーバーランモードを選択できます。すべてのメールボックス (受信 FIFO を含む) は、オーバーライトモードかオーバーランモードのどちらかになります。

本ビットが 0 の場合、すべてのメールボックスはオーバーライトモードになります。新しいメッセージを受信すると、それによって既存のメッセージが上書きされます。

本ビットが 1 の場合、すべてのメールボックスはオーバーランモードになります。新しいメッセージを受信しても、古いメッセージは上書きされず、新しいメッセージが破棄されます。

TPM ビット (送信優先順位モード選択)

TPM ビットは、メッセージを送信する場合の優先順位を指定します。

TPM ビットは、ID 優先送信モードまたはメールボックス番号送信モードを選択します。すべてのメールボックスは、ID 優先送信またはメールボックス番号優先送信のどちらかになります。

TPM ビットが 0 の場合、ID 優先送信モードが選択され、送信優先順位は ISO11898-1 の CAN 仕様に定められているように CAN バスアービトレーションルールに従います。ID 優先送信モードでは、メールボックス 0 ~ 31 (通常メールボックスモード時)、メールボックス 0 ~ 23 (FIFO メールボックスモード時)、および送信 FIFO が、送信用に設定されたメールボックスの ID と比較されます。2 つ以上のメールボックス ID が同一であると、小さい番号のメールボックスが優先されます。

送信 FIFO から送信される次のメッセージのみが、送信アービトレーションの対象となります。送信 FIFO メッセージを送信中の場合、送信 FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。

TPM ビットが 1 の場合、メールボックス番号送信モードが選択され、一番小さい番号の送信メールボックスが最優先されます。FIFO メールボックスモードでは、送信 FIFO は通常メールボックス (0 ~ 23) よりも優先順位が低くなります。

TSRC ビット (タイムスタンプカウンタリセットコマンド)

TSRC ビットは、タイムスタンプカウンタをリセットします。TCRC ビットを 1 にすると、TSR レジスタが 0000h になります。本ビットは自動的に 0 になります。

TSPS[1:0] ビット (タイムスタンププリスケアラ選択) TSPS[1:0] ビットは、タイムスタンプ用のプリスケアラを選択します。タイムスタンプ用の基準クロックは、1、2、4、または 8 ビットタイム期間から選択できます。

CANM[1:0] ビット (CAN オペレーションモード選択)

CANM[1:0] ビットは、CAN モジュールのモードを下記から 1 つ選択します。

- CAN オペレーションモード
- CAN リセットモード
- CAN halt モード

CAN スリープモードは SLPM ビットで設定します。詳細は、[30.3 動作モード](#)を参照してください。

CAN モジュールが、BOM[1:0] ビットの設定値に従って CAN halt モードへ遷移した場合、CANM[1:0] ビットは自動的に 10b になります。

SLPM ビット (CAN スリープモード)

SLPM ビットを 1 にすると、CAN モジュールは CAN スリープモードへ遷移します。SLPM ビットを 0 にすると、CAN モジュールは CAN スリープモードから復帰します。詳細は、[30.3 動作モード](#)を参照してください。

BOM[1:0] ビット (バスオフ復帰モード)

BOM[1:0] ビットは、CAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが 00b の場合、ISO11898-1 の CAN 仕様に準拠してバスオフ状態から復帰します。CAN モジュールは、11 の連続するレセシブビットを 128 回検出すると、CAN 通信 (エラーアクティブ状態) を回復させます。バスオフからの復帰時に、バスオフ復帰割り込み要求が発生します。

BOM[1:0] ビットが 01b の場合、CAN モジュールがバスオフ状態に達すると、CTRLR.CANM[1:0] ビットが 10b になり CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタが 00h になります。

BOM[1:0] ビットが 10b の場合、CAN モジュールがバスオフ状態に達すると、ただちに CANM[1:0] ビットが 10b になります。CAN モジュールは、バスオフ状態から復帰した後 (11 の連続するレセシブビットを 128 回検出した後)、CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、TECR レジスタと RECR レジスタは 00h になります。

BOM[1:0] ビットが 11b の場合、CAN モジュールがまだバスオフ状態のときに CANM[1:0] ビットを 10b にすると、CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは 00h になります。しかし、CANM[1:0] ビットを 10b にする前に 11 の連続するレセシブビットを 128 回検出して、バスオフから復帰した場合は、バスオフ復帰割り込み要求が発生します。

CAN モジュールが CAN halt モードへ遷移しようとしたとき (BOM[1:0] ビット = 01b のときはバスオフ開始時、BOM[1:0] ビット = 10b のときはバスオフ終了時)、同時に CPU が CAN リセットモードへの遷移を要求した場合は、CPU 要求の CAN リセットモードへの遷移が優先されます。

RBOC ビット (バスオフ強制復帰)

バスオフ状態のとき RBOC ビットを 1 にすると、CAN モジュールは強制的にバスオフ状態を終了させます。本ビットは自動的に 0 になり、エラー状態はバスオフからエラーアクティブに変化します。RBOC ビットを 1 にすると、RECR および TECR レジスタが 00h になり、STR.BOST ビットは 0 になります。これは、CAN モジュールがバスオフ状態ではないことを示します。他のレジスタは RBOC ビットを 1 にしても変化しません。このバスオフ状態からの復帰によって、バスオフ復帰割り込み要求は発生しません。RBOC ビットは、BOM[1:0] ビットが 00b (通常モード) の場合にのみ使用してください。

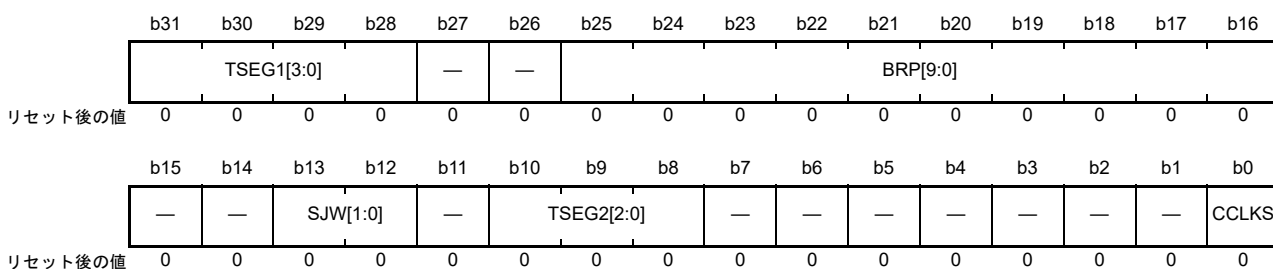
表 30.3 メールボックスの構成

メールボックス	MBMビット=0 (通常メールボックスモード)	MBMビット=1 (注1) ~ (注5) (FIFOメールボックスモード)
メールボックス0~23	通常メールボックス	通常メールボックス
メールボックス24~27		送信FIFO
メールボックス28~31		受信FIFO

- 注 1. 送信 FIFO は TFCR レジスタで制御します。メールボックス 24 ~ 27 に対応する MCTL_TXj レジスタは無効です。MCTL_TX24 ~ MCTL_TX27 レジスタは送信 FIFO では使用できません。
- 注 2. 受信 FIFO は RFCR レジスタで制御します。メールボックス 28 ~ 31 に対応する MCTL_RXj レジスタは無効です。MCTL_RX28 ~ MCTL_RX31 レジスタは受信 FIFO では使用できません。
- 注 3. FIFO 割り込みについては、MIER_FIFO レジスタを参照してください。
- 注 4. メールボックス 24 ~ 31 に対応する MKIVLR レジスタのビットは無効です。これらのビットは 0 にしてください。
- 注 5. 送信および受信 FIFO は、データフレームとリモートフレームの両方に使用可能です。

30.2.2 ビットコンフィグレーションレジスタ (BCR)

アドレス CAN0.BCR 4005 0844h



ビット	シンボル	ビット名	機能	R/W
b0	CCLKS	CAN クロックソース選択	0 : PCLKB (PLL クロックで生成) 1 : CANMCLK (メインクロックで生成)	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	TSEG2[2:0]	タイムセグメント2制御	b10 b8 0 0 0 : 設定禁止 0 0 1 : 2Tq 0 1 0 : 3Tq 0 1 1 : 4Tq 1 0 0 : 5Tq 1 0 1 : 6Tq 1 1 0 : 7Tq 1 1 1 : 8Tq	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	SJW[1:0]	同期ジャンプ幅制御	b13 b12 0 0 : 1Tq 0 1 : 2Tq 1 0 : 3Tq 1 1 : 4Tq	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b16	BRP[9:0]	ポーレートプリスケラ選択 ^(注1)	CAN 通信クロック (fCANCLK) の周波数を設定します。	R/W
b27-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b28	TSEG1[3:0]	タイムセグメント1制御	b31 b28 0 0 0 0 : 設定禁止 0 0 0 1 : 設定禁止 0 0 1 0 : 設定禁止 0 0 1 1 : 4Tq 0 1 0 0 : 5Tq 0 1 0 1 : 6Tq 0 1 1 0 : 7Tq 0 1 1 1 : 8Tq 1 0 0 0 : 9Tq 1 0 0 1 : 10Tq 1 0 1 0 : 11Tq 1 0 1 1 : 12Tq 1 1 0 0 : 13Tq 1 1 0 1 : 14Tq 1 1 1 0 : 15Tq 1 1 1 1 : 16Tq	R/W

Tq: Time Quantum

注1. SCKSCR.CKSEL[2:0] ビットが 011b (メインクロック発振器選択) の場合、1 未満の値を選択しないでください。

ビットタイミングの設定については、[30.4 データ転送レートの設定](#)を参照してください。BCR レジスタは、CAN リセットモードから CAN halt モードまたは CAN オペレーションモードへ遷移する前に設定してください。このレジスタは、いったん設定した後も、CAN リセットモードまたは CAN halt モード時に書き込みが可能です。32 ビットでリード/ライトアクセスを使用する場合、ビット 0 ~ 7 を変更しないようにしてください。

CCLKS ビット (CAN クロックソース選択)

CCLKS ビットが 0 の場合、CAN クロックソース (fCAN) には、PLL 周波数シンセサイザで生成された周辺クロック (PCLKB) が使用されます。CCLKS ビットが 1 の場合、CAN クロックソース (fCAN) には、外部の EXTAL 端子で生成された CANMCLK が使用されます。

TSEG2[2:0] ビット (タイムセグメント 2 制御)

TSEG2[2:0] ビットは、フェーズバッファセグメント 2 (PHASE_SEG2) の長さを T_q 値で指定します。2 ~ $8T_q$ の値が設定可能です。TSEG1[3:0] ビット値未満の値を設定してください。

SJW[1:0] ビット (同期ジャンプ幅制御)

SJW[1:0] ビットは、同期ジャンプ幅を T_q 値で指定します。1 ~ $4T_q$ の値が設定可能です。TSEG2[2:0] ビット値以下の値を設定してください。

BRP[9:0] ビット (ボーレートプリスケール選択)

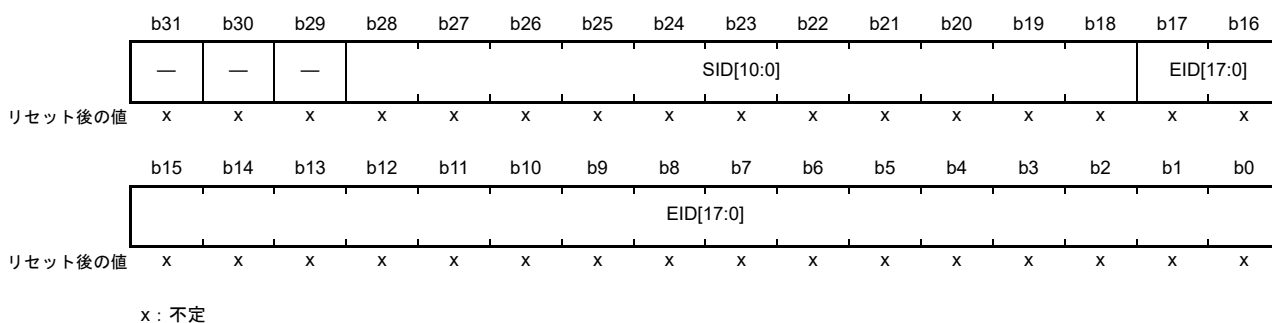
BRP[9:0] ビットは、CAN 通信クロック (fCANCLK) の周波数を設定します。fCANCLK の周期が $1T_q$ となります。設定値を P (0 ~ 1023) とすると、ボーレートプリスケールは fCAN を $P+1$ で分周します。

TSEG1[3:0] ビット (タイムセグメント 1 制御)

TSEG1[3:0] ビットは、プロパゲーションタイムセグメント (PROP_SEG) とフェーズバッファセグメント 1 (PHASE_SEG1) の合計長を T_q 値で指定します。4 ~ $16T_q$ の値が設定可能です。

30.2.3 マスクレジスタ k (MKRk) (k = 0 ~ 7)

アドレス CAN0.MKR0 4005 0400h ~ CAN0.MKR7 4005 041Ch



ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID	0: 対応するEID[17:0]ビットを比較しない 1: 対応するEID[17:0]ビットを比較する	R/W
b28-b18	SID[10:0]	標準ID	0: 対応するSID[10:0]ビットを比較しない 1: 対応するSID[10:0]ビットを比較する	R/W
b31-b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

FIFO メールボックスモードでのマスク機能については、[30.6 アクセプタンスフィルタ機能とマスク機能](#)を参照してください。

MKR0 ~ MKR7 レジスタへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。

EID[17:0] ビット (拡張 ID)

EID[17:0] ビットは、CAN 拡張 ID ビット用のフィルタマスクビットです。拡張 ID のメッセージを受信する場合に使用します。EID[17:0] ビットを 0 にした場合、受信した各 ID ビットは、対応するメールボックスの ID ビットとは比較されません。EID[17:0] ビットを 1 にした場合、受信した各 ID ビットは、対応するメールボックス ID ビットのメールボックス ID と比較されます。

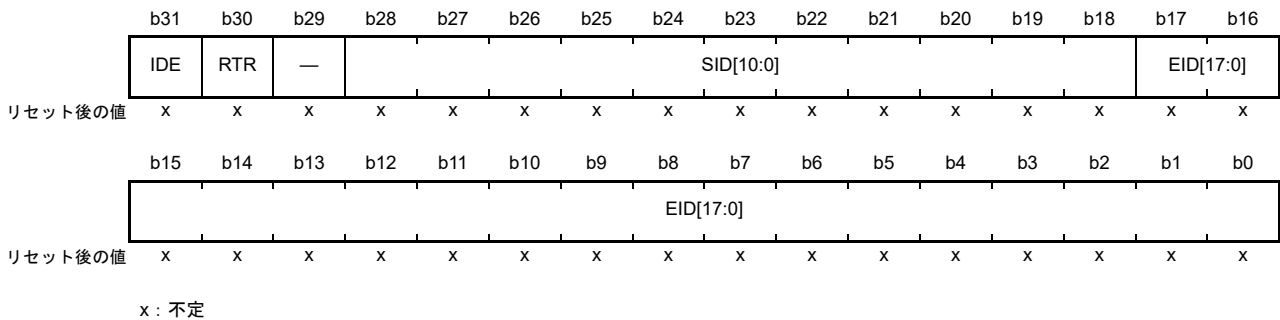
SID[10:0] ビット (標準 ID)

SID[10:0] ビットは、CAN 標準 ID ビットに対応するフィルタマスクビットです。標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

SID[10:0] ビットを 0 にした場合、受信した各 ID ビットは、対応するメールボックスの ID ビットと比較されません。SID[10:0] ビットが 1 の場合、受信した各 ID ビットは、対応するメールボックスの ID ビットと比較されます。

30.2.4 FIFO 受信 ID 比較レジスタ 0、1 (FIDCR0, FIDCR1)

アドレス CAN0.FIDCR0 4005 0420h, CAN0.FIDCR1 4005 0424h



ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張 ID	データフレームとリモートフレームの拡張 ID	R/W
b28-b18	SID[10:0]	標準 ID	データフレームとリモートフレームの標準 ID	R/W
b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b30	RTR	リモート送信要求	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	ID 拡張 (注1)	0: 標準 ID 1: 拡張 ID	R/W

注 1. CTLR.IDFM[1:0] ビット値が 10b 以外の場合、IDE ビットには 0 を書いて、読むと 0 が読めるようにしてください。

FIDCR0 および FIDCR1 レジスタは、CTLR.MBM ビットを 1 (FIFO メールボックスモード) にした場合に有効です。FIFO メールボックスモードでは、メールボックス 28 ~ メールボックス 31 の EID[17:0]、SID[10:0]、RTR、および IDE ビットは無効です。FIDCR0 および FIDCR1 レジスタへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。FIDCR0 および FIDCR1 レジスタの使用方法については、30.6 アクセプタンスフィルタ機能とマスク機能を参照してください。

EID[17:0] ビット (拡張 ID)

EID[17:0] ビットは、データフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを受信する場合に使用します。

SID[10:0] ビット (標準 ID)

SID[10:0] ビットは、データフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID の両メッセージを受信するために使用します。

RTR ビット (リモート送信要求)

RTR ビットは、フレームフォーマットをデータフレームまたはリモートフレームに設定します。

- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットが両方とも 0 の場合、データフレームのみ受信
- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットが両方とも 1 の場合、リモートフレームのみ受信
- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビット同士が異なる値の場合、データフレームとリモートフレームの両方を受信

IDE ビット (ID 拡張)

IDE ビットは、ID フォーマットを標準 ID または拡張 ID に設定します。IDE ビットは、CTRL.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。

- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットが両方とも 0 の場合、標準 ID フレームのみ受信
- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットが両方とも 1 の場合、拡張 ID フレームのみ受信
- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビット同士が異なる値の場合、標準 ID フレームと拡張 ID フレームの両方を受信

30.2.5 マスク無効レジスタ (MKIVLR)

アドレス CAN0.MKIVLR 4005 0428h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31 ~ MB0	マスク無効	0: マスク有効 1: マスク無効	R/W

MKIVLR レジスタの各ビットは、同じ番号のメールボックスに対応しています。MKIVLR レジスタのビット 0 はメールボックス 0 (MB0) に対応し、ビット 31 はメールボックス 31 (MB31) に対応しています。(注1)

本ビットを 1 にすると、対応するメールボックスの該当アクセプタンスマスクレジスタが無効になります。本ビットを 1 にすると、受信メッセージの ID がメールボックスの ID と完全に一致する場合にのみ、対応するメールボックスによってメッセージ受信が行われます。MKIVLR レジスタへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。

注 1. FIFO メールボックスモード時は、ビット [24:31] を 0 にしてください。

30.2.6 メールボックスレジスタ j (MBj_ID、MBj_DL、MBj_Dm、MBj_TS) (j = 0 ~ 31; m = 0 ~ 7)

表 30.4 に CAN0 メールボックスのメモリ配置を示します。表 30.5 に CAN データフレームの構成を示します。リセット後、CAN0 メールボックスの値は不定です。

MBj_ID、MBj_DL、MBj_Dm、および MBj_TS レジスタへの書き込みは、対応する MCTL_TXj または MCTL_RXj (j = 0 ~ 31) レジスタが 00h で、かつ対応するメールボックスがアポート要求を処理していない場合にのみ行ってください。レジスタアドレスの詳細については、表 30.4 を参照してください。

表 30.4 CAN0 メールボックスのメモリ配置

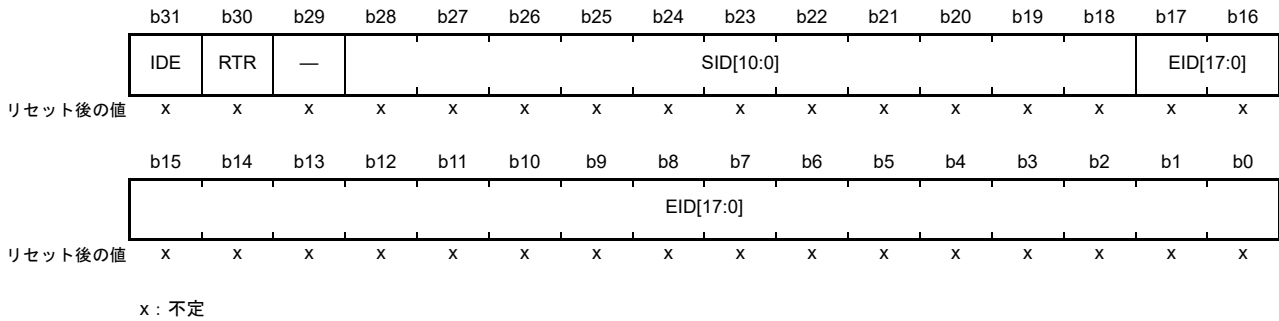
アドレス	メッセージ内容
CAN0	メモリ配置
4005 0200h + 16 × j + 0	IDE、RTR、SID10~SID6
4005 0200h + 16 × j + 1	SID5~SID0、EID17、EID16
4005 0200h + 16 × j + 2	EID15~EID8
4005 0200h + 16 × j + 3	EID7~EID0
4005 0200h + 16 × j + 4	—
4005 0200h + 16 × j + 5	データ長コード (DLC[3:0])
4005 0200h + 16 × j + 6	データバイト0
4005 0200h + 16 × j + 7	データバイト1
4005 0200h + 16 × j + 8	データバイト2
4005 0200h + 16 × j + 9	データバイト3
4005 0200h + 16 × j + 10	データバイト4
4005 0200h + 16 × j + 11	データバイト5
4005 0200h + 16 × j + 12	データバイト6
4005 0200h + 16 × j + 13	データバイト7
4005 0200h + 16 × j + 14	タイムスタンプ上位バイト
4005 0200h + 16 × j + 15	タイムスタンプ下位バイト

表 30.5 CAN データフレームの構成

SID10~SID6	SID5~SID0	EID17~EID16	EID15~EID8	EID7~EID0	DLC3~DLC1	DATA0	DATA1	...	DATA7
------------	-----------	-------------	------------	-----------	-----------	-------	-------	-----	-------

各メールボックスの内容は、新しいメッセージを受信しない限り、以前の値を保持します。

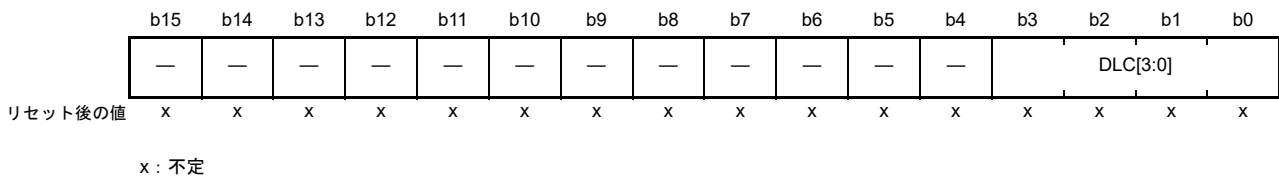
アドレス [CAN0.MB0_ID 4005 0200h](#)～[CAN0.MB31_ID 4005 03F0h](#)



ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID (注1)	データフレームとリモートフレームの拡張ID	R/W
b28-b18	SID[10:0]	標準ID	データフレームとリモートフレームの標準ID	R/W
b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b30	RTR	リモート送信要求	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	ID 拡張 (注2)	0: 標準ID 1: 拡張ID	R/W

- 注 1. メールボックスが標準 ID のメッセージを受信すると、そのメールボックスの EID ビット値は不定になります。
- 注 2. IDE ビットは、CTLR.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。CTLR.IDFM[1:0] ビット値が 10b 以外の場合、IDE ビットには 0 を書いて、読むと 0 が読めるようにしてください。

アドレス [CAN0.MB0_DL 4005 0204h](#)～[CAN0.MB31_DL 4005 03F4h](#)

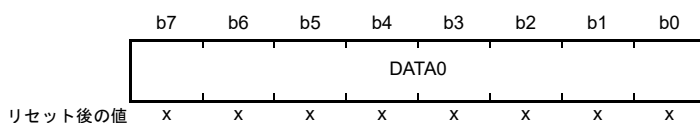


ビット	シンボル	ビット名	機能	R/W																														
b3-b0	DLC[3:0]	データ長コード (注1)	<table style="margin: auto; border: none;"> <tr> <td>b3</td><td>b0</td><td></td> </tr> <tr> <td>0</td><td>0</td><td>0: データ長 = 0バイト</td> </tr> <tr> <td>0</td><td>0</td><td>1: データ長 = 1バイト</td> </tr> <tr> <td>0</td><td>0</td><td>1 0: データ長 = 2バイト</td> </tr> <tr> <td>0</td><td>0</td><td>1 1: データ長 = 3バイト</td> </tr> <tr> <td>0</td><td>1</td><td>0 0: データ長 = 4バイト</td> </tr> <tr> <td>0</td><td>1</td><td>0 1: データ長 = 5バイト</td> </tr> <tr> <td>0</td><td>1</td><td>1 0: データ長 = 6バイト</td> </tr> <tr> <td>0</td><td>1</td><td>1 1: データ長 = 7バイト</td> </tr> <tr> <td>1</td><td>x</td><td>x x: データ長 = 8バイト</td> </tr> </table>	b3	b0		0	0	0: データ長 = 0バイト	0	0	1: データ長 = 1バイト	0	0	1 0: データ長 = 2バイト	0	0	1 1: データ長 = 3バイト	0	1	0 0: データ長 = 4バイト	0	1	0 1: データ長 = 5バイト	0	1	1 0: データ長 = 6バイト	0	1	1 1: データ長 = 7バイト	1	x	x x: データ長 = 8バイト	R/W
b3	b0																																	
0	0	0: データ長 = 0バイト																																
0	0	1: データ長 = 1バイト																																
0	0	1 0: データ長 = 2バイト																																
0	0	1 1: データ長 = 3バイト																																
0	1	0 0: データ長 = 4バイト																																
0	1	0 1: データ長 = 5バイト																																
0	1	1 0: データ長 = 6バイト																																
0	1	1 1: データ長 = 7バイト																																
1	x	x x: データ長 = 8バイト																																
b15-b4	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W																														

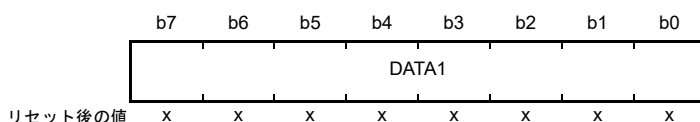
x: Don't care

- 注 1. メールボックスが n バイト (n は 8 未満) のデータ長 (DLC[3:0] ビットで設定) のメッセージを受信した場合、そのメールボックスの DATA_n ~ DATA₇ レジスタ内のデータは不定です。DATA₀ ~ DATA₇ が、このメールボックスのデータレジスタです。たとえば、データ長が 6 バイト (DLC[3:0] = 6h) であれば、DATA₆ レジスタと DATA₇ レジスタのデータは不定です。

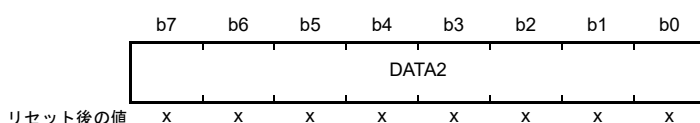
アドレス [CAN0.MB0_D0 4005 0206h](#)～[CAN0.MB31_D0 4005 03F6h](#)



アドレス [CAN0.MB0_D1 4005 0207h](#)～[CAN0.MB31_D1 4005 03F7h](#)



アドレス [CAN0.MB0_D2 4005 0208h](#)～[CAN0.MB31_D2 4005 03F8h](#)



アドレス [CAN0.MB0_D3 4005 0209h](#)～[CAN0.MB31_D3 4005 03F9h](#)



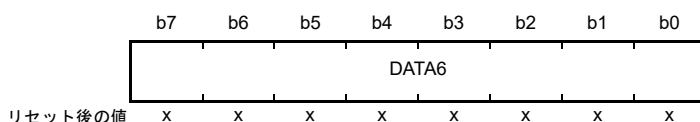
アドレス [CAN0.MB0_D4 4005 020Ah](#)～[CAN0.MB31_D4 4005 03FAh](#)



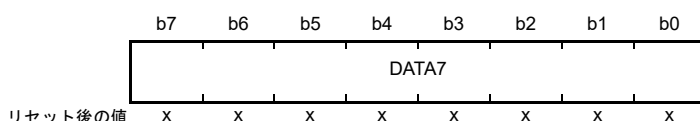
アドレス [CAN0.MB0_D5 4005 020Bh](#)～[CAN0.MB31_D5 4005 03FBh](#)



アドレス [CAN0.MB0_D6 4005 020Ch](#)～[CAN0.MB31_D6 4005 03FCh](#)



アドレス [CAN0.MB0_D7 4005 020Dh](#)～[CAN0.MB31_D7 4005 03FDh](#)

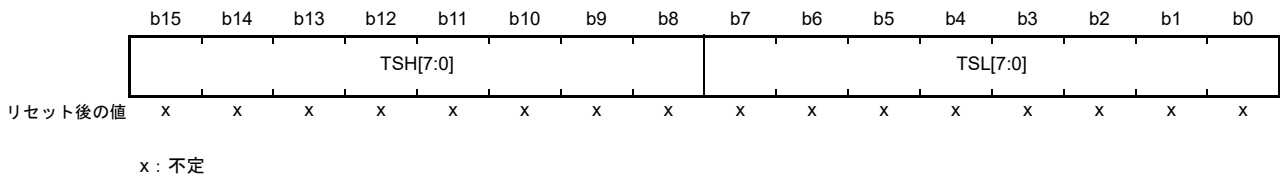


x: 不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	DATA0 ~ DATA7	データバイト0~7 (注1) (注2)	DATA0~7は送信または受信したCANメッセージデータを格納します。送受信は、DATA0から開始されます。CANバス上のビットオーダーはMSBファーストであり、ビット7から送受信が開始されます。	R/W

- 注1. メールボックスがnバイト (nは8未満) のメッセージを受信した場合、メールボックスの DATAn ~ DATA7 の値は不定です。
- 注2. メールボックスがリモートフレームを受信した場合、そのメールボックスの DATA0 ~ DATA7 は以前の値を保持します。

アドレス CAN0.MB0_TS 4005 020Eh ~ CAN0.MB31_TS 4005 03FEh



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSL[7:0]	タイムスタンプ下位バイト	TSH[7:0]ビットとTSL[7:0]ビットは、受信メッセージがメールボックスに取り込まれた時点のタイムスタンプのカウンタ値を格納します。	R/W
b15-b8	TSH[7:0]	タイムスタンプ上位バイト		R/W

EID[17:0] ビット (拡張 ID)

EID[17:0] ビットは、データフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを送受信するために使用します。

SID[10:0] ビット (標準 ID)

SID[10:0] ビットは、データフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID の両メッセージを送受信するために使用します。

RTR ビット (リモート送信要求)

RTR ビットは、フレームフォーマットをデータフレームまたはリモートフレームに設定します。

- 受信メールボックスは、RTR ビットで指定されたフォーマットのフレームのみを受信する
- 送信メールボックスは、RTR ビットで指定されたフォーマットのフレームのみを送信する
- 受信 FIFO メールボックスは、FIDCR0 および FIDCR1 レジスタの RTR ビットで指定されたデータフレーム、リモートフレーム、またはその両方を受信する
- 送信 FIFO メールボックスは、該当する送信メッセージ内の RTR ビットで指定されたデータフレームまたはリモートフレームを送信する

IDE ビット (ID 拡張)

IDE ビットは、ID フォーマットを標準 ID または拡張 ID に設定します。IDE ビットは、CTRL.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。

- 受信メールボックスは、IDE ビットで指定された ID フォーマットのみを受信する
- 送信メールボックスは、IDE ビットで指定された ID フォーマットで送信する
- 受信 FIFO メールボックスは、FIDCR0 および FIDCR1 レジスタの IDE ビットで指定された標準 ID と拡張 ID の設定でメッセージを受信する
- 送信 FIFO メールボックスは、送信メッセージ内の IDE ビットで指定された標準 ID または拡張 ID の設定でメッセージを送信する

DLC[3:0] ビット (データ長コード)

DLC[3:0] ビットは、データフレームで送信されるデータ長を指定します。リモートフレームを使用してデータを要求する場合、DLC[3:0] ビットは要求するデータ長を指定します。

データフレームを受信した場合、DLC[3:0] ビットには受信したデータ長が格納されます。リモートフレームを受信した場合、DLC[3:0] ビットには要求されたデータ長が格納されます。

30.2.7 メールボックス割り込みイネーブルレジスタ (MIER)

アドレス [CAN0.MIER 4005 042Ch](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31~MB0	割り込み許可	0: 割り込み禁止 1: 割り込み許可 ビット31はメールボックス31 (MB31) に、ビット0はメールボックス0 (MB0) に対応しています。	R/W

MIER レジスタは、メールボックスごとに個別に割り込みを許可できます。このレジスタは、通常メールボックスモードで利用可能です。FIFO メールボックスモードでは、このレジスタにアクセスしないでください。各ビットは、同じ番号のメールボックスに対応しています。これらのビットは、対応するメールボックスの送信完了割り込みまたは受信完了割り込みを許可または禁止します：

- MIER レジスタのビット 0 はメールボックス 0 (MB0) に対応
- MIER レジスタのビット 31 はメールボックス 31 (MB31) に対応

MIER レジスタへの書き込みは、関連する MCTL_TXj または MCTL_RXj (j=0~31) レジスタが 00h で、かつ対応するメールボックスが送受信アボート要求を処理していない場合にのみ行ってください。

30.2.8 FIFO メールボックスモード用メールボックス割り込みイネーブルレジスタ (MIER_FIFO)

アドレス CAN0.MIER_FIFO 4005 042Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	MB29	MB28	—	—	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b23-b0	MB23 ~ MB0	割り込み許可	0: 割り込み禁止 1: 割り込み許可 ビット23はメールボックス23 (MB23) に、ビット0はメールボックス0 (MB0) にそれぞれ対応しています。	R/W
b24	MB24	送信FIFO割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b25	MB25	送信FIFO割り込み発生タイミング制御	0: 送信完了ごとに発生 1: 送信完了時に送信FIFOが空になると発生	R/W
b27-b26	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b28	MB28	受信FIFO割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b29	MB29	受信FIFO割り込み発生タイミング制御 ^(注1)	0: 受信完了ごとに発生 1: 受信完了により受信FIFOがバッファワーニング ^(注2) になると発生	R/W
b31-b30	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

注1. 受信FIFOがフルからバッファワーニングになっても、割り込み要求は発生しません。

注2. バッファワーニングとは、受信FIFOに3つ目のメッセージが格納された状態です。

MIER_FIFO レジスタは、メールボックスごと、FIFO ごとに個別に割り込みを許可できます。このレジスタは、FIFO メールボックスモードで利用可能です。通常メールボックスモードでは、このレジスタにアクセスしないでください。

MB0 ~ MB23 ビットは、同じ番号のメールボックスに対応しています。これらのビットは、対応するメールボックスの送信完了割り込みと受信完了割り込みを許可または禁止します。

- MIER_FIFO レジスタのビット0はメールボックス0 (MB0) に対応
- MIER_FIFO レジスタのビット23はメールボックス23 (MB23) に対応

MB24、MB25、MB28、MB29の各ビットは、送信FIFO割り込みおよび受信FIFO割り込みを許可するかどうか、および割り込み要求のタイミングを指定します。

MIER_FIFO レジスタへの書き込みは、関連する MCTL_TXj または MCTL_RXj (j=0 ~ 31) レジスタが 00h で、かつ対応するメールボックスが送受信アポート要求を処理していない場合にのみ行ってください。また、関連するFIFOのMIER_FIFOレジスタのビットは、下記のすべての条件が成立する場合にのみ変更してください。

- TFCR.TFE ビットが0で、かつTFCR.TFEST ビットが1
- RFCR.RFE ビットが0で、かつRFCR.RFEST ビットが1

30.2.9 送信用メッセージコントロールレジスタ (MCTL_TXj) (j = 0 ~ 31)

- 送信モード (TRMREQ ビットが1、RECREQ ビットが0の場合)

アドレス CAN0.MCTL_TX[0] 4005 0820h ~ CAN0.MCTL_TX[31] 4005 083Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SENTDATA	送信完了フラグ (注1)	0: 送信未完了 1: 送信完了	R/W
b1	TRMACTIVE	送信中ステータスフラグ	0: 送信待機中または送信要求なし 1: 送信中	R
b2	TRMABT	送信アボート完了フラグ (注1) (注2)	0: 送信開始、送信完了により送信アボート失敗、または送信アボート要求なし 1: 送信アボート完了	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	ONESHOT	ワンショット許可 (注2) (注3)	0: ワンショット送信禁止 1: ワンショット送信許可	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RECREQ	受信メールボックス要求 (注2) (注3) (注4) (注5)	0: 受信用に設定しない 1: 受信用に設定する	R/W
b7	TRMREQ	送信メールボックス要求 (注2) (注4)	0: 送信用に設定しない 1: 送信用に設定する	R/W

- 注1. 0のみ書けます。1の書き込みは無効です。
- 注2. このレジスタの各ビットに書き込みを行う際に、SENTDATA フラグおよび TRMABT フラグが書き込み対象でない場合は、これらのフラグに1を書き込んでください。
- 注3. ワンショット送信モードへ遷移するには、TRMREQ ビットを1にすると同時に、ONESHOT ビットに1を書いてください。ワンショット送信モードを解除するには、メッセージが送信またはアボートされた後、ONESHOT ビットに0を書いてください。
- 注4. RECREQ ビットと TRMREQ ビットの両方を1にしないでください。
- 注5. RECREQ ビットを0にするときは、SENTDATA、TRMACTIVE、TRMABT の各フラグを同時に0にしてください。

MCTL_TXj レジスタは、メールボックス j を送信モードまたは受信モードに設定します。送信モードの場合、MCTL_TXj レジスタは送信状態の制御と表示も行います。メールボックス j が受信モードの場合は、MCTL_TXj レジスタにアクセスしないでください。

MCTL_TXj レジスタ への書き込みは、CAN オペレーションモードまたは CAN halt モード時にのみ行ってください。FIFO メールボックスモードでは、MCTL_TX24 ~ MCTL_TX31 レジスタを使用しないでください。

SENTDATA フラグ (送信完了フラグ)

SENTDATA フラグは、対応するメールボックスからのデータ送信が完了すると1になります。本フラグは、0を書き込むことで0になります。

SENTDATA フラグを0にする場合、最初に TRMREQ ビットを0にしてください。SENTDATA ビットと TRMREQ ビットを同時に0にすることはできません。対応するメールボックスから新しいメッセージを送信するには、SENTDATA フラグを0にしてください。

TRMACTIVE フラグ (送信中ステータスフラグ)

TRMACTIVE フラグは、CAN モジュールの対応するメールボックスがメッセージ送信を開始すると1になります。TRMACTIVE フラグは、CAN モジュールで CAN バスアービトラクションロストが発生するか、CAN バスエラーが発生するか、あるいはデータ送信が完了すると0になります。

TRMABT フラグ (送信アボート完了フラグ)

TRMABT フラグは、以下の場合に 1 になります。

- 送信アボート要求に続いて、送信開始前に送信アボートが完了したとき
- 送信アボート要求に続いて、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出したとき
- ワンショット送信モード時 (RECREQ ビット=0、TRMREQ ビット=1、ONESHOT ビット=1) に、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出したとき

TRMABT フラグは、データ送信が完了しても 1 にはなりません。この場合ソフトウェア書き込みによって、SENTDATA フラグは 1 になり、TRMABT フラグは 0 になります。

ONESHOT ビット (ワンショット許可)

送信モード時 (RECREQ ビット=0、TRMREQ ビット=1) に ONESHOT ビットを 1 にすると、CAN モジュールはメッセージを 1 回だけ送信します。CAN バスエラーまたは CAN バスアービトレーションロストが発生しても、CAN モジュールはメッセージを再送信しません。送信が完了したとき、SENTDATA フラグが 1 になります。CAN バスエラーまたは CAN バスアービトレーションロストによって送信が完了しない場合は、TRMABT フラグが 1 になります。ONESHOT ビットは、SENTDATA フラグまたは TRMABT フラグが 1 になった後に 0 にしてください。

RECREQ ビット (受信メールボックス要求)

RECREQ ビットは、表 30.10 に示す受信モードを選択します。

RECREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されます。

RECREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されません。

ハードウェアプロテクトのため、下記の期間中、RECREQ ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始される時 (CRC フィールドの始まり)
- ハードウェアプロテクトが解除される時
 - メッセージの受信用に指定されたメールボックスで、受信したデータがメールボックスに格納された後、または CAN バスエラーが発生した後。すなわち、ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまでになります
 - その他のメールボックスは、アクセプタンスフィルタ処理後
 - メッセージの受信用に指定されたメールボックスがない場合、アクセプタンスフィルタ処理後

RECREQ ビットを 1 にする場合は、TRMREQ ビットを 1 にしないでください。メールボックスの設定を送信から受信に変更する場合、最初に送信をアボートし、次に SENTDATA ビットと TRMABT ビットを 0 にしてから、受信に変更してください。

注. MCTL_TXj.RECREQ は、MCTL_RXj.REQREQ のミラービットです。

TRMREQ ビット (送信メールボックス要求)

TRMREQ ビットは、表 30.10 に示す送信モードを選択します。

TRMREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されます。

TRMREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されません。

TRMREQ ビットを 1 から 0 に変更して、対応する送信要求を解除すると、TRMABT フラグまたは SENTDATA フラグのいずれかが 1 になります。TRMREQ ビットを 1 にする場合は、RECREQ ビットを 1 にしないでください。メールボックスの設定を受信から送信に変更する場合、最初に受信をアボートし、次に NEWDATA フラグと MSGLOST フラグを 0 にしてから、送信に変更してください。

注. MCTL_TXj.TRMREQ は、MCTL_RXj.TRMREQ のミラービットです。

30.2.10 受信メッセージコントロールレジスタ (MCTL_RXj) (j = 0 ~ 31)

- 受信モード (TRMREQ ビットが0、RECREQ ビットが1の場合)

アドレス CAN0.MCTL_RX[0] 4005 0820h ~ CAN0.MCTL_RX[31] 4005 083Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALIDATA	NEWDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NEWDATA	受信完了フラグ (注1) (注2)	0: 受信データなし、または本ビットに0を書いた場合 1: 新しいメッセージをメールボックスに格納中または格納済み	R/W
b1	INVALIDATA	受信中ステータスフラグ	0: メッセージは有効 1: メッセージを更新	R
b2	MSGLOST	メッセージロストフラグ (注1) (注2)	0: メッセージのオーバーライトまたはオーバーランなし 1: メッセージのオーバーライトまたはオーバーランあり	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	ONESHOT	ワンショット許可 (注2) (注3)	0: ワンショット受信禁止 1: ワンショット受信許可	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RECREQ	受信メールボックス要求 (注2) (注3) (注4) (注5)	0: 受信用に設定しない 1: 受信用に設定する	R/W
b7	TRMREQ	送信メールボックス要求 (注2) (注4)	0: 送信用に設定しない 1: 送信用に設定する	R/W

- 注 1. 0のみ書けます。1の書き込みは無効です。
- 注 2. このレジスタの各ビットに書き込みを行う際に、NEWDATA フラグおよび MSGLOST フラグが書き込み対象でない場合は、これらのフラグに1を書き込んでください。
- 注 3. ワンショット受信モードへ遷移するには、RECREQ ビットを1にすると同時に、ONESHOT ビットに1を書き込んでください。
ワンショット受信モードを解除するには、RECREQ ビットに0を書いた後、RECREQ ビットが0であることを確認してから ONESHOT ビットに0を書いてください。
- 注 4. RECREQ ビットと TRMREQ ビットの両方を1にしないでください。
- 注 5. RECREQ ビットを0にする場合、MSGLOST、NEWDATA、および RECREQ ビットを同時に0にしてください。

MCTL_RXj レジスタは、メールボックス j を送信モードまたは受信モードに設定します。受信モードの場合、MCTL_RXj レジスタは受信状態の制御と表示も行います。

メールボックス j が送信モードの場合は、MCTL_RXj レジスタにアクセスしないでください。MCTL_RXj レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。FIFO メールボックスモードでは、MCTL_RX24 ~ MCTL_RX31 レジスタを使用しないでください。

NEWDATA フラグ (受信完了フラグ)

NEWDATA フラグは、新しいメッセージをメールボックスに格納中または格納済みのときに1になります。常に INVALIDATA フラグと同時に1にしてください。NEWDATA フラグは、ソフトウェア書き込みで0になります。対応する INVALIDATA フラグが1の場合、NEWDATA フラグをソフトウェア書き込みで0にすることはできません。

INVALIDDATA フラグ (受信中ステータスフラグ)

INVALIDDATA フラグは、メッセージの受信完了後、対応するメールボックスで受信したメッセージが更新中であるとき 1 になります。INVALIDDATA フラグは、メッセージが格納された直後に 0 になります。INVALIDDATA フラグが 1 のときにメールボックスを読み出すと、そのデータは不定です。

MSGLOST フラグ (メッセージロストフラグ)

MSGLOST フラグは、NEWDATA フラグが 1 のとき、メールボックスが新しい受信メッセージでオーバーライトまたはオーバーランされると 1 になります。MSGLOST フラグは、EOF の 6 ビット目の終わりで 1 になります。MSGLOST フラグは、ソフトウェア書き込みで 0 になります。

オーバーライトモードとオーバーランモードの両方において、EOF の 6 ビット目の終わりから、PCLKB の 5 サイクルの間は、MSGLOST フラグをソフトウェア書き込みで 0 にすることはできません。

ONESHOT ビット (ワンショット許可)

受信モード時 (RECREQ ビット = 1、TRMREQ ビット = 0) に ONESHOT ビットを 1 にすると、メールボックスはメッセージを 1 回受信します。メールボックスがメッセージを受信した後は、受信メールボックスとしては動作しません。NEWDATA フラグと INVALIDDATA フラグの動作は、通常の実受信モードと同じです。ワンショット受信モードでは、MSGLOST フラグは 1 にはなりません。ONESHOT ビットを 0 にする場合、最初に RECREQ ビットに 0 を書いて、RECREQ ビットが 0 であることを確認してから行ってください。

RECREQ ビット (受信メールボックス要求)

RECREQ ビットは、表 30.10 に示す受信モードを選択します。

RECREQ ビットを 1 にすると、対応するメールボックスがデータフレームまたはリモートフレームの受信用に設定されます。

ハードウェアプロテクトのため、下記の期間中、RECREQ ビットをソフトウェア書き込みで 0 にすることはできません。

- アクセプタンスフィルタ処理によるハードウェアプロテクト開始時 (CRC フィールドの始まり)
- ハードウェアプロテクトが解除される時
 - メッセージの受信用に指定されたメールボックスで、受信したデータがメールボックスに格納された後、または CAN バスエラーが発生した後。ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまでになります
 - その他のメールボックスは、アクセプタンスフィルタ処理後
 - メッセージの受信用に指定されたメールボックスがない場合、アクセプタンスフィルタ処理後

RECREQ ビットを 1 にする場合は、TRMREQ ビットを 1 にしないでください。メールボックスの設定を送信から受信に変更する場合、最初に送信をアボートし、次に SENTDATA フラグと TRMABT フラグを 0 にしてから、受信に変更してください。

注. MCTL_RXj.RECREQ は、MCTL_TXj.REQREQ のミラービットです。

TRMREQ ビット (送信メールボックス要求)

TRMREQ ビットは、表 30.10 に示す送信モードを選択します。

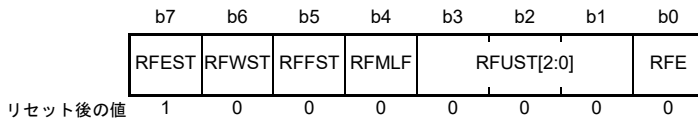
TRMREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されます。

TRMREQ ビットを 1 から 0 に変更して、対応する送信要求を解除すると、TRMABT フラグまたは SENTDATA フラグのいずれかが 1 になります。TRMREQ ビットを 1 にする場合は、RECREQ ビットを 1 にしないでください。メールボックスの設定を受信から送信に変更する場合、最初に受信をアボートし、次に NEWDATA フラグと MSGLOST フラグを 0 にしてから、送信に変更してください。

注. MCTL_RXj.TRMREQ は、MCTL_TXj.TRMREQ のミラービットです。

30.2.11 受信 FIFO コントロールレジスタ (RFCCR)

アドレス CAN0.RFCCR 4005 0848h



ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信 FIFO 許可	0 : 受信 FIFO 禁止 1 : 受信 FIFO 許可	R/W
b3-b1	RFUST[2:0]	受信 FIFO 未読メッセージ数ステータス	b3 b1 0 0 0 : 未読メッセージなし 0 0 1 : 未読メッセージ1件あり 0 1 0 : 未読メッセージ2件あり 0 1 1 : 未読メッセージ3件あり 1 0 0 : 未読メッセージ4件あり 1 0 1 : 予約ビット 1 1 0 : 予約ビット 1 1 1 : 予約ビット	R
b4	RFMLF	受信 FIFO メッセージロストフラグ	0 : 受信 FIFO メッセージロスト発生なし 1 : 受信 FIFO メッセージロスト発生あり	R/W
b5	RFFST	受信 FIFO フルステータスフラグ	0 : 受信 FIFO はフルでない 1 : 受信 FIFO はフル (未読メッセージ4件)	R
b6	RFWST	受信 FIFO バッファワーニングステータスフラグ	0 : 受信 FIFO にバッファワーニングなし 1 : 受信 FIFO にバッファワーニングあり (未読メッセージ3件)	R
b7	RFEST	受信 FIFO 空ステータスフラグ	0 : 受信 FIFO に未読メッセージあり 1 : 受信 FIFO に未読メッセージなし	R

RFCCR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

RFE ビット (受信 FIFO 許可)

RFE ビットを 1 にすると、受信 FIFO が許可されます。RFE ビットを 0 にすると、受信 FIFO は受信禁止になり、空状態 (RFEST ビット = 1) になります。RFMLF フラグの設定と同時に RFE ビットに 0 を書いてください。

通常メールボックスモード (CTRL.MBM=0) では、本ビットを 1 にしないでください。ハードウェアプロテクトのため、下記の期間中に、RFE ビットはソフトウェア書き込みで 0 になりません。

- アクセプタンスフィルタ処理によるハードウェアプロテクト開始時 (CRC フィールドの始まり)
- ハードウェアプロテクトが解除される時 :
 - メッセージの受信用に受信 FIFO が指定されている場合に、受信したデータが受信 FIFO に格納された後、または CAN バスエラーが発生した後。ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまでになります
 - メッセージの受信用に受信 FIFO が指定されていない場合は、アクセプタンスフィルタ処理後

RFUST[2:0] ビット (受信 FIFO 未読メッセージ数ステータス)

RFUST[2:0] ビットは、受信 FIFO 内の未読メッセージの数を示します。RFE ビットを 0 にすると、RFUST[2:0] ビットの値は 000b に初期化されます。

RFMLF フラグ (受信 FIFO メッセージロストフラグ)

受信 FIFO がフルのときに新しいメッセージを受信すると、RFMLF フラグは 1 (受信 FIFO メッセージロスト発生あり) になります。本フラグは、EOF の 6 ビット目の終わりで 1 になります。

RFMLF フラグは、ソフトウェア書き込みで 0 になります (1 の書き込みは無効です)。オーバーライトモードとオーバーランモードの両方において、受信 FIFO がフルのときにメッセージを受信することが決定された場合、ハードウェアプロテクトにより、EOF の 6 ビット目の終わりから、周辺モジュールクロック (PCLKB) の 5 サイクルの間は、RFMLF フラグをソフトウェア書き込みで 0 (受信 FIFO メッセージロスト発生なし) にすることができません。

RFFST フラグ (受信 FIFO フルステータスフラグ)

受信 FIFO 内の未読メッセージの数が 4 件になると、RFFST フラグは 1 (受信 FIFO はフル) になります。受信 FIFO 内の未読メッセージの数が 4 件未満になると、RFFST フラグは 0 (受信 FIFO はフルでない) になります。RFE ビットが 0 の場合、RFFST フラグは 0 になります。

RFWST フラグ (受信 FIFO バッファワーニングステータスフラグ)

受信 FIFO 内の未読メッセージの数が 3 件になると、RFWST フラグが 1 (受信 FIFO にバッファワーニングあり) になります。受信 FIFO 内の未読メッセージの数が 3 件未満または 4 件になると、RFWST フラグは 0 (受信 FIFO にバッファワーニングなし) になります。RFE ビットが 0 の場合、RFWST フラグは 0 になります。

RFEST フラグ (受信 FIFO 空ステータスフラグ)

受信 FIFO 内に未読メッセージがなくなると、RFEST フラグは 1 (受信 FIFO に未読メッセージなし) になります。RFE ビットを 0 にすると、RFEST フラグは 1 になります。受信 FIFO 内の未読メッセージ数が 1 件以上になると、RFEST フラグは 0 (受信 FIFO に未読メッセージあり) になります。

図 30.2 に受信 FIFO メールボックスの動作を示します。

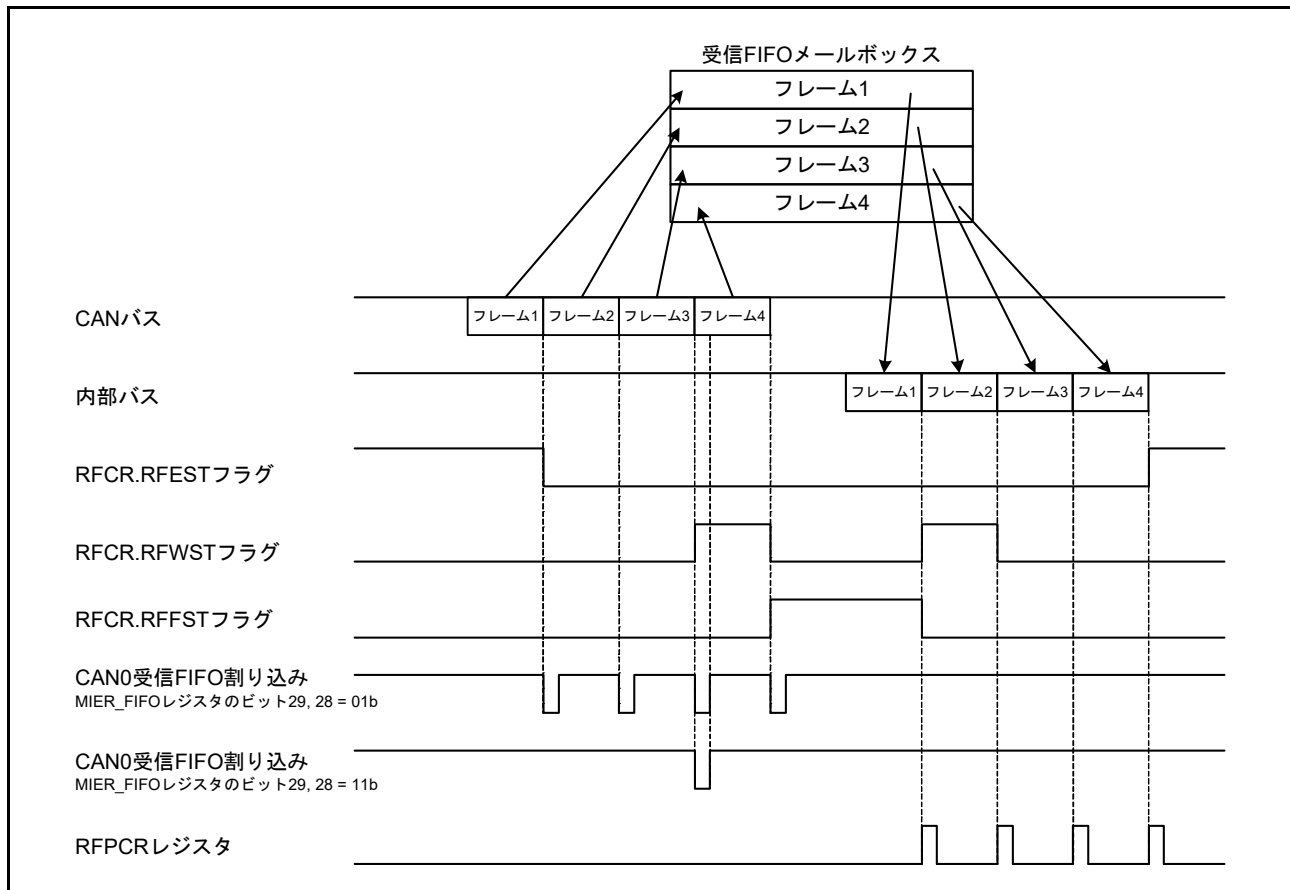
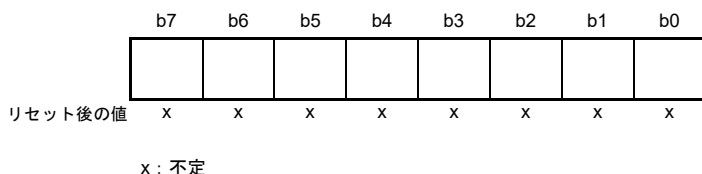


図 30.2 受信 FIFO メールボックスの動作 (MIER_FIFO レジスタのビット 29、28 が 01b または 11b のとき)

30.2.12 受信 FIFO ポインタコントロールレジスタ (RFPCR)

アドレス CAN0.RFPCR 4005 0849h



ビット	機能	R/W
b7-b0	RFPCRにFFhを書き込むと、受信FIFOのCPUポインタが増加	W

受信 FIFO が空状態でないとき、受信 FIFO 用の CPU ポインタを増加させて次のメールアドレス位置に移動させるには、RFPCR レジスタにソフトウェアで FFh を書いてください。RFCR.RFE ビットが 0 (受信 FIFO 禁止) の場合、RFPCR レジスタに書き込みを行わないでください。

オーバーライトモードで RFFST フラグが 1 (受信 FIFO はフル) のときに新しいメッセージが受信されると、CAN ポインタと CPU ポインタの両方が増加します。この状態で RFMLF フラグが 1 のとき、RFPCR レジスタにソフトウェア書き込みを行っても CPU ポインタは増加しません。

30.2.13 送信 FIFO コントロールレジスタ (TFCR)

アドレス CAN0.TFCR 4005 084Ah

b7	b6	b5	b4	b3	b2	b1	b0
TFEST	TFFST	—	—	TFUST[2:0]		TFE	
リセット後の値	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TFE	送信 FIFO 許可	0 : 送信 FIFO 禁止 1 : 送信 FIFO 許可	R/W
b3-b1	TFUST[2:0]	送信 FIFO 未送信メッセージ数ステータス	b3 b1 0 0 0 : 未送信メッセージなし 0 0 1 : 未送信メッセージ1件 0 1 0 : 未送信メッセージ2件 0 1 1 : 未送信メッセージ3件 1 0 0 : 未送信メッセージ4件 1 0 1 : 予約ビット 1 1 0 : 予約ビット 1 1 1 : 予約ビット	R
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	TFFST	送信 FIFO フルスステータス	0 : 送信 FIFO はフルでない 1 : 送信 FIFO はフル (未送信メッセージ4件)	R
b7	TFEST	送信 FIFO 空ステータス	0 : 送信 FIFO に未送信メッセージあり 1 : 送信 FIFO に未送信メッセージなし	R

TFCR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

TFE ビット (送信 FIFO 許可)

TFE ビットを 1 にすると、送信 FIFO が送信許可になります。

TFE ビットを 0 にすると、送信 FIFO は空状態 (TFEST ビットが 1) になり、次のように送信 FIFO からの未送信メッセージが失われます。

- 送信 FIFO から次のメッセージ送信予定がなく、まだ送信中でもない場合はただちに
- 送信 FIFO から次のメッセージ送信予定があるか、あるいはすでに送信中の場合、送信完了、CAN バスエラー、CAN バスアービトラクションロスト、または CAN halt モードへの遷移が発生した時点

TFE ビットを再度 1 にする前に、TFEST ビットが 1 になっていることを確認してください。TFE ビットを 1 にした後、送信データをメールボックス 24 レジスタに書いてください。

通常メールボックスモード (CTRL.MBM ビット=0) では、TFE ビットを 1 にしないでください。

TFUST[2:0] ビット (送信 FIFO 未送信メッセージ数ステータス)

TFUST[2:0] ビットは、送信 FIFO 内の未送信メッセージの数を示します。TFE ビットを 0 にした後、送信アポートまたは送信が完了すると、TFUST[2:0] ビットは 000b になります。

TFFST ビット (送信 FIFO フルスステータス)

送信 FIFO 内の未送信メッセージの数が 4 件になると、TFFST ビットは 1 (送信 FIFO はフル) になります。送信 FIFO 内の未送信メッセージの数が 4 件未満になると、TFFST ビットは 0 (送信 FIFO はフルでない) になります。送信 FIFO の送信がアポートされると、TFFST ビットは 0 になります。

TFEST ビット (送信 FIFO 空ステータス)

送信 FIFO 内に未送信メッセージがなくなると、TFEST ビットは 1 (送信 FIFO にメッセージなし) になります。送信 FIFO からの送信がアボートされると、TFEST ビットは 1 になります。送信 FIFO 内の未送信メッセージの数が 1 件以上になると、TFEST ビットは 0 (送信 FIFO にメッセージあり) になります。

図 30.3 に送信 FIFO メールボックスの動作を示します。

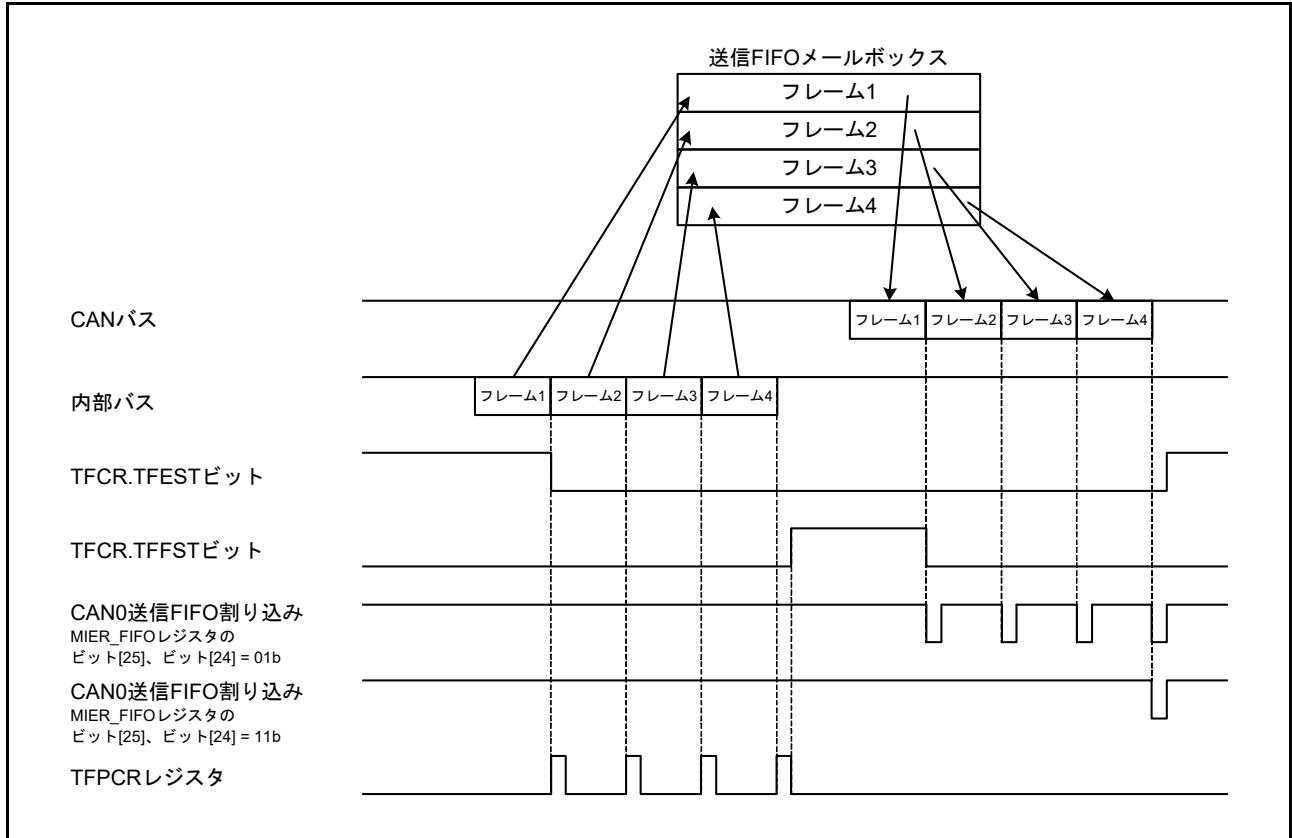
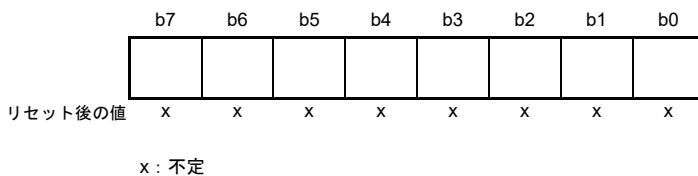


図 30.3 送信 FIFO メールボックスの動作 (MIER_FIFO[25:24] が 01b または 11b のとき)

30.2.14 送信 FIFO ポインタコントロールレジスタ (TFPCR)

アドレス CAN0.TFPCR 4005 084Bh



ビット	機能	R/W
b7-b0	TFPCRにFFhを書き込むと、送信FIFOのCPUポインタが増加	W

送信 FIFO がフルでないとき、送信 FIFO の CPU ポインタを増加させて次のメールボックス位置に移動させるには、ソフトウェアで TFPCR レジスタに FFh を書いてください。

TFCR.TFE ビットが 0 (送信 FIFO 禁止) の場合、TFPCR レジスタに書き込みを行わないでください。

30.2.15 ステータスレジスタ (STR)

アドレス CAN0.STR 4005 0842h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NDST	NEWDATA ステータスフラグ	0 : NEWDATA ビットが1のメールボックスなし 1 : NEWDATA ビットが1のメールボックスあり	R
b1	SDST	SENTDATA ステータスフラグ	0 : SENTDATA ビットが1のメールボックスなし 1 : SENTDATA ビットが1のメールボックスあり	R
b2	RFST	受信 FIFO ステータスフラグ	0 : 受信 FIFO にメッセージなし 1 : 受信 FIFO にメッセージあり	R
b3	TFST	送信 FIFO ステータスフラグ	0 : 送信 FIFO はフル 1 : 送信 FIFO はフルでない	R
b4	NMLST	通常メールボックスメッセージロス ステータスフラグ	0 : MSGLOST ビットが1のメールボックスなし 1 : MSGLOST ビットが1のメールボックスが1つ以上あり	R
b5	FMLST	FIFO メールボックスメッセージロス ステータスフラグ	0 : RFMLF ビットが0 1 : RFMLF ビットが1	R
b6	TABST	送信アボートステータスフラグ	0 : TRMABT ビットが1のメールボックスなし 1 : TRMABT ビットが1のメールボックスあり	R
b7	EST	エラーステータスフラグ	0 : エラー発生なし 1 : エラー発生あり	R
b8	RSTST	CAN リセットステータスフラグ	0 : CAN リセットモードではない 1 : CAN リセットモード	R
b9	HLTST	CAN halt ステータスフラグ	0 : CAN halt モードではない 1 : CAN halt モード	R
b10	SLPST	CAN スリープステータスフラグ	0 : CAN スリープモードではない 1 : CAN スリープモード	R
b11	EPST	エラーパッシブステータスフラグ	0 : エラーパッシブ状態ではない 1 : エラーパッシブ状態	R
b12	BOST	バスオフステータスフラグ	0 : バスオフ状態ではない 1 : バスオフ状態	R
b13	TRMST	送信ステータスフラグ	0 : バスアイドルまたは受信 1 : 送信中またはバスオフ状態	R
b14	RECST	受信ステータスフラグ	0 : バスアイドルまたは送信 1 : 受信	R
b15	—	予約ビット	読むと0が読めます。	R

NDST フラグ (NEWDATA ステータスフラグ)

MCTL_RX_j レジスタ (j=0~31) の NEWDATA フラグのうち、少なくとも1つが1であると、MIER レジスタまたは MIER_FIFO レジスタの値にかかわらず、NDST フラグは1になります。すべての NEWDATA フラグが0であると、NDST フラグは0になります。

SDST フラグ (SENTDATA ステータスフラグ)

MCTL_TX_j レジスタ (j=0~31) の SENTDATA フラグのうち、少なくとも1つが1であると、MIER レジスタまたは MIER_FIFO レジスタの値にかかわらず、SDST フラグは1になります。すべての SENTDATA フラグが0であると、SDST フラグは0になります。

RFST フラグ (受信 FIFO ステータスフラグ)

RFST フラグは、受信 FIFO が空状態でないとき 1 になります。受信 FIFO が空状態か、または通常メールボックスモードが選択されている場合、RFST フラグは 0 になります。

TFST フラグ (送信 FIFO ステータスフラグ)

TFST フラグは、送信 FIFO がフルでないとき 1 になります。送信 FIFO がフルであるか、または通常メールボックスモードが選択されている場合、TFST フラグは 0 になります。

NMLST フラグ (通常メールボックスメッセージロストステータスフラグ)

MCTL_RXj レジスタ (j=0~31) の MSGLOST フラグのうち、少なくとも 1 つが 1 であると、MIER レジスタまたは MIER_FIFO レジスタの値にかかわらず、NMLST フラグは 1 になります。すべての MSGLOST フラグが 0 であると、NMLST フラグは 0 になります。

FMLST フラグ (FIFO メールボックスメッセージロストステータスフラグ)

RFMR レジスタの RFMLF フラグが 1 になると、MIER_FIFO の値にかかわらず、FMLST フラグは 1 になります。RFMLF フラグが 0 の場合、FMLST フラグは 0 になります。

TABST フラグ (送信アポートステータスフラグ)

MCTL_TXj レジスタ (j=0~31) の TRMABT フラグのうち、少なくとも 1 つが 1 であると、MIER レジスタまたは MIER_FIFO レジスタの値にかかわらず、TABST フラグは 1 になります。すべての TRMABT フラグが 0 であると、TABST フラグは 0 になります。

EST フラグ (エラーステータスフラグ)

EIFR レジスタで 1 つでもエラーが検出されると、EIER レジスタの値にかかわらず、EST フラグは 1 になります。EIFR レジスタで 1 つもエラーが検出されないと、EST フラグは 0 になります。

RSTST フラグ (CAN リセットステータスフラグ)

RSTST フラグは、CAN モジュールが CAN リセットモードになると 1 になります。RSTST フラグは、CAN モジュールが CAN リセットモード以外になると 0 になります。CAN リセットモードから CAN スリープモードに遷移しても、RSTST フラグは 1 のままです。

HLTST フラグ (CAN halt ステータスフラグ)

HLTST フラグは、CAN モジュールが CAN halt モードになると 1 になります。HLTST フラグは、CAN モジュールが CAN halt モード以外になると 0 になります。CAN halt モードから CAN スリープモードに遷移しても、HLTST フラグは 1 のままです。

SLPST フラグ (CAN スリープステータスフラグ)

SLPST フラグは、CAN モジュールが CAN スリープモードになると 1 になります。SLPST フラグは、CAN モジュールが CAN スリープモード以外になると 0 になります。

EPST フラグ (エラーパッシブステータスフラグ)

TECR または RECR レジスタの値が 127 を超えて、CAN モジュールがエラーパッシブ状態 ($128 \leq \text{TEC} < 256$ または $128 \leq \text{REC} < 256$) になると、EPST フラグは 1 になります。CAN モジュールがエラーパッシブ状態以外になると、EPST フラグは 0 になります。

BOST フラグ (バスオフステータスフラグ)

TECR レジスタの値が 255 を超えて、CAN モジュールがバスオフ状態 ($\text{TEC} \geq 256$) になると、BOST フラグは 1 になります。CAN モジュールがバスオフ状態以外になると、BOST フラグは 0 になります。

TRMST フラグ (送信ステータスフラグ)

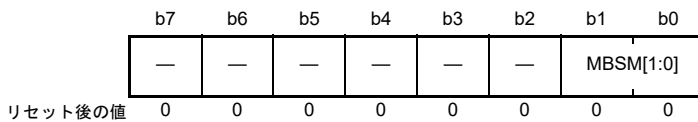
TRMST フラグは、CAN モジュールが送信ノードとして動作するか、またはバスオフ状態になると 1 になります。TRMST フラグは、CAN モジュールが受信ノードとして動作するか、またはバスアイドル状態になると 0 になります。

RECST フラグ (受信ステータスフラグ)

RECST フラグは、CAN モジュールが受信ノードとして動作すると 1 になります。RECST フラグは、CAN モジュールが送信ノードとして動作するか、またはバスアイドル状態になると 0 になります。

30.2.16 メールボックスサーチモードレジスタ (MSMR)

アドレス `CAN0.MSMR 4005 0853h`



ビット	シンボル	ビット名	機能	R/W
b1-b0	MBSM[1:0]	メールボックス検索モード選択	b1 b0 0 0: 受信メールボックス検索モード 0 1: 送信メールボックス検索モード 1 0: メッセージロスト検索モード 1 1: チャンネル検索モード	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MSMR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

MBSM[1:0] ビット (メールボックス検索モード選択)

MBSM[1:0] ビットは、メールボックス検索機能の検索モードを選択します。

MBSM[1:0] ビットが 00b の場合、受信メールボックス検索モードになります。このモードでの検索対象は、通常メールボックスでの MCTL_RXj レジスタ (j=0~31) の NEWDATA フラグと、RFCR レジスタの RFEST ビットです。

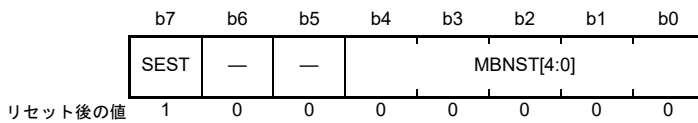
MBSM[1:0] ビットが 01b の場合、送信メールボックス検索モードになります。このモードでの検索対象は、MCTL_TXj レジスタの SENTDATA フラグです。

MBSM[1:0] ビットが 10b の場合、メッセージロスト検索モードになります。このモードでの検索対象は、通常メールボックスでの MCTL_RXj レジスタの MSGLOST フラグ、および RFCR レジスタの RFMLF フラグです。

MBSM[1:0] ビットが 11b の場合、チャンネル検索モードになります。このモードでの検索対象は、CSSR レジスタです。[30.2.18 チャンネルサーチサポートレジスタ \(CSSR\)](#) を参照してください。

30.2.17 メールボックスサーチステータスレジスタ (MSSR)

アドレス CAN0.MSSR 4005 0852h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MBNST[4:0]	検索結果メールボックス番号ステータス	これらのビットは、MSMRレジスタの各モードで検索した最小メールボックス番号を出力します。	R
b6-b5	—	予約ビット	読むと0が読めます。	R
b7	SEST	検索結果ステータス	0: 検索結果あり 1: 検索結果なし	R

MBNST[4:0] ビット (検索結果メールボックス番号ステータス)

MBNST[4:0] ビットは、すべての MSMR モードで検索された最小のメールボックス番号を出力します。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードでは、メールボックスの値（出力される検索結果）が次の場合に更新されます。

- MBNST[4:0] で出力されたメールボックスについて、NEWDATA、SENTDATA、または MSGLOST フラグが 0 の場合
- MBNST[4:0] で出力されたメールボックスよりも小さな番号のメールボックスについて、NEWDATA、SENTDATA、または MSGLOST フラグが 1 の場合

MBSM[1:0] ビットが 00b（受信メールボックス検索モード）または 10b（メッセージロスト検索モード）の場合、受信 FIFO（メールボックス 28）が空状態ではなく、すべての通常メールボックス（メールボックス 0 ~ 23）に未読の受信メッセージもロストメッセージもないと、受信 FIFO が出力されます。MBSM[1:0] ビットが 01b（送信メールボックス検索モード）の場合、送信 FIFO（メールボックス 24）は出力されません。表 30.6 に、FIFO メールボックスモードでの MBNST[4:0] ビットの動作を示します。

チャンネル検索モードでは、MBNST[4:0] ビットは対応するチャンネル番号を出力します。MSSR レジスタがソフトウェアで読み出されると、次のターゲットチャンネル番号が出力されます。

SEST ビット (検索結果ステータス)

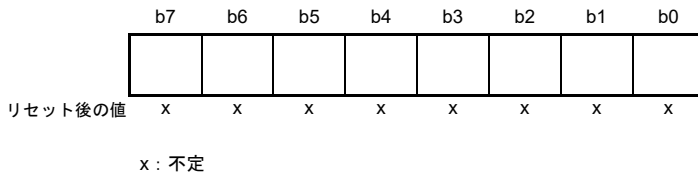
すべてのメールボックスを検索した結果、対応するメールボックスがなかった場合、SEST ビットは 1（検索結果なし）になります。たとえば、送信メールボックス検索モードにおいて、どのメールボックスの SENTDATA フラグも 1 でない場合は、SEST ビットは 1 になります。少なくとも 1 つの SENTDATA フラグが 1 であると、SEST ビットは 0 になります。SEST ビットが 1 の場合、MBNST[4:0] ビットの値は不定です。

表 30.6 FIFO メールボックスモードでの MBNST[4:0] ビットの動作

MBSM[1:0] ビット	メールボックス 24 (送信 FIFO)	メールボックス 28 (受信 FIFO)
00b	メールボックス 24 は表示されない	通常メールボックスのどの MCTL_RXj.NEWDATA フラグも 1 にならず（メールボックスに格納中または格納済みのメッセージがない）、かつ受信 FIFO が空状態でない場合、メールボックス 28 が表示される
01b		メールボックス 28 は表示されない
10b		通常メールボックスのどの MCTL_RXj.MSGLOST フラグも 1（メッセージのオーバーライトまたはオーバーランあり）ではなく、かつ受信 FIFO の RFCR.RFMLF フラグが 1（受信 FIFO メッセージロスト発生）になった場合、メールボックス 28 が表示される
11b		メールボックス 28 は表示されない

30.2.18 チャネルサーチサポートレジスタ (CSSR)

アドレス CAN0.CSSR 4005 0851h



ビット	機能	R/W
b7-b0	チャンネル検索の値が入力された場合、チャンネル番号をMSSRレジスタに出力	R/W

CSSR レジスタで 1 になったビットは、8/3 エンコーダ (最小ビット位置がより高い優先順位) によってエンコードされ、MSSR.MBNST[4:0] ビットに出力されます。MSSR レジスタは、ソフトウェアで読み出すたびに更新された値を出力します。

CSSR レジスタへの書き込みは、MSMR.MBSM[1:0] ビットが 11b (チャンネル検索モード) の場合にだけ行ってください。CSSR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

図 30.4 に、CSSR および MSSR レジスタの書き込みと読み出しの動作を示します。

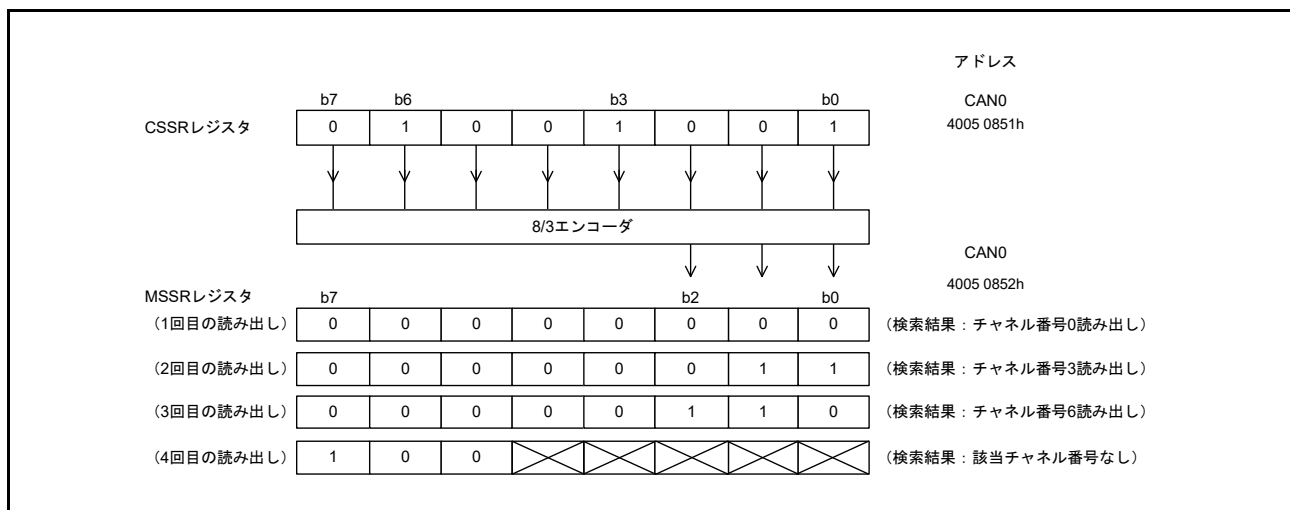
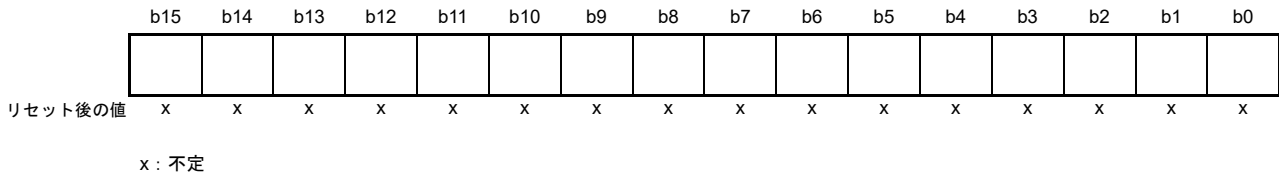


図 30.4 CSSR レジスタ および MSSR レジスタの書き込みおよび読み出し

CSSR レジスタの値も、MSSR レジスタを読み出すたびに更新されます。読んだ場合、8/3 エンコーダ変換前の値が読めます。

30.2.19 アクセプタンスフィルタサポートレジスタ (AFSR)

アドレス CAN0.AFSR 4005 0856h



ビット	機能	R/W
b15-b0	受信メッセージの標準IDを書いた後に、データテーブル検索用に変換された値が読める	R/W

注. AFSR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

アクセプタンスフィルタサポートユニット (ASU) が、データテーブル (8 ビット × 256) の検索に使用可能です。このデータテーブルには、ユーザが作成したすべての標準 ID の有効/無効が 1 ビット単位で設定されます。受信した標準 ID が格納された MB_j_ID.SID[10:0] ビット (j = 0 ~ 31) を含む 16 ビット単位のデータを AFSR レジスタに書き込むと、デコードされたデータテーブル検索用の行 (バイトオフセット) 位置と、列 (ビット) 位置が読み出せます。ASU は、標準 (11 ビット) ID にのみ使用できます。

ASU は、次の場合に有効です。

- 受信する ID がアクセプタンスフィルタでマスクできない場合。たとえば、受信する ID が 078h、087h、111h の場合
- 受信する ID が多すぎるため、ソフトウェアによるフィルタリング処理時間を短縮したい場合

注. AFSR レジスタは、CAN リセットモードでは設定できません。

図 30.5 に、AFSR レジスタの書き込みおよび読み出し動作を示します。

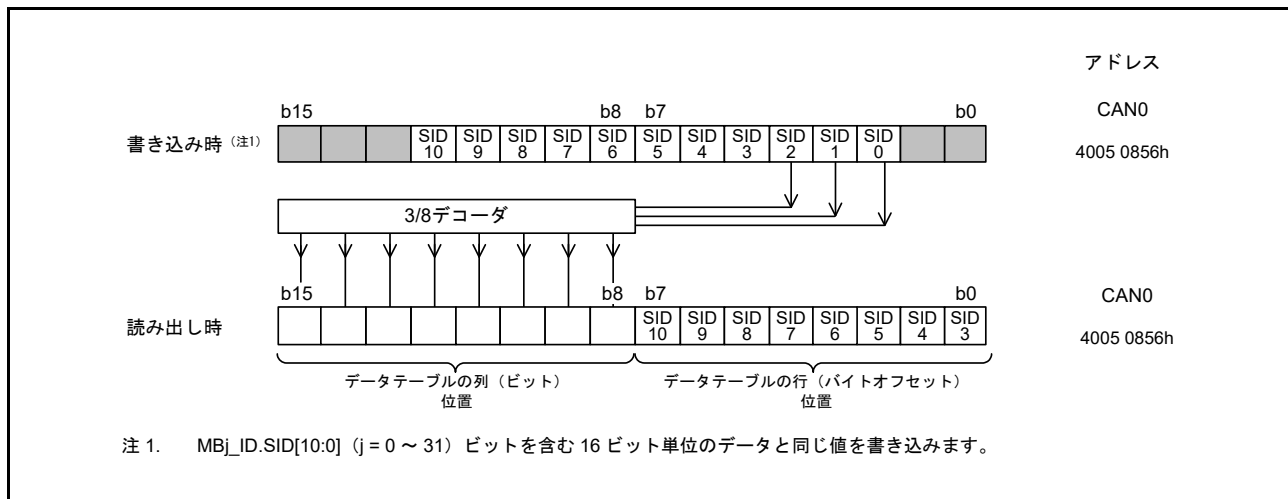


図 30.5 AFSR レジスタの書き込みおよび読み出し動作

30.2.20 エラー割り込みイネーブルレジスタ (EIER)

アドレス CAN0.EIER 4005 084Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIE	バスエラー割り込み許可	0 : バスエラー割り込み禁止 1 : バスエラー割り込み許可	R/W
b1	EWIE	エラーワーニング割り込み許可	0 : エラーワーニング割り込み禁止 1 : エラーワーニング割り込み許可	R/W
b2	EPIE	エラーパッシブ割り込み許可	0 : エラーパッシブ割り込み禁止 1 : エラーパッシブ割り込み許可	R/W
b3	BOEIE	バスオフ開始割り込み許可	0 : バスオフ開始割り込み禁止 1 : バスオフ開始割り込み許可	R/W
b4	BORIE	バスオフ復帰割り込み許可	0 : バスオフ復帰割り込み禁止 1 : バスオフ復帰割り込み許可	R/W
b5	ORIE	オーバーラン割り込み許可	0 : オーバーラン割り込み禁止 1 : オーバーラン割り込み許可	R/W
b6	OLIE	オーバーロードフレーム送信割り込み許可	0 : オーバーロードフレーム送信割り込み禁止 1 : オーバーロードフレーム送信割り込み許可	R/W
b7	BLIE	バスロック割り込み許可	0 : バスロック割り込み禁止 1 : バスロック割り込み許可	R/W

EIER レジスタは、エラー割り込みの許可/禁止を EIFR レジスタのエラー割り込み要因ごとに個別に設定します。EIER レジスタへの書き込みは、CAN リセットモード時に行ってください。

BEIE ビット (バスエラー割り込み許可)

BEIE ビットが 0 の場合、EIFR.BEIF フラグが 1 であっても、エラー割り込み要求は発生しません。BEIE ビットが 1 の場合、EIFR.BEIF フラグが 1 になると、エラー割り込み要求が発生します。

EWIE ビット (エラーワーニング割り込み許可)

EWIE ビットが 0 の場合、EIFR.EWIF フラグが 1 であっても、エラー割り込み要求は発生しません。EWIE ビットが 1 の場合、EIFR.EWIF フラグが 1 になると、エラー割り込み要求が発生します。

EPIE ビット (エラーパッシブ割り込み許可)

EPIE ビットが 0 の場合、EIFR.EPIF フラグが 1 であっても、エラー割り込み要求は発生しません。EPIE ビットが 1 の場合、EIFR.EPIF フラグが 1 になると、エラー割り込み要求が発生します。

BOEIE ビット (バスオフ開始割り込み許可)

BOEIE ビットが 0 の場合、EIFR.BOEIF フラグが 1 であっても、エラー割り込み要求は発生しません。BOEIE ビットが 1 の場合、EIFR.BOEIF フラグが 1 になると、エラー割り込み要求が発生します。

BORIE ビット (バスオフ復帰割り込み許可)

BORIE ビットが 0 の場合、EIFR.BORIF フラグが 1 であっても、エラー割り込み要求は発生しません。BORIE ビットが 1 の場合、EIFR.BORIF フラグが 1 になると、エラー割り込み要求が発生します。

ORIE ビット (オーバーラン割り込み許可)

ORIE ビットが 0 の場合、EIFR.ORIF フラグが 1 であっても、エラー割り込み要求は発生しません。ORIE ビットが 1 の場合、EIFR.ORIF フラグが 1 になると、エラー割り込み要求が発生します。

OLIE ビット (オーバーロードフレーム送信割り込み許可)

OLIE ビットが 0 の場合、EIFR.OLIF フラグが 1 であっても、エラー割り込み要求は発生しません。OLIE ビットが 1 の場合、EIFR.OLIF フラグが 1 になると、エラー割り込み要求が発生します。

BLIE ビット (バスロック割り込み許可)

BLIE ビットが 0 の場合、EIFR.BLIF フラグが 1 であっても、エラー割り込み要求は発生しません。BLIE ビットが 1 の場合、EIFR.BLIF フラグが 1 になると、エラー割り込み要求が発生します。

30.2.21 エラー割り込み要因判定レジスタ (EIFR)

アドレス CAN0.EIFR 4005 084Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIF	バスエラー検出フラグ	0: バスエラー未検出 1: バスエラー検出	R/W
b1	EWIF	エラーワーニング検出フラグ	0: エラーワーニング未検出 1: エラーワーニング検出	R/W
b2	EPIF	エラーパッシブ検出フラグ	0: エラーパッシブ未検出 1: エラーパッシブ検出	R/W
b3	BOEIF	バスオフ開始検出フラグ	0: バスオフ開始未検出 1: バスオフ開始検出	R/W
b4	BORIF	バスオフ復帰検出フラグ	0: バスオフ復帰未検出 1: バスオフ復帰検出	R/W
b5	ORIF	受信オーバーラン検出フラグ	0: 受信オーバーラン未検出 1: 受信オーバーラン検出	R/W
b6	OLIF	オーバーロードフレーム送信検出フラグ	0: オーバーロードフレーム送信未検出 1: オーバーロードフレーム送信検出	R/W
b7	BLIF	バスロック検出フラグ	0: バスロック未検出 1: バスロック検出	R/W

EIFR フラグに関連するイベントが発生すると、EIER レジスタの設定にかかわらず、EIFR レジスタの対応するビットが1になります。これらのビットは、ソフトウェア書き込みで0にクリアしてください。ソフトウェアによるクリアと同時にビットが1になると、そのビットは1になります。個々のビットをソフトウェアで0にする場合、転送 (MOV) 命令を使用して、必ず指定されたビットのみを0にし、その他のビットは1にしてください。1を書いても、これらのビット値は影響されません。

BEIF フラグ (バスエラー検出フラグ)

バスエラーが検出されると、BEIF フラグは1になります。

EWIF フラグ (エラーワーニング検出フラグ)

受信エラーカウンタ (REC) または送信エラーカウンタ (TEC) の値が95を超えると、EWIF フラグは1になります。EWIF フラグは、REC または TEC 値が初めて95を超えたときのみ1になります。REC または TEC 値が95を超えたままの状態、ソフトウェアが本ビットに0を書き込むと、REC または TEC 値が一度95以下になってから再度95を超えるまでEWIF フラグは1になりません。

EPIF フラグ (エラーパッシブ検出フラグ)

CAN エラーの状態がエラーパッシブになり、REC または TEC の値が127を超えると、EPIF フラグが1になります。本フラグは、REC または TEC 値が初めて127を超えたときのみ1になります。REC または TEC 値が127を超えたままの状態、ソフトウェアが本ビットに0を書き込むと、REC または TEC 値が一度127以下になってから再度127を超えるまでEPIF フラグは1になりません。

BOEIF フラグ (バスオフ開始検出フラグ)

CAN エラー状態がバスオフになり、TEC の値が255を超えると BOEIF フラグは1になります。また、CTRL レジスタの BOM[1:0] ビットが01b (バスオフ開始で自動的に CAN halt モードへ遷移) の場合に、CAN モジュールがバスオフ状態になると BOEIF ビットも1になります。

BORIF フラグ (バスオフ復帰検出フラグ)

CAN モジュールが、下記の条件下で、バスオフ状態から通常復帰 (11 の連続するレセシブビットを 128 回検出) した場合、BORIF フラグは 1 になります。

- CTLR.BOM[1:0] ビットが 00b の場合
- CTLR.BOM[1:0] ビットが 10b の場合
- CTLR.BOM[1:0] ビットが 11b の場合

CAN モジュールが、下記の条件下で、バスオフ状態から復帰した場合、BORIF フラグは 1 になりません。

- CTLR.CANM[1:0] ビットが 01b または 11b (CAN リセットモード) の場合
- CTLR.RBOC ビットが 1 (バスオフからの強制復帰) の場合
- CTLR.BOM[1:0] ビットが 01b の場合
- CTLR.BOM[1:0] ビットが 11b で、通常復帰が発生する前に、CTLR.CANM[1:0] ビットを 10b (CAN halt モード) にした場合

表 30.7 に、CTLR.BOM[1:0] ビットの設定値ごとの BOEIF および BORIF フラグの動作を示します。

表 30.7 CTLR.BOM[1:0] ビットの設定による BOEIF、BORIF フラグの動作

BOM[1:0] ビット	BOEIF フラグ	BORIF フラグ
00b	バスオフ状態への遷移時に 1 になる	バスオフ状態からの復帰時に 1 になる
01b		1 にはならない
10b		バスオフ状態からの復帰時に 1 になる
11b		CANM[1:0] ビットが 10b (CAN halt モード) になる前に、通常のバスオフ復帰が発生した場合に 1 になる

ORIF フラグ (受信オーバーラン検出フラグ)

ORIF フラグは、受信オーバーランが発生すると 1 になります。本フラグは、オーバーライトモードでは 1 になりません。本モードでは、オーバーライト条件が発生し、ORIF フラグが 1 にならない場合は、受信完了割り込み要求が発生します。

通常メールボックスモードでは、メールボックス 0 ~ 31 のいずれかでオーバーランが発生すると、本フラグが 1 になります。FIFO メールボックスモードでは、メールボックス 0 ~ 23 のいずれかまたは受信 FIFO でオーバーランが発生すると、本フラグが 1 になります。

OLIF フラグ (オーバーロードフレーム送信検出フラグ)

CAN モジュールが送信または受信を行う場合にオーバーロードフレームの送信条件が検出されると、OLIF フラグは 1 になります。

BLIF フラグ (バスロック検出フラグ)

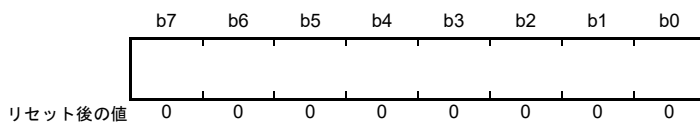
CAN モジュールが CAN オペレーションモードのとき、CAN バス上に 32 の連続するドミナントビットが検出されると、BLIF フラグは 1 になります。

BLIF フラグが 1 になった後、次のいずれかの条件下では、32 の連続するドミナントビットが再検出されます。

- 本フラグが 1 から 0 に変化した後、レセシブビットが検出された場合
- 本フラグが 1 から 0 に変化した後、CAN モジュールが一度 CAN リセットモードまたは CAN halt モードになってから、再度 CAN オペレーションモードになった場合

30.2.22 受信エラーカウントレジスタ (RECR)

アドレス CAN0.RECR 4005 084Eh

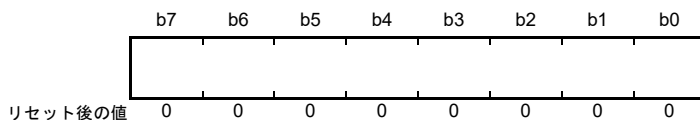


ビット	機能	R/W
b7-b0	受信エラーカウント機能。受信中のCANモジュールのエラー状態に基づいて、RECRはカウンタ値をインクリメントまたはデクリメント	R

RECR レジスタは、受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。バスオフ状態では、RECR レジスタの値は不定です。

30.2.23 送信エラーカウントレジスタ (TECR)

アドレス CAN0.TECR 4005 084Fh



ビット	機能	R/W
b7-b0	送信エラーカウント機能。送信中のCANモジュールのエラー状態に基づいて、TECRはカウンタ値をインクリメントまたはデクリメント	R

TECR レジスタは、送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。バスオフ状態では、TECR レジスタの値は不定です。

30.2.24 エラーコード格納レジスタ (ECSR)

アドレス CAN0.ECSR 4005 0850h

	b7	b6	b5	b4	b3	b2	b1	b0
	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEF	スタッフエラーフラグ(注1)(注2)	0: スタッフエラー未検出 1: スタッフエラー検出	R/W
b1	FEF	フォームエラーフラグ(注1)(注2)	0: フォームエラー未検出 1: フォームエラー検出	R/W
b2	AEF	ACKエラーフラグ(注1)(注2)	0: ACKエラー未検出 1: ACKエラー検出	R/W
b3	CEF	CRCエラーフラグ(注1)(注2)	0: CRCエラー未検出 1: CRCエラー検出	R/W
b4	BE1F	ビットエラー (レセシブ) フラグ(注1)(注2)	0: ビットエラー (レセシブ) 未検出 1: ビットエラー (レセシブ) 検出	R/W
b5	BE0F	ビットエラー (ドミナント) フラグ(注1)(注2)	0: ビットエラー (ドミナント) 未検出 1: ビットエラー (ドミナント) 検出	R/W
b6	ADEF	ACKデリミタエラーフラグ(注1)(注2)	0: ACKデリミタエラー未検出 1: ACKデリミタエラー検出	R/W
b7	EDPM	エラー表示モード選択(注3)(注4)	0: 最初に検出されたエラーコードを出力 1: 蓄積したエラーコードを出力	R/W

- 注1. 1を書いても、これらのビットの値は影響されません。
 注2. SEF、FEF、AEF、CEF、BE1F、BE0F、ADEF ビットに0を書く場合は、転送 (MOV) 命令を使用して、必ず指定されたビットのみを0にし、その他のビットは1にしてください。
 注3. EDPM ビットへの書き込みは、CANリセットモードまたはCAN haltモード時に行ってください。
 注4. 同時に2つ以上のエラー条件が検出された場合は、関係するすべてのビットが1になります。

ECSR レジスタは、CAN バス上のエラー発生の有無を示します。各エラーの発生条件については、CAN仕様 (ISO11898-1) を参照してください。

ソフトウェア書き込みでEDPM ビット以外のビットをすべて0にクリアしてください。ソフトウェアによるクリアと同時にECSRレジスタのビットが1になると、そのビットは1になります。

SEF フラグ (スタッフエラーフラグ)

スタッフエラーが検出されると、SEF フラグは1になります。

FEF フラグ (フォームエラーフラグ)

フォームエラーが検出されると、FEF フラグは1になります。

AEF フラグ (ACK エラーフラグ)

ACK エラーが検出されると、AEF フラグは1になります。

CEF フラグ (CRC エラーフラグ)

CRC エラーが検出されると、CEF フラグは1になります。

BE1F フラグ (ビットエラー (レセシブ) フラグ)

レセシブビットエラーが検出されると、BE1F フラグは1になります。

BE0F フラグ (ビットエラー (ドミナント) フラグ)

ドミナントビットエラーが検出されると、BE0F フラグは1になります。

ADEF フラグ (ACK デリミタエラーフラグ)

送信中に ACK デリミタでフォームエラーが検出されると、ADEF フラグは1になります。

EDPM ビット (エラー表示モード選択)

EDPM ビットは、ECSR レジスタの出力モードを選択します。EDPM ビットを0にすると、ECSR レジスタは最初のエラーコードを出力します。EDPM ビットを1にすると、ECSR レジスタは蓄積したエラーコードを出力します。

30.2.25 タイムスタンプレジスタ (TSR)

アドレス [CAN0.TSR 4005 0854h](#)



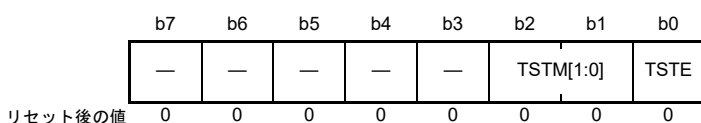
ビット	機能	R/W
b15-b0	タイムスタンプ機能のためのフリーランカウンタ値	R

注. TSR レジスタの読み出しは 16 ビット単位で実行してください。

TSR レジスタを読むと、タイムスタンプカウンタ (16 ビットフリーランカウンタ) の値も読み出せます。タイムスタンプカウンタの基準クロックは、`CTLR.TSPS[1:0]` ビットで設定します。このタイムスタンプカウンタは、CAN スリープモードおよび CAN halt モードで停止し、CAN リセットモードで初期化されます。タイムスタンプカウンタの値は、受信メッセージが受信メールボックスに格納される時、`MBj_TS` レジスタの `TSL[7:0]` ビットと `TSH[7:0]` ビットに格納されます。

30.2.26 テストコントロールレジスタ (TCR)

アドレス CAN0.TCR 4005 0858h



ビット	シンボル	ビット名	機能	R/W
b0	TSTE	CANテストモード許可	0 : CANテストモード禁止 1 : CANテストモード許可	R/W
b2-b1	TSTM[1:0]	CANテストモード選択	b2 b1 0 0 : CANテストモードではない 0 1 : リッスンオンリモード 1 0 : セルフテストモード0 (外部ループバック) 1 1 : セルフテストモード1 (内部ループバック)	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TCR レジスタは、CAN テストモードを制御します。TCR レジスタは、CAN halt モードでのみ書き込みを行ってください。

(1) リッスンオンリモード

CAN 仕様 (ISO11898-1) では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームとリモートフレームを受信できます。ただし、CAN バスにはレセプティブビットのみが送信可能であり、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信できません。リッスンオンリモードは、ボーレート検出に使用できます。リッスンオンリモードでは、どのメールボックスからも送信要求を行わないでください。

図 30.6 にリッスンオンリモード選択時の接続を示します。

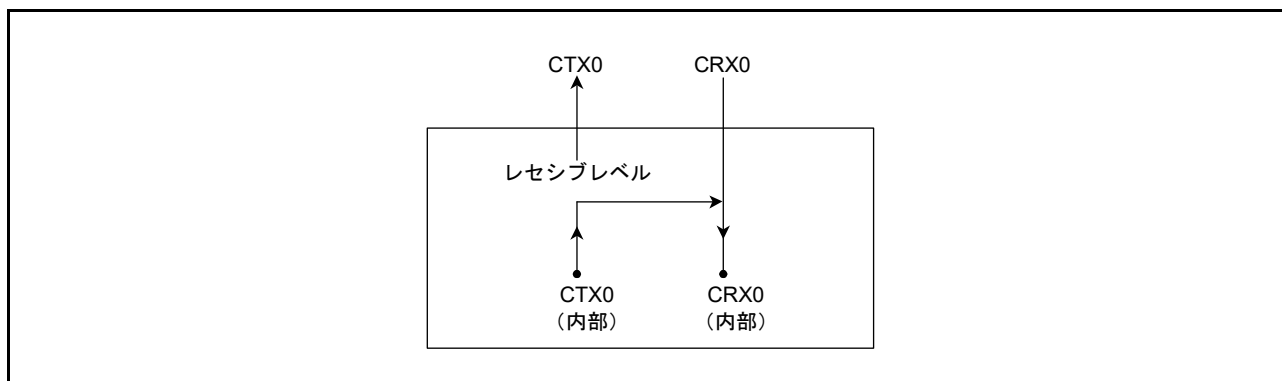


図 30.6 リッスンオンリモード選択時の接続

(2) セルフテストモード 0 (外部ループバック)

セルフテストモード 0 は、CAN トランシーバテスト用です。

このモードでは、プロトコルモジュールは、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部の刺激に影響されないようにするため、プロトコルモジュールは ACK ビットを生成します。CTX0 および CRX0 端子はトランシーバに接続してください。

図 30.7 にセルフテストモード 0 選択時の接続を示します。

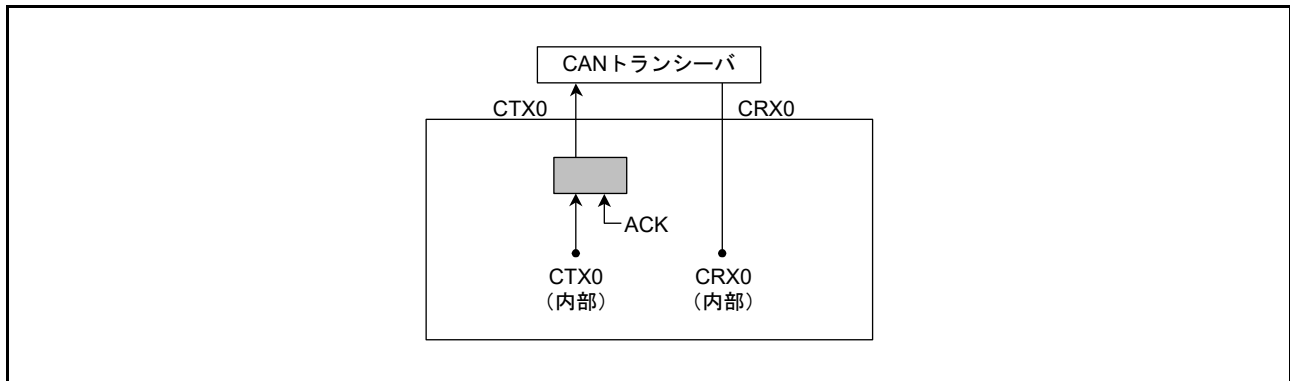


図 30.7 セルフテストモード 0 選択時の接続

(3) セルフテストモード 1 (内部ループバック)

セルフテストモード 1 は、セルフテスト機能用です。

このモードでは、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部の刺激に影響されないようにするため、プロトコルコントローラは ACK ビットを生成します。

セルフテストモード 1 では、プロトコルコントローラは内部 CTX0 端子から内部 CRX0 端子への内部フィードバックを行います。外部 CRX0 端子の入力値は無視されます。外部 CTX0 端子はレセシブビットのみ出力します。CTX0 端子と CRX0 端子は、CAN バスや他のどの外部デバイスにも接続する必要がありません。

図 30.8 にセルフテストモード 1 選択時の接続を示します。

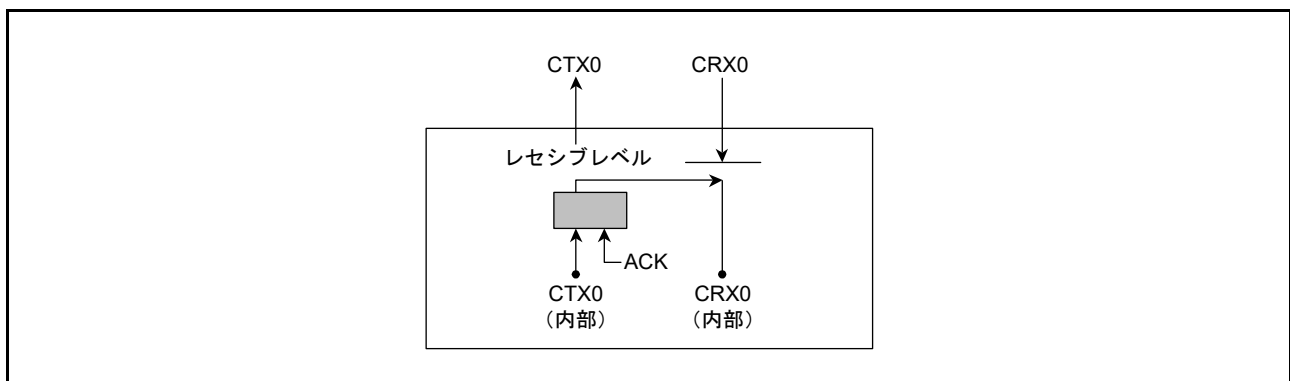


図 30.8 セルフテストモード 1 選択時の接続

30.3 動作モード

CAN モジュールには、下記の動作モードがあります。

- CAN リセットモード
- CAN halt モード
- CAN オペレーションモード
- CAN スリープモード

図 30.9 に、各動作モード間の遷移を示します。

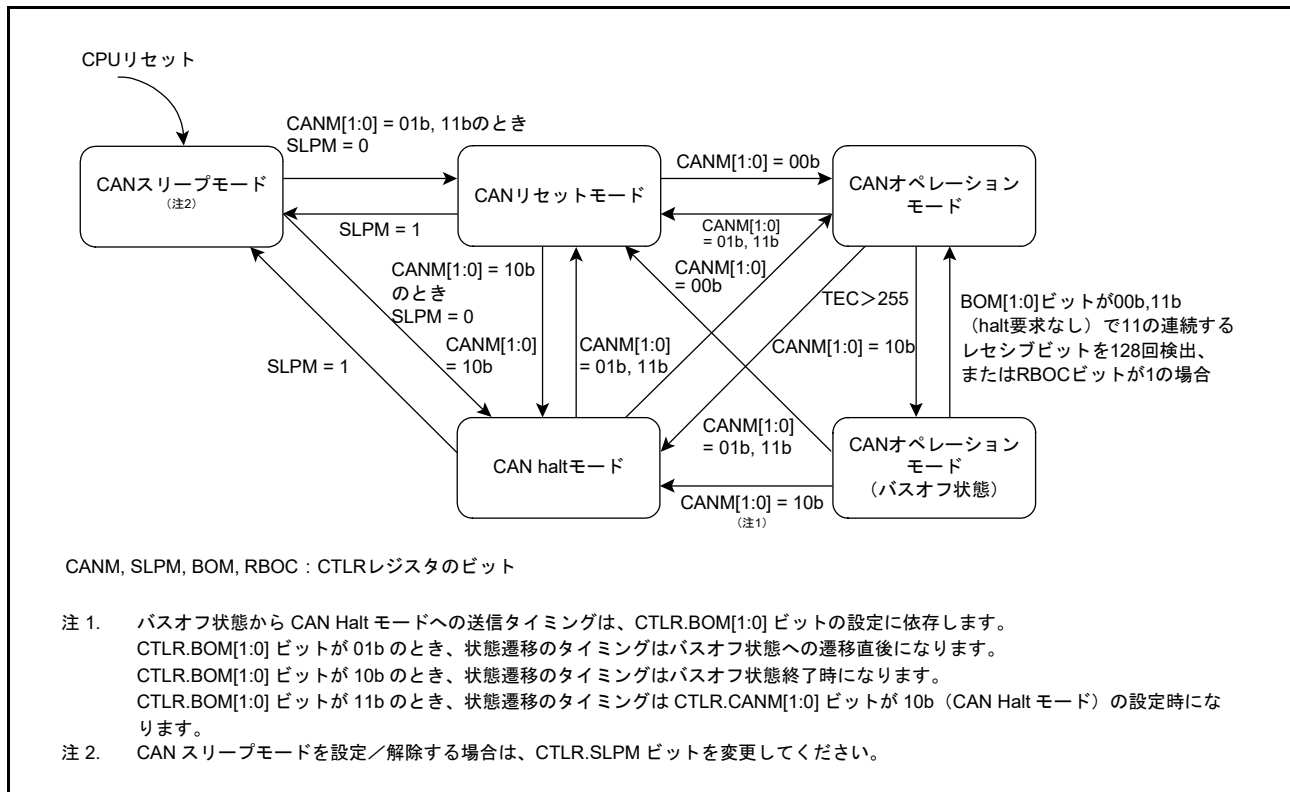


図 30.9 各動作モード間の遷移

30.3.1 CAN リセットモード

CAN リセットモードは、CAN 通信を設定するためのモードです。CTRL.CANM[1:0] ビットを 01b または 11b にすると、CAN モジュールは CAN リセットモードへ遷移します。そのとき、STR.RSTST フラグが 1 になります。RSTST フラグが 1 になるまで、CTRL.CANM[1:0] ビットを変更しないでください。CAN リセットモードから他のモードへ遷移する前に、BCR レジスタを設定してください。

以下のレジスタは、CAN リセットモードへ遷移すると、それぞれのリセット後の値に初期化され、CAN リセットモード中はその初期値を保持します。

- MCTL_TXj および MCTL_RXj
- STR (SLPST ビットと TFST ビットを除く)
- EIFR
- RECR
- TECR
- TSR
- MSSR
- MSMR
- RFCR
- TFCR
- TCR
- ECSR (EDPM ビットを除く)

以下のレジスタは、CAN リセットモードへ遷移後も以前の値を保持します。

- CTRL
- STR (SLPST ビットと TFST ビットのみ)
- MIER および MIER_FIFO
- EIER
- BCR
- CSSR
- ECSR (EDPM ビットのみ)
- MBj_ID、MBj_DL、MBj_Dm、MBj_TS
- MKRk
- FIDCR0 および FIDCR1
- MKIVLR
- AFSR
- RFPCR
- TFPCR

30.3.2 CAN halt モード

CAN halt モードは、メールボックスの設定とテストモードの設定のためのモードです。CTRL.CANM[1:0] ビットを 10b にすると、CAN halt モードになり、STR.HLTST ビットが 1 になります。HLTST ビットが 1 になるまで、CTRL.CANM[1:0] ビットを変更しないでください。送信または受信時の状態遷移条件については、表 30.8 を参照してください。

CAN halt モードへ遷移する際に変化する可能性があるのは、STR レジスタの RSTST ビット、HLTST ビット、および SLPST ビットだけです。これ以外のすべてのレジスタは変化しません。CAN halt モードでは、CTRL レジスタ (CANM[1:0] ビットと SLPM ビット以外) と、EIER レジスタを変更しないでください。CAN halt モードでは、自動ボーレート検出のためにリッスンオンリモードを選択している場合のみ、BCR レジスタを変更できます。

表 30.8 CAN リセットモードと CAN halt モードでの動作

動作モード	受信	送信	バスオフ
CAN リセットモード (強制遷移) CANM[1:0] = 11b	CAN モジュールはメッセージ受信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはメッセージ送信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードへ遷移
CAN リセットモード CANM[1:0] = 01b	CAN モジュールはメッセージ受信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはメッセージ送信の終了を待って CAN リセットモードへ遷移 (注1) (注4)	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードへ遷移
CAN halt モード	CAN モジュールはメッセージ受信の終了を待って CAN halt モードへ遷移 (注2) (注3)	CAN モジュールはメッセージ送信の終了を待って CAN halt モードへ遷移 (注1) (注4)	<ul style="list-style-type: none"> • BOM[1:0] ビットが 00b のとき： バスオフ復帰後のみ、ソフトウェアからの Halt 要求を受け付ける • BOM[1:0] ビットが 01b のとき： CAN モジュールは、ソフトウェアからの Halt 要求とは無関係に、バスオフ復帰の終了を待たずに自動的に CAN halt モードへ遷移 • BOM[1:0] ビットが 10b のとき： CAN モジュールは、ソフトウェアからの Halt 要求とは無関係に、バスオフ復帰の終了を待って自動的に CAN halt モードへ遷移 • BOM[1:0] ビットが 11b のとき： CAN モジュールは、バスオフ中にソフトウェアによる Halt 要求があると、バスオフ復帰の終了を待たずに CAN halt モードへ遷移

BOM[1:0] ビット : CTRL のビット

- 注 1. 複数メッセージの送信要求があると、最初の送信完了後にモード遷移が発生します。送信のサスペンド中に CAN リセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、または CAN モジュールがレシーバになったときに、モード遷移が発生します。
- 注 2. CAN バスがドミナントレベルでロックされた場合、EIFR レジスタの BLIF フラグをモニタすることで、プログラムはバスロック状態を検出できます。
- 注 3. CAN halt モードが要求された後、受信中に CAN バスエラーが発生すると、CAN モジュールは CAN halt モードへ遷移します。
- 注 4. CAN リセットモードまたは CAN halt モードが要求された後、送信中に CAN バスエラーまたはアービトレーションロストが発生すると、CAN モジュールは要求された CAN モードへ遷移します。

30.3.3 CAN スリープモード

CAN スリープモードは、CAN モジュールへのクロック供給を停止することで、消費電力を削減します。MCU の端子リセットまたはソフトウェアリセット後、CAN モジュールは、CAN スリープモードから動作を開始します。

CTLR.SLPM ビットを 1 にすると、CAN モジュールは CAN スリープモードへ遷移し、STR.SLPST ビットが 1 になります。SLPST ビットが 1 になるまで、SLPM ビットの値を変更しないでください。CAN モジュールが CAN スリープモードへ遷移しても、他のレジスタが変化することはありません。

SLPM ビットへの書き込みは、CAN リセットモードおよび CAN halt モード時に行ってください。CAN スリープモード時には、どのレジスタも変更しないでください (SLPM ビットは除く)。ただし、読み出し動作は許可されます。

SLPM ビットを 0 にすると、CAN モジュールは CAN スリープモードから復帰します。CAN モジュールが CAN スリープモードから復帰しても、他のレジスタが変化することはありません。

30.3.4 CAN オペレーションモード (バスオフ状態以外)

CAN オペレーションモードは、CAN 通信を行うためのモードです。CTLR.CANM[1:0] ビットを 00b にすると、CAN モジュールは CAN オペレーションモードになります。そのとき、RSTST ビットと HLTST ビットが 0 になります。RSTST ビットと HLTST ビットが 0 になるまで、CANM[1:0] ビットの値を変更しないでください。

CAN オペレーションモードへ遷移後、11 の連続するレセシブビットが検出されると、CAN モジュールは以下の状態になります。

- CAN モジュールは、ネットワーク上でアクティブノードとなり、CAN メッセージの送受信が可能になる
- 受信エラーカウンタや送信エラーカウンタなど、CAN バスのエラー監視処理が行われる

CAN モジュールは、CAN バスの状態によって、CAN オペレーションモード中に、次の 3 つのいずれかのサブモードになっています。

- アイドルモード：送受信が発生していない
- 受信モード：他のノードが送信した CAN メッセージを受信中
- 送信モード：CAN メッセージを送信中。セルフテストモード 0 (TCR.TSTM[1:0] = 10b) またはセルフテストモード 1 (TCR.TSTM[1:0] = 11b) を選択した場合、CAN モジュールは同時に自ノードが送信したメッセージを受信する

図 30.10 に、CAN オペレーションモードのサブモードを示します。

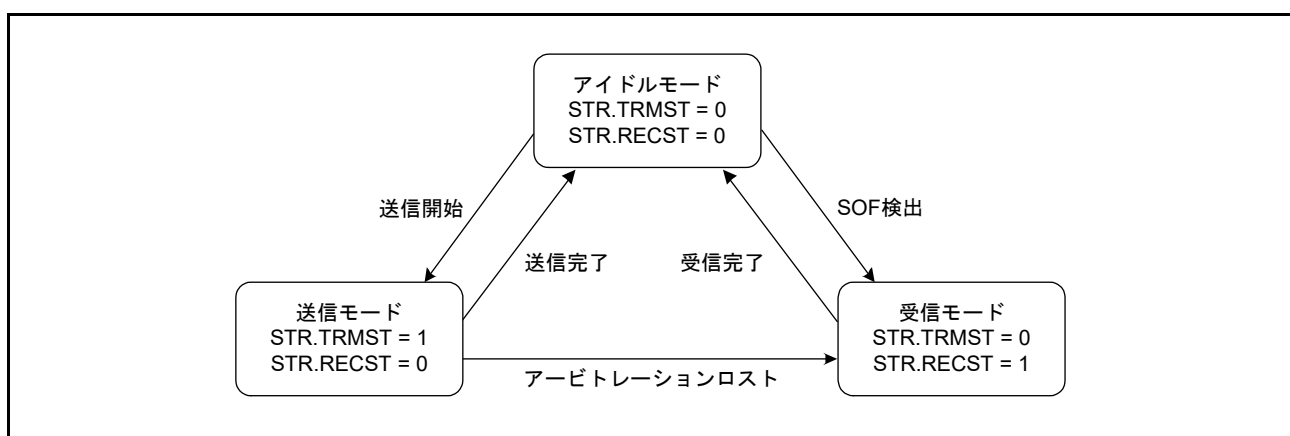


図 30.10 CAN オペレーションモードのサブモード

30.3.5 CAN オペレーションモード (バスオフ状態)

CAN 仕様の送信または受信エラーカウンタの増減ルールに従って、CAN モジュールはバスオフ状態へ遷移します。

CAN モジュールがバスオフ状態から復帰するとき、下記のケースがあります。CAN モジュールがバスオフ状態のとき、STR、EIFR、RECR、TECR、TSR を除いて、CAN 関連レジスタの値は変化しません。

(1) CTRL.BOM[1:0] = 00b (通常モード) の場合

CAN モジュールは、バスオフ状態からの復帰を完了すると、エラーアクティブ状態となり、CAN 通信が可能になります。EIFR.BORIF フラグは 1 (バスオフ復帰検出) になります。

(2) CTRL.RBOC = 1 (バスオフ強制復帰) の場合

CAN モジュールは、バスオフ状態時に RBOC ビットが 1 であると、エラーアクティブ状態になります。11 の連続するレセプビットを検出した後、再び CAN 通信が可能になります。BORIF フラグは 1 になりません。

(3) CTRL.BOM[1:0] = 01b (バスオフ開始で自動的に CAN halt モードへ遷移) の場合

CAN モジュールは、バスオフ状態に達したとき、CAN halt モードへ遷移します。BORIF フラグは 1 になりません。

(4) CTRL.BOM[1:0] = 10b (バスオフ終了で自動的に CAN halt モードへ遷移) の場合

CAN モジュールは、バスオフからの復帰を完了すると、CAN halt モードへ遷移します。BORIF フラグは 1 になります。

(5) バスオフ状態時に CTRL.BOM[1:0] = 11b (ソフトウェアにより自動的に CAN halt モードへ遷移) および CTRL.CANM[1:0] = 10b (CAN halt モード) の場合

CAN モジュールは、バスオフ状態時に CANM[1:0] ビットが 10b (CAN halt モード) になっていると、CAN halt モードへ遷移します。EIFR.BORIF フラグは 1 になりません。

バスオフ時に CANM[1:0] ビットが 10b になっていないと、(1) と同じ動作になります。

30.4 データ転送レートの設定

本節では、データ転送レートの設定方法について説明します。

30.4.1 クロックの設定

CAN モジュールは CAN クロック発生回路を内蔵しています。CAN クロックは、BCR レジスタの CCLKS ビットと BRP[9:0] ビットで設定できます。

図 30.11 に CAN クロック発生回路のブロック図を示します。

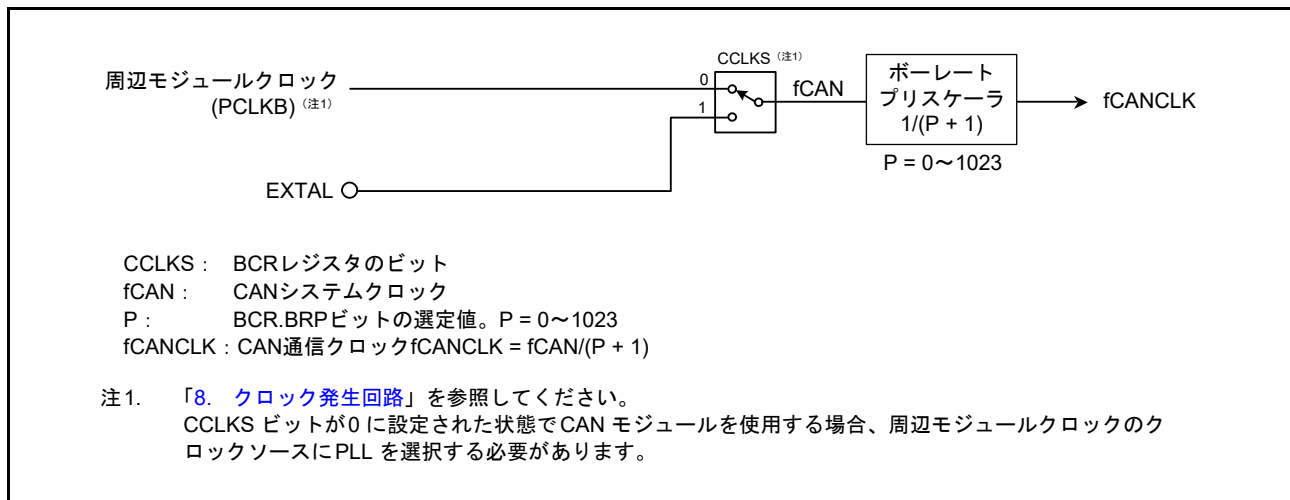


図 30.11 CAN クロック発生回路のブロック図

30.4.2 ビットタイムの設定

ビットタイミングは、図 30.12 に示す 3 つのセグメントで構成されます。

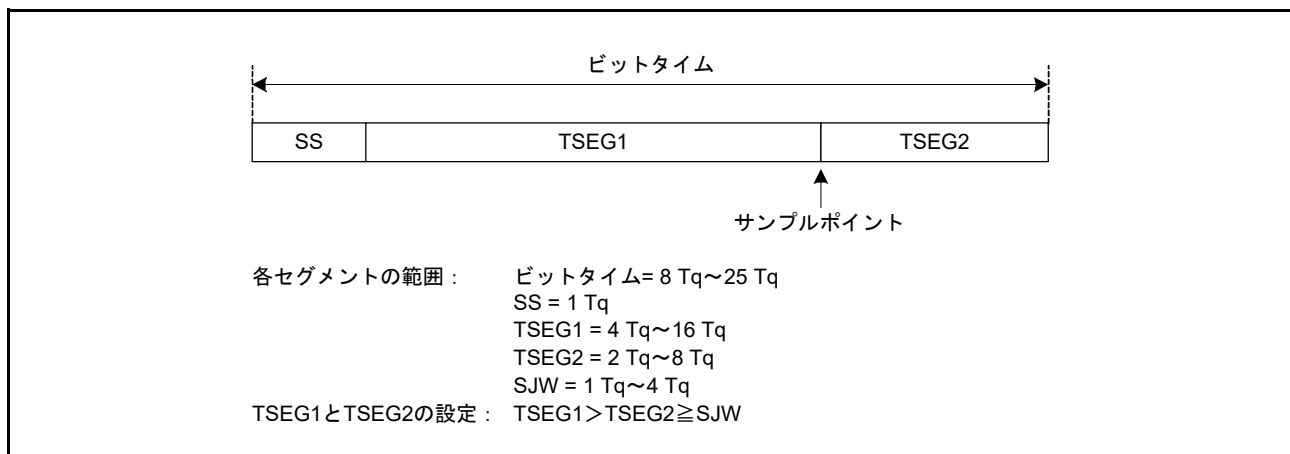


図 30.12 ビットタイミング

30.4.3 データ転送レート

データ転送レートは、fCAN (CAN システムクロック) の分周値、ボーレートプリスケーラの分周値、および 1 ビットタイムの Tq 数に依存します。

$$\text{データ転送レート [bps]} = \frac{f\text{CAN}}{\text{ボーレートプリスケーラ分周値 (注1)} \times 1 \text{ ビットタイムの Tq 数}} = \frac{f\text{CANCLK}}{1 \text{ ビットタイムの Tq 数}}$$

注 1. ボーレートプリスケーラ分周値 = P + 1 (P = 0 ~ 1023)、ここで P は、BCR.BRP[9:0] ビットの設定値

表 30.9 に、データ転送レートの例を示します。

表 30.9 fCAN = 32MHz の場合のデータ転送レート例

データ転送レート	Tq 数	P + 1
1Mbps	8Tq	4
	16Tq	2
500kbps	8Tq	8
	16Tq	4
250kbps	8Tq	16
	16Tq	8
125kbps	8Tq	32
	16Tq	16
83.3kbps	8Tq	48
	16Tq	24
33.3kbps	8Tq	120
	10Tq	96
	16Tq	60
	20Tq	48

30.5 メールボックスとマスクレジスタの構成

図 30.13 に、メールボックスレジスタ (MBj_ID、MBj_DL、MBj_Dm、MBj_TS) の構成を示します。同構造のメールボックスが 32 個存在します。

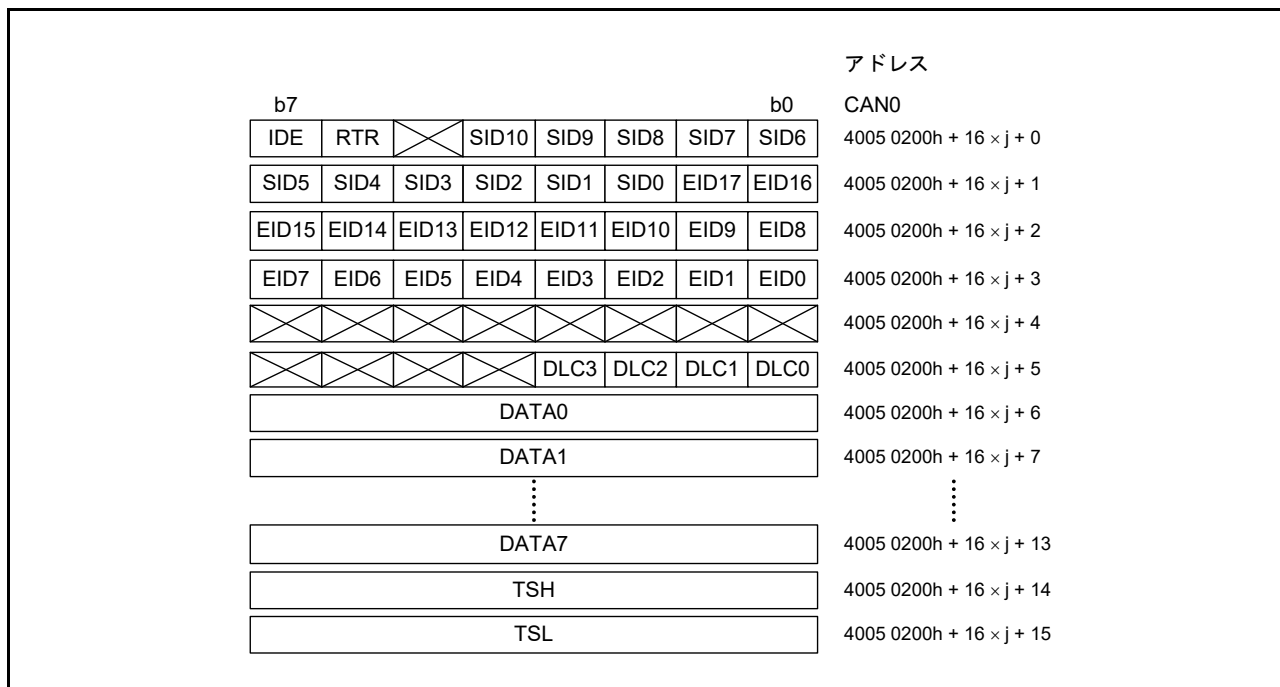


図 30.13 メールボックスレジスタの構成 (j = 0 ~ 31)

図 30.14 に、8 本のマスクレジスタ (MKRk) の構成を示します。

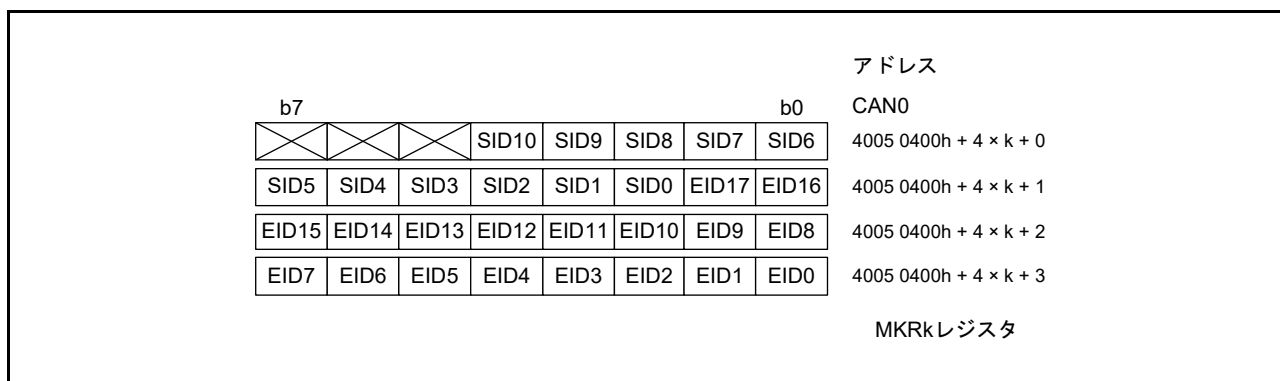


図 30.14 MKRk レジスタの構成 (k = 0 ~ 7)

図 30.15 に、2 本の FIFO 受信 ID 比較レジスタ (FIDCR0 および FIDCR1) の構成を示します。

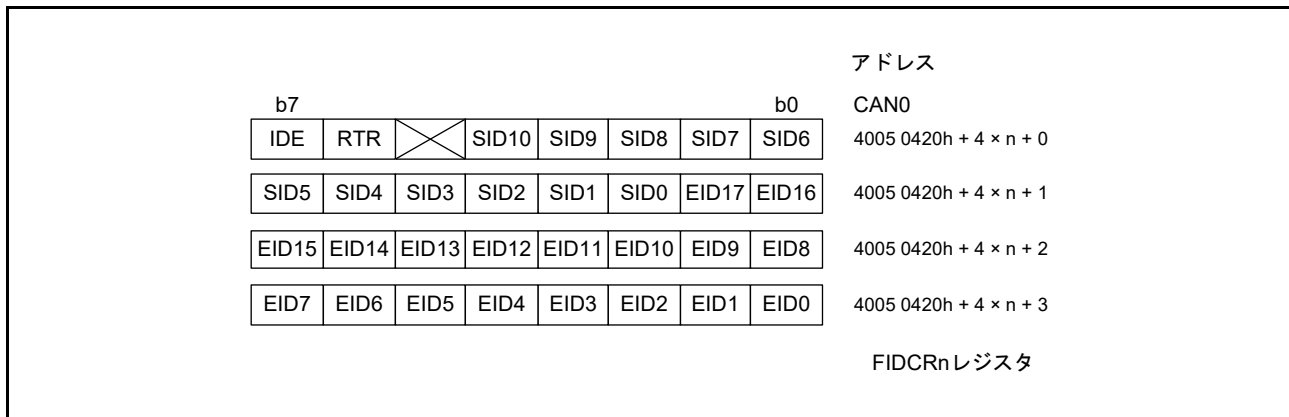


図 30.15 FIDCRn レジスタの構成 (n = 0, 1)

30.6 アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタ機能とマスク機能によって、指定範囲内のメールボックスに対して、複数 ID のメッセージを選択および受信することが可能になります。

MKR_k レジスタは、標準 ID と 29 ビットの拡張 ID をマスクできます。

- MKR0 は、メールボックス 0 ~ 3 のマスクレジスタ
- MKR1 は、メールボックス 4 ~ 7 のマスクレジスタ
- MKR2 は、メールボックス 8 ~ 11 のマスクレジスタ
- MKR3 は、メールボックス 12 ~ 15 のマスクレジスタ
- MKR4 は、メールボックス 16 ~ 19 のマスクレジスタ
- MKR5 は、メールボックス 20 ~ 23 のマスクレジスタ
- MKR6 は、通常メールボックスモードの場合はメールボックス 24 ~ 27、FIFO メールボックスモードの場合は受信 FIFO メールボックス 28 ~ 31 のマスクレジスタ
- MKR7 は、通常メールボックスモードの場合はメールボックス 28 ~ 31、FIFO メールボックスモードの場合は受信 FIFO メールボックス 28 ~ 31 のマスクレジスタ

MKIVLR レジスタは、各メールボックスに対して個別にアクセプタンスフィルタ処理を禁止します。

MBj_ID レジスタの IDE ビットは、CTLR.IDFM[1:0] ビットが 10b (ミックス ID モード) のときに有効です。

MBj_ID レジスタの RTR ビットは、データフレームまたはリモートフレームを選択します。

FIFO メールボックスモードの場合、通常メールボックス 0 ~ 23 は、アクセプタンスフィルタ処理に関連レジスタ (MKR0 ~ MKR5) を使用します。

受信 FIFO メールボックス (28 ~ 31) は、アクセプタンスフィルタ処理に 2 つのレジスタ (MKR6 および MKR7) を使用します。受信 FIFO は、FIDCR0 および FIDCR1 レジスタの 2 つを使用して、ID の比較を行います。受信 FIFO のメールボックス 28 ~ メールボックス 31 の EID[17:0]、SID[10:0]、RTR、IDE ビットは無効になります。2 つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信 FIFO は 2 つの範囲の ID を受信することが可能です。MKIVLR レジスタは、受信 FIFO に対しては無効です。

異なる値が FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットに設定された場合、両方の ID フォーマットが受信されます。異なる値が FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2 つの範囲の ID の組み合わせを必要としない場合は、FIFO ID とマスクレジスタの両方に同じマスク値と同じ ID を設定してください。

図 30.16 は、マスクレジスタとメールボックスの関係を示しています。図 30.17 は、アクセプタンスフィルタ機能を示しています。

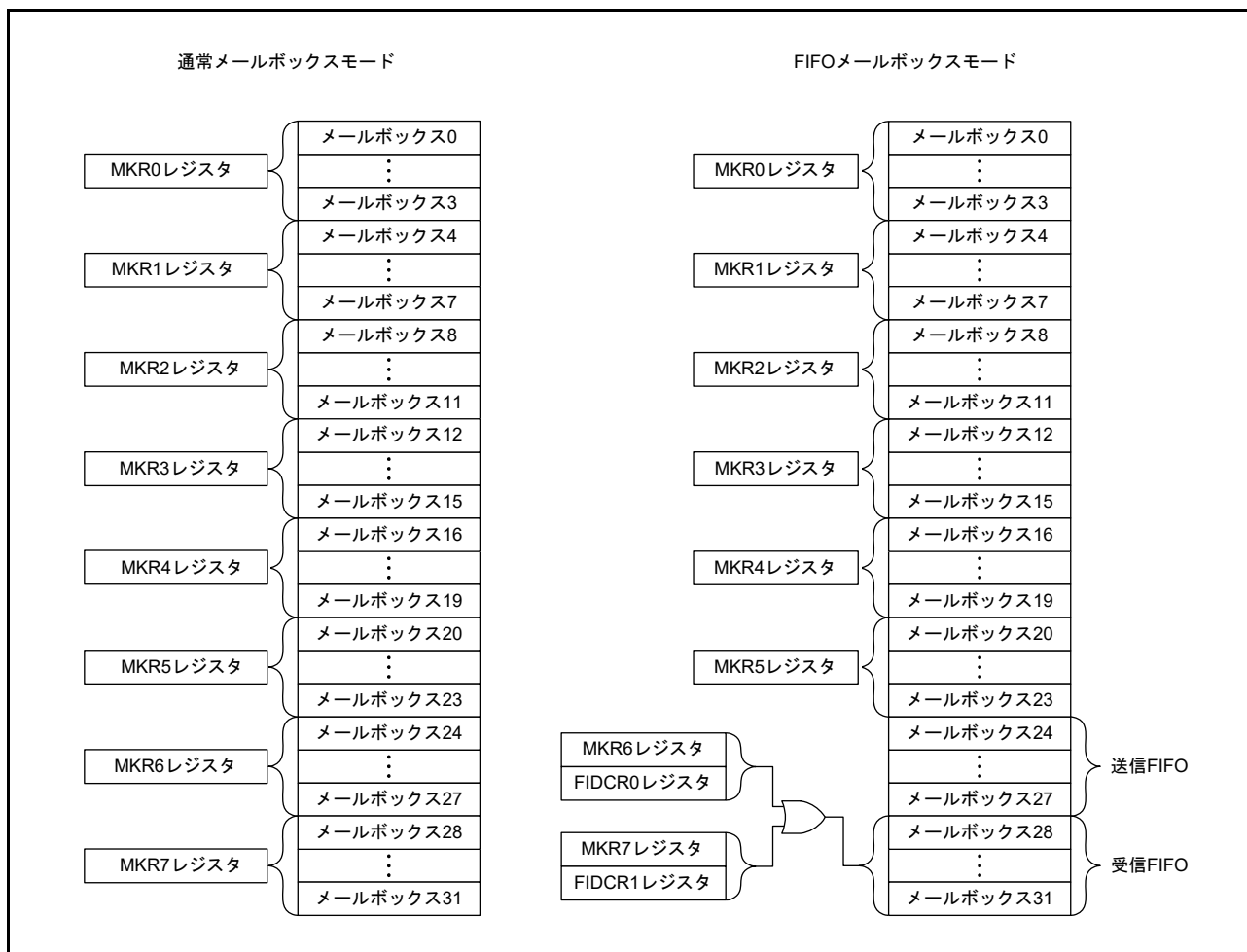


図 30.16 マスクレジスタとメールボックスの関係

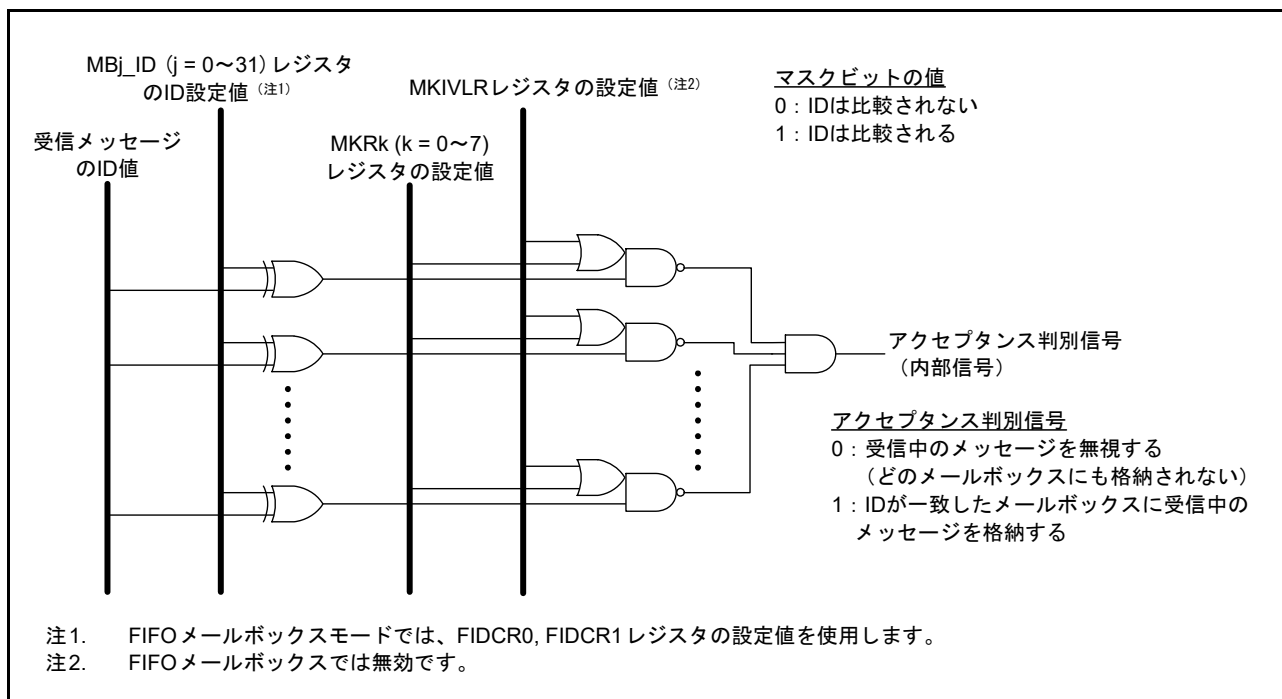


図 30.17 アクセプタンスフィルタ機能

30.7 受信／送信

表 30.10 に、CAN 通信モードの設定方法を示します。

表 30.10 CAN 受信モードと送信モードの設定

MCTL_TXj.TRMREQ および MCTL_RXj.TRMREQ	MCTL_TXj.RECREQ および MCTL_RXj.RECREQ	MCTL_TXj.ONESHOT および MCTL_RX.ONESHOT	メールボックス通信モード
0	0	0	メールボックス使用不可、または送信アボート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送受信がアボートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレーム用の受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレーム用のワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレーム用の送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレーム用のワンショット送信メールボックスとして設定
1	1	0	設定禁止
1	1	1	設定禁止

j = 0 ~ 31

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する場合：

1. メールボックスを設定する前に、MCTL_RXj レジスタを 00h にしてください。
2. 受信メッセージは、受信モード設定とアクセプタンスフィルタ機能に基づく条件に一致する最初のメールボックスに格納されます。受信メッセージを格納するためのメールボックスを選択する場合、番号の小さいメールボックスが優先されます。
3. CAN オペレーションモードでは、ID が一致していても、CAN モジュールは自ら送信したデータを受信しません。ただし、セルフテストモードでは、CAN モジュールは自ら送信したデータを受信し、ACK を返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する場合：

1. メールボックスを設定する前に、MCTL_TXj レジスタが 00h であること、およびアボート処理が待機中でないことを確認してください

30.7.1 受信

図 30.18 に、データフレーム受信時の動作例（オーバーライトモードの場合）を示します。

この例は、MCTL_RXj レジスタ（j=0～31）の受信条件に一致する2つの連続した CAN メッセージを受信したときに、CAN モジュールが最初のメッセージを上書きする場合の動作です。

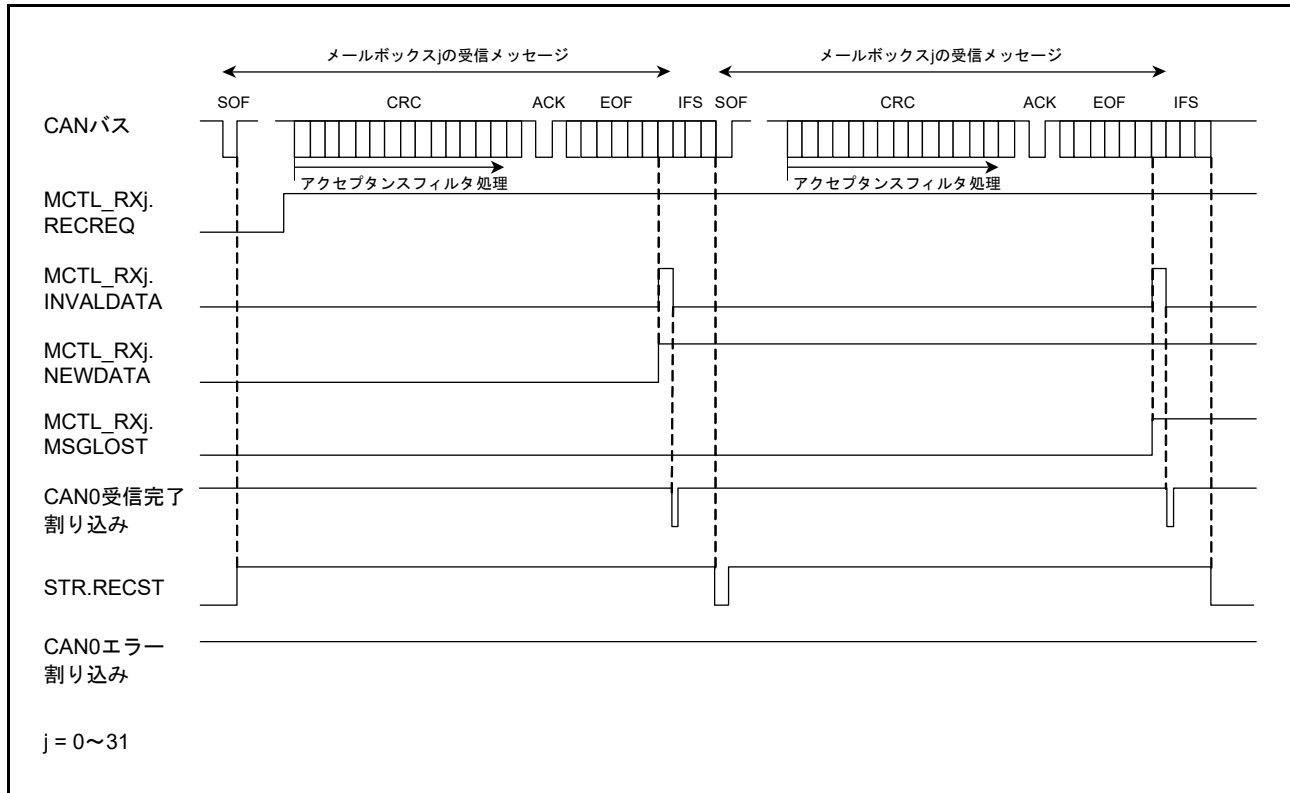


図 30.18 データフレーム受信時の動作例（オーバーライトモードの場合）

1. CAN バス上で SOF を検知すると、CAN モジュールに送信開始するメッセージがない場合、STR.RECST ビットが 1（受信中）になります。
2. 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。
3. メッセージの受信を完了すると、受信メールボックスの MCTL_RXj.NEWDATA フラグが 1（新しいメッセージをメールボックスに格納中または格納済み）になります。同時に MCTL_RXj.INVALIDDATA フラグが 1（メッセージを更新中）になり、そのメールボックスにメッセージ全体が転送された後、INVALIDDATA フラグが再度 0（メッセージは有効）になります。
4. 受信メールボックスの MIER レジスタの割り込み許可ビットが 1（割り込み許可）の場合、INVALIDDATA フラグが 0 になっていると、CAN0 受信完了割り込み要求が発生します。
5. メールボックスからメッセージを読み出した後、NEWDATA フラグをソフトウェアで 0 にする必要があります。
6. オーバーライトモードでは、MCTL_RXj.NEWDATA フラグが 1 になる前にメールボックスに次の CAN メッセージを受信すると、MCTL_RXj.MSGLOST フラグが 1（メッセージのオーバーライトあり）になります。新しく受信したメッセージはメールボックスに転送されます。CAN0 受信完了割り込み要求が、手順 4 と同様に発生します。

図 30.19 に、データフレーム受信時の動作例（オーバーランモードの場合）を示します。この例は、MCTL_RXj レジスタ ($j=0\sim 31$) の受信条件に一致する 2 つの連続した CAN メッセージを受信したときに、CAN モジュールが 2 番目のメッセージをオーバーランする場合の動作です。

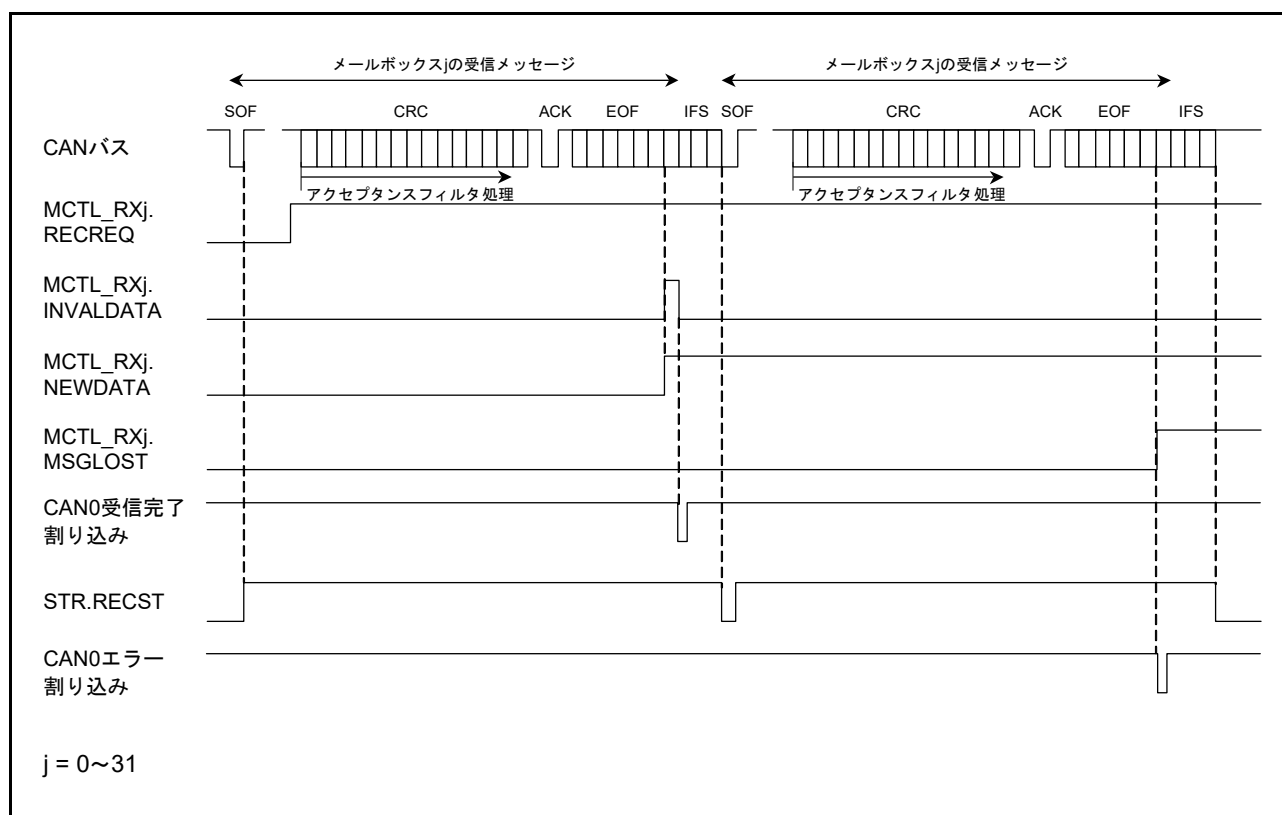


図 30.19 データフレーム受信時の動作例（オーバーランモードの場合）

手順 1. ~ 5. はオーバーライトモードと同じです。

- オーバーランモードでは、MCTL_RXj.NEWDATA フラグが 0 になる前に、次の CAN メッセージを受信すると、MCTL_RXj.MSGLOST フラグが 1（メッセージのオーバーランあり）になります。新しく受信したメッセージは破棄され、EIER レジスタの対応する割り込み許可ビットが 1（割り込み許可）の場合、CAN0 エラー割り込み要求が発生します。

30.7.2 送信

図 30.20 に、データフレーム送信時の動作例を示します。

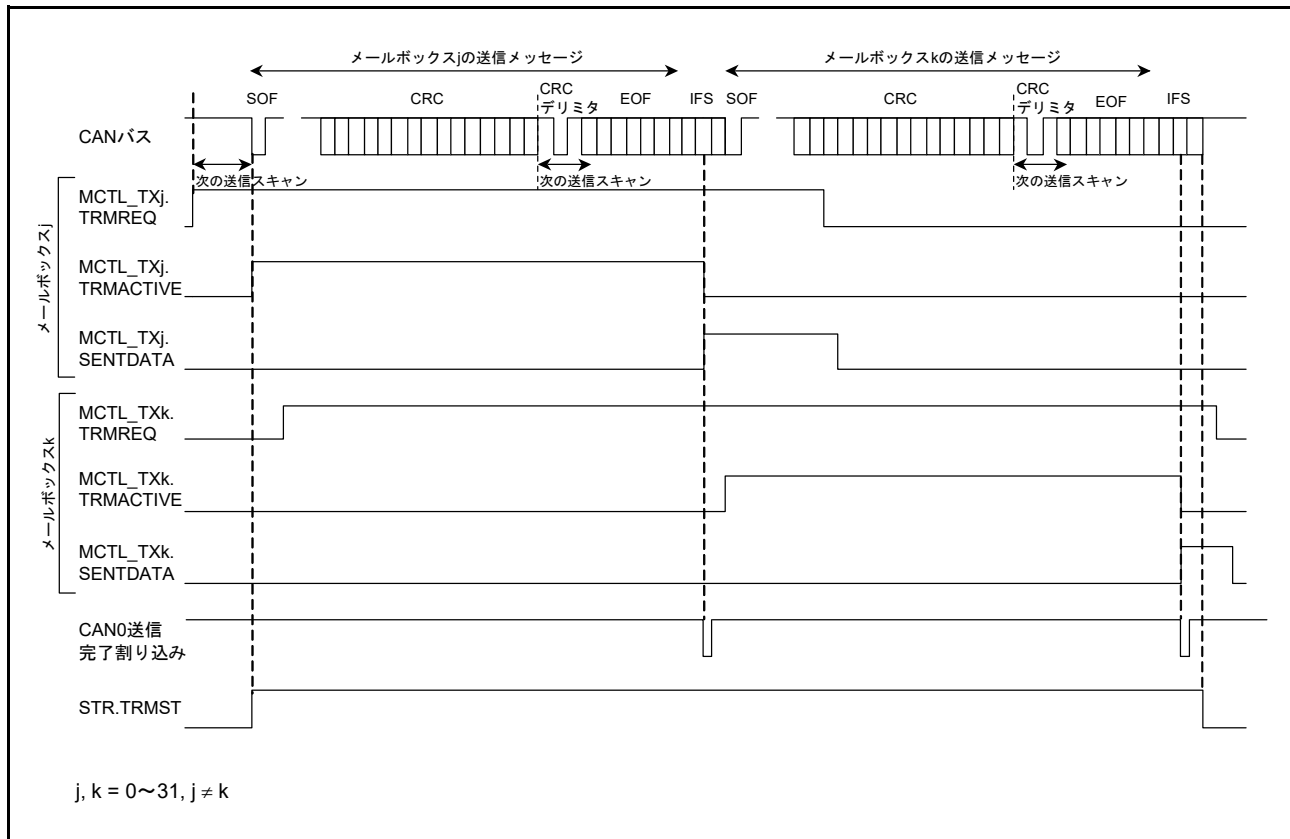


図 30.20 データフレーム送信時の動作例

- バスアイドル状態で、MCTL_TXj.TRMREQ ビット ($j = 0 \sim 31$) を 1 (送信メールボックス) にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャンが開始されます。送信メールボックスが決定されると、MCTL_TXj.TRMACTIVE フラグが 1 (送信要求の取り込みから、送信完了まで、あるいは、エラー発生またはアービトレーションロスト発生まで) になり、さらに STR.TRMST ビットが 1 (送信中) になって、CAN モジュールは送信を開始します (注 1)。
- 他の TRMREQ ビットが設定されている場合は、次の送信の CRC デリミタから送信スキャンが開始されます。
- アービトレーションロストが発生せずに送信が完了すると、MCTL_TXj.SENTDATA フラグが 1 (送信完了) になり、TRMACTIVE フラグが 0 (送信待機中または送信要求なし) になります。そして、MIER レジスタの割り込み許可ビットが 1 (割り込み許可) の場合は、CAN0 送信完了割り込み要求が発生します。
- 同一のメールボックスから次の送信を要求する場合は、SENTDATA および TRMREQ ビットを 0 にした後、SENTDATA および TRMREQ ビットが 0 になったことを確認してから、TRMREQ ビットを 1 にしてください。

注 1. CAN モジュールが送信を開始した後、アービトレーションロストが発生した場合は、TRMACTIVE フラグは 0 になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャンが行われます。送信中またはアービトレーションロストに続いてエラーが発生すると、CRC デリミタの始めから、最も優先順位の高い送信メールボックスを検索するために、再び送信スキャンが行われます。

30.8 割り込み

CAN モジュールには、チャンネルごとに下記の割り込みがあります。

- メールボックス 0～31 の CAN0 受信完了割り込み (CAN0_RXM)
- メールボックス 0～31 の CAN0 送信完了割り込み (CAN0_TXM)
- CAN0 受信 FIFO 割り込み (CAN0_RXF)
- CAN0 送信 FIFO 割り込み (CAN0_TXF)
- CAN0 エラー割り込み (CAN0_ERS)

CAN0 のエラー割り込みには、下記の 8 種類の割り込み要因があります。これらの要因は EIFR レジスタを確認して調べることができます。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバーラン
- オーバーロードフレーム送信
- バスロック

表 30.11 に CAN 割り込みの一覧を示します。

表 30.11 CAN の割り込み

モジュール	割り込みシンボル	割り込み要因	要因フラグ
CAN0	CAN0_ERS	バスロック検出	EIFR.BLIF
		オーバーロードフレーム送信検出	EIFR.OLIF
		オーバーラン検出	EIFR.ORIF
		バスオフ復帰検出	EIFR.BORIF
		バスオフ開始検出	EIFR.BOEIF
		エラーパッシブ検出	EIFR.EPIF
		エラーワーニング検出	EIFR.EWIF
		バスエラー検出	EIFR.BEIF
	CAN0_RXF	受信 FIFO メッセージ受信 (MIER_FIFO.MB29 = 0)	RFCR.RFUST[2:0]
		受信 FIFO ワーニング (MIER_FIFO.MB29 = 1)	
	CAN0_TXF	送信 FIFO メッセージ送信完了 (MIER_FIFO.MB25 = 0)	TFCR.TFUST[2:0]
		FIFO ラストメッセージ送信完了 (MIER_FIFO.MB25 = 1)	
	CAN0_RXM	メールボックス 0～31 メッセージ受信	MCTL_RX0.NEWDATA ~ MCTL_RX31.NEWDATA
	CAN0_TXM	メールボックス 0～31 メッセージ送信完了	MCTL_TX0.SENTDATA ~ MCTL_TX31.SENTDATA

30.9 使用上の注意事項

30.9.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) によって、CAN モジュールの動作を許可または禁止することが可能です。リセット後の初期状態では、CAN モジュールの動作は停止しています。モジュールストップ状態の解除により、レジスタへのアクセスが可能になります。詳細は、「[10. 低消費電力モード](#)」を参照してください。

30.9.2 動作クロックの設定

動作クロックの設定方法を次に示します。

- CCLKS ビットが 1 のとき、CAN モジュールは下記のクロック制限を満たす必要があります
$$fPCLKB \geq fCANMCLK$$
- CCLKS ビットが 0 のとき、CAN モジュールの周辺モジュールクロックソースは PLL でなければいけません
- CAN モジュールを使用する場合、PCLKA と PCLKB のクロック周波数比は 2:1 でなければいけません。これ以外の設定では動作は保証されません

31. シリアルペリフェラルインタフェース (SPI)

31.1 概要

本 MCU は、独立した 2 チャンネルのシリアルペリフェラルインタフェース (SPI) を備えています。SPI チャンネルによって、複数のプロセッサや周辺デバイスとの高速な全二重同期式シリアル通信が可能です。表 31.1 に SPI の仕様を、図 31.1 にブロック図を示します。

本章に記載している n は A または B を表し、 i は 0 または 1 を表します。端子および信号名の小文字の i は 0 ~ 3 の値を示します。

表 31.1 SPI の仕様 (1/2)

項目	内容
チャンネル数	2チャンネル
SPI 転送機能	<ul style="list-style-type: none"> • MOSI (Master Out/Slave In)、MISO (Master In/Slave Out)、SSL (Slave Select)、RSPCK (SPI Clock) の各信号を使用して、SPI 動作 (4 線式) またはクロック同期式動作 (3 線式) によるシリアル通信が可能 • 送信のみの動作が可能 • 通信モード: 全二重または送信のみを選択可能 • RSPCK 極性切り替え • RSPCK 位相切り替え
データフォーマット	<ul style="list-style-type: none"> • MSB ファーストまたは LSB ファーストを選択可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 32 ビットの送信および受信バッファ • 一度の送受信で 1 フレーム転送可能
ビットレート	<ul style="list-style-type: none"> • マスタモード時、内蔵ボーレートジェネレータで PCLKA を分周して RSPCK を生成 (分周比は 2 ~ 4096 分周) • スレーブモード時は、PCLKA の最小 6 分周のクロックを、RSPCK として入力可能 (RSPCK の最大周波数は PCLKA の 6 分周) High 幅: PCLK の 3 サイクル Low 幅: PCLK の 3 サイクル
バッファ構成	<ul style="list-style-type: none"> • 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは 32 ビット
エラー検出	<ul style="list-style-type: none"> • モードフォルトエラー検出 • アンダーランエラー検出 • オーバーランエラー検出 (注1) • パリティエラー検出
SSL 制御機能	<ul style="list-style-type: none"> • 1 チャンネルあたり 4 本の SSL 端子 (SSLn0 ~ SSLn3) • シングルマスタモード時: SSLn0 ~ SSLn3 端子は出力用 • マルチマスタモード時: SSLn0 端子は入力用、SSLn1 ~ SSLn3 端子は出力用または未使用 • スレーブモード時: SSLn0 端子は入力用、SSLn1 ~ SSLn3 端子は未使用 • SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を制御可能 設定範囲: 1 ~ 8RSPCK 周期 (設定単位: 1RSPCK 周期) • RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を制御可能 設定範囲: 1 ~ 8RSPCK 周期 (設定単位: 1RSPCK 周期) • 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を制御可能 設定範囲: 1 ~ 8RSPCK 周期 (設定単位: 1RSPCK 周期) • SSL 極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> • 以下のコマンドをサポート SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、MSB/LSB ファースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 • 送信バッファへの書き込みによる転送起動 • SSL ネゲート時の MOSI 信号値を設定可能 • RSPCK 自動停止機能
割り込み要因	<ul style="list-style-type: none"> • 受信バッファフル割り込み • 送信バッファエンプティ割り込み • SPI エラー割り込み (モードフォルト、オーバーラン、パリティエラー) • SPI アイドル割り込み (SPI アイドル) • 送信完了割り込み

表 31.1 SPIの仕様 (2/2)

項目	内容
イベントリンク機能 (出力)	以下のイベントをイベントリンクコントローラ (ELC) へ出力可能 • 受信バッファフル信号 • 送信バッファエンプティ信号 • モードフォルト/アンダーラン/オーバーラン/パリティエラーの信号 • SPIアイドル信号 • 送信完了信号
その他	• SPI初期化機能 • ループバックモード
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

注 1. マスタ受信時に RSPCK 自動停止機能が有効な場合は、オーバーランエラーが検出されると転送クロックが停止するため、オーバーランエラーは発生しません。

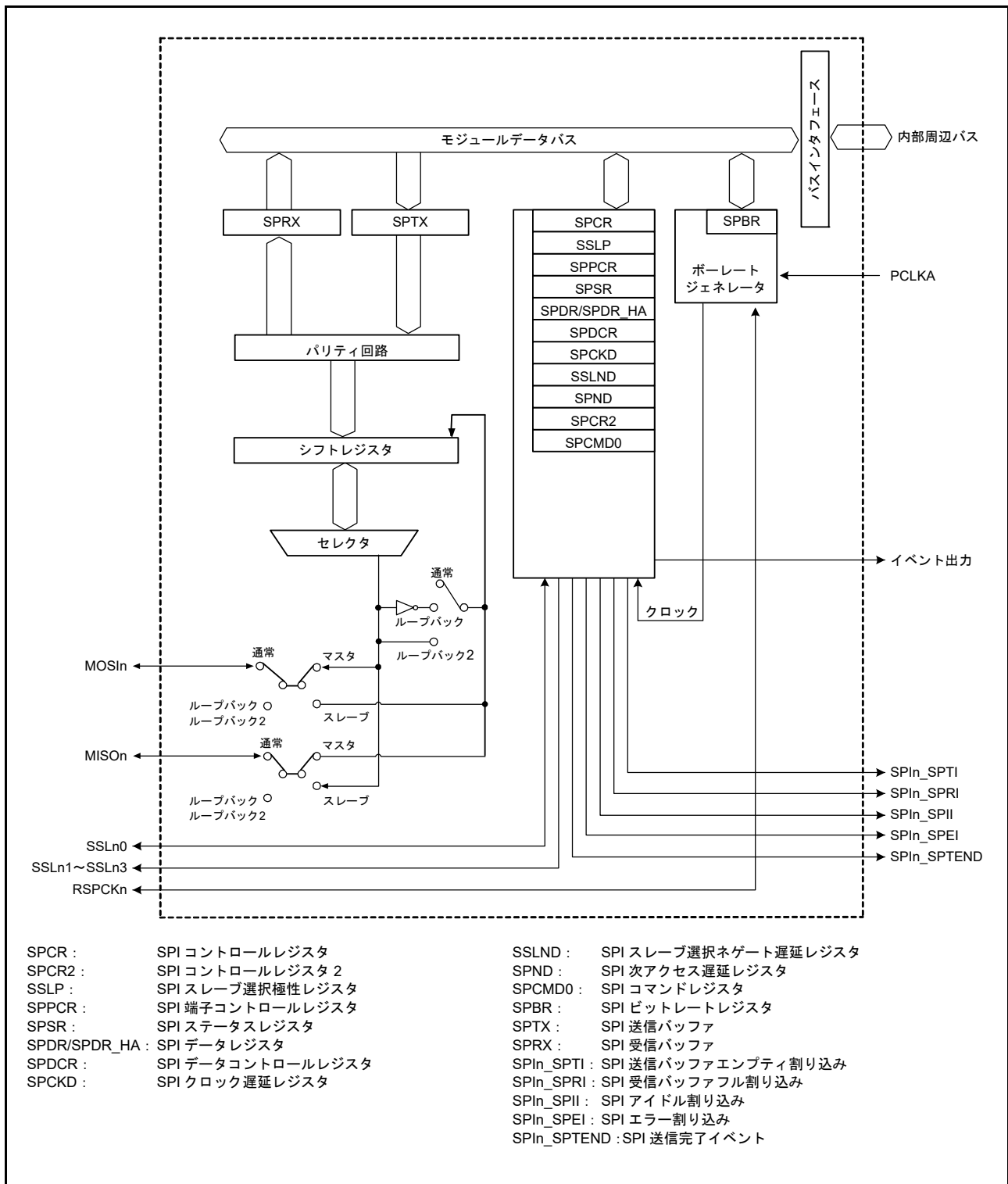


図 31.1 SPI のブロック図

表 31.2 に SPI で使用する入出力端子を示します。SSLn0 端子の入出力方向は、SPI が自動的に切り替えます。SSLn0 は、SPI がシングルマスタの場合は出力状態、マルチマスタとスレーブの場合は入力状態になります。RSPCKn、MOSIn、および MISOn 端子の入出力方向は、マスタ/スレーブ設定と SSLn0 端子の入力レベルに応じて、SPI が自動的に切り替えます。詳細は、31.3.2 SPI 端子の制御を参照してください。

表 31.2 SPIの端子構成

チャンネル	端子名	入出力	機能
SPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力
SPI1	RSPCKB	入出力	クロック入出力
	MOSIB	入出力	マスタ送出データ入出力
	MISOB	入出力	スレーブ送出データ入出力
	SSLB0	入出力	スレーブセレクト入出力
	SSLB1	出力	スレーブセレクト出力
	SSLB2	出力	スレーブセレクト出力
	SSLB3	出力	スレーブセレクト出力

31.2 レジスタの説明

31.2.1 SPI コントロールレジスタ (SPCR)

アドレス SPI0.SPCR 4007 2000h, SPI1.SPCR 4007 2100h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	SPIモード選択	0: SPI動作 (4線式) を選択 1: クロック同期式動作 (3線式) を選択	R/W
b1	TXMD	通信動作モード選択	0: 全二重同期式シリアル通信を選択 1: 送信のみのシリアル通信を選択	R/W
b2	MODFEN	モードフォルトエラー検出許可	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	SPIマスタ/スレーブモード選択	0: スレーブモードを選択 1: マスタモードを選択	R/W
b4	SPEIE	SPIエラー割り込み許可	0: SPIエラー割り込み要求の発生を禁止 1: SPIエラー割り込み要求の発生を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可	0: 送信バッファエンプティ割り込み要求の発生を禁止 1: 送信バッファエンプティ割り込み要求の発生を許可	R/W
b6	SPE	SPI機能有効	0: SPI機能は無効 1: SPI機能は有効	R/W
b7	SPRIE	SPI受信バッファフル割り込み許可	0: SPI受信バッファフル割り込み要求を禁止 1: SPI受信バッファフル割り込み要求を許可	R/W

SPCR.SPE ビットが 1 の状態で、SPCR.MSTR ビット、SPCR.MODFEN ビット、または SPCR.TXMD ビットを変更した場合、以降の動作を行わないでください。

SPMS ビット (SPI モード選択)

SPI 動作 (4 線式) またはクロック同期式動作 (3 線式) を選択します。

クロック同期式動作では、SSLn0 ~ SSLn3 端子は使用されません。RSPCKn 端子、MOSIn 端子、MISO_n 端子の 3 端子を用いて通信を行います。また、マスタモード (SPCR.MSTR = 1) でクロック同期式動作を行う場合は、SPCMD0.CPHA ビットを 0 または 1 にしてください。スレーブモード (SPCR.MSTR = 0) でクロック同期式動作を行う場合は、CPHA ビットを 1 にしてください。スレーブモード (SPCR.MSTR = 0) でクロック同期式動作を行う場合、CPHA ビットが 0 であれば、動作を行わないでください。

TXMD ビット (通信動作モード選択)

全二重同期式のシリアル通信または送信のみの動作を選択します。

本ビットを 1 にした場合、SPI は送信動作のみを行い、受信動作を行いません (31.3.6 データ転送モードを参照)。また、受信バッファフル割り込み要求を使用することはできません。

MODFEN ビット (モードフォルトエラー検出許可)

モードフォルトエラーの検出を許可または禁止します (31.3.8 エラー検出を参照)。また、SPI は MODFEN ビットと MSTR ビットとの組み合わせに基づいて、SSLn0 ~ SSLn3 端子の入出力方向を決定します (31.3.2 SPI 端子の制御を参照)。

MSTR ビット (SPI マスタ/スレーブモード選択)

SPI に対してマスタモードまたはスレーブモードを選択します。SPI は MSTR ビットの設定に従って、RSPCKn、MOSIn、MISO_n、および SSLn0 ~ SSLn3 端子の方向を決定します。

SPEIE ビット (SPI エラー割り込み許可)

以下の場合に、SPI エラー割り込み要求の発生を許可または禁止します。

- SPI がモードフォルトエラーまたはアンダーランエラーを検出し、SPSR.MODF フラグを 1 にした場合
- SPI がオーバーランエラーを検出し、SPSR.OVRF フラグを 1 にした場合
- SPI がパリティエラーを検出し、SPSR.PERF フラグを 1 にした場合

詳細は、[31.3.8 エラー検出](#)を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可)

SPI が送信バッファエンプティを検出したときの、送信バッファエンプティ割り込み要求の発生を許可または禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPE ビットと SPTIE ビットを同時に 1 にするか、または SPTIE ビットを 1 にした後、SPE ビットを 1 にすることで発生します。SPI 機能を無効 (SPE ビットを 0 に変更) にしても、SPTIE ビットが 1 であると、転送バッファ割り込みが発生します。

SPE ビット (SPI 機能有効)

SPI 機能を有効または無効にします。SPSR.MODF フラグが 1 の場合、SPE ビットを 1 にすることはできません。詳細は、[31.3.8 エラー検出](#)を参照してください。

SPE ビットを 0 にすると、SPI 機能が無効になり、このモジュール機能の一部が初期化されます。詳細は、[31.3.9 SPI の初期化](#)を参照してください。また、SPE ビットを 0 から 1 へまたは 1 から 0 へ切り替えると、送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (SPI 受信バッファフル割り込み許可)

SPI がシリアル転送完了後の受信バッファフルを検出したときの、SPI 受信バッファフル割り込み要求の発生を許可または禁止します。

31.2.2 SPI スレーブ選択極性レジスタ (SSLP)

アドレス SPI0.SSLP 4007 2001h, SPI1.SSLP 4007 2101h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0 信号極性設定	0 : SSL0 信号はアクティブLow 1 : SSL0 信号はアクティブHigh	R/W
b1	SSL1P	SSL1 信号極性設定	0 : SSL1 信号はアクティブLow 1 : SSL1 信号はアクティブHigh	R/W
b2	SSL2P	SSL2 信号極性設定	0 : SSL2 信号はアクティブLow 1 : SSL2 信号はアクティブHigh	R/W
b3	SSL3P	SSL3 信号極性設定	0 : SSL3 信号はアクティブLow 1 : SSL3 信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SSLP レジスタの内容を変更した場合、以降の動作を行わないでください。

31.2.3 SPI 端子コントロールレジスタ (SPPCR)

アドレス SPI0.SPPCR 4007 2002h, SPI1.SPPCR 4007 2102h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	SPIループバック	0 : 通常モード 1 : ループバックモード (データを反転して送信)	R/W
b1	SPLP2	SPIループバック2	0 : 通常モード 1 : ループバックモード (データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	MOIFV	MOSIアイドル固定値	0 : MOSIアイドル時のMOSIn端子の出力レベルはLow 1 : MOSIアイドル時のMOSIn端子の出力レベルはHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可	0 : MOSI出力値は前回転送の最終データ 1 : MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SPPCR レジスタの内容を変更した場合、以降の動作は行わないでください。

SPLP ビット (SPI ループバック)

SPI の端子モードを選択します。SPLP ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISO_n 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路と出力経路を接続し、ループバックモードを確立します。

SPLP2 ビット (SPI ループバック 2)

SPI の端子モードを選択します。SPLP2 ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISO_n 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路と出力経路を接続し、ループバックモードを確立します。

MOIFV ビット (MOSI アイドル固定値)

マスタモードで MOIFE ビットが 1 の場合、SSL ネゲート期間中に MOSIn 端子の出力値を決定します。

MOIFE ビット (MOSI アイドル値固定許可)

マスタモードの SPI が SSL ネゲート期間中に MOSIn 出力値を固定します。MOIFE ビットが 0 の場合、SPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIn 端子に出力します。MOIFE ビットが 1 の場合、SPI は MOIFV ビットに設定された固定値を MOSIn 端子に出力します。

31.2.4 SPI ステータスレジスタ (SPSR)

アドレス SPI0.SPSR 4007 2003h, SPI1.SPSR 4007 2103h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRF	—	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバーランエラーフラグ	0: オーバーランエラーなし 1: オーバーランエラー発生	R/(W) (注1)
b1	IDLNF	SPIアイドルフラグ	0: SPIはアイドル状態 1: SPIは転送状態	R
b2	MODF	モードフォルトエラーフラグ	0: モードフォルトエラーおよびアンダーランエラーなし 1: モードフォルトエラーまたはアンダーランエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	R/(W) (注1)
b4	UDRF	アンダーランエラーフラグ	0: モードフォルトエラー発生 (MODF = 1) 1: アンダーランエラー発生 (MODF = 1) 本ビットはMODFフラグが0の場合、無効です。	R/W (注1) (注2)
b5	SPTEF	SPI送信バッファエンプティフラグ	0: 送信バッファにデータあり 1: 送信バッファにデータなし	R/(W) (注3)
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SPRF	SPI受信バッファフルフラグ	0: SPDR/SPDR_HAに有効なデータなし 1: SPDR/SPDR_HAに有効なデータあり	R/(W) (注3)

- 注1. フラグをクリアするため、1を読んだ後に0を書き込むことのみ可能です。
 注2. MODFフラグをクリアすると同時に、UDRFフラグをクリアしてください。
 注3. 書く場合、1としてください。

OVRF フラグ (オーバーランエラーフラグ)

オーバーランエラーの発生を示します。マスタモード (SPCR.MSTR = 1) かつ RSPCK クロック自動停止機能有効 (SPCR2.SCKASE = 1) の場合、オーバーランエラーは発生せず、本フラグは1になりません。詳細は、[31.3.8.1 オーバーランエラー](#)を参照してください。

[1になる条件]

- SPCR.TXMD ビットが0かつ受信バッファフルの状態、次のシリアル転送が終了したとき

[0になる条件]

- OVRF フラグが1のときに SPSR レジスタを読んだとき

IDLNF フラグ (SPI アイドルフラグ)

SPI の転送状況を示します。

[1 になる条件]

マスタモード

- [0 になる条件] に示した、マスタモード時の条件 1. と条件 2. のいずれも満たさないとき

スレーブモード

- SPCR.SPE ビットが 1 (SPI 機能が有効) のとき

[0 になる条件]

マスタモード

- SPI0 の場合、条件 1. を満たすか、または条件 2.、3. を満たすとき

1. SPCR.SPE ビットが 0 (SPI 初期化)
2. 送信バッファ (SPTX) が空である (次転送データがセットされていない)
3. SPI 内部シーケンサがアイドル状態 (次アクセス遅延までの動作が完了) のとき

スレーブモード

- SPCR.SPE ビットが 0 (SPI 初期化)

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーまたはアンダーランエラーの発生を示します。発生したエラーの種類は UDRF フラグによって示されます。

[1 になる条件]

マスタモード

- SPCR.MSTR ビットが 1 (マスタモード)、かつ SPCR.MODFEN ビットが 1 (モードフォルトエラー検出を許可) の状態で、SSLni 端子の入力レベルがアクティブレベルになり、SPI がモードフォルトエラーを検出したとき

スレーブモード

- 下記の条件 1. または条件 2. を満たしているとき
1. SPCR.MSTR ビットが 0 (スレーブモード) かつ SPCR.MODFEN ビットが 1 (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLni 端子がネゲートされ、SPI がモードフォルトエラーを検出したとき
 2. SPCR.MSTR ビットが 0 (スレーブモード)、SPCR.SPE ビットが 1、かつ送信データが用意されていない状態で、シリアル転送が開始され、SPI がアンダーランエラーを検出したとき

なお、SSLni 信号のアクティブレベルは、SSLP.SSLiP ビット (SSLi 信号極性設定ビット) によって決定されます。

[0 になる条件]

- MODF フラグが 1 のときに SPSR レジスタを読んだとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示します。

[1 になる条件]

- SPCR.TXMD ビットが 0、かつ SPCR2.SPPE ビットが 1 の状態で、シリアル転送が終了したとき、SPI はパリティエラーを検出します

[0 になる条件]

- PERF フラグが 1 のときに SPSR レジスタを読んだとき

UDRF フラグ (アンダーランエラーフラグ)

アンダーランエラーの発生を示します。

[1 になる条件]

- SPCR.MSTR ビットが 0 (スレーブモード)、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたとき、SPI はアンダーランエラーを検出します

[0 になる条件]

- UDRF フラグが 1 のときに SPSR レジスタを読んだとき

SPTEF フラグ (SPI 送信バッファエンptyフラグ)

SPI データレジスタ (SPDR/SPDR_HA) の送信バッファの状態を示します。

[1 になる条件]

- 下記の条件 1. または条件 2. を満たしているとき

1. SPI 初期化のため、SPCR.SPE ビットが 0 であるとき
2. 送信データが送信バッファからシフトレジスタへ転送されたとき

[0 になる条件]

- SPDR/SPDR_HA レジスタへデータが書き込まれたとき

SPTEF ビットが 1 の場合のみ、データを SPDR/SPDR_HA レジスタに書き込むことができます。SPTEF ビットが 0 のときに SPDR/SPDR_HA レジスタの送信バッファにデータが書き込まれた場合、送信バッファのデータは更新されません。

SPRF フラグ (SPI 受信バッファフルフラグ)

SPI データレジスタ (SPDR/SPDR_HA) の受信バッファの状態を示します。

[1 になる条件]

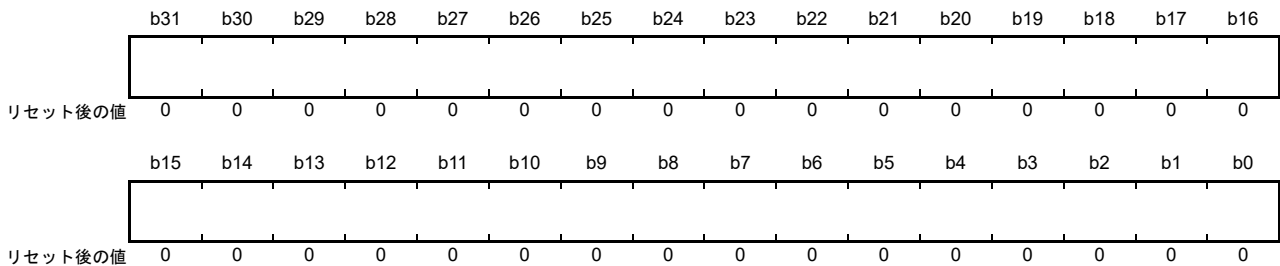
- SPCR.TXMD ビットが 0 で SPRF フラグが 0 のときに、SPI がシフトレジスタから受信データを SPDR/SPDR_HA へ転送するとき。OVRF フラグが 1 のとき (ただし、このフラグは 0 から 1 に変更されません)

[0 になる条件]

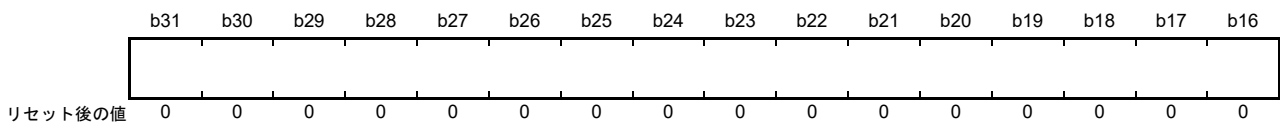
- 受信データが SPDR/SPDR_HA レジスタから読み出されたとき

31.2.5 SPI データレジスタ (SPDR/SPDR_HA)

アドレス SPI0.SPDR 4007 2004h, SPI1.SPDR 4007 2104h



アドレス SPI0.SPDR_HA 4007 2004h, SPI1.SPDR_HA 4007 2104h



SPDR/SPDR_HA レジスタは、SPI 送受信用のデータを格納するバッファとのインタフェースです。

ワードアクセス (SPLW ビット=1) のときは、SPDR レジスタにアクセスしてください。ハーフワードアクセス (SPLW ビット=0) のときは、SPDR_HA レジスタにアクセスしてください。

送信バッファ (SPTX) と受信バッファ (SPRX) は独立したバッファですが、SPDR/SPDR_HA レジスタにマッピングされています。図 31.2 に SPDR/SPDR_HA レジスタの構成を示します。

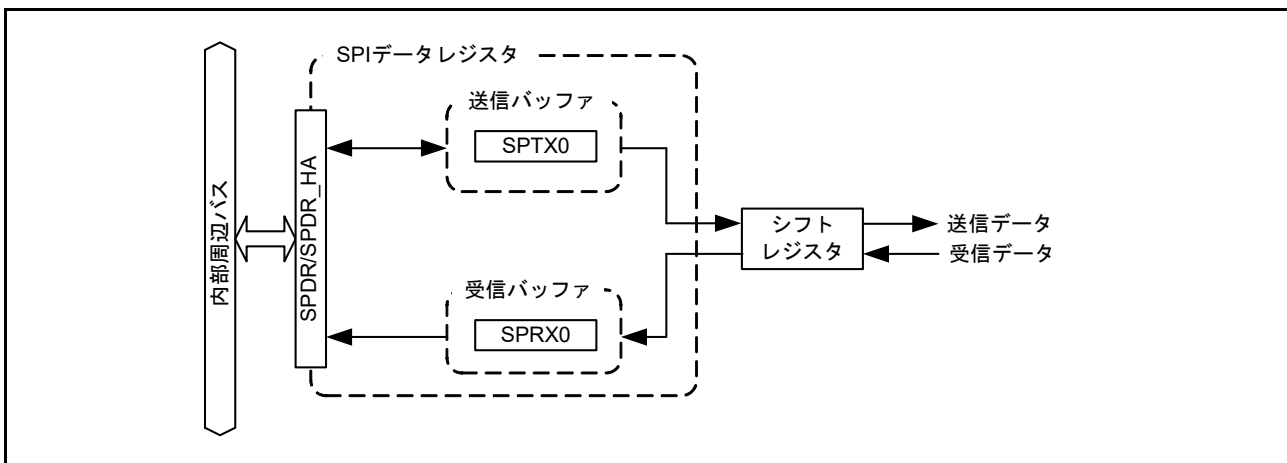


図 31.2 SPDR/SPDR_HA レジスタの構成図

送信および受信バッファには 1 ステージあります。SPDR/SPDR_HA レジスタの 1 アドレスに、この 2 つのバッファステージすべてマッピングされます。

SPDR/SPDR_HA レジスタへ書き込まれたデータは、送信バッファステージ (SPTX0) へ書き込まれた後、バッファから送信されます。受信バッファは、受信完了時に受信データを格納します。オーバーランが発生すると、受信バッファは更新されません。

データ長が 32 ビット以外の場合、非参照ビット (SPRX0) は関連するビット SPRX0 に格納されます。たとえば、データ長が 9 ビットのデータを受信した場合、SPRXn[8:0] ビットには受信データが格納され、SPRXn[31:9] ビットには SPTXn[31:9] ビットが格納されます。

(1) バスインタフェース

SPDR/SPDR_HA レジスタは、32 ビットの送信および受信バッファとのインタフェースであり、それぞれ 1 ステージずつあり、合計 32 バイトになります。この 32 バイトを SPDR/SPDR_HA レジスタの 4 バイトのアドレス空間にマッピングしています。SPDR/SPDR_HA レジスタへのアクセス単位は、SPDCR.SPLW ビットで選択します。

送信用のフラッシュデータは LSB 詰めで書き、受信用のフラッシュデータは LSB 詰めで格納してください。

以下では、SPDR/SPDR_HA レジスタに対する書き込みおよび読み出しに関連する動作について説明します。

(a) 書き込み

SPDR/SPDR_HA レジスタへ書き込まれたデータは、送信バッファ SPTX0 へ書き込まれます。SPDR/SPDR_HA レジスタの読み出し時と異なり、書き込みは SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには送信バッファライトポインタがあり、SPDR/SPDR_HA レジスタへデータを書き込むたびにポインタが自動更新され、次のステージを参照するようになります。

図 31.3 に、SPDR/SPDR_HA レジスタへの書き込み時の送信バッファのバスインタフェースの構成図を示します。

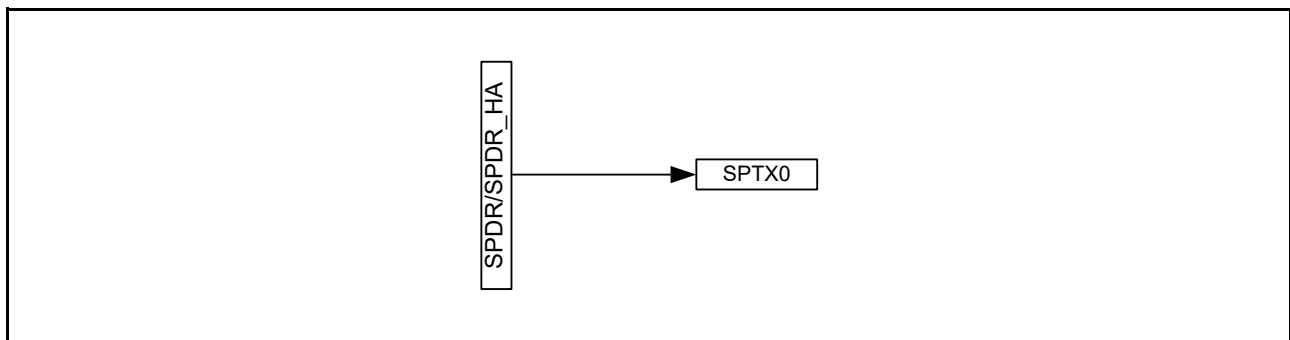


図 31.3 書き込み時の SPDR/SPDR_HA レジスタの構成図

送信バッファ (SPTX0) への書き込みは、送信バッファエンpty割り込み発生後 (SPSR.SPTEF = 1) に送信データを書き込んでください。書き込み完了から次の送信バッファエンpty割り込み発生 (SPSR.SPTEF = 0) までの期間は、送信バッファ (SPTXn) に書き込みを行っても同バッファの値は更新されません。

(b) 読み出し

SPDR/SPDR_HA レジスタにアクセスすることによって、受信バッファ (SPRX0) または送信バッファ (SPTX0) の値を読むことができます。SPI データコントロールレジスタ (SPDCR) の SPI 送受信データ選択ビット (SPDCR.SPRDTD) の設定によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR/SPDR_HA レジスタの読み出し順は、独立したポインタである受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 31.4 に、SPDR/SPDR_HA レジスタからの読み出し時の受信および送信バッファのバスインタフェースの構成図を示します。

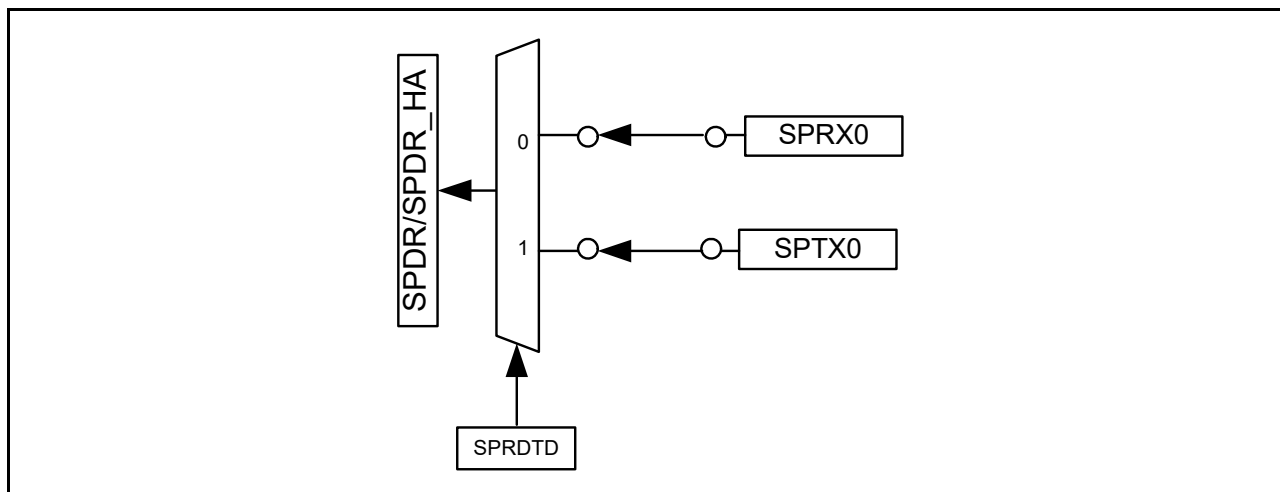
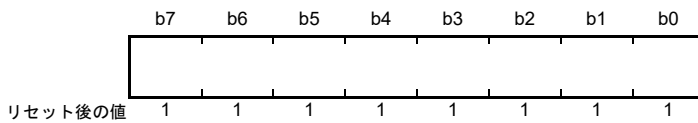


図 31.4 読み出し時の SPDR/SPDR_HA レジスタの構成図

送信バッファリードポインタは、SPDR/SPDR_HA レジスタへの書き込み時に更新され、送信バッファからの読み出し時には更新されません。送信バッファを読み出すと、SPDR/SPDR_HA レジスタに最後に書き込まれた値が読み出せます。ただし、送信バッファエンプティ割り込み発生後は、データ書き込み完了後から次の送信バッファエンプティ割り込みが発生する (SPTEF = 0) 前までの間は、送信バッファからの読み出し値はすべて 0 になります。

31.2.6 SPI ビットレートレジスタ (SPBR)

アドレス SPI0.SPBR 4007 200Ah, SPI1.SPBR 4007 210Ah



SPBR レジスタは、マスタモード時のビットレートを設定します SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SPBR レジスタの内容を変更した場合、以降の動作は行わないでください。

SPI がスレーブモードのときは、SPBR レジスタ、SPCMD0.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、ビットレートは、入力クロックのビットレートに依存します。デバイスの電気的特性を満たすビットレートを使用してください。

ビットレートは本レジスタの設定値と SPI コマンドレジスタ (SPCMD0) の BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。

$$\text{Bit rate} = \frac{f(\text{PCLKA})}{2 \times (n + 1) \times 2^N}$$

計算式中で n は SPBR レジスタの設定値 (0, 1, 2, …, 255)、N は BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

SPBR レジスタの設定値、BRDV[1:0] ビットの設定値、およびビットレートの関係の例を表 31.3 に示します。

表 31.3 SPBR レジスタ設定値、BRDV[1:0] ビット設定値、およびビットレートの関係

SPBR (n)	BRDV[1:0] (N)	分周比	ビットレート		
			PCLKA = 32MHz	PCLKA = 36MHz	PCLKA = 40MHz
0	0	2	16.0Mbps	18.0Mbps	20.0Mbps
1	0	4	8.00Mbps	9.00Mbps	10.0Mbps
2	0	6	5.33Mbps	6.00Mbps	6.67Mbps
3	0	8	4.00Mbps	4.50Mbps	5.00Mbps
4	0	10	3.20Mbps	3.60Mbps	4.00Mbps
5	0	12	2.67Mbps	3.00Mbps	3.33Mbps
5	1	24	1.33Mbps	1.50Mbps	1.67Mbps
5	2	48	667kbps	750kbps	833kbps
5	3	96	333kbps	375kbps	417kbps
255	3	4096	7.81kbps	8.80kbps	9.78kbps

31.2.7 SPI データコントロールレジスタ (SPDCR)

アドレス SPI0.SPDCR 4007 200Bh, SPI1.SPDCR 4007 210Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SPBYT	SPLW	SPRDT D	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SPRDTD	SPI受信/送信データ選択	0: SPDR/SPDR_HAの値は受信バッファから読み出す 1: SPDR/SPDR_HAの値は送信バッファから読み出す (送信バッファが空の場合のみ)	R/W
b5	SPLW	SPIワードアクセス/ハーフワードアクセス設定	0: SPDR_HAが有効 (ハーフワードアクセス) 1: SPDRが有効 (ワードアクセス)	R/W
b6	SPBYT	SPIバイトアクセス設定	0: SPDRへのアクセスはハーフワードアクセスまたはワードアクセス (SPLW有効) 1: SPDRへのアクセスはバイトアクセス (SPLW無効)	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

1回の送受信で1フレームを送受信できます。各転送におけるデータ量は、SPCMD0.SPB[3:0] ビットで制御されます。

SPRDTD ビット (SPI 受信/送信データ選択)

SPDR/SPDR_HA レジスタが、値を受信バッファと送信バッファのどちらから読み出すかを選択します。

送信バッファから読み出す場合、SPDR/SPDR_HA レジスタへ直前に書き込まれた値が読み出されます。送信バッファの読み出しは、送信バッファエンプティ割り込みの発生後 (SPSR.SPTEF = 1) に行ってください。詳細は、[31.2.5 SPI データレジスタ \(SPDR/SPDR_HA\)](#) を参照してください。

SPLW ビット (SPI ワードアクセス/ハーフワードアクセス設定)

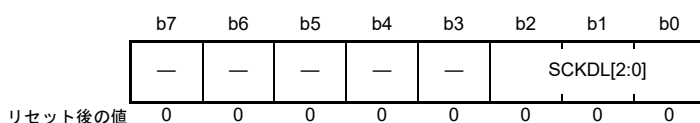
SPDR レジスタへのアクセス幅を設定します。SPLW ビットが0の場合、SPDR_HA レジスタへのハーフワードアクセスが有効となり、SPLW ビットが1の場合、SPDR レジスタへのワードアクセスが有効となります。また、SPLW ビットが0のとき、SPCMD0.SPB[3:0] ビット (SPI データ長設定ビット) の設定は、8～16 ビットにしてください。20、24、32 ビットに設定した場合は、動作はしないでください。

SPBYT ビット (SPI バイトアクセス設定)

本ビットは、SPI データレジスタ (SPDR) にアクセスする際のデータ幅を設定するのに使用します。SPBYT = 0 の場合、SPDR へのアクセスにはワードアクセスまたはハーフワードアクセスを使用してください。SPBYT = 1 (この場合 SPLW は無効) の場合、SPDR へのアクセスにはバイトアクセスを使用してください。SPBYT = 1 の場合、SPI コマンドレジスタ 0 (SPCMD0) の SPI データ長ビット (SPB[3:0]) を 8 ビットに設定してください。SPB[3:0] を 9～16、20、24 または 32 ビットに設定した場合、その後の動作は保証されません。

31.2.8 SPI クロック遅延レジスタ (SPCKD)

アドレス SPI0.SPCKD 4007 200Ch, SPI1.SPCKD 4007 210Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	RSPCK 遅延設定	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

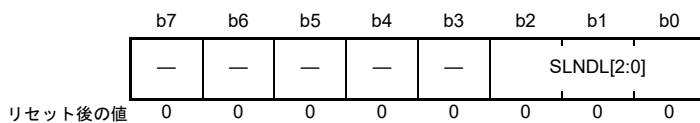
SPCKD レジスタは、SPCMD0.SCKDEN ビットが 1 の状態における、SSLni 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SPCKD レジスタの内容を変更した場合、以降の動作は行わないでください。

SCKDL[2:0] ビット (RSPCK 遅延設定)

SPCMD0.SCKDEN ビットが 1 の場合の RSPCK 遅延値を設定します。SPI をスレーブモードで使用する場合は、SCKDL[2:0] ビットを 000b にしてください。

31.2.9 SPI スレーブ選択ネゲート遅延レジスタ (SSLND)

アドレス SPI0.SSLND 4007 200Dh, SPI1.SSLND 4007 210Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

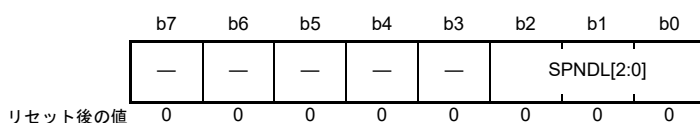
SSLNDレジスタは、マスタモードのSPIがシリアル転送の最終RSPCKエッジを送信してからSSLni信号をネゲートするまでの期間（SSLネゲート遅延）を設定するためのレジスタです。SPCR.MSTRビットとSPCR.SPEビットがともに1の状態、SSLNDレジスタの内容を変更した場合、以降の動作は行わないでください。

SLNDL[2:0] ビット (SSLネゲート遅延設定)

SPIがマスタモードのとき、SSLネゲート遅延値を設定します。SPIをスレーブモードで使用する場合は、SLNDL[2:0]ビットを000bにしてください。

31.2.10 SPI 次アクセス遅延レジスタ (SPND)

アドレス SPI0.SPND 4007 200Eh, SPI1.SPND 4007 210Eh



ビット	シンボル	ビット名	機能	R/W																											
b2-b0	SPNDL[2:0]	SPI次アクセス遅延設定	<table border="0"> <tr> <td>b2</td> <td>b0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0: 1RSPCK + 2PCLKA</td> </tr> <tr> <td>0</td> <td>0</td> <td>1: 2RSPCK + 2PCLKA</td> </tr> <tr> <td>0</td> <td>1</td> <td>0: 3RSPCK + 2PCLKA</td> </tr> <tr> <td>0</td> <td>1</td> <td>1: 4RSPCK + 2PCLKA</td> </tr> <tr> <td>1</td> <td>0</td> <td>0: 5RSPCK + 2PCLKA</td> </tr> <tr> <td>1</td> <td>0</td> <td>1: 6RSPCK + 2PCLKA</td> </tr> <tr> <td>1</td> <td>1</td> <td>0: 7RSPCK + 2PCLKA</td> </tr> <tr> <td>1</td> <td>1</td> <td>1: 8RSPCK + 2PCLKA</td> </tr> </table>	b2	b0		0	0	0: 1RSPCK + 2PCLKA	0	0	1: 2RSPCK + 2PCLKA	0	1	0: 3RSPCK + 2PCLKA	0	1	1: 4RSPCK + 2PCLKA	1	0	0: 5RSPCK + 2PCLKA	1	0	1: 6RSPCK + 2PCLKA	1	1	0: 7RSPCK + 2PCLKA	1	1	1: 8RSPCK + 2PCLKA	R/W
b2	b0																														
0	0	0: 1RSPCK + 2PCLKA																													
0	0	1: 2RSPCK + 2PCLKA																													
0	1	0: 3RSPCK + 2PCLKA																													
0	1	1: 4RSPCK + 2PCLKA																													
1	0	0: 5RSPCK + 2PCLKA																													
1	0	1: 6RSPCK + 2PCLKA																													
1	1	0: 7RSPCK + 2PCLKA																													
1	1	1: 8RSPCK + 2PCLKA																													
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																											

SPND レジスタは、SPCMD0.SPNDEN ビットが 1 の状態で、シリアル転送終了後の SSLni 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SPND レジスタの内容を変更した場合、以降の動作は行わないでください。

SPNDL[2:0] ビット (SPI 次アクセス遅延設定)

SPCMD0.SPNDEN ビットが 1 の場合の次アクセス遅延を設定します。SPI をスレーブモードで使用する場合は、SPNDL[2:0] ビットを 000b にしてください。

31.2.11 SPI コントロールレジスタ 2 (SPCR2)

アドレス SPI0.SPCR2 4007 200Fh, SPI1.SPCR2 4007 210Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SCKASE	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ有効	0: 送信データにパリティビットを付加せず、受信データのパリティビットをチェックしない 1: 送信データにパリティビットを付加し、受信データのパリティビットをチェックする (SPCR.TXMD = 0の場合) 送信データにパリティビットを付加するが、受信データのパリティビットをチェックしない (SPCR.TXMD = 1の場合)	R/W
b1	SPOE	パリティモード	0: 送受信に偶数パリティを選択 1: 送受信に奇数パリティを選択	R/W
b2	SPIIE	SPIアイドル割り込み許可	0: アイドル割り込み要求禁止 1: アイドル割り込み要求許可	R/W
b3	PTE	パリティ自己診断	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能は有効	R/W
b4	SCKASE	RSPCK自動停止機能有効	0: RSPCK自動停止機能は無効 1: RSPCK自動停止機能は有効	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SPCR2 レジスタの SPPE、SPOE、または SCKASE ビットを変更した場合、以降の動作は行わないでください。

SPPE ビット (パリティ有効)

パリティ機能を有効または無効にします。

SPCR.TXMD ビットが 0 で、SPCR2.SPPE ビットが 1 のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。SPCR.TXMD ビットが 1 で、SPCR2.SPPE ビットが 1 のとき、送信データにパリティビットを付加しますが、受信データのパリティチェックは行いません。

SPOE ビット (パリティモード)

偶数パリティまたは奇数パリティを指定します。

偶数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの総数が偶数になるようにパリティビットが付加されます。同様に、奇数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの総数が奇数になるようにパリティビットが付加されます。

SPOE ビットは、SPPE ビットが 1 の場合にのみ有効です。

SPIIE ビット (SPI アイドル割り込み許可)

SPI がアイドル状態を検出し、SPSR.IDLNF フラグが 0 になった場合に、SPI アイドル割り込み要求の発生を許可または禁止します。

PTE ビット (パリティ自己診断)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

SCKASE ビット (RSPCK 自動停止機能有効)

RSPCK 自動停止機能を有効または無効にします。この機能を有効にすると、マスタモードでのデータ受信時に、オーバーランエラーが発生する前に RSPCK クロックが停止します。詳細は、[31.3.8.1 オーバーランエラー](#)を参照してください。

31.2.12 SPI コマンドレジスタ 0 (SPCMD0)

アドレス SPI0.SPCMD0 4007 2010h, SPI1.SPCMD0 4007 2110h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			—	SSLA[2:0]		BRDV[1:0]		CPOL	CPHA			
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定	0: 立ち上がりエッジでデータサンプリング、立ち下がりエッジでデータ変化を選択 1: 立ち上がりエッジでデータ変化、立ち下がりエッジでデータサンプリングを選択	R/W
b1	CPOL	RSPCK極性設定	0: アイドル時のRSPCKをLowに設定 1: アイドル時のRSPCKをHighに設定	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定	b3 b2 0 0: ベースのビットレート 0 1: ベースのビットレートの2分周 1 0: ベースのビットレートの4分周 1 1: ベースのビットレートの8分周	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定	b6 b4 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 1 x x: 設定禁止 x: Don't care	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b8	SPB[3:0]	SPIデータ長設定	b11 b8 0100~0111: 8ビット 1 0 0 0: 9ビット 1 0 0 1: 10ビット 1 0 1 0: 11ビット 1 0 1 1: 12ビット 1 1 0 0: 13ビット 1 1 0 1: 14ビット 1 1 1 0: 15ビット 1 1 1 1: 16ビット 0 0 0 0: 20ビット 0 0 0 1: 24ビット 0010、0011: 32ビット	R/W
b12	LSBF	SPI LSB ファースト	0: MSB ファースト 1: LSB ファースト	R/W
b13	SPNDEN	SPI次アクセス遅延許可	0: 次アクセス遅延は1RSPCK + 2PCLKA 1: 次アクセス遅延はSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可	0: SSLネゲート遅延は1RSPCK 1: SSLネゲート遅延はSPIスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可	0: RSPCK遅延は1RSPCK 1: RSPCK遅延はSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

SPIには、1個のSPIコマンドレジスタ (SPCMD0) があります。SPCMD0レジスタは、マスタモードのSPI用の転送フォーマットを設定します。SPCMD0レジスタの一部のビットは、スレーブモードのSPIに対して転送モードを設定するために使用されます。SPCR.SPEビットが1の状態ではSPCMD0レジスタの内容が変更された場合、その後の動作を行わないでください。

CPHA ビット (RSPCK 位相設定)

マスタモード/スレーブモードの SPI の RSPCK 位相を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定)

マスタモード/スレーブモードの SPI の RSPCK 極性を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定)

ビットレートを決定します。BRDV[1:0] ビットと SPBR レジスタの設定値との組み合わせでビットレートを決定します。31.2.6 SPI ビットレートレジスタ (SPBR) を参照してください。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし/2分周/4分周/8分周したビットレートを選択します。BRDV[1:0] ビットに異なる値に設定することで、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット (SSL 信号アサート設定)

マスタモードの SPI がシリアル転送を行う際の、SSLni 信号のアサートを制御します。

SSLA[2:0] ビットの設定で SSLni 信号のアサートを制御します。SSLni 信号アサート時の信号極性は、関連する SSLP レジスタの設定値で決定されます。マルチマスタモードで SSLA[2:0] ビットを 000b にした場合、全 SSL 信号がネゲート状態でシリアル転送が実行されます。(SSLn0 端子が入力になるため)

SPI をスレーブモードで使用する場合は、SSLA[2:0] ビットを 000b にしてください。

SPB[3:0] ビット (SPI データ長設定)

マスタモード/スレーブモードの SPI の転送データ長を設定します。

SPLW ビットが 0 のとき、SPCMDm.SPB[3:0] ビット (SPI データ長設定ビット) の設定は、8 ~ 16 ビットにしてください。

LSBF ビット (SPI LSB ファースト)

マスタモード/スレーブモードの SPI のデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを選択します。

SPNDEN ビット (SPI 次アクセス遅延許可)

マスタモードの SPI がシリアル転送を終了して SSLni 信号を非アクティブにしてから、次アクセスの SSLni 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定します。SPNDEN ビットが 0 のとき、SPI は次アクセス遅延を $1RSPCK + 2PCLKA$ にします。SPNDEN ビットが 1 のとき、SPI は SPND レジスタの設定値に従って次アクセス遅延を挿入します。

SPI をスレーブモードで使用する場合は、SPNDEN ビットを 0 にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可)

マスタモードの SPI が、RSPCK を発振停止してから SSLni 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定します。SLNDEN ビットが 0 のとき、SPI は SSL ネゲート遅延を $1RSPCK$ に設定します。SLNDEN ビットが 1 のとき、SPI は SSLND レジスタの設定に従った SSL ネゲート遅延で SSL 信号をネゲートします。

SPI をスレーブモードで使用する場合は、SLNDEN ビットを 0 にしてください。

SCKDEN ビット (RSPCK 遅延設定許可)

マスタモードの SPI が、SSLni 信号をアクティブにしてから RSPCK の発振を開始するまでの期間 (SPI クロック遅延) を設定します。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を $1RSPCK$ に設定します。SCKDEN ビットが 1 のとき、SPI は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

SPI をスレーブモードで使用する場合は、SCKDEN ビットを 0 にしてください。

31.3 動作説明

本項では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

31.3.1 SPI 動作の概要

SPI は、下記のモードでの同期式シリアル転送が可能です。

- スレーブモード (SPI 動作)
- シングルマスタモード (SPI 動作)
- マルチマスタモード (SPI 動作)
- スレーブモード (クロック同期式動作)
- マスタモード (クロック同期式動作)

SPI のモードは、SPCR.MSTR、SPCR.MODFEN、および SPCR.SPMS ビットで選択できます。表 31.4 に、SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要を示します。

表 31.4 SPCR レジスタの設定と SPI のモードの関係

モード	スレーブ (SPI 動作)	シングルマスタ (SPI 動作)	マルチマスタ (SPI 動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
MSTR ビット設定値	0	1	1	0	1
MODFEN ビット設定値	0 または 1	0	1	0	0
SPMS ビット設定値	0	0	0	1	1
RSPCKn 信号	入力	出力	出力/Hi-Z	入力	出力
MOSIn 信号	入力	出力	出力/Hi-Z	入力	出力
MISOn 信号	出力/Hi-Z	入力	入力	出力	入力
SSLn0 信号	入力	出力	入力	Hi-Z (注1)	Hi-Z (注1)
SSLn1 ~ SSLn3 信号	Hi-Z (注1)	出力	出力/Hi-Z	Hi-Z (注1)	Hi-Z (注1)
SSL 極性変更機能	あり	あり	あり	—	—
転送速度	~PCLKA/6	~PCLKA/2	~PCLKA/2	~PCLKA/6	~PCLKA/2
クロックソース	RSPCKn 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCKn 入力	内蔵ボーレートジェネレータ
クロック極性	2種				
クロック位相	2種	2種	2種	1種 (CPHA = 1)	2種
先頭転送ビット	MSB/LSB				
転送データ長	8 ~ 16、20、24、32ビット				
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファ書き込み (SPTEF = 1)	送信バッファエンプティ割り込み要求発生で送信バッファ書き込み (SPTEF = 1)	RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファ書き込み (SPTEF = 1)
送信バッファエンプティ検出	あり				
受信バッファフル検出	あり (注2)				
オーバーランエラー検出	あり (注2)	あり (注2) (注4)	あり (注2) (注4)	あり (注2)	あり (注2)
パリティエラー検出	あり (注2) (注3)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし
アンダーランエラー検出	あり	なし	なし	あり	なし

注 1. この機能は本モードでは使用しません。

注 2. SPCR.TXMD ビットが 1 のときは、受信バッファフル検出、オーバーランエラー検出、パリティエラー検出を行いません。

注 3. SPCR2.SPPE ビットが 0 のときは、パリティエラー検出を行いません。

注 4. SPCR2.SCKASE ビットが 1 のときは、オーバーランエラー検出を行いません。

31.3.2 SPI 端子の制御

SPI は、SPCR.MSTR、SPCR.MODFEN、SPCR.SPMS ビット、および入出力ポートの PmnPFS.NCODR ビットに基づき、端子の状態を切り替えることができます。端子状態と各ビットの設定値との関係を表 31.5 に示します。入出力ポートの PmnPFS.NCODR ビットの設定値を 0 にすると CMOS 出力となります。設定値を 1 にするとオープンドレイン出力となります。入出力ポートの設定も同じとなるよう設定してください。

表 31.5 端子状態とビット設定値の関係

モード	端子	端子状態 (注2)	
		入出力ポートの PmnPFS.NCODR ビット = 0	入出力ポートの PmnPFS.NCODR ビット = 1
シングルマスタモード (SPI 動作) (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKn	CMOS 出力	オープンドレイン出力
	SSLn0 ~ SSLn3	CMOS 出力	オープンドレイン出力
	MOSIn	CMOS 出力	オープンドレイン出力
	MISO _n	入力	入力
マルチマスタモード (SPI 動作) (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKn (注3)	CMOS 出力 / Hi-Z	オープンドレイン出力 / Hi-Z
	SSLn0	入力	入力
	SSLn1 ~ SSLn3 (注3)	CMOS 出力 / Hi-Z	オープンドレイン出力 / Hi-Z
	MOSIn (注3)	CMOS 出力 / Hi-Z	オープンドレイン出力 / Hi-Z
スレーブモード (SPI 動作) (MSTR = 0, SPMS = 0)	RSPCKn	入力	入力
	SSLn0	入力	入力
	SSLn1 ~ SSLn3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIn (注4)	CMOS 出力 / Hi-Z	オープンドレイン出力 / Hi-Z
マスタモード (クロック同期式動作) (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKn	CMOS 出力	オープンドレイン出力
	SSLn0 ~ SSLn3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIn	CMOS 出力	オープンドレイン出力
	MISO _n	入力	入力
スレーブモード (クロック同期式動作) (MSTR = 0, SPMS = 1)	RSPCKn	入力	入力
	SSLn0 ~ SSLn3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIn	入力	入力
	MISO _n	CMOS 出力	オープンドレイン出力

注 1. この機能は本モードでは使用しません。

注 2. SPI 機能が選択されていない兼用端子には、SPI の設定値は反映されません。

注 3. SSLn0 がアクティブレベルの場合、端子状態が Hi-Z になります。

注 4. SSLn0 が非アクティブレベルまたは SPCR.SPE ビットが 0 の場合、端子状態が Hi-Z になります。

注 5. これらの端子は入出力ポート端子として使用できます。

シングルマスタモード (SPI 動作) またはマルチマスタモード (SPI 動作) の SPI は、SPPCR.MOIFE ビットと SPPCR.MOIFV ビットの設定値に基づいて、SSL ネゲート期間の MOSI 信号値を表 31.6 のように決定します。

表 31.6 SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE ビット	MOIFV ビット	SSL ネゲート期間の MOSIn 信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

31.3.3 SPI システム構成例

31.3.3.1 シングルマスタとシングルスレーブ (MCU はマスタ)

図 31.5 に、MCU がマスタとして使用される場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。シングルマスタとシングルスレーブ構成では、MCU (マスタ) の SSLn0 ~ SSLn3 出力は使用されません。SPI スレーブの SSL 入力は Low に固定され、SPI スレーブの選択状態を維持します。(注1)

MCU (マスタ) は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

注 1. SPCMD0.CPHA ビットが 0 の場合に使用する転送フォーマットでは、いくつかのスレーブデバイスの SSL 信号を、アクティブレベルに固定することができません。その場合、MCU の SSLni 出力を、常にスレーブデバイスの SSL 入力に接続してください。

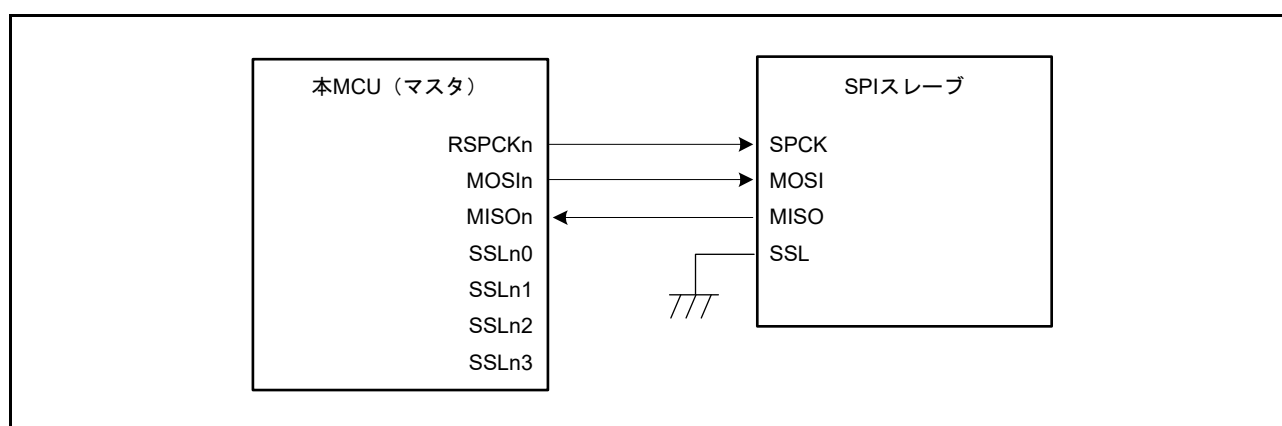


図 31.5 シングルマスタ/シングルスレーブの構成例 (MCU はマスタ)

31.3.3.2 シングルマスタとシングルスレーブ (MCU はスレーブ)

図 31.6 に、MCU がスレーブとして使用される場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。MCU がスレーブとして動作する場合は、SSLn0 端子は SSL 入力として使用されます。SPI マスタは、SPCK および MOSI 信号をドライブします。MCU (スレーブ) は、MISO_n 信号をドライブします。(注1)

SPCMD0.CPHA ビットを 1 にしたシングルスレーブ構成の場合には、MCU (スレーブ) の SSLn0 入力は Low に固定され、MCU (スレーブ) は選択状態を維持します。これにより、シリアル転送を実行することも可能です (図 31.7)。

注 1. SSLn0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

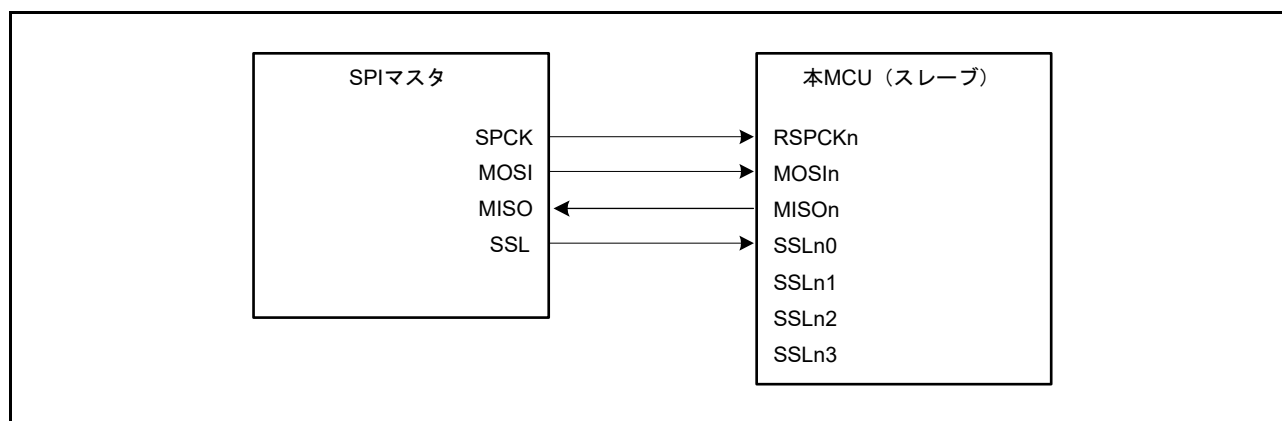


図 31.6 シングルマスタとシングルスレーブの構成例 (MCU はスレーブ、CPHA = 0)

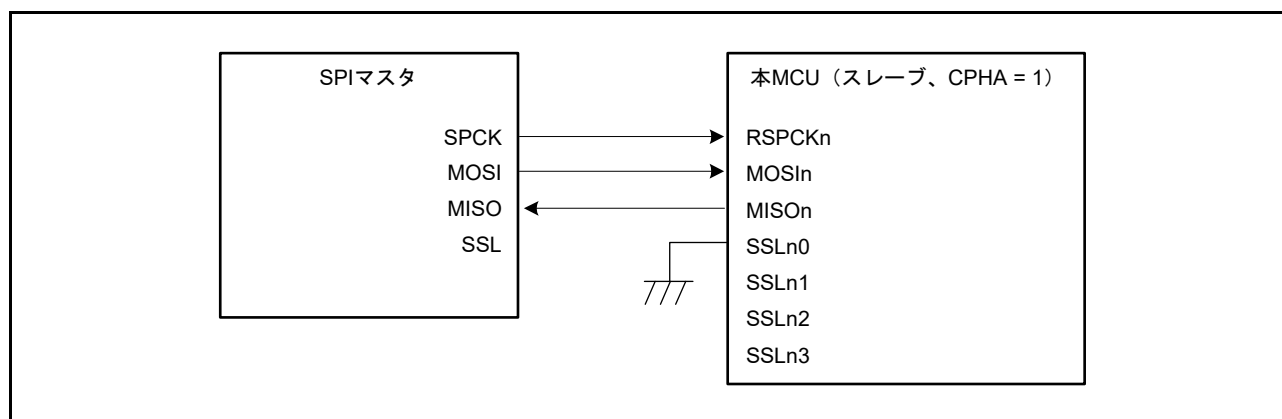


図 31.7 シングルマスタとシングルスレーブの構成例 (MCU はスレーブ、CPHA = 1)

31.3.3.3 シングルマスタとマルチスレーブ (MCU はマスタ)

図 31.8 に、MCU がマスタとして使用される場合のシングルマスタとマルチスレーブの SPI システム構成例を示します。図 31.8 の例では、MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) で SPI システムを構成しています。

MCU (マスタ) の RSPCK_n 出力と MOSI_n 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の SPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて MCU (マスタ) の MISO_n 入力に接続します。MCU (マスタ) の SSL_{n0} ~ SSL_{n3} 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

MCU (マスタ) は、RSPCK_n、MOSI_n、SSL_{n0} ~ SSL_{n3} 端子をドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

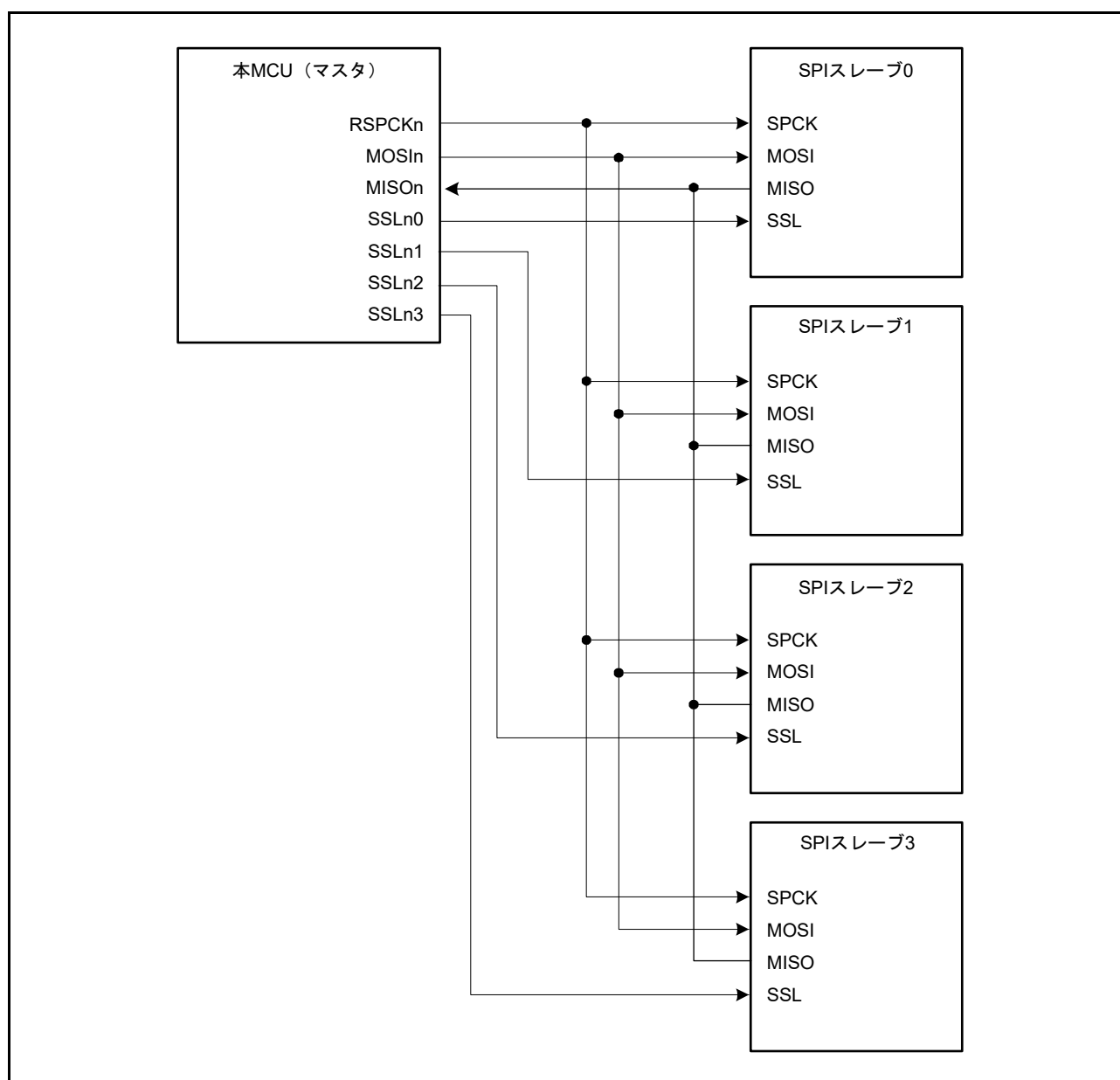


図 31.8 シングルマスタとマルチスレーブの構成例 (MCU はマスタ)

31.3.3.4 シングルマスタとマルチスレーブ (MCU はスレーブ)

図 31.9 に、MCU がスレーブとして使用される場合のシングルマスタとマルチスレーブの SPI システム構成例を示します。図 31.9 の例では、SPI マスタと 2 つの MCU (スレーブ X、スレーブ Y) で SPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、MCU (スレーブ X、スレーブ Y) の RSPCKn 入力と MOSIn 入力に接続します。MCU (スレーブ X、スレーブ Y) の MISO_n 出力は、すべて SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、それぞれ MCU (スレーブ X、スレーブ Y) の SSL_n0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。MCU スレーブ (スレーブ X またはスレーブ Y) のうち、SSL_n0 入りに Low を入力されているスレーブが、MISO_n 信号をドライブします。

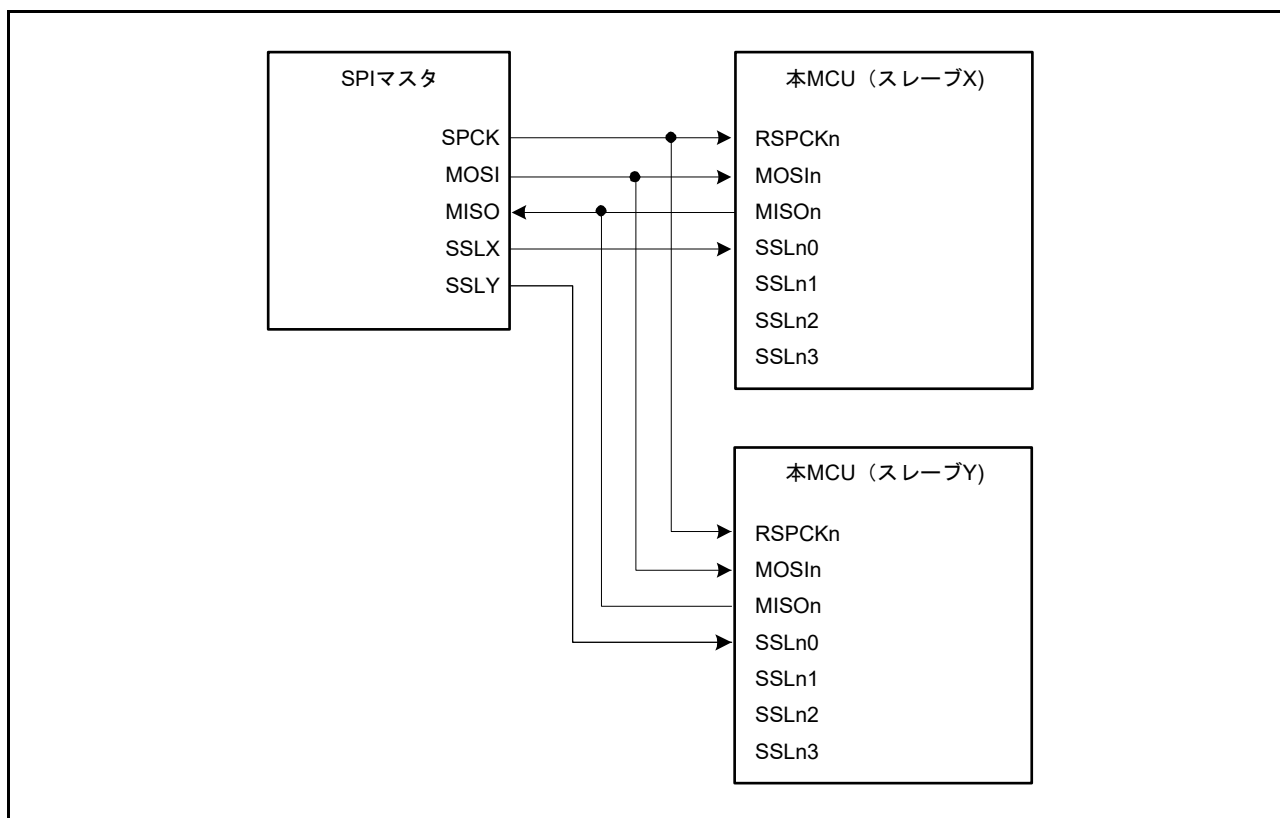


図 31.9 シングルマスタとマルチスレーブの構成例 (MCU はスレーブ)

31.3.3.5 マルチマスタとマルチスレーブ (MCU はマスタ)

図 31.10 に、MCU がマスタとして使用される場合のマルチマスタとマルチスレーブの SPI システム構成例を示します。図 31.10 の例では、2 つの MCU (マスタ X、マスタ Y) と 2 つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) で SPI システムを構成しています。

MCU (マスタ X、マスタ Y) の RSPCK_n 出力と MOSI_n 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、MCU (マスタ X、マスタ Y) の MISO_n 入力に接続します。MCU (マスタ X) の任意の汎用ポート Y 出力は、MCU (マスタ Y) の SSL_n0 入力に接続します。MCU (マスタ Y) の任意の汎用ポート X 出力は、MCU (マスタ X) の SSL_n0 入力に接続します。MCU (マスタ X、マスタ Y) の SSL_n1 出力と SSL_n2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL_n0 入力とスレーブ接続用の SSL_n1 出力および SSL_n2 出力のみでシステムを構成できるため、MCU の SSL_n3 出力は必要ありません。

MCU は、SSL_n0 入力レベルが High の場合には、RSPCK_n、MOSI_n、SSL_n1、SSL_n2 をドライブします。SSL_n0 入力レベルが Low の場合、MCU はモードフォルトエラーを検出し、RSPCK_n、MOSI_n、SSL_n1、および SSL_n2 を Hi-Z にして、他方のマスタに SPI バスを直接解放します。SPI スレーブ 1 および SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

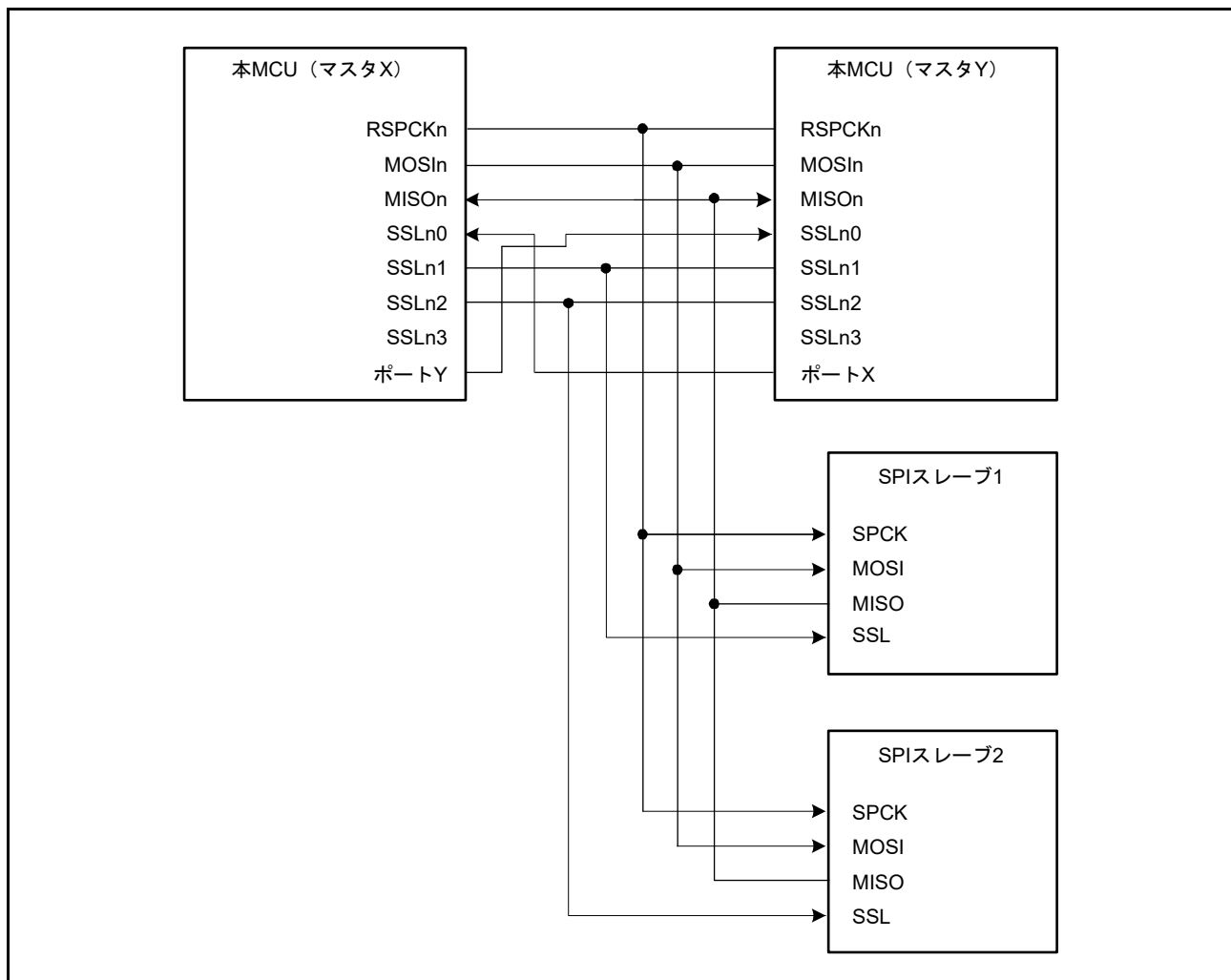


図 31.10 マルチマスタとマルチスレーブの構成例 (MCU はマスタ)

31.3.3.6 クロック同期構成のマスタとスレーブ (MCU はマスタ)

図 31.11 に、MCU がマスタとして使用される場合のクロック同期モードのマスタとスレーブ構成を示します。クロック同期モードのマスタとスレーブでは、MCU (マスタ) の SSLn0 ~ SSLn3 は使用しません。

MCU (マスタ) は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

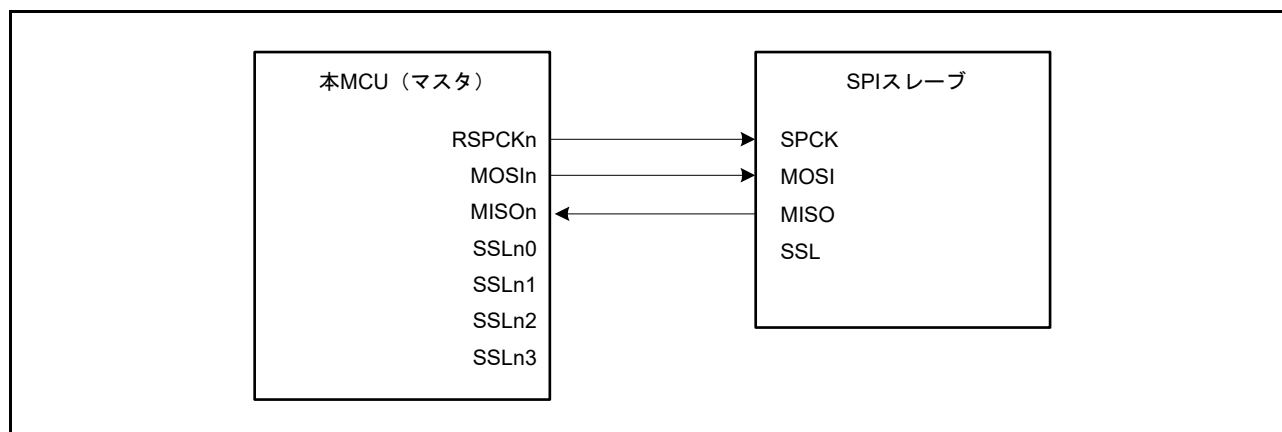


図 31.11 クロック同期モードのマスタとスレーブの構成例 (MCU はマスタ)

31.3.3.7 クロック同期構成のマスタとスレーブ (MCU はスレーブ)

図 31.12 に、MCU がスレーブとして使用される場合のクロック同期モードのマスタとスレーブ構成を示します。MCU をクロック同期モードのスレーブとして使用する場合には、MCU (スレーブ) は MISO_n 信号をドライブし、SPI マスタは SPCK および MOSI 信号をドライブします。MCU (スレーブ) の SSLn0 ~ SSLn3 は使用しません。

SPCMD0.CPHA ビットを 1 にしたシングルスレーブ構成の場合のみ、MCU (スレーブ) はシリアル転送の実行が可能です。

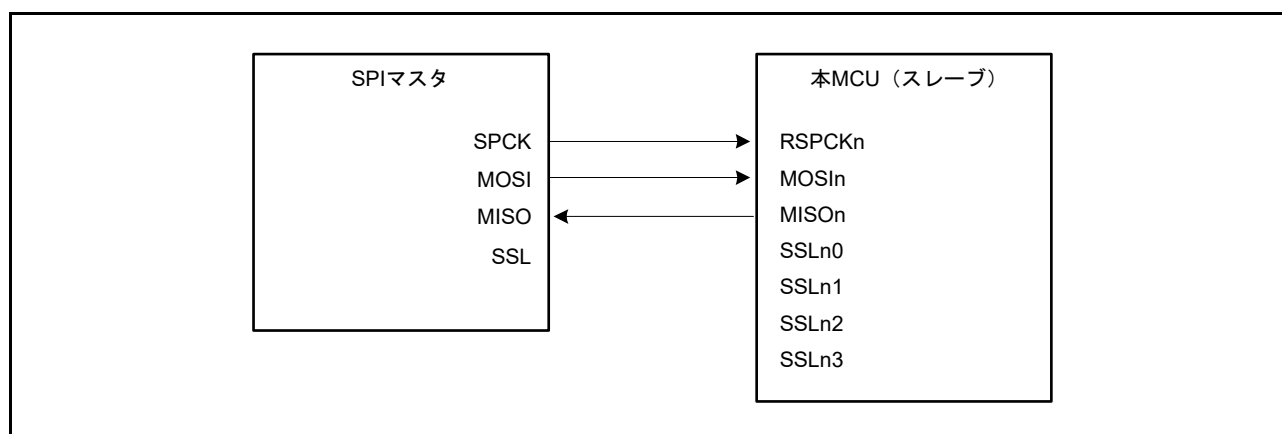


図 31.12 クロック同期モードのマスタとスレーブの構成例 (MCU はスレーブ、CPHA = 1)

31.3.4 データフォーマット

SPI のデータフォーマットは、SPI コマンドレジスタ 0 (SPCMD0) と SPI コントロールレジスタ 2 (SPCR2.SPPE) のパリティ許可ビットの設定値に依存します。並び順が MSB ファーストか LSB ファーストかにかかわらず、SPI は SPI データレジスタ (SPDR/SPDR_HA) の LSB ビットから設定データ長に関連するビット分の範囲を転送データとして扱います。

以下では、転送前または転送後のデータの 1 フレーム分のデータフォーマットについて説明します。

(a) パリティ機能無効時のデータフォーマット

パリティ機能無効時は、SPI コマンドレジスタ 0 の SPI データ長設定ビット (SPCMD0.SPB[3:0]) で設定したビット長のデータの送受信を行います。

(b) パリティ機能有効時のデータフォーマット

パリティ機能有効時は、SPI コマンドレジスタ 0 の SPI データ長設定ビット (SPCMD0.SPB[3:0]) で設定したビット長のデータの送受信を行います。ただし、最終ビットはパリティビットです。

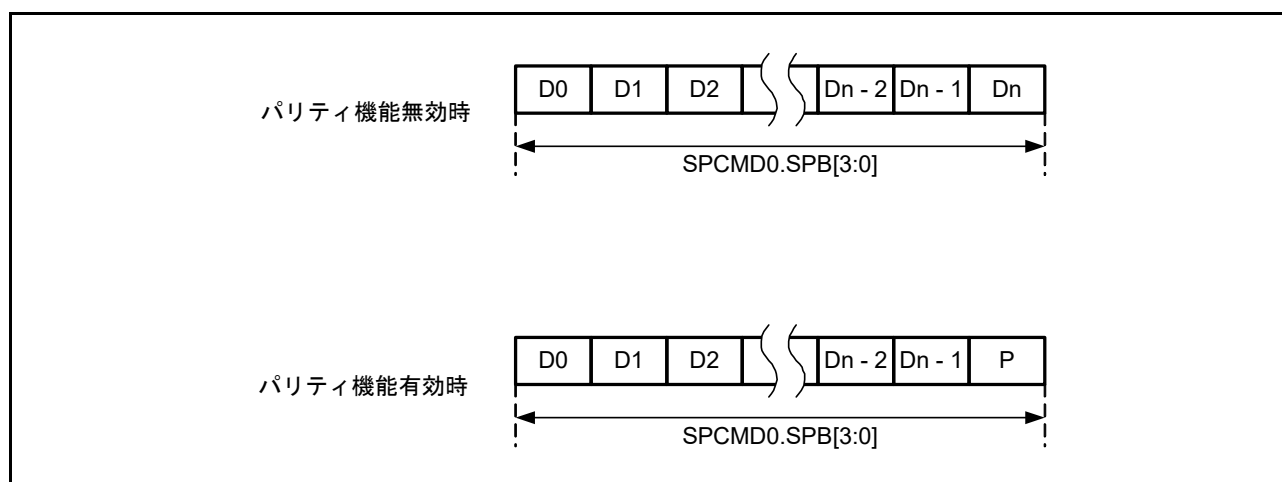


図 31.13 パリティ機能無効時と有効時のデータフォーマット

31.3.4.1 パリティ機能無効時の動作 (SPCR2.SPPE = 0)

パリティ機能が無効の場合、送信データを加工せず、シフトレジスタにコピーします。以下では、SPI データレジスタ (SPDR/SPDR_HA) とシフトレジスタの関係を、MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) 32 ビットデータの MSB ファースト転送

図 31.14 に、パリティ機能無効時に、SPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31 ~ R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。

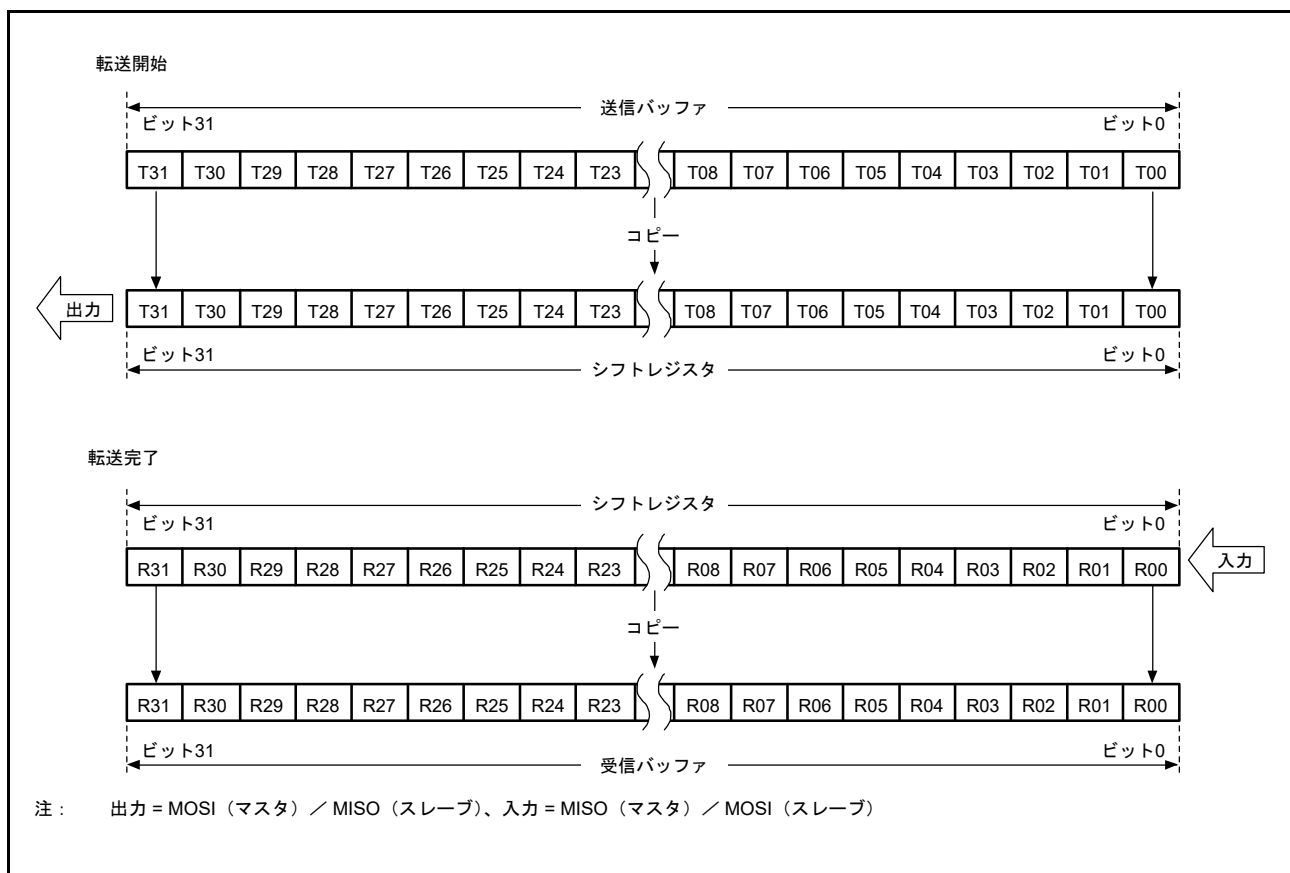


図 31.14 MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2) 24 ビットデータの MSB ファースト転送

図 31.15 に、パリティ機能無効時に、SPI がデータ長 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R23 ~ R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

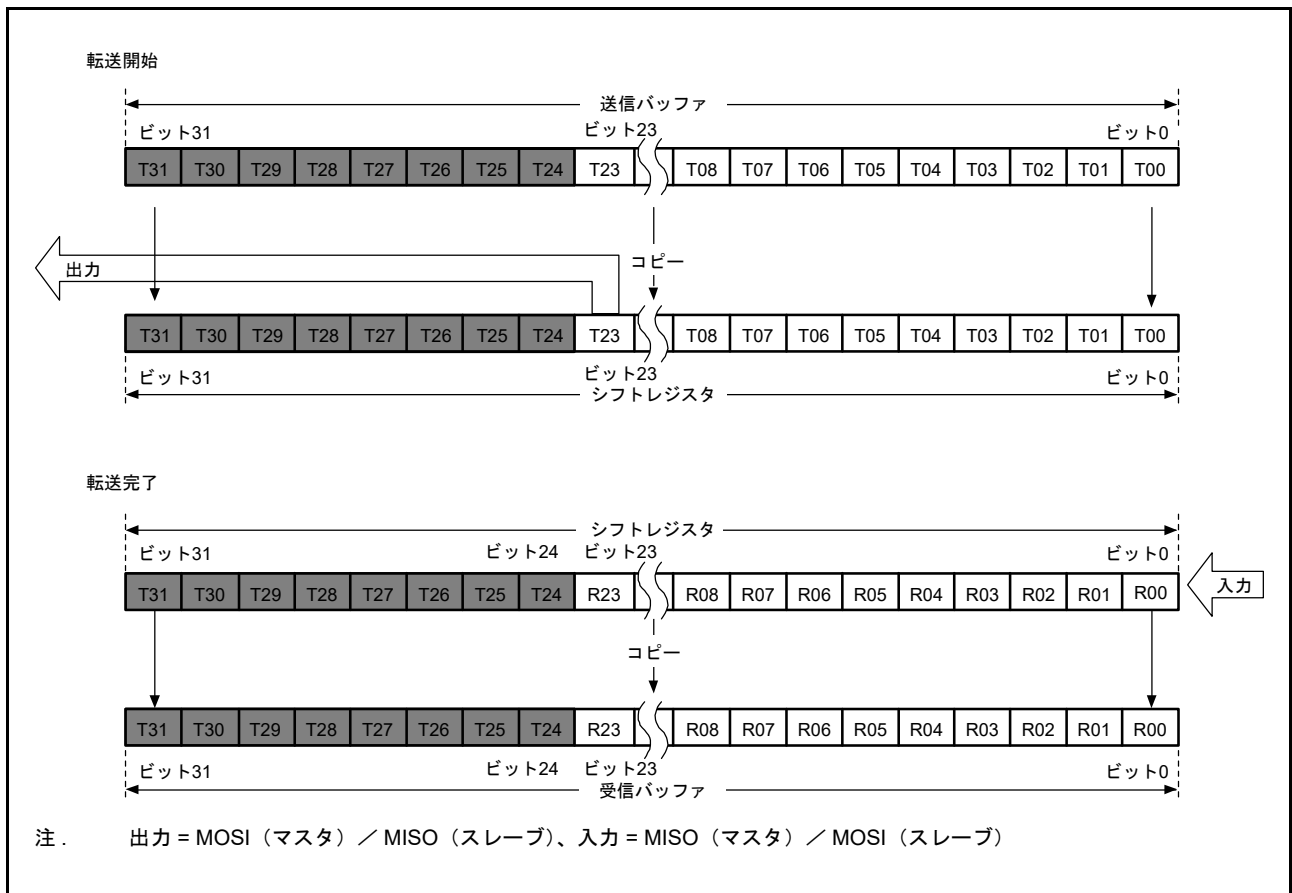


図 31.15 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3) 32 ビットデータの LSB ファースト転送

図 31.16 に、パリティ機能無効時に SPI がデータ長 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31 ~ T00 をビット単位で T00 ~ T31 の順序に並び替えて、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T31 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00 ~ R31 ビットまでデータがたまと、シフトレジスタの値を受信バッファにコピーします。

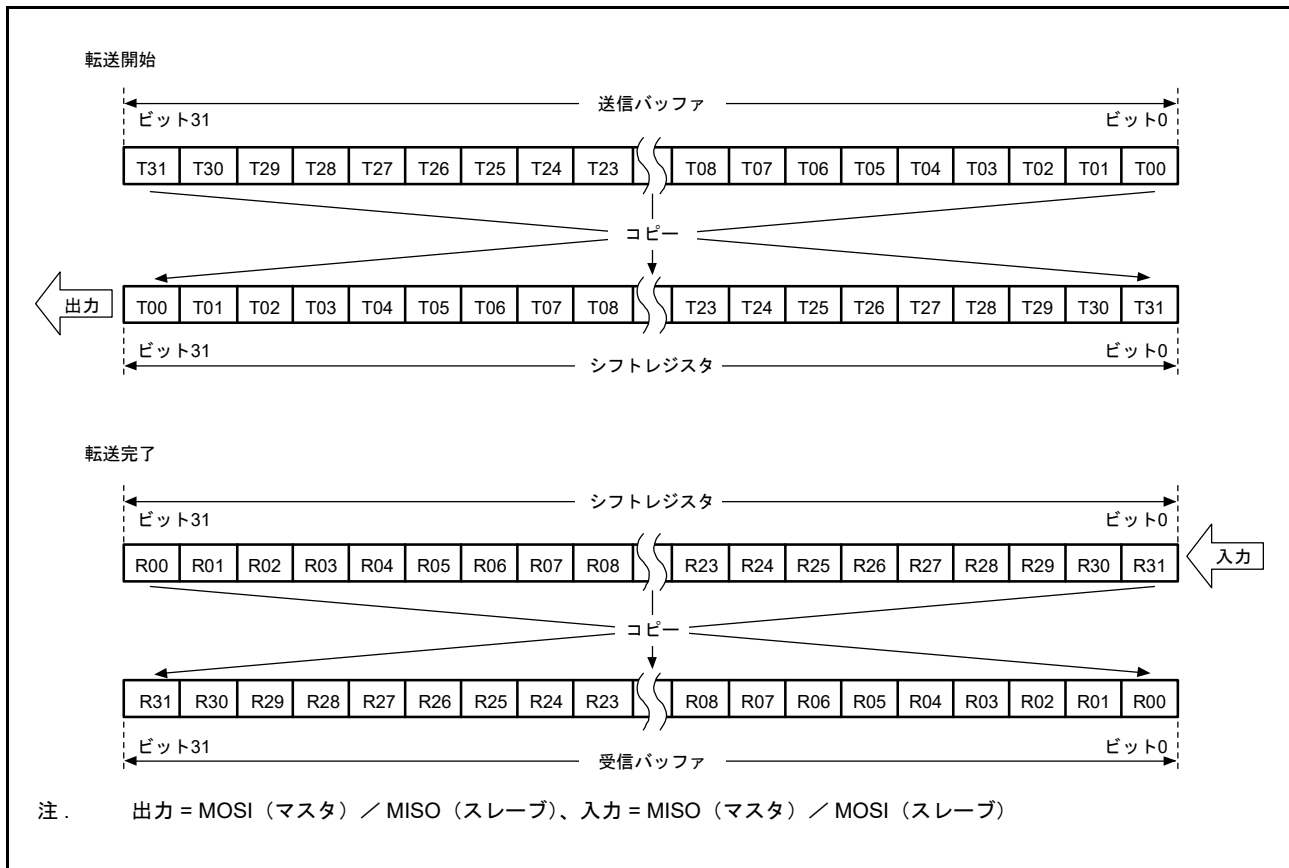


図 31.16 LSB ファースト転送 (32 ビットデータ/パリティ機能無効)

(4) 24 ビットデータの LSB ファースト転送

図 31.17 に、パリティ機能無効時に、SPI がデータ長 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 の順序に並び換えて、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し始め、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R00 ~ R23 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。

受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

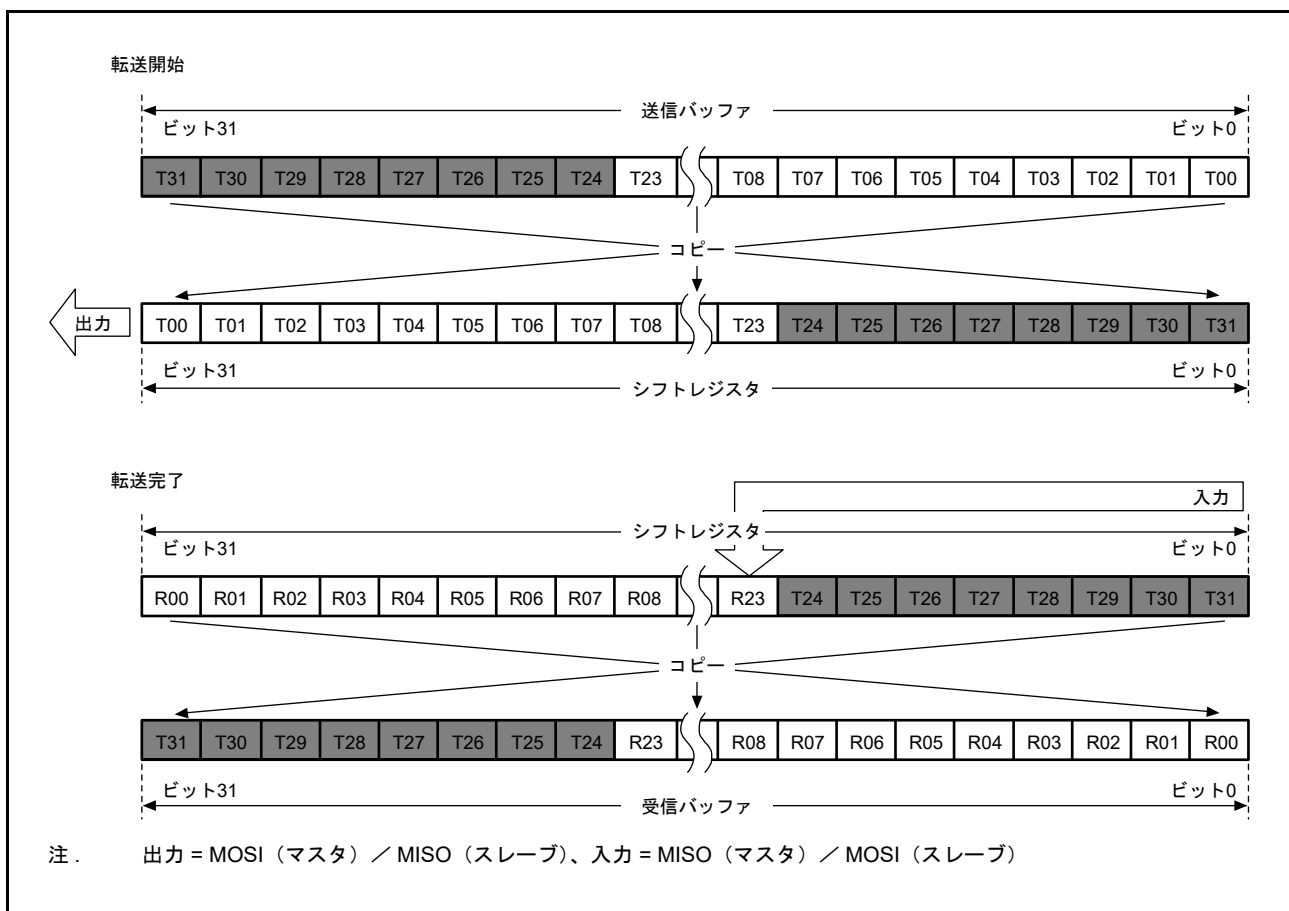


図 31.17 LSB ファースト転送 (24 ビットデータ / パリティ機能無効)

31.3.4.2 パリティ機能有効時の動作 (SPCR2.SPPE = 1)

パリティ機能が有効の場合、送信データの最下位ビットはパリティビットになります。パリティビットの値は、ハードウェアが計算します。

(1) 32 ビットデータの MSB ファースト転送

図 31.18 に、パリティ機能有効時に、SPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換え、値全体をシフトレジスタにコピーします。データは、T31 → T30 → … → T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31 ~ P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピー時、パリティエラーがないか R31 ~ P のデータをチェックします。

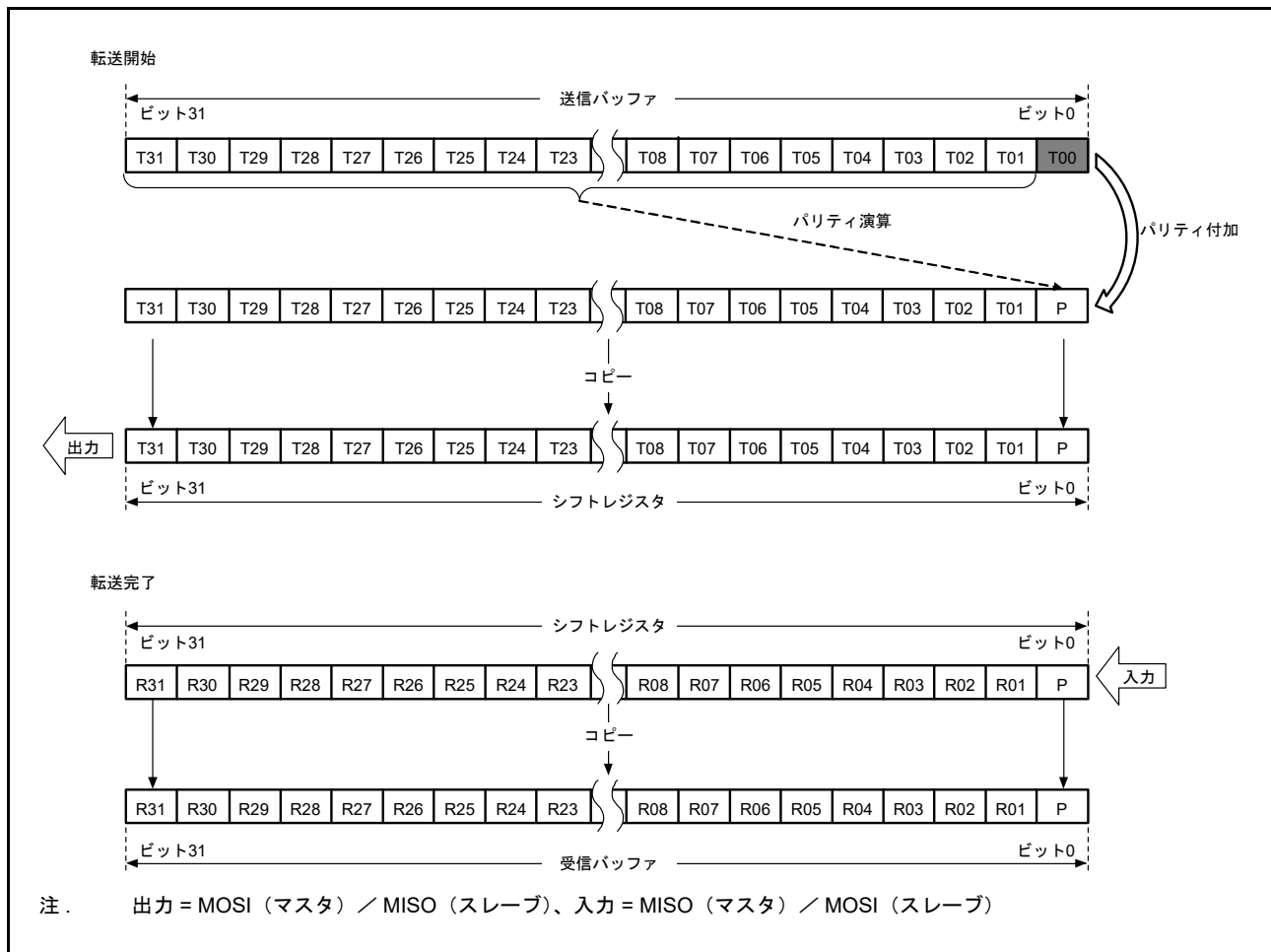


図 31.18 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) 24 ビットデータの MSB ファースト転送

図 31.19 に、パリティ機能有効時に、SPI がデータ長 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T23 ~ T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換え、値全体をシフトレジスタにコピーします。データは、T23 → T22 → … → T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R23 ~ P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピー時、パリティエラーがないか R23 ~ P のデータをチェックします。受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

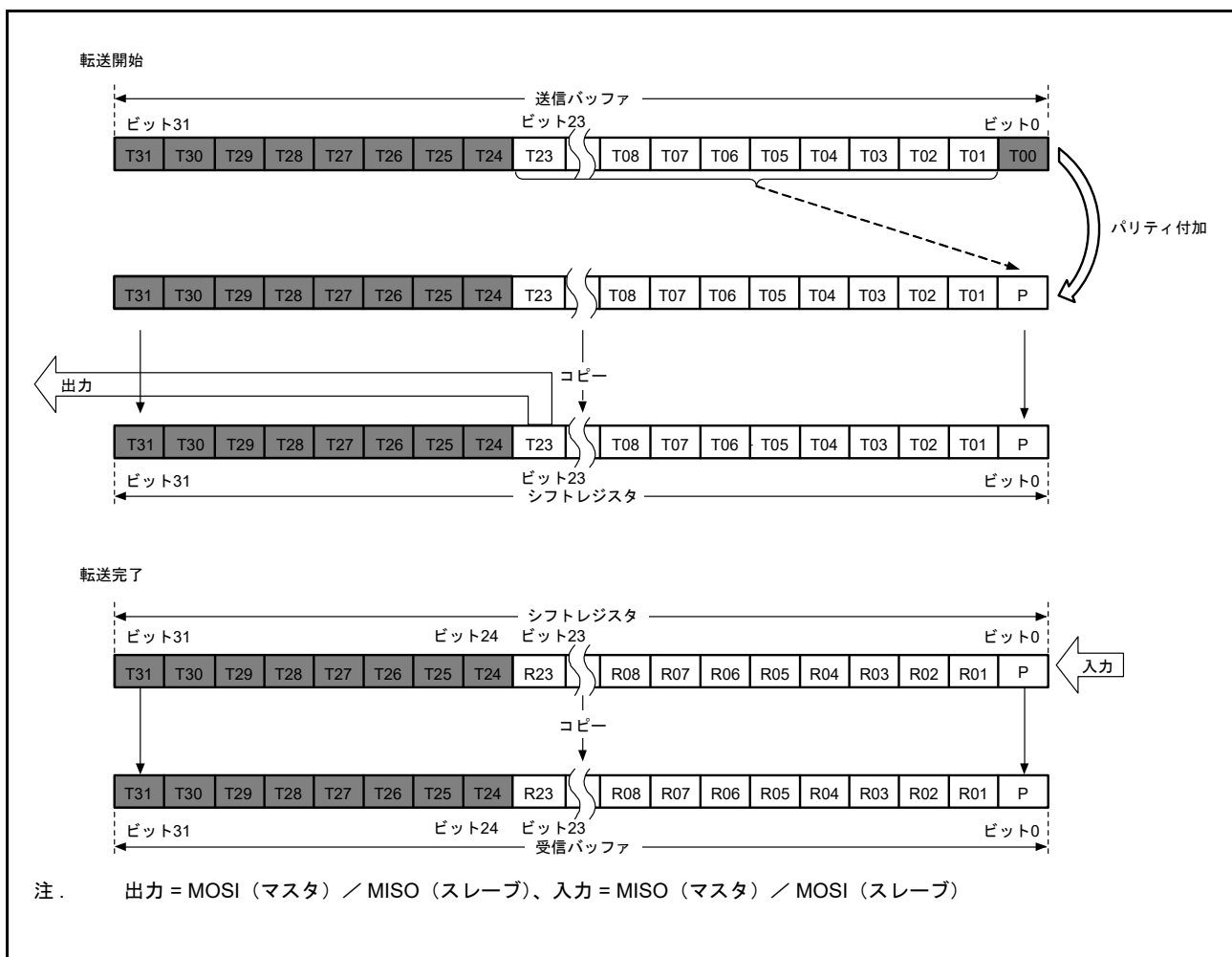


図 31.19 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) 32 ビットデータの LSB ファースト転送

図 31.20 に、パリティ機能有効時に、SPI がデータ長 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T30 ~ T00 ビットからパリティビット (P) の値を計算し、最終ビットである T31 と置き換え、値全体をシフトレジスタにコピーします。送信データは、T00 → T01 → ... → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R00 ~ P までデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピー時、パリティエラーがないか R00 ~ P のデータをチェックします。

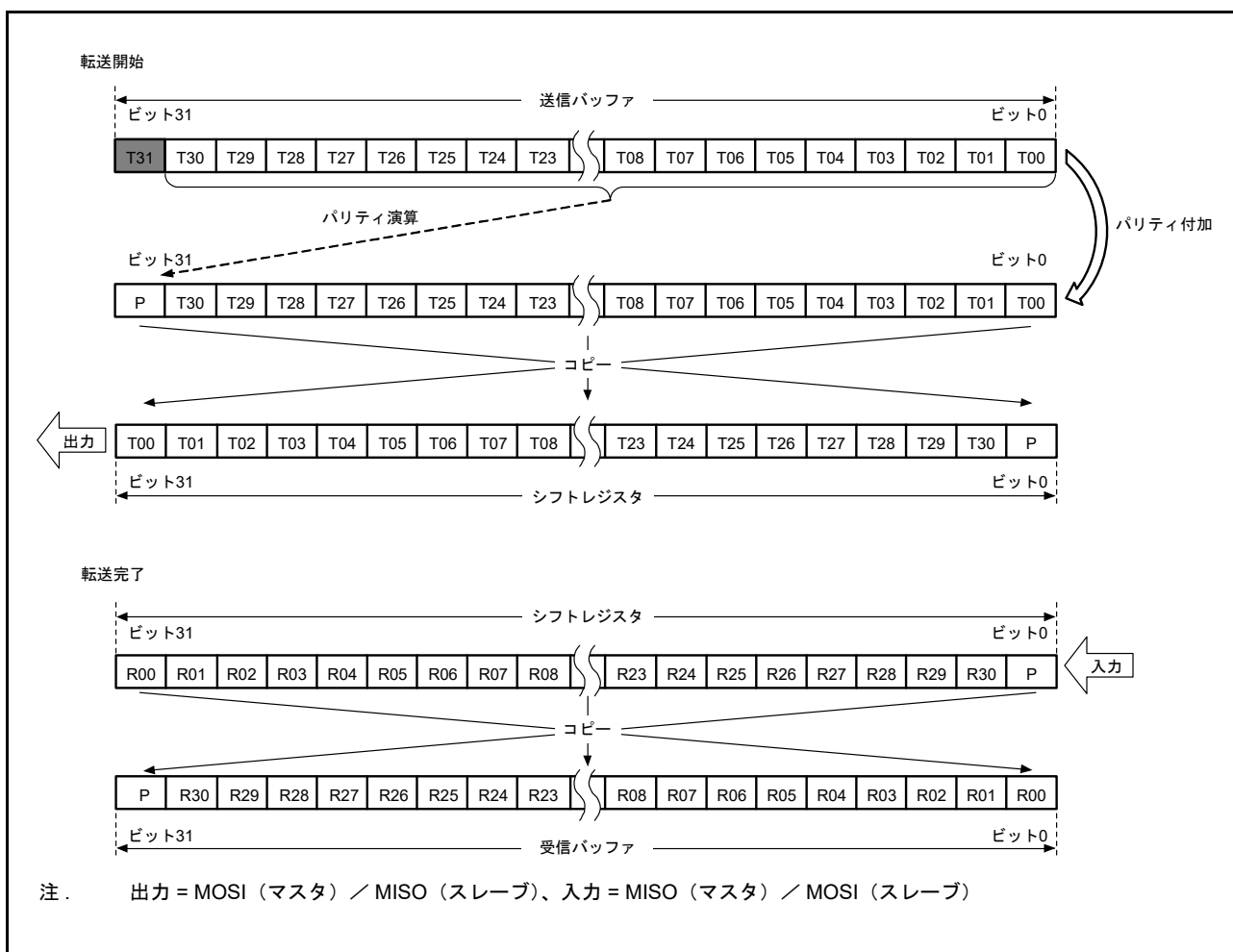


図 31.20 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) 24 ビットデータの LSB ファースト転送

図 31.21 に、パリティ機能有効時に、SPI がデータ長 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T22 ~ T00 ビットからパリティビット (P) の値を計算し、最終ビットである T23 と置き換え、値全体をシフトレジスタにコピーします。データは、T00 → T01 → ... → T22 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し始め、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R00 ~ P までデータがたまと、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピー時、パリティエラーがないか R00 ~ P のデータをチェックします。受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

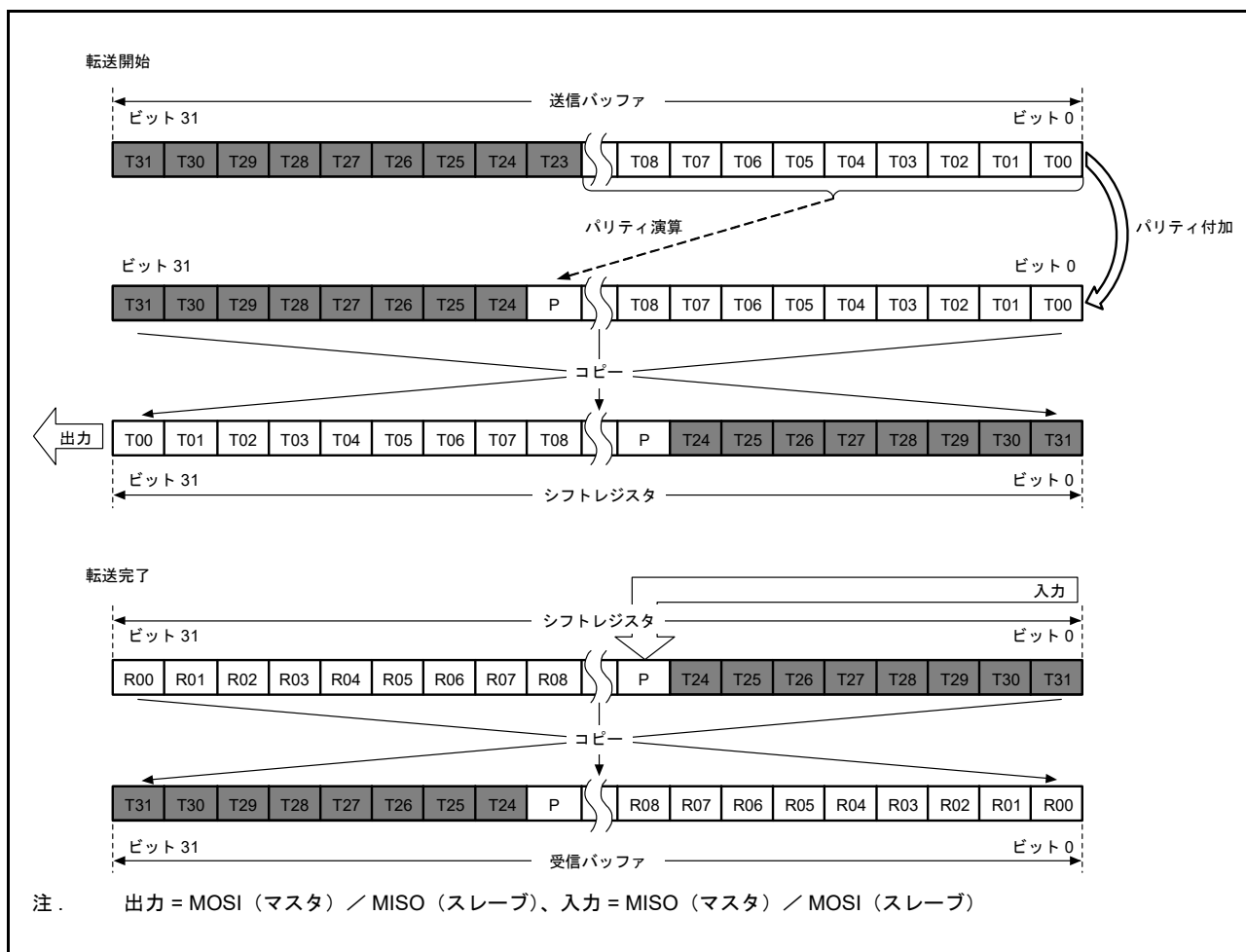


図 31.21 LSB ファースト転送 (24 ビットデータ / パリティ機能有効)

31.3.5 転送フォーマット

31.3.5.1 CPHA ビット = 0 の場合

図 31.22 に SPCMD0.CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。SPI がスレーブモード (SPCR.MSTR = 0) で、CPHA ビットが 0 の場合、クロック同期式動作 (SPCR.SPMS ビット = 1) は行わないでください。図 31.22 において、RSPCKn (CPOL = 0) は SPCMD0.CPOL ビットが 0 の場合、RSPCKn (CPOL = 1) は SPCMD0.CPOL ビットが 1 の場合の RSPCKn 信号波形です。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを表します。各信号の入出力方向は、SPI の設定に依存します。詳細は、31.3.2 SPI 端子の制御を参照してください。

SPCMD0.CPHA ビットが 0 の場合には、SSLni 信号のアサートタイミングで、MOSIn 信号と MISOOn 信号への有効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化が、最初の転送データ取り込みになり、これ以降、1RSPCK 周期ごとにデータがサンプリングされます。MOSIn 信号と MISOOn 信号の変化タイミングは、転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLni 信号のアサートから RSPCKn 発振までの期間 (RSPCK 遅延) を示します。t2 は、RSPCKn 発振停止から SSLni 信号のネゲートまでの期間 (SSL ネゲート遅延) を示します。t3 は、シリアル転送終了後に次転送のための SSLni 信号アサートを抑制する期間 (次アクセス遅延) を示します。t1、t2、t3 は、SPI システム上のマスタデバイスによって制御されます。MCU の SPI がマスタモードである場合の t1、t2、t3 については、31.3.10.1 マスタモード動作を参照してください。

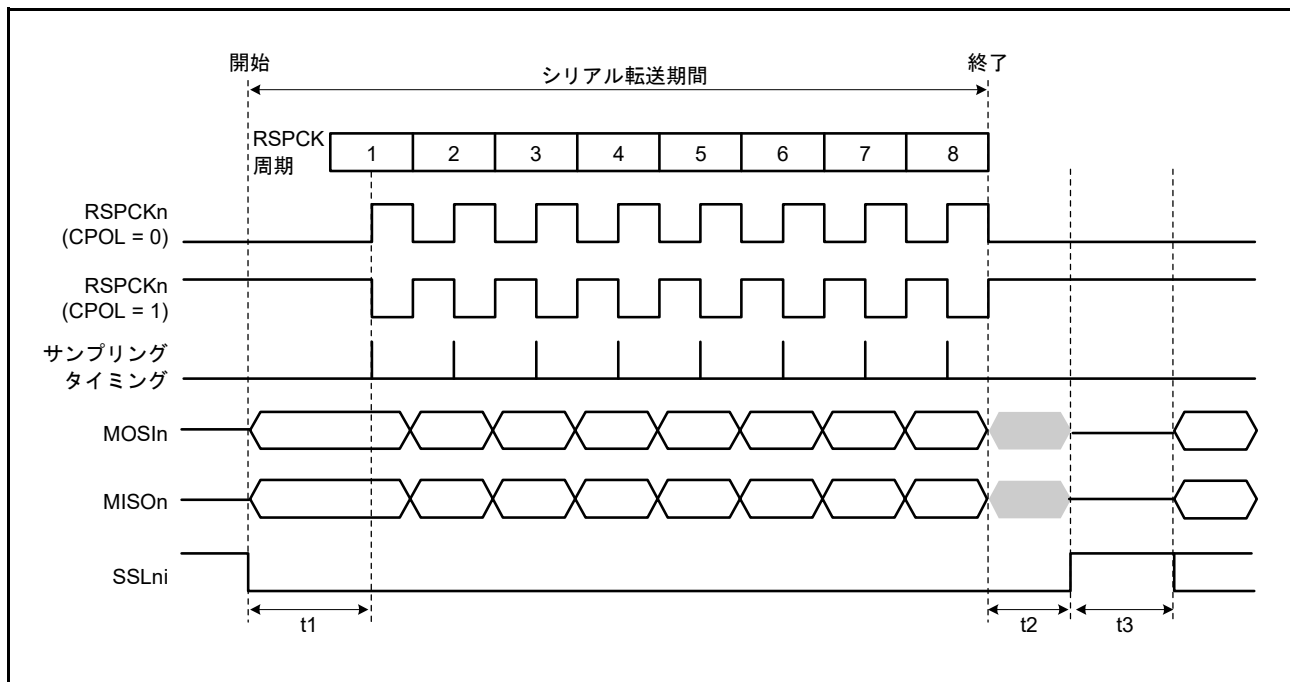


図 31.22 SPI 転送フォーマット (CPHA ビット = 0)

31.3.5.2 CPHA ビット = 1 の場合

図 31.23 に SPCMD0.CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが 1 の場合は SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、MISOOn 信号の 3 つの信号のみで通信を行います。図 31.23 において、RSPCK (CPOL = 0) は、SPCMD0.CPOL ビットが 0 の場合の RSPCKn 信号波形を示し、RSPCK は SPCMD0.CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、SPI のモード (マスタ/スレーブ) に依存します。詳細は、31.3.2 SPI 端子の制御を参照してください。

SPCMD0.CPHA ビットが 1 の場合には、SSLni 信号のアサートタイミングで、MISOOn 信号への無効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化で、MOSIn 信号と MISOOn 信号への有効データの出力が開始され、これ以降、1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このデータ更新タイミングの 1/2RSPCK 周期後になります。SPCMD0.CPOL ビットの設定値は、RSPCKn 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。MCU の SPI がマスタモードである場合の t1、t2、t3 については、31.3.10.1 マスタモード動作を参照してください。

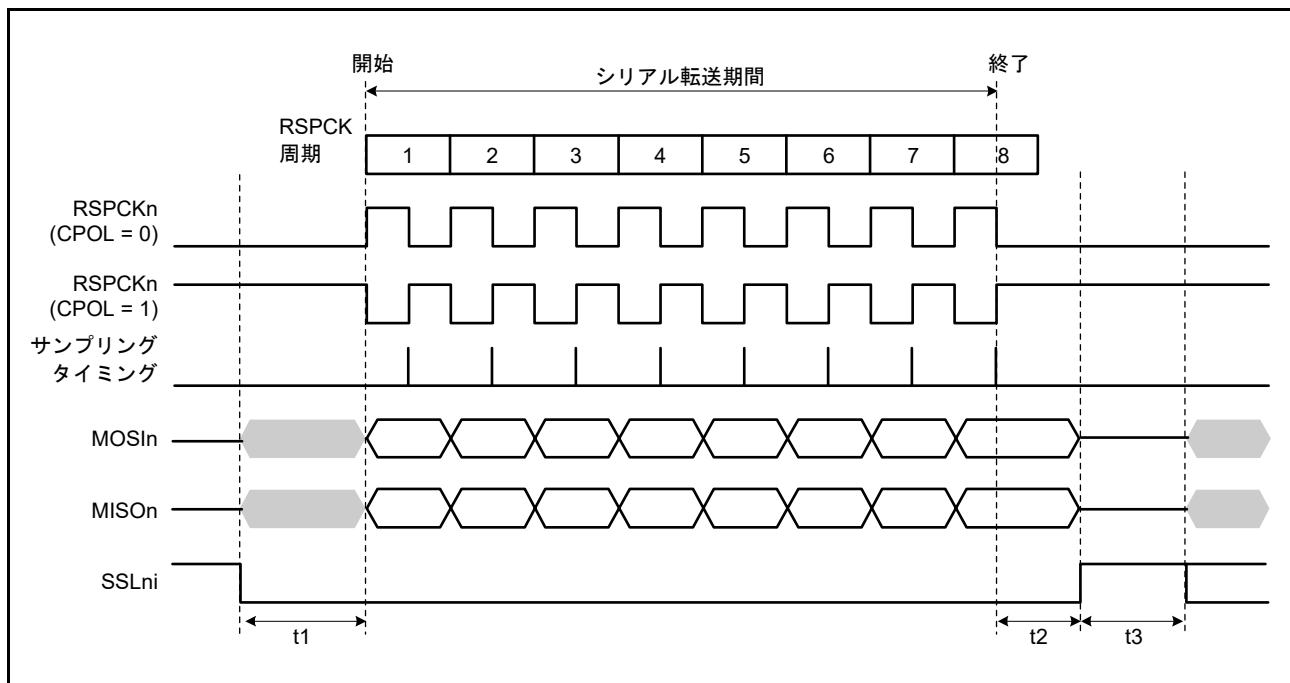


図 31.23 SPI 転送フォーマット (CPHA ビット = 1)

31.3.6 データ転送モード

通信動作モード選択ビット (SPCR.TXMD) の設定により、全二重同期式シリアル通信または送信のみの動作が選択できます。図 31.24、図 31.25 に記載のレジスタアクセスは、SPDR/SPDR_HA レジスタへのアクセス状況を示しています。W は書き込みサイクルを示しています。

31.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD = 0)

図 31.24 に、通信動作モード選択ビット (SPCR.TXMD) を 0 にした場合の動作例を示します。この例では、SPDCR.SPFC[1:0] ビットが 00b、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数 (= 転送ビット数) を示しています。

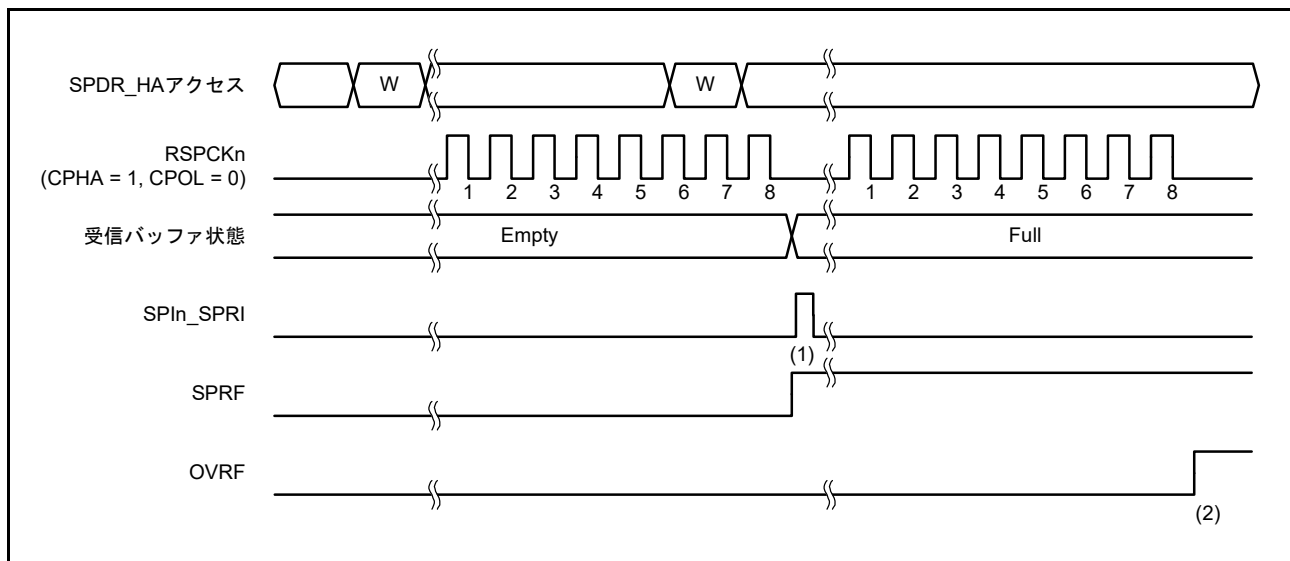


図 31.24 SPCR.TXMD = 0 の動作例

以下に、図 31.24 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) SPDR_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPIn_SPRI) を発生させ、SPSR.SPRF フラグを 1 にして、シフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR_HA レジスタの受信バッファに以前のシリアル転送の受信データがある状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にしてシフトレジスタの受信データを破棄します。

31.3.6.2 送信動作のみ (SPCR.TXMD = 1)

図 31.25 に、通信動作モード選択ビット (SPCR.TXMD) を 1 にした場合の動作例を示します。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

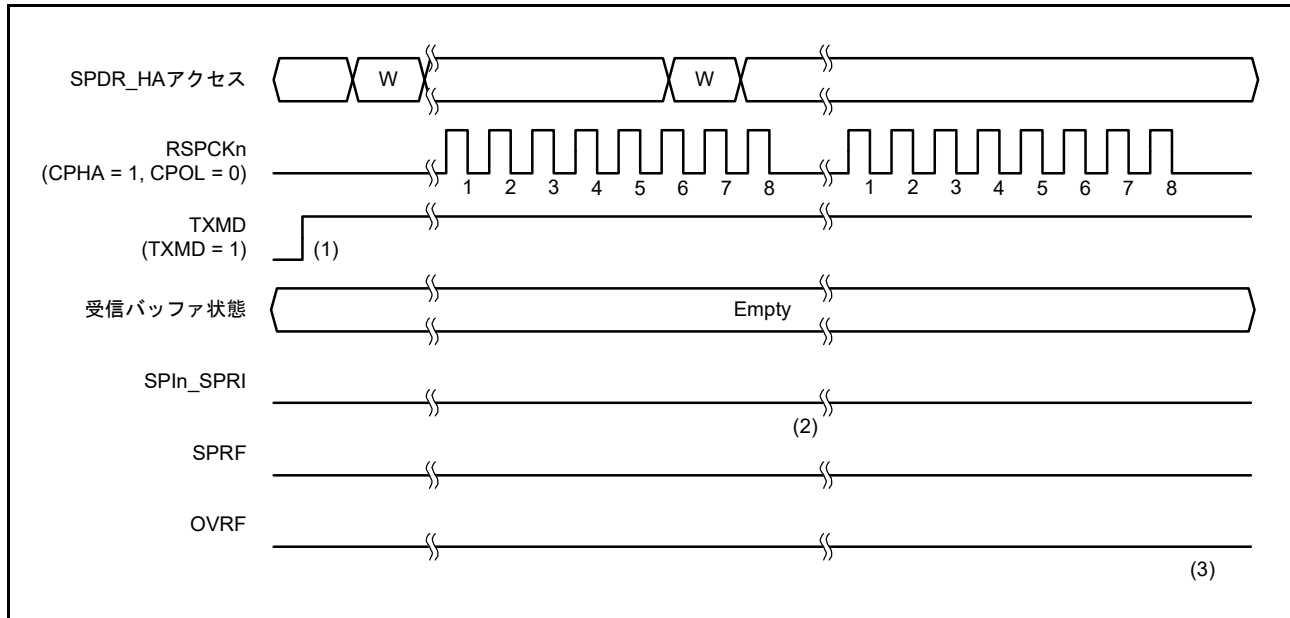


図 31.25 SPCR.TXMD = 1 の動作例

以下に、図 31.25 の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみ動作 (SPCR.TXMD = 1) への遷移は、受信バッファにデータが残っていないこと (SPSR.SPRF = 0)、SPSR.OVRF フラグが 0 であることを確認してから、行ってください。
- (2) SPDR_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信動作のみモードを選択している場合 (SPCR.TXMD = 1)、SPSR.SPRF フラグは 0 を保持し、SPI はシフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR_HA レジスタの受信バッファに以前のシリアル転送の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは 0 を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信動作のみ (SPCR.TXMD = 1) では、SPI は送信データを送信しますが、データ受信はしません。そのため、SPSR.SPRF および SPSR.OVRF フラグは (1) ~ (3) それぞれのタイミングで 0 を保持します。

31.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 31.26 および図 31.27 に、送信バッファエンプティ割り込み (SPIn_SPTI) と受信バッファフル割り込み (SPIn_SPRI) の動作例を示します。これらの図に記載のレジスタアクセスは、SPDR_HA レジスタへのアクセス状況を示しています。“W”はライトサイクル、“R”はリードサイクルを示しています。図 31.26 では、SPCR.TXMD ビットが 0、SPCMD0.CPHA ビットが 0、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。

図 31.27 では、SPCR.TXMD ビットが 0、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、転送ビット数などの RSPCK サイクル数を示しています。

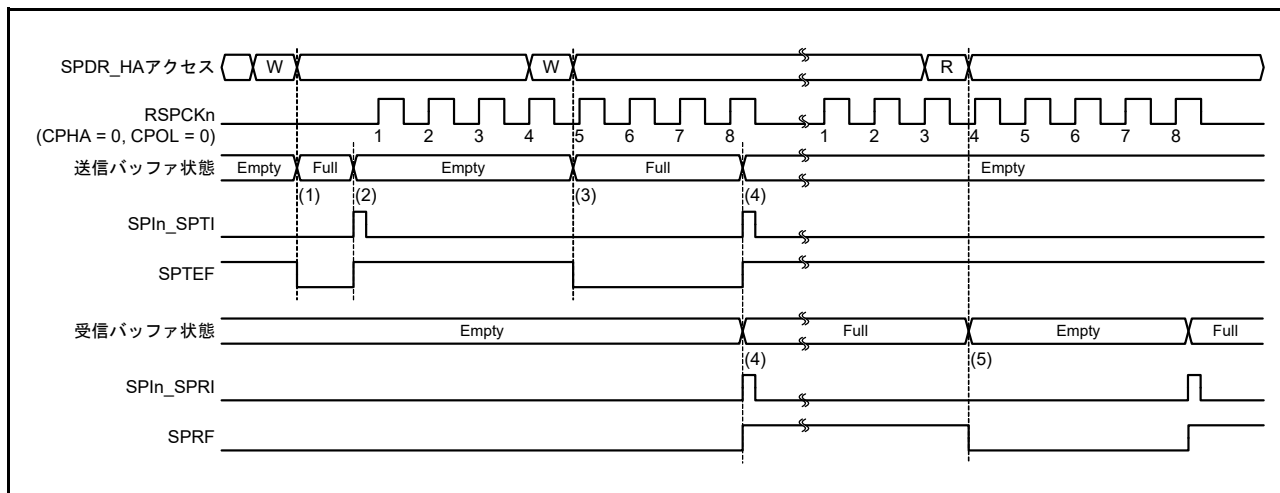


図 31.26 SPIn_SPTI、SPIn_SPRI 割り込みの動作例 (CPHA = 0、CPOL = 0)

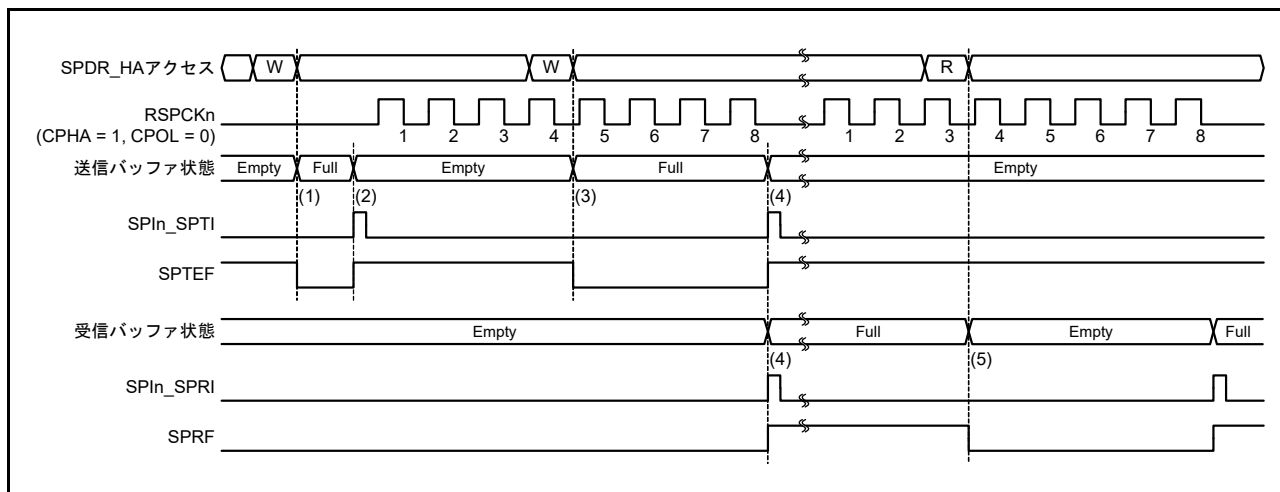


図 31.27 SPIn_SPTI、SPIn_SPRI 割り込みの動作例 (CPHA = 1、CPOL = 0)

以下に、図 31.27 の (1) ~ (5) での SPI の動作内容を説明します。

- (1) SPDR_HA レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを 0 にクリアします。
- (2) シフトレジスタが空の場合には、SPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPIn_SPTI) を発生させ、SPSR.SPTEF フラグを 1 にします。なお、シリアル転送の開始方法は、SPI のモードに依存します。詳細は、31.3.10 SPI 動作および 31.3.11 クロック同期式動作を参照してください。

- (3) 送信バッファエンプティ割り込みルーチン、または SPTEF フラグによる送信バッファエンプティの処理で SPDR_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPTEF フラグを 0 にクリアします。シフトレジスタにはシリアル転送中のデータが格納されているため、SPI は送信バッファのデータをシフトレジスタにコピーしません。
- (4) SPDR_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、SPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPIIn_SPRI) を発生させ、SPRF フラグを 1 にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、SPI が SPTEF フラグを 1 にし、送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタが空であると判断し、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
- (5) 受信バッファフル割り込みルーチン、または SPRF フラグによる受信バッファフルの処理で SPDR_HA レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある状態 (SPTEF = 0) で、SPDR_HA レジスタへ書き込みが行われた場合には、SPI は送信バッファのデータを更新しません。SPDR_HA レジスタへ書き込む場合は、送信バッファエンプティ割り込み要求を使用するか、または SPTEF フラグによる送信バッファエンプティ割り込みの処理を行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR.SPTIE ビットを 1 にしてください。SPI 機能が無効 (SPCR.SPE = 0) の場合には、SPTIE ビットを 0 にしてください。

受信バッファフルの状態 (SPRF = 1) で、シリアル転送が終了した場合には、SPI はシフトレジスタから受信バッファへデータをコピーせず、オーバーランエラーを検出します (31.3.8 エラー検出を参照してください)。受信データのオーバーランエラーを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また、SPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを 1 にしてください。

送信/受信バッファの状態は、送信/受信割り込み、または関連する ICU の IELSRj.IR フラグ (j は割り込みベクタ番号) によって確認することが可能です。同様に、SPTEF および SPRF フラグによっても、送信/受信バッファの状態を確認できます。割り込みベクタ番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

31.3.8 エラー検出

通常の SPI のシリアル転送では、SPDR/SPDR_HA レジスタの送信バッファに書き込んだデータが送信され、受信したデータは SPDR/SPDR_HA レジスタの受信バッファから読み出すことができます。SPDR/SPDR_HA レジスタにアクセスがあった場合、送信または受信バッファの状態やシリアル転送の開始時または終了時の SPI の状態によって、通常以外の転送となることがあります。

通常以外の転送動作が発生した場合には、SPI はアンダーランエラー、オーバーランエラー、パリティエラー、またはモードフォルトエラーとして検出します。表 31.7 に、通常以外の転送動作と SPI のエラー検出機能の関係を示します。

表 31.7 通常以外の転送動作と SPI のエラー検出機能の関係

	発生条件	SPI 動作	エラー検出
1	送信バッファフルの状態です PDR/SPDR_HA レジスタに書き込み	<ul style="list-style-type: none"> 送信バッファ内容を保持 書き込みデータ欠落 	なし
2	受信バッファエンプティの状態です PDR/SPDR_HA レジスタを読み出し	受信バッファ内容および受信済みデータを出力	なし
3	SPI がデータ送信不能のときに、スレーブモードでシリアル転送が開始	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 MISOA 出力信号のドライブ停止 SPI 機能は無効 	アンダーランエラー
4	受信バッファフルの状態です、シリアル転送が終了	<ul style="list-style-type: none"> 受信バッファ内容を保持 受信データ欠落 	オーバーランエラー
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー
6	マルチマスタモードでシリアル転送アイドル時に SSLn0 入力信号アサート	<ul style="list-style-type: none"> RSPCKn、MOSIn、SSLn1～SSLn3 出力信号のドライブ停止 SPI 機能は無効 	モードフォルトエラー
7	マルチマスタモードでシリアル転送中に SSLn0 入力信号アサート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 RSPCKn、MOSIn、SSLn1～SSLn3 出力信号のドライブ停止 SPI 機能は無効 	モードフォルトエラー
8	スレーブモードでシリアル転送中に SSLn0 入力信号ネゲート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 MISO 出力信号のドライブ停止 SPI 機能は無効 	モードフォルトエラー

表 31.7 の 1 に示した動作に対しては、SPI はエラーを検出しません。SPDR/SPDR_HA レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求で SPDR/SPDR_HA レジスタへの書き込み動作を実行してください (SPSR.SPTEF フラグ = 1 の場合)。2 に示した動作に対しても、SPI はエラーを検出しません。不要なデータを読み出さないようにするためには、SPI 受信バッファフル割り込み要求で SPDR/SPDR_HA レジスタの読み出し動作を実行するようにしてください (SPSR.SPRF フラグ = 1 の場合)。

各種のエラーについては、以下の項を参照してください。

- 動作 3 のアンダーランエラーについては、[31.3.8.4 アンダーランエラー](#)を参照
- 動作 4 のオーバーランエラーについては、[31.3.8.1 オーバーランエラー](#)を参照
- 動作 5 のパリティエラーについては、[31.3.8.2 パリティエラー](#)を参照
- 動作 6～8 のモードフォルトエラーについては、[31.3.8.3 モードフォルトエラー](#)を参照
- 送信および受信割り込みについては、[31.3.7 送信バッファエンプティ/受信バッファフル割り込み](#)を参照

31.3.8.1 オーバーランエラー

SPDR/SPDR_HA レジスタの受信バッファフル状態でシリアル転送が終了すると、SPI はオーバーランエラーを検出して SPSR.OVRF フラグを 1 にします。OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしません (受信バッファにはエラー発生前のデータが保持されます)。OVRF フラグを 0 にするには、OVRF フラグが 1 の状態の SPSR レジスタを CPU が読み出した後に、OVRF フラグに 0 を書いてください。

図 31.28 に、OVRF フラグと SPRF フラグの動作例を示します。図 31.28 に記載した SPSR アクセスと SPDR_HA アクセスは、“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCK_n 波形の下に記載した数字は、転送ビット数などの RSPCK サイクル数を示しています。

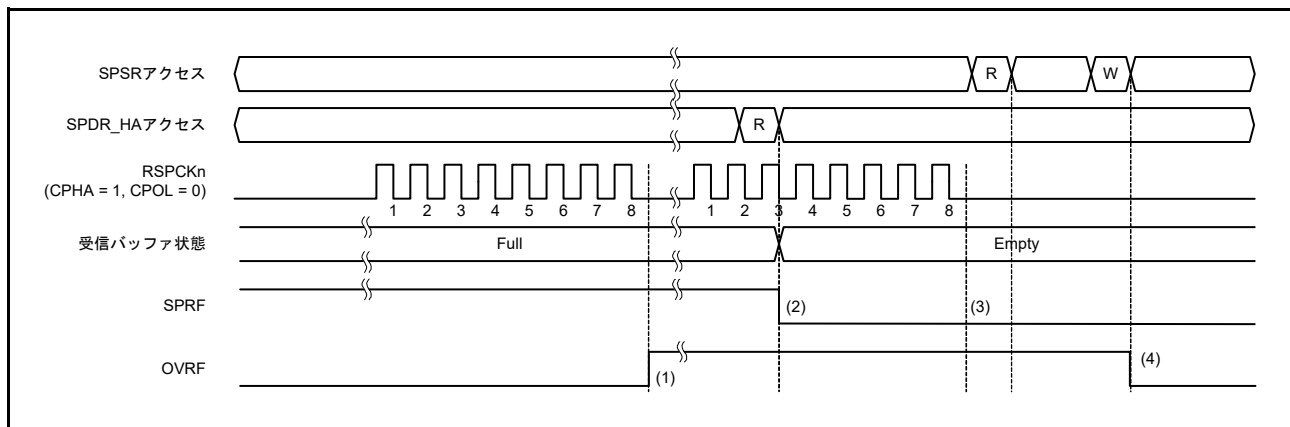


図 31.28 OVRF フラグおよび SPRF フラグの動作例

図 31.28 の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPRF フラグが 1 (受信バッファフル) の状態でシリアル転送が終了すると、SPI がオーバーランエラーを検出し、OVRF フラグを 1 にします。SPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。
- (2) SPDR/SPDR_HA レジスタを読み出すと、SPI は受信バッファのデータを出力します。その後、SPRF フラグが 0 になります。受信バッファが空になっても、OVRF フラグは 0 になりません。
- (3) OVRF フラグが 1 の状態 (オーバーランエラー) でシリアル転送が終了した場合には、SPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは 1 になりません)。受信バッファフル割り込みも発生しません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。オーバーランエラー発生状態で、SPI がシフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタを空であると判定します。これにより、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
- (4) OVRF フラグが 1 の状態で SPSR レジスタを読んだ後、OVRF フラグに 0 を書くと、OVRF フラグは 0 になります。

SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、オーバーランの発生を確認できます。シリアル転送を実行する場合には、SPDR_HA レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。オーバーランエラーが発生して OVRF フラグが 1 になると、OVRF フラグが 0 になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバーランエラーが発生しません。図 31.29、図 31.30 にマスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

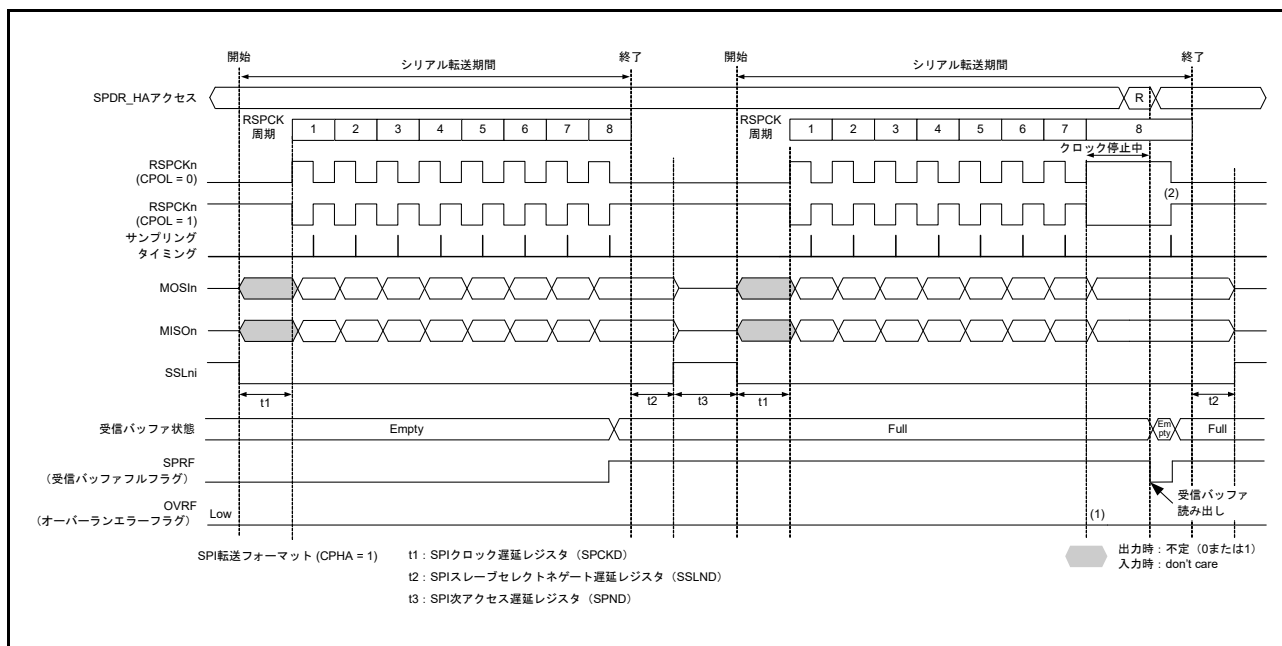


図 31.29 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

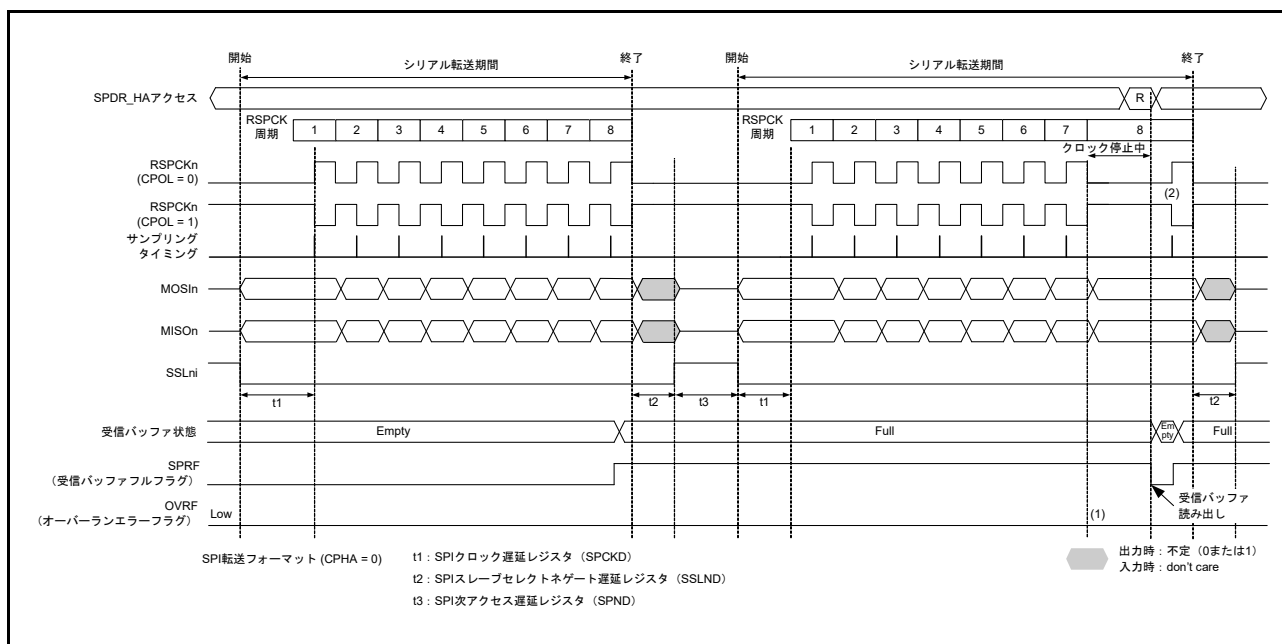


図 31.30 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図 31.29 および図 31.30 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) 受信バッファフルの場合は、RSPCK クロックが停止するためオーバーランエラーは発生しません。
- (2) クロック停止中に SPDR/SPDR_HA レジスタを読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後 (SPSR.SPRF フラグが 0 にされた後)、RSPCK クロックが再開します。

31.3.8.2 パリティエラー

SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で、全二重同期式シリアル通信を行い、転送が終了すると、SPI はパリティエラーの判定を行います。SPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを 1 にします。SPSR.OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを 0 にするためには、PERF フラグが 1 の状態の SPSR レジスタを読んだ後、PERF フラグに 0 を書いてください。

図 31.31 に、OVRF フラグと PERF フラグの動作例を示します。図 31.31 に記載した SPSR アクセスでは、W は書き込みサイクル、R は読み出しサイクルを示しています。図 31.31 では、SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で全二重同期式シリアル通信を行います。SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、転送ビット数などの RSPCK サイクル数を示しています。

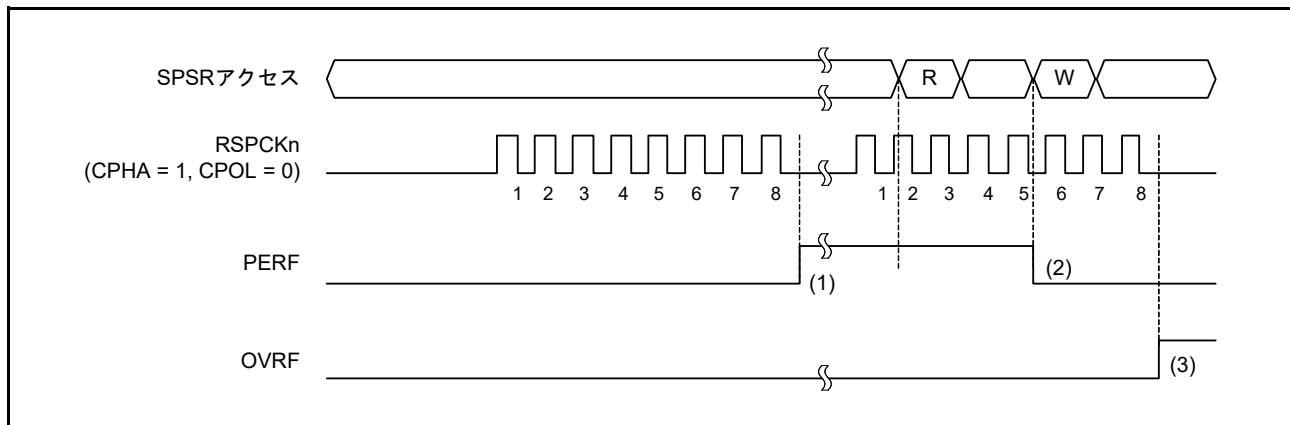


図 31.31 OVRF フラグおよび PERF フラグの動作例

以下に、図 31.31 の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPI がオーバーランエラーを検出せず、シリアル転送が終了すると、SPI はシフトレジスタのデータを受信バッファにコピーします。このとき、SPI が受信データをチェックし、パリティエラーを検出すると PERF フラグを 1 にします。
- (2) PERF フラグが 1 の状態で SPSR レジスタを読んだ後、PERF フラグに 0 を書くと、PERF フラグは 0 になります。
- (3) SPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーせず、SPI はパリティエラーを検出しません。

SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、パリティエラーの発生を確認できます。シリアル転送を実行する場合には、SPSR レジスタエラーを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。

31.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが 1、SPCR.SPMS ビットが 0、SPCR.MODFEN ビットが 1 の場合には、SPI はマルチマスタモードで動作します。マルチマスタモードの SPI の SSLn0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、SPI はモードフォルトエラーを検出して SPSR.MODF フラグを 1 にします。なお、SSLn0 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが 0 の場合には、SPI はスレーブモードで動作します。スレーブモードの SPI の MODFEN ビットが 1、SPMS ビットが 0 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSLn0 入力信号がネゲートされると、SPI はモードフォルトエラーを検出します。

SPI はモードフォルトエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします（31.3.9 SPI の初期化を参照）。マルチマスタ構成の場合には、モードフォルトエラーの検出によって出力信号のドライブと SPI 機能を停止させ、マスタであることを解除できます。

モードフォルトエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にしてください。

31.3.8.4 アンダーランエラー

SPCR.MSTR ビットが 0（スレーブモード）、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態でシリアル転送が開始すると、SPI はアンダーランエラーを検出します。その後、SPI は SPSR.MODF フラグおよび SPSR.UDRF フラグを 1 にします。

SPI はアンダーランエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします（31.3.9 SPI の初期化を参照）。

アンダーランエラーは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにアンダーランエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPE ビットへの 1 の書き込みを無視します。アンダーランエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にする必要があります。

31.3.9 SPI の初期化

SPCR.SPE ビットに 0 を書いた場合、あるいは SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPE ビットを 0 にした場合は、SPI は SPI 機能を無効にして、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、SPI はモジュール機能をすべて初期化します。以下では、SPCR.SPE ビットをクリアすることによる初期化と、システムリセットによる初期化について説明します。

31.3.9.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを 0 にしたとき、SPI は以下に示す方法で初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- SPI 内部ステータスの初期化
- SPI 送信バッファの初期化 (SPSR.STEF フラグが 1 になります)

SPE ビットのクリアによる初期化では、SPI の制御ビットは初期化されません。このため、再度 SPE ビットを 1 にすれば初期化前と同じ転送モードで SPI を起動できます。

SPSR.SPRF、SPSR.OVRF、SPSR.MODF、SPSR.PERF、および SPSR.UDRF フラグの値は初期化されません。そのため、SPI シーケンスステータスレジスタ (SPSSR) の値も SPI0 用に初期化はされません。このため、SPI の初期化後も受信バッファからデータを読み出すことで、SPI 転送時のエラー状況を確認できます。

送信バッファは空の状態に初期化されます (SPSR.SPTEF フラグが 1 になります)。このため、SPI 初期化後に SPCR.SPTIE ビットを 1 にしていると、送信バッファエンプティ割り込みが発生します。SPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの 0 書き込みと同時に SPTIE ビットにも 0 を書き込んでください。

31.3.9.2 システムリセットによる初期化

システムリセットでは、[31.3.9.1 SPE ビットのクリアによる初期化](#)に記載の要件に加え、SPI 制御用の全ビット、ステータスビット、およびデータレジスタが初期化されることにより、SPI が完全に初期化されます。

31.3.10 SPI 動作

31.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出の使用のみです (31.3.8 エラー検出を参照)。SPI は、シングルマスタモードの動作ではモードフォルトエラーを検出しませんが、マルチマスタモードでは検出します。以下では、シングルマスタモードおよびマルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

SPI 送信バッファが空きの状態で SPI データレジスタ (SPDR/SPDR_HA) にデータが書き込まれ、次転送のデータがセットされていない (SPSR.SPTEF フラグ=1) とき、SPI は送信バッファ (SPTX) のデータを更新します。シフトレジスタが空の場合、SPI は送信バッファのデータをシフトレジスタへコピーしてシリアル転送を開始します。SPI は、シフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更し、シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。SPI の転送フォーマットの詳細については、31.3.5 転送フォーマットを参照してください。

(2) シリアル転送の終了

SPCMD0.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCK_n エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF=0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファにデータをコピーします。

注 . 最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMD0.SPB[3:0] ビットの設定値で決まります。SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。SPI の転送フォーマットの詳細については、31.3.5 転送フォーマットを参照してください。

(3) RSPCK 遅延 (t1)

マスタモードでの RSPCK 遅延は、SPCMD0.SCKDEN ビットの設定値と SPCKD レジスタの設定値で決まります。SPI は SPCMD0.SCKDEN ビットと SPCKD レジスタを使用して、表 31.8 のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、31.3.5 転送フォーマットを参照してください。

表 31.8 SCKDEN ビット、SPCKD レジスタ、RSPCK 遅延の関係

SPCMD0.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK
0	000b ~ 111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

(4) SSL ネゲート遅延 (t2)

マスタモードでの SSL ネゲート遅延は、SPCMD0.SLN DEN ビットの設定値と SSLND レジスタの設定値で決まります。SPI は SPCMD0.SLN DEN ビットと SSLND レジスタを使用して、表 31.9 のように SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、31.3.5 転送フォーマットを参照してください。

表 31.9 SLN DEN ビット、SSLND レジスタ、SSL ネゲート遅延の関係

SPCMD0.SLN DEN ビット	SSLND.SLN DL[2:0] ビット	SSL ネゲート遅延
0	000b ~ 111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

(5) 次アクセス遅延 (t3)

マスタモードでの次アクセス遅延は、SPCMD0.SPNDEN ビットの設定値と SPND レジスタの設定値で決まります。SPI は、SPCMD0.SPNDEN ビットと SPND レジスタを使用して、表 31.10 のようにシリアル転送時の次アクセス遅延を決定します。なお、次アクセス遅延の定義については、31.3.5 転送フォーマットを参照してください。

表 31.10 SPNDEN ビット、SPND レジスタ、次アクセス遅延の関係

SPCMD0.SPNDEN ビット	SPND.SPNDL[2:0] ビット	次アクセス遅延
0	000b ~ 111b	1RSPCK + 2PCLKA
1	000b	1RSPCK + 2PCLKA
	001b	2RSPCK + 2PCLKA
	010b	3RSPCK + 2PCLKA
	011b	4RSPCK + 2PCLKA
	100b	5RSPCK + 2PCLKA
	101b	6RSPCK + 2PCLKA
	110b	7RSPCK + 2PCLKA
	111b	8RSPCK + 2PCLKA

(6) 初期化フロー

図 31.32 に、マスタモードで使用する場合の SPI 初期化フローの例を示します。なお、割り込みコントローラユニット、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

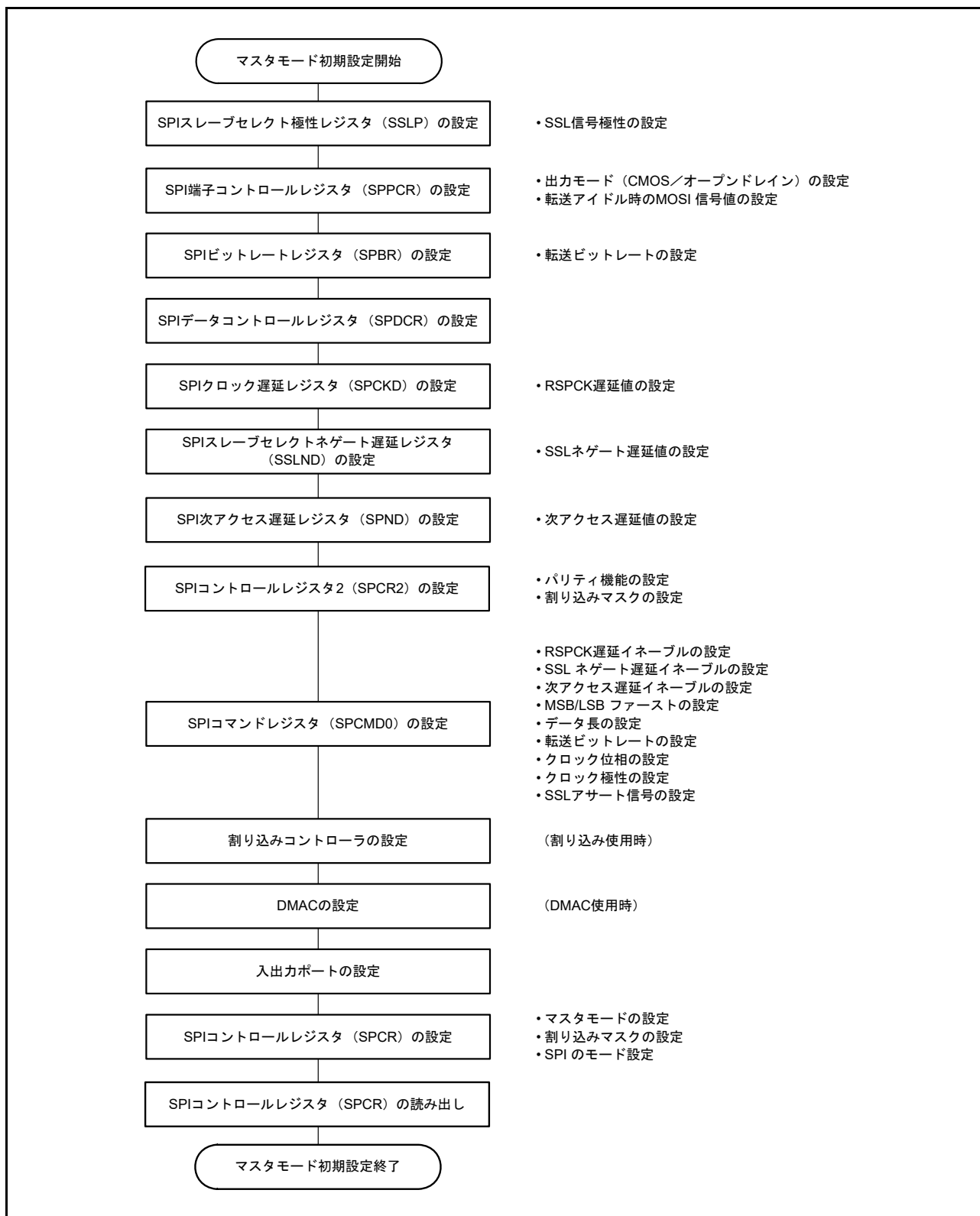


図 31.32 マスタモード時の SPI 動作の初期化フロー例

(7) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 31.33 ~ 図 31.35 に示します。

(a) 送信処理フロー

送信を行う場合、SPIn_SPII 割り込みが有効のときは、送信データの最終データ書き込み後にデータ送信完了を CPU に通知します。

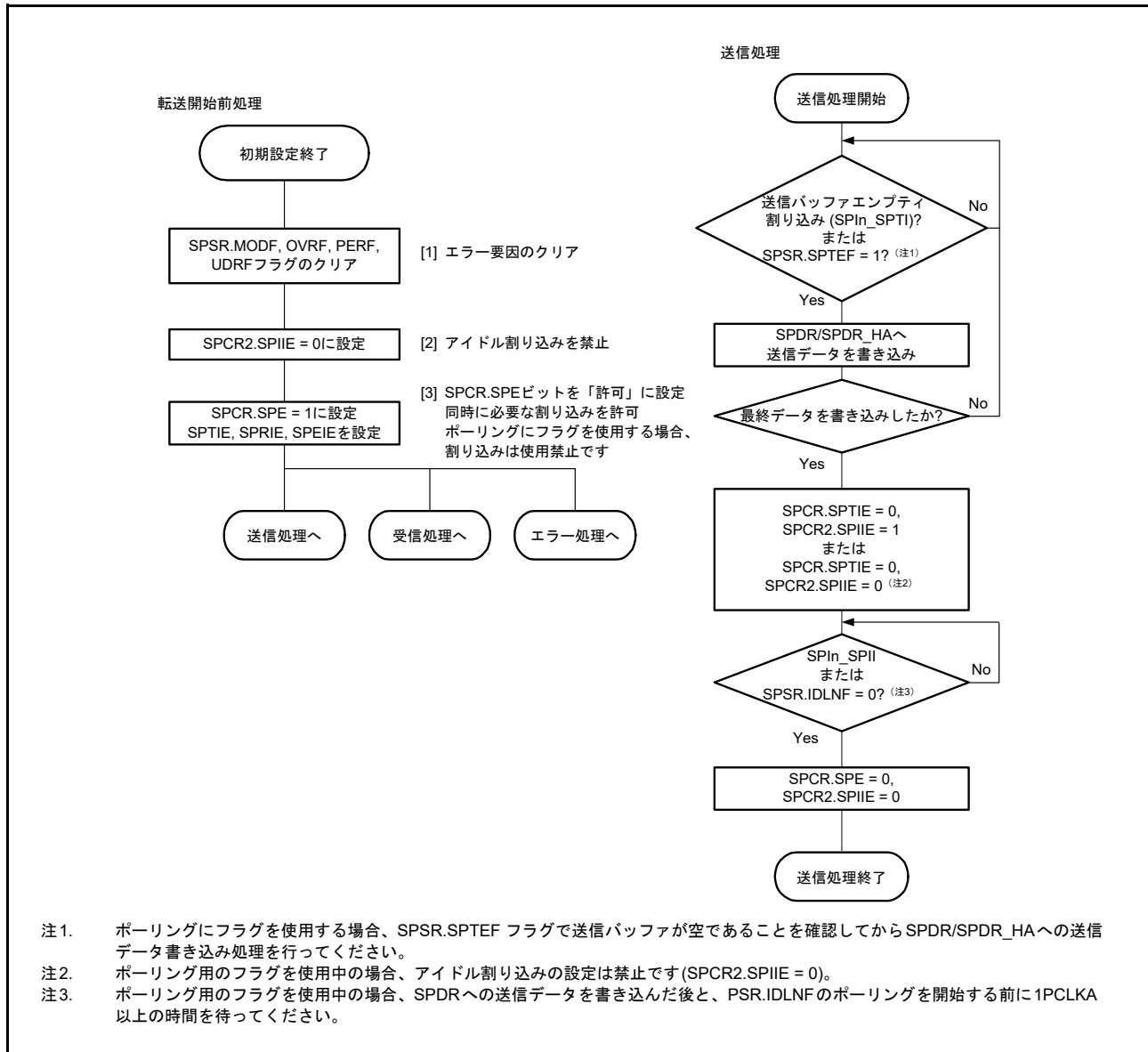


図 31.33 マスタモードでの送信フロー

(b) 受信処理フロー

SPI は受信のみの動作を行わないため、送信を必要とします。

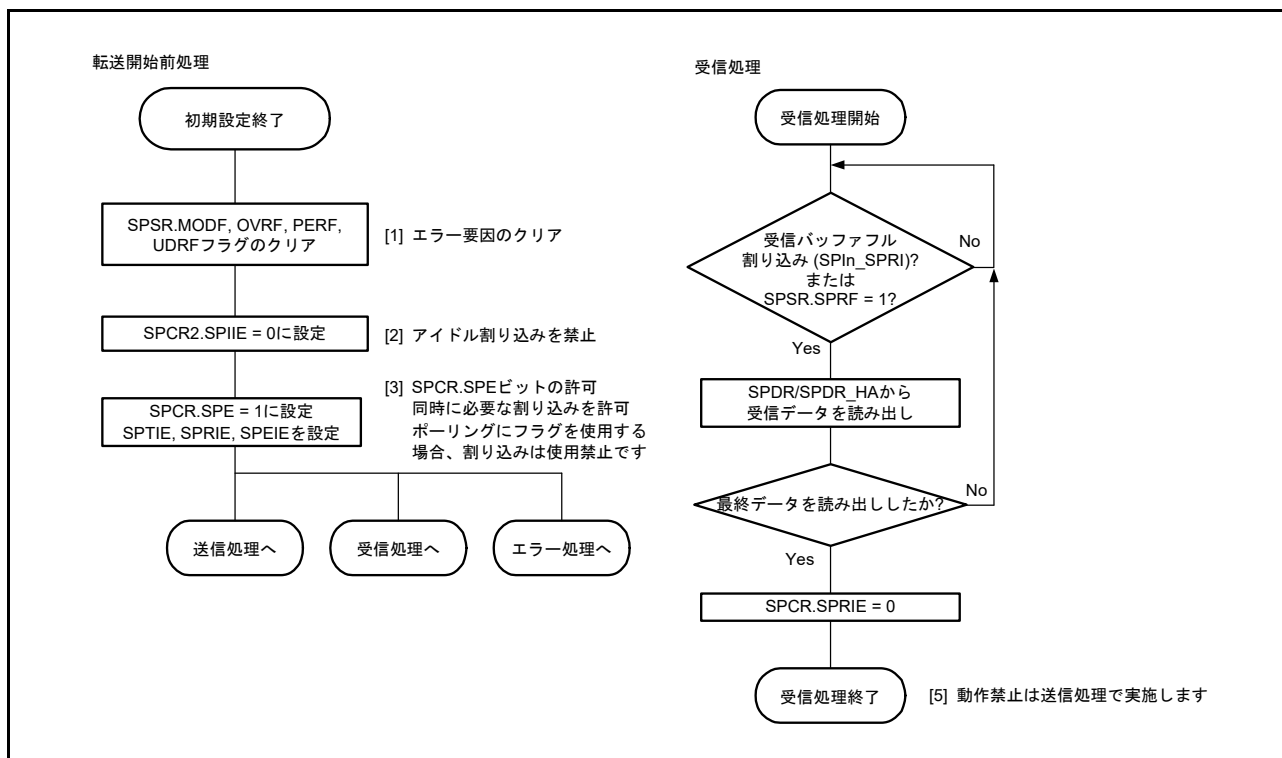


図 31.34 マスタモードでの受信フロー

(c) エラー処理フロー

SPI は以下のエラー検出を行います。

- モードフォルトエラー
- アンダーランエラー
- オーバーランエラー
- パリティエラー

モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送信/受信動作を停止させます。その他のエラー要因では、SPCR.SPE ビットはクリアされず、送信/受信動作は継続します。モードフォルトエラー以外のエラーの場合は、SPCR.SPE ビットをクリアし、動作を停止することが推奨されます。

割り込みによるエラー発生時は、エラー処理ルーチンにて ICU.IELSRj.IR フラグをクリアしてください。クリアしない場合、ICU.IELSRj.IR フラグに送信バッファエンプティ割り込みまたは受信バッファフル割り込み要求が保持されている可能性があります。また、SPIn_SPRI 割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

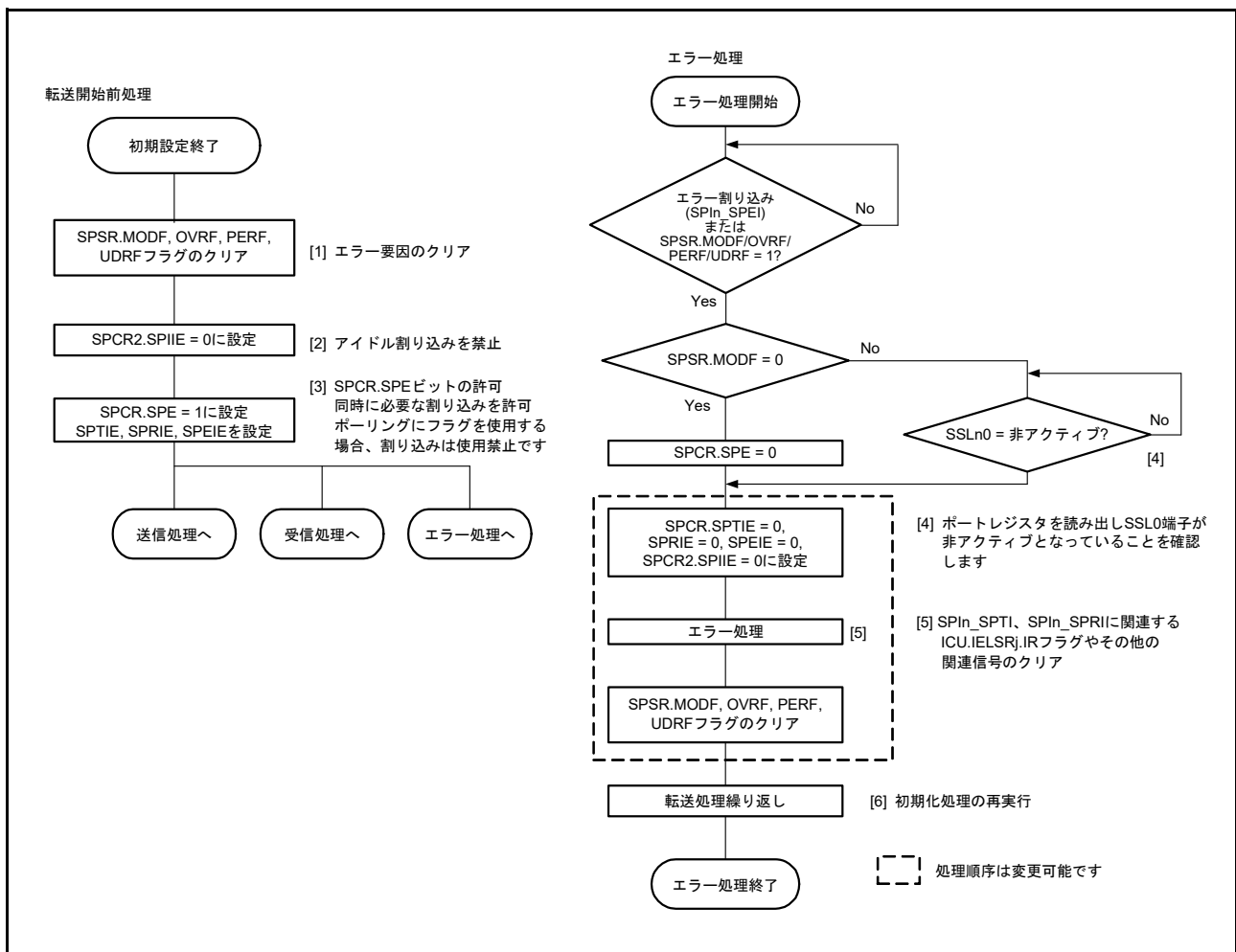


図 31.35 マスタモードでのエラー処理フロー

31.3.10.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 入力信号のアサートを検出すると、MISO_n 出力信号への有効データをドライブする必要があります。このため、CPHA ビットが 0 の場合には、SSLn0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが 1 の場合には、SPI は SSLn0 入力信号のアサート状態で最初の RSPCK_n エッジを検出すると、MISO_n 出力信号への有効データをドライブする必要があります。このため、CPHA ビットが 1 の場合には、SSLn0 信号アサート状態における最初の RSPCK_n エッジがシリアル転送開始のトリガになります。

CPHA ビットの設定にかかわらず、SPI は SSLn0 信号のアサート時に、MISO_n 出力信号のドライブを実行します。CPHA ビットの設定によって、SPI が出力するデータの有効/無効が異なります。

SSLn0 入力信号の極性は、SSLP.SSLOP ビットの設定値で決まります。SPI の転送フォーマットの詳細については、[31.3.5 転送フォーマット](#)を参照してください。

(2) シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、SPI は最終サンプリングタイミングに関連する RSPCK_n エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。シリアル転送開始からシリアル転送終了までの間に SPI が SSLn0 入力信号のネゲートを検出すると、モードフォルトエラーが発生します ([31.3.8 エラー検出](#)を参照)。

最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値で決まります。SSLn0 入力信号の極性は、SSLP.SSLOP ビットの設定値で決まります。SPI の転送フォーマットの詳細については、[31.3.5 転送フォーマット](#)を参照してください。

(3) シングルスレーブ動作時の注意点

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 入力信号のアサートエッジを検出するとシリアル転送を開始します。[図 31.7](#) の例に示したような構成で SPI がシングルスレーブモードの場合は、SSLn0 入力信号がアクティブ状態に固定されます。そのため、CPHA ビットを 0 に設定した SPI では、シリアル転送を正しく開始できません。SSLn0 入力信号がアクティブ状態に固定されているときに、スレーブモードの SPI の送受信を正しく実行するには、CPHA ビットを 1 にしてください。CPHA ビットを 0 にする必要があるアプリケーションの場合、SSLn0 入力信号を固定しないでください。

(4) 初期化フロー

図 31.36 に、SPI がスレーブモードの場合の SPI 動作の初期化フローの例を示します。なお、割り込みコントローラユニット、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

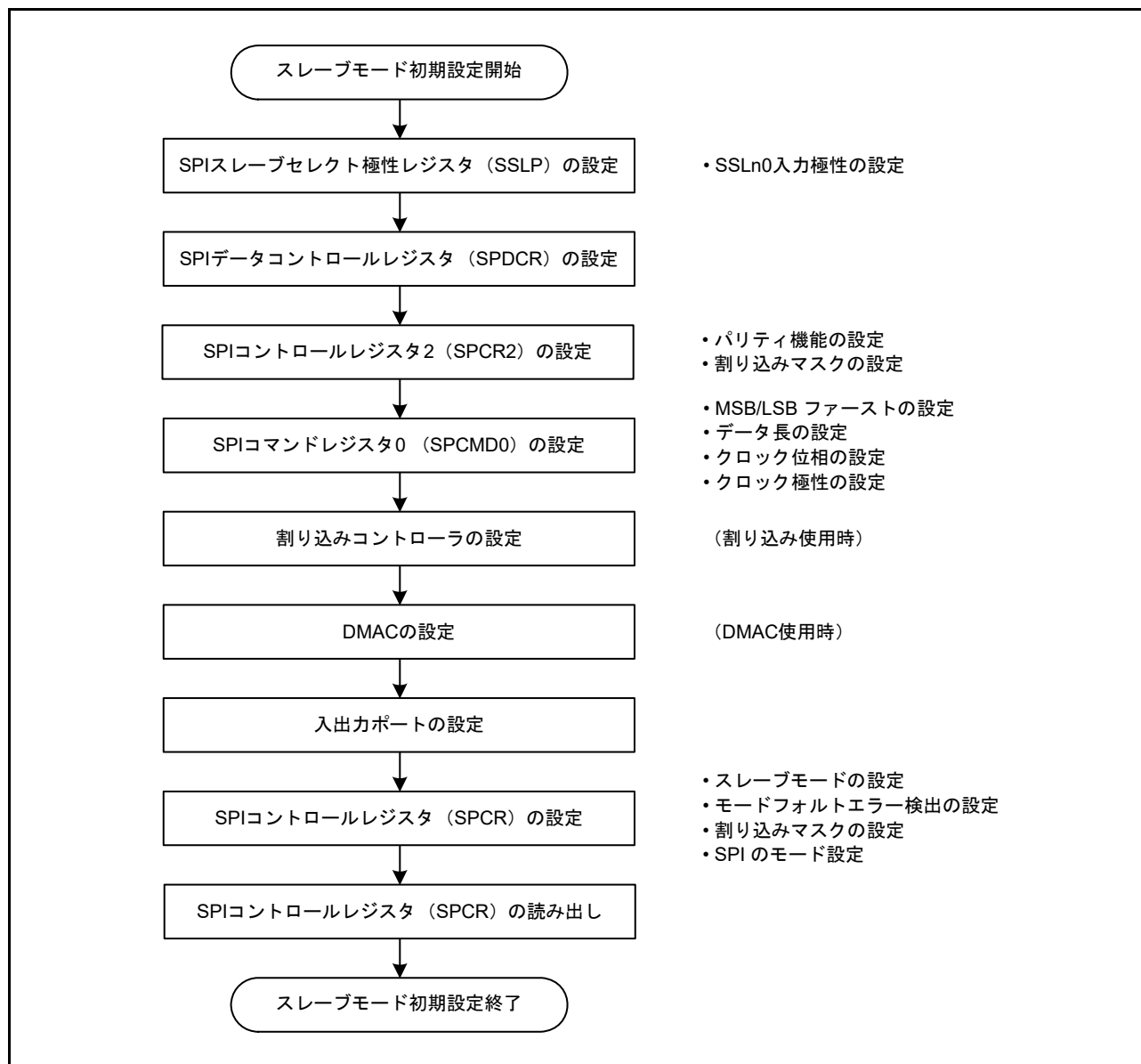


図 31.36 スレーブモード時の SPI 動作の初期化フロー例

(5) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 31.37 ~ 図 31.39 に示します。

(a) 送信処理フロー

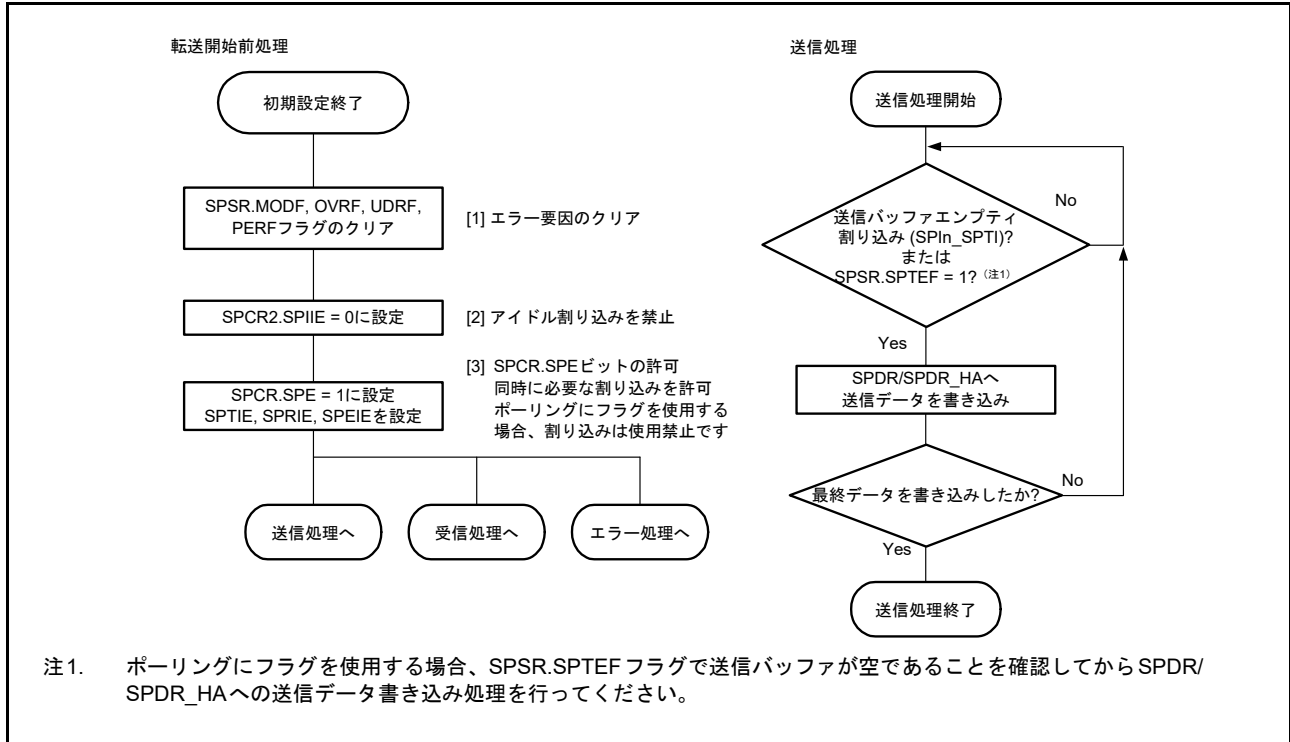


図 31.37 スレーブモードでの送信フロー

(b) 受信処理フロー

SPIは受信のみの動作を行わないため、送信を必要とします。

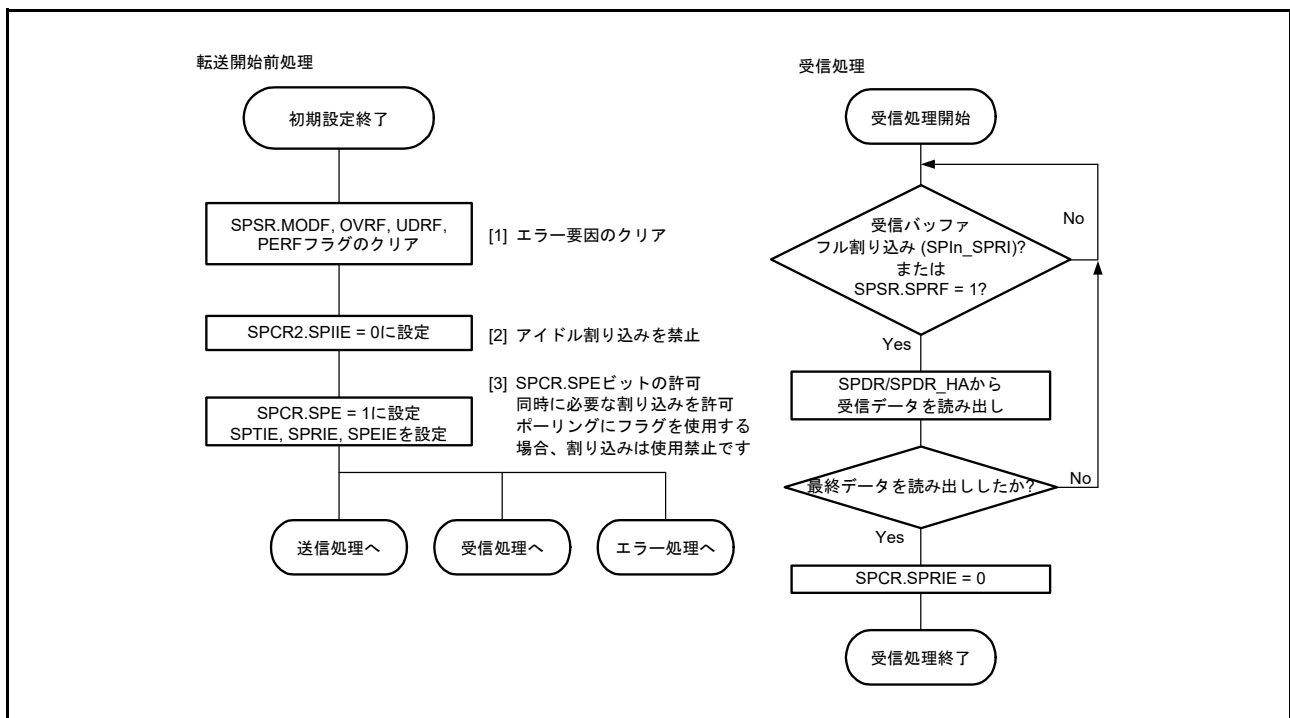


図 31.38 スレーブモードでの受信フロー

(c) エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても、SSLn0 端子の状態にかかわらず SPSR.MODF フラグをクリアすることが可能です。

割り込みによるエラー検出時は、エラー処理ルーチンにて ICU.IELSRj.IR フラグをクリアしてください。クリアしない場合、ICU.IELSRj.IR フラグに送信バッファエンプティ割り込みまたは受信バッファフル割り込み要求が保持されている可能性があります。受信バッファフル割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

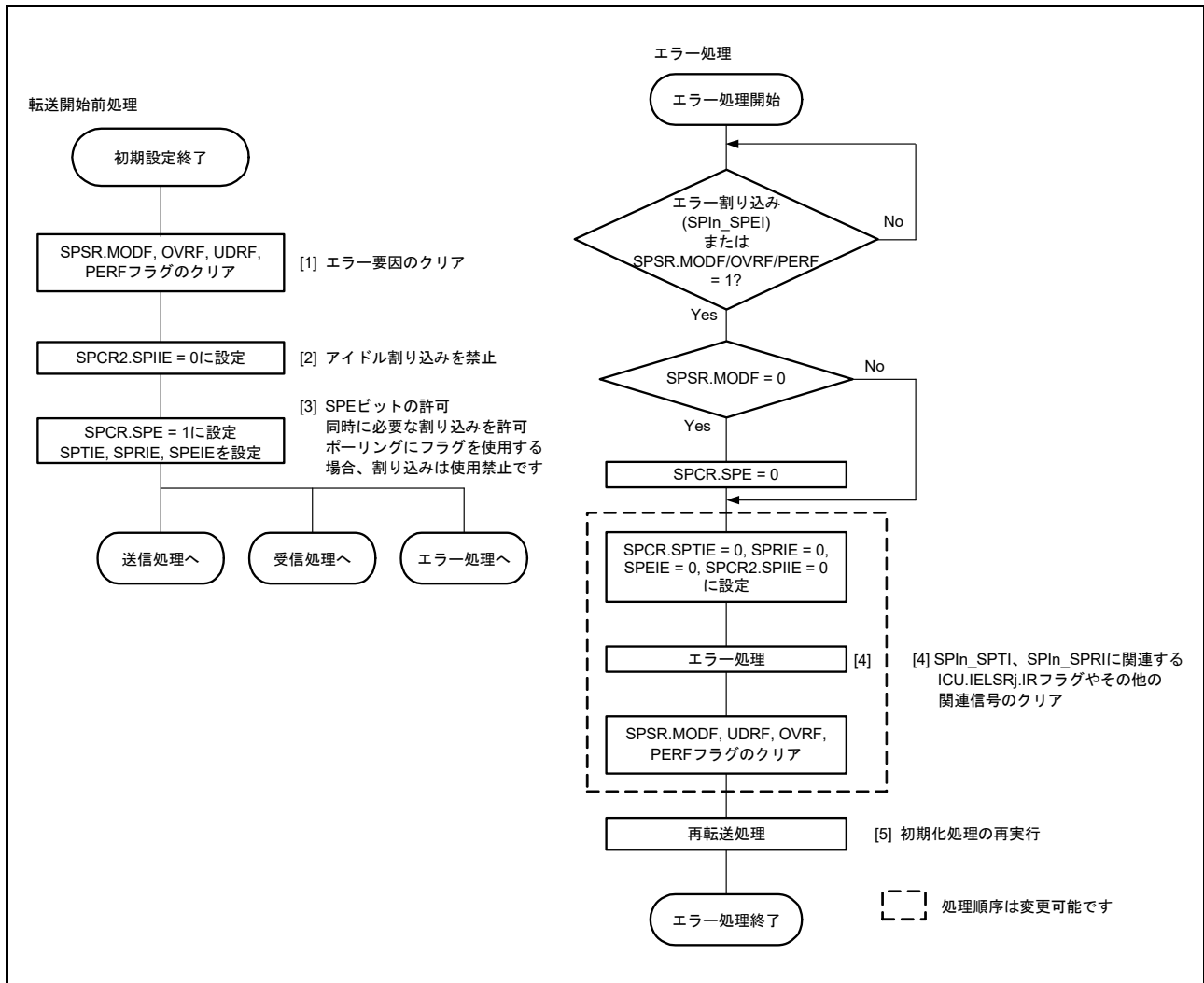


図 31.39 スレーブモードでのエラー処理フロー

31.3.11 クロック同期式動作

SPI は、SPCR.SPMS ビットが 1 であるとき、クロック同期式動作となります。クロック同期式動作は、SSLn_i 端子を使用せず、RSPCK_n、MOSIn、MISO_n の端子を用いて通信を行います。各 SSLn_i 端子は入出力ポートとして使用することが可能です。

クロック同期式動作は、SSLn_i 端子を使用せずに通信を行いますが、モジュールの動作は SPI 動作と同様です。マスタ動作およびスレーブ動作において、SPI 動作時と同様のフローで通信を行うことができますが、SSLn_i 端子を使用しませんので、モードフォルトエラーの検出は行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMD0.CPHA ビットを 0 にした場合の動作はしないでください。

31.3.11.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空、すなわち次転送のデータがセットされておらず、SPSR.SPTEF フラグ = 1 の状態で、SPDR/SPDR_{HA} レジスタへデータを書くと、SPI は SPDR/SPDR_{HA} レジスタの送信バッファ (SPTX) のデータを更新します。データを SPDR/SPDR_{HA} レジスタへ書き込み後にシフトレジスタが空のときは、SPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。SPI は、シフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更し、シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

クロック同期式動作時は、SSLn₀ 出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、[31.3.5 転送フォーマット](#)を参照してください。

(2) シリアル転送の終了

SPI はサンプリングタイミングに対応する RSPCK_n エッジを送出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPI データレジスタ (SPDR/SPDR_{HA}) の受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMD0.SPB[3:0] ビットの設定値で決まります。クロック同期式動作時は、SSLn₀ 出力信号を用いずに転送を行います。

SPI の転送フォーマットの詳細については、[31.3.5 転送フォーマット](#)を参照してください。

(3) 初期化フロー

図 31.40 に、SPI がマスターモードである場合のクロック同期式動作の初期化フローの例を示します。なお、割り込みコントローラユニット、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。



図 31.40 マスターモード時のクロック同期式動作の初期化フロー例

(4) ソフトウェア処理フロー

クロック同期式動作時のマスタモードでのソフトウェア処理は、SPI 動作時のマスタモードでのソフトウェア処理と同様になります。詳細は、[31.3.10.1](#) の (7) [ソフトウェア処理フロー](#) を参照してください。

注. クロック同期式動作では、モードフォルトエラーは発生しません。

31.3.11.2 スレーブモード動作

(1) シリアル転送の開始

SPCR.SPMS ビットが 1 であるとき、最初の RSPCKn エッジが SPI のシリアル転送開始のトリガになり、SPI は MISO_n 出力信号をドライブします。

クロック同期式動作時は SSL_{n0} 入力信号を使用しません。SPI の転送フォーマットの詳細については、[31.3.5 転送フォーマット](#) を参照してください。

(2) シリアル転送の終了

SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値で決まります。

SPI の転送フォーマットの詳細については、[31.3.5 転送フォーマット](#) を参照してください。

(3) 初期化フロー

図 31.41 に、SPI がスレーブモードである場合のクロック同期式動作の初期化フローの例を示します。なお、割り込みコントローラユニット、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

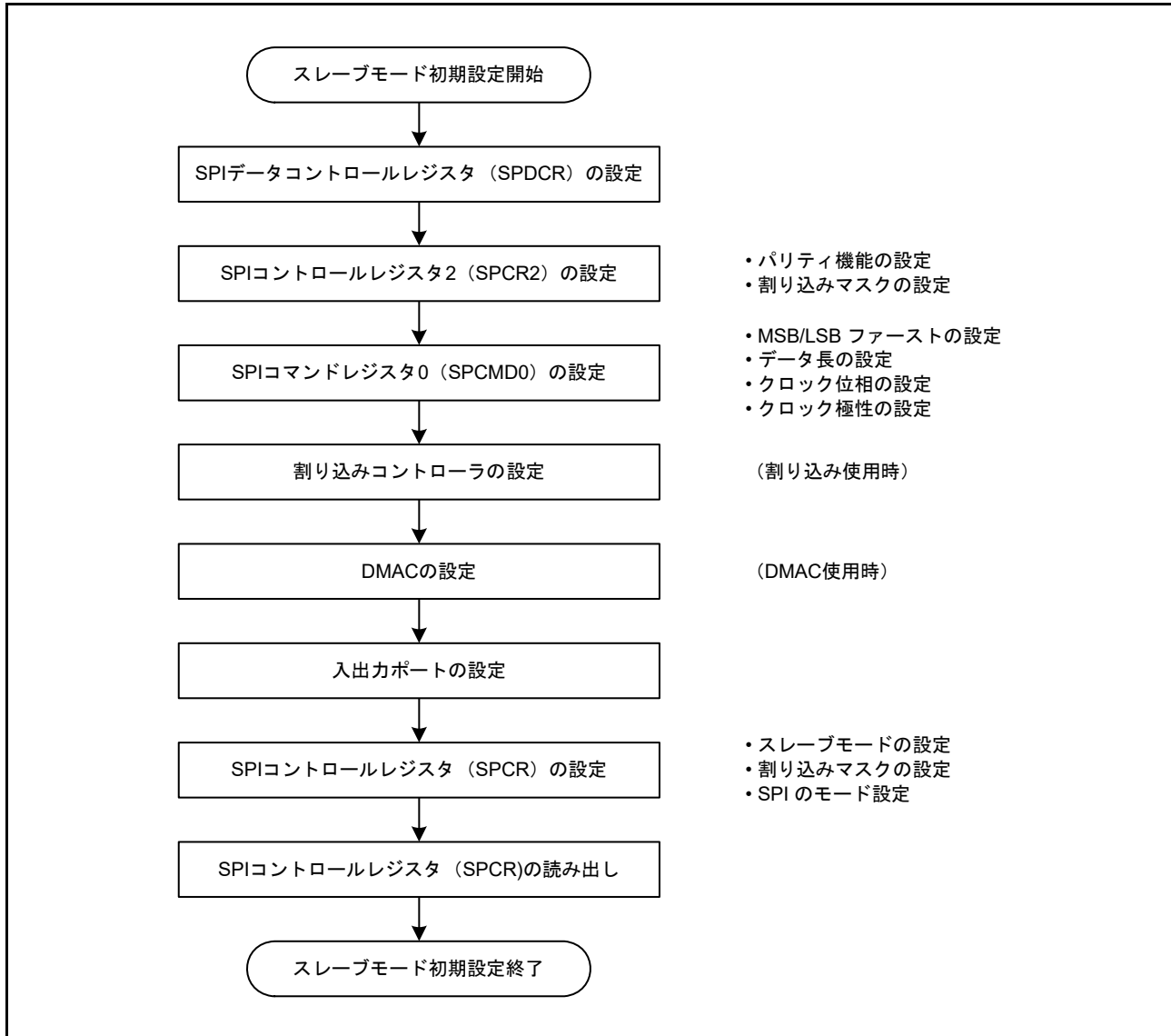


図 31.41 スレーブモード時のクロック同期式動作の初期化フロー例

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモードでのソフトウェア処理は、SPI 動作時のスレーブモードでのソフトウェア処理と同様になります。詳細は、31.3.10.2 の (5) ソフトウェア処理フローを参照してください。

注. クロック同期式モードでは、モードフォルトエラーは発生しません。

31.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPPCR.SPLP ビットに 1 を書き込むと、SPI は、SPCR.MSTR ビットが 1 であれば、MISO_n 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSI_n 端子とシフトレジスタ間の経路を遮断して、シフトレジスタの入力経路と出力経路を接続し、ループバックモードを確立します。また、SPCR.MSTR ビットが 1 であれば、MOSI_n 端子とシフトレジスタ間の経路を遮断せず、SPCR.MSTR ビットが 0 であれば、MISO_n 端子とシフトレジスタ間の経路を遮断しません。ループバックモードでシリアル転送を実行すると、SPI の送信データまたは送信データの反転が SPI の受信データになります。

表 31.11 に、SPLP2 ビット、SPLP ビット、および受信データの関係を示します。また、図 31.42 に、マスターモードの SPI をループバックモード (SPPCR.SPLP2 = 1、SPPCR.SPLP = 0 または 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 31.11 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSI _n 端子または MISO _n 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

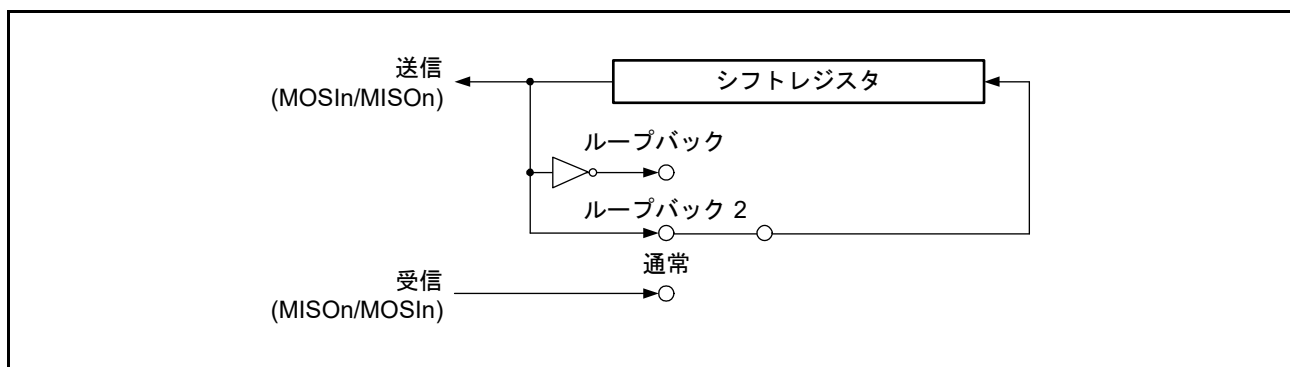


図 31.42 ループバックモード時のシフトレジスタ入出力経路の構成 (マスターモード)

31.3.13 パリティビット機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と、受信データに対するエラー検出部で構成されます。パリティ付加部とエラー検出部の故障を検出するために、[図 31.43](#) に示すように、パリティ回路は自己診断を行います。

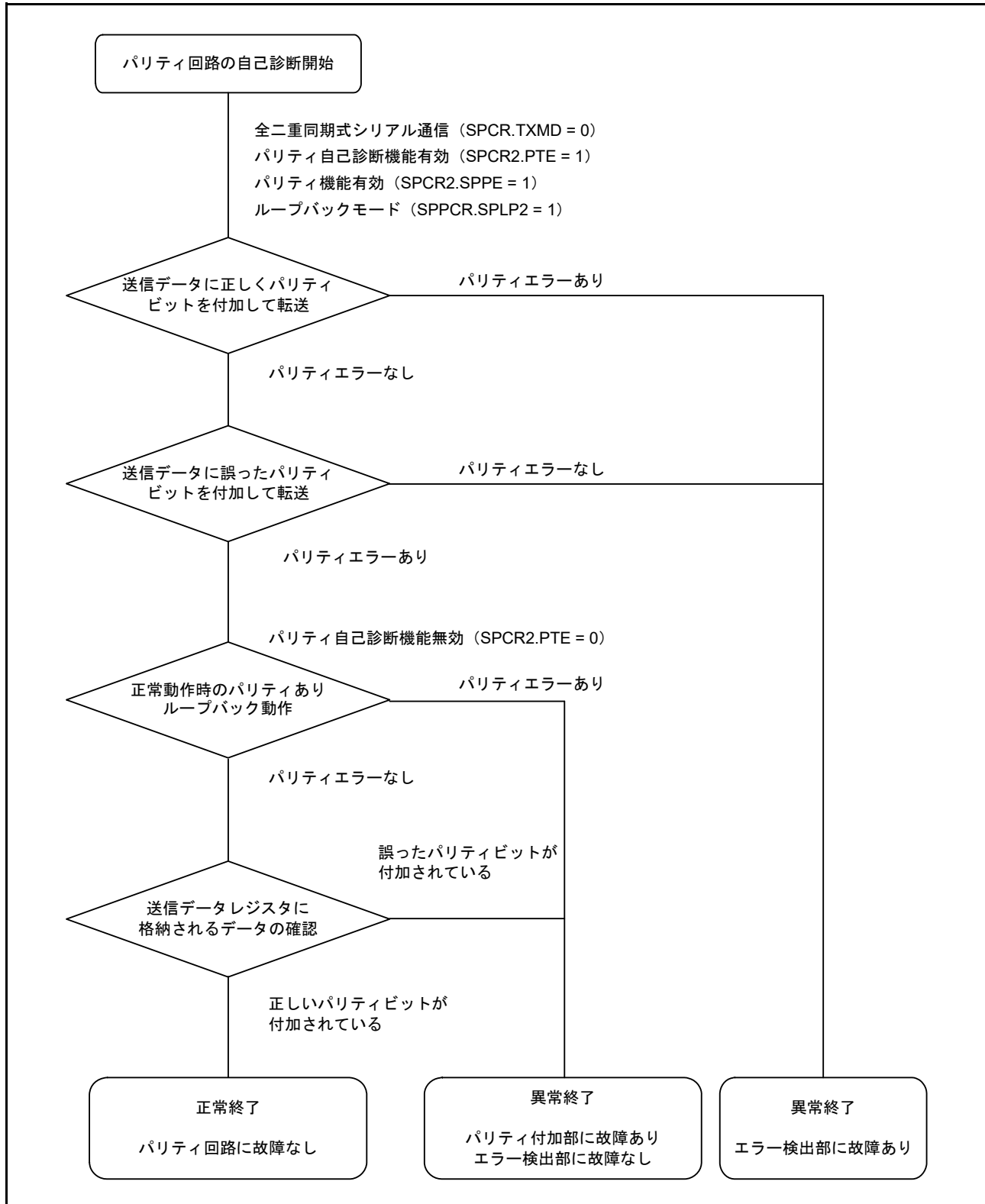


図 31.43 パリティ回路の自己診断フロー

31.3.14 割り込み要因

SPI には、以下の 8 種類の割り込み要因があります。

- 受信バッファフル
- 送信バッファエンプティ
- 送信終了
- モードフォルト
- アンダーラン
- オーバーラン
- パリティエラー
- SPI アイドル

また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC、DMAC を起動し、データ転送を行うことができます。

SPI_n_SPEI のベクタアドレスは、モードフォルト、アンダーラン、オーバーラン、およびパリティエラーでの割り込み要求に割り付けられるため、実際の割り込み要因は、フラグから判断する必要があります。表 31.12 に SPI の割り込み要因に対応するフラグを示します。表 31.12 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因に対しては、データ転送でクリアしてください。

DTC または DMAC を使用してデータの送受信を行う場合、最初に DTC または DMAC を転送許可状態に設定してから SPI の設定を行ってください。DTC または DMAC の設定方法については、それぞれ「16. DMA コントローラ (DMAC)」と「17. データトランスファコントローラ (DTC)」を参照してください。

ICU.IELSR_j.IR フラグが 1 の状態で、送信バッファエンプティ割り込みまたは受信バッファフル割り込みの発生条件が生じても、ICU に対して割り込み要求は出力されず、内部で保持されます（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IELSR_j.IR フラグが 0 になると、保持されていた割り込み要求が出力されます。保持されていた割り込み要求が出力されると、その割り込み要求は自動的に破棄されます。また、内部で保持されている割り込み要求は、対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を 0 にすることでもクリアできます。

表 31.12 SPI の割り込み要因

割り込み要因	シンボル	割り込み条件	DMAC/DTC の起動
受信バッファフル	SPI _n _SPRI	SPCR.SPRIE ビットが 1 の状態で受信バッファフル (SPSR.SPRF = 1) になったとき	可能
送信バッファエンプティ	SPI _n _SPTI	SPCR.SPTIE ビットが 1 の状態で送信バッファエンプティ (SPSR.SPTEF = 1) になったとき	可能
SPI エラー (モードフォルト、アンダーラン、オーバーラン、パリティエラー)	SPI _n _SPEI	SPCR.SPEIE ビットが 1 の状態で SPSR.MODF、OVRF、PERF、または UDRF フラグが 1 になったとき	不可能
SPI アイドル	SPI _n _SPII	SPCR2.SPIIE ビットが 1 の状態で SPSR.IDLNF フラグが 0 になったとき	不可能
送信完了	SPI _n _SPTEND	マスターモードのときは、IDLNF フラグ (SPI アイドルフラグ) が 1 から 0 になる条件で割り込みが発生します。スレーブモードのときは、表 31.14 に示す条件で割り込みが発生します。	不可能

31.4 イベントリンク動作

イベントリンクコントローラ (ELC) は、次のイベント出力信号を生成することが可能です。

- 受信バッファフルイベント出力
- 送信バッファエンptyイベント出力
- モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力
- SPI アイドルイベント出力
- 送信完了イベント出力

イベントリンク出力信号は、割り込み許可ビットの設定に関係なく出力されます。

31.4.1 受信バッファフルイベント出力

シリアル転送の終了時に、受信したデータがシフトレジスタから SPDR/SPDR_HA レジスタへ転送されたときにイベント信号を出力します。

31.4.2 送信バッファエンptyイベント出力

送信バッファからシフトレジスタに送信データが転送されたとき、および SPE ビットが 0 から 1 に変化したときにイベント信号を出力します。

31.4.3 モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力

モードフォルト、アンダーラン、オーバーラン、パリティエラーを検出したときにイベント信号を出力します。このイベント信号を使用する場合は、[31.5.4 モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力に関する制限](#)を参照してください。

(1) モードフォルト

表 31.13 にモードフォルトイベントの発生条件を示します。

表 31.13 モードフォルトの発生条件

条件	SPCR.MODFEN ビット	SSLn0 端子	備考
SPI動作 (SPMS = 0) スレーブ (SPCR.MSTR ビット = 0)	1	非アクティブ	通信動作中に SSLn0 端子が非アクティブになった場合のみイベント出力

(2) アンダーラン

アンダーランイベント信号は、送信データが準備されておらず、SPCR.MSTR ビットが 0 かつ SPCR.SPE ビットが 1 の状態でシリアル転送が開始されたときに出力されます。この条件下では、MODF フラグおよび UDRF フラグが 1 となります。

(3) オーバーラン

オーバーランイベント信号は、SPCR.TXMD ビットが 0、かつ受信バッファに未読み出しのデータがある状態でシリアル転送が終了したときに出力します。この条件下では、OVRF フラグが 1 になります。

(4) パリティエラー

パリティエラーイベント信号は、SPCR.TXMD ビットが 0 かつ SPCR2.SPPE ビットが 1 の状態でシリアル転送が終了したとき、パリティエラーの検出時に出力します。

31.4.4 SPI アイドルイベント出力

(1) マスタモード時

マスタモードの場合、IDLNF フラグ (SPI アイドルフラグ) が 0 になる条件が成立すると、イベントが出力されます。

(2) スレーブモード時

スレーブモードの場合、SPCR.SPE ビットが 0 (SPI 初期化) のとき、イベントが出力されます。

31.4.5 送信完了イベント出力

SPI 動作とクロック同期式動作ともに、マスタモード時に IDLNF フラグ (SPI アイドルフラグ) が 1 から 0 に変化すると、イベントが出力されます。

表 31.14 スレーブモードでの送信完了イベント出力の発生条件

条件	送信バッファ状態	シフトレジスタ状態	その他
SPI 動作 (SPMS = 0)	エンプティ	エンプティ	SSLn0 入力ネゲート
クロック同期式動作 (SPMS = 1)	エンプティ	エンプティ	最終RSPCKnのエッジ検出

動作がマスタモードまたはスレーブモードのどちらであっても、送信中に SPCR.SPE ビットに 0 が書き込まれた場合、あるいは、モードフォルトエラーまたはアンダーランエラーの発生によって SPCR.SPE ビットがクリアされた場合、イベントは出力されません。

31.5 使用上の注意事項

31.5.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SPI の動作禁止/許可を設定できます。SPI は、リセット後の初期状態では動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタ B の詳細については、「10. 低消費電力モード」を参照してください。

31.5.2 低消費電力機能に関する制約

モジュールストップ機能を使用する場合、およびスリープモード以外の低消費電力モードへ遷移する場合は、あらかじめ SPCR.SPE ビットを 0 にしてから通信を終了させてください。

31.5.3 転送の開始に関する制限

ICU.IELSRj.IR フラグが 1 の状態で転送を開始すると、転送開始後も割り込み要求が内部で保持されるため、ICU.IELSRj.IR フラグが予期しない挙動となる可能性があります。これを避けるには、動作を許可する (SPCR.SPE ビットを 1 にする) 前に、下記の手順で割り込み要求をクリアしてください。

1. 転送が停止していること (SPCR.SPE = 0) を確認する。
2. 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を 0 にする。
3. 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出して、0 であることを確認する。
4. ICU.IELSRj.IR フラグを 0 にする。

31.5.4 モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力に関する制限

SPI がマルチマスタモード (SPCR.SPMS ビット = 0、SPCR.MSTR ビット = 1、SPCR.MODFEN ビット = 1) の場合は、モードフォルト、アンダーラン、オーバーラン、およびパリティエラーイベントを使用することはできません。

31.5.5 SPRF および SPTEF フラグに関する制限

ポーリング用のフラグ (SPRF および SPTEF) を使用している場合、割り込みを使用することはできません。SPCR.SPRIE および SPCR.SPTIE ビットは 0 にしてください。割り込みまたはフラグのどちらか一方のみ使用可能です。

32. 巡回冗長検査 (CRC) 演算器

32.1 概要

巡回冗長検査 (CRC: Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることができます。さらに、いくつかの CRC 生成多項式が利用可能です。スヌープ機能により、特定のアドレスに対する読み出しおよび書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。

表 32.1 に CRC 演算器の仕様を、図 32.1 にブロック図を示します。

表 32.1 CRC 演算器の仕様

項目	内容	
データサイズ	8ビット	32ビット
CRC 演算対象データ (注1)	8nビット単位の任意データに対しCRCコードを生成 (n = 自然数)	32nビット単位のデータに対してCRCコードを生成 (n = 自然数)
CRC 演算処理方式	8ビット並列実行	32ビット並列実行
CRC 生成多項式	3つの生成多項式から1つ選択可能 [8ビットCRC] • $X^8 + X^2 + X + 1$ (CRC-8) [16ビットCRC] • $X^{16} + X^{15} + X^2 + 1$ (CRC-16) • $X^{16} + X^{12} + X^5 + 1$ (CRC-CCITT)	2つの生成多項式から1つ選択可能 [32ビットCRC] • $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (CRC-32) • $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ (CRC-32C)
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダの切り替えが可能	
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減	
CRC スヌープ	特定のレジスタアドレスに対する読み出しと書き込みのモニタ	—

注 1. 回路は、CRC 演算で使用するデータを分割できません。8 または 32 ビット単位で書いてください。

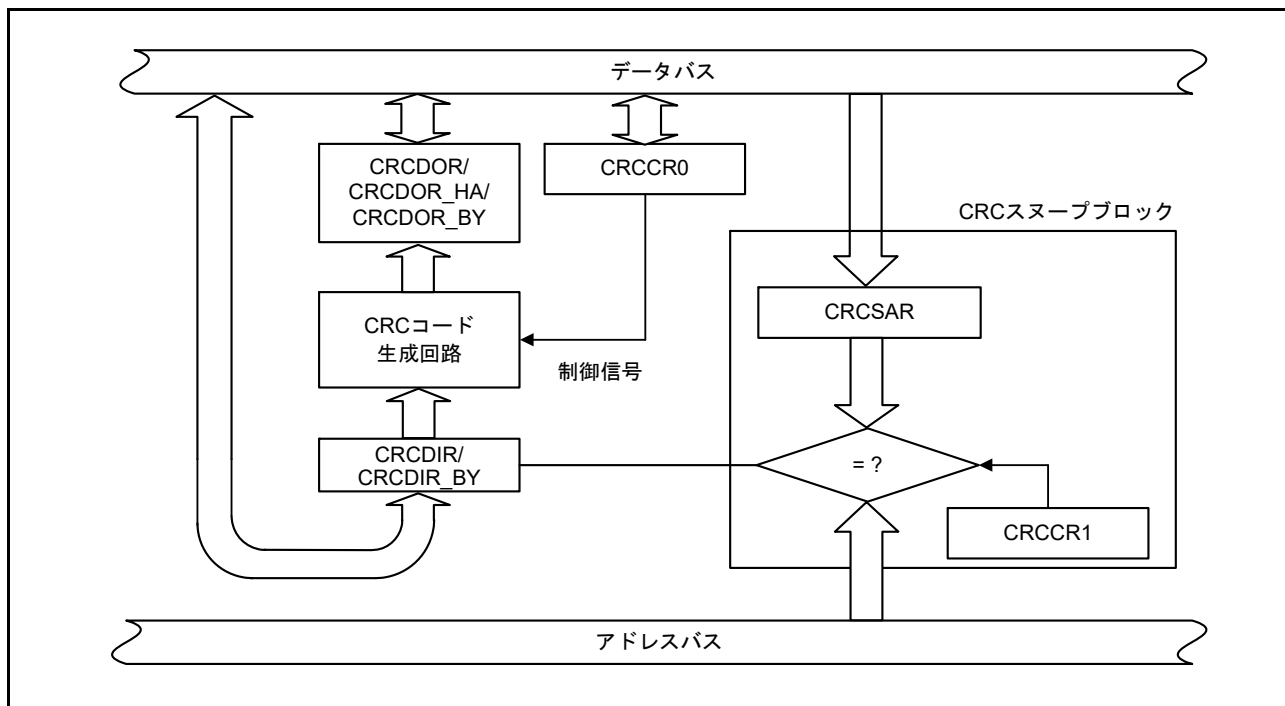
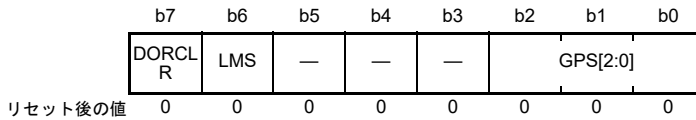


図 32.1 CRC 演算器のブロック図

32.2 レジスタの説明

32.2.1 CRC コントロールレジスタ 0 (CRCCR0)

アドレス [CRC.CRCCR0 4007 4000h](#)



ビット	シンボル	ビット名	機能	R/W
b2-b0	GPS[2:0]	CRC生成多項式切り替え	b2 b0 0 0 0: 演算しません 0 0 1: 8ビットCRC-81 ($X^8 + X^2 + X + 1$) 0 1 0: 16ビットCRC-16 ($X^{16} + X^{15} + X^2 + 1$) 0 1 1: 16ビットCRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) 1 0 0: 32ビットCRC-32 ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1: 32ビットCRC-32C ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) その他: 演算しません	R/W
b5-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	LMS	CRC演算切り替え	0: LSBファースト通信用にCRCを生成 1: MSBファースト通信用にCRCを生成	R/W
b7	DORCLR	CRCDOR/CRCDOR_HA/ CRCDOR_BYレジスタクリア	1: CRCDOR/CRCDOR_HA/CRCDOR_BYレジスタをクリア 読むと0が読めます。	W (注1)

注1. このレジスタに書き込みを行うときは、本ビットは必ず1にしてください。

[GPS\[2:0\]](#) ビット (CRC生成多項式切り替え)

CRC生成多項式を選択します。

[LMS](#) ビット (CRC演算切り替え)

生成したCRCコードのビットオーダを選択します。LSBファーストで通信を行う場合はCRCコードの下位バイトから先に、MSBファーストで通信を行う場合はCRCコードの上位バイトから先に送信してください。CRCコードの送信および受信については、[32.3 動作説明](#)を参照してください。

[DORCLR](#) ビット (CRCDOR/CRCDOR_HA/CRCDOR_BYレジスタクリア)

本ビットを1にすると、CRCDOR/CRCDOR_HA/CRCDOR_BYレジスタが0000_0000hになります。読むと0が読めます。本ビットには1のみ書けます。

32.2.2 CRC コントロールレジスタ 1 (CRCCR1)

アドレス [CRC.CRCCR1 4007 4001h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	CRCSE N	CRCS WR	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	CRCSWR	スヌープオンライト/リード切り替え	0: スヌープオンリード 1: スヌープオンライト	R/W
b7	CRCSN	スヌープ許可	0: 禁止 1: 許可	R/W

CRCSWR ビット (スヌープオンライト/リード切り替え)

アドレスモニタ機能でのアクセス方向を選択します。

本ビットを0 (初期値) にすると、特定のレジスタアドレスの読み出しに対してCRC スヌープ動作が有効になります。同様に、本ビットを1 にすると、特定のレジスタアドレスの書き込みに対してCRC スヌープ動作が有効になります。

CRCSN ビット (スヌープ許可)

本ビットを1 にすると、CRC スヌープ動作が有効になります。0 にすると、CRC スヌープ動作が無効になります。

32.2.3 CRC データ入力レジスタ (CRCDIR/CRCDIR_BY)

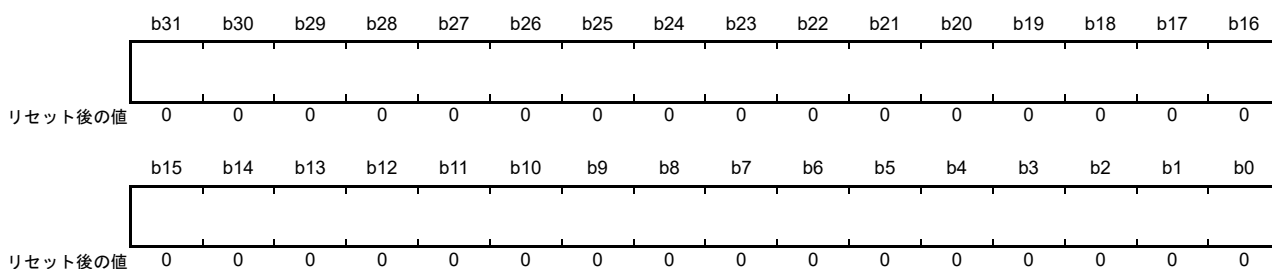
アドレス [CRC.CRCDIR/CRCDIR_BY 4007 4004h](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CRCDIR レジスタは、CRC-32 または CRC-32C 演算用データを書き込むための32ビットの読み出し/書き込みレジスタです。CRCDIR_BY レジスタは、CRC-8、CRC-16、またはCRC-CCITT 演算用データを書き込むための8ビットの読み出し/書き込みレジスタです。

32.2.4 CRC データ出力レジスタ (CRCDOR/CRCDOR_HA/CRCDOR_BY)

アドレス `CRC.CRCDOR/CRCDOR_HA/CRCDOR_BY 4007 4008h`



CRCDOR レジスタは、CRC-32 または CRC-32C 演算用の 32 ビットの読み出し/書き込みレジスタです。

CRCDOR_HA レジスタは、CRC-16 または CRC-CCITT 演算用の 16 ビットの読み出し/書き込みレジスタです。

CRCDOR_BY レジスタは、CRC-8 演算用の 8 ビットの読み出し/書き込みレジスタです。

初期値は `0000_0000h` であるため、初期値以外の値を用いて演算する場合は、CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタを書き換えてください。

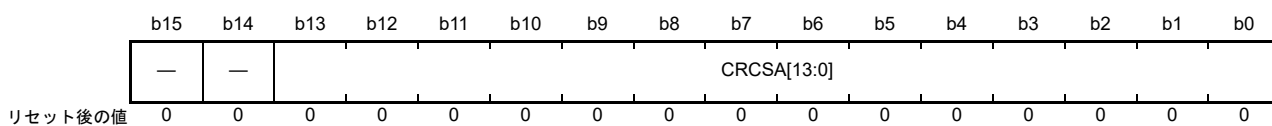
CRCDIR/CRCDIR_BY レジスタに書き込まれたデータは CRC 演算され、結果は CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタに格納されます。転送データに続いて CRC コードを計算し、その結果が `0000_0000h` であると、CRC エラーなしと判断できます。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合、CRCDOR_BY レジスタに有効な CRC コードが得られます。

16 ビット CRC ($X^{16} + X^{15} + X^2 + 1$ 、または $X^{16} + X^{12} + X^5 + 1$ の多項式) を使用した場合、CRCDOR_HA レジスタに有効な CRC コードが得られます。

32.2.5 スヌープアドレスレジスタ (CRCSAR)

アドレス **CRC.CRCSAR 4007 400Ch**



ビット	シンボル	ビット名	機能	R/W
b13-b0	CRCSA[13:0]	レジスタスヌープアドレス	SCIモジュールのTDRまたはRDRアドレスをスヌープにします。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CRCSA[13:0] ビット (レジスタスヌープアドレス)

これらのビットには、CRC スヌープ動作でモニタされるレジスタアドレスの下位 14 ビットを設定します。

CRCSA[13:0] ビットで使用できるのは、以下のアドレスのみです。

- 4007 0003h : SCI0.TDR, 4007 0005h : SCI0.RDR
- 4007 0023h : SCI1.TDR, 4007 0025h : SCI1.RDR
- 4007 0043h : SCI2.TDR, 4007 0045h : SCI2.RDR
- 4007 0123h : SCI9.TDR, 4007 0125h : SCI9.RDR
- 4007 000Fh : SCI0.FTDRL, 4007 0011h : SCI0.FRDL
- 4007 002Fh : SCI1.FTDRL, 4007 0031h : SCI1.FRDL

32.3 動作説明

32.3.1 基本動作

CRC 演算器は、LSB ファーストまたは MSB ファースト転送で使用する CRC コードを生成します。

16 ビットの CRC-CCITT 生成多項式 ($X^{16}+X^{12}+X^5+1$) を使用して、入力データ (F0h) に対し CRC コードを生成する例を以下に示します。この例では、CRC 演算の前に、CRC データ出力レジスタ (CRCDOR_HA) の値をクリアします。

8 ビット CRC (X^8+X^2+X+1 の多項式) を使用している場合は、CRCDOR_BY レジスタに有効な CRC コードのビットが得られます。32 ビット CRC を使用している場合は、CRCDOR レジスタに有効な CRC コードのビットが得られます。

図 32.2 に LSB ファーストのデータ送信例を、図 32.3 に MSB ファーストのデータ送信例を示します。図 32.4 に LSB ファーストのデータ受信例を、図 32.5 に MSB ファーストのデータ受信例を示します。

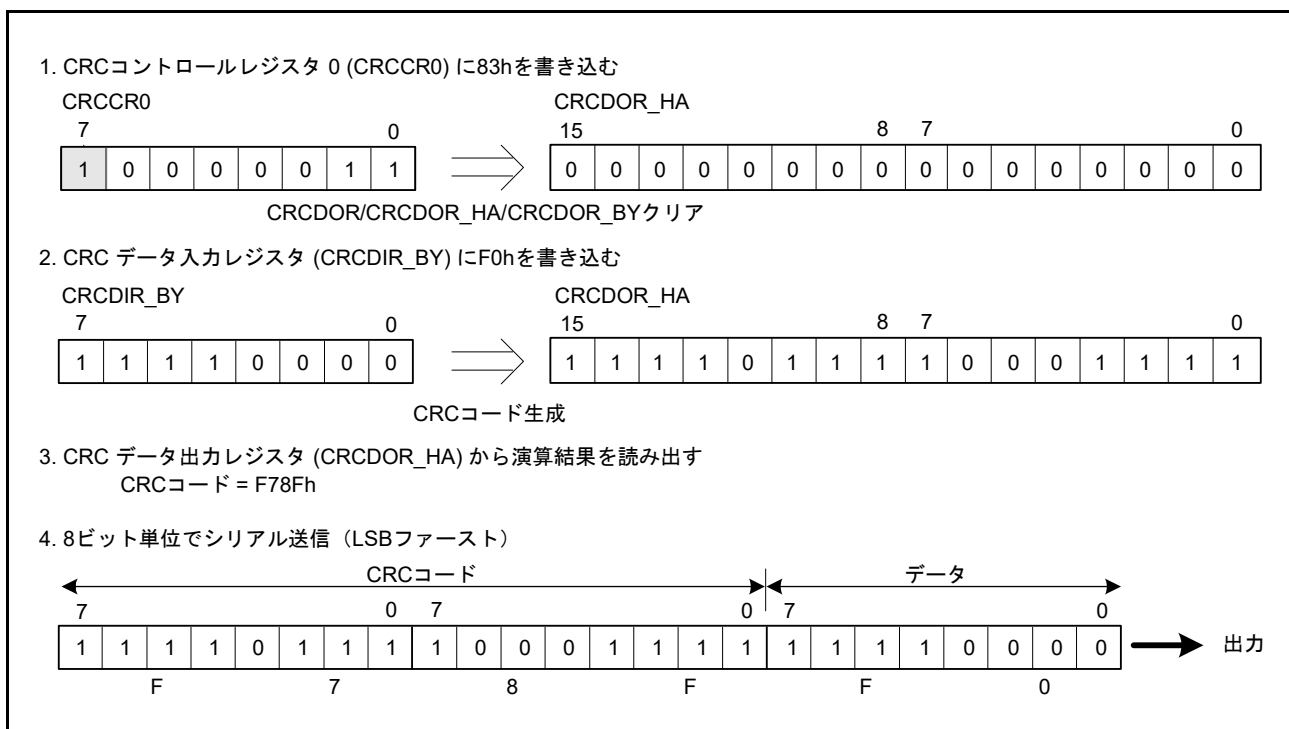


図 32.2 LSB ファーストのデータ送信

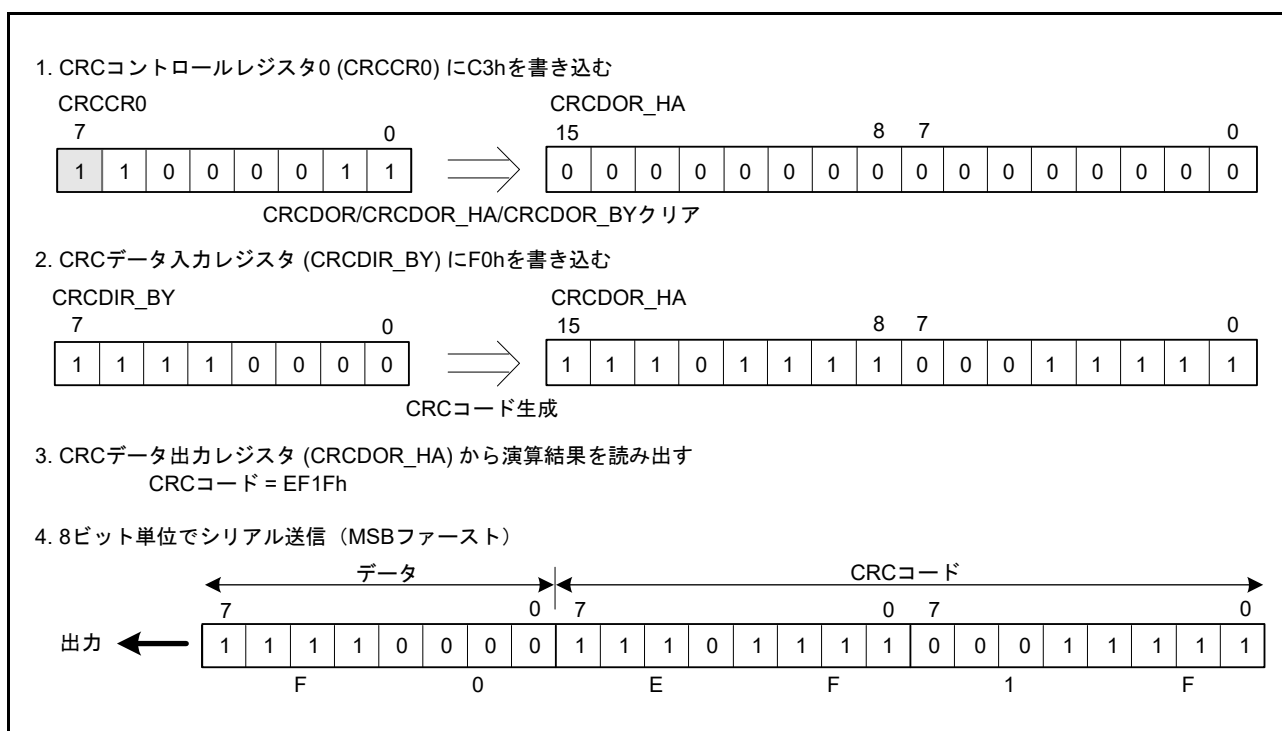


図 32.3 MSB ファーストのデータ送信

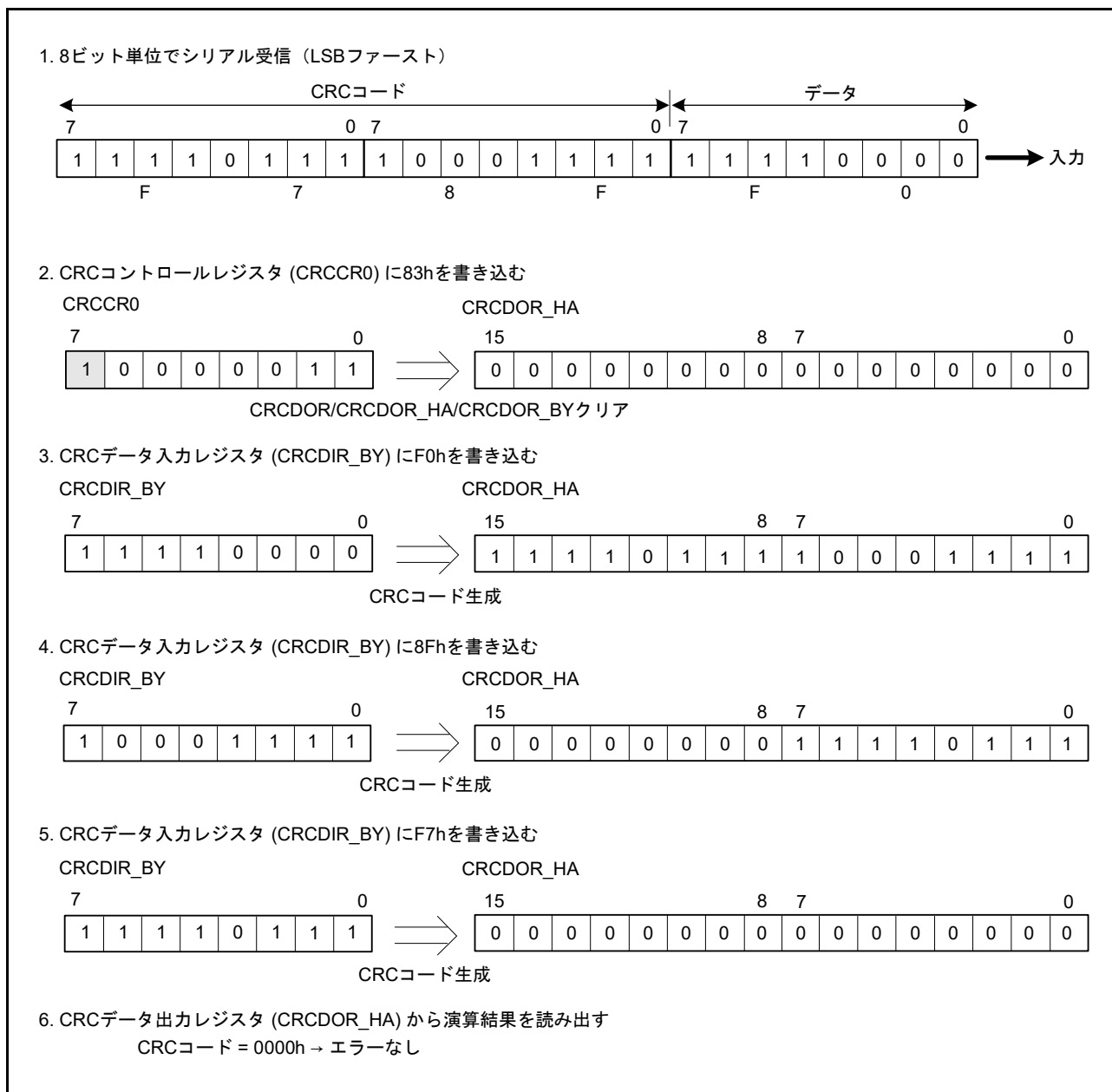


図 32.4 LSB ファーストのデータ受信

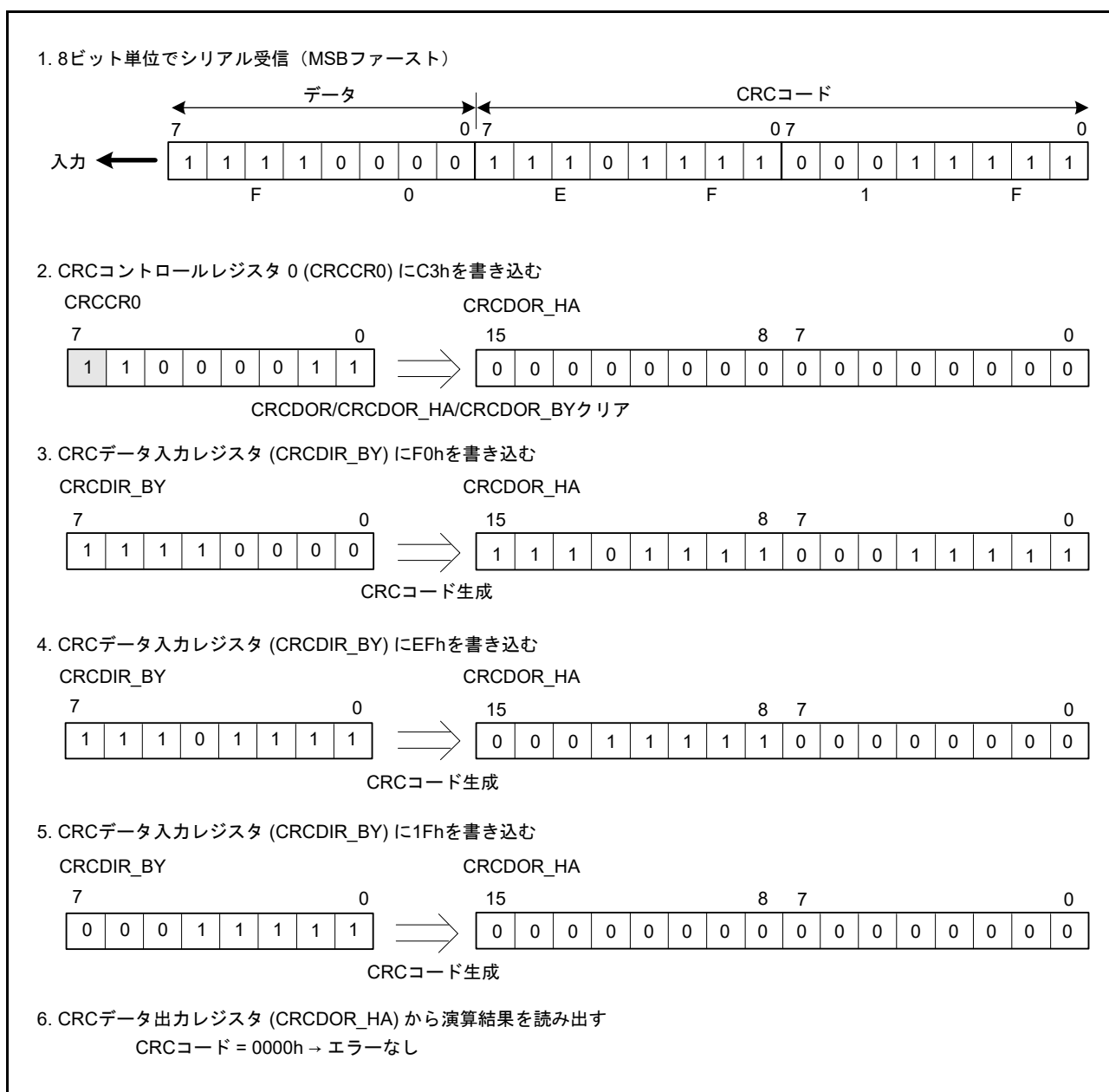


図 32.5 MSB ファーストのデータ受信

32.3.2 CRC スヌープ

CRC スヌープ機能では、特定のレジスタアドレスの読み出しおよび書き込みをモニタし、そのレジスタアドレスで読み出し/書き込みしたデータに自動 CRC 演算を実行します。CRC スヌープは、特定のレジスタアドレスに対する読み出しと書き込みを CRC 演算を自動的に実行するトリガとして認識するため、CRCDIR_BY レジスタにデータを書き込む必要がありません。CRC スヌープの対象アドレスは、スヌープアドレスレジスタ (CRCSAR) で指定したすべての I/O レジスタアドレスです。CRC スヌープは、シリアル送信バッファへの書き込みと、シリアル受信バッファからの読み出しをモニタするのに役立ちます。

この機能を使用するには、対象となる I/O レジスタアドレスを CRCSAR レジスタの CRCSA13 ~ CRCSA0 ビットに書き込み、CRCCR1 レジスタの CRCSEN ビットを 1 にします。次に、CRCCR1.CRCSWR ビットを 1 にして、対象アドレスへの書き込みに対してスヌープを有効にするか、あるいは、CRCCR1.CRCSWR ビットを 0 にして、対象アドレスからの読み出しに対してスヌープを有効にします。

CRCSEN ビットを 1、CRCSWR ビットを 1 にして、バスマスタモジュール (CPU、DMA、DTC など) の対象となる I/O レジスタアドレスにデータを書き込むと、CRC 演算器は CRCDIR_BY レジスタにデータを格納して CRC 演算を実行します。同様に、CRCSEN ビットを 1、CRCSWR ビットを 0 にして、バスマスタモジュール (CPU、DMA、DTC など) の対象となる I/O レジスタアドレスのデータを読み出すと、CRC 演算器は CRCDIR_BY レジスタにデータを格納して CRC 演算を実行します。

一度に 1 バイトの CRC 演算が実行されます。対象となる I/O レジスタアドレスに対してワード (16 ビット) またはロングワード (32 ビット) でアクセスすると、データの下位 1 バイトに CRC コードが生成されます。

32.4 使用上の注意事項

32.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CRC 演算器の動作を許可または禁止することが可能です。リセット後、CRC はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

32.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とは、CRC コードの送信順序が異なります。図 32.6 に LSB ファーストと MSB ファーストのデータ送信を示します。

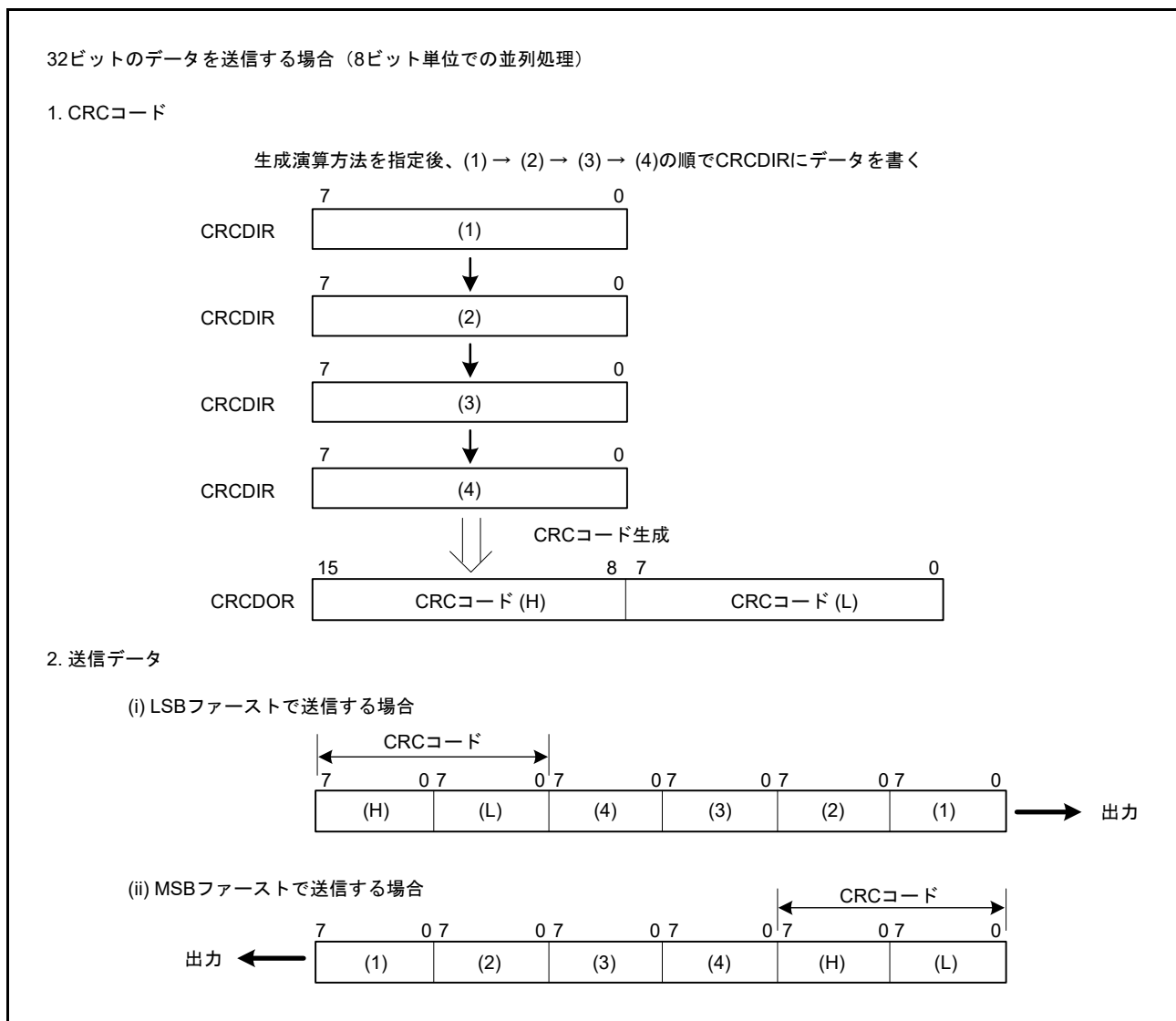


図 32.6 LSB ファーストと MSB ファーストのデータ送信

33. 拡張シリアルサウンドインタフェース (SSIE)

33.1 概要

拡張シリアルサウンドインタフェース (SSIE) は、I²S やモノラルなどの異なるオーディオデータフォーマットをサポートする複数のデバイス間でオーディオデータの送受信ができます。

表 33.1 に SSIE の仕様を、表 33.2 に通信フォーマット用語の定義を示します。図 33.1 に通信フォーマットを、図 33.2 にブロック図を、そして図 33.3 にクロック構成を示します。

33.2 SSIE の仕様

表 33.1 SSIE の仕様

項目		内容
チャンネル数		1チャンネル (SSIE0)
通信モード		<ul style="list-style-type: none"> マスタ/スレーブ 送信/受信 (全二重通信)
通信フォーマット		<ul style="list-style-type: none"> I²S フォーマット モノラルフォーマット
シリアルデータ		<ul style="list-style-type: none"> MSB ファースト 左詰めまたは右詰めデータ SSILRCK/SSIFS から SSITXD0/SSIRXD0 間の期間について、データ遅延 (1クロックサイクル)、または遅延なしの選択が可能 システムワード長: 8、16、24、32、48、64、128、または256ビット データワード長: 8、16、18、20、22、24、または32ビット パディング極性: Low/High
ビットクロック (SSIBCK)	マスタモード時	<ul style="list-style-type: none"> 2種類のクロックソース: AUDIO_CLK および GTIOC1A (GPT出力) クロックソース分周比: 1/1、1/2、1/4、1/6、1/8、1/12、1/16、1/24、1/32、1/48、1/64、1/96、および 1/128 通信が停止しているとき、供給/停止の選択が可能
	マスタ/スレーブモード時	極性 (立ち上がりエッジまたは立ち下がりエッジ) の選択が可能
LRクロック/フレーム同期 (SSILRCK/SSIFS)	マスタモード時	<ul style="list-style-type: none"> 極性 (Low/High) の選択が可能 通信が停止しているとき、供給/停止の選択が可能
送信データ (SSITXD0) および受信データ (SSIRXD0)	送信	ミュート方式 (送信FIFOデータまたは0固定データの送信) の選択が可能
FIFO	容量	送信FIFO/受信FIFO: 4バイト x 8段
	データアライメント	FIFOとシフトレジスタ間でのデータ転送について、データアライメント方式 (左詰めまたは右詰め) の選択が可能
割り込み	割り込み出力	<ul style="list-style-type: none"> 通信エラー/アイドルモード 受信データフル 送信データエンプティ
低消費電力機能		マスタモード時、オーディオクロック供給の有無の選択が可能
モジュールストップ機能		モジュールストップ状態に設定して消費電力を削減

表 33.2 用語の定義

用語	定義
開始トリガ	LRCKPで指定した値に設定し通信可能にしたときの、SSILRCK/SSIFS端子信号の1つ目のエッジ
フレーム境界	SSIEで、フレームの先頭データの転送を開始した時点、または、最終データの転送を終了した時点
フレームワード数	フレームごとのサウンドチャンネルの数
システムワード長	チャンネルごとのビット数
データワード長	チャンネルごとの有効ビット数
通信フォーマットに関する制御ビット	<ul style="list-style-type: none"> SSICRレジスタ：DWL、SWL、LRCKP、SPDP、SDTA、PDTA、およびDELビット SSIFCRレジスタ：BSWビット SSIOFRレジスタ：OMODビット SSISCRレジスタ：TDES[2:0]およびRDFS[2:0]ビット

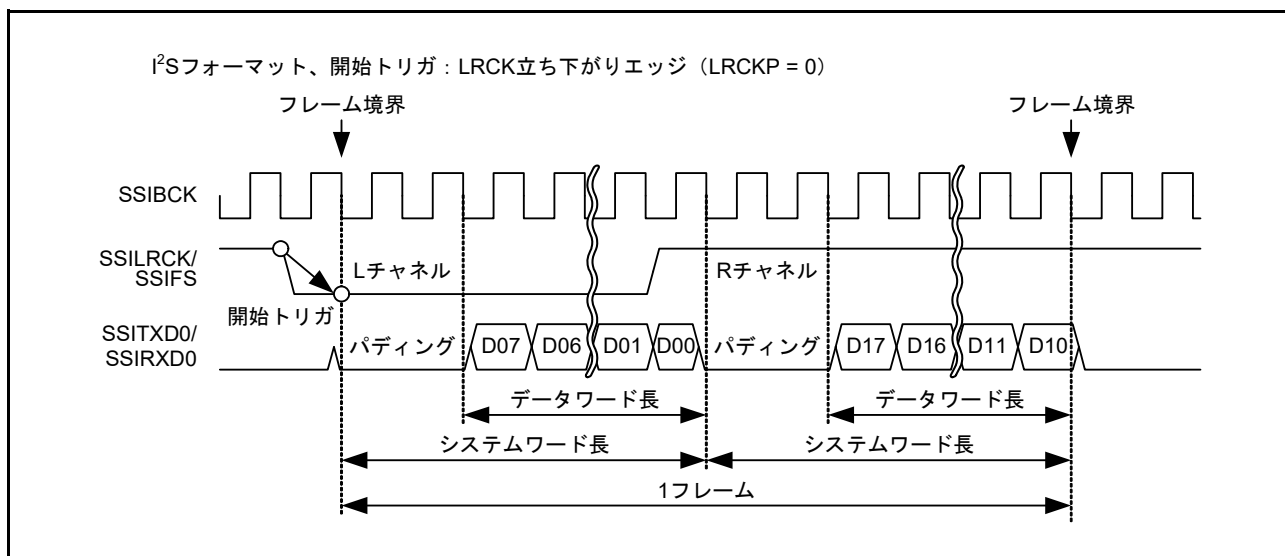


図 33.1 SSIE 通信フォーマット

33.3 ブロック図

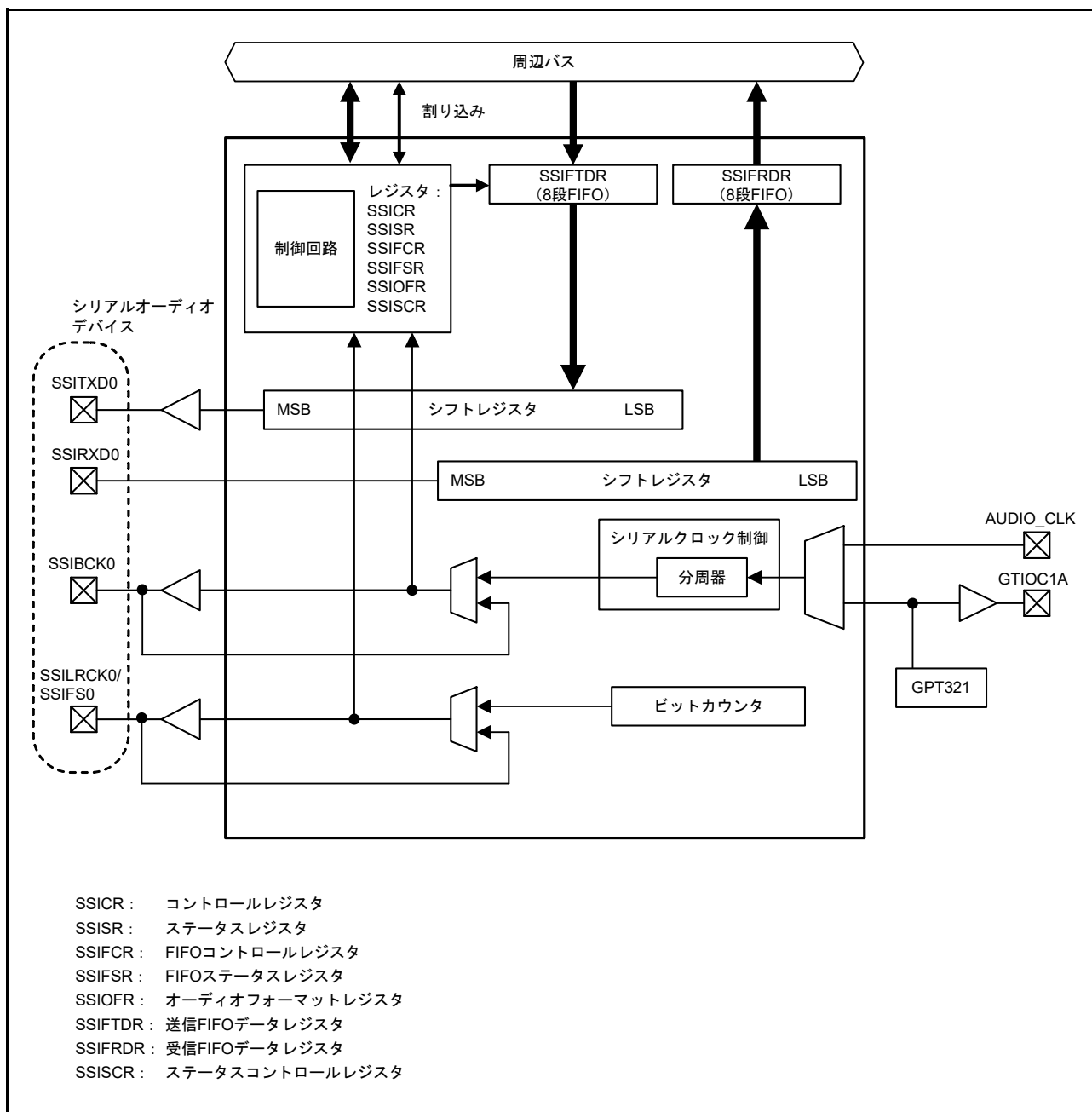


図 33.2 SSIE ブロック図 (SSIE0)

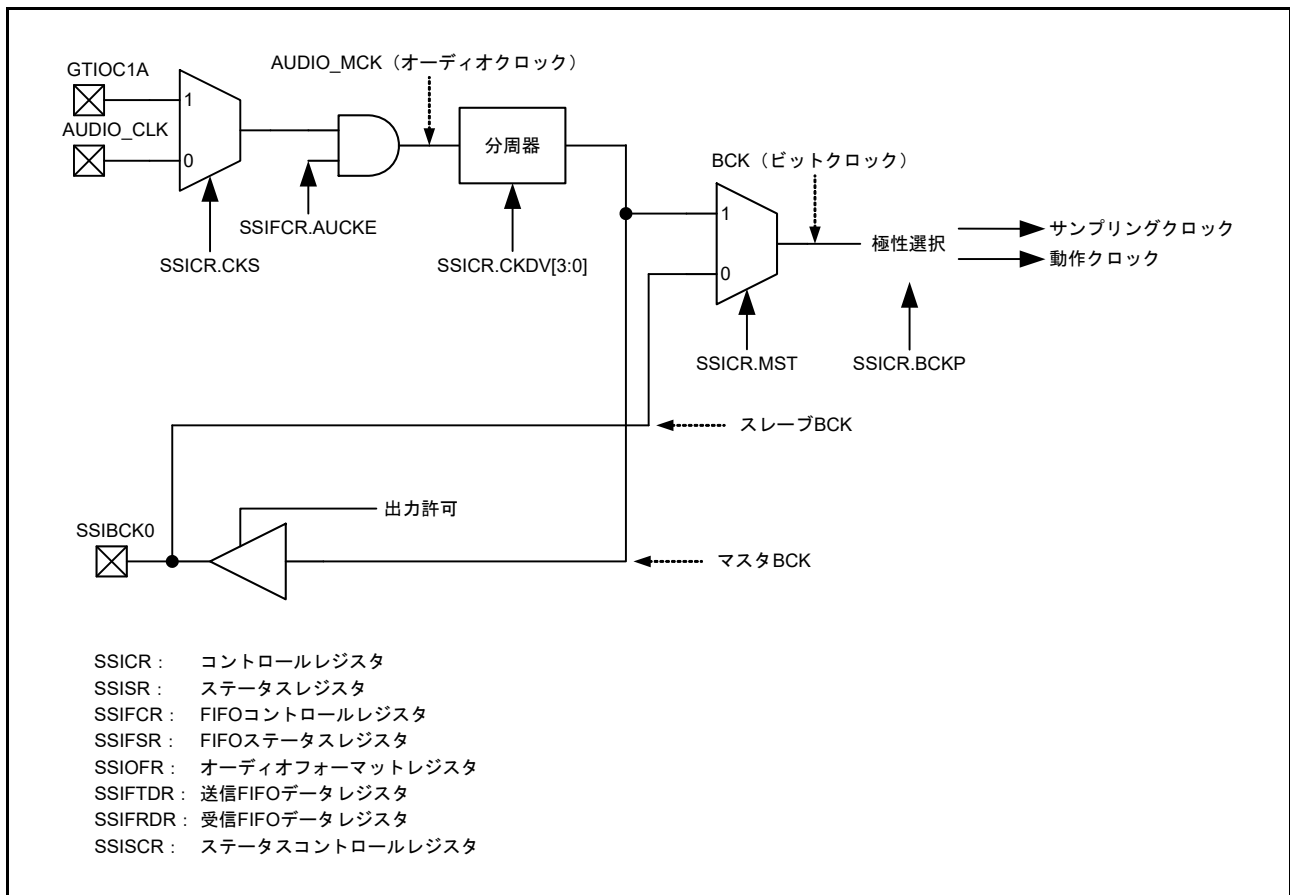


図 33.3 SSIE クロック構成

33.4 レジスタの説明

33.4.1 コントロールレジスタ (SSICR)

アドレス SSIE0.SSICR 4004 E000h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IEN	—	—	—	DWL[2:0]			SWL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]			MUEN	—	TEN	REN	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	REN	送受信許可 (注2)	b1 b0 0 0: 送受信禁止 0 1: 受信許可 (受信開始) 1 0: 送信許可 (送信開始) 1 1: 送受信許可 (送受信開始)	R/W
b1	TEN			
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	MUEN	ミュート許可	0: 次のフレーム境界でミュート禁止 1: 次のフレーム境界でミュート許可	R/W
b7-b4	CKDV[3:0]	ビットクロック分周比選択 (注1)	b7 b4 0 0 0 0: AUDIO_MCK 0 0 0 1: AUDIO_MCK/2 0 0 1 0: AUDIO_MCK/4 0 0 1 1: AUDIO_MCK/8 0 1 0 0: AUDIO_MCK/16 0 1 0 1: AUDIO_MCK/32 0 1 1 0: AUDIO_MCK/64 0 1 1 1: AUDIO_MCK/128 1 0 0 0: AUDIO_MCK/6 1 0 0 1: AUDIO_MCK/12 1 0 1 0: AUDIO_MCK/24 1 0 1 1: AUDIO_MCK/48 1 1 0 0: AUDIO_MCK/96 1 1 0 1: 設定禁止 1 1 1 0: 設定禁止 1 1 1 1: 設定禁止	R/W
b8	DEL	シリアルデータディレイ選択 (注1)	0: SSILRCK/SSIFSとSSITXD0/SSIRXD0の間に、SSIBCKの1サイクル分の遅延あり 1: SSILRCK/SSIFSとSSITXD0/SSIRXD0の間に遅延なし モノラルフォーマットでは、SSILRCK/SSIFSの波形を制御します。 詳細は、33.5.2 モノラルフォーマットを参照してください。	R/W
b9	PDTA	配置データアライメント選択 (注1)	0: データ (SSIFTDR, SSIFRDR) を左詰めに配置 1: データ (SSIFTDR, SSIFRDR) を右詰めに配置	R/W
b10	SDTA	シリアルデータアライメント選択 (注1)	0: シリアルデータ、パディングビットの順に送受信 1: パディングビット、シリアルデータの順に送受信	R/W
b11	SPDP	シリアルパディング極性選択 (注1)	0: パディングデータはLow 1: パディングデータはHigh	R/W
b12	LRCKP	LRクロック/フレーム同期信号の初期値と極性選択 (注1)	0: 初期値はHighフレームの開始トリガは、SSILRCK/SSIFSの立ち上がりエッジに同期します。 1: 初期値はLowフレームの開始トリガは、SSILRCK/SSIFSの立ち上がりエッジに同期します。	R/W

ビット	シンボル	ビット名	機能	R/W
b13	BCKP	ビットクロック極性選択 (注1)	0: SSILRCK/SSIFS と SSITXD0/SSIRXD0は、立ち下がりエッジで変化 (SSILRCK/SSIFS と SSIRXD0は、SSIBCKの立ち上がりエッジでサンプリング) 1: SSILRCK/SSIFS と SSITXD0/SSIRXD0は、立ち上がりエッジで変化 (SSILRCK/SSIFS と SSIRXD0は、SSIBCKの立ち下がりエッジでサンプリング)	R/W
b14	MST	マスタ有効 (注1)	0: スレーブモード通信 1: マスタモード通信	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b18-b16	SWL[2:0]	システムワード長選択 (注1)	b18 b16 0 0 0: 8ビット 0 0 1: 16ビット 0 1 0: 24ビット 0 1 1: 32ビット 1 0 0: 48ビット 1 0 1: 64ビット 1 1 0: 128ビット 1 1 1: 256ビット	R/W
b21-b19	DWL[2:0]	データワード長選択 (注1)	b21 b19 0 0 0: 8ビット 0 0 1: 16ビット 0 1 0: 18ビット 0 1 1: 20ビット 1 0 0: 22ビット 1 0 1: 24ビット 1 1 0: 32ビット 1 1 1: 設定禁止	R/W
b24-b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25	IEN	アイドルモード割り込み出力許可	0: アイドルモード割り込み出力禁止 1: アイドルモード割り込み出力許可	R/W
b26	ROIEN	受信オーバーフロー割り込み出力許可	0: 受信オーバーフロー割り込み出力禁止 1: 受信オーバーフロー割り込み出力許可	R/W
b27	RUIEN	受信アンダーフロー割り込み出力許可	0: 受信アンダーフロー割り込み出力禁止 1: 受信アンダーフロー割り込み出力許可	R/W
b28	TOIEN	送信オーバーフロー割り込み出力許可	0: 送信オーバーフロー割り込み出力禁止 1: 送信オーバーフロー割り込み出力許可	R/W
b29	TUIEN	送信アンダーフロー割り込み出力許可	0: 送信アンダーフロー割り込み出力禁止 1: 送信アンダーフロー割り込み出力許可	R/W
b30	CKS	マスタモード通信のオーディオクロック選択 (注1)	0: AUDIO_CLK入力選択 1: GTIOC1A (GPT出力) 選択	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SSIE が通信状態 (SSISR.IIRQ = 0) のとき、本ビットへ書き込みしないでください。ビットを書き換えた場合、変更後の動作は予測できません。

注 2. TEN ビットまたは REN ビットを書き換えた場合、SSISR.IIRQ ビットが目的の状態になっていることを確認してください。ビットを書き換えた場合、変更直後の動作は予測できません。たとえば、送信または受信許可の場合は SSISR.IIRQ ビットが 0、送信または受信禁止の場合は SSISR.IIRQ ビットが 1 であることを確認してください。

本レジスタで、オーディオクロックの選択、割り込み要求の制御、データフォーマットの選択、および動作モードの設定ができます。

TEN ビット、REN ビット (送受信許可)

送信および受信を許可/禁止します。いずれかのビットに 1 を書いたとき、SSILRCK/SSIFS 信号の開始トリガと同期して、対応する通信動作を開始します。詳細は、33.8.2 ~ 33.8.4 を参照してください。0 を書いたとき、次のフレーム境界で、通信中の動作を停止します。送信と受信の両方で同時に SSIE を使用するには、TEN ビットと REN ビットの両方に 1 を書いてください。SSIE での通信を停止するときは、常に TEN ビットと REN ビットに 0 を書き込んで、送信と受信の両方を禁止してください。

フレーム境界まで達する前に SSIE を停止する場合、ソフトウェアリセット手順を実行してください。

MUEN ビット (ミュート許可)

SSITXD0 端子からの出力データのミュート機能を有効または無効にします。フレームの中間部分でビットを 1 にすると、SSITXD0 出力は、次のフレーム境界で 0 に変わります。フレームの中間部分でビットを 0 にすると、SSITXD0 出力は、次のフレーム境界で送信 FIFO データレジスタのデータに変わります。MUEN ビットは、データに対してのみ制御を行います。ステータスフラグと割り込み信号が、正常に生成されます。

本ビットの値は、使用する通信フォーマットを設定してから変更するようにしてください。

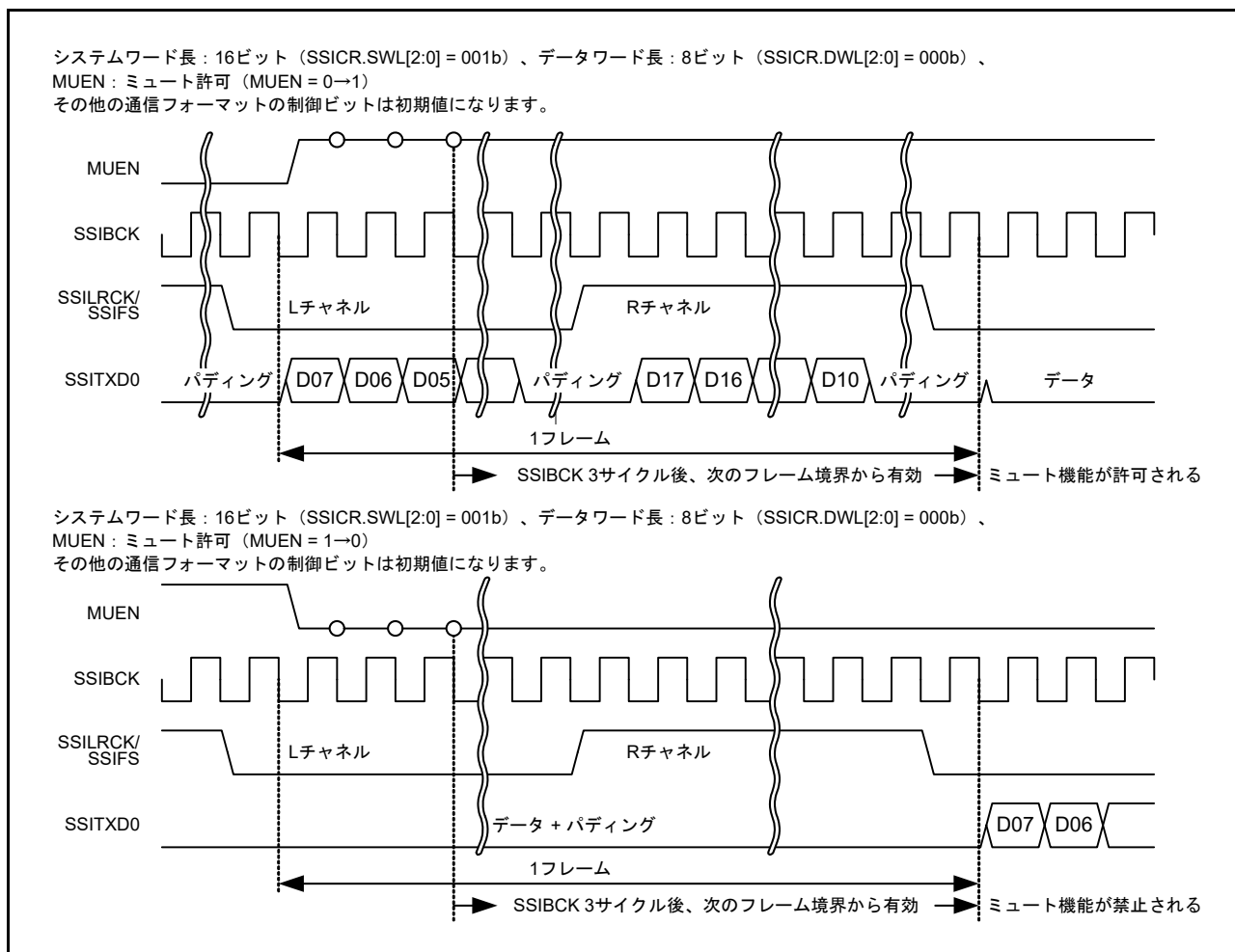


図 33.4 ミュート機能設定時の送信データ

CKDV[3:0] ビット (ビットクロック分周比選択)

マスタモード通信 (MST = 1) では、AUDIO_MCK に基づいてビットクロック分周比を設定します。スレーブモード通信 (MST = 0) では、本ビットに設定しても無効です。

本ビットへの書き込みは、AUDIO_MCK 供給が停止しているときに行ってください。設定するタイミングの詳細は、SSIFCR.AUCKE ビットについての説明を参照してください。

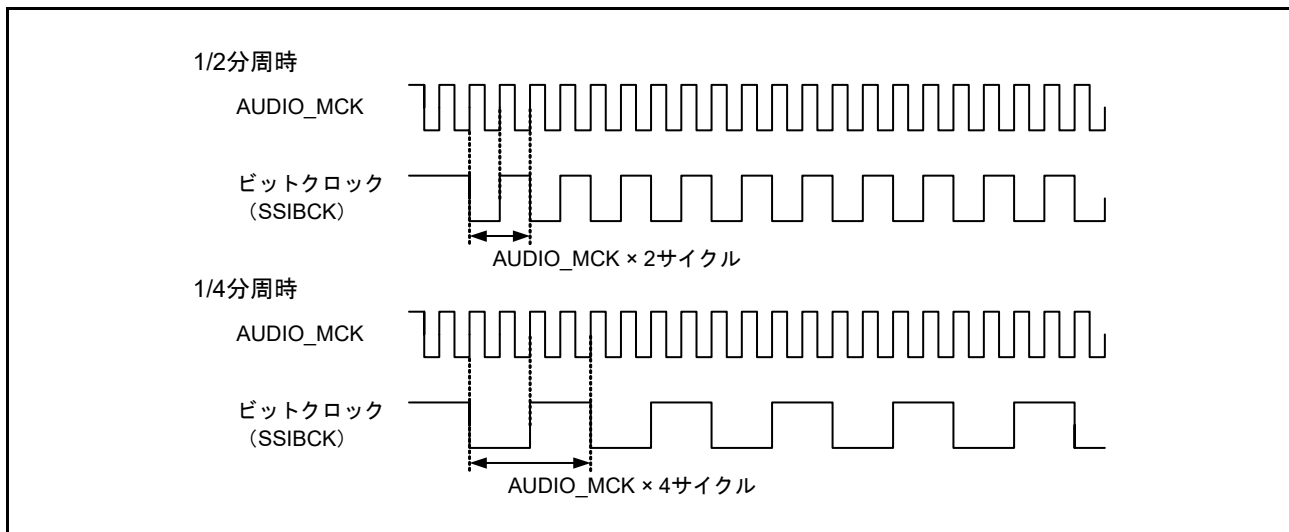


図 33.5 マスタモード通信時のサンプリング周波数

DEL ビット (シリアルデータディレイ選択)

SSILRCK/SSIFS と SSITXD0/SSIRXD0 の間の、遅延の有無を設定します。

I²S フォーマットでは、DEL ビットは 0 にしてください。モノラルフォーマットの場合、本ビットを設定すると、SSILRCK/SSIFS の High 期間幅が変わります。詳細は、[33.5.2 モノラルフォーマット](#)を参照してください。互換性がある通信フォーマットの場合、通信が有効になるように本ビットを指定してください。

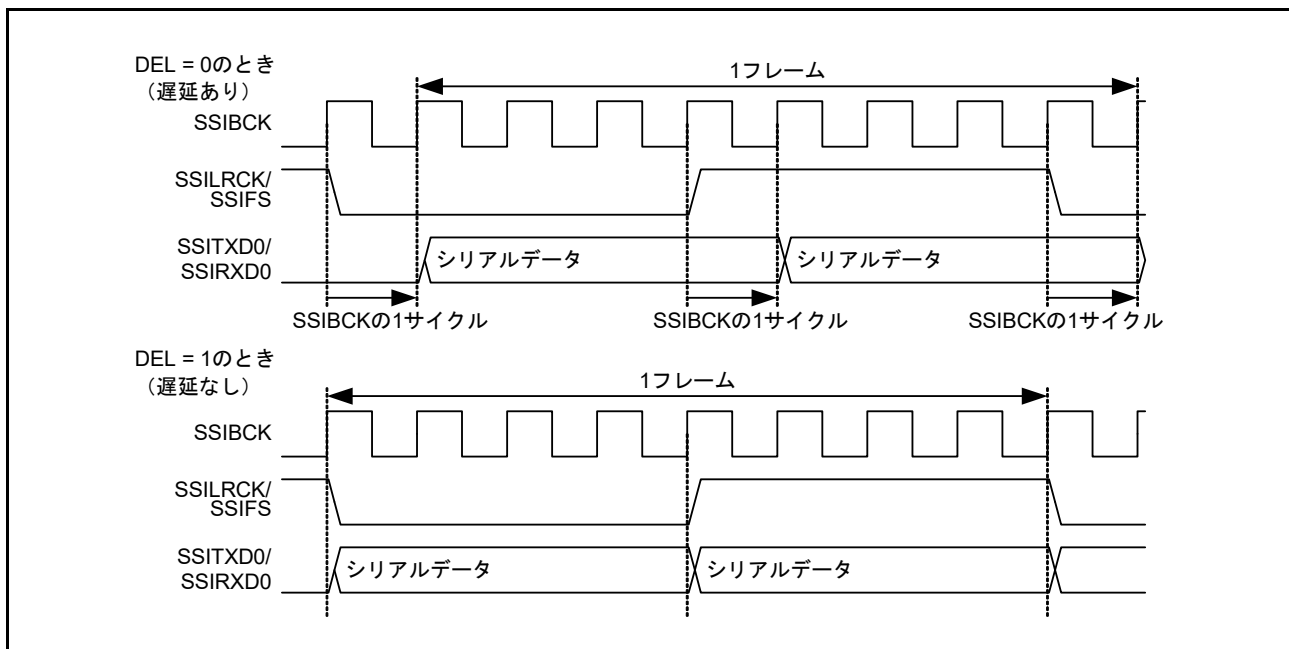


図 33.6 シリアルデータディレイの設定

PDTA ビット (配置データアライメント選択)

配置データのアライメントを設定します。データワード長の設定が 32 ビット (SSICR.DWL[2:0] = 110b) のときは、本ビットは無効です。図 33.7 に送信時の配置データのアライメントを示します。図 33.8 に受信時の配置データのアライメントを示します。

	トランスミッションデータ1回目	トランスミッションデータ2回目	トランスミッションデータ3回目	トランスミッションデータ4回目
	SSIFTDR			トランスミッション シフトレジスタ
DWL[2:0]	PDTA = 0 (左詰)		PDTA = 1 (右詰)	
000 (8ビット)	7 0 無効	7 0 無効	設定禁止	
	7 0 無効	7 0 無効		7 0 無効
	7 0 無効	7 0 無効		7 0 無効
	7 0 無効	7 0 無効		7 0 無効
001 (16ビット)	15 0 無効	15 0 無効	設定禁止	
	15 0 無効	15 0 無効		15 0 無効
	15 0 無効	15 0 無効		15 0 無効
	15 0 無効	15 0 無効		15 0 無効
010~100 18ビット : X = 17 20ビット : X = 19 22ビット : X = 21 24ビット : X = 23	X 0 無効	無効 X 0	X 0 無効	X 0 無効
	X 0 無効	無効 X 0	X 0 無効	X 0 無効
	X 0 無効	無効 X 0	X 0 無効	X 0 無効
	X 0 無効	無効 X 0	X 0 無効	X 0 無効
110 (32ビット)	31 0	31 0	設定禁止	
	31 0	31 0		31 0
	31 0	31 0		31 0
	31 0	31 0		31 0
111 (設定禁止)	設定禁止			

図 33.7 送信時の配置データのアライメント

		トランスミッションデータ1回目	トランスミッションデータ2回目	トランスミッションデータ3回目	トランスミッションデータ4回目
DWL[2:0]	レシーブシフトレジスタ	SSIFRDR			
		PDTA = 0 (左詰)		PDTA = 1 (右詰)	
000 (8ビット)	無効	7	0	7	0
	無効	7	0	7	0
	無効	7	0	7	0
	無効	7	0	7	0
001 (16ビット)	無効	15	0	15	0
	無効	15	0	15	0
	無効	15	0	15	0
	無効	15	0	15	0
010~100 18ビット : X = 17 20ビット : X = 19 22ビット : X = 21 24ビット : X = 23	無効	X	0	X	0
	無効	X	0	X	0
	無効	X	0	X	0
	無効	X	0	X	0
110 (32ビット)	31	31	0	31	0
	31	31	0	31	0
	31	31	0	31	0
	31	31	0	31	0
111 (設定禁止)	設定禁止				

図 33.8 受信時の配置データのアライメント

SDTA ビット (シリアルデータディレイ選択)

シリアルデータとパディングビットの調整方法を設定します。パディングビットのない通信では、本ビットは無効です。

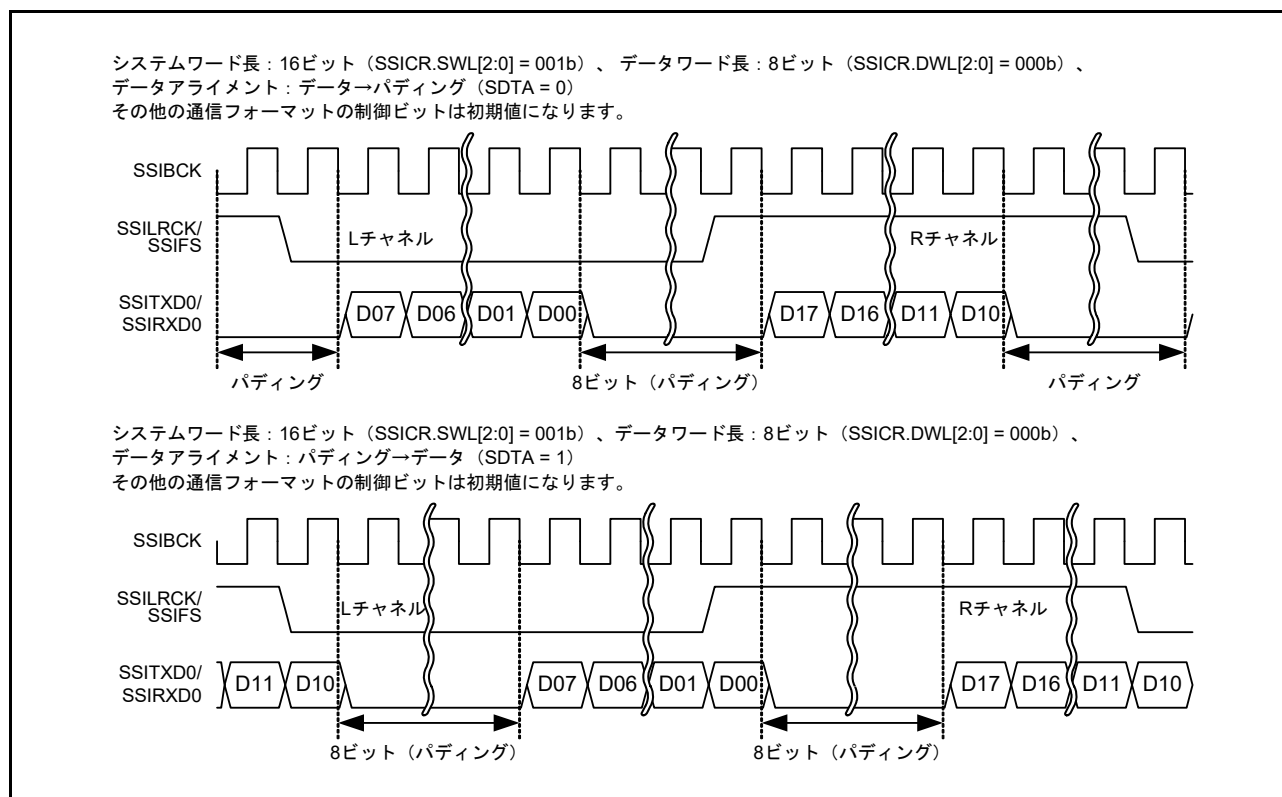


図 33.9 パディングビットのあるシリアルデータのアライメント設定

SPDP ビット (シリアルパディング極性選択)

パディングビットの極性を設定します。

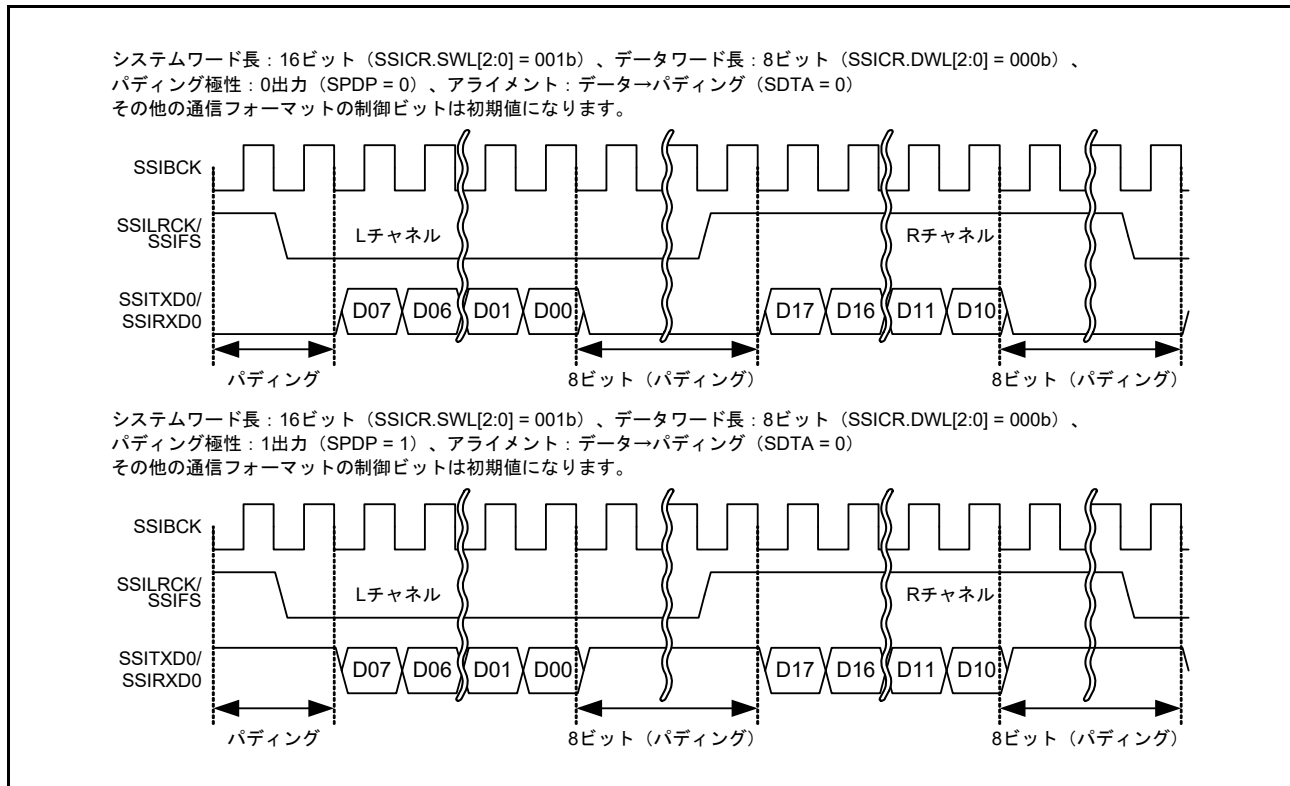


図 33.10 パディングビット極性

LRCKP ビット (LR クロック/フレーム同期信号の初期値と極性選択)

SSILRCK/SSIFS の初期値および極性を設定します。SSIE で使用する通信フォーマットに従って設定してください。表 33.3 「SSILRCK/SSIFS 端子の初期出力値と極性」を参照してください。スレーブモード通信 (MST=0) では、開始トリガのみ使用します。

本ビットへの書き込みは、SSILRCK/SSIFS 端子への LR クロック供給が停止しているときに行ってください。LR クロック出力の詳細は、SSIOFR の LRCONT ビットについての説明を参照してください。

表 33.3 SSILRCK/SSIFS 端子の初期出力値と極性

通信フォーマット	期待初期状態	LRCKP の設定値
I ² S	High	0
モノラル	Low	1

注 . I²S およびモノラルのフォーマットと互換性のある通信フォーマットを使用する場合、各フォーマットでの通信が有効になるようにビットを指定してください。

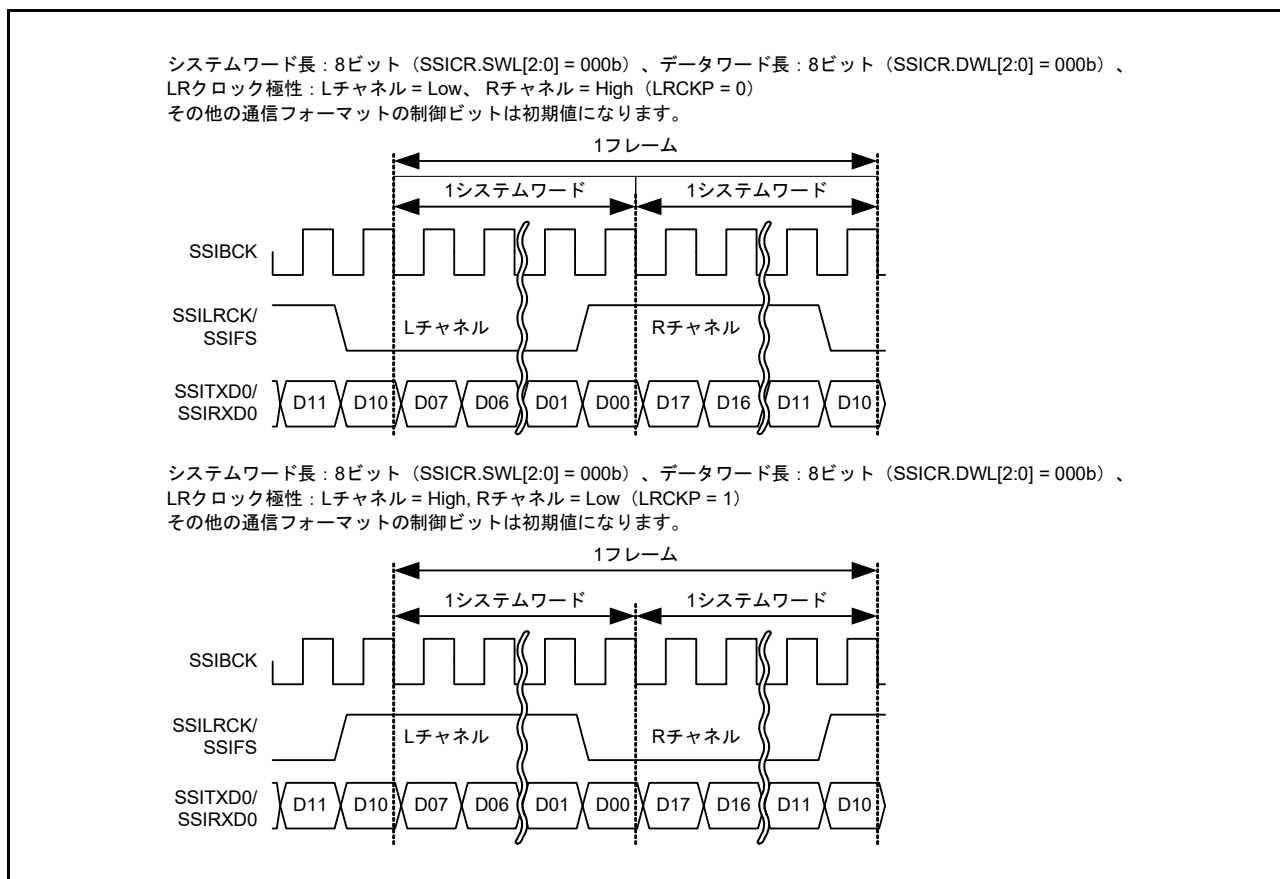


図 33.11 LR クロック/フレーム同期極性設定

BCKP ビット (ビットクロック極性選択)

ビットクロック極性を設定します。

本ビットへの書き込みは、AUDIO_MCK 供給が停止しているときに行ってください。設定するタイミングの詳細は、33.4.3 FIFO コントロールレジスタ (SSIFCR) の AUCKE ビットについての説明を参照してください。

表 33.4 ビットクロック極性

通信状態	マスタ/スレーブ	タイミング	BCKP = 0	BCKP = 1
受信	スレーブ	SSILRCK/SSIFS サンプリング時	SSIBCK 立ち上がりエッジ	SSIBCK 立ち下がりエッジ
	マスタ/スレーブ	SSIRXD0 サンプリング時	SSIBCK 立ち上がりエッジ	SSIBCK 立ち下がりエッジ
送信	マスタ	SSILRCK/SSIFS 出力の変化時	SSIBCK 立ち下がりエッジ	SSIBCK 立ち上がりエッジ
	マスタ/スレーブ	SSITXD0 出力の変化時	SSIBCK 立ち下がりエッジ	SSIBCK 立ち上がりエッジ

MST ビット (マスタ有効)

マスタ/スレーブモード通信を設定します。

本ビットへの書き込みは、AUDIO_MCK 供給が停止しているときに行ってください。設定するタイミングの詳細は、33.4.3 FIFO コントロールレジスタ (SSIFCR) の AUCKE ビットについての説明を参照してください。

SWL[2:0] ビット (システムワード長選択)

1つのシステムワードでのビット数を設定します。パディングビットが、DWL[2:0] で設定したデータワード1つごとに送受信されます。詳細は、表 33.11 を参照してください。

本ビットへの書き込みは、SSILRCK/SSIFS 端子への LR クロック供給が停止しているときに行ってください。LR クロック出力の詳細は、33.4.7 TDM モードレジスタ (SSITDMR) の LRCONT ビットについての説明を参照してください。

DWL[2:0] ビット (データワード長選択)

1つのデータワードのビット数を設定します。データワード長 (データワードごとのビット数) は、システムワード長 (システムワードごとのビット数) を超えないようにしてください。詳細は、表 33.11 を参照してください。

I IEN ビット (アイドルモード割り込み出力許可)

アイドルモード割り込み出力を許可/禁止します。本ビットを有効にする (1 にする) と、SSISR.IIRQ = 1 の立ち上がりエッジで割り込みを出力します。SSISR.IIRQ = 1 のときに本ビットを 0 から 1 へ変更した場合も、割り込みを出力します。

ROIEN ビット (受信オーバーフロー割り込み出力許可)

受信オーバーフロー割り込み出力を許可/禁止します。本ビットを有効にする (1 にする) と、SSISR.ROI RQ = 1 の立ち上がりエッジで割り込みを出力します。SSISR.ROI RQ = 1 のときに本ビットを 0 から 1 へ変更した場合も、割り込みを出力します。

RUIEN ビット (受信アンダーフロー割り込み出力許可)

受信アンダーフロー割り込み出力を許可/禁止します。本ビットを有効にする (1 にする) と、SSISR.RUI RQ = 1 の立ち上がりエッジで割り込みを出力します。SSISR.RUI RQ = 1 のときに本ビットを 0 から 1 へ変更した場合も、割り込みを出力します。

TOIEN ビット (送信オーバーフロー割り込み出力許可)

送信オーバーフロー割り込み出力を許可/禁止します。本ビットを有効にする (1 にする) と、SSISR.TOI RQ = 1 の立ち上がりエッジで割り込みを出力します。SSISR.TOI RQ = 1 のときに本ビットを 0 から 1 へ変更した場合も、割り込みを出力します。

TUIEN ビット (送信アンダーフロー割り込み出力許可)

送信アンダーフロー割り込み出力を許可/禁止します。本ビットを有効にする (1 にする) と、SSISR.TUI RQ = 1 の立ち上がりエッジで割り込みを出力します。SSISR.TUI RQ = 1 のときに本ビットを 0 から 1 へ変更した場合も、割り込みを出力します。

CKS ビット (マスタモード通信のオーディオクロック選択)

マスタモード通信 (MST = 1) で、オーディオクロックを設定します。スレーブモード通信 (MST = 0) では、本ビットの設定は無効です。

本ビットへの書き込みは、AUDIO_MCK 供給が停止しているときに行ってください。設定するタイミングの詳細は、SSIFCR.AUCKE ビットについての説明を参照してください。

33.4.2 ステータスレジスタ (SSISR)

アドレス SSIE0.SSISR 4004 E004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b24-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25	IIRQ	アイドルモードステータスフラグ	0: 通信状態 1: アイドル状態	R
b26	ROIRQ	受信オーバーフローエラーステータスフラグ	0: 受信オーバーフローエラーの発生なし 1: 受信オーバーフローエラーの発生あり	R/W
b27	RUIRQ	受信アンダーフローエラーステータスフラグ	0: 受信アンダーフローエラーの発生なし 1: 受信アンダーフローエラーの発生あり	R/W
b28	TOIRQ	送信オーバーフローエラーステータスフラグ	0: 送信オーバーフローエラーの発生なし 1: 送信オーバーフローエラーの発生あり	R/W
b29	TUIRQ	送信アンダーフローエラーステータスフラグ	0: 送信アンダーフローエラーの発生なし 1: 送信アンダーフローエラーの発生あり	R/W
b31-b30	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

本レジスタは、SSIE の動作状態を示すステータスフラグで構成されます。

IIRQ ビット (アイドルモードステータスフラグ)

SSIE がアイドル状態にあるか通信状態にあるかを示すステータスフラグです。

詳細は、[図 33.12](#) および [図 33.13](#) を参照してください。

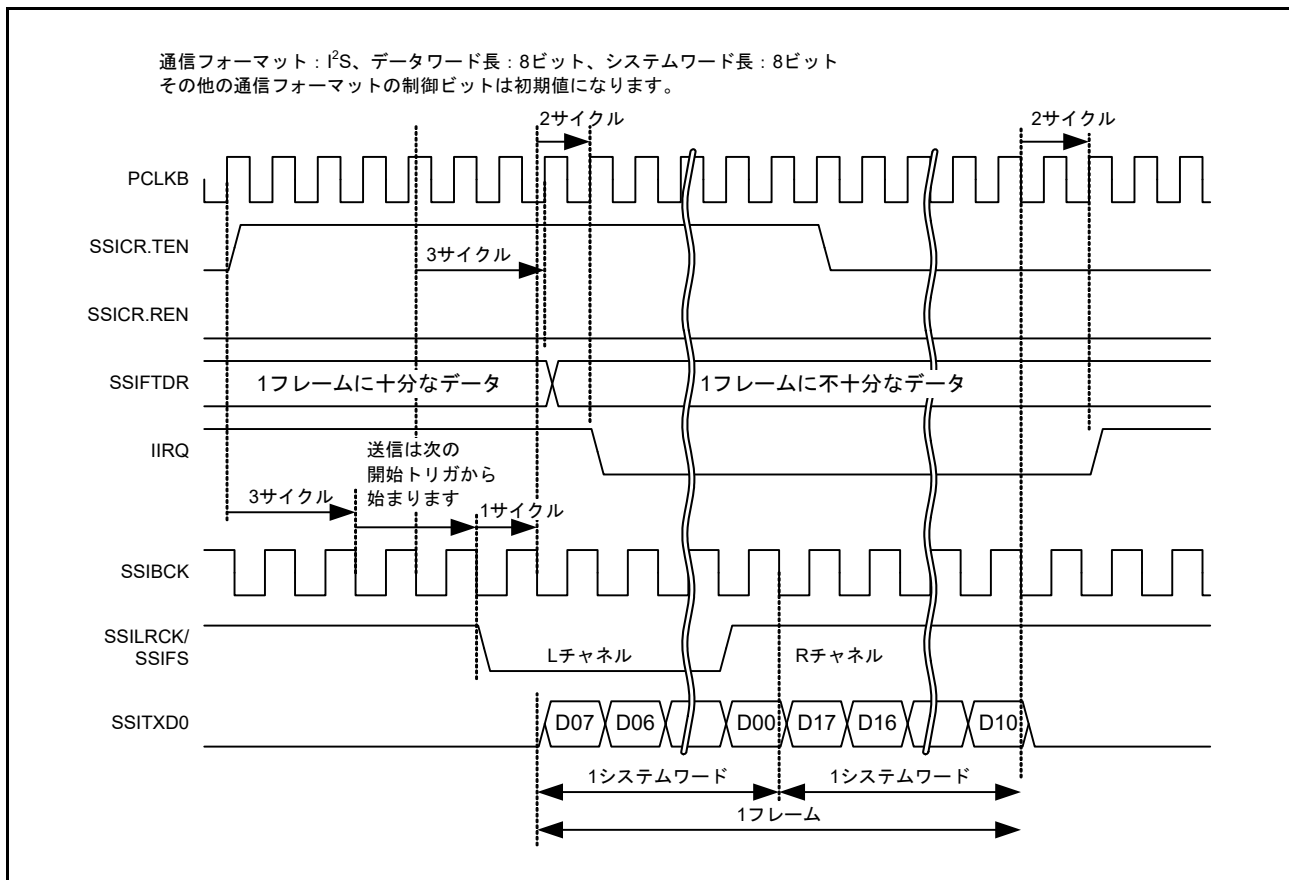


図 33.12 IIRQ 設定タイミング (送信)

トランスミッタ (送信専用) の場合

[0 になる条件]

- 送信が許可されている場合 (SSICR.TEN = 1 かつ SSICR.REN = 0) に、送信フレームの送信データが SSIFTDR レジスタに書き込まれ、開始トリガが SSILRCK/SSIFS 信号によって生成されたとき

[0 になるタイミング]

- 0 になる条件である開始トリガの生成から、「SSIBCK 1 サイクル + PCLKB 2 サイクル」が経過したとき

[1 になる条件]

- 送信と受信が禁止されている場合 (SSICR.TEN = 0 かつ SSICR.REN = 0) に、1 つのフレームの送信が完了したとき

[1 になるタイミング]

- 1 になる条件である送信の終了 (フレーム境界) から、PCLKB の 2 サイクルが経過したとき

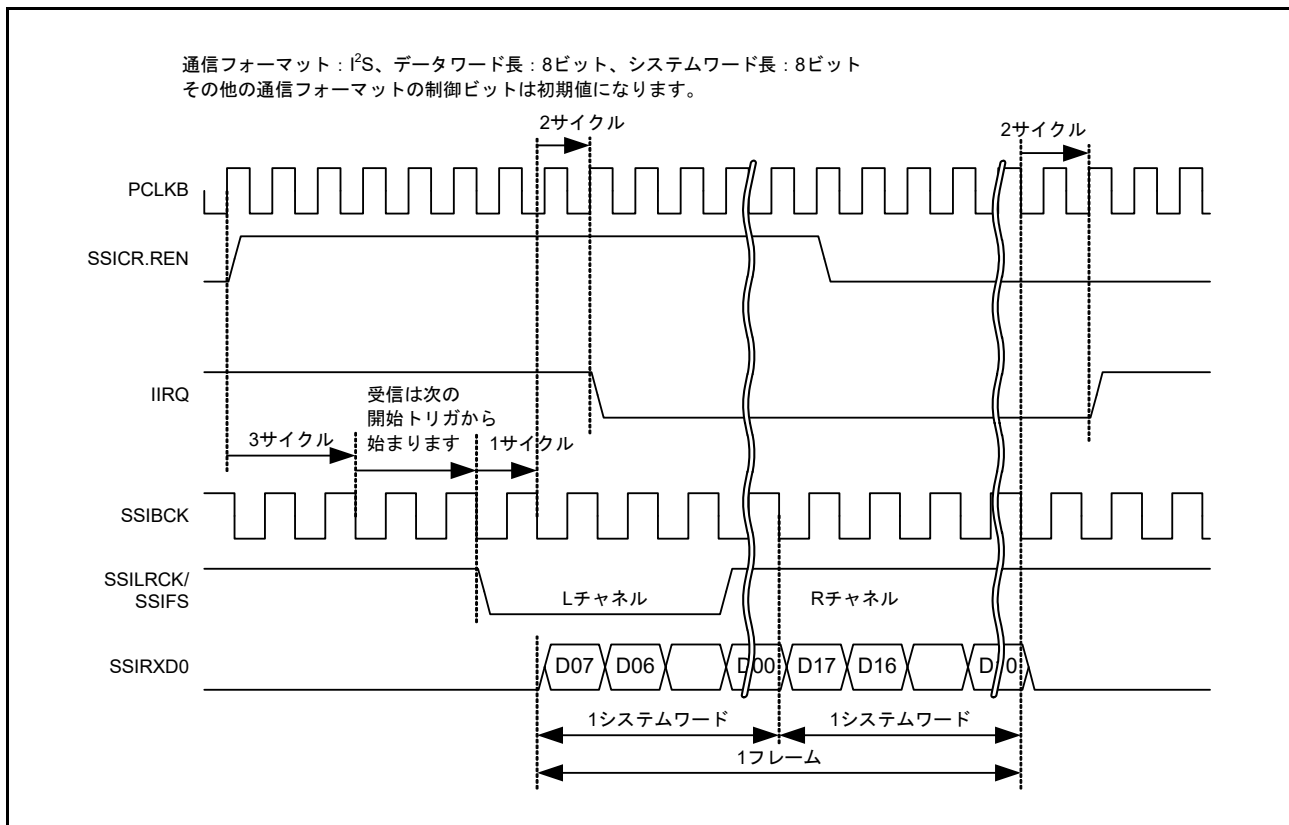


図 33.13 IIRQ 設定タイミング (受信)

レシーバ (受信専用) の場合

[0 になる条件]

- 受信が許可されている場合 (SSICR.TEN = 0 かつ SSICR.REN = 01) に、開始トリガが SSILRCK/SSIFS 信号によって生成されたとき

[0 になるタイミング]

- 0 になる条件である開始トリガの生成から、「SSIBCK 1 サイクル + PCLKB 2 サイクル」が経過したとき

[1 になる条件]

- 送信と受信が禁止されている場合 (SSICR.TEN = 0 かつ SSICR.REN = 0) に、1 つのフレームの受信が完了したとき

[1 になるタイミング]

- 1 になる条件である受信の終了 (フレーム境界) から、PCLKB の 2 サイクルが経過したとき

トランシーバ (送受信) の場合

[0 になる条件]

- 送信と受信が許可されている場合 (SSICR.TEN = 1 かつ SSICR.REN = 1) に、送信フレームの送信データが SSIFDR レジスタに書き込まれ、開始トリガが SSILRCK/SSIFS 信号によって生成されたとき

[0 になるタイミング]

- 0 になる条件である開始トリガの生成から、「SSIBCK 1 サイクル + PCLKB 2 サイクル」が経過したとき

[1 になる条件]

- 送信と受信が禁止されている場合 (SSICR.TEN = 0 かつ SSICR.REN = 0) に、1 つのフレームの送信が完了したとき

[1 になるタイミング]

- 1 になる条件である送信の終了（フレーム境界）から、PCLKB の 2 サイクルが経過したとき

ROIRQ ビット（受信オーバーフローエラーステータスフラグ）

受信オーバーフローエラーを示すステータスフラグです。本フラグは自動的に設定されますが、レジスタアクセスによるフラグクリアが必要です。要求レートより高いレートで受信データが供給されたことを示します。受信オーバーフローエラーが発生したときは、受信シフトレジスタから SSIFRDR へデータは転送されません。オーバーフローエラーから回復する手順は、[33.8.6 エラー処理](#)を参照してください。本フラグは、受信 FIFO データレジスタリセット (SSIFCR.RFRST) ではクリアできません。

[1 と 0 の優先順位]

- 1 が優先されます（注 1）

[0 になる条件]

下記のいずれかの操作を行ったとき

1. 本ビットから 1 を読み出した後に、0 を書き込んだとき（注 2）
2. 通信を許可（SSICR.REN を 0 から 1 に変更）したとき

[0 になるタイミング]

前述の 0 になる条件に対応して 0 になるタイミング

1. 本ビットから 1 を読み出した後に、0 を書き込んだとき（[図 33.17](#) に示すタイミングと同じ）
2. SSICR.REN に 1 を書き込んでから PCLKB の 1 サイクルが経過したとき（注 3）

注 1. 本ビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) によってクリアします。ソフトウェアリセットは、前述したすべての 0 になる条件より優先されます。

注 2. 本ビットから 1 を読み出した後、以下 3 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。

- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき

- 1 を読み出した後、0 の書き込みが完了したとき

- SSICR.REN に 1 を書き込んだ後、PCLKB の 1 サイクルが経過したとき

注 3. 通信を許可（SSICR.REN ビットを 0 から 1 に変更）した後、SSISR レジスタの受信エラーフラグ RUIRQ および ROIRQ はクリアされます。ただし、SSISR レジスタが継続して読み出されるとき、受信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

[1 になる条件]

- SSIFRDR がフルの状態でのデータの受信が完了したとき

[1 になるタイミング]

- 受信が完了した後に、PCLKB の 3 サイクルが経過したとき

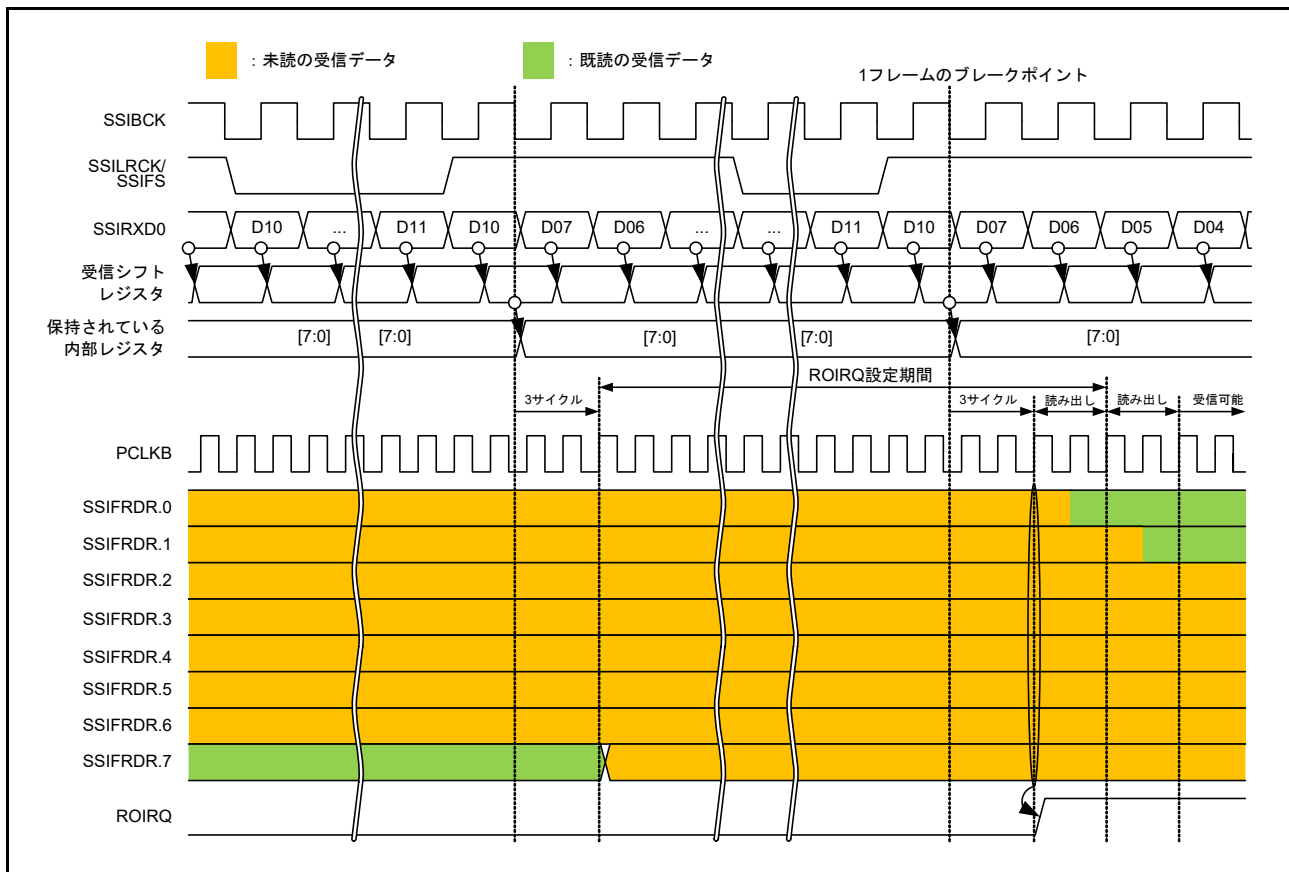


図 33.14 ROIRQ 設定タイミング

RUIRQ ビット (受信アンダーフローエラーステータスフラグ)

受信アンダーフローエラーを示すステータスフラグです。本フラグは自動的に設定されますが、レジスタアクセスによるフラグクリアが必要です。SSIFRDR が空の状態を読み出されたことを示します。受信アンダーフローエラーが発生したときに SSIFRDR から読み出されたデータは、無効です。エラーから回復する手順は、[33.8.6 エラー処理](#)を参照してください。本フラグは、受信 FIFO データレジスタリセット (SSIFCR.RFRST) ではクリアできません。なお、受信 FIFO データレジスタのリセット中 (SSIFCR.RFRST を 1 にする) に SSIFRDR レジスタを読み出しても、本フラグは設定できません。

[1 と 0 の優先順位]

- 1 が優先されます (注 1)

[0 になる条件]

下記のいずれかの操作を行ったとき

1. 本ビットから 1 を読み出した後に、0 を書き込んだとき (注 2)
2. 通信を許可 (SSICR.REN を 0 から 1 に変更) したとき

[0 になるタイミング]

前述の 0 になる条件に対応して 0 になるタイミング

1. 本ビットから 1 を読み出した後に、0 を書き込んだとき (図 33.17 に示すタイミングと同じ)
2. SSICR.REN に 1 を書き込んでから PCLKB の 1 サイクルが経過したとき (注 3)

注 1. 本ビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) によってクリアします。ソフトウェアリセットは、前述したすべての 0 になる条件より優先されます。

注 2. 本ビットから 1 を読み出した後、以下 3 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
 - ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
 - 1 を読み出した後、0 の書き込みが完了したとき

- SSICR.REN に 1 を書き込んだ後、PCLKB の 1 サイクルが経過したとき
- 注 3. 通信を許可 (SSICR.REN ビットを 0 から 1 に変更) した後、SSISR レジスタの受信エラーフラグ RUIRQ および ROIRQ はクリアされます。ただし、SSISR レジスタが継続して読み出されると、受信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

[1 になる条件]

- SSIFRDR が空の状態を読み出したとき

[1 になるタイミング]

- SSIFRDR からの読み出しが完了したとき。図 33.15 を参照してください

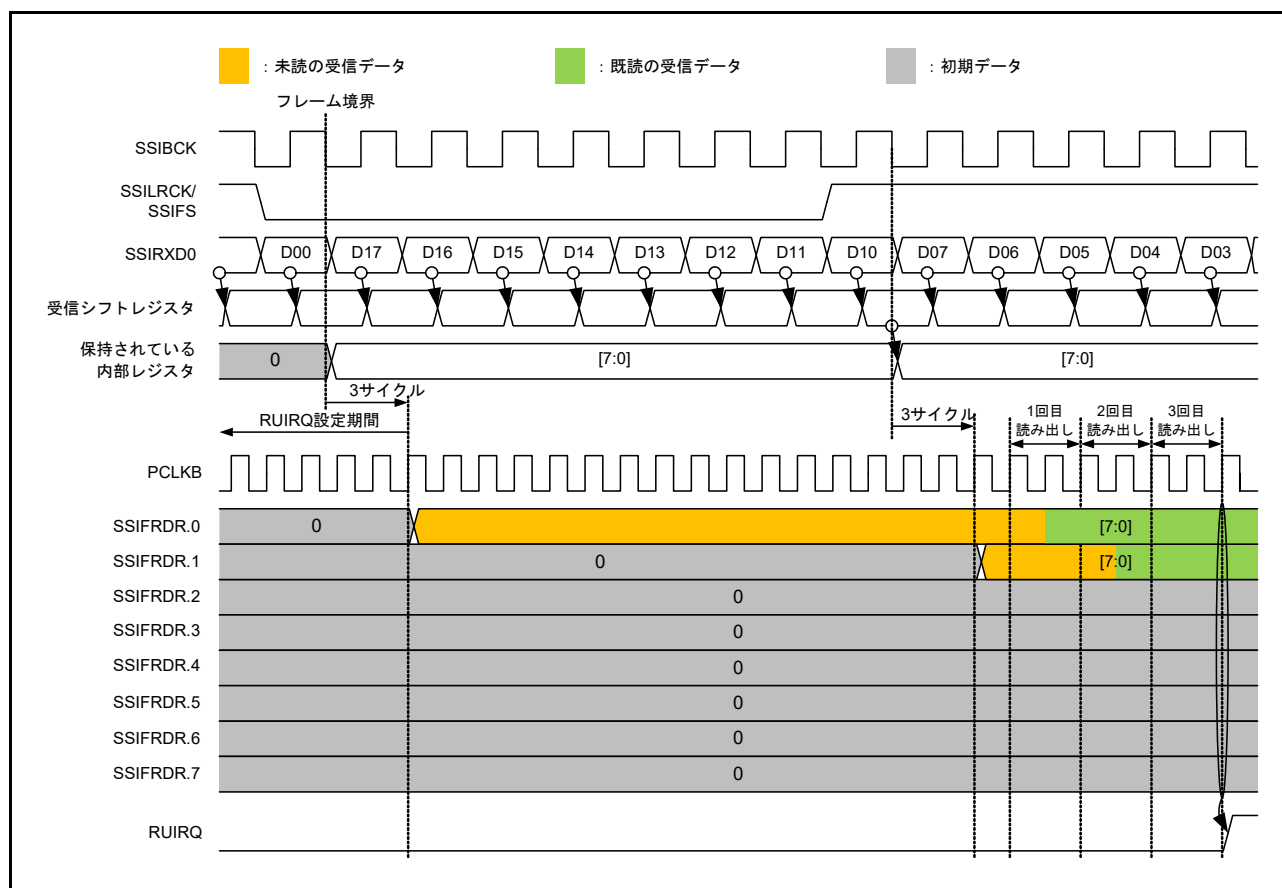


図 33.15 RUIRQ 設定タイミング

TOIRQ ビット (送信オーバーフローエラーステータスフラグ)

送信オーバーフローエラーを示すステータスフラグです。本フラグは自動的に設定されますが、レジスタアクセスによるフラグクリアが必要です。SSIFTDR レジスタがフルのときに、SSIFTDR レジスタヘータを書き込みしようとしたことを示します。送信オーバーフローの原因となったデータ書き込みは、無視されます。オーバーフローエラーから回復する手順は、[33.8.6 エラー処理](#)を参照してください。本フラグは、送信 FIFO データレジスタリセット (SSIFCR.TFRST) ではクリアできません。

[1 と 0 の優先順位]

- 1 が優先されます (注 1)

[0 になる条件]

下記のいずれかの操作を行ったとき

1. 本ビットから 1 を読み出した後に、0 を書き込んだとき (注 2)
2. 通信を許可 (SSICR.TEN を 0 から 1 に変更) したとき

[0 になるタイミング]

前述の 0 になる条件に対応して 0 になるタイミング

1. 本ビットから 1 を読み出した後に、0 を書き込んだとき (図 33.17 に示すタイミングと同じ)
 2. SSICR.TEN に 1 を書き込んでから PCLKB の 1 サイクルが経過したとき (注 3)
- 注 1. 本ビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) によってクリアします。ソフトウェアリセットは、前述したすべての 0 になる条件より優先されます。
- 注 2. 本ビットから 1 を読み出した後、以下 3 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
 - 0 を書き込んだとき
 - SSICR.TEN に 1 を書き込んだ後、PCLKB の 1 サイクルが経過したとき
- 注 3. 通信を許可 (SSICR.TEN ビットを 0 から 1 に変更) した後、SSISR レジスタの送信エラーフラグ TOIRQ および TUIRQ はクリアされます。ただし、SSISR レジスタが継続して読み出されると、送信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

[1 になる条件]

- SSIFTDR レジスタがデータフルのときに、SSIFTDR レジスタヘータを書き込みしたことを示します

[1 になるタイミング]

- SSIFTDR への書き込みが完了したとき。詳細は、[図 33.16](#)を参照してください

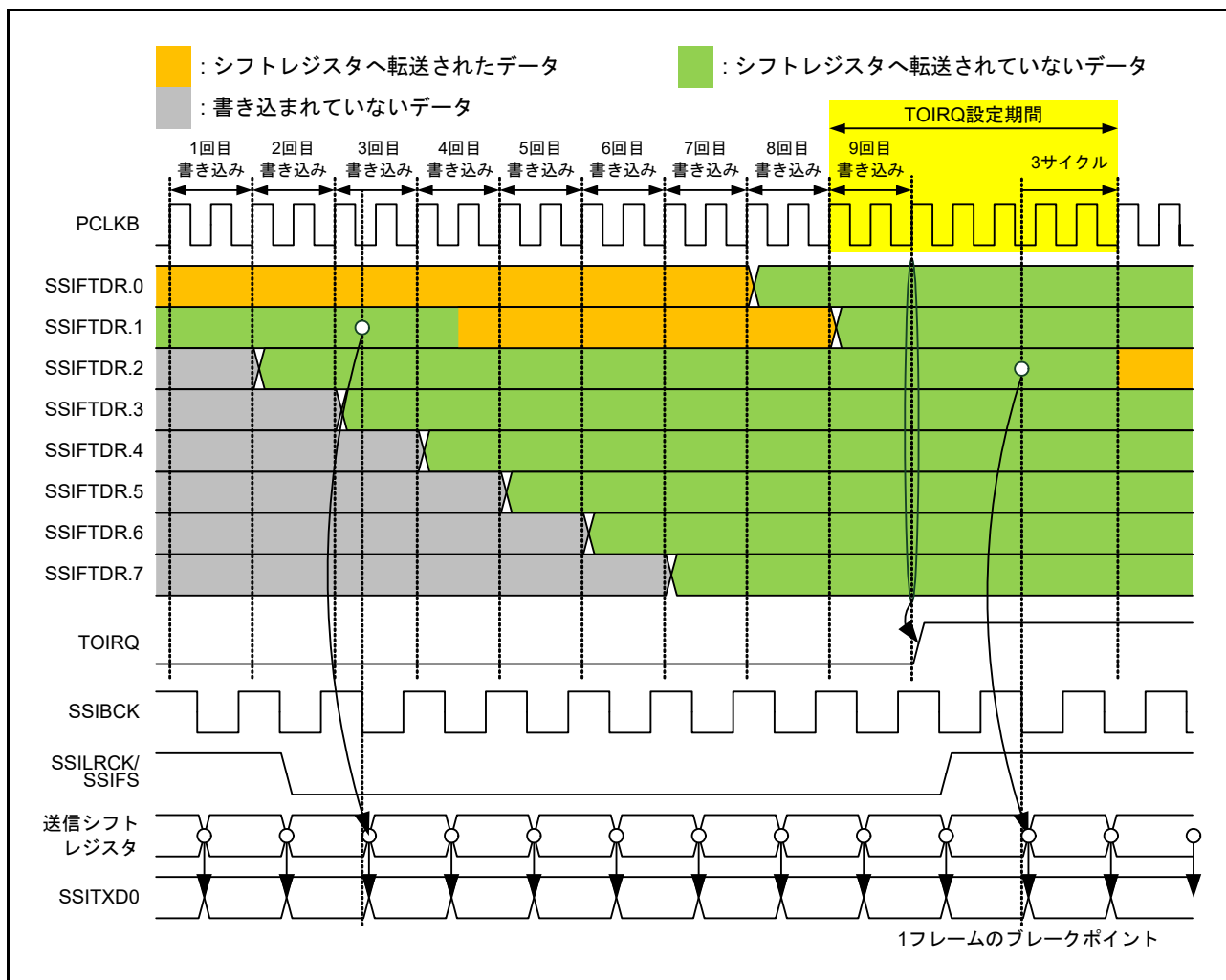


図 33.16 TOIRQ 設定タイミング

TUIRQ ビット (送信アンダーフローエラーステータスフラグ)

送信アンダーフローエラーを示すステータスフラグです。本フラグは自動的に設定されますが、レジスタアクセスによるフラグクリアが必要です。フレームに必要なシリアルデータの SSIFTDR への書き込みが、フレームの送信に追いつかなかったことを示します。設定されたフラグをクリアしても、SSITXD0 出力は 0 のままです。送信 FIFO データレジスタ (SSIFTDR) へ書き込まれたデータを、SSITXD0 端子へ出力するには、[図 33.52](#) の通信停止の手順、および [図 33.53](#) のエラー処理手順に従ってください。エラーから回復する手順は、[33.8.6 エラー処理](#) を参照してください。本フラグは、送信 FIFO データレジスタリセット (SSIFCR.TFRST 信号) ではクリアできません。

[1 と 0 の優先順位]

- 1 が優先されます (注 1)

[0 になる条件]

下記のいずれかの操作を行ったとき

1. 本ビットから 1 を読み出した後に、0 を書き込んだとき (注 2)
2. 通信を許可 (SSICR.TEN を 0 から 1 に変更) したとき

[0 になるタイミング]

前述の 0 になる条件に対応して 0 になるタイミング

1. 本ビットから 1 を読み出した後に、0 を書き込んだとき
2. SSICR.TEN に 1 を書き込んでから PCLKB の 1 サイクルが経過したとき (注 3)

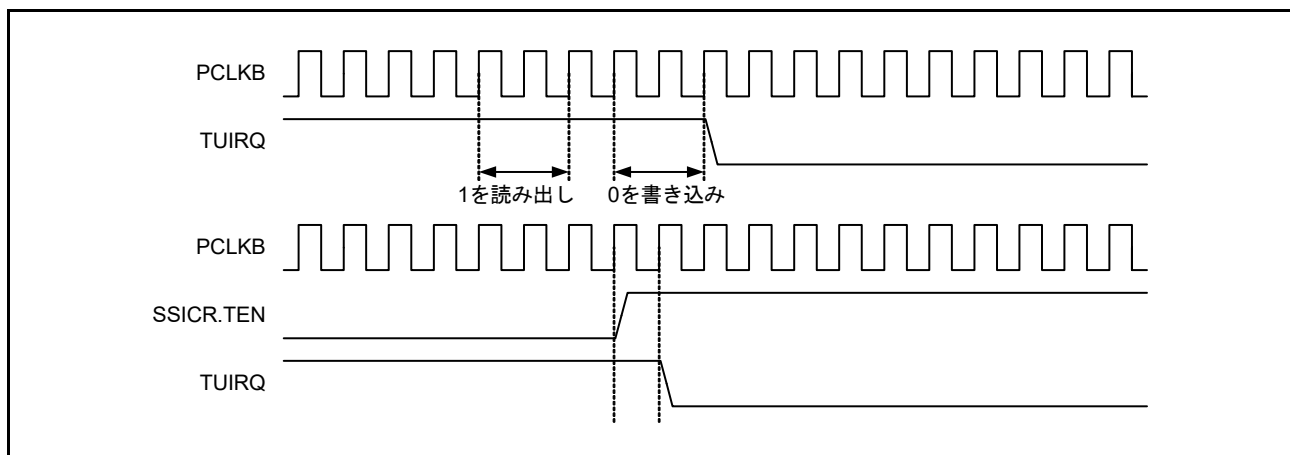


図 33.17 TUIRQ クリアタイミング

- 注 1. 本ビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) によってクリアします。ソフトウェアリセットは、前述したすべての 0 になる条件より優先されます。
- 注 2. 本ビットから 1 を読み出した後、以下 3 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
 - 0 を書き込んだとき
 - SSICR.TEN に 1 を書き込んだ後、PCLKB の 1 サイクルが経過したとき
- 注 3. 通信を許可 (SSICR.TEN ビットを 0 から 1 に変更) した後、SSISR レジスタの送信エラーフラグ TOIRQ および TUIRQ はクリアされます。ただし、SSISR レジスタが継続して読み出されると、送信エラーフラグをクリアしたステータスは、読み出せない可能性があります。

[1 になる条件]

- フレーム境界を越えて通信が継続する場合に、次のフレームに必要な送信データが SSIFTDR に書き込みされなかったとき。詳細は、[図 33.18](#) および [図 33.19](#) を参照してください

[1 になるタイミング]

- フレーム境界から PCLKB の 3 サイクルが経過したとき。詳細は、[図 33.18](#) を参照してください

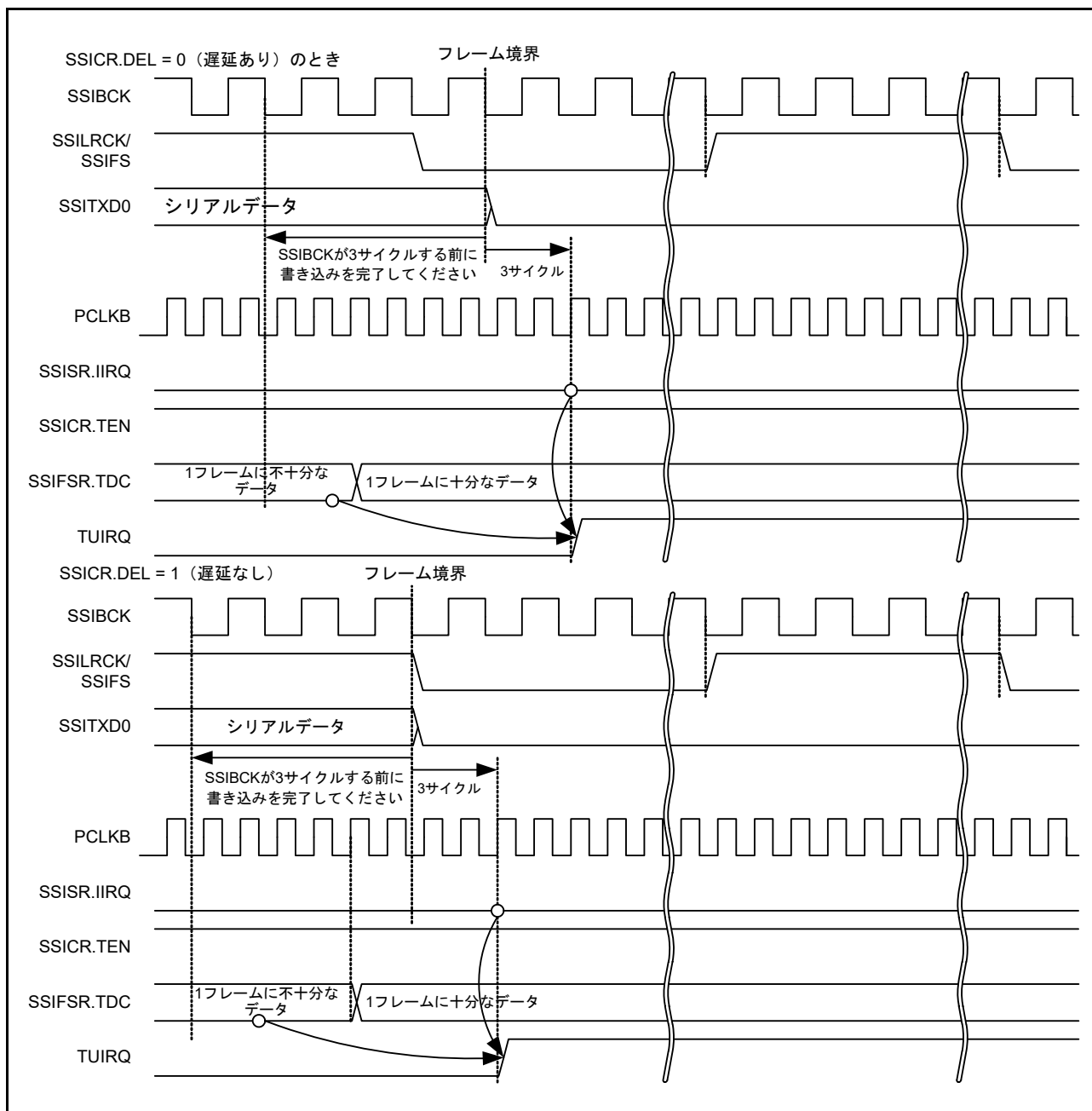


図 33.18 TUIRQ 設定タイミング (通信が継続する場合)

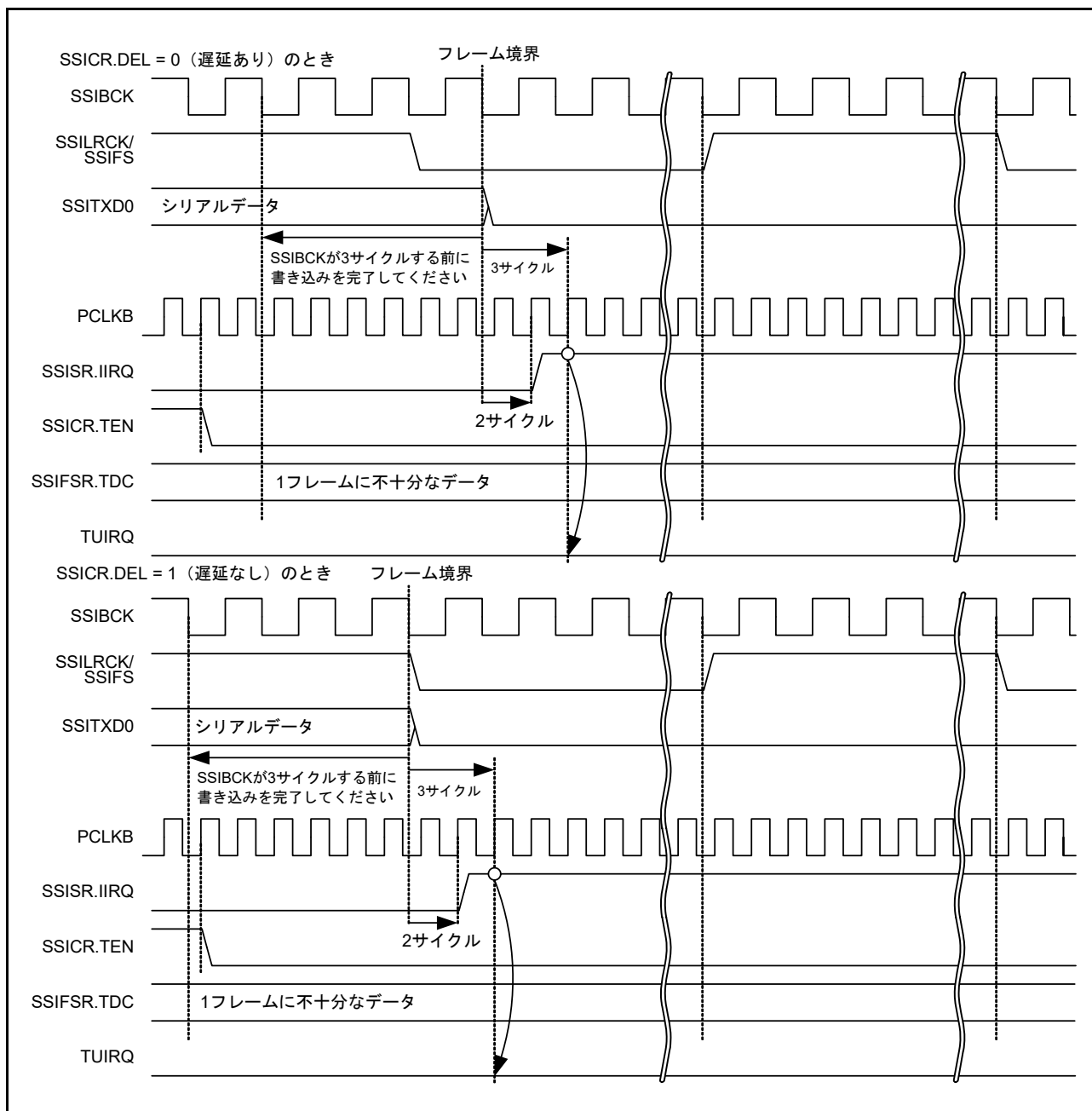


図 33.19 TUIRQ 設定タイミング (通信が停止する場合)

33.4.3 FIFO コントロールレジスタ (SSIFCR)

アドレス SSIE0.SSIFCR 4004 E010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFRST	受信FIFOデータレジスタリセット(注1)	0: 受信データFIFOリセット解除 1: 受信データFIFOリセット状態	R/W
b1	TFRST	送信FIFOデータレジスタリセット(注1)	0: 送信データFIFOリセット解除 1: 送信データFIFOリセット状態	R/W
b2	RIE	受信データフル割り込み出力許可	0: 受信データフル割り込み禁止 1: 受信データフル割り込み許可	R/W
b3	TIE	送信データエンプティ割り込み出力許可	0: 送信データエンプティ割り込み禁止 1: 送信データエンプティ割り込み許可	R/W
b10-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	BSW	バイトスワップ許可(注1)	0: バイトスワップ禁止 1: バイトスワップ許可	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	SSIRST	ソフトウェアリセット	0: ソフトウェアリセット解除 1: ソフトウェアリセット状態	R/W
b30-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	AUCKE	マスターモード通信時にAUDIO_MCK許可(注1)	0: AUDIO_MCK供給を禁止 1: AUDIO_MCK供給を許可	R/W

注1. SSIEが通信状態(SSISR.IIRQ = 0)のとき、本ビットへ書き込みしないでください。ビットを書き換えた場合、変更後の動作は予測できません。

本レジスタは、ソフトウェアリセット、バイトスワップ、および割り込み要求の許可/禁止を設定します。

RFRST ビット (受信 FIFO データレジスタリセット)

受信FIFOデータレジスタ(SSIFRDR)のソフトウェアリセットを設定します。1を書き込むと、SSIFRDRレジスタの内部状態を初期化します。本ビットへの書き込みによりソフトウェアリセットを行うレジスタビットを、表33.5に網掛けで示します。本ビットは設定後に自動的にクリアされないため、0を書き込んでソフトウェアリセットでレジスタビットを解放してください。0を書き込んだ後、本ビットが0になっていることを確認してから次の手順を開始してください。

本ビットは、SSIRSTビットによるソフトウェアリセットの対象です。SSIRSTビットでのソフトウェアリセットは、本ビットでのリセットより優先されるため、SSIRSTビットが設定されている場合、本ビットの設定は無視されます。

表 33.5 RFRST ビットによるソフトウェアリセットを行うレジスタビット

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	00h	+0	—	CKS	TUI EN	TOI EN	RUI EN	ROI EN	IEN	—	—	—	DWL[2:0]			SWL[2:0]		
		+2	—	MS T	BCK P	LRC KP	SPD P	SDT A	PDT A	DEL	CKDV[3:0]				MU EN	—	TEN	RE N
SSISR	04h	+0	—	—	TUI RQ	TOI RQ	RUI RQ	ROI RQ	IIRQ	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
SSIFCR	10h	+0	AUC KE	—	—	—	—	—	—	—	—	—	—	—	—	—	SSI RST	
		+2	—	—	—	—	BS W	—	—	—	—	—	—	—	TIE	RIE	TFR ST	RFR ST
SSIFSR	14h	+0	—	—	—	—	TDC[3:0]			—	—	—	—	—	—	—	TDE	
		+2	—	—	—	—	RDC[3:0]			—	—	—	—	—	—	—	RDF	
SSIFTDR	18h	+0	SSIFTDR[31:16]															
		+2	SSIFTDR[15:0]															
SSIFRDR	1ch	+0	SSIFRDR[31:16]															
		+2	SSIFRDR[15:0]															
SSIOFR	20h	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	—	BCK AST P	LRC ON T	—	—	—	—	—	—	—	OMOD[1:0]
SSISCR	24h	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	TDES[2:0]			—	—	—	—	—	RDFS[2:0]		

TFRST ビット (送信 FIFO データレジスタリセット)

送信 FIFO データレジスタ (SSIFTDR) のソフトウェアリセットを設定します。1 を書き込むと、SSIFTDR レジスタの内部状態を初期化します。本ビットへの書き込みによりソフトウェアリセットを行うレジスタビットを、表 33.6 に網掛けで示します。本ビットは設定すると自動的にクリアされないため、0 を書き込んでソフトウェアリセットからレジスタビットを解放してください。0 を書き込んだ後、本ビットが 0 になっていることを確認してから次の手順を開始してください。

本ビットは、SSIRST ビットによるソフトウェアリセットの対象です。SSIRST ビットでのソフトウェアリセットは、本ビットでのリセットより優先されるため、SSIRST ビットが設定されている場合、本ビットの設定は無視されます。

表 33.6 TFRST ビットによるソフトウェアリセットを行うレジスタビット

シンボル	アドレス (BASE+)	+0								+1								
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SSICR	00h	+0	—	CKS	TUI EN	TOI EN	RUI EN	ROI EN	IEN	—	—	—	DWL[2:0]			SWL[2:0]		
		+2	—	MS T	BCK P	LRC KP	SPD P	SDT A	PDT A	DEL	CKDV[3:0]			MU EN	—	TEN	RE N	
SSISR	04h	+0	—	—	TUI RQ	TOI RQ	RUI RQ	ROI RQ	IIRQ	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
SSIFCR	10h	+0	AUC KE	—	—	—	—	—	—	—	—	—	—	—	—	—	SSI RST	
		+2	—	—	—	—	BS W	—	—	—	—	—	—	TIE	RIE	TFR ST	RFR ST	
SSIFSR	14h	+0	—	—	—	—	TDC[3:0]			—	—	—	—	—	—	—	TDE	
		+2	—	—	—	—	RDC[3:0]			—	—	—	—	—	—	—	RDF	
SSIFTDR	18h	+0	SSIFTDR[31:16]															
		+2	SSIFTDR[15:0]															
SSIFRDR	1ch	+0	SSIFRDR[31:16]															
		+2	SSIFRDR[15:0]															
SSIOFR	20h	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	—	BCK AST P	LRC ON T	—	—	—	—	—	—	—	OMOD[1:0]
SSISCR	24h	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	—	—	TDES[2:0]			—	—	—	—	RDFS[2:0]	

RIE ビット (受信データフル割り込み出力許可)

受信データフル割り込みの出力を許可/禁止します。受信データフル割り込みは、受信 FIFO データレジスタからの読み出しを開始するのに使用します。受信データフル割り込みの設定条件 (1 になる条件) を指定してから (SSISCR.RDFS[2:0] ビットを使用)、本ビットに 1 を書き込んでください。図 33.20 に、受信データフル割り込み発生のタイミングを示します。

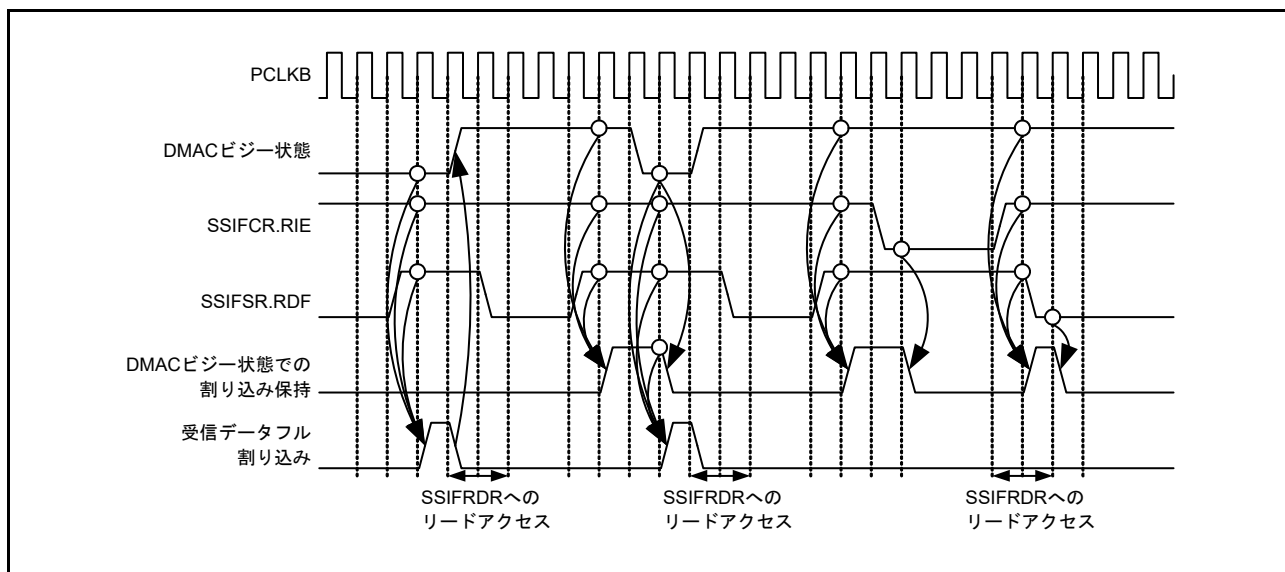


図 33.20 受信データフル割り込みのタイミング

TIE ビット (送信データエンプティ割り込み出力許可)

送信データエンプティ割り込みの出力を許可/禁止します。送信データエンプティ割り込みは、送信 FIFO データレジスタへの書き込みを開始するのに使用します。送信データエンプティ割り込みの設定条件 (1 になる条件) を指定してから (SSISCR.TDES[2:0] ビットを使用)、本ビットに 1 を書き込んでください。図 33.21 に、送信データエンプティ割り込み発生時のタイミングを示します。

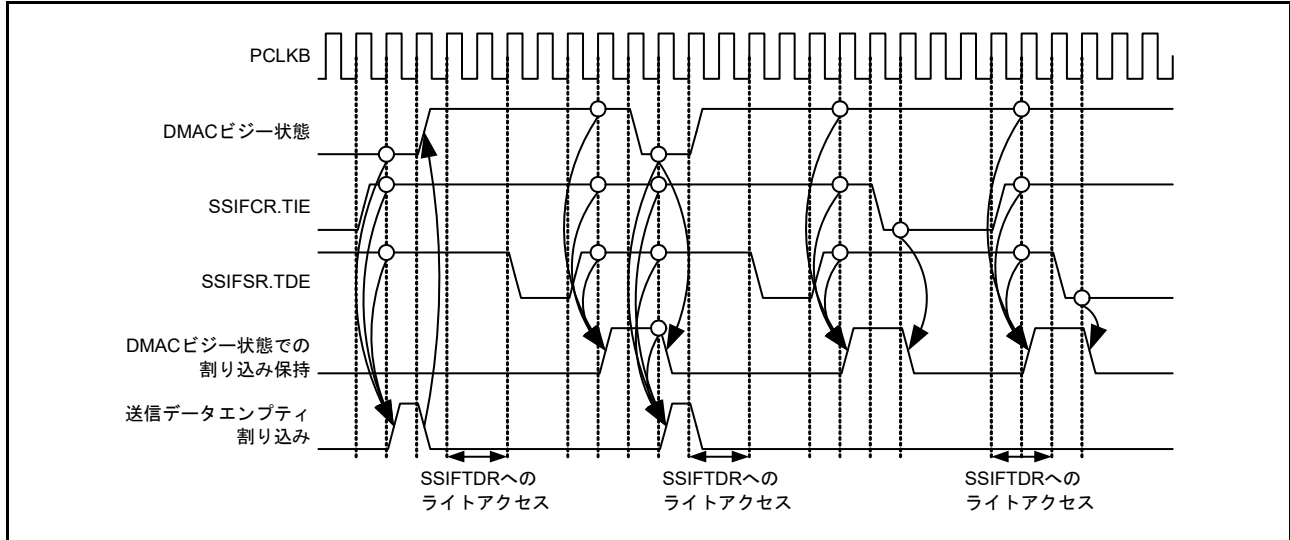


図 33.21 送信データエンプティ割り込みのタイミング

BSW ビット (バイトスワップ許可)

送信 FIFO データレジスタ (SSIFTDR) および受信 FIFO データレジスタ (SSIFRDR) へのレジスタアクセスに対して、バイトスワップを許可/禁止します。本ビットは、SSIFTDR および SSIFRDR への 16 ビットアクセスまたは 32 ビットアクセスでのみ有効です。詳細は、図 33.22 を参照してください。

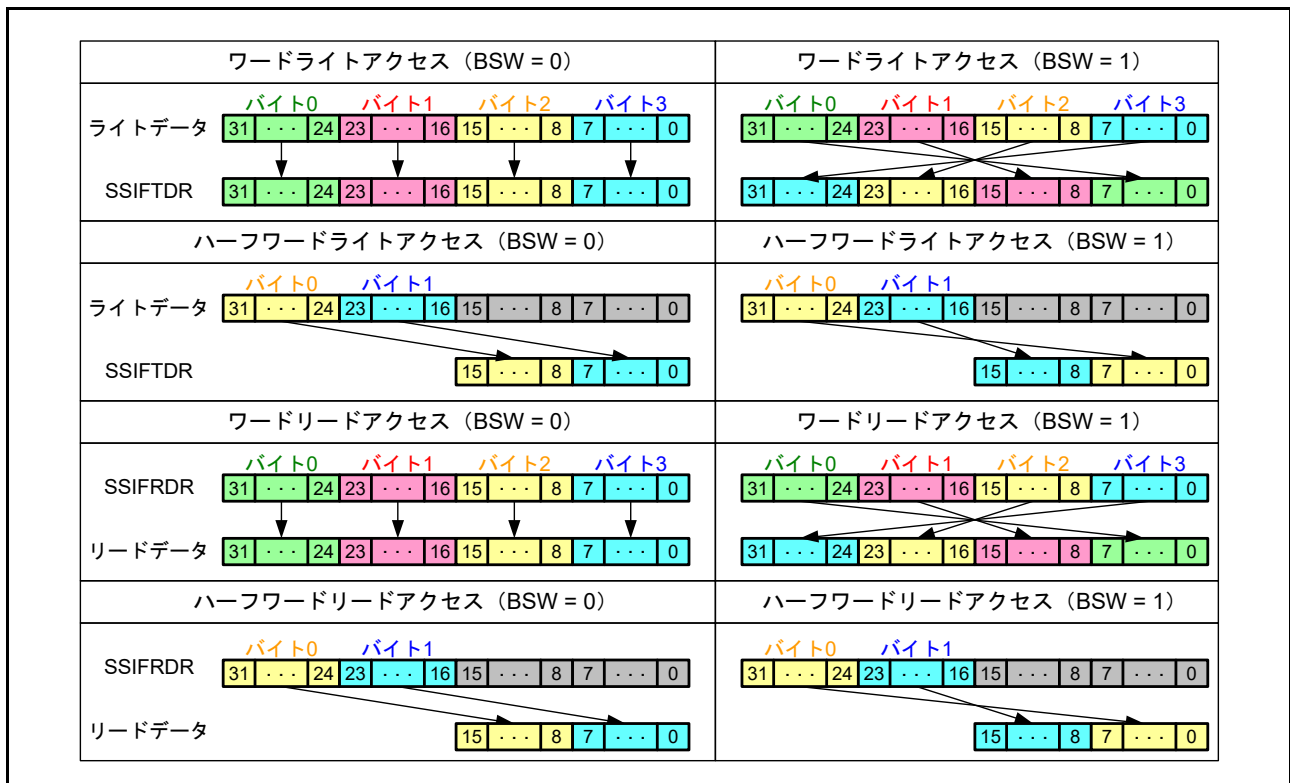


図 33.22 バイトスワップの動作例

SSIRST ビット (ソフトウェアリセット)

SSIE のソフトウェアリセットを設定します。1 を書き込むと、SSIE の内部状態を初期化します。本ビットへの書き込みによりソフトウェアリセットを行うレジスタビットを、表 33.7 に網掛けで示します。本ビットは設定すると自動的にクリアされないため、0 を書き込んでソフトウェアリセットからレジスタビットを解放してください。0 を書き込んだ後、本ビットが 0 になっていることを確認してから次の手順を開始してください。

SSIE の通信をすぐに停止するには、周辺機能をオフにしてから本ビットに 1 を書き込んでください。ビットクロックとは関係なく、ソフトウェアリセットによる初期化が行われます。

表 33.7 SSIRST ビットによるソフトウェアリセットを行うレジスタビット

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	00h	+0	—	CKS	TUI EN	TOI EN	RUI EN	ROI EN	IEN	—	—	—	DWL[2:0]			SWL[2:0]		
		+2	—	MS T	BCK P	LRC KP	SPD P	SDT A	PDT A	DEL	CKDV[3:0]			MU EN	—	TEN	RE N	
SSISR	04h	+0	—	—	TUI RQ	TOI RQ	RUI RQ	ROI RQ	IIRQ	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
SSIFCR	10h	+0	AUC KE	—	—	—	—	—	—	—	—	—	—	—	—	—	SSI RST	
		+2	—	—	—	—	BS W	—	—	—	—	—	—	TIE	RIE	TFR ST	RFR ST	
SSIFSR	14h	+0	—	—	—	—	TDC[3:0]			—	—	—	—	—	—	—	TDE	
		+2	—	—	—	—	RDC[3:0]			—	—	—	—	—	—	—	RDF	
SSIFTDR	18h	+0	SSIFTDR[31:16]															
		+2	SSIFTDR[15:0]															
SSIFRDR	1ch	+0	SSIFRDR[31:16]															
		+2	SSIFRDR[15:0]															
SSIOFR	20h	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	—	BCK AST P	LRC ON T	—	—	—	—	—	—	—	OMOD[1:0]
SSISCR	24h	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	TDES[2:0]			—	—	—	—	—	RDFS[2:0]		

AUCKE ビット (マスタモード通信時に AUDIO_MCK 許可)

マスタモード通信 (MST=1) のとき、AUDIO_MCK 供給を許可/禁止します。

本ビットの変更は、必ず AUDIO_MCK に関連する設定を指定してから (SSICR レジスタの CKS、MST、BCKP、および CKDV ビットを使用) 行ってください。

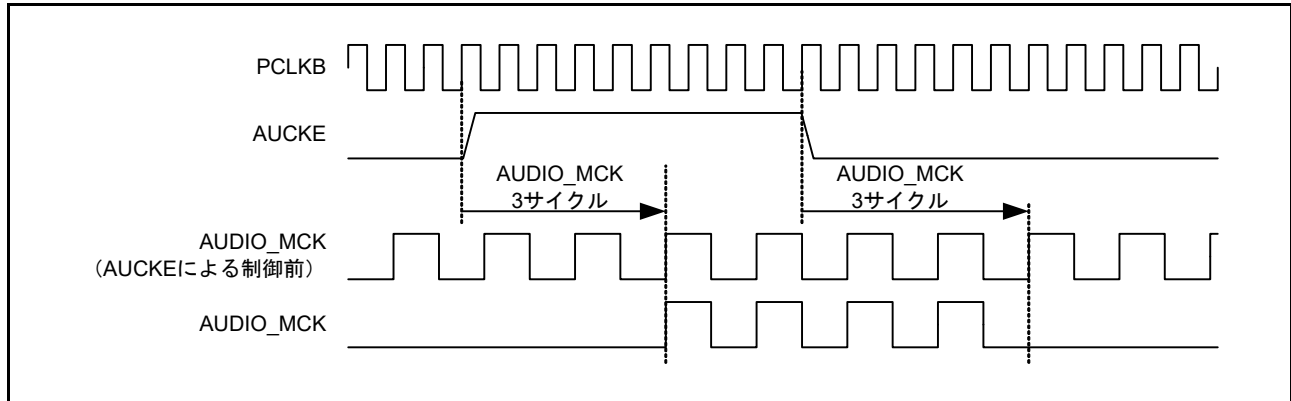


図 33.23 AUDIO_MCK の停止/再開

注. SSIE では、スレーブモード通信 (SSICR.MST = 0) のとき、SSIBCK 供給が必要です。マスタ側で BCK を停止するには、SSIE がアイドル状態 (SSISR.IIRQ = 1) であることを確認してください。SSIE がアイドル状態になる前に BCK が停止した場合、[図 33.48](#) の通信開始手順に従うか、あるいは、[図 33.54](#) の通信再開の手順に従ってアイドル状態になるまで待機してください。

マスタモード通信 (SSICR.MST = 1) では、SSIE はオーディオクロック (AUDIO_MCK) と連携して動作します。SSIE を完全に停止するには、SSIE がアイドル状態 (SSISR.IIRQ = 1) であることを確認してから、SSIFCR.AUCKE に 0 を書き込んでください。アイドル状態になる前に SSIFCR.AUCKE へ 0 を書き込んだときは、[図 33.48](#) の手順に従って通信を開始してください。

[図 33.24](#) および [図 33.25](#) に、本ビットを 1 にしてから SSIBCK 端子へ出力するまでの間の、信号動作のタイミングを示します。

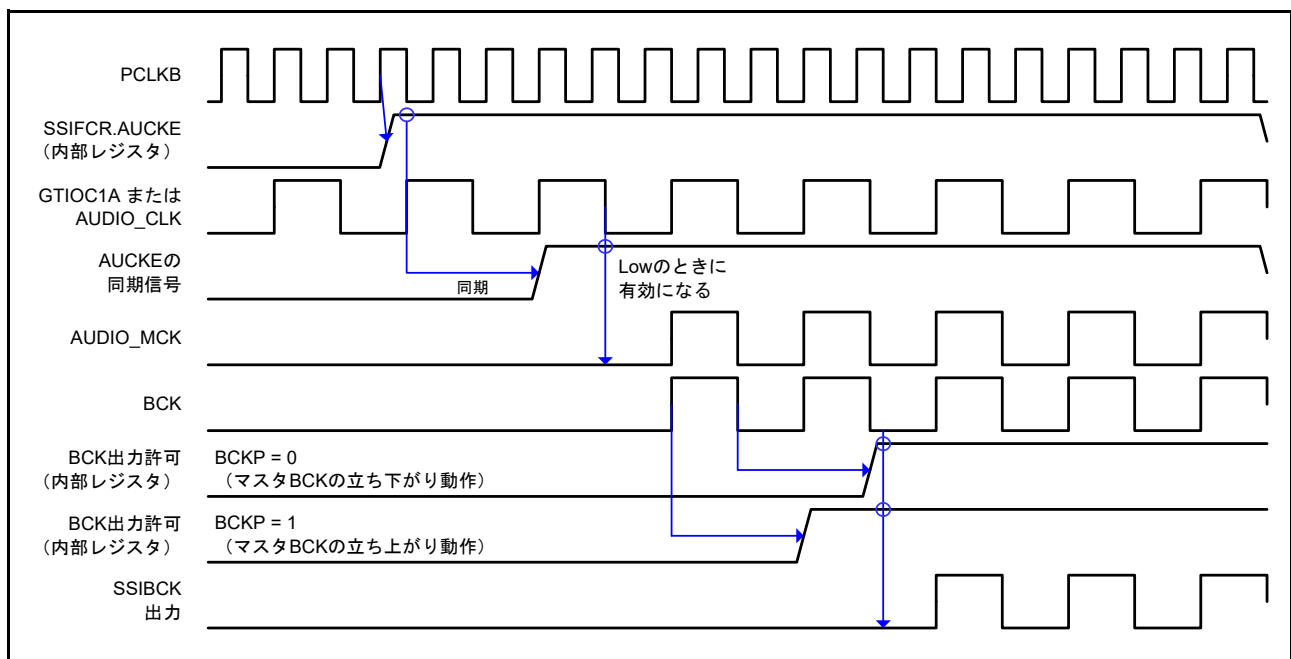


図 33.24 システムリセットからマスタモード通信開始までの動作のタイミング図

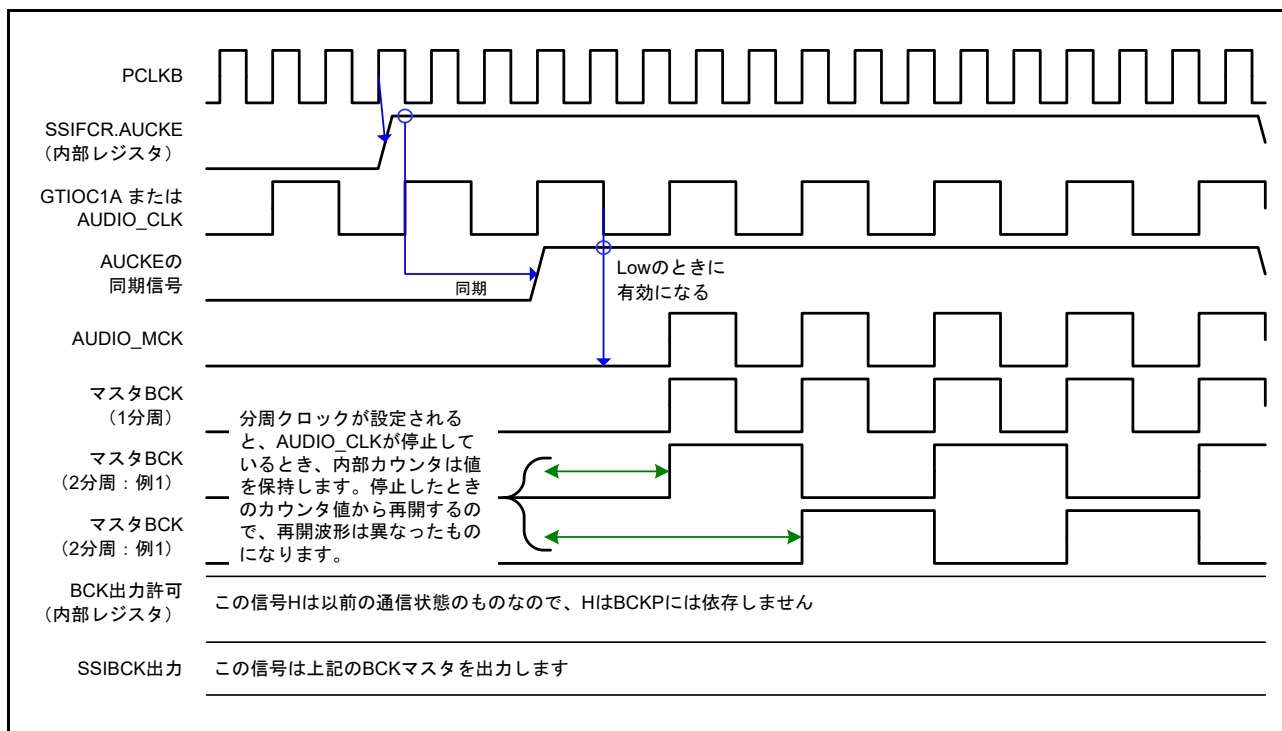


図 33.25 通信停止からマスタモード通信開始までの動作のタイミング図

注 . AUDIO_MCK 供給が停止した場合、SSIBCK 端子の値は保持されます。そのため、SSIBCK 信号は High の状態で停止する可能性があります。

33.4.4 FIFO ステータスレジスタ (SSIFSR)

アドレス SSIE0.SSIFSR 4004 E014h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	—	—	—	TDC[3:0]				—	—	—	—	—	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	RDC[3:0]				—	—	—	—	—	—	—	—	RDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	RDF	受信データフルフラグ	0 : SSIFRDRの受信データのサイズが、SSISCR.RDFS[2:0]の値以下 1 : SSIFRDRの受信データのサイズが、SSISCR.RDFS[2:0] + 1の値以上	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b8	RDC[3:0]	受信FIFO有効データ数	受信FIFOデータレジスタに格納された有効データ数	R
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	TDE	送信データエンプティフラグ	0 : SSIFDRの空きが、SSISCR.TDES[2:0]の値以下 1 : SSIFDRの空きが、SSISCR.TDES[2:0] + 1の値以上	R/W
b23-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b27-b24	TDC[3:0]	送信FIFO有効データ数	送信FIFOデータレジスタに格納された有効データ数	R
b31-b28	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

本レジスタは、送信 FIFO データレジスタおよび受信 FIFO データレジスタのステータスを示すステータスフラグで構成されます。

RDF ビット (受信データフルフラグ)

受信 FIFO データレジスタ (SSIFRDR) に、SSISCR.RDFS[2:0] ビット + 1 の値以上の未読の受信データがあることを示します。本フラグは自動的に設定されますが、レジスタアクセスによるフラグクリアが必要です。

[1 と 0 の優先順位]

- 0 が優先されます

[0 になる条件]

下記 2 つのうちいずれかのとき (注 1)

1. 本ビットから 1 を読み出した後に、0 を書き込んだとき (CPU 動作) (注 2)
2. DTC および DMAC を使用した割り込みルーチンによる、SSIFRDR レジスタからのデータ読み出しの最終アクセスのとき (DTC/DMAC 動作)

[0 になるタイミング]

前述の 0 になる条件に対応して 0 になるタイミング

1. 本ビットから 1 を読み出した後に、0 を書き込んだとき (図 33.17 に示すタイミングと同じ)
2. DTC および DMAC を使用した割り込みルーチンによる、SSIFRDR からのデータ読み出しの最終アクセス命令が発行された PCLKB サイクルの後

注 1. 本ビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) および受信 FIFO データレジスタリセット (SSIFCR.RFRST = 1) によってクリアします。ソフトウェアリセットおよび受信 FIFO データレジスタリセット以外にも、前述した 0 になる条件によってリセットすることが可能です。

注2. 本ビットから1を読み出した後、以下4つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。

- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 受信 FIFO データレジスタリセット (SSIFCR.RFRST = 1) を行ったとき
- 0 を書き込んだとき
- DTC および DMAC を使用した割り込みルーチンによる、SSIFRDR レジスタからのデータ読み出しの最終アクセスを行ったとき

[1 になる条件]

- SSIFRDR に、SSISCR.RDFS[2:0] ビット + 1 の値以上のデータがあるとき

[1 になるタイミング]

- SSIFRDR で SSISCR.RDFS[2:0] ビット + 1 の値以上のデータとなった場合の、シフトレジスタからの転送が完了したとき

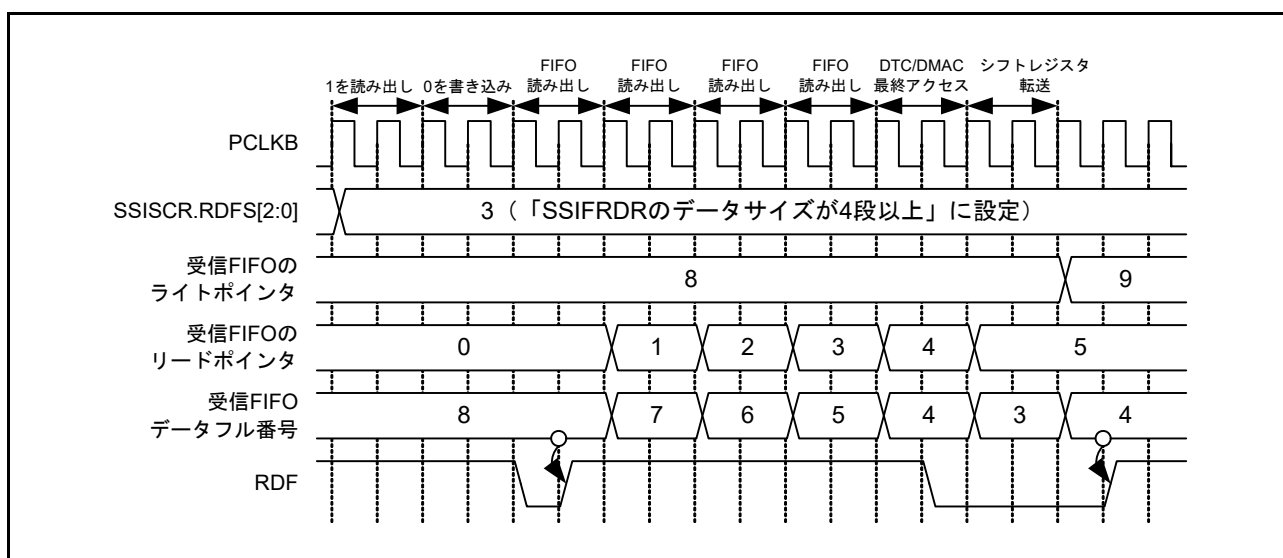


図 33.26 RDF の設定およびクリアのタイミング図

RDC[3:0] ビット (受信 FIFO 有効データ数)

受信 FIFO データレジスタ (SSIFRDR) に格納された有効なデータ数を示します。本ビットが 0h の場合、受信データはありません。8h の場合、レジスタは受信データフルで空きはありません。

TDE ビット (送信データエンプティフラグ)

送信 FIFO データレジスタ (SSIFTDR) に、SSISCR.TDES[2:0] ビット + 1 の値以上の空きがあることを示します。本フラグは自動的に設定されますが、レジスタアクセスによるフラグクリアが必要です。

[1 と 0 の優先順位]

- 0 が優先されます (注1)

[0 になる条件]

下記2つのうちいずれかのとき

1. 本ビットから1を読み出した後に、0を書き込んだとき (CPU 動作) (注2)
2. DTC および DMAC を使用した割り込みルーチンによる、SSIFTDR へのデータ書き込みの最終アクセスのとき (DTC/DMAC 動作)

[0 になるタイミング]

前述の0になる条件に対応して0になるタイミング

1. 本ビットから 1 を読み出した後に、0 を書き込んだとき (図 33.17 に示すタイミングと同じ)
 2. DTC および DMAC を使用した割り込みルーチンによる、SSIFTDR へのデータ書き込みの最終アクセスのとき (DTC/DMAC 動作)
- 注 1. 本ビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) および送信 FIFO データレジスタリセット (SSIFCR.TFRST = 1) によってクリアします。ソフトウェアリセットおよび送信 FIFO データレジスタリセットは、前述したすべての 0 になる条件より優先されます。
- 注 2. 本ビットから 1 を読み出した後、以下 4 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
 - 送信 FIFO データレジスタリセット (SSIFCR.TFRST = 1) を行ったとき
 - 0 を書き込んだとき
 - DTC および DMAC を使用した割り込みルーチンによる、SSIFTDR へのデータ書き込みの最終アクセスを行ったとき
- [1 になる条件]
- SSIFTDR に、SSISCR.TDES[2:0] ビット + 1 の値以上の空きがあるとき
- [1 になるタイミング]
- PCLKB で動作しており、SSIFTDR に SSISCR.TDES[2:0] ビットで設定した値 + 1 以上の空きがあるとき

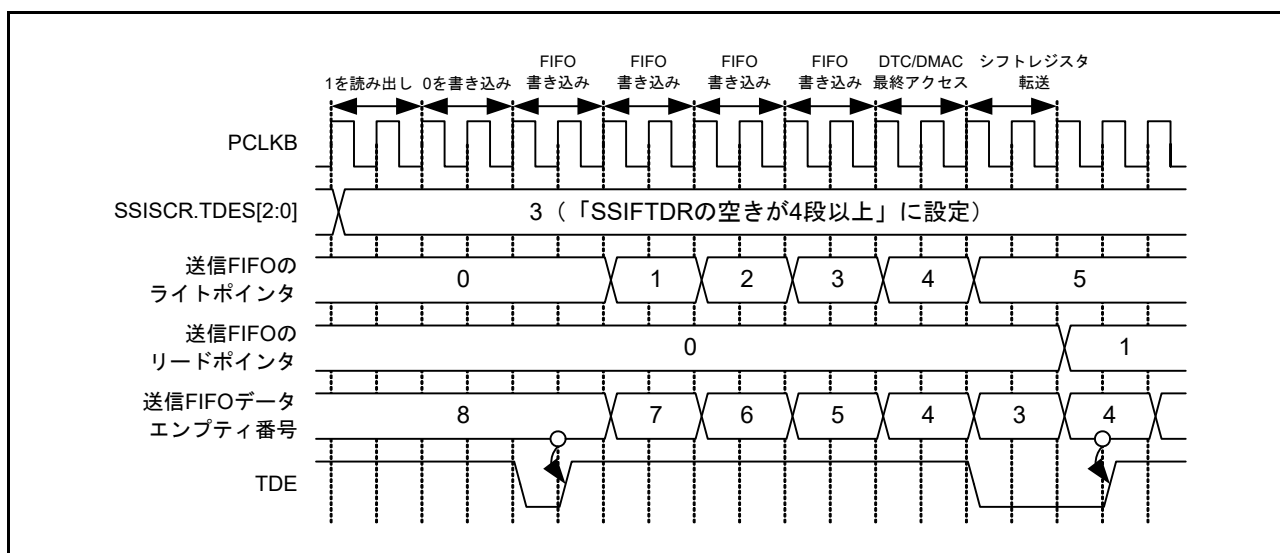


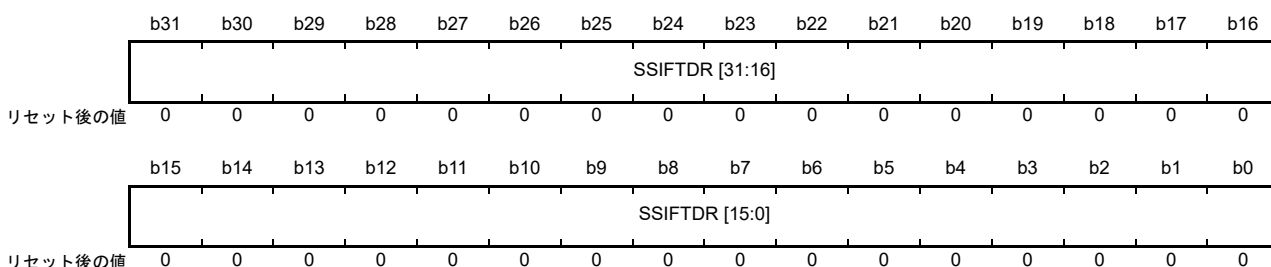
図 33.27 TDE の設定およびクリアのタイミング図

TDC[3:0] ビット (送信 FIFO 有効データ数)

送信 FIFO データレジスタ (SSIFTDR) に格納された有効なデータ数を示します。本ビットが 0h の場合、送信データはありません。8h の場合、データを書き込みできる空きはありません。

33.4.5 送信 FIFO データレジスタ (SSIFTDR)

アドレス SSIE0.SSIFTDR 4004 E018h



ビット	シンボル	ビット名	機能	R/W
b31-b0	SSIFTDR[31:0]	送信 FIFO データ	送信 FIFO データ	W

シリアル送信するデータを格納します。本レジスタを読み出すとき、0 が返されます。

本レジスタで送信するときは、本レジスタへの書き込みを、送信データエンプティ割り込みにより開始される DTC/DMAC 動作として指定してください。本レジスタへのアクセスサイズは、表 33.8 に示す通信対象のデータワード長に従って決定してください。

表 33.8 FIFO データへのレジスタアクセス制限

アクセスサイズ		バイト	ハーフワード	ワード
SSICR.DWL[2:0]	データワード長			
000b	8	○	—	—
001b	16	—	○	—
010b	18	—	—	○
011b	20	—	—	○
100b	22	—	—	○
101b	24	—	—	○
110b	32	—	—	○
111b	設定禁止	—	—	—

図 33.28 に、送信 FIFO データレジスタへのレジスタアクセスを示します。

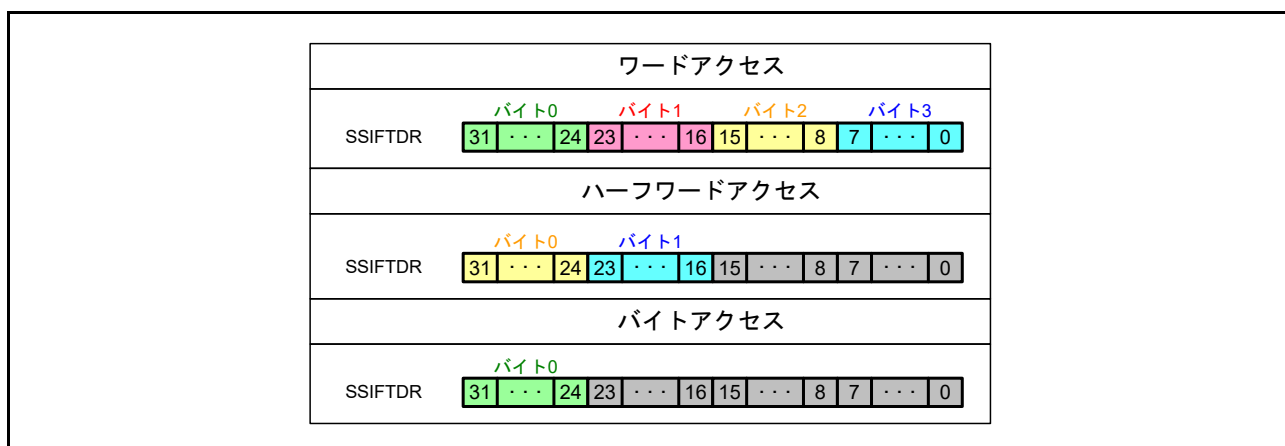


図 33.28 送信 FIFO データレジスタへのレジスタアクセス例

図 33.29 に、送信 FIFO データレジスタおよび送信シフトレジスタの構成例と動作例を示します。FIFO レジスタにデータを格納するための構成であり、通信とは関係ありません。

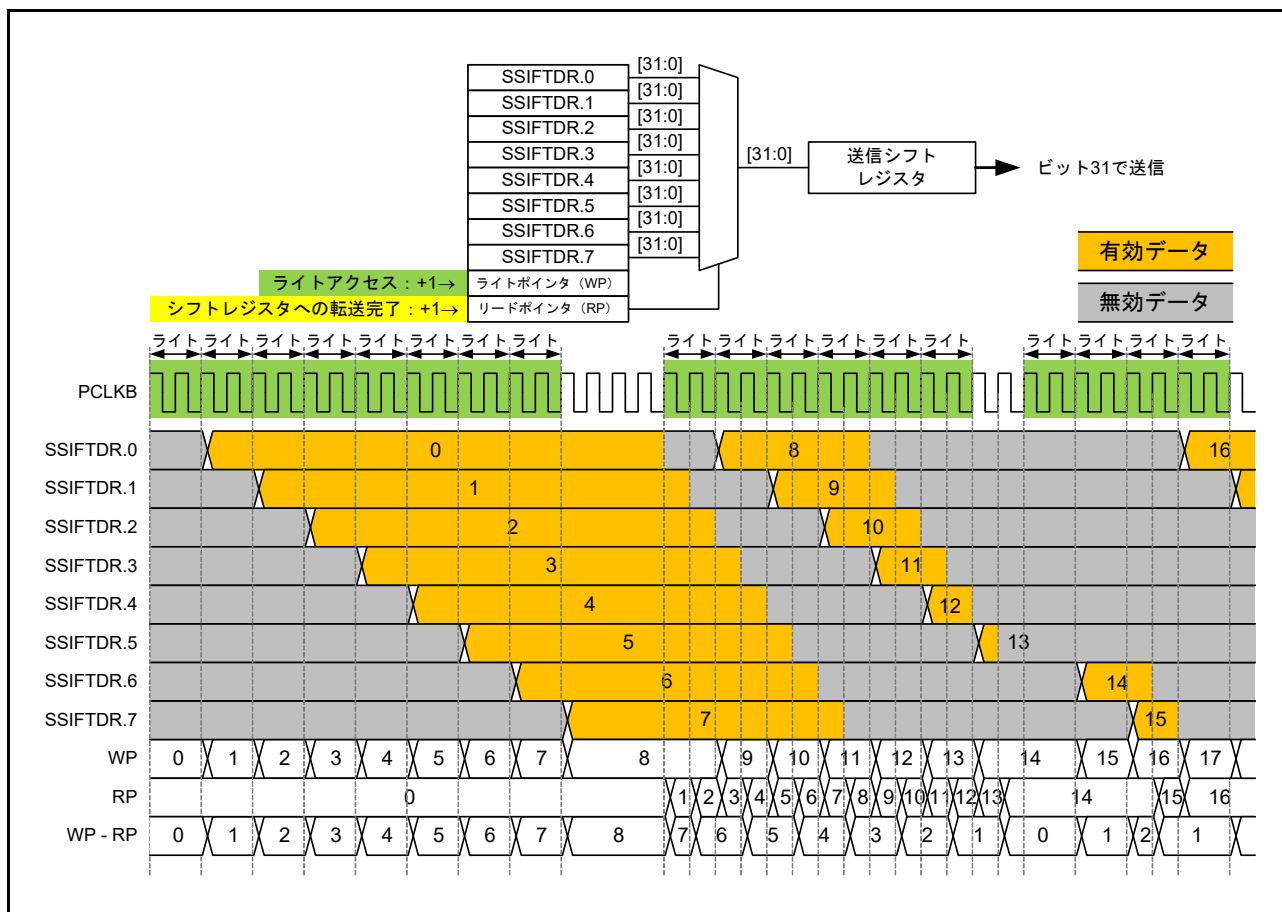
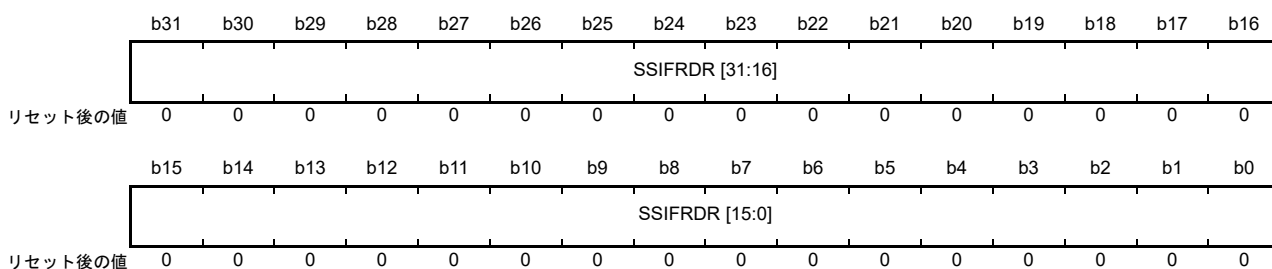


図 33.29 送信 FIFO データレジスタと送信シフトレジスタの構成および FIFO 動作例

33.4.6 受信 FIFO データレジスタ (SSIFRDR)

アドレス SSIE0.SSIFRDR 4004 E01Ch



ビット	シンボル	ビット名	機能	R/W
b31-b0	SSIFRDR[31:0]	受信FIFOデータ	受信FIFOデータ	R

本レジスタで受信するときは、本レジスタからの読み出しを、受信データフル割り込みにより開始される DTC/DMAC 動作として指定してください。本レジスタへのアクセスサイズは、表 33.8 に示す通信対象のデータワード長に従って決定してください。

受信 FIFO データレジスタへのレジスタアクセスは、送信 FIFO データレジスタへのレジスタアクセスの場合と同様です。

図 33.30 に、受信 FIFO データレジスタおよび受信シフトレジスタの構成例と動作例を示します。

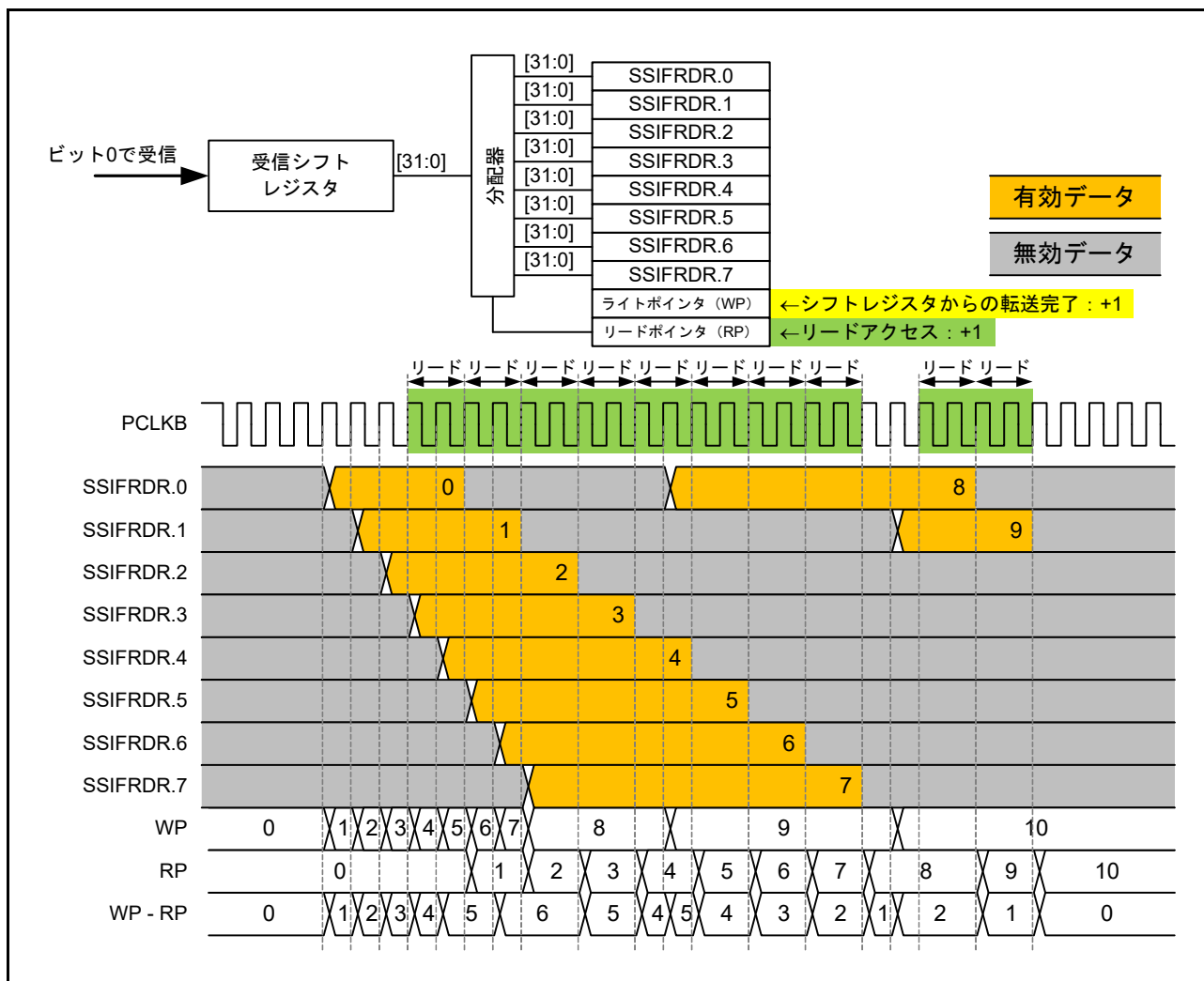


図 33.30 受信 FIFO データレジスタと受信シフトレジスタの構成および FIFO 動作例

33.4.7 TDM モードレジスタ (SSITDMR)

アドレス SSIE0.SSITDMR 4004 E020h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	—	OMOD[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMOD[1:0]	オーディオフォーマット選択 (注3) (注4)	b1 b0 0 0: I2Sフォーマット 0 1: 設定禁止 1 0: モノラルフォーマット 1 1: 設定禁止	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	LRCONT	LRCK/FS継続の許可 (注1) (注2)	0: LRCK/FS継続禁止 1: LRCK/FS継続許可	R/W
b9	BCKASTP	BCK出力停止の許可 (SSIEがアイドル状態の場合) (注1) (注2)	0: SSIBCK端子へBCKを常に出力 1: SSIBCK端子へのBCK出力を自動制御	R/W
b31-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. マスタモード通信時 (SSICR.MST = 1) のみ有効です。スレーブモード通信時 (SSICR.MST = 0) は、設定しても無効です。
 注 2. BCKASTP ビットと LRCONT ビットは、同時に 1 にしないでください。
 注 3. SSIE の通信時 (SSISR.IIRQ = 0) は、書き込みしないでください。ビットを書き換えた場合、変更後の動作は予測できません。
 注 4. 相手側デバイスと SSIE と互換性のある通信フォーマットがある場合、そのデバイスとの通信が可能になるような通信フォーマットを指定して使用してください。

本レジスタは、オーディオフォーマットを設定するために使用します (通信フォーマット、LR クロック / フレーム同期継続モード、および BCK 出力停止の設定を含む)。

OMOD[1:0] ビット (オーディオフォーマット選択)

オーディオフォーマットを設定します。本ビットへの書き込みは、SSILRCK/SSIFS 端子への LR クロック供給が停止しているときに行ってください。LR クロック出力の詳細は、33.4.7 の LRCONT ビットについての説明を参照してください。

LRCONT ビット (LRCK/FS 継続の許可)

SSIE がアイドル状態 (SSISR.IIRQ = 1) のとき、マスタモード通信 (SSICR.MST = 1) の SSILRCK/SSIFS 端子からの出力を許可 / 禁止します。

アイドル状態のときでも、マスタモード (SSICR.MST = 1) で本ビットを 1 にした場合 (LR クロック / フレーム同期継続を許可)、SSILRCK/SSIFS 端子からの信号出力が可能です。

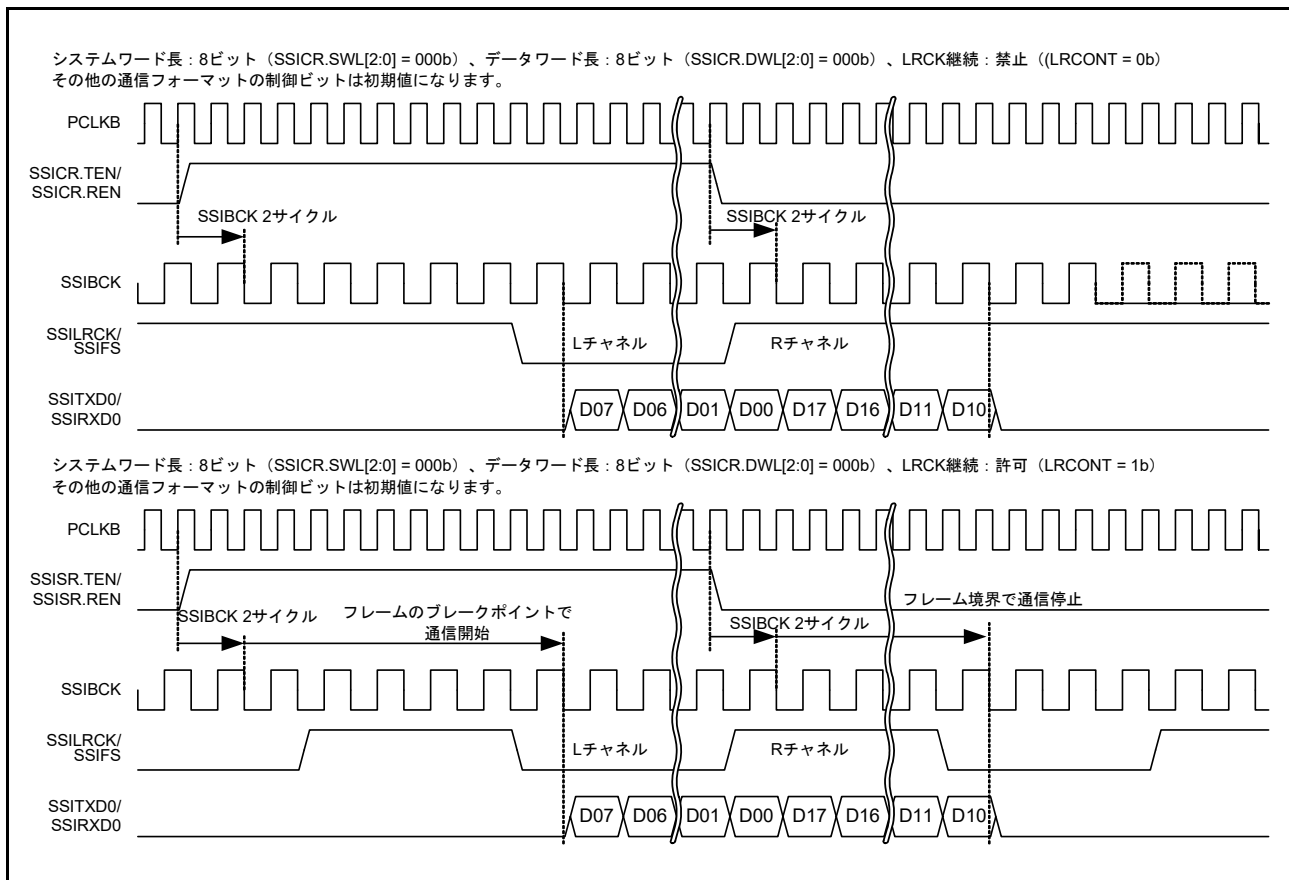


図 33.31 LR クロック/フレーム同期継続の動作例

BCKASTP ビット (BCK 出力停止の許可 (SSIE がアイドル状態の場合))

マスタモード通信 (SSICR.MST = 1) 時に、図 33.32 および図 33.33 に示す動作に従って SSIBCK 端子への BCK 出力機能をオン/オフにします。

本ビットの値を変更する場合は、使用する通信フォーマットを設定してからにしてください。

本ビットの使用方法

- 本ビットに 0 を書き込んでから通信を開始
- 通信中に、本ビットに 1 を書き込む。SSIBCK 端子へのビットクロック出力は、通信が停止したときに自動的に停止する
- 通信を再開するには、SSIE をアイドル状態にして (SSICR.IIRQ = 1)、AUDIO_MCK 供給を許可 (SSIFCR.AUCKE = 1) してから本ビットに 0 を書き込む

表 33.9 に、マスタモード (SSICR.MST = 1) 通信で SSIE がアイドル状態 (SSICR.IIRQ = 1) のときの、BCKASTP ビットステータスと SSIBCK 端子出力を示します。

表 33.9 BCKASTP ビットステータスおよび SSIBCK 端子出力

BCKASTP ビット	SSIBCK 端子出力ステータス
0	出力
1	停止

注 . 相手側デバイス (スレーブ側) が、通信前および通信中に SSIBCK 端子からのクロック出力を要求するとき、BCKASTP ビットは使用できません。この場合、通信が終了してから本ビットでクロックを停止してください。クロック停止機能の許可タイミングの詳細は、図 33.32 を参照してください。

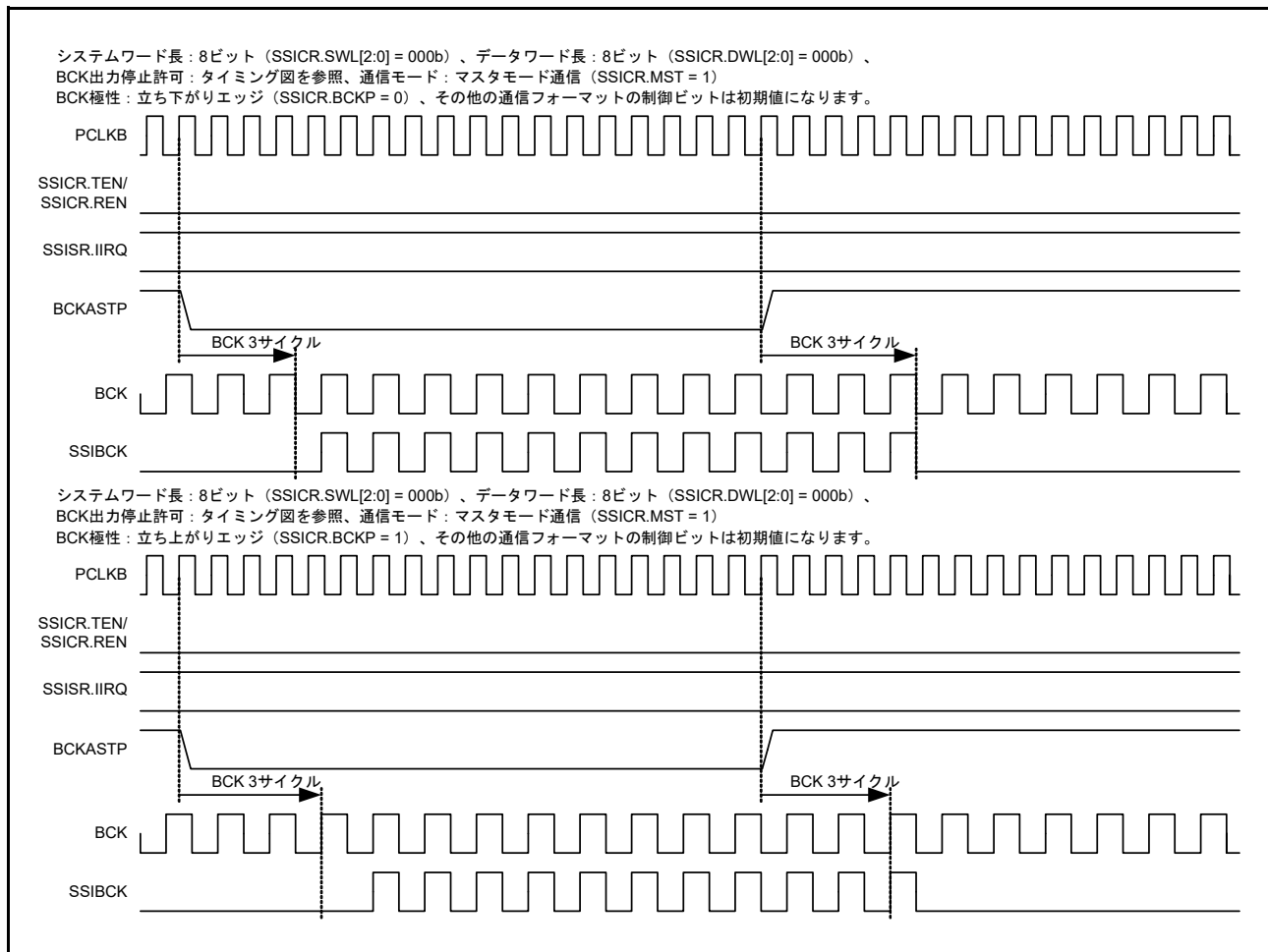


図 33.32 BCKASTP ビットの動作例 (アイドル状態の場合)

マスタモード通信 (SSICR.MST = 1) かつ BCK 出力停止機能が許可されているとき (BCKASTP = 1)、SSIBCK 端子への BCK 出力は以下ようになります。

- 出力開始タイミング：LR クロック/フレーム同期信号が有効な値に変換されたときに有効エッジが生成されるよう、BCK は適切なタイミングで出力される
- 出力停止タイミング：フレーム境界の 1 ~ 1.5 クロックサイクル後

図 33.33 にタイミングの詳細を示します。

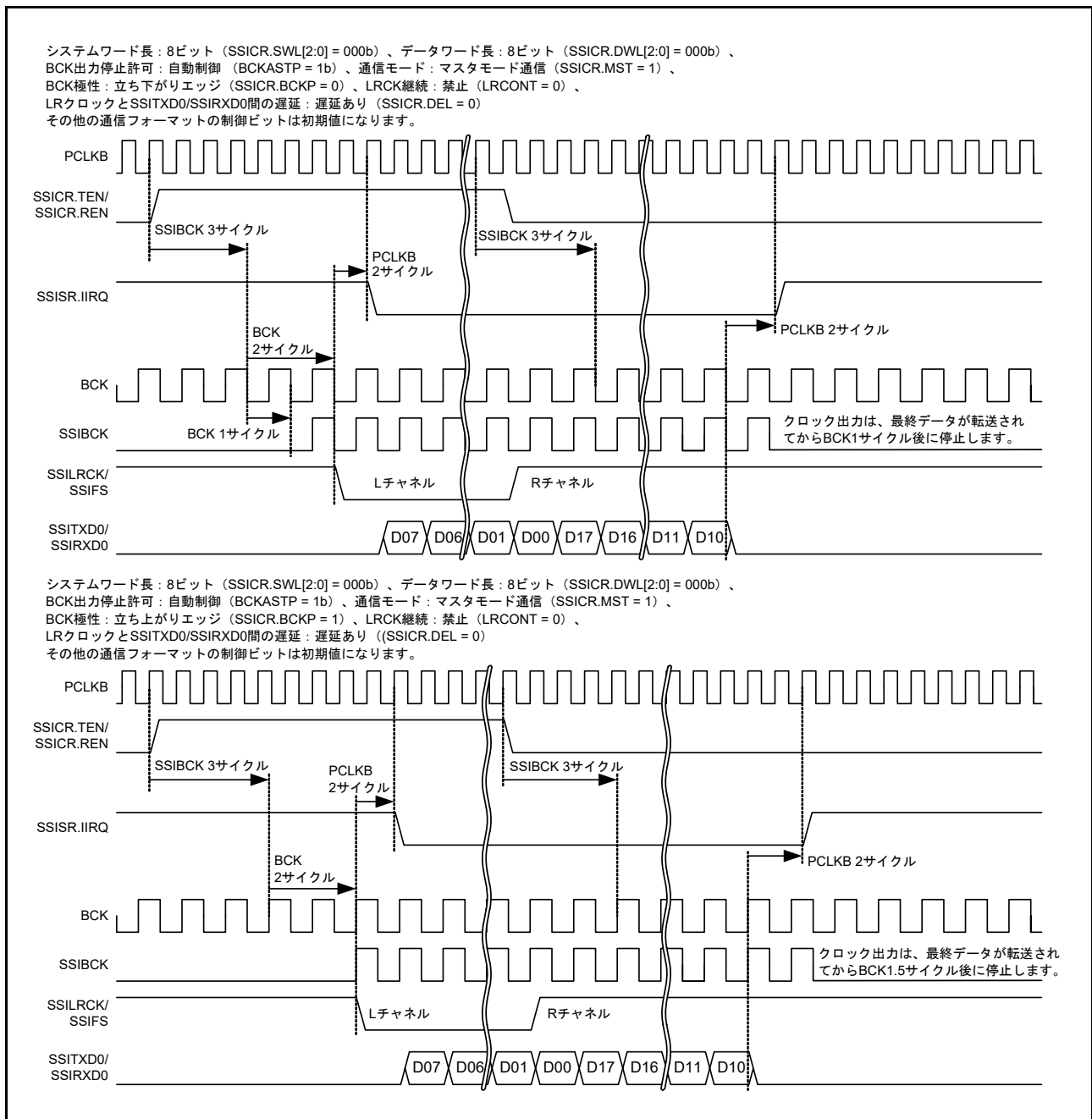


図 33.33 BCKASTP ビット通信動作の動作例 (BCKASTP = 1 の場合)

33.4.8 ステータスコントロールレジスタ (SSISCR)

アドレス SSIE0.SSISCR 4004 E024h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TDES[2:0]			—	—	—	—	—	RDFS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RDFS[2:0]	RDF 設定条件選択 (注1)	b2 b0 0 0 0: SSIFRDR のデータサイズが1段以上 0 0 1: SSIFRDR のデータサイズが2段以上 : 1 1 0: SSIFRDR のデータサイズが7段以上 1 1 1: SSIFRDR のデータサイズが8段以上	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	TDES[2:0]	TDE 設定条件選択 (注1)	b10 b8 0 0 0: SSIFTDR の空きが1段以上 0 0 1: SSIFTDR の空きが2段以上 : 1 1 0: SSIFTDR の空きが7段以上 1 1 1: SSIFTDR の空きが8段以上	R/W
b31-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SSIE が通信状態 (SSISR.IIRQ = 0) のとき、本ビットへ書き込みしないでください。書き込んだ場合、書き込み後の動作は保証されません。

RDFS[2:0] ビット (RDF 設定条件選択)

受信データフルフラグ (RDF) の設定条件 (1 になる条件) を選択します。

TDES[2:0] ビット (TDE 設定条件選択)

送信データエンptyフラグ (TDE) の設定条件 (1 になる条件) を選択します。

33.5 通信フォーマット

SSIE では、表 33.10 に示す通信フォーマットをサポートしています。

表 33.10 SSIEで使用できる通信フォーマット

通信フォーマット	SSIOFR.OMOD[1:0]
I ² S フォーマット	00
モノラルフォーマット	10

本項では、各通信フォーマットで共通のシリアルデータ構成について説明します。シリアルデータ構成は、システムワード長 (SSICR.SWL[2:0] で設定) およびデータワード長 (SSICR.DWL[2:0] で設定) により定義されます。データワード長がシステムワード長よりも短い場合、パディングビットはシリアルデータで転送されます。詳細は、図 33.34 を参照してください。

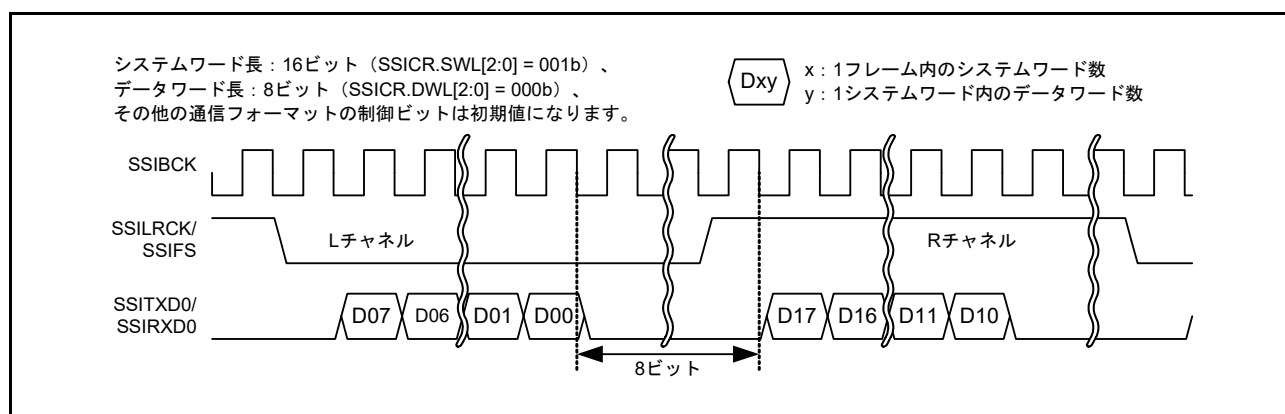


図 33.34 パディングビットの転送例 (I²S フォーマット、システムワード長>データワード長)

表 33.11 に、転送されるパディングビットの数を、システムワード長 (SSICR.SWL[2:0]) とデータワード長 (SSICR.DWL[2:0]) の組み合わせごとに示します。「—」は、設定禁止を示します。

表 33.11 パディングビットの数

	SSICR.DWL[2:0]	000b	001b	010b	011b	100b	101b	110b	111b
SSICR.SWL[2:0]	システムワード長	8	16	18	20	22	24	32	設定禁止
000b	8	0	—	—	—	—	—	—	—
001b	16	8	0	—	—	—	—	—	—
010b	24	16	8	6	4	2	0	—	—
011b	32	24	16	14	12	10	8	0	—
100b	48	40	32	30	28	26	24	16	—
101b	64	56	48	46	44	42	40	32	—
110b	128	120	112	110	108	106	104	96	—
111b	256	248	240	238	236	234	232	224	—

33.5.1 I²S フォーマット

I²S フォーマットは、I²S と互換性のあるシリアルデバイスとの通信に使用します。本フォーマット設定では (SSIOFR.OMOD[1:0] = 00b)、1 フレームは 2 つのシステムワードで構成されます。1 つはチャンネル L 用、もう 1 つはチャンネル R 用です。SSILRCK/SSIFS 信号は、チャンネル L では Low、チャンネル R では High となります。SSICR.LRCKP ビットで信号極性を設定してください。図 33.35 にパディングなしの場合の I²S フォーマットを、図 33.34 にパディングありの場合の I²S フォーマットを示します。

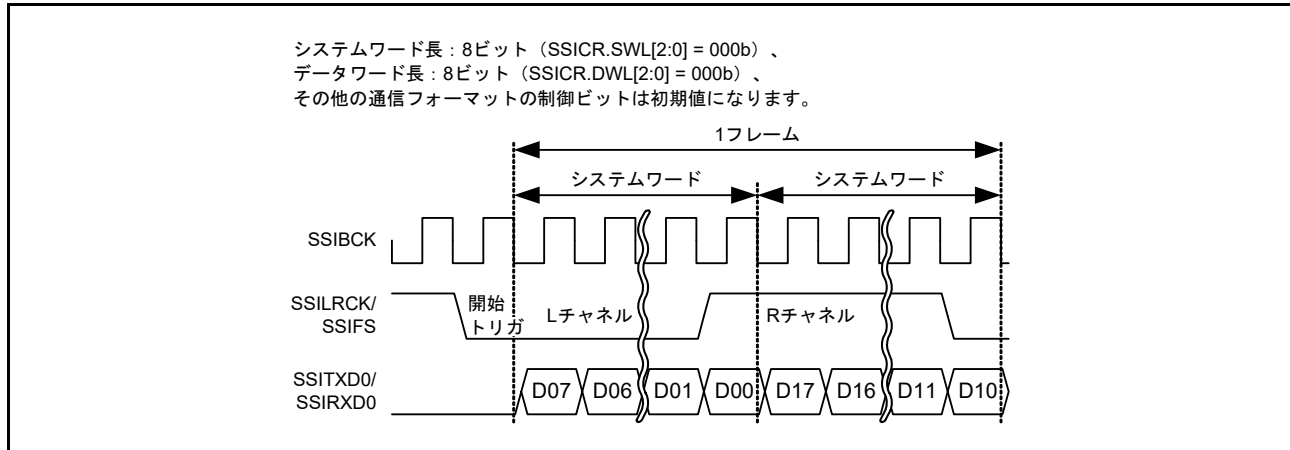


図 33.35 I²S フォーマット (パディングなし、システムワード長 = データワード長)

SSIE がアイドル状態のときの外部端子の状態は、33.7.1 を参照してください。

注. SSIE の SSILRCK/SSIFS 端子は、通信の同期を示します。スレーブモード (SSICR.MST = 0) で通信するとき、SSIE の通信フォーマットは、相手側デバイスと同じにしてください。SSIE は、SSILRCK/SSIFS 端子による信号入力を、通信開始のトリガとしてのみ使用します。

33.5.2 モノラルフォーマット

モノラルフォーマットは、モノラルと互換性のあるシリアルデバイスとの通信に使用します。モノラルフォーマットを使用するように指定した場合 (SSIOFR.OMOD[1:0] = 10b)、1 フレームは 1 つのシステムワードで構成されます。また、SSILRCK/SSIFS 信号の立ち上がりエッジは、通信開始のトリガを示します。図 33.36 および図 33.37 に、それぞれパディングあり/なしの場合のモノラルフォーマットを示します。

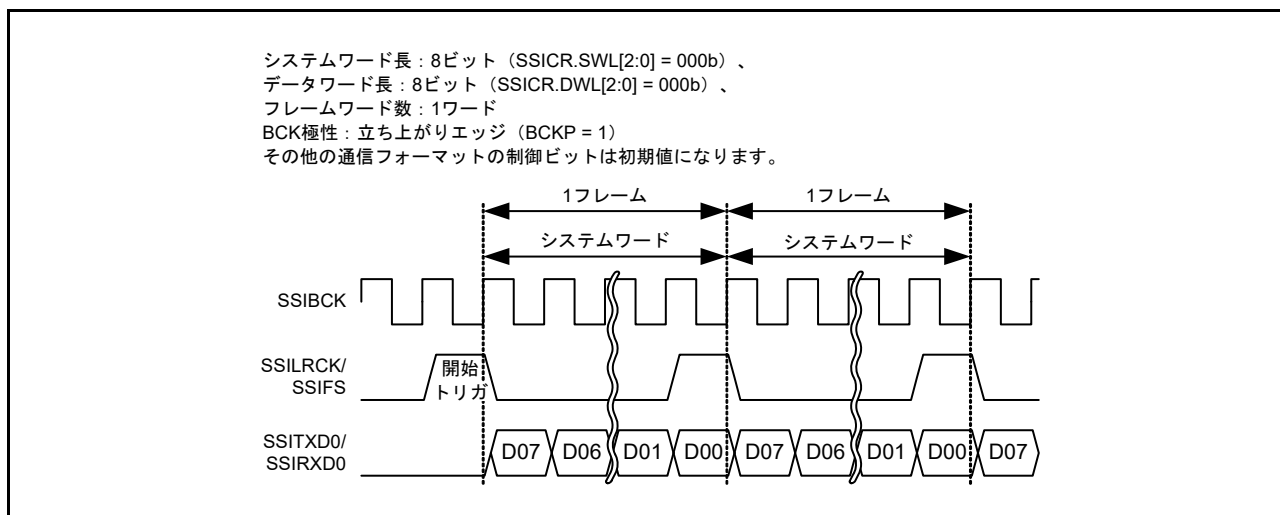


図 33.36 モノラルフォーマットでのショートフレーム (パディングなし、システムワード長 = データワード長)

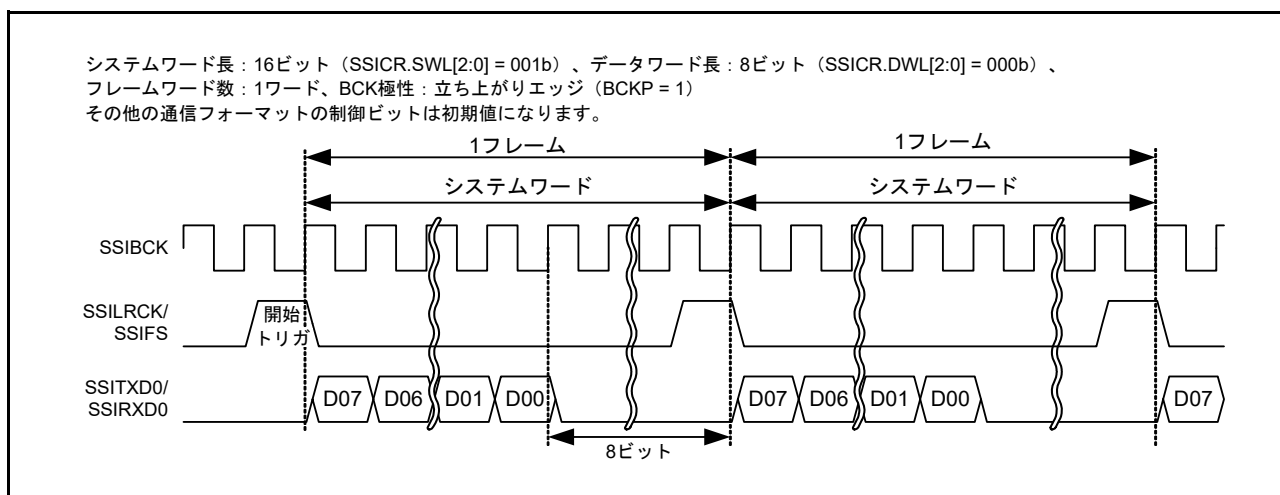


図 33.37 モノラルフォーマットでのショートフレーム (パディングあり、システムワード長 > データワード長)

SSIE でのモノラルフォーマットは、ショートフレームとロングフレームから構成されます。ショートフレームとロングフレームの違いについては、33.5.2.1 および 33.5.2.2 を参照してください。

SSIE がアイドル状態のときの外部端子の状態は、33.7.1 を参照してください。

注． SSIE の SSILRCK/SSIFS 端子は通信の同期を示します。スレーブモード (SSICR.MST = 0) で通信するとき、SSIE の通信フォーマットは、相手側デバイスと同じにしてください。SSIE は、SSILRCK/SSIFS 端子による信号入力を、通信開始のトリガとしてのみ使用します。

33.5.2.1 ショートフレーム

ショートフレームを使用する場合 (SSICR.DEL = 0)、シリアルデータの開始を示す SSILRCK/SSIFS 信号は、SSIBCK の 1 サイクルの間だけ High になります。データ転送は、信号の立ち下がりエッジで開始します。

33.5.2.2 ロングフレーム

ロングフレームを使用する場合 (SSICR.DEL = 1)、シリアルデータの開始を示す SSILRCK/SSIFS 信号は、SSIBCK の 2 サイクルの間だけ High になります。図 33.38 に、パディングなしの場合のモノラルフォーマットのロングフレームを示します。データ転送は、信号の立ち上がりエッジで開始します。

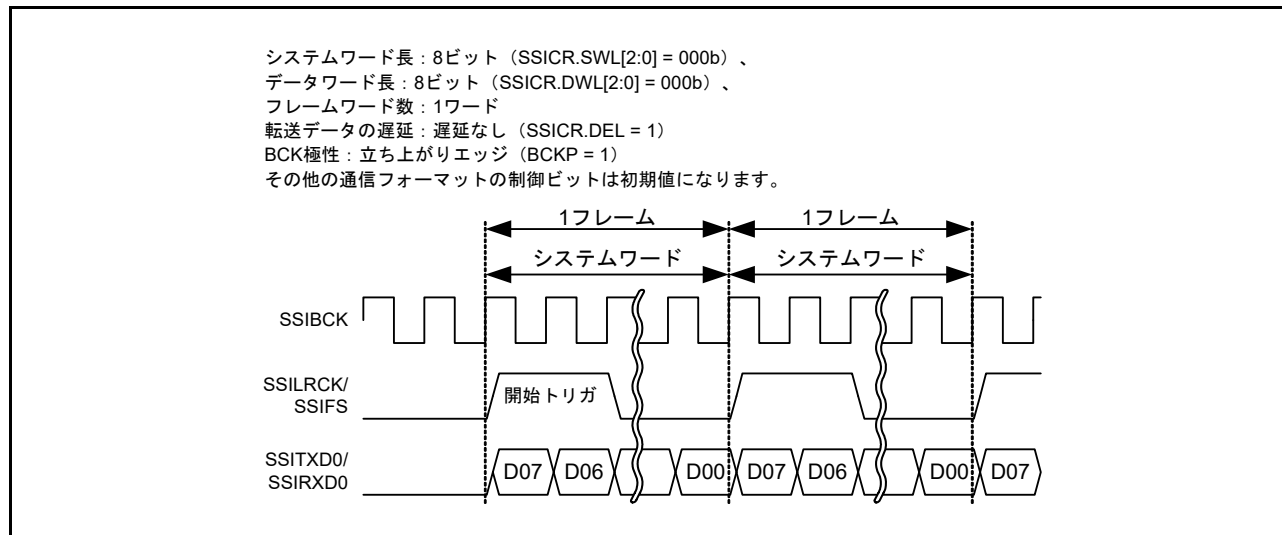


図 33.38 モノラルフォーマットでのロングフレーム (パディングなし)

33.6 通信モード

表 33.12 に、SSIE がサポートする通信モードを示します。表 33.13 に、各通信モードで使用できない制御ビットを示します。通信モードの詳細は、33.6.1 から 33.6.5 を参照してください。

表 33.12 通信モード

通信モード	SSICR.MSTビット	SSICR.RENビット	SSICR.TENビット
スレーブモード送信	0	0	1
スレーブモード受信	0	1	0
スレーブモード送信および受信	0	1	1
マスタモード送信	1	0	1
マスタモード受信	1	1	0
マスタモード送信および受信	1	1	1

表 33.13 各通信モードで使用できない制御ビット

通信モード 制御ビット	スレーブモード 受信	スレーブモード 送信	スレーブモード 送信および受信	マスタモード 受信	マスタモード 送信	マスタモード 送信および受信
SSICR.CKS	無効	無効	無効	使用可能	使用可能	使用可能
SSICR.CKDV	無効	無効	無効	使用可能	使用可能	使用可能
SSICR.MUEN	無効	使用可能	使用可能	無効	使用可能	使用可能
SSICR.TEN	無効	使用可能	使用可能	無効	使用可能	使用可能
SSICR.REN	使用可能	無効	使用可能	使用可能	無効	使用可能
SSIFCR.AUCKEN	無効	無効	無効	使用可能	使用可能	使用可能
SSIFCR.TIE	無効	使用可能	使用可能	無効	使用可能	使用可能
SSIFCR.RIE	使用可能	無効	使用可能	使用可能	無効	使用可能
SSIFCR.TFRST	無効	使用可能	使用可能	無効	使用可能	使用可能
SSIFCR.RFRST	使用可能	無効	使用可能	使用可能	無効	使用可能
SSIOFR.BCKASTP	無効	無効	無効	使用可能	使用可能	使用可能
SSIOFR.LRCONT	無効	無効	無効	使用可能	使用可能	使用可能
SSIOFR.OMOD	使用可能	使用可能	使用可能	使用可能	使用可能	使用可能
SSISCR.TDES[2:0]	無効	使用可能	使用可能	無効	使用可能	使用可能
SSISCR.RDFS[2:0]	使用可能	無効	使用可能	使用可能	無効	使用可能

注. 「無効」は、動作に何ら影響のないことを意味します。書き込みは可能です。

33.6.1 スレーブモード通信

SSIE は、SSICR.MST = 0 のときにスレーブモードで動作します。シリアルデータ通信に使用する SSIBCK および SSILRCK/SSIFS 信号は、外部デバイスからの供給が必要です。これらの信号が SSIE での通信フォーマットに適合しない場合の動作は保証されません。

33.6.2 マスタモード通信

SSIE は、SSICR.MST = 1 のときにマスタモードで動作します。シリアルデータ通信に使用する SSIBCK および SSILRCK/SSIFS 信号は、オーディオクロックからの内部生成が必要です。これらの信号は、SSIE の設定フォーマットを使用します。スレーブデバイスの通信フォーマットが、SSIE の通信フォーマットに適合しない場合、動作は保証されません。

33.6.3 送信

SSIE は、SSICR.TEN ビットが 1、SSICR.REN ビットが 0 のとき、シリアルデータを相手側デバイスへ送信します。相手側デバイスの通信フォーマットが、SSIE の通信フォーマットに適合しない場合、動作は保証されません。

33.6.4 受信

SSIE は、SSICR.TEN ビットが 0、SSICR.REN ビットが 1 のとき、シリアルデータを相手側デバイスから受信します。相手側が使用するデバイスの通信フォーマットが、SSIE の通信フォーマットに適合しない場合、動作は保証されません。

33.6.5 送信および受信

SSIE は、SSICR.TEN ビットが 1、SSICR.REN ビットが 1 のとき、シリアルデータを相手側デバイスとの間で送受信します。相手側デバイスの通信フォーマットが、SSIE の通信フォーマットに適合しない場合、動作は保証されません。

33.7 動作説明

SSIE には、主要な動作状態として以下の 2 つがあります。

- アイドル状態 (SSISR.IIRQ = 1)
- 通信状態 (SSISR.IIRQ = 0)

図 33.39 に SSIE の状態遷移を示します。

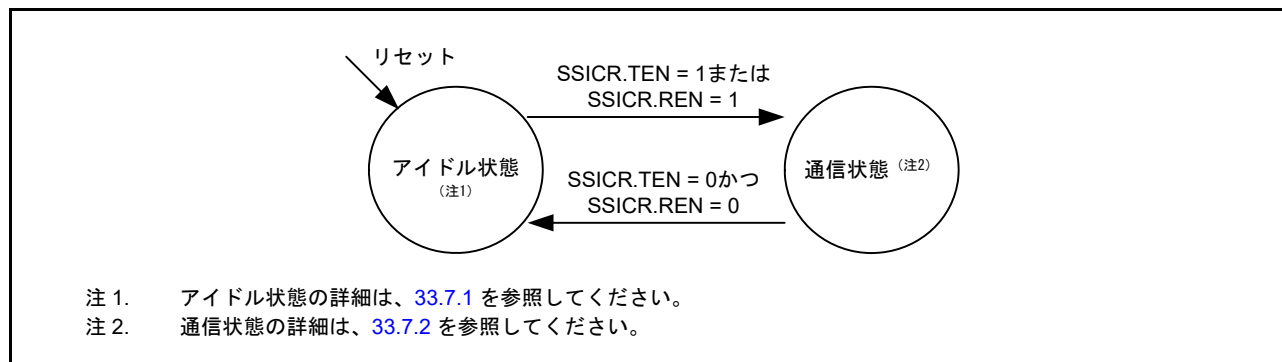


図 33.39 SSIE の状態遷移

33.7.1 アイドル状態

アイドル状態のとき、SSIE の通信は停止しています。なお、SSICR.MST ビットが 1 のとき、外部端子への BCK および LR クロック/フレーム同期信号の出力は、SSIOFR.BCKASTP ビットと SSIOFR.LRCONT ビットの設定に従って制御できます。本機能は、すべての通信フォーマットで共通です。詳細は、表 33.14 を参照してください。

表 33.14 アイドル状態時の外部端子への出力

SSICR.MST	SSIOFR.BCKASTP	SSIOFR.LRCONT	端子への出力		
			SSIBCK	SSILRCK/SSIFS	SSITXD0
0	—	—	停止	停止	停止
1	0	0	供給	停止	停止
1	0	1	供給	供給	停止
1	1	0	停止	停止	停止
1	1	1	停止	供給	停止

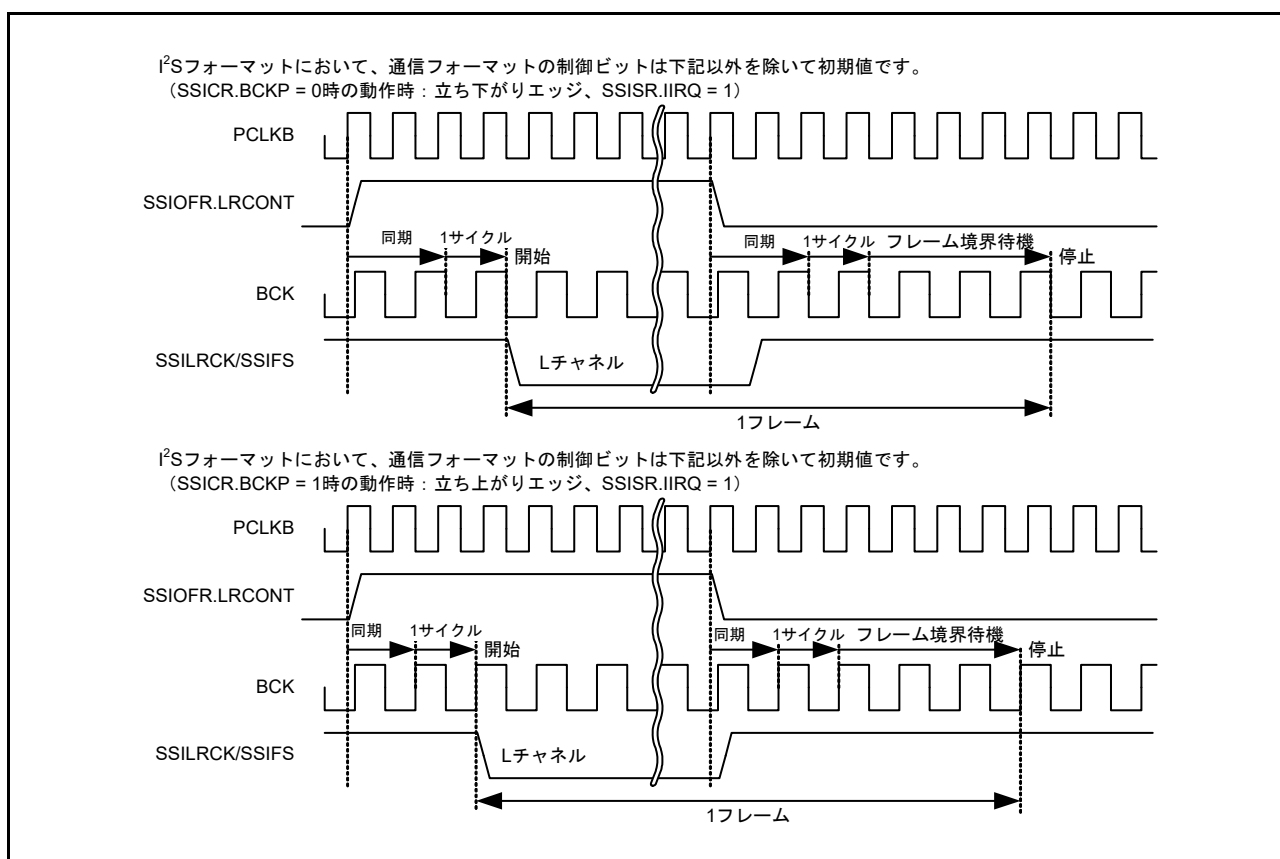


図 33.40 SSIOFR.LRCONT ビットによる LR クロック/フレーム同期継続の禁止例

注． マスタモード通信 (SSICR.MST = 1) で SSIE がアイドル状態のとき、SSIOFR.LRCONT ビットを 1 から 0 へ変更すると SSILRCK/SSIFS 端子への出力が停止します。相手側デバイスには影響がないことを確認してください。

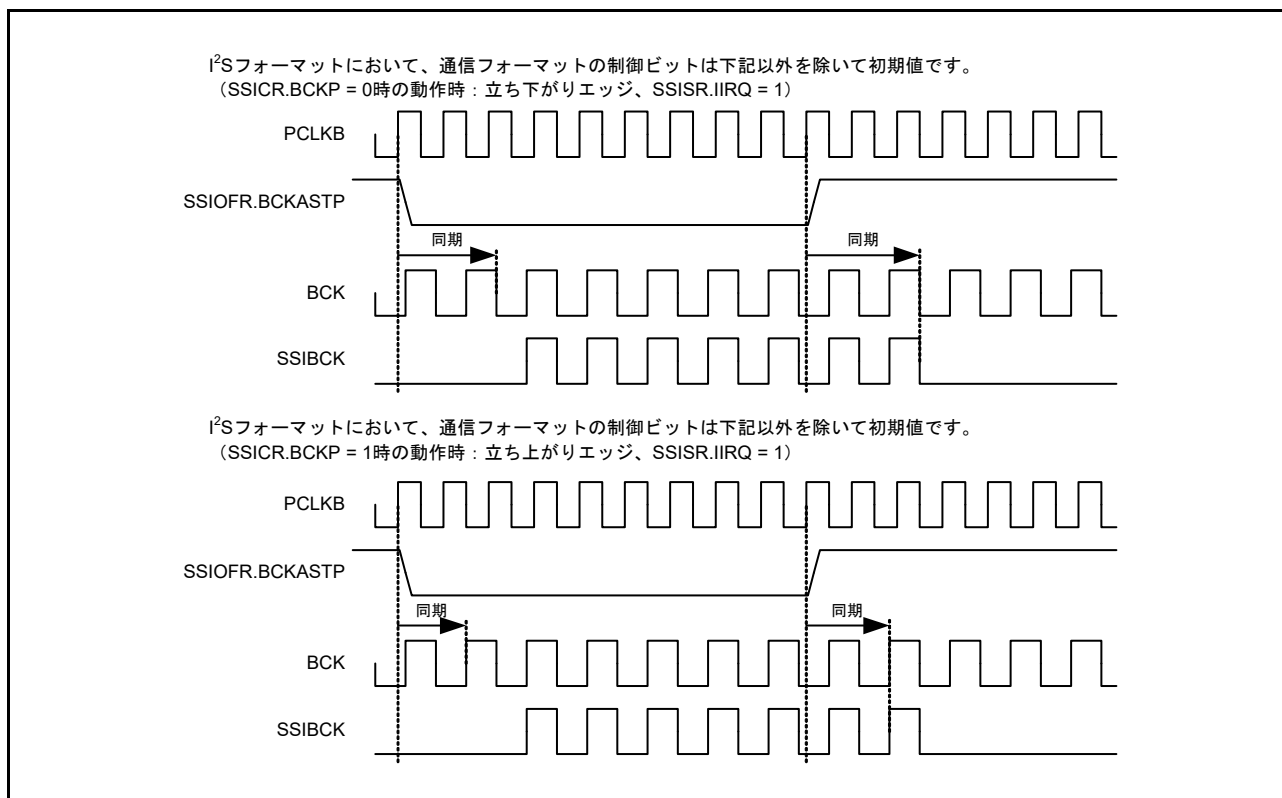


図 33.41 SSIOFR.BCKASTP ビットによる SSIBCK 出力の停止例

注 . マスタモード通信 (SSICR.MST = 1) で SSIE がアイドル状態のとき、SSIOFR.BCKASTP ビットを 0 から 1 へ変更すると SSIBCK 端子への出力が停止します。相手側デバイスには影響がないことを確認してください。

33.7.2 通信状態

図 33.42 および表 33.15 に、それぞれ通信状態の遷移と遷移条件を示します。遷移条件が満たされない場合、状態の遷移はありません。

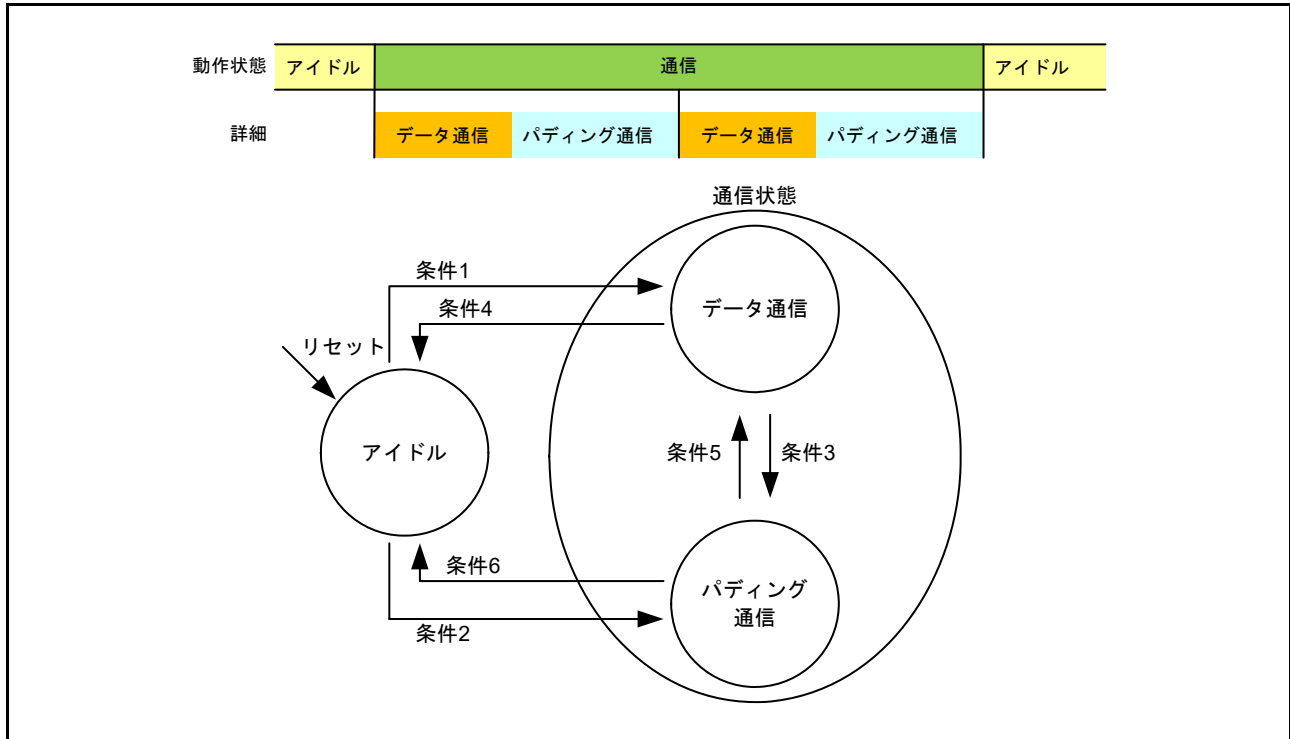


図 33.42 通信の状態遷移

表 33.15 通信の状態遷移の条件

条件番号	遷移条件
1	SSICR.SDTA = 0 またはパディングビットなし設定の場合に、SSICR.TEN = 1 または SSICR.REN = 1 を書いたとき
2	SSICR.SDTA = 1 およびパディングビットあり設定の場合に、SSICR.TEN = 1 または SSICR.REN = 1 を書いたとき
3	以下3つの条件をすべて満たしたとき • SSICR.TEN = 1 または SSICR.REN = 1 • パディングビットありの設定 • データワードの最終ビットの転送が完了
4	以下2つの条件を両方満たしたとき • SSICR.SDTA = 1 またはパディングビットなし • SSICR.TEN = 0 かつ SSICR.REN = 0 で、フレームのデータワードの最終ビットの転送が完了
5	SSICR.TEN = 1 または SSICR.REN = 1 で、最終パディングビットの転送が完了
6	以下2つの条件を両方満たしたとき • SSICR.SDTA = 0 かつパディングビットあり • SSICR.TEN = 0 かつ SSICR.REN = 0 で、最終パディングビットの転送が完了

パディングビットあり／なしの設定は、表 33.11 を参照してください。

33.7.2.1 データ通信状態

データ通信状態のとき、SSIE では通信を行っています。SSICR.DWL[2:0] ビットで設定したワード長のデータが送信または受信、あるいは送受信されます。

- パディングビットなし設定での状態遷移

通信状態のとき (SSISR.IIRQ = 0)、SSIE では常に通信を行っています。送信と受信を禁止すると (SSICR.TEN = 0, SSICR.REN = 0)、SSIE はアイドル状態に遷移します。詳細は、[図 33.43](#) および [図 33.44](#) を参照してください。

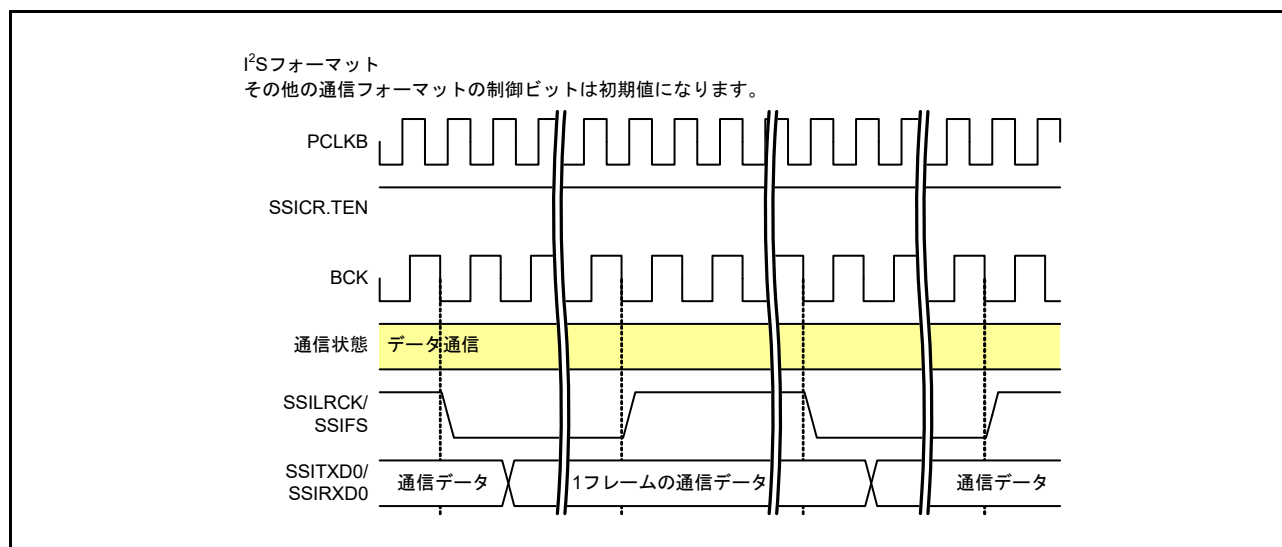


図 33.43 データ通信の継続

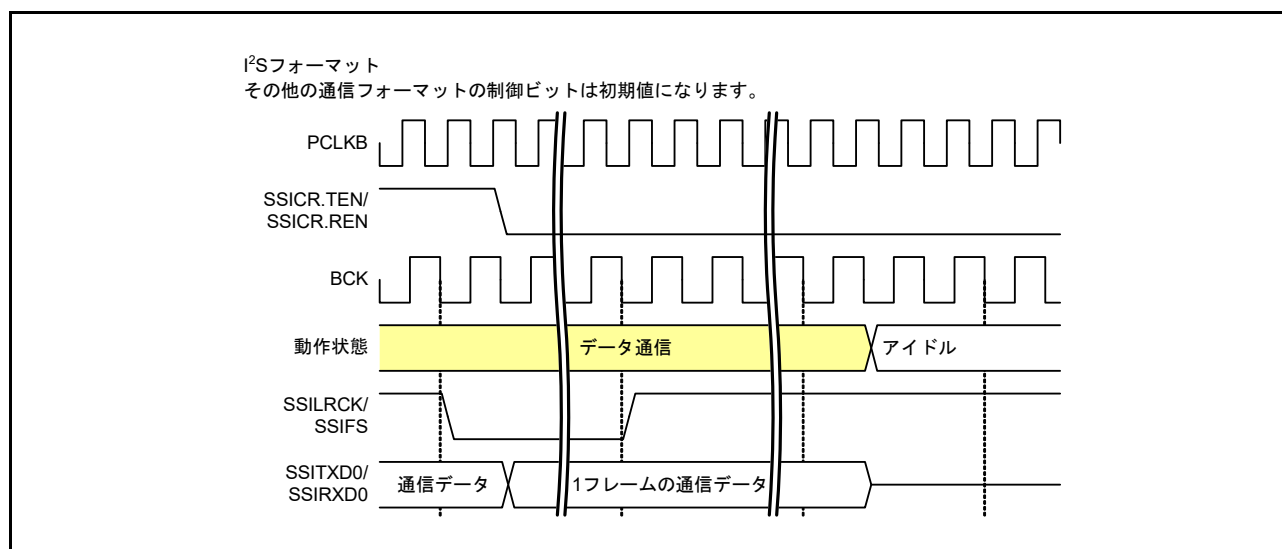


図 33.44 データ通信からの停止 (パディングビットなし)

- パディングビットあり設定での状態遷移

SSIE の通信中に (SSISR.IIRQ = 0) データワードの最終ビットの転送を完了したとき、[図 33.45](#) に示すように、SSIE はデータ通信状態からパディング通信状態へ遷移します。SSICR.SDTA = 1 で送受信を禁止 (SSICR.TEN = 0 かつ SSICR.REN = 0) した場合を除き、[図 33.46](#) に示すように通信を停止したとき、SSIE はデータ通信状態からアイドル状態に遷移します。

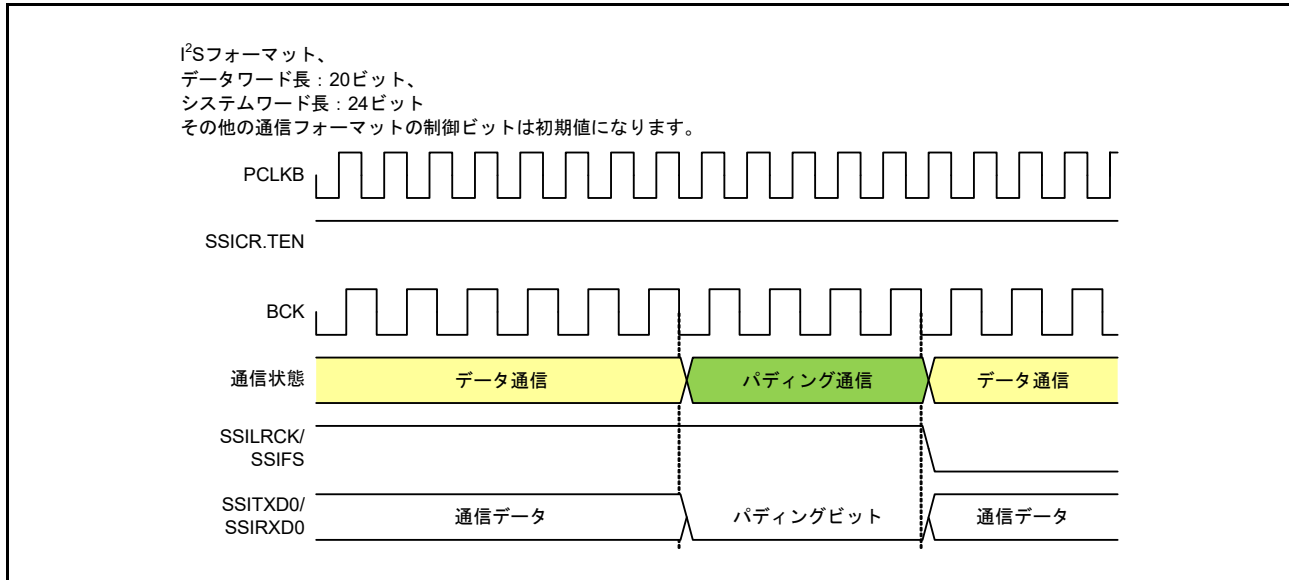


図 33.45 データ通信からパディング通信への遷移

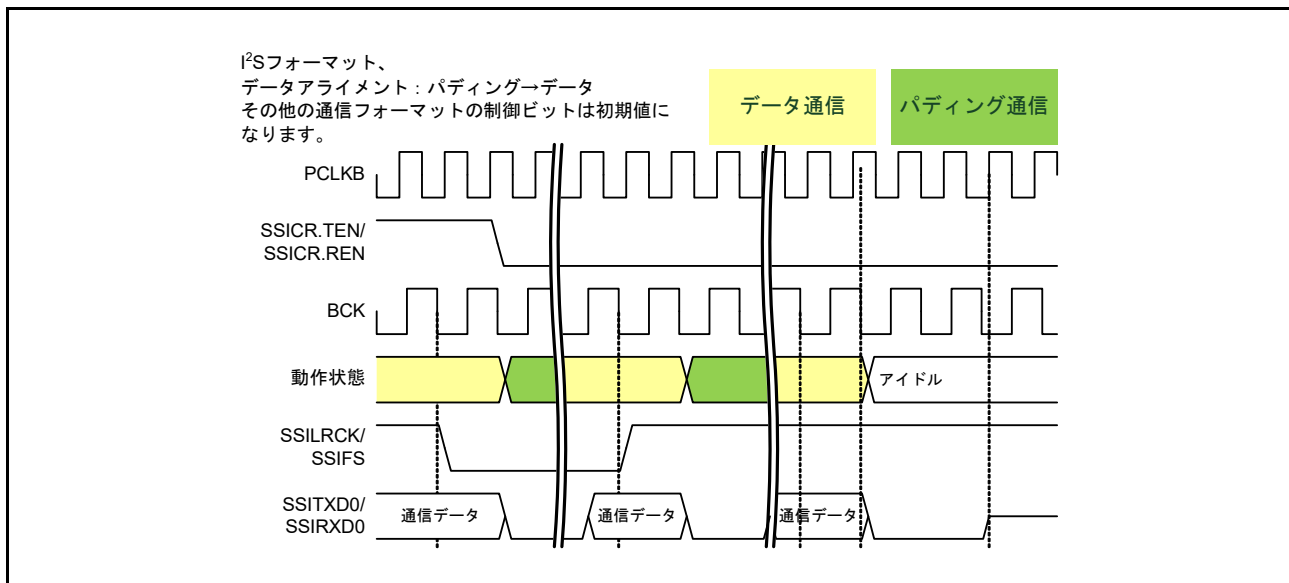


図 33.46 データ通信からの停止 (パディングビットあり)

33.7.2.2 パディング通信

パディング通信状態のとき、SSIE では通信を行っています。SSICR.SWL[2:0] ビットと SSICR.DWL[2:0] で設定したパディングビットが送信または受信、あるいは送受信されます。

- パディングビットあり設定での状態遷移

SSIE の通信中に (SSISR.IIRQ = 0) 最終パディングビットの転送を完了したとき、[図 33.45](#) に示すように、SSIE はデータ通信状態へ遷移します。SSICR.SDTA = 0 で送受信を禁止 (SSICR.TEN = 0 かつ SSICR.REN = 0) した場合、[図 33.47](#) に示すように SSIE は通信を停止したとき、パディング通信状態からアイドル状態に遷移します。

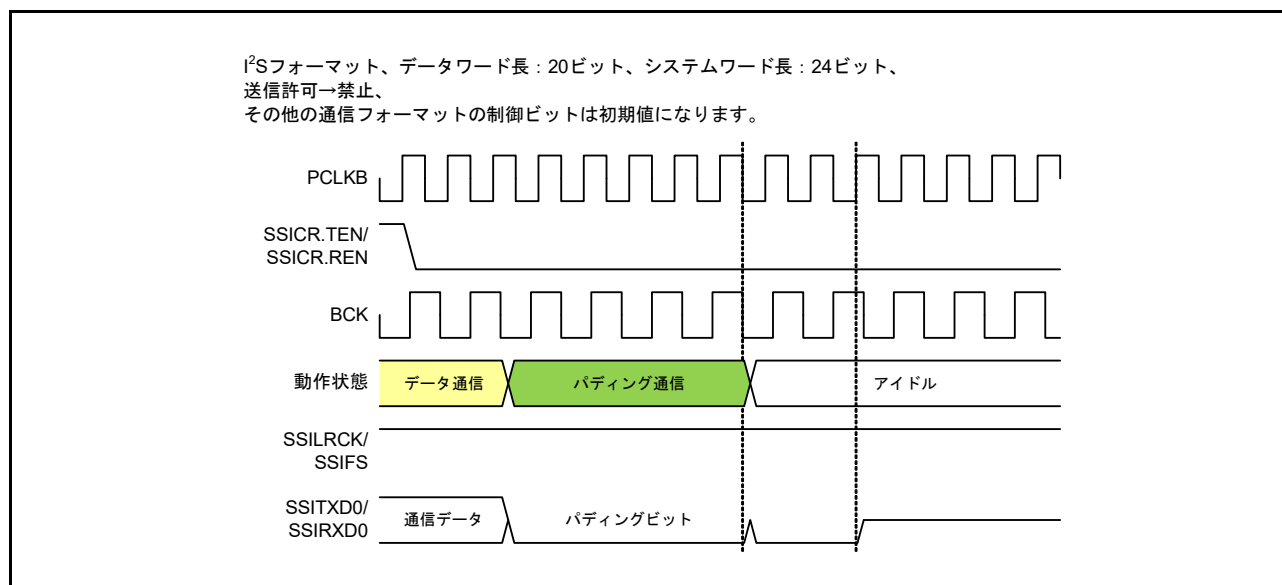


図 33.47 パディング通信からの停止

33.8 通信動作

図 33.48 に、SSIE の通信フローを示します。

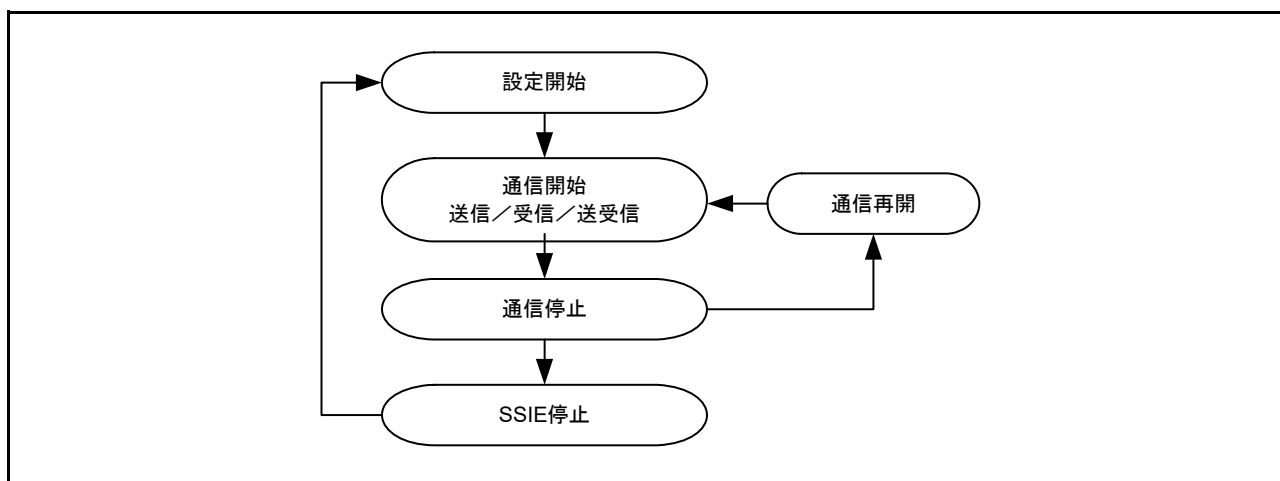


図 33.48 SSIE 通信動作

各動作の手順は、33.8.1 ~ 33.8.7 で説明します。

33.8.1 通信開始

本項では、SSIE の通信開始方法について説明します。通信を開始するには、図 33.49 に示す手順に従ってください。送信および受信動作については、それぞれ 33.8.2 および 33.8.3 を参照してください。

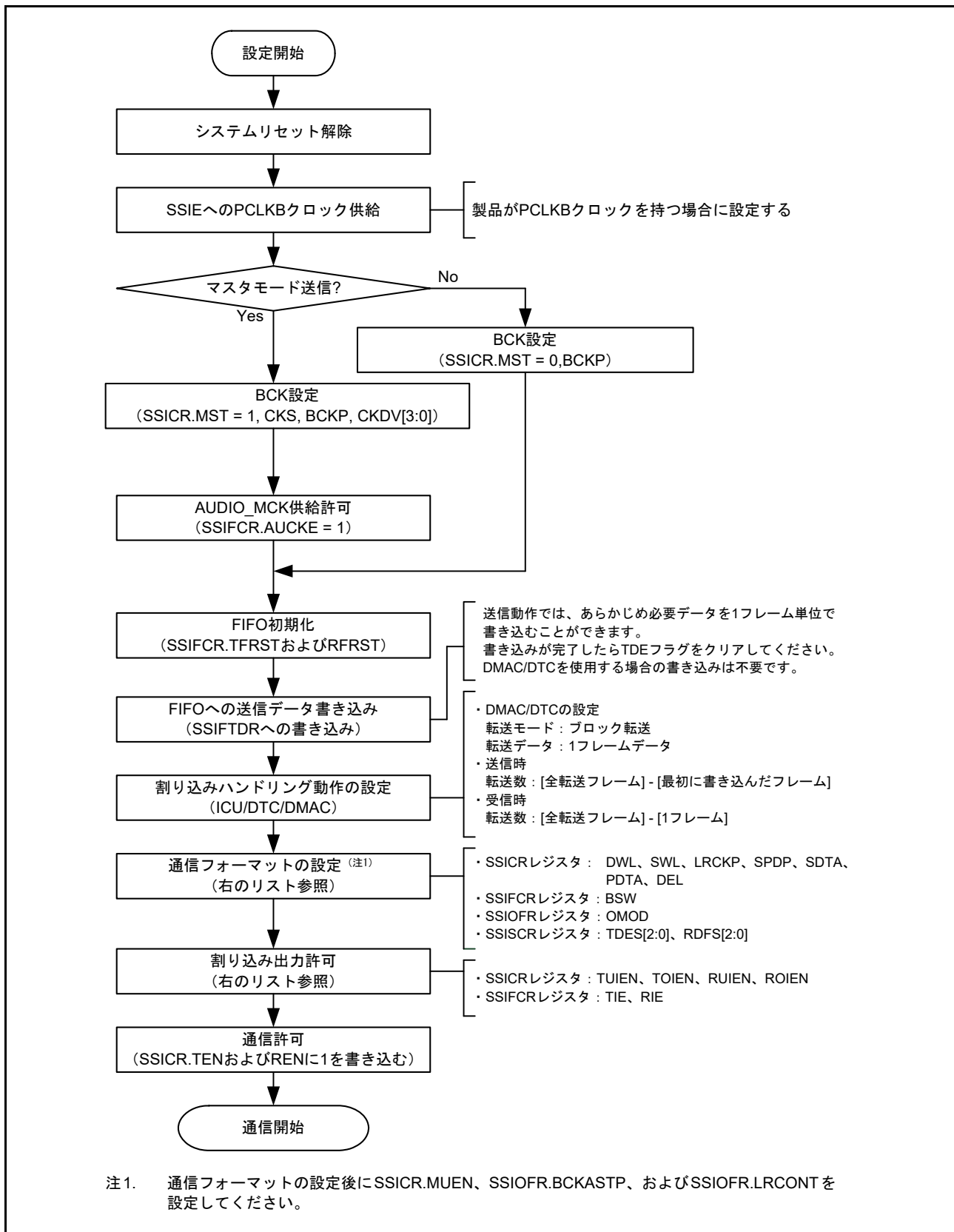


図 33.49 通信開始手順 (CPU 動作手順)

SSIE では、DTC/DMAC 割り込みによる継続的な通信が可能です。送信の場合、SSIFCR.TIE、SSICR.TUIEN、および SSICR.TOIEN に 1 を書き込んでください。受信の場合、SSIFCR.RIE、SSICR.RUIEN、および SSICR.ROIEN に 1 を書き込んでください。

33.8.2 送信

送信動作では、[図 33.50](#) の送信手順に従ってください。

送信を許可 (SSICR.TEN = 1 かつ SSICR.REN = 0) すると、少なくとも 1 フレーム分のシリアルデータが送信 FIFO データレジスタ (SSIFTDR) にある状態で SSILRCK/SSIFS により開始トリガが生成されたとき、SSIE は送信を開始します。SSIE は、通信開始手順で指定された TDE 設定条件 (SSISCR.TDES[2:0]) と送信データエンプティ割り込み許可ビット (SSIFCR.TIE) の状態に応じて、送信データエンプティ割り込みを DTC/DMAC に出力します。送信データエンプティ割り込みは、送信 FIFO データレジスタ (SSIFTDR) への書き込みを要求します。通信の開始手順で、送信 FIFO データレジスタ (SSIFTDR) への書き込みは、送信データエンプティ割り込みに対応した DTC/DMAC 動作として指定してください。これにより、CPU を介さずに継続的なデータの送信が可能です。送信データエンプティ割り込みは、送信 FIFO データレジスタの空き容量が SSISCR.TDES[2:0] で指定した値に達したときに生成されます。送信 FIFO データレジスタへのデータの書き込み回数は、送信データエンプティ割り込みによって示される送信 FIFO データレジスタの空き容量に応じて指定してください。エラーが発生したときは、通信の停止手順にあるエラー処理手順に従ってください。

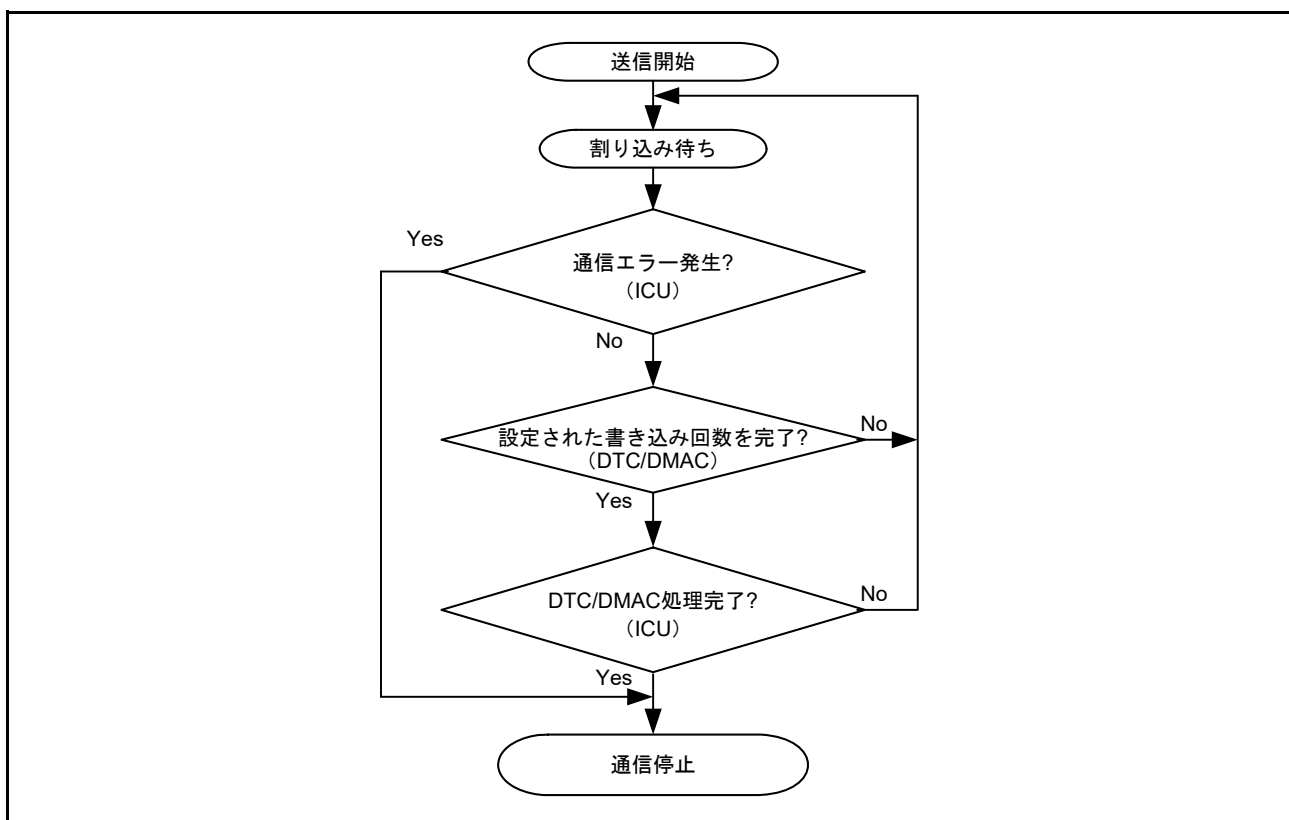


図 33.50 送信手順

注 . SSIE に定義した通信フローでは、DTC/DMAC を使用します。DTC/DMAC を使用していない場合、SSIFSR.TDE の値 1 のポーリングを実行して SSIFTDR にデータを書き込むようにしてください。SSIFSR.TDE の値 1 の検出によって SSIFTDR へデータを書き込む回数は、SSISCR.TDES[2:0] ビットで指定した送信 FIFO データレジスタの空き容量に応じて決定してください。空き容量と同じサイズの送信データが SSIFTDR に書き込まれたら、SSIFSR.TDE フラグをクリアしてください。データ書き込みを繰り返すことで、継続的な送信が可能です。SSIFSR.TDE フラグは、クリアしないと自動的にクリアされません。

33.8.3 受信

受信動作については、すべて図 33.51 の受信手順に従ってください。

受信を許可 (SSICR.TEN = 0 かつ SSICR.REN = 1) すると、SSILRCK/SSIFS によって開始トリガが生成され、SSIE は受信を開始します。SSIE は、通信開始手順で指定された RDF 設定条件 (SSISCR.RDFS[2:0]) と受信データフル割り込み許可ビット (SSIFCR.RIE) の状態に応じて、受信データフル割り込みを DTC/DMAC に出力します。受信データフル割り込みは、受信 FIFO データレジスタ (SSIFRDR) からのデータの読み出しを要求します。通信の開始手順で、受信 FIFO データレジスタ (SSIFRDR) からの読み出しは、受信データフル割り込みに対応した DTC/DMAC 動作として指定してください。これにより、CPU を介さずに継続的なデータの読み出しが可能です。受信データフル割り込みは、受信 FIFO データレジスタの容量と同量のデータが格納されると、受信データフル割り込みは生成されます。受信 FIFO データレジスタからのデータの読み出し回数は、受信データフル割り込みによって示される受信 FIFO データレジスタのデータサイズに応じて指定してください。エラーが発生したときは、通信の停止手順にあるエラー処理手順に従ってください。

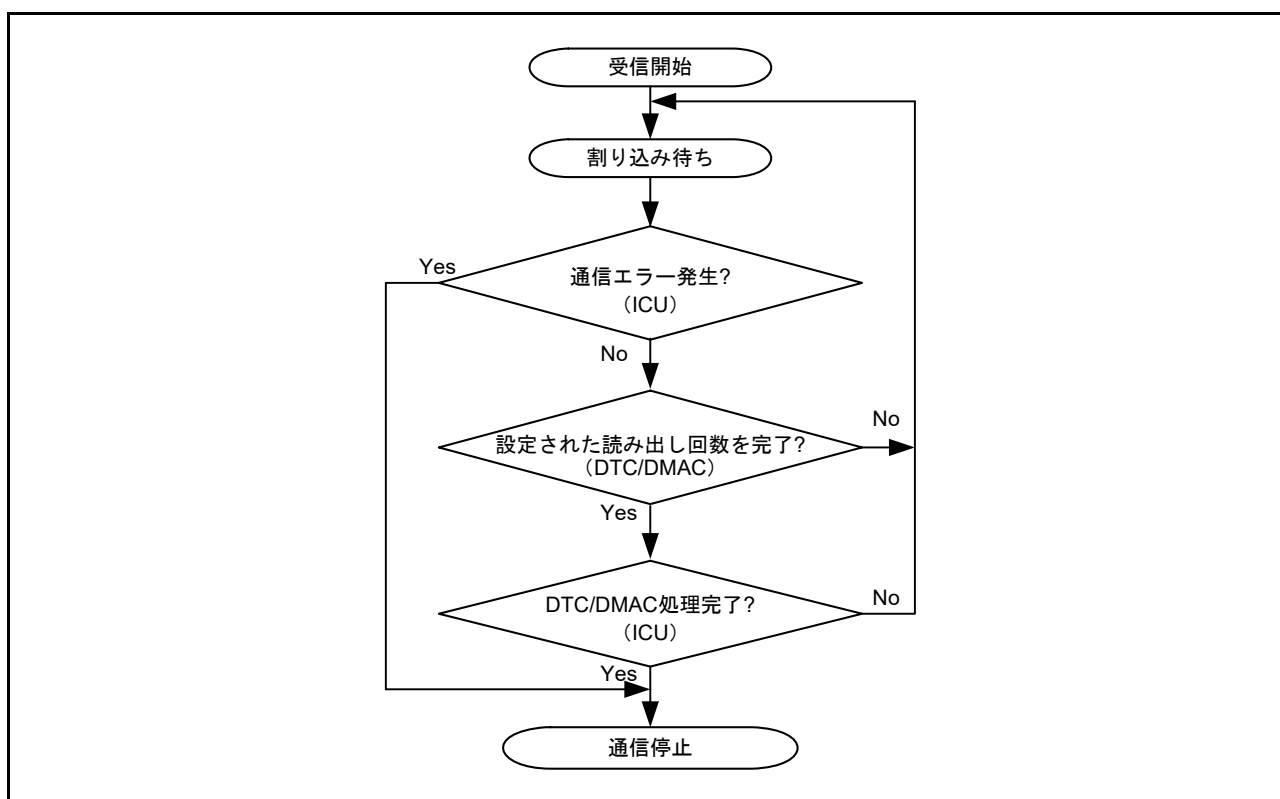


図 33.51 受信手順

注． SSIE に定義した通信フローでは、DTC/DMAC を使用します。DTC/DMAC を使用していない場合、SSIFSR.RDF の値 1 のポーリングを実行して SSIFRDR からデータを読み出すようにしてください。SSIFSR.RDF の値 1 の検出によって SSIFRDR からデータを読み出す回数は、SSISCR.RDFS[2:0] ビットで指定した受信 FIFO データレジスタの受信データ格納容量に応じて決定してください。受信データが SSIFRDR から読み出されたら、SSIFSR.RDF フラグをクリアしてください。データ読み出しを繰り返すことで、継続的な受信が可能です。SSIFSR.RDF フラグは、クリアしないと自動的にクリアされません。

33.8.4 送信および受信

送信および受信を許可 (SSICR.TEN = 1 かつ SSICR.REN = 1) すると、少なくとも 1 フレームのシリアルデータが送信 FIFO データレジスタ (SSIFTRDR) にあり、SSILRCK/SSIFS によって開始トリガが生成されたとき、SSIE は送信および受信を開始します。33.8.2 および 33.8.3 で説明する手順をそれぞれ実行することにより、継続的な送信および受信が可能です。送信および受信を停止する手順は、33.8.5 を参照してください。

33.8.5 通信停止

本項では、SSIE の通信停止方法について説明します。図 33.52 に示す手順に従って、通信を停止してください。

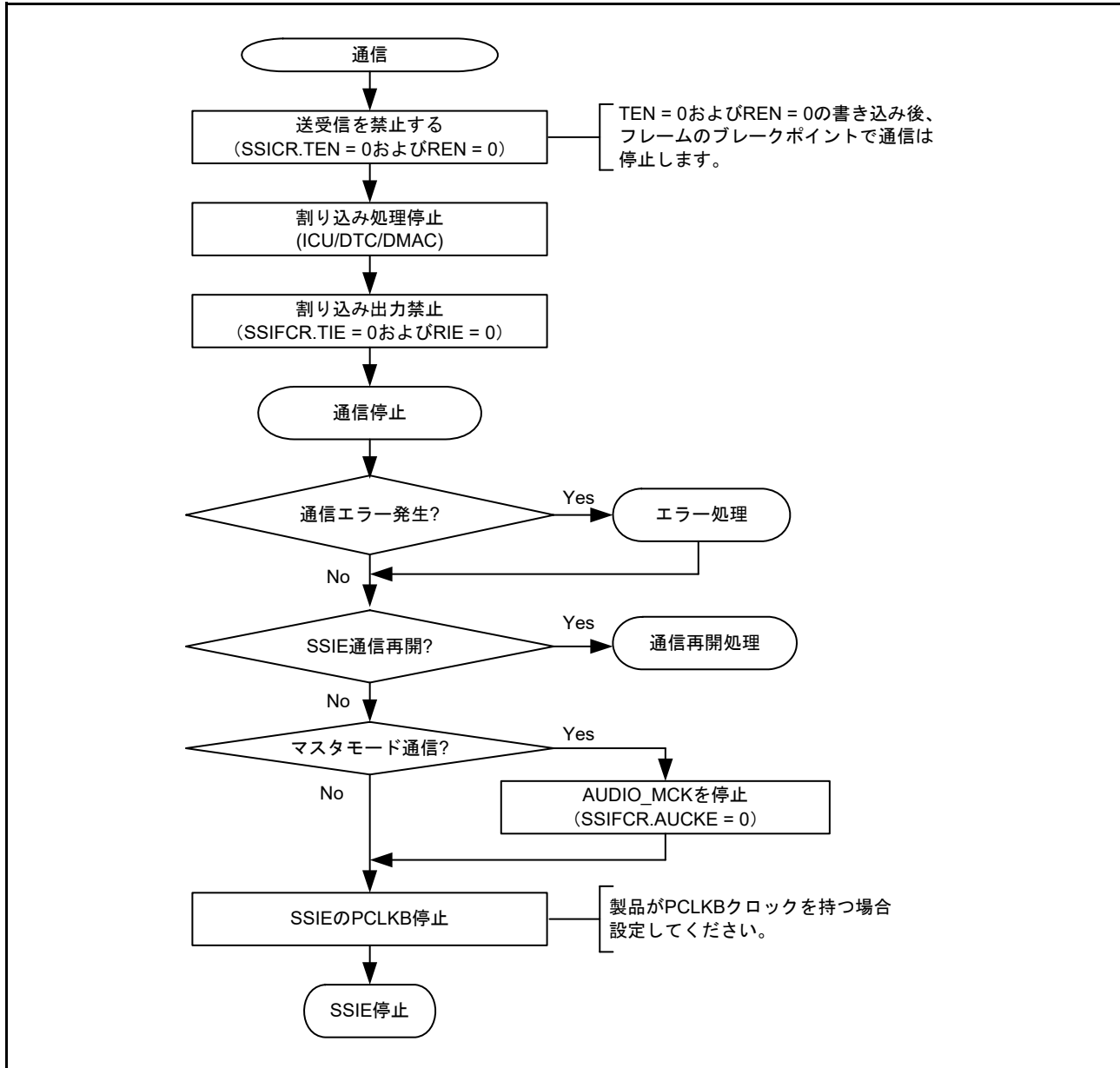


図 33.52 通信停止手順 (CPU 動作)

SSIE の通信を停止するには、SSISR.IIRQ ビットがアイドル状態を示すまで、以下のクロック供給が必要です。

- SSICR.MST = 0 のときは、SSIBCK 端子からの入力クロック
- SSICR.MST = 1 のときは、AUDIO_MCK

この設定のまま SSIE の通信を再開するときは、33.8.7 を参照してください。

注 . 図 33.52 の通信停止手順に従って SSIE を停止した後に通信を再開する場合、図 33.54 の通信再開手順に従ってください。

33.8.6 エラー処理

SSIE には、以下の 4 種類のエラーがあります。

- 送信アンダーフローエラー
- 送信オーバーフローエラー
- 受信アンダーフローエラー
- 受信オーバーフローエラー

アンダーフローエラーまたはオーバーフローエラーが発生した場合、SSIE をリスタートしてください。

図 33.52 の通信停止手順と図 33.53 のエラー処理手順に従ってください。

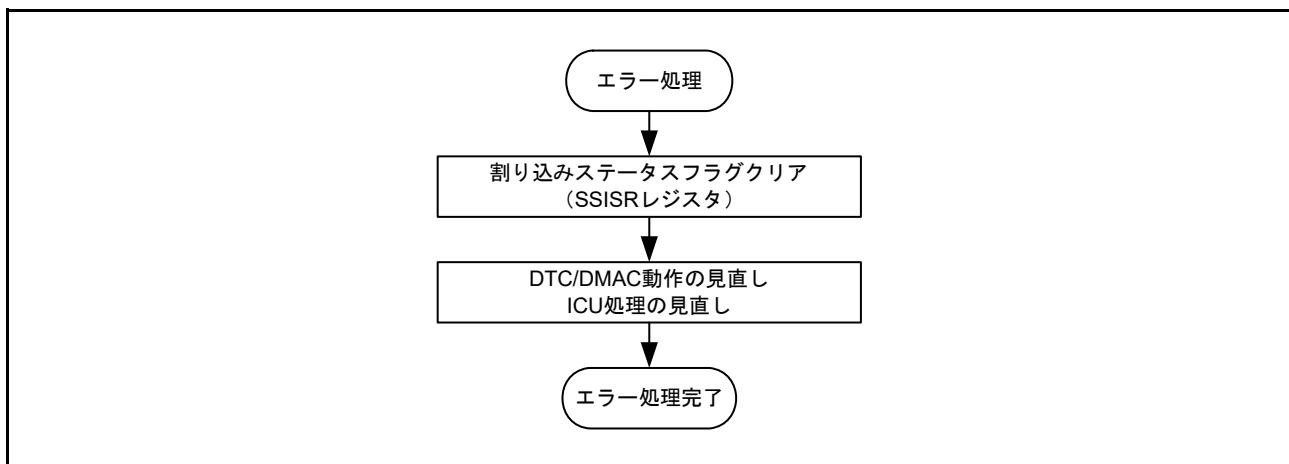


図 33.53 エラー処理手順

4 つのエラー動作について以下に説明します。SSICR レジスタの割り込み出力許可ビットを許可し、エラーフラグが設定されたとき、エラー割り込みが生成されます。エラーフラグの設定条件 (1 になる条件) は、33.4.2 ステータスレジスタ (SSISR) のフラグについての説明を参照してください。

(1) 送信アンダーフローエラー

送信アンダーフローエラーが発生した場合、送信データエンプティ割り込みに応じた送信 FIFO データレジスタ (SSIFTDR) への書き込み回数を見直してください。送信アンダーフローエラーが発生すると、SSIE はデータとして 0 を出力します。送信 FIFO データレジスタ (SSIFTDR) へ書き込まれたシリアルデータが、SSITXD0 端子へ正常に出力されるようにするには、図 33.52 の通信停止手順と図 33.53 のエラー処理手順に従ってください。エラーが発生するときは、通常はシリアルデータはありません。通信を再開したら、最初からシリアルデータを書いてください。

(2) 送信オーバーフローエラー

送信オーバーフローエラーが発生した場合、送信データエンプティ割り込みに応じた送信 FIFO データレジスタ (SSIFTDR) への書き込み回数を見直してください。送信オーバーフローエラーの原因となった送信 FIFO データレジスタ (SSIFTDR) に書き込まれたシリアルデータは、無効になります。送信オーバーフローエラーは、送信動作の途中であっても発生します。エラーから回復するには、図 33.52 の通信停止手順と図 33.53 のエラー処理手順に従ってください。通信を再開する際は、無効なシリアルデータに適切に対処してください。

(3) 受信アンダーフローエラー

受信アンダーフローエラーが発生した場合、受信データフル割り込みに応じた受信 FIFO データレジスタ (SSIFRDR) からの読み出し回数を見直してください。受信アンダーフローエラーの原因となった受信 FIFO データレジスタ (SSIFRDR) から読み出される値は不定です。受信アンダーフローエラーは、受信動作の途中であっても発生します。エラーから回復するには、図 33.52 の通信停止手順と図 33.53 のエラー処理手順に従ってください。

(4) 受信オーバーフローエラー

受信オーバーフローエラーが発生した場合、受信データフル割り込みに応じた受信 FIFO データレジスタ (SSIFRDR) からの読み出し回数を見直してください。受信オーバーフローエラーの原因となった受信データは、受信 FIFO データレジスタ (SSIFRDR) に格納できません。エラーから回復するには、[図 33.52](#) の通信停止手順と [図 33.53](#) のエラー処理手順に従ってください。

33.8.7 通信再開

SSIE の通信を再開するときは、[図 33.54](#) の通信再開の手順に従ってください。この手順は、通信停止手順で停止した通信設定に何も変更を加えずに再開することを前提としています。クロックおよびスレーブ/マスタ設定を変更するには、[図 33.49](#) の通信開始手順に従ってください。通信を開始した後の送信および受信についての詳細は、[33.8.2](#) および [33.8.3](#) をそれぞれ参照してください。

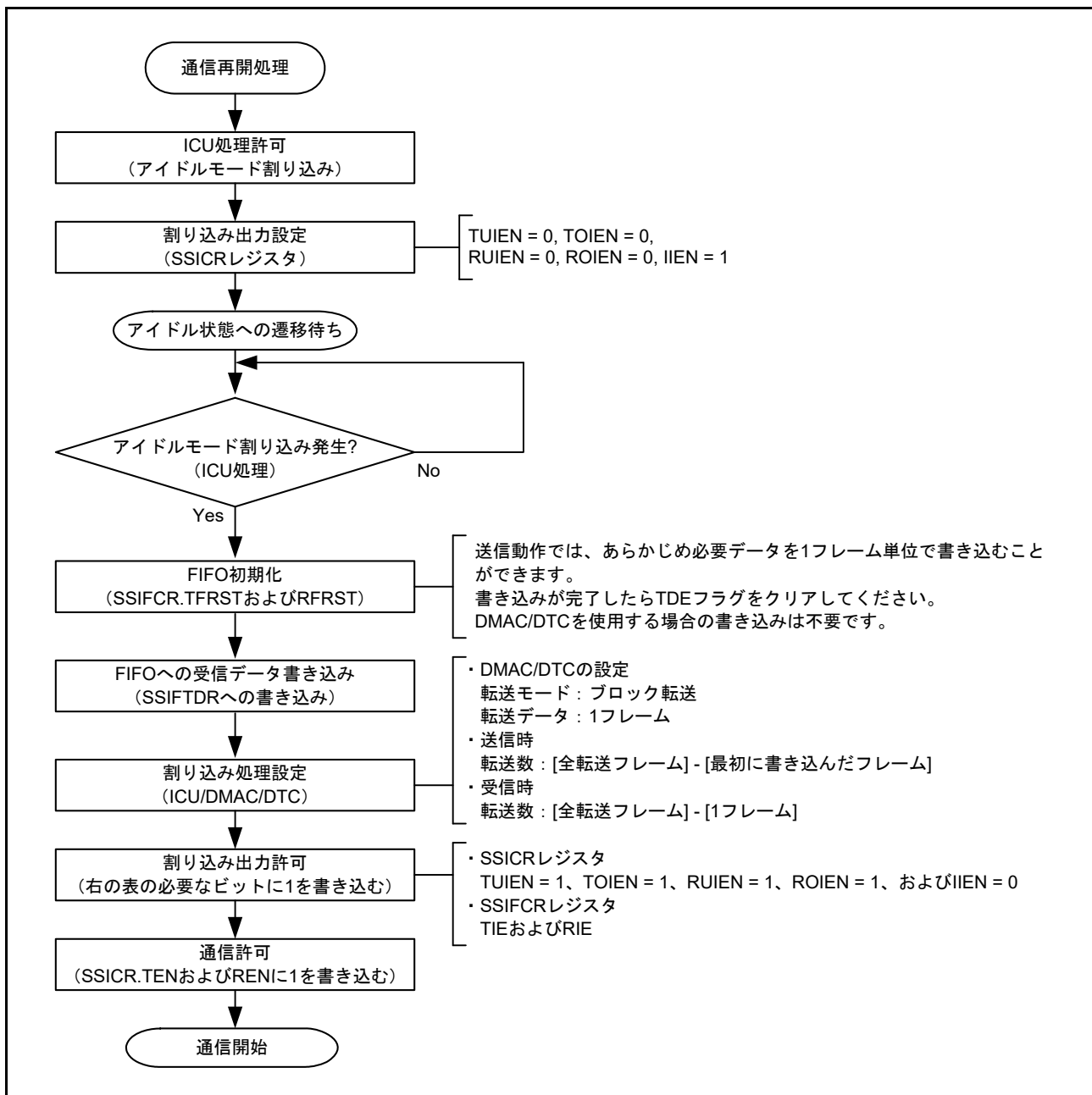


図 33.54 通信再開手順 (CPU 動作)

33.9 割り込み

表 33.16 に、割り込み要因の一覧を示します。各割り込み要因の割り込み出力を、SSICR レジスタの TUIEN、TOIEN、RUIEN、ROIEN、および I IEN ビット、ならびに SSIFCR レジスタの TIE および RIE ビットで許可/禁止してください。

表 33.16 SSIE 割り込み要因

チャネル	割り込み要因	機能	割り込みフラグ	DMAC/DTC 起動
SSIE0	SSIE0_SSIF	<ul style="list-style-type: none"> 送信アンダーフロー割り込み 送信オーバーフロー割り込み 受信アンダーフロー割り込み 受信オーバーフロー割り込み アイドル割り込み 	SSISR.TUIRQ SSISR.TOIRQ SSISR.RUIRQ SSISR.ROI RQ SSISR.IIRQ	不可能
	SSIE0_SSIRXI	受信データフル割り込み	SSIFSR.RDF	可能
	SSIE0_SSITXI	送信データEMPTY割り込み	SSIFSR.TDE	可能

33.9.1 SSIE0_SSIF 割り込み

本割り込み要因は、5 種類の割り込みを組み合わせたものです。必要な割り込みの出力を許可してから、SSIE の使用を開始してください。これら 5 種類の割り込みは、それぞれ個別に割り当てられたフラグと割り込み出力許可ビットを使用することで動作します。割り込みを解除するには、割り込み許可ビットを 0 にするか、または割り込みフラグを 0 にクリアしてください。

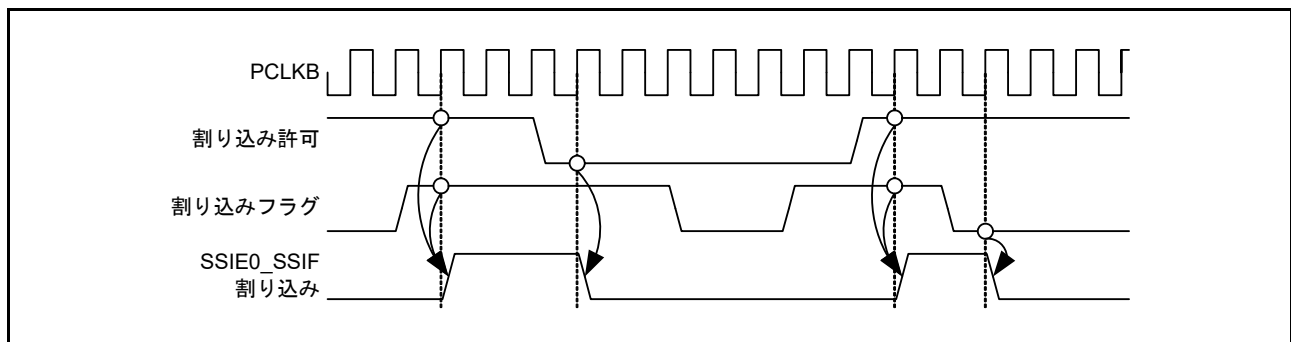


図 33.55 割り込み要因共通のタイミング図 (SSIE0_SSIF)

- 送信アンダーフロー割り込み

SSICR.TUIEN = 1 のとき、送信アンダーフロー割り込みとして SSISR.TUIRQ が出力されます。SSIE で送信するときは、送信アンダーフロー割り込みの出力を許可してください (SSICR.TUIEN = 1)。本割り込みが発生したら、図 33.52 の通信停止手順と図 33.53 のエラー処理手順に従ってください。

- 送信オーバーフロー割り込み

SSICR.TOIEN = 1 のとき、送信オーバーフロー割り込みとして SSISR.TOIRQ が出力されます。SSIE で送信するときは、送信オーバーフロー割り込みの出力を許可してください (SSICR.TOIEN = 1)。本割り込みが発生したら、図 33.52 の通信停止手順と図 33.53 のエラー処理手順に従ってください。

- 受信アンダーフロー割り込み

SSICR.RUIEN = 1 のとき、受信アンダーフロー割り込みとして SSISR.RUIRQ が出力されます。SSIE で受信するときは、受信アンダーフロー割り込みの出力を許可してください (SSICR.RUIEN = 1)。本割り込みが発生したら、図 33.52 の通信停止手順と図 33.53 のエラー処理手順に従ってください。

- 受信オーバーフロー割り込み

SSICR.ROIEN = 1 のとき、受信オーバーフロー割り込みとして SSISR.ROIIRQ が出力されます。SSIE で受信するときは、受信オーバーフロー割り込みの出力を許可してください (SSICR.ROIEN = 1)。本割り込みが発生したら、[図 33.52](#) の通信停止手順と [図 33.53](#) のエラー処理手順に従ってください。

- アイドルモード割り込み

SSICR.IIEN = 1 のとき、アイドルモード割り込みとして SSISR.IIRQ が出力されます。本割り込みは、通信が完全に停止したことを確認するために使用します。

33.9.2 SSIE0_SSITXI 割り込み

送信データエンプティ割り込みは、パルス割り込みです。以下の条件になると出力されます。

- SSIFCR.TIE = 1 かつ SSIFSR.TDE = 1
 - SSIE 動作 : SSIFCR.TIE の値が 1 で、SSIFSR.TDE の値が 0 から 1 に変わったとき
 - CPU 命令 : SSIFSR.TDE の値が 1 で、SSIFCR.TIE の値が 0 から 1 に変わったとき

本割り込みには、割り込みの抑止機能が働きます。DTC/DMAC がビジー状態で割り込みの受け付けが不可能なときに本割り込みの割り込み条件になった場合、割り込みの抑止機能によって割り込み出力がホールドされます。ホールドされた割り込みは、DTC/DMAC で割り込みの受け付けが可能になると出力されます。詳細は、[図 33.56](#) を参照してください。

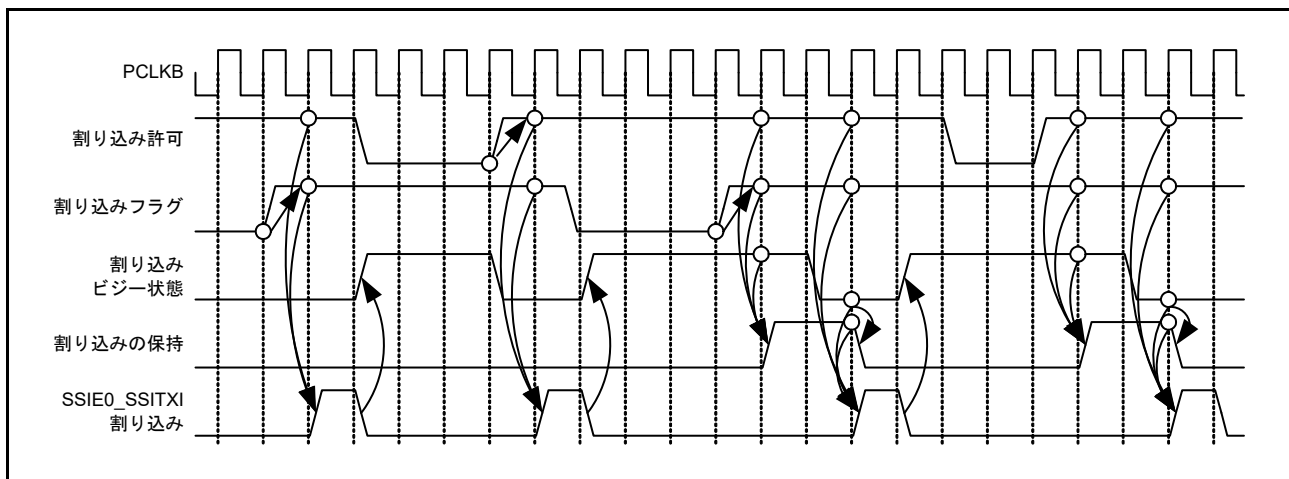


図 33.56 SSIE0_SSITXI 割り込みのタイミング図

33.9.3 SSIE0_SSIRXI 割り込み

受信データフル割り込みは、パルス割り込みです。以下の条件になると出力されます。

- SSIFCR.RIE = 1 かつ SSIFSR.RDF = 1

SSIE 動作 : SSIFCR.RIE の値が 1 で、SSIFSR.RDF の値が 0 から 1 に変わったとき

CPU 命令 : SSIFSR.RDE の値が 1 で、SSIFCR.RIE の値が 0 から 1 に変わったとき

本割り込みには、割り込みの抑止機能が働きます。DTC/DMAC がビジー状態で割り込みの受け付けが不可能なときに本割り込みの割り込み条件になった場合、割り込みの抑止機能によって割り込み出力がホールドされます。ホールドされた割り込みは、DTC/DMAC で割り込みの受け付けが可能になると出力されます。本割り込みは、[図 33.56](#) と同様に動作します。

33.10 ソフトウェアリセット

SSIE には、以下の 3 種類のソフトウェアリセットビットがあります。

- SSIE ソフトウェアリセット (SSIFCR.SSIRST)
- 送信 FIFO データレジスタリセット (SSIFCR.TFRST)
- 受信 FIFO データレジスタリセット (SSIFCR.RFRST)

本項では、3 種類のソフトウェアリセットの手順を説明します。

33.10.1 ソフトウェアリセット手順

(1) SSIE ソフトウェアリセット

SSIE のソフトウェアリセットビット (SSIFCR.SSIRST) を使用するときには、[図 33.57](#) に示す手順に従ってください。リセット後に再開したときは、リセット前と同じ設定が適用されます。クロックおよびスレーブ / マスタモードの設定を変更するには、[図 33.49](#) の通信開始手順に従ってください。通信再開後の送信および受信については、それぞれ [33.8.2](#) および [33.8.3](#) を参照してください。

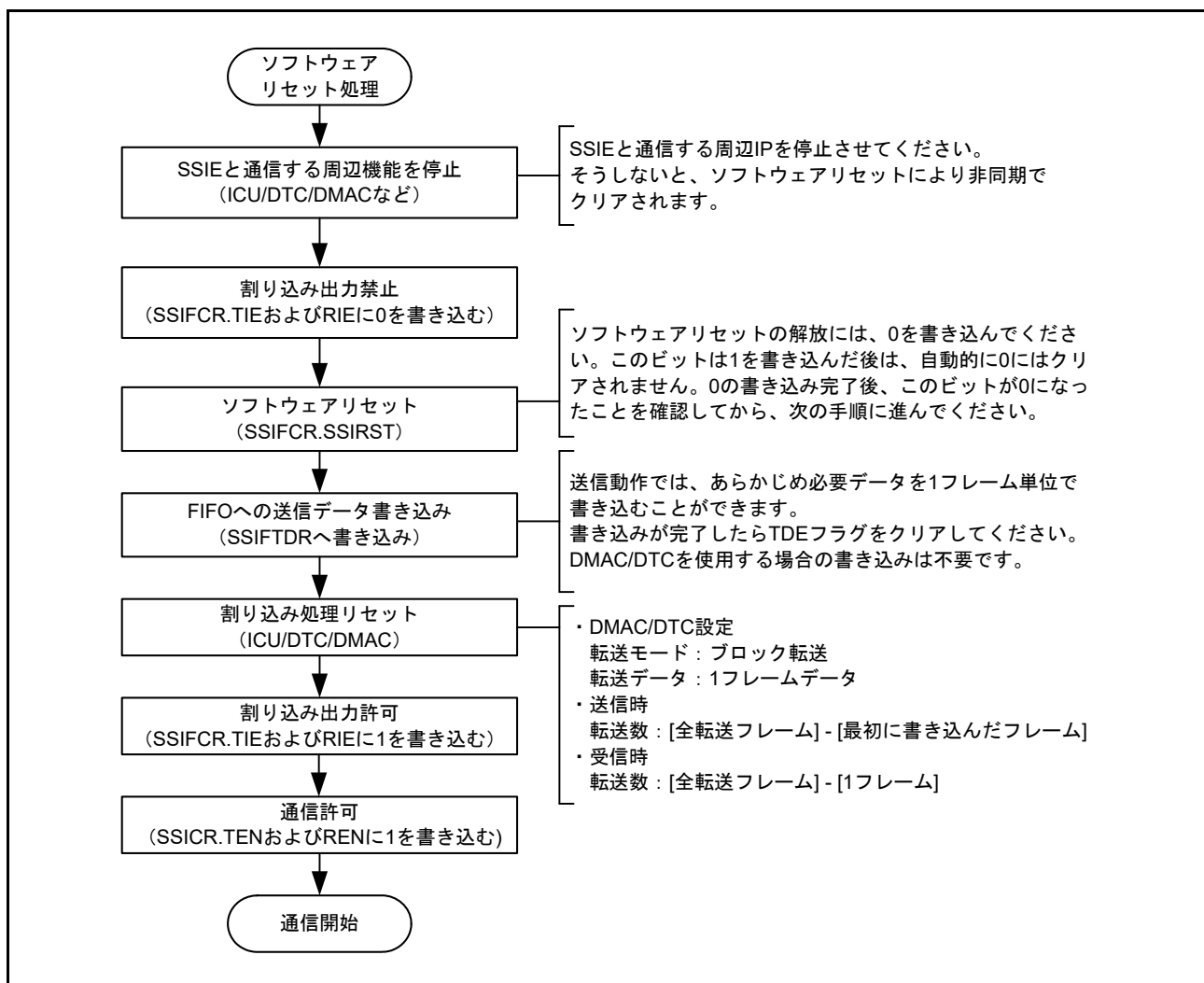


図 33.57 ソフトウェアリセット手順 (CPU 動作)

(2) 送信 FIFO データレジスタリセット

送信 FIFO データレジスタリセットを行うには、[図 33.49](#) の通信開始手順および[図 33.54](#) の通信再開手順に従ってください。

(3) 受信 FIFO データレジスタリセット

受信 FIFO データレジスタリセットを行うには、[図 33.49](#) の通信開始手順および[図 33.54](#) の通信再開手順に従ってください。

33.11 注意事項

33.11.1 スレーブモード通信の注意事項

33.11.1.1 SSIBCK 制御

SSIE では、スレーブモード通信 (SSICR.MST=0) のとき、SSIBCK 供給が必要です。マスタ側で BCK を停止するには、SSIE がアイドル状態 (SSISR.IIRQ=1) であることを確認してください。SSIE がアイドル状態になる前に BCK が停止した場合、[図 33.49](#) の通信開始手順に従うか、あるいは、[図 33.54](#) の通信再開手順に従ってアイドル状態になるまで待機してください。

33.11.1.2 SSILRCK/SSIFS 端子

SSILRCK/SSIFS 端子は、通信の同期を示します。スレーブモード (SSICR.MST=0) で通信するとき、SSIE の通信フォーマットは、相手側デバイスと同じにしてください。SSIE は、SSILRCK/SSIFS 端子による信号入力を、通信開始のトリガとしてのみ使用します。

33.11.2 マスタモード通信の注意事項

33.11.2.1 AUCKE 制御

マスタモード通信 (SSICR.MST=1) では、SSIE はオーディオクロック (AUDIO_MCK) と連携して動作します。SSIE を完全に停止するには、SSIE がアイドル状態 (SSISR.IIRQ=1) にあることを確認してから、SSIFCR.AUCKE に 0 を書き込んでください。

33.11.2.2 LRCONT 制御

マスタモード通信 (SSICR.MST=1) で SSIE がアイドル状態のとき、SSIOFR.LRCONT ビットを 1 から 0 へ変更すると SSILRCK/SSIFS 端子への出力が停止します。相手側デバイスには影響がないことを確認してください。詳細は、[図 33.40](#) を参照してください。

33.11.2.3 BCKASTP 制御

マスタモード通信 (SSICR.MST=1) で SSIE がアイドル状態のとき、SSIOFR.BCKASTP ビットを 0 から 1 へ変更すると SSIBCK 端子への出力が停止します。相手側デバイスには影響がないことを確認してください。詳細は、[図 33.41](#) を参照してください。

相手側デバイス (スレーブ側) が、通信前および通信中に SSIBCK 端子からのクロック出力を要求するとき、BCKASTP ビットは使用できません。

33.11.3 通信フローの注意事項

33.11.3.1 エラー割り込み発生

SSIE には 4 種類のエラーがあります。

- 送信アンダーフローエラー
- 送信オーバーフローエラー
- 受信アンダーフローエラー
- 受信オーバーフローエラー

アンダーフローエラーまたはオーバーフローエラーが発生した場合、SSIE をリスタートしてください。[図 33.52](#) の通信停止手順、および [図 33.53](#) にエラー処理手順に従ってください。

(1) 送信アンダーフローエラー

送信アンダーフローエラーが発生した場合、送信データエンプティ割り込みに応じた送信 FIFO データレジスタ (SSIFTDR) への書き込み回数を見直してください。送信アンダーフローエラーが発生すると、SSIE はデータとして 0 を出力します。送信 FIFO データレジスタ (SSIFTDR) へ書き込まれたシリアルデータが、SSITXD0 端子へ正常に出力されるようにするには、[図 33.52](#) の通信停止手順と [図 33.53](#) のエラー処理手順に従ってください。エラーが発生するときは、通常はシリアルデータはありません。通信を再開したら、最初からシリアルデータを書いてください。

(2) 送信オーバーフローエラー

送信オーバーフローエラーが発生した場合、送信データエンプティ割り込みに応じた送信 FIFO データレジスタ (SSIFTDR) への書き込み回数を見直してください。送信オーバーフローエラーの原因となった送信 FIFO データレジスタ (SSIFTDR) へ書き込まれたシリアルデータは、無効になります。送信オーバーフローエラーは、送信動作の途中であっても発生します。エラーから回復するには、[図 33.52](#) の通信停止手順と [図 33.53](#) のエラー処理手順に従ってください。通信を再開する際は、無効なシリアルデータに適切に対処してください。

(3) 受信アンダーフローエラー

受信アンダーフローエラーが発生した場合、受信データフル割り込みに応じた受信 FIFO データレジスタ (SSIFRDR) からの読み出し回数を見直してください。受信アンダーフローエラーの原因となった受信 FIFO データレジスタ (SSIFRDR) から読み出される値は不定です。受信アンダーフローエラーは、受信動作の途中であっても発生します。エラーから回復するには、[図 33.52](#) の通信停止手順と [図 33.53](#) のエラー処理手順に従ってください。

(4) 受信オーバーフローエラー

受信オーバーフローエラーが発生した場合、受信データフル割り込みに応じた受信 FIFO データレジスタ (SSIFRDR) からの読み出し回数を見直してください。受信オーバーフローエラーの原因となった受信データは、受信 FIFO データレジスタ (SSIFRDR) に格納できません。エラーから回復するには、[図 33.52](#) の通信停止手順と [図 33.53](#) のエラー処理手順に従ってください。

33.11.3.2 送信データエンプティ割り込み

SSIE に定義した通信フローでは、DTC/DMAC を使用します。DTC/DMAC を使用していない場合、SSIFSR.TDE の値 1 のポーリングを実行して SSIFTDR にデータを書き込むようにしてください。SSIFSR.TDE の値 1 の検出によって SSIFTDR へデータを書き込む回数は、SSISCR.TDES[2:0] ビットで指定した送信 FIFO データレジスタの空き容量に応じて決定してください。空き容量と同じサイズの送信データが SSIFTDR に書き込まれたら、SSIFSR.TDE フラグをクリアしてください。データ書き込みを繰り返すことで、継続的な送信が可能です。SSIFSR.TDE フラグは、クリアしないと自動的にクリアされません。

33.11.3.3 受信データフル割り込み

SSIE に定義した通信フローでは、DTC/DMAC を使用します。DTC/DMAC を使用していない場合、SSIFSR.RDF の値 1 のポーリングを実行して SSIFRDR からデータを読み出すようにしてください。SSIFSR.RDF の値 1 の検出によって SSIFRDR からデータを読み出す回数は、SSISCR.RDFS[2:0] ビットで指定した受信 FIFO データレジスタの受信データ格納容量に応じて決定してください。受信データが SSIFRDR から読み出されたら、SSIFSR.RDF フラグをクリアしてください。データ読み出しを繰り返すことで、継続的な受信が可能です。SSIFSR.RDF フラグは、クリアしないと自動的にクリアされません。

33.11.3.4 転送モードの切り替え

転送モードは以下のように切り替えができます。

1. 送信、受信、および送受信から状態遷移する場合、送信および受信を禁止してください (SSICR.TEN = 0、SSICR.REN = 0)。
2. アイドル状態にあることを確認してください (SSISR.IIRQ = 1)。
3. アイドル状態で SSICR.TEN ビットまたは SSICR.REN ビットを再設定し、転送を再開してください。

33.11.3.5 SSIE 停止後の通信再開

図 33.52 の通信停止手順に従って SSIE を停止した後に通信を再開する場合、図 33.54 の通信再開手順に従ってください。

33.11.4 書き込みアクセス制限

33.11.4.1 SSICR レジスタ

TEN ビットまたは REN ビットを書き換えた場合、SSISR.IIRQ ビットが目的の状態になっていることを確認してください。ビットを書き換えた場合、変更直後の動作は予測できません。たとえば、送信または受信許可の場合は SSISR.IIRQ が 0、送信または受信禁止の場合は SSISR.IIRQ が 1 であることを確認してください。

(1) TEN ビットおよび REN ビット

送信および受信を許可/禁止します。いずれかのビットに 1 を書いたとき、SSILRCK/SSIFS 信号の開始トリガと同期して、対応する通信動作を開始します。詳細は、33.8.2、33.8.3、および 33.8.4 を参照してください。0 を書いたとき、次のフレーム境界で通信中の動作を停止します。送信と受信の両方で SSIE を使用するには、常に TEN ビットと REN ビットの両方に同時に 1 を書いてください。SSIE での通信を停止するときは、常に送信と受信の両方を禁止してください (TEN ビットと REN ビットへ 0 の書き込み)。

33.11.4.2 SSISR レジスタ

(1) TUIRQ フラグおよび TOIRQ フラグのクリア

通信を許可 (SSICR.TEN ビットを 0 から 1 に変更) した後、送信エラーフラグ SSISR レジスタの TOIRQ および TUIRQ はクリアされます。ただし、SSISR レジスタが継続して読み出される時、送信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

(2) RUIRQ フラグおよび ROIRQ フラグのクリア

通信を許可 (SSICR.REN ビットを 0 から 1 に変更) した後、受信エラーフラグ SSISR レジスタの RUIRQ および ROIRQ はクリアされます。ただし、SSISR レジスタが継続して読み出される時、受信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

33.11.4.3 通信状態

表 33.17 中の網掛けしたビットへは書き込みしないでください。書き込んだ場合、書き込み後の動作は保証されません。

表 33.17 通信時のビットへの書き込み保護

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	00h	+0	—	CKS	TUI EN	TOI EN	RUI EN	ROI EN	IIEN	—	—	—	DWL[2:0]			SWL[2:0]		
		+2	—	MS T	BCK P	LRC KP	SPD P	SDT A	PDT A	DEL	CKDV[3:0]			MU EN	—	TEN	RE N	
SSISR	04h	+0	—	—	TUI RQ	TOI RQ	RUI RQ	ROI RQ	IIRQ	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
SSIFCR	10h	+0	AUC KE	—	—	—	—	—	—	—	—	—	—	—	—	—	SSI RST	
		+2	—	—	—	—	BS W	—	—	—	—	—	—	TIE	RIE	TFR ST	RFR ST	
SSIFSR	14h	+0	—	—	—	—	TDC[3:0]			—	—	—	—	—	—	—	TDE	
		+2	—	—	—	—	RDC[3:0]			—	—	—	—	—	—	—	RDF	
SSIFTDR	18h	+0	SSIFTDR[31:16]															
		+2	SSIFTDR[15:0]															
SSIFRDR	1ch	+0	SSIFRDR[31:16]															
		+2	SSIFRDR[15:0]															
SSIOFR	20h	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	—	BCK AST P	LRC ON T	—	—	—	—	—	—	OMOD[1:0]	
SSISCR	24h	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	TDES[2:0]			—	—	—	—	—	RDFS[2:0]		

34. バウンダリスキャン

34.1 概要

バウンダリスキャン機能は、JTAG（Joint Test Action Group）、IEEE Std.1149.1 および IEEE Standard Test Access Port and Boundary Scan Architecture に基づくシリアル入出力インタフェースを提供します。表 34.1 にバウンダリスキャンの仕様を、図 34.1 にブロック図を、表 34.2 に入出力端子を示します。

表 34.1 バウンダリスキャンの仕様

項目	内容
実行条件	RES 端子がLowの場合は必ずバウンダリスキャンを実行する必要があります。
テストモード	<ul style="list-style-type: none"> • BYPASSモード • EXTESTモード • SAMPLE/PRELOADモード • CLAMPモード • HIGHZモード • IDCODEモード

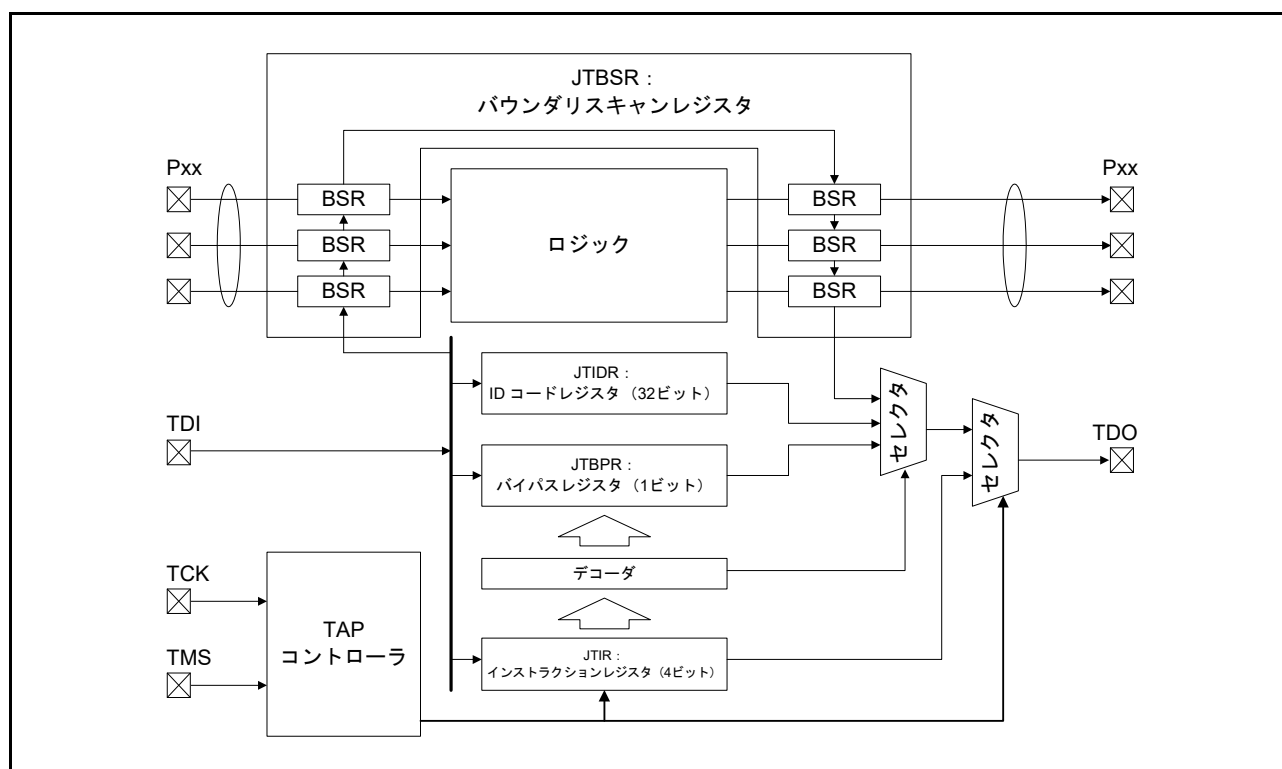


図 34.1 バウンダリスキャン機能のブロック図

表 34.2 入出力端子

端子名	入出力	機能
TCK	入力	テストクロック入力 バウンダリスキャン用のクロック信号。バウンダリスキャン機能使用時、入力クロックデューティ比は50%です。
TMS	入力	テストモードセレクト
TDI	入力	テストデータ入力
TDO	出力	テストデータ出力

注． 本 MCU は、JTAG インタフェース用の TRST 端子はサポートしていません。

34.2 レジスタの説明

表 34.3 にバウンダリスキャンのレジスタ一覧を示します。

表 34.3 バウンダリスキャンレジスタ

レジスタ名	シンボル	リセット後の値
インストラクションレジスタ	JTIR	Eh
IDコードレジスタ	JTIDR	0837 C447h
バイパスレジスタ	JTBPR	不定
バウンダリスキャンレジスタ	JTBSR	不定

バウンダリスキャンレジスタの使用上の注意を以下に示します。

- インストラクションは、TDI 端子からシリアル転送によりインストラクションレジスタ (JTIR) へ入力できます
- バイパスレジスタ (JTBPR) は 1 ビットのレジスタで、BYPASS モード時に TDI 端子と TDO 端子はこのレジスタに接続されます
- バウンダリスキャンレジスタ (JTBSR) は BSDL の記述に基づき構成されており、テストデータをシフトインするときに TDI 端子と TDO 端子の間に接続されます

表 34.4 に各レジスタのシリアル転送を示します。

表 34.4 レジスタのシリアル転送

レジスタ名	シリアル入力	シリアル出力
インストラクションレジスタ (JTIR)	可	可
IDコードレジスタ (JTIDR)	可	可
バイパスレジスタ (JTBPR)	可	可
バウンダリスキャンレジスタ (JTBSR)	可	可

34.2.1 インストラクションレジスタ (JTIR)



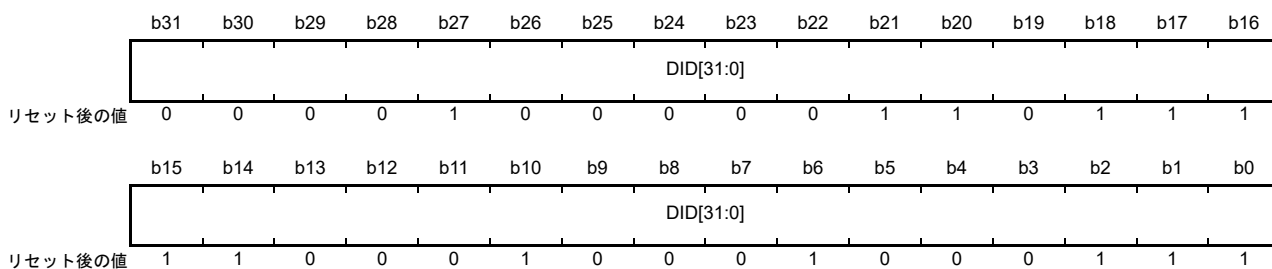
ビット	シンボル	ビット名	機能	R/W
b3-b0	TS[3:0]	テストビットセット	表 34.5に、これらのビットのコマンド構成を示します。	—

表 34.5 コマンド構成

TS3	TS2	TS1	TS0	インストラクション
0	0	0	0	EXTEST
0	0	0	1	SAMPLE/PRELOAD
0	0	1	1	IDCODE (ルネサスコード)
0	1	0	1	CLAMP
0	1	1	0	HIGHZ
1	1	1	1	BYPASS
上記以外の設定				予約

JTAG 命令は、TDI 端子からのシリアル入力によって JTIR レジスタに転送することが可能です。JTIR レジスタは、パワーオンリセットが発生したとき、または TAP コントローラが Test-Logic-Reset 状態のときに初期化されます。

34.2.2 ID コードレジスタ (JTIDR)



ビット	シンボル	ビット名	機能	R/W
b31-b0	DID[31:0]	デバイスID	デバイスIDCODEを示す固定値を格納します。	—

IDCODE 命令の実行時、JTIDR レジスタのデータを TDO 端子から出力します。リセット解除後、JTIDR の IDCODE は Arm® デバッグコードに変わります。ARM® CoreSight™ SoC-400 Technical Reference Manual (ARM DDI 0480F) を参照してください。

34.2.3 バイパスレジスタ (JTBPR)

JTBPR は、1 ビットのレジスタです。JTIR レジスタが BYPASS モードに設定された場合、TDI 端子と TDO 端子の間に接続されます。CPU から JTBPR レジスタへの読み出し/書き込みはできません。

34.2.4 バウンダリスキャンレジスタ (JTBSR)

JTBSR は、本 MCU の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。バウンダリスキャンテスト中の JTBSR レジスタに対して、EXTEST、SAMPLE/PRELOAD、CLAMP、および HIGHZ の命令を発行してください。BSDL ファイルは、JTBSR ビットと本 MCU の端子の対応について説明しています。リセット後の値は不定です。

34.3 動作説明

リセット時に、JTAG ポートの TCK、TMS、TDI、および TDO がデフォルトの端子機能として割り当てられます。TCK、TMS、および TDI 端子はプルアップ抵抗器によってプルアップします。POR がネゲートされ、RES が Low になった場合、セットアップ時間が経過した後にバウンダリスキャンテストを行うことができます。

34.3.1 TAP コントローラ

図 34.2 に TAP コントローラの状態遷移図を示します。すべての遷移は TMS 信号によって制御されます。

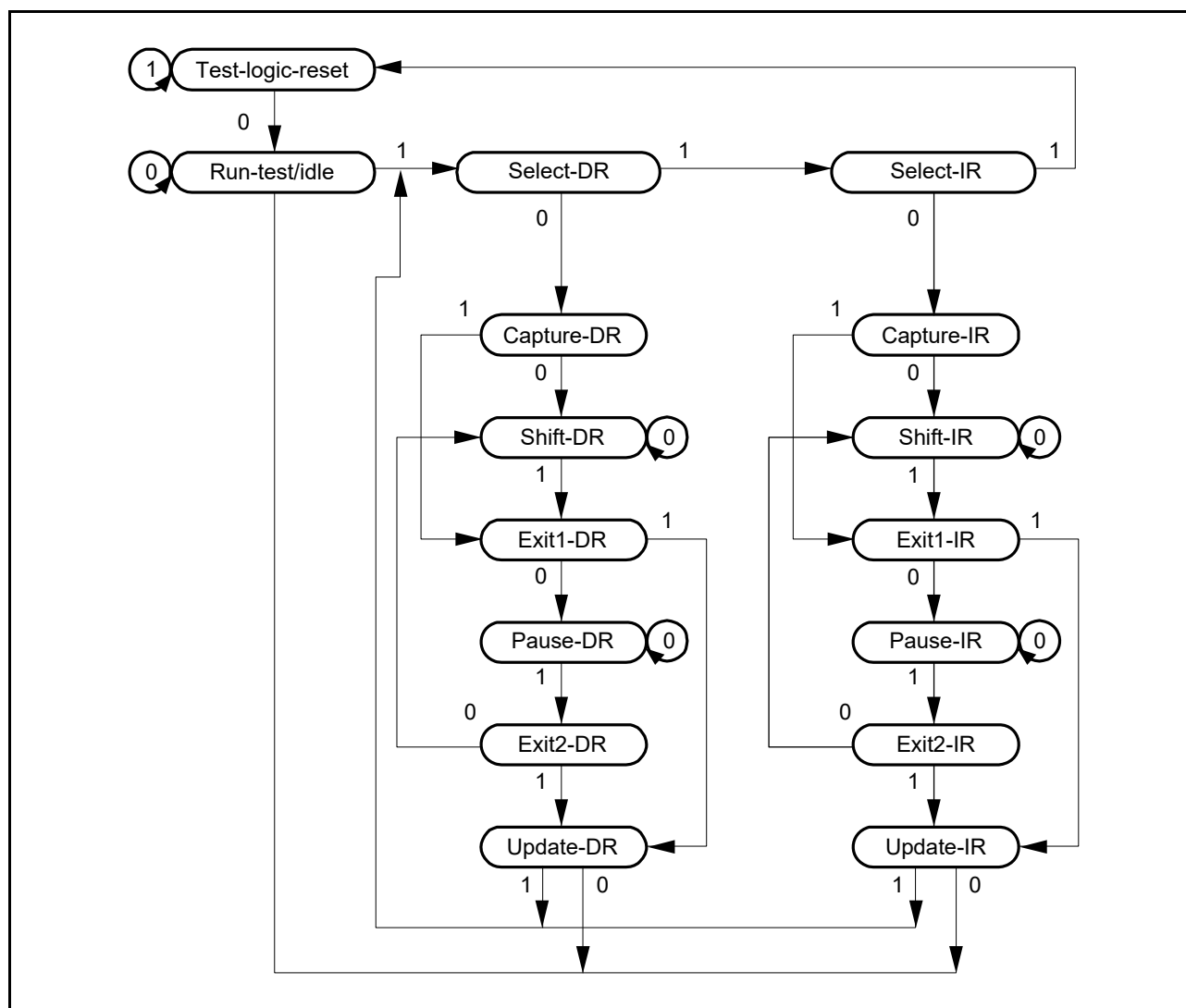


図 34.2 TAP コントローラの状態遷移図

34.3.2 コマンド

(1) BYPASS

BYPASS 命令は、バイパスレジスタ (JTBPR) を動作させます。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータの転送速度を高速化するものです。この命令の実行中、テスト回路はシステム回路に何の影響も与えません。

TDI 端子と TDO 端子にはバイパスレジスタ (JTBPR) が接続されます。Shift-DR 動作でバイパス動作となります。Shift-DR の 1 クロック目では TDO が Low となります。その後の Shift-DR で TDI が TDO から出力されます。

(2) EXTEST

EXTEST 命令は、本 MCU をプリント基板に実装したとき、外部回路をテストするためのものです。この命令の実行時、出力端子はバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですべてに設定されています) をプリント基板へ出力するために使用され、入力端子はプリント基板から JTBSR レジスタにそのテスト結果を取り込みます。

(3) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は、MCU の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。この命令の実行中、MCU の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。この命令の実行により MCU のシステム回路は何の影響も受けません。

SAMPLE 動作では、バウンダリスキャンレジスタは入力端子から内部回路に転送されたデータ、または内部回路から出力端子に転送されたデータのスナップショットをラッチします。ラッチしたデータは、スキャンパスから読み出します。スキャンレジスタは、Capture-DR 状態の TCK の立ち上がり同期してデータのスナップショットをラッチします。データのスナップショットは、リセット中に限り内部回路から出力端子に転送されます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタの平行出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、EXTEST シーケンスの最初から最後 (出力ラッチへの転送) まで出力端子から不定値が出力されます。EXTEST 命令では、常に出力端子に平行出力ラッチを出力します。

(4) IDCODE

IDCODE 命令が選択されると、TAP コントローラの Shift-DR 状態時に ID コードレジスタの値を TDO 端子に出力します。ID コードレジスタの値は LSB ファーストで出力されます。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。

(5) CLAMP

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE/PRELOAD 命令によって設定されたバウンダリスキャンレジスタの値を出力します。CLAMP 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI 端子と TDO 端子の間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

(6) HIGHZ

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態に遷移し、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI 端子と TDO 端子の間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

34.4 使用上の注意事項

バウンダリスキャン機能には、以下の制約が適用されます。

- RES 端子が Low の場合は必ずバウンダリスキャンを実行する
- 図 34.3 で示すとおりシリアルデータは LSB 側から入出力する

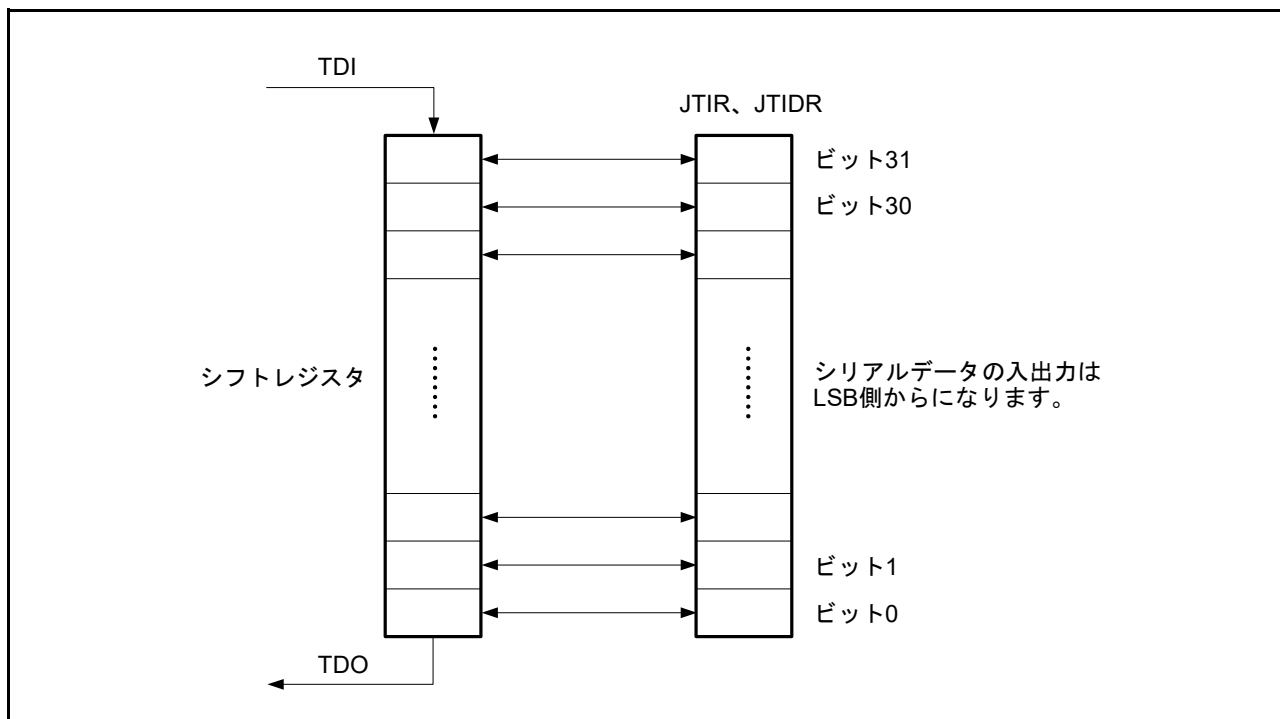


図 34.3 シリアルデータ入出力

以下の端子は、バウンダリスキャン対象外です。

- 電源端子 (VCC, VCL, VSS, VBATT, AVCC0, AVSS0, VCC_USB, VSS_USB)
- クロック端子 (EXTAL, XTAL, XCIN, XCOU)
- リセット信号 (RES)
- バウンダリスキャン用端子 (TCK, TMS, TDI, TDO)
- モード信号 (MD)

35. 14ビットA/Dコンバータ (ADC14)

35.1 概要

本 MCU は、逐次比較方式の 14 ビットの A/D コンバータ (ADC14) ユニートを内蔵しています。最大 28 チャンネルのアナログ入力を選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。A/D 変換精度には 14 ビット変換を選択でき、デジタル値の生成時に速度と分解能のバランスを最適化することが可能です。

ADC14 には次の動作モードがあります。

- 任意に選択したチャンネルのアナログ入力を、チャンネル番号の昇順に変換するシングルスキャンモード
- 任意に選択したチャンネルのアナログ入力を、順次チャンネル番号の昇順に連続して変換する連続スキャンモード
- チャンネルのアナログ入力を任意に 2 つのグループ (グループ A とグループ B) に分け、グループ単位で選択したチャンネルのアナログ入力をチャンネル番号の昇順に変換するグループスキャンモード

グループスキャンモードでは、グループ A とグループ B のスキャン開始条件を個別に選択することで、グループ A とグループ B は異なるタイミングで A/D 変換を開始することが可能です。さらに、グループ A の優先制御動作を設定すると、ADC14 はグループ B の A/D 変換動作中にグループ A のスキャン開始を受け付けて、グループ B の A/D 変換動作を中断します。このようにして、グループ A の A/D 変換を優先的に開始することが可能です。

ダブルトリガモードは、任意に選択した 1 チャンネルのアナログ入力をシングルスキャンモードまたはグループスキャンモード (グループ A) で変換し、1 回目の A/D 変換開始トリガで変換したデータと 2 回目の A/D 変換開始トリガで変換したデータを別々のレジスタに格納 (A/D 変換データの 2 重化) します。

自己診断は、スキャンごとの最初に 1 回実施され、ADC14 内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

A/D 変換には温度センサ出力および内部基準電圧を同時に選択できません。温度センサ出力または内部基準電圧は個別に A/D 変換してください。内部基準電圧を高電位側の基準電圧に選択する場合、温度センサまたは内部基準電圧の A/D 変換も実行できません。

基準電源端子 (VREFH0)、アナログ部の電源端子 (AVCC0)、または内部基準電圧は、高電位側の基準電圧として選択可能です。基準電源グランド端子 (VREFL0) またはアナログ部の電源グランド端子 (AVSS0) は、低電位側の基準電圧として選択可能です。

ADC14 は比較機能 (ウィンドウ A とウィンドウ B) を搭載しています。この比較機能は、ウィンドウ A とウィンドウ B それぞれの上側基準値および下側基準値を指定し、選択したチャンネルの A/D 変換値が比較条件に一致すると割り込みを出力します。

表 35.1 に ADC14 の仕様を、表 35.2 に機能を、図 35.1 にブロック図を示します。表 35.3 に入出力端子を示します。

表 35.1 ADC14の仕様 (1/2)

項目	内容
ユニット数	1ユニット
入力チャンネル	最大25チャンネル (AN000~AN014、AN016~AN025)
拡張アナログ機能	温度センサ出力、内部基準電圧
A/D変換方式	逐次比較方式
分解能	14ビット (14ビットまたは12ビット変換が選択可能)
変換時間	1チャンネル当たり0.79 μ s、14ビットA/D変換クロックPCLKC (ADCLK) が64MHzで動作時
A/D変換クロック	周辺モジュールクロックPCLKB (注1) およびA/D変換クロックPCLKC (ADCLK) (注1) を以下の分周比で設定可能 PCLKB : PCLKC (ADCLK) 分周比 = 1:1、2:1、4:1、8:1、1:2、1:4

表 35.1 ADC14の仕様 (2/2)

項目	内容
データレジスタ	<ul style="list-style-type: none"> アナログ入力用25本 <ul style="list-style-type: none"> ダブルトリガモードでのA/D変換データ2重化用1本 ダブルトリガモード拡張動作時のA/D変換データ2重化用2本 温度センサ出力用1本 内部基準電圧用1本 自己診断用1本 A/D変換結果をA/Dデータレジスタに保持 A/D変換結果の12および14ビット精度出力対応 A/D変換値加算モード (A/D変換結果の加算値を変換精度ビット数 + 2ビットでA/Dデータレジスタに保持) (注4) ダブルトリガモード、シングルスキャンとグループスキャンモードで選択可能： <ul style="list-style-type: none"> 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目は対象チャンネルのデータレジスタに保持、2回目のA/D変換データは2重化レジスタに保持 ダブルトリガモード拡張動作 (特定トリガ種別で有効) <ul style="list-style-type: none"> 選択した1つのチャンネルのアナログ入力のA/D変換データを関連するトリガに準備した2重化レジスタに保持
動作モード	<ul style="list-style-type: none"> シングルスキャンモード <ul style="list-style-type: none"> 任意に選択したチャンネルのアナログ入力、温度センサ出力、内部基準電圧を1回のみA/D変換 連続スキャンモード <ul style="list-style-type: none"> 任意に選択したチャンネルのアナログ入力、温度センサ出力、内部基準電圧を繰り返しA/D変換 グループスキャンモード <ul style="list-style-type: none"> 任意にグループAとグループBに分けたチャンネルのアナログ入力を1回のみA/D変換 グループAとグループBのスキャン開始条件を個別に選択することで、グループAとグループBのA/D変換をそれぞれ異なるタイミングで開始することが可能 グループスキャンモード (グループA優先制御選択時) <ul style="list-style-type: none"> グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断し、グループAのA/D変換動作を実施 グループAのA/D変換動作終了後にグループBのA/D変換動作の再実行 (再スキャン) の設定が可能
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ イベントリンクコントローラ (ELC) からの同期トリガ 外部トリガADTRG0端子からの非同期トリガ
機能	<ul style="list-style-type: none"> サンプリングステート数可変機能 ADC14の自己診断機能 A/D変換値加算モードと平均モードが選択可能 アナログ入力断線検出機能 (ディスチャージ機能/プリチャージ機能) ダブルトリガモード (A/D変換データ2重化機能) 12/14ビット変換切り替え機能 (注2) A/Dデータレジスタオートクリア機能 コンペアレジスタとデータレジスタとの値の比較、およびデータレジスタ間の値のデジタル比較
割り込み要因	<ul style="list-style-type: none"> シングルスキャンモード (ダブルトリガモード非選択) では、1回のスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号 (ADC140_ADI) を発生 <ul style="list-style-type: none"> デジタルコンペア機能の比較条件成立で、コンペア割り込み要求 (ADC140_CMPAI/ADC140_CMPBI) を発生 デジタルコンペア機能の比較条件成立で、ウィンドウコンペアELCイベント信号 (ADC140_WCMPPM) を発生 デジタルコンペア機能の比較条件不成立で、ウィンドウコンペアELCイベント信号 (ADC140_WCMPUM) を発生 シングルスキャンモード (ダブルトリガモード選択) では、2回のスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号 (ADC140_ADI) を発生 連続スキャンモードでは、選択した全チャンネルのスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号 (ADC140_ADI) を発生 グループスキャンモード (ダブルトリガモード非選択) では、グループAのスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号 (ADC140_ADI) を発生。グループBのスキャン終了でグループBのA/Dスキャン終了割り込み要求 (ADC140_GBADI) を発生 グループスキャンモード (ダブルトリガモード選択) では、2回のグループAのスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号 (ADC140_ADI) を発生。グループBのスキャン終了でグループBのA/Dスキャン終了割り込み要求 (ADC140_GBADI) を発生 ADC140_ADI、ADC140_GBADI、ADC140_WCMPPM、およびADC140_WCMPUMでDMAコントローラ (DMAC)、データトランスファコントローラ (DTC) を起動可能
ELCインタフェース	ELCからのトリガでスキャン開始可能
基準電圧	<ul style="list-style-type: none"> VREFH0、AVCC0、または内部基準電圧は、高電位の基準電圧として選択可能 VREFL0またはAVSS0は低電位の基準電圧として選択可能
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減 (注3)

- 注 . 温度センサ出力または内部基準電圧を選択する場合、連続スキャンモードまたはグループスキャンモードは使用しないでください。
- 注 1. 周辺モジュールクロック PCLKB は SCKDIVCR.PCKB[2:0] ビットで指定し、A/D 変換クロック ADCLK は SCKDIVCR.PCKC[2:0] ビットで指定します。PCLKB の最大周波数は 32MHz で、PCLKC (ADCLK) の最大周波数は 64MHz です。
- 注 2. A/D 変換精度を変えた場合、A/D 変換時間も変わります。詳細は、[35.3.6 アナログ入力のサンプリング時間とスキャン変換時間を参照してください](#)。
- 注 3. 詳細は、「[10. 低消費電力モード](#)」を参照してください。
- 注 4. 加算用の拡張ビット数は、A/D 変換精度および加算回数によって異なります。A/D 変換精度が 12 または 14 ビットの場合、2 ビット拡張は最大で変換 4 回 (加算 3 回) となります。

表 35.2 ADC14の機能

項目		ADC140	
アナログ入力チャンネル		AN000 ~ AN014、AN016 ~ AN025 内部基準電圧 温度センサ出力	
A/D 変換開始条件	外部トリガ	トリガ入力端子	ADTRG0
	ソフトウェア	ソフトウェアトリガ	許可
	同期トリガ (ELCからのトリガ)	ELCトリガ	ELC_AD00 ELC_AD01
割り込み		ADC140_ADI ADC140_GBADI ADC140_CMPAI ADC140_CMPBI	
ELCへの出力		ADC140_ADI ADC140_WCMPPM ADC140_WCMPUM	
モジュールストップ機能の設定 (注1) (注2)		MSTPCRD.MSTPD16ビット	

- 注 1. 詳細は、「[10. 低消費電力モード](#)」を参照してください。
- 注 2. モジュールストップ状態の解除後に A/D 変換を開始するのに、1μs 以上待機します。

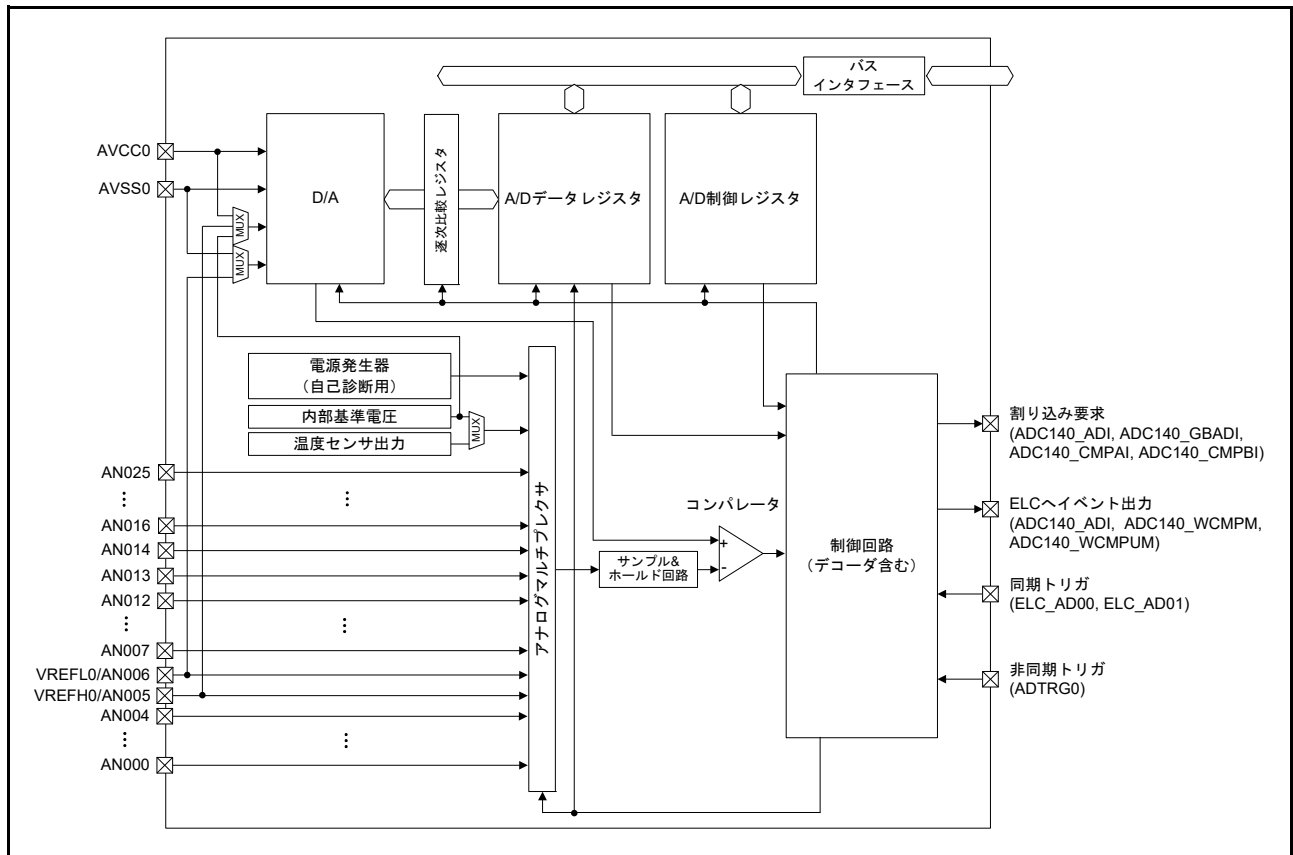


図 35.1 ADC14 のブロック図

表 35.3 ADC14の入出力端子

単位	端子名	入出力	機能
ユニット0	AVCC0	入力	アナログ部の電源端子
	AVSS0	入力	アナログ部の電源グランド端子
	VREFH0	入力	基準電源端子
	VREFL0	入力	基準電源グランド端子
	AN000 ~ AN014、AN016 ~ AN025	入力	アナログ入力端子0 ~ 14、16 ~ 25
	ADTRG0	入力	A/D変換開始のための外部トリガ入力端子

35.2 レジスタの説明

35.2.1 A/D データレジスタ y (ADDRy)、A/D データ 2 重化レジスタ (ADDBLDR)、A/D データ 2 重化レジスタ A (ADDBLDRA)、A/D データ 2 重化レジスタ B (ADDBLDRB)、A/D 温度センサデータレジスタ (ADTSDR)、A/D 内部基準電圧データレジスタ (ADOCDR)

データレジスタには以下の種類があります。

- ADDRy (y = 0 ~ 14、16 ~ 27) : A/D 変換結果を格納する 16 ビットの読み出し専用レジスタ
- ADDBLDR: ダブルトリガモード選択時の2回目のトリガによってA/D変換した結果を格納する16ビットの読み出し専用レジスタ
- ADDBLDRA および ADDBLDRB : ダブルトリガモード選択時、拡張動作中のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADTSDR : 温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADOCDR : 内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ

上記のレジスタは、下記の条件によりデータフォーマットが異なります。

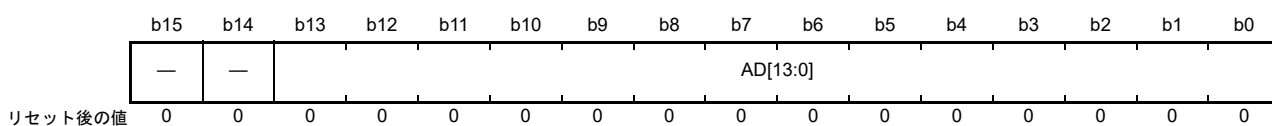
- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰めまたは左詰め)
- A/D 変換精度指定ビット (ADCER.ADPRC[1:0]) の設定値 (12 ビットまたは 14 ビット設定)
- 回数選択ビット (ADADC.ADC[2:0]) の設定値 (1 回、2 回、3 回、4 回、16 回の設定)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算または平均の設定)

以下では、各モードにおける条件ごとのデータフォーマットについて説明します。

(1) A/D 変換値加算/平均モードを非選択とした場合

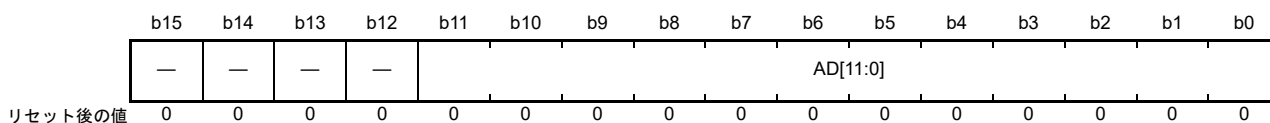
右詰めフォーマット、14ビット精度に設定した場合

アドレス [ADC140.ADDR0 4005 C020h](#) ~ [ADC140.ADDR14 4005 C03Ch](#), [ADC140.ADDR16 4005 C040h](#) ~ [ADC140.ADDR25 4005 C052h](#),
[ADC140.ADDBLDR 4005 C018h](#), [ADC140.ADDBLDRA 4005 C084h](#), [ADC140.ADDBLDRB 4005 C086h](#),
[ADC140.ADTSDR 4005 C01Ah](#), [ADC140.ADOCDR 4005 C01Ch](#)



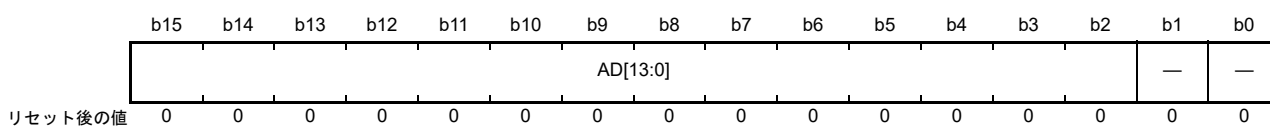
ビット	シンボル	ビット名	機能	R/W
b13-b0	AD[13:0]	変換値 13~0	14ビットA/D変換値	R
b15-b14	—	予約ビット	読むと0が読めます。	R

右詰めフォーマット、12 ビット精度に設定した場合



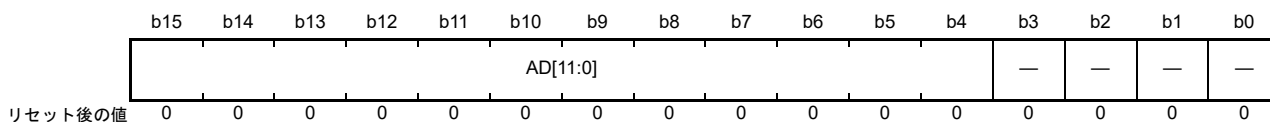
ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	変換値 11~0	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと0が読めます。	R

左詰めフォーマット、14 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。	R
b15-b2	AD[13:0]	変換値 13~0	14ビットA/D変換値	R

左詰めフォーマット、12 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。	R
b15-b4	AD[11:0]	変換値 11~0	12ビットA/D変換値	R

(2) A/D 変換値平均モードを選択した場合

A/D 変換値平均モードで2回または4回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャンネルのA/D 変換値を平均した値を示します。通常のA/D 変換と同様にA/D データレジスタフォーマット選択ビットの設定に基づき、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12ビットまたは14ビット精度 (ADPRC ビットの設定値) の場合、A/D 変換値加算で1回、2回、3回、または4回を選択できます。12ビットA/D データレジスタビット精度を選択した場合、A/D 変換値加算モードで16回を選択することもできます。

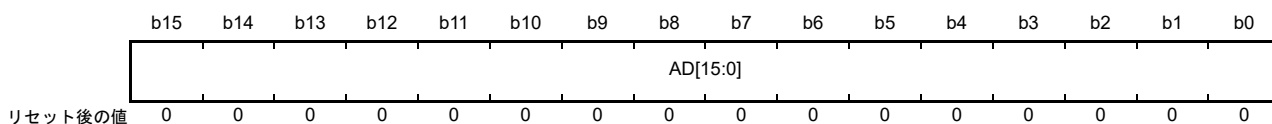
加算モードでは、本レジスタは特定チャンネルのA/D 変換値を加算した結果の値を示します。A/D データレジスタフォーマット選択ビットの設定に基づき、A/D データレジスタに値が格納されます。

加算モードで1回、2回、3回、または4回変換を設定し、12ビットまたは14ビット精度を指定した場合、変換結果の値を、指定した精度のビット数に2ビット分拡張したデータとしてA/D データレジスタに保持します。

加算モードの12ビット精度で16回変換をした場合、変換結果は指定した精度に4ビット拡張した値でA/D データレジスタに格納されます。

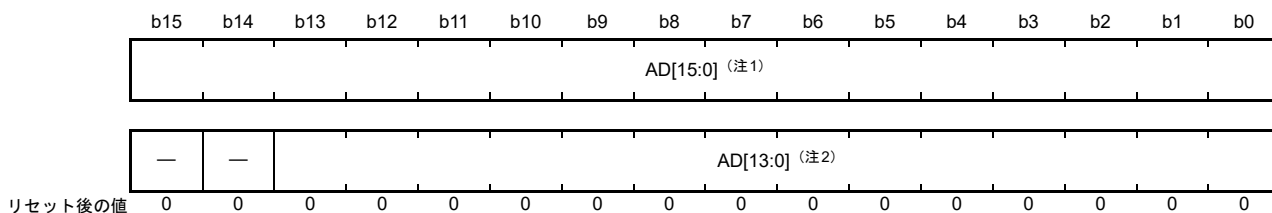
以下、条件ごとのフォーマットを示します。

右詰めフォーマット、14ビット精度に設定した場合 (A/D 変換値加算モードの選択時)



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0]	加算結果 15~0	16ビットA/D変換値加算結果	R

右詰めフォーマット、12ビット精度に設定した場合 (A/D 変換値加算モードの選択時)



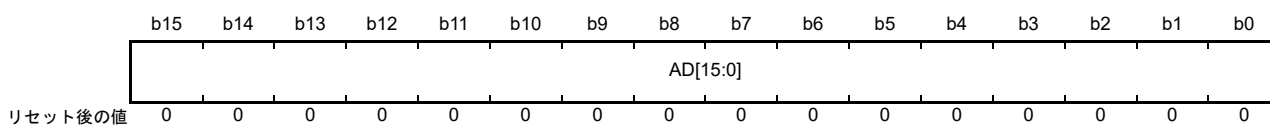
ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0] (注1)	加算結果 15~0	16ビットA/D変換値加算結果	R

ビット	シンボル	ビット名	機能	R/W
b13-b0	AD[13:0] (注2)	加算結果 13~0	14ビットA/D変換値加算結果	R
b15-b14	—	予約ビット	読むと0が読めます。	R

注 1. A/D 変換値加算モードで16回変換を選択した場合に使用

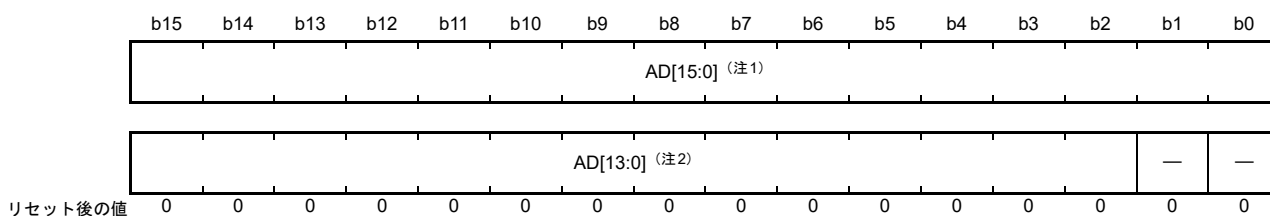
注 2. A/D 変換値加算モードで1回、2回、3回、または4回変換を指定した場合に使用

左詰めフォーマット、14ビット精度に設定した場合 (A/D変換値加算モードの選択時)



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0]	加算結果15~0	16ビットA/D変換値加算結果	R

左詰めフォーマット、12ビット精度に設定した場合 (A/D変換値加算モードの選択時)



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0] (注1)	加算結果15~0	16ビットA/D変換値加算結果	R

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。	R
b15-b2	AD[13:0] (注2)	加算結果13~0	14ビットA/D変換値加算結果	R

注1. A/D変換値加算モードで16回変換を選択した場合に使用

注2. A/D変換値加算モードで1回、2回、3回、または4回変換を指定した場合に使用

35.2.2 A/D 自己診断データレジスタ (ADRD)

ADRD レジスタは、ADC14 の自己診断により A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値を示す AD ビットに加えて、自己診断ステータスビット (DIAGST) が付加されます。

本レジスタは、下記の条件によりデータフォーマットが異なります。

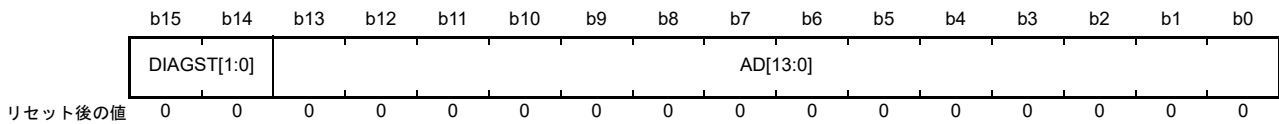
- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (左詰めまたは右詰め)
- A/D 変換精度指定ビット (ADCER.ADPRC[1:0]) の設定値 (12 ビットまたは 14 ビット設定)

A/D 自己診断機能には A/D 変換加算モードと A/D 変換平均モードを適用することはできません。自己診断の詳細については、[35.2.11 A/D コントロール拡張レジスタ \(ADCER\)](#) を参照してください。

以下では、各条件のデータフォーマットについて説明します。

右詰めのフォーマット、14 ビット精度に設定した場合

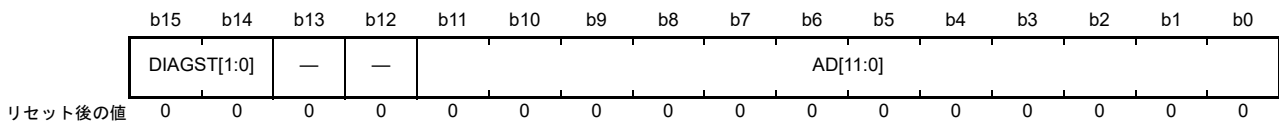
アドレス [ADC140.ADRD 4005 C01Eh](#)



ビット	シンボル	ビット名	機能	R/W
b13-b0	AD[13:0]	変換値 13~0	14ビットA/D変換値	R
b15-b14	DIAGST[1:0]	自己診断ステータス	b15 b14 0 0: パワーオンから自己診断を実施していないことを示す 0 1: 0Vの電圧値の自己診断を実施したことを示す 1 0: 基準電源 (注1) × 1/2の電圧値の自己診断を実施したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実施したことを示す 自己診断の詳細については、 35.2.11 A/D コントロール拡張レジスタ (ADCER) を参照してください。	R

注 1. 基準電源は VREFH0 を指します。

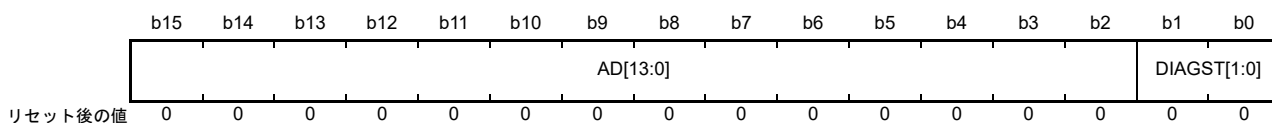
右詰めのフォーマット、12 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	変換値 11~0	12ビットA/D変換値	R
b13-b12	—	予約ビット	読むと0が読めます。	R
b15-b14	DIAGST[1:0]	自己診断ステータス	b15 b14 0 0: パワーオンから自己診断を実施していないことを示す 0 1: 0Vの電圧値の自己診断を実施したことを示す 1 0: 基準電源 (注1) × 1/2の電圧値の自己診断を実施したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実施したことを示す 自己診断の詳細については、 35.2.11 A/D コントロール拡張レジスタ (ADCER) を参照してください。	R

注 1. 基準電源は VREFH0 を指します。

左詰めのフォーマット、14ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータス	b1 b0 0 0: パワーオンから自己診断を実施していないことを示す 0 1: 0Vの電圧値の自己診断を実施したことを示す 1 0: 基準電源 (注1) × 1/2の電圧値の自己診断を実施したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実施したことを示す 自己診断の詳細については、 35.2.11 A/Dコントロール拡張レジスタ (ADCER) を参照してください。	R
b15-b2	AD[13:0]	変換値 13~0	14ビットA/D変換値	R

注 1. 基準電源は VREFH0 を指します。

左詰めのフォーマット、12ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータス	b1 b0 0 0: パワーオンから自己診断を実施していないことを示す 0 1: 0Vの電圧値の自己診断を実施したことを示す 1 0: 基準電源 (注1) × 1/2の電圧値の自己診断を実施したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実施したことを示す 自己診断の詳細については、 35.2.11 A/Dコントロール拡張レジスタ (ADCER) を参照してください。	R
b3-b2	—	予約ビット	読むと0が読めます。	R
b15-b4	AD[11:0]	変換値 11~0	12ビットA/D変換値	R

注 1. 基準電源は VREFH0 を指します。

35.2.3 A/D コントロールレジスタ (ADCSR)

アドレス ADCC140.ADCSR 4005 C000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS[1:0]	—	—	ADHSC	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャネル選択	ダブルトリガ対象のアナログ入力を1チャネル選択します。ダブルトリガモード選択時のみ有効です。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	GBADIE	グループBスキャン終了割り込み許可	0: グループBのスキャン終了後にADC140_GBADI割り込み発生を禁止 1: グループBのスキャン終了後にADC140_GBADI割り込み発生を許可 グループBのスキャンは、グループスキャンモードでのみ実行できます。	R/W
b7	DBLE	ダブルトリガモード選択	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択 (注1)	0: 同期トリガ (ELC) によるA/D変換の開始を選択 1: 非同期トリガ (ADTRG0) によるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b10	ADHSC	A/D変換モード選択	0: 高速A/D変換モード 1: 低消費電力A/D変換モード	R/W
b12-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14-b13	ADCS[1:0]	スキャンモード選択	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタート	0: A/D変換停止 1: A/D変換開始	R/W

注 1. 外部端子 (非同期トリガ) で A/D 変換を起動する方法:

外部端子 (ADTRG0) に High を入力した状態で、ADCSR.TRGE ビットおよび ADCSR.EXTRG ビットを 1 にし、ADTRG0 を Low にします。この設定の場合、ADTRG0 の立ち下がりがエッジを検出すると、スキャン変換を開始します。この構成では、Low 入力のパルス幅は 1.5PCLKB 以上必要です。

DBLANS[4:0] ビット (ダブルトリガ対象チャネル選択)

ダブルトリガモードで A/D 変換データを 2 重化する 1 チャネルを選択します。指定したアナログ入力チャネルを、1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ 2 重化レジスタに格納されます。表 35.4 にダブルトリガ対象チャネルの選択表を示します。

ADADS0、ADADS1 レジスタで選択したチャネルを使用して DBLANS[4:0] ビットでチャネルを選択することで、A/D 変換値加算/平均モードとダブルトリガモードを合わせて設定できます。ダブルトリガモード選択時は、ADANSA0 および ADANSA1 レジスタで選択したチャネルは無効になり、DBLANS[4:0] により選択されたチャネルが A/D 変換されます。

グループスキャンモードでダブルトリガモードを使用する場合、ダブルトリガ制御はグループ A のみに適用され、グループ B には適用されません。そのため、ダブルトリガモードでもグループ B に対してはマルチチャネルアナログ入力を選択できます。

DBLANS[4:0] ビットの設定は、ADST ビットが 0 のときのみ行ってください。この設定を ADST ビットへの 1 書き込みと同時にに行わないでください。ダブルトリガモードが設定されている状態で A/D 変換値加算／平均モードに遷移するには、DBLANS[4:0] ビットで選択したチャンネルを ADANSA0、ADANSA1 レジスタに設定する必要があります。

表 35.4 DBLANS ビット設定値とダブルトリガ対象チャンネルの関係

DBLANS[4:0]	2重化チャンネル	DBLANS[4:0]	2重化チャンネル
00000	AN000	10000	AN016
00001	AN001	10001	AN017
00010	AN002	10010	AN018
00011	AN003	10011	AN019
00100	AN004	10100	AN020
00101	AN005	10101	AN021
00110	AN006	10110	AN022
00111	AN007	10111	AN023
01000	AN008	11000	AN024
01001	AN009	11001	AN025
01010	AN010		
01011	AN011		
01100	AN012		
01101	AN013		
01110	AN014		

注． 自己診断機能、温度センサ出力、および内部基準電圧の A/D 変換データは、ダブルトリガモードで使用できません。

GBADIE ビット (グループ B スキャン終了割り込み許可)

グループスキャンモードでのグループ B のスキャン終了割り込み (ADC140_GBADI) の発生を許可または禁止します。

DBLE ビット (ダブルトリガモード選択)

ダブルトリガモードの選択／非選択を指定します。ダブルトリガモードは、ADSTRGR.TRSA[5:0] ビットで選択された同期トリガ (ELC) のみで動作できます。

ダブルトリガモードは以下のように動作します。

- 1 回目の変換終了時は ADC140_ADI 割り込みを出力せず、2 回目の変換終了時に出力します
- 1 回目のトリガで変換した二重化チャンネル (DBLANS[4:0] ビットで選択) の A/D 変換結果は、A/D データレジスタ y に格納され、2 回目のトリガで変換した結果は、A/D データ 2 重化レジスタに格納されます

DBLE が設定されている場合 (ダブルトリガモードを選択)、ADANSA0 および ADANSA1 レジスタで指定したチャンネルは無効です。ダブルトリガモードは、連続スキャンモードで選択しないでください。

ダブルトリガモードでは、ソフトウェアトリガを使用できません。DBLE ビットの設定は、必ず ADST ビットを 0 にしてから行ってください。すなわち、本ビットの設定を ADST ビットへの 1 書き込みと同時に行わないでください。

EXTRG ビット (トリガ選択)

A/D 変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

TRGE ビット (トリガ開始許可)

同期トリガ、非同期トリガによる A/D 変換の起動を許可または禁止します。グループスキャンモードでは本ビットを 1 にしてください。

ADHSC ビット (A/D 変換モード選択)

A/D 変換を高速モードにするか低電力モードにするかを選択します。

本ビットの書き換え方法については、[35.8.8 ADHSC ビット書き換え手順](#)を参照してください。

ADCS[1:0] ビット (スキャンモード選択)

スキャンモードを選択します。

シングルスキャンモードでは、ADANSA0、ADANSA1 レジスタで選択したアナログ入力を若いチャンネル番号順に A/D 変換を実施します (最大 25 チャンネル)。選択したすべてのチャンネルの A/D 変換が終了するとスキャン変換を停止します。温度センサ出力または内部基準電圧を選択した場合、チャンネルのアナログ入力の A/D 変換の後に温度センサ出力、内部基準電圧の順に A/D 変換されます。

連続スキャンモードでは、ADCSR.ADST ビットが 1 の時、ADANSA0、ADANSA1 レジスタで選択したアナログ入力を若いチャンネル番号順に A/D 変換を実施します。選択したすべてのチャンネルの変換が終了すると最初のチャンネルから A/D 変換を繰り返します。連続スキャン中に ADCSR.ADST ビットを 0 にすると、スキャン中でも A/D 変換を停止します。

グループスキャンモード

- ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) によりグループ A のスキャンが開始されます。ADANSA0、ADANSA1 レジスタで選択した最大チャンネル数まで、若いチャンネル番号順にグループ A のアナログ入力に対し AD 変換を実施します。選択したすべてのチャンネルの A/D 変換が終了すると A/D 変換を停止します。
- ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) によりグループ B のスキャンが開始されます。ADANSA0、ADANSA1 レジスタで選択した最大 25 チャンネル数まで、若いチャンネル番号順にグループ B のアナログ入力に対し AD 変換を実施します。選択したすべてのチャンネルの A/D 変換が終了すると変換を停止します。

グループ A 側とグループ B 側の変換が重なった場合、これらの変換は別々に制御することができません。この場合は、A/D グループスキャン優先コントロールレジスタのグループ A 優先制御設定ビット (ADGSPCR.PGS) を 1 にして、変換優先順位をグループ A に割り当ててください。

グループスキャンモードでは、グループ A とグループ B に対してそれぞれ異なるチャンネルおよびトリガを選択してください。

温度センサ出力または内部基準電圧を選択する場合はシングルスキャンモードを選択し、ADANSA0/1 レジスタの設定ですべてのチャンネルを選択解除してから A/D 変換を実行してください。

ADCS[1:0] ビットを設定する前に、ADST ビットを 0 に設定してください。すなわち、ADCS[1:0] ビットと ADST ビットを同時に 1 にしないでください。

表 35.5 スキャンモードおよびダブルトリガモードに基づく A/D 変換対象の選択可否

スキャンモード設定	ダブルトリガモード設定	A/D 変換対象				
		自己診断	アナログ入力 (グループA 含む)	アナログ入力 (グループB)	温度センサ出力	内部基準電圧
シングルスキャン	DBLE = 0	○	○	×	○	○
	DBLE = 1	×	○ (1chのみ)	×	×	×
連続スキャン	DBLE = 0	○	○	×	×	×
	DBLE = 1	×	×	×	×	×
グループスキャン	DBLE = 0	○	○	○	×	×
	DBLE = 1	×	○ (1chのみ)	○	×	×

○ : 選択可能 × : 選択不可

ADST ビット (A/D 変換スタート)

A/D 変換の開始または停止を制御します。ADST ビットを 1 にする前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[1 になる条件]

- ソフトウェアで 1 を書き込んだとき
- ADCSR.EXTRG ビットを 0、ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) を検出したとき
- グループスキャンモードで ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSB[5:0] ビットで選択した同期トリガ (ELC) を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを 1、ADSTRGR.TRSA[5:0] ビットを 000000b にし、非同期トリガを検出したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRP ビットを 1 にして、グループ B の A/D 変換を開始したとき

[0 になる条件]

- ソフトウェアで 0 を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネル、温度センサ出力または内部基準電圧の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを 1 にして、グループ B のスキャンが終了したとき

注. グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADST ビットを 1 にしないでください。

注. グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、かつ ADGSPCR.GBRP ビット = 1 のとき、ADST ビットを 0 にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

注. グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、かつシングルスキャン連続機能が使用される時 (ADGSPCR.GBRP = 1)、ADST ビットは 1 のままとりま

す。

35.2.4 A/D チャンネル選択レジスタ A0 (ADANSA0)

アドレス ADC140.ADANSA0 4005 C004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ANSA1 4	ANSA1 3	ANSA1 2	ANSA1 1	ANSA1 0	ANSA0 9	ANSA0 8	ANSA0 7	ANSA0 6	ANSA0 5	ANSA0 4	ANSA0 3	ANSA0 2	ANSA0 1	ANSA0 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	ANSA14 ~ ANSA00	A/D変換チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択 ビット14 (ANSA14) はAN014に対応し、ビット0 (ANSA00) はAN000に対応します。	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ANSAn ビット (n = 00 ~ 14) (A/D 変換チャンネル選択)

ANSAn.ADANSA0 ビットは、A/D 変換を行うアナログ入力チャンネル AN000 ~ AN014 を選択します。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA00 ビットが AN000 に対応し、ANSA14 ビットが AN014 に対応します。

温度センサ出力または内部基準電圧の A/D 変換を実行するときは、アナログ入力チャンネルを選択しないで、本レジスタは 0000h としてください。

ダブルトリガモード時は、ADCSR.DBLANS[4:0] ビットで指定したチャンネルがグループ A の選択チャンネルとなり、ADANSA0 レジスタで選択したチャンネルは無効になります。

グループスキャンモード時は、A/D チャンネル選択レジスタ B0 (ADANSB0)、および A/D チャンネル選択レジスタ B1 (ADANSB1) で指定したチャンネルを選択しないでください。

ADANSA0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

35.2.5 A/D チャンネル選択レジスタ A1 (ADANSA1)

アドレス ADC140.ADANSA1 4005 C006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	ANSA2 5	ANSA2 4	ANSA2 3	ANSA2 2	ANSA2 1	ANSA2 0	ANSA1 9	ANSA1 8	ANSA1 7	ANSA1 6
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	ANSA25~ANSA16	A/D変換チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択 ビット9 (ANSA25) はAN025に対応し、ビット0 (ANSA16) はAN016に対応します。	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ANSAn ビット (n = 16 ~ 25) (A/D 変換チャンネル選択)

ADANSA1 レジスタは、A/D 変換を行うアナログ入力チャンネル AN016 ~ AN025 を選択します。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA16 ビットが AN016、ANSA25 ビットが AN025 に対応します。ダブルトリガモード時は、ADANSA1 レジスタの設定は無効になり、代わりに ADCSR.DBLANS[4:0] ビットで指定したグループ A のチャンネルが選択されます。

温度センサ出力または内部基準電圧の A/D 変換を選択するときは、アナログ入力チャンネルを選択しないで、本レジスタは 0000h としてください。

グループスキャンモード時は、A/D チャンネル選択レジスタ B0 (ADANSB0)、および A/D チャンネル選択レジスタ B1 (ADANSB1) で指定したチャンネルを設定しないでください。

ADANSA1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

35.2.6 A/D チャンネル選択レジスタ B0 (ADANSB0)

アドレス ADC140.ADANSB0 4005 C014h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ANSB14	ANSB13	ANSB12	ANSB11	ANSB10	ANSB09	ANSB08	ANSB07	ANSB06	ANSB05	ANSB04	ANSB03	ANSB02	ANSB01	ANSB00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	ANSB14~ANSB00	A/D変換チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択 ビット14 (ANSB14) はAN014に対応し、ビット0 (ANSB00) はAN000に対応します。	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ANSBn ビット (n = 00 ~ 14) (A/D 変換チャンネル選択)

ADANSB0.ANSBn ビットは、グループスキャンモード時にグループ B で A/D 変換を行うアナログ入力チャンネル AN000 ~ AN014 を選択します。ADANSB0 レジスタはグループスキャンモードでのみ使用され、他のモードでは使用しません。

グループ A で指定したチャンネル (ADANSA0、ADANSA1 レジスタで選択、およびダブルトリガモード時に ADCSR.DBLANS[4:0] ビットで選択した、グループ A の関連チャンネル) を選択しないでください。

ANSB00 ビットが AN000、ANSB07 ビットが AN007、ANSB14 ビットが AN014 に対応します。

温度センサ出力または内部基準電圧の A/D 変換を選択するときは、アナログ入力チャンネルを選択しないで、本レジスタは 0000h としてください。

ADANSB レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

35.2.7 A/D チャンネル選択レジスタ B1 (ADANSB1)

アドレス ADC140.ADANSB1 4005 C016h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	ANSB2 5	ANSB2 4	ANSB2 3	ANSB2 2	ANSB2 1	ANSB2 0	ANSB1 9	ANSB1 8	ANSB1 7	ANSB1 6
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	ANSB25 ~ ANSB16	A/D変換チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択 ビット9 (ANSB25) はAN025に対応し、ビット0 (ANSB16) はAN016に対応します。	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ANSBn ビット (n = 16 ~ 25) (A/D 変換チャンネル選択)

ADANSB1 レジスタは、グループスキャンモード時にグループ B で A/D 変換を行うアナログ入力チャンネル AN016 ~ AN025 を選択します。ADANSB1 レジスタはグループスキャンモードでのみ使用し、他のモードでは使用しません。

グループ A で指定したチャンネル (ADANSA0、ADANSA1 レジスタで選択、およびダブルトリガモード時に ADCSR.DBLANS[4:0] ビットで選択したチャンネル) を選択しないでください。

ANSB16 ビットが AN016、ANSB20 ビットが AN020、ANSB25 ビットが AN025 に対応します。

温度センサ出力または内部基準電圧の A/D 変換を選択するときは、アナログ入力チャンネルを選択しないで、本レジスタは 0000h にしてください。

ADANSB1 レジスタの設定は、ADST ビットが 0 のときのみ行ってください。

35.2.8 A/D 変換値加算／平均チャンネル選択レジスタ 0 (ADADS0)

アドレス ADC140.ADADS0 4005 C008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADS14	ADS13	ADS12	ADS11	ADS10	ADS09	ADS08	ADS07	ADS06	ADS05	ADS04	ADS03	ADS02	ADS01	ADS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	ADS14～ADS00	A/D 変換値加算／平均チャンネル選択	0：対応する入力チャンネルを非選択 1：対応する入力チャンネルを選択 ビット14 (ADS14) はAN014に対応し、ビット0 (ADS00) はAN000に対応します。	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ADS_n ビット (n = 00 ～ 14) (A/D 変換値加算／平均チャンネル選択)

ADANSA0.ANSA_n ビット (n = 00 ～ 14) または ADCSR.DBLANS[4:0] ビットで選択した A/D 変換チャンネルのうちどのチャンネルが A/D 変換値加算または平均の対象となるかを決定します。

ADANSA0.ADS_n ビットまたは ADCSR.DBLANS[4:0] ビットおよび ADANSB0.ANSB_n ビット (n = 00 ～ 14) を 1 にすると、選択したチャンネルのアナログ入力を、ADADC.ADC[2:0] ビットで指定した回数 (1 ～ 16 回) 分、連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合、加算 (積算) した値を、ADADC.AVEE ビットが 1 の場合、加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算／平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ADADS0 レジスタのビット設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

35.2.9 A/D 変換値加算／平均チャンネル選択レジスタ 1 (ADADS1)

アドレス AD140.ADADS1 4005 C00Ah



ビット	シンボル	ビット名	機能	R/W
b9-b0	ADS25～ADS16	A/D 変換値加算／平均チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択 ビット9 (ADS25) はAN025に対応し、ビット0 (ADS16) はAN016に対応します。	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ADS_n ビット (n = 16 ~ 25) (A/D 変換値加算／平均チャンネル選択)

AADANSA1.ANSAn ビット (n = 16 ~ 25) または ADCSR.DBLANS[4:0] ビットおよび ADANSB1.ANSBn ビット (n = 16 ~ 25) 選択した A/D 変換チャンネルのうちどのチャンネルが A/D 変換値加算または平均の対象となるかを決定します。ADS_n ビットを 1 にすると、選択したチャンネルのアナログ入力を、ADADC.ADC[2:0] ビットで指定した回数 (1 ~ 16 回) 分連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を A/D データレジスタに格納します。加算／平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ADADS1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

図 35.2 に、ADADS0.ADS02 ビットおよび ADADS0.ADS06 ビットを 1 にしたときのスキャン動作シーケンスを示します。

例は以下のようになります。

- 加算モードを選択 (ADADC.AVEE = 0)
- 変換回数を 4 に設定 (ADADC.ADC[1:0] = 11b)
- 連続スキャンモード (ADCSR.ADCS[1:0] = 10b) でチャンネル AN000 ~ AN007 を選択 (ADANSA0.ANSA0[15:0] = 00FFh)

AN000 から変換を開始します。AN002 の変換は 4 回連続実行し、加算値を A/D データレジスタ 2 (ADDR2) に返します。その後、AN003 の変換を開始し、AN006 の変換は 4 回連続実行し、加算値を A/D データレジスタ 6 (ADDR6) に返します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

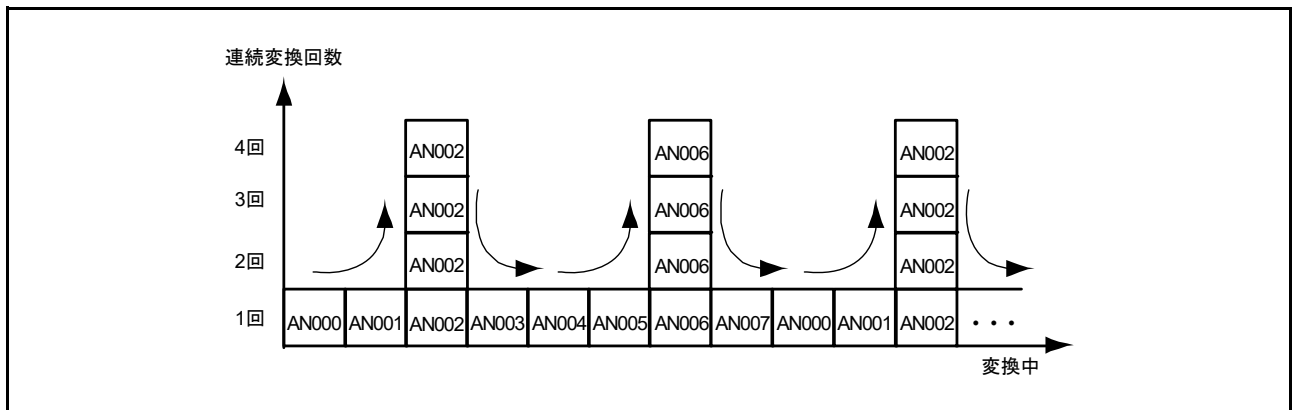
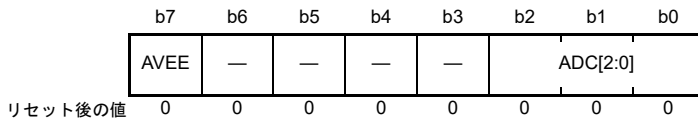


図 35.2 ADADC.ADC[2:0] = 011b、ADADS0.ADS02 = 1、ADADS0.ADS06 = 1 選択時のスキャン変換シーケンス

35.2.10 A/D 変換値加算／平均回数選択レジスタ (ADADC)

アドレス ADC140.ADADC 4005 C00Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	回数選択	b2 b0 0 0 0: 1回変換 (加算なし。通常変換と同じ) 0 0 1: 2回変換 (1回加算を行う) 0 1 0: 3回変換 (2回加算を行う) 0 1 1: 4回変換 (3回加算を行う) 1 0 1: 16回変換 (15回加算を行う) 上記以外は設定しないでください。	R/W
b6-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	AVEE	平均モードイネーブル	0: 平均モードを禁止 (注1) 1: 平均モードを許可 (注2)	R/W

注1. ADADC.AVEE ビットを0にして平均モードを非選択にする場合、加算回数は、1回、2回、3回、4回、16回変換に設定してください。16回変換は12ビット精度でのみ使用できます。

注2. ADADC.AVEE ビットを1にして平均モードを選択する場合、加算回数は、2回または4回変換に設定してください。加算回数は、3回または16回変換 (ADC[2:0] = 010b および 101b) に設定しないでください。

ADC[2:0] ビット (回数選択)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算／平均モードが選択されたすべてのチャンネルに対して加算回数を設定します。加算回数は、温度センサ出力、内部基準電圧の A/D 変換にも適用されます。

ADC[2:0] ビットの設定には以下の制約があります。

- ADADC.AVEE ビットを1にして平均モードを選択する場合、加算回数を3回 (ADADC.ADC[2:0] = 010b) に設定しないでください。35.2.1 に示すように、加算回数の16回変換 (ADADC.ADC[2:0] = 101b) と変換精度14ビット (ADCER.ADPRC[1:0] = 101b) を組み合わせた設定は禁止です。
- 自己診断機能 (ADCER.DIAGM = 1) を実施する場合、ADC[2:0] ビットを000b以外の値にしないでください。
- 変換精度が14ビット (ADCER.ADPRC[1:0] = 11b) の場合、ADC[2:0] ビットを101bにしないでください。

ADC[2:0] ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

AVEE ビット (平均モードイネーブル)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算／平均モードが選択されたチャンネル、温度センサ出力、内部基準電圧の A/D 変換に対して、チャンネルの A/D 変換の加算モードまたは平均モードを選択します。ADADC.AVEE ビットを1にして平均モードを選択する場合、加算回数を3回変換 (ADADC.ADC[2:0] = 010b) に設定しないでください。

AVEE ビットの設定は、ADCSR.ADST ビットが0のときに行ってください。

35.2.11 A/D コントロール拡張レジスタ (ADCER)

アドレス ADC140.ADCER 4005 C00Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	ADPRC[1:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2-b1	ADPRC[1:0]	A/D 変換精度指定	b2 b1 0 0: 12ビット精度 0 1: 設定禁止 1 0: 設定禁止 1 1: 14ビット精度	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	ACE	A/D データレジスタ自動クリアイネーブル	0: 自動クリアを禁止 1: 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択	b9 b8 0 0: 自己診断有効時は設定禁止 0 1: 自己診断をするために0Vを選択 1 0: 基準電源の電圧値 (注1) × 1/2を選択 1 1: 基準電源の電圧値 (注1) を選択	R/W
b10	DIAGLD	自己診断モード選択	0: 自己診断電圧ローテーションモードを選択 1: 自己診断電圧固定モードを選択	R/W
b11	DIAGM	自己診断イネーブル	0: ADC14の自己診断を実施しない 1: ADC14の自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	ADRFMT	A/D データレジスタフォーマット選択	0: A/D データレジスタのフォーマットを右詰めにする 1: A/D データレジスタのフォーマットを左詰めにする	R/W

注 1. 基準電源は VREFH0 を指します。

ADPRC[1:0] ビット (A/D 変換精度指定)

A/D 変換の精度を、12 ビットまたは 14 ビット精度から選択します。A/D 変換精度を変えた場合、結果レジスタに格納する有効データのビット幅、A/D 変換時間も変わります。

詳細は、35.3.6 アナログ入力のサンプリング時間とスキャン変換時間を参照してください。ADPRC[1:0] ビットの設定は、ADCSR.ADST ビットが 0 のときに行ってください。

ACE ビット (A/D データレジスタ自動クリアイネーブル)

CPU、DTC、または DMAC によって ADDRy、ADRD、ADDBLDR、ADDBLDRB、ADDBLDRD、ADDBLDRB、ADTSDR、ADOCDR レジスタを読み出した後、当該レジスタの自動クリア (すべて 0) を行うか行わないかを選択します。

DIAGVAL[1:0] ビット (自己診断変換電圧選択)

自己診断電圧固定モードでの電圧値を選択します。詳細は、ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが 00b のときには、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択)

自己診断に使用する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。ADCER.DIAGLD ビットを0にすると、0V → 基準電源電圧 × 1/2 → 基準電源電圧の順番にローテーションして電圧変換できます。リセット後、自己診断電圧ローテーションモードを選択した場合は、0V から自己診断を行います。

自己診断電圧固定モードを選択した場合は、ADCER.DIAGVAL[1:0] ビットで指定した固定電圧が変換されます。自己診断電圧ローテーションモードでは、スキャン変換が完了しても自己診断電圧値は0に戻りません。再びスキャン変換を実施すると、前回の続きの電圧値からローテーションを開始します。固定モードからローテーションモードに切り替えた場合は、固定電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST ビットが0のときに行ってください。

DIAGM ビット (自己診断イネーブル)

自己診断を実施するかしないかを選択します。

自己診断は、ADC14の故障を検出するための機能です。自己診断モードでは、内部で生成する0V、基準電源電圧 × 1/2、基準電源電圧の3つの電圧値のいずれかを変換します。変換が終了すると、A/D 自己診断データレジスタ (ADRD) に変換した電圧の情報と変換結果を格納します。その後でADRDレジスタはソフトウェアで読み出すことができ、変換結果が正常な範囲内にあるかどうか (値が正常か異常か) を判断します。

自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。ダブルトリガモードを設定 (ADCSR.DBLE = 1) した場合は、自己診断は常に無効にしてください (DIAGM = 0)。グループスキャンモードで自己診断を有効にした場合は、グループAとグループBでそれぞれ別々に自己診断を実行します。DIAGM ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

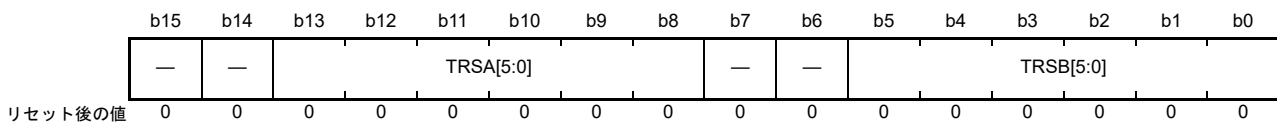
ADRFMT ビット (A/D データレジスタフォーマット選択)

ADDRy、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR、ADCMPDR0/1、ADWINLLB、ADWINULB、ADRDレジスタに格納するデータの右詰め/左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

35.2.12 A/D 変換開始トリガ選択レジスタ (ADSTRGR)

アドレス ADCC140.ADSTRGR 4005 C010h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB用A/D変換開始トリガ選択	グループスキャンモードでグループBのA/D変換開始トリガを選択します。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TRSB[5:0] ビット (グループ B 用 A/D 変換開始トリガ選択)

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ使用し、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガには、ソフトウェアトリガまたは非同期トリガの設定はしないでください。グループスキャンモードでは、TRSB[5:0] ビットを 000000b 以外の値にし、ADCSR.TRGE ビットを 1 にしてください。

グループスキャンモードのグループ A 優先制御時に、ADGSPCR.GBRP ビットを 1 にすることで、グループ B をシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを 1 にする場合は、TRSB[5:0] ビットを 3Fh にしてください。変換トリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに GPT モジュールを選択した場合、同期化処理の分だけ遅延が発生します。詳細は、[35.3.6 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。表 35.6 に TRSB[5:0] ビットでの A/D 変換起動要因選択一覧を示します。

表 35.6 TRSB[5:0] ビットでの A/D 起動要因選択一覧

要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態		1	1	1	1	1	1
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00/ELC_AD01	ELC	0	0	1	0	1	1

TRSA[5:0] ビット (A/D 変換開始トリガ選択)

シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガの選択を行います。グループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを行う場合、ソフトウェアトリガまたは非同期トリガを使用しないでください。

同期トリガ (ELC) を A/D 変換起動要因として使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 0 にしてください。

ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0] ビットの設定値にかかわらず有効です。変換トリガの発行間隔は実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} より短い場合は、トリガによる A/D 変換が無効となる場合があります。詳細は、[35.3.6 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。

表 35.7 に TRSA[5:0] ビットでの A/D 変換起動要因選択一覧を示します。

表 35.7 TRSA[5:0]ビットでのA/D変換起動要因選択一覧

要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態		1	1	1	1	1	1
ADTRG0	トリガ入力端子	0	0	0	0	0	0
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00/ELC_AD01	ELC	0	0	1	0	1	1

35.2.13 A/D 変換拡張入力コントロールレジスタ (ADEXICR)

アドレス ADC140.ADEXICR 4005 C012h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力 A/D 変換値加算／平均モード選択	0: 温度センサ出力 A/D 変換値加算／平均モード非選択 1: 温度センサ出力 A/D 変換値加算／平均モード選択	R/W
b1	OCSAD	内部基準電圧 A/D 変換値加算／平均モード選択	0: 内部基準電圧 A/D 変換値加算／平均モード非選択 1: 内部基準電圧 A/D 変換値加算／平均モード選択	R/W
b7-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b8	TSSA	温度センサ出力 A/D 変換選択	0: 温度センサ出力の A/D 変換禁止 1: 温度センサ出力の A/D 変換許可	R/W
b9	OCSA	内部基準電圧 A/D 変換選択	0: 内部基準電圧の A/D 変換禁止 1: 内部基準電圧の A/D 変換許可	R/W
b15-b10	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

TSSAD ビット (温度センサ出力 A/D 変換値加算／平均モード選択)

TSSAD ビットが 1 の場合、ADADC.ADC[2:0] ビットで設定した回数分、連続して温度センサ出力の A/D 変換が行われます。最大加算回数は変換精度によって異なります (35.2.1 参照)。ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は平均した値を A/D 温度センサデータレジスタ (ADTSDR) に返します。

TSSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

OCSAD ビット (内部基準電圧 A/D 変換値加算／平均モード選択)

OCSAD ビットが 1 の場合、ADADC.ADC[2:0] ビットで設定した回数分、連続して内部基準電圧の A/D 変換が行われます。最大加算回数は変換精度によって異なります (35.2.1 参照)。ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は平均した値を A/D 内部基準電圧データレジスタ (ADOCDR) に返します。

OCSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

TSSA ビット (温度センサ出力 A/D 変換選択)

温度センサ出力の A/D 変換を選択します。

A/D 変換を実行する場合、

- ADANSA0/1 レジスタ、ADANSB0/1 レジスタのすべてのビット、ADCSR.DBLE ビット、および ADEXICR.OCSA ビットを 0 にします
- シングルスキャンモードで A/D 変換を実行します

温度センサ出力の A/D 変換を実行すると、ADDISCR レジスタは 0Fh になり、ADC14 はサンプリング前にディスチャージを行います (15ADCLK)。最小サンプリング時間は 5 μ s です。ADC14 は、温度センサ出力の A/D 変換を行うたびにディスチャージを実行します。

TSSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

OCSA ビット (内部基準電圧 A/D 変換選択)

内部基準電圧の A/D 変換を選択します。

A/D 変換を実行する場合、

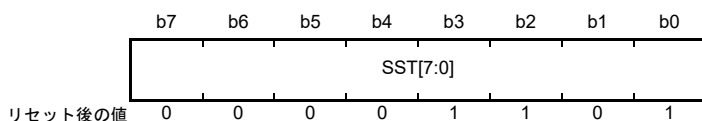
1. ADANSA0/1 レジスタ、ADANSB0/1 レジスタのすべてのビット、ADCSR.DBLE ビットおよび ADCSR.TSSA ビットを 0 にします。
2. シングルスキャンモードで A/D 変換を実行します。

内部基準電圧の A/D 変換を実行すると、ADDISCR レジスタは 0Fh になり ADC14 がディスチャージを行います (15ADCLK)。ディスチャージの実行後は A/D コンバータはサンプリングを実行します。最小サンプリング時間は 5 μ s です。ADC14 は、内部基準電圧の A/D 変換を行うたびにディスチャージを実行します。

OCSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

35.2.14 A/D サンプリグステートレジスタ n (ADSSTRn) (n = 00 ~ 14, L, T, O)

アドレス [ADC14.ADSSTR00 4005 C0E0h](#)~[ADC14.ADSSTR14 4005 C0EEh](#),
[ADC14.ADSSTRL 4005 C0DDh](#), [ADC14.ADSSTRT 4005 C0DEh](#), [ADC14.ADSSTRO 4005 C0DFh](#)



ビット	シンボル	ビット名	機能	R/W
b7-b0	SSTR[7:0]	サンプリング時間設定	5~255ステートの間でサンプリング時間を設定します。	R/W

ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行います。1ステート = 1ADCLK (A/D変換クロック) 幅で ADCLK クロックが 64MHz の場合、1ステート = 15.625ns になります。初期値は 13ステートです。

アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが遅速な場合に、サンプリング時間を調整することが可能です。

SSTR[7:0] ビットの設定は、ADCSR.ADST ビットが 0 のときに行ってください。サンプリング時間設定の下限値は分周比に依存します。

- PCLKB : PCLKC (ADCLK) の分周比が 1:1、2:1、4:1、または 8:1 の場合、サンプリング時間は 5ステートより長く設定してください
- PCLKB : PCLKC (ADCLK) の分周比が 1:2 または 1:4 の場合、サンプリング時間は 6ステートより長く設定してください

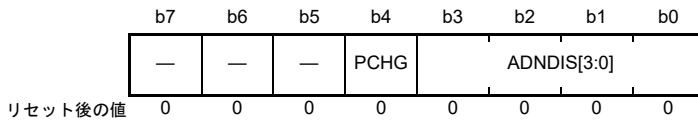
表 35.8 に A/D サンプリグステートレジスタと関連チャネルの関係を示します。詳細は、[35.3.6 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。

表 35.8 A/D サンプリグステートレジスタと関連チャネルの関係

ビット名	関連チャネル
ADSSTR00.SSTR[7:0]ビット (注1)	AN000
ADSSTR01.SSTR[7:0]ビット	AN001
ADSSTR02.SSTR[7:0]ビット	AN002
ADSSTR03.SSTR[7:0]ビット	AN003
ADSSTR04.SSTR[7:0]ビット	AN004
ADSSTR05.SSTR[7:0]ビット	AN005
ADSSTR06.SSTR[7:0]ビット	AN006
ADSSTR07.SSTR[7:0]ビット	AN007
ADSSTR08.SSTR[7:0]ビット	AN008
ADSSTR09.SSTR[7:0]ビット	AN009
ADSSTR10.SSTR[7:0]ビット	AN010
ADSSTR11.SSTR[7:0]ビット	AN011
ADSSTR12.SSTR[7:0]ビット	AN012
ADSSTR13.SSTR[7:0]ビット	AN013
ADSSTR14.SSTR[7:0]ビット	AN014
ADSSTRL.SSTR[7:0]ビット	AN016~AN025
ADSSTRT.SSTR[7:0]ビット	温度センサ出力 (注2)
ADSSTRO.SSTR[7:0]ビット	内部基準電圧 (注2)

- 注 1. 自己診断機能を選択したときは、ADSSTR00.SSTR[7:0] ビットで設定したサンプリング時間が適用されます。
- 注 2. 温度センサ出力または内部基準電圧変換時は、サンプリング時間を 5 μ s より長く設定してください。SSTR[7:0] レジスタの最大値は 255 までしか設定できないため、温度センサ出力または内部基準電圧の変換には ADCLK 周波のサンプリング時間が最低でも 5 μ s となるように設定しなければなりません。

35.2.15 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス `ADC140.ADDISCR 4005 C07Ah`

ビット	シンボル	ビット名	機能	R/W
b3-b0	<code>ADNDIS[3:0]</code>	プリチャージ/ディスチャージ期間	b3 b0 0 0 0 0 : 断線検出アシスト機能無効 0 0 0 1 : 設定禁止 その他 : プリチャージ/ディスチャージ期間の ステート数	R/W
b4	<code>PCHG</code>	プリチャージ/ディスチャージ選択	0 : ディスチャージ 1 : プリチャージ	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ADDISCR レジスタは、A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定および期間を設定します。ADDISCR レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

温度センサ出力または内部基準電圧変換時、A/D コンバータは自動的にディスチャージを行います。この動作は、ADEXICR.OCSA ビットまたは TSSA ビットが 1 のときに、自動的に ADDISCR レジスタを 0Fh (15ADCLK サイクル) にすることで可能となります。ディスチャージ実行後、A/D コンバータはサンプリングを行います。必要なサンプリング時間は 5μs 以上です。

下記の機能のいずれかを使用する場合は断線検出アシスト機能を無効にする必要があります。

- 温度センサ
- 内部基準電圧
- A/D 自己診断

ADNDIS[3:0] ビット (プリチャージ/ディスチャージ期間)

ADNDIS[3:0] ビットは、プリチャージ/ディスチャージの期間を指定します。ADNDIS[3:0] = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] = 0001b は設定禁止です。ADNDIS[3:0] = 0000b または 0001b 以外では、設定した値がプリチャージ/ディスチャージ期間のステート数となります。ADNDIS[3:0] ビットが 0000b または 0001b 以外の値の場合、断線検出アシスト機能は有効になります。

PCHG ビット (プリチャージ/ディスチャージ選択)

プリチャージまたはディスチャージのいずれかを選択します。

35.2.16 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス ADC140.ADGSPCR 4005 C080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループA優先制御設定 ^(注1)	0: グループAの優先制御動作を行わない 1: グループAの優先制御動作を行う	R/W
b1	GBRSCN	グループB再起動設定	PGS = 1のときのみ有効。PGS = 0のときは予約ビット。 0: グループAの優先制御でグループBのスキャンを中断した後にグループBのスキャンの再起動をしない 1: グループAの優先制御でグループBのスキャンを中断した後にグループBのスキャンの再起動をしない	R/W
b14-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	GBRP	グループB用シングルスキャン連続起動設定 ^(注2)	PGS = 1のときのみ有効。PGS = 0のときは予約ビット。 0: グループBのシングルスキャン連続起動を行わない 1: グループBのシングルスキャン連続起動を行う	R/W

注1. PGS ビットを1にする場合、ADCSR.ADCS[1:0] ビットは、01b (グループスキャンモード) にする必要があります。それ以外の設定をした場合、動作は保証されません。

注2. GBRP ビットを1にした場合は、GBRSCN ビットの設定にかかわらず、グループBのシングルスキャン連続動作を実行します。

PGS ビット (グループA 優先制御設定)

PGS ビットを1にすると、グループAの優先動作が行われます。

PGS ビットを1にする場合は、事前に ADCSR.ADCS[1:0] ビットを01b (グループスキャンモード) にしてください。それ以外の設定をした場合、動作は保証されません。

PGS ビットを0にした場合は、35.8.2 A/D変換停止時の注意事項に従い、ソフトウェアでのクリアを行ってください。PGS ビットを1にした場合は、35.3.4.3 グループA優先制御動作の手順に従い設定を行ってください。

GBRSCN ビット (グループB 再起動設定)

グループA優先制御時の、グループBの再スキャン動作を設定します。

GBRSCN ビットを1にすると、グループAのトリガ入力によるグループBのスキャン動作中断後、グループAのA/D変換終了を待ってグループBの再スキャン動作を実行します。また、グループAのA/D変換動作中にグループBのトリガ入力があった場合、グループAのA/D変換終了を待ってグループBの再スキャン動作を行います。

GBRSCN ビットを0にした場合は、A/D変換実行中に入力されたトリガは無視されます。また、GBRSCN ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

GBRSCN ビットの設定は、PGS ビットが1のときに有効となります。

GBRP ビット (グループ B 用シングルスキャン連続起動設定)

グループ B のシングルスキャン連続動作を実行します。

GBRP ビットを 1 にした場合は、グループ B のシングルスキャンが起動します。スキャン終了後は自動的にグループ B のシングルスキャンを再開します。グループ A の動作によってグループ B の A/D 変換が中断した場合、グループ A の動作が優先され、グループ A の A/D 変換終了後、自動的にグループ B のシングルスキャンを再開します。

GBRP ビットを 1 にする場合は、事前にグループ B のトリガ入力を無効にしてください。GBRP ビットを 1 にした場合、GBRSCN ビットの設定は無効となります。GBRP ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

GBRP ビットの設定は、PGS ビットが 1 のときに有効となります。

35.2.17 A/Dコンペア機能コントロールレジスタ (ADCMPCR)

アドレス ADC140.ADCMPCR 4005 C090h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CMPAIE	WCMPPE	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	—	CMPAB[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMPAB[1:0]	ウィンドウA/B複合条件設定	b1 b0 0 0: ウィンドウA比較条件に一致ORウィンドウB比較条件に一致の場合、ADC140_WCMPMを出力。その他の場合はADC140_WCMPUMを出力 0 1: ウィンドウA比較条件に一致EXORウィンドウB比較条件に一致の場合、ADC140_WCMPMを出力。その他の場合はADC140_WCMPUMを出力 1 0: ウィンドウA比較条件に一致ANDウィンドウB比較条件に一致の場合、ADC140_WCMPMを出力。その他の場合はADC140_WCMPUMを出力 1 1: 設定禁止 これらのビットは、ウィンドウAおよびウィンドウBがどちらも有効 (CMPAE = 1およびCMPBE = 1) な場合に有効となります。	R/W
b8-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9	CMPBE	コンペアウィンドウB動作許可	0: コンペアウィンドウB動作禁止 ADC140_WCMPMおよびADC140_WCMPUMの出力不可 1: コンペアウィンドウB動作許可	R/W
b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	CMPAE	コンペアウィンドウA動作許可	0: コンペアウィンドウA動作禁止 ADC140_WCMPMおよびADC140_WCMPUMの出力不可 1: コンペアウィンドウA動作許可	R/W
b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	CMPBIE	コンペアB割り込み許可	0: 比較条件 (ウィンドウB) 一致によるADC140_CMPBI割り込み禁止 1: 比較条件 (ウィンドウB) 一致によるADC140_CMPBI割り込み許可	R/W
b14	WCMPPE	ウィンドウ機能設定	0: ウィンドウ機能無効 ウィンドウAおよびBはコンパレータとして動作し、下位の1つの値をA/D変換結果と比較します。 1: ウィンドウ機能有効 ウィンドウAおよびBはコンパレータとして動作し、上位および下位の2つの値をA/D変換結果と比較します。	R/W
b15	CMPAIE	コンペアA割り込み許可	0: 比較条件 (ウィンドウA) 一致によるADC140_CMPAI割り込み禁止 1: 比較条件 (ウィンドウA) 一致によるADC140_CMPAI割り込み許可	R/W

CMPAB[1:0] ビット (ウィンドウ A/B 複合条件設定)

シングルスキャンモードでウィンドウ A およびウィンドウ B がどちらも有効 (CMPAE = 1 および CMPBE = 1) な場合に有効となります。CMPAB[1:0] ビットにより、ADWINMON.MONCONB のコンペア機能一致 / 不一致イベント出力条件および監視条件を選択します。CMPAB[1:0] ビットの設定は、ADCSR.ADST ビットが 0 のとき行ってください。

CMPBE ビット (コンペアウィンドウ B 動作許可)

コンペアウィンドウ B の動作を許可または禁止します。CMPBE ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

本ビットは、以下のレジスタおよびビットを設定する前に 0 にしてください。

- A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0、ADANSA1、ADANSB0、ADANSB1)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSA または TSSA ビット
- ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR) の CMPCHB[5:0] ビット

CMPAE ビット (コンペアウィンドウ A 動作許可)

コンペアウィンドウ A の動作を許可または禁止します。CMPAE ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

本ビットは、以下のレジスタおよびビットを設定する前に 0 にしてください。

- A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0、ADANSA1、ADANSB0、ADANSB1)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSA または TSSA ビット
- ウィンドウ A チャンネル選択レジスタ 0/1 (ADCMPANSR0、ADCMPANSR1)
- ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

CMPBIE ビット (コンペア B 割り込み許可)

比較条件 (ウィンドウ B) の一致による割り込み出力 ADC140_CMPBI を許可または禁止します。

WCMPE ビット (ウィンドウ機能設定)

ウィンドウ機能の有効または無効を選択します。WCMPE ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

CMPAIE ビット (コンペア A 割り込み許可)

比較条件 (ウィンドウ A) の一致による割り込み出力 ADC140_CMPAI を許可または禁止します。

35.2.18 A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0 (ADCOMPANSR0)

アドレス ADC14.ADCMPANSR0 4005 C094h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	CMPC HA14	CMPC HA13	CMPC HA12	CMPC HA11	CMPC HA10	CMPC HA09	CMPC HA08	CMPC HA07	CMPC HA06	CMPC HA05	CMPC HA04	CMPC HA03	CMPC HA02	CMPC HA01	CMPC HA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	CMPCHA14 ~ CMPCHA00	コンペアウィンドウ A チャネル 選択	0: 関連する入力チャネルに対するコンペア機能を禁止 1: 関連する入力チャネルに対するコンペア機能を許可 ビット 14 (CMPCHA14) は AN014 に対応し、 ビット 0 (CMPCHA00) は AN000 に対応します。	R/W
b15	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPCHANn ビット (n = 00 ~ 14) (コンペアウィンドウ A チャネル選択)

ADANSA0.ANSAn ビット (n = 00 ~ 14) および ADANSB0.ANSBn ビット (n = 00 ~ 14) で選択した A/D 変換チャネルと同一番号の CMPCHANn ビットを 1 にすると、コンペア機能が有効になります。

CMPCHANn ビットは、ADCSR.ADST ビットが 0 のときのみ設定してください。

35.2.19 A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1 (ADCOMPANSR1)

アドレス ADC14.ADCMPANSR1 4005 C096h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPC HA25	CMPC HA24	CMPC HA23	CMPC HA22	CMPC HA21	CMPC HA20	CMPC HA19	CMPC HA18	CMPC HA17	CMPC HA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	CMPCHA25 ~ CMPCHA16	コンペアウィンドウ A チャ ネル選択	0: 関連する入力チャネルに対するコンペア機能を禁止 1: 関連する入力チャネルに対するコンペア機能を許可 ビット 9 (CMPCHA25) は AN025 に対応し、 ビット 0 (CMPCHA16) は AN016 に対応します。	R/W
b15-b10	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPCHANn ビット (n = 16 ~ 25) (コンペアウィンドウ A チャネル選択)

ADANSA1.ANSAn ビット (n = 16 ~ 25) および ADANSB1.ANSBn ビット (n = 16 ~ 25) で選択した A/D 変換チャネルと同一番号の CMPCHANn ビットを 1 にすると、コンペア機能が有効になります。

CMPCHANn ビットは、ADCSR.ADST ビットが 0 のときのみ設定してください。

35.2.20 A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

アドレス ADC140.ADCMPANSER 4005 C092h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPO CA	CMPTS A
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPTSA	温度センサ出力コンペア選択	0: 温度センサ出力をコンペアウィンドウA対象から外す 1: 温度センサ出力をコンペアウィンドウA対象とする	R/W
b1	CMPOCA	内部基準電圧コンペア選択	0: 内部基準電圧をコンペアウィンドウA対象から外す 1: 内部基準電圧をコンペアウィンドウA対象とする	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPTSA ビット (温度センサ出力コンペア選択)

ADEXICR.TSSA ビットが1のときにCMPTSA ビットを1にすると、コンペアウィンドウ A 機能が有効になります。

CMPTSA ビットは、ADCSR.ADST ビットが0のときのみ設定してください。

CMPOCA ビット (内部基準電圧コンペア選択)

ADEXICR.OCOSA ビットが1のときにCMPOCA ビットを1にすると、コンペアウィンドウ A 機能が有効になります。

CMPOCA ビットは、ADCSR.ADST ビットが0のときのみ設定してください。

35.2.21 A/Dコンペア機能ウィンドウA比較条件設定レジスタ0 (ADCMPLR0)

アドレス ADC140.ADCMPLR0 4005 C098h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	CMPLCHA14	CMPLCHA13	CMPLCHA12	CMPLCHA11	CMPLCHA10	CMPLCHA09	CMPLCHA08	CMPLCHA07	CMPLCHA06	CMPLCHA05	CMPLCHA04	CMPLCHA03	CMPLCHA02	CMPLCHA01	CMPLCHA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	CMPLCHA14 ~ CMPLCHA00	コンペアウィンドウA 比較条件選択	ウィンドウA比較条件を適用するチャンネルAN000～AN014の比較条件を設定します。比較条件を図 35.3 に示します。 ウィンドウ機能無効時 (ADCMPGR.WCMPE ビットが0) : 0 : ADCMPDR0 値 > A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPGR.WCMPE ビットが1) : 0 : (A/D 変換値 < ADCMPDR0 値) または (ADCMPDR1 値 < A/D 変換値) 1 : ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPLCHAn ビット (n = 00 ~ 14) (コンペアウィンドウA比較条件選択)

ウィンドウ A 比較条件を適用するチャンネル AN000 ~ AN014 の比較条件を選択します。CMPLCHAn ビットはコンペア対象のアナログ入力ごとに設定可能です。CMPLCHA00、CMPLCHA07、CMPLCHA14 はそれぞれ AN000、AN007、AN014 に対応します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPDR0.CMPSTCHAn ビットは 1 になり、コンペア割り込み (ADC140_CMPAI) が発生します。

ウィンドウ機能が無効のときの比較条件			
CMPLCHAN = 0		CMPLCHAN = 1	
ADCMPDR0値 ≤ A/D変換値	不一致	ADCMPDR0値 < A/D変換値	一致
ADCMPDR0値 > A/D変換値	一致	ADCMPDR0値 ≥ A/D変換値	不一致
ウィンドウ機能が有効のときの比較条件			
CMPLCHAN = 0			
ADCMPDR1値 < A/D変換値		一致	
ADCMPDR0値 ≤ A/D変換値 ≤ ADCMPDR1値		不一致	
A/D変換値 < ADCMPDR0値		一致	
CMPLCHAN = 1			
ADCMPDR1値 ≤ A/D変換値		不一致	
ADCMPDR0値 < A/D変換値 < ADCMPDR1値		一致	
A/D変換値 ≤ ADCMPDR0値		不一致	

図 35.3 コンペア機能ウィンドウ A 比較条件の説明

35.2.22 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPPLR1)

アドレス ADC140.ADCMPPLR1 4005 C09Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPLC HA25	CMPLC HA24	CMPLC HA23	CMPLC HA22	CMPLC HA21	CMPLC HA20	CMPLC HA19	CMPLC HA18	CMPLC HA17	CMPLC HA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	CMPLCHA25 ~ CMPLCHA16	コンペアウィンドウ A 比較条件選択	ウィンドウ A 比較条件を適用するチャンネル AN016 ~ AN025 の比較条件を設定します。比較条件を図 35.3 に示します。 <ul style="list-style-type: none"> ウィンドウ機能無効時 (ADCMPPCR.WCMPE ビットが 0) : 0 : ADCMPDR0 値 > A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPPCR.WCMPE ビットが 1) : 0 : A/D 変換値 < ADCMPDR0 値または ADCMPDR1 値 < A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値 	R/W
b15-b10	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPLCHAN ビット (n = 16 ~ 25) (コンペアウィンドウ A 比較条件選択)

ウィンドウ A 比較条件を適用するチャンネル AN016 ~ AN025 の比較条件を選択します。CMPLCHAN ビットはコンペア対象のアナログ入力ごとに設定可能です。CMPLCHA16、CMPLCHA23、CMPLCHA25 はそれぞれ AN016、AN023、AN025 に対応します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSTR1.CMPSTCHAN ビットは 1 になり、コンペア割り込み (ADC140_CMPAI) が発生します。

35.2.23 A/Dコンペア機能ウィンドウA拡張入力比較条件設定レジスタ (ADCMPLER)

アドレス ADC140.ADCMPLER 4005 C093h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CMPLO CA	CMPLT SA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLTSA	コンペアウィンドウA 温度センサ出力比較条件 選択	比較条件を図 35.3に示します。 <ul style="list-style-type: none"> • ウィンドウA機能無効時 (ADCMPCR.WCMPEビットが0) : 0 : ADCMPDR0値 > A/D変換値 1 : ADCMPDR0値 < A/D変換値 • ウィンドウA機能有効時 (ADCMPCR.WCMPEビットが1) : 0 : (AD変換値 < ADCMPDR0値) または (AD変換値 > ADCMPDR1値) 1 : ADCMPDR0値 < A/D変換値 < ADCMPDR1値 	R/W
b1	CMPLOCA	コンペアウィンドウA 内部基準電圧比較条件 選択	比較条件を図 35.3に示します。 <ul style="list-style-type: none"> • ウィンドウA機能無効時 (ADCMPCR.WCMPEビットが0) : 0 : ADCMPDR0値 > A/D変換値 1 : ADCMPDR0値 < A/D変換値 • ウィンドウA機能有効時 (ADCMPCR.WCMPEビットが1) : 0 : AD変換値 < ADCMPDR0値 または AD変換値 > ADCMPDR1値 1 : ADCMPDR0値 < A/D変換値 < ADCMPDR1値 	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPLTSA ビット (コンペアウィンドウ A 温度センサ出力比較条件選択)

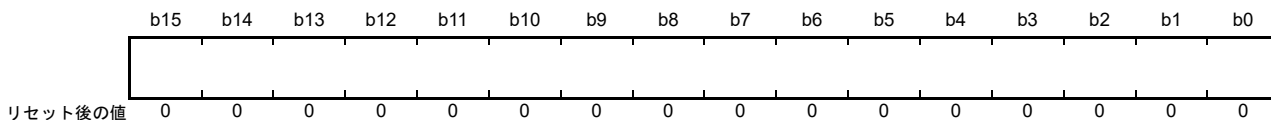
温度センサ出力がウィンドウ A 比較条件の対象である場合の比較条件を選択します。温度センサ出力の比較結果が設定条件と一致すると、ADCMPSER.CMPSTTSA フラグは1になり、コンペア割り込み (ADC140_CMPAI) が発生します。

CMPLOCA ビット (コンペアウィンドウ A 内部基準電圧比較条件選択)

内部基準電圧がウィンドウ A 比較条件の対象である場合の比較条件を選択します。内部基準電圧の比較結果が設定条件と一致すると、ADCMPSER.CMPSTOCA ビットは1になり、コンペア割り込み (ADC140_CMPAI) が発生します。

35.2.24 A/D コンペア機能ウィンドウ A 下側レベル設定レジスタ (ADCMPDR0)、
 A/D コンペア機能ウィンドウ A 上側レベル設定レジスタ (ADCMPDR1)、
 A/D コンペア機能ウィンドウ B 下側レベル設定レジスタ (ADWINLLB)、
 A/D コンペア機能ウィンドウ B 上側レベル設定レジスタ (ADWINULB)

アドレス ADC140.ADCMPDR0 4005 C09Ch, ADC140.ADCMPDR1 4005 C09Eh,
 ADC140.ADWINLLB 4005 C0A8h, ADC140.ADWINULB 4005 C0AAh



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	基準値	R/W

ADCMPDRy (y = 0, 1) レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを設定するレジスタです。ADCMPDR0 はウィンドウ A の下側基準を設定し、ADCMPDR1 は上側基準を設定します。

ADWINULB および ADWINLLB は、コンペアウィンドウ B 機能使用時、基準となるデータを設定します。ADWINLLB はウィンドウ B の下側基準を設定し、ADWINULB は上側基準を設定します。

ADCMPDRy、ADWINULB、および ADWINLLB は読み出し/書き込み可能です。

ADCMPDRy、ADWINULB、および ADWINLLB の書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、基準データを動的に変更することが可能です。(注1)

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください (ADCMPDR1 ≥ ADCMPDR0、ADWINULB ≥ ADWINLLB)。ADCMPDR1 および ADWINULB はウィンドウ機能無効時は使用しません。

注 1. 下側基準および上側基準は、それぞれのレジスタが書き込まれるときに変更されます。たとえば上側基準値が変更され、下側基準値が変更中の場合、本 MCU は上側基準値 (変更後) と下側基準値 (変更前) を A/D 変換結果と比較します。図 35.4 を参照してください。2つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADST および関連するコンペアウィンドウ動作許可ビット (ADCMPDR.CMPAE または ADCMPDR.CMPBE) がどちらも 0 のときに、それらの基準値を書き換えてください。

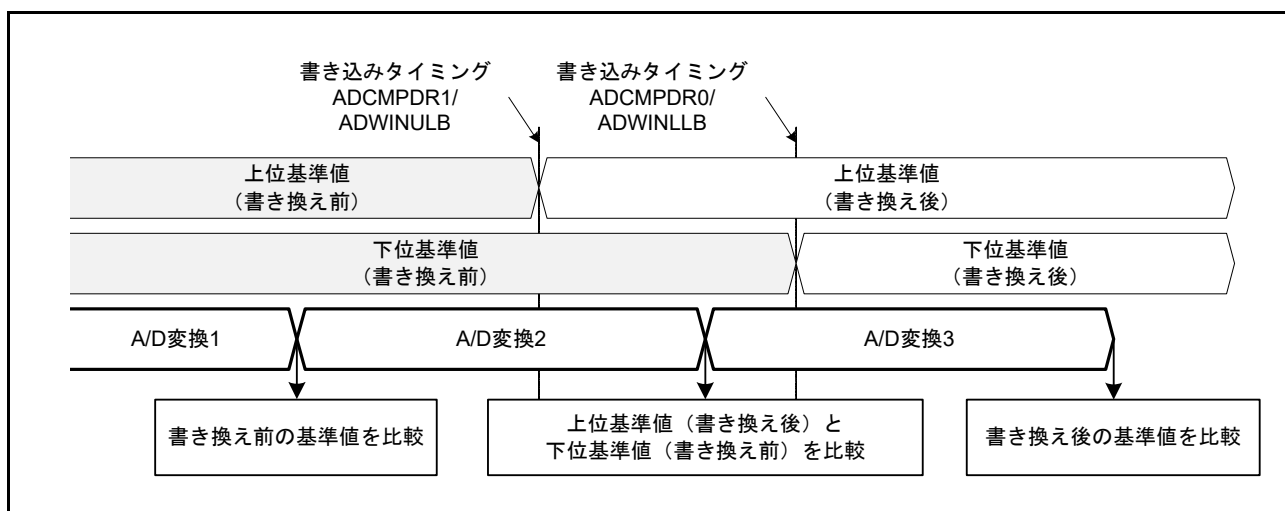


図 35.4 書き換え前後の上側基準値と下側基準値の比較

ADCMPCRy、ADWINLLB、および ADWINULB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換精度指定ビットの設定値 (14 ビットまたは 12 ビット)
- A/D 変換値加算／平均チャンネル選択レジスタの設定値 (A/D 変換値加算モード選択、または非選択)

以下、条件ごとのフォーマットを示します。

(1) A/D 変換値加算モードを非選択とした場合

- 右詰めフォーマット、14 ビット精度の場合：下位 14 ビット (b13 ~ b0) が有効
- 右詰めフォーマット、12 ビット精度の場合：下位 12 ビット (b11 ~ b0) が有効
- 左詰めフォーマット、14 ビット精度の場合：上位 14 ビット (b15 ~ b2) が有効
- 左詰めフォーマット、12 ビット精度の場合：上位 12 ビット (b15 ~ b4) が有効

(2) A/D 変換値加算モードを選択した場合

- 右詰めフォーマット、14 ビット精度の場合：全ビット (b15 ~ b0) が有効
- 右詰めフォーマット、12 ビット精度の場合：下位 14 ビット (b13 ~ b0) が有効
- 左詰めフォーマット、14 ビット精度の場合：全ビット (b15 ~ b0) が有効
- 左詰めフォーマット、12 ビット精度の場合：上位 14 ビット (b15 ~ b2) が有効

35.2.25 A/Dコンペア機能ウィンドウAチャネルステータスレジスタ0 (ADCMPSTR0)

アドレス ADC140.ADCMPSTR0 4005 C0A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	CMPST CHA14	CMPST CHA13	CMPST CHA12	CMPST CHA11	CMPST CHA10	CMPST CHA09	CMPST CHA08	CMPST CHA07	CMPST CHA06	CMPST CHA05	CMPST CHA04	CMPST CHA03	CMPST CHA02	CMPST CHA01	CMPST CHA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	CMPSTCHA14 ~ CMPSTCHA00	コンペアウィンドウAフラグ	ウィンドウA動作が有効 (ADCMPSTR.CMPAE = 1b) な場合、ウィンドウA比較条件を適用するチャンネルAN000 ~ AN014の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPSTCHAn ビット (n = 00 ~ 14) (コンペアウィンドウAフラグ)

ウィンドウA比較条件を適用するチャンネルAN000 ~ AN014の比較結果ステータスフラグです。ADCMPSTR0.CMPLCHAnで設定した比較条件がA/D変換終了時に成立すると、該当ビットが1になります。ADCMPSTR.CMPAIEビットが1の場合、本フラグが1になると比較割り込み (ADC140_CMPAI) 要求が発生します。CMPSTCHA00、CMPSTCHA07、CMPSTCHA14はそれぞれAN000、AN007、AN014に対応します。

CMPSTCHAnビットに1を書き込むことはできません。

[1になる条件]

- ADCMPSTR.CMPAEが1のときに、ADCMPSTR0.CMPLCHAnで設定した条件が成立したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

35.2.26 A/Dコンペア機能ウィンドウAチャネルステータスレジスタ1 (ADCMPSTR1)

アドレス ADC140.ADCMPSTR1 4005 C0A2h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CMPST CHA25	CMPST CHA24	CMPST CHA23	CMPST CHA22	CMPST CHA21	CMPST CHA20	CMPST CHA19	CMPST CHA18	CMPST CHA17	CMPST CHA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	CMPSTCHA25~ CMPSTCHA16	コンペアウィンドウAフラグ	ウィンドウA動作が有効 (ADCMPSTR.CMPAE = 1) な場合、 ウィンドウA比較条件を適用するチャネルAN016~AN025の 比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPSTCHANビット (n = 16 ~ 25) (コンペアウィンドウAフラグ)

ウィンドウA比較条件を適用するチャネルAN016~AN025の比較結果ステータスフラグです。ADCMPSTR1.CMPLCHANで設定した比較条件がA/D変換終了時に成立すると、関連するCMPSTCHANビットが1になります。ADCMPSTR.CMPAIEビットが1の場合、本フラグが1になると比較割り込み (ADC140_CMPAIE) 要求が発生します。CMPSTCHA16、CMPSTCHA20、CMPSTCHA25はそれぞれAN016、AN020、AN025に対応します。

CMPSTCHANビットに1を書き込むことはできません。

[1になる条件]

- ADCMPSTR.CMPAEが1のときに、ADCMPSTR1.CMPLCHANで設定した条件が成立したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

35.2.27 A/Dコンペア機能ウィンドウA拡張入力チャネルステータスレジスタ (ADCMPSER)

アドレス `ADC140.ADCMPSER 4005 C0A4h`

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CMPST OCA	CMPST TSA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTTSA	コンペアウィンドウA温度センサ出力コンペアフラグ	ウィンドウA動作が有効 (ADCMPPCR.CMPAE = 1) な場合、温度センサ出力の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
b1	CMPSTOCA	コンペアウィンドウA内部基準電圧コンペアフラグ	ウィンドウA動作が有効 (ADCMPPCR.CMPAE = 1) な場合、内部基準電圧の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPSTTSA ビット (コンペアウィンドウA 温度センサ出力コンペアフラグ)

温度センサ出力の比較結果を示すステータスフラグです。ADCMPPLER.CMPLTSA で設定した比較条件がA/D変換終了時に成立すると1になります。ADCMPPCR.CMPAIE ビットが1の場合、本ビットが1になると比較割り込み (ADC140_CMPAI) 要求が発生します。

CMPSTTSA ビットに1を書き込むことはできません。

[1になる条件]

- ADCMPPCR.CMPAE が1のときに、ADCMPPLER.CMPLTSA で設定した条件が成立したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

CMPSTOCA ビット (コンペアウィンドウA 内部基準電圧コンペアフラグ)

内部基準電圧の比較結果を示すステータスフラグです。ADCMPPLER.CMPLOCA で設定した比較条件がA/D変換終了時に成立すると1になります。ADCMPPCR.CMPAIE ビットが1の場合、本ビットが1になると比較割り込み (ADC140_CMPAI) 要求が発生します。

CMPSTOCA ビットに1を書き込むことはできません。

[1になる条件]

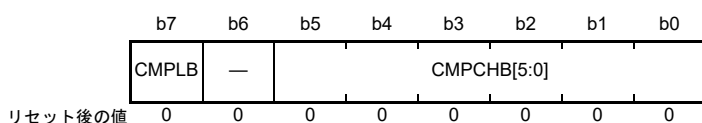
- ADCMPPCR.CMPAE が1のとき、ADCMPPLER.CMPLOCA で設定した条件が成立したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

35.2.28 A/D コンペア機能ウィンドウ B チャンル選択レジスタ (ADCMPBNSR)

アドレス ADC140.ADCMPBNSR 4005 C0A6h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウ B チャンル選択	コンペアウィンドウ B 条件と比較するチャンネルを選択します。 b5 b0 0 0 0 0 0 0: AN000 0 0 0 0 0 1: AN001 0 0 0 0 1 0: AN002 : 0 0 1 1 1 0: AN014 0 0 1 1 1 1: 選択なし 0 1 0 0 0 0: AN016 : 0 1 1 0 0 1: AN025 0 1 1 0 1 0: 選択なし 0 1 1 0 1 1: 選択なし 1 0 0 0 0 0: 温度センサ 1 0 0 0 0 1: 内部基準電圧 1 1 1 1 1 1: 選択なし 上記以外は設定しないでください。	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	CMPPLB	コンペアウィンドウ B 比較条件設定	ウィンドウ B のチャンネル比較条件を設定します。比較条件を図 35.5 に示します。 ウィンドウ機能無効時 (ADCMPCR.WCMPE ビットが0) : 0 : ADWINLLB 値 > A/D 変換値 1 : ADWINLLB 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE ビットが1) : 0 : (A/D 変換値 < ADWINLLB 値) または (ADWINULB 値 < A/D 変換値) 1 : ADWINLLB 値 < A/D 変換値 < ADWINULB 値	R/W

CMPCHB[5:0] ビット (コンペアウィンドウ B チャンル選択)

コンペアウィンドウ B 条件と比較するチャンネルを選択します。AN000 ~ AN014、AN016 ~ AN025 の温度センサ、および内部基準電圧が選択できます。コンペアウィンドウ B 機能は、以下のビットで選択した A/D 変換チャンネルの 16 進数を指定することで有効になります。

- ADANSA0.ANSAn ビット (n = 00 ~ 14)
- ADANSA1.ANSAn ビット (n = 16 ~ 25)
- ADANSB0.ANSBn ビット (n = 00 ~ 14)
- ADANSB1.ANSBn ビット (n = 16 ~ 25)

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

CMPPLB ビット (コンペアウィンドウ B 比較条件設定)

ウィンドウ B のチャンネル比較条件の設定に使用します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPBSR.CMPSTB ビットは 1 になり、コンペア割り込み (ADC140_CMPBI) が発生します。

ウィンドウ機能が無効のときの比較条件			
CMPLB = 0		CMPLB = 1	
ADWINLLB値 ≤ A/D変換値	不一致	ADWINLLB値 < A/D変換値	一致
ADWINLLB値 > A/D変換値	一致	ADWINLLB値 ≥ A/D変換値	不一致
ウィンドウ機能が有効のときの比較条件			
CMPLB = 0			
A/D変換値 > ADWINULB値		一致	
ADWINLLB値 ≤ A/D変換値 ≤ ADWINULB値		不一致	
A/D変換値 < ADWINLLB値		一致	
CMPLB = 1			
A/D変換値 ≥ ADWINULB値		不一致	
ADWINLLB値 < A/D変換値 < ADWINULB値		一致	
A/D変換値 ≤ ADWINLLB値		不一致	

図 35.5 コンペア機能ウィンドウB 比較条件

35.2.29 A/Dコンペア機能ウィンドウBステータスレジスタ (ADCMPBSR)

アドレス ADC140.ADCMPBSR 4005 C0ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPST B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウBフラグ	ウィンドウB動作が有効 (ADCMPPCR.CMPBE = 1) な場合、ウィンドウB比較条件を適用するチャンネルAN000～AN014、AN016～AN025、温度センサ出力、および内部基準電圧の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPSTB ビット (コンペアウィンドウBフラグ)

ウィンドウB比較条件を適用するチャンネル (AN000～AN014、AN016～AN025、温度センサ出力、および内部基準電圧) の比較結果を示します。ADCMPBNSR.CMPLBで設定した比較条件がA/D変換終了時に成立すると1になります。ADCMPPCR.CMPBIEビットが1の場合、本フラグが1になると比較割り込み (ADC140_CMPBI) 要求が発生します。

CMPSTBビットに1を書き込むことはできません。

[1になる条件]

- ADCMPPCR.CMPBEが1のときに、ADCMPBNSR.CMPLBで設定した条件が成立したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

35.2.30 A/Dコンペア機能ウィンドウA/Bステータスマニタレジスタ (ADWINMON)

アドレス ADC140.ADWINMON 4005 C08Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	—	MONC MPB	MONC MPA	—	—	—	MONC OMB
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MONCOMB	組み合わせ結果監視	組み合わせ結果を示します。本ビットは、ウィンドウAおよびウィンドウBの動作がどちらも有効な場合に有効となります。 0: ウィンドウA/ウィンドウBの複合条件が不成立 1: ウィンドウA/ウィンドウBの複合条件が成立	R
b3-b1	—	予約ビット	読むと0が読めます。	R
b4	MONCMPA	比較結果監視A	0: ウィンドウA比較条件が不成立 1: ウィンドウA比較条件が成立	R
b5	MONCMPB	比較結果監視B	0: ウィンドウB比較条件が不成立 1: ウィンドウB比較条件が成立	R
b7-b6	—	予約ビット	読むと0が読めます。	R

MONCOMB ビット (組み合わせ結果監視)

ADCMPCR.CMPAB[1:0] ビットで設定した複合条件との比較条件結果 A および比較結果条件 B の組み合わせの結果を示す読み出し専用ビットです。

[1 になる条件]

- ADCMPCR.CMPAE が 1 かつ ADCMPCR.CMPBE が 1 のとき、組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致したとき

[0 になる条件]

- 組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致しないとき
- ADCMPCR.CMPAE が 0 または ADCMPCR.CMPBE が 0 のとき

MONCMPA ビット (比較結果監視 A)

ウィンドウ A の対象チャネルの A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER レジスタで設定した条件と一致すると 1 が読み出され、それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0.CMPLCHAN で設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0.CMPLCHAN で設定した条件と一致しないとき
- ADCMPCR.CMPAE が 0 のとき (ADCMPCR.CMPAE の値が 1 から 0 に変化すると自動的に 0 になる)

MONCMPB ビット (比較結果監視 B)

ウィンドウ B の対象チャネルの A/D 変換値が ADCMPBNSR.CMPLB ビットで設定した条件と一致すると 1 が読み出され、それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致しないとき
- ADCMPCR.CMPBE が 0 のとき (ADCMPCR.CMPBE の値が 1 から 0 に変化すると自動的に 0 になる)

35.2.31 A/D 高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT)

アドレス ADC140.ADHVREFCNT 4005 C08Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	ADSLP	—	—	LVSEL	—	—	HVSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	HVSEL[1:0]	高電位基準電圧選択	b1 b0 0 0: 高電位基準電圧にAVCC0を選択 0 1: 高電位基準電圧にVREFH0を選択 1 0: 高電位基準電圧に内部基準電圧を選択 1 1: 内部ノードディスチャージ (基準電圧端子を選択しない)	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	LVSEL	低電位基準電圧選択	0: 低電位基準電圧にAVSS0を選択 1: 低電位基準電圧にVREFL0を選択	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	ADSLP	スリープ	0: 通常動作 1: スタンバイ状態	R/W

HVSEL[1:0] ビット (高電位基準電圧選択)

高電位基準電圧を設定します。AVCC0、VREFH0、または内部基準電圧 (1.45V) が高電位基準電圧として選択できます。

これらのビットを 10b にして内部基準電圧を選択する前に、HVSEL[1:0] を 11b にして高電位基準電圧のパスをディスチャージしてください。ディスチャージが完了したら、HVSEL[1:0] を 10b にして A/D 変換を開始してください。

高電位基準電圧に内部基準電圧を選択した場合 (HVSEL[1:0] = 10b)、チャンネル AN000 ~ AN014、AN016 ~ AN025 の A/D 変換を実行できますが、内部基準電圧または温度センサ出力の A/D 変換はできません。

LVSEL ビット (低電位基準電圧選択)

低電位基準電圧を、AVSS0 または VREFL0 から指定します。

ADSLP ビット (スリープ)

A/D コンバータをスタンバイ状態に遷移させます。ADCSR.ADHSC ビットの変更時にのみ、ADSLP ビットを 1 にしてください。その他の場合、ADSLP ビットを 1 にすることはできません。

ADSLP ビットを 1 にしたら、0 に戻す前に最低 5 μ s 待ってください。また、ADSLP ビットを 0 にしたら、最低 1 μ s 待ってから A/D 変換を開始してください。

ADHSC ビットの書き換え手順については、[35.8.8 ADHSC ビット書き換え手順](#)を参照してください。

35.3 動作説明

35.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作を指します。

スキャン変換には、以下のように 3 つの動作モードと 2 つの変換モードがあります。

動作モードは以下の 3 つです。

- シングルスキャンモード
- 連続スキャンモード
- グループスキャンモード

変換モードは以下の 2 つです。

- 高速 A/D 変換モード
- 低消費電力 A/D 変換モード

シングルスキャンモードは、指定した 1 チャンネル以上のスキャンを 1 回実施して終了するモードです。連続スキャンモードは指定した 1 チャンネル以上のスキャンを、ソフトウェアで ADCSR.ADST ビットを 1 から 0 にするまで繰り返し実行するモードです。グループスキャンモードは、グループ A とグループ B のスキャンをそれぞれ選択した同期トリガ (ELC) で開始し、グループ A とグループ B で選択したチャンネルのスキャンをそれぞれ 1 回ずつ実施して終了するモードです。

シングルスキャンモードおよび連続スキャンモードでは、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を行います。グループスキャンモードでは、ADANSA0、ADANSA1 レジスタで選択したグループ A のチャンネル ANn の n が小さい番号順に A/D 変換を行い、その後 ADANSB0、ADANSB1 レジスタで選択したグループ B のチャンネル ANn の n が小さい番号順に A/D 変換を行います。

自己診断を選択した場合は、スキャンごとの最初に自己診断が 1 回実施され、ADC14 内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

温度センサ出力および内部基準電圧を同時に選択しないでください。内部基準電圧を高電位側の基準電圧を選択する場合、温度センサまたは内部基準電圧の A/D 変換も実行できません。温度センサ出力または内部基準電圧を選択した場合、シングルスキャンモードを使用してください。

ダブルトリガモードは、シングルスキャンモードまたはグループスキャンモードで使用可能です。ダブルトリガモードを許可 (ADCSR.DBLE=1) すると、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) でのスキャン変換起動でのみ、ADCSR.DBLANS[4:0] ビットで選択したチャンネルの A/D 変換データを 2 重化します。グループスキャンモードでは、ダブルトリガモードを使用できるのはグループ A のみです。

ダブルトリガモードの拡張動作では、A/D 変換動作が同期トリガコンビネーションから発生します。トリガコンビネーションは ADSTRGR.TRSA[5:0] ビットで選択します。

ダブルトリガモードの拡張動作では、通常のダブルトリガモード動作に加え、奇数トリガ (ELC_AD00) による A/D 変換データを A/D データ 2 重化レジスタ A (ADDBLDRA) に、偶数トリガ (ELC_AD01) による A/D 変換データを A/D データ 2 重化レジスタ B (ADDBLDRB) に格納します。ダブルトリガモードの拡張動作では、トリガコンビネーションの 1 つが同時発生すると、指定したトリガのデータ 2 重化レジスタ設定が実行されず、A/D 変換データは A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。他の同期トリガによって開始された A/D 変換中に 1 つの同期トリガが入力された場合、他の A/D 変換中に入力されたトリガはキャンセルされます。

35.3.2 シングルスキャンモード

35.3.2.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

- ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
- 選択したすべてのチャンネルの A/D 変換終了後、ADC140_ADI 割り込み要求を発生します (レジスタ設定なし)。
- ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、ADC14 は待機状態になります。

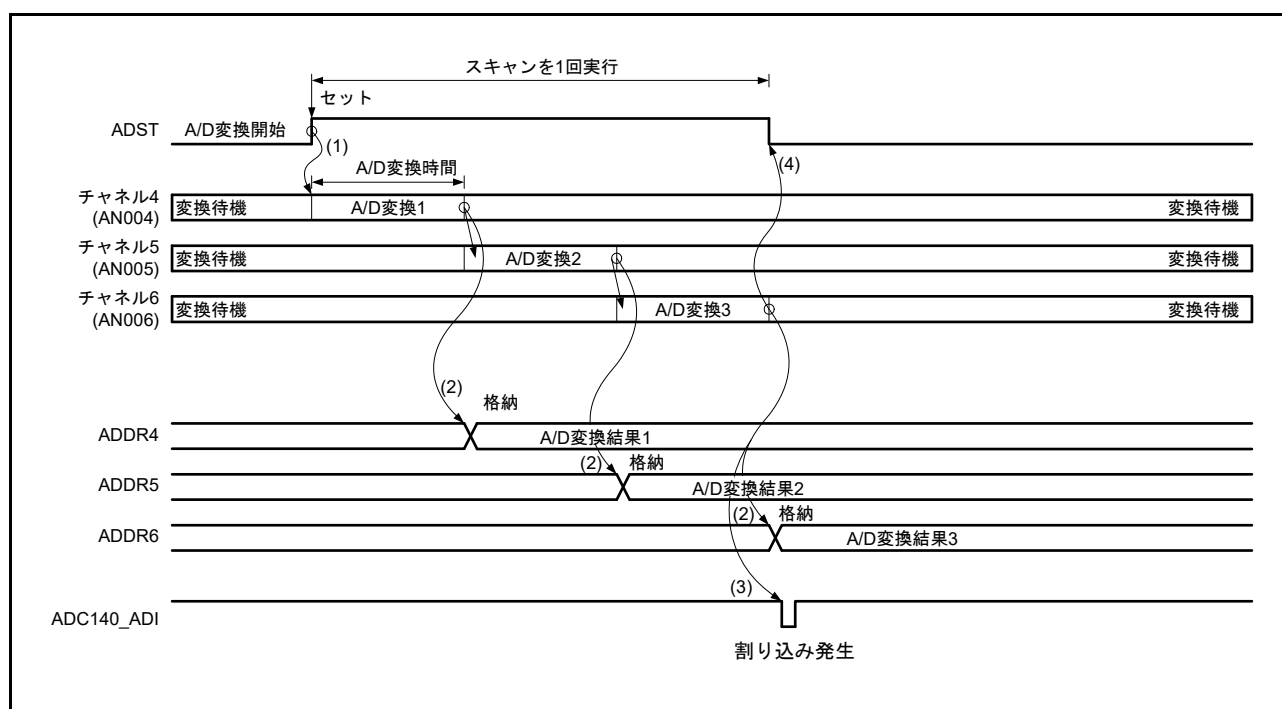


図 35.6 AN004 ~ AN006 選択時のシングルスキャンモードの基本動作例

35.3.2.2 チャネル選択と自己診断

チャネル選択とともに自己診断を選択すると、まず ADC14 に供給される基準電圧 VREFH0 (×0, ×1/2, または ×1) の A/D 変換を行います。

その後、以下のように選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
3. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
4. 選択したすべてのチャネルの A/D 変換終了後、ADC140_ADI 割り込み要求を発生します。
5. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、ADC14 は待機状態になります。

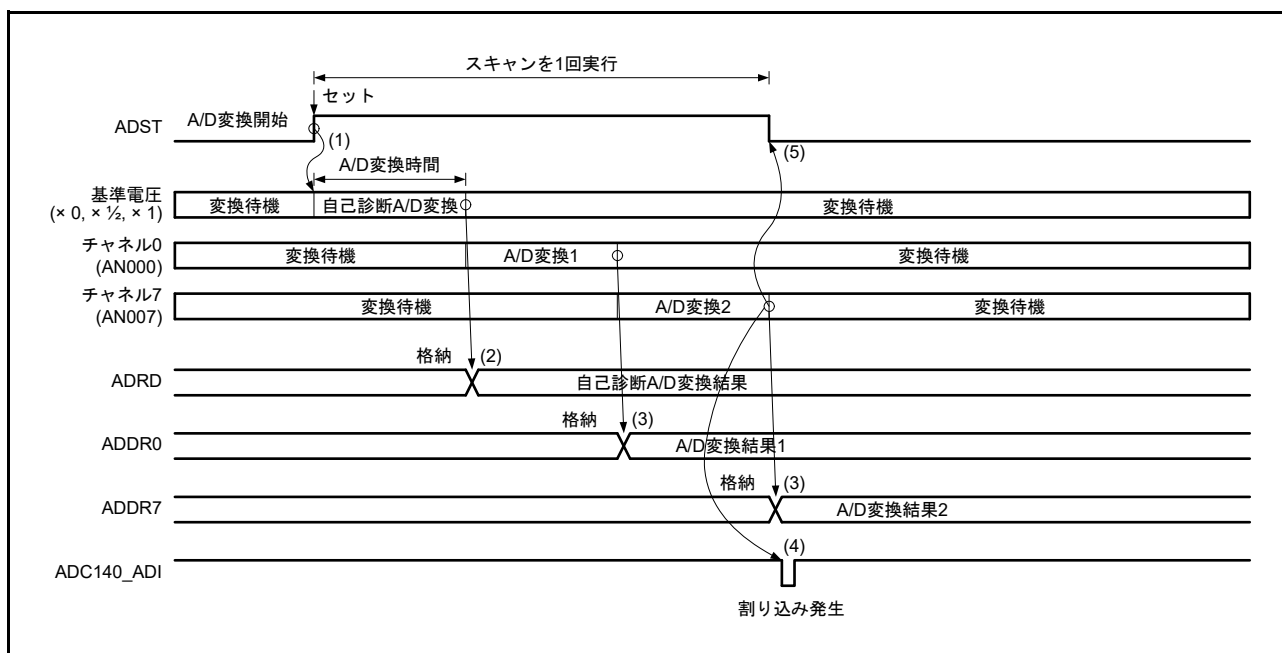


図 35.7 シングルスキャンモードの基本動作例 (AN000、AN007 選択 + 自己診断)

35.3.2.3 温度センサ出力／内部基準電圧選択時の A/D 変換動作

シングルスキャンモードでは、以下で説明するように、温度センサ出力または内部基準電圧の A/D 変換を行います。

温度センサ出力または内部基準電圧の A/D 変換を選択した場合、ADANSA0 および ADANSA01 レジスタをすべて 0 にし、ADCSR.DBLE ビットを 0 にして、すべてのアナログ入力チャンネルを非選択にしてください。

温度センサ出力の A/D 変換を選択した場合、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) を 0 (選択なし) にしてください。内部基準電圧の A/D 変換を選択した場合、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) を 0 (選択なし) にしてください。

動作は以下のとおりです。

1. サンプル時間を $5\mu\text{s}$ 以上に設定します。サンプリングスタートレジスタ 0 (ADSSTRT/ADSSTRO) 設定および ADCLK 周波数に注意してください。
2. 内部基準電圧または温度センサ出力の A/D 変換に切り替えた後は、ADST ビットを 1 にして変換を開始してください。
3. A/D 変換が終了すると、A/D 変換結果は対応する温度センサ出力データレジスタ (ADTRDR) または A/D 内部基準電圧データレジスタ (ADOCDR) へ格納され、ADC140_ADI 割り込み要求が発生します (レジスタ設定なし)。
4. ADST ビットは A/D 変換中は 1 を保持し、A/D 変換が終了すると自動的にクリアされ、ADC14 は待機状態になります。

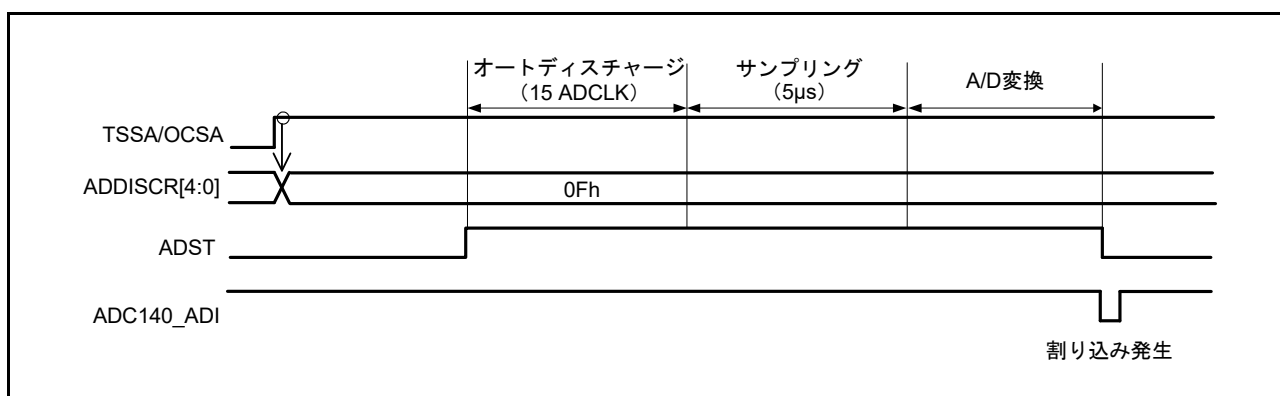


図 35.8 シングルスキャンモードの基本動作例 (AN000、温度センサ出力または内部基準電圧選択)

35.3.2.4 ダブルトリガモード選択時のA/D変換動作

シングルスキャンモードでダブルトリガモードを選択した場合は、同期トリガ (ELC) で開始するシングルスキャンモードの実行2回分を一連の動作として実行します。

自己診断は非選択とし、温度センサ出力A/D変換選択ビット (ADEXICR.TSSA、ADEXICR.TSSB) と内部基準電圧A/D変換選択ビット (ADEXICR.OCSA、ADEXICR.OCSB) はともに0にしてください。

A/D変換データ2重化は、2重化するチャンネルの番号をADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLEビットを1にすると有効となります。ADCSR.DBLEビットを1にした場合はADANSA0、ADANSA1レジスタによるチャンネル選択は無効になります。

ダブルトリガモード時は、ADSTRGR.TRSA[5:0]ビットで同期トリガ (ELC) を選択し、ADCSR.EXTRGビットを0に、ADCSR.TRGEビットを1にしてください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力 (ELC) によってADCSR.ADSTビットが1 (A/D変換開始) になると、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換を開始します。
2. 1チャンネルのA/D変換が終了すると毎回、A/D変換結果は関連するA/Dデータレジスタ y (ADDR y) に格納されます。
3. ADSTビットは自動的に0になり、ADC14は待機状態になります。ここではADC140_ADI割り込み要求は発生しません。
4. 2回目のトリガ入力によってADCSR.ADSTビットが1 (A/D変換開始) になると、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換を開始します。
5. A/D変換が終了すると、A/D変換結果はダブルトリガモード専用で使用されるA/Dデータ2重化レジスタ (ADDBLDR) に格納されます。
6. ADC140_ADI割り込み要求が発生します。
7. ADSTビットはA/D変換中は1 (A/D変換開始) を保持し、A/D変換が終了すると自動的に0となります。ADC14は待機状態になります。

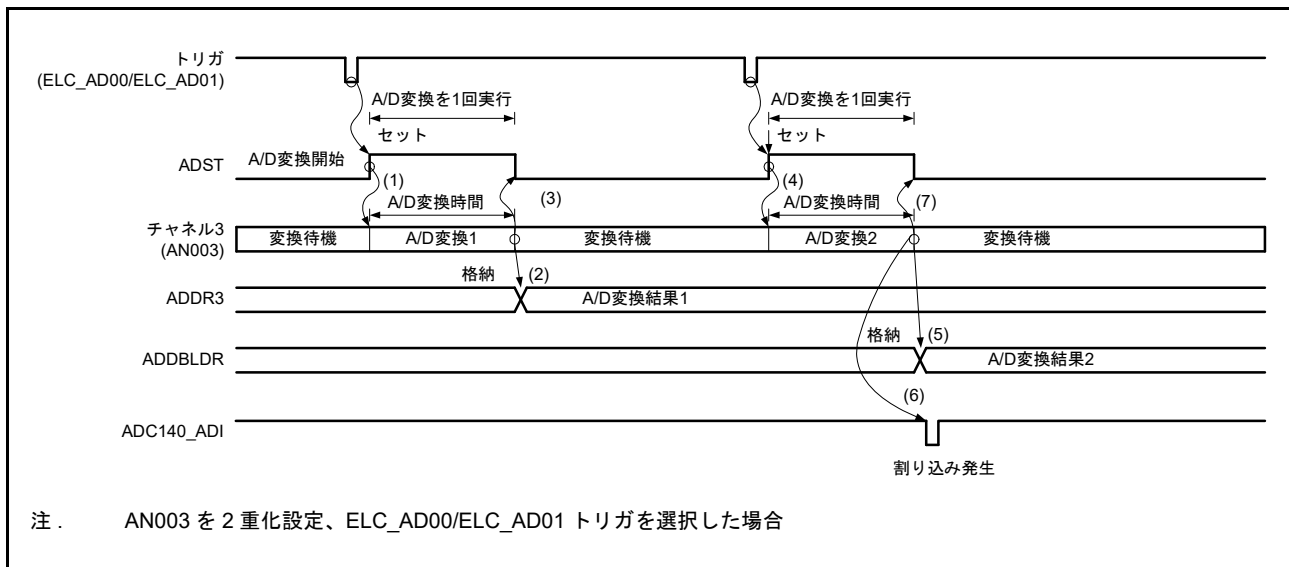


図 35.9 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003を2重化)

35.3.2.5 ダブルトリガモード選択時の拡張動作

シングルスキャンモードでダブルトリガモードを選択した場合で、A/D変換開始トリガとして同期トリガ ELC_AD00/ELC_AD01 を選択した場合、シングルスキャンモードの実行2回分を行います。

自己診断は非選択とし、温度センサ出力A/D変換選択ビット (ADEXICR.TSSA、ADEXICR.TSSB) と内部基準電圧A/D変換選択ビット (ADEXICR.OCSA、ADEXICR.OCSB) はともに0にしてください。

A/D変換データ2重化は、2重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを1にすると有効となります。ADCSR.DBLE ビットを1にした場合は ADANSA0、ADANSA1 レジスタのチャンネル選択は無効になります。

拡張ダブルトリガモード時は、ADSTRGR.TRSA[5:0] ビットを使用して同期トリガ ELC_AD00/ELC_AD01 を選択し (ADSTRGR.TRSA[5:0] ビットを 0Bh にする)、ADCSR.EXTRG ビットを0に、ADCSR.TRGE ビットを1にしてください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. ELC_AD00/ELC_AD01 入力により ADCSR.ADST ビットが1 (A/D変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルのA/D変換を開始します。
2. 1チャンネルのA/D変換が終了すると、変換結果は対応するA/Dデータレジスタ y (ADDRy)、および ELC_AD00/ELC_AD01 のトリガ入力時 A/Dデータ2重化レジスタ A (ADDBLDRA) または A/Dデータ2重化レジスタ B (ADDBLDRB) へそれぞれ格納されます。
3. ADCSR.ADST ビットは自動的に0になり、ADC14は待機状態になります。ADC140_ADI 割り込みは発生しません。
4. ELC_AD00/ELC_AD01 入力によって ADCSR.ADST ビットが1 (A/D変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルのA/D変換を開始します。
5. A/D変換が終了すると、結果はA/Dデータ2重化レジスタ (ADDBLDR)、および ELC_AD00/ELC_AD01 のトリガ入力時 A/Dデータ2重化レジスタ A (ADDBLDRA) または A/Dデータ2重化レジスタ B (ADDBLDRB) へそれぞれ格納されます。
6. ADC140_ADI 割り込み要求が発生します。
7. ADCSR.ADST ビットはA/D変換中は1の値 (A/D変換開始) を保持し、A/D変換が終了すると自動的に0となり、その後でADC14は待機状態になります。

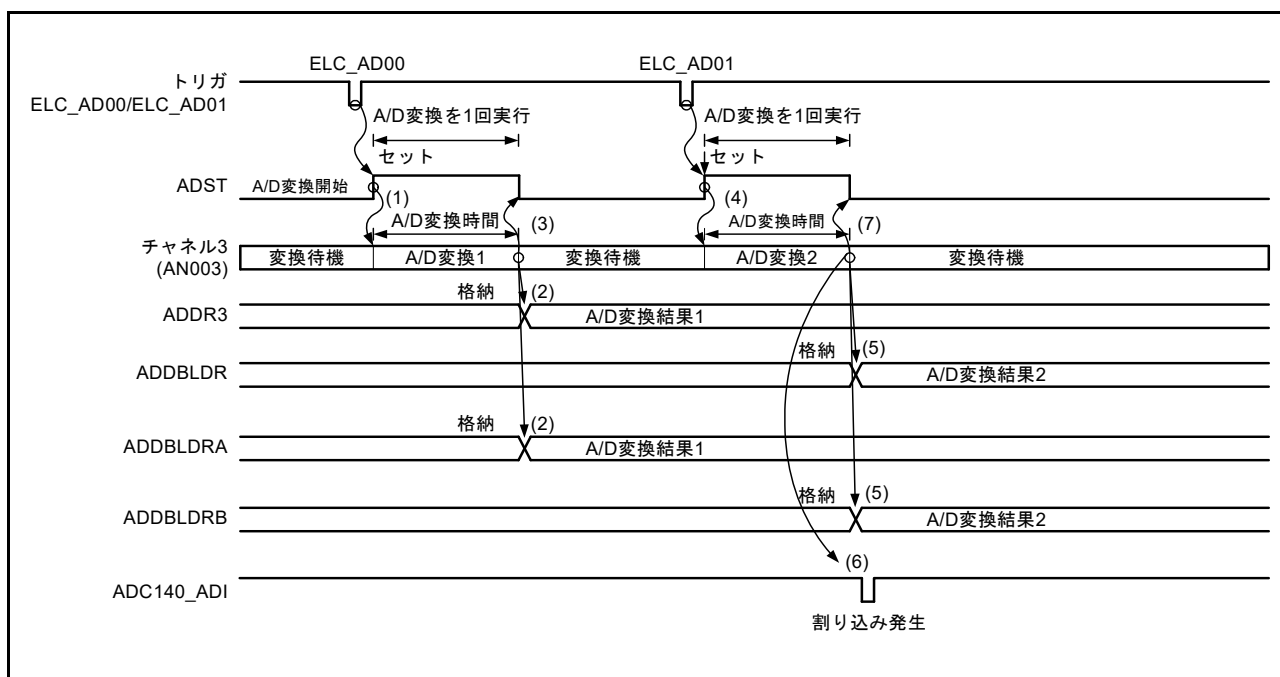


図 35.10 ダブルトリガモードの拡張動作例 (1) (ELC_AD00/ELC_AD01 選択、AN003 を 2 重化)

35.3.3 連続スキャンモード

35.3.3.1 基本動作

連続スキャンモードでは、以下のように選択されたチャンネルのアナログ入力を以下のように繰り返し A/D 変換します。

本モードでは、ADEXICR.TSSA ビットと ADEXICR.OCSA ビットをともに 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にします。

- ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
- 選択したすべてのチャンネルの A/D 変換終了後、ADC140_ADI 割り込み要求を発生します。また ADC14 は、継続して ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- ADCSR.ADST ビットは自動的にクリアされず、1 (A/D 変換開始) の状態の間は (2) ~ (3) を繰り返します。ADCSR.ADST ビットを 0 (A/D 変換停止) にすると A/D 変換は停止、ADC14 は待機状態になります。
- その後、ADST ビットが 1 (A/D 変換開始) になると再び ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。

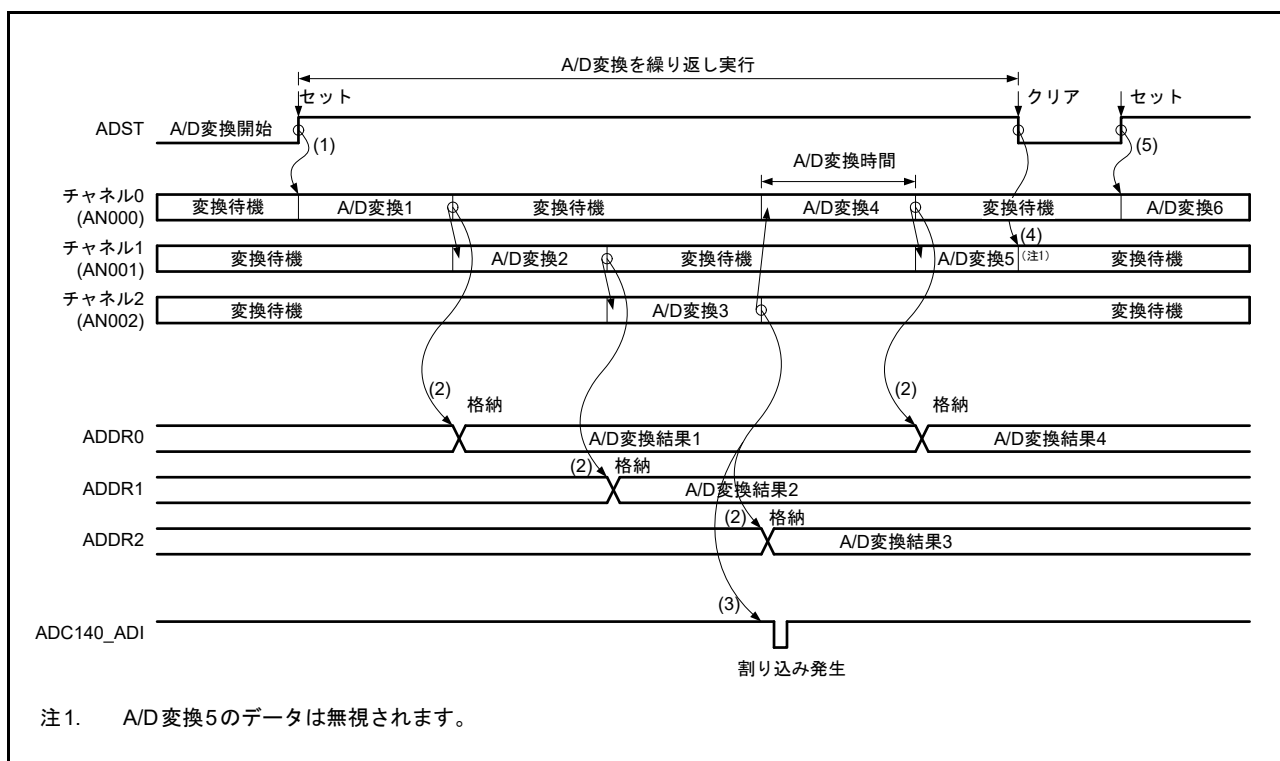


図 35.11 連続スキャンモードの基本動作例 (AN000 ~ AN002 選択)

35.3.3.2 チャネル選択と自己診断

チャネル選択とともに自己診断を選択すると、まず ADC14 に供給される基準電圧 VREFH0 (× 0、× 1/2、× 1 のいずれか) の A/D 変換を行い、その後、選択したチャネルのアナログ入力を A/D 変換します。本シーケンスは本項で記述しているように繰り返されます。

連続スキャンモードでは、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) はともに 0 (非選択) にします。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
3. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
4. 選択したすべてのチャネルの A/D 変換終了後、ADC140_ADI 割り込み要求を発生します (レジスタ設定なしで)。同時に、ADC14 は自己診断での A/D 変換を開始し、その後 ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
5. ADST ビットは自動的にクリアされず、1 になっている間は (2) ~ (4) を繰り返します。ADST ビットを 0 (A/D 変換停止) にすると A/D 変換は停止し、14 ビット A/D コンバータは待機状態になります。
6. その後、ADST ビットが 1 (A/D 変換開始) になると、再び自己診断での A/D 変換から開始します。

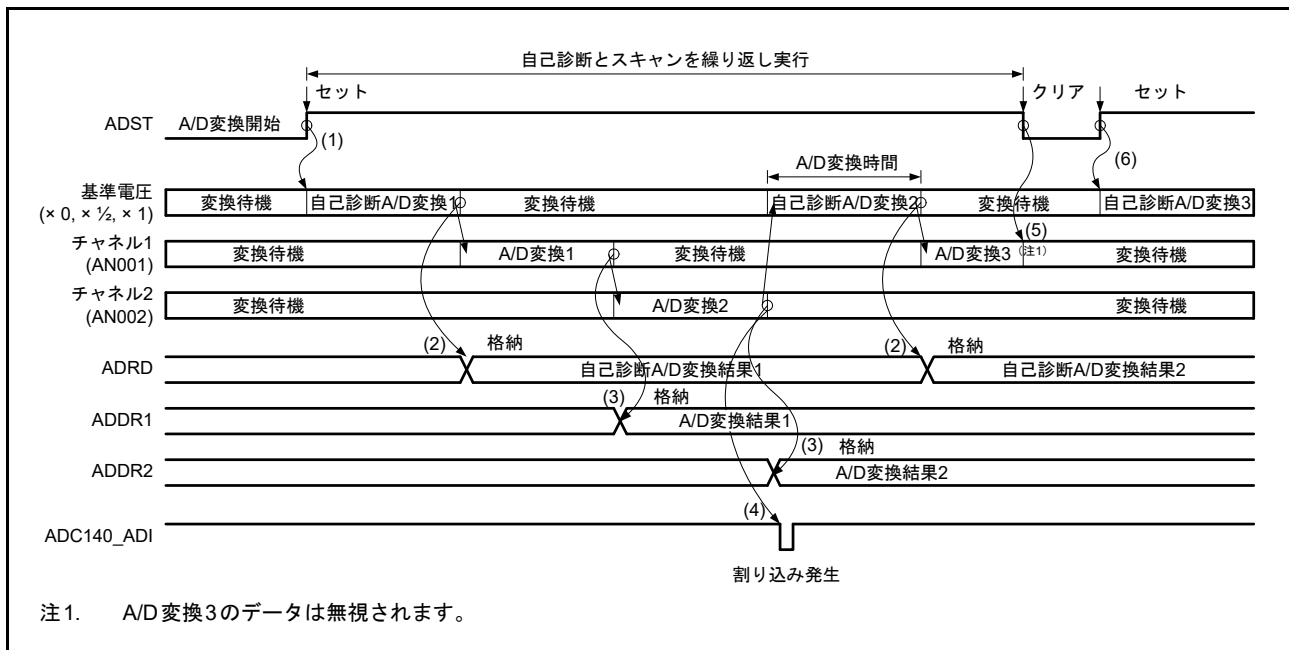


図 35.12 連続スキャンモードの基本動作例 (AN001 および AN002 選択 + 自己診断)

35.3.4 グループスキャンモード

35.3.4.1 基本動作

下記のように、グループスキャンモードでは、同期トリガ (ELC) をスキャン開始条件とし、グループ A とグループ B のそれぞれで選択したすべてのチャンネルのアナログ入力を以下のように 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのグループ A およびグループ B の同期トリガは、ADSTRGR.TRSA[5:0] ビットと ADSTRGR.TRSB[5:0] ビットでそれぞれ設定できます。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

A/D 変換対象とするチャンネルは、ADANSA0、ADANSA1 レジスタでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモードでは、ADEXICR.TSSA ビットと ADEXICR.OCSA ビットをともに 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にします。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B それぞれで自己診断を実施します。

以下に ELC からの同期トリガによるグループスキャンモードの動作例を示します。グループ A は ELC からの ELC_AD00 トリガで変換開始し、グループ B は ELC からの ELC_AD01 トリガで変換開始する設定です。また、ELC_AD00 および ELC_AD01 は、対応する ELC.ELSRn レジスタで GPT イベントに選択されます。

1. ELC_AD00 トリガでグループ A のスキャンを開始します。
2. グループ A のスキャン終了後、ADC140_ADI 割り込みをレジスタ設定なしで発生します。
3. ELC_AD01 トリガでグループ B のスキャンを開始します。
4. グループ B のスキャン終了時に ADCSR.GBADIE ビットが 1 (スキャン終了による ADC140_GBADI 割り込み許可) に設定されていると、ADC140_GBADI 割り込みを発生します。

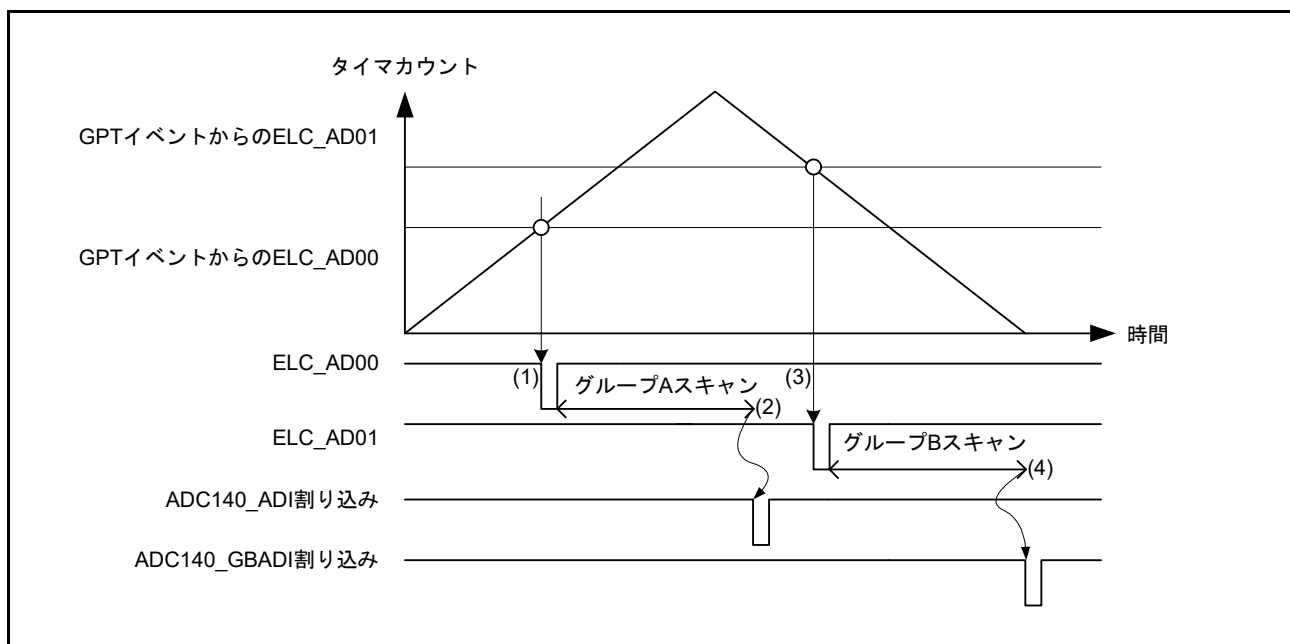


図 35.13 グループスキャンモードの基本動作例 (ELC からの同期トリガ)

35.3.4.2 ダブルトリガモード選択時のA/D変換動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループAは同期トリガ(ELC)で開始するシングルスキャンモードの実行2回分を一連の動作として実行します。グループBは同期トリガ(ELC)で開始するシングルスキャンモードの動作を1回実行します。

グループスキャンモード時、グループAおよびグループBの同期トリガ設定は、ADSTRGR.TRSA[5:0]ビットとADSTRGR.TRSB[5:0]ビットでそれぞれ選択できます。グループAとグループBのA/D変換が同時に起こらないように、グループAとグループBのトリガは別々のトリガを使用してください。ソフトウェアトリガまたは非同期トリガ(ADTRG0)は使用しないでください。

ELC_AD00/ELC_AD01をグループAの同期トリガに選択(ADSTRGR.TRSA[5:0]ビットを0Bhに)した場合は、ダブルトリガ拡張モードで動作します。

A/D変換を行うグループAチャンネルおよびグループBチャンネルはそれぞれADCSR.DBLANS[4:0]ビットおよびADANSB0レジスタとADANSB1レジスタで選択されます。両方のグループで同一のチャンネルを選択することはできません。

グループスキャンモードでは、ADEXICR.TSSAビットとADEXICR.OCSAビットをともに0にすることにより、温度センサ出力A/D変換と内部基準電圧A/D変換を非選択にします。

グループスキャンモードでダブルトリガモード選択時は自己診断は選択できません。

A/D変換データ2重化は、2重化するチャンネルの番号をADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLEビットを1にすると有効となります。

以下にELCからの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。具体的には、ELCのELC_AD00トリガおよびELC_AD01トリガでそれぞれグループAとグループBの変換が開始されます。また、ELC_AD00およびELC_AD01は、対応するELC.ELSRnレジスタでGPTイベントに選択されます。

動作は以下のとおりです。

1. ELCからのELC_AD00トリガでグループBのスキャンを開始します。
2. グループBのスキャン終了時にADCSR.GBADIEビットが1になったとき(上記のスキャン終了によるADC140_GBADI割り込み許可)。
3. 1回目のELC_AD01トリガでグループAの1回目のスキャンを開始します。
4. グループAの1回目のスキャンが終了すると、変換結果は対応するA/Dデータレジスタy(ADDRy)に格納されます。ADC140_ADI割り込み要求は発生しません。
5. 2回目のELC_AD01トリガでグループAの2回目のスキャンを開始します。
6. グループAの2回目のスキャン終了時、A/D変換結果をADDBLDRに格納します。ADC140_ADI割り込みが発生します(レジスタ設定なし)。

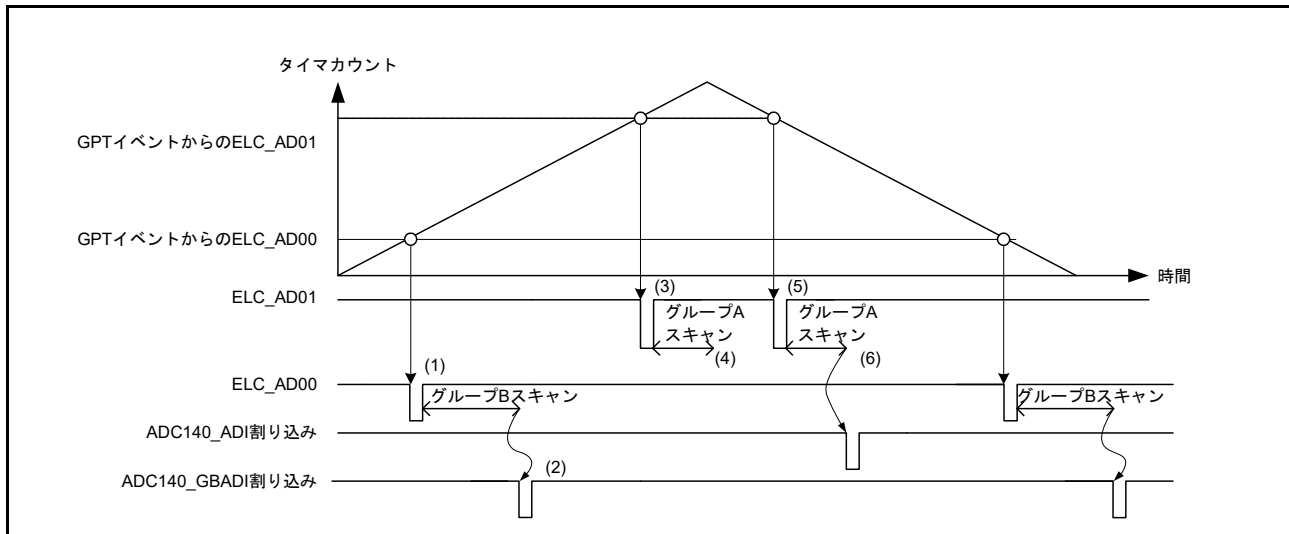


図 35.14 グループスキャンモードかつダブルトリガモード設定時の動作 (ELC からの同期トリガ)

35.3.4.3 グループ A 優先制御動作

グループスキャンモードで ADGSPCR.PGS ビットを 1 にすると、グループ A 優先制御動作を行います。ADPGSCR レジスタの PGS ビットを 1 にする際は、図 35.15 に記載された手順に従い、設定を実行してください。フロー以外の設定をした場合、A/D 変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、もしくはグループ B の A/D 変換動作中の入力や、他方の A/D 変換のトリガ入力は無視されます。グループ A 優先制御動作では、グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断して、グループ A の A/D 変換動作を行います。ADGSPCR.GBRSCN ビットが 0 のときは、ADC14 はグループ A の A/D 変換終了時に待機状態となります。ADGSPCR.GBRSCN ビットが 1 のときは、グループ A の A/D 変換終了後、ADC14 は自動的にグループ B のスキャンをグループ先頭から自動で再開します。ADGSPCR.GBRSCN ビットの設定と A/D 変換動作中のトリガ入力時の動作を表 35.9 に示します。

グループ A とグループ B のスキャン動作は、シングルスキャンモードと同じ動作になります。また、グループ B のスキャン動作中に ADGSPCR.GBRP ビットを 1 にすると、シングルスキャンを連続して実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ A のトリガとは異なるグループ B の同期トリガを選択してください。ADGSPCR.GBRP ビットを 1 にする場合は、ADSTRGR.TRSB[5:0] ビットを 3Fh にしてください。

また A/D 変換対象とするチャンネルは、ADANSA0、ADANSA1 レジスタでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタでグループ A とは異なるグループ B のチャンネルを選択してください。

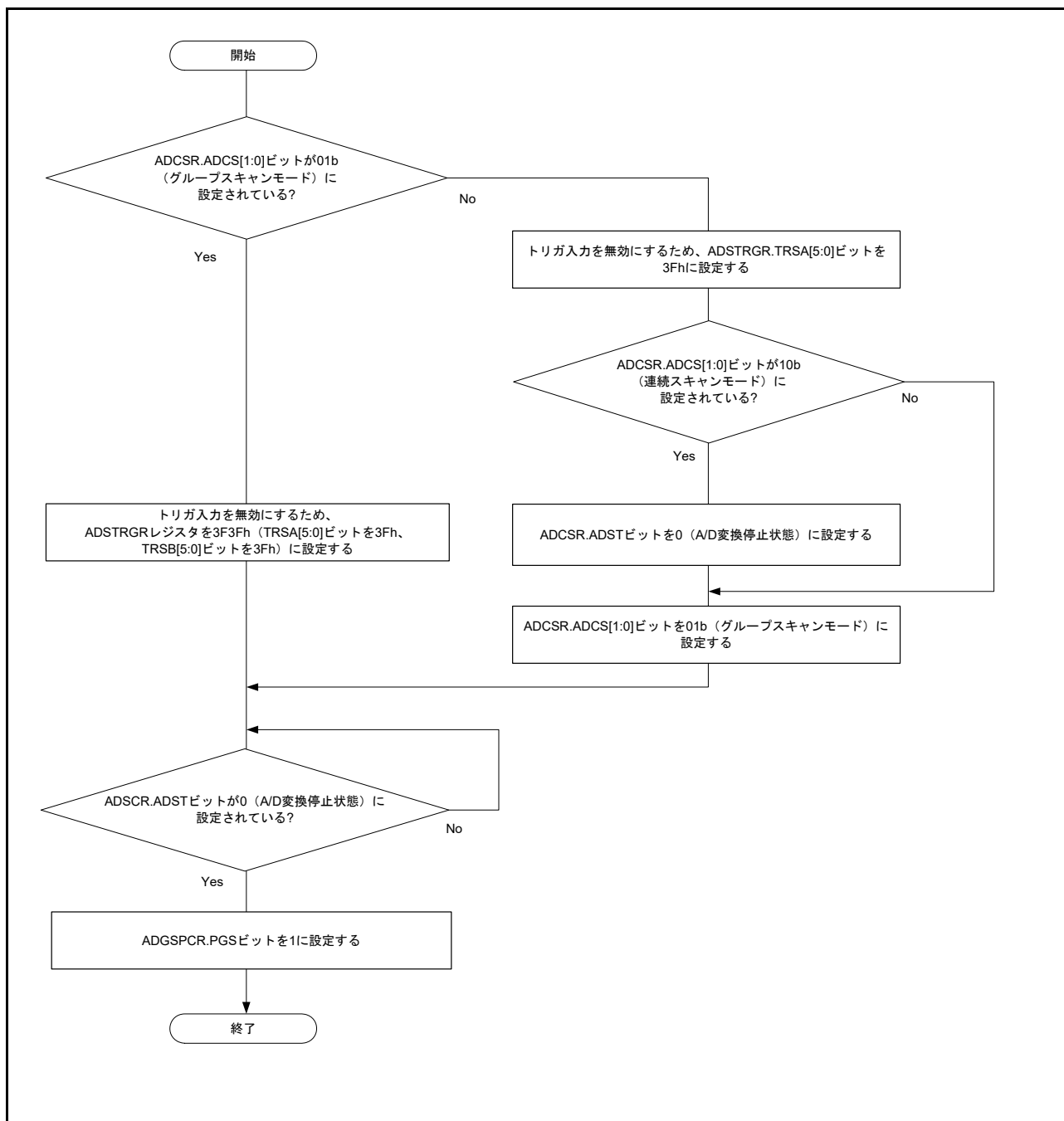


図 35.15 ADGSPCR.PGS ビット設定時のフロー

表 35.9 ADGSPCR.GBRSCN ビットの設定によるA/D変換動作制御

A/D変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループAのA/D変換動作中	グループAトリガ入力	トリガ入力無効	トリガ入力無効
	グループBトリガ入力	トリガ入力無効	グループAのA/D変換動作終了後、 グループBのA/D変換動作を行う
グループBのA/D変換動作中	グループAトリガ入力	グループBのA/D変換動作を中断し、 グループAのA/D変換動作開始	<ul style="list-style-type: none"> グループBのA/D変換動作を中断し、グループAのA/D変換動作を開始 グループAのA/D変換動作終了後、グループBのA/D変換動作開始
	グループBトリガ入力	トリガ入力無効	トリガ入力無効

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したグループ A 優先制御グループ スキャンモード動作の動作例 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) を示します。

1. グループ B のトリガ入力によって、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択した、チャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットは 1 のまま、グループ B の A/D 変換を中断し、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。グループ B の変換中に割り込みが発生したときに A/D 変換が完了していない場合は、A/D 変換結果は A/D データレジスタ y (ADDRy) に格納されません。
4. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
5. レジスタ設定なしで ADC140_ADI 割り込み要求が発生します。
6. ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に A/D 変換を再度開始しますが、このとき ADCSR.ADST ビットは 1 のままです。
7. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
8. ADCSR.GBADIE ビットが 1 に設定されていると、ADC140_GBADI 割り込み要求が発生します (グループ B のスキャン終了による ADC140_GBADI 割り込み許可)。
9. A/D 変換が完了すると ADCSR.ADST ビットは自動的にクリアされ ADC14 は待機状態に遷移します。

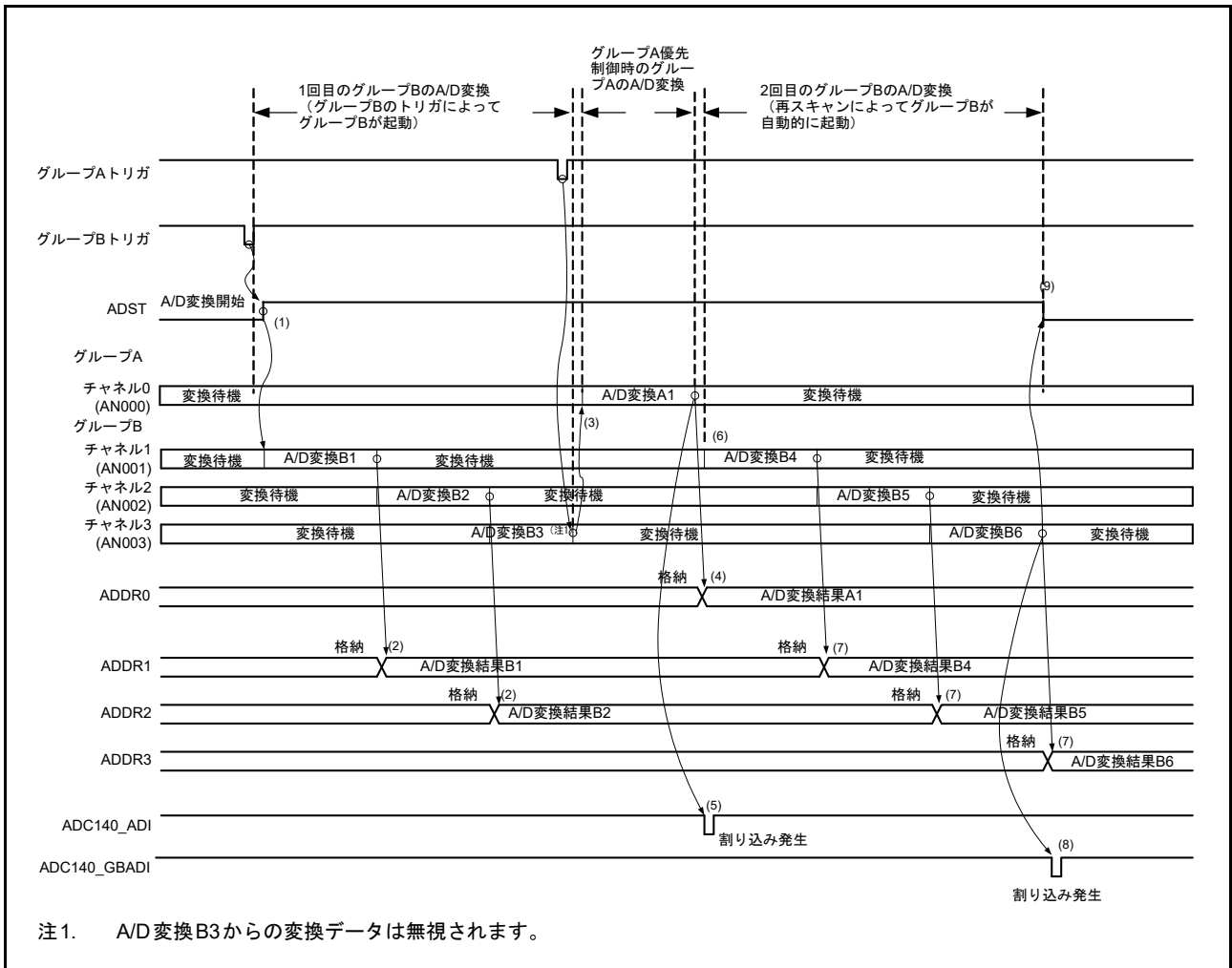


図 35.16 グループ A 優先制御の動作例 (1) (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0 の場合)

以下にグループ B 再スキャン動作時に、再度グループ A のトリガが入力された場合の例として、グループ A 優先動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 0 を、グループ B にチャンネル 1 ~ 3 を選択した場合の動作例を示します。

1. グループ B のトリガ入力によって、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットは 1 のままで、グループ B の A/D 変換を中断します。グループ B の変換中に割り込みが発生したときに A/D 変換が完了していない場合は、A/D 変換結果は A/D データレジスタ y (ADDRy) に格納されません。
4. ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
5. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
6. ADC140_ADI 割り込み要求が発生します (レジスタ設定なし)。
7. ADGSPCR.GBRSCN ビットが 1 の場合は、グループ A の A/D 変換が終了すると、ADCSR.ADST ビットは 1 のままでグループ B が再びスキャンされます。ADANSB0、ADANSB1 レジスタで選択したグループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
8. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
9. グループ B の A/D 変換の再スキャン中に、グループ A のトリガ入力があると、ADCSR.ADST ビットは 1 のままで、グループ B の A/D 変換を中断します。
10. ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
11. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
12. レジスタ設定なしで ADC140_ADI 割り込み要求が発生します。
13. グループ A の A/D 変換が終了時 ADGSPCR.GBRSCN ビットが 1 の場合は、ADCSR.ADST ビットは 1 のままでグループ B が再びスキャンされます。ADANSB0、ADANSB1 レジスタで選択したグループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
14. 再スキャン起動によるグループ B の A/D 変換中に、グループ A のトリガ入力があると、(9) ~ (13) を繰り返し実行します。グループ A のトリガ入力がない場合は、グループ B の A/D 変換が終了すると ADCSR.ADST ビットが自動的にクリアされ、ADC14 は待機状態になります。

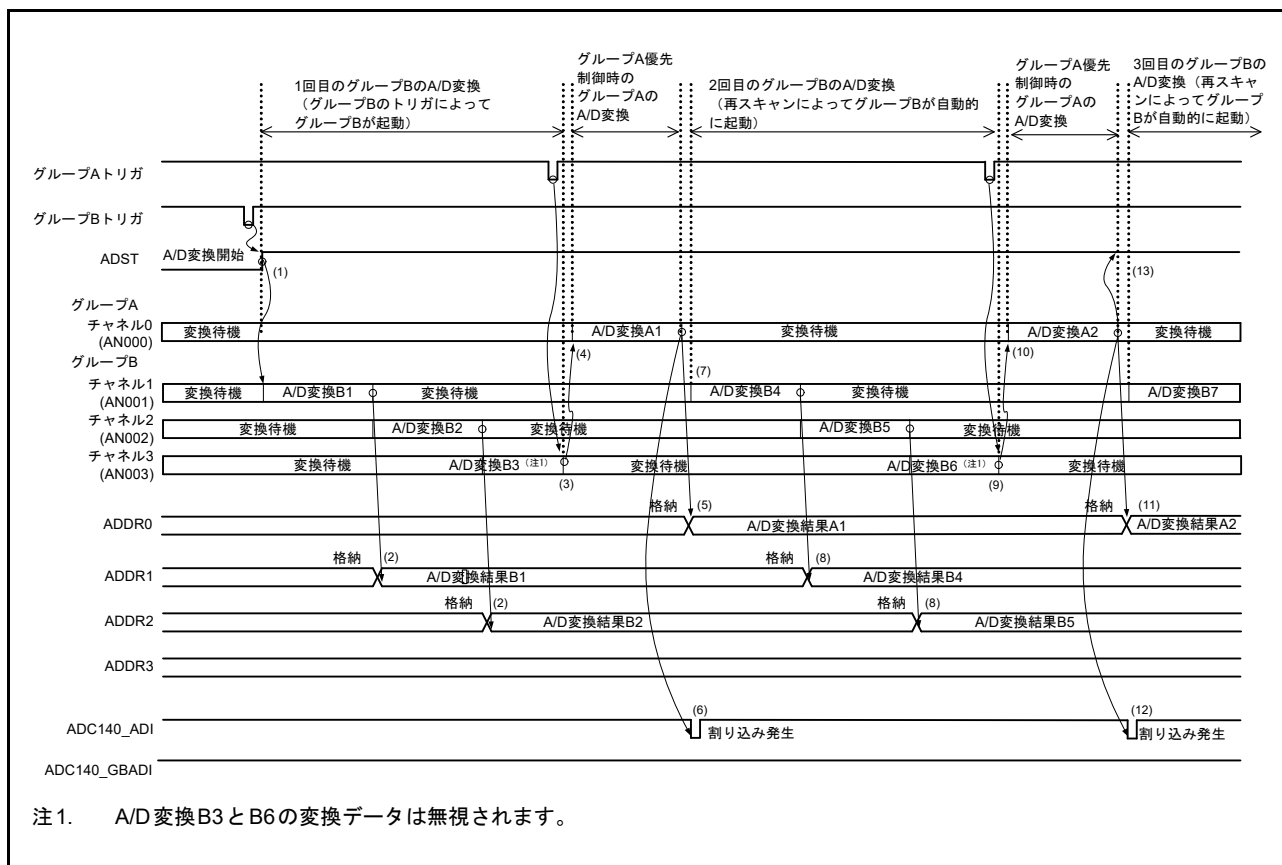


図 35.17 グループ A 優先制御の動作例 (2) (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0 の場合)

以下にグループ A の変換動作中に、グループ B のトリガが入力された場合の再スキャン動作の例を示します。本例では、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 1 ~ 3 が、グループ B にチャンネル 0 が選択されています。

1. グループ A のトリガ入力によって、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した、チャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ A の A/D 変換動作中に、グループ B のトリガ入力があると、グループ A の A/D 変換終了後に、グループ B の A/D 変換を実行できる状態となります。ただし、グループ A のトリガが連続で入力された場合、グループ B のスキャン動作は、グループ A に取り消され、実施されません。
4. グループ A の A/D 変換終了後、ADC140_ADI 割り込み要求を発生します (レジスタ設定なし)。
5. グループ A の変換が終了すると、ADCSR.ADST ビットは 1 のままでグループ B が再びスキャンされます。その後、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を開始します。
6. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
7. グループ B の再スキャン終了後、ADCSR.GBADIE ビットが 1 (スキャン終了による ADC140_GBADI 割り込み許可) になっていると、ADC140_GBADI 割り込み要求を発生します。
8. A/D 変換が完了すると ADCSR.ADST ビットは自動的にクリアされ ADC14 は待機状態に遷移します。

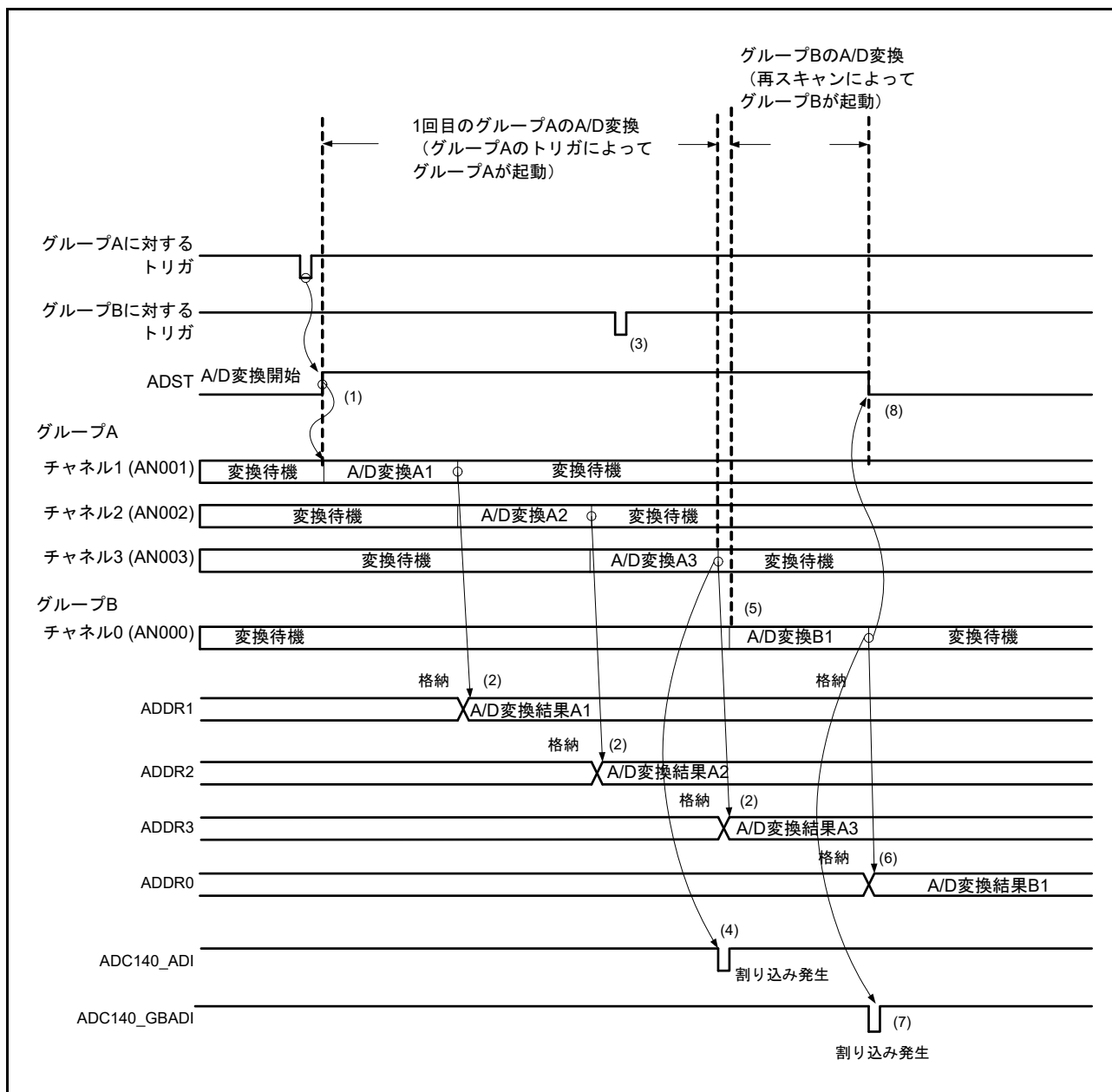


図 35.18 グループ A 優先制御の動作例 (3) (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0 の場合)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときのグループ A 優先制御の動作例 (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0) を示します。

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットは 1 のままで、グループ B の A/D 変換を中断します。その後、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
4. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
5. レジスタ設定なしで ADC140_ADI 割り込み要求が発生します。
6. A/D 変換が完了すると ADCSR.ADST ビットは自動的にクリアされ ADC14 は待機状態に遷移します。

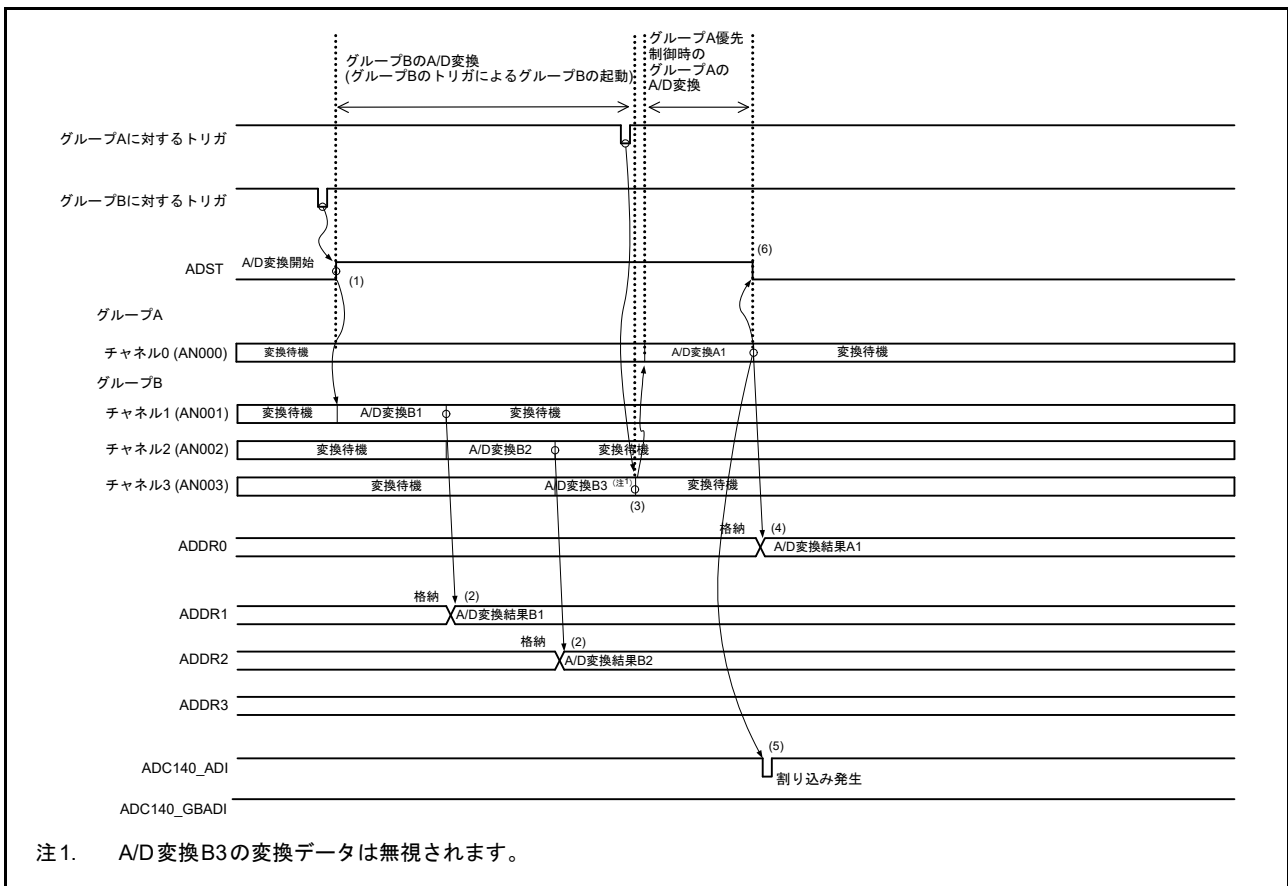


図 35.19 グループ A 優先制御の動作例 (4) (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0 の場合)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときのグループ A 優先制御の動作例 (ADGSPCR.GBRP = 1) を示します。

1. ADGSPCR.GBRP = 1 にすると、ADCSR.ADST ビットが 1 (A/D 変換開始) になり、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットは 1 のままで、グループ B の A/D 変換を中断します。その後、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
4. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
5. レジスタ設定なしで ADC140_ADI 割り込み要求が発生します。
6. ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に A/D 変換を再度開始し、ADCSR.ADST ビットは 1 のままです。
7. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
8. ADCSR.GBADIE ビットが 1 になっていると、ADC140_GBADI 割り込み要求が発生します。
9. ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。ADGSPCR.GBRP ビットが 1 になっている間は、(6)～(9)の動作を繰り返します。ADGSPCR.GBRP ビットが 1 の状態の間は、ADCSR.ADST ビットを 0 にしないでください。ADGSPCR.GBRP = 1 の場合に A/D 変換を強制終了するには、[図 35.31](#) に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

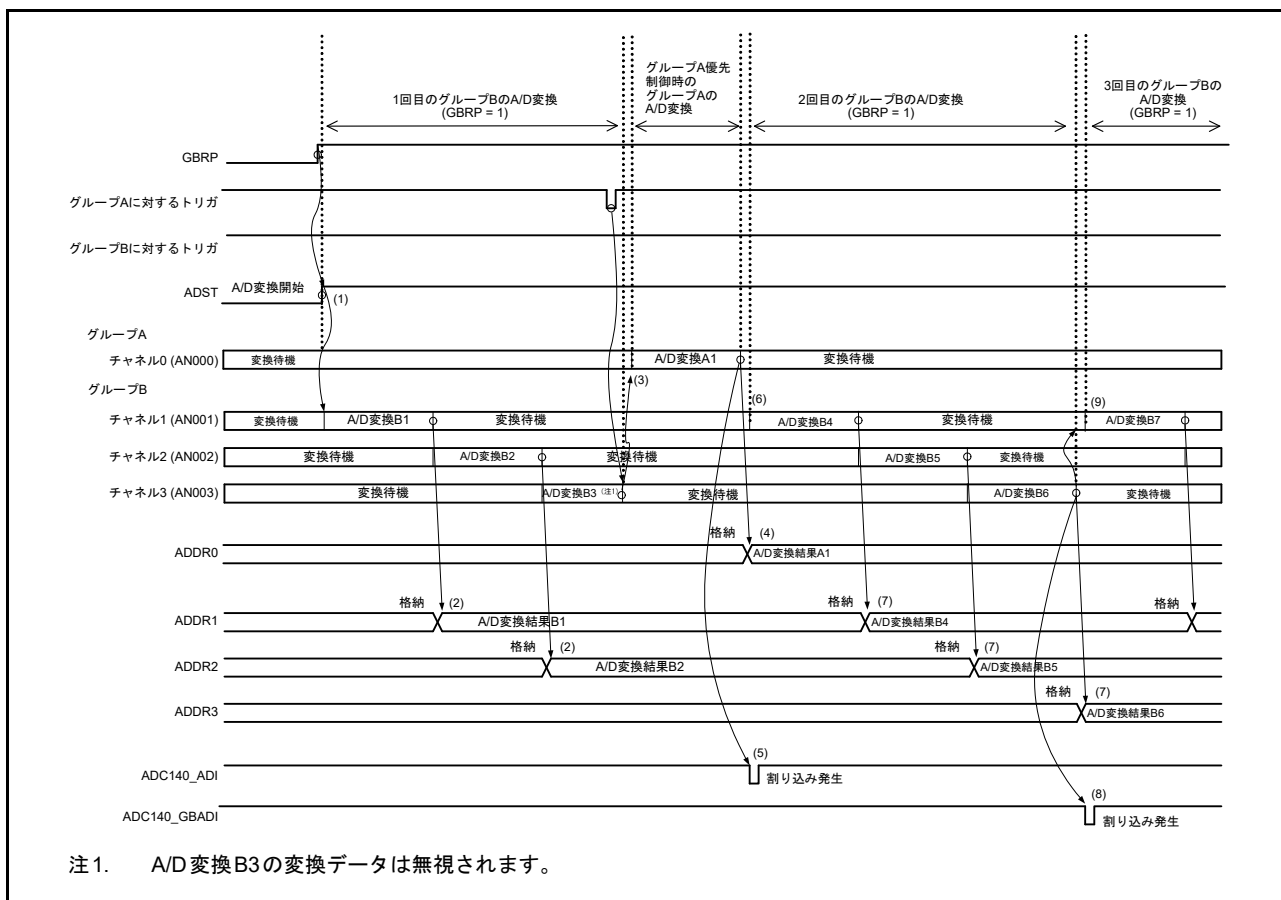


図 35.20 グループ A 優先制御の動作例 (5) (ADGSPCR.GBRP = 1 の場合)

35.3.5 コンペア機能 (ウィンドウ A、ウィンドウ B)

35.3.5.1 コンペア機能

コンペア機能は、基準値と A/D 変換結果を比較する機能です。基準値はウィンドウ A およびウィンドウ B それぞれに設定することが可能です。コンペア機能の使用中は、自己診断機能およびダブルトリガモードは使用できません。ウィンドウ A とウィンドウ B の主な違いとしては、割り込み出力信号の違いと、ウィンドウ B は 1 つのチャンネルしか選択できないという制限があります。

連続スキャンモードとコンペア機能を組み合わせた動作シーケンスを以下に示します。

1. ソフトウェア、同期トリガ (ELC)、または非同期トリガで ADCSR.ADST ビットを 1 (A/D 変換開始) にした場合、選択したチャンネルに対して A/D 変換を開始します。温度センサおよび内部基準電圧を同時に選択しないでください。また、内部基準電圧を高電位基準電圧に選択した場合、温度センサまたは内部基準電圧の A/D 変換は実行できません。
2. A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy、ADTSDR、または ADOCDR) に格納されます。ADCMPCR.CMPAE が 1 のとき、ウィンドウ A に対して ADCMPANSRy または ADCMPANSER レジスタのビットを設定すると、A/D 変換結果を設定した ADCMPDR0/1 レジスタ値と比較します。ADCMPCR.CMPBE が 1 のとき、ウィンドウ B に対して ADCMPBNSR レジスタのビットを設定すると、A/D 変換結果を、ADWINULB/ADWINLLB レジスタ値と比較します。
3. 比較した結果、ウィンドウ A が ADCMPLR0/1 または ADCMPLER に設定された条件と一致すると、コンペアウィンドウ A フラグ (ADCMPSR0.CMPSTCHAn、ADCMPSR1.CMPSTCHAn、ADCMPSEr.CMPSTTSA または ADCMPSEr.CMPSTOCA) ビットが 1 になります。ADCMPCR.CMPAIE ビットが 1 であれば、ADC140_CMPAI 割り込み要求 (レベル) が発生します。同様に、ウィンドウ B が ADCMPBNSR.CMPLB に設定された条件と一致すると、コンペアウィンドウ B フラグ (ADCMPBSR.CMPSTB) のビットが 1 になります。ADCMPCR.CMPBIE ビットが 1 であれば、ADC140_CMPBI 割り込み要求が発生します。
4. 選択したすべての A/D 変換および比較が終了すると、スキャンが再開します。
5. ADC140_CMPAI および ADC140_CMPBI 割り込みを受け付けると、ADCSR.ADST ビットは 0 (A/D 変換停止) になり、コンペアフラグが 1 であるチャンネルの処理を行います。
6. ウィンドウ A のすべてのコンペアフラグをクリアすると、ADC140_CMPAI 割り込み要求は取り消されます。同様に、ウィンドウ B のすべてのコンペアフラグをクリアすると、ADC140_CMPBI 割り込み要求はキャンセルされます。再度比較を実行するには、A/D 変換を再開してください。

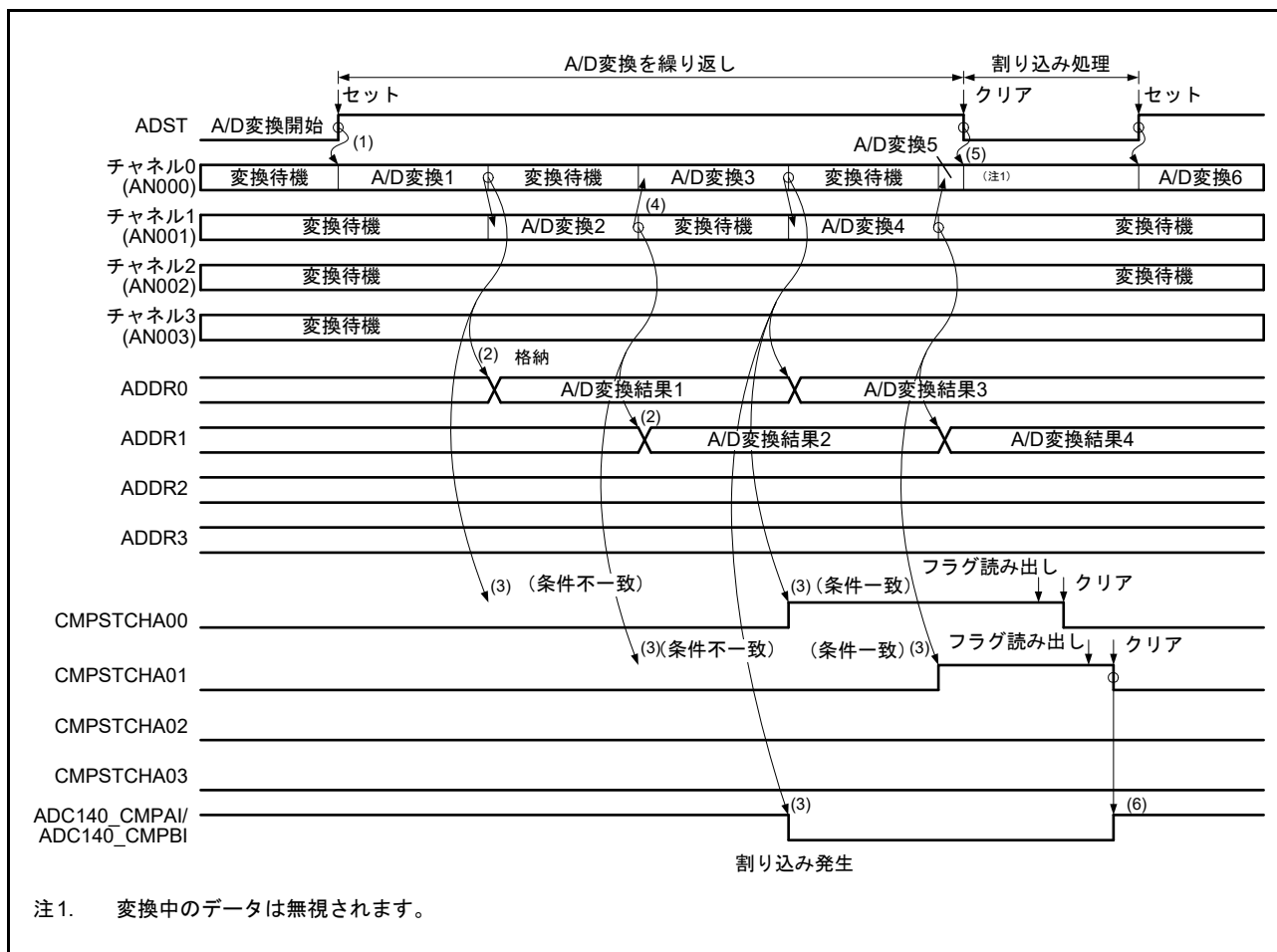


図 35.21 コンペア機能の動作例 (AN000 ~ AN003 を比較)

35.3.5.2 コンペア機能のイベント出力

コンペア機能のイベント出力は、上側基準電圧値と下側基準電圧値をそれぞれウィンドウ A とウィンドウ B に設定し、選択したチャンネルの A/D 変換値を上側/下側基準電圧値と比較します。その後、イベント条件 (A or B, A and B, A XOR B) とウィンドウ A およびウィンドウ B の比較結果に従って、ADC14_WCMPPM/ADC14_WCMPUM イベントを出力します。

ウィンドウ A で複数のチャンネルを選択し、チャンネルのうち 1 つでも比較条件と一致した場合、ウィンドウ A の比較結果は一致となります。この機能を使用する場合、A/D 変換はシングルスキャンモードで行ってください。

ウィンドウ A の場合、AN000 ~ AN027 のチャンネルのどれか、内部基準電圧、温度センサ出力を選択できます。ただし、内部基準電圧または温度センサ出力を選択する場合、同時に他のチャンネルを選択することはできません。また、ADC14 の高電位基準電圧に内部基準電圧を選択した場合、内部基準電圧および温度センサ出力を A/D 変換することはできません。

ウィンドウ B の場合、AN000 ~ AN014, AN016 ~ AN025 のチャンネルのどれか、内部基準電圧、温度センサ出力を選択できます。ただし、内部基準電圧または温度センサ出力を選択する場合、同時に他のチャンネルを選択することはできません。また、高電位基準電圧に内部基準電圧を選択した場合、内部基準電圧および温度センサ出力を A/D 変換することはできません。

コンペア機能のイベント出力使用時の設定手順および設定例を以下に示します。

1. ADCSR.ADCS[1:0] ビットが 00b (シングルスキャンモード) であることを確認してください。
2. ADCMPANSR0/1 および ADCMPANSER レジスタでウィンドウ A のチャンネルを選択します。ADCMPPLR0/1 および ADCMPPLER レジスタにウィンドウ比較条件を設定します。ADCMPDR0/1 レジスタに上側および下側基準値を設定します。
3. ADCMPBNSR レジスタでウィンドウ B のチャンネルおよび比較条件を設定し、ADWINULB/ADWINLLB レジスタで上側および下側基準値を設定します。
4. ウィンドウ A/B の複合条件、ウィンドウ A/B 動作許可、および割り込み出力許可を ADCMPCR レジスタに設定してください。

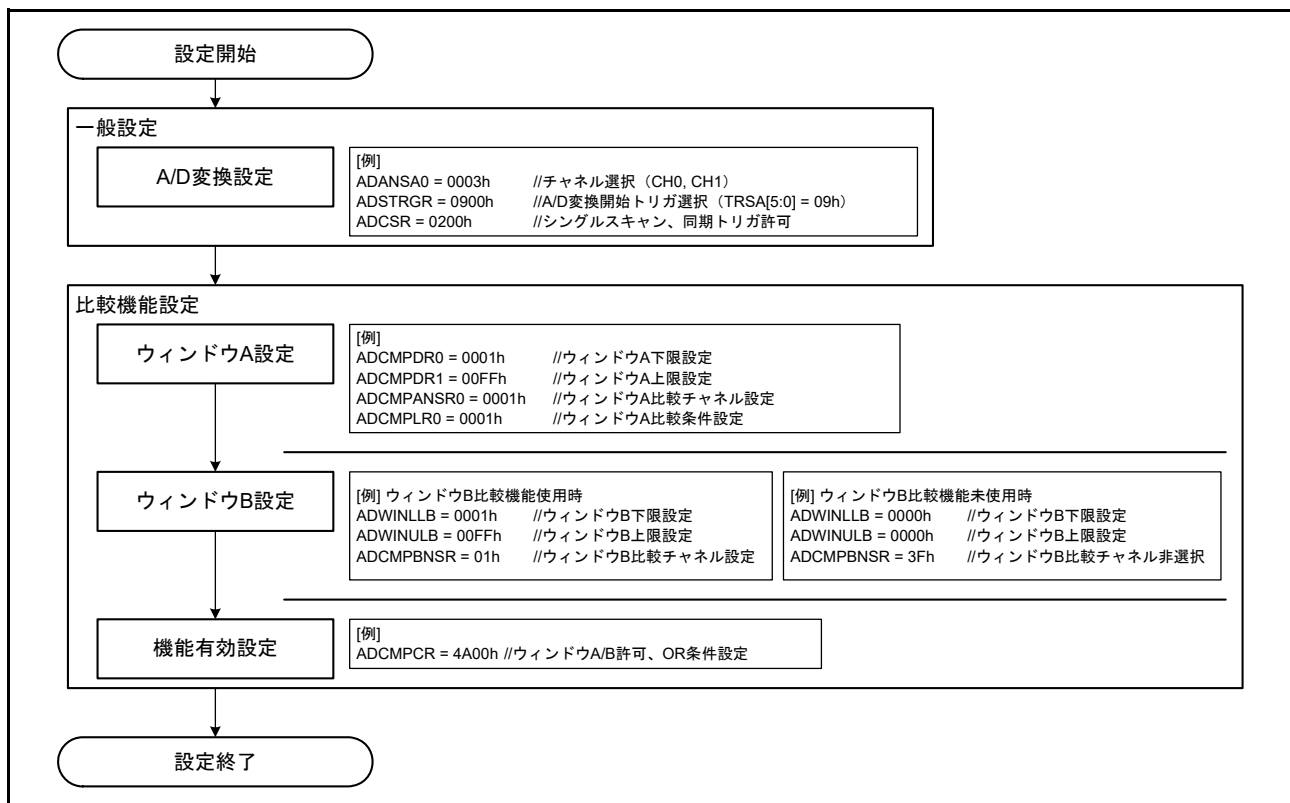


図 35.22 コンペア機能のイベント出力使用時の設定例

コンペア機能でウィンドウ A のみを使用するときのイベント出力の使用方法について、以下に注意点を示します。

- ウィンドウ A および B をどちらも有効にしてください (ADCMPCR.CMPAE = 1, ADCMPCR.CMPBE = 1)
- ウィンドウ A および B の複合条件を「OR 条件」にしてください (ADCMPCR.CMPAB[1:0] = 00b)
- ウィンドウ B の比較対象チャンネルを「非選択」にしてください (ADCMPCBSR.CMPCHB[5:0] = 111111b)
- ウィンドウ B の比較条件を、常に不一致を表す「0 < 結果 < 0」に設定してください (ADCMPCR.WCMPPE = 1, ADWINLLB[15:0] = ADWINULB[15:0] = 0000h, ADCMPCBSR.CMPLB = 1)

コンペア機能のイベント出力動作例を [図 35.23](#) に示します。

シングルスキャンが一度終了するタイミングで、スキャン終了イベント (ADC140_ADI) を出力します。その後、ADCMPCR.CMPAB[1:0] の設定に従い、1PCLKB 遅れて一致または不一致イベント (ADC140_WCMPM/ADC140_WCMPUM) を出力します。

注 . 一致イベントと不一致イベントは排他的であるため、2つのイベントを同時に出力することはありません。

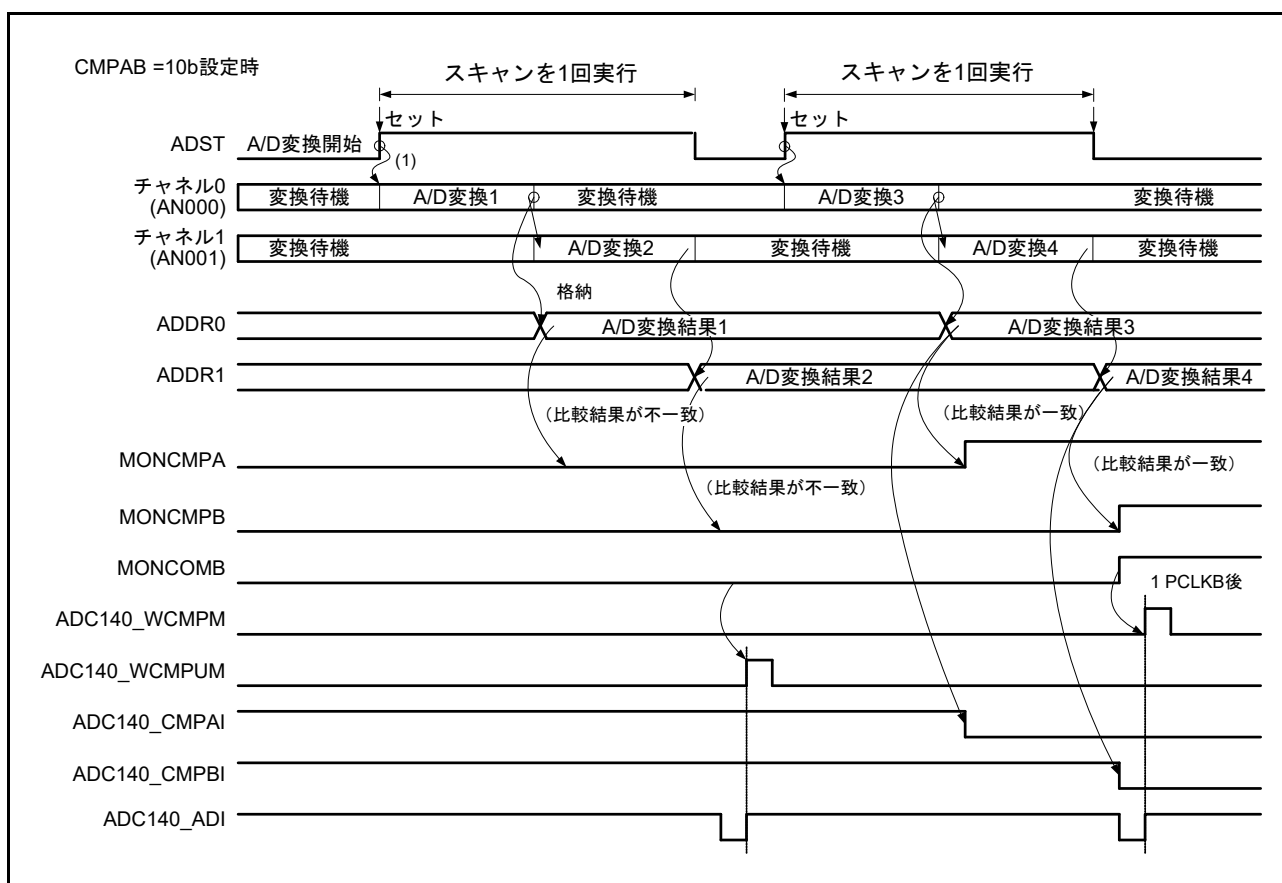


図 35.23 コンペア機能のイベント出力動作例 (AN000 ~ AN001 を比較)

注 . コンペア機能のイベント出力は、ADCMPCR.CMPAB[1:0] の設定に従い、ウィンドウ A およびウィンドウ B の比較結果の一致/不一致を出力します。

注 . ウィンドウ A の比較結果は、ウィンドウ A の比較対象チャンネルの比較結果の論理和です。ウィンドウ A および B の比較結果は、A/D 変換ごとに更新され、シングルスキャンが終了しても保持されます。比較結果をクリアするには、ADCMPCR.CMPAE および ADCMPCR.CMPBE を 0 にしてください。

35.3.5.3 コンペア機能の制限事項

コンペア機能には以下の制限事項が適用されます。

- コンペア機能は、自己診断機能またはダブルトリガモードと一緒に使用できません。ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB ではコンペア機能は使用できない
- 一致/不一致イベント出力を使用する場合はシングルスキャンモードにすること
- ウィンドウ A に温度センサまたは内部基準電圧を選択する場合、ウィンドウ B 動作は無効
- ウィンドウ B に温度センサまたは内部基準電圧を選択する場合、ウィンドウ A 動作は無効
- ウィンドウ A およびウィンドウ B に同じチャネルを設定することはできない
- 基準電圧値を設定する際は、高電位基準電圧値が低電位基準電圧値以上となるように設定

35.3.6 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェア起動、同期トリガ (ELC) による起動および非同期トリガ (ADTRG0) による起動が選択できます。スキャン変換開始遅延時間 (t_D) の後に、断線検出アシスト処理、自己診断変換処理をすべて行い、この後に A/D 変換処理が開始されます。

図 35.24 に、ソフトウェアトリガまたは同期トリガ (ELC) 起動によりスキャン変換を行う場合のタイミングを示します。また、図 35.25 に、非同期トリガ (ADTRG0) 起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、断線検出アシスト処理時間 (t_{DIS}) (注 1)、自己診断変換時間 (t_{DIAG} および t_{DSD}) (注 2)、A/D 変換処理時間 (t_{CONV})、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。

A/D 変換処理時間 (t_{CONV}) は、入力サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、ADC14 内のサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には、ADSSSTR レジスタでサンプリング時間を調整することが可能です。

逐次変換時間 (t_{SAM}) は、14 ビット精度および高速モード選択時で 37.5 ステート (ADCLK)、14 ビット精度および低電流モード選択時で 46.5 ステート (ADCLK)、12 ビット精度および高速モード選択時で 31.5 ステート (ADCLK)、12 ビット精度および低電流モード選択時で 40.5 ステート (ADCLK) となります。スキャン変換時間を表 35.10 に示します。

選択チャネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + (t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \text{ (注 3)} \times n) + t_{ED}$$

連続スキャンの 1 サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省いた時間です。連続スキャンの 2 サイクル目以降は、 $(t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \text{ (注 3)} \times n)$ 固定となります。

注 1. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$ となります。

温度センサまたは内部基準電圧を A/D 変換する場合のみ、15ADCLK ステートの自動ディスチャージ期間が入ります。

注 2. 自己診断機能を使用しない場合は、 $t_{DIAG} = 0$ 、 $t_{DSD} = 0$ となります。

注 3. 選択したすべてのチャネルの入力サンプリング時間 (t_{SPL}) が同じの場合、この要素は $t_{CONV} \times n$ となります。チャネルごとに異なるサンプリング時間の場合、この要素は選択したチャネルごとに設定した t_{SPL} と t_{SAM} の和となります。

表 35.10 スキャン変換時間 (ADCLKとPCLKBのサイクル数)

項目			シンボル	種別/条件			単位
				同期トリガ (注6)	非同期トリガ	ソフトウェアトリガ	
スキャン開始処理時間 (注1) (注2)	グループA優先制御動作によるグループAのA/D変換	グループB中断あり (グループAのA/D変換要因によってグループBを停止させた後、グループAを起動)	t_D	3PCLKB + 6ADCLK、5PCLKB + 3ADCLK (注5)	—	—	サイクル
		グループB中断なし (グループAのA/D変換要因によって起動)		2PCLKB + 4ADCLK	—	—	
	自己診断有効時のA/D変換	自己診断変換開始時		2PCLKB + 6ADCLK	4PCLKB + 6ADCLK	6ADCLK	
	上記以外			2PCLKB + 4ADCLK	2PCLKB + 4ADCLK	4ADCLK	
断線検出アシスト処理時間			t_{DIS}	ADNDIS[3:0]設定値 (初期値 00h) × ADCLK (注3)			
自己診断変換処理時間 (注1)	サンプリング時間		t_{DIAG}	t_{SPL}	ADSSTR00設定値 (初期値 = 0Dh) × ADCLK (注4) + 0.5ADCLK (注4)		
	逐次変換時間	12ビット変換精度		t_{SAM}	高速モードで31.5ADCLK 低電流モードで40.5ADCLK		
		14ビット変換精度			高速モードで37.5ADCLK 低電流モードで46.5ADCLK		
	自己診断変換終了からアナログチャンネルサンプリング開始までの待機時間			t_{DED}	2ADCLK		
	連続スキャンモードでの最後のチャンネル変換終了から自己診断サンプリング開始までの待機時間			t_{DSD}	2ADCLK		
A/D変換処理時間 (注1)	サンプリング時間		t_{CONV}	t_{SPL}	ADSSTRn (n = 0 ~ 14, L, T, O) 設定値 (初期値 = 0Dh) × ADCLK + 0.5ADCLK		
	逐次変換時間	12ビット変換精度		t_{SAM}	高速モードで31.5ADCLK 低電流モードで40.5ADCLK		
		14ビット変換			高速モードで37.5ADCLK 低電流モードで46.5ADCLK		
スキャン終了処理時間 (注1)			t_{ED}	1PCLKB + 3ADCLK、2PCLKB + 3ADCLK (注5)			

- 注 1. t_D 、 t_{SPLSH} 、 t_{DIAG} 、 t_{CONV} 、 t_{ED} の各タイミングについては、[図 35.24](#)、[図 35.25](#) を参照してください。
- 注 2. ソフトウェア書き込み、またはトリガ入力から A/D 変換開始までの最大時間です。
- 注 3. 温度センサ出力または内部基準電圧を A/D 変換する場合、値は 0Fh (15ADCLK) 固定です。
- 注 4. サンプリング時間は電気的特性を満たすように設定してください。
- 注 5. ADCLK が PCLKB (PCLKB/ADCLK の分周率 = 1 : 2 または 1 : 4) より速い場合。
- 注 6. タイマ出力からトリガ入力までの経路で使われる時間は含みません。

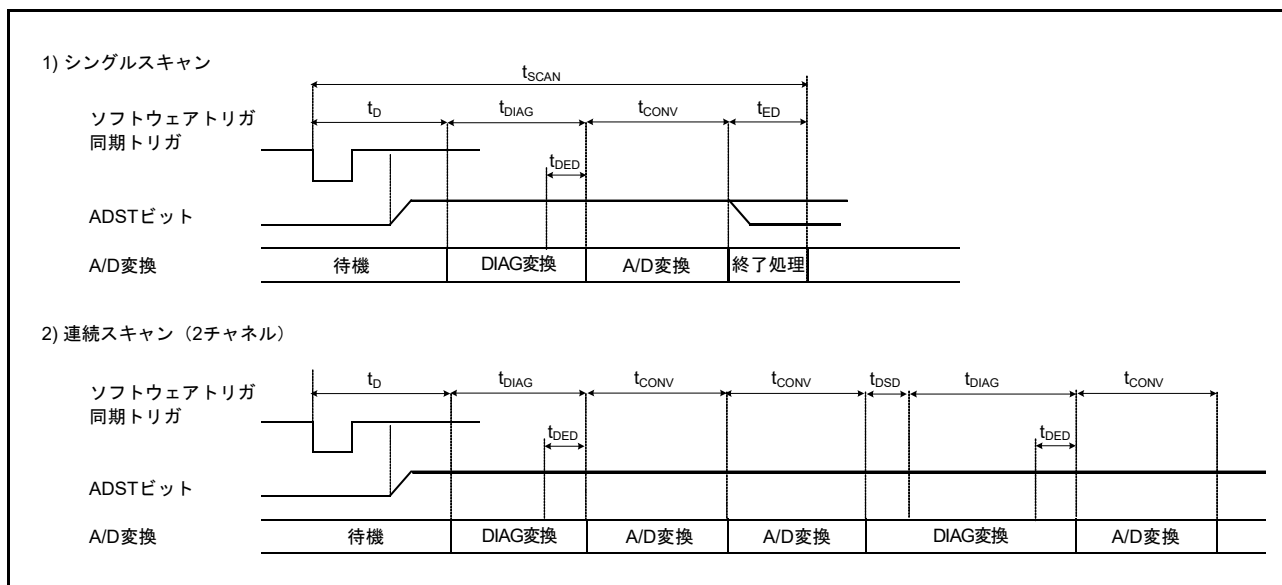


図 35.24 スキャン変換のタイミング (ソフトウェア起動、同期トリガ入力 (ELC) 起動の場合)

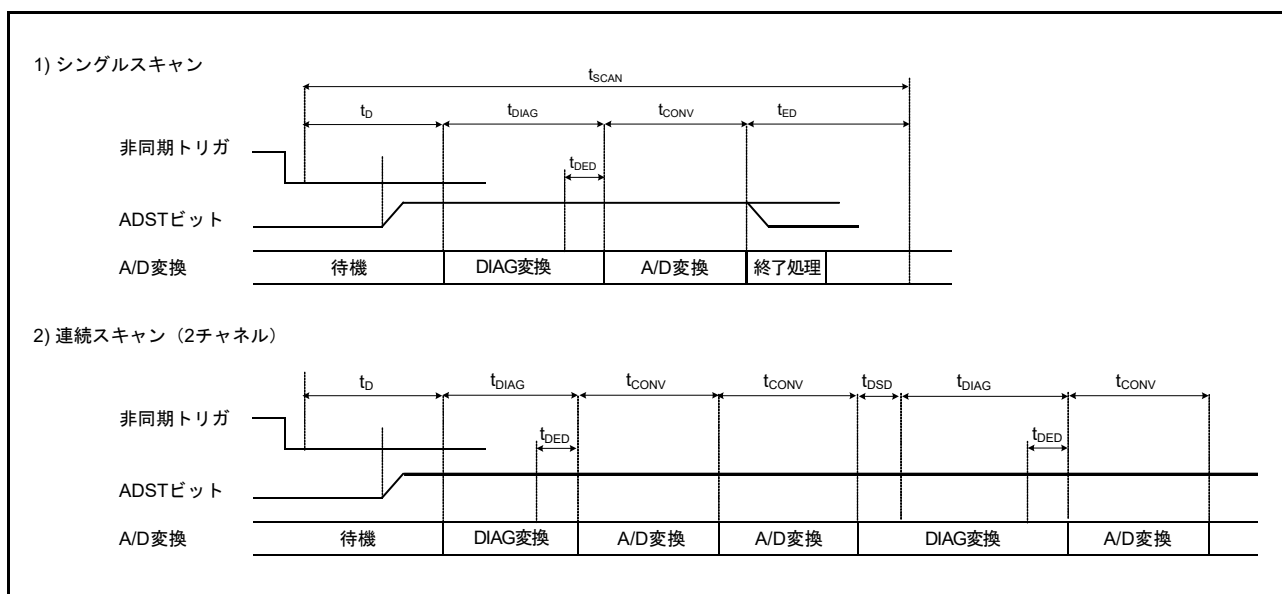


図 35.25 スキャン変換のタイミング (非同期トリガ入力 (ADTRG0) 起動の場合)

35.3.7 A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを1にすることにより、CPU、DTC および DMAC によって A/D データレジスタ (ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR) を読み出す際、自動的に ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR レジスタを 0000h にクリアできます。この機能を使うことにより、ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR レジスタの未更新故障を検出することが可能です。以下に、ADDRy レジスタの自動クリア機能が無効時と有効時の例をそれぞれ示します。

- ADCER.ACE ビットが0 (自動クリア禁止) の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、ADDRy レジスタの値は古いデータ (0111h) を保持します。さらに A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) を汎用レジスタに保持できます。ただし、未更新のチェックを行う場合、古いデータを SRAM または汎用レジスタに逐一保持しながらチェックを行う必要があります
- ADCER.ACE ビットが1 (自動クリア許可) の場合には、ADDRy = 0111h が CPU、DTC または DMAC によって読み出された場合、ADDRy レジスタは自動的に 0000h にクリアされます。A/D 変換結果 (0222h) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合は、0000h が汎用レジスタに保持されます。読み出されたデータ値が 0000h であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます

35.3.8 A/D 変換値加算／平均モード

A/D 変換値加算モードは、同じチャンネルを 1、2、3、4、または 16 (注1) 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。A/D 変換値平均モードは、同じチャンネルを 2 または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。

この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が向上します。ただし、A/D 変換精度が必ず向上することを保証する機能ではありません。

A/D 変換値加算／平均モードは、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換に使用できます。

注 1. 12 ビット精度を選択している場合、設定できる加算回数は 16 回のみです。

35.3.9 断線検出アシスト機能

ADC14は、A/D変換開始前に、サンプリング容量の電荷を所定の状態（VREFH0またはVREFL0）に固定する断線検出アシスト機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 35.26 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。図 35.27 にプリチャージを選択した場合の断線検出例を示します。図 35.28 にディスチャージを選択した場合の断線検出例を示します。

下記の機能のいずれかが使用されている場合、断線検出アシスト機能は無効にしてください。

- 温度センサ
- 内部基準電圧
- A/D 自己診断

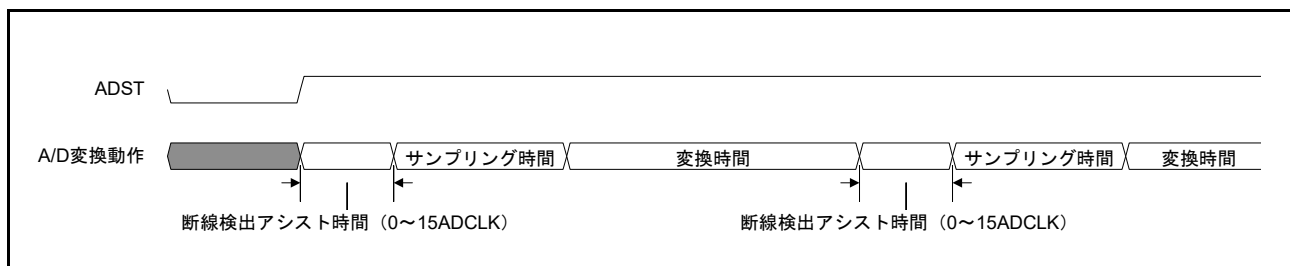


図 35.26 断線検出アシスト機能を使用した場合の A/D 変換動作図

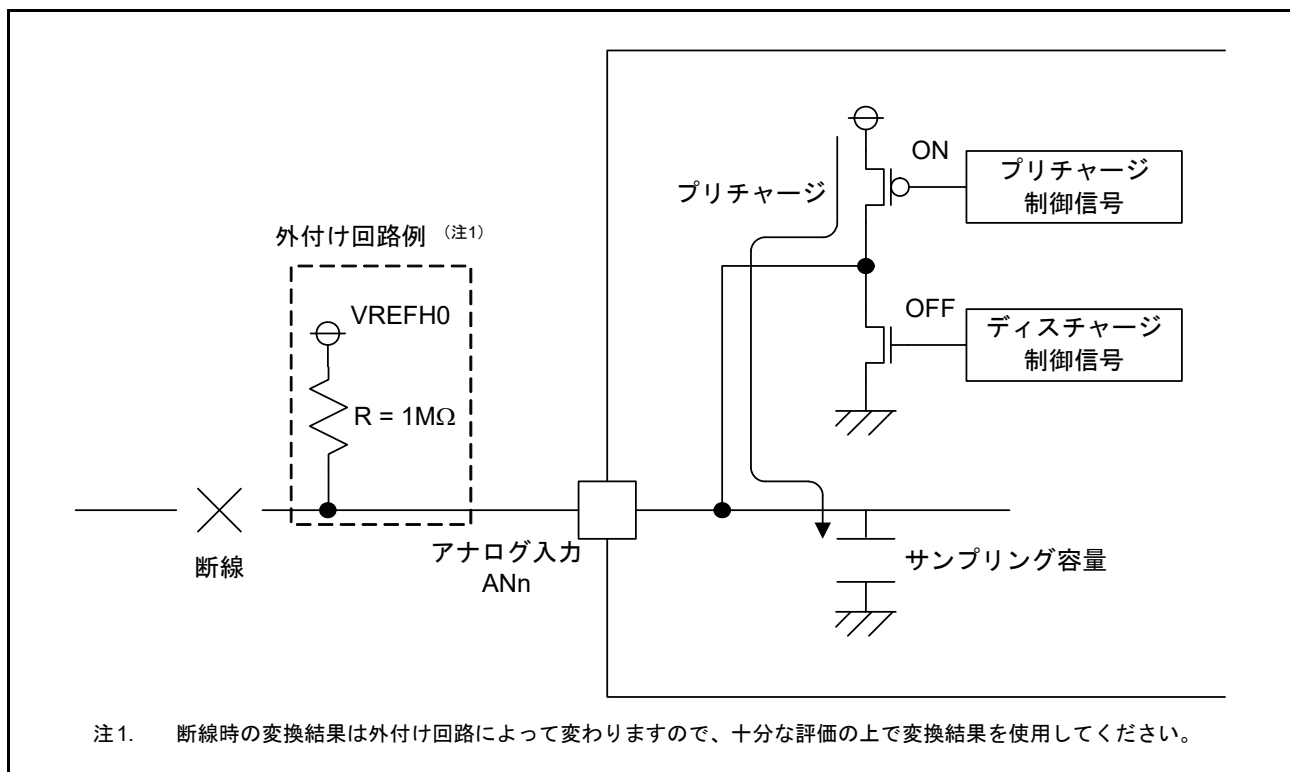


図 35.27 プリチャージを選択した場合の断線検出例

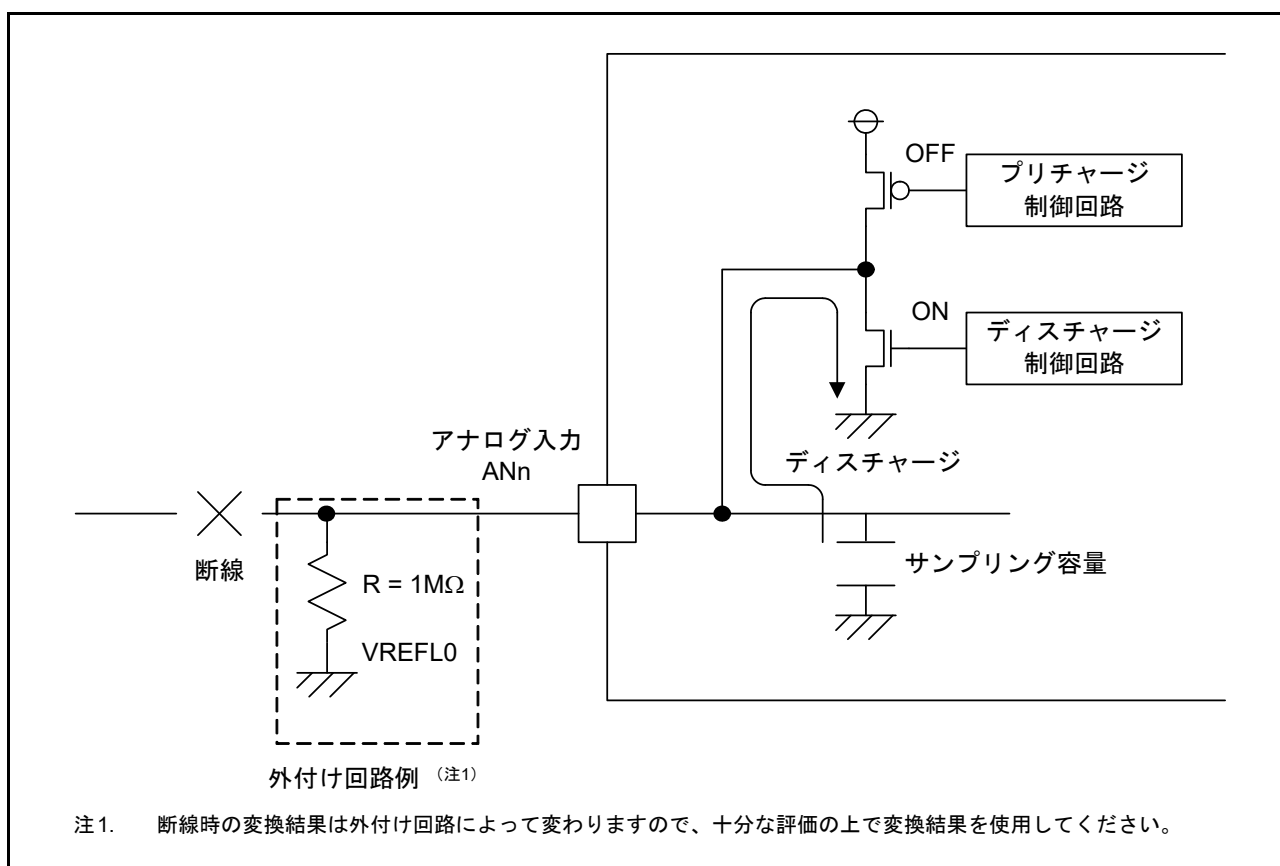


図 35.28 ディスチャージを選択した場合の断線検出例

35.3.10 非同期トリガによる A/D 変換の開始

非同期トリガの入力により AD 変換を開始することが可能です。非同期トリガで A/D 変換を開始する方法を以下に示します。

1. PmnPFS レジスタの端子機能を設定します。
2. A/D 変換開始トリガ選択ビット (ADSTRGR.TRSB[5:0]) を 000000b にします。
3. 非同期トリガ (ADTRG0 端子) に High を入力します。
4. ADCSR.TRGE ビットと ADCSR.EXTRG ビットをどちらも 1 にしてください。

図 35.29 に非同期トリガ入力タイミングを示します。

非同期トリガは、グループスキャンモードで使用するグループ B の A/D 変換開始トリガ選択ビット (ADSTRGR.TRSB[5:0]) では選択できません。端子機能の設定については、「19. I/O ポート」を参照してください。

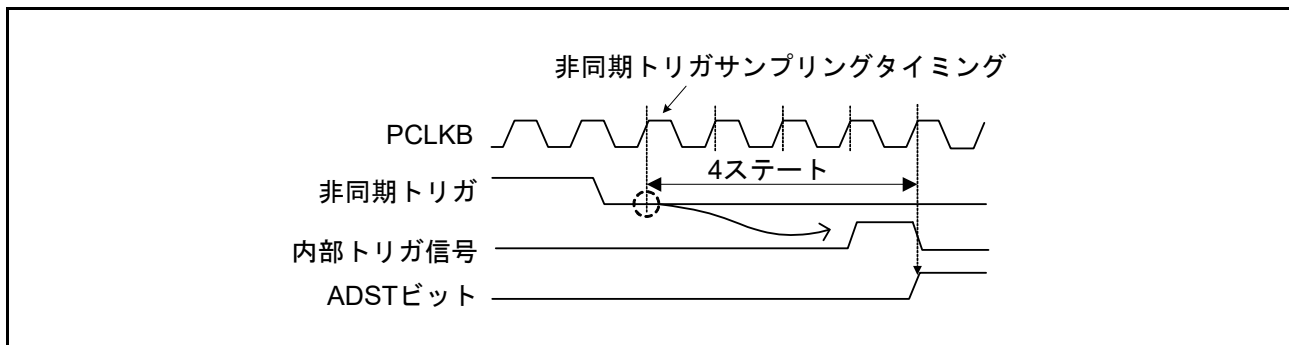


図 35.29 非同期トリガ入力タイミング

35.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始

A/D 変換は同期トリガ (ELC) によって開始できます。同期トリガで A/D 変換を開始する方法を以下に示します。

1. ADCSR.TRGE ビットを 1 にする。
2. ADCSR.EXTRG ビットを 0 にする。
3. ADSTRGR.TRSA[5:0]、ADSTRGR.TRSB[5:0] ビットで該当の A/D 変換開始要因を選択する。

35.4 割り込み要因と DTC/DMAC 転送要求

35.4.1 割り込み要求

ADC14 は、スキャン終了割り込み要求である ADC140_ADI、ADC140_GBADI 割り込みを CPU へ送信することが可能です。また、比較条件成立で、CPU への ADC140_CMPAI および ADC140_CMPBI 割り込みを発生します。

ADC140_ADI 割り込みは常時発生します。ADC140_GBADI 割り込みは、ADCSR.GBADIE ビットを 1 にすることで発生させることができます。同様に、ADC140_CMPAI および ADC140_CMPBI 割り込みは ADCMPCR.CMPAIE ビットおよび ADCMPCR.CMPBIE ビットを 1 にすることで発生させることができます。

また、ADC140_ADI または ADC140_GBADI 割り込み発生時に DTC または DMAC を起動できます。これらの割り込みで変換されたデータの読み出しを DTC または DMAC を起動して行くと、連続変換がソフトウェアの負担なく実現できます。

表 35.11 ADC14の割り込み要因およびELCイベント

動作			割り込み要求 または ELCイベント	割り込み 要求	DTC/DMAC 起動	ELC イベント 要求	機能
スキャン モード	ダブル トリガ モード	コンペア機能 (ウィンドウA、 ウィンドウB)					
シングル スキャン モード	非選択	非選択	ADC140_ADI	○	○	○	シングルスキャンの最後にADC140_ADI発生
		選択	ADC140_ADI	○	○	○	シングルスキャンの最後にADC140_ADI発生
			ADC140_CMPAI	○	×	×	ウィンドウAの比較条件一致でADC140_CMPAI発生
			ADC140_CMPBI	○	×	×	ウィンドウBの比較条件一致でADC140_CMPBI発生
			ADC140_WCMPPM	×	○	○	ウィンドウA/Bコンペア機能の条件一致でADC140_WCMPPM発生
		ADC140_WCMPUM	×	○	○	ウィンドウA/Bコンペア機能の条件不一致でADC140_WCMPUM発生	
	選択	非選択	ADC140_ADI	○	○	○	偶数回、スキャン終了時にADC140_ADI発生
連続 スキャン モード	非選択	非選択	ADC140_ADI	○	○	○	選択したすべてのチャンネルのスキャン終了時にADC140_ADI発生
		選択	ADC140_CMPAI	○	×	×	ウィンドウAの比較条件一致でADC140_CMPAI発生
		ADC140_CMPBI	○	×	×	ウィンドウBの比較条件一致でADC140_CMPBI発生	
グループ スキャン モード	非選択	非選択	ADC140_ADI	○	○	○	グループAのスキャン終了時にADC140_ADI発生
			ADC140_GBADI	○	○	×	グループBのスキャン終了時にグループB用のADC140_GBADI発生
		選択	ADC140_ADI	○	○	○	グループAのスキャン終了時にADC140_ADI発生
			ADC140_GBADI	○	○	×	グループBのスキャン終了時にグループB用のADC140_GBADI発生
			ADC140_CMPAI	○	×	×	ウィンドウAの比較条件一致でADC140_CMPAI発生
			ADC140_CMPBI	○	×	×	ウィンドウBの比較条件一致でADC140_CMPBI発生
	選択	非選択	ADC140_ADI	○	○	○	偶数回、グループAスキャン終了時にADC140_ADI発生
			ADC140_GBADI	○	○	×	グループBのスキャン終了時にグループB用のADC140_GBADI発生

○：使用可能 ×：使用不可

DTC の設定は「17. データトランスファコントローラ (DTC)」を、DMAC の設定は「16. DMA コントローラ (DMAC)」を参照してください。

35.5 イベントリンク機能

35.5.1 ELC へのイベント出力

ELC は、ADC140_ADI 割り込み要求信号をイベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ADC140_GBADI 割り込みおよび ADC140_CMPAI/ADC140_CMPBI 割り込みをイベント信号として使用することはできません。詳細は、[表 35.11 ADC14 の割り込み要因および ELC イベント](#) を参照してください。

35.5.2 ELC からのイベントによる ADC14 の動作

ADC14 は、以下のように、ELC の ELSRn 設定で指定した事前設定イベントによって A/D 変換を開始できます。

- ELC.ELSR8 レジスタで ELC_AD00 信号を選択する
- ELC.ELSR9 レジスタで ELC_AD01 信号を選択する

A/D 変換中に ELC_AD00 または ELC_AD01 イベントが発生した場合、そのイベントは無効となります。

35.6 基準電圧の選択

ADC14 は高電位基準電圧に VREFH0 または AVCC0 を、内部基準電圧および低電位基準電圧に VREFL0 または AVSS0 を選択できます。これらの設定は A/D 変換開始前に行ってください。本設定の詳細については、ADHVREFCNT レジスタの説明を参照してください。

35.7 高電位基準電圧に内部基準電圧を選択する A/D 変換手順

ここでは、高電位基準電圧に内部基準電圧を選択したときの A/D 変換手順について説明します。この場合、AN000 ~ AN014、AN016 ~ AN025 のチャンネルに対しての A/D 変換は可能ですが、内部基準電圧および温度センサ出力の A/D 変換は実行できません。

A/D 変換手順は下記のとおりです。

1. ADHVREFCNT.HVSEL[1:0] を 11b にして、ADC14 の高電位基準電圧パスをディスチャージしてください。
2. ソフトウェア内で $1\mu\text{s}$ のディスチャージ時間待機してください。
3. ADHVREFCNT.HVSEL[1:0] を 10b にして、高電位基準電圧に内部基準電圧を選択してください。

注 . ADC14 はプロテクト機能を有しており、VREFH0 (ADHVREFCNT.HVSEL[1:0] = 01b) や AVCC0 (ADHVREFCNT.HVSEL[1:0] = 00b) 選択からディスチャージ (ADHVREFCNT.HVSEL[1:0] = 11b) を経ずに内部基準電圧 (ADHVREFCNT.HVSEL[1:0] = 10b) を選択することはできません。ディスチャージを経ずに内部基準電圧を設定した場合は、強制的にディスチャージの設定を行います。 $1\mu\text{s}$ 後、再度、内部基準電圧の選択を行ってください。

4. 内部基準電圧が安定するまでソフトウェア内で待機してから ($5\mu\text{s}$)、A/D 変換を実行してください。

高電位基準電圧に内部基準電圧を選択する手順の波形図を [図 35.30](#) に示します。

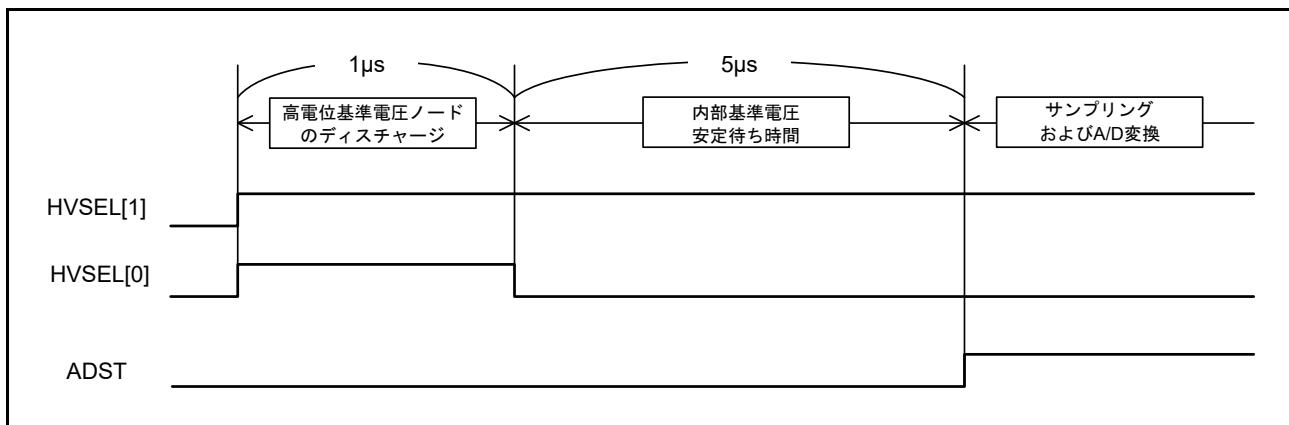


図 35.30 高電位基準電圧に内部基準電圧を選択する手順

35.8 使用上の注意事項

35.8.1 データレジスタの読み出し注意事項

以下のレジスタの読み出しは、ハーフワード単位で行ってください。

- A/D データレジスタ
- A/D データ 2 重化レジスタ A
- A/D データ 2 重化レジスタ B
- A/D 温度センサデータレジスタ
- A/D 内部基準電圧レジスタ
- A/D 自己診断データレジスタ

バイト単位で上位バイト/下位バイトの2回に分けてレジスタを読み出すことにより、1回目に読み出したA/D変換値と2回目に読み出したA/D変換値で矛盾することがあります。これを避けるために、バイト単位のデータレジスタの読み出しは行わないでください。

35.8.2 A/D 変換停止時の注意事項

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、[図 35.31](#) のフローチャートの手順に従ってください。

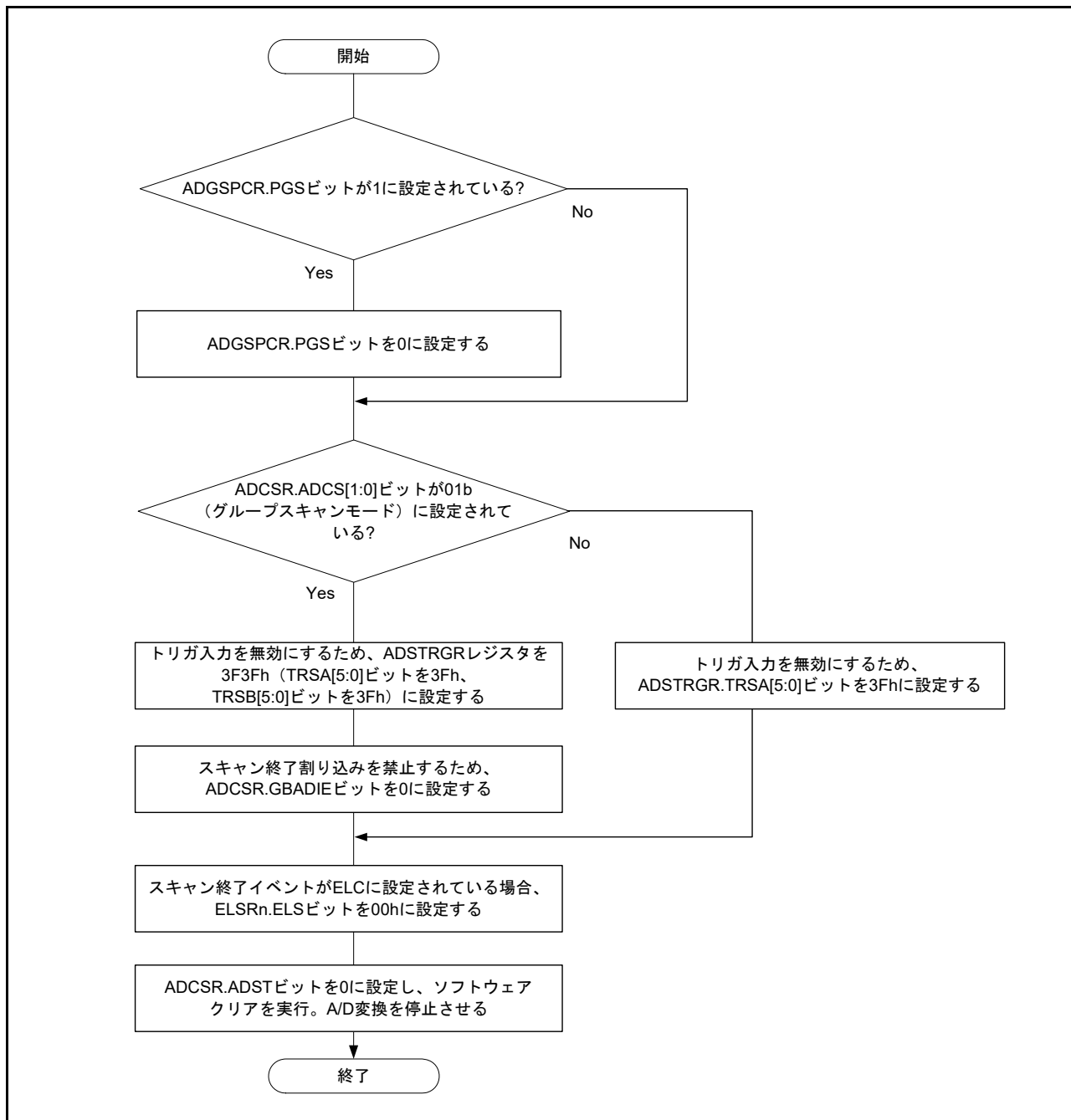


図 35.31 ソフトウェアによる ADCSR.ADST ビットのクリア手順

35.8.3 A/D 変換強制停止と開始時の動作タイミング

ADC14 の停止状態のアナログ部を ADCSR.ADST ビットへの 1 書き込み時に再開するには、ADCLK で最大 6 クロックの時間を必要とします。ADC14 の動作中のアナログ部を ADCSR.ADST ビットへの 0 書き込み時に強制終了するには、ADCLK で最大 3 クロックの時間を必要とします。

35.8.4 スキャン終了割り込み処理の制限事項

トリガ起動による同一アナログ入力のスキャンを 2 回行う場合などで、1 回目のスキャン終了割り込み発生から、2 回目のスキャンによる最初のアナログ入力の A/D 変換が終了するまでに、CPU が A/D 変換データを読み出し終えていなければ、1 回目の A/D 変換データが 2 回目の A/D 変換データで上書きされます。

35.8.5 モジュールストップ状態の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、ADC14 の動作を許可または禁止することが可能です。ADC14 はリセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1 μ s 以上待ってから A/D 変換を開始してください。詳細は、「[10. 低消費電力モード](#)」を参照してください。

35.8.6 低消費電力状態への遷移に関する制限事項

モジュールストップ状態やソフトウェアスタンバイモードへ遷移する場合は、事前に A/D 変換を停止させてください。ADCSR.ADST ビットを 0 にし、ADC14 のアナログ部が停止するまでの時間を確保する必要があります。ソフトウェアにより ADCSR.ADST ビットをクリアするには、[図 35.31](#) に示す手順に従ってください。その後、ADCLK の 3 クロック期間待った後、モジュールストップ状態やソフトウェアスタンバイモードへ遷移させてください。

35.8.7 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、ADC14 の絶対精度誤差が生じます。この誤差は、アナログ入力端子にプルアップ/プルダウン抵抗 (R_p) と信号源抵抗 (R_s) の抵抗分圧分の誤差電圧が入力されるために生じます。絶対精度の誤差は下式で表されます。

$$\text{最大絶対精度誤差 (LSB)} = 4095 \times R_s / (R_s + R_p)$$

断線検出アシスト機能は、十分な評価の上で使用してください。

35.8.8 ADHSC ビット書き換え手順

A/D変換選択ビット (ADCSR.ADHSC) を0から1または1から0に書き換える場合、事前にADC14をスタンバイ状態にしておく必要があります。ADCSR.ADHSCビットは下記の手順で変更してください。スリープビット (ADHVREFCNT.ADSL P) を0にしてから1 μ s以上待ってからA/D変換を開始してください。

ADCSR.ADHSCビットは下記の手順で変更してください。

1. スリープビット (ADHVREFCNT.ADSL P) を1にします。
 2. 0.2 μ s以上待ってからA/D変換選択ビット (ADCSR.ADHSC) を変更してください。
 3. 4.8 μ s以上待ってからスリープビット (ADHVREFCNT.ADSL P) を0にしてください。
- 注. A/D変換選択ビット (ADCSR.ADHSC) を変更する場合以外でスリープビット (ADHVREFCNT.ADSL P) を1にすることはできません。
- 注. A/D変換選択ビット (ADCSR.ADHSC) が1の場合はスリープビットをリセットしないでください。本ビットを0にした後、または動作モードがモジュールストップモードに遷移した後は、ADCSR.ADHSCビットの書き換え手順に従いスリープビットをリセットしてください。

35.8.9 動作モードおよびステータスビットについての注意事項

下記は動作モードおよびステータスビットの注意事項の一覧です。

- 自己診断の電圧値 (ADCER.DIAGVAL[1:0]) は、ADCER.DIAGLD を1に設定してから選択してください
- ダブルトリガモードは、ADCSR.DBLE を0から1にした後、1回目のスキャンとして動作します
- コンペア機能のステータスマニタビット (MONCMPA、MONCMPB、MONCOMB) は、ADCMPCR.CMPAE および ADCMPCR.CMPBE を0にした後、初期化されます

35.8.10 ボード設計に関する注意事項

デジタル回路とアナログ回路の間ができるだけ離れるように、ボードを設計してください。また、デジタル信号線とアナログ信号線は、交差させたり互いに近づけたりしないでください。これらに従わないと、アナログ信号にノイズが発生し、A/D変換精度に影響を及ぼします。アナログ入力端子 (AN000 ~ AN014、AN016 ~ AN025)、基準電源端子 (VREFH0)、基準グランド端子 (VREFL0)、アナログ電源端子 (AVCC0) は、アナロググランド端子 (AVSS0) を使用したデジタル回路と距離を離すようにしてください。アナロググランド端子 (AVSS0) は、ボード上の安定したデジタルグランド端子 (VSS) に接続してください (単一グランドプレーン接続)。

35.8.11 ノイズ低減についての注意事項

過剰電圧などの異常電圧によってアナログ入力端子 (AN000 ~ AN014, AN016 ~ AN025) が破壊されないように、AVCC0 および AVSS0 間、ならびに VREFH0 および VREFL0 間にコンデンサを設置する必要があります。また、アナログ入力端子 (AN000 ~ AN014, AN016 ~ AN025) を保護するため、[図 35.32](#) に示すように保護回路を接続してください。

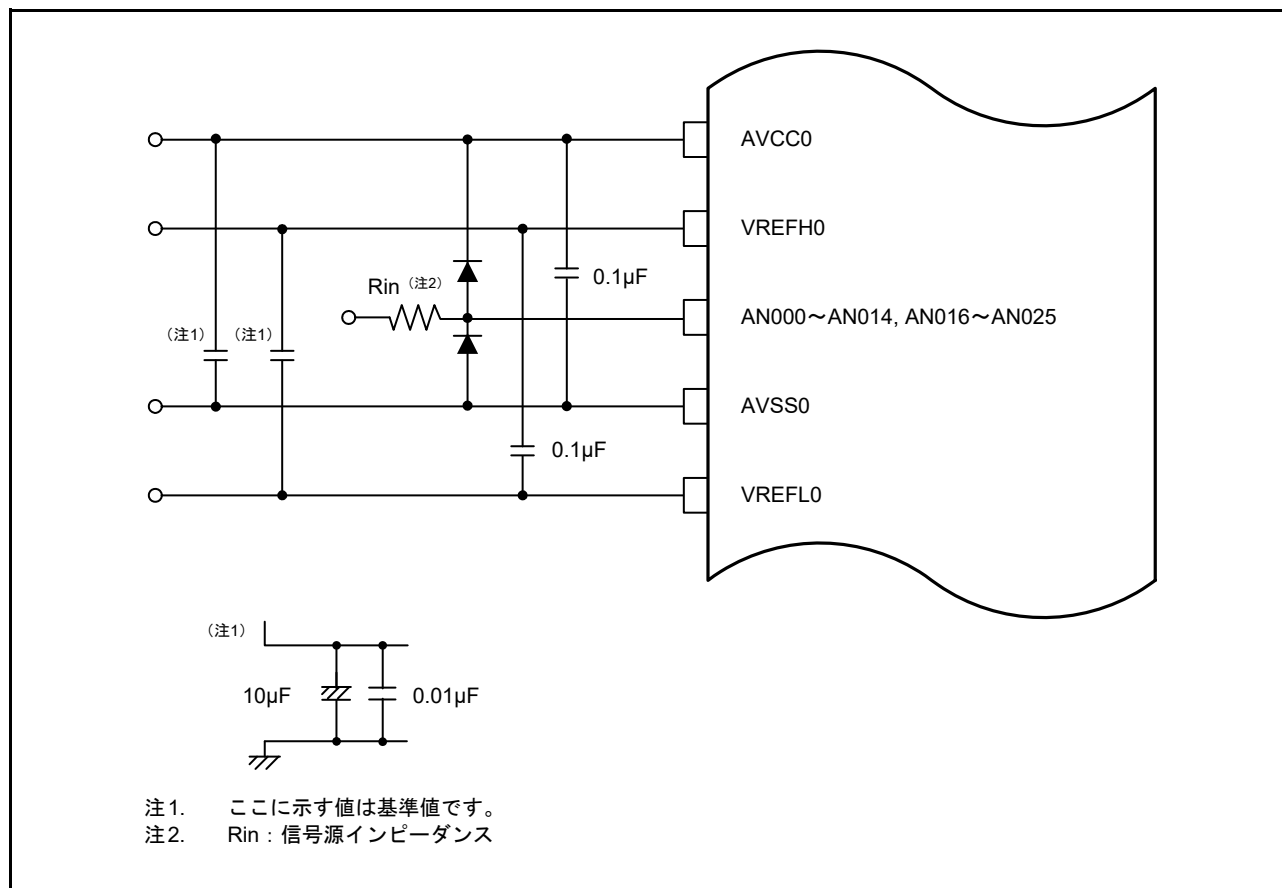


図 35.32 アナログ入力用保護回路例

35.8.12 14ビットA/Dコンバータ入力を使用する場合のポートの設定

高精度チャネルを使用する場合は、ポート 0 を汎用 I/O、IRQ2、IRQ3 入力、および TS 送信ポートとして使用しないでください。通常精度チャネルを使用している場合は、A/D アナログ入力とデジタル出力に同じポートは使用しないことを推奨します。A/D アナログ入力としても使用しているデジタル出力を出力信号用に使用する場合は、A/D 変換を複数回実行し、最大値と最小値を除いた平均をとるなどの対策を行ってください。

35.8.13 ADC14、OPAMP、ACMPLP 間の関係

表 35.12 に示す A/D 変換対象は、A/D 変換中の OPAMP、および ACMPLP 入力に選択すべきではありません。

表 35.12 A/D 変換中に選択すべきでない OPAMP、および ACMPLP 端子一覧

14ビットA/D変換対象	OPAMP	ACMPLP
AN000	AMP0+	—
AN001	AMP0-	—
AN005	AMP2-	—
AN006	AMP2+	—
AN007	AMP1-	—
AN008	AMP1+	—
AN011	AMP3+	—
AN012	AMP3-	—
AN016	—	CMPREF1
AN017	—	CMPIN1
AN018	—	CMPREF0
AN019	—	CMPREF1
AN020	—	CMPIN1
AN021	—	CMPREF0
AN022	—	CMPIN0
AN023	—	CMPIN0

35.8.14 ソフトウェアスタンバイモードの解除についての注意事項

ソフトウェアスタンバイモードから通常モードへの遷移後は、1 μ s 待ってから A/D 変換を開始してください。

36. 12ビットD/Aコンバータ (DAC12)

36.1 概要

本MCUは、12ビットD/Aコンバータ (DAC12) を内蔵しています。

表 36.1 に DAC12 の仕様を、図 36.1 に DAC12 のブロック図を、表 36.2 に入出力端子を示します。

表 36.1 DAC12の仕様

項目	内容
分解能	12ビット
出力チャンネル	1チャンネル
アナログモジュール間の干渉低減	D/A変換回路とA/D変換回路の干渉を低減 D/A変換データ更新タイミングは、ADC14からの同期D/A変換許可入力信号により制御され、これにより、DAC12ラッシュカレントのA/D変換精度に及ぼす影響を低減
モジュールストップ機能	モジュールストップ状態を設定して消費電力を低減
イベントリンク機能 (入力)	イベント信号の入力により、DA0変換の開始が可能

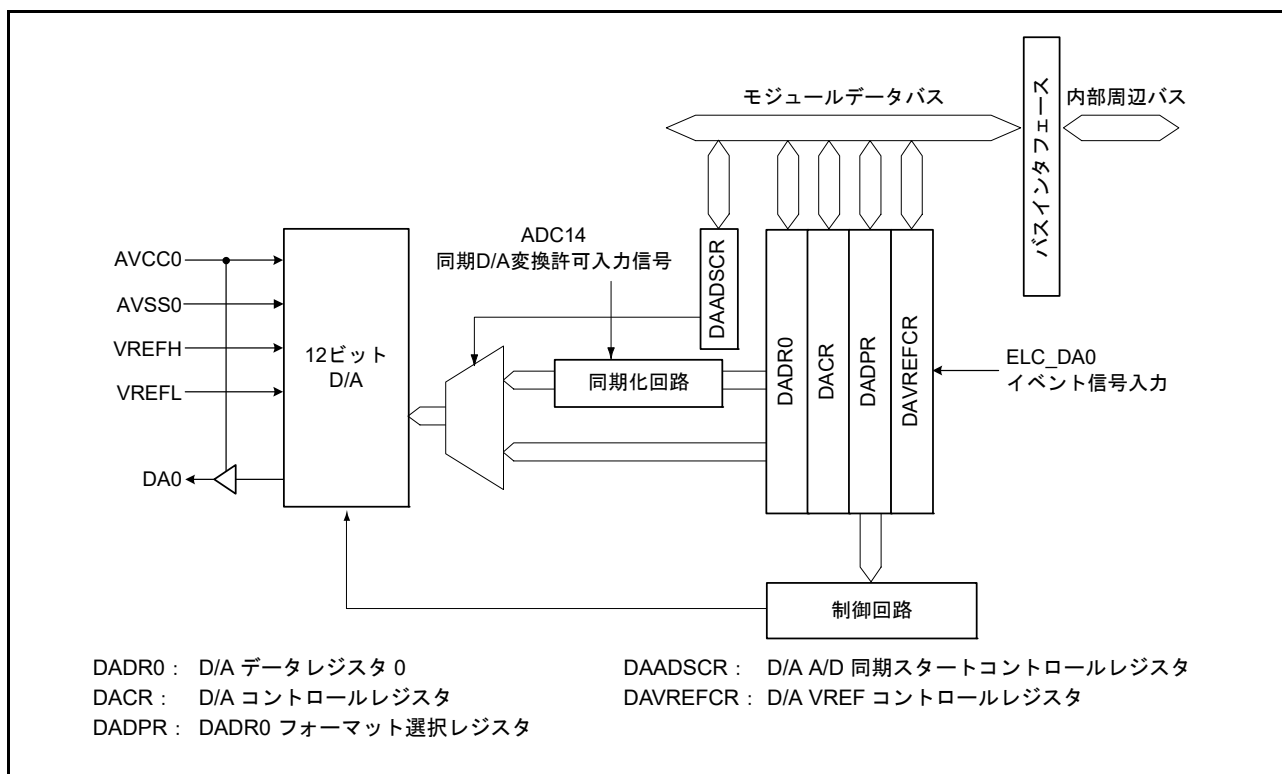


図 36.1 DAC12のブロック図

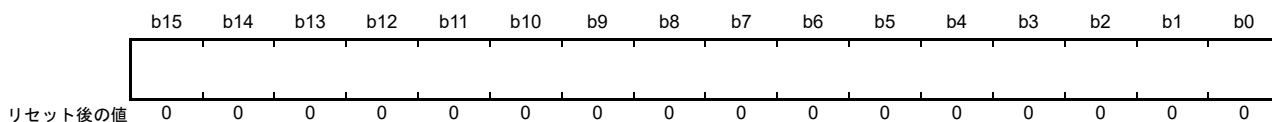
表 36.2 DAC12の入出力端子

端子名	入出力	機能
AVCC0	入力	ADC14、DAC12、コンパレータ、およびOPAMP用のアナログ電源端子 これらのモジュールを使用しない場合は、VCCに接続してください。
AVSS0	入力	ADC14、DAC12、コンパレータ、およびOPAMP用のアナロググランド端子 これらのモジュールを使用しない場合は、VSSに接続してください。
VREFH	入力	DAC12のアナログ基準電圧端子
VREFL	入力	DAC12のアナログ基準グランド端子
DA0	出力	チャンネル0のアナログ出力端子

36.2 レジスタの説明

36.2.1 D/A データレジスタ 0 (DADR0)

アドレス [DAC12.DADR0 4005 E000h](#)

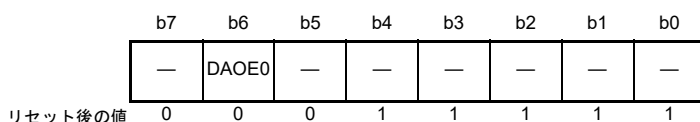


DADR0 レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し/書き込みレジスタです。アナログ出力を許可すると、DADR0 レジスタの値が変換され、アナログ出力端子に出力されます。

12 ビットデータを左詰めにするか右詰めにするかは、DADPR.DPSEL ビットで設定できます。右詰め形式 (DADPR.DPSEL = 0) では、下位 12 ビット ([11:0]) が有効です。左詰め形式 (DADPR.DPSEL = 1) では、上位 12 ビット ([15:4]) が有効です。

36.2.2 D/A コントロールレジスタ (DACR)

アドレス [DAC12.DACR 4005 E004h](#)



ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	DAOE0	D/A出力許可0	0 : チャネル0のD/A変換 (DA0) とアナログ出力 (DA0) を禁止 1 : チャネル0のD/A変換 (DA0) とアナログ出力 (DA0) を許可	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DACR レジスタは、DAADSCR.DAADST ビットが 1 (D/A 変換と A/D 変換の干渉低減が有効) の状態で、ADC14 が停止中の場合のみ設定してください。DACR を設定するときは、ADC14 トリガで ADC14 を確実に停止させるために、ADCSR.ADST ビットが 0、かつソフトウェアトリガを選択した状態でのみ行ってください。

DAOE0 ビット (D/A 出力許可 0)

D/A 変換とアナログ出力を制御します。

D/A 変換と A/D 変換の干渉低減対策が有効時 (DAADSCR.DAADST ビット = 1)、ADC14 が停止中の場合のみ、DAOE0 ビットを設定してください。ADC14 を確実に停止させるため、ソフトウェアトリガは、ADC14 トリガとして選択されます。

イベントリンク機能を使用して、DAOE0 ビットを 1 にできます。ELC_DA0 の ELSR12 レジスタで指定されたイベントが発生すると、DAOE0 ビットが 1 になり、D/A 変換結果の出力を開始します。

36.2.3 DADR0 フォーマット選択レジスタ (DADPR)

アドレス `DAC12.DADPR 4005 E005h`

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DPSEL	DADR0 フォーマット選択	0 : 右詰め 1 : 左詰め	R/W

36.2.4 D/A A/D 同期スタートコントロールレジスタ (DAADSCR)

アドレス `DAC12.DAADSCR 4005 E006h`

	b7	b6	b5	b4	b3	b2	b1	b0
	DAADST	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DAADST	D/A A/D同期変換	0 : DAC12の動作はADC14の動作と同期しない (D/A変換とA/D変換の干渉低減が無効) 1 : DAC12の動作はADC14の動作と同期する (D/A変換とA/D変換の干渉低減が有効)	R/W

D/A変換とA/D変換の干渉低減のため、D/A変換をADC14トリガからの同期D/A変換許可入力信号に同期させるかさせないかを選択します。

このレジスタの設定は、ADC14が停止中のとき (ADCSR.ADSTビット=0)、またソフトウェアトリガがADC14トリガとして選択されるときにのみ行ってください。

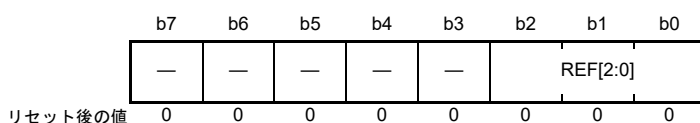
DAADSTビット (D/A A/D同期変換)

DAADSTビットを0にすると、DADR0レジスタの値を随時D/A変換します。DAADSTビットを1にすると、ADC14からの同期D/A変換許可入力信号に同期してD/A変換が行われます。DADR0レジスタの値を書き換えても、ADC14のA/D変換が終了するまでD/A変換は行われません。

DAADSTビットの設定は、ADC14が停止中 (ADCSR.ADSTビットが0) のときのみ行ってください。このとき、ADC14を確実に停止させるため、ADC14のトリガ選択をソフトウェアトリガに設定してください。なお、DAADSTビットを1にした場合は、イベントリンク機能は使用できません。ELCのELSR12レジスタでイベントリンク機能を停止に設定してください。DAADSTビットの設定は、DAC12のチャンネル0およびチャンネル1に共通です。

36.2.5 D/A VREF コントロールレジスタ (DAVREFCR)

アドレス DAC12.DAVREFCR 4005 E007h



ビット	シンボル	ビット名	機能	R/W
b2-b0	REF[2:0]	D/A 基準電圧選択	b2 b0 0 0 0: 基準電圧を選択しない 0 0 1: AVCC0/AVSS0を選択 0 1 1: 内部基準電圧/AVSS0を選択 1 1 0: VREFH/VREFLを選択 上記以外は設定しないでください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

D/A VREF コントロールレジスタ (DAVREFCR) は、DAC12 の基準電圧を選択するためのレジスタです。

REF[2:0] ビット (D/A 基準電圧選択)

DAC12 の基準電圧を選択するビットです。ビット値を変更する場合は事前に DAVREFCR.REF[2:0] ビットに 000b を書いてから変更してください。変更後に REF[2:0] ビットを読み出して、値が変更されたことを確認してください。内部基準電圧を選択するときは DADR0 レジスタを 0000h にして、VREF 経路をディスチャージしてから電圧を切り替えてください。リセット解除後も経路はディスチャージされた状態なので、内部基準電圧を選択することが可能です。ディスチャージについては、[36.3.2 内部基準電圧を基準電圧として使用する時の注意事項](#)を参照してください。また、ADC14 が A/D 変換中は本レジスタを書き換えしないでください。書き換えた場合、A/D 変換の精度は保証されません。内部基準電圧を選択した場合は電圧発生回路が動作し、電流が増加します。内部基準電圧を選択したままソフトウェアスタンバイモードに遷移しても、電圧発生回路は自動的にオフになりません。

36.3 動作説明

DACR.DAOE0 ビットを 1 にすると、DAC12 が有効になり、変換結果が出力されます。

以下にチャンネル 0 での D/A 変換例を示します。このときの動作タイミングを図 36.2 に示します。

1. DADPR.DPSEL ビットと DADR0 レジスタに D/A 変換を行うためのデータを設定します。
2. DACR.DAOE0 ビットを 1 にすると、D/A 変換を開始します。 t_{DCONV} 時間経過後、変換結果をアナログ出力端子 DA0 より出力します。DADR0 レジスタを書き換えるか、DAOE0 ビットを 0 にするまで、この変換結果が出力され続けます。出力値（参考）は以下の式で計算します。

$$\frac{\text{DADR0 の設定値}}{4096} \times \text{基準電圧}$$

3. 別の変換を開始するには、別の値を DADR0 へ書き込みます。 t_{DCONV} 時間経過後、変換結果が出力されます。DAADSCR.DAADST ビットが 1 (D/A 変換と A/D 変換の干渉低減が有効) の場合、D/A 変換開始まで最大で A/D 変換 1 回分の時間が必要です。ADCLK が周辺クロックよりも速い場合は、A/D 変換 1 回分以上の時間が必要となる場合があります。
4. アナログ入力を禁止する場合は、DAOE0 ビットを 0 にしてください。

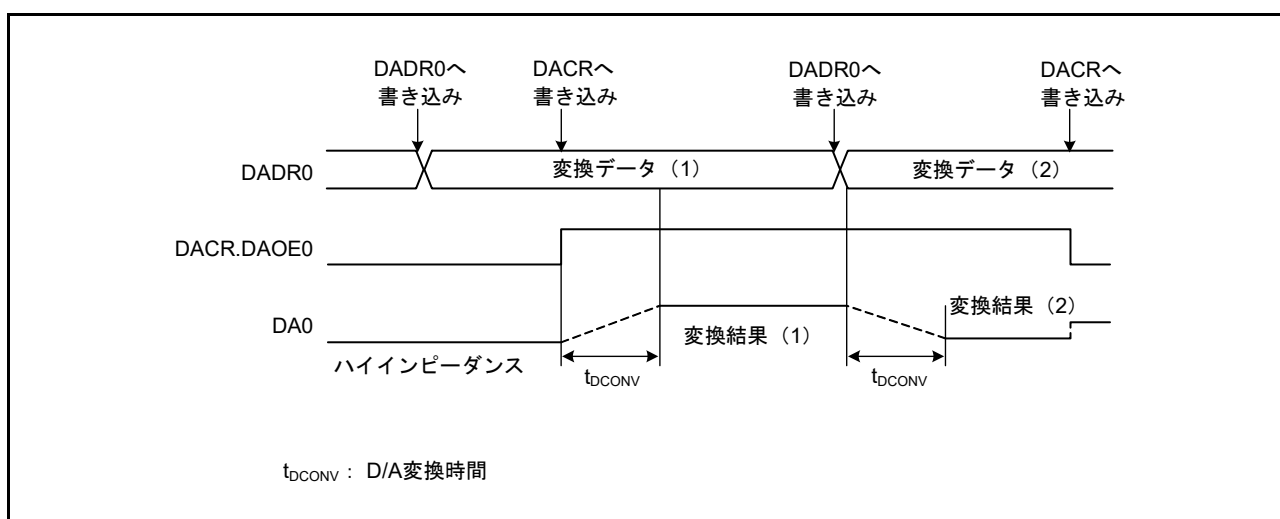


図 36.2 DAC12 の動作例

36.3.1 D/A変換とA/D変換の干渉低減

D/A変換が始まるとDAC12はラッシュカレントを発生させます。DAC12とADC14のアナログ電源が共通のため、発生したラッシュカレントがADC14のA/D変換に干渉することがあります。

DAADSCR.DAADSTビットが1の場合、DADR0レジスタのデータが変更されても、D/A変換はすぐには実施されません。その代わりに、

- ADC14が停止中にDADR0レジスタのデータが変更されると、1PCLKBサイクル後にD/A変換が開始されます
- ADC14がA/D変換を実行中にDADR0レジスタの設定が変更された場合、A/D変換完了時にD/A変換が開始されます。したがって、DADR0レジスタデータの更新がD/A変換回路の出力に反映されるまで、最大でA/D変換1回分の時間が必要です。D/A変換が完了するまでの間、DADR0レジスタ値とアナログ出力値は一致しません

DAADSCR.DAADSTビットが1のときに、DADR0レジスタの値がD/A変換されたかどうかをソフトウェアで確認する手段はありません。

以下にDAC12をADC14に同期して動作させる場合のD/A変換例を示します。このときの動作タイミングを図36.3に示します。

ADC14に同期してD/A変換を実行する場合：

1. ADC14が停止中であることを確認し、DAADSCR.DAADSTビットを1にする。
 2. ADC14が停止中であることを確認し、DACR.DA0E0ビットを1にする。
 3. DADR0レジスタを設定する。ADCLKが周辺クロックよりも速い場合は、D/A変換はA/D変換1回分以上待たされる場合があります。
- DADR0レジスタを書き換えたときにADC14が停止していた場合 (ADC140.ADCSR.ADST = 0)、1PCLKBサイクル後にD/A変換が開始されます
 - DADR0レジスタを書き換えたときにADC14がA/D変換中の場合 (ADC140.ADCSR.ADST = 1)、A/D変換終了時にD/A変換が開始されます。A/D変換中にDADR0レジスタを2回書き換えた場合、1回目の更新はD/A変換されないことがあります

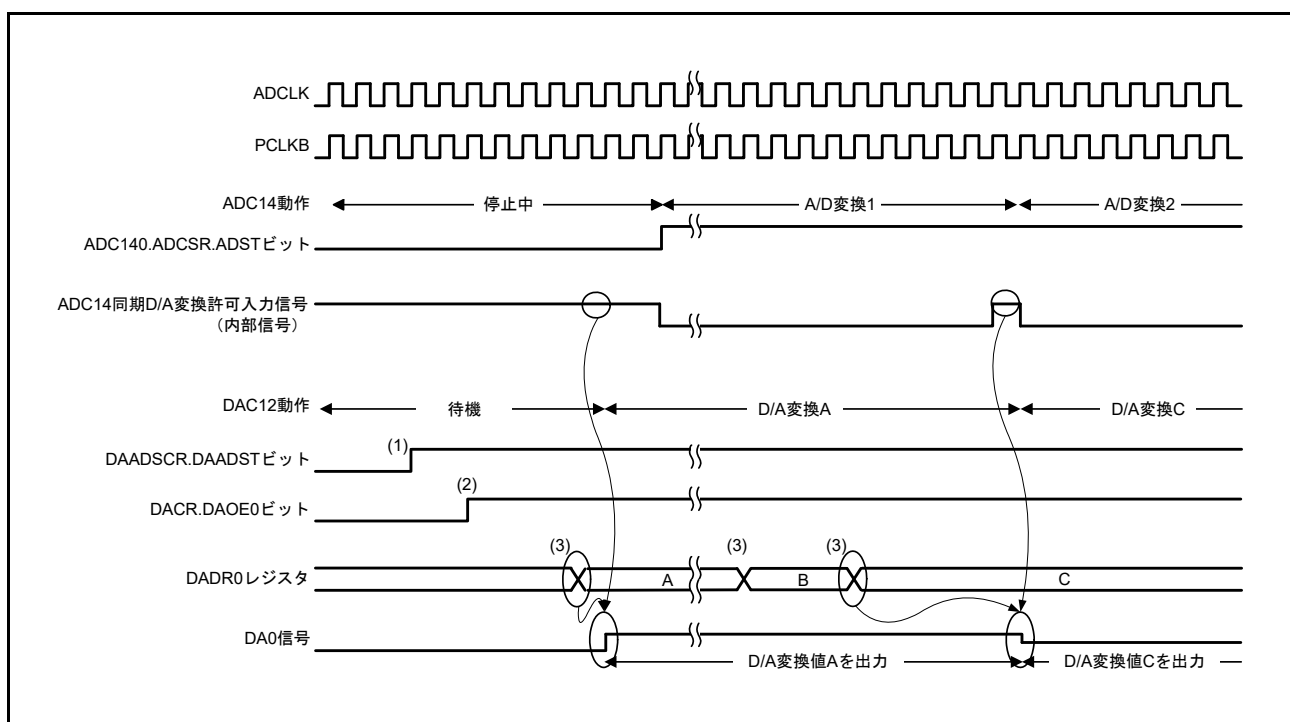


図 36.3 DAC12をADC14に同期して変換する例

図 36.4 に示すように、ADCLK が PCLKB よりも速い場合、A/D 変換 1 と A/D 変換 2 の間に出力される ADCLK 出力サイクル 1 つ分の ADC14 からの同期 D/A 変換許可入力信号を DAC12 が取り込めない可能性があります。この場合、DA0 信号は D/A 変換値 A の出力を継続します。

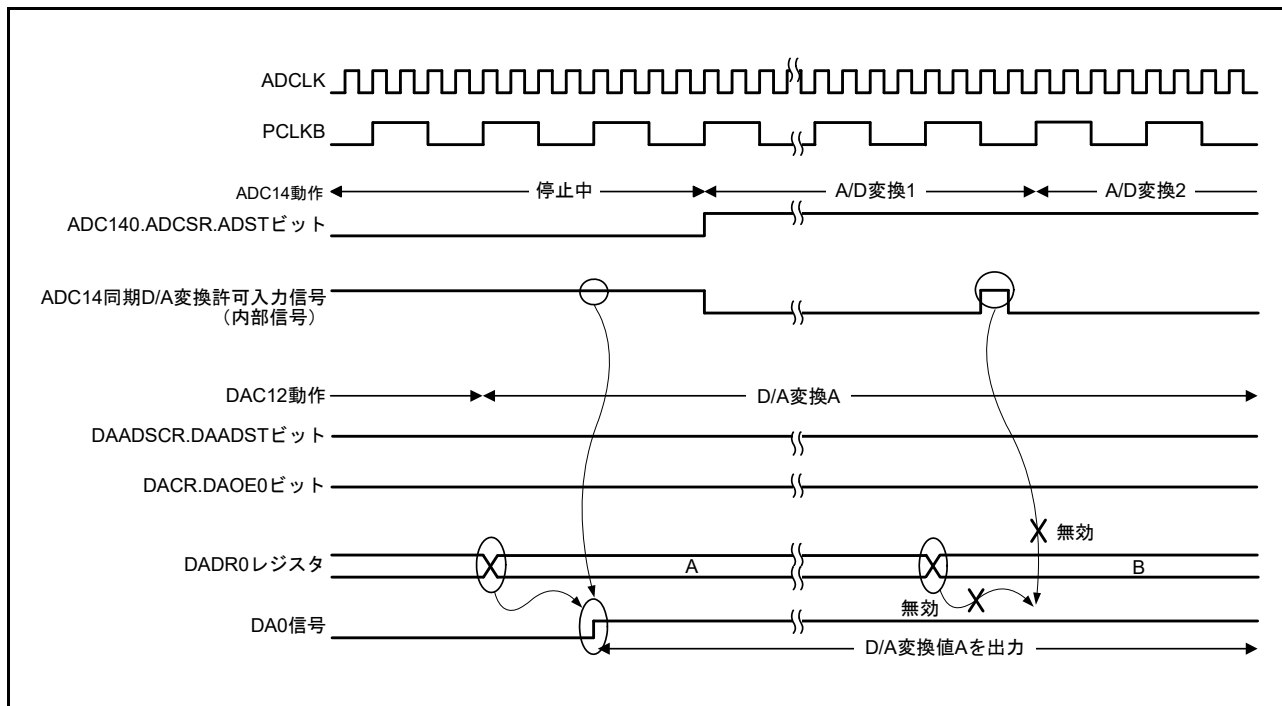


図 36.4 DAC12 が ADC14 同期 D/A 変換許可入力信号を取り込めない場合の例

36.3.2 内部基準電圧を基準電圧として使用する時の注意事項

DAVREFCR.REF[2:0] ビットを 011b にして、内部基準電圧 / AVSS0 を基準電圧として用いる場合、選択する前に VREF 経路をディスチャージする必要があります。ディスチャージ手順を以下に示します。

1. REF[2:0] ビットに 000b を書き込む。
2. DADR0 レジスタを 0000h にする。
3. 手順 2. の状態を 10 μ s 間維持する。(ディスチャージ動作)
4. ディスチャージ完了後に DAVREFCR.REF[2:0] ビットに 011b を書き込み、内部基準電圧 / AVSS0 を選択する。
5. DACR.DAOE0 ビットを 1 にして、5 μ s の内部基準電圧安定待機時間の待機をする。
6. DADR0 レジスタにデータを書き込み、D/A 変換を開始する。

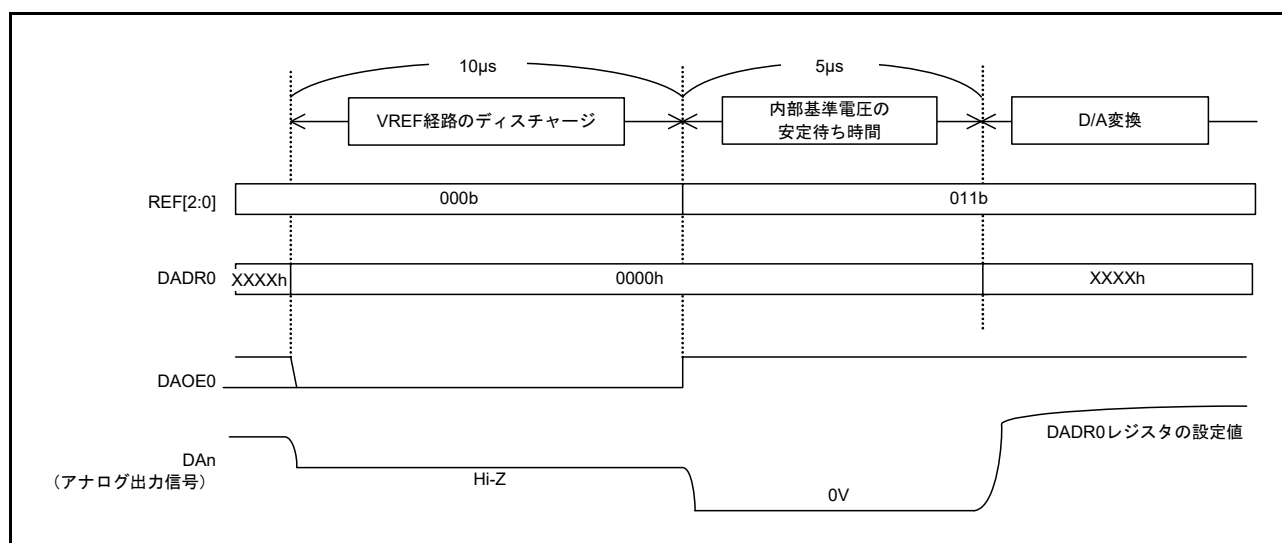


図 36.5 内部基準電圧を基準電圧に選択する手順

36.4 イベントリンクの動作設定手順

イベントリンクの動作を設定する場合 (DA0) :

1. DADPR.DPSEL ビットを設定し、DADR0 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC_DA0 イベント信号が ELSR12 レジスタの各周辺モジュールとリンクするよう設定します。
3. ELC.ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DACR.DAOE0 ビットが 1 になり、チャンネル 0 の D/A 変換が開始されます。
5. DAC12 のチャンネル 0 のイベントリンク動作を停止するには、ELC.ELSR12.ELS[7:0] ビットを 00h にしてください。また ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

36.5 イベントリンク動作における注意事項

- DACR.DAOE0 ビットへの書き込み実行中に ELC_DA0 イベント信号で指定されたイベントが発生すると、書き込みサイクルは停止し、発生イベントのビットが優先的に 1 になります
- D/A 変換と A/D 変換の干渉低減のために DAADSCR.DAADST ビットを 1 にしている場合、イベントリンク機能は使用しないでください

36.6 使用上の注意事項

36.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) によって、DAC12 の動作を許可/禁止することが可能です。DAC12 は、リセット後は動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

36.6.2 モジュールストップ状態での DAC12 の動作

D/A 変換を許可した状態で MCU がモジュールストップ状態になったとき、D/A 出力は保持されるため、アナログ電源電流は D/A 変換中と同様になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE0 ビットを 0 にして D/A 変換を禁止してください。

36.6.3 ソフトウェアスタンバイモード時の DAC12 の動作

D/A 変換を許可した状態で MCU がソフトウェアスタンバイモードになったとき、D/A 出力は保持されるため、アナログ電源電流は D/A 変換中と同様になります。ソフトウェアスタンバイモード時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE0 ビットを 0 にして D/A 変換を禁止してください。

36.6.4 D/A 変換と A/D 変換の干渉低減有効時の制限事項

DAADSCR.DAADST ビットが 1 (D/A 変換と A/D 変換の干渉が有効) の場合、ADC14 をモジュールストップ状態にしないでください。A/D 変換が停止するだけでなく、D/A 変換も停止する可能性があります。

37. 温度センサ (TSN)

37.1 概要

デバイス動作の信頼性確保のため、内蔵されている温度センサでチップの温度を決定し、監視することが可能です。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧は ADC14 で変換されてから、末端の応用機器で使用できます。

表 37.1 に温度センサの仕様を、図 37.1 にブロック図を示します。

表 37.1 温度センサの仕様

項目	内容
温度センサ電圧出力	ADC14へ出力

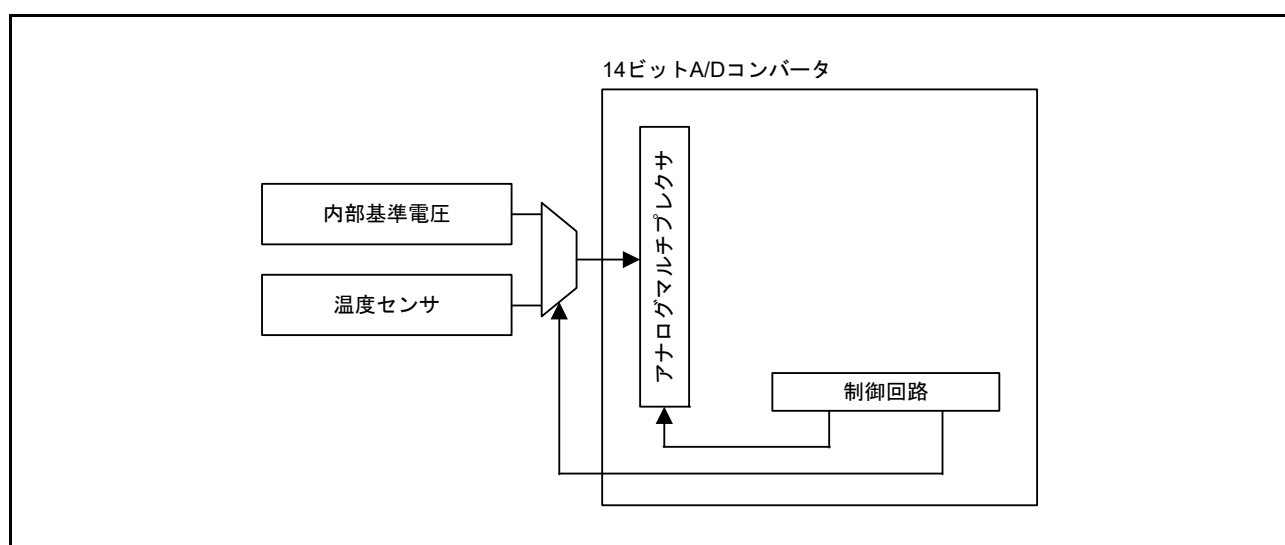
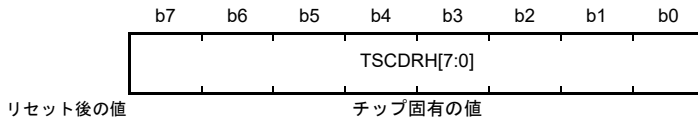


図 37.1 温度センサのブロック図

37.2 レジスタの説明

37.2.1 温度センサ校正データレジスタ H (TSCDRH)

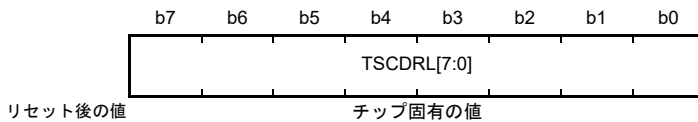
アドレス TSN.TSCDRH 407E C228h



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSCDRH[7:0]	温度センサ補正データ	変換後の値の上位4ビットを格納します。	R

37.2.2 温度センサ校正データレジスタ L (TSCDRL)

アドレス TSN.TSCDRL 407E C229h



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSCDRL[7:0]	温度センサ補正データ	変換後の値の下位8ビットを格納します。	R

TSCDRH レジスタおよび TSCDRL レジスタには、工場出荷時に各チップ用に測定された温度センサ補正データが格納されています。

温度センサ補正データは、 $T_a = T_j = 125\text{ }^\circ\text{C}$ および $AVCC0 = 3.3\text{V}$ の条件で、温度センサが出力した電圧を、FFh を書き込む ADC16 によって変換したデジタル値です。TSCDRH レジスタには変換値の上位4ビットが、TSCDRL レジスタには下位8ビットがそれぞれ格納されます。

37.3 温度センサの使用法

温度センサが出力する電圧は、温度により変化します。この電圧は ADC14 でデジタル値に変換されます。チップの温度は、この値を温度に変換することで求められます。

37.3.1 使用前の準備

温度 (T) はセンサの電圧出力 (Vs) と比例関係にあるため、以下の式で温度を求められます。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

Vs : 温度測定時の温度センサの出力電圧 (V)

T1 : 1 点目の試行測定時の温度 (°C)

V1 : T1 測定時の温度センサの出力電圧 (V)

T2 : 2 点目の試行測定時の温度 (°C)

V2 : T2 測定時の温度センサの出力電圧 (V)

Slope : 温度センサの温度傾斜 (V/°C)、 $\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$

特性はセンサによってばらつきがあります。そのため、以下のような 2 つの異なるサンプル温度の測定を推奨します。

1. ADC14 を使用して、温度 T1 のときの温度センサの出力電圧 V1 を測定します。
2. ADC14 を使用して、温度 T1 と異なる温度 T2 のときの温度センサの出力電圧 V2 を測定します。両者の測定結果から、温度傾斜 ($\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$) を求めます。
3. この Slope の値を温度特性の式 ($T = (V_s - V_1) / \text{Slope} + T_1$) に代入し、温度を求めます。

「48. 電気的特性」に記載の温度傾斜を用いる場合は、A/D コンバータを使用して温度センサの温度 V1 で出力電圧 V1 を測定し、次に以下の式により温度特性を算出します。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

なお、この測定方法の精度は 2 点測定方法よりも劣ります。

TSCDRH レジスタおよび TSCDRL レジスタには、 $T_a = T_j = 125^\circ\text{C}$ および $AVCC0 = 3.3\text{V}$ の条件下で測定された温度センサの温度値 (CAL125) が格納されています。この温度値を 1 点目のサンプル測定結果として使用する場合、温度センサ使用前の本準備を省略することが可能です。

本測定値 CAL125 は以下により算出します。

$$\text{CAL125} = \text{TSCDRH レジスタ値} \ll 8 + \text{TSCDRL レジスタ値}$$

V1 は下記のように CAL125 から算出されます。

$$V_1 = 3.3 \times \text{CAL125} / 4096 \text{ [V]}$$

この値を用いて、以下の式により測定温度が算出できます。

$$T = (V_{s0} - V_1) / \text{Slope} + 125 \text{ [}^\circ\text{C]}$$

T : 測定温度 (°C)

Vs : 温度測定時の温度センサの出力電圧 (V)

V1 : $T_a = T_j = 125^\circ\text{C}$ および $AVCC0 = 3.3\text{V}$ のときの温度センサの出力電圧 (V)

Slope : 温度センサの温度傾斜 ÷ 1000 (V/°C)

図 37.2 に測定温度の誤差を示します。標準偏差は 3σ です。

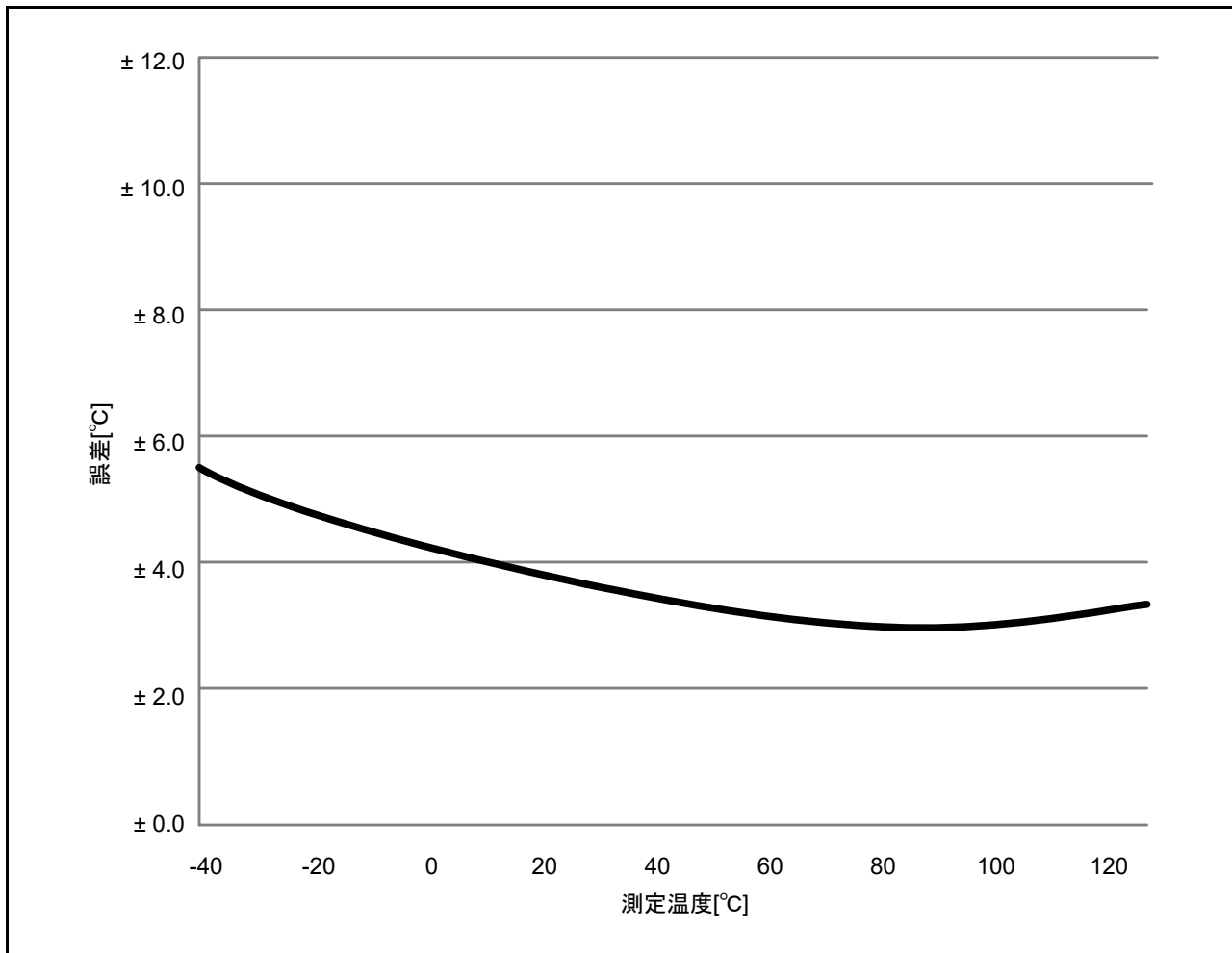


図 37.2 測定温度の誤差 (設計値)

37.3.2 温度センサの使用手順

詳細は「[35. 14 ビット A/D コンバータ \(ADC14\)](#)」を参照してください。

38. オペアンプ (OPAMP)

38.1 概要

オペアンプを使用して、小さいアナログ入力電圧を増幅して出力することが可能です。本 MCU では、入力端子 2 つと出力端子 1 つを備えた差動オペアンプユニットを合計で 4 つ搭載しています。

オペアンプには次の機能があります。

- すべてのユニットからの出力信号は、ADC14 への入力信号に使用できる
- 高速モード（高消費電流）および低消費電力モード（低速応答）をサポートしており、応答速度と電流消費とのバランスに応じてどちらかのモードを選択できる
- 低消費電力非同期汎用タイマ（AGT）からのトリガによって動作を開始することができる
- A/D 変換終了トリガによって動作を停止できる

オペアンプの入力／出力端子数は製品によって異なります。

図 38.1 にオペアンプのブロック図を、表 38.2 にユニット構成を示します。

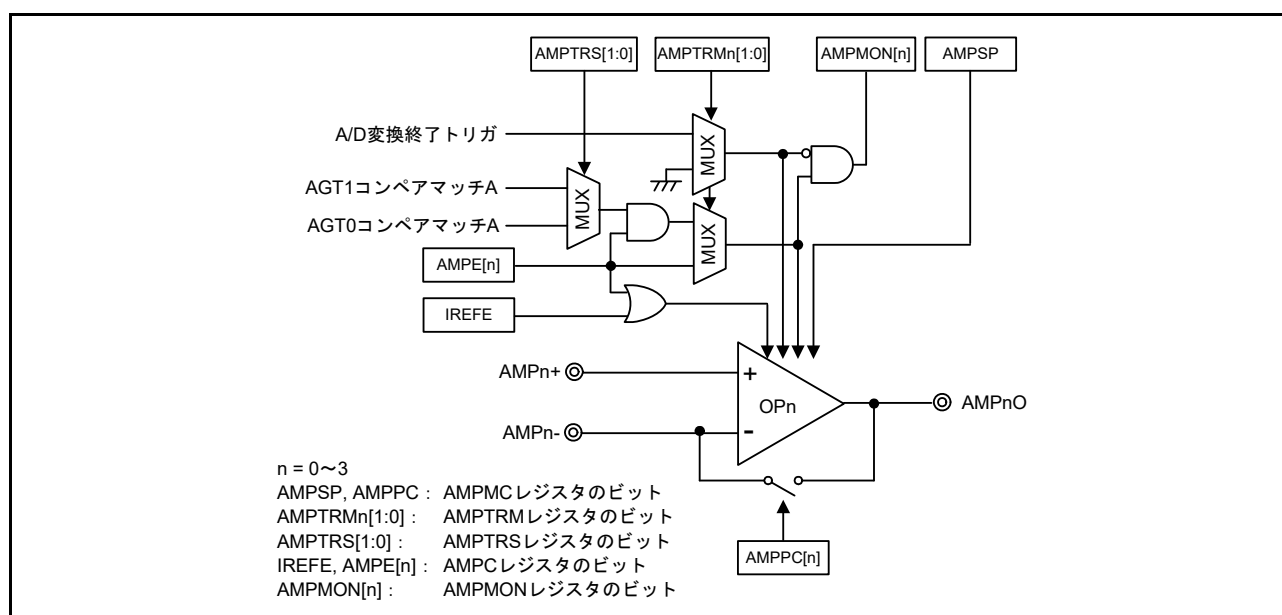


図 38.1 オペアンプのブロック図

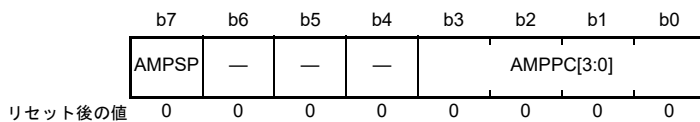
表 38.1 OPAMPのユニット構成

単位	入出力端子	入出力	機能
ユニット0 (オペアンプ0)	AMP0+, AMP0-	入力	オペアンプ0 (+, -) の入力端子
	AMP0O	出力	オペアンプ0の出力端子
ユニット1 (オペアンプ1)	AMP1+, AMP1-	入力	オペアンプ1 (+, -) の入力端子
	AMP1O	出力	オペアンプ1の出力端子
ユニット2 (オペアンプ2)	AMP2+, AMP2-	入力	オペアンプ2 (+, -) の入力端子
	AMP2O	出力	オペアンプ2の出力端子
ユニット3 (オペアンプ3)	AMP3+, AMP3-	入力	オペアンプ3 (+, -) の入力端子
	AMP3O	出力	オペアンプ3の出力端子

38.2 レジスタの説明

38.2.1 オペアンプモードコントロールレジスタ (AMPMC)

アドレス OPAMP.AMPMC 4008 6008h



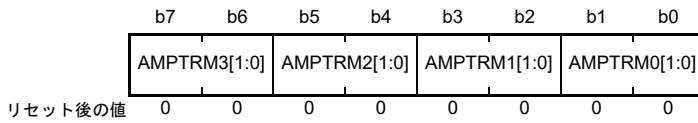
ビット	シンボル	ビット名	機能	R/W
b3-b0	AMPPC[3:0]	オペアンププリチャージ制御	AMPPC[n] (n = 0~3) 0 : オペアンプのプリチャージ停止 1 : オペアンプのプリチャージ可能	R/W
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	AMPSP	OPAMP 動作モード選択	0 : 低消費電力モード (低速) 1 : 高速モード	R/W

注. AMPC レジスタが 00h (オペアンプおよび基準電流回路が停止中) の場合は、AMPSP ビットを設定してください。

注. 本レジスタで使用しないビットは初期値に設定するようにしてください。

38.2.2 オペアンプトリガモードコントロールレジスタ (AMPTRM)

アドレス OPAMP.AMPTRM 4008 6009h

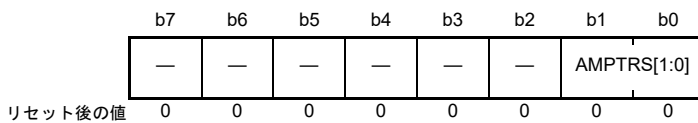


ビット	シンボル	ビット名	機能	R/W
b1-b0	AMPTRM0[1:0]	OPAMP機能起動／ 停止トリガ制御n(注2)	AMPTRMn[1] AMPTRMn[0] (n = 0~3) 0 0: ソフトウェアトリガモード: • AMPCレジスタの設定によるオペアンプの起動／停止が可能 • 起動トリガによるオペアンプの起動は不可 • A/D変換終了トリガによるオペアンプの制御は不可	R/W
b3-b2	AMPTRM1[1:0]		0 1: 起動トリガモード: • AMPCレジスタの設定により、オペアンプを起動トリガを待つよう設定する、または停止することが可能 • 起動トリガによるオペアンプの起動が可能(注1) • A/D変換終了トリガによるオペアンプの制御は不可	
b5-b4	AMPTRM2[1:0]		1 0: 設定禁止	
b7-b6	AMPTRM3[1:0]		1 1: 起動およびA/Dトリガモード: • AMPCレジスタの設定により、オペアンプを起動トリガを待つよう設定する、または停止することが可能 • 起動トリガによるオペアンプの起動が可能(注1) • A/D変換終了トリガによるオペアンプの停止が可能。A/D変換終了トリガは常にA/D変換の最後に発生します	

- 注. A/D変換終了トリガは常にA/D変換の最後に発生します。
- 注1. 起動トリガによってオペアンプを起動する場合、まずAGTに関連する設定を行い、AMPTRSレジスタを設定した後、AMPCレジスタによって起動するオペアンプの動作制御ビットを1(オペアンプ待機状態が有効)にしてください。
- 注2. AMPTRMn[1:0]の設定値を変更する場合、AMPC.AMPE[n]ビットを0(オペアンプ停止)にしてください。

38.2.3 オペアンプ起動トリガ選択レジスタ (AMPTRS)

アドレス OPAMP.AMPTRS 4008 600Ah

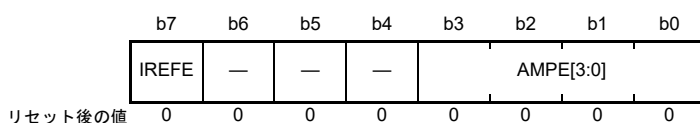


ビット	シンボル	ビット名	機能	R/W
b1-b0	AMPTRS[1:0]	起動トリガ選択(注1)	b1 b0 0 0: オペアンプn: オペアンプ起動トリガn (n = 0~3) 0 1: オペアンプm: オペアンプ起動トリガ0 (m = 0, 1) オペアンプn: オペアンプ起動トリガ1 (n = 2, 3) 1 0: 設定禁止 1 1: オペアンプn: オペアンプ起動トリガ0 (n = 0~3)	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注. 本レジスタで使用しないビットは初期値に設定するようにしてください。
- 注1. AMPTRMレジスタを設定した後、AMPTRSレジスタの値を書き換えしないでください。

38.2.4 オペアンプコントロールレジスタ (AMPC)

アドレス OPAMP.AMPC 4008 600Bh



ビット	シンボル	ビット名	機能	R/W
b3-b0	AMPE[3:0]	オペアンプ動作制御	0: オペアンプn停止 1: ソフトウェアトリガモード: オペアンプnの動作許可 (注1) 起動トリガモード、または起動およびA/Dトリガモード: AGTが有効になるまで待機 (n = 0~3)	R/W
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	IREFE	オペアンプ基準電流回路動作制御	0: オペアンプ基準電流回路停止 1: オペアンプ基準電流回路の動作許可	R/W

注. 本レジスタで使用しないビットは初期値に設定するようにしてください。

注1. IREFE ビットの設定にかかわらず、オペアンプ基準電流回路の動作も許可されます。使用しないユニットのビットは0にしてください。

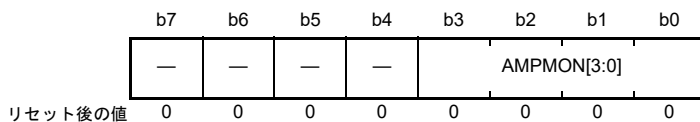
各イベントに関連するオペアンプ起動トリガを表 38.2 に示します。

表 38.2 イベントに関連するオペアンプ起動トリガ

トリガ	イベント
オペアンプ起動トリガ0	AGT1コンペアマッチA
オペアンプ起動トリガ1	AGT0コンペアマッチA
オペアンプ起動トリガ2	AGT1コンペアマッチA
オペアンプ起動トリガ3	AGT0コンペアマッチA

38.2.5 オペアンプモニタレジスタ (AMPMON)

アドレス OPAMP.AMPMON 4008 600Ch



ビット	シンボル	ビット名	機能	R/W
b3-b0	AMPMON[3:0]	オペアンプnの状態 (n = 0~3)	0: オペアンプn停止中 1: オペアンプn動作中	R
b7-b4	—	予約ビット	読むと0が読めます。	R

注. 本レジスタを使用して、各オペアンプが動作中か停止中かを非同期に反映します。オペアンプの状態を判断するには、継続的に本レジスタを読み出し、ビット状態の変化を判断してください。

起動トリガ、クロックと同期したA/D変換終了トリガ、または他の割り込みルーチンでのソフトウェアトリガを使用してオペアンプを制御する場合、オペアンプの動作または停止のタイミングは、通常動作を確認するなどの目的で予測することが可能です。この場合、該当のトリガまたはオペアンプの状態に影響する割り込みが発生したら、CPU/周辺クロックの1サイクル後に本レジスタを読み出してください。本レジスタで使用しないビットは初期値に設定するようにしてください。

38.3 動作説明

38.3.1 状態遷移

オペアンプおよび基準電流回路がオペアンプ制御回路によって起動または停止するときの状態遷移を図 38.2 に示します。

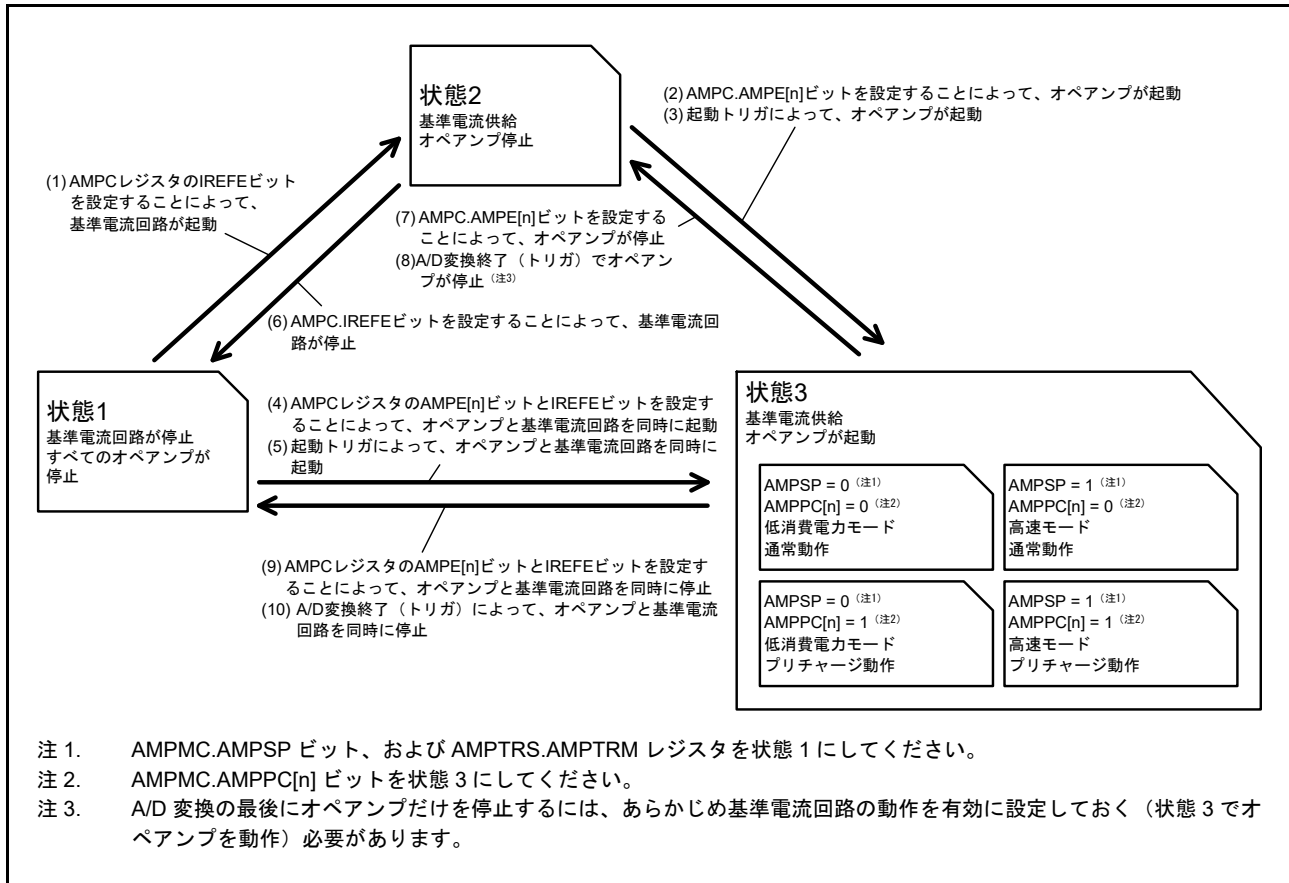


図 38.2 オペアンプの状態遷移

基準電流の供給後は安定待ち時間が必要となり、オペアンプの動作は各動作が実際に開始する前に設定されます。安定待ち時間の詳細は、「48. 電気的特性」を参照してください。

ステップ (2) → (8)、(2) → (10)、(3) → (10)、(4) → (10) では、オペアンプを継続的に起動/停止することはできません。

起動トリガおよび A/D 変換の終了によって、AMPTRM レジスタで、使用することがあらかじめ設定されたオペアンプのみを起動または停止することが可能です。

38.3.2 オペアンプ制御動作

オペアンプの制御動作を [図 38.3](#) ~ [図 38.6](#) に示します。

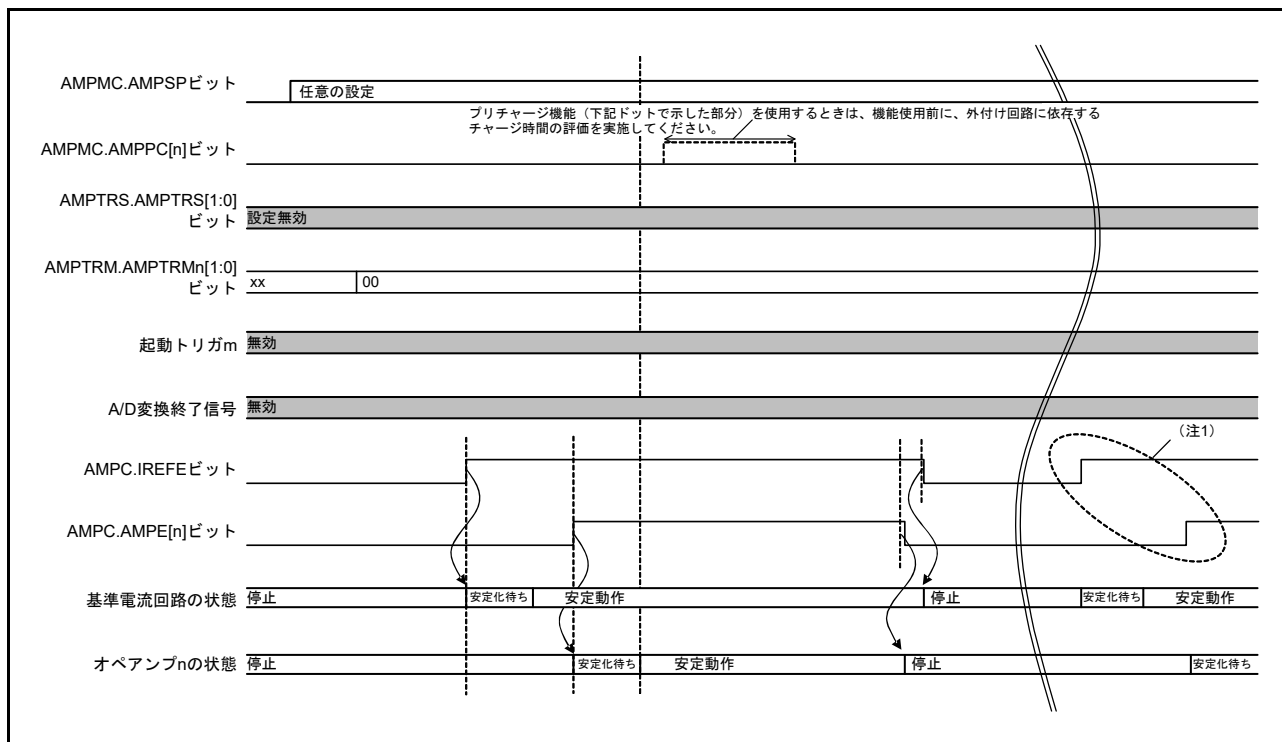


図 38.3 オペアンプの制御動作 (ソフトウェアトリガモードによる制御)
(ソフトウェアトリガモードによって基準電流回路およびオペアンプを起動/停止する場合)

注. n : ユニット番号 (n = 0 ~ 3)

m : AMPTRS レジスタで選択したオペアンプユニット n の制御に使用する起動トリガ

注 1. オペアンプを継続的に動作または停止する場合、オペアンプの停止後に初期設定の場合と同様な IREFE および AMPE[n] ビットの再設定をしてください。

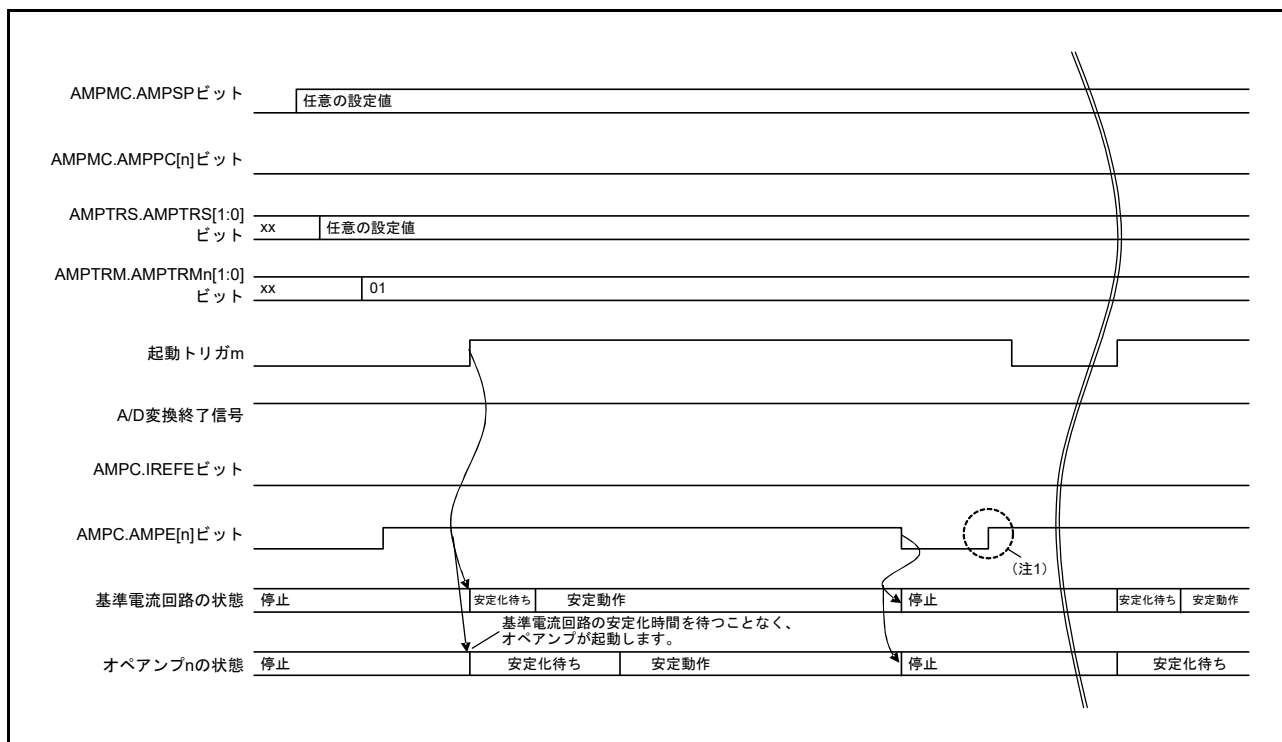


図 38.4 オペアンプの制御動作 (起動トリガモードによる起動)
 (基準電流回路およびオペアンプを起動トリガによって起動し、AMPC レジスタ設定によって停止する場合)

注 . n : ユニット番号 (n = 0 ~ 3)

m : AMPTRS レジスタで選択したオペアンプユニット n の制御に使用する起動トリガ AGT 機能を設定してください。

注 1. オペアンプを継続的に動作または停止する場合、初期設定のように AMPE[n] ビットを再設定し、停止後に起動トリガを待つようにオペアンプを設定してください。

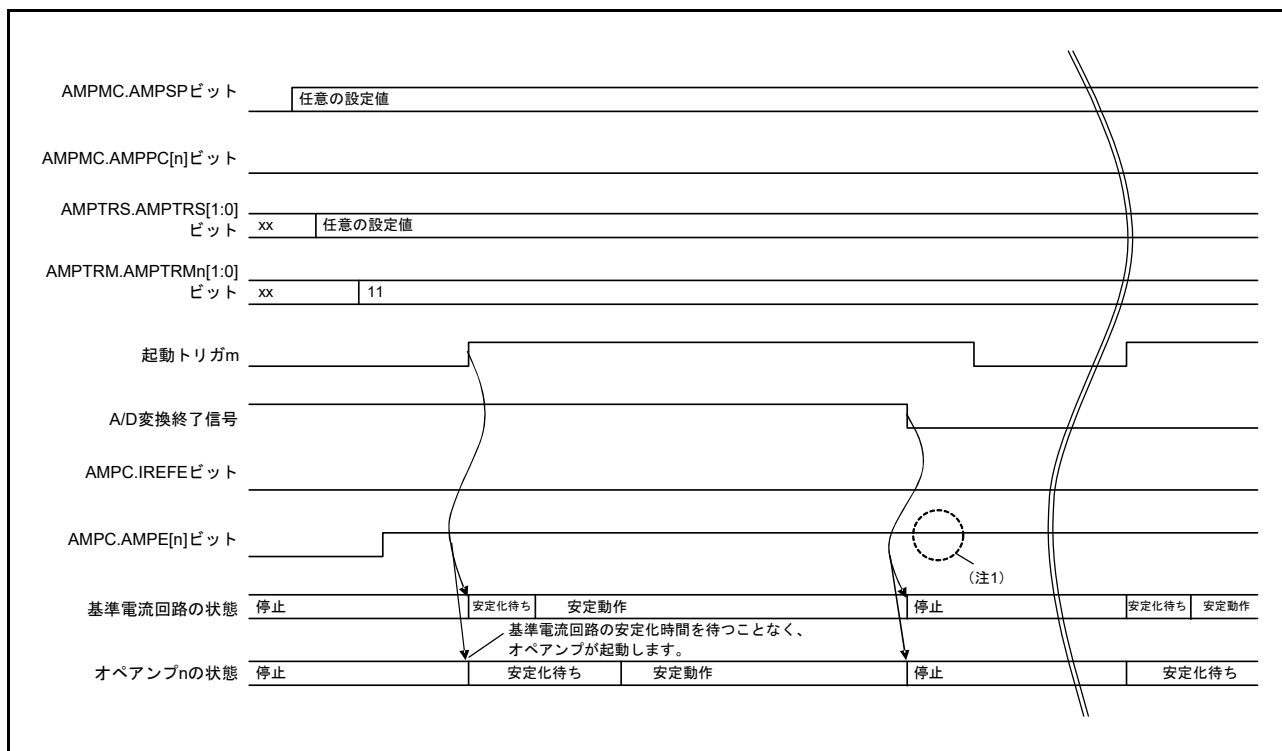


図 38.5 オペアンプの制御動作 (起動および A/D トリガモード (1))
 (基準電流回路およびオペアンプを起動トリガによって起動し、A/D 変換終了 (トリガ) によって停止する場合)

- 注 . n : ユニット番号 (n = 0 ~ 3)
 m : AMPTRS レジスタで選択したオペアンプユニット n の制御に使用する起動トリガ AGT 機能を設定してください。
- 注 1. オペアンプを継続的に動作または停止する場合、オペアンプは停止後に起動トリガを待つため、レジスタを再設定する必要はありません。

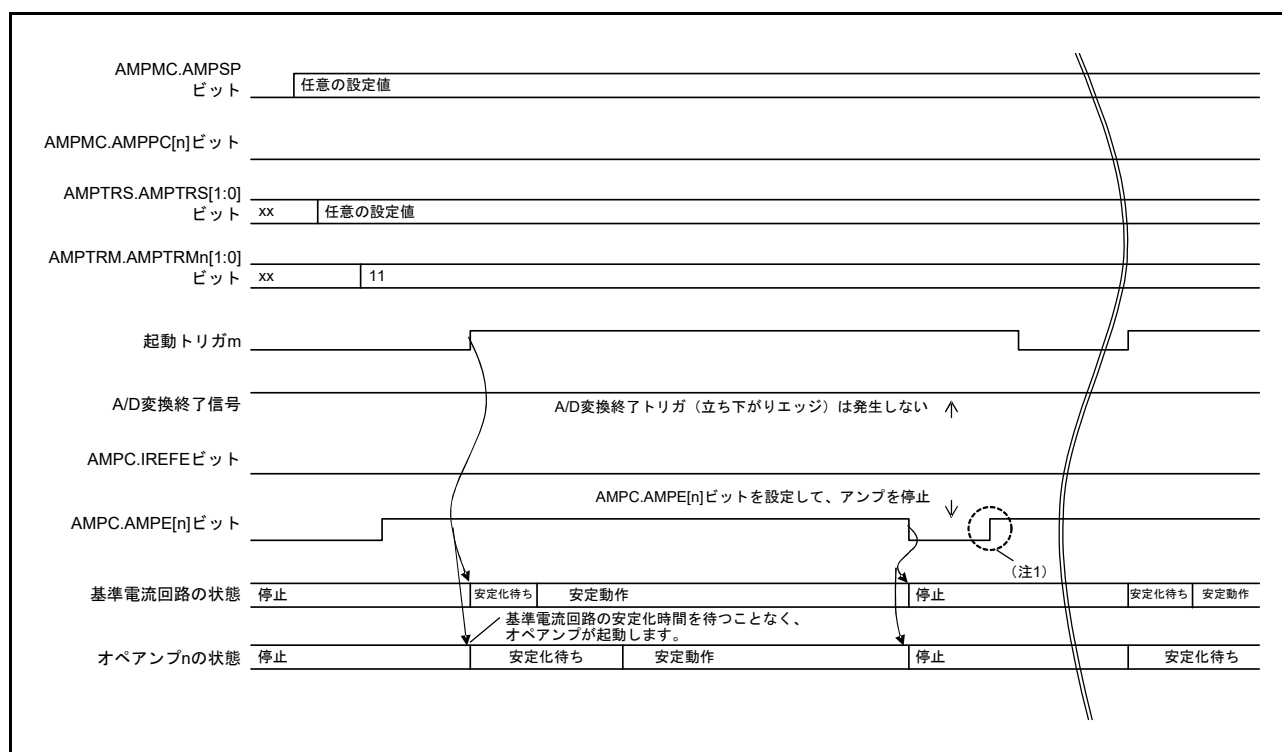


図 38.6 オペアンプの制御動作 (起動および A/D トリガモード (2))
(基準電流回路およびオペアンプを起動トリガによって起動し、AMPC レジスタの設定によって基準電流回路およびオペアンプを停止する場合)

- 注 . n : ユニット番号 (n = 0 ~ 3)
m : AMPTRS レジスタで選択したオペアンプユニット n の制御に使用する起動トリガ
AGT 機能を設定してください。起動トリガによってオペアンプを起動する手順については、[38.4 ソフトウェアトリガモード](#)を参照してください。
- 注 1. オペアンプを継続的に動作または停止する場合、初期設定のように AMPE[n] ビットを再設定し、停止後に起動トリガを待つようにオペアンプを設定してください。

38.4 ソフトウェアトリガモード

ここでは、ソフトウェアトリガによってオペアンプを起動および停止する手順について説明します。各レジスタの設定例を図 38.7 に示します。

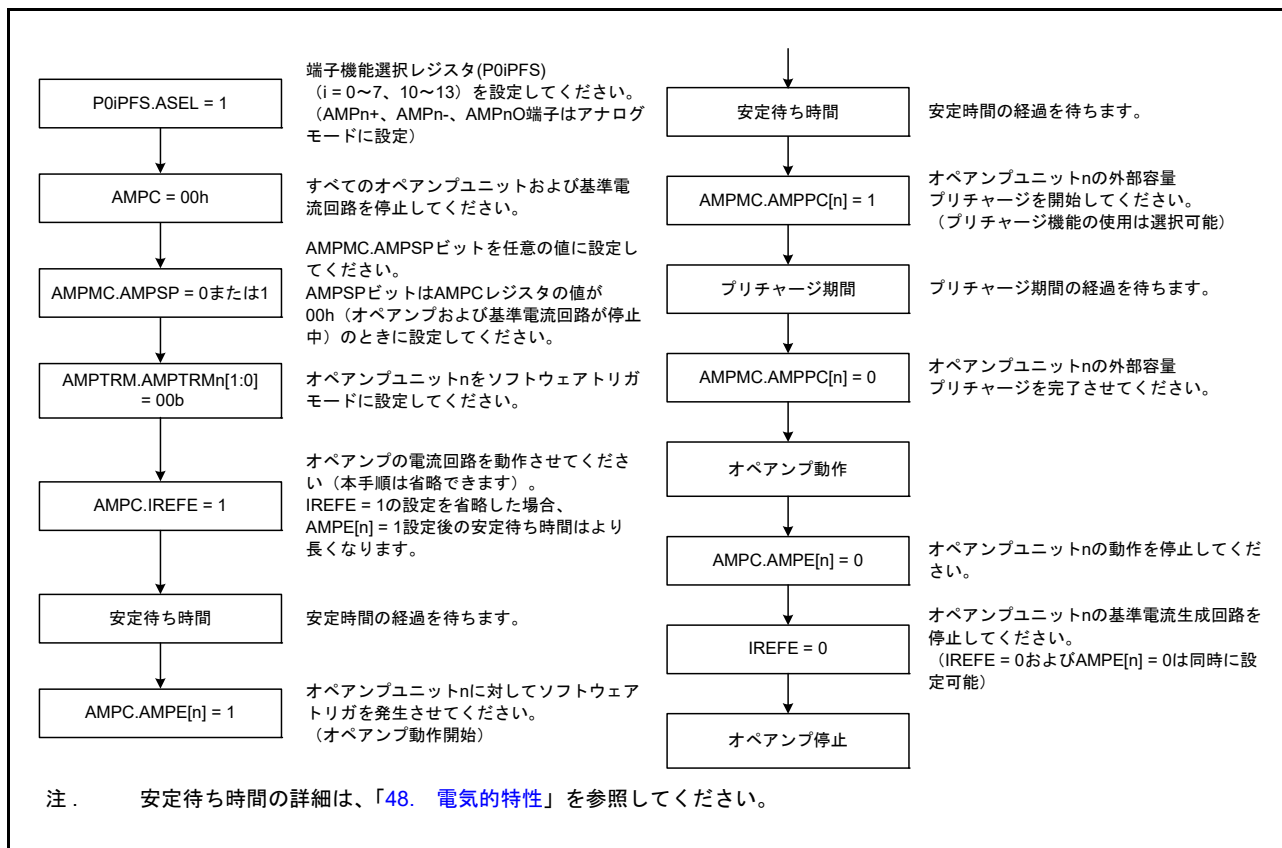


図 38.7 ソフトウェアトリガモードでの OPAMP 起動および停止手順

38.5 起動トリガモード

ここでは、起動トリガによってオペアンプを起動し、ソフトウェアによって停止する手順について説明します。各レジスタの設定例を [図 38.8](#) に示します。

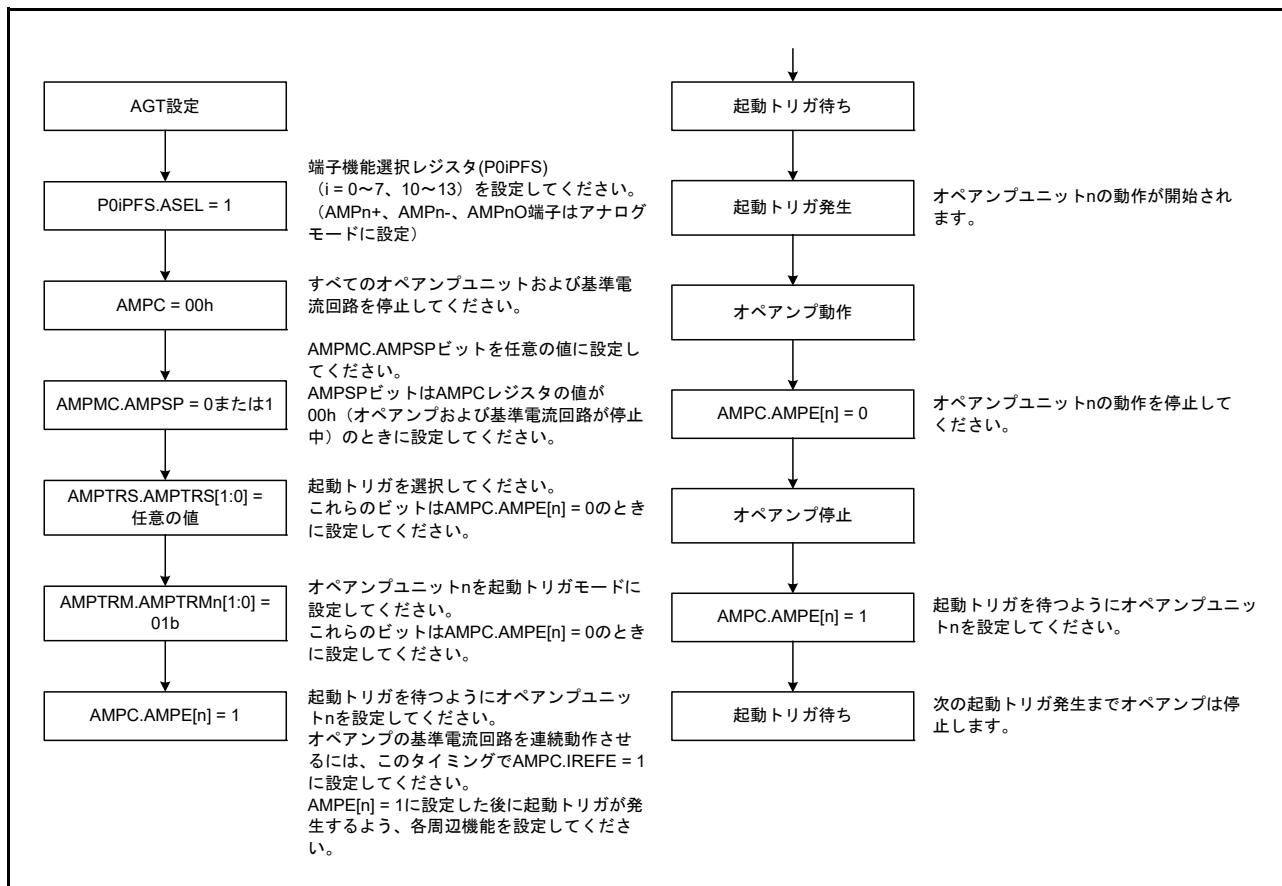


図 38.8 起動トリガモードでの OPAMP 起動および停止手順

38.6 起動および A/D トリガモード

ここでは、起動トリガによってオペアンプを起動し、A/D 変換終了トリガによって停止する手順について説明します。各レジスタの設定例を図 38.9 に示します。

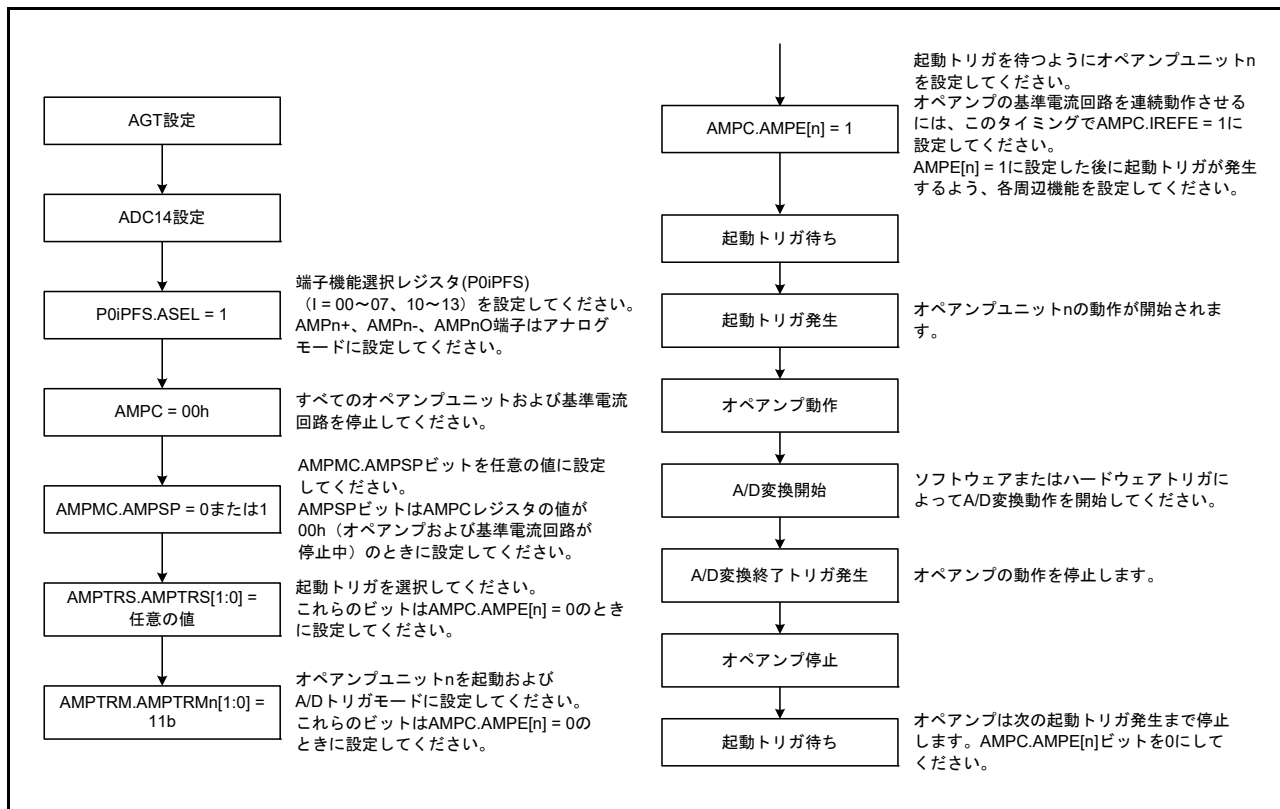


図 38.9 起動トリガによるオペアンプ起動と A/D 変換終了トリガによるオペアンプ停止手順

38.7 使用上の注意事項

AMPC レジスタの設定に加え、オペアンプ機能は起動トリガによって起動でき、A/D 変換終了で停止することが可能です。基準電流回路は A/D 変換終了時に停止できます。アプリケーションシーケンスでは、起動と停止の制御において、これらの非同期トリガが衝突しないような考慮が必要です。

オペアンプのプラスおよびマイナス入力に使用する端子は、A/D コンバータ用のアナログ入力にマルチプレクスされているため、A/D 変換を行わないでください。

39. 低消費電力アナログコンパレータ (ACMPLP)

39.1 概要

低消費電力アナログコンパレータ (ACMPLP) は、基準入力電圧およびアナログ入力電圧を比較します。コンパレータチャンネル ACMPLP0 と ACMPLP1 は、それぞれ独立しています。

基準入力電圧およびアナログ入力電圧の比較結果はソフトウェアで読み出すことができます。比較結果は外部に出力することもできます。基準入力電圧は、CMPREF_i (i = 0, 1) 端子への入力、内部 8 ビット D/A コンバータ出力、および MCU の内部に生成された内部基準電圧 (V_{ref}) から選択できます。

ACMPLP の応答速度は、動作開始前に設定可能です。High-speed モードを設定すると、応答遅延時間が短くなりますが、電流消費は増加します。Low-speed モードを設定すると、応答遅延時間が長くなりますが、電流消費は低減します。

ACMPLP の仕様を表 39.1 に、ウィンドウ機能が無効である場合の ACMPLP のブロック図を図 39.1 に、ウィンドウ機能が有効である場合の ACMPLP のブロック図を図 39.2 に示します。表 39.2 に ACMPLP の入出力端子を示します。

表 39.1 ACMPLP の仕様

項目	内容
チャンネル数	2チャンネル：ACMPLP0、ACMPLP1
アナログ入力電圧	CMPIN _i (i = 0, 1) 端子からの入力
基準電圧	<ul style="list-style-type: none"> ● 標準モード <ul style="list-style-type: none"> 下記のいずれかを選択 <ul style="list-style-type: none"> – 内部基準電圧 (V_{ref}) – CMPREF_i (i = 0, 1) 端子からの入力 – 内部 8 ビット D/A コンバータからの出力 ● ウィンドウモード <ul style="list-style-type: none"> 下記のいずれかを選択 <ul style="list-style-type: none"> – CMPREF_i (i = 0, 1) 端子からの入力 (CMPREF0：低基準、CMPREF1：高基準) – 内部 8 ビット D/A コンバータからの出力
コンパレータ出力	<ul style="list-style-type: none"> ● 比較結果 ● ELC イベント出力の発生 ● レジスタからの出力監視
割り込み要求信号	<ul style="list-style-type: none"> ● 比較結果の有効エッジ検出時に割り込み要求発生 ● 立ち上がりエッジ／立ち下がりエッジ／両エッジから選択可能
選択可能な機能	<ul style="list-style-type: none"> ● ノイズフィルタ機能 <ul style="list-style-type: none"> – 3つのサンプリング周波数のいずれかを選択可能 – フィルタ機能不使用を選択可能 ● ウィンドウ機能 <ul style="list-style-type: none"> – ウィンドウ機能の使用／不使用を選択可能 ● 低消費アナログコンパレータ応答速度 <ul style="list-style-type: none"> – High-speed モードまたは Low-speed モードを選択可能

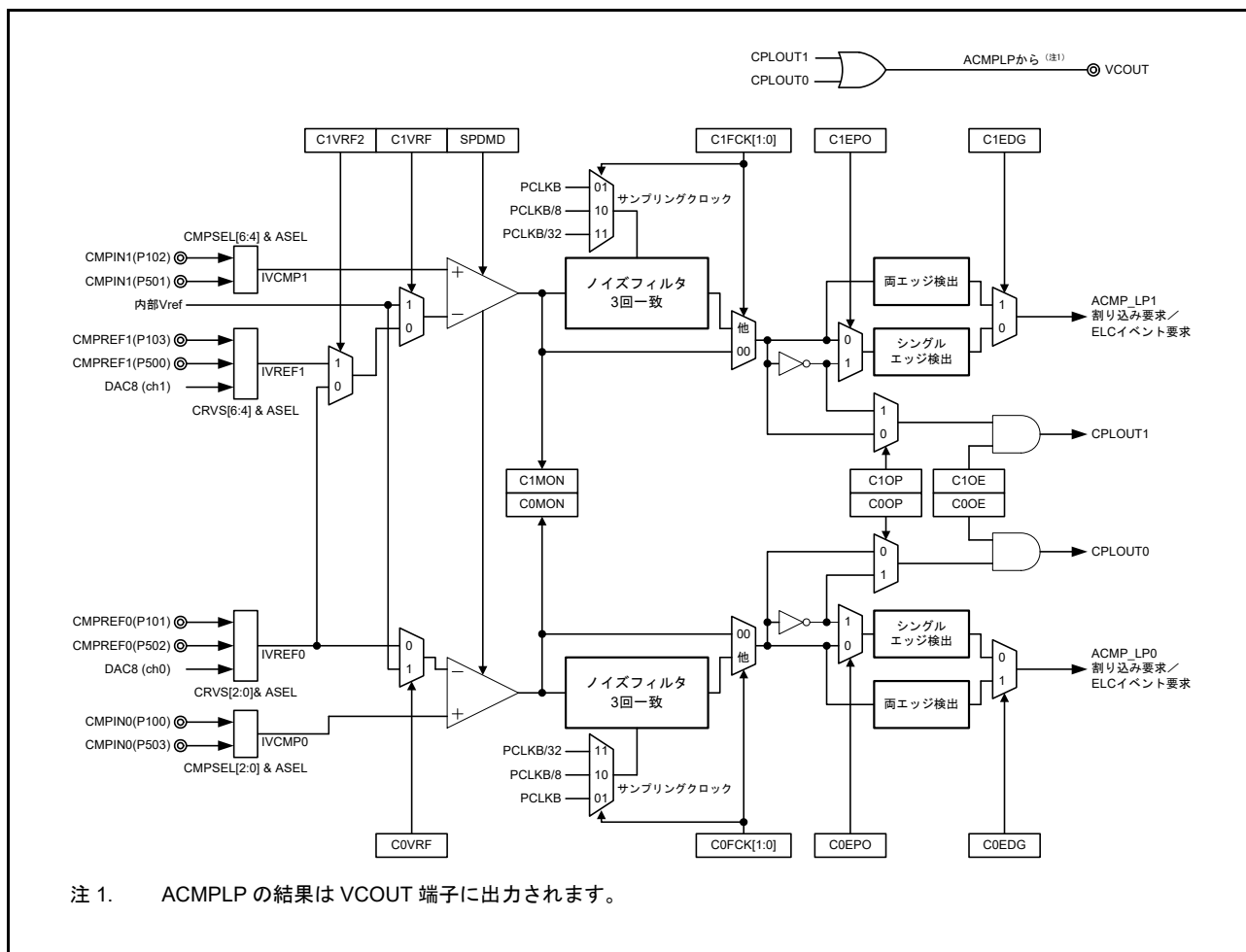


図 39.1 ウィンドウ機能無効時の ACMPLP ブロック図

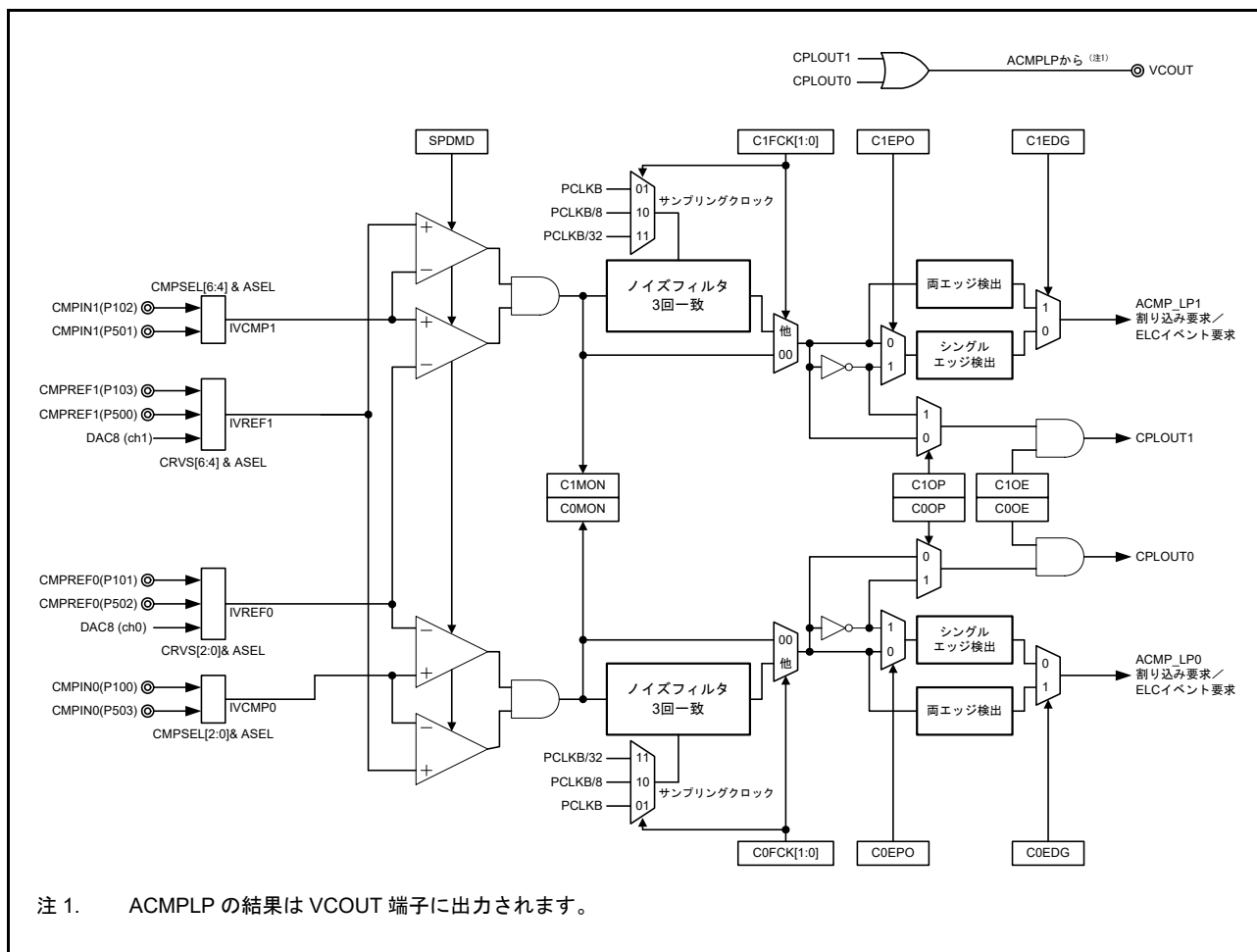


図 39.2 ウィンドウ機能有効時の ACMPLP ブロック図

表 39.2 コンパレータ端子の構成

コンパレータ	基準電圧入力端子		アナログ電圧入力端子		出力端子
	標準モード	ウィンドウ機能モード	標準モード	ウィンドウ機能モード	
ACMPLP0	<ul style="list-style-type: none"> IVREF0 (CMPREF0 (P101)/CMPREF0 (P502)/DAC8 (チャンネル0)) 内部 Vref (選択可能) 	低基準電圧 : <ul style="list-style-type: none"> IVREF0 (CMPREF0(P101)/CMPREF0 (P502)/DAC8 (チャンネル0)) 高基準電圧 : <ul style="list-style-type: none"> IVREF1 (CMPREF1 (P103)/CMPREF1 (P500)/DAC8 (チャンネル1)) 	<ul style="list-style-type: none"> IVCMP0 (CMPIN0(P100)/CMPIN0 (P503)) 		VCOUNT (注1)
ACMPLP1	<ul style="list-style-type: none"> IVREF0 (CMPREF0(P101)/CMPREF0 (P502)/DAC8 (チャンネル0)) IVREF1 (CMPREF1 (P103)/CMPREF1 (P500)/DAC8 (チャンネル1)) 内部 Vref (選択可能) 		<ul style="list-style-type: none"> IVCMP1 (CMPIN1(P102)/CMPIN1 (P501)) 		

注 1. ACMPLP0 および ACMPLP1 のコンペア出力は VCOUNT 端子に出力されます。

39.2 レジスタの説明

39.2.1 ACMPLP モード設定レジスタ (COMPMDR)

アドレス ACMPLP.COMPMDR 4008 5E00h

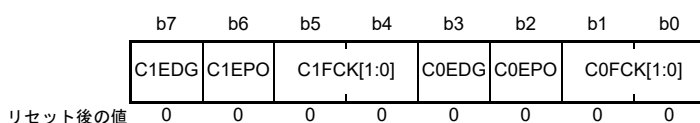
	b7	b6	b5	b4	b3	b2	b1	b0
	C1MON	C1VRF	C1WDE	C1ENB	C0MON	C0VRF	C0WDE	C0ENB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C0ENB	ACMPLP0動作許可	0: コンパレータチャンネルACMPLP0を禁止 1: コンパレータチャンネルACMPLP0を許可	R/W
b1	C0WDE	ACMPLP0ウィンドウ機能モード許可(注1)(注2)(注6)	0: ACMPLP0に対するウィンドウ機能を禁止 1: ACMPLP0に対するウィンドウ機能を許可	R/W
b2	C0VRF	ACMPLP0基準電圧選択(注6)	0: IVREF0 1: 内部基準電圧 (Vref)(注4)	R/W
b3	C0MON	ACMPLP0モニタフラグ(注3)	ウィンドウ機能無効時 0: IVCMP0 < ACMPLP0基準電圧 1: IVCMP0 > ACMPLP0基準電圧 ウィンドウ機能有効時 0: IVCMP0 < IVREF0またはIVCMP0 > IVREF1 1: IVREF0 < IVCMP0 < IVREF1	R
b4	C1ENB	ACMPLP1動作許可	0: ACMPLP1動作を禁止 1: ACMPLP1動作を許可	R/W
b5	C1WDE	ACMPLP1ウィンドウ機能モード許可(注1)(注2)(注5)	0: ACMPLP1ウィンドウ機能モード無効 1: ACMPLP1ウィンドウ機能モード有効	R/W
b6	C1VRF	ACMPLP1基準電圧選択(注5)	0: IVREF0またはIVREF1 1: 内部基準電圧 (Vref)(注4)	R/W
b7	C1MON	ACMPLP1モニタフラグ(注3)	ウィンドウ機能無効時 0: IVCMP1 < ACMPLP1基準電圧 1: IVCMP1 > ACMPLP1基準電圧 ウィンドウ機能有効時 0: IVCMP1 < IVREF0またはIVCMP1 > IVREF1 1: IVREF0 < IVCMP1 < IVREF1	R

- 注 1. Low-speed モードが選択されている (COMPOCR.SPDMD ビットが 0) 場合は、ウィンドウ機能モードは設定できません。
- 注 2. ウィンドウ機能モードでは、本ビットの設定にかかわらずコンパレータの基準電圧が選択されます。
- 注 3. リセットが解除された直後は、初期値が 0 です。しかし、コンパレータの動作がいったん許可された後に C0ENB および C1ENB が 0 に設定された場合、値は不定となります。
- 注 4. 本設定は標準モードでのみ有効です。ウィンドウ機能モードでは、本ビットの設定にかかわらず IVREF0 または IVREF1 が選択されます。
- 注 5. C1WDE および C1VRF を変更するには、CRV[6:4] ビットおよび CRV[2:0] ビットを 000b にする必要があります。
- 注 6. C0WDE および C0VRF を変更するには、CRV[2:0] ビットを 000b にする必要があります。

39.2.2 ACMPLP フィルタコントロールレジスタ (COMPFIR)

アドレス ACMPLP.COMPFIR 4008 5E01h



ビット	シンボル	ビット名	機能	R/W
b1-b0	C0FCK[1:0]	ACMPLP0 フィルタ機能選択 (注1)	b1 b0 0 0: サンプリングなし (バイパス) 0 1: PCLKBでサンプリング 1 0: PCLKB/8でサンプリング 1 1: PCLKB/32でサンプリング	R/W
b2	C0EPO	ACMPLP0 エッジ極性切り替え (注1)	0: 立ち上がりエッジでの割り込みおよびELCイベント要求 1: 立ち下がりエッジでの割り込みおよびELCイベント要求	R/W
b3	C0EDG	ACMPLP0 エッジ検出選択 (注1)	0: 片エッジ検出による割り込みおよびELCイベント要求 1: 両エッジ検出による割り込みおよびELCイベント要求	R/W
b5-b4	C1FCK[1:0]	ACMPLP1 フィルタ機能選択 (注1)	b5 b4 0 0: サンプリングなし (バイパス) 0 1: PCLKBでサンプリング 1 0: PCLKB/8でサンプリング 1 1: PCLKB/32でサンプリング	R/W
b6	C1EPO	ACMPLP1 エッジ極性切り替え (注1)	0: 立ち上がりエッジでの割り込みおよびELCイベント要求 1: 立ち下がりエッジでの割り込みおよびELCイベント要求	R/W
b7	C1EDG	ACMPLP1 エッジ検出選択 (注1)	0: 片エッジ検出による割り込みおよびELCイベント要求 1: 両エッジ検出による割り込みおよびELCイベント要求	R/W

注 1. CiFCK[1:0]、CiEPO、および CiEDG (i = 0, 1) ビットが変更されると、ACMPLP 割り込み要求および ELC イベント要求が発生する可能性があります。これらのビットは、イベントリンクを非選択にした後にのみ変更してください。また、関連する割り込み要求フラグをクリアしてください。

39.2.3 ACMPLP 出カコントロールレジスタ (COMPOCR)

アドレス ACMPLP.COMPOCR 4008 5E02h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPDMD	C1OP	C1OE	—	—	COOP	COOE	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b1	C0OE	ACMPLP0 VCOOUT 端子出力許可 (注1)	0: ACMPLP0 VCOOUT 端子出力を禁止 1: ACMPLP0 VCOOUT 端子出力を許可	R/W
b2	C0OP	ACMPLP0 VCOOUT 出力極性選択 (注1)	0: 反転なし 1: 反転あり	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	C1OE	ACMPLP1 VCOOUT 端子出力許可 (注1)	0: ACMPLP1 VCOOUT 端子出力を禁止 1: ACMPLP1 VCOOUT 端子出力を許可	R/W
b6	C1OP	ACMPLP1 VCOOUT 出力極性選択 (注1)	0: 反転なし 1: 反転あり	R/W
b7	SPDMD	ACMPLP0/ACMPLP1 速度選択 (注2)	0: コンパレータ Low-speed モード選択 1: コンパレータ High-speed モード選択	R/W

注 1. ACMPLP0 および ACMPLP1 の結果出力は VCOOUT 端子に出力されます。

注 2. SPDMD ビットを書き換える場合は、必ず事前に COMPMDR.CiENB ビット (i=0, 1) を 0 にしてください。

39.2.4 コンパレータ入力選択レジスタ (COMPSEL0)

アドレス ACMPLP.COMPSEL0 4008 5E04h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	CMPSEL[6:4]			—	CMPSEL[2:0]		—
リセット後の値	0	0	0	1	0	0	0	1

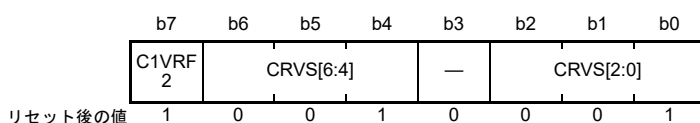
ビット	シンボル	ビット名	機能	R/W
b2-b0	CMPSEL[2:0]	ACMPLP0 入力 (IVCMP0) 選択 (注1)	b2 b0 0 0 0: 入力なし 0 0 1: CMPIN0 (P100) 1 0 0: CMPIN0 (P503) 上記以外は設定しないでください。	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	CMPSEL[6:4]	ACMPLP1 入力 (IVCMP1) 選択 (注2)	b6 b4 0 0 0: 入力なし 0 0 1: CMPIN1 (P102) 1 0 0: CMPIN1 (P501) 上記以外は設定しないでください。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. CMPSEL[2:0] の値が 000b でない場合、000b 以外の値を書き込まないでください。

注 2. CMPSEL[6:4] の値が 000b でない場合、000b 以外の値を書き込まないでください。

39.2.5 コンパレータ基準電圧選択レジスタ (COMPSEL1)

アドレス ACMPLP.COMPSEL1 4008 5E05h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CRVS[2:0]	ACMPLP0 基準電圧 (IVREF0) 選択 (注1)	b2 b0 0 0 0: 入力なし 0 0 1: CMPREF0 (P101) 0 1 0: DAC8 (チャンネル0) 出力 1 0 0: CMPREF0 (P502) 上記以外は設定しないでください。	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b0	CRVS[6:4]	ACMPLP1 基準電圧 (IVREF1) 選択 (注2)	b6 b4 0 0 0: 入力なし 0 0 1: CMPREF1 (P103) 0 1 0: DAC8 (チャンネル1) 出力 1 0 0: CMPREF1 (P500) 上記以外は設定しないでください。	R/W
b7	C1VRF2	ACMPLP1 基準電圧選択2 (注3)	0: IVREF0 選択 1: IVREF1 選択	R/W

- 注 1. CRVS[2:0] の値が 000b でない場合、000b 以外の値を書き込まないでください。
 注 2. CRVS[6:4] の値が 000b でない場合、000b 以外の値を書き込まないでください。
 注 3. C1VRF2 を変更するには、CRVS[6:4] ビットおよび CRVS[2:0] ビットを 000b にする必要があります。

39.3 動作説明

ACMPLP0 および ACMPLP1 は独立していますが、動作は同じです。コンパレータの動作中に関連するレジスタの値を変更した場合、動作は保証されません。表 39.3 に ACMPLP に関連するレジスタの設定手順を示します。

表 39.3 ACMPLP (i = 0, 1) 関連レジスタの設定手順

手順	レジスタ	ビット	設定内容	
1	MSTPCRD	MSTPD29	0 : 入力クロック供給	
2	該当のポート mn 端子機能選択レジスタ (PmnPFS)	ASEL	アナログ入力を選択	
	COMPSEL0	CMPSEL[2:0]、 CMPSEL[6:4]		
3	COMPOCR	SPDMD	コンパレータの応答速度の選択 0 : Low-speed モード 1 : High-speed モード (注1)	
4	COMPMDR	CiWDE	0 : ウィンドウ機能モード無効	1 : ウィンドウ機能モード有効 (注2)
		CiVRF (注5)	基準電圧の選択	ウィンドウコンパレータ動作 (基準 = IVREF0 および IVREF1 (注3))
	COMPSEL1	CRVS[2:0]、 CRVS[6:4]、 C1VRF2		
	COMPMDR	CiENB	1 : 動作許可	
5	コンパレータ安定時間 T_{cmp} (最小 100 μ s) 待機			
6	COMPFIR	CiFCK[1:0]	デジタルフィルタを使用するかどうか、およびサンプリングクロックの選択	
		CiEPO、CiEDG	割り込み要求のエッジ検出条件の選択 (立ち上がりエッジ、立ち下がりエッジ、両エッジ)	
7	COMPOCR	CiOP、CiOE	VCOOUT 出力の設定 (極性の選択および出力許可/禁止の設定)	
	該当のポート mn 端子機能選択レジスタ (PmnPFS)	PSEL、PMR	VCOOUT ポート機能を選択	
8	IELSRn	IR、IELS[7:0]	割り込み使用時 : 割り込みステータスフラグ、ICU イベントリンクの選択 (注3)	
9	ELSRn	ELS[7:0]	ELC 使用時 : イベントリンクの選択 (注4)	
10	動作開始			

- 注 1. ACMPLP0 および ACMPLP1 は、個別に設定できません。
- 注 2. High-speed モードでのみ設定できます (SPDMD = 1)。
- 注 3. コンパレータを設定した後、動作が安定するまで不要な割り込みが発生する可能性があるため、割り込みフラグを初期化してください。
- 注 4. コンパレータを設定した後、動作が安定するまで不要な割り込みが発生する可能性があるため、イベントリンク選択を初期化してください。
- 注 5. 内部基準電圧 (Vref) を変更するには、39.2.1 ACMPLP モード設定レジスタ (COMPMDR) に記載の手順に従ってください。

ウィンドウ機能が無効の場合の ACMPLPi (i = 0, 1) の動作例を図 39.3 に示します。以下に示すように、基準入力電圧 (IVREFi) または内部基準電圧 (Vref) とアナログ入力電圧 (IVCMPi) が比較されます。

- アナログ入力電圧が基準入力電圧より高い場合、COMPMDR.CiMON ビットが 1 になります
- アナログ入力電圧が基準入力電圧より低い場合、CiMON ビットが 0 になります

ACMPLPi は割り込みを ICU に出力します。割り込みの詳細は、39.5 ACMPLP 割り込みを参照してください。ACMPLPi は、他のモジュールを起動するためのイベント信号も ELC に出力します。ELC の詳細は、39.6 ELC イベント出力を参照してください。比較中、レジスタの値を変更しないでください。

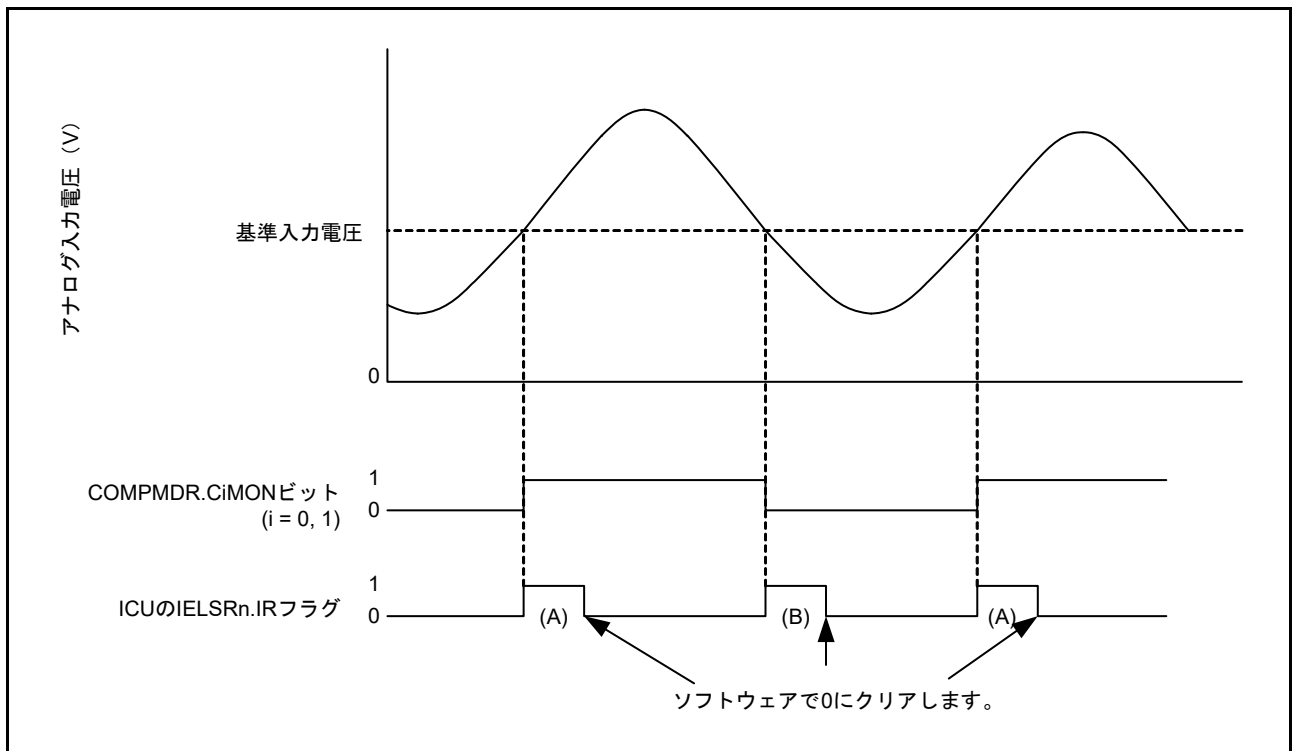


図 39.3 ウィンドウ機能無効時の ACMPLPi (i = 0, 1) の動作例

以下の条件が成立したとき図 39.3 の内容が適用されます。

- CiFCK[1:0] = 00b (サンプリングなし) かつ CiEDG = 1 (両エッジ) のとき
- CiEDG = 0 かつ CiEPO = 0 (立ち上がりエッジ) の場合、IELSRn.IR が (A) で示されるように変化したとき
- CiEDG = 0 かつ CiEPO = 1 (立ち下がりエッジ) の場合、IELSRn.IR が (B) で示されるように変化したとき

ウィンドウ機能が有効の場合の ACMPLPi (i = 0, 1) の動作例を図 39.4 に示します。

基準電圧 (IVREF0/IVREF1) およびアナログ入力電圧が比較されます。CiMON ビットは下記のとおり設定されます。

- $IVREF0 < \text{アナログ入力電圧} < IVREF1$ のときは 1
- $\text{アナログ入力電圧} < IVREF0$ 、または $IVREF1 < \text{アナログ入力電圧}$ のときは 0

ACMPLPi は割り込みを ICU に出力します。割り込みの詳細は、39.5 ACMPLP 割り込みを参照してください。ACMPLPi は、他のモジュールを起動するためのイベント信号も ELC に出力します。ELC の詳細は、39.6 ELC イベント出力を参照してください。比較中、レジスタの値を変更しないでください。

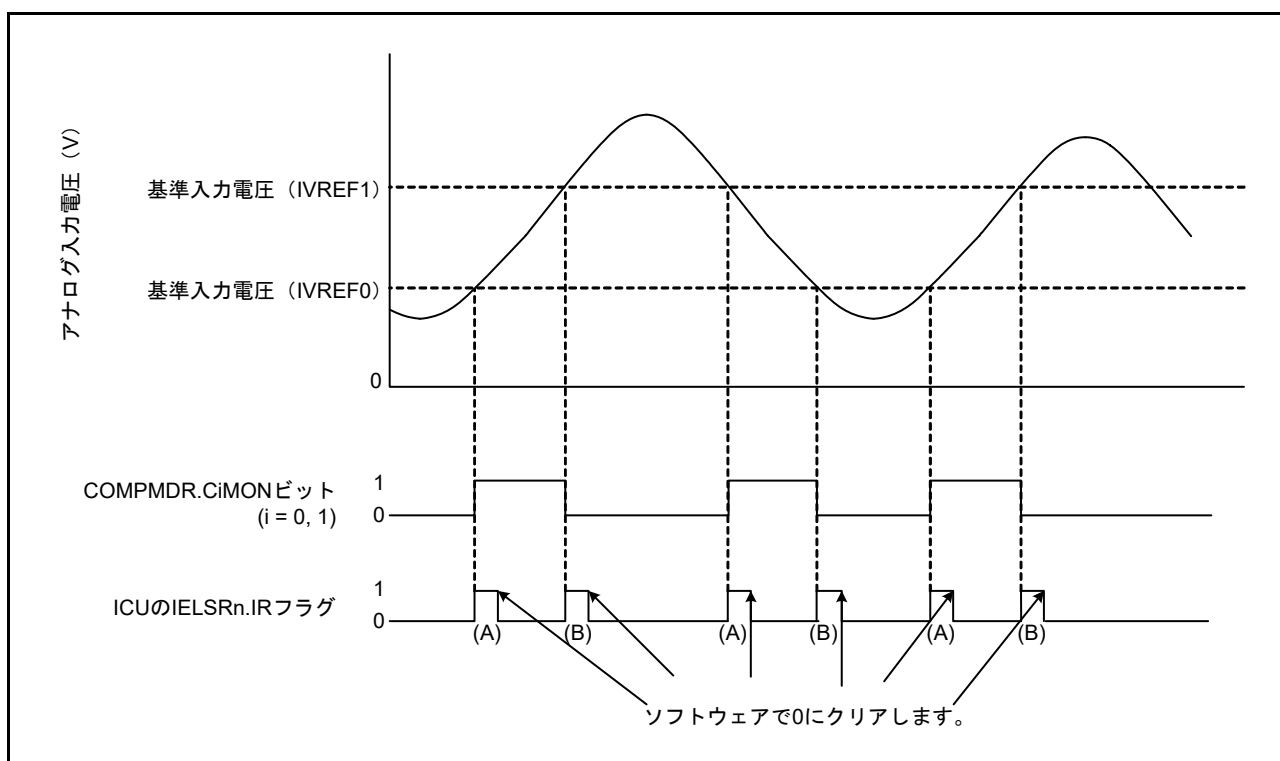


図 39.4 ウィンドウ機能有効時の ACMPLP_i (i = 0, 1) の動作例

以下の条件が成立したとき図 39.4 の内容が適用されます。

- CiFCK[1:0] = 00b (サンプリングなし) かつ CiEDG = 1 (両エッジ) のとき
- CiEDG = 0 かつ CiEPO = 0 (立ち上がりエッジ) の場合、IELSRn.IR が (A) で示されるように変化したとき
- CiEDG = 0 かつ CiEPO = 1 (立ち下がりエッジ) の場合、IELSRn.IR が (B) で示されるように変化したとき

39.4 ノイズフィルタ

ACMPLPi ノイズフィルタの構成を [図 39.5](#) に、動作例を [図 39.6](#) に示します。

COMPFIR.CiFCK[1:0] ビットによってサンプリングクロックの選択が可能です。ACMPLPi からの ACMP_LPi 信号 (内部信号) 出力は、サンプリングクロック周期ごとにサンプリングされます。レベルが 3 回一致すると、該当の IELSRn.IR ビットが 1 (割り込み要求) になり、ELC イベントが出力されます。

ソフトウェアスタンバイモードで割り込みを使用する場合、COMPFIR.CiFCK[1:0] ビットを 00b (バイパス) にします。

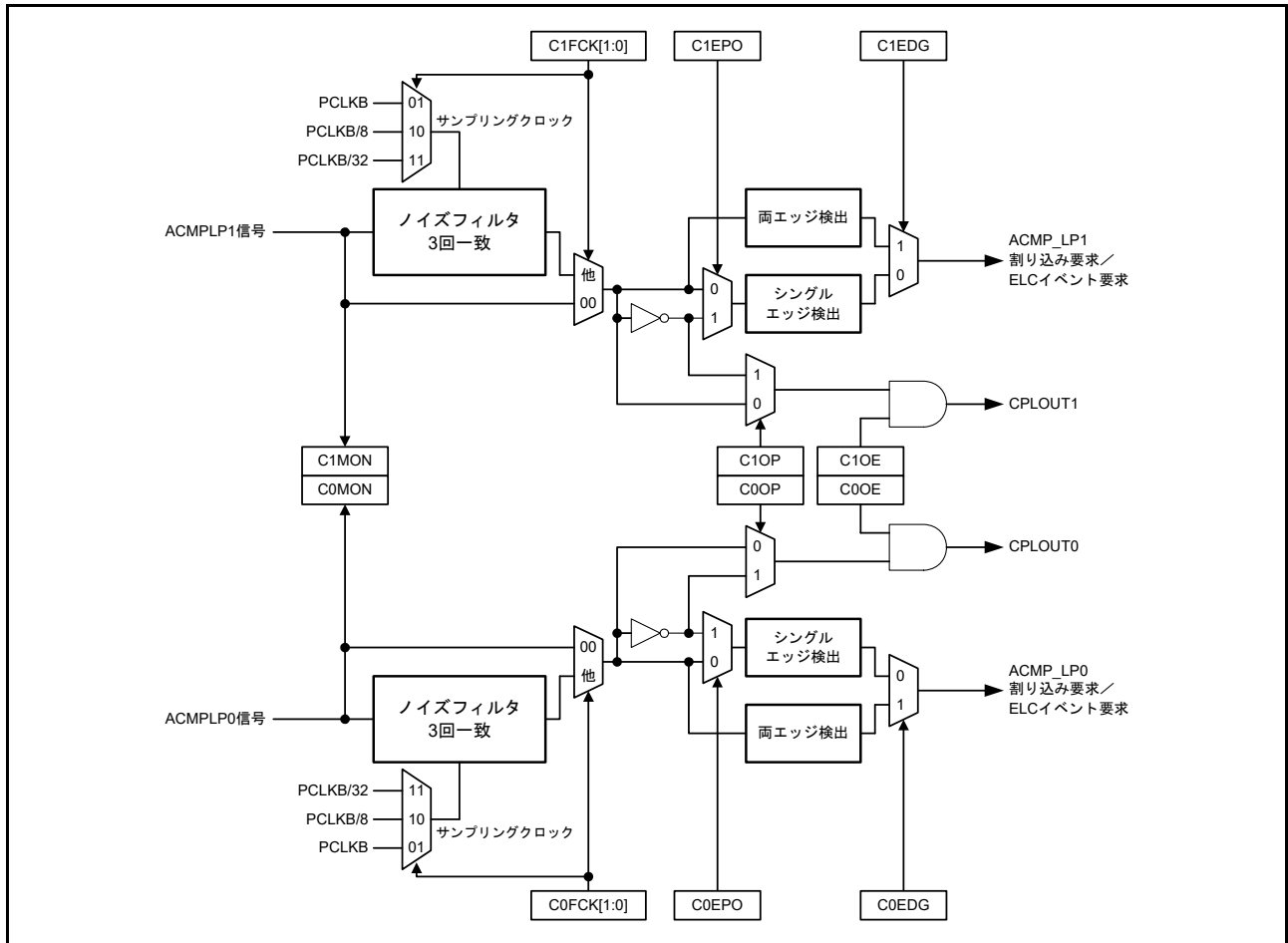


図 39.5 ノイズフィルタおよびエッジ検出の構成

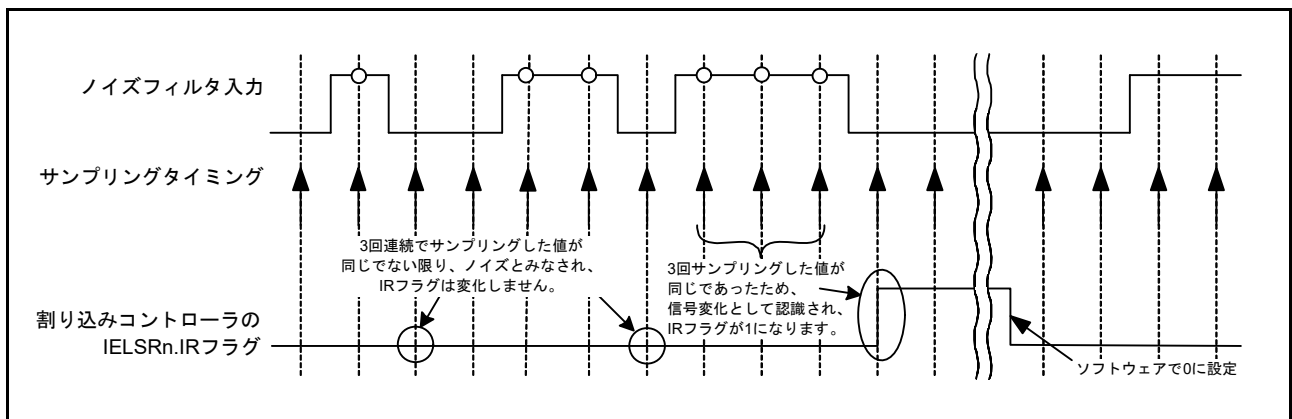


図 39.6 ノイズフィルタおよび割り込みの動作例

39.5 ACMPLP 割り込み

ACMPLP は、ACMPLP0 および ACMPLP1 から割り込み要求を生成します。ACMPLPi ($i=0, 1$) 割り込みを使用するには、ICU の IELSRn レジスタで該当のビットを選択してください。COMPFIR.CiEDG ビットによって片エッジ検出または両エッジ検出のいずれかを選択してください。片エッジ検出を選択するときは、CiEPO ビットによって極性を選択してください。

割り込み出力は、COMPFIR.CiFCK[1:0] ビットで選択された、3つのサンプリングクロックのうち1つを使用するノイズフィルタを通過させることも可能です。各サンプリングクロックを選択するには、COMPFIR.CiFCK[1:0] ビットを、01b、10b または 11b にします。ACMPLP0 割り込み要求を使用してソフトウェアスタンバイモードまたはスヌーズモードを解除するには、COMPFIR.COFCCK[1:0] を 00b (サンプリングなし) にします。ACMPLP1 割り込み要求は、ソフトウェアスタンバイモードまたはスヌーズモードの解除には使用できません。

39.6 ELC イベント出力

ELC は、ACMPLP 割り込み要求信号を ELC イベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ACMPLP の ELC イベントを使用するには、ELC の ELSRn レジスタで選択します。ELC イベント要求を使用する場合、COMPFIR.CiFCK[1:0] ビットを 01b、10b、または 11b にします。

39.7 割り込み処理と ELC リンクの関係

ACMPLPi は ELC イベント信号を出力し、あらかじめ設定していたモジュールの動作を開始することが可能です。割り込み要因の場合と同様に、ACMPLPi から ELC へのイベント信号出力発生条件は、COMPFIR.CiEDG ビットを設定することで片エッジ検出または両エッジ検出として選択できます。片エッジ検出を選択するときは、CiEPO ビットによって極性を選択できます。

39.8 コンパレータ端子出力

ACMPLPi からの比較結果は外部端子に出力できます。COMPOCR.CiOP および CiOE ビットを使用して、出力極性 (非反転出力または反転出力)、および比較出力の許可または禁止を設定できます。

ACMPLP 比較結果を CPLOUTi によって VCOUT 出力端子に出力するには、I/O レジスタの該当のポート mn 端子機能選択レジスタ (PmnPFS) を設定してください。

レジスタ設定および関連するコンパレータ出力については、[39.2.3 ACMPLP 出力コントロールレジスタ \(COMPOCR\)](#) を参照してください。

39.9 使用上の注意事項

39.9.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ D (MSTPCRD) によって、ACMPLP の動作を許可または禁止することが可能です。ACMPLP は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[10. 低消費電力モード](#)」を参照してください。

39.9.2 A/D コンバータとの関係

ACMPLP アナログ入力と A/D コンバータアナログ入力を同時に使用する場合は制限がかかります。詳細は、[35.8.13 ADC14、OPAMP、ACMPLP 間の関係](#) を参照してください。

40. 8ビットD/Aコンバータ (DAC8)

40.1 概要

表 40.1 に8ビットD/Aコンバータの仕様を、図 40.1 にブロック図を示します。

表 40.1 DAC8の仕様

項目	内容
分解能	8ビット
出力チャンネル	2チャンネル
モジュールストップ機能	モジュールストップ状態を設定して消費電力を低減

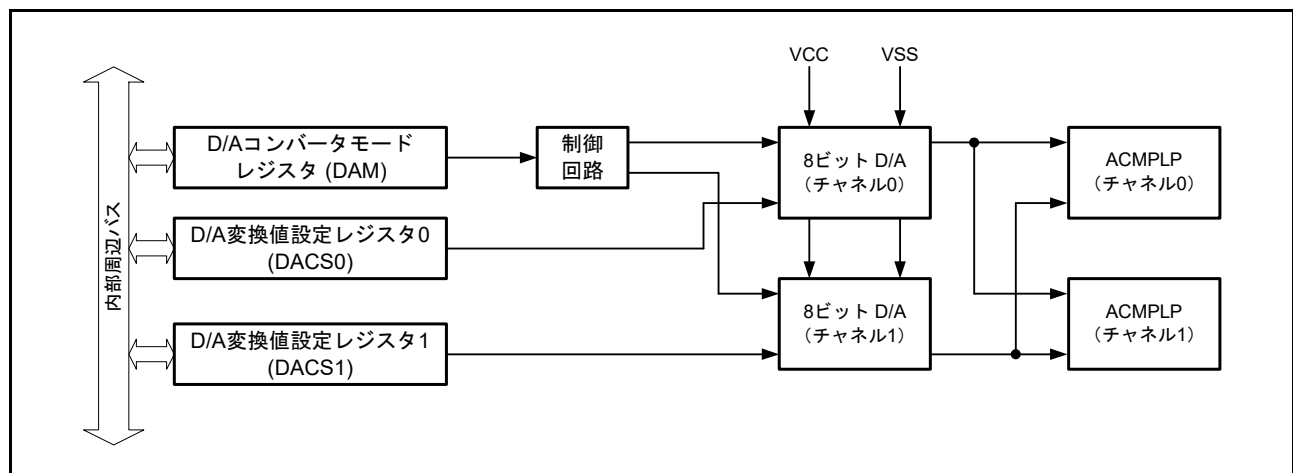
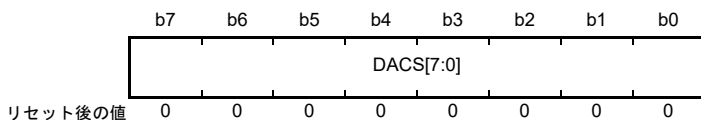


図 40.1 DAC8のブロック図

40.2 レジスタの説明

40.2.1 D/A 変換値設定レジスタ n (DACS_n) (n = 0, 1)

アドレス [DAC8.DACS0 4009 E000h](#), [DAC8.DACS1 4009 E001h](#)

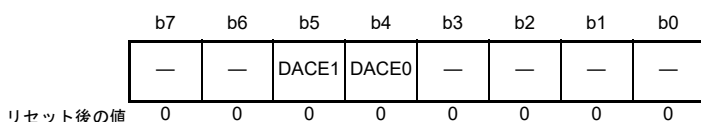


DACS_n レジスタは、D/A 変換を行うデータを格納するための 8 ビットの読み出し/書き込みレジスタです。D/A 変換が許可されている場合、DACS_n レジスタの値が変換され、ACMPLP に出力されます。

DAC8 出力が COMPSEL1 レジスタにおいて ACMPLP の基準入力として選択されており、ACMPLP 動作が有効 (COMPMDR.CnENB = 1) の場合、使用中のチャンネルについて DACS[7:0] ビットを変更しないでください。

40.2.2 D/A コンバータモードレジスタ (DAM)

アドレス [DAC8.DAM 4009 E003h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DACE0	D/A 動作許可 0	0 : チャンネル0のD/A変換を禁止 1 : チャンネル0のD/A変換を許可	R/W
b5	DACE1	D/A 動作許可 1	0 : チャンネル1のD/A変換を禁止 1 : チャンネル1のD/A変換を許可	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DACEn ビット (D/A 動作許可 n) (n = 0, 1)

D/A 変換を許可または禁止します。

DAC8 出力が COMPSEL1 レジスタにおいて ACMPLP の基準入力として選択されており、ACMPLP 動作が有効 (COMPMDR.CnENB = 1) の場合、使用中のチャンネルについて DACEn ビットを変更しないでください。

40.3 動作説明

8ビットD/Aコンバータには2チャンネルのD/A変換回路があり、それぞれが独立して動作を行うことができます。DAM.DACEn ビット (n=0, 1) を1にすると、8ビットD/Aコンバータが有効になり、変換結果がACMPLPに出力されます。

以下にチャンネル0のD/A変換を行う場合の動作例を示します。

1. DACS0レジスタにD/A変換を行うためのデータを設定します。
2. DAM.DACE0ビットを1にすると、D/A変換を開始します。変換結果はACMPLPに出力されます。DACS0が書き換えられるまで、またはDAM.DACE0ビットが0(D/A変換禁止)になるまで、変換結果が出力され続けます。出力値(参考)は以下の式で計算します。

$$\frac{\text{DACS0レジスタ}}{256} \times VCC$$

3. COMPSEL1レジスタを設定し、8ビットD/Aコンバータを基準電圧として選択してください。
4. COMPMDR.CiENBビットを1にします。
5. コンパレータ安定時間 T_{cmp} (最小 100 μs) 待機します。詳細は、「[39. 低消費電力アナログコンパレータ \(ACMPLP\)](#)」を参照してください。

40.4 使用上の注意事項

40.4.1 モジュールストップ状態

モジュールストップコントロールレジスタD (MSTPCRD) によって、8ビットD/Aコンバータの動作を許可または禁止することが可能です。8ビットD/Aコンバータは、リセット後は動作が停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[10. 低消費電力モード](#)」を参照してください。

40.4.2 モジュールストップ状態での8ビットD/Aコンバータの動作

D/A変換を許可した状態でMCUがモジュールストップ状態になると、D/A出力が保存されます。電源電流は、D/A変換中の値と同じです。モジュールストップ状態のときに電源電流の低減が必要な場合は、DAM.DACEnビットを0にしてD/A変換を禁止してください。

40.4.3 ソフトウェアスタンバイモード時の8ビットD/Aコンバータの動作

D/A変換を許可した状態でMCUがソフトウェアスタンバイモードになると、D/A出力が保存されます。電源電流はD/A変換中の値と同じです。ソフトウェアスタンバイモード時に電源電流の低減が必要な場合は、DAM.DACEnビットを0にしてD/A変換を禁止してください。

40.4.4 D/Aコンバータを使用しないとき

8ビットD/Aコンバータを使用しないときは、DAM.DACEnビットを0(出力禁止)およびDACS_nレジスタを00hにすることにより、電流が流れず電流消費を低減することが可能です。

41. 静電容量式タッチセンシングユニット (CTSU)

41.1 概要

静電容量式タッチセンシングユニット (CTSU) は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は電気絶縁体で覆われており、指が電極に直接接触することはありません。

図 41.1 に示すように、電極と周囲の導電体との間には静電容量 (寄生容量) が存在します。人体も導電体ですので、電極に指が近づくと静電容量の値が増加します。

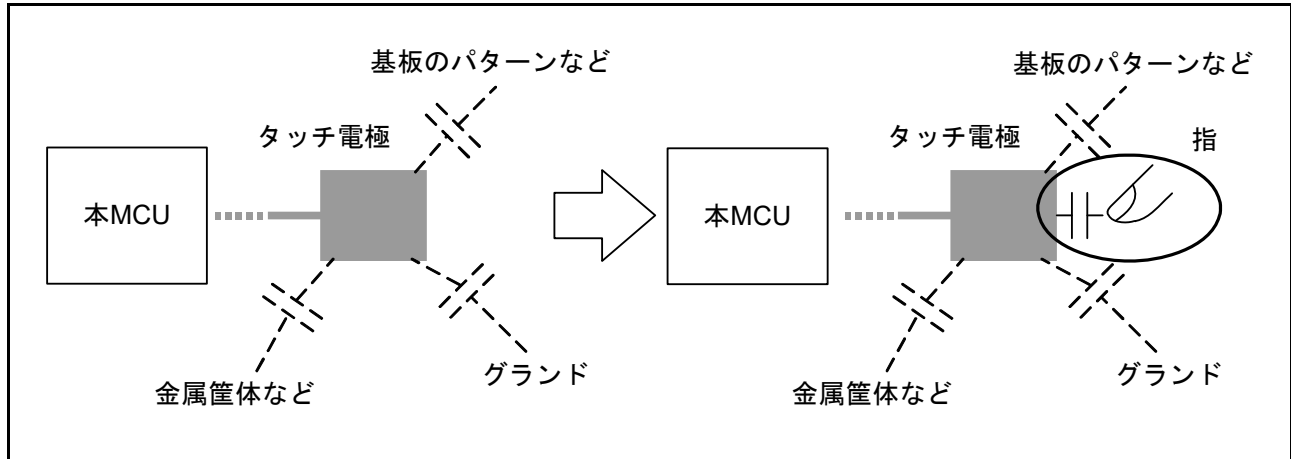


図 41.1 指による静電容量の増加

静電容量の検出方式には、自己容量方式と相互容量方式があります。自己容量方式では、指と1つの電極との間に生じる静電容量を検出します。一方、相互容量方式は、2つの電極を送信電極と受信電極として使用し、指が接近することによって両者の間に生じる静電容量の変化を検出する方式です。

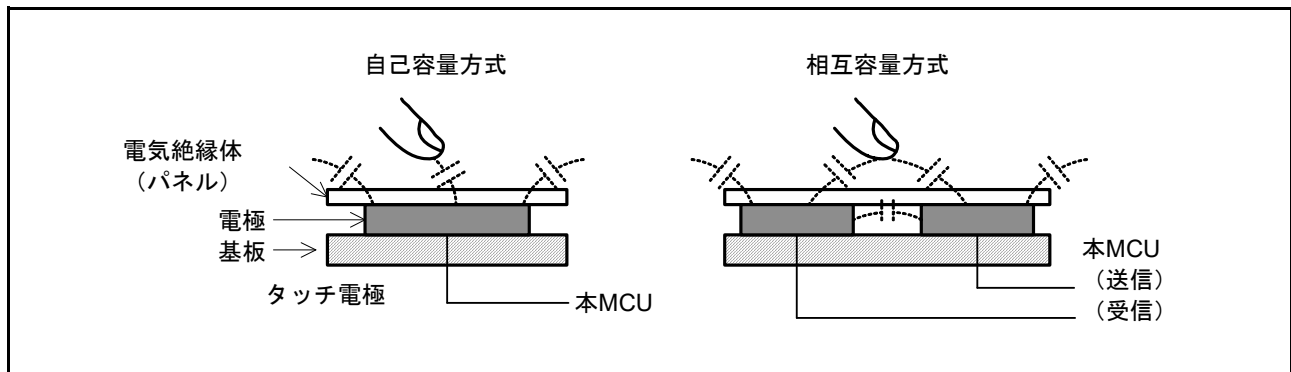


図 41.2 自己容量方式と相互容量方式

静電容量の測定は、充放電電流の量に応じて周波数が変化するクロック信号を一定の時間カウントすることにより行います。CTSUの計測原理の詳細については、[41.3.1 計測動作原理](#)を参照してください。[表 41.1](#)にCTSUの仕様を、[図 41.3](#)にブロック図を示します。

表 41.1 CTSUの仕様

項目		機能
動作クロック		PCLKB, PCLKB/2, PCLKB/4
端子	静電容量計測	27チャンネル (TS00~TS13, TS17~TS22, TS27~TS31, TS34, TS35)
	TSCAP	LPF (Low Pass Filter) 接続端子
計測モード	自己容量シングルスキャンモード	自己容量方式で1チャンネルの静電容量を計測
	自己容量マルチスキャンモード	自己容量方式で複数チャンネルの静電容量を連続して計測
	相互容量フルスキャンモード	相互容量方式で複数チャンネルの静電容量を連続して計測
ノイズ対策		同期系ノイズ対策、高域ノイズ対策
計測開始条件		<ul style="list-style-type: none"> ソフトウェアトリガ 外部トリガ (イベントリンクコントローラ (ELC) からのELC_CTSU)

CTSUSは、図 41.3 に示すように以下のコンポーネントで構成されます。

- ステータス制御部
- トリガ制御部
- クロック制御部
- チャンネル制御部
- ポート制御部
- センサドライブパルス生成部
- 計測部
- 割り込み部
- I/O レジスタ

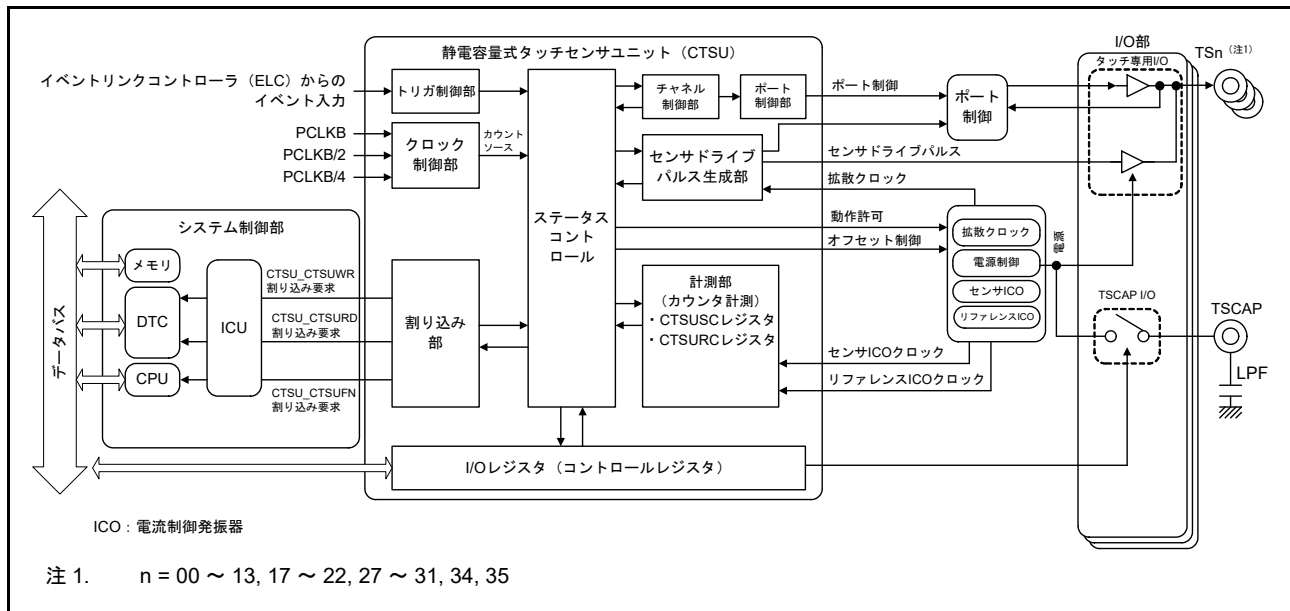


図 41.3 CTSUSのブロック図

表 41.2 CTSU 端子の構成

端子名	入出力	機能
TS00 ~ TS13, TS17 ~ TS22, TS27 ~ TS31, TS34, TS35	入力	静電容量計測端子 (タッチ端子)
TSCAP	—	LPF 接続端子

41.2 レジスタの説明

41.2.1 CTSU コントロールレジスタ 0 (CTSUCR0)

アドレス CTSU.CTSUCR0 4008 1000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CTSUI NIT	—	CTSUS NZ	CTSUC AP	CTSUS TRT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUSTRT	CTSUS 計測動作開始	0 : 計測動作停止 (注1) 1 : 計測動作開始	R/W
b1	CTSUCAP	CTSUS 計測動作開始トリガ選択	0 : ソフトウェアトリガ 1 : 外部トリガ	R/W
b2	CTSUSNZ	CTSUS 待機時省電力有効	待機時省電力機能を設定します。 0 : 待機時省電力機能無効 1 : 待機時省電力機能有効	R/W
b3	—	予約ビット	読むと0が読み出されます。書く場合、0としてください。	R/W
b4	CTSUINIT	CTSUS 制御部初期化	1を書くと、CTSUS制御部と、CTSUSUC、CTSUSURC、CTSUSUMCH0、CTSUSUMCH1、CTSUSUSTの各レジスタが初期化されます。読むと0が読めます。	W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. CTSUS を使用しない場合、本ビットは0に固定してください。

CTSUCAP ビットと CTSUSNZ ビットの設定は、CTSUSTRT ビットが0のときのみ行ってください。計測動作開始時に同時に設定可能です。

CTSUSTRT ビット (CTSUS 計測動作開始)

計測動作の開始または停止を指定します。CTSUCAP ビットが0のとき、ソフトウェアが CTSUSTRT ビットに1を書き込むこと (ソフトウェアトリガ) により計測を開始し、ハードウェアが CTSUSTRT ビットを0にすると停止します。CTSUCAP ビットが1のとき、CTSUSTRT ビットに1を書き込むことにより外部トリガの待機状態となり、外部トリガの立ち上がりで計測を開始します。計測が終了したら、次の外部トリガの待機状態となり動作が継続されます。

CTSUS の状態を表 41.3 に示します。

表 41.3 CTSUS の状態

CTSUSTRT ビット	CTSUCAP ビット	CTSUS の状態
0	0	停止
0	1	停止
1	0	計測中
1	1	計測中および外部トリガ待ち (注1)

注 1. CTSUSUST.CTSUSUSTC[2:0] フラグで以下のとおり状態を判断できます。

計測中 : CTSUSUST.CTSUSUSTC[2:0] フラグ ≠ 000b

外部トリガ待ち : CTSUSUST.CTSUSUSTC[2:0] フラグ = 000b

CTSUSTRT ビットがすでに1になっている場合、ソフトウェアで本ビットを1にしても、その書き込みは無視され動作が継続します。CTSUSTRT ビットが1のとき、ソフトウェアにより動作を強制的に終了する場合は、同時に CTSUSSTART ビットを0と CTSUINIT ビットを1にしてください。

CTSUCAP ビット (CTSU 計測動作開始トリガ選択)

計測開始条件を指定します。詳細は、**CTSUSTRT ビット (CTSU 計測動作開始)** を参照してください。

CTSUSNZ ビット (CTSU 待機時省電力有効)

待機時省電力動作の有効または無効を選択します。また、本ビットにより CTSU 電源はサスペンド状態になり、待機状態の低消費電力化が可能になります。サスペンド状態では、CTSU 電源は OFF になりますが外部 TSCAP は引き続き充電されます。

CTSU 電源状態制御を [表 41.4](#) に示します。

表 41.4 CTSU 電源の状態制御

CTSUCR1.CTSPON ビット	CTSUSNZ ビット	CTSUCAP ビット	CTSUSTRT ビット	CTSU 電源の状態
0	0	0	0	停止
1	0	—	—	動作
1	1	0	0	サスペンド状態

注. 上記以外は設定しないでください。

サスペンド状態から計測を開始する場合は、CTSUSNZ ビットを 0 にしてから CTSUSTRT ビットを 1 にしてください。計測終了後、モジュールをサスペンド状態にするには、CTSUSNZ ビットを 1 にしてください。

CTSUINIT ビット (CTSU 制御部初期化)

1 を書き込むと、内部コントロールレジスタを初期化します。動作中に強制終了させる場合は、同時に CTSUSTRT ビットを 0 と CTSUINIT ビットを 1 にしてください。この場合は動作が停止し、内部コントロールレジスタが初期化されます。

CTSUSTRT ビットが 1 のとき、CTSUINIT ビットに 1 を書き込まないでください。

41.2.2 CTSU コントロールレジスタ 1 (CTSUCR1)

アドレス CTSU.CTSUCR1 4008 1001h

b7	b6	b5	b4	b3	b2	b1	b0
CTSUMD[1:0]	CTSUCLK[1:0]	CTSUA TUNE1	CTSUA TUNE0	CTSUC SW	CTSUC ON		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUPON	CTSUS電源供給許可	CTSUS電源供給を制御します。 0: 電源OFF 1: 電源ON	R/W
b1	CTSUCSW	CTSUS LPF 容量充電制御	TSCAP端子に接続されるLPF容量の充電を制御します。 0: 容量スイッチOFF 1: 容量スイッチON	R/W
b2	CTSUA TUNE0	CTSUS電源動作モード設定	VCC ≥ 2.4V 0: 通常動作モード 1: 低電圧動作モード VCC < 2.4V 0: 設定禁止 1: 低電圧動作モード	R/W
b3	CTSUA TUNE1	CTSUS電源能力調整	0: 通常出力 1: 高出力	R/W
b5-b4	CTSUCLK[1:0]	CTSUS動作クロック選択	CTSUSの動作クロックを選択します。 b5 b4 0 0: PCLKB 0 1: PCLKB/2 (PCLKBを2分周したクロック) 1 0: PCLKB/4 (PCLKBを4分周したクロック) 1 1: 設定禁止	R/W
b7-b6	CTSUMD[1:0]	CTSUS計測モード選択	CTSUSの計測モードを選択します。 b7 b6 0 0: 自己容量シングルスキャンモード 0 1: 自己容量マルチスキャンモード 1 0: 設定禁止 1 1: 相互容量フルスキャンモード	R/W

CTSUCR1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

CTSUPON ビット (CTSUS 電源供給許可)

CTSUSの電源制御を行います。CTSUPON ビットとCTSUCSW ビットには同じ値を設定してください。

CTSUCSW ビット (CTSUS LPF 容量充電制御)

容量スイッチのON/OFFにより、TSCAP端子に接続されるLPF容量の充電制御を行います。容量スイッチをONにしてからTSCAP端子に接続している容量が充電されるまで、一定時間待った後、CTSUCR0.CTSUSTRTを1にして計測を開始してください。計測に先立って、I/OポートでTSCAP端子にLowを出力し、すでに充電されているLPF容量を放電してください。CTSUPON ビットとCTSUCSW ビットには同じ値を設定してください。

CTSUA TUNE0 ビット (CTSUS 電源動作モード設定)

CTSUSの電源動作モードを設定します。本ビットをCTSUSを動作させるVCCの下限に設定してください。たとえば、バッテリー動作に応じてVCCが変動するシステムでタッチ計測を行う場合、初期のVCC電圧にかかわらず本ビットを1にしてください。VCC電圧範囲は2～3Vです。

CTSUA TUNE1 ビット (CTSUS 電源能力調整)

CTSUSの電源能力を設定します。通常は0にしてください。

CTSUCLK[1:0] ビット (CTSUS 動作クロック選択)

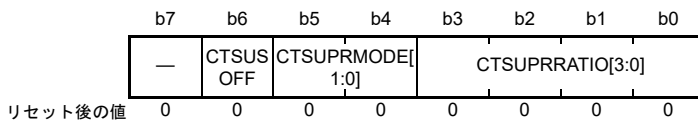
動作クロックを選択します。

CTSUMD[1:0] ビット (CTSUS 計測モード選択)

計測モードを設定します。詳細は、41.3.2 計測モードを参照してください。

41.2.3 CTSUS 同期ノイズ低減設定レジスタ (CTSUSDPRS)

アドレス CTSUS.DPRS 4008 1002h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CTSUPRRATIO [3:0]	CTSUS 計測時間、計測パルス数調整	計測時間、計測パルス数を設定します。 推奨設定値：3 (0011b)	R/W
b5-b4	CTSUSPRMODE [1:0]	CTSUS 基本周期、基本パルス数設定	基本パルス数を設定します。 b5 b4 0 0：510パルス 0 1：126パルス 1 0：62パルス (推奨設定) 1 1：設定禁止	R/W
b6	CTSUSOFF	CTSUS 高域ノイズ低減機能OFF 設定	高域ノイズを低減するためのスペクトラム拡散機能を 制御します。 0：ONに設定 1：OFFに設定	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CTSUSDPRS レジスタの設定は、CTSUCR0.CTUSSTRT ビットが0のときのみ行ってください。

CTSUPRRATIO[3:0] ビット (CTSUS 計測時間、計測パルス数調整)

計測時間と計測パルス数を設定します。以下の式を使用して CTSUSPRMODE[1:0] ビットの設定により基本パルスカウント数が決定され、これらの値が計算されます。

$$\text{計測パルス数} = \text{基本パルス数} \times (\text{CTSUPRRATIO}[3:0] \text{ ビット} + 1)$$

$$\text{計測時間} = (\text{基本パルス数} \times (\text{CTSUPRRATIO}[3:0] \text{ ビット} + 1) + \text{基本パルス数} - 2) \times 0.25 \times \text{ベースクロック周期}$$

注． ベースクロック周期の詳細は、41.2.21 CTSUS センサオフセットレジスタ 1 (CTSUSO1) を参照してください。

CTSUSPRMODE[1:0] ビット (CTSUS 基本周期、基本パルス数設定)

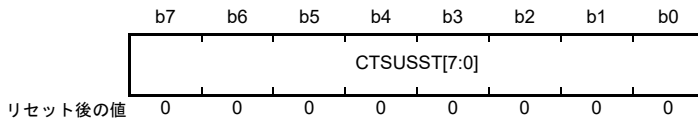
計測で発生する基本パルス数を選択します。

CTSUSOFF ビット (CTSUS 高域ノイズ低減機能 OFF 設定)

高域ノイズを低減する機能の ON/OFF を設定します。1 にすると OFF になります。

41.2.4 CTSU センサ安定待ち時間コントロールレジスタ (CTSUSST)

アドレス CTSU.CTSUSST 4008 1003h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUSST[7:0]	CTSUSST センサ安定待ち時間制御	0001_0000b にしてください。	R/W

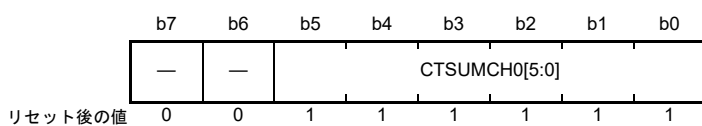
CTSUSST レジスタの設定は、CTSUCR0.CTSUSSTRT ビットが 0 のときのみ行ってください。

CTSUSST[7:0] ビット (CTSUSST センサ安定待ち時間制御)

TSCAP 端子の電圧の安定待ち時間を設定します。常に 0001_0000b にしてください。本ビットが設定されない場合、計測開始時の TSCAP 電圧が不安定となり、正しいタッチ計測結果が得られません。

41.2.5 CTSU 計測チャネルレジスタ 0 (CTSUCR0)

アドレス CTSU.CTSUCR0 4008 1004h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CTSUCR0[5:0]	CTSUCR0 計測チャネル0	<p>自己容量シングルスキャンモードでは、計測するCTSUCR0のチャネルを設定します。</p> <p>b5 b0</p> <p>0 0 0 0 0 0: TS00 0 0 0 0 0 1: TS01 0 0 0 0 1 0: TS02 0 0 0 0 1 1: TS03 0 0 0 1 0 0: TS04 0 0 0 1 0 1: TS05 0 0 0 1 1 0: TS06 0 0 0 1 1 1: TS07 0 0 1 0 0 0: TS08 0 0 1 0 0 1: TS09 0 0 1 0 1 0: TS10 0 0 1 0 1 1: TS11 0 0 1 1 0 0: TS12 0 0 1 1 0 1: TS13 0 1 0 0 0 1: TS17 0 1 0 0 1 0: TS18 0 1 0 0 1 1: TS19 0 1 0 1 0 0: TS20 0 1 0 1 0 1: TS21 0 1 0 1 1 0: TS22 0 1 1 0 1 1: TS27 0 1 1 1 0 0: TS28 0 1 1 1 0 1: TS29 0 1 1 1 1 0: TS30 0 1 1 1 1 1: TS31 1 0 0 0 1 0: TS34 1 0 0 0 1 1: TS35</p> <p>上記設定以外、上記ビット設定後にCTSUCR0.CTSUSTRTビットを1にして計測を開始することは禁止されています。</p>	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
			他の計測モードでは、現在計測中のチャンネルを示します。 b5 b0 0 0 0 0 0 0:TS00 0 0 0 0 0 1:TS01 0 0 0 0 1 0:TS02 0 0 0 0 1 1:TS03 0 0 0 1 0 0:TS04 0 0 0 1 0 1:TS05 0 0 0 1 1 0:TS06 0 0 0 1 1 1:TS07 0 0 1 0 0 0:TS08 0 0 1 0 0 1:TS09 0 0 1 0 1 0:TS10 0 0 1 0 1 1:TS11 0 0 1 1 0 0:TS12 0 0 1 1 0 1:TS13 0 1 0 0 0 1:TS17 0 1 0 0 1 0:TS18 0 1 0 0 1 1:TS19 0 1 0 1 0 0:TS20 0 1 0 1 0 1:TS21 0 1 0 1 1 0:TS22 0 1 1 0 1 1:TS27 0 1 1 1 0 0:TS28 0 1 1 1 0 1:TS29 0 1 1 1 1 0:TS30 0 1 1 1 1 1:TS31 1 0 0 0 1 0:TS34 1 0 0 0 1 1:TS35 1 1 1 1 1 1:計測停止中	
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 自己容量シングルスキャンモード (CTSUCR1.CTSUMD[1:0] ビット = 00b) 時のみ、書き込み可能です。

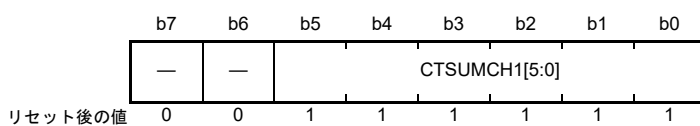
CTSUMCH0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

CTSUMCH0[5:0] ビット (CTSU 計測チャンネル0)

自己容量シングルスキャンモードでは、CTSHMCH0[5:0] ビットで計測するチャンネルを設定します。このモードでは、有効チャンネル (000000b ~ 001101b, 010001b ~ 010110b, 011011b ~ 011111b, 100010b, 100011b) のみ指定してください。それ以外のモードでは計測中の受信チャンネルを示し、これらのビットへの書き込みは無効になります。

41.2.6 CTSU 計測チャネルレジスタ 1 (CTSUCMCH1)

アドレス CTSU.CTSMCH1 4008 1005h



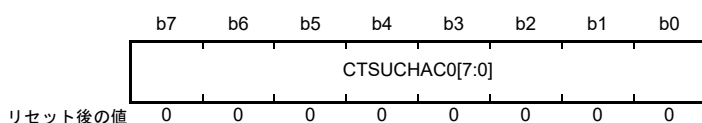
ビット	シンボル	ビット名	機能	R/W
b5-b0	CTSUCMCH1[5:0]	CTSUCMCH1	b5 b0 0 0 0 0 0 0: TS00 0 0 0 0 0 1: TS01 0 0 0 0 1 0: TS02 0 0 0 0 1 1: TS03 0 0 0 1 0 0: TS04 0 0 0 1 0 1: TS05 0 0 0 1 1 0: TS06 0 0 0 1 1 1: TS07 0 0 1 0 0 0: TS08 0 0 1 0 0 1: TS09 0 0 1 0 1 0: TS10 0 0 1 0 1 1: TS11 0 0 1 1 0 0: TS12 0 0 1 1 0 1: TS13 0 1 0 0 0 1: TS17 0 1 0 0 1 0: TS18 0 1 0 0 1 1: TS19 0 1 0 1 0 0: TS20 0 1 0 1 0 1: TS21 0 1 0 1 1 0: TS22 0 1 1 0 1 1: TS27 0 1 1 1 0 0: TS28 0 1 1 1 0 1: TS29 0 1 1 1 1 0: TS30 0 1 1 1 1 1: TS31 1 0 0 0 1 0: TS34 1 0 0 0 1 1: TS35 1 1 1 1 1 1: 計測停止中	R
b7-b6	—	予約ビット	読むと0が読めます。	R

CTSUCMCH1[5:0] ビット (CTSUCMCH1)

フルスキャンモードで計測中の送信チャネルを示します。計測停止中、または自己容量シングルスキャンモード/自己容量マルチスキャンモードでは、111111b になります。

41.2.7 CTSU チャネルイネーブルコントロールレジスタ 0 (CTSUCHAC0)

アドレス CTSU.CTSUCHAC0 4008 1006h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC0[7:0]	CTSUSチャネル有効制御0	対応するTS端子を計測するかどうかを選択します。 0: 計測しない 1: 計測する 本ビットは、TS00～TS07端子の設定を行います。	R/W

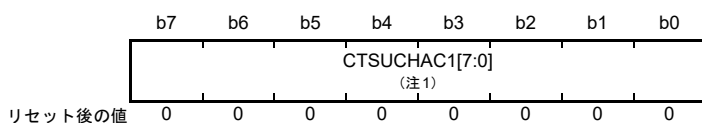
CTSUCHAC0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

CTSUCHAC0[7:0] ビット (CTSUSチャネル有効制御0)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC0[0] は TS00 に、CTSUCHAC0[7] は TS07 に対応します。

41.2.8 CTSU チャネルイネーブルコントロールレジスタ 1 (CTSUCHAC1)

アドレス CTSU.CTSUCHAC1 4008 1007h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC1[7:0] (注1)	CTSUSチャネル有効制御1	対応するTS端子を計測するかどうかを選択します。 0: 計測しない 1: 計測する 本ビットは、TS08～TS13端子の設定を行います。	R/W

注1. 本MCUはTS14端子およびTS15端子には対応していません。そのため、CTSUCHAC1[7:6]を読むと0が読めます。書く場合、0としてください。

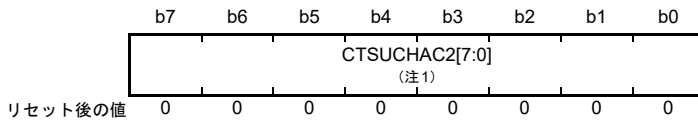
CTSUCHAC1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

CTSUCHAC1[7:0] ビット (CTSUSチャネル有効制御1)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC1[0] は TS08 に、CTSUCHAC1[5] は TS13 に対応します。

41.2.9 CTSU チャネルイネーブルコントロールレジスタ 2 (CTSUCHAC2)

アドレス CTSU.CTSUCHAC2 4008 1008h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC2[7:0] (注1)	CTSUSチャンネル有効制御2	対応するTS端子を計測するかどうかを選択します。 0：計測しない 1：計測する 本ビットは、TS17～TS22端子の設定を行います。	R/W

注1. 本MCUはTS16端子およびTS23端子には対応していません。そのため、CTSUCHAC2[7]およびCTSUCHAC2[0]を読むと0が読めます。書く場合、0としてください。

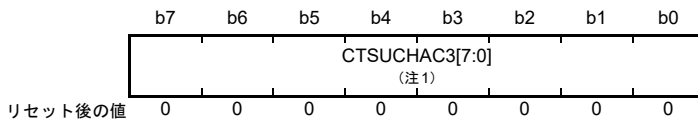
CTSUCHAC2レジスタの設定は、CTSUCR0.CTSUSTRTビットが0のときのみ行ってください。

CTSUCHAC2[7:0] ビット (CTSUSチャンネル有効制御2)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC2[1]はTS17に、CTSUCHAC2[6]はTS22に対応します。

41.2.10 CTSU チャネルイネーブルコントロールレジスタ 3 (CTSUCHAC3)

アドレス CTSU.CTSUCHAC3 4008 1009h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC3[7:0] (注1)	CTSUSチャンネル有効制御3	対応するTS端子を計測するかどうかを選択します。 0：計測しない 1：計測する 本ビットは、TS27～TS31端子の設定を行います。	R/W

注1. 本MCUはTS24端子、TS25端子、TS26端子には対応していません。そのため、CTSUCHAC3[2:0]を読むと0が読めます。書く場合、0としてください。

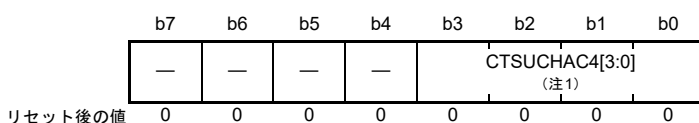
CTSUCHAC3レジスタの設定は、CTSUCR0.CTSUSTRTビットが0のときのみ行ってください。

CTSUCHAC3[7:0] ビット (CTSUSチャンネル有効制御3)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC3[3]はTS27に、CTSUCHAC3[7]はTS31に対応します。

41.2.11 CTSU チャネルイネーブルコントロールレジスタ 4 (CTSUCHAC4)

アドレス CTSU.CTSUCHAC4 4008 100Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	CTSUCHAC4[3:0] (注1)	CTSUSチャネル有効制御4	対応するTS端子を計測するかどうか選択します。 0: 計測しない 1: 計測する 本ビットは、TS34端子およびTS35端子の設定を行います。	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 本MCUはTS32端子およびTS33端子には対応していません。そのため、CTSUCHAC4[1:0]を読むと0が読めます。書く場合、0としてください。

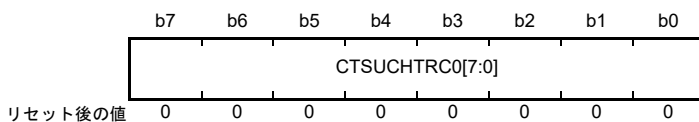
CTSUCHAC4レジスタの設定は、CTSUCR0.CTSUSTRTビットが0のときのみ行ってください。

CTSUCHAC4[3:0] ビット (CTSUSチャネル有効制御4)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC4[2]はTS34に、CTSUCHAC4[3]はTS35に対応します。

41.2.12 CTSU チャネル送受信コントロールレジスタ 0 (CTSUCHTRC0)

アドレス CTSU.CTSUCHTRC0 4008 100Bh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC0[7:0]	CTSUSチャネル送受信制御0	0: 受信 1: 送信 本ビットは、TS00~TS07端子の設定を行います。	R/W

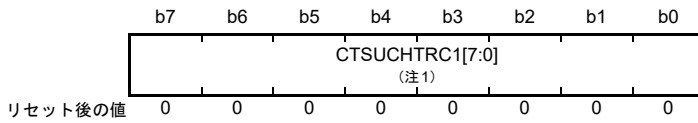
CTSUCHTRC0レジスタの設定は、CTSUCR0.CTSUSTRTビットが0のときのみ行ってください。

CTSUCHTRC0[7:0] ビット (CTSUSチャネル送受信制御0)

フルスキャンモード時、関連するTS端子を受信または送信に割り当てます。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、本ビットの設定は無視されます。CTSUCHTRC0[0]はTS00に、CTSUCHTRC0[7]はTS07に対応します。

41.2.13 CTSU チャネル送受信コントロールレジスタ 1 (CTSUCHTRC1)

アドレス CTSU.CTSUCHTRC1 4008 100Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC1[7:0]	CTSUSチャネル送受信制御 1	0: 受信 1: 送信 本ビットは、TS08～TS13端子の設定を行います。	R/W

注 1. 本 MCU は TS14 端子および TS15 端子には対応していません。そのため、CTSUCHTRC1[7:6] を読むと 0 が読めます。書く場合、0 としてください。

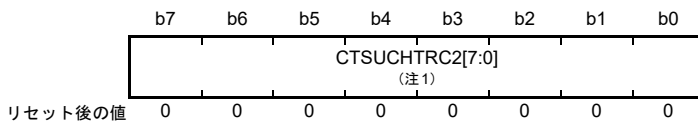
CTSUCHTRC1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHTRC1[7:0] ビット (CTSUS チャネル送受信制御 1)

フルスキャンモードで、関連 TS 端子を受信または送信に割り当てます。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、本ビットの設定は無視されます。CTSUCHTRC1[0] は TS08 に、CTSUCHTRC1[5] は TS13 に対応します。

41.2.14 CTSU チャネル送受信コントロールレジスタ 2 (CTSUCHTRC2)

アドレス CTSU.CTSUCHTRC2 4008 100Dh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC2[7:0]	CTSUSチャネル送受信制御 2	0: 受信 1: 送信 本ビットは、TS17～TS22端子の設定を行います。	R/W

注 1. 本 MCU は TS16 端子および TS23 端子には対応していません。そのため、CTSUCHTRC2[0] および CTSUCHTRC2[7] を読むと 0 が読めます。書く場合、0 としてください。

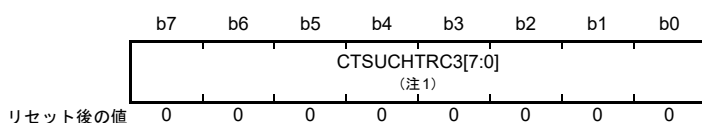
CTSUCHTRC2 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHTRC2[7:0] ビット (CTSUS チャネル送受信制御 2)

フルスキャンモードで、関連 TS 端子を受信または送信に割り当てます。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、本ビットの設定は無視されます。CTSUCHTRC2[1] は TS17 に、CTSUCHTRC2[6] は TS22 に対応します。

41.2.15 CTSU チャネル送受信コントロールレジスタ 3 (CTSUCHTRC3)

アドレス CTSU.CTSUCHTRC3 4008 100Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC3[7:0] (注1)	CTSUチャネル送受信制御3	0: 受信 1: 送信 本ビットは、TS27～TS31端子の設定を行います。	R/W

注1. 本MCUはTS24端子、TS25端子、TS26端子には対応していません。そのため、CTSUCHTRC3[2:0]を読むと0が読めず、書く場合、0としてください。

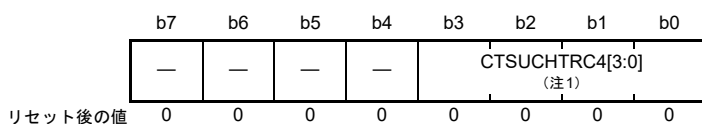
CTSUCHTRC3レジスタの設定は、CTSUCR0.CTSUSTRTビットが0のときのみ行ってください。

CTSUCHTRC3[7:0] ビット (CTSU チャネル送受信制御 3)

フルスキャンモードで、関連TS端子を受信または送信に割り当てます。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、本ビットの設定は無視されます。CTSUCHTRC3[3]はTS27に、CTSUCHTRC3[7]はTS31に対応します。

41.2.16 CTSU チャネル送受信コントロールレジスタ 4 (CTSUCHTRC4)

アドレス CTSU.CTSUCHTRC4 4008 100Fh



ビット	シンボル	ビット名	機能	R/W
b3-b0	CTSUCHTRC4[3:0] (注1)	CTSUチャネル送受信制御4	0: 受信 1: 送信 本ビットは、TS34端子～TS35端子の設定を行います。	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 本MCUはTS32端子およびTS33端子には対応していません。そのため、CTSUCHTRC4[1:0]を読むと0が読めます。書く場合、0としてください。

CTSUCHTRC4レジスタの設定は、CTSUCR0.CTSUSTRTビットが0のときのみ行ってください。

CTSUCHTRC4[3:0] ビット (CTSU チャネル送受信制御 4)

フルスキャンモードで、関連TS端子を受信または送信に割り当てます。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、本ビットの設定は無視されます。CTSUCHTRC4[2]はTS34に、CTSUCHTRC4[3]はTS35に対応します。

41.2.17 CTSU 高域ノイズ低減コントロールレジスタ (CTSUDCLKC)

アドレス CTSU.CTSUDCLKC 4008 1010h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	CTSUSSCNT[1:0]	—	—	—	CTSUSSMOD[1:0]	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CTSUSSMOD[1:0]	CTSUS 拡散クロックモード選択	00bにしてください。	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	CTSUSSCNT[1:0]	CTSUS 拡散クロックモード制御	11bにしてください。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CTSUDCLKC レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

CTSUSSMOD[1:0] ビット (CTSUS 拡散クロックモード選択)

高域ノイズ低減に関わるスペクトラム拡散クロックのモードを設定します。高域ノイズ低減機能を使用する場合は必ず 00b にしてください。本ビットが設定されていない場合、CTSUS は効果的に高域ノイズを低減できません。

CTSUSSCNT[1:0] ビット (CTSUS 拡散クロックモード制御)

高域ノイズ低減のためのスペクトラム拡散量を調整します。高域ノイズ低減機能を使用する場合は必ず 11b にしてください。本ビットが設定されていない場合、タッチ計測が正しく行われず可能性がある場合があります。

41.2.18 CTSU ステータスレジスタ (CTSUST)

アドレス CTSU.CTSUST 4008 1011h

b7	b6	b5	b4	b3	b2	b1	b0
CTSUPS	CTSUR	CTSUS	CTSUD	—	CTSUSTC[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSUSTC[2:0]	CTSU計測ステータスカウンタ	現在の計測ステータスを示します。 b2 b0 0 0 0 : Status0 0 0 1 : Status1 0 1 0 : Status2 0 1 1 : Status3 1 0 0 : Status4 1 0 1 : Status5	R
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	CTSUDTSR	CTSUデータ転送ステータスフラグ	センサカウンタ、リファレンスカウンタに格納された計測結果を読み出したか否かを示します。 0 : 読み出しあり 1 : 読み出しなし	R
b5	CTSUSOVF	CTSUセンサカウンタオーバーフローフラグ	センサカウンタのオーバーフローを示します。 0 : オーバーフロー発生なし 1 : オーバーフロー発生あり	R/W
b6	CTSUROVF	CTSUリファレンスカウンタオーバーフローフラグ	リファレンスカウンタのオーバーフローを示します。 0 : オーバーフロー発生なし 1 : オーバーフロー発生あり	R/W
b7	CTSUPS	CTSU相互容量計測ステータスフラグ	相互容量フルスキャンモードでの計測ステータスを示します。 0 : 1回目の計測 1 : 2回目の計測	R

CTSUCR0.CTSUINIT ビットでオーバーフローフラグをクリアする場合は、必ず CTSUCR0.CTSUSTRT ビットが 0 であるときに行ってください。

CTSUSTC[2:0] フラグ (CTSU 計測ステータスカウンタ)

現在の計測ステータスを示すカウンタです。各ステータスの詳細は、[41.3.2.2 ステータスカウンタ](#)を参照してください。

CTSUDTSR フラグ (CTSU データ転送ステータスフラグ)

センサカウンタ、リファレンスカウンタに格納された計測結果を読み出したか否かを示します。計測完了時に 1 になり、ソフトウェアまたは DTC でリファレンスカウンタを読み出すと 0 となります。本フラグは、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUSOVF フラグ (CTSU センサカウンタオーバーフローフラグ)

センサカウンタである CTSUSC がオーバーフローしたことを示します。オーバーフロー発生時、カウンタ値は FFFFh になります。計測は指定期間継続します。

オーバーフロー発生時に割り込みは発生しません。そのため、どのチャンネルでオーバーフローが発生したかは、測定終了割り込み発生により計測完了が判明してから、各チャンネルの計測結果により判定してください。

本フラグは、ソフトウェアで 1 を読み出した後、0 を書き込むことによりクリアされます。本フラグは、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUROVF フラグ (CTSU リファレンスカウンタオーバーフローフラグ)

リファレンスカウンタである CTSURC がオーバーフローしたことを示します。オーバーフロー発生時、カウンタ値は FFFFh になります。計測は指定期間継続します。

オーバーフロー発生時でも割り込みは発生しません。そのため、どのチャンネルでオーバーフローが発生したかは、測定終了割り込み発生により計測完了が判明してから、各チャンネルの計測結果により判定してください。

本フラグは、ソフトウェアで 1 を読み出した後、0 を書き込むことによりクリアされます。本フラグは、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUPS フラグ (CTSU 相互容量計測ステータスフラグ)

相互容量フルスキャンモード (CTSUCR1.CTSUMD[1:0] ビット = 11b) のとき、1 チャンネルあたり 2 回の計測において計測が 1 回目なのか 2 回目なのかを示します。計測停止時、またはその他の計測モードの場合は 0 になります。

41.2.19 CTSU 高域ノイズ低減スペクトラム拡散コントロールレジスタ (CTSUSSC)

アドレス CTSU.CTSUSSC 4008 1012h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	CTSUSSDIV[3:0]				—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b8	CTSUSSDIV[3:0]	CTSUスペクトラム拡散分周設定	ベースクロックの分周設定に基づき、スペクトラム拡散分周設定値を設定します。	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CTSUSSDIV[3:0] ビット (CTSU スペクトラム拡散分周設定)

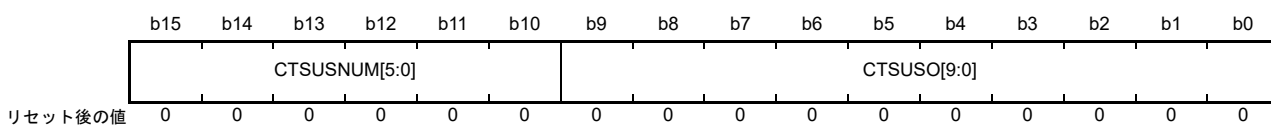
ベースクロックの分周設定に基づいて、スペクトラム拡散分周設定値を設定します。CTSUSSDIV[3:0] の正しい設定値を決めるには、表 41.5 でベースクロック周波数と設定値の関係を参照してください。

表 41.5 ベースクロック周波数とCTSUSSDIV[3:0]ビットの設定値の関係

ベースクロック周波数fb (MHz)	CTSUSSDIV[3:0]ビットの設定値
$4.00 \leq fb$	0000b
$2.00 \leq fb < 4.00$	0001b
$1.33 \leq fb < 2.00$	0010b
$1.00 \leq fb < 1.33$	0011b
$0.80 \leq fb < 1.00$	0100b
$0.67 \leq fb < 0.80$	0101b
$0.57 \leq fb < 0.67$	0110b
$0.50 \leq fb < 0.57$	0111b
$0.44 \leq fb < 0.50$	1000b
$0.40 \leq fb < 0.44$	1001b
$0.36 \leq fb < 0.40$	1010b
$0.33 \leq fb < 0.36$	1011b
$0.31 \leq fb < 0.33$	1100b
$0.29 \leq fb < 0.31$	1101b
$0.27 \leq fb < 0.29$	1110b
$fb < 0.27$	1111b

41.2.20 CTSU センサオフセットレジスタ 0 (CTSUSO0)

アドレス CTSU.CTSUSO0 4008 1014h



ビット	シンボル	ビット名	機能	R/W
b9-b0	CTSUSO[9:0]	CTSU センサオフセット調整	電極が非タッチ状態のときの静電容量を調整します。 b9 b0 0 0 0 0 0 0 0 0 0 0 0: 電流オフセット量0 0 0 0 0 0 0 0 0 0 1: 電流オフセット量1 0 0 0 0 0 0 0 0 1 0: 電流オフセット量2 : 1 1 1 1 1 1 1 1 1 0: 電流オフセット量1022 1 1 1 1 1 1 1 1 1 1: 電流オフセット量最大	R/W
b15-b10	CTSUSNUM[5:0]	CTSU 計測回数設定	CTSU の計測回数を設定します。	R/W

CTSUSO[9:0] ビット (CTSU センサオフセット調整)

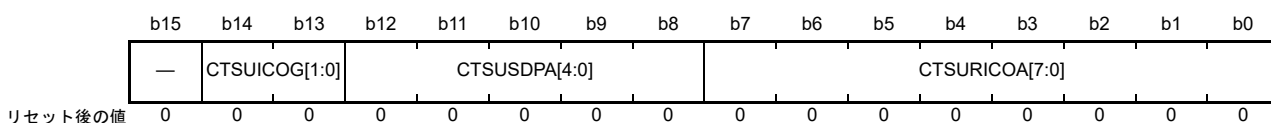
タッチ計測時に電極が非タッチ状態のときの静電容量により発生するセンサ ICO 入力電流をオフセットします。これは、CTSU センサカウンタのオーバーフローを防止します。次に計測する TS 端子の設定は、CTSU_CTSUWR 割り込みの発生後に行ってください。

CTSUSNUM[5:0] ビット (CTSU 計測回数設定)

CTSUSDPRS.CTSUPRRATIO[3:0] ビットおよび CTSUSDPRS.CTSUPRMODE[1:0] ビットで決定される計測パルス数を計測時間内に何回繰り返すかを設定します。繰り返し回数は (CTSUSNUM[5:0] ビット + 1) となります。次に計測する TS 端子の設定は、CTSU_CTSUWR 割り込みの発生後に行ってください。

41.2.21 CTSU センサオフセットレジスタ 1 (CTSUSO1)

アドレス CTSU.CTSUSO1 4008 1016h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSURICOA[7:0]	CTSUS リファレンス ICO 電流調整	リファレンス ICO の入力電流を調整します。 b7 b0 0 0 0 0 0 0 0 0 : 電流オフセット量0 0 0 0 0 0 0 0 1 : 電流オフセット量1 0 0 0 0 0 0 1 0 : 電流オフセット量2 : 1 1 1 1 1 1 1 0 : 電流オフセット量254 1 1 1 1 1 1 1 1 : 電流オフセット量最大	R/W
b12-b8	CTSUSDPA[4:0]	CTSUS ベースクロック設定	CTSUS のベースクロックを生成します。 b12 b8 0 0 0 0 0 0 : 動作クロックの2分周 (注1) 0 0 0 0 0 1 : 動作クロックの4分周 0 0 0 0 1 0 : 動作クロックの6分周 0 0 0 0 1 1 : 動作クロックの8分周 0 0 1 0 0 0 : 動作クロックの10分周 0 0 1 0 0 1 : 動作クロックの12分周 0 0 1 1 0 0 : 動作クロックの14分周 0 0 1 1 0 1 : 動作クロックの16分周 0 1 0 0 0 0 : 動作クロックの18分周 0 1 0 0 0 1 : 動作クロックの20分周 0 1 0 1 0 0 : 動作クロックの22分周 0 1 0 1 0 1 : 動作クロックの24分周 0 1 1 0 0 0 : 動作クロックの26分周 0 1 1 0 0 1 : 動作クロックの28分周 0 1 1 1 0 0 : 動作クロックの30分周 0 1 1 1 0 1 : 動作クロックの32分周 1 0 0 0 0 0 : 動作クロックの34分周 1 0 0 0 0 1 : 動作クロックの36分周 1 0 0 1 0 0 : 動作クロックの38分周 1 0 0 1 0 1 : 動作クロックの40分周 1 0 1 0 0 0 : 動作クロックの42分周 1 0 1 0 0 1 : 動作クロックの44分周 1 0 1 1 0 0 : 動作クロックの46分周 1 0 1 1 0 1 : 動作クロックの48分周 1 1 0 0 0 0 : 動作クロックの50分周 1 1 0 0 0 1 : 動作クロックの52分周 1 1 0 1 0 0 : 動作クロックの54分周 1 1 0 1 0 1 : 動作クロックの56分周 1 1 1 0 0 0 : 動作クロックの58分周 1 1 1 0 0 1 : 動作クロックの60分周 1 1 1 1 0 0 : 動作クロックの62分周 1 1 1 1 0 1 : 動作クロックの64分周	R/W
b14-b13	CTSUICOG[1:0]	CTSUS ICO ゲイン調整	センサICO とリファレンスICO の出力周波数ゲインを調整します。 b14 b13 0 0 : ゲイン100% 0 1 : ゲイン66% 1 0 : ゲイン50% 1 1 : ゲイン40%	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 相互容量フルスキャンモード (CTSUCR1.CTSMUMD[1:0] ビット = 11b) の高域ノイズ低減機能 OFF 状態 (CTSUSDPRS.CTSSUSOFF ビット = 1) では、CTSUSDPA[4:0] ビット = 00000b は設定しないでください。

CTSUS_CTSUWR 割り込み発生後、CTSUSSC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタの順に書き込んでください。また、CTSUSO1 レジスタへの書き込みにより Status3 へ遷移します。CTSUSO1 レジスタに書き込む場合は、一度の動作で全ビットに書き込むようにしてください。

CTSURICOA[7:0] ビット (CTSUS リファレンス ICO 電流調整)

リファレンス ICO の入力電流により、発振周波数を調整します。

CTSUSDPA[4:0] ビット (CTSUS ベースクロック設定)

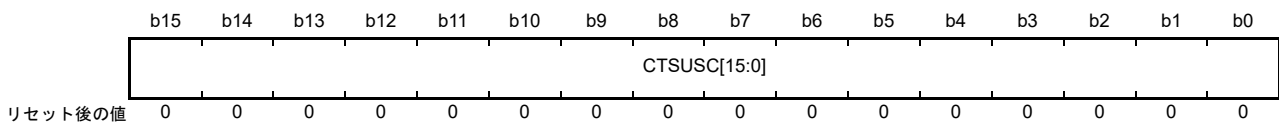
動作クロックを分周して、センサドライブパルスの元となるベースクロックを選択します。設定手順の詳細は、41.3.2.1 初期設定フローを参照してください。

CTSUICOG[1:0] ビット (CTSUS ICO ゲイン調整)

センサ ICO とリファレンス ICO の出力周波数ゲインを調整します。通常これらのビット値は最大ゲインの 00b にしてください。非タッチ時—タッチ時の容量変化が、センサ ICO のダイナミックレンジを大きく超える場合は、このビットを適切なゲインに調整してください。

41.2.22 CTSUS センサカウンタ (CTSUSC)

アドレス CTSUS.CTSUSC 4008 1018h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSUSC[15:0]	CTSUS センサカウンタ	センサ ICO の計測結果を示します。オーバーフロー発生時は FFFFh が読み出されます。	R

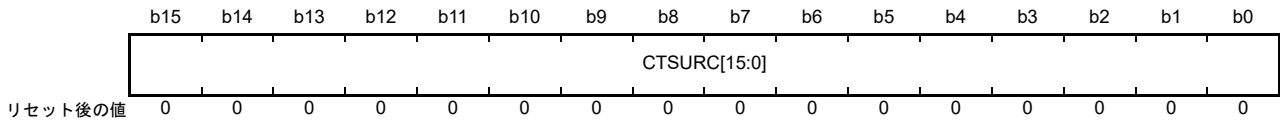
CTSUS_CTSURD 割り込み発生後、まず CTSUSC カウンタ、次に CTSURC カウンタの順で読み出してください。

CTSUSC[15:0] ビット (CTSUS センサカウンタ)

センサ ICO クロック用のインクリメントカウンタです。CTSUS_CTSURD 割り込み発生後に読み出してください。本ビットは CTSURC カウンタ読み出し後、次の計測で CTSUS 計測ステータスカウンタ値が Status4 に遷移 (CTSUST.CTSUSTC[2:0] フラグが 100b に遷移) する直前にクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

41.2.23 CTSU リファレンスカウンタ (CTSURC)

アドレス CTSU.CTSURC 4008 101Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSURC[15:0]	CTSUリファレンスカウンタ	リファレンスICOの計測結果を示します。オーバーフロー発生時はFFFFhが読み出されます。	R

CTSU_CTSURD 割り込み発生後、まず CTSUSC カウンタ、次に CTSURC カウンタの順で読み出してください。Status3 に指定した安定時間を経過しても、CTSURC カウンタが読み出されるまで Status3 が継続します。

CTSURC[15:0] ビット (CTSUS リファレンスカウンタ)

リファレンス ICO クロック用のインクリメントカウンタです。リファレンス ICO はセンサ ICO によるタッチ計測を最適化します。CTSUS に内蔵されたセンサ ICO とリファレンス ICO は個体により若干の偏差はありますが、ダイナミックレンジや電流一周波数の特性などはほぼ同様の特性を持っています。リファレンス ICO 電流調整ビットで設定できる電流量の範囲がほぼ、両 ICO のダイナミックレンジになるため、センサ ICO に入力する電流量もこのダイナミックレンジに収める必要があります。そのためには、ICO の個体差を確認するためにリファレンス ICO を使い、電流一発振周波数の特性を計測します。リファレンス ICO 発振周波数はリファレンス ICO カウンタで取得できるため、リファレンス ICO 電流調整ビットに値を設定してリファレンス ICO カウンタを計測することで、入力電流に対する ICO 発振周波数 (カウンタ値 / 計測時間) を計測できます。また、リファレンス ICO 電流調整ビットの最大値で計測されるリファレンス ICO カウンタの値が、ICO のダイナミックレンジの最大値となります。センサ ICO カウンタの値がこの値を超えないように、オフセット調整ビットでセンサ ICO の電流をオフセットする必要があります。

CTSURC[15:0] ビットは、CTSUS_CTSURD 割り込み生成後に読み出してください。本ビットは読み出し後に、次の計測で CTSUS 計測ステータスカウンタ値が Status4 に遷移 (CTSUST.CTSUSTC[2:0] フラグが 100b に遷移) する直前にクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

41.2.24 CTSU エラーステータスレジスタ (CTSUERRS)

アドレス CTSU.CTSUERRS 4008 101Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CTSUI COMP	—	—	—	—	—	—	—	CTSUT SOC	CTSUC LKSEL1	—	—	CTSUD RV	CTSUT SOD	CTSUSPMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CTSUSPMD[1:0]	キャリブレーションモード	キャリブレーションモード b1 b0 0 0: 静電容量測定モード 1 0: キャリブレーションモード その他: 設定禁止	R/W
b2	CTSUTSOD	TS端子固定出力	TS端子の固定出力 0: 静電容量測定モード 1: TS端子はHighまたはLowに強制される	R/W
b3	CTSUDRV	キャリブレーション設定1	キャリブレーション設定1 0: 静電容量測定モード 1: キャリブレーション設定1	R/W
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	CTSUCLKSEL1	キャリブレーション設定3	キャリブレーション設定3 0: 静電容量測定モード 1: キャリブレーション設定3	R/W
b7	CTSUTSOC	キャリブレーション設定2	キャリブレーション設定2 0: 静電容量測定モード 1: キャリブレーション設定2	R/W
b14-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	CTSUICOMP	TSCAP 電圧異常監視	TSCAP 電圧の異常なステータスを監視します。 0: TSCAP 電圧正常 1: TSCAP 電圧異常 (注1)	R

注1. CTSUCR1.CTSUPON ビットが0のとき、本ビットは1になります。

CTSUSPMD[1:0] ビット (キャリブレーションモード)

CTSUSPMD[1:0] ビットは CTSU のキャリブレーションに使用されます。容量を計測するときは、これらのビットを 00b にしてください。

CTSUTSOD ビット (TS 端子固定出力)

CTSUTSOD ビットは CTSU のキャリブレーションに使用されます。このビットを 1 にすると、TS 端子は CTSUCR0.CTSUIOC ビットで指定されたロジックレベルに強制されます。容量を計測するときは、このビットを 0 にしてください。

CTSUDRV ビット (キャリブレーション設定 1)

CTSUDRV ビットは CTSU のキャリブレーションに使用されます。容量を計測するときは、このビットを 0 にしてください。

CTSUCLKSEL1 ビット (キャリブレーション設定 3)

CTSUCLKSEL1 ビットは CTSU のキャリブレーションに使用されます。容量を計測するときは、このビットを 0 にしてください。

CTSUTSOC ビット (キャリブレーション設定 2)

CTSUTSOC ビットは CTSU のキャリブレーションに使用されます。容量を計測するときは、このビットを 0 にしてください。

CTSUICOMP ビット (TSCAP 電圧異常監視)

TSCAP 電圧を監視し、電圧異常となった場合は 1 になります。

CTSUSO0 レジスタで設定したオフセット電流量が、タッチ計測時のセンサ ICO 入力電流を上回った場合、TSCAP 電圧が異常となりタッチ計測が正しく行われません。

TSCAP 電圧が異常となった場合、センサ ICO カウンタの値は不定になりますが、タッチ計測は正常に終了するので、センサ ICO カウンタの値から異常を検知することは困難です。CTSUSO1 レジスタの CTSU リファレンス ICO 電流調整ビット (CTSURICOA[7:0]) を 0 以外の値にしてある場合は、必ずタッチ計測終了時に本ビットを確認してください。

本ビットは、CTSUCR1.CTSUPON ビットに 0 を書き込み、電源 OFF とすることでクリアされます。

41.3 動作説明

41.3.1 計測動作原理

図 41.4 に計測部回路を示します。

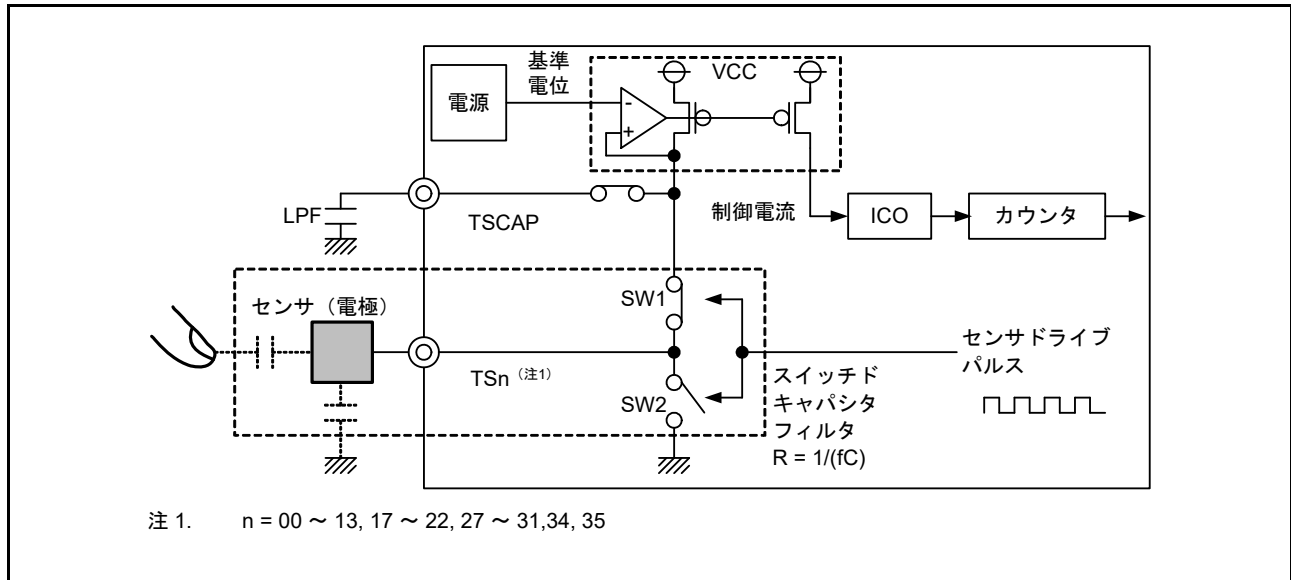


図 41.4 計測部回路

図 41.5 ~ 図 41.7 に CTSU の電流周波数変換方式の静電容量計測動作原理を示します。動作は以下のとおりです。

1. SW1: ON、SW2: OFF にすることで、電極の静電容量に充電されます。(図 41.5)
2. SW1: OFF、SW2: ON にすることで、充電された容量は放電されます。(図 41.6)
3. 手順 1. および 2. に示す電極の充放電を繰り返すことで、スイッチドキャパシタフィルタに電流が流れます。この時点で指が接近していれば、容量および流れる電流が変化します。TSCAP 電源を生成する回路からスイッチドキャパシタフィルタに流れる電流に比例した制御電流を ICO に供給することで、クロックを生成します。カウンタは、指が接近しているかどうかにより変化するクロック周波数を計測します。ソフトウェアは、カウンタから読み出した値に基づき指の接触を判断します (図 41.7)。

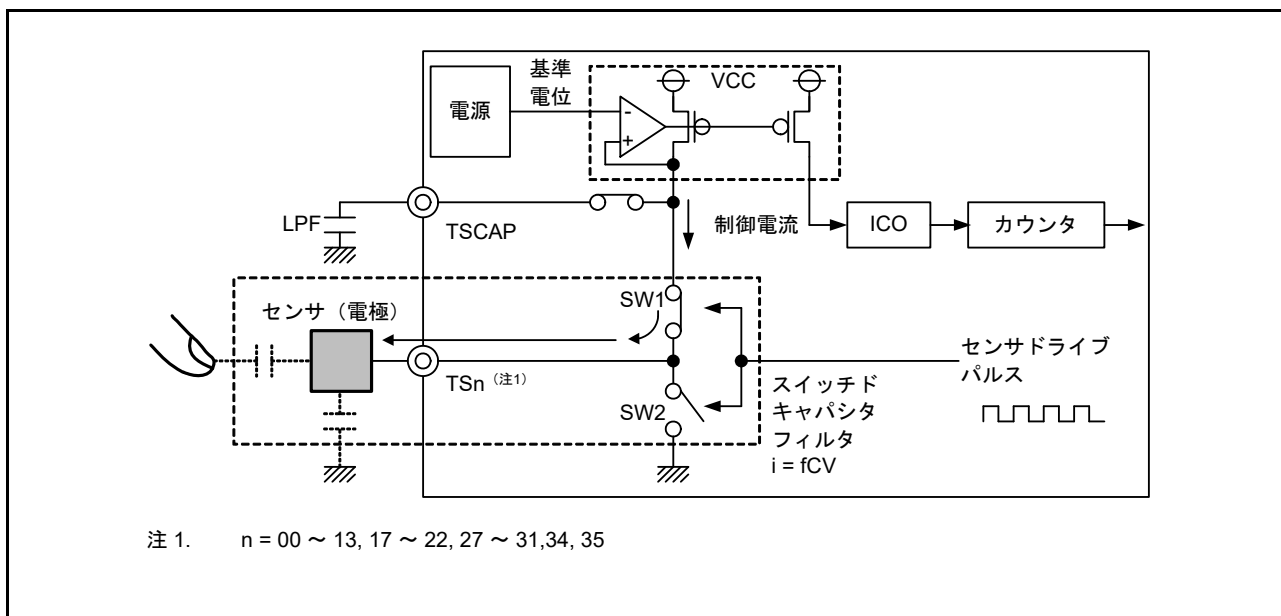


図 41.5 充電動作

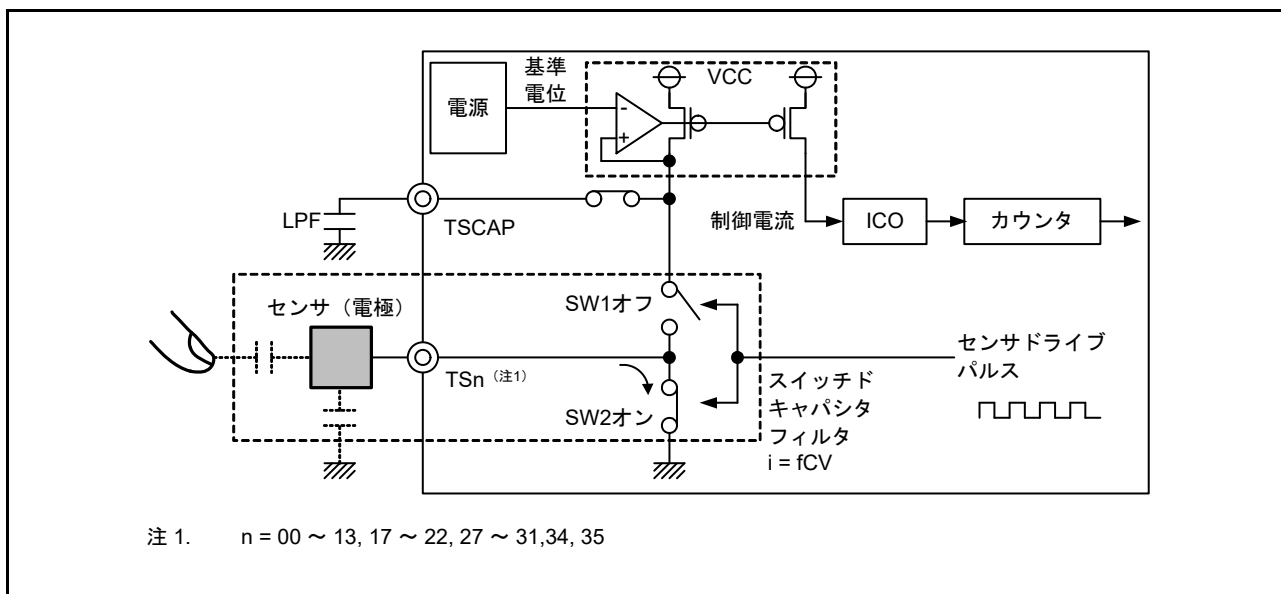


図 41.6 放電動作

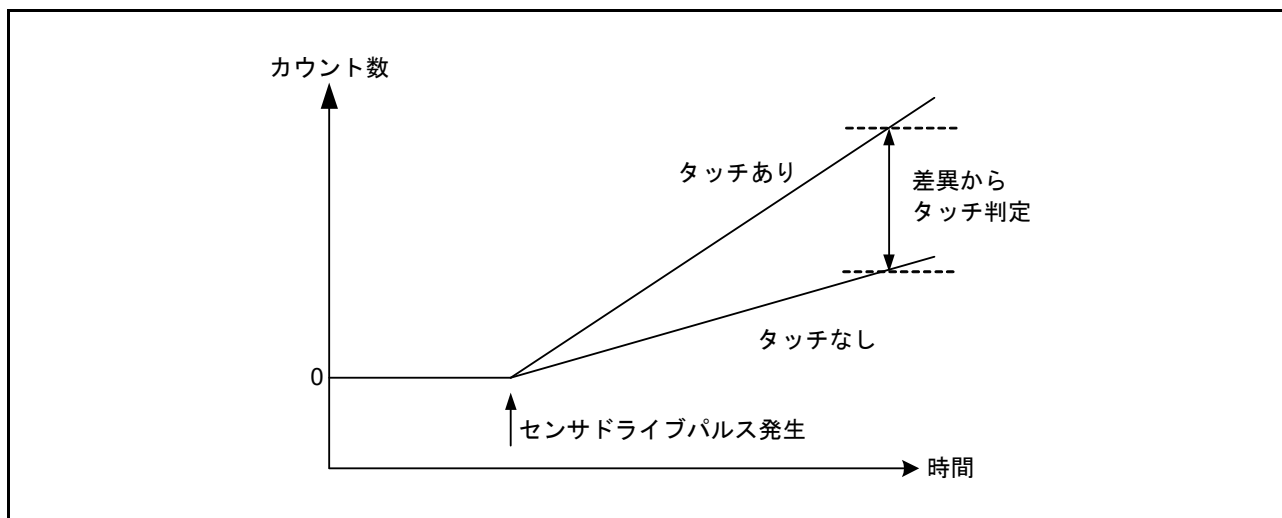


図 41.7 接触／非接触による計測値の変化

41.3.2 計測モード

CTSU は、自己容量方式と相互容量方式に対応しています。図 41.8 に両方式の概要を示します。

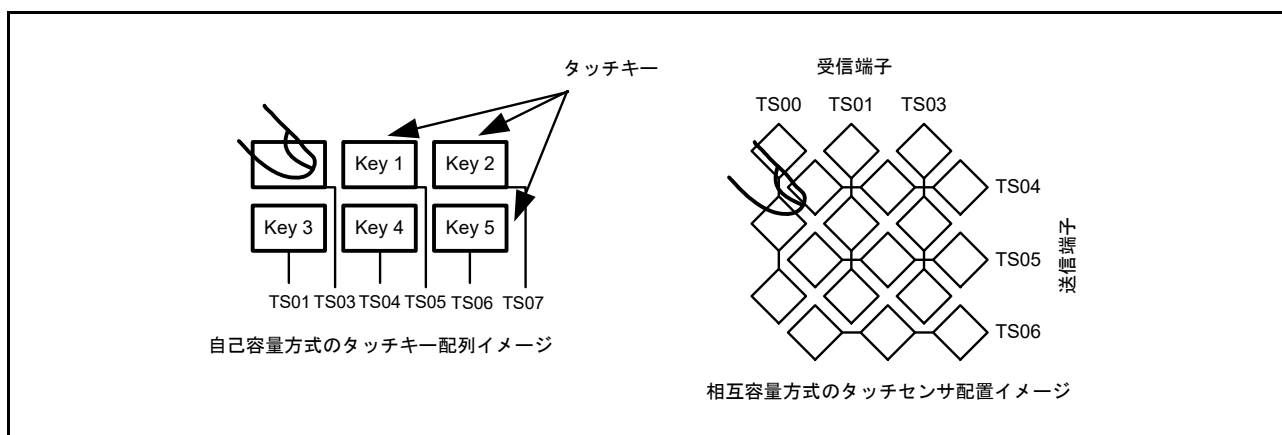


図 41.8 自己容量方式と相互容量方式の概要

自己容量方式では、1つのタッチキーに1つのタッチ端子を割り当て、それぞれにおける指の接近時の静電容量を計測します。この方法では、シングルスキャンモードとマルチスキャンモードの両方で容量を計測できます。相互容量方式では、対向する2つの電極（送信端子と受信端子）間の容量を計測します。

41.3.2.1 初期設定フロー

図 41.9 に、CTSUS の初期設定フローを示します。

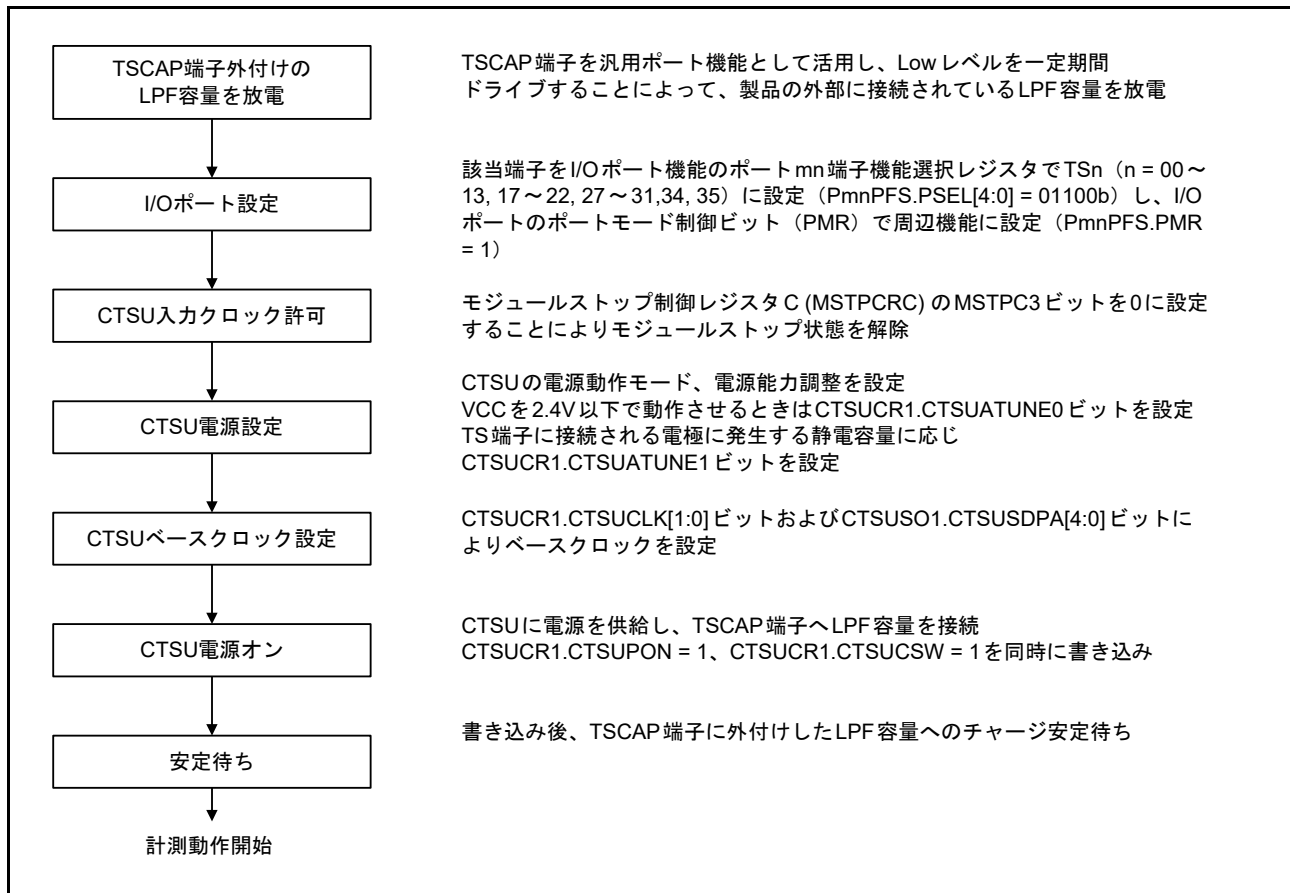


図 41.9 CTSUS 初期設定フロー

図 41.10 に、CTSUS の動作を停止させスタンバイ状態にするフローを示します。

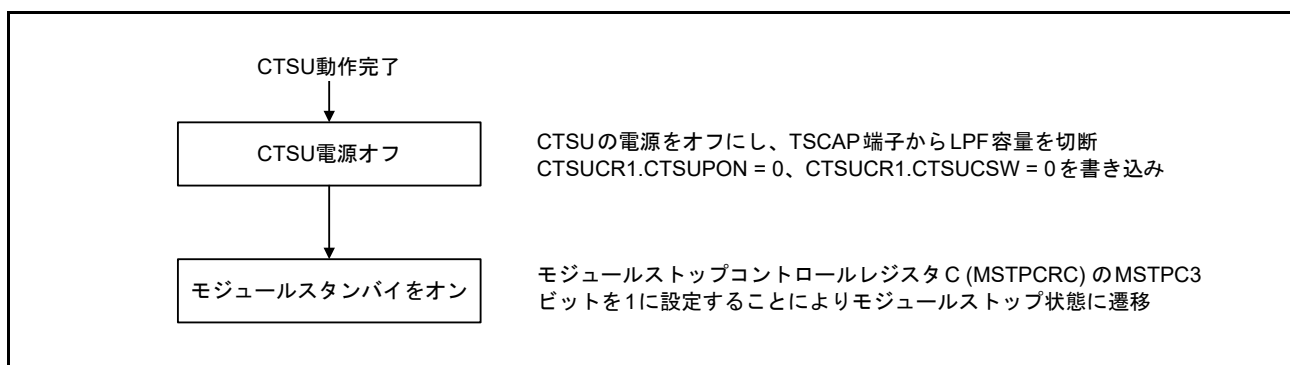


図 41.10 CTSUS 停止フロー

動作を再開する場合は、図 41.9 の初期設定フローに従ってください。

41.3.2.2 ステータスカウンタ

CTSU ステータスレジスタ (CTSUST) の計測ステータスカウンタは、現在の計測ステータスを示します。計測ステータスは、3つの計測モードに適用できます。図 41.11 にステータス動作遷移図を示します。

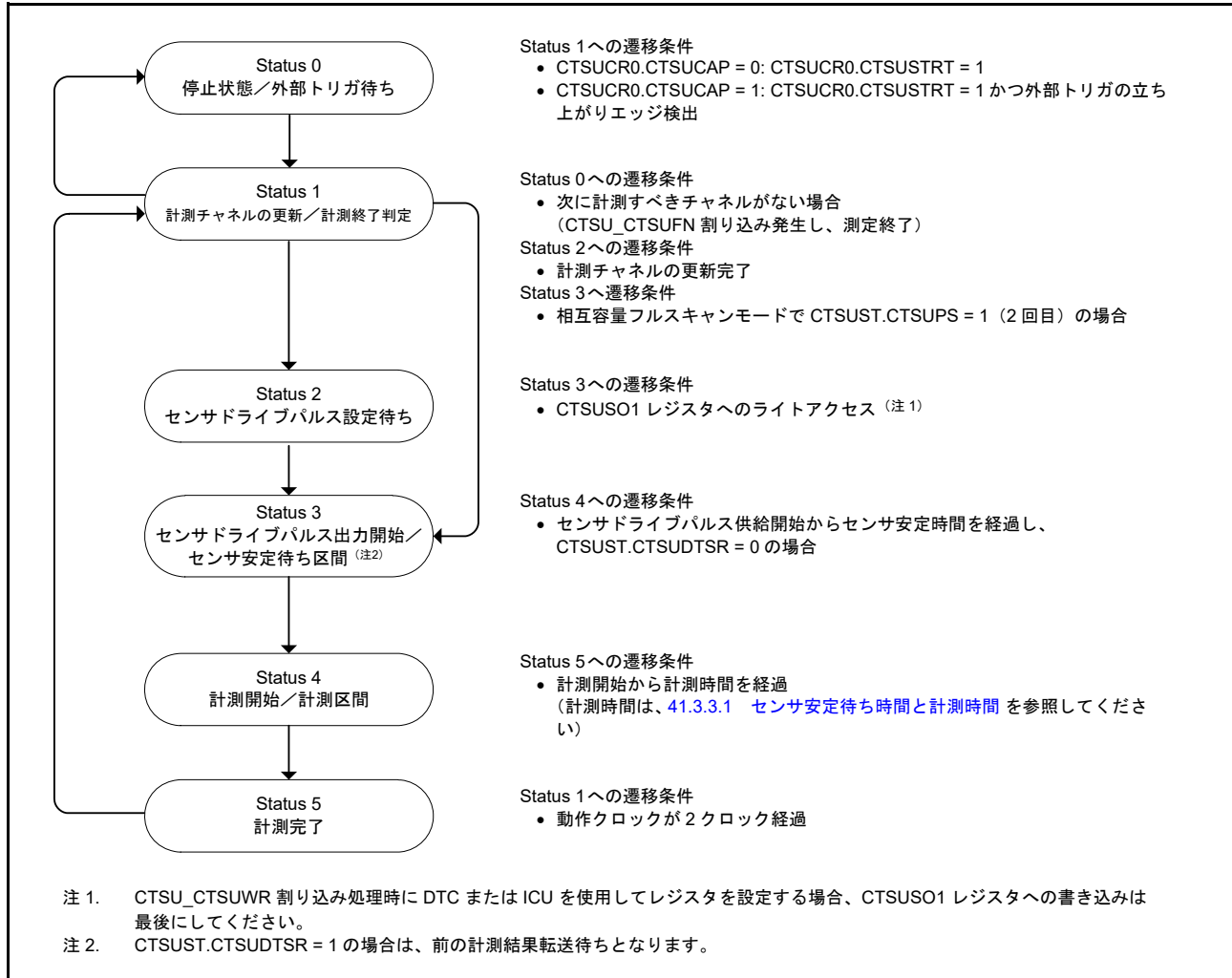


図 41.11 ステータス動作遷移図

ステータスカウンタは、指定したすべての計測チャンネルの計測が終了すると Status0 に遷移します。

CTSUCR0.CTSUSTRT ビットは、ソフトウェアトリガではハードウェアにより 0 にされます。また外部トリガでは 1 が保持され、次のトリガの待機状態になります。

計測中またはトリガ待機状態で強制終了する (CTSUCR0.CTSUSTRT ビットに 0 を、CTSUCR0.CTSUINIT ビットに 1 を同時に書き込む) ことにより、Status0 に遷移して計測は停止します。

CTSUMCH0 レジスタ、CTSUCHAC0 ~ CTSUCHAC4 レジスタ、CTSUCHTRC0 ~ CTSUCHTRC4 レジスタに計測対象チャンネルが設定されていない場合、Status1 への遷移直後に CTSU_CTSUFN 割り込みが発生して Status0 に遷移します。

計測対象チャンネルがないケースは以下のとおりです。

- CTSUCHAC0 ~ CTSUCHAC4 レジスタに計測対象チャンネルが指定されていない場合
- 自己容量シングルスキャンモードで、CTSUMCH0 レジスタで指定したチャンネルが CTSUCHAC0 ~ CTSUCHAC4 レジスタで計測対象外となっている場合
- フルスキャンモードで、CTSUCHAC0 ~ CTSUCHAC4 レジスタ、CTSUCHTRC0 ~ CTSUCHTRC4 レジスタの組み合わせで、計測する送信チャンネルまたは受信チャンネルがない場合

41.3.2.3 自己容量シングルスキャンモードの動作

自己容量シングルスキャンモードでは、任意の1チャンネルの静電容量を計測します。図 41.12 にソフトウェアフローと動作例を、図 41.13 にタイミングを示します。

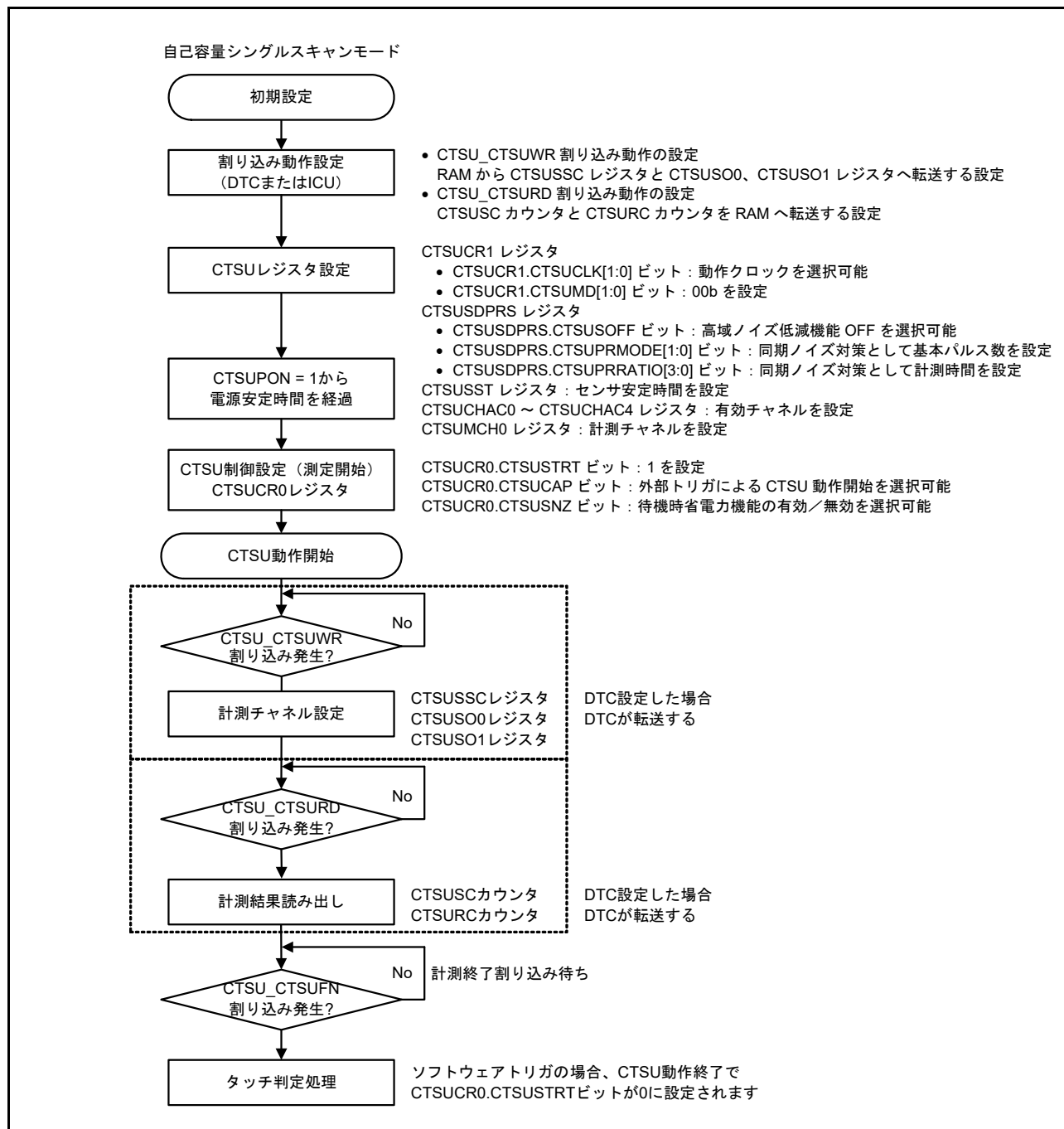


図 41.12 自己容量シングルスキャンモードのソフトウェアフローと動作例

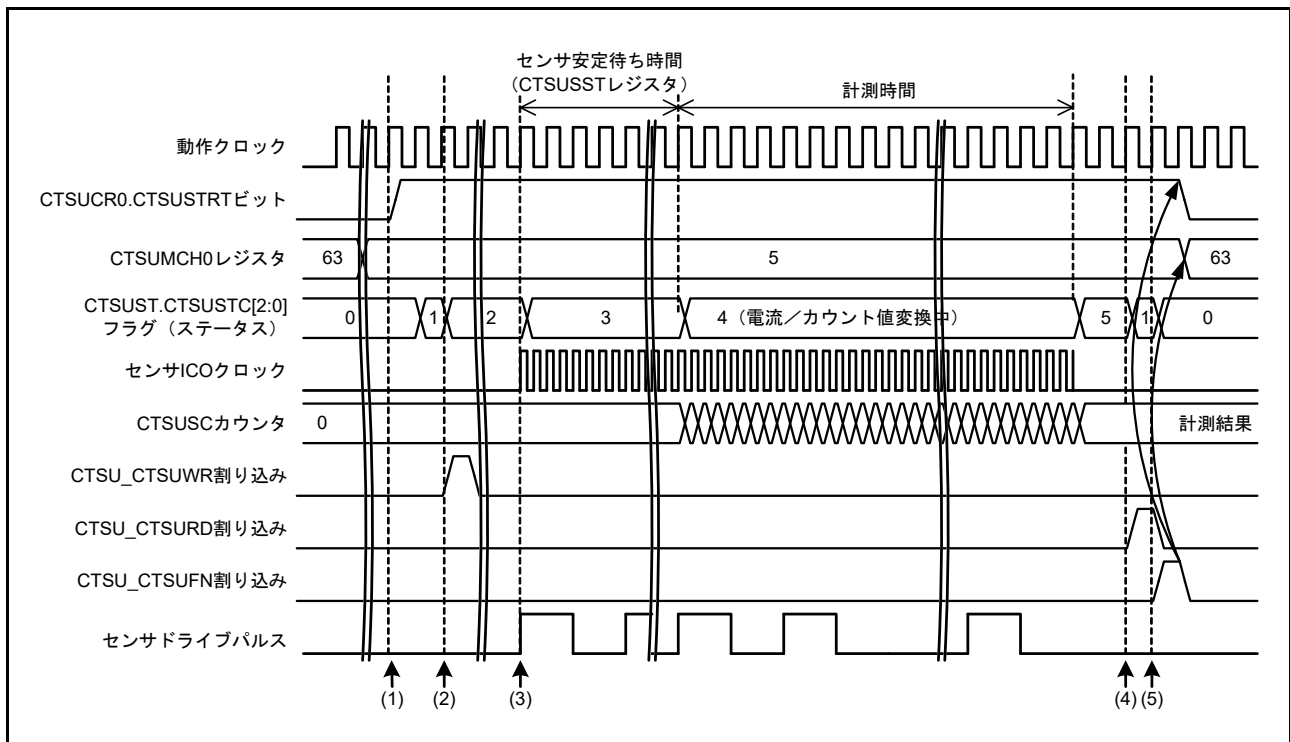


図 41.13 自己容量シングルスキャンモードのタイミング (計測開始条件がソフトウェアトリガの場合)

図 41.13 に示した動作を以下で説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従って計測対象チャンネルが決定された後に、そのチャンネルの設定要求 (CTSU_CTSUWR) を出力します。
3. 計測チャンネルの設定書き込み (CTSUSSC、CTSUSO0、および CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ I/O クロックとリファレンス I/O クロックが動作します。
4. センサ安定待ち時間、計測時間が経過して計測が終了した後、計測結果読み出し要求 (CTSU_CTSURD) を出力します。
5. 計測終了割り込み (CTSU_CTSUFN) を出力して計測終了 (Status0 へ遷移) します。

表 41.6 に自己容量シングルスキャンモードのタッチ端子状態を示します。

表 41.6 自己容量シングルスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測対象チャンネル	計測対象外チャンネル
0	Low	Low
1	Low	Low
2	Low	Low
3	パルス	Low
4	パルス	Low
5	Low	Low

41.3.2.4 自己容量マルチスキャンモードの動作

自己容量マルチスキャンモードは、CTSUCHAC0 ~ CTSUCHAC4 レジスタで計測対象に指定したすべてのチャンネルに対して、静電容量を昇順で順次計測します。図 41.14 にソフトウェアフローと動作例を、図 41.15 にタイミングを示します。

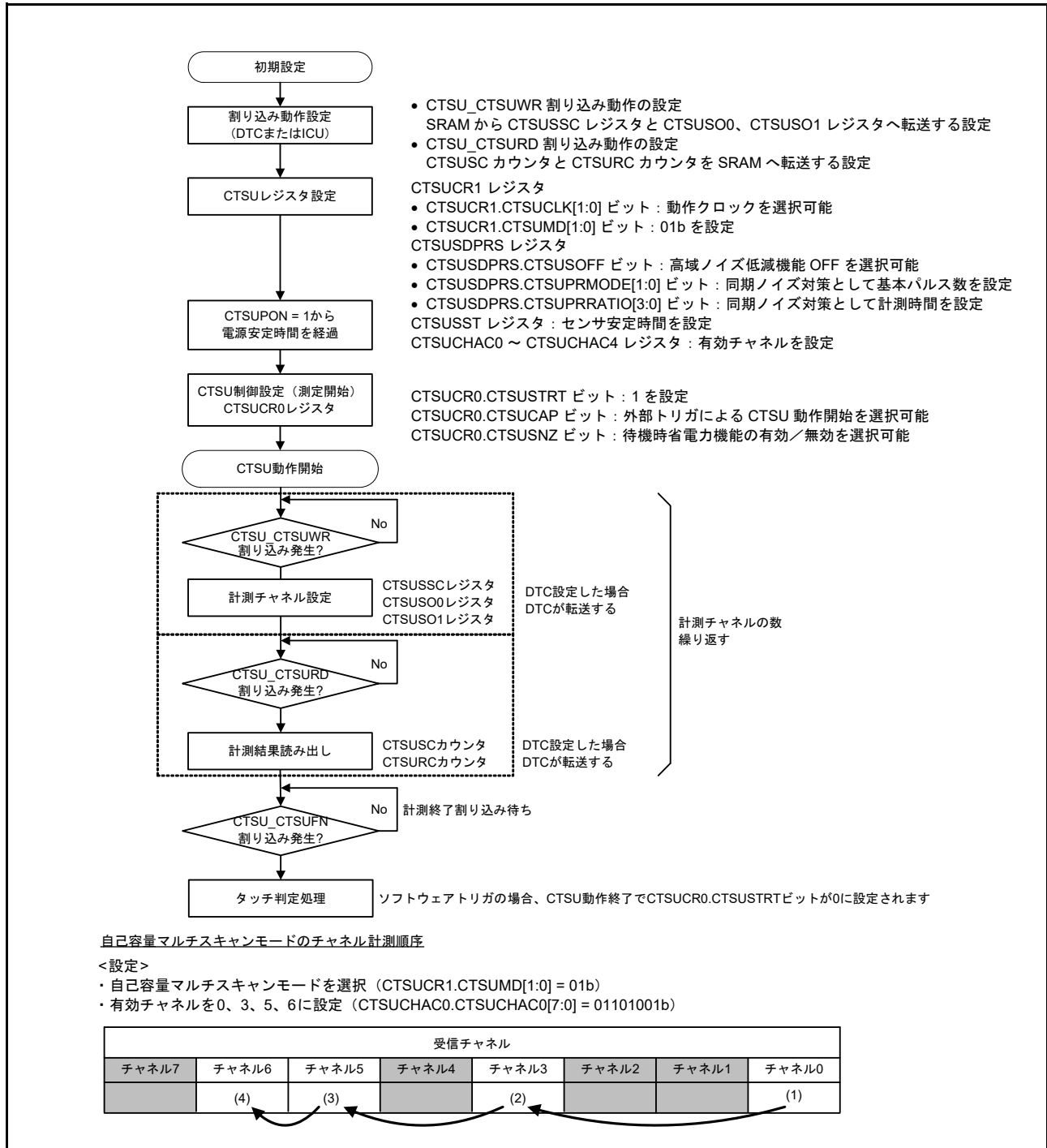


図 41.14 自己容量マルチスキャンモードのソフトウェアフローと動作例

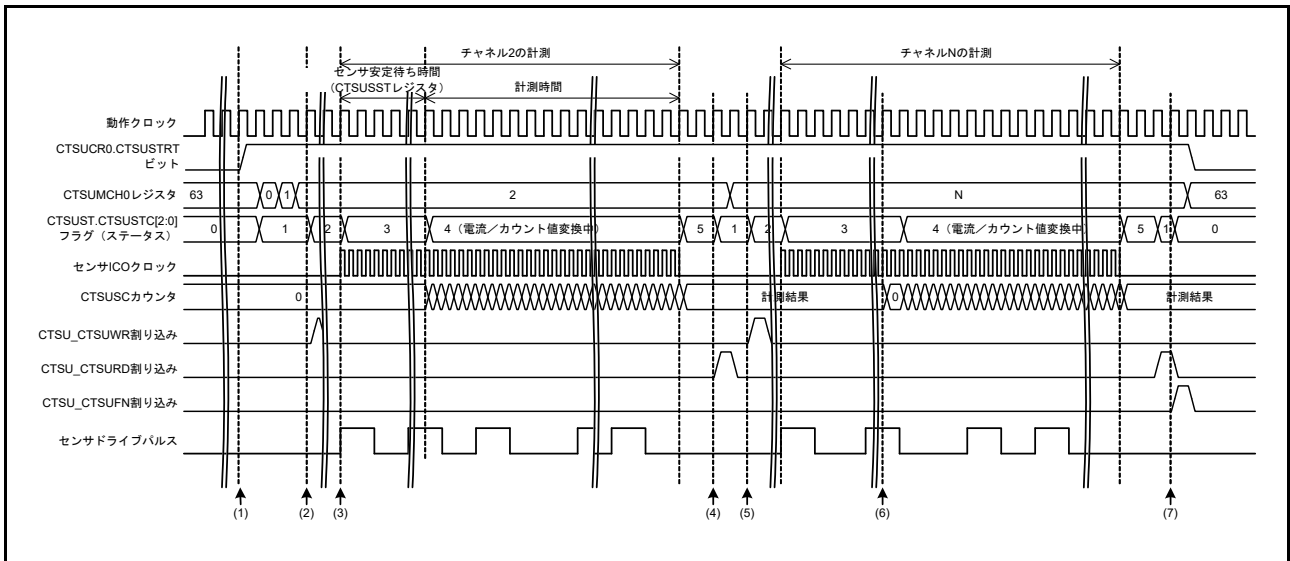


図 41.15 自己容量マルチスキャンモードのタイミング (計測開始条件がソフトウェアトリガの場合)

図 41.15 に示した動作を以下で説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従って計測対象チャンネルが決定された後に、そのチャンネルの設定要求 (CTSUSUMCH0) を出力します。
3. 計測チャンネルの設定書き込み (CTSUSSC、CTSUSO0、および CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。
4. センサ安定待ち時間、計測時間が経過して計測が終了した後、計測結果読み出し要求 (CTSUSURD) を出力します。
5. 次に計測するチャンネルが決定した後、チャンネル計測設定要求 (CTSUSUMCH0) を出力します。
6. 安定待ち時間の経過、および前回の計測結果の読み出しによって、前回の計測結果をクリアし、計測を開始します。
7. すべてのチャンネル計測が完了したら、計測終了割り込み (CTSUSUFN) を出力して計測を終了 (Status0 へ遷移) します。

表 41.7 に自己容量マルチスキャンモードのタッチ端子状態を示します。

表 41.7 自己容量マルチスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測対象チャンネル	計測対象外チャンネル
0	Low	Low
1	Low	Low
2	Low	Low
3	パルス	Low
4	パルス	Low
5	Low	Low

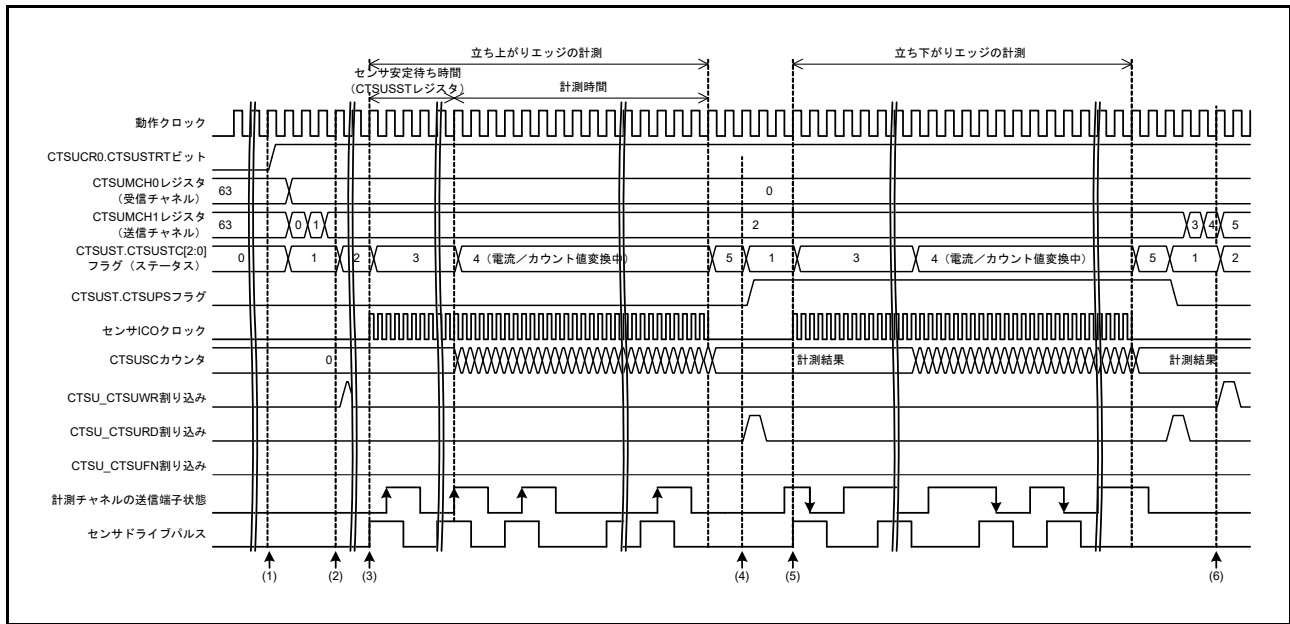


図 41.17 相互容量フルスキャンモードのタイミング (計測開始条件がソフトウェアトリガの場合)

図 41.17 に示した動作を以下で説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従い、計測するチャネルが決定された後に、そのチャネルの設定要求 (CTSU_CTSUWR) を出力します。
3. 計測チャネルの設定書き込み (CTSUSSC、CTSUSO0、および CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。同時に計測チャネルの送信端子にセンサドライブパルスの High 期間に対して、立ち上がりエッジとなるパルスを出力します。
4. センサ安定待ち時間、計測時間が経過して計測が終了した後、計測結果読み出し要求 (CTSU_CTSURD) を出力します。
5. 同一チャネルに対して、センサドライブパルスの High 期間に対して、立ち下がりエッジとなるパルスを出した計測を行います。
6. 同一チャネルに対して 2 回の計測を行った後、次に計測するチャネルを決定し、同様の計測を行います。
7. すべてのチャネル計測が完了したら、計測終了割り込み (CTSU_CTSUFN) を出力して計測を終了 (Status0 へ遷移) します。

なお、CTSUS 相互容量計測ステータスフラグ (CTSUST.CTSUPS ビット) は、Status5 から Status1 へ遷移するタイミングで変化します。

表 41.8 に相互容量フルスキャンモードのタッチ端子状態を示します。

表 41.8 相互容量フルスキャンモードのタッチ端子状態

Status	受信チャンネルのタッチ端子		送信チャンネルのタッチ端子		備考
	計測対象チャンネル	計測対象外チャンネル	計測対象チャンネル	計測対象外チャンネル	
0	Low	Low	Low	Low	—
1	Low	Low	Low/High	Low	—
2	Low	Low	Low	Low	—
3	パルス	Low	パルス	Low	位相パルスは、1回目の計測では受信チャンネルと同相になり、2回目の計測では逆相になります。
4	パルス	Low	パルス	Low	—
5	Low	Low	Low	Low	—

41.3.3 複数モードに関わる共通事項

41.3.3.1 センサ安定待ち時間と計測時間

図 41.18 にセンサ安定待ちと計測のタイミングを示します。

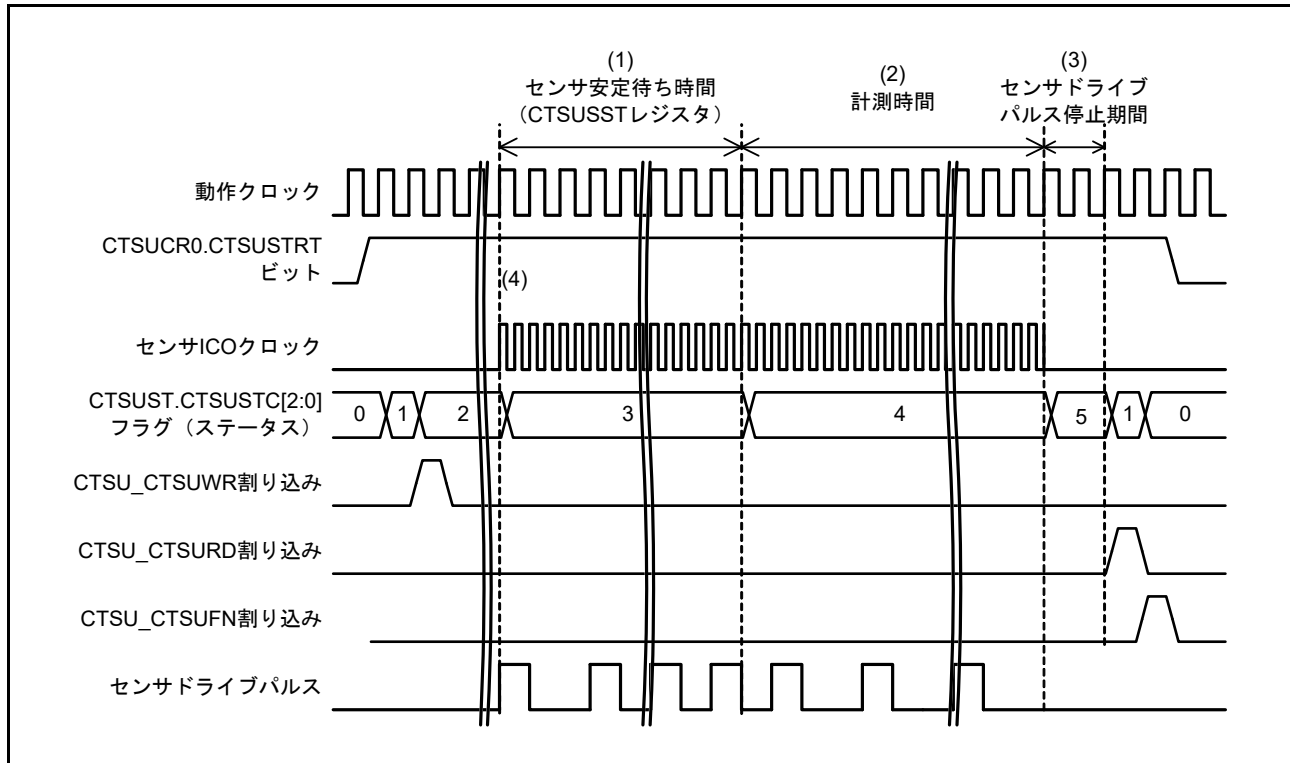


図 41.18 センサ安定待ちと計測のタイミング

図 41.18 に示した動作を以下で説明します。

1. CTSU_CTSUWR 割り込み要求に対して、CTSUSO1 レジスタへライトアクセスすることでセンサドライブパルスの出力を開始し、CTSUSST レジスタで設定した安定時間を待ちます。
2. センサ安定時間が経過し、かつ CTSUST.CTSUDTSR フラグが 0 にクリアされ、Status4 に遷移することによって計測を開始します。計測時間は、ベースクロックの周期と CTSUSDPRS.CTSUPRMODE[1:0] ビット、CTSUPRRATIO[3:0] ビット、CTSUSO0.CTSUSNUM[5:0] ビットの設定で決定します。計測時間が経過するとチャンネルの計測を終了します。
3. 計測時間経過後、動作クロック 2 サイクルで Status1 に遷移し、CTSUSURD 割り込みが発生します。CTSUSC カウンタと CTSURC カウンタからデータを読み出してください。このとき、センサドライブパルスは Low 出力になります。設定した全チャンネルの計測が完了すると、CTSUCR0.CTSUSTRT ビットは 0 にクリアされます。
4. センサ ICO クロックは、CTSUST.CTSUSTC[2:0] フラグ = 011b (Status3) または 100b (Status4) の期間に発振します。

41.3.3.2 割り込み

CTSUS は下記の割り込みに対応しています。

- チャンネルごとの設定レジスタ書き込み要求割り込み (CTSUS_CTSUWR)
- 測定データ転送要求割り込み (CTSUS_CTSURD)
- 測定終了割り込み (CTSUS_CTSUFN)

(1) チャンネルごとの設定レジスタ書き込み要求割り込み (CTSUS_CTSUWR)

計測チャンネルごとの設定データを SRAM 上に用意しておき、あらかじめ CTSUS_CTSUWR 割り込みに対応した DTC/ICU の転送設定を行います。CTSUS_CTSUWR 割り込みは Status1 から Status2 へ遷移したタイミングで出力します。SRAM から CTSUSSC、CTSUSO0、CTSUSO1 レジスタへ選択したチャンネル設定を書き込みます (図 41.19)。CTSUSO1 レジスタへのライトアクセスにより次の Status への遷移が制御されるため、CTSUSO1 レジスタを必ず最後に設定してください。

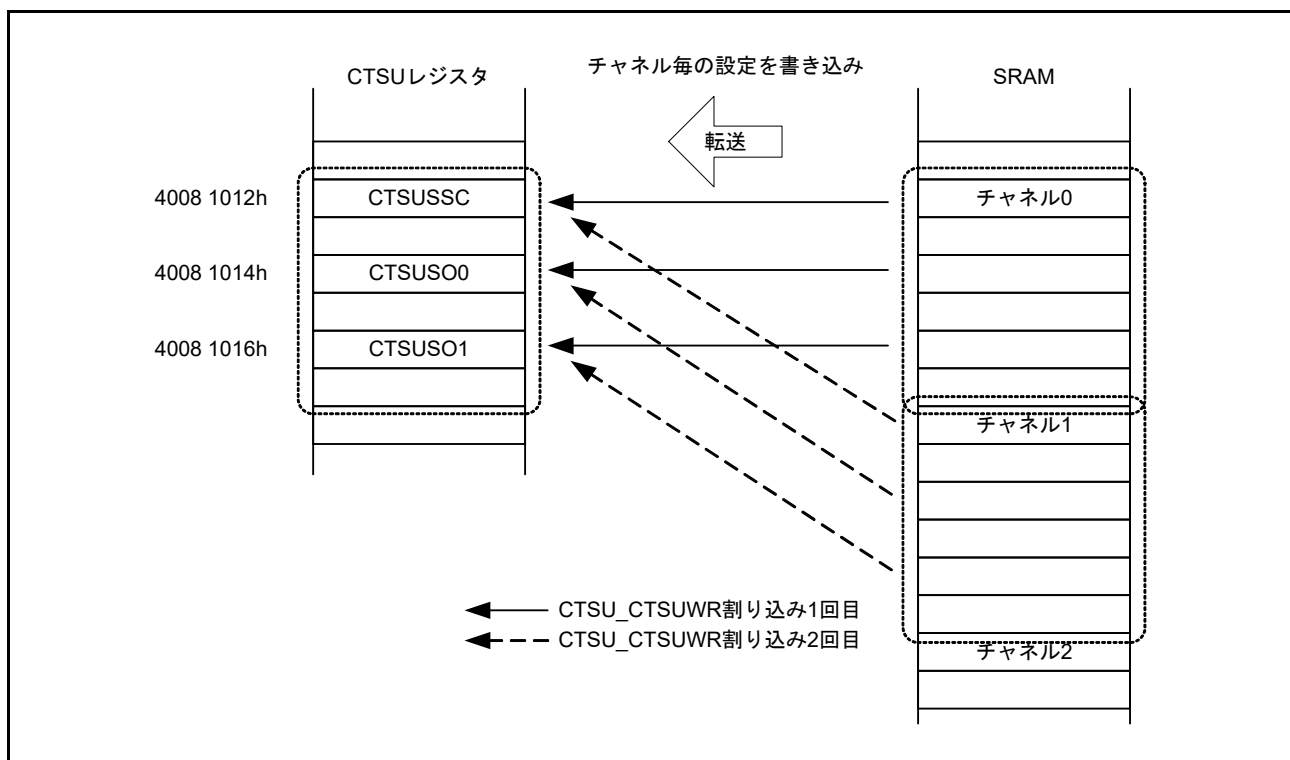


図 41.19 CTSUS_CTSUWR 割り込みを用いた DTC 転送動作例

設定するレジスタ (CTSUSSC、CTSUSO0、CTSUSO1 の各レジスタ) は、連続したアドレスに配置しています。CTSUS_CTSUWR 割り込み発生では、以下のように動作を設定してください。

- 転送先アドレス : CTSUSSC レジスタのアドレス
- 転送先アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 3 回転送。先頭バイトのアドレスは固定
- 転送元アドレス : SRAM 上に用意した設定の番号が最小のチャンネルの CTSUSSC レジスタデータ格納アドレス
- 転送元アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 3 回転送。先頭バイトのアドレスは前回の割り込み処理から継続
- 転送回数 : 3 回転送

(2) 測定データ転送要求割り込み (CTSU_CTSURD)

あらかじめ、CTSU_CTSURD 割り込みに対応した DTC/ICU の転送設定を行います。CTSU_CTSURD 割り込みは、Status5 から Status1 へ遷移するタイミングで出力します。計測結果を CTSUSC カウンタと CTSURC カウンタから読み出してください (図 41.20)。

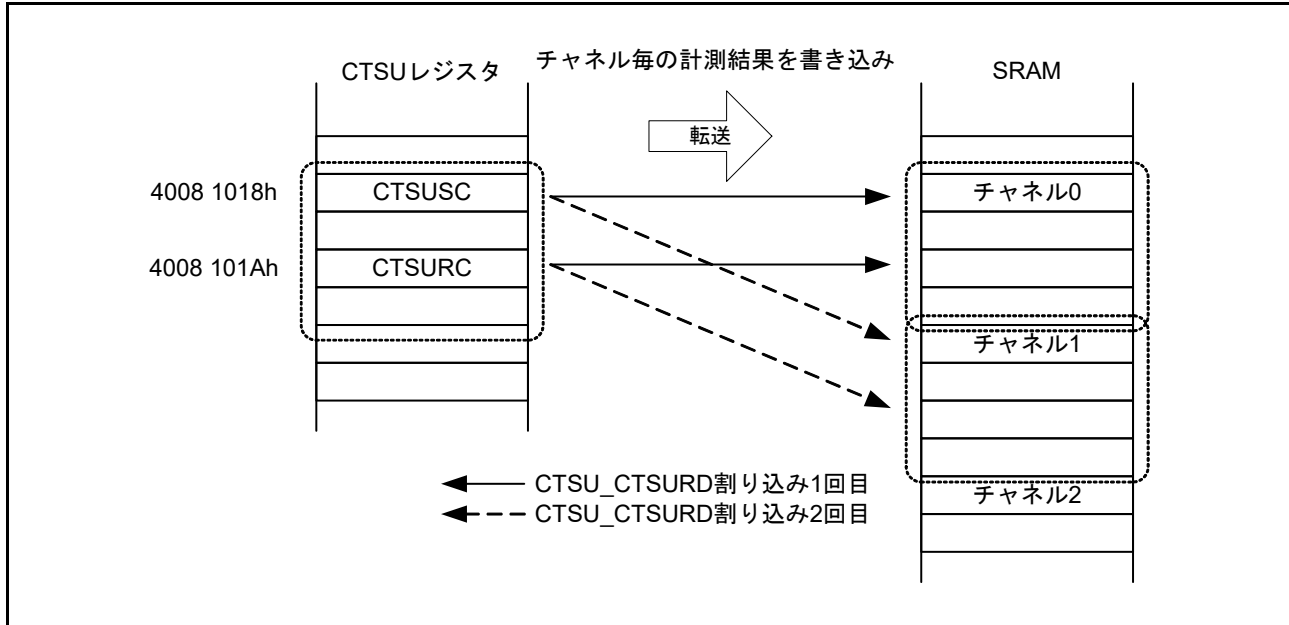


図 41.20 CTSU_CTSURD 割り込みを用いた DTC 転送動作例

転送元である計測結果レジスタ (CTUSC カウンタと CTSURC カウンタ) は、連続したアドレスに配置してあります。CTSU_CTSURD 割り込み発生では、以下のように動作を設定してください。

- 転送元アドレス : CTSUSC カウンタのアドレス
- 転送元アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 2 回転送。先頭アドレスは固定
- 転送先アドレス : SRAM 上に用意した設定が最小のチャンネルの CTSUSC カウンタデータ格納アドレス
- 転送先アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 2 回転送。先頭アドレスは前回の割り込み処理から継続
- 転送回数 : 2 回転送

(3) 測定終了割り込み (CTSU_CTSUFN)

すべてのチャンネル計測が終了した Status1 から Status0 に遷移するタイミングで割り込みを発生します。ソフトウェアによるオーバーフローフラグ (CTSUST.CTSUSOVF フラグと CTSUROVF フラグ) の確認と読み出された計測結果により、電極とのタッチの有無を判定します。割り込み要求の受付、禁止は割り込み制御部で行います。

41.4 使用上の注意事項

41.4.1 計測結果データ (CTSUSC カウンタ、CTSURC カウンタ)

計測中のリードアクセスは禁止です。アクセスした場合は、非同期のため正しくない値を読み出す場合があります。

41.4.2 ソフトウェアトリガに対する制限

CTSUCR1.CTSUCLK[1:0] ビットで 10b (PCLKB/4) を選択した場合、計測完了後に CTSUCR0.CTSUSTRT ビットへ 1 を書き込み計測を再開させる場合は、割り込み発生から 3 サイクル以上待ってから書き込むようにしてください。

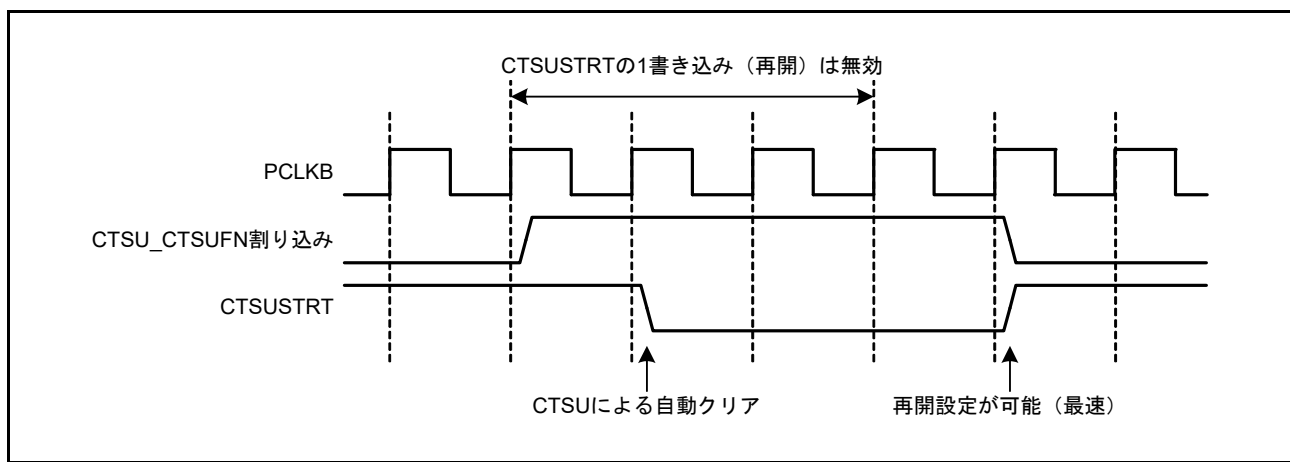


図 41.21 再開時の注意事項

41.4.3 外部トリガに対する制限

- 計測時間中に外部トリガが入力された場合、計測は開始されない。次の外部イベントは、CTSU_CTSUFN 割り込みが発生した動作クロックの 1 サイクル後から有効
- 外部トリガモードを終了する場合は、CTSUCR0.CTSUSTRT ビットの 0 と CTSUCR0.CTSUINIT ビットの 0 の同時書き込み (強制停止) で停止

41.4.4 強制終了に関する制限

動作中に強制停止させる場合は、CTSUCR0.CTSUSTRT ビットに 0、CTSUCR0.CTSUINIT ビットに 1 を同時に書き込んでください。動作が停止し、内部コントロールレジスタが初期化されます。

CTSUCR0.CTSUINIT ビットによる初期化では、内部計測状態の初期化に加え、以下のレジスタが初期化されます。

- CTSUMCH0 レジスタ
- CTSUMCH1 レジスタ
- CTSUST レジスタ
- CTSUSC カウンタ
- CTSURC カウンタ

強制停止した場合、内部状態によっては割り込み要求が発生することがあります。強制停止後、DTC/ICU の停止および無効処理も行ってください。搭載するシステムが何らかの要因で DTC 転送を停止する場合は、CTSUS に対しても強制終了および初期化処理を行ってください。

41.4.5 TSCAP 端子

TSCAP 端子は、CTSU 内部電圧を一定に保つために、外部デカップリングキャパシタを必要とします。TSCAP 端子とキャパシタ間、およびキャパシタとグランド間の配線は、物理的に可能な限り短く幅広くしてください。TSCAP 端子に接続されたキャパシタは、スイッチを ON (CTSUCR1.CTSUCSW ビット=1) して接続する前に、I/O ポート制御により Low を出力させ、十分放電させてください。

41.4.6 計測動作時 (CTSUCR0.CTSUSTRT ビット = 1) の制限

計測中 (CTSUCR0.CTSUSTRT ビット=1) は、上位システムから「周辺クロックの停止」や「タッチ端子 (TSn 端子、TSCAP 端子) に関わるポート設定の変更」を行わないでください。

これらの制限に違反する制御を設定した場合は、動作の強制停止 (CTSUCR0.CTSUSTRT ビット=0、CTSUCR0.CTSUINIT ビット=1) になり、CTSUCR1.CTSUPON ビットと CTSUCR1.CTSUCSW ビットに 0 を同時に書き込み、CTSUCR0.CTSUSNZ ビットを 0 にしてください。その後、[図 41.9](#) の初期設定フローから再開してください。

42. データ演算回路 (DOC)

42.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算、または減算する機能です。選択した条件に該当する場合、割り込みが発生します。

表 42.1 に DOC の仕様を、図 42.1 にブロック図を示します。

表 42.1 DOCの仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
モジュールストップ機能	モジュール停止状態に設定して消費電力を削減
割り込みとイベントリンク機能 (DOC_DOPCI)	割り込みは以下の条件で発生します。 <ul style="list-style-type: none"> 比較された値が一致または不一致のとき データ加算の結果がFFFFhより大きくなったとき データ減算の結果が0000hより小さくなったとき

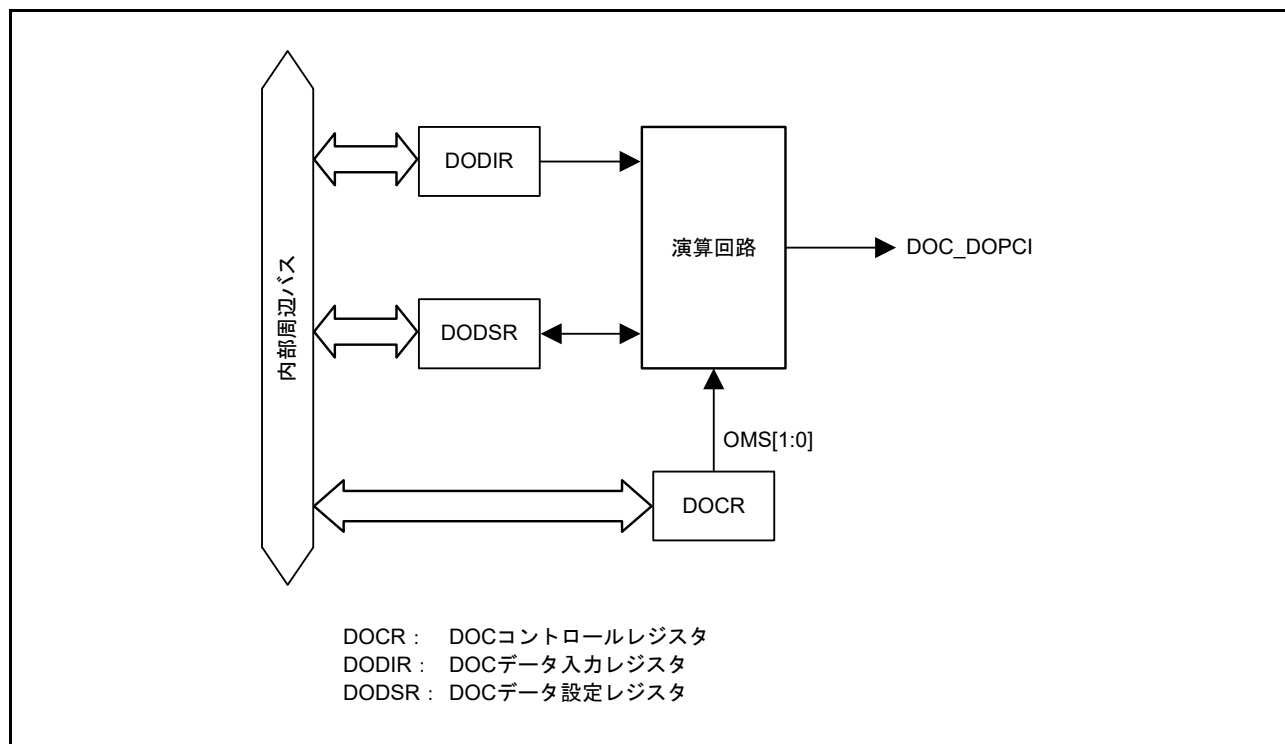


図 42.1 DOC ブロック図

42.2 レジスタの説明

42.2.1 DOC コントロールレジスタ (DOCR)

アドレス DOC.DOCR 4005 4100h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCF CL	DOPCF	—	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択	b1 b0 0 0: データ比較モード 0 1: データ加算モード 1 0: データ減算モード 1 1: 設定禁止	R/W
b2	DCSEL (注1)	検出条件選択	0: データの不一致検出時にDOPCFを設定 1: データの一致検出時にDOPCFを設定	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DOPCF	データ演算回路フラグ	演算結果を示します。	R
b6	DOPCFCL	DOPCFクリア	0: DOPCFフラグ状態を保持 1: DOPCFフラグをクリア	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. データ比較モード選択時のみ有効

OMS[1:0] ビット (動作モード選択)

DOC の動作モードを選択します。

DCSEL ビット (検出条件選択)

データ比較モード時の検出条件を選択します。データ比較モード選択時のみ有効です。

DOPCF フラグ (データ演算回路フラグ)

動作結果を示します。

[1 になる条件]

- DCSEL ビットで選択した条件になったとき
- データ加算の結果が FFFFh より大きくなったとき
- データ減算の結果が 0000h より小さくなったとき

[0 になる条件]

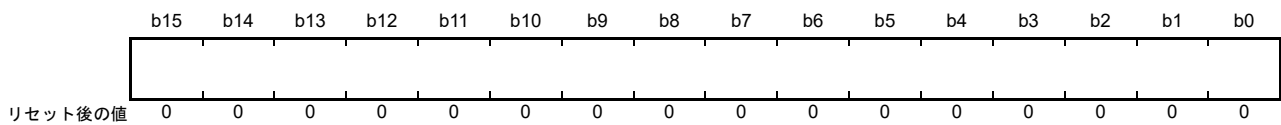
- DOPCFCL ビットに 1 を書き込んだとき

DOPCFCL ビット (DOPCF クリア)

本ビットを 1 にすると DOPCF フラグをクリアします。読むと 0 が読めます。

42.2.2 DOC データインプットレジスタ (DODIR)

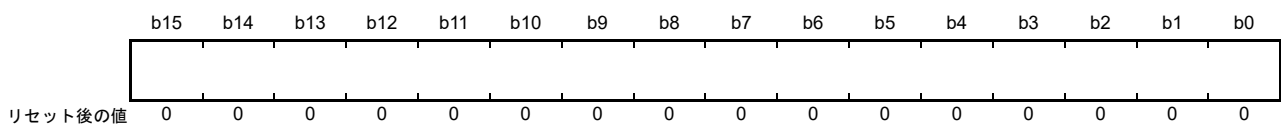
アドレス `DOC.DODIR 4005 4102h`



DODIR は、演算対象の 16 ビットのデータを格納する 16 ビットの読み出し/書き込みレジスタです。

42.2.3 DOC データ設定レジスタ (DODSR)

アドレス `DOC.DODSR 4005 4104h`



DODSR は、データ比較モードで基準として使用される 16 ビットのデータを格納する 16 ビットの読み出し/書き込みレジスタです。また、データ加算モードおよびデータ減算モードでは、演算結果を格納しません。

42.3 動作説明

42.3.1 データ比較モード

図 42.2 にデータ比較モードの DOC 動作例を示します。以下は DCSEL = 0 (データ比較の結果、不一致を検出) 設定時の動作例です。

1. DOCR.OMS[1:0] ビットに 00b を書き込むと、データ比較モードになります。
2. DODSR レジスタに基準となる 16 ビットのデータを設定します。
3. DODIR レジスタに比較する 16 ビットのデータを書き込みます。
4. 比較するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. DODIR レジスタに書き込まれたデータが DODSR レジスタ内のデータと一致しなかったとき、DOCR.DOPCF フラグが 1 になります。

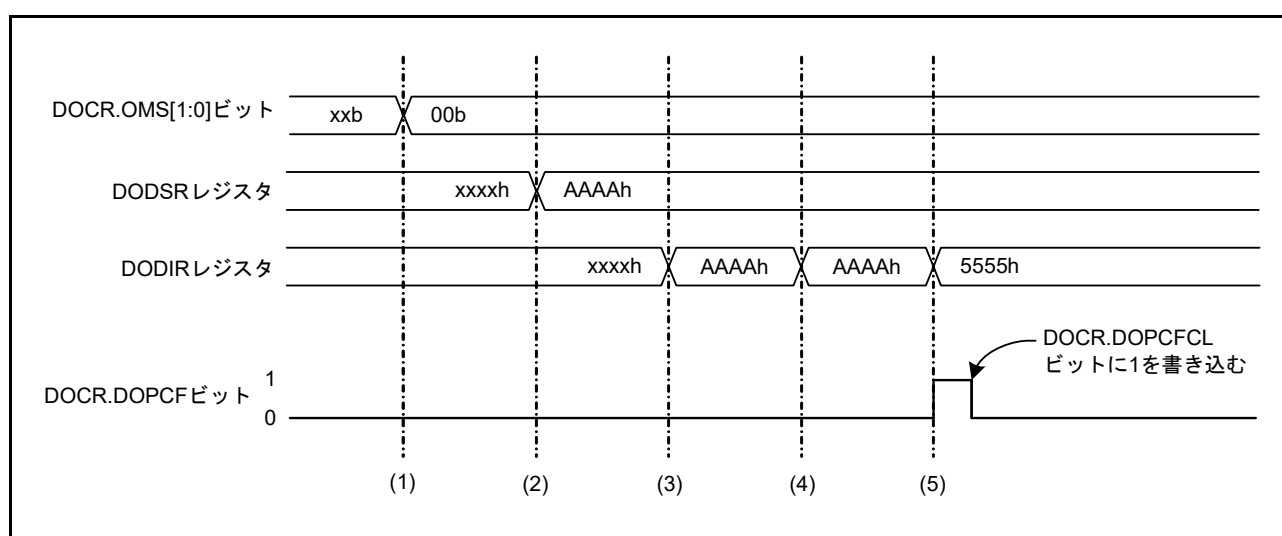


図 42.2 データ比較モードの動作例

42.3.2 データ加算モード

図 42.3 にデータ加算モードの DOC 動作例を示します。設定方法は以下のとおりです。

1. DOCR.OMS[1:0] ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR レジスタに初期値として 16 ビットのデータを設定します。
3. DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. 加算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が FFFFh よりも大きくなったとき DOCR.DOPCFCL フラグが 1 になります。

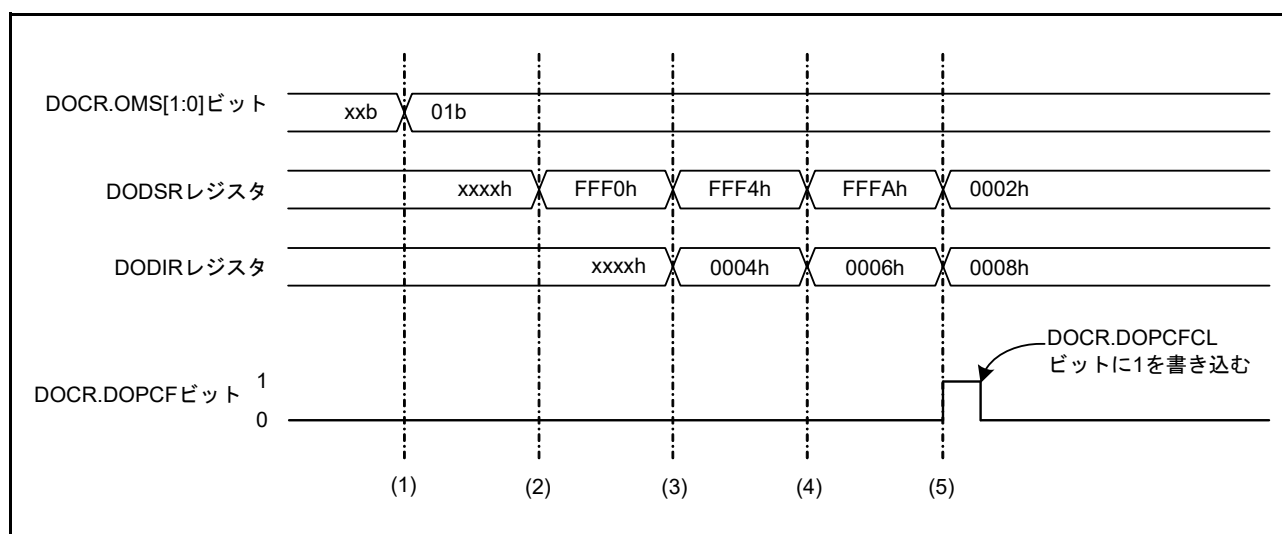


図 42.3 データ加算モードの動作例

42.3.3 データ減算モード

図 42.4 にデータ減算モードの DOC 動作例を示します。設定方法は以下のとおりです。

1. DOCR.OMS[1:0] ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR レジスタに初期値として 16 ビットのデータを設定します。
3. DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. 減算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が 0000h よりも小さくなったとき DOCR.DOPCF フラグが 1 になります。

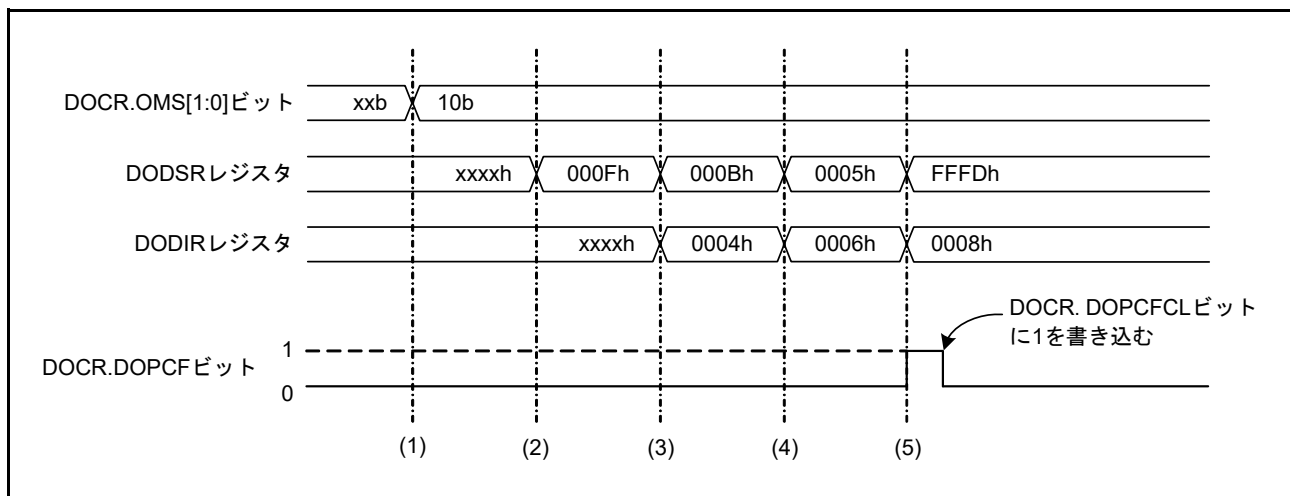


図 42.4 データ減算モードの動作例

42.4 イベントリンクコントローラ (ELC) への割り込み要求と出力

DOC は以下の条件で ELC にイベント信号を出力します。

- 比較された値が一致または不一致のとき
- データ加算の結果が FFFFh より大きくなったとき
- データ減算の結果が 0000h より小さくなったとき

この信号を使用して、あらかじめ設定していたモジュールの動作を開始させることができます。また、割り込み要求として使用することもできます。イベント信号が発生すると、データ演算回路フラグ (DOCR.DOPCF) が 1 になります。

42.5 使用上の注意事項

42.5.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、DOC の動作を許可または禁止することが可能です。DOC は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

43. SRAM

43.1 概要

本 MCU は、パリティビットチェック機能または誤り訂正コード (ECC) を備えたオンチップ高速 SRAM モジュールを搭載しています。ECC の対象は SRAM0 の最初の 16KB 領域です。パリティチェックは、その他の領域で実行されます。

SRAM の仕様を [表 43.1](#) に示します。

表 43.1 SRAM の仕様

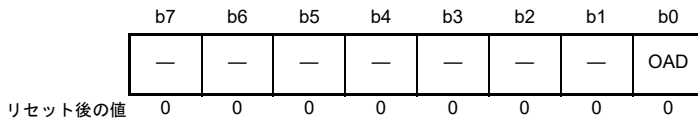
項目	内容 (ECC なしの場合)	内容 (ECC ありの場合)
SRAM 容量	SRAM0: 16KB	SRAM0 (ECC 領域): 16KB
SRAM アドレス	SRAM0: 2000 4000h ~ 2000 7FFFh	SRAM0 (ECC 領域): 2000 0000h ~ 2000 3FFFh
アクセス (注1)	0 ウェイト	
モジュールストップ機能	使用可能	
パリティ	8 ビットデータと 1 ビットパリティの偶数パリティ	パリティなし
エラーチェック機能	偶数パリティエラーチェック	1 ビット誤り訂正、最大 2 ビットの誤り検出

注 1. 詳細は、[43.3.7 アクセスサイクル](#) を参照してください。

43.2 レジスタの説明

43.2.1 SRAM パリティエラー検出後動作レジスタ (PARIOAD)

アドレス [SRAM.PARIOAD 4000 2000h](#)



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	1: リセット 0: ノンマスカブル割り込み	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

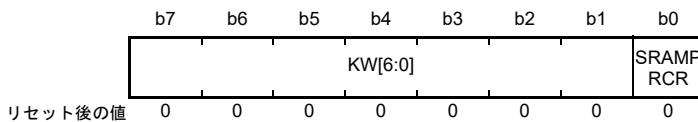
PARIOAD レジスタは、パリティエラー検出時の動作を制御します。本レジスタへの書き込みは SRAM プロテクトレジスタ (SRAMPRCR) によって保護されています。まず、SRAMPRCR.SRAMPRCR ビットを許可してから本レジスタへの書き込みを行ってください。SRAM アクセス中は、PARIOAD レジスタへの書き込みは行わないでください。

OAD ビット (検出後の動作)

パリティエラーが検出された場合に、リセットまたはノンマスカブル割り込みのどちらを発生させるかを指定します。OAD ビットは、SRAM0 (ECC なし) で使用されます。

43.2.2 SRAM プロテクトレジスタ (SRAMPRCR)

アドレス [SRAM.SRAMPRCR 4000 2004h](#)



ビット	シンボル	ビット名	機能	R/W
b0	SRAMPRCR	レジスタ書き込み制御	0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
b7-b1	KW[6:0]	書き込みキーコード	SRAMPRCR ビットへの書き込みを許可または禁止します。	R/W

SRAMPRCR ビット (レジスタ書き込み制御)

PARIOAD レジスタのライトモードを制御します。本ビットが 1 のとき、PARIOAD レジスタへの書き込みが許可されます。本ビットに書き込む場合、同時に KW[6:0] ビットに 78h を書き込んでください。

KW[6:0] ビット (書き込みキーコード)

SRAMPRCR ビットへの書き込みを許可または禁止します。SRAMPRCR ビットに書き込む場合、同時に KW[6:0] ビットに 78h を書き込んでください。それ以外の値を KW[6:0] に書き込むと、SRAMPRCR ビットは更新されません。KW[6:0] ビットは読むと常に 00h が読み出されます。

43.2.3 ECC 動作モードコントロールレジスタ (ECCMODE)

アドレス SRAM.ECCMODE 4000 20C0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	ECCMOD[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ECCMOD[1:0]	ECC動作モード選択	b1 b0 0 0 : ECC機能は無効 0 1 : 設定禁止 1 0 : ECC機能は有効/エラーチェックなし 1 1 : ECC機能は有効/エラーチェックあり	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ECCMODE レジスタは ECC の動作モードを設定するレジスタです。本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR.ECCPRCR ビットを 1 にしてから本レジスタへの書き込みを行ってください。SRAM アクセス中は ECCMODE レジスタへの書き込みは行わないでください。

ECCMOD[1:0] ビット (ECC 動作モード選択)

SRAM の ECC 領域へのアクセスモードを設定します。

43.2.4 ECC 2 ビットエラーステータスレジスタ (ECC2STS)

アドレス SRAM.ECC2STS 4000 20C1h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ECC2ERR
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECC2ERR	ECC 2 ビットエラーステータス	0 : ECC 2 ビットエラー発生なし 1 : ECC 2 ビットエラー発生	R(/W) (注1)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ビットをクリアするための 0 の書き込みのみ可能です。

ECC2ERR ビット (ECC 2 ビットエラーステータス)

SRAM の ECC 領域で ECC 2 ビットエラーが発生したかどうかを示します。ECC 有効/エラーチェックありの場合、2 ビットエラーが検出されると ECC2ERR ビットが 1 になります。このとき、SRAM エラー信号もアサートされます。ECC2ERR ビットに 0 を書き込むことによって、2 ビット ECC エラーはクリアされます。SRAM エラーには、ECCOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。このレジスタに 0 を書き込む間、SRAM の ECC 領域にはアクセスしないでください。

43.2.5 ECC 1 ビットエラー情報更新イネーブルレジスタ (ECC1STSEN)

アドレス SRAM.ECC1STSEN 4000 20C2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	E1STS EN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	E1STSEN	ECC 1ビットエラー情報更新許可	0 : ECC 1ビットエラー情報の更新禁止 1 : ECC 1ビットエラー情報の更新許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ECC1STSEN レジスタは、SRAM (ECC 領域) の ECC 1 ビットエラー発生時に、ECC 1 ビットエラーステータスレジスタ (ECC1STS) の更新を許可/禁止します。本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR.ECCPRCR ビットを書き込み許可にしてから本ビットへの書き込みを行ってください。

E1STSEN ビット (ECC 1 ビットエラー情報更新許可)

SRAM の ECC 領域における 1 ビットエラー発生時に、SRAM (ECC 領域) 1 ビットエラーステータスレジスタ (ECC1STS) の更新を許可/禁止します。このレジスタは、割り込みまたはリセットマスクとしても機能します。

43.2.6 ECC 1 ビットエラーステータスレジスタ (ECC1STS)

アドレス SRAM.ECC1STS 4000 20C3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ECC1E RR
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECC1ERR	ECC 1ビットエラーステータス	0 : ECC 1ビットエラー発生なし 1 : ECC 1ビットエラー発生あり	R(/W) (注1)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ビットをクリアするための 0 の書き込みのみ可能です。

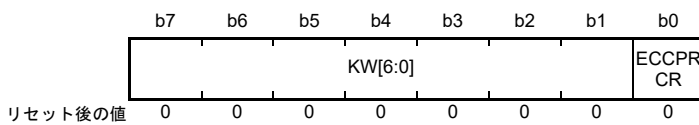
ECC1ERR ビット (ECC 1 ビットエラーステータス)

SRAM の ECC 領域で ECC 1 ビットエラーが発生したかどうかを示します。ECC 動作が有効で、誤り訂正が選択されており、1 ビットエラー情報の更新が許可されている場合、1 ビットエラーが検出されるとこのビットは 1 になります。このとき、SRAM エラー信号もアサートされます。ECC1ERR ビットに 0 を書き込むことによって、ECC 1 ビットエラーはクリアされます。

SRAM エラーには、ECCOAD レジスタでノンマスクابل割り込みまたはリセットを指定できます。このレジスタに 0 を書き込む間、SRAM の ECC 領域にはアクセスしないでください。

43.2.7 ECC プロテクトレジスタ (ECCPRCR)

アドレス SRAM.ECCPRCR 4000 20C4h



ビット	シンボル	ビット名	機能	R/W
b0	ECCPRCR	レジスタ書き込み制御	0 : 保護対象のレジスタへの書き込みを禁止 1 : 保護対象のレジスタへの書き込みを許可	R/W
b7-b1	KW[6:0]	書き込みキーコード	ECCPRCRビットへの書き込みを許可または禁止します。	R/W

ECCPRCR ビット (レジスタ書き込み制御)

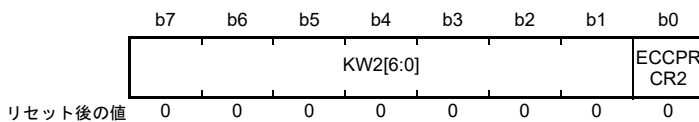
ECCMODE レジスタ、ECC1STSEN レジスタ、ECCOAD レジスタのライトモードを制御します。本ビットが1のとき、ECCMODE レジスタ、ECC1STSEN レジスタ、ECCOAD レジスタへの書き込みが許可されます。本ビットに書き込む場合、同時に KW[6:0] ビットに 78h を書き込んでください。

KW[6:0] ビット (書き込みキーコード)

ECCPRCR ビットへの書き込みを許可または禁止します。ECCPRCR ビットに書き込む場合、同時に KW[6:0] ビットに 78h を書き込んでください。それ以外の値を KW[6:0] に書き込むと、ECCPRCR ビットは更新されません。KW[6:0] ビットは読むと常に 00h が読み出されます。

43.2.8 ECC プロテクトレジスタ 2 (ECCPRCR2)

アドレス SRAM.ECCPRCR2 4000 20D0h



ビット	シンボル	ビット名	機能	R/W
b0	ECCPRCR2	レジスタ書き込み制御	0 : 保護対象のレジスタへの書き込みを禁止 1 : 保護対象のレジスタへの書き込みを許可	R/W
b7-b1	KW2[6:0]	書き込みキーコード	ECCPRCR2ビットへの書き込みを許可または禁止します。	R/W

ECCPRCR2 ビット (レジスタ書き込み制御)

ECCETST レジスタのライトモードを制御します。本ビットが1のとき、ECCETST レジスタへの書き込みが許可されます。本ビットに書き込む場合、同時に KW2[6:0] ビットに 78h を書き込んでください。

KW2[6:0] ビット (書き込みキーコード)

ECCPRCR2 ビットへの書き込みを許可または禁止します。本ビットに書き込む場合、同時に KW2[6:0] に 78h を書き込んでください。それ以外の値を KW2[6:0] に書き込むと、ECCPRCR2 ビットは更新されません。KW2[6:0] ビットは読むと常に 00h が読み出されます。

43.2.9 ECC テストコントロールレジスタ (ECCTETST)

アドレス [SRAM.ECCTETST 4000 20D4h](#)

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TSTBY P
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTBYP	ECCバイパス選択	0 : ECCバイパスは無効 1 : ECCバイパスは有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

本レジスタへの書き込みは ECC プロテクトレジスタ 2 (ECCPRCR2) によって保護されています。このビットに書き込む前に、ECCPRCR2.ECCPRCR2 ビットを 1 にしてください (書き込み保護は無効)。SRAM へのアクセスが進行中の場合、ECCTETST レジスタへの書き込みは行わないでください。

TSTBYP ビット (ECC バイパス選択)

ECC 機能をバイパスして、ECC コードへの直接アクセスを許可します。ECC バイパス機能が使用されている時、ECCMODE.ECCMOD[1:0] ビットは 00b になります。32 ビットデータに対して同じアドレスを使用し、ECC は 32 ビットでアクセスする必要があります。ECC コードは 32 ビットデータの低位 7 ビットに割り当てられます。ライトデータの上位 25 ビットは無視されます。このリードデータの上位 25 ビットは不定です。

注． ECC テストの詳細については、[43.3.4 ECC デコーダのテスト方法を参照してください](#)。

43.2.10 SRAM ECC エラー検出後動作レジスタ (ECCOAD)

アドレス [SRAM.ECCOAD 4000 20D8h](#)

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	OAD
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	1 : リセット 0 : ノンマスカブル割り込み	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。このビットに書き込む前に、ECCPRCR レジスタの ECCPRCR ビットを 1 にしてください (書き込み保護無効)。SRAM へのアクセスが進行中の場合は、ECCOAD レジスタへの書き込みは行わないでください。

OAD ビット (検出後の動作)

ECC エラーが検出された場合にリセットとノンマスカブル割り込みのどちらを発生させるか選択します。ECCOAD.OAD ビットは、SRAM (ECC 領域) で使用されます。

43.3 動作説明

43.3.1 消費電力低減機能

モジュールストップコントロールレジスタ A (MSTPCRA) の設定により、SRAM へのクロック供給を停止することで、消費電力を低減することが可能です。MSTPCRA.MSTPA0 ビットと MSTPCRA.MSTPA6 ビットの両方を 1 にすると、SRAM0 に供給されるクロック信号が停止します (注 1)。

クロック信号の供給が停止すると、SRAM はモジュールストップ状態になります。モジュールストップ状態では SRAM にアクセスできません。SRAM アクセス中は、モジュールストップ状態に遷移しないでください。モジュールストップ状態のとき、SRAM へのアクセスは禁止です。アクセスした場合の動作は保証できません。

MSTPCRA レジスタの詳細については、「10. 低消費電力モード」を参照してください。

注 1. MSTPCRA.MSTPA0 ビットと MSTPCRA.MSTPA6 ビットは同じ値にする必要があります。

43.3.2 ECC 機能

ECC 機能は、ECCMODE レジスタの設定によって、有効または無効にすることが可能です。初期状態では、ECC 機能は無効です。また、ECC のチェックタイプは、SEC-DED (単一誤り訂正、二重誤り検出) です。

ECC 機能が有効な場合、書き込み時は、32 ビットのデータに 7 チェックビットが付与されます。読み出し時は、SRAM (ECC 領域) から 39 ビットデータ (32 ビットデータと 7 チェックビット) が読み出されません。

ECC とエラーチェックの両方が有効の場合、1 ビットエラーが発生すると誤り訂正が実行され、ECC1STSEN.E1STSEN ビットが 1 のときは ECC1STS.ECC1ERR ビットが 1 になります。2 ビットエラーが発生すると、誤りが検出され、ECC2STS.ECC2ERR ビットが 1 になりますが、誤り訂正は実行されません。

「ECC 有効/エラーチェックなし」の場合、1 ビットエラーが発生すると誤り訂正が実行されますが、ECC1STSEN.E1STSEN ビットが 1 でも ECC1STS.ECC1ERR ビットは更新されません。2 ビットエラーが発生すると、誤りが検出されますが ECC2STS.ECC2ERR ビットは更新されず、誤り訂正も実行されません。

ECC 機能が無効の場合、1 ビットエラーまたは 2 ビットエラーが発生しても、誤り訂正と誤り検出は実行されません。そのため、ECC1ERR ビットまたは ECC2ERR ビットは更新されません。

エラーを検出した場所は確認できません。そのため、エラー発生後は SRAM に 32 ビットデータを書き込むことですべてのデータを更新してください。

ライトアクセスの後にリードアクセスが続いて発生すると、リードアクセスが優先的に実行されます。したがって、初期化中は、ライトアクセスの後に続けてリードアクセスを行わないでください。

43.3.3 ECC エラー発生

SRAM (ECC 領域) が「ECC 有効/エラーチェックあり」モードのとき、ECC 2 ビットエラーを示す ECC2STS.ECC2ERR ビット、または ECC 1 ビットエラーを示す ECC1STS.ECC1ERR ビットのいずれかが 1 になると、ECC エラーが発生します。

ECC 1 ビットエラーをマスクする場合は、ECC1STSEN.E1STSEN ビットを 0 にして、ECC1ERR ビットの更新を禁止してください。ECC 無効時、または「ECC 有効/エラーチェックなし」の場合、ECC エラーは発生しません。

ECC エラーは、ECCOAD レジスタでの選択に基づきノンマスカブル割り込みまたはリセットのいずれかを発生させます。ECCOAD.OAD ビットが 1 のとき、ECC エラーはリセット機能に出力されます。ECCOAD.OAD ビットが 0 のとき、ECC エラーはノンマスカブル割り込みとして ICU に出力されます。

43.3.4 ECC デコーダのテスト方法

図 43.1 に ECC デコーダのテスト方法を示します。

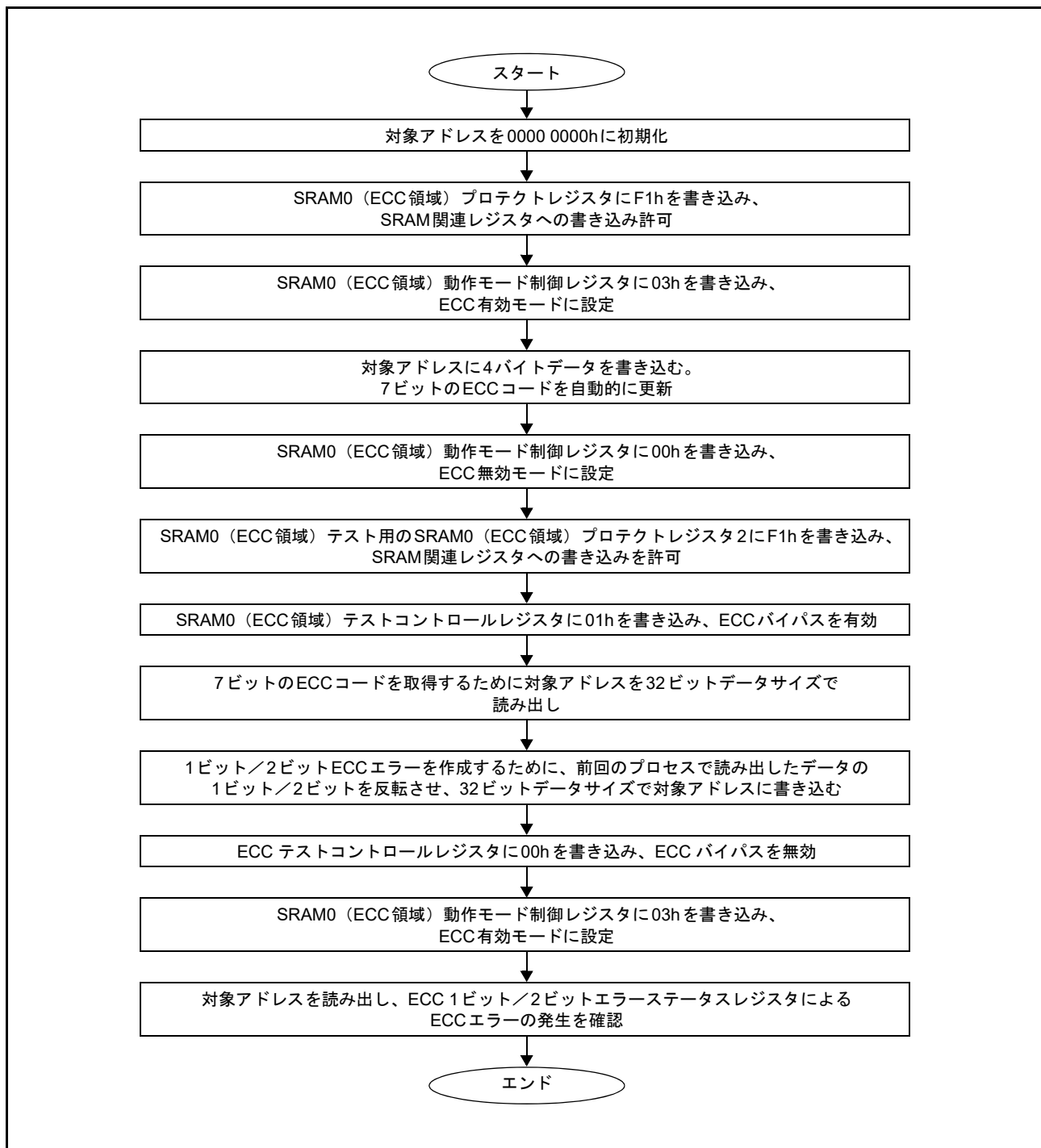


図 43.1 ECC デコーダのテスト方法

43.3.5 パリティ計算機能

IEC60730 規格に準拠するには、SRAM データのチェックが必要です。データ書き込み時に 32 ビットデータ幅の SRAM に格納されている 8 ビットデータごとにパリティビットが付与され、データ読み出し時にパリティチェックが行われます。パリティエラーが発生すると、パリティエラー通知が生成されます。この機能は、リセットを実行するためにも使用できます。SRAM0 の仕様は、ECC なしの場合、偶数パリティです。

パリティエラー通知には、PARIOAD.OAD ビットで、ノンマスクブル割り込みまたはリセットを指定できます。PARIOAD.OAD ビットが 1 のとき、パリティエラーはリセット機能に出力されます。OAD ビットが 0 のとき、パリティエラーはノンマスクブル割り込みとして ICU に出力されます。

パリティエラーはしばしばノイズにより発生します。パリティエラーの原因がノイズか破損かを確認するには、[図 43.2](#) および [図 43.3](#) に示されたパリティチェックフローを参照してください。

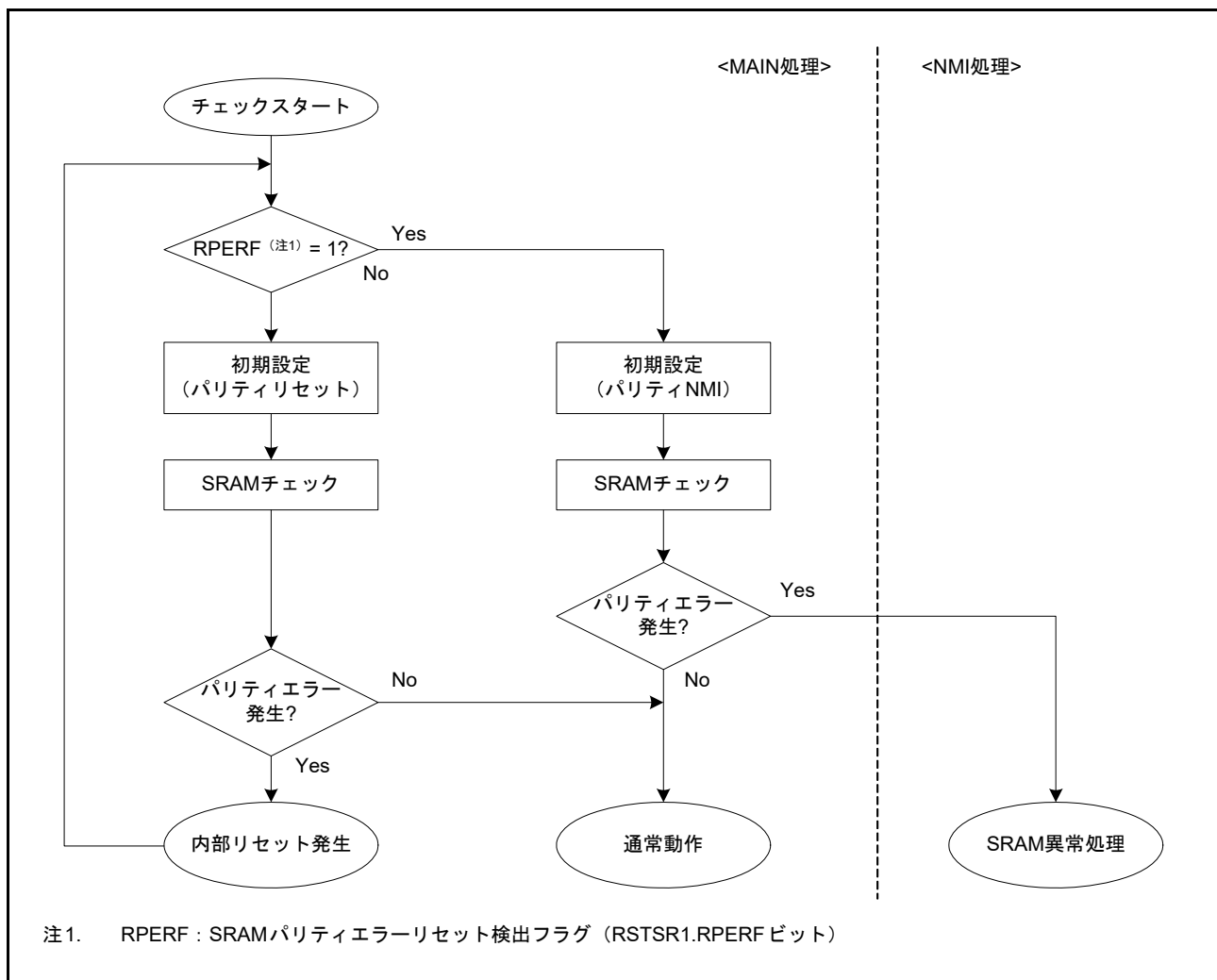


図 43.2 SRAM パリティリセット許可の場合の SRAM パリティチェックのフロー

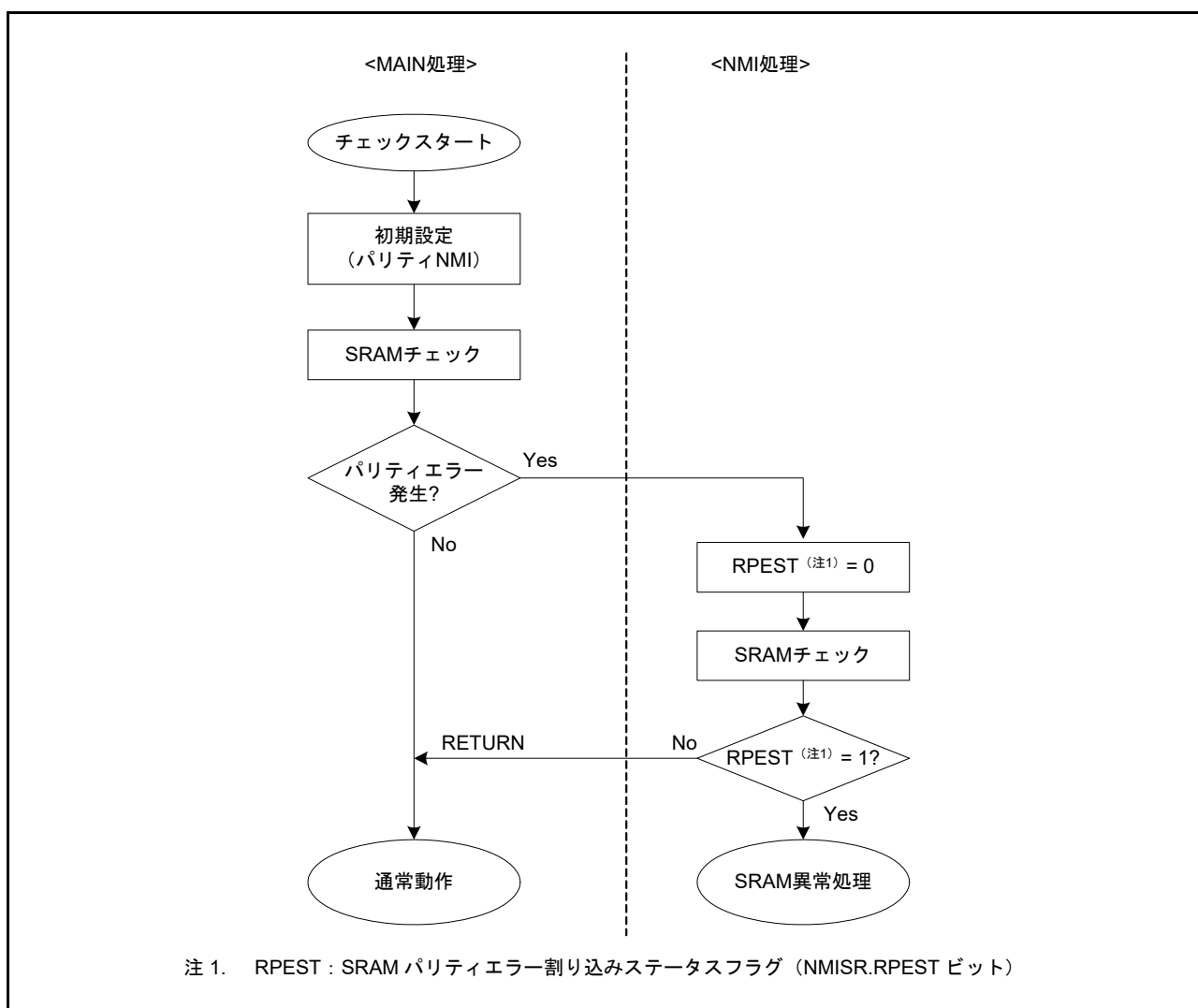


図 43.3 SRAM パリティ割り込み許可の場合の SRAM パリティチェックのフロー

43.3.6 SRAM エラー要因

SRAM エラーは、ECC エラーまたはパリティエラーのどちらかに起因します。ECC エラーおよびパリティエラーは、それぞれ ECCOAD.OAD ビット、PARIOAD.OAD ビットで選択したとおり、ノンマスクابل割り込みまたはリセットのいずれかを発生させることができます。

表 43.2 SRAM エラー要因

エラー要因	DTCの起動	DMACの起動
ECCエラー (ECCありのSRAM0領域)	不可能	不可能
パリティエラー (ECCなしのSRAM0領域)	不可能	不可能

43.3.7 アクセスサイクル

表 43.3 SRAM0 (ECC 領域 2000 0000h ~ 2000 3FFFh)

ビット設定	リード (サイクル)		ライト (サイクル)	
	ワードアクセス	ハーフワード/ バイトアクセス	ワードアクセス	ハーフワード/ バイトアクセス
ECC オフ ECCMOD[1] = 0	2		2	
ECC オン ECCMOD[1] = 1	2		2	4

表 43.4 SRAM0 (パリティ領域 2000 4000h ~ 2000 7FFFh)

リード (サイクル)		ライト (サイクル)	
ワードアクセス	ハーフワード/ バイトアクセス	ワードアクセス	ハーフワード/ バイトアクセス
2		2	

43.4 使用上の注意事項

43.4.1 SRAM 領域からの命令フェッチ

SRAM0 を使用してプログラムを実行する場合、SRAM 領域を初期化して CPU が正確にデータをプリフェッチできるようにしてください。初期化されていない SRAM 領域から CPU がデータをプリフェッチすると、ECC エラーまたはパリティエラーが発生する場合があります。4 バイト境界のプログラムの終了アドレスから 12 バイト領域を初期化してください。

43.4.2 SRAM のストアバッファ

SRAM と CPU 間の迅速なアクセスのためにストアバッファが使用されます。SRAM のストア命令の後で、同じアドレスからの負荷命令が実行されると、負荷命令は SRAM データの代わりにバッファからのデータを読み出すことがあります。SRAM から正しくデータを読み出すには、下記のいずれかの手順を行ってください。

- SRAM (アドレス = A) に書き込んだ後に、NOP 命令を使用し、SRAM (アドレス = A) を読み出す
- SRAM (アドレス = A) に書き込んだ後に、SRAM (アドレス = A) 以外の領域のデータを読み出し、それから SRAM (アドレス = A) を読み出す

44. フラッシュメモリ

本 MCU は、最大 256KB のコードフラッシュメモリと 8KB のデータフラッシュメモリを内蔵しています。フラッシュコントロールブロック (FCB) は、フラッシュメモリのプログラムコマンドを制御します。本製品は、Silicon Storage Technology, Inc. よりライセンス供与された SuperFlash® 技術を使用しています。

44.1 概要

表 44.1 に、コードフラッシュメモリとデータフラッシュメモリの仕様を、図 44.1 に関連モジュールのブロック図を示します。図 44.2 にコードフラッシュメモリの構成を、図 44.3 にデータフラッシュメモリの構成を示します。

表 44.1 コードフラッシュメモリとデータフラッシュメモリの仕様

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	• ユーザ領域：最大256KB	データ領域：8KB
リードサイクル	<ul style="list-style-type: none"> • 32MHz < ICLK周波数 ≤ 48MHz キャッシュヒット：1サイクル キャッシュミス：2、3サイクル • ICLK周波数 ≤ 32MHz キャッシュヒット：1サイクル キャッシュミス：1サイクル 	バイトアクセス時にはFCLK 6サイクルでのリード (FCLK周波数 ≤ 32MHz)
イレース後の値	FFh	FFh
プログラム/イレース方式	<ul style="list-style-type: none"> • レジスタに設定したFCBコマンドを使用してコードフラッシュメモリおよびデータフラッシュメモリをプログラム/イレース • 専用フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム (シリアルプログラミング) • ユーザプログラムによるフラッシュメモリのプログラム (セルフプログラミング) 	
セキュリティ機能	フラッシュメモリの不正改ざん/不正読み出しを防止	
プロテクション機能	フラッシュメモリの誤オーバーライトを防止	
BGO (バックグラウンドオペレーション) 機能	データフラッシュメモリのプログラム中にコードフラッシュメモリの読み出しが可能	
プログラム/イレース単位	<ul style="list-style-type: none"> • ユーザ領域へのプログラム：64ビット単位 • ユーザ領域のイレース：2KB単位 	<ul style="list-style-type: none"> • データ領域へのプログラム：8ビット単位 • データ領域のイレース：1KB単位
その他の機能	セルフプログラミング中の割り込み受け付け	
	本MCUの初期設定でフラッシュメモリ拡張領域 (オプションバイト) の設定可能	
オンボードプログラミング (4種類)	シリアルプログラミングモード (SCIブートモード) でのプログラム <ul style="list-style-type: none"> • 調歩同期式シリアルインタフェース (SCI9) を使用 • 転送速度は自動調整 シリアルプログラミングモード (USBブートモード) でのプログラム <ul style="list-style-type: none"> • USBFSを使用 • 専用ハードウェアが不要で、PCと直結可能 オンチップデバッグモードでのプログラム <ul style="list-style-type: none"> • JTAGまたはSWDインタフェースを使用 • 専用ハードウェアは必要なし ユーザプログラム中のコードフラッシュメモリ/データフラッシュメモリ書き換えルーチンによるプログラム <ul style="list-style-type: none"> • システムをリセットすることなくコードフラッシュメモリ/データフラッシュメモリのプログラムが可能 	

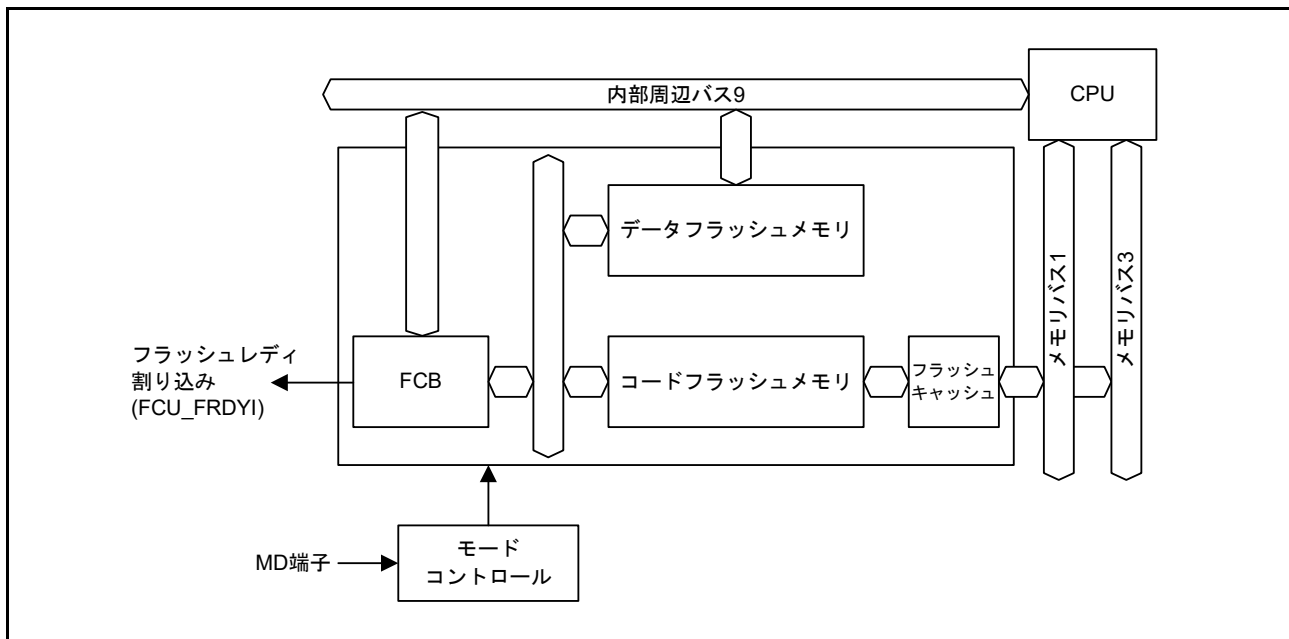


図 44.1 フラッシュメモリ関連モジュールのブロック図

44.2 メモリ構成

図 44.2 にコードフラッシュメモリのマッピングを、表 44.2 にコードフラッシュメモリのサイズ別のリードアドレスおよびプログラム/イレース (P/E) アドレスを示します。コードフラッシュメモリのユーザ空間は 2KB のブロックに分割されており、各ブロック単位でイレース可能です。ユーザ領域は、ユーザプログラムの格納に使用できます。

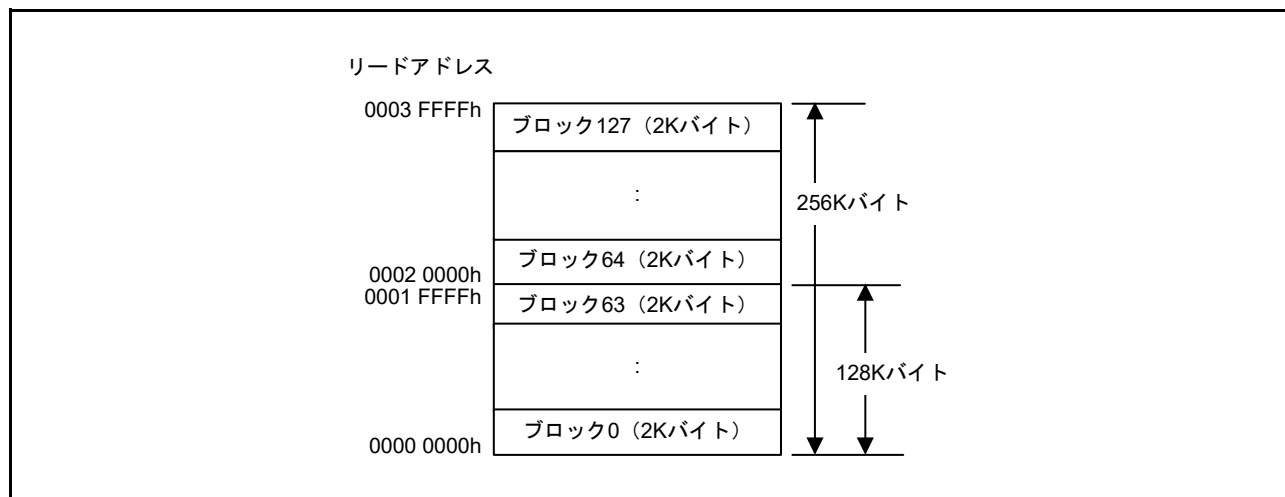


図 44.2 コードフラッシュメモリマッピング

表 44.2 コードフラッシュメモリのサイズ別リード、P/Eアドレス

コードフラッシュメモリのサイズ	リードアドレス	P/Eアドレス	ブロック番号
256KB	0000 0000h ~ 0003 FFFFh	0000 0000h ~ 0003 FFFFh	0 ~ 127

データフラッシュメモリのデータ領域は 1KB のブロックに分割されており、各ブロック単位でイレース可能です。図 44.3 にデータフラッシュメモリのマッピングを、表 44.3 にデータフラッシュメモリのサイズ別のリードアドレスと P/E アドレスを示します。

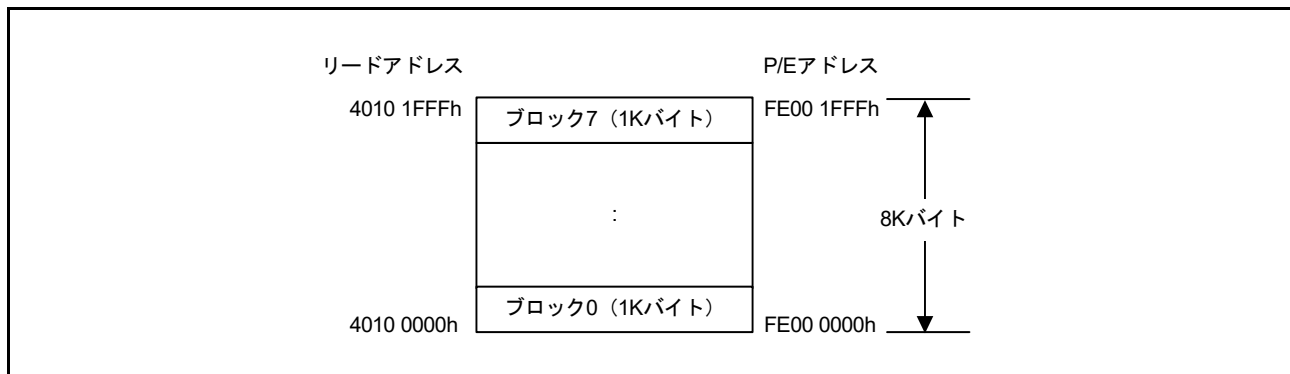


図 44.3 データフラッシュメモリマッピング

表 44.3 データフラッシュメモリのサイズ別リード、P/E アドレス

データフラッシュメモリのサイズ	リードアドレス	P/Eアドレス	ブロック
8KB	4010 0000h~4010 1FFFh	FE00 0000h~FE00 1FFFh	0~7

44.3 フラッシュキャッシュ

44.3.1 概要

フラッシュキャッシュ (FCACHE) は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと DMA で使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 44.4 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1 (FCACHE1)	フラッシュキャッシュ 2 (FCACHE2)	プリフェッチバッファ (FLPF)
キャッシュ対象領域	0000 0000h ~ 007F FFFFh	0000 0000h ~ 007F FFFFh	0000 0000h ~ 007F FFFFh
対象バスマスタ	CPU 命令フェッチ	CPU オペランドアクセスおよび CPU 以外からのアクセス	FLPF
容量	128 バイト	8 バイト	16 バイト
アソシアティブ方式	2 ウェイセットアソシアティブ <ul style="list-style-type: none"> • 64 ビット/エントリ (64 ビット整列データ)、 • 8 エントリ/ウェイ 	フルアソシアティブ <ul style="list-style-type: none"> • 64 ビット/エントリ (64 ビット整列データ)、 • 1 エントリ 	— <ul style="list-style-type: none"> • 64 ビット/エントリ (64 ビット整列データ) • 2 エントリ • 前の CPU 命令の次のアドレス
アクセスサイクル	キャッシュヒット: 0 ウェイト キャッシュミス: SYSTEM.MEMWAIT レジスタに従う: MEMWAIT = 0: 0 ウェイト MEMWAIT = 1: 1 ~ 2 ウェイト	キャッシュヒット: 0 ウェイト キャッシュミス: SYSTEM.MEMWAIT レジスタに従う: MEMWAIT = 0: 0 ウェイト MEMWAIT = 1: 1 ~ 2 ウェイト	キャッシュヒット: 0 ウェイト キャッシュミス: SYSTEM.MEMWAIT レジスタに従う: MEMWAIT = 0: 0 ウェイト MEMWAIT = 1: 1 ~ 2 ウェイト

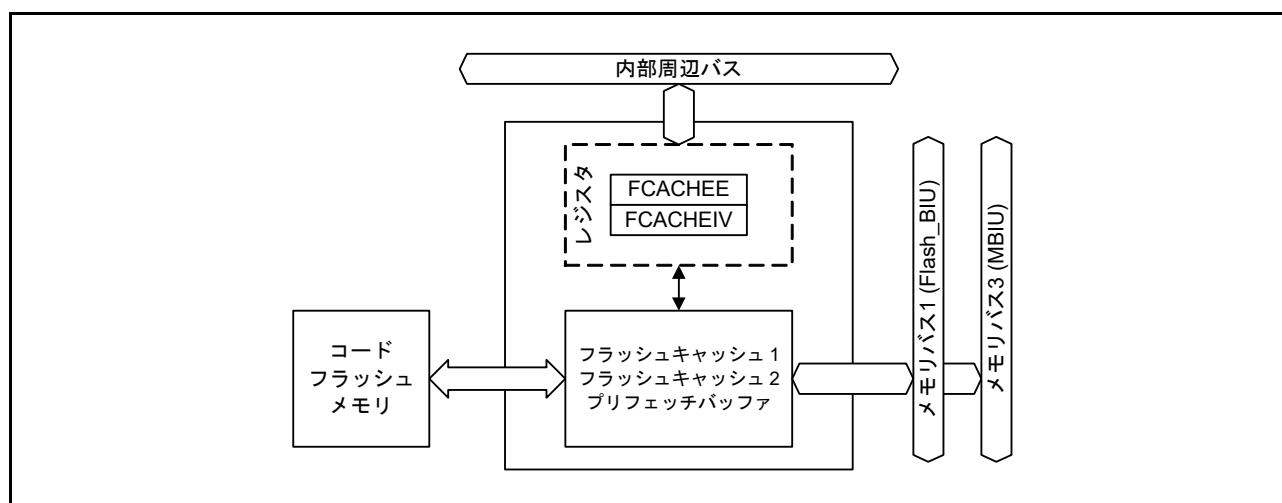


図 44.4 FCACHE のブロック図

44.4 レジスタの説明

44.4.1 フラッシュキャッシュイネーブルレジスタ (FCACHEE)

アドレス FCACHE.FCACHEE 4001 C100h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCACHEEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FCACHEEN	FCACHE許可	0 : FCACHE禁止 1 : FCACHE許可	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FCACHEE.FCACHEEN ビットは、FCACHE1、FCACHE2、FLPF のフラッシュキャッシュ機能を許可または禁止します。FCACHEIV.FCACHEIV には影響しません。FCACHE が許可されている場合、HPROT[3] ビット設定はそれがキャッシュャブルなのかノンキャッシュャブルなのかを決定します。14.5.1 フラッシュキャッシュ使用時の注意事項を参照してください。

44.4.2 フラッシュキャッシュインバリデートレジスタ (FCACHEIV)

アドレス FCACHE.FCACHEIV 4001 C104h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCACHEIV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FCACHEIV	フラッシュキャッシュインバリデート	<ul style="list-style-type: none"> 読み出し : 0 : インバリデートしない 1 : インバリデートする 書き込み : 1 を書くと FCACHE をインバリデートします。0 を書くと無視されます。 	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FCACHEIV.FCACHEIV ビットに 1 を書くと、FCACHE1、FCACHE2、FLPF のフラッシュキャッシュデータがインバリデートされます。

44.4.3 データフラッシュコントロールレジスタ (DFLCTL)

アドレス FLCN.DFLCTL 407E C090h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DFLEN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFLEN	データフラッシュアクセス有効	0: データフラッシュアクセス無効 1: データフラッシュアクセス有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DFLCTL レジスタはデータフラッシュへのアクセス（読み出し、書き込み、消去）を許可、あるいは禁止します。DFLCTL.DFLEN ビットを設定した後、データフラッシュからの読み出しや、プログラミング/イレースモードに入る前に、データフラッシュ STOP 復帰時間 (t_{DSTOP}) が必要です。

データフラッシュ STOP 復帰時間は動作モードによって異なります。

<動作モードごとの設定時間>

- High-speed 動作モード : 5 μ s
- Middle-speed 動作モード : 720ns
- Low-speed 動作モード : 720ns
- Low-voltage 動作モード : 10 μ s

44.4.4 ファクトリ MCU インフォメーションフラッシュルートテーブル (FMIFRT)

アドレス 407F B19Ch

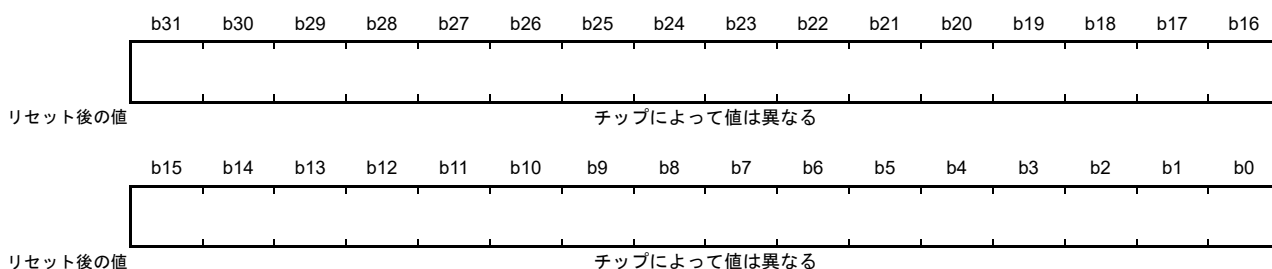
b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値															
製品によって値は異なる															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値															
製品によって値は異なる															

ビット	機能	R/W
b31-b0	ユニークIDのベースアドレス	R

FMIFRT レジスタは読み出し専用のレジスタで、ユニーク ID レジスタ、型名レジスタ、MCU バージョンレジスタのベースアドレスを格納しています。FMIFRT は 32 ビット単位で読み出してください。RA4M1 MCU のベースアドレスは 0x0100_3C00 です。

44.4.5 ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)

アドレス UIDR0 FMIFRT+14h, UIDR1 FMIFRT+18h, UIDR2 FMIFRT+1Ch, UIDR3 FMIFRT+20h



ビット	機能	R/W
b31-b0	ユニーク ID	R

UIDRn レジスタは読み出し専用のレジスタで、チップ固有の 16 バイトの ID (ユニーク ID) を格納しています。UIDRn は 32 ビット単位で読み出してください。

44.4.6 型名レジスタ n (PNRn) (n = 0 ~ 3)

アドレス PNR0 FMIFRT+24h, PNR1 FMIFRT+28h, PNR2 FMIFRT+2Ch, PNR3 FMIFRT+30h



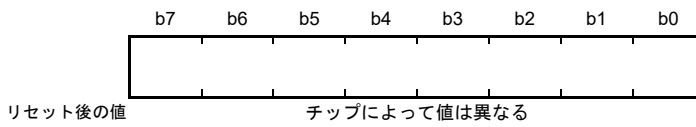
ビット	機能	R/W
b31-b0	製品の型名	R

PNRn レジスタは読み出し専用のレジスタで、16 バイトの型名を格納しています。PNRn レジスタは 32 ビット単位で読み出してください。各バイトは、表 1.13 製品一覧の型名の ASCII コード表現に対応しています。型名の最初の文字 (“R”、ASCII コードでは 0x52) は、アドレスが最小のバイト (FMIFRT + 24h) に格納されています。

型名の例 : R7FA4M1AB3CFM

44.4.7 MCU バージョンレジスタ (MCUVER)

アドレス FMIFRT+44h



ビット	機能	R/W
b7-b0	MCUバージョン	R

MCUVER レジスタは読み出し専用のレジスタで、MCU バージョンを格納しています。MCUVER レジスタは 8 ビット単位で読み出してください。この値が大きいほど、MCU バージョンは新しいです。

44.5 動作説明

フラッシュキャッシュを有効にするには FCACHEE レジスタを使用します。フラッシュキャッシュを設定してフラッシュメモリの書き換えに備えるには、以下を実行します。

1. FCACHEE.FCACHEEN ビットをリセットしてフラッシュキャッシュを禁止します。(注1)
2. ICLK 周波数および OPCCR および SOPCCR 両レジスタに設定の電力制御モードについて、必要に応じて MEMWAIT.MEMWAIT ビットを設定します。
3. FCACHEIV.FCACHEIV ビットを設定してフラッシュキャッシュを無効化します。
4. FCACHEIV.FCACHEIV ビットが 0 であることを確認します。
5. FCACHEE.FCACHEEN ビットを設定してフラッシュキャッシュを許可します。

注. フラッシュキャッシュ有効時、動作モード（読み出しモード、ウェイトモード）を変更しないでください。

注1. リセット後の最初の設定でフラッシュキャッシュを禁止にする必要はありません。

44.5.1 フラッシュキャッシュ使用における注意

CPU からのアクセスでフラッシュキャッシュを使用する場合、Arm® MPU もキャッシュブルに設定しなければなりません。

ARM®v7-M Architecture Reference Manual および *ARM® Cortex®-M4 Devices Generic User Guide* を参照してください。

44.6 フラッシュメモリ関連の動作モード

図 44.5 にフラッシュメモリに関するモード遷移図を示します。モードの設定方法については、「3. 動作モード」を参照してください。

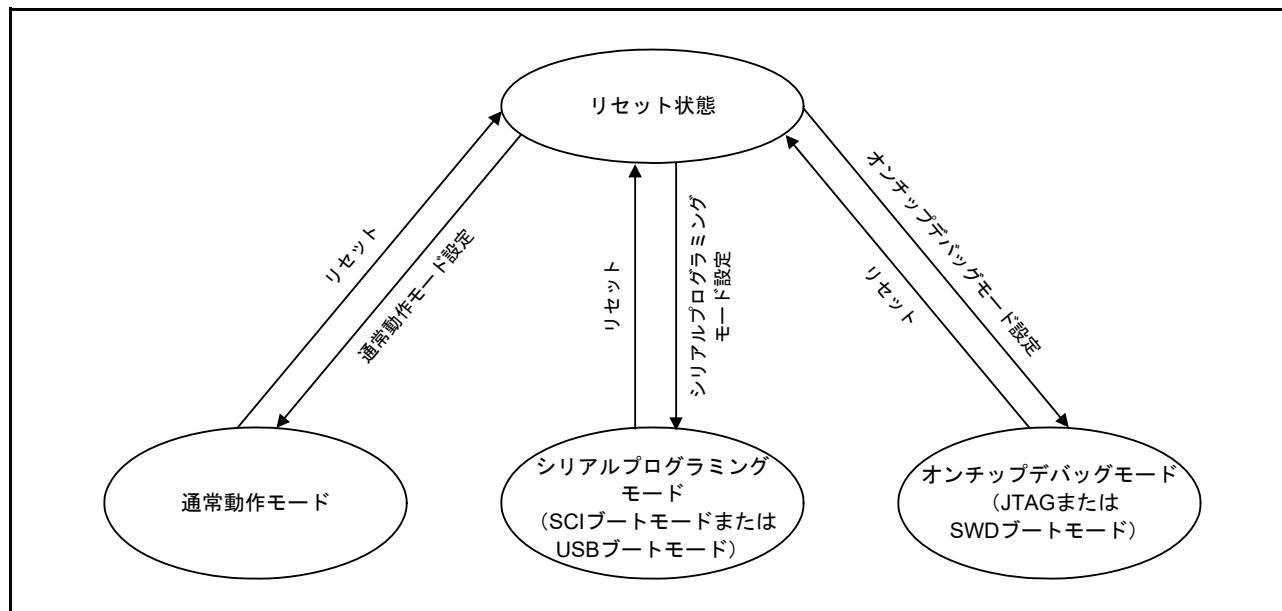


図 44.5 フラッシュメモリに関するモード遷移図

各モードでプログラム/イレースが可能なフラッシュメモリの領域、リセット後の起動プログラムを実行するフラッシュメモリの領域は異なります。表 44.5 に各モードの相違点を示します。

表 44.5 各モードの相違点

項目	通常動作モード	シリアルプログラミングモード (SCI/USB ブートモード)	オンチップデバッグモード (JTAG/SWD ブートモード)
プログラム/イレースが可能な領域	<ul style="list-style-type: none"> コードフラッシュメモリ データフラッシュメモリ 	<ul style="list-style-type: none"> コードフラッシュメモリ データフラッシュメモリ 	<ul style="list-style-type: none"> コードフラッシュメモリ データフラッシュメモリ
ブロック分割イレース	可能	可能	可能
リセット時の起動プログラム	ユーザ領域のプログラム	シリアルプログラミング用組み込みプログラム	デバッグコマンドに依存

44.6.1 ID コードプロテクト機能

この機能は、プログラミングとオンチップデバッグを禁止します。ID コードプロテクト機能が有効な場合、本 MCU はホストが送信した ID コードをフラッシュメモリに格納されている ID コードと比較し、有効または無効にします。プログラミングとオンチップデバッグは、この 2 つの ID が一致する場合に限り許可されます。

フラッシュメモリに格納されている ID コードは、32 ビットワード 4 つで構成されます。ID コードのビット 127 とビット 126 は、ID コードプロテクト機能が有効か判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、表 44.6 に示します。

表 44.6 ID コードプロテクト機能の仕様

ブートアップ時の動作モード	ID コード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
シリアルプログラミングモード (SCI/USB ブートモード)	FFh, ..., FFh (全バイトが FFh)	プロテクト無効	ID コードは検証されません。ID コードは常に一致して、プログラマまたはオンチップデバッグへの接続が許可されます。
オンチップデバッグモード (JTAG/SWD ブートモード)	ビット 127 = 1、 ビット 126 = 1、かつ 16 バイトのうち少なくとも 1 つが FFh 以外	プロテクト有効	ID コード一致：認証を終了し、プログラマまたはオンチップデバッグへの接続を許可 ID コード不一致：ID コードプロテクト待機状態へ遷移 プログラマまたはオンチップデバッグから送られてきた ID コードが ASCII コードの ALeRASE (414C_6552_4153_45FF_FFFF_FFFF_FFFF_FF FFFh) であると、ユーザフラッシュ (コードフラッシュおよびデータフラッシュ) 領域および構成領域の内容は消去されます。ただし、AWS.C.FSPR ビットが 0 であれば、強制消去は実行されません。
	ビット 127 = 1 かつ ビット 126 = 0	プロテクト有効	ID コード一致：認証を終了し、プログラマまたはオンチップデバッグへの接続を許可 ID コード不一致：ID コードプロテクト待機状態へ遷移
	ビット 127 = 0	プロテクト有効	ID コードは検証されません。ID コードは常に一致せず、プログラマまたはオンチップデバッグへの接続は禁止されていますが、ALeRASE コマンドは受け入れられます。ALeRASE コマンドの禁止については、2.11.3.4 接続順序と JTAG/SWD 認証の (1) OSIS の MSB が 0 (ビット [127] = 0) のときを参照してください。ルネサスはテストモードへの遷移は保護されています。

44.7 機能概要

シリアルインタフェース経由（シリアルプログラミングモード）、または JTAG/SWD インタフェース経由（オンチップデバッグモード）で、専用フラッシュメモリプログラマを使用して内蔵フラッシュメモリを書き換えることにより、ターゲットシステムへの実装前／実装後にかかわらず本 MCU のプログラムが可能です。また、ユーザプログラムの書き換えを禁止するセキュリティ機能により、第三者によるプログラムの改ざんを防止できます。

ユーザプログラムによるプログラミング（セルフプログラミング）は、システムの製造／出荷後の更新が必要なアプリケーションに有効です。フラッシュメモリ領域を安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理もサポートされており、外部通信およびその他の機能を実行している間もプログラミングを継続できます。表 44.7 は、プログラミング方式と関連する動作モードを示しています。

表 44.7 プログラミング方式

プログラミング方式	機能概要	動作モード
シリアルプログラミング	SCI9またはUSBFSインタフェース経由で接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。	シリアルプログラミングモード
	SCI9またはUSBFSインタフェースおよび専用プログラミングアダプタボードを経由して接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	シリアルプログラミングによってあらかじめメモリに書き込まれたユーザプログラムを実行することによっても、フラッシュメモリの書き換えが可能です。セルフプログラミングによるデータフラッシュメモリの書き換え時には、バックグラウンドオペレーション機能によりコードフラッシュメモリからの命令フェッチおよびデータの読み出しが可能です。そのため、コードフラッシュメモリ上のプログラムを実行して、データフラッシュメモリを書き換えることができます。	通常動作モード
JTAG/SWD プログラミング	JTAG/SWD 経由で接続されている専用フラッシュメモリプログラマまたはオンチップデバッガを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。	オンチップデバッグモード
	JTAG/SWD および専用プログラミングアダプタボードを経由して接続されている専用フラッシュメモリプログラマまたはオンチップデバッガを用いて、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	

本 MCU は、セルフプログラミング用にプログラムコマンドをサポートしています。内蔵フラッシュメモリの機能一覧を表 44.8 に示します。シリアルプログラミングではシリアルプログラマコマンドを使用してください。セルフプログラミングでは、プログラミングコマンドを使用して内蔵フラッシュメモリの読み出しまたはユーザプログラムの実行を行ってください。

表 44.8 基本機能

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。イレース後にプログラムされていない状態のデータフラッシュメモリの読み出し結果は保証されません。イレース後にプログラムされていない状態を確認するには、ブランクチェックを使用してください。	×	○
ブロックイレース	指定したブロックのメモリ内容のイレースを行います。	○	○
プログラム	指定したアドレスのプログラムを行います。	○	○
リード	フラッシュメモリにプログラムしたデータを読み出します。	○	× (ユーザプログラムによる読み出しは可能)
IDコードチェック	ホストが送信したIDコードとフラッシュメモリに格納されているコードとを比較し、これら二つが一致する場合、FCBは待機状態に移移してホストからのプログラミングとイレースコマンドを待ちます。	○	× (ID認証は行わない)
セキュリティ設定	シリアルプログラミング用のセキュリティ機能を設定します。	△ (有効から無効への切り替えのみ許可)	△ (有効から無効への切り替えのみ許可)
プロテクション設定	コードフラッシュメモリにおけるフラッシュ領域プロテクションのアクセスウィンドウを設定します。	○	○

内蔵フラッシュメモリは、IDコードセキュリティ機能をサポートしています。ID認証は、シリアルプログラミングと JTAG/SWD プログラミングで使用できるセキュリティ機能です。内蔵フラッシュメモリでサポートされるセキュリティ機能を表 44.9 に、セキュリティ設定時の動作を表 44.10 に示します。

表 44.9 セキュリティ機能

機能	内容
ID認証	シリアルプログラミング時のシリアルプログラマ接続をID認証結果で制御可能です。

表 44.10 セキュリティ設定時の動作

機能	セキュリティ設定時のイレース/プログラミング/リード動作		セキュリティ設定に関する注意事項
	シリアルプログラミングとオンチップデバッグモード	セルフプログラミングモード	セルフプログラミングモード
ID認証	IDが不一致の場合： <ul style="list-style-type: none"> • ブロックイレースコマンド：× • プログラミングコマンド：× • リードコマンド：× • セキュリティ設定コマンド：× • プロテクション設定コマンド：× IDが一致した場合： <ul style="list-style-type: none"> • ブロックイレースコマンド：○ • プログラミングコマンド：○ • リードコマンド：○ • セキュリティ設定コマンド：○ • プロテクション設定コマンド：○ 	ID認証は行わない <ul style="list-style-type: none"> • ブランクチェック：○ • ブロックイレース：○ • プログラミング：○ • セキュリティ設定：○ • プロテクション設定：○ 	ID認証は行わない

○：サポートあり、×：サポートなし

44.7.1 構成領域ビットマップ

図 44.6 に、ID 認証、スタートアップ領域の選択、アクセスウィンドウプロテクション、セキュリティ設定機能で使用するビットを示します。ブートプログラムは、必ずこれらのビットを 16 進数データとして使用しなければなりません。

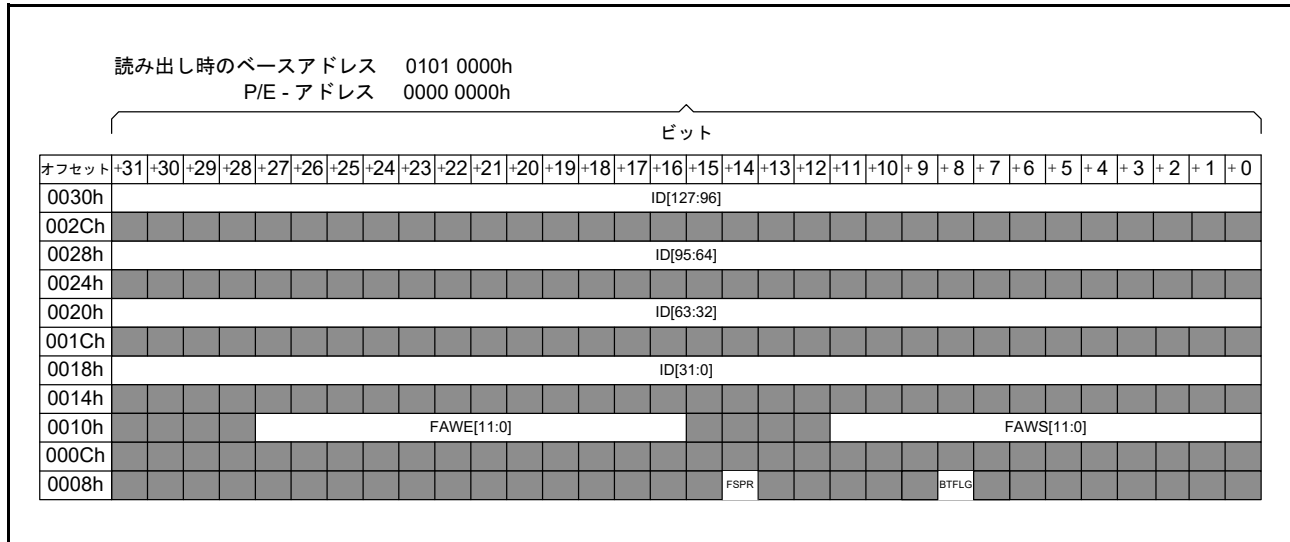


図 44.6 構成領域ビットマップ

44.7.2 スタートアップ領域選択

スタートアップ領域選択機能によって、ブートプログラムの安全な更新が可能になります。スタートアップ領域は、ユーザ領域に配置された 8KB の領域です。FCB は、AWSC レジスタに配置されたスタートアップ領域選択フラグ (BTFLG) の値に基づきスタートアップ領域のアドレスを制御します。スタートアップ領域は FSPR ビットでロックすることが可能です。

図 44.7 に、スタートアッププログラムのプロテクションの概要を示します。

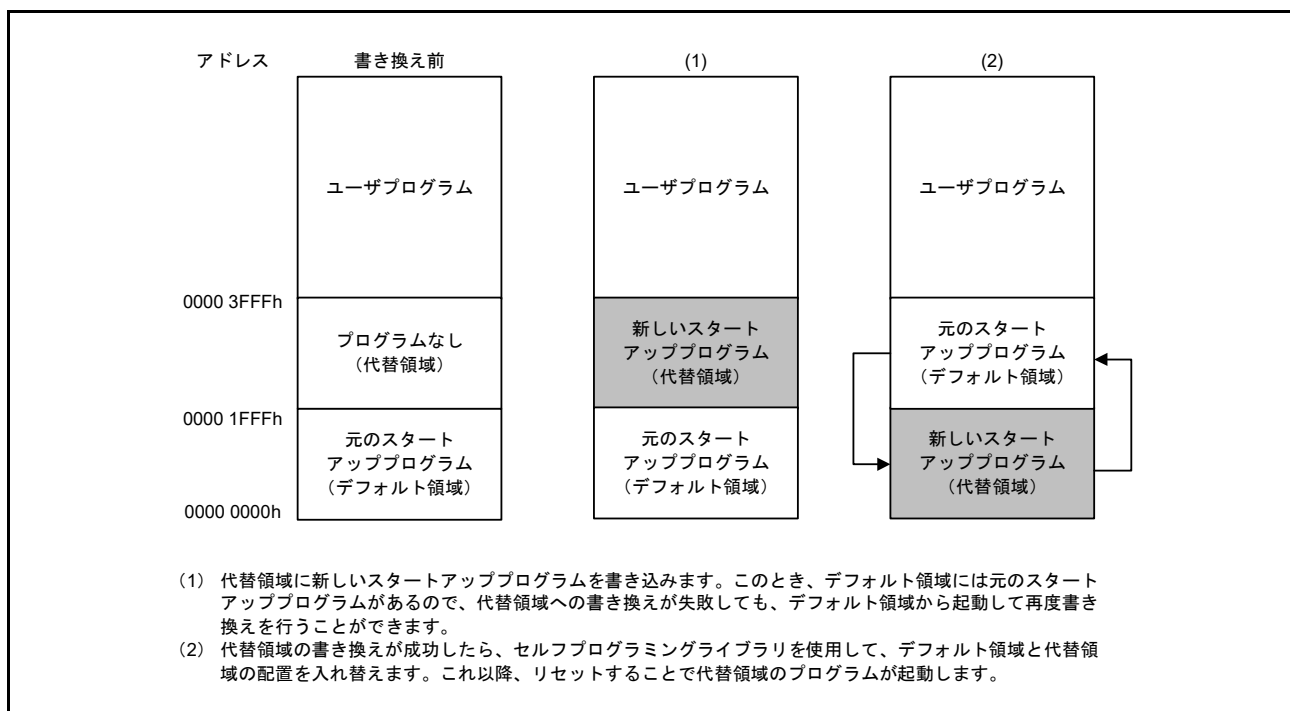


図 44.7 スタートアッププログラムプロテクションの概要

44.7.3 アクセスウィンドウによるプロテクション

アクセスウィンドウの外側にあるフラッシュメモリ領域にプログラムまたはブロックイレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウは、コードフラッシュメモリのユーザ領域においてのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。図 44.8 に、フラッシュ領域のプロテクション機能を示します。

アクセスウィンドウは、FAWS[11:0] ビットおよび FAWE[11:0] ビットの両方で指定されています。以下に、異なる条件での FAWS[11:0] ビットおよび FAWE[11:0] ビットの設定を説明します。

- FAWE[11:0] = FAWS[11:0] : P/E コマンドは、コードフラッシュメモリのユーザ領域のどこでも実行できます
- FAWE[11:0] > FAWS[11:0] : P/E コマンドは、FAWS[11:0] ビットで指示されたブロックから、FAWE[11:0] ビットで指示されたものより 1 つ下のブロックまでのウィンドウにおいてのみ実行できます
- FAWE[11:0] < FAWS[11:0] : P/E コマンドは、コードフラッシュメモリのユーザ領域のどこでも実行できません

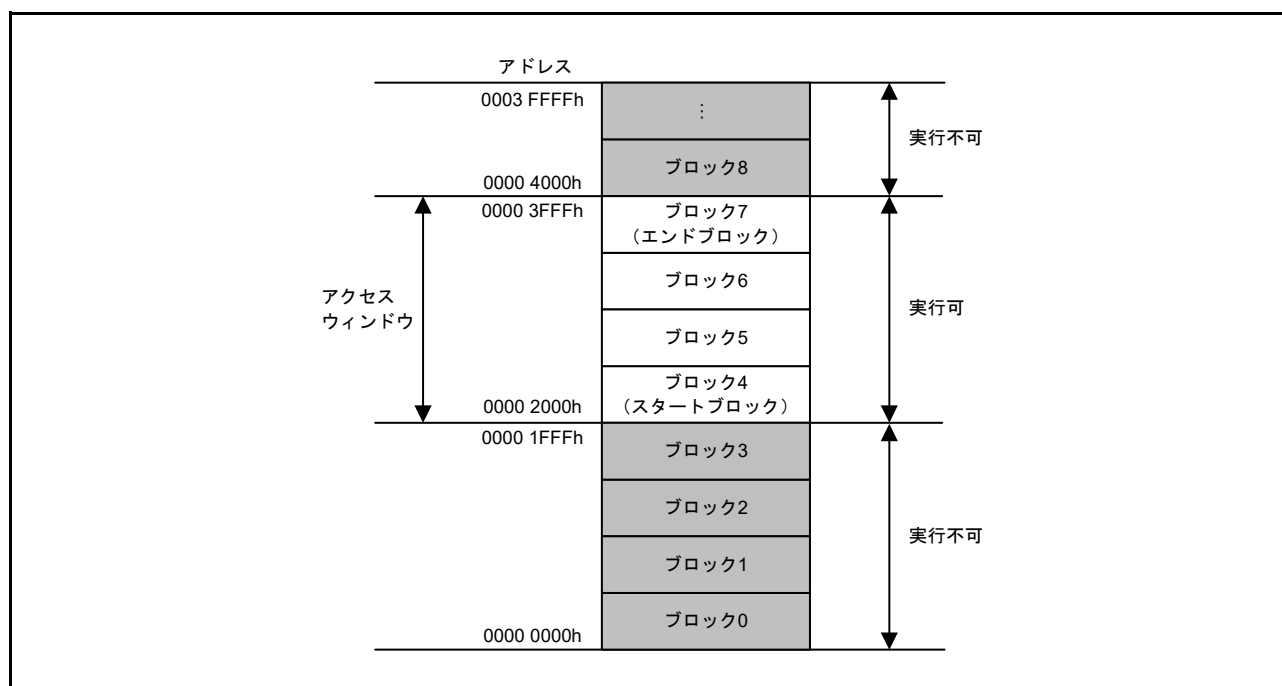


図 44.8 フラッシュ領域プロテクションの概要

44.8 プログラムコマンド

FCB は、プログラムコマンドを制御します。

44.9 サスペンド動作

強制停止コマンドは、ブランクチェックコマンドまたはブロックイレースコマンドを強制的に停止します。強制停止が実行されると、停止されたアドレスの値はレジスタに格納されます。これらのアドレス値をコピーすることにより、コマンド実行用レジスタをリセットした後、停止アドレスからコマンドを再開できます。

44.10 プロテクション機能

以下の種類のプロテクションが提供されています。

- ソフトウェアプロテクション
- エラープロテクション
- ブートプログラムプロテクション

44.11 シリアルプログラミングモード

シリアルプログラミングモードには以下が含まれます。

- SCI9 を使用する SCI ブートモード
- USBFS を使用する USB ブートモード

表 44.11 にフラッシュメモリ関連モジュールの入出力端子を示します。

表 44.11 フラッシュメモリ関連モジュールの入出力端子

端子名	入出力	適用モード	機能
MD	入力	SCI ブートモード USB ブートモード (シリアルプログラミングモード)	動作モードの選択
P110/RXD9	入力	SCI ブートモード	ホスト通信における SCI データ受信用
P109/TXD9	出力		ホスト通信における SCI データ送信用
USB_DP, USB_DM	入出力	USB ブートモード	USB データの入出力
USB_VBUS	入力		USB ケーブルの接続/切断の検出

注． セキュリティ MPU が有効な場合、シリアルプログラミングモードは実行されません。

44.11.1 SCI ブートモード

SCI ブートモードでは、ホストから制御コマンドやプログラミングデータを送信して、コードフラッシュメモリ領域およびデータフラッシュメモリ領域へのプログラム/イレースが実行可能です。ホストと本 MCU 間の通信には、内蔵の SCI のチャンネル 9 を調歩同期式モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU を SCI ブートモードで起動すると、シリアルプログラミング用の組み込みプログラムが実行されます。このプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、プログラムおよびイレースを制御します。リセット解除時に USB ケーブルが接続されていない場合は、

図 44.9 に、SCI ブートモード時のシステム構成を示します。

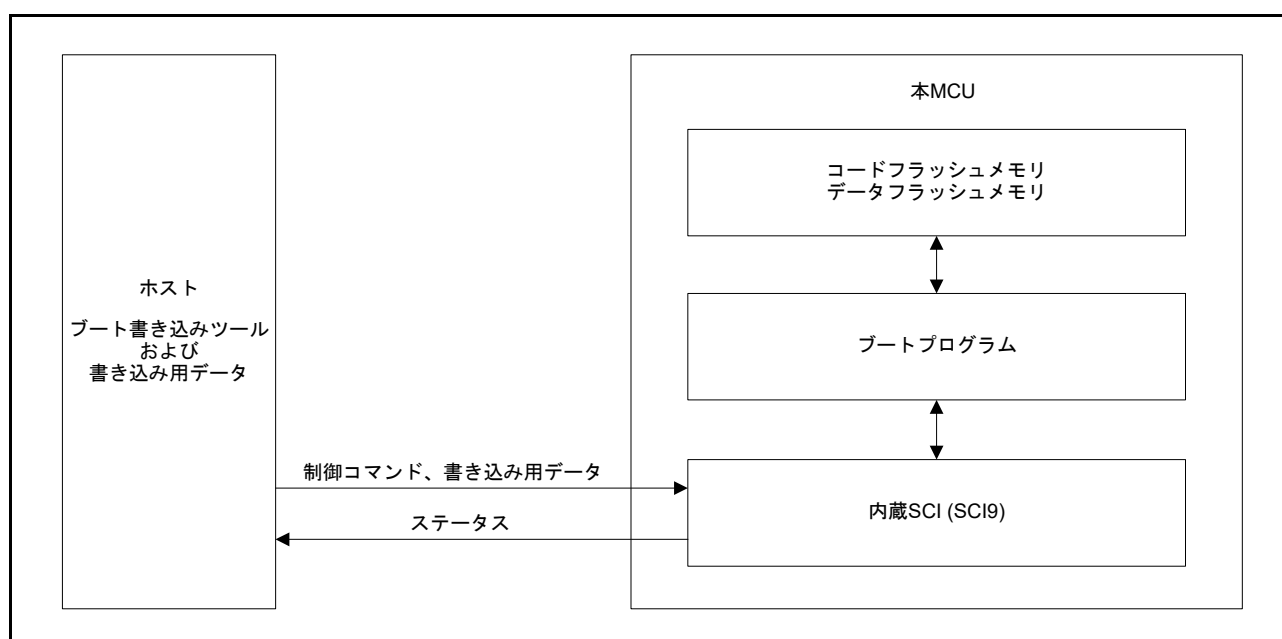


図 44.9 SCI ブートモード時のシステム構成

44.11.2 USB ブートモード

USB ブートモードは、USB インタフェースを経由して外部に接続されたホストから制御コマンドやプログラムデータを送信し、コードフラッシュメモリおよびデータフラッシュメモリへのプログラム/イレースを行うモードです。

USB ブートモードでは、制御コマンドやプログラムデータを送信するツールをホスト側に準備しておく必要があります。図 44.10 に、USB ブートモードでのシステム構成を示します。リセット解除時、USB ケーブルが接続されていないとできません。

USB セルフパワーシステムでは、VBUS の総消費電流は 100mA を越えないようにしてください。

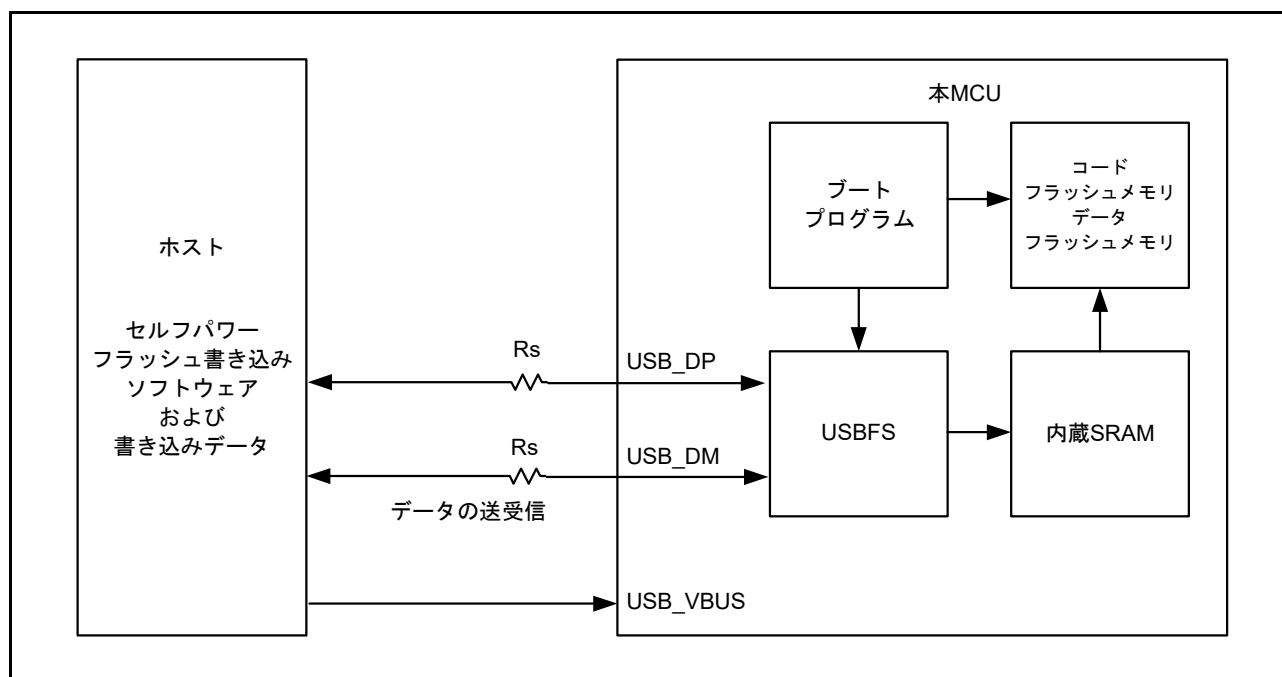


図 44.10 USB ブートモード時のシステム構成

44.12 シリアルプログラマを使用する場合

専用フラッシュメモリプログラマを使用して、シリアルプログラミングモードでフラッシュメモリのプログラムを行うことができます。

44.12.1 シリアルプログラミング

本 MCU は、シリアルプログラミング用にボードに搭載されています。ボードにコネクタを備えることにより、フラッシュメモリプログラマはプログラムを行うことができます。

44.12.2 プログラミング環境

図 44.11 に、本 MCU のフラッシュメモリにデータをプログラミングするための推奨環境を示します。

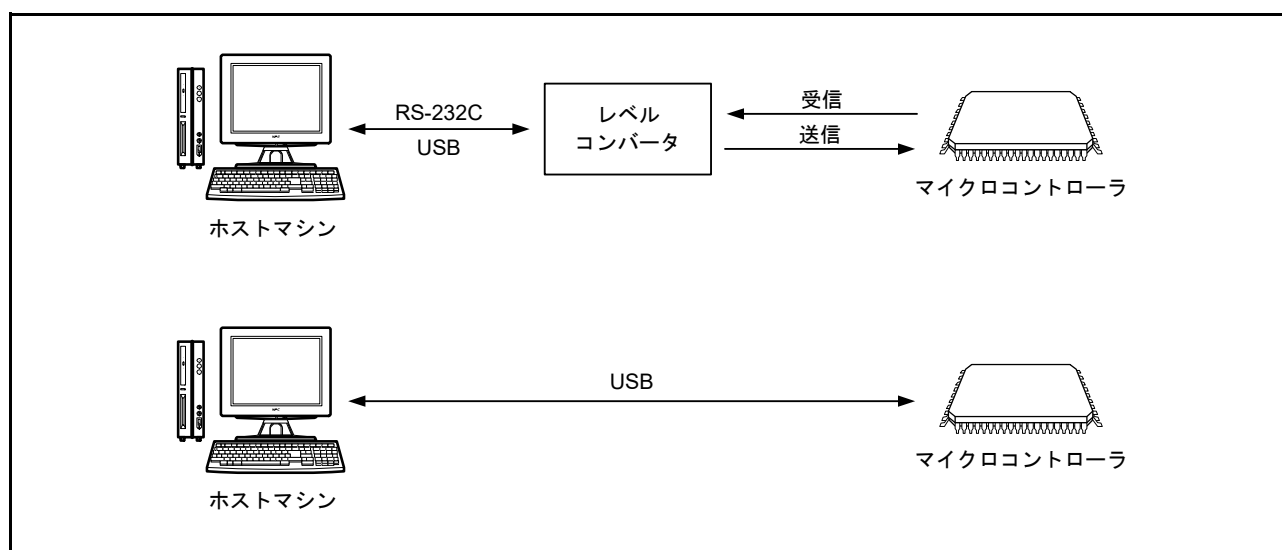


図 44.11 フラッシュメモリにプログラムを書き込むための環境

44.13 セルフプログラミング

44.13.1 概要

本 MCU は、ユーザプログラムによるフラッシュメモリの書き換えをサポートします。プログラムコマンドをユーザのプログラムで使用することにより、コードフラッシュメモリとデータフラッシュメモリを書き換えることができます。したがって、ユーザプログラムの更新と、定数データフィールドの書き換えが可能になります。

バックグラウンドオペレーション機能を利用して表 44.12 に示す条件でコードフラッシュメモリ上のプログラムを実行し、データフラッシュメモリを書き換えることができます。このプログラムを事前に内蔵 SRAM に複製し、そこから実行することも可能です。

このプログラムを内蔵 SRAM に複製し、そこからコードフラッシュメモリを書き換えることも可能です。

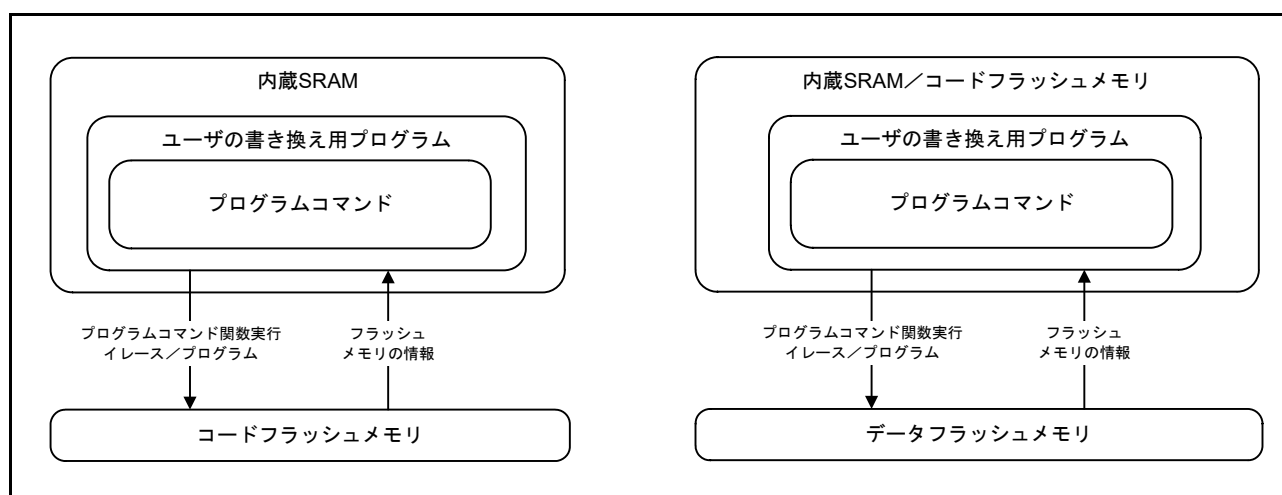


図 44.12 セルフプログラミングの概念

44.13.2 バックグラウンドオペレーション

書き込み対象および読み出し対象のフラッシュメモリが表 44.12 に示す組み合わせである場合には、バックグラウンドオペレーションを利用することが可能です。

表 44.12 バックグラウンドオペレーションの利用可能な条件

書き込み可能範囲	読み出し可能範囲
データフラッシュメモリ	コードフラッシュメモリ

44.14 フラッシュメモリの読み出し

44.14.1 コードフラッシュメモリの読み出し

通常モードでコードフラッシュメモリを読み出すのに、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。イレース後にプログラミングしていない（未プログラム状態の）コードフラッシュメモリを読み出すと、全ビットから1が読み出されません。

44.14.2 データフラッシュメモリの読み出し

通常モードでデータフラッシュメモリを読み出すのに、特別な設定は必要ありません。ただし、データフラッシュアクセス無効モードが読み出しを無効にするリセットを発行する場合を除きます。この場合、アプリケーションはデータフラッシュ読み出しモードへの遷移が必要です。イレース後にイレースされているが未プログラム状態のデータフラッシュメモリを読み出すと、全ビットから1が読み出されます。

44.15 使用上の注意事項

44.15.1 イレースを中断した領域

イレース動作を中断した領域のデータは不定です。不定データの読み出しによる誤動作を回避するためには、イレース動作を中断した領域でコマンドやデータリードを実行しないでください。

44.15.2 イレースサスペンドコマンドによる中断

イレース動作をイレースサスペンドコマンドで中断した場合、レジュームコマンドで動作を完了してください。

44.15.3 追加の書き込みに関する制限

構成領域を除き、同一領域に2回以上の書き込みを行うことはできません。フラッシュメモリ領域への書き込みが完了したら、その領域の書き換えを行う前にイレースしてください。構成領域は上書き可能です。

44.15.4 プログラム/イレース中のリセット

RES 端子からリセットを入力する場合、電気的特性で定義された動作電圧の範囲内で、 t_{RESW} 以上（「48. 電気的特性」参照）のリセット入力時間を経過してからリセットを解除してください。

IWDT リセットおよびソフトウェアリセットでは、 t_{RESW} 入力時間は必要ありません。

44.15.5 プログラム/イレース中に禁止されるノンマスカブル割り込み

プログラムおよびイレース中にノンマスカブル割り込み（注1）が発生すると、コードフラッシュメモリからベクタがフェッチされ、不定データが読み出されます。そのため、コードフラッシュメモリのプログラムまたはイレース中に、ノンマスカブル割り込みを発生させないでください。本説明はコードフラッシュメモリに限り適用されます。

注1. ノンマスカブル割り込みとは、NMI 端子割り込み、発振停止検出割り込み、WDT アンダーフロー/リフレッシュエラー割り込み、電圧監視1 割り込み、電圧監視2 割り込み、VBATT モニタ割り込み、SRAM パリティエラー割り込み、SRAM ECC エラー割り込み、MPU パスマスタエラー割り込み、MBU バススレーブエラー割り込み、CPU スタックポインタモニタ割り込みです。

44.15.6 プログラム/イレース動作中における割り込みベクタの配置

プログラム/イレース中に割り込みが発生すると、コードフラッシュメモリからベクタをフェッチすることが可能になります。コードフラッシュメモリからベクタをフェッチしないようにするには、割り込み表でコードフラッシュメモリ以外の領域を割り込みベクタのフェッチ先に指定してください。

44.15.7 Low-speed モードでのプログラム/イレース

消費電力低減機能のために SOPCCR レジスタで Low-speed モードが選択されている場合、フラッシュメモリのプログラム/イレースは実行しないでください。

44.15.8 プログラム/イレース中の異常終了

プログラム/イレース中に電圧が動作電圧範囲を超えた場合、またはリセットや 44.15.9 プログラム/イレース中に禁止の動作に記載の禁止動作が原因でプログラム/イレース動作が正常に終了しなかった場合、その領域を再度イレースしてください。

44.15.9 プログラム／イレース中に禁止の動作

フラッシュメモリの破壊を防ぐため、プログラム／イレース中は以下の指示に従ってください。

- 動作電圧範囲外の MCU 電源を使用しない
- OPCCR.OPCM[1:0] ビット値を更新しない
- SOPCCR.SOPCM ビット値を更新しない
- FlashIF クロック (FCLK) の分周比を変更しない
- 本 MCU をソフトウェアスタンバイモードにしない
- コードフラッシュメモリへのプログラム／イレース中にデータフラッシュメモリにアクセスしない
- データフラッシュメモリへのプログラム／イレース中に DFLCTL.DFLEN ビット値を変更しない

45. セグメント LCD コントローラ (SLCDC)

45.1 概要

本 MCU は、LCD ディスプレイおよび表示端子のコントローラを内蔵しています。SLCDC の仕様を表 45.1 に示します。

表 45.1 SLCDC の仕様

項目	内容
特長	<ul style="list-style-type: none"> 液晶波形 (A または B 波形) の選択が可能 LCD 駆動電圧生成回路は、内部昇圧方式、容量分割方式、および外部抵抗分割方式の間で切り替えが可能 表示データレジスタの自動読み出しによるセグメント信号と共通信号の自動出力 昇圧回路の基準電圧を 16 段階から選択可能 (コントラスト調整) LCD の点滅と点灯の選択が可能
端子数	端子数については、表 45.2 100 ピン製品の SLCDC 表示機能端子を参照してください。
ソースクロック	<ul style="list-style-type: none"> メインクロック発振器 サブクロック発振器 低速オンチップオシレータ 高速オンチップオシレータ
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

本 MCU の LCD 表示機能端子の本数は、製品によって異なります。異なるピン数の製品ごとの表示機能端子を表 45.2 と表 45.3 に示します。異なるピン数の製品ごとの最大画素数を表 45.4 と表 45.5 に示します。SLCDC のブロック図を図 45.1 に示します。

表 45.2 100 ピン製品の SLCDC 表示機能端子

項目	100 ピン															
LCD コントローラ/ドライバ	セグメント端子 (SEG) の本数 : 38 (34) (注1) コモン端子 (COM) の本数 : 8															
マルチプレクス I/O ポート	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ポート 1	SEG 26	SEG 25	SEG0/COM4	CAPL (注2)	CAPH (注2)	SEG 24	SEG 23	—	COM 3	COM 2	COM 1	COM 0	VL4 (注3)	VL3 (注3)	VL2 (注3)	VL1 (注3)
ポート 2	—	—	—	—	—	—	—	—	—	SEG 12	SEG 13	SEG 14	SEG 15	SEG 16	—	—
ポート 3	—	—	—	—	—	—	—	—	SEG 17	SEG 18	SEG 19	SEG 20	SEG3/COM7	SEG2/COM6	SEG1/COM5	—
ポート 4	—	—	—	—	SEG7	SEG8	SEG9	SEG 10	SEG 11	—	—	—	—	SEG6	SEG5	SEG4
ポート 5	—	—	—	—	—	—	—	—	—	—	—	—	SEG 37	SEG 36	SEG 35	SEG 34
ポート 6	—	—	—	—	—	SEG 29	SEG 28	SEG 27	—	—	—	—	SEG 30	SEG 31	SEG 32	SEG 33
ポート 7	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート 8	—	—	—	—	—	—	SEG 22	SEG 21	—	—	—	—	—	—	—	—
ポート 9	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

注 1. () 内の数字は、8 時分割選択時の信号出力端子数です。

注 2. CAPH および CAPL は、LCD コントローラ/ドライバのコンデンサ接続端子です。

注 3. VL1、VL2、VL3、VL4 は、LCD を駆動するための電源端子です。

表 45.3 64ピン製品のSLCDC表示機能端子

項目	64ピン															
LCDコントローラ／ドライバ	セグメント端子 (SEG) の本数 : 21 (17) (注1) コモン端子 (COM) の本数 : 8															
マルチプレクス I/Oポート	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ポート1	—	—	SEG0/ COM4	CAPL (注2)	CAPH (注2)	SEG 24	SEG 23	—	COM 3	COM 2	COM 1	COM 0	VL4 (注3)	VL3 (注3)	VL2 (注3)	VL1 (注3)
ポート2	—	—	—	—	—	—	—	—	—	SEG 12	SEG 13	SEG 14	—	—	—	—
ポート3	—	—	—	—	—	—	—	—	—	—	—	SEG 20	SEG3/ COM7	SEG2/ COM6	SEG1/ COM5	—
ポート4	—	—	—	—	SEG7	SEG8	SEG9	SEG 10	SEG 11	—	—	—	—	SEG6	SEG5	SEG4
ポート5	—	—	—	—	—	—	—	—	—	—	—	—	—	SEG 36	SEG 35	SEG 34
ポート6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート7	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート9	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

- 注 1. () 内の数字は、8 時分割選択時の信号出力端子数です。
- 注 2. CAPH および CAPL は、LCD コントローラ／ドライバのコンデンサ接続端子です。
- 注 3. VL1、VL2、VL3、および VL4 は、LCD を駆動するための電源端子です。

表 45.4 64ピン製品の最大画素数

LCDドライバ用駆動波形	LCD駆動電圧生成回路	バイアス法	時分割数	最大画素数
A波形	外部抵抗分割	—	スタティック	21 (21セグメント信号、1コモン信号)
		1/2	2	42 (21セグメント信号、2コモン信号)
			3	63 (21セグメント信号、3コモン信号)
		1/3	3	84 (21セグメント信号、4コモン信号)
			4	
	内部昇圧	1/3	3	63 (21セグメント信号、3コモン信号)
			4	84 (21セグメント信号、4コモン信号)
		1/4	8	136 (17セグメント信号、8コモン信号)
	容量分割	1/3	3	63 (21セグメント信号、3コモン信号)
			4	84 (21セグメント信号、4コモン信号)
B波形	外部抵抗分割、内部昇圧	1/3	4	136 (17セグメント信号、8コモン信号)
		1/4	8	
	容量分割	1/3	4	84 (21セグメント信号、4コモン信号)

表 45.5 100ピン製品の最大画素数

LCDドライバ用駆動波形	LCD駆動電圧生成回路	バイアス法	時分割数	最大画素数	
A波形	外部抵抗分割	—	スタティック	38 (38セグメント信号、1コモン信号)	
			1/2	2	76 (38セグメント信号、2コモン信号)
			3	114 (38セグメント信号、3コモン信号)	
			4	152 (38セグメント信号、4コモン信号)	
			1/3	3	114 (38セグメント信号、3コモン信号)
	内部昇圧	1/3	3	114 (38セグメント信号、3コモン信号)	
			4	152 (38セグメント信号、4コモン信号)	
			8	272 (34セグメント信号、8コモン信号)	
	容量分割	1/3	3	114 (38セグメント信号、3コモン信号)	
4			152 (38セグメント信号、4コモン信号)		
8			272 (34セグメント信号、8コモン信号)		
B波形	外部抵抗分割、内部昇圧	1/3	4	152 (38セグメント信号、4コモン信号)	
			8	272 (34セグメント信号、8コモン信号)	
	容量分割	1/3	4	152 (38セグメント信号、4コモン信号)	

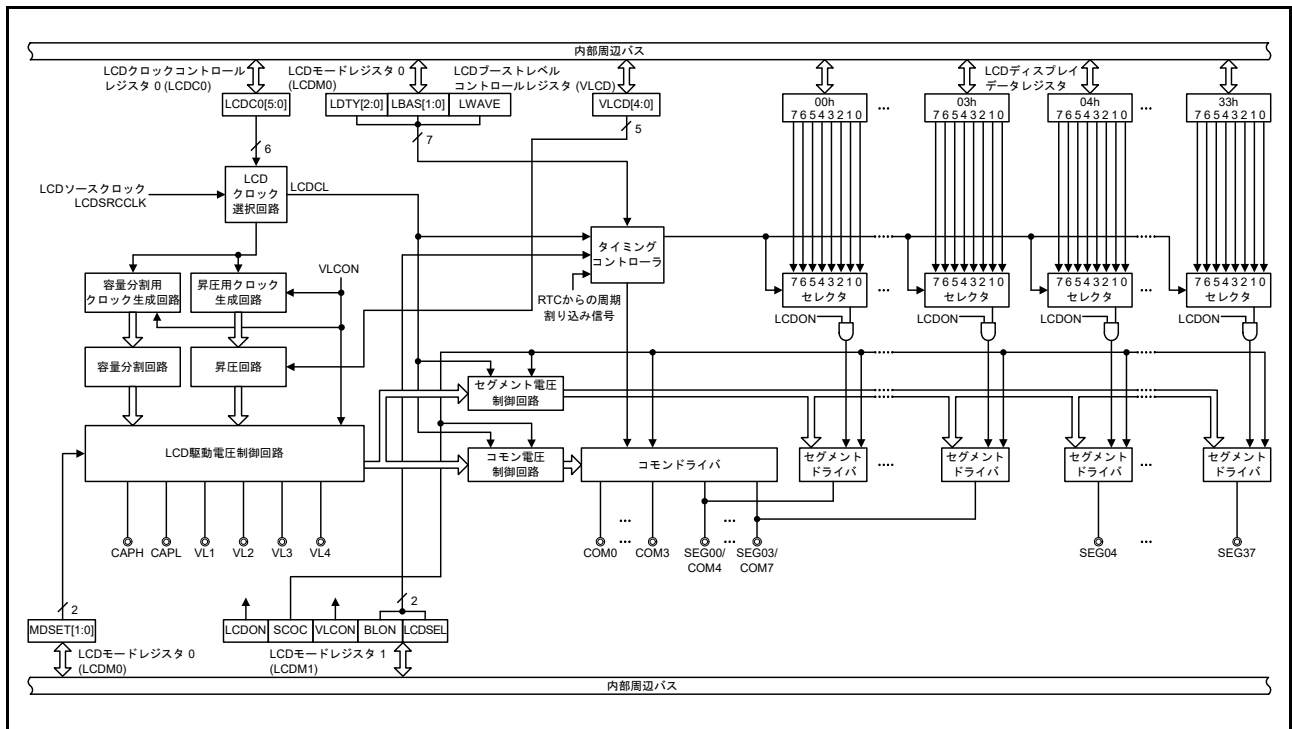
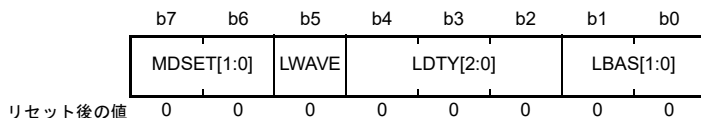


図 45.1 SLCDC のブロック図

45.2 レジスタの説明

45.2.1 LCD モードレジスタ 0 (LCDM0)

アドレス SLCDC.LCDM0 4008 2000h



ビット	シンボル	ビット名	機能	R/W
b1-b0	LBAS[1:0]	LCD表示バイアス法選択	b1 b0 0 0 : 1/2バイアス法 0 1 : 1/3バイアス法 1 0 : 1/4バイアス法 1 1 : 設定禁止	R/W
b4-b2	LDTY[2:0]	LCD表示時分割数選択	b4 b2 0 0 0 : スタティック 0 0 1 : 2時分割 0 1 0 : 3時分割 0 1 1 : 4時分割 1 0 1 : 8時分割 上記以外は設定しないでください。	R/W
b5	LWAVE	LCD表示波形選択	0 : A波形 1 : B波形	R/W
b7-b6	MDSET[1:0]	LCD駆動電圧生成回路選択	b7 b6 0 0 : 外部抵抗分割方式 0 1 : 内部昇圧方式 1 0 : 容量分割方式 1 1 : 設定禁止	R/W

- 注. LCDM1 レジスタの SCOC ビットが 1 のときは、LCDM0 の値を書き換えないでください。
- 注. スタティック (LDTY[2:0] = 000b) を選択した場合、LBAS[1:0] ビットをデフォルト値 (00b) にしてください。これらの禁止事項に違反した場合の動作は保証されません。
- 注. 表示波形、時分割数、バイアス法の設定は表 45.6 に示した組み合わせのみサポートします。表 45.6 に示す組み合わせ以外は設定しないでください。

表 45.6 表示波形、時分割、バイアス法、およびフレーム周波数の組み合わせ

表示モード			設定値						駆動電圧生成方式		
表示波形	時分割数	バイアス法	LWAVE	LDTY[2:0]			LBAS[1:0]		外部抵抗分割	内部昇圧	容量分割
A波形	8	1/4	0	1	0	1	1	0	○	○	×
A波形	4	1/3	0	0	1	1	0	1	○	○	○
A波形	3	1/3	0	0	1	0	0	1	○	○	○
A波形	3	1/2	0	0	1	0	0	0	○	×	×
A波形	2	1/2	0	0	0	1	0	0	○	×	×
A波形	スタティック		0	0	0	0	0	0	○	×	×
B波形	8	1/4	1	1	0	1	1	0	○	○	×
B波形	4	1/3	1	0	1	1	0	1	○	○	○

○ : 可 × : 不可

45.2.2 LCD モードレジスタ 1 (LCDM1)

アドレス SLCDC.LCDM1 4008 2001h

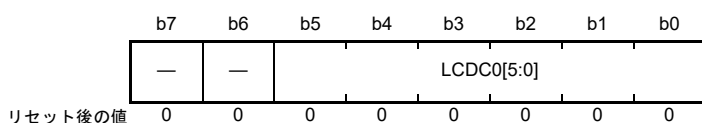
	b7	b6	b5	b4	b3	b2	b1	b0
	LCDON	SCOC	VLCON	BLON	LCDSE L	—	—	LCDVL M
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCDVLM	昇圧端子初期値切り替え制御	0 : VCCが2.7V以上の場合 1 : VCCが4.2V以下の場合 VCCが2.7V以上4.2V以下の場合は、どちらの値も設定可能です。	R/W
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	LCDSEL	表示データ領域制御	b4 b3 0 0 : Aパターン領域 (LCD表示データレジスタの下位4ビット) のデータを表示 0 1 : Bパターン領域 (LCD表示データレジスタの上位4ビット) のデータを表示 1 0 : Aパターン領域とBパターン領域のデータを交互に表示 (リアルタイムクロック (RTC) の周期割り込み (RTC_PRD) タイミングに対応した点滅表示) 1 1 : Aパターン領域とBパターン領域のデータを交互に表示 (リアルタイムクロック (RTC) の周期割り込み (RTC_PRD) タイミングに対応した点滅表示)	R/W
b4	BLON	表示データ領域制御		R/W
b5	VLCON	昇圧回路または容量分割回路動作許可/禁止	0 : 昇圧回路または容量分割回路の動作を停止 1 : 昇圧回路または容量分割回路の動作を許可 (注1)	R/W
b6	SCOC	LCD表示許可/禁止	b7 b6 0 0 : グラウンドレベルをセグメント/コモン端子に出力 0 1 : 表示オフ (すべてのセグメント出力が選択解除される) 1 0 : グラウンドレベルをセグメント/コモン端子に出力 1 1 : 表示オン	R/W
b7	LCDON	LCD表示許可/禁止		R/W

- 注 . VLX 端子の初期状態を設定して昇圧回路を使用するときの昇圧効率を向上させるために使用します。昇圧開始時に VCC が 2.7V 以上の場合 LCDVLM ビットを 0 にし、4.2V 以下の場合は 1 にします。VCC が 2.7V ~ 4.2V の範囲内の場合、LCDVLM ビットは 0 または 1 のどちらでも設定可能です。
- 注 . 昇圧回路の使用時、LCD に何も表示しないときの消費電力を削減するために、SCOC ビットと VLCON ビットを 0 にし、LCDM0.MDSET[1:0] ビットを 00b にしてください。LCDM0.MDSET[1:0] ビットが 01b の場合、内部の基準電圧生成回路が動作するので電力を消費します。
- 注 . 外部抵抗分割方式 (LCDM0.MDSET[1:0] ビット = 00b) に設定している場合、または容量分割方式 (LCDM0.MDSET[1:0] ビット = 10b) に設定している場合、LCDVLM ビットを 0 にしてください。
- 注 . SCOC が 1 のときは VLCON ビットと LCDVLM ビットを書き換えないでください。
- 注 . 表示モードの時分割数に 8 を選択している場合は、BLON ビットと LCDSEL ビットを 0 にしてください。
- 注 . 内部昇圧方式を使用する場合は、VLCD レジスタで基準電圧を指定してから (デフォルトの基準電圧を使用する場合は LCDM0.MDSET[1:0] ビットを 01b にして内部昇圧方式を選択してから)、基準電圧セットアップ時間 (最低 5ms) をウェイトした後に、VLCON ビットを 1 にしてください。
- 注 1 . 外部抵抗分割方式を使用しているときは、設定しないでください。

45.2.3 LCD クロックコントロールレジスタ 0 (LCDC0)

アドレス SLCDC.LCDC0 4008 2002h



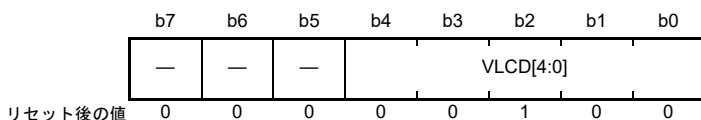
ビット	シンボル	ビット名	機能	R/W
b5-b0	LCDC0[5:0]	LCD クロック (LCDCL) 設定	b5 b0 0 0 0 0 0 1: (サブクロック) / 2 ² または (LOCO クロック) / 2 ² 0 0 0 0 1 0: (サブクロック) / 2 ³ または (LOCO クロック) / 2 ³ 0 0 0 0 1 1: (サブクロック) / 2 ⁴ または (LOCO クロック) / 2 ⁴ 0 0 0 1 0 0: (サブクロック) / 2 ⁵ または (LOCO クロック) / 2 ⁵ 0 0 0 1 0 1: (サブクロック) / 2 ⁶ または (LOCO クロック) / 2 ⁶ 0 0 0 1 1 0: (サブクロック) / 2 ⁷ または (LOCO クロック) / 2 ⁷ 0 0 0 1 1 1: (サブクロック) / 2 ⁸ または (LOCO クロック) / 2 ⁸ 0 0 1 0 0 0: (サブクロック) / 2 ⁹ または (LOCO クロック) / 2 ⁹ 0 0 1 0 0 1: (サブクロック) / 2 ¹⁰ または (LOCO クロック) / 2 ¹⁰ 0 1 0 0 0 1: (メインクロック) / 2 ⁸ または (HOCO クロック) / 2 ⁸ 0 1 0 0 1 0: (メインクロック) / 2 ⁹ または (HOCO クロック) / 2 ⁹ 0 1 0 0 1 1: (メインクロック) / 2 ¹⁰ または (HOCO クロック) / 2 ¹⁰ 0 1 0 1 0 0: (メインクロック) / 2 ¹¹ または (HOCO クロック) / 2 ¹¹ 0 1 0 1 0 1: (メインクロック) / 2 ¹² または (HOCO クロック) / 2 ¹² 0 1 0 1 1 0: (メインクロック) / 2 ¹³ または (HOCO クロック) / 2 ¹³ 0 1 0 1 1 1: (メインクロック) / 2 ¹⁴ または (HOCO クロック) / 2 ¹⁴ 0 1 1 0 0 0: (メインクロック) / 2 ¹⁵ または (HOCO クロック) / 2 ¹⁵ 0 1 1 0 0 1: (メインクロック) / 2 ¹⁶ または (HOCO クロック) / 2 ¹⁶ 0 1 1 0 1 0: (メインクロック) / 2 ¹⁷ または (HOCO クロック) / 2 ¹⁷ 0 1 1 0 1 1: (メインクロック) / 2 ¹⁸ または (HOCO クロック) / 2 ¹⁸ 1 0 1 0 1 1: (メインクロック) / 2 ¹⁹ または (HOCO クロック) / 2 ¹⁹ 上記以外は設定しないでください。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. フレーム周波数は 32Hz ~ 128Hz の範囲内で設定してください。内部昇圧方式および容量分割方式を使用している場合、LCD クロック (LCDCL) は 512Hz を超えないようにしてください。

注. LCDM1.SCOC ビットが 1 のときは、LCDC0 レジスタを設定しないでください。

45.2.4 LCD ブーストレベルコントロールレジスタ (VLCD)

アドレス SLCDC.VLCD 4008 2003h



注.

ビット	シンボル	ビット名	機能	R/W																																																																																																																																																
b4-b0	VLCD[4:0]	基準電圧選択 (コントラスト調整)	<table border="1"> <thead> <tr> <th colspan="5"></th> <th>VL1電圧</th> <th colspan="2">VL4電圧</th> </tr> <tr> <th>b4</th> <th>b3</th> <th>b2</th> <th>b1</th> <th>b0</th> <th>基準電圧</th> <th>1/3バイアス法</th> <th>1/4バイアス法</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>1.00V</td><td>3.00V</td><td>4.00V</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>1.05V</td><td>3.15V</td><td>4.20V</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>1.10V</td><td>3.30V</td><td>4.40V</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>1.15V</td><td>3.45V</td><td>4.60V</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1.20V</td><td>3.60V</td><td>4.80V</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>1.25V</td><td>3.75V</td><td>5.00V</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>1.30V</td><td>3.90V</td><td>5.20V</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>1.35V</td><td>4.05V</td><td>設定禁止</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>1.40V</td><td>4.20V</td><td>設定禁止</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>1.45V</td><td>4.35V</td><td>設定禁止</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>1.50V</td><td>4.50V</td><td>設定禁止</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1.55V</td><td>4.65V</td><td>設定禁止</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1.60V</td><td>4.80V</td><td>設定禁止</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1.65V</td><td>4.95V</td><td>設定禁止</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1.70V</td><td>5.10V</td><td>設定禁止</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1.75V</td><td>5.25V</td><td>設定禁止</td></tr> </tbody> </table> <p>上記以外は設定しないでください。</p>						VL1電圧	VL4電圧		b4	b3	b2	b1	b0	基準電圧	1/3バイアス法	1/4バイアス法	0	0	1	0	0	1.00V	3.00V	4.00V	0	0	1	0	1	1.05V	3.15V	4.20V	0	0	1	1	0	1.10V	3.30V	4.40V	0	0	1	1	1	1.15V	3.45V	4.60V	0	1	0	0	0	1.20V	3.60V	4.80V	0	1	0	0	1	1.25V	3.75V	5.00V	0	1	0	1	0	1.30V	3.90V	5.20V	0	1	0	1	1	1.35V	4.05V	設定禁止	0	1	1	0	0	1.40V	4.20V	設定禁止	0	1	1	0	1	1.45V	4.35V	設定禁止	0	1	1	1	0	1.50V	4.50V	設定禁止	0	1	1	1	1	1.55V	4.65V	設定禁止	1	0	0	0	0	1.60V	4.80V	設定禁止	1	0	0	0	1	1.65V	4.95V	設定禁止	1	0	0	1	0	1.70V	5.10V	設定禁止	1	0	0	1	1	1.75V	5.25V	設定禁止	R/W
					VL1電圧	VL4電圧																																																																																																																																														
b4	b3	b2	b1	b0	基準電圧	1/3バイアス法	1/4バイアス法																																																																																																																																													
0	0	1	0	0	1.00V	3.00V	4.00V																																																																																																																																													
0	0	1	0	1	1.05V	3.15V	4.20V																																																																																																																																													
0	0	1	1	0	1.10V	3.30V	4.40V																																																																																																																																													
0	0	1	1	1	1.15V	3.45V	4.60V																																																																																																																																													
0	1	0	0	0	1.20V	3.60V	4.80V																																																																																																																																													
0	1	0	0	1	1.25V	3.75V	5.00V																																																																																																																																													
0	1	0	1	0	1.30V	3.90V	5.20V																																																																																																																																													
0	1	0	1	1	1.35V	4.05V	設定禁止																																																																																																																																													
0	1	1	0	0	1.40V	4.20V	設定禁止																																																																																																																																													
0	1	1	0	1	1.45V	4.35V	設定禁止																																																																																																																																													
0	1	1	1	0	1.50V	4.50V	設定禁止																																																																																																																																													
0	1	1	1	1	1.55V	4.65V	設定禁止																																																																																																																																													
1	0	0	0	0	1.60V	4.80V	設定禁止																																																																																																																																													
1	0	0	0	1	1.65V	4.95V	設定禁止																																																																																																																																													
1	0	0	1	0	1.70V	5.10V	設定禁止																																																																																																																																													
1	0	0	1	1	1.75V	5.25V	設定禁止																																																																																																																																													
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																																																																																																																																																

- 注. VLCD レジスタの設定は、昇圧回路が動作中のときのみ有効です。
- 注. VLCD レジスタの値を変更する場合は、必ず昇圧回路の動作を停止 (VLCON = 0) してから行ってください。
- 注. 内部昇圧方式を使用する場合は、VLCD レジスタを使用して基準電圧を指定してから (デフォルトの基準電圧を使用する場合は LCDM0.MDSET[1:0] ビットを 01b にして内部昇圧方式を選択してから)、基準電圧セットアップ時間 (最低 5ms) をウェイトした後に、VLCON ビットを 1 にしてください。
- 注. 外部抵抗分割方式または容量分割方式を使用するときは、VLCD レジスタにはデフォルト値 (04h) を使用してください。

45.3 LCD 表示データレジスタ

LCD 表示データレジスタは表 45.7 および表 45.8 に示すようにマッピングされます。LCD の表示内容は、LCD 表示データレジスタの内容を変更することで変更できます。

表 45.7 LCD 表示データレジスタの内容とセグメント出力/コモン出力の関係
8時分割以外 (スタティック、2時分割、3時分割、4時分割)

レジスタ名	アドレス	b7	b6	b5	b4	b3	b2	b1	b0	100ピン	64ピン
		COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0		
SEG00	4008 2100h	SEG00 (Bパターン領域)				SEG00 (Aパターン領域)				○	○
SEG01	4008 2101h	SEG01 (Bパターン領域)				SEG01 (Aパターン領域)				○	○
SEG02	4008 2102h	SEG02 (Bパターン領域)				SEG02 (Aパターン領域)				○	○
SEG03	4008 2103h	SEG03 (Bパターン領域)				SEG03 (Aパターン領域)				○	○
SEG04	4008 2104h	SEG04 (Bパターン領域)				SEG04 (Aパターン領域)				○	○
SEG05	4008 2105h	SEG05 (Bパターン領域)				SEG05 (Aパターン領域)				○	○
SEG06	4008 2106h	SEG06 (Bパターン領域)				SEG06 (Aパターン領域)				○	○
SEG07	4008 2107h	SEG07 (Bパターン領域)				SEG07 (Aパターン領域)				○	○
SEG08	4008 2108h	SEG08 (Bパターン領域)				SEG08 (Aパターン領域)				○	○
SEG09	4008 2109h	SEG09 (Bパターン領域)				SEG09 (Aパターン領域)				○	○
SEG10	4008 210Ah	SEG10 (Bパターン領域)				SEG10 (Aパターン領域)				○	○
SEG11	4008 210Bh	SEG11 (Bパターン領域)				SEG11 (Aパターン領域)				○	○
SEG12	4008 210Ch	SEG12 (Bパターン領域)				SEG12 (Aパターン領域)				○	○
SEG13	4008 210Dh	SEG13 (Bパターン領域)				SEG13 (Aパターン領域)				○	○
SEG14	4008 210Eh	SEG14 (Bパターン領域)				SEG14 (Aパターン領域)				○	○
SEG15	4008 210Fh	SEG15 (Bパターン領域)				SEG15 (Aパターン領域)				○	×
SEG16	4008 2110h	SEG16 (Bパターン領域)				SEG16 (Aパターン領域)				○	×
SEG17	4008 2111h	SEG17 (Bパターン領域)				SEG17 (Aパターン領域)				○	×
SEG18	4008 2112h	SEG18 (Bパターン領域)				SEG18 (Aパターン領域)				○	×
SEG19	4008 2113h	SEG19 (Bパターン領域)				SEG19 (Aパターン領域)				○	×
SEG20	4008 2114h	SEG20 (Bパターン領域)				SEG20 (Aパターン領域)				○	○
SEG21	4008 2115h	SEG21 (Bパターン領域)				SEG21 (Aパターン領域)				○	×
SEG22	4008 2116h	SEG22 (Bパターン領域)				SEG22 (Aパターン領域)				○	×
SEG23	4008 2117h	SEG23 (Bパターン領域)				SEG23 (Aパターン領域)				○	○
SEG24	4008 2118h	SEG24 (Bパターン領域)				SEG24 (Aパターン領域)				○	○
SEG25	4008 2119h	SEG25 (Bパターン領域)				SEG25 (Aパターン領域)				○	×
SEG26	4008 211Ah	SEG26 (Bパターン領域)				SEG26 (Aパターン領域)				○	×
SEG27	4008 211Bh	SEG27 (Bパターン領域)				SEG27 (Aパターン領域)				○	×
SEG28	4008 211Ch	SEG28 (Bパターン領域)				SEG28 (Aパターン領域)				○	×
SEG29	4008 211Dh	SEG29 (Bパターン領域)				SEG29 (Aパターン領域)				○	×
SEG30	4008 211Eh	SEG30 (Bパターン領域)				SEG30 (Aパターン領域)				○	×
SEG31	4008 211Fh	SEG31 (Bパターン領域)				SEG31 (Aパターン領域)				○	×
SEG32	4008 2120h	SEG32 (Bパターン領域)				SEG32 (Aパターン領域)				○	×
SEG33	4008 2121h	SEG33 (Bパターン領域)				SEG33 (Aパターン領域)				○	×
SEG34	4008 2122h	SEG34 (Bパターン領域)				SEG34 (Aパターン領域)				○	○
SEG35	4008 2123h	SEG35 (Bパターン領域)				SEG35 (Aパターン領域)				○	○
SEG36	4008 2124h	SEG36 (Bパターン領域)				SEG36 (Aパターン領域)				○	○
SEG37	4008 2125h	SEG37 (Bパターン領域)				SEG37 (Aパターン領域)				○	×

○ : 可 × : 不可

表 45.8 LCD表示データレジスタの内容とセグメント出力/コモン出力の関係
8時分割

レジスタ名	アドレス	b7	b6	b5	b4	b3	b2	b1	b0	100ピン	64ピン
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG00	4008 2100h	SEG00 (注1)								○	○
SEG01	4008 2101h	SEG01 (注1)								○	○
SEG02	4008 2102h	SEG02 (注1)								○	○
SEG03	4008 2103h	SEG03 (注1)								○	○
SEG04	4008 2104h	SEG04								○	○
SEG05	4008 2105h	SEG05								○	○
SEG06	4008 2106h	SEG06								○	○
SEG07	4008 2107h	SEG07								○	○
SEG08	4008 2108h	SEG08								○	○
SEG09	4008 2109h	SEG09								○	○
SEG10	4008 210Ah	SEG10								○	○
SEG11	4008 210Bh	SEG11								○	○
SEG12	4008 210Ch	SEG12								○	○
SEG13	4008 210Dh	SEG13								○	○
SEG14	4008 210Eh	SEG14								○	○
SEG15	4008 210Fh	SEG15								○	×
SEG16	4008 2110h	SEG16								○	×
SEG17	4008 2111h	SEG17								○	×
SEG18	4008 2112h	SEG18								○	×
SEG19	4008 2113h	SEG19								○	×
SEG20	4008 2114h	SEG20								○	○
SEG21	4008 2115h	SEG21								○	×
SEG22	4008 2116h	SEG22								○	×
SEG23	4008 2117h	SEG23								○	○
SEG24	4008 2118h	SEG24								○	○
SEG25	4008 2119h	SEG25								○	×
SEG26	4008 211Ah	SEG26								○	×
SEG27	4008 211Bh	SEG27								○	×
SEG28	4008 211Ch	SEG28								○	×
SEG29	4008 211Dh	SEG29								○	×
SEG30	4008 211Eh	SEG30								○	×
SEG31	4008 211Fh	SEG31								○	×
SEG32	4008 2120h	SEG32								○	×
SEG33	4008 2121h	SEG33								○	×
SEG34	4008 2122h	SEG34								○	○
SEG35	4008 2123h	SEG35								○	○
SEG36	4008 2124h	SEG36								○	○
SEG37	4008 2125h	SEG37								○	×

○ : 可 × : 不可

注. LCD表示データレジスタ (SEG00 ~ SEG37) の初期値はすべて 0h で、全ビットとも読み出し/書き込み可能です。

注1. COM4 ~ COM7 端子と SEG00 ~ SEG03 端子は交互に使用します。詳細は、「19. I/Oポート」を参照してください。

時分割数がスタティック、2、3、または4の場合、LCD表示データレジスタの各アドレスの下位4ビットはAパターン領域、上位4ビットはBパターン領域になります。

Aパターン領域データとCOM信号の対応は以下のとおりです。

ビット0 ⇔ COM0、ビット1 ⇔ COM1、ビット2 ⇔ COM2、ビット3 ⇔ COM3

B パターン領域データと COM 信号の対応は以下のとおりです。

ビット 4 ⇔ COM0、ビット 5 ⇔ COM1、ビット 6 ⇔ COM2、ビット 7 ⇔ COM3

A パターン領域データは、BLON = LCDSEL = 0 が選択されているときに LCD パネルに表示され、B パターン領域データは、BLON = 0 および LCDSEL = 1 が選択されているときに LCD パネルに表示されます。

45.4 LCD 表示データレジスタの選択

時分割数がスタティック、2、3、または4の場合、BLON および LCDSEL ビットの設定に基づき LCD 表示データレジスタを以下のタイプから選択できます。

- A パターン領域 (LCD 表示データレジスタの下位 4 ビット) のデータを表示
- B パターン領域 (LCD 表示データレジスタの上位 4 ビット) のデータを表示
- A パターン領域と B パターン領域のデータを交互に表示 (リアルタイムクロック (RTC) の周期割り込みタイミングに対応した点滅表示)

注 . 時分割数が 8 で通常液晶波形が表示されている場合、LCD 表示データレジスタ (A パターン、B パターン、点滅表示) は選択できません。

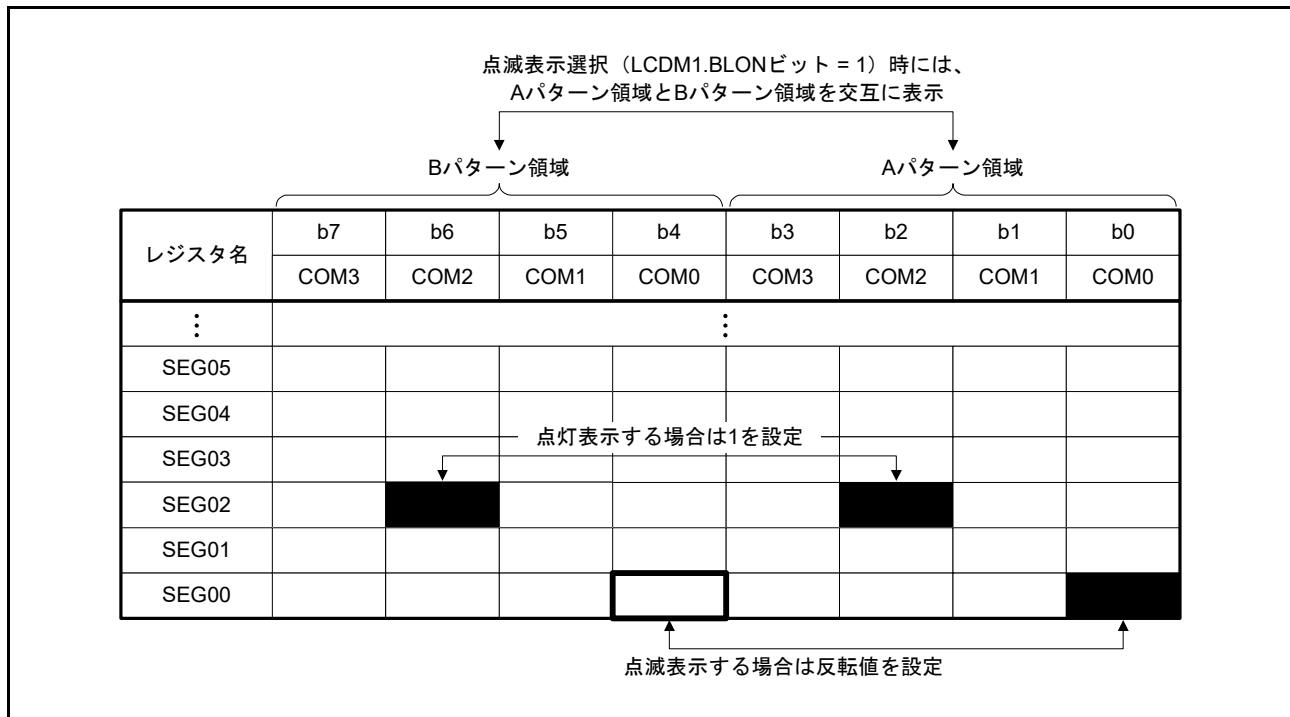


図 45.2 パターン切り替え時の LCD 表示データレジスタの設定例

45.4.1 A パターン領域と B パターン領域のデータ表示

BLON ビットと LCDSEL ビットがどちらも 0 のとき、A パターン領域 (LCD 表示データレジスタの下位 4 ビット) のデータが LCD 表示レジスタとして出力されます。

BLON ビットが 0 で LCDSEL ビットが 1 のときは、B パターン領域 (LCD 表示データレジスタの上位 4 ビット) のデータが LCD 表示レジスタとして出力されます。

表示領域についての詳細は、[45.3 LCD 表示データレジスタ](#)を参照してください。

45.4.2 点滅表示 (A パターン領域と B パターン領域のデータを交互に表示)

BLON ビットが 1 の場合、リアルタイムクロック (RTC) の定周期割り込みタイミングに従って、A パターン領域のデータと B パターン領域のデータを交互に表示します。RTC 定周期割り込み (0.5 秒設定のみ) のタイミングについては、「[24. リアルタイムクロック \(RTC\)](#)」を参照してください。

LCD 点滅表示機能を使用するには、A パターン領域のビットに対応する B パターン領域のビットに反転値を設定してください。たとえば点滅表示するには SEG00 レジスタのビット 0 を 1 に、ビット 4 を 0 にします。点滅表示機能を使用しない場合は、A パターン領域および B パターン領域とも同じ値を設定してください。たとえば点灯表示するには SEG02 レジスタのビット 2 を 1 に、ビット 6 を 1 にします。表示領域についての詳細は、[45.3 LCD 表示データレジスタ](#)を参照してください。

表示切り替えのタイミング動作を [図 45.3](#)、[図 45.4](#) に示します。

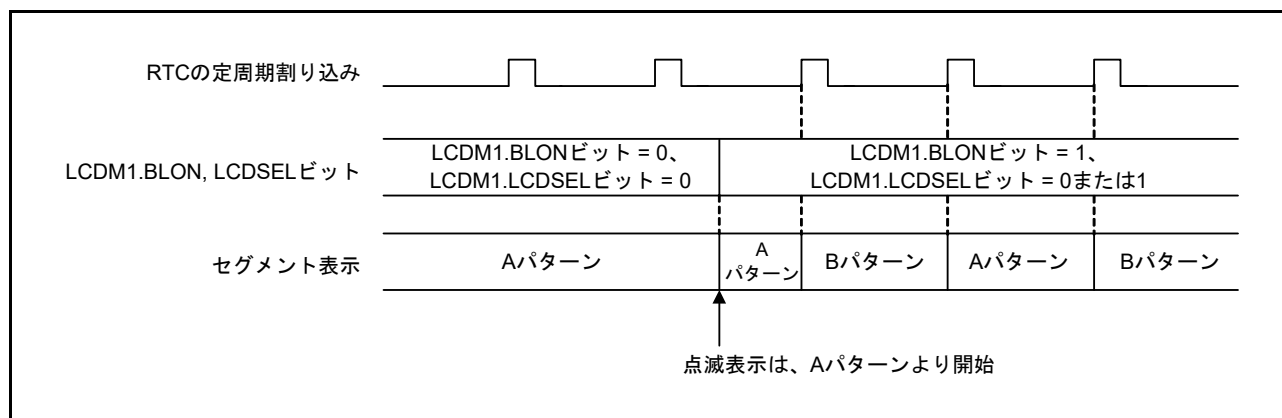


図 45.3 A パターン表示から点滅表示への切り替え動作

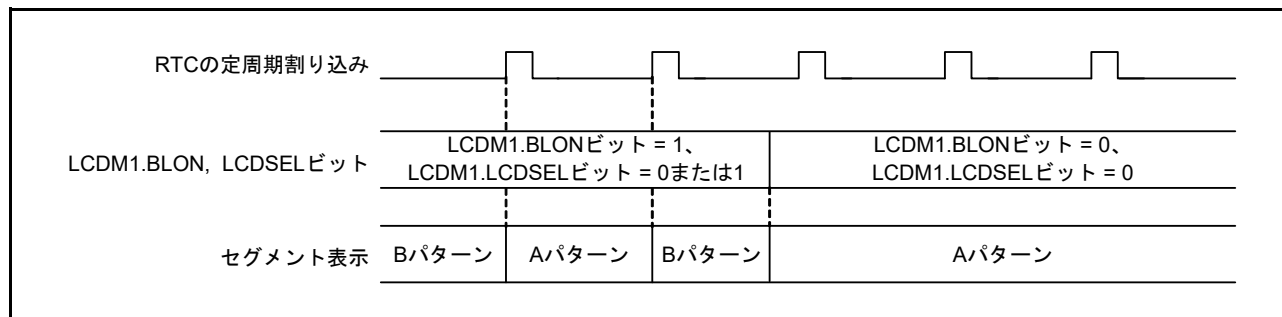


図 45.4 点滅表示から A パターン表示への切り替え動作

45.5 LCDコントローラ/ドライバの設定

LCDコントローラ/ドライバを動作させるには、本節の(1)～(3)の手順に従ってください。設定手順に従わない場合、LCDの動作は保証できません。

(1) 通常液晶波形表示での外部抵抗分割方式

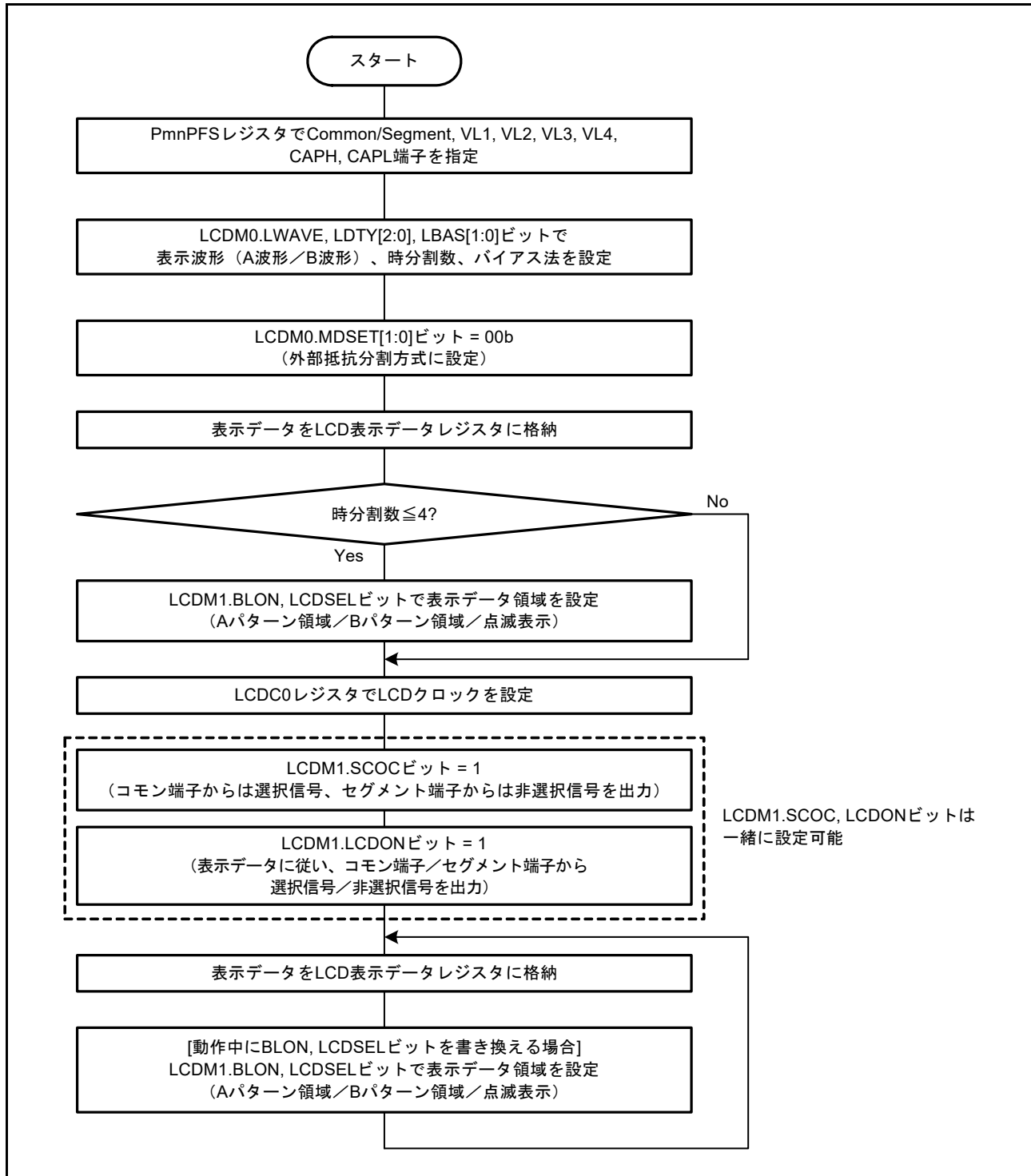


図 45.5 通常液晶波形表示での外部抵抗分割方式の設定手順

(2) 内部昇圧方式

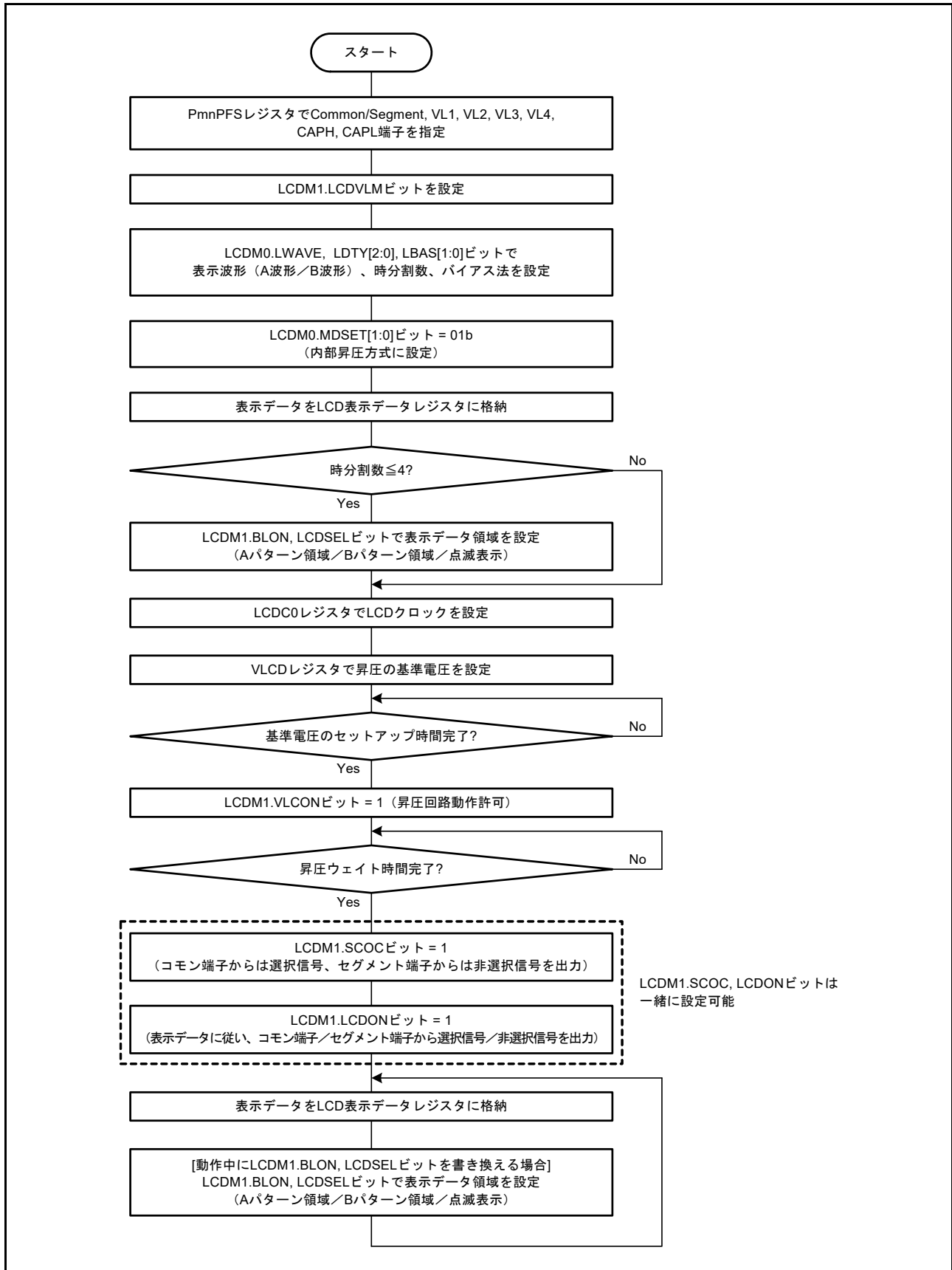


図 45.6 通常液晶波形表示での内部昇圧方式の設定手順

(3) 容量分割方式

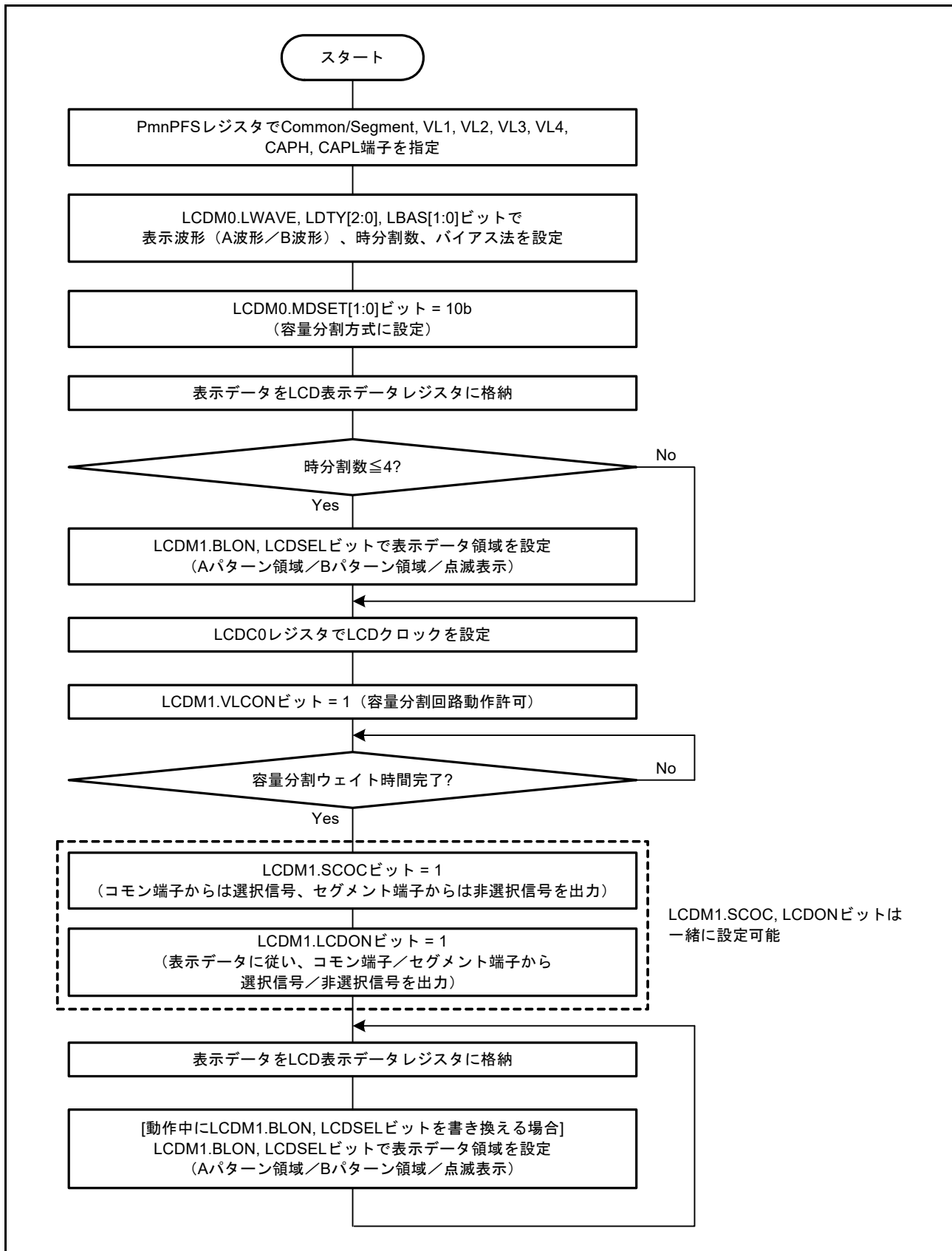


図 45.7 通常液晶波形表示での容量分割方式の設定手順

45.6 動作停止手順

LCD の動作を停止させる場合は、[図 45.8](#) に示す手順で行ってください。

LCDM1.LDCON および LCDM1.SCOC ビットが 0 になると、LCD は動作を停止します。

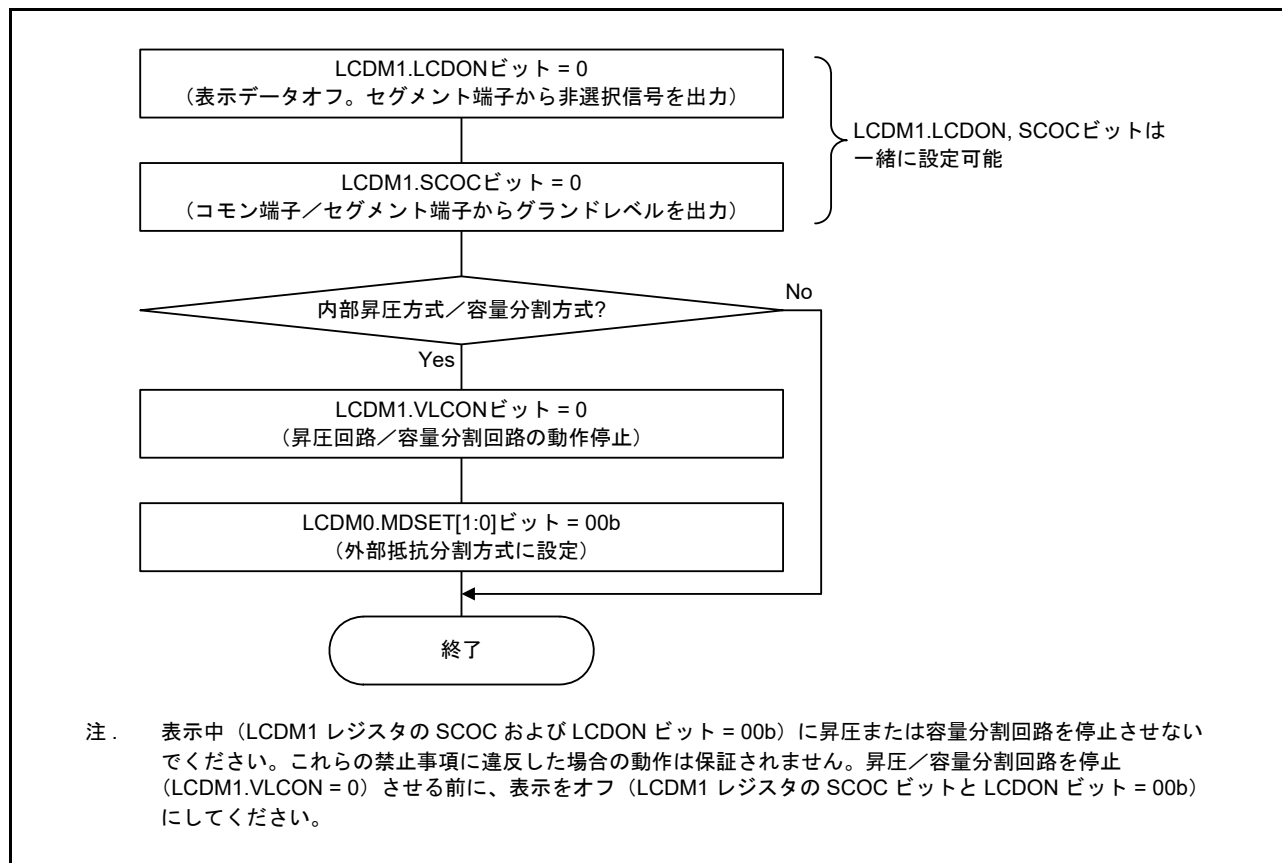


図 45.8 通常液晶波形 (A または B) 表示での動作停止手順

45.7 LCD 駆動電圧 (VL1、VL2、VL3、VL4) の供給

LCD ドライバの電源電圧は外部抵抗分割、内部昇圧、または容量分割によって生成できます。

45.7.1 外部抵抗分割方式

各バイアス法に対応する LCD 駆動電源の接続例を [図 45.9](#) および [図 45.10](#) に示します。

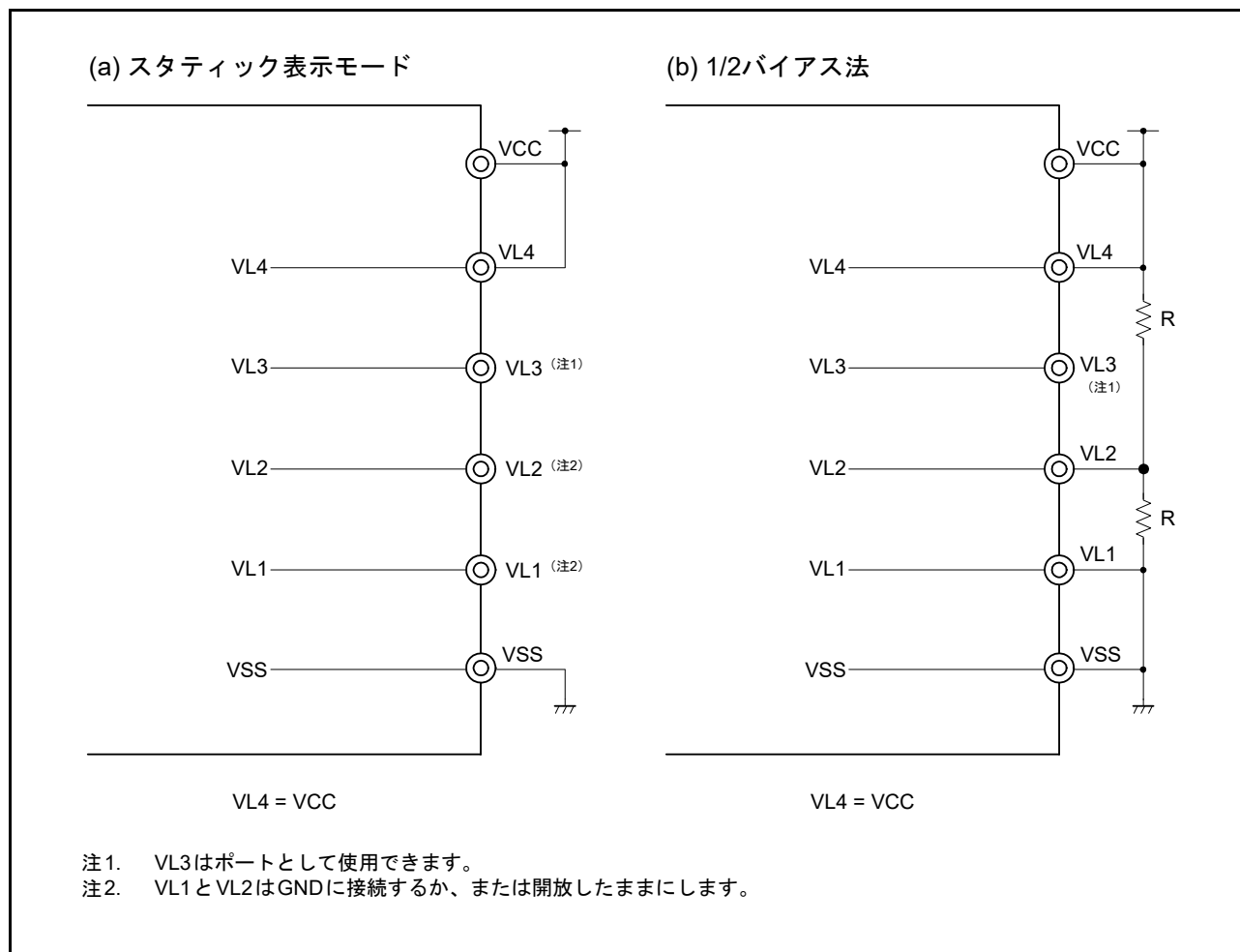


図 45.9 LCD 駆動電源の接続例 (外部抵抗分割方式) (1/2)

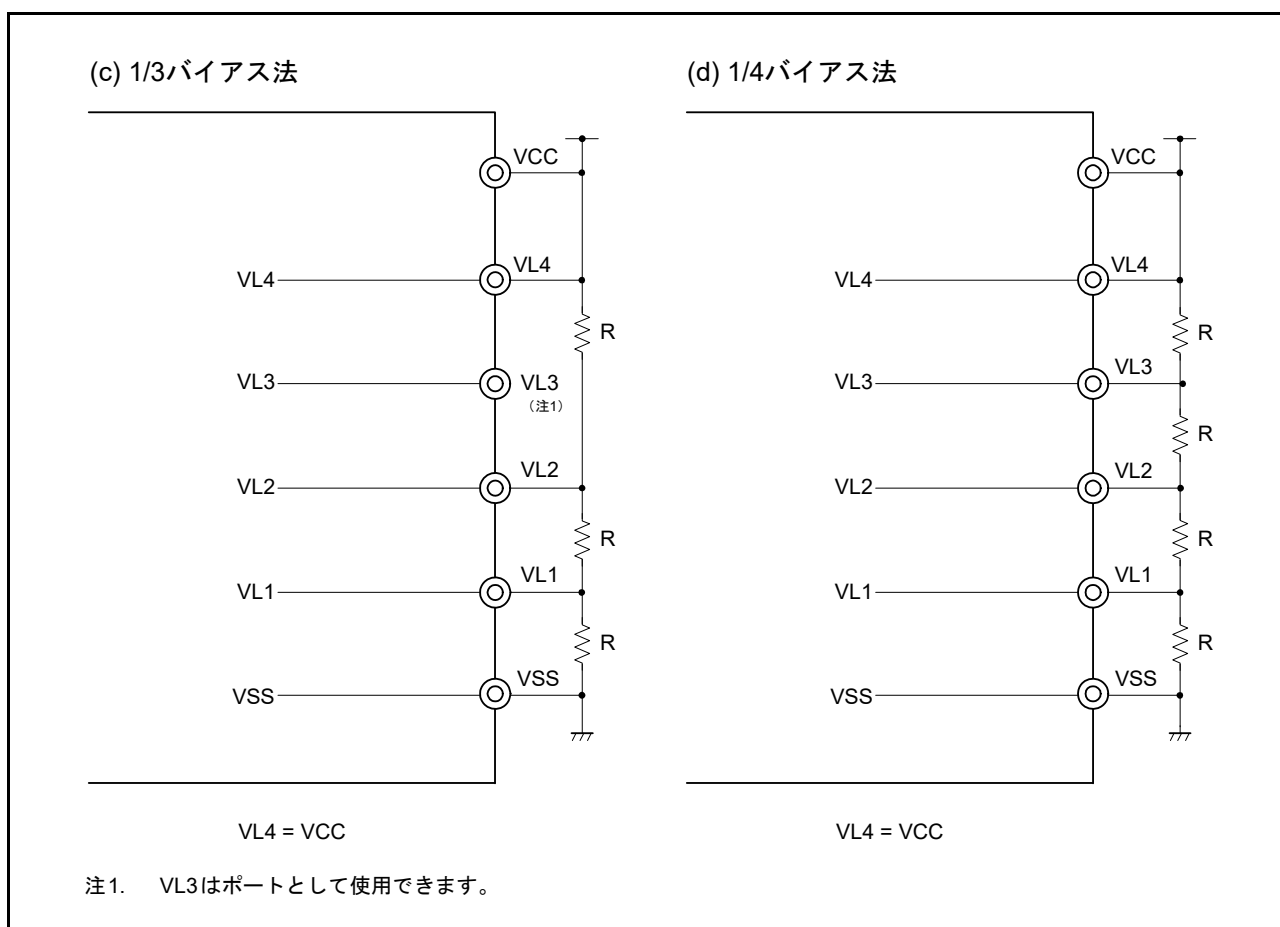


図 45.10 LCD 駆動電源の接続例（外部抵抗分割方式）(2/2)

注 . 外部抵抗分割の基準抵抗値 R は、 $10\text{k}\Omega \sim 1\text{M}\Omega$ です。また、VL1 ~ VL4 端子の電圧を安定させるために、必要に応じて VL1 ~ VL4 の各端子と GND 端子の間にコンデンサを接続してください。コンデンサの基準容量は約 $0.47\mu\text{F}$ ですが、使用する LCD パネル、セグメント端子数、コモン端子数、フレーム周波数、および動作環境によって異なります。使用するシステムに合わせた評価を十分に行った上で、容量を調整してください。

45.7.2 内部昇圧方式

本 MCU は、LCD 駆動電源の生成用に内部昇圧回路を内蔵しています。内部昇圧回路および外部コンデンサ (0.47 μ F \pm 30%) を使用して、LCD 駆動電圧を生成します。内部昇圧方式では、1/3 バイアス法または 1/4 バイアス法だけが設定可能です。

内部昇圧回路はメインユニットから独立した電源であるため、VCC の変化にかかわらず一定の電圧を供給できます。また、LCD 昇圧レベルコントロールレジスタ (VLCD) で、コントラストの調整が可能です。

表 45.9 LCD 駆動電圧 (内部昇圧方式)

LCD 駆動電圧端子	1/3 バイアス法	1/4 バイアス法
VL4	3 \times VL1	4 \times VL1
VL3	—	3 \times VL1
VL2	2 \times VL1	2 \times VL1
VL1	LCD 基準電圧	LCD 基準電圧

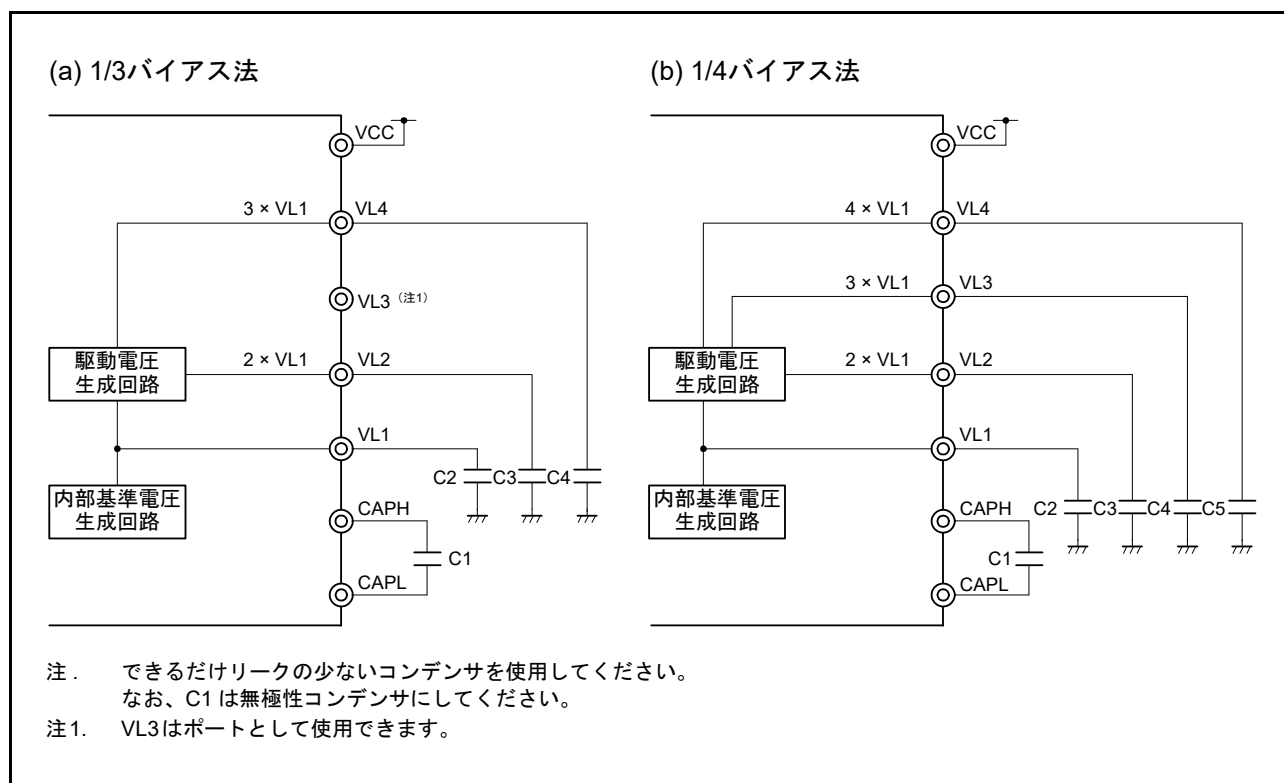


図 45.11 LCD 駆動電源の接続例 (内部昇圧方式)

45.7.3 容量分割方式

本 MCU は、LCD 駆動電源の生成用に内部降圧回路を内蔵しています。内部降圧回路および外部コンデンサ ($0.47\mu\text{F} \pm 30\%$) を使用して、LCD 駆動電圧を生成します。容量分割方式では、1/3 バイアス法だけが設定可能です。

外部抵抗分割方式とは異なり、容量分割方式は連続通電を必要としないため、電流消費を削減できます。

表 45.10 LCD 駆動電圧 (容量分割方式)

LCD 駆動電圧端子	1/3 バイアス法
VL4	VCC
VL3	—
VL2	$2/3 \times \text{VL4}$
VL1	$1/3 \times \text{VL4}$

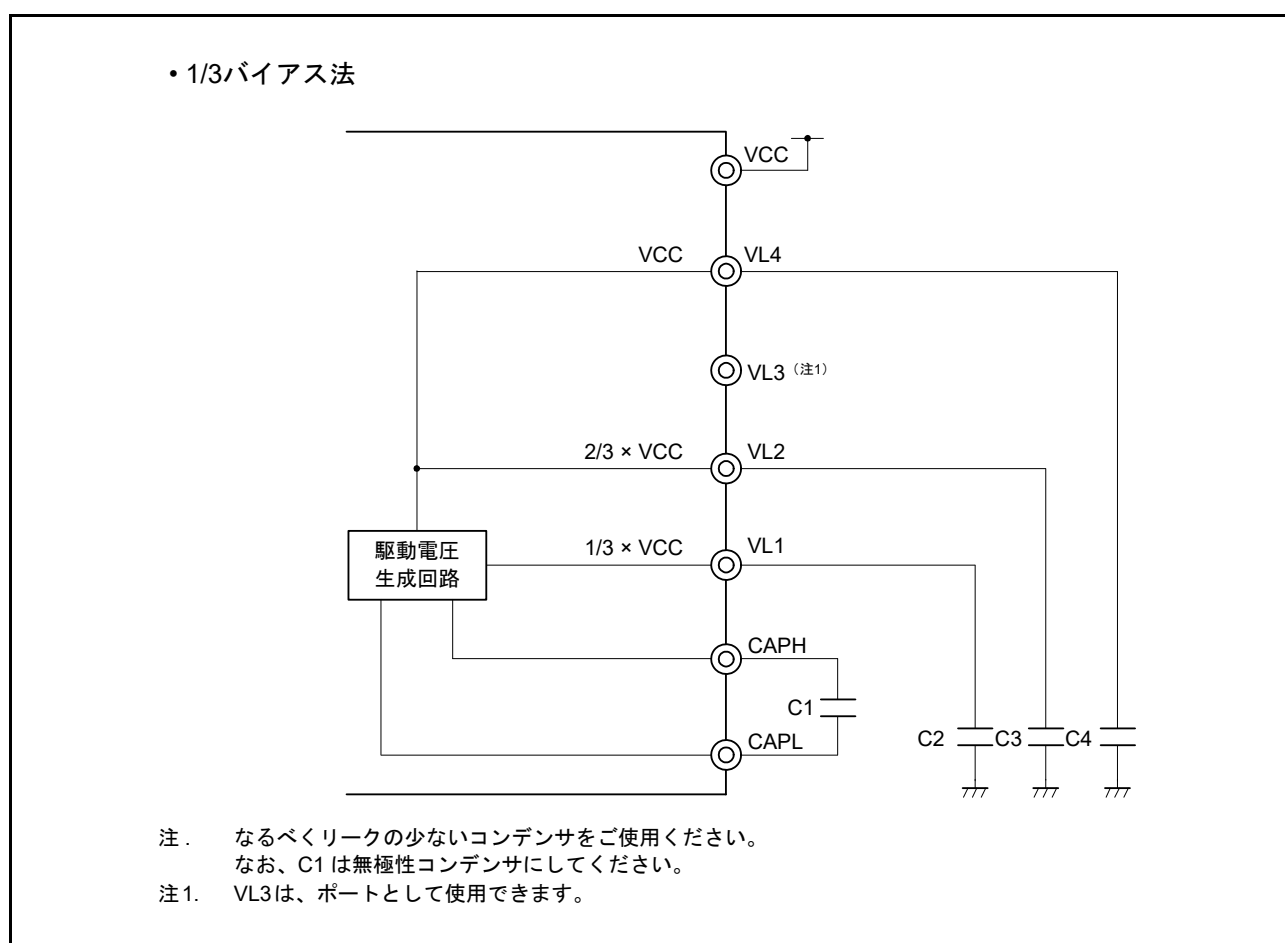


図 45.12 LCD 駆動電源の接続例 (容量分割方式)

45.8 コモン信号とセグメント信号

LCD パネルの各画素は、対応するコモン信号とセグメント信号の間の電位差が特定の電圧 (VLCD : LCD 駆動電圧) より高くなると点灯します。電位差が VLCD より低くなると、画素は消灯します。

LCD パネルのコモン信号とセグメント信号に直流電圧を印加すると、劣化の原因になります。この問題を避けるため、SLCDC は交流電圧で駆動します。

(1) コモン信号

各コモン信号は、表 45.11 に示す特定の時分割数に従って順次選択されます。スタティック表示モードでは、同じ信号が COM0 ~ COM3 端子に出力されます。

2 時分割モードでは、COM2 端子と COM3 端子を開放状態のままにしておきます。3 時分割モードでは、COM3 端子を開放状態のままにしておきます。

8 時分割モード以外で動作する場合は、COM4 ~ COM7 端子は開放するか、またはセグメント端子として使用してください。

表 45.11 COM 信号

時分割数	COM0	COM1	COM2	COM3	COM4	COM5	COM6	COM7
スタティック表示モード	→	→	→	→	(注1)	(注1)	(注1)	(注1)
2 時分割モード	→	→	開放	開放	(注1)	(注1)	(注1)	(注1)
3 時分割モード	→	→	→	開放	(注1)	(注1)	(注1)	(注1)
4 時分割モード	→	→	→	→	(注1)	(注1)	(注1)	(注1)
8 時分割モード	→	→	→	→	→	→	→	→

注 1. これらの端子は開放状態またはセグメント端子として使用してください。

(2) セグメント信号

セグメント信号は、LCD 表示データレジスタ (45.3 LCD 表示データレジスタ参照) に対応しています。

時分割数が 8 の場合、各表示データレジスタのビット 0 ~ 7 がそれぞれ COM0 ~ COM7 と同期して読み出されます。ビットが 1 の場合は選択電圧に変換され、0 の場合は非選択電圧に変換されます。変換結果はセグメント端子に出力されます。

時分割数が 8 以外の場合、A パターン領域 (1 バイト) のビット 0 ~ 3 が COM0 ~ COM3 と同期して読み出され、B パターン領域 (1 バイト) のビット 4 ~ 7 が COM4 ~ COM7 と同期して読み出されます。ビットが 1 の場合は選択電圧に変換され、0 の場合は非選択電圧に変換されます。変換結果はセグメント端子に出力されます。

前面電極 (セグメント信号に対応) および後面電極 (コモン信号に対応) がどのような組み合わせで LCD 表示データレジスタの表示パターンを形成するかを確認し、目的の表示パターンと 1 対 1 に対応したビットデータを書き込んでください。

(3) コモン信号とセグメント信号の出力波形

表 45.12 に示す電圧がコモン/セグメント信号として出力されます。

コモン信号とセグメント信号がどちらも選択電圧のとき、表示点灯電圧は \pm VLCD となります。それ以外の組み合わせのときは消灯電圧となります。

表 45.12 LCD駆動電圧

スタティック表示モード

コモン信号	セグメント信号	
	選択信号レベル	非選択信号レベル
	VSS/VL4	VL4/VSS
VL4/VSS	-VLCD / +VLCD	0V / 0V

1/2バイアス法

コモン信号		セグメント信号	
		選択信号レベル	非選択信号レベル
		VSS/VL4	VL4/VSS
選択信号レベル	VL4/VSS	-VLCD / +VLCD	0V / 0V
非選択信号レベル	VL2	$-\frac{1}{2} \text{VLCD} / +\frac{1}{2} \text{VLCD}$	$+\frac{1}{2} \text{VLCD} / -\frac{1}{2} \text{VLCD}$

1/3バイアス法 (AまたはB波形)

コモン信号		セグメント信号	
		選択信号レベル	非選択信号レベル
		VSS/VL4	VL2/VL1
選択信号レベル	VL4/VSS	-VLCD / +VLCD	$-\frac{1}{3} \text{VLCD} / +\frac{1}{3} \text{VLCD}$
非選択信号レベル	VL1/VL2	$-\frac{1}{3} \text{VLCD} / +\frac{1}{3} \text{VLCD}$	$+\frac{1}{3} \text{VLCD} / -\frac{1}{3} \text{VLCD}$

1/4バイアス法 (AまたはB波形)

コモン信号		セグメント信号	
		選択信号レベル	非選択信号レベル
		VSS/VL4	VL2
選択信号レベル	VL4/VSS	-VLCD / +VLCD	$-\frac{1}{2} \text{VLCD} / +\frac{1}{2} \text{VLCD}$
非選択信号レベル	VL1/VL3	$-\frac{1}{4} \text{VLCD} / +\frac{1}{4} \text{VLCD}$	$+\frac{1}{4} \text{VLCD} / -\frac{1}{4} \text{VLCD}$

コモン信号波形を [図 45.13](#) と [図 45.14](#) に示します。コモン信号とセグメント信号の電圧と位相を [図 45.15](#) ~ [図 45.17](#) に示します。

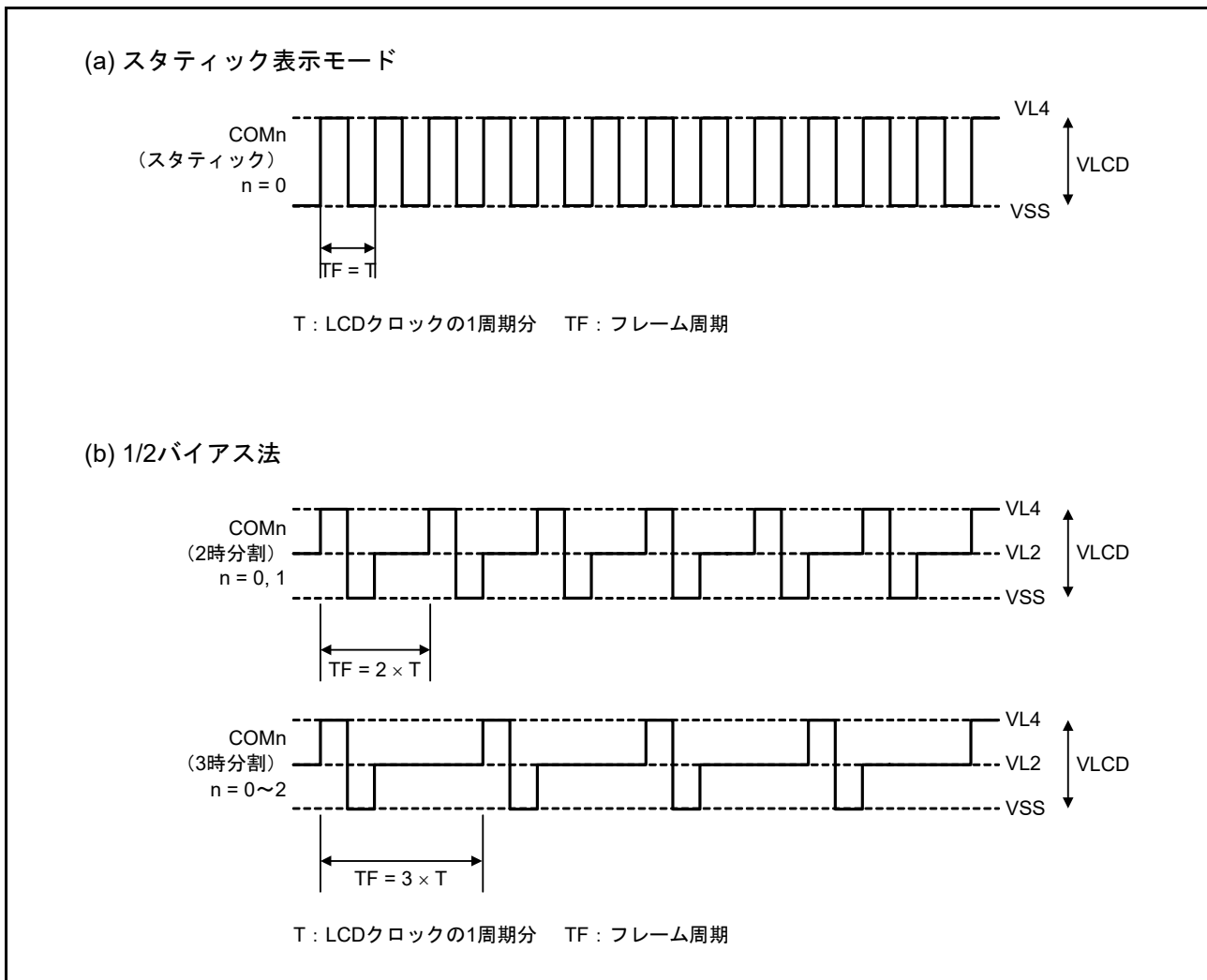


図 45.13 コモン信号波形 (1/2)

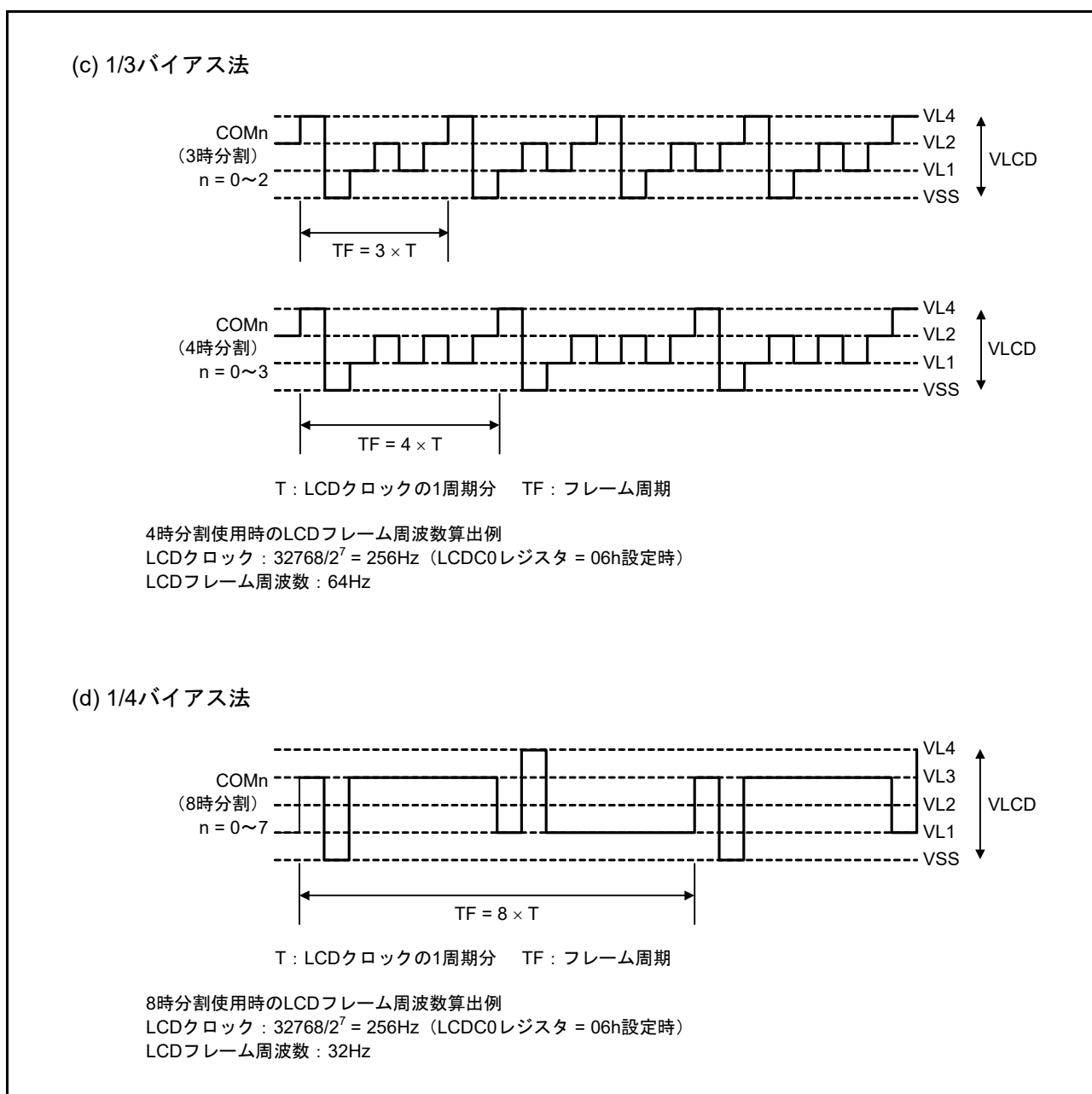


図 45.14 コモン信号波形 (2/2)

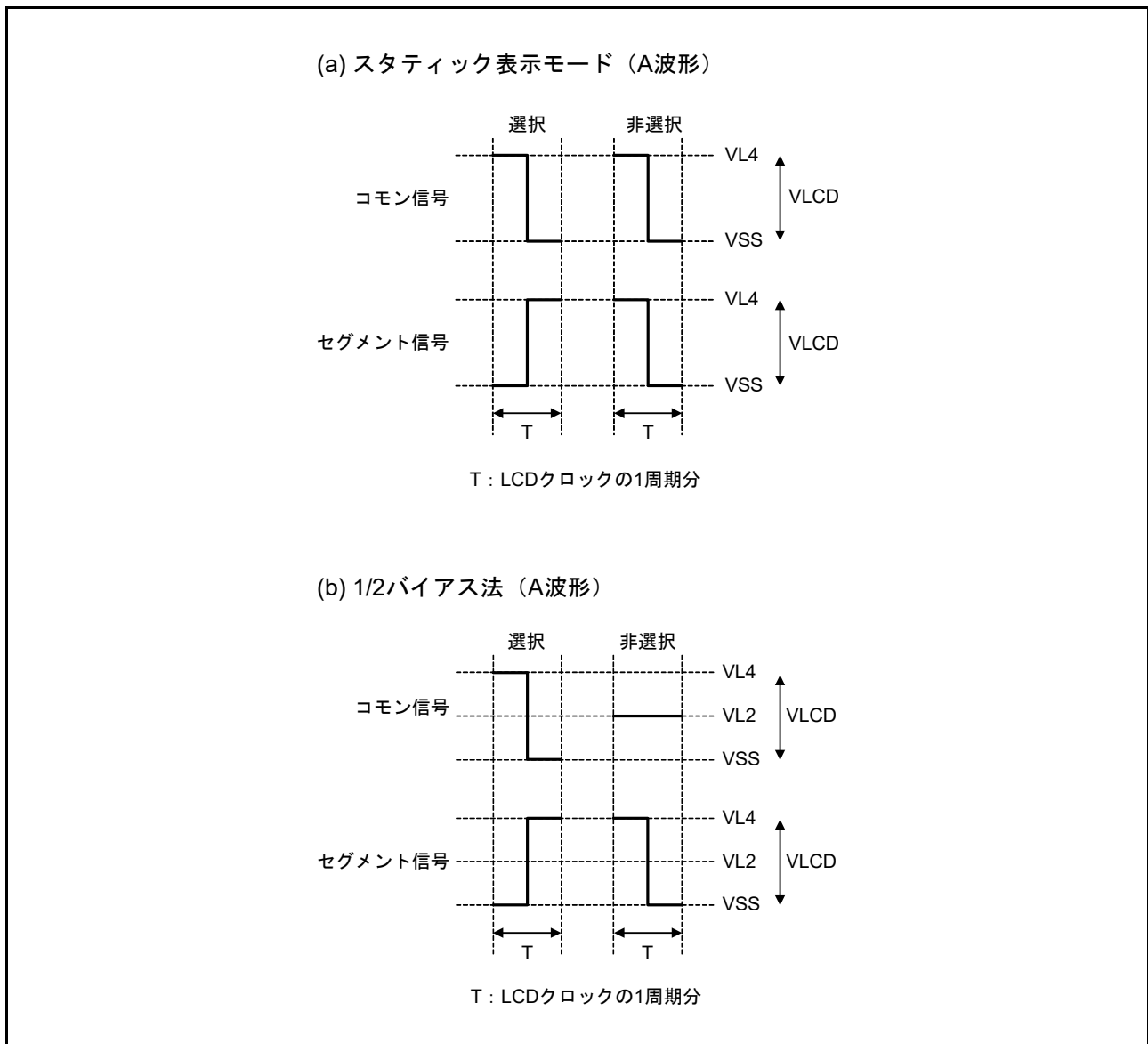


図 45.15 コモン信号とセグメント信号の電圧と位相 (1/3)

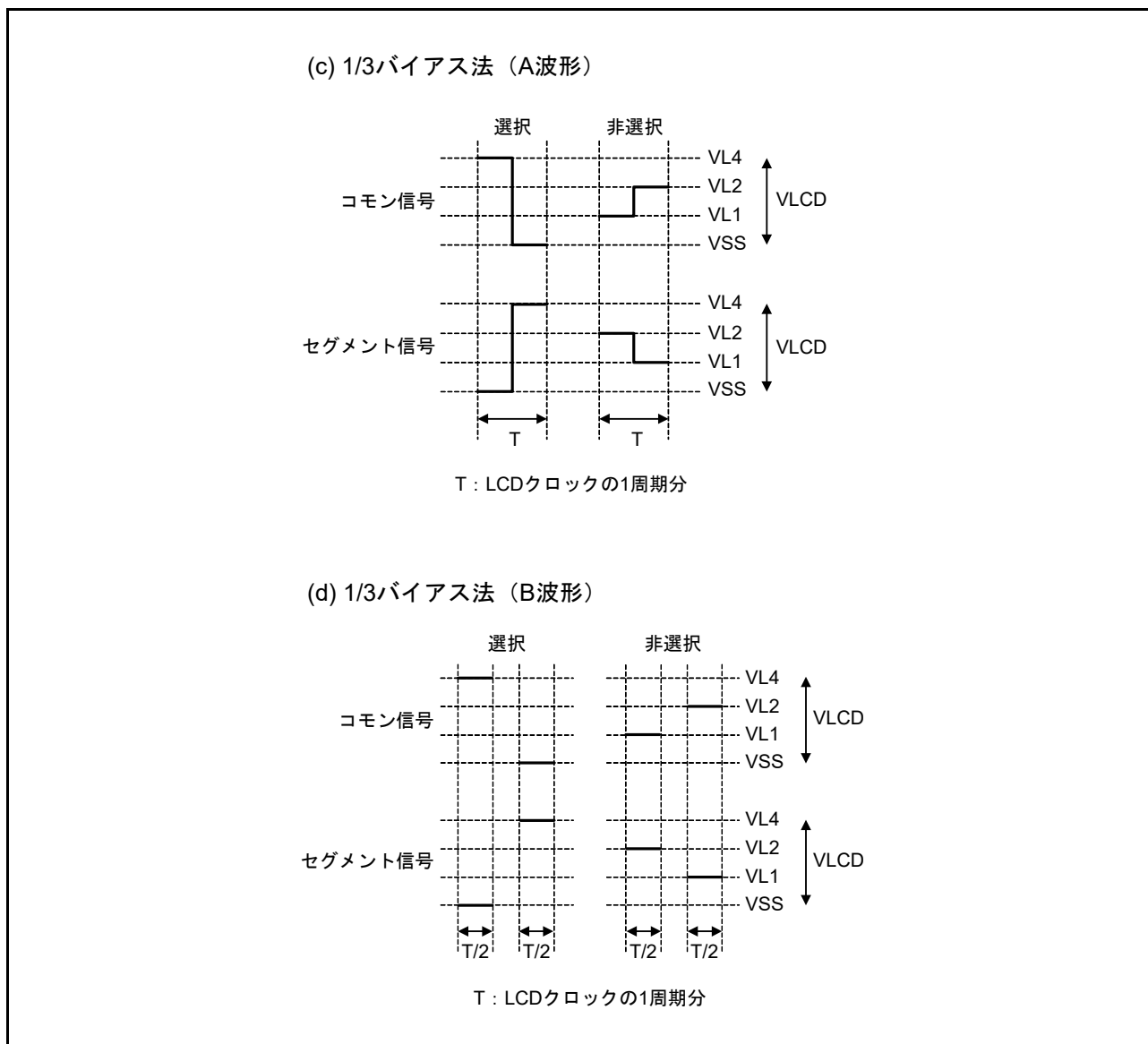


図 45.16 コモン信号とセグメント信号の電圧と位相 (2/3)

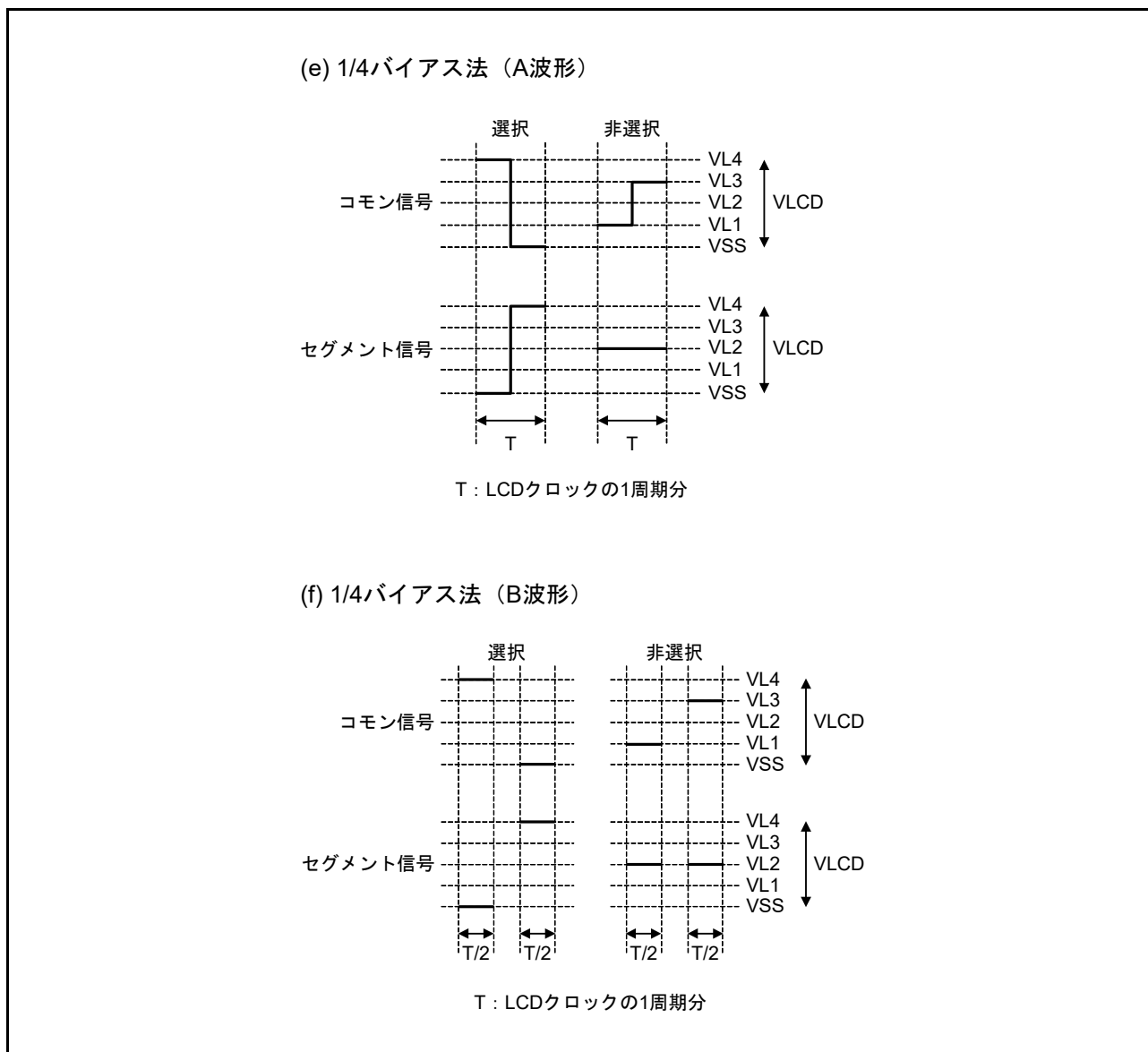


図 45.17 コモン信号とセグメント信号の電圧と位相 (3/3)

45.9 表示モード

45.9.1 スタティック表示例

図 45.19 に、図 45.18 の表示パターンを持つ 3 桁表示の LCD パネルと、セグメント信号 (SEG00 ~ SEG23) およびコモン信号 (COM0) との接続関係を示します。この例では LCD パネルに「12.3」を表示します。表示データレジスタの内容はこの表示に対応しています。

ここでは 2 桁目に表示される数字の「2」(2) を例にとって説明します。LCD パネルに「2」を表示するには、コモン信号 COM0 の選択タイミングで、選択電圧または非選択電圧を SEG08 ~ SEG15 端子に印加する必要があります。セグメント信号と LCD セグメントの関係については、図 45.18 を参照してください。

表 45.13 選択 (1) および非選択 (0) データ (COM0) の例

セグメント	SEG08	SEG09	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	選択	非選択	選択	選択	非選択	選択	選択	選択

表 45.13 に従って、表示データレジスタのビット 0 パターンを 10110111b にしてください。

SEG11、SEG12、COM0 の LCD 駆動波形を図 45.20 に示します。COM0 のタイミングで SEG11 に選択電圧が印加されると、+VLCD / -VLCD の交流矩形波が生成され、対応する LCD セグメントが点灯します。

COM1 ~ COM3 には COM0 と同じ波形が供給されます。そのため、COM0 ~ COM3 をまとめて接続すれば駆動能力が向上します。

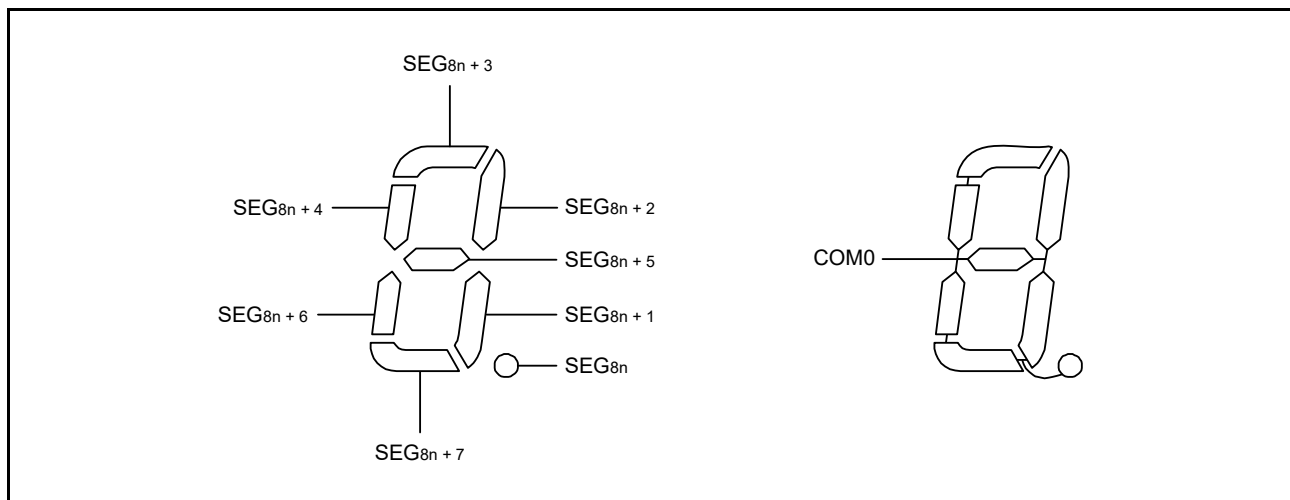


図 45.18 スタティック LCD 表示パターンと電極接続

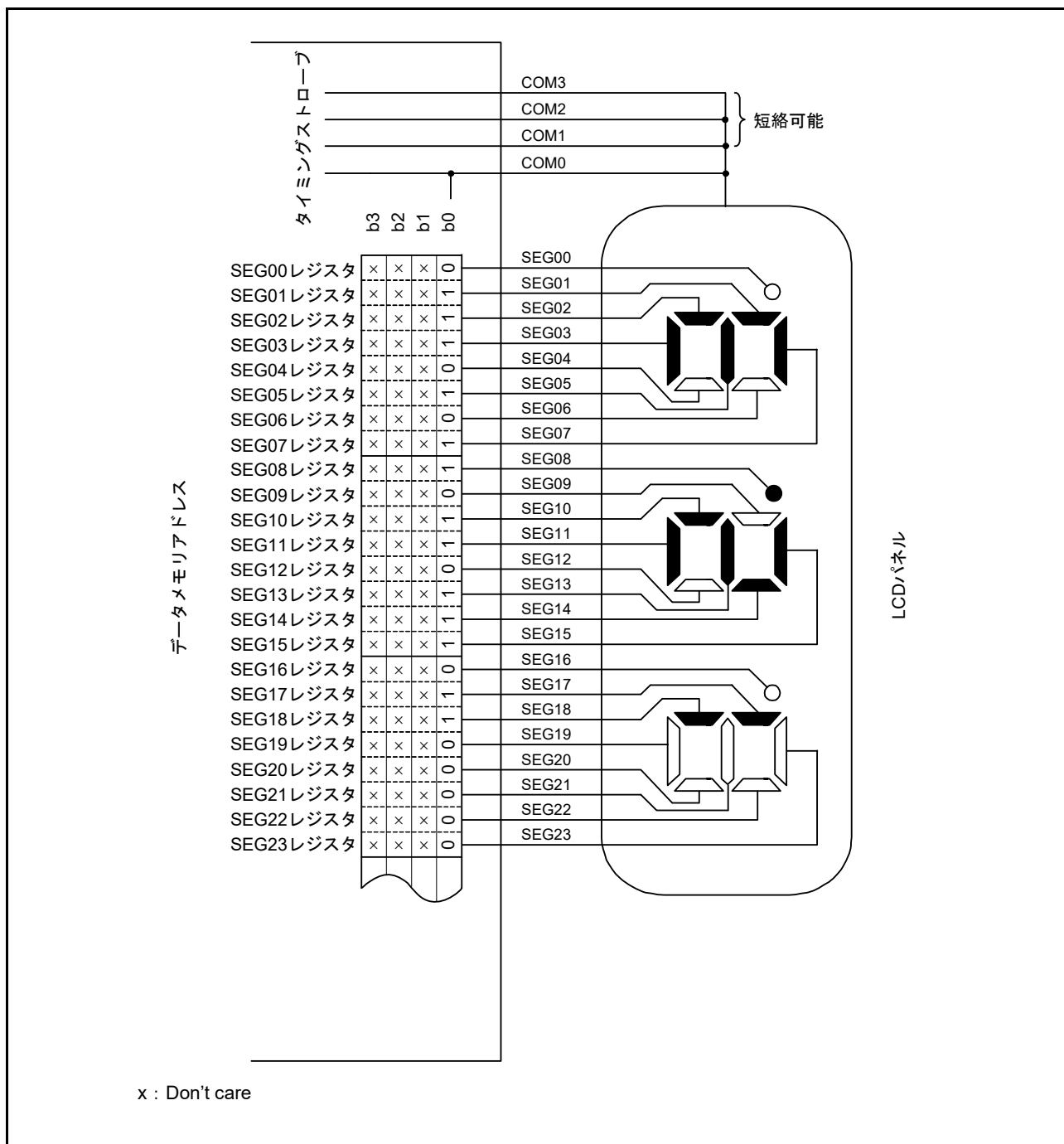


図 45.19 スタティック LCD パネルの接続例

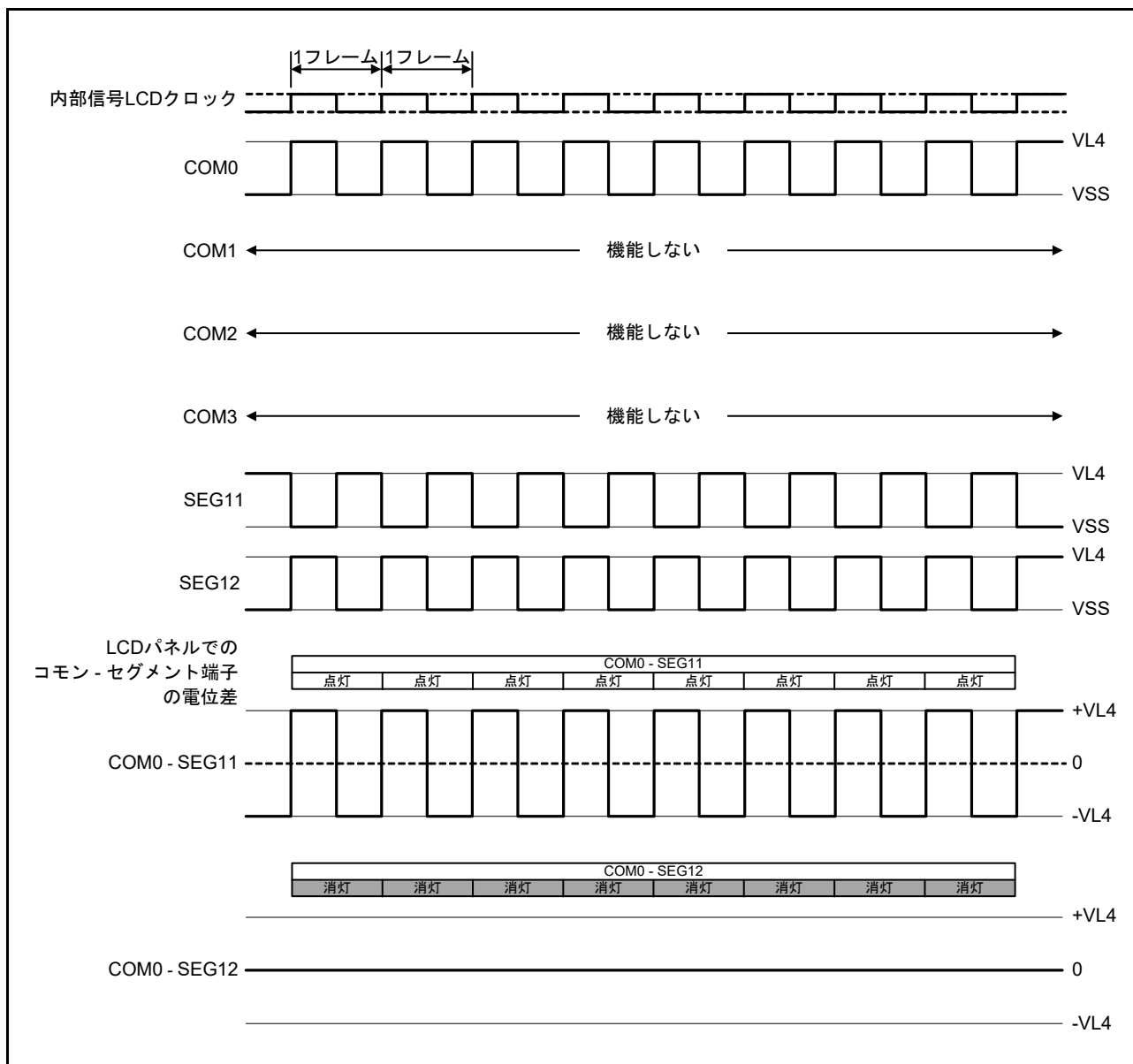


図 45.20 SEG11、SEG12、COM0 のスタティック LCD 駆動波形例

45.9.2 2 時分割表示例

図 45.22 に、図 45.21 の表示パターンを持つ 6 桁表示の LCD パネルと、セグメント信号 (SEG00 ~ SEG23) およびコモン信号 (COM0、COM1) との接続関係を示します。この例では LCD パネルに「12345.6」を表示します。表示データレジスタの内容はこの表示に対応しています。

下記では、4 桁目に表示される数字の「3」(3) について説明します。LCD パネルに「3」を表示するには、コモン信号 COM0 および COM1 の選択タイミングで、選択電圧または非選択電圧を SEG12 ~ SEG15 端子に印加する必要があります。セグメント信号と LCD セグメントの関係については、図 45.21 を参照してください。

表 45.14 選択 (1) および非選択 (0) データ (COM0、COM1) の例

コモン \ セグメント	SEG12	SEG13	SEG14	SEG15
COM0	選択	選択	非選択	非選択
COM1	非選択	選択	選択	選択

表 45.14 の例では、SEG15 に対応する表示データレジスタ位置は xx10b を含む必要があります。

SEG15 信号と各コモン信号との間の LCD 駆動波形の例を図 45.23 に示します。COM1 のタイミングで SEG15 に選択電圧が印加されると、+VLCD / -VLCD の交流矩形波が生成され、対応する LCD セグメントが点灯します。

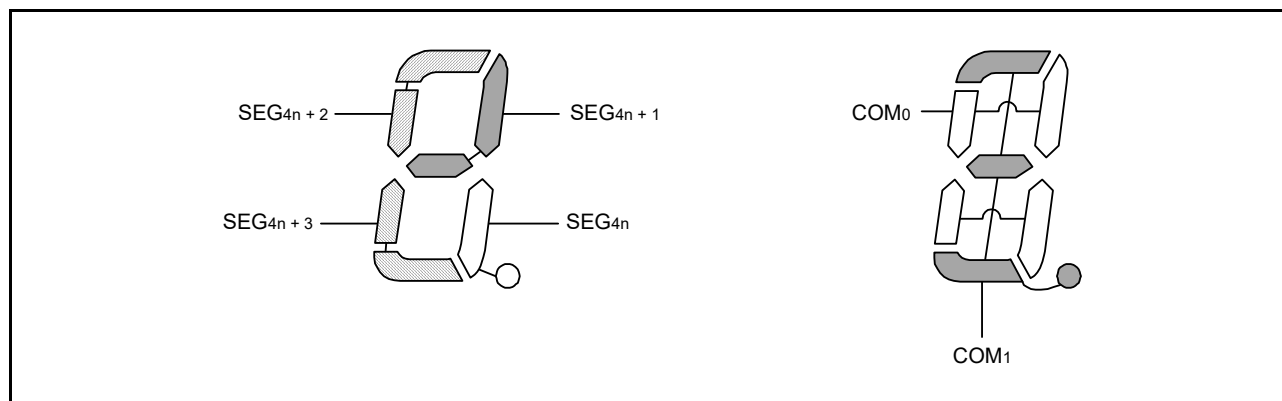


図 45.21 2 時分割 LCD 表示パターンと電極接続

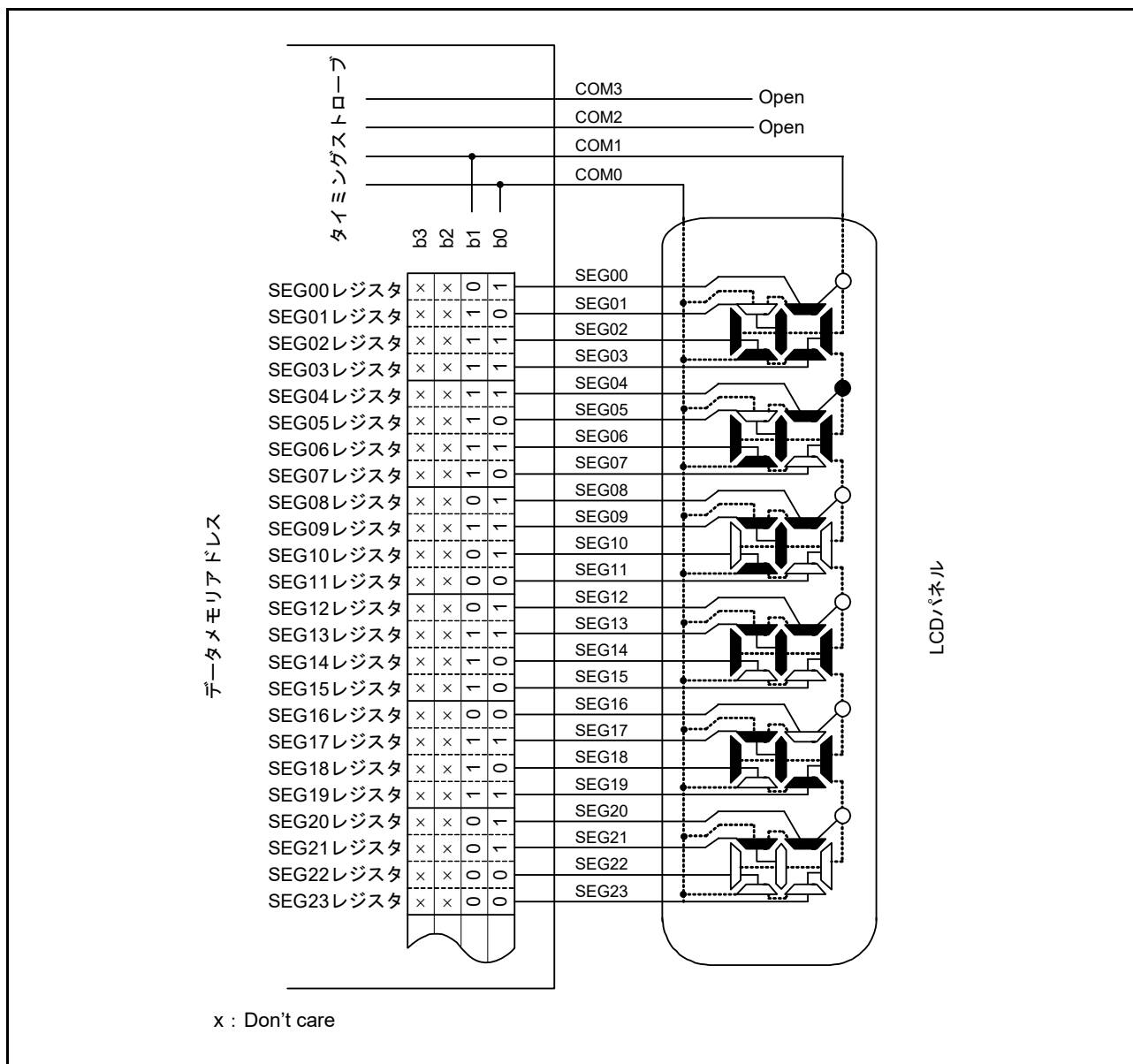


図 45.22 2 時分割 LCD パネルの接続例

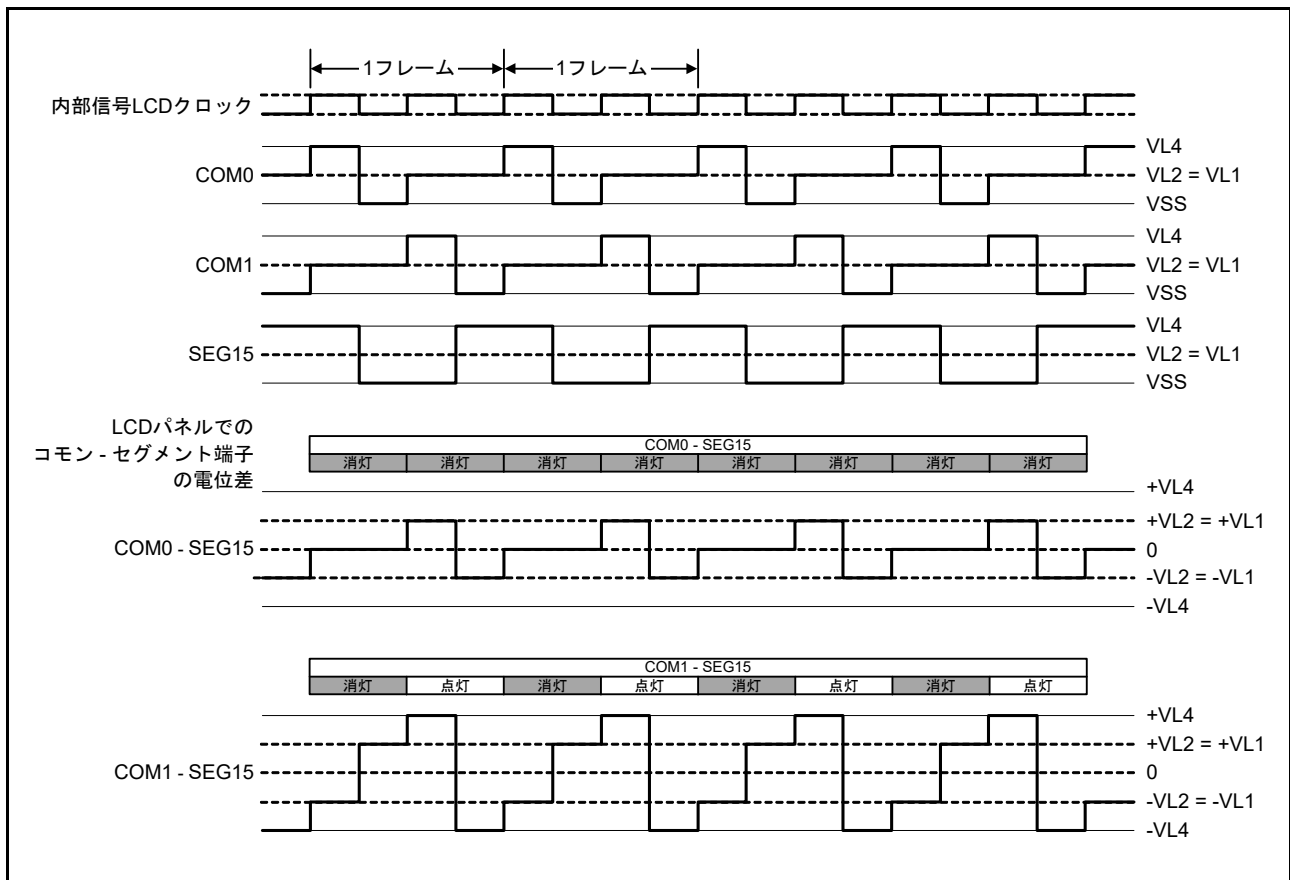


図 45.23 SEG15 と各コモン信号との間の 2 時分割 LCD 駆動波形例 (1/2 バイアス法)

45.9.3 3 時分割表示例

図 45.25 に、図 45.24 の表示パターンを持つ 8 桁表示の LCD パネルと、セグメント信号 (SEG00 ~ SEG23) およびコモン信号 (COM0 ~ COM2) との接続関係を示します。この例では LCD パネルに「123456.78」を表示します。表示データレジスタの内容はこの表示に対応しています。

ここでは 3 桁目に表示される数字の「6.」(6.) を例にとって説明します。LCD パネルに「6.」を表示するには、コモン信号 COM0 ~ COM2 の選択タイミングで、選択電圧または非選択電圧を SEG06 ~ SEG08 端子に印加する必要があります。セグメント信号と LCD セグメントの関係については、図 45.24 を参照してください。

表 45.15 選択 (1) および非選択 (0) データ (COM0~COM2) の例

コモン	セグメント	SEG06	SEG07	SEG08
COM0		非選択	選択	選択
COM1		選択	選択	選択
COM2		選択	選択	—

表 45.15 の例では、SEG06 に対応する表示データレジスタ位置は x110b を含む必要があります。

1/2 および 1/3 バイアス法での SEG06 信号と各コモン信号との間の LCD 駆動波形の例を、それぞれ図 45.26 および図 45.27 に示します。COM1 または COM2 のタイミングで SEG06 に選択電圧が印加されると、+VLCD / -VLCD の交流矩形波が生成され、対応する LCD セグメントが点灯します。

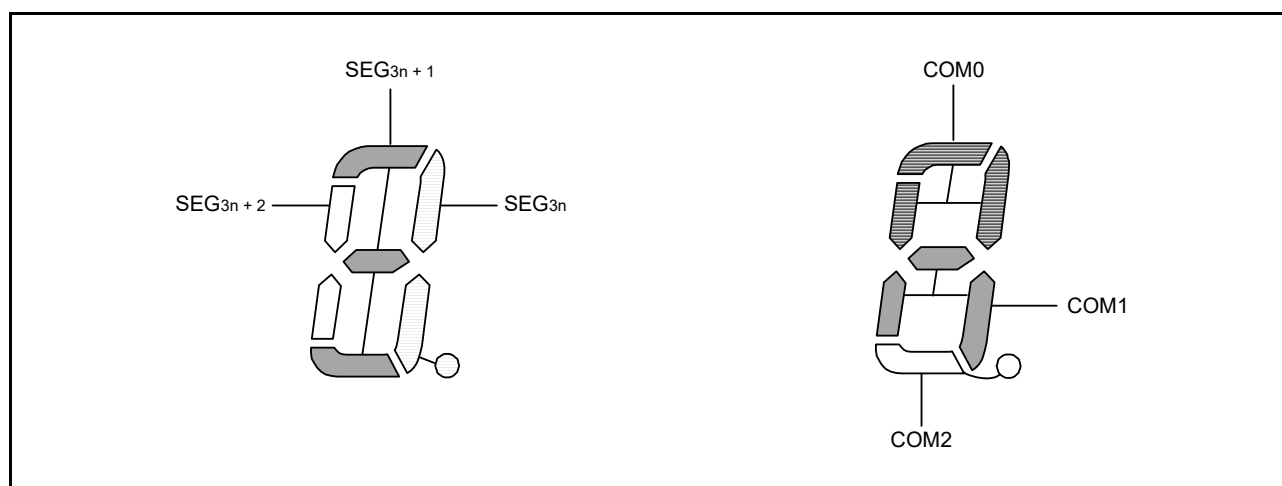


図 45.24 3 時分割 LCD 表示パターンと電極接続

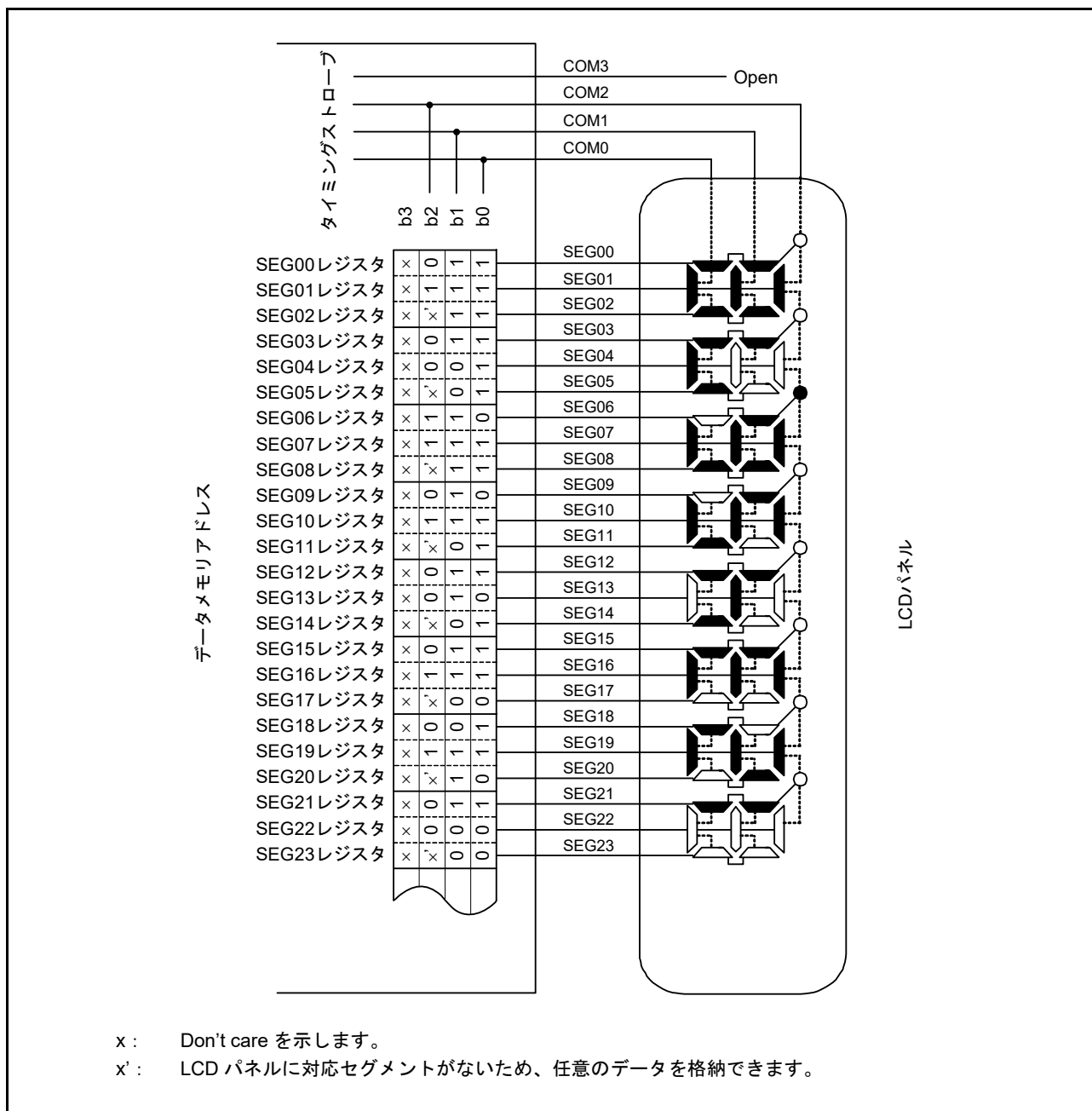


図 45.25 3 時分割 LCD パネルの接続例

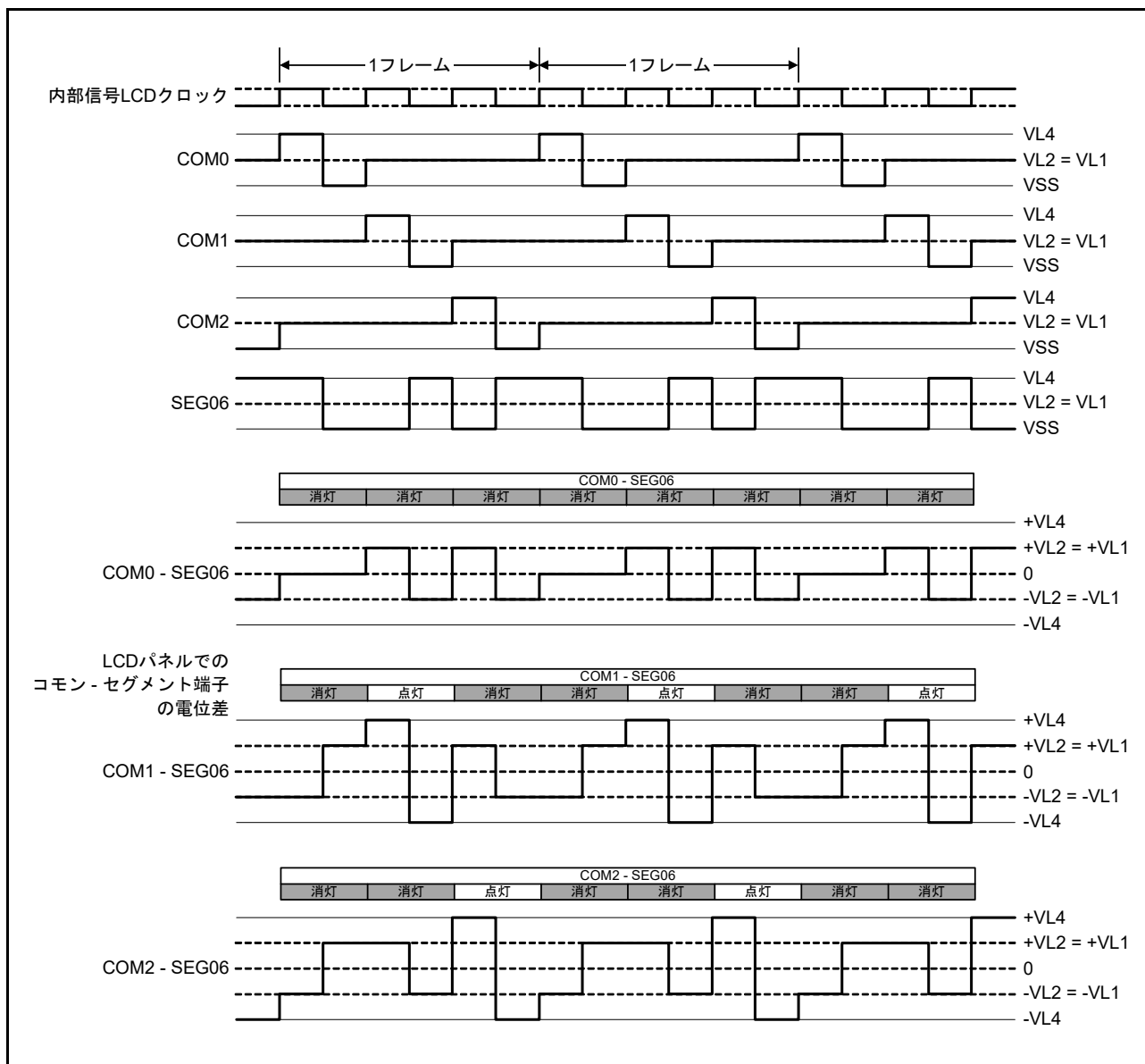


図 45.26 1/2 バイアス法を用いた SEG06 と各コモン信号との間の 3 時分割 LCD 駆動波形例

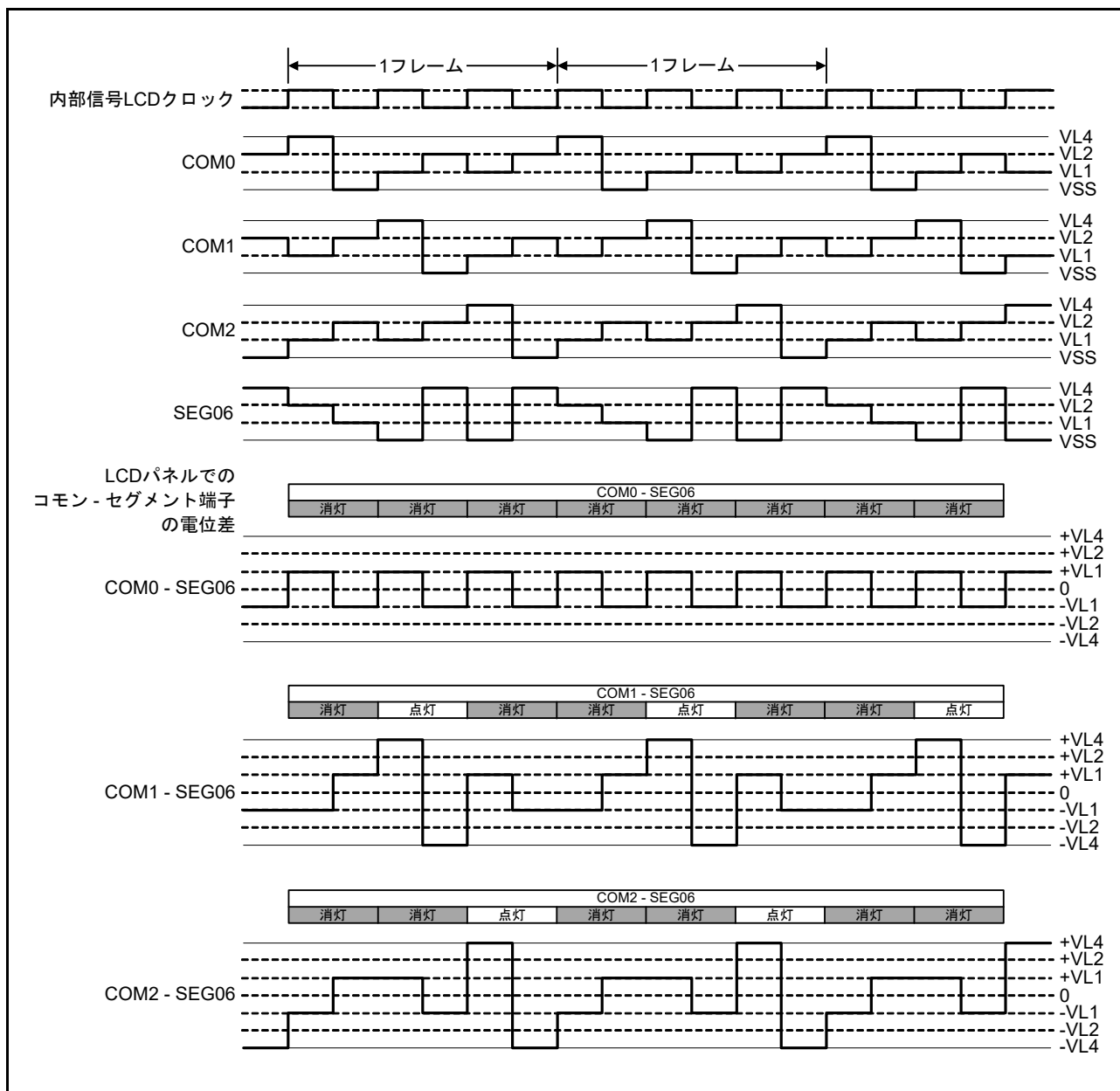


図 45.27 1/3 バイアス法を用いた SEG06 と各コモン信号との間の 3 時分割 LCD 駆動波形例

45.9.4 4 時分割表示例

図 45.29 に、図 45.28 の表示パターンを持つ 12 桁表示の LCD パネルと、セグメント信号 (SEG00 ~ SEG23) およびコモン信号 (COM0 ~ COM3) との接続関係を示します。この例では LCD パネルに「123456.789012」を表示します。表示データレジスタの内容はこの表示に対応しています。

ここでは 7 桁目に表示される数字の「6.」(6.) を例にとって説明します。LCD パネルに「6.」を表示するには、コモン信号 COM0 ~ COM3 の選択タイミングで、選択電圧または非選択電圧を SEG12 および SEG13 端子に印加する必要があります。セグメント信号と LCD セグメントの関係については、図 45.28 を参照してください。

表 45.16 選択 (1) および非選択 (0) データ (COM0~COM3) の例

コモン	セグメント	SEG12	SEG13
COM0		選択	選択
COM1		非選択	選択
COM2		選択	選択
COM3		選択	選択

表 45.16 の例では、SEG12 に対応する表示データレジスタ位置は 1101b を含む必要があります。

SEG12 信号と各コモン信号との間の LCD 駆動波形の例を図 45.30 に示します。COM0 のタイミングで SEG12 に選択電圧が印加されると、+VLCD / -VLCD の交流矩形波が生成され、対応する LCD セグメントが点灯します。

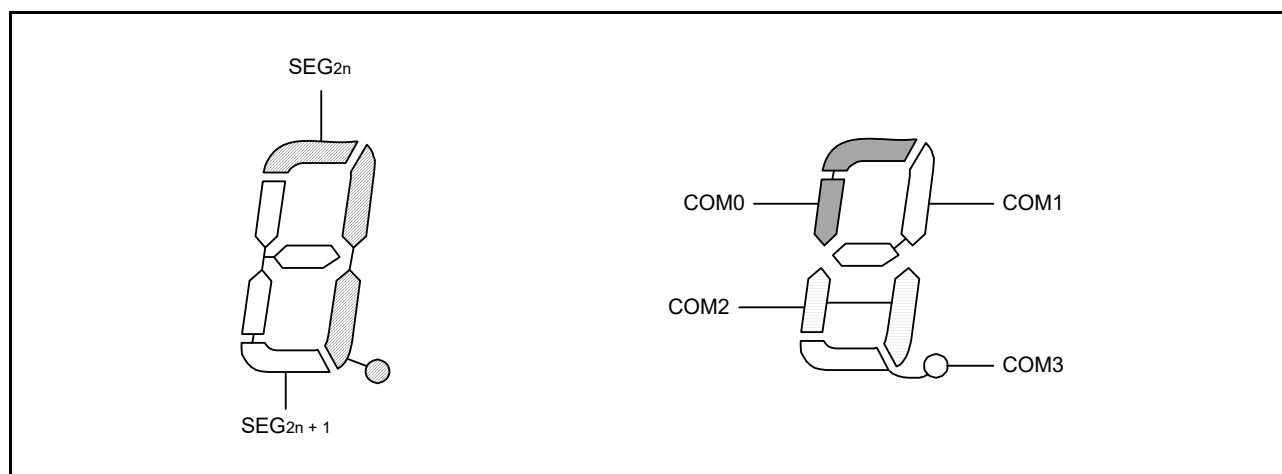


図 45.28 4 時分割 LCD 表示パターンと電極接続

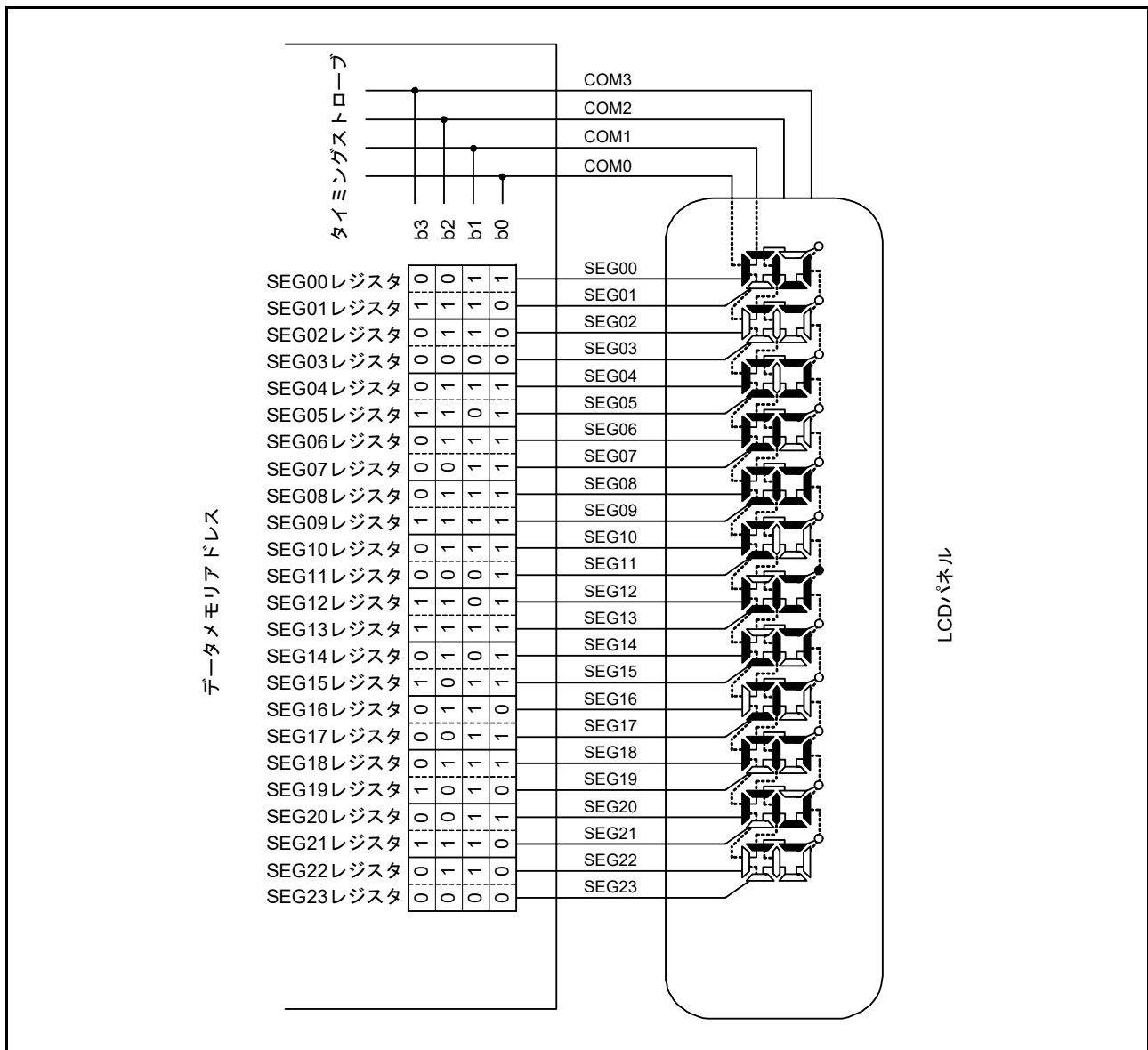


図 45.29 4 時分割 LCD パネルの接続例

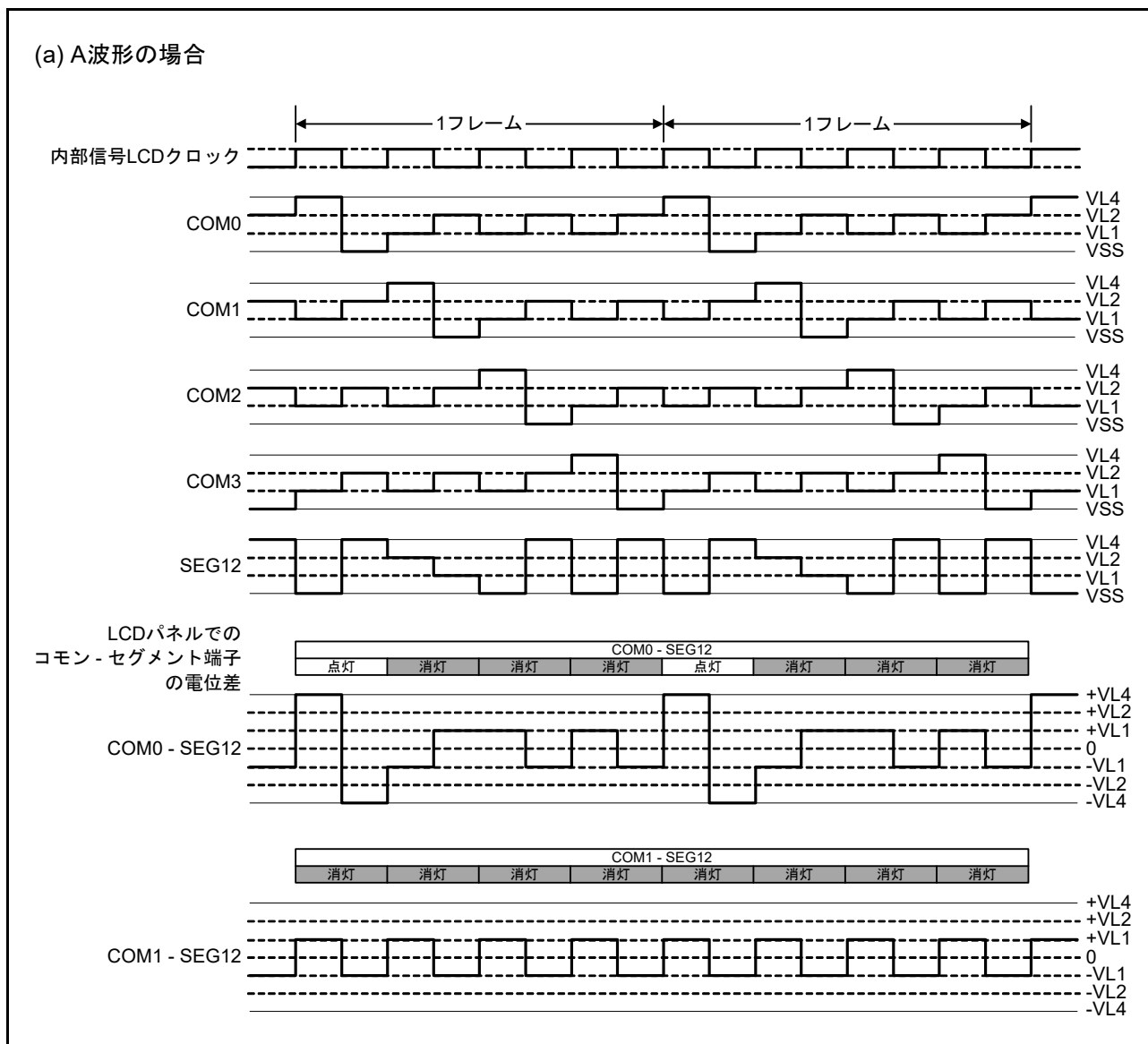


図 45.30 1/3 バイアス法を用いた SEG12 と各コモン信号との間の 4 時分割 LCD 駆動波形例 (1/2)

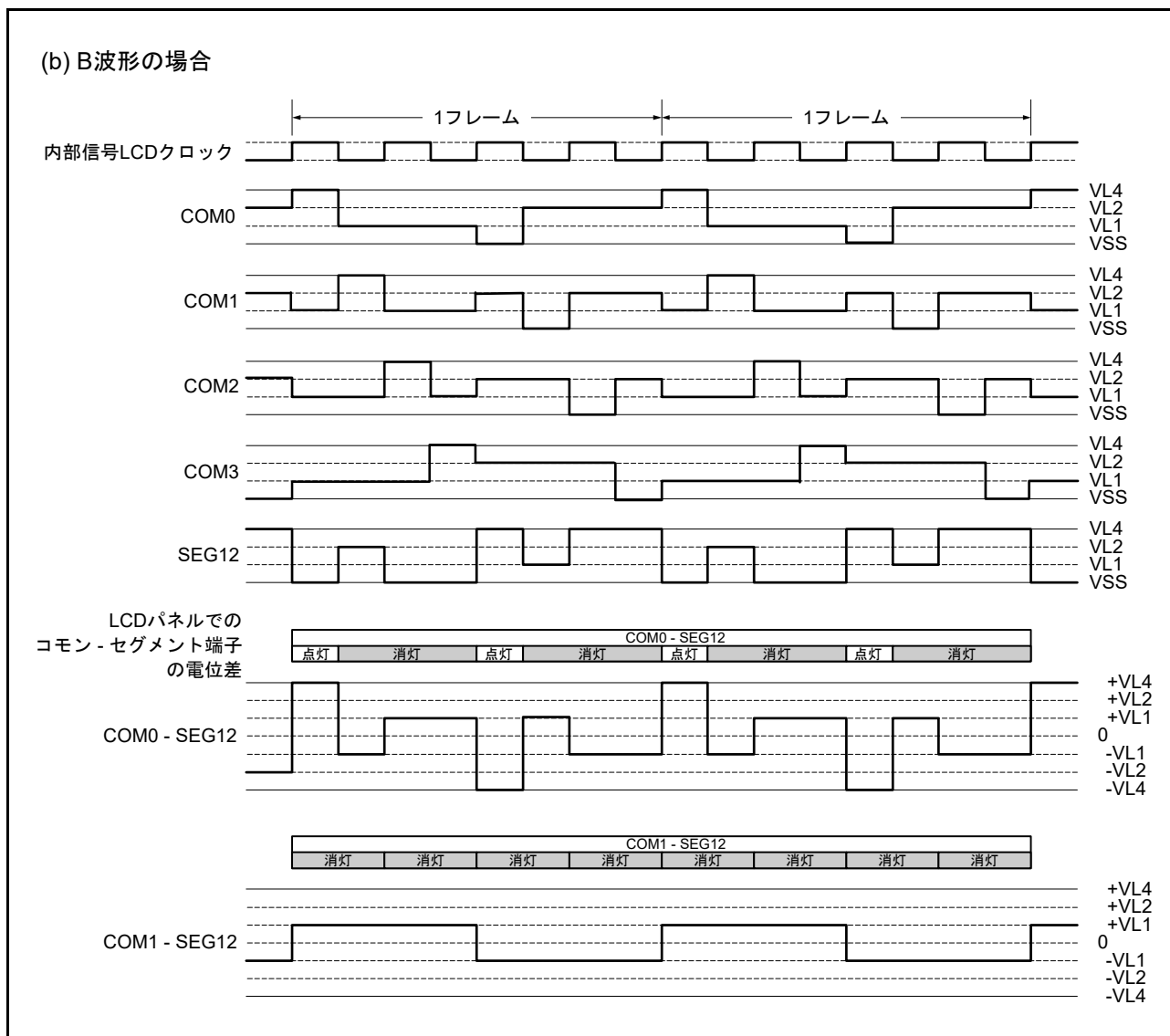


図 45.31 1/3 バイアス法を用いた SEG12 と各コモン信号との間の 4 時分割 LCD 駆動波形例 (2/2)

45.9.5 8 時分割表示例

図 45.33 に、図 45.32 の表示パターンを持つ 15×8 ドット表示の LCD パネルと、セグメント信号 (SEG04 ~ SEG18) およびコモン信号 (COM0 ~ COM7) との接続関係を示します。この例では LCD パネルに「123」を表示します。表示データレジスタの内容はこの表示に対応しています。

ここでは、1 桁目に表示される数字の「3」(三)を例にとって説明します。LCD パネルに「3」を表示するには、コモン信号 COM0 ~ COM7 の選択タイミングで、選択電圧または非選択電圧を SEG04 ~ SEG08 端子に印加する必要があります。セグメント信号と LCD セグメントの関係については、図 45.32 を参照してください。

表 45.17 選択 (1) および非選択 (0) データ (COM0 ~ COM7) の例

コモン \ セグメント	SEG04	SEG05	SEG06	SEG07	SEG08
COM0	選択	選択	選択	選択	選択
COM1	非選択	選択	非選択	非選択	非選択
COM2	非選択	非選択	選択	非選択	非選択
COM3	非選択	選択	非選択	非選択	非選択
COM4	選択	非選択	非選択	非選択	非選択
COM5	選択	非選択	非選択	非選択	選択
COM6	非選択	選択	選択	選択	非選択
COM7	非選択	非選択	非選択	非選択	非選択

表 45.17 の例では、SEG04 に対応する表示データレジスタ位置は 00110001b を含む必要があります。

SEG04 信号と各コモン信号との間の LCD 駆動波形の例を図 45.34 および図 45.35 に示します。COM0 のタイミングで SEG04 に選択電圧が印加されると、波形が生成され、対応する LCD セグメントが点灯します。

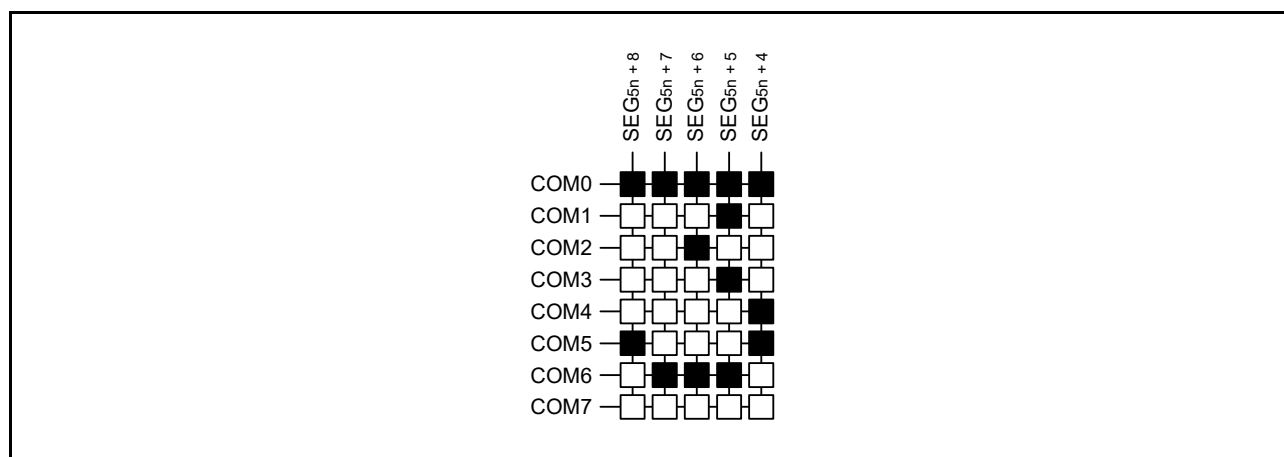


図 45.32 8 時分割 LCD 表示パターンと電極接続

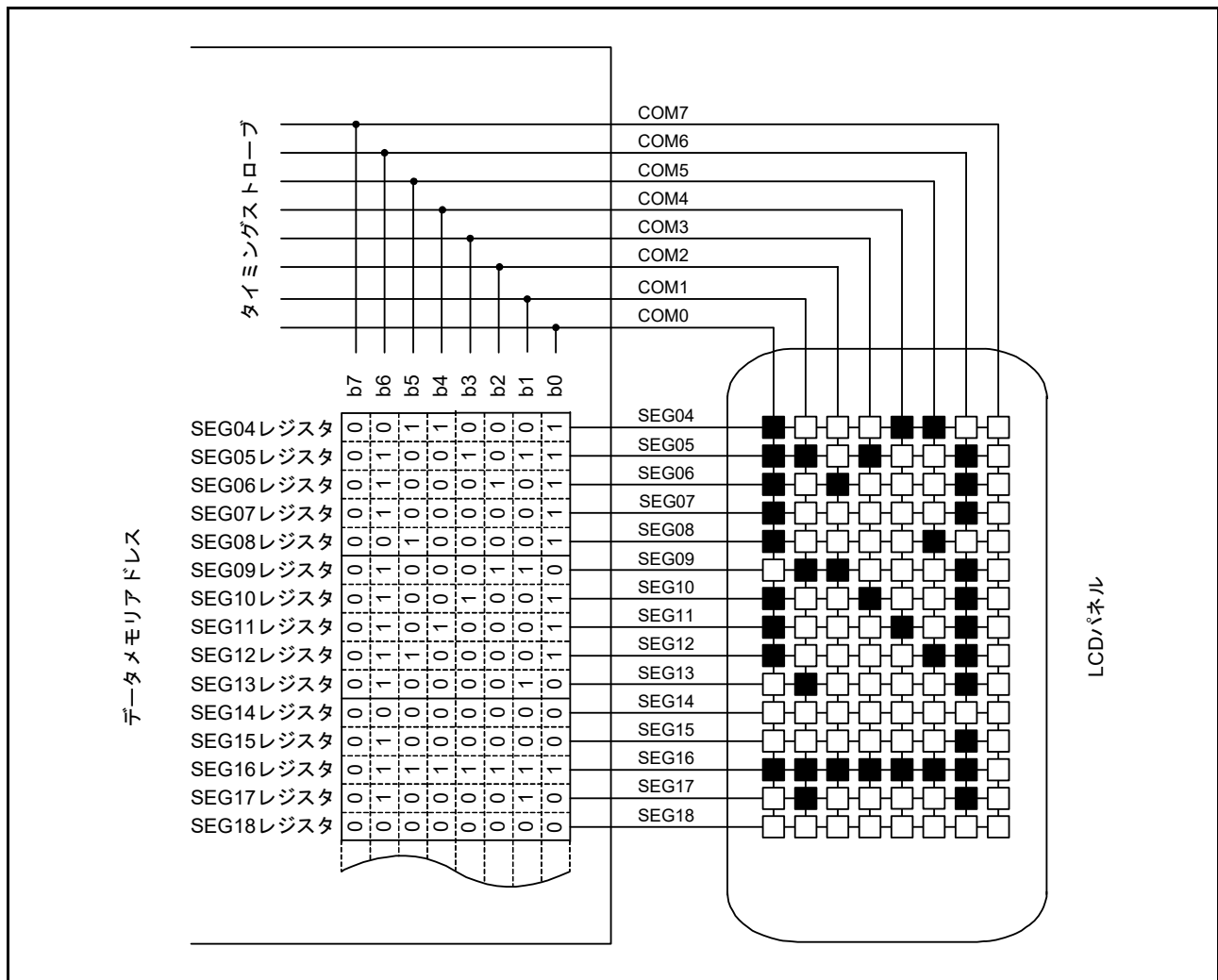


図 45.33 8 時分割 LCD パネルの接続例

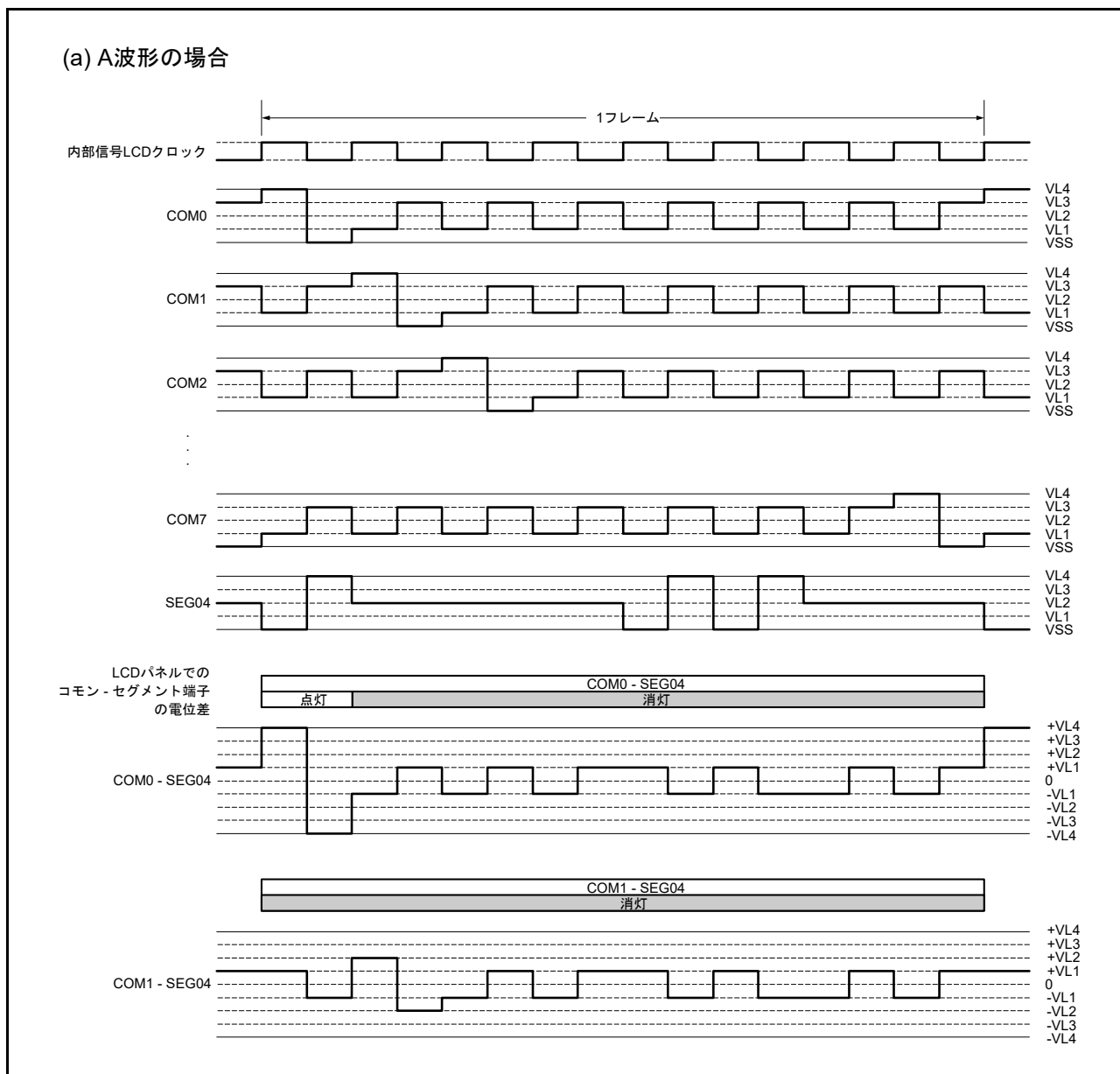


図 45.34 1/4 バイアス法を用いた SEG04 と各コモン信号との間の 4 時分割 LCD 駆動波形例 (1/2)

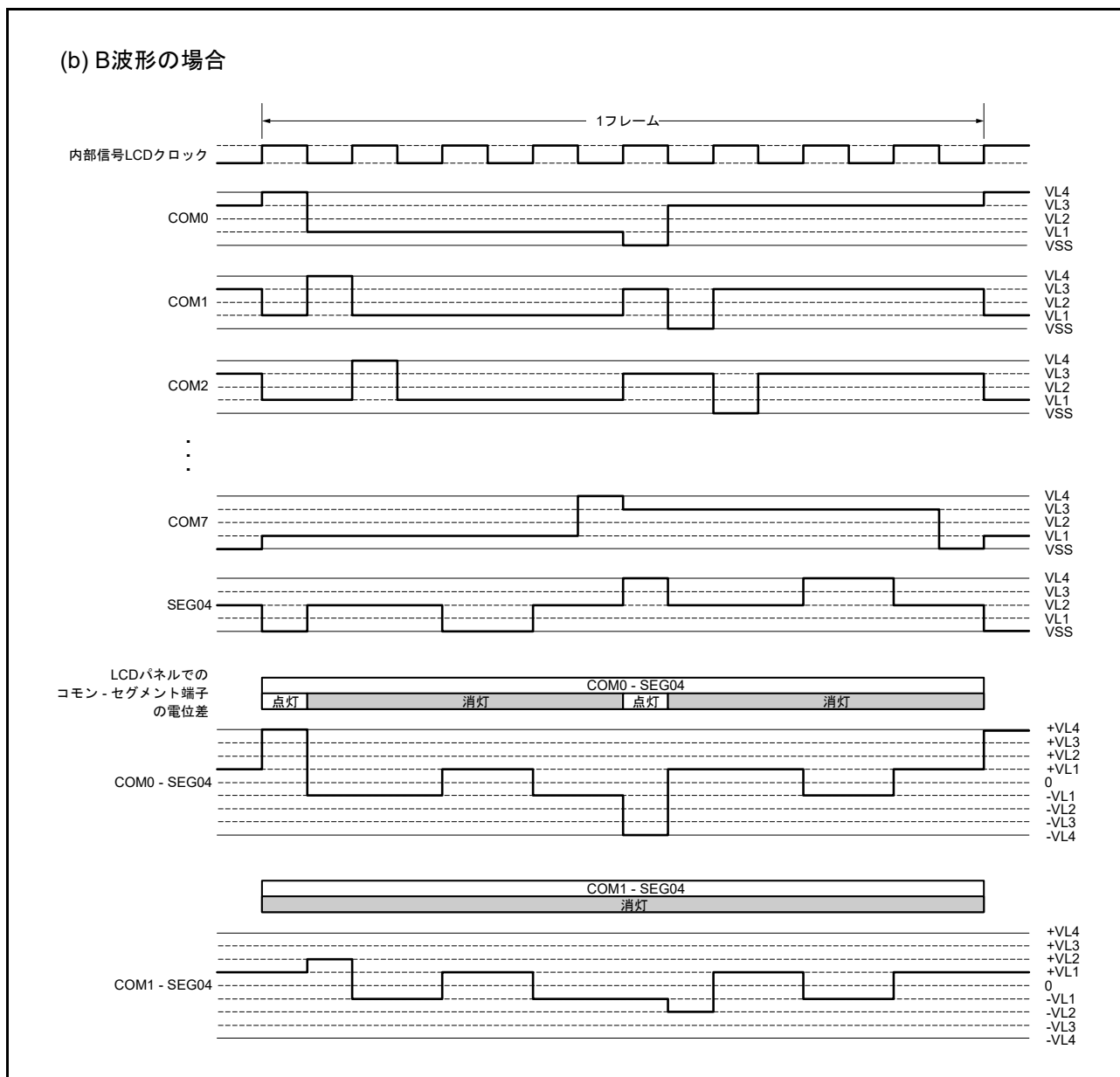


図 45.35 1/4 バイアス法を用いた SEG04 と各コモン信号との間の 4 時分割 LCD 駆動波形例 (2/2)

46. セキュア暗号エンジン (SCE5)

46.1 概要

本 MCU はセキュリティ機能向けにセキュア暗号エンジン (SCE5) モジュールを搭載しています。本モジュールは、アクセス管理回路と暗号エンジン、および乱数生成器で構成されています。

表 46.1 に SCE5 の仕様を、図 46.1 にブロック図を示します。

表 46.1 SCE5の仕様

項目	内容
アクセス制御	アクセス管理回路 <ul style="list-style-type: none"> 不正プログラムやプログラム実行の暴走により SCE5 に異常なアクセスがあった場合、この回路は後続のすべてのアクセスを遮断し、SCE5 からのデータ出力を停止します。
暗号エンジン	Advanced Encryption Standard (AES) : NIST FIPS PUB 197 アルゴリズムに準拠 <ul style="list-style-type: none"> キーサイズ : 128、256 ビットのいずれか ブロックサイズ : 128 ビット 連鎖モード <ul style="list-style-type: none"> - ECB、CBC、CTR : NIST SP 800-38A に準拠 - GCM : NIST SP 800-38D に準拠 - XTS : NIST SP 800-38E に準拠 - GCTR 128 ビットデータに対するスループット <ul style="list-style-type: none"> - 128 ビット鍵に対して 44 PCLKA サイクル - 256 ビット鍵に対して 61 PCLKA サイクル AES-GCM <ul style="list-style-type: none"> AES-GCM は AES-GCTR と GHASH を組み合わせることにより実現 キー管理 <ul style="list-style-type: none"> ラップされた鍵は SCE5 でのみ有効
乱数の生成	32 ビット真正乱数発生器
ユニーク ID	<ul style="list-style-type: none"> MCU 固有の ID (ユニーク ID) では、アクセス管理回路から専用バスまでアクセスが可能 ユニーク ID と鍵生成情報を組み合わせることにより、他の MCU への不正なデータコピーを防止
低消費電力	モジュールストップ状態の設定が可能

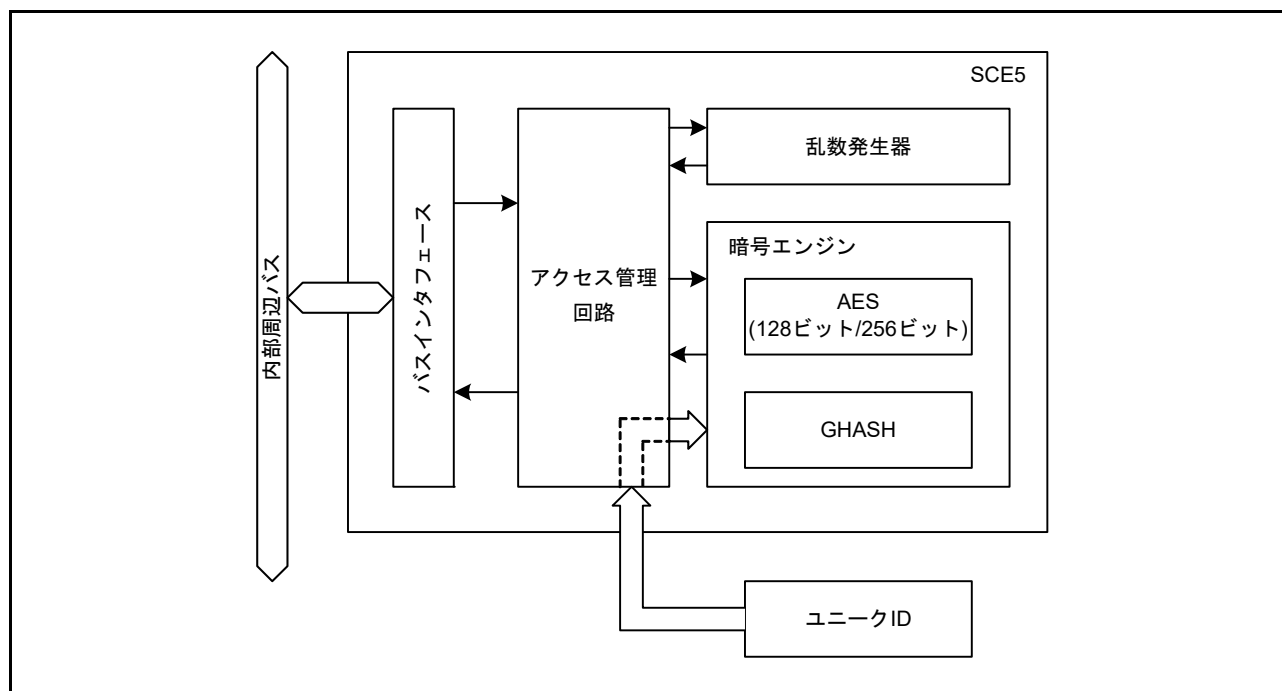


図 46.1 SCE5 ブロック図

46.2 動作説明

46.2.1 暗号エンジン

暗号エンジンは下記の機能をハードウェアで実行します。図 46.2 を参照してください。

- 平文から暗号文への暗号化
- 暗号文から平文への復号

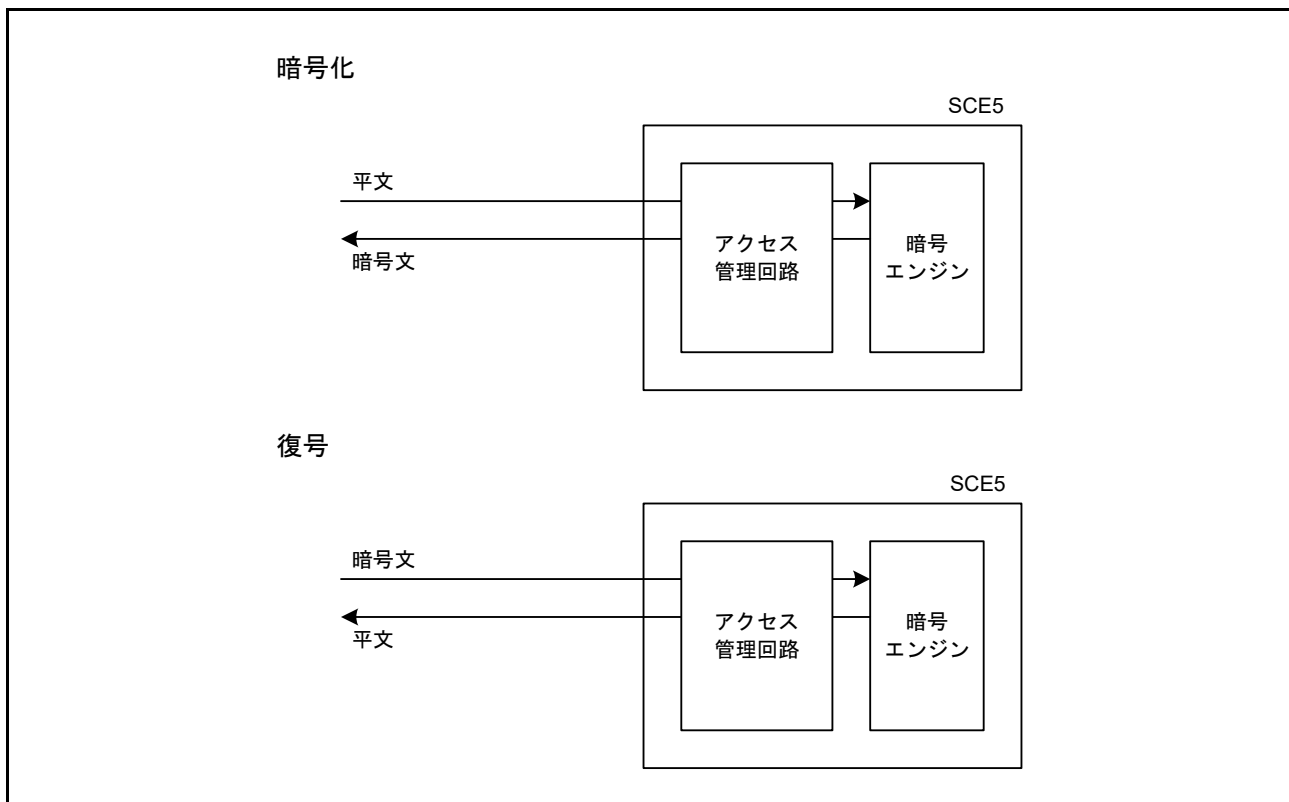


図 46.2 暗号エンジンによる暗号化と復号

46.2.2 暗号化と復号

データの暗号化または復号する方法：

1. 暗号化または復号するデータを SCE5 に入力する。
SCE5 は平文を暗号文に、暗号文を平文に変換します。
2. 変換されたデータを読み出す

暗号エンジンは入力バッファと出力バッファを備えており、入出力データの暗号化 / 復号を並行して処理することが可能です。図 46.3 に暗号化と復号タイミングを示します。

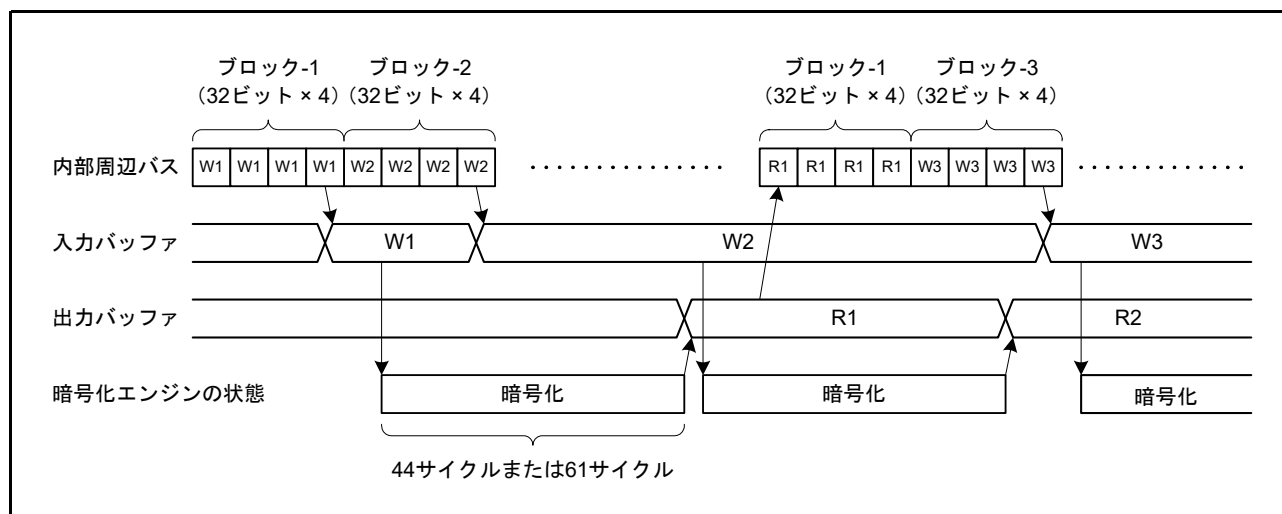


図 46.3 暗号化と復号タイミング (AES)

46.3 使用上の注意事項

46.3.1 ソフトウェアスタンバイモード

暗号エンジンの処理中にソフトウェアスタンバイモードへ遷移した場合、ソフトウェアスタンバイモードが終わっても適切な処理を再開することができません。そのため、ソフトウェアスタンバイモードへの遷移は、暗号エンジンが動作していない状態で行ってください。

46.3.2 モジュールストップ機能の設定

SCE5 の動作は、モジュールストップコントロールレジスタ C (MSTPCRC) を用いて有効または無効にすることが可能です。リセット後の初期状態では、SCE5 モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

47. 内部電圧レギュレータ

47.1 概要

本 MCU は、入出力、アナログドメイン以外の内部回路およびメモリに電圧を供給するリニアレギュレータ (LDO) を内蔵しています。

47.2 動作説明

表 47.1 に LDO モードの端子設定を、図 47.1 に LDO モードの設定を示します。LDO モードでは、内部電圧は VCC から生成します。

表 47.1 LDOモード端子の設定内容

端子	設定内容
全VCC端子	<ul style="list-style-type: none"> システムの電源に接続してください 0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
VCL端子	4.7 μ Fの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。

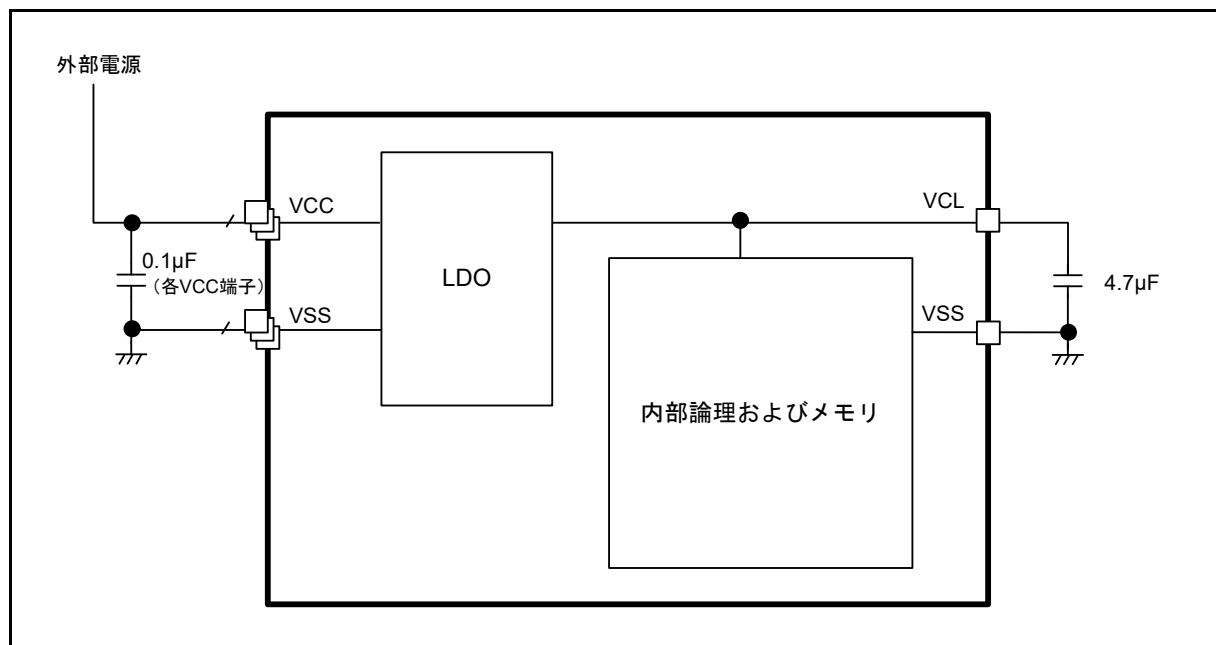


図 47.1 LDOモード設定

48. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

V_{CC} (注1) = $AVCC0$ = VCC_USB (注2) = VCC_USB_LDO (注2) = 1.6 ~ 5.5V、 V_{REFH} = V_{REFH0} = 1.6 ~ $AVCC0$ 、 V_{BATT} = 1.6 ~ 3.6V、 V_{SS} = $AVSS0$ = V_{REFL} = V_{REFL0} = V_{SS_USB} = 0V、 T_a = T_{opr}

注 1. 通常は V_{CC} = 3.3V に設定されます。

注 2. USBFS 未使用時

図 48.1 は、タイミング条件を示しています。

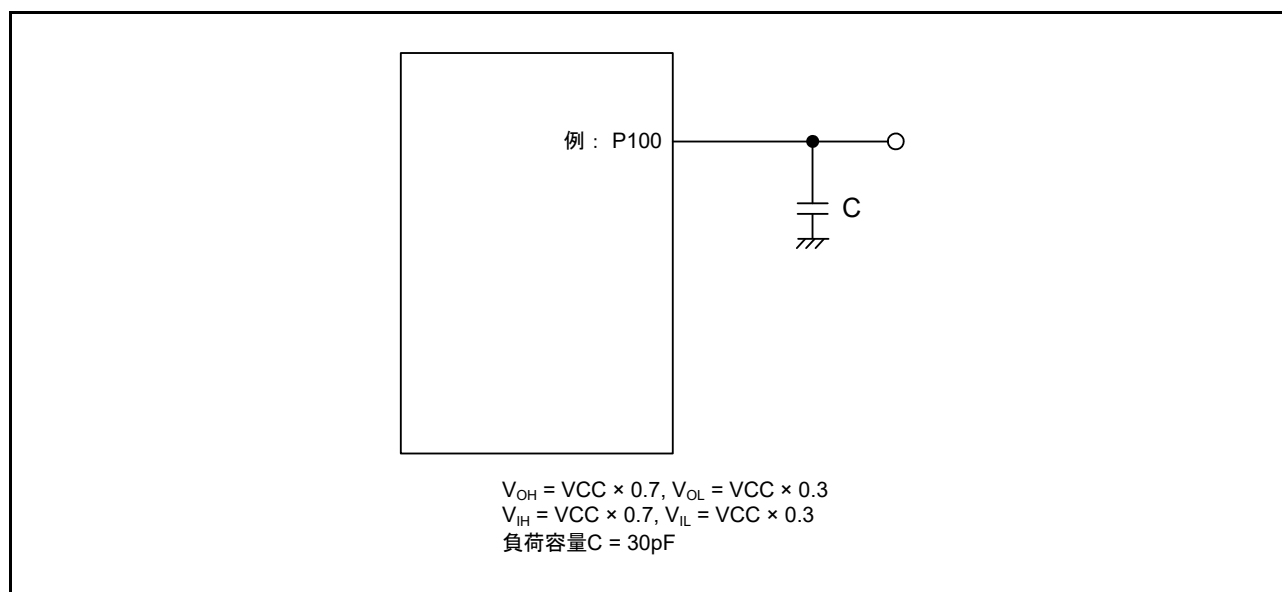


図 48.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザ条件に合うように、各端子の駆動能力を調整してください。

同じ機能に使用される各機能端子は、同じ駆動能力を選択してください。各機能端子の I/O 駆動能力が混在する場合、各機能の AC 仕様は保証されません。

48.1 絶対最大定格

表 48.1 絶対最大定格

項目		シンボル	値	単位
電源電圧		VCC	-0.5 ~ +6.5	V
入力電圧	5Vトレラント対応ポート (注1)	V_{in}	-0.3 ~ +6.5	V
	P000 ~ P008、P010 ~ P015		-0.3 ~ AVCC0 + 0.3	V
	その他		-0.3 ~ VCC + 0.3	V
リファレンス電源電圧		VREFH0	-0.3 ~ +6.5	V
		VREFH		V
VBATT電源電圧		VBATT	-0.5 ~ +6.5	V
アナログ電源電圧		AVCC0	-0.5 ~ +6.5	V
USB電源電圧		VCC_USB	-0.5 ~ +6.5	V
		VCC_USB_LDO	-0.5 ~ +6.5	V
アナログ入力電圧	AN000 ~ AN014 使用時	V_{AN}	-0.3 ~ AVCC0 + 0.3	V
	AN016 ~ AN025 使用時		-0.3 ~ VCC + 0.3	V
LCD電圧	VL1電圧	V_{L1}	-0.3 ~ +2.8	V
	VL2電圧	V_{L2}	-0.3 ~ +6.5	V
	VL3電圧	V_{L3}	-0.3 ~ +6.5	V
	VL4電圧	V_{L4}	-0.3 ~ +6.5	V
動作温度 (注2) (注3) (注4)		T_{opr}	-40 ~ +105	°C
			-40 ~ +85	
保存温度		T_{stg}	-55 ~ +125	°C

【使用上の注意】 絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。ノイズ干渉による誤動作を防止するには、VCC 端子と VSS 端子の間、AVCC0 端子と AVSS0 端子の間、VCC_USB 端子と VSS_USB 端子の間、VREFH0 端子と VREFL0 端子の間、および VREFH 端子と VREFL 端子の間には周波特性の良いコンデンサを挿入してください。各電源端子になるべく近い場所に約 0.1 μ F のコンデンサを配置し、最も短く重いトレースを使用してください。また、コンデンサは安定容量として接続してください。VCL 端子は、4.7 μ F のコンデンサを介して VSS 端子に接続してください。コンデンサは必ず端子近くに配置してください。デバイスの電源が切れている状態で信号や I/O プルアップ電源を入力しないでください。信号または I/O プルアップの入力による電流注入は、デバイスの故障や異常電流を引き起こし、内部要素を劣化させる恐れがあります。

注 1. P205、P206、P400 ~ P404、P407、P408 の各ポートは 5V トレラント対応です。

注 2. 48.2.1 T_j/T_a の定義を参照してください。

注 3. $T_a = +85 \sim +105$ °C の場合のディレーティング動作については、弊社営業担当までお問い合わせください。ディレーティングとは、信頼性向上のための系統的な負荷軽減策です。

注 4. 動作温度の上限は、+85 °C または +105 °C です (製品による)。詳細は、1.3 型名を参照してください。

表 48.2 推奨動作条件

項目	シンボル	値	Min	Typ	Max	単位
電源電圧	VCC (注1) (注2)	USBFS未使用時	1.6	—	5.5	V
		USBFS使用時 USBレギュレータ無効	VCC_USB	—	3.6	V
		USBFS使用時 USBレギュレータ有効	VCC_USB _LDO	—	5.5	V
	VSS	—	0	—	V	
USB電源電圧	VCC_USB	USBFS未使用時	—	VCC	—	V
		USBFS使用時 USBレギュレータ無効 (入力)	3.0	3.3	3.6	V
		VCC_USB_LDO	—	VCC	—	V
	VCC_USB_LDO	USBFS使用時 USBレギュレータ無効	—	VCC	—	V
		USBFS使用時 USBレギュレータ有効	3.8	—	5.5	V
	VSS_USB	—	0	—	V	
VBATT電源電圧	VBATT	バッテリーバックアップ 機能未使用時	—	VCC	—	V
		バッテリーバックアップ 機能使用時	1.6	—	3.6	V
アナログ電源電圧	AVCC0 (注1) (注2)		1.6	—	5.5	V
	AVSS0		—	0	—	V
	VREFH0	ADC14基準として使用時	1.6	—	AVCC0	V
	VREFL0		—	0	—	V
	VREFH	DAC12基準として使用時	1.6	—	AVCC0	V
	VREFL		—	0	—	V

注 1. 下記の条件で AVCC0 と VCC を使用してください：

VCC \geq 2.2V および AVCC \geq 2.2V のとき、AVCC0 と VCC は動作範囲内で個別に設定可能

VCC < 2.2V または AVCC0 < 2.2V のとき、AVCC0 = VCC

注 2. VCC 端子および AVCC0 端子に電源を投入する場合、両方同時に電源投入するか、最初に VCC 端子、次に AVCC0 端子の順番で電源投入してください。

48.2 DC 特性

48.2.1 Tj/T_a の定義

表 48.3 DC 特性

条件：動作温度 (T_a) が -40 ~ +105°C の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	Tj	—	125	°C	High-speed モード Middle-speed モード Low-speed モード Low-voltage モード Subosc-speed モード
			105 (注1)		

注. Tj = T_a + θ_{ja} × 総消費電力 (W) となるようにしてください。
このとき、総消費電力 = (VCC - V_{OH}) × ΣI_{OH} + V_{OL} × ΣI_{OL} + I_{CCmax} × VCC です。

注 1. 動作温度の上限は、+85 °C または +105 °C です (製品による)。詳細は、1.3 型名を参照してください。型名が動作温度 +85 °C を示している場合は、Tj の最大値は +105 °C になります。それ以外の場合 +125 °C になります。

48.2.2 I/O V_{IH}, V_{IL}表 48.4 I/O V_{IH}, V_{IL} (1)

条件：VCC = AVCC0 = VCC_USB = VCC_USB_LDO = 2.7 ~ 5.5V、VBATT = 1.6 ~ 3.6V、VSS = AVSS0 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件	
シュミット トリガ入力 電圧	IIC (注1) (SMBus を除く)	V _{IH}	VCC × 0.7	—	5.8	V	—
		V _{IL}	—	—	VCC × 0.3		
		ΔV _T	VCC × 0.05	—	—		
	RES, NMI IIC を除くその他の周辺入力 端子	V _{IH}	VCC × 0.8	—	—		
		V _{IL}	—	—	VCC × 0.2		
		ΔV _T	VCC × 0.1	—	—		
入力電圧 (シュ ミット トリガ入力 端子を除く)	IIC (SMBus) (注2)	V _{IH}	2.2	—	—	V	VCC = 3.6 ~ 5.5V
		V _{IH}	2.0	—	—		VCC = 2.7 ~ 3.6V
		V _{IL}	—	—	0.8		—
	5V トレラント対応ポート (注3)	V _{IH}	VCC × 0.8	—	5.8		
		V _{IL}	—	—	VCC × 0.2		
	P914, P915	V _{IH}	VCC_USB × 0.8	—	VCC_USB + 0.3		
		V _{IL}	—	—	VCC_USB × 0.2		
	P000 ~ P008, P010 ~ P015	V _{IH}	AVCC0 × 0.8	—	—		
		V _{IL}	—	—	AVCC0 × 0.2		
	EXTAL P000 ~ P008, P010 ~ P015, P914, P915 を除く入力ポート端子	V _{IH}	VCC × 0.8	—	—		
		V _{IL}	—	—	VCC × 0.2		
	V _{BATT} 電源選択 時	P402, P403, P404	V _{IH}	V _{BATT} × 0.8	—		V _{BATT} + 0.3
V _{IL}			—	—	V _{BATT} × 0.2		
ΔV _T			V _{BATT} × 0.05	—	—		

注 1. P205, P206, P400, P401, P407, P408 (合計 6 端子)

注 2. P100, P101, P204, P205, P206, P400, P401, P407, P408 (合計 9 端子)

注 3. P205, P206, P400 ~ P404, P407, P408 (合計 9 端子)

表 48.5 I/O V_{IH} , V_{IL} (2)条件 : $VCC = AVCC0 = VCC_USB = VCC_USB_LDO = 1.6 \sim 2.7V$, $V_{BATT} = 1.6 \sim 3.6V$, $VSS = AVSS0 = 0V$

項目	シンボル	Min	Typ	Max	単位	測定条件	
シュミットトリガ 入力電圧	RES#, NMI 周辺入力端子	V_{IH}	$VCC \times 0.8$	—	—	V	—
		V_{IL}	—	—	$VCC \times 0.2$		
		ΔV_T	$VCC \times 0.01$	—	—		
入力電圧 (シュミット トリガ入力端子を 除く)	5Vトレラント対応ポート (注1)	V_{IH}	$VCC \times 0.8$	—	5.8		
		V_{IL}	—	—	$VCC \times 0.2$		
	P914, P915	V_{IH}	$VCC_USB \times 0.8$	—	$VCC_USB + 0.3$		
		V_{IL}	—	—	$VCC_USB \times 0.2$		
	P000 ~ P008、 P010 ~ P015	V_{IH}	$AVCC0 \times 0.8$	—	—		
		V_{IL}	—	—	$AVCC0 \times 0.2$		
	EXTAL P000 ~ P008、 P010 ~ P015、P914、 P915を除く入力ポート 端子	V_{IH}	$VCC \times 0.8$	—	—		
		V_{IL}	—	—	$VCC \times 0.2$		
	V_{BATT} 電源選択時	P402, P403, P404	V_{IH}	$V_{BATT} \times 0.8$	—	$V_{BATT} + 0.3$	
V_{IL}			—	—	$V_{BATT} \times 0.2$		
ΔV_T			$V_{BATT} \times 0.01$	—	—		

注 1. P205、P206、P400 ~ P404、P407、P408 (合計 9 端子)

48.2.3 I/O I_{OH} , I_{OL} 表 48.6 I/O I_{OH} , I_{OL} (1/2)条件 : $VCC = AVCC0 = VCC_{USB} = VCC_{USB_LDO} = 1.6 \sim 5.5V$

項目			シンボル	Min	Typ	Max	単位
許容出力電流 (端子ごとの平均値)	ポート P212、P213	—	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
	ポート P408	低駆動 (注1)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		中駆動 (IICファスト モード) (注4) $VCC = 2.7 \sim 5.5V$	I_{OH}	—	—	-8.0	mA
			I_{OL}	—	—	8.0	mA
		中駆動 (注2) $VCC = 3.0 \sim 5.5V$	I_{OH}	—	—	-20.0	mA
			I_{OL}	—	—	20.0	mA
	ポート P409	低駆動 (注1)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		中駆動 (注2) $VCC = 2.7 \sim 3.0V$	I_{OH}	—	—	-8.0	mA
			I_{OL}	—	—	8.0	mA
		中駆動 (注2) $VCC = 3.0 \sim 5.5V$	I_{OH}	—	—	-20.0	mA
			I_{OL}	—	—	20.0	mA
	ポート P100 ~ P115、 P201 ~ P204、P300 ~ P307、 P500 ~ P503、P600 ~ P603、 P608 ~ P610、P808、P809 (合計 41 端子)	低駆動 (注1)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		中駆動 (注2)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	8.0	mA
	ポート P914、P915	—	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
その他の出力端子 (注3)	低駆動 (注1)	I_{OH}	—	—	-4.0	mA	
		I_{OL}	—	—	4.0	mA	
	中駆動 (注2)	I_{OH}	—	—	-8.0	mA	
		I_{OL}	—	—	8.0	mA	

表 48.6 I/O I_{OH} , I_{OL} (2/2)条件 : $VCC = AVCC0 = VCC_USB = VCC_USB_LDO = 1.6 \sim 5.5V$

項目	シンボル	Min	Typ	Max	単位		
許容出力電流 (端子ごとの最大値)	ポートP212、P213	—	I_{OH}	—	—	-4.0	mA
		—	I_{OL}	—	—	4.0	mA
	ポートP408	低駆動 (注1)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		中駆動 (IICファスト モード) (注4) $VCC = 2.7 \sim 5.5V$	I_{OH}	—	—	-8.0	mA
			I_{OL}	—	—	8.0	mA
		中駆動 (注2) $VCC = 3.0 \sim 5.5V$	I_{OH}	—	—	-20.0	mA
			I_{OL}	—	—	20.0	mA
	ポートP409	低駆動 (注1)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		中駆動 (注2) $VCC = 2.7 \sim 3.0V$	I_{OH}	—	—	-8.0	mA
			I_{OL}	—	—	8.0	mA
		中駆動 (注2) $VCC = 3.0 \sim 5.5V$	I_{OH}	—	—	-20.0	mA
			I_{OL}	—	—	20.0	mA
	ポートP100～P115、 P201～P204、P300～P307、 P500～P503、P600～P603、 P608～P610、P808、P809 (合計41端子)	低駆動 (注1)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		中駆動 (注2)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	8.0	mA
	ポートP914、P915	—	I_{OH}	—	—	-4.0	mA
		—	I_{OL}	—	—	4.0	mA
その他の出力端子 (注3)	低駆動 (注1)	I_{OH}	—	—	-4.0	mA	
		I_{OL}	—	—	4.0	mA	
	中駆動 (注2)	I_{OH}	—	—	-8.0	mA	
		I_{OL}	—	—	8.0	mA	
許容出力電流 (全端子の最大値)	ポートP000～P008、P010～P015の総和	$\Sigma I_{OH} (max)$	—	—	-30	mA	
		$\Sigma I_{OL} (max)$	—	—	30	mA	
	ポートP914、P915	$\Sigma I_{OH} (max)$	—	—	-2.0	mA	
		$\Sigma I_{OL} (min)$	—	—	2.0	mA	
	全出力端子の総和 (注5)	$\Sigma I_{OH} (max)$	—	—	-60	mA	
		$\Sigma I_{OL} (max)$	—	—	60	mA	

【使用上の注意】 本 MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 μ s の間に計測した電流の平均値を意味します。

- 注 1. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。
 注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。
 注 3. 入力ポートである P200、P214、P215 を除きます。
 注 4. PmnPFS レジスタのポート駆動能力ビットで IIC ファストモードに対して中駆動が選択されている場合の値です。
 注 5. CTSU の許容出力電流の詳細については、48.11 CTSU 特性を参照してください。

48.2.4 I/O V_{OH} 、 V_{OL} 、その他の特性表 48.7 I/O V_{OH} 、 V_{OL} (1)条件 : $VCC = AVCC0 = VCC_USB = VCC_USB_LDO = 4.0 \sim 5.5V$

項目		シンボル	Min	Typ	Max	単位	測定条件			
出力電圧	IIC (注1)	V_{OL}	—	—	0.4	V	$I_{OL} = 3.0mA$			
		V_{OL} (注2) (注5)	—	—	0.6		$I_{OL} = 6.0mA$			
	ポート P408、P409 (注2) (注3)		V_{OH}	$VCC - 1.0$	—		—	$I_{OH} = -20mA$		
			V_{OL}	—	—		1.0	$I_{OL} = 20mA$		
	ポート P000 ~ P008、 P010 ~ P015		低駆動		V_{OH}		$AVCC0 - 0.8$	—	—	$I_{OH} = -2.0mA$
			中駆動		V_{OH}		$AVCC0 - 0.8$	—	—	$I_{OH} = -4.0mA$
			低駆動		V_{OL}		—	—	0.8	$I_{OL} = 2.0mA$
			中駆動		V_{OL}		—	—	0.8	$I_{OL} = 4.0mA$
	ポート P914、P915		V_{OH}	$VCC_USB - 0.8$	—		—	$I_{OH} = -2.0mA$		
			V_{OL}	—	—		0.8	$I_{OL} = 2.0mA$		
	他の出力端子 (注4)		低駆動		V_{OH}		$VCC - 0.8$	—	—	$I_{OH} = -2.0mA$
			中駆動 (注6)		V_{OH}		$VCC - 0.8$	—	—	$I_{OH} = -4.0mA$
			低駆動		V_{OL}		—	—	0.8	$I_{OL} = 2.0mA$
			中駆動		V_{OL}		—	—	0.8	$I_{OL} = 4.0mA$

注 1. P100、P101、P204、P205、P206、P400、P401、P407、P408 (合計 9 端子)

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。

注 3. 特性データに基づき、製品試験は行っていません。

注 4. 入力ポートである P200、P214、P215 を除きます。

注 5. PmnPFS レジスタの P408 に対するポート駆動能力ビットで IIC に対して中駆動が選択されている場合の値です。

注 6. P212、P213 を除く

表 48.8 I/O V_{OH} , V_{OL} (2)条件 : $VCC = AVCC0 = VCC_USB = VCC_USB_LDO = 2.7 \sim 4.0V$

項目		シンボル	Min	Typ	Max	単位	測定条件			
出力電圧	IIC (注1)	V_{OL}	—	—	0.4	V	$I_{OL} = 3.0mA$			
		V_{OL} (注2) (注5)	—	—	0.6		$I_{OL} = 6.0mA$			
	ポート P408、P409 (注2) (注3)		V_{OH}	$VCC - 1.0$	—		—	$I_{OH} = -20mA$ $VCC = 3.3V$		
			V_{OL}	—	—		1.0	$I_{OL} = 20mA$ $VCC = 3.3V$		
	ポート P000 ~ P008、 P010 ~ P015		低駆動		V_{OH}		$AVCC0 - 0.5$	—	—	$I_{OH} = -1.0mA$
					V_{OL}		—	—	0.5	$I_{OL} = 1.0mA$
			中駆動		V_{OH}		$AVCC0 - 0.5$	—	—	$I_{OH} = -2.0mA$
					V_{OL}		—	—	0.5	$I_{OL} = 2.0mA$
	ポート P914、P915		V_{OH}	$VCC_USB - 0.5$	—		—	$I_{OH} = -1.0mA$		
			V_{OL}	—	—		0.5	$I_{OL} = 1.0mA$		
	その他の出力端子 (注4)		低駆動		V_{OH}		$VCC - 0.5$	—	—	$I_{OH} = -1.0mA$
					V_{OL}		—	—	0.5	$I_{OL} = 1.0mA$
			中駆動 (注6)		V_{OH}		$VCC - 0.5$	—	—	$I_{OH} = -2.0mA$
					V_{OL}		—	—	0.5	$I_{OL} = 2.0mA$

注 1. P100、P101、P204、P205、P206、P400、P401、P407、P408 (合計 9 端子)

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。

注 3. 特性データに基づき、製品試験は行っていません。

注 4. 入力ポートである P200、P214、P215 を除きます。

注 5. PmnPFS レジスタの P408 に対するポート駆動能力ビットで IIC に対して中駆動が選択されている場合の値です。

注 6. P212、P213 を除く

表 48.9 I/O V_{OH} , V_{OL} (3)条件 : $VCC = AVCC0 = VCC_USB = VCC_USB_LDO = 1.6 \sim 2.7V$

項目			シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000 ~ P015	低駆動	V_{OH}	$AVCC0 - 0.3$	—	—	V	$I_{OH} = -0.5mA$
			V_{OL}	—	—	0.3		$I_{OL} = 0.5mA$
		中駆動	V_{OH}	$AVCC0 - 0.3$	—	—		$I_{OH} = -1.0mA$
			V_{OL}	—	—	0.3		$I_{OL} = 1.0mA$
	ポート P914、P915	V_{OH}	$VCC_USB - 0.3$	—	—	$I_{OH} = -0.5mA$		
		V_{OL}	—	—	0.3	$I_{OL} = 0.5mA$		
	その他の出力端子 (注1)	低駆動	V_{OH}	$VCC - 0.3$	—	—		$I_{OH} = -0.5mA$
			V_{OL}	—	—	0.3		$I_{OL} = 0.5mA$
中駆動 (注2)		V_{OH}	$VCC - 0.3$	—	—	$I_{OH} = -1.0mA$		
		V_{OL}	—	—	0.3	$I_{OL} = 1.0mA$		

注 1. 入力ポートである P200、P214、P215 を除きます。

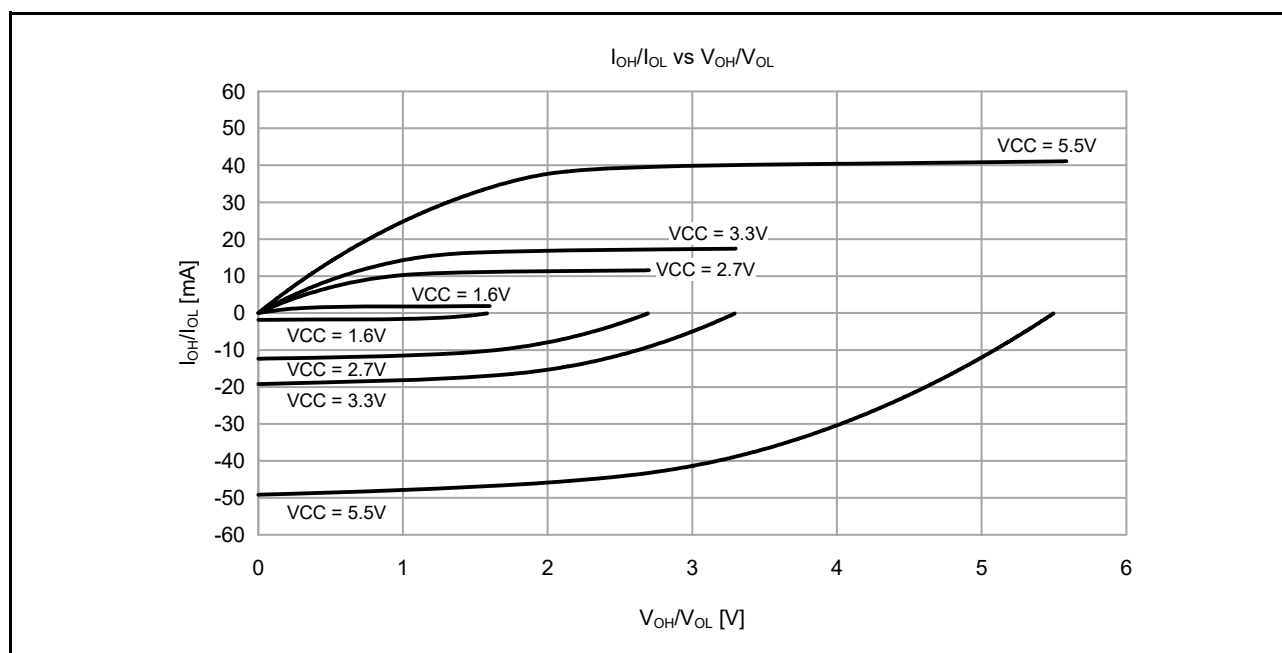
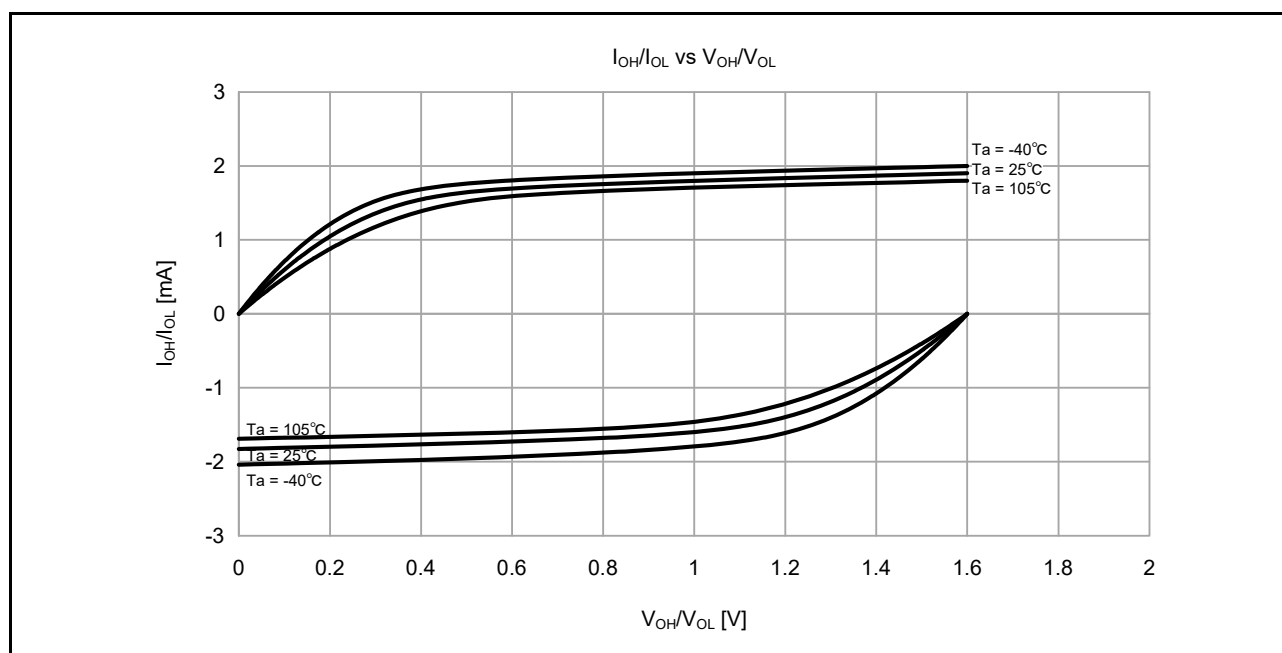
注 2. P212、P213 を除く

表 48.10 I/O その他の特性

条件 : $VCC = AVCC0 = 1.6 \sim 5.5V$

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES, P200, P214, P215	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0V$ $V_{in} = VCC$
スリーステートリーク電流 (オフ状態)	5Vトレラント対応ポート	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0V$ $V_{in} = 5.8V$
	その他のポート (ポート P200、P214、P215、 および5Vトレラントポートを 除く)		—	—	1.0		$V_{in} = 0V$ $V_{in} = VCC$
入力プルアップ抵抗	全ポート (ポート P200、P214、P215、 P914、P915を除く)	R_U	10	20	50	$k\Omega$	$V_{in} = 0V$
入力容量	P914、P915、 P100 ~ P103、P111、P112、 P200	C_{in}	—	—	30	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25^\circ C$
	その他の入力端子		—	—	15		

48.2.5 低駆動能力の入出力端子出力特性

図 48.2 低駆動出力選択時の $T_a = 25^\circ\text{C}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性 (参考データ)図 48.3 低駆動出力選択時の $V_{CC} = 1.6\text{V}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

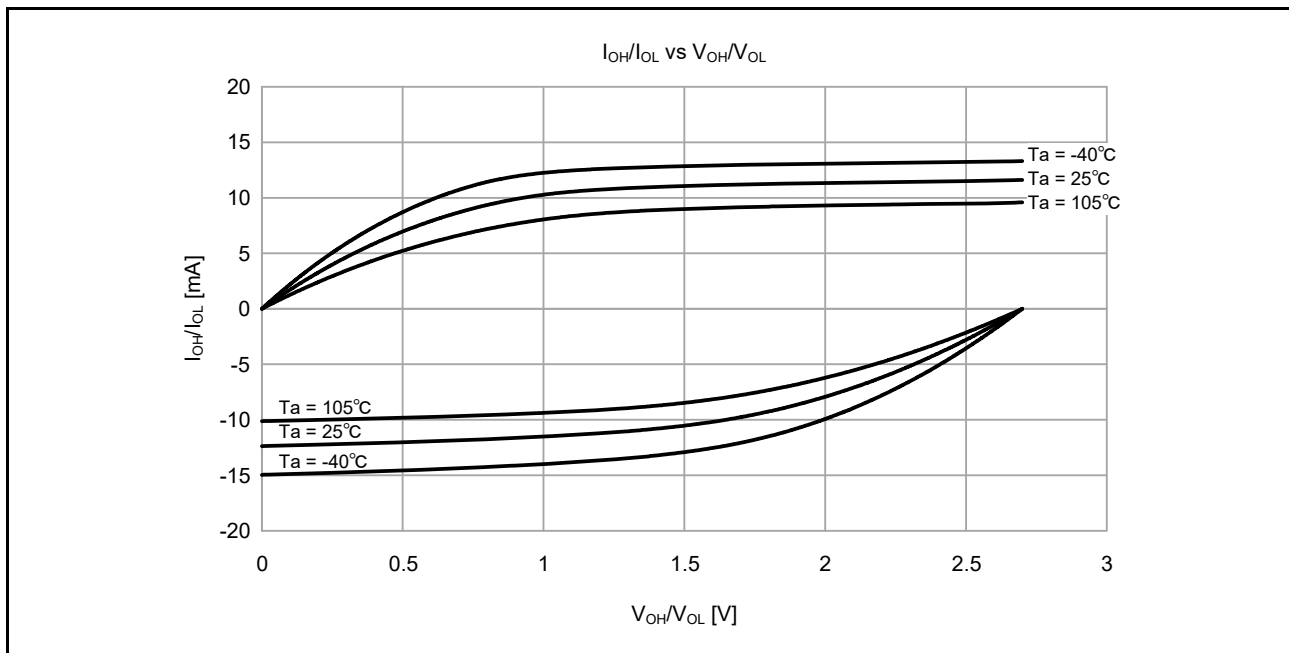


図 48.4 低駆動出力選択時の VCC = 2.7V での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

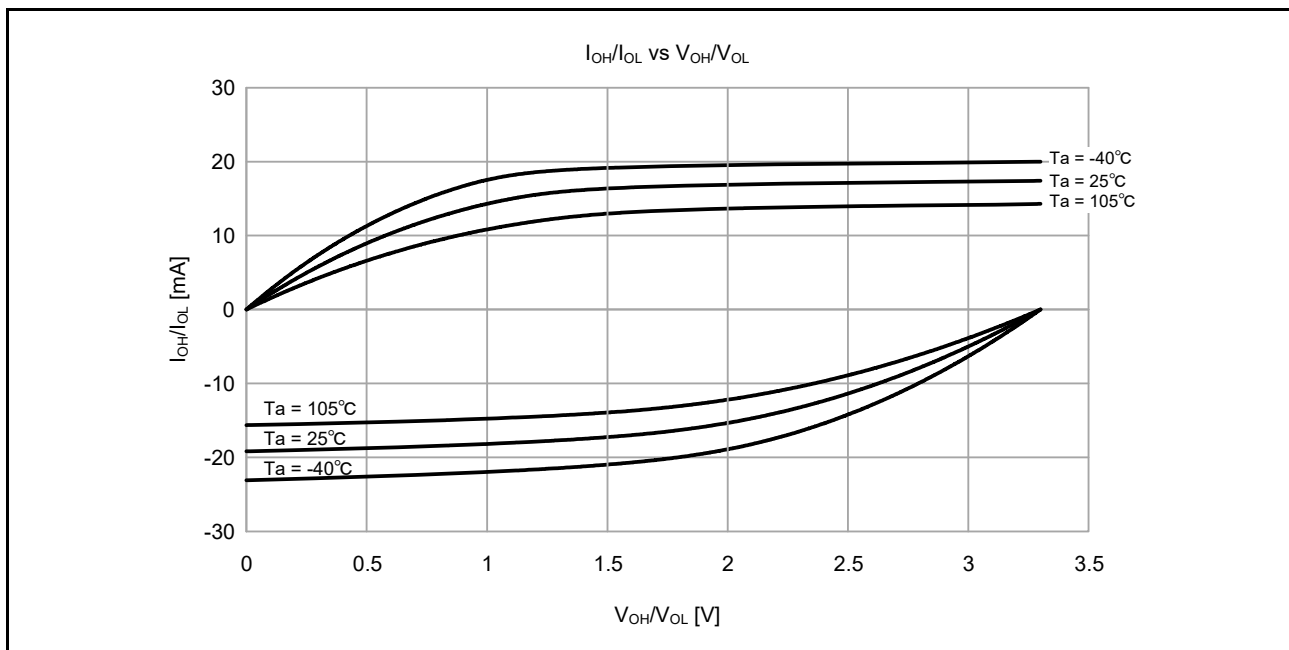


図 48.5 低駆動出力選択時の VCC = 3.3V での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

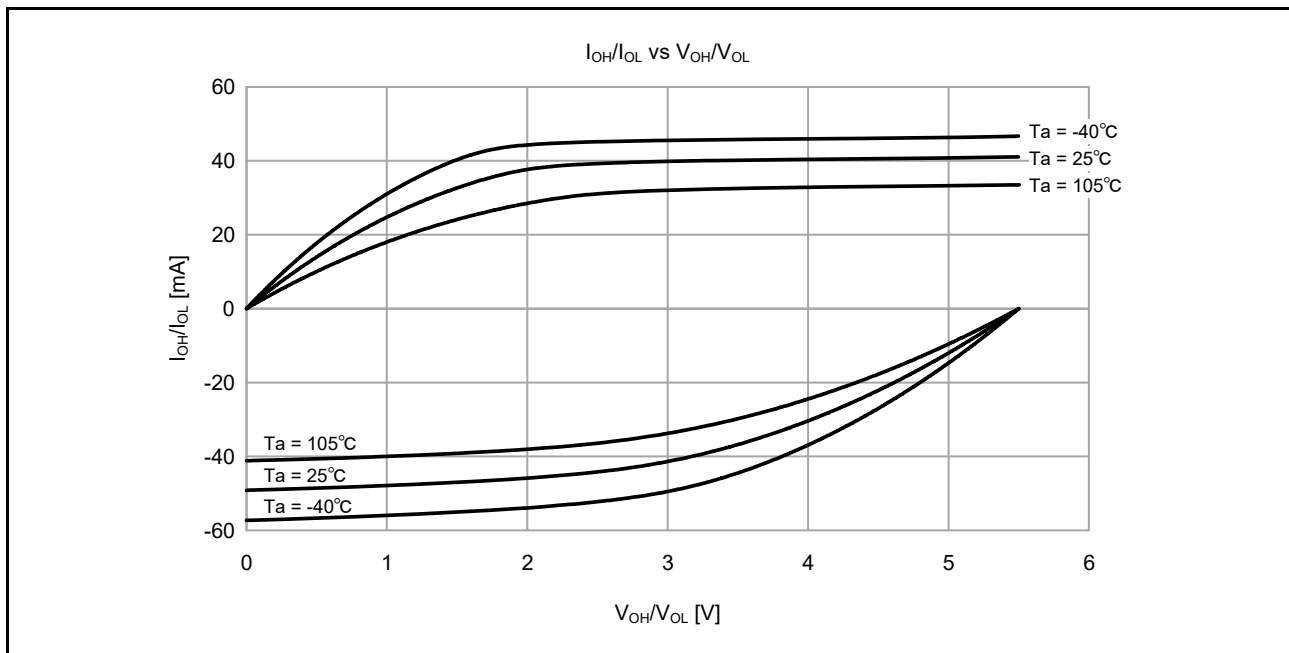
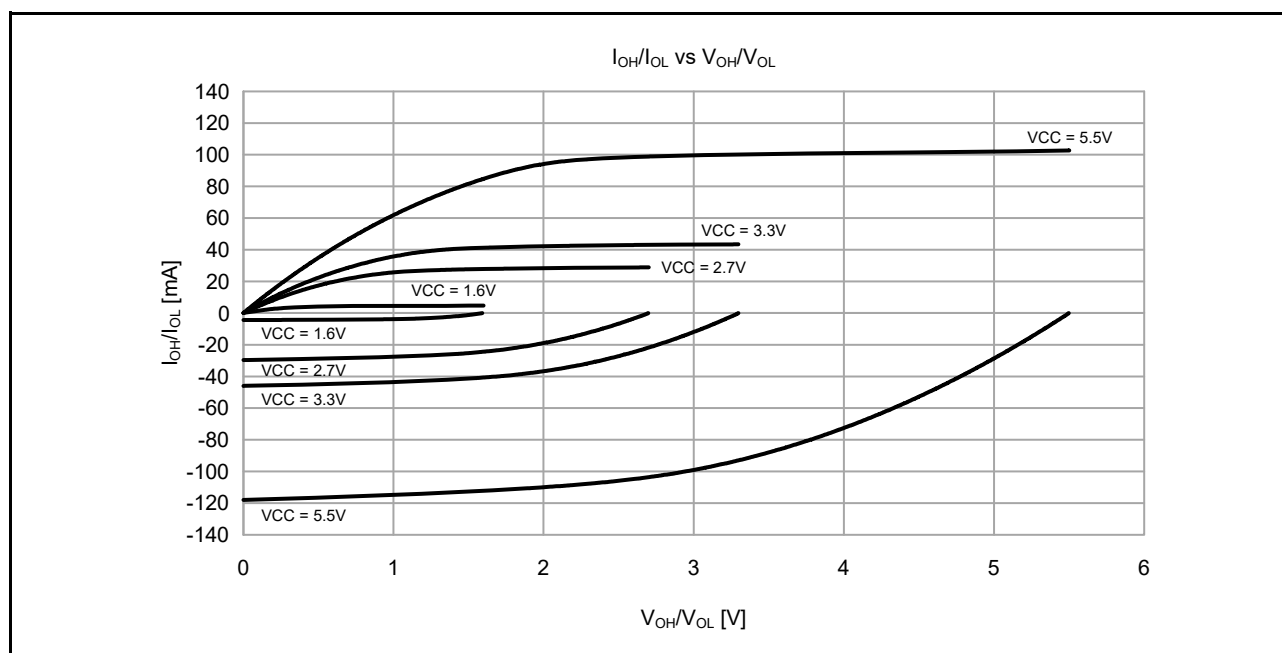
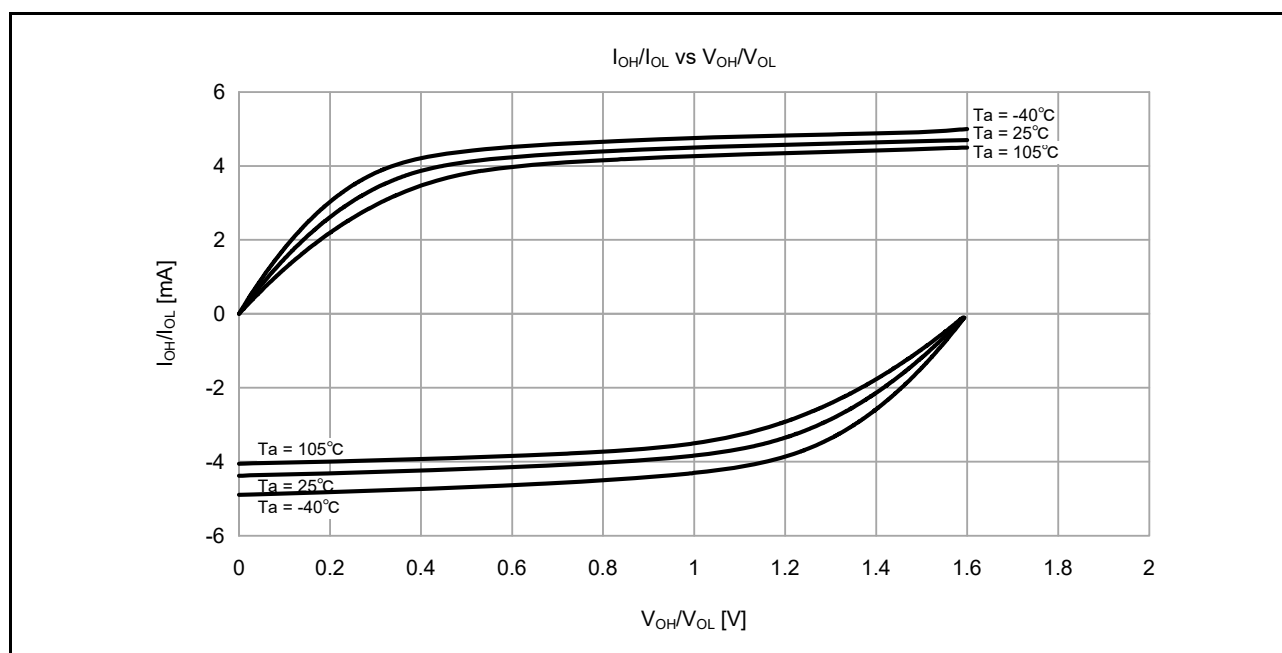


図 48.6 低駆動出力選択時の $V_{CC} = 5.5\text{V}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

48.2.6 中駆動能力の入出力端子出力特性

図 48.7 中駆動出力選択時の $T_a = 25^\circ\text{C}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性 (参考データ)図 48.8 中駆動出力選択時の $V_{CC} = 1.6\text{V}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

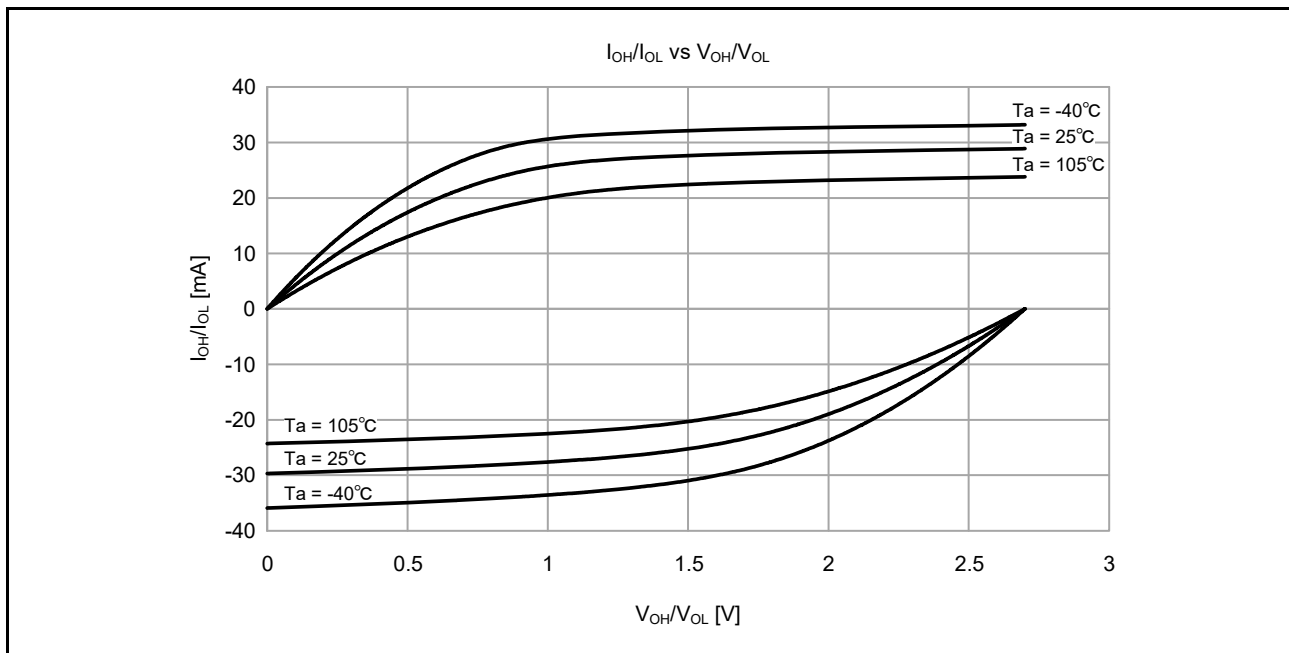


図 48.9 中駆動出力選択時の VCC = 2.7V での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

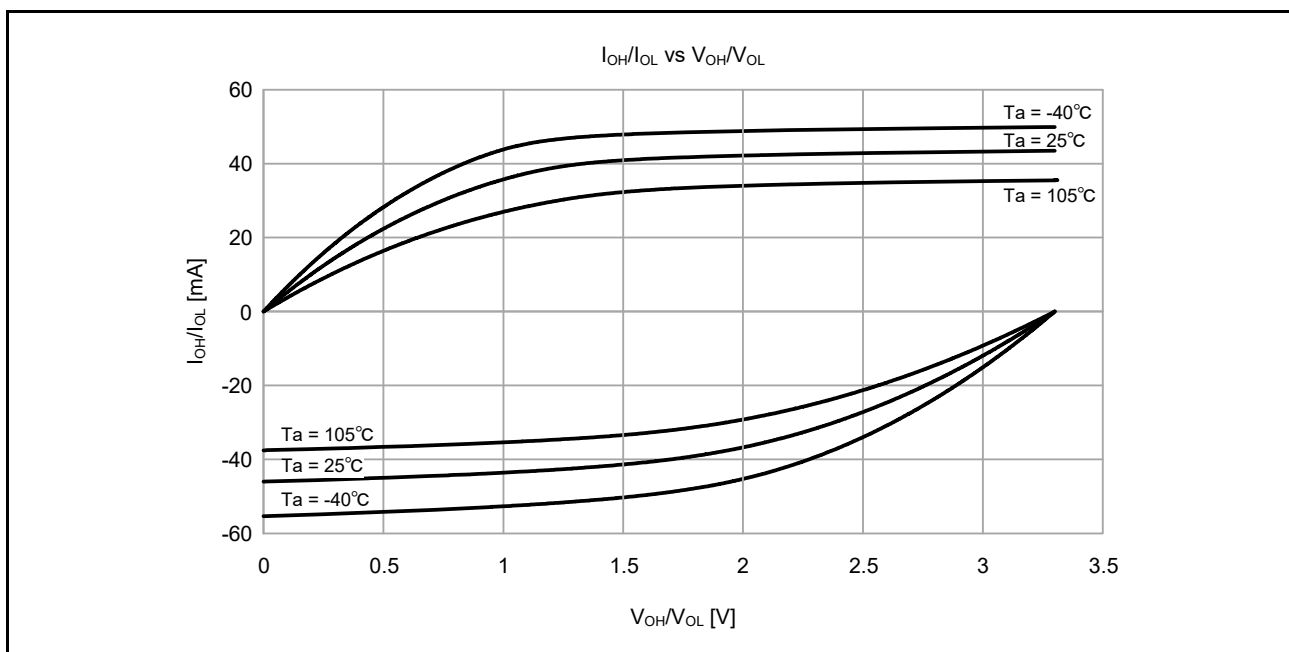


図 48.10 中駆動出力選択時の VCC = 3.3V での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

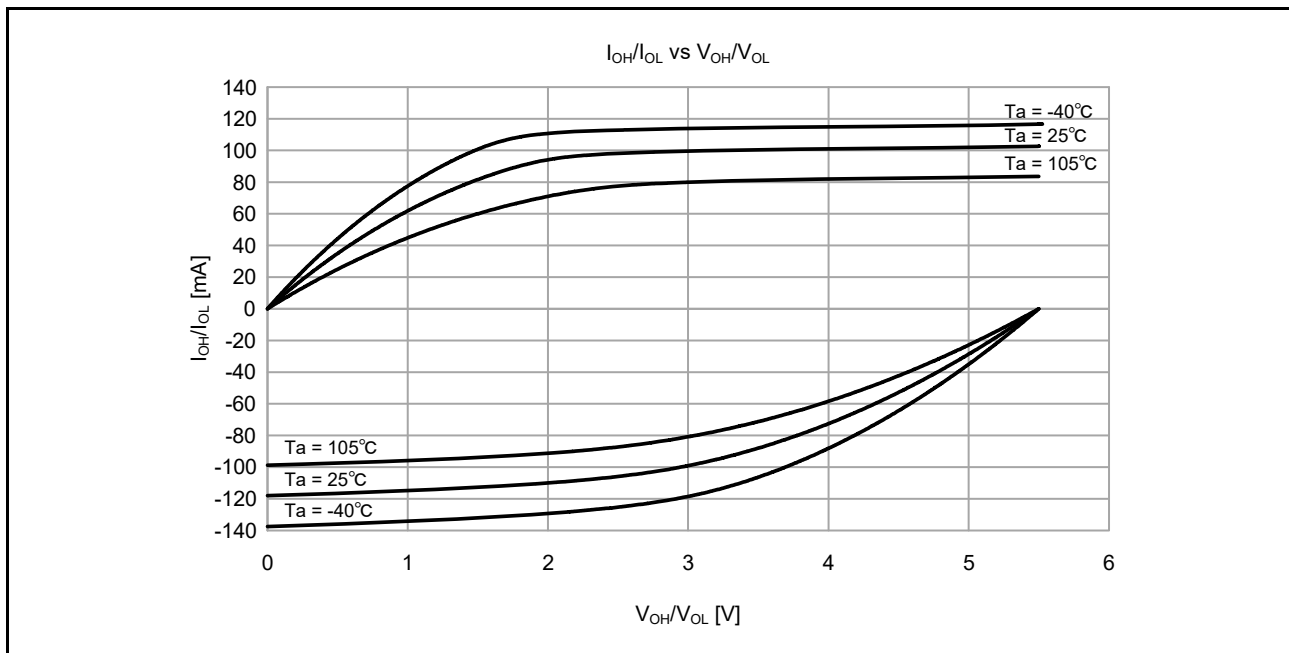


図 48.11 中駆動出力選択時の VCC = 5.5V での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

48.2.7 中駆動能力の P408、P409 入出力端子出力特性

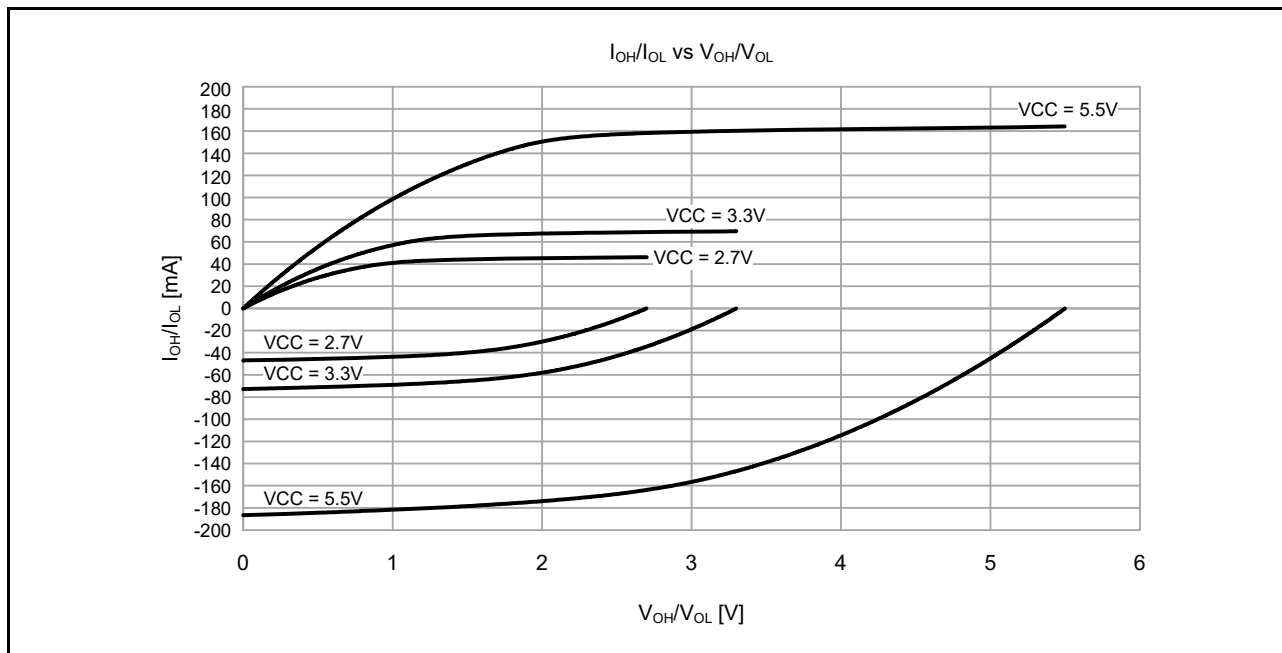


図 48.12 中駆動出力選択時の $T_a = 25\text{ }^\circ\text{C}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性 (参考データ)

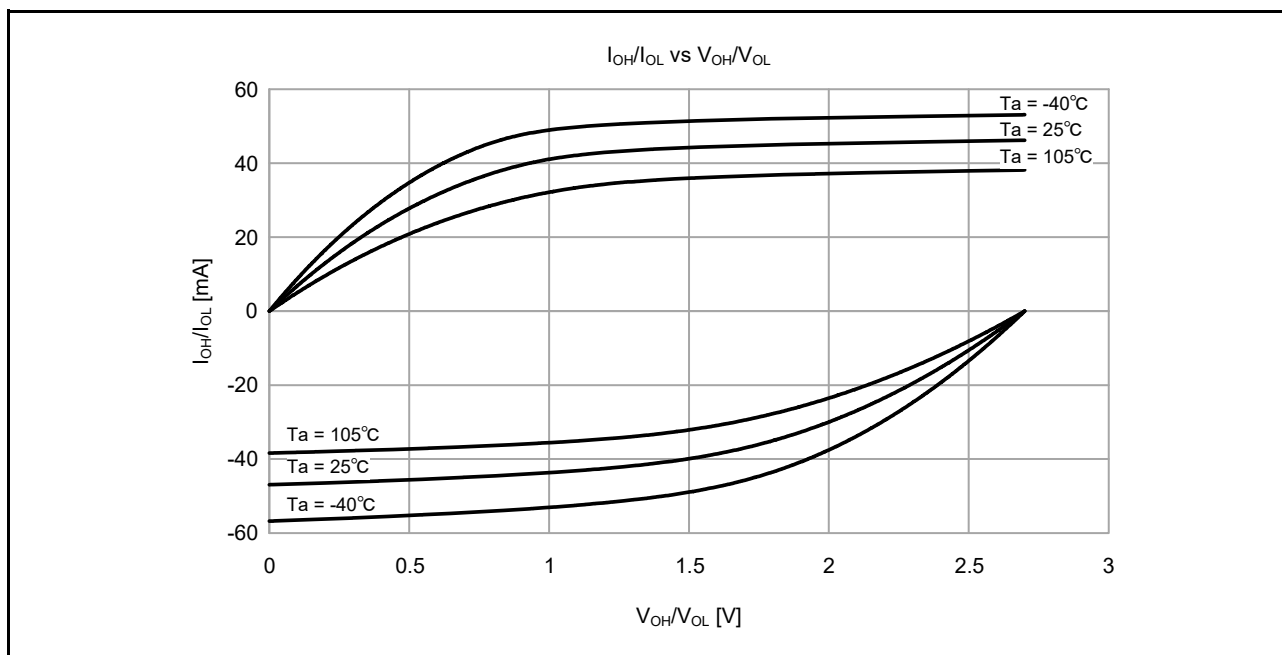


図 48.13 中駆動出力選択時の $V_{CC} = 2.7\text{V}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

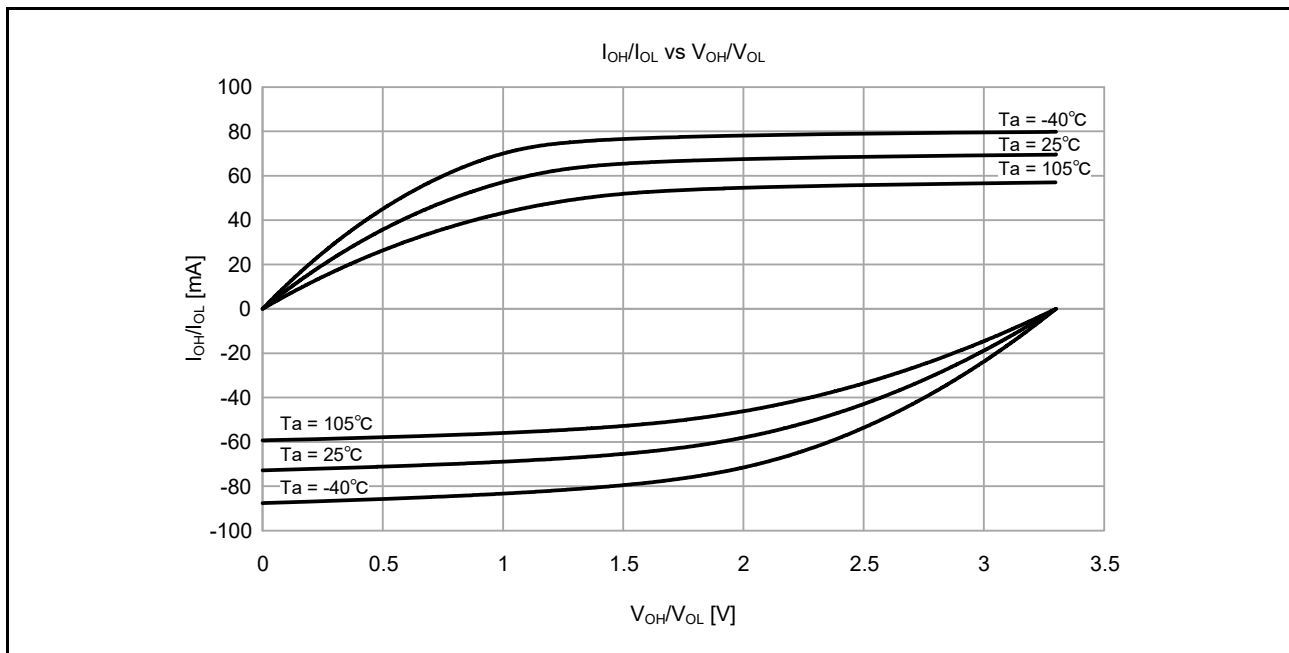


図 48.14 中駆動出力選択時の $V_{CC} = 3.3V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

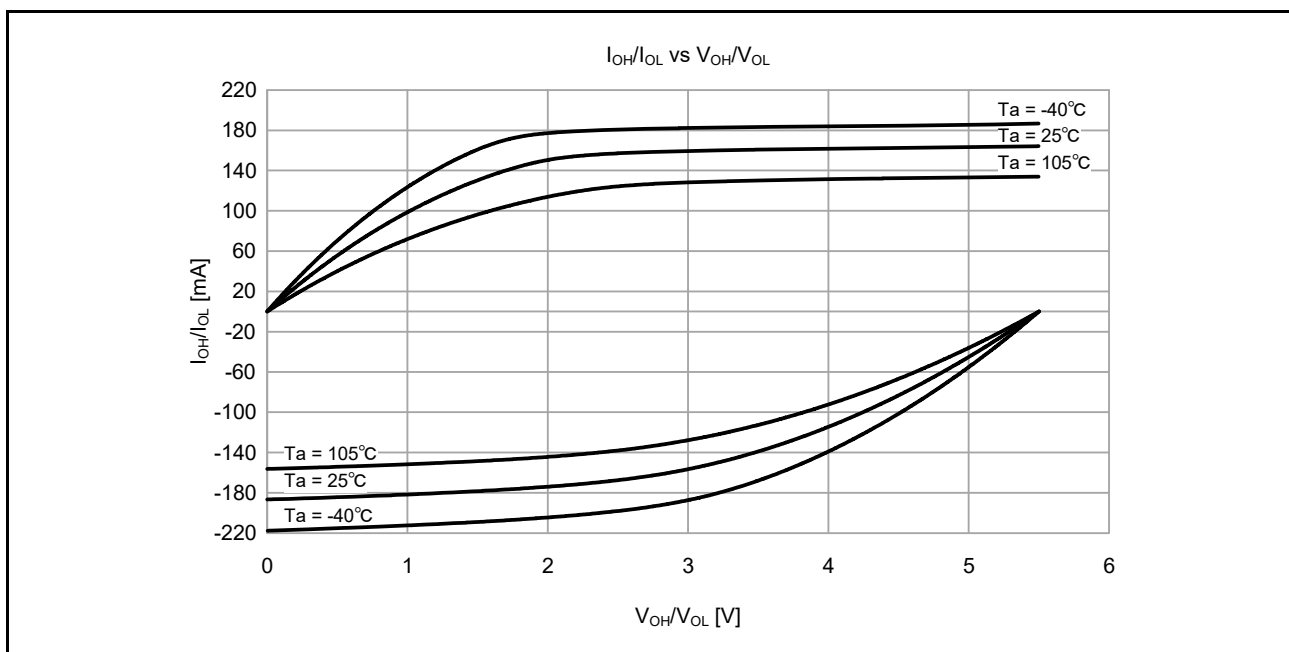
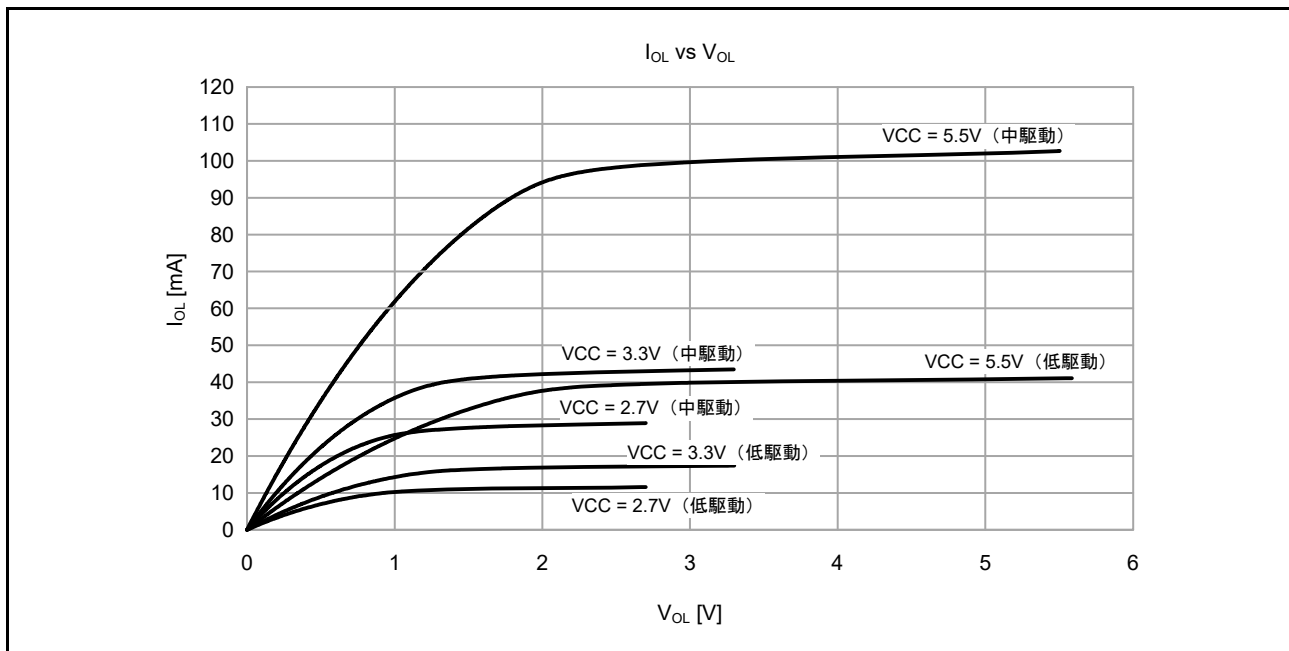


図 48.15 中駆動出力選択時の $V_{CC} = 5.5V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

48.2.8 IIC 入出力端子出力特性

図 48.16 $T_a = 25^\circ\text{C}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性

48.2.9 動作電流とスタンバイ電流

表 48.11 動作電流とスタンバイ電流 (1) (1/2)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目				シンボル	Typ (注10)	Max	単位	測定条件	
消費電流 (注1)	High-speed モード (注2)	通常モード	すべての周辺クロックが 無効、(1) コードは フラッシュから実行 (注5)	ICLK = 48MHz	I _{CC}	8.3	—	mA	(注7)
				ICLK = 32MHz		5.8	—		
				ICLK = 16MHz		3.5	—		
				ICLK = 8MHz		2.2	—		
			すべての周辺クロックが 無効、CoreMarkコードは フラッシュから実行 (注5)	ICLK = 48MHz		16.4	—		
				ICLK = 32MHz		11.3	—		
				ICLK = 16MHz		6.4	—		
				ICLK = 8MHz		4.0	—		
		すべての周辺クロックが 有効、(1) コードは フラッシュから実行 (注5)	ICLK = 48MHz	18.5	—	(注9)			
			ICLK = 32MHz	13.8	—	(注8)			
			ICLK = 16MHz	7.7	—				
			ICLK = 8MHz	4.5	—				
		スリープモード	すべての周辺クロックが 無効 (注5)	ICLK = 48MHz	—	50.0	(注9)		
				ICLK = 32MHz	3.3	—	(注7)		
				ICLK = 16MHz	2.4	—			
				ICLK = 8MHz	1.8	—			
	すべての周辺クロックが 有効 (注5)		ICLK = 48MHz	13.4	—	(注9)			
			ICLK = 32MHz	10.4	—	(注8)			
			ICLK = 16MHz	6.0	—				
			ICLK = 8MHz	3.6	—				
	BGO動作時の増加分 (注6)					2.5	—	—	
	Middle-speed モード (注2)	通常モード	すべての周辺クロックが 無効、(1) コードは フラッシュから実行 (注5)	ICLK = 12MHz	I _{CC}	2.5	—	mA	(注7)
				ICLK = 8MHz		2.0	—		
				ICLK = 1MHz		0.9	—		
ICLK = 12MHz				4.7		—			
すべての周辺クロックが 無効、CoreMarkコードは フラッシュから実行 (注5)			ICLK = 8MHz	3.7		—			
			ICLK = 1MHz	1.2		—			
			ICLK = 12MHz	5.7		—	(注8)		
			ICLK = 8MHz	4.3		—			
すべての周辺クロックが 有効、(1) コードは フラッシュから実行 (注5)			ICLK = 1MHz	1.5		—			
			ICLK = 12MHz	—		20.0			
			ICLK = 8MHz	1.2		—	(注7)		
			ICLK = 1MHz	1.2		—			
スリープモード		すべての周辺クロックが 無効 (注5)	ICLK = 12MHz	0.8	—				
			ICLK = 8MHz	4.4	—	(注8)			
			ICLK = 1MHz	3.4	—				
		すべての周辺クロックが 有効 (注5)	ICLK = 12MHz	1.4	—				
BGO動作時の増加分 (注6)					2.5	—	—		

表 48.11 動作電流とスタンバイ電流 (1) (2/2)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目				シンボル	Typ (注10)	Max	単位	測定条件	
消費電流 (注1)	Low-speed モード (注3)	通常モード	すべての周辺クロックが 無効、(1) コードは フラッシュから実行 (注5)	ICLK = 1MHz	I _{CC}	0.4	—	mA	(注7)
			すべての周辺クロックが 無効、CoreMarkコードは フラッシュから実行 (注5)	ICLK = 1MHz		0.6	—		
			すべての周辺クロックが 有効、(1) コードは フラッシュから実行 (注5)	ICLK = 1MHz		1.0	—		(注8)
			すべての周辺クロックが 有効、コードはSRAMから 実行 (注5)	ICLK = 1MHz		—	2.2		
		スリープモード	すべての周辺クロックが 無効 (注5)	ICLK = 1MHz		0.3	—	(注7)	
			すべての周辺クロックが 有効 (注5)	ICLK = 1MHz		0.9	—	(注8)	
	Low-voltage モード (注3)	通常モード	すべての周辺クロックが 無効、(1) コードは フラッシュから実行 (注5)	ICLK = 4MHz	I _{CC}	1.7	—	mA	(注7)
			すべての周辺クロックが 無効、CoreMarkコードは フラッシュから実行 (注5)	ICLK = 4MHz		2.8	—		
			すべての周辺クロックが 有効、(1) コードは フラッシュから実行 (注5)	ICLK = 4MHz		3.0	—		(注8)
			すべての周辺クロックが 有効、コードはSRAMから 実行 (注5)	ICLK = 4MHz		—	8.0		
		スリープモード	すべての周辺クロックが 無効 (注5)	ICLK = 4MHz		1.3	—	(注7)	
			すべての周辺クロックが 有効 (注5)	ICLK = 4MHz		2.5	—	(注8)	
Subosc-speed モード (注4)	通常モード	すべての周辺クロックが 無効、(1) コードは フラッシュから実行 (注5)	ICLK = 32.768kHz	I _{CC}	8.5	—	μA	(注8)	
		すべての周辺クロックが 有効、(1) コードは フラッシュから実行 (注5)	ICLK = 32.768kHz		14.9	—			
		すべての周辺クロックが 有効、コードはSRAMから 実行 (注5)	ICLK = 32.768kHz		—	83.0			
		すべての周辺クロックが 無効 (注5)	ICLK = 32.768kHz		5.0	—			
	スリープモード	すべての周辺クロックが 無効 (注5)	ICLK = 32.768kHz		5.0	—			
		すべての周辺クロックが 有効 (注5)	ICLK = 32.768kHz		11.4	—			

- 注 1. 消費電流値には、全端子からの出力充放電電流は含まれません。内部ブルアップ MOS が OFF 状態のとき、この値が適用されます。
- 注 2. クロックソースは HOCO です。
- 注 3. クロックソースは MOCO です。
- 注 4. クロックソースはサブクロック発振器です。
- 注 5. BGO 動作は含まれません。
- 注 6. プログラム実行中に、データ保管のためのフラッシュメモリのプログラム/イレースを実行した場合の増加分です。
- 注 7. FCLK、PCLKA、PCLKB、PCLKC、PCLKD は、64 分周に設定されています。
- 注 8. FCLK、PCLKA、PCLKB、PCLKC、PCLKD は、ICLK と同じ周波数です。
- 注 9. FCLK、PCLKB は、2 分周に設定されています。PCLKA、PCLKC、PCLKD は、ICLK と同じ周波数です。
- 注 10. VCC = 3.3V

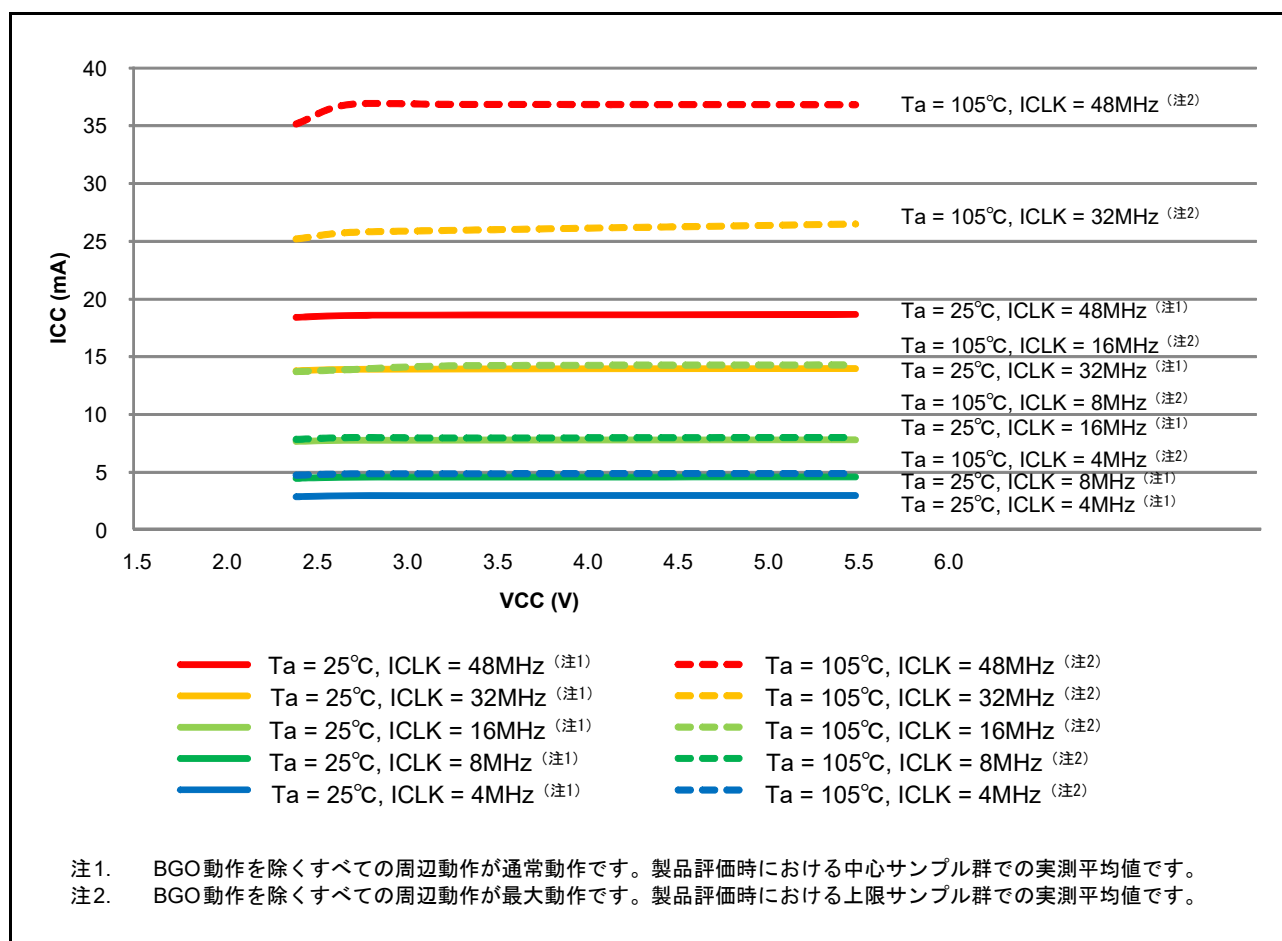


図 48.17 High-speed 動作モードにおける電圧依存性 (参考データ)

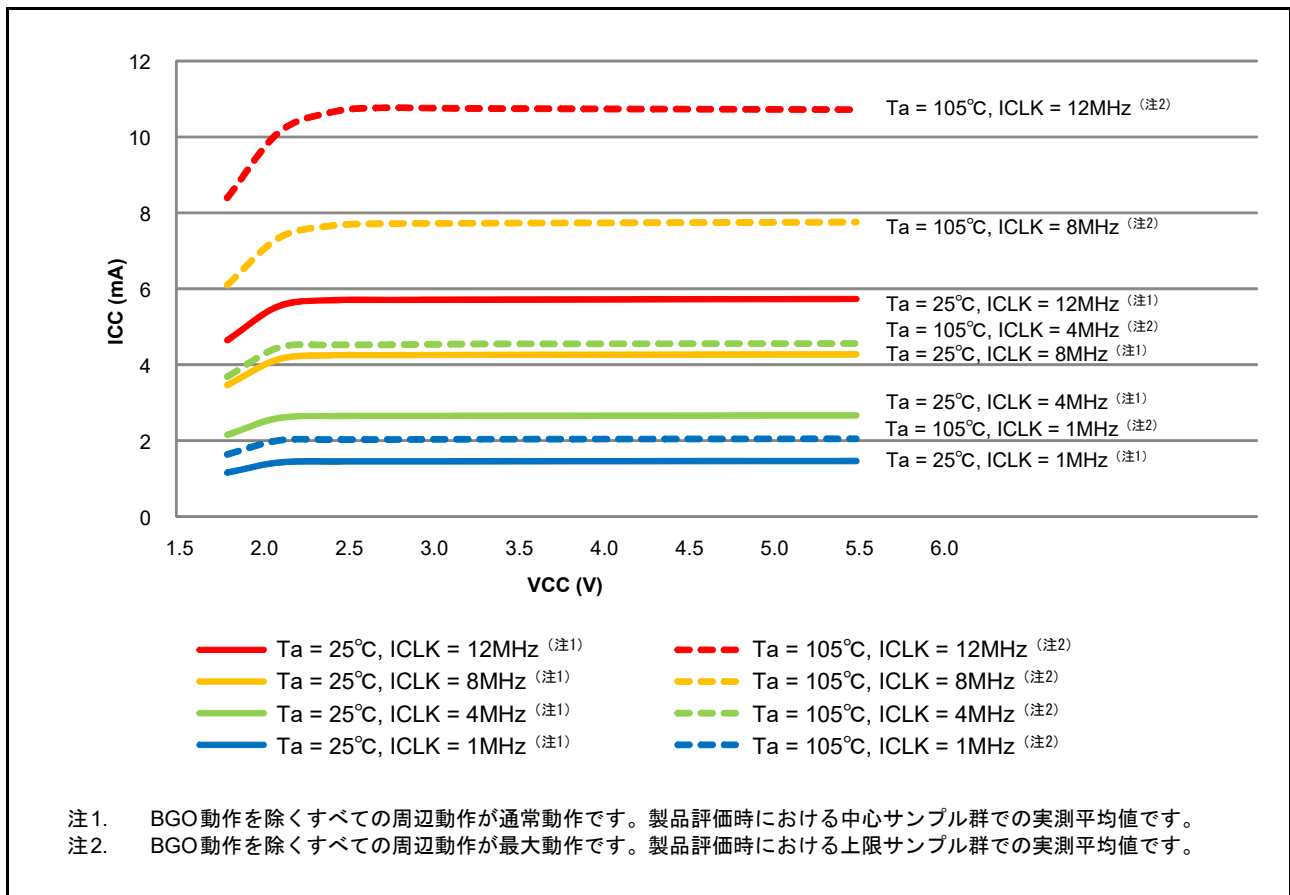


図 48.18 Middle-speed 動作モードにおける電圧依存性 (参考データ)

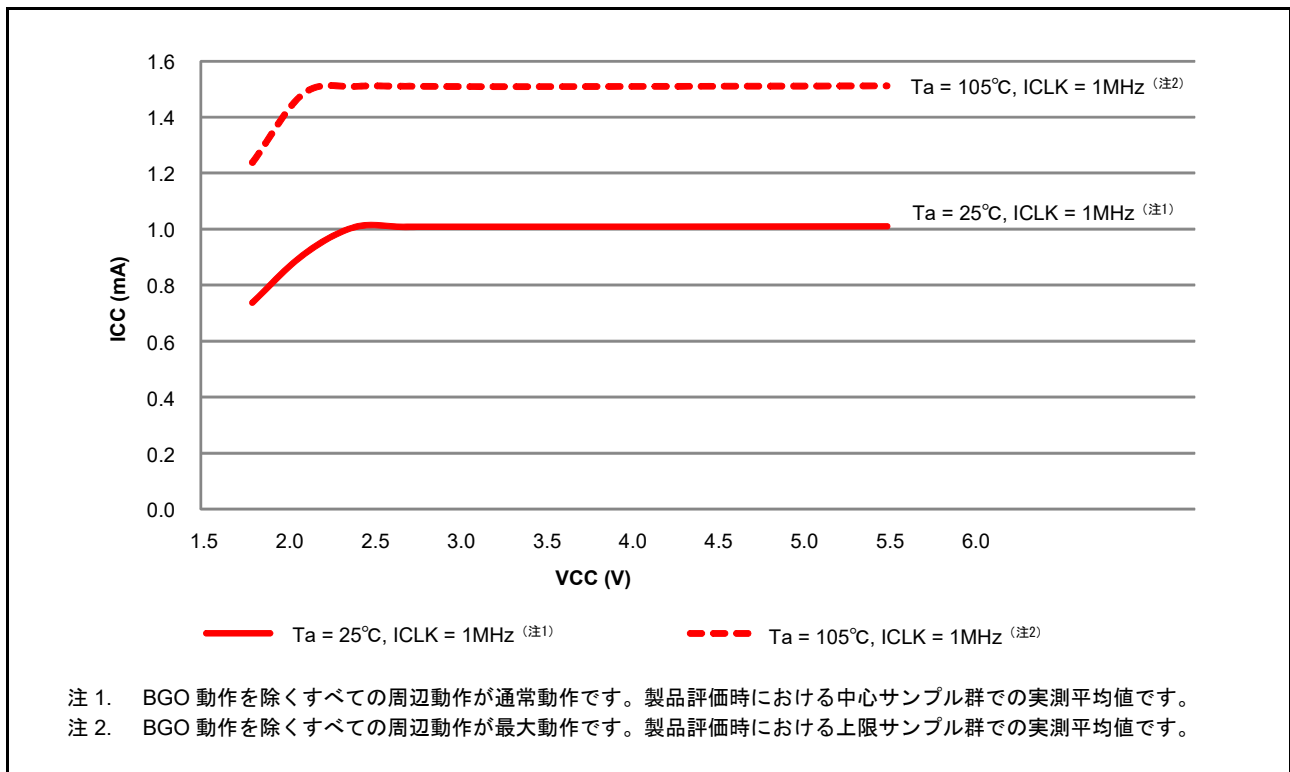


図 48.19 Low-speed モードにおける電圧依存性 (参考データ)

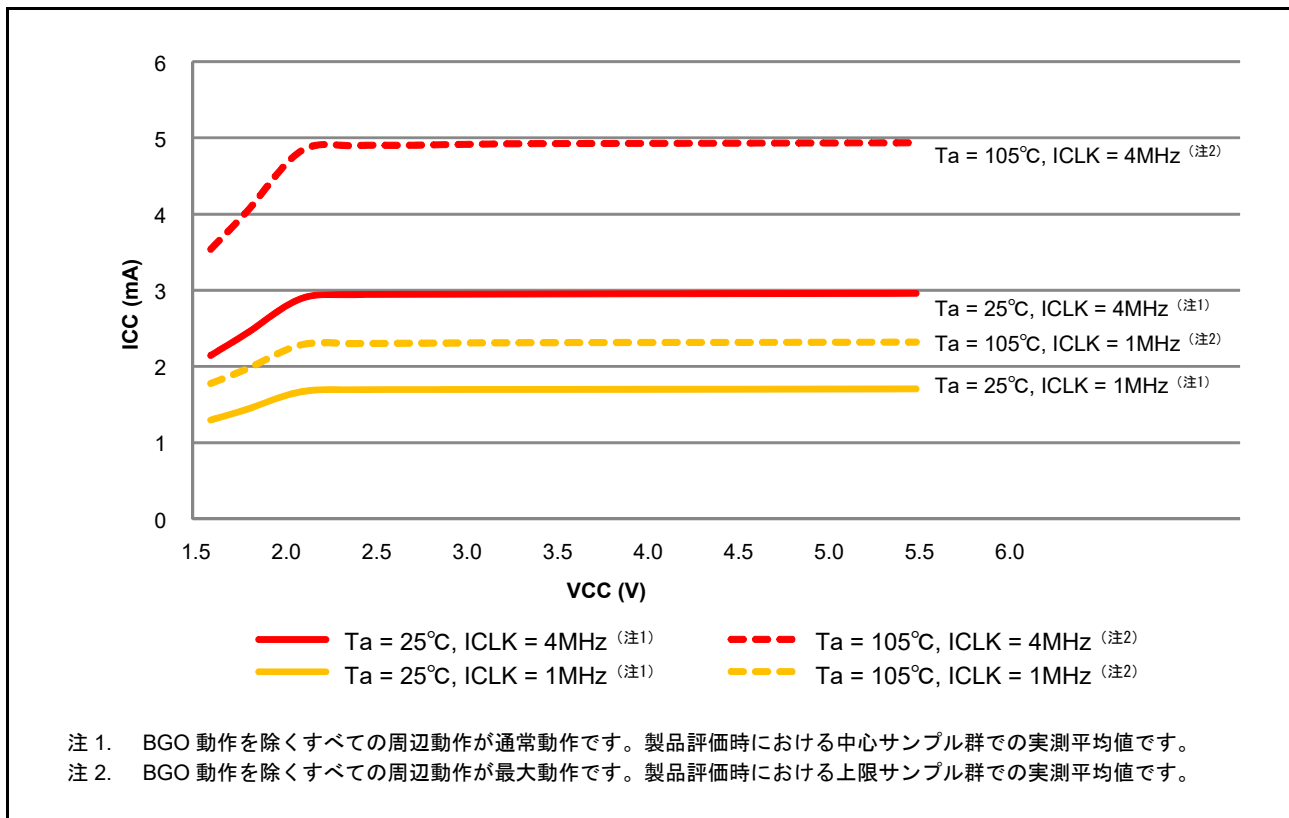


図 48.20 Low-voltage モードにおける電圧依存性 (参考データ)

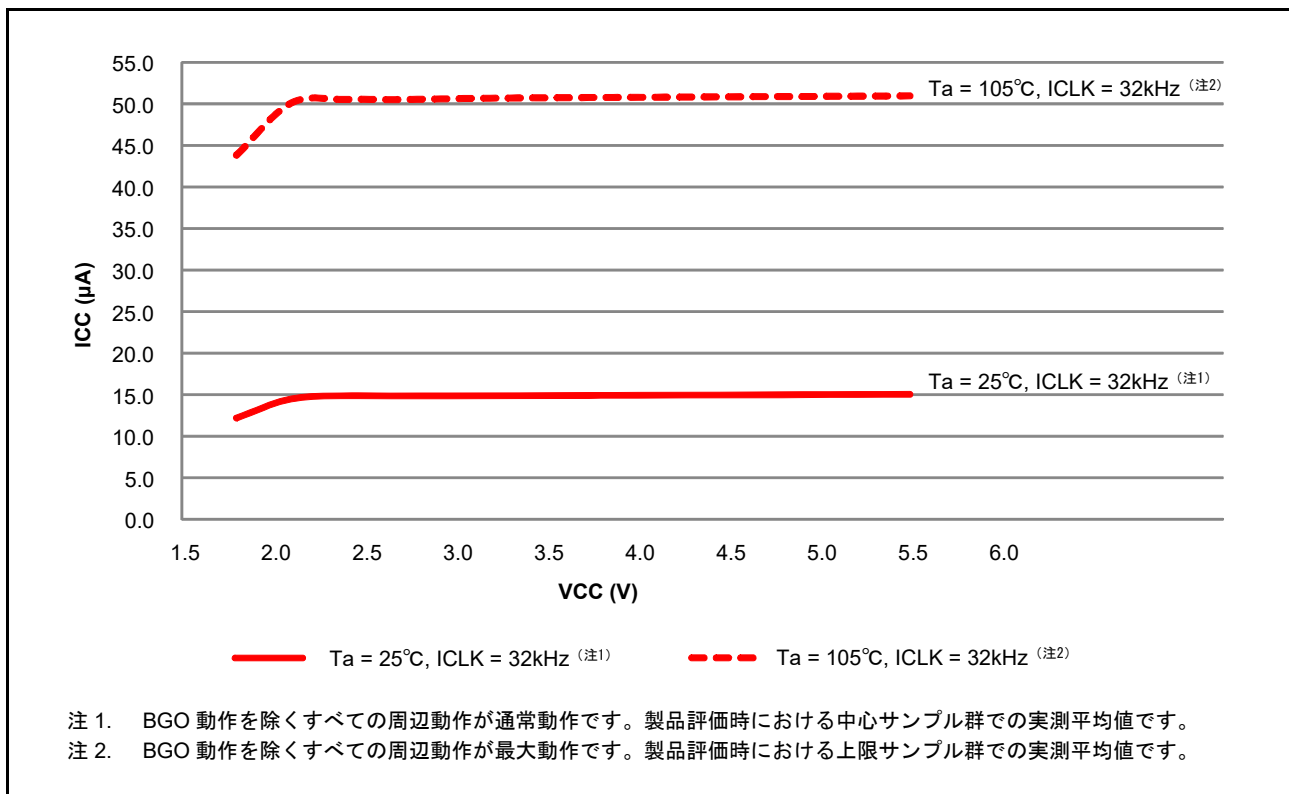


図 48.21 Subosc-speed モードにおける電圧依存性 (参考データ)

表 48.12 動作電流とスタンバイ電流 (2)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目		シンボル	Typ (注4)	Max	単位	測定条件	
消費電流 (注1)	ソフトウェアスタンバイモード (注2)	I _{CC}	T _a = 25°C	0.8	4.5	μA	—
			T _a = 55°C	1.3	7.1		
			T _a = 85°C	3.5	20.2		
			T _a = 105°C	8.7	53.7		
	低速オンチップオシレータでのRTC動作時増加分 (注3)		0.5	—	—		
	サブクロック発振器でのRTC動作時増加分 (注3)		0.4	—	SOMCR.SODRV[1:0] = 11b (低消費電力モード3)		
			1.2	—	SOMCR.SODRV[1:0] = 00b (通常モード)		

- 注 1. 消費電流値には、全端子からの出力充放電電流は含まれません。内部ブルアップ MOS が OFF 状態のとき、この値が適用されます。
- 注 2. IWDT と LVD は動作していません。
- 注 3. サブ発振回路または低速オンチップオシレータの電流を含みます。
- 注 4. VCC = 3.3V

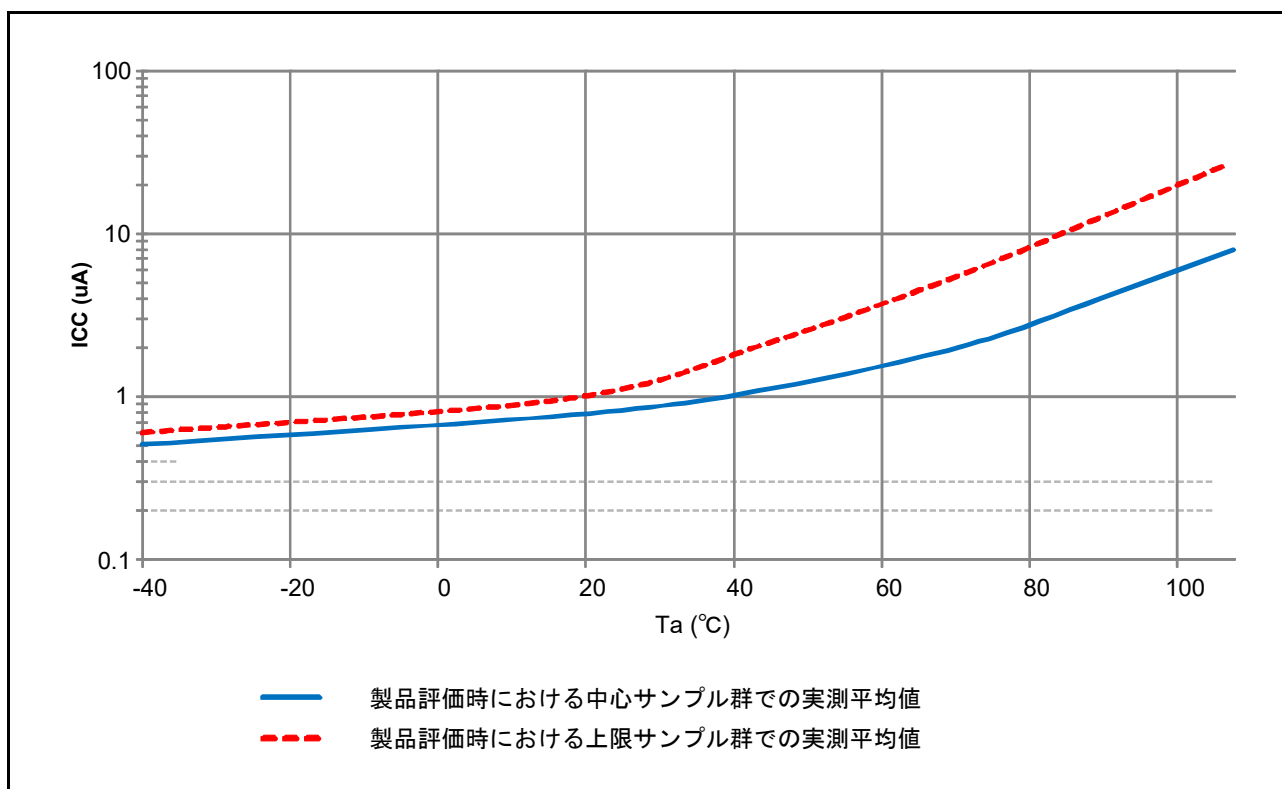


図 48.22 すべての SRAM がオンのソフトウェアスタンバイモード時の温度依存性 (参考データ)

表 48.13 動作電流とスタンバイ電流 (3)

条件 : VCC = AVCC0 = 0V、VBATT = 1.6~3.6V、VSS = AVSS0 = 0V

項目		シンボル	Typ	Max	単位	測定条件	
消費電流 (注1)	VCCがオフのときのRTC動作	I _{CC}	T _a = 25°C	0.8	—	μA	VBATT = 2.0V SOMCR.SORDRV[1:0] = 11b (低消費電力モード3)
			T _a = 55°C	0.9	—		
			T _a = 85°C	1.0	—		
			T _a = 105°C	1.1	—		
			T _a = 25°C	0.9	—		VBATT = 3.3V SOMCR.SORDRV[1:0] = 11b (低消費電力モード3)
			T _a = 55°C	1.0	—		
			T _a = 85°C	1.1	—		
			T _a = 105°C	1.2	—		
			T _a = 25°C	1.5	—		VBATT = 2.0V SOMCR.SORDRV[1:0] = 00b (通常モード)
			T _a = 55°C	1.7	—		
			T _a = 85°C	2.0	—		
			T _a = 105°C	2.2	—		
			T _a = 25°C	1.6	—		VBATT = 3.3V SOMCR.SORDRV[1:0] = 00b (通常モード)
			T _a = 55°C	1.8	—		
			T _a = 85°C	2.1	—		
			T _a = 105°C	2.3	—		

注 1. 消費電流値には、全端子からの出力充放電電流は含まれません。内部プルアップ MOS が OFF 状態のとき、この値が適用されます。

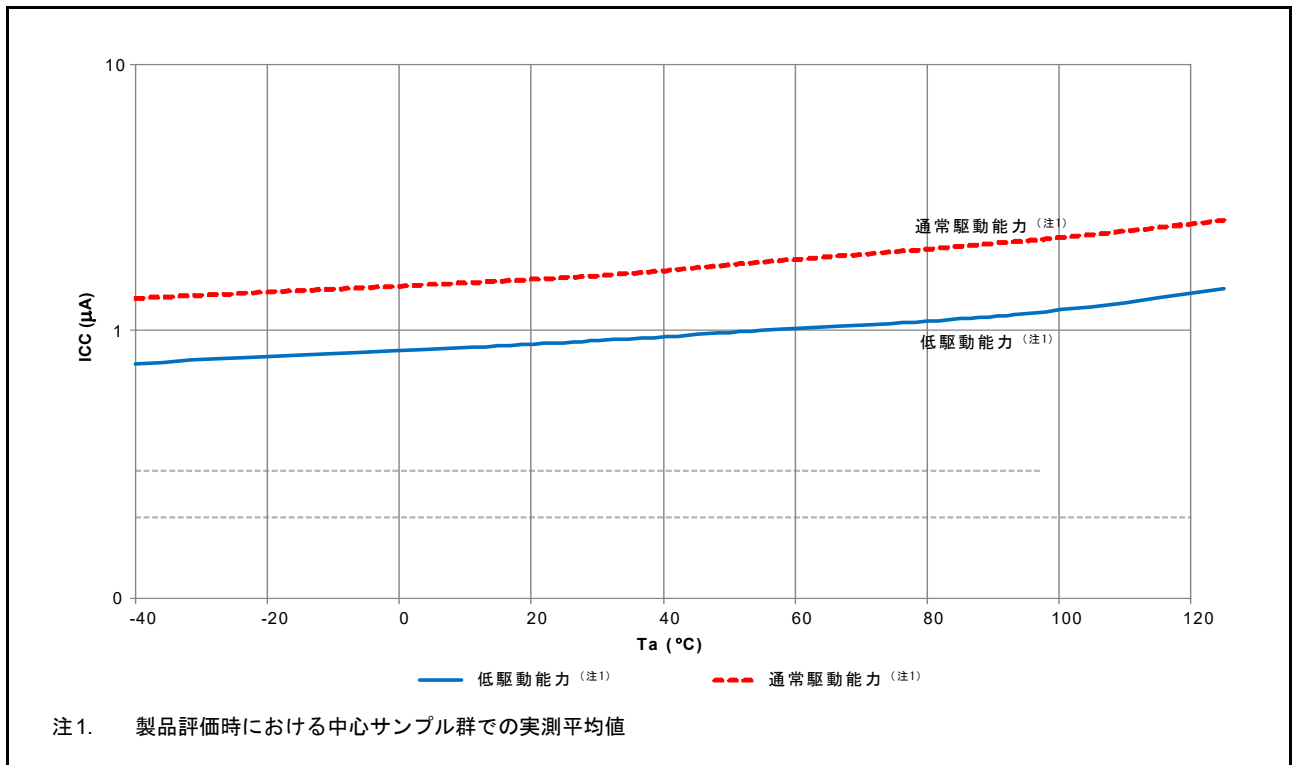


図 48.23 VCC オフ時の RTC 動作の温度依存性 (参考データ)

表 48.14 動作電流とスタンバイ電流 (4)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V、VREFH0 = 2.7V ~ AVCC0

項目		シンボル	Min	Typ	Max	単位	測定条件	
アナログ電源電流	A/D変換中 (高速変換時)	I_{AVCC}	—	—	3.0	mA	—	
	A/D変換中 (低速変換時)		—	—	1.0	mA	—	
	D/A変換中 (1チャンネル当り) (注1)		—	0.4	0.8	mA	—	
	A/D、D/A変換待機時 (全ユニット) (注6)		—	—	1.0	μ A	—	
リファレンス電源電流	A/D変換中	I_{REFH0}	—	—	150	μ A	—	
	A/D変換待機時 (全ユニット)		—	—	60	nA	—	
	D/A変換中	I_{REFH}	—	50	100	μ A	—	
	D/A変換待機時 (全ユニット)		—	—	100	μ A	—	
温度センサ		I_{TNS}	—	75	—	μ A	—	
低消費電力アナログコンパレータの動作電流	ウィンドウモード	I_{CMPLP}	—	15	—	μ A	—	
	コンパレータ High-speed モード		—	10	—	μ A	—	
	コンパレータ Low-speed モード		—	2	—	μ A	—	
	DAC8を使用したコンパレータ Low-speed モード		—	820	—	μ A	—	
オペアンプの動作電流	低消費電力モード	1ユニット動作時	I_{AMP}	—	2.5	4.0	μ A	—
		2ユニット動作時		—	4.5	8.0	μ A	—
		3ユニット動作時		—	6.5	11.0	μ A	—
		4ユニット動作時		—	8.5	14.0	μ A	—
	High-speed モード	1ユニット動作時		—	140	220	μ A	—
		2ユニット動作時		—	280	410	μ A	—
		3ユニット動作時		—	420	600	μ A	—
		4ユニット動作時		—	560	780	μ A	—
LCD動作電流	外部抵抗分割方式 $f_{LCD} = f_{SUB} = 128\text{Hz}$ 、1/3バイアス、4時分割	I_{LCD1} (注5)	—	0.34	—	μ A	—	
	内部昇圧方式 (VLCD.VLCD = 04) $f_{LCD} = f_{SUB} = 128\text{Hz}$ 、1/3バイアス、4時分割	I_{LCD2} (注5)	—	0.92	—	μ A	—	
	容量分割方式 $f_{LCD} = f_{SUB} = 128\text{Hz}$ 、1/3バイアス、4時分割	I_{LCD3} (注5)	—	0.19	—	μ A	—	
USB動作電流	以下の設定および条件でのUSB通信動作時： • ホストコントローラ動作をフルスピードモードに設定 バルクOUT転送 (64バイト) × 1 バルクIN転送 (64バイト) × 1 • USBポートから1メートルのUSBケーブル経由で周辺デバイスを接続	I_{USBH} (注2)	—	4.3 (VCC) 0.9 (VCC_USB) (注4)	—	mA	—	
	以下の設定および条件でのUSB通信動作時： • デバイスコントローラ動作をフルスピードモードに設定 バルクOUT転送 (64バイト) × 1 バルクIN転送 (64バイト) × 1 • USBポートから1メートルのUSBケーブル経由でホストデバイスを接続	I_{USBF} (注2)	—	3.6 (VCC) 1.1 (VCC_USB) (注4)	—	mA	—	
	以下の設定および条件でのサスペンド状態時： • デバイスコントローラ動作をフルスピードモードに設定 (USB_DP端子をプルアップ) • ソフトウェアスタンバイモード • USBポートから1メートルのUSBケーブル経由でホストデバイスを接続	I_{SUSP} (注3)	—	0.35 (VCC) 170 (VCC_USB) (注4)	—	μ A	—	

注 1. D/A 変換の電源電流値には、リファレンス電源電流も含まれています。

注 2. USBFS のみの消費電流です。

注 3. 強制待ち状態における本 MCU の電流消費に加え、USB_DP 端子のプルアップ抵抗からホストデバイス側のプルダウン抵抗へ供給される電流を含みます。

注 4. VCC = VCC_USB = 3.3V のとき

注 5. LCD コントローラのための電流です。LCD パネルを流れる電流は含みません。

注 6. 本 MCU がソフトウェアスタンバイモードの場合または MSTPCR.MSTPD16 (ADC140 モジュールストップビット) がモジュールストップ状態の場合

48.2.10 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 48.15 立ち上がり／立ち下がり勾配の特性

条件：VCC = AVCC0 = 0 ~ 5.5V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時のVCC 立ち上がり勾配	起動時電圧モニタ0リセット無効（通常の起動）	SrVCC	0.02	—	2	ms/V	—
	起動時電圧モニタ0リセット有効（注1）		0.02	—	—		
	SCI/USB ブートモード（注2）		0.02	—	2		

注1. OFS1.LVDAS = 0 のとき

注2. ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧モニタ0からのリセットは無効です。

表 48.16 立ち上がり／立ち下がり勾配とリップル周波数特性

条件：VCC = AVCC0 = VCC_USB = 1.6 ~ 5.5V

リップル電圧は、VCC上限（5.5V）と下限（1.6V）の範囲内で、許容リップル周波数 $f_{r(VCC)}$ を満たす必要があります。VCC変動がVCC ± 10%を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 $dt/dVCC$ を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r(VCC)}$	—	—	10	kHz	図 48.24 $V_{r(VCC)} \leq VCC \times 0.2$
		—	—	1	MHz	図 48.24 $V_{r(VCC)} \leq VCC \times 0.08$
		—	—	10	MHz	図 48.24 $V_{r(VCC)} \leq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC変動がVCC ± 10%を超える場合

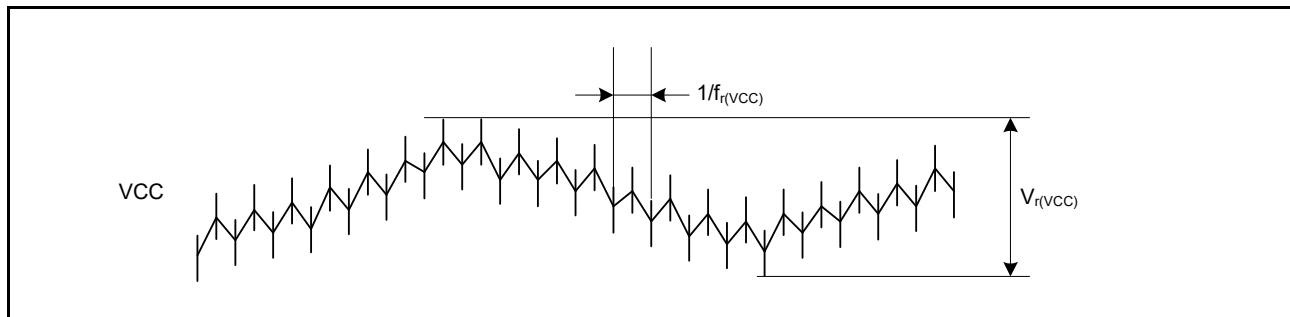


図 48.24 リップル波形

48.3 AC 特性

48.3.1 周波数

表 48.17 High-speed動作モードでの動作周波数

条件：VCC = AVCC0 = 2.4 ~ 5.5V

項目		シンボル	Min	Typ	Max (注5)	単位	
動作周波数	システムクロック (ICLK) (注4)	2.7 ~ 5.5V	f	0.032768	—	48	MHz
		2.4 ~ 2.7V	0.032768	—	16		
	フラッシュインタフェースクロック (FCLK) (注1) (注2) (注4)	2.7 ~ 5.5V	0.032768	—	32		
		2.4 ~ 2.7V	0.032768	—	16		
	周辺モジュールクロック (PCLKA) (注4)	2.7 ~ 5.5V	—	—	48		
		2.4 ~ 2.7V	—	—	16		
	周辺モジュールクロック (PCLKB) (注4)	2.7 ~ 5.5V	—	—	32		
		2.4 ~ 2.7V	—	—	16		
	周辺モジュールクロック (PCLKC) (注3) (注4)	2.7 ~ 5.5V	—	—	64		
		2.4 ~ 2.7V	—	—	16		
	周辺モジュールクロック (PCLKD) (注4)	2.7 ~ 5.5V	—	—	64		
		2.4 ~ 2.7V	—	—	16		

- 注 1. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。フラッシュメモリのプログラム/イレース時に FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は $\pm 3.5\%$ とします。クロックソースの周波数精度を確認してください。
- 注 3. 14 ビット A/D コンバータ使用時の PCLKC 下限周波数は、2.4V 以上で 4MHz、2.4V 未満で 1MHz です。
- 注 4. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK 相互間の周波数関係については、「8. クロック発生回路」を参照してください。
- 注 5. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 48.22 クロックタイミングを参照してください。

表 48.18 Middle-speed 動作モードでの動作周波数

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目		シンボル	Min	Typ	Max (注5)	単位
動作周波数	システムクロック (ICLK) (注4)	f	2.7 ~ 5.5V	—	12	MHz
			2.4 ~ 2.7V	—	12	
			1.8 ~ 2.4V	—	8	
	フラッシュインタフェースクロック (FCLK) (注1) (注2) (注4)		2.7 ~ 5.5V	—	12	
			2.4 ~ 2.7V	—	12	
			1.8 ~ 2.4V	—	8	
	周辺モジュールクロック (PCLKA) (注4)		2.7 ~ 5.5V	—	12	
			2.4 ~ 2.7V	—	12	
			1.8 ~ 2.4V	—	8	
	周辺モジュールクロック (PCLKB) (注4)		2.7 ~ 5.5V	—	12	
			2.4 ~ 2.7V	—	12	
			1.8 ~ 2.4V	—	8	
周辺モジュールクロック (PCLKC) (注3) (注4)	2.7 ~ 5.5V	—	12			
	2.4 ~ 2.7V	—	12			
	1.8 ~ 2.4V	—	8			
周辺モジュールクロック (PCLKD) (注4)	2.7 ~ 5.5V	—	12			
	2.4 ~ 2.7V	—	12			
	1.8 ~ 2.4V	—	8			

- 注 1. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。フラッシュメモリのプログラム/イレース時に FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。
- 注 3. 14 ビット A/D コンバータ使用時の PCLKC 下限周波数は、2.4V 以上で 4MHz、2.4V 未満で 1MHz です。
- 注 4. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK 相互間の周波数関係については、「8. クロック発生回路」を参照してください。
- 注 5. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 48.22 クロックタイミングを参照してください。

表 48.19 Low-speed 動作モードでの動作周波数

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目		シンボル	Min	Typ	Max (注4)	単位
動作周波数	システムクロック (ICLK) (注3)	f	1.8 ~ 5.5V	—	1	MHz
	フラッシュインタフェースクロック (FCLK) (注1) (注3)		1.8 ~ 5.5V	—	1	
	周辺モジュールクロック (PCLKA) (注3)		1.8 ~ 5.5V	—	1	
	周辺モジュールクロック (PCLKB) (注3)		1.8 ~ 5.5V	—	1	
	周辺モジュールクロック (PCLKC) (注2) (注3)		1.8 ~ 5.5V	—	1	
	周辺モジュールクロック (PCLKD) (注3)		1.8 ~ 5.5V	—	1	

- 注 1. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。
- 注 2. A/D コンバータ使用時における PCLKC 下限周波数は 1MHz です。
- 注 3. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK 相互間の周波数関係については、「8. クロック発生回路」を参照してください。
- 注 4. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 48.22 クロックタイミングを参照してください。

表 48.20 Low-voltage 動作モードでの動作周波数

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目			シンボル	Min	Typ	Max (注5)	単位
動作周波数	システムクロック (ICLK) (注4)	1.6 ~ 5.5V	f	0.032768	—	4	MHz
	フラッシュインタフェースクロック (FCLK) (注1) (注2) (注4)	1.6 ~ 5.5V		0.032768	—	4	
	周辺モジュールクロック (PCLKA) (注4)	1.6 ~ 5.5V		—	—	4	
	周辺モジュールクロック (PCLKB) (注4)	1.6 ~ 5.5V		—	—	4	
	周辺モジュールクロック (PCLKC) (注3) (注4)	1.6 ~ 5.5V		—	—	4	
	周辺モジュールクロック (PCLKD) (注4)	1.6 ~ 5.5V		—	—	4	

- 注 1. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。フラッシュメモリのプログラム/イレース時に FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は $\pm 3.5\%$ とします。クロックソースの周波数精度を確認してください。
- 注 3. 14 ビット A/D コンバータ使用時の PCLKC 下限周波数は、2.4V 以上で 4MHz、2.4V 未満で 1MHz です。
- 注 4. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK 相互間の周波数関係については、「8. クロック発生回路」を参照してください。
- 注 5. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 48.22 クロックタイミングを参照してください。

表 48.21 Subosc-speed 動作モードでの動作周波数

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注3)	1.8 ~ 5.5V	f	27.8528	32.768	37.6832	kHz
	フラッシュインタフェースクロック (FCLK) (注1) (注3)	1.8 ~ 5.5V		27.8528	32.768	37.6832	
	周辺モジュールクロック (PCLKA) (注3)	1.8 ~ 5.5V		—	—	37.6832	
	周辺モジュールクロック (PCLKB) (注3)	1.8 ~ 5.5V		—	—	37.6832	
	周辺モジュールクロック (PCLKC) (注2) (注3)	1.8 ~ 5.5V		—	—	37.6832	
	周辺モジュールクロック (PCLKD) (注3)	1.8 ~ 5.5V		—	—	37.6832	

- 注 1. フラッシュメモリのプログラムまたはイレースはできません。
- 注 2. 14 ビット A/D コンバータは使用できません。
- 注 3. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK 相互間の周波数関係については、「8. クロック発生回路」を参照してください。

48.3.2 クロックタイミング

表 48.22 クロックタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t_{Xcyc}	50	—	—	ns	図 48.25
EXTAL 外部クロック入力 High レベルパルス幅	t_{XH}	20	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅	t_{XL}	20	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t_{Xr}	—	—	5	ns	
EXTAL 外部クロック立ち下がり時間	t_{Xf}	—	—	5	ns	
EXTAL 外部クロック入力待機時間 (注1)	t_{EXWT}	0.3	—	—	μ s	—
EXTAL 外部クロック入力周波数	f_{EXTAL}	—	—	20	MHz	$2.4 \leq VCC \leq 5.5$
		—	—	8		$1.8 \leq VCC < 2.4$
		—	—	1		$1.6 \leq VCC < 1.8$
メインクロック発振器発振周波数	f_{MAIN}	1	—	20	MHz	$2.4 \leq VCC \leq 5.5$
		1	—	8		$1.8 \leq VCC < 2.4$
		1	—	4		$1.6 \leq VCC < 1.8$
メインクロック発振安定待機時間 (水晶) (注9)	$t_{MAINOSCWT}$	—	—	— (注9)	ms	—
LOCO クロック発振周波数	f_{LOCO}	27.8528	32.768	37.6832	kHz	—
LOCO クロック発振安定時間	t_{LOCO}	—	—	100	μ s	図 48.26
IWDT 専用クロック発振周波数	f_{ILOCO}	12.75	15	17.25	kHz	—
MOCO クロック発振周波数	f_{MOCO}	6.8	8	9.2	MHz	—
MOCO クロック発振安定時間	t_{MOCO}	—	—	1	μ s	—
HOCO クロック発振周波数	f_{HOCO24}	23.64	24	24.36	MHz	$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		22.68	24	25.32		$T_a = -40 \sim 85^\circ\text{C}$ $1.6 \leq VCC < 1.8$
		23.76	24	24.24		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		23.52	24	24.48		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
	f_{HOCO32}	31.52	32	32.48		$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		30.24	32	33.76		$T_a = -40 \sim 85^\circ\text{C}$ $1.6 \leq VCC < 1.8$
		31.68	32	32.32		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		31.36	32	32.64		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
	f_{HOCO48} (注4)	47.28	48	48.72		$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		47.52	48	48.48		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		47.04	48	48.96		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
	f_{HOCO64} (注5)	63.04	64	64.96		$T_a = -40 \sim -20^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
		63.36	64	64.64		$T_a = -20 \sim 85^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
		62.72	64	65.28		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$

表 48.22 クロックタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
HOCOクロック発振安定時間 (注6) (注7)	Low-voltage モード 以外	t _{HOCO24}	—	—	37.1	μs	図 48.27
		t _{HOCO32}	—	—	—		
		t _{HOCO48}	—	—	43.3		
	Low-voltage モード	t _{HOCO64}	—	—	80.6		
		t _{HOCO24}	—	—	100.9		
		t _{HOCO32}	—	—			
t _{HOCO48}	—	—					
PLL入力周波数 (注2)	f _{PLLIN}	4	—	12.5	MHz	—	
PLL回路発振周波数 (注2)	f _{PLL}	24	—	64	MHz	—	
PLLクロック発振安定時間 (注8)	t _{PLL}	—	—	55.5	μs	図 48.29	
PLLフリーラン発振周波数	f _{PLLFR}	—	8	—	MHz	—	
サブクロック発振器発振周波数	f _{SUB}	—	32.768	—	kHz	—	
サブクロック発振安定時間 (注3)	t _{SUBOSC}	—	—	— (注3)	s	図 48.30	

- 注 1. 外部クロックが安定しているとき、メインクロック発振器停止ビット (MOSCCR.MOSTP) を 0 (動作中) にしてからクロックが使用できるようになるまでの時間
- 注 2. PLL を使用できる VCC 範囲は 2.4 ~ 5.5V です。
- 注 3. SOSCCR.SOSTP ビットを変更してサブクロック発振器の動作が開始したら、発振器製造者の推奨値以上に設定したサブクロック発振安定待機時間を経過してからサブクロック発振器の使用を開始してください。
- 注 4. 48MHz HOCO は、VCC = 1.8 ~ 5.5V の範囲内で使用できます。
- 注 5. 64MHz HOCO は、VCC = 2.4 ~ 5.5V の範囲内で使用できます。
- 注 6. MOCO 停止状態で HOCOCR.HCSTP ビットを 0 (動作) にした場合の特性です。
MOCO 発振中に HOCOCR.HCSTP ビットを 0 (動作) にすると、この仕様は 1μs 短くなります。
- 注 7. 安定時間が経過したかどうかは OSCSF.HOCOSF ビットで確認できます。
- 注 8. MOCO 停止状態で PLLCR.PLLSTP ビットを 0 (動作) にした場合の特性です。
MOCO 発振中に PLLCR.PLLSTP ビットを 0 (動作) にすると、この仕様は 1μs 短くなります。
- 注 9. メインクロックを設定する場合、発振器メーカーに発振評価を確認し、その結果を推奨発振安定時間として使用してください。
MOSCWTCR レジスタを、推奨安定時間以上に設定してください。メインクロック発振器が動作するように MOSCCR.MOSTP ビットの設定を変更した後、OSCSF.MOSCSF フラグが 1 であることを確認してからメインクロックの使用を開始してください。

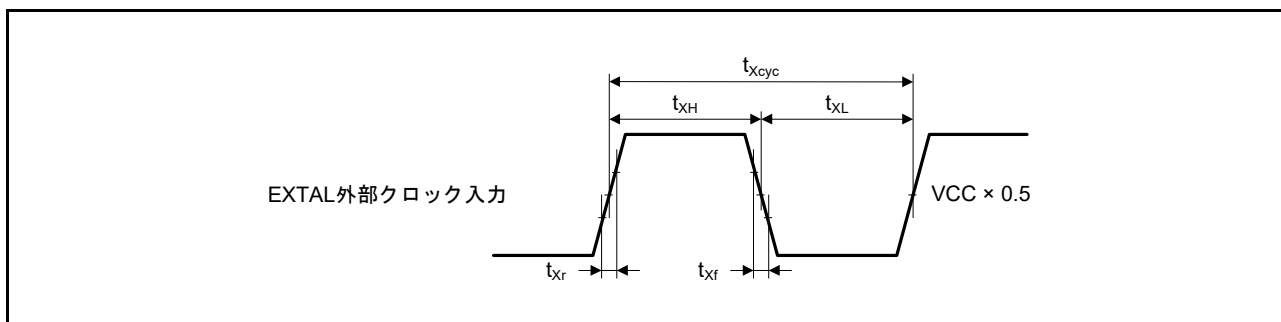


図 48.25 EXTAL 外部クロック入力タイミング

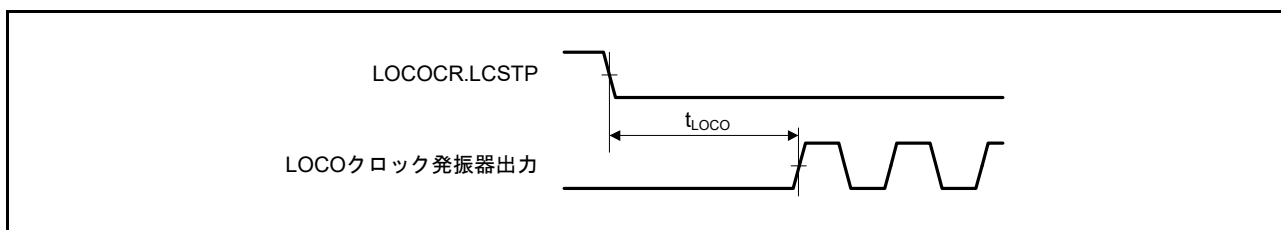


図 48.26 LOCO クロック発振開始タイミング

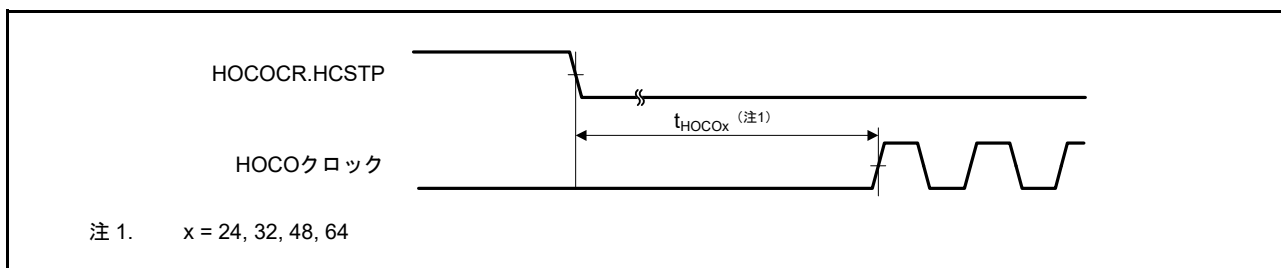


図 48.27 HOCO クロック発振開始タイミング (HOCOCCR.HCSTP ビット設定による開始)

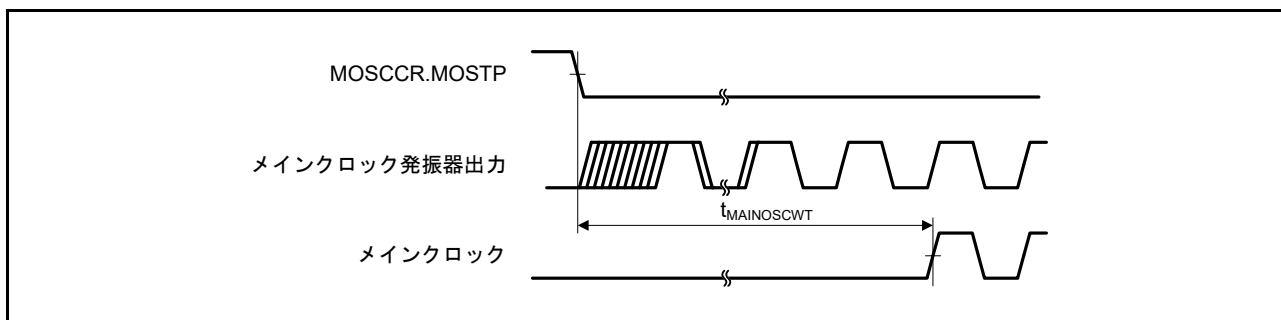


図 48.28 メインクロック発振開始タイミング

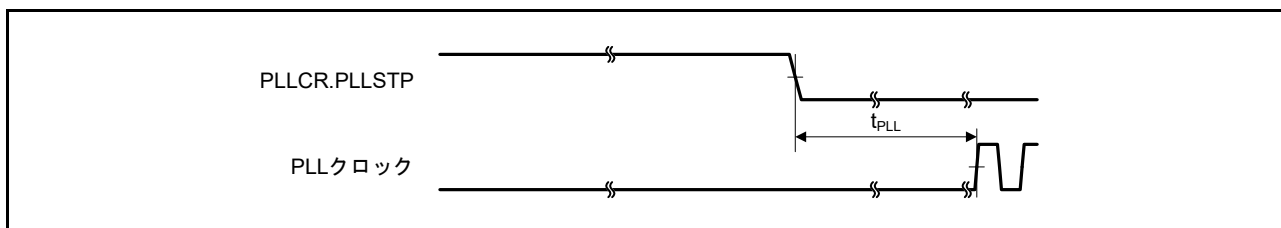


図 48.29 PLL クロック発振開始タイミング (メインクロックの発振安定後に PLL を動作させたとき)

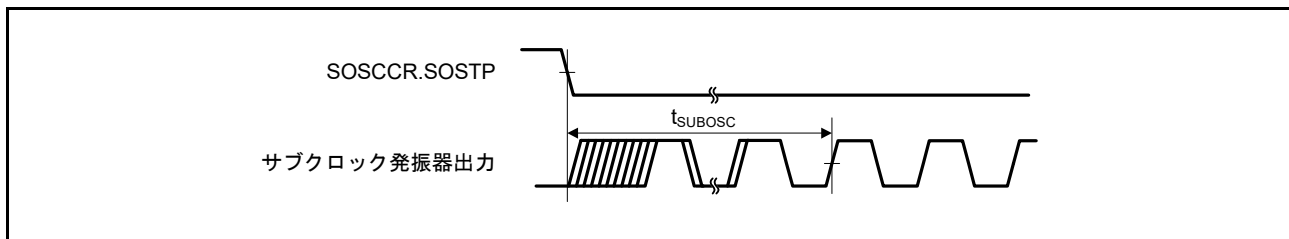


図 48.30 サブクロック発振開始タイミング

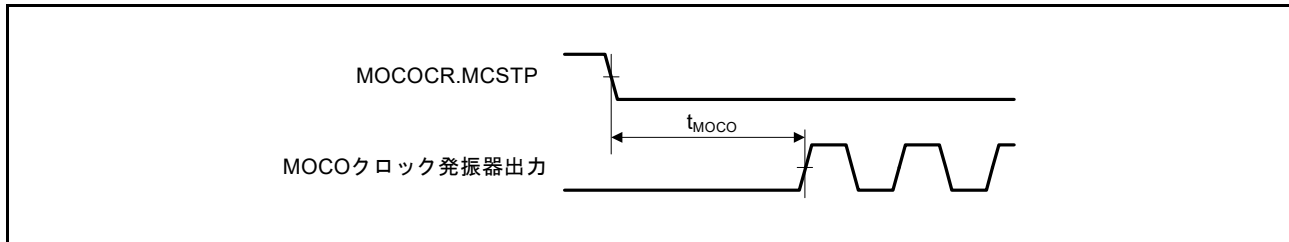


図 48.31 MOCO クロック発振開始タイミング

48.3.3 リセットタイミング

表 48.23 リセットタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件	
RESパルス幅	電源投入時	t_{RESWP}	3	—	—	ms	図 48.32
	上記以外	t_{RESW}	30	—	—	μ s	図 48.33
RES解除後の待機時間 (電源投入時)	LVD0: 有効 (注1)	t_{RESWT}	—	0.7	—	ms	図 48.32
	LVD0: 無効 (注2)		—	0.3	—		
RES解除後の待機時間 (電源投入中)	LVD0: 有効 (注1)	t_{RESWT2}	—	0.5	—	ms	図 48.33
	LVD0: 無効 (注2)		—	0.05	—		
内部リセット解除時間 (ウォッチドッグ タイマリセット、SRAMパリティエラー リセット、SRAM ECCエラーリセット、 バスマスタMPUエラーリセット、バスマ スレーブMPUエラーリセット、スタックポ インタエラーリセット、ソフトウェアリ セット)	LVD0: 有効 (注1)	t_{RESWT3}	—	0.6	—	ms	—
	LVD0: 無効 (注2)		—	0.15	—		

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

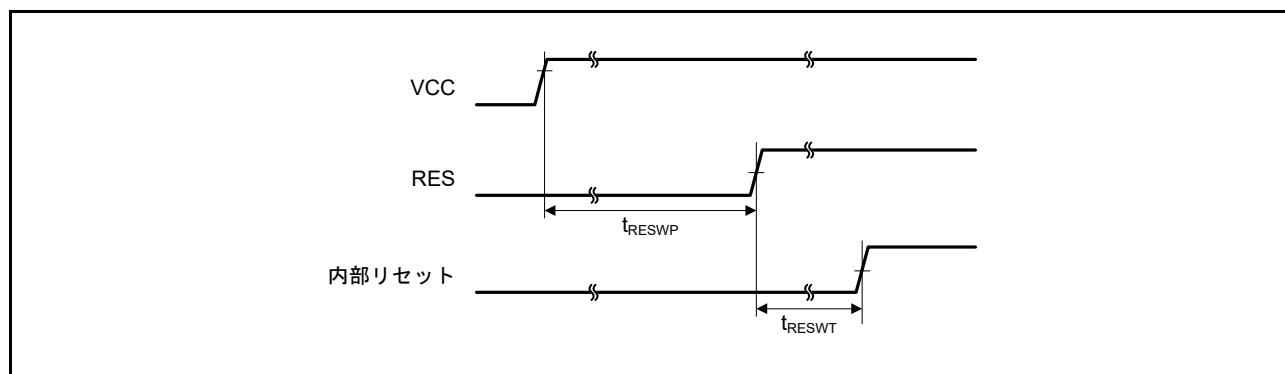


図 48.32 電源投入時リセット入力タイミング

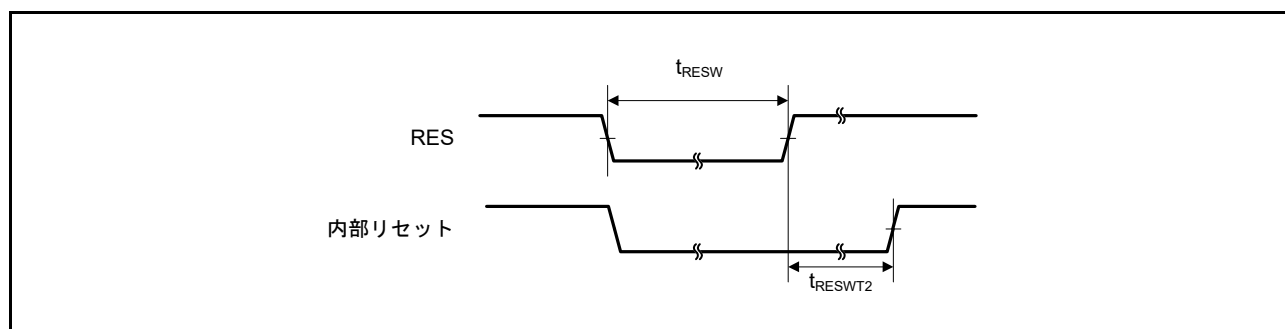


図 48.33 リセット入力タイミング

48.3.4 ウェイクアップ時間

表 48.24 低消費電力モードからの復帰タイミング (1)

項目		シンボル	Min	Typ	Max	単位	測定条件		
ソフトウェアスタンバイモードからの復帰時間 (注1)	High-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20MHz) (注2)	t_{SBYMC}	—	2	3	ms	図 48.34
			システムクロックソースはメインクロック発振器を使用したPLL (48MHz) (注2)	t_{SBYPC}	—	2	3	ms	
	メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20MHz) (注3)	t_{SBYEX}	—	14	25	μ s		
		システムクロックソースはメインクロック発振器を使用したPLL (48MHz) (注3)	t_{SBYPE}	—	53	76	μ s		
	システムクロックソースはHOCO (注4) (HOCOクロックは32MHz)		t_{SBYHO}	—	43	52	μ s		
	システムクロックソースはHOCO (注4) (HOCOクロックは48MHz)		t_{SBYHO}	—	44	52	μ s		
	システムクロックソースはHOCO (注5) (HOCOクロックは64MHz)		t_{SBYHO}	—	82	110	μ s		
	システムクロックソースはMOCO		t_{SBYMO}	—	16	25	μ s		

- 注 1. ICK、FCK、PCKx の分周比は 1 です。復帰時間は、システムクロックソースにより決定されます。
- 注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。
- 注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。
- 注 4. HOCO クロックウェイトコントロールレジスタ (HOCOWTCR) の設定値は 05h です。
- 注 5. HOCO クロックウェイトコントロールレジスタ (HOCOWTCR) の設定値は 06h です。

表 48.25 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Middle-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (12MHz) (注2)	t_{SBYMC}	—	2	3	ms	図 48.34
			システムクロックソースはメインクロック発振器を使用したPLL (12MHz) (注2)	t_{SBYPC}	—	2	3	ms	
	メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (12MHz) (注3)	t_{SBYEX}	—	2.9	10	μ s		
		システムクロックソースはメインクロック発振器を使用したPLL (12MHz) (注3)	t_{SBYPE}	—	49	76	μ s		
	システムクロックソースはHOCO (24MHz)			t_{SBYHO}	—	38	50	μ s	
	システムクロックソースはMOCO			t_{SBYMO}	—	3.5	5.5	μ s	

注 1. ICK、FCK、PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

表 48.26 低消費電力モードからの復帰タイミング (3)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Low-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (1MHz) (注2)	t_{SBYMC}	—	2	3	ms	図 48.34
			システムクロックソースはメインクロック発振器 (1MHz) (注3)	t_{SBYEX}	—	28	50	μ s	
		システムクロックソースはMOCO			t_{SBYMO}	—	25	35	

注 1. ICK、FCK、PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

表 48.27 低消費電力モードからの復帰タイミング (4)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Low-voltage モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (4MHz) (注2)	t_{SBYMC}	—	2	3	ms	図 48.34
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (4MHz) (注3)	t_{SBYEX}	—	108	130	μ s	
		システムクロックソースはHOCO		t_{SBYHO}	—	108	130	μ s	

- 注 1. ICK、FCK、PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されま
す。複数の発振器が起動している場合、復帰時間は以下の式で決定できます。
- 注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。
- 注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

表 48.28 低消費電力モードからの復帰タイミング (5)

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Subosc-speed モード	システムクロックソースはサブクロック発振器 (32.768kHz)	t_{SBYSC}	—	0.85	1	ms	図 48.34
		システムクロックソースは LOCO (32.768kHz)	t_{SBYLO}	—	0.85	1.2	ms	

- 注 1. Subosc-speed モード時のソフトウェアスタンバイモードでは、サブクロック発振器または LOCO 自体は発振を継続します。

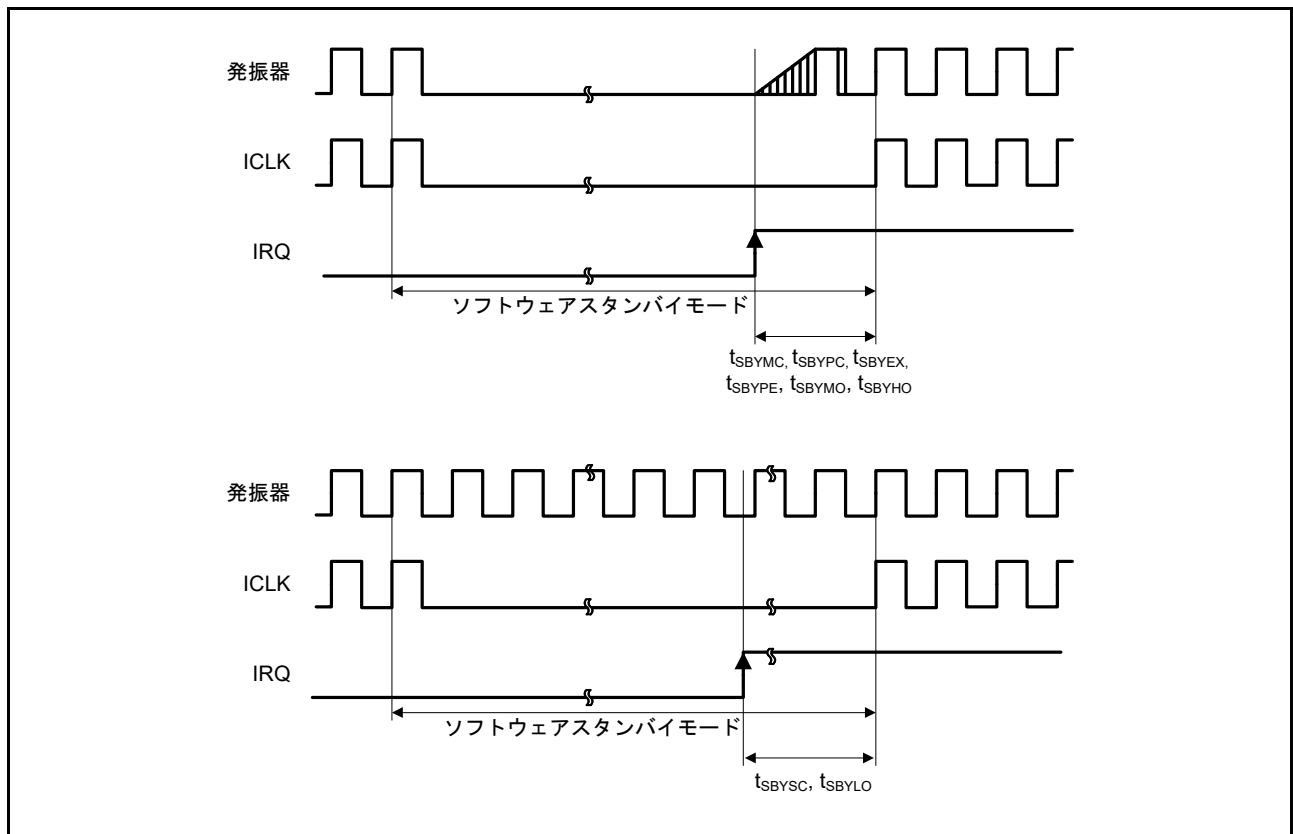


図 48.34 ソフトウェアスタンバイモード解除タイミング

表 48.29 低消費電力モードからの復帰タイミング (6)

項目	シンボル	Min	Typ	Max	単位	測定条件	
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	High-speedモード システムクロックソースはHOCO	t _{SNZ}	—	36	45	μs	図 48.35
	Middle-speedモード システムクロックソースはMOCO	t _{SNZ}	—	1.3	3.6	μs	
	Low-speedモード システムクロックソースはMOCO	t _{SNZ}	—	10	13	μs	
	Low-voltageモード システムクロックソースはHOCO	t _{SNZ}	—	87	110	μs	

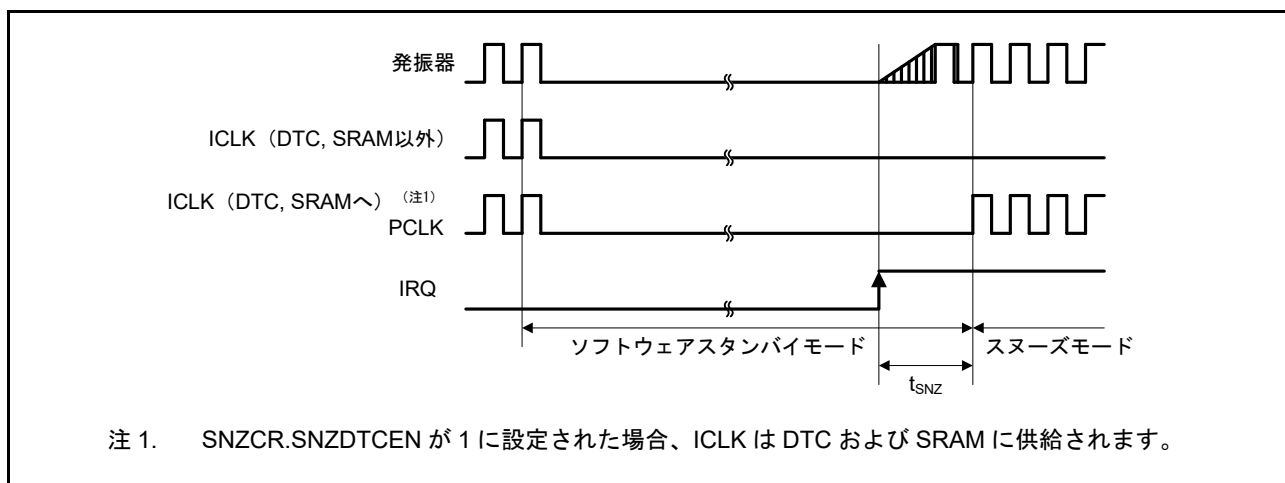


図 48.35 ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング

48.3.5 NMI/IRQ ノイズフィルタ

表 48.30 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMIパルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leq 200ns$
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3 > 200ns$
IRQパルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leq 200ns$
		$t_{IRQCK} \times 3.5$ (注3)	—	—			$t_{IRQCK} \times 3 > 200ns$

注. ソフトウェアスタンバイモード時は最小 200ns です。

注. クロックソース切り替え時、切り替えられたソースの 4 クロックサイクルを追加します。

注 1. t_{Pcyc} は PCLKB の周期を意味します。

注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を意味します。

注 3. t_{IRQCK} は、IRQ_i デジタルフィルタサンプリングクロックの周期を意味します (i = 0 ~ 12, 14, 15)。

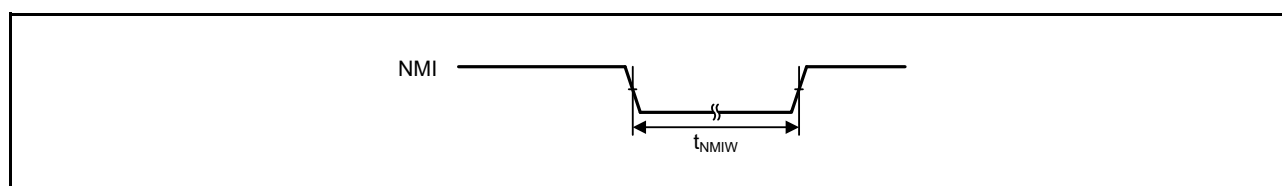


図 48.36 NMI 割り込み入力タイミング

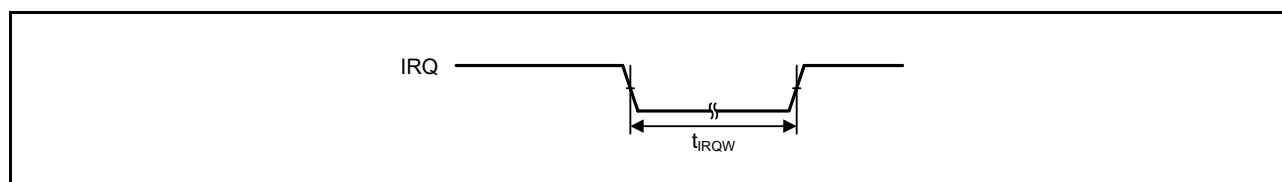


図 48.37 IRQ 割り込み入力タイミング

48.3.6 I/O ポート、POEG、GPT、AGT、KINT、ADC14 のトリガタイミング

表 48.31 I/Oポート、POEG、GPT、AGT、KINT、ADC14のトリガタイミング

項目		シンボル	Min	Max	単位	測定条件		
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{Pcyc}	図 48.38		
	入出力データサイクル (P002、P003、P004、P007)	t_{POcyc}	10	—	μs			
POEG	POEG入カトリガパルス幅	t_{POEW}	3	—	t_{Pcyc}	図 48.39		
GPT	インプットキャプチャパルス幅	単エッジ	1.5	—	t_{PDcyc}	図 48.40		
		両エッジ	2.5	—				
AGT	AGTIO、AGTEE入力サイクル	$2.7V \leq VCC \leq 5.5V$	t_{ACYC} (注1)	250	—	ns	図 48.41	
		$2.4V \leq VCC < 2.7V$		500	—	ns		
		$1.8V \leq VCC < 2.4V$		1000	—	ns		
		$1.6V \leq VCC < 1.8V$		2000	—	ns		
	AGTIO、AGTEE入力Highレベル幅、Lowレベル幅	$2.7V \leq VCC \leq 5.5V$	t_{ACKWH} 、 t_{ACKWL}	100	—	ns		
		$2.4V \leq VCC < 2.7V$		200	—	ns		
		$1.8V \leq VCC < 2.4V$		400	—	ns		
		$1.6V \leq VCC < 1.8V$		800	—	ns		
	AGTIO、AGTO、AGTOA、AGTOB出力周期	$2.7V \leq VCC \leq 5.5V$	t_{ACYC2}	62.5	—	ns		図 48.41
		$2.4V \leq VCC < 2.7V$		125	—	ns		
		$1.8V \leq VCC < 2.4V$		250	—	ns		
		$1.6V \leq VCC < 1.8V$		500	—	ns		
ADC14	14ビットA/Dコンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	t_{Pcyc}	図 48.42		
KINT	KRn (n = 00~07) パルス幅	t_{KR}	250	—	ns	図 48.43		

注. t_{Pcyc} : PCLKB サイクル、 t_{PDcyc} : PCLKD サイクル

注 1. 入力サイクルの制約事項:

ソースクロックを切り替えない場合は、 $t_{Pcyc} \times 2 < t_{ACYC}$ としてください。

ソースクロックを切り替える場合は、 $t_{Pcyc} \times 6 < t_{ACYC}$ としてください。

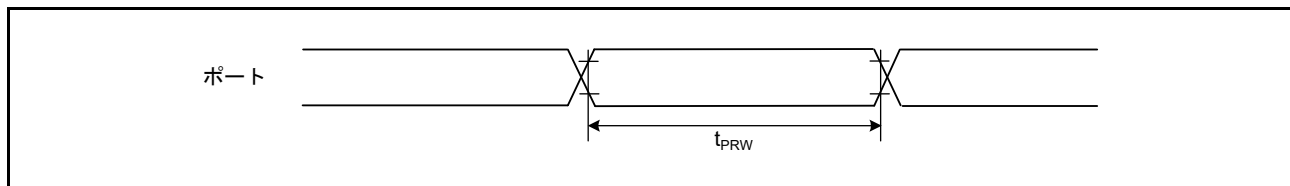


図 48.38 I/Oポート入力タイミング

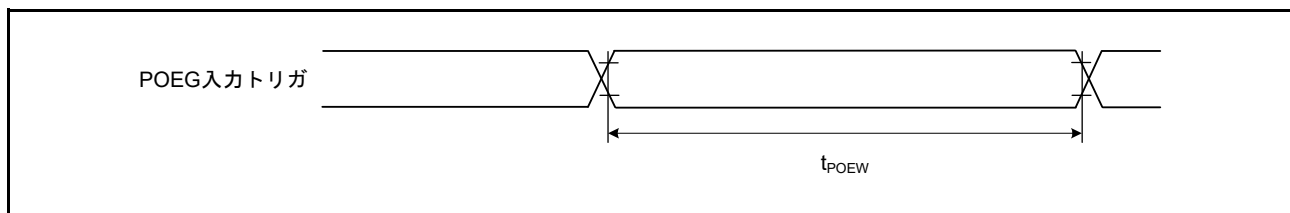


図 48.39 POEG 入カトリガタイミング

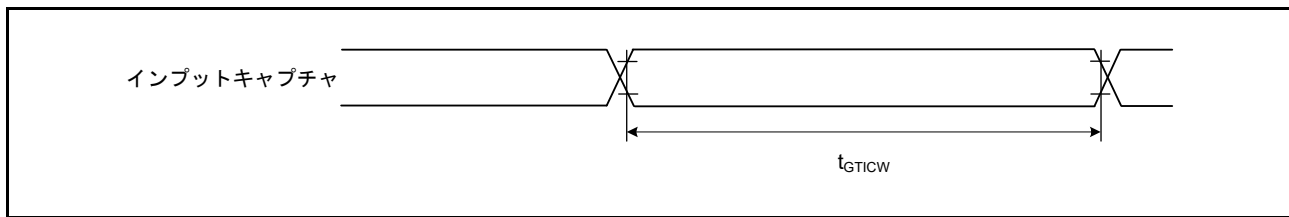


図 48.40 GPT インプットキャプチャタイミング

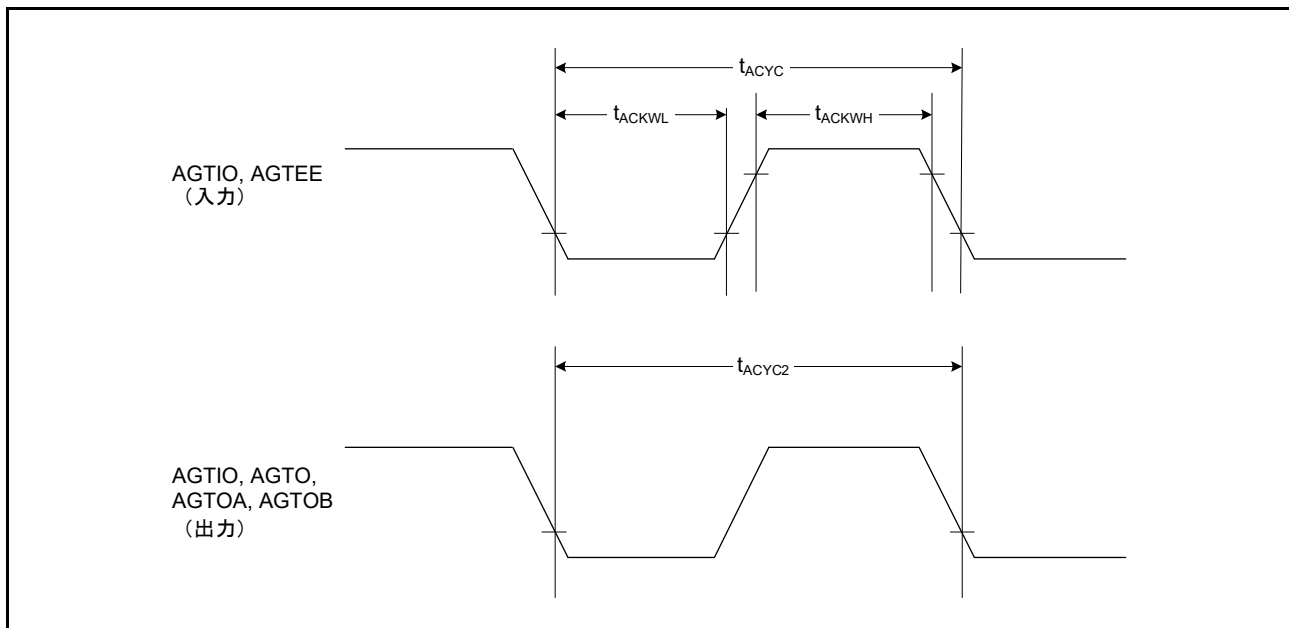


図 48.41 AGT 入出力タイミング

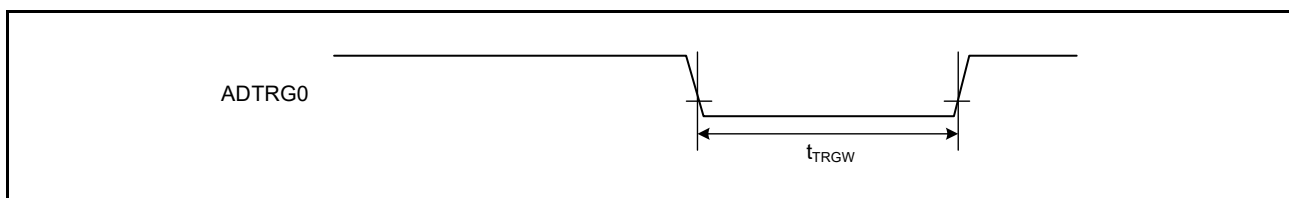


図 48.42 ADC14 トリガ入力タイミング

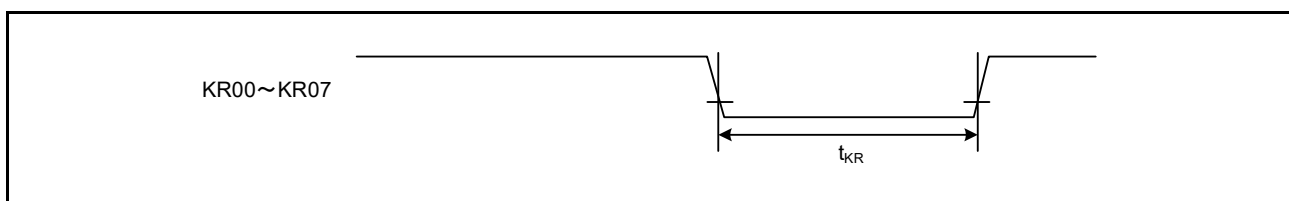


図 48.43 キー割り込み入力タイミング

48.3.7 CAC タイミング

表 48.32 CAC タイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	$t_{PBcyc} \text{ (注1)} \leq t_{cac} \text{ (注2)}$	t_{CACREF}	$4.5 \times t_{cac} + 3 \times t_{PBcyc} \text{ (注1)}$	—	—	ns
		$t_{PBcyc} \text{ (注1)} > t_{cac} \text{ (注2)}$		$5 \times t_{cac} + 6.5 \times t_{PBcyc} \text{ (注1)}$	—	—	ns

注 1. t_{PBcyc} : PCLKB の周期注 2. t_{cac} : CAC カウントクロックソースの周期

48.3.8 SCI タイミング

表 48.33 SCI タイミング (1)

項目			シンボル	Min	Max	単位 (注1)	測定条件	
SCI	入力クロックサイクル	調歩同期式	t_{Scyc}	4	—	t_{Pcyc}	図 48.44	
		クロック同期式		6	—			
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	入力クロック立ち上がり時間		t_{SCKr}	—	20	ns		
	入力クロック立ち下がり時間		t_{SCKf}	—	20	ns		
	出力クロックサイクル	調歩同期式	t_{Scyc}	6	—	t_{Pcyc}		
		クロック同期式		4	—			
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	出力クロック立ち上がり時間	1.8V 以上	t_{SCKr}	—	20	ns		
		1.6V 以上		—	30			
	出力クロック立ち下がり時間	1.8V 以上	t_{SCKf}	—	20	ns		
		1.6V 以上		—	30			
	送信データ遅延時間 (マスタ)	クロック同期式	1.8V 以上	t_{TXD}	—	40		ns
			1.6V 以上		—	45		
送信データ遅延時間 (スレーブ)	クロック同期式	2.7V 以上	t_{RXS}	—	55	ns		
		2.4V 以上		—	60			
		1.8V 以上		—	100			
		1.6V 以上		—	125			
受信データセットアップ時間 (マスタ)	クロック同期式	2.7V 以上	t_{RXS}	45	—	ns		
		2.4V 以上		55	—			
		1.8V 以上		90	—			
		1.6V 以上		110	—			
受信データセットアップ時間 (スレーブ)	クロック同期式	2.7V 以上	t_{RXH}	40	—	ns		
		1.6V 以上		45	—			
受信データホールド時間 (マスタ)	クロック同期式	t_{RXH}	5	—	ns			
受信データホールド時間 (スレーブ)	クロック同期式	t_{RXH}	40	—	ns			

注 1. t_{Pcyc} : PCLKA の周期

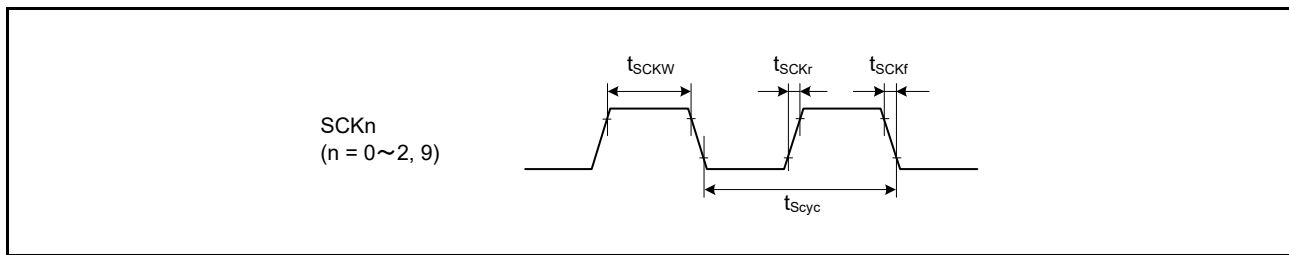


図 48.44 SCK クロック入力タイミング

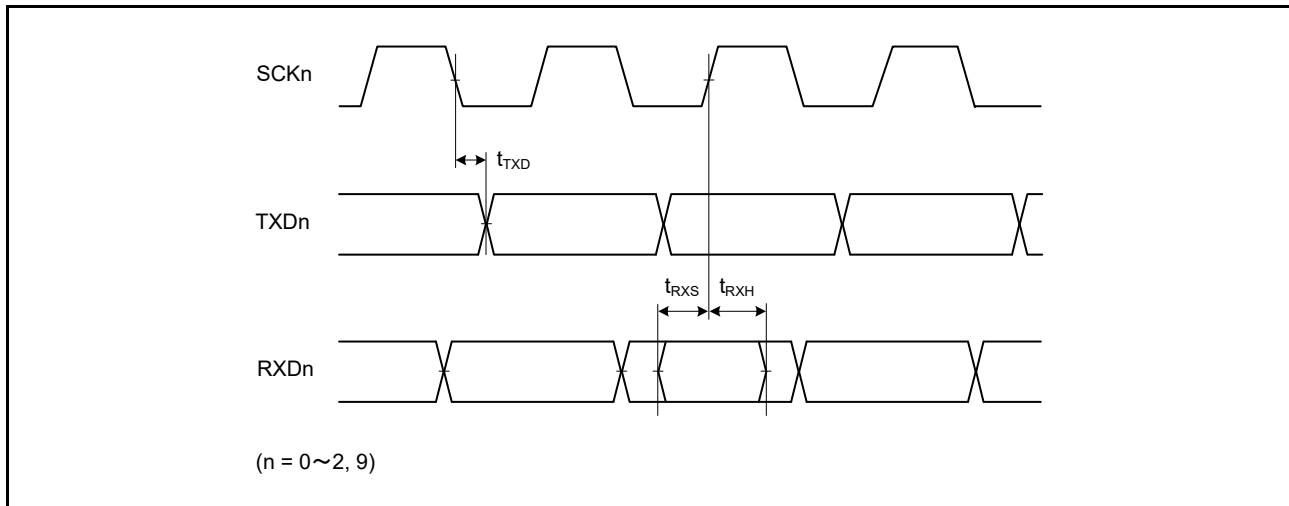


図 48.45 クロック同期式モードにおける SCI 入出力タイミング

表 48.34 SCI タイミング (2)

項目		シンボル	Min	Max	単位	測定条件		
簡易 SPI	SCK クロックサイクル出力 (マスタ)		t_{SPcyc}	4	65536	t_{Pcyc}	図 48.46	
	SCK クロックサイクル入力 (スレーブ)			6	65536			
	SCK クロック High レベルパルス幅		t_{SPCKWH}	0.4	0.6	t_{SPcyc}		
	SCK クロック Low レベルパルス幅		t_{SPCKWL}	0.4	0.6	t_{SPcyc}		
	SCK クロック立ち上がり/ 立ち下がり時間		1.8V 以上	t_{SPCKr}	—	20	ns	図 48.47 ~ 図 48.50
			1.6V 以上	t_{SPCKf}	—	30		
	データ入力セット アップ時間	マスタ	2.7V 以上	t_{SU}	45	—	ns	
			2.4V 以上		55	—		
			1.8V 以上		80	—		
			1.6V 以上		110	—		
		スレーブ	2.7V 以上		40	—		
			1.6V 以上		45	—		
	データ入力ホールド 時間	マスタ	t_H	33.3	—	ns		
		スレーブ		40	—			
SS 入力セットアップ時間		t_{LEAD}	1	—	t_{SPcyc}			
SS 入力ホールド時間		t_{LAG}	1	—	t_{SPcyc}			
データ出力遅延時間	マスタ	1.8V 以上	t_{OD}	—	40	ns		
		1.6V 以上		—	50			
	スレーブ	2.4V 以上		—	65			
		1.8V 以上		—	100			
		1.6V 以上		—	125			
データ出力ホールド 時間	マスタ	2.7V 以上	t_{OH}	-10	—	ns		
		2.4V 以上		-20	—			
		1.8V 以上		-30	—			
		1.6V 以上		-40	—			
	スレーブ			-10	—			
データ立ち上がり/ 立ち下がり時間	マスタ	1.8V 以上	t_{Dr}, t_{Df}	—	20	ns		
		1.6V 以上		—	30			
	スレーブ	1.8V 以上		—	20			
		1.6V 以上		—	30			
簡易 SPI	スレーブアクセス時間		t_{SA}	—	10(PCLKA > 32MHz), 6(PCLKA ≤ 32MHz)	t_{Pcyc}	図 48.49 および 図 48.50	
	スレーブ出力開放時間		t_{REL}	—	10(PCLKA > 32MHz), 6(PCLKA ≤ 32MHz)	t_{Pcyc}		

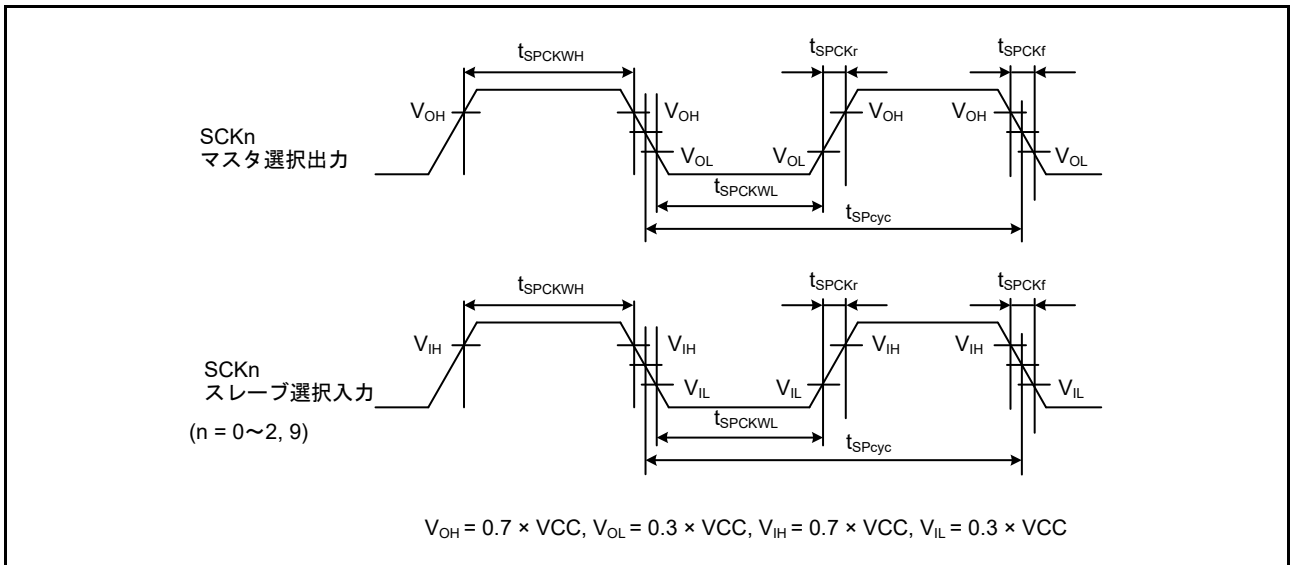


図 48.46 SCI 簡易 SPI モードクロックタイミング

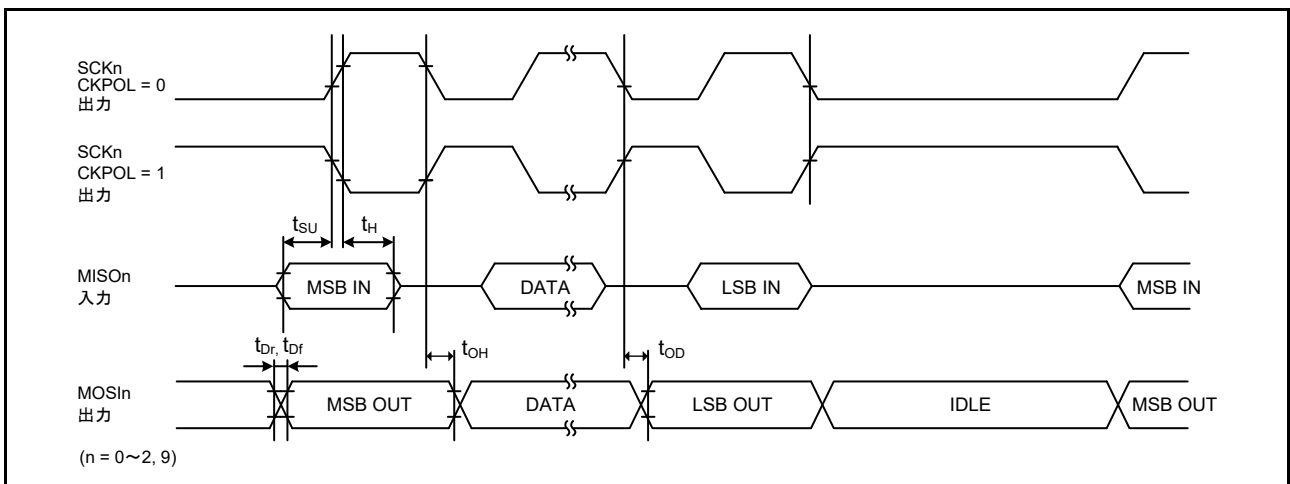


図 48.47 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 1)

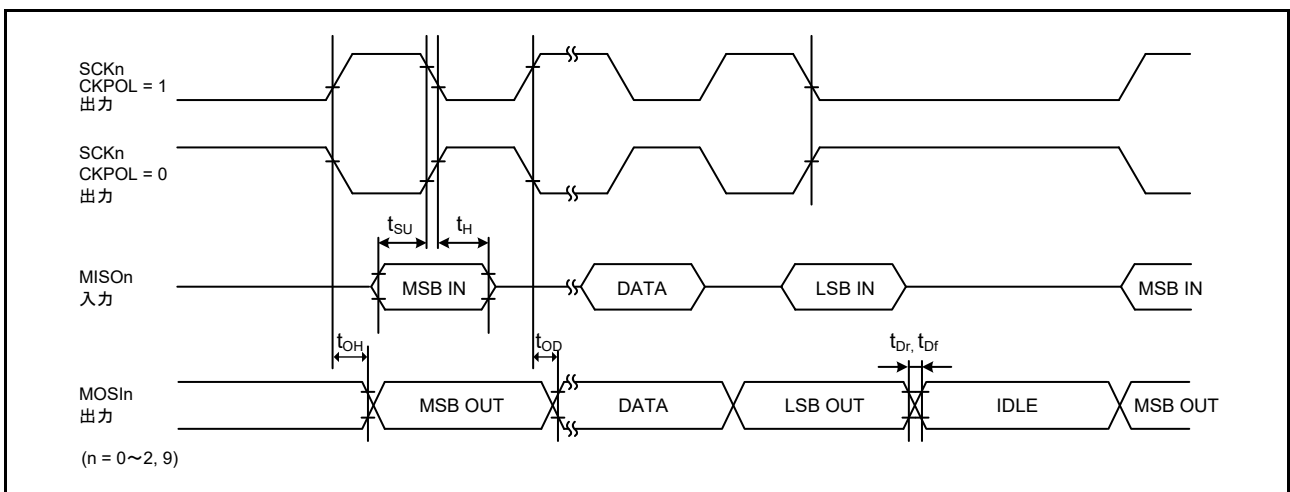


図 48.48 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 0)

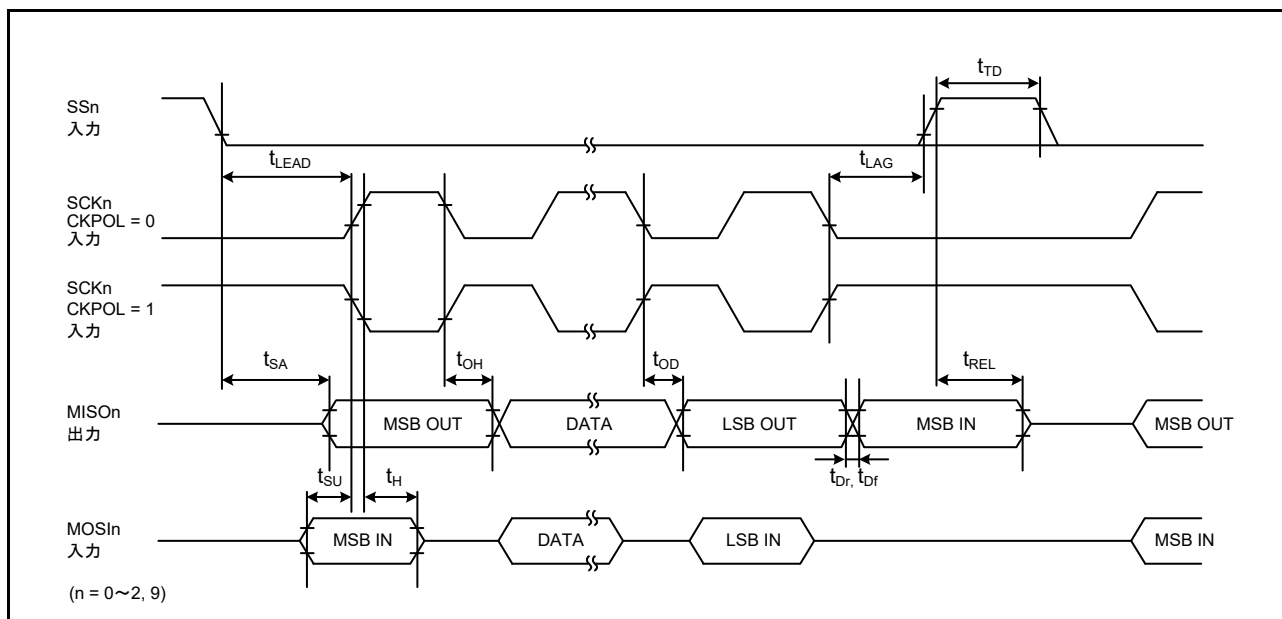


図 48.49 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 1)

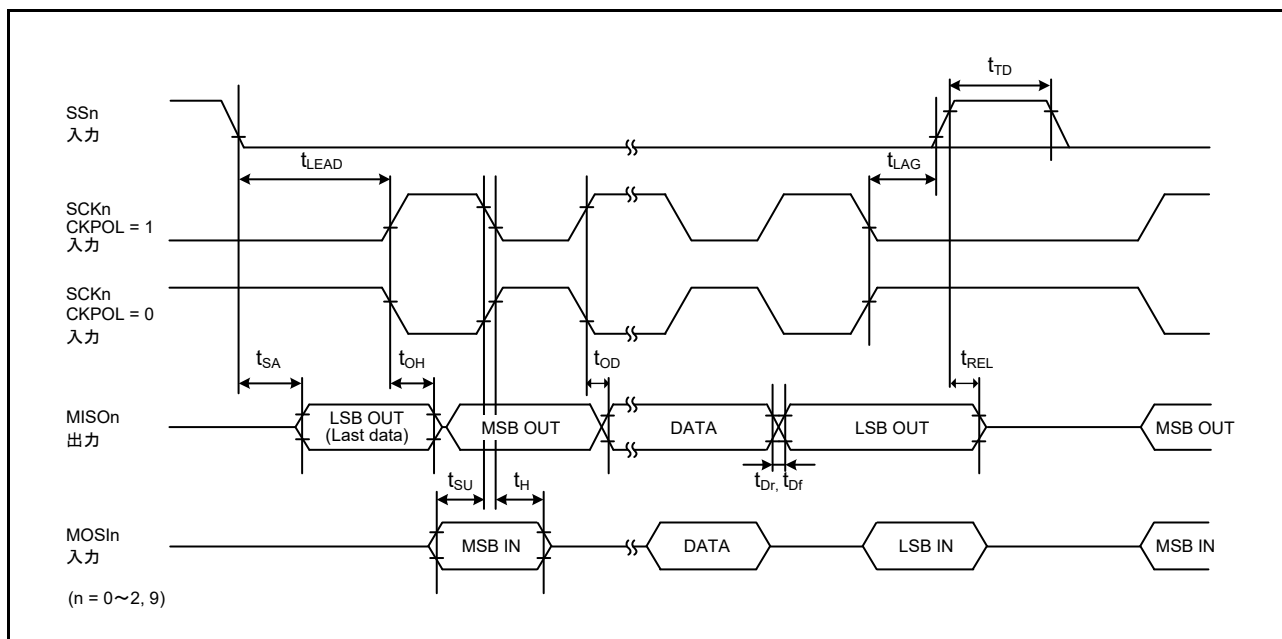


図 48.50 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 0)

表 48.35 SCI タイミング (3)

条件 : VCC = 2.7 ~ 5.5V

項目	シンボル	Min	Max	単位	測定条件	
簡易 I ² C (標準モード)	SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	図 48.51
	SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの負荷容量	C_b (注2)	—	400	pF	
簡易 I ² C (ファストモード)	SDA入力立ち上がり時間	t_{Sr}	—	300	ns	図 48.51 P408以外の全ポートについては、中駆動の PmnPFS.DSCR を使用してください。 P408ポートについては、IICファストモード用の中駆動の PmnPFS.DSCR1/DSCR を使用してください。
	SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの負荷容量	C_b (注1)	—	400	pF	

注 1. t_{IICcyc} : SMR.CKS[1:0] ビットによって選択されたクロックの周期

注 2. C_b はバスラインの容量総計を意味します。

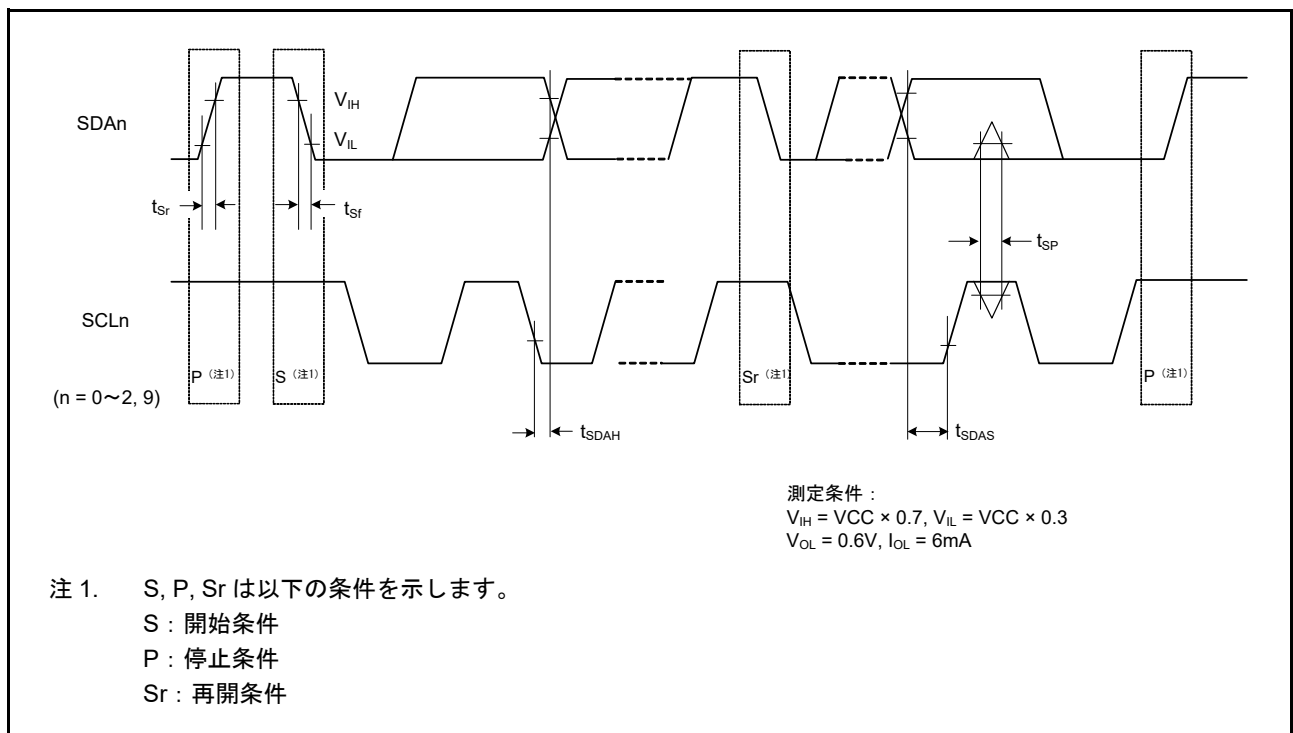


図 48.51 SCI 簡易 IIC モードタイミング

48.3.9 SPI タイミング

表 48.36 SPI タイミング (1/2)

条件：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位 (注1)	測定条件	
SPI	RSPCKクロックサイクル	マスタ	t_{SPCyc}	2 (注4)	4096	t_{PCyc}	図 48.52	
		スレーブ		6	4096			
	RSPCKクロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
		スレーブ		$3 \times t_{PCyc}$	—			
	RSPCKクロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
		スレーブ		$3 \times t_{PCyc}$	—			
	RSPCKクロック立ち上がり/立ち下がり時間	出力	2.7V 以上	t_{SPCKr}	—	10		ns
			2.4V 以上	t_{SPCKf}	—	15		
			1.8V 以上	—	—	20		
			1.6V 以上	—	—	30		
		入力	—	—	—	1		μs
	データ入力セットアップ時間	マスタ	t_{SU}	10	—	ns		図 48.53 ~ 図 48.58
スレーブ		2.4V 以上		10	—			
		1.8V 以上		15	—			
		1.6V 以上		20	—			
データ入力ホールド時間	マスタ (RSPCKはPCLKA/2)	t_{HF}	0	—	ns			
	マスタ (RSPCKは上記以外)	t_H	t_{PCyc}	—				
	スレーブ	t_H	20	—				
SSLセットアップ時間	マスタ	1.8V 以上	t_{LEAD}	$-30 + N \times t_{SPCyc}$ (注2)	—	ns		
				$-50 + N \times t_{SPCyc}$ (注2)	—			
	スレーブ	$6 \times t_{PCyc}$	—					
SSLホールド時間	マスタ	t_{LAG}	$-30 + N \times t_{SPCyc}$ (注3)	—	—			
	スレーブ		$6 \times t_{PCyc}$	—				

表 48.36 SPI タイミング (2/2)

条件: PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位 (注1)	測定条件	
SPI	データ出力遅延時間	マスタ	2.7V 以上	t_{OD}	—	14	ns	図 48.53 ~ 図 48.58
			2.4V 以上		—	20		
			1.8V 以上		—	25		
			1.6V 以上		—	30		
		スレーブ	2.7V 以上		—	50		
			2.4V 以上		—	60		
			1.8V 以上		—	85		
			1.6V 以上		—	110		
	データ出力ホールド時間	マスタ		t_{OH}	0	—	ns	
		スレーブ			0	—		
	連続転送遅延時間	マスタ		t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns	
		スレーブ			$6 \times t_{Pcyc}$	-		
	MOSI、MISO 立ち上がり／立ち下がり時間	出力	2.7V 以上	t_{Dr}, t_{Df}	—	10	ns	
			2.4V 以上		—	15		
			1.8V 以上		—	20		
			1.6V 以上		—	30		
		入力			—	1		
	SSL 立ち上がり／立ち下がり時間	出力	2.7V 以上	t_{SSLr}, t_{SSLf}	—	10	ns	
			2.4V 以上		—	15		
			1.8V 以上		—	20		
1.6V 以上			—		30			
入力			—		1	μs		
スレーブアクセス時間		2.4V 以上	t_{SA}	—	$2 \times t_{Pcyc} + 100$	ns	図 48.57 およ び 図 48.58	
		1.8V 以上		—	$2 \times t_{Pcyc} + 140$			
		1.6V 以上		—	$2 \times t_{Pcyc} + 180$			
スレーブ出力開放時間		2.4V 以上	t_{REL}	—	$2 \times t_{Pcyc} + 100$	ns		
		1.8V 以上		—	$2 \times t_{Pcyc} + 140$			
		1.6V 以上		—	$2 \times t_{Pcyc} + 180$			

注 1. t_{Pcyc} : PCLKA の周期

注 2. N は SPCKD レジスタにより、1 ~ 8 の整数に設定されます。

注 3. N は SSLND レジスタにより、1 ~ 8 の整数に設定されます。

注 4. RSPCK の上限は 16MHz です。

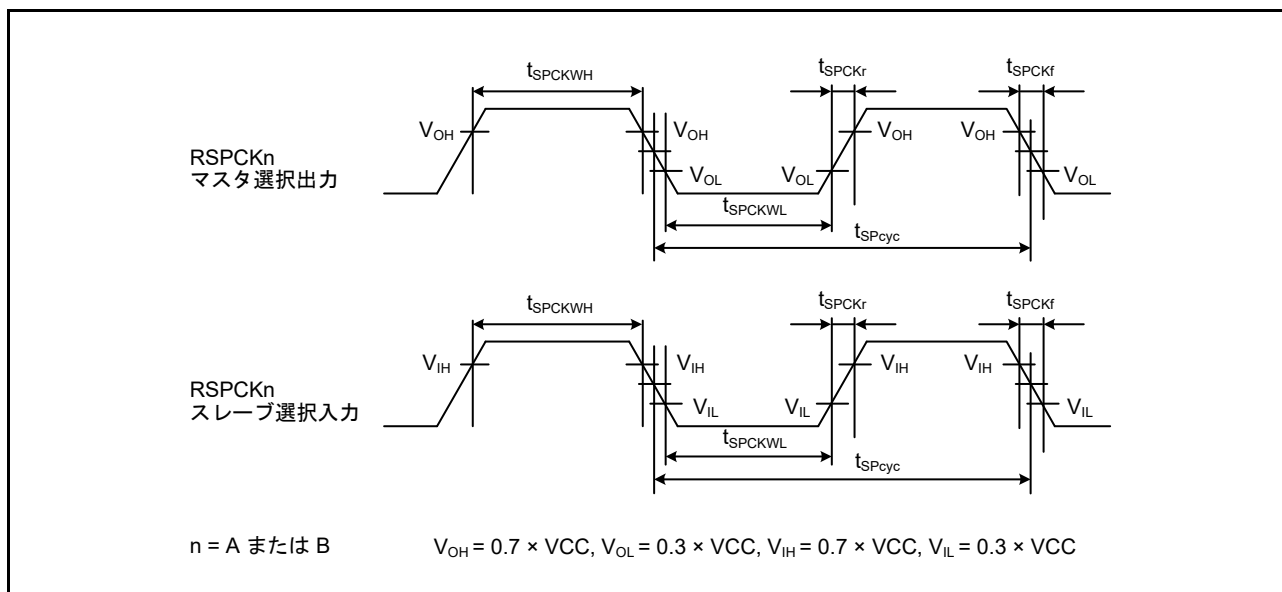


図 48.52 SPI クロックタイミング

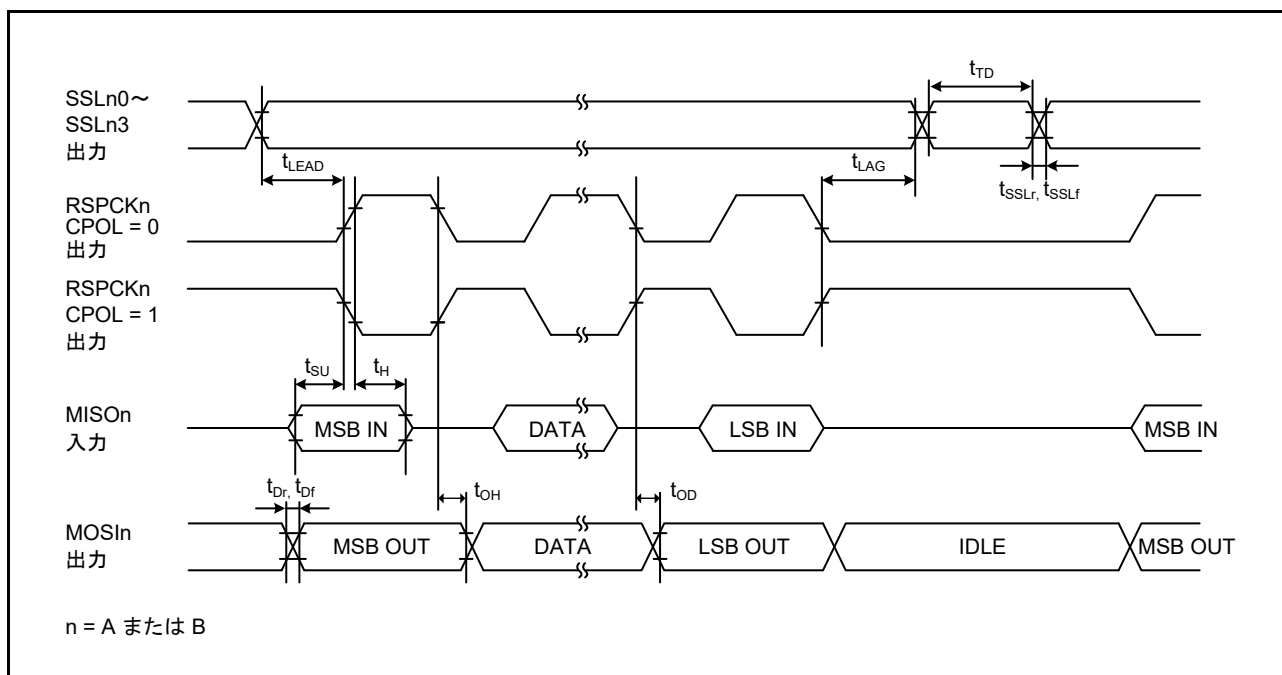


図 48.53 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定)

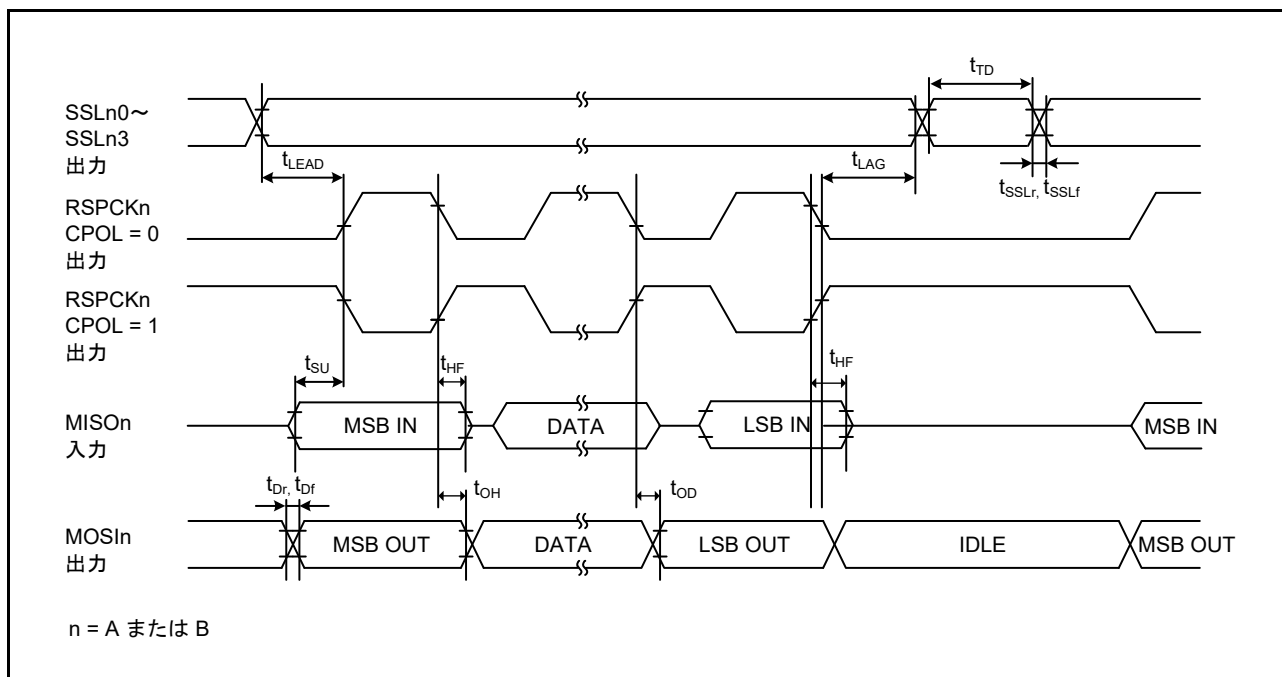


図 48.54 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

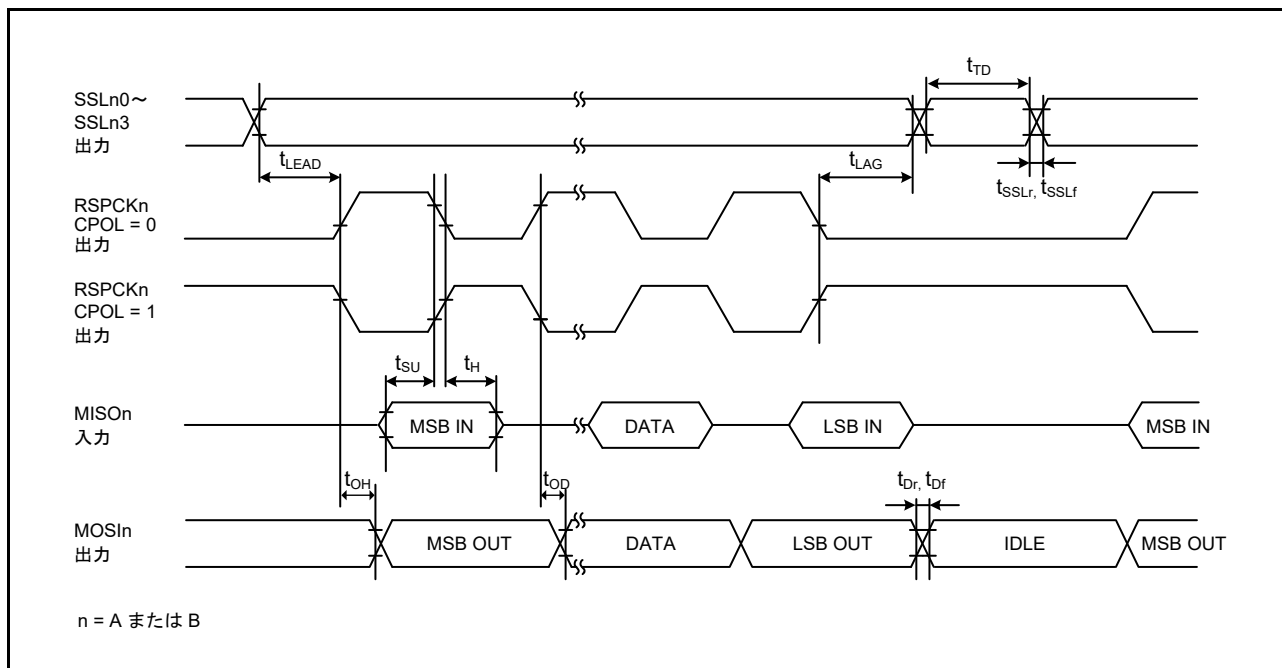


図 48.55 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定)

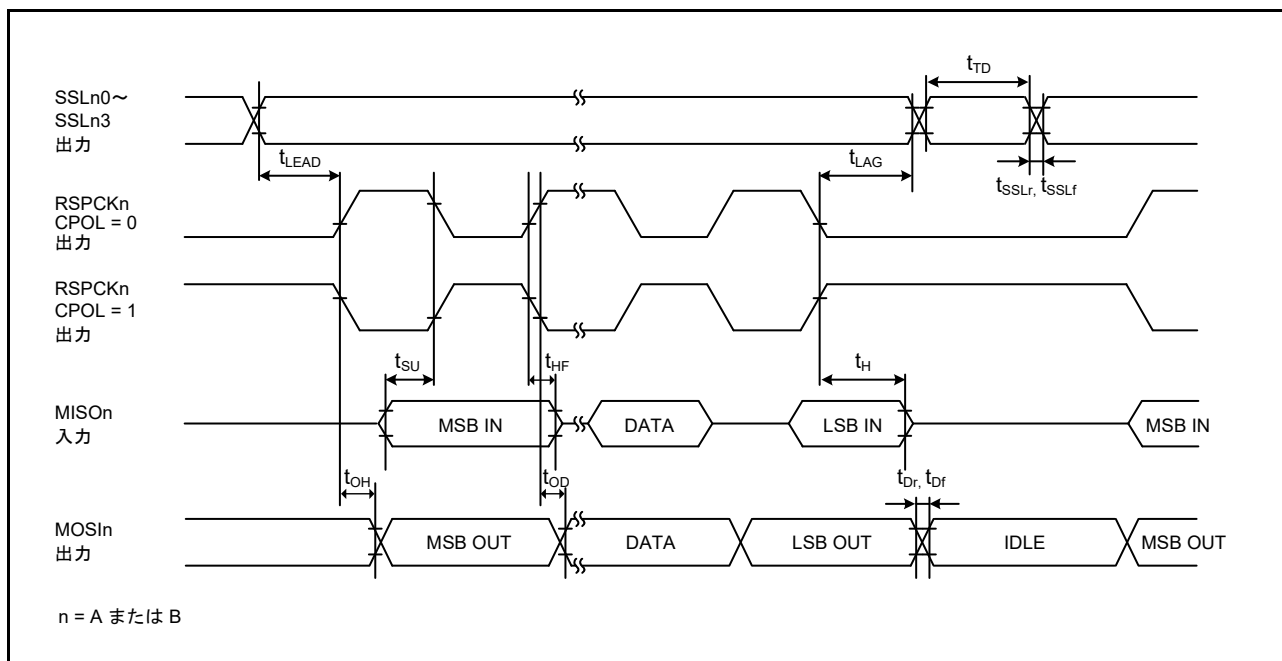


図 48.56 SPI タイミング (マスター、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

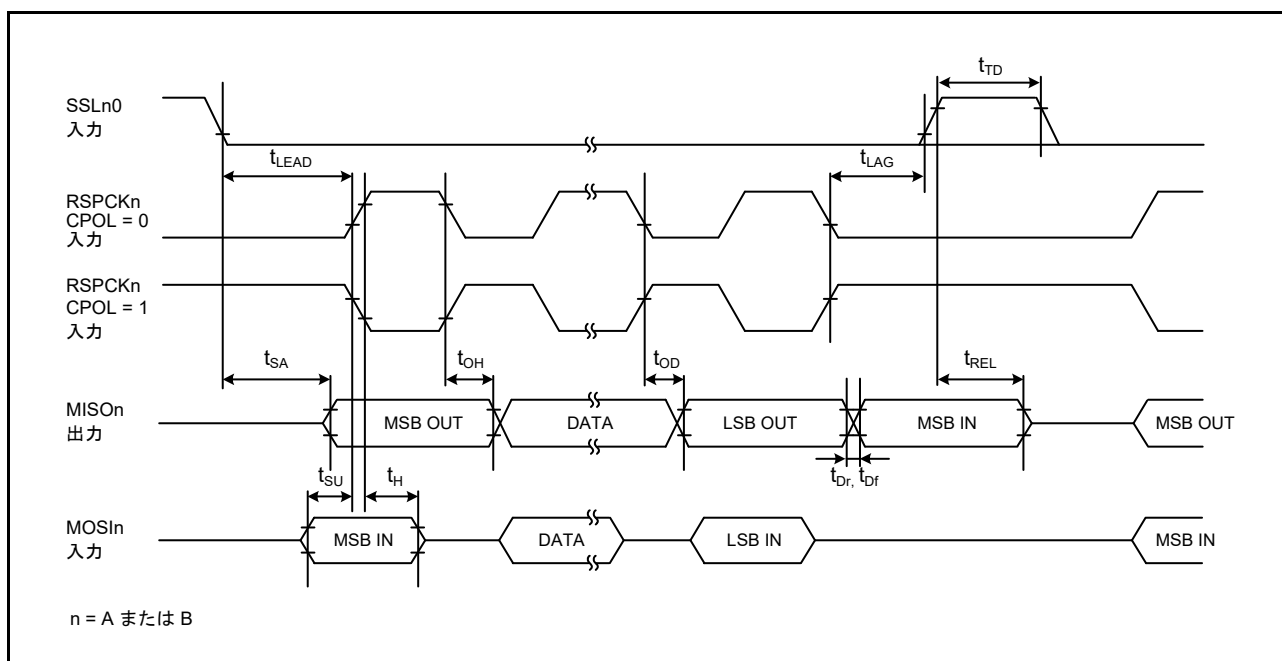


図 48.57 SPI タイミング (スレーブ、CPHA = 0)

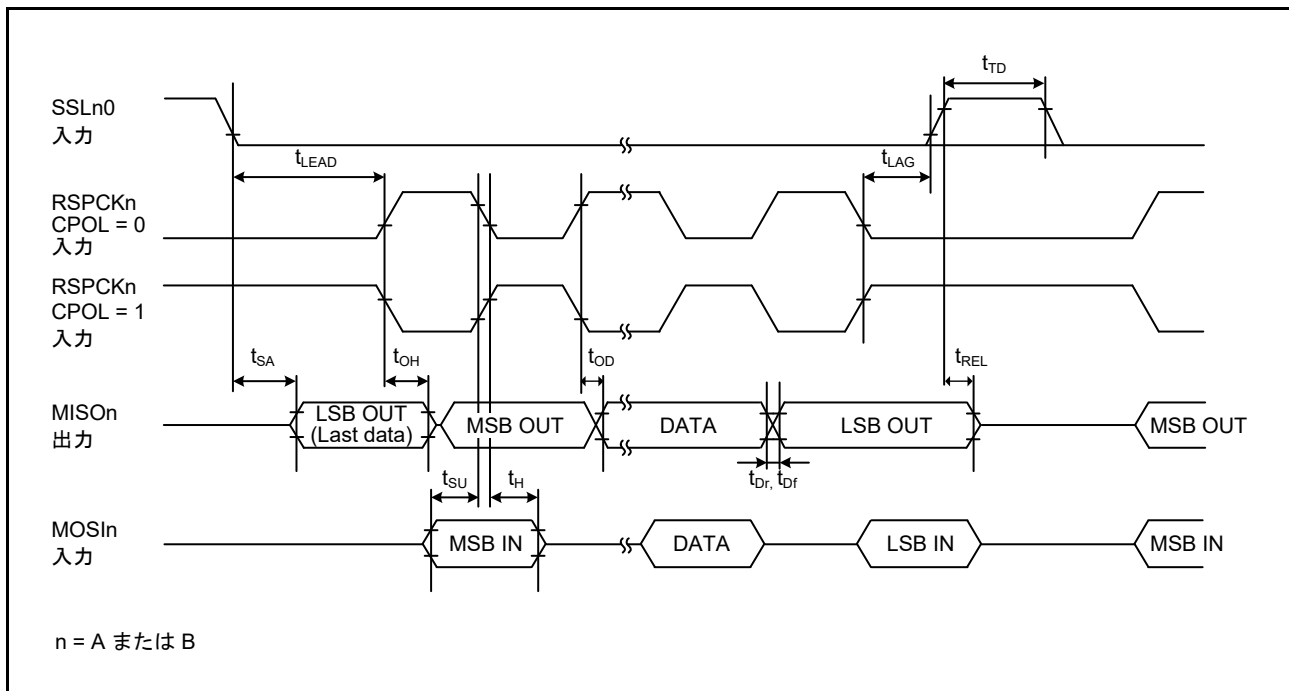


図 48.58 SPI タイミング (スレーブ、CPHA = 1)

48.3.10 IIC タイミング

表 48.37 IIC タイミング

条件 : VCC = 2.7 ~ 5.5V

項目		シンボル	Min (注1)	Max	単位	測定条件
IIC (標準モード、 SMBus)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	—	ns	図 48.59
	SCL入力Highレベルパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL入力Lowレベルパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能無効時)	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能有効時)	t_{BUF}	$3(6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	—	ns	
	START条件入力ホールド時間 (ウェイクアップ機能無効時)	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	START条件入力ホールド時間 (ウェイクアップ機能有効時)	t_{STAH}	$1(5) \times t_{IICcyc} + t_{Pcyc} + 300$	—	ns	
	再送START条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	STOP条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの負荷容量	C_b	—	400	pF	
IIC (ファストモード)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	—	ns	図 48.59 P408以外の全ポートについては、中駆動のPmnPFS。DSCRを使用してください。P408ポートについては、IICファストモード用の中駆動のPmnPFS。DSCR1/DSCRを使用してください。
	SCL入力Highレベルパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL入力Lowレベルパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能無効時)	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能有効時)	t_{BUF}	$3(6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	—	ns	
	START条件入力ホールド時間 (ウェイクアップ機能無効時)	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	START条件入力ホールド時間 (ウェイクアップ機能有効時)	t_{STAH}	$1(5) \times t_{IICcyc} + t_{Pcyc} + 300$	—	ns	
	再送START条件入力セットアップ時間	t_{STAS}	300	—	ns	
	STOP条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの負荷容量	C_b	—	400	pF	

注 . t_{IICcyc} : IIC 内部基準クロック (IIC ϕ) の周期、 t_{Pcyc} : PCLKB の周期

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0] が 11b であると () 内の値が適用されます。

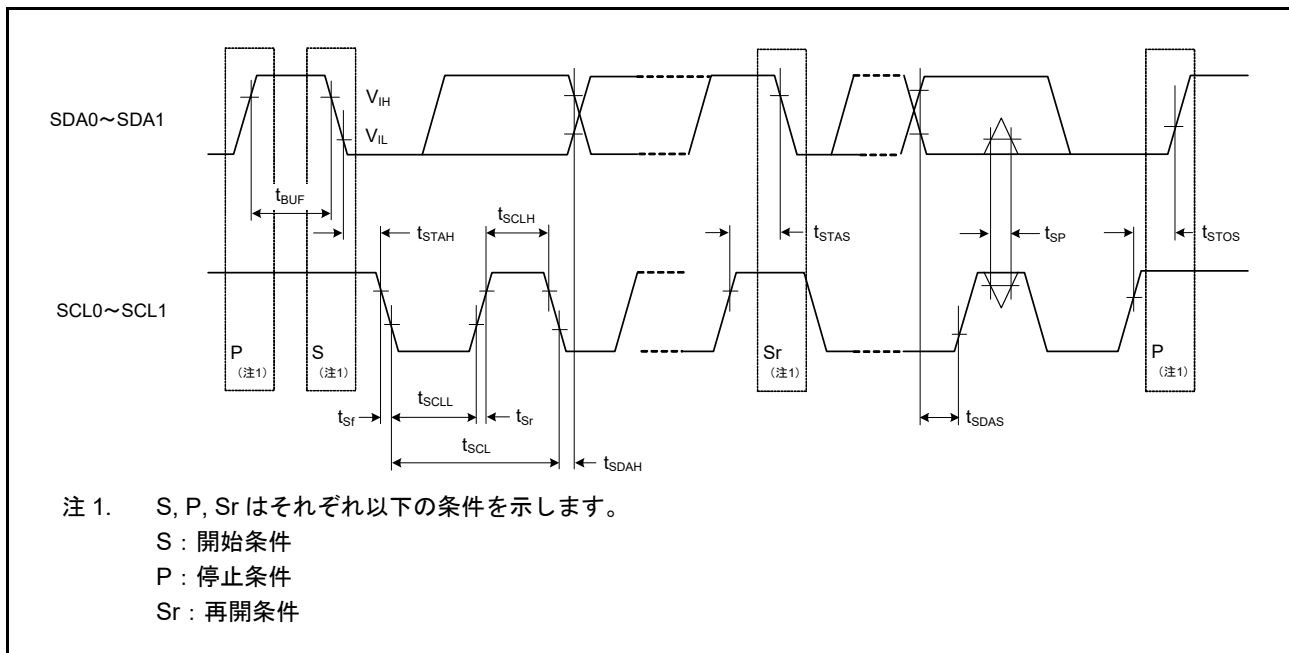


図 48.59 I2C バスインタフェース入出タイミング

48.3.11 SSIE タイミング

表 48.38 SSIE タイミング

条件 : VCC = 1.6 ~ 5.5V

項目		シンボル	Min	Max	単位	測定条件	
SSI	AUDIO_CLK入力周波数	2.7V以上	—	25	MHz	—	
		1.6V以上	—	4			
	出力クロック周期		t_o	250	—	ns	図 48.60
	入力クロック周期		t_i	250	—	ns	
	クロック High レベルパルス幅	1.8V以上	t_{HC}	100	—	ns	
		1.6V以上		200	—		
	クロック Low レベルパルス幅	1.8V以上	t_{LC}	100	—	ns	
		1.6V以上		200	—		
	クロック立ち上がり時間		t_{RC}	—	25	ns	
	データ遅延時間	2.7V以上	t_{DTR}	—	65	ns	図 48.61、 図 48.62
		1.8V以上		—	105		
		1.6V以上		—	140		
セットアップ時間	2.7V以上	t_{SR}	65	—	ns		
	1.8V以上		90	—			
	1.6V以上		140	—			
ホールド時間		t_{HTR}	40	—	ns		
SSILRCK0/SSIFS0 変化時からの SSITXD0出力遅延	1.8V以上	T_{DTRW}	—	105	ns	図 48.63	
	1.6V以上		—	140			

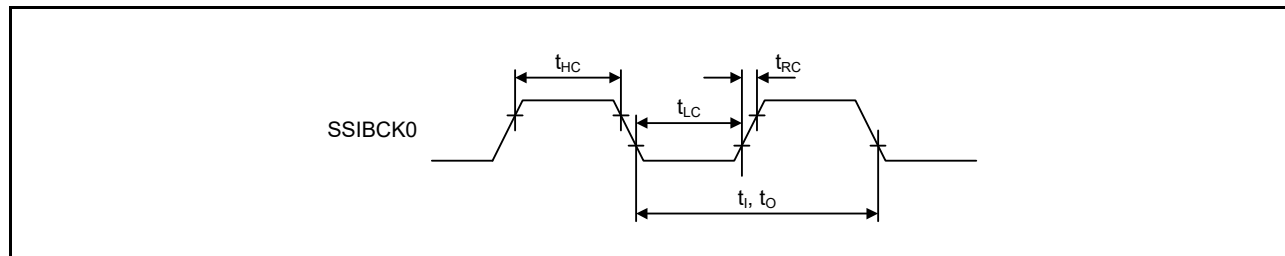


図 48.60 SSIE クロック入出力タイミング

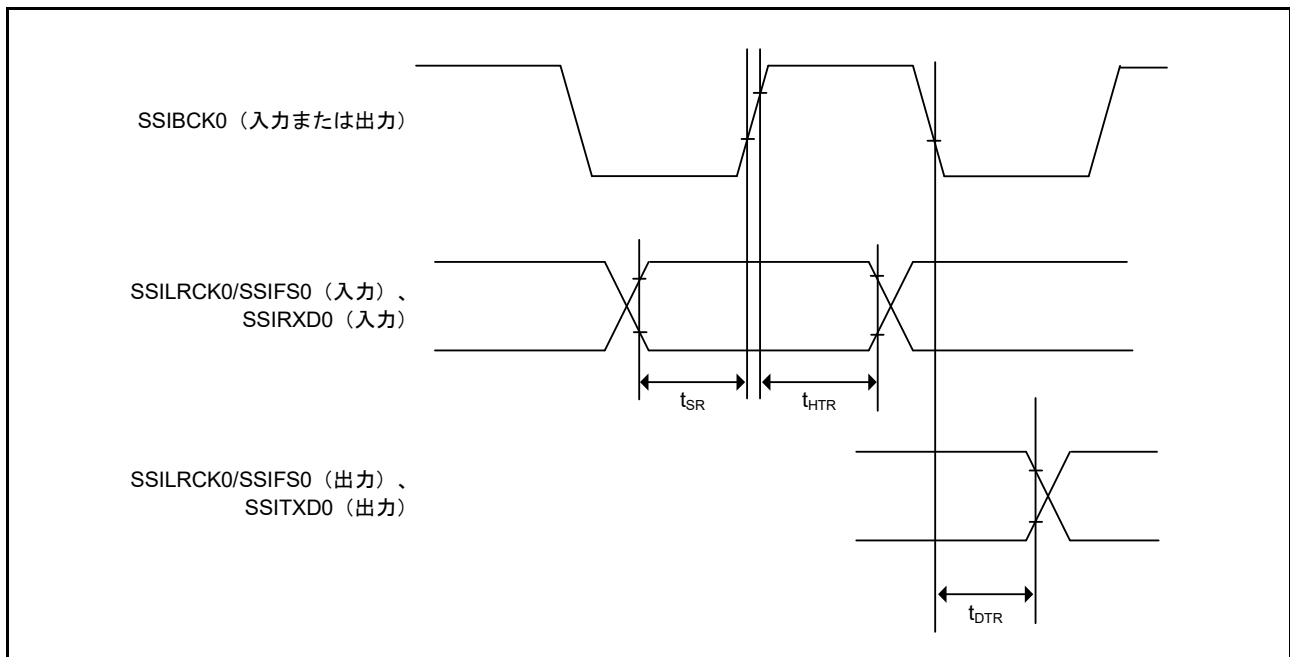


図 48.61 SSIE データ送受信タイミング (SSICR.BCKP = 0)

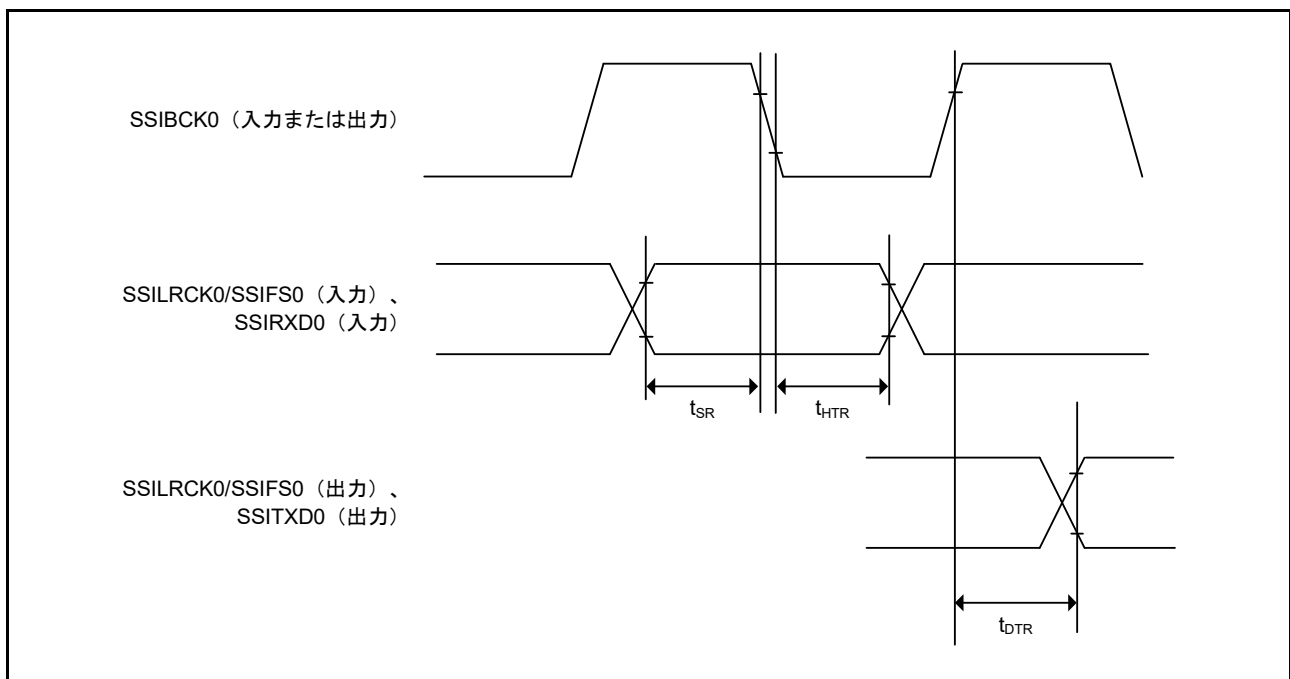


図 48.62 SSIE データ送受信タイミング (SSICR.BCKP = 1)

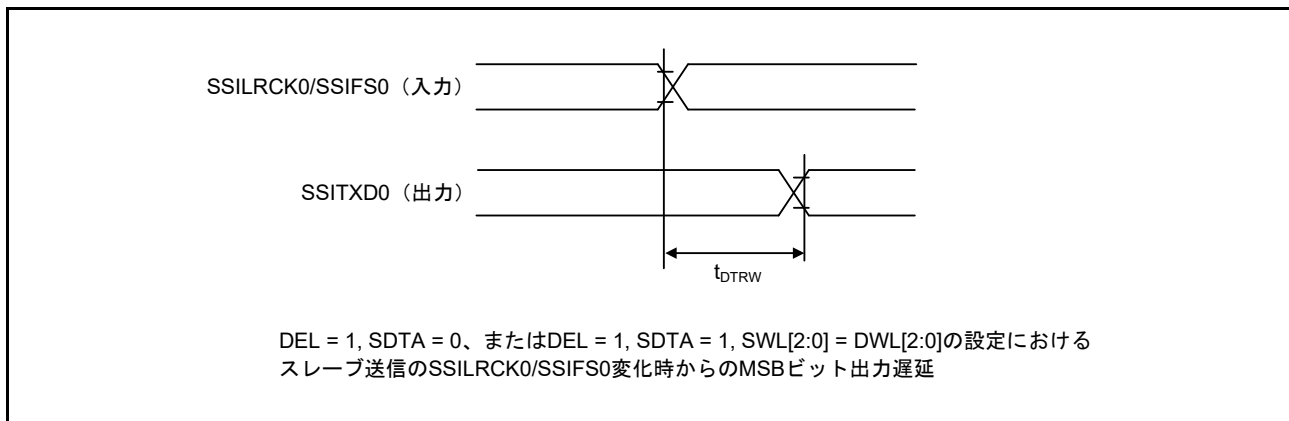


図 48.63 SSILRCK0/SSIFS0 変化時からの SSIE データ出力遅延

48.3.12 CLKOUT タイミング

表 48.39 CLKOUT タイミング

項目		シンボル	Min	Max	単位 (注1)	測定条件	
CLKOUT	CLKOUT 端子出力サイクル (注1)	VCC = 2.7V 以上	t_{Cyc}	62.5	—	ns	図 48.64
		VCC = 1.8V 以上		125	—		
		VCC = 1.6V 以上		250	—		
	CLKOUT 端子 High レベルパルス幅 (注2)	VCC = 2.7V 以上	t_{CH}	15	—	ns	
		VCC = 1.8V 以上		30	—		
		VCC = 1.6V 以上		150	—		
	CLKOUT 端子 Low レベルパルス幅 (注2)	VCC = 2.7V 以上	t_{CL}	15	—	ns	
		VCC = 1.8V 以上		30	—		
		VCC = 1.6V 以上		150	—		
	CLKOUT 端子出力立ち上がり時間	VCC = 2.7V 以上	t_{Cr}	—	12	ns	
		VCC = 1.8V 以上		—	25		
		VCC = 1.6V 以上		—	50		
CLKOUT 端子出力立ち下がり時間	VCC = 2.7V 以上	t_{Cr}	—	12	ns		
	VCC = 1.8V 以上		—	25			
	VCC = 1.6V 以上		—	50			

注 1. EXTAL 外部クロック入力または発振器を使用して 1 分周 (CKOCR.CKOSEL[2:0] ビット = 011b かつ CKOCR.CKODIV[2:0] ビット = 000b) を CLKOUT から出力する場合は、入力デューティサイクル 45 ~ 55% で上記を満たします。

注 2. クロック出力ソースに MOCO が選択されている場合 (CKOCR.CKOSEL[2:0] ビットが 001b)、クロック出力分周比選択を 2 分周 (CKOCR.CKODIV[2:0] ビットを 001b) に設定してください。

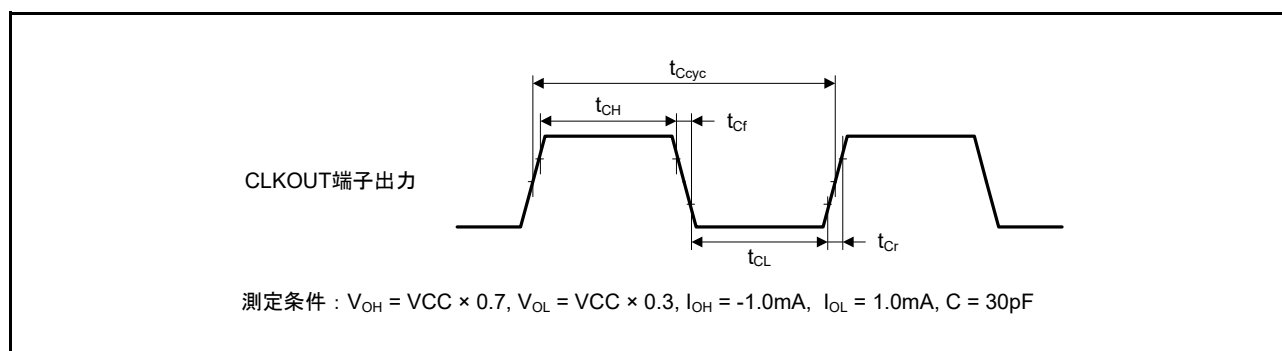


図 48.64 CLKOUT 出力タイミング

48.4 USB 特性

48.4.1 USBFS タイミング

表 48.40 USB 特性

条件 : VCC = VCC_USB = 3.0 ~ 3.6V、Ta = -20 ~ +85°C (USBCLKSEL = 1)、Ta = -40 ~ +105°C (USBCLKSEL = 0)

項目	シンボル	Min	Max	単位	測定条件		
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	V	—	
	入力 Low レベル電圧	V_{IL}	—	0.8	V	—	
	差動入力感度	V_{DI}	0.2	—	V	USB_DP - USB_DM	
	差動共通モードレンジ	V_{CM}	0.8	2.5	V	—	
出力特性	出力 High レベル電圧	V_{OH}	2.8	VCC_USB	V	$I_{OH} = -200\mu A$	
	出力 Low レベル電圧	V_{OL}	0.0	0.3	V	$I_{OL} = 2mA$	
	クロスオーバー電圧	V_{CRS}	1.3	2.0	V	図 48.65、 図 48.66、 図 48.67	
	立ち上がり時間	FS	t_r	4	20		ns
		LS		75	300		
	立ち下がり時間	FS	t_f	4	20		ns
		LS		75	300		
	立ち上がり/立ち下がり時間比	FS	t_r/t_f	90	111.11		%
LS			80	125			
出力抵抗	Z_{DRV}	28	44	Ω	(外部素子の抵抗値調整は不要)		
VBUS 特性	VBUS 入力電圧	V_{IH}	$VCC \times 0.8$	—	V	—	
		V_{IL}	—	$VCC \times 0.2$	V	—	
プルアップ、プルダウン	プルダウン抵抗	R_{PD}	14.25	24.80	k Ω	—	
	プルアップ抵抗	R_{PUI}	0.9	1.575	k Ω	アイドル状態の間	
		R_{PUA}	1.425	3.09	k Ω	受信時	
バッテリーチャージング規格 Ver 1.2	D+ シンク電流	I_{DP_SINK}	25	175	μA	—	
	D- シンク電流	I_{DM_SINK}	25	175	μA	—	
	DCD ソース電流	I_{DP_SRC}	7	13	μA	—	
	データ検出電圧	V_{DAT_REF}	0.25	0.4	V	—	
	D+ ソース電圧	V_{DP_SRC}	0.5	0.7	V	出力電流 = 250 μA	
	D- ソース電圧	V_{DM_SRC}	0.5	0.7	V	出力電流 = 250 μA	

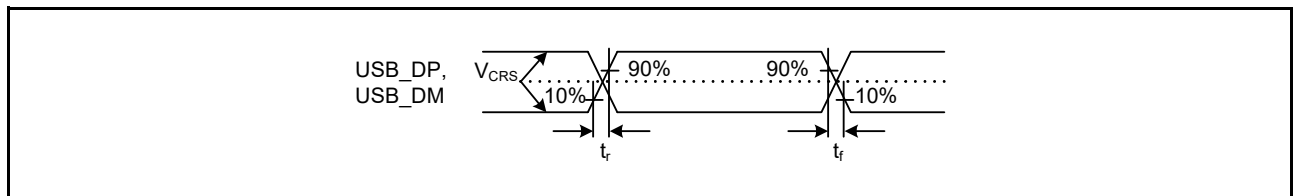


図 48.65 USB_DP および USB_DM 出力タイミング

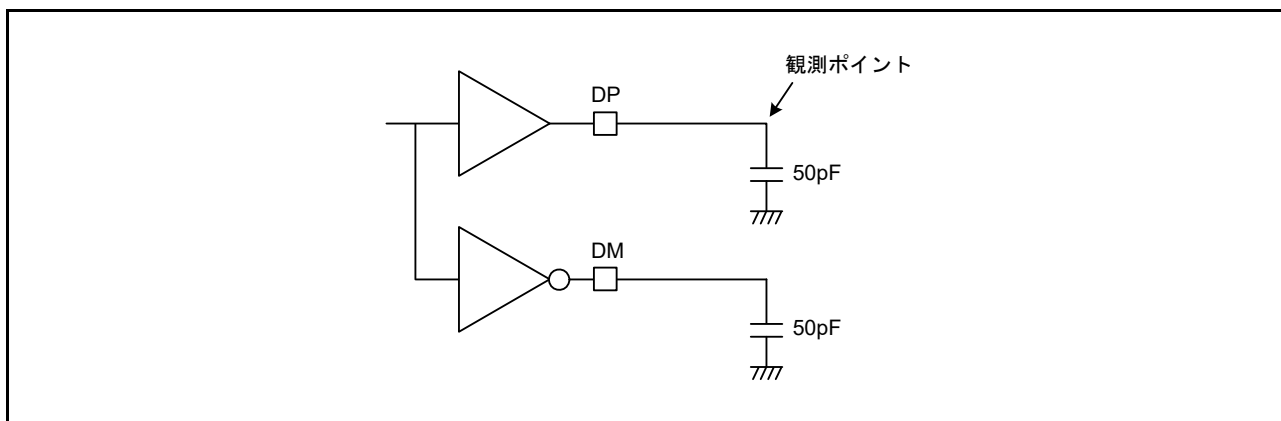


図 48.66 フルスピード (FS) 接続の測定回路

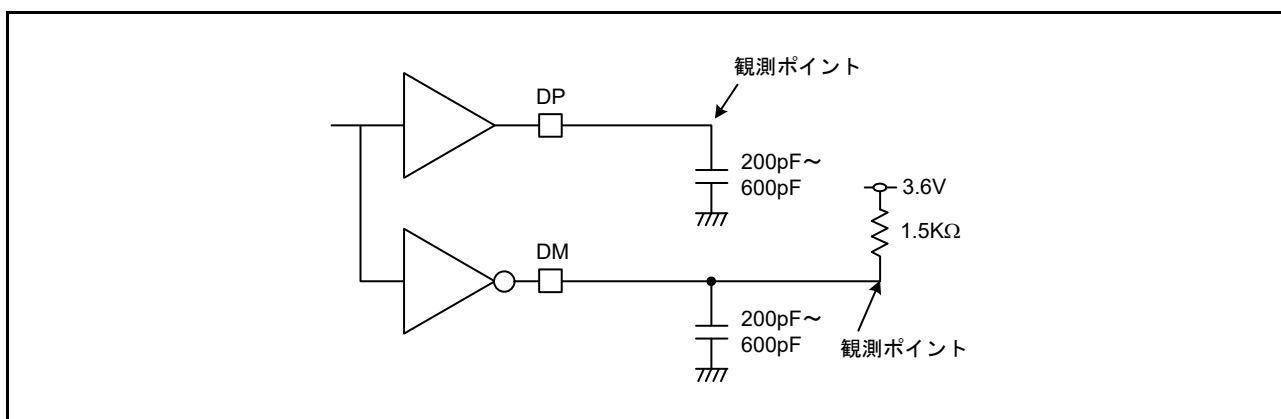


図 48.67 ロースピード (LS) 接続の測定回路

48.4.2 USB 外部供給

表 48.41 USBレギュレータ

項目		Min	Typ	Max	単位	測定条件
VCC_USB 供給電流	VCC_USB_LDO ≥ 3.8V	—	—	50	mA	—
	VCC_USB_LDO ≥ 4.5V	—	—	100	mA	—
VCC_USB 電源電圧		3.0	—	3.6	V	—

48.5 ADC14 特性

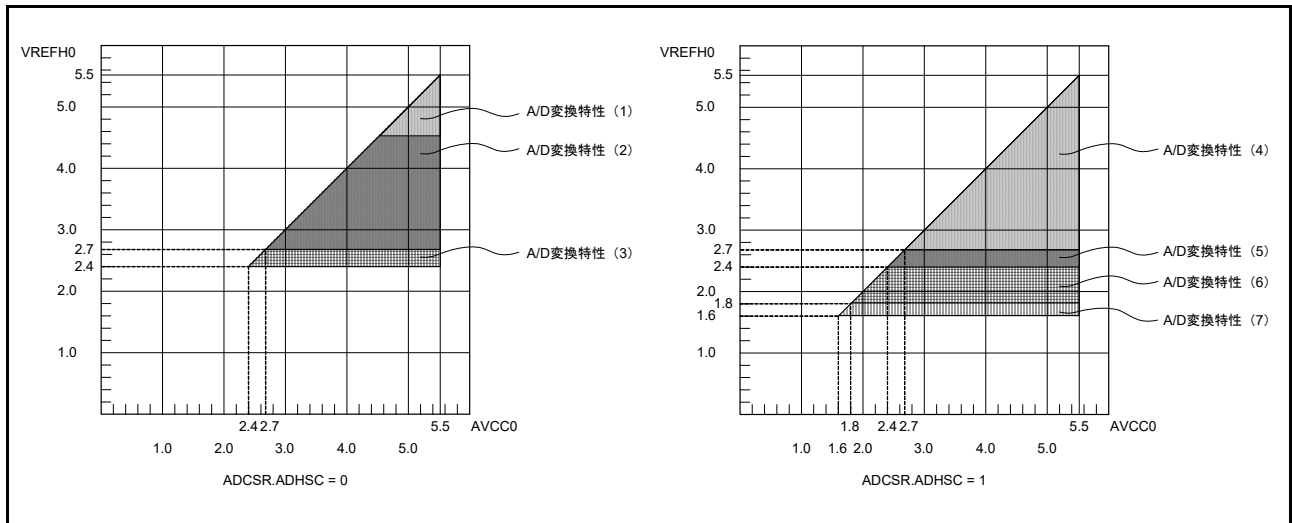


図 48.68 AVCC0 ~ VREFH0 電圧範囲

表 48.42 高速A/D変換モードにおけるA/D変換特性 (1) (1/2)

条件 : VCC = AVCC0 = 4.5 ~ 5.5V、VREFH0 = 4.5 ~ 5.5V

基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	64	MHz	—
アナログ入力容量 (注2)	Cs	—	—	8 (参考データ)	pF	高精度チャンネル
		—	—	9 (参考データ)	pF	通常精度チャンネル
アナログ入力抵抗	Rs	—	—	2.5 (参考データ)	kΩ	高精度チャンネル
		—	—	6.7 (参考データ)	kΩ	通常精度チャンネル
アナログ入力電圧範囲		0	—	VREFH0	V	—
12ビットモード						
分解能		—	—	12	ビット	—
変換時間 (注1) (PCLKC = 64MHzで動作時)	許容信号源インピーダンス Max = 0.3kΩ	0.70	—	—	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.13	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 0.5	± 4.5	LSB	高精度チャンネル
		—		± 6.0	LSB	上記以外
フルスケール誤差		—	± 0.75	± 4.5	LSB	高精度チャンネル
		—		± 6.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャンネル
		—		± 8.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 1.0	—	LSB	—
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	—
14ビットモード						
分解能		—	—	14	ビット	—

表 48.42 高速A/D変換モードにおけるA/D変換特性 (1) (2/2)

条件: VCC = AVCC0 = 4.5 ~ 5.5V、VREFH0 = 4.5 ~ 5.5V

基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
変換時間 (注1) (PCLKC = 64MHzで動作時)	許容信号源インピーダンス Max = 0.3kΩ	0.80	—	—	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.22	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 2.0	± 18	LSB	高精度チャンネル
		—		± 24.0	LSB	上記以外
フルスケール誤差		—	± 3.0	± 18	LSB	高精度チャンネル
		—		± 24.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 5.0	± 20	LSB	高精度チャンネル
		—		± 32.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 4.0	—	LSB	—
INL 積分非直線性誤差		—	± 4.0	± 12.0	LSB	—

注. 14ビットA/Dコンバータ入力以外の端子機能を使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (C_{in}) 以外は、48.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。

表 48.43 高速A/D変換モードにおけるA/D変換特性 (2)

条件: VCC = AVCC0 = 2.7 ~ 5.5V、VREFH0 = 2.7V ~ 5.5V

基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	48	MHz	—
アナログ入力容量 (注2)	Cs	—	—	8 (参考データ)	pF	高精度チャンネル
		—	—	9 (参考データ)	pF	通常精度チャンネル
アナログ入力抵抗	Rs	—	—	2.5 (参考データ)	kΩ	高精度チャンネル
		—	—	6.7 (参考データ)	kΩ	通常精度チャンネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
12ビットモード						
分解能		—	—	12	ビット	—
変換時間 (注1) (PCLKC = 48MHzで動作時)	許容信号源インピーダンス Max = 0.3kΩ	0.94	—	—	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.50	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 0.5	± 4.5	LSB	高精度チャンネル
		—		± 6.0	LSB	上記以外
フルスケール誤差		—	± 0.75	± 4.5	LSB	高精度チャンネル
		—		± 6.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャンネル
		—		± 8.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 1.0	—	LSB	—
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	—
14ビットモード						
分解能		—	—	14	ビット	—
変換時間 (注1) (PCLKC = 48MHzで動作時)	許容信号源インピーダンス Max = 0.3kΩ	1.06	—	—	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.63	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 2.0	± 18	LSB	高精度チャンネル
		—		± 24.0	LSB	上記以外
フルスケール誤差		—	± 3.0	± 18	LSB	高精度チャンネル
		—		± 24.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 5.0	± 20	LSB	高精度チャンネル
		—		± 32.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 4.0	—	LSB	—
INL 積分非直線性誤差		—	± 4.0	± 12.0	LSB	—

注. 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O入力容量 (C_{in}) 以外は、48.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。

表 48.44 高速A/D変換モードにおけるA/D変換特性 (3)

条件: VCC = AVCC0 = 2.4 ~ 5.5V、VREFH0 = 2.4V ~ 5.5V

基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	32	MHz	—
アナログ入力容量 (注2)	Cs	—	—	8 (参考データ)	pF	高精度チャネル
		—	—	9 (参考データ)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	2.5 (参考データ)	kΩ	高精度チャネル
		—	—	6.7 (参考データ)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
12ビットモード						
分解能		—	—	12	ビット	—
変換時間 (注1) (PCLKC = 32MHzで動作時)	許容信号源インピーダンス Max = 1.3kΩ	1.41	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		2.25	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 0.5	± 4.5	LSB	高精度チャネル
		—		± 6.0	LSB	上記以外
フルスケール誤差		—	± 0.75	± 4.5	LSB	高精度チャネル
		—		± 6.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャネル
		—		± 8.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 1.0	—	LSB	—
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	—
14ビットモード						
分解能		—	—	14	ビット	—
変換時間 (注1) (PCLKC = 32MHzで動作時)	許容信号源インピーダンス Max = 1.3kΩ	1.59	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		2.44	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 2.0	± 18	LSB	高精度チャネル
		—		± 24.0	LSB	上記以外
フルスケール誤差		—	± 3.0	± 18	LSB	高精度チャネル
		—		± 24.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 5.0	± 20	LSB	高精度チャネル
		—		± 32.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 4.0	—	LSB	—
INL 積分非直線性誤差		—	± 4.0	± 12.0	LSB	—

注. 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O入力容量 (C_{in}) 以外は、48.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。

表 48.45 低消費電力 A/D 変換モードにおける A/D 変換特性 (4)

条件: VCC = AVCC0 = 2.7 ~ 5.5V、VREFH0 = 2.7V ~ 5.5V

基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	24	MHz	—
アナログ入力容量 (注2)	Cs	—	—	8 (参考データ)	pF	高精度チャンネル
		—	—	9 (参考データ)	pF	通常精度チャンネル
アナログ入力抵抗	Rs	—	—	2.5 (参考データ)	kΩ	高精度チャンネル
		—	—	6.7 (参考データ)	kΩ	通常精度チャンネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
12ビットモード						
分解能		—	—	12	ビット	—
変換時間 (注1) (PCLKC = 24MHzで動作時)	許容信号源インピーダンス Max = 1.1kΩ	2.25	—	—	μs	高精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		3.38	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 0.5	± 4.5	LSB	高精度チャンネル
		—		± 6.0	LSB	上記以外
フルスケール誤差		—	± 0.75	± 4.5	LSB	高精度チャンネル
		—		± 6.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャンネル
		—		± 8.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 1.0	—	LSB	—
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	—
14ビットモード						
分解能		—	—	14	ビット	—
変換時間 (注1) (PCLKC = 24MHzで動作時)	許容信号源インピーダンス Max = 1.1kΩ	2.50	—	—	μs	高精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		3.63	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 2.0	± 18	LSB	高精度チャンネル
		—		± 24.0	LSB	上記以外
フルスケール誤差		—	± 3.0	± 18	LSB	高精度チャンネル
		—		± 24.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 5.0	± 20	LSB	高精度チャンネル
		—		± 32.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 4.0	—	LSB	—
INL 積分非直線性誤差		—	± 4.0	± 12.0	LSB	—

注. 14ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (C_{in}) 以外は、48.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。

表 48.46 低消費電力 A/D 変換モードにおける A/D 変換特性 (5)

条件: VCC = AVCC0 = 2.4 ~ 5.5V、VREFH0 = 2.4V ~ 5.5V

基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	16	MHz	—
アナログ入力容量 (注2)	Cs	—	—	8 (参考データ)	pF	高精度チャネル
		—	—	9 (参考データ)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	2.5 (参考データ)	kΩ	高精度チャネル
		—	—	6.7 (参考データ)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
12ビットモード						
分解能		—	—	12	ビット	—
変換時間 (注1) (PCLKC = 16MHzで 動作時)	許容信号源インピーダ ンス Max = 2.2kΩ	3.38	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		5.06	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 0.5	± 4.5	LSB	高精度チャネル
		—		± 6.0	LSB	上記以外
フルスケール誤差		—	± 0.75	± 4.5	LSB	高精度チャネル
		—		± 6.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャネル
		—		± 8.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 1.0	—	LSB	—
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	—
14ビットモード						
分解能		—	—	14	ビット	—
変換時間 (注1) (PCLKC = 16MHzで 動作時)	許容信号源インピーダ ンス Max = 2.2kΩ	3.75	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		5.44	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 2.0	± 18	LSB	高精度チャネル
		—		± 24.0	LSB	上記以外
フルスケール誤差		—	± 3.0	± 18	LSB	高精度チャネル
		—		± 24.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 5.0	± 20	LSB	高精度チャネル
		—		± 32.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 4.0	—	LSB	—
INL 積分非直線性誤差		—	± 4.0	± 12.0	LSB	—

注. 14ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (C_{in}) 以外は、48.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。

表 48.47 低消費電力 A/D 変換モードにおける A/D 変換特性 (6)

条件: VCC = AVCC0 = 1.8 ~ 5.5V (VCC < 2.0V のとき AVCC0 = VCC)、VREFH0 = 1.8 ~ 5.5V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	8	MHz	—
アナログ入力容量 (注2)	Cs	—	—	8 (参考データ)	pF	高精度チャンネル
		—	—	9 (参考データ)	pF	通常精度チャンネル
アナログ入力抵抗	Rs	—	—	3.8 (参考データ)	kΩ	高精度チャンネル
		—	—	8.2 (参考データ)	kΩ	通常精度チャンネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
12ビットモード						
分解能		—	—	12	ビット	—
変換時間 (注1) (PCLKC = 8MHz で 動作時)	許容信号源インピーダ ンス Max = 5kΩ	6.75	—	—	μs	高精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		10.13	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差	—	—	± 1.0	± 7.5	LSB	高精度チャンネル
				± 10.0	LSB	上記以外
フルスケール誤差	—	—	± 1.5	± 7.5	LSB	高精度チャンネル
				± 10.0	LSB	上記以外
量子化誤差	—	—	± 0.5	—	LSB	—
絶対精度	—	—	± 3.0	± 8.0	LSB	高精度チャンネル
				± 12.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 1.0	—	LSB	—
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	—
14ビットモード						
分解能		—	—	14	ビット	—
変換時間 (注1) (PCLKC = 8MHz で 動作時)	許容信号源インピーダ ンス Max = 5kΩ	7.50	—	—	μs	高精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		10.88	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差	—	—	± 4.0	± 30.0	LSB	高精度チャンネル
				± 40.0	LSB	上記以外
フルスケール誤差	—	—	± 6.0	± 30.0	LSB	高精度チャンネル
				± 40.0	LSB	上記以外
量子化誤差	—	—	± 0.5	—	LSB	—
絶対精度	—	—	± 12.0	± 32.0	LSB	高精度チャンネル
				± 48.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 4.0	—	LSB	—
INL 積分非直線性誤差		—	± 4.0	± 12.0	LSB	—

注. 14ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (C_{in}) 以外は、48.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。

表 48.48 低消費電力 A/D 変換モードにおける A/D 変換特性 (7)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V (VCC < 2.0V のとき AVCC0 = VCC)、VREFH0 = 1.6 ~ 5.5V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	4	MHz	—
アナログ入力容量 (注2)	Cs	—	—	8 (参考データ)	pF	高精度チャネル
		—	—	9 (参考データ)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	13.1 (参考データ)	kΩ	高精度チャネル
		—	—	14.3 (参考データ)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
12ビットモード						
分解能		—	—	12	ビット	—
変換時間 (注1) (PCLKC = 4MHz で 動作時)	許容信号源インピーダ ンス Max = 9.9kΩ	13.5	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		20.25	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 1.0	± 7.5	LSB	高精度チャネル
		—		± 10.0	LSB	上記以外
フルスケール誤差		—	± 1.5	± 7.5	LSB	高精度チャネル
		—		± 10.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 3.0	± 8.0	LSB	高精度チャネル
		—		± 12.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 1.0	—	LSB	—
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	—
14ビットモード						
分解能		—	—	14	ビット	—
変換時間 (注1) (PCLKC = 4MHz で 動作時)	許容信号源インピーダ ンス Max = 9.9kΩ	15.0	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		21.75	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 4.0	± 30.0	LSB	高精度チャネル
		—		± 40.0	LSB	上記以外
フルスケール誤差		—	± 6.0	± 30.0	LSB	高精度チャネル
		—		± 40.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 12.0	± 32.0	LSB	高精度チャネル
		—		± 48.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 4.0	—	LSB	—
INL 積分非直線性誤差		—	± 4.0	± 12.0	LSB	—

注 . 14 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (C_{in}) 以外は、48.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。

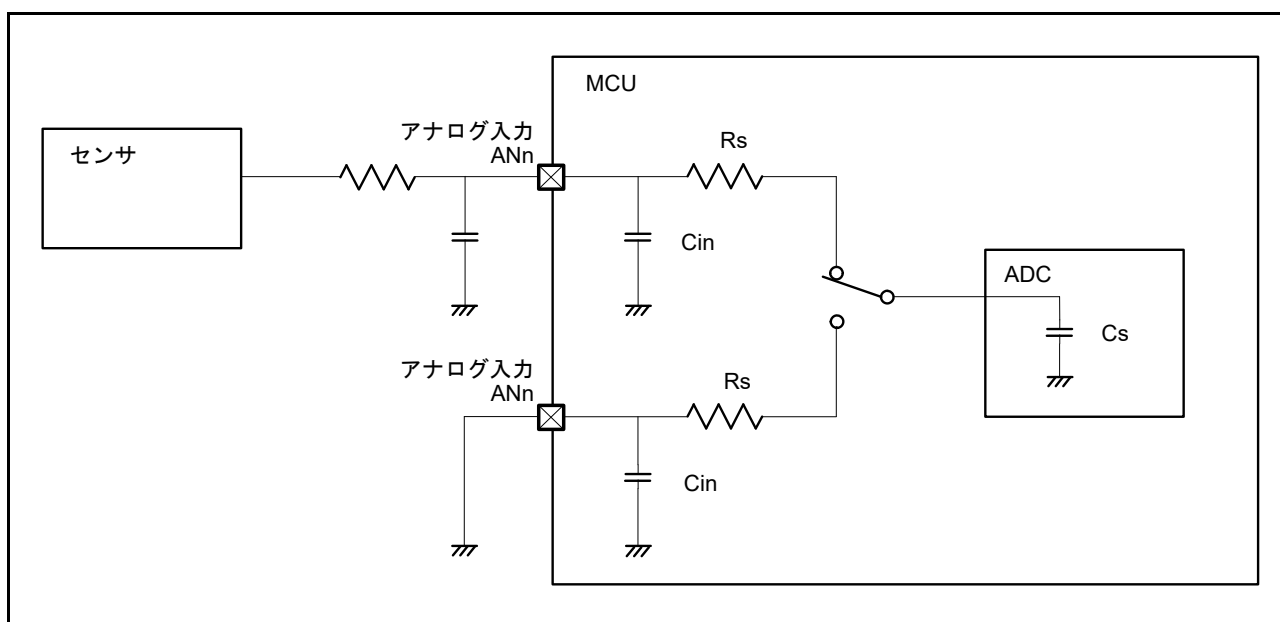


図 48.69 アナログ入力の等価回路

表 48.49 14ビットA/Dコンバータチャンネル分類

分類	チャンネル	条件	注意点
高精度チャンネル	AN000～AN014	AVCC0 = 1.6～5.5V	A/Dコンバータ使用時AN000～AN014端子は、汎用入出力端子、IRQ2、IRQ3入力端子、TS送信端子としては使用できません。
通常精度チャンネル	AN016～AN025		
内部基準電圧入力チャンネル	内部基準電圧	AVCC0 = 2.0～5.5V	—
温度センサ入力チャンネル	温度センサ出力	AVCC0 = 2.0～5.5V	—

表 48.50 A/D内部基準電圧特性

条件：VCC = AVCC0 = VREFH0 = 2.0～5.5V (注1)

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャンネル (注2)	1.36	1.43	1.50	V	—
周波数 (注3)	1	—	2	MHz	—
サンプリング時間 (注4)	5.0	—	—	μs	—

- 注 1. AVCC0 < 2.0V のとき、入力チャンネルに内部基準電圧は選択できません。
- 注 2. 14ビットA/D内部基準電圧は、内部基準電圧が14ビットA/Dコンバータに入力されたときの電圧を示します。
- 注 3. 内部基準電圧が高電位基準電圧として使用される場合のADC14用パラメータです。
- 注 4. 内部基準電圧がADC14のアナログ入力チャンネルに選択された場合のADC14用パラメータです。

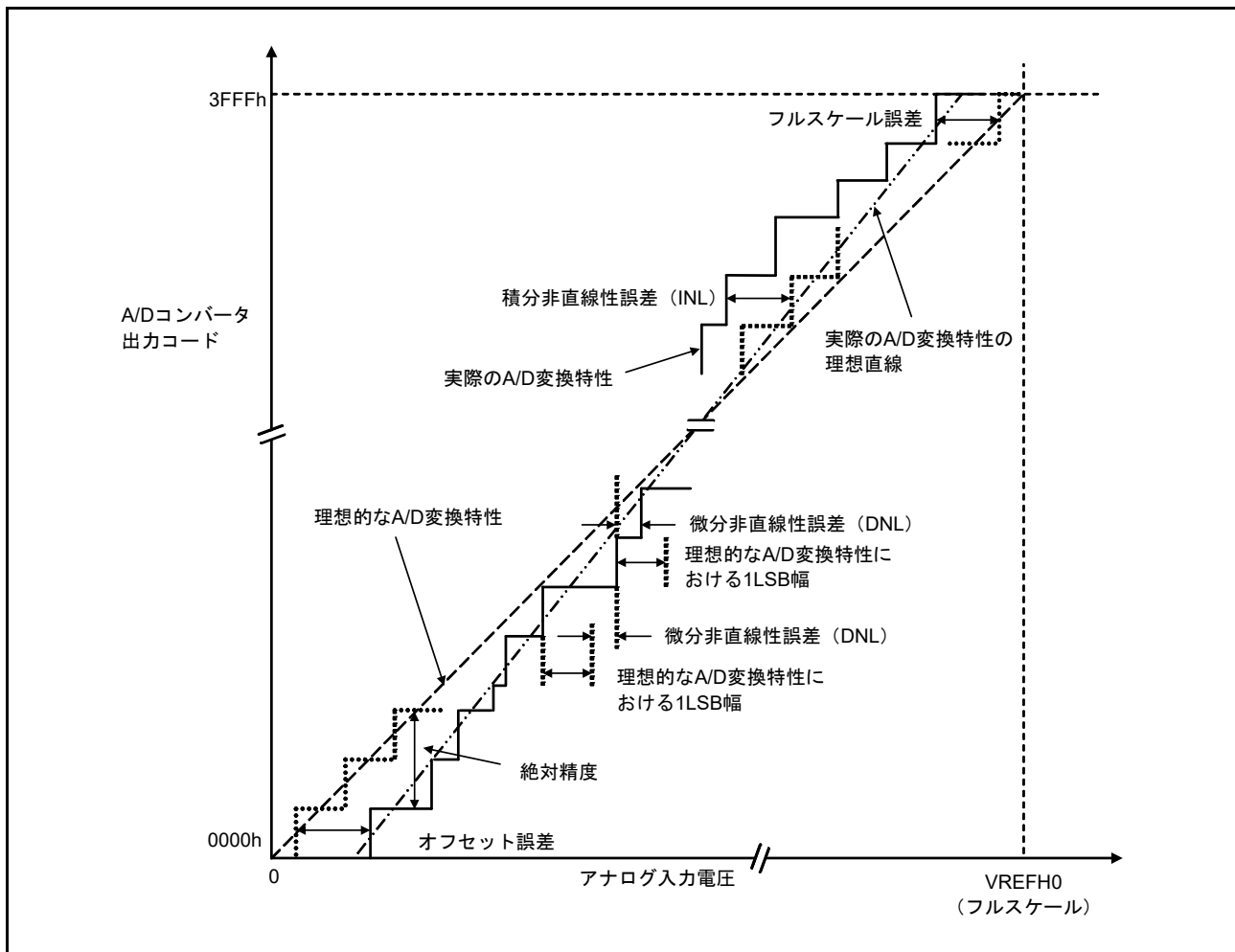


図 48.70 14 ビット A/D コンバータ特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 $V_{REFH0} = 3.072V$ の場合、1LSB 幅は $0.75mV$ になり、アナログ入力電圧には $0mV$ 、 $0.75mV$ 、 $1.5mV$ が使用されます。 ± 5 LSB の絶対精度とは、アナログ入力電圧が $6mV$ の場合、理論的 A/D 変換特性から期待される出力コードが $008h$ であっても、実際の A/D 変換結果は $003h \sim 00Dh$ の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロとした場合の理想的な直線と、実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と、実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と、実際の最後の出力コードとの差です。

48.6 DAC12 特性

表 48.51 D/A 変換特性 (1)

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

基準電圧 = VREFH または VREFL 選択時

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
負荷抵抗	30	—	—	kΩ	—
負荷容量	—	—	50	pF	—
出力電圧範囲	0.35	—	AVCC0 - 0.47	V	—
DNL 微分非直線性誤差	—	± 0.5	± 1.0	LSB	—
INL 積分非直線性誤差	—	± 2.0	± 8.0	LSB	—
オフセット誤差	—	—	± 20	mV	—
フルスケール誤差	—	—	± 20	mV	—
出カインピーダンス	—	5	—	Ω	—
変換時間	—	—	30	μs	—

表 48.52 D/A 変換特性 (2)

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

基準電圧 = AVCC0 または AVSS0 選択時

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
負荷抵抗	30	—	—	kΩ	—
負荷容量	—	—	50	pF	—
出力電圧範囲	0.35	—	AVCC0 - 0.47	V	—
DNL 微分非直線性誤差	—	± 0.5	± 2.0	LSB	—
INL 積分非直線性誤差	—	± 2.0	± 8.0	LSB	—
オフセット誤差	—	—	± 30	mV	—
フルスケール誤差	—	—	± 30	mV	—
出カインピーダンス	—	5	—	Ω	—
変換時間	—	—	30	μs	—

表 48.53 D/A 変換特性 (3)

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

基準電圧 = 内部基準電圧選択時

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
内部基準電圧 (Vbgr)	1.36	1.43	1.50	V	—
負荷抵抗	30	—	—	kΩ	—
負荷容量	—	—	50	pF	—
出力電圧範囲	0.35	—	Vbgr	V	—
DNL 微分非直線性誤差	—	± 2.0	± 16.0	LSB	—
INL 積分非直線性誤差	—	± 8.0	± 16.0	LSB	—
オフセット誤差	—	—	± 30	mV	—
出カインピーダンス	—	5	—	Ω	—
変換時間	—	—	30	μs	—

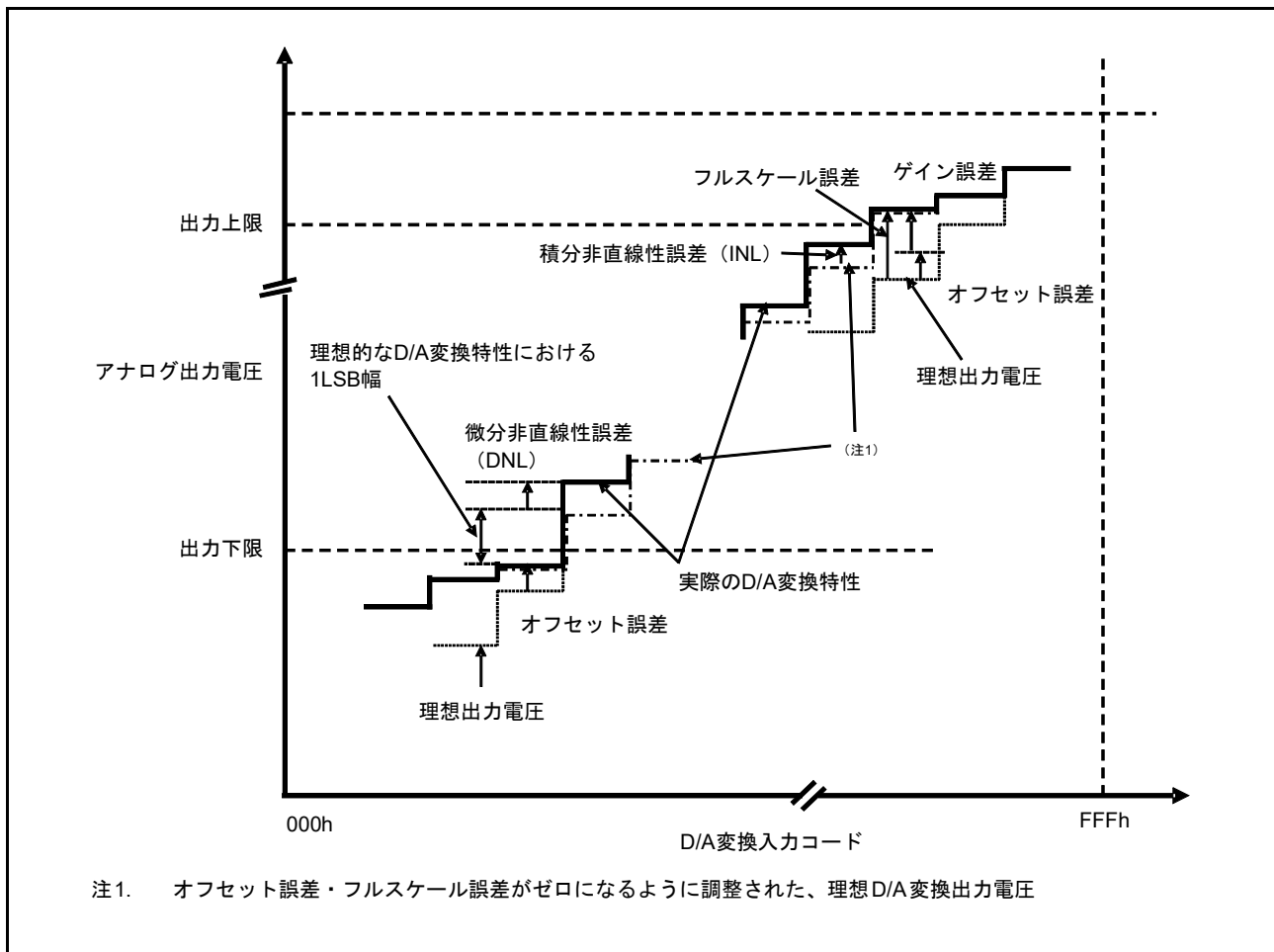


図 48.71 D/A コンバータ特性用語の解説図

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロとした場合の理想的な変換特性に基づく理想的な出力電圧と、実際の出力電圧との最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 D/A 変換特性に基づく 1LSB の電圧幅と、実際の出力電圧幅との差です。

オフセット誤差

オフセット誤差とは、出力下限を下回る一番高い実際の出力電圧と、その入力コードに基づく理想的な出力電圧との差です。

フルスケール誤差

フルスケール誤差とは、出力上限を上回る一番低い実際の出力電圧と、その入力コードに基づく理想的な出力電圧との差です。

48.7 TSN 特性

表 48.54 TSN 特性

条件 : VCC = AVCC0 = 2.0 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	± 1.5	—	°C	2.4V 以上
	—	—	± 2.0	—	°C	2.4V 未満
温度傾斜	—	—	-3.65	—	mV/°C	—
出力電圧 (25°C)	—	—	1.05	—	V	VCC = 3.3V
温度センサ起動時間	t _{START}	—	—	5	μs	—
サンプリング時間	—	5	—	—	μs	—

48.8 OSC 停止検出特性

表 48.55 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t _{dr}	—	—	1	ms	図 48.72

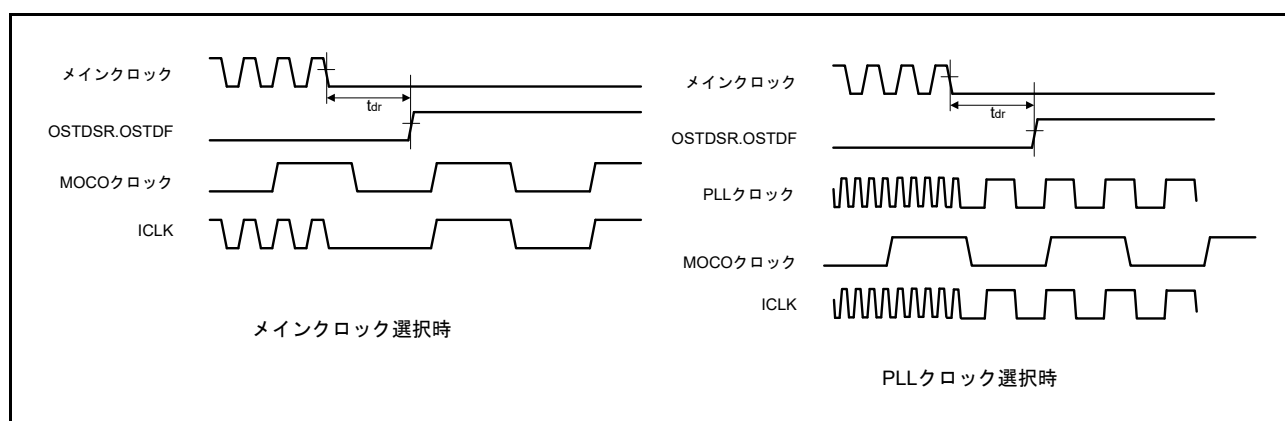


図 48.72 発振停止検出タイミング

48.9 POR/LVD 特性

表 48.56 パワーオンリセット回路、電圧検出回路の特性 (1)

項目	シンボル	Min	Typ	Max	単位	測定条件	
電圧検出レベル (注1)	パワーオンリセット (POR)	V_{POR}	1.27	1.42	1.57	V	図 48.73 、 図 48.74
	電圧検出回路 (LVD0) (注2)	V_{det0_0}	3.68	3.85	4.00	V	図 48.75 VCC立ち下がり エッジ時
		V_{det0_1}	2.68	2.85	2.96		
		V_{det0_2}	2.38	2.53	2.64		
		V_{det0_3}	1.78	1.90	2.02		
		V_{det0_4}	1.60	1.69	1.82		
	電圧検出回路 (LVD1) (注3)	V_{det1_0}	4.13	4.29	4.45	V	図 48.76 VCC立ち下がり エッジ時
		V_{det1_1}	3.98	4.16	4.30		
		V_{det1_2}	3.86	4.03	4.18		
		V_{det1_3}	3.68	3.86	4.00		
		V_{det1_4}	2.98	3.10	3.22		
		V_{det1_5}	2.89	3.00	3.11		
		V_{det1_6}	2.79	2.90	3.01		
		V_{det1_7}	2.68	2.79	2.90		
		V_{det1_8}	2.58	2.68	2.78		
		V_{det1_9}	2.48	2.58	2.68		
		V_{det1_A}	2.38	2.48	2.58		
		V_{det1_B}	2.10	2.20	2.30		
		V_{det1_C}	1.84	1.96	2.05		
		V_{det1_D}	1.74	1.86	1.95		
V_{det1_E}		1.63	1.75	1.84			
V_{det1_F}	1.60	1.65	1.73				
電圧検出回路 (LVD2) (注4)	V_{det2_0}	4.11	4.31	4.48	V	図 48.77 VCC立ち下がり エッジ時	
	V_{det2_1}	3.97	4.17	4.34			
	V_{det2_2}	3.83	4.03	4.20			
	V_{det2_3}	3.64	3.84	4.01			

注 1. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。設定により電圧検出レベルが電圧検出回路のそれと重複する場合、LVD1 と LVD2 のどちらを電圧検出に使用するかを指定できません。

注 2. $V_{det0_#}$ の # は OFS1.VDSEL1[2:0] ビットの値を示しています。

注 3. $V_{det1_#}$ の # は LVDLVL.R.LVD1LVL[4:0] ビットの値を示しています。

注 4. $V_{det2_#}$ の # は LVDLVL.R.LVD2LVL[2:0] ビットの値を示しています。

表 48.57 パワーオンリセット回路、電圧検出回路の特性 (2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
パワーオンリセット解除後の待機時間	LVD0 : 有効	t_{POR}	—	1.7	—	ms	—
	LVD0 : 無効	t_{POR}	—	1.3	—	ms	—
電圧監視0、1、2リセット解除後の待機時間	LVD0 : 有効 (注1)	$t_{LVD0,1,2}$	—	0.6	—	ms	—
	LVD0 : 無効 (注2)	$t_{LVD1,2}$	—	0.2	—	ms	—
応答遅延時間 (注3)	t_{det}	—	—	350	—	μ s	図 48.73、 図 48.74
最小VCC低下時間	t_{VOFF}	450	—	—	—	μ s	図 48.73、 VCC = 1.0V以上
パワーオンリセット有効時間	t_W (POR)	1	—	—	—	ms	図 48.74、 VCC = 1.0V未満
LVD動作安定時間 (LVD有効切り替え後)	t_d (E-A)	—	—	300	—	μ s	図 48.76、 図 48.77
ヒステリシス幅 (POR)	V_{PORH}	—	110	—	—	mV	—
ヒステリシス幅 (LVD0, LVD1, LVD2)	V_{LVH}	—	60	—	—	mV	LVD0選択時
		—	100	—	—	mV	$V_{det1_0} \sim V_{det1_2}$ 選択時
		—	60	—	—	mV	$V_{det1_3} \sim V_{det1_9}$ 選択時
		—	50	—	—	mV	$V_{det1_A} \sim V_{det1_B}$ 選択時
		—	40	—	—	mV	$V_{det1_C} \sim V_{det1_F}$ 選択時
		—	60	—	—	mV	LVD2選択時

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

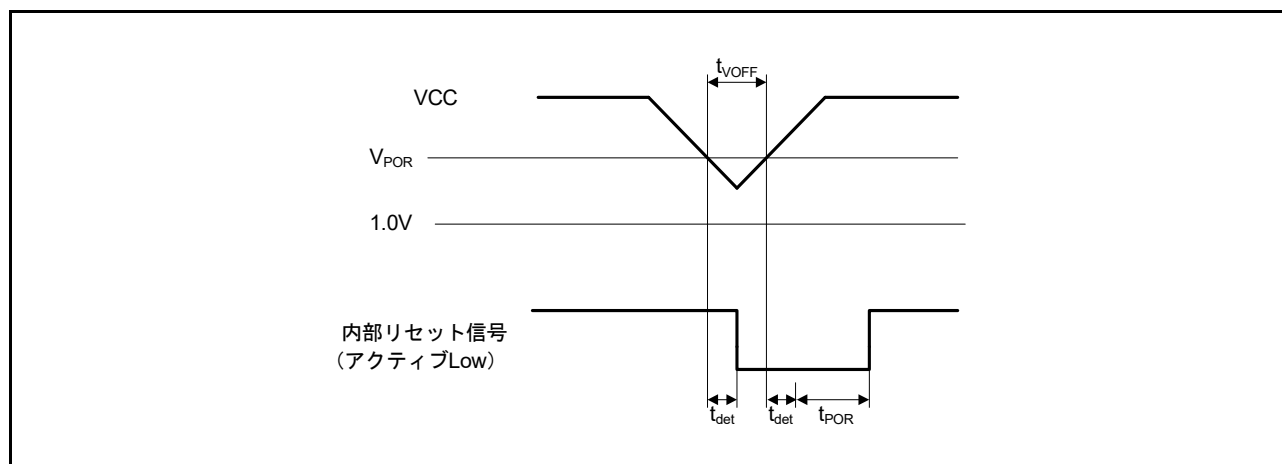
注 3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} のmin値を下回っている時間です。

図 48.73 電圧検出リセットタイミング

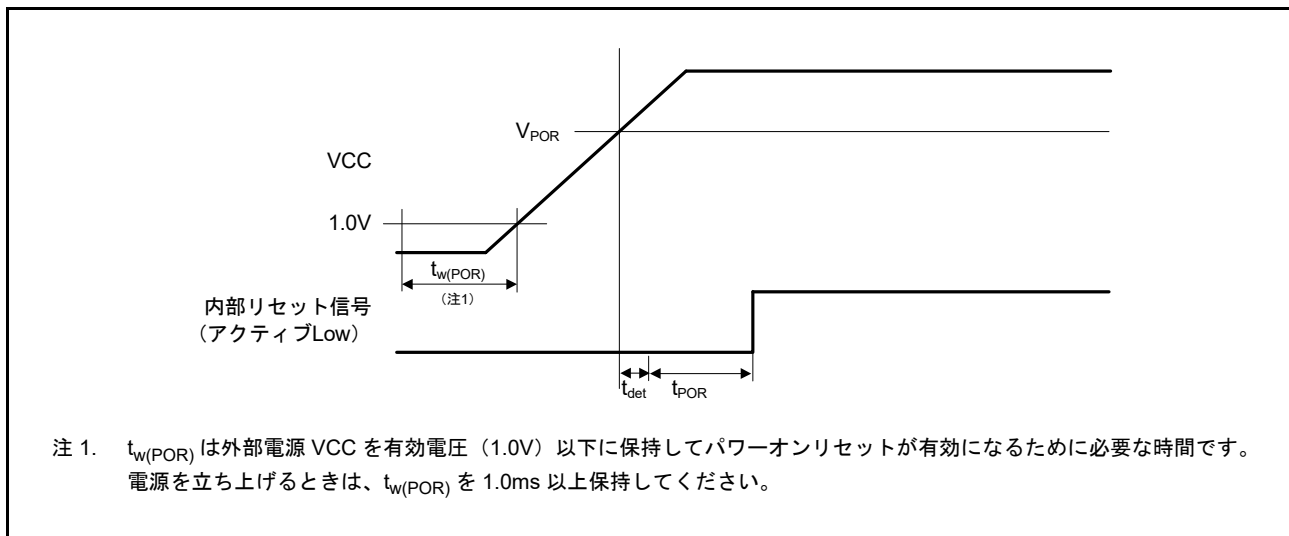
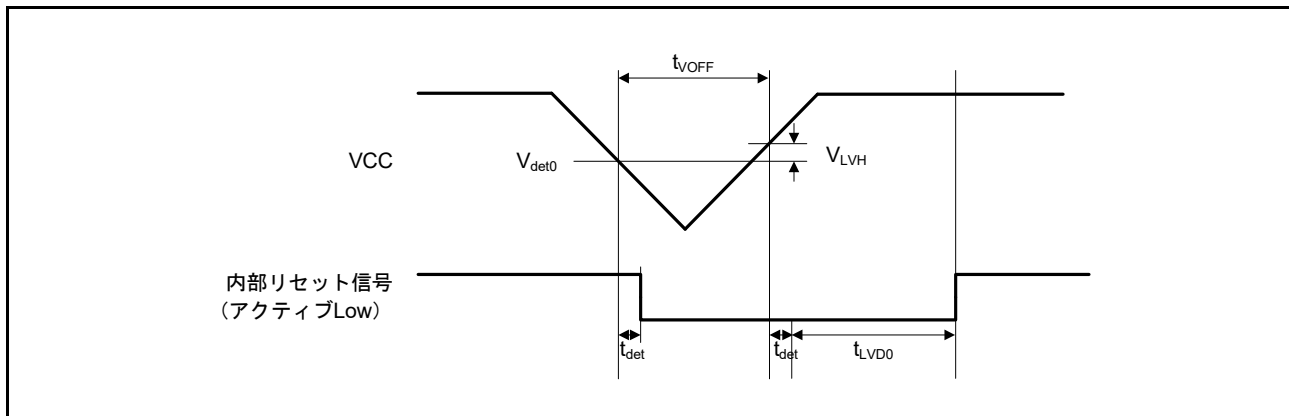


図 48.74 パワーオンリセットタイミング

図 48.75 電圧検出回路タイミング (V_{det0})

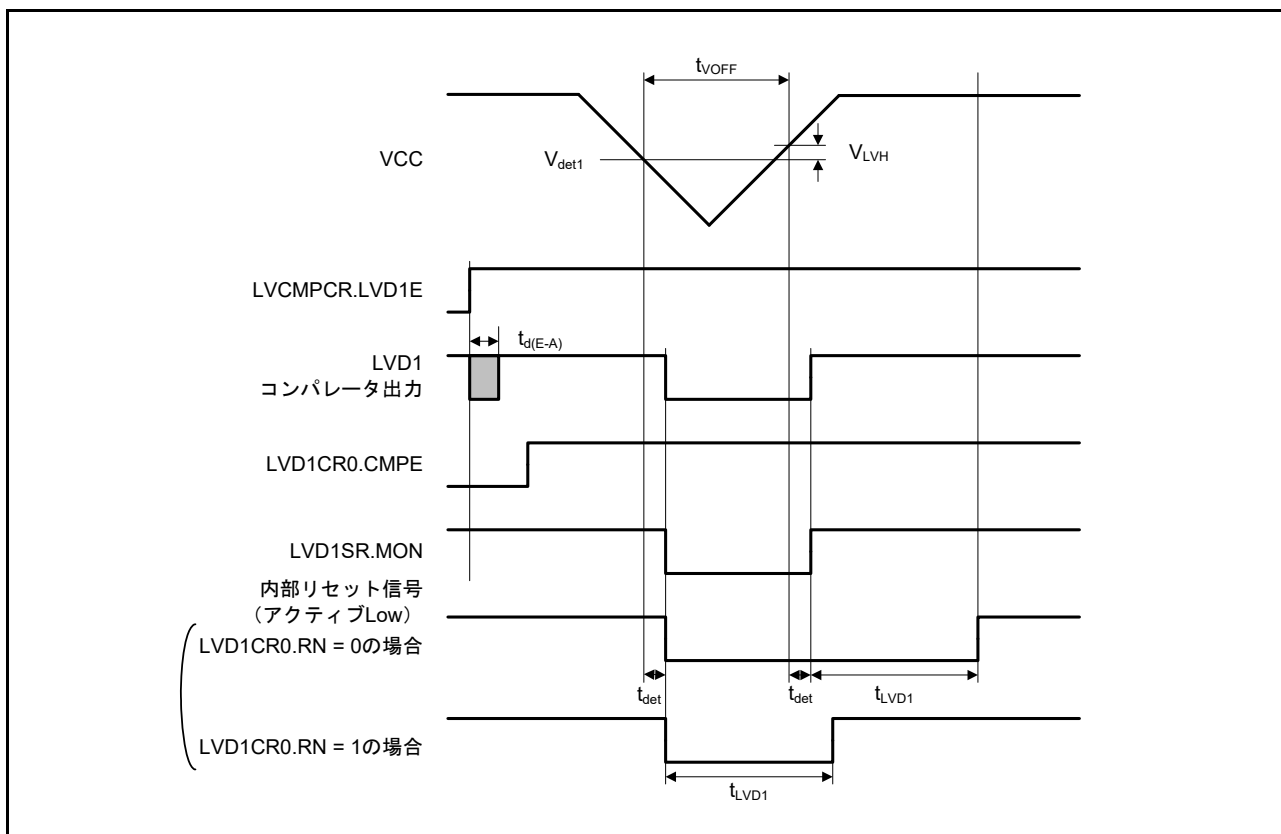


図 48.76 電圧検出回路タイミング (V_{det1})

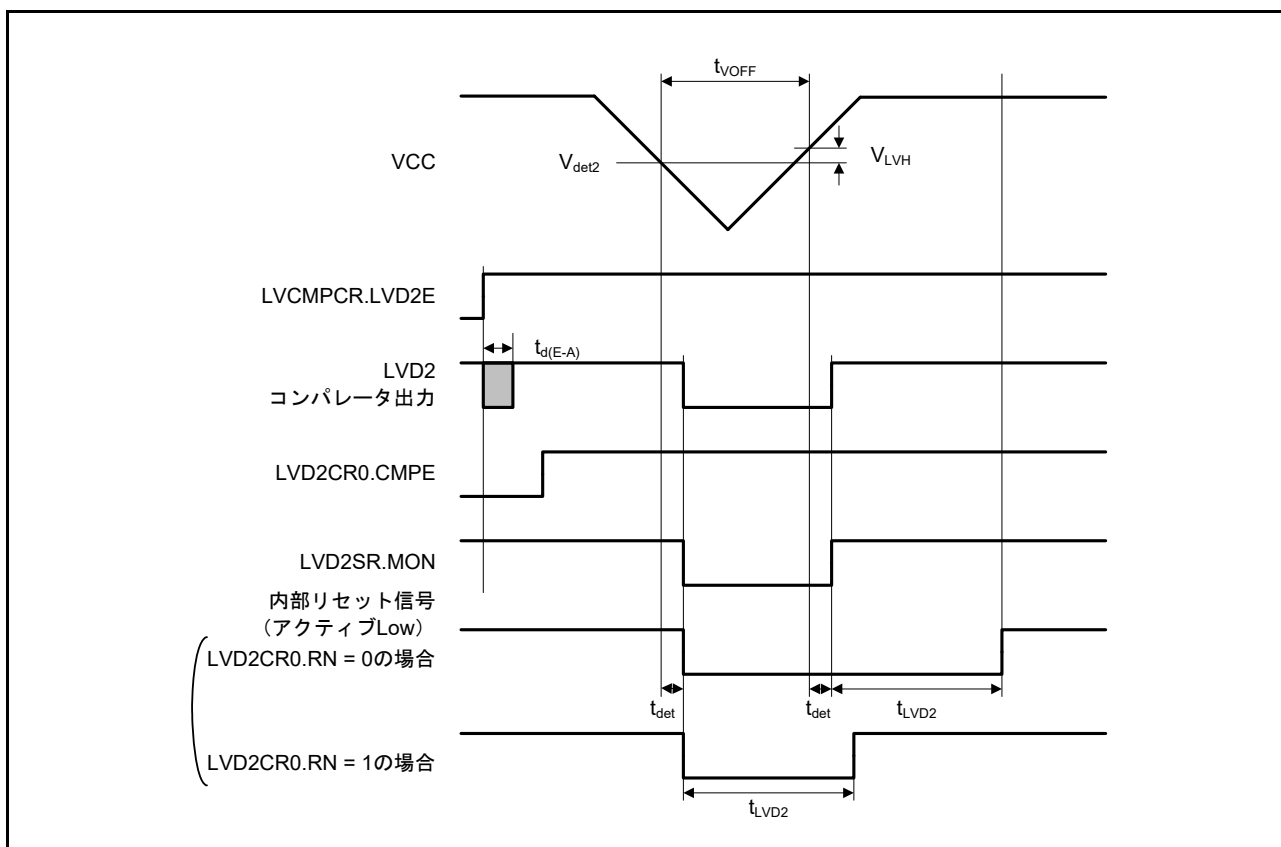


図 48.77 電圧検出回路タイミング (V_{det2})

48.10 バッテリバックアップ機能特性

表 48.58 バッテリバックアップ機能特性

条件 : VCC = AVCC0 = 1.6V ~ 5.5V、VBATT = 1.6 ~ 3.6V

項目	シンボル	Min	Typ	Max	単位	測定条件	
バッテリバックアップ切り替え電圧レベル (立ち下がり)	$V_{DET\ BATT}$	1.99	2.09	2.19	V	図 48.78、 図 48.79	
バッテリバックアップへの切り替えヒステリシス幅	$V_{VBAT\ TH}$	—	100	—	mV		
電源切り替え VCC オフ期間	$t_{V\ OFF\ BATT}$	300	—	—	μ s	—	
電圧検出レベル VBATT パワーオンリセット (VBATT_POR)	$V_{VBAT\ POR}$	1.30	1.40	1.50	V	図 48.78、 図 48.79	
VBATT_POR リセット時間解除後の待機時間	$t_{VBAT\ POR}$	—	—	3	ms		
VBATT 端子の電圧降下検出レベル (立ち下がり)	VBTLVDLVL[1:0] = 10b	$V_{DET\ BAT\ LVD}$	2.11	2.2	2.29	V	図 48.80
	VBTLVDLVL[1:0] = 11b		1.92	2	2.08	V	
VBATT 端子 LVD のヒステリシス幅	$V_{VBAT\ LVD\ TH}$	—	50	—	mV		
VBATT 端子 LVD 動作安定時間	t_{d_vbat}	—	—	300	μ s	図 48.80	
VBATT 端子 LVD 応答遅延時間	t_{det_vbat}	—	—	350	μ s		
許容電圧変化の立ち上がり/立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	—	
VBATT バックアップレジスタアクセス用 VCC 電圧レベル	$V_{_BKBATT}$	1.8	—	—	V	—	

注 . 電源切り替え VCC オフ期間は、VCC がバッテリバックアップ切り替え電圧レベル $V_{DET\ BATT}$ の min 値を下回っている時間です。

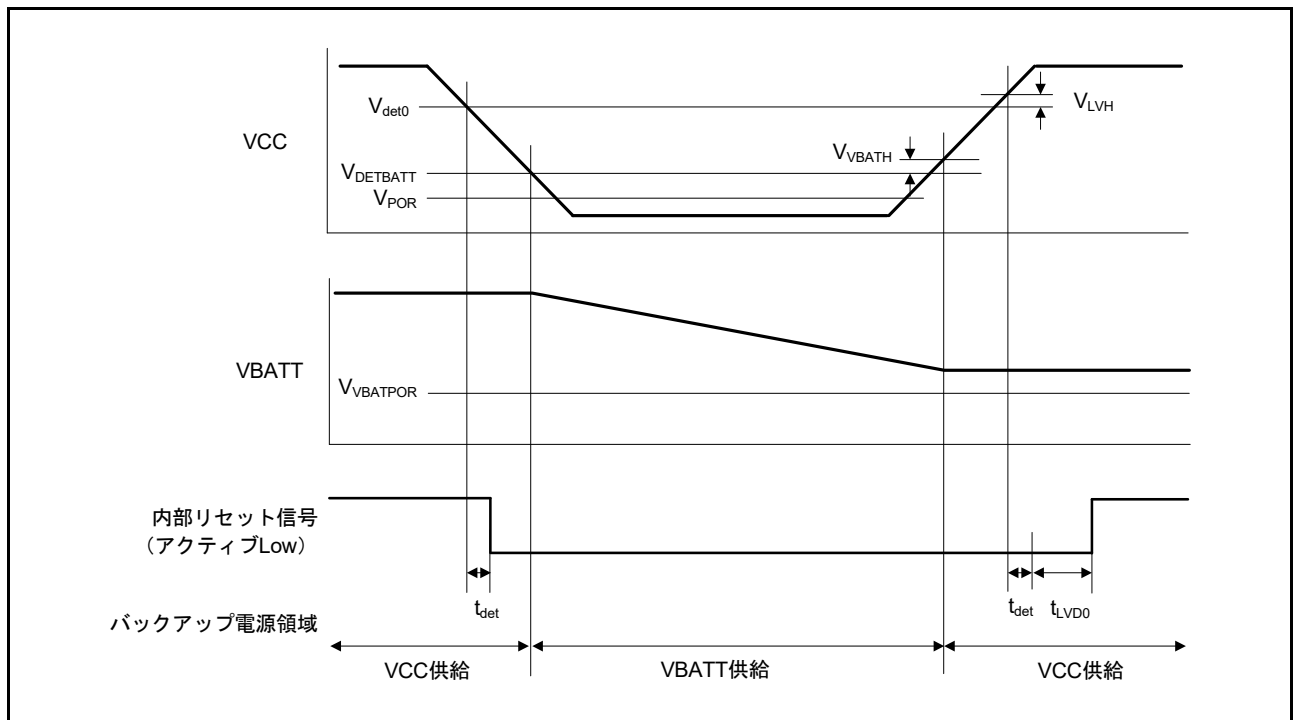


図 48.78 電源切り替えおよび LVD0 リセットタイミング

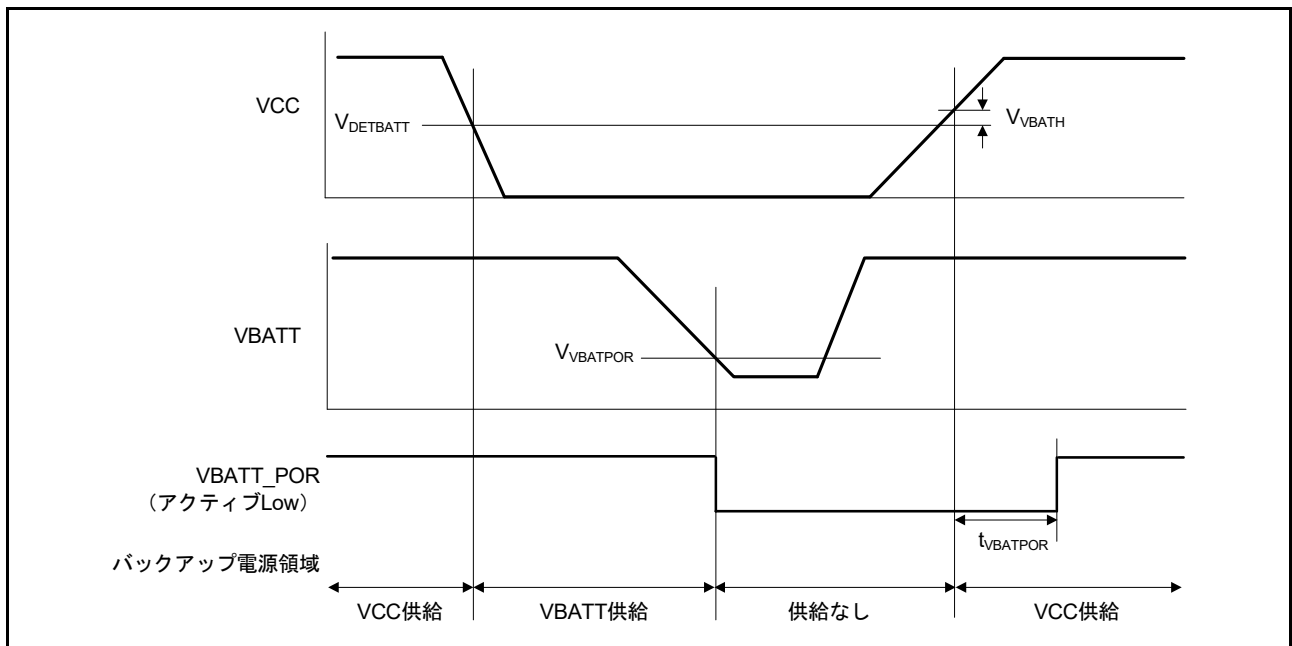


図 48.79 VBATT_POR リセットタイミング

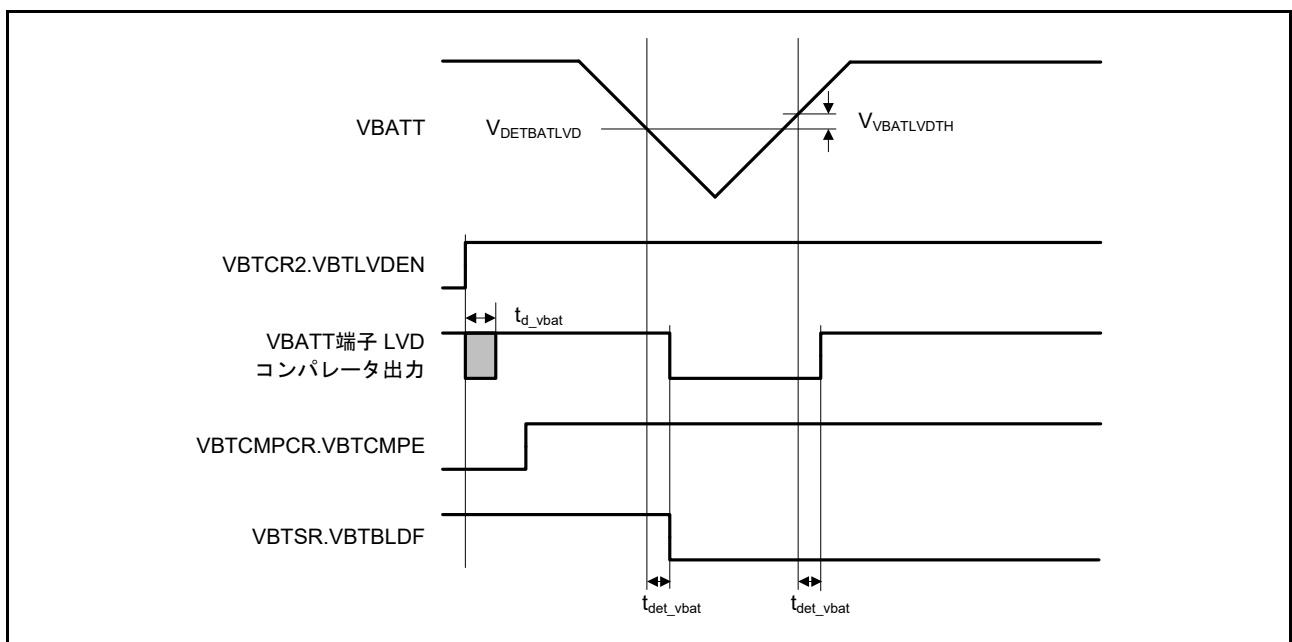


図 48.80 VBATT 端子電圧検出回路タイミング

表 48.59 VBATTのI/O特性

項目			シンボル	Min	Typ	Max	単位	測定条件
VBATWIO _n の I/O出力特性 (n = 0 ~ 2)	VCC > V _{DETBATT}	VCC = 4.0 ~ 5.5V	V _{OH}	VCC - 0.8	—	—	V	I _{OH} = -200μA
			V _{OL}	—	—	0.8		I _{OL} = 200μA
		VCC = 2.7 ~ 4.0V	V _{OH}	VCC - 0.5	—	—		I _{OH} = -100μA
			V _{OL}	—	—	0.5		I _{OL} = 100μA
		VCC = V _{DETBATT} ~ 2.7V	V _{OH}	VCC - 0.3	—	—		I _{OH} = -50μA
			V _{OL}	—	—	0.3		I _{OL} = 50μA
	VCC < V _{DETBATT}	VBATT = 2.7 ~ 3.6V	V _{OH}	V _{BATT} - 0.5	—	—		I _{OH} = -100μA
			V _{OL}	—	—	0.5		I _{OL} = 100μA
		VBATT = 1.6 ~ 2.7V	V _{OH}	V _{BATT} - 0.3	—	—		I _{OH} = -50μA
			V _{OL}	—	—	0.3		I _{OL} = 50μA

48.11 CTSU 特性

表 48.60 CTSU 特性

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
TSCAP 端子に接続された外付け容量	C_{tscap}	9	10	11	nF	—
TS 端子の負荷容量	C_{base}	—	—	50	pF	—
許容大電流出力	ΣI_{OH}	—	—	-24	mA	相互容量方式適用時

48.12 セグメント LCD コントローラ特性

48.12.1 抵抗分割方式

[スタティック表示モード]

表 48.61 抵抗分割方式 LCD 特性 (1)

条件 : VL4 ≤ VCC ≤ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	V_{L4}	2.0	—	VCC	V	—

[1/2 バイアス法、1/4 バイアス法]

表 48.62 抵抗分割方式 LCD 特性 (2)

条件 : VL4 ≤ VCC ≤ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	V_{L4}	2.7	—	VCC	V	—

[1/3 バイアス法]

表 48.63 抵抗分割方式 LCD 特性 (3)

条件 : VL4 ≤ VCC ≤ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	V_{L4}	2.5	—	VCC	V	—

48.12.2 内部昇圧方式

[1/3 バイアス法]

表 48.64 内部昇圧方式 LCD 特性

条件 : VCC = 1.8V ~ 5.5V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件	
LCD 出力電圧可変範囲	V _{L1}	C1 ~ C4 (注1) = 0.47μF	VLCD = 04h	0.90	1.0	1.08	V	—
			VLCD = 05h	0.95	1.05	1.13	V	—
			VLCD = 06h	1.00	1.10	1.18	V	—
			VLCD = 07h	1.05	1.15	1.23	V	—
			VLCD = 08h	1.10	1.20	1.28	V	—
			VLCD = 09h	1.15	1.25	1.33	V	—
			VLCD = 0Ah	1.20	1.30	1.38	V	—
			VLCD = 0Bh	1.25	1.35	1.43	V	—
			VLCD = 0Ch	1.30	1.40	1.48	V	—
			VLCD = 0Dh	1.35	1.45	1.53	V	—
			VLCD = 0Eh	1.40	1.50	1.58	V	—
			VLCD = 0Fh	1.45	1.55	1.63	V	—
			VLCD = 10h	1.50	1.60	1.68	V	—
			VLCD = 11h	1.55	1.65	1.73	V	—
VLCD = 12h	1.60	1.70	1.78	V	—			
VLCD = 13h	1.65	1.75	1.83	V	—			
ダブル出力電圧	V _{L2}	C1 ~ C4 (注1) = 0.47μF	$2 \times V_{L1} - 0.1$	$2 \times V_{L1}$	$2 \times V_{L1}$	V	—	
トリプル出力電圧	V _{L4}	C1 ~ C4 (注1) = 0.47μF	$3 \times V_{L1} - 0.15$	$3 \times V_{L1}$	$3 \times V_{L1}$	V	—	
基準電圧セットアップ時間 (注2)	t _{VL1S}		5	—	—	ms	図 48.81	
LCD 出力電圧可変範囲 (注3)	t _{VLWT}	C1 ~ C4 (注1) = 0.47μF	500	—	—	ms		

注 1. LCD 駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH と CAPL の間に接続するコンデンサ

C2 : VL1 と GND の間に接続するコンデンサ

C3 : VL2 と GND の間に接続するコンデンサ

C4 : VL4 と GND の間に接続するコンデンサ

C1 = C2 = C3 = C4 = 0.47μF ± 30%

注 2. VLCD レジスタで基準電圧を設定 (基準電圧をデフォルト値で使用する場合は、LCDM0 レジスタの MDSET[1:0] ビットを 01b にして内部昇圧方式を選択) してから、昇圧を開始する (VLCON = 1) までに必要な時間です。

注 3. 昇圧を開始 (VLCON = 1) してから表示が可能になる (LCDON = 1) までの待機時間です。

[1/4 バイアス法]

表 48.65 内部昇圧方式LCD特性

条件 : VCC = 1.8V ~ 5.5V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件	
LCD出力電圧可変範囲	V _{L1}	C1 ~ C5 (注1) = 0.47μF	VLCD = 04h	0.90	1.0	1.08	V	—
			VLCD = 05h	0.95	1.05	1.13	V	—
			VLCD = 06h	1.00	1.10	1.18	V	—
			VLCD = 07h	1.05	1.15	1.23	V	—
			VLCD = 08h	1.10	1.20	1.28	V	—
			VLCD = 09h	1.15	1.25	1.33	V	—
			VLCD = 0Ah	1.20	1.30	1.38	V	—
			VLCD = 0Bh	1.25	1.35	1.43	V	—
VLCD = 0Ch	1.30	1.40	1.48	V	—			
ダブル出力電圧	V _{L2}	C1 ~ C5 (注1) = 0.47μF	2V _{L1} - 0.08	2V _{L1}	2V _{L1}	V	—	
トリプル出力電圧	V _{L3}	C1 ~ C5 (注1) = 0.47μF	3V _{L1} - 0.12	3V _{L1}	3V _{L1}	V	—	
クアドロプル出力電圧	V _{L4} (注4)	C1 ~ C5 (注1) = 0.47μF	4V _{L1} - 0.16	4V _{L1}	4V _{L1}	V	—	
基準電圧セットアップ時間 (注2)	t _{VL1S}		5	—	—	ms	図 48.81	
LCD出力電圧可変範囲 (注3)	t _{VLWT}	C1 ~ C5 (注1) = 0.47μF	500	—	—	ms		

注 1. LCD 駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH と CAPL の間に接続するコンデンサ

C2 : V_{L1} と GND の間に接続するコンデンサC3 : V_{L2} と GND の間に接続するコンデンサC4 : V_{L3} と GND の間に接続するコンデンサC5 : V_{L4} と GND の間に接続するコンデンサ

C1 = C2 = C3 = C4 = C5 = 0.47μF ± 30%

注 2. VLCD レジスタで基準電圧を設定 (基準電圧をデフォルト値で使用する場合は、LCDM0 レジスタの MDSET1 ビットと MDSET0 ビットを 01b にして内部昇圧方式を選択) してから、昇圧を開始する (VLCON = 1) までに必要な時間です。

注 3. 昇圧を開始 (VLCON = 1) してから表示が可能になる (LCDON = 1) までの待機時間です。

注 4. V_{L4} は 5.5V 以下でなければなりません。

48.12.3 容量分割方式

[1/3 バイアス法]

表 48.66 内部昇圧方式 LCD 特性

条件 : VCC = 2.2V ~ 5.5V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
VL4 電圧 (注1)	V_{L4}	C1 ~ C4 = 0.47 μ F (注2)	—	VCC	—	V	—
VL2 電圧 (注1)	V_{L2}	C1 ~ C4 = 0.47 μ F (注2)	$2/3 \times V_{L4} - 0.07$	$2/3 \times V_{L4}$	$2/3 \times V_{L4} + 0.07$	V	—
VL1 電圧 (注1)	V_{L1}	C1 ~ C4 = 0.47 μ F (注2)	$1/3 \times V_{L4} - 0.08$	$1/3 \times V_{L4}$	$1/3 \times V_{L4} + 0.08$	V	—
容量分割待機時間 (注1)	t_{WAIT}		100	—	—	ms	図 48.81

注 1. 降圧を開始 (VLCON = 1) してから表示が可能になる (LCDON = 1) までの待機時間です。

注 2. LCD 駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH と CAPL の間に接続するコンデンサ

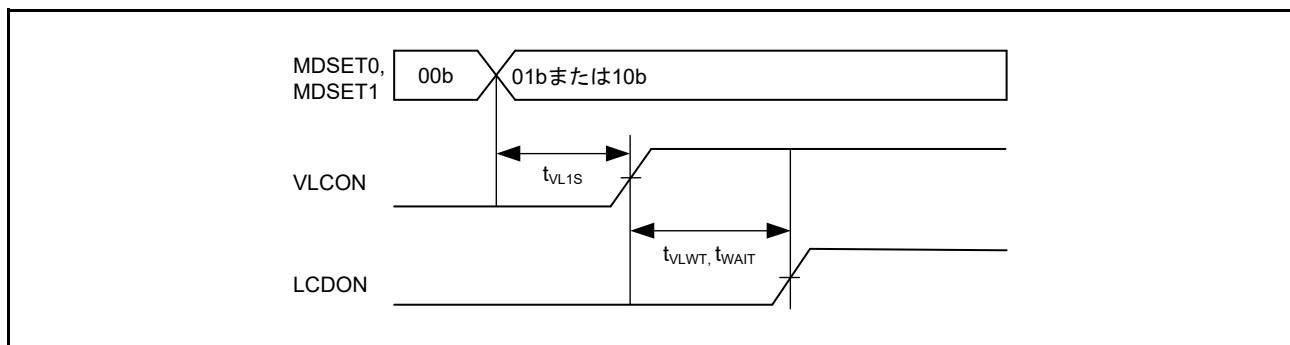
C2 : V_{L1} と GND の間に接続するコンデンサC3 : V_{L2} と GND の間に接続するコンデンサC4 : V_{L4} と GND の間に接続するコンデンサC1 = C2 = C3 = C4 = 0.47 μ F \pm 30%

図 48.81 LCD 基準電圧セットアップ時間、昇圧待機時間、容量分割待機時間

48.13 コンパレータ特性

表 48.67 ACMPLP 特性

条件 : VCC = 1.8 ~ 5.5V

項目		シンボル	Min	Typ	Max	単位	測定条件	
基準電圧範囲	標準モード	IVREFn (n = 0, 1)	VREF	0	—	VCC - 1.4	V	—
	ウィンドウ モード (注2)	IVREF1	VREFH	1.4	—	VCC	V	—
		IVREF0	VREFL	0	—	VCC - 1.4	V	—
入力電圧範囲		VI	0	—	VCC	V	—	
内部基準電圧		—	1.36	1.44	1.50	V	—	
出力遅延時間	High-speed モード	Td	—	—	1.2	μs	VCC = 3.0 入力信号のスルー レート > 50mV/μs	
	Low-speed モード		—	—	5	μs		
	ウィンドウモード		—	—	2	μs		
オフセット電圧 (注1)	High-speed モード	—	—	—	50	mV	—	
	Low-speed モード	—	—	—	40	mV	—	
	ウィンドウモード	—	—	—	60	mV	—	
動作安定待機時間		T _{cmp}	100	—	—	μs	—	

注 1. 8 ビット DAC 出力が基準電圧として使用されている場合、オフセット電圧は最大 $2.5 \times VCC/256$ まで増加します。

注 2. ウィンドウモードでは、 $IVREF1 - IVREF0 \geq 0.2V$ でなければなりません。

48.14 OPAMP 特性

表 48.68 OPAMP 特性

条件 : VCC = AVCC0 = 1.8 ~ 5.5V (VCC < 2.0V のとき AVCC0 = VCC)

項目	シンボル	条件		Min	Typ	Max	単位
コモンモード入力範囲	Vicm1	低消費電力モード		0.2	—	AVCC0 - 0.5	V
	Vicm2	High-speed モード		0.3	—	AVCC0 - 0.6	V
出力電圧範囲	Vo1	低消費電力モード		0.1	—	AVCC0 - 0.1	V
	Vo2	High-speed モード		0.1	—	AVCC0 - 0.1	V
入力オフセット電圧	Vioff	3 σ		-10	—	10	mV
オープンゲイン	Av			60	120	—	dB
ゲイン帯域幅 (GB) 製品	GBW1	低消費電力モード		—	0.04	—	MHz
	GBW2	High-speed モード		—	1.7	—	MHz
位相マージン	PM	CL = 20pF		50	—	—	deg
ゲインマージン	GM	CL = 20pF		10	—	—	dB
入力換算ノイズ	Vnoise1	f = 1kHz	低消費電力モード	—	230	—	nV/ $\sqrt{\text{Hz}}$
	Vnoise2	f = 10kHz		—	200	—	nV/ $\sqrt{\text{Hz}}$
	Vnoise3	f = 1kHz	High-speed モード	—	90	—	nV/ $\sqrt{\text{Hz}}$
	Vnoise4	f = 2kHz		—	70	—	nV/ $\sqrt{\text{Hz}}$
電源低減比	PSRR			—	90	—	dB
コモンモード信号低減比	CMRR			—	90	—	dB
安定待機時間	Tstd1	CL = 20pF	低消費電力モード	650	—	—	μs
	Tstd2	オペアンプのみ起動 (注1)		High-speed モード	13	—	—
	Tstd3	CL = 20pF	High-speed モード	650	—	—	μs
	Tstd4	オペアンプと基準電流回路が同時に起動		13	—	—	μs
安定時間	Tset1	CL = 20pF	低消費電力モード	—	—	750	μs
	Tset2		High-speed モード	—	—	13	μs
スルーレート	Tslew1	CL = 20pF	低消費電力モード	—	0.02	—	V/ μs
	Tslew2		High-speed モード	—	1.1	—	V/ μs
負荷電流	Iload1	低消費電力モード		-100	—	100	μA
	Iload2	High-speed モード		-100	—	100	μA
負荷容量	CL			—	—	20	pF

注 1. 事前にオペアンプ基準電流回路が起動している場合

48.15 フラッシュメモリ特性

48.15.1 コードフラッシュメモリ特性

表 48.69 コードフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	測定条件
再プログラム/イレースサイクル (注1)	N _{PEC}	1000	—	—	回	—
データ保持時間	1000回のN _{PEC} の後	t _{DRP}	20 (注2) (注3)	—	—	年 T _a = +85°C

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 1000) の場合、ブロックごとにそれぞれ n 回ずつ消去することが可能です。たとえば、2KB のブロックについて、それぞれ異なる番地に 8 バイト書き込みを 256 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. 信頼性試験から得られた結果です。

表 48.70 コードフラッシュ特性 (2)

High-speed モード

条件: VCC = 2.7 ~ 5.5V

項目	シンボル	FCLK = 1MHz			FCLK = 32MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	8バイト	t _{P8}	—	116	998	—	54	506	μs
イレース時間	2KB	t _{E2K}	—	9.03	287	—	5.67	222	ms
ブランクチェック時間	8バイト	t _{BC8}	—	—	56.8	—	—	16.6	μs
	2KB	t _{BC2K}	—	—	1899	—	—	140	μs
イレースサスペンド時間		t _{SED}	—	—	22.5	—	—	10.7	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	21.7	585	—	12.1	447	ms
アクセスウィンドウ時間		t _{AWS}	—	21.7	585	—	12.1	447	ms
OCD/ シリアルプログラマID設定時間		t _{OSIS}	—	21.7	585	—	12.1	447	ms
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t _{MS}	5	—	—	5	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。

注. FCLK の周波数精度は ±3.5% でなければなりません。クロックソースの周波数精度を確認してください。

表 48.71 コードフラッシュ特性 (3)

Middle-speed モード

条件 : VCC = 1.8 ~ 5.5V、T_a = -40 ~ +85°C

項目		シンボル	FCLK = 1MHz			FCLK = 8MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	8バイト	t _{P8}	—	157	1411	—	101	966	μs
イレース時間	2KB	t _{E2K}	—	9.10	289	—	6.10	228	ms
ブランクチェック時間	8バイト	t _{BC8}	—	—	87.7	—	—	52.5	μs
	2KB	t _{BC2K}	—	—	1930	—	—	414	μs
イレースサスペンド時間		t _{SED}	—	—	32.7	—	—	21.6	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	22.5	592	—	14.0	464	ms
アクセスウィンドウ時間		t _{AWS}	—	22.5	592	—	14.0	464	ms
OCD/シリアルプログラマID設定時間		t _{OSIS}	—	22.5	592	—	14.0	464	ms
フラッシュメモリモード遷移待機時間1		t _{DIS}	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間2		t _{MS}	720	—	—	720	—	—	ns

注 . ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注 . フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。

注 . FCLK の周波数精度は ±3.5% でなければなりません。クロックソースの周波数精度を確認してください。

48.15.2 データフラッシュメモリ特性

表 48.72 データフラッシュ特性 (1)

項目		シンボル	Min	Typ	Max	単位	測定条件
再プログラム/イレースサイクル (注1)		N_{DPEC}	100000	1000000	—	回	—
データ保持時間	10000回の N_{DPEC} の後	t_{DDRP}	20 (注2) (注3)	—	—	年	$T_a = +85^\circ\text{C}$
	100000回の N_{DPEC} の後		5 (注2) (注3)	—	—	年	
	1000000回の N_{DPEC} の後		—	1 (注2) (注3)	—	—	年

- 注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 ($n = 100000$) の場合、ブロックごとにそれぞれ n 回ずつ消去することが可能です。たとえば、1 バイトのブロックについて、それぞれ異なる番地に 1 バイト書き込みを 1000 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。
- 注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。
- 注 3. 信頼性試験から得られた結果です。

表 48.73 データフラッシュ特性 (2)

High-speed モード
条件: $V_{CC} = 2.7 \sim 5.5\text{V}$

項目	シンボル	FCLK = 4MHz			FCLK = 32MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1バイト	t_{DP1}	—	52.4	463	—	42.1	387	μs
イレース時間	1KB	t_{DE1K}	—	8.98	286	—	6.42	237	ms
ブランクチェック時間	1バイト	t_{DBC1}	—	—	24.3	—	—	16.6	μs
	1KB	t_{DBC1K}	—	—	1872	—	—	512	μs
イレース実行中のサスペンド時間		t_{DSED}	—	—	13.0	—	—	10.7	μs
データフラッシュ STOP 復帰時間		t_{DSTOP}	5	—	—	5	—	—	μs

- 注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含まれません。
- 注. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。
- 注. FCLK の周波数精度は $\pm 3.5\%$ でなければなりません。クロックソースの周波数精度を確認してください。

表 48.74 データフラッシュ特性 (3)

Middle-speed モード
条件: $V_{CC} = 1.8 \sim 5.5\text{V}$ 、 $T_a = -40 \sim +85^\circ\text{C}$

項目	シンボル	FCLK = 4MHz			FCLK = 8MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1バイト	t_{DP1}	—	94.7	886	—	89.3	849	μs
イレース時間	1KB	t_{DE1K}	—	9.59	299	—	8.29	273	ms
ブランクチェック時間	1バイト	t_{DBC1}	—	—	56.2	—	—	52.5	μs
	1KB	t_{DBC1K}	—	—	2.17	—	—	1.51	ms
イレース実行中のサスペンド時間		t_{DSED}	—	—	23.0	—	—	21.7	μs
データフラッシュ STOP 復帰時間		t_{DSTOP}	720	—	—	720	—	—	ns

- 注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含まれません。
- 注. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。
- 注. FCLK の周波数精度は $\pm 3.5\%$ でなければなりません。クロックソースの周波数精度を確認してください。

48.16 バウンダリスキャン

表 48.75 バウンダリスキャン

条件 : VCC = AVCC0 = 2.4 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	100	—	—	ns	図 48.82
TCKクロックHighレベルパルス幅	t_{TCKH}	45	—	—	ns	
TCKクロックLowレベルパルス幅	t_{TCKL}	45	—	—	ns	
TCKクロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCKクロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TMSセットアップ時間	t_{TMSS}	20	—	—	ns	図 48.83
TMSホールド時間	t_{TMSh}	20	—	—	ns	
TDIセットアップ時間	t_{TDIS}	20	—	—	ns	
TDIホールド時間	t_{TDIH}	20	—	—	ns	
TDOデータ遅延時間	t_{TDOD}	—	—	70	ns	図 48.84
バウンダリスキャン回路起動時間 (注1)	t_{BSSTUP}	t_{RESWP}	—	—	—	

注1. パワーオンリセットが無効になるまで、バウンダリスキャンは機能しません。

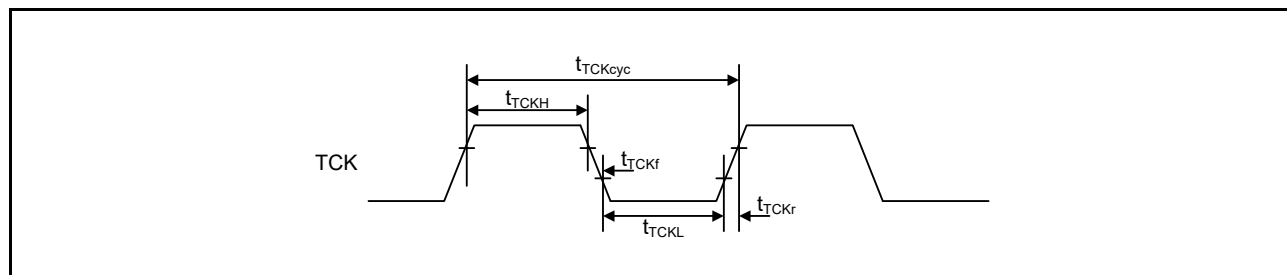


図 48.82 バウンダリスキャン TCK タイミング

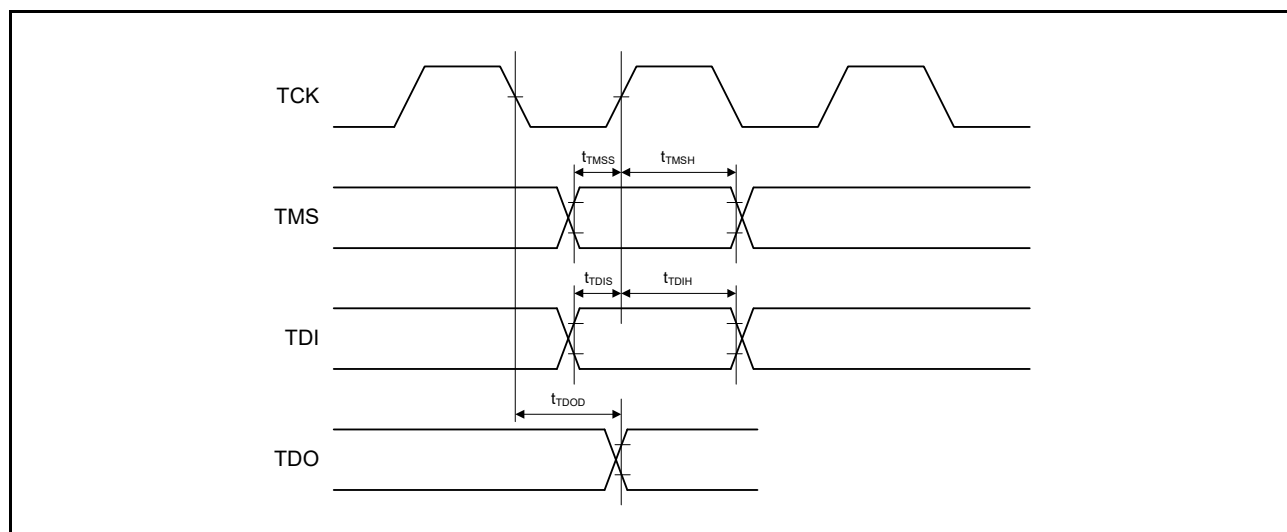


図 48.83 バウンダリスキャン入出力タイミング

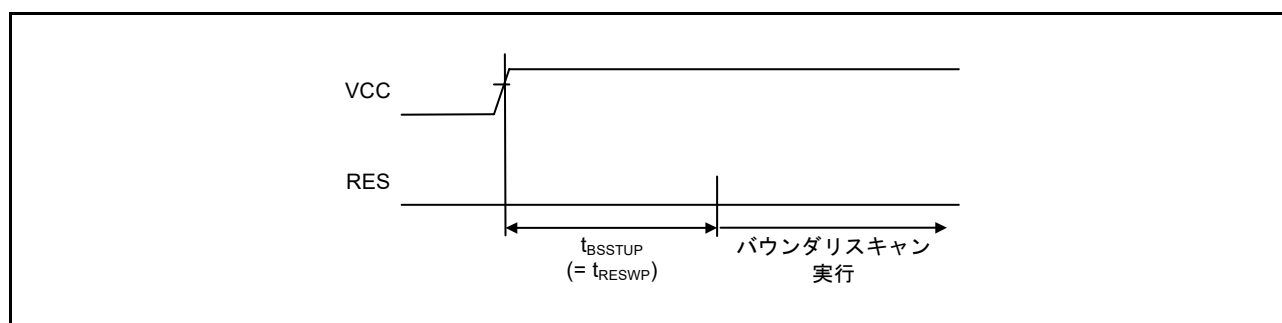


図 48.84 バウンダリスキャン回路起動タイミング

48.17 ジョイントテストアクショングループ (JTAG)

表 48.76 JTAG (デバッグ) 特性 (1)

条件: VCC = 2.4 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	80	—	—	ns	図 48.85
TCKクロックHighレベルパルス幅	t_{TCKH}	35	—	—	ns	
TCKクロックLowレベルパルス幅	t_{TCKL}	35	—	—	ns	
TCKクロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCKクロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TMSセットアップ時間	t_{TMSS}	16	—	—	ns	図 48.86
TMSホールド時間	t_{TMSH}	16	—	—	ns	
TDIセットアップ時間	t_{TDIS}	16	—	—	ns	
TDIホールド時間	t_{TDIH}	16	—	—	ns	
TDOデータ遅延時間	t_{TDOD}	—	—	70	ns	

表 48.77 JTAG (デバッグ) 特性 (2)

条件: VCC = 1.6 ~ 2.4V

項目	シンボル	Min	Typ	Max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	250	—	—	ns	図 48.85
TCKクロックHighレベルパルス幅	t_{TCKH}	120	—	—	ns	
TCKクロックLowレベルパルス幅	t_{TCKL}	120	—	—	ns	
TCKクロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCKクロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TMSセットアップ時間	t_{TMSS}	50	—	—	ns	図 48.86
TMSホールド時間	t_{TMSH}	50	—	—	ns	
TDIセットアップ時間	t_{TDIS}	50	—	—	ns	
TDIホールド時間	t_{TDIH}	50	—	—	ns	
TDOデータ遅延時間	t_{TDOD}	—	—	150	ns	

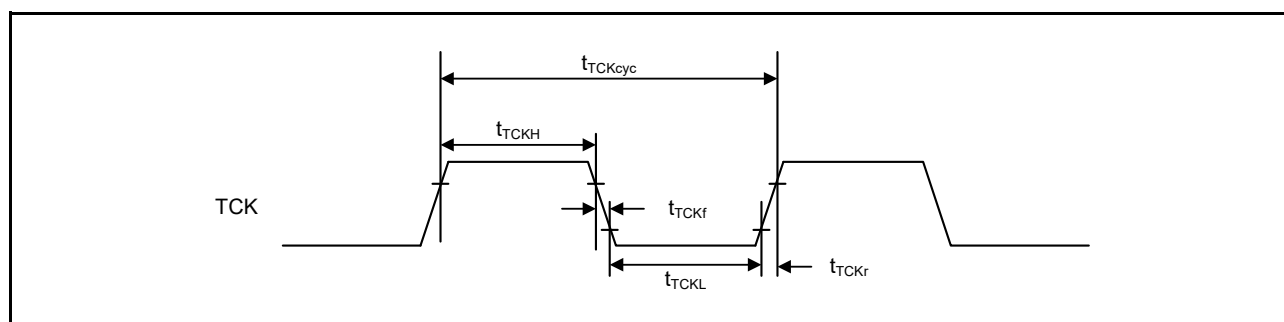


図 48.85 JTAG TCK タイミング

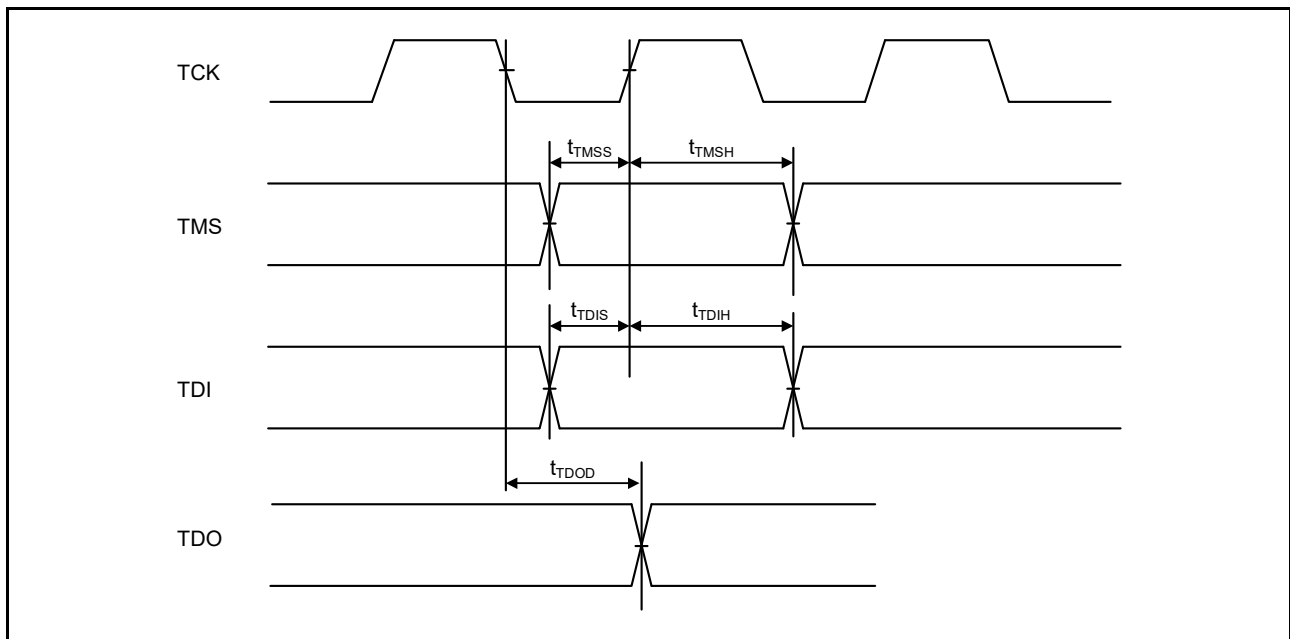


図 48.86 JTAG 入出力タイミング

48.17.1 シリアルワイヤデバッグ (SWD)

表 48.78 SWD 特性 (1)

条件 : VCC = 2.4 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLKクロックサイクル時間	t_{SWCKcyc}	80	—	—	ns	図 48.87
SWCLKクロック High レベルパルス幅	t_{SWCKH}	35	—	—	ns	
SWCLKクロック Low レベルパルス幅	t_{SWCKL}	35	—	—	ns	
SWCLKクロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLKクロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIOセットアップ時間	t_{SWDS}	16	—	—	ns	図 48.88
SWDIOホールド時間	t_{SWDH}	16	—	—	ns	
SWDIOデータ遅延時間	t_{SWDD}	2	—	70	ns	

表 48.79 SWD 特性 (2)

条件 : VCC = 1.6 ~ 2.4V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLKクロックサイクル時間	t_{SWCKcyc}	250	—	—	ns	図 48.87
SWCLKクロック High レベルパルス幅	t_{SWCKH}	120	—	—	ns	
SWCLKクロック Low レベルパルス幅	t_{SWCKL}	120	—	—	ns	
SWCLKクロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLKクロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIOセットアップ時間	t_{SWDS}	50	—	—	ns	図 48.88
SWDIOホールド時間	t_{SWDH}	50	—	—	ns	
SWDIOデータ遅延時間	t_{SWDD}	2	—	150	ns	

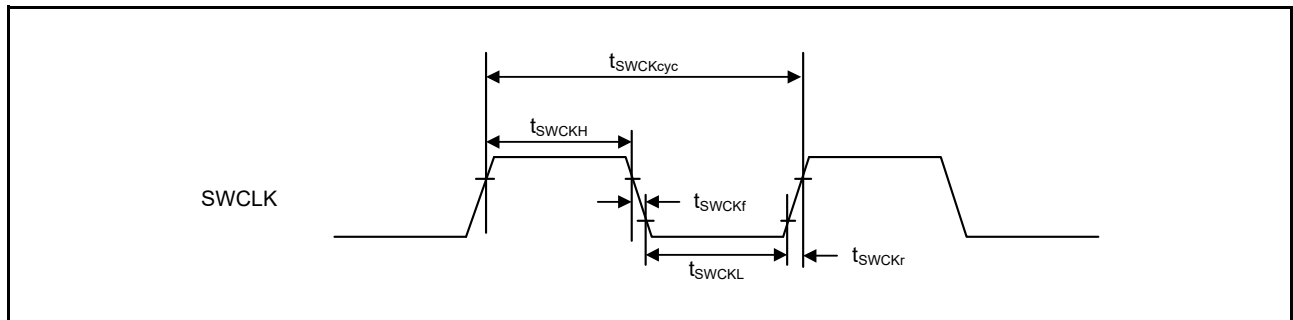


図 48.87 SWD SWCLK タイミング

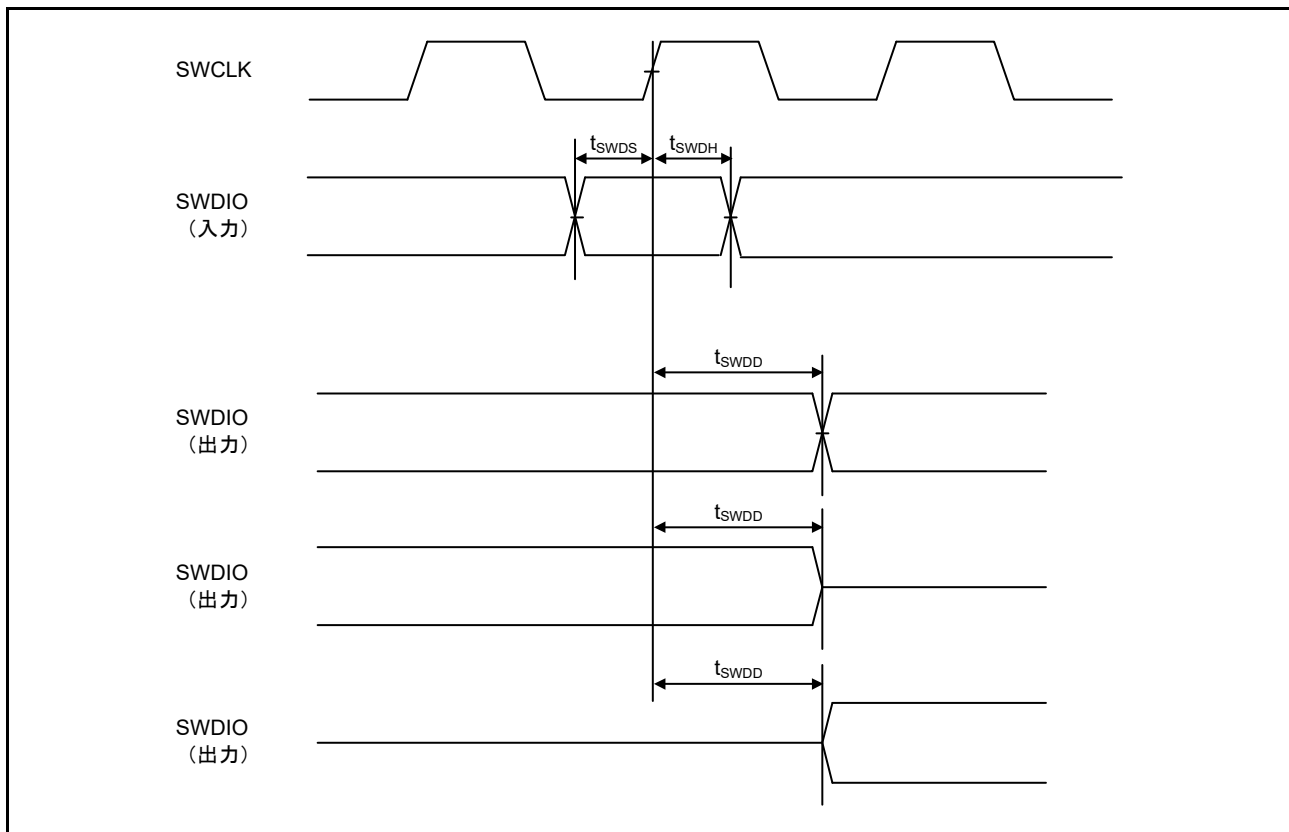


図 48.88 SWD 入出力タイミング

付録 1. 各プロセスモードのポート状態

表 1.1 各プロセスモードのポート状態 (1/3)

ポート名	リセット	ソフトウェアスタンバイモード
P000/IRQ6	Hi-Z	Keep-O (注1)
P001/IRQ7	Hi-Z	Keep-O (注1)
P002/IRQ2	Hi-Z	Keep-O (注1)
P003	Hi-Z	Keep-O
P004/IRQ3	Hi-Z	Keep-O (注1)
P005/IRQ10	Hi-Z	Keep-O (注1)
P006	Hi-Z	Keep-O
P007	Hi-Z	Keep-O
P008	Hi-Z	Keep-O
P010	Hi-Z	Keep-O
P011/IRQ15	Hi-Z	Keep-O (注1)
P012	Hi-Z	Keep-O
P013	Hi-Z	Keep-O
P014/DA0	Hi-Z	[DA0出力 (DAOE0 = 1)] DA出力保持 [上記以外 (DAOE0 = 0)] Keep-O
P015/IRQ7	Hi-Z	Keep-O (注1)
P100/RXD0/CMPIN0/KR00/IRQ2/AGTIO0	Hi-Z	[AGTIO0選択] AGTIO0出力 (注2) [上記以外] Keep-O (注1)
P101/CMPREF0/KR01/IRQ1	Hi-Z	Keep-O (注1)
P102/CMPIN1/KR02/AGTIO0	Hi-Z	[AGTIO0選択] AGTIO0出力 (注2) [上記以外] Keep-O (注1)
P103/CMPREF1/KR03	Hi-Z	Keep-O (注1)
P104/RXD0/KR04/IRQ1	Hi-Z	Keep-O (注1)
P105/KR05/IRQ0	Hi-Z	Keep-O (注1)
P106/KR06	Hi-Z	Keep-O (注1)
P107/KR07	Hi-Z	Keep-O (注1)
P108/TMS	プルアップ	Keep-O
P109/TDO/CLKOUT	TDO出力	[CLKOUT選択] CLKOUT出力 [上記以外] Keep-O
P110/IRQ3/TDI/VCOUT	プルアップ	[ACMPLP選択] VCOUT出力 [上記以外] Keep-O (注1)
P111/IRQ4	Hi-Z	Keep-O (注1)
P112	Hi-Z	Keep-O
P113	Hi-Z	Keep-O
P114	Hi-Z	Keep-O
P115	Hi-Z	Keep-O
P200/NMI	Hi-Z	Hi-Z
P201	プルアップ	Keep-O
P202	Hi-Z	Keep-O
P203	Hi-Z	Keep-O

表 1.1 各プロセスモードのポート状態 (2/3)

ポート名	リセット	ソフトウェアスタンバイモード
P204/SCL0/USB_OVRCURB/AGTIO1	Hi-Z	[AGTIO1 選択] AGTIO1 出力 (注2) [上記以外] Keep-O (注1)
P205/USB_OVRCURA/IRQ1/CLKOUT/AGTO1	Hi-Z	[CLKOUT 選択] CLKOUT 出力 [AGTO1 選択] AGTO1 出力 (注2) [上記以外] Keep-O (注1)
P206/RXD0/IRQ0	Hi-Z	Keep-O (注1)
P212/IRQ3/EXTAL	Hi-Z	Keep-O (注1)
P213/IRQ2/XTAL	Hi-Z	Keep-O (注1)
P214/XCOUT	Hi-Z	[サブクロック発振器を選択] サブクロック発振器動作 [上記以外] Hi-Z
P215/XCIN	Hi-Z	[サブクロック発振器を選択] サブクロック発振器動作 [上記以外] Hi-Z
P300/TCK	プルアップ	Keep-O
P301/IRQ6/AGTIO0	Hi-Z	[AGTIO0 選択] AGTIO0 出力 (注2) [上記以外] Keep-O (注1)
P302/IRQ5	Hi-Z	Keep-O (注1)
P303	Hi-Z	Keep-O
P304/IRQ9	Hi-Z	Keep-O (注1)
P305/IRQ8	Hi-Z	Keep-O (注1)
P306	Hi-Z	Keep-O
P307	Hi-Z	Keep-O
P400/SCL0/IRQ0/AGTIO1	Hi-Z	[AGTIO1 選択] AGTIO1 出力 (注2) [上記以外] Keep-O (注1)
P401/SDA0/IRQ5	Hi-Z	Keep-O (注1)
P402/RTCIC0/IRQ4/AGTIO0/AGTIO1	Hi-Z	[AGTIO0 選択] AGTIO0 出力 (注2) [AGTIO1 選択] AGTIO1 出力 (注2) [上記以外] Keep-O (注1)
P403/RTCIC1/AGTIO0/AGTIO1	Hi-Z	[AGTIO0 選択] AGTIO0 出力 (注2) [AGTIO1 選択] AGTIO1 出力 (注2) [上記以外] Keep-O (注1)
P404/RTCIC2	Hi-Z	Keep-O (注1)
P405	Hi-Z	Keep-O
P406	Hi-Z	Keep-O
P407/SDA0/USB_VBUS/RTCOUT/AGTIO0	Hi-Z	[RTCOUT 選択] RTCOUT 出力 [AGTIO0 選択] AGTIO0 出力 (注2) [上記以外] Keep-O (注1)
P408/SCL0/IRQ7	Hi-Z	Keep-O (注1)
P409/IRQ6	Hi-Z	Keep-O (注1)
P410/RXD0/IRQ5/AGTOB1	Hi-Z	[AGTOB1 選択] AGTOB1 出力 (注2) [上記以外] Keep-O (注1)

表 1.1 各プロセスモードのポート状態 (3/3)

ポート名	リセット	ソフトウェアスタンバイモード
P411/IRQ4/AGTOA1	Hi-Z	[AGTOA1 選択] AGTOA1 出力 (注2) [上記以外] Keep-O (注1)
P412	Hi-Z	Keep-O
P413	Hi-Z	Keep-O
P414/IRQ9	Hi-Z	Keep-O (注1)
P415/IRQ8	Hi-Z	Keep-O (注1)
P500/CMPREF1/AGTOA0	Hi-Z	[AGTOA0 選択] AGTOA0 出力 (注2) [上記以外] Keep-O (注1)
P501/CMPIN1/USB_OVRCURA/IRQ11/ AGTOB0	Hi-Z	[AGTOB0 選択] AGTOB0 出力 (注2) [上記以外] Keep-O (注1)
P502/CMPREF0/USB_OVRCURB/IRQ12	Hi-Z	Keep-O (注1)
P503/CMPIN0	Hi-Z	Keep-O (注1)
P504	Hi-Z	Keep-O
P505/IRQ14	Hi-Z	Keep-O (注1)
P600	Hi-Z	Keep-O
P601	Hi-Z	Keep-O
P602	Hi-Z	Keep-O
P603	Hi-Z	Keep-O
P608	Hi-Z	Keep-O
P609	Hi-Z	Keep-O
P610	Hi-Z	Keep-O
P708	Hi-Z	Keep-O
P808	Hi-Z	Keep-O
P809	Hi-Z	Keep-O
P914/USB_DP	Hi-Z	Keep-O
P915/USB_DM	Hi-Z	Keep-O

H : High レベル

L : Low レベル

Hi-Z: ハイインピーダンス

Keep-O : 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。

注 . LCD コントローラ/ドライバ端子機能 (COM0 ~ COM7 および SEG00 ~ SEG24) が設定され、LOCO または SOSC が SLCDSCKCR.LCDSCKSEL[2:0] ビットで選択されている場合 LCD 出力を保持します。

注 1. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイのキャンセル要因に指定されている場合、入力が許可されます。

注 2. LOCO または SOSC がカウントソースとして選択されている間、AGTIO 出力が許可されます。

付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社ウェブサイトの「パッケージ」を参照してください。

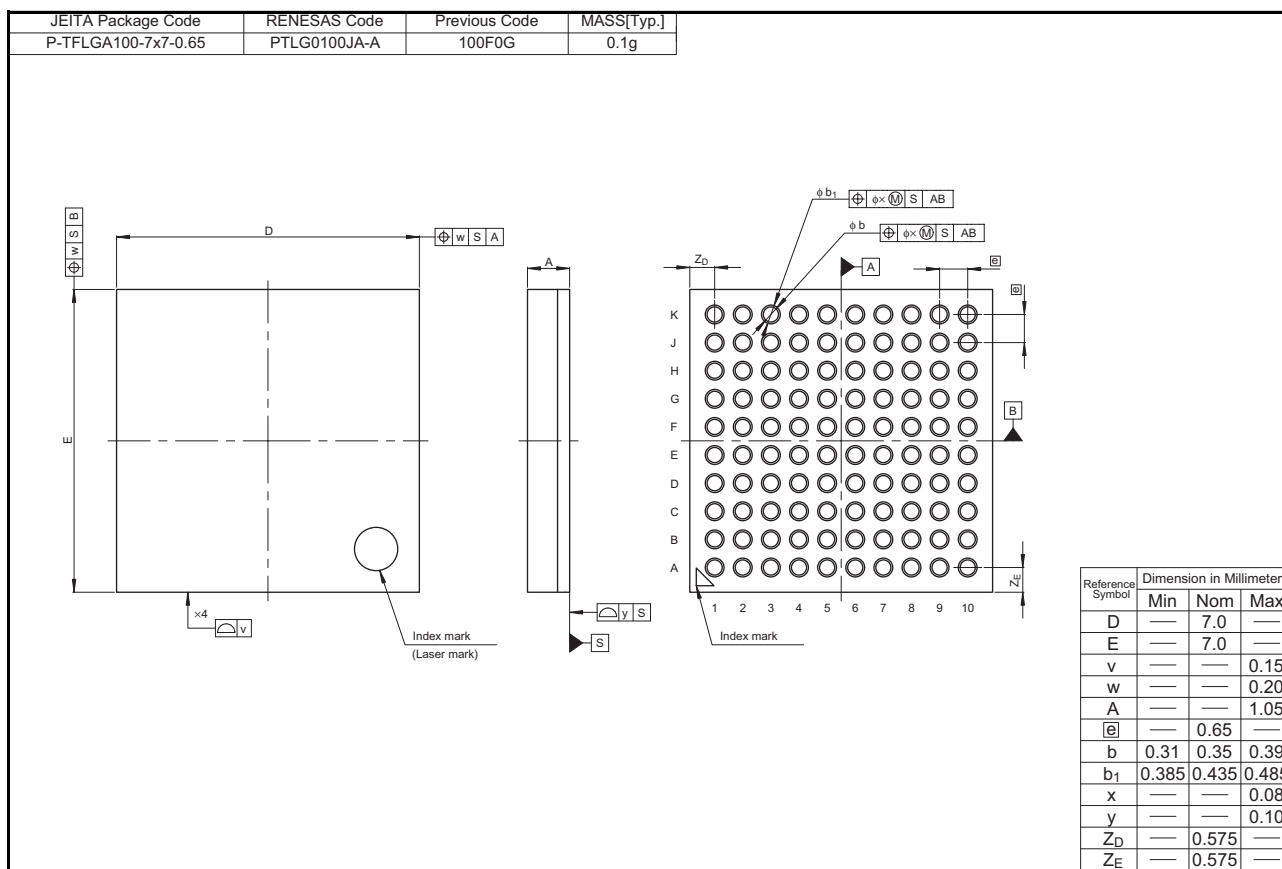
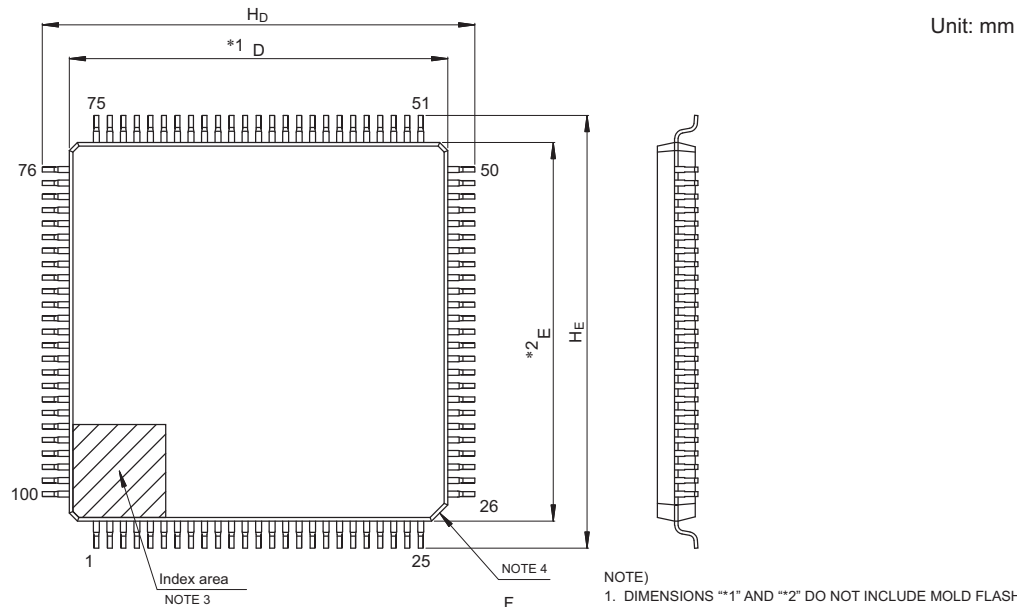


図 2.1 100-pin LGA

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6



- NOTE)
1. DIMENSIONS $*1$ AND $*2$ DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION $*3$ DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

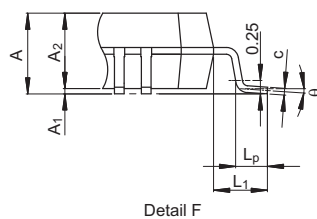
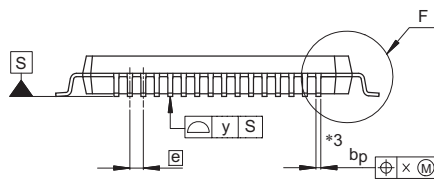
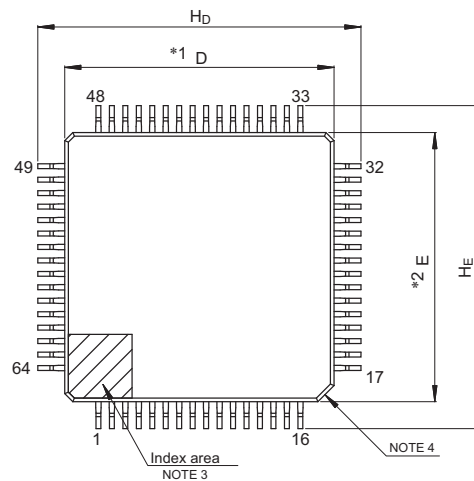
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A ₂	—	1.4	—
H _D	15.8	16.0	16.2
H _E	15.8	16.0	16.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

図 2.2 100-pin LQFP

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



NOTE)

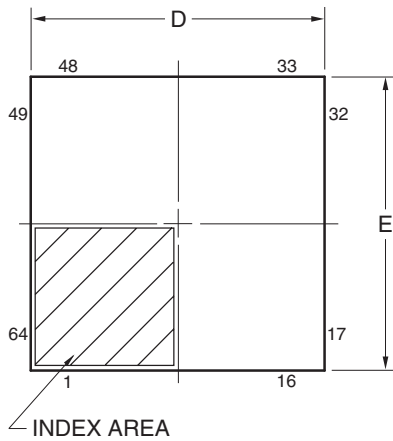
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

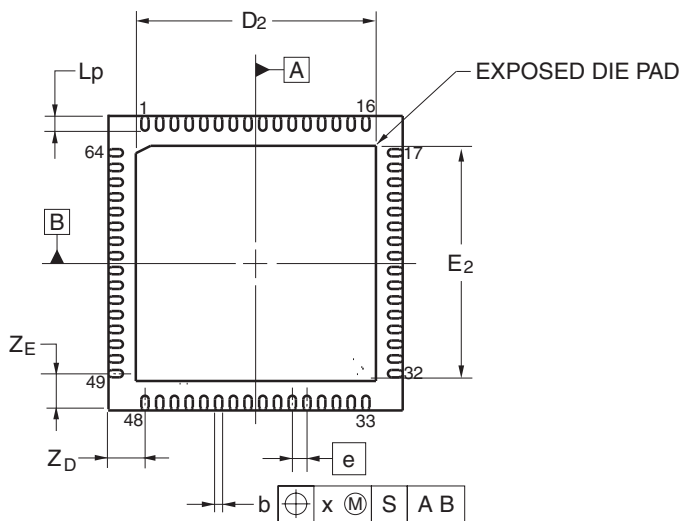
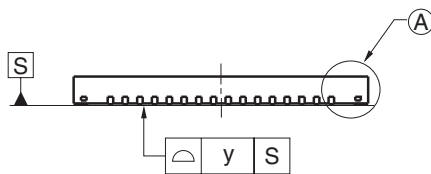
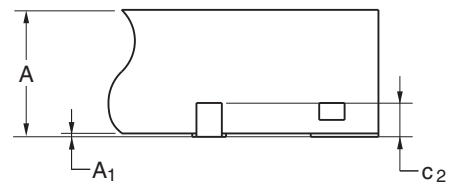
© 2015 Renesas Electronics Corporation. All rights reserved.

図 2.3 64-pin LQFP

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN64-8x8-0.40	PWQN0064LA-A	P64K8-40-9B5-3	0.16



DETAIL OF (A) PART



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	7.95	8.00	8.05
E	7.95	8.00	8.05
A	—	—	0.80
A ₁	0.00	—	—
b	0.17	0.20	0.23
e	—	0.40	—
L _p	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z _D	—	1.00	—
Z _E	—	1.00	—
c ₂	0.15	0.20	0.25
D ₂	—	6.50	—
E ₂	—	6.50	—

©2013 Renesas Electronics Corporation. All rights reserved.

図 2.4 64-pin QFN (1)

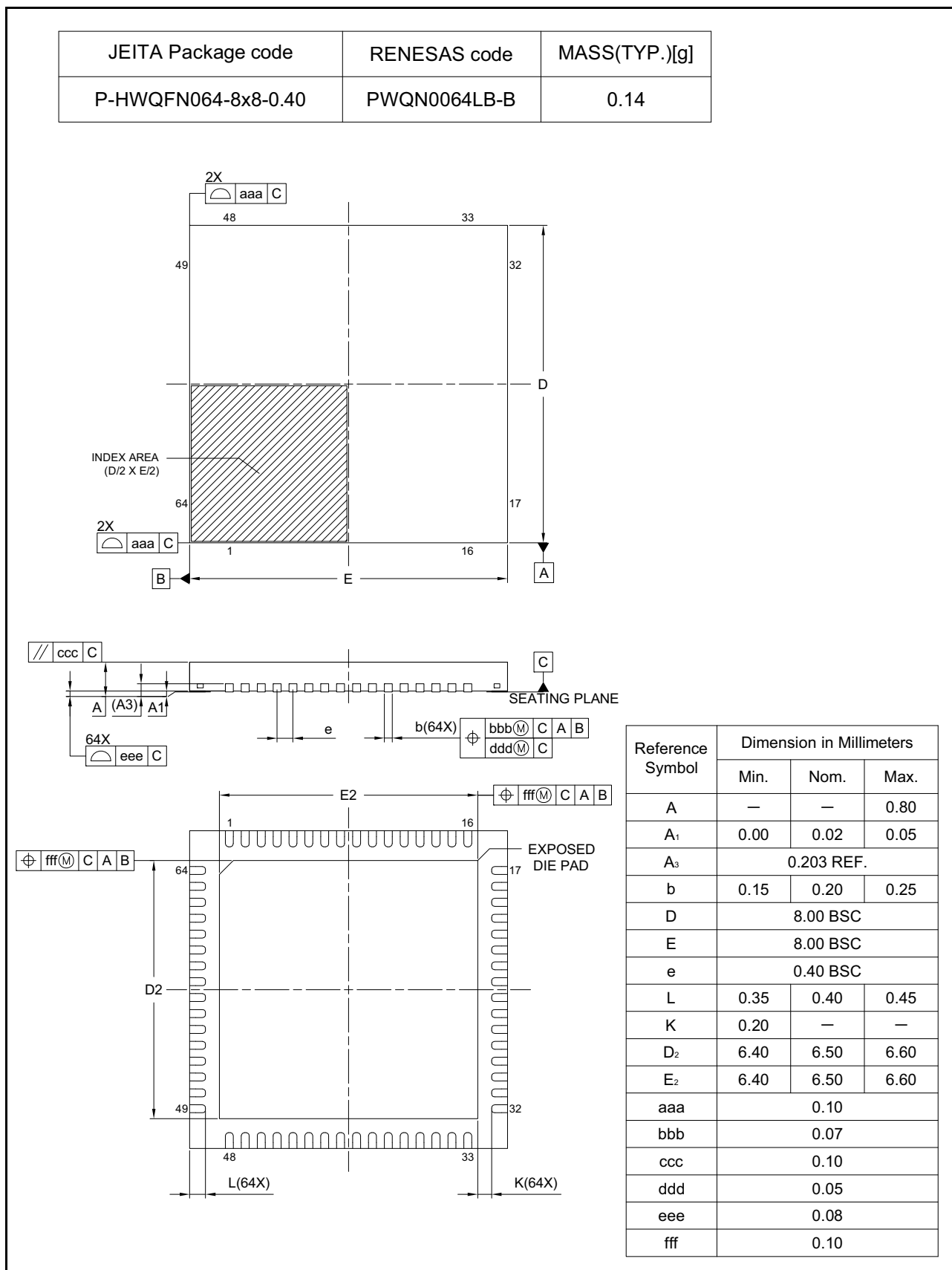
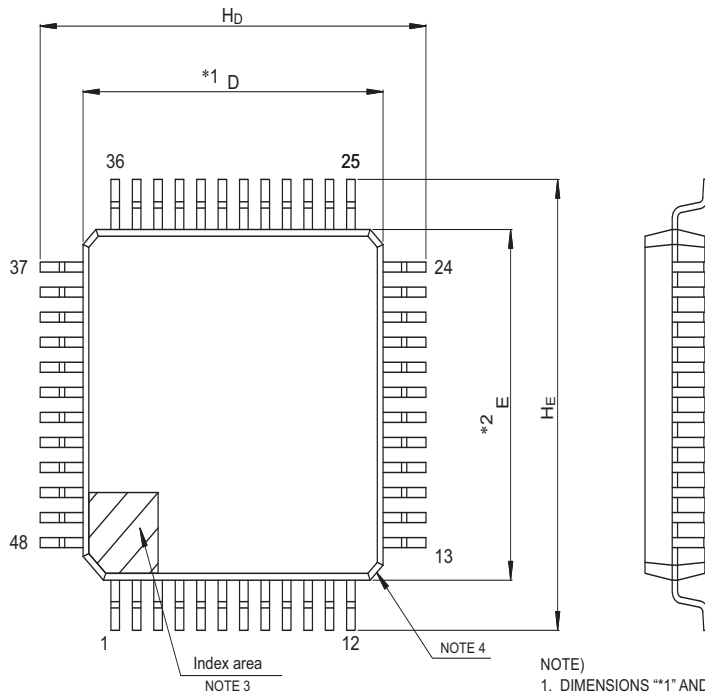


図 2.5 64-pin QFN (2)

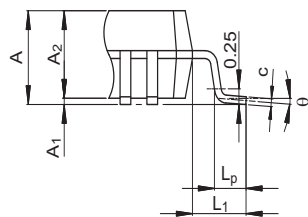
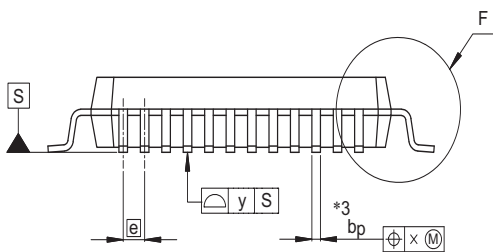
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2

Unit: mm



NOTE)

1. DIMENSIONS "**1" AND "**2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "**3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

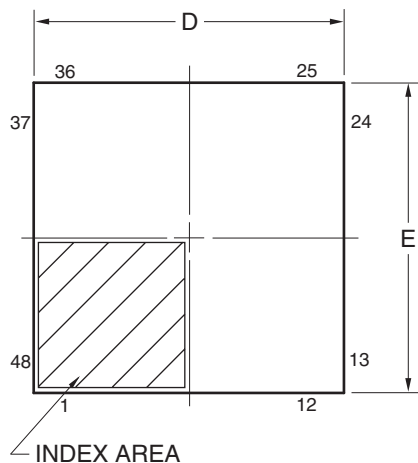


Detail F

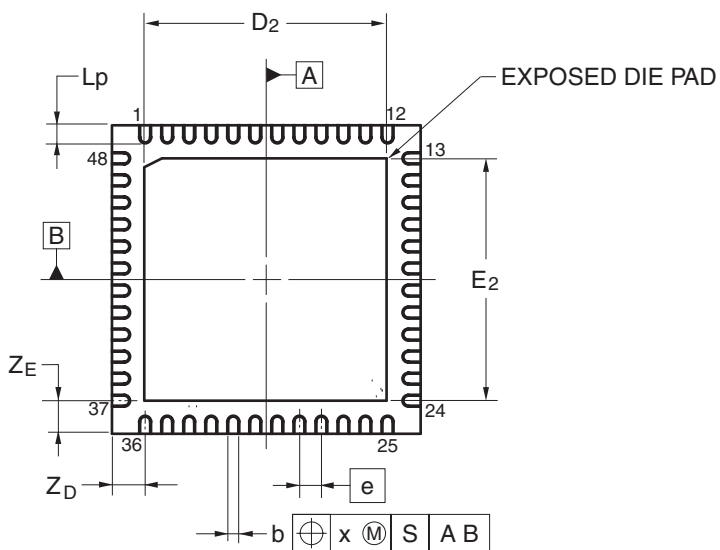
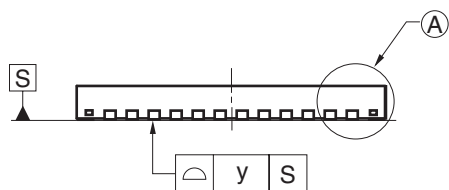
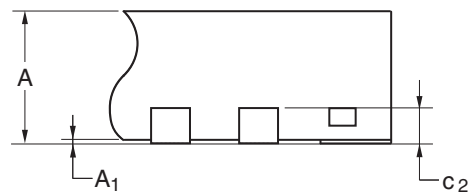
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A ₂	—	1.4	—
H _D	8.8	9.0	9.2
H _E	8.8	9.0	9.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

図 2.6 48-pin LQFP

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN48-7x7-0.50	PWQN0048KB-A	48PJN-A P48K8-50-5B4-6	0.13



DETAIL OF (A) PART



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.95	7.00	7.05
E	6.95	7.00	7.05
A	—	—	0.80
A ₁	0.00	—	—
b	0.18	0.25	0.30
e	—	0.50	—
L _p	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z _D	—	0.75	—
Z _E	—	0.75	—
c ₂	0.15	0.20	0.25
D ₂	—	5.50	—
E ₂	—	5.50	—

©2013 Renesas Electronics Corporation. All rights reserved.

図 2.7 48-pin QFN (1)

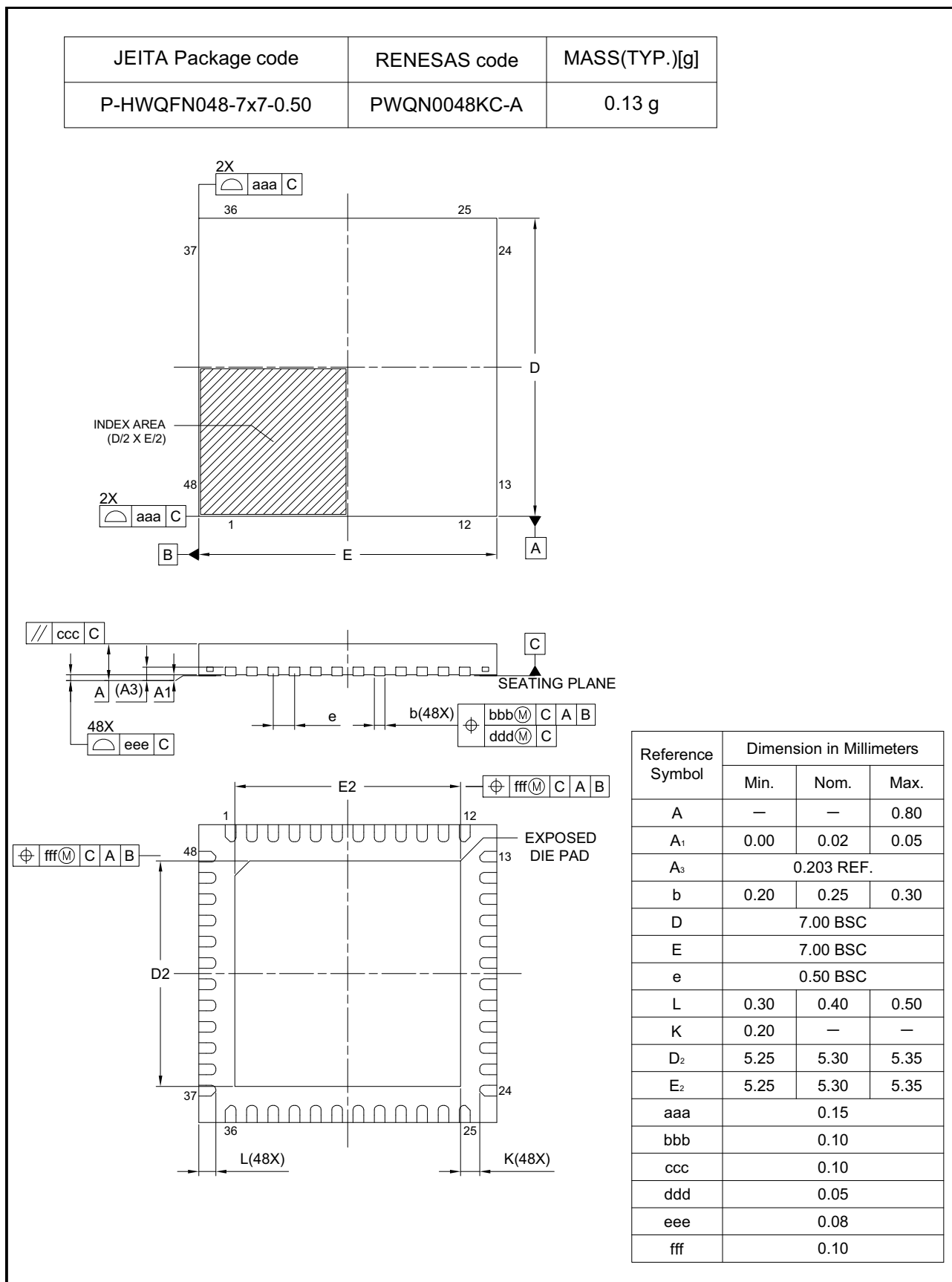
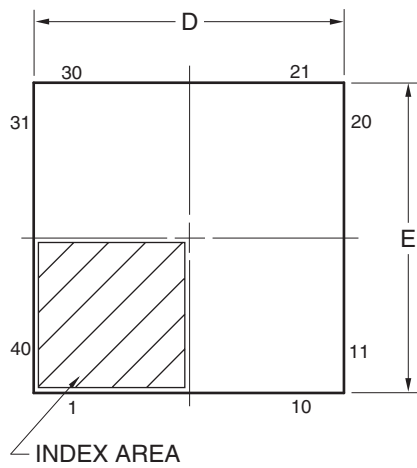
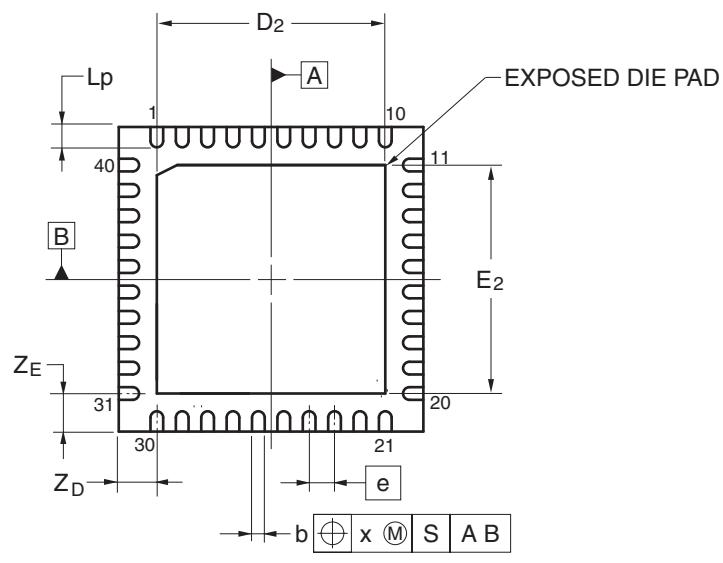
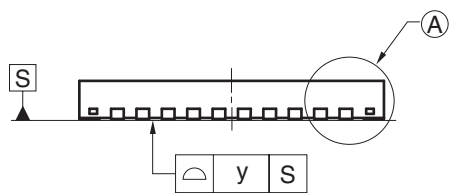
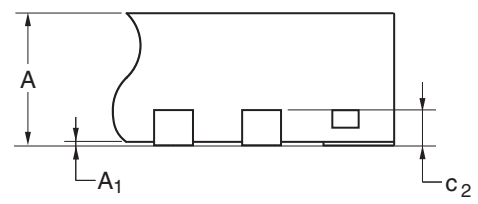


図 2.8 48-pin QFN (2)

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN40-6x6-0.50	PWQN0040KC-A	P40K8-50-4B4-5	0.09



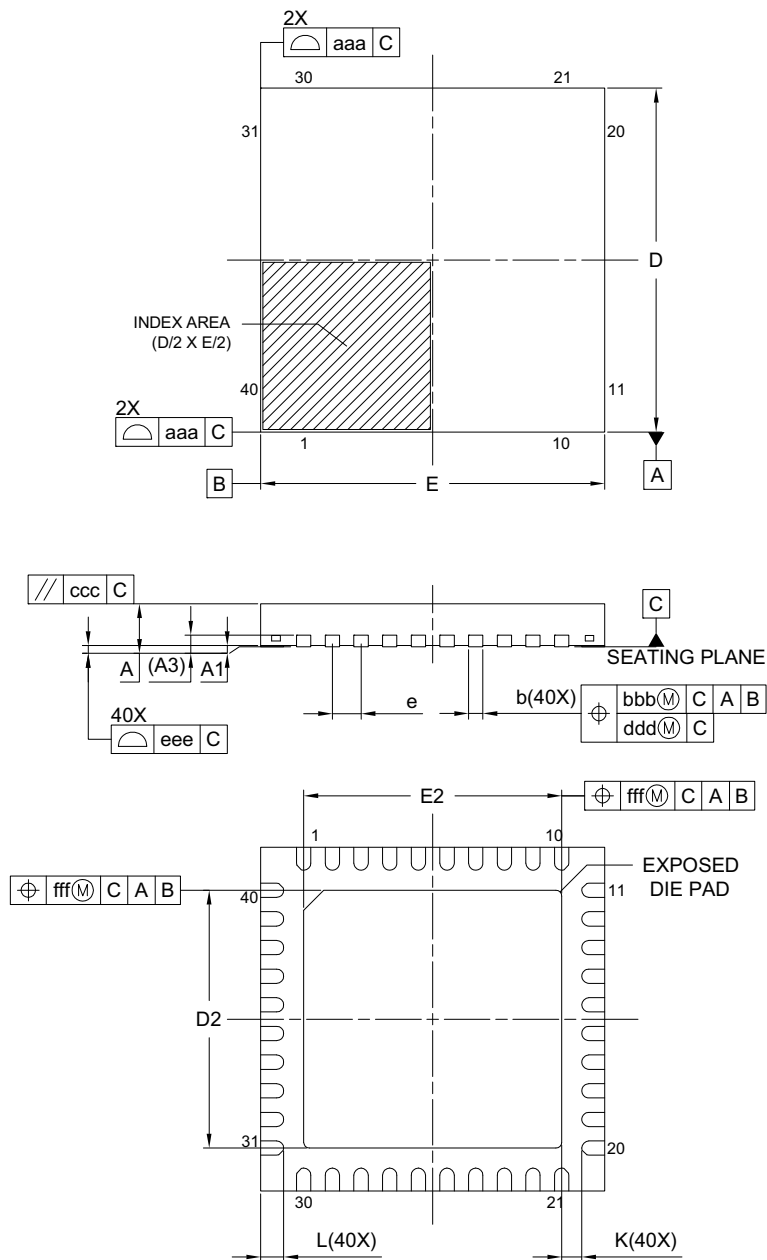
DETAIL OF (A) PART



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	5.95	6.00	6.05
E	5.95	6.00	6.05
A	—	—	0.80
A ₁	0.00	—	—
b	0.18	0.25	0.30
e	—	0.50	—
L _p	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z _D	—	0.75	—
Z _E	—	0.75	—
c ₂	0.15	0.20	0.25
D ₂	—	4.50	—
E ₂	—	4.50	—

図 2.9 40-pin QFN (1)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN040-6x6-0.50	PWQN0040KD-A	0.08



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.18	0.25	0.30
D	6.00 BSC		
E	6.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	4.45	4.50	4.55
E ₂	4.45	4.50	4.55
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 2.10 40-pin QFN (2)

付録3. I/O レジスタ

本付録は、I/O レジスタのアドレス、アクセスサイクル、リセット値を機能ごとに説明します。

3.1 周辺機能のベースアドレス

本節では本マニュアルでとりあげた周辺機能のベースアドレスについて説明します。

表 3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 3.1 周辺機能のベースアドレス (1/2)

名称	内容	ベースアドレス
MMPU	バスマスタ MPU	0x4000 0000
SMPU	バススレーブ MPU	0x4000 0C00
SPMON	CPU スタックポインタ モニタ	0x4000 0D00
SRAM	SRAM コントロール	0x4000 2000
BUS	バスコントロール	0x4000 3000
DMAC0	ダイレクトメモリアクセスコントローラ 0	0x4000 5000
DMAC1	ダイレクトメモリアクセスコントローラ 1	0x4000 5040
DMAC2	ダイレクトメモリアクセスコントローラ 2	0x4000 5080
DMAC3	ダイレクトメモリアクセスコントローラ 3	0x4000 50C0
DMA	DMAC モジュール起動	0x4000 5200
DTC	データトランスファコントローラ	0x4000 5400
ICU	割り込みコントローラ	0x4000 6000
DBG	デバッグ機能	0x4001 B000
FCACHE	フラッシュキャッシュ	0x4001 C000
SYSTEM	システム制御	0x4001 E000
PORT0	ポート0 コントロールレジスタ	0x4004 0000
PORT1	ポート1 コントロールレジスタ	0x4004 0020
PORT2	ポート2 コントロールレジスタ	0x4004 0040
PORT3	ポート3 コントロールレジスタ	0x4004 0060
PORT4	ポート4 コントロールレジスタ	0x4004 0080
PORT5	ポート5 コントロールレジスタ	0x4004 00A0
PORT6	ポート6 コントロールレジスタ	0x4004 00C0
PORT7	ポート7 コントロールレジスタ	0x4004 00E0
PORT8	ポート8 コントロールレジスタ	0x4004 0100
PORT9	ポート9 コントロールレジスタ	0x4004 0120
PFS	Pmn 端子機能コントロールレジスタ	0x4004 0800
PMISC	その他のポートコントロールレジスタ	0x4004 0D00
ELC	イベントリンクコントローラ	0x4004 1000
POEG	GPT 用ポートアウトプットイネーブルモジュール	0x4004 2000
RTC	リアルタイムクロック	0x4004 4000
WDT	ウォッチドッグタイマ	0x4004 4200
IWDT	独立ウォッチドッグタイマ	0x4004 4400
CAC	クロック周波数精度測定回路	0x4004 4600
MSTP	モジュールストップコントロール B、C、D	0x4004 7000
SSIE0	拡張シリアルサウンドインタフェース	0x4004 E000
CAN0	CAN0 モジュール	0x4005 0000
IIC0	Inter-Integrated Circuit 0	0x4005 3000

表 3.1 周辺機能のベースアドレス (2/2)

名称	内容	ベースアドレス
IIC1	Inter-Integrated Circuit 1	0x4005 3100
DOC	データ演算回路	0x4005 4100
ADC140	14ビットA/Dコンバータ	0x4005 C000
DAC12	12ビットD/Aコンバータ	0x4005 E000
SCI0	シリアルコミュニケーションインタフェース0	0x4007 0000
SCI1	シリアルコミュニケーションインタフェース1	0x4007 0020
SCI2	シリアルコミュニケーションインタフェース2	0x4007 0040
SCI9	シリアルコミュニケーションインタフェース9	0x4007 0120
SPI0	シリアルペリフェラルインタフェース0	0x4007 2000
SPI1	シリアルペリフェラルインタフェース1	0x4007 2100
CRC	CRC演算器	0x4007 4000
GPT320	汎用PWMタイマ0 (32ビット)	0x4007 8000
GPT321	汎用PWMタイマ1 (32ビット)	0x4007 8100
GPT162	汎用PWMタイマ2 (16ビット)	0x4007 8200
GPT163	汎用PWMタイマ3 (16ビット)	0x4007 8300
GPT164	汎用PWMタイマ4 (16ビット)	0x4007 8400
GPT165	汎用PWMタイマ5 (16ビット)	0x4007 8500
GPT166	汎用PWMタイマ6 (16ビット)	0x4007 8600
GPT167	汎用PWMタイマ7 (16ビット)	0x4007 8700
GPT_OPS	出力相切り替えコントローラ	0x4007 8FF0
KINT	キー割り込み機能	0x4008 0000
CTSU	静電容量式タッチセンシングユニット	0x4008 1000
SLCDC	セグメントLCDコントローラ/ドライバ	0x4008 2000
AGT0	低消費電力非同期汎用タイマ0	0x4008 4000
AGT1	低消費電力非同期汎用タイマ1	0x4008 4100
ACMPLP	低消費電力アナログコンパレータ	0x4008 5E00
OPAMP	オペアンプ	0x4008 6000
USBFS	USB2.0 フルススピードモジュール	0x4009 0000
DAC8	8ビットD/Aコンバータ	0x4009 E000
FLCN	フラッシュ I/O レジスタ	0x407E C000
TSN	温度センサ	0x407E C000

名称 = 周辺機能の名前

内容 = 周辺機能

ベースアドレス = 最下位の予約アドレスまたは周辺機能で使用されるアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

以下の情報は表 3.2 および表 3.3 に適用されます。

- レジスタは関連するモジュールごとに分類されます
- アクセスサイクル数は、指定の基準クロックのサイクル数を示しています
- 内部 I/O レジスタ領域では、レジスタに割り当てられていない予約アドレスにはアクセスしないでください。アクセスした場合、動作は保証されません
- I/O レジスタアクセスサイクル数は、内部周辺バスのバスサイクルおよび分周クロック同期化サイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます

注． CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DTC のような他のバスマスタからのバスアクセスと競合せずに実行された場合サイクル数に適用されます。

表 3.2 に、GPT 以外のモジュールのレジスタアクセスサイクルを示します。

表 3.2 GPT 以外のモジュールのアクセスサイクル (1/2)

周辺機能	アドレス		アクセスサイクル数				サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK (注1)			
			読み出し	書き込み	読み出し	書き込み		
MMPU, SMPU, SPMON, SRAM, BUS, DMACn, DMA, DTC, ICU, DBG, FCACHE	4000 0000h	4001 CFFFh	2				ICLK	メモリプロテクションユニット、SRAM、バス、DMAコントローラ、データトランスファコントローラ、割り込みコントローラ、CPU、フラッシュメモリ
SYSTEM	4001 E000h	4001 E3FFh	3				ICLK	低消費電力モード、リセット、低電圧検出、クロック発生回路、レジスタライトプロテクション機能
SYSTEM	4001 E400h	4001 E6FFh	7		5~7		PCLKB	低消費電力モード、リセット、低電圧検出、バッテリーバックアップ機能
PORTn, PFS, PMISC, ELC, POEG, RTC, WDT, IWDI, CAC, MSTP	4004 0000h	4004 7FFFh	3		2~3		PCLKB	I/Oポート、イベントリンクコントローラ、GPT用ポートアウトプットイネーブル、リアルタイムクロック、ウォッチドッグタイマ、独立ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップコントロール
SSIE0, CAN0, IICn, DOC, ADC140, DAC12	4004 E000h	4005 EFFFh	3		2~3		PCLKB	拡張シリアルサウンドインタフェース、コントローラエリアネットワークモジュール、I ² Cバスインタフェース、データ演算回路、14ビットA/Dコンバータ、12ビットD/Aコンバータ
SCIn	4007 0000h	4007 0EFFh	5 (注2)		2~3 (注2)		PCLKA	シリアルコミュニケーションインタフェース
SPIIn	4007 2000h	4007 2FFFh	5 (注3)		2~3 (注3)		PCLKA	シリアルペリフェラルインタフェース
CRC	4007 4000h	4007 4FFFh	3		2~3		PCLKA	CRC演算器
GPT32n, GPT OPS	4007 8000h	4007 8FFFh	表 3.3 (注4) を参照してください。				PCLKA	汎用PWMタイマ
KINT, CTSU, SLCDC	4008 0000h	4008 1FFFh	2		1~2		PCLKB	キー割り込み機能、静電容量式タッチセンシングユニット、セグメントLCDコントローラ
AGTn	4008 4000h	4008 4FFFh	3		2~3		PCLKB	低消費電力非同期汎用タイマ

表 3.2 GPT 以外のモジュールのアクセスサイクル (2/2)

周辺機能	アドレス		アクセスサイクル数				サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK (注1)			
	開始	終了	読み出し	書き込み	読み出し	書き込み		
ACMPLP, OPAMP	4008 5000h	4008 6FFFh	2		1~2		PCLKB	低消費電力アナログコンパレータ、オペアンプ
USBFS	4009 0000h	4009 03FFh	4		3~4		PCLKB	USB2.0 フルスピードモジュール
USBFS	4009 0400h	4009 04FFh	3		2~3		PCLKB	USB2.0 フルスピードモジュール
DAC8	4009 E000h	4009 E00Fh	2		1~2		PCLKB	8ビットD/Aコンバータ
FLCN	407E C000h	407E CFFFh	7		7		ICLK	フラッシュ I/O レジスタ
TSN	407E C000h	407E CFFFh	7		7		ICLK	温度センサ

- 注 1. PCLK サイクル数が整数でない場合 (たとえば 1.5)、最小値は小数点以下を切り捨て、最大値は小数点を四捨五入します。(たとえば、1.5 ~ 2.5 は 1 ~ 3)
- 注 2. 16 ビットレジスタ (FTDRHL, FRDRHL, FCR, FDR, LSR, CDR) へのアクセス時、アクセスは表 3.2 に示す値よりも 2 サイクル多くなります。8 ビットレジスタ (FTDRH, FTDRL, FRDRH, FRDRL) へのアクセス時、アクセスサイクルは表 3.2 に示すとおりです。
- 注 3. 32 ビットレジスタ (SPDR) へのアクセス時、表 3.2 に示す値よりも 2 サイクル多くなります。8 ビットまたは 16 ビットレジスタ (SPDR_HA) へのアクセス時、アクセスサイクルは表 3.2 に示すとおりです。
- 注 4. アクセスサイクルは、表 3.3 に示すように、ICLK、PCLKB、PCLKD 間の周波数比によって異なります。

表 3.3 に、GPT モジュールのレジスタアクセスサイクルを示します。

表 3.3 GPT モジュールのアクセスサイクル

ICLK と PCLK 間の周波数比	アクセスサイクル数		
	読み出し	書き込み	サイクル単位
ICLK > PCLKD = PCLKA	5~6	3~4	PCLKA
ICLK > PCLKD > PCLKA	3~4	2~3	PCLKA
PCLKD = ICLK = PCLKA	6	4	PCLKA
PCLKD = ICLK > PCLKA	2~3	1~2	PCLKA
PCLKD > ICLK = PCLKA	4	3	PCLKA
PCLKD > ICLK > PCLKA	2~3	1~2	PCLKA

3.3 レジスタの説明

本項では、本マニュアルに記載のレジスタに関する情報を示します。

表 3.4 に各レジスタのアドレスオフセット、アドレスサイズ、アクセス権、およびリセット値を示します。

表 3.4 レジスタの説明 (1/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
MMPU	—	—	—	MMPUCTLA	バスマスタ MPU コントロールレジスタ A	0x000	16	読み出し／書き込み	0x0000	0xFFFF
				MMPUPTA	グループ A レジスタの保護	0x102	16	読み出し／書き込み	0x0000	0xFFFF
				MMPUACA%s	グループ A 領域 %s アクセスコントロールレジスタ	0x200	16	読み出し／書き込み	0x0000	0xFFFF
				MMPUSA%s	グループ A 領域 %s 開始アドレスレジスタ	0x204	32	読み出し／書き込み	0x00000000	0x00000003
				MMPUEA%s	グループ A 領域 %s 終了アドレスレジスタ	0x208	32	読み出し／書き込み	0x00000003	0x00000003
SMPU	—	—	—	SMPUCTL	スレーブ MPU コントロールレジスタ	0x00	16	読み出し／書き込み	0x0000	0xFFFF
				SMPUMBIU	MBIU アクセスコントロールレジスタ	0x10	16	読み出し／書き込み	0x0000	0xFFFF
				SMPUFBIU	FBIU アクセスコントロールレジスタ	0x14	16	読み出し／書き込み	0x0000	0xFFFF
				SMPUSRAM0	SRAM0 アクセスコントロールレジスタ	0x18	16	読み出し／書き込み	0x0000	0xFFFF
				3	0x4	0, 2, 6	SMPUP%sBIU	P%sBIU アクセスコントロールレジスタ	0x20	16
SPMON	—	—	—	MSPMPUOAD	スタックポインタ モニタ検出後動作レジスタ	0x00	16	読み出し／書き込み	0x0000	0xFFFF
				MSPMPUCTL	スタックポインタ モニタアクセスコントロールレジスタ	0x04	16	読み出し／書き込み	0x0000	0xFEFF
				MSPMPUPT	スタックポインタ モニタ保護レジスタ	0x06	16	読み出し／書き込み	0x0000	0xFFFF
				MSPMPUSA	メインスタックポインタ (MSP) モニタ開始アドレスレジスタ	0x08	32	読み出し／書き込み	0x00000000	0x00000003
				MSPMPUEA	メインスタックポインタ (MSP) モニタ終了アドレスレジスタ	0x0C	32	読み出し／書き込み	0x00000003	0x00000003
				PSPMPUOAD	スタックポインタ モニタ検出後動作レジスタ	0x10	16	読み出し／書き込み	0x0000	0xFFFF
				PSPMPUCTL	スタックポインタ モニタアクセスコントロールレジスタ	0x14	16	読み出し／書き込み	0x0000	0xFEFF
				PSPMPUPT	スタックポインタ モニタ保護レジスタ	0x16	16	読み出し／書き込み	0x0000	0xFFFF
				PSPMPUSA	プロセススタックポインタ (PSP) モニタ開始アドレスレジスタ	0x18	32	読み出し／書き込み	0x00000000	0x00000003
				PSPMPUEA	プロセススタックポインタ (PSP) モニタ終了アドレスレジスタ	0x1C	32	読み出し／書き込み	0x00000003	0x00000003

表 3.4 レジスタの説明 (2/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
SRAM	—	—	—	PARIOAD	SRAMパリティエラー検出後動作レジスタ	0x00	8	読み出し／書き込み	0x00	0xFF
				SRAMPPCR	SRAMプロテクトレジスタ	0x04	8	読み出し／書き込み	0x00	0xFF
				ECCMODE	ECC動作モードコントロールレジスタ	0xC0	8	読み出し／書き込み	0x00	0xFF
				ECC2STS	ECC 2ビットエラーステータスレジスタ	0xC1	8	読み出し／書き込み	0x00	0xFF
				ECC1STSEN	ECC 1ビットエラー情報更新イネーブルレジスタ	0xC2	8	読み出し／書き込み	0x00	0xFF
				ECC1STS	ECC 1ビットエラーステータスレジスタ	0xC3	8	読み出し／書き込み	0x00	0xFF
				ECCPRCR	ECCプロテクトレジスタ	0xC4	8	読み出し／書き込み	0x00	0xFF
				ECCPRCR2	ECCプロテクトレジスタ2	0xD0	8	読み出し／書き込み	0x00	0xFF
				ECCEST	ECCテストコントロールレジスタ	0xD4	8	読み出し／書き込み	0x00	0xFF
				ECCOAD	SRAM ECCエラー検出後動作レジスタ	0xD8	8	読み出し／書き込み	0x00	0xFF
バス	4	0x4	M4I, M4D, SYS, DMA	BUSMCNT%s	マスタバスコントロールレジスタ %s	0x1000	16	読み出し／書き込み	0x0000	0xFFFF
	—	—	—	BUSSCNTFLI	スレーブバスコントロールレジスタ FLI	0x1100	16	読み出し／書き込み	0x0000	0xFFFF
	2	0x4	MBIU, RAM0	BUSSCNT%s	スレーブバスコントロールレジスタ %s	0x1108	16	読み出し／書き込み	0x0000	0xFFFF
	4	0x4	P0B, P2B, P3B, P4B	BUSSCNT%s	スレーブバスコントロールレジスタ %s	0x1114	16	読み出し／書き込み	0x0000	0xFFFF
	—	—	—	BUSSCNTP6B	スレーブバスコントロールレジスタ P6B	0x1128	16	読み出し／書き込み	0x0000	0xFFFF
	—	—	—	BUSSCNTFBU	スレーブバスコントロールレジスタ FBU	0x1130	16	読み出し／書き込み	0x0000	0xFFFF
	4	0x10	1-4	BUS%sERRADD	バスエラーアドレスレジスタ %s	0x1800	32	読み出し専用	0x00000000	0x00000000
	4	0x10	1-4	BUS%sERRSTAT	バスエラーステータスレジスタ %s	0x1804	8	読み出し専用	0x00	0xFE
DMAC0-3	—	—	—	DMSAR	DMA転送元アドレスレジスタ	0x00	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				DMDAR	DMA転送先アドレスレジスタ	0x04	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				DMCRA	DMA転送カウントレジスタ	0x08	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				DMCRB	DMAブロック転送カウントレジスタ	0x0C	16	読み出し／書き込み	0x0000	0xFFFF
				DMTMD	DMA転送モードレジスタ	0x10	16	読み出し／書き込み	0x0000	0xFFFF
				DMINT	DMA割り込み設定レジスタ	0x13	8	読み出し／書き込み	0x00	0xFF
				DMAMD	DMAアドレスモードレジスタ	0x14	16	読み出し／書き込み	0x0000	0xFFFF
				DMOFR	DMAオフセットレジスタ	0x18	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				DMCNT	DMA転送イネーブルレジスタ	0x1C	8	読み出し／書き込み	0x00	0xFF
				DMREQ	DMAソフトウェア起動レジスタ	0x1D	8	読み出し／書き込み	0x00	0xFF
				DMSTS	DMAステータスレジスタ	0x1E	8	読み出し／書き込み	0x00	0xFF
DMA	—	—	—	DMAST	DMACモジュール起動レジスタ	0x00	8	読み出し／書き込み	0x00	0xFF

表 3.4 レジスタの説明 (3/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
DTC	—	—	—	DTCCR	DTCコントロールレジスタ	0x00	8	読み出し/ 書き込み	0x08	0xFF
				DTCVBR	DTCベクタベースレジスタ	0x04	32	読み出し/ 書き込み	0x00000000	0xFFFFFFFF
				DTCST	DTCモジュール起動レジスタ	0x0C	8	読み出し/ 書き込み	0x00	0xFF
				DTCSTS	DTCステータスレジスタ	0x0E	16	読み出し専用	0x0000	0xFFFF
ICU	13	0x1	0-12	IRQCR%s	IRQコントロールレジスタ %s	0x000	8	読み出し/ 書き込み	0x00	0xFF
	2	0x1	14, 15	IRQCR%s	IRQコントロールレジスタ %s	0x00E	8	読み出し/ 書き込み	0x00	0xFF
	—	—	—	NMICR	NMI端子割り込みコントロー ルレジスタ	0x100	8	読み出し/ 書き込み	0x00	0xFF
				NMIER	ノンマスクابل割り込みイ ネーブルレジスタ	0x120	16	読み出し/ 書き込み	0x0000	0xFFFF
				NMICLR	ノンマスクابل割り込みス テータスクリアレジスタ	0x130	16	読み出し/ 書き込み	0x0000	0xFFFF
				NMISR	ノンマスクابل割り込みス テータスレジスタ	0x140	16	読み出し専用	0x0000	0xFFFF
				WUPEN	ウェイクアップ割り込みイ ネーブルレジスタ	0x1A0	32	読み出し/ 書き込み	0x00000000	0xFFFFFFFF
				SELSR0	SYS イベントリンク設定レジ スタ	0x200	16	読み出し/ 書き込み	0x0000	0xFFFF
	4	0x4	0-3	DELSR%s	DMAC イベントリンク設定レジ スタ %s	0x280	16	読み出し/ 書き込み	0x0000	0xFFFF
	32	0x4	0-31	IELSR%s	ICU イベントリンク設定レジ スタ %s	0x300	32	読み出し/ 書き込み	0x00000000	0xFFFFFFFF
DBG	—	—	—	DBGSTR	デバッグステータスレジスタ	0x000	32	読み出し専用	0x00000000	0xFFFFFFFF
				DBGSTOPCR	デバッグストップコントロー ルレジスタ	0x010	32	読み出し/ 書き込み	0x00000003	0xFFFFFFFF
				TRACECTR	トレースコントロールレジス タ	0x020	32	読み出し/ 書き込み	0x00000000	0xFFFFFFFF
FCACHE	—	—	—	FCACHEE	フラッシュキャッシュイネー ブルレジスタ	0x100	16	読み出し/ 書き込み	0x0000	0xFFFF
				FCACHEIV	フラッシュキャッシュインバ リデートレジスタ	0x104	16	読み出し/ 書き込み	0x0000	0xFFFF

表 3.4 レジスタの説明 (4/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
SYSTEM	—	—	—	SBYCR	スタンバイコントロールレジスタ	0x00C	16	読み出し／書き込み	0x4000	0xFFFF
				MSTPCRA	モジュールストップコントロールレジスタA	0x01C	32	読み出し／書き込み	0xFFBFFFBE	0xFFFFFFFF
				SCKDIVCR	システムクロック分周コントロールレジスタ	0x020	32	読み出し／書き込み	0x44044444	0xFFFFFFFF
				SCKSCR	システムクロックソースコントロールレジスタ	0x026	8	読み出し／書き込み	0x01	0xFF
				PLLCR	PLLコントロールレジスタ	0x02A	8	読み出し／書き込み	0x01	0xFF
				PLLCCR2	PLLクロックコントロールレジスタ2	0x02B	8	読み出し／書き込み	0x07	0xFF
				MEMWAIT	メモリウェイトサイクルコントロールレジスタ	0x031	8	読み出し／書き込み	0x00	0xFF
				MOSCCR	メインクロック発振器コントロールレジスタ	0x032	8	読み出し／書き込み	0x01	0xFF
				HOCOOCR	高速オンチップオシレータコントロールレジスタ	0x036	8	読み出し／書き込み	0x00	0xFE
				MOCOOCR	中速オンチップオシレータコントロールレジスタ	0x038	8	読み出し／書き込み	0x00	0xFF
				OOSCF	発振安定フラグレジスタ	0x03C	8	読み出し専用	0x00	0xFE
				CKOCR	クロックアウトコントロールレジスタ	0x03E	8	読み出し／書き込み	0x00	0xFF
				TRCKCR	トレースクロックコントロールレジスタ	0x03F	8	読み出し／書き込み	0x01	0xFF
				OSTDCR	発振停止検出コントロールレジスタ	0x040	8	読み出し／書き込み	0x00	0xFF
				OSTDSR	発振停止検出ステータスレジスタ	0x041	8	読み出し／書き込み	0x00	0xFF
				SLCDCKCR	セグメントLCDソースクロックコントロールレジスタ	0x050	8	読み出し／書き込み	0x00	0xFF
				MOCOUTCR	MOCOユーザトリミングコントロールレジスタ	0x061	8	読み出し／書き込み	0x00	0xFF
				HOCOUTCR	HOCOユーザトリミングコントロールレジスタ	0x062	8	読み出し／書き込み	0x00	0xFF
				SNZCR	スヌーズコントロールレジスタ	0x092	8	読み出し／書き込み	0x00	0xFF

表 3.4 レジスタの説明 (5/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
SYSTEM	—	—	—	SNZEDCR	スヌーズ終了コントロールレジスタ	0x094	8	読み出し／書き込み	0x00	0xFF
				SNZREQCR	スヌーズ要求コントロールレジスタ	0x098	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				FLSTOP	フラッシュ動作コントロールレジスタ	0x09E	8	読み出し／書き込み	0x00	0xFF
				OPCCR	動作電力コントロールレジスタ	0x0A0	8	読み出し／書き込み	0x02	0xFF
				MOSCWTCCR	メインクロック発振器ウェイトコントロールレジスタ	0x0A2	8	読み出し／書き込み	0x05	0xFF
				HOCOWTCR	高速オンチップオシレータウェイトコントロールレジスタ	0x0A5	8	読み出し／書き込み	0x05	0xFF
				SOPCCR	サブ動作電力コントロールレジスタ	0x0AA	8	読み出し／書き込み	0x00	0xFF
				RSTSR1	リセットステータスレジスタ 1	0x0C0	16	読み出し／書き込み	0x0000	0xE0F8
				BKRACR	バックアップレジスタアクセスコントロールレジスタ	0x0C6	8	読み出し／書き込み	0x06	0xFF
				USBCKCR	USBクロックコントロールレジスタ	0x0D0	8	読み出し／書き込み	0x00	0xFF
2	0x2	1, 2	LVD% <i>s</i> CR1	電圧モニタ % <i>s</i> 回路コントロールレジスタ 1	0x0E0	8	読み出し／書き込み	0x01	0xFF	
2	0x2	1, 2	LVD% <i>s</i> SR	電圧モニタ % <i>s</i> 回路ステータスレジスタ	0x0E1	8	読み出し／書き込み	0x02	0xFF	
—	—	—	PRCR	プロテクトレジスタ	0x3FE	16	読み出し／書き込み	0x0000	0xFFFF	
			SYOCDCR	システムコントロールOCDコントロールレジスタ	0x40E	8	読み出し／書き込み	0x00	0xFF	
			RSTSR0	リセットステータスレジスタ 0	0x410	8	読み出し／書き込み	0x00	0xF0	
			RSTSR2	リセットステータスレジスタ 2	0x411	8	読み出し／書き込み	0x00	0xFE	
			MOMCR	メインクロック発振器モードコントロールレジスタ	0x413	8	読み出し／書き込み	0x00	0xFF	
			LVCMPPCR	電圧モニタ回路コントロールレジスタ	0x417	8	読み出し／書き込み	0x00	0xFF	
			LVDLVL	電圧検出レベル選択レジスタ	0x418	8	読み出し／書き込み	0x07	0xFF	
2	0x1	1, 2	LVD% <i>s</i> CR0	電圧モニタ % <i>s</i> 回路コントロールレジスタ 0	0x41A	8	読み出し／書き込み	0x80	0xF7	
—	—	—	VBTCR1	VBATT コントロールレジスタ 1	0x41F	8	読み出し／書き込み	0x00	0xFF	
			SOSCCR	サブクロック発振器コントロールレジスタ	0x480	8	読み出し／書き込み	0x01	0xFF	
			SOMCR	サブクロック発振器モードコントロールレジスタ	0x481	8	読み出し／書き込み	0x00	0xFF	
			LOCOCR	低速オンチップオシレータコントロールレジスタ	0x490	8	読み出し／書き込み	0x00	0xFF	
			LOCOUTCR	LOCO ユーザトリミングコントロールレジスタ	0x492	8	読み出し／書き込み	0x00	0xFF	
			VBTCR2	VBATT コントロールレジスタ 2	0x4B0	8	読み出し／書き込み	0x00	0xFF	
			VBTSR	VBATT ステータスレジスタ	0x4B1	8	読み出し／書き込み	0x01	0xEC	
			VBTCMPPCR	VBATT コンパレータコントロールレジスタ	0x4B2	8	読み出し／書き込み	0x00	0xFF	
			VBTLVDICR	VBATT 端子低電圧検出割り込みコントロールレジスタ	0x4B4	8	読み出し／書き込み	0x00	0xFF	
			VBTWCTLR	VBATT ウェイクアップコントロールレジスタ	0x4B6	8	読み出し／書き込み	0x00	0xFF	
			VBTWCH0OTSR	VBATT ウェイクアップ I/O 0 出力トリガ選択レジスタ	0x4B8	8	読み出し／書き込み	0x00	0xFF	
			VBTWCH1OTSR	VBATT ウェイクアップ I/O 1 出力トリガ選択レジスタ	0x4B9	8	読み出し／書き込み	0x00	0xFF	
			VBTWCH2OTSR	VBATT ウェイクアップ I/O 2 出力トリガ選択レジスタ	0x4BA	8	読み出し／書き込み	0x00	0xFF	
			VBTICTLR	VBATT 入力コントロールレジスタ	0x4BB	8	読み出し／書き込み	0x00	0xFF	

表 3.4 レジスタの説明 (6/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク			
SYSTEM				VBTOCTLR	VBATT出力コントロールレジスタ	0x4BC	8	読み出し／書き込み	0x00	0xFF			
				VBWTWER	VBATTウェイクアップトリガ要因イネーブルレジスタ	0x4BD	8	読み出し／書き込み	0x00	0xFF			
				VBTWEGR	VBATTウェイクアップトリガ要因エッジレジスタ	0x4BE	8	読み出し／書き込み	0x00	0xFF			
				VBTWFR	VBATTウェイクアップトリガ要因フラグレジスタ	0x4BF	8	読み出し／書き込み	0x00	0xFF			
				512	0x1	0-511	VBTBKR[%s]	VBATTバックアップレジスタ [%s]	0x500	8	読み出し／書き込み	0x00	0x00
PORT0, 5-9				PCNTR1	ポートコントロールレジスタ 1	0x00	32	読み出し／書き込み	0x00000000	0xFFFFFFFF			
				PODR	出力データレジスタ	0x00	16	読み出し／書き込み	0x0000	0xFFFF			
				PDR	データ方向レジスタ	0x02	16	読み出し／書き込み	0x0000	0xFFFF			
				PCNTR2	ポートコントロールレジスタ 2	0x04	32	読み出し専用	0x00000000	0xFFFF0000			
				PIDR	入力データレジスタ	0x06	16	読み出し専用	0x0000	0x0000			
				PCNTR3	ポートコントロールレジスタ 3	0x08	32	書き込み専用	0x00000000	0xFFFFFFFF			
				PORR	出力リセットレジスタ	0x08	16	書き込み専用	0x0000	0xFFFF			
				POSR	出力設定レジスタ	0x0A	16	書き込み専用	0x0000	0xFFFF			
PORT1-4				PCNTR1	ポートコントロールレジスタ 1	0x00	32	読み出し／書き込み	0x00000000	0xFFFFFFFF			
				PODR	出力データレジスタ	0x00	16	読み出し／書き込み	0x0000	0xFFFF			
				PDR	データ方向レジスタ	0x02	16	読み出し／書き込み	0x0000	0xFFFF			
				PCNTR2	ポートコントロールレジスタ 2	0x04	32	読み出し専用	0x00000000	0xFFFF0000			
				EIDR	イベント入力データレジスタ	0x04	16	読み出し専用	0x0000	0xFFFF			
				PIDR	入力データレジスタ	0x06	16	読み出し専用	0x0000	0x0000			
				PCNTR3	ポートコントロールレジスタ 3	0x08	32	書き込み専用	0x00000000	0xFFFFFFFF			
				PORR	出力設定レジスタ	0x08	16	書き込み専用	0x0000	0xFFFF			
				POSR	出力リセットレジスタ	0x0A	16	書き込み専用	0x0000	0xFFFF			
				PCNTR4	ポートコントロールレジスタ 4	0x0C	32	読み出し／書き込み	0x00000000	0xFFFFFFFF			
				EORR	イベント出力設定レジスタ	0x0C	16	読み出し／書き込み	0x0000	0xFFFF			
				EOSR	イベント出力リセットレジスタ	0x0E	16	読み出し／書き込み	0x0000	0xFFFF			
				PFS				P000PFS	ポート00%端子機能選択レジスタ	0x000	32	読み出し／書き込み	0x00000000
P000PFS_HA	ポート00%端子機能選択レジスタ	0x002	16					読み出し／書き込み	0x0000	0xFFFD			
P000PFS_BY	ポート00%端子機能選択レジスタ	0x003	8					読み出し／書き込み	0x00	0xFD			
8	0x4	1-8	P00%PFS					ポート00%端子機能選択レジスタ	0x004	32	読み出し／書き込み	0x00000000	0xFFFFFFFFD
8	0x4	1-8	P00%PFS_HA					ポート00%端子機能選択レジスタ	0x006	16	読み出し／書き込み	0x0000	0xFFFD
8	0x4	1-8	P00%PFS_BY					ポート00%端子機能選択レジスタ	0x007	8	読み出し／書き込み	0x00	0xFD
6	0x4	10-15	P0%PFS					ポート0%端子機能選択レジスタ	0x028	32	読み出し／書き込み	0x00000000	0xFFFFFFFFD
6	0x4	10-15	P0%PFS_HA					ポート0%端子機能選択レジスタ	0x02A	16	読み出し／書き込み	0x0000	0xFFFD
6	0x4	10-15	P0%PFS_BY					ポート0%端子機能選択レジスタ	0x02B	8	読み出し／書き込み	0x00	0xFD
8	0x4	0-7	P10%PFS					ポート10%端子機能選択レジスタ	0x040	32	読み出し／書き込み	0x00000000	0xFFFFFFFFD

表 3.4 レジスタの説明 (7/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
PFS	8	0x4	0-7	P10%PFS_HA	ポート 10% s 端子機能選択レジスタ	0x042	16	読み出し／書き込み	0x0000	0xFFFFD
	8	0x4	0-7	P10%PFS_BY	ポート 10% s 端子機能選択レジスタ	0x043	8	読み出し／書き込み	0x00	0xFD
	—	—	—	P108PFS	ポート 108 端子機能選択レジスタ	0x060	32	読み出し／書き込み	0x00010010	0xFFFFFFFFD
	—	—	—	P108PFS_HA	ポート 108 端子機能選択レジスタ	0x062	16	読み出し／書き込み	0x0010	0xFFFFD
	—	—	—	P108PFS_BY	ポート 108 端子機能選択レジスタ	0x063	8	読み出し／書き込み	0x10	0xFD
	—	—	—	P109PFS	ポート 109 端子機能選択レジスタ	0x064	32	読み出し／書き込み	0x00010000	0xFFFFFFFFD
	—	—	—	P109PFS_HA	ポート 109 端子機能選択レジスタ	0x066	16	読み出し／書き込み	0x0000	0xFFFFD
	—	—	—	P109PFS_BY	ポート 109 端子機能選択レジスタ	0x067	8	読み出し／書き込み	0x00	0xFD
	—	—	—	P110PFS	ポート 110 端子機能選択レジスタ	0x068	32	読み出し／書き込み	0x00010010	0xFFFFFFFFD
	—	—	—	P110PFS_HA	ポート 110 端子機能選択レジスタ	0x06A	16	読み出し／書き込み	0x0010	0xFFFFD
	—	—	—	P110PFS_BY	ポート 110 端子機能選択レジスタ	0x06B	8	読み出し／書き込み	0x10	0xFD
	5	0x4	11-15	P1%PFS	ポート 1% s 端子機能選択レジスタ	0x06C	32	読み出し／書き込み	0x00000000	0xFFFFFFFFD
	5	0x4	11-15	P1%PFS_HA	ポート 1% s 端子機能選択レジスタ	0x06E	16	読み出し／書き込み	0x0000	0xFFFFD
	5	0x4	11-15	P1%PFS_BY	ポート 1% s 端子機能選択レジスタ	0x06F	8	読み出し／書き込み	0x00	0xFD
	—	—	—	P200PFS	ポート 200 端子機能選択レジスタ	0x080	32	読み出し／書き込み	0x00000000	0xFFFFFFFFD
	—	—	—	P200PFS_HA	ポート 200 端子機能選択レジスタ	0x082	16	読み出し／書き込み	0x0000	0xFFFFD
	—	—	—	P200PFS_BY	ポート 200 端子機能選択レジスタ	0x083	8	読み出し／書き込み	0x00	0xFD
	—	—	—	P201PFS	ポート 201 端子機能選択レジスタ	0x084	32	読み出し／書き込み	0x00000010	0xFFFFFFFFD
	—	—	—	P201PFS_HA	ポート 201 端子機能選択レジスタ	0x086	16	読み出し／書き込み	0x0010	0xFFFFD
	—	—	—	P201PFS_BY	ポート 201 端子機能選択レジスタ	0x087	8	読み出し／書き込み	0x10	0xFD
	5	0x4	2-6	P20%PFS	ポート 20% s 端子機能選択レジスタ	0x088	32	読み出し／書き込み	0x00000000	0xFFFFFFFFD
	5	0x4	2-6	P20%PFS_HA	ポート 20% s 端子機能選択レジスタ	0x08A	16	読み出し／書き込み	0x0000	0xFFFFD
	5	0x4	2-6	P20%PFS_BY	ポート 20% s 端子機能選択レジスタ	0x08B	8	読み出し／書き込み	0x00	0xFD
	4	0x4	12-15	P2%PFS	ポート 2% s 端子機能選択レジスタ	0x0B0	32	読み出し／書き込み	0x00000000	0xFFFFFFFFD
	4	0x4	12-15	P2%PFS_HA	ポート 2% s 端子機能選択レジスタ	0x0B2	16	読み出し／書き込み	0x0000	0xFFFFD
	4	0x4	12-15	P2%PFS_BY	ポート 2% s 端子機能選択レジスタ	0x0B3	8	読み出し／書き込み	0x00	0xFD
	—	—	—	P300PFS	ポート 300 端子機能選択レジスタ	0x0C0	32	読み出し／書き込み	0x00010010	0xFFFFFFFFD
	—	—	—	P300PFS_HA	ポート 300 端子機能選択レジスタ	0x0C2	16	読み出し／書き込み	0x0010	0xFFFFD
	—	—	—	P300PFS_BY	ポート 300 端子機能選択レジスタ	0x0C3	8	読み出し／書き込み	0x10	0xFD
	7	0x4	1-7	P30%PFS	ポート 30% s 端子機能選択レジスタ	0x0C4	32	読み出し／書き込み	0x00000000	0xFFFFFFFFD
	7	0x4	1-7	P30%PFS_HA	ポート 30% s 端子機能選択レジスタ	0x0C6	16	読み出し／書き込み	0x0000	0xFFFFD
	7	0x4	1-7	P30%PFS_BY	ポート 30% s 端子機能選択レジスタ	0x0C7	8	読み出し／書き込み	0x00	0xFD
	8	0x4	0-7	P40%PFS	ポート 40% s 端子機能選択レジスタ	0x100	32	読み出し／書き込み	0x00000000	0xFFFFFFFFD
	8	0x4	0-7	P40%PFS_HA	ポート 40% s 端子機能選択レジスタ	0x102	16	読み出し／書き込み	0x0000	0xFFFFD
	8	0x4	0-7	P40%PFS_BY	ポート 40% s 端子機能選択レジスタ	0x103	8	読み出し／書き込み	0x00	0xFD

表 3.4 レジスタの説明 (8/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク	
PFS	—	—	—	P408PFS	ポート408端子機能選択レジスタ	0x120	32	読み出し／書き込み	0x00000000	0xFFFFFFFF	
				P408PFS_HA	ポート408端子機能選択レジスタ	0x122	16	読み出し／書き込み	0x0000	0xFFFF	
				P408PFS_BY	ポート408端子機能選択レジスタ	0x123	8	読み出し／書き込み	0x00	0xFD	
				P409PFS	ポート409端子機能選択レジスタ	0x124	32	読み出し／書き込み	0x00000000	0xFFFFFFFF	
				P409PFS_HA	ポート409端子機能選択レジスタ	0x126	16	読み出し／書き込み	0x0000	0xFFFF	
				P409PFS_BY	ポート409端子機能選択レジスタ	0x127	8	読み出し／書き込み	0x00	0xFD	
	6	0x4	10-15	P4%sPFS	ポート4%s端子機能選択レジスタ	0x128	32	読み出し／書き込み	0x00000000	0xFFFFFFFF	
	6	0x4	10-15	P4%sPFS_HA	ポート4%s端子機能選択レジスタ	0x12A	16	読み出し／書き込み	0x0000	0xFFFF	
	6	0x4	10-15	P4%sPFS_BY	ポート4%s端子機能選択レジスタ	0x12B	8	読み出し／書き込み	0x00	0xFD	
	6	0x4	0-5	P50%sPFS	ポート50%s端子機能選択レジスタ	0x140	32	読み出し／書き込み	0x00000000	0xFFFFFFFF	
	6	0x4	0-5	P50%sPFS_HA	ポート50%s端子機能選択レジスタ	0x142	16	読み出し／書き込み	0x0000	0xFFFF	
	6	0x4	0-5	P50%sPFS_BY	ポート50%s端子機能選択レジスタ	0x143	8	読み出し／書き込み	0x00	0xFD	
	4	0x4	0-3	P60%sPFS	ポート60%s端子機能選択レジスタ	0x180	32	読み出し／書き込み	0x00000000	0xFFFFFFFF	
	4	0x4	0-3	P60%sPFS_HA	ポート60%s端子機能選択レジスタ	0x182	16	読み出し／書き込み	0x0000	0xFFFF	
	4	0x4	0-3	P60%sPFS_BY	ポート60%s端子機能選択レジスタ	0x183	8	読み出し／書き込み	0x00	0xFD	
	2	0x4	8-9	P60%sPFS	ポート60%s端子機能選択レジスタ	0x1A0	32	読み出し／書き込み	0x00000000	0xFFFFFFFF	
	2	0x4	8-9	P60%sPFS_HA	ポート60%s端子機能選択レジスタ	0x1A2	16	読み出し／書き込み	0x0000	0xFFFF	
	2	0x4	8-9	P60%sPFS_BY	ポート60%s端子機能選択レジスタ	0x1A3	8	読み出し／書き込み	0x00	0xFD	
	—	—	—	—	P610PFS	ポート610端子機能選択レジスタ	0x1A8	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
					P610PFS_HA	ポート610端子機能選択レジスタ	0x1AA	16	読み出し／書き込み	0x0000	0xFFFF
					P610PFS_BY	ポート610端子機能選択レジスタ	0x1AB	8	読み出し／書き込み	0x00	0xFD
					P708PFS	ポート708端子機能選択レジスタ	0x1E0	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
					P708PFS_HA	ポート708端子機能選択レジスタ	0x1E2	16	読み出し／書き込み	0x0000	0xFFFF
					P708PFS_BY	ポート708端子機能選択レジスタ	0x1E3	8	読み出し／書き込み	0x00	0xFD
		2	0x4	8-9	P80%sPFS	ポート80%s端子機能選択レジスタ	0x220	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
		2	0x4	8-9	P80%sPFS_HA	ポート80%s端子機能選択レジスタ	0x222	16	読み出し／書き込み	0x0000	0xFFFF
		2	0x4	8-9	P80%sPFS_BY	ポート80%s端子機能選択レジスタ	0x223	8	読み出し／書き込み	0x00	0xFD
		2	0x4	14, 15	P9%sPFS	ポート9%s端子機能選択レジスタ	0x278	32	読み出し／書き込み	0x00010000	0xFFFFFFFF
		2	0x4	14, 15	P9%sPFS_HA	ポート9%s端子機能選択レジスタ	0x27A	16	読み出し／書き込み	0x0000	0xFFFF
		2	0x4	14, 15	P9%sPFS_BY	ポート9%s端子機能選択レジスタ	0x27B	8	読み出し／書き込み	0x00	0xFD
PMISC	—	—	—	PWPR	書き込みプロテクトレジスタ	0x03	8	読み出し／書き込み	0x80	0xFF	

表 3.4 レジスタの説明 (9/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
ELC	—	—	—	ELCR	イベントリンクコントローラ レジスタ	0x00	8	読み出し/ 書き込み	0x00	0xFF
	2	0x2	0, 1	ELSEGR%s	イベントリンクソフトウェア イベント発生レジスタ %s	0x02	8	読み出し/ 書き込み	0x80	0xFF
	10	0x4	0-9	ELSR%s	イベントリンク設定レジスタ %s	0x10	16	読み出し/ 書き込み	0x0000	0xFFFF
	—	—	—	ELSR12	イベントリンク設定レジスタ 12	0x40	16	読み出し/ 書き込み	0x0000	0xFFFF
	5	0x4	14-18	ELSR%s	イベントリンク設定レジスタ %s	0x48	16	読み出し/ 書き込み	0x0000	0xFFFF
POEG	2	0x100	A, B	POEGG%s	POEGグループ%s設定レジ スタ	0x00	32	読み出し/ 書き込み	0x00000000	0xFFFFFFFF
RTC	—	—	—	R64CNT	64Hzカウンタ	0x00	8	読み出し専用	0x00	0x80
				RSECCNT	秒カウンタ	0x02	8	読み出し/ 書き込み	0x00	0x00
				BCNT0	バイナリカウンタ 0	0x02	8	読み出し/ 書き込み	0x00	0x00
				RMINCNT	分カウンタ	0x04	8	読み出し/ 書き込み	0x00	0x00
				BCNT1	バイナリカウンタ 1	0x04	8	読み出し/ 書き込み	0x00	0x00
				RHRCNT	時カウンタ	0x06	8	読み出し/ 書き込み	0x00	0x00
				BCNT2	バイナリカウンタ 2	0x06	8	読み出し/ 書き込み	0x00	0x00
				RWKCNT	曜日カウンタ	0x08	8	読み出し/ 書き込み	0x00	0x00
				BCNT3	バイナリカウンタ 3	0x08	8	読み出し/ 書き込み	0x00	0x00
				RDAYCNT	日カウンタ	0x0A	8	読み出し/ 書き込み	0x00	0xC0
				RMONCNT	月カウンタ	0x0C	8	読み出し/ 書き込み	0x00	0xE0
				RYRCNT	年カウンタ	0x0E	16	読み出し/ 書き込み	0x0000	0xFF00
				RSECAR	秒アラームレジスタ	0x10	8	読み出し/ 書き込み	0x00	0x00
				BCNT0AR	バイナリカウンタ 0 アラーム レジスタ	0x10	8	読み出し/ 書き込み	0x00	0x00
				RMINAR	分アラームレジスタ	0x12	8	読み出し/ 書き込み	0x00	0x00
				BCNT1AR	バイナリカウンタ 1 アラーム レジスタ	0x12	8	読み出し/ 書き込み	0x00	0x00
				RHRAR	時アラームレジスタ	0x14	8	読み出し/ 書き込み	0x00	0x00
				BCNT2AR	バイナリカウンタ 2 アラーム レジスタ	0x14	8	読み出し/ 書き込み	0x00	0x00
				RWKAR	曜日アラームレジスタ	0x16	8	読み出し/ 書き込み	0x00	0x00
				BCNT3AR	バイナリカウンタ 3 アラーム レジスタ	0x16	8	読み出し/ 書き込み	0x00	0x00
				RDAYAR	日アラームレジスタ	0x18	8	読み出し/ 書き込み	0x00	0x00
				BCNT0AER	バイナリカウンタ 0 アラーム イネーブルレジスタ	0x18	8	読み出し/ 書き込み	0x00	0x00
				RMONAR	月アラームレジスタ	0x1A	8	読み出し/ 書き込み	0x00	0x00
				BCNT1AER	バイナリカウンタ 1 アラーム イネーブルレジスタ	0x1A	8	読み出し/ 書き込み	0x00	0x00
				RYRAR	年アラームレジスタ	0x1C	16	読み出し/ 書き込み	0x0000	0xFF00
				BCNT2AER	バイナリカウンタ 2 アラーム イネーブルレジスタ	0x1C	16	読み出し/ 書き込み	0x0000	0xFF00
				RYRAREN	年アラームイネーブルレジス タ	0x1E	8	読み出し/ 書き込み	0x00	0x00
				BCNT3AER	バイナリカウンタ 3 アラーム イネーブルレジスタ	0x1E	8	読み出し/ 書き込み	0x00	0x00
				RCR1	RTC コントロールレジスタ 1	0x22	8	読み出し/ 書き込み	0x00	0x0A

表 3.4 レジスタの説明 (10/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
RTC	—	—	—	RCR2	RTCコントロールレジスタ2	0x24	8	読み出し/ 書き込み	0x00	0x0E
				RCR4	RTCコントロールレジスタ4	0x28	8	読み出し/ 書き込み	0x00	0xFE
				RFRH	周波数レジスタH	0x2A	16	読み出し/ 書き込み	0x0000	0xFFFE
				RFRL	周波数レジスタL	0x2C	16	読み出し/ 書き込み	0x0000	0x0000
				RADJ	時計誤差補正レジスタ	0x2E	8	読み出し/ 書き込み	0x00	0x00
	3	0x2	0-2	RTCCR%s	時間キャプチャコントロール レジスタ%s	0x40	8	読み出し/ 書き込み	0x00	0x00
	3	0x10	0-2	RSECCP%s	秒キャプチャレジスタ%s	0x52	8	読み出し専用	0x00	0x00
	3	0x10	0-2	BCNT0CP%s	BCNT0キャプチャレジスタ %s	0x52	8	読み出し専用	0x00	0x00
	3	0x10	0-2	RMINCP%s	分キャプチャレジスタ%s	0x54	8	読み出し専用	0x00	0x00
	3	0x10	0-2	BCNT1CP%s	BCNT1キャプチャレジスタ %s	0x54	8	読み出し専用	0x00	0x00
	3	0x10	0-2	RHRCP%s	時キャプチャレジスタ%s	0x56	8	読み出し専用	0x00	0x00
	3	0x10	0-2	BCNT2CP%s	BCNT2キャプチャレジスタ %s	0x56	8	読み出し専用	0x00	0x00
	3	0x10	0-2	RDAYCP%s	日キャプチャレジスタ%s	0x5A	8	読み出し専用	0x00	0x00
	3	0x10	0-2	BCNT3CP%s	BCNT3キャプチャレジスタ %s	0x5A	8	読み出し専用	0x00	0x00
3	0x10	0-2	RMONCP%s	月キャプチャレジスタ%s	0x5C	8	読み出し専用	0x00	0x00	
WDT	—	—	—	WDTRR	WDTリフレッシュレジスタ	0x00	8	読み出し/ 書き込み	0xFF	0xFF
				WDTCR	WDTコントロールレジスタ	0x02	16	読み出し/ 書き込み	0x33F3	0xFFFF
				WDTSR	WDTステータスレジスタ	0x04	16	読み出し/ 書き込み	0x0000	0xFFFF
				WDTRCR	WDTリセットコントロール レジスタ	0x06	8	読み出し/ 書き込み	0x80	0xFF
				WDTCSTPR	WDTカウント停止コント ロールレジスタ	0x08	8	読み出し/ 書き込み	0x80	0xFF
IWDT	—	—	—	IWDTRR	IWDTリフレッシュレジスタ	0x00	8	読み出し/ 書き込み	0xFF	0xFF
				IWDTSR	IWDTステータスレジスタ	0x04	16	読み出し/ 書き込み	0x0000	0xFFFF
CAC	—	—	—	CACR0	CACコントロールレジスタ0	0x00	8	読み出し/ 書き込み	0x00	0xFF
				CACR1	CACコントロールレジスタ1	0x01	8	読み出し/ 書き込み	0x00	0xFF
				CACR2	CACコントロールレジスタ2	0x02	8	読み出し/ 書き込み	0x00	0xFF
				CAICR	CAC割り込みコントロールレ ジスタ	0x03	8	読み出し/ 書き込み	0x00	0xFF
				CASTR	CACステータスレジスタ	0x04	8	読み出し専用	0x00	0xFF
				CAULVR	CAC上限値設定レジスタ	0x06	16	読み出し/ 書き込み	0x0000	0xFFFF
				CALLVR	CAC下限値設定レジスタ	0x08	16	読み出し/ 書き込み	0x0000	0xFFFF
				CACNTBR	CACカウンタバッファレジス タ	0x0A	16	読み出し専用	0x0000	0xFFFF
MSTP	—	—	—	MSTPCRB	モジュールストップコント ロールレジスタB	0x00	32	読み出し/ 書き込み	0xFFFFFFFF	0xFFFFFFFF
				MSTPCRC	モジュールストップコント ロールレジスタC	0x04	32	読み出し/ 書き込み	0xFFFFFFFF	0xFFFFFFFF
				MSTPCRD	モジュールストップコント ロールレジスタD	0x08	32	読み出し/ 書き込み	0xFFFFFFFF	0xFFFFFFFF

表 3.4 レジスタの説明 (11/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
SSIE0	—	—	—	SSICR	コントロールレジスタ	0x00	32	読み出し/ 書き込み	0x00000000	0xFFFFFFFF
				SSISR	ステータスレジスタ	0x04	32	読み出し/ 書き込み	0x02000000	0xFFFFFFFF
				SSIFCR	FIFOコントロールレジスタ	0x10	32	読み出し/ 書き込み	0x00000000	0xFFFFFFFF
				SSIFSR	FIFOステータスレジスタ	0x14	32	読み出し/ 書き込み	0x00010000	0xFFFFFFFF
				SSIFTDR	送信FIFOデータレジスタ	0x18	32	書き込み専用	0x00000000	0x00000000
				SSIFRDR	受信FIFOデータレジスタ	0x1C	32	読み出し専用	0x00000000	0x00000000
				SSITDMR	TDMモードレジスタ	0x20	32	読み出し/ 書き込み	0x00000000	0xFFFFFFFF
				SSISCR	ステータスコントロールレジスタ	0x24	32	読み出し/ 書き込み	0x00000000	0xFFFFFFFF
CAN0	32	0x10	0-31	MB%s_ID	メールボックスレジスタ	0x200	32	読み出し/ 書き込み	0x00000000	0x00000000
	32	0x10	0-31	MB%s_DL	メールボックスレジスタ	0x204	16	読み出し/ 書き込み	0x0000	0x0000
	32	0x10	0-31	MB%s_D0	メールボックスレジスタ	0x206	8	読み出し/ 書き込み	0x00	0x00
	32	0x10	0-31	MB%s_D1	メールボックスレジスタ	0x207	8	読み出し/ 書き込み	0x00	0x00
	32	0x10	0-31	MB%s_D2	メールボックスレジスタ	0x208	8	読み出し/ 書き込み	0x00	0x00
	32	0x10	0-31	MB%s_D3	メールボックスレジスタ	0x209	8	読み出し/ 書き込み	0x00	0x00
	32	0x10	0-31	MB%s_D4	メールボックスレジスタ	0x20A	8	読み出し/ 書き込み	0x00	0x00
	32	0x10	0-31	MB%s_D5	メールボックスレジスタ	0x20B	8	読み出し/ 書き込み	0x00	0x00
	32	0x10	0-31	MB%s_D6	メールボックスレジスタ	0x20C	8	読み出し/ 書き込み	0x00	0x00
	32	0x10	0-31	MB%s_D7	メールボックスレジスタ	0x20D	8	読み出し/ 書き込み	0x00	0x00
	32	0x10	0-31	MB%s_TS	メールボックスレジスタ	0x20E	16	読み出し/ 書き込み	0x0000	0x0000
	8	0x4	0-7	MKR[%s]	マスクレジスタ	0x400	32	読み出し/ 書き込み	0x00000000	0x00000000
	2	0x4	0, 1	FIDCR%s	FIFO受信ID比較レジスタ	0x420	32	読み出し/ 書き込み	0x00000000	0x00000000
	—	—	—	MKIVLR	マスク無効レジスタ	0x428	32	読み出し/ 書き込み	0x00000000	0x00000000
				MIER	メールボックス割り込みイネーブルレジスタ	0x42C	32	読み出し/ 書き込み	0x00000000	0x00000000
				MIER_FIFO	FIFOメールボックスモード用メールボックス割り込みイネーブルレジスタ	0x42C	32	読み出し/ 書き込み	0x00000000	0x00000000
	32	0x1	0-31	MCTL_TX[%s]	送信用メッセージコントロールレジスタ	0x820	8	読み出し/ 書き込み	0x00	0xFF
	32	0x1	0-31	MCTL_RX[%s]	受信用メッセージコントロールレジスタ	0x820	8	読み出し/ 書き込み	0x00	0xFF
	—	—	—	CTLR	コントロールレジスタ	0x840	16	読み出し/ 書き込み	0x0500	0xFFFF
				STR	ステータスレジスタ	0x842	16	読み出し専用	0x0500	0xFFFF
BCR				ビットコンフィグレーションレジスタ	0x844	32	読み出し/ 書き込み	0x00000000	0xFFFFFFFF	
RFCR				受信FIFOコントロールレジスタ	0x848	8	読み出し/ 書き込み	0x80	0xFF	
RFPCR				受信FIFOポインタコントロールレジスタ	0x849	8	書き込み専用	0x00	0x00	
TFCR				送信FIFOコントロールレジスタ	0x84A	8	読み出し/ 書き込み	0x80	0xFF	
TFPCR				送信FIFOポインタコントロールレジスタ	0x84B	8	書き込み専用	0x00	0x00	
EIER				エラー割り込みイネーブルレジスタ	0x84C	8	読み出し/ 書き込み	0x00	0xFF	

表 3.4 レジスタの説明 (12/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
CAN0	—	—	—	EIFR	エラー割り込み要因判定レジスタ	0x84D	8	読み出し／書き込み	0x00	0xFF
				RECR	受信エラーカウントレジスタ	0x84E	8	読み出し専用	0x00	0xFF
				TECR	送信エラーカウントレジスタ	0x84F	8	読み出し専用	0x00	0xFF
				ECSR	エラーコード格納レジスタ	0x850	8	読み出し／書き込み	0x00	0xFF
				CSSR	チャンネルサーチサポートレジスタ	0x851	8	読み出し／書き込み	0x00	0x00
				MSSR	メールボックスサーチステータスレジスタ	0x852	8	読み出し専用	0x80	0xFF
				MSMR	メールボックスサーチモードレジスタ	0x853	8	読み出し／書き込み	0x00	0xFF
				TSR	タイムスタンプレジスタ	0x854	16	読み出し専用	0x0000	0xFFFF
				AFSR	アクセプタンスフィルタサポートレジスタ	0x856	16	読み出し／書き込み	0x0000	0x0000
				TCR	テストコントロールレジスタ	0x858	8	読み出し／書き込み	0x00	0xFF
IC0	—	—	—	ICCR1	I ² Cバスコントロールレジスタ1	0x00	8	読み出し／書き込み	0x1F	0xFF
				ICCR2	I ² Cバスコントロールレジスタ2	0x01	8	読み出し／書き込み	0x00	0xFF
				ICMR1	I ² Cバスモードレジスタ1	0x02	8	読み出し／書き込み	0x08	0xFF
				ICMR2	I ² Cバスモードレジスタ2	0x03	8	読み出し／書き込み	0x06	0xFF
				ICMR3	I ² Cバスモードレジスタ3	0x04	8	読み出し／書き込み	0x00	0xFF
				ICFER	I ² Cバスファンクションイネーブルレジスタ	0x05	8	読み出し／書き込み	0x72	0xFF
				ICSER	I ² Cバスステータスイネーブルレジスタ	0x06	8	読み出し／書き込み	0x09	0xFF
				ICIER	I ² Cバス割り込みイネーブルレジスタ	0x07	8	読み出し／書き込み	0x00	0xFF
				ICSR1	I ² Cバスステータスレジスタ1	0x08	8	読み出し／書き込み	0x00	0xFF
				ICSR2	I ² Cバスステータスレジスタ2	0x09	8	読み出し／書き込み	0x00	0xFF
	3	0x2	0-2	SARL%s	スレーブアドレスレジスタL%s	0x0A	8	読み出し／書き込み	0x00	0xFF
	3	0x2	0-2	SARU%s	スレーブアドレスレジスタU%s	0x0B	8	読み出し／書き込み	0x00	0xFF
	—	—	—	ICBRL	I ² CバスビットレートLowレジスタ	0x10	8	読み出し／書き込み	0xFF	0xFF
				ICBRH	I ² CバスビットレートHighレジスタ	0x11	8	読み出し／書き込み	0xFF	0xFF
				ICDRT	I ² Cバス送信データレジスタ	0x12	8	読み出し／書き込み	0xFF	0xFF
				ICDRR	I ² Cバス受信データレジスタ	0x13	8	読み出し専用	0x00	0xFF
ICWUR				I ² Cバスウェイクアップユニットレジスタ	0x16	8	読み出し／書き込み	0x10	0xFF	
ICWUR2				I ² Cバスウェイクアップユニットレジスタ2	0x17	8	読み出し／書き込み	0xFD	0xFF	

表 3.4 レジスタの説明 (13/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
IIC1	—	—	—	ICCR1	I ² Cバスコントロールレジスタ1	0x00	8	読み出し／書き込み	0x1F	0xFF
				ICCR2	I ² Cバスコントロールレジスタ2	0x01	8	読み出し／書き込み	0x00	0xFF
				ICMR1	I ² Cバスモードレジスタ1	0x02	8	読み出し／書き込み	0x08	0xFF
				ICMR2	I ² Cバスモードレジスタ2	0x03	8	読み出し／書き込み	0x06	0xFF
				ICMR3	I ² Cバスモードレジスタ3	0x04	8	読み出し／書き込み	0x00	0xFF
				ICFER	I ² Cバスファンクションイネーブルレジスタ	0x05	8	読み出し／書き込み	0x72	0xFF
				ICSER	I ² Cバスステータスイネーブルレジスタ	0x06	8	読み出し／書き込み	0x09	0xFF
				ICIER	I ² Cバス割り込みイネーブルレジスタ	0x07	8	読み出し／書き込み	0x00	0xFF
				ICSR1	I ² Cバスステータスレジスタ1	0x08	8	読み出し／書き込み	0x00	0xFF
				ICSR2	I ² Cバスステータスレジスタ2	0x09	8	読み出し／書き込み	0x00	0xFF
	3	0x2	0-2	SARL%s	スレーブアドレスレジスタL%s	0x0A	8	読み出し／書き込み	0x00	0xFF
	3	0x2	0-2	SARU%s	スレーブアドレスレジスタU%s	0x0B	8	読み出し／書き込み	0x00	0xFF
	—	—	—	ICBRL	I ² CバスビットレートLowレジスタ	0x10	8	読み出し／書き込み	0xFF	0xFF
				ICBRH	I ² CバスビットレートHighレジスタ	0x11	8	読み出し／書き込み	0xFF	0xFF
				ICDRT	I ² Cバス送信データレジスタ	0x12	8	読み出し／書き込み	0xFF	0xFF
				ICDRR	I ² Cバス受信データレジスタ	0x13	8	読み出し／書き込み	0x00	0xFF
	DOC	—	—	DOCR	DOCコントロールレジスタ	0x00	8	読み出し／書き込み	0x00	0xFF
				DODIR	DOCデータインプットレジスタ	0x02	16	読み出し／書き込み	0x0000	0xFFFF
				DODSR	DOCデータ設定レジスタ	0x04	16	読み出し／書き込み	0x0000	0xFFFF
ADC140	—	—	—	ADCSR	A/Dコントロールレジスタ	0x000	16	読み出し／書き込み	0x0000	0xFFFF
				ADANSA0	A/Dチャンネル選択レジスタA0	0x004	16	読み出し／書き込み	0x0000	0xFFFF
				ADANSA1	A/Dチャンネル選択レジスタA1	0x006	16	読み出し／書き込み	0x0000	0xFFFF
				ADADS0	A/D変換値加算／平均チャンネル選択レジスタ0	0x008	16	読み出し／書き込み	0x0000	0xFFFF
				ADADS1	A/D変換値加算／平均チャンネル選択レジスタ1	0x00A	16	読み出し／書き込み	0x0000	0xFFFF
				ADADC	A/D変換値加算／平均回数選択レジスタ	0x00C	8	読み出し／書き込み	0x00	0xFF
				ADCER	A/Dコントロール拡張レジスタ	0x00E	16	読み出し／書き込み	0x0000	0xFFFF
				ADSTRGR	A/D変換開始トリガ選択レジスタ	0x010	16	読み出し／書き込み	0x0000	0xFFFF
				ADEXICR	A/D変換拡張入力コントロールレジスタ	0x012	16	読み出し／書き込み	0x0000	0xFFFF
				ADANSB0	A/Dチャンネル選択レジスタB0	0x014	16	読み出し／書き込み	0x0000	0xFFFF
				ADANSB1	A/Dチャンネル選択レジスタB1	0x016	16	読み出し／書き込み	0x0000	0xFFFF
				ADDBLDR	A/Dデータ2重化レジスタ	0x018	16	読み出し専用	0x0000	0xFFFF
				ADTSDR	A/D温度センサデータレジスタ	0x01A	16	読み出し専用	0x0000	0xFFFF
				ADOCDR	A/D内部基準電圧データレジスタ	0x01C	16	読み出し専用	0x0000	0xFFFF
				ADRD	A/D自己診断データレジスタ	0x01E	16	読み出し専用	0x0000	0xFFFF
	15	0x2	0-14	ADDR%s	A/Dデータレジスタ%s	0x020	16	読み出し専用	0x0000	0xFFFF

表 3.4 レジスタの説明 (14/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク				
ADC140	10	0x2	16-25	ADDR%s	A/D データレジスタ %s	0x040	16	読み出し／書き込み	0x0000	0xFFFF				
				ADDISCR	A/D 断線検出コントロールレジスタ	0x07A	8	読み出し／書き込み	0x00	0xFF				
				ADGSPCR	A/D グループスキャン優先コントロールレジスタ	0x080	16	読み出し／書き込み	0x0000	0xFFFF				
				ADDBLDRA	A/D データ2重化レジスタ A	0x084	16	読み出し専用	0x0000	0xFFFF				
				ADDBLDRB	A/D データ2重化レジスタ B	0x086	16	読み出し専用	0x0000	0xFFFF				
				ADHVREFCNT	A/D 高電位／低電位基準電圧コントロールレジスタ	0x08A	8	読み出し／書き込み	0x00	0xFF				
				ADWINMON	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ	0x08C	8	読み出し専用	0x00	0xFF				
				ADCMPCR	A/D コンペア機能コントロールレジスタ	0x090	16	読み出し／書き込み	0x0000	0xFFFF				
				ADCOMPANSER	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ	0x092	8	読み出し／書き込み	0x00	0xFF				
				ADCMPLER	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ	0x093	8	読み出し／書き込み	0x00	0xFF				
				ADCOMPANSR0	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0	0x094	16	読み出し／書き込み	0x0000	0xFFFF				
				ADCOMPANSR1	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1	0x096	16	読み出し／書き込み	0x0000	0xFFFF				
				ADCMPLR0	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0	0x098	16	読み出し／書き込み	0x0000	0xFFFF				
				ADCMPLR1	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1	0x09A	16	読み出し／書き込み	0x0000	0xFFFF				
				ADCMPDR0	A/D コンペア機能ウィンドウ A 下側レベル設定レジスタ	0x09C	16	読み出し／書き込み	0x0000	0xFFFF				
				ADCMPDR1	A/D コンペア機能ウィンドウ A 上側レベル設定レジスタ	0x09E	16	読み出し／書き込み	0x0000	0xFFFF				
				ADCMPSR0	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0	0x0A0	16	読み出し／書き込み	0x0000	0xFFFF				
				ADCMPSR1	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1	0x0A2	16	読み出し／書き込み	0x0000	0xFFFF				
				ADCMPSER	A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ	0x0A4	8	読み出し／書き込み	0x00	0xFF				
				ADCOMPNSR	A/D コンペア機能ウィンドウ B チャネルステータスレジスタ	0x0A6	8	読み出し／書き込み	0x00	0xFF				
				ADWINLLB	A/D コンペア機能ウィンドウ B 下側レベル設定レジスタ	0x0A8	16	読み出し／書き込み	0x0000	0xFFFF				
				ADWINULB	A/D コンペア機能ウィンドウ B 上側レベル設定レジスタ	0x0AA	16	読み出し／書き込み	0x0000	0xFFFF				
				ADCMPBSR	A/D コンペア機能ウィンドウ B ステータスレジスタ	0x0AC	8	読み出し／書き込み	0x00	0xFF				
				ADSSTRL	A/D サンプリングステートレジスタ L	0x0DD	8	読み出し／書き込み	0x0D	0xFF				
				ADSSTRT	A/D サンプリングステートレジスタ T	0x0DE	8	読み出し／書き込み	0x0D	0xFF				
				ADSSTRO	A/D サンプリングステートレジスタ O	0x0DF	8	読み出し／書き込み	0x0D	0xFF				
					15	0x1	0-14	ADSSTR%s	A/D サンプリングステートレジスタ %s	0x0E0	8	読み出し／書き込み	0x0D	0xFF
				DAC12	—	—	—	DADR0	D/A データレジスタ 0	0x00	16	読み出し／書き込み	0x0000	0xFFFF
								DACR	D/A コントロールレジスタ	0x04	8	読み出し／書き込み	0x1F	0xFF
								DADPR	DADR0 フォーマット選択レジスタ	0x05	8	読み出し／書き込み	0x00	0xFF
								DAADSCR	D/A A/D 同期スタートコントロールレジスタ	0x06	8	読み出し／書き込み	0x00	0xFF
	DAVREFCR	D/A VREF コントロールレジスタ	0x07					8	読み出し／書き込み	0x00	0xFF			

表 3.4 レジスタの説明 (15/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
SCIO, 1	—	—	—	SMR	非スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 0)	0x00	8	読み出し／書き込み	0x00	0xFF
				SMR_SMCI	スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 1)	0x00	8	読み出し／書き込み	0x00	0xFF
				BRR	ビットレートレジスタ	0x01	8	読み出し／書き込み	0xFF	0xFF
				SCR	非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 0)	0x02	8	読み出し／書き込み	0x00	0xFF
				SCR_SMCI	スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 1)	0x02	8	読み出し／書き込み	0x00	0xFF
				TDR	送信データレジスタ	0x03	8	読み出し／書き込み	0xFF	0xFF
				SSR	非スマートカードインタフェースおよび非FIFOモード用シリアルステータスレジスタ (SCMR.SMIF = 0 および FCR.FM = 0)	0x04	8	読み出し／書き込み	0x84	0xFF
				SSR_FIFO	非スマートカードインタフェースおよびFIFOモード用シリアルステータスレジスタ (SCMR.SMIF = 0 および FCR.FM = 1)	0x04	8	読み出し／書き込み	0x80	0xFD
				SSR_SMCI	スマートカードインタフェースモード用シリアルステータスレジスタ (SCMR.SMIF = 1)	0x04	8	読み出し／書き込み	0x84	0xFF
				RDR	受信データレジスタ	0x05	8	読み出し専用	0x00	0xFF
				SCMR	スマートカードモードレジスタ	0x06	8	読み出し／書き込み	0xF2	0xFF
				SEMR	シリアル拡張モードレジスタ	0x07	8	読み出し／書き込み	0x00	0xFF
				SNFR	ノイズフィルタ設定レジスタ	0x08	8	読み出し／書き込み	0x00	0xFF
				SIMR1	I ² Cモードレジスタ1	0x09	8	読み出し／書き込み	0x00	0xFF
				SIMR2	I ² Cモードレジスタ2	0x0A	8	読み出し／書き込み	0x00	0xFF
				SIMR3	I ² Cモードレジスタ3	0x0B	8	読み出し／書き込み	0x00	0xFF
				SISR	I ² Cステータスレジスタ	0x0C	8	読み出し専用	0x00	0xCB
				SPMR	SPIモードレジスタ	0x0D	8	読み出し／書き込み	0x00	0xFF
				TDRHL	送信9ビットデータレジスタ	0x0E	16	読み出し／書き込み	0xFFFF	0xFFFF
				FTDRHL	送信FIFOデータレジスタHL	0x0E	16	書き込み専用	0xFFFF	0xFFFF
				FTDRH	送信FIFOデータレジスタH	0x0E	8	書き込み専用	0xFF	0xFF
				FTDRL	送信FIFOデータレジスタL	0x0F	8	書き込み専用	0xFF	0xFF
				RDRHL	受信9ビットデータレジスタ	0x10	16	読み出し専用	0x0000	0xFFFF
				FRDRHL	受信FIFOデータレジスタHL	0x10	16	読み出し専用	0x0000	0xFFFF
				FRDRH	受信FIFOデータレジスタH	0x10	8	読み出し専用	0x00	0xFF
				FRDRL	受信FIFOデータレジスタL	0x11	8	読み出し専用	0x00	0xFF
				MDDR	モジュレーションデューティレジスタ	0x12	8	読み出し／書き込み	0xFF	0xFF

表 3.4 レジスタの説明 (16/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
SCI0, 1	—	—	—	DCCR	データコンペアマッチコントロールレジスタ	0x13	8	読み出し／書き込み	0x40	0xFF
				FCR	FIFOコントロールレジスタ	0x14	16	読み出し／書き込み	0xF800	0xFFFF
				FDR	FIFOデータ数レジスタ	0x16	16	読み出し専用	0x0000	0xFFFF
				LSR	ラインステータスレジスタ	0x18	16	読み出し専用	0x0000	0xFFFF
				CDR	コンペアマッチデータレジスタ	0x1A	16	読み出し／書き込み	0x0000	0xFFFF
				SPTR	シリアルポートレジスタ	0x1C	8	読み出し／書き込み	0x03	0xFF
SCI2, 9	—	—	—	SMR	非スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 0)	0x00	8	読み出し／書き込み	0x00	0xFF
				SMR_SMCI	スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 1)	0x00	8	読み出し／書き込み	0x00	0xFF
				BRR	ビットレートレジスタ	0x01	8	読み出し／書き込み	0xFF	0xFF
				SCR	非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 0)	0x02	8	読み出し／書き込み	0x00	0xFF
				SCR_SMCI	スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 1)	0x02	8	読み出し／書き込み	0x00	0xFF
				TDR	送信データレジスタ	0x03	8	読み出し／書き込み	0xFF	0xFF
				SSR	非スマートカードインタフェースおよび非FIFOモード用シリアルステータスレジスタ (SCMR.SMIF = 0 および FCR.FM = 0)	0x04	8	読み出し／書き込み	0x84	0xFF
				SSR_SMCI	スマートカードインタフェースモード用シリアルステータスレジスタ	0x04	8	読み出し／書き込み	0x84	0xFF
				RDR	受信データレジスタ	0x05	8	読み出し専用	0x00	0xFF
				SCMR	スマートカードモードレジスタ	0x06	8	読み出し／書き込み	0xF2	0xFF
				SEMR	シリアル拡張モードレジスタ	0x07	8	読み出し／書き込み	0x00	0xFF
				SNFR	ノイズフィルタ設定レジスタ	0x08	8	読み出し／書き込み	0x00	0xFF
				SIMR1	I ² Cモードレジスタ1	0x09	8	読み出し／書き込み	0x00	0xFF
				SIMR2	I ² Cモードレジスタ2	0x0A	8	読み出し／書き込み	0x00	0xFF
				SIMR3	I ² Cモードレジスタ3	0x0B	8	読み出し／書き込み	0x00	0xFF
				SISR	I ² Cステータスレジスタ	0x0C	8	読み出し専用	0x00	0xCB
				SPMR	SPIモードレジスタ	0x0D	8	読み出し／書き込み	0x00	0xFF
				TDRHL	送信9ビットデータレジスタ	0x0E	16	読み出し／書き込み	0xFFFF	0xFFFF
				RDRHL	受信9ビットデータレジスタ	0x10	16	読み出し専用	0x0000	0xFFFF
				MDDR	モジュレーションデューティレジスタ	0x12	8	読み出し／書き込み	0xFF	0xFF
				DCCR	データコンペアマッチコントロールレジスタ	0x13	8	読み出し／書き込み	0x40	0xFF
				CDR	コンペアマッチデータレジスタ	0x1A	16	読み出し／書き込み	0x0000	0xFFFF
				SPTR	シリアルポートレジスタ	0x1C	8	読み出し／書き込み	0x03	0xFF

表 3.4 レジスタの説明 (17/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
SPI0	—	—	—	SPCR	SPIコントロールレジスタ	0x00	8	読み出し/ 書き込み	0x00	0xFF
				SSLP	SPIスレープ選択極性レジスタ	0x01	8	読み出し/ 書き込み	0x00	0xFF
				SPPCR	SPI端子コントロールレジスタ	0x02	8	読み出し/ 書き込み	0x00	0xFF
				SPSR	SPIステータスレジスタ	0x03	8	読み出し/ 書き込み	0x20	0xFF
				SPDR	SPIデータレジスタ	0x04	32	読み出し/ 書き込み	0x00000000	0xFFFFFFFF
				SPDR_HA	SPIデータレジスタ (ハーフワードアクセス)	0x04	16	読み出し/ 書き込み	0x0000	0xFFFF
				SPBR	SPIビットレートレジスタ	0x0A	8	読み出し/ 書き込み	0xFF	0xFF
				SPDCR	SPIデータコントロールレジスタ	0x0B	8	読み出し/ 書き込み	0x00	0xFF
				SPCKD	SPIクロック遅延レジスタ	0x0C	8	読み出し/ 書き込み	0x00	0xFF
				SSLND	SPIスレープ選択ネゲート遅延レジスタ	0x0D	8	読み出し/ 書き込み	0x00	0xFF
				SPND	SPI次アクセス遅延レジスタ	0x0E	8	読み出し/ 書き込み	0x00	0xFF
				SPCR2	SPIコントロールレジスタ2	0x0F	8	読み出し/ 書き込み	0x00	0xFF
				SPCMD0	SPIコマンドレジスタ0	0x10	16	読み出し/ 書き込み	0x070D	0xFFFF
				SPI1	—	—	—	SPCR	SPIコントロールレジスタ	0x00
SSLP	SPIスレープ選択極性レジスタ	0x01	8					読み出し/ 書き込み	0x00	0xFF
SPPCR	SPI端子コントロールレジスタ	0x02	8					読み出し/ 書き込み	0x00	0xFF
SPSR	SPIステータスレジスタ	0x03	8					読み出し/ 書き込み	0x20	0xFF
SPDR	SPIデータレジスタ	0x04	32					読み出し/ 書き込み	0x00000000	0xFFFFFFFF
SPDR_HA	SPIデータレジスタ (ハーフワードアクセス)	0x04	16					読み出し/ 書き込み	0x0000	0xFFFF
SPBR	SPIビットレートレジスタ	0x0A	8					読み出し/ 書き込み	0xFF	0xFF
SPDCR	SPIデータコントロールレジスタ	0x0B	8					読み出し/ 書き込み	0x00	0xFF
SPCKD	SPIクロック遅延レジスタ	0x0C	8					読み出し/ 書き込み	0x00	0xFF
SSLND	SPIスレープ選択ネゲート遅延レジスタ	0x0D	8					読み出し/ 書き込み	0x00	0xFF
SPND	SPI次アクセス遅延レジスタ	0x0E	8					読み出し/ 書き込み	0x00	0xFF
SPCR2	SPIコントロールレジスタ2	0x0F	8					読み出し/ 書き込み	0x00	0xFF
SPCMD0	SPIコマンドレジスタ0	0x10	16					読み出し/ 書き込み	0x070D	0xFFFF
CRC	—	—	—					CRCCR0	CRCコントロールレジスタ0	0x00
				CRCCR1	CRCコントロールレジスタ1	0x01	8	読み出し/ 書き込み	0x00	0xFF
				CRCDIR	CRCデータ入力レジスタ	0x04	32	読み出し/ 書き込み	0x00000000	0xFFFFFFFF
				CRCDIR_BY	CRCデータ入力レジスタ (バイトアクセス)	0x04	8	読み出し/ 書き込み	0x00	0xFF
				CRCDOR	CRCデータ出力レジスタ	0x08	32	読み出し/ 書き込み	0x00000000	0xFFFFFFFF
				CRCDOR_HA	CRCデータ出力レジスタ (ハーフワードアクセス)	0x08	16	読み出し/ 書き込み	0x0000	0xFFFF
				CRCDOR_BY	CRCデータ出力レジスタ (バイトアクセス)	0x08	8	読み出し/ 書き込み	0x00	0xFF
				CRCSAR	スヌープアドレスレジスタ	0x0C	16	読み出し/ 書き込み	0x0000	0xFFFF

表 3.4 レジスタの説明 (18/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
GPT320, 1	—	—	—	GTWP	汎用PWMタイマ書き込み保護レジスタ	0x00	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTSTR	汎用PWMタイマソフトウェアスタートレジスタ	0x04	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTSTP	汎用PWMタイマソフトウェアストップレジスタ	0x08	32	読み出し／書き込み	0xFFFFFFFF	0xFFFFFFFF
				GTCLR	汎用PWMタイマソフトウェアクリアレジスタ	0x0C	32	書き込み専用	0x00000000	0xFFFFFFFF
				GTSSR	汎用PWMタイマスタート要因選択レジスタ	0x10	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTCSR	汎用PWMタイマストップ要因選択レジスタ	0x14	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTCSR	汎用PWMタイマクリア要因選択レジスタ	0x18	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTUPSR	汎用PWMタイマアップカウンタ要因選択レジスタ	0x1C	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTDNSR	汎用PWMタイマダウンカウンタ要因選択レジスタ	0x20	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTICASR	汎用PWMタイマインプットキャプチャ要因選択レジスタA	0x24	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTICBSR	汎用PWMタイマインプットキャプチャ要因選択レジスタB	0x28	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTCCR	汎用PWMタイマコントロールレジスタ	0x2C	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTUDDTYC	汎用PWMタイマカウンタ方向、デューティ設定レジスタ	0x30	32	読み出し／書き込み	0x00000001	0xFFFFFFFF
				GTIOR	汎用PWMタイマI/Oコントロールレジスタ	0x34	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTINTAD	汎用PWMタイマ割り込み出力設定レジスタ	0x38	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTST	汎用PWMタイマステータスレジスタ	0x3C	32	読み出し／書き込み	0x00008000	0xFFFFFFFF
				GTBER	汎用PWMタイマバッファインバータレジスタ	0x40	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTCNT	汎用PWMタイマカウンタ	0x48	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTCCRA	汎用PWMタイマコンペアキャプチャレジスタA	0x4C	32	読み出し／書き込み	0xFFFFFFFF	0xFFFFFFFF
				GTCCRB	汎用PWMタイマコンペアキャプチャレジスタB	0x50	32	読み出し／書き込み	0xFFFFFFFF	0xFFFFFFFF
				GTCCRC	汎用PWMタイマコンペアキャプチャレジスタC	0x54	32	読み出し／書き込み	0xFFFFFFFF	0xFFFFFFFF
				GTCCRE	汎用PWMタイマコンペアキャプチャレジスタE	0x58	32	読み出し／書き込み	0xFFFFFFFF	0xFFFFFFFF
				GTCCRD	汎用PWMタイマコンペアキャプチャレジスタD	0x5C	32	読み出し／書き込み	0xFFFFFFFF	0xFFFFFFFF
				GTCCRF	汎用PWMタイマコンペアキャプチャレジスタF	0x60	32	読み出し／書き込み	0xFFFFFFFF	0xFFFFFFFF
				GTTPR	汎用PWMタイマ周期設定レジスタ	0x64	32	読み出し／書き込み	0xFFFFFFFF	0xFFFFFFFF
				GTTPBR	汎用PWMタイマ周期設定バッファレジスタ	0x68	32	読み出し／書き込み	0xFFFFFFFF	0xFFFFFFFF
				GTDTCR	汎用PWMタイマデッドタイムコントロールレジスタ	0x88	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTDVU	汎用PWMタイマデッドタイム値レジスタU	0x8C	32	読み出し／書き込み	0xFFFFFFFF	0xFFFFFFFF

表 3.4 レジスタの説明 (19/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
GPT162-7	—	—	—	GTWP	汎用PWMタイマ書き込み保護レジスタ	0x00	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTSTR	汎用PWMタイマソフトウェアスタートレジスタ	0x04	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTSTP	汎用PWMタイマソフトウェアストップレジスタ	0x08	32	読み出し／書き込み	0xFFFFFFFF	0xFFFFFFFF
				GTCLR	汎用PWMタイマソフトウェアクリアレジスタ	0x0C	32	書き込み専用	0x00000000	0xFFFFFFFF
				GTSSR	汎用PWMタイマスタート要因選択レジスタ	0x10	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTPSR	汎用PWMタイマストップ要因選択レジスタ	0x14	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTCSR	汎用PWMタイマクリア要因選択レジスタ	0x18	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTUPSR	汎用PWMタイマアップカウンタ要因選択レジスタ	0x1C	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTDNSR	汎用PWMタイマダウンカウンタ要因選択レジスタ	0x20	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTICASR	汎用PWMタイマインพุットキャプチャ要因選択レジスタA	0x24	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTICBSR	汎用PWMタイマインพุットキャプチャ要因選択レジスタB	0x28	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTCR	汎用PWMタイマコントロールレジスタ	0x2C	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTUDDTYC	汎用PWMタイマカウンタ方向、デューティ設定レジスタ	0x30	32	読み出し／書き込み	0x00000001	0xFFFFFFFF
				GTIOR	汎用PWMタイマI/Oコントロールレジスタ	0x34	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTINTAD	汎用PWMタイマ割り込み出力設定レジスタ	0x38	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTST	汎用PWMタイマステータスレジスタ	0x3C	32	読み出し／書き込み	0x00008000	0xFFFFFFFF
				GTBER	汎用PWMタイマバッファインプットレジスタ	0x40	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTCNT	汎用PWMタイマカウンタ	0x48	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTCCRA	汎用PWMタイマコンペアキャプチャレジスタA	0x4C	32	読み出し／書き込み	0x0000FFFF	0xFFFFFFFF
				GTCCRB	汎用PWMタイマコンペアキャプチャレジスタB	0x50	32	読み出し／書き込み	0x0000FFFF	0xFFFFFFFF
				GTCCRC	汎用PWMタイマコンペアキャプチャレジスタC	0x54	32	読み出し／書き込み	0x0000FFFF	0xFFFFFFFF
				GTCCRE	汎用PWMタイマコンペアキャプチャレジスタE	0x58	32	読み出し／書き込み	0x0000FFFF	0xFFFFFFFF
				GTCCRD	汎用PWMタイマコンペアキャプチャレジスタD	0x5C	32	読み出し／書き込み	0x0000FFFF	0xFFFFFFFF
				GTCCRF	汎用PWMタイマコンペアキャプチャレジスタF	0x60	32	読み出し／書き込み	0x0000FFFF	0xFFFFFFFF
				GTTPR	汎用PWMタイマ周期設定レジスタ	0x64	32	読み出し／書き込み	0x0000FFFF	0xFFFFFFFF
				GTPBR	汎用PWMタイマ周期設定バッファレジスタ	0x68	32	読み出し／書き込み	0x0000FFFF	0xFFFFFFFF
				GTDTCR	汎用PWMタイマデッドタイムコントロールレジスタ	0x88	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
				GTDVU	汎用PWMタイマデッドタイム値レジスタU	0x8C	32	読み出し／書き込み	0x0000FFFF	0xFFFFFFFF
GPT_OPS	—	—	—	OPSCR	出力相切り替えコントロールレジスタ	0x00	32	読み出し／書き込み	0x00000000	0xFFFFFFFF
KINT	—	—	—	KRCTL	キーリターンコントロールレジスタ	0x00	8	読み出し／書き込み	0x00	0xFF
				KRF	キーリターンフラグレジスタ	0x04	8	読み出し／書き込み	0x00	0xFF
				KRM	キーリターンモードレジスタ	0x08	8	読み出し／書き込み	0x00	0xFF

表 3.4 レジスタの説明 (20/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
CTSUCR0	—	—	—	CTSUCR0	CTSUCR0 コントロールレジスタ 0	0x00	8	読み出し／書き込み	0x00	0xFF
				CTSUCR1	CTSUCR1 コントロールレジスタ 1	0x01	8	読み出し／書き込み	0x00	0xFF
				CTSUSDPRS	CTSUCR0 同期ノイズ低減設定レジスタ	0x02	8	読み出し／書き込み	0x00	0xFF
				CTSUSST	CTSUCR0 センサ安定待ち時間コントロールレジスタ	0x03	8	読み出し／書き込み	0x00	0xFF
				CTSUSMCH0	CTSUCR0 計測チャンネルレジスタ 0	0x04	8	読み出し／書き込み	0x3F	0xFF
				CTSUSMCH1	CTSUCR0 計測チャンネルレジスタ 1	0x05	8	読み出し／書き込み	0x3F	0xFF
				CTSUCHAC0	CTSUCR0 チャンネルイネーブルコントロールレジスタ 0	0x06	8	読み出し／書き込み	0x00	0xFF
				CTSUCHAC1	CTSUCR0 チャンネルイネーブルコントロールレジスタ 1	0x07	8	読み出し／書き込み	0x00	0xFF
				CTSUCHAC2	CTSUCR0 チャンネルイネーブルコントロールレジスタ 2	0x08	8	読み出し／書き込み	0x00	0xFF
				CTSUCHAC3	CTSUCR0 チャンネルイネーブルコントロールレジスタ 3	0x09	8	読み出し／書き込み	0x00	0xFF
				CTSUCHAC4	CTSUCR0 チャンネルイネーブルコントロールレジスタ 4	0x0A	8	読み出し／書き込み	0x00	0xFF
				CTSUCHTRC0	CTSUCR0 チャンネル送受信コントロールレジスタ 0	0x0B	8	読み出し／書き込み	0x00	0xFF
				CTSUCHTRC1	CTSUCR0 チャンネル送受信コントロールレジスタ 1	0x0C	8	読み出し／書き込み	0x00	0xFF
				CTSUCHTRC2	CTSUCR0 チャンネル送受信コントロールレジスタ 3	0x0D	8	読み出し／書き込み	0x00	0xFF
				CTSUCHTRC3	CTSUCR0 チャンネル送受信コントロールレジスタ 3	0x0E	8	読み出し／書き込み	0x00	0xFF
				CTSUCHTRC4	CTSUCR0 チャンネル送受信コントロールレジスタ 4	0x0F	8	読み出し／書き込み	0x00	0xFF
				CTSUDCLKC	CTSUCR0 高域ノイズ低減コントロールレジスタ	0x10	8	読み出し／書き込み	0x00	0xFF
				CTSUST	CTSUCR0 ステータスレジスタ	0x11	8	読み出し／書き込み	0x00	0xFF
				CTSUSSC	CTSUCR0 高域ノイズ低減スペクトラム拡散コントロールレジスタ	0x12	16	読み出し／書き込み	0x0000	0xFFFF
				CTSUSO0	CTSUCR0 センサオフセットレジスタ 0	0x14	16	読み出し／書き込み	0x0000	0xFFFF
				CTSUSO1	CTSUCR0 センサオフセットレジスタ 1	0x16	16	読み出し／書き込み	0x0000	0xFFFF
				CTSUSC	CTSUCR0 センサカウンタ	0x18	16	読み出し専用	0x0000	0xFFFF
				CTSURC	CTSUCR0 リファレンスカウンタ	0x1A	16	読み出し専用	0x0000	0xFFFF
				CTSUERRS	CTSUCR0 エラーステータスレジスタ	0x1C	16	読み出し専用	0x0000	0xFFFF
SLCDC	—	—	—	LCDM0	LCD モードレジスタ 0	0x000	8	読み出し／書き込み	0x00	0xFF
				LCDM1	LCD モードレジスタ 1	0x001	8	読み出し／書き込み	0x00	0xFF
				LCDC0	LCD クロックコントロールレジスタ 0	0x002	8	読み出し／書き込み	0x00	0xFF
				VLCD	LCD ブーストレベルコントロールレジスタ	0x003	8	読み出し／書き込み	0x04	0xFF
				SEG%s	LCD 表示データレジスタ %s	0x100	8	読み出し／書き込み	0x00	0xFF

表 3.4 レジスタの説明 (21/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
AGT0, 1	—	—	—	AGT	AGT カウンタレジスタ	0x00	16	読み出し/ 書き込み	0xFFFF	0xFFFF
				AGTCMA	AGT コンペアマッチAレジスタ	0x02	16	読み出し/ 書き込み	0xFFFF	0xFFFF
				AGTCMB	AGT コンペアマッチBレジスタ	0x04	16	読み出し/ 書き込み	0xFFFF	0xFFFF
				AGTCR	AGT コントロールレジスタ	0x08	8	読み出し/ 書き込み	0x00	0xFF
				AGTMR1	AGT モードレジスタ 1	0x09	8	読み出し/ 書き込み	0x00	0xFF
				AGTMR2	AGT モードレジスタ 2	0x0A	8	読み出し/ 書き込み	0x00	0xFF
				AGTIOC	AGT I/O コントロールレジスタ	0x0C	8	読み出し/ 書き込み	0x00	0xFF
				AGTISR	AGT イベント端子選択レジスタ	0x0D	8	読み出し/ 書き込み	0x00	0xFF
				AGTCMSR	AGT コンペアマッチ機能選択レジスタ	0x0E	8	読み出し/ 書き込み	0x00	0xFF
				AGTIOSEL	AGT 端子選択レジスタ	0x0F	8	読み出し/ 書き込み	0x00	0xFF
ACMPLP	—	—	—	COMPMDR	ACMPLP モード設定レジスタ	0x00	8	読み出し/ 書き込み	0x00	0xFF
				COMPFIR	ACMPLP フィルタコントロールレジスタ	0x01	8	読み出し/ 書き込み	0x00	0xFF
				COMPOCR	ACMPLP 出力コントロールレジスタ	0x02	8	読み出し/ 書き込み	0x00	0xFF
				COMPSEL0	コンパレータ入力選択レジスタ	0x04	8	読み出し/ 書き込み	0x11	0xFF
				COMPSEL1	コンパレータ基準電圧選択レジスタ	0x05	8	読み出し/ 書き込み	0x91	0xFF
OPAMP	—	—	—	AMPMC	オペアンプモードコントロールレジスタ	0x08	8	読み出し/ 書き込み	0x00	0xFF
				AMPTRM	オペアンプトリガモードコントロールレジスタ	0x09	8	読み出し/ 書き込み	0x00	0xFF
				AMPTRS	オペアンプ起動トリガ選択レジスタ	0x0A	8	読み出し/ 書き込み	0x00	0xFF
				AMPC	オペアンプコントロールレジスタ	0x0B	8	読み出し/ 書き込み	0x00	0xFF
				AMPMON	オペアンプモニタレジスタ	0x0C	8	読み出し専用	0x00	0xFF

表 3.4 レジスタの説明 (22/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
USBFS	—	—	—	SYSCFG	システムコンフィギュレーションコントロールレジスタ	0x000	16	読み出し／書き込み	0x0000	0xFFFF
				SYSSTS0	システムコンフィギュレーションステータスレジスタ0	0x004	16	読み出し専用	0x0000	0x0000
				DVSTCTRO	デバイスステートコントロールレジスタ0	0x008	16	読み出し／書き込み	0x0000	0xFFFF
				CFIFO	CFIFOポートレジスタ	0x014	16	読み出し／書き込み	0x0000	0xFFFF
				CFIFOL	CFIFOポートレジスタL	0x014	8	読み出し／書き込み	0x00	0xFF
				D0FIFO	D0FIFOポートレジスタ	0x018	16	読み出し／書き込み	0x0000	0xFFFF
				D0FIFOL	D0FIFOポートレジスタL	0x018	8	読み出し／書き込み	0x00	0xFF
				D1FIFO	D1FIFOポートレジスタ	0x01C	16	読み出し／書き込み	0x0000	0xFFFF
				D1FIFOL	D1FIFOポートレジスタL	0x01C	8	読み出し／書き込み	0x00	0xFF
				CFIFOSEL	CFIFOポート選択レジスタ	0x020	16	読み出し／書き込み	0x0000	0xFFFF
				CFIFOCTR	CFIFOポートコントロールレジスタ	0x022	16	読み出し／書き込み	0x0000	0xFFFF
				D0FIFOSEL	D0FIFOポート選択レジスタ	0x028	16	読み出し／書き込み	0x0000	0xFFFF
				D0FIFOCTR	D0FIFOポートコントロールレジスタ	0x02A	16	読み出し／書き込み	0x0000	0xFFFF
				D1FIFOSEL	D1FIFOポート選択レジスタ	0x02C	16	読み出し／書き込み	0x0000	0xFFFF
				D1FIFOCTR	D1FIFOポートコントロールレジスタ	0x02E	16	読み出し／書き込み	0x0000	0xFFFF
				INTENB0	割り込みイネーブルレジスタ0	0x030	16	読み出し／書き込み	0x0000	0xFFFF
				INTENB1	割り込みイネーブルレジスタ1	0x032	16	読み出し／書き込み	0x0000	0xFFFF
				BRDYENB	BRDY割り込みイネーブルレジスタ	0x036	16	読み出し／書き込み	0x0000	0xFFFF
				NRDYENB	NRDY割り込みイネーブルレジスタ	0x038	16	読み出し／書き込み	0x0000	0xFFFF
				BEMPENB	BEMP割り込みイネーブルレジスタ	0x03A	16	読み出し／書き込み	0x0000	0xFFFF
				SOFCFG	SOF出カコンフィギュレーションレジスタ	0x03C	16	読み出し／書き込み	0x0000	0xFFFF
				INTSTS0	割り込みステータスレジスタ0	0x040	16	読み出し／書き込み	0x0000	0xFF7F
				INTSTS1	割り込みステータスレジスタ1	0x042	16	読み出し／書き込み	0x0000	0xFFFF
				BRDYSTS	BRDY割り込みステータスレジスタ	0x046	16	読み出し／書き込み	0x0000	0xFFFF
				NRDYSTS	NRDY割り込みステータスレジスタ	0x048	16	読み出し／書き込み	0x0000	0xFFFF
				BEMPSTS	BEMP割り込みステータスレジスタ	0x04A	16	読み出し／書き込み	0x0000	0xFFFF
				FRMNUM	フレームナンバレジスタ	0x04C	16	読み出し／書き込み	0x0000	0xFFFF
				USBREQ	USBリクエストタイプレジスタ	0x054	16	読み出し／書き込み	0x0000	0xFFFF
				USBVAL	USBリクエストバリュレジスタ	0x056	16	読み出し／書き込み	0x0000	0xFFFF
				USBINDX	USBリクエストインデックスレジスタ	0x058	16	読み出し／書き込み	0x0000	0xFFFF
				USBLENG	USBリクエストレングスレジスタ	0x05A	16	読み出し／書き込み	0x0000	0xFFFF
				DCPCFG	DCPコンフィギュレーションレジスタ	0x05C	16	読み出し／書き込み	0x0000	0xFFFF
				DCPMAXP	DCPマックスパケットサイズレジスタ	0x05E	16	読み出し／書き込み	0x0040	0xFFFF
				DCPCTR	DCPコントロールレジスタ	0x060	16	読み出し／書き込み	0x0040	0xFFFF
PIPESEL	パイプウィンドウ選択レジスタ	0x064	16	読み出し／書き込み	0x0000	0xFFFF				

表 3.4 レジスタの説明 (23/23)

周辺機能	Dim	Dim incr.	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
USBFS	—	—	—	PIPECFG	パイプコンフィグレーションレジスタ	0x068	16	読み出し／書き込み	0x0000	0xFFFF
				PIPEMAXP	パイプマックスパケットサイズレジスタ	0x06C	16	読み出し／書き込み	0x0000	0xFFBF
				PIPEPERI	パイプ周期コントロールレジスタ	0x06E	16	読み出し／書き込み	0x0000	0xFFFF
	5	0x002	1-5	PIPE%sCTR	パイプ%sコントロールレジスタ	0x070	16	読み出し／書き込み	0x0000	0xFFFF
	4	0x002	6-9	PIPE%sCTR	パイプ%sコントロールレジスタ	0x07A	16	読み出し／書き込み	0x0000	0xFFFF
	5	0x004	1-5	PIPE%sTRE	パイプ%s トランザクションカウンタインーブルレジスタ	0x090	16	読み出し／書き込み	0x0000	0xFFFF
	5	0x004	1-5	PIPE%sTRN	パイプ%s トランザクションカウンタレジスタ	0x092	16	読み出し／書き込み	0x0000	0xFFFF
	—	—	—	USBBCCTRL0	BCコントロールレジスタ0	0x0B0	16	読み出し／書き込み	0x0000	0xFFFF
				USBMC	USBモジュールコントロールレジスタ	0x0CC	16	読み出し／書き込み	0x0002	0xFFFF
	6	0x002	0-5	DEVADD%s	デバイスアドレス%sコンフィグレーションレジスタ	0x0D0	16	読み出し／書き込み	0x0000	0xFFFF
DAC8	2	0x01	0, 1	DACS%s	D/A変換値設定レジスタ%s	0x00	8	読み出し／書き込み	0x00	0xFF
	—	—	—	DAM	D/Aコンバータモードレジスタ	0x03	8	読み出し／書き込み	0x00	0xFF
FLCN	—	—	—	DFLCTL	DFLCTL データフラッシュコントロールレジスタ	0x90	8	読み出し／書き込み	0x00	0xFF
TSN	—	—	—	TSCDRL	温度センサ補正データレジスタL	0x228	8	読み出し専用	0x00	0x00
				TSCDRH	温度センサ補正データレジスタH	0x229	8	読み出し専用	0x00	0x00

周辺機能名 = 周辺機能の名称

Dim = レジスタ配列の要素数

Dim inc = アドレスマップにおいてアドレス配列の2つの隣接するレジスタ間のアドレスインクリメント

Dim index = レジスタ名においてプレースホルダー「%s」を置き換えるサブistring

レジスタ名 = レジスタの名称

説明 = レジスタの説明

アドレスオフセット = レジスタの周辺機能により定義されるベースアドレスに関連するレジスタアドレス

サイズ = レジスタのビット幅

アクセス = レジスタアクセス権：

- 読み出し専用：読み出しのみ可能。書き込みを行うと結果は不定です
- 書き込み専用：書き込みのみ可能。読み出しを行うと結果は不定です
- 読み出し／書き込み：読み出し、書き込みともに可能。書き込みを行うとレジスタの状態に影響を与え、読み出しを行うとレジスタに関連する値が返されます

リセット値 = レジスタのデフォルトリセット値

リセットマスク = レジスタのどのビットにリセット値が定義されているのかを特定します。

改訂記録	RA4M1 グループユーザーズマニュアル ハードウェア編
------	------------------------------

Rev.	発行日	章	改訂内容
1.00	2020.03.24	—	初版発行
1.10	2023.09.29	—	第 1.10 版発行
		特長	■ タイマの説明を更新
		1. 概要	表 1.6 タイマの低消費電力非同期汎用タイマ (AGT) を更新 表 1.12 I/O ポートを追加 図 1.2 型名の読み方を更新 表 1.13 製品一覧を更新 表 1.14 機能の比較を更新 図 1.4 100-pin LGA のピン配置図 (上面図) のタイトルを更新 図 1.6 64-pin QFN のピン配置図 (上面図) を更新 図 1.8 48-pin QFN のピン配置図 (上面図) を更新 図 1.9 40-pin QFN のピン配置図 (上面図) を更新
		2. CPU	2.5.2.1 低消費電力モードを更新 2.6.4.2 デバッグストップコントロールレジスタ (DBGSTOPCR) を更新 表 2.12 OCDREG の CoreSight コンポーネントレジスタ一覧のタイトルを更新 2.11.3.4 接続順序と JTAG/SWD 認証を更新
		6. オプション設定メモリ	図 6.1 オプション設定メモリの領域を更新 6.2.1 オプション機能選択レジスタ 0 (OFS0) を更新 6.2.2 オプション機能選択レジスタ 1 (OFS1) を更新 表 6.1 MPU レジスタを更新 図 6.2 アクセスウィンドウの概要を更新 表 6.2 ID コードプロテクト機能の仕様を更新
		7. 低電圧検出 (LVD)	7.2.3 電圧モニタ 2 回路コントロールレジスタ 1 (LVD2CR1) を更新 図 7.4 電圧監視 0 リセットの動作例を更新 表 7.4 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を更新 表 7.7 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を更新
		8. クロック発生回路	表 8.1 クロックソース用のクロック発生回路の仕様を更新 図 8.1 クロック発生回路のブロック図を更新 8.2.6 メインクロック発振器コントロールレジスタ (MOSCCR) を更新 8.2.7 サブクロック発振器コントロールレジスタ (SOSCCR) を更新 8.2.8 低速オンチップオシレータコントロールレジスタ (LOCOCR) を更新 8.2.9 高速オンチップオシレータコントロールレジスタ (HOCOCR) を更新 8.2.10 高速オンチップオシレータコントロールレジスタ 2 (HOCOCR2) を追加 8.2.11 中速オンチップオシレータコントロールレジスタ (MOCOCR) を更新 8.2.12 発振安定フラグレジスタ (OSCSF) を更新 8.2.17 メインクロック発振器モードコントロールレジスタ (MOMCR) を更新 8.7.1 システムクロック (ICLK) を更新 図 8.9 クロックソース切り替えタイミング図を更新 8.7.2 周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD) を更新 8.7.3 フラッシュインタフェースクロック (FCLK) を更新 8.7.4 USB クロック (UCLK) を更新 8.7.10 SysTick タイマ専用クロック (SYSTICCLK) を更新 8.7.12 クロック/ブザー出力クロック (CLKOUT) を更新 図 8.10 発振回路部のボード設計での信号ルーチング (メインクロック発振器とサブクロック発振器に適用可能) のタイトルを更新
		10. 低消費電力モード	表 10.2 各低消費電力モードの動作状態を更新 10.2.5 モジュールストップコントロールレジスタ D (MSTPCRD) を更新 10.5.1 動作電力制御モードの設定方法を更新 10.6.2 スリープモードの解除を更新 10.7.3 ソフトウェアスタンバイモードの応用例を更新 図 10.7 ソフトウェアスタンバイモードの応用例を更新 図 10.12 スヌーズモードエントリで SCI0 を使用するための設定例を更新
		11. バッテリバックアップ機能	11.1.5 バックアップレジスタを更新

Rev.	発行日	章	改訂内容
1.10	2023.09.29	12. レジスタライトプロテクション	表 12.1 PRCRレジスタのビットと保護されるレジスタの対応関係を更新
		13. 割り込みコントローラユニット (ICU)	図 13.1 ICUのブロック図を更新
			13.2.1 IRQコントロールレジスタ <i>i</i> (IRQCR <i>i</i>) (<i>i</i> = 0~12, 14, 15) を更新
			13.2.2 ノンマスカブル割り込みステータスレジスタ (NMISR) を更新
			13.2.3 ノンマスカブル割り込みイネーブルレジスタ (NMIER) を更新
			13.2.4 ノンマスカブル割り込みステータスクリアレジスタ (NMICLR) を更新
			13.2.5 NMI端子割り込みコントロールレジスタ (NMICR) を更新
			13.2.8 SYSイベントリンク設定レジスタ (SELSR0) を更新
			13.4.1 割り込みの検出を更新
			表 13.5 DTCが起動するときの動作を更新
			13.4.2.3 DMACの起動を更新
		14. バス	14.5 使用上の注意事項を追加
		15. メモリプロテクションユニット (MPU)	15.4.1.3 グループA領域 <i>n</i> アクセスコントロールレジスタ (MMPUACAn) (<i>n</i> = 0~15) を更新
			15.6.1.1 セキュリティ MPUプログラムカウンタ開始アドレスレジスタ (SECMPUPC <i>Sn</i>) (<i>n</i> = 0, 1) を更新
			15.6.1.2 セキュリティ MPUプログラムカウンタ終了アドレスレジスタ (SECMPUPCEn) (<i>n</i> = 0, 1) を更新
			15.6.1.3 セキュリティ MPU領域0開始アドレスレジスタ (SECMPUS0) を更新
			15.6.1.4 セキュリティ MPU領域0終了アドレスレジスタ (SECMPUE0) を更新
			15.6.1.5 セキュリティ MPU領域1開始アドレスレジスタ (SECMPUS1) を更新
			15.6.1.6 セキュリティ MPU領域1終了アドレスレジスタ (SECMPUE1) を更新
			15.6.1.7 セキュリティ MPU領域2開始アドレスレジスタ (SECMPUS2) を更新
			15.6.1.8 セキュリティ MPU領域2終了アドレスレジスタ (SECMPUE2) を更新
			15.6.1.9 セキュリティ MPU領域3開始アドレスレジスタ (SECMPUS3) を更新
			15.6.1.10 セキュリティ MPU領域3終了アドレスレジスタ (SECMPUE3) を更新
		15.6.1.11 セキュリティ MPUアクセスコントロールレジスタ (SECMPUAC) を更新	
		17. データトランスファコントローラ (DTC)	17.10 モジュールストップ機能を更新
		18. イベントリンクコントローラ (ELC)	18.4.4 ELC 遅延時間を更新
		19. I/Oポート	表 19.2 I/Oポートの機能を更新
			19.2.1 ポートコントロールレジスタ1 (PCNTR1/PODR/PDR) を更新
			19.2.2 ポートコントロールレジスタ2 (PCNTR2/EIDR/PIDR) を更新
			19.2.3 ポートコントロールレジスタ3 (PCNTR3/PORR/POSR) を更新
			19.2.4 ポートコントロールレジスタ4 (PCNTR4/EORR/EOSR) を更新
			19.2.5 ポート <i>mn</i> 端子機能選択レジスタ (PmnPFS/PmnPFS_HA/PmnPFS_BY) (<i>m</i> = 0~9; <i>n</i> = 00~15) を更新
			19.3.2 ポート機能選択を更新
			表 19.3 未使用端子の処理を更新
			19.5.3 ポート出力データレジスタ (PODR) の概要を更新
			表 19.5 入出力端子機能のレジスタ設定 (ポート0) を更新
			表 19.6 入出力端子機能のレジスタ設定 (ポート1) (1) を更新
			表 19.7 入出力端子機能のレジスタ設定 (ポート1) (2) を更新
			表 19.8 入出力端子機能のレジスタ設定 (ポート2) (1) を更新
			表 19.10 入出力端子機能のレジスタ設定 (ポート3) を更新
			表 19.11 入出力端子機能のレジスタ設定 (ポート4) (1) を更新
			表 19.12 入出力端子機能のレジスタ設定 (ポート4) (2) を更新
		表 19.13 入出力端子機能のレジスタ設定 (ポート5) を更新	
		表 19.14 入出力端子機能のレジスタ設定 (ポート6) を更新	
		表 19.15 入出力端子機能のレジスタ設定 (ポート7) を更新	
		表 19.16 入出力端子機能のレジスタ設定 (ポート8) を更新	
		20. キー割り込み機能 (KINT)	20.3.2 キー割り込みフラグを使用する場合の動作 (KRMD = 1) を更新
21. GPT用ポートアウトプットイネーブル (POEG)	21.3 出力禁止制御の動作を更新		
	21.3.1.1 デジタルフィルタを更新		
	21.4 割り込み要因を更新		

Rev.	発行日	章	改訂内容
1.10	2023.09.29	21. GPT 用ポートアウト プットイネーブル (POEG)	21.5 GPTに対する外部トリガ出力を更新
			図21.4 GPTに対する外部トリガ出力のタイミングを更新
		22. 汎用 PWM タイマ (GPT)	表22.2 GPTの機能一覧を更新
			22.2.12 汎用PWMタイマコントロールレジスタ (GTCR) を更新
			22.2.13 汎用PWMタイマカウント方向、デューティ設定レジスタ (GTUDDTYC) を更新
			22.2.14 汎用PWMタイマI/Oコントロールレジスタ (GTIOR) を更新
			表22.5 GTIOA[4:0]ビットとGTIOB[4:0]ビットの設定値を更新
			22.2.24 出力相切り替えコントロールレジスタ (OPSCR) を更新
			22.3.1.1 カウンタ動作を更新
			図22.8 ハードウェア要因によるアップカウント時のイベントカウント動作の設定例を更新
			図22.10 ハードウェア要因によるダウンカウント時のイベントカウント動作の設定例を更新
			22.3.1.3 インพุットキャプチャ機能を更新
			図22.22 GTCCRA、GTCCRBレジスタのパッファ動作例 (アウトプットコンペア、アップカウント時ののこぎり波、GTCCRAレジスタのコンペアマッチでHigh出力、周期の終わりでLow出力の場合) を更新
			図22.43 デッドタイム自動設定機能の設定例 (のこぎり波ワンショットパルスモード、三角波PWMモード3の場合) を更新
			図22.57 ソフトウェアによる同時スタート/ストップ/クリアの例 (カウント周期 (GTPRレジスタ値) が同一のとき) を更新
			図22.77 GPT_OPS制御フロー概念図を更新
			22.3.11 出力相切り替え (GPT_OPS) を更新
			22.3.11.1 外部入力信号の同期および入力選択を更新
			22.3.11.5 出力選択制御 (グループ出力禁止機能) を更新
			22.3.11.6 イベントリンクコントローラ (ELC) 出力を更新
			図22.82 ノイズフィルタのタイミングを更新
			22.6 ノイズフィルタ機能を更新
			22.9.1 モジュールストップ機能の設定を更新
			22.9.5 イベントごとの優先順位を更新
		23. 低消費電力非同期汎 用タイマ (AGT)	23. 低消費電力非同期汎用タイマ (AGT) のタイトルを更新
			23.1 概要を更新
			図23.1 AGTのブロック図を更新
			23.2.5 AGTモードレジスタ1 (AGTMR1) を更新
			23.2.7 AGT I/Oコントロールレジスタ (AGTIOC) を更新
			図23.2 TSTARTビット値およびTCMEAまたはTCMEBビット値による書き換え動作のタイミング (コンペアマッチAレジスタおよびコンペアマッチBレジスタが無効の場合) のタイトルを更新
			図23.8 イベントカウンタモードでの動作例2を更新
			図23.11 コンペアマッチモードでの動作例 (TOPOLA = 0、TOPOLB = 0の場合) を更新
			表23.9 ソフトウェアスタンバイモードで使用可能な設定 (AGT0) を更新
			表23.10 ソフトウェアスタンバイモードで使用可能な設定 (AGT1) を更新
			23.4.3 モード変更時を更新
		23.4.11 クロックソースを切り替える場合を更新	
		24. リアルタイムクロック (RTC)	図24.3 クロックおよびカウントモードの設定手順を更新
			24.6.8 クロックソースを切り替える場合を更新
		25. ウォッチドッグタイ マ (WDT)	図25.1 WDTのブロック図を更新
			25.2.2 WDTコントロールレジスタ (WDTCR) を更新
			図25.2 RPSS[1:0]およびRPES[1:0]ビットとリフレッシュ許可期間を更新
			25.2.4 WDTリセットコントロールレジスタ (WDTRCR) を更新
			25.2.5 WDTカウント停止コントロールレジスタ (WDTCTPR) を更新
			25.3.1.1 レジスタスタートモードを更新
			25.3.1.2 オートスタートモードを更新
			25.3.2 WDTCR、WDTRCR、およびWDTCTPR レジスタへの書き込み制御を更新
			図25.5 WDTCR レジスタへの書き込みに対して生成される制御波形を更新
			25.3.3 リフレッシュ動作を更新
			25.5.1 ICUイベントリンク設定レジスタ n (IELSRn) の設定を更新

Rev.	発行日	章	改訂内容	
1.10	2023.09.29	26. 独立ウォッチドッグタイマ (IWDT)	図 26.1 IWDT のブロック図を更新	
			26.2.3 オプション機能選択レジスタ 0 (OFS0) を更新	
			図 26.2 IWDTRPSS[1:0] および IWDTRPES[1:0] ビットとリフレッシュ許可期間を更新	
			26.3.1 オートスタートモードを更新	
			26.3.2 リフレッシュ動作を更新	
			図 26.4 IWDT リフレッシュ動作波形 (OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合) を更新	
			図 26.5 IWDT カウンタ値の読み出し処理 (OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合) を更新	
			27. USB2.0 フルスピードモジュール (USBFS)	27.2.3 デバイスステートコントロールレジスタ 0 (DVSTCTRL0) を更新
				27.2.5 CFIFO ポート選択レジスタ (CFIFOSEL) D0FIFO ポート選択レジスタ (D0FIFOSEL) D1FIFO ポート選択レジスタ (D1FIFOSEL) を更新
				27.2.13 割り込みステータスレジスタ 0 (INTSTS0) を更新
		27.2.14 割り込みステータスレジスタ 1 (INTSTS1) を更新		
		27.2.30 パイプ n コントロールレジスタ (PIPEnCTR) (n = 1 ~ 9) を更新		
		27.3.3.1 BRDY 割り込みを更新		
		図 27.13 デバイスコントローラモードにおける NRDY 割り込みの発生タイミングを更新		
		27.3.4.6 応答 PID を更新		
		27.3.4.7 データ PID シーケンスビットを更新		
		27.3.5 FIFO バッファメモリを更新		
		図 27.17 IITV[2:0] = 0 の場合のトークン発行を更新		
		図 27.18 IITV[2:0] = 1 の場合のトークン発行のタイトルを更新		
		27.3.12.3 インターバルカウンタを更新		
		図 27.19 フレームとトークン受信待機の関係 (IITV[2:0] = 0 の場合) のタイトルを更新		
		図 27.20 フレームとトークン受信待機の関係 (IITV[2:0] ≠ 0 の場合) のタイトルを更新		
		図 27.23 IITV[2:0] = 1 の場合のインターバルエラー発生例を更新		
		表 27.26 トランザクション発行条件を更新		
		27.4.3 ポート機能設定後の割り込みステータスレジスタのクリアを更新		
		28. シリアルコミュニケーションインタフェース (SCI)		表 28.1 SCI の仕様を更新
				28.2.11 非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0) を更新
				28.2.12 スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR_SMCI) (SCMR.SMIF = 1) を更新
				28.2.15 スマートカードインタフェースモード用シリアルステータスレジスタ (SSR_SMCI) (SCMR.SMIF = 1) を更新
				28.2.17 ビットレートレジスタ (BRR) を更新
				表 28.20 各種ビットレートに対する BRR と MDDR の設定例 (調歩同期式モード) (1) を更新
				28.2.19 シリアル拡張モードレジスタ (SEMR) を更新
				図 28.4 出カクロックと送信データの位相関係 (調歩同期式モード : SCMR.CHR1 = 1、SMR.CHR = 0、PE = 1、MP = 0、STOP = 1) のタイトルを更新
				28.3.7 SCI の初期化 (調歩同期式モード) を更新
			図 28.7 調歩同期式モードにおける SCI の初期化フローチャート例 (非 FIFO 選択時) を更新	
			図 28.12 調歩同期式モードにおけるシリアル送信のフローチャート例 (非 FIFO 選択時) を更新	
			図 28.13 FTDRH と FTDRL に書き込まれるデータフォーマット (FIFO 選択時) を更新	
			表 28.23 SSR レジスタのステータスフラグの状態と受信データの処理を更新	
			図 28.19 FRDRH と FRDRL に格納されるデータフォーマット (FIFO 選択時) を更新	
			図 28.22 マルチプロセッサフォーマットを使用した通信例 (データ AAh を受信局 A に送信する場合) を更新	
			図 28.24 マルチプロセッサモードにおいて FTDRH と FTDRL に書き込まれるデータフォーマット (FIFO 選択時) を更新	
			図 28.29 マルチプロセッサモードにおいて FRDRH と FRDRL に格納されるデータフォーマット (FIFO 選択時) を更新	

Rev.	発行日	章	改訂内容	
1.10	2023.09.29	28. シリアルコミュニケーションインタフェース (SCI)	28.5.3 SCIの初期化 (クロック同期式モード) を更新	
			図28.40 クロック同期式モードにおけるシリアル受信の動作例 (2) (RTS機能を使用する場合) を更新	
			図28.43 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例 (非FIFO 選択時) を更新	
			図28.44 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例 (FIFO選択時) を更新	
			図28.50 SCIの初期化フローチャート例 (スマートカードインタフェースモード) を更新	
			28.6.5 SCIの初期化を更新	
			図28.52 スマートカードインタフェース送信モードでのデータ再転送動作のタイトルを更新	
			図28.55 スマートカードインタフェース受信モードでのデータ再転送動作 (受信時の再転送動作) のタイトルを更新	
			28.10.3 調歩同期式モード、クロック同期式モード、および簡易SPIモードにおける割り込みを更新	
			28.14.11 送信許可ビット (SCR.TE) に関する注意事項を追加	
			28.14.12 調歩同期式モードでRTS機能を使用した時の受信の停止についてを追加	
			29. I ² C バスインタフェース (IIC)	29.2.2 I ² Cバスコントロールレジスタ2 (ICCR2) を更新
				29.2.6 I ² Cバスファンクションイネーブルレジスタ (ICFER) を更新
		29.2.10 I ² Cバスステータスレジスタ2 (ICSR2) を更新		
		表29.5 ウェイクアップモードを更新		
		29.2.11 I ² Cバスウェイクアップユニットレジスタ (ICWUR) を更新		
		29.2.12 I ² Cバスウェイクアップユニットレジスタ2 (ICWUR2) を更新		
		29.3.3 マスタ送信動作を更新		
		29.3.4 マスタ受信動作を更新		
		29.3.6 スレーブ受信動作を更新		
		図29.23 デジタルノイズフィルタ回路のブロック図を更新		
		29.7.3 デバイスIDアドレス検出機能を更新		
		図29.28 デバイスID受信時のAASy、DIDフラグのセット/クリアタイミングを更新		
		図29.39 NACK受信時のデータ転送中断動作 (NACKE = 1の場合) を更新		
		29.10.1 マスタアービトレーションロスト検出機能 (MALEビット) を更新		
		29.10.2 NACK送信中のアービトレーションロスト検出機能 (NALEビット) を更新		
		29.10.3 スレーブアービトレーションロスト検出機能 (SALEビット) を更新		
		29.11.2 リスタートコンディション発行動作を更新		
		29.12 バスハングアップを更新		
		29.12.2 SCLクロック追加出力機能を更新		
		図29.49 SCLクロック追加出力機能 (CLOビット) を更新		
		表29.10 割り込み要因を更新		
		表29.11 各コンディション発行時のレジスタの状態を更新		
		31. シリアルペリフェラルインタフェース (SPI)	31.2.7 SPIデータコントロールレジスタ (SPDCR) を更新	
		32. 巡回冗長検査 (CRC) 演算器	32.2.1 CRCコントロールレジスタ0 (CRCCR0) を更新	
		33. 拡張シリアルサウンドインタフェース (SSIE)	表33.2 用語の定義を更新	
			図33.3 SSIEクロック構成を更新	
			33.4.1 コントロールレジスタ (SSICR) を更新	
			図33.4 ミュート機能設定時の送信データを更新	
			図33.12 IIRQ設定タイミング (送信) を更新	
			33.4.3 FIFOコントロールレジスタ (SSIFCR) を更新	
			表33.5 RFRSTビットによるソフトウェアリセットを行うレジスタビットを更新	
			表33.6 TFRSTビットによるソフトウェアリセットを行うレジスタビットを更新	
			表33.7 SSIRSTビットによるソフトウェアリセットを行うレジスタビットを更新	
			図33.23 AUDIO_MCKの停止/再開を更新	
			33.4.4 FIFOステータスレジスタ (SSIFSR) を更新	
			図33.26 RDFの設定およびクリアのタイミング図を更新	
			図33.27 TDEの設定およびクリアのタイミング図を更新	
		図33.29 送信FIFOデータレジスタと送信シフトレジスタの構成およびFIFO動作例を更新		

Rev.	発行日	章	改訂内容
1.10	2023.09.29	33. 拡張シリアルサウンドインタフェース (SSIE)	図 33.30 受信 FIFO データレジスタと受信シフトレジスタの構成および FIFO 動作例を更新
			図 33.33 BCKASTP ビット通信動作の動作例 (BCKASTP = 1 の場合) を更新
			表 33.13 各通信モードで使用できない制御ビットを更新
			図 33.39 SSIE の状態遷移を更新
			33.7.2.1 データ通信状態を更新
			図 33.49 通信開始手順 (CPU 動作手順) を更新
			33.8.2 送信を更新
			図 33.50 送信手順を更新
			33.8.3 受信を更新
			図 33.51 受信手順を更新
			図 33.54 通信再開手順 (CPU 動作) を更新
			33.9.1 SSIE0_SSIF 割り込みを更新
			図 33.57 ソフトウェアリセット手順 (CPU 動作) を更新
			33.11.1.1 SSIBCK 制御のタイトルを更新
			33.11.2.1 AUCKE 制御を更新
			33.11.3.2 送信データエンpty割り込みを更新
			33.11.3.3 受信データフル割り込みを更新
			33.11.3.4 転送モードの切り替えを更新
		表 33.17 通信時のビットへの書き込み保護を更新	
		35. 14 ビット A/D コンバータ (ADC14)	35.8.5 モジュールストップ状態の設定を更新
		36. 12 ビット D/A コンバータ (DAC12)	36.2.2 D/A コントロールレジスタ (DACR) を更新
			36.6.1 モジュールストップ機能の設定を更新
		37. 温度センサ (TSN)	37.2.2 温度センサ較正データレジスタ L (TSCDRL) を更新
		38. オペアンプ (OPAMP)	38.1 概要を更新
		39. 低消費電力アナログコンパレータ (ACMLPLP)	39.9.1 モジュールストップ状態の設定を更新
		40. 8 ビット D/A コンバータ (DAC8)	40.4.1 モジュールストップ状態を更新
		41. 静電容量式タッチセンシングユニット (CTSUS)	図 41.3 CTSU のブロック図を更新
			41.2.1 CTSU コントロールレジスタ 0 (CTSUCR0) を更新
			41.2.3 CTSU 同期ノイズ低減設定レジスタ (CTSUSDPRS) を更新
			41.2.5 CTSU 計測チャネルレジスタ 0 (CTSUSMCH0) を更新
			41.2.2.1 CTSU センサオフセットレジスタ 1 (CTSUSO1) を更新
			41.2.2.4 CTSU エラーステータスレジスタ (CTSUERRS) を更新
			図 41.9 CTSU 初期設定フローを更新
			図 41.10 CTSU 停止フローを更新
			図 41.14 自己容量マルチスキャンモードのソフトウェアフローと動作例を更新
			図 41.16 相互容量フルスキャンモードのソフトウェアフローと動作例を更新
			41.3.2.5 相互容量フルスキャンモードの動作を更新
			41.3.3.2 割り込みを更新
			41.4.2 ソフトウェアトリガに対する制限を更新
		43. SRAM	図 43.2 SRAM パリティリセット許可の場合の SRAM パリティチェックのフローを更新
			図 43.3 SRAM パリティ割り込み許可の場合の SRAM パリティチェックのフローを更新
		44. フラッシュメモリ	44.4.3 データフラッシュコントロールレジスタ (DFLCTL) を更新
			44.4.4 ファクトリ MCU インフォメーションフラッシュルートテーブル (FMIFRT) を追加
			44.4.5 ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3) を追加
			44.4.6 型名レジスタ n (PNRn) (n = 0 ~ 3) を追加
			44.4.7 MCU バージョンレジスタ (MCUVER) を追加
			表 44.6 ID コードプロテクト機能の仕様を更新
			表 45.7 LCD 表示データレジスタの内容とセグメント出力/コモン出力の関係を更新
		45. セグメント LCD コントローラ (SLCDC)	
		46. セキュア暗号エンジン (SCE5)	表 46.1 SCE5 の仕様を更新
			図 46.1 SCE5 ブロック図を更新

Rev.	発行日	章	改訂内容
1.10	2023.09.29	48. 電気的特性	表 48.6 I/O I_{OH} , I_{OL} を更新
			表 48.7 I/O V_{OH} , V_{OL} (1) を更新
			表 48.8 I/O V_{OH} , V_{OL} (2) を更新
			表 48.9 I/O V_{OH} , V_{OL} (3) を更新
			表 48.17 High-speed 動作モードでの動作周波数のタイトルを更新
			表 48.18 Middle-speed 動作モードでの動作周波数のタイトルを更新
			表 48.19 Low-speed 動作モードでの動作周波数のタイトルを更新
			表 48.20 Low-voltage 動作モードでの動作周波数のタイトルを更新
			表 48.21 Subosc-speed 動作モードでの動作周波数のタイトルを更新
			付録 2. 外形寸法図
		図 2.5 64-pin QFN (2) を追加	
		図 2.7 48-pin QFN (1) のタイトルを更新	
		図 2.8 48-pin QFN (2) を追加	
		図 2.9 40-pin QFN (1) のタイトルを更新	
		図 2.10 40-pin QFN (2) を追加	
		付録 3. I/O レジスタ	表 3.1 周辺機能のベースアドレスを更新
			表 3.2 GPT 以外のモジュールのアクセスサイクルを更新

RA4M1グループ ユーザーズマニュアル ハードウェア編

発行年月日 2023年9月29日 Rev.1.10

発行 ルネサスエレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

RA4M1 グループ