
RL78/G14、M16C/62P グループ

R01AN1998JJ0100

Rev.1.00

M16C から RL78 への移行ガイド：割り込み

2014.03.03

要旨

本アプリケーションノートでは、M16C/62P グループの割り込みから RL78/G14 の割り込みへの移行について説明します。

対象デバイス

RL78/G14、M16C/62P グループ

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

目次

1. M16C/62P グループと RL78/G14 の相違点.....	3
1.1 割り込み全般.....	3
1.2 $\overline{\text{INT}}$ 割り込みの相違点.....	4
1.3 キー入力割り込みの相違点.....	5
2. レジスタの対比.....	6
2.1 割り込み全般.....	6
2.2 $\overline{\text{INT}}$ 割り込みに関するレジスタ.....	6
2.3 キー入力割り込みに関するレジスタ.....	6
3. 割り込み動作の設定比較.....	7
3.1 マスカブル割り込み.....	7
3.1.1 M16C/62P グループ.....	7
3.1.2 RL78/G14.....	9
3.2 $\overline{\text{INT}}$ 割り込み.....	11
3.2.1 M16C/62P.....	11
3.2.2 RL78/G14.....	12
3.3 キー入力割り込み.....	15
3.3.1 M16C/62P グループ.....	15
3.3.2 RL78/G14.....	15
3.4 割り込み優先順位.....	16
3.4.1 M16C/62P グループ.....	16
3.4.2 RL78/G14.....	16
3.5 レジスタ退避.....	16
3.5.1 M16C/62P グループ.....	16
3.5.2 RL78/G14.....	16
3.6 $\overline{\text{NMI}}$ 割り込み.....	17
3.6.1 M16C/62P グループ.....	17
3.6.2 RL78/G14.....	17
4. 割り込みベクタ.....	19
4.1 M16C/62P グループ.....	19
4.1.1 固定ベクタテーブル.....	19
4.1.2 可変ベクタテーブル.....	19
4.2 RL78/G14.....	21
5. 参考ドキュメント.....	24

1. M16C/62P グループと RL78/G14 の相違点

1.1 割り込み全般

割り込み全般に関する相違点を表 1.1 に示します。

表 1.1 割り込み全般に関する相違点

項目	M16C/62P グループ	RL78/G14
マスカブル割り込み	周辺機能割り込み(注 1)	周辺機能割り込み
ノンマスカブル 割り込み	<ul style="list-style-type: none"> ソフトウェア割り込み 未定義命令(UND 命令) オーバフロー(INTO 命令) BRK 命令 INT 命令 特殊割り込み NMI DB\bar{C}(注 2) ウォッチドッグタイマ 発振停止、再発振検出 電圧低下検出 シングルステップ(注 2) アドレス一致 	<ul style="list-style-type: none"> ソフトウェア割り込み BRK 命令
割り込み優先レベル	レベル 0 ~ 7(注 3)	レベル 0 ~ 3(注 4)
ベクタテーブルの 種類	<ul style="list-style-type: none"> 固定ベクタテーブル 可変ベクタテーブル 	ベクタ・テーブル
ベクタテーブルの アドレス	<ul style="list-style-type: none"> 固定ベクタテーブル：固定 可変ベクタテーブル：可変 (ユーザ任意) 	ベクタ・テーブル：固定

注 1. 周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。

注 2. 開発ツール専用の割り込みですので、使用しないでください。

注 3. レベル 0 が低優先順位(割り込み禁止)、レベル 7 が高優先順位です。

注 4. レベル 3 が低優先順位、レベル 0 が高優先順位です。

1.2 INT 割り込みの相違点

INT 割り込みの相違点を表 1.2 に示します。

表 1.2 INT 割り込みの相違点

項目	M16C/62P グループ	RL78/G14
INT 割り込み端子	INT0 ~ INT5 (表 1.3 参照)	INTP0 ~ INTP11(表 1.4 参照)
デジタルフィルタ	なし	なし

表 1.3 M16C/62P グループの INT 割り込み端子構成

端子名	割り当てる端子		
	80 ピン製品	100 ピン製品	128 ピン製品
INT0	P8_2		
INT1	P8_3		
INT2	P8_4		
INT3	なし	P1_5	
INT4	なし	P1_6	
INT5	なし	P1_7	

表 1.4 RL78/G14 の INTP 割り込み端子構成

端子名	割り当てる端子									
	30Pin 製品	32Pin 製品	36Pin 製品	40Pin 製品	44Pin 製品	48Pin 製品	52Pin 製品	64Pin 製品	80Pin 製品	100Pin 製品
INTP0	P137									
INTP1	P50						P50 (P52)		P46 (P56)	
INTP2	P51						P51 (P53)		P47	
INTP3	P30						P30 (P54)		P30 (P57)	
INTP4	P31						P31 (P55)		P31 (P146)	
INTP5	P16						P16 (P12)			
INTP6	なし					P140				P140 (P84)
INTP7	なし						P141			P141 (P85)
INTP8	なし					P74		P74 (P42)		P74 (P86)
INTP9	なし					P75		P75 (P43)		P75 (P87)
INTP10	なし						P76	P76 (P05)	P76 (P100)	
INTP11	なし						P77	P77 (P06)	P77 (P110)	

注 1. () は周辺 I/O リダイレクション・レジスタ 0 (PIOR0) の設定により配置可能な端子です。

詳細は 3.2.2 あるいは RL78/G14 ユーザーズマニュアルハードウェア編 を参照してください。

1.3 キー入力割り込みの相違点

キー入力割り込みの相違点を表 1.5 に示します。

表 1.5 キー入力割り込みの相違点

項目	M16C/62P グループ	RL78/G14	
入力チャンネル数	4ch	30ピン製品	なし
		32ピン製品	
		36ピン製品	
		40ピン製品	4ch
		44ピン製品	
		48ピン製品	6ch
		52ピン製品	8ch
		64ピン製品	
		80ピン製品	
100ピン製品			
キー入力割り込み端子	KI0 ~ KI3 (表 1.6 参照)	KR0 ~ KR7 (表 1.7 参照)	
キー入力極性	立ち下がリエッジ	立ち下がリエッジ	

表 1.6 M16C/62P グループのキー入力割り込み端子構成

端子名	割り当てる端子
KI0	P10_4
KI1	P10_5
KI2	P10_6
KI3	P10_7

表 1.7 RL78/G14 のキー割り込み端子構成

端子名	割り当てる端子									
	30Pin 製品	32Pin 製品	36Pin 製品	40Pin 製品	44Pin 製品	48Pin 製品	52Pin 製品	64Pin 製品	80Pin 製品	100Pin 製品
KR0		なし					P70			
KR1		なし					P71			
KR2		なし					P72			
KR3		なし					P73			
KR4			なし					P74		
KR5			なし					P75		
KR6				なし					P76	
KR7					なし					P77

2. レジスタの対比

2.1 割り込み全般

割り込みに関するレジスタの対比表を表 2.1 に示します。

表 2.1 割り込み関連レジスタ対比

設定項目	M16C/62P グループ	RL78/G14
割り込み優先レベル選択	割り込み制御レジスタの ILVL0 ~ ILVL2 ビット	優先順位指定フラグ・レジスタの XXPR1X、XXPROX ビット
割り込み要求フラグ	割り込み制御レジスタの IR ビット	割り込み要求フラグ・レジスタの XXIFX ビット
割り込み処理の制御	割り込み制御レジスタの ILVL0 ~ ILVL2 ビット (優先レベル 0 で割り込み禁止)	割り込みマスク・フラグ・レジスタの XXMKX ビット
マスカブル割り込み許可制御	FLG レジスタの I フラグ	PSW レジスタの IE フラグ
プロセッサ割り込み優先レベル指定	FLG レジスタ IPL	PSW レジスタの ISP1、ISP0

XXPR1X、XXPROX、XXIFX、XXMKX ビットの詳細は 3.1.2 あるいは RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

2.2 $\overline{\text{INT}}$ 割り込みに関するレジスタ

$\overline{\text{INT}}$ 割り込みに関するレジスタの対比表を表 2.2 に示します。

表 2.2 $\overline{\text{INT}}$ 割り込みに関するレジスタ対比

設定項目	M16C/62P グループ	RL78/G14
$\overline{\text{INT}}$ 入力極性切り替え	<ul style="list-style-type: none"> INTiIC レジスタの POL ビット IFSR レジスタの IFSRi ビット 	<ul style="list-style-type: none"> EGP0,EGP1 レジスタの EGPn ビット EGN0,EGN1 レジスタの EGNn ビット
$\overline{\text{INT}}$ 端子選択	-	PIOR0 レジスタ
$\overline{\text{INT}}$ 入力許可	- (INT4,INT5 は IFSR レジスタの IFSRk ビットで割り込み要因選択)	<ul style="list-style-type: none"> EGP0,EGP1 レジスタの EGPn ビット EGN0,EGN1 レジスタの EGNn ビット (EGPn=0,EGNn=0 でエッジ検出禁止)

-: 該当するレジスタはありません。 i=0~5, k=6~7, n=0~11

2.3 キー入力割り込みに関するレジスタ

キー入力割り込みに関するレジスタの対比表を表 2.3 に示します。

表 2.3 キー入力割り込みに関するレジスタ対比

設定項目	M16C/62P グループ	RL78/G14
キー入力許可	PD10 レジスタの PD10_i ビット	KRM レジスタの KRMn ビット PM7 レジスタの PM7n ビット

i=4~7, n=0~7

3. 割り込み動作の設定比較

3.1 マスカブル割り込み

3.1.1 M16C/62P グループ

M16C/62P グループでは、マスカブル割り込みの許可/禁止は、FLG レジスタの I フラグ、IPL、各割り込み制御レジスタの ILVL0 ~ ILVL2 ビットで設定します。また、割り込み要求の有無は、各割り込み制御レジスタの IR ビットに示されます。

I フラグの設定を表 3.1 に、IPL の設定を表 3.2 に示します。割り込み制御レジスタの IR ビットの説明を表 3.3 に、割り込み優先レベル選択ビットの設定を表 3.4 に示します。

表 3.1 I フラグ

I フラグ	マスカブル割り込み許可 / 禁止
0	禁止
1	許可

表 3.2 IPL

IPL	マスカブル割り込み許可 / 禁止
000b	レベル 1 以上を許可
001b	レベル 2 以上を許可
010b	レベル 3 以上を許可
011b	レベル 4 以上を許可
100b	レベル 5 以上を許可
101b	レベル 6 以上を許可
110b	レベル 7 以上を許可
111b	全てのマスカブル割り込みを禁止

表 3.3 割り込み要求ビット

IR	割り込み要求ビット
0	割り込み要求なし
1	割り込み要求あり

表 3.4 割り込み優先レベル選択ビット

ILVL2	ILVL1	ILVL0	割り込み優先レベル	優先順位
0	0	0	レベル 0(割り込み禁止)	-
0	0	1	レベル 1	低い ↓ 高い
0	1	0	レベル 2	
0	1	1	レベル 3	
1	0	0	レベル 4	
1	0	1	レベル 5	
1	1	0	レベル 6	
1	1	1	レベル 7	

割り込み要求が受け付けられる条件を次に示します。

- ・ I フラグ = 1
- ・ IR ビット = 1
- ・ 割り込み優先レベル > IPL

例: タイマ A0 の割り込みが受け付けられる為には

I フラグ : FLG レジスタの I フラグが 1

IR ビット : TA0IC レジスタの IR ビット(ビット 3) が 1

割り込み優先レベル : TA0IC レジスタの ILV2 ~ ILV0 ビットの値 > FLG レジスタの IPL

が全て成立する必要があります。

3.1.2 RL78/G14

RL78/G14 では、マスカブル割り込みの許可/禁止は、PSW レジスタの IE フラグ、ISP0、ISP1 フラグ、優先順位指定フラグ・レジスタの XXPR1X、XXPR0X ビット、割り込みマスク・フラグ・レジスタの XXMKX ビットで設定します。また、割り込み要求の有無は、割り込み要求フラグ・レジスタの XXIFX ビットに示されます。

IE フラグの設定を表 3.5 に、ISP1、ISP0 フラグの設定を表 3.6 に、割り込み要求フラグの設定を表 3.7 に、割り込み処理の制御の設定を表 3.8 に、優先順位レベルの選択の設定を表 3.9 に示します。

表 3.5 IE フラグ

IE フラグ	割り込み要求受け付けの許可 / 禁止
0	禁止
1	許可

表 3.6 ISP1,ISP0 フラグ

ISP1	ISP0	現在処理中の割り込みの優先順位
0	0	レベル 0 の割り込み許可(レベル 1 または 0 の割り込み処理中)
0	1	レベル 0 ~ 1 の割り込み許可(レベル 2 の割り込み処理中)
1	0	レベル 0 ~ 2 の割り込み許可(レベル 3 の割り込み処理中)
1	1	全ての割り込み許可(割り込み受け付け待ち)

表 3.7 割り込み要求フラグ

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

XXIFX の詳細は RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

表 3.8 割り込み処理の制御

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

XXMKX の詳細は RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

表 3.9 優先順位レベルの選択

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル 0 を指定(高優先順位)
0	1	レベル 1 を指定
1	0	レベル 2 を指定
1	1	レベル 3 を指定(低優先順位)

XXPR1X、XXPR0X の詳細は RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

割り込み要求が受け付けられる条件を次に示します。

- ・ 割り込み要求フラグ = 1
- ・ 割り込みマスクフラグ = 0
- ・ IE フラグ = 1
- ・ 割り込み優先レベル \leq (ISP1,ISP0)

例:タイマ・アレイ・ユニット 0 のチャンネル 0 の割り込みが受け付けられる為には

割り込み要求フラグ :IF1L レジスタの TMIF00 ビット(ビット 4)が 1
 割り込みマスクフラグ :MK1L レジスタの TMMK00 ビット(ビット 4)が 0
 IE フラグ :PSW の IE フラグが 1

割り込み優先レベル:

PR11L,PR01L レジスタの TMPR100,TMPR000 ビット \leq PSW の ISP1,ISP0 ビット
 が全て成立する必要があります。

3.2 $\overline{\text{INT}}$ 割り込み

3.2.1 M16C/62P

M16C/62P グループでは、 $\overline{\text{INT}}$ 割り込みの許可 / 禁止の設定はありません。但し、 $\overline{\text{INT}}_4, \overline{\text{INT}}_5$ については、IFSR レジスタの IFSR6 ビット、IFSR7 ビットで SI/03, SI/04 と割り込み要因の切り替えを行います。割り込み要因の切り替え設定を表 3.10 に示します

入力極性は IFSR レジスタの IFSR i ビットと INT i IC レジスタの POL ビットで設定します($i = 0 \sim 5$)。 $\overline{\text{INT}}_i$ 割り込み極性切り替えを表 3.11 に、極性切り替えを表 3.12 に示します。

表 3.10 割り込み要因の切り替え設定

IFSR k	割り込み要因切り替えビット
0	SI / O x
1	$\overline{\text{INT}}_x$

$k = 6 \sim 7$

表 3.11 $\overline{\text{INT}}_i$ 割り込み極性切り替え

IFSR i (注 1,2)	$\overline{\text{INT}}_i$ 割り込み極性切り替え
0	片エッジ
1	両エッジ

$i = 0 \sim 5$

注 1. "1"(両エッジ)を選択する場合は、対応する INT i IC レジスタの POL ビットを"0"(立ち下がりエッジを選択)にしてください。

表 3.12 極性切り替え

POL(注 1)	有効エッジ選択
0	立ち下がりエッジを選択
1	立ち上がりエッジを選択(注 2)

注 1. POL ビットを変更すると、IR ビットが"1"(割り込み要求あり)になることがあります。

注 2. IFSR i ビットを"1"(両エッジ)にする場合、INT i IC レジスタの POL ビットを"0"(立ち下がりエッジを選択)にしてください($i = 0 \sim 5$)

3.2.2 RL78/G14

RL78/G14 では、INTP0 ~ INTP11 の有効エッジを EGPm レジスタと EGNm レジスタで設定します(m = 0,1)。INTPn 端子の有効エッジの選択の設定を表 3.13 に、EGPn ビットと EGNn ビットに対応するポートを表 3.14 に示します(n = 0 ~ 11)。

また、INTP 割り込みの入力端子の配置は PIOR0 レジスタで選択します。INTP 割り込み入力端子の配置の選択を表 3.15 ~ 表 3.18 に示します。

表 3.13 INTPn 端子の有効エッジの選択

EGPn	EGNn	INTPn 端子の有効エッジの選択
0	0	エッジ検出禁止
0	1	立ち下がリエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり、立ち下がりの両エッジ

n = 0 ~ 11

表 3.14 EGPn ビットと EGNn ビットに対応するポート(n = 0 ~ 11)

検出許可ビット		対応ポート
EGP0	EGN0	INTP0
EGP1	EGN1	INTP1
EGP2	EGN2	INTP2
EGP3	EGN3	INTP3
EGP4	EGN4	INTP4
EGP5	EGN5	INTP5
EGP6	EGN6	INTP6
EGP7	EGN7	INTP7
EGP8	EGN8	INTP8
EGP9	EGN9	INTP9
EGP10	EGN10	INTP10
EGP11	EGN11	INTP11

表 3.15 INTP 割り込み入力端子選択(1)

PIOR05		端子選択									
		30Pin	32Pin	36Pin	40Pin	44Pin	48Pin	52Pin	64Pin	80Pin	100Pin
0	INTP1	0 (初期値)を設定してください。									P46
	INTP3										P30
	INTP4										P31
	INTP6										P140
	INTP7										P141
	INTP8										P74
	INTP9										P75
1	INTP1	設定不可									P56
	INTP3										P57
	INTP4										P146
	INTP6										P84
	INTP7										P85
	INTP8										P86
	INTP9										P87

表 3.16 INTP 割り込み入力端子選択(2)

PIOR04		端子選択									
		30Pin	32Pin	36Pin	40Pin	44Pin	48Pin	52Pin	64Pin	80Pin	100Pin
0	INTP5	0 (初期値)を設定してください。							P16		
1		設定不可							P12		

表 3.17 INTP 割り込み入力端子選択(3)

PIOR01		端子選択									
		30Pin	32Pin	36Pin	40Pin	44Pin	48Pin	52Pin	64Pin	80Pin	100Pin
0	INTP10	-					P76				
	INTP11	-					P05		P100		
1	INTP10	-					P77				
	INTP11	-					P06		P110		

表 3.18 INTP 割り込み入力端子選択(4)

PIOR00		端子選択								
		30Pin	32Pin	36Pin	40Pin	44Pin	48Pin	52Pin	64Pin	80Pin
0	INTP1	0 (初期値)を設定してください。						P50		0 (初期値)を設定してください。
	INTP2							P51		
	INTP3							P30		
	INTP4							P31		
	INTP8							P74		
	INTP9							P75		
1	INTP1	設定不可						P52		設定不可
	INTP2							P53		
	INTP3							P54		
	INTP4							P55		
	INTP8							P42		
	INTP9							P43		

3.3 キー入力割り込み

3.3.1 M16C/62P グループ

M16C/62P グループでは、キー入力の許可 / 禁止とポートの入出力の選択を兼用で PD10 レジスタの PD10_k ビットで設定します。キー入力許可の設定を表 3.19 に、PD10_k に対応するポートを表 3.20 に示します。

表 3.19 キー入力の許可 / 禁止選択

PD10_k	キー入力許可(ポートの入出力の選択)
0	許可(入力モード)
1	禁止(出力モード)

k = 4 ~ 7

表 3.20 PD10_k ビットに対応するキー入力(ポート)

方向ビット	対応キー入力(ポート)
PD10_4	KI0(P10_4)
PD10_5	KI1(P10_5)
PD10_6	KI2(P10_6)
PD10_7	KI3(P10_7)

k = 4 ~ 7

3.3.2 RL78/G14

RL78/G14 では、キー入力の許可 / 禁止を KRM レジスタの KRMn ビットで設定します。キー入力の許可 / 禁止の設定を表 3.21 に示します。

また、RL78/G14 では PM7 レジスタで端子(入出力ポート)の入出力モードの選択を行います。入出力モードの選択を表 3.22 に示します。キー入力を有効とする場合は、端子(入出力ポート)の設定は入力モードとしてください。

表 3.21 キー入力の許可 / 禁止選択

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

n = 0 ~ 7

表 3.22 入出力ポートの入出力モードの選択

PM7n	P7n 端子の入出力モードの選択
0	出力モード(出力ポートとして機能(出力バッファ・オン))
1	入力モード(入力ポートとして機能(出力バッファ・オフ))

n = 0 ~ 7

3.4 割り込み優先順位

3.4.1 M16C/62P グループ

M16C/62P グループでは、同一サンプリング時点(割り込みの要求があるかどうか調べるタイミング)で、2 つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスクابل割り込み(周辺機能割り込み)の優先レベルは、ILVL2 ~ ILVL0 ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。

3.4.2 RL78/G14

RL78/G14 では、複数のマスクابل割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト・プライオリティの高い割り込みから受け付けられます。

3.5 レジスタ退避

3.5.1 M16C/62P グループ

M16C/62P グループでは、FLG レジスタと PC をスタックに退避します。

スタックへは PC の上位 4 ビットと FLG レジスタの上位 4 ビット(IPL)、下位 8 ビットの合計 16 ビットをまず退避し、次に PC の下位 16 ビットを退避します。

3.5.2 RL78/G14

RL78/G14 では、マスクابل割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避します。

3.6 $\overline{\text{NMI}}$ 割り込み

3.6.1 M16C/62P グループ

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子の入力が"H"から"L"に変化したときに発生するノンマスクابل割り込みです。

3.6.2 RL78/G14

RL78/G14 には、端子の入力状態によって発生するノンマスクابل割り込みはありません。

RL78/G14 で M16C/62P グループの $\overline{\text{NMI}}$ 割り込み動作を実行するためには、INTPn 割り込みを使用して、有効エッジとして立ち下がりエッジを選択、INTPn の割り込み許可、割り込み優先レベルを 0(高優先)に設定し、かつ、INTPn 以外の割り込み処理で多重割り込みを許可します(n=0~11 のいずれか、なるべく若い番号、可能であれば 0 を選択)。また、通常処理(割り込み処理以外)部で割り込みを禁止しない(IE フラグを 0 に設定しない)必要があります。

INTP0 で $\overline{\text{NMI}}$ 割り込みを代用する場合の INTP0 の設定処理のフローを図 3.1 に、INTP0 以外の割り込み処理のフローを図 3.2 に、メイン処理のフローを図 3.3 に示します。

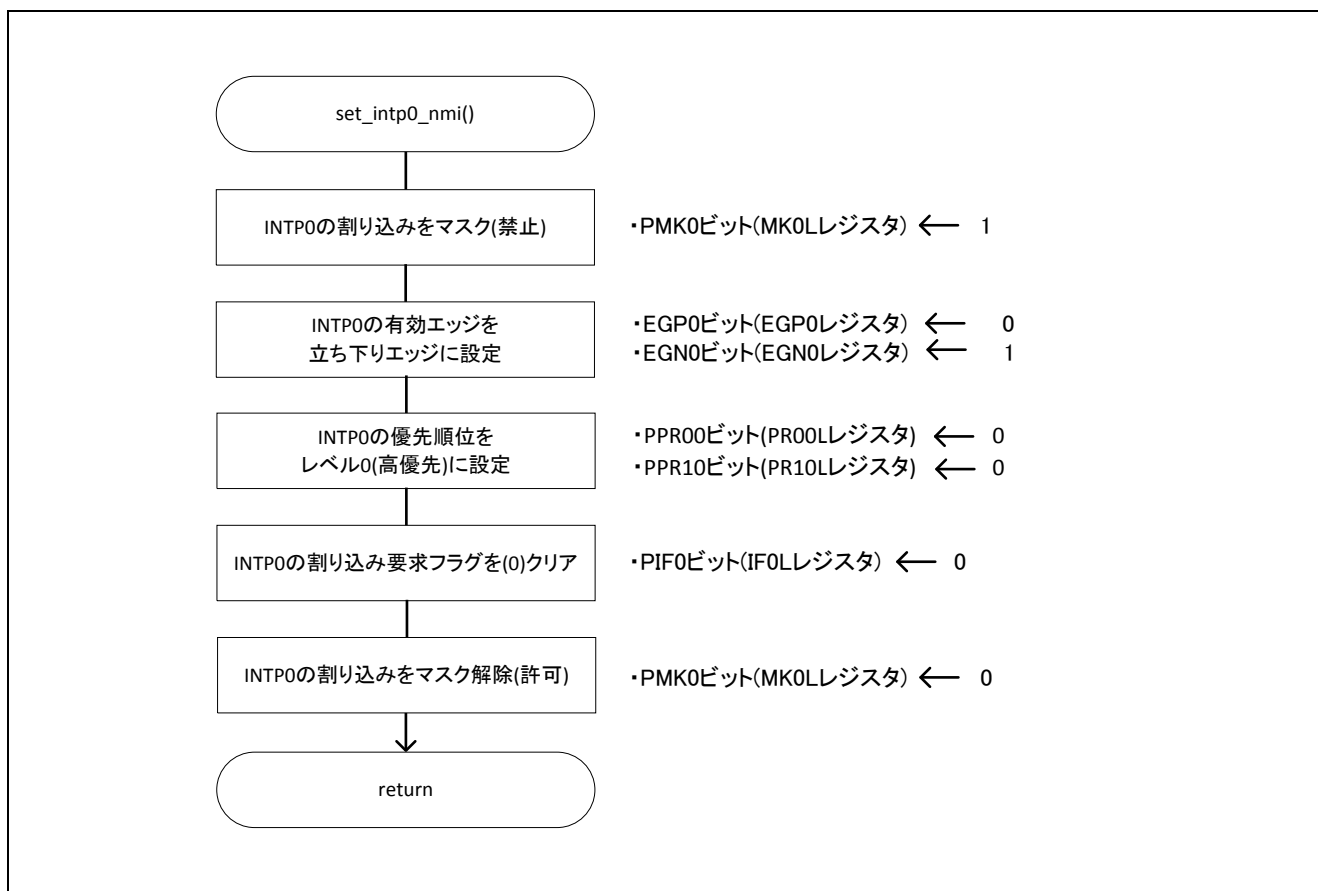


図 3.1 $\overline{\text{NMI}}$ 割り込みの代用とする場合の INTP0 の設定処理フロー

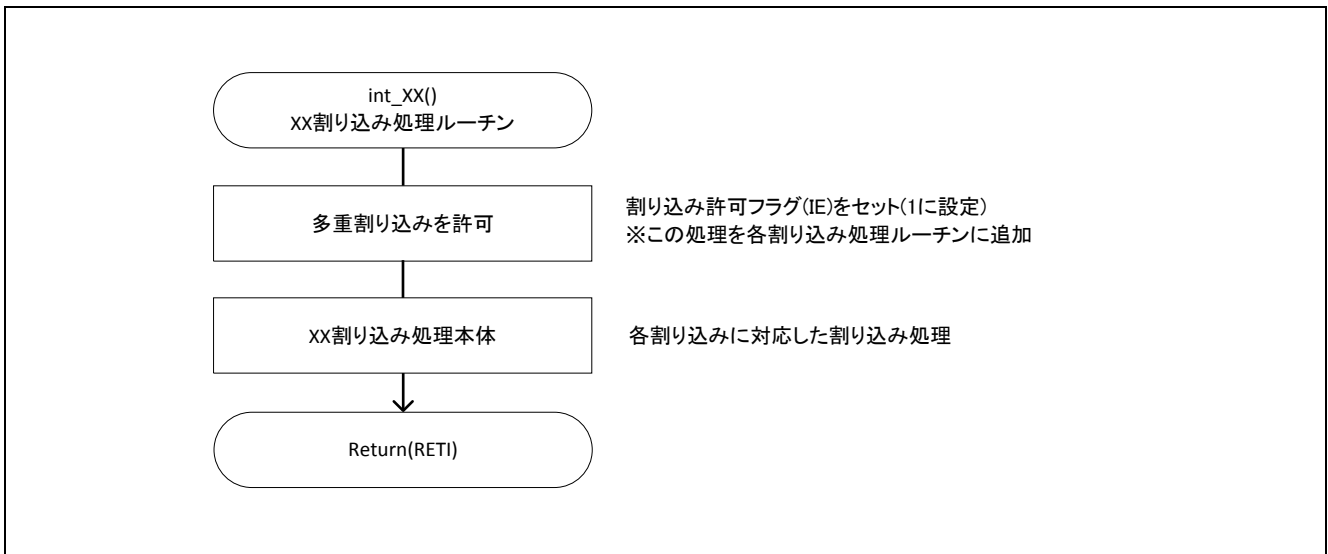


図 3.2 INTPO で $\overline{\text{NMI}}$ 割り込みを代用する場合の INTPO 以外の割り込み処理フロー

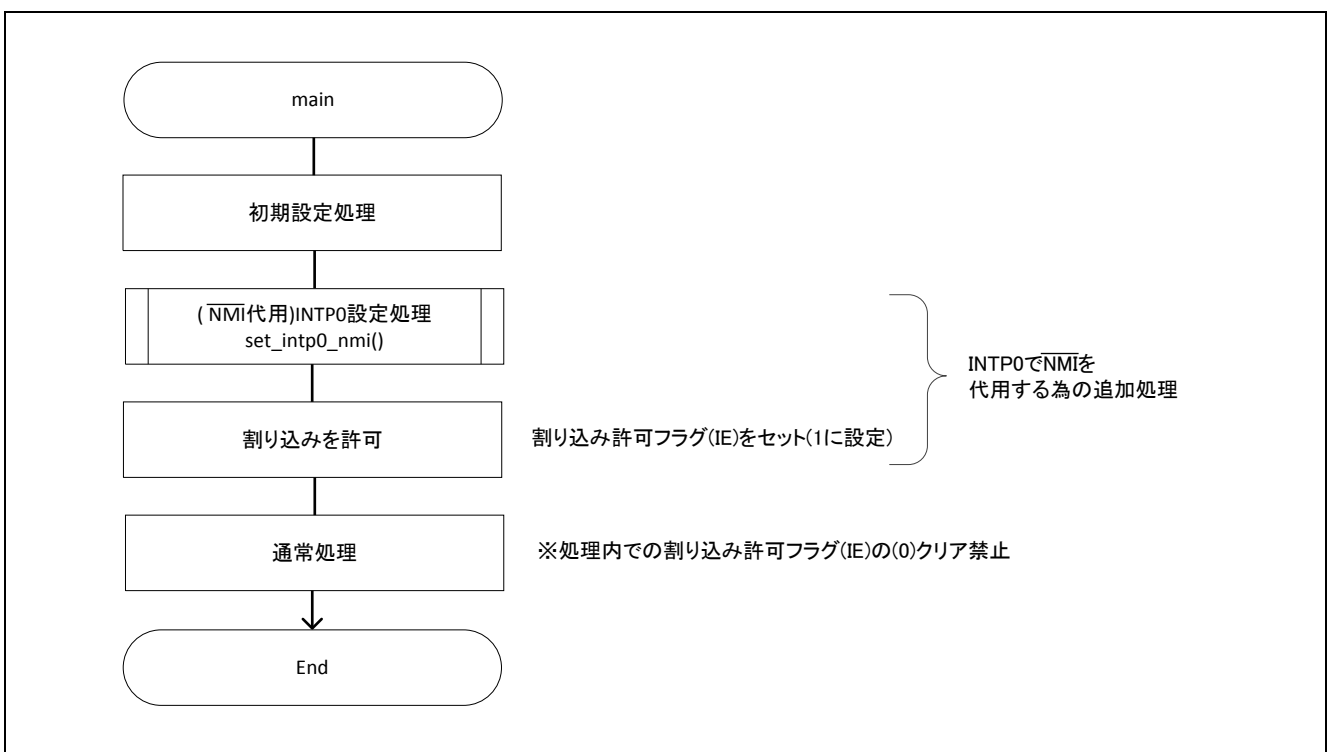


図 3.3 INTPO で $\overline{\text{NMI}}$ 割り込みを代用する場合のメイン処理フロー

4. 割り込みベクタ

M16C/62P グループと RL78/G14 では、割り込みベクタの構成が異なります。M16C/62P グループは固定ベクタテーブルと可変ベクタテーブルからなり、RL78/G14 はアドレスが固定のベクタ・テーブルからなります。

4.1 M16C/62P グループ

4.1.1 固定ベクタテーブル

固定ベクタテーブルは、FFFDCh 番地から FFFFh 番地に配置されています。表 4.1 に固定ベクタテーブルを示します。

表 4.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L) ~ 番地(H)	備考
未定義命令	FFFDCh ~ FFFDFh	UND 命令で割り込み
オーバフロー	FFFE0h ~ FFFE3h	INTO 命令で割り込み
BRK 命令	FFFE4h ~ FFFE7h	FFFE7h 番地の内容が FFh の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE8h ~ FFFE Bh	
シングルステップ(注 1)	FFFECh ~ FFEFh	
ウォッチドッグタイマ、 発振停止、 再発振検出、 電圧低下検出	FFFF0h ~ FFFF3h	
DBC(注 1)	FFFF4h ~ FFFF7h	
NMI	FFFF8h ~ FFFF Bh	
リセット	FFFFCh ~ FFFFh	

注 1. 開発ツール専用の割り込みですので、使用しないでください。

4.1.2 可変ベクタテーブル

INTB レジスタに設定された先頭番地から 256 バイトが可変ベクタテーブルの領域となります。表 4.2 に可変ベクタテーブルを示します。INTB レジスタに偶数番地を設定すると、奇数番地の場合に比べて割り込みシーケンスが速く実行できます。

表 4.2 可変ベクタテーブル

割り込み要因	ベクタ番地 番地(L) ~ 番地(H)	ソフトウェア 割り込み番号	割り込み制御 レジスタ
BRK 命令(注 4)	+0 ~ +3(0000h ~ 0003h)	0	
-(予約)		1 ~ 3	-
INT3	+16 ~ +19(0010h ~ 0013h)	4	INT3IC
タイマ B5	+20 ~ +23(0014h ~ 0017h)	5	TB5IC
タイマ B4, UART1 バス衝突検出 (注 3,5)	+24 ~ +27(0018h ~ 001Bh)	6	TB4IC/U1BCNIC
タイマ B3, UART0 バス衝突検出 (注 3,5)	+28 ~ +31(001Ch ~ 001Fh)	7	TB3IC/U0BCNIC
SI/O4、INT5(注 1)	+32 ~ +35(0020h ~ 0023h)	8	S4IC/ S4IC
SI/O3、INT4(注 1)	+36 ~ +39(0024h ~ 0027h)	9	S3IC/ INT4IC
UART2 バス衝突検出(注 5)	+40 ~ +43(0028h ~ 002Bh)	10	BCNIC
DMA0	+44 ~ +47(002Ch ~ 002Fh)	11	DM0IC
DMA1	+48 ~ +51(0030h ~ 0033h)	12	DM1IC
キー入力割り込み	+52 ~ +55(0034h ~ 0037h)	13	KUPIC
A/D	+56 ~ +59(0038h ~ 003Bh)	14	ADIC
UART2 送信、NACK2(注 2)	+60 ~ +63(003Ch ~ 003Fh)	15	S2TIC
UART2 受信、ACK2(注 2)	+64 ~ +67(0040h ~ 0043h)	16	S2RIC
UART0 送信、NACK0(注 2)	+68 ~ +71(0044h ~ 0047h)	17	S0TIC
UART0 受信、ACK0(注 2)	+72 ~ +75(0048h ~ 004Bh)	18	S0RIC
UART1 送信、NACK1(注 2)	+76 ~ +79(004Ch ~ 004Fh)	19	S1TIC
UART1 受信、ACK1(注 2)	+80 ~ +83(0050h ~ 0053h)	20	S1RIC
タイマ A0	+84 ~ +87(0054h ~ 0057h)	21	TA0IC
タイマ A1	+88 ~ +91(0058h ~ 005Bh)	22	TA1IC
タイマ A2	+92 ~ +95(005Ch ~ 005Fh)	23	TA2IC
タイマ A3	+96 ~ +99(0060h ~ 0063h)	24	TA3IC
タイマ A4	+100 ~ +103(0064h ~ 0067h)	25	TA4IC
タイマ B0	+104 ~ +107(0068h ~ 006Bh)	26	TB0IC
タイマ B1	+108 ~ +111(006Ch ~ 006Fh)	27	TB1IC
タイマ B2	+112 ~ +115(0070h ~ 0073h)	28	TB2IC
INT0	+116 ~ +119(0074h ~ 0077h)	29	INT0IC
INT1	+120 ~ +123(0078h ~ 007Bh)	30	INT1IC
INT2	+124 ~ +127(007Ch ~ 007Fh)	31	INT2IC
INT 命令割り込み(注 4)	+128 ~ +131(0080h ~ 0083h) ~ +252 ~ +255(00FCh ~ 00FFh)	32 ~ 63	-

注 1. IFSR レジスタの IFSR6、7 ビットで選択してください。

注 2. I²C モード時に NACK、ACK が割り込み要因になります。

注 3. IFSR2A レジスタの IFSR26、27 ビットで選択してください。

注 4. I フラグによる禁止はできません。

注 5. バス衝突検出：IE モード時はバス衝突検出が割り込み要因になります。

I²C モード時はスタートコンディション検出、ストップコンディション検出が割り込み要因になります。

4.2 RL78/G14

RL78/G14 のベクタ・テーブルには、各割り込み、リセット要因発生により分岐するプログラム・スタート・アドレスを設定します。ベクタ・コードは、各 2 バイトとしているため飛び先アドレスは 00000H ~ 0FFFFH の 64K バイトアドレスとなります。デフォルト・プライオリティは 0 が最高順位で 44 が最低順位です。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。ベクタ・テーブルを表 4.3 ~ 表 4.5 に示します。

表 4.3 ベクタ・テーブル(1)

デフォルト・プライオリティ	割り込み要因		内部/外部	ベクタ番地
	名称	トリガ		
0	INTWDTI	ウォッチドッグ・タイマのインターバル (オーバフロー時間の 75%+1/2fil)	内部	0004H
1	INTLVI	電圧検出		0006H
2	INTP0	端子入力エッジ検出	外部	0008H
3	INTP1			000AH
4	INTP2			000CH
5	INTP3			000EH
6	INTP4			0010H
7	INTP5			0012H
8	INTST2/ INTCSI20/ INTIIC20	UART2 送信の転送完了、バッファ空き割り込み/ CSI20 の転送完了、バッファ空き割り込み/ IIC20 の転送完了	内部	0014H
9	INTSR2/ INTCSI21/ INTIIC21	UART2 受信の転送完了/ CSI21 の転送完了、バッファ空き割り込み/ IIC21 の転送完了		0016H
10	INTSRE2	UART2 受信の通信エラー発生	内部	0018H
	INTTM11H	タイマ・チャンネル 11 のカウント完了または キャプチャ完了(上位 8 ビット・タイマ動作時)		
11	INTST0/ INTCSI00/ INTIIC00	UART0 送信の転送完了、バッファ空き割り込み/ CSI00 の転送完了、バッファ空き割り込み/ IIC00 の転送完了	内部	001EH
12	INTSR0/ INTCSI01/ INTIIC01	UART0 受信の転送完了/ CSI01 の転送完了、バッファ空き割り込み/ IIC01 の転送完了		0020H
13	INTSRE0	UART0 受信の通信エラー発生	内部	0022H
	INTTM01H	タイマ・チャンネル 01 のカウント完了または キャプチャ完了(上位 8 ビット・タイマ動作時)		
14	INTST1/ INTCSI10/ INTIIC10	UART1 送信の転送完了、バッファ空き割り込み/ CSI10 の転送完了、バッファ空き割り込み/ IIC10 の転送完了	内部	0024H
15	INTSR1/ INTCSI11/ INTIIC11	UART1 受信の転送完了/ CSI11 の転送完了、バッファ空き割り込み/ IIC11 の転送完了		0026H
16	INTSRE1	UART1 受信の通信エラー発生	内部	0028H
	INTTM03H	タイマ・チャンネル 03 のカウント完了または キャプチャ完了(上位 8 ビット・タイマ動作時)		

表 4.4 ベクタ・テーブル(2)

デフォルト・ プライオリティ	割り込み要因		内部/外部	ベクタ 番地	
	名称	トリガ			
17	INTIICA0	IICA0 通信完了	内部	002AH	
18	INTTM00	タイマ・チャネル 00 のカウント完了 またはキャプチャ完了		002CH	
19	INTTM01	タイマ・チャネル 01 のカウント完了 またはキャプチャ完了		002EH	
20	INTTM02	タイマ・チャネル 02 のカウント完了 またはキャプチャ完了		0030H	
21	INTTM03	タイマ・チャネル 03 のカウント完了 またはキャプチャ完了		0032H	
22	INTAD	A/D 変換終了		0034H	
23	INTRTC	リアルタイム・クロックの定周期信号/ アラーム一致検出		0036H	
24	INTIT	インターバル信号検出		0038H	
25	INTKR	キー・リターン信号検出		外部	003AH
26	INTST3/ INTCSI30/ INTIIC30	UART3 送信の転送完了、バッファ空き割り込み/ CSI30 の転送完了、バッファ空き割り込み/ IIC30 の転送完了		内部	003CH
27	INTSR3/ INTCSI31/ INTIIC31	UART3 受信の転送完了/ CSI31 の転送完了、バッファ空き割り込み/ IIC31 の転送完了	003EH		
28	INTTRJ0	タイマ RJ 割り込み	0040H		
29	INTTM10	タイマ・チャネル 10 のカウント完了または キャプチャ完了	0042H		
30	INTTM11	タイマ・チャネル 11 のカウント完了または キャプチャ完了	0044H		
31	INTTM12	タイマ・チャネル 12 のカウント完了または キャプチャ完了	0046H		
32	INTTM13	タイマ・チャネル 13 のカウント完了または キャプチャ完了	0048H		
33	INTP6	端子入力エッジ検出	外部		004AH
34	INTP7		内部	004CH	
35	INTP8		外部	004EH	
36	INTP9		内部	0050H	
37	INTP10	端子入力エッジ検出	外部	0052H	
	INTCMP0	コンパレータ検出 0	内部		
38	INTP11	端子入力エッジ検出	外部	0054H	
	INTCMP1	コンパレータ検出 1	内部		
39	INTTRD0	タイマ RD0 インプットキャプチャ、コンペアー 一致、オーバフロー、アンダフロー割り込み	内部	0056H	
40	INTTRD1	タイマ RD1 インプットキャプチャ、コンペアー 一致、オーバフロー、アンダフロー割り込み		0058H	

表 4.5 ベクタ・テーブル(3)

デフォルト・ プライオリティ	割り込み要因		内部/外部	ベクタ 番地
	名称	トリガ		
41	INTTRG	タイマ RG インพุットキャプチャ、コンペアー 致、オーバフロー、アンダフロー割り込み	内部	005AH
42	INTSRE3	UART3 受信の通信エラー発生		005CH
	INTTM13H	タイマ・チャンネル 13 のカウント完了または キャプチャ完了(上位 8 ビット・タイマ動作時)		
43	INTIICA1	IICA1 通信完了		0060H
44	INTFL	予約	0062H	
-	BRK	BRK 命令の実行	-	007EH
	RESET	RESET 端子入力		0000H
	POR	パワーオン・リセット		
	LVD	電圧検出		
	WDT	ウォッチドッグ・タイマのオーバフロー		
	TRAP	不正命令の実行		
	IAW	不正メモリ・アクセス		
RAMTOP	RAM パリティ・エラー			

5. 参考ドキュメント

RL78/G14 ユーザーズマニュアルハードウェア編 Rev. 2.00 (R01UH0186J)

M16C/62P グループ(M16C/62P、M16C/62PT)ハードウェアマニュアル Rev.2.41(RJJ09B0105)

(最新版をルネサスエレクトロニクスホームページから入手してください。)

テクニカルアップデート/テクニカルニュース

(最新の情報をルネサスエレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2014.03.03		初回発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>