

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

| | | | | | |
|------|--|--------|----------------|---|-----|
| 製品分類 | MPU & MCU | 発行番号 | TN-RX*-A176A/J | Rev. | 第1版 |
| 題名 | RX65N グループ、RX651 グループ SD スレーブインタフェース (SDSI)、12 ビット A/D コンバータ(S12ADFa) および電気的特性に関する説明追加ならびに誤記訂正 | | 情報分類 | 技術情報 | |
| 適用製品 | RX65N グループ、RX651 グループ | 対象ロット等 | 関連資料 | RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0590JJ0100) | |
| | | 全ロット | | | |

RX65N グループ、RX651 グループユーザーズマニュアル ハードウェア編の I/O レジスタ章、割り込みコントローラ (ICUB) 章、SD スレーブインタフェース (SDSI) 章、12 ビット A/D コンバータ(S12ADFa)、電気的特性章において、説明の不足ならびに誤記がありましたので、以下のとおり訂正いたします。

•Page 183 of 2491

「表 5.1 I/O レジスタアドレス一覧 (35 / 45)」の FN1 データレジスタのアクセスサイズに以下のとおり 8 ビットアクセスを追加いたします。

【変更前】

| アドレス | モジュール シンボル | レジスタ名 | レジスタ シンボル | ビット 幅 | アクセス サイズ | アクセスサイクル数 | | 関連機能 | 参照 ページ |
|---------------------------|---------------|---------------------|---------------------|----------|-------------|--------------------------|-------------------|------|-----------|
| | | | | | | ICLK \geq PCLK の 場合 | ICLK<PCLK の 場合 | | |
| 0009 527Ch | SDSI | FBR 設定レジスタ 4 | FBR4 | 32 | 32 | 2~3PCLKB | 2ICLK | SDSI | 2062 |
| 0009 5280h | SDSI | FBR 設定レジスタ 5 | FBR5 | 32 | 32 | 2~3PCLKB | 2ICLK | SDSI | 2062 |
| 0009 5800h~ 0009 58FFh | SDSI | FN1 データレジスタ 10~163 | FN1DATAR10 ~163 | 32 | 32 | 10~11PCLKB | 2~6ICLK | SDSI | 2063 |
| 0009 5900h~ 0009 59FFh | SDSI | FN1 データレジスタ 20~263 | FN1DATAR20 ~263 | 32 | 32 | 10~11PCLKB | 2~6ICLK | SDSI | 2063 |
| 0009 5A00h~ 0009 5AFFh | SDSI | FN1 データレジスタ 30~363 | FN1DATAR30 ~363 | 32 | 32 | 10~11PCLKB | 2~6ICLK | SDSI | 2064 |
| 0009 5B00h | SDSI | FN1 割り込みベクタレジスタ | FN1INTVECR | 8 | 8 | 7~8PCLKB | 2~5ICLK | SDSI | 2064 |
| 0009 5B01h | SDSI | FN1 割り込みクリアレジスタ | FN1INTCLRR | 8 | 8 | 7~8PCLKB | 2~5ICLK | SDSI | 2065 |
| 0009 5C00h~ 0009 5FFFh | SDSI | FN1 データレジスタ 50~5255 | FN1DATAR50 ~5255 | 32 | 32 | 7~8PCLKB | 2~5ICLK | SDSI | 2065 |

省略

【変更後】

| アドレス | モジュール シンボル | レジスタ名 | レジスタ シンボル | ビット 幅 | アクセス サイズ | アクセスサイクル数 | | 関連機能 | 参照 ページ |
|---------------------------|---------------|---------------------|---------------------|----------|-------------|--------------------------|-------------------|------|-----------|
| | | | | | | ICLK \geq PCLK の 場合 | ICLK<PCLK の 場合 | | |
| 0009 527Ch | SDSI | FBR 設定レジスタ 4 | FBR4 | 32 | 32 | 2~3PCLKB | 2ICLK | SDSI | 2062 |
| 0009 5280h | SDSI | FBR 設定レジスタ 5 | FBR5 | 32 | 32 | 2~3PCLKB | 2ICLK | SDSI | 2062 |
| 0009 5800h~ 0009 58FFh | SDSI | FN1 データレジスタ 10~163 | FN1DATAR10 ~163 | 32 | 8, 32 | 10~11PCLKB | 2~6ICLK | SDSI | 2063 |
| 0009 5900h~ 0009 59FFh | SDSI | FN1 データレジスタ 20~263 | FN1DATAR20 ~263 | 32 | 8, 32 | 10~11PCLKB | 2~6ICLK | SDSI | 2063 |
| 0009 5A00h~ 0009 5AFFh | SDSI | FN1 データレジスタ 30~363 | FN1DATAR30 ~363 | 32 | 8, 32 | 10~11PCLKB | 2~6ICLK | SDSI | 2064 |
| 0009 5B00h | SDSI | FN1 割り込みベクタレジスタ | FN1INTVECR | 8 | 8 | 7~8PCLKB | 2~5ICLK | SDSI | 2064 |
| 0009 5B01h | SDSI | FN1 割り込みクリアレジスタ | FN1INTCLRR | 8 | 8 | 7~8PCLKB | 2~5ICLK | SDSI | 2065 |
| 0009 5C00h~ 0009 5FFFh | SDSI | FN1 データレジスタ 50~5255 | FN1DATAR50 ~5255 | 32 | 8, 32 | 7~8PCLKB | 2~5ICLK | SDSI | 2065 |
| 省略 | | | | | | | | | |

• Page 414 of 2491

「表 15.7 グループ割り込み要因の一覧 (2/2)」のグループ BL2 の行を以下のとおり訂正いたします。

【変更前】

| グループ | 番号 | 割り込み 要求発生元 | 名称 | GEN[BA][EL]m. ENj ビット | GRP[BA][EL]m. ISj フラグ | GCRBEm. CLRj ビット | ベクタ番号 (IRn.IR) |
|------|------|---------------|--------------------|--------------------------|--------------------------|---------------------|-------------------|
| 省略 | | | | | | | |
| BL2 | 0 | SDSI | SDIOI (ダイレクトモード終了) | GENBL2.EN0 | GRPBL2.IS0 | — | 107 |
| | 1~31 | 予約 | — | — | — | — | |
| 省略 | | | | | | | |

【変更後】

| グループ | 番号 | 割り込み 要求発生元 | 名称 | GEN[BA][EL]m. ENj ビット | GRP[BA][EL]m. ISj フラグ | GCRBEm. CLRj ビット | ベクタ番号 (IRn.IR) |
|------|------|---------------|-------------------|--------------------------|--------------------------|---------------------|-------------------|
| 省略 | | | | | | | |
| BL2 | 0 | SDSI | SDIOI (SDSI 割り込み) | GENBL2.EN0 | GRPBL2.IS0 | — | 107 |
| | 1~31 | 予約 | — | — | — | — | |
| 省略 | | | | | | | |

•Page 2042 of 2491

「表 44.3 SDSI のレジスタマップ」を以下のとおり訂正いたします。

【変更前】

| SDIO スペース | 機能 | SD ホスト | | CPU | |
|------------------------------|-------------------------|-------------|-----------------|----------|---------------------|
| | | R/W | アドレス | R/W | アドレス |
| CIA (Function 0) | CCCR | R/W | 000000h~0000FFh | — | — |
| | FBR | R/W | 000100h~0001FFh | — | — |
| | CIS | R | 001000h~00106Bh | R/W (注3) | 00095200h~0009526Bh |
| Function Unique (Function 1) | Register 1 (256 バイト) | R/W (注1) | 000000h~0000FFh | R/W | 00095800h~000958FFh |
| | Register 2 (256 バイト) | R (注1) | 000100h~0001FFh | W | 00095900h~000959FFh |
| | Register 3 (256 バイト) | W (注1) | 000200h~0002FFh | R | 00095A00h~00095AFFh |
| | Register 4 (2 バイト) (注4) | R/W (注1) | 000300h~000301h | R/W | 00095B00h~00095B01h |
| | Register 5 (1K バイト) | R/W (注1、注2) | 000400h~0007FFh | R/W (注2) | 00095C00h~00095FFFh |

注 1. DMA 転送使用時はアクセスできません。

注 2. SD ホスト/CPU 両側から同時アクセスできません。

注 3. SD ホストとの通信を開始する前に設定を完了させてください。

注 4. FN1 割り込みベクタレジスタ (FN1INTVECR) および FN1 割り込みクリアレジスタ (FN1INTCLRR)

【変更後】

| SDIO スペース | レジスタ | SD ホスト | | CPU | | |
|------------------------------|--------------------------|------------------|----------------------------|--------------------------------|----------------------|-----|
| | | アドレス | R/W | レジスタ | アドレス | R/W |
| CIA (Function 0) | CCCR | 000000h, 000001h | R | — | — | — |
| | | 000002h | R/W | SDSICR1 | 0009500Ah | R |
| | | 000003h | R | SDSICR1 | 0009500Ah | W |
| | | 000004h~000011h | R/W | — | — | — |
| | | 000012h | R/W | SDSICR1, SDSICR3 | 0009500Ah, 00095104h | R/W |
| | | 000013h | R/W | — | — | — |
| | FBR | 000100h, 000101h | R | FBR1 | 00095270h | R/W |
| | | 000102h | R/W | SDSICR1, SDSICR3 | 0009500Ah, 00095104h | R/W |
| | | 000103h | R | FBR2 | 00095274h | R/W |
| | | 000104h, 000105h | R | FBR3 | 00095278h | R/W |
| | | 000106h, 000107h | R | FBR4 | 0009527Ch | R/W |
| | | 000108h | R | FBR5 | 00095280h | R/W |
| | | 000109h~00010Bh | R | — | — | — |
| 000110h, 000111h | R/W | — | — | — | | |
| CIS | 001000h~00106Bh | R | CISDATAR _i (注3) | 00095200h~0009526Bh | R/W | |
| Function Unique (Function 1) | Register 1 (256 バイト) | 000000h~0000FFh | R/W | FN1DATAR1 _i (注1) | 00095800h~000958FFh | R/W |
| | Register 2 (256 バイト) | 000100h~0001FFh | R | FN1DATAR2 _i (注1) | 00095900h~000959FFh | W |
| | Register 3 (256 バイト) | 000200h~0002FFh | W | FN1DATAR3 _i (注1) | 00095A00h~00095AFFh | R |
| | Register 4 (2 バイト) | 000300h | R | FN1INTVECR (注1) | 00095B00h | R/W |
| | | 000301h | W | FN1INTCLRR (注1) | 00095B01h | R |
| | Register 5 (1K バイト) (注2) | 000400h~0007FFh | R/W | FN1DATAR5 _i (注1、注2) | 00095C00h~00095FFFh | R/W |

注 1. DMA 転送を有効にしたとき、これらのレジスタは使用されません。

注 2. SD ホストと CPU の両側から同時にアクセスできません。

注 3. SD ホストとの通信を開始する前に設定を完了させてください。

•Page 2055 of 2491

「44.3.13 SDSI 制御レジスタ 2 (SDSICR2)」の RSWAP ビット、WSWAP ビットの機能欄を以下のとおり訂正いたします。

【変更前】

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|---------|---|-----|
| b0 | RSWAP | リードスワップ | Function1 の Register1~5 にアクセスする際のデータをバイト単位で入れ替えてリードすることが可能です。 0：入れ替えなし 1：バイト単位で入れ替えてリード | R/W |
| b1 | — | 予約ビット | 読むと“0”が読めます。書く場合、“0”としてください | R/W |
| b2 | WSWAP | ライトスワップ | Function1 の Register1~5 にアクセスする際のデータをバイト単位で入れ替えてライトすることが可能です。 0：入れ替えなし 1：バイト単位で入れ替えてライト | R/W |
| 省略 | | | | |

【変更後】

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|---------|---|-----|
| b0 | RSWAP | リードスワップ | FN1DATAR1i、FN1DATAR2i、FN1DATAR3i、FN1DATAR5i レジスタにアクセスする際のデータをバイト・ワード単位で入れ替えてリードすることが可能です。 0：入れ替えなし 1：バイト・ワード単位で入れ替えてリード | R/W |
| b1 | — | 予約ビット | 読むと“0”が読めます。書く場合、“0”としてください | R/W |
| b2 | WSWAP | ライトスワップ | FN1DATAR1i、FN1DATAR2i、FN1DATAR3i、FN1DATAR5i レジスタにアクセスする際のデータをバイト・ワード単位で入れ替えてライトすることが可能です。 0：入れ替えなし 1：バイト・ワード単位で入れ替えてライト | R/W |
| 省略 | | | | |

•Page 2058 of 2491

「44.3.16 割り込みステータスレジスタ 2 (INTSR2)」の CDF フラグ、CDR フラグのビット名および機能欄を以下のとおり訂正いたします。

【変更前】

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--------------------|---|-----|
| b0 | CDF | カード検出無効 (Fall) フラグ | CCCR の CD-Disable ビットが“1”から“0”に変化したことを示すフラグです。 0：カード検出無効 (Fall) は変化なし 1：カード検出無効 (Fall) は“0”から“1”に変化 | R/W |
| b1 | CDR | カード検出無効 (Rise) フラグ | CCCR の CD-Disable ビットが“0”から“1”に変化したことを示すフラグです。 0：カード検出無効 (Rise) は変化なし 1：カード検出無効 (Rise) は“1”から“0”に変化 | R/W |
| 省略 | | | | |

【変更後】

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|-----------------------|---|-----|
| b0 | CDF | CD Disable 立ち下がり検出フラグ | CCCRのCD Disable ビットが“1”から“0”に変化したことを示すフラグです。 0：CD Disable ビットは変化なし 1：CD Disable ビットが“1”から“0”に変化 | R/W |
| b1 | CDR | CD Disable 立ち上がり検出フラグ | CCCRのCD Disable ビットが“0”から“1”に変化したことを示すフラグです。 0：CD Disable ビットは変化なし 1：CD Disable ビットが“0”から“1”に変化 | R/W |
| 省略 | | | | |

•Page 2059 of 2491

「44.3.17 DMA 制御レジスタ 2 (DMACR2)」のDMARSWAP[1:0]ビット、DMAWSWAP[1:0]ビットの機能欄を以下のとおり訂正いたします。

【変更前】

| ビット | シンボル | ビット名 | 機能 | R/W |
|-------|---------------|---------------|---|-----|
| b1-b0 | DMARSWAP[1:0] | DMA 転送リードスワップ | DMA 転送するデータをバイト/ワード単位で入れ替えリードすることが可能です。 b1 b0 00：入れ替えなし 01：バイト単位で入れ替えてリード 10：ワード単位で入れ替えてリード 11：バイト/ワード単位で入れ替えてリード (注1) | R/W |
| b3-b2 | DMAWSWAP[1:0] | DMA 転送ライトスワップ | DMA 転送するデータをバイト/ワード単位で入れ替えライトすることが可能です。 b3 b2 00：入れ替えなし 01：バイト単位で入れ替えてライト 10：ワード単位で入れ替えてライト 11：バイト/ワード単位で入れ替えてライト (注1) | R/W |
| 省略 | | | | |

【変更後】

| ビット | シンボル | ビット名 | 機能 | R/W |
|-------|---------------|---------------|--|-----|
| b1-b0 | DMARSWAP[1:0] | DMA 転送リードスワップ | DMA 転送するデータをバイト/ワード単位で入れ替えリードすることが可能です。(注1) b1 b0 00：バイト・ワード単位で入れ替えてリード 01：ワード単位で入れ替えてリード 10：バイト単位で入れ替えてリード 11：入れ替えなし | R/W |
| b3-b2 | DMAWSWAP[1:0] | DMA 転送ライトスワップ | DMA 転送するデータをバイト/ワード単位で入れ替えライトすることが可能です。(注1) b3 b2 00：バイト・ワード単位で入れ替えてライト 01：ワード単位で入れ替えてライト 10：バイト単位で入れ替えてライト 11：入れ替えなし | R/W |
| 省略 | | | | |

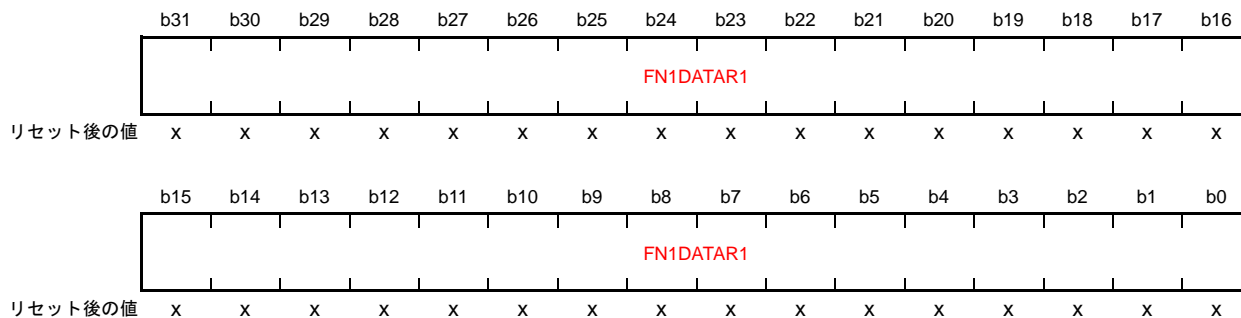
•Page 2063, 2064, 2065 of 2491

「44.3.24 FN1 データレジスタ 1i (FN1DATAR1i) (i = 0~63)」、「44.3.25 FN1 データレジスタ 2i (FN1DATAR2i) (i = 0~63)」、「44.3.26 FN1 データレジスタ 3i (FN1DATAR3i) (i = 0~63)」、「44.3.29 FN1 データレジスタ 5i (FN1DATAR5i) (i = 0~255)」のビット配置図、ビット機能表を以下のとおり変更いたします。

なお、以下の図、表は FN1DATAR1i レジスタを例に記載していますが、他のレジスタについても同様です。

【変更前】

アドレス SDSI.FN1DATAR10~SDSI.FN1DATAR163 0009 5800h~0009 58FFh

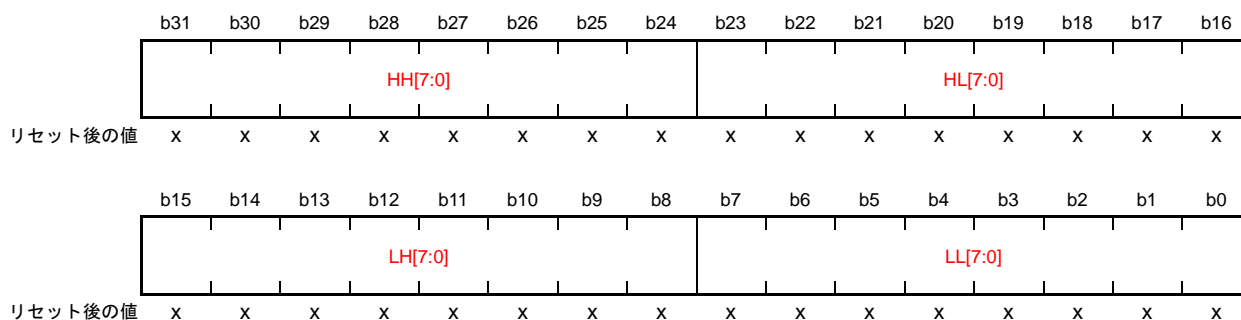


x: 不定

| ビット | シンボル | ビット名 | 機能 | SDホスト R/W | CPU R/W |
|-----|-----------|------|---------------------|-----------|---------|
| — | FN1DATAR1 | — | Function1 データレジスタ 1 | R/W | R/W |

【変更後】

アドレス SDSI.FN1DATAR10~SDSI.FN1DATAR163 0009 5800h~0009 58FFh



x: 不定

| ビット | シンボル | ビット名 | 機能 | SDホスト R/W | CPU R/W |
|---------|---------|------|--|-----------|---------|
| b7-b0 | LL[7:0] | — | Function1 データレジスタ 1 です。32 ビット単位または 8 ビット単位でアクセスできます。各バイトのアドレスオフセットは、HH[7:0]ビットが+0、HL[7:0]ビットが+1、LH[7:0]ビットが+2、LL[7:0]ビットが+3 です | R/W | R/W |
| b15-b8 | LH[7:0] | — | | R/W | R/W |
| b23-b16 | HL[7:0] | — | | R/W | R/W |
| b31-b24 | HH[7:0] | — | | R/W | R/W |

•Page 2067 of 2491

「44.4.2 SD データフォーマット」に以下の図を追加いたします。

【変更後】

44.4.2 SD データフォーマット

データ入れ替えを指定した場合のデータフォーマットを図 44.2 に示します。

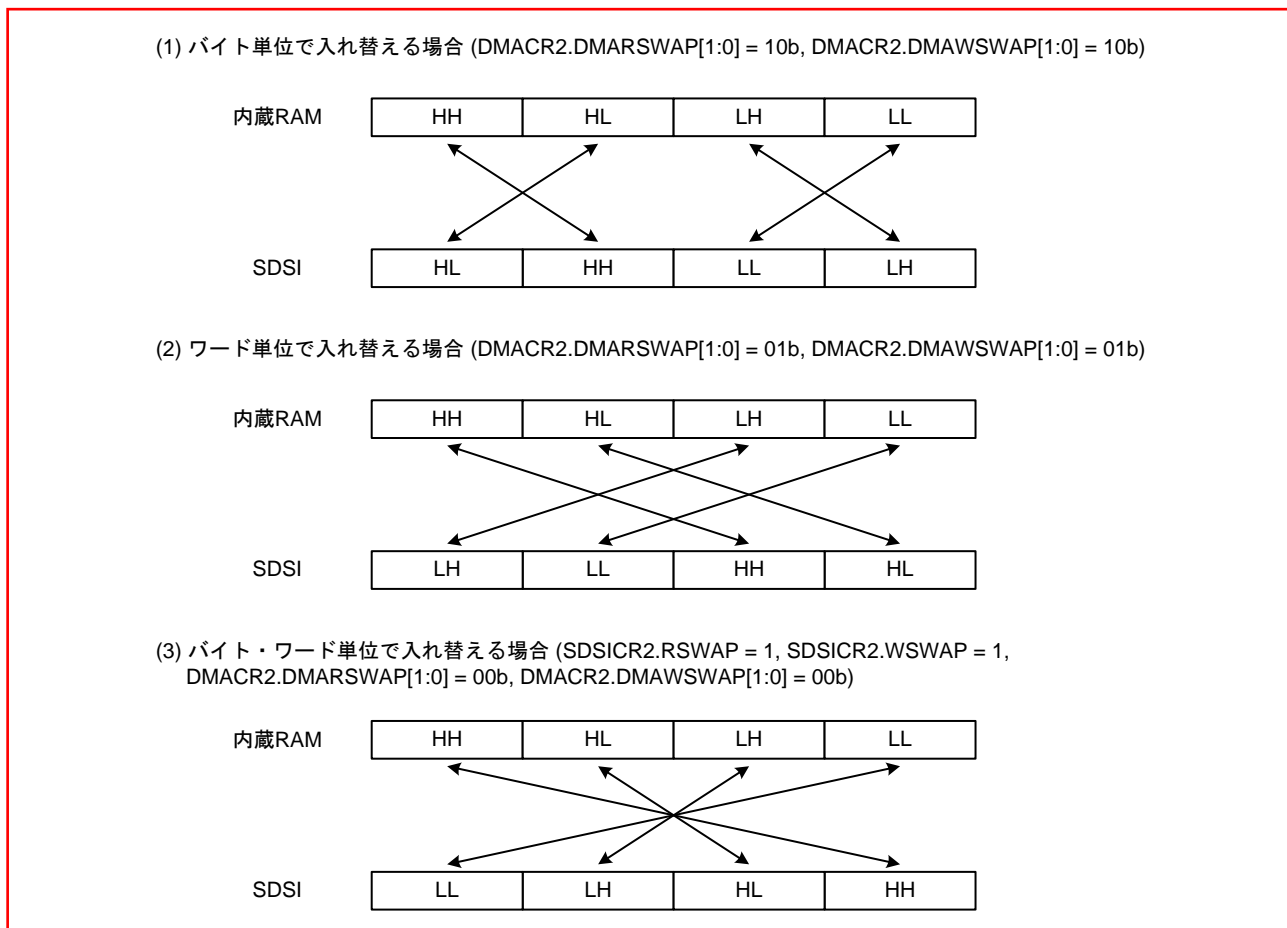


図 44.2 データ入れ替え実施時のデータフォーマット

•Page 2067 of 2491

「44.4.2 (1) FN1 データレジスタ使用時」を以下のとおり変更いたします。

【変更前】

(1) FN1 データレジスタ使用時

FN1 データレジスタ 1~5 (FN1DATAR1~5) を使用したデータ転送を行う場合、FN1DATAR への格納データと SD バス上のデータ転送順序を図 44.2 に示します。SD バス上の転送順序を考慮して FN1DATAR にアクセスしてください。なお、FN1DATAR へアクセスする際に、バイト単位でデータを入れ替えてアクセスすることも可能です。

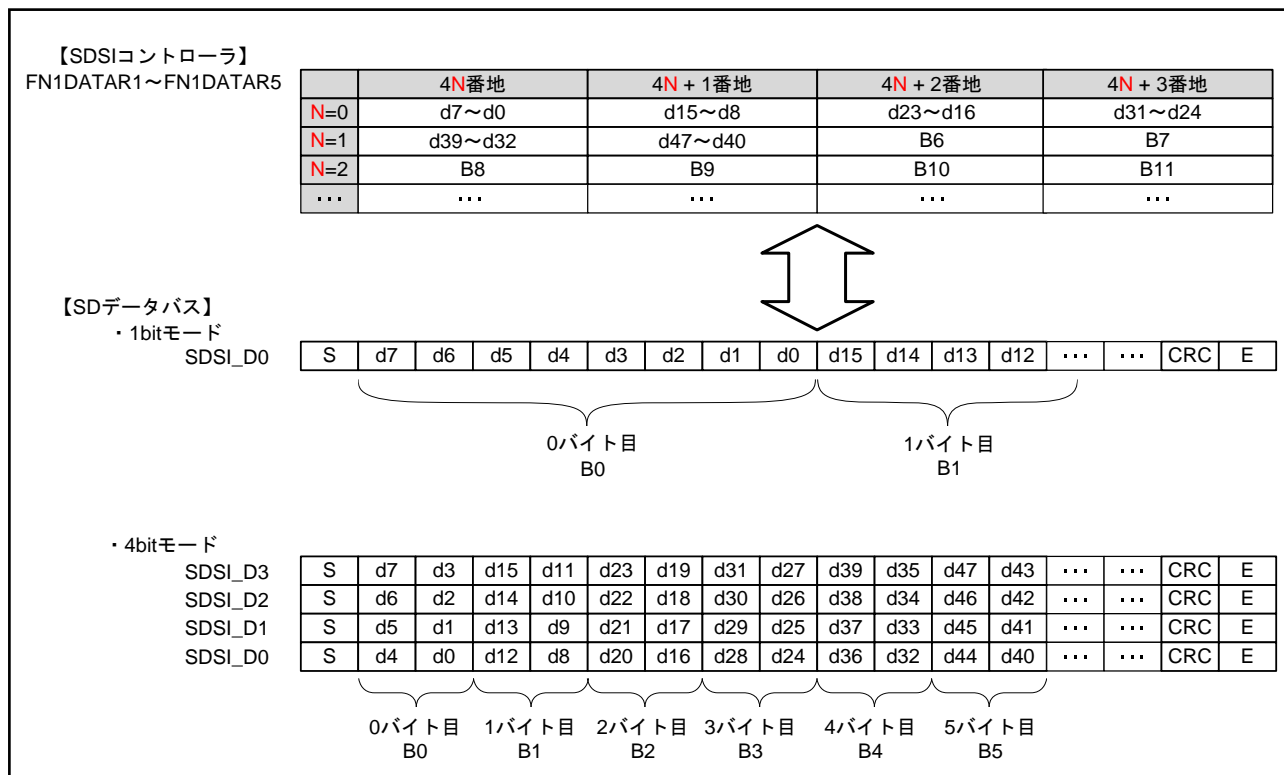


図 44.2 データフォーマット

【変更後】

(1) FN1 データレジスタ使用時

FN1 データレジスタ 1~5 (FN1DATAR1~5) を使用したデータ転送を行う場合、FN1DATAR レジスタへの格納データと SD バス上のデータ転送順序を図 44.3、図 44.4 に示します。SD バス上の転送順序を考慮して FN1DATAR レジスタにアクセスしてください。なお、FN1DATAR レジスタにアクセスする際に、バイト・ワード単位でデータを入れ替えてアクセスすることも可能です。

•Page 2068 of 2491

「44.4.2 (2) DMA 転送使用時」を以下のとおり変更いたします。

【変更前】

(2) DMA 転送使用時

DMA 転送を使用したデータ転送を行う場合、内蔵RAMの格納データとSDバス上のデータ転送順序を図44.3に示します。

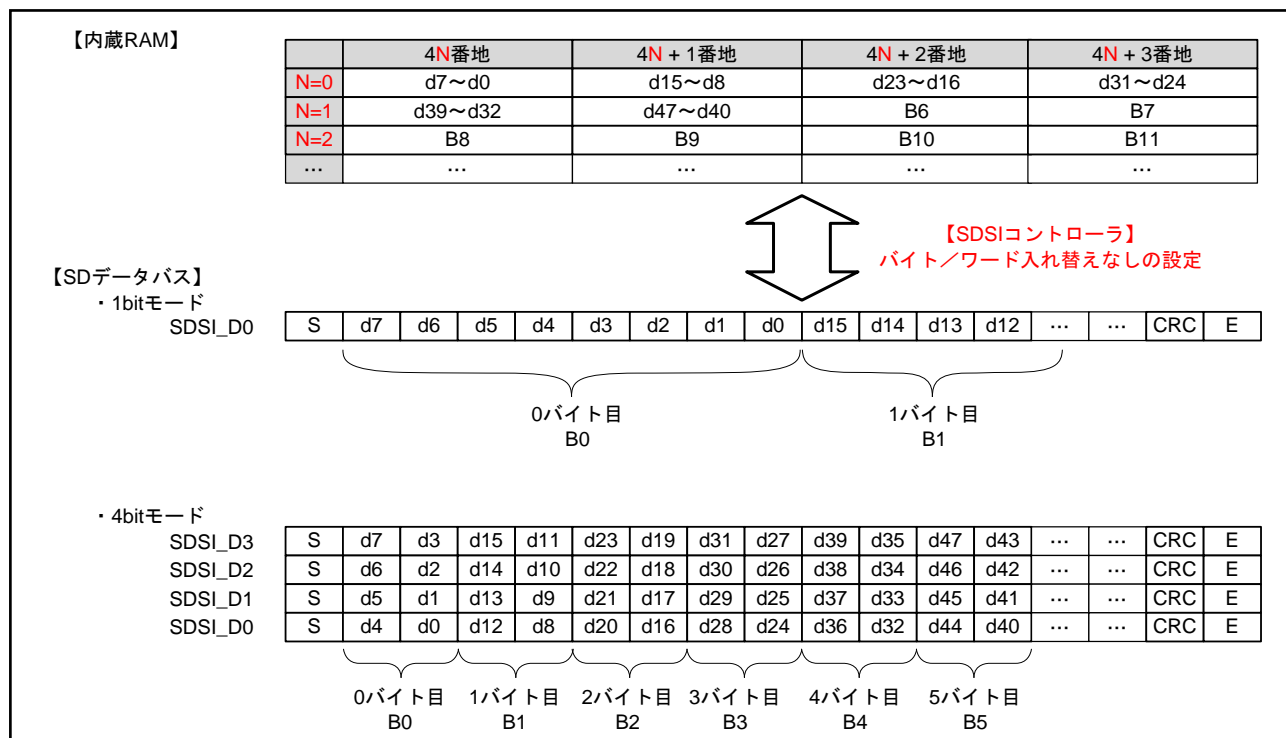


図 44.3 データフォーマット (バイト/ワード入れ替えなし)

また、バイト/ワード入れ替えを設定した場合のバス上のデータ転送順序を図44.4に示します。

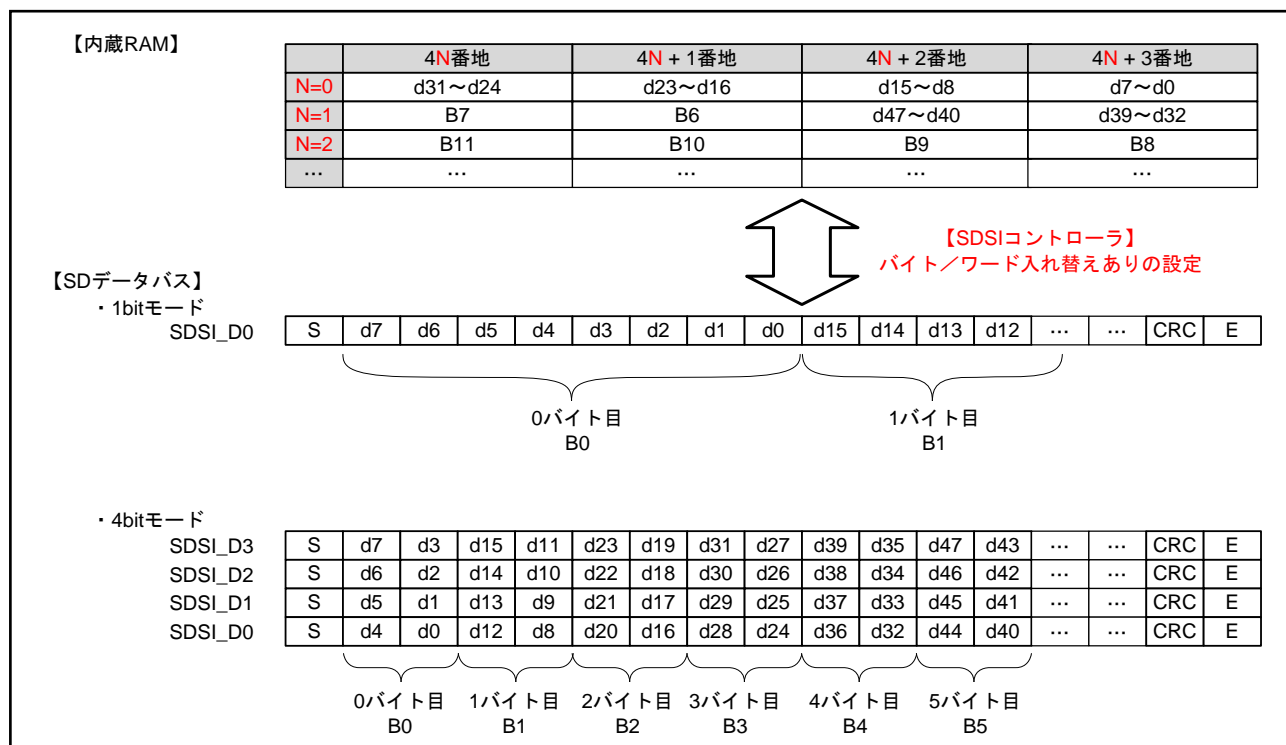


図 44.4 データフォーマット (バイト/ワード入れ替えあり)

•Page 2304 of 2491

「50.6.7 ソフトウェアスタンバイモード解除時の注意」と「50.6.8 外部バス使用時の注意事項」の間に、下記注意事項を追加いたします。

【変更後】

50.6.8 12ビットA/Dコンバータを使用する場合の端子の設定

12ビットA/Dコンバータのユニット0を使用する場合は、P40～P47、P03、P05、P07端子を出力端子として使用しないでください。また、P00～P02、P90～P93、PD0～PD7、PE0～PE7端子についても出力端子として使用しないことを推奨します。P00～P02、P90～P93、PD0～PD7、PE0～PE7端子を出力端子として使用する場合は、A/D変換を複数回実施し、最大値と最小値を除いて平均をとるなどの対策を行ってください。

12ビットA/Dコンバータのユニット1を使用する場合、P00～P02、P90～P93、PD0～PD7、PE0～PE7端子を出力端子として使用しないことを推奨します。これらの端子を出力端子として使用する場合は、A/D変換を複数回実施し、最大値と最小値を除いて平均をとるなどの対策を行ってください。

•Page 2411 of 2491

「表 57.6 DC特性 (4)」のアナログ電源電流の特性を以下のとおり訂正いたします。

【変更前】

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 | |
|--------------------------|------------------------------|--------------------|-----|------|-----|------|---|
| アナログ電源電流 ^(注1) | 省略 | | | | | | |
| | A/D, D/A、温度センサスタンバイ時 (全ユニット) | Al _{CC} | — | 1.4 | 4.5 | μA | I _{AVCC0} + I _{AVCC1} |
| リファレンス電源電流 | 12ビットA/D変換中 (ユニット0) | Al _{REFH} | — | 25 | 40 | μA | I _{VREFH0} |
| | 12ビットA/D変換待機時 (ユニット0) | | — | 0.07 | 0.4 | μA | I _{VREFH0} |
| | 12ビットA/Dスタンバイ時 (ユニット0) | | — | 0.07 | 0.2 | μA | I _{VREFH0} |
| 省略 | | | | | | | |

【変更後】

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 | |
|--------------------------|------------------------------|--------------------|-----|------|-----|------|---|
| アナログ電源電流 ^(注1) | 省略 | | | | | | |
| | A/D, D/A、温度センサスタンバイ時 (全ユニット) | Al _{CC} | — | 1.4 | 6.7 | μA | I _{AVCC0} + I _{AVCC1} |
| リファレンス電源電流 | 12ビットA/D変換中 (ユニット0) | Al _{REFH} | — | 25 | 40 | μA | I _{VREFH0} |
| | 12ビットA/D変換待機時 (ユニット0) | | — | 0.07 | 0.5 | μA | I _{VREFH0} |
| | 12ビットA/Dスタンバイ時 (ユニット0) | | — | 0.07 | 0.4 | μA | I _{VREFH0} |
| 省略 | | | | | | | |

•Page 2421 of 2491

「表 57.19 低消費電力状態からの復帰タイミング (1)」のサブクロック発振器動作の特性を以下のとおり訂正いたします。

【変更前】

| 項目 | 記号 | min | typ | max | | 単位 | 測定条件 |
|----------------------------|-------------|--------------------|-----|----------------------------|---|--|------------|
| | | | | t _{SBYOSCWT} (注2) | t _{SBYSEQ} (注3) | | |
| ソフトウェアスタンバイモード解除後復帰時間 (注1) | 省略 | | | | | | |
| | サブクロック発振器動作 | t _{SBYSC} | — | — | {(SSTS[7:0]ビット×6384) + 13}/0.216 + 10/f _{FCLK} | 100μs + 4/f _{I_{CLK}} + 2n/f _{SUB} | μs 図 57.12 |
| | 省略 | | | | | | |

【変更後】

| 項目 | 記号 | min | typ | max | | 単位 | 測定条件 |
|----------------------------|-------------|--------------------|-----|----------------------------|--|--|------------|
| | | | | t _{SBYOSCWT} (注2) | t _{SBYSEQ} (注3) | | |
| ソフトウェアスタンバイモード解除後復帰時間 (注1) | 省略 | | | | | | |
| | サブクロック発振器動作 | t _{SBYSC} | — | — | {(SSTS[7:0]ビット×16384) + 13}/0.216 + 10/f _{FCLK} | 100 + 4/f _{I_{CLK}} + 2n/f _{SUB} | μs 図 57.12 |
| | 省略 | | | | | | |

•Page 2448 of 2491

「表 57.33 RSPI タイミング」を以下のとおり訂正いたします。

【変更前】

| 項目 | | 記号 | min (注1) | max (注1) | 単位 (注1) | 測定条件 | |
|------------|-------------------------|------------------|---------------------|---|---|--------------------|---------------------|
| RSPI | 省略 | | | | | | |
| | RSPCK クロック High レベルパルス幅 | マスタ | t _{SPCKWH} | (t _{SPcyc} - t _{SCKr} - t _{SCKf}) / 2 - 3 | — | ns | |
| | | スレーブ | | (t _{SPcyc} - t _{SCKr} - t _{SCKf}) / 2 | — | | |
| | RSPCK クロック Low レベルパルス幅 | マスタ | t _{SPCKWL} | (t _{SPcyc} - t _{SCKr} - t _{SCKf}) / 2 - 3 | — | ns | |
| | | スレーブ | | (t _{SPcyc} - t _{SCKr} - t _{SCKf}) / 2 | — | | |
| | 省略 | | | | | | |
| | 連続送信遅延時間 | マスタ | t _{TD} | t _{SPcyc} + 2 × t _{PACyc} | 8 × t _{SPcyc} + 2 × t _{PACyc} | ns | |
| | | スレーブ | | 4 × t _{PACyc} | — | | |
| | 省略 | | | | | | |
| | スレーブアクセス時間 | | t _{SA} | — | 2 × t _{PACyc} + 28 | t _{PACyc} | 図 57.49、 図 57.50 |
| スレーブ出力開放時間 | | t _{REL} | — | 2 × t _{PACyc} + 28 | t _{PACyc} | | |

【変更後】

| 項目 | | 記号 | min (注1) | max (注1) | 単位 (注1) | 測定条件 | |
|------------|----------------------------|-----------|--------------|---|---|------|---|
| RSPI | 省略 | | | | | | |
| | RSPCK クロック High レベルパルス幅 | マスタ | t_{SPCKWH} | $(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$ | — | ns | |
| | | スレーブ | | | | | $(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$ |
| | RSPCK クロック Low レベルパルス幅 | マスタ | t_{SPCKWL} | $(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$ | — | ns | |
| | | スレーブ | | | | | $(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$ |
| | 省略 | | | | | | |
| | 連続送信遅延時間 | マスタ | t_{TD} | $t_{SPcyc} + 2 \times t_{PAcyc}$ | $8 \times t_{SPcyc} + 2 \times t_{PAcyc}$ | ns | |
| | | スレーブ | | $6 \times t_{PAcyc}$ | — | | |
| | 省略 | | | | | | |
| | スレーブアクセス時間 | | t_{SA} | — | $2 \times t_{PAcyc} + 28$ | ns | 図 57.49、 図 57.50 |
| スレーブ出力開放時間 | | t_{REL} | — | $2 \times t_{PAcyc} + 28$ | ns | | |

以上