

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
 ルネサス エレクトロニクス株式会社  
 問合せ窓口 <http://japan.renesas.com/contact/>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RX*-A179A/J	Rev.	第1版
題名	RX130 グループ ユーザーズマニュアル ハードウェア編の誤記訂正		情報分類	技術情報	
適用製品	RX130 グループ	対象ロット等	関連資料	RX130 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0560JJ0100)	
		全ロット			

RX130 グループ ユーザーズマニュアル ハードウェア編において、誤記ならびに注意事項の過不足がありましたので、以下のとおり訂正いたします。

## Page 103 of 1308

「表 5.1 I/O レジスタアドレス一覧 (11/15)」のオープンドレイン制御レジスタのアクセスサイズから以下のとおり 16 ビットを削除いたします。

### 【変更前】

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
省略							
0008 C082h	PORT1	オープンドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	18 章
0008 C083h	PORT1	オープンドレイン制御レジスタ 1	ODR1	8	8、16	2~3PCLKB	18 章
0008 C085h	PORT2	オープンドレイン制御レジスタ 1	ODR1	8	8、16	2~3PCLKB	18 章
0008 C086h	PORT3	オープンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	18 章
0008 C087h	PORT3	オープンドレイン制御レジスタ 1	ODR1	8	8、16	2~3PCLKB	18 章
0008 C094h	PORTA	オープンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	18 章
0008 C095h	PORTA	オープンドレイン制御レジスタ 1	ODR1	8	8、16	2~3PCLKB	18 章
0008 C096h	PORTB	オープンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	18 章
0008 C098h	PORTC	オープンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	18 章
0008 C099h	PORTC	オープンドレイン制御レジスタ 1	ODR1	8	8、16	2~3PCLKB	18 章
0008 C09Ah	PORTD	オープンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	18 章
0008 C09Ch	PORTE	オープンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	18 章
省略							

【変更後】

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
省略							
0008 C082h	PORT1	オープンドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	18 章
0008 C083h	PORT1	オープンドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	18 章
0008 C085h	PORT2	オープンドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	18 章
0008 C086h	PORT3	オープンドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	18 章
0008 C087h	PORT3	オープンドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	18 章
0008 C094h	PORTA	オープンドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	18 章
0008 C095h	PORTA	オープンドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	18 章
0008 C096h	PORTB	オープンドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	18 章
0008 C098h	PORTC	オープンドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	18 章
0008 C099h	PORTC	オープンドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	18 章
0008 C09Ah	PORTD	オープンドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	18 章
0008 C09Ch	PORTE	オープンドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	18 章
省略							

Page 1110 of 1308

「32.8.7 ソフトウェアスタンバイモード解除時の注意」と「32.8.8 断線検出アシスト機能使用時の絶対精度誤差」の間に、下記注意事項を追加いたします。

【変更後】

32.8.8 12ビット A/D コンバータを使用する場合の端子の設定

12ビット A/D コンバータを使用する場合は、ポート 4 の各端子を出力に設定しないでください。ポート 4 の回路の一部でアナログ電源を使用しているため、出力にすると A/D 変換精度に影響することがあります。

Page 1111 of 1308

「32.8.9 ADHSC ビットの書き換え手順」から以下のとおり注記を削除いたします。

【変更前】

【ADCSR.ADHSC ビットの書き換え手順】

1. スリープビット (ADHVREFCNT.ADSLPL) を“1”にする。
2. 0.2μs 以上待つてから、AD 変換動作選択ビット (ADCSR.ADHSC) を書き換える。
3. 4.8μs 以上待つてから、スリープビット (ADHVREFCNT.ADSLPL) を“0”にする。

注: AD 変換動作選択ビット (ADCSR.ADHSC) の書き換え以外で、ADHVREFCNT.ADSLPL ビットを“1”にすることは禁止です。

注: AD 変換動作選択ビット (ADCSR.ADHSC) が“1”の状態のリセットを行わないでください。スリープビット (ADHVREFCNT.ADSLPL) の書き換え手順に従い A/D 変換動作選択ビット (ADCSR.ADHSC) を“0”にした後、または、モジュールストップモードへ遷移させてからリセットを行ってください。

【変更後】

【ADCSR.ADHSC ビットの書き換え手順】

1. スリープビット (ADHVREFCNT.ADSL P) を“1”にする。
2. 0.2μs 以上待ってから、AD 変換動作選択ビット (ADCSR.ADHSC) を書き換える。
3. 4.8μs 以上待ってから、スリープビット (ADHVREFCNT.ADSL P) を“0”にする。

注. AD 変換動作選択ビット (ADCSR.ADHSC) の書き換え以外で、ADHVREFCNT.ADSL P ビットを“1”にすることは禁止です。

Page 1266 of 1308

「表 39.32 内蔵周辺モジュールタイミング(2)」を以下のとおり訂正いたします。

【変更前】

項目			記号	min.	max.	単位	測定条件
RSPi	RSPCK クロック サイクル	マスタ	t <sub>SPcyc</sub>	2	4096	t <sub>Pcyc</sub> (注1)	図 39.45
		スレーブ		8	4096		
(省略)							

【変更後】

項目			記号	min.	max.	単位	測定条件
RSPi	RSPCK クロック サイクル	マスタ	t <sub>SPcyc</sub>	2	4096	t <sub>Pcyc</sub> (注1)	図 39.45
		スレーブ		8	—		
(省略)							

Page 1267 of 1308

「表 39.33 内蔵周辺モジュールタイミング(3)」を以下のとおり訂正いたします。

【変更前】

項目		記号	min.	max.	単位 (注1)	測定条件
簡易 SPI	SCK クロックサイクル出力 (マスタ)	t <sub>SPcyc</sub>	4	65536	t <sub>Pcyc</sub>	図 39.45
	SCK クロックサイクル入力 (スレーブ)		6	65536	t <sub>Pcyc</sub>	
(省略)						

【変更後】

項目		記号	min.	max.	単位 (注1)	測定条件
簡易 SPI	SCK クロックサイクル出力 (マスタ)	t <sub>SPcyc</sub>	4	65536	t <sub>Pcyc</sub>	図 39.45
	SCK クロックサイクル入力 (スレーブ)		6	—	t <sub>Pcyc</sub>	
(省略)						

以上