

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

MESC TECHNICAL NEWS

No.M32R-20-0002

M32000D4AFPユーザーズマニュアル 追加情報 (Rev.C)

1997年9月に発行されました「M32000D4AFPユーザーズマニュアル」(印刷番号：HU-080A)に、一部内容の訂正がありましたのでお知らせいたします。本マニュアルをご使用の際は、留意のほどよろしくお願いいたします。

添付の正誤表 (Rev.C) には、同マニュアルの正誤表 (Rev.B) (ニュース No.M32R-08-9804) の内容も記載しています (Rev.Cで追加した内容は左端の 印で示しています)。

添付資料：M32000D4AFPユーザーズマニュアル正誤表 (Rev.C)

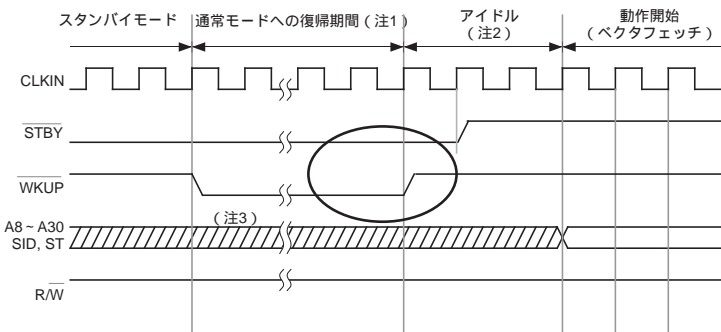
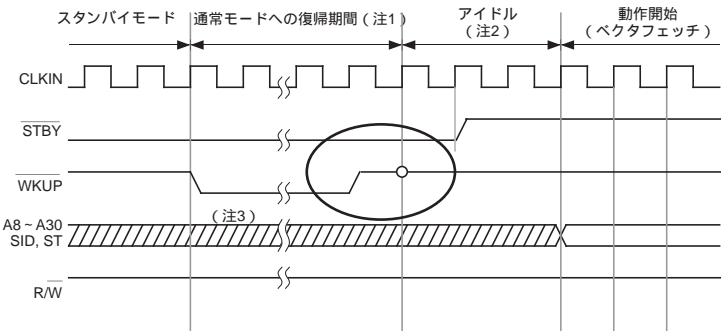
.....10枚

ページ	箇所		内容
2-2	2.1 CPUレジスタ 2行目	(誤) (正)	アキュムレータは64ビット アキュムレータは56ビット (変更)
2-6	2.4 アキュム レータ 1行目	(誤) (正)	アキュムレータ(ACC)は、DSP機能用命令で使用される64ビットのレジスタです。アキュムレータは乗算命令「MUL」でも使用され、この命令実行の際はアキュムレータの値が破壊されるので注意してください。 アキュムレータ(ACC)は、DSP機能用命令で使用される56ビットのレジスタです。読み出し時や書き込み時には64ビットのレジスタとして扱われ、読み出し時にはビット8の値が符号拡張されます。書き込み時にはビット0~7は無視されます。また、アキュムレータは乗算命令「MUL」でも使用され、この命令実行の際はアキュムレータの値が破壊されるので注意してください。(変更)
4-16	4.9.2 [EIT処理] (2) 最下行	(誤) (正)	なお、スレーブモードに設定されている場合は、これ以降の処理を行わず、マスタからの外部割り込みが入力されるのを待ちます。(追加)
4-17	4.9.3 10行目	(誤) (正)	スレーブモードに設定されたM32000D4AFPを、リセット解除後に動作開始させる。 スレーブモードに設定されたM32000D4AFPを、リセット解除後およびスタンバイモード復帰後に動作開始させる。(変更)
4-17	4.9.3 [発生条件] 2行目	(誤) (正)	(CPUスリープモード時は、常にSBI端子のチェックが行われます)。 (スレーブモードでの、リセット解除後およびスタンバイモード復帰後に動作開始させる場合、およびCPUスリープモード時は、常にSBI端子のチェックが行われます)。(変更)
4-18	4.9.3 [発生条件] 最終行 (4-18頁先頭)	(誤) (正)	(注意) M32R CPU非動作時のSBI信号入力について 通常動作モード時、M32R CPUはワード境界にある命令の切れ目でSBI端子をチェックするため、割り込みが受け付けられるまでSBI端子に"L"レベル信号を入力し続ける必要がありますが、以下の場合は常にSBI端子のチェックが行われるため、"1CLKIN"幅の"L"レベル信号をSBI端子に入力することで必ず割り込み要求が受け付けられます。 スレーブモードで、リセット解除後に動作開始させる場合 スレーブモードで、スタンバイモード復帰後に動作開始させる場合 CPUスリープモードから復帰する場合 (追加)
4-19	4.9.4 10行目	(誤) (正)	スレーブモードに設定されたM32000D4AFPを、リセット解除後に動作開始させる。 スレーブモードに設定されたM32000D4AFPを、リセット解除後およびスタンバイモード復帰後に動作開始させる。(変更)
4-19	4.9.4 [発生条件] 2行目	(誤) (正)	(スレーブモードでの、リセット解除後およびスタンバイモード復帰後に動作開始させる場合、およびCPUスリープモード時は、常にINT端子のチェックが行われます)。(追加)
4-20	4.9.4 [発生条件] 最終行 (4-20頁先頭)	(誤) (正)	(注意) M32R CPU非動作時のINT信号入力について 通常動作モード時、M32R CPUはワード境界にある命令の切れ目でINT端子をチェックするため、割り込みが受け付けられるまでINT端子に"L"レベル信号を入力し続ける必要がありますが、以下の場合は常にINT端子のチェックが行われるため、"1CLKIN"幅の"L"レベル信号をINT端子に入力することで必ず割り込み要求が受け付けられます。 スレーブモードで、リセット解除後に動作開始させる場合 スレーブモードで、スタンバイモード復帰後に動作開始させる場合 CPUスリープモードから復帰する場合 (追加)
5-2	5.2.2 内蔵 DRAMのリフ レッシュ動作	(誤) (正)	リフレッシュ動作は内部1024クロック毎に行われ、 リフレッシュ動作は内部512クロック毎に行われ、 (変更)

ページ	箇所	内容
5-2	5.2.2 最終行	(誤) 内蔵のフリーランタイムによるオートリフレッシュが行われます。 (正) 内蔵のフリーランタイムによるセルフリフレッシュが行われます。(変更)
5-6	図5.3.2 M32R CPUからのアクセス時間	<p>(誤)</p> <p>(正)</p> <p>(変更)</p>
5-13	5.5.2 (2) パワーマネジメント制御レジスタ CPUスリープモード	<p>(誤) INTまたはSBI信号入力で通常動作モードに復帰するとMPMRレジスタの値は保持されますので、外部割り込みハンドラまたはSBIハンドラでの入力要因判別フラグとして使用した後、「00」にクリアしてください。なお、MPMRレジスタの内容は保持されますが、PM0, PM1="10"の書き込みを行わない限り、再びCPUスリープモードへ移行することはありません。</p> <p>(正) INTまたはSBI信号入力で通常動作モードに復帰するとMPMRレジスタの値は保持されますので、外部割り込みハンドラまたはSBIハンドラでの入力要因判別フラグとして使用した後、必ずPM0, PM1="00"にクリアしてください。なお、MPMRレジスタの内容は、割り込みハンドラでクリアするまで保持されますが、PM0, PM1="10"の書き込みを行わない限り、再びCPUスリープモードへ移行することはありません。 CPUスリープモードからの復帰時に、PM0,PM1="00"のクリアを行わず、再度低消費電力モードであるスタンバイモードあるいはCPUスリープモードへの移行を指定した場合の動作は保証されません。必ずPM0,PM1="00"のクリアを行ってください。(変更、追加)</p>
5-13	5.5.2 (2) パワーマネジメント制御レジスタ スタンバイモード	<p>(誤) WKUP信号入力で通常動作モードに復帰するとMPMRレジスタの値は保持されますので、リセット割り込みハンドラでの入力要因判別フラグとして使用した後、「00」を書き込んでください。なお、MPMRレジスタの内容は保持されますが、PM0, PM1="11"の書き込みを行わない限り、再びスタンバイモードへ移行することはありません。</p> <p>(正) WKUP信号入力で通常動作モードに復帰するとMPMRレジスタの値は保持されますので、リセット割り込みハンドラでの入力要因判別フラグとして使用した後、必ずPM0, PM1="00"にクリアしてください。なお、MPMRレジスタの内容は、リセット割り込みハンドラでクリアするまで保持されますが、PM0, PM1="11"の書き込みを行わない限り、再びスタンバイモードへ移行することはありません。 スタンバイモードからの復帰時に、PM0,PM1="00"のクリアを行わず、再度低消費電力モードであるスタンバイモードあるいはCPUスリープモードへの移行を指定した場合の動作は保証されません。必ずPM0,PM1="00"のクリアを行ってください。(変更、追加)</p>

M32000D4AFPユーザーズマニュアル正誤表(Rev.C)

ページ	箇所	内容
6-16	6.6.1 外部 バスマスタ リード サイクル 下3行目	(誤) リードバスサイクルが完了したら、CSを直ちに"H"に戻してください。 (正) 一旦起動した外部バスマスタリードサイクルを途中で放棄することはできません。CS="L"を入力してアクセスを起動した場合、ウエイトサイクル中(DC="H"期間)はCS="L"およびアドレスその他制御信号入力値を保持し、M32000D4AFPが最後のリードサイクルに対応するDC="L"を出力(アクセス終了)したCLKIN立ち下がりから次のCLKIN立ち下がりまでの間に、CSを"H"に戻してください。(変更、追加)
6-17	図6.6.1の 注釈文 最下行	(誤) (正) また、このウエイトサイクル期間中にCSを"H"に戻す(アクセスを途中放棄する)ことはできません。CS="H"への変化は、必ずDC="L"(アクセス完了)時に行ってください。(追加)
6-18	6.6.2 外部 バスマスタ ライト サイクル 下3行目	(誤) ライトバスサイクルが完了したら、CSを直ちに"H"に戻します。 (正) 一旦起動した外部バスマスタライトサイクルを途中で放棄することはできません。CS="L"を入力してアクセスを起動した場合、ウエイトサイクル中(DC="H"期間)はCS="L"およびアドレスその他制御信号入力値を保持し、M32000D4AFPが最後のライトサイクルに対応するDC="L"を出力(アクセス終了)したCLKIN立ち下がりから次のCLKIN立ち下がりまでの間に、CSを"H"に戻してください。(変更、追加)
6-19	図6.6.2の 注釈文 最下行	(誤) (正) また、このウエイトサイクル期間中にCSを"H"に戻す(アクセスを途中放棄する)ことはできません。CS="H"への変化は、必ずDC="L"(アクセス完了)時に行ってください。(追加)
7-3	図7.2.1 下部 スレーブモード M32000D4AFP の起動 注2	(誤) (正) スレーブモードで、リセット解除後およびスタンバイモード復帰後に動作開始させる場合、常にINT端子およびSBI端子のチェックが行われるため、どちらかの端子に"1CLKIN"幅の"L"レベル信号を入力することで、必ず割り込み要求が受け付けられます。(追加)
7-5	7.2.4 データ コヒーレンシ の確保 最下行	(誤) 「M32RファミリCPU命令セットユーザーズマニュアル」をご覧ください。 (正) 「M32Rファミリソフトウェアマニュアル」をご覧ください。(変更)
7-4	7.2.4章追加	(誤) 「7.2.4 データコヒーレンシの確保」の前に下記項目を追加
7-5		(正) 7.2.4 スレーブモード時のスタンバイモードからの復帰動作(追加) スタンバイモードからの復帰時、スレーブモードに設定されたM32000D4AFPは、RSTまたはWKUP信号入力後もリセットベクタへの命令フェッチ動作を行いません。割り込み入力待ち状態になり、INTまたはSBI信号に"L"を入力することでそれぞれ対応する割り込みベクタエントリから動作を開始します。(追加) 7.2.5 データコヒーレンシの確保(移行同じ)

ページ	箇所	内容
8-4	8.2.3(1) WKUP信号 入力による 復帰	<p>(誤) WKUP信号で復帰する場合の動作は、内蔵DRAMおよびMPMRレジスタの内容が保持されることを除いてリセット時とまったく同じです。WKUP信号が入力されると、リセットベクタエントリから実行を再開します。</p> <p>(正) WKUP信号で復帰する場合の動作は、内蔵DRAMおよびPPCR0,PPCR1,PPDR0,PPDR1,MLCR,MPMRレジスタの内容が保持されることを除いてリセット時と同じです。M32000D4AFPがマスターモードに設定されている場合、WKUP信号が入力されると、リセットベクタエントリから実行を再開します。M32000D4AFPがスレープモードに設定されている場合、リセット解除後の起動時と同様にリセットベクタへの命令フェッチ動作を行いません。割り込み入力待ち状態になり、INTまたはSBI信号に"L"を入力することでそれぞれ対応する割り込みベクタエントリから動作を開始します。(変更)</p>
8-5	8.2.3(1) WKUP信号 入力による 復帰 後半5行	<p>(誤) WKUP信号入力で通常動作モードに復帰するとMPMRレジスタの内容(PM0, PM1="11")は保持されますので、リセット割り込みハンドラでの入力要因(RST入力かWKUP入力か)の判別フラグとして使用した後、PM0, PM1="00"にクリアします。なお、MPMRレジスタの内容は保持されますが、PM0, PM1="11"の書き込みを行わない限り、再びスタンバイモードへ移行することはありません。</p> <p>(正) WKUP信号入力で通常動作モードに復帰するとMPMRレジスタの内容(PM0, PM1="11")は保持されますので、割り込みハンドラでの入力要因(RST入力かWKUP入力か)の判別フラグとして使用した後、必ずPM0, PM1="00"にクリアしてください。なお、MPMRレジスタの内容は、割り込みハンドラでクリアするまで保持されますが、PM0, PM1="11"の書き込みを行わない限り再びスタンバイモードへ移行することはありません。 スタンバイモードからの復帰時に、PM0,PM1="00"のクリアを行わず、再度低消費電力モードであるスタンバイモードあるいはCPUスリープモードへの移行を指定した場合の動作は保証されません。必ずPM0,PM1="00"のクリアを行ってください。(変更、追加)</p>
8-5	8.2.3(2) RST信号入力 による復帰 最下行	<p>(誤)</p> <p>(正) M32000D4AFPがスレープモードに設定されている場合、リセット解除後の起動時と同様に割り込み入力待ち状態になり、INTまたはSBI信号に"L"を入力することでそれぞれ対応する割り込みベクタエントリから動作を開始します。(追加)</p>
8-5	図8.2.2 タイトル	<p>(誤) スタンバイモードからの復帰(WKUP信号入力)</p> <p>(正) WKUP信号入力によるスタンバイモードからの復帰(マスターモード時)(変更)</p>
8-5	図8.2.2 スタンバイ タイミング	<p>(誤)</p>  <p>(正)</p>  <p>(変更)</p>

ページ	箇所		内容																																				
8-5 8-6間	表8.2.2 追加、変更	(誤) (正)	<p>以下にWKUP信号入力によるスタンバイモード復帰直後の内部状態を示します。</p> <p>表8.2.2 WKUP信号入力によるスタンバイモード復帰直後の内部状態</p> <table border="1"> <thead> <tr> <th data-bbox="464 510 544 539">内部資源</th> <th data-bbox="751 510 975 539">内部資源の状態または動作</th> </tr> </thead> <tbody> <tr> <td data-bbox="464 555 560 584">内蔵DRAM</td> <td data-bbox="751 555 831 584">前値保持</td> </tr> <tr> <td data-bbox="464 607 655 636">内蔵キャッシュメモリ</td> <td data-bbox="751 607 927 636">無効(すべてページ)</td> </tr> <tr> <td data-bbox="464 658 679 687">汎用レジスタ(R0~R15)</td> <td data-bbox="751 658 791 687">不定</td> </tr> <tr> <td colspan="2" data-bbox="464 710 576 739">制御レジスタ</td> </tr> <tr> <td data-bbox="504 761 616 790">PSW(CR0)</td> <td data-bbox="751 761 1358 790">B'0000 0000 0000 0000 ??00 000? 0000 0000 (BSM, BIE, BCは不定)</td> </tr> <tr> <td data-bbox="504 813 608 842">CBR(CR1)</td> <td data-bbox="751 813 863 842">H'0000 0000</td> </tr> <tr> <td data-bbox="504 864 600 893">SP(CR2)</td> <td data-bbox="751 864 791 893">不定</td> </tr> <tr> <td data-bbox="504 916 608 945">SPU(CR3)</td> <td data-bbox="751 916 791 945">不定</td> </tr> <tr> <td data-bbox="504 967 608 996">BP(CR6)</td> <td data-bbox="751 967 791 996">不定</td> </tr> <tr> <td data-bbox="504 1019 536 1048">PC</td> <td data-bbox="751 1019 1278 1160"> マスタモード時: H'7FFF FFF0から実行 スレーブモード時: H'7FFF FFF0で割り込み入力待ち SBI信号入力によりH'00000010番地から実行 INT信号入力によりH'00000080番地から実行 </td> </tr> <tr> <td data-bbox="504 1182 703 1211">ACQ(アキュムレ-タ)</td> <td data-bbox="751 1182 791 1211">不定</td> </tr> <tr> <td colspan="2" data-bbox="464 1234 639 1263">内蔵I/O制御レジスタ</td> </tr> <tr> <td data-bbox="504 1285 639 1314">PPCR0,PPCR1</td> <td data-bbox="751 1285 831 1314">前値保持</td> </tr> <tr> <td data-bbox="504 1337 639 1366">PPDR0,PPDR1</td> <td data-bbox="751 1337 1262 1404"> B'0000 000?: 出力ポート設定時は前値保持 : 入力ポート設定時は端子入力状態に依存 </td> </tr> <tr> <td data-bbox="504 1426 568 1456">MLCR</td> <td data-bbox="751 1426 831 1456">前値保持</td> </tr> <tr> <td data-bbox="504 1478 568 1507">MPMR</td> <td data-bbox="751 1478 1358 1507">H'11 (低消費電力モード:スタンバイモード復帰後を示す)</td> </tr> <tr> <td data-bbox="504 1529 568 1559">MCCR</td> <td data-bbox="751 1529 1278 1559">H'01 (キャッシュモード:キャッシュオフモード)</td> </tr> </tbody> </table> <p style="text-align: right;">(追加、変更)</p>	内部資源	内部資源の状態または動作	内蔵DRAM	前値保持	内蔵キャッシュメモリ	無効(すべてページ)	汎用レジスタ(R0~R15)	不定	制御レジスタ		PSW(CR0)	B'0000 0000 0000 0000 ??00 000? 0000 0000 (BSM, BIE, BCは不定)	CBR(CR1)	H'0000 0000	SP(CR2)	不定	SPU(CR3)	不定	BP(CR6)	不定	PC	マスタモード時: H'7FFF FFF0から実行 スレーブモード時: H'7FFF FFF0で割り込み入力待ち SBI信号入力によりH'00000010番地から実行 INT信号入力によりH'00000080番地から実行	ACQ(アキュムレ-タ)	不定	内蔵I/O制御レジスタ		PPCR0,PPCR1	前値保持	PPDR0,PPDR1	B'0000 000?: 出力ポート設定時は前値保持 : 入力ポート設定時は端子入力状態に依存	MLCR	前値保持	MPMR	H'11 (低消費電力モード:スタンバイモード復帰後を示す)	MCCR	H'01 (キャッシュモード:キャッシュオフモード)
内部資源	内部資源の状態または動作																																						
内蔵DRAM	前値保持																																						
内蔵キャッシュメモリ	無効(すべてページ)																																						
汎用レジスタ(R0~R15)	不定																																						
制御レジスタ																																							
PSW(CR0)	B'0000 0000 0000 0000 ??00 000? 0000 0000 (BSM, BIE, BCは不定)																																						
CBR(CR1)	H'0000 0000																																						
SP(CR2)	不定																																						
SPU(CR3)	不定																																						
BP(CR6)	不定																																						
PC	マスタモード時: H'7FFF FFF0から実行 スレーブモード時: H'7FFF FFF0で割り込み入力待ち SBI信号入力によりH'00000010番地から実行 INT信号入力によりH'00000080番地から実行																																						
ACQ(アキュムレ-タ)	不定																																						
内蔵I/O制御レジスタ																																							
PPCR0,PPCR1	前値保持																																						
PPDR0,PPDR1	B'0000 000?: 出力ポート設定時は前値保持 : 入力ポート設定時は端子入力状態に依存																																						
MLCR	前値保持																																						
MPMR	H'11 (低消費電力モード:スタンバイモード復帰後を示す)																																						
MCCR	H'01 (キャッシュモード:キャッシュオフモード)																																						

ページ	箇所		内容
8-6 8-7間	図8.2.3追加	(誤) (正)	<div data-bbox="456 365 1369 976" style="border: 1px solid black; padding: 10px;"> <p style="text-align: center;">INTまたはSBI入力による動作開始(注3)</p> </div> <p>注1. WKUP信号は、クロック生成回路の発振安定期間を確保するために2ms以上入力してください。</p> <p>注2. スリープモードの場合、WKUP信号を"H"に戻した後、割り込み入力待ち状態になります。</p> <p>注3. スリープモードで、スタンバイモード復帰後に動作開始させる場合、常にINT端子およびSBI端子のチェックが行われるため、どちらかの端子に"1CLKIN"幅の"L"レベル信号を入力することで、必ず割り込み要求が受け付けられます。</p> <ol style="list-style-type: none"> スリープモードの場合、マスターモードと異なりスタンバイモード復帰直後の外部バスアクセス動作(リセットベクタフェッチ)は行われません。起動要求であるINTまたはSBI入力サンプリングの1内部クロック後から動作を開始します。 外部バスの状態は、スリープモードの場合でもマスターモード時と同様です。スタンバイモード移行直前がアイドル状態の場合はスタンバイ期間および復帰直後もアイドル状態に、スタンバイモード移行直前がホールド状態の場合はホールド状態になります。 WKUP信号入力で復帰した場合、内蔵DRAMがセルフリフレッシュモードから通常動作モードに移行するために最大40μsが必要です。その間に発生した内蔵DRAMアクセス要求は、モード移行が完了するまで待たされます。 <p style="text-align: center;">図8.2.3 WKUP信号入力によるスタンバイモードからの復帰(スリープモード時)</p> <p style="text-align: right;">(追加)</p>
8-7	8.3.3 CPUスリープモードからの復帰	(誤) (正)	<p>(誤) INTまたはSBI信号入力で通常モードに復帰するとMPMRレジスタの内容は保持されますので、外部割り込みハンドラまたはSBIハンドラでの入力要因判別フラグとして使用した後、MPMRレジスタの内容はPM0, PM1="00"にクリアします。なお、MPMRレジスタの内容は保持されますが、PM0, PM1="10"の書き込みを行わない限り、再びCPUスリープモードへ移行することはありません。</p> <p>(正) INTまたはSBI信号入力で通常モードに復帰するとMPMRレジスタの内容は保持されますので、外部割り込みハンドラまたはSBIハンドラでの入力要因判別フラグとして使用した後、MPMRレジスタの内容は必ずPM0, PM1="00"にクリアしてください。なお、MPMRレジスタの内容は、割り込みハンドラでクリアするまで保持されますが、PM0, PM1="11"の書き込みを行わない限り再びCPUスリープモードへ移行することはありません。</p> <p>CPUスリープモードからの復帰時に、PM0, PM1="00"のクリアを行わず、再度低消費電力モードであるスタンバイモードあるいはCPUスリープモードへの移行を指定した場合の動作は保証されません。必ずPM0, PM1="00"のクリアを行ってください。(変更、追加)</p>

ページ	箇所		内容																																				
8-8 以降	表8.3.2追加	(誤) (正)	<p>以下にINTまたはSBI信号入力によるCPUスリープモード復帰直後の内部状態を示します。</p> <p>表8.3.2 INTまたはSBI信号入力によるCPUスリープモード復帰直後の内部状態</p> <table border="1"> <tr> <td>内部資源</td> <td>内部資源の状態または動作</td> </tr> <tr> <td>内蔵DRAM</td> <td>前値保持(注)</td> </tr> <tr> <td>内蔵キャッシュメモリ</td> <td>前値保持</td> </tr> <tr> <td>汎用レジスタ(R0~R15)</td> <td>前値保持</td> </tr> <tr> <td colspan="2">制御レジスタ</td> </tr> <tr> <td>PSW(CR0)</td> <td>前値保持</td> </tr> <tr> <td>CBR(CR1)</td> <td>前値保持</td> </tr> <tr> <td>SP(CR2)</td> <td>前値保持</td> </tr> <tr> <td>SPL(CR3)</td> <td>前値保持</td> </tr> <tr> <td>BP(CR6)</td> <td>前値保持</td> </tr> <tr> <td>PC</td> <td>SBIで復帰した場合はH'00000010番地から実行 INTで復帰しIE="1"の場合、H'00000080番地から実行 INTで復帰しIE="0"の場合、前値保持 (CPUスリープモード移行直前のプログラムの続きから実行)</td> </tr> <tr> <td>ACQ(アキュムレタ)</td> <td>前値保持</td> </tr> <tr> <td colspan="2">内蔵I/O制御レジスタ</td> </tr> <tr> <td>PPCR0,PPCR1</td> <td>前値保持</td> </tr> <tr> <td>PPDR0,PPDR1</td> <td>B'0000 000?: 出力ポート設定時は前値保持 : 入力ポート設定時は端子入力状態に依存</td> </tr> <tr> <td>MCCR</td> <td>前値保持</td> </tr> <tr> <td>MPMR</td> <td>H'10 (低消費電力モード: CPUスリープモード復帰後を示す)</td> </tr> <tr> <td>MCCR</td> <td>前値保持</td> </tr> </table> <p>(注) CPUスリープモード中に外部バスマスタアクセスで内容が変更された場合は、書き込まれた値が保持されています。</p> <p style="text-align: right;">(追加)</p>	内部資源	内部資源の状態または動作	内蔵DRAM	前値保持(注)	内蔵キャッシュメモリ	前値保持	汎用レジスタ(R0~R15)	前値保持	制御レジスタ		PSW(CR0)	前値保持	CBR(CR1)	前値保持	SP(CR2)	前値保持	SPL(CR3)	前値保持	BP(CR6)	前値保持	PC	SBIで復帰した場合はH'00000010番地から実行 INTで復帰しIE="1"の場合、H'00000080番地から実行 INTで復帰しIE="0"の場合、前値保持 (CPUスリープモード移行直前のプログラムの続きから実行)	ACQ(アキュムレタ)	前値保持	内蔵I/O制御レジスタ		PPCR0,PPCR1	前値保持	PPDR0,PPDR1	B'0000 000?: 出力ポート設定時は前値保持 : 入力ポート設定時は端子入力状態に依存	MCCR	前値保持	MPMR	H'10 (低消費電力モード: CPUスリープモード復帰後を示す)	MCCR	前値保持
内部資源	内部資源の状態または動作																																						
内蔵DRAM	前値保持(注)																																						
内蔵キャッシュメモリ	前値保持																																						
汎用レジスタ(R0~R15)	前値保持																																						
制御レジスタ																																							
PSW(CR0)	前値保持																																						
CBR(CR1)	前値保持																																						
SP(CR2)	前値保持																																						
SPL(CR3)	前値保持																																						
BP(CR6)	前値保持																																						
PC	SBIで復帰した場合はH'00000010番地から実行 INTで復帰しIE="1"の場合、H'00000080番地から実行 INTで復帰しIE="0"の場合、前値保持 (CPUスリープモード移行直前のプログラムの続きから実行)																																						
ACQ(アキュムレタ)	前値保持																																						
内蔵I/O制御レジスタ																																							
PPCR0,PPCR1	前値保持																																						
PPDR0,PPDR1	B'0000 000?: 出力ポート設定時は前値保持 : 入力ポート設定時は端子入力状態に依存																																						
MCCR	前値保持																																						
MPMR	H'10 (低消費電力モード: CPUスリープモード復帰後を示す)																																						
MCCR	前値保持																																						

ページ	箇所		内容
8-11 (追加頁)	図8.3.1変更 CPUスリープ モードへの移 行および復帰	(誤) (正)	<p>(変更)</p> <p>注1. MPMRレジスタへの書き込み後、1内部クロックでM32R CPUコアへのクロック供給が停止され、CPUスリープモードへ移行します。</p> <p>注2. 通常モードへの復帰時は、INTまたはSBI入力から2内部クロック後にM32R CPUコアへのクロック供給が再開され、通常モードでの動作が開始します。</p> <p>注3. CPUスリープモード時は、常にINT端子およびSBI端子のチェックが行われるため、どちらかの端子に"1CLKIN"幅の"L"レベル信号を入力することで、必ず割り込み要求が受け付けられます。</p> <p>(追加)</p> <p>CPUスリープモード時、内蔵メモリ、メモリコントローラおよび外部バスインタフェースは動作を続けるため、バス制御信号等に特別な変化はなく、システムバス側からは通常動作モード時と同じにみえます。</p>
10-2	10.2 リセット動作 下2行	(誤) (正)	<p>このPLLの発振安定期間を確保するため、RST端子への入力はVCCが規定の電圧レベルで安定した状態で2ms以上の幅を保つ必要があります。</p> <p>このPLLの発振安定期間を確保するため、RST端子への入力は、VCCが規定の電圧レベルで安定し、かつCLKINへの入力クロックが安定した状態で2ms以上の幅を保つ必要があります。(変更)</p>
10-3	図10.3.1 注1	(誤) (正)	<p>リセット信号は、VCCが安定した状態で2ms以上入力してください。</p> <p>リセット信号は、VCCおよびCLKIN入力安定した状態で2ms以上入力してください。(変更)</p>
10-3	図10.3.1 リセット時の 端子状態(マスタ モード時) 最下部	(誤) (正)	<p>また、リセット直後のベクタフェッチサイクルも起動せず、割り込み入力待ち状態になります。スリープモードでのリセット解除後のバス状態は、HREQ端子入力に依存します。</p> <p>HREQ="L"の場合：ホールド状態 HREQ="H"の場合：アイドル状態。</p> <p>(追加)</p>
10-4	表10.4.1 PC部分	(誤) (正)	<p>PC H'7FFF FFF0から実行</p> <p>PC マスタモード時：H'7FFF FFF0から実行 スリープモード時：H'7FFF FFF0で割り込み入力待ち</p> <p>SBI信号入力によりH'0000 0010番地から実行 INT信号入力によりH'0000 0080番地から実行</p> <p>(変更)</p>

ページ	箇所	内容																																																																																																																				
11-3	11.3 発振安定期間	<p>(誤) そのためRST端子への"L"入力、およびWKUP端子への"L"入力は2ms以上の幅を保つ必要があります。</p> <p>(正) そのためRST端子への"L"入力、およびWKUP端子への"L"入力は、VCCおよびCLKIN入力安定した状態で2ms以上の幅を保つ必要があります。(変更)</p>																																																																																																																				
11-3	図11.3.1 注1	<p>(誤) 電源投入時、発振安定期間としてVCCが安定した状態で2ms以上RST端子に"L"を入力してください。</p> <p>(正) 電源投入時、発振安定期間としてVCCおよびCLKIN入力安定した状態で2ms以上RST端子に"L"を入力してください。(変更)</p>																																																																																																																				
11-3	図11.3.1 注3	<p>(誤) クロック入力再開時、発振安定期間として2ms以上RST端子またはWKUP端子に"L"を入力してください。</p> <p>(正) クロック入力再開時、発振安定期間としてCLKIN入力安定した状態で2ms以上RST端子またはWKUP端子に"L"を入力してください。(変更)</p>																																																																																																																				
12-7	12.4.2 スイッチング 特性 (3)	<p>(誤)</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">項目</th> <th rowspan="2">測定条件</th> <th colspan="2">規格値</th> <th rowspan="2">単位</th> <th rowspan="2">参照番号 図12.4.9他</th> </tr> <tr> <th>最小</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>td(CLKIN-HACKHX)</td> <td>CLKIN後HACK="H"有効時間</td> <td></td> <td>0</td> <td></td> <td>ns</td> <td>(42)</td> </tr> <tr> <td>td(CLKIN-DVX)</td> <td>CLKIN後データ出力有効時間</td> <td></td> <td>0</td> <td></td> <td>ns</td> <td>(57)</td> </tr> <tr> <td>td(CLKIN-DCZX)</td> <td>CLKIN後DC出力イネーブル時間</td> <td></td> <td>0</td> <td></td> <td>ns</td> <td>(58)</td> </tr> <tr> <td>td(CLKIN-DCHX)</td> <td>CLKIN後DC="H"有効時間</td> <td></td> <td>0</td> <td></td> <td>ns</td> <td>(59)</td> </tr> <tr> <td>td(CLKIN-DCL)</td> <td>CLKIN後DC="L"遅延時間</td> <td></td> <td></td> <td>16</td> <td>ns</td> <td>(60)</td> </tr> <tr> <td>td(CLKIN-DCXZ)</td> <td>CLKIN後DC出力ディスエーブル時間</td> <td></td> <td></td> <td>16</td> <td>ns</td> <td>(61)</td> </tr> <tr> <td>td(CLKIN-DCLX)</td> <td>CLKIN後DC="L"有効時間</td> <td></td> <td>0</td> <td></td> <td>ns</td> <td>(62)</td> </tr> </tbody> </table> <p>(正)</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">項目</th> <th rowspan="2">測定条件</th> <th colspan="2">規格値</th> <th rowspan="2">単位</th> <th rowspan="2">参照番号 図12.4.9他</th> </tr> <tr> <th>最小</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>td(CLKIN-HACKHX)</td> <td>CLKIN後HACK="H"有効時間</td> <td></td> <td>0</td> <td></td> <td>ns</td> <td>(42)</td> </tr> <tr> <td>td(CLKIN-DVX)</td> <td>CLKIN後データ出力有効時間</td> <td></td> <td>0</td> <td></td> <td>ns</td> <td>(57)</td> </tr> <tr> <td>td(CS-DCZX)</td> <td>CS後DC出力イネーブル時間</td> <td></td> <td>0</td> <td></td> <td>ns</td> <td>(58)</td> </tr> <tr> <td>td(CLKIN-DCHX)</td> <td>CLKIN後DC="H"有効時間</td> <td></td> <td>0</td> <td></td> <td>ns</td> <td>(59)</td> </tr> <tr> <td>td(CLKIN-DCL)</td> <td>CLKIN後DC="L"遅延時間</td> <td></td> <td></td> <td>16</td> <td>ns</td> <td>(60)</td> </tr> <tr> <td>td(CLKIN-DCXZ)</td> <td>CLKIN後DC出力ディスエーブル時間</td> <td></td> <td></td> <td>16</td> <td>ns</td> <td>(61)</td> </tr> <tr> <td>td(CLKIN-DCLX)</td> <td>CLKIN後DC="L"有効時間</td> <td></td> <td>0</td> <td></td> <td>ns</td> <td>(62)</td> </tr> </tbody> </table> <p style="text-align: right;">(変更)</p>	記号	項目	測定条件	規格値		単位	参照番号 図12.4.9他	最小	最大	td(CLKIN-HACKHX)	CLKIN後HACK="H"有効時間		0		ns	(42)	td(CLKIN-DVX)	CLKIN後データ出力有効時間		0		ns	(57)	td(CLKIN-DCZX)	CLKIN後DC出力イネーブル時間		0		ns	(58)	td(CLKIN-DCHX)	CLKIN後DC="H"有効時間		0		ns	(59)	td(CLKIN-DCL)	CLKIN後DC="L"遅延時間			16	ns	(60)	td(CLKIN-DCXZ)	CLKIN後DC出力ディスエーブル時間			16	ns	(61)	td(CLKIN-DCLX)	CLKIN後DC="L"有効時間		0		ns	(62)	記号	項目	測定条件	規格値		単位	参照番号 図12.4.9他	最小	最大	td(CLKIN-HACKHX)	CLKIN後HACK="H"有効時間		0		ns	(42)	td(CLKIN-DVX)	CLKIN後データ出力有効時間		0		ns	(57)	td(CS-DCZX)	CS後DC出力イネーブル時間		0		ns	(58)	td(CLKIN-DCHX)	CLKIN後DC="H"有効時間		0		ns	(59)	td(CLKIN-DCL)	CLKIN後DC="L"遅延時間			16	ns	(60)	td(CLKIN-DCXZ)	CLKIN後DC出力ディスエーブル時間			16	ns	(61)	td(CLKIN-DCLX)	CLKIN後DC="L"有効時間		0		ns	(62)
記号	項目	測定条件				規格値				単位	参照番号 図12.4.9他																																																																																																											
			最小	最大																																																																																																																		
td(CLKIN-HACKHX)	CLKIN後HACK="H"有効時間		0		ns	(42)																																																																																																																
td(CLKIN-DVX)	CLKIN後データ出力有効時間		0		ns	(57)																																																																																																																
td(CLKIN-DCZX)	CLKIN後DC出力イネーブル時間		0		ns	(58)																																																																																																																
td(CLKIN-DCHX)	CLKIN後DC="H"有効時間		0		ns	(59)																																																																																																																
td(CLKIN-DCL)	CLKIN後DC="L"遅延時間			16	ns	(60)																																																																																																																
td(CLKIN-DCXZ)	CLKIN後DC出力ディスエーブル時間			16	ns	(61)																																																																																																																
td(CLKIN-DCLX)	CLKIN後DC="L"有効時間		0		ns	(62)																																																																																																																
記号	項目	測定条件	規格値		単位	参照番号 図12.4.9他																																																																																																																
			最小	最大																																																																																																																		
td(CLKIN-HACKHX)	CLKIN後HACK="H"有効時間		0		ns	(42)																																																																																																																
td(CLKIN-DVX)	CLKIN後データ出力有効時間		0		ns	(57)																																																																																																																
td(CS-DCZX)	CS後DC出力イネーブル時間		0		ns	(58)																																																																																																																
td(CLKIN-DCHX)	CLKIN後DC="H"有効時間		0		ns	(59)																																																																																																																
td(CLKIN-DCL)	CLKIN後DC="L"遅延時間			16	ns	(60)																																																																																																																
td(CLKIN-DCXZ)	CLKIN後DC出力ディスエーブル時間			16	ns	(61)																																																																																																																
td(CLKIN-DCLX)	CLKIN後DC="L"有効時間		0		ns	(62)																																																																																																																
12-10	図12.4.7変更 最下部 注釈1行目	<p>(誤) *1 DC="H"のセットアップ/ホールドは、ウェイトサイクル挿入時およびアイドルサイクル時に規定されます。</p> <p>(正) *1 DC="H"のセットアップ/ホールドは、ウェイトサイクル挿入時に規定されます。</p> <p style="text-align: right;">(変更)</p>																																																																																																																				

