

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様にかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。  
改訂一覧は改訂箇所をまとめたものであり、詳細については、  
必ず本文の内容をご確認ください。

# SH7731

ハードウェアマニュアル  
ルネサス 32 ビット RISC マイクロコンピュータ  
SH7780 シリーズ

R8A7731

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等については弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。



## 製品に関する一般的注意事項

### 1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

### 2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、入力をプルアップかプルダウンによって、ハイまたはローレベルに固定してください。

### 3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

### 4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

### 5. 各レジスタリザーブビットの読み出し / 書き込み

各モジュールで使用されるレジスタのリザーブビットは、その説明記述中に読み出し / 書き込み値の指定が特にならない限り以下のように取り扱ってください。

読み出すと常に0が読み出されます。書き込む場合は、0を書き込むか、直前に読み出した値を書き込むかいずれかにしてください。

直前に読み出した値を書き込むようにしておくと、将来このビットに拡張機能を割り当てることのある場合、その拡張機能に影響を与えない利点があります。

---

# 本書の構成

---

本書は、以下の構成で制作しています。

1. 製品に関する一般的な注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明

- ・CPU およびシステム制御系
- ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、  
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項  
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。  
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。  
必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂された箇所（改訂版のみ適用）

改定来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。  
改定内容の全てについて記載したものではありませんので、詳細については、本書の本文上で  
ご確認ください。

11. 索引

---

# はじめに

---

本 LSI は、ルネサス テクノロジオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。本 LSI は、SH4AL-DSP 拡張機能を備えており、SH4AL-DSP に対して機能的に上位互換です。

**対象者** 本マニュアルは、本 LSI を用いた応用システムを設計するユーザを対象としています。  
本マニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

**目的** 本マニュアルは、本 LSI のハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。

## 読み方

- 機能全体を理解しようとするとき  
目次に従って読んでください。  
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- SH4AL-DSP 拡張機能の各命令の詳細を理解したいとき  
別冊の「SH4AL-DSP 拡張機能 ソフトウェアマニュアル」を参照してください。

## 【凡例】

**レジスタ表記：** シリアルコミュニケーションなど、同一または類似した機能が複数チャンネルに存在する場合に、次の表記を使用します。

XXX\_N (XXX は基本レジスタ名称、N はチャンネル番号)

**ビット表記：** 左側が上位ビット、右側が下位ビットの順に表記します。

**数字の表記：** 2 進数は B'XXXX、16 進数は H'XXXX、10 進数は XXXX で表します。

**記号の表記：** ローアクティブの信号にはオーバーバー (XXXX) を付けます。

## 【略語の説明】

ALU	Arithmetic Logic Unit 演算論理回路
ASID	Address Space Identifier アドレス空間識別子
BSC	Bus State Controller バスステートコントローラ
CMT	Compare Match Timer コンペアマッチタイマ
CPG	Clock Pulse Generator クロックパルス発生器
CPU	Central Processing Unit 中央制御装置
DMA	Direct Memory Access ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller ダイレクトメモリアクセスコントローラ
DSP	Digital Signal Processor デジタルシグナルプロセッサ
ETU	Elementary time unit 1 ビットの転送時間
FIFO	First-In First-Out 先入れ先出し
H-UDI	User Debugging Interface ユーザデバッグインタフェース
IIC	Inter IC bus I2C バス
INTC	Interrupt Controller 割り込みコントローラ
IrDA	Infrared Data Association 赤外線通信の規格名称
JTAG	Joint Test Action Group バウンダリスキャン規格化 Gr
KEYSC	Keyscan Interface キースキャンインタフェース
LCDC	LCD Controller LCD コントローラ

LRU	Least Recently Used (仮想記憶ページ置き換えアルゴリズムの名前)
LSB	Least Significant Bit 最下位ビット
MMC	Multi Media Card マルチメディアカード
MMU	Memory Management Unit メモリマネジメントユニット
MSB	Most Significant Bit 最上位ビット
PC	Program Counter プログラムカウンタ
PFC	Pin Function Controller ピンファンクションコントローラ
RISC	Reduced Instruction Set Computer 縮小命令セットコンピュータ
RWDT	RCLK Watch Dog Timer RCLK ウォッチドッグタイマ
SBSC	SDRAM Bus State Controller SDRAM 用バスステートコントローラ
SCIF	Serial Communication Interface with FIFO FIFO 内蔵シリアルコミュニケーションインタフェース
SDHI	SD Card Host Interface SD カードホストインタフェース
SIM	Smart Card Interface Module スマートカードインタフェースモジュール
SIO	Serial Interface シリアル I/O
SIOF	Serial Interface with FIFO シリアル I/O FIFO 付き
TAP	Test Access Port テスト端子
TLB	Translation Lookaside Buffer 変換ルックアサイドバッファ
TMU	Timer Unit タイマユニット
TPU	Timer Pulse Unit タイマパルスユニット

UART	Universal Asynchronous Receiver/Transmitter 調歩同期インタフェース
UBC	User Break Controller ユーザブレイクコントローラ
USB	Universal Serial Bus ユニバーサルシリアルバス

**【登録商標・商標】**

すべての商標および登録商標は、それぞれの所有者に帰属します。

---

# 目次

---

1. 概要	1-1
1.1  特長	1-1
1.2  ブロック図	1-8
1.3  ピン配置図	1-9
1.3.1  BGA449 ピン配置図	1-9
1.3.2  BGA417 ピン配置図	1-22
1.4  端子の機能	1-35
2. プログラミングモデル	2-1
2.1  データフォーマット	2-1
2.2  レジスタの構成	2-1
2.2.1  特権モードとレジスタバンク	2-1
2.2.2  汎用レジスタ	2-5
2.2.3  DSP レジスタ	2-6
2.2.4  コントロールレジスタ	2-6
2.2.5  システムレジスタ	2-11
2.3  メモリ割り付けレジスタ	2-15
2.4  レジスタのデータ形式	2-15
2.5  メモリ上でのデータ形式	2-16
2.6  DSPタイプデータ形式	2-16
2.7  処理状態	2-18
2.8  使用上の注意事項	2-19
2.8.1  自己書き換えコードに対する注意事項	2-19
3. 命令セット	3-1
3.1  実行環境	3-1
3.2  アドレッシングモード	3-3
3.2.1  CPU アドレッシングモード	3-3
3.2.2  DSP データアドレッシング	3-6
3.2.3  X、Y データアドレッシング	3-6
3.2.4  シングルデータアドレッシング	3-8
3.2.5  モジュロアドレッシング	3-9
3.2.6  DSP アドレッシング動作	3-10
3.3  命令セット	3-12

3.4	DSPデータ転送命令の命令セット.....	3-22
3.4.1	ダブルデータ転送命令.....	3-22
3.5	DSP演算命令の命令セット.....	3-27
3.5.1	NOPX と NOPY の命令コード.....	3-38
4.	パイプライン動作.....	4-1
4.1	パイプライン.....	4-1
4.2	並列実行性.....	4-10
4.3	発行レートと実行ステート.....	4-12
5.	例外処理.....	5-1
5.1	概要.....	5-1
5.2	レジスタの説明.....	5-1
5.2.1	TRAPA 例外レジスタ (TRA).....	5-2
5.2.2	例外事象レジスタ (EXPEVT).....	5-3
5.2.3	割り込み事象レジスタ (INTEVT).....	5-3
5.2.4	非サポート検出例外レジスタ (EXPMASK).....	5-4
5.3	例外処理の機能.....	5-6
5.3.1	例外処理の流れ.....	5-6
5.3.2	例外処理ベクタアドレス.....	5-6
5.4	例外の種類と優先順位.....	5-7
5.5	例外フロー.....	5-8
5.5.1	例外フロー.....	5-8
5.5.2	例外要因の受け付け.....	5-9
5.5.3	例外要求と BL ビット.....	5-10
5.5.4	例外処理からの復帰.....	5-10
5.6	各例外の説明.....	5-11
5.6.1	リセット.....	5-11
5.6.2	一般例外.....	5-12
5.6.3	互換リピート制御中の例外処理.....	5-22
5.6.4	拡張リピート制御中の例外処理.....	5-23
5.6.5	割り込み.....	5-23
5.6.6	複数回の例外が発生する場合の優先順位.....	5-25
5.7	注意事項.....	5-26
6.	DSP ユニット.....	6-1
6.1	概要.....	6-1
6.2	DSPモードのリソース.....	6-3
6.2.1	処理モード.....	6-3
6.2.2	DSP モードのメモリマップ.....	6-3



6.2.3	CPU のレジスタセット	6-4
6.2.4	DSP レジスタ	6-7
6.3	CPU拡張命令	6-8
6.3.1	互換リピート制御命令	6-8
6.3.2	拡張リピート制御命令	6-16
6.4	DSPデータ転送命令	6-19
6.4.1	汎用レジスタ	6-22
6.4.2	DSP データアドレッシング	6-24
6.4.3	モジュールアドレッシング	6-26
6.4.4	メモリのデータ形式	6-28
6.4.5	ダブル、シングルデータ転送命令の命令フォーマット	6-28
6.5	DSPデータ演算命令	6-30
6.5.1	DSP レジスタ	6-30
6.5.2	DSP データ演算命令の命令セット	6-36
6.5.3	SP タイプデータ形式	6-39
6.5.4	ALU 固定小数点算術演算	6-40
6.5.5	ALU 整数演算	6-45
6.5.6	ALU 論理演算	6-46
6.5.7	固定小数点乗算	6-48
6.5.8	シフト演算	6-49
6.5.9	MSB 検出命令	6-52
6.5.10	丸め演算	6-55
6.5.11	スワップ命令	6-56
6.5.12	オーバフロー防止機能	6-58
6.5.13	ローカルデータ移動命令	6-59
6.5.14	並行処理命令の命令フォーマット	6-60
6.5.15	オペランドの競合	6-64
6.5.16	プログラミング上の注意	6-65
7.	メモリマネジメントユニット (MMU)	7-1
7.1	MMUの概要	7-1
7.1.1	アドレス空間	7-3
7.2	レジスタの説明	7-8
7.2.1	ページテーブルエントリ上位レジスタ (PTEH)	7-9
7.2.2	ページテーブルエントリ下位レジスタ (PTEL)	7-10
7.2.3	変換テーブルベースレジスタ (TTB)	7-11
7.2.4	TLB 例外アドレスレジスタ (TEA)	7-11
7.2.5	MMU 制御レジスタ (MMUCR)	7-11
7.2.6	ページテーブルエントリアシスタンスレジスタ (PTEA)	7-14
7.2.7	物理アドレス空間制御レジスタ (PASCRCR)	7-15

7.2.8	命令再フェッチ抑止制御レジスタ (IRMCR) .....	7-16
7.3	TLBの機能 (TLB互換モード) .....	7-18
7.3.1	共用 TLB (UTLB) の構成 .....	7-18
7.3.2	命令 TLB (ITLB) の構成 .....	7-20
7.3.3	アドレス変換方式 .....	7-21
7.4	TLBの機能 (TLB拡張モード) .....	7-23
7.4.1	共用 TLB (UTLB) の構成 .....	7-23
7.4.2	命令 TLB (ITLB) の構成 .....	7-26
7.4.3	アドレス変換方式 .....	7-26
7.5	MMUの機能 .....	7-29
7.5.1	MMU のハードウェア管理 .....	7-29
7.5.2	MMU のソフトウェア管理 .....	7-29
7.5.3	MMU の命令 (LDTLB) .....	7-30
7.5.4	ハードウェア ITLB ミスハンドリング .....	7-31
7.5.5	シノニム問題の回避 .....	7-32
7.6	MMU例外 .....	7-33
7.6.1	命令 TLB 多重ヒット例外 .....	7-33
7.6.2	命令 TLB ミス例外 .....	7-33
7.6.3	命令 TLB 保護違反例外 .....	7-34
7.6.4	データ TLB 多重ヒット例外 .....	7-35
7.6.5	データ TLB ミス例外 .....	7-35
7.6.6	データ TLB 保護違反例外 .....	7-37
7.6.7	初期ページ書き込み例外 .....	7-38
7.7	メモリ割り付けTLBの構成 .....	7-39
7.7.1	ITLB アドレスアレイ .....	7-40
7.7.2	ITLB データアレイ (TLB 互換モード) .....	7-41
7.7.3	ITLB データアレイ (TLB 拡張モード) .....	7-42
7.7.4	UTLB アドレスアレイ .....	7-43
7.7.5	UTLB データアレイ (TLB 互換モード) .....	7-45
7.7.6	UTLB データアレイ (TLB 拡張モード) .....	7-46
8.	キャッシュ .....	8-1
8.1	特長 .....	8-1
8.2	レジスタの説明 .....	8-4
8.2.1	キャッシュ制御レジスタ (CCR) .....	8-5
8.2.2	内蔵メモリ制御レジスタ (RAMCR) .....	8-6
8.3	オペランドキャッシュの動作説明 .....	8-8
8.3.1	読み出し動作 .....	8-8
8.3.2	プリフェッチ動作 .....	8-9
8.3.3	書き込み動作 .....	8-10

8.3.4	ライトバックバッファ.....	8-11
8.3.5	ライトスルーバッファ.....	8-11
8.3.6	OC2 ウェイモード.....	8-11
8.4	命令キャッシュの動作説明.....	8-12
8.4.1	読み出し動作.....	8-12
8.4.2	プリフェッチ動作.....	8-12
8.4.3	IC2 ウェイモード.....	8-13
8.4.4	命令キャッシュウェイ予測.....	8-13
8.5	キャッシュ操作命令.....	8-14
8.5.1	キャッシュと外部メモリとのコヒーレンシ.....	8-14
8.5.2	プリフェッチ動作.....	8-15
8.6	メモリ割り付けキャッシュの構成.....	8-16
8.6.1	IC アドレスアレイ.....	8-16
8.6.2	IC データアレイ.....	8-18
8.6.3	OC アドレスアレイ.....	8-18
8.6.4	OC データアレイ.....	8-20
8.6.5	メモリ割り付け連想ライトの動作.....	8-20
9.	内蔵メモリ.....	9-1
9.1	特長.....	9-1
9.2	レジスタの説明.....	9-5
9.2.1	内蔵メモリ制御レジスタ (RAMCR).....	9-6
9.2.2	X メモリ転送元アドレスレジスタ (XSA).....	9-7
9.2.3	Y メモリ転送元アドレスレジスタ (YSA).....	9-8
9.2.4	X メモリ転送先アドレスレジスタ (XDA).....	9-9
9.2.5	Y メモリ転送先アドレスレジスタ (YDA).....	9-10
9.2.6	X バス保護制御レジスタ (XPR).....	9-11
9.2.7	Y バス保護制御レジスタ (YPR).....	9-12
9.2.8	X バス例外アドレスレジスタ (XEA).....	9-13
9.2.9	Y バス例外アドレスレジスタ (YEA).....	9-14
9.3	動作説明.....	9-15
9.3.1	CPU からのオペランドアクセス.....	9-15
9.3.2	CPU からの命令フェッチアクセス.....	9-16
9.3.3	DSP からのアクセス.....	9-18
9.3.4	SuperHyway バスマスタモジュールからのアクセス.....	9-19
9.3.5	ブロック転送.....	9-19
9.4	内蔵メモリの保護機能.....	9-21
9.5	使用上の注意事項.....	9-25
9.5.1	ページ競合.....	9-25
9.5.2	バス競合.....	9-25

9.5.3	ページの切り替わり .....	9-25
9.5.4	MMU とキャッシュの設定 .....	9-26
9.5.5	内蔵メモリのコヒーレンシ .....	9-27
9.5.6	スリープモード .....	9-27
10.	割り込みコントローラ (INTC) .....	10-1
10.1	特長 .....	10-1
10.2	入出力端子 .....	10-3
10.3	レジスタの説明 .....	10-3
10.3.1	割り込みコントロールレジスタ 0 (ICR0) .....	10-6
10.3.2	割り込みコントロールレジスタ 1 (ICR1) .....	10-7
10.3.3	割り込み優先レベル設定レジスタ (INTPRI00) .....	10-8
10.3.4	割り込み優先レベル設定レジスタ A~L (IPRA~IPRL) .....	10-9
10.3.5	割り込み要因レジスタ 00 (INTREQ00) .....	10-10
10.3.6	割り込みマスクレジスタ 00 (INTMSK00) .....	10-11
10.3.7	割り込みマスククリアレジスタ 00 (INTMSKCLR00) .....	10-11
10.3.8	割り込みマスクレジスタ 0~11 (IMR0~IMR11) .....	10-12
10.3.9	割り込みマスククリアレジスタ 0~11 (IMCR0~IMCR11) .....	10-13
10.3.10	ユーザ割り込みマスクレベル設定レジスタ (USERIMASK) .....	10-15
10.3.11	NMI フラグコントロールレジスタ (NMIFCR) .....	10-16
10.4	割り込み要因 .....	10-17
10.4.1	NMI 割り込み .....	10-17
10.4.2	IRQ 割り込み .....	10-17
10.4.3	周辺モジュール割り込み .....	10-18
10.4.4	割り込み例外処理と優先順位 .....	10-18
10.5	動作説明 .....	10-21
10.5.1	割り込み動作の流れ .....	10-21
10.5.2	多重割り込み .....	10-24
10.5.3	MAI ビットによる割り込みマスク .....	10-24
10.5.4	ユーザモードでの割り込み禁止機能 .....	10-25
10.6	割り込み応答時間 .....	10-26
11.	バスステートコントローラ (BSC) .....	11-1
11.1	特長 .....	11-1
11.2	入出力端子 .....	11-3
11.3	エリアの概要 .....	11-4
11.3.1	空間分割 .....	11-4
11.3.2	シャドウ空間 .....	11-5
11.3.3	アドレスマップ .....	11-6
11.3.4	メモリバス幅の設定 .....	11-7

11.3.5	データアライメント .....	11-8
11.4	レジスタの説明 .....	11-8
11.4.1	共通コントロールレジスタ (CMNCR) .....	11-10
11.4.2	CSn 空間バスコントロールレジスタ (CSnBCR) .....	11-11
11.4.3	CSn 空間ウェイトコントロールレジスタ (CSnWCR) .....	11-14
11.4.4	リセットバスウェイトカウンタ (RBWTCNT) .....	11-27
11.5	動作説明 .....	11-28
11.5.1	エンディアン / アクセスサイズとデータアライメント .....	11-28
11.5.2	通常空間インタフェース .....	11-33
11.5.3	アクセスウェイト制御 .....	11-38
11.5.4	CSn アサート期間拡張 .....	11-40
11.5.5	バースト ROM (クロック非同期) インタフェース .....	11-41
11.5.6	バイト選択付き SRAM インタフェース .....	11-42
11.5.7	PCMCIA インタフェース .....	11-47
11.5.8	アクセスサイクル間ウェイト .....	11-53
11.6	使用上の注意事項 .....	11-54
12.	SDRAM 用バスステートコントローラ (SBSC) .....	12-1
12.1	特長 .....	12-1
12.2	入出力端子 .....	12-3
12.3	エリアの概要 .....	12-4
12.3.1	アドレスマップ .....	12-4
12.3.2	メモリバス幅 .....	12-4
12.3.3	データアライメント .....	12-5
12.4	レジスタの説明 .....	12-5
12.4.1	SDRAM コントロールレジスタ 0 (SDCR0) .....	12-6
12.4.2	SDRAM コントロールレジスタ 1 (SDCR1) .....	12-10
12.4.3	SDRAM ウェイトコントロールレジスタ (SDWCR) .....	12-11
12.4.4	SDRAM 端子コントロールレジスタ (SDPCR) .....	12-13
12.4.5	リフレッシュタイマコントロール / ステータスレジスタ (RTCSR) .....	12-14
12.4.6	リフレッシュタイマカウンタ (RTCNT) .....	12-16
12.4.7	リフレッシュタイムコンスタントレジスタ (RTCOR) .....	12-17
12.4.8	リフレッシュカウンタレジスタ (RFCR) .....	12-17
12.4.9	SDRAM ウェイトコントロールレジスタ 2 (SDWCR2) .....	12-18
12.4.10	SDRAM ライトプロテクトコントロールレジスタ (SDWPCR) .....	12-19
12.4.11	SDRAM モードレジスタ設定コントロールレジスタ (SDMRCR) .....	12-20
12.4.12	バーストリフレッシュカウンタレジスタ (BSTRCNT) .....	12-21
12.5	動作説明 .....	12-22
12.5.1	エンディアン / アクセスサイズとデータアライメント .....	12-22
12.5.2	SDRAM インタフェース .....	12-25

13.	ダイレクトメモリアクセスコントローラ (DMAC)	13-1
13.1	特長	13-1
13.2	入出力端子	13-3
13.3	レジスタの説明	13-3
13.3.1	DMA ソースアドレスレジスタ <sub>0~5</sub> (SAR <sub>0~5</sub> )	13-6
13.3.2	DMA ソースアドレスレジスタ B <sub>0~3</sub> (SARB <sub>0~3</sub> )	13-6
13.3.3	DMA デスティネーションアドレスレジスタ <sub>0~5</sub> (DAR <sub>0~5</sub> )	13-7
13.3.4	DMA デスティネーションアドレスレジスタ B <sub>0~3</sub> (DARB <sub>0~3</sub> )	13-7
13.3.5	DMA トランスファカウンタレジスタ <sub>0~5</sub> (TCR <sub>0~5</sub> )	13-8
13.3.6	DMA トランスファカウンタレジスタ B <sub>0~3</sub> (TCRB <sub>0~3</sub> )	13-8
13.3.7	DMA チャンネルコントロールレジスタ <sub>0~5</sub> (CHCR <sub>0~5</sub> )	13-9
13.3.8	DMA オペレーションレジスタ (DMAOR)	13-14
13.3.9	DMA 拡張リソースセクタ <sub>0~2</sub> (DMARS <sub>0~2</sub> )	13-16
13.4	動作説明	13-18
13.4.1	DMA 転送要求	13-18
13.4.2	チャンネルの優先順位	13-21
13.4.3	DMA 転送の種類	13-24
13.4.4	転送フロー	13-29
13.4.5	リピートモード転送	13-31
13.4.6	リロードモード転送	13-32
13.4.7	DREQ 端子のサンプリングタイミング	13-33
13.5	使用上の注意	13-36
13.5.1	周辺モジュールの DMA 転送について	13-36
13.5.2	モジュールストップについて	13-36
13.5.3	アドレスエラーについて	13-36
13.5.4	バーストモード転送時の注意	13-36
13.5.5	HE、TE、AE、NMIF の各フラグビット使用上の注意事項	13-36
13.5.6	バーストモードの使用上の注意事項	13-37
14.	クロックパルス発生器 (CPG)	14-1
14.1	特長	14-1
14.2	ブロック図	14-2
14.3	入出力端子	14-4
14.4	クロック動作モード	14-4
14.5	レジスタの説明	14-5
14.5.1	周波数制御レジスタ (FRQCR)	14-5
14.5.2	PLL 制御レジスタ (PLLCR)	14-10
14.5.3	IrDA クロック周波数制御レジスタ (IrDACLKCR)	14-11
14.5.4	DLL 逡倍レジスタ (DLLFRQ)	14-12
14.6	周波数変更方法	14-13

14.6.1	PLL 回路通倍率の変更 .....	14-13
14.6.2	分周率の変更 .....	14-13
14.6.3	クロック動作モードの変更 .....	14-13
14.6.4	PLL 回路の ON / OFF 切り替え .....	14-13
14.6.5	DLL 通倍率の変更 .....	14-13
14.7	ボード設計上の注意事項 .....	14-14
15.	リセット、低消費電力モード .....	15-1
15.1	特長 .....	15-1
15.1.1	電源領域の分離 .....	15-1
15.1.2	リセット、低消費電力モードの種類 .....	15-2
15.2	入出力端子 .....	15-3
15.3	レジスタの説明 .....	15-4
15.3.1	スタンバイコントロールレジスタ (STBCR) .....	15-4
15.3.2	モジュールストップレジスタ 0 (MSTPCR0) .....	15-5
15.3.3	モジュールストップレジスタ 1 (MSTPCR1) .....	15-10
15.3.4	モジュールストップレジスタ 2 (MSTPCR2) .....	15-11
15.4	動作説明 .....	15-13
15.4.1	リセット .....	15-13
15.4.2	スリープモード .....	15-14
15.4.3	ソフトウェアスタンバイモード .....	15-15
15.4.4	モジュールスタンバイ機能 .....	15-16
15.4.5	U-スタンバイモード .....	15-16
15.4.6	各種モード間の状態遷移 .....	15-17
15.4.7	パワーオンシーケンス .....	15-18
15.4.8	出力端子の変化タイミング .....	15-19
16.	RCLK ウォッチドッグタイマ (RWDT) .....	16-1
16.1	特長 .....	16-1
16.2	RWDTの入出力端子 .....	16-2
16.3	レジスタの説明 .....	16-2
16.3.1	RCLK ウォッチドッグタイマカウンタ (RWTCNT) .....	16-2
16.3.2	RCLK ウォッチドッグタイマコントロール/ステータスレジスタ (RWTCR) .....	16-3
16.3.3	レジスタアクセス時の注意 .....	16-4
16.4	RWDTの使用法 .....	16-5
16.4.1	暴走制御 .....	16-5
17.	タイマユニット (TMU) .....	17-1
17.1	特長 .....	17-1
17.2	レジスタの説明 .....	17-3

17.2.1	タイマスタートレジスタ (TSTR) .....	17-4
17.2.2	タイマコントロールレジスタ (TCR) .....	17-5
17.2.3	タイマコンスタントレジスタ (TCOR) .....	17-6
17.2.4	タイマカウンタ (TCNT) .....	17-6
17.3	動作説明 .....	17-7
17.3.1	カウンタの動作 .....	17-7
17.4	割り込み .....	17-9
17.4.1	ステータスフラグのセットタイミング .....	17-9
17.4.2	ステータスフラグのクリアタイミング .....	17-9
17.4.3	割り込み要因と優先順位 .....	17-10
17.5	使用上の注意事項 .....	17-10
17.5.1	レジスタの書き込みについて .....	17-10
17.5.2	レジスタの読み出しについて .....	17-10
18.	16ビットタイマパルスユニット (TPU) .....	18-1
18.1	特長 .....	18-1
18.2	ブロック図 .....	18-3
18.3	端子構成 .....	18-4
18.4	レジスタの説明 .....	18-4
18.4.1	タイマコントロールレジスタ (TPU_TCR) .....	18-7
18.4.2	タイマモードレジスタ (TPU_TMDR) .....	18-8
18.4.3	タイマI/Oコントロールレジスタ (TPU_TIOR) .....	18-10
18.4.4	タイマインタラプトイネーブルレジスタ (TPU_TIER) .....	18-11
18.4.5	タイマステータスレジスタ (TPU_TSR) .....	18-12
18.4.6	タイマカウンタ (TPU_TCNT) .....	18-13
18.4.7	タイマジェネラルレジスタ (TPU_TGR) .....	18-13
18.4.8	タイマスタートレジスタ (TPU_TSTR) .....	18-13
18.5	動作説明 .....	18-14
18.5.1	概要 .....	18-14
18.5.2	基本機能 .....	18-15
18.5.3	バッファ動作 .....	18-19
18.5.4	PWM モード .....	18-21
19.	コンペアマッチタイマ (CMT) .....	19-1
19.1	特長 .....	19-1
19.2	レジスタの説明 .....	19-2
19.2.1	コンペアマッチタイマスタートレジスタ (CMSTR) .....	19-2
19.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) .....	19-3
19.2.3	コンペアマッチタイマカウンタ (CMCNT) .....	19-5
19.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR) .....	19-5



19.3	動作説明	19-6
19.3.1	カウンタ動作	19-6
19.3.2	カウンタサイズ	19-7
19.3.3	CMCNT カウントタイミング	19-7
19.3.4	CPU への内部割り込み要求	19-8
19.3.5	CMT の動作	19-8
19.3.6	コンペアマッチフラグのセットタイミング	19-9
20.	シリアル I/O (SIO)	20-1
20.1	特長	20-1
20.2	入出力端子	20-2
20.3	レジスタの説明	20-3
20.3.1	モードレジスタ (SIOMDR)	20-4
20.3.2	コントロールレジスタ (SIOCTR)	20-5
20.3.3	ストローブコントロールレジスタ 1、0 (SIOSTBCR1、SIOSTBCR0)	20-7
20.3.4	送信データレジスタ (SIOTDR)	20-9
20.3.5	受信データレジスタ (SIORDR)	20-10
20.3.6	ステータスレジスタ (SIOSTR)	20-11
20.3.7	割り込み許可レジスタ (SIOIER)	20-14
20.3.8	クロックセレクトレジスタ (SIOSCR)	20-15
20.4	動作説明	20-16
20.4.1	シリアルクロック	20-16
20.4.2	シリアルタイミング	20-17
20.4.3	転送データフォーマット	20-18
20.4.4	転送データのレジスタ割り付け	20-19
20.4.5	送受信手順	20-20
20.4.6	割り込み	20-22
20.4.7	送受信タイミング	20-23
21.	シリアル I/O FIFO 付き (SIOF)	21-1
21.1	特長	21-1
21.2	入出力端子	21-3
21.3	レジスタの説明	21-4
21.3.1	モードレジスタ 0、1 (SIMDR0、SIMDR1)	21-6
21.3.2	コントロールレジスタ 0、1 (SICTR0、SICTR1)	21-8
21.3.3	送信データレジスタ 0、1 (SITDR0、SITDR1)	21-10
21.3.4	受信データレジスタ 0、1 (SIRDRO、SIRDRI)	21-10
21.3.5	送信制御データレジスタ 0、1 (SITCR0、SITCR1)	21-11
21.3.6	受信制御データレジスタ 0、1 (SIRCR0、SIRCR1)	21-12
21.3.7	ステータスレジスタ 0、1 (SISTR0、SISTR1)	21-12

21.3.8	割り込み許可レジスタ 0、1 (SIER0、SIER1) .....	21-17
21.3.9	FIFO コントロールレジスタ 0、1 (SIFCTR0、SIFCTR1) .....	21-18
21.3.10	クロックセレクトレジスタ 0、1 (SISCR0、SISCR1) .....	21-20
21.3.11	送信データアサインレジスタ 0、1 (SITDAR0、SITDAR1) .....	21-21
21.3.12	受信データアサインレジスタ 0、1 (SIRDAR0、SIRDAR1) .....	21-22
21.3.13	制御データアサインレジスタ 0、1 (SICDAR0、SICDAR1) .....	21-23
21.3.14	SPI 制御レジスタ 0、1 (SPICR0、SPICR1) .....	21-24
21.4	動作説明 .....	21-26
21.4.1	シリアルクロック .....	21-26
21.4.2	シリアルタイミング .....	21-27
21.4.3	転送データフォーマット .....	21-28
21.4.4	転送データのレジスタ割り付け .....	21-30
21.4.5	制御データインタフェース .....	21-32
21.4.6	FIFO .....	21-33
21.4.7	送受信手順 .....	21-35
21.4.8	割り込み .....	21-39
21.4.9	送受信タイミング .....	21-41
21.4.10	SPI モード .....	21-45
21.5	使用上の注意事項 .....	21-48
21.5.1	SPI モードについての注意事項 .....	21-48
22.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) .....	22-1
22.1	特長 .....	22-1
22.2	入出力端子 .....	22-3
22.3	レジスタの説明 .....	22-4
22.3.1	レシーブシフトレジスタ 0~2 (SCRSR0~SCRSR2) .....	22-6
22.3.2	レシーブ FIFO データレジスタ 0~2 (SCFRDR0~SCFRDR2) .....	22-6
22.3.3	トランスミットシフトレジスタ 0~2 (SCTSR0~SCTSR2) .....	22-6
22.3.4	トランスミット FIFO データレジスタ 0~2 (SCFTDR0~SCFTDR2) .....	22-6
22.3.5	シリアルモードレジスタ 0~2 (SCSMR0~SCSMR2) .....	22-7
22.3.6	シリアルコントロールレジスタ 0~2 (SCSCR0~SCSCR2) .....	22-9
22.3.7	シリアルステータスレジスタ 0~2 (SCFSR0~SCFSR2) .....	22-12
22.3.8	ビットレートレジスタ 0~2 (SCBRR0~SCBRR2) .....	22-17
22.3.9	FIFO コントロールレジスタ 0~2 (SCFCR0~SCFCR2) .....	22-18
22.3.10	FIFO データ数レジスタ 0~2 (SCFDR0~SCFDR2) .....	22-20
22.3.11	ラインステータスレジスタ 0~2 (SCLSR0~SCLSR2) .....	22-21
22.4	動作説明 .....	22-22
22.4.1	概要 .....	22-22
22.4.2	調歩同期式モードの動作 .....	22-24
22.4.3	クロック同期式モードの動作 .....	22-34

22.5	SCIF割り込み要因とDMAC .....	22-42
22.6	使用上の注意事項 .....	22-43
23.	SIM カードモジュール (SIM) .....	23-1
23.1	特長 .....	23-1
23.2	入出力端子 .....	23-2
23.3	レジスタの説明 .....	23-3
23.3.1	シリアルモードレジスタ (SCSMR) .....	23-4
23.3.2	ビットレートレジスタ (SCBRR) .....	23-5
23.3.3	シリアルコントロールレジスタ (SCSCR) .....	23-5
23.3.4	トランスミットシフトレジスタ (SCTSR) .....	23-7
23.3.5	トランスミットデータレジスタ (SCTDR) .....	23-7
23.3.6	シリアルステータスレジスタ (SCSSR) .....	23-8
23.3.7	レシーブシフトレジスタ (SCRSR) .....	23-12
23.3.8	レシーブデータレジスタ (SCRDR) .....	23-12
23.3.9	スマートカードモードレジスタ (SCSCMR) .....	23-12
23.3.10	シリアルコントロール2レジスタ (SCSC2R) .....	23-14
23.3.11	ガードエクステンションレジスタ (SCGRD) .....	23-14
23.3.12	ウェイトタイムレジスタ (SCWAIT) .....	23-15
23.3.13	サンプルレジスタ (SCSMPL) .....	23-15
23.3.14	DMA イネーブルレジスタ (SCDMAEN) .....	23-16
23.4	動作説明 .....	23-16
23.4.1	概要 .....	23-16
23.4.2	データフォーマット .....	23-17
23.4.3	レジスタ設定 .....	23-18
23.4.4	クロック .....	23-20
23.4.5	データの送信 / 受信動作 .....	23-21
23.5	使用上の注意事項 .....	23-28
24.	IrDA インタフェース (IrDA) .....	24-1
24.1	特長 .....	24-1
24.2	入出力端子 .....	24-2
24.3	レジスタの説明 .....	24-3
24.3.1	DMA 受信割り込み要因クリアレジスタ (IRIF_RINTCLR) .....	24-5
24.3.2	DMA 送信割り込み要因クリアレジスタ (IRIF_TINTCLR) .....	24-5
24.3.3	IrDA-SIR10 コントロールレジスタ (IRIF_SIR0) .....	24-5
24.3.4	IrDA-SIR10 ポーレート誤差補正レジスタ (IRIF_SIR1) .....	24-6
24.3.5	IrDA-SIR10 ポーレートカウント設定レジスタ (IRIF_SIR2) .....	24-7
24.3.6	IrDA-SIR10 ステータスレジスタ (IRIF_SIR3) .....	24-7
24.3.7	ハードウェアフレーム処理設定レジスタ (IRIF_SIR_FRM) .....	24-8

24.3.8	EOF 値設定レジスタ (IRIF_SIR_EOF) .....	24-8
24.3.9	フラグクリアレジスタ (IRIF_SIR_FLG) .....	24-9
24.3.10	UART ステータスレジスタ 2 (IRIF_UART_STS2) .....	24-9
24.3.11	UART コントロールレジスタ (IRIF_UART0) .....	24-10
24.3.12	UART ステータスレジスタ (IRIF_UART1) .....	24-11
24.3.13	UART モードレジスタ (IRIF_UART2) .....	24-13
24.3.14	UART 送信データレジスタ (IRIF_UART3) .....	24-14
24.3.15	UART 受信データレジスタ (IRIF_UART4) .....	24-14
24.3.16	UART 割り込みマスクレジスタ (IRIF_UART5) .....	24-15
24.3.17	UART ボーレート誤差補正レジスタ (IRIF_UART6) .....	24-16
24.3.18	UART ボーレートカウントレジスタ (IRIF_UART7) .....	24-16
24.3.19	CRC エンジンコントロールレジスタ (IRIF_CRC0) .....	24-17
24.3.20	CRC エンジン入力データレジスタ (IRIF_CRC1) .....	24-17
24.3.21	CRC エンジン演算レジスタ (IRIF_CRC2) .....	24-18
24.3.22	CRC エンジン出力データレジスタ 1 (IRIF_CRC3) .....	24-18
24.3.23	CRC エンジン出力データレジスタ 2 (IRIF_CRC4) .....	24-18
24.4	機能説明 .....	24-19
24.4.1	UART .....	24-19
24.4.2	発受光パルス変復調動作 .....	24-22
24.4.3	CRC エンジン .....	24-25
24.4.4	送受信フロー .....	24-26
24.5	データ送受信における注意事項 .....	24-30
25.	I <sup>2</sup> C バスインタフェース (IIC) .....	25-1
25.1	特長 .....	25-1
25.2	入出力端子 .....	25-3
25.3	レジスタの説明 .....	25-4
25.3.1	I <sup>2</sup> C バスデータレジスタ (ICDR) .....	25-5
25.3.2	I <sup>2</sup> C バスコントロールレジスタ (ICCR) .....	25-5
25.3.3	I <sup>2</sup> C バスステータスレジスタ (ICSR) .....	25-7
25.3.4	I <sup>2</sup> C 割り込みコントロールレジスタ (ICIC) .....	25-10
25.3.5	I <sup>2</sup> C クロックコントロールレジスタロー (ICCL) .....	25-11
25.3.6	I <sup>2</sup> C クロックコントロールレジスタハイ (ICCH) .....	25-11
25.3.7	転送レート .....	25-12
25.4	動作説明 .....	25-14
25.4.1	I <sup>2</sup> C バスデータフォーマット .....	25-14
25.4.2	マスタ送信動作 .....	25-17
25.4.3	マスタ受信動作 .....	25-18
25.4.4	SCL ラインの同期化 .....	25-24
25.4.5	ノイズ除去回路 .....	25-25

25.4.6	アービトラクションロスト動作	25-25
25.4.7	非アクノリッジ動作	25-27
25.4.8	ウェイト動作	25-28
25.5	使用上の注意事項	25-33
26.	リアルタイムクロック (RTC)	26-1
26.1	特長	26-1
26.2	入出力端子	26-3
26.3	レジスタの説明	26-3
26.3.1	64Hz カウンタ (R64CNT)	26-4
26.3.2	秒カウンタ (RSECCNT)	26-5
26.3.3	分カウンタ (RMINCNT)	26-6
26.3.4	時カウンタ (RHRCNT)	26-6
26.3.5	曜日カウンタ (RWKCNT)	26-7
26.3.6	日カウンタ (RDAYCNT)	26-8
26.3.7	月カウンタ (RMONCNT)	26-8
26.3.8	年カウンタ (RYRCNT)	26-9
26.3.9	秒アラームレジスタ (RSECAR)	26-10
26.3.10	分アラームレジスタ (RMINAR)	26-10
26.3.11	時アラームレジスタ (RHRAR)	26-11
26.3.12	曜日アラームレジスタ (RWKAR)	26-11
26.3.13	日アラームレジスタ (RDAYAR)	26-12
26.3.14	月アラームレジスタ (RMONAR)	26-13
26.3.15	年アラームレジスタ (RYRAR)	26-13
26.3.16	RTC コントロールレジスタ 1 (RCR1)	26-14
26.3.17	RTC コントロールレジスタ 2 (RCR2)	26-15
26.3.18	RTC コントロールレジスタ (RCR3)	26-17
26.4	動作説明	26-17
26.4.1	電源投入後のレジスタの初期設定	26-17
26.4.2	時刻設定手順	26-17
26.4.3	時刻読み出し手順	26-18
26.4.4	アラーム機能	26-19
26.5	使用上の注意事項	26-20
26.5.1	RTC カウント動作時のレジスタ書き込みについて	26-20
26.5.2	リアルタイムクロック (RTC) の周期割り込みの使用について	26-20
26.5.3	レジスタ設定後のスタンバイ遷移について	26-20
26.5.4	30 秒アジャスト機能の使用について	26-20
27.	LCD コントローラ (LCDC)	27-1
27.1	特長	27-1

27.2	端子構成	27-5
27.3	レジスタの説明	27-6
27.3.1	LCDC パレットデータレジスタ 00~FF (LDPR00~LDPRFF)	27-11
27.3.2	メイン LCD ドットクロックパターンレジスタ 1 (MLDDCKPAT1R)	27-11
27.3.3	メイン LCD ドットクロックパターンレジスタ 2 (MLDDCKPAT2R)	27-12
27.3.4	サブ LCD ドットクロックパターンレジスタ 1 (SLDDCKPAT1R)	27-12
27.3.5	サブ LCD ドットクロックパターンレジスタ 2 (SLDDCKPAT2R)	27-13
27.3.6	LCDC ドットクロックレジスタ (LDDCKR)	27-13
27.3.7	ドットクロックストップレジスタ (LDDCKSTPR)	27-14
27.3.8	メイン LCD モジュールタイプレジスタ 1 (MLDMT1R)	27-15
27.3.9	メイン LCD モジュールタイプレジスタ 2 (MLDMT2R)	27-18
27.3.10	メイン LCD モジュールタイプレジスタ 3 (MLDMT3R)	27-19
27.3.11	メイン LCD データフォーマットレジスタ (MLDDFR)	27-20
27.3.12	メイン LCD スキャンモードレジスタ 1 (MLDSM1R)	27-22
27.3.13	メイン LCD スキャンモードレジスタ 2 (MLDSM2R)	27-23
27.3.14	メイン LCD 表示データ取り込み開始アドレスレジスタ 1 (MLDSA1R)	27-23
27.3.15	メイン LCD 表示データ取り込み開始アドレスレジスタ 2 (MLDSA2R)	27-24
27.3.16	メイン LCD 表示データ格納メモリラインサイズレジスタ (MLDMLSR)	27-24
27.3.17	メイン LCD 書き戻しデータフォーマットレジスタ (MLDWBFR)	27-25
27.3.18	メイン LCD 書き戻し制御レジスタ (MLDWBCNTR)	27-27
27.3.19	メイン LCD 書き戻し先開始アドレスレジスタ (MLDWBAR)	27-28
27.3.20	メイン LCD 水平キャラクタナンバーレジスタ (MLDHCNR)	27-28
27.3.21	メイン LCD 水平同期信号レジスタ (MLDHSYNR)	27-29
27.3.22	メイン LCD 垂直ラインナンバーレジスタ (MLDVLNR)	27-30
27.3.23	メイン LCD 垂直同期信号レジスタ (MLDVSYNR)	27-31
27.3.24	メイン LCD 水平パーシャル画面レジスタ (MLDHPDR)	27-32
27.3.25	メイン LCD 垂直パーシャル画面レジスタ (MLDVPDR)	27-33
27.3.26	メイン LCD パワーマネジメントレジスタ (MLDPMR)	27-34
27.3.27	LCDC パレット制御レジスタ (LDPALCR)	27-36
27.3.28	LCDC 割り込みレジスタ (LDINTR)	27-37
27.3.29	LCDC ステータスレジスタ (LDSR)	27-40
27.3.30	LCDC 制御レジスタ 1 (LDCNT1R)	27-41
27.3.31	LCDC 制御レジスタ 2 (LDCNT2R)	27-42
27.3.32	LCDC レジスタ面切り替え制御レジスタ (LDRCNTR)	27-44
27.3.33	LCDC 入力画像データスワップレジスタ (LDDDSR)	27-45
27.3.34	LCDC レジスタ面強制指定レジスタ (LDRCR)	27-46
27.3.35	サブ LCD モジュールタイプレジスタ 1 (SLDMT1R)	27-46
27.3.36	サブ LCD モジュールタイプレジスタ 2 (SLDMT2R)	27-48
27.3.37	サブ LCD モジュールタイプレジスタ 3 (SLDMT3R)	27-49
27.3.38	サブ LCD データフォーマットレジスタ (SLDDFR)	27-50
27.3.39	サブ LCD スキャンモードレジスタ 1 (SLDSM1R)	27-52

27.3.40	サブ LCD スキャンモードレジスタ 2 (SLDSM2R) .....	27-53
27.3.41	サブ LCD 表示データ取り込み開始アドレスレジスタ 1 (SLDSA1R) .....	27-53
27.3.42	サブ LCD 表示データ取り込み開始アドレスレジスタ (SLDSA2R) .....	27-54
27.3.43	サブ LCD 表示データ格納メモリラインサイズレジスタ (SLDMLSR) .....	27-54
27.3.44	サブ LCD 水平キャラクタナンバーレジスタ (SLDHCNR) .....	27-55
27.3.45	サブ LCD 水平同期信号レジスタ (SLDHSYNR) .....	27-56
27.3.46	サブ LCD 垂直ラインナンバーレジスタ (SLDVLNR) .....	27-57
27.3.47	サブ LCD 垂直同期信号レジスタ (SLDVSYNR) .....	27-58
27.3.48	サブ LCD 水平パーシャル画面レジスタ (SLDHPDR) .....	27-58
27.3.49	サブ LCD 垂直パーシャル画面レジスタ (SLDVPDR) .....	27-59
27.3.50	サブ LCD パワーマネジメントレジスタ (SLDPMR) .....	27-60
27.3.51	LCDC ドライバライトデータレジスタ 0 ~ F (LDDWD0R ~ LDDWDFR) .....	27-62
27.3.52	LCDC ドライバリードデータレジスタ (LDDRDR) .....	27-63
27.3.53	LCDC ドライバライトアクセスレジスタ (LDDWAR) .....	27-64
27.3.54	LCDC ドライバリードアクセスレジスタ (LDDRAR) .....	27-65
27.4	動作説明 .....	27-66
27.4.1	LCDC 表示性能 .....	27-66
27.4.2	カラーパレット仕様について .....	27-66
27.4.3	表示タイミングコントロール .....	27-67
27.4.4	ワンショットモード .....	27-67
27.4.5	パーシャル画面モード .....	27-68
27.4.6	パワーマネジメント .....	27-69
27.4.7	ドットクロック設定例 .....	27-70
27.5	レジスタ設定方法 .....	27-71
27.5.1	2 面レジスタの切り替えタイミング .....	27-71
27.6	クロックストップ制御 .....	27-71
27.6.1	自律クロックストップ .....	27-71
27.7	クロックと液晶データ信号例 .....	27-72
27.8	データフォーマット .....	27-75
27.8.1	メイン LCD 出力データフォーマット .....	27-75
27.8.2	サブ LCD 出力データフォーマット .....	27-76
27.8.3	書き戻しデータフォーマット .....	27-77
27.9	使用上の注意事項 .....	27-77
27.9.1	アドレスレジスタの設定値について .....	27-77
27.9.2	画像データ入力フォーマット YCbCr4:2:0 時のユーザ指定割り込みの発生について .....	27-77
28.	USB モジュール (USB) .....	28-1
28.1	特長 .....	28-1
28.2	入出力端子 .....	28-4
28.3	レジスタの説明 .....	28-4

28.3.1	システムコンフィギュレーションコントロールレジスタ (SYSCFG) .....	28-8
28.3.2	システムコンフィギュレーションステータスレジスタ (SYSSTS) .....	28-10
28.3.3	デバイスステートコントロールレジスタ (DVSTCTR) .....	28-11
28.3.4	テストモードレジスタ (TESTMODE) .....	28-14
28.3.5	FIFO バスコンフィギュレーションレジスタ (CFBCFG、D0FBCFG) .....	28-15
28.3.6	FIFO ポートレジスタ (CFIFO、D0FIFO) .....	28-17
28.3.7	FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL) .....	28-18
28.3.8	FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR) .....	28-21
28.3.9	CFIFO ポート SIE レジスタ (CFIFOSIE) .....	28-22
28.3.10	D0 トランザクションカウンタレジスタ (D0FIFOTRN) .....	28-23
28.3.11	割り込み許可レジスタ 0 (INTENB0) .....	28-23
28.3.12	割り込み許可レジスタ 1 (INTENB1) .....	28-25
28.3.13	BRDY 割り込み許可レジスタ (BRDYENB) .....	28-27
28.3.14	NRDY 割り込み許可レジスタ (NRDYENB) .....	28-28
28.3.15	BEMP 割り込み許可レジスタ (BEMPENB) .....	28-29
28.3.16	割り込みステータスレジスタ 0 (INTSTS0) .....	28-30
28.3.17	割り込みステータスレジスタ 1 (INTSTS1) .....	28-32
28.3.18	BRDY 割り込みステータスレジスタ (BRDYSTS) .....	28-34
28.3.19	NRDY 割り込みステータスレジスタ (NRDYSTS) .....	28-35
28.3.20	BEMP 割り込みステータスレジスタ (BEMPSTS) .....	28-36
28.3.21	フレームナンバレジスタ (FRMNUM) .....	28-37
28.3.22	μフレームナンバレジスタ (UFRMNUM) .....	28-38
28.3.23	USB アドレスレジスタ (RECOVER) .....	28-39
28.3.24	USB リクエストタイプレジスタ (USBREQ) .....	28-39
28.3.25	USB リクエストバリュージェジスタ (USBVAL) .....	28-40
28.3.26	USB リクエストインデックスレジスタ (USBINDX) .....	28-40
28.3.27	USB リクエストレングスレジスタ (USBLENG) .....	28-41
28.3.28	DCP コンフィギュレーションレジスタ (DCPCFG) .....	28-41
28.3.29	DCP マックスパケットサイズレジスタ (DCPMAXP) .....	28-42
28.3.30	DCP コントロールレジスタ (DCPCTR) .....	28-43
28.3.31	パイプウィンドウ選択レジスタ (PIPESEL) .....	28-44
28.3.32	パイプコンフィギュレーションレジスタ (PIPECFG) .....	28-46
28.3.33	パイプバッファ指定レジスタ (PIPEBUF) .....	28-48
28.3.34	パイプマックスパケットサイズレジスタ (PIPEMAXP) .....	28-49
28.3.35	パイプ周期制御レジスタ (PIPEPERI) .....	28-49
28.3.36	PIPE <sub>n</sub> コントロールレジスタ (PIPE <sub>n</sub> CTR) (n = 1 ~ 7) .....	28-51
28.4	<b>動作説明</b> .....	28-54
28.4.1	システム制御および発振制御 .....	28-54
28.4.2	割り込み機能 .....	28-56
28.4.3	パイプコントロール .....	28-69
28.4.4	バッファメモリ .....	28-74



28.4.5	コントロール転送 (DCP) .....	28-85
28.4.6	バルク転送 (PIPE1 ~ PIPE5) .....	28-88
28.4.7	インタラプト転送 (PIPE6、PIPE7) .....	28-89
28.4.8	アイソクロナス転送 (PIPE1、PIPE2) .....	28-91
28.4.9	SOF 補間機能 .....	28-96
28.4.10	外部回路例 .....	28-97
<b>29.</b>	<b>キースキャンインタフェース (KEYSC) .....</b>	<b>29-1</b>
29.1	特長 .....	29-1
29.2	入出力端子 .....	29-3
29.3	レジスタの説明 .....	29-4
29.3.1	キースキャンコントロールレジスタ 1 (KYCR1) .....	29-5
29.3.2	キースキャンコントロールレジスタ 2 (KYCR2) .....	29-6
29.3.3	キースキャンインデータレジスタ (KYINDR) .....	29-7
29.3.4	キースキャンアウトデータレジスタ (KYOUTDR) .....	29-8
29.4	動作説明 .....	29-9
29.4.1	チャタリング除去 .....	29-9
29.4.2	キーの多重押し検出 .....	29-9
29.4.3	レジスタアクセス .....	29-9
29.5	使用例 .....	29-10
29.5.1	レベル割り込み (KYCPU_IE1、KYCPU_IE0 = 01) .....	29-10
29.5.2	エッジ割り込み (KYCPU_IE1、KYCPU_IE0 = 1x) .....	29-11
<b>30.</b>	<b>ピンファンクションコントローラ (PFC) .....</b>	<b>30-1</b>
30.1	概要 .....	30-1
30.2	レジスタの説明 .....	30-6
30.2.1	ポート A コントロールレジスタ (PACR) .....	30-8
30.2.2	ポート B コントロールレジスタ (PBCR) .....	30-9
30.2.3	ポート C コントロールレジスタ (PCCR) .....	30-10
30.2.4	ポート D コントロールレジスタ (PDCR) .....	30-12
30.2.5	ポート E コントロールレジスタ (PECR) .....	30-13
30.2.6	ポート F コントロールレジスタ (PFCR) .....	30-14
30.2.7	ポート G コントロールレジスタ (PGCR) .....	30-16
30.2.8	ポート H コントロールレジスタ (PHCR) .....	30-17
30.2.9	ポート J コントロールレジスタ (PJCR) .....	30-18
30.2.10	ポート K コントロールレジスタ (PKCR) .....	30-19
30.2.11	ポート L コントロールレジスタ (PLCR) .....	30-20
30.2.12	ポート M コントロールレジスタ (PMCR) .....	30-22
30.2.13	ポート N コントロールレジスタ (PNCR) .....	30-23
30.2.14	ポート Q コントロールレジスタ (PQCR) .....	30-24

30.2.15	ポート R コントロールレジスタ (PRCR) .....	30-26
30.2.16	ポート S コントロールレジスタ (PSCR) .....	30-27
30.2.17	ポート T コントロールレジスタ (PTCR) .....	30-28
30.2.18	ポート U コントロールレジスタ (PUCR) .....	30-29
30.2.19	ポート V コントロールレジスタ (PVCR) .....	30-30
30.2.20	ポート W コントロールレジスタ (PWCR) .....	30-31
30.2.21	ポート X コントロールレジスタ (PXCRC) .....	30-32
30.2.22	ポート Y コントロールレジスタ (PYCR) .....	30-33
30.2.23	ポート Z コントロールレジスタ (PZCR) .....	30-34
30.2.24	ピンセレクトレジスタ A (PSELA) .....	30-36
30.2.25	ピンセレクトレジスタ B (PSELB) .....	30-37
30.2.26	ピンセレクトレジスタ C (PSELC) .....	30-38
30.2.27	ピンセレクトレジスタ D (PSELD) .....	30-39
30.2.28	ピンセレクトレジスタ E (PSELE) .....	30-40
30.2.29	I/O バッファ Hi-Z 制御レジスタ A (HIZCRA) .....	30-41
30.2.30	I/O バッファ Hi-Z 制御レジスタ B (HIZCRB) .....	30-42
30.2.31	I/O バッファ Hi-Z 制御レジスタ C (HIZCRC) .....	30-43
30.2.32	モジュール機能選択レジスタ A (MSELCRA) .....	30-45
30.2.33	モジュール機能選択レジスタ B (MSELCRB) .....	30-45
30.2.34	プルアップダウン制御レジスタ (PULCR) .....	30-46
30.2.35	I/O バッファ Drive 制御レジスタ (DRVCR) .....	30-46
30.2.36	SBSC タイミング制御レジスタ (SBSCR) .....	30-48
30.2.37	端子毎設定一覧表 .....	30-49
31.	I/O ポート .....	31-1
31.1	レジスタの説明 .....	31-1
31.2	ポート A .....	31-3
31.2.1	ポート A データレジスタ (PADR) .....	31-3
31.3	ポート B .....	31-4
31.3.1	ポート B データレジスタ (PBDR) .....	31-4
31.4	ポート C .....	31-5
31.4.1	ポート C データレジスタ (PCDR) .....	31-5
31.5	ポート D .....	31-6
31.5.1	ポート D データレジスタ (PDDR) .....	31-6
31.6	ポート E .....	31-7
31.6.1	ポート E データレジスタ (PEDR) .....	31-7
31.7	ポート F .....	31-8
31.7.1	ポート F データレジスタ (PFDR) .....	31-8
31.8	ポート G .....	31-9
31.8.1	ポート G データレジスタ (PGDR) .....	31-9

31.9	ポートH.....	31-10
31.9.1	ポートHデータレジスタ (PHDR) .....	31-10
31.10	ポートJ.....	31-11
31.10.1	ポートJデータレジスタ (PJDR) .....	31-11
31.11	ポートK.....	31-12
31.11.1	ポートKデータレジスタ (PKDR) .....	31-12
31.12	ポートL.....	31-13
31.12.1	ポートLデータレジスタ (PLDR) .....	31-13
31.13	ポートM.....	31-14
31.13.1	ポートMデータレジスタ (PMDR) .....	31-14
31.14	ポートN.....	31-15
31.14.1	ポートNデータレジスタ (PNDR) .....	31-15
31.15	ポートQ.....	31-16
31.15.1	ポートQデータレジスタ (PQDR) .....	31-16
31.16	ポートR.....	31-17
31.16.1	ポートRデータレジスタ (PRDR) .....	31-17
31.17	ポートS.....	31-18
31.17.1	ポートSデータレジスタ (PSDR) .....	31-18
31.18	ポートT.....	31-19
31.18.1	ポートTデータレジスタ (PTDR) .....	31-19
31.19	ポートU.....	31-20
31.19.1	ポートUデータレジスタ (PUDR) .....	31-20
31.20	ポートV.....	31-21
31.20.1	ポートVデータレジスタ (PVDR) .....	31-21
31.21	ポートW.....	31-22
31.21.1	ポートWデータレジスタ (PWDR) .....	31-22
31.22	ポートX.....	31-23
31.22.1	ポートXデータレジスタ (PXDR) .....	31-23
31.23	ポートY.....	31-24
31.23.1	ポートYデータレジスタ (PYDR) .....	31-24
31.24	ポートZ.....	31-25
31.24.1	ポートZデータレジスタ (PZDR) .....	31-25
32.	ユーザブレイクコントローラ (UBC) .....	32-1
32.1	特長.....	32-1
32.2	レジスタの説明.....	32-3
32.2.1	マッチ条件設定レジスタ 0、1 (CBR0、CBR1) .....	32-4
32.2.2	マッチ動作設定レジスタ 0、1 (CRR0、CRR1) .....	32-9
32.2.3	マッチアドレス設定レジスタ 0、1 (CAR0、CAR1) .....	32-11
32.2.4	マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1) .....	32-13

32.2.5	マッチデータ設定レジスタ 1 (CDR1) .....	32-14
32.2.6	マッチデータマスク設定レジスタ 1 (CDMR1) .....	32-15
32.2.7	実行回数ブレークレジスタ 1 (CETR1) .....	32-15
32.2.8	チャンネルマッチフラグレジスタ (CCMFR) .....	32-16
32.2.9	ブレークコントロールレジスタ (CBCR) .....	32-17
32.3	動作説明 .....	32-17
32.3.1	アクセスに関する用語の説明 .....	32-17
32.3.2	ユーザブレーク動作の流れ .....	32-18
32.3.3	命令フェッチサイクルブレーク .....	32-19
32.3.4	オペランドアクセスサイクルブレーク .....	32-20
32.3.5	XメモリまたはYメモリバスサイクルブレーク .....	32-21
32.3.6	シーケンシャルブレーク .....	32-22
32.3.7	退避されるプログラムカウンタの値 .....	32-23
32.4	ユーザブレークデバッグサポート機能 .....	32-24
32.5	ユーザブレーク使用例 .....	32-25
32.6	使用上の注意事項 .....	32-30
33.	ユーザデバッグインタフェース (H-UDI) .....	33-1
33.1	特長 .....	33-1
33.2	入出力端子 .....	33-3
33.3	レジスタの説明 .....	33-4
33.3.1	インストラクションレジスタ (SDIR) .....	33-5
33.3.2	データレジスタ H、L (SDDRH、SDDRL) .....	33-5
33.3.3	割り込み要因レジスタ (SDINT) .....	33-6
33.4	動作説明 .....	33-7
33.4.1	TAP 制御 .....	33-7
33.4.2	H-UDI リセット .....	33-8
33.4.3	H-UDI 割り込み .....	33-8
33.5	注意事項 .....	33-8
34.	レジスタ一覧 .....	34-1
34.1	レジスタアドレス一覧 .....	34-2
34.2	各動作モードにおけるレジスタの状態 .....	34-18
35.	電気的特性 .....	35-1
35.1	絶対最大定格 .....	35-1
35.2	推奨動作条件 .....	35-1
35.3	電源投入および切断順序 .....	35-2
35.4	DC特性 .....	35-4
35.5	AC特性 .....	35-6

35.5.1	クロックタイミング .....	35-7
35.5.2	割り込み信号タイミング .....	35-10
35.5.3	BSC バスタイミング仕様 .....	35-11
35.5.4	SDRAM タイミング (SDRAM 専用バス) .....	35-26
35.5.5	I/O ポート信号タイミング .....	35-46
35.5.6	DMAC モジュール信号タイミング .....	35-46
35.5.7	SIM モジュール信号タイミング .....	35-47
35.5.8	TPU モジュール信号タイミング .....	35-47
35.5.9	SIO モジュール信号タイミング .....	35-48
35.5.10	SIOF モジュール信号タイミング .....	35-51
35.5.11	SCIF モジュール信号タイミング .....	35-55
35.5.12	I <sup>2</sup> C モジュール信号タイミング .....	35-57
35.5.13	LCDC モジュール信号タイミング .....	35-58
35.5.14	USB トランシーバタイミング (フルスピード) .....	35-62
35.5.15	KEYSC モジュール信号タイミング .....	35-63
35.5.16	AC 特性測定条件 .....	35-64
付録	.....	付録-1
A.	CPU動作モードレジスタ (CPUOPM) .....	付録-1
B.	命令プリフェッチとその副作用について .....	付録-2
C.	リセット、低消費電力状態での端子状態 .....	付録-3
D.	SH7731型名一覧 .....	付録-10
E.	外形寸法図 .....	付録-10
本版で改訂された箇所	.....	改-1
索引	.....	索引-1



---

# 1. 概要

---

SH7731 は、最大 333MHz 動作可能な SH4AL-DSP をコアとして、システム構成に必要とされる周辺機能を内蔵した RISC マイクロプロセッサです。SH7731 は、64 ビット SDRAM インタフェース、128K バイトユーザメモリ、LCD コントローラ、USB2.0 ハイスピード対応ホスト/ファンクションをはじめとする豊富な周辺機能を搭載しています。

また、強力なパワーマネジメント機能により、動作電流や待機電流を低く抑えることが可能です。SH7731 は、高性能、低電力を同時に要求される電子機器に最適な LSI です。

## 1.1 特長

SH7731 の特長を表 1.1 に示します。

表 1.1 本 LSI の特長

項目	特 長
CPU	<ul style="list-style-type: none"><li>• ルネサス テクノロジオリジナルアーキテクチャ</li><li>• SH-1、SH-2、SH-3、SH3-DSP と命令セットレベルで上位互換</li><li>• 32 ビット内部データバス</li><li>• 汎用レジスタファイル<ul style="list-style-type: none"><li>- 16 本の 32 ビット汎用レジスタ (8 本の 32 ビットシャドウレジスタ)</li><li>- 7 本の 32 ビット制御レジスタ</li><li>- 4 本の 32 ビットシステムレジスタ</li></ul></li><li>• RISC タイプ命令セット (SH-1、SH-2、SH-3、SH3-DSP と上位互換性あり)<ul style="list-style-type: none"><li>- 命令長: コードの効率改善のための 16 ビット固定長</li><li>- ロードストアアーキテクチャ</li><li>- 遅延分岐命令</li><li>- 条件付き実行</li><li>- C 言語に基づく命令セット</li></ul></li><li>• 2 命令同時実行型スーパスカラ</li><li>• 命令実行時間: 最大 2 命令 / サイクル</li><li>• 仮想アドレス空間: 4G バイト</li><li>• 空間識別子 ASID: 8 ビット、256 仮想アドレス空間</li><li>• 乗算器内蔵</li><li>• 8 段パイプライン</li></ul>

## 1. 概要

項目	特 長
DSP ユニット	<ul style="list-style-type: none"> <li>• 16 ビット命令、32 ビット命令の混在可能</li> <li>• 32 または 40 ビットの内部データバスを内蔵</li> <li>• 乗算器、ALU、バレルシフタに対応</li> <li>• 16 ビット×16 ビットに対応する 32 ビット乗算器を内蔵</li> <li>• 大容量の DSP データレジスタファイルをサポート               <ul style="list-style-type: none"> <li>- 6 本の 32 ビットデータレジスタ</li> <li>- 2 本の 40 ビットデータレジスタ</li> </ul> </li> <li>• DSP データバス用の拡張ハーバードアーキテクチャをサポート               <ul style="list-style-type: none"> <li>- 2 本のデータバス</li> <li>- 1 本の命令バス</li> </ul> </li> <li>• 最大 4 つの並列演算を実行可能               <ul style="list-style-type: none"> <li>- ALU、乗算、2つのロード/ストア</li> </ul> </li> <li>• 2 つのメモリアクセス用のアドレスを生成するための 2 本のアドレスユニットを装備</li> <li>• DSP データアドレッシングモードをサポート               <ul style="list-style-type: none"> <li>- インクリメント、およびインデクシング (モジュロアドレッシングあり/なし)</li> </ul> </li> <li>• ゼロオーバーヘッドリピートループ制御に対応</li> <li>• 条件付き実行命令に対応</li> <li>• ユーザ DSP モードおよび特権 DSP モードをサポート</li> </ul>
メモリ マネジメント ユニット (MMU)	<ul style="list-style-type: none"> <li>• 4G バイトのアドレス空間、256 のアドレス空間 (ASID8 ビット)</li> <li>• 単一仮想記憶モードと多重仮想記憶モード</li> <li>• 複数のページサイズをサポート : 1K、4K、8K、64K、256K、1M、4M、64M バイト</li> <li>• 命令に対する 4 エントリのフルアソシアティブ TLB</li> <li>• 命令およびオペランドに対する 64 エントリのフルアソシアティブ TLB</li> <li>• ソフトウェアによる入換方法およびランダムカウンタ方式入換アルゴリズムをサポート</li> <li>• TLB の内容はアドレスマッピングにより直接アクセス可能</li> </ul> <p>【注】 本 LSI では、32 ビットアドレス拡張モードおよび 32 ビットブート機能はサポートしておりません。</p>
キャッシュ メモリ	<ul style="list-style-type: none"> <li>• 命令キャッシュ (IC)           <ul style="list-style-type: none"> <li>- 32K バイト、4 ウェイセットアソシアティブ</li> <li>- 32 バイトブロック長</li> </ul> </li> <li>• オペランドキャッシュ (OC)           <ul style="list-style-type: none"> <li>- 32K バイト、4 ウェイセットアソシアティブ</li> <li>- 32 バイトブロック長</li> </ul> </li> <li>• 選択可能な書き込み方式 (コピーバック/ライトスルー)</li> </ul>



項目	特 長
X/Y メモリ	<ul style="list-style-type: none"> <li>● 4本の独立した読み出し / 書き込みポート <ul style="list-style-type: none"> <li>- CPU から仮想アドレスによる 8/16/32 ビットオペランドアクセス</li> <li>- DSP からの最大 2 個の 16 ビットアクセス</li> <li>- CPU から物理アドレスによる 8/16/32 ビットオペランドアクセスおよび CPU からの命令フェッチアクセス</li> <li>- SuperHyway バスマスタからの 8 / 16 / 32 / 64 ビットおよび 16 / 32 バイトアクセス</li> </ul> </li> <li>● 容量 16K バイト</li> <li>● CPU アクセスでの記憶保護機構に加え、DSP アクセス専用の記憶保護機構をサポート</li> </ul>
U メモリ	<ul style="list-style-type: none"> <li>● 2本の独立した読み出し / 書き込みポート <ul style="list-style-type: none"> <li>- CPU からの 8 / 16 / 32 ビットアクセス</li> <li>- SuperHyway バスマスタからの 8 / 16 / 32 / 64 ビットおよび 16 / 32 バイトアクセス</li> </ul> </li> <li>● 128K バイトの大容量メモリを内蔵</li> </ul>
IL メモリ (ILRAM)	<ul style="list-style-type: none"> <li>● 3本の独立した読み出し / 書き込みポート <ul style="list-style-type: none"> <li>- CPU から仮想アドレスによる命令フェッチアクセス</li> <li>- CPU から物理アドレスによる命令フェッチアクセスおよび 8/16/32 ビットオペランドアクセス</li> <li>- SuperHyway バスマスタからの 8/16/32/64 ビットおよび 16/32 バイトアクセス</li> </ul> </li> <li>● 容量 4K バイト</li> </ul>
割り込み コントローラ (INTC)	<ul style="list-style-type: none"> <li>● 9本の外部割り込み端子 (NMI、IRQ7 ~ IRQ0) <ul style="list-style-type: none"> <li>- NMI : 立ち下がり / 立ち上がり選択可能</li> <li>- IRQ : 立ち下がり / 立ち上がり / ハイレベル / ローレベル選択可能</li> </ul> </li> <li>● 内蔵周辺割り込み : モジュールごとに優先順位を設定</li> </ul>
バーステート コントローラ (BSC)	<ul style="list-style-type: none"> <li>● SRAM、バースト ROM、PCMCIA インタフェース機能をサポート</li> <li>● 物理アドレス空間 : 最大 64M バイトの 2つの領域 (エリア 0、4)、および最大 32M バイトの 4つの領域 (エリア 5A、5B、6A、6B) の合計 6 エリアをサポート</li> <li>● 各エリアには独立に以下の設定が可能 <ul style="list-style-type: none"> <li>- メモリ種類 : SRAM、NOR-Flash、バースト ROM、PCMCIA</li> <li>- データバス幅 : 16 ビット / 32 ビット切り替え可能 (SBSC 用データバス幅 64 ビット選択時は 16 ビット)</li> <li>- ウェイトサイクル数</li> </ul> </li> </ul>
SDRAM 用 バーステート コントローラ (SBSC)	<ul style="list-style-type: none"> <li>● 3.3V SDR-SDRAM を直結可能</li> <li>● 物理アドレス空間 : 最大 64M バイトの 2つの領域 (エリア 2、3) をサポート 合計最大 128M バイトの SDRAM を接続可能</li> <li>● データバス幅 : 16 ビット / 32 ビット / 64 ビット切り替え可能 ただし、BSC 用データバス幅 32 ビット選択時は 16 ビット / 32 ビットのみ</li> <li>● オートリフレッシュ / セルフリフレッシュをサポート</li> <li>● オートプリチャージモード / バンクアクティブモード選択可能</li> </ul>

## 1. 概要

項目	特 長
ダイレクト メモリアクセス コントローラ (DMAC)	<ul style="list-style-type: none"> <li>• 6チャンネル内蔵、内1チャンネルは外部リクエスト受け付け可能(チャンネル0)</li> <li>• アドレス空間：アーキテクチャ上は4Gバイト</li> <li>• データ転送長：バイト、ワード(2バイト)、ロングワード(4バイト)、16バイト、32バイト</li> <li>• 最大転送回数：16,777,216回</li> <li>• アドレスモード：デュアルアドレスモード 転送要求：外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能。</li> <li>• バスモード：サイクルスチールモード(通常モードとインターミットモード)とバーストモードから選択可能</li> <li>• 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能</li> <li>• 割り込み要求：データ転送終了時にCPUへ割り込み要求可能を発生可能</li> <li>• リピート機能：DMA転送終了時に、転送元、転送先、転送回数を自動で再設定する機能</li> <li>• リロード機能：指定回数分のDMA転送終了時に、転送元、転送先を自動で再設定する機能</li> </ul>
クロックパルス発 生器(CPG)	<ul style="list-style-type: none"> <li>• クロックモード：入力クロックを外部入力(EXTAL、RCLK)から選択可能</li> <li>• 6種類のシステムクロックを生成 <ul style="list-style-type: none"> <li>- CPUクロック(C )：最大333.4MHz(V<sub>DD</sub>=1.25~1.35V)</li> <li>- SuperHywayバスクロック(SH )：最大133.4MHz</li> <li>- Uメモリクロック(U )：最大133.4MHz</li> <li>- SDRAM用クロック(B3 )：最大133.4MHz</li> <li>- バスクロック(B )：最大66.7MHz</li> <li>- 周辺クロック(P )：最大33.4MHz</li> </ul> </li> <li>• パワーダウンモードのサポート <ul style="list-style-type: none"> <li>- モジュールスタンバイ機能(モジュール単位でクロックを停止)</li> <li>- スリープモード(CPUコアのクロックを停止)</li> <li>- ソフトウェアスタンバイモード(I/O部とRCLK動作領域を除いて、LSI内部のクロックを停止)</li> <li>- Uスタンバイモード(I/O部とRCLK動作領域を除いて、LSI内部の電源を切断)</li> </ul> </li> </ul>
タイマユニット (TMU)	<ul style="list-style-type: none"> <li>• 32ビットタイマ 3チャンネル内蔵</li> <li>• オートリロード方式の32ビットダウンカウンタ</li> <li>• P<sub>0</sub>でのプリスケアラ内蔵</li> <li>• 割り込み要求あり</li> </ul>
コンペアマッチ タイマ(CMT)	<ul style="list-style-type: none"> <li>• 32ビットタイマ1チャンネル内蔵(16ビット/32ビット切り替え可)</li> <li>• 源クロック：RCLK</li> <li>• コンペアマッチ機能内蔵</li> <li>• 割り込み要求あり</li> </ul>
Rウォッチドッグ タイマ(RWDT)	<ul style="list-style-type: none"> <li>• 1チャンネルのRCLK動作のウォッチドッグタイマ</li> <li>• 各種パワーダウンモード時に動作可能</li> <li>• カウンタオーバーフローによりシステムリセットを発生</li> </ul>
リアルタイム クロック(RTC)	<ul style="list-style-type: none"> <li>• RCLK動作のタイマで、時計・カレンダー機能を搭載</li> <li>• アラーム割り込み、周期割り込みを発生</li> </ul>

項目	特 長
タイマパルス ユニット (TPU)	<ul style="list-style-type: none"> <li>• 4本のパルス出力が可能</li> <li>• 最大4相のPWM出力が可能</li> <li>• 割り込み要求あり</li> </ul>
シリアル I/O (SIO)	<ul style="list-style-type: none"> <li>• 1チャンネル内蔵</li> <li>• クロック同期式モード (クロック/データ/ストローブ2本)</li> <li>• データ長プログラマブル</li> <li>• アイドル時のクロック極性およびデータ値の扱いをプログラマブル (L、Hi-Z など)</li> <li>• アドレスビット長 8 ビット固定/データ長プログラマブル</li> <li>• ストローブ位置プログラマブル、レベル/エッジ対応可</li> <li>• MSB/LSB 変更可</li> <li>• P でのプリスケアラ内蔵</li> <li>• 割り込み要求あり</li> </ul>
シリアル I/O FIFO 付 (SIOF)	<ul style="list-style-type: none"> <li>• 2チャンネル内蔵</li> <li>• 送受信 FIFO おのおの 64 バイト内蔵</li> <li>• 8 ビット / 16 ビット / 16 ビットステレオ音声入出力対応</li> <li>• P および外部端子からのサンプリングレートクロックを入力選択可</li> <li>• P でのプリスケアラ内蔵</li> <li>• 割り込み要求あり、DMAC 要求あり</li> <li>• SPI モード <ul style="list-style-type: none"> <li>- マスタモード固定で、SPI スレーブデバイスと全二重による連続通信が可能</li> <li>- データサンプリングとしてシリアルクロック (SCK) の立ち下がりエッジ / 立ち上がりエッジを選択</li> <li>- 送信タイミングとして SCK のクロックフェーズを選択</li> <li>- 3つのスレーブデバイスを選択</li> <li>- 送受信データ長は 8 ビット固定</li> </ul> </li> </ul>
FIFO 内蔵 シリアルコミュニ ケーション インタフェース (SCIF)	<ul style="list-style-type: none"> <li>• 3チャンネル内蔵</li> <li>• 送信用 FIFO おのおの 16 バイト内蔵</li> <li>• Bluetooth 対応の高速 UART</li> <li>• P でのプリスケアラ内蔵</li> <li>• 割り込み要求あり、DMA 転送要求あり</li> <li>• 調歩同期式、クロック同期式の 2 方式でシリアル通信可能</li> </ul>
SIM カード インタフェース (SIM)	<ul style="list-style-type: none"> <li>• 1チャンネル。ISO7816-3 データプロトコルに対応 (T=0、T=1)</li> <li>• 調歩同期式半二重キャラクタ伝送プロトコル</li> <li>• データ長 8 ビット</li> <li>• パリティビットの生成およびチェック</li> <li>• 1etu (Elementary time unit) 当たりの出力クロック数を選択可能</li> <li>• ダイレクトコンベンション / インバースコンベンションの選択可能</li> <li>• プリスケアラ内蔵</li> <li>• アイドル時のクロック極性変更可 (ローまたはハイなど)</li> <li>• 割り込み要求あり、DMA 転送要求あり</li> </ul>

## 1. 概要

項目	特 長
IrDA インタフェース (IrDA)	<ul style="list-style-type: none"> <li>バージョン 1.2a 対応</li> <li>CRC 生成機能あり</li> <li>割り込み要求あり、DMA 転送要求あり</li> </ul>
I <sup>2</sup> C バス インタフェース (IIC)	<ul style="list-style-type: none"> <li>シングルマスタ送受信対応</li> <li>標準モード (100kHz) および高速モード (400kHz) に対応</li> <li>割り込み要求あり</li> </ul>
LCD コントローラ (LCDC)	<ul style="list-style-type: none"> <li>対応液晶パネル：TFT カラー液晶</li> <li>入力データ形式：12/16/18/24bpp</li> <li>LCD ドライバインタフェース： <ul style="list-style-type: none"> <li>- メモリバスとは独立した LCD 専用バス</li> <li>- RGB インタフェースと 80 系 CPU バスインタフェース (SYS インタフェース) から選択可能</li> <li>- SYS インタフェースでは、メイン液晶、サブ液晶それぞれに VSYNC 入力 / 出力モードをサポート</li> <li>- ビット幅は 8 / 9 / 12 / 16 / 18 / 24 をサポート</li> <li>- 1 ピクセル 1 回 / 2 回 / 3 回転送モードをサポート</li> <li>- RGB インタフェース時、各信号の極性、SYNC の出力位置、幅をプログラマブルに設定可能</li> <li>- SYS インタフェース時、アクセスサイクルをプログラマブルに設定可能</li> </ul> </li> <li>ドットクロック：ソースクロックにバスクロック、周辺クロックまたは外部クロックから選択可能</li> <li>表示データ取得：パネルのリフレッシュレートに応じた連続モードと動画のフレームレートに応じた 1 ショットモードをサポート、または書き換え部分のみのデータ取得可能</li> <li>256 エントリ / 24 ビット入出力のカラーパレットを搭載</li> <li>フレーム単位やユーザ指定ライン位置での割り込み発生可能</li> <li>割り込み要求あり、バスマスタ機能あり</li> </ul>
USB モジュール (USB)	<ul style="list-style-type: none"> <li>USB2.0 のホストコントローラとペリフェラルコントローラを内蔵</li> <li>USB2.0 ハイスピードモード (480Mbps)、フルスピードモード (12Mbps) 対応</li> <li>USB トランシーバ内蔵</li> <li>合計 8 エンドポイントサポート、エンドポイント番号は切り替え可</li> <li>コントロール (エンドポイント 0)、バルク転送方式 (計 5 エンドポイント)、インタラプト (計 2 エンドポイント)、アイソクロナス (計 2 エンドポイント) をサポート</li> <li>USB 標準コマンドをサポートし、クラスおよびベンダコマンドはファームウェアで処理</li> <li>エンドポイント用の FIFO バッファを内蔵 (バルク、アイソクロナス)</li> <li>モジュール入力クロック：48MHz</li> <li>割り込み要求あり、DMA 転送要求あり</li> </ul>
キースキャン インタフェース (KEYSC)	<ul style="list-style-type: none"> <li>キースキャン対応：キー入力割り込み検出にチャタリング防止機能付</li> <li>入力 / 出力本数切り替え可能 (入力 5 本 / 出力 6 本、入力 6 本 / 出力 5 本、入力 7 本 / 出力 4 本)</li> <li>ソフトウェアスタンバイ、U-スタンバイからキー入力で復帰可能</li> <li>割り込み要求あり</li> </ul>

項目	特 長
SD カードホスト インタフェース (SDHI)	<ul style="list-style-type: none"><li>• SD メモリ / SDIO インタフェースに対応</li><li>• 最大動作周波数 : 25MHz</li><li>• カード検出機能</li><li>• 割り込み要求、DMA 転送要求あり</li></ul>
I/O ポート	<ul style="list-style-type: none"><li>• 入出力兼用ポートはビットごとに入出力切り替え可能</li></ul>
ユーザブ레이크 コントローラ (UBC)	<ul style="list-style-type: none"><li>• ユーザブ레이크割り込みによるデバッグをサポート</li><li>• 2本のブ레이크チャンネル</li><li>• アドレス、データ値、アクセスタイプ、データサイズはすべてブ레이크条件として設定可能</li><li>• シーケンシャルブ레이크機能をサポート</li></ul>
ユーザデバッグ インタフェース (H-UDI)	<ul style="list-style-type: none"><li>• E10A エミュレータのサポート</li><li>• リアルタイム分岐トレース</li></ul>
パッケージ	<ul style="list-style-type: none"><li>• 449pin BGA パッケージ ( 21mm×21mm、0.8mm ピッチ )</li><li>• 417pin LFBGA パッケージ ( 13mm×13mm、0.5mm ピッチ )</li></ul>
電源電圧	<ul style="list-style-type: none"><li>• I/O : 3.0V ~ 3.6V</li><li>• 内部 : 1.15V ~ 1.35V</li></ul>

# 1. 概要

## 1.2 ブロック図

ブロック図を図 1.1 に示します。

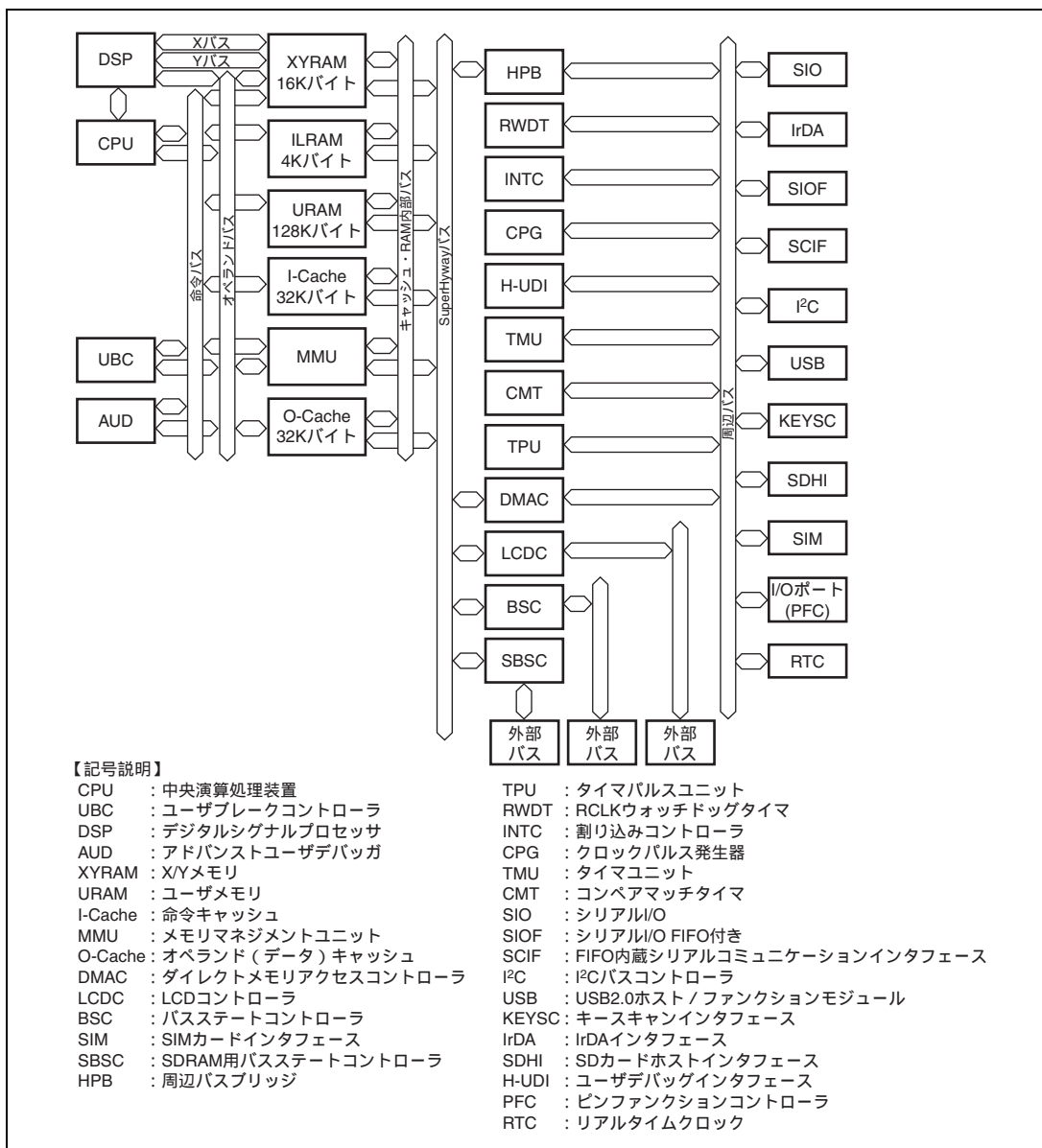


図 1.1 ブロック図

## 1.3 ピン配置図

### 1.3.1 BGA449 ピン配置図

BGA449 のピン配置図を図 1.2 に示します。端子配置表を表 1.2 に示します。

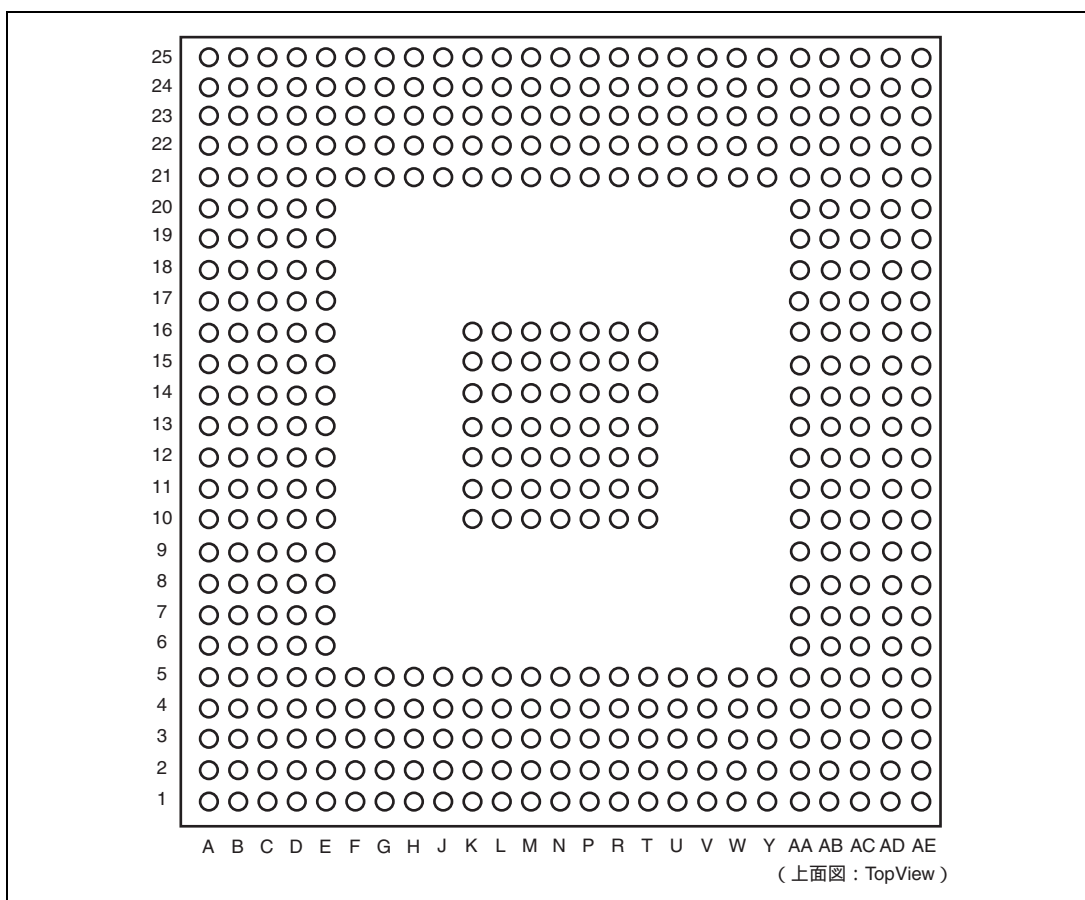


図 1.2 ピン配置図 (BGA449)

## 1. 概要

表 1.2 端子配置表 (BGA449)

端子番号	端子名	機能	未使用時の処理
A1	AV33	USB 基準電源回路用 3.3V 電源	使用する
A2	Vss	グラウンド	使用する
A3	XTAL	クロック出力	オープン
A4	EXTAL	外部クロック入力	プルダウン
A5	PTG3/AUDATA3	ポート / AUD データ出力	オープン
A6	AUDCK	AUD クロック	オープン
A7	TCK	H-UDI テストクロック入力	オープン
A8	PTJ6	ポート	オープン
A9	RCLK	32.768kHz クロック入力	使用する
A10	TSTMD	テストモード設定	プルアップ
A11	MD0	モード設定端子	使用する
A12	PTS1/SCIF0_RXD	ポート / SCIF 受信データ	オープン
A13	PTK4/SIOF1_SYNC	ポート / SIOF1 フレーム信号	オープン
A14	PTK1/SIOF1_TXD	ポート / SIOF1 出力データ	オープン
A15	PTK0/SIOF1_MCK	ポート / SIOF1 マスタクロック入力	オープン
A16	PTQ4/SIOF0_SYNC	ポート / SIOF フレーム信号	オープン
A17	PTF6/SIOMCK	ポート / SIO マスタクロック	オープン
A18	PTF2/SIOD	ポート / SIO 送受信データ	オープン
A19	PTD5/SDHID3	ポート / SD データバス	プルアップ
A20	PTD1/SDHICMD	ポート / SD コマンド	オープン
A21	PTR3/CS6B/CE1B/LCDCS2	ポート / チップセレクト / LCD チップセレクト 2	オープン
A22	PTH6/LCDVSYN2/DACK0	ポート / LCD 垂直同期信号 / DMA 転送要求受付	オープン
A23	Vdd_PLL	PLL 電源	使用する
A24	Vss_PLL	PLL グラウンド	使用する
A25	Vss	グラウンド	使用する
B1	AV12	USB-PLL 用 1.2V 電源	使用する
B2	Vss	グラウンド	使用する
B3	PTZ1/KEYIN0/IRQ6	ポート / キー入力 / 割り込み要求	オープン
B4	PTJ0/IRQ0	ポート / 割り込み要求	オープン
B5	PTG4/AUDSYNC	ポート / AUD 同期信号	オープン
B6	PTG0/AUDATA0	ポート / AUD データ出力	オープン
B7	TDI	H-UDI テストデータ入力	オープン
B8	PDSTATUS/PTJ5	パワーダウンステータス出力 / ポート	オープン
B9	RESETP	パワーオンリセット	使用する
B10	MD8	モード設定端子	プルアップまたはプルダウン
B11	MD1	モード設定端子	使用する



## 1. 概要

端子番号	端子名	機能	未使用時の処理
B12	PTS2/SCIF0_SCK/TPUTO	ポート / SCIF シリアルクロック / TPU 出力	オープン
B13	PTK5/SIOF1_SS1	ポート / SPI スレーブデバイス選択	オープン
B14	PTK3/SIOF1_SCK	ポート / SIOF1 シリアルクロック	オープン
B15	PTQ6/SIOF0_SS2/SIM_RST	ポート / SIOF0 スレーブデバイス選択 / SIM リセット	オープン
B16	PTQ1/SIOF0_TXD/ SIM_CLK/IrDA_OUT	ポート / SIOF0 送信データ / SIM クロック / IrDA 送信データ出力	オープン
B17	PTF4/SIOSTRB1	ポート / SIO シリアルストローブ	オープン
B18	PTF1/SIORXD	ポート / SIO 入力データ	オープン
B19	PTD6/SDHIWP	ポート / SD ライトプロテクト	ブルアップ
B20	PTD2/SDHID0	ポート / SD データバス	ブルアップ
B21	WAIT/PTR2	WAIT / ポート	ブルアップ
B22	PTH5/LCDVSYN	ポート / LCD 垂直同期信号	オープン
B23	Vss	グラウンド	使用する
B24	Vss	グラウンド	使用する
B25	Vss_DLL	DLL グラウンド	使用する
C1	DM	USB DM 端子	オープン
C2	Vss	グラウンド	使用する
C3	PTZ2/KEYIN1	ポート / キー入力	オープン
C4	PTJ1/IRQ1	ポート / 割り込み要求	オープン
C5	MPMD	ASE モード (エミュレーションサポートモード) 設定	オープン
C6	PTG2/AUDATA2	ポート / AUD データ出力	オープン
C7	TRST	H-UDI テストリセット入力	使用する
C8	TST	テスト端子 (VccQ レベルに固定してください)	ブルアップ
C9	PTJ7/STATUS0	ポート / ステータス出力	オープン
C10	RESETA	システムリセット入力	ブルアップ
C11	MD2	モード設定端子	使用する
C12	PTS4/SCIF0_CTS	ポート / SCIF 用 CTS 入力	オープン
C13	PTS0/SCIF0_TXD	ポート / SCIF 送信データ	オープン
C14	PTK2/SIOF1_RXD	ポート / SIOF1 入力データ	オープン
C15	PTQ5/SIOF0_SS1	ポート / SPI スレーブデバイス選択	オープン
C16	PTQ0/SIOF0_MCK/IRQ3/SIM_D	ポート / SIOF0 マスタクロック入力 / 割り込み要求 / SIM データ	オープン
C17	PTF3/SIOSTRB0	ポート / SIO シリアルストローブ	オープン
C18	PTD4/SDHID2/IRQ2	ポート / SD データバス / 割り込み要求	ブルアップ
C19	PTD0/SDHICK	ポート / SD クロック	オープン
C20	PTD3/SDHID1	ポート / SD データバス	ブルアップ
C21	PTR0/LCDVEPWC/LCDVEPWC2	ポート / LCD 電源制御 / LCD 電源制御	オープン

## 1. 概要

端子番号	端子名	機能	未使用時の処理
C22	PTH4/LCDDISP/LCDRS	ポート / LCD 表示イネーブル信号 / LCD レジスタセレクト	オープン
C23	PTH2/LCDDON/LCDDON2	ポート / LCD 表示 ON/OFF 信号 / LCD 表示 ON/OFF 信号	オープン
C24	PTX5/LCDD23	ポート / LCD データバス	オープン
C25	V <sub>DD</sub> _DLL	DLL 電源	使用する
D1	DP	USB DP 端子	オープン
D2	DG12	USB ドライバ / レシーバ用 1.2V 電源対応グラウンド	使用する
D3	DG33	USB ドライバ / レシーバ用 3.3V 電源対応グラウンド	使用する
D4	V <sub>SS</sub>	グラウンド	使用する
D5	NMI	ノンマスカブル割り込み	プルアップ
D6	ÅSEBRK/BRKAK	E10A エミュレータ用ブレイク入力 / アクノリッジ	オープン
D7	PTG1/AUDATA1	ポート / AUD データ出力	オープン
D8	TDO	H-UDI テストデータ出力	オープン
D9	TMS	H-UDI テストモードセレクト入力	オープン
D10	RESETOUT	リセット出力	オープン
D11	MD5	モード設定端子	使用する
D12	PTS3/SCIF0_RTS	ポート / SCIF 用 RTS 出力	オープン
D13	PTK6/SIOF1_SS2	ポート / SPI スレーブデバイス選択	オープン
D14	PTQ3/SIOF0_SCK	ポート / SIOF0 シリアルクロック	オープン
D15	PTQ2/SIOF0_RXD/IrDA_IN	ポート / SIOF0 受信データ / IrDA 受信データ入力	オープン
D16	PTF5/SIOSCK	ポート / SIO シリアルクロック	オープン
D17	PTF0/SIOTXD	ポート / SIO 出力データ	オープン
D18	PTD7/SDHICD	ポート / SD カード検出	プルアップ
D19	PTR1/LCDDCK/LCDWR	ポート / LCD ドットクロック信号 / LCD ライトストロープ	オープン
D20	PTR4/LCDRD	ポート / LCD リードストロープ	オープン
D21	PTH7/LCDVCPWC/LCDVCPWC2	ポート / LCD 電源制御 / LCD 電源制御	オープン
D22	PTH3/LCDHSYN/LCDCS	ポート / LCD 水平同期信号 / LCD チップセレクト	オープン
D23	PTX4/LCDD22	ポート / LCD データバス	オープン
D24	PTX2/LCDD20	ポート / LCD データバス	オープン
D25	PTX0/LCDD18	ポート / LCD データバス	オープン
E1	REFRIN	USB 定電流回路用外付け抵抗端子	プルダウン
E2	DG12	USB ドライバ / レシーバ用 1.2V 電源対応グラウンド	使用する
E3	DG33	USB ドライバ / レシーバ用 3.3V 電源対応グラウンド	使用する
E4	DV33	USB ドライバ / レシーバ用 3.3V 電源 ( 3.3V )	使用する
E5	V <sub>SS</sub>	グラウンド	使用する
E6	V <sub>SS</sub>	グラウンド	使用する
E7	V <sub>SS</sub>	グラウンド	使用する

## 1. 概要

端子番号	端子名	機能	未使用時の処理
E8	VccQ	I/O 電源 (3.3V)	使用する
E9	VccQ	I/O 電源 (3.3V)	使用する
E10	VccQ	I/O 電源 (3.3V)	使用する
E11	VccQ	I/O 電源 (3.3V)	使用する
E12	Vss	グラウンド	使用する
E13	Vss	グラウンド	使用する
E14	Vss	グラウンド	使用する
E15	VccQ	I/O 電源 (3.3V)	使用する
E16	VccQ	I/O 電源 (3.3V)	使用する
E17	VccQ	I/O 電源 (3.3V)	使用する
E18	VccQ	I/O 電源 (3.3V)	使用する
E19	Vss	グラウンド	使用する
E20	Vss	グラウンド	使用する
E21	Vss	グラウンド	使用する
E22	PTX1/LCDD19	ポート / LCD データバス	オープン
E23	PTH1/LCDD17	ポート / LCD データバス	オープン
E24	PTH0/LCDD16	ポート / LCD データバス	オープン
E25	PTL6/LCDD14	ポート / LCD データバス	オープン
F1	AG33	USB 基準電源回路用 3.3V 電源対応グラウンド	使用する
F2	AG12	USB-PLL 用 1.2V 電源対応グラウンド	使用する
F3	UG12	USB-UTM480 専用 1.2V 電源対応グラウンド	使用する
F4	VBUS	USB VBUS 端子	ブルダウン
F5	DV33	USB ドライバ / レシーバ用 3.3V 電源 (3.3V)	使用する
F21	Vss	グラウンド	使用する
F22	PTL7/LCDD15	ポート / LCD データバス	オープン
F23	PTL4/LCDD12	ポート / LCD データバス	オープン
F24	PTL3/LCDD11	ポート / LCD データバス	オープン
F25	PTL2/LCDD10	ポート / LCD データバス	オープン
G1	EXTALUSB	USB 用 48MHz 発振子接続端子入力	ブルダウン
G2	PTZ3/KEYIN2	ポート / キー入力	オープン
G3	Vss	グラウンド	使用する
G4	DV12	USB ドライバ / レシーバ用 1.2V 電源 (1.2V)	使用する
G5	DV12	USB ドライバ / レシーバ用 1.2V 電源 (1.2V)	使用する
G21	Vss	グラウンド	使用する
G22	PTX3/LCDD21	ポート / LCD データバス	オープン
G23	PTL1/LCDD9	ポート / LCD データバス	オープン
G24	PTL0/LCDD8	ポート / LCD データバス	オープン
G25	PTM6/LCDD6	ポート / LCD データバス	オープン

## 1. 概要

端子番号	端子名	機能	未使用時の処理
H1	XTALUSB	USB 用 48MHz 発振子接続端子出力	オープン
H2	PTZ5/KEYIN4/IRQ7	ポート / キー入力 / 割り込み要求	オープン
H3	PTZ4/KEYIN3	ポート / キー入力	オープン
H4	UV12	USB-UTM480 専用 1.2V 電源	使用する
H5	UV12	USB-UTM480 専用 1.2V 電源	使用する
H21	VccQ	I/O 電源 (3.3V)	使用する
H22	PTM7/LCDD7	ポート / LCD データバス	オープン
H23	PTM5/LCDD5	ポート / LCD データバス	オープン
H24	PTM4/LCDD4	ポート / LCD データバス	オープン
H25	PTM3/LCDD3	ポート / LCD データバス	オープン
J1	PTY1/KEYOUT1	ポート / キー出力	オープン
J2	PTY5/KEYOUT5/KEYIN5	ポート / キー出力 / キー入力	オープン
J3	PTY3/KEYOUT3	ポート / キー出力	オープン
J4	PTY2/KEYOUT2	ポート / キー出力	オープン
J5	PTY0/KEYOUT0	ポート / キー出力	オープン
J21	VccQ	I/O 電源 (3.3V)	使用する
J22	PTL5/LCDD13	ポート / LCD データバス	オープン
J23	PTM1/LCDD1	ポート / LCD データバス	オープン
J24	PTM2/LCDD2	ポート / LCD データバス	オープン
J25	PTM0/LCDD0	ポート / LCD データバス	オープン
K1	PTT3	ポート	オープン
K2	PTT2	ポート	オープン
K3	PTT1/DREQ0	ポート / DMA 転送要求	オープン
K4	PTT0	ポート	オープン
K5	PTY4/KEYOUT4/KEYIN6	ポート / キー出力 / キー入力	オープン
K10	VDD	内部用電源 (1.2V)	使用する
K11	VDD	内部用電源 (1.2V)	使用する
K12	VDD	内部用電源 (1.2V)	使用する
K13	VDD	内部用電源 (1.2V)	使用する
K14	VDD	内部用電源 (1.2V)	使用する
K15	VDD	内部用電源 (1.2V)	使用する
K16	VDD	内部用電源 (1.2V)	使用する
K21	VccQ	I/O 電源 (3.3V)	使用する
K22	HPD63/PTN7	SDRAM 上位データバス / ポート	オープン
K23	HPD48/PTB0	SDRAM 上位データバス / ポート	オープン
K24	HPD62/PTN6	SDRAM 上位データバス / ポート	オープン
K25	HPD61/PTN5	SDRAM 上位データバス / ポート	オープン
L1	PTU3	ポート	オープン

## 1. 概要

端子番号	端子名	機能	未使用時の処理
L2	PTU2	ポート	オープン
L3	PTU1	ポート	オープン
L4	PTU0	ポート	オープン
L5	VccQ	I/O 電源 (3.3V)	使用する
L10	VDD	内部用電源 (1.2V)	使用する
L11	VDD	内部用電源 (1.2V)	使用する
L12	VSS	グランド	使用する
L13	VSS	グランド	使用する
L14	VSS	グランド	使用する
L15	VDD	内部用電源 (1.2V)	使用する
L16	VDD	内部用電源 (1.2V)	使用する
L21	VccQ	I/O 電源 (3.3V)	使用する
L22	HPD49/PTB1	SDRAM 上位データバス / ポート	オープン
L23	HPD50/PTB2	SDRAM 上位データバス / ポート	オープン
L24	HPD60/PTN4	SDRAM 上位データバス / ポート	オープン
L25	HPD59/PTN3	SDRAM 上位データバス / ポート	オープン
M1	PTV1	ポート	オープン
M2	PTV0	ポート	オープン
M3	PTU4	ポート	オープン
M4	PTT4	ポート	オープン
M5	VSS	グランド	使用する
M10	VDD	内部用電源 (1.2V)	使用する
M11	VSS	グランド	使用する
M12	VSS	グランド	使用する
M13	VSS	グランド	使用する
M14	VSS	グランド	使用する
M15	VSS	グランド	使用する
M16	VDD	内部用電源 (1.2V)	使用する
M21	VSS	グランド	使用する
M22	HPD51/PTB3	SDRAM 上位データバス / ポート	オープン
M23	HPD58/PTN2	SDRAM 上位データバス / ポート	オープン
M24	HPD52/PTB4	SDRAM 上位データバス / ポート	オープン
M25	HPD53/PTB5	SDRAM 上位データバス / ポート	オープン
N1	PTV2	ポート	オープン
N2	SCL	I <sup>2</sup> C シリアルクロック入出力	プルアップ
N3	PTV3	ポート	オープン
N4	PTV4	ポート	オープン
N5	VSS	グランド	使用する

## 1. 概要

端子番号	端子名	機能	未使用時の処理
N10	VDD	内部用電源 (1.2V)	使用する
N11	VSS	グランド	使用する
N12	VSS	グランド	使用する
N13	VSS	グランド	使用する
N14	VSS	グランド	使用する
N15	VSS	グランド	使用する
N16	VDD	内部用電源 (1.2V)	使用する
N21	VSS	グランド	使用する
N22	HPD56/PTN0	SDRAM 上位データバス / ポート	オープン
N23	HPD55/PTB7	SDRAM 上位データバス / ポート	オープン
N24	HPD54/PTB6	SDRAM 上位データバス / ポート	オープン
N25	HPD57/PTN1	SDRAM 上位データバス / ポート	オープン
P1	SDA	I <sup>2</sup> C シリアルデータ入出力	プルアップ
P2	PTA1	ポート	オープン
P3	PTA2	ポート	オープン
P4	PTA0/LCDLCLK	ポート / LCD クロックソース入力	オープン
P5	VSS	グランド	使用する
P10	VDD	内部用電源 (1.2V)	使用する
P11	VSS	グランド	使用する
P12	VSS	グランド	使用する
P13	VSS	グランド	使用する
P14	VSS	グランド	使用する
P15	VSS	グランド	使用する
P16	VDD	内部用電源 (1.2V)	使用する
P21	VSS	グランド	使用する
P22	HPD31	SDRAM 下位データバス	オープン
P23	HPD30	SDRAM 下位データバス	オープン
P24	HPD16	SDRAM 下位データバス	オープン
P25	HPCLKR	SDRAM インタフェース 同期クロック	オープン
R1	PTA3	ポート	オープン
R2	PTA4	ポート	オープン
R3	PTA5/SCIF1_TXD	ポート / SCIF 送信データ	オープン
R4	PTW2/SCIF2_RXD	ポート / SCIF 受信データ	オープン
R5	VCCQ	I/O 電源 (3.3V)	使用する
R10	VDD	内部用電源 (1.2V)	使用する
R11	VDD	内部用電源 (1.2V)	使用する
R12	VSS	グランド	使用する
R13	VSS	グランド	使用する

## 1. 概要

端子番号	端子名	機能	未使用時の処理
R14	Vss	グラウンド	使用する
R15	VDD	内部用電源 (1.2V)	使用する
R16	VDD	内部用電源 (1.2V)	使用する
R21	VccQ	I/O 電源 (3.3V)	使用する
R22	HPD19	SDRAM 下位データバス	オープン
R23	HPD18	SDRAM 下位データバス	オープン
R24	HPD29	SDRAM 下位データバス	オープン
R25	HPD17	SDRAM 下位データバス	オープン
T1	PTA6/SCIF1_RXD	ポート / SCIF 受信データ	オープン
T2	PTA7/SCIF1_SCK	ポート / SCIF シリアルクロック	オープン
T3	PTW0/SCIF1_RT $\bar{S}$	ポート / SCIF 用 RT $\bar{S}$ 出力	オープン
T4	RDWR	リード / ライト信号	オープン
T5	VccQ	I/O 電源 (3.3V)	使用する
T10	VDD	内部用電源 (1.2V)	使用する
T11	VDD	内部用電源 (1.2V)	使用する
T12	VDD	内部用電源 (1.2V)	使用する
T13	VDD	内部用電源 (1.2V)	使用する
T14	VDD	内部用電源 (1.2V)	使用する
T15	VDD	内部用電源 (1.2V)	使用する
T16	VDD	内部用電源 (1.2V)	使用する
T21	VccQ	I/O 電源 (3.3V)	使用する
T22	HPD26	SDRAM 下位データバス	オープン
T23	HPD20	SDRAM 下位データバス	オープン
T24	HPD27	SDRAM 下位データバス	オープン
T25	HPD28	SDRAM 下位データバス	オープン
U1	PTW1/SCIF1_CTS	ポート / SCIF 用 CTS 入力	オープン
U2	PTW3/SCIF2_TXD	ポート / SCIF 送信データ	オープン
U3	PTW4/SCIF2_SCK	ポート / SCIF シリアルクロック	オープン
U4	D3	データバス	オープン
U5	VccQ	I/O 電源 (3.3V)	使用する
U21	VccQ	I/O 電源 (3.3V)	使用する
U22	HPD24	SDRAM 下位データバス	オープン
U23	HPD22	SDRAM 下位データバス	オープン
U24	HPD25	SDRAM 下位データバス	オープン
U25	HPD21	SDRAM 下位データバス	オープン
V1	PTW5/SCIF2_RT $\bar{S}$	ポート / SCIF 用 RT $\bar{S}$ 出力	オープン
V2	PTW6/SCIF2_CTS	ポート / SCIF 用 CTS 入力	オープン
V3	CS5B/CE1A	チップセレクト / PCMCIA カードセレクト	オープン

## 1. 概要

端子番号	端子名	機能	未使用時の処理
V4	CS4	チップセレクト	オープン
V5	VccQ	I/O 電源 (3.3V)	使用する
V21	VccQ	I/O 電源 (3.3V)	使用する
V22	HPDQM0	SDRAM インタフェース 下位 LL 側データマスク	オープン
V23	HPDQM1	SDRAM インタフェース 下位 LU 側データマスク	オープン
V24	HPDQM3	SDRAM インタフェース 下位 UU 側データマスク	オープン
V25	HPD23	SDRAM 下位データバス	オープン
W1	PTX6/CS6A/CE2B	ポート / チップセレクト / PCMCIA カードセレクト	オープン
W2	D15	データバス	オープン
W3	D7	データバス	オープン
W4	D14	データバス	オープン
W5	Vss	グランド	使用する
W21	Vss	グランド	使用する
W22	HPA7	SDRAM インタフェース アドレスバス	オープン
W23	HPA15	SDRAM インタフェース アドレスバス	オープン
W24	HPA16	SDRAM インタフェース アドレスバス	オープン
W25	HPDQM2	SDRAM インタフェース 下位 UL 側データマスク	オープン
Y1	D6	データバス	オープン
Y2	D13	データバス	オープン
Y3	D5	データバス	オープン
Y4	D12	データバス	オープン
Y5	Vss	グランド	使用する
Y21	Vss	グランド	使用する
Y22	HPA2	SDRAM インタフェース アドレスバス	オープン
Y23	HPA12	SDRAM インタフェース アドレスバス	オープン
Y24	HPA13	SDRAM インタフェース アドレスバス	オープン
Y25	HPA14	SDRAM インタフェース アドレスバス	オープン
AA1	D4	データバス	オープン
AA2	D11	データバス	オープン
AA3	D10	データバス	オープン
AA4	D2	データバス	オープン
AA5	Vss	グランド	使用する
AA6	Vss	グランド	使用する
AA7	Vss	グランド	使用する
AA8	VccQ	I/O 電源 (3.3V)	使用する
AA9	VccQ	I/O 電源 (3.3V)	使用する
AA10	VccQ	I/O 電源 (3.3V)	使用する
AA11	VccQ	I/O 電源 (3.3V)	使用する



## 1. 概要

端子番号	端子名	機能	未使用時の処理
AA12	Vss	グラウンド	使用する
AA13	Vss	グラウンド	使用する
AA14	Vss	グラウンド	使用する
AA15	VccQ	I/O 電源 (3.3V)	使用する
AA16	VccQ	I/O 電源 (3.3V)	使用する
AA17	VccQ	I/O 電源 (3.3V)	使用する
AA18	VccQ	I/O 電源 (3.3V)	使用する
AA19	Vss	グラウンド	使用する
AA20	Vss	グラウンド	使用する
AA21	Vss	グラウンド	使用する
AA22	HPA9	SDRAM インタフェース アドレスバス	オープン
AA23	HPA8	SDRAM インタフェース アドレスバス	オープン
AA24	HPA10	SDRAM インタフェース アドレスバス	オープン
AA25	HPA11	SDRAM インタフェース アドレスバス	オープン
AB1	D9	データバス	オープン
AB2	D1	データバス	オープン
AB3	D8	データバス	オープン
AB4	WE1/WE	D15~D8 書き込み / PCMCIA メモリライト	オープン
AB5	A25/PTE7	アドレスバス / ポート	オープン
AB6	A15	アドレスバス	オープン
AB7	A21	アドレスバス	オープン
AB8	A3	アドレスバス	オープン
AB9	A11	アドレスバス	オープン
AB10	A9	アドレスバス	オープン
AB11	A5	アドレスバス	オープン
AB12	IOIS16/PTC5	PCMCIA-IF 16 ビット / ポート	プルアップ
AB13	D31/HPD47	上位データバス / SDRAM 上位データバス	オープン
AB14	D27/HPD43	上位データバス / SDRAM 上位データバス	オープン
AB15	D26/HPD42	上位データバス / SDRAM 上位データバス	オープン
AB16	D24/HPD40	上位データバス / SDRAM 上位データバス	オープン
AB17	HPD0	SDRAM 下位データバス	オープン
AB18	HPD4	SDRAM 下位データバス	オープン
AB19	HPD9	SDRAM 下位データバス	オープン
AB20	HPD7	SDRAM 下位データバス	オープン
AB21	HPDQM7/PTC4	SDRAM インタフェース 上位 UU 側データマスク / ポート	オープン
AB22	HPA4	SDRAM インタフェース アドレスバス	オープン
AB23	HPA5	SDRAM インタフェース アドレスバス	オープン
AB24	HPA6	SDRAM インタフェース アドレスバス	オープン

## 1. 概要

端子番号	端子名	機能	未使用時の処理
AB25	HPCLK	SDRAM インタフェース 同期クロック	オープン
AC1	D0	データバス	オープン
AC2	$\overline{CS0}$	チップセレクト	オープン
AC3	$\overline{RD}$	リード信号	オープン
AC4	$\overline{WE3/CIOWR}$	D31~D24 書き込み / PCMCIA IO ライト	オープン
AC5	A23/PTE5	アドレスバス / ポート	オープン
AC6	A19	アドレスバス	オープン
AC7	A18	アドレスバス	オープン
AC8	A13	アドレスバス	オープン
AC9	A7	アドレスバス	オープン
AC10	A4	アドレスバス	オープン
AC11	A0	アドレスバス	オープン
AC12	PTC7	ポート	オープン
AC13	D30/HPD46	上位データバス / SDRAM 上位データバス	オープン
AC14	D18/HPD34	上位データバス / SDRAM 上位データバス	オープン
AC15	D20/HPD36	上位データバス / SDRAM 上位データバス	オープン
AC16	D22/HPD38	上位データバス / SDRAM 上位データバス	オープン
AC17	HPD14	SDRAM 下位データバス	オープン
AC18	HPD12	SDRAM 下位データバス	オープン
AC19	HPD10	SDRAM 下位データバス	オープン
AC20	HPD8	SDRAM 下位データバス	オープン
AC21	HPDQM6/PTC3	SDRAM インタフェース 上位 UL 側データマスク	オープン
AC22	HPRAS	SDRAM インタフェース ロウアドレス	オープン
AC23	$\overline{HPCS3}$	SDRAM インタフェース チップセレクト	オープン
AC24	HPA1	SDRAM インタフェース アドレスバス	オープン
AC25	HPA3	SDRAM インタフェース アドレスバス	オープン
AD1	V <sub>ss</sub>	グラウンド	使用する
AD2	V <sub>ss</sub>	グラウンド	使用する
AD3	$\overline{WE0}$	D7~D0 書き込み	オープン
AD4	MD3	データバス幅設定	使用する
AD5	A22/PTE4	アドレスバス / ポート	オープン
AD6	A17	アドレスバス	オープン
AD7	A14	アドレスバス	オープン
AD8	A10	アドレスバス	オープン
AD9	A6	アドレスバス	オープン
AD10	A1	アドレスバス	オープン
AD11	$\overline{CS5A/CE2A}$	チップセレクト / PCMCIA カードセレクト	オープン
AD12	$\overline{PTE0/IRQ4/BS}$	ポート / 割り込み要求 / バス開始	プルアップ

## 1. 概要

端子番号	端子名	機能	未使用時の処理
AD13	D17/HPD33	上位データバス / SDRAM 上位データバス	オープン
AD14	D28/HPD44	上位データバス / SDRAM 上位データバス	オープン
AD15	D21/HPD37	上位データバス / SDRAM 上位データバス	オープン
AD16	D23/HPD39	上位データバス / SDRAM 上位データバス	オープン
AD17	HPD1	SDRAM 下位データバス	オープン
AD18	HPD2	SDRAM 下位データバス	オープン
AD19	HPD11	SDRAM 下位データバス	オープン
AD20	HPD6	SDRAM 下位データバス	オープン
AD21	HPDQM5/PTC2	SDRAM インタフェース 上位 LU 側データマスク / ポート	オープン
AD22	HPCAS	SDRAM インタフェース カラムアドレス	オープン
AD23	HPCS2	SDRAM インタフェース チップセレクト	オープン
AD24	Vss	グラウンド	使用する
AD25	Vss	グラウンド	使用する
AE1	Vss	グラウンド	使用する
AE2	Vss	グラウンド	使用する
AE3	$\overline{WE2/ICIOR\overline{D}}$	D23 ~ D16 書き込み / PCMCIA IO リード	オープン
AE4	A24/PTE6	アドレスバス / ポート	オープン
AE5	A20	アドレスバス	オープン
AE6	A16	アドレスバス	オープン
AE7	A12	アドレスバス	オープン
AE8	A8	アドレスバス	オープン
AE9	A2	アドレスバス	オープン
AE10	CKO	システムクロック	オープン
AE11	PTE1/IRQ5	ポート / 割り込み要求	プルアップ
AE12	D16/HPD32	上位データバス / SDRAM 上位データバス	オープン
AE13	D29/HPD45	上位データバス / SDRAM 上位データバス	オープン
AE14	D19/HPD35	上位データバス / SDRAM 上位データバス	オープン
AE15	D25/HPD41	上位データバス / SDRAM 上位データバス	オープン
AE16	HPCLKD	SDRAM インタフェース 同期クロック	オープン
AE17	HPD15	SDRAM 下位データバス	オープン
AE18	HPD13	SDRAM 下位データバス	オープン
AE19	HPD3	SDRAM 下位データバス	オープン
AE20	HPD5	SDRAM 下位データバス	オープン
AE21	HPDQM4/PTC0	SDRAM インタフェース 上位 LL 側データマスク / ポート	オープン
AE22	HPRDWR	SDRAM インタフェース リード / ライト	オープン
AE23	HPCKE	SDRAM インタフェース クロックイネーブル	オープン
AE24	Vss	グラウンド	使用する
AE25	Vss	グラウンド	使用する

## 1. 概要

### 1.3.2 BGA417 ピン配置図

BGA417 のピン配置図を図 1.3 に示します。端子配置表を表 1.3 に示します。

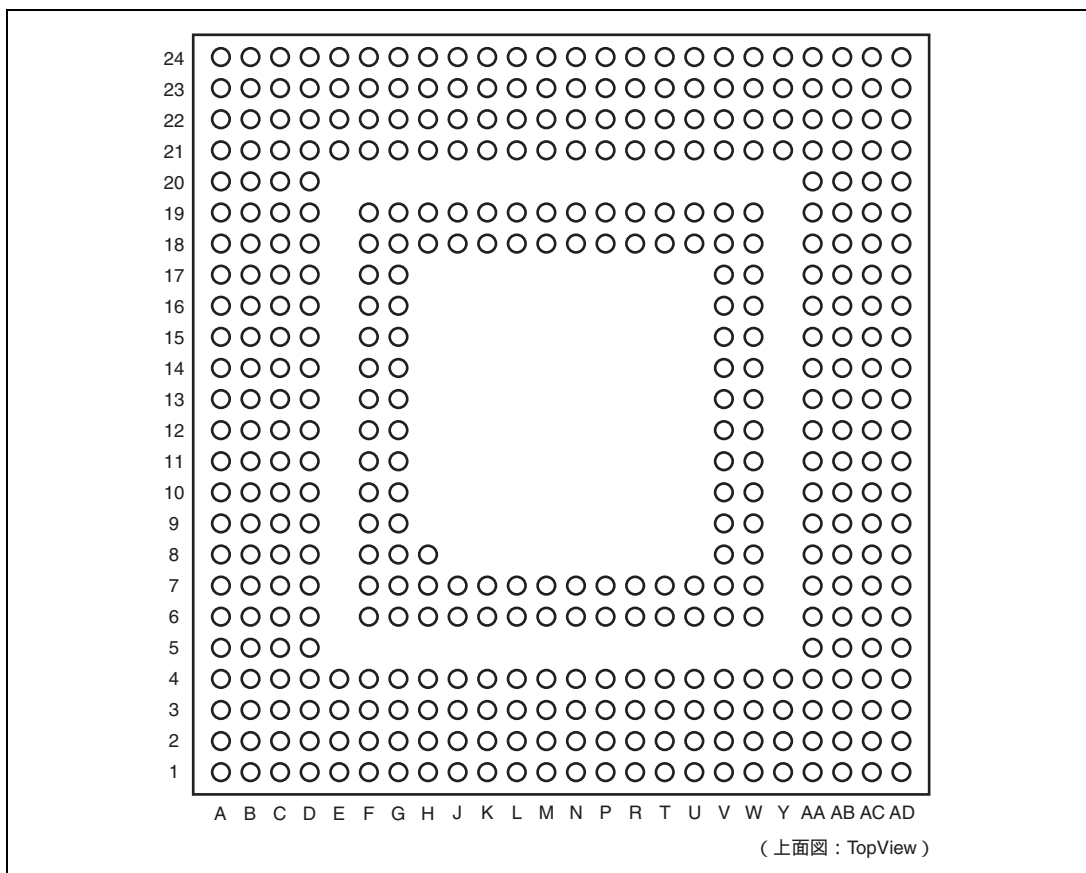


図 1.3 ピン配置図 (BGA417)

表 1.3 端子配置表 (BGA417)

端子番号	端子名	機能	未使用時の処理
A1	DV33	USB ドライバ/レシーバ用 3.3V 電源 (3.3V)	使用する
A2	XTAL	クロック出力	オープン
A3	EXTAL	外部クロック入力	ブルダウン
A4	PTG4/AUDSYNC	ポート / AUD 同期信号	オープン
A5	PTG0/AUDATA0	ポート / AUD データ出力	オープン
A6	$\overline{\text{TRST}}$	H-UDI テストリセット入力	使用する
A7	TCK	H-UDI テストクロック入力	オープン
A8	STATUS0/PTJ7	ステータス出力 / ポート	オープン
A9	RCLK	32.768kHz クロック入力	使用する
A10	$\overline{\text{TSTMD}}$	テストモード設定	ブルアップ
A11	PTS4/SCIF0_CTS	ポート / SCIF 用 CTS 入力	オープン
A12	PTS0/SCIF0_TXD	ポート / SCIF 送信データ	オープン
A13	PTK3/SIOF1_SCK	ポート / SIOF1 シリアルクロック	オープン
A14	PTQ6/SIOF0_SS2/SIM_RST	ポート / SIOF0 スleepデバイス選択 / SIM リセット	オープン
A15	PTQ2/SIOF0_RXD/IrDA_IN	ポート / SIOF0 受信データ / IrDA 受信データ入力	オープン
A16	PTF5/SIOSCK	ポート / SIO シリアルクロック	オープン
A17	PTF1/SIORXD	ポート / SIO 入力データ	オープン
A18	PTD5/SDHID3	ポート / SD データバス	ブルアップ
A19	PTD0/SDHICLK	ポート / SD クロック	オープン
A20	V <sub>DD</sub> _PLL	PLL 電源	使用する
A21	V <sub>SS</sub> _PLL	PLL グランド	使用する
A22	V <sub>DD</sub> _DLL	DLL 電源	使用する
A23	V <sub>SS</sub> _DLL	DLL グランド	使用する
A24	V <sub>SS</sub>	グランド	使用する
B1	DM	USB DM 端子	オープン
B2	PTZ1/KEYIN0/IRQ6	ポート / キー入力 / 割り込み要求	オープン
B3	NMI	ノンマスクابل割り込み	ブルアップ
B4	PTG2/AUDATA2	ポート / AUD データ出力	オープン
B5	AUDCK	AUD クロック	オープン
B6	TDI	H-UDI テストデータ入力	オープン
B7	PDSTATUS/PTJ5	パワーダウンスステータス出力 / ポート	オープン
B8	$\overline{\text{RESETP}}$	パワーオンリセット	使用する
B9	MD8	モード設定端子	使用する
B10	MD1	モード設定端子	使用する
B11	PTS2/SCIF0_SCK/TPUTO	ポート / SCIF シリアルクロック / TPU 出力	オープン
B12	PTK5/SIOF1_SS1	ポート / SIOF1 スleepデバイス選択	オープン
B13	PTK1/SIOF1_TXD	ポート / SIOF1 出力データ	オープン

## 1. 概要

端子番号	端子名	機能	未使用時の処理
B14	PTQ4/SIOF0_SYNC	ポート / SIOF フレーム信号	オープン
B15	PTQ0/SIOF0_MCK/IRQ3/SIM_D	ポート / SIOF0 マスタクロック入力 / 割り込み要求 / SIM データ	オープン
B16	PTF3/SIOSTRB0	ポート / SIO シリアルストローブ	オープン
B17	PTD4/SDHID2/IRQ2	ポート / SD データバス / 割り込み要求	ブルアップ
B18	PTD6/SDHIWP	ポート / SD ライトプロテクト	ブルアップ
B19	PTD2/SDHID0	ポート / SD データバス	ブルアップ
B20	PTR4/LCDRD	ポート / リードストローブ	オープン
B21	WAIT/PTR2	WAIT / ポート	ブルアップ
B22	PTH3/LCDHSYN/LCDCS	ポート / LCD 水平同期信号 / LCD チップセレクト	オープン
B23	PTX5/LCDD23	ポート / LCD データバス	オープン
B24	PTX4/LCDD22	ポート / LCD データバス	オープン
C1	DP	USB DP 端子	オープン
C2	DG33	USB ドライバ/レシーバ用 3.3V 電源対応グランド	使用する
C3	PTZ2/KEYIN1	ポート / キー入力	オープン
C4	MPMD	E10 ASE モード設定入力	ブルアップ
C5	PTG3/AUDATA3	ポート / AUD データ出力	オープン
C6	TDO	H-UDI テストデータ出力	オープン
C7	TST	テスト端子 (VccQ レベルに固定してください)	ブルアップ
C8	RESETOUT	リセット出力	オープン
C9	MD5	モード設定端子	使用する
C10	MD0	モード設定端子	使用する
C11	PTS1/SCIF0_RXD	ポート / SCIF 受信データ	オープン
C12	PTK4/SIOF1_SYNC	ポート / SIOF1 フレーム信号	オープン
C13	PTK0/SIOF1_MCK	ポート / SIOF1 マスタクロック入力	オープン
C14	PTQ3/SIOF0_SCK	ポート / SIOF0 シリアルクロック	オープン
C15	PTF6/SIOMCK	ポート / SIO シリアルクロック	オープン
C16	PTF2/SIOD	ポート / SIO 送受信データ	オープン
C17	PTD7/SDHICD	ポート / SD カード検出	ブルアップ
C18	PTD3/SDHID1	ポート / SD データバス	ブルアップ
C19	PTR0/LCDVEPWC/LCDVEPWC2	ポート / LCD 電源制御 / LCD 電源制御	オープン
C20	PTH7/LCDVCPWC/LCDVCPWC2	ポート / LCD 電源制御 / LCD 電源制御	オープン
C21	PTH6/LCDVSN2/DACK0	ポート / LCD 垂直同期信号 / DMA 転送要求受付	オープン
C22	PTH2/LCDDON/LCDDON2	ポート / LCD 表示 ON/OFF 信号 / LCD 表示 ON/OFF 信号	オープン
C23	PTX2/LCDD20	ポート / LCD データバス	オープン
C24	PTX0/LCDD18	ポート / LCD データバス	オープン
D1	DV12	USB ドライバ/レシーバ用 1.2V 電源 (1.2V)	使用する
D2	DG12	USB ドライバ/レシーバ用 1.2V 電源対応グランド	使用する

## 1. 概要

端子番号	端子名	機能	未使用時の処理
D3	PTJ1/IRQ1	ポート / 割り込み要求	オープン
D4	ASEBRK/BRKAK	E10A エミュレータ用ブレーク入力 / アクノリッジ	オープン
D5	PTG1/AUDATA1	ポート / AUD データ出力	オープン
D6	TMS	H-UDI テストモードセレクト入力	オープン
D7	PTJ6	ポート	オープン
D8	RESETA	リセット入力	プルアップ
D9	MD2	モード設定端子	使用する
D10	PTS3/SCIF0_RTS	ポート / SCIF 用 RTS 出力	オープン
D11	PTK6/SIOF1_SS2	ポート / SIOF スレーブデバイス選択	オープン
D12	PTK2/SIOF1_RXD	ポート / SIOF1 入力データ	オープン
D13	PTQ5/SIOF0_SS1	ポート / SIOF0 スレーブデバイス選択	オープン
D14	PTQ1/SIOF0_TXD/SIM_CLK/ IrDA_OUT	ポート / SIOF0 送信データ / SIM クロック / IrDA 送信データ出力	オープン
D15	PTF4/SIOSTRB1	ポート / SIO シリアルストローブ	オープン
D16	PTF0/SIOTXD	ポート / SIO 出力データ	オープン
D17	PTD1/SDHICMD	ポート / SD コマンド	オープン
D18	PTR3/CS6B/CE1B/LCDCS2	ポート / チップセレクト / LCD チップセレクト 2	オープン
D19	PTR1/LCDDCK/LCDWR	ポート / LCD ドットクロック信号 / ライトストローブ	オープン
D20	PTH5/LCDVSYN	ポート / LCD 垂直同期信号	オープン
D21	PTH4/LCDDISP/LCDRS	ポート / LCD 表示イネーブル信号 / LCD レジスタセレクト	オープン
D22	PTX1/LCDD19	ポート / LCD データバス	オープン
D23	PTH0/LCDD16	ポート / LCD データバス	オープン
D24	PTL7/LCDD15	ポート / LCD データバス	オープン
E1	UV12	USB-UTM480 専用 1.2V 電源	使用する
E2	UG12	USB-UTM480 専用 1.2V 電源対応グラウンド	使用する
E3	VBUS	USB VBUS 端子	プルダウン
E4	PTJ0/IRQ0	ポート / 割り込み要求	オープン
E21	PTX3/LCDD21	ポート / LCD データバス	オープン
E22	PTH1/LCDD17	ポート / LCD データバス	オープン
E23	PTL4/LCDD12	ポート / LCD データバス	オープン
E24	PTL5/LCDD13	ポート / LCD データバス	オープン
F1	AG33	USB 基準電源回路用 3.3V 電源対応グラウンド	使用する
F2	REFRIN	USB 定電流回路用外付け抵抗端子	プルダウン
F3	PTZ4/KEYIN3	ポート / キー入力	オープン
F4	PTZ3/KEYIN2	ポート / キー入力	オープン
F6	Vss	グラウンド	使用する
F7	VccQ	I/O 電源 (3.3V)	使用する

## 1. 概要

端子番号	端子名	機能	未使用時の処理
F8	Vss	グラウンド	使用する
F9	VccQ	I/O 電源 (3.3V)	使用する
F10	VccQ	I/O 電源 (3.3V)	使用する
F11	Vss	グラウンド	使用する
F12	VccQ	I/O 電源 (3.3V)	使用する
F13	VccQ	I/O 電源 (3.3V)	使用する
F14	Vss	グラウンド	使用する
F15	VccQ	I/O 電源 (3.3V)	使用する
F16	VccQ	I/O 電源 (3.3V)	使用する
F17	Vss	グラウンド	使用する
F18	VccQ	I/O 電源 (3.3V)	使用する
F19	Vss	グラウンド	使用する
F21	PTL6/LCDD14	ポート / LCD データバス	オープン
F22	PTL3/LCDD11	ポート / LCD データバス	オープン
F23	PTL2/LCDD10	ポート / LCD データバス	オープン
F24	PTL0/LCDD8	ポート / LCD データバス	オープン
G1	EXTALUSB	USB 用 48MHz 発振子接続端子入力	プルダウン
G2	PTY1/KEYOUT1	ポート / キー出力	オープン
G3	PTZ5/KEYIN4/IRQ7	ポート / キー入力 / 割り込み要求	オープン
G4	PTY0/KEYOUT0	ポート / キー出力	オープン
G6	AG12	USB-PLL 用 1.2V 電源対応グラウンド	使用する
G7	Vss	グラウンド	使用する
G8	VDD	内部用電源 (1.2V)	使用する
G9	Vss	グラウンド	使用する
G10	Vss	グラウンド	使用する
G11	VDD	内部用電源 (1.2V)	使用する
G12	Vss	グラウンド	使用する
G13	Vss	グラウンド	使用する
G14	VDD	内部用電源 (1.2V)	使用する
G15	Vss	グラウンド	使用する
G16	Vss	グラウンド	使用する
G17	VDD	内部用電源 (1.2V)	使用する
G18	Vss	グラウンド	使用する
G19	VccQ	I/O 電源 (3.3V)	使用する
G21	PTL1/LCDD9	ポート / LCD データバス	オープン
G22	PTM7/LCDD7	ポート / LCD データバス	オープン
G23	PTM6/LCDD6	ポート / LCD データバス	オープン
G24	PTM4/LCDD4	ポート / LCD データバス	オープン



## 1. 概要

端子番号	端子名	機能	未使用時の処理
H1	XTALUSB	USB 用 48MHz 発振子接続端子出力	オープン
H2	PTY3/KEYOUT3	ポート / キー出力	オープン
H3	PTY2/KEYOUT2	ポート / キー出力	オープン
H4	PTY4/KEYOUT4/KEYIN6	ポート / キー出力・入力	オープン
H6	Vss	グラウンド	使用する
H7	Vss	グラウンド	使用する
H8	Vss	グラウンド	使用する
H18	VDD	内部用電源 (1.2V)	使用する
H19	Vss	グラウンド	使用する
H21	PTM5/LCDD5	ポート / LCD データバス	オープン
H22	PTM3/LCDD3	ポート / LCD データバス	オープン
H23	PTM2/LCDD2	ポート / LCD データバス	オープン
H24	PTM0/LCDD0	ポート / LCD データバス	オープン
J1	PTY5/KEYOUT5/KEYIN5	ポート / キー出力・入力	オープン
J2	PTT1/DREQ0	ポート / DMA 転送要求	オープン
J3	PTT0	ポート	オープン
J4	PTT2	ポート	オープン
J6	VccQ	I/O 電源 (3.3V)	使用する
J7	AV33	USB 基準電源回路用 3.3V 電源	使用する
J18	Vss	グラウンド	使用する
J19	VccQ	I/O 電源 (3.3V)	使用する
J21	PTM1/LCDD1	ポート / LCD データバス	オープン
J22	HPD63/PTN7	SDRAM 上位データバス / ポート	オープン
J23	HPD48/PTB0	SDRAM 上位データバス / ポート	オープン
J24	HPD62/PTN6	SDRAM 上位データバス / ポート	オープン
K1	PTT3	ポート	オープン
K2	PTU0	ポート	オープン
K3	PTT4	ポート	オープン
K4	PTU1	ポート	オープン
K6	VccQ	I/O 電源 (3.3V)	使用する
K7	AV12	USB-PLL 用 1.2V 電源	使用する
K18	Vss	グラウンド	使用する
K19	VccQ	I/O 電源 (3.3V)	使用する
K21	HPD61/PTN5	SDRAM 上位データバス / ポート	オープン
K22	HPD60/PTN4	SDRAM 上位データバス / ポート	オープン
K23	HPD49/PTB1	SDRAM 上位データバス / ポート	オープン
K24	HPD50/PTB2	SDRAM 上位データバス / ポート	オープン
L1	PTU2	ポート	オープン

## 1. 概要

端子番号	端子名	機能	未使用時の処理
L2	PTU4	ポート	オープン
L3	PTU3	ポート	オープン
L4	PTV0	ポート	オープン
L6	Vss	グラウンド	使用する
L7	VDD	内部用電源 (1.2V)	使用する
L18	VDD	内部用電源 (1.2V)	使用する
L19	Vss	グラウンド	使用する
L21	HPD59/PTN3	SDRAM 上位データバス / ポート	オープン
L22	HPD58/PTN2	SDRAM 上位データバス / ポート	オープン
L23	HPD51/PTB3	SDRAM 上位データバス / ポート	オープン
L24	HPD52/PTB4	SDRAM 上位データバス / ポート	オープン
M1	PTV1	ポート	オープン
M2	PTV3	ポート	オープン
M3	PTV2	ポート	オープン
M4	PTV4	ポート	オープン
M6	VccQ	I/O 電源 (3.3V)	使用する
M7	Vss	グラウンド	使用する
M18	Vss	グラウンド	使用する
M19	VccQ	I/O 電源 (3.3V)	使用する
M21	HPD57/PTN1	SDRAM 上位データバス / ポート	オープン
M22	HPD56/PTN0	SDRAM 上位データバス / ポート	オープン
M23	HPD53/PTB5	SDRAM 上位データバス / ポート	オープン
M24	HPD54/PTB6	SDRAM 上位データバス / ポート	オープン
N1	SCL	I <sup>2</sup> C シリアルクロック入出力	ブルアップ
N2	SDA	I <sup>2</sup> C シリアルデータ入出力	ブルアップ
N3	PTA0/LCDLCLK	ポート / LCD クロックソース入力	オープン
N4	PTA2	ポート	オープン
N6	VccQ	I/O 電源 (3.3V)	使用する
N7	Vss	グラウンド	使用する
N18	Vss	グラウンド	使用する
N19	VccQ	I/O 電源 (3.3V)	使用する
N21	HPD17	SDRAM 下位データバス	オープン
N22	HPD16	SDRAM 下位データバス	オープン
N23	HPD55/PTB7	SDRAM 上位データバス / ポート	オープン
N24	HPCLKR	SDRAM インタフェース同期クロック	オープン
P1	PTA1	ポート	オープン
P2	PTA3	ポート	オープン
P3	PTA4	ポート	オープン

端子番号	端子名	機能	未使用時の処理
P4	PTA6/SCIF1_RXD	ポート / SCIF 受信データ	オープン
P6	Vss	グランド	使用する
P7	VDD	内部用電源 (1.2V)	使用する
P18	VDD	内部用電源 (1.2V)	使用する
P19	Vss	グランド	使用する
P21	HPD18	SDRAM 下位データバス	オープン
P22	HPD19	SDRAM 下位データバス	オープン
P23	HPD31	SDRAM 下位データバス	オープン
P24	HPD30	SDRAM 下位データバス	オープン
R1	PTA5/SCIF1_TXD	ポート / SCIF 送信データ	オープン
R2	PTA7/SCIF1_SCK	ポート / SCIF シリアルクロック	オープン
R3	PTW0/SCIF1_RTS	ポート / SCIF 用 RTS 出力	オープン
R4	PTW2/SCIF2_RXD	ポート / SCIF 受信データ	オープン
R6	VccQ	I/O 電源 (3.3V)	使用する
R7	Vss	グランド	使用する
R18	Vss	グランド	使用する
R19	VccQ	I/O 電源 (3.3V)	使用する
R21	HPD21	SDRAM 下位データバス	オープン
R22	HPD20	SDRAM 下位データバス	オープン
R23	HPD29	SDRAM 下位データバス	オープン
R24	HPD28	SDRAM 下位データバス	オープン
T1	PTW1/SCIF1_CTS	ポート / SCIF 用 CTS 入力	オープン
T2	PTW3/SCIF2_TXD	ポート / SCIF 送信データ	オープン
T3	PTW4/SCIF2_SCK	ポート / SCIF シリアルクロック	オープン
T4	PTW6/SCIF2_CTS	ポート / SCIF 用 CTS 入力	オープン
T6	VccQ	I/O 電源 (3.3V)	使用する
T7	Vss	グランド	使用する
T18	Vss	グランド	使用する
T19	VccQ	I/O 電源 (3.3V)	使用する
T21	HPD23	SDRAM 下位データバス	オープン
T22	HPD22	SDRAM 下位データバス	オープン
T23	HPD27	SDRAM 下位データバス	オープン
T24	HPD26	SDRAM 下位データバス	オープン
U1	PTW5/SCIF2_RTS	ポート / SCIF 用 RTS 出力	オープン
U2	CS5B/CE1A	チップセレクト / チップセレクト	オープン
U3	CS4	チップセレクト	オープン
U4	RDWR	リード / ライト信号	オープン
U6	Vss	グランド	使用する

## 1. 概要

端子番号	端子名	機能	未使用時の処理
U7	V <sub>DD</sub>	内部用電源 (1.2V)	使用する
U18	V <sub>DD</sub>	内部用電源 (1.2V)	使用する
U19	V <sub>SS</sub>	グランド	使用する
U21	HPDQM0	SDRAM-I/F 下位 LL 側データマスク	オープン
U22	HPDQM2	SDRAM-I/F 下位 UL 側データマスク	オープン
U23	HPD25	SDRAM 下位データバス	オープン
U24	HPD24	SDRAM 下位データバス	オープン
V1	PTX6/CS6A/CE2B	ポート / チップセレクト / PCMCIA カードセレクト	オープン
V2	D15	データバス	オープン
V3	D7	データバス	オープン
V4	D5	データバス	オープン
V6	V <sub>CCQ</sub>	I/O 電源 (3.3V)	使用する
V7	V <sub>SS</sub>	グランド	使用する
V8	V <sub>DD</sub>	内部用電源 (1.2V)	使用する
V9	V <sub>SS</sub>	グランド	使用する
V10	V <sub>SS</sub>	グランド	使用する
V11	V <sub>DD</sub>	内部用電源 (1.2V)	使用する
V12	V <sub>SS</sub>	グランド	使用する
V13	V <sub>SS</sub>	グランド	使用する
V14	V <sub>DD</sub>	内部用電源 (1.2V)	使用する
V15	V <sub>SS</sub>	グランド	使用する
V16	V <sub>SS</sub>	グランド	使用する
V17	V <sub>DD</sub>	内部用電源 (1.2V)	使用する
V18	V <sub>SS</sub>	グランド	使用する
V19	V <sub>CCQ</sub>	I/O 電源 (3.3V)	使用する
V21	HPA13	SDRAM インタフェースアドレスバス	オープン
V22	HPA15	SDRAM インタフェースアドレスバス	オープン
V23	HPDQM3	SDRAM インタフェース下位 UU 側データマスク	オープン
V24	HPDQM1	SDRAM インタフェース下位 LU 側データマスク	オープン
W1	D14	データバス	オープン
W2	D6	データバス	オープン
W3	D12	データバス	オープン
W4	D3	データバス	オープン
W6	V <sub>SS</sub>	グランド	使用する
W7	V <sub>CCQ</sub>	I/O 電源 (3.3V)	使用する
W8	V <sub>SS</sub>	グランド	使用する
W9	V <sub>CCQ</sub>	I/O 電源 (3.3V)	使用する
W10	V <sub>CCQ</sub>	I/O 電源 (3.3V)	使用する

## 1. 概要

端子番号	端子名	機能	未使用時の処理
W11	Vss	グラウンド	使用する
W12	VccQ	I/O 電源 (3.3V)	使用する
W13	VccQ	I/O 電源 (3.3V)	使用する
W14	Vss	グラウンド	使用する
W15	VccQ	I/O 電源 (3.3V)	使用する
W16	VccQ	I/O 電源 (3.3V)	使用する
W17	Vss	グラウンド	使用する
W18	VccQ	I/O 電源 (3.3V)	使用する
W19	Vss	グラウンド	使用する
W21	HPA7	SDRAM インタフェースアドレスバス	オープン
W22	HPA11	SDRAM インタフェースアドレスバス	オープン
W23	HPA16	SDRAM インタフェースアドレスバス	オープン
W24	HPA14	SDRAM インタフェースアドレスバス	オープン
Y1	D13	データバス	オープン
Y2	D4	データバス	オープン
Y3	D2	データバス	オープン
Y4	D8	データバス	オープン
Y21	HPA5	SDRAM インタフェースアドレスバス	オープン
Y22	HPA6	SDRAM インタフェースアドレスバス	オープン
Y23	HPA12	SDRAM インタフェースアドレスバス	オープン
Y24	HPA10	SDRAM インタフェースアドレスバス	オープン
AA1	D11	データバス	オープン
AA2	D10	データバス	オープン
AA3	D9	データバス	オープン
AA4	WE0	D7 ~ D0 書き込み	オープン
AA5	A23/PTE5	アドレスバス / ポート	オープン
AA6	A21	アドレスバス	オープン
AA7	A15	アドレスバス	オープン
AA8	A11	アドレスバス	オープン
AA9	A7	アドレスバス	オープン
AA10	A3	アドレスバス	オープン
AA11	IOIS16/PTC5	PCMCIA インタフェース 16 ビット / ポート	プルアップ
AA12	D31/HPD47	上位データバス / SDRAM 上位データバス	オープン
AA13	D28/HPD44	上位データバス / SDRAM 上位データバス	オープン
AA14	D26/HPD42	上位データバス / SDRAM 上位データバス	オープン
AA15	D25/HPD41	上位データバス / SDRAM 上位データバス	オープン
AA16	HPD0	SDRAM 下位データバス	オープン
AA17	HPD13	SDRAM 下位データバス	オープン

## 1. 概要

端子番号	端子名	機能	未使用時の処理
AA18	HPD4	SDRAM 下位データバス	オープン
AA19	HPD6	SDRAM 下位データバス	オープン
AA20	HPDQM4/PTC0	SDRAM インタフェース上位 LL 側データマスク / ポート	オープン
AA21	$\overline{\text{HPCS3}}$	SDRAM インタフェースチップセレクト	オープン
AA22	HPA2	SDRAM インタフェースアドレスバス	オープン
AA23	HPA9	SDRAM インタフェースアドレスバス	オープン
AA24	HPA8	SDRAM インタフェースアドレスバス	オープン
AB1	D1	データバス	オープン
AB2	$\overline{\text{CS0}}$	チップセレクト	オープン
AB3	$\overline{\text{WE1/WE}}$	D15 ~ D8 書き込み / PCMCIA メモリライト	オープン
AB4	$\overline{\text{WE3/ICIOR}}$	D31 ~ D24 書き込み / PCMCIA IO ライト	オープン
AB5	A25/PTE7	アドレスバス / ポート	オープン
AB6	A17	アドレスバス	オープン
AB7	A13	アドレスバス	オープン
AB8	A9	アドレスバス	オープン
AB9	A5	アドレスバス	オープン
AB10	A1	アドレスバス	オープン
AB11	PTE1/IRQ5	ポート / 割り込み要求	ブルアップ
AB12	D30/HPD46	上位データバス / SDRAM 上位データバス	オープン
AB13	D29/HPD45	上位データバス / SDRAM 上位データバス	オープン
AB14	D27/HPD43	上位データバス / SDRAM 上位データバス	オープン
AB15	D24/HPD40	上位データバス / SDRAM 上位データバス	オープン
AB16	HPD1	SDRAM 下位データバス	オープン
AB17	HPD3	SDRAM 下位データバス	オープン
AB18	HPD10	SDRAM 下位データバス	オープン
AB19	HPD7	SDRAM 下位データバス	オープン
AB20	HPDQM7/PTC4	SDRAM インタフェース上位 UU 側データマスク / ポート	オープン
AB21	$\overline{\text{HPCAS}}$	SDRAM インタフェースカラムアドレス	オープン
AB22	$\overline{\text{HPCS2}}$	SDRAM インタフェースチップセレクト	オープン
AB23	HPA3	SDRAM インタフェースアドレスバス	オープン
AB24	HPA4	SDRAM インタフェースアドレスバス	オープン
AC1	D0	データバス	オープン
AC2	$\overline{\text{WE2/ICIOR}}$	D23 ~ D16 書き込み / PCMCIA IO リード	オープン
AC3	A24/PTE6	アドレスバス / ポート	オープン
AC4	A20	アドレスバス	オープン
AC5	A18	アドレスバス	オープン
AC6	A14	アドレスバス	オープン
AC7	A10	アドレスバス	オープン

## 1. 概要

端子番号	端子名	機能	未使用時の処理
AC8	A6	アドレスバス	オープン
AC9	A2	アドレスバス	オープン
AC10	A0	アドレスバス	オープン
AC11	PTC7	ポート	オープン
AC12	D16/HPD32	上位データバス / SDRAM 上位データバス	オープン
AC13	D18/HPD34	上位データバス / SDRAM 上位データバス	オープン
AC14	D20/HPD36	上位データバス / SDRAM 上位データバス	オープン
AC15	D22/HPD38	上位データバス / SDRAM 上位データバス	オープン
AC16	HPD15	SDRAM 下位データバス	オープン
AC17	HPD14	SDRAM 下位データバス	オープン
AC18	HPD12	SDRAM 下位データバス	オープン
AC19	HPD5	SDRAM 下位データバス	オープン
AC20	HPD8	SDRAM 下位データバス	オープン
AC21	HPDQM6/PTC3	SDRAM インタフェース上位 UL 側データマスク / ポート	オープン
AC22	HPRAS	SDRAM インタフェースロウアドレス	オープン
AC23	HPA1	SDRAM インタフェースアドレスバス	オープン
AC24	HPCLK	SDRAM インタフェース同期クロック	オープン
AD1	Vss	グラウンド	使用する
AD2	RD	リード信号	オープン
AD3	MD3	モード設定端子	使用する
AD4	A22/PTE4	アドレスバス / ポート	オープン
AD5	A19	アドレスバス	オープン
AD6	A16	アドレスバス	オープン
AD7	A12	アドレスバス	オープン
AD8	A8	アドレスバス	オープン
AD9	A4	アドレスバス	オープン
AD10	CKO	システムクロック	オープン
AD11	CS5A/CE2A	チップセレクト / チップセレクト	オープン
AD12	PTE0/IRQ4/BS	ポート / 割り込み要求 / バス開始	ブルアップ
AD13	D17/HPD33	上位データバス / SDRAM 上位データバス	オープン
AD14	D19/HPD35	上位データバス / SDRAM 上位データバス	オープン
AD15	D21/HPD37	上位データバス / SDRAM 上位データバス	オープン
AD16	D23/HPD39	上位データバス / SDRAM 上位データバス	オープン
AD17	HPCLKD	SDRAM インタフェース同期クロック	オープン
AD18	HPD2	SDRAM 下位データバス	オープン
AD19	HPD11	SDRAM 下位データバス	オープン
AD20	HPD9	SDRAM 下位データバス	オープン
AD21	HPDQM5/PTC2	SDRAM インタフェース上位 LU 側データマスク / ポート	オープン

## 1. 概要

---

端子番号	端子名	機能	未使用時の処理
AD22	HPRDWR	SDRAM インタフェースリード/ライト	オープン
AD23	HPCKE	SDRAM インタフェースクロックイネーブル	オープン
AD24	Vss	グラウンド	使用する



## 1.4 端子の機能

各端子の機能を表 1.4 に示します。

表 1.4 端子機能

分類	端子名	入出力	名称	機能
電源	V <sub>DD</sub>	入力	電源	LSI 内部の電源です。すべての V <sub>DD</sub> 端子をシステム電源に接続してください。開放端子があると動作しません。
	V <sub>SS</sub>	入力	グランド	グランド端子です。すべての V <sub>SS</sub> 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	V <sub>CCQ</sub>	入力	電源	入出力端子用電源です。すべての V <sub>CC</sub> 端子をシステム電源に接続してください。開放端子があると動作しません。
	DV33、DV12、 AV33、AV12、UV12	入力	USB 用電源	DV33 USB デジタル 3.3V 電源 DV12 USB デジタル 1.2V 電源 AV33 USB アナログ 3.3V 電源 AV12 USB アナログ 1.2V 電源 UV12 USB デジタル 1.2V 電源
	DG33、DG12、 AG33、AG12、UG12	入力	USB 用グランド	DG33 DV33 用グランド DG12 DV12 用グランド AG33 AV33 用グランド AG12 AV12 用グランド UG12 UV12 用グランド
クロック	V <sub>DD_PLL</sub>	入力	PLL 用電源	内蔵 PLL 発振器用の電源端子です。
	V <sub>SS_PLL</sub>	入力	PLL 用グランド	内蔵 PLL 発振器用のグランド端子です。
	V <sub>DD_DLL</sub>	入力	DLL 用電源	内蔵 DLL 発振器用の電源端子です。
	V <sub>SS_DLL</sub>	入力	DLL 用グランド	内蔵 DLL 発振器用のグランド端子です。
	EXTAL	入力	外部クロック	外部クロックを入力します。未使用時は V <sub>SS</sub> に接続してください。
	XTAL	出力	クロック出力	何も接続しないでください。
	RCLK	入力	RTC クロック	32.768kHz の RTC クロックを接続します。本 LSI 動作には必ず RCLK を入力してください。
	EXTALUSB XTALUSB	入力 出力	USB 用クロック	USB 用の 48MHz クロック端子です。 EXTALUSB、XTALUSB の間に水晶振動子を接続してください。外部クロック入力する場合は、EXTALUSB に外部クロック信号を接続し、XTALUSB はオープンとしてください。

## 1. 概要

分類	端子名	入出力	名称	機能
動作モード コントロール	MD8、MD5、 $\overline{\text{TSTMD}}$ 、MD3、 MD2、MD1、MD0	入力	モード設定	動作モードを設定します。これらの端子は動作中には変化させないでください。MD2～MD0はクロックモード設定用、MD3はバス幅選択用、 $\overline{\text{TSTMD}}$ はLSIの出荷検査用端子です。VccQに固定してください。MD5はエンディアン設定用、MD8はテストモード用です。
システム制御	RESETP	入力	パワーオンリセット	この端子がローレベルになると、パワーオンリセット状態になります。
	RESETOUT	出力	リセット出力	本LSIがリセット期間中ローレベルになります。
	RESETA	入力	リセット入力	電源印加状態で、この端子がローレベルになるとリセット状態になります。
	STATUS0	出力	ステータス出力	本LSIがソフトウェアスタンバイ期間中ハイレベルになります。
	PDSTATUS	出力	パワーダウンステータス出力	本LSIがU-スタンバイモードのとき、ハイレベルになります。
	$\overline{\text{TST}}$	入力	テスト端子	$\overline{\text{TST}}$ はLSIの出荷検査用端子です。VccQに固定してください。
割り込み	NMI	入力	ノンマスカブル 割り込み	ノンマスカブル割り込み要求端子です。使用しない場合はハイレベルに固定してください。
	IRQ7～IRQ0	入力	割り込み要求 7～0	マスク可能な割り込み要求端子です。レベル入力、エッジ入力の選択が可能です。レベル入力の場合、ハイレベル、ローレベルの選択が可能です。エッジ入力の場合、立ち上がり、立ち下がりの選択が可能です。
BSC (非同期バス)	A25～A0	出力	アドレスバス	アドレスを出力します。
	D31～D0	入出力	データバス	16/32ビットの双方向バスです。
	$\overline{\text{CS0}}$ 、 $\overline{\text{CS4}}$ 、 $\overline{\text{CS5A}}$ 、 $\overline{\text{CS5B}}$ 、 $\overline{\text{CS6A}}$ 、 $\overline{\text{CS6B}}$	出力	チップセレクト	外部メモリまたはデバイスのためのチップセレクト信号です。
	CKO	出力	システムクロック	外部デバイスにシステムクロックを供給します。
	$\overline{\text{RD}}$	出力	リードストローブ	外部のデバイスから読み出すことを示します。
	RDWR	出力	リード/ライト	リード/ライト信号端子です。
	$\overline{\text{WE3}}$ ～ $\overline{\text{WE0}}$	出力	ライトイネーブル 3～0	外部メモリまたはデバイスのデータを書き込みすることを示します。
	$\overline{\text{WAIT}}$	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
	BS	出力	バス開始	バスサイクルの開始を示す信号で、通常空間、バーストROM(クロック非同期)、およびPCMCIAアクセス時にアサートされます。
$\overline{\text{CE1A}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE1B}}$ 、 $\overline{\text{CE2B}}$	出力	PCMCIA カードセレクト	PCMCIAカードセレクト信号です。	

## 1. 概要

分類	端子名	入出力	名称	機能
BSC (非同期バス)	ICIOR $\bar{W}$	出力	PCMCIA IO ライト	I/O ライトを示すストロープ信号です。
	ICIOR $\bar{D}$	出力	PCMCIA IO リード	I/O リードを示すストロープ信号です。
	$\bar{W}\bar{E}$	出力	PCMCIA メモリ ライト	メモリライトサイクルを示すストロープ信号です。
	ICIS16	入力	PCMCIA 16 ビット I/O	PCMCIA の 16 ビット I/O を示す信号です。 リトルエンディアン時のみ有効で、ビッグエンディアン時はローレベルにしてください。
SBSC (SDRAM バス)	HPA16 ~ HPA1	出力	アドレスバス	アドレスを出力します。
	HPD63 ~ HPD0	入出力	データバス	16/32/64 ビットの双方向バスです。
	HPCS2、HPCS3	出力	チップセレクト 2、3	SDRAM 用のチップセレクト信号です。
	HPCLK、HPCLKR、 HPCLKD	出力	同期クロック	SDRAM 用の同期クロック信号です。同一クロックが出力されます。
	HPRDWR	出力	リード/ライト	リード/ライト信号端子です。
	HPDQM7 ~ 0	出力	データマスク 7~0	SDRAM のデータビットを選択することを示します。
	$\bar{H}PCAS$	出力	カラムアドレス	SDRAM カラムアドレスを指定します。
	HPRAS	出力	ローアドレス	SDRAM ローアドレスを指定します。
	HPCKE	出力	クロックイネーブル	SDRAM クロックイネーブル信号です。
ダイレクト メモリアクセス コントローラ (DMAC)	DREQ0	入力	DMA 転送要求	外部からの DMA 転送要求の入力端子です。
	DACK0	出力	DMA 転送要求 受け付け	外部からの DMA 転送要求に対する、要求受付出力端子です。
タイマパルス ユニット(TPU)	TPUTO	出力	出力信号	TPU からのパルス出力です。
シリアル I/O (SIO)	SIOTXD	出力	送信データ	送信データ端子です。
	SIORXD	入力	受信データ	受信データ端子です。
	SIOD	入出力	送受信データ	送受信データ端子です。
	SIOSTRB0、 SIOSTRB1	出力	シリアルストロープ	同期信号端子です。
	SIOSCK	出力	シリアルクロック	クロック出力端子です。
	SIOMCK	入力	シリアルマスタ クロック	シリアルマスタクロック入力端子です(送受信共通)。
シリアル I/O FIFO 付 (SIOF)	SIOF0_TXD、 SIOF1_TXD	出力	送信データ	送信データ端子です。
	SIOF0_RXD、 SIOF1_RXD	入力	受信データ	受信データ端子です。
	SIOF0_SCK、 SIOF1_SCK	入出力	シリアルクロック	シリアルクロック(送受信共通)端子です。SPI モード時、出力固定端子です。

## 1. 概要

分類	端子名	入出力	名称	機能
シリアル I/O FIFO 付 (SIOF)	SIOF0_MCK、 SIOF1_MCK	入力	マスタクロック	マスタクロック入力端子です。
	SIOF0_SYNC SIOF1_SYNC	入出力	フレーム同期信号	フレーム同期信号 (送受信共通) です。SPI モード時、出力固定かつスレーブデバイス 0 を選択する端子です。
	$\overline{\text{SIOF0\_SS1}}$ 、 $\overline{\text{SIOF1\_SS1}}$	出力	スレーブデバイス 1 選択	SPI モード時、スレーブデバイス 1 を選択する端子です。
	$\overline{\text{SIOF0\_SS2}}$ 、 $\overline{\text{SIOF1\_SS2}}$	出力	スレーブデバイス 2 選択	SPI モード時、スレーブデバイス 2 を選択する端子です。
FIFO 内蔵 シリアルコミュ ニケーション インタフェース (SCIF)	SCIF0_TXD、 SCIF1_TXD、 SCIF2_TXD	出力	送信データ	送信データ用の端子です。
	SCIF0_RXD、 SCIF1_RXD、 SCIF2_RXD	入力	受信データ	受信データ用の端子です。
	SCIF0_SCK、 SCIF1_SCK、 SCIF2_SCK	入出力	シリアルクロック	クロック入出力端子です。
	$\overline{\text{SCIF0\_RTS}}$ 、 $\overline{\text{SCIF1\_RTS}}$ 、 $\overline{\text{SCIF2\_RTS}}$	出力	RTS 信号	RTS 出力端子です。
	$\overline{\text{SCIF0\_CTS}}$ 、 $\overline{\text{SCIF1\_CTS}}$ 、 $\overline{\text{SCIF2\_CTS}}$	入力	CTS 信号	CTS 入力端子です。
SIM カード モジュール (SIM)	SIM_RST	出力	リセット	スマートカードリセット出力端子です。
	SIM_CLK	出力	クロック	スマートカードクロック出力端子です。
	SIM_D	入出力	送受信データ	スマートカード送受信データ入出力端子です。
IrDA インタフェース (IrDA)	IrDA_IN	入力	受信データ入力	受信データ入力です。
	IrDA_OUT	出力	送信データ出力	送信データ出力です。
I <sup>2</sup> C バス インタフェース (IIC)	SCL	入出力	I <sup>2</sup> C クロック入出力	I <sup>2</sup> C バスのクロック入出力端子です。バス駆動機能を持っています。出力形式は NMOS オープンドレインです。
	SDA	入出力	I <sup>2</sup> C データ入出力	I <sup>2</sup> C バスのデータ入出力端子です。バス駆動機能を持っています。出力形式は NMOS オープンドレインです。

分類	端子名	入出力	名称	機能
LCD コントローラ (RGB インタ フェース)	LCDD23 ~ LCDD0	出力	LCD データバス	24 ビットの液晶パネル用データです。
	LCDDON	出力	表示 ON/OFF 信号	表示 ON/OFF 信号 (メイン液晶用) です。
	LCDHSYN	出力	水平同期信号	水平同期信号です。
	LCDDISP	出力	表示イネーブル信号	表示イネーブル信号です。
	LCDVSYN	出力	垂直同期信号	垂直同期信号です。
	LCDVCPWC	出力	電源制御	液晶モジュール電源制御信号 (メイン液晶用) です。
	LCDVEPWC	出力	電源制御	液晶モジュール電源制御信号 (メイン液晶用) です。
	LCDDCK	出力	ドットクロック信号	データ同期信号です。
	LCDLCLK	入力	入力クロック	入力クロック信号です。
LCD コントローラ (SYS インタ フェース)	LCDD23 ~ LCDD0	入出力	LCD データバス	24 ビットの液晶パネル用データです。
	LCDDON	出力	表示 ON/OFF 信号	表示 ON/OFF 信号 (メイン液晶用) です。
	LCDDON2	出力	表示 ON/OFF 信号 2	表示 ON/OFF 信号 (サブ液晶用) です。
	$\overline{\text{LCDCS}}$	出力	チップセレクト	チップセレクト信号 (メイン液晶用) です。
	$\overline{\text{LCDRD}}$	出力	リードストロープ	リードストロープ信号です。
	LCDRS	出力	レジスタセレクト	レジスタセレクト信号です。
	LCDVSYN	入出力	垂直同期信号	垂直同期信号です。
	LCDVSYN2	入出力	垂直同期信号 2	垂直同期信号 (サブ液晶用) です。
	LCDVCPWC	出力	電源制御	液晶モジュール電源制御信号 (メイン液晶用) です。
	LCDVCPWC2	出力	電源制御 2	液晶モジュール電源制御信号 (サブ液晶用) です。
	LCDVEPWC	出力	電源制御	液晶モジュール電源制御信号 (メイン液晶用) です。
	LCDVEPWC2	出力	電源制御 2	液晶モジュール電源制御信号 (サブ液晶用) です。
	$\overline{\text{LCDWR}}$	出力	ライトストロープ	ライトストロープ信号です。
	$\overline{\text{LCDCS2}}$	出力	チップセレクト 2	チップセレクト信号 2 (サブ液晶用) です。
	LCDLCLK	入力	入力クロック	入力クロック信号

## 1. 概要

分類	端子名	入出力	名称	機能
USB2.0 ホスト /ファンクシ ョンモジュール (USB)	VBUS	入力	USB 電源検知	USB ケーブル接続モニタ端子です。
	DP	入出力	D+入出力	USB 内蔵トランシーバ D+入出力です。
	DM	入出力	D-入出力	USB 内蔵トランシーバ D-入出力です。
	REFRIN	-	リファレンス入力	定電流回路用の基準抵抗接続端子です。AG33 にプルダウン接続してください。
キースキャン インタフェース (KEYSC)	KEYIN6~0	入力	キー入力	入力用キースキャンインタフェースです。
	KEYOUT5~0	出力	キー出力	出力用キースキャンインタフェースです。
I/O ポート	PTA~PTZ	入出力 入力 出力	汎用ポート	汎用ポート端子です。
SD ホスト インタフェース (SDHI)	SDHICD	入力	カード検出	SD カード検出信号です。
	SDHIWP	入力	ライトプロテクト	SD ライトプロテクト信号です。
	SDHID3~0	入出力	データバス	SD データバス信号です。
	SDHICMD	入出力	コマンド出力、 レスポンス入力	SD コマンド出力、レスポンス入力信号です。
	SDHICLK	出力	クロック	SD クロック出力端子です。
ユーザデバッグ インタフェース (H-UDI)*	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモード セレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ入力	インストラクションとデータのシリアル入力端子 です。
	TDO	出力	テストデータ出力	インストラクションとデータのシリアル出力端子 です。
	TRST	入力	テストリセット	H-UDI のリセット端子 電源投入時、RESETP と同期間はローレベルを入力 してください。
	ASEBRK/ BRKACK	入出力	ブレーク入力/ アクノリッジ	エミュレータからのブレーク信号入力/ ブレークアクノリッジ出力信号です。
	MPMD	入力	ASE モード	ASE モード(エミュレーションサポートモード)を 設定します。エミュレータ未使用時はオープンにし てください。
アドバンスト ユーザデバッグ (AUD)	AUDATA3~ AUDATA0	出力	AUD データ	ブランチトレースモード時は分岐先アドレス出力 端子です。
	AUDCK	出力	AUD クロック	ブランチトレースモード時は同期クロック出力端 子です。
	AUDSYNC	出力	AUD 同期信号	ブランチトレースモード時はデータ先頭位置認識 信号出力端子です。

【注】 \* エミュレータ使用時は、各エミュレータのユーザズマニュアルを参照してください。

---

## 2. プログラミングモデル

---

本章では、本 LSI のプログラミングモデルについて記述します。本 LSI は以下に示すレジスタとデータフォーマットを持っています。

### 2.1 データフォーマット

本 LSI でサポートしているデータフォーマットを図 2.1 に示します。



図 2.1 データフォーマット

### 2.2 レジスタの構成

#### 2.2.1 特権モードとレジスタバンク

##### (1) 処理モード

CPU の処理モードは、ステータスレジスタ (SR) のモードビット (MD) および DSP ビット (DSP) により、次の表のように指定されます。

表 2.1 CPU 処理モード表

MD	DSP	処理モード	説明	
			特権保護されたリソースのアクセスや特権命令の実行	DSP 拡張機能
0	0	ユーザモード	不可	無効
0	1	ユーザ DSP モード	不可	有効
1	0	特権モード	可能	無効
1	1	特権 DSP モード	可能	有効

## 2. プログラミングモデル

---

このように、DSP ビットによる DSP 拡張機能の制御は、MD ビットによる制御と独立に作用します。ただし、DSP ビットは特権モードでのみ値の変更が可能であり、DSP モードの変更を行うには特権モードや特権 DSP モードへの遷移が必要になります。

### (2) 汎用レジスタ

汎用レジスタには R0 から R15 までの 16 本のレジスタがあります。汎用レジスタ R0 から R7 は、バンクレジスタで、処理モードで切り替えることができます。

- 特権モードの場合

ステータスレジスタ (SR) のレジスタバンクビット (RB) により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決めます。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令 (LDC) とストア命令 (STC) でアクセスします。

RBビットが1のとき、つまりバンク1が選ばれているときは、バンク1の汎用レジスタR0\_BANK1からR7\_BANK1とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク0の汎用レジスタR0\_BANK0からR7\_BANK0の8本のレジスタはLDC/STC命令でアクセスできます。

RBビットが0のとき、つまりバンク0が選ばれているときは、バンク0の汎用レジスタR0\_BANK0からR7\_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0\_BANK1からR7\_BANK1の8本のレジスタはLDC/STC命令でアクセスできます。

- ユーザモードの場合

バンク0の汎用レジスタR0\_BANK0からR7\_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0\_BANK1からR7\_BANK1の8本のレジスタはアクセスできません。

本LSIでDSP拡張機能が有効なとき、DSPタイプの命令では、16の汎用レジスタのうち8つのレジスタがX、Yデータメモリおよびオペランドバスを使うデータメモリ(シングルデータ)のアドレッシングに使われます。Xメモリをアクセスするためには、Xアドレスレジスタ([Ax])としてR4、R5を使い、Xインデックスレジスタ([Ix])としてR8を使います。Yメモリをアクセスするためには、Yアドレスレジスタ([Ay])としてR6、R7を使い、Yインデックスレジスタ([Iy])としてR9を使います。オペランドバスを使ってシングルデータをアクセスするためには、シングルデータアドレスレジスタ([As])としてR2、R3、R4、R5を使い、シングルデータインデックスレジスタ([Is])としてR8を使います。

DSPタイプの命令はXとYデータメモリを同時にアクセスできます。XとYデータメモリのアドレスを指定するために、2組のアドレスポインタがあります。

### (3) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ(GBR)とステータスレジスタ(SR)があり、特権モードでのみアクセスできる退避ステータスレジスタ(SSR)、退避プログラムカウンタ(SPC)、ベクタベースレジスタ(VBR)、退避ジェネラルレジスタ 15(SGR)、デバッグベースレジスタ(DBR)があり



ます。ステータスレジスタには、特権モードでのみアクセスできるビット（たとえばRB ビット）があります。

#### （４）システムレジスタ

システムレジスタには、積和レジスタ(MACH/MACL)、プロシジャレジスタ(PR)、プログラムカウンタ(PC)があり、処理モードに関係しません。

#### （５）DSP レジスタと DSP に関するシステムレジスタ

DSP レジスタとして 8 つのデータレジスタと 1 つのコントロールレジスタがあります。

DSP データレジスタは 2 本の 40 ビット長の A0、A1 レジスタと、6 本の 32 ビット長の M0、M1、X0、X1、Y0、Y1 レジスタがあります。A0、A1 レジスタにはそれぞれ 8 ビットのガードビット、A0G、A1G があります。

DSP に関するシステムレジスタには 32 ビット長の DSP ステータスレジスタ (DSR)、繰り返し開始レジスタ (RS)、繰り返し終了レジスタ (RE)、モジュロレジスタ (MOD) があります。

リセット後のレジスタの値を表 2.2 に示します。

表 2.2 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0 ~ R7_BANK0、 R0_BANK1 ~ R7_BANK1、 R8 ~ R15	不定
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、 IMASK は B'1111、その他はリザーブビットも含めて 0。
	GBR、SSR、SPC、SGR、DBR、RS、 RE、MOD	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	H'A0000000
DSP レジスタ	A0、A0G、A1、A1G、M0、M1、X0、 X1、Y0、Y1	不定
	DSR	H'0000

【注】 \* パワーオンリセット、マニュアルリセットで初期化されます。

処理モード別の CPU レジスタ構成を図 2.2 に示します。

ユーザモードと特権モードは、ステータスレジスタの処理モードビット (MD) で切り替えます。

## 2. プログラミングモデル

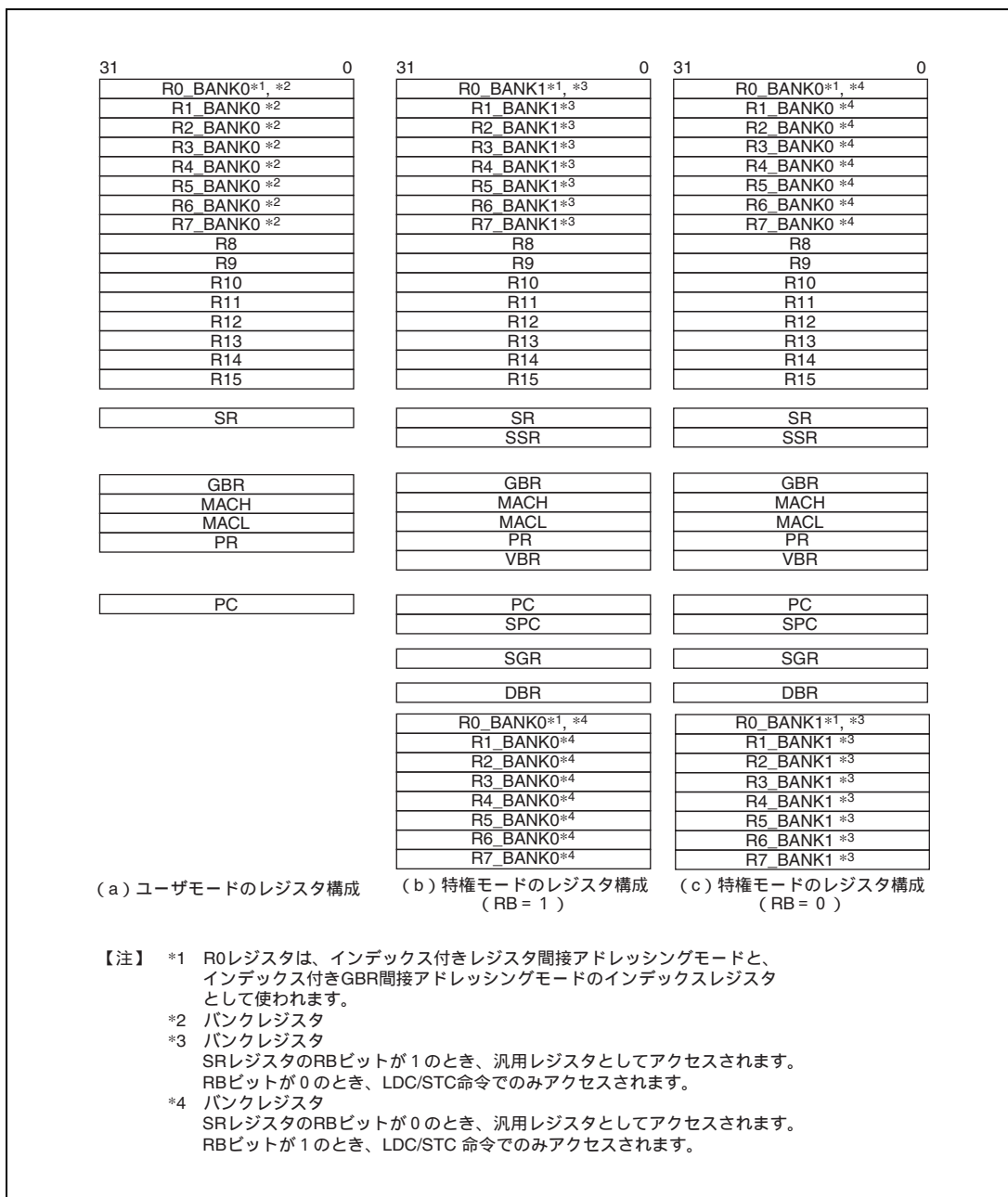


図 2.2 処理モード別の CPU レジスタ構成

## 2.2.2 汎用レジスタ

図 2.3 に処理モードと汎用レジスタの関係を示します。本 LSI には 24 本の 32 ビット汎用レジスタ(R0\_BANK0 ~ R7\_BANK0、R0\_BANK1 ~ R7\_BANK1、R8 ~ R15) があります。ただし、これらのうち 16 本のレジスタのみ 1 つの処理モードで汎用レジスタ R0 ~ R15 としてアクセスできます。本 LSI には特権モードとユーザモードの 2 つの処理モードがあります。R0 ~ R7 はその 2 つのモードにより次のように割り当てられます。

- R0\_BANK0 ~ R7\_BANK0

ユーザモード (SR.MD=0) では、常に R0 ~ R7 に割り当てられます。

特権モード (SR.MD=1) では、(SR.RB=0) の場合に限り R0 ~ R7 に割り当てられます。

- R0\_BANK1 ~ R7\_BANK1

ユーザモードでは、アクセスできません。

特権モードでは、(SR.RB=1) の場合に限り、R0 ~ R7 に割り当てられます。

SR.MD=0 または (SR.MD=1, SR.RB=0)		(SR.MD=1, SR.RB=1)	
R0	R0_BANK0	R0-BANK0	R0
R1	R1_BANK0	R1-BANK0	R1
R2	R2_BANK0	R2-BANK0	R2
R3	R3_BANK0	R3-BANK0	R3
R4	R4_BANK0	R4-BANK0	R4
R5	R5_BANK0	R5-BANK0	R5
R6	R6_BANK0	R6-BANK0	R6
R7	R7_BANK0	R7-BANK0	R7
R0-BANK1	R0_BANK1		R0
R1-BANK1	R1_BANK1		R1
R2-BANK1	R2_BANK1		R2
R3-BANK1	R3_BANK1		R3
R4-BANK1	R4_BANK1		R4
R5-BANK1	R5_BANK1		R5
R6-BANK1	R6_BANK1		R6
R7-BANK1	R7_BANK1		R7
R8	R8		R8
R9	R9		R9
R10	R10		R10
R11	R11		R11
R12	R12		R12
R13	R13		R13
R14	R14		R14
R15	R15		R15

図 2.3 汎用レジスタ

## 2. プログラミングモデル

### 【プログラミング上の注意】

ユーザモードの R0~R7 は R0\_BANK0~R7\_BANK0 に、例外・割り込み後の R0~R7 は R0\_BANK1~R7\_BANK1 に割り当てられるので、割り込みハンドラはユーザモードでの R0~R7 (R0\_BANK0~R7\_BANK0) を退避または復帰する必要はありません。

### 2.2.3 DSP レジスタ

DSP データレジスタは 2 本の 40 ビット長の A0、A1 レジスタと、6 本の 32 ビット長の M0、M1、X0、X1、Y0、Y1 レジスタがあります。A0、A1 レジスタにはそれぞれ 8 ビットのガードビット A0G、A1G があります。

図 2.4 に DSP レジスタを示します。

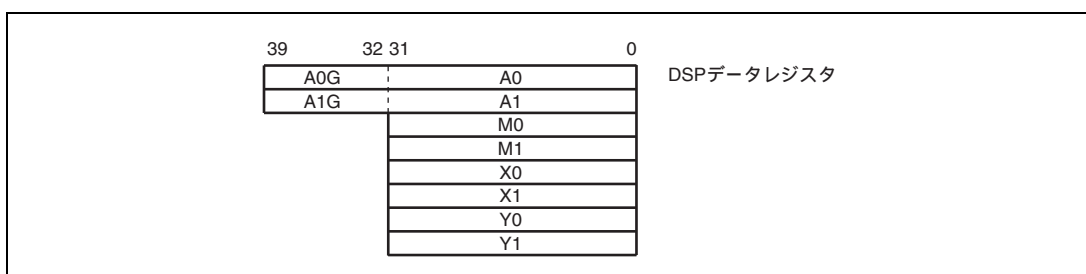


図 2.4 DSP レジスタの構成

### 2.2.4 コントロールレジスタ

#### (1) ステータスレジスタ (SR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MD	RB	BL	RC											
初期値:	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	DSP	DMY	DMX	M	Q	IMASK				RF		S	T
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## 2. プログラミングモデル

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
30	MD	1	R/W	処理モード 処理モードを選択します。 0: ユーザモード (命令の中には実行できない命令があり、リソースの中にはアクセスできないリソースがあります) 1: 特権モード 例外または割り込みにより 1 にセットされます。
29	RB	1	R/W	特権モードでの汎用レジスタバンク指定ビット 0: R0_BANK0 ~ R7_BANK0 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK1 ~ R7_BANK1 は LDC/STC 命令でアクセスできます。 1: R0_BANK1 ~ R7_BANK1 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK0 ~ R7_BANK0 は LDC/STC 命令でアクセスできます 例外または割り込みにより 1 にセットされます。
28	BL	1	R/W	例外 / 割り込みブロックビット 例外または割り込みにより 1 にセットされます。 このビットが 1 のとき、割り込み要求はマスクされ、ユーザブレイク以外の一般例外が発生すると、プロセッサはリセット状態に遷移します。
27 ~ 16	RC	すべて 0	R/W	リピートカウンタ 繰り返し (ループ) 制御の繰り返し回数を指定します。(2 ~ 4096)
15 ~ 13	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
12	DSP	0	R/W	DSP ビット 1 のとき DSP 命令が有効になります。
11	DMY	0	R/W	Y ポインタ用モジュロアドレッシング指定 1: Y メモリアドレスポインタ、Ay (R6、R7) に対し、モジュロアドレッシングモードが有効になります。
10	DMX	0	R/W	X ポインタ用モジュロアドレッシング指定 1: X メモリアドレスポインタ、Ax (R4、R5) に対し、モジュロアドレッシングモードが有効になります。
9	M	0	R/W	M ビット DIV0S、DIV0U、DIV1 命令で使用します。
8	Q	0	R/W	Q ビット DIV0S、DIV0U、DIV1 命令で使用します。

## 2. プログラミングモデル

ビット	ビット名	初期値	R/W	説明
7~4	IMASK	B'1111	R/W	割り込みマスクレベル IMASK 以下のレベルの割り込みはマスクされます。また、割り込みが発生した場合に、IMASK が割り込み受け付けレベルに変化する動作と変化しない動作を CPU 動作モードレジスタ (CPUOPM) を用いて切り替えることができます。CPUOPM の説明は「付録 A. CPU 動作モードレジスタ (CPUOPM)」を参照してください。
3, 2	RF	B'00	R/W	リピートフラグビット リピートフラグビットは、リピート制御命令によって使用されます。これらのビットは、特権モード、特権 DSP モード、およびユーザ DSP モードで更新可能です。リセット状態に遷移することにより、0 に初期化されず。例外処理状態に遷移しても値は変化しません。 【注】 SH4AL-DSP では、SETRC 命令を用いたリピート制御(互換リピート制御)を拡張リピートの制御でエミュレーションしています。このため互換リピート制御中にリピートフラグビット(RF)の値が内部状態に応じて変化します。この仕様は従来の SH3-DSP シリーズと異なります。
1	S	0	R/W	S ビット MAC 命令および DSP 命令の飽和動作を指定します。
0	T	0	R/W	T ビット 真/偽条件、キャリ、ポロー、オーバフローまたはアンダフローなどを表します。 詳細は、「第 3 章 命令セット」を参照してください。

SR に対する LDC と STC 命令は、DSP ビットが 0 のときには、MD ビットが 1 の場合にのみ使用可能な命令ですが、DSP ビットが 1 のときには、ユーザ DSP モードにおいても使用可能になります。ただし、値を書き換えられる制御ビットは、RC、RF、DMX、および DMY に限定されます。LDC と STC 命令使用時のステータスレジスタ (SR) の詳細は、下記のとおりです。

- ユーザモード時は、SR に対する LDC 命令と STC 命令は不当命令例外となります。
- 特権モードと特権 DSP モードでは、SR の全ビットが更新できます。
- ユーザ DSP モード時は、SR は STC 命令で読み出し可能です。

ユーザ DSP モード時は、SR への LDC 命令発行は可能ですが、DSP 拡張ビットのみ更新できます。

表 2.3 各処理モードにおける SR の各ビットの動作説明

フィールド	特権モード	ユーザモード	特権 DSP モード	ユーザ DSP モード	専用命令による DSP 関連ビットへのアクセス
	MD=1 & DSP=0	MD=0 & DSP=0	MD=1 & DSP=1	MD=0 & DSP=1	
MD	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	
RB	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	
BL	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	
RC	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : OK	SETRC, LDRC 命令
DSP	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	
DMY	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : OK	SETDMY, CLRDMXY 命令
DMX	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : OK	SETDMX, CLRDMXY 命令
M	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	
Q	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	
IMASK	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	
RF	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : OK	SETRC, LDRC 命令
S	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	
T	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	

【注】 M、Q、S、T ビットはユーザモードで専用命令によってセット/クリアが可能です。

【記号説明】

S : STC 命令

L : LDC 命令

OK : STC と LDC 動作を許可します。

不当命令 : 実行すると不当命令例外が発生します。

NG : 前の値を保持します。変化しません。

(2) 退避ステータスレジスタ (SSR) (32 ビット、特権保護、初期値 = 不定)

SR の内容は例外または割り込みの発生時、SSR に退避されます。

(3) 退避プログラムカウンタ (SPC) (32 ビット、特権保護、初期値 = 不定)

例外または割り込みの発生した命令のアドレスは SPC に退避されます。

(4) グローバルベースレジスタ (GBR) (32 ビット、初期値 = 不定)

GBR は @(disp,GBR)、@(R0,GBR) アドレッシングのベースアドレスとして参照されます。

(5) ベクタベースレジスタ (VBR) (32 ビット、特権保護、初期値 = H'0000 0000)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。詳細については「第 5 章 例外処理」を参照してください。

## 2. プログラミングモデル

---

(6) 退避ジェネラルレジスタ 15 (SGR) (32 ビット、特権保護、初期値 = 不定)

R15 の内容は例外または割り込みの発生時 SGR に退避されます。

(7) デバッグベースレジスタ (DBR) (32 ビット、特権保護、初期値 = 不定)

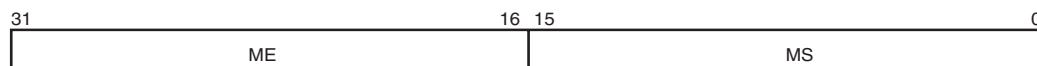
ユーザブレイクデバッグ機能を有効にする場合 (CBCR.UBDE = 1)、DBR は VBR の代わりにユーザブレイクハンドラへの分岐先アドレスとして参照されます。

(8) 繰り返し開始レジスタ (RS)、繰り返し終了レジスタ (RE)

RS レジスタと RE レジスタはプログラムの繰り返し (ループ) を制御するために使います。SR レジスタの繰り返しカウンタ (RC : Repeat counter) に繰り返し回数を指定し、RS レジスタに繰り返し開始アドレスを指定し、RE レジスタに繰り返し終了アドレスを指定します。ただし、RS レジスタと RE レジスタに格納されるアドレスの値は、繰り返しの物理的な開始アドレス、終了アドレスとは値が必ずしも同じとは限りません。

また SH4AL-DSP では、SETRC 命令を用いたリピート制御 (互換リピート制御) を LDRC 命令を用いた拡張リピート制御でエミュレーションしています。このため互換リピート制御中に RS レジスタと RE レジスタの値が内部状態に応じて変化します。この仕様は従来の SH3-DSP シリーズの互換リピート制御と異なっていますので、互換リピートを使用する際はリピート制御マクロ (REPEAT) を用いるか、SETRC 命令により 1 以上のリピート回数を設定する前には必ず LDRS および LDRE 命令を実行するようにしてください。

(9) モジュールレジスタ



- MS : モジュール開始アドレス
- ME : モジュール終了アドレス

MOD レジスタは繰り返しデータのバッファリングのためのモジュールアドレッシングに使います。SR レジスタの DMX または DMY でモジュールアドレッシングの指定をし、MOD レジスタの上位 16 ビットにモジュール終了アドレス (ME) を指定し、下位 16 ビットにモジュール開始アドレス (MS) を指定します。なお、DMX と DMY ビットは同時にモジュールアドレッシングを指定することはできません。モジュールアドレッシングは X、Y データ転送命令 (MOVX、MOVY) のとき可能です。シングルデータ転送命令 (MOV) ではできません。



### 2.2.5 システムレジスタ

- (1) 積和上位レジスタ (MACH) (32 ビット、初期値 = 不定)、  
積和下位レジスタ (MACL) (32 ビット、初期値 = 不定)

MACH/MACL は、MAC 命令の加算値として用いられます。また MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

- (2) プロシジャレジスタ (PR) (32 ビット、初期値 = 不定)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

- (3) プログラムカウンタ (PC) (32 ビット、初期値 = H'A000 0000)

PC は実行中の命令アドレスを示します。

## 2. プログラミングモデル

### (4) DSP ステータスレジスタ (DSR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AGT	AZ	AN	AV	TS		TC	GT	Z	N	V	CS		DC		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.4 DSR レジスタのビット

ビット	ビット名	初期値	R/W	機能
31 ~ 16	-	すべて 0	R	リザーブビット 常に 0 が読み出されます。書き込む値も 0 にしてください。
15	AGT	0	R/W	累積符合付き大ビット 1: 演算結果が正 (0 を除く)、またはオペランド 1 がオペランド 2 より大きいことを示します。 本ビットは演算結果により 0 クリアされることはありません。LDS 命令によって当該ビットへ 0 を書き込むまで 1 を保持します。また、DSR[11:8] (TS、TC) が 0000 のときは演算結果によって値が更新されることはありません。LDS 命令によって当該ビットへ書き込むまで値を保持します。
14	AZ	0	R/W	累積ゼロビット 1: 演算結果が 0 (ゼロ)、またはオペランド 1 がオペランド 2 と等しいことを示します。 本ビットは演算結果により 0 クリアされることはありません。LDS 命令によって当該ビットへ 0 を書き込むまで 1 を保持します。また、DSR[11:8] (TS、TC) が 0000 のときは演算結果によって値が更新されることはありません。LDS 命令によって当該ビットへ書き込むまで値を保持します。
13	AN	0	R/W	累積負値ビット 1: 演算結果が負、またはオペランド 1 がオペランド 2 より小さいことを示します。 本ビットは演算結果により 0 クリアされることはありません。LDS 命令によって当該ビットへ 0 を書き込むまで 1 を保持します。また、DSR[11:8] (TS、TC) が 0000 のときは演算結果によって値が更新されることはありません。LDS 命令によって当該ビットへ書き込むまで値を保持します。
12	AV	0	R/W	累積オーバフロービット 1: 演算結果がオーバフローしたことを示します。 本ビットは演算結果により 0 クリアされることはありません。LDS 命令によって当該ビットへ 0 を書き込むまで 1 を保持します。また、DSR[11:8] (TS、TC) が 0000 のときは演算結果によって値が更新されることはありません。LDS 命令によって当該ビットへ書き込むまで値を保持します。

## 2. プログラミングモデル

ビット	ビット名	初期値	R/W	機能
11~9	TS	すべて0	R/W	<p>Tビット状態選択</p> <p>TCビットが1のとき、SRレジスタのTビットに設定する演算結果状態を選択するモードを指定します。ただし、SRレジスタのSビットが1のときもオーバフロー検出を行います。</p> <p>000：キャリ/ボローモード  001：負値モード  010：ゼロモード  011：オーバフローモード  100：符合付き大モード  101：符号付き以上モード  その他：リザーブ（設定禁止）</p>
8	TC	0	R/W	<p>TCビット</p> <p>1：SRレジスタのTビットはDSP命令実行時、DSRレジスタのTSビットの状態により変化します。ただし、条件付きDSP命令実行時はTビットは変化しません。  0：SRレジスタのTビットはDSP命令に依存しません。</p>
7	GT	0	R/W	<p>符号付き大ビット</p> <p>演算結果が正（0を除く）、またはオペランド1がオペランド2より大きいことを示します。</p> <p>1：演算結果が正、またはオペランド1がオペランド2より大きい</p>
6	Z	0	R/W	<p>ゼロビット</p> <p>演算結果が0（ゼロ）、またはオペランド1がオペランド2と等しいことを示します。</p> <p>1：演算結果がゼロ（0）、または等しい</p>
5	N	0	R/W	<p>負値ビット</p> <p>演算結果が負、またはオペランド1がオペランド2より小さいことを示します。</p> <p>1：演算結果が負、またはオペランド1がオペランド2より小さい</p>
4	V	0	R/W	<p>オーバフロービット</p> <p>演算結果がオーバフローしたことを示します。</p> <p>1：演算結果がオーバフロー</p>

## 2. プログラミングモデル

---

ビット	ビット名	初期値	R/W	機 能
3~1	CS	すべて 0	R/W	DC ビット状態選択* DC ビットに設定する演算結果状態を選択するためのモードを指定します。 000 : キャリ / ボローモード 001 : 負値モード 010 : ゼロモード 011 : オーバフローモード 100 : 符合付き大モード 101 : 符号付き以上モード その他 : リザーブ (設定禁止)
0	DC	0	R/W	DSP 状態ビット CS ビットで指定されたモードで演算結果の状態を設定します。 0 : 指定されたモードの状態が成立しない (不成立) 1 : 指定されたモードの状態が成立

【注】 \* PADD/PSUBC 命令実行後の DC ビットは、CS ビットに関係なくキャリ / ボローモードで演算結果の状態を設定します。

## 2.3 メモリ割り付けレジスタ

各種制御レジスタの多くは以下のメモリ領域に割り付けられています。これらのメモリ領域に割り付けられたすべてのレジスタには、2つのアドレスがあります。

H'1C00 0000 ~ H'1FFF FFFF

H'FC00 0000 ~ H'FFFF FFFF

以上2つの領域は次のように使用します。

- H'1C00 0000 ~ H'1FFF FFFF

この領域はMMUのアドレス変換機能を用いてアクセスしなければなりません。この領域のページ番号をTLBの該当フィールドに設定することでメモリ割り付けレジスタへアクセスできます。この領域に対して、MMUのアドレス変換機能を用いずにアクセスした場合の動作は保証されません。

- H'FC00 0000 ~ H'FFFF FFFF

ユーザモードで領域H'FC00 0000 ~ H'FFFF FFFFにアクセスすると、アドレスエラーが発生します。ユーザモードではメモリ割り付けレジスタはアドレス変換によるアクセスで参照することができます。

【注】 2つの領域のレジスタが割り付けられていないアドレスにはアクセスしないでください。レジスタが割り付けられていないアドレスに対するアクセスの動作は不定になります。また、メモリ割り付けレジスタは一定のデータサイズでアクセスしなければなりません。不正なサイズでアクセスした場合も動作は不定になります。

## 2.4 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード（32ビット）です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト（8ビット）、もしくはワード（16ビット）の場合は、ロングワードに符号拡張し、レジスタに格納します。

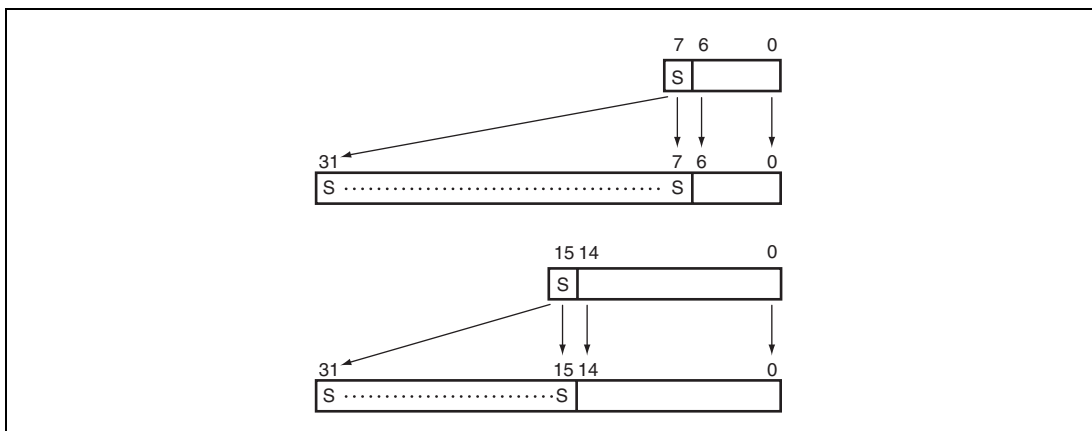


図 2.5 バイトデータ、ワードデータのレジスタ中のデータ形式



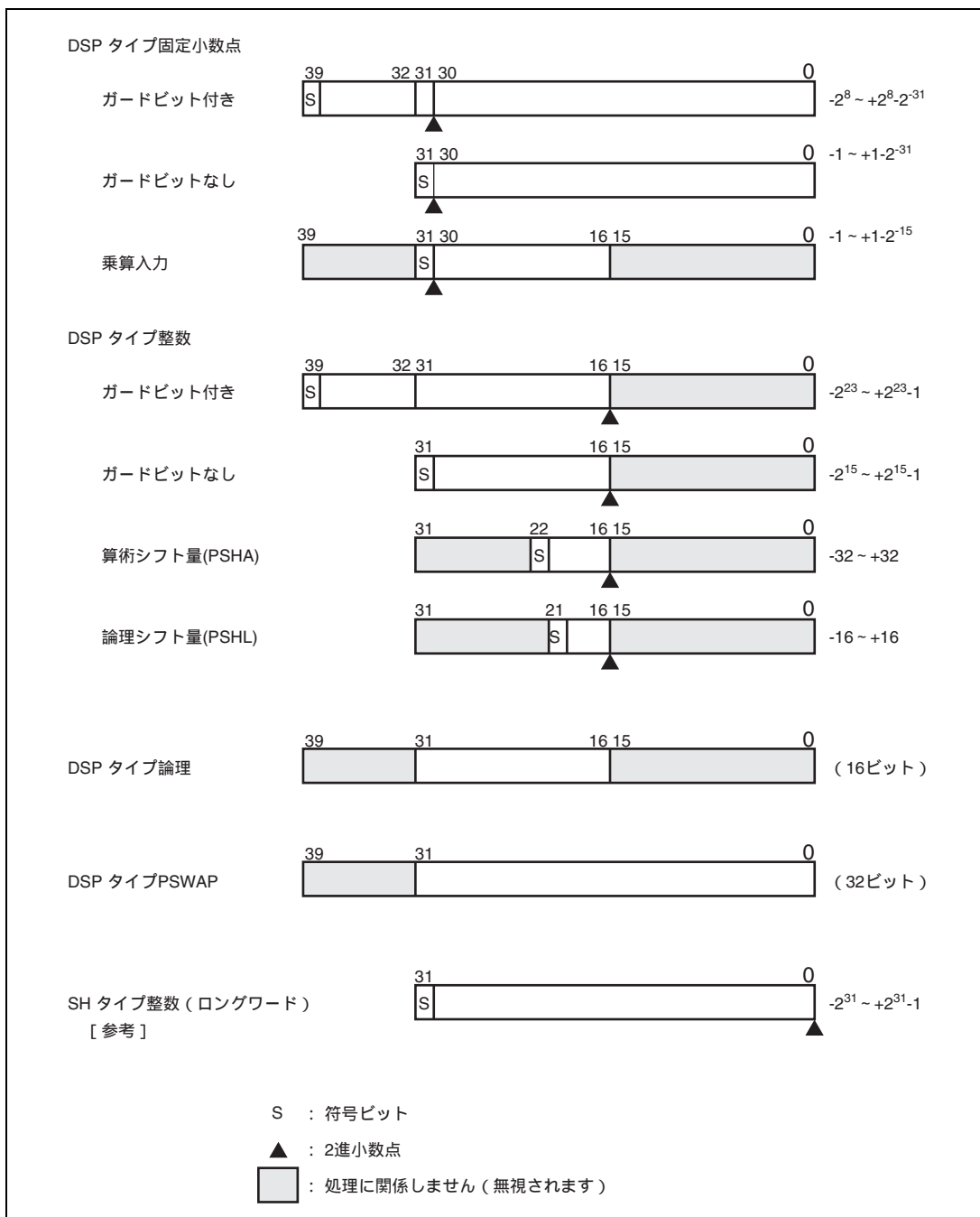


図 2.7 DSP タイプデータ形式

### 2.7 処理状態

処理状態には、リセット状態、命令実行状態、低消費電力状態の3種類があります。

#### (1) リセット状態

CPU がリセットされている状態です。リセット状態は、パワーオンリセット状態とマニュアルリセット状態に分類されます。

パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。マニュアルリセット状態では、一部の内蔵周辺モジュールのレジスタと CPU の内部状態とが初期化されます。詳細は、各章のレジスタ構成を参照してください。

#### (2) 命令実行状態

CPU が順次プログラムを実行している状態です。命令実行状態には、一般のプログラム実行状態と例外処理状態があります。

#### (3) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、およびスタンバイモードの2つのモードがあります。

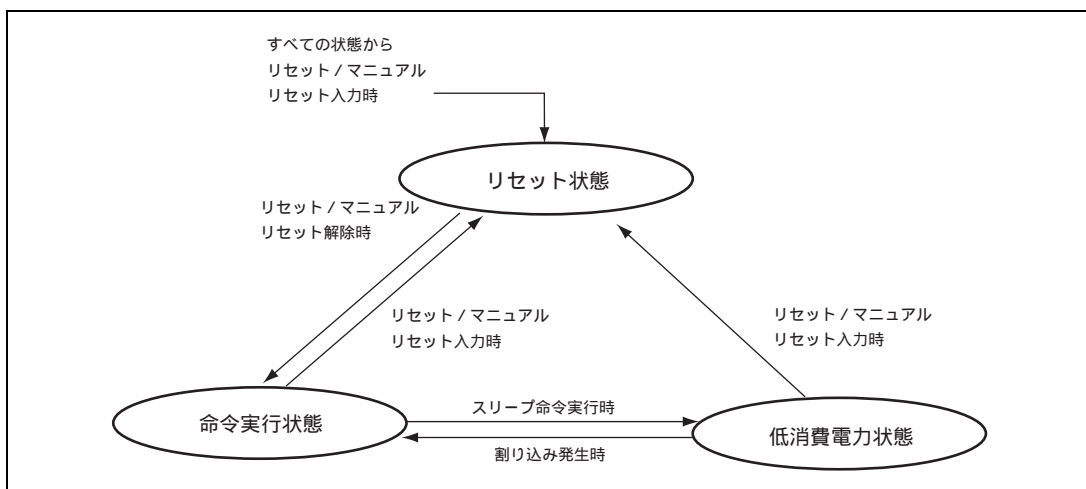


図 2.8 処理状態遷移図



## 2.8 使用上の注意事項

### 2.8.1 自己書き換えコードに対する注意事項

本 LSI は、処理を高速に行うために命令の先読みを行っています。このためメモリ上の命令列の書き換えを行った直後に当該命令を実行しようとする、先読みバッファに格納された更新前の命令が実行される可能性があります。また、命令 / オペランド分離方式のキャッシュを搭載するため、コヒーレンシにも注意する必要があります。確実に変更を反映させるためには、書き換えを行う命令と書き換えられた命令の実行の間に下記の命令列を実行するようにしてください。

#### (1) 書き換える命令がキャッシング不可能領域にある場合

```
SYNCO
```

```
ICBI @Rn
```

ICBI 命令の Rn で指定するアドレスは、アドレスエラーにならない範囲で任意のアドレスで構いません。

#### (2) 書き換える命令列がキャッシング可能（ライトスルー）領域にある場合

```
SYNCO
```

```
ICBI @Rn
```

書き換えた命令列に対応する命令キャッシュの領域すべてを ICBI 命令で無効化してください。ICBI はライン単位で行います。1 ラインは 32 バイトです。

#### (3) 書き換える命令列がキャッシング可能（コピーバック）領域にある場合

```
OCBP @Rm または OCBWB @Rm
```

```
SYNCO
```

```
ICBI @Rn
```

書き換えた命令列に対応するオペランドキャッシュの領域すべてを OCBP 命令または OCBWB 命令で主記憶に書き戻しを行い、その後 ICBI 命令で対応する命令キャッシュ領域の無効化を行ってください。ICBI/OCBP/OCBWB はライン単位で行います。1 ラインは 32 バイトです。

## 2. プログラミングモデル

---

---

## 3. 命令セット

---

本 LSI の命令セットは固定長 16 ビット命令で実現されます。本 LSI はバイト(8 ビット)、ワード(16 ビット)、ロングワード(32 ビット)のデータサイズでメモリにアクセスします。バイトサイズおよびワードサイズのデータをメモリからレジスタに移動するとデータは符号拡張されます。

### 3.1 実行環境

#### (1) PC

PC はその命令自身の命令アドレスを示します。

#### (2) ロード/ストアアーキテクチャ

本 LSI は基本的演算をレジスタで実行するロード/ストアアーキテクチャを特長としています。メモリで直接実行する論理 AND 演算のようなビット操作演算を除き、メモリアクセスを必要とする演算はレジスタにロードした後、レジスタで実行されます。

#### (3) 遅延分岐

本 LSI の分岐命令および RTE は、BF、BT の 2 つの分岐命令を除き遅延分岐です。遅延分岐では分岐命令の次の命令は分岐先命令の前に実行されます。

#### (4) 遅延スロット

遅延命令の次の命令は「遅延スロット」と呼ばれます。たとえば、BRA 実行シーケンスは次のとおりです。

表 3.1 遅延分岐命令の実行順序

命令列			実行順序
BRA	TARGET	(遅延分岐命令)	BRA
ADD		(遅延スロット)	
:			ADD
:			
TARGET	target-inst	(分岐先命令)	target-inst

命令によっては遅延スロットで実行するとスロット不当命令例外を発生します。「第 5 章 例外処理」を参照してください。分岐が成立しなかった BF/S、BT/S の次の命令も遅延スロット命令です。

### 3. 命令セット

---

#### (5) Tビット

ステータスレジスタ (SR) の T ビットは、比較演算の結果などを示すために使用し、条件付き分岐命令で参照します。たとえば、以下に条件付き分岐命令例を示します。

```
ADD      #1, R0          ; T ビットは ADD 演算で変更されません。
CMP/EQ   R1, R0         ; R0 = R1 のとき T ビットは 1 にセットされる。
BT       TARGET         ; T ビット = 1 (R0 = R1) のとき TARGET に分岐する。
```

RTE の遅延スロットで、ステータスレジスタ (SR) ビットは次のように参照されます。命令アクセスは変更の前に MD ビットを使用し、データアクセスは変更後の MD ビットにアクセスします。変更後の他の S、T、M、Q、FD、BL、RB ビットを遅延スロットの命令実行のために使用します。STC、STC.L SR 命令は、変更後すべての SR ビットにアクセスします。

#### (6) 定数値

8 ビットの定数値は命令コード、イミディエイト値で指定できます。また 16 ビット、32 ビットの定数値はメモリで定義することができ、PC 相対ロード命令で参照できます。


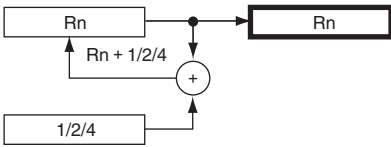
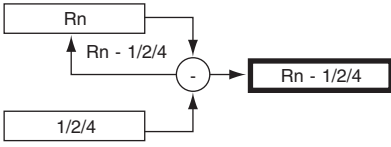
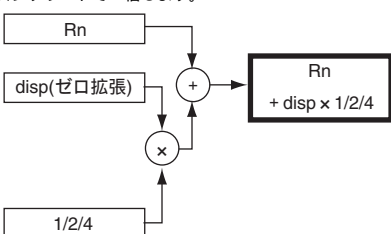
```
MOV.W    @(disp, PC), Rn
MOV.L    @(disp, PC), Rn
```

## 3.2 アドレッシングモード

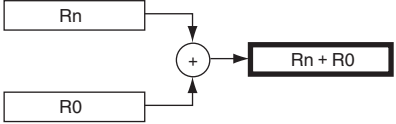
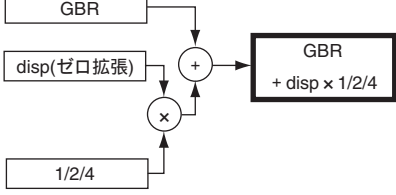
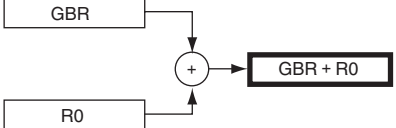
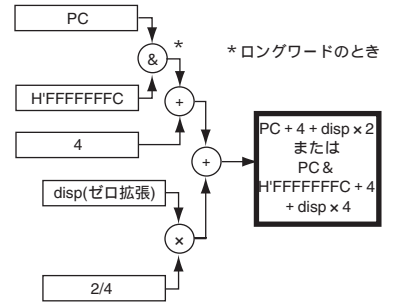
### 3.2.1 CPU アドレッシングモード

表 3.2 にアドレッシングモードと実効アドレスの計算を示します。仮想アドレス空間のある位置をアクセスすると (MMUCR.AT=1)、実効アドレスは物理アドレスに変換されます。複数の仮想メモリ空間システムを選択した場合 (MMUCR.SV=0)、PTEH の最下位ビットもアクセスの ASID として参照されます。「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。

表 3.2 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn EA (EA : 実効アドレス)
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn EA 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメント レジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn Rn EA (計算後の Rn で命令実行)
ディスプレースメント 付きレジスタ間接	@(disp:4,Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp EA ワード : Rn + disp x 2 EA ロングワード : Rn + disp x 4 EA

### 3. 命令セット

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
インデックス付きレジスタ間接	@(R0,Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$ EA
ディスプレースメント付き GBR 間接	@(disp:8,GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ EA ワード : $GBR + disp \times 2$ EA ロングワード : $GBR + disp \times 4$ EA
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$ EA
ディスプレースメント付き PC 相対	@(disp:8,PC)	<p>実効アドレスは PC + 4 に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p>  <p>* ロングワードのとき</p>	ワード : $PC + 4 + disp \times 2$ EA ロングワード : $PC \& H'FFFFFFC + 4 + disp \times 4$ EA

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスは PC + 4 に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + 4 + disp × 2 Branch-Target
	disp:12	<p>実効アドレスは PC + 4 に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + 4 + disp × 2 Branch-Target
	Rn	<p>実効アドレスは PC + 4 に Rn を加算した内容です。</p>	PC + 4 + Rn Branch-Target
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	

【注】 下記のディスプレイメント ( disp ) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング ( ×1、×2、×4 ) を行う前の値を書いています。これは、LSI の動作を明確にするため、実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

@ ( disp:4, Rn ) ; ディスプレースメント付きレジスタ間接

@ ( disp:8, GBR ) ; ディスプレースメント付き GBR 間接

@ ( disp:8, PC ) ; ディスプレースメント付き PC 相対

disp: 8, disp:12 ; PC 相対

### 3. 命令セット

#### 3.2.2 DSP データアドレッシング

DSP 命令では 2 つの異なるメモリアccessをします。1 つは X、Y データ転送命令 (MOVX.W、MOVY.W) で、もう 1 つはシングルデータ転送命令 (MOV.S.W、MOV.S.L) です。これらの 2 種類の命令のデータアドレッシングは異なります。

表 3.3 データ転送命令の概要

	ダブルデータ転送命令		シングルデータ転送命令
	MOVX.W MOVY.W	MOVX.W&NOPY NOPX&MOVY.W MOVX.L&NOPY NOPX&MOVY.L	MOV.S.W MOV.S.L
アドレスレジスタ	Ax : R4, R5 Ay : R6, R7	Axy : R4, R5, R0, R1 Ayx : R6, R7, R2, R3	As : R2, R3, R4, R5
インデックスレジスタ	Ix : R8 Iy : R9	Ix : R8 Iy : R9	Is : R8
アドレッシング	Nop/Inc(+2)/インデックス加算 : ポストインクリメント	Nop/Inc(+2/+4)/インデックス加算 : ポストインクリメント	Nop/Inc(+2,+4)/インデックス加算 : ポストインクリメント
アドレッシング	-	-	Dec(-2,-4) : プリデクリメント
モジュロ アドレッシング	可能	可能	不可
データバス	Xバス、Yバス	Xバス、Yバス	オペランドバス
データ長	16 ビット (ワード)	16 ビット / 32 ビット (ワード / ロングワード)	16 ビット / 32 ビット (ワード / ロングワード)
バス競合	なし	なし	あり
メモリ	X、Y データメモリ	X、Y データメモリ	すべてのメモリ空間
ソースレジスタ	Da : A0, A1	Dax : A0, A1, X0, X1 Day : A0, A1, Y0, Y1	Ds : A0, A1, M0, M1, X0, X1, Y0, Y1, A0G, A1G
デスティネーション レジスタ	Dx : X0, X1 Dy : Y0, Y1	Dxy : X0, X1, Y0, Y1 Dyx : Y0, Y1, X0, X1	Ds : A0, A1, M0, M1, X0, X1, Y0, Y1, A0G, A1G

#### 3.2.3 X、Y データアドレッシング

DSP 命令では MOVX.W、MOVY.W 命令を使って、X、Y データメモリを同時にアクセスすることができます。DSP 命令には同時に X、Y データメモリをアクセスするために 2 つのアドレスポインタがあります。DSP 命令にはポインタアドレッシングだけが可能で、イミディエイトアドレッシングはありません。アドレスレジスタは 2 つに分けられ、R4、R5 レジスタが X メモリのアドレスレジスタ (Ax) となり、R6、R7 レジスタが Y メモリのアドレスレジスタ (Ay) となります。X、Y データ転送命令には次の 3 つのアドレッシングがあります。



## (1) 更新なし

$A_x$ 、 $A_y$  レジスタがアドレスポインタです。更新されません。

## (2) インクリメント

$A_x$ 、 $A_y$  レジスタがアドレスポインタです。データ転送後それぞれ +2 または +4 が加算されます(ポスト更新)。

## (3) インデクスレジスタ加算

$A_x$ 、 $A_y$  レジスタがアドレスポインタです。データ転送後それぞれ  $I_x$ 、 $I_y$  レジスタの値が加算されます(ポスト更新)。それぞれのアドレスポインタにはインデクスレジスタがあります。R8 レジスタは X メモリアドレスレジスタ ( $A_x$ ) のインデクスレジスタ ( $I_x$ ) となり、R9 レジスタは Y メモリアドレスレジスタ ( $A_y$ ) のインデクスレジスタ ( $I_y$ ) となります。

X、Y データ転送命令はワードで処理します。X、Y データメモリを 16 ビットでアクセスします。そのためインクリメント処理は、アドレスレジスタに 2 を加えます。デクリメントさせるためには、-2 をインデクスレジスタに設定し加算インデクスレジスタアドレッシングを指定します。

X、Y データ転送のアドレッシングを図 3.1 に示します。

DSP 命令では X、Y データメモリを同時にアクセスできますが、一方の転送動作が不要の場合に転送機能を拡張することができます。(MOVX.W & NOPY、NOPX & MOVY.W)

この形式では 32 ビットデータを転送することもできます。(MOVX.L & NOPY、NOPX & MOVY.L)

このとき、R0、R1、R4、R5 が拡張 X メモリアドレスレジスタ  $A_{xy}$  となり、R2、R3、R6、R7 が拡張 Y メモリアドレスレジスタ  $A_{yx}$  となります。

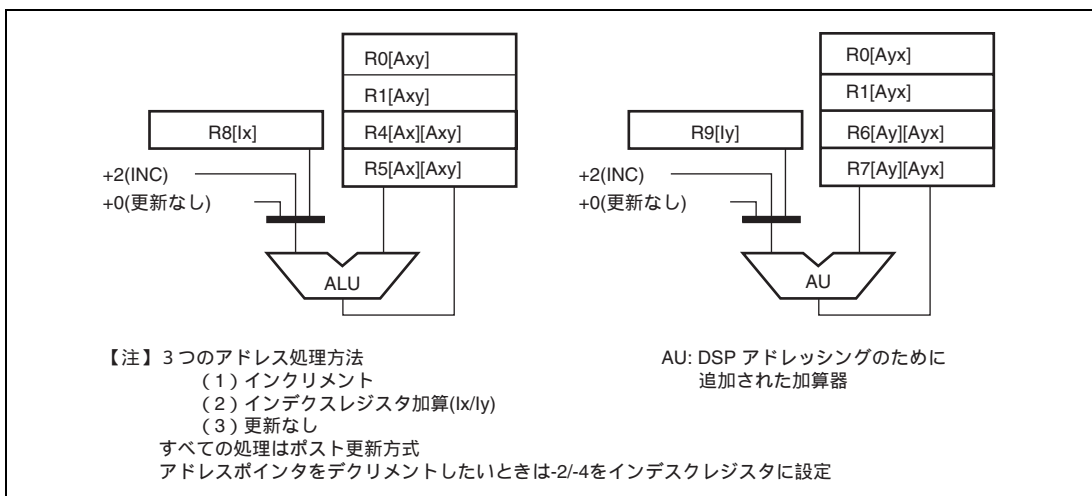


図 3.1 X、Y データ転送のアドレッシング

### 3. 命令セット

#### 3.2.4 シングルデータアドレッシング

DSP 命令にはシングルデータ転送命令 (MOV<sub>S</sub>.W、MOV<sub>S</sub>.L) があり、DSP レジスタにデータをロードし、DSP レジスタからデータをストアします。この命令で R2~R5 レジスタはシングルデータ転送のアドレスレジスタ ( $A_s$ ) として使われます。

シングルデータ転送命令には次の 4 つのデータアドレッシングがあります。

(1) 更新なしアドレス

$A_s$ レジスタがアドレスポインタです。更新されません。

(2) インデクス加算

$A_s$ レジスタがアドレスポインタです。データ転送後  $I_s$  レジスタの値が加算されます (ポスト更新)。

(3) インクリメントアドレス

$A_s$ レジスタがアドレスポインタです。データ転送後 +2 または +4 が加算されます (ポスト更新)。

(4) デクリメントアドレス

$A_s$ レジスタがアドレスポインタです。データ転送前に -2、-4 が加算 (+2 または +4 が減算) されます (プレ更新)。

アドレスポインタ ( $A_s$ ) は R8 レジスタをインデクスレジスタ ( $I_s$ ) として使います。シングルデータ転送のアドレッシングを図 3.2 に示します。

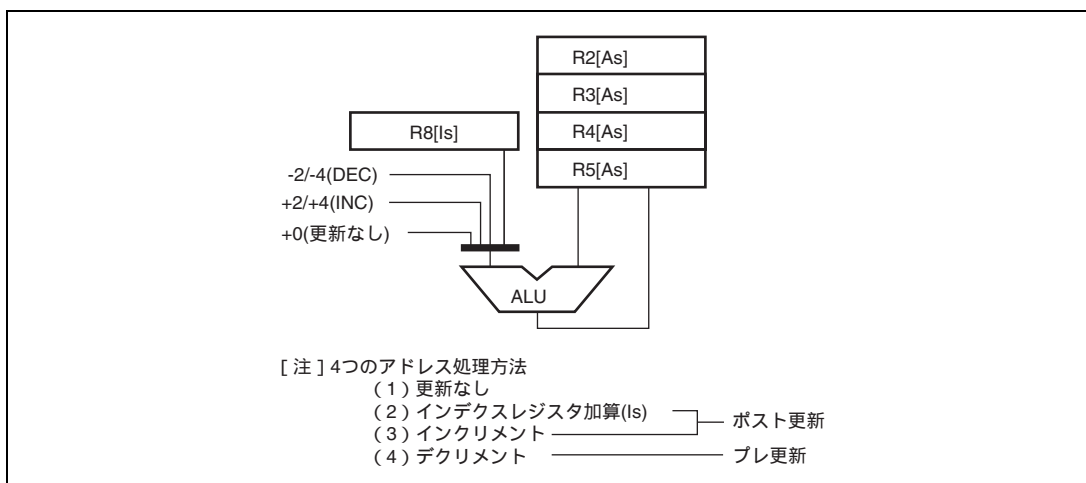


図 3.2 シングルデータ転送のアドレッシング

### 3.2.5 モジュールアドレッシング

本 LSI には、他の DSP と同様にモジュールアドレッシングモードがあります。このモードでもアドレスレジスタは同じように更新されます。アドレスポインタの値がすでに設定されたモジュール終了アドレスになると、アドレスポインタはモジュール開始アドレスになります。

モジュールアドレッシングは X、Y データ転送命令 (MOVX.W、MOVY.W) にだけ有効です。SR レジスタの DMX ビットをセットすると X アドレスレジスタが、DMY ビットをセットすると Y アドレスレジスタがそれぞれモジュールアドレッシングモードになります。モジュールアドレッシングはどちらかの X、Y アドレスレジスタに対してだけ有効です。両方を同時にモジュールアドレッシングモードにすることはできません。したがって、DMX と DMY を同時にセットしないでください。万一同時にセットされた場合には、DMY 側のみ有効となります。

モジュールアドレス領域の開始と終了アドレスを指定するための MOD レジスタがあり、MOD レジスタは MS (Modulo Start : モジュール開始) と、ME (Modulo End : モジュール終了) を格納します。MOD レジスタ (MS、ME) の使用例を次に示します。\*

```

MOV.L ModAddr, Rn; Rn=ModEnd, ModStart
LDC Rn, MOD;      ME=ModEnd, MS=ModStart
ModAddr:          .DATA.W          mEnd;                Lower 8bit of ModEnd
                  .DATA.W          mStart;               Lower 8bit of ModStart

ModStart:        .DATA
                  :
ModEnd:          .DATA

```

MS、ME には開始、終了アドレスを指定して、そのあとで DMX または DMY ビットを 1 にセットします。アドレスレジスタの内容が ME と比較されます。もし ME と一致したら、開始アドレス MS をアドレスレジスタに格納します。アドレスレジスタの下位 16 ビットが ME と比較されます。最大のモジュールサイズは 64K バイトです。これは X、Y データメモリをアクセスするには十分です。モジュールアドレッシングのブロック図を図 3.3 に示します。

【注】\* この仕様は将来変更される可能性があります。

### 3. 命令セット

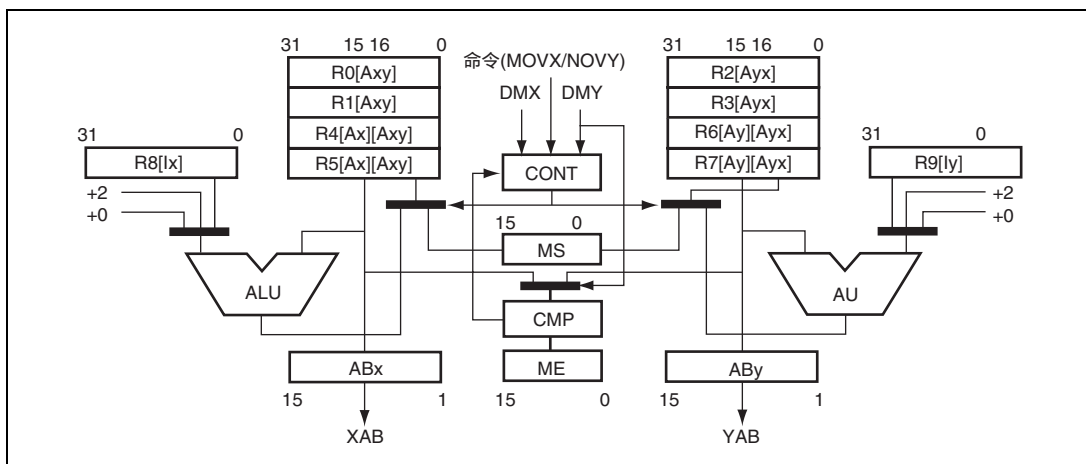


図 3.3 モジュロアドレッシング

モジュロアドレッシングの例を次に示します。

MS = H'08; ME=H'0C; R4 = H'C008;

DMX = 1; DMY = 0; ( アドレスレジスタ Ax ( R4,R5 ) に対するモジュロアドレッシングの設定です )

以上の設定により R4 レジスタは次のように変化します。

R4: H'C008

Inc. R4: H'C00A

Inc. R4: H'C00C

Inc. R4: H'C008 ( モジュロ終了アドレスになったので、モジュロ開始アドレスになります )

モジュロ開始、終了アドレスの上位 16 ビットは同じになるようデータを配置します。これはモジュロ開始アドレスがアドレスレジスタの下位 16 ビットだけを置き換えるからです。

【注】 DSP データアドレッシングに加算インデックスを使う場合は、アドレスポインタは ME と一致せずその値を超えてしまうことがあります。この場合は、アドレスポインタはモジュロ開始アドレスには戻りません。

#### 3.2.6 DSP アドレッシング動作

モジュロアドレッシングを含めて、パイプラインの実行ステージ ( EX ) での DSP アドレッシングの動作を次に示します。

```
if ( Operation is MOVX.W MOVY.W ) {
    ABx=Ax; ABy=Ay;
    /* memory access cycle uses ABx and ABy. The addresses to be used have not been
    updated */

    /* Ax is one of R0,R1,R4,R5 */
    if { DMX==0 || ( DMX==1 && DMY == 1 ) } Ax=Ax+(+2 or R8[Ix] or +0);
    /* Inc,Index,Not-Update */
    else if ( ! not-update ) Ax=modulo( Ax, (+2 or R8[Ix]) );
```

```

/* Ay is one of R2,R3,R6,7 */
if ( DMY==0 ) Ay=Ay+(+2 or R9[Iy] or +0); /* Inc,Index,Not-Update */
else if (! not-update) Ay=modulo( Ay, (+2 or R9[Iy]) );
}
else if ( Operation is MOVS.W or MOVS.L ) {
  if ( Addressing is Nop, Inc, Add-index-reg ) {
    MAB=As;
    /* memory access cycle uses MAB. The address to be used has not been updated */

    /* As is one of R2~5 */
    As=As+(+2 or +4 or R8[Is] or +0); /* Inc,Index,Not-Update */
  }
  else { /* Decrement, Pre-update */
    /* As is one of R2~5 */
    As=As+(-2 or -4);
    MAB=As;
    /* memory access cycle uses MAB. The address to be used has been updated */
  }
}

/* The value to be added to the address register depends on addressing operations.
For example, (+2 or R8[Ix] or +0) means that
    +2                : if operation is increment
    R8[Ix]            : if operation is add-index-reg
    +0                : if operation is not-update
*/

function modulo ( AddrReg, Index ) {
  if ( AddrReg[15:0]==ME ) AddrReg[15:0]==MS;
  else AddrReg=AddrReg+Index;
  return AddrReg;
}

```

### 3. 命令セット

### 3.3 命令セット

表 3.5 ~ 表 3.13 に示す SuperH 命令の説明に使用する表記を表 3.4 に示します。

表 3.4 命令リストの表記

項目	フォーマット	説明
命令二ーモニク	OP.Sz SRC,DEST	OP : オペレーションコード Sz : サイズ SRC : ソースオペランド DEST : ソースおよび/またはデスティネーションオペランド Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント
演算の要約		、 : 転送方向 (xx) : メモリオペランド M/Q/T : SR のフラグビット & : 各ビットの論理積   : 各ビットの論理和 ^ : 各ビット排他的論理和 ~ : 各ビットの論理否定 <<n, >>n : n ビットシフト
命令コード	MSB    LSB	mmmm : レジスタ番号 ( Rm ) nnnn : レジスタ番号 ( Rn ) 0000 : R0 0001 : R1 : 1111 : R15 mmm : レジスタ番号 ( Rm_BANK ) nnn : レジスタ番号 ( Rn_BANK ) 000 : R0_BANK 001 : R1_BANK : 111 : R7_BANK iiii : イミディエイト値 dddd : ディスプレースメント
特権モード		「特権」と記載してある場合、特権モードでのみ実行可能です。
DC ビット	命令実行後の DC ビットの値	- : 変更なし
T ビット	命令実行後の T ビットの値	- : 変更なし
新規	-	「新規」と記載してある場合は、SH4AL-DSP で新規に追加された命令です。

【注】 スケーリング ( x1、 x2、 x4 ) は命令オペランドのサイズに応じて実行されます。

表 3.5 固定小数点転送命令

命令	動作	命令コード	特権	T ビット	新規
MOV #imm,Rn	imm 符号拡張 Rn	1110nnnniiiiiiii			
MOV.W @(disp*,PC),Rn	(disp × 2+PC+4) 符号拡張 Rn	1001nnnnddddddd			
MOV.L @(disp*,PC),Rn	(disp × 4+PC&H'FFFFFFC+4) Rn	1101nnnnddddddd			
MOV Rm,Rn	Rm Rn	0110nnnnmmmm0011			
MOV.B Rm,@Rn	Rm (Rn)	0010nnnnmmmm0000			
MOV.W Rm,@Rn	Rm (Rn)	0010nnnnmmmm0001			
MOV.L Rm,@Rn	Rm (Rn)	0010nnnnmmmm0010			
MOV.B @Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0000			
MOV.W @Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0001			
MOV.L @Rm,Rn	(Rm) Rn	0110nnnnmmmm0010			
MOV.B Rm,@-Rn	Rn-1 Rn,Rm (Rn)	0010nnnnmmmm0100			
MOV.W Rm,@-Rn	Rn-2 Rn,Rm (Rn)	0010nnnnmmmm0101			
MOV.L Rm,@-Rn	Rn-4 Rn,Rm (Rn)	0010nnnnmmmm0110			
MOV.B @Rm+,Rn	(Rm) 符号拡張 Rn,Rm+1 Rm	0110nnnnmmmm0100			
MOV.W @Rm+,Rn	(Rm) 符号拡張 Rn,Rm+2 Rm	0110nnnnmmmm0101			
MOV.L @Rm+,Rn	(Rm) Rn,Rm+4 Rm	0110nnnnmmmm0110			
MOV.B R0,@(disp*,Rn)	R0 (disp+Rn)	1000000nnnnddd			
MOV.W R0,@(disp*,Rn)	R0 (disp × 2+Rn)	1000001nnnnddd			
MOV.L Rm,@(disp*,Rn)	Rm (disp × 4+Rn)	0001nnnnmmmmddd			
MOV.B @(disp*,Rm),R0	(disp+Rm) 符号拡張 R0	10000100mmmmddd			
MOV.W @(disp*,Rm),R0	(disp × 2+Rm) 符号拡張 R0	10000101mmmmddd			
MOV.L @(disp*,Rm),Rn	(disp × 4+Rm) Rn	0101nnnnmmmmddd			
MOV.B Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0100			
MOV.W Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0101			
MOV.L Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0110			
MOV.B @(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1100			
MOV.W @(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1101			
MOV.L @(R0,Rm),Rn	(R0+Rm) Rn	0000nnnnmmmm1110			
MOV.B R0,@(disp*,GBR)	R0 (disp+GBR)	11000000ddddddd			
MOV.W R0,@(disp*,GBR)	R0 (disp × 2+GBR)	11000001ddddddd			
MOV.L R0,@(disp*,GBR)	R0 (disp × 4+GBR)	11000010ddddddd			
MOV.B @(disp*,GBR),R0	(disp+GBR) 符号拡張 R0	11000100ddddddd			
MOV.W @(disp*,GBR),R0	(disp × 2+GBR) 符号拡張 R0	11000101ddddddd			
MOV.L @(disp*,GBR),R0	(disp × 4+GBR) R0	11000110ddddddd			
MOVA @(disp*,PC),R0	disp × 4+PC&H'FFFFFFC+4 R0	11000111ddddddd			

### 3. 命令セット

命令	動作	命令コード	特権	T ビット	新規
MOVCO.L R0,@Rn	LDST T if(T==1)R0 (Rn) 0 LDST	0000nnnn01110011		LDST	新規
MOVL.L @Rm,R0	1 LDST (Rm) R0 ただし、割り込み / 例外発生時 0 LDST	0000mmmm01100011			新規
MOVUA.L @Rm,R0	(Rm) R0 非境界調整データのロード	0100mmmm10101001			新規
MOVUA.L @Rm+,R0	(Rm) R0,Rm+4 Rm 非境界調整データのロード	0100mmmm11101001			新規
MOVT Rn	T Rn	0000nnnn00101001			
SWAP.B Rm,Rn	Rm 下位 2 バイトの 上下バイト交換 Rn	0110nnnnmmmm1000			
SWAP.W Rm,Rn	Rm 上下ワード交換 Rn	0110nnnnmmmm1001			
XTRCT Rm,Rn	Rm:Rn の中央 32 ビット Rn	0010nnnnmmmm1101			

【注】 \* ルネサスのアセンブラでは、disp にスケールリング後 (×1、×2、×4) の値を設定します。

表 3.6 算術演算命令

命令	動作	命令コード	特権	T ビット	新規
ADD Rm,Rn	Rn+Rm Rn	0011nnnnmmmm1100			
ADD #imm,Rn	Rn+imm Rn	0111nnnniiiiiiii			
ADDC Rm,Rn	Rn+Rm+T Rn,キャリ T	0011nnnnmmmm1110		キャリ	
ADDV Rm,Rn	Rn+Rm Rn,オーバフロー T	0011nnnnmmmm1111		オーバ フロー	
CMP/EQ #imm,R0	R0=imm のとき 1 T それ以外のとき 0 T	10001000iiiiiiii		比較 結果	
CMP/EQ Rm,Rn	Rn=Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0000		比較 結果	
CMP/HS Rm,Rn	無符号で Rn > Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0010		比較 結果	
CMP/GE Rm,Rn	有符号で Rn > Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0011		比較 結果	
CMP/HI Rm,Rn	無符号で Rn > Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0110		比較 結果	
CMP/GT Rm,Rn	有符号で Rn > Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0111		比較 結果	
CMP/PZ Rn	Rn 0 のとき 1 T それ以外のとき 0 T	0100nnnn00010001		比較 結果	



### 3. 命令セット

命令	動作	命令コード	特権	T ビット	新規
CMP/PL Rn	Rn>0 のとき 1 T それ以外 のとき 0 T	0100nnnn00010101		比較 結果	
CMP/STR Rm,Rn	いずれかのバイトが等しいとき 1 T それ以外 のとき 0 T	0010nnnnmmmm1100		比較 結果	
DIV1 Rm,Rn	1 ステップ除算(Rn ÷ Rm)	0011nnnnmmmm0100		計算 結果	
DIV0S Rm,Rn	Rn の MSB Q,Rm の MSB M,M^Q T	0010nnnnmmmm0111		計算 結果	
DIV0U	0 M/Q/T	000000000011001		0	
DMULS.L Rm,Rn	符号付きで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnmmmm1101			
DMULU.L Rm,Rn	符号なしで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnmmmm0101			
DT Rn	Rn-1 Rn,Rn が 0 のとき 1 T Rn が 0 以外 のとき 0 T	0100nnnn00010000		比較 結果	
EXTS.B Rm,Rn	Rm をバイトから符号拡張 Rn	0110nnnnmmmm1110			
EXTS.W Rm,Rn	Rm をワードから符号拡張 Rn	0110nnnnmmmm1111			
EXTU.B Rm,Rn	Rm をバイトからゼロ拡張 Rn	0110nnnnmmmm1100			
EXTU.W Rm,Rn	Rm をワードからゼロ拡張 Rn	0110nnnnmmmm1101			
MAC.L @Rm+,@Rn+	符号付きで (Rn) × (Rm)+MAC MAC Rn+4 Rn,Rm+4 Rm 32 × 32 + 64 64 ビット	0000nnnnmmmm1111			
MAC.W @Rm+,@Rn+	符号付きで (Rn) × (Rm)+MAC MAC Rn+2 Rn,Rm+2 Rm 16 × 16+64 64 ビット	0100nnnnmmmm1111			
MUL.L Rm,Rn	Rn × Rm MACL 32 × 32 32 ビット	0000nnnnmmmm0111			
MULS.W Rm,Rn	符号付きで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnmmmm1111			
MULU.W Rm,Rn	符号なしで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnmmmm1110			
NEG Rm,Rn	0-Rm Rn	0110nnnnmmmm1011			
NEGC Rm,Rn	0-Rm-T Rn,ポロー T	0110nnnnmmmm1010		ポロー	
SUB Rm,Rn	Rn-Rm Rn	0011nnnnmmmm1000			
SUBC Rm,Rn	Rn-Rm-T Rn,ポロー T	0011nnnnmmmm1010		ポロー	
SUBV Rm,Rn	Rn-Rm Rn,アンダフロー T	0011nnnnmmmm1011		アンダ フロー	

### 3. 命令セット

表 3.7 論理演算命令

命令	動作	命令コード	特権	T ビット	新規
AND Rm,Rn	$Rn \& Rm$ Rn	0010nnnnmmmm1001			
AND #imm,R0	$R0 \& imm$ R0	11001001iiiiiii			
AND.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$ (R0+GBR)	11001101iiiiiii			
NOT Rm,Rn	$\sim Rm$ Rn	0110nnnnmmmm0111			
OR Rm,Rn	$Rn   Rm$ Rn	0010nnnnmmmm1011			
OR #imm,R0	$R0   imm$ R0	11001011iiiiiii			
OR.B #imm,@(R0,GBR)	$(R0+GBR)   imm$ (R0+GBR)	11001111iiiiiii			
TAS.B @Rn	(Rn)が0のとき 1 T それ以外とき 0 T 両方に対して 1 (Rn)のMSB	0100nnnn00011011		テスト 結果	
TST Rm,Rn	$Rn \& Rm$ ,結果が0のとき 1 T それ以外とき 0 T	0010nnnnmmmm1000		テスト 結果	
TST #imm,R0	$R0 \& imm$ ,結果が0のとき 1 T それ以外とき 0 T	11001000iiiiiii		テスト 結果	
TST.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$ , 結果が0のとき 1 T それ以外とき 0 T	11001100iiiiiii		テスト 結果	
XOR Rm,Rn	$Rn \wedge Rm$ Rn	0010nnnnmmmm1010			
XOR #imm,R0	$R0 \wedge imm$ R0	11001010iiiiiii			
XOR.B #imm,@(R0,GBR)	$(R0+GBR) \wedge imm$ (R0+GBR)	11001110iiiiiii			

表 3.8 シフト命令

命令	動作	命令コード	特権	T ビット	新規
ROTL Rn	T Rn MSB	0100nnnn00000100		MSB	
ROTR Rn	LSB Rn T	0100nnnn00000101		LSB	
ROTCL Rn	T Rn T	0100nnnn00100100		MSB	
ROTCR Rn	T Rn T	0100nnnn00100101		LSB	
SHAD Rm,Rn	Rm 0 のとき Rn<<Rm Rn, Rm<0 のとき Rn>>Rm [MSB Rn]	0100nnnnmmmm1100			
SHAL Rn	T Rn 0	0100nnnn00100000		MSB	
SHAR Rn	MSB Rn T	0100nnnn00100001		LSB	
SHLD Rm,Rn	Rm 0 のとき Rn<<Rm Rn, Rm<0 のとき Rn>>Rm [0 Rn]	0100nnnnmmmm1101			
SHLL Rn	T Rn 0	0100nnnn00000000		MSB	
SHLR Rn	0 Rn T	0100nnnn00000001		LSB	
SHLL2 Rn	Rn<<2 Rn	0100nnnn00001000			
SHLR2 Rn	Rn>>2 Rn	0100nnnn00001001			
SHLL8 Rn	Rn<<8 Rn	0100nnnn00011000			
SHLR8 Rn	Rn>>8 Rn	0100nnnn00011001			
SHLL16 Rn	Rn<<16 Rn	0100nnnn00101000			
SHLR16 Rn	Rn>>16 Rn	0100nnnn00101001			

### 3. 命令セット

表 3.9 分岐命令

命令	動作	命令コード	特権	T ビット	新規
BF label	T=0 のとき disp × 2+PC+4 PC, T=1 のとき nop	10001011dddddddd			
BF/S label	遅延分岐,T=0 のとき disp × 2+PC+4 PC, T=1 のとき nop	10001111dddddddd			
BT label	T=1 のとき disp × 2+PC+4 PC, T=0 のとき nop	10001001dddddddd			
BT/S label	遅延分岐,T=1 のとき disp × 2+PC+4 PC, T=0 のとき nop	10001101dddddddd			
BRA label	遅延分岐,disp × 2+PC+4 PC	1010dddddddddddd			
BRAF Rn	遅延分岐,Rn+PC+4 PC	0000nnnn00100011			
BSR label	遅延分岐,PC+4* PR, disp × 2+PC+4 PC	1011dddddddddddd			
BSRF Rn	遅延分岐,PC+4* PR Rn+PC+4 PC	0000nnnn00000011			
JMP @Rn	遅延分岐,Rn PC	0100nnnn00101011			
JSR @Rn	遅延分岐,PC+4* PR,Rn PC	0100nnnn00001011			
RTS	遅延分岐,PR PC	0000000000001011			

【注】 \* 遅延スロット命令が 32 ビット命令のときには PC+6 PR。ただし本 LSI では、BSR、BSRF、JSR の遅延スロット命令が 32 ビット命令のときに、分岐先の最初の 2 命令のどちらかに STS.L PR, @-Rn がある場合、書き込みデータを誤ることがあります。分岐先の 2 命令に STS.L PR, @-Rn 命令を配置しないでください。なお、この場合も PR に格納される値は正しい値となります。

表 3.10 システム制御命令

命令	動作	命令コード	特権	T ビット	新規
CLRMACH	0 MACH,MACL	0000000000101000			
CLRS	0 S	0000000001001000			
CLRT	0 T	0000000000001000		0	
ICBI @Rn	論理アドレス Rn で示される命令 キャッシュを無効化	0000nnnn11100011			新規
LDC Rm,SR	Rm SR	0100mmmm00001110	特権	LSB	
LDC Rm,GBR	Rm GBR	0100mmmm00011110			
LDC Rm,VBR	Rm VBR	0100mmmm00101110	特権		
LDC Rm,SGR	Rm SGR	0100mmmm00111010	特権		新規
LDC Rm,SSR	Rm SSR	0100mmmm00111110	特権		
LDC Rm,SPC	Rm SPC	0100mmmm01001110	特権		
LDC Rm,DBR	Rm DBR	0100mmmm11111010	特権		新規
LDC Rm,Rn_BANK	Rm Rn_BANK(n=0~7)	0100mmmm1nnn1110	特権		
LDC.L @Rm+,SR	(Rm) SR,Rm+4 Rm	0100mmmm00000111	特権	LSB	
LDC.L @Rm+,GBR	(Rm) GBR,Rm+4 Rm	0100mmmm00010111			
LDC.L @Rm+,VBR	(Rm) VBR,Rm+4 Rm	0100mmmm00100111	特権		
LDC.L @Rm+,SGR	(Rm) SGR,Rm+4 Rm	0100mmmm00110110	特権		新規
LDC.L @Rm+,SSR	(Rm) SSR,Rm+4 Rm	0100mmmm00110111	特権		
LDC.L @Rm+,SPC	(Rm) SPC,Rm+4 Rm	0100mmmm01000111	特権		
LDC.L @Rm+,DBR	(Rm) DBR,Rm+4 Rm	0100mmmm11110110	特権		新規
LDC.L @Rm+,Rn_BANK	(Rm) Rn_BANK,Rm+4 Rm	0100mmmm1nnn0111	特権		
LDS Rm,MACH	Rm MACH	0100mmmm00001010			
LDS Rm,MACL	Rm MACL	0100mmmm00011010			
LDS Rm,PR	Rm PR	0100mmmm00101010			
LDS.L @Rm+,MACH	(Rm) MACH,Rm+4 Rm	0100mmmm00000110			
LDS.L @Rm+,MACL	(Rm) MACL,Rm+4 Rm	0100mmmm00010110			
LDS.L @Rm+,PR	(Rm) PR,Rm+4 Rm	0100mmmm00100110			
LDTLB	PTEH/PTEL TLB	0000000000111000	特権		
MOVCA.L R0,@Rn	(キャッシュブロックをフェッチせ ずに) R0 (Rn)	0000nnnn11000011			新規
NOP	無操作	0000000000001001			
OCBI @Rn	オペランドキャッシュブロックを無 効にする	0000nnnn10010011			新規
OCBP @Rn	オペランドキャッシュブロックをラ イトバックし無効にする	0000nnnn10100011			新規
OCBWB @Rn	オペランドキャッシュブロックをラ イトバックする	0000nnnn10110011			新規

### 3. 命令セット

命令	動作	命令コード	特権	T ビット	新規
PREF @Rn	(Rn) オペランドキャッシュ	0000nnnn10000011			
PREFI @Rn	32 バイトの命令ブロックを命令キャッシュに読み込む	0000nnnn11010011			新規
RTE	遅延分岐,SSR/SPC SR/PC	000000000101011	特権		
SETS	1 S	000000001011000			
SETT	1 T	000000000011000		1	
SLEEP	スリープもしくはスタンバイ	000000000011011	特権		
STC SR,Rn	SR Rn	0000nnnn00000010	特権*		
STC GBR,Rn	GBR Rn	0000nnnn00010010			
STC VBR,Rn	VBR Rn	0000nnnn00100010	特権		
STC SSR,Rn	SSR Rn	0000nnnn00110010	特権		
STC SPC,Rn	SPC Rn	0000nnnn01000010	特権		
STC SGR,Rn	SGR Rn	0000nnnn00111010	特権		新規
STC DBR,Rn	DBR Rn	0000nnnn11111010	特権		新規
STC Rm_BANK,Rn	Rm_BANK Rn(m=0~7)	0000nnnn1mmm0010	特権		
STC.L SR,@-Rn	Rn-4 Rn,SR (Rn)	0100nnnn00000011	特権*		
STC.L GBR,@-Rn	Rn-4 Rn,GBR (Rn)	0100nnnn00010011			
STC.L VBR,@-Rn	Rn-4 Rn,VBR (Rn)	0100nnnn00100011	特権		
STC.L SSR,@-Rn	Rn-4 Rn,SSR (Rn)	0100nnnn00110011	特権		
STC.L SPC,@-Rn	Rn-4 Rn,SPC (Rn)	0100nnnn01000011	特権		
STC.L SGR,@-Rn	Rn-4 Rn,SGR (Rn)	0100nnnn00110010	特権		新規
STC.L DBR,@-Rn	Rn-4 Rn,DBR (Rn)	0100nnnn11110010	特権		新規
STC.L Rm_BANK,@-Rn	Rn-4 Rn,Rm_BANK (Rn) (m=0~7)	0100nnnn1mmm0011	特権		
STS MACH,Rn	MACH Rn	0000nnnn00001010			
STS MACL,Rn	MACL Rn	0000nnnn00011010			
STS PR,Rn	PR Rn	0000nnnn00101010			
STS.L MACH,@-Rn	Rn-4 Rn,MACH (Rn)	0100nnnn00000010			
STS.L MACL,@-Rn	Rn-4 Rn,MACL (Rn)	0100nnnn00010010			
STS.L PR,@-Rn	Rn-4 Rn,PR (Rn)	0100nnnn00100010			
SYNCO	本命令以前のデータ操作を完了するまで、本命令以降の命令を開始しない	0000000010101011			新規
TRAPA #imm	imm<<2 TRA,PC+2 SPC, SR SSR,R15 SGR, 1 SR.MD/BL/RB,H'160 EXPEVT, VBR+H'0100 PC	1100001111111111			

【注】 \* DSP モードではユーザモードで実行可能になります。

表 3.11 DSP をサポートする CPU 命令

命令	動作	命令コード	特権	T ビット	新規
LDC Rm,MOD	Rm MOD	0100mmmm01011110			
LDC Rm,RE	Rm RE	0100mmmm01111110			
LDC Rm,RS	Rm RS	0100mmmm01101110			
LDC.L @Rm+,MOD	(Rm) MOD、Rm + 4 Rm	0100mmmm01010111			
LDC.L @Rm+,RE	(Rm) RE、Rm + 4 Rm	0100mmmm01110111			
LDC.L @Rm+,RS	(Rm) RS、Rm + 4 Rm	0100mmmm01100111			
STC MOD,Rn	MOD Rn	0000nnnn01010010			
STC RE,Rn	RE Rn	0000nnnn01110010			
STC RS,Rn	RS Rn	0000nnnn01100010			
STC.L MOD,@-Rn	Rn - 4 Rn、MOD (Rn)	0100nnnn01010011			
STC.L RE,@-Rn	Rn - 4 Rn、RE (Rn)	0100nnnn01110011			
STC.L RS,@-Rn	Rn - 4 Rn、RS (Rn)	0100nnnn01100011			
LDS Rm,DSR	Rm DSR	0100mmmm01101010			
LDS.L @Rm+,DSR	(Rm) DSR、Rm + 4 Rm	0100mmmm01100110			
LDS Rm,A0	Rm A0	0100mmmm01111010			
LDS.L @Rm+,A0	(Rm) A0、Rm + 4 Rm	0100mmmm01110110			
LDS Rm,X0	Rm X0	0100mmmm10001010			
LDS.L @Rm+,X0	(Rm) X0、Rm + 4 Rm	0100mmmm10000110			
LDS Rm,X1	Rm X1	0100mmmm10011010			
LDS.L @Rm+,X1	(Rm) X1、Rm + 4 Rm	0100mmmm10010110			
LDS Rm,Y0	Rm Y0	0100mmmm10101010			
LDS.L @Rm+,Y0	(Rm) Y0、Rm + 4 Rm	0100mmmm10100110			
LDS Rm,Y1	Rm Y1	0100mmmm10111010			
LDS.L @Rm+,Y1	(Rm) Y1、Rm + 4 Rm	0100mmmm10110110			
STS DSR,Rn	DSR Rn	0000nnnn01101010			
STS.L DSR,@-Rn	Rn - 4 Rn、DSR (Rn)	0100nnnn01100010			
STS A0,Rn	A0 Rn	0000nnnn01111010			
STS.L A0,@-Rn	Rn - 4 Rn、A0 (Rn)	0100nnnn01110010			
STS X0,Rn	X0 Rn	0000nnnn10001010			
STS.L X0,@-Rn	Rn - 4 Rn、X0 (Rn)	0100nnnn10000010			
STS X1,Rn	X1 Rn	0000nnnn10011010			
STS.L X1,@-Rn	Rn - 4 Rn、X1 (Rn)	0100nnnn10010010			
STS Y0,Rn	Y0 Rn	0000nnnn10101010			
STS.L Y0,@-Rn	Rn - 4 Rn、Y0 (Rn)	0100nnnn10100010			
STS Y1,Rn	Y1 Rn	0000nnnn10111010			
STS.L Y1,@-Rn	Rn - 4 Rn、Y1 (Rn)	0100nnnn10110010			

### 3. 命令セット

命令	動作	命令コード	特権	T ビット	新規
SETRC* <sup>2</sup> Rm	Rm[11:0] RC(SR[27:16])	0100mmmm00010100			
SETRC* <sup>2</sup> #imm	imm RC(SR[23:16]), 0 SR[27:24]	10000010iiiiiii			
LDRS @ (disp* <sup>1</sup> ,pc)	disp × 2+PC RS	10001100ddddddd			
LDRE @ (disp* <sup>1</sup> ,pc)	disp × 2+PC RE	10001110ddddddd			
LDRC Rm	Rm[11:0] RC(SR[27:16]), 1 RE[0]	0100mmmm00110100			新規
LDRC #imm	imm RC(SR[23:16]), 0 SR[27:24] 1 RE[0]	10001010iiiiiii			新規
SETDMX	1 DMX(SR[10]), 0 DMY(SR[11])	0000000010011000			新規
SETDMY	0 DMX(SR[10]), 1 DMY(SR[11])	0000000011001000			新規
CLRDMXY	0 DMX(SR[10]), 0 DMY(SR[11])	0000000010001000			新規

【注】 \*1 ルネサスのアセンブラでは、disp にスケーリング後 ( × 1、 × 2、 × 4 ) の値を設定します。

\*2 SETRC 命令により 1 以上のリピート回数を設定する前に、必ず LDRS 命令と LDRE 命令を毎回実行するようにしてください。

### 3.4 DSP データ転送命令の命令セット

DSP データ転送命令は 2 つのグループに分けられます。ダブルデータ転送とシングルデータ転送です。ダブルデータ転送は DSP 演算命令と組み合わせて、DSP 並行処理命令することができます。並行処理命令は 32 ビット長で、A フィールドにダブルデータ転送命令が組み込まれます。並行処理命令でないダブルデータ転送とシングルデータ転送命令は 16 ビット長です。

ダブルデータ転送では X メモリと Y メモリを同時に並行してアクセスできます。それぞれ X、Y メモリデータアクセスから 1 つずつ命令を指定します。Ax ポインタは X メモリをアクセスするために使い、Ay ポインタは Y メモリをアクセスするために使います。ダブルデータ転送は X、Y メモリだけをアクセスできます。

シングルデータ転送はどこのエリアからでもアクセスできます。シングルデータ転送では Ax ポインタとその他の 2 つのポインタを As ポインタとして使います。

#### 3.4.1 ダブルデータ転送命令

表 3.12 ダブルデータ転送命令 (X メモリデータ)

命令	動作	命令コード	特権	DC ビット	T ビット	新規
NOPX	No Operation	1111000*0*0*00**				
MOVX.W @Ax,Dx	(Ax) Dx の MSW、0 Dx の LSW	111100A*D*0*01**				
MOVX.W @Ax+,Dx	(Ax) Dx の MSW、0 Dx の LSW、 Ax + 2 Ax	111100A*D*0*10**				
MOVX.W @Ax+lx,Dx	(Ax) Dx の MSW、0 Dx の LSW、 Ax + lx Ax	111100A*D*0*11**				
MOVX.W @Axy,Dxy	(Axy) Dxy の MSW、 0 Dxy の LSW	111100AADD000100				新規



### 3. 命令セット

命令	動作	命令コード	特権	DC ビット	T ビット	新規
MOVX.W @Axy+,Dxy	(Axy) Dxy の MSW、 0 Dxy の LSW、 Axy+2 Axy	111100AADD001000				新規
MOVX.W @Axy+lx,Dxy	(Axy) Dxy の MSW、 0 Dxy の LSW、 Axy+lx Axy	111100AADD001100				新規
MOVX.L @Axy,Dxy	(Axy) Dxy	111100AADD010100				新規
MOVX.L @Axy+,Dxy	(Axy) Dxy、 Axy+4 Axy	111100AADD011000				新規
MOVX.L @Axy+lx,Dxy	(Axy) Dxy、Axy+lx Axy	111100AADD011100				新規
MOVX.W Da,@Ax	Da の MSW (Ax)	111100A*D*1*01**				
MOVX.W Da,@Ax+	Da の MSW (Ax)、Ax+2 Ax	111100A*D*1*10**				
MOVX.W Da,@Ax+lx	Da の MSW (Ax)、Ax+lx Ax	111100A*D*1*11**				
MOVX.W Dax,@Axy	Dax の MSW (Axy)	111100AADD100100				新規
MOVX.W Dax,@Axy+	Dax の MSW (Axy)、 Axy+2 Axy	111100AADD101000				新規
MOVX.W Dax,@Axy+lx	Dax の MSW (Axy)、 Axy+lx Axy	111100AADD101100				新規
MOVX.L Dax,@Axy	Dax (Axy)	111100AADD110100				新規
MOVX.L Dax,@Axy+	Dax (Axy)、 Axy+4 Axy	111100AADD111000				新規
MOVX.L Dax,@Axy+lx	Dax (Axy)、 Axy+lx Axy	111100AADD111100				新規
NOPLY	No Operation	111100*0*0*0**00				
MOVY.W @Ay,Dy	(Ay) Dy の MSW、0 Dy の LSW	111100*A*D*0**01				
MOVY.W @Ay+,Dy	(Ay) Dy の MSW、 0 Dy の LSW、Ay+2 Ay	111100*A*D*0**10				
MOVY.W @Ay+ly,Dy	(Ay) Dy の MSW、 0 Dy の LSW、Ay+ly Ay	111100*A*D*0**11				
MOVY.W @Ayx,Dyx	(Ayx) Dyx の MSW、 0 Dyx の LSW	111100AADD000001				新規
MOVY.W @Ayx+,Dyx	(Ayx) Dyx の MSW、 0 Dyx の LSW、 Ayx+2 Ayx	111100AADD000010				新規
MOVY.W @Ayx+lx,Dyx	(Ayx) Dyx の MSW、 0 Dyx の LSW、 Ayx+lx Ayx	111100AADD000011				新規
MOVY.L @Ayx,Dyx	(Ayx) Dyx	111100AADD100001				新規
MOVY.L @Ayx+,Dyx	(Ayx) Dyx、 Ayx+4 Ayx	111100AADD100010				新規

### 3. 命令セット

命令	動作	命令コード	特権	DC ビット	T ビット	新規
MOVY.L @Ayx+lx,Dyx	(Ayx) Dyx、 Ayx+lx Ayx	111100AADD100011				新規
MOVY.W Da,@Ay	Da の MSW (Ay)	111100*A*D*1**01				
MOVY.W Da,@Ay+	Da の MSW (Ay)、Ay + 2 Ay	111100*A*D*1**10				
MOVY.W Da,@Ay+ly	Da の MSW (Ay)、Ay + ly Ay	111100*A*D*1**11				
MOVY.W Day,@Ayx	Day の MSW (Ayx)	111100AADD010001				新規
MOVY.W Day,@Ayx+	Day の MSW (Ayx)、 Ayx+2 Ayx	111100AADD010010				新規
MOVY.W Day,@Ayx+ly	Day の MSW (Ayx)、 Ayx+ly Ayx	111100AADD010011				新規
MOVY.L Day,@Ayx	Day (Ayx)	111100AADD110001				新規
MOVY.L Day,@Ayx+	Day (Ayx)、 Ayx+4 Ayx	111100AADD110010				新規
MOVY.L Day,@Ayx+ly	Day (Ayx)、 Ayx+ly Ayx	111100AADD110011				新規

表 3.13 シングルデータ転送命令

命令	動作	命令コード	特権	DC ビット	T ビット	新規
MOVS.W @-As,Ds	As - 2 As、(As) Ds の MSW、 0 Ds の LSW	111101AADDDD0000				
MOVS.W @As,Ds	(As) Ds の MSW、0 Ds の LSW	111101AADDDD0100				
MOVS.W @As+,Ds	(As) Ds の MSW、0 Ds の LSW、 As + 2 As	111101AADDDD1000				
MOVS.W @As+ls,Ds	(As) Ds の MSW、0 Ds の LSW、 As + ls As	111101AADDDD1100				
MOVS.W Ds,@-As	As - 2 As、Ds の MSW (As)*	111101AADDDD0001				
MOVS.W Ds,@As	Ds の MSW (As)*	111101AADDDD0101				
MOVS.W Ds,@As+	Ds の MSW (As)、As + 2 As*	111101AADDDD1001				
MOVS.W Ds,@As+ls	Ds の MSW (As)、As + ls As*	111101AADDDD1101				
MOVS.L @-As,Ds	As - 4 As、(As) Ds	111101AADDDD0010				
MOVS.L @As,Ds	(As) Ds	111101AADDDD0110				
MOVS.L @As+,Ds	(As) Ds、As + 4 As	111101AADDDD1010				
MOVS.L @As+ls,Ds	(As) Ds、As + ls As	111101AADDDD1110				
MOVS.L Ds,@-As	As - 4 As、Ds (As)	111101AADDDD0011				
MOVS.L Ds,@As	Ds (As)	111101AADDDD0111				
MOVS.L Ds,@As+	Ds (As)、As + 4 As	111101AADDDD1011				
MOVS.L Ds,@As+ls	Ds (As)、As + ls As	111101AADDDD1111				

【注】 \* ソースオペランド Ds にガードビットレジスタ A0G、A1G を指定した場合は、データは LDB[7:0]バスに出力され、符号ビットが上位ビット[31:8]に出力されます。

DSP データ転送のオペランドとレジスタとの対応を表 3.14 に示します。CPU コアのレジスタはメモリアドレスを示すポインタアドレスとして使われます。

表 3.14 DSP データ転送のオペランドとレジスタとの対応

オペランド	SH (CPU コア) レジスタ									
	R0	R1	R2	R3	R4	R5	R6	R7	R8	R9
Ax					0 (Yes)	1 (Yes)				
Ix (Is)									1 (Yes)	
Dx										
Ay							0 (Yes)	1 (Yes)		
Iy										1 (Yes)
Dy										
Da										
As			2 (Yes)	3 (Yes)	0 (Yes)	1 (Yes)				
Ds										

オペランド	DSP レジスタ									
	X0	X1	Y0	Y1	M0	M1	A0	A1	A0G	A1G
Ax										
Ix (Is)										
Dx	0 (Yes)	1 (Yes)								
Ay										
Iy										
Dy			0 (Yes)	1 (Yes)						
Da							0 (Yes)	1 (Yes)		
As										
Ds	8 (Yes)	9 (Yes)	A (Yes)	B (Yes)	C (Yes)	E (Yes)	7 (Yes)	5 (Yes)	F (Yes)	D (Yes)

### 3. 命令セット

---

オペランド	DSP レジスタ									
	R0	R1	R2	R3	R4	R5	R6	R7	R8	R9
Axy	1 (Yes)	3 (Yes)			0 (Yes)	2 (Yes)				
Ayx			2 (Yes)	3 (Yes)			0 (Yes)	1 (Yes)		

オペランド	DSP レジスタ									
	X0	X1	Y0	Y1	M0	M1	A0	A1	A0G	A1G
Dxy	0 (Yes)	2 (Yes)	1 (Yes)	3 (Yes)						
Dyx	2 (Yes)	3 (Yes)	0 (Yes)	1 (Yes)						
Dax	1 (Yes)	3 (Yes)					0 (Yes)	2 (Yes)		
Day			2 (Yes)	3 (Yes)			0 (Yes)	1 (Yes)		

【注】 Yes : 設定可能なレジスタ

### 3.5 DSP 演算命令の命令セット

DSP 演算命令は DSP ユニットで処理されるデジタル信号処理の命令です。これらの命令は 32 ビット長さの命令コードで、複数の命令を並行して実行します。命令コードは A フィールド、B フィールドの 2 つに分かれており、A フィールドにはパラレルデータ転送命令を指定し、B フィールドにはシングルまたはダブルデータ演算命令を指定します。命令は独立して指定することができ、実行も独立に並行して実行されます。A フィールドに指定するパラレルデータ転送命令はダブルデータ転送命令と全く同じです。

B フィールドのデータ演算命令は 3 つに分かれています。ダブルデータ演算命令、条件付きシングルデータ演算命令、無条件シングルデータ演算命令の 3 つです。DSP 演算命令の命令形式を表 3.15 に示します。それぞれのオペランドは独立に DSP レジスタから選べます。DSP 演算命令のオペランドとレジスタの対応を表 3.16 に示します。

表 3.15 DSP 演算命令の命令形式

分類		命令形式	命令
ダブルデータ演算命令 (6 オペランド)		ALUop. Sx, Sy, Du MLTop. Se, Sf, Dg	PADD PMULS, PCLR PMULS PSUB PMULS
条件付き シングルデータ 演算命令	3 オペランド	ALUop. Sx, Sy, Dz DCT ALUop. Sx, Sy, Dz DCF ALUop. Sx, Sy, Dz	PADD, PAND, POR, PSHA, PSHL, PXOR
		ALUop. Sx, Sy, Dz DCT ALUop. Sx, Sy, Dz DCF ALUop. Sx, Sy, Dz ALUop. Sy, Sx, Dz DCT ALUop. Sy, Sx, Dz DCF ALUop. Sy, Sx, Dz	PSUB
	2 オペランド	ALUop. Sx, Dz DCT ALUop. Sx, Dz DCF ALUop. Sx, Dz ALUop. Sy, Dz DCT ALUop. Sy, Dz DCF ALUop. Sy, Dz	PCOPY, PDEC, PDMSB, PINC, PLDS, PSTS, PNEG PABS, PRND, PSWAP
	1 オペランド	ALUop. Dz DCT ALUop. Dz DCF ALUop. Dz	PCLR, PSHA #imm, PSHL #imm
無条件 シングルデータ 演算命令	3 オペランド	ALUop. Sx, Sy, Du MLTop. Se, Sf, Dg	PADD, PSUB, PWADD, PWSB, PMULS
	2 オペランド	ALUop. Sx, Sy	PCMP

### 3. 命令セット

表 3.16 DSP 命令のオペランドとレジスタの対応

レジスタ	ALU, SFT 命令				乗算命令		
	Sx	Sy	Dz	Du	Se	Sf	Dg
A0	Yes		Yes	Yes			Yes
A1	Yes		Yes	Yes	Yes	Yes	Yes
M0		Yes	Yes				Yes
M1		Yes	Yes				Yes
X0	Yes		Yes	Yes	Yes	Yes	
X1	Yes		Yes		Yes		
Y0		Yes	Yes	Yes	Yes	Yes	
Y1		Yes	Yes			Yes	

並行命令を書くときは最初に B フィールドの命令を書いて、次に A フィールドの命令を書きます。並行処理プログラム例を図 3.4 に示します。

PADD A0, M0, A0	PMULS X0, Y0, M0	MOVX.W @R4+, X0	MOVY.W @R6+, Y0 [;]
DCF PINC X1, A1		MOVX.W A0, @R5+R8	MOVY.W @R7+, Y0 [;]
PCMP X1, M0		MOVX.W @R4	[NOPY] [;]

図 3.4 並行処理プログラム例

ここで[ ]は省略可能を意味します。無操作命令 NOPX、NOPY は省略できます。';' は命令行の区切りですが、省略できます。もし区切り';' を使うときはその後ろをコメント欄として使うことができます。

DSR レジスタの各状態コード (DC、N、Z、V、GT) は無条件の ALU 演算命令、シフト演算命令で常に更新されます。条件付き命令は条件が成立した場合でも状態コードを更新しません。乗算命令も状態コードを更新しません。DC ビットの定義は、DSR レジスタの CS ビットの指定によって決まります。

表 3.17 ALU 固定小数点算術演算命令

命令	動作	命令コード	特権	DC ビット	T ビット	新規
PABS Sx,Dz	もし Sx 0 ならば Sx Dz もし Sx < 0 ならば 0-Sx Dz	111110***** 10001000xx00zzzz		更新	更新	
PABS Sy,Dz	もし Sy 0 ならば Sy Dz もし Sy < 0 ならば 0-Sy Dz	111110***** 1010100000yyzzzz		更新	更新	
DCT PABS Sx,Dz	もし DC=1 & Sx 0 ならば Sx Dz もし DC=1 & Sx < 0 ならば 0-Sx Dz もし DC=0 ならば nop.	111110***** 10001010xx01zzzz				新規
DCT PABS Sy,Dz	もし DC=1 & Sy 0 ならば Sy Dz もし DC=1 & Sy < 0 ならば 0-Sy Dz もし DC=0 ならば nop.	111110***** 1010101001yyzzzz				新規
DCF PABS Sx,Dz	もし DC=0 & Sx 0 ならば Sx Dz もし DC=0 & Sx < 0 ならば 0-Sx Dz もし DC=1 ならば nop.	111110***** 10001011xx01zzzz				新規
DCF PABS Sy,Dz	もし DC=0 & Sy 0 ならば Sy Dz もし DC=0 & Sy < 0 ならば 0-Sy Dz もし DC=1 ならば nop.	111110***** 1010101101yyzzzz				新規
PADD Sx,Sy,Dz	Sx + Sy Dz	111110***** 10110001xxyyzzzz		更新	更新	
DCT PADD Sx,Sy,Dz	もし DC=1 ならば Sx + Sy Dz もし DC=0 ならば nop	111110***** 10110010xxyyzzzz				
DCF PADD Sx,Sy,Dz	もし DC=0 ならば Sx + Sy Dz もし DC=1 ならば nop	111110***** 10110011xxyyzzzz				
PADD Sx,Sy,Du PMULS Se,Sf,Dg	Sx + Sy Du Se の MSW × Sf の MSW Dg	111110***** 0111eefxxyygguu		更新* <sup>1</sup>	更新* <sup>1</sup>	
PADDC Sx,Sy,Dz	Sx + Sy + DC Dz	111110***** 10110000xxyyzzzz		更新	更新	
PCLR Dz	H'00000000 Dz	111110***** 100011010000zzzz		更新	更新	
DCT PCLR Dz	もし DC=1 ならば H'00000000 Dz もし DC=0 ならば nop.	111110***** 100011100000zzzz				
DCF PCLR Dz	もし DC=0 ならば H'00000000 Dz もし DC=1 ならば nop.	111110***** 100011110000zzzz				

### 3. 命令セット

命令	動作	命令コード	特権	DC ビット	T ビット	新規
PCLR Du PMULS Se,Sf,Dg	H'00000000 Du Se の MSW × Sf の MSW Dg	111110***** 0100eeff0001gguu		更新*2	更新*2	新規
PCMP Sx,Sy	Sx - Sy	111110***** 10000100xxyy0000		更新	更新	
PCOPY Sx,Dz	Sx Dz	111110***** 11011001xx00zzzz		更新	更新	
PCOPY Sy,Dz	Sy Dz	111110***** 1111100100yyzzzz		更新	更新	
DCT PCOPY Sx,Dz	もし DC = 1 ならば Sx Dz もし DC = 0 ならば nop.	111110***** 11011010xx00zzzz				
DCT PCOPY Sy,Dz	もし DC = 1 ならば Sy Dz もし DC = 0 ならば nop.	111110***** 1111101000yyzzzz				
DCF PCOPY Sx,Dz	もし DC = 0 ならば Sx Dz もし DC = 1 ならば nop	111110***** 11011011xx00zzzz				
DCF PCOPY Sy,Dz	もし DC = 0 ならば Sy Dz もし DC = 1 ならば nop	111110***** 1111101100yyzzzz				
PNEG Sx,Dz	0 - Sx Dz	111110***** 11001001xx00zzzz		更新	更新	
PNEG Sy,Dz	0 - Sy Dz	111110***** 1110100100yyzzzz		更新	更新	
DCT PNEG Sx,Dz	もし DC = 1 ならば 0 - Sx Dz もし DC = 0 ならば nop.	111110***** 11001010xx00zzzz				
DCT PNEG Sy,Dz	もし DC = 1 ならば 0 - Sy Dz もし DC = 0 ならば、nop.	111110***** 1110101000yyzzzz				
DCF PNEG Sx,Dz	もし DC = 0 ならば 0 - Sx Dz もし DC = 1 ならば nop.	111110***** 11001011xx00zzzz				
DCF PNEG Sy,Dz	もし DC = 0 ならば 0 - Sy Dz もし DC = 1 ならば nop.	111110***** 1110101100yyzzzz				
PSUB Sx,Sy,Dz	Sx - Sy Dz	111110***** 10100001xxyyzzzz		更新	更新	
PSUB Sy,Sx,Dz	Sy - Sx Dz	111110***** 10000101xxyyzzzz		更新	更新	新規
DCT PSUB Sx,Sy,Dz	もし DC = 1 ならば Sx - Sy Dz もし DC = 0 ならば nop	111110***** 10100010xxyyzzzz				
DCT PSUB Sy,Sx,Dz	もし DC = 1 ならば Sy - Sx Dz もし DC = 0 ならば nop	111110***** 10000110xxyyzzzz				新規
DCF PSUB Sx,Sy,Dz	もし DC = 0 ならば Sx - Sy Dz もし DC = 1 ならば nop	111110***** 10100011xxyyzzzz				
DCF PSUB Sy,Sx,Dz	もし DC = 0 ならば Sy - Sx Dz もし DC = 1 ならば nop	111110***** 10000111xxyyzzzz				新規



### 3. 命令セット

命令	動作	命令コード	特権	DC ビット	T ビット	新規
PSUB Sx,Sy,Du PMULS Se,Sf,Dg	Sx - Sy Du Se の MSW × Sf の MSW Dg	111110***** 0110eefxxyygguu		更新*3	更新*3	
PSUBC Sx,Sy,Dz	Sx - Sy - DC Dz	111110***** 10100000xxyyzzzz		更新	更新	

- 【注】 \*1 PADD の演算結果に基づいて更新されます。  
 \*2 PCLR の演算結果に基づいて更新されます。  
 \*3 PSUB の演算結果に基づいて更新されます。

### 3. 命令セット

表 3.18 ALU 整数演算命令

命令	動作	命令コード	特権	DC ビット	T ビット	新規
PDEC Sx,Dz	Sx の MSW - 1 Dz、 Dz の LSW クリア	111110***** 10001001xx00zzzz		更新	更新	
PDEC Sy,Dz	Sy の MSW - 1 Dz、 Dz の LSW クリア	111110***** 10101001xx00zzzz		更新	更新	
DCT PDEC Sx,Dz	もし DC = 1 ならば Sx の MSW - 1 Dz、 Dz の LSW クリア もし DC = 0 ならば nop.	111110***** 10001010xx00zzzz				
DCT PDEC Sy,Dz	もし DC = 1 ならば Sy の MSW - 1 Dz、 Dz の LSW クリア もし DC = 0 ならば nop.	111110***** 10101010xx00zzzz				
DCF PDEC Sx,Dz	もし DC = 0 ならば Sx の MSW - 1 Dz、 Dz の LSW クリア もし DC = 1 ならば nop.	111110***** 10001011xx00zzzz				
DCF PDEC Sy,Dz	もし DC = 0 ならば Sy の MSW - 1 Dz、Dz の LSW クリア もし DC = 1 ならば nop.	111110***** 10101011xx00zzzz				
PINC Sx,Dz	Sx の MSW + 1 Dz、 Dz の LSW クリア	111110***** 10011001xx00zzzz		更新	更新	
PINC Sy,Dz	Sy の MSW + 1 Dz、 Dz の LSW クリア	111110***** 1011100100yyzzzz		更新	更新	
DCT PINC Sx,Dz	もし DC = 1 ならば Sx の MSW + 1 Dz、 Dz の LSW クリア もし DC = 0 ならば nop.	111110***** 10011010xx00zzzz				
DCT PINC Sy,Dz	もし DC = 1 ならば Sy の MSW + 1 Dz、 Dz の LSW クリア もし DC = 0 ならば nop.	111110***** 1011101000yyzzzz				
DCF PINC Sx,Dz	もし DC = 0 ならば Sx の MSW + 1 Dz、 Dz の LSW クリア もし DC = 1 ならば nop.	111110***** 10011011xx00zzzz				
DCF PINC Sy,Dz	もし DC = 0 ならば Sy の MSW + 1 Dz、 Dz の LSW クリア もし DC = 1 ならば nop.	111110***** 1011101100yyzzzz				

表 3.19 ALU 論理演算命令

命令	動作	命令コード	特権	DC ビット	T ビット	新規
PAND Sx,Sy,Dz	Sx & Sy Dz、 Dz ガードビットと LSW クリア	111110***** 10010101xxyyzzzz	-	更新	更新	
DCT PAND Sx,Sy,Dz	もし DC=1 ならば Sx&Sy Dz、 Dz ガードビットと LSW クリア もし DC=0 ならば nop	111110***** 10010110xxyyzzzz	-	-	-	
DCF PAND Sx,Sy,Dz	もし DC=0 ならば Sx&Sy Dz、 Dz ガードビットと LSW クリア もし DC=1 ならば nop	111110***** 10010111xxyyzzzz	-	-	-	
POR Sx,Sy,Dz	Sx   Sy Dz、 Dz のガードビットと LSW クリア	111110***** 10110101xxyyzzzz	-	更新	更新	
DCT POR Sx,Sy,Dz	もし DC=1 ならば Sx   Sy Dz、 Dz のガードビットと LSW クリア もし DC=0 ならば nop.	111110***** 10110110xxyyzzzz	-	-	-	
DCF POR Sx,Sy,Dz	もし DC=0 ならば Sx   Sy Dz、 Dz のガードビットと LSW クリア もし DC=1 ならば nop.	111110***** 10110111xxyyzzzz	-	-	-	
PXOR Sx,Sy,Dz	Sx ^ Sy Dz、 Dz のガードビットと LSW クリア	111110***** 10100101xxyyzzzz	-	更新	更新	
DCT PXOR Sx,Sy,Dz	もし DC=1 ならば Sx^Sy Dz、 Dz のガードビットと LSW クリア もし DC=0 ならば nop.	111110***** 10100110xxyyzzzz	-	-	-	
DCF PXOR Sx,Sy,Dz	もし DC=0 ならば Sx ^ Sy Dz、 Dz のガードビットと LSW クリア もし DC=1 ならば nop.	111110***** 10100111xxyyzzzz	-	-	-	

表 3.20 固定小数点乗算命令

命令	動作	命令コード	特権	DC ビット	T ビット	新規
PMULS Se,Sf,Dg	Se の MSW x Sf の MSW Dg	111110***** 0100eeff0000gg00				

### 3. 命令セット

表 3.21 算術シフト演算命令

命令	動作	命令コード	特権	DC ビット	T ビット	新規
PSHA Sx,Sy,Dz	もし Sy = 0 ならば Sx<<Sy Dz もし Sy<0 ならば Sx>> Sy  Dz	111110***** 10010001xxyyzzzz		更新	更新	
DCT PSHA Sx,Sy,Dz	もし DC = 1 & Sy = 0 ならば Sx<<Sy Dz もし DC = 1 & Sy<0 ならば Sx>> Sy  Dz もし DC = 0 ならば nop	111110***** 10010010xxyyzzzz				
DCF PSHA Sx,Sy,Dz	もし DC = 0 & Sy = 0 ならば Sx<<Sy Dz もし DC = 0 & Sy<0 ならば Sx>> Sy  Dz もし DC = 1 ならば nop	111110***** 10010011xxyyzzzz				
PSHA #Imm,Dz	もし Imm = 0 ならば Dz<<Imm Dz もし Imm<0 ならば Dz>> Imm  Dz	111110***** 00010iiiiiiiizzzz		更新	更新	

表 3.22 論理シフト演算命令

命令	動作	命令コード	特権	DC ビット	T ビット	新規
PSHL Sx,Sy,Dz	もし Sy = 0 ならば Sx<<Sy Dz, Dz の LSW クリア もし Sy<0 ならば Sx>> Sy  Dz, Dz の LSW クリア	111110***** 10000001xxyyzzzz		更新	更新	
DCT PSHL Sx,Sy,Dz	もし DC = 1 & Sy = 0 ならば Sx<<Sy Dz, Dz の LSW クリア もし DC = 1 & Sy<0 ならば Sx>> Sy  Dz, Dz の LSW クリア もし DC = 0 ならば nop	111110***** 10000010xxyyzzzz				
DCF PSHL Sx,Sy,Dz	もし DC = 0 & Sy = 0 ならば Sx<<Sy Dz, Dz の LSW クリア もし DC = 0 & Sy<0 ならば Sx>> Sy  Dz, Dz の LSW クリア もし DC = 1 ならば nop	111110***** 10000011xxyyzzzz				
PSHL #Imm,Dz	もし Imm = 0 ならば Dz<<Imm Dz, Dz の LSW クリア もし Imm < 0 ならば Dz>> Imm  Dz, Dz の LSW クリア	111110***** 00000iiiiiiiizzzz		更新	更新	

表 3.23 MSB 検出命令

命令	動作	命令コード	特権	DC ビット	T ビット	新規
PDMSB Sx,Dz	Sx の MSB 位置 Dz の MSW、 Dz の LSW をクリア	111110***** 10011101xx00zzzz		更新	更新	
PDMSB Sy,Dz	Sy の MSB 位置 Dz の MSW、 Dz の LSW をクリア	111110***** 1011110100yyzzzz		更新	更新	
DCT PDMSB Sx,Dz	もし DC = 1 ならば Sx の MSB 位置 Dz の MSW、 Dz の LSW をクリア もし DC = 0 ならば nop.	111110***** 10011110xx00zzzz				
DCT PDMSB Sy,Dz	もし DC = 1 ならば Sy の MSB 位置 Dz の MSW、 Dz の LSW をクリア もし DC = 0 ならば nop.	111110***** 1011111000yyzzzz				
DCF PDMSB Sx,Dz	もし DC = 0 ならば Sx の MSB 位置 Dz の MSW、 Dz の LSW をクリア もし DC = 1 ならば nop.	111110***** 10011111xx00zzzz				
DCF PDMSB Sy,Dz	もし DC = 0 ならば Sy の MSB 位置 Dz の MSW、 Dz の LSW をクリア もし DC = 1 ならば nop.	111110***** 1011111100yyzzzz				

表 3.24 丸め演算命令

命令	動作	命令コード	特権	DC ビット	T ビット	新規
PRND Sx,Dz	Sx + H'00008000 Dz、 Dz の LSW クリア	111110***** 10011000xx00zzzz		更新	更新	
PRND Sy,Dz	Sy + H'00008000 Dz、 Dz の LSW クリア	111110***** 1011100000yyzzzz		更新	更新	
DCT PRND Sx,Dz	もし DC = 1 ならば Sx + H'00008000 Dz Dz の LSW クリア もし DC = 0 ならば nop.	111110***** 10011010xx01zzzz				新規
DCT PRND Sy,Dz	もし DC = 1 ならば Sy + H'00008000 Dz Dz の LSW クリア もし DC = 0 ならば nop.	111110***** 1011101001yyzzzz				新規
DCF PRND Sx,Dz	もし DC = 0 ならば Sx + H'00008000 Dz Dz の LSW クリア もし DC = 1 ならば nop.	111110***** 10011011xx01zzzz				新規

### 3. 命令セット

命令	動作	命令コード	特権	DC ビット	T ビット	新規
DCF PRND Sy,Dz	もし DC = 0 ならば Sy + H'00008000 Dz Dz の LSW クリア もし DC = 1 ならば nop.	111110***** 1011101101yyzzzz				新規

表 3.25 スワップ命令

命令	動作	命令コード	特権	DC ビット	T ビット	新規
PSWAP Sx,Dz	Sx の LSW Dz の MSW Sx の MSW Dz の LSW	111110***** 10011101xx01zzzz		更新	更新	新規
PSWAP Sy,Dz	Sy の LSW Dz の MSW Sy の MSW Dz の LSW	111110***** 1011110101yyzzzz		更新	更新	新規
DCT PSWAP Sx,Dz	もし DC=1 ならば Sx の LSW Dz の MSW Sx の MSW Dz の LSW もし DC = 0 ならば nop.	111110***** 10011110xx01zzzz				新規
DCT PSWAP Sy,Dz	もし DC=1 ならば Sy の LSW Dz の MSW Sy の MSW Dz の LSW もし DC = 0 ならば nop.	111110***** 1011111001yyzzzz				新規
DCF PSWAP Sx,Dz	もし DC=0 ならば Sx の LSW Dz の MSW Sx の MSW Dz の LSW もし DC = 1 ならば nop.	111110***** 10011111xx01zzzz				新規
DCF PSWAP Sy,Dz	もし DC=0 ならば Sy の LSW Dz の MSW Sy の MSW Dz の LSW もし DC = 1 ならば nop.	111110***** 1011111101yyzzzz				新規

表 3.26 ローカルデータ移動命令

命令	動作	命令コード	特権	DC ビット	T ビット	新規
PLDS Dz,MACH	Dz MACH	111110***** 111011010000zzzz				
PLDS Dz,MACL	Dz MACL	111110***** 111111010000zzzz				
DCT PLDS Dz,MACH	もし DC = 1 ならば Dz MACH もし DC = 0 ならば nop.	111110***** 111011100000zzzz				
DCT PLDS Dz,MACL	もし DC = 1 ならば Dz MACL もし DC = 0 ならば nop.	111110***** 111111100000zzzz				
DCF PLDS Dz,MACH	もし DC = 0 ならば Dz MACH もし DC = 1 ならば nop.	111110***** 111011110000zzzz				
DCF PLDS Dz,MACL	もし DC = 0 ならば Dz MACL もし DC = 1 ならば nop.	111110***** 111111110000zzzz				
PSTS MACH,Dz	MACH Dz	111110***** 110011010000zzzz				
PSTS MACL,Dz	MACL Dz	111110***** 110111010000zzzz				
DCT PSTS MACH,Dz	もし DC = 1 ならば MACH Dz もし DC = 0 ならば nop.	111110***** 110011100000zzzz				
DCT PSTS MACL,Dz	もし DC = 1 ならば MACL Dz もし DC = 0 ならば nop.	111110***** 110111100000zzzz				
DCF PSTS MACH,Dz	もし DC = 0 ならば MACH Dz もし DC = 1 ならば nop.	111110***** 110011110000zzzz				
DCF PSTS MACL,Dz	もし DC = 0 ならば MACL Dz もし DC = 1 ならば nop.	111110***** 110111110000zzzz				

### 3. 命令セット

---

#### 3.5.1 NOPX と NOPY の命令コード

DSP 演算命令と同時に並行処理されるデータ転送命令がないときは、データ転送命令に NOPX、NOPY 命令を書くかあるいは命令を省略することもできます。NOPX、NOPY 命令を書いても省略しても命令コードは同じです。NOPX と NOPY の命令コードの例を表 3.27 に示します。

表 3.27 NOPX と NOPY の命令コードの例

命令	コード
PADD X0, Y0, A0 MOVX. W @R4+, X0 MOY.W @R6+R9, Y0	1111100000001011 1011000100000111
PADD X0, Y0, A0 NOPX                      MOY.W @R6+R9, Y0	1111100000000011 1011000100000111
PADD X0, Y0, A0 NOPX                      NOPY	1111100000000000 1011000100000111
PADD X0, Y0, A0 NOPX	1111100000000000 1011000100000111
PADD X0, Y0, A0	1111100000000000 1011000100000111
MOVX. W @R4+, X0 MOY.W @R6+R9, Y0	1111000000001011
MOVX. W @R4+, X0 NOPY	1111000000001000
MOVS. W @R4+, X0	1111010010001000
NOPX                      MOY.W @R6+R9, Y0	1111000000000011
MOY.W @R6+R9, Y0	1111000000000011
NOPX                      NOPY	1111000000000000
NOP	000000000001001



## 4. パイプライン動作

本 LSI は 2 命令並列型 (2-ILP, Instruction-Level-Parallelism) のスーパースカラパイプライン処理マイクロプロセッサです。命令実行はパイプライン化され、2 つの命令を並行して実行できます。

### 4.1 パイプライン

図 4.1 に基本パイプラインを示します。通常、パイプラインは命令フェッチ (I1、I2、I3)、デコード・レジスタリード (ID)、実行 (E1、E2、E3)、ライトバック (WB) の 8 ステージから構成されます。1 つの命令は基本パイプラインの組み合わせとして実行されます。

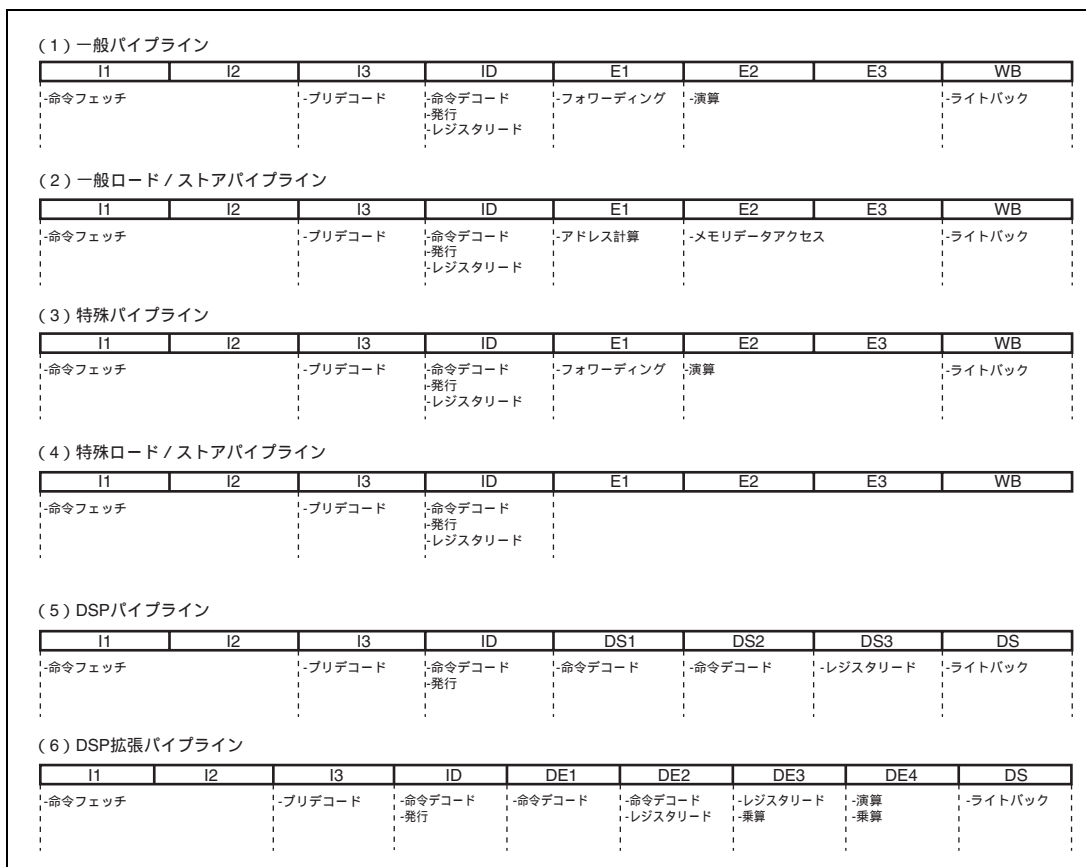


図 4.1 基本パイプライン

#### 4. パイプライン動作

図 4.2 に命令実行パターンを示します。図 4.2 で使用する表記とその意味を以下に示します。

表 4.1 命令実行パターン表記説明

表 記	意 味					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1</td><td>E2</td><td>E3</td><td>WB</td></tr></table>	E1	E2	E3	WB	CPU EX パイプ占有	
E1	E2	E3	WB			
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>S1</td><td>S2</td><td>S3</td><td>WB</td></tr></table>	S1	S2	S3	WB	CPU LS パイプ占有 (メモリアクセスを伴う場合)	
S1	S2	S3	WB			
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>s1</td><td>s2</td><td>s3</td><td>WB</td></tr></table>	s1	s2	s3	WB	CPU LS パイプ占有 (メモリアクセスを伴わない場合)	
s1	s2	s3	WB			
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1/S1</td></tr></table>	E1/S1	CPU EX か LS の いずれか一方を占有				
E1/S1						
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1S1</td></tr></table> 、 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1s1</td></tr></table>	E1S1	E1s1	CPU EX と LS の 両方を占有			
E1S1						
E1s1						
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>M2</td><td>M3</td><td>MS</td></tr></table>	M2	M3	MS	CPU MULT 演算器占有		
M2	M3	MS				
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>DE1</td><td>DE2</td><td>DE3</td><td>DE4</td><td>DS</td></tr></table>	DE1	DE2	DE3	DE4	DS	DSP-EX パイプ占有
DE1	DE2	DE3	DE4	DS		
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>DS1</td><td>DS2</td><td>DS3</td><td>DS</td></tr></table>	DS1	DS2	DS3	DS	DSP-LS パイプ占有	
DS1	DS2	DS3	DS			
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>ID</td></tr></table>	ID	ID ステージをロック				
ID						
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>└─</td></tr></table>	└─	CPU と DSP 両方のパイプを占有				
└─						

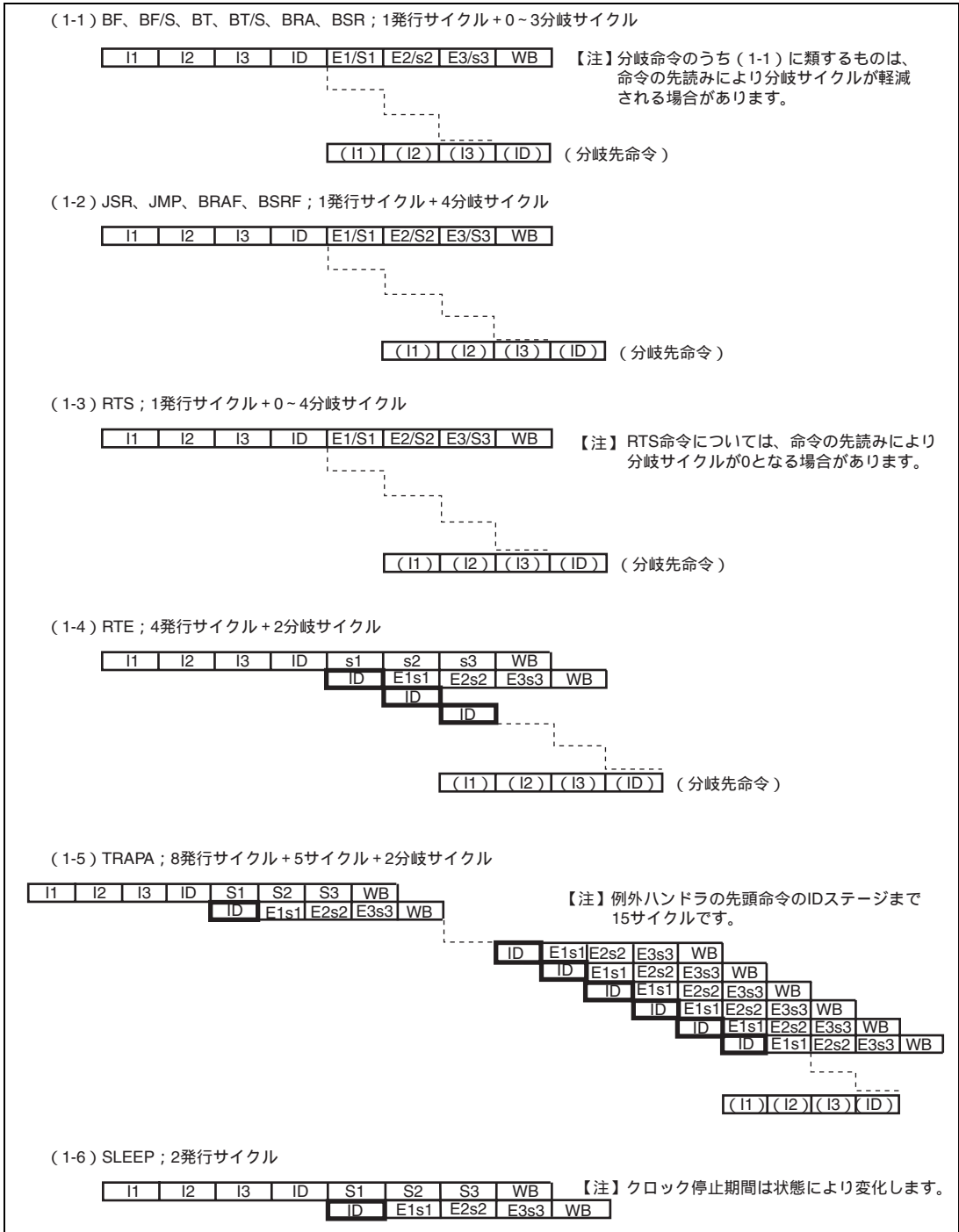


図 4.2 命令実行パターン (1)

#### 4. パイプライン動作

(2-1) 1ステップ演算 (EXタイプ) ; 1発行サイクル

EXT[SU].[BW], MOV, SWAP, XTRCT, ADD\*, CMP\*, DIV\*, DT,  
NEG\*, SUB\*, AND, AND#, NOT, OR, OR#, TST, TST#, XOR,  
XOR#, ROT\*, SHA\*, SHL\*, CLRS, CLRT, SETS, SETT  
SETDMX, SETDMY, CLRDMXY

【注】 \* AND#, OR#, TST#, XOR#はGBR相対命令を除く

I1	I2	I3	ID	E1	E2	E3	WB
----	----	----	----	----	----	----	----

(2-2) 1ステップ演算 (LSタイプ) ; 1発行サイクル

MOVA

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(2-3) 1ステップ演算 (MTタイプ) ; 1発行サイクル

MOV#, NOP

I1	I2	I3	ID	E1/S1	E2/s2	E3/s3	WB
----	----	----	----	-------	-------	-------	----

(2-4) MOV (MTタイプ) ; 1発行サイクル

MOV

I1	I2	I3	ID	E1/s1	E2/s2	E3/S3	WB
----	----	----	----	-------	-------	-------	----

(2-5) LDERS, LDRE (LSタイプ) ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(2-6) LDRC, SETRC (COタイプ) ; 2発行サイクル

I1	I2	I3	ID	E1/s1	E2/s2	E3/s3	WB
			ID				

図 4.2 命令実行パターン (2)

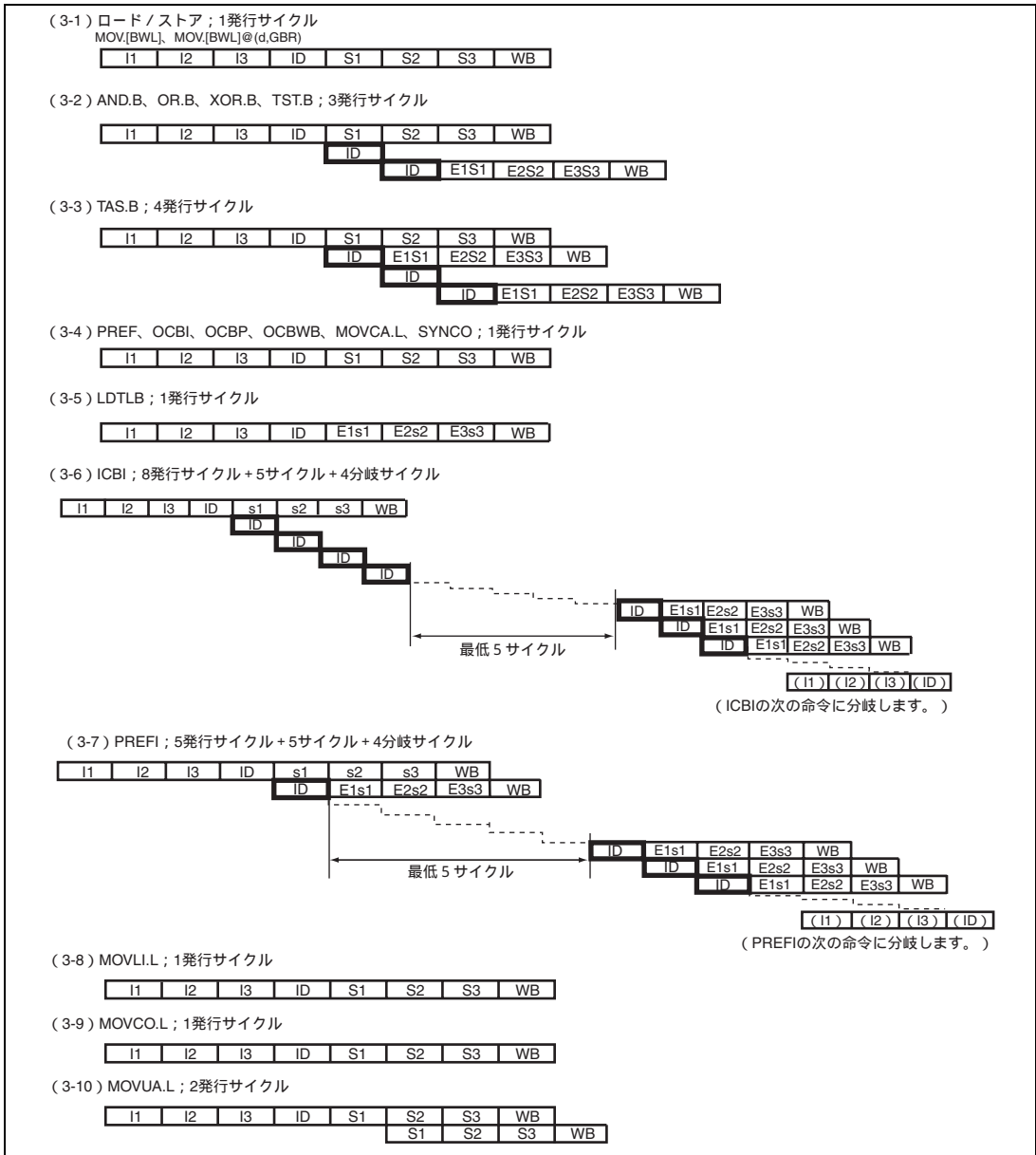


図 4.2 命令実行パターン (3)

#### 4. パイプライン動作

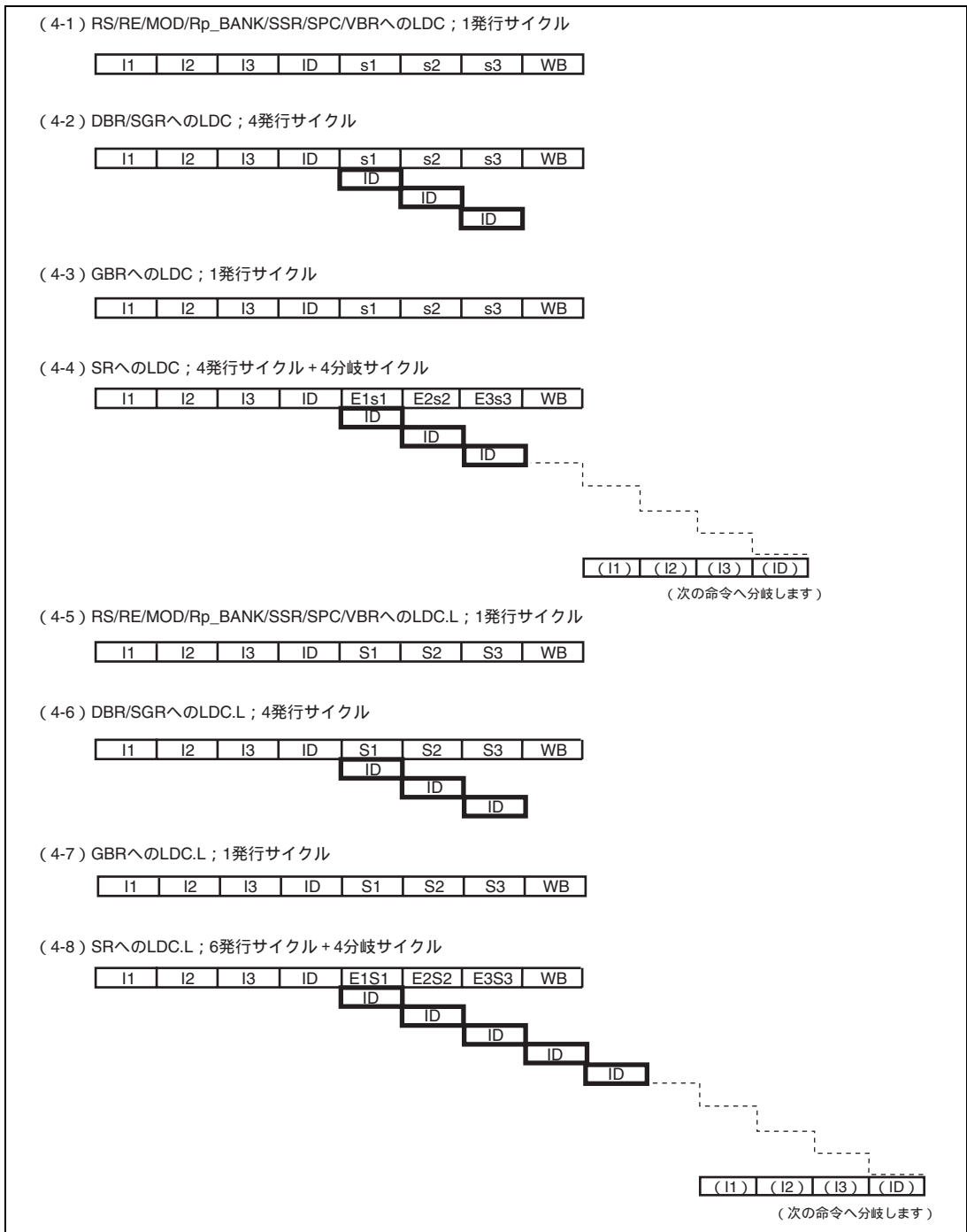


図 4.2 命令実行パターン (4)

(4-9) DBR/GBR/Rp\_BANK/SSR/SPC/VBR/SGRからのSTC ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-10) RS/RE/MODからのSTC ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-11) SRからのSTC ; 1発行サイクル

I1	I2	I3	ID	E1s1	E2s2	E3s3	WB
----	----	----	----	------	------	------	----

(4-12) DBR/GBR/Rp\_BANK/SSR/SPC/VBR/SGRからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-13) RS/RE/MODからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-14) SRからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	E1S1	E2S2	E3S3	WB
----	----	----	----	------	------	------	----

(4-15) PRへのLDS ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-16) PRへのLDS.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-17) PRからのSTS ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-18) PRからのSTS.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-19) BSRF、BSR、JSRの遅延スロット命令 (PRセット) ; 0発行サイクル

(I1)	(I2)	(I3)	(ID)	(??1)	(??2)	(??3)	(WB)
------	------	------	------	-------	-------	-------	------

【注】遅延スロット命令のE3ステージでPRの値が更新されます。  
遅延スロットにPRからのSTS、STS.L命令が使用されている場合、更新されたPRの値が使用されます。

図 4.2 命令実行パターン (5)

#### 4. パイプライン動作

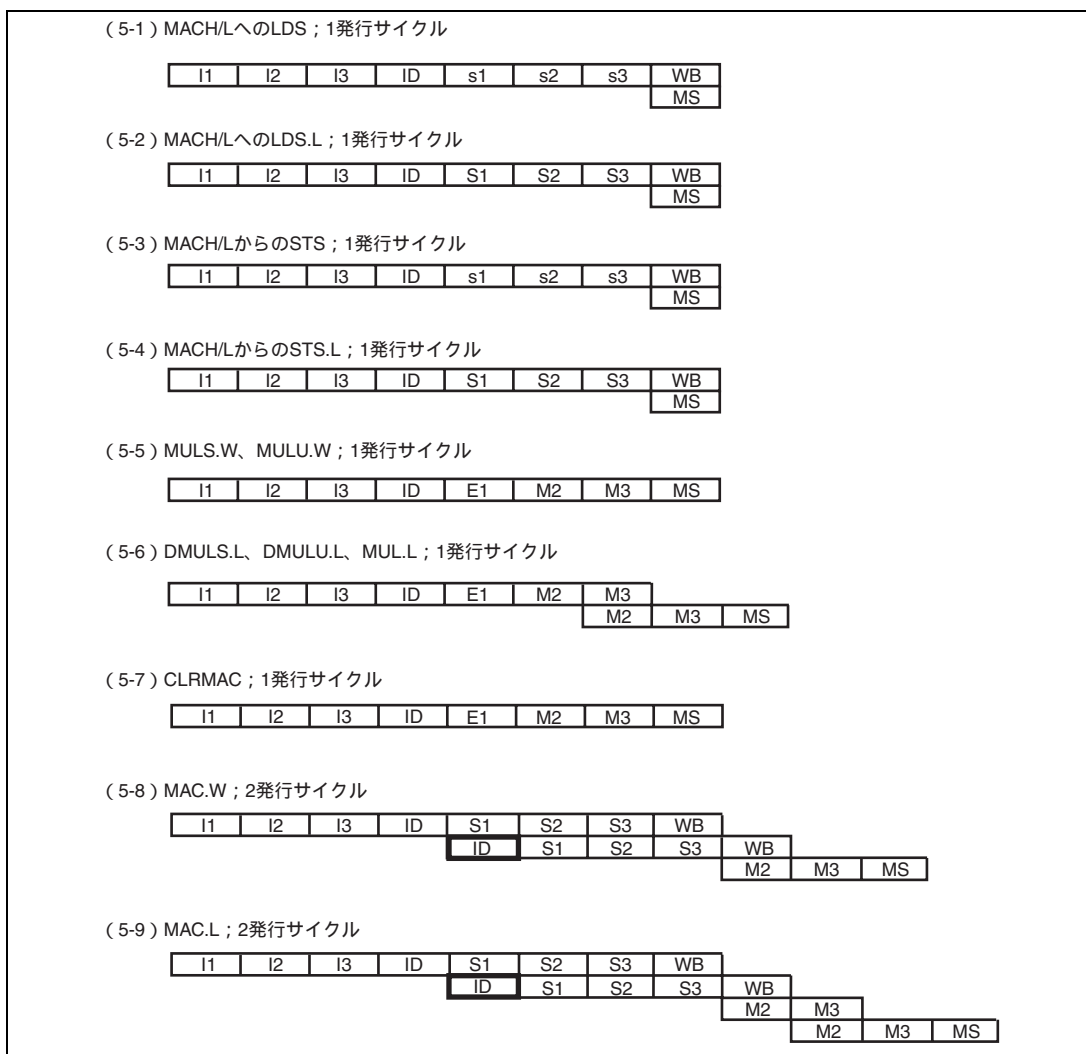


図 4.2 命令実行パターン (6)



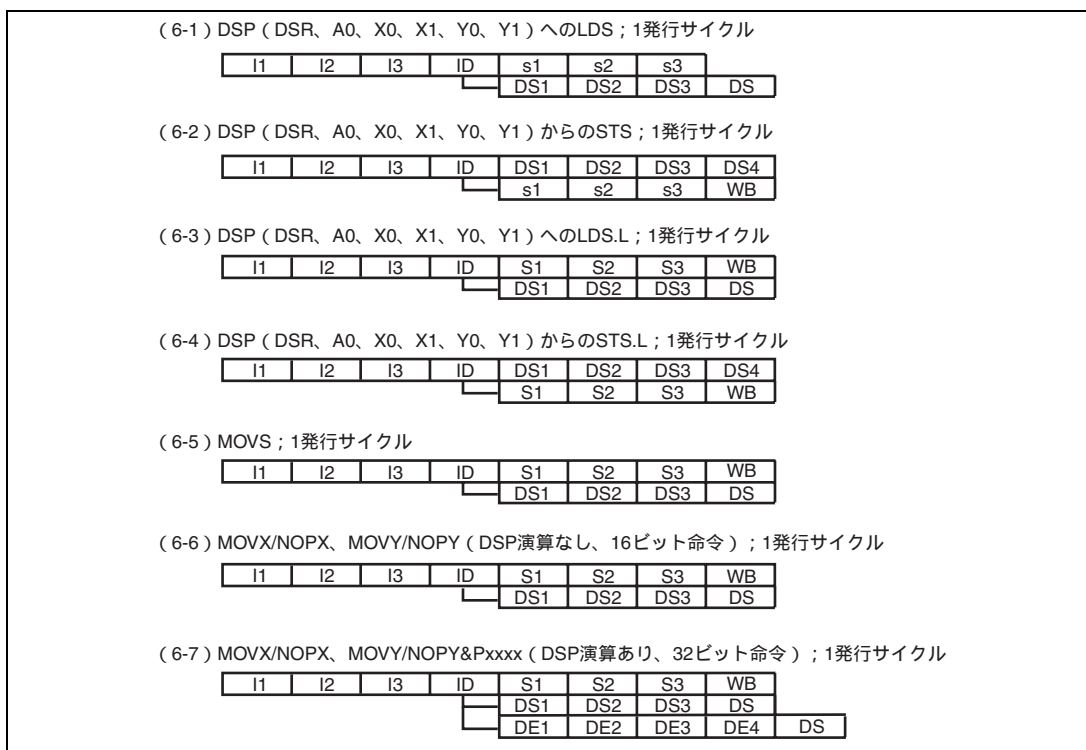


図 4.2 命令実行パターン (7)

## 4. パイプライン動作

### 4.2 並列実行性

命令は利用する内部機能ブロックにより、表 4.2 に示すようなグループに分類されます。表 4.3 に並列実行可能な 2 つの命令の組み合わせをグループごとに示します。たとえば、EX グループに分類された ADD と BR グループの BRA は並列実行できます。

表 4.2 命令グループ

命令グループ	命 令			
EX	ADD	DT	ROTR	SHLR8
	ADDC	EXTS	SETDMX	SHLR16
	ADDV	EXTU	SETDMY	SUB
	AND #imm,R0	MOVT	SETS	SUBC
	AND Rm,Rn	MUL.L	SETT	SUBV
	CLRDMXY	MULS.W	SHAD	SWAP
	CLRMAC	MULU.W	SHAL	TST #imm,R0
	CLRS	NEG	SHAR	TST Rm,Rn
	CLRT	NEGC	SHLD	XOR #imm,R0
	CMP	NOT	SHLL	XOR Rm,Rn
	DIV0S	OR #imm,R0	SHLL2	XTRCT
	DIV0U	OR Rm,Rn	SHLL8	
	DIV1	ROTCL	SHLL16	
	DMUS.L	ROTCR	SHLR	
	DMULU.L	ROTL	SHLR2	
MT	MOV #imm,Rn	MOV Rm,Rn	NOF	
BR	BF	BRAF	BT	JSR
	BF/S	BSR	BT/S	RTS
	BRA	BSRF	JMP	
LS	LDC Rm,CR1	LDRE	MOVUA	STC.L CR2,@-Rn
	LDS Rm,SR1	LDRS	OCBI	STS.L SR1,@-Rn
	LDS Rm,SR2	MOV.[BWL] @adr,R	OCBP	STS SR1,Rn
	LDC.L @Rm+,CR1	MOV.[BWL] R,@adr	OCBWB	
	LDS.L @Rm+,SR1	MOVA	PREF	
	LDS.L @Rm+,SR2	MOVCA.L	STC CR2,Rn	

命令グループ	命令			
CO	AND.B #imm,@(R0,GBR)	LDC.L @Rm+,SGR	OR.B #imm,@(R0,GBR)	SYNCO
	ICBI	LDRC	PREFI	TAS.B
	LDC Rm,DBR	LDTLB	RTE	TRAPA
	LDC Rm,SR	MAC.L	SETRC	TST.B #imm,@(R0,GBR)
	LDC Rm,SGR	MAC.W	SLEEP	XOR.B #imm,@(R0,GBR)
	LDC.L @Rm+,DBR	MOVCO	STC SR,Rn	
	LDC.L @Rm+,SR	MOVLI	STC.L SR,@-Rn	
	DSP-LS	MOVS.L	MOVX.W,	NOPX
MOVS.W		MOVY.W	NOPY	
DSP-CO	DSP 演算命令 Pxxx			

【記号説明】 R : Rm/Rn  
 @adr : アドレス  
 SR1 : MACH/MACL/PR  
 SR2 : DSR/A0/X0/X1/Y0/Y1  
 CR1 : RS/RE/MOD/GBR/Rp\_BANK/SPC/SSR/VBR  
 CR2 : CR1/DBR/SGR

2 命令の同時実行は次の場合に限りです。

1. addr (先行) と addr+2 (後行) の2命令で1Kバイト (最小のページサイズ) をまたがないこと
2. 表4.3 (先行・後行掛け合わせ表) で同時実行可能である (となっている) こと
3. addrにある命令がそれ以前の命令とデータコンフリクトがないこと
4. addr+2にある命令がそれ以前の命令とデータコンフリクトがないこと
5. 2命令とも有効であること

表 4.3 先行・後行掛け合わせ表

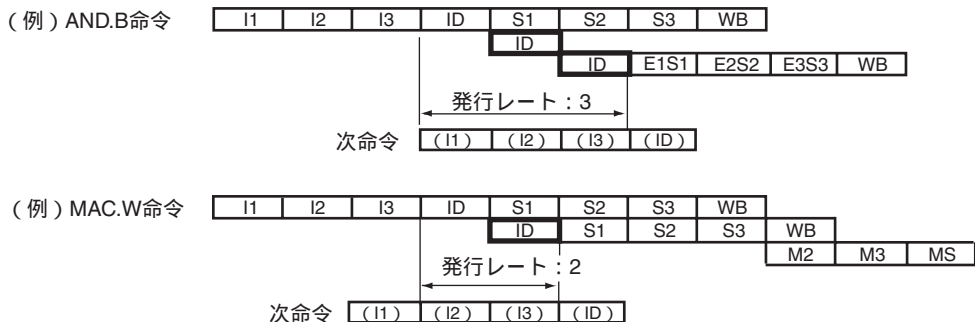
		先行命令 (addr)						
		EX	MT	BR	LS	CO	DSP-LS	DSP-CO
後行命令 (addr+2)	EX	x						
	MT							
	BR			x				
	LS				x		x	
	CO					x	x	
	DSP-LS				x	x	x	
	DSP-CO							x

### 4.3 発行レートと実行ステート

命令の発行レートと実行ステートを表 4.4 に示します。表 4.4 中の命令グループは、表 4.2 における命令の分類に対応します。また、本節に示す発行レートと実行ステートでは、パイプラインストールによるペナルティサイクルは考慮していません。

(1) 発行レート

発行レートは、命令の発行と次の命令の発行の間隔を示します。



(2) 実行ステート

実行ステートは、命令がパイプラインを占有するサイクル数を次の基準で示します。

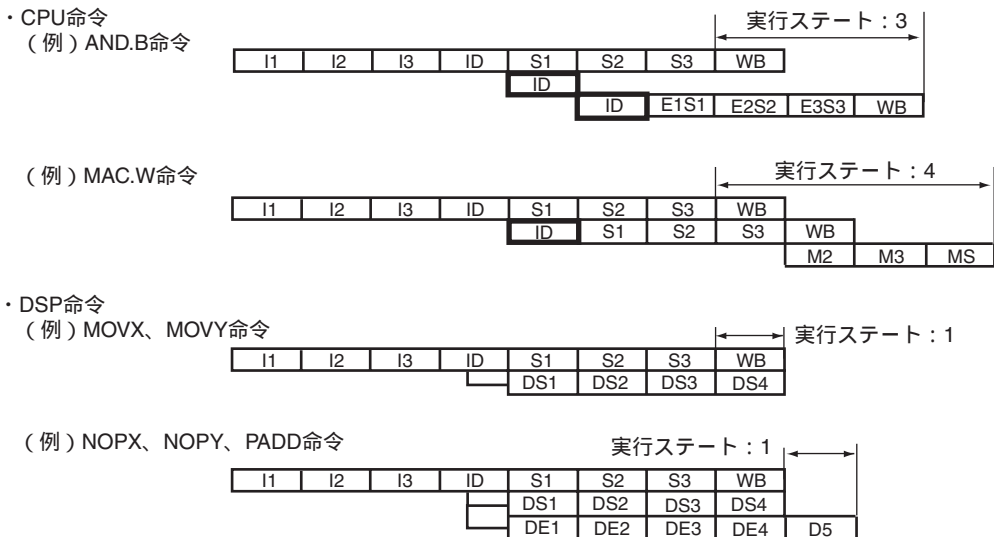


表 4.4 発行レートと実行ステート

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	1	EXTS.B	Rm,Rn	EX	1	1	2-1
	2	EXTS.W	Rm,Rn	EX	1	1	2-1
	3	EXTU.B	Rm,Rn	EX	1	1	2-1
	4	EXTU.W	Rm,Rn	EX	1	1	2-1
	5	MOV	Rm,Rn	MT	1	1	2-4
	6	MOV	#imm,Rn	MT	1	1	2-3
	7	MOVA	@(disp,PC),R0	LS	1	1	2-2
	8	MOV.W	@(disp,PC),Rn	LS	1	1	3-1
	9	MOV.L	@(disp,PC),Rn	LS	1	1	3-1
	10	MOV.B	@Rm,Rn	LS	1	1	3-1
	11	MOV.W	@Rm,Rn	LS	1	1	3-1
	12	MOV.L	@Rm,Rn	LS	1	1	3-1
	13	MOV.B	@Rm+,Rn	LS	1	1	3-1
	14	MOV.W	@Rm+,Rn	LS	1	1	3-1
	15	MOV.L	@Rm+,Rn	LS	1	1	3-1
	16	MOV.B	@(disp,Rm),R0	LS	1	1	3-1
	17	MOV.W	@(disp,Rm),R0	LS	1	1	3-1
	18	MOV.L	@(disp,Rm),Rn	LS	1	1	3-1
	19	MOV.B	@(R0,Rm),Rn	LS	1	1	3-1
	20	MOV.W	@(R0,Rm),Rn	LS	1	1	3-1
	21	MOV.L	@(R0,Rm),Rn	LS	1	1	3-1
	22	MOV.B	@(disp,GBR),R0	LS	1	1	3-1
	23	MOV.W	@(disp,GBR),R0	LS	1	1	3-1
	24	MOV.L	@(disp,GBR),R0	LS	1	1	3-1
	25	MOV.B	Rm,@Rn	LS	1	1	3-1
	26	MOV.W	Rm,@Rn	LS	1	1	3-1
	27	MOV.L	Rm,@Rn	LS	1	1	3-1
	28	MOV.B	Rm,@-Rn	LS	1	1	3-1
	29	MOV.W	Rm,@-Rn	LS	1	1	3-1
	30	MOV.L	Rm,@-Rn	LS	1	1	3-1
	31	MOV.B	R0,@(disp,Rn)	LS	1	1	3-1
	32	MOV.W	R0,@(disp,Rn)	LS	1	1	3-1
	33	MOV.L	Rm,@(disp,Rn)	LS	1	1	3-1
	34	MOV.B	Rm,@(R0,Rn)	LS	1	1	3-1
	35	MOV.W	Rm,@(R0,Rn)	LS	1	1	3-1

#### 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	36	MOV.L	Rm,@(R0,Rn)	LS	1	1	3-1
	37	MOV.B	R0,@(disp,GBR)	LS	1	1	3-1
	38	MOV.W	R0,@(disp,GBR)	LS	1	1	3-1
	39	MOV.L	R0,@(disp,GBR)	LS	1	1	3-1
	40	MOVCA.L	R0,@Rn	LS	1	1	3-4
	41	MOVCO.L	R0,@Rn	CO	1	1	3-9
	42	MOVLIL	@Rm,R0	CO	1	1	3-8
	43	MOVUAL	@Rm,R0	LS	2	2	3-10
	44	MOVUAL	@Rm+,R0	LS	2	2	3-10
	45	MOVT	Rn	EX	1	1	2-1
	46	OCBI	@Rn	LS	1	1	3-4
	47	OCBP	@Rn	LS	1	1	3-4
	48	OCBWB	@Rn	LS	1	1	3-4
	49	PREF	@Rn	LS	1	1	3-4
	50	SWAP.B	Rm,Rn	EX	1	1	2-1
	51	SWAP.W	Rm,Rn	EX	1	1	2-1
	52	XTRCT	Rm,Rn	EX	1	1	2-1
	固定小数点 算術命令	53	ADD	Rm,Rn	EX	1	1
54		ADD	#imm,Rn	EX	1	1	2-1
55		ADDC	Rm,Rn	EX	1	1	2-1
56		ADDV	Rm,Rn	EX	1	1	2-1
57		CMP/EQ	#imm,R0	EX	1	1	2-1
58		CMP/EQ	Rm,Rn	EX	1	1	2-1
59		CMP/GE	Rm,Rn	EX	1	1	2-1
60		CMP/GT	Rm,Rn	EX	1	1	2-1
61		CMP/HI	Rm,Rn	EX	1	1	2-1
62		CMP/HS	Rm,Rn	EX	1	1	2-1
63		CMP/PL	Rn	EX	1	1	2-1
64		CMP/PZ	Rn	EX	1	1	2-1
65		CMP/STR	Rm,Rn	EX	1	1	2-1
66		DIV0S	Rm,Rn	EX	1	1	2-1
67		DIV0U		EX	1	1	2-1
68		DIV1	Rm,Rn	EX	1	1	2-1
69		DMULS.L	Rm,Rn	EX	1	2	5-6
70		DMULU.L	Rm,Rn	EX	1	2	5-6
71		DT	Rn	EX	1	1	2-1

## 4. パイプライン動作

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
固定小数点 算術命令	72	MAC.L	@Rm+, @Rn+	CO	2	5	5-9
	73	MAC.W	@Rm+, @Rn+	CO	2	4	5-8
	74	MUL.L	Rm,Rn	EX	1	2	5-6
	75	MULS.W	Rm,Rn	EX	1	1	5-5
	76	MULU.W	Rm,Rn	EX	1	1	5-5
	77	NEG	Rm,Rn	EX	1	1	2-1
	78	NEGC	Rm,Rn	EX	1	1	2-1
	79	SUB	Rm,Rn	EX	1	1	2-1
	80	SUBC	Rm,Rn	EX	1	1	2-1
	81	SUBV	Rm,Rn	EX	1	1	2-1
論理命令	82	AND	Rm,Rn	EX	1	1	2-1
	83	AND	#imm,R0	EX	1	1	2-1
	84	AND.B	#imm,@(R0,GBR)	CO	3	3	3-2
	85	NOT	Rm,Rn	EX	1	1	2-1
	86	OR	Rm,Rn	EX	1	1	2-1
	87	OR	#imm,R0	EX	1	1	2-1
	88	OR.B	#imm,@(R0,GBR)	CO	3	3	3-2
	89	TAS.B	@Rn	CO	4	4	3-3
	90	TST	Rm,Rn	EX	1	1	2-1
	91	TST	#imm,R0	EX	1	1	2-1
	92	TST.B	#imm,@(R0,GBR)	CO	3	3	3-2
	93	XOR	Rm,Rn	EX	1	1	2-1
	94	XOR	#imm,R0	EX	1	1	2-1
	95	XOR.B	#imm,@(R0,GBR)	CO	3	3	3-2
シフト命令	96	ROTL	Rn	EX	1	1	2-1
	97	ROTR	Rn	EX	1	1	2-1
	98	ROTCL	Rn	EX	1	1	2-1
	99	ROTCR	Rn	EX	1	1	2-1
	100	SHAD	Rm,Rn	EX	1	1	2-1
	101	SHAL	Rn	EX	1	1	2-1
	102	SHAR	Rn	EX	1	1	2-1
	103	SHLD	Rm,Rn	EX	1	1	2-1
	104	SHLL	Rn	EX	1	1	2-1
	105	SHLL2	Rn	EX	1	1	2-1
	106	SHLL8	Rn	EX	1	1	2-1
	107	SHLL16	Rn	EX	1	1	2-1

#### 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
シフト命令	108	SHLR	Rn	EX	1	1	2-1
	109	SHLR2	Rn	EX	1	1	2-1
	110	SHLR8	Rn	EX	1	1	2-1
	111	SHLR16	Rn	EX	1	1	2-1
分岐命令	112	BF	disp	BR	1+0~2	1	1-1
	113	BF/S	disp	BR	1+0~2	1	1-1
	114	BT	disp	BR	1+0~2	1	1-1
	115	BT/S	disp	BR	1+0~2	1	1-1
	116	BRA	disp	BR	1+0~2	1	1-1
	117	BRAF	Rm	BR	1+3	1	1-2
	118	BSR	disp	BR	1+0~2	1	1-1
	119	BSRF	Rm	BR	1+3	1	1-2
	120	JMP	@Rn	BR	1+3	1	1-2
	121	JSR	@Rn	BR	1+3	1	1-2
	122	RTS		BR	1+0~3	1	1-3
システム制御 命令	123	NOP		MT	1	1	2-3
	124	CLRMAC		EX	1	1	5-7
	125	CLRS		EX	1	1	2-1
	126	CLRT		EX	1	1	2-1
	127	ICBI	@Rn	CO	8+5+3	13	3-6
	128	SETS		EX	1	1	2-1
	129	SETT		EX	1	1	2-1
	130	PREFI	@Rn	CO	5+5+3	10	3-7
	131	SYNCO		CO	不定	不定	3-4
	132	TRAPA	#imm	CO	8+5+1	13	1-5
	133	RTE		CO	4+1	4	1-4
	134	SLEEP		CO	不定	不定	1-6
	135	LDTLB		CO	1	1	3-5
	136	LDC	Rm,DBR	CO	4	4	4-2
	137	LDC	Rm,SGR	CO	4	4	4-2
	138	LDC	Rm,GBR	LS	1	1	4-3
	139	LDC	Rm,Rp_BANK	LS	1	1	4-1
	140	LDC	Rm,SR	CO	4+3	4	4-4
	141	LDC	Rm,SSR	LS	1	1	4-1
142	LDC	Rm,SPC	LS	1	1	4-1	
143	LDC	Rm,VBR	LS	1	1	4-1	



## 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
システム制御 命令	144	LDC.L	@Rm+,DBR	CO	4	4	4-6
	145	LDC.L	@Rm+,SGR	CO	4	4	4-6
	146	LDC.L	@Rm+,GBR	LS	1	1	4-7
	147	LDC.L	@Rm+,Rp_BANK	LS	1	1	4-5
	148	LDC.L	@Rm+,SR	CO	6+3	4	4-8
	150	LDC.L	@Rm+,SPC	LS	1	1	4-5
	151	LDC.L	@Rm+,VBR	LS	1	1	4-5
	152	LDS	Rm,MACH	LS	1	1	5-1
	153	LDS	Rm,MACL	LS	1	1	5-1
	154	LDS	Rm,PR	LS	1	1	4-15
	155	LDS.L	@Rm+,MACH	LS	1	1	5-2
	156	LDS.L	@Rm+,MACL	LS	1	1	5-2
	157	LDS.L	@Rm+,PR	LS	1	1	4-16
	158	STC	DBR,Rn	LS	1	1	4-9
	159	STC	SGR,Rn	LS	1	1	4-9
	160	STC	GBR,Rn	LS	1	1	4-9
	161	STC	Rp_BANK,Rn	LS	1	1	4-9
	162	STC	SR,Rn	CO	1	1	4-11
	163	STC	SSR,Rn	LS	1	1	4-9
	164	STC	SPC,Rn	LS	1	1	4-9
	165	STC	VBR,Rn	LS	1	1	4-9
	166	STC.L	DBR,@-Rn	LS	1	1	4-12
	167	STC.L	SGR,@-Rn	LS	1	1	4-12
	168	STC.L	GBR,@-Rn	LS	1	1	4-12
	169	STC.L	Rp_BANK,@-Rn	LS	1	1	4-12
	170	STC.L	SR,@-Rn	CO	1	1	4-14
	171	STC.L	SSR,@-Rn	LS	1	1	4-12
	172	STC.L	SPC,@-Rn	LS	1	1	4-12
	173	STC.L	VBR,@-Rn	LS	1	1	4-12
	174	STS	MACH,Rn	LS	1	1	5-3
175	STS	MACL,Rn	LS	1	1	5-3	
176	STS	PR,Rn	LS	1	1	4-17	
177	STS.L	MACH,@-Rn	LS	1	1	5-4	
178	STS.L	MACL,@-Rn	LS	1	1	5-4	
179	STS.L	PR,@-Rn	LS	1	1	4-18	

#### 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
DSP システム制御 命令	180	SETRC	#imm	CO	2	2	2-6
	181	SETRC	Rn	CO	2	2	2-6
	182	LDRS	@(disp,PC)	LS	1	1	2-5
	183	LDRE	@(disp,PC)	LS	1	1	2-5
	184	STC	MOD,Rn	LS	1	1	4-10
	185	STC	RS,Rn	LS	1	1	4-10
	186	STC	RE,Rn	LS	1	1	4-10
	187	STS	DSR,Rn	LS	1	1	6-2
	188	STS	A0,Rn	LS	1	1	6-2
	189	STS	X0,Rn	LS	1	1	6-2
	190	STS	X1,Rn	LS	1	1	6-2
	191	STS	Y0,Rn	LS	1	1	6-2
	192	STS	Y1,Rn	LS	1	1	6-2
	193	STS.L	DSR,@-Rn	LS	1	1	6-4
	194	STS.L	A0,@-Rn	LS	1	1	6-4
	195	STS.L	X0,@-Rn	LS	1	1	6-4
	196	STS.L	X1,@-Rn	LS	1	1	6-4
	197	STS.L	Y0,@-Rn	LS	1	1	6-4
	198	STS.L	Y1,@-Rn	LS	1	1	6-4
	199	STC.L	MOD,@-Rn	LS	1	1	4-13
	200	STC.L	RS,@-Rn	LS	1	1	4-13
	201	STC.L	RE,@-Rn	LS	1	1	4-13
	202	LDS.L	@Rn+,DSR	LS	1	1	6-3
	203	LDS.L	@Rn+,A0	LS	1	1	6-3
	204	LDS.L	@Rn+,X0	LS	1	1	6-3
205	LDS.L	@Rn+,X1	LS	1	1	6-3	
206	LDS.L	@Rn+,Y0	LS	1	1	6-3	
207	LDS.L	@Rn+,Y1	LS	1	1	6-3	
208	LDC.L	@Rn+,MOD	LS	1	1	4-5	
209	LDC.L	@Rn+,RS	LS	1	1	4-5	
210	LDC.L	@Rn+,RE	LS	1	1	4-5	
211	LDS	Rn,DSR	LS	1	1	6-1	
212	LDS	Rn,A0	LS	1	1	6-1	
213	LDS	Rn,X0	LS	1	1	6-1	
214	LDS	Rn,X1	LS	1	1	6-1	
215	LDS	Rn,Y0	LS	1	1	6-1	

## 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
DSP システム制御 命令	216	LDS	Rn,Y1	LS	1	1	6-1
	217	LDC	Rn,MOD	LS	1	1	4-1
	218	LDC	Rn,RS	LS	1	1	4-1
	219	LDC	Rn,RE	LS	1	1	4-1
	220	LDRC	#imm	CO	2	2	2-6
	221	LDRC	Rn	CO	2	2	2-6
	222	SETDMX		EX	1	1	2-1
	223	SETDMY		EX	1	1	2-1
	224	CLRMXY		EX	1	1	2-1
ダブルデータ 転送	225	NOPX		DSP-LS	1	1	6-6
	226	MOVX.W	@Ax,Dx	DSP-LS	1	1	6-6
	227	MOVX.W	@Ax+,Dx	DSP-LS	1	1	6-6
	228	MOVX.W	@Ax+lx,Dx	DSP-LS	1	1	6-6
	229	MOVX.W	Da,@Ax	DSP-LS	1	1	6-6
	230	MOVX.W	Da,@Ax+	DSP-LS	1	1	6-6
	231	MOVX.W	Da,@Ax+lx	DSP-LS	1	1	6-6
	232	MOVX.W	@Axy,Dxy	DSP-LS	1	1	6-6
	233	MOVX.W	@Axy+,Dxy	DSP-LS	1	1	6-6
	234	MOVX.W	@Axy+lx,Dxy	DSP-LS	1	1	6-6
	235	MOVX.W	Dax,@Axy	DSP-LS	1	1	6-6
	236	MOVX.W	Dax,@Axy+	DSP-LS	1	1	6-6
	237	MOVX.W	Dax,@Axy+lx	DSP-LS	1	1	6-6
	238	MOVX.L	@Axy,Dxy	DSP-LS	1	1	6-6
	239	MOVX.L	@Axy+,Dxy	DSP-LS	1	1	6-6
	240	MOVX.L	@Axy+lx,Dxy	DSP-LS	1	1	6-6
	241	MOVX.L	Dax,@Axy	DSP-LS	1	1	6-6
	242	MOVX.L	Dax,@Axy+	DSP-LS	1	1	6-6
	243	MOVX.L	Dax,@Axy+lx	DSP-LS	1	1	6-6
	244	NOPY		DSP-LS	1	1	6-6
	245	MOVY.W	@Ay,Dy	DSP-LS	1	1	6-6
	246	MOVY.W	@Ay+,Dy	DSP-LS	1	1	6-6
	247	MOVY.W	@Ay+ly,Dy	DSP-LS	1	1	6-6
	248	MOVY.W	Da,@Ay	DSP-LS	1	1	6-6
	249	MOVY.W	Da,@Ay+	DSP-LS	1	1	6-6
	250	MOVY.W	Da,@Ay+ly	DSP-LS	1	1	6-6
	251	MOVY.W	@Ayx,Dyx	DSP-LS	1	1	6-6

#### 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
ダブルデータ 転送	252	MOVY.W	@Ayx+,Dyx	DSP-LS	1	1	6-6
	253	MOVY.W	@Ayx+ly,Dyx	DSP-LS	1	1	6-6
	254	MOVY.W	Day,@Ayx	DSP-LS	1	1	6-6
	255	MOVY.W	Day,@Ayx+	DSP-LS	1	1	6-6
	256	MOVY.W	Day,@Ayx+ly	DSP-LS	1	1	6-6
	257	MOVY.W	@Ayx,Dyx	DSP-LS	1	1	6-6
	258	MOVY.L	@Ayx+,Dyx	DSP-LS	1	1	6-6
	259	MOVY.L	@Ayx+ly,Dyx	DSP-LS	1	1	6-6
	260	MOVY.L	Day,@Ayx	DSP-LS	1	1	6-6
	261	MOVY.L	Day,@Ayx+	DSP-LS	1	1	6-6
	262	MOVY.L	Day,@Ayx+ly	DSP-LS	1	1	6-6
シングルデータ 転送	263	MOV.S.W	@-As,Ds	DSP-LS	1	1	6-5
	264	MOV.S.W	@As,Ds	DSP-LS	1	1	6-5
	265	MOV.S.W	@As+,Ds	DSP-LS	1	1	6-5
	266	MOV.S.W	@As+ls,Ds	DSP-LS	1	1	6-5
	267	MOV.S.W	Ds,@-As	DSP-LS	1	1	6-5
	268	MOV.S.W	Ds,@As	DSP-LS	1	1	6-5
	269	MOV.S.W	Ds,@As+	DSP-LS	1	1	6-5
	270	MOV.S.W	Ds,@As+ls	DSP-LS	1	1	6-5
	271	MOV.S.L	@-As,Ds	DSP-LS	1	1	6-5
	272	MOV.S.L	@As,Ds	DSP-LS	1	1	6-5
	273	MOV.S.L	@As+,Ds	DSP-LS	1	1	6-5
	274	MOV.S.L	@As+ls,Ds	DSP-LS	1	1	6-5
	275	MOV.S.L	Ds,@-As	DSP-LS	1	1	6-5
	276	MOV.S.L	Ds,@As	DSP-LS	1	1	6-5
	277	MOV.S.L	Ds,@As+	DSP-LS	1	1	6-5
	278	MOV.S.L	Ds,@As+ls	DSP-LS	1	1	6-5
DSP 演算	279	PABS	Sx,Dz	DSP-CO	1	1	6-7
	280	DCT PABS	Sx,Dz	DSP-CO	1	1	6-7
	281	DCF PABS	Sx,Dz	DSP-CO	1	1	6-7
	282	PABS	Sy,Dz	DSP-CO	1	1	6-7
	283	DCT PABS	Sy,Dz	DSP-CO	1	1	6-7
	284	DCF PABS	Sy,Dz	DSP-CO	1	1	6-7
	285	PADD	Sx,Sy,Du	DSP-CO	1	1	6-7
		PMULS	Se,Sf,Dg				
286	PADD	Sx,Sy,Dz	DSP-CO	1	1	6-7	

## 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
DSP 演算	287	DCT PADD	Sx,Sy,Dz	DSP-CO	1	1	6-7
	288	DCF PADD	Sx,Sy,Dz	DSP-CO	1	1	6-7
	289	PADDC	Sx,Sy,Dz	DSP-CO	1	1	6-7
	290	PAND	Sx,Sy,Dz	DSP-CO	1	1	6-7
	291	DCT PAND	Sx,Sy,Dz	DSP-CO	1	1	6-7
	292	DCF PAND	Sx,Sy,Dz	DSP-CO	1	1	6-7
	293	PCLR	Du	DSP-CO	1	1	6-7
		PMULS	Se,Sf,Dg				
	294	PCLR	Dz	DSP-CO	1	1	6-7
	295	DCT PCLR	Dz	DSP-CO	1	1	6-7
	296	DCF PCLR	Dz	DSP-CO	1	1	6-7
	297	PCMP	Sx,Sy	DSP-CO	1	1	6-7
	298	PCOPY	Sx,Dz	DSP-CO	1	1	6-7
	299	DCT PCOPY	Sx,Dz	DSP-CO	1	1	6-7
	300	DCF PCOPY	Sx,Dz	DSP-CO	1	1	6-7
	301	PCOPY	Sy,Dz	DSP-CO	1	1	6-7
	302	DCT PCOPY	Sy,Dz	DSP-CO	1	1	6-7
	303	DCF PCOPY	Sy,Dz	DSP-CO	1	1	6-7
	304	PDEC	Sx,Dz	DSP-CO	1	1	6-7
	305	DCT PDEC	Sx,Dz	DSP-CO	1	1	6-7
	306	DCT PDEC	Sx,Dz	DSP-CO	1	1	6-7
	307	PDEC	Sy,Dz	DSP-CO	1	1	6-7
	308	DCT PDEC	Sy,Dz	DSP-CO	1	1	6-7
	309	DCF PDEC	Sy,Dz	DSP-CO	1	1	6-7
	310	PDMSB	Sx,Dz	DSP-CO	1	1	6-7
	311	DCT PDMSB	Sx,Dz	DSP-CO	1	1	6-7
	312	DCF PDMSB	Sx,Dz	DSP-CO	1	1	6-7
	313	PDMSB	Sy,Dz	DSP-CO	1	1	6-7
	314	DCT PDMSB	Sy,Dz	DSP-CO	1	1	6-7
	315	DCF PDMSB	Sy,Dz	DSP-CO	1	1	6-7
	316	PINC	Sx,Dz	DSP-CO	1	1	6-7
317	DCT PINC	Sx,Dz	DSP-CO	1	1	6-7	
318	DCF PINC	Sx,Dz	DSP-CO	1	1	6-7	
319	PINC	Sy,Dz	DSP-CO	1	1	6-7	
320	DCT PINC	Sy,Dz	DSP-CO	1	1	6-7	
321	DCF PINC	Sy,Dz	DSP-CO	1	1	6-7	

#### 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
DSP 演算	322	PLDS	Dz,MACH	DSP-CO	1	1	6-7
	323	DCT PLDS	Dz,MACH	DSP-CO	1	1	6-7
	324	DCF PLDS	Dz,MACH	DSP-CO	1	1	6-7
	325	PLDS	Dz,MACL	DSP-CO	1	1	6-7
	326	DCT PLDS	Dz,MACL	DSP-CO	1	1	6-7
	327	DCF PLDS	Dz,MACL	DSP-CO	1	1	6-7
	328	PMULS	Se,Sf,Dg	DSP-CO	1	1	6-7
	329	PNEG	Sx,Dz	DSP-CO	1	1	6-7
	330	DCT PNEG	Sx,Dz	DSP-CO	1	1	6-7
	331	DCF PNEG	Sx,Dz	DSP-CO	1	1	6-7
	332	PNEG	Sy,Dz	DSP-CO	1	1	6-7
	333	DCT PNEG	Sy,Dz	DSP-CO	1	1	6-7
	335	DCF PNEG	Sy,Dz	DSP-CO	1	1	6-7
	336	POR	Sx,Sy,Dz	DSP-CO	1	1	6-7
	337	DCT POR	Sx,Sy,Dz	DSP-CO	1	1	6-7
	338	DCF POR	Sx,Sy,Dz	DSP-CO	1	1	6-7
	339	PRND	Sx,Dz	DSP-CO	1	1	6-7
	340	DCT PRND	Sx,Dz	DSP-CO	1	1	6-7
	341	DCF PRND	Sx,Dz	DSP-CO	1	1	6-7
	342	PRND	Sy,Dz	DSP-CO	1	1	6-7
	343	DCT PRND	Sy,Dz	DSP-CO	1	1	6-7
	344	DCF PRND	Sy,Dz	DSP-CO	1	1	6-7
	345	PSHA	Sx,Sy,Dz	DSP-CO	1	1	6-7
	346	DCT PSHA	Sx,Sy,Dz	DSP-CO	1	1	6-7
	347	DCF SHA	Sx,Sy,Dz	DSP-CO	1	1	6-7
	348	PSHA	#imm,Dz	DSP-CO	1	1	6-7
	349	PSHL	Sx,Sy,Dz	DSP-CO	1	1	6-7
	350	DCT PSHL	Sx,Sy,Dz	DSP-CO	1	1	6-7
	351	DCF PSHL	Sx,Sy,Dz	DSP-CO	1	1	6-7
	352	PSHL	#imm,Dz	DSP-CO	1	1	6-7
	353	PSTS	MACH,Dz	DSP-CO	1	1	6-7
	354	DCT PSTS	MACH,Dz	DSP-CO	1	1	6-7
	355	DCF PSTS	MACH,Dz	DSP-CO	1	1	6-7
	356	PSTS	MACL,Dz	DSP-CO	1	1	6-7
	357	DCT PSTS	MACL,Dz	DSP-CO	1	1	6-7
	358	DCF PSTS	MACL,Dz	DSP-CO	1	1	6-7

#### 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
DSP 演算	359	PSUB	Sx,Sy,Du	DSP-CO	1	1	6-7
		PMULS	Se,Sf,Dg				
	360	PSUB	Sx,Sy,Dz	DSP-CO	1	1	6-7
	361	DCT PSUB	Sx,Sy,Dz	DSP-CO	1	1	6-7
	362	DCF PSUB	Sx,Sy,Dz	DSP-CO	1	1	6-7
	363	PSUB	Sy,Sx,Dz	DSP-CO	1	1	6-7
	364	DCT PSUB	Sy,Sx,Dz	DSP-CO	1	1	6-7
	365	DCF PSUB	Sy,Sx,Dz	DSP-CO	1	1	6-7
	366	PSUBC	Sx,Sy,Dz	DSP-CO	1	1	6-7
	367	PSWAP	Sx,Dz	DSP-CO	1	1	6-7
	368	DCT PSWAP	Sx,Dz	DSP-CO	1	1	6-7
	369	DCF PSWAP	Sx,Dz	DSP-CO	1	1	6-7
	370	PSWAP	Sy,Dz	DSP-CO	1	1	6-7
	371	DCT PSWAP	Sy,Dz	DSP-CO	1	1	6-7
	372	DCF PSWAP	Sy,Dz	DSP-CO	1	1	6-7
	373	PXOR	Sx,Sy,Dz	DSP-CO	1	1	6-7
	374	DCT PXOR	Sy,Sx,Dz	DSP-CO	1	1	6-7
375	DCF PXOR	Sx,Sy,Dz	DSP-CO	1	1	6-7	

#### 4. パイプライン動作

---



---

## 5. 例外処理

---

### 5.1 概要

例外処理とは、リセット、一般例外、割り込みが検出されたときに、通常とは異なるプログラムで必要な処理を行うことをいいます。たとえば、実行中の命令の異常終了が発生した場合、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するといった制御が必要になります。このような機能をサポートするために、異常終了に対して、例外処理要求を発生させ、ユーザが作成した例外処理ルーチンに制御の流れが渡ることなどを総称して例外処理と呼びます。

本 LSI の例外処理は、リセット、一般例外、割り込みの 3 つに分類されます。

### 5.2 レジスタの説明

例外処理に関するレジスタ構成を表 5.1 に示します。

表 5.1 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	H'1F00 0020	32
例外事象レジスタ	EXPEVT	R/W	H'FF00 0024	H'1F00 0024	32
割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028	H'1F00 0028	32
非サポート検出例外レジスタ	EXPMASK	R/W	H'FF2F 0004	H'1F2F 0004	32

【注】 \* P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 5.2 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
TRA	不定	不定	保持	-	不定	保持
EXPEVT	H'0000 0000	H'0000 0020	保持	-	H'0000 0000	保持
INTEVT	不定	不定	保持	-	不定	保持
EXPMASK	H'0000 0001F	H'0000 001F	保持	-	H'0000 001F	保持

## 5. 例外処理

### 5.2.1 TRAPA 例外レジスタ (TRA)

TRAPA 例外レジスタ (TRA) は、TRAPA 命令の 8 ビットイミディエイトデータ (imm) が設定されるレジスタです。TRA は TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TRACODE								—	—
初期値:	0	0	0	0	0	0	—	—	—	—	—	—	—	—	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 本ビットに関しては「製品に関する一般的な注意事項」を参照してください。
9~2	TRACODE	不定	R/W	TRAPA コード TRAPA 命令の 8 ビットイミディエイトデータが設定されます。
1、0	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。

### 5.2.2 例外事象レジスタ (EXPEVT)

例外事象レジスタ (EXPEVT) には、リセットと一般例外事象による 12 ビットの例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。EXPEVT はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	EXPCODE											
初期値:	0	0	0	0	0	0	0	0	0	0	0/1	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
11~0	EXPCODE	H'000 または H'020	R/W	例外コード リセット、一般例外の例外コードが設定されます。詳細は表 5.3 を参照してください。

### 5.2.3 割り込み事象レジスタ (INTEVT)

割り込み事象レジスタ (INTEVT) には、割り込み要求による 14 ビットの例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。INTEVT はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	INTCODE													
初期値:	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13~0	INTCODE	不定	R/W	例外コード 割り込みの例外コードが設定されます。詳細は表 5.3 を参照してください。

## 5. 例外処理

### 5.2.4 非サポート検出例外レジスタ (EXPMASK)

EXPMASK レジスタは、下記 1.~5.に該当する機能が使用された場合に例外を発生および抑止することができます。この 1.~5.に該当する機能は、今後の SuperH シリーズでサポートしない予定です。あらかじめ EXPMASK レジスタの例外発生機能を用いることで、ソフトウェアがこれらの機能を用いているかを調べることが可能となり、今後の SuperH シリーズで本機能が未サポートになった場合に容易にソフトウェアの移行を行うことが可能となります。

1. RTE命令、RTB命令の遅延スロットがNOP命令以外である場合
2. 分岐命令の遅延スロットがSLEEP命令である場合
3. 分岐命令の遅延スロットがDSP32ビット命令である場合
4. SETRC命令を実行した場合
5. IC/OCメモリ割り付け連想書き込みを実行した場合

非サポート検出例外レジスタ (EXPMASK) の値により、1.~3.はスロット不当命令例外、4.は一般不当命令例外、5.はデータアドレスエラー例外をそれぞれ発生させることができます。

EXPMASK レジスタの該当ビットに 1 を書き込むことにより例外の発生を抑止できますが、今後の互換性を維持するため、上記機能を使用しないプログラムを作成することを強く推奨します。

EXPMASK レジスタの更新は CPU のストア命令で行ってください。更新後一度レジスタを読み出した後、以下の操作のどちらかを実行してください。この操作をすることによって、更新後のレジスタ値で動作することが保証されます。

- RTE命令を実行
- 任意アドレス (キャッシング不可領域でも良い) に対するICBI命令を実行

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	MM CAW	CMP RPT	BRDS DSP	BRDS SLP	RTE DS
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
4	MMCAW	1	R/W	メモリ割り付けキャッシュ連想ライト 0: メモリ割り付け連想書き込みを禁止します。(データアドレスエラー例外発生) 1: メモリ割り付け連想書き込みを許可します。
3	CMRPRT	1	R/W	互換リポート 0: 互換リポート制御を禁止 (SETRC 命令を一般不当命令とします)。 1: 互換リポート制御を許可します。
2	BRDSDSP	1	R/W	遅延スロット DSP32 ビット命令 0: 遅延スロットにある DSP32 ビット命令を禁止します。 (DSP32 ビット命令をスロット不当命令とします) 1: 遅延スロットにある DSP32 ビット命令を許可します。
1	BRDSSLP	1	R/W	遅延スロット SLEEP 命令 0: 遅延スロットにある SLEEP 命令を禁止します。 (SLEEP 命令をスロット不当命令とします) 1: 遅延スロットにある SLEEP 命令を許可します。
0	RTEDS	1	R/W	RTE 遅延スロット 0: RTE 命令の遅延スロットにある NOP 命令以外を禁止します。 (NOP 命令以外をスロット不当命令とします) 1: RTE 命令の遅延スロットにある NOP 命令以外を許可します。

### 5.3 例外処理の機能

#### 5.3.1 例外処理の流れ

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、R15 の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

基本的な例外処理の流れは次のようになります。SR のビットの意味の詳細は、「第 2 章 プログラミングモデル」を参照してください。

1. PC、SRおよびR15の内容がそれぞれSPC、SSRおよびSGRに退避されます。
2. SRのブロックビット (BL) が1に設定されます。
3. SRのモードビット (MD) が1に設定されます。
4. SRのレジスタバンクビット (RB) が1に設定されます。
5. 例外コードは、例外要因の例外事象レジスタ (EXPEVT) のビット11~0、または割り込み事象レジスタ (INTEVT) のビット13~0に書き込まれます。
6. CPUOPMのINTMUビットが1のとき、SRのIMASKが割り込み受け付けレベルに変化されます。
7. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

#### 5.3.2 例外処理ベクタアドレス

リセットベクタアドレスは H'A000 0000 に固定されています。例外、割り込みのベクタアドレスはベクタベースアドレスに各事象のオフセット値を加えたアドレスです。ベクタベースアドレスはベクタベースレジスタ (VBR) にソフトウェアで設定します。たとえば、TLB ミス例外のオフセットは H'0000 0400 ですから、VBR に H'9C08 0000 を設定しておくと、例外処理ベクタアドレスは H'9C08 0400 になります。例外処理ベクタアドレスでさらに例外が発生すると、二重例外となり、回復が困難になりますので、ベクタアドレスはアドレス変換の対象とならない P1、P2 領域のアドレスを指定してください。

## 5.4 例外の種類と優先順位

表 5.3 に、例外の種類、優先順位、ベクタアドレス、および例外 / 割り込みコードを示します。

表 5.3 例外一覧

例外区分	実行形態	例外	優先レベル	優先順位	例外遷移先		例外コード
					ベクタベース	オフセット	
リセット	中断型	パワーオンリセット	1	1	H'A000 0000	-	H'000
		マニュアルリセット	1	2	H'A000 0000	-	H'020
		H-UDI リセット	1	1	H'A000 0000	-	H'000
		命令 TLB 多重ヒット例外	1	3	H'A000 0000	-	H'140
		データ TLB 多重ヒット例外	1	4	H'A000 0000	-	H'140
一般例外	再実行型	命令実行前ユーザブレイク* <sup>1</sup>	2	0	(VBR/DBR)	H'100/ -	H'1E0
		命令アドレスエラー	2	1	(VBR)	H'100	H'0E0
		命令 TLB ミス例外* <sup>2</sup>	2	2	(VBR)	H'400	H'040
		命令 TLB 保護違反例外* <sup>2</sup>	2	3	(VBR)	H'100	H'0A0
		一般不当命令例外	2	4	(VBR)	H'100	H'180
		スロット不当命令例外	2	4	(VBR)	H'100	H'1A0
		データアドレスエラー (読み出し)	2	5	(VBR)	H'100	H'0E0
		データアドレスエラー (書き込み)	2	5	(VBR)	H'100	H'100
		データ TLB ミス例外 (読み出し)* <sup>2</sup>	2	6	(VBR)	H'400	H'040
		データ TLB ミス例外 (書き込み)* <sup>2</sup>	2	6	(VBR)	H'400	H'060
		データ TLB 保護違反例外 (読み出し)* <sup>2</sup>	2	7	(VBR)	H'100	H'0A0
		データ TLB 保護違反例外 (書き込み)* <sup>2</sup>	2	7	(VBR)	H'100	H'0C0
		初期ページ書き込み例外* <sup>2</sup>	2	8	(VBR)	H'100	H'080
	完了型	無条件トラップ (TRAPA)	2	4	(VBR)	H'100	H'160
命令実行後ユーザブレイク* <sup>1</sup>		2	9	(VBR/DBR)	H'100/ -	H'1E0	
割り込み	完了型	ノンマスカブル割り込み	3	-	(VBR)	H'600	H'1C0
		一般割り込み要求	4	-	(VBR)	H'600	-

優先度 : まず優先レベルで順位付けし、同一レベル内を優先順位で順位付けします (より小さい数値が優先度が高くなります)。

例外遷移先 : リセットでは H'A000 0000、その他では (VBR + オフセット) へ制御が移ります。

例外コード : リセット、一般例外では EXPEVT、割り込みでは INTEVT に格納されます。

【注】 \*1 CBCR.UBDE=1 のとき PC=DBR。その他は PC=VBR+H'100

\*2 これらの例外コードは、メモリマネジメントユニット (MMU) を使用する場合に有効です。

## 5.5 例外フロー

### 5.5.1 例外フロー

図 5.1 に、命令実行と例外処理の基本動作を概念的に示します。ここでは説明の都合上、命令を 1 命令ずつ逐次的に実行することを基本として説明しています。図 5.1 には、例外種別（リセット、一般例外、割り込み）間の優先順位が表されています。なお図 5.1 では、例外成立時のレジスタ設定を SSR、SPC、SGR、EXPEVT/INTEVT、SR、および PC に限っていますが、例外によってはこのほかにもハードウェアによって自動的に設定されるレジスタがあります。詳細は、「5.6 各例外の説明」を参照してください。また、遅延分岐命令と遅延スロット命令を実行中の例外処理や、2 回データアクセスが発生する命令については「5.6.6 複数の例外が発生する場合の優先順位」を参照してください。

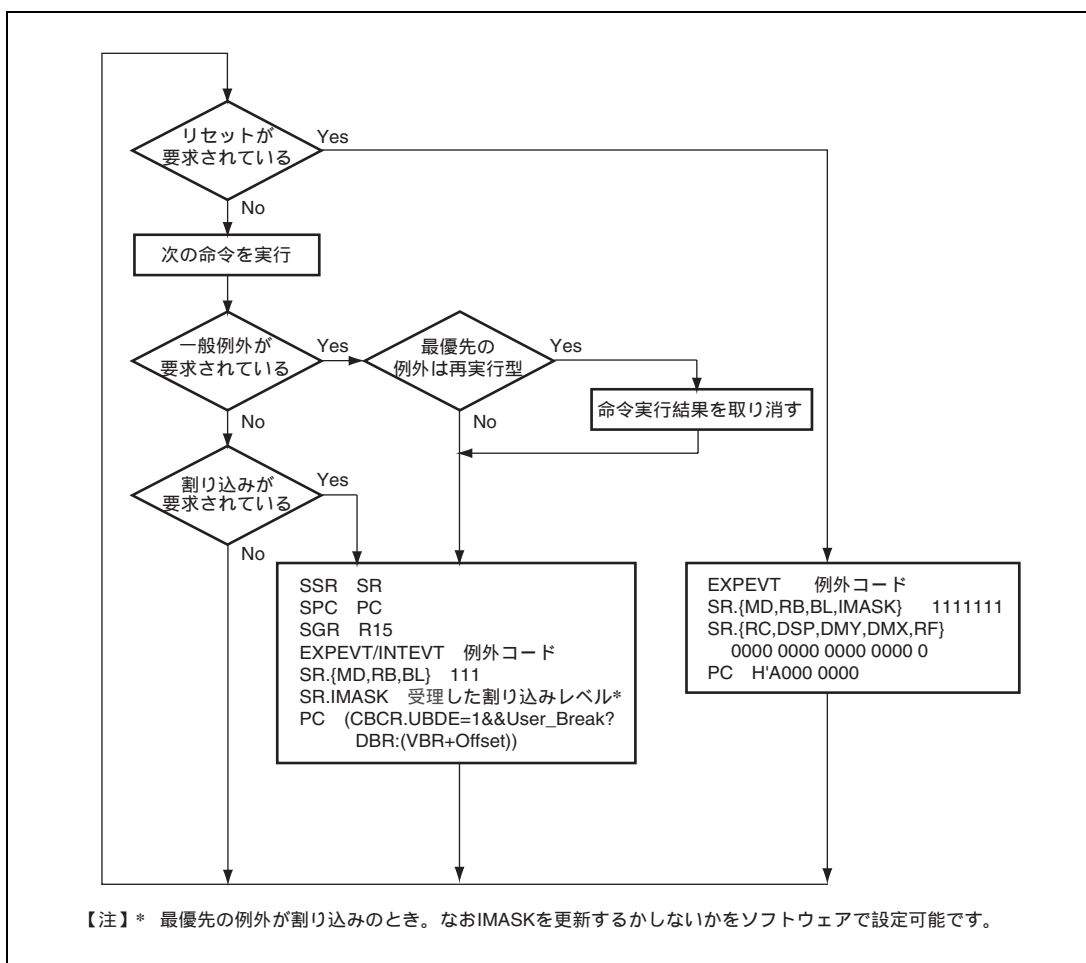


図 5.1 命令実行と例外処理



## 5.5.2 例外要因の受け付け

2つ以上の例外が同時に発生したときに受け付ける例外を決定するため、すべての例外には優先順位が決められています。一般例外の中の一般不当命令例外、スロット不当命令例外、無条件トラップ例外の3つは、それぞれの命令解析の過程で検出され、命令パイプラインの中では同時に発生しない例外です。このため優先順位は同じ値になっています。一般例外は命令実行に従った順序で検出されます。しかし、例外処理は命令の流れの順序(プログラム順)に従って処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の受け付け順序の例を図5.2に示します。

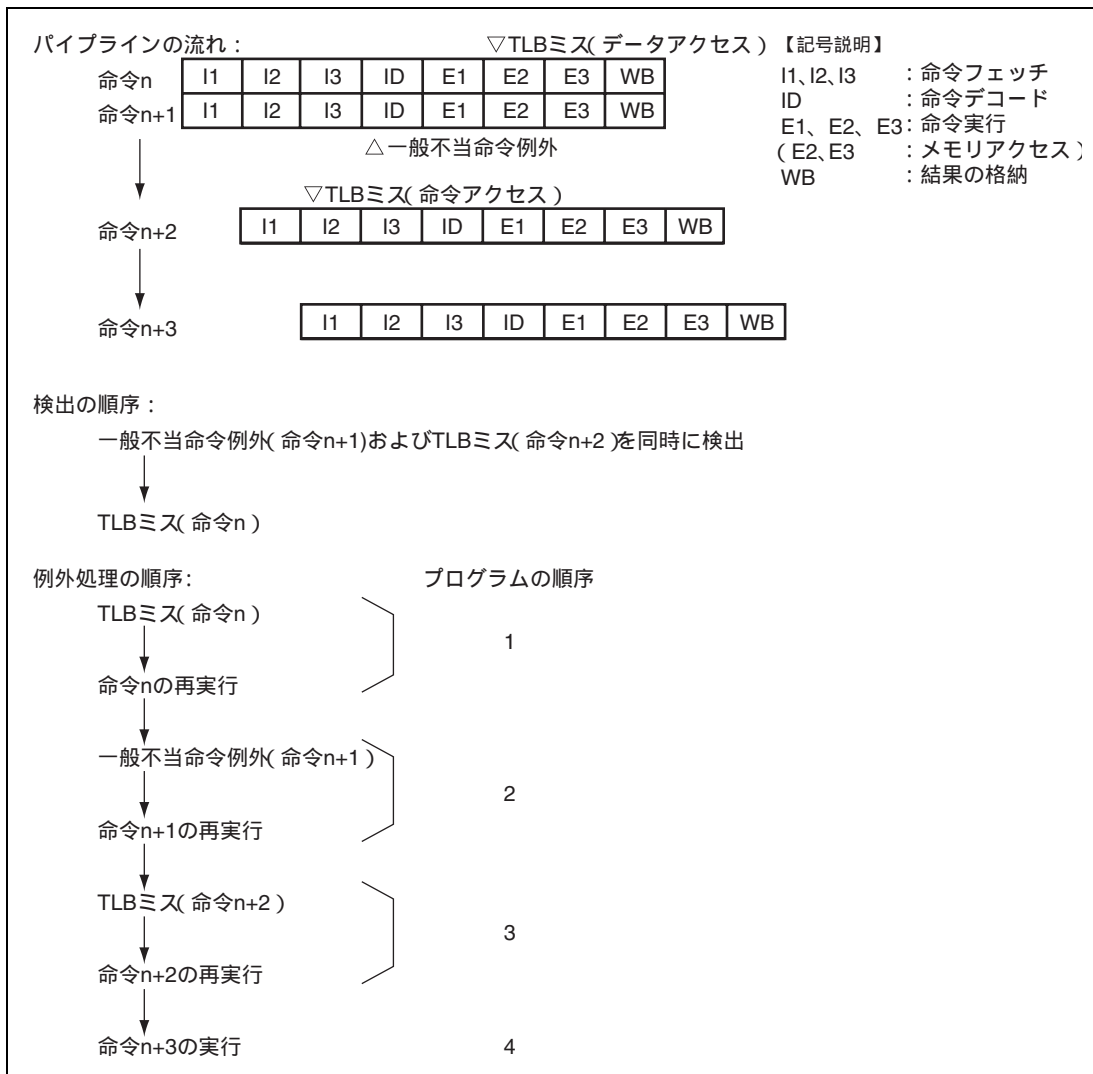


図 5.2 一般例外の受け付け順序の例

## 5. 例外処理

---

### 5.5.3 例外要求と BL ビット

SR の BL ビットが 0 のとき、例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、ユーザブレイクを除く例外が発生した場合には、CPU の内部レジスタ、他のモジュールのレジスタは、マニュアルリセット後の状態になり、リセットと同アドレス (H'A000 0000) に分岐します。ユーザブレイクが発生した場合の動作については「第 32 章 ユーザブレイクコントローラ (UBC)」を参照してください。また、通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。ノンマスカブル割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

このように、通常は例外状態を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを 0 クリアします。

### 5.5.4 例外処理からの復帰

例外処理からの復帰は、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR に回復され、SPC のアドレスに分岐して、例外処理ルーチンから復帰します。もし、メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にセットしてから、SPC と SSR を回復し、RTE 命令を発行してください。

## 5.6 各例外の説明

個別の例外処理動作について、発生要因、発生時の遷移先アドレス、遷移時のプロセッサの動作を説明します。

### 5.6.1 リセット

#### (1) パワーオンリセット

- 条件：

パワーオンリセット要求

- 動作：

EXPEVTにH'000を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ずパワーオンリセットを行ってください。

#### (2) マニュアルリセット

- 条件：

SR.BL = 1のときにユーザブレークを除く例外が発生した場合

- 動作：

EXPEVTにH'020を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。パワーオンリセットとマニュアルリセットでは初期化されるレジスタが異なります。詳細は、各章のレジスタの説明を参照してください。

#### (3) H-UDI リセット

- 要因：SDIR.TI[7:4]がB'0110（ネゲート）、またはB'0111（アサート）

- 遷移先アドレス：H'A000 0000

- 遷移時動作：

例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

#### (4) 命令 TLB 多重ヒット例外

- 要因：ITLBのアドレスが多重に一致

- 遷移先アドレス：H'A000 0000

- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、ハードウェアマニュアルの各章のレジスタの説明を参照してください。

## 5. 例外処理

---

### (5) データ TLB 多重ヒット例外

- 要因：UTLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。CPU および内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

### 5.6.2 一般例外

#### (1) データ TLB ミス例外

- 要因：UTLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'040を、書き込みの場合は例外コードH'060をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
Data_TLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'00000040 : H'00000060;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}
```

## (2) 命令 TLB ミス例外

- 要因：ITLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'040をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
ITLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000040;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}
```

## (3) 初期ページ書き込み例外

- 要因：ストアアクセスでTLBにヒットしたが、ダーティビットD=0
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'080をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Initial_write_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
```

## 5. 例外処理

---

```
SPC = PC;
SSR = SR;
SGR = R15;
EXPEVT = H'00000080;
SR.MD = 1;
SR.RB = 1;
SR.BL = 1;
PC = VBR + H'00000100;
}
```

### (4) データ TLB 保護違反例外

- 要因：アクセスが以下に示すUTLBのプロテクション情報（PRビット）に反する。

PR	特権モード	ユーザモード
00	読み出しのみ可	アクセス不可
01	読み出し / 書き込み可	アクセス不可
10	読み出しのみ可	読み出しのみ可
11	読み出し / 書き込み可	読み出し / 書き込み可

- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合には例外コードH'0A0を、書き込みの場合には例外コードH'0C0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Data_TLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'000000A0 : H'000000C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

## (5) 命令 TLB 保護違反例外

- 要因：アクセスが以下に示すITLBのプロテクション情報（PRビット）に反する。

PR	特権モード	ユーザモード
0	アクセス可	アクセス不可
1	アクセス可	アクセス可

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
ITLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

## 5. 例外処理

---

### (6) データアドレスエラー

- 要因：

- ワードデータをワード境界以外 ( $2n+1$ ) からアクセス
- ロングワードデータをロングワードデータ境界以外 ( $4n+1$ ,  $4n+2$ ,  $4n+3$ ) からアクセス
- ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFへのアクセス

ただし、H'E500 0000 ~ H'E5FF FFFFは、それぞれユーザモードからアクセスする設定が可能です。詳しくは「第7章 メモリマネジメントユニット (MMU)」および「第9章 内蔵メモリ」を参照してください。

- X/Yメモリのアクセスが、Xバス保護制御レジスタ外またはYバス保護制御レジスタ外に発生した場合
  - EXPMASKレジスタのMMCAWビットが0で、IC/OCメモリ割り付け連想書き込み
- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'0E0を、書き込みの場合は例外コードH'100をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット (MMU)」を参照してください。

```
Data_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access? H'000000E0: H'00000100;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```



## (7) 命令アドレスエラー

## • 要因：

- ワード境界以外 ( $2n + 1$ ) から命令フェッチ
- ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFから命令フェッチ

ただし、H'E500 0000 ~ H'E5FF FFFFはユーザモードからアクセスする設定が可能です。詳しくは「第9章 内蔵メモリ」を参照してください。

## • 遷移先アドレス：VBR + H'0000 0100

## • 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0E0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット(MMU)」を参照してください。

```
Instruction_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

## (8) 無条件トラップ

## • 要因：TRAPA命令の実行

## • 遷移先アドレス：VBR + H'0000 0100

## • 遷移時動作：

処理完了型の例外のため、TRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時のSR、R15をSSR、SGRに退避します。TRAPA命令中の8ビットのイミディエイトを4倍して、TRA[9:0]にセットします。例外コードH'160をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

## 5. 例外処理

---

```
TRAPA_exception()  
{  
    SPC = PC + 2;  
    SSR = SR;  
    SGR = R15;  
    TRA = imm << 2;  
    EXPEVT = H'00000160;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

### (9) 一般不当命令例外

- 要因：

- 遅延スロット以外にある未定義命令をデコード

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

未定義命令：H'FFFD

- 遅延スロット以外にある特権命令をユーザモードでデコード

特権命令：LDC、STC、RTE、LDTLB、SLEEP、

ただし、LDC、STCでGBR、MOD、RS、REをアクセスする命令を除きます。また、LDC、STCでSRをアクセスする命令はSR.DSPビットが0のときのみ特権命令です。

- SRレジスタのDSPビットが0のときに、遅延スロット以外にあるDSP命令を実行

- SRレジスタのDSPビットが0のときに、遅延スロット以外にあるDSPをサポートするCPU命令を実行

DSPをサポートするCPU命令：MOD、RE、RSに対するLDC/STC

A0、X0、X1、Y0、Y1に対するLDS/STS

SETRC Rm、SETRC #imm、LDRS @(disp,PC)、LDRE @(disp,PC)、LDR Rm、LDR #imm、SETDMX、SETDMY、CLRDMXY

- EXPMASKレジスタのCMRPTビットが0で、SETRC命令を実行

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'180をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義コードをデコードした場合には動作を保証しません。

```

General_illegal_instruction_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000180;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

## (10) スロット不当命令例外

## • 要因:

- 遅延スロットにある未定義命令をデコード

遅延分岐命令: JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

未定義命令: H'FFFD

- 遅延スロット内のPCを書き換える命令をデコード

PCを書き換える命令: JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、  
LDC Rm,SR、LDC.L @Rm+,SR、ICBI、PREFI

- 遅延スロット内の特権命令をユーザモードでデコード

特権命令: LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC、STCでGBR、MOD、RS、REをアクセスする命令を除きます。また、LDC、STCでSRをアクセスする命令はSR.DSPビットが0のときのみ特権命令です。

- 遅延スロット内のPC相対MOV命令、MOVA命令、LDRS命令、LDRE命令をデコード

- SRレジスタのDSPビットが0のときに、遅延スロットにあるDSP命令を実行

- SRレジスタのDSPビットが0のときに、遅延スロットにあるDSPをサポートするCPU命令を実行

DSPをサポートするCPU命令: MOD、RE、RSに対するLDC/STC

A0、X0、X1、Y0、Y1に対するLDS/STS

SETRC Rm、SETRC #imm、LDRS @(disp,PC)、LDRE @(disp,PC)、LDRC  
Rm、LDRC #imm、SETDMX、SETDMY、CLRDMXY

- EXPMASKレジスタのCMRPTビットが0で、遅延スロットにあるSETRC命令を実行

- EXPMASKレジスタのBRDSDSPビットが0で、遅延スロットにあるDSP32ビット命令を実行

- EXPMASKレジスタのBRDSSLPビットが0で、遅延スロットにあるSLEEP命令を実行

- EXPMASKレジスタのRTEDSビットが0で、遅延スロットにあるNOP命令以外の命令を実行

## 5. 例外処理

---

- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'1A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義命令をデコードした場合には動作を保証しません。

```
Slot_illegal_instruction_exception()  
{  
    SPC = PC - 2;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'000001A0;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

### (11) 命令実行前ユーザブレーク / 命令実行後ユーザブレーク

- 要因：ユーザブレークポイントコントローラに設定したブレーク条件が成立
- 遷移先アドレス：VBR + H'0000 0100、またはDBR
- 遷移時動作：

命令実行後ブレークの場合、ブレークポイントを設定した命令の直後の命令のPCをSPCに退避します。命令実行前ブレークの場合、ブレークポイントを設定した命令のPCをSPCに退避します。

ブレーク発生時のSR、R15をSSR、SGRに退避します。例外コードH'1E0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。ただし、PC=DBRに分岐することも可能です。

データブレークを設定した場合のPCについてなど、詳細はハードウェアマニュアルの「第32章 ユーザブレークコントローラ (UBC)」を参照してください。

```
User_break_exception()  
{  
    SPC = (pre_execution break? PC : PC + 2);  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'000001E0;  
    SR.MD = 1;
```

```
SR.RB = 1;  
SR.BL = 1;  
PC = (CBCR.UBDE==1 ? DBR : VBR + H'00000100);  
}
```

## 5. 例外処理

---

### 5.6.3 互換リピート制御中の例外処理

#### (1) 互換リピート制御中の例外処理における制限事項

従来の SH3-DSP では、互換リピート制御中に発生する例外要求に対する扱いや例外の受け付けられた際の処理は、通常の状態とは異なり、場合によっては例外を受け付けなかったり、受け付けても正しく復帰できないというような特殊仕様がありましたが、SH4AL-DSP では、互換リピート制御中であっても通常どおり例外を受け付けることができます。

#### (2) 互換リピート制御中の禁止命令

従来の SH3-DSP ではリピート検出命令の次の命令からリピート最終命令の間に、以下に示す命令を配置できませんでしたが、SH4AL-DSP ではさらにリピート検出命令に以下に示す命令と遅延分岐命令の遅延スロットを配置できなくなります。また従来 SH3-DSP 互換リピート制御では、リピート検出命令の次の命令からリピート最終命令の間に、以下に示す命令を配置すると不当命令例外が発生しましたが、SH4AL-DSP では、リピート最終命令に以下に示す命令を配置する場合のみ不当命令例外が発生し、それ以外の場合は不当命令例外が発生しません。

- 分岐命令

BRA、BSR、BT、BF、BT/S、BF/S、BSRF、RTS、BRAf、RTE、JSR、JMP

- リピート制御命令

SETRC、LDRS、LDRE、LDRC

- SR、RS、REに対するロード命令

LDC Rn,SR、LDC.L @Rn+,SR、LDC Rn,RE、LDC.L @Rn+,RE、LDC Rn,RS、LDC.L @Rn+,RS

#### (3) リピート検出命令の次命令以降への分岐および例外受理に関する制限

従来の SH3-DSP では、リピート検出命令の次命令以降に分岐した場合はリピートループが認識されませんでした。SH4AL-DSP ではリピートループが認識されることがあります。ただしリピート検出命令の次命令からリピート最終命令を分岐先に指定することは禁止します。また従来の SH3-DSP では例外ルーチンからの復帰も本制限に含まれていましたが、SH4AL-DSP では例外ルーチンの復帰は本制限に含まれません。

### 5.6.4 拡張リピート制御中の例外処理

#### (1) リピート最終命令での不当命令

リピート最終命令として次の命令を配置すると不当命令例外を発生します。

- 遅延分岐命令

BRA、BSR、BT/S、BF/S、BSRF、RTS、BRAf、RTE、JSR、JMP

- リピート制御命令

SETRC、LDRS、LDRE、LDRC

- SR、RS、REに対するロード命令

LDC Rn,SR、LDC.L @Rn+,SR、LDC Rn,RE、LDC.L @Rn+,RE、LDC Rn,RS、LDC.L @Rn+,RS

【注】 非遅延の分岐命令 (BT、BF) は、最終命令として配置してもかまいません。また、遅延分岐命令の遅延スロットがリピート最終命令となってもかまいません。これらの場合、分岐したときも分岐しなかったときも RC[11:0]の値は1減じられます。分岐しなかったときはリピート開始命令へ、分岐したときには分岐先へ制御が移行します。

### 5.6.5 割り込み

#### (1) NMI (ノンマスクابل割り込み)

- 要因：NMI端子のエッジ検出

- 遷移先アドレス：VBR + H'0000 0600

- 遷移時動作：

本割り込みを受け付けた命令の直後のPC、SRを、それぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'1C0をINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0600に分岐します。本割り込みは、SRのBLビットが0のときはSRの割り込みマスクビットによってマスクされず、最優先で受け付けられます。SRのBLビットが1のとき本割り込みがマスクされるか、受け付けるかをソフトウェアによって設定可能です。

## 5. 例外処理

---

```
NMI ()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'000001C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    if(cond)SR.IMASK = B'1111;
    PC = VBR + H'00000600;
}
```

### (2) 一般割り込み要求

- 要因：

SRの割り込みマスクビットが割り込み要求の割り込みレベルより小さく、かつSRのBLが0(命令の切れ目で受け付けます。)

- 遷移先アドレス：VBR + H'0000 0600

- 遷移時動作：

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。各割り込み要因に対応したコードをINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、VBR + H'0600に分岐します。

```
Module_interruption()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'00000400 ~ H'00003FE0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    if(cond)SR.IMASK = level_of_accepted_interrupt();
    PC = VBR + H'00000600;
}
```



### 5.6.6 複数回の例外が発生する場合の優先順位

メモリを2回アクセスする命令や、不可分である遅延付き分岐命令と遅延スロット命令などでは、複数回例外が発生します。この場合、通常の例外優先順位と異なるので、注意が必要です。

#### (1) メモリを2回アクセスする命令

MAC 命令やメモリ メモリ間論理演算命令、TAS 命令、MOVUA 命令は1つの命令でデータ転送が2回あるため、それぞれのデータ転送時に例外の発生を検出します。そのため、以下の順位で判定します。

1. 1回目のデータ転送のデータアドレスエラー
2. 1回目のデータ転送のTLBミス
3. 1回目のデータ転送のTLB保護違反
4. 1回目のデータ転送の初期ページ書き込み例外
5. 2回目のデータ転送のデータアドレスエラー
6. 2回目のデータ転送のTLBミス
7. 2回目のデータ転送のTLB保護違反
8. 2回目のデータ転送の初期ページ書き込み例外

#### (2) 不可分である遅延付き分岐命令と遅延スロット命令

遅延付き分岐命令と遅延スロット命令は不可分であるため、1つの命令として扱われます。そのため、それぞれの命令における例外についても、優先順位が通常と異なります。遅延スロット命令が1回のデータ転送しか持たない場合の順位を示します。

1. 遅延付き分岐命令における優先レベル1、2の中断型および再実行型例外をチェックします。
2. 遅延スロット命令における優先レベル1、2の中断型および再実行型例外をチェックします。
3. 遅延付き分岐命令における優先レベル2の完了型例外をチェックします。
4. 遅延スロット命令における優先レベル2の完了型例外をチェックします。
5. 遅延付き分岐命令における優先レベル3と遅延スロット命令における優先レベル3をチェックします（この2つの間の優先順位はありません）。
6. 遅延付き分岐命令における優先レベル4と遅延スロット命令における優先レベル4をチェックします（この2つの間の優先順位はありません）。

遅延スロット命令が2回目のデータ転送を持つ場合、2.において、(1)のように2回チェックを行います。

なお、受け付けた例外（最も優先度が高い例外）が遅延スロット命令の再実行型例外である場合、分岐命令のPRレジスタ書き込み動作（BSR、BSRF、JSRのPC PR動作）は抑止されません。ただし、その場合のPRレジスタの内容は保証されません。

### 5.7 注意事項

#### (1) 例外処理からの復帰

1. SRのBLビットをソフトウェアでチェックしてください。メモリにSPC、SSRを退避していた場合には、SRのBLビットを1にしてからそれらを回復してください。
2. RTE命令を発行してください。RTE命令により、SPCがPCに、SSRがSRにセットされ、SPCのアドレスに分岐して、例外処理から復帰します。

#### (2) SR.BL = 1 のときに例外または割り込みが発生した場合

##### 1. 例外

ユーザブレイクを除く例外が発生した場合には例外が発生した命令のPCがSPCにセットされ、マニュアルリセットが発生します。このときEXPEVTは、H'0000 0020となり、SSRは不定値となります。

##### 2. 割り込み

通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアでSRのBLビットが0にクリアされてから受け付けられます。ノンマスカブル割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

ただし、スリープまたはスタンバイ状態では、SRのBLビットが1であっても、割り込みを受け付けます。

#### (3) 例外発生時の SPC

##### 1. 再実行型の例外

例外が発生した命令のPCがSPCにセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロット命令で発生した場合、直前の遅延分岐命令の条件が成立する、しないに関係なく遅延分岐命令のPCがSPCにセットされます。

##### 2. 完了型の例外、割り込み

例外が発生した命令の次の命令のPCがSPCにセットされます。ただし、遅延スロット付き分岐命令で発生した場合、分岐先のPCがSPCにセットされます。

#### (4) RTE 命令の遅延スロット

1. RTE命令の遅延スロットに配置された命令は、SSRに退避されていた値がSRに復帰されたのち実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後とのSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレイクの受け付けは行われません。

(5) SRレジスタ値変更と例外の受け付け

1. LDC命令によりSRレジスタのMDやBLビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します\*。完了型例外では次命令の実行後に例外が受け付けられませんが、完了型例外のうち、割り込みに関しては次命令の実行前に受け付けを行います。

【注】 \* SRに対するLDC命令が実行されると、後続命令への命令フェッチが再び行われ、新しいSRの値で命令フェッチ例外の再評価が行われます。

## 5. 例外处理

---

---

## 6. DSP ユニット

---

### 6.1 概要

本 LSI は、DSP ユニットおよび DSP ユニットに直結された X/Y メモリを内蔵しており、それらを制御する拡張命令セットが提供されています。拡張される命令セットは、次の 4 つのグループに分けられます (図 6.1)。

#### (1) CPU ユニット用のシステム制御命令

DSP 機能が有効になると CPU ユニット用のシステム制御命令として以下の命令が利用できるようになります。

- リピートループを制御するための命令や、リピートループ制御用のコントロールレジスタに対するアクセス命令が追加されます。ゼロオーバーヘッドリピート制御機構を使用することによりループ構造のプログラムを効率的に実行することができるようになります。本機能に関しては、「6.3 CPU 拡張命令」で詳しく説明します。
- モジュロアドレッシングを制御する命令、およびコントロールレジスタをアクセスする命令が追加されます。循環構造を持つデータ構造にアクセスできる機能をモジュロアドレッシングと呼びます。これらの命令については、「6.4 DSP データ転送命令」で詳しく説明します。
- DSP ユニットのレジスタに対するアクセス命令が追加されます。DSP ユニットの幾つかのレジスタを CPU ユニットのシステムレジスタであるかのように操作することが可能になります。これらの命令については、「6.4 DSP データ転送命令」で詳しく説明します。

【注】 SH4AL-DSP では、SETRC 命令を用いたリピート制御 (互換リピート制御) を LDRC 命令を用いた拡張リピート制御でエミュレーションしています。このため互換リピート制御中に RS レジスタ、RE レジスタ、SR レジスタの RF ビットの値が内部状態に応じて変化します。この仕様は従来の SH3-DSP シリーズの互換リピート制御と異なっていますので、互換リピートを使用する際はリピート制御マクロ (REPEAT) を用いるか、SETRC 命令により 1 以上のリピート回数を設定する前には必ず LDRS および LDRE 命令を実行するようにしてください。なお互換リピート制御には幾つか制約事項が存在するため、リピート制御を使用する場合は LDRC 命令を用いた拡張リピートの使用を強く推奨します。

#### (2) DSP ユニットのレジスタと内蔵 X/Y メモリ間のデータ転送命令

DSP ユニットのレジスタと内蔵 X/Y メモリ間のデータ転送命令は、ダブルデータ転送命令とも呼ばれます。このグループの命令のコード長は、CPU 命令と同様に 16 ビットです。DSP ユニットと DSP ユニットに直結された内蔵 X/Y メモリのデータ転送を行います。このグループの命令は、DSP ユニット用の演算命令と組み合わせて記述することが可能です。このグループの命令については、「6.4 DSP データ転送命令」で詳しく説明します。

## 6. DSP ユニット

### (3) DSP ユニットのレジスタと全論理アドレス空間の間のデータ転送命令

DSP ユニットのレジスタと全論理アドレス空間の間のデータ転送命令は、シングルデータ転送命令とも呼ばれます。このグループの命令のコード長は、CPU 命令同様に 16 ビットです。DSP ユニットと全論理アドレス空間の間でデータ転送をおこないます。このグループの命令については、「6.4 DSP データ転送命令」で詳しく説明します。

### (4) DSP ユニット用の演算命令

DSP ユニット用の演算命令は、DSP データ演算命令とも呼ばれます。この命令は、DSP ユニットを用いたデジタル信号処理演算を高速に実行するために用意されています。この命令のコード長は、32 ビットです。DSP データ演算命令のフィールドは、A フィールドと B フィールドに分かれています。A フィールドにはダブルデータ転送命令の機能を記述することができ、B フィールドには ALU 演算命令、および乗算命令を記述することができます。記述されたこれらの命令は並列に実行され、同時に 4 つの処理 (ALU 演算、乗算、および 2 つのデータ転送) を実行することができます。

このグループの命令については、「6.5 DSP データ演算命令」で詳しく説明します。

- 【注】
- 32 ビット命令コードは、16 ビットの命令コードが 2 個連続したものと扱われます。このため、32 ビット命令もワード境界から配置することができます。32 ビットの命令コードは、メモリ上にワードサイズ単位で、アドレス  $2n$ 、 $2n+2$  の順番に格納してください。
  - リトルエンディアンの場合でも、命令コードの上位ワードと下位ワードがそれぞれワード単位でアクセスされるものとして、メモリ上に格納してください。

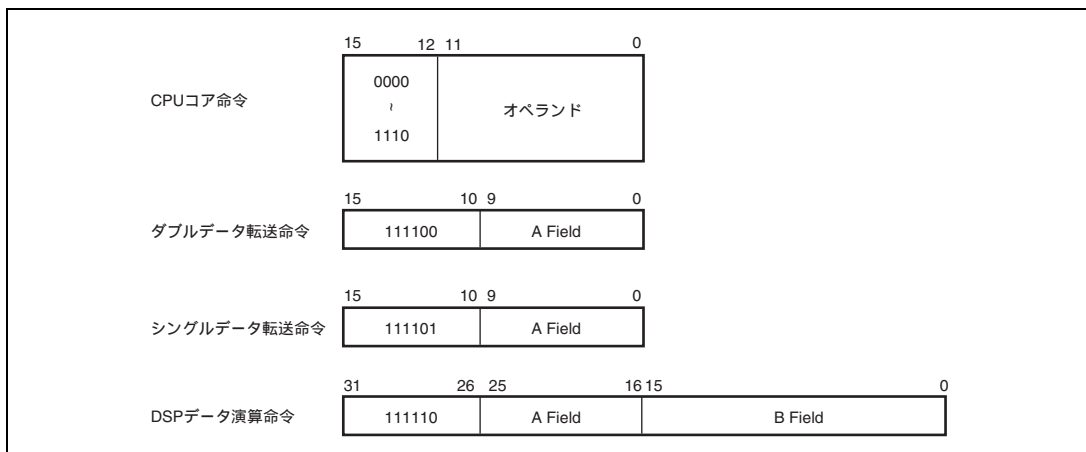


図 6.1 DSP 命令の命令形式

## 6.2 DSP モードのリソース

### 6.2.1 処理モード

CPU の処理モードは、ステータスレジスタ (SR) のモードビット (MD) および DSP ビット (DSP) により、次の表のように拡張されます。

表 6.1 処理モード

MD	DSP	処理モード	説明	
			特権保護されたリソースのアクセスや特権命令の実行	DSP 機能
0	0	ユーザモード	不可	無効
0	1	ユーザ DSP モード	不可	有効
1	0	特権モード	可能	無効
1	1	特権 DSP モード	可能	有効

このように、DSP ビットによる DSP 機能の制御は、MD ビットによる制御と独立に作用します。ただし、DSP ビットは特権モードでのみ値の変更が可能であり、DSP モードの変更を行うには特権モードや特権 DSP モードへの遷移が必要になります。

### 6.2.2 DSP モードのメモリマップ

DSP モードのときは、論理アドレス空間の P4 領域の一部がユーザ DSP モードでもアクセス可能になります。ユーザ DSP モードでアクセスするときは、この領域を Uxy 領域と呼びます。X/Y メモリは、この領域に配置され、ユーザ DSP モードでもアクセスが可能です。

表 6.2 論理アドレス空間

アドレス範囲	名称	保護	説明
H'E5000000 – H'E5FFFFFF	P4/Uxy	特権または DSP	16M バイト物理空間、キャッシング不可、アドレス変換不可 特権モード、特権 DSP モードおよびユーザ DSP モードでアクセス可能。

## 6. DSP ユニット

### 6.2.3 CPU のレジスタセット

DSP モードでは、CPU ユニットのステータスレジスタ (SR) に制御ビットが拡張され、リピートスタートレジスタ (RS)、リピートエンドレジスタ (RE)、およびモジュロレジスタ (MOD) の3つのコントロールレジスタが拡張されます。

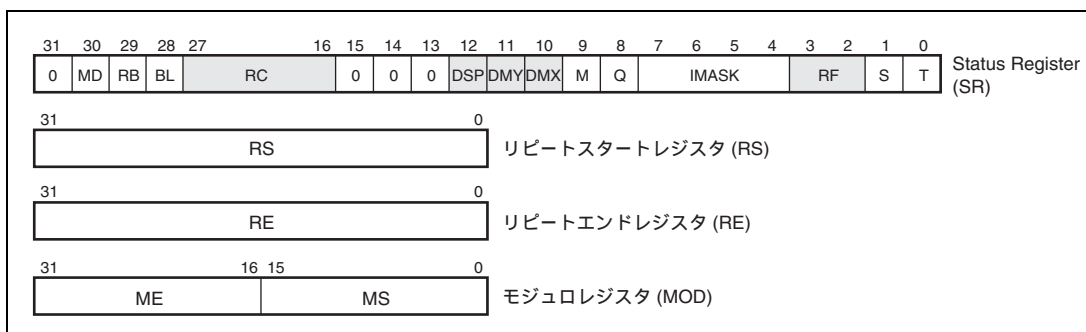


図 6.2 DSP モードでの CPU レジスタ

#### (1) ステータスレジスタ (SR) の拡張

DSP モードでは、以下に示す制御ビットが拡張されます。これらのビットを DSP 拡張ビットと呼びます。DSP 拡張ビットは、DSP モードでのみ有効です。

表 6.3 ステータスレジスタの拡張

ビット	ビット名	初期値	R/W	説明
31 ~ 28	-	-	-	拡張前の部分については、「第 2 章 プログラミングモデル」を参照してください。
27 ~ 16	RC	すべて 0	R/W	リピートカウンタ リピートカウンタは、リピート命令で制御されるリピートループの、残り実行回数を保持しています。このビットは、特権モード、特権 DSP モード、ユーザ DSP モードで更新可能です。リセット状態に遷移することにより 0 に初期化されます。例外処理状態に遷移しても値は変化しません。
15 ~ 13	-	-	-	拡張前の部分については、「第 2 章 プログラミングモデル」を参照してください。
12	DSP	0	R/W	DSP ビット DSP ビットは、DSP 機能の有効および無効を制御します。このビットに 1 を書くことで DSP 機能が有効になります。このビットは特権モードおよび特権 DSP モードでのみ更新可能で、ユーザ DSP モードでは更新できません。リセット状態に遷移することにより 0 に初期化されます。例外処理状態に遷移しても値は変化しません。
11	DMY	0	R/W	モジュロ制御ビット
10	DMX	0	R/W	モジュロ制御ビットは、XY メモリへのアクセス命令でのモジュロアドレッシングの有効・無効を制御します。これらのビットは特権モード、特権 DSP モード、ユーザ DSP モードで更新可能です。リセット状態に遷移することにより 0 に初期化されます。例外処理状態に遷移しても値は変化しません。



ビット	ビット名	初期値	R/W	説 明
9~4	-	-	-	拡張前の部分については、「第2章 プログラミングモデル」を参照してください。
3, 2	RF	0	R/W	リピートフラグビット リピートフラグビットは、リピート制御命令によって使用されます。これらのビットは、特権モード、特権 DSP モード、およびユーザ DSP モードで更新可能です。リセット状態に遷移することにより、0 に初期化されず。例外処理状態に遷移しても値は変化しません。
1~0	-	-	-	拡張前の部分については、「第2章 プログラミングモデル」を参照してください。

#### (2) リピートスタートレジスタ (RS)

リピートスタートレジスタは、リピート機能で制御されるリピートモジュールの先頭の命令アドレスを示します。リピートスタートレジスタは、DSP モードでアクセスできます。リセット状態に遷移したときの初期値は、不定です。例外処理状態に遷移しても値は変化しません。

また SH4AL-DSP では、SETRC 命令を用いたリピート制御 (互換リピート制御) を LDRC 命令を用いた拡張リピート制御でエミュレーションしています。このため互換リピート制御中に RS レジスタの値が内部状態に応じて変化します。

#### (3) リピートエンドレジスタ (RE)

リピートエンドレジスタには、リピートモジュールの最終命令の実行を検出するためのアドレスが格納されます。リピートエンドレジスタは、DSP モードでのみアクセスできます。リセット状態に遷移することにより、0 に初期化されます。例外処理状態に遷移しても値は変化しません。

また SH4AL-DSP では、SETRC 命令を用いたリピート制御 (互換リピート制御) を LDRC 命令を用いた拡張リピート制御でエミュレーションしています。このため互換リピート制御中に RE レジスタの値が内部状態に応じて変化します。

#### (4) モジュールレジスタ (MOD)

上位 16 ビットにモジュールアドレッシングの終了アドレスを、下位 16 ビットにモジュールアドレッシングの開始アドレスを格納します。MOD レジスタの上位 16 ビットを ME レジスタ、下位 16 ビットを MS レジスタと表現する場合もあります。モジュールレジスタは、DSP モードでのみアクセスできます。リセット状態に遷移したときの初期値は、不定です。例外処理状態に遷移しても値は変化しません。

これらのレジスタは、コントロールレジスタへのロード (LDC) およびストア (STC) 命令でアクセスできません。RS、RE、および MOD に対する LDC と STC 命令は、特権 DSP モードとユーザ DSP モードで使用可能になります。

## 6. DSP ユニット

SR に対する LDC と STC 命令は、本来、MD ビットが 1 の場合にのみ使用可能な命令ですが、ユーザ DSP モードにおいても使用可能になります。ただし、値を書き換えられる制御ビットは、RC、RF、DMX、および DMY に限定されます。LDC と STC 命令使用時のステータスレジスタ (SR) の詳細は、下記のとおりです。

- ユーザモード時は、SR に対する LDC 命令と STC 命令は不当命令例外となります。
- 特権モードと特権 DSP モードでは、SR の全ビットが更新できます。
- ユーザ DSP モード時は、SR は STC 命令で読み出し可能です。

ユーザ DSP モード時は、SR への LDC 命令発行は可能ですが、DSP 拡張ビットのみ更新できます。

表 6.4 各処理モードにおける SR の各ビットの動作説明

フィールド	特権モード	ユーザモード	特権 DSP モード	ユーザ DSP モード	専用命令による DSP 関連ビットへのアクセス
	MD=1 & DSP=0	MD=0 & DSP=0	MD=1 & DSP=1	MD=0 & DSP=1	
MD	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	
RB	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	
BL	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	
RC	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : OK	SETRC、LDRC 命令
DSP	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	
DMY	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : OK	SETDMY、CLRDMXY 命令
DMX	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : OK	SETDMX、CLRDMXY 命令
M	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	
Q	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	
IMASK	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	
RF	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : OK	SETRC、LDRC 命令
S	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	
T	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG	

【注】 M、Q、S、T ビットはユーザモードで専用命令によってセット/クリアが可能です。

### 【記号説明】

S : STC 命令

L : LDC 命令

OK : STC と LDC 動作を許可します。

不当命令 : 実行すると不当命令例外が発生します。

NG : 前の値を保持します。変化しません。

例外処理状態に遷移すると、DSP モードでの拡張ビットも含めた SR の全制御ビットが SSR へ待避されます。復帰時には、拡張 DSP ビットも含めて全制御ビットを回復してください。リピータ制御を例外処理前の状態に復帰する必要がある場合には、RS と RE レジスタを例外処理前の値に回復してください。モジュロ制御を例外処理前の状態に復帰する必要がある場合には、MOD レジスタを例外処理前の値に回復してください。

## 6.2.4 DSP レジスタ

DSP ユニットは、8 つのデータレジスタ (A0、A1、X0、X1、Y0、Y1、M0、および M1) と 1 つのステータスレジスタ (DSR) を持っています。図 6.3 に DSP レジスタを示します。これらは、すべて 32 ビット幅のレジスタです。レジスタ A0 および A1 は、8 ビット幅のガードビットレジスタ (A0G および A1G) と組み合わせて、40 ビット幅のレジスタとしても使用されます。DSR は、DSP データ演算結果の状態 (ゼロ、負、など) を保持し、また CPU の T ビットに類似した DC ビットを持っています。各ビットの詳細は、「6.5 DSP データ演算命令」を参照してください。

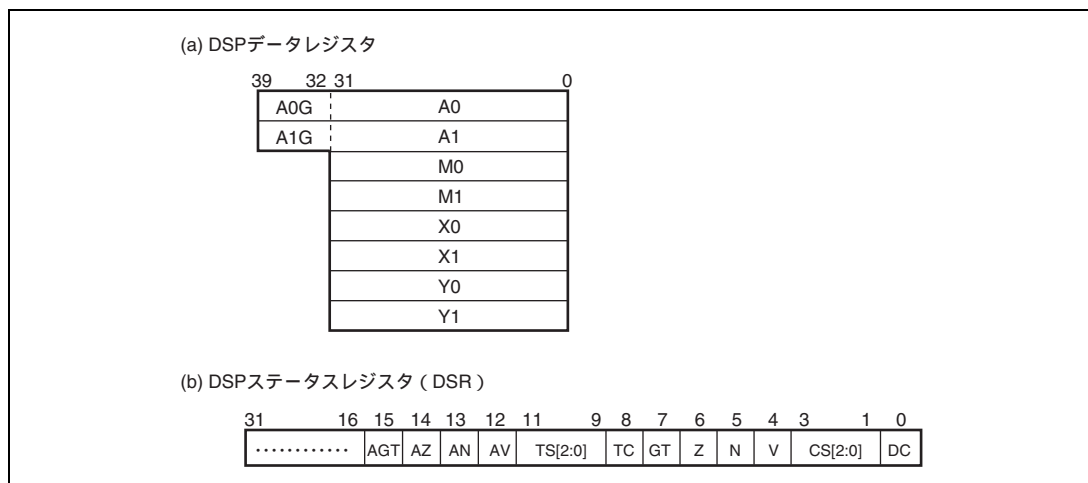


図 6.3 DSP レジスタの構成

## 6.3 CPU 拡張命令

リピート制御には、互換リピート制御と拡張リピート制御の2つが存在します。

### 6.3.1 互換リピート制御命令

DSP モードでは、リピートループを効率的に実行するための特別な制御機能が使用できます。この機能を使用することで、比較命令や分岐命令のオーバーヘッドなしにループ構造のプログラムを実行することができます。

#### (1) リピートループのプログラム例

以下にリピートループを使用したプログラム例を示します。

- (例1) 4命令以上のリピートループ

```

LDRS RptStart      ; RS レジスタに、リピート開始命令のアドレスをセットします。
LDRE RptDtct+4    ; RE レジスタに、リピート検出命令のアドレス+4 をセットします。
SETRC #4          ; SR レジスタの RC[11:0] フィールドにリピート回数(4)をセット
                  ; します。

Instr0            ; SETRC 命令から【リピート開始命令】までには少なくとも1個の
                  ; 命令が必要です。

RptStart:        instr1      ; 【リピート開始命令】
                  ;
                  ;
RptDtct:         instr(N-3)  ; リピート最終命令から3命令前の命令がリピート検出命令になり
                  ; ます。

RptEnd2:         instr(N-2)  ;
RptEnd1:         instr(N-1)  ;
RptEnd:         instrN      ; 【リピート最終命令】

```

このプログラムの例では、RptStart のアドレスにある命令 (instr1) から RptEnd のアドレスに配置された命令 (instrN) までが 4 回繰り返し実行されます。繰り返し実行されるプログラム範囲をリピートループと呼び、その開始と終了命令をそれぞれリピート開始命令、およびリピート最終命令と呼びます。CPU は、命令を順次実行しながら、特定の命令の実行完了を検出することにより、リピートループの制御を開始します。この命令をリピート検出命令と呼びます。4 命令以上のリピートループでは、リピート最終命令から 3 命令前の命令がリピート検出命令になります。4 命令のリピートループでは RptStart 命令と RptDtct 命令は同じ命令になります。

リピートループの制御には、DSP モードで拡張されるコントロールレジスタ RE、RS および SR レジスタの RC[11:0]、RF[1:0]のビットフィールドが使用されます。また、これらのレジスタに値を設定するには、それぞれ LDRE、LDRS、SETRC 命令を使用します。

- リピートエンドレジスタ (RE)

REには、LDRE命令で値をセットします。リピート検出命令のアドレス+4を設定します。4命令以上のリピートループでは、リピート最終命令から3命令前の命令がリピート検出命令になります。3命令以下のリピートループについては、後述します。

なおSH4AL-DSPでは、SETRC命令を用いた互換リピート制御をLDRC命令を用いた拡張リピート制御(「6.3.2 拡張リピート制御命令」を参照)でエミュレーションしています。このため互換リピート制御中にREレジスタの値が内部状態に応じて変化します。

- リピートスタートレジスタ (RS)

RSには、LDRS命令で値をセットします。4命令以上のリピートループでは、リピート開始命令のアドレスをセットします。3命令以下のリピートループでは特殊なアドレスを設定しますが、これについては後述します。なおSH4AL-DSPでは、SETRC命令を用いた互換リピート制御をLDRC命令を用いた拡張リピート制御でエミュレーションしています。このため互換リピート制御中にRSレジスタの値が内部状態に応じて変化します。

- リピートカウンタ (SRのRC[11:0])

SETRC命令により、繰り返し回数をセットします。リピートループ実行中は、繰り返しの残り回数を保持しています。

- リピートフラグ (SRのRF[1:0])

RFは、SETRC命令実行時に、RS、およびREレジスタに設定された値の関係から自動的に設定され、リピートループの命令数の情報を保持しています。また互換リピート制御中は、内部状態に応じて変化します。通常、ユーザが値を変更することはありません。書き込むときは、直前に読み出した値を書き込んでください。

CPUは、REレジスタとプログラムカウンタ(PC)の値を常に比較しながら命令を実行します。PCは、命令アドレスの値を保持していますので、リピート検出命令実行時に両者が一致することで、リピート検出命令が検出されます。リピート検出命令の実行が分岐せずに完了し、かつRC[11:0]>0である場合にリピート制御が行われます。リピート最終命令の実行完了時にRC[11:0]>=2であれば、RC[11:0]を1減じた後RSレジスタに設定されたアドレスへ制御を移します。RC[11:0]=1(または0)であればRC[11:0]を0にしたのち、リピート最終命令の次の命令へ制御を移します。

リピートループを構成する命令数が3、2、または1命令の場合のプログラム例を(例2)(例3)(例4)に示します。これらの場合、リピート検出命令はリピート開始命令の直前の命令になります。また、RSレジスタにはリピート命令数を示す特殊な値を設定します。

## 6. DSP ユニット

---

### • (例2) 3命令リピートループ

```
LDRS RptDtct+4 ; RS レジスタに、リピート検出命令のアドレス+4 をセットします。
LDRE RptDtct+4 ; RE レジスタに、リピート検出命令のアドレス+4 をセットします。
SETRC #4 ; SR レジスタの RC [11:0] フィールドにリピート回数 (4) をセット
           ; します。
           ; SETRC 命令実行時に、RE-RS==0 であれば 3 命令リピートと認識
           ; されます。

RptDtct: instr0 ; リピート開始命令の直前の命令がリピート検出命令になります。
RptStart: instr1 ; 【リピート開始命令】
           instr2 ;
RptEnd: instr3 ; 【リピート最終命令】
```

### • (例3) 2命令リピートループ

```
LDRS RptDtct+6 ; RS レジスタに、リピート検出命令のアドレス+6 をセットします。
LDRE RptDtct+4 ; RE レジスタに、リピート検出命令のアドレス+4 をセットします。
SETRC #4 ; SR レジスタの RC [11:0] フィールドにリピート回数 (4) をセット
           ; します。
           ; SETRC 実行時に RE-RS== -2 であれば 2 命令リピートと認識され
           ; ます。

RptDtct: instr0 ; リピート開始命令の直前の命令がリピート検出命令になります。
RptStart: instr1 ; 【リピート開始命令】
RptEnd: instr2 ; 【リピート最終命令】
```

### • (例4) 1命令リピートループ

```
LDRS RptDtct+8 ; RS レジスタに、リピート検出命令のアドレス+8 をセットします。
LDRE RptDtct+4 ; RE レジスタに、リピート検出命令のアドレス+4 をセットします。
SETRC #4 ; SR レジスタの RC [11:0] フィールドにリピート回数 (4) をセット
           ; します。
           ; SETRC 実行時に RE-RS== -4 であれば 1 命令リピートと認識され
           ; ます。

RptDtct: instr0 ; リピート開始命令の直前の命令がリピート検出命令になります。
RptStart:
RptEnd: instr1 ; 【リピート開始命令】 == 【リピート最終命令】
```

3、2、および1命令リピートの場合には、RS レジスタにリピートループ中の命令数を示すための特殊なアドレスを設定します。SETRC 命令を実行した際に、RE から RS を引いた結果が0、-2、-4 のとき、それぞれ3命令、2命令、1命令のリピートループとして認識されます。

リポート検出命令の実行が分岐せずに完了し、かつ RC[11:0]>0 である場合には、リポート検出命令の次の命令をリポート開始命令として、認識されたリポート命令数分の命令を繰り返し実行します。リポート最終命令実行完了時に、RC[11:0]>=2 であれば、RC[11:0]を1減じた後リポート開始命令へ制御を移します。RC[11:0]=1 (または0) であればRC[11:0]を0にしたのち、リポート最終命令の次の命令へ制御を移します。

【注】 RE-RSの値が正の場合に、CPUは4命令以上のリポートループと認識し、リポートループを制御します(4命令以上のリポートループの場合、RE-RSの値は常に正の値になります。(例1)のプログラム例を参考にしてください)。RE-RSの値が正の値、0、-2、-4以外の値になった場合の動作は保証しません。

表 6.5 に、リポートスタートレジスタ (RS)、リポートエンドレジスタ (RE) に設定すべきアドレスをまとめます。

表 6.5 互換リポート制御 RS および RE のアドレス設定ルール

	リポートループ中の命令数			
	1	2	3	>=4
RS	RptStart0 +8	RptStart0 +6	RptStart0 +4	RptStart
RE	RptStart0 +4	RptStart0 +4	RptStart0 +4	RptEnd3+4

【注】 ここでは、次のラベルを使用しています。

RptStart : リポート開始命令のアドレス

RptStart0 : リポート開始命令の1命令前の命令アドレス

RptEnd3 : リポート最終命令の3つ前の命令アドレス

## (2) 互換リポート制御命令およびリポート制御マクロ

リポートループを記述するには、前節で例示したように、LDRS および LDRE 命令でそれぞれ RS と RE レジスタに適切なアドレスを設定した後、SETRC 命令でリポート回数を指定してください。SETRC のオペランドとしては、8ビットの即値または汎用レジスタが使用できます。RC に 256 を超える値を設定するには、SETRC Rm タイプの命令を使用してください。

表 6.6 互換リポート制御命令

命令	動作	実行ステート
LDRS @(disp,PC)	(disp × 2+PC)を算出し、RS レジスタに値を設定します。	1
LDRE @(disp,PC)	(disp × 2+PC)を算出し、RE レジスタに値を設定します。	1
SETRC* #imm	8ビット定数 imm を SR レジスタの RC[11:0]に設定し、SR レジスタの RF[1:0]にリポート命令数を示す情報を設定します。RC[11:0]には、0 から 255 までの値が設定できます。	1
SETRC* Rm	Rm レジスタの[11:0]を SR レジスタの RC[11:0]に設定し、SR レジスタの RF[1:0]にリポート命令数を示す情報を設定します。RC[11:0]には、0 から 4095 までの値が設定できます。	1

【注】 \* SETRC 命令により 1 以上のリポート回数を設定する前には必ず LDRS 命令と LDRE 命令を毎回実行するようにしてください。

## 6. DSP ユニット

RS および RE レジスタには、表 6.5 に示したルールに従って表 6.6 に示すリピート制御命令により適切なアドレスを設定する必要があります。SuperH アセンブラでは、この問題を処理するために、表 6.7 に示すリピート制御マクロ (REPEAT) が提供されています。

表 6.7 互換リピート制御のリピート制御マクロ

命令	動作	実行 ステート
REPEAT RptStart, RptEnd, #imm	RptStart をリピート開始命令、RptEnd をリピート最終命令とし、8 ビットの即値#imm をリピート回数とするリピートループを設定します。適切に変換された LDRS、LDRE、および SETRC の 3 命令に展開されます。	3
REPEAT RptStart, RptEnd, Rm	RptStart をリピート開始命令、RptEnd をリピート最終命令とし、Rm の[11:0]をリピート回数とするリピートループを設定します。適切に変換された LDRS、LDRE、および SETRC の 3 命令に展開されます。	3

【注】 リピート制御マクロには、#imm や Rm を指定しないことで SETRC 命令の指定を独立に行う機能がありますが、SH4AL-DPS では SETRC 命令を用いて 1 以上のリピート回数を指定する前には必ず LDRS および LDRE 命令を実行する必要があるためこの制限に違反しないように注意してください。

リピート制御マクロを使用することで、前述した (例 1) ~ (例 4) は、それぞれ次に示す (例 5) ~ (例 8) の様に簡略に記述することができます。

- (例 5) 4命令以上のリピートループの記述例... (例 1) に示した命令列に展開されます。

```

REPEAT RptStart, RptEnd, #4
    instr0          ;
RptStart: instr1    ; 【リピート開始命令】
    .....         ;
    .....         ;
    instr(N-3)     ;
    instr(N-2)     ;
    instr(N-1)     ;
RptEnd:   instrN    ; 【リピート最終命令】

```

- (例 6) 3命令リピートループの記述例... (例 2) に示した命令列に展開されます。

```

REPEAT RptStart, RptEnd, #4
    instr0          ;
RptStart: instr1    ; 【リピート開始命令】
    instr2          ;
RptEnd:   instr3    ; 【リピート最終命令】

```



- (例7) 2命令リピートループ... (例3) に示した命令列に展開されます。

```

REPEAT RptStart, RptEnd, #4
    instr0          ;
RptStart:  instr1          ; 【リピート開始命令】
RptEnd:    instr2          ; 【リピート最終命令】

```

- (例8) 1命令リピートループ... (例4) に示した命令列に展開されます。

```

REPEAT RptStart, RptEnd, #4
    instr0          ;
RptStart:
RptEnd:    instr1          ; 【リピート開始命令】 == 【リピート最終命令】

```

DSP モードでは、RS および RE レジスタの値を操作するシステム制御命令 (LDC と STC 命令) が拡張されます。表 6.8 に DSP モードにおける拡張システム制御命令を示します。また、SR レジスタの RC[11:0]および RF[1:0]のビットフィールドは、SR レジスタに対する LDC と STC 命令で制御できます。これらの命令は、リピートループ中に例外を受け付ける場合に使用してください。RS と RE レジスタおよび SR レジスタの RC[11:0]と RF[1:0]のビットフィールドを退避した後、回復することでリピートループを再開することができます。ただし、リピートループ中の例外の受け付けには、制限事項があります。

表 6.8 DSP モード拡張システム制御命令

命令	動作	実行ステート
STC RS,Rn	RS Rn	1
STC RE,Rn	RE Rn	1
STC.L RS,@-Rn	Rn-4 Rn, RS (Rn)	1
STC.L RE,@-Rn	Rn-4 Rn, RE (Rn)	1
LDC.L @Rn+,RS	(Rn) RS, Rn+4 Rn	1
LDC.L @Rn+,RE	(Rn) RE, Rn+4 Rn	1
LDC Rn,RS	Rn RS	1
LDC Rn,RE	Rn RE	1

## 6. DSP ユニット

---

### (3) 互換リピート制御中の制限事項

#### (a) リピート制御命令の配置

LDRS および LDRE 命令を実行した後に SETRC 命令を実行してください。SETRC 命令により 1 以上のリピート回数を再設定する場合、必ず LDRS および LDRE 命令を再実行する必要があります。また、SETRC 命令とリピート開始命令の間には少なくとも 1 命令が必要です。

#### (b) リピート検出命令に続く命令以降の禁止命令

従来の SH3-DSP ではリピート検出命令の次の命令からリピート最終命令の間に、以下に示す命令を配置できませんでしたが、SH4AL-DSP ではさらにリピート検出命令に以下に示す命令と遅延分岐命令の遅延スロットを配置できなくなります。また従来 SH3-DSP の互換リピート制御では、リピート検出命令の次の命令からリピート最終命令の間に以下に示す命令を配置すると不当命令例外を発生しましたが、SH4AL-DSP では、リピート最終命令に以下に示す命令を配置する場合のみ不当命令例外を発生し、それ以外の場合は不当命令例外は発生しません。

- 分岐命令

BRA、BSR、BT、BF、BT/S、BF/S、BSRF、RTS、BRAf、RTE、JSR、JMP

- リピート制御命令

SETRC、LDRS、LDRE、LDRC

- SR、RS、REに対するロード命令

LDC Rn,SR、LDC.L @Rn+,SR、LDC Rn,RE、LDC.L @Rn+,RE、LDC Rn,RS、LDC.L @Rn+,RS

【注】 1~3 命令のリピートループの場合はリピートループ中の全命令が、4 命令以上のリピートループの場合はリピート終了命令を含む 3 命令がこの制約の範囲となります。

#### (c) リピートループ中の禁止命令 (4 命令以上のリピートループ)

4 命令以上のリピートループのリピート開始命令からリピート検出命令までの間に、以下の命令を配置しないでください。配置した場合の動作は保証されません。

- リピート制御命令

SETRC、LDRS、LDRE、LDRC

- SR、RS、REに対するロード命令

LDC Rn,SR、LDC.L @Rn+,SR、LDC Rn,RE、LDC.L @Rn+,RE、LDC Rn,RS、LDC.L @Rn+,RS

【注】 多重のリピートループは保証されません。最内部のループをリピート制御命令で記述し、外部のループは DT および BF/S 命令等で実現してください。

## (d) リピート検出命令の次命令以降への分岐および例外受理に関する制限

従来の SH3-DSP では、リピート検出命令の次命令以降に分岐した場合はリピートループが認識されませんでした。SH4AL-DSP ではリピートループが認識されることがあります。ただしリピート検出命令の次命令からリピート最終命令を分岐先に指定することは禁止します。また従来の SH3-DSP では例外ルーチンからの復帰も本制限に含まれていましたが、SH4AL-DSP では例外ルーチンの復帰は本制限に含まれません。

- リピートループ中で条件分岐命令を使用する場合は、リピート検出命令以前の命令を分岐先に指定してください。
- リピートループ中でサブルーチンコールを使用する場合は、サブルーチンコール命令の遅延スロット命令がリピート検出命令より前になるように配置してください。

ここでの分岐には、例外ルーチンからの復帰を含みます。

## (e) リピート検出命令からの分岐

従来の SH3-DSP ではリピート検出命令が遅延分岐命令の遅延スロット命令である場合や分岐命令そのものである場合は、分岐命令で分岐しなかったときにリピートループが認識され、分岐したときにはリピート制御が行われず分岐先命令を実行していましたが、SH4AL-DSP ではリピート検出命令に分岐命令および遅延分岐命令の遅延スロットを配置することができません。

## (f) リピートカウンタとリピート制御

CPU は、常にリピートエンドレジスタ (RE) と PC との比較を行いながらプログラムを実行しています。SR レジスタの RC[11:0]が 0 以外で PC が RE に一致すると、リピート制御が機能します。

- $RC \geq 2$  の場合は、リピート最終命令実行後、リピート開始命令に制御が移行します。最終命令の実行完了により RC が 1 減じられます。(a) ~ (e) の制約がかかります。
- $RC = 1$  の場合は、リピート最終命令実行後、RC が 0 になり、後続命令へ制御が移行します。RC = 1 の場合も (a) ~ (e) の制約がかかります。
- $RC = 0$  の場合は、リピート検出命令を実行しても、リピート制御は機能しません。リピートループは通常の命令列として 1 回実行され、最終命令を実行してもリピート開始命令へは制御が移行しません。

### 6.3.2 拡張リピート制御命令

「6.3.1 互換リピート制御命令」で提供されるリピート制御機構には、幾つかの制約事項があります。この制約を軽減するためのリピート制御機能が拡張されています。これらの命令は、従来の SH-DSP アーキテクチャには存在しない命令で、互換性を重視する場合には従来の互換リピート制御命令を使用します。

#### (1) 拡張リピート制御命令のプログラム例

以下に拡張リピート制御命令を使用したプログラム例を示します。

- (例1) 4命令以上のリピートループ

```
LDRS RptStart ; RS レジスタに、リピート開始命令のアドレスをセットします。
LDRE RptEnd   ; RE レジスタに、リピート最終命令のアドレスをセットします。
LDRC #4       ; SR レジスタの RC[11:0] フィールドにリピート回数(4)をセット
               ; します。
instr0        ; LDRC 命令から【リピート開始命令】までには少なくとも1個の命
               ; 令が必要です。
RptStart:    instr1 ; 【リピート開始命令】
             ;
             ;
             ;
instr(N-3)   ;
instr(N-2)   ;
instr(N-1)   ;
RptEnd:      instrN ; 【リピート最終命令】
```

- (例2) 3命令リピートループ

```
LDRS RptStart ; RS レジスタに、リピート開始命令のアドレスをセットします。
LDRE RptEnd   ; RE レジスタに、リピート最終命令のアドレスをセットします。
LDRC #4       ; SR レジスタの RC[11:0] フィールドにリピート回数(4)をセット
               ; します。
instr0        ; LDRC 命令とリピート開始命令の間には少なくとも1命令が必要で
               ; ず。
RptStart:    instr1 ; 【リピート開始命令】
             ;
             ;
instr2       ;
RptEnd:      instr3 ; 【リピート最終命令】
```

- (例3) 2命令リピートループ

```

LDRS RptStart      ; RS レジスタに、リピート開始命令のアドレスをセットします。
LDRE RptEnd        ; RE レジスタに、リピート最終命令のアドレスをセットします。
LDRC #4            ; SR レジスタの RC[11:0] フィールドにリピート回数(4)をセット
                  ; します。
instr0             ; LDRC 命令とリピート開始命令の間には少なくとも 1 命令が必要で
                  ; ず。
RptStart: instr1   ; 【リピート開始命令】
RptEnd:   instr2   ; 【リピート最終命令】

```

- (例4) 1命令リピートループ

```

LDRS RptStart      ; RS レジスタに、リピート開始命令のアドレスをセットします。
LDRE RptEnd        ; RE レジスタに、リピート最終命令のアドレスをセットします。
LDRC #4            ; SR レジスタの RC[11:0] フィールドにリピート回数(4)をセット
                  ; します。
instr0             ; LDRC 命令とリピート開始命令の間には少なくとも 1 命令が必要で
                  ; ず。
RptStart:
RptEnd:   instr1   ; 【リピート開始命令】 = 【リピート最終命令】

```

拡張リピート制御命令では、リピート命令数によらず、RS レジスタにリピート開始命令のアドレスを、RE レジスタにリピート最終命令のアドレスを格納します。また、SETRC 命令の代わりに LDRC 命令を用いることで、拡張リピート制御が行われます。拡張リピート制御が行われている場合は、リピート最終命令を実行することでリピートループが認識できます。このため、分岐や例外に対する制約がありません。

## (2) 拡張リピート制御命令

拡張リピートループを記述するには前節で例示したように、LDRS と LDRE 命令でそれぞれ RS と RE レジスタにそれぞれリピート先頭命令およびリピート最終命令を指定します。表 6.9 に拡張リピート制御命令を示します。LDRS と LDRE 命令は、互換リピート制御用の命令をそのまま使用します。その後、LDRC 命令でリピート回数を指定してください。LDRC のオペランドとしては、8 ビットの即値または汎用レジスタが使用できます。RC に 256 を超える値を設定するには、LDRC Rm タイプの命令を使用してください。

表 6.9 拡張リピート制御命令

命令	動作	実行ステート
LDRS @(disp,PC)	(disp × 2+PC)を算出し、RS レジスタに値を設定します。	1
LDRE @(disp,PC)	(disp × 2+PC)を算出し、RE レジスタに値を設定します。	1
LDRC #imm	8 ビット定数 imm を SR レジスタの RC[11:0]に設定し、SR レジスタの RF[1:0]にリピート命令数を示す情報を設定します。RC[11:0]には、0 から 255 までの値を設定できます。 拡張リピート制御中を示すために、RE レジスタのビット 0 に 1 がセットされます。	1

## 6. DSP ユニット

命令	動作	実行ステート
LDRC Rm	Rm レジスタの[11:0]を SR レジスタの RC[11:0]に設定し、SR レジスタの RF[1:0]にリピート命令数を示す情報を設定します。RC[11:0]には、0 から 4095 までの値を設定できます。 拡張リピート制御中を示すために、RE レジスタのビット 0 に 1 がセットされます。	1

LDRC 命令を実行することで、以後 CPU は拡張リピートとして制御を行います。拡張リピート制御中であることを示すために、LDRC 命令の実行により RE レジスタのビット 0 に 1 がセットされます。例外処理等で RE レジスタの値を変更する場合は、ビット 0 も正確に退避した後に回復してください。SR レジスタの RC[11:0]、DSP、RF[1:0]のビットフィールドおよび RE と RS レジスタを退避した後に回復することで拡張リピートとして処理に復帰することができます。

### (3) 拡張リピート制御中の制限事項

#### (a) 拡張リピート制御命令の配置

LDRS および LDRE 命令を実行した後に LDRC 命令を実行してください。また、LDRC 命令とリピート開始命令の間には、少なくとも 1 命令が必要です。

#### (b) リピート最終命令での不当命令

リピート最終命令として次の命令を配置すると不当命令例外が発生します。

- 遅延分岐命令

BRA、BSR、BT/S、BF/S、BSRF、RTS、BRA\*、RTE、JSR、JMP

- リピート制御命令

SETRC、LDRS、LDRE、LDRC

- SR、RS、REに対するロード命令

LDC Rn,SR、LDC.L @Rn+,SR、LDC Rn,RE、LDC.L @Rn+,RE、LDC Rn,RS、LDC.L @Rn+,RS

【注】 非遅延の分岐命令 (BT、BF) は、最終命令として配置してもかまいません。また、遅延分岐命令の遅延スロットがリピート最終命令となってもかまいません。これらの場合、分岐したときも分岐しなかったときも RC[11:0]の値は 1 減じられます。分岐しなかったときはリピート開始命令へ、分岐したときには分岐先へ制御が移行します。

#### (c) リピートカウンタとリピート制御

CPU は、常にリピートエンドレジスタ (RE) と PC-4 (命令のアドレス) との比較を行いながらプログラムを実行しています。RE レジスタのビット 0 が 1 であり、SR レジスタの RC[11:0]が 0 以外で PC-4[31:1]と RE[31:1]が一致すると、拡張リピート制御が行われます。

- $RC \geq 2$  の場合は、リピート最終命令実行後、リピート開始命令に制御が移行します。最終命令の実行完了により RC が 1 減じられます。
- $RC = 1$  の場合は、リピート最終命令実行後、RC が 0 になり、後続命令へ制御が移行します。
- $RC = 0$  の場合は、リピート検出命令を実行しても、リピート制御は機能しません。リピートループは通常の命令列として 1 回実行され、最終命令を実行してもリピート開始命令へは制御が移行しません。

## 6.4 DSP データ転送命令

DSP モードでは、DSP ユニットのレジスタに対するデータ転送命令が追加されます。追加されるデータ転送命令は、次の 3 種類に分類されます。

図 6.4 に DSP ユニットのレジスタとバス接続を示します。DSP ユニットは、X メモリと Y メモリに X バスと Y バスと呼ばれる専用バスで接続されており、これらのバスを用いたデータ転送命令を使用することで、X/Y メモリとの間で同時に 2 個のデータを転送することができます（ダブルデータ転送命令）。このダブルデータ転送命令は、DSP 演算命令と組み合わせることで記述ことができ、データ転送およびデータ演算を並列に実行することが可能です。以降、X バスを XDB、Y バスを YDB と表現することもあります。またそれぞれのアドレスバスを XAB、YAB と表現することもあります。

また、DSP ユニットは、オペランドバスと呼ばれる CPU が使用するバスとも接続されており、DSR を除く全レジスタは CPU の生成する論理アドレス空間すべてにアクセスすることができます（シングルデータ転送命令）。シングルデータ転送命令は、DSP 演算命令と組み合わせることはできず、また一度にアクセスできるデータは 1 個だけになります。以降、オペランドバスを LDB と表現することもあります。またそのアドレスバスを XLAB と表現することもあります。

さらに DSP ユニットのレジスタのうち幾つかは、CPU のシステムレジスタとして扱われ、これらを制御するためのシステム制御命令が追加されています。CPU の汎用レジスタとの間は、データ転送用のバス（転送バス）で接続されています。

いずれのタイプのデータ転送命令でも、アクセスするアドレスは CPU が生成し、出力します。これらの命令に対しては CPU の汎用レジスタの幾つかがアドレス生成に使用され、また独特のアドレッシングモードを有します。

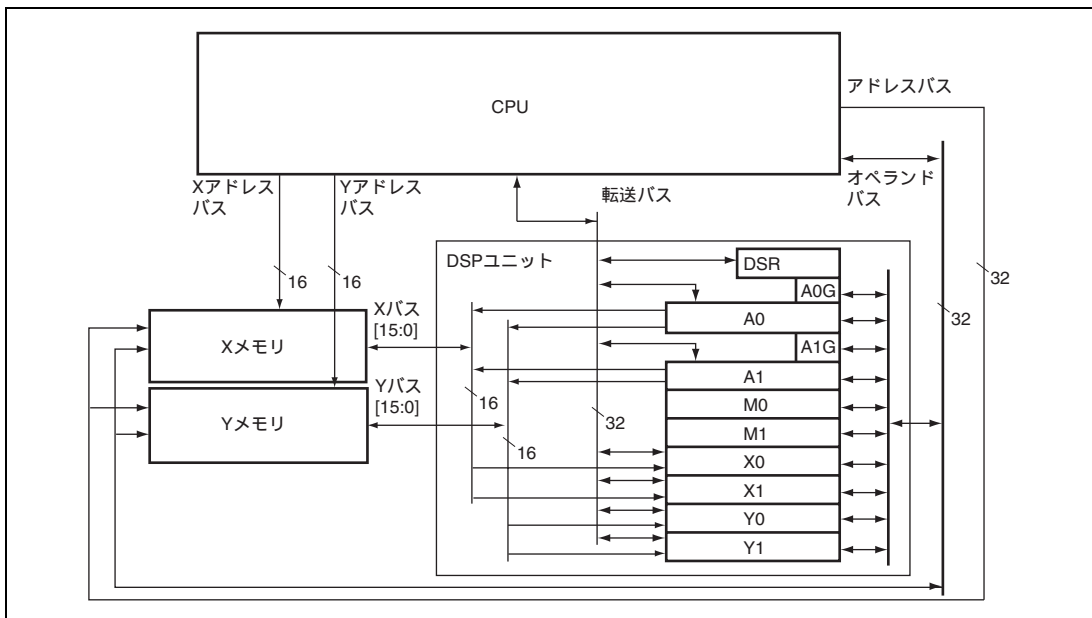


図 6.4 DSP レジスタとバスの接続

## 6. DSP ユニット

---

### (1) ダブルデータ転送命令 (MOVX.W、MOVY.W、MOVX.L、および MOVY.L)

ダブルデータ転送命令では、X メモリに対するアクセスおよび Y メモリに対するアクセスを同時に記述することができます。このアクセスにはそれぞれ X バスと Y バスと呼ばれる専用バスを使用します。CPU の命令フェッチは命令バスを使用するため、CPU の命令フェッチとの間でバス競合が生じることもありません。

X メモリに対するロード命令はデスティネーションオペランドとして X0 と X1 レジスタのどちらか 1 つを指定し、Y メモリに対するロード命令はデスティネーションオペランドとして Y0 と Y1 レジスタのどちらか 1 つを指定できます。X メモリと Y メモリのいずれのストア命令もソースオペランドとして A0 と A1 レジスタのどちらか 1 つを指定することができます。この種の命令はワードデータ (16 ビット) のみを扱います。ワードデータ転送命令を実行すると、レジスタオペランドの上位ワードが用いられます。ワードデータロードの場合は、データはデスティネーションレジスタの上位ワードにデータが読み込まれ、デスティネーションの下位側が自動的に 0 クリアされます。

ダブルデータ転送命令では X バス、Y バスでの転送をそれぞれ組み合わせて指定することができますが、一方の転送動作が不要の場合には転送機能を拡張することができます (MOVX.W&NOPY、NOPX&MOVY.W)。この形式では、使用されないバスを活用して 32 ビットのデータを転送することもできます (MOVX.L&NOPY、NOPX&MOVY.L)。X メモリからのロード命令 (Y メモリ側は NOPY である必要があります) は、デスティネーションオペランドとして X0、X1、Y0 および Y1 を指定することができます。Y メモリからのロード命令 (X メモリ側は NOPX である必要があります) は、デスティネーションオペランドとして Y0、Y1、X0、および X1 を指定することができます。また、X メモリへのストア命令ではソースオペランドとして X0、X1、A0 および A1 が、Y メモリへのストア命令では Y0、Y1、A0 および A1 が使用可能です。また、この種のダブルデータ転送命令では、アドレッシングに使用できるアドレスポイントの種類も通常のダブルデータ転送命令と比較して多くなっています。

ダブルデータ転送命令では、DSP データ演算命令を並行して記述することができます。ただし、実行する演算命令に条件付き命令を指定した場合でも、指定した条件はどのデータ転送命令に対しても影響しません。条件付き命令については、「6.5 DSP データ演算命令」を参照してください。

ダブルデータ転送命令は、X メモリか Y メモリのみアクセスすることができます。その他のメモリ空間はアクセスすることができません。また、X バス、Y バスは、それぞれ 16 ビット (64K バイト) のアドレス空間を持っており、オペランドバスのアドレス空間の H'E500 0000 ~ H'E500 FFFF および H'E501 0000 ~ H'E501 FFFF の範囲に対応します。この範囲は、P4/Uxy 領域に含まれるため、キャッシュやアドレス変換機構の影響を受けません。

### (2) シングルデータ転送命令

この種の命令は、任意のメモリアドレス空間にアクセスできます。DSR を除く DSP ユニットのすべてのレジスタ\*をソースオペランド、デスティネーションオペランドに指定することができます。ガードビットレジスタ、A0G、および A1G も独立したレジスタとして指定することができます。この種の命令では、オペランドバスを使用するので、CPU の扱うすべての論理アドレス空間にアクセスすることができます。キャッシュ領域を指定しかつキャッシュが利用可能な場合には、キャッシングの対象になります。X と Y メモリは、論理アドレス空間の一部としてマッピングされており、シングルデータ転送命令でアクセスすることができます。



シングルデータ転送は、ワードとロングワードのいずれも扱うことができます。ワードデータ転送を実行するとき、レジスタオペランドの上位ワードが有効になります。ワードデータロードの場合は、データはデスティネーションレジスタの上位ワードに読み込まれ、デスティネーションの下位側は自動的に0でクリアされます。ガードビット部分がサポートされている場合には、符号ビットが拡張されて格納されます。ロングワードデータロードの場合は、データはデスティネーションレジスタの上位ワードと下位ワードに読み込まれ、ガードビットがあれば、符号ビットが拡張されて格納されます。ガードレジスタ ストアの場合は、符号ビットがオペランドバスの上位 24 ビットに拡張されてオペランドバスに読み出されます。

【注】 \* DSR レジスタは、システムレジスタとして定義されているので、LDS、STS 命令でのデータの転送が可能です。すべてのデータ転送命令は、DSR レジスタのいずれのビットも更新しません。

### (3) システム制御命令

DSP ユニットのレジスタの内 DSR、A0、X0、X1、Y0、Y1 レジスタは、CPU のシステムレジスタとして扱うことができ、STS と LDS 命令によって汎用レジスタやメモリとの間でデータ転送を行うことができます。表 6.10 に、DSP モードの拡張システム制御命令を示します。これらのシステム制御命令は CPU レジスタの PR、MACH、MACL と全く同じように扱うことができ、アドレッシングも同一です。

表 6.10 DSP モード拡張システム制御命令

命令	動作	実行ステート
STS DSR,Rn	DSR Rn	1
STS A0,Rn	A0 Rn	1
STS X0,Rn	X0 Rn	1
STS X1,Rn	X1 Rn	1
STS Y0,Rn	Y0 Rn	1
STS Y1,Rn	Y1 Rn	1
STS.L DSR,@-Rn	Rn-4 Rn, DSR (Rn)	1
STS.L A0,@-Rn	Rn-4 Rn, A0 (Rn)	1
STS.L X0,@-Rn	Rn-4 Rn, X0 (Rn)	1
STS.L X1,@-Rn	Rn-4 Rn, X1 (Rn)	1
STS.L Y0,@-Rn	Rn-4 Rn, Y0 (Rn)	1
STS.L Y1,@-Rn	Rn-4 Rn, Y1 (Rn)	1
LDS.L @Rn+,DSR	(Rn) DSR, Rn+4 Rn	1
LDS.L @Rn+,A0	(Rn) A0, Rn+4 Rn	1
LDS.L @Rn+,X0	(Rn) X0, Rn+4 Rn	1
LDS.L @Rn+,X1	(Rn) X1, Rn+4 Rn	1
LDS.L @Rn+,Y0	(Rn) Y0, Rn+4 Rn	1
LDS.L @Rn+,Y1	(Rn) Y1, Rn+4 Rn	1
LDS Rn,DSR	Rn DSR	1
LDS Rn,A0	Rn A0	1

## 6. DSP ユニット

命令	動作	実行ステート
LDS Rn,X0	Rn X0	1
LDS Rn,X1	Rn X1	1
LDS Rn,Y0	Rn Y0	1
LDS Rn,Y1	Rn Y1	1

### 6.4.1 汎用レジスタ

DSP タイプの命令では、汎用レジスタ 16 本のうち 10 本のレジスタがダブルデータ転送命令とシングルデータ転送命令で特別なアドレスポインタおよびインデックスレジスタとして使用されます。DSP タイプ命令でのレジスタの目的を表すもう 1 つの記号を [ ] 内に示します。

- ダブルデータ転送命令 (XメモリとYメモリに同時にアクセスする場合)

ダブルデータ転送命令は、XとYデータメモリに同時にアクセスできます。XとYデータメモリのアドレスを指定するために、次の2つのアドレスポインタセットを用意しています。

	アドレスポインタ	インデックスレジスタ
Xメモリ (MOVX.W)	R4,R5[Ax]	R8[ <i>x</i> ]
Yメモリ (MOVY.W)	R6,R7[Ay]	R9[ <i>y</i> ]

- ダブルデータ転送命令 (XメモリとYメモリの片方にアクセスする場合)

ダブルデータ転送命令で、XメモリとYメモリの片方の転送動作が不要の場合は、次のようにアドレスポインタセットを拡張して使用することができます。

	アドレスポインタ	インデックスレジスタ
Xメモリ (MOVX.W/L&NOPY)	R4,R5,R0,R1[Axy]	R8[ <i>x</i> ]
Yメモリ (NOPX & MOVY.W/L)	R6,R7,R2,R3[Ayx]	R9[ <i>y</i> ]

- シングルデータ転送命令

シングルデータ転送命令では、オペランドバスを使用してすべての論理アドレス空間をアクセスできます。次のアドレスポインタとインデックスレジスタを使用します。

	アドレスポインタ	インデックスレジスタ
全論理空間 (MOV.S.W/L)	R4,R5,R2,R3[As]	R8[ <i>ls</i> ]

31	0	
R0	[Ax2]	汎用レジスタ (DSPモード)
R1	[Ax3]	
R2	[As2, Ay2]	
R3	[As3, Ay3]	
R4	[As0, Ax0]	
R5	[As1, Ax1]	
R6	[Ay0]	
R7	[Ay1]	
R8	[Ix, Is]	
R9	[Iy]	
R10		
R11		
R12		
R13		
R14		
R15		

R4,5	[Ax]	: Xデータメモリに対するアドレスレジスタセット
R4, 5, 0, 1	[Axy]	: Xデータメモリに対するアドレスレジスタセット (拡張)
R8	[Ix]	: XアドレスレジスタセットAxに対するインデックスレジスタ
R6,7	[Ay]	: Yデータメモリに対するアドレスレジスタセット
R6, 7, 2, 3	[Ayx]	: Yデータメモリに対するアドレスレジスタセット (拡張)
R9	[Iy]	: YアドレスレジスタセットAyに対するインデックスレジスタ

R4, 5, 2, 3	[As]	: 全データメモリに対するアドレスレジスタセット
R8	[Is]	: シングルデータ転送で使用するインデックスレジスタ

図 6.5 汎用レジスタ (DSP モード)

アセンブラでは R0、R1、R2、R3.....R9 の記号名 (シンボル) を使います。DSP データ転送命令では、次のようなレジスタの別名 (エイリアス、alias) を使うこともできます。アセンブラで次のように書きます。

```
Ix: .REG (R8)
```

名前 Ix が R8 の別名になります。そのほか、次のように別名を付けます。

```
Ax0: .REG (R4)
```

```
Ax1: .REG (R5)
```

```
Ax2: .REG (R0); この定義は、Yメモリ動作が NOPY の場合にのみ使用できます。
```

```
Ax3: .REG (R1); この定義は、Yメモリ動作が NOPY の場合にのみ使用できます。
```

```
Ix: .REG (R8)
```

```
Ay0: .REG (R6)
```

```
Ay1: .REG (R7)
```

```
Ay2: .REG (R2); この定義は、Xメモリ動作が NOPX の場合にのみ使用できます。
```

```
Ay3: .REG (R3); この定義は、Xメモリ動作が NOPX の場合にのみ使用できます。
```

```
Iy: .REG (R9)
```

```
As0: .REG (R4);
```

```
As1: .REG (R5);
```

```
As2: .REG (R2)
```

```
As3: .REG (R3)
```

```
Is: .REG (R8);
```

## 6. DSP ユニット

### 6.4.2 DSP データアドレッシング

ダブルデータ転送命令およびシングルデータ転送命令の関係を表 6.11 に示します。

表 6.11 データ転送命令の関係

	ダブルデータ転送命令		シングルデータ転送命令
	MOVX.W MOVY.W	MOVX.W&NOPY NOPX&MOVY.W MOVX.L&NOPY NOPX&MOVY.L	MOV.S.W MOV.S.L
アドレスレジスタ	Ax : R4, R5 Ay : R6, R7	Axy : R4, R5, R0, R1 Ayx : R6, R7, R2, R3	As : R2, R3, R4, R5
インデックス レジスタ	lx : R8 ly : R9	lx : R8, ly : R9	ls : R8
アドレッシング	Nop/Inc(+2)/インデックス加算 : ポストインクリメント	Nop/Inc(+2/+4)/インデックス加算 : ポストインクリメント	Nop/Inc(+2, +4)/インデックス加算 : ポストインクリメント
アドレッシング	-	-	Dec(-2, -4) : プリデクリメント
モジュロ アドレッシング	可能	可能	不可
データバス	XDB( X バス ), YDB( Y バス )	XDB( X バス ), YDB( Y バス )	LDB( オペランドバス )
データ長	16 ビット (ワード)	16 ビット / 32 ビット (ワード / ロングワード)	16 ビット / 32 ビット (ワード / ロングワード)
バス競合	なし	なし	あり
メモリ	X, Y データメモリ	X, Y データメモリ	すべてのメモリ空間
ソースレジスタ	Da : A0, A1	Dax : A0, A1, X0, X1 Day : A0, A1, Y0, Y1	Ds : A0, A1, M0, M1, X0, X1, Y0, Y1, A0G, A1G
デスティネーション レジスタ	Dx : X0, X1 Dy : Y0, Y1	Dxy : X0, X1, Y0, Y1 Dyx : Y0, Y1, X0, X1	Ds : A0, A1, M0, M1, X0, X1, Y0, Y1, A0G, A1G

#### (1) ダブルデータ転送命令のアドレッシングモード

ダブルデータ転送命令には、次の 3 つのアドレッシングモードがあります。

- 更新なし

AxとAyレジスタがアドレスポインタです。@Axと@Ayへのアクセスが行われ、AxとAyの値は更新されません。

- インクリメント

AxとAyレジスタがアドレスポインタです。@Axと@Ayへのアクセス後、転送サイズに応じて+2または+4が加算されます (ポスト更新)。

- インデクスレジスタ加算

$A_x$ と $A_y$ レジスタがアドレスポインタです。 $@A_x$ と $@A_y$ へのアクセス後、それぞれ $I_x$ と $I_y$ レジスタの値が加算されます（ポスト更新）。ダブルデータ転送命令にデクリメントアドレッシングはありませんが、デクリメントさせるためには-2または-4をインデクスレジスタに設定し、インデクスレジスタ加算アドレッシングを指定します。

XとYデータアドレッシングの場合は、ワードアクセスの場合アドレスポインタのビット0が、ロングワードアクセスの場合ビット0と1が無効になります。XとYデータアドレッシングの場合は、アドレスポインタとインデクスレジスタのこれらのビットには0を書き込んでください。

XとYバスを使用してXメモリとYメモリへアクセスする場合は、 $A_x$ と $A_y$ の上位ワードは無視されます。また、 $A_y+$ と $A_y+I_y$ の結果は、 $A_y$ の下位ワードに格納され、上位ワードは元の値が保持されます。ただし、 $A_x+$ と $A_x+I_x$ の演算は32ビットで行われ、上位ワードが変化する場合もあります。

ダブルデータ転送命令でXメモリとYメモリの一方の転送動作が不要の場合、転送機能を拡張することができます。このときアドレスポインタは、 $A_x$ 、 $A_y$ の代わりに $A_{xy}$ 、 $A_{yx}$ が用いられます。アドレッシングモードは同じです。

## (2) シングルデータ転送命令のアドレッシングモード

シングルデータ転送命令には、次の4つのデータアドレッシングモードがあります。

- 更新なし

$A_s$ レジスタがアドレスポインタです。 $@A_s$ へのアクセスが行われますが、 $A_s$ は更新されません。

- インクリメント

$A_s$ レジスタがアドレスポインタです。 $@A_s$ へのアクセス後、転送サイズに応じて+2または+4が加算されます（ポスト更新）。

- インデクスレジスタ加算

$A_s$ レジスタがアドレスポインタです。 $@A_s$ へのアクセス後、 $I_s$ レジスタの値が加算されます（ポスト更新）。

- デクリメント

$A_s$ レジスタがアドレスポインタです。データ転送前に-2または-4が加算（+2または+4が減算）されます（プリ更新）。

シングルデータ転送命令では、アドレスの32ビットすべてが有効です。

## 6. DSP ユニット

### 6.4.3 モジュロアドレッシング

ダブルデータ転送命令では、モジュロアドレッシングを使用することができます。モジュロアドレッシングモードが設定されている場合は、アドレスポインタの値がすでに設定されたモジュロ終了アドレスになると、アドレスポインタはモジュロ開始アドレスになります。

モジュロアドレッシングの制御には、DSP モードで拡張されるモジュロレジスタ (MOD) および SR レジスタの DMX と DMY ビットを使用します。表 6.12 に、モジュロアドレッシング制御命令を示します。

MOD レジスタにモジュロアドレス領域の開始と終了アドレスを格納します。MOD レジスタの下位ワードにモジュロ開始アドレス (MS) を、MOD レジスタの上位ワードにモジュロ終了アドレス (ME) を格納します。MOD レジスタに対する LDC 命令および STC 命令が拡張されます。

SR レジスタの DMX ビットをセットすると X アドレスレジスタが、DMY ビットをセットすると Y アドレスレジスタがそれぞれモジュロアドレッシングモードになります。モジュロアドレッシングは、X と Y アドレスレジスタどちらかに対してだけ有効です。両方を同時にモジュロアドレッシングモードにすることはできません。したがって、DMX と DMY を同時にセットしないでください。万一同時にセットされた場合には、DMY 側のみ有効となります\*。DMX と DMY ビットは、SR レジスタに対する STC 命令および LDC 命令で設定できます。SETDMX、SETDMY、CLRDMXY 命令の使用を推奨します。

モジュロアドレッシング制御中に例外を受理した場合は、MOD レジスタおよび SR レジスタの DMX と DMY ビットを退避してください。復帰時にこれらを回復することにより、モジュロアドレッシング制御に復帰することができます。

【注】 \* この仕様は、将来変更される可能性があります。

表 6.12 モジュロアドレッシング制御命令

命令	動作	実行ステート
STC MOD,Rn	MOD Rn	1
STC.L MOD,@-Rn	Rn-4 Rn, MOD (Rn)	1
LDC.L @Rn+,MOD	(Rn) MOD, Rn+4 Rn	4
LDC Rn,MOD	Rn MOD	4
SETDMX	1 SR.DMX, 0 SR.DMY	1
SETDMY	0 SR.DMX, 1 SR.DMY	1
CLRDMXY	0 SR.DMX, 0 SR.DMY	1

モジュロアドレッシングの使用例を以下に示します。

```

MOV.L #H'70047000,R10 ; MS=H'7000 ME=H'7004 として
LDC R10, MOD ; MOD レジスタに ME:MS を設定します。
STC SR,R10 ;
MOV.L #H'FFFFFF3FF,R11
MOV.L #H'00000400,R12
AND R11,R10 ;
OR R12,R10 ;
LDC R10,SR ; SR.DMX=1, SR.DMY=0. X モジュロアドレッシングモードを設定。
MOV.L #H'A5007000,R4
MOVX.W @R4+,X0 ;R4: H'A5007000 H'A5007002
MOVX.W @R4+,X0 ;R4: H'A5007002 H'A5007004
MOVX.W @R4+,X0 ;R4: H'A5007004 H'A5007000 (ME と一致したので、MS が設定
                 されます)
MOVX.W @R4+,X0 ;R4: H'A5007000 H'A5007002

```

MS と ME に開始と終了アドレスを指定した後に DMX または DMY ビットを 1 にセットします。

DMX または DMY で指定された X または Y データ転送命令が実行されると、アドレスレジスタの更新前の値が ME と比較されます\*。データ転送の後、比較結果が ME と一致していた場合、アドレスレジスタの更新後の値として、MS のスタートアドレスが代入されます。

X または Y データ転送命令のアドレッシングタイプが「更新なし」の場合は、たとえ ME と一致しても MS への復帰は行われません。また、X または Y データ転送命令のアドレッシングタイプが「インデックスレジスタ加算」の場合は、アドレスポインタは ME と一致せずにその値を超えてしまうことがあります。この場合は、アドレスポインタはモジュロ開始アドレスには戻りません。

最大のモジュロサイズは、64K バイトです。これは、X と Y データメモリをアクセスするには十分です。

【注】 \* モジュロアドレッシングに限らず、DSP 命令による X と Y データアドレッシング時は、アドレスポインタ、インデックスレジスタ、MS、および ME のビット 0 には、必ず 0 を書き込んでください。

上記プログラミング例では、SR レジスタの DMX ビットをセットするのに STC および LDC 命令を使用しています。これらの命令列の代わりに、SETDMX 命令により 1 命令で DMY ビットのクリアおよび DMX ビットのセットを行うことができます。SETDMY 命令も同様に DMX ビットをクリアし、DMY ビットをセットします。CLRDMXY 命令は、DMX および DMY ビットをクリアし、モジュロアドレッシングモードを無効化します。

## 6. DSP ユニット

### 6.4.4 メモリのデータ形式

DSP 命令で扱えるメモリのデータ形式は、ワードとロングワードに分けられます。MOVX.W 命令で 2n 以外のアドレスから始まるワードデータをアクセスしようとしたり、または MOVX.L、LDS.L、および STS.L 命令で 4n 以外のアドレスから始まるロングワードにアクセスしようとするときアドレスエラーが発生します。このような場合は、アクセスするデータは保証されません。

MOVX.W および MOVY.W により 2n 以外のアドレスから始まるワードデータをアクセスしたときは、MMUCR.AT=1 かつ RAMCR.RP=1 のときのみアドレスエラーが発生します。MMUCR.AT=0 または RAMCR.RP=0 のときはアドレスエラーが発生しないので、必ず 2n 番地境界にアドレスを設定してください。2n 番地以外のアドレスに設定した場合は、アクセスするデータは保証されません。

また、MOVX.L および MOVY.L により 4n 以外のアドレスから始まるロングワードデータをアクセスしたときは、MMUCR.AT=1 かつ RAMCR.RP=1 のときのみアドレスエラーが発生します。MMUCR.AT=0 または RAMCR.RP=0 のときは、アドレスエラーが発生しないので、必ず 4n 境界にアドレスを設定してください。4n 番地以外のアドレスに設定した場合は、アクセスするデータは保証されません。

### 6.4.5 ダブル、シングルデータ転送命令の命令フォーマット

ダブルデータ転送命令の命令形式を表 6.13 と表 6.14 に、シングルデータ転送命令の命令形式を表 6.15 に示します。

表 6.14 は、X メモリか Y メモリの一方の転送命令が NOPX または NOPY のときの拡張命令です。一方が NOPX または NOPY 以外のときは使用できません。

表 6.13 ダブルデータ転送の命令形式 (1)

分類	ニーモニック	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Xメモリ データ 転送	NOPX	1	1	1	1	0	0	0		0		0		0	0		
	MOVX.W @Ax,Dx							Ax		Dx		0		0	1		
	MOVX.W @Ax+,Dx													1	0		
	MOVX.W @Ax+lx,Dx													1	1		
	MOVX.W Da,@Ax									Da		1		0	1		
	MOVX.W Da,@Ax+													1	0		
MOVX.W Da,@Ax+lx													1	1			
Yメモリ データ 転送	NOPY	1	1	1	1	0	0		0		0		0			0	0
	MOVY.W @Ay,Dy								Ay		Dy		0			0	1
	MOVY.W @Ay+,Dy															1	0
	MOVY.W @Ay+ly,Dy															1	1
	MOVY.W Da,@Ay										Da		1			0	1
	MOVY.W Da,@Ay+															1	0
MOVY.W Da,@Ay+ly															1	1	

【注】 Ax : 0=R4、1=R5    Ay : 0=R6、1=R7    Dx : 0=X0、1=X1    Dy : 0=Y0、1=Y1    Da : 0=A0、1=A1



表 6.14 ダブルデータ転送の命令形式 (2)

分類	ニーモニック	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0														
X メモ リ デ ー タ 転 送	MOVX.W @Axy,Dxy	1	1	1	1	0	0	Axy	Dxy	0	0	0	1	0	0	0	0														
	MOVX.W @Axy+,Dxy																														
	MOVX.W @Axy+Ix,Dxy																														
	MOVX.W Dax,@Axy																			Dax	1	0	0	1							
	MOVX.W Dax,@Axy+																								1	0					
	MOVX.W Dax,@Axy+Ix																								1	1					
	MOVX.L @Axy,Dxy																				Dxy	0	1	0	1						
	MOVX.L @Axy+,Dxy																								1	0					
	MOVX.L @Axy+Ix,Dxy																								1	1					
	MOVX.L Dax,@Axy																				Dax	1	1	0	1						
	MOVX.L Dax,@Axy+																								1	0					
	MOVX.L Dax,@Axy+Ix																								1	1					
Y メモ リ デ ー タ 転 送	MOVY.W @Ayx,Dyx	1	1	1	1	0	0	Ayx	Dyx	0	0	0	0	0	0	0	1	0													
	MOVY.W @Ayx+,Dyx																														
	MOVY.W @Ayx+Iy,Dyx																														
	MOVY.W Day,@Ayx																				Day	0	1					0	1		
	MOVY.W Day,@Ayx+																											1	0		
	MOVY.W Day,@Ayx+Iy																											1	1		
	MOVY.L @Ayx,Dyx																					Dyx	1	0				0	1		
	MOVY.L @Ayx+,Dyx																											1	0		
	MOVY.L @Ayx+Iy,Dyx																											1	1		
	MOVY.L Day,@Ayx																					Day	1	1				0	1		
	MOVY.L Day,@Ayx+																											1	0		
	MOVY.L Day,@Ayx+Iy																											1	1		

【注】 Axy : R0,R1,R4,R5=(01,11,00,10) Ix=R8 Dxy : X0,X1,Y0,Y1=(00,10,01,11) Dax : A0,A1,X0,X1=(00,10,01,11)  
 Ayx : R2,R3,R6,R7=(10,11,00,01) Iy=R9 Dyx : Y0,Y1,X0,X1=(00,01,10,11) Day : A0,A1,Y0,Y1=(00,01,10,11)

## 6. DSP ユニット

表 6.15 シングルデータ転送命令の命令形式

分類	ニーモニック	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																			
シングル データ 転送	MOVS.W @-As,Ds	1	1	1	1	0	1	As	Ds	0:(*)	0:R4	1:(*)	2:(*)	3:(*)	4:(*)	0	0	0	0																	
	MOVS.W @As,Ds																																			
	MOVS.W @As+,Ds																																			
	MOVS.W @As+Is,Ds																																			
	MOVS.W Ds,@-As								3:R3	0:A1	5:A1	6:(*)	7:A0	8:X0	9:X1	A:Y0	B:Y1	C:M0	D:A1G	E:M1	F:A0G	0	0	0	1											
	MOVS.W Ds,@As																																			
	MOVS.W Ds,@As+																																			
	MOVS.W Ds,@As+Is																																			
	MOVS.L @-As,Ds																																			
	MOVS.L @As,Ds																																			
	MOVS.L @As+,Ds																																			
	MOVS.L @As+Is,Ds																																			
	MOVS.L Ds,@-As																																			
	MOVS.L Ds,@As																																			
	MOVS.L Ds,@As+																																			
	MOVS.L Ds,@As+Is																																			

【注】 \* システム予約コード

## 6.5 DSP データ演算命令

### 6.5.1 DSP レジスタ

SH4AL-DSP は、図 6.3 に示すように DSP レジスタとして 8 つのデータレジスタ ( A0、A1、X0、X1、Y0、Y1、M0、M1 ) と 1 つのコントロールレジスタ ( DSR ) を持っています。

表 6.16 および表 6.17 は、DSP 命令で使用するレジスタのデータタイプを示します。命令コードの制限のため、表に示すレジスタの中には使用できない演算もあります。たとえば、PMULS はソースレジスタに A1 を使用できませんが、A0 は使用できません。これらの表は、レジスタの選択性の詳細については省略しています。

表 6.16 DSP 命令のデスティネーションレジスタ

レジスタ		命令	ガードビット		レジスタビット			
			39	32	31	16	15	0
A0、A1	DSP 演算	固定小数点、PSHA、PMULS、PSWAP	(符号拡張) 40ビット結果					
		整数、PDMSB	(符号拡張)			24ビット結果	0クリア	
		論理、PSHL	0クリア		16ビット結果	0クリア		
	データ 転送	MOVS.W	符号拡張		16ビットデータ	0クリア		
		MOVS.L	符号拡張		32ビットデータ			
A0G、A1G	データ 転送	MOVS.W	データ		更新しない			
		MOVS.L	データ		更新しない			
X0、X1 Y0、Y1	DSP 演算	固定小数点、PSHA、PMULS、PSWAP	32ビット結果					
		整数、論理、PDMSB、PSHL				16ビット結果	0クリア	
M0、M1	データ 転送	MOVX/Y.W、MOVS.W			16ビットデータ	0クリア		
		MOVX/Y.L、MOVS.L			32ビットデータ			

表 6.17 DSP 命令のソースレジスタ

レジスタ		命令	ガードビット		レジスタビット			
			39	32	31	16	15	0
A0、A1	DSP 演算	固定小数点、PDMSB、PSHA	40ビットデータ					
		整数				24ビットデータ		
		論理、PSHL、PMULS			16ビットデータ			
		PSWAP			32ビットデータ			
	データ 転送	MOVX/Y.W、MOVS.W			16ビットデータ			
MOVS.L				32ビットデータ				
A0G、A1G	データ 転送	MOVS.W	データ					
		MOVS.L	データ					
X0、X1 Y0、Y1 M0、M1	DSP 演算	固定小数点、PDMSB、PSHA	符号*		32ビットデータ			
		整数	符号*		16ビットデータ			
		論理、PSHL、PMULS			16ビットデータ			
		PSWAP			32ビットデータ			
	データ 転送	MOVS.W			16ビットデータ			
MOVX/Y.L、MOVS.L				32ビットデータ				

【注】 \* データを符号拡張し、ALU に入力する。

## 6. DSP ユニット

DSR は、DSP データ演算結果の状態（ゼロ、負、など）を保持します。表 6.18 に DSR レジスタの各ビットの説明を示します。DSR は、また CPU の T ビットに類似した DC ビットを持っており、状態フラグを示します。条件付き DSP データ演算命令は、この DC ビットに基づいて実行を制御します。この制御は、DSP ユニットの命令にのみ影響を与えます。すなわち、DSP レジスタのみを制御し、アドレスレジスタの更新、およびロードやストア命令などの CPU の命令を制御することはできません。DC 状態選択ビット（CS[2:0]）には、DC ビットに反映する条件を指定します。

PMULS、PLDS、PSTS、MOVX、MOVY、および MOVS を除く無条件 DSP タイプのデータ演算命令は条件フラグと DC ビットを更新しますが、CPU 命令はどれも DC ビットを更新しません。条件付き DSP タイプ命令も DSR を更新することはありません。

表 6.18 DSR レジスタのビットの説明

ビット	ビット名	初期値	説明
31~16	-	すべて 0	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15	AGT	0	累積符号付き大ビット 1：演算結果が正（ゼロを除く）、またはオペランド 1 がオペランド 2 より大きいことを表します。
14	AZ	0	累積ゼロビット 1：演算結果が 0（ゼロ）、またはオペランド 1 がオペランド 2 と等しいことを示します。
13	AN	0	累積負ビット 1：演算結果が負、またはオペランド 1 がオペランド 2 より小さいことを表します。
12	AV	0	累積オーバーフロービット 1：演算結果がオーバーフローしたことを表します。
11~9	TS	000	T ビット状態選択 TC ビットが 1 のとき、SR レジスタの T ビットに設定する演算結果状態を選択するモードを指定します。ただし、SR レジスタの S ビットが 1 のときもオーバーフロー検出を行います。  000：キャリー / ボローモード 001：負値モード 010：ゼロ値モード 011：オーバーフローモード 100：符号付き大モード 101：符号付き以上モード 110：リザーブ（設定禁止） 111：リザーブ（設定禁止）
8	TC	0	TC ビット 0：SR レジスタの T ビットは DSP 命令に依存しません。 1：SR レジスタの T ビットは DSP 命令実行時、DSR レジスタの T S ビットの状態により変化します。T ビットに設定できる命令は、DC ビットを更新する命令に限られます。

ビット	ビット名	初期値	説明
7	GT	0	符号付き大ビット 演算結果が正（ゼロを除く）、またはオペランド1がオペランド2より大きいことを表します。 1：演算結果が正、またはオペランド1がオペランド2より大きい
6	Z	0	ゼロビット 演算結果が0（ゼロ）、またはオペランド1がオペランド2と等しいことを表します。 1：演算結果が0（ゼロ）、または等しい
5	N	0	負値ビット 演算結果が負、またはオペランド1がオペランド2より小さいことを表します。 1：演算結果が負、またはオペランド1がオペランド2より小さい
4	V	0	オーバフロービット 演算結果がオーバフローしたことを表します。 1：演算結果がオーバフロー
3~1	CS	000	DC ビット状態選択ビット DC ビットに設定する演算結果状態を選択するためのモードを指定します。 000：キャリー / ボローモード 001：負値モード 010：ゼロモード 011：オーバフローモード 100：符号付き大モード 101：符号付き以上モード 110：リザーブ（設定禁止） 111：リザーブ（設定禁止）
0	DC	0	DSP 状態ビット CS ビットで指定されたモードで演算結果の状態を設定します。 0：指定されたモードの状態が成立しない 1：指定されたモードの状態が成立する PADDCまたはPSUBC命令実行後のDCビットは、CSビットに関係なくキャリー / ボローモードで演算結果の状態を設定します。

DSR は、システムレジスタに割り当てられます。DSR には、次のロードまたはストア命令が用意されています。

```

STS DSR, Rn;
STS.L DSR, @-Rn;
LDS Rn, DSR;
LDS.L @Rn+, DSR;

```

## 6. DSP ユニット

STS 命令で DSR を読み出すとき、上位ビット（ビット 31～ビット 16）はすべて 0 になります。

DSR レジスタの条件コードビット（DC）は、常に無条件の ALU またはシフト演算命令の結果に基づいて更新されます。乗算命令、PLDS、PSTS 命令、MOVX、MOVY、MOVS 命令、および条件付き命令の場合は、DC ビットを更新しません。DC ビットの更新は、DSR レジスタの CS[2:0] ビットにより行われます。表 6.19 に DC ビットの更新ルールについて示します。

表 6.19 DC ビットの更新ルール

CS[2:0]			条件モード	説明
0	0	0	キャリーまたはポローモード	ALU 算術演算の結果、キャリーまたはポローが発生した場合は、DC ビットがセットされます。それ以外は 0 クリアされます。 シフト命令、PSHA または PSHL の実行時、最後にシフトアウトしたビットデータが DC ビットにコピーされます。 ALU 論理演算の実行時は、DC ビットは常に 0 クリアされます。
0	0	1	負値モード	ALU 算術演算または算術シフト（PSHA）演算の実行時は、ガードビット部分を含めて結果の MSB が DC ビットにコピーされます。 ALU 論理演算または論理シフト（PSHL）演算の実行時、ガードビット部分を除く結果の MSB が DC ビットにコピーされます。
0	1	0	ゼロ値モード	ALU またはシフト演算の結果がすべてゼロの場合は、DC ビットがセットされます。それ以外は 0 クリアされます。
0	1	1	オーバフローモード	ALU 算術演算または算術シフト（PSHA）の演算結果がガードビット部分を除いたデスティネーションレジスタの範囲を超える場合は、DC ビットがセットされます。それ以外は 0 クリアされます。 ALU 論理演算または論理シフト（PSHL）の演算の実行時は、DC ビットは常に 0 クリアされます。
1	0	0	符号付き大モード	このモードは符号付き以上モードに類似していますが、結果がすべて 0 の場合は、DC は 0 クリアされます。 DC = $\sim\{(\text{負値}^{\wedge}\text{オーバーレンジ})\} \mid \text{ゼロ値}$ ; 算術演算の場合 DC = 0 ; 論理演算の場合
1	0	1	符号付き以上モード	ALU またはシフト（PSHA）の算術演算の結果がガードビットを含んだデスティネーションレジスタの範囲を超える場合（オーバーレンジと呼ぶ）は、定義は負値モードと同じになります。オーバーレンジでない場合は、定義は負値モードの反転となります。 ALU またはシフト（PSHL）の論理演算の実行時は、DC ビットは常に 0 クリアされます。 DC = $\sim\{(\text{負値}^{\wedge}\text{オーバーレンジ})\}$ ; 算術演算の場合 DC = 0 ; 論理演算の場合
1	1	0	リザーブ（設定禁止）	
1	1	1	リザーブ（設定禁止）	

DSR にはフラグを累積するフラグアキュムレート機能があり、DSR[11:8] (TS、TC) で指定します。DSR[11:8] 0000 のとき、AGT、AZ、AN、および AV は演算結果によって値が更新されます。ただし、演算結果により 0 クリアされることはありません。本機能により、ある一連の処理の中で発生したフラグ結果を累積することができます。フラグアキュムレート機能の使用例を図 6.6 に示します。

MOV.L	#H'7FFFFFFF,R0			
LDS	R0,X0			
LDS	R0,Y0			
MOV.W	#H'0200,R0			
LDS	R0,DSR	;AGT,AZ,AN,AV=0000	TS,TC=0010	GT,Z,N,V=0000
PADD	X0,Y0,A0	;AGT,AZ,AN,AV=1001	TS,TC=0010	GT,Z,N,V=1001
PCLR	A0	;AGT,AZ,AN,AV=1101	TS,TC=0010	GT,Z,N,V=0100

図 6.6 フラグアキュムレート機能の使用例

DSR には DSP データ演算結果を SR レジスタの T ビットに反映する T ビットリンク機能があります。DSR レジスタの TC ビットと TS ビットにより、T ビットに 1 をセットするかどうかの制御をすることができます。T ビットに設定できる命令は、DC ビットを更新する命令に限られます。PMULS、PSTS、MOVX、MOVY、MOVZ および条件付き DSP データ演算命令は T ビットを更新しません。

本機能により CS ビットと TS ビットを独立に設定することで、2 つの条件での異なる処理を行うことが可能です。T ビットは DC ビットと類似していますが、T ビットと DC ビットの相違点は次のとおりです。

- オーバフロー防止機能が有効のとき (S=1)、CS ビットでオーバフローモードを選択する場合、DC ビットは 0 でクリアされますが、TS ビットでオーバフローを選択する場合、オーバフロー検出結果が T ビットに反映されます。
- PADDC、PSUBC 命令実行後の DC ビットは、CS ビットに関係なくキャリー / ボローモードになりますが、T ビットは TS ビットで設定した状態が反映されます。

図 6.7 に T ビットリンク機能の使用例を示します。

DSR に、TC ビットをゼロ値モード、DC ビットをキャリー / ボローモードに設定します。

PADD 演算結果に従って T ビットが設定され、後続の BT 命令により TRGET\_T に分岐します。

MOV.L	#H'0000 0000,R1		
LDS	R1,X0		
LDS	R1,Y0		
MOV.L	#H'0000 0500,R0	; DSR TS,TC=0101,CS=000	
LDS	R0,DSR		
PADD	X,Y0,A0	; T=1 DC=0	
BT	TRGET_T		

図 6.7 T ビットリンク機能の使用例

## 6. DSP ユニット

### 6.5.2 DSP データ演算命令の命令セット

DSP データ演算命令は、DSP ユニットで処理されるデジタル信号処理の命令です。これらの命令は 32 ビット長の命令コードで、複数の命令を並列に実行します。命令コードは A フィールド、B フィールドの 2 つに分かれており、A フィールドにはダブルデータ転送命令を指定し、B フィールドにはシングルまたはダブルデータ演算命令を指定します。命令は独立して指定することができ、実行も独立に実行されます。

B フィールドのデータ演算命令は 3 つに分かれています。ダブルデータ演算命令、条件付きシングルデータ演算命令、および無条件シングルデータ演算命令の 3 つです。DSP 演算命令の命令形式を表 6.20 に示します。それぞれのオペランドは独立に DSP レジスタから選べます。DSP 演算命令のオペランドとレジスタの対応を表 6.21 に示します。

表 6.20 DSP 演算命令の命令形式

分類	命令形式
ダブルデータ演算命令	ALUop. Sx, Sy, Du MLTop. Se, Sf, Dg
条件付きシングルデータ演算命令	DCT ALUop. Sx, Sy, Dz DCF ALUop. Sx, Sy, Dz DCT ALUop. Sx, Dz DCF ALUop. Sx, Dz DCT ALUop. Sy, Dz DCF ALUop. Sy, Dz
無条件シングルデータ演算命令	ALUop. Sx, Sy, Dz ALUop. Sx, Dz ALUop. Sy, Dz MLTop. Se, Sf, Dg

表 6.21 DSP 命令のオペランドとレジスタの対応

レジスタ	ALU、シフト演算				乗算演算		
	Sx	Sy	Dz	Du	Se	Sf	Dg
A0	Yes		Yes	Yes			Yes
A1	Yes		Yes	Yes	Yes	Yes	Yes
M0		Yes	Yes				Yes
M1		Yes	Yes				Yes
X0	Yes		Yes	Yes	Yes	Yes	
X1	Yes		Yes		Yes		
Y0		Yes	Yes	Yes	Yes	Yes	
Y1		Yes	Yes			Yes	



DSP データ演算命令を書くときは、最初に B フィールドの命令を書いて、次に A フィールドの命令を書きます。DSP データ演算命令による並行処理プログラム例を図 6.8 に示します。

```

PADD  A0, M0, A0    PMULS  X0, Y0, M0    MOVX.W  @R4+,  X0    MOVY.W  @R6+,  Y0  [;]
DCF   PINC  M1, A1    MOVX.W  @R5+R8, X0    MOVY.W  @R7+,  Y1  [;]
PCMP  M1, M0    MOVX.W  @R4,    X1    [NOPY]  [;]

```

図 6.8 DSP データ演算命令による並行処理プログラムの例

ここで、[ ]は省略可能な部分を表します。

NOPX と NOPY のノーオペレーション命令は、省略可能です。DSP データ演算命令の B フィールドの詳細は、表 6.39 を参照してください。

- 条件付き演算とデータ転送

このクラスに属する命令の中には前記のように、条件付きで実行することができるものがあります。ただし、指定した条件は命令の B フィールドに対してのみ有効であって、並行して指定したデータ転送命令には有効ではありません。図 6.9 に例を示します。

```

DCT  PADD  X0,  Y0,  A0    MOVX.W  @R4+,  X0    MOVY.W  A0, @R6+R9  [;]
<条件が真の場合>
実行前： X0=H'33333333,  Y0=H'55555555,  A0=H'123456789A,
          R4=H'00008000,  R6=H'00005000,  R9=H'00000004
          (R4)=1111    (R6)=2222
実行後： X0=H'11110000,  Y0=H'55555555,  A0=H'0088888888
          R4=H'00008002,  R6=H'00005004,  R9=H'00000004
          (R4)=1111    (R6)=3456

<条件が偽の場合>
実行前： X0=H'33333333,  Y0=H'55555555,  A0=H'123456789A
          R4=H'00008000,  R6=H'00005000,  R9=H'00000004
          (R4)=1111    (R6)=2222
実行後： X0=H'11110000,  Y0=H'55555555,  A0=H'123456789A
          R4=H'00008002,  R6=H'00005004,  R9=H'00000004
          (R4)=1111    (R6)=3456

```

図 6.9 条件付き演算とデータ転送命令の例

## 6. DSP ユニット

- NOPXおよびNOPYの命令コードの割り当て

DSP 演算命令と同時に並行処理されるデータ転送命令がないときは、データ転送命令に NOPX または NOPY 命令を書くか、あるいは命令を省略することもできます。NOPX または NOPY 命令を書くかあるいは省略しても命令コードは同じです。NOPX と NOPY の命令コードの例を表 6.22 に示します。

表 6.22 NOPX と NOPY の命令コードの例

命令	コード
PADD X0, Y0, A0      MOVX.W @R4+, X0      MOVY.W @R6+R9, Y0	1111100000001011 1011000100000111
PADD X0, Y0, A0      NOPX      MOVY.W @R6+R9, Y0	1111100000000011 1011000100000111
PADD X0, Y0, A0      NOPX      NOPY	1111100000000000 1011000100000111
PADD X0, Y0, A0      NOPX	1111100000000000 1011000100000111
PADD X0, Y0, A0	1111100000000000 1011000100000111
MOVX.W @R4+, X0      MOVY.W @R6+R9, Y0	1111000000001011
MOVX.W @R4+, X0      NOPY	1111000000001000
MOVS.W @R4+, X0	1111010010001000
NOPX      MOVY.W @R6+R9, Y0	1111000000000011
MOVY.W @R6+R9, Y0	1111000000000011
NOPX      NOPY	1111000000000000
NOP	000000000001001

## 6.5.3 SP タイプデータ形式

SH4AL-DSP は、命令によって異なるデータ形式を持っています。ここでは DSP タイプ命令用のデータ形式について説明します。

図 6.10 に 2 進小数点の位置の異なる 3 つの DSP タイプのデータ形式を、また参考として、ビット 0 の右側に 2 進小数点を持つ CPU タイプのデータ形式を示します。

DSP タイプ固定小数点データ形式は、ビット 31 とビット 30 の間に 2 進小数点があります。DSP タイプ整数形式は、ビット 16 とビット 15 の間に 2 進小数点があります。DSP タイプ論理形式には、2 進小数点はありません。データ形式の有効なデータ長は、命令および DSP レジスタによって異なります。

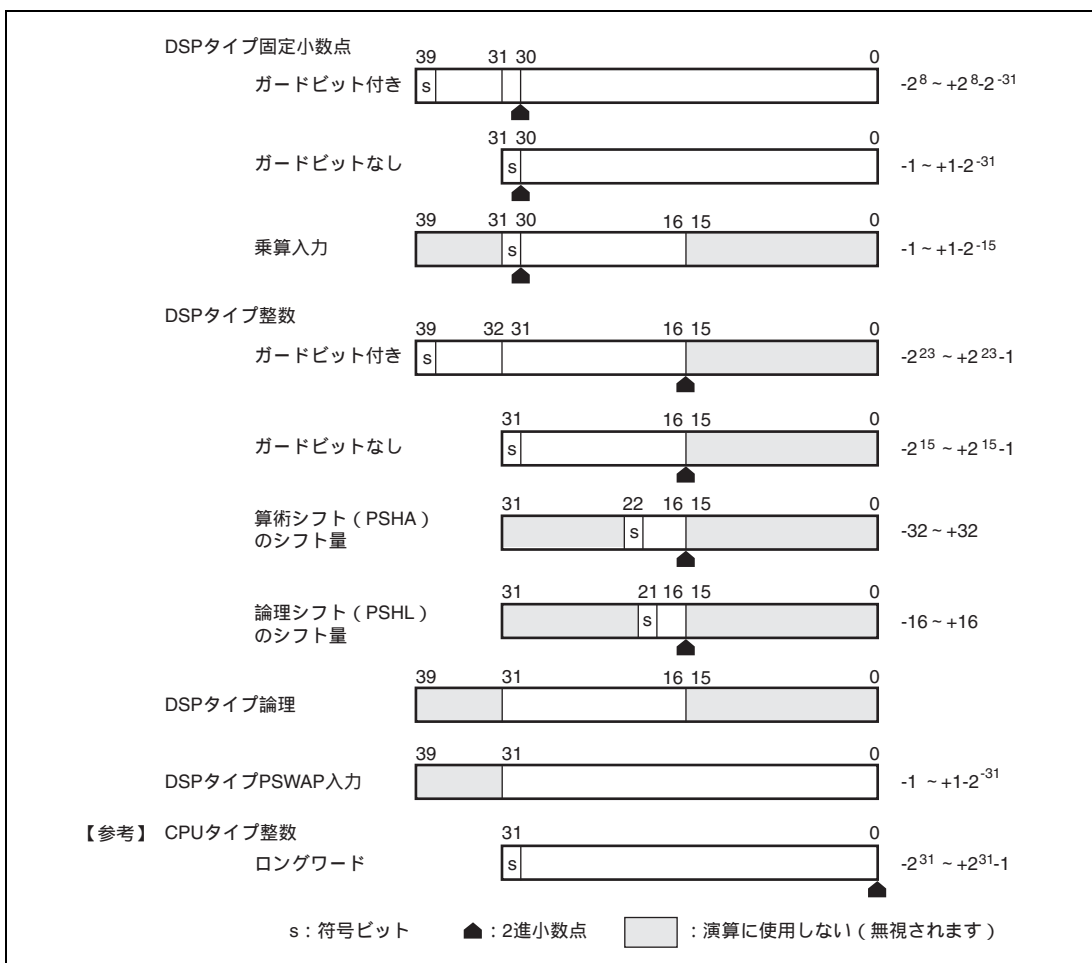


図 6.10 データ形式

算術シフト (PSHA) 命令のシフト量は、 $-64 \sim +63$  を表す 7 ビットのフィールドを持っていますが、 $-32 \sim +32$  が有効な数です。また論理シフトのシフト量も 6 ビットのフィールドを持っていますが、 $-16 \sim +16$  が有効な数です。無効な数値を指定した場合の結果は保証されません。

## 6.5.4 ALU 固定小数点算術演算

図 6.11 に ALU 固定小数点算術演算フローを示します。表 6.23 はこの演算の種々のタイプを示し、表 6.24 は各オペランドとレジスタの対応を示します。

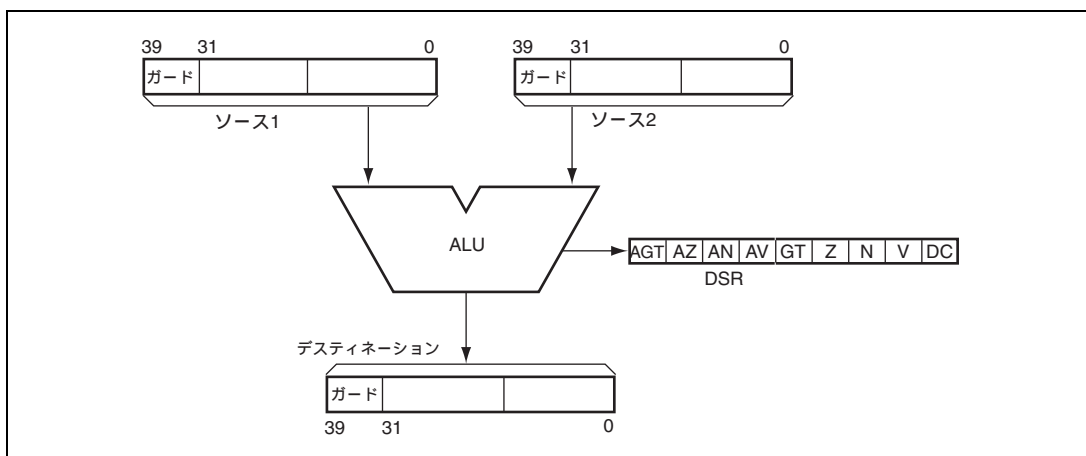


図 6.11 ALU 固定小数点算術演算フロー

ALU 固定小数点算術演算は、基本的に 40 ビット演算であり、32 ビットの基本精度部分および 8 ビットのガードビット部分から構成されます。したがって、ガードビット部分を提供していないレジスタをソースオペランドに指定すると、符号ビットがガードビット部分にコピーされます。ガードビット部分を提供していないレジスタをデスティネーションオペランドに指定すると、演算結果の下位 32 ビットがデスティネーションレジスタに入力されます。

ALU 固定小数点算術演算は、レジスタ間で実行されます。各ソースオペランドおよびデスティネーションオペランドは、DSP レジスタの 1 つから独立して選択されます。ガードビットを持つレジスタをオペランドに指定すると、ガードビットも含めてこれらの演算が実行されます。

表 6.23 ALU 固定小数点算術演算の種類

二モニック	機能	ソース 1	ソース 2	デスティネーション
PADD	加算	Sx	Sy	Dz ( Du )
PSUB	減算	Sx	Sy	Dz ( Du )
PADDC	キャリー付き加算	Sx	Sy	Dz
PSUBC	ボロー付き減算	Sx	Sy	Dz
PCMP	比較	Sx	Sy	-
PCOPY	データコピー	Sx	all 0	Dz
		all 0	Sy	Dz
PABS	絶対値	Sx	all 0	Dz
		all 0	Sy	Dz
PNEG	符号反転	Sx	all 0	Dz
		all 0	Sy	Dz
PCLR	クリア	all 0	all 0	Dz ( Du )

表 6.24 オペランドとレジスタの対応

レジスタ	Sx	Sy	Dz	Du
A0	Yes		Yes	Yes
A1	Yes		Yes	Yes
M0		Yes	Yes	
M1		Yes	Yes	
X0	Yes		Yes	Yes
X1	Yes		Yes	
Y0		Yes	Yes	Yes
Y1		Yes	Yes	

図 6.12 に示すように、ALU 演算と同じラインでプログラムされたデータロード命令によりメモリから読み込まれたデータは、データロード命令のデスティネーションオペランドが ALU 演算のソースオペランドと同一であってもこの演算用のソースオペランドとしては使用されません。この場合は、前の命令の結果が ALU 演算のソースオペランドとして用いられた後にデータロード演算のデスティネーションオペランドとして更新されます。

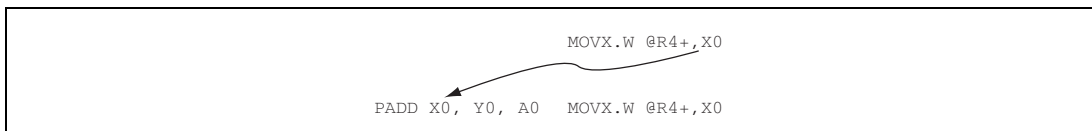


図 6.12 演算シーケンスの例

## 6. DSP ユニット

ALU 算術演算を実行するたびに、DSR の DC、N、Z、V、GT、AN、AZ、AV、および AGT ビットは基本的に演算結果に従って更新されます。また、DSR[11:8] 0000 のとき、AGT、AZ、AN、AV ビットは演算結果に従って累積されます。ただし、条件付き命令の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件命令の場合は、これらは演算結果に従って常に更新されます。DC ビットの定義は、DSR レジスタの CS[2:0] (条件選択) で指定します。DC ビットは、以下ようになります。

### (1) キャリー / ボローモード (CS[2:0]=000 の場合)

DC ビットは、ガードビットを除いた演算結果の最上位ビットからキャリーまたはボローが発生したことを示します。いくつかの例を図 6.13 に示します。このモードがデフォルトです。PABS および PNEG 命令では、入力データが負のとき LSB (Least significant bit) に 1 を加算するため、キャリービットが発生する場合があります。

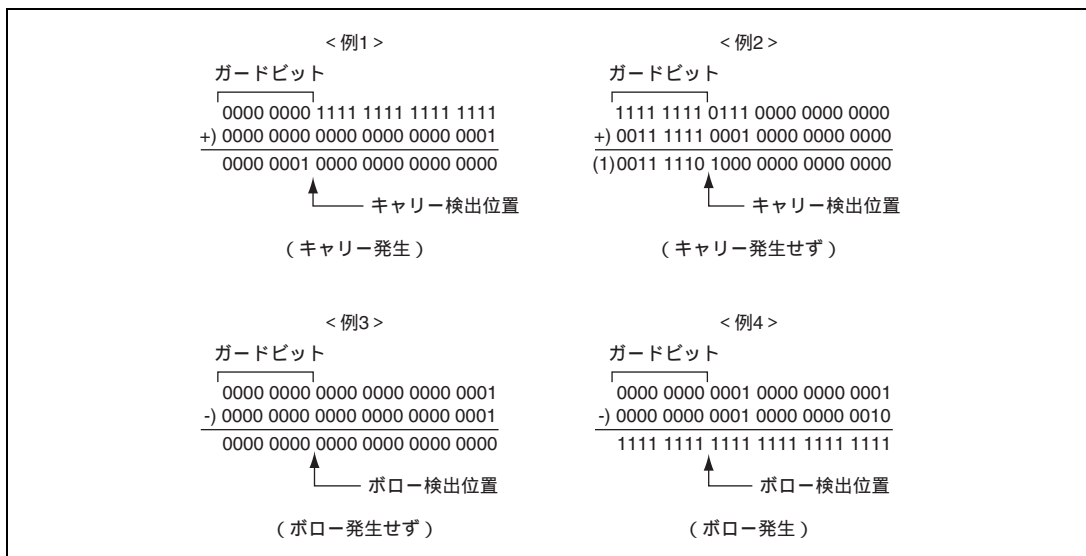


図 6.13 キャリー / ボローモードでの DC ビット生成の例

## (2) 負値モード (CS[2:0]=001 の場合)

DC ビットは、演算結果の MSB (Most significant bit) と同じ状態を示します。結果が負の数のときは、DC ビットは 1 を示します。結果が 0 または正の数のときは、DC ビットは 0 を示します。ALU は常に 40 ビットの算術演算を実行するので、正か負かを検出する符号ビットはデスティネーションオペランドに関係なく常に演算結果の MSB から得られます。いくつかの例を図 6.14 に示します。

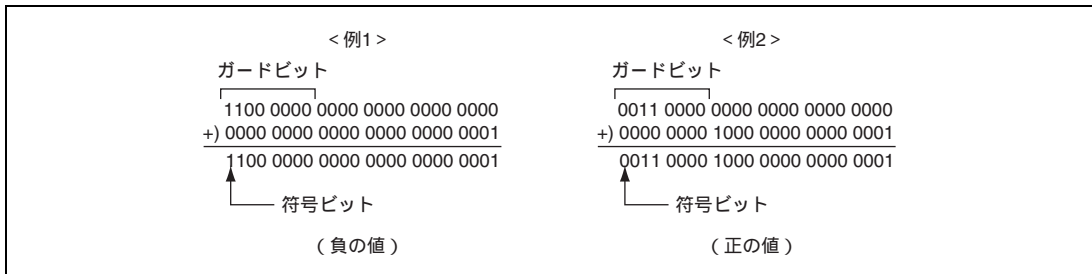


図 6.14 負値モードでの DC ビット生成の例

## (3) ゼロ値モード (CS[2:0]=010 の場合)

DC ビットは、演算結果がゼロであるか否かを示します。結果がゼロの場合は、DC ビットは 1 を示します。結果がゼロでない場合は、DC ビットは 0 を示します。

## (4) オーバフローモード (CS[2:0]=011 の場合)

DC ビットは、結果にオーバーフローが発生したか否かを示します。ガードビットを除き演算の結果がデスティネーションレジスタの範囲を超える場合は、DC ビットが 1 にセットされます。ガードビットがある場合でも、DC ビットはガードビットがない場合の結果を示します。したがって、ガードビットの部分が必要な数値を表すために使用される場合は、DC ビットは常に 1 にセットされます。オーバーフローモードでの DC ビット生成の例を図 6.15 に示します。

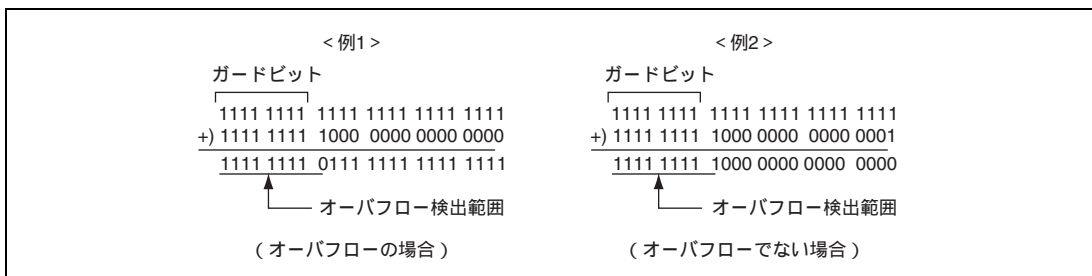


図 6.15 オーバフローモードでの DC ビット生成の例

## 6. DSP ユニット

---

### (5) 符号付き大モード (CS[2:0] = 100 の場合)

DC ビットは、比較演算 PCMP の結果、ソース 1 データ (符号付き) がソース 2 データ (符号付き) より大きいかどうかを示します。ソース 1 データがソース 2 データより大きい場合は、比較演算の結果は正の値なので、このモードは前述の負値モードに類似しています。ただし、ソース 1 データがソース 2 データより大きくても、比較演算の結果がガードビットを含めたデスティネーションオペランドの範囲を超える場合 (「オーバーレンジ」と呼ぶ) は、結果の符号ビットは負の値を示します。この条件モードでは、この特殊な場合を考慮した上で DC ビットを更新します。次の式は、この条件を得る定義を示します。

$$DC = \sim\{(\text{負値} \wedge \text{オーバーレンジ}) \mid \text{ゼロ値}\}$$

PCMP 演算をこの条件モードで実行する場合は、DC ビットの結果は CPU 命令の CMP/GT 演算の T ビットの結果と同じです。このモードでは、PCMP 命令以外にも上記定義に従って DC ビットが更新されます。

### (6) 符号付き以上モード (CS[2:0] = 101 の場合)

DC ビットは、比較演算 PCMP の結果、ソース 1 データ (符号付き) がソース 2 データ (符号付き) 以上であるかどうかを示します。このモードは前述の「符号付き大モード」と類似していますが、このモードには等しい場合も含まれます。次の式は、この条件を得る定義を示します。

$$DC = \sim(\text{負値} \wedge \text{オーバーレンジ})$$

PCMP 演算をこの条件モードで実行する場合は、DC ビットの結果は CPU 命令の CMP/GE 演算の T ビット結果と同じです。このモードでは、PCMP 命令以外にも上記定義に従って DC ビットが更新されます。

N ビットは、CS[2:0] ビットが負値モードとしてセットされる DC ビットと常に同じ状態を示します。上記の負値モード部分を参照してください。Z ビットは、CS[2:0] ビットがゼロ値モードとしてセットされる DC ビットと常に同じ状態を示します。上記のゼロ値モード部分を参照してください。V ビットは、CS[2:0] ビットがオーバーフローモードとしてセットされる DC ビットと常に同じ状態を示します。上記のオーバーフローモード部分を参照してください。GT ビットは、CS[2:0] ビットが符号付き大モードとしてセットされる DC ビットと常に同じ状態を示します。上記の符号付き大モード部分を参照してください。

【注】 DC ビットは、PADDC と PSUBC 命令では、CS[2:0] の状態に関係なく常にキャリー / ボローモードとなります。

- オーバフローの防止機能

SR レジスタの S ビットは、DSP ユニットのどの ALU 固定小数点算術演算に対しても有効です。詳細については、「6.5.12 オーバフロー防止機能」を参照してください。



## 6.5.5 ALU 整数演算

図 6.16 に ALU 整数演算フローを示します。表 6.25 にこの演算の種類を示します。各オペランドのレジスタとの対応は、表 6.24 に示した ALU 固定小数点算術演算と同じです。

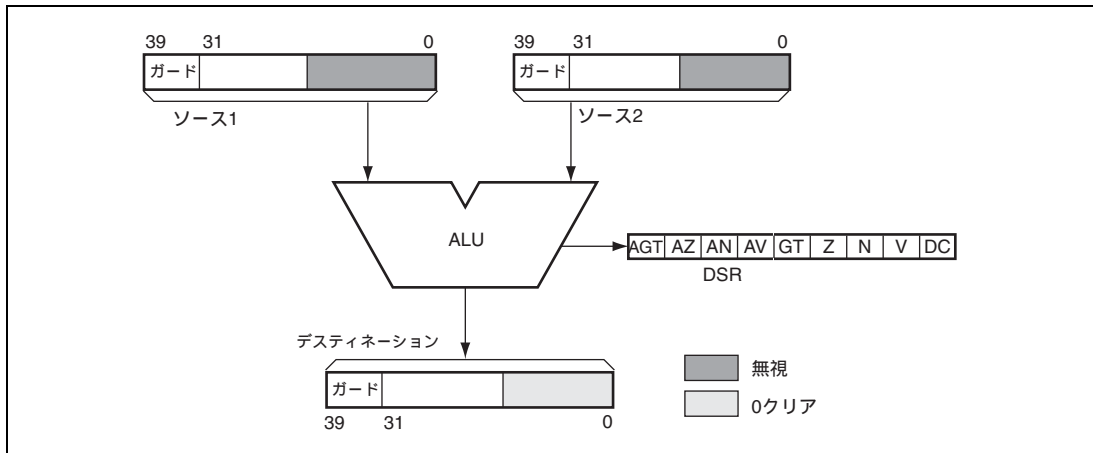


図 6.16 ALU 整数演算フロー

表 6.25 ALU 整数演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PINC	1 ずつインクリメント	Sx	+ 1	Dz
		+ 1	Sy	Dz
PDEC	1 ずつデクリメント	Sx	- 1	Dz
		- 1	Sy	Dz

ALU 整数演算は、基本的に 24 ビット演算、すなわち上位 16 ビットの基本精度および 8 ビットのガードビット部分からなります。したがって、ガードビット部分を提供していないレジスタをソースオペランドに指定すると、符号ビットはガードビット部分にコピーされます。ガードビット部分を提供していないレジスタをデスティネーションオペランドに指定すると、演算結果のガードビットを除いた上位ワードがデスティネーションレジスタの上位ワードに入力されます。

ALU 整数演算では、ソースオペランドの下位ワードは無視され、デスティネーションオペランドの下位ワードは自動的にクリアされます。ガードビット部分がサポートされている場合は、ALU 整数演算で有効です。その他は、基本的に ALU 固定小数点演算の演算と同じです。ただし、表 6.25 に示すように、この種の演算は 2 種類の命令しか提供されません。したがって、第 2 オペランドは、実質的には +1 か -1 かのいずれかとなります。ワードデータを DSP ユニットのレジスタに読み込むと、上位ワードデータとして入力されます。ガードビットがあるレジスタをオペランドに指定すると、ガードビットも有効です。

## 6. DSP ユニット

ALU 整数演算を実行するたびに、DSR レジスタの DC、N、Z、V、GT、AN、AZ、AV、および AGT ビットは、基本的に演算結果に従って更新されます。また、DSR[11:8] 0000 のとき、AGT、AZ、AN、AV ビットは演算結果に従って累積されます。これは固定小数点演算と同じですが、各ソースオペランドとデスティネーションオペランドの下位ワードはそれらを生成するためには使用しません。詳細については、「6.5.4 ALU 固定小数点算術演算」を参照してください。

条件付き命令の場合は、指定した条件が真であり演算が実行されてもこれらのビットは更新されません。無条件命令の場合、これらは、演算結果に従って常に更新されます。詳細については、「6.5.4 ALU 固定小数点算術演算」を参照してください。

- オーバフローの防止機能

SR レジスタの S ビットは、DSP ユニットのすべての ALU 整数演算で有効です。詳細については、「6.5.12 オーバフロー防止機能」を参照してください。

### 6.5.6 ALU 論理演算

図 6.16 に ALU 論理演算フローを示します。表 6.26 にこの演算の種類を示します。各オペランドのレジスタとの対応は、表 6.24 に示した ALU 固定小数点算術演算と同じです。

ALU 論理演算は、レジスタ間で実行します。各ソースオペランドおよびデスティネーションオペランドは、DSP レジスタの 1 つから独立して選択されます。図 6.17 に示すように、この種の演算は、各オペランドの上位ワードのみを使用します。ソースオペランドの下位ワードとガードビットは無視され、デスティネーションオペランドの下位ワードとガードビットは自動的にクリアされます。

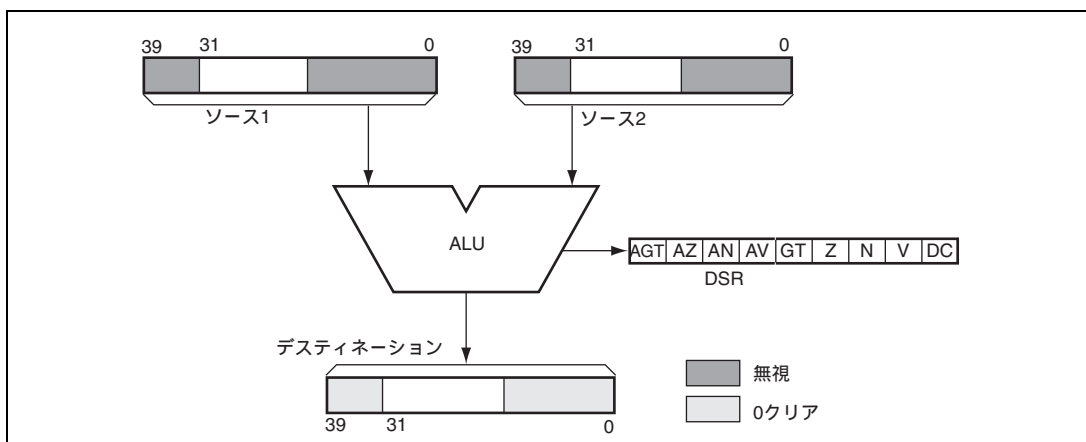


図 6.17 ALU 論理演算フロー

表 6.26 ALU 論理演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PAND	論理 AND	Sx	Sy	Dz
POR	論理 OR	Sx	Sy	Dz
PXOR	論理排他的 OR	Sx	Sy	Dz

ALU 論理演算を実行するたびに、DSR レジスタの DC、N、Z、V、GT、AN、AZ、AV、および AGT ビットは、基本的に演算結果に従って更新されます。また、DSR[11:8] 0000 のとき、AGT、AZ、AN、AV ビットは演算結果に従って累積されます。条件付き命令の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件命令の場合は、これらは演算結果に従って常に更新されます。DC ビットの定義は、DSR レジスタの CS[2:0] ビット (条件選択ビット) で指定します。DC ビットの結果は、次のとおりです。

1. キャリーまたはボローモード (CS[2:0] = 000 の場合)  
DC ビットは常に 0 にクリアされます。
2. 負値モード (CS[2:0] = 001 の場合)  
演算結果のビット 31 の値が DC ビットに読み込まれます。
3. ゼロ値モード (CS[2:0] = 010 の場合)  
演算結果がゼロのとき DC ビットは 1 にセットされ、それ以外は 0 にクリアされます。
4. オーバフローモード (CS[2:0] = 011 の場合)  
DC ビットは常に 0 にクリアされます。
5. 符号付き大モード (CS[2:0] = 100 の場合)  
DC ビットは常に 0 にクリアされます。
6. 符号付き、以上モード (CS[2:0] = 101 の場合)  
DC ビットは常に 0 にクリアされます。

N ビットは、CS[2:0] ビットが負値モードとしてセットされる DC ビットと常に同じ状態を示します。上記の負値モード部分を参照してください。Z ビットは、CS[2:0] ビットがゼロ値モードとしてセットされる DC ビットと常に同じ状態を示します。上記のゼロ値モード部分を参照してください。V ビットは、CS[2:0] ビットがオーバフローモードとしてセットされる DC ビットと常に同じ状態を示しますが、本命令では、常に 0 にクリアされます。上記のオーバフローモード部分を参照してください。GT ビットは、CS[2:0] ビットが符号付き大モードとしてセットされる DC ビットと常に同じ状態を示します。上記の符号付き大モード部分を参照してください。

## 6. DSP ユニット

### 6.5.7 固定小数点乗算

図 6.18 に乗算命令のフローを示します。表 6.27 にこの演算の種類を示します。表 6.28 に各オペランドとレジスタの対応を示します。DSP ユニットの乗算は、シングルワード符号付き単精度乗算です。

倍精度乗算が必要な場合は、CPU のダブルワード乗算命令を使用します

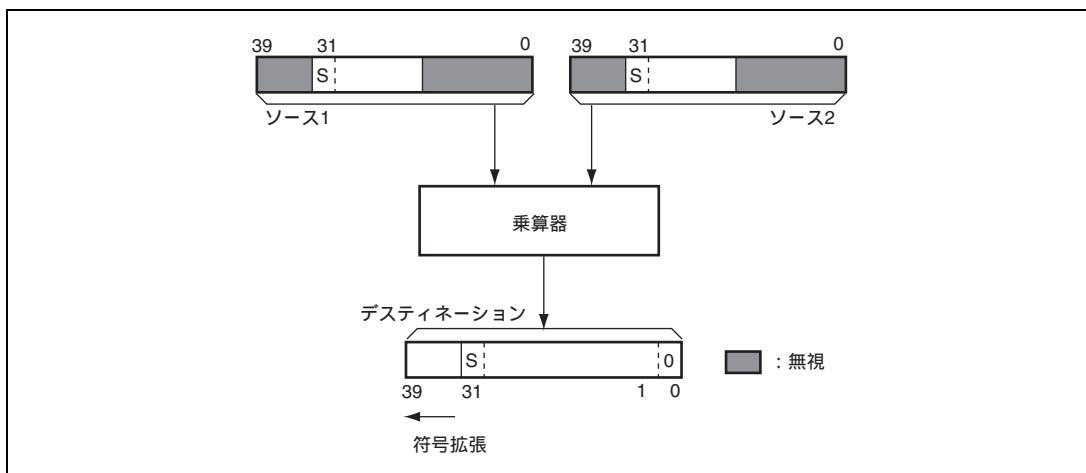


図 6.18 固定小数点乗算フロー

表 6.27 固定小数点乗算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PMULS	符号付き乗算	Se	Sf	Dg

表 6.28 固定小数点乗算のオペランドとレジスタの対応

レジスタ	Se	Sf	Dg
A0			Yes
A1	Yes	Yes	Yes
M0			Yes
M1			Yes
X0	Yes	Yes	
X1	Yes		
Y0	Yes	Yes	
Y1		Yes	

【注】 乗算は、基本的に 32 ビットの演算結果を生成します。したがって、ガードビット部分を提供するレジスタをデスティネーションオペランドに指定するとガードビット部分には、演算結果のビット 31 がコピーされます。

DSP ユニット側の乗算は、整数ではなく固定小数点演算です。したがって、乗数および被乗数それぞれの上位ワードが図 6.18 に示すように乗算器に入力されます。固定小数点乗算結果は MSB にそろえられ、固定小数点乗算結果の LSB は常に 0 になります。

乗算演算は、常に無条件で実行されますが、DSR レジスタの DC、N、Z、V、GT、AN、AZ、AV、および AGT の条件コードビットは更新されません。

- オーバフローの防止機能

SR レジスタの S ビットは DSP ユニットのこの乗算に対して有効です。詳細については、「6.5.12 オーバフロー防止機能」を参照してください。

S ビットが 0 の場合は、 $H'8000 * H'8000 ( (-1.0) * (-1.0) )$  演算を符号付き固定小数点乗算として実行するときだけオーバーフローが発生します。結果は、 $H'00\ 8000\ 0000$  ですが、 $(+1.0)$  を意味しません。S ビットが 1 の場合は、オーバーフロー防止機能が働いて結果は  $H'00\ 7FFF\ FFFF$  となります。

### 6.5.8 シフト演算

シフト演算は、シフト量オペランドとしてレジスタ値またはイミディエイト値を使用することができます。他のソースオペランドとデスティネーションオペランドは、レジスタで指定します。シフト演算には、算術シフトおよび論理シフトの 2 種類があります。表 6.29 にこの演算の種類を示します。イミディエイトオペランドを除き、各オペランドのレジスタとの対応は、表 6.24 に示すように ALU 固定小数点算術演算と同じです。

表 6.29 シフト演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PSHA Sx, Sy, Dz	算術シフト	Sx	Sy	Dz
PSHL Sx, Sy, Dz	論理シフト	Sx	Sy	Dz
PSHA #Imm1, Dz	イミディエイト付き算術シフト	Dz	Imm1	Dz
PSHL #Imm2, Dz	イミディエイト付き論理シフト	Dz	Imm2	Dz

$-32 \leq \text{Imm1} \leq +32, -16 \leq \text{Imm2} \leq +16$

#### (1) 算術シフト：

図 6.19 に算術シフト演算フローを示します。

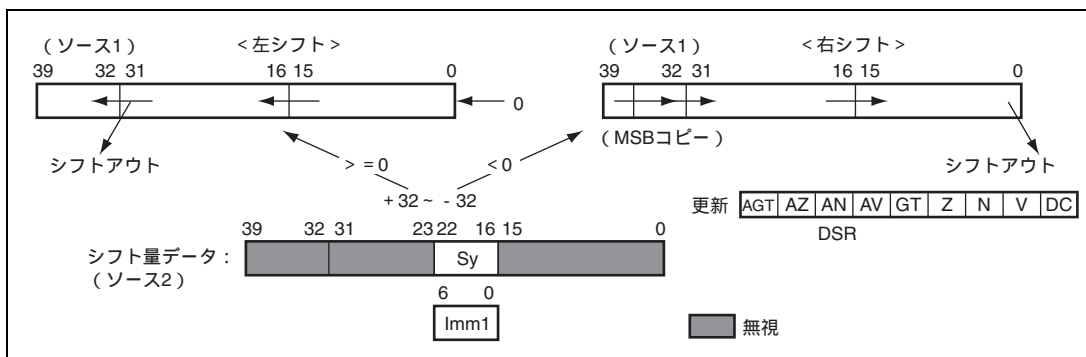


図 6.19 算術シフト演算フロー

## 6. DSP ユニット

---

算術シフト演算は、基本的に 40 ビット演算、すなわち 32 ビットの基本精度、8 ビットのガードビット部分から構成されます。したがって、ガードビット部分を提供していないレジスタをソースオペランドに指定すると、符号ビットがガードビット部分にコピーされます。ガードビット部分を提供していないレジスタをデスティネーションオペランドに指定すると、演算結果の下位 32 ビットがデスティネーションレジスタに入力されます。

この算術シフト演算においては、ソース 1 オペランドとデスティネーションオペランドは全ビット有効になります。シフト量は、整数部分としてソース 2 オペランドで指定します。ソース 2 オペランドは、レジスタまたはイミディエイトオペランドで指定することができます。利用可能なシフト範囲は、-32 から +32 までです。ここで負の値は右シフト、正の値は左シフトを意味します。ソース 2 オペランドとしては、-64 から +63 までを指定することができますが、無効なシフト値が指定された場合は、結果は保証されません。イミディエイトオペランド命令を持つシフトの場合は、ソース 1 オペランドはデスティネーションのレジスタと同じレジスタでなければなりません。

算術シフト演算を実行するたびに、DSR レジスタの DC、N、Z、V、GT、AN、AZ、AV、および AGT ビットは、基本的に演算結果に従って更新されます。また、DSR[11:8] 0000 のとき、AGT、AZ、AN、AV ビットは演算結果に従って累積されます。ただし、条件付き命令の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件の命令の場合は、これらは演算結果に従って常に更新されます。DC ビットの定義は DSR レジスタの CS[2:0] ビット (条件選択ビット) で指定します。DC ビットの結果は、次のとおりです。

### 1. キャリー/ボローモード (CS[2:0]=000の場合)

DCビットは、演算結果として最後にシフトアウトしたデータを示します。

### 2. 負値モード (CS[2:0]=001の場合)

DCビットは、演算結果が負の値のとき1にセットされ、ゼロまたは正の値のときに0クリアされます。

### 3. ゼロ値モード (CS[2:0]=010の場合)

DCビットは、演算結果がゼロのとき1にセットされます。それ以外は、0クリアされます。

### 4. オーバフローモード (CS[2:0]=011の場合)

オーバフローが発生したときに1にセットされます。

### 5. 符号付き大モード (CS[2:0]=100の場合)

DCビットは、常に0にクリアされます。

### 6. 符号付き以上モード (CS[2:0]=101の場合)

DCビットは、常に0にクリアされます。

N ビットは、CS[2:0] ビットが負値モードとしてセットされる DC ビットと常に同じ状態を示します。上記の負値モード部分を参照してください。Z ビットは、CS[2:0] ビットがゼロ値モードとしてセットされる DC ビットと常に同じ状態を示します。上記のゼロ値モード部分を参照してください。V ビットは、CS[2:0] ビットがオーバフローモードとしてセットされる DC ビットと常に同じ状態を示します。上記のオーバフローモード部分を参照してください。GT ビットは、CS[2:0] ビットが符号付き大モードとしてセットされる DC ビットと常に同じ状態を示します。上記の符号付き大モード部分を参照してください。

- オーバフローの防止機能

SR レジスタの S ビットは、DSP ユニットのどの算術シフト演算に対しても有効です。詳細については、「6.5.12 オーバフロー防止機能」を参照してください。

## (2) 論理シフト：

図 6.20 に論理シフト演算フローを示します。

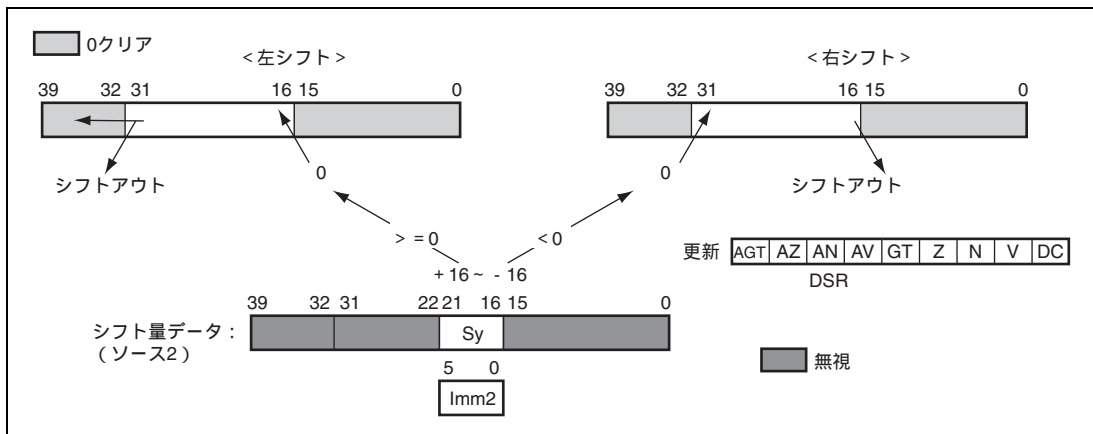


図 6.20 論理シフト演算フロー

図 6.20 に示すように、論理シフト演算は、ソース 1 の上位ワードとデスティネーションオペランドを使用します。ソースオペランドの下位ワードとガードビット部分は無視され、デスティネーションオペランドの下位ワードとガードビット部分は、ALU 論理演算同様、0 にクリアされます。シフト量は、整数データとしてソース 2 オペランドに指定します。ソース 2 オペランドでは、レジスタまたはイミディエイトオペランドに指定できます。利用可能なシフト範囲は、-16 から +16 です。ここで、負の値は右シフト、正の値は左シフトを意味します。任意のソース 2 オペランドは、-32 から +31 までを指定することができますが、無効なシフト値を指定すると、結果は保証されません。イミディエイトオペランド命令を持つシフトの場合は、ソース 1 オペランドはデスティネーションのレジスタと同じレジスタでなければなりません。

論理シフト演算を実行するたびに、DSR レジスタの DC、N、Z、V、GT、AN、AZ、AV、および AGT ビットは、基本的に演算結果に従って更新されます。また、DSR[11:8] 0000 のとき、AGT、AZ、AN、AV ビットは演算結果に従って累積されます。条件付き演算の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件の演算の場合は、これらは演算結果で常に更新されます。DC ビットの定義は、DSR レジスタの CS[2:0] ビット (条件選択ビット) で指定します。DC ビットの結果は、次のとおりです。

## 6. DSP ユニット

---

### 1. キャリー / ボローモード (CS[2:0] = 000の場合)

DCビットは、演算結果として最後にシフトアウトしたデータを示します。

### 2. 負値モード (CS[2:0] = 001の場合)

DCビットは、演算結果のビット31の値が格納されます。

### 3. ゼロ値モード (CS[2:0] = 010の場合)

DCビットは、演算結果がゼロのとき1にセットされます。それ以外は、0にクリアされます。

### 4. オーバフローモード (CS[2:0] = 011の場合)

DCビットは、常に0にクリアされます。

### 5. 符号付き大モード (CS[2:0] = 100の場合)

DCビットは、常に0にクリアされます。

### 6. 符号付き以上モード (CS[2:0] = 101の場合)

DCビットは、常に0にクリアされます。

N ビットは、CS[2:0]ビットが負値モードとしてセットされる DC ビットと常に同じ状態を示します。上記の負値部分を参照してください。Z ビットは、CS[2:0]ビットがゼロ値モードとしてセットされる DC ビットと常に同じ状態を示します。上記のゼロ値モード部分を参照してください。V ビットは、CS[2:0]ビットがオーバフローモードとしてセットされる DC ビットと常に同じ状態を示しますが、この演算では常にクリアされます。GT ビットも同じです。

### 6.5.9 MSB 検出命令

MSB 検出命令 (PDMSB : Detect Most Significant Bit) は、正規化のためのシフト量を計算するために使用されます。図 6.21 に PDMSB 命令のフローを、表 6.30 に演算の定義を示します。表 6.31 にこの演算の種類を示します。各オペランドのレジスタとの対応は、表 6.24 に示した ALU 固定小数点算術演算と同じです。

MSB 検出命令の結果は、ALU 整数演算と同様、基本的に 24 ビット、すなわち上位 16 ビットの基本精度と 8 ビットのガードビット部分です。ガードビット部分を提供していないレジスタをデスティネーションオペランドに指定すると、演算結果の上位ワードがデスティネーションレジスタに入力されます。

図 6.21 に示すように、PDMSB 命令はソースオペランドとしてフルサイズのデータを使用しますが、正規化用のシフト量データは「6.5.8 シフト演算」で述べたように整数データでなければならないので、デスティネーションオペランドは整数演算結果と見なされます。

PDMSB 演算を実行するたびに、DSR レジスタの DC、N、Z、V、GT、AN、AZ、AV、および AGT ビットは、基本的に演算結果に従って更新されます。また、DSR[11:8] 0000 のとき、AGT、AZ、AN、AV ビットは演算結果に従って累積されます。条件付き命令の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件命令の場合は、これらは演算結果で常に更新されます。



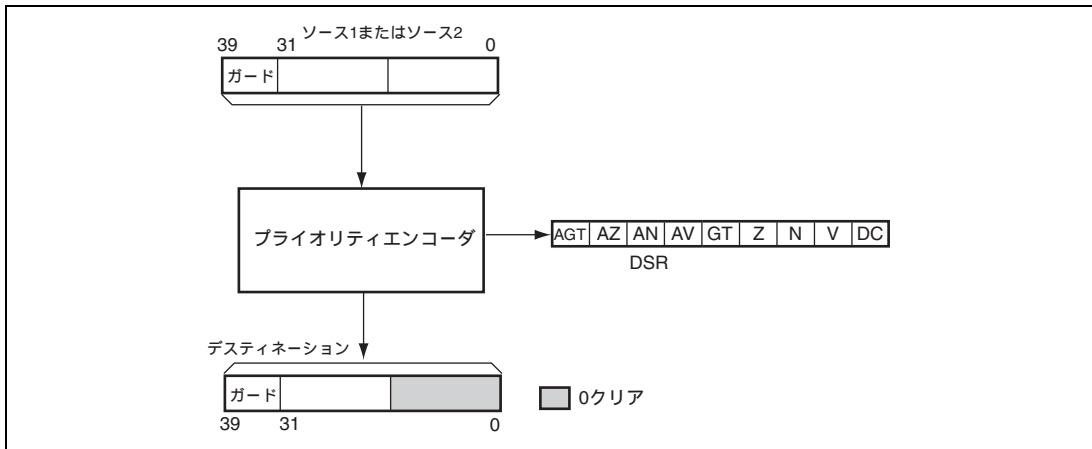


図 6.21 PDMSB 演算フロー

DC ビットの定義は DSR レジスタの CS[2:0] ビット (条件選択ビット) で選択します。DC ビットの結果は、次のとおりです。

1. キャリー / ボローモード (CS[2:0] = 000 の場合)

DC ビットは、常に 0 にクリアされます。

2. 負値モード (CS[2:0] = 001 の場合)

DC ビットは、演算結果が負の値のとき 1 にセットされ、ゼロまたは正の値のとき 0 にクリアされます。

3. ゼロ値モード (CS[2:0] = 010 の場合)

DC ビットは、演算結果がゼロのとき 1 にセットされます。それ以外は、0 にクリアされます。

4. オーバフローモード (CS[2:0] = 011 の場合)

DC ビットは、常に 0 にクリアされます。

5. 符号付き大モード (CS[2:0] = 100 の場合)

DC ビットは、演算結果が正の値のとき 1 にセットされます。それ以外は、0 にクリアされます。

6. 符号付き以上モード (CS[2:0] = 101 の場合)

DC ビットは、演算結果が正またはゼロのとき 1 にセットされます。それ以外は、0 にクリアされます。

6. DSP ユニット

表 6.30 PDMSB 命令の定義

ソースデータ														デスティネーションの結果									
ガードビット					上位ワード					下位ワード				ガードビット	上位ワード								
39	38	-	33	32	31	30	29	28	-	3	2	1	0	39-32	31-22	21	20	19	18	17	16	10進数	
0	0	-	0	0	0	0	0	0	-	0	0	0	0	all 0	all 0	0	1	1	1	1	1	1	+31
0	0	-	0	0	0	0	0	0	-	0	0	0	1	all 0	all 0	0	1	1	1	1	1	0	+30
0	0	-	0	0	0	0	0	0	-	0	0	1	*	all 0	all 0	0	1	1	1	0	1	+29	
0	0	-	0	0	0	0	0	0	-	0	1	*	*	all 0	all 0	0	1	1	1	0	0	+28	
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
0	0	-	0	0	0	0	1	-	*	*	*	*	*	all 0	all 0	0	0	0	0	1	0	+2	
0	0	-	0	0	0	1	*	-	*	*	*	*	*	all 0	all 0	0	0	0	0	0	1	+1	
0	0	-	0	0	0	1	*	*	-	*	*	*	*	all 0	all 0	0	0	0	0	0	0	0	0
0	0	-	0	0	1	*	*	*	-	*	*	*	*	all 1	all 1	1	1	1	1	1	1	-1	
0	0	-	0	1	*	*	*	*	-	*	*	*	*	all 1	all 1	1	1	1	1	1	0	-2	
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
0	1	-	*	*	*	*	*	*	-	*	*	*	*	all 1	all 1	1	1	1	0	0	0	-8	
1	0	-	*	*	*	*	*	*	-	*	*	*	*	all 1	all 1	1	1	1	0	0	0	-8	
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
1	1	-	1	0	*	*	*	*	-	*	*	*	*	all 1	all 1	1	1	1	1	1	0	-2	
1	1	-	1	1	0	*	*	*	-	*	*	*	*	all 1	all 1	1	1	1	1	1	1	-1	
1	1	-	1	1	1	0	*	*	-	*	*	*	*	all 0	all 0	0	0	0	0	0	0	0	0
1	1	-	1	1	1	1	0	*	-	*	*	*	*	all 0	all 0	0	0	0	0	0	1	+1	
1	1	-	1	1	1	1	0	-	*	*	*	*	*	all 0	all 0	0	0	0	0	1	0	+2	
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
1	1	-	1	1	1	1	1	-	1	0	*	*	*	all 0	all 0	0	1	1	1	0	0	+28	
1	1	-	1	1	1	1	1	-	1	1	0	*	*	all 0	all 0	0	1	1	1	0	1	+29	
1	1	-	1	1	1	1	1	-	1	1	1	0	*	all 0	all 0	0	1	1	1	1	0	+30	
1	1	-	1	1	1	1	1	-	1	1	1	1	*	all 0	all 0	0	1	1	1	1	1	+31	

【注】 \* Don't care ビットを意味します。

表 6.31 PDMSB 命令の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PDMSB	MSB 検出	Sx	-	Dz
		-	Sy	Dz

N ビットは、CS[2:0]ビットが負値モードとしてセットされる DC ビットと常と同じ状態を示します。上記の負値モード部分を参照してください。Z ビットは、CS[2:0]ビットがゼロ値モードとしてセットされる DC ビットと常と同じ状態を示します。上記のゼロ値モード部分を参照してください。V ビットは、CS[2:0]ビットがオーバーフローモードとしてセットされる DC ビットと常と同じ状態を示しますが、本命令では、常に 0 クリアされます。上記のオーバーフローモード部分を参照してください。GT ビットは、CS[2:0]ビットが符号付き大モードとしてセットされる DC ビットと常と同じ状態を示します。上記の符号付き大モード部分を参照してください。

### 6.5.10 丸め演算

DSP ユニットは、32 ビットから 16 ビットに丸める丸め機能を提供します。ガードビットがある場合は、40 ビットから 24 ビットに丸めます。丸め命令を実行するときは、ソースオペランドに H'00008000 が加算された後、下位ワードが 0 クリアされます。図 6.22 に丸め演算フローを示します。図 6.23 に丸め演算の定義を示します。また、表 6.32 に演算の種類を示します。各オペランドのレジスタとの対応は、表 6.24 に示した ALU 固定小数点算術演算と同じです。

図 6.23 に示すように、丸め演算は、ソースオペランド、デスティネーションオペランド両方に対してフルサイズデータを使用します。

丸め演算を実行するたびに、DSR レジスタの DC、N、Z、V、GT、AN、AZ、AV、および AGT ビットは、基本的に演算結果に従って更新されます。また、DSR[11:8] 0000 のとき、AGT、AZ、AN、AV ビットは演算結果に従って累積されます。条件付き命令の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件命令の場合は、これらは演算結果で常に更新されます。DC ビットの定義は、DSR レジスタの CS[2:0] (条件選択) ビットで指定します。これらの状態コードビットの結果は ALU 固定小数点算術演算と同じです。

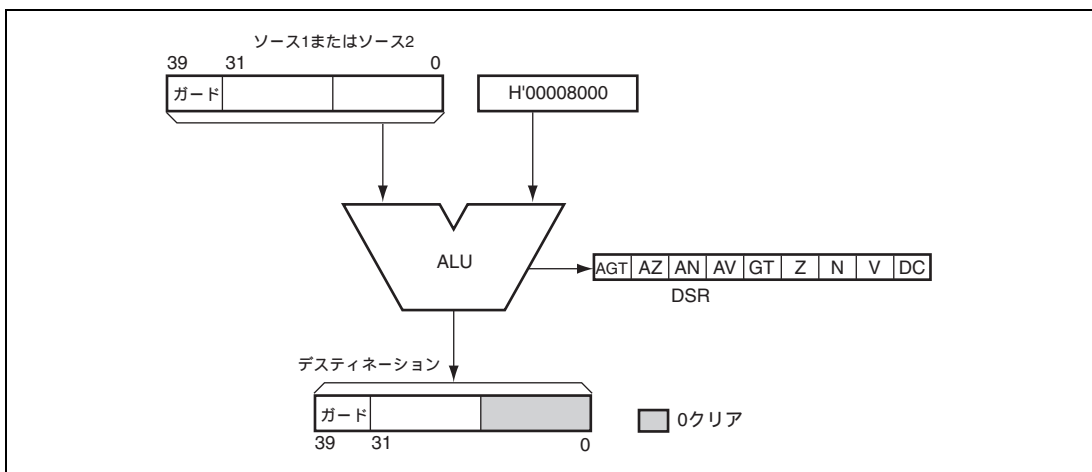


図 6.22 丸め演算フロー

## 6. DSP ユニット

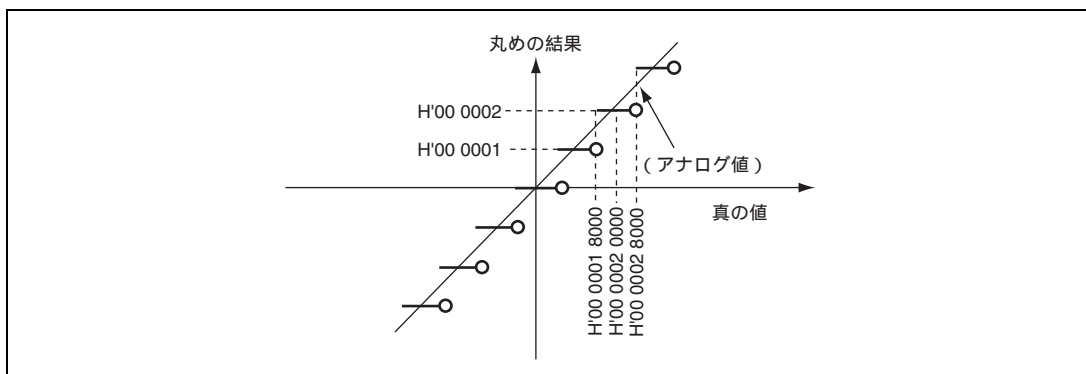


図 6.23 丸め演算の定義

表 6.32 丸め演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PRND	丸め	Sx	-	Dz
		-	Sy	Dz

- オーバフロー防止機能

SR レジスタの S ビットは DSP ユニットの任意の丸め演算で有効です。詳細については、「6.5.12 オーバフロー防止機能」を参照してください。

### 6.5.11 スワップ命令

スワップ命令 (PSWAP) は、上位ワードと下位ワードを交換するために使用されます。ソースオペランドにガードビットがある場合は無視されます。デスティネーションオペランドにガードビットがあるときは、符号拡張されます。図 6.24 に PSWAP 命令の演算のフローを示します。表 6.33 にこの演算の種類を示します。各オペランドのレジスタとの対応は、表 6.24 に示した ALU 固定小数点演算と同じです。

PSWAP 演算を実行するたびに、DSR レジスタの DC、N、Z、V、GT ビットは、基本的に演算結果に従って更新されます。また、DSR[11:8] 0000 のとき、AGT、AZ、AN、AV ビットは演算結果に従って更新されます。

DC ビットの定義は、DSR レジスタの CS[2:0] ビット (条件選択ビット) で選択します。DC ビットの結果は次のとおりです。

1. キャリー / ボローモード (CS[2:0] = 000 の場合)

DC ビットは、常に 0 にクリアされます。

2. 負値モード (CS[2:0] = 001 の場合)

DC ビットは、演算結果が負の値のとき 1 にセットされ、ゼロまたは正の値のとき 0 にクリアされます。

3. ゼロ値モード (CS[2:0] = 010 の場合)

DC ビットは、演算結果がゼロのとき 1 にセットされます。それ以外は、0 にクリアされます。

## 4. オーバフローモード (CS[2:0] = 011の場合)

DCビットは、常に0にクリアされます。

## 5. 符号付き大モード (CS[2:0] = 100の場合)

DCビットは、演算結果が正の値のときに1にセットされます。それ以外は、0にクリアされます。

## 6. 符号付き以上モード (CS[2:0] = 101の場合)

DCビットは、演算結果が正またはゼロのときに1にセットされます。それ以外は、0にクリアされます。

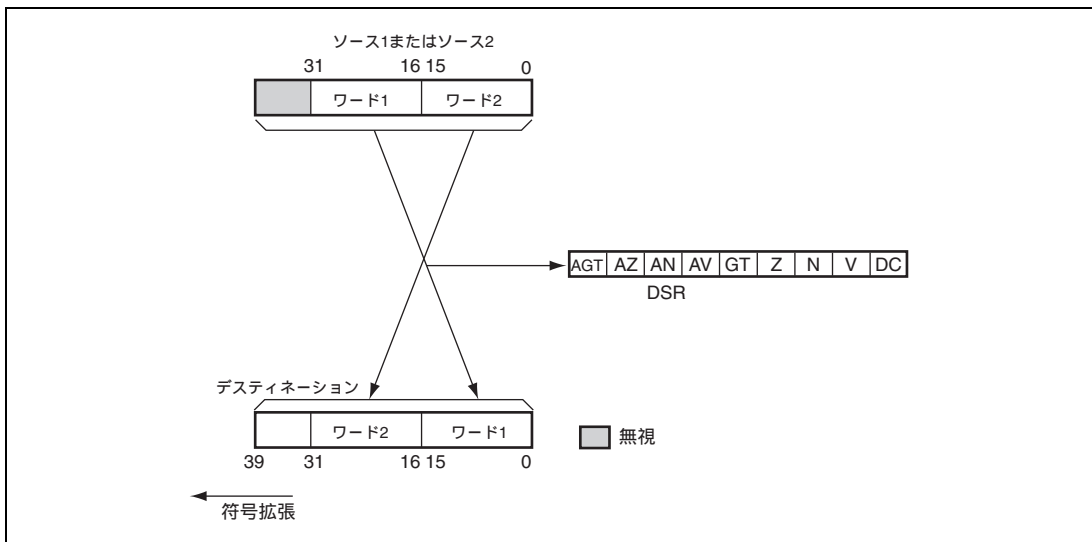


図 6.24 PSWAP 演算フロー

表 6.33 PSWAP 命令の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PSWAP	上位ワード、下位ワード交換	Sx	-	Dz
		-	Sy	Dz

- オーバフロー防止機能

SR レジスタの S ビットは、DSP ユニットの任意の PSWAP 演算で有効です。詳細については、「6.5.12 オーバフロー防止機能」を参照してください。

## 6. DSP ユニット

### 6.5.12 オーバフロー防止機能

SR レジスタの S ビットは、従来の SH 乗算および MAC 演算を含め DSP ユニットで実行する算術演算に有効です。SH の CPU コアの SR レジスタの S ビットは、オーバフロー防止機能イネーブルビットとして使用します。演算結果がガードビット部分のない 2 の補数の表記範囲を超える場合は、算術演算はオーバフローします。表 6.34 に「6.5.7 固定小数点乗算」で説明した符号付き × 符号付き固定小数点乗算を含めて、固定小数点算術演算に対するオーバフロー保護の定義を示します。表 6.35 には整数算術演算に対するオーバフロー防止機能の定義を示します。整数算術演算の飽和値の下位ワードは Don't care です。下位ワードの値は、保証されません。

オーバフロー防止機能が有効になっているときは、オーバフローは発生することはありません。したがって、V ビットは、0 にクリアされます。CS[2:0]ビットでオーバフローモードを選択するときも DC ビットは 0 にクリアされます。ただし、TS[2:0]ビットでオーバフローモードを選択する場合は、S ビットが 1 のときもオーバフロー検出を行います。

表 6.34 固定小数点算術用演算のオーバフロー防止機能の定義

符号	オーバフロー条件	固定値	16 進表記
正	結果 $> 1 - 2^{-31}$	$1 - 2^{-31}$	00 7FFF FFFF
負	結果 $< -1$	-1	FF 8000 0000

表 6.35 整数算術演算用オーバフロー防止機能の定義

符号	オーバフロー条件	固定値	16 進表記
正	結果 $> 2^{15} - 1$	$2^{15} - 1$	00 7FFF ****
負	結果 $< -2^{15}$	$-2^{15}$	FF 8000 ****

【注】\* Don't care を意味します。

### 6.5.13 ローカルデータ移動命令

SH4AL-DSP には、CPU の乗算 / 積和演算 (MAC) をサポートするための MACL と MACH の 2 つレジスタがあります。これらのレジスタは、他の DSP レジスタとのローカルデータ移動命令により、テンポラリレジスタとして活用することができます。図 6.25 にローカルデータ移動命令のフローを示します。表 6.36 にはこの命令の種類を示します。

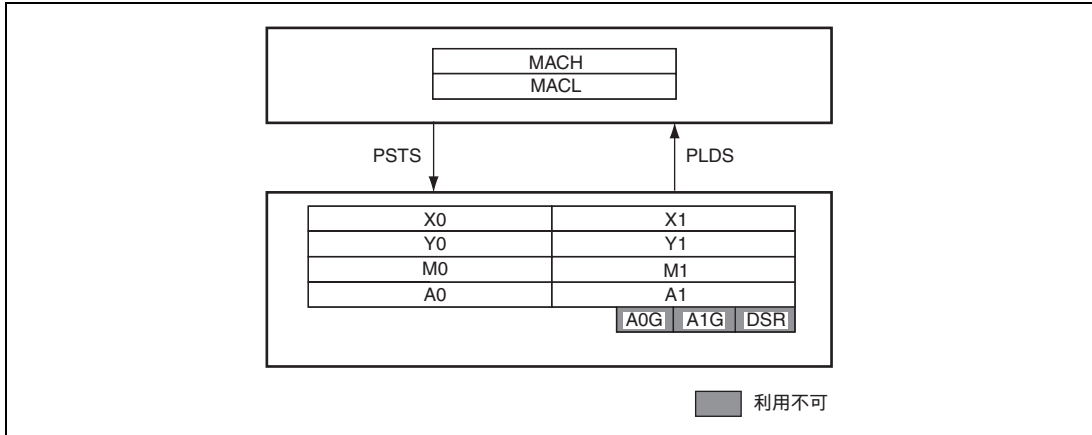


図 6.25 ローカルデータ移動命令のフロー

表 6.36 ローカルデータ移動命令の種類

ニーモニック	機能	オペランド
PLDS	DSP レジスタから MACL/H へのデータ移動	Dz
PSTS	MACL/H から DSP レジスタへのデータ移動	Dz

この命令は、他の転送命令と非常に似ています。A0 および A1 レジスタのいずれかを PSTS のデスティネーションオペランドとして指定すると、符号ビットが該当するガードビット部分 A0G または A1G に符号拡張されて格納されます。命令結果にかかわらず、DSR レジスタの DC、N、Z、V、GT の条件コードビットは、更新されません。また、AGT、AZ、AN、AV ビットも更新されません。この命令は、条件付きとしても動作します。ローカルデータ移動命令は、MOVX と MOVY で並行して指定することができます。

## 6. DSP ユニット

### 6.5.14 並行処理命令の命令フォーマット

並行処理命令は DSP ユニットを使ったデジタル信号処理を効率よく実行するための命令です。32 ビット長で、同時に並行して 4 つの処理、ALU 演算、乗算、2 つのデータ転送ができます。

並行処理命令は A フィールドと B フィールドに分かれています。A フィールドはデータ転送命令を定義し、B フィールドは ALU 演算命令、乗算命令を定義します。これらの命令は独立に定義することができ、処理は独立に、しかも同時に並行して実行されます。A フィールドの並行データ転送命令を表 6.37 および表 6.38 に、B フィールドの ALU 演算命令、乗算命令を表 6.39 に示します。A フィールドの命令は、表 6.13、表 6.14 のダブルデータ転送と同じです。

表 6.38 は X メモリか Y メモリの一方向転送命令が NOPX または NOPY のときの拡張命令です。一方が NOPX または NOPY 以外のときは使用できません。

表 6.37 A フィールドの並行データ転送命令 (1)

分類	二ノミック	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15-0
X メモリ データ 転送	NOPX	1	1	1	1	1	0	0		0		0		0	0			B フィールド
	MOVX.W @Ax,Dx							Ax		Dx		0		0	1			
	MOVX.W @Ax+,Dx													1	0			
	MOVX.W @Ax+IxDx													1	1			
	MOVX.W Da,@Ax									Da		1		0	1			
	MOVX.W Da,@Ax+													1	0			
MOVX.W Da,@Ax+IxDx													1	1				
Y メモリ データ 転送	NOPY	1	1	1	1	1	0		0		0		0			0	0	B フィールド
	MOVY.W @Ay,Dy								Ay		Dy		0			0	1	
	MOVY.W @Ay+,Dy															1	0	
	MOVY.W @Ay+IyDy															1	1	
	MOVY.W Da,@Ay										Da		1			0	1	
	MOVY.W Da,@Ay+															1	0	
MOVY.W Da,@Ay+IyDy															1	1		

【注】 Ax : 0 = R4、1 = R5

Ay : 0 = R6、1 = R7

Dx : 0 = X0、1 = X1

Dy : 0 = Y0、1 = Y1

Da : 0 = A0、1 = A1



表 6.38 A フィールドの並行データ転送命令 (2)

分類	ニーモニック	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15-0	
Xメモリ データ 転送	MOVX.W @Axy,Dxy	1	1	1	1	1	0	Axy		Dxy	0	0	0	1	0	0		Bフィールド	
	MOVX.W @Axy+,Dxy													1	0				
	MOVX.W @Axy+lx,Dxy													1	1				
	MOVX.W Dax,@Axy									Dax	1	0	0	1					
	MOVX.W Dax,@Axy+													1	0				
	MOVX.W Dax,@Axy+lx													1	1				
	MOVX.L @Axy,Dxy									Dxy	0	1	0	1					
	MOVX.L @Axy+,Dxy														1	0			
	MOVX.L @Axy+lx,Dxy														1	1			
	MOVX.L Dax,@Axy									Dax	1	1	0	1					
	MOVX.L Dax,@Axy+														1	0			
	MOVX.L Dax,@Axy+lx														1	1			
Yメモリ データ 転送	MOVY.W @Ayx,Dyx	1	1	1	1	1	0	Ayx		Dyx	0	0	0	0	0	1		Bフィールド	
	MOVY.W @Ayx+,Dyx															1	0		
	MOVY.W @Ayx+ly,Dyx															1	1		
	MOVY.W Day,@Ayx									Day	0	1				0	1		
	MOVY.W Day,@Ayx+															1	0		
	MOVY.W Day,@Ayx+ly															1	1		
	MOVY.L @Ayx,Dyx									Dyx	1	0				0	1		
	MOVY.L @Ayx+,Dyx															1	0		
	MOVY.L @Ayx+ly,Dyx															1	1		
	MOVY.L Day,@Ayx									Day	1	1				0	1		
	MOVY.L Day,@Ayx+															1	0		
	MOVY.L Day,@Ayx+ly															1	1		

【注】 Axy : R0、R1、R4、R5 = (01、11、00、10)

lx = R8

Dxy : X0、X1、Y0、Y1 = (00、10、01、11)

Dax : A0、A1、X0、X1 = (00、10、01、11)

Ayx : R2、R3、R6、R7 = (10、11、00、01)

ly = R9

Dyx : Y0、Y1、X0、X1 = (00、01、10、11)

Day : A0、A1、Y0、Y1 = (00、01、10、11)

6. DSP ユニット

表 6.39 B フィールドの ALU 演算命令、乗算命令

分類	ニーモニック	31	30	29	28	27	26	25-16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
imm シフト 命令	PSHL #imm,Dz	1	1	1	1	1	0	A フィールド	0	0	0	0	0	-16 <= imm <= +16						Dz											
	PSHA #imm,Dz								0	0	0	1	0	-32 <= imm <= +32																	
	リザーブ									0	0	0		1																	
										0	0	1																			
並行 命令	PMULS Se,Sf,Dg									0	1	0	0	0	Se 0: X0	Sf 0: Y0	0	0	0	0	0	Dg 0: M0	0 0 0								
	PCLR Du									0	1	0	0	0	1: X1	1: Y1	0	0	0	1	1: M1	Du 0: X0									
	PMULS Se,Sf,Dg												2: Y0	2: X0				2: A0	0: X0												
	リザーブ									0	1	0	1	3: A1	3: A1	Sx 0: X0	Sy 0: Y0	3: A1			1: Y0										
	PSUB Sx,Sy,Du									0	1	1	0				1: X1	1: Y1	2: M0			2: A0									
PMULS Se,Sf,Dg												3: A1	3: M1				3: A1	3: M1			3: A1										
無条件 命令	リザーブ									1	0	0	0	0	0	0	0	0	0	Sx	Sy	Dz									
	PSUBC Sx,Sy,Dz									1	0	0	1	0	0	0	0	0	0												
	PADDC Sx,Sy,Dz									1	0	1	0	0	0	0	0	0													
	PCMP Sx,Sy									1	0	0	0	0	1	0	0	0													
	リザーブ									1	0	0	1	0	1	0	0														
										1	0	1	0	0	1	0	0														
										1	0	1	1	0	1	0	0														
	PABS Sx,Dz									1	0	0	0	1	0	0	0				0 0										
	PRND Sx,Dz									1	0	0	1	1	0	0	0				0 0										
	PABS Sy,Dz									1	0	1	0	1	0	0	0	0 0	Sy												
	PRND Sy,Dz									1	0	1	1	1	0	0	0	0 0													
	リザーブ									1	0	0	0	1	1	0	0														
										1	0	0	1	1	1	0	0														
								1	0	1	0	1	1	0	0																
										1	0	1	1	1	1	0	0														

6. DSP ユニット

分類	ニーモニック	31	30	29	28	27	26	25-16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
条件付 命令	[if cc] PSHL Sx,Sy,Dz	1	1	1	1	1	0	A	1	0	0	0	0	0		lfcc	Sx	Sy								
	[if cc] PSHA Sx,Sy,Dz							フィールド	1	0	0	1	0	0		01:無条件									Dz	
	[if cc] PSUB Sx,Sy,Dz								1	0	1	0	0	0		10:DCT									0: リザーブ	
	[if cc] PADD Sx,Sy,Dz								1	0	1	1	0	0		11:DCF									1: リザーブ	
	[if cc] PSUB Sy,Sx,Dz								1	0	0	0	0	1											2: リザーブ	
	[if cc] PAND Sx,Sy,Dz								1	0	0	1	0	1												3: リザーブ
	[if cc] PXOR Sx,Sy,Dz								1	0	1	0	0	1												4: リザーブ
	[if cc] POR Sx,Sy,Dz								1	0	1	1	0	1												5: A1
	[if cc] PDEC Sx,Dz								1	0	0	0	1	0												6: リザーブ
	[if cc] PINC Sx,Dz								1	0	0	1	1	0												7: A0
	[if cc] PDEC Sy,Dz								1	0	1	0	1	0				0	0							8: X0
	[if cc] PINC Sy,Dz								1	0	1	1	1	0				0	0		Sy					9: X1
	[if cc] PABS Sx,Dz								1	0	0	0	1	0		lfcc	Sx		0	1						A: Y0
	[if cc] PRND Sx,Dz								1	0	0	1	1	0		00:無条件										7: リザーブ
	[if cc] PABS Sy,Dz								1	0	1	0	1	0		10:DCT		0	1		Sy					8: M0
	[if cc] PRND Sy,Dz								1	0	1	1	1	0		11:DCF		0	1							D: リザーブ
	[if cc] PCLR Dz								1	0	0	0	1	1		lfcc	0	0	0	0						E: M1
	[if cc] PDMSB Sx,Dz								1	0	0	1	1	1		01:無条件	Sx			0	0					F: リザーブ
	[if cc] PSWAP Sx,Dz								1	0	0	1	1	1		10:DCT					0	1				
	リザーブ								1	0	1	0	1	1		11:DCF					Sy					
	[if cc] PDMSB Sy,Dz								1	0	1	1	1	1				0	0							
	[if cc] PSWAP Sy,Dz								1	0	1	1	1	1				0	1							
	リザーブ								1	1						0	0	Sx								
	リザーブ								1	1	0	0	1	0		lfcc										
									1	1	0	1	1	0		01:無条件										
									1	1	1	0	1	0		10:DCT										
									1	1	1	1	1	0		11:DCF										
									1	1	0	0	1	1												
									1	1	0	1	1	1												
									1	1	1	0	1	1												
									1	1	1	1	1	1												
	[if cc] PNEG Sx,Dz								1	1	0	0	1	0												0
[if cc] PCOPY Sx,Dz								1	1	0	1	1	0												0	
[if cc] PNEG Sy,Dz								1	1	1	0	1	0				0	0		Sy						
[if cc] PCOPY Sy,Dz								1	1	1	1	1	0				0	0								

## 6. DSP ユニット

分類	ニーモニック	31	30	29	28	27	26	25-16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
条件付命令	[if cc] PSTS MACH,Dz	1	1	1	1	1	0	A フィールド	1	1	0	0	1	1	ifcc 01:無条件 10:DCT 11:DCF	0	0	0	0	Dz 0:リザーブ 1:リザーブ 2:リザーブ 3:リザーブ 4:リザーブ 5:A1 6:リザーブ 7:A0 8:X0 9:X1 A:Y0 B:Y1 C:M0 D:リザーブ E:M1 F:リザーブ							
	[if cc] PSTS MACL,Dz								1	1	0	1	1	1		0	0	0	0								
	[if cc] PLDS Dz,MACH								1	1	1	0	1	1		0	0	0	0								
	[if cc] PLDS Dz,MACL								1	1	1	1	1	1		1	0	0	0								

### 6.5.15 オペランドの競合

同一のデスティネーションオペランドを複数のDSPデータ演算命令による並行処理で指定すると、データの競合が発生します。表 6.40 に各命令のオペランドとレジスタの対応を示します。

表 6.40 競合の発生するオペランドとレジスタとの対応

		DSPレジスタ							
		X0	X1	Y0	Y1	M0	M1	A0	A1
Xメモリロード	Ax								
	Ix								
	Dx	*	*						
	Dxy	*	*	*	*				
Yメモリロード	Ay								
	Iy								
	Dy			*	*				
	Dyx	*	*	*	*				
6オペランドALU演算	Sx	*	*					*	*
	Sy			*	*	*	*		
	Du	*		*				*	*
3オペランド乗算	Se	*	*	*					*
	Sf	*		*	*				*
	Dg					*	*	*	*
3オペランドALU演算	Sx	*	*					*	*
	Sy			*	*	*	*		
	Dz	*	*	*	*	*	*	*	*

(Dx、Dxy、DyxとDuとDzの競合) (Dy、Dxy、DyxとDuとDzの競合)

(DuとDgの競合)

【注】 \* オペランドに対する設定可能レジスタ

○ オペランド競合

オペランド競合には、次の3つの場合があります。

- ALU演算と乗算命令が同じデスティネーションオペランド (DuおよびDg) を指定する場合
- X側ロードとALU命令が同じデスティネーションオペランド (Dx、DxyおよびDuまたはDz) を指定する場合
- Y側ロードとALU命令が同じデスティネーションオペランド (Dy、DyxおよびDuまたはDz) を指定する場合

競合した場合の結果は、保証されません。

### 6.5.16 プログラミング上の注意

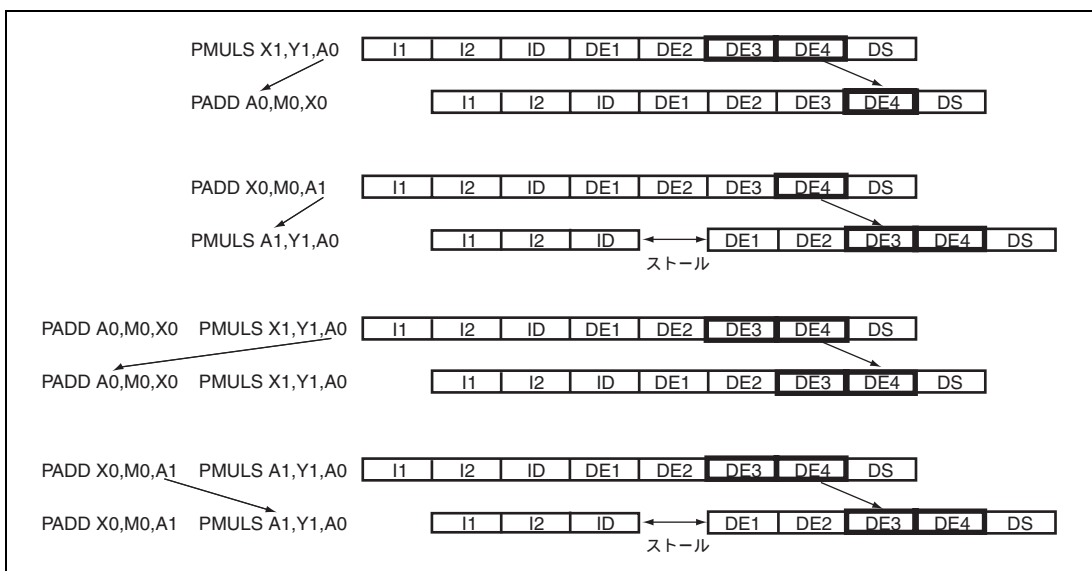


図 6.26 PADD 命令と PMULS 命令の実行例

PMULS 命令は、演算の実行に DE3、DE4 ステージを使用し、PMULS 命令以外の DSP データ演算命令は演算の実行に DE4 ステージを使用します。どちらも実行ステートは 1 サイクルです。

このため、先行の DSP 演算命令のデスティネーションレジスタを PMULS 命令のソースレジスタとして指定すると、1 サイクルのストールが発生します。

図 6.26 に PADD 命令と PMULS 命令の実行例を示します。

先行の PADD 命令のデスティネーションレジスタ A1 と同じレジスタを PMULS 命令のソースレジスタとして指定すると、1 サイクルのストールが発生します。

並行処理命令である、PADD PMULS、PSUB PMULS でも同様です。



---

## 7. メモリマネジメントユニット (MMU)

---

本 LSI は、8 ビットのアドレス空間識別子と 32 ビットの仮想アドレス空間から 29 ビットの物理アドレス空間を扱うことができます。仮想アドレスから物理アドレスへのアドレス変換は、本 LSI に内蔵されたメモリマネジメントユニット (MMU: Memory Management Unit) を用いて行います。MMU は変換ルックアサイドバッファ (TLB: Translation Lookaside Buffer) にユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、高速にアドレス変換を行います。

本 LSI は命令 TLB (ITLB) を 4 エントリ、共用 TLB (UTLB) を 64 エントリ内蔵しており ITLB には UTLB のコピーがハードウェアにより格納されます。アドレス変換方式はページング方式で、4 種類 (1K/4K/64K/1M バイト) のページサイズをサポートしています。また特権モード、ユーザモードのそれぞれにおいて、仮想アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。MMU のフラグ機能に関して、TLB 互換モード (ページサイズ 4 種類、保護ビット 4 ビット) と TLB 拡張モード (ページサイズ 8 種類、保護ビット 6 ビット) があります。

TLB 互換モードと TLB 拡張モードの選択は、ソフトウェアからの制御レジスタ設定 (MMUCR レジスタの ME ビット) で行います。

### 7.1 MMU の概要

MMU とは物理メモリを有効に利用するために考え出された機能です。図 7.1 (0) に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (図 7.1 (1))。この物理メモリへのマッピングをプロセス自身が考えながら実行している場合は、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (図 7.1 (2))。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えていけばよくなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。通常、OS が MMU を管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ換えを行います。物理メモリの入れ換えは 2 次記憶などの間で行われます。

こうして生まれた仮想記憶方式は、複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (図 7.1 (3))。TSS 上で走行する複数のプロセスが、おのおの物理メモリへのマッピングを意識しながら動作していたのでは効率上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (図 7.1 (4))。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらに、あるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されてい

## 7. メモリマネジメントユニット (MMU)

かったり、別のプロセスの仮想メモリへ誤ってアクセスしたりすることがあります。そのとき MMU は例外を発生させて、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときのアドレス変換情報の入れ換えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間が変換の単位となります。

以下、本 LSI では仮想メモリ上のアドレス空間のことを仮想アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

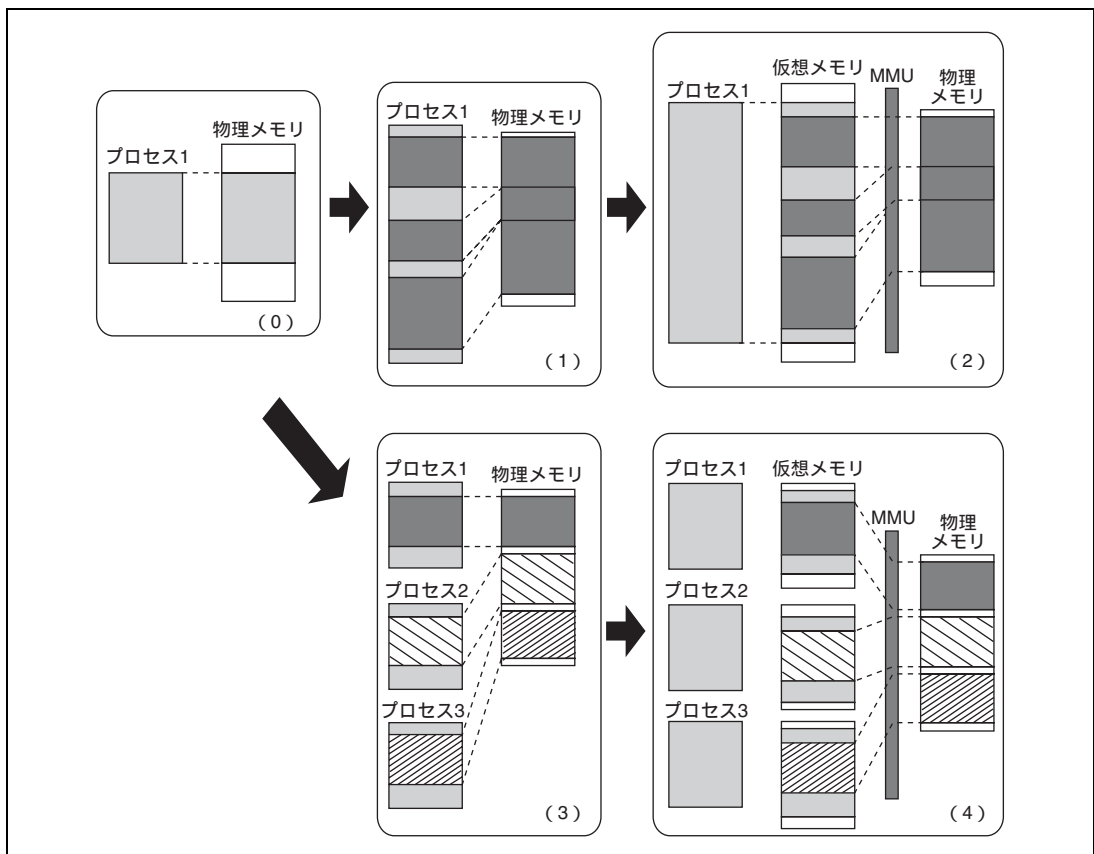


図 7.1 MMU の役割



## 7.1.1 アドレス空間

## (1) 仮想アドレス空間

本 LSI は 32 ビットの仮想アドレス空間をサポートし、4G バイトのアドレス空間をアクセスできます。仮想アドレス空間は図 7.2、図 7.3 に示すとおり、いくつかの領域に分かれています。特権モードでは P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。ユーザモードでは U0 領域の 2G バイトの空間をアクセス可能です。また SR レジスタの DSP ビットが 1 か、あるいは内蔵メモリ制御レジスタ (RAMCR) の RMD ビットが 1 の場合、Uxy 領域の 16M バイトの空間もアクセス可能になります。ユーザモードで U0 領域、Uxy 領域以外をアクセスした場合、アドレスエラーとなります。

MMU 制御レジスタ (MMUCR) の AT ビットを 1 にし、MMU をイネーブルにしたとき、これらの領域のうち、P0、P3、U0 領域は、任意の物理アドレス空間へ 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、あるいは 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) でマッピングすることができます。また 8 ビットのアドレス空間識別子を用いることにより、P0、P3、U0 領域を 256 個まで増やすことが可能です。仮想アドレス空間から 29 ビットの物理アドレス空間へのマッピングには TLB を用います。

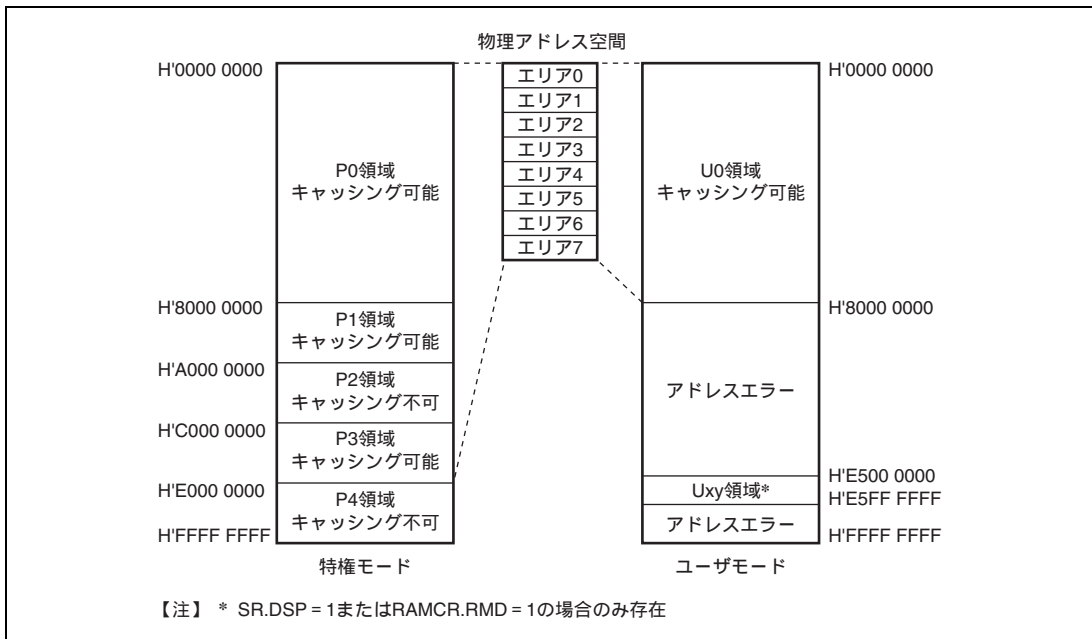


図 7.2 仮想アドレス空間 (MMUCR.AT = 0)

## 7. メモリマネジメントユニット (MMU)

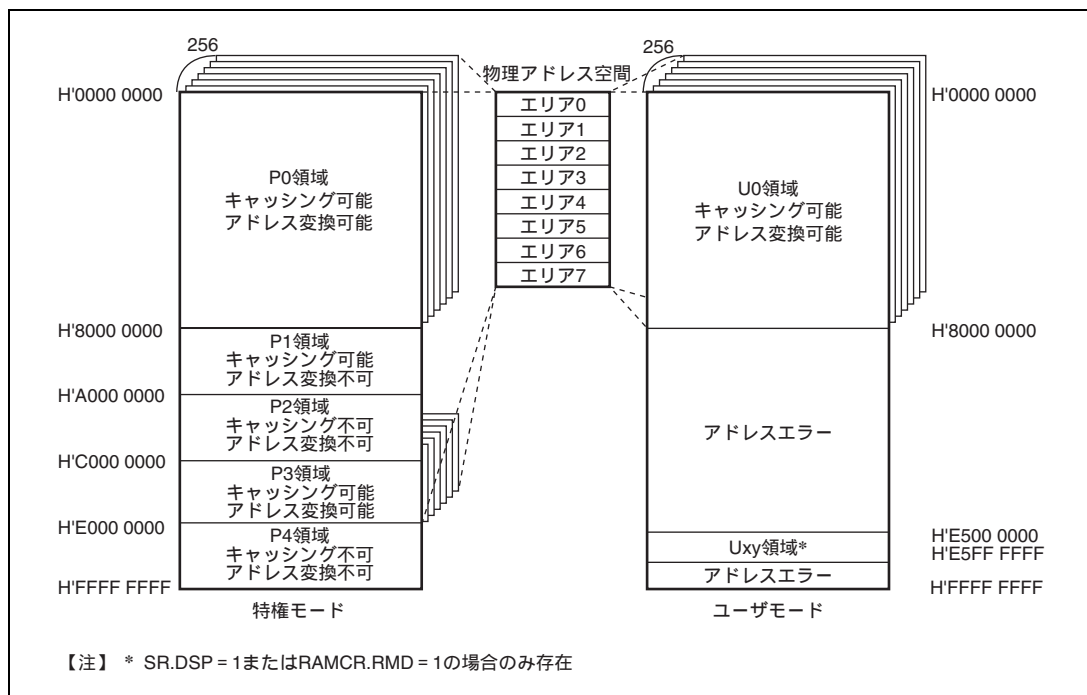


図 7.3 仮想アドレス空間 (MMUCR.AT = 1)

### (a) P0、P3、U0 領域

P0、P3、U0 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが可能な領域です。

MMU がディスエーブルの場合、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かはキャッシュコントロールレジスタ (CCR) に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の WT ビットに従います。

MMU がイネーブルの場合、これらの領域は TLB を用いて 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、あるいは 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) に任意の物理アドレス空間へマッピングできます。CCR がキャッシュイネーブル状態であり、かつ TLB エントリの当該ページのキャッシング可能ビット (C ビット) が 1 のとき、キャッシュを用いたアクセスが行えます。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、TLB の WT ビットに従います。

これらの領域を、TLB により物理アドレス空間のエリア 1 およびエリア 7 に存在する制御レジスタ領域にマッピングする場合、当該ページの C ビットは 0 にしてください。

### (b) P1 領域

P1 領域は TLB を用いたアドレス変換が行えませんが、キャッシュを用いたアクセスは可能な領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かは CCR に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の CB ビットに従います。

## (c) P2 領域

P2 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが行えない領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。

## (d) P4 領域

P4 領域は本 LSI の内部リソースにマッピングされる領域です。この領域はキャッシュを用いたアクセスが行えません。P4 領域の詳細を図 7.4 に示します。

H'E000 0000	リザーブ領域
H'E500 0000	Uxy領域
H'E5FF FFFF	リザーブ領域
H'F000 0000	命令キャッシュ アドレスアレイ
H'F100 0000	命令キャッシュ データアレイ
H'F200 0000	命令TLB アドレスアレイ
H'F300 0000	命令TLB データアレイ
H'F400 0000	オペランドキャッシュ アドレスアレイ
H'F500 0000	オペランドキャッシュ データアレイ
H'F600 0000	共用TLB アドレスアレイ
H'F700 0000	共用TLB データアレイ
H'F800 0000	リザーブ領域
H'FC00 0000	制御レジスタ領域
H'FFFF FFFF	

図 7.4 P4 領域

H'F000 0000 ~ H'F0FF FFFF までは、命令キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.1 IC アドレスアレイ」を参照してください。

H'F100 0000 ~ H'F1FF FFFF までは、命令キャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.2 IC データアレイ」を参照してください。

H'F200 0000 ~ H'F2FF FFFF までは、命令 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.1 ITLB アドレスアレイ」を参照してください。

H'F300 0000 ~ H'F37F FFFF までは、命令 TLB のデータアレイを直接アクセスするための領域です。詳細は「7.7.2 ITLB データアレイ (TLB 互換モード)」および「7.7.3 ITLB データアレイ (TLB 拡張モード)」を参照してください。

## 7. メモリマネジメントユニット (MMU)

HF400 0000 ~ HF4FF FFFF までは、オペランドキャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.3 OC アドレスアレイ」を参照してください。

HF500 0000 ~ HF5FF FFFF までは、オペランドキャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.4 OC データアレイ」を参照してください。

HF600 0000 ~ HF60F FFFF までは、共用 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.4 UTLB アドレスアレイ」を参照してください。

HF700 0000 ~ HF70F FFFF までは、共用 TLB のデータアレイを直接アクセスするための領域です。詳細は「7.7.5 UTLB データアレイ (TLB 互換モード)」および「7.7.6 UTLB データアレイ (TLB 拡張モード)」を参照してください。

H'FC00 0000 ~ H'FFFF FFFF までは内蔵周辺モジュールの制御レジスタの領域です。詳細は各章のレジスタ説明の項を参照してください。

### (e) Uxy 領域

Uxy 領域はユーザモードにおいて、SR レジスタの DSP ビットが 1 か、あるいは RAMCR レジスタの RMD ビットが 1 のときに使用可能となる、本 LSI の内蔵メモリにマッピングされる領域です。ユーザモードにおいて、SR.DSP ビットが 0 かつ RAMCR.RMD ビットが 0 のときにこの領域にアクセスすると、アドレスエラーとなります。この領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスは行えません。Uxy 領域の詳細に関しては「第 9 章 内蔵メモリ」を参照してください。

### (2) 物理アドレス空間

本 LSI は 29 ビットの物理アドレス空間をサポートします。物理アドレス空間は図 7.5 に示すとおり 8 つの領域に分かれています。エリア 7 はリザーブ領域です。TLB を用いて物理アドレス空間のエリア 7 をアクセスする場合のみ、エリア 7 の H'1C00 0000 ~ H'1FFF FFFF までの領域がリザーブ領域ではなく、仮想アドレス空間の P4 領域に含まれる制御レジスタと等価になります。

H'0000 0000	エリア0
H'0400 0000	エリア1
H'0800 0000	エリア2
H'0C00 0000	エリア3
H'1000 0000	エリア4
H'1400 0000	エリア5
H'1800 0000	エリア6
H'1C00 0000 H'1FFF FFFF	エリア7 (リザーブ領域)

図 7.5 物理アドレス空間

### (3) アドレス変換

MMU を使用するとき、仮想アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、仮想アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納され、TLB にはアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容がキャッシングされます。本 LSI では命令のアクセスには ITLB を、データのアクセスには UTLB を用います。P4 領域以外へのアクセスが発生するとそのアクセスされた仮想アドレスが物理アドレスへ変換されます。その仮想アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その仮想アドレスが P0、U0、P3 領域に属する場合には、仮想アドレスで TLB が検索され、その仮想アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスが読み出されます。またアクセスされた仮想アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンへ移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。そして例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。

### (4) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には、単一仮想記憶方式と多重仮想記憶方式があり、MMUCR の SV ビットにより選択が可能です。単一仮想記憶方式では、複数のプロセスが仮想アドレス空間を排他的に使用しながら同時に走行し、ある仮想アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが仮想アドレス空間を共有して使用しながら走行するため、ある仮想アドレスはプロセスにより異なった物理アドレスに変換され得ます。単一仮想記憶方式と多重仮想記憶方式との動作上の違いは、TLB のアドレス比較の方式(「7.3.3 アドレス変換方式」参照)のみです。

### (5) アドレス空間識別子

多重仮想記憶モードの場合、8 ビットのアドレス空間識別子 (ASID) は仮想アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH に現在走行中のプロセスの ASID をセットすることで設定可能です。また ASID によってプロセスを切り替えの際に TLB をパージしないで済みます。

単一仮想記憶モードの場合、ASID は仮想アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

【注】 単一仮想記憶モードの設定で、ASID が異なる同一の仮想ページ番号 (VPN) を持つエントリを複数同時に TLB に設定してはいけません。

## 7. メモリマネジメントユニット (MMU)

### 7.2 レジスタの説明

MMU 処理に関するレジスタを以下に示します。

表 7.1 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32
ページテーブルエントリ下位レジスタ	PTEL	R/W	H'FF00 0004	H'1F00 0004	32
変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008	H'1F00 0008	32
TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C	H'1F00 000C	32
MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32
ページテーブルエントリアシスタンス レジスタ	PTEA	R/W	H'FF00 0034	H'1F00 0034	32
物理アドレス空間制御レジスタ	PASCR	R/W	H'FF00 0070	H'1F00 0070	32
命令再フェッチ抑止制御レジスタ	IRMCR	R/W	H'FF00 0078	H'1F00 0078	32

【注】 \* P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 7.2 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
PTEH	不定	不定	保持	保持	不定	保持
PTEL	不定	不定	保持	保持	不定	保持
TTB	不定	不定	保持	保持	不定	保持
TEA	不定	保持	保持	保持	不定	保持
MMUCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	保持
PTEA	H'0000 xxx0	H'0000 xxx0	保持	保持	H'0000 xxx0	保持
PASCR	H'0000 0082	H'0000 0082	保持	保持	H'0000 0082	保持
IRMCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	保持

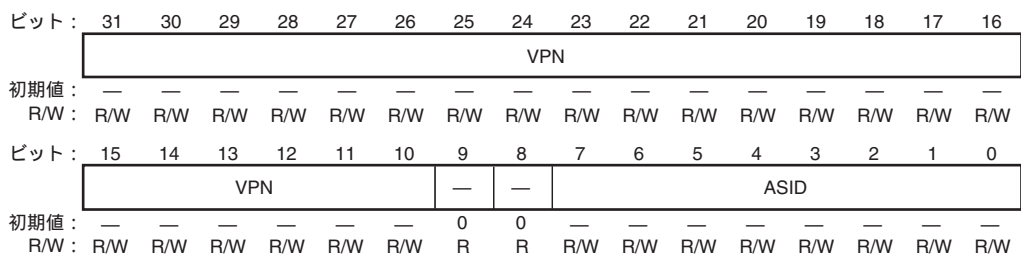
## 7.2.1 ページテーブルエントリ上位レジスタ (PTEH)

PTEH は仮想ページ番号 (VPN) とアドレス空間識別子 (ASID) から構成されています。VPN は MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた仮想アドレスの VPN が設定されます。VPN はページサイズによって異なりますが、例外発生時にハードウェアにより設定される VPN は例外を発生させた仮想アドレスの上位 22 ビットとなります。VPN の設定はソフトウェアにより行うことも可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。この VPN と ASID は、LDTLB 命令により UTLB に登録されます。

PTEH レジスタの ASID フィールドを更新後、更新後の ASID 値を使用する P0、P3、U0 領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のいずれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP0、P3、U0領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. PTEH更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令の実行は不要です。しかしこの方法では、PTEH更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。



ビット	ビット名	初期値	R/W	説明
31~10	VPN	-	R/W	仮想ページ番号
9、8	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
7~0	ASID	-	R/W	アドレス空間識別子

## 7. メモリマネジメントユニット (MMU)

### 7.2.2 ページテーブルエントリ下位レジスタ (PTEL)

PTEL は LDTLB 命令により UTLB へ登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	PPN													
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	PPN							—	V	SZ1	PR1	PR0	SZ0	C	D	SH	WT
初期値:	—	—	—	—	—	—	0	—	—	—	—	—	—	—	—	—	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	PPN	-	R/W	物理ページ番号
9	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
8	V	-	R/W	ページ管理情報 詳細は「7.3 TLBの機能 (TLB 互換モード)」および「7.4 TLBの機能 (TLB 拡張モード)」を参照してください。 【注】SZ1、PR1、SZ0、PR0 は、TLB 互換モード時のみ有効です。
7	SZ1	-	R/W	
6	PR1	-	R/W	
5	PR0	-	R/W	
4	SZ0	-	R/W	
3	C	-	R/W	
2	D	-	R/W	
1	SH	-	R/W	
0	WT	-	R/W	



### 7.2.3 変換テーブルベースレジスタ (TTB)

TTB は、現在使用しているページテーブルのベースアドレスの格納などの用途に使用します。TTB はソフトウェアの指示がない限り内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TTB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 7.2.4 TLB 例外アドレスレジスタ (TEA)

TEA は、MMU 例外またはアドレスエラー例外発生後に、このレジスタへは例外を発生させた仮想アドレスが格納されます。このレジスタはソフトウェアにより変更することは可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEA      MMU例外 / アドレスエラーを発生させた仮想アドレス															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEA      MMU例外 / アドレスエラーを発生させた仮想アドレス															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 7.2.5 MMU 制御レジスタ (MMUCR)

MMUCR の各ビットは以下に示すように MMU の設定を行います。このため MMUCR の書き換えは P1、P2 領域のプログラムで行うようにしてください。

MMUCR レジスタを更新後、P0、P3、U0 領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP0、P3、U0領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. MMUCR更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

MMUCR はソフトウェアにより変更可能です。ただし LRUI ビットと URC ビットはハードウェアにより更新されることもあります。

## 7. メモリマネジメントユニット (MMU)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LRUI						—	—	URB						—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	URC						—	SV	ME	—	—	—	—	TI	—	AT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 26	LRUI	すべて 0	R/W	<p>入れ換えを行う ITLB エントリを示す LRU ビット</p> <p>ITLB ミス発生時に入れ換える ITLB のエントリを決めるため、LRU 方式 (Least Recently Used) を用います。LRUI ビットを用いて ITLB の追い出すエントリを確定できます。</p> <p>LRUI は、以下のアルゴリズムで更新が行われます。</p> <p>なお、以下の「x」は更新を行わないことを意味します。</p> <p>000xxx : ITLB のエントリ 0 を用いたとき            1xx00x : ITLB のエントリ 1 を用いたとき            x1x1x0 : ITLB のエントリ 2 を用いたとき            xx1x11 : ITLB のエントリ 3 を用いたとき            xxxxxx : 上記以外</p> <p>また LRUI が以下の状態のとき、対応する ITLB のエントリが ITLB ミスにより更新されます。なお、下表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。またパワーオンリセット、マニュアルリセット後に LRUI は 0 に初期化されるので、ハードウェアの更新によって LRUI が設定禁止の値になることはありません。</p> <p>なお、以下の「x」は Don't care を意味します。</p> <p>111xxx : ITLB のエントリ 0 が更新される            0xx11x : ITLB のエントリ 1 が更新される            x0x0x1 : ITLB のエントリ 2 が更新される            xx0x00 : ITLB のエントリ 3 が更新される            上記以外 : 設定禁止</p>
25, 24	-	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>
23 ~ 18	URB	すべて 0	R/W	<p>入れ換えを行う UTLB エントリの境界を示すビット</p> <p>URB 0 のときに有効となります。</p>
17, 16	-	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>

## 7. メモリマネジメントユニット (MMU)

ビット	ビット名	初期値	R/W	説明
15~10	URC	すべて0	R/W	LDTLB 命令により入れ換えを行う UTLB エントリを示すためのランダムカウンタ  UTLB へのアクセスが発生するたびにインクリメントされます。ただし URB > 0 の場合、URC = URB の条件が成立すると URC は 0 にクリアされます。またソフトウェアにより URC > URB となる値が URC に書き込まれた場合、最初は URC = H'3F になるまで URB を超えてインクリメントされますので注意してください。なお URC は、LDTLB 命令によってカウントアップされません。
9	-	0	R	リザーブビット  本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
8	SV	0	R/W	単一仮想記憶モード / 多重仮想記憶モード切り替えビット  このビットを変更するときは、必ず TI ビットにも 1 を書き込んでください。 0 : 多重仮想記憶モード 1 : 単一仮想記憶モード
7	ME	0	R/W	TLB 拡張モード切り替えビット 0 : TLB 互換モード 1 : TLB 拡張モード  ME ビットの値を変更する場合には必ず TI ビットに 1 を指定して、ITLB、UTLB の内容を無効化してください。また、ME ビットによる TLB 動作モード選択は、PMB の機能や動作には影響を与えません。
6~3	-	すべて0	R	リザーブビット  本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
2	TI	0	R/W	TLB 無効化ビット  このビットに 1 を書き込むと、UTLB/ITLB の有効ビットをすべて 0 にクリアします。読み出すと常に 0 が読み出されます。
1	-	0	R	リザーブビット  本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
0	AT	0	R/W	アドレス変換有効ビット  MMU のイネーブル (有効) とディスエーブル (無効) を指定します。 0 : MMU ディスエーブルにする 1 : MMU イネーブルにする  AT ビットが 0 の状態では MMU 例外は発生しません。このため MMU を使用しないソフトウェアでは AT ビットを 0 の状態で使用してください。

## 7. メモリマネジメントユニット (MMU)

### 7.2.6 ページテーブルエントリアシスタンスレジスタ (PTEA)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	EPR				ESZ				-	-	-	-		
初期値:	0	0	-	-	-	-	-	-	-	-	-	-	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13~8	EPR	不定	R/W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「7.4 TLB の機能 (TLB 拡張モード)」を参照してください。
7~4	ESZ	不定	R/W	
3~0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

## 7.2.7 物理アドレス空間制御レジスタ (PASCR)

PASCR は物理アドレス空間の動作を制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UB							
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
7~0	UB	H'82	R/W	エリア (64M バイト) ごとのバッファライト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次の CPU からのバスアクセスを待たせるかをエリアごとに指定します。 0: CPU は書き込みのバスアクセスの完了を待たずに次のバスアクセスを行います。 1: CPU は書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います。 UB[7]: 制御レジスタ領域に対応 UB[6]: エリア 6 に対応 UB[5]: エリア 5 に対応 UB[4]: エリア 4 に対応 UB[3]: エリア 3 に対応 UB[2]: エリア 2 に対応 UB[1]: エリア 1 に対応 UB[0]: エリア 0 に対応

## 7. メモリマネジメントユニット (MMU)

### 7.2.8 命令再フェッチ抑止制御レジスタ (IRMCR)

IRMCR は、特定のリソースが変更された場合に、次の命令を命令フェッチからやり直すかどうかを制御します。特定のリソースとは、制御レジスタの一部、TLB、キャッシュを示します。

初期状態ではリソース変更後、次の命令の命令フェッチをやり直すように設定されています。しかしこの状態では、リソースの変更を 1 回行うごとに命令フェッチのやり直しが起こり、CPU の処理性能が低下します。そのため IRMCR の各ビットを 1 に設定し、必要なリソースの変更をまとめて行ったうえで、特定の命令を実行し、変更後のリソースを使用するプログラムの実行へ移るようにすることを推奨します。

特定のシーケンスに関しては、各リソースの説明を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	R2	R1	LT	MT	MC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
4	R2	0	R/W	レジスタ変更後再フェッチ抑止 2 MMUCR、PASCR、CCR、RAMCR、PTEH の各レジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0: 再フェッチを行います 1: 再フェッチを行いません
3	R1	0	R/W	レジスタ変更後再フェッチ抑止 1 アドレス H'FF200000 ~ H'FF2FFFFFF に存在するレジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0: 再フェッチを行います 1: 再フェッチを行いません
2	LT	0	R/W	LDTLB 実行後再フェッチ抑止 LDTLB 命令を実行後に、次命令の再フェッチを行うかどうかを制御します。 0: 再フェッチを行います 1: 再フェッチを行いません

## 7. メモリマネジメントユニット (MMU)

ビット	ビット名	初期値	R/W	説明
1	MT	0	R/W	メモリ割り付け TLB ライト後再フェッチ抑止 MMUCR.AT = 1 の状態で、メモリ割り付け ITLB/UTLB ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
0	MC	0	R/W	メモリ割り付け IC ライト後再フェッチ抑止 CCN.ICE = 1 の状態で、メモリ割り付け IC ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません

## 7.3 TLB の機能 (TLB 互換モード)

### 7.3.1 共用 TLB (UTLB) の構成

UTLB は次の 2 つの目的のために使用されます。

1. データアクセスのとき、仮想アドレスを物理アドレスへ変換する。
2. 命令TLBミスのとき、ITLBへ登録するアドレス変換情報のテーブル。

このため共用 TLB と呼ばれます。UTLB には外部メモリ上に置かれるアドレス変換テーブルの情報がキャッシングされます。アドレス変換テーブルには仮想ページ番号とアドレス空間識別子、それに対応する物理ページ番号とページ管理情報が格納されています。図 7.6 に UTLB の構成を示します。UTLB はフルアソシアティブ方式の 64 エントリで構成されています。図 7.7 にページサイズとアドレスの関係を示します。

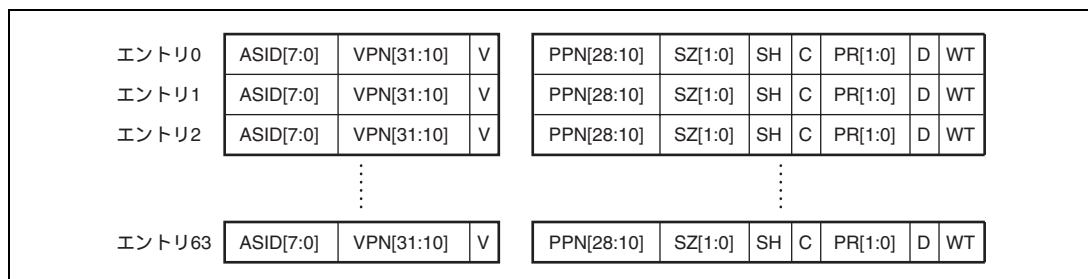


図 7.6 UTLB の構成 (TLB 互換モード)

#### 【記号説明】

- VPN : 仮想ページ番号      1K バイトページのとき、仮想アドレスの上位 22 ビット  
 4K バイトページのとき、仮想アドレスの上位 20 ビット  
 64K バイトページのとき、仮想アドレスの上位 16 ビット  
 1M バイトページのとき、仮想アドレスの上位 12 ビット
- ASID : アドレス空間識別子      仮想ページをアクセスできるプロセスを示します。  
 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。
- SH : 共有状態ビット      0 : 複数のプロセスでページを共有しません。  
 1 : 複数のプロセスでページを共有します。
- SZ[1:0] : ページサイズビット      ページサイズを指定します。  
 00 : 1K バイトページ  
 01 : 4K バイトページ  
 10 : 64K バイトページ  
 11 : 1M バイトページ



V : 有効ビット	エントリが有効かどうかを示します。 0 : 無効 1 : 有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN : 物理ページ番号	物理アドレスの上位 22 ビット 1K バイトページのときは PPN[28:10]が有効です。 4K バイトページのときは PPN[28:12]が有効です。 64K バイトページのときは PPN[28:16]が有効です。 1M バイトページのときは PPN[28:20]が有効です。 また PPN の設定においてはシノニム問題に注意してください (「7.5.5 シノニム問題の回避」参照)。
PR[1:0] : 保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータ 00 : 特権モードで読み出しのみ可能 01 : 特権モードで読み出し / 書き込み可能 10 : 特権 / ユーザモードで読み出しのみ可能 11 : 特権 / ユーザモードで読み出し / 書き込み可能
C : キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 : キャッシング不可能 1 : キャッシング可能 制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。
D : ダーティビット	ページに書き込みが行われたかどうかを示します。 0 : 書き込みが行われていない。 1 : 書き込みが行われた。
WT : ライトスルービット	キャッシュへの書き込みモードを指定します。 0 : コピーバックモード 1 : ライトスルーモード

## 7. メモリマネジメントユニット (MMU)

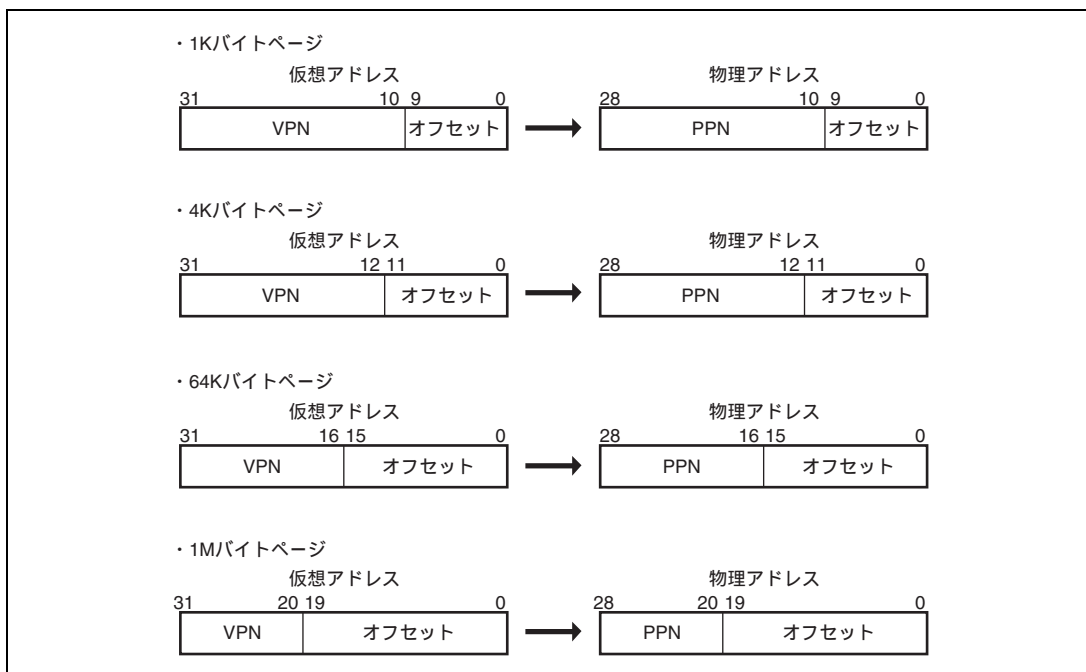


図 7.7 ページサイズとアドレスの関係 (TLB 互換モード)

### 7.3.2 命令 TLB (ITLB) の構成

ITLB は命令アクセスのとき、仮想アドレスを物理アドレスへ変換するために用いられます。ITLB には UTLB 上に置かれるアドレス変換テーブルの情報がキャッシングされます。図 7.8 に ITLB の構成を示します。ITLB はフルアソシアティブの 4 エントリで構成されています。

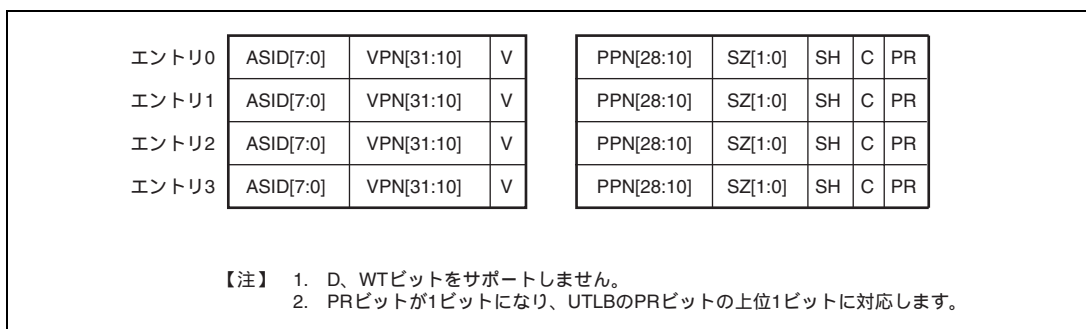


図 7.8 ITLB の構成 (TLB 互換モード)

7.3.3 アドレス変換方式

図 7.9 に、UTLB を用いたメモリアクセスのフローを示します。

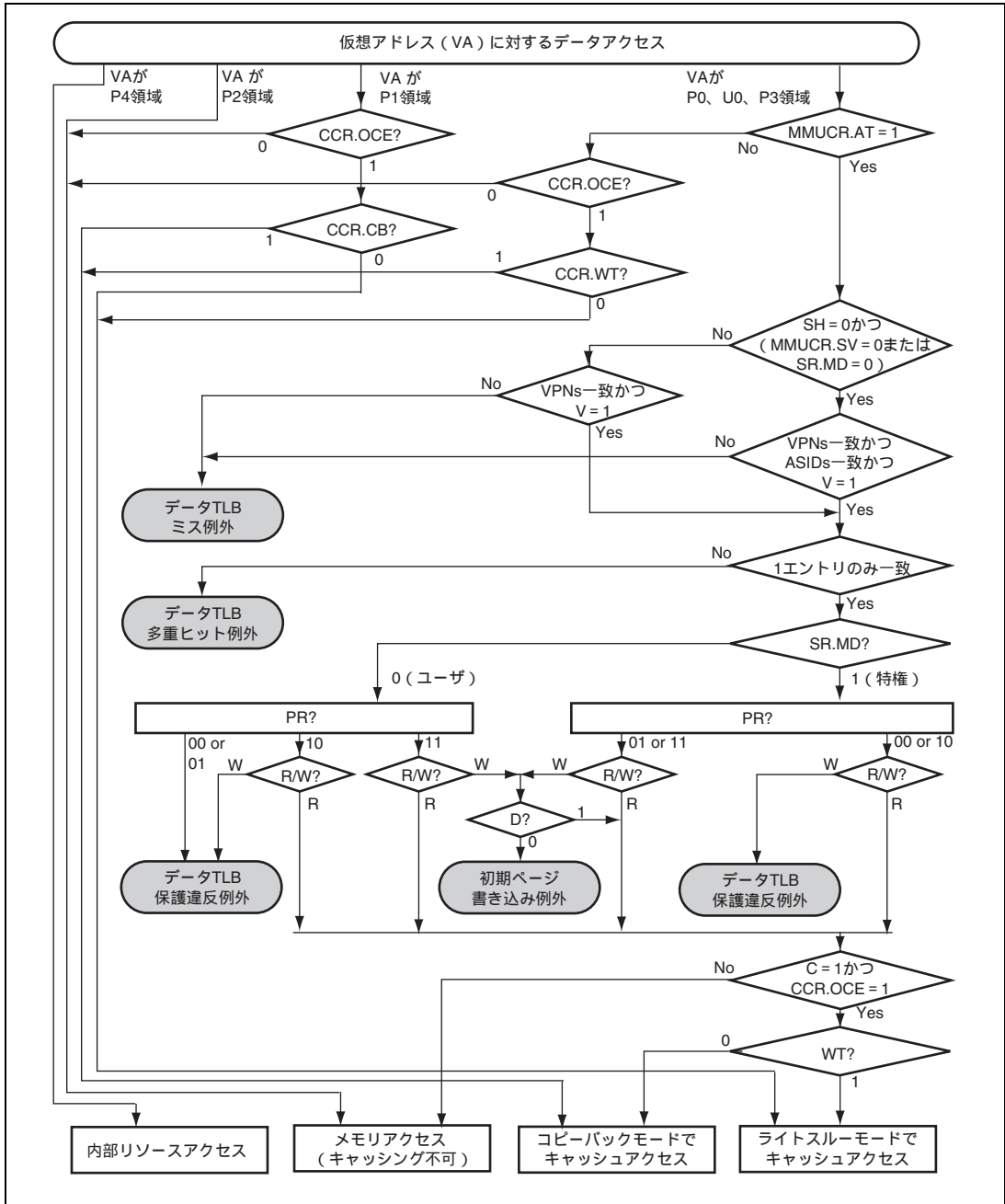


図 7.9 UTLB を用いたメモリアクセスフロー (TLB 互換モード)

## 7. メモリマネジメントユニット (MMU)

図 7.10 に ITLB を用いたメモリアクセスのフローを示します。

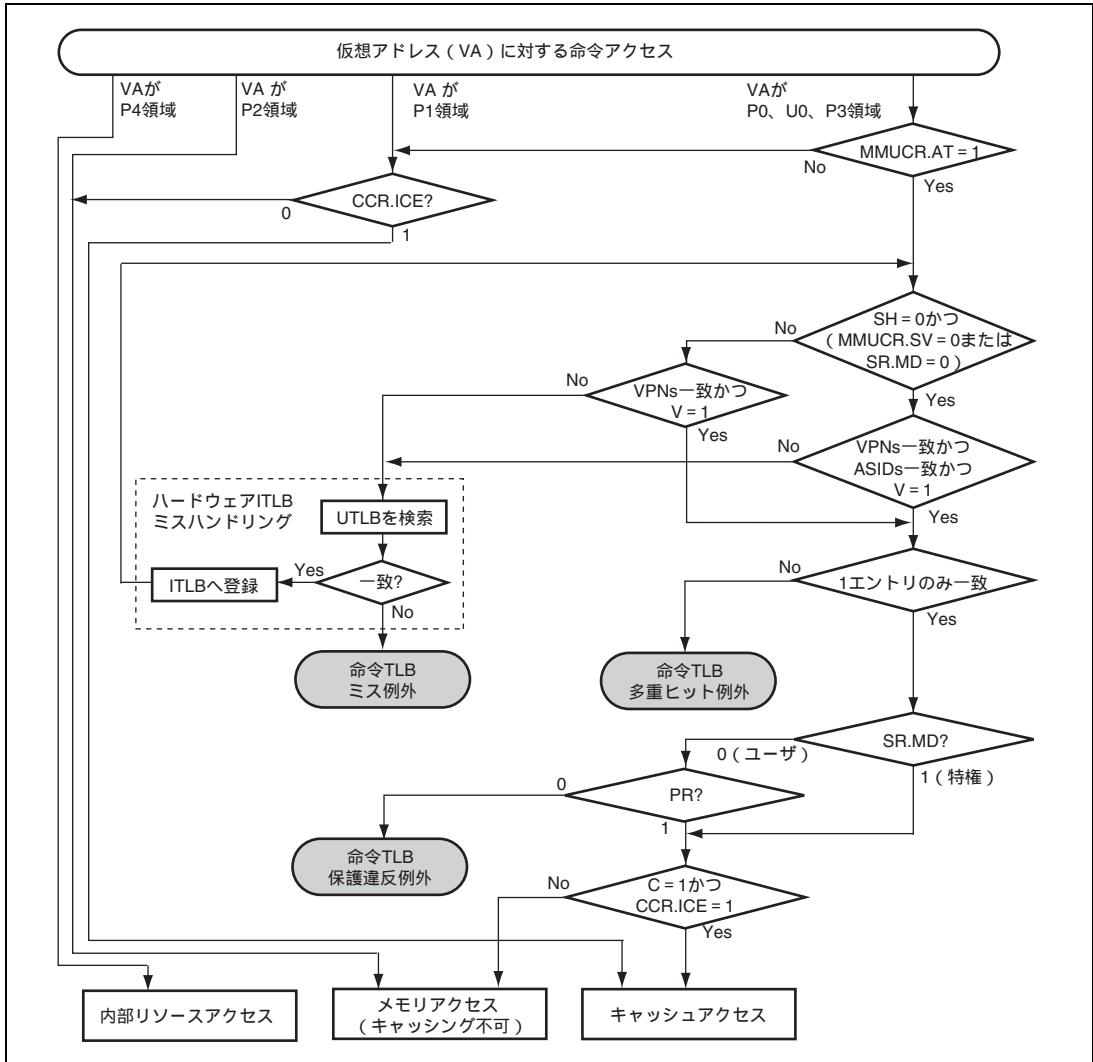


図 7.10 ITLB を用いたメモリアクセスフロー (TLB 互換モード)

## 7.4 TLB の機能 (TLB 拡張モード)

### 7.4.1 共用 TLB (UTLB) の構成

図 7.11 に TLB 拡張モード時の UTLB の構成を示します。図 7.12 にページサイズとアドレスの関係を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
		⋮				⋮				
エントリ63	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT

図 7.11 UTLB の構成 (TLB 拡張モード)

#### 【記号説明】

VPN : 仮想ページ番号

1K バイトページのと看、仮想アドレスの上位 22 ビット  
 4K バイトページのと看、仮想アドレスの上位 20 ビット  
 8K バイトページのと看、仮想アドレスの上位 19 ビット  
 64K バイトページのと看、仮想アドレスの上位 16 ビット  
 256K バイトページのと看、仮想アドレスの上位 14 ビット  
 1M バイトページのと看、仮想アドレスの上位 12 ビット  
 4M バイトページのと看、仮想アドレスの上位 10 ビット  
 64M バイトページのと看、仮想アドレスの上位 6 ビット

ASID : アドレス空間識別子

仮想ページをアクセスできるプロセスを示します。  
 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのと看で、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。

SH : 共有状態ビット

0 : 複数のプロセスでページを共有しませぬ。  
 1 : 複数のプロセスでページを共有しませぬ。

ESZ : ページサイズビット

ページサイズを指定しませぬ。  
 0000 : 1K バイトページ  
 0001 : 4K バイトページ  
 0010 : 8K バイトページ  
 0100 : 64K バイトページ  
 0101 : 256K バイトページ  
 0111 : 1M バイトページ  
 1000 : 4M バイトページ  
 1100 : 64M バイトページ

## 7. メモリマネジメントユニット (MMU)

---

【注】 上記以外の値を登録した場合の動作は保証しません。

V : 有効ビット	エントリが有効かどうかを示します。 0 : 無効 1 : 有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN : 物理ページ番号	物理アドレスの上位 22 ビット 1K バイトページのときは PPN[28:10]が有効です。 4K バイトページのときは PPN[28:12]が有効です。 8K バイトページのときは PPN[28:13]が有効です。 64K バイトページのときは PPN[28:16]が有効です。 256K バイトページのときは PPN[28:18]が有効です。 1M バイトページのときは PPN[28:20]が有効です。 4M バイトページのときは PPN[28:22]が有効です。 64M バイトページのときは PPN[28:26]が有効です。 また PPN の設定においてはシノニム問題に注意してください (「7.5.5 シノニム問題の回避」参照)。
EPR : 保護キーデータ	ページのアクセス権をコードで表した 6 ビットデータ 特権モードでの読み出し / 書き込み / 実行 (命令フェッチ) およびユーザモードでの読み出し / 書き込み / 実行 (命令フェッチ) に対する許可を独立に設定可能です。各ビットそれぞれ 0 で不許可、1 で許可を示します。 EPR[5] : 特権モードでの読み出し EPR[4] : 特権モードでの書き込み EPR[3] : 特権モードでの実行 (命令フェッチ) EPR[2] : ユーザモードでの読み出し EPR[1] : ユーザモードでの書き込み EPR[0] : ユーザモードでの実行 (命令フェッチ)
C : キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 : キャッシング不可能 1 : キャッシング可能 制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。
D : ダーティビット	ページに書き込みが行われたかどうかを示します。 0 : 書き込みが行われていない 1 : 書き込みが行われた

## 7. メモリマネジメントユニット (MMU)

WT : ライトスルービット      キャッシュへの書き込みモードを指定します。

0 : コピーバックモード

1 : ライトスルーモード

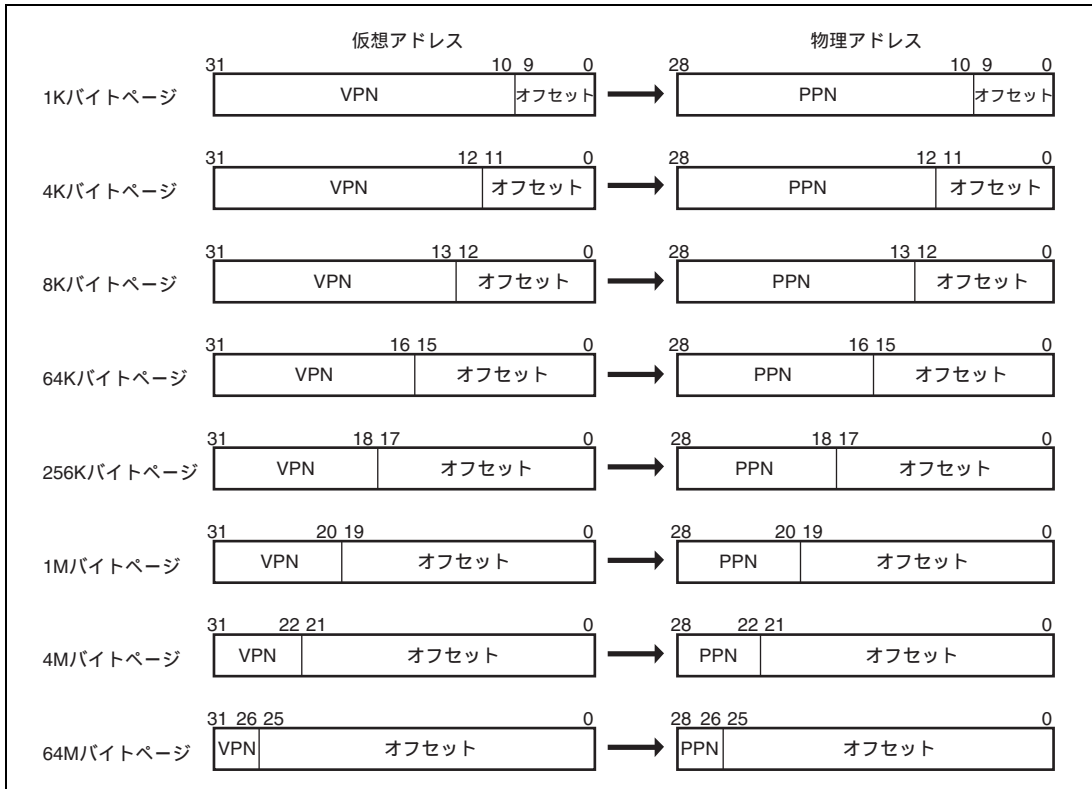


図 7.12 ページサイズとアドレスの関係 (TLB 拡張モード)

## 7. メモリマネジメントユニット (MMU)

---

### 7.4.2 命令 TLB (ITLB) の構成

図 7.13 に TLB 拡張モード時の ITLB の構成を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[1:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[1:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[1:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ3	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[1:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]

【注】 EPR[4]、EPR[1]、D、WTビットをサポートしません。

図 7.13 ITLB の構成 (TLB 拡張モード)

### 7.4.3 アドレス変換方式

図 7.14 に TLB 拡張モード時の UTLB を用いたメモリアクセスのフローを示します。





## 7. メモリマネジメントユニット (MMU)

図 7.15 に TLB 拡張モード時の ITLB を用いたメモリアクセスのフローを示します。

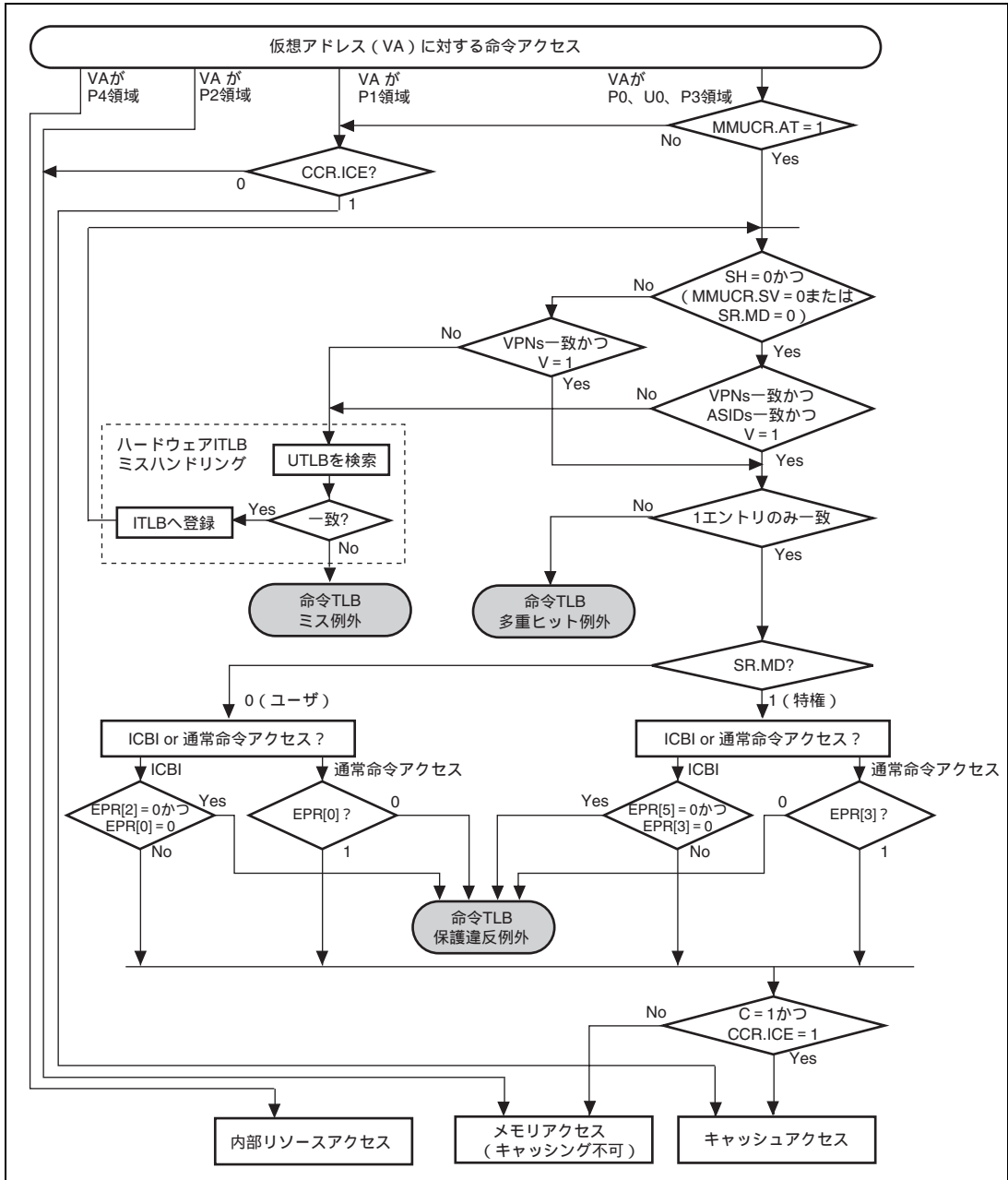


図 7.15 ITLB を用いたメモリアクセスフロー (TLB 拡張モード)

## 7.5 MMU の機能

### 7.5.1 MMU のハードウェア管理

本 LSI がサポートする MMU の機能として次のものがあります。

1. ソフトウェアがアクセスする仮想アドレスをデコードし、MMUCRの設定に従ってUTLB、ITLBを制御してアドレス変換を行います。
2. アドレス変換の際に読み出されたページ管理情報をもとに、キャッシュへのアクセス状態を判定します (C、WTビット)。
3. データアクセス、命令アクセスにおいて正常にアドレス変換が行われなかった場合、MMU例外の発生によりソフトウェアに通知します。
4. 命令アクセスでITLBにアドレス変換情報が登録されていないとき、UTLBを検索します。必要なアドレス変換情報がUTLBに登録されていた場合、MMUCRのLRUIビットに従い、ITLBにそのアドレス変換情報をコピーします。

### 7.5.2 MMU のソフトウェア管理

MMU に対するソフトウェアの処理として次のものがあります。

1. MMU関連レジスタの設定。一部ハードウェアにより自動的に更新されるものもあります。
2. TLBエントリの登録、削除、読み出し。UTLBエントリの登録にはLDTLB命令を用いる方法と、メモリ割り付けUTLBに直接書き込む方法があります。ITLBエントリの登録はメモリ割り付けITLBに直接書き込む方法しかありません。UTLB、ITLBエントリの削除と読み出しは、メモリ割り付けUTLB、ITLBをアクセスすることで可能です。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。

## 7. メモリマネジメントユニット (MMU)

### 7.5.3 MMU の命令 (LDTLB)

UTLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令が発行されると、本 LSI は PTEH と PTEL の内容を (加えて TLB 拡張モードの場合には PTEA の内容を) URC ビットが指し示す UTLB エントリにコピーします。LDTLB 命令により ITLB エントリの更新は行われませんので、UTLB エントリから追い出されたアドレス変換情報が ITLB エントリに残る可能性があります。LDTLB 命令はアドレス変換情報を変更する命令のため、必ず P1、P2 領域のプログラムで発行するようにしてください。LDTLB 命令実行後、TLB が有効な領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1.~3.のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はTLBが有効な領域で構いません。
2. 任意のアドレス (キャッシング不可領域でも良い) に対して、ICBI命令を実行してください。
3. LDTLB命令実行前にあらかじめIRMCR.LT=0 (初期値)と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、LDTLB命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3.は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには 1.または 2.を用いることを推奨します。

図 7.16 に LDTLB 命令の動作を示します。

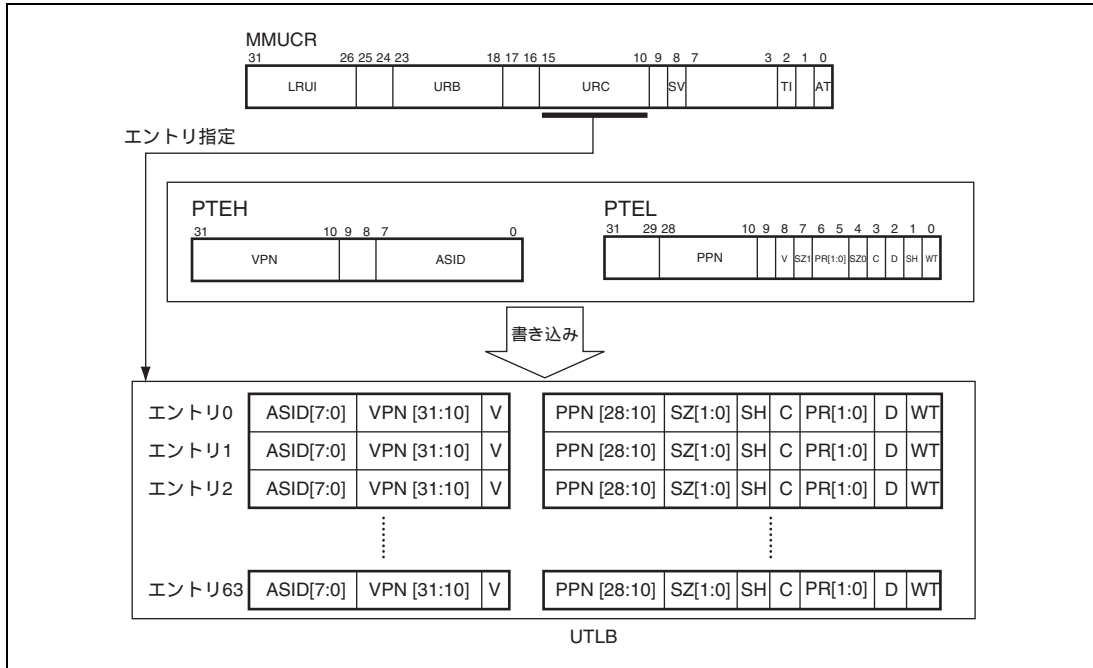


図 7.16 LDTLB 命令の動作 (TLB 互換モード)

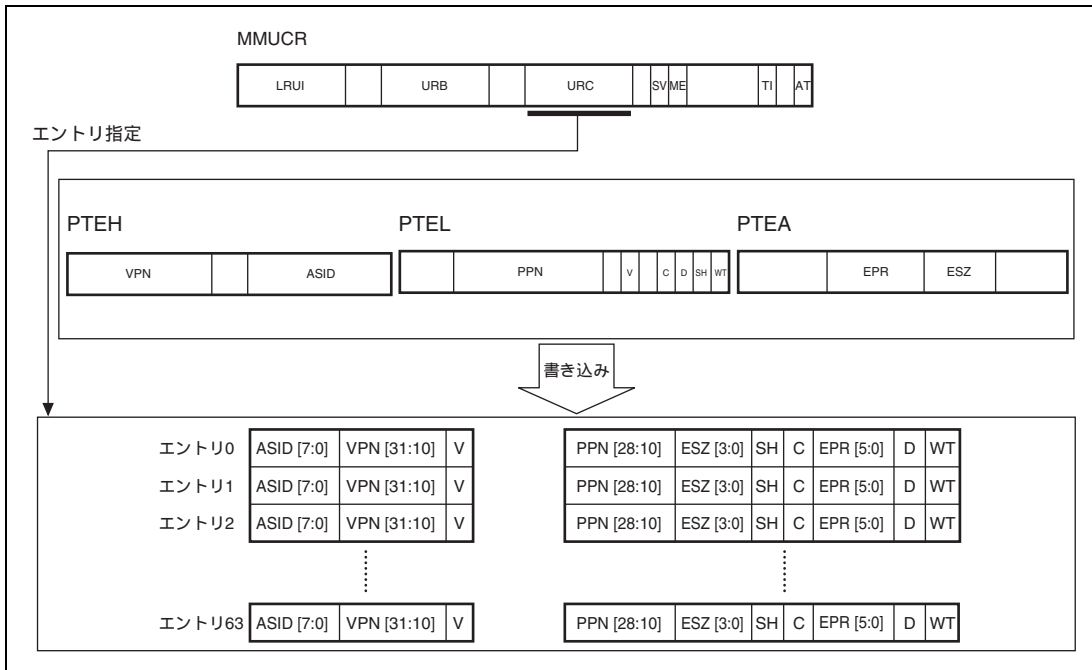


図 7.17 LDTLB 命令の動作 (TLB 拡張モード)

#### 7.5.4 ハードウェア ITLB ミスハンドリング

本 LSI は命令アクセスの際、ITLB を検索して必要なアドレス変換情報を見つけられなかった (ITLB ミス) 場合、ハードウェアにより UTLB を検索し、必要なアドレス変換情報があれば ITLB への登録を行います。これをハードウェア ITLB ミスハンドリングと呼びます。UTLB を検索しても必要なアドレス変換情報が見つからない場合、命令 TLB ミス例外を発生し、処理をソフトウェアへ移します。

## 7. メモリマネジメントユニット (MMU)

---

### 7.5.5 シノニム問題の回避

TLB エントリに 1K、4K バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は命令 TLB や命令キャッシュではデータの読み出ししか行わないため発生しません。本 LSI ではオペランドキャッシュの高速動作のために仮想アドレスの[12:5]を用いて、エントリの指定を行います。しかし 1K バイトページでは仮想アドレスの[12:10]が、4K バイトページでは仮想アドレスの[12]がアドレス変換の対象になります。このため変換後の物理アドレスの[12:10]と仮想アドレスの[12:10]が異なる可能性があります。

このため UTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

1. 複数の1KバイトページのUTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[12:10]は必ず等しくなるようにしてください。
2. 複数の4KバイトページのUTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[12]は必ず等しくなるようにしてください。
3. 1KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。
4. 4KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。

【注】 将来の SuperH RISC engine ファミリ拡張に備えて、複数のアドレス変換情報が同一の物理メモリを使用する場合、VPN[20:10]を等しくなるようにしてください。また異なるページサイズのアドレス変換情報で同一の物理アドレスを使用しないでください。

## 7.6 MMU 例外

MMU 例外には、命令 TLB 多重ヒット例外、命令 TLB ミス例外、命令 TLB 保護違反例外、データ TLB 多重ヒット例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外の 7 つの例外があります。各例外の発生条件については図 7.9、図 7.10、図 7.14 および図 7.15 を参照してください。

### 7.6.1 命令 TLB 多重ヒット例外

命令 TLB 多重ヒット例外は、命令アクセスした仮想アドレスに一致する ITLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合も、命令 TLB 多重ヒット例外となります。

命令 TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンシは保証しません。

- ハードウェア処理

命令 TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスを TEA に設定します。
2. 例外コード H'140 を EXPEVT に設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させた ITLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

### 7.6.2 命令 TLB ミス例外

命令 TLB ミス例外は、ハードウェア ITLB ミスハンドリングにより UTLB エントリに命令アクセスした仮想アドレスに対応するアドレス変換情報が見つからなかったときに発生します。命令 TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。これはデータ TLB ミス例外時の処理と同じです。

- ハードウェア処理

命令 TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 例外コード H'040 を、EXPEVT に設定します。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。

## 7. メモリマネジメントユニット (MMU)

---

- SRのMDビットを1に設定し、特権モードに切り替えます。
- SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
- SRのRBビットを1に設定します。
- VBRの内容にオフセットH'0000 0400を加えたアドレスに分岐し、命令TLBミス例外処理ルーチンを開始します。

- ソフトウェア処理 (命令TLBミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

- TLB互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。  
TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
- エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
- LDTLB命令を実行させ、TLB互換モードの場合は、PTEH、PTELの内容をTLBに書き込みます。  
TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
- 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

### 7.6.3 命令 TLB 保護違反例外

命令 TLB 保護違反例外は、命令アクセスした仮想アドレスに一致するアドレス変換情報が ITLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。命令 TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

命令TLB保護違反例外のとき、ハードウェアは次の処理を行います。

- 例外が発生した仮想アドレスのVPNをPTEHに設定します。
- 例外の発生した仮想アドレスをTEAに設定します。
- 例外コードH'0A0をEXPEVTに設定します。
- 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
- 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
- SRのMDビットを1に設定し、特権モードに切り替えます。



- SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
- SRのRBビットを1に設定します。
- VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、命令TLB保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (命令TLB保護違反例外処理ルーチン)

命令TLB保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

### 7.6.4 データ TLB 多重ヒット例外

データ TLB 多重ヒット例外は、データアクセスした仮想アドレスに一致する UTLB エントリが複数存在した場合に発生します。

データ TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンスは保証しません。また例外発生以前の UTLB 内の PPN の内容は壊れることがあります。

- ハードウェア処理

データTLB多重ヒット例外のとき、ハードウェアは次の処理を行います。

- 例外の発生した仮想アドレスをTEAに設定します。
- 例外コードH'140をEXPEVTに設定します。
- リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させたUTLBエントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

### 7.6.5 データ TLB ミス例外

データ TLB ミス例外は、データアクセスした仮想アドレスに対応するアドレス変換情報が UTLB 内に見つからなかったときに発生します。データ TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データTLBミス例外のとき、ハードウェアは次の処理を行います。

- 例外が発生した仮想アドレスのVPNをPTEHに設定します。
- 例外の発生した仮想アドレスをTEAに設定します。
- 読み出しのとき例外コードH'040を、書き込みのとき例外コードH'060を、EXPEVTに設定します (OCBP、

## 7. メモリマネジメントユニット (MMU)

---

OCBWB : 読み出し ; OCBI、MOVCA.L : 書き込み)。

4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0400を加えたアドレスに分岐し、データTLBミス例外処理ルーチンを開始します。

- ソフトウェア処理 (データTLBミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. TLB互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。  
TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
3. LDTLB命令を実行させ、TLB互換モードの場合、PTEH、PTELの内容をUTLBに書き込みます。  
TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

### 7.6.6 データ TLB 保護違反例外

データ TLB 保護違反例外は、データアクセスした仮想アドレスに一致するアドレス変換情報が UTLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。データ TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データ TLB 保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 読み出しのとき例外コード H'0A0 を、書き込みのとき例外コード H'0C0 を、EXPEVT に設定します (OCBP、OCBWB : 読み出し ; OCBI、MOVCA.L : 書き込み)。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、データ TLB 保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (データ TLB 保護違反例外処理ルーチン)

データ TLB 保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし LDTLB 命令の次の命令以降に RTE 命令を発行してください。

## 7. メモリマネジメントユニット (MMU)

---

### 7.6.7 初期ページ書き込み例外

初期ページ書き込み例外は、データアクセス(書き込み)した仮想アドレスに一致するアドレス変換情報がUTLBエントリに存在し、アクセス権も許されているにもかかわらず、Dビットが0であった場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

初期ページ書き込み例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'080をEXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、初期ページ書き込み例外処理ルーチンを開始します。

- ソフトウェア処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. TLB互換モードの場合、外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、WT、SH、Vのビットの値をPTELに書き込みます。  
TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
4. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
5. LDTLB命令を実行させ、TLB互換モードの場合、PTEH、PTELの内容をUTLBに書き込みます。  
TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
6. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

## 7.7 メモリ割り付け TLB の構成

ITLB および UTLB をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって ITLB および UTLB の内容の読み出し、書き込みが可能です。別の領域のプログラムからアクセスする場合、動作の保証はありません。

メモリ割り付け TLB アクセス後、P2 領域以外へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP2領域以外でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. メモリ割り付けTLBアクセスの前にあらかじめIRMCR.MT=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ITLB および UTLB は仮想アドレス空間の P4 領域に割り付けられています。

TLB 互換モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 拡張モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D は、アドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 互換モード、TLB 拡張モードどちらの場合もアクセスサイズはロングワードサイズのみ可能です。この領域に対して命令フェッチは行えません。リザーブビットに対しては、書き込み値として 0 を指定してください。読み出し値は保証しません。

## 7. メモリマネジメントユニット (MMU)

### 7.7.1 ITLB アドレスアレイ

ITLB のアドレスアレイは P4 領域の H'F200 0000 ~ H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V、ASID を指定します。

アドレス部は、[31:24]が ITLB アドレスアレイを示す H'F2 になっており、[9:8]でエントリを選択するようになっています。アドレス部[1:0]はロングワードアクセスのため 0 を指定してください。

データ部は、[31:10]が VPN を、[8]が V を、[7:0]が ASID を示します。

ITLB アドレスアレイに対しては以下の 2 種類の操作が可能です。

#### 1. ITLBアドレスアレイ 読み出し

アドレス部に設定されたエントリに対応するITLBエントリから、データ部へVPN、V、ASIDを読み出します。

#### 2. ITLBアドレスアレイ 書き込み

アドレス部に設定されたエントリに対応するITLBエントリに対して、データ部で指定されたVPN、V、ASIDを書き込みます。

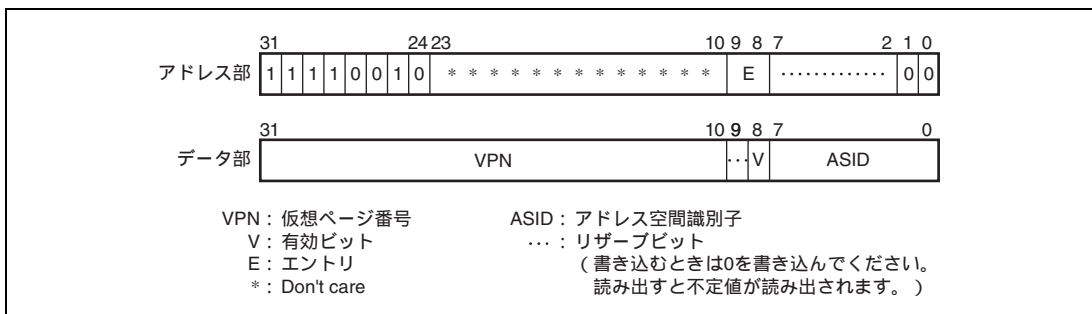


図 7.18 メモリ割り付け ITLB アドレスアレイ

## 7.7.2 ITLB データアレイ (TLB 互換モード)

ITLB のデータアレイは P4 領域の H'F300 0000 ~ H'F37F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 1 に書き込む PPN、V、SZ、PR、C、SH を指定します。

アドレス部は、[31:23]が ITLB データアレイを示す H'F30 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[28:10]が PPN を、[8]が V を、[7]、[4]が SZ を、[6]が PR を、[3]が C を、[1]が SH を示します。

ITLB データアレイに対しては以下の 2 種類の操作が可能です。

## 1. ITLB データアレイ 読み出し

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ PPN、V、SZ、PR、C、SH を読み出します。

## 2. ITLB データアレイ 書き込み

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、SH を書き込みます。

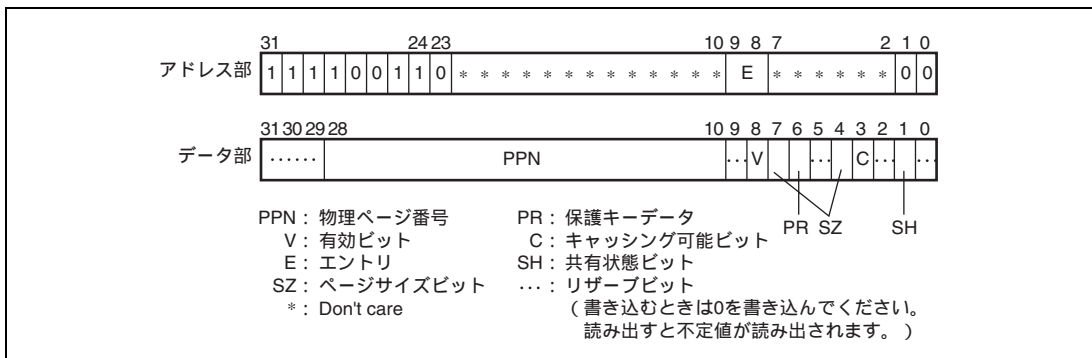


図 7.19 メモリ割り付け ITLB データアレイ (TLB 互換モード)

## 7. メモリマネジメントユニット (MMU)

### 7.7.3 ITLB データアレイ (TLB 拡張モード)

TLB 拡張モード (MMUCR.ME=1) のとき、ITLB データアレイは ITLB データアレイ 1 に名称が変更になります。また、ITLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、ITLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、ITLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの ITLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME=0) のときには、ITLB データアレイ 2 のアクセスは行えません。アクセスした場合の動作は保証しません。

#### (1) ITLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7、6、4 がリザーブビットになります。書き込み時には 0 を指定してください。

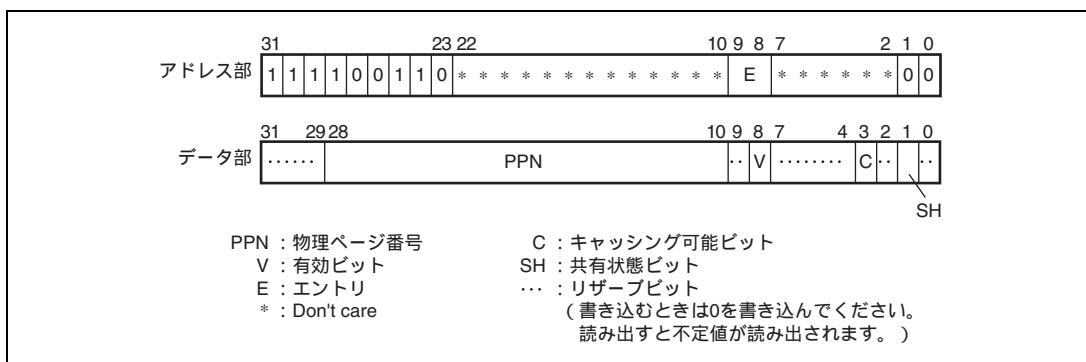


図 7.20 メモリ割り付け ITLB データアレイ 1 (TLB 拡張モード)

#### (2) ITLB データアレイ 2

ITLB のデータアレイは P4 領域の H'F380000 ~ H'F3FFF FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。

アドレス部は、[31:23]が ITLB データアレイ 2 を示す H'F38 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[13][11][10][8]がそれぞれ EPR[5][3][2][0]を、[7:4]が ESZ を示します。ITLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

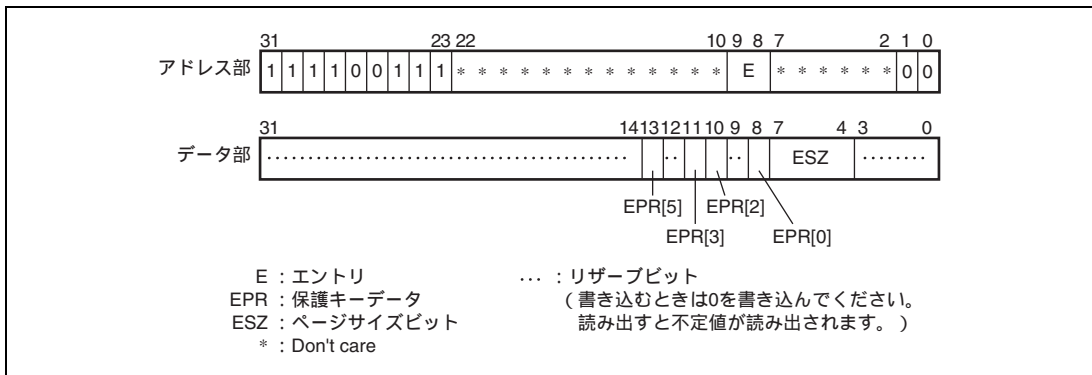
##### 1. ITLB データアレイ 2 読み出し

アドレス部に指定されたエントリに対応する ITLB エントリから、データ部へ EPR、ESZ を読み出します。



## 2. ITLBデータアレイ2 書き込み

アドレス部に指定されたエントリに対応するITLBエントリに対して、データ部で指定されたEPR、ESZを書き込みます。



## 7.7.4 UTLB アドレスアレイ

UTLB のアドレスアレイは P4 領域の H'F600 0000 ~ H'F60F FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、D、V、ASID を指定します。

アドレス部は、[31:20] が UTLB アドレスアレイを示す H'F60 になっており、[13:8] でエントリを選択するようになっています。アドレス部 [7] の連想ビット (A ビット) は、UTLB アドレスアレイへの書き込みのときのアドレス比較の有無を指定します。

データ部は、[31:10] が VPN を、[9] が D を、[8] が V を、[7:0] が ASID を示します。

UTLB アドレスアレイに対しては以下の 3 種類の操作が可能です。

## 1. UTLB アドレスアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ VPN、D、V、ASID を読み出します。読み出す場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

## 2. UTLB アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された VPN、D、V、ASID を書き込みます。アドレス部の A ビットは 0 にしてください。

## 3. UTLB アドレスアレイ 書き込み (連想あり)

アドレス部の A ビットが 1 で書き込みのとき、データ部で指定された VPN と PTEH.ASID を用い、UTLB の全エントリとの間で比較が行われます。比較は通常のアドレス比較の規則に従いますが、UTLB にミスした場合は例外は発生せずノーオペレーションとなります。比較によりデータ部で指定した VPN に対応する UTLB エントリが存在した場合、そのエントリに対してデータ部で指定した D と V を書き込みます。この連想動作は



## 7.7.5 UTLB データアレイ (TLB 互換モード)

UTLB のデータアレイは P4 領域の HF700 0000 ~ HF70F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込む PPN、V、SZ、PR、C、D、SH、WT を指定します。

アドレス部は、[31:20]が UTLB データアレイを示す HF70 になっており、[13:8]でエントリを選択するようになっています。

データ部は、[28:10]が PPN を、[8]が V を、[7]、[4]が SZ を、[6:5]が PR を、[3]が C を、[2]が D を、[1]が SH を、[0]が WT を示します。

UTLB データアレイに対しては以下の 2 種類の操作が可能です。

## 1. UTLB データアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ PPN、V、SZ、PR、C、D、SH、WT を読み出します。

## 2. UTLB データアレイ 書き込み

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、D、SH、WT を書き込みます。

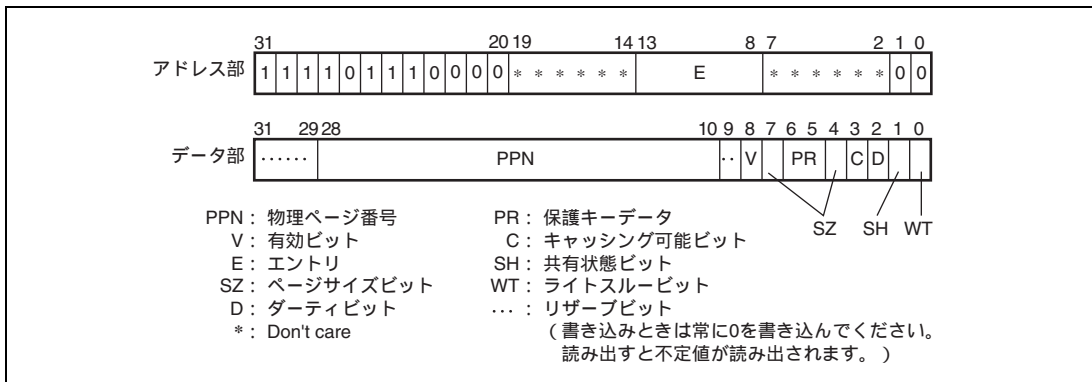


図 7.23 メモリ割り付け UTLB データアレイ

## 7. メモリマネジメントユニット (MMU)

### 7.7.6 UTLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、UTLB データアレイは UTLB データアレイ 1 に名称が変更になります。また、UTLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、UTLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、UTLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの UTLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME=0) のときには、UTLB データアレイ 2 のアクセスは行えません。アクセスした場合の動作は保証しません。

#### (1) UTLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7~4 がリザーブビットになります。書き込み時には 0 を指定してください。

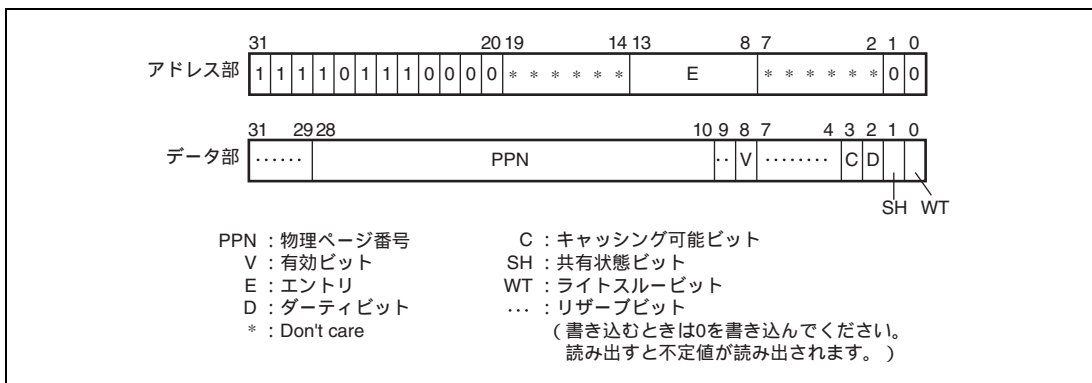


図 7.24 メモリ割り付け UTLB データアレイ 1 (TLB 拡張モード)



## 7. メモリマネジメントユニット (MMU)

---

---

## 8. キャッシュ

---

本 LSI は命令用に 32K バイトの命令キャッシュ(IC)を、データ用に 32K バイトのオペランドキャッシュ(OC)を内蔵しています。

### 8.1 特長

キャッシュの特長を表 8.1 に示します。

表 8.1 キャッシュの特長

項目	命令キャッシュ	オペランドキャッシュ
容量	32K バイトキャッシュ	32K バイトキャッシュ
方式	4 ウェイセットアソシアティブ、 仮想アドレスインデックス / 物理アドレスタグ	4 ウェイセットアソシアティブ、 仮想アドレスインデックス / 物理アドレスタグ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ / ウェイ	256 エントリ / ウェイ
書き込み方式	-	コピーバック / ライトスルー選択可能
置換方式	LRU (Least Recently Used) アルゴリズム	LRU (Least Recently Used) アルゴリズム

本 LSI のオペランドキャッシュは 4 ウェイセットアソシアティブ方式で、おのおののウェイは 256 本のキャッシュラインから構成されます。図 8.1 にオペランドキャッシュの構成を示します。

命令キャッシュは 4 ウェイセットアソシアティブ方式で、おのおののウェイは 256 本のキャッシュラインから構成されます。図 8.2 に命令キャッシュの構成を示します。

本 LSI は、消費電力を低減するために IC ウェイ予測機構を搭載しています。また、非サポート検出例外レジスタ (EXPMASK) を用いて、メモリ割り付け連想ライト機能を例外として検出することが可能です。詳細は、「第 5 章 例外処理」を参照してください。

## 8. キャッシュ

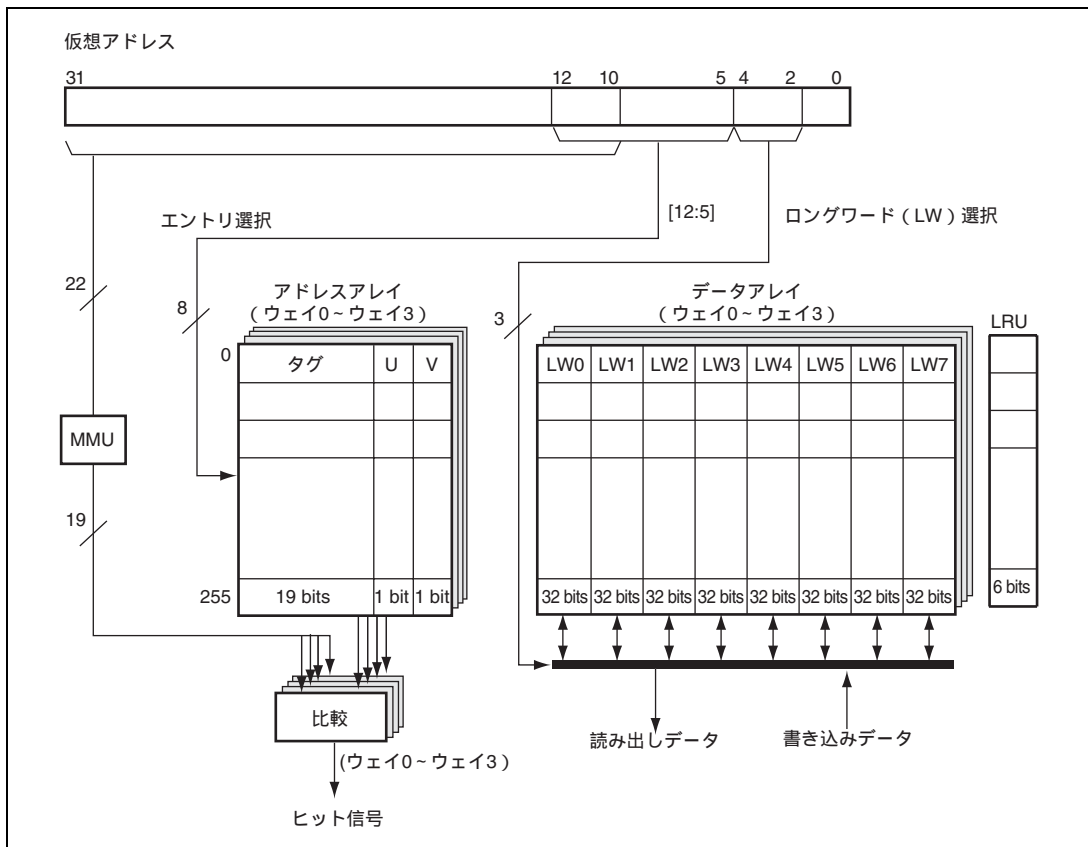


図 8.1 オペランドキャッシュ (OC) の構成



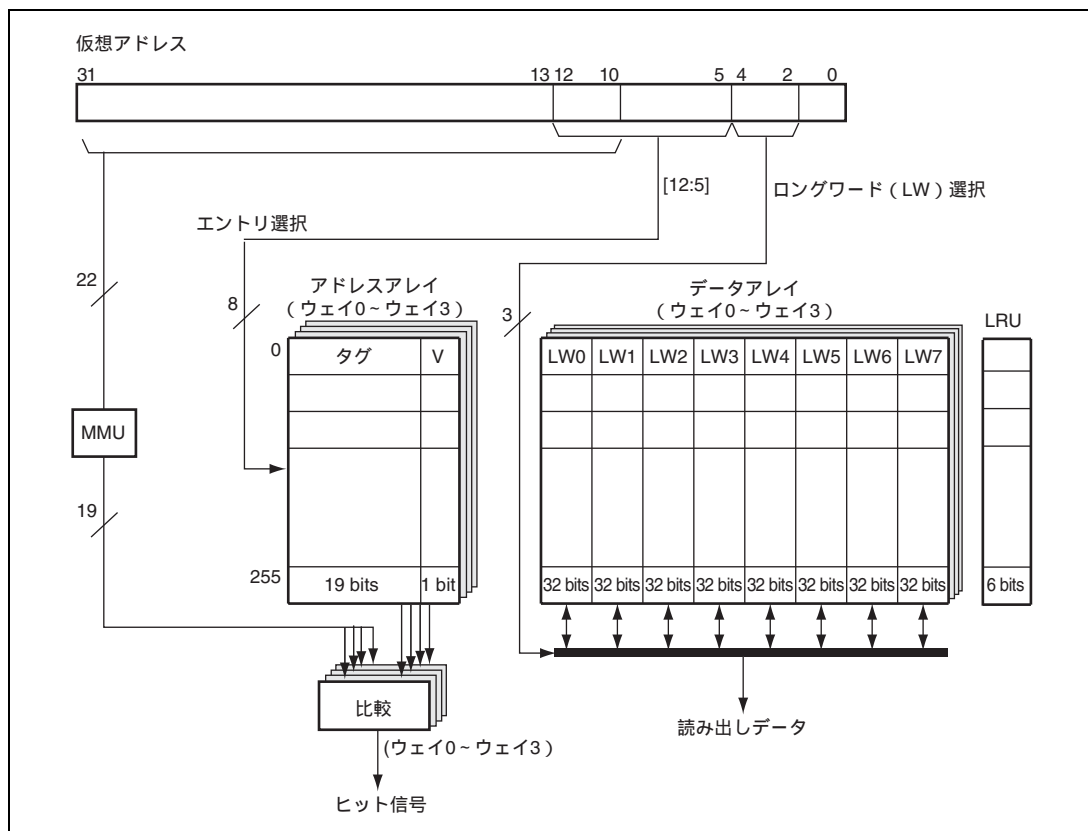


図 8.2 命令キャッシュ (IC) の構成

## (1) タグ

キャッシュされるデータラインの物理アドレス29ビットの上位19ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

## (2) Vビット (有効ビット)

キャッシュラインに有効なデータが格納されているか否かを示します。このビットが1のとき、そのキャッシュラインのデータは有効となります。Vビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

## (3) Uビット (ダーティビット)

コピーバックモードでキャッシュを使用中に、キャッシュラインへデータを書き込んだとき、Uビットが1になります。つまりUビットはキャッシュライン中のデータと外部メモリ中のデータとの不一致を示します。メモリ割り付けキャッシュ (「8.6 メモリ割り付けキャッシュの構成」参照) をアクセスすることによりUビットを書き換えない限り、ライトスルーモードでキャッシュを使用中はUビットが1になることはありません。Uビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

## 8. キャッシュ

### (4) データ部

データ部には1キャッシュラインあたり32バイト（256ビット）のデータが格納されます。データアレイはパワーオンリセット、マニュアルリセットで初期化されません。

### (5) LRU 部

4ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを4つまでキャッシュに登録できます。エントリを登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは各エントリ6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU（Least Recently Used）アルゴリズムを使用しています。LRUビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットでは初期化されません。LRUビットは、ソフトウェアでは読み書きできません。

## 8.2 レジスタの説明

キャッシュに関連するレジスタを以下に示します。

表 8.2 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32

【注】 \* P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 8.3 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
CCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	保持
RAMCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	保持

### 8.2.1 キャッシュ制御レジスタ (CCR)

CCR は、キャッシュの動作モードの選択、キャッシュの全エントリの無効化、キャッシュへの書き込みモードの選択を行います。

CCR の書き換えは、キャッシング不可の P2 領域のプログラムのみで行わなければなりません。CCR 更新後、キャッシング可能領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. CCR更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、CCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1または2を用いることを推奨します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ICl	—	—	ICE	—	—	—	—	OCI	CB	WT	OCE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
11	ICl	0	R/W	IC 無効化ビット このビットに 1 を書き込むと IC の全エントリの V ビットを 0 にします。読み出すと常に 0 が読み出されます。
10、9	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
8	ICE	0	R/W	IC 有効ビット IC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ IC を使用できません。 0 : IC を使用しない 1 : IC を使用する

## 8. キャッシュ

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
3	OCI	0	R/W	OC 無効化ビット このビットに 1 を書き込むと OC の全エントリの V、U ビットを 0 にします。読み出すと常に 0 が読み出されます。
2	CB	0	R/W	コピーバックビット P1 領域のキャッシュへの書き込みモードを示します。 0 : ライトスルーモード 1 : コピーバックモード
1	WT	0	R/W	ライトスルーモード P0、U0、P3 領域のキャッシュへの書き込みモードを示します。ただし、アドレス変換が行われる場合は、ページ管理情報の WT ビットの値を優先します。 0 : コピーバックモード 1 : ライトスルーモード
0	OCE	0	R/W	OC 有効ビット OC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ OC を使用できません。 0 : OC を使用しない 1 : OC を使用する

### 8.2.2 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は IC および OC のウェイ数と IC ウェイ予測の制御を行います。

RAMCR への書き換えは、キャッシング不可の P2 領域のプログラムで行われなければなりません。RAMCR 更新後、キャッシング可能領域、X/Y メモリ領域または U メモリ領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域、X/Yメモリ領域またはUメモリ領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. RAMCR更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、RAMCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

## 8. キャッシュ

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	ICWPD	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
8	RP	0	R/W	内蔵メモリ保護有効ビット 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 0: IC は 4 ウェイ動作 1: IC は 2 ウェイ動作 詳細は「8.4.3 IC 2 ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2 ウェイモードビット 0: OC は 4 ウェイ動作 1: OC は 2 ウェイ動作 詳細は「8.3.6 OC 2 ウェイモード」を参照してください。
5	ICWPD	0	R/W	IC ウェイ予測抑制ビット IC ウェイ予測の使用を選択します。 0: 命令キャッシュはウェイ予測を行う 1: 命令キャッシュはウェイ予測を行わない
4~0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

### 8.3 オペランドキャッシュの動作説明

#### 8.3.1 読み出し動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを読み出す場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
  - タグが一致かつVビットが1のウェイが存在する場合 3.
  - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 4.
  - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 5.

#### 3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:0]でインデックスされるデータをアクセスサイズに応じて読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

#### 4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

#### 5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

### 8.3.2 プリフェッチ動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを OC にプリフェッチする場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
  - タグが一致かつVビットが1のウェイが存在する場合 3.
  - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 4.
  - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 5.

#### 3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

#### 4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

#### 5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

### 8.3.3 書き込み動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域に対してデータが書き込まれる場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグの比較、および対象となる領域の属性から、

	コピーバック	ライトスルー
• タグが一致かつVビットが1のウェイが存在する場合	3.	4.
• タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合	5.	7.
• タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合	6.	7.

3. キャッシュヒット (コピーバック)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。またUビットに1を書き込み、ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュヒット (ライトスルー)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込むとともに、仮想アドレスに対応する外部メモリに対しても書き込みを行います。またヒットしたウェイが最新となるようにLRUビットを更新します。この場合、Uビットは更新されません。

5. キャッシュミス(コピーバック、書き戻しなし)

置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

6. キャッシュミス (コピーバック、書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。



データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

#### 7. キャッシュミス(ライトスルー)

仮想アドレスに対応した外部メモリへ、指定されたアクセスサイズで書き込みを行います。この場合、キャッシュへの書き込みは行われません。タグ、Vビット、Uビット、LRUビットも更新されません。

#### 8.3.4 ライトバックバッファ

本LSIは、キャッシュミスによりダーティなキャッシュのエントリを外部メモリに追い出す必要が生じた場合、キャッシュへのデータの読み込みを優先させ性能を向上させるために、追い出すキャッシュラインのデータを格納するためのライトバックバッファを内蔵しています。ライトバックバッファはキャッシュ1ライン分のデータと追い出す先の物理アドレスで構成されます。

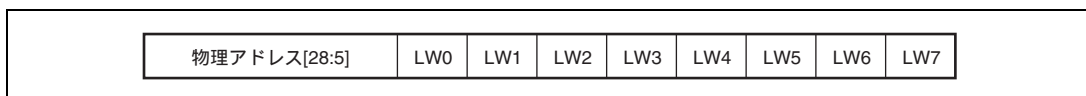


図 8.3 ライトバックバッファの構成

#### 8.3.5 ライトスルーバッファ

本LSIは、ライトスルーモード時のデータの書き込みや、キャッシング不可能な領域に対する書き込み動作において、書き込みデータを保持するための32ビットのバッファを内蔵しています。これによりCPUはライトスルーバッファへの書き込みが完了すると、外部メモリへの書き込みの完了を待たずに次の動作へ移ります。

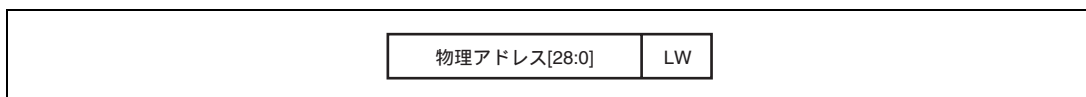


図 8.4 ライトスルーバッファの構成

#### 8.3.6 OC 2 ウェイモード

RAMCR レジスタのOC2W ビットを1にセットすると、OCのウェイ0とウェイ1のみを使用するOC2ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けOCアクセスも含め、ウェイ0とウェイ1のみが使用されます。

OC2W ビットの書き換えはP2領域のプログラムで行ってください。また、書き換える時点ですでにOCに有効なラインが登録されている場合には、OC2W ビットを書き換える前に、必要に応じてソフトウェアにより書き戻しを行った後、CCR.OCIに1を書き込み、OCの全エントリを無効にしてください。

### 8.4 命令キャッシュの動作説明

#### 8.4.1 読み出し動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から命令フェッチを行う場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
  3. タグが一致かつVビットが1のウェイが存在する場合
  4. タグが一致かつVビットが1のウェイが存在しない場合
3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:3]でインデックスされるデータを命令として読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

#### 4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、LRUビットにより選択された置換対象ウェイのキャッシュラインヘータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8 バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを命令として返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

#### 8.4.2 プリフェッチ動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から、命令を IC にプリフェッチする場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
  3. タグが一致かつVビットが1のウェイが存在する場合
  4. タグが一致かつVビットが1のウェイが存在しない場合

### 3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

### 4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

## 8.4.3 IC 2 ウェイモード

RAMCR レジスタの IC2W ビットを 1 にセットすると、IC のウェイ 0 とウェイ 1 のみを使用する IC 2 ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付け IC アクセスも含め、ウェイ 0 とウェイ 1 のみが使用されます。

IC2W ビットの書き換えは P2 領域のプログラムで行うようにしてください。また、書き換える時点ですでに IC に有効なラインが登録されている場合には、IC2W ビットを書き換える前に、CCR レジスタの ICI ビットに 1 を書き込み、IC の全エントリを無効にしてください。

## 8.4.4 命令キャッシュウェイ予測

本 LSI は消費電力を低減するために命令キャッシュ (IC) ウェイ予測機構を内蔵し、予測したウェイのデータアレイのみを起動します。ウェイ予測ミスが発生した場合には正しいウェイのデータを再読み出しするため、命令フェッチ性能が低下することがあります。ICWPD ビットを 1 にセットすると、IC ウェイ予測機構を停止させることができます。本モードではウェイ予測ミスは発生しないため、命令フェッチ性能の低下はありませんが IC の消費電力が増加します。また、ICWPD ビットの切り替えはキャッシング不可の P2 領域を走行するプログラムで行ってください。また、書き換える時点ですでに IC に有効なラインが登録されている場合には、ICWPD ビットを書き換える前に、CCR レジスタの ICI ビットに 1 を書き込み、IC の全エントリを無効化してください。

### 8.5 キャッシュ操作命令

#### 8.5.1 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。本 LSI ではキャッシュを操作する命令として次の 6 命令をサポートしています。各命令の詳細はプログラミングマニュアルを参照してください。

- オペランドキャッシュインバリデイト命令 : OCBI @Rn  
オペランドキャッシュの無効化 (書き戻しなし)
- オペランドキャッシュバージ命令 : OCBP @Rn  
オペランドキャッシュの無効化 (書き戻しあり)
- オペランドキャッシュライトバック命令 : OCBWB @Rn  
オペランドキャッシュの書き戻し
- オペランドキャッシュアロケート命令 : MOVCA.L R0, @Rn  
オペランドキャッシュの確保
- 命令キャッシュインバリデイト命令 : ICBI @Rn  
命令キャッシュの無効化
- オペランドアクセス同期命令 : SYNCO  
データ転送の完了待ち

またオペランドキャッシュのコヒーレンシ制御のために、SuperHyway バスからの PURGE および FLUSH トランザクションを受け付けることが可能です。PURGE/FLUSH トランザクションで与えられるアドレスは物理アドレスです。そのため MMU がイネーブルの場合、キャッシュシノニム問題を回避するため、以下の制限事項が生じます。

- 1Kバイトのページサイズを使用しないでください。

##### (1) PURGE トランザクション

オペランドキャッシュがイネーブルのとき、オペランドキャッシュを検索し、ヒットしたエントリを無効化します。無効化されるラインがダーティであれば外部メモリへ書き戻しを行います。ミスした場合にはノーオペレーションです。

##### (2) FLUSH トランザクション

オペランドキャッシュがイネーブルのとき、オペランドキャッシュを検索し、ヒットしたエントリがあり、かつダーティであれば外部メモリへ書き戻しを行います。ヒットしたエントリの無効化は行いません。ミスした場合またはヒットしたエントリがダーティでなかった場合にはノーオペレーションです。

### 8.5.2 プリフェッチ動作

キャッシュミスにより発生するキャッシュフィルのペナルティを削減するために、本 LSI ではプリフェッチ命令をサポートしています。読み出し動作、書き込み動作によりキャッシュミスの発生することがわかっていた場合、プリフェッチ命令によりあらかじめキャッシュへデータをフィルしておき、読み出し動作、書き込み動作においてキャッシュミスを発生させないようにできます。これによりソフトウェアの性能が向上します。すでにキャッシュに格納されているデータに対して、プリフェッチ命令を実行したり、プリフェッチしようとしたアドレスが UTLB にミスした場合やプロテクションに違反した場合は、ノーオペレーションとなり例外を発生させません。プリフェッチ命令の詳細はプログラミングマニュアルを参照してください。

- プリフェッチ命令 (OC) : PREF @Rn
- プリフェッチ命令 (IC) : PREFI @Rn

### 8.6 メモリ割り付けキャッシュの構成

IC、OCをソフトウェアで管理するために、特権モードのとき、P2領域のプログラムからMOV命令によってICの内容の読み出し/書き込みが可能です。また、特権モードのとき、P2領域のプログラムあるいはILメモリ領域のプログラムからMOV命令によって、ICアドレスアレイの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3領域への分岐は、以下の1~3のどれかの方法で行ってください。

1. RTE命令による分岐を実行してください。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行した後、P0、U0、P1、P3領域への分岐を行ってください。
3. メモリ割り付けICへのアクセスの前に、あらかじめIRMCR.MC=0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、メモリ割り付けICアクセス命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、1または2を用いることを推奨します。

また、特権モードのとき、P1、P2領域のプログラムからMOV命令によってOCの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。IC、OCは仮想アドレス空間のP4領域に割り付けられています。ICのアドレスアレイ/データアレイ、OCのアドレスアレイ/データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには0を設定するようにしてください。予約ビットの読み出し値は不定です。

#### 8.6.1 IC アドレスアレイ

ICのアドレスアレイはP4領域のH'F000 0000~H'F0FF FFFFに割り付けられています。アドレスアレイのアクセスには32ビットのアドレス部の指定（読み出し/書き込み時）と32ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグとVビットを指定します。

アドレス部は[31:24]がICアドレスアレイを示すH'F0になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット（Aビット）はICアドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は0を指定してください。

データ部は[31:10]がタグを、[0]がVビットを示します。ICアドレスアレイのタグは19ビットのためデータ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

ICアドレスアレイに対しては次の3種類の操作が可能です。



### 8.6.2 IC データアレイ

IC のデータアレイは P4 領域の H'F100 0000 ~ H'F1FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイトとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が IC データアレイを示す H'F1 になっており、[14:13]でウェイト、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

#### (1) IC データアレイ 読み出し

アドレス部に設定されたウェイトとエントリに対応する IC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

#### (2) IC データアレイ 書き込み

アドレス部に設定されたウェイトとエントリに対応する IC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

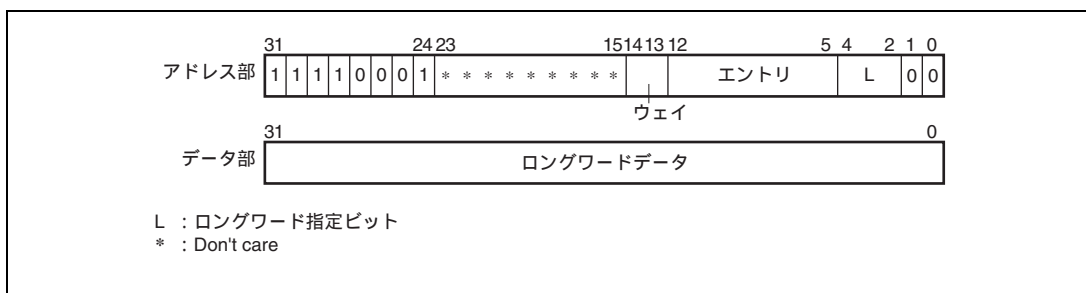


図 8.6 メモリ割り付け IC データアレイ

### 8.6.3 OC アドレスアレイ

OC のアドレスアレイは P4 領域の H'F400 0000 ~ H'F4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイトとエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は[31:24]が OC アドレスアレイを示す H'F4 になっており、[14:13]でウェイト、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット（A ビット）は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部[1:0]は 0 を指定してください。

データ部は[31:10]がタグを、[1]が U ビットを、[0]が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行



書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

(1) OC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するOCエントリから、データ部ヘタグとUビットとVビットを読み出します。読み出す場合、アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

(2) OC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応するOCエントリに対して、データ部で指定されたタグとUビットとVビットを書き込みます。アドレス部のAビットは0にしてください。

書き込みをUビットが1、Vビットが1のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグとUビットとVビットを書き込みます。

(3) OC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをUTLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したUビットとVビットをOCのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はOCの特定のエントリの無効化に用いられます。このときOCのエントリのUビットが1で、Vビットに0もしくはUビットに0を書き込んだ場合、書き戻しが発生します。アドレス変換の際にUTLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 本機能は今後の SuperH シリーズではサポートされない可能性があります。データ TLB ミス例外の通知を行い、確実に OC の操作が可能な OCBI/OCBP/OCBWB 命令の使用を推奨します。

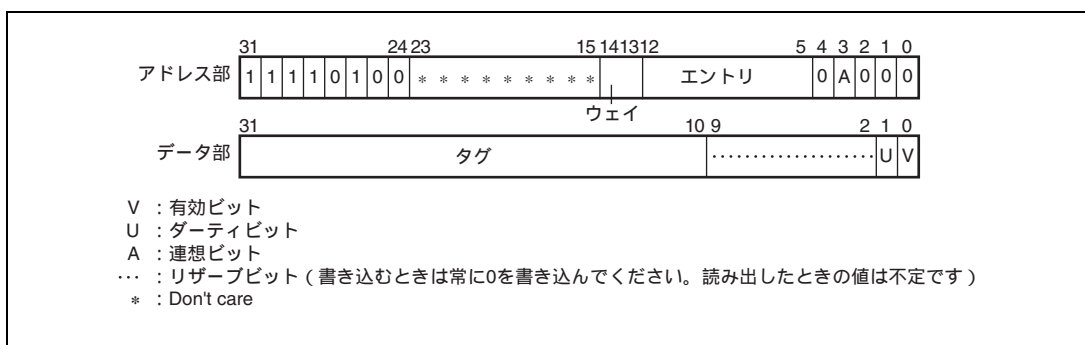


図 8.7 メモリ割り付け OC アドレスアレイ

## 8. キャッシュ

### 8.6.4 OC データアレイ

OC のデータアレイは P4 領域の HF500 0000 ~ HF5FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が OC データアレイを示す HF5 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の 2 種類の操作が可能です。

#### (1) OC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応する OC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

#### (2) OC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応する OC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側の U ビットは 1 になりません。

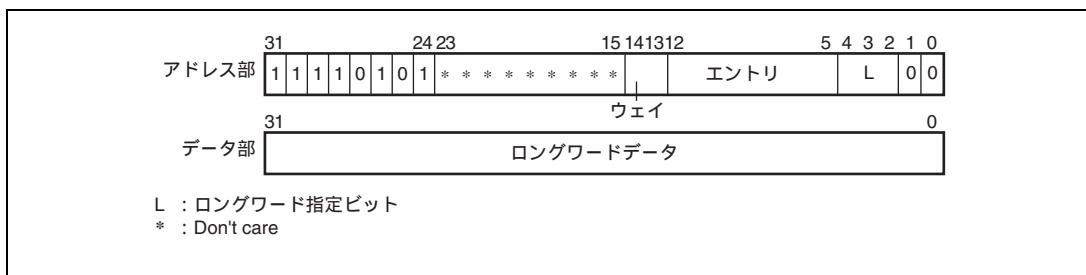


図 8.8 メモリ割り付け OC データアレイ

### 8.6.5 メモリ割り付け連想ライトの動作

IC アドレスアレイ、OC アドレスアレイへの連想あり書き込みは、今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリング、命令 TLB ミス例外の通知やデータ TLB ミス例外の通知を行い、確実に IC または OC の操作が可能な ICBI、OCBI、OCBP、OCBWB 命令の使用を推奨します。SH4AL-DSP では過渡的な措置として本機能を利用した場合にアドレスエラーが発生します。従来製品との互換性を重視する場合には、EXPMASK レジスタ (HF5F2F 0004) の MMCAW ビットを 1 とすることで本機能を利用することが可能ですが、今後の SuperH シリーズでの互換性を保証するためには、ICBI、OCBI、OCBP、OCBWB 命令を使用してください。

---

## 9. 内蔵メモリ

---

本 LSI は、X/Y メモリ、IL メモリ、U メモリの 3 種類のメモリを内蔵しています。X/Y メモリには、DSP 処理データやその他のデータを格納します。IL メモリは、命令の格納に適しています。U メモリは命令やデータの格納をすることができます。

### 9.1 特長

#### (1) X/Y メモリ

- 容量：

X/Yメモリ合計で、16Kバイトです。

- ページ：

Xメモリが2ページ（ページ0、1）とYメモリが2ページ（ページ0、1）の合計4ページ存在します。

- メモリマップ：

X/Yメモリは、仮想アドレス空間、物理アドレス空間およびXバスとYバスのアドレス空間にそれぞれ配置されています。

仮想アドレス空間内では、表9.1に示されるアドレスに配置されています。これらのアドレスは、CPUの動作モードによって、P4（SR.MD=1の場合）、あるいはUxy（SR.MD=0かつSR.DSP=1の場合）と呼ばれる領域に含まれています。

表 9.1 X/Y メモリ仮想アドレス

ページ	メモリサイズ (4 ページ合計)
	16K バイト
X メモリ ページ 0	H'E500 7000 ~ H'E500 7FFF
X メモリ ページ 1	H'E500 8000 ~ H'E500 8FFF
Y メモリ ページ 0	H'E501 7000 ~ H'E501 7FFF
Y メモリ ページ 1	H'E501 8000 ~ H'E501 8FFF

一方、物理アドレス空間内では、エリア1の一部に配置されています。物理アドレス空間からアクセスを行う場合、表9.1に示すアドレスの上位3ビットを0としたアドレスを使用します。

## 9. 内蔵メモリ

---

XバスとYバスのアドレス空間は16ビットのアドレス空間なので、表9.1に示すXメモリとYメモリのアドレスのそれぞれ上位16ビットを無視したアドレスを使用します。

- ポート：

各ページは4本の独立した読み出し／書き込みポートを持ち、各バスと接続されています。XメモリはSuperHywayバス、キャッシュ・RAM内蔵バス、Xバスおよびオペランドバスと、YメモリはSuperHywayバス、キャッシュ・RAM内蔵バス、Yバスおよびオペランドバスと接続されています。仮想アドレス空間からのアクセスにはオペランドバス、物理アドレス空間からのアクセスにはキャッシュ・RAM内蔵バス、XバスとYバスのアドレス空間からのアクセスにはXバスとYバス、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスが使用されます。

- 優先順位：

同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にXメモリではSuperHywayバス、キャッシュ・RAM内蔵バス、Xバス、オペランドバスとなり、YメモリではSuperHywayバス、キャッシュ・RAM内蔵バス、Yバス、オペランドバスとなります。

### (2) ILメモリ

- 容量：

ILメモリは、4Kバイトです。

- ページ：

ILメモリは1ページのみです。

- メモリマップ：

ILメモリは、仮想アドレス空間、物理アドレス空間にそれぞれに配置されています。

仮想アドレス空間内では、表9.2に示されるアドレスに配置されています。これらのアドレスは、CPUの動作モードによって、P4 (SR.MD = 1の場合)、あるいはUxy (SR.MD = 0かつSR.DSP = 1の場合)と呼ばれる領域に含まれています。

表 9.2 ILメモリアドレス

	メモリサイズ
	4Kバイト
ILメモリ	H'E520 0000 ~ H'E520 0FFF

一方、物理アドレス空間内では、エリア1の一部に配置されています。物理アドレス空間からアクセスを行う場合、表9.2に示すアドレスの上位3ビットを0としたアドレスを使用します。

- ポート :

3本の独立した読み出し / 書き込みポートを持ち、SuperHywayバス、キャッシュ・RAM内蔵バス、および命令バスと接続されています。仮想空間からの命令フェッチには命令バスが、物理空間からの命令フェッチおよびオペランドアクセスにはキャッシュ・RAM内蔵バスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。

- 優先順位 :

同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、命令バスとなります。

## (3) Uメモリ

- 容量 :

Uメモリは128Kバイトです。

- アクセス方法 :

Uメモリは命令フェッチやランダムなアクセスに適したキャッシュャブルアクセスと、リードバッファを用いてシーケンシャルなオペランドアクセスに最適化した非キャッシュャブルアクセスが可能です。

- メモリマップ :

Uメモリは、仮想アドレス空間および物理アドレス空間で、それぞれ表9.3に示されるアドレスに配置されています。

仮想アドレス空間のアドレスには、CPUの動作モードによって、P4(SR.MD = 1の場合)、あるいはUxy(SR.MD = 0かつSR.DSP = 1の場合)領域からアクセス可能です。このアドレスを用いたアクセスは常に非キャッシュャブルアクセスとなります。

物理アドレス空間のアドレスには、U0、P0、P1またはP3領域からアクセス可能です。このアドレスを用いたアクセスが、キャッシュャブルアクセスとなるか、非キャッシュャブルアクセスとなるかは、CCRレジスタ、MMUCRレジスタおよびTLBの設定に従います。

表 9.3 Uメモリアドレス

アドレス空間	メモリサイズ
	128K バイト
仮想アドレス	H'E55F 0000 ~ H'E560 FFFF
物理アドレス	H'055F 0000 ~ H'0560 FFFF

## 9. 内蔵メモリ

---

- ポート :

Uメモリは3本の独立した読み出し/書き込みポートを持ち、オペランドバス、キャッシュ・RAM内蔵バスおよびSuperHywayバスと接続されています。非キャッシュブルのオペランドアクセスにはオペランドバス、命令フェッチおよびキャッシュブルのオペランドアクセスにはキャッシュ・RAM内蔵バス、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスが使用されます。

- 優先順位 :

Uメモリに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、オペランドバスとなります。

## 9.2 レジスタの説明

内蔵メモリに関するレジスタは以下のとおりです。

表 9.4 レジスタ構成

名称	略称	R/W	P4 アドレス*	エリア7 アドレス*	サイズ
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32
Xメモリ転送元アドレスレジスタ	XSA	R/W	H'FF00 0050	H'1F00 0050	32
Yメモリ転送元アドレスレジスタ	YSA	R/W	H'FF00 0054	H'1F00 0054	32
Xメモリ転送先アドレスレジスタ	XDA	R/W	H'FF00 0058	H'1F00 0058	32
Yメモリ転送先アドレスレジスタ	YDA	R/W	H'FF00 005C	H'1F00 005C	32
Xバス保護制御レジスタ	XPR	R/W	H'FF00 0060	H'1F00 0060	32
Yバス保護制御レジスタ	YPR	R/W	H'FF00 0064	H'1F00 0064	32
Xバス例外アドレスレジスタ	XEA	R/W	H'FF00 0068	H'1F00 0068	32
Yバス例外アドレスレジスタ	YEA	R/W	H'FF00 006C	H'1F00 006C	32

【注】 \* P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLBを用いて物理アドレス空間のエリア7からアクセスするものです。

表 9.5 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
RAMCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	保持
XSA	不定	不定	保持	保持	不定	保持
YSA	不定	不定	保持	保持	不定	保持
XDA	不定	不定	保持	保持	不定	保持
YDA	不定	不定	保持	保持	不定	保持
XPR	H'0000 00FC	保持	保持	保持	H'0000 00FC	保持
YPR	H'0000 00FC	保持	保持	保持	H'0000 00FC	保持
XEA	不定	保持	保持	保持	不定	保持
YEA	不定	保持	保持	保持	不定	保持

## 9. 内蔵メモリ

### 9.2.1 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は内蔵メモリの保護機能の制御を行います。RAMCR の書き換え動作の際、「8.2.2 内蔵メモリ制御レジスタ (RAMCR)」に記載の規定に従ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							RMD	RP	IC2W	OC2W	ICWPD					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 仮想アドレス空間からの内蔵メモリへのアクセス権を指定します。 0: SR.DSP = 0 の場合、特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外) SR.DSP = 1 の場合、ユーザ/特権アクセスが可能 1: ユーザ / 特権アクセスが可能
8	RP	0	R/W	内蔵メモリ保護有効ビット 仮想アドレス空間からの内蔵メモリへのアクセスに対して、ITLB、UTLBを用いた保護機能の使用を選択します。 X/Yメモリへのアクセスに対しては、Xバスアドレス空間およびYバスアドレス空間からのXPRおよびYPRを用いた保護機能の使用も含まれます。 0: 保護機能を使用しない 1: 保護機能を使用する 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC2ウェイモードビット 詳細は「8.4.3 IC2ウェイモード」を参照してください。
6	OC2W	0	R/W	OC2ウェイモードビット 詳細は「8.3.6 OC2ウェイモード」を参照してください。
5	ICWPD	0	R/W	ICウェイ予測抑止ビット 詳細は「8.4.4 命令キャッシュウェイ予測」を参照してください。
4~0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。



## 9.2.2 Xメモリ転送元アドレスレジスタ (XSA)

XSA は、MMUCR.AT=0 または RAMCR.RP=0 のときに、Xメモリへのブロック転送において、転送元の物理アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	XSADR															
初期値:	0	0	0													
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	XSADR										XSSZ					
初期値:							0	0	0	0						
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	XSADR	不定	R/W	Xメモリブロック転送元アドレス MMUCR.AT=0 または RAMCR.RP=0 のとき、Xメモリに対するブロック転送の転送元となる物理アドレスを指定します。
9~6	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5~0	XSSZ	不定	R/W	Xメモリブロック転送元アドレス選択ビット MMUCR.AT=0 または RAMCR.RP=0 のとき、Xメモリに対するブロック転送の転送元となる物理アドレスのうちビット15~10に関して、オペランドアドレスを使用するか、XSADRの値を使用するかを選択します。 XSSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 0: 転送元物理アドレスにオペランドアドレスを使用します。 1: 転送元物理アドレスにXSADRの値を使用します。 • 設定可能な値 111111 転送元の物理アドレスを1Kバイト単位で設定する場合 111110 転送元の物理アドレスを2Kバイト単位で設定する場合 111100 転送元の物理アドレスを4Kバイト単位で設定する場合 111000 転送元の物理アドレスを8Kバイト単位で設定する場合 110000 転送元の物理アドレスを16Kバイト単位で設定する場合 100000 転送元の物理アドレスを32Kバイト単位で設定する場合 000000 転送元の物理アドレスを64Kバイト単位で設定する場合 上記以外は設定禁止です。

## 9. 内蔵メモリ

### 9.2.3 Yメモリ転送元アドレスレジスタ (YSA)

YSA は、MMUCR.AT=0 または RAMCR.RP=0 のときに、Yメモリへのブロック転送において、転送元の物理アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	YSADR															
初期値:	0	0	0													
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	YSADR										YSSZ					
初期値:							0	0	0	0						
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	YSADR	不定	R/W	Yメモリブロック転送元アドレス MMUCR.AT=0 または RAMCR.RP=0 のとき、Yメモリに対するブロック転送の転送元となる物理アドレスを指定します。
9~6	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5~0	YSSZ	不定	R/W	Yメモリブロック転送元アドレス選択ビット MMUCR.AT=0 または RAMCR.RP=0 のとき、Yメモリに対するブロック転送の転送元となる物理アドレスのうちビット15~10に関して、オペランドアドレスを使用するか、YSADRの値を使用するかを選択します。 YSSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 0: 転送元物理アドレスにオペランドアドレスを使用します。 1: 転送元物理アドレスにYSADRの値を使用します。 • 設定可能な値 111111 転送元の物理アドレスを1Kバイト単位で設定する場合 111110 転送元の物理アドレスを2Kバイト単位で設定する場合 111100 転送元の物理アドレスを4Kバイト単位で設定する場合 111000 転送元の物理アドレスを8Kバイト単位で設定する場合 110000 転送元の物理アドレスを16Kバイト単位で設定する場合 100000 転送元の物理アドレスを32Kバイト単位で設定する場合 000000 転送元の物理アドレスを64Kバイト単位で設定する場合 上記以外は設定禁止です。

## 9.2.4 Xメモリ転送先アドレスレジスタ (XDA)

XDA は、MMUCR.AT=0 または RAMCR.RP=0 のときに、Xメモリへのブロック転送において、転送先の物理アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	XDADR															
初期値:	0	0	0													
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	XDADR										XDSZ					
初期値:							0	0	0	0						
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	XDADR	不定	R/W	Xメモリブロック転送先アドレス MMUCR.AT=0 または RAMCR.RP=0 のとき、Xメモリに対するブロック転送の転送先となる物理アドレスを指定します。
9~6	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5~0	XDSZ	不定	R/W	Xメモリブロック転送先アドレス選択ビット MMUCR.AT=0 または RAMCR.RP=0 のとき、Xメモリに対するブロック転送の転送先となる物理アドレスのうちビット15~10に関して、オペランドアドレスを使用するか、XDADRの値を使用するかを選択します。 XDSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 0: 転送先物理アドレスにオペランドアドレスを使用します。 1: 転送先物理アドレスにXDADRの値を使用します。 • 設定可能な値 111111 転送先の物理アドレスを1Kバイト単位で設定する場合 111110 転送先の物理アドレスを2Kバイト単位で設定する場合 111100 転送先の物理アドレスを4Kバイト単位で設定する場合 111000 転送先の物理アドレスを8Kバイト単位で設定する場合 110000 転送先の物理アドレスを16Kバイト単位で設定する場合 100000 転送先の物理アドレスを32Kバイト単位で設定する場合 000000 転送先の物理アドレスを64Kバイト単位で設定する場合 上記以外は設定禁止です。

## 9. 内蔵メモリ

### 9.2.5 Yメモリ転送先アドレスレジスタ (YDA)

YDA は、MMUCR.AT=0 または RAMCR.RP=0 のときに、Yメモリへのブロック転送において、転送先の物理アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	YDADR															
初期値:	0	0	0													
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	YDADR										YDSZ					
初期値:							0	0	0	0						
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	YDADR	不定	R/W	Yメモリブロック転送先アドレス MMUCR.AT=0 または RAMCR.RP=0 のとき、Yメモリに対するブロック転送の転送先となる物理アドレスを指定します。
9~6	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5~0	YDSZ	不定	R/W	Yメモリブロック転送先アドレス選択ビット MMUCR.AT=0 または RAMCR.RP=0 のとき、Yメモリに対するブロック転送の転送先となる物理アドレスのうちビット15~10に関して、オペランドアドレスを使用するか、YDADRの値を使用するかを選択します。 YDSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 0: 転送先物理アドレスにオペランドアドレスを使用します。 1: 転送先物理アドレスにYDADRの値を使用します。 • 設定可能な値 111111 転送先の物理アドレスを1Kバイト単位で設定する場合 111110 転送先の物理アドレスを2Kバイト単位で設定する場合 111100 転送先の物理アドレスを4Kバイト単位で設定する場合 111000 転送先の物理アドレスを8Kバイト単位で設定する場合 110000 転送先の物理アドレスを16Kバイト単位で設定する場合 100000 転送先の物理アドレスを32Kバイト単位で設定する場合 000000 転送先の物理アドレスを64Kバイト単位で設定する場合 上記以外は設定禁止です。

## 9.2.6 Xバス保護制御レジスタ (XPR)

XPR は MMUCR.AT=1 かつ RAMCR.RP=1 のときに、ユーザプロセスによる X バスからの X メモリデータ転送命令 (MOVX) アクセスが可能な領域を指定します。X バスアドレス空間のうち、アドレス領域 {SXADR, B'00 0000 0000} ~ {EXADR, B'11 1111 1111} へのアクセスが許可されます。ユーザモードでの XPR に設定された領域以外に対して X バスからアクセスするとアドレスエラー例外が発生します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SXADR						EXADR									
初期値 :	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
15~10	SXADR	000000	R/W	アクセス許可 X バス先頭アドレス アクセスを許可する X バスアドレス領域の先頭アドレス上位 6 ビット
9、8	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
7~2	EXADR	111111	R/W	アクセス許可 X バス最終アドレス アクセスを許可する X バスアドレス領域の最終アドレス上位 6 ビット
1、0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

## 9. 内蔵メモリ

### 9.2.7 Yバス保護制御レジスタ (YPR)

YPR は MMUCR.AT=1 かつ RAMCR.RP=1 のときに、ユーザプロセスによる Y バスからの Y メモリデータ転送命令 (MOVY) アクセスが可能な領域を指定します。Y バスアドレス空間のうち、アドレス領域 {SYADR, B'00 0000 0000} ~ {EYADR, B'11 1111 1111} へのアクセスが許可されます。ユーザモードでの YPR に設定された領域以外に対して Y バスからアクセスするとアドレスエラー例外が発生します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SYADR						EYADR									
初期値 :	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
15~10	SYADR	000000	R/W	アクセス許可 Y バス先頭アドレス アクセスを許可する Y バスアドレス領域の先頭アドレス上位 6 ビット
9, 8	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
7~2	EYADR	111111	R/W	アクセス許可 Y バス最終アドレス アクセスを許可する Y バスアドレス領域の最終アドレス上位 6 ビット
1, 0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

## 9.2.8 Xバス例外アドレスレジスタ (XEA)

XEA へは、MMUCR.AT=1 かつ RAMCR.RP=1 のときに、ユーザモードでの X バスアクセスによるアドレスエラー例外発生後に、アドレスエラーとなった X バスのアドレスがハードウェアにより設定されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	XEF															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	XEA															
初期値 :																
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	XEF	不定	R/W	Xバスアドレスエラー検出フラグ XEF ビットは TEA、XEA、YEA のいずれかがハードウェアにて更新される例外が発生した場合に更新され、MOVX 命令による X バスアクセスがアドレスエラーになったときには 1 が、それ以外のときには 0 がハードウェアにより設定されます。
30~16	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
15~0	XEA	不定	R/W	Xバスアドレスエラー検出アドレス MOVX 命令による X バスアクセスによりアドレスエラー例外となったアドレスがハードウェアにより設定されます。

## 9. 内蔵メモリ

### 9.2.9 Yバス例外アドレスレジスタ (YEA)

YEAへは、MMUCR.AT=1かつRAMCR.RP=1のときに、ユーザモードでのアクセスによるアドレスエラー例外発生後に、アドレスエラーとなったYバスのアドレスがハードウェアにより設定されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	YEF															
初期値:		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	YEA															
初期値:																
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	YEF	不定	R/W	Yバスアドレスエラー検出フラグ YEFビットはTEA、XEA、YEAのいずれかがハードウェアにて更新される例外が発生した場合に更新され、MOVY命令によるYバスアクセスがアドレスエラーになった時には1が、それ以外のときには0がハードウェアにより設定されます。
30~16	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
15~0	YEA	不定	R/W	Yバスアドレスエラー検出アドレス MOVY命令によるYバスアクセスによりアドレスエラー例外となったアドレスがハードウェアにより設定されます。



## 9.3 動作説明

### 9.3.1 CPU からのオペランドアクセス

#### (1) X/Y メモリ

CPU からのオペランドアクセス手段として、仮想アドレスによりオペランドバスから直接アクセスを行う方法と、MMU を用いて物理アドレスに変換後キャッシュ・RAM 内蔵バスからアクセスを行う方法があります。オペランドバスからの仮想アドレスによるリードアクセスは、X/Y メモリの同じページに連続してアクセスした場合、かつページ競合が発生しない場合に 1 サイクルアクセスになります。オペランドバスからの仮想アドレスによるライトアクセスはページ競合が発生しない場合に 1 サイクルアクセスになります。キャッシュ・RAM 内蔵バスからのアクセスは複数サイクル必要となります。CPU の動作モードに応じてそれぞれ以下の様になります。

- 特権モードおよび特権DSPモード (SR.MD = 1)

このモードでは、P4領域から直接アクセスすることができます。また、MMUを使用してP0、P3領域の仮想アドレスを本メモリへマッピングすることができます。

- ユーザDSPモード (SR.MD = 0かつSR.DSP = 1)

このモードでは、U<sub>xy</sub>領域から直接アクセスすることができます。また、MMUを使用してU0領域の仮想アドレスを本メモリへマッピングすることができます。

- ユーザモード (SR.MD = 0かつSR.DSP = 0)

このモードでは、MMUを使用してU0領域の仮想アドレスを本メモリへマッピングすることができます。またRAMCRレジスタのRMDビットが1の場合には、U<sub>xy</sub>領域から直接アクセスすることができます。

#### (2) IL メモリ

CPU からのオペランドアクセスは、仮想アドレスからのアクセスも、MMU を用いて物理アドレスに変換してもキャッシュ・RAM 内蔵バスからアクセスを行います。キャッシュ・RAM 内蔵バスからのアクセスは複数サイクル必要となります。CPU の動作モードに応じてそれぞれ以下のようになります。

- 特権モードおよび特権DSPモード (SR.MD = 1)

このモードでは、P4領域から直接アクセスすることができます。また、MMUを使用してP0、P3領域の仮想アドレスを本メモリへマッピングすることができます。

- ユーザDSPモード (SR.MD = 0かつSR.DSP = 1)

このモードでは、U<sub>xy</sub>領域から直接アクセスすることができます。また、MMUを使用してU0領域の仮想アドレスを本メモリへマッピングすることができます。

- ユーザモード (SR.MD = 0かつSR.DSP = 0)

このモードでは、MMUを使用してU0領域の仮想アドレスを本メモリへマッピングすることができます。またRAMCRレジスタのRMDビットが1の場合には、U<sub>xy</sub>領域から直接アクセスすることができます。

#### (3) U メモリ

CPU からのオペランドアクセス手段として、非キャッシュブルアクセスとキャッシュブルアクセスがあります。

## 9. 内蔵メモリ

---

非キャッシュブルのリードアクセスは、リードバッファを経由したアクセスとなります。リードバッファは1ライン 32 バイトのバッファ 2 本で構成されており、それまでに非キャッシュブルでリードアクセスしたラインを最大 2 ラインまで保持しています。非キャッシュブルのリードアクセスでは、リードバッファにヒットした場合、1 サイクルでアクセス可能です。リードバッファにミスした場合、U メモリから要求されたデータを含む 32 バイトを読み出し、CPU へ返すとともに、リードバッファを更新します。このアクセスには複数サイクルかかります。2 本あるリードバッファのどちらを更新するかは LRU アルゴリズムを用いて決定します。非キャッシュブルのライトアクセスでは U メモリを直接更新するとともに、当該ラインがリードバッファに保持されていた場合には、無効化を行います。DMAC などの SuperHyway バスマスタモジュールが U メモリを書き換えた場合にもリードバッファの無効化をハードウェアが行いますので、ソフトウェアでコヒーレンスを保証する必要はありません。

キャッシュブルアクセスでは、外部メモリと同じように U メモリの内容を OC にキャッシングします。この場合、OC と U メモリのコヒーレンスはソフトウェアにより保証してください。たとえばキャッシュブルのライトアクセスを行った領域を DMAC により読み出す場合には、あらかじめ OCBP 命令または OCBWB 命令によりライトバックを行っておくか、DMAC から PURGE または FLUSH トランザクションを発行することによりコヒーレンスを保証してください。

CPU からのオペランドアクセスが、非キャッシュブルアクセスになるか、キャッシュブルアクセスになるかは外部メモリの場合と同様です。詳細は「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。

### 9.3.2 CPU からの命令フェッチアクセス

#### (1) X/Y メモリ

CPU からの命令フェッチアクセスは、仮想アドレスからのアクセスも MMU を用いて物理アドレスに変換してもキャッシュ・RAM 内蔵バスからアクセスを行います。キャッシュ・RAM 内蔵バスからのアクセスは複数サイクル必要となります。CPU の動作モードに応じてそれぞれ以下ようになります。

- 特権モードおよび特権DSPモード (SR.MD = 1)

このモードでは、P4領域から直接アクセスすることができます。また、MMUを使用してP0、P3領域の仮想アドレスを本メモリへマッピングすることができます。

- ユーザDSPモード (SR.MD = 0かつSR.DSP = 1)

このモードでは、U<sub>xy</sub>領域から直接アクセスすることができます。また、MMUを使用してU0領域の仮想アドレスを本メモリへマッピングすることができます。

- ユーザモード (SR.MD = 0かつSR.DSP = 0)

このモードでは、MMUを使用してU0領域の仮想アドレスを本メモリへマッピングすることができます。またRAMCRレジスタのRMDビットが1の場合には、U<sub>xy</sub>領域から直接アクセスすることができます。

#### (2) IL メモリ

CPU からの命令フェッチアクセス手段として、仮想アドレスにより命令バスから直接アクセスを行う方法と、MMU を用いて物理アドレスに変換後キャッシュ・RAM 内蔵バスからアクセスを行う方法があります。命令バスからの仮想アドレスによるアクセスは、IL メモリの同じページに連続してアクセスする場合、かつページ競合が発生しない場合に 1 サイクルアクセスになります。CPU の動作モードに応じてそれぞれ以下ようになります。

- 特権モードおよび特権DSPモード (SR.MD = 1)

このモードでは、P4領域から直接アクセスすることができます。また、MMUを使用してP0、P3領域の仮想アドレスを本メモリへマッピングすることができます。

- ユーザDSPモード (SR.MD = 0かつSR.DSP = 1)

このモードでは、U<sub>xy</sub>領域から直接アクセスすることができます。また、MMUを使用してU0領域の仮想アドレスを本メモリへマッピングすることができます。

- ユーザモード (SR.MD = 0かつSR.DSP = 0)

このモードでは、MMUを使用してU0領域の仮想アドレスを本メモリへマッピングすることができます。またRAMCRレジスタのRMDビットが1の場合には、U<sub>xy</sub>領域から直接アクセスすることができます。

### (3) Uメモリ

CPUからの命令フェッチ手段として、非キャッシュャブルアクセスとキャッシュャブルアクセスがあります。

非キャッシュャブルアクセスでは、キャッシュ・RAM内蔵バス経由のアクセスとなり、1回の命令フェッチに複数サイクルかかります。キャッシュャブルアクセスでは、外部メモリと同じようにUメモリの内容をICにキャッシングします。キャッシュャブルアクセスではキャッシュヒットの場合、1サイクルで命令フェッチ可能なため、高い性能を要求するプログラムではキャッシュャブルアクセスを推奨します。ただしこの場合ICとUメモリのコヒーレンスはソフトウェアにより保証してください。たとえばキャッシュャブルで走行するプログラムを書き換える場合には、書き換え後にICBI命令により当該部分を無効化するか、またはCCR.ICI = 1書き込みによりIC全部を無効化してから、当該プログラムへ分岐するようにしてください。

CPUからの命令フェッチが、非キャッシュャブルアクセスになるか、キャッシュャブルアクセスになるかは外部メモリの場合と同様です。詳細は「第7章 メモリマネジメントユニット (MMU)」を参照してください。

### 9.3.3 DSP からのアクセス

#### (1) X/Y メモリ

DSP からのアクセスは命令の種類によりアクセス方法が異なります。

X データ転送命令および Y データ転送命令は常に X バスおよび Y バスからのアクセスになります。この場合ページ競合が発生しない限り 1 サイクルアクセスになります。また X バスからの X メモリアクセスと、Y バスからの Y メモリアクセスは同時に行うことができます。

シングルデータ転送命令はアクセス手段として、仮想アドレスによりオペランドバスから直接アクセスを行う方法と、MMU を用いて物理アドレスに変換後キャッシュ・RAM 内蔵バスからアクセスを行う方法があります。オペランドバスからのアクセスはページ競合が発生しない限り 1 サイクルアクセスになります。キャッシュ・RAM 内蔵バスからのアクセスは複数サイクル必要となります。CPU の動作モードに応じてそれぞれ以下のようになります。

- 特権DSPモード (SR.MD = 1かつSR.DSP = 1)

このモードでは、P4領域より直接アクセスすることができます。また、MMUを使用してP0、P3領域の仮想アドレスを本メモリへマッピングすることができます。

- ユーザDSPモード (SR.MD = 0かつSR.DSP = 1)

このモードでは、U<sub>xy</sub>領域より直接アクセスすることができます。また、MMUを使用してU0領域の仮想アドレスを本メモリへマッピングすることができます。

#### (2) IL メモリ

DSP からの ILRAM に対するアクセスは、シングルデータ転送命令のみ可能です。X データ転送命令および Y データ転送命令ではアクセスできません。シングルデータ転送命令によるアクセスは CPU からのオペランドアクセスと同様です。

#### (3) U メモリ

DSP からの U メモリに対するアクセスは、シングルデータ転送命令のみ可能です。X データ転送命令および Y データ転送命令ではアクセスできません。

シングルデータ転送命令によるアクセスは CPU からのオペランドアクセスと同様です。

### 9.3.4 SuperHyway バスマスタモジュールからのアクセス

#### (1) X/Y メモリ

DMAC などの SuperHyway バスマスタモジュールからの本メモリへのアクセスは、常に物理アドレスバスである SuperHyway バスからのアクセスとなります。表 9.1 に示すアドレスの上位 3 ビットを 0 としたアドレスを使用してください。

#### (2) IL メモリ

DMAC などの SuperHyway バスマスタモジュールからの本メモリへのアクセスは、常に物理アドレスバスである SuperHyway バスからのアクセスとなります。SuperHyway バスからのアクセスは、クワッドワード/ロングワード/ワード/バイトおよび 16 バイト、32 バイトでの読み出し/書き込みが可能です。

#### (3) U メモリ

DMAC などの SuperHyway バスマスタモジュールからの本メモリへのアクセスは、常に物理アドレスバスである SuperHyway バスからのアクセスとなります。

### 9.3.5 ブロック転送

X/Y メモリと外部メモリの間で、キャッシュを介さずに、ブロック転送により高速にデータ転送を行うことができます。

外部メモリから X/Y メモリへの転送は、プリフェッチ命令 (PREF) により行えます。PREF 命令を仮想アドレス空間の X/Y メモリ領域のアドレスに対して発行することにより、外部メモリから X/Y メモリへのブロック転送が開始されます。

X/Y メモリから外部メモリへの転送は、ライトバック命令 (OCBWB) により行えます。OCBWB 命令を仮想アドレス空間の X/Y メモリ領域のアドレスに対して発行することにより、X/Y メモリから外部メモリへのブロック転送が開始されます。

いずれの転送も転送サイズは 32 バイト固定で、開始アドレスは必ず 32 バイト境界となるため、レジスタ Rn により指示されるアドレスの下位 5 ビットは無視され、常にすべて 0 として扱われます。またいずれの場合もブロック転送中に他のページやキャッシュに対するアクセスが可能ですが、転送中のページにアクセスした場合、転送が終了するまで CPU はストールします。

X/Y メモリと転送を行う外部メモリの物理アドレス[28:0]は MMU イネーブル/ディスエーブルにより次のように指定します。

- MMU イネーブル (MMUCR.AT = 1) かつ RAMCR.RP = 1 の場合

UTLB の VPN フィールドに X/Y メモリ領域のアドレスを、PPN フィールドに転送元 (PREF 命令の場合) または転送先 (OCBWB 命令の場合) の物理アドレスを設定します。ASID、V、SZ、SH、PR、D ビットは通常のアドレス変換と同様の意味を持ちますが、C、WT ビットはこのページに関しては意味を持ちません。

X/Y メモリ領域への PREF 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの [4:0] は 0 固定です。この物理アドレスで指定される外部メモリから X/Y メモリへブロック転送が行

## 9. 内蔵メモリ

---

われます。

X/Yメモリ領域へのOCBWB命令が発行されると、アドレス変換を行い、SZビットの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの[4:0]は0固定です。X/Yメモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

PREF命令、OCBWB命令はリードタイプとしてMMU例外の判定が行われ、必要に応じてTLBミス例外、保護違反例外が発生します。例外が発生した場合、ブロック転送は抑止されます。

- MMUディスエーブル (MMUCR.AT = 0) またはRAMCR.RP = 0の場合

XSAレジスタのXSADRビットにXメモリへのブロック転送の転送元となる物理アドレスを設定し、XSSZビットに転送元の物理アドレスのビット15~10としてPREF命令で指定された仮想アドレスを使用するか、XSADRの値を使用するかをソフトウェアにより設定します。すなわち転送元の領域を1Kバイト~64Kバイト単位で設定可能です。

XDAレジスタのXDADRビットにXメモリからのブロック転送の転送先となる物理アドレスを設定し、XDSZビットに転送先の物理アドレスのビット15~10としてOCBWB命令で指定された仮想アドレスを使用するか、XDADRの値を使用するかをソフトウェアにより設定します。すなわち転送先の領域を1Kバイト~64Kバイト単位で設定可能です。

Yメモリに対するブロック転送の設定も、Xメモリと同様にYSAおよびYDAに対して行います。

X/Yメモリ領域へのPREF命令が発行されると、XSAレジスタまたはYSAレジスタの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]については仮想アドレスから生成します。物理アドレスの[4:0]は0固定です。この物理アドレスで指定される外部メモリからX/Yメモリへブロック転送が行われます。

X/Yメモリ領域へのOCBWB命令が発行されると、XDAレジスタまたはYDAレジスタの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]については仮想アドレスから生成します。物理アドレスの[4:0]は0固定です。X/Yメモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

## 9.4 内蔵メモリの保護機能

### (1) X/Y メモリ

SH4AL-DSP では、X/Y メモリに対して、内蔵メモリ制御レジスタ RAMCR の内蔵メモリアクセスモードビット (RMD) と内蔵メモリ保護有効ビット (RP) を使用して以下の保護機能を実現します。

- CPUからのアクセスに対する保護機能

SR.DSP=0かつRAMCR.RMD=0のとき、ユーザモードでの $U_{xy}$ 領域へのアクセスをアドレスエラー例外と判定します。

またMMUCR.AT=1かつRAMCR.RP=1のときは、アドレスエラー例外の判定に加えて、X/Yメモリ領域 (特権モードまたは特権DSPモードのときP4領域の一部、ユーザDSPモードのとき $U_{xy}$ 領域)もP0/P3/U0領域と同じようにMMU例外の判定を行います。

- DSPからのアクセスに対する保護機能

シングルデータ転送命令に対する保護機能は、CPUからのアクセスの場合と同じです。

Xデータ転送命令およびYデータ転送命令に対しては、MMUCR.AT=1かつRAMCR.RP=1のときに保護機能が働きます。この保護機能は、XPRレジスタおよびYPRレジスタに、現プロセスがアクセス可能な領域をソフトウェアにより登録することで行います。したがってプロセス切り替え時に、ソフトウェアで必要に応じてXPRレジスタおよびYPRレジスタの設定を変更してください。XPRレジスタおよびYPRレジスタに設定したアドレス範囲から外れるXデータ転送命令、Yデータ転送命令が実行された場合、アドレスエラー例外が発生し、そのアドレスをXEAレジスタおよびYEAレジスタに記録します。

またMMUCR.AT=1かつRAMCR.RP=1のとき、MOVX命令やMOVY命令によりワードサイズのデータアクセスを $2n$ 番地以外に実行したりロングワードサイズのデータアクセスを $4n$ 番地以外に実行するとアドレスエラー例外が発生します。この場合のアドレスエラー例外を除き以上のX/Yメモリの保護機能を表9.6にまとめます。

## 9. 内蔵メモリ

表 9.6 X/Y メモリへのアクセスに対する保護機能による例外

MMUCR. AT	RAMCR. RP	SR. DSP	SR. MD	RAMCR. RMD	必ず発生する例外			起こり得る例外				
					CPUからの アクセス	MOVS 命令	MOVX 命令 MOVY 命令	CPUからの アクセス	MOVS 命令	MOVX 命令 MOVY 命令		
0	x	0	0	0	アドレス エラー例外	不当命令 例外	不当命令 例外					
				1		不当命令 例外	不当命令 例外					
			1	x		不当命令 例外	不当命令 例外					
			1	x	x							
1	0	0	0	0	アドレス エラー例外	不当命令 例外	不当命令 例外					
				1		不当命令 例外	不当命令 例外					
			1	x		不当命令 例外	不当命令 例外					
			1	x	x							
	1	0	0	0	0	アドレス エラー例外	不当命令 例外	不当命令 例外				
					1		不当命令 例外	不当命令 例外	MMU 例外			
				1	x		不当命令 例外	不当命令 例外	MMU 例外			
		1	0	0	0	x				MMU 例外	MMU 例外	アドレス エラー例外
					1	x				MMU 例外	MMU 例外	
					1	x						

【記号説明】 x : Don't care

### (2) IL メモリ

SH4AL-DSP では、IL メモリに対して、内蔵メモリ制御レジスタ (RAMCR) の内蔵メモリアクセスモードビット (RMD) と内蔵メモリ保護有効ビット (RP) を使用して以下の保護機能を実現します。

- CPUまたはDSPからのアクセスに対する保護機能

SR.DSP=0かつRAMCR.RMD=0のとき、ユーザモードでのUxy領域へのアクセスをアドレスエラー例外と判定します。

またMMUCR.AT=1かつRAMCR.RP=1のときは、アドレスエラー例外の判定に加えて、X/Yメモリ領域 (特権モードまたは特権DSPモードのときP4領域の一部、ユーザDSPモードのときUxy領域) もP0/P3/U0領域と同じようにMMU例外の判定を行います。

この場合のアドレスエラー例外を除き以上のILメモリの保護機能を表9.7にまとめます。



表 9.7 IL メモリへのアクセスに対する保護機能による例外

MMUCR. AT	RAMCR. RP	SR.DSP	SR.MD	RAMCR. RMD	必ず発生する例外		起こり得る例外			
					CPU からの アクセス	DSP からの アクセス	CPU からの アクセス	DSP からの アクセス		
0	x	0	0	0	アドレス エラー例外	不当命令 例外				
				1		不当命令 例外				
				1	x		不当命令 例外			
				1	x	x				
1	0	0	0	0	アドレス エラー例外	不当命令 例外				
				1		不当命令 例外				
				1	x		不当命令 例外			
				1	x	x				
	1	0	0	0	0	アドレス エラー例外	不当命令 例外			
					1		不当命令 例外	MMU 例外		
					1	x		不当命令 例外	MMU 例外	
		1	0	0	0			MMU 例外	MMU 例外	
					1	x			MMU 例外	MMU 例外
					1	x			MMU 例外	MMU 例外

【記号説明】 x : Don't care

### (3) Uメモリ

SH4AL-DSP では、Uメモリに対して、内蔵メモリ制御レジスタ RAMCR の内蔵メモリアクセスモードビット (RMD) と内蔵メモリ保護有効ビット (RP) を使用して以下の保護機能を実現します。

- CPUからのアクセスに対する保護機能

SR.DSP=0かつRAMCR.RMD=0のとき、ユーザモードでのU<sub>xy</sub>領域へのアクセスをアドレスエラー例外と判定します。

またMMUCR.AT=1かつRAMCR.RP=1のときは、アドレスエラー例外の判定に加えて、Uメモリ領域 (特権モードまたは特権DSPモードのときP4領域の一部、ユーザDSPモードのときU<sub>xy</sub>領域) もP0/P3/U0領域と同じようにMMU例外の判定を行います。この場合、アドレス変換は行いません。ただし、Uメモリ領域をマッピングするページのPPNフィールドには、マッピングされるUメモリの物理アドレスを登録してください。

- DSPからのアクセスに対する保護機能

シングルデータ転送命令に対する保護機能は、CPUからのアクセスの場合と同じです。

## 9. 内蔵メモリ

Xデータ転送命令およびYデータ転送命令ではUメモリにアクセスできません。

以上を表9.8にまとめます。

表 9.8 Uメモリへのアクセスに対する保護機能による例外

MMUCR.AT	RAMCR.RP	SR.DSP	SR.MD	RAMCR.RMD	必ず発生する例外	起こり得る例外	
0	x	0	0	0	アドレス エラー例外	-	
			1	x	-	-	
		1	0	x	-	-	
			1	x	-	-	
1	0	0	0	0	アドレス エラー例外	-	
			1	x	-	-	
		1	0	x	-	-	
			1	x	-	-	
	1	0	0	0	0	アドレス エラー例外	-
				1	x	-	MMU 例外
			1	x	-	MMU 例外	
		1	x	x	-	MMU 例外	

【記号説明】 x : Don't care

## 9.5 使用上の注意事項

### 9.5.1 ページ競合

#### (1) X/Y メモリ

同じページに対して異なるバスから同時にアクセス要求が発生した場合は、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアccessの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば各バスごとに異なるメモリ、異なるページをアクセスすると競合は発生しません。

#### (2) IL メモリ

異なるバスから同時にアクセス要求が発生した場合は、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアccessの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨します。たとえば命令を IL メモリに置き、データを X/Y メモリや U メモリに置くと効率がよくなります。

### 9.5.2 バス競合

#### (1) X/Y メモリ

キャッシュ・RAM 内蔵バスは命令アクセスとオペランドアクセスの共有バスです。このためキャッシュ・RAM 内蔵バス経由のアクセスは、命令アクセスとオペランドアクセスのバス競合が発生する場合があります。バス競合が発生するとメモリアccessの性能低下を招きますので、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば CPU による X/Y メモリアccessでは、キャッシュ・RAM 内蔵バス経由を避け P4 領域または Uxy 領域より直接アクセスすることによってキャッシュ・RAM 内蔵バス上での競合は回避されます。

### 9.5.3 ページの切り替わり

#### (1) XY メモリ

オペランドバスからのリードアクセスでは、連続して同じページをアクセスする場合は1サイクルアクセスになりますが、ページをまたぐ場合およびアクセスが X/Y メモリ以外から X/Y メモリに切り替わる場合には複数サイクル(最大2サイクルウェイト)がかかります。したがって、性能最適化の観点からは、オペランドバスからのリードアクセスアドレスが属するページが頻繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。

#### (2) IL メモリ

命令バスからのアクセスでは、連続して同じページをアクセスする場合は1サイクルアクセスになりますが、ページをまたぐ場合およびアクセスが IL メモリ以外から IL メモリに切り替わる場合には複数サイクル(最大2サイクルウェイト)がかかります。したがって、性能最適化の観点からは、命令バスからのアクセスはページが頻

## 9. 内蔵メモリ

繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。たとえばページごとに独立したプログラムを配置すると効率がよくなります。

### 9.5.4 MMU とキャッシュの設定

#### (1) X/Y メモリ

CPUとDSPからキャッシュを利用してキャッシュ・RAM内蔵バス経由でX/Yメモリにアクセスした場合には、動作を保証しません。キャッシュを有効 (CCR.ICE=1 または CCR.OCE=1) にして使用する場合には、P4 または Uxy 領域から命令バスおよびオペランドバス経由で直接アクセスするか、P0、P3、U0 領域からのアクセスでは MMU を有効 (MMUCR.AT=1) にして、ページ属性にキャッシング不可 (Cビット=0) を設定し、キャッシュを用いないキャッシュ・RAM内蔵バス経由のアクセスとして使用してください。ただし、キャッシュ・RAM内蔵バス経由のアクセスは、複数サイクル数必要になります (必要なサイクル数はバスの動作状態などにより変化します)。高い性能が必要なプログラムでは、P4 または Uxy 領域からアクセスすることを推奨します。以上の関係を表 9.9 および表 9.10 にまとめます。

表 9.9 MMU、キャッシュの設定 (命令アクセス)

設定		仮想アドレス領域とアクセスの可否			
CCR.ICE	MMUCR.AT	P0、U0	P1	P4、Uxy	P3
0	0				
0	1				
1	0	x	x		x
1	1		x		

表 9.10 MMU、キャッシュの設定 (オペランドアクセス)

設定		仮想アドレス領域とアクセスの可否			
CCR.OCE	MMUCR.AT	P0、U0	P1	P4、Uxy	P3
0	0				
0	1				
1	0	x	x		x
1	1		x		

- 【注】 : 可 (推奨)  
: 可  
: 可 (ただし、MMU のページ属性を C ビット=0 に設定すること)  
x : 不可

### 9.5.5 内蔵メモリのコヒーレンシ

#### (1) X/Y メモリ

X/Y メモリに命令を配置する場合、X/Y メモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI 命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく (X/Y メモリのアドレスでもよい)、キャッシュヒット/ミスどちらでも構いません。

また同一アドレスに対して、命令バス、オペランドバス、X バスまたは Y バスからのアクセスと、キャッシュ・RAM 内蔵バスからのアクセスの両方を行わないでください。行った場合のコヒーレンシは保証されません。

#### (2) IL メモリ

IL メモリに命令を配置する場合、IL メモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI 命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく (IL メモリのアドレスでもよい)、キャッシュヒット/ミスどちらでも構いません。

### 9.5.6 スリープモード

#### (1) X/Y メモリ

スリープモード中は、DMAC などの SuperHyway バスマスタモジュールから本メモリへのアクセスは行えません。

#### (2) IL メモリ

スリープモード中は、DMAC などの SuperHyway バスマスタモジュールから本メモリへのアクセスは行えません。

#### (3) U メモリ

スリープモード中も、DMAC などの SuperHyway バスマスタモジュールから本メモリへアクセス可能です。



---

## 10. 割り込みコントローラ (INTC)

---

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求を処理します。

### 10.1 特長

INTC には次のような特長があります。

- 割り込み優先順位を15レベル設定可能

割り込み優先レベル設定レジスタにより、周辺モジュール割り込みの優先順位を要求別に15レベルまで設定することができます。

- NMIノイズキャンセラ機能

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外処理ルーチンでこのビットを読み出すことにより端子状態を確認でき、ノイズキャンセラとして使用できます。

- ステータスレジスタ (SR) のブロックビット (BL) が1にセットされたときのNMI要求のマスク  
SRレジスタのBLビットを1にセットしたとき、NMI要求をマスクするかどうかを選択できます。

- ユーザモード割り込み禁止機能

ユーザモードで動作中、ユーザ割り込みマスクレベル設定レジスタ (USERIMASK) に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。

## 10. 割り込みコントローラ (INTC)

図 10.1 に INTC のブロック図を示します。

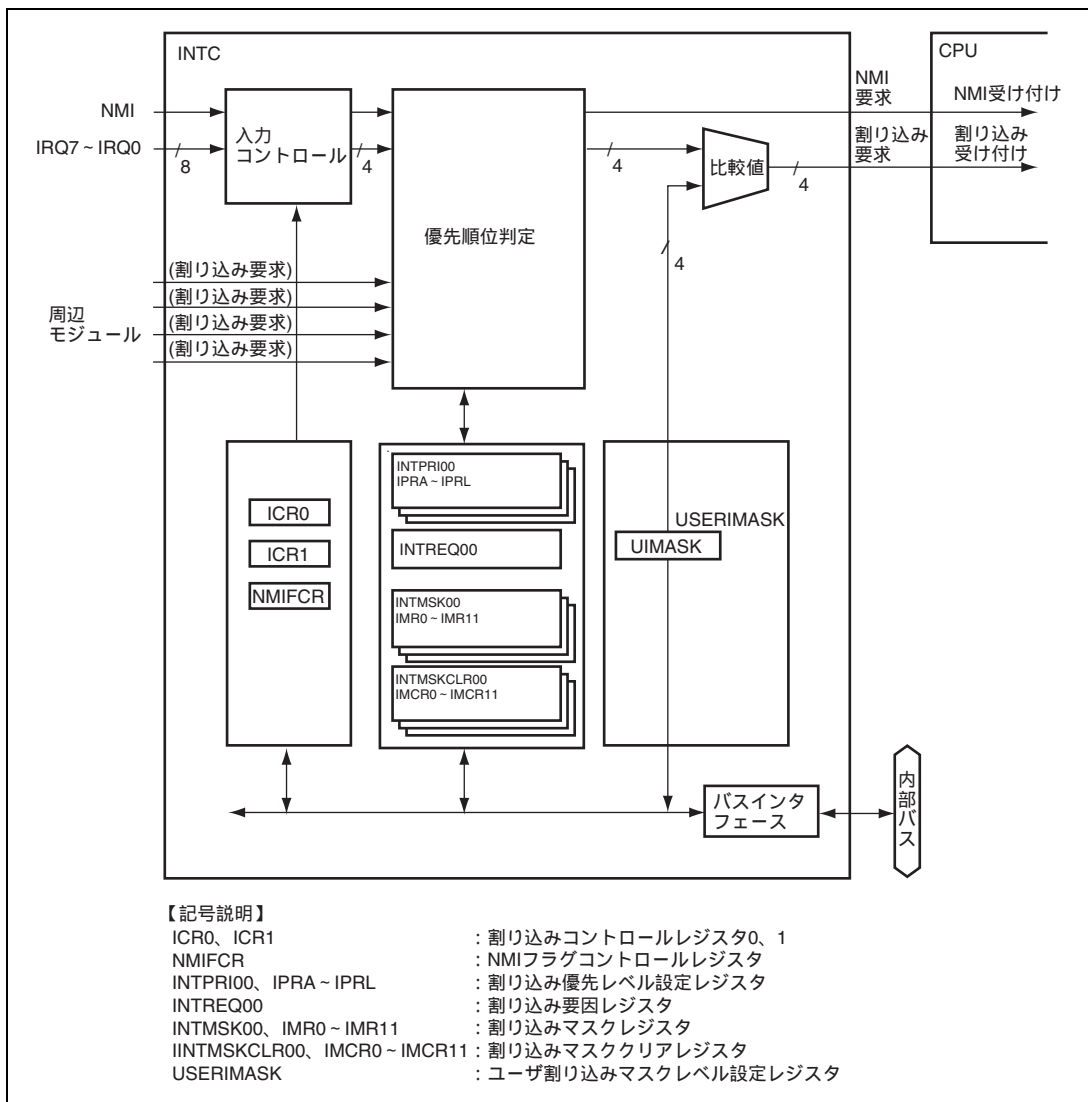


図 10.1 INTC のブロック図



## 10.2 入出力端子

INTC の端子構成を表 10.1 に示します。

表 10.1 端子構成

端子名	機能	入出力	説明
NMI	ノンマスクブル割り込み入力端子	入力	マスク不可能な割り込み要求信号を入力
IRQ7 ~ IRQ0	IRQ7 ~ IRQ0 割り込み入力端子	入力	IRQ7 ~ IRQ0 割り込み要求信号を入力 (SR レジスタの IMASK ビットでマスク可能)

## 10.3 レジスタの説明

INTC のレジスタ構成を表 10.2 に示します。また、各処理モードにおけるレジスタの状態を表 10.3 に示します。

表 10.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
割り込みコントロールレジスタ 0	ICR0	R/W	H'A414 0000	16
割り込みコントロールレジスタ 1	ICR1	R/W	H'A414 001C	16
割り込み優先レベル設定レジスタ 00	INTPRI00	R/W	H'A414 0010	32
割り込み要因レジスタ 00	INTREQ00	R/W	H'A414 0024	8
割り込みマスクレジスタ 00	INTMSK00	R/W	H'A414 0044	8
割り込みマスククリアレジスタ 00	INTMSKCLR00	W	H'A414 0064	8
NMI フラグコントロールレジスタ	NMIFCR	R/W	H'A414 00C0	16
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	R/W	H'A470 0000	32
割り込み優先レベル設定レジスタ A	IPRA	R/W	H'A408 0000	16
割り込み優先レベル設定レジスタ B	IPRB	R/W	H'A408 0004	16
割り込み優先レベル設定レジスタ C	IPRC	R/W	H'A408 0008	16
割り込み優先レベル設定レジスタ D	IPRD	R/W	H'A408 000C	16
割り込み優先レベル設定レジスタ E	IPRE	R/W	H'A408 0010	16
割り込み優先レベル設定レジスタ F	IPRF	R/W	H'A408 0014	16
割り込み優先レベル設定レジスタ G	IPRG	R/W	H'A408 0018	16
割り込み優先レベル設定レジスタ H	IPRH	R/W	H'A408 001C	16
割り込み優先レベル設定レジスタ I	IPRI	R/W	H'A408 0020	16
割り込み優先レベル設定レジスタ J	IPRJ	R/W	H'A408 0024	16
割り込み優先レベル設定レジスタ K	IPRK	R/W	H'A408 0028	16
割り込み優先レベル設定レジスタ L	IPRL	R/W	H'A408 002C	16
割り込みマスクレジスタ 0	IMR0	R/W	H'A408 0080	8
割り込みマスクレジスタ 1	IMR1	R/W	H'A408 0084	8

## 10. 割り込みコントローラ (INTC)

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
割り込みマスクレジスタ 2	IMR2	R/W	H'A408 0088	8
割り込みマスクレジスタ 3	IMR3	R/W	H'A408 008C	8
割り込みマスクレジスタ 4	IMR4	R/W	H'A408 0090	8
割り込みマスクレジスタ 5	IMR5	R/W	H'A408 0094	8
割り込みマスクレジスタ 6	IMR6	R/W	H'A408 0098	8
割り込みマスクレジスタ 7	IMR7	R/W	H'A408 009C	8
割り込みマスクレジスタ 8	IMR8	R/W	H'A408 00A0	8
割り込みマスクレジスタ 9	IMR9	R/W	H'A408 00A4	8
割り込みマスクレジスタ 10	IMR10	R/W	H'A408 00A8	8
割り込みマスクレジスタ 11	IMR11	R/W	H'A408 00AC	8
割り込みマスククリアレジスタ 0	IMCR0	W	H'A408 00C0	8
割り込みマスククリアレジスタ 1	IMCR1	W	H'A408 00C4	8
割り込みマスククリアレジスタ 2	IMCR2	W	H'A408 00C8	8
割り込みマスククリアレジスタ 3	IMCR3	W	H'A408 00CC	8
割り込みマスククリアレジスタ 4	IMCR4	W	H'A408 00D0	8
割り込みマスククリアレジスタ 5	IMCR5	W	H'A408 00D4	8
割り込みマスククリアレジスタ 6	IMCR6	W	H'A408 00D8	8
割り込みマスククリアレジスタ 7	IMCR7	W	H'A408 00DC	8
割り込みマスククリアレジスタ 8	IMCR8	W	H'A408 00E0	8
割り込みマスククリアレジスタ 9	IMCR9	W	H'A408 00E4	8
割り込みマスククリアレジスタ 10	IMCR10	W	H'A408 00E8	8
割り込みマスククリアレジスタ 11	IMCR11	W	H'A408 00EC	8

表 10.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
ICR0	初期化	初期化	保持	保持	初期化	保持
ICR1	初期化	初期化	保持	保持	初期化	保持
INTPRI00	初期化	初期化	保持	保持	初期化	保持
INTREQ00	初期化	初期化	保持	保持	初期化	保持
INTMSK00	初期化	初期化	保持	保持	初期化	保持
INTMSKCLR00	初期化	初期化	保持	保持	初期化	保持
NMIFCR	初期化	初期化	保持	保持	初期化	保持
USERIMASK	初期化	初期化	保持	保持	初期化	保持
IPRA	初期化	初期化	保持	保持	初期化	保持
IPRB	初期化	初期化	保持	保持	初期化	保持
IPRC	初期化	初期化	保持	保持	初期化	保持
IPRD	初期化	初期化	保持	保持	初期化	保持
IPRE	初期化	初期化	保持	保持	初期化	保持
IPRF	初期化	初期化	保持	保持	初期化	保持
IPRG	初期化	初期化	保持	保持	初期化	保持
IPRH	初期化	初期化	保持	保持	初期化	保持
IPRI	初期化	初期化	保持	保持	初期化	保持
IPRJ	初期化	初期化	保持	保持	初期化	保持
IPRK	初期化	初期化	保持	保持	初期化	保持
IPRL	初期化	初期化	保持	保持	初期化	保持
IMR0	初期化	初期化	保持	保持	初期化	保持
IMR1	初期化	初期化	保持	保持	初期化	保持
IMR2	初期化	初期化	保持	保持	初期化	保持
IMR3	初期化	初期化	保持	保持	初期化	保持
IMR4	初期化	初期化	保持	保持	初期化	保持
IMR5	初期化	初期化	保持	保持	初期化	保持
IMR6	初期化	初期化	保持	保持	初期化	保持
IMR7	初期化	初期化	保持	保持	初期化	保持
IMR8	初期化	初期化	保持	保持	初期化	保持
IMR9	初期化	初期化	保持	保持	初期化	保持
IMR10	初期化	初期化	保持	保持	初期化	保持
IMR11	初期化	初期化	保持	保持	初期化	保持
IMCR0	初期化	初期化	保持	保持	初期化	保持
IMCR1	初期化	初期化	保持	保持	初期化	保持
IMCR2	初期化	初期化	保持	保持	初期化	保持

## 10. 割り込みコントローラ (INTC)

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
IMCR3	初期化	初期化	保持	保持	初期化	保持
IMCR4	初期化	初期化	保持	保持	初期化	保持
IMCR5	初期化	初期化	保持	保持	初期化	保持
IMCR6	初期化	初期化	保持	保持	初期化	保持
IMCR7	初期化	初期化	保持	保持	初期化	保持
IMCR8	初期化	初期化	保持	保持	初期化	保持
IMCR9	初期化	初期化	保持	保持	初期化	保持
IMCR10	初期化	初期化	保持	保持	初期化	保持
IMCR11	初期化	初期化	保持	保持	初期化	保持

### 10.3.1 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、外部割り込み入力端子 NMI 端子の入力信号検出モードを設定し、NMI 端子に入力されている信号レベルを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	MAI	—	—	—	—	NMIB	NMIE	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0
R/W:	R	R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	NMIL	0	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読み出すことによって、NMI 端子のレベルを知ることができます。 書き込みは無効です。 0 : NMI 端子にローレベルが入力されています 1 : NMI 端子にハイレベルが入力されています
14	MAI	0	R/W	NMI 割り込みマスク SR レジスタの BL ビットにかかわらず、NMI 端子の入力レベルがローの間、すべての割り込みをマスクするかどうかを指定します。 0 : NMI 端子がローレベルでも、割り込み許可 1 : NMI 端子がローレベルの間、割り込み禁止
13~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	NMIB	0	R/W	NMI ブロックモード SR レジスタの BL ビットが 1 のとき、NMI 割り込みを BL ビットが 0 になるまで保留するか、即時検出するかを選択します。 0 : SR の BL ビットが 1 の間、NMI 割り込み要求を保留します 1 : SR の BL ビットが 1 の間、NMI 割り込み要求を検出します

## 10. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説明
8	NMIE	0	R/W	NMI エッジセレクト NMI 端子への割り込み要求信号を、立ち下がりエッジで検出するか、立ち上がりエッジで検出するかを選択します。 0 : NMI 入力の立ち下がりエッジで割り込み要求を検出 1 : NMI 入力の立ち上がりエッジで割り込み要求を検出
7、6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 10.3.2 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ7~IRQ0 に対して、立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルの検出モードを個別に設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ0S		IRQ1S		IRQ2S		IRQ3S		IRQ4S		IRQ5S		IRQ6S		IRQ7S	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明										
15、14	IRQ0S	00	R/W	IRQn センスセレクト IRQ0 ~ IRQ7 端子に対する割り込み信号を立ち下がりエッジ、立ち上がりエッジまたはローレベル、ハイレベルのどれで検出するかを設定します。										
13、12	IRQ1S	00	R/W											
11、10	IRQ2S	00	R/W											
9、8	IRQ3S	00	R/W											
7、6	IRQ4S	00	R/W											
5、4	IRQ5S	00	R/W											
3、2	IRQ6S	00	R/W											
1、0	IRQ7S	00	R/W											
				<table border="1"> <thead> <tr> <th>IRQnS</th> <th>検出方法</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>割り込み要求を IRQn 入力の立ち下がりエッジで検出</td> </tr> <tr> <td>01</td> <td>割り込み要求を IRQn 入力の立ち上がりエッジで検出</td> </tr> <tr> <td>10</td> <td>割り込み要求を IRQn 入力のローレベルで検出</td> </tr> <tr> <td>11</td> <td>割り込み要求を IRQn 入力のハイレベルで検出</td> </tr> </tbody> </table>	IRQnS	検出方法	00	割り込み要求を IRQn 入力の立ち下がりエッジで検出	01	割り込み要求を IRQn 入力の立ち上がりエッジで検出	10	割り込み要求を IRQn 入力のローレベルで検出	11	割り込み要求を IRQn 入力のハイレベルで検出
IRQnS	検出方法													
00	割り込み要求を IRQn 入力の立ち下がりエッジで検出													
01	割り込み要求を IRQn 入力の立ち上がりエッジで検出													
10	割り込み要求を IRQn 入力のローレベルで検出													
11	割り込み要求を IRQn 入力のハイレベルで検出													
【注】 n = 0 ~ 7														

## 10. 割り込みコントローラ (INTC)

### 10.3.3 割り込み優先レベル設定レジスタ (INTPRI00)

INTPRI00 は、外部割り込み入力端子 IRQ7 ~ IRQ0 の優先順位 (レベル 15 ~ 0) を設定する 32 ビットのレジスタです。

各 4 ビットに H'F (1111) から H'0 (0000) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は H'F を設定すると優先レベル 15 (最高レベル) に、H'0 を設定すると優先レベル 0 (要求マスク) になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IRQ0				IRQ1				IRQ2				IRQ3			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ4				IRQ5				IRQ6				IRQ7			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ~ 28	IRQ0	H'0	R/W	4 ビット単位で割り込み優先順位を設定します。
27 ~ 24	IRQ1	H'0	R/W	
23 ~ 20	IRQ2	H'0	R/W	
19 ~ 16	IRQ3	H'0	R/W	
15 ~ 12	IRQ4	H'0	R/W	
11 ~ 8	IRQ5	H'0	R/W	
7 ~ 4	IRQ6	H'0	R/W	
3 ~ 0	IRQ7	H'0	R/W	

## 10.3.4 割り込み優先レベル設定レジスタ A~L (IPRA~IPRL)

IPRA~IPRL は、周辺モジュールからの割り込み優先順位 (レベル 15~0) を設定する 16 ビットのレジスタです。

1本のレジスタに4つのモジュールが割り当てられます。各4ビットにH'F(1111)からH'0(0000)の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位はH'Fを設定すると優先レベル15(最高レベル)に、H'0を設定すると優先レベル0(要求マスク)になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IPR0n				IPR1n				IPR2n				IPR3n			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	IPR0n	H'0	R/W	4ビット単位で割り込み優先レベルを指定します。 詳細は表 10.4 を参照してください。
11~8	IPR1n	H'0	R/W	
7~4	IPR2n	H'0	R/W	
3~0	IPR3n	H'0	R/W	

表 10.4 割り込み要求元と IPRA~IPRL

レジスタ名	IPR0n	IPR1n	IPR2n	IPR3n
IPRA	TMU0	TMU1	TMU2	IrDA
IPRB	-	LCDC	SIM	-
IPRC	-	-	-	-
IPRD	-	-	-	-
IPRE	DMAC0/1/2/3	-	-	-
IPRF	KEYSC	DMAC4/5	USB	CMT
IPRG	SCIF0	SCIF1	SCIF2	-
IPRH	SIOF0	SIOF1	-	I <sup>2</sup> C
IPRI	SIO	-	-	RTC
IPRJ	-	-	-	-
IPRK	-	-	-	SDHI
IPRL	-	-	TPU	-

【記号説明】 - : リザーブビットです。読み出し値は保証しません。書き込み値は0にしてください。

## 10. 割り込みコントローラ (INTC)

### 10.3.5 割り込み要因レジスタ 00 (INTREQ00)

INTREQ00 は、IRQ 端子のどの割り込みが要求されているかを示す 8 ビットのレジスタです。INTPRI00、または INTMSK00 によって該当する割り込みがマスクされても本レジスタのビットは影響を受けません。

該当する IRQ 端子がエッジ検出に設定されているとき (ICR1.IRQnS=B'00 または B'01)、該当するビットが 1 であることを読み出した後に 0 を書き込むことで、割り込み要因をクリアすることができます。

ビット :	7	6	5	4	3	2	1	0
	IRQ0	IRQ1	IRQ2	IRQ3	IRQ4	IRQ5	IRQ6	IRQ7
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	IRQ0	0	R/W	IRQn 割り込み要求 IRQn 端子に割り込み要求が入力されているかを示します。 【エッジ検出時 (ICR1.IRQnS = B'00 または B'01)】 • 読み込み時 0 : 対応する割り込みを検出していません 1 : 対応する割り込みを検出しました • 書き込み時 0 : 1 を読み出したビットにかぎり 0 にクリアされます 1 : 無視 【レベル検出時 (ICR1.IRQnS = B'10 または B'11)】 • 読み込み時 0 : 対応する割り込み端子がアサートされていません 1 : 対応する割り込み端子がアサートされ、まだ CPU が受け付けていません • 書き込み時 書き込みは無視されます
6	IRQ1	0	R/W	
5	IRQ2	0	R/W	
4	IRQ3	0	R/W	
3	IRQ4	0	R/W	
2	IRQ5	0	R/W	
1	IRQ6	0	R/W	
0	IRQ7	0	R/W	

【注】 n=0~7



## 10.3.6 割り込みマスクレジスタ 00 (INTMSK00)

INTMSK00 は、外部割り込み入力端子 IRQ7 ~ IRQ0 の割り込み要求をマスクするかどうかを設定する 8 ビットのレジスタです。

割り込みマスクを解除するには、INTMSKCLR00 の対応するビットに 1 を書き込みます。INTMSK00 の各ビットに 0 を書き込んで、値は変化しません。

ビット :	7	6	5	4	3	2	1	0
	IRQ0	IRQ1	IRQ2	IRQ3	IRQ4	IRQ5	IRQ6	IRQ7
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	IRQ0	0	R/W	IRQn 割り込みマスク 0 : 対応する割り込みがマスクされていません 1 : 対応する割り込みがマスクされています
6	IRQ1	0	R/W	
5	IRQ2	0	R/W	
4	IRQ3	0	R/W	
3	IRQ4	0	R/W	
2	IRQ5	0	R/W	
1	IRQ6	0	R/W	
0	IRQ7	0	R/W	

【注】 n=0 ~ 7

## 10.3.7 割り込みマスククリアレジスタ 00 (INTMSKCLR00)

INTMSKCLR00 は、外部割り込み入力端子 IRQ7 ~ IRQ0 の各割り込み要求マスクをクリアする 8 ビットのレジスタです。

INTMSKCLR00 は、書き込み専用のレジスタです。

ビット :	7	6	5	4	3	2	1	0
	IRQ0	IRQ1	IRQ2	IRQ3	IRQ4	IRQ5	IRQ6	IRQ7
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
7	IRQ0	0	W	IRQn 割り込みマスクのクリア 0 : 0 書き込みは無視されます 1 : 対応する割り込み要求のマスクを解除します
6	IRQ1	0	W	
5	IRQ2	0	W	
4	IRQ3	0	W	
3	IRQ4	0	W	
2	IRQ5	0	W	
1	IRQ6	0	W	
0	IRQ7	0	W	

【注】 n=0 ~ 7

## 10. 割り込みコントローラ (INTC)

### 10.3.8 割り込みマスクレジスタ 0~11 (IMR0~IMR11)

IMR0~IMR11 は、周辺モジュールからの各割り込み要求をマスクするかどうかを設定する 8 ビットのレジスタです。IMR0~IMR11 の対応するビットに 1 を書き込むことで、割り込み要求をマスクすることができます。

割り込みマスクを解除するには、IMCR0~IMCR11 の対応するビットに 1 を書き込みます。割り込みマスクレジスタの各ビットに 0 を書き込んで、値は変化しません。

IMR0~IMR11 の各ビットと割り込み要求の関係は表 10.5 を参照してください。

ビット:	7	6	5	4	3	2	1	0
	IMRn0	IMRn1	IMRn2	IMRn3	IMRn4	IMRn5	IMRn6	IMRn7
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	IMRn0	0	R/W	各ビットに対応する割り込み要求をマスクするかどうかを設定します。各割り込み要因と本レジスタとの関係は、表 10.5 を参照してください。 書き込み時 0: 0 書き込みは無視されます 1: 対応する割り込み要求をマスクします 読み込み時 0: 対応する割り込みを受け付けます 1: 対応する割り込み要求はマスクされています
6	IMRn1	0	R/W	
5	IMRn2	0	R/W	
4	IMRn3	0	R/W	
3	IMRn4	0	R/W	
2	IMRn5	0	R/W	
1	IMRn6	0	R/W	
0	IMRn7	0	R/W	

【注】 n=0~11

## 10.3.9 割り込みマスククリアレジスタ 0~11 (IMCR0~IMCR11)

IMCR0~IMCR11 は書き込み専用のレジスタで、周辺モジュールの各割り込み要求マスクをクリアする 8 ビットのレジスタです。IMCR0~IMCR11 の各ビットと割り込み要求の関係は表 10.5 を参照してください。

ビット :	7	6	5	4	3	2	1	0
	IMCRn0	IMCRn1	IMCRn2	IMCRn3	IMCRn4	IMCRn5	IMCRn6	IMCRn7
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
7	IMCRn0	0	W	各ビットに対応する割り込み要求をマスクするかどうかを設定します。各割り込み要因と本レジスタとの関係は、表 10.5 を参照してください。 書き込み時： 0 : 0 書き込みは無視されます 1 : 対応する割り込み要求のマスクを解除します 読み込み時： 読み出した値は保証しません
6	IMCRn1	0	W	
5	IMCRn2	0	W	
4	IMCRn3	0	W	
3	IMCRn4	0	W	
2	IMCRn5	0	W	
1	IMCRn6	0	W	
0	IMCRn7	0	W	

【注】 n=0~11

## 10. 割り込みコントローラ (INTC)

表 10.5 周辺モジュールからの割り込み要因と IMR0~IMR11、IMCR0~IMCR11 の対応

レジスタ名	ビット名 (機能名)							
	7	6	5	4	3	2	1	0
IMR0/IMCR0	-	-	-	-	-	-	-	-
	-				-			
IMR1/IMCR1	-	-	-	-	DEI3	DEI2	DEI1	DEI0
	-				(DMAC0/1/2/3)			
IMR2/IMCR2	-	-	-	-	-	-	-	-
	-				-			
IMR3/IMCR3	TEI	TXI	RXI	ERI	-	-	-	IRDAI
	(SIM)				-			(IrDA)
IMR4/IMCR4	-	TUNI2	TUNI1	TUNI0	-	-	-	LCDCI
	(TMU2)		(TMU1)	(TMU0)	-	-	-	(LCDC)
IMR5/IMCR5	KEYI	DADERR	DEI5	DEI4	-	SCIF2	SCIF1	SCIF0
	(KEYSC)	(DMAC4/5)			-	(SCIF)		
IMR6/IMCR6	-	-	-	SIOI	-	-	SIOF11	SIOF10
	-		-	(SIO)	-	-	(SIOF)	
IMR7/IMCR7	DTEI0	WAITI0	TACKI0	ALI0	-	-	-	-
	(I <sup>2</sup> C)				-			
IMR8/IMCR8	SDHII3	SDHII2	SDHII1	SDHII0	-	-	-	-
	(SDHI)				-	-	-	-
IMR9/IMCR9	-	-	-	CMTI	-	-	USBIO	-
				(CMT)	-	(USB)		-
IMR10/IMCR10	-	-	-	-	-	-	-	-
	-				-			
IMR11/IMCR11	-	CUI	PRI	ATI	-	TPUI	-	-
	(RTC)				-	(TPU)	-	-

【記号説明】 - : リザーブビットです。読み出し値は保証しません。書き込む値は0にしてください。

## 10.3.10 ユーザ割り込みマスクレベル設定レジスタ (USERIMASK)

USERIMASK は、受け付け可能な割り込みレベルを設定します。INTC のその他のレジスタとは異なる 64K バイトページに配置されているので、MMU を使用してエリア 7 アドレスにアドレス変換することにより、本レジスタのみユーザモードでアクセス可能に設定できます。

UIMASK 設定値以下の割り込みレベルに設定された割り込みはマスクされます。HF を設定すると NMI 以外のすべての割り込みがマスクされます。UIMASK 設定値より高い割り込みレベルに設定された割り込みは受け付けられますが、割り込みマスクレジスタが対応する割り込みの割り込みマスクビットが 0 (割り込み許可) であること、また SR レジスタの IMASK ビットがその割り込みレベルより低く設定されている場合のみ受け付けられます。また、割り込みが受け付けられても UIMASK ビットの値は変化しません。

パワーオンリセット、マニュアルリセット時は、H'0000 0000 (全割り込み許可) に初期化されます。

誤まった書き込みを防止するため、本レジスタへの書き込みは、ビット 31~24 が、H'A5 のときのみ有効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UIMASK				—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。UIMASK ビットに値を書き込むときは、H'A5 を書き込んでください。
23~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~4	UIMASK	0000	R/W	ユーザ割り込みマスクレベル UIMASK 設定値以下のレベルの割り込みはマスクされます。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 10. 割り込みコントローラ (INTC)

### 10.3.11 NMI フラグコントロールレジスタ (NMIFCR)

NMIFCR は、ソフトウェアにより読み出し、クリアが可能な NMI フラグ (NMIFL ビット) を持つレジスタです。NMIFL ビットは、INTC により NMI が検出されるとハードウェアにより自動的に 1 になります。NMIFL ビットは、ソフトウェアにより 0 を書き込むことでクリアされます。

NMIFL ビットの値は、CPU の NMI 受理には影響を与えません。つまり、INTC により検出された NMI 要求は、CPU に受け付けられることによりクリアされますが、NMIFL ビットは自動的にクリアされません。また、NMI 要求が CPU に受け付けられるより前に NMIFL ビットに 0 を書き込んだ場合でも、NMI 要求はキャンセルされません。

NMIL ビットの動作は ICR0 の NMIL ビットの動作と同一です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NMIFL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	NMIL	0	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読み出すことによって、NMI 端子の入力レベルを知ることができます。書き込みは無効です。 0 : NMI 端子にローレベルが入力されています 1 : NMI 端子にハイレベルが入力されています
14~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	NMIFL	0	R/W	NMI 割り込み要求信号検出 NMI 割り込み要求信号を検出したかどうかを示します。INTC で割り込み要求検出した場合、自動的に 1 に設定されます。本ビットをクリアする場合は、0 を書き込んでください。1 を書き込んだ場合は無視されます。 0 : NMI 割り込み要求信号が検出されていないことを示します 1 : NMI 割り込み要求信号が検出されたことを示します

## 10.4 割り込み要因

割り込み要因は、NMI、IRQ、周辺モジュールの3つに分類されます。各割り込みの優先順位は割り込み優先レベル値(16~0)で表され、レベル16が最高で、レベル1が最低です。レベル0に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

### 10.4.1 NMI 割り込み

NMI 割り込みは、レベル16の最優先の割り込みです。CPU内のSRレジスタのBLビットが1にセットされていないかぎりいつでも受け付けられます。ただし、スリープモードまたはスタンバイモード中はBLビットが1でも受け付けられません。

また、ICR0のNMIBビットをセットすることによりBLビットが1でもNMIを受け付けることができます。

NMI端子からの入力はエッジで検出されます。検出エッジはICR0のNMIEビットの設定によって、立ち上がりエッジまたは立ち下がりエッジを選択できます。ICR0のNMIEビットを書き換えた場合、書き換えてから最大6バスクロック期間、NMI割り込みを検出しません。

NMI割り込み例外処理によって、SRの割り込みマスクレベル(IMASK)が影響されることはありません。

### 10.4.2 IRQ 割り込み

IRQ 割り込みは、IRQ7~IRQ0端子から入力される割り込みです。ICR1のIRQnSビット(n=0~7)でIRQ端子をレベルで検出するように設定している場合は、IRQ割り込みの端子状態は割り込みを受け付けて割り込み処理を開始するまで、その端子状態を保持してください。

ただし、CPUが受け付け前に割り込み要因が取り下げられた場合には、CPUが何らかの割り込みを受け付けるまで、INTC内部でその要因を保持します。保持された割り込みは、該当する割り込みマスクビット(割り込みマスクレジスタのIMRビット)を1にすることでクリアできます。

CPUOPM.INTMUビットが1に設定されている場合は、SRの割り込みマスクレベル(SR.IMASK)は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMUビットが0に設定されている場合は、割り込み受理によってSR.IMASKが影響されることはありません。

## 10. 割り込みコントローラ (INTC)

---

### 10.4.3 周辺モジュール割り込み

周辺モジュール割り込みは、周辺モジュールで発生する割り込みです。

要因ごとに異なる割り込みベクタは割り当てられてはませんが、要因は割り込み事象レジスタ (INTEVT) に反映されますので、例外処理ルーチン中で INTEVT の値をオフセットとして分岐することによって、容易に要因が判定できます。

優先順位は、IPRA ~ IPRL によってモジュールごとに優先レベル 15 ~ 0 の範囲で設定できます。

CPU 動作モードレジスタの INTMU ビットが 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが 0 に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。

周辺モジュールの割り込み要因フラグおよび割り込み許可フラグの更新は、SR レジスタの BL ビットが 1 のとき、もしくは SR レジスタの IMASK ビット、IMR、USERIMASK のいずれかの割り込みマスク設定により該当する割り込み要求をマスクした状態で行ってください。なお、更新したはずの割り込み要因による誤った割り込みの受け付けを避けるために、いったん該当フラグを含む内蔵周辺レジスタを読み出し、その後、表 10.8 で示される周辺モジュールの優先順位判定時間待ってから (たとえば、周辺モジュールクロックで動作する INTC のレジスタを 1 回読み出す)、BL ビットを 0 にするか、割り込みマスクの設定を更新して該当する割り込み要求のマスクを解除してください。これにより、内部的に必要なタイミングが確保されます。複数のフラグを更新する場合は、最後のフラグの更新の後で、そのフラグを含むレジスタを読み出すだけで問題ありません。

BL ビットが 0 のときにフラグの更新を行うと、INTEVT の値が 0 で割り込み処理ルーチンにジャンプすることがあります。これは、フラグの更新と本 LSI 内部での割り込み要求の認識のタイミングの関係で割り込み処理が起動したためです。この場合は、RTE 命令を実行することにより、問題なく処理を続けることができます。

### 10.4.4 割り込み例外処理と優先順位

割り込み要因と割り込み事象レジスタ (INTEVT) のコード、割り込み優先順位を表 10.6 と表 10.7 に示します。

各割り込み要因は、それぞれ異なる INTEVT のコードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT の値を使って分岐させます。たとえば INTEVT の値をオフセットにして分岐させます。

周辺モジュールの優先順位は、IPRA ~ IPRL によって、優先レベル 15 ~ 0 の範囲で任意に設定できます。リセットによって、周辺モジュールの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 10.6 と表 10.7 に示すデフォルト優先順位に従って処理されます。

割り込み優先レベル設定レジスタおよび割り込みマスクレジスタの更新は、SR の BL ビットが 1 のときに行ってください。なお、誤った割り込みの受け付けを避けるために、いったんいずれかの割り込み優先レベル設定レジスタを読み出してから BL ビットを 0 にしてください。これにより内部的に必要なタイミングが確保されます。



10. 割り込みコントローラ (INTC)

表 10.6 外部端子からの割り込み要因と優先順位

割り込み要因		INTEVT コード	割り込み優先順位 (初期値)	対応する IPR (ビット番号)	設定範囲内の 優先順位	デフォルト 優先順位
NMI		H'1C0	16	-	-	高   低
IRQ	IRQ0	H'600	15 ~ 0(0)	INTPRI00 (31 ~ 28)	-	
	IRQ1	H'620	15 ~ 0(0)	INTPRI00 (27 ~ 24)	-	
	IRQ2	H'640	15 ~ 0(0)	INTPRI00 (23 ~ 20)	-	
	IRQ3	H'660	15 ~ 0(0)	INTPRI00 (19 ~ 16)	-	
	IRQ4	H'680	15 ~ 0(0)	INTPRI00 (15 ~ 12)	-	
	IRQ5	H'6A0	15 ~ 0(0)	INTPRI00 (11 ~ 8)	-	
	IRQ6	H'6C0	15 ~ 0(0)	INTPRI00 (7 ~ 4)	-	
IRQ7	H'6E0	15 ~ 0(0)	INTPRI00 (3 ~ 0)	-		

表 10.7 周辺モジュールからの割り込み要因と優先順位

割り込み要因		INTEVT コード	割り込み優先順位 (初期値)	対応する IPR (ビット番号)	設定範囲内の 優先順位	デフォルト 優先順位
HUDI		H'5E0	15	-	-	高   低
SIM	ERI	H'700	15 ~ 0(0)	IPRB (7 ~ 4)	高	
	RXI	H'720	15 ~ 0(0)		↑	
	TXI	H'740	15 ~ 0(0)		↓	
	TEI	H'760	15 ~ 0(0)		低	
RTC	ATI	H'780	15 ~ 0(0)	IPRI (3 ~ 0)	高	
	PRI	H'7A0	15 ~ 0(0)		↑	
	CUI	H'7C0	15 ~ 0(0)		↓	
DMAC0/1/ 2/3	DEI0	H'800	15 ~ 0(0)	IPRE (15 ~ 12)	高	
	DEI1	H'820	15 ~ 0(0)		↑	
	DEI2	H'840	15 ~ 0(0)		↓	
	DEI3	H'860	15 ~ 0(0)		低	
TPU	TPUI	H'9A0	15 ~ 0(0)	IPRL (7 ~ 4)	-	

## 10. 割り込みコントローラ (INTC)

割り込み要因		INTEVT コード	割り込み優先順位 (初期値)	対応する IPR (ビット番号)	設定範囲内の 優先順位	デフォルト 優先順位
USB	USBI0	H'A20	15 ~ 0(0)	IPRF (7 ~ 4)	-	
DMAC4/5	DEI4	H'B80	15 ~ 0(0)	IPRF (11 ~ 8)	高	
	DEI5	H'BA0	15 ~ 0(0)		低	
	DADERR	H'BC0	15 ~ 0(0)			
KEYSC	KEYI	H'BE0	15 ~ 0(0)	IPRF (15 ~ 12)	-	
SCIF	SCIF0	H'C00	15 ~ 0(0)	IPRG (15 ~ 12)	-	
	SCIF1	H'C20	15 ~ 0(0)	IPRG (11 ~ 8)	-	
	SCIF2	H'C40	15 ~ 0(0)	IPRG (7 ~ 4)	-	
SIOF	SIOF0	H'C80	15 ~ 0(0)	IPRH (15 ~ 12)	-	
	SIOF1	H'CA0	15 ~ 0(0)	IPRH (11 ~ 8)	-	
SIO	SIOI	H'D00	15 ~ 0(0)	IPRI (15 ~ 12)	-	
I <sup>2</sup> C	ALI0	H'E00	15 ~ 0(0)	IPRH (3 ~ 0)	高	
	TACKI0	H'E20	15 ~ 0(0)		低	
	WAITI0	H'E40	15 ~ 0(0)			
	DTEI0	H'E60	15 ~ 0(0)			
SDHI	SDHII0	H'E80	15 ~ 0(0)	IPRK (3 ~ 0)	高	
	SDHII1	H'EA0	15 ~ 0(0)		低	
	SDHII2	H'EC0	15 ~ 0(0)			
	SDHII3	H'EE0	15 ~ 0(0)			
CMT	CMTI	H'F00	15 ~ 0(0)	IPRF (3 ~ 0)	-	
TMU0	TUNI0	H'400	15 ~ 0(0)	IPRA (15 ~ 12)	-	
TMU1	TUNI1	H'420	15 ~ 0(0)	IPRA (11 ~ 8)	-	
TMU2	TUNI2	H'440	15 ~ 0(0)	IPRA (7 ~ 4)	-	
IrDA	IRDAI	H'480	15 ~ 0(0)	IPRA (3 ~ 0)	-	
LCDC	LCDCI	H'580	15 ~ 0(0)	IPRB (11 ~ 8)	-	

## 10.5 動作説明

### 10.5.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 10.2 と図 10.3 に割り込み動作フローを示します。

1. INTCに対して、各割り込み要求元から割り込み要求信号が送られます。
2. INTCでは、送られた割り込み要求の中から割り込み優先レベル設定レジスタに従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表10.6と表10.7に従って最も優先順位の高い割り込みが選択されます。
3. INTCで選択された割り込みの優先レベルとCPUのSRレジスタの割り込みマスクレベル (IMASK) が比較されます。IMASKビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. CPUは、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ (INTEVT) に割り込み要因コードがセットされます。
6. SRとプログラムカウンタ (PC) が、それぞれSSRとSPCに退避されます。そのときのR15をSGRに退避します。
7. SRのBLビット、MDビット、RBビットが1にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値とH'0000 0600の和) にジャンプします。

例外処理ルーチンでは、割り込み要因を識別するために、たとえば、INTEVT レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. CPU 動作モードレジスタの INTMU ビット (CPUOPM.INTMU) が 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが 0 に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。
  2. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後、要因フラグを読み出し、その後、表 10.8 で示される周辺モジュールの優先順位判定時間待ってから (たとえば、周辺モジュールクロックで動作する INTC のレジスタを 1 回読み出す) BL ビットをクリアするか、RTE 命令を実行します。



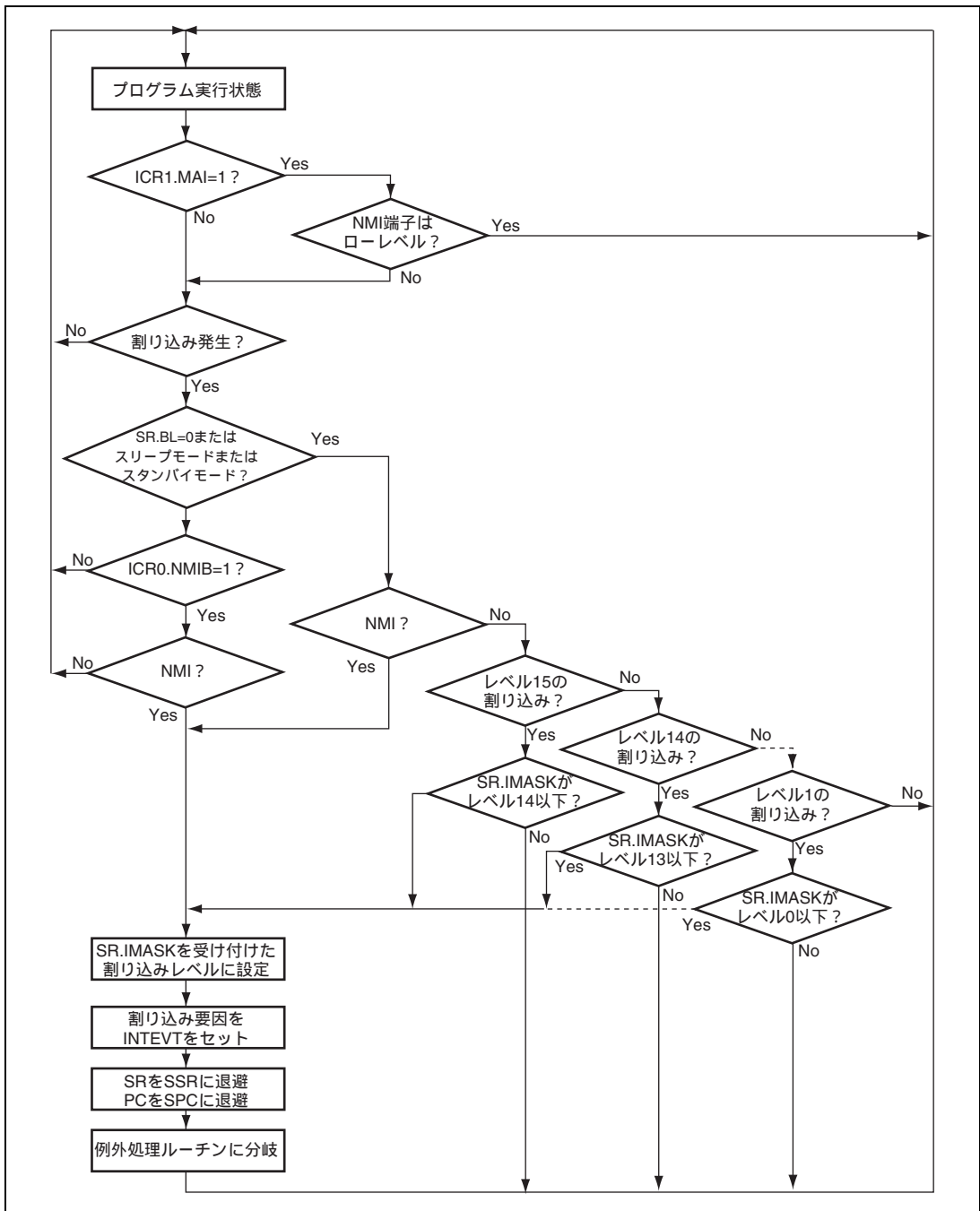


図 10.3 割り込み動作フロー (CPUOPM.INTMU=1 のとき)

## 10. 割り込みコントローラ (INTC)

---

### 10.5.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVTの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをスタックに退避します。
4. SRのBLビットをクリアします。CPUOPM.INTMU=1のときは、SRの割り込みマスケベル (IMASK) は受け付けた割り込みレベルに自動的に設定されます。CPUOPM.INTMU=0のときは、SRの割り込みマスケベル (IMASK) をソフトウェアにより受け付けた割り込みレベルに設定します。
5. この後、実際に行いたい処理を書きます。
6. SRのBLビットを1にセットします。
7. SSRとSPCをメモリから復帰します。
8. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、4.の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。これにより、緊急度の高い処理については、割り込み応答時間を短縮できます。

### 10.5.3 MAI ビットによる割り込みマスク

ICR0のMAIビットを1に設定することにより、NMI端子がローレベルの間、SRのBL、IMASKビットに関係なく割り込みをマスクすることができます。

- 通常動作時およびスリープモード時

NMI端子がローレベルの間、すべての割り込みをマスクします。ただし、NMI端子の変化によるNMI割り込みだけは発生します。

- スタンバイ時

NMI端子がローレベルの間、すべての割り込みをマスクします。また、NMI端子の変化によるNMI割り込みも発生しません。このため、MAIビットを1に設定した状態では、NMI割り込みでスタンバイの解除を行えません。

#### 10.5.4 ユーザモードでの割り込み禁止機能

USERIMASK に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。本機能を用いることにより、ユーザモードで動作するデバイスドライバ等のタスク中で緊急度の高い処理を行う際に、より緊急度の低い割り込みを禁止することで完了までの時間を短縮できます。

USERIMASK は、INTC その他のレジスタとは異なる 64K バイト空間に配置されています。ユーザモードにより本レジスタをアクセスする場合は、MMU によるアドレス変換によりアクセスします。マルチタスク OS では、USERIMASK にアクセスできるプロセスは MMU の記憶保護により管理してください。また、そのタスクを終了する場合や、他のタスクに切り替える場合は、必ず本レジスタを 0 クリアしてからそのタスクを抜けてください。UIMASK ビットが誤って 0 以外の値が設定されたままになると、その割り込みレベル以下の割り込みが禁止されたままとなり、OS のタスク切り替えが行われなくなるなどの不具合を起こすことがありますのでご注意ください。

以下に使用手順の例を示します。

1. 準備として、割り込みを以下のように (a) と (b) に分類し、(b) より (a) の割り込みレベルを高くします。
  - (a) : デバイスドライバ中で割り込み受け付けられるべき割り込み  
(OS で使用する割り込み : タイマ割り込みなど)
  - (b) : デバイスドライバ中で割り込み禁止されるべき割り込み
2. MMU の設定により、USERIMASK の存在するアドレス空間を割り込みを禁止したいデバイスドライバにのみアクセス可能に設定します。
3. デバイスドライバに分岐します。
4. ユーザモードで動作するデバイスドライバ中で (b) の割り込みがマスクされるように UIMASK ビットを設定します。
5. デバイスドライバ中で緊急度の高い処理を行います。
6. UIMASK ビットを 0 にクリアし、デバイスドライバの処理から復帰します。

## 10. 割り込みコントローラ (INTC)

### 10.6 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外処理ルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 10.8 に示します。

表 10.8 割り込み応答時間

項目	ステート数			備考	
	NMI	IRQ	周辺モジュール		
優先順位判定時間	$5B_{cyc}+2P_{cyc}$	$4B_{cyc}+2P_{cyc}$	$5P_{cyc}$		
CPU が実行中のシーケンス終了までの待ち時間	$S-1 ( 0 ) \times l_{cyc}$				
割り込み例外処理 (SR、PC の退避) から、例外処理ルーチンの先頭命令のフェッチの SuperHyway バスリクエストを発行するまでの期間	$11l_{cyc}+1S_{cyc}$				
応答時間	合計	$(S+10)l_{cyc}+1S_{cyc}+5B_{cyc}+2P_{cyc}$	$(S+10)l_{cyc}+1S_{cyc}+4B_{cyc}+2P_{cyc}$	$(S+10)l_{cyc}+1S_{cyc}+5P_{cyc}$	
	最小時	$18l_{cyc}+S \times l_{cyc}$	$17l_{cyc}+S \times l_{cyc}$	$16l_{cyc}+S \times l_{cyc}$	$l_{cyc}:S_{cyc}:B_{cyc}:P_{cyc}=1:1:1:1$ のとき

#### 【記号説明】

- $l_{cyc}$  : CPU クロックの 1 サイクル期間
- $S_{cyc}$  : SH クロックの 1 サイクル期間
- $B_{cyc}$  : バスクロックの 1 サイクル期間
- $P_{cyc}$  : 周辺クロックの 1 サイクル期間
- $S$  : 命令実行ステート数



---

## 11. バスステートコントローラ (BSC)

---

バスステートコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、バースト ROM などの各種メモリおよび外部デバイスを直接接続することができます。SDRAM は、SDRAM 用バスステートコントローラ (SBSC) で制御します。

### 11.1 特長

BSC には、次の特長があります。

#### (1) 外部アドレス空間

- 合計で最大256Mまでの外部アドレス空間をサポート。空間分割数は以下の2通りから選択可能
  - アドレスマップ1 :  $\overline{CS0}$ 、 $\overline{CS4}$ 、 $\overline{CS5A}$ 、 $\overline{CS5B}$ 、 $\overline{CS6A}$ 、 $\overline{CS6B}$ の6空間
  - アドレスマップ2 :  $\overline{CS0}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$ 、 $\overline{CS6}$ の4空間
- 空間ごとに、通常空間インタフェース、バイト選択付きSRAMインタフェース、バーストROM (クロック非同期)、およびPCMCIAの各種インタフェースを指定可能
- 空間ごとに、データバス幅 (8ビット、16ビット、または32ビット) を選択可能
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
- 連続するアクセスがリード - ライト (同一空間または別空間)、リード - リード (同一空間または別空間)、および先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能

#### (2) 通常空間インタフェース

- SRAMとの直結が可能なインタフェースをサポート

#### (3) バースト ROM (クロック非同期) インタフェース

- ページモード機能を有するROMを高速にアクセス可能

#### (4) バイト選択付き SRAM インタフェース

- バイト選択付きSRAMとの直結が可能なインタフェースをサポート

#### (5) PCMCIA 直結インタフェース

- JEIDA仕様Ver4.2 (PCMCIA2.1) で定める「ICメモリカードおよびI/Oカードインタフェース」をサポート
- ウェイトステート挿入をプログラムで制御可能
- I/Oバス幅のバスサイジング機能をサポート (リトルエンディアンモード時のみ)

【注】 BSC によりサポートされる PCMCIA 直結インタフェースは、表 11.1 に示された信号とバスプロトコルのサポートのみとなります。その他の制御信号については、外部回路を使用してください。

## 11. バスステートコントローラ (BSC)

BSCのブロック図を図 11.1 に示します。

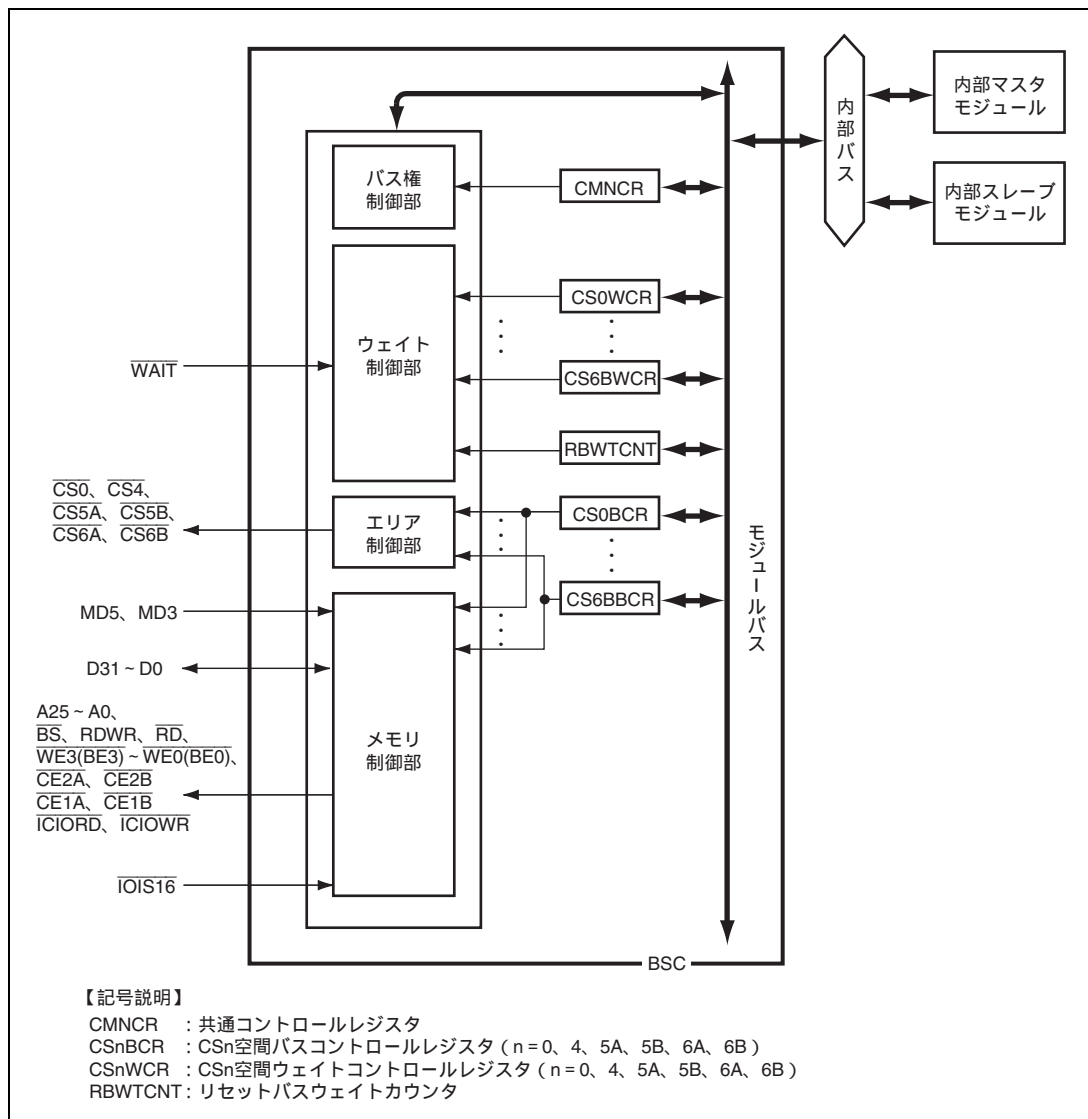


図 11.1 バスステートコントローラのブロック図

## 11.2 入出力端子

BSC の端子構成を表 11.1 に示します。

表 11.1 端子構成

端子名	入出力	機能
A25 ~ A0	出力	アドレスバス
D31 ~ D0	入出力	データバス
BS	出力	バスサイクルの開始を示す信号 通常空間、バースト ROM (クロック非同期)、および PCMCIA アクセス時にアサートされます。
$\overline{CS0}$ 、 $\overline{CS4}$	出力	チップセレクト
$\overline{CS5A/CE2A}$	出力	チップセレクト アドレスマップ 1 のときのみアクティブ PCMCIA 使用時は、PCMCIA カードセレクト信号 D15 ~ D8 対応
$\overline{CS5B/CE1A}$	出力	チップセレクト PCMCIA 使用時は、PCMCIA カードセレクト信号 D7 ~ D0 対応
$\overline{CS6A/CE2B}$	出力	チップセレクト アドレスマップ 1 のときのみアクティブ PCMCIA 使用時は、PCMCIA カードセレクト信号 D15 ~ D8 対応
$\overline{CS6B/CE1B}$	出力	チップセレクト PCMCIA 使用時は、PCMCIA カードセレクト信号 D7 ~ D0 対応
RDWR	出力	リードまたはライト信号 バイト選択付き SRAM 接続時は、 $\overline{WE}$ 端子に接続
RD	出力	リードパルス信号 (リードデータ出力許可信号) PCMCIA 使用時は、メモリリードサイクルを示すストロープ信号
$\overline{WE3(BE3)/\overline{CIOWR}}$	出力	D31 ~ D24 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 PCMCIA 使用時は、I/O ライトを示すストロープ信号
$\overline{WE2(BE2)/\overline{CIORD}}$	出力	D23 ~ D16 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 PCMCIA 使用時は、I/O リードを示すストロープ信号
$\overline{WE1(BE1)/\overline{WE}}$	出力	D15 ~ D8 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 PCMCIA 使用時は、メモリライトサイクルを示すストロープ信号

## 11. バスステートコントローラ (BSC)

---

端子名	入出力	機能
WE0(BE0)	出力	D7～D0 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続
IOIS16	入力	PCMCIA の 16 ビット I/O を示す信号 リトルエンディアン時のみ有効 ビッグエンディアン時は、ローレベルにしてください。
WAIT	入力	外部ウェイト入力
MD5、MD3	入力	MD5：データアライメント（ビッグまたはリトルエンディアンの選択） MD3：エリア 0 のバス幅（16/32 ビット）、HPD[47:32]/D[31:16]の選択

### 11.3 エリアの概要

#### 11.3.1 空間分割

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しています。このうち上位 3 ビットで P0～P4 領域に分類され、キャッシュアクセス方法を表します。詳細は、「第 8 章 キャッシュ」を参照ください。残り 29 ビットは、CMNCR レジスタの MAP ビットにより、10 空間（アドレスマップ 1）あるいは 8 空間（アドレスマップ 2）に分類されています。BSC は、本 29 ビットの空間の制御を行います。

本 LSI は、表 11.2、表 11.3 に示すように物理空間の 8 空間あるいは 6 空間にそれぞれ各種メモリを接続でき、おのおのに対応してチップセレクト信号（ $\overline{CS0}$ 、 $\overline{HPCS2}$ 、 $\overline{HPCS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5A}$ 、 $\overline{CS5B}$ 、 $\overline{CS6A}$ 、および  $\overline{CS6B}$ ）を出力します。エリア 0 のアクセス時には  $\overline{CS0}$  がアサートします。また、アドレスマップ 1 選択時はエリア 5A のアクセス時に  $\overline{CS5A}$  がアサートし、アドレスマップ 2 選択時は  $\overline{CS5B}$  がアサートします。

### 11.3.2 シャドウ空間

エリア0、2~4、5A/5B、および6A/6Bは、物理アドレスのA28~A25でデコードされ、000~110のエリアに対応します。アドレスのA31~A29は、無視されます。このため、たとえば、エリア0のアドレスの範囲はH'00000000~H'03FFFFFFなのに対し、H'20000000×n (n=1~6)を加えたP1~P3領域のアドレス空間はシャドウ空間となります。

また、エリア7のアドレスの範囲は、H'1C000000~H'1FFFFFFFです。エリア7のシャドウ空間に相当するアドレスを含めてH'1C000000+H'20000000×n~H'1FFFFFFF+H'20000000×n (n=0~6)は予約空間ですので、使用しないでください。

P4領域 (H'E0000000~H'EFFFFFFFFF)は、I/O領域であり、内蔵レジスタ等のアドレスが割り付けてあります。シャドウ空間にはなりません。

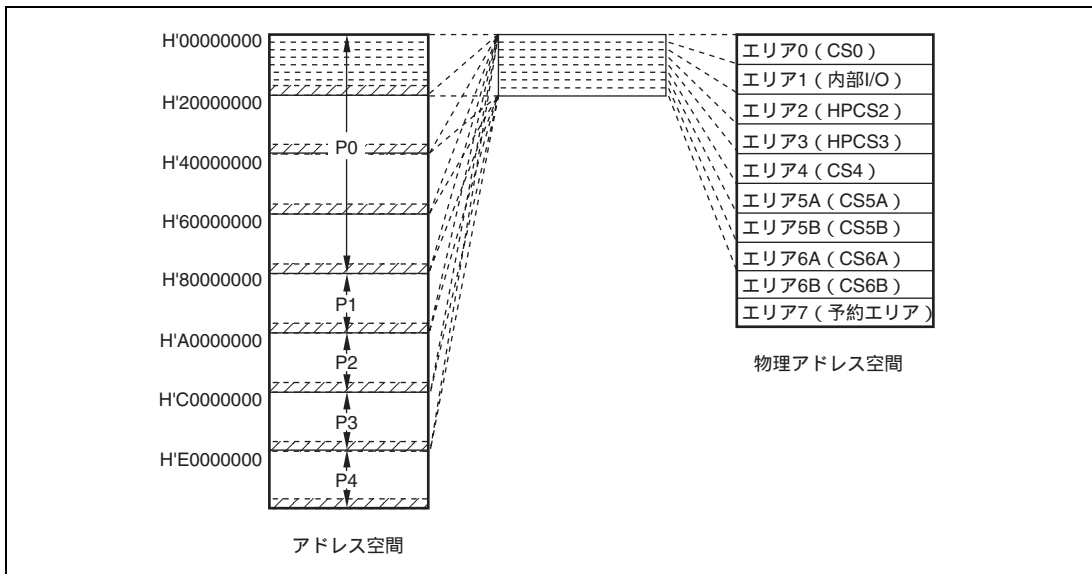


図 11.2 アドレス空間

## 11. バスステートコントローラ (BSC)

### 11.3.3 アドレスマップ

外部アドレス空間は合計 384M バイトあり、これを 8 空間 (アドレスマップ 1) または 6 空間 (アドレスマップ 2) の部分空間に分割して使用します。接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 11.2 アドレスマップ 1 (CMNCR.MAP[1:0]=B'00)

アドレス	空間	メモリ種類	サイズ
H'00000000 ~ H'03FFFFFF	エリア 0	通常空間 バースト ROM (非同期) バイト選択付き SRAM	64M バイト
H'04000000 ~ H'07FFFFFF	エリア 1	内蔵 I/O レジスタ空間 <sup>*2</sup>	64M バイト
H'08000000 ~ H'0BFFFFFF	エリア 2	SDRAM <sup>*3</sup>	64M バイト
H'0C000000 ~ H'0FFFFFFF	エリア 3	SDRAM <sup>*3</sup>	64M バイト
H'10000000 ~ H'13FFFFFF	エリア 4	通常空間 バイト選択付き SRAM バースト ROM (非同期)	64M バイト
H'14000000 ~ H'15FFFFFF	エリア 5A	通常空間	32M バイト
H'16000000 ~ H'17FFFFFF	エリア 5B	通常空間 バイト選択付き SRAM	32M バイト
H'18000000 ~ H'19FFFFFF	エリア 6A	通常空間	32M バイト
H'1A000000 ~ H'1BFFFFFF	エリア 6B	通常空間 バイト選択付き SRAM	32M バイト
H'1C000000 ~ H'1FFFFFFF	エリア 7	予約エリア <sup>*1</sup>	64M バイト

【注】 \*1 予約エリアは、アクセスしないでください。アクセスした場合は、動作の保証はできません。

\*2 内部 I/O レジスタは、アドレスの先頭 3 ビットを 101 として P2 領域に配置してください。

\*3 エリア 2、3 は SDRAM 用バスステートコントローラ (SBSC) により制御されます。

表 11.3 アドレスマップ 2 (CMNCR.MAP[1:0]=B'01)

アドレス	空間	メモリ種類	サイズ
H'00000000 ~ H'03FFFFFF	エリア 0	通常空間 バースト ROM (非同期)	64M バイト
H'04000000 ~ H'07FFFFFF	エリア 1	内蔵 I/O レジスタ空間*3	64M バイト
H'08000000 ~ H'0BFFFFFF	エリア 2	SDRAM*4	64M バイト
H'0C000000 ~ H'0FFFFFFF	エリア 3	SDRAM*4	64M バイト
H'10000000 ~ H'13FFFFFF	エリア 4	通常空間 バイト選択付き SRAM バースト ROM (非同期)	64M バイト
H'14000000 ~ H'17FFFFFF	エリア 5*2	通常空間 バイト選択付き SRAM PCMCIA	64M バイト
H'18000000 ~ H'1BFFFFFF	エリア 6*2	通常空間 バイト選択付き SRAM PCMCIA	64M バイト
H'1C000000 ~ H'1FFFFFFF	エリア 7	予約エリア*1	64M バイト

【注】 \*1 予約エリアは、アクセスしないでください。アクセスした場合は、動作の保証はできません。

\*2 エリア 5 空間は、CS5BBCR および CS5BWCR レジスタが有効になります。

エリア 6 空間は、CS6BBCR および CS6BWCR レジスタが有効になります。

\*3 内部 I/O レジスタは、アドレスの先頭 3 ビットを 101 として P2 領域に配置してください。

\*4 エリア 2、3 は SDRAM 用バスステートコントローラ (SBSC) により制御されます。

### 11.3.4 メモリバス幅の設定

本 LSI のメモリバス幅は、空間ごとに設定できます。エリア 0 では、パワーオンリセット時に外部端子 (MD3) を用いてバスサイズを 16 ビット、32 ビットから選択できます。それ以外のエリアは、レジスタで設定します。パワーオンリセット時のエリア 0 メモリタイプは、通常空間となります。

本 LSI では、データバスの上位 16 ビット D[31:16]は SBSC のデータバス HPD[47:32]とマルチプレクスされており、パワーオンリセット時に MD3 端子で選択します。

表 11.4 外部端子 (MD3) とバス幅の対応

MD3	エリア 0 バス幅	HPD[47:32]/D[31:16]の選択
0	16 ビット	HPD[47:32]を選択
1	32 ビット	D[31:16]を選択

## 11. バスステートコントローラ (BSC)

### 11.3.5 データアライメント

本 LSI では、データアライメントとしてビッグエンディアンとリトルエンディアンをサポートします。データアライメントは、パワーオンリセット時の外部端子 (MD5) で決まります。

表 11.5 外部端子 (MD5) とエンディアン対応

MD5	データアライメント
0	ビッグエンディアン
1	リトルエンディアン

## 11.4 レジスタの説明

BSC のレジスタ構成を表 11.6 に示します。また、各処理モードにおけるレジスタの状態を表 11.7 に示します。メモリとのインタフェースの設定が終了するまでは、CS0 空間以外はアクセスしないでください。

表 11.6 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
共通コントロールレジスタ	CMNCR	R/W	H'FEC1 0000	32
CS0 空間バスコントロールレジスタ	CS0BCR	R/W	H'FEC1 0004	32
CS4 空間バスコントロールレジスタ	CS4BCR	R/W	H'FEC1 0010	32
CS5A 空間バスコントロールレジスタ	CS5ABCR	R/W	H'FEC1 0014	32
CS5B 空間バスコントロールレジスタ	CS5BBCR	R/W	H'FEC1 0018	32
CS6A 空間バスコントロールレジスタ	CS6ABCR	R/W	H'FEC1 001C	32
CS6B 空間バスコントロールレジスタ	CS6BBCR	R/W	H'FEC1 0020	32
CS0 空間ウェイトコントロールレジスタ	CS0WCR	R/W	H'FEC1 0024	32
CS4 空間ウェイトコントロールレジスタ	CS4WCR	R/W	H'FEC1 0030	32
CS5A 空間ウェイトコントロールレジスタ	CS5AWCR	R/W	H'FEC1 0034	32
CS5B 空間ウェイトコントロールレジスタ	CS5BWCR	R/W	H'FEC1 0038	32
CS6A 空間ウェイトコントロールレジスタ	CS6AWCR	R/W	H'FEC1 003C	32
CS6B 空間ウェイトコントロールレジスタ	CS6BWCR	R/W	H'FEC1 0040	32
リセットバスウェイトカウンタ	RBWTCNT	-	H'FEC1 0054	32



表 11.7 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
CMNCR	初期化	保持	保持	-	初期化	保持
CS0BCR	初期化	保持	保持	-	初期化	保持
CS4BCR	初期化	保持	保持	-	初期化	保持
CS5ABCR	初期化	保持	保持	-	初期化	保持
CS5BBCR	初期化	保持	保持	-	初期化	保持
CS6ABCR	初期化	保持	保持	-	初期化	保持
CS6BBCR	初期化	保持	保持	-	初期化	保持
CS0WCR	初期化	保持	保持	-	初期化	保持
CS4WCR	初期化	保持	保持	-	初期化	保持
CS5AWCR	初期化	保持	保持	-	初期化	保持
CS5BWCR	初期化	保持	保持	-	初期化	保持
CS6AWCR	初期化	保持	保持	-	初期化	保持
CS6BWCR	初期化	保持	保持	-	初期化	保持
RBWTCNT	初期化	保持	保持	-	初期化	保持

## 11. バスステートコントローラ (BSC)

### 11.4.1 共通コントロールレジスタ (CMNCR)

本レジスタは、各エリアに共通の制御を行う 32 ビットのレジスタです。

レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MAP[1:0]		—	—	—	—	—	—	—	—	END IAN	—	HIZ MEM	HIZ CNT
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0/1*	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
13、12	MAP[1:0]	00	R/W	空間設定 本ビットにより、外部アドレス空間のアドレスマップを選択します。選択できるアドレスマップについては、表 11.2、表 11.3 を参照してください。 00: アドレスマップ 1 を選択 01: アドレスマップ 2 を選択 10: リザーブ(設定禁止) 11: リザーブ(設定禁止)
11~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込み時も常に 1 にしてください。
3	ENDIAN	0/1*	R	エンディアンフラグ 本ビットは、パワーオンリセット時にエンディアン設定の外部端子 (MD5) の値をサンプリングします。全空間のエンディアンは、このビットで決定されます。本ビットは、読み出し専用です。 0: パワーオンリセット時にエンディアン設定の外部端子 (MD5) がローレベルであり、本 LSI がビッグエンディアンとして動作 1: パワーオンリセット時にエンディアン設定の外部端子 (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして動作
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む時も常に 0 にしてください。

## 11. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
1	HIZMEM	0	R/W	Hi-Zメモリコントロール 本ビットは、A25~0、 $\overline{BS}$ 、 $\overline{CSn}$ 、RDWR、 $\overline{WEn}$ ( $\overline{BEn}$ )、および $\overline{RD}$ のスタンバイモード時の端子状態を指定します。 0: スタンバイモード時にハイインピーダンス 1: スタンバイモード時にドライブ
0	HIZCNT	0	R/W	Hi-Zコントロール 本ビットは、CKO のスタンバイモード時の状態を指定します。 0: CKO は、スタンバイモード時にハイインピーダンス 1: CKO は、スタンバイモード時にドライブ

【注】 \* エンディアンを指定する外部端子 (MD5) の値をパワーオンリセット時にサンプリングビッグエンディアンのときは0、リトルエンディアンのときは1となります。

### 11.4.2 CSn 空間バスコントロールレジスタ (CSnBCR)

本レジスタは、各空間に接続するメモリの種類、空間のデータバス幅、およびアクセスサイクル間ウェイト数を設定します。レジスタの初期設定が終了するまでは、エリア0以外の外部メモリをアクセスしないでください。  
(n=0、4、5A、5B、6A、6B)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	IWW[2:0]		IWRWD[2:0]		IWRWS[2:0]		IWRRD[2:0]		IWRRS[2:0]						
初期値:	0	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TYPE[3:0]			—	BSZ[1:0]		—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	1*	1*	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

## 11. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
30~28	IWW[2:0]	011	R/W	<p>ライト - リード / ライト - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト - リードサイクルとライト - ライトサイクルの場合です。</p> <p>000 : リザーブビット            001 : 1 アイドルサイクル挿入            010 : 2 アイドルサイクル挿入            011 : 4 アイドルサイクル挿入            100 : 6 アイドルサイクル挿入            101 : 8 アイドルサイクル挿入            110 : 10 アイドルサイクル挿入            111 : 12 アイドルサイクル挿入</p>
27~25	IWRWD [2:0]	011	R/W	<p>別空間リード - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし            001 : 1 アイドルサイクル挿入            010 : 2 アイドルサイクル挿入            011 : 4 アイドルサイクル挿入            100 : 6 アイドルサイクル挿入            101 : 8 アイドルサイクル挿入            110 : 10 アイドルサイクル挿入            111 : 12 アイドルサイクル挿入</p>
24~22	IWRWS [2:0]	011	R/W	<p>同一空間リード - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし            001 : 1 アイドルサイクル挿入            010 : 2 アイドルサイクル挿入            011 : 4 アイドルサイクル挿入            100 : 6 アイドルサイクル挿入            101 : 8 アイドルサイクル挿入            110 : 10 アイドルサイクル挿入            111 : 12 アイドルサイクル挿入</p>

## 11. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
21 ~ 19	IWRRD [2:0]	011	R/W	<p>別空間リード - リードサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - リードサイクルの場合です。</p> <p>000 : アイドルサイクルなし                      001 : 1 アイドルサイクル挿入                      010 : 2 アイドルサイクル挿入                      011 : 4 アイドルサイクル挿入                      100 : 6 アイドルサイクル挿入                      101 : 8 アイドルサイクル挿入                      110 : 10 アイドルサイクル挿入                      111 : 12 アイドルサイクル挿入</p>
18 ~ 16	IWRRS [2:0]	011	R/W	<p>同一空間リード - リードサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - リードサイクルの場合です。</p> <p>000 : アイドルサイクルなし                      001 : 1 アイドルサイクル挿入                      010 : 2 アイドルサイクル挿入                      011 : 4 アイドルサイクル挿入                      100 : 6 アイドルサイクル挿入                      101 : 8 アイドルサイクル挿入                      110 : 10 アイドルサイクル挿入                      111 : 12 アイドルサイクル挿入</p>
15 ~ 12	TYPE [3:0]	0000	R/W	<p>メモリ種類指定</p> <p>本ビットは、空間に接続するメモリの種類を設定します。</p> <p>0000 : 通常空間                      0001 : バースト ROM (クロック非同期)                      0010 : 予約 (設定不可)                      0011 : バイト選択付き SRAM                      0100 : 予約 (設定不可)                      0101 : PCMCIA                      0110 : 予約 (設定不可)                      0111 : 予約 (設定不可)                      1000 ~ 1111 : 予約 (設定不可)</p> <p>【注】 エリア 0 のリセット直後のメモリタイプは、通常空間となります。本ビットで通常空間、バースト ROM (クロック非同期) から選択可能です。</p> <p>エリアごとのメモリタイプは表 11.2、表 11.3 を参照ください。</p>

## 11. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
11		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10, 9	BSZ[1:0]	11*	R/W	データバス幅指定 本ビットは、空間のデータバス幅を指定します。 00 : 予約 (設定不可) 01 : 8 ビット 10 : 16 ビット 11 : 32 ビット  【注】1. エリア0のデータバス幅は、外部入力端子で設定します。 CS0BCRのBSZ1、0ビットの設定は無視されます。 2. エリア5またはエリア6をPCMCIA空間に設定した場合は、バス幅は8または16ビットから設定が可能です。 3. BSCのCS0以外で32ビットデータバス幅を選択する場合は、MD3=HとしてCS0も32ビット幅に設定する必要があります。
8~0		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

【注】 \* CS0BCRは、バス幅を指定する外部端子 (MD3) の値をパワーオンリセット時にサンプリングします。

### 11.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR)

本レジスタは、メモリアクセスに関する各種ウェイトサイクルの設定を行います。本レジスタのビット構成は、CSn 空間バスコントロールレジスタ (CSnBCR) に設定したメモリ種類 (TYPE3、2、1、0) により、以下のように変わります。対象となるエリアをアクセスする前に設定してください。また、CSnWCRは、CSnBCRを設定後に設定してください。(n=0、4、5A、5B、6A、6B)

#### (1) 通常空間、バイト選択付きSRAM

- CS0WCR、CS6AWCR、CS6BWCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	BAS	—	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR SFIX	—	—	SW[1:0]		WR[3:0]			WM	—	—	—	—	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

## 11. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
31~21		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE_n}$ および RDWR 信号のタイミングを設定します。 0: $\overline{WE_n}$ は、リードライトタイミングでアサート RDWR は、ライトアクセスサイクル中アサート 1: $\overline{WE_n}$ は、リードライトアクセスサイクル中アサート RDWR は、ライトタイミングでアサート
19	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定(リードアクセスウェイト)と同じサイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15	ADRSFIX	0	R/W	アドレス更新抑止 ( $\overline{CS6A}$ のみ有効) 0: アドレス通常出力 1: バーストアクセスの2回目以降のアドレス更新を抑止
14, 13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 $\overline{CS_n}$ アサート $\overline{RD}$ 、 $\overline{WE_n}$ アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS_n}$ アサートから $\overline{RD}$ 、 $\overline{WE_n}$ アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

## 11. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : 0 サイクル            0001 : 1 サイクル            0010 : 2 サイクル            0011 : 3 サイクル            0100 : 4 サイクル            0101 : 5 サイクル            0110 : 6 サイクル            0111 : 8 サイクル            1000 : 10 サイクル            1001 : 12 サイクル            1010 : 14 サイクル            1011 : 18 サイクル            1100 : 24 サイクル            1101 : 設定禁止            1110 : 設定禁止            1111 : 設定禁止</p>
6	WM	0/1*	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト有効            1 : 外部ウェイト無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p><math>\overline{RD}</math>、<math>\overline{WE_n}</math> ネゲート アドレス、<math>\overline{CS_n}</math> ネゲート 遅延サイクル数</p> <p>本ビットは、<math>\overline{RD}</math>、<math>\overline{WE_n}</math> ネゲート から、アドレス、<math>\overline{CS_n}</math> ネゲート までの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル            01 : 1.5 サイクル            10 : 2.5 サイクル            11 : 3.5 サイクル</p>

【注】 \* CS0WCR の初期値は 0、CS6AWCR、CS6BWCR の初期値は 1



## 11. バスステートコントローラ (BSC)

### • CS4WCR、CS5AWCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	BAS	—	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SW[1:0]		WR[3:0]			WM	—	—	—	—	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WEn}$ および RDWR 信号のタイミングを設定します。 0: $\overline{WEn}$ は、リードライトタイミングでアサート RDWR は、ライトアクセスサイクル中アサート 1: $\overline{WEn}$ は、リードライトアクセスサイクル中アサート RDWR は、ライトタイミングでアサート
19	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定 (リードアクセスウェイト)と同じサイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

## 11. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
12、11	SW[1:0]	00	R/W	アドレス、 $\overline{CSn}$ アサート $\overline{RD}$ 、 $\overline{WEn}$ アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CSn}$ アサートから $\overline{RD}$ 、 $\overline{WEn}$ アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10~7	WR[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、リードアクセスに必要なサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止
6	WM	1	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1、0	HW[1:0]	00	R/W	$\overline{RD}$ 、 $\overline{WEn}$ ネゲート アドレス、 $\overline{CSn}$ ネゲート遅延サイクル数 本ビットは、 $\overline{RD}$ 、 $\overline{WEn}$ ネゲートから、アドレス、 $\overline{CSn}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

## 11. バスステートコントローラ (BSC)

### • CS5BWCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	BAS	—	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SW[1:0]		WR[3:0]			WM	—	—	—	—	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WEn}$ および RDWR 信号のタイミングを設定します。 0: $\overline{WEn}$ は、リードライトタイミングでアサート RDWR は、ライトアクセスサイクル中アサート 1: $\overline{WEn}$ は、リードライトアクセスサイクル中アサート RDWR は、ライトタイミングでアサート
19		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定 (リードアクセスウェイト) と同じサイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 $\overline{CSn}$ アサート $\overline{RD}$ 、 $\overline{WEn}$ アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CSn}$ アサートから $\overline{RD}$ 、 $\overline{WEn}$ アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

## 11. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードアクセスに必要なサイクル数を指定します。</p> <p>0000 : 0 サイクル            0001 : 1 サイクル            0010 : 2 サイクル            0011 : 3 サイクル            0100 : 4 サイクル            0101 : 5 サイクル            0110 : 6 サイクル            0111 : 8 サイクル            1000 : 10 サイクル            1001 : 12 サイクル            1010 : 14 サイクル            1011 : 18 サイクル            1100 : 24 サイクル            1101 : 設定禁止            1110 : 設定禁止            1111 : 設定禁止</p>
6	WM	1	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効            1 : 外部ウェイト入力無視</p>
5~2		すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1、0	HW[1:0]	00	R/W	<p><math>\overline{RD}</math>、<math>\overline{WE}</math> ネゲート アドレス、<math>\overline{CS}</math> ネゲート 遅延サイクル数</p> <p>本ビットは、<math>\overline{RD}</math>、<math>\overline{WE}</math> ネゲート から、アドレス、<math>\overline{CS}</math> ネゲート までの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル            01 : 1.5 サイクル            10 : 2.5 サイクル            11 : 3.5 サイクル</p>

## (2) パースト ROM (クロック非同期)

## • CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SW[1:0]	W[3:0]			WM	—	—	—	—	—	—	—	HW[1:0]
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
17、16	BW[1:0]	00	R/W	パーストウェイトサイクル数 本ビットは、パーストリードアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: 0サイクル 01: 1サイクル 10: 2サイクル 11: 3サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12、11	SW[1:0]	00	R/W	アドレス、CS $\bar{n}$ アサート RD、WE $\bar{n}$ アサート遅延サイクル数 本ビットは、アドレス、CS $\bar{n}$ アサートから RD、WE $\bar{n}$ アサートまでの遅延サイクル数を指定します。 00: 0.5サイクル 01: 1.5サイクル 10: 2.5サイクル 11: 3.5サイクル

## 11. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、ライトサイクルおよび1回目のリードアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>0000 : 0 サイクル            0001 : 1 サイクル            0010 : 2 サイクル            0011 : 3 サイクル            0100 : 4 サイクル            0101 : 5 サイクル            0110 : 6 サイクル            0111 : 8 サイクル            1000 : 10 サイクル            1001 : 12 サイクル            1010 : 14 サイクル            1011 : 18 サイクル            1100 : 24 サイクル            1101 : 設定禁止            1110 : 設定禁止            1111 : 設定禁止</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効            1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>RD、WE<math>\bar{n}</math> ネゲート アドレス、CS<math>\bar{n}</math> ネゲート 遅延サイクル数</p> <p>本ビットは、RD、WE<math>\bar{n}</math> ネゲートから、アドレス、CS<math>\bar{n}</math> ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル            01 : 1.5 サイクル            10 : 2.5 サイクル            11 : 3.5 サイクル</p>

## 11. バスステートコントローラ (BSC)

### • CS4WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SW[1:0]	W[3:0]			WM	—	—	—	—	—	—	—	HW[1:0]
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~18		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
17、16	BW[1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストリードアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: 0サイクル 01: 1サイクル 10: 2サイクル 11: 3サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12、11	SW[1:0]	00	R/W	アドレス、CS $\bar{n}$ アサート $\overline{RD}$ 、 $\overline{WEn}$ アサート遅延サイクル数 本ビットは、アドレス、CS $\bar{n}$ アサートから、 $\overline{RD}$ 、 $\overline{WEn}$ アサートまでの遅延サイクル数を指定します。 00: 0.5サイクル 01: 1.5サイクル 10: 2.5サイクル 11: 3.5サイクル

## 11. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、ライトサイクルおよび1回目のリードアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>0000 : 0 サイクル            0001 : 1 サイクル            0010 : 2 サイクル            0011 : 3 サイクル            0100 : 4 サイクル            0101 : 5 サイクル            0110 : 6 サイクル            0111 : 8 サイクル            1000 : 10 サイクル            1001 : 12 サイクル            1010 : 14 サイクル            1011 : 18 サイクル            1100 : 24 サイクル            1101 : 設定禁止            1110 : 設定禁止            1111 : 設定禁止</p>
6	WM	1	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効            1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>RD、WE<math>\bar{n}</math> ネゲート アドレス、CS<math>\bar{n}</math> ネゲート 遅延サイクル数</p> <p>本ビットは、RD、WE<math>\bar{n}</math> ネゲートから、アドレス、CS<math>\bar{n}</math> ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル            01 : 1.5 サイクル            10 : 2.5 サイクル            11 : 3.5 サイクル</p>



## (3) PCMCIA

- CS5BWCR、CS6BWCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	SA[1:0]	—	—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	TED[3:0]			PCW[3:0]			WM	—	—	TEH[3:0]			—	—	—	—
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0	
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
21 20	SA1 SA0	0 0	R/W R/W	空間属性指定 PCMCIA インタフェース設定時は、本ビットによりメモリカードインタフェースおよび I/O カードインタフェースのいずれかを指定します。 SA1 0: A25=1 の空間をメモリカードインタフェース指定 1: A25=1 の空間を I/O カードインタフェース指定 SA0 0: A25=0 の空間をメモリカードインタフェース指定 1: A25=0 の空間を I/O カードインタフェース指定
19~15	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

## 11. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
14~11	TED[3:0]	0000	R/W	<p>アドレス - <math>\overline{RD}</math>、<math>\overline{WE}</math> アサート遅延</p> <p>本ビットは、PCMCIA インタフェースにおけるアドレス出力から <math>\overline{RD}</math> と <math>\overline{WE}</math> アサートまでの遅延時間を設定します。</p> <p>0000 : 0.5 サイクル            0001 : 1.5 サイクル            0010 : 2.5 サイクル            0011 : 3.5 サイクル            0100 : 4.5 サイクル            0101 : 5.5 サイクル            0110 : 6.5 サイクル            0111 : 7.5 サイクル            1000 : 8.5 サイクル            1001 : 9.5 サイクル            1010 : 10.5 サイクル            1011 : 11.5 サイクル            1100 : 12.5 サイクル            1101 : 13.5 サイクル            1110 : 14.5 サイクル            1111 : 15.5 サイクル</p>
10~7	PCW[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、挿入ウェイトステート数を設定します。</p> <p>0000 : 3 サイクル            0001 : 6 サイクル            0010 : 9 サイクル            0011 : 12 サイクル            0100 : 15 サイクル            0101 : 18 サイクル            0110 : 22 サイクル            0111 : 26 サイクル            1000 : 30 サイクル            1001 : 33 サイクル            1010 : 36 サイクル            1011 : 38 サイクル            1100 : 52 サイクル            1101 : 60 サイクル            1110 : 64 サイクル            1111 : 80 サイクル</p>

## 11. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
6	WM	1	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。 アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5, 4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
3~0	THE[3:0]	0000	R/W	RD、WE ネゲート - アドレス遅延 本ビットは、PCMCIA インタフェースにおける RD と WE ネゲートからのアドレスホールド時間を設定します。 0000 : 0.5 サイクル 0001 : 1.5 サイクル 0010 : 2.5 サイクル 0011 : 3.5 サイクル 0100 : 4.5 サイクル 0101 : 5.5 サイクル 0110 : 6.5 サイクル 0111 : 7.5 サイクル 1000 : 8.5 サイクル 1001 : 9.5 サイクル 1010 : 10.5 サイクル 1011 : 11.5 サイクル 1100 : 12.5 サイクル 1101 : 13.5 サイクル 1110 : 14.5 サイクル 1111 : 15.5 サイクル

### 11.4.4 リセットバスウェイトカウンタ (RBWTCNT)

RBWTCNT は、7 ビットのカウンタです。パワーオンリセット解除後、CKO に同期してカウントアップを開始し、レジスタの値が H'7F になるとカウントアップを停止します。本レジスタがカウントアップを行っている間は、外部バスへのアクセスが待たされます。フラッシュメモリ等のリセット解除から最初のアクセスまでの最小時間を確保するために、本レジスタは存在します。本レジスタへの読み出し、書き込みは行えません。

## 11.5 動作説明

### 11.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部端子 (MD5) でパワーオンリセット時に設定します。パワーオンリセット時、MD5 端子がローレベルのときビッグエンディアンになり、MD5 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリ、バイト選択付き SRAM としては 8 ビット、16 ビット、および 32 ビット幅の 3 種類から選べます。PCMCIA インタフェースの場合は、8 ビットおよび 16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンにあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには、4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 11.8 ~ 表 11.13 に示します。

表 11.8 32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

オペレーション	データバス ストロープ信号							
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3)	WE2(BE2)	WE1(BE1)	WE0(BE0)
0 番地バイトアクセス	データ 7~0	-	-	-	アサート	-	-	-
1 番地バイトアクセス	-	データ 7~0	-	-	-	アサート	-	-
2 番地バイトアクセス	-	-	データ 7~0	-	-	-	アサート	-
3 番地バイトアクセス	-	-	-	データ 7~0	-	-	-	アサート
0 番地ワードアクセス	データ 15~8	データ 7~0	-	-	アサート	アサート	-	-
2 番地ワードアクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地ロング ワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 11.9 16ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3)	WE2(BE2)	WE1(BE1)	WE0(BE0)
0番地バイトアクセス		-	-	データ 7~0	-	-	-	アサート	-
1番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
2番地バイトアクセス		-	-	データ 7~0	-	-	-	アサート	-
3番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
0番地ワードアクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2番地ワードアクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0番地 ロング ワード アクセス	1回目 (0番地)	-	-	データ 31~24	データ 23~16	-	-	アサート	アサート
	2回目 (2番地)	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート

## 11. バスステートコントローラ (BSC)

表 11.10 8ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3)	WE2(BE2)	WE1(BE1)	WE0(BE0)
0番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
1番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
2番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
3番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
0番地 ワード アクセス	1回目 (0番地)	-	-	-	データ 15~8	-	-	-	アサート
	2回目 (1番地)	-	-	-	データ 7~0	-	-	-	アサート
2番地 ワード アクセス	1回目 (2番地)	-	-	-	データ 15~8	-	-	-	アサート
	2回目 (3番地)	-	-	-	データ 7~0	-	-	-	アサート
0番地 ロング ワード アクセス	1回目 (0番地)	-	-	-	データ 31~24	-	-	-	アサート
	2回目 (1番地)	-	-	-	データ 23~16	-	-	-	アサート
	3回目 (2番地)	-	-	-	データ 15~8	-	-	-	アサート
	4回目 (3番地)	-	-	-	データ 7~0	-	-	-	アサート

11. バスステートコントローラ (BSC)

表 11.11 32 ビット外部デバイス / リトルエンディアンへのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3)	WE2(BE2)	WE1(BE1)	WE0(BE0)
0 番地バイトアクセス	-	-	-	データ 7~0	-	-	-	アサート
1 番地バイトアクセス	-	-	データ 7~0	-	-	-	アサート	-
2 番地バイトアクセス	-	データ 7~0	-	-	-	アサート	-	-
3 番地バイトアクセス	データ 7~0	-	-	-	アサート	-	-	-
0 番地ワードアクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2 番地ワードアクセス	データ 15~8	データ 7~0	-	-	アサート	アサート	-	-
0 番地ロングワード アクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 11.12 16 ビット外部デバイス / リトルエンディアンへのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3)	WE2(BE2)	WE1(BE1)	WE0(BE0)
0 番地バイトアクセス	-	-		データ 7~0	-	-	-	アサート
1 番地バイトアクセス	-	-	データ 7~0		-	-	アサート	-
2 番地バイトアクセス	-	-		データ 7~0	-	-	-	アサート
3 番地バイトアクセス	-	-	データ 7~0		-	-	アサート	-
0 番地ワードアクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2 番地ワードアクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	データ 15~8	データ 7~0	-		アサート	アサート
	2 回目 (2 番地)	-	データ 31~24	データ 23~16	-		アサート	アサート

## 11. バスステートコントローラ (BSC)

表 11.13 8ビット外部デバイス/リトルエンディアンへのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3)	WE2(BE2)	WE1(BE1)	WE0(BE0)
0番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
1番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
2番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
3番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
0番地 ワード アクセス	1回目 (0番地)	-	-	-	データ 7~0	-	-	-	アサート
	2回目 (1番地)	-	-	-	データ 15~8	-	-	-	アサート
2番地 ワード アクセス	1回目 (2番地)	-	-	-	データ 7~0	-	-	-	アサート
	2回目 (3番地)	-	-	-	データ 15~8	-	-	-	アサート
0番地 ロング ワード アクセス	1回目 (0番地)	-	-	-	データ 7~0	-	-	-	アサート
	2回目 (1番地)	-	-	-	データ 15~8	-	-	-	アサート
	3回目 (2番地)	-	-	-	データ 23~16	-	-	-	アサート
	4回目 (3番地)	-	-	-	データ 31~24	-	-	-	アサート



## 11.5.2 通常空間インタフェース

## (1) 基本タイミング

通常空間アクセスは、おもにバイト選択端子のないSRAMの直結を考慮してストローブ信号を出力します。バイト選択付き端子のあるSRAMを使用する場合は、「11.5.6 バイト選択付きSRAMインタフェース」を参照ください。図11.3に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2サイクルで終了します。 $\overline{BS}$ 信号はバスサイクルの開始を表し、1サイクルアサートされます。

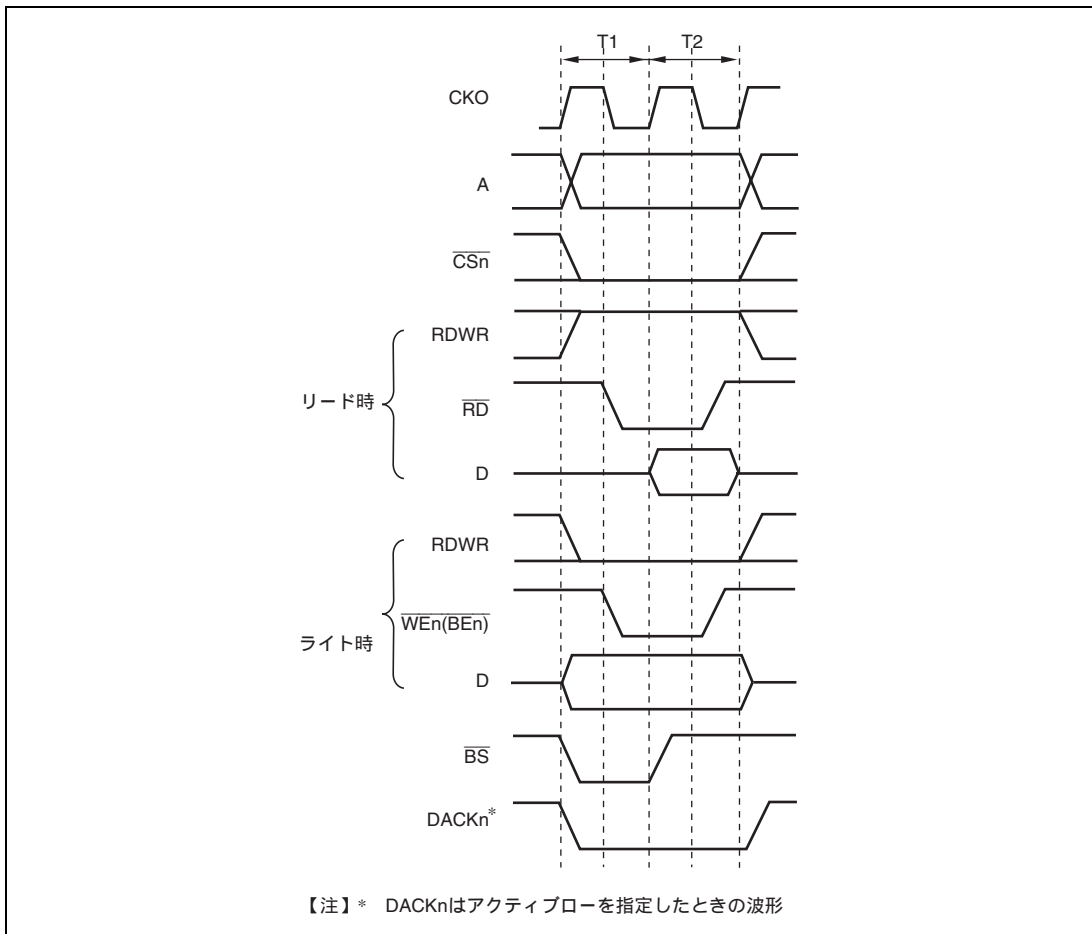


図 11.3 通常空間基本アクセス (アクセスウェイト 0)

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますがアクセスサイズの指定がないので、32ビットデバイスでは32ビットを、16ビットデバイスでは16ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの $\overline{WE_n}$ ( $\overline{BE_n}$ )信号のみがアサートされます。

## 11. バスステートコントローラ (BSC)

データバスにバッファを設ける場合には、 $\overline{RD}$  を用いてリードデータの出力制御を行う必要があります。RDWR 信号は、アクセスを行っていないときはリード状態 (ハイレベル出力) となっているため、これを用いて外付けデータバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

図 11.4、図 11.5 に通常空間連続アクセスの例を示します。CSnWCR.WM ビットを 0 に設定すると、外部ウェイトを評価するために 1 サイクル T<sub>nop</sub> が挿入されます (図 11.4)。しかし、CSnWCR.WM ビットを 1 に設定すると、外部ウェイトが無視され T<sub>nop</sub> サイクルの挿入を抑止することができます (図 11.5)。

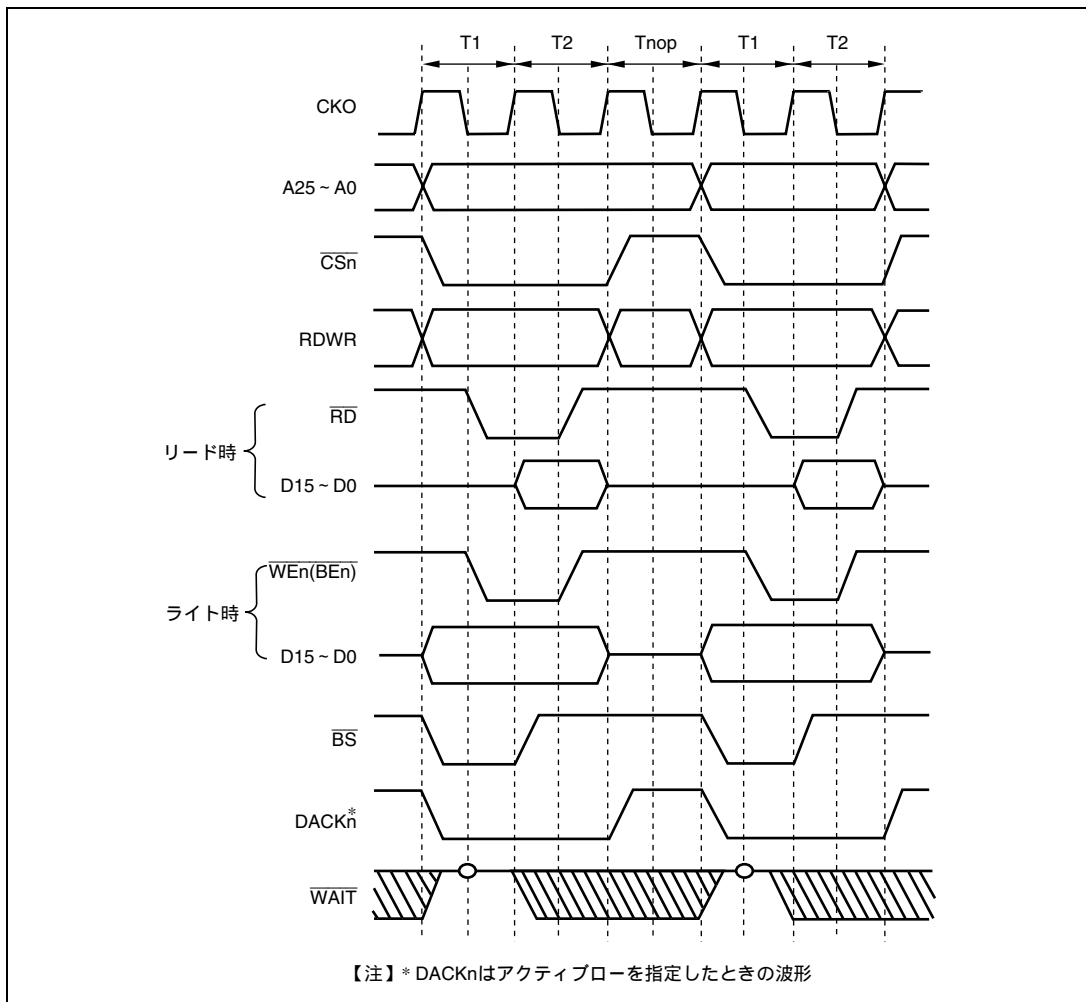


図 11.4 通常空間連続アクセス例 1  
 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 0  
 (アクセスウェイト 0、サイクル間ウェイト 0)

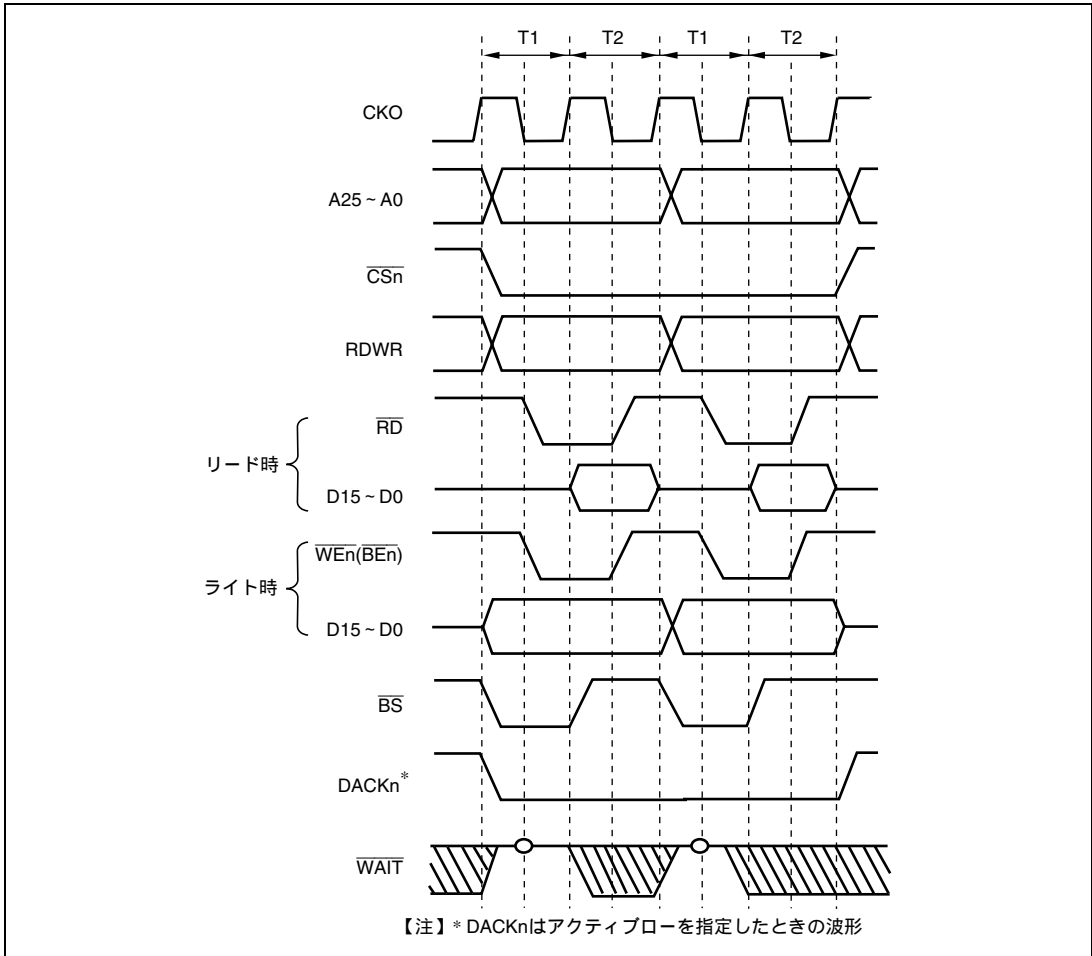


図 11.5 通常空間連続アクセス例 2  
 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 1  
 (アクセスウェイト 0、サイクル間ウェイト 0)

## 11. バスステートコントローラ (BSC)

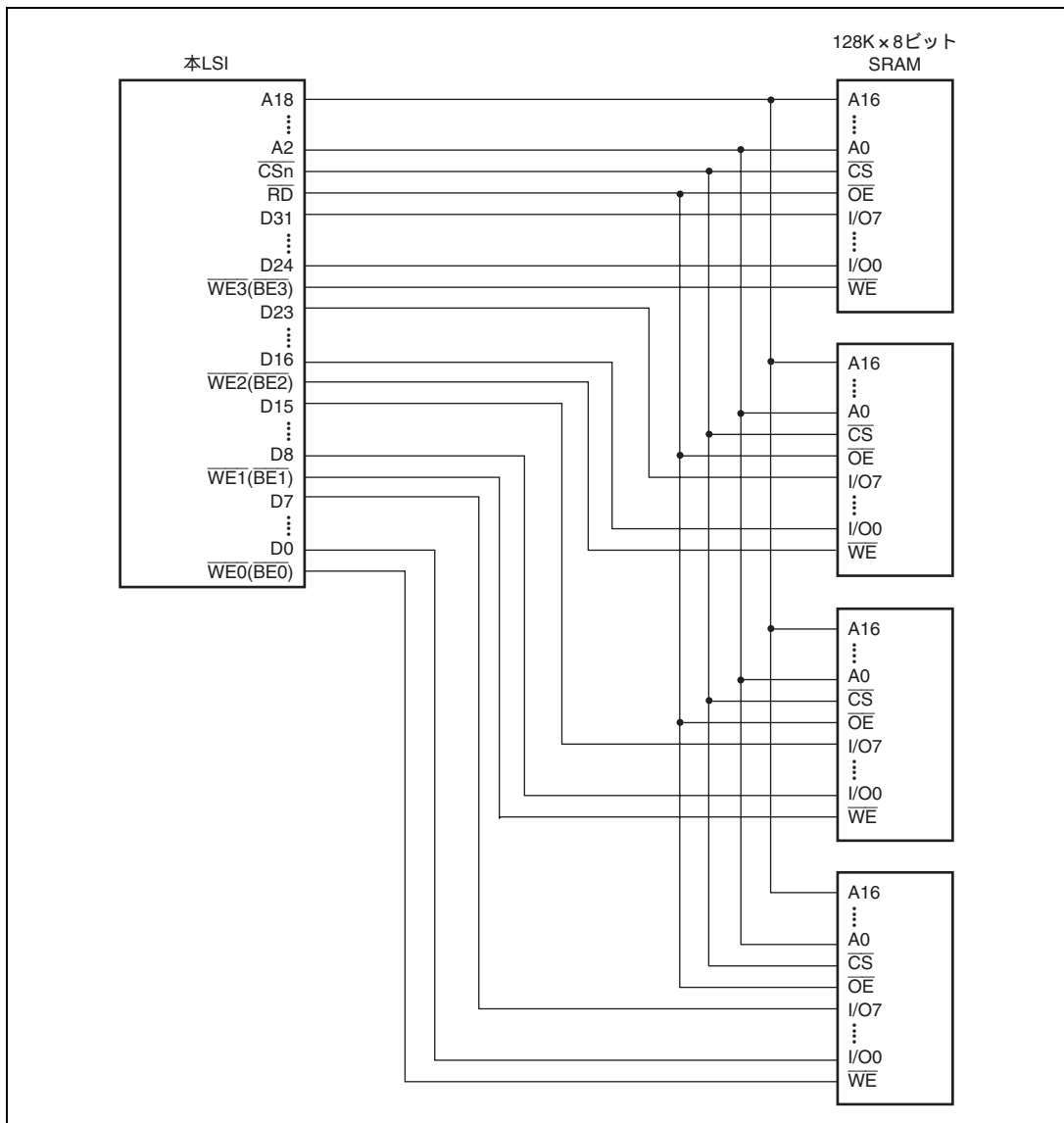


図 11.6 32 ビットデータ幅 SRAM 接続例

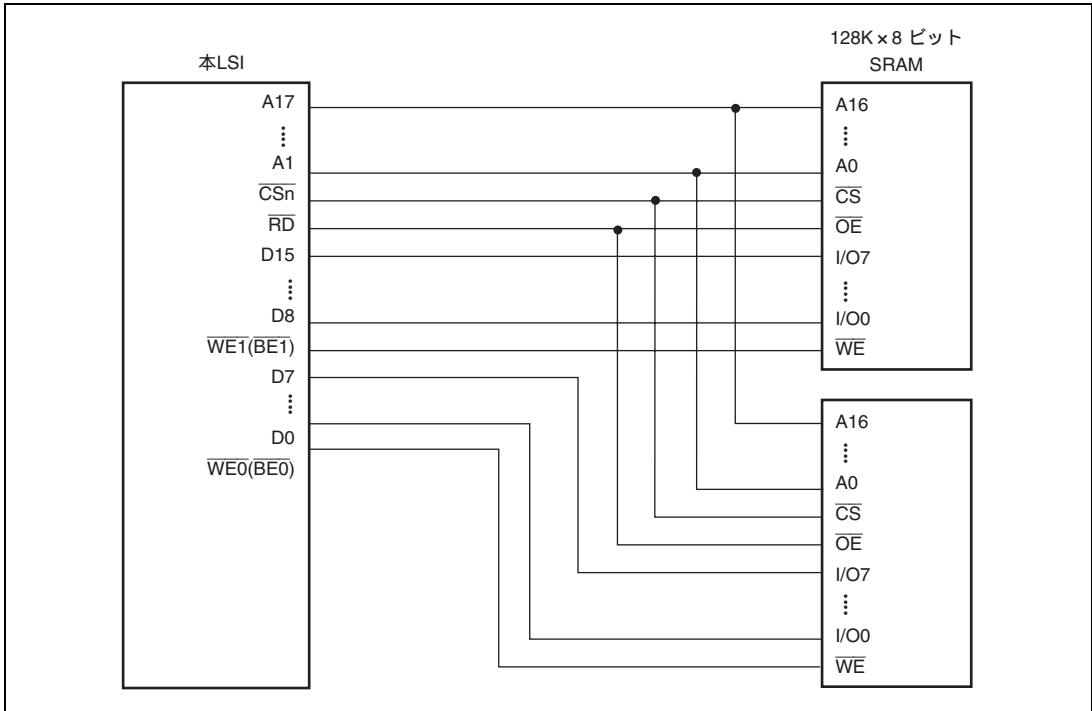


図 11.7 16 ビットデータ幅 SRAM 接続例

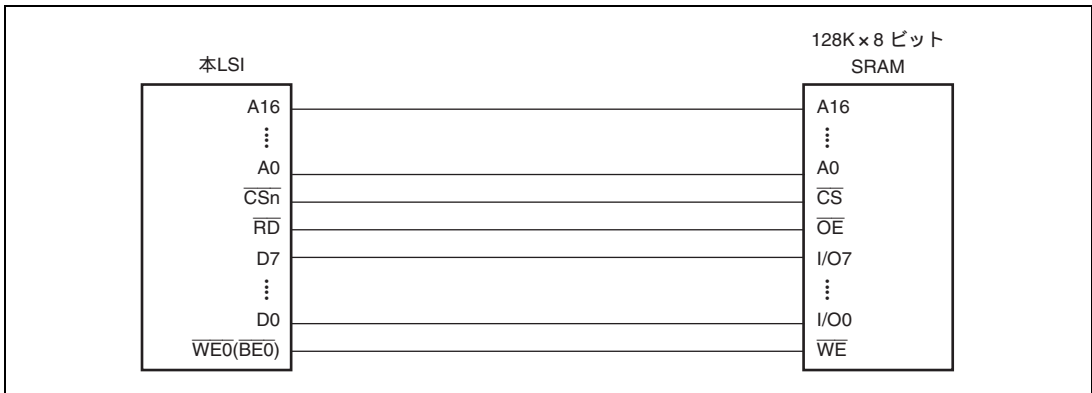


図 11.8 8 ビットデータ幅 SRAM 接続例

### 11.5.3 アクセスウェイト制御

CSnWCR の WR[3:0]ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。WW[2:0]ビットを設定することにより、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。その他のエリアのアクセスウェイトは、リードおよびライトサイクル共通となります。図 11.9 に示す通常空間のアクセスでは、 $T_w$  のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

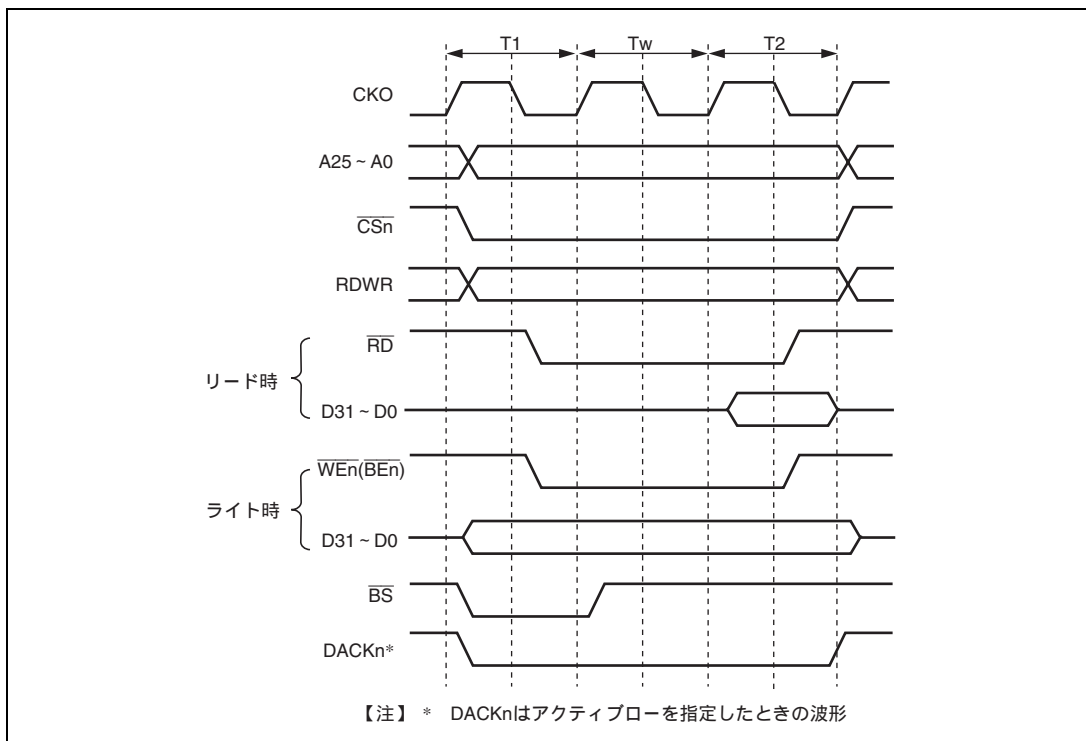


図 11.9 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力  $\overline{\text{WAIT}}$  信号もサンプリングされます。 $\overline{\text{WAIT}}$  信号のサンプリングを図 11.10 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$  信号は、T1 または  $T_w$  サイクルから T2 サイクルに移行する際に、CKO の立ち下がりでサンプリングされます。

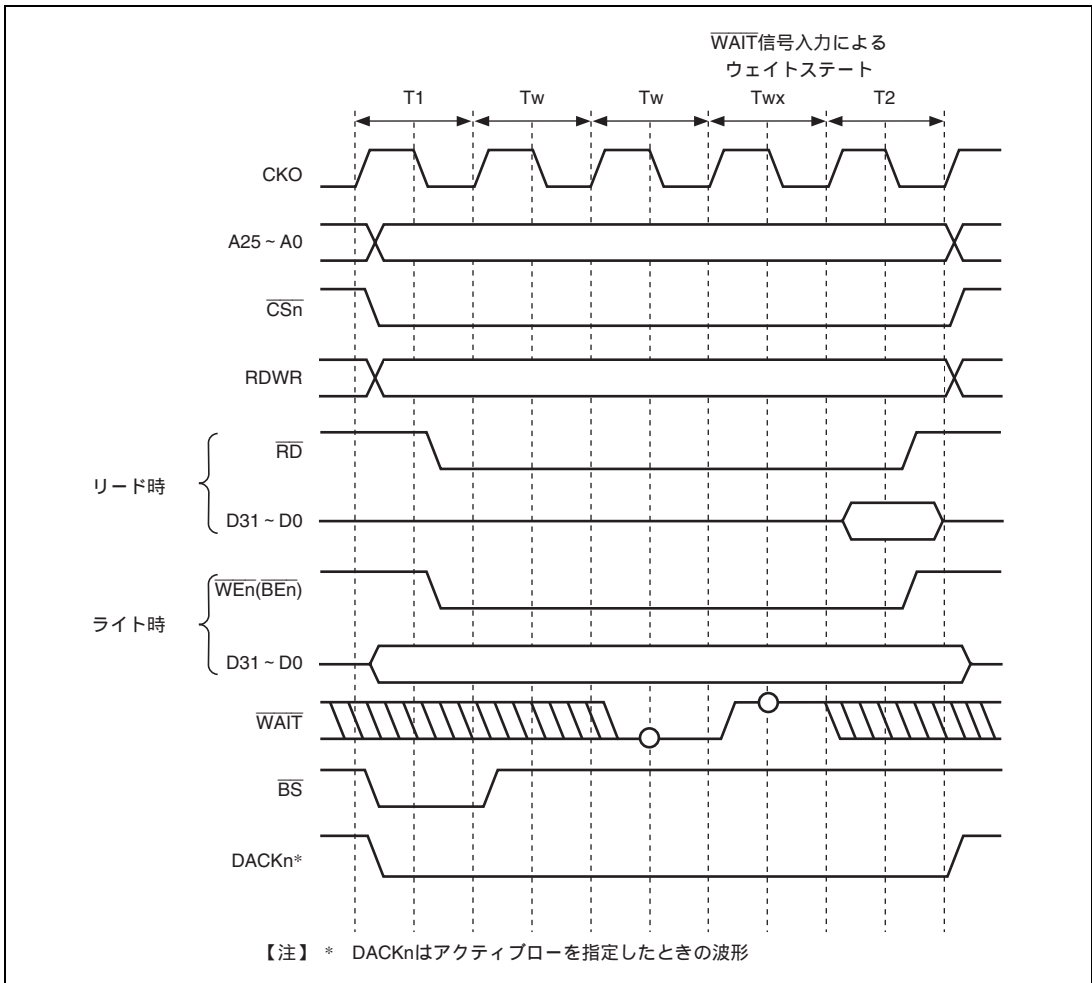


図 11.10 通常空間アクセスのウェイトタイミング (WAIT 信号によるウェイト挿入)

### 11.5.4 $\overline{\text{CSn}}$ アサート期間拡張

$\overline{\text{CSnWCR}}$  の SW[1:0] ビットの設定により、 $\overline{\text{CSn}}$  アサートから  $\overline{\text{RD}}$  と  $\overline{\text{WEn}}$  ( $\overline{\text{BEn}}$ ) アサートまでのサイクル数を指定できます。また、HW[1:0] ビットの設定により、 $\overline{\text{RD}}$  と  $\overline{\text{WEn}}$  ( $\overline{\text{BEn}}$ ) ネゲートから  $\overline{\text{CSn}}$  ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 11.11 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、 $\overline{\text{RD}}$  と  $\overline{\text{WEn}}$  ( $\overline{\text{BEn}}$ ) 以外はアサートされますが、 $\overline{\text{RD}}$  と  $\overline{\text{WEn}}$  ( $\overline{\text{BEn}}$ ) はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

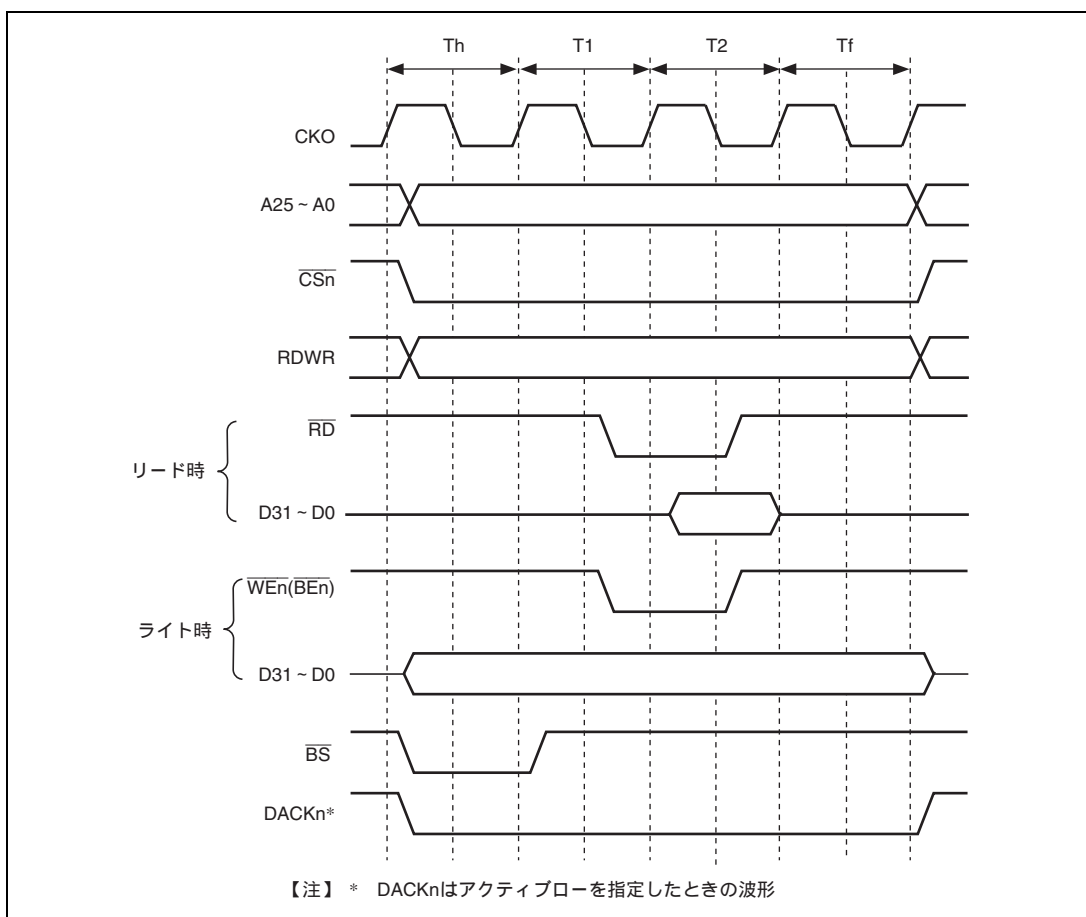


図 11.11  $\overline{\text{CSn}}$  アサート期間拡張



### 11.5.5 バースト ROM (クロック非同期) インタフェース

バースト ROM (クロック非同期) インタフェースは、バーストモードあるいはページモードなどと呼ばれるアドレスの切り替えによって、高速に読み出しのできる機能を有するメモリをアクセスするためのものです。基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際に  $\overline{RD}$  信号のネゲートを行わず、アドレスのみを切り替えて、2 回目以降のアクセスを行います。2 回目以降のアクセスでは、アドレスの変化が CKO の立ち下がりになります。

最初のアクセスサイクルに対しては、CSnWCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CSnWCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック非同期) アクセス時は、 $\overline{BS}$  信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のアクセスサイクルにのみ有効です。

バースト ROM (クロック非同期) インタフェースでバースト動作を行わないシングルアクセスおよびライトアクセス時は、通常空間と同じアクセスタイミングになります。

表 11.14 にバス幅およびアクセスサイズとバースト数の関係を、図 11.12 にタイムチャートを示します。

表 11.14 バス幅およびアクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数	アクセス回数
8 ビット	8 ビット	1	1
	16 ビット	2	1
	32 ビット	4	1
	16 バイト	16	1
	32 バイト	16	2
16 ビット	8 ビット	1	1
	16 ビット	1	1
	32 ビット	2	1
	16 バイト	8	1
	32 バイト	8	2
32 ビット	8 ビット	1	1
	16 ビット	1	1
	32 ビット	1	1
	16 バイト	4	1
	32 バイト	4	2

## 11. バスステートコントローラ (BSC)

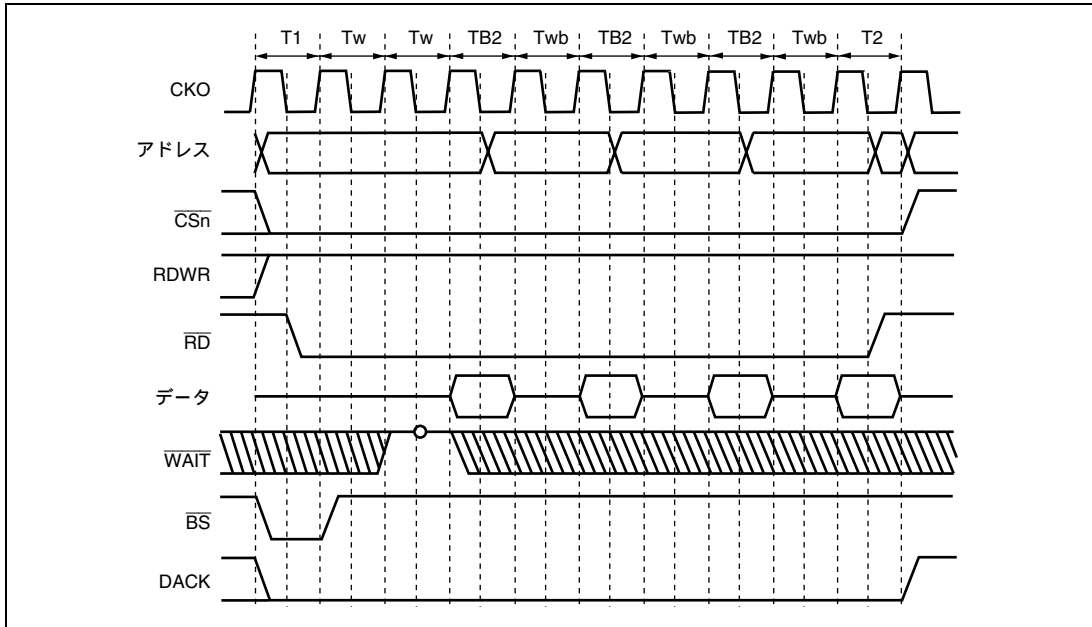


図 11.12 バースト ROM (クロック非同期) アクセス  
(バス幅 32 ビット 16 バイト転送 (バースト数 4)、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

### 11.5.6 バイト選択付き SRAM インタフェース

バイト選択付き SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子 ( $\overline{WEn}$  ( $\overline{BEn}$ )) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子を持ち、UB あるいは LB のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。

CSnWCR レジスタの BAS ビットが 0 (初期値) のとき、バイト選択付き SRAM インタフェースのライトアクセスタイミングは、通常空間インタフェースと同一です。一方、リード動作では、 $\overline{WEn}$  ( $\overline{BEn}$ ) 端子のタイミングが通常空間インタフェースと異なり、 $\overline{WEn}$  ( $\overline{BEn}$ ) 端子からバイト選択信号を出力します。図 11.13 に基本アクセスタイミングを示します。特にライト時は、バイト選択端子 ( $\overline{WEn}$  ( $\overline{BEn}$ )) のタイミングでメモリに書き込まれます。ご使用になるメモリのデータシートをご確認ください。

CSnWCR レジスタの BAS ビットが 1 のとき、 $\overline{WEn}$  ( $\overline{BEn}$ ) 端子と RDWR 端子のタイミングが変化します。図 11.14 に基本アクセスタイミングを示します。特にライト時は、ライトイネーブル端子 (RDWR) のタイミングでメモリに書き込まれます。RDWR 端子のネグティブタイミングからのライトデータのホールドタイミングは、CSnWCR の HW[1:0] ビットを設定することにより確保してください。図 11.15 にソフトウェイト設定時のアクセスタイミングを示します。

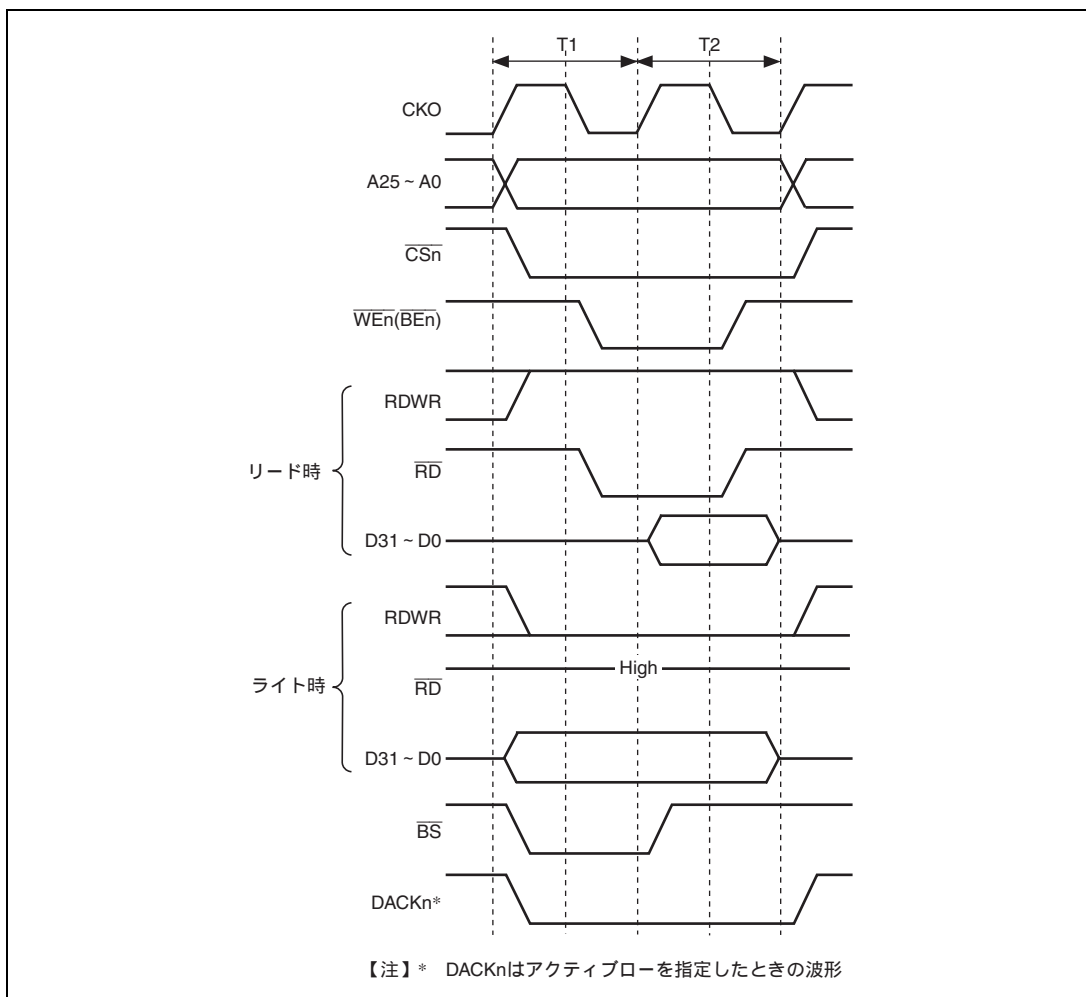


図 11.13 BAS = 0 バイト選択付き SRAM 基本アクセスタイミング

## 11. バスステートコントローラ (BSC)

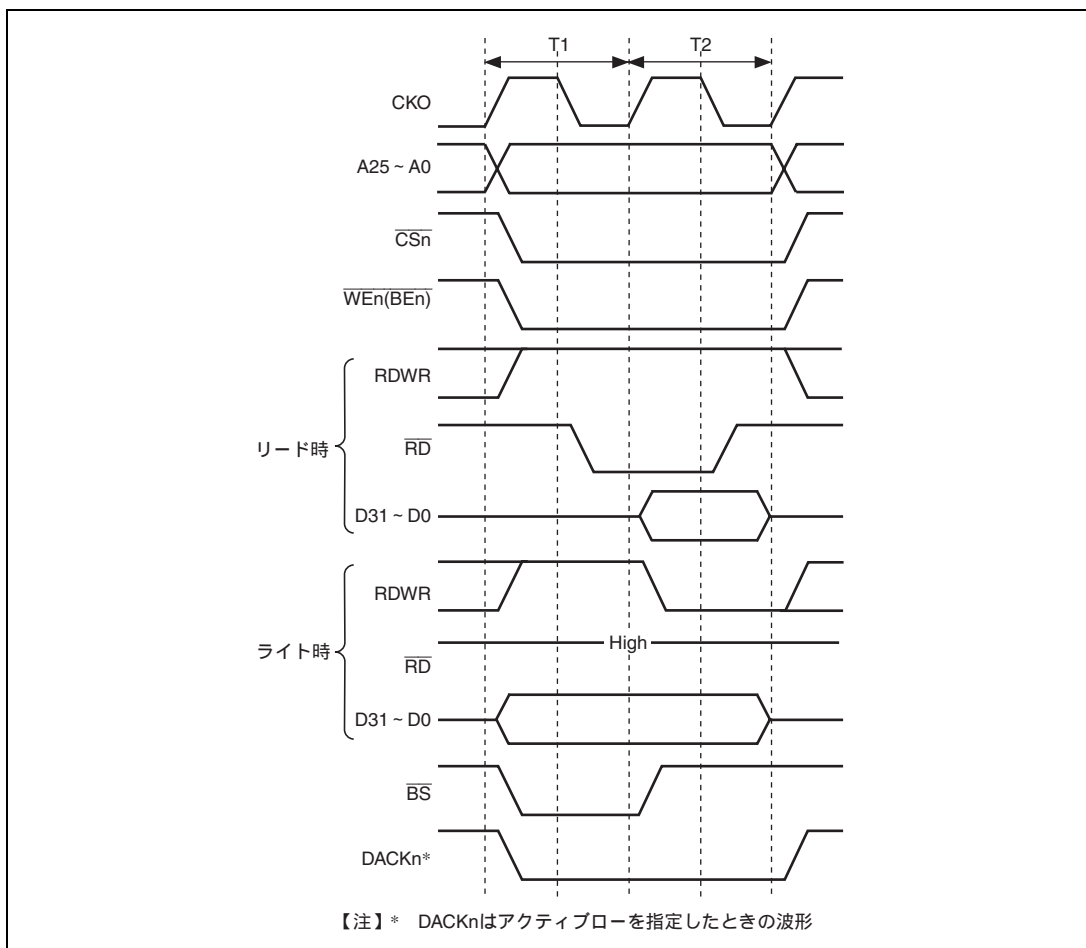


図 11.14 BAS = 1 バイト選択付き SRAM 基本アクセスタイミング

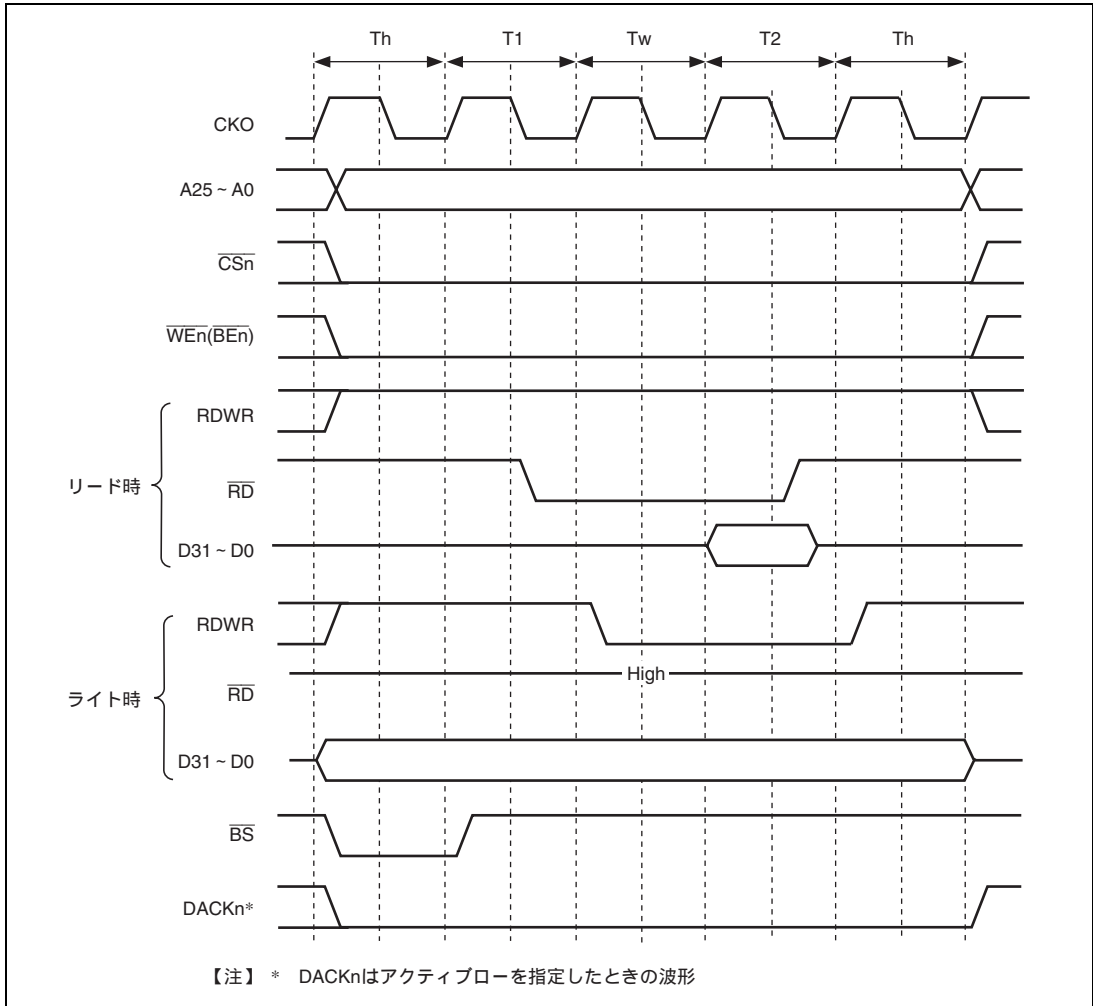


図 11.15 BAS = 1 バイト選択付き SRAM ウェイトタイミング (ソフトウェアのみ)

## 11. バスステートコントローラ (BSC)

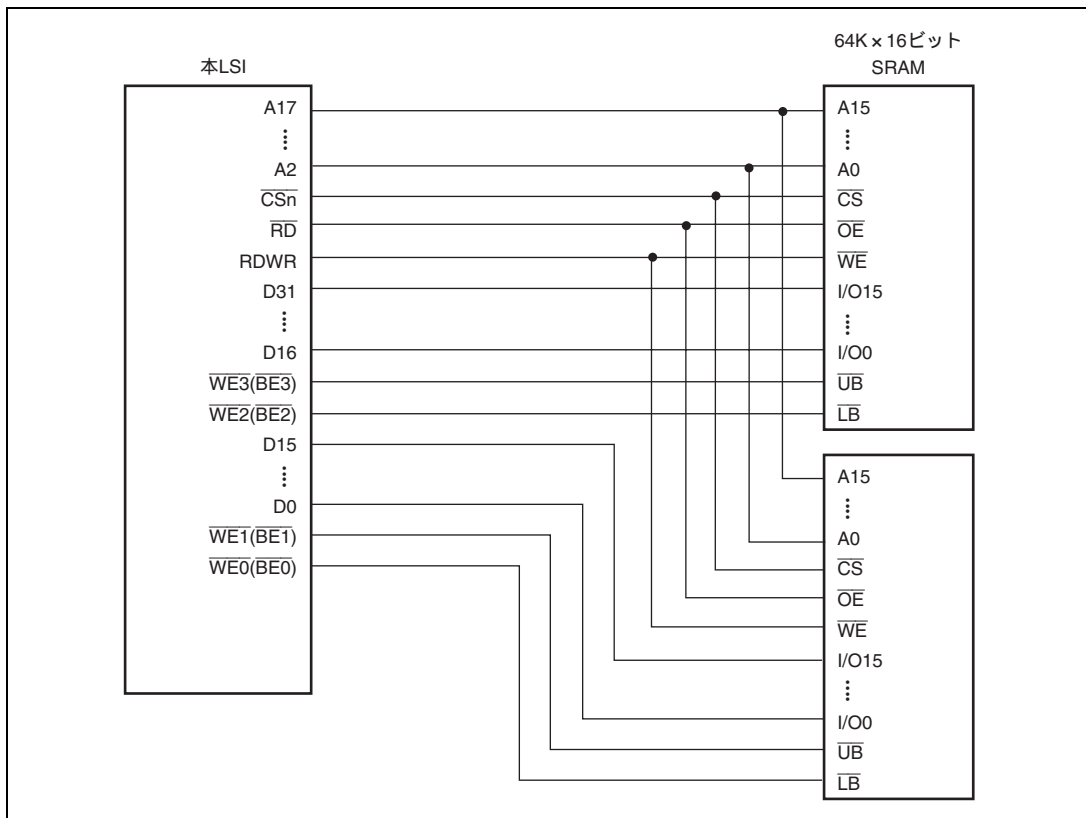


図 11.16 32 ビットデータ幅バイト選択付き SRAM 接続例

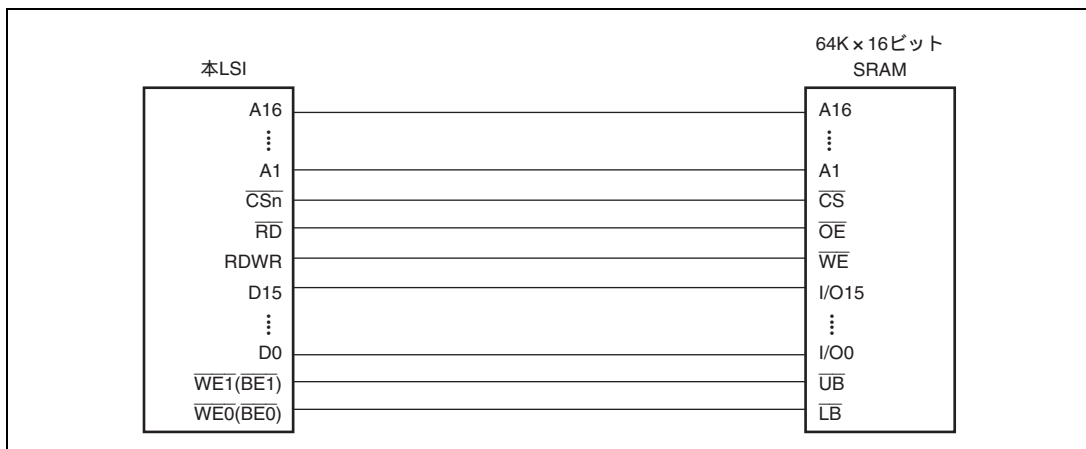


図 11.17 16 ビットデータ幅バイト選択付き SRAM 接続例

## 11.5.7 PCMCIA インタフェース

本 LSI では、CMNCR の MAP ビットにてアドレスマップ 2 を選択した場合、エリア 5、エリア 6 で PCMCIA インタフェースの設定が可能です。物理空間のエリア 5 およびエリア 6 は CSnBCR (n=5B、6B) の TYPE[3:0] ビットを B'0101 に設定することで、JEIDA 仕様 Ver4.2 (PCMCIA2.1) で定める「IC メモリカードおよび I/O カードインタフェース」になります。また、CSnWCR (n=5B、6B) の SA[1:0] ビットにより各エリアの前半 32M バイトと後半の 32M バイトに対して IC メモリカードあるいは I/O カードインタフェースに設定できます。たとえば、CS5BWCR の SA1 ビットを 1 に、また CS5BWCR の SA0 ビットを 0 に設定すると前半の 32MB が IC メモリカードインタフェースおよび後半の 32M バイトが I/O カードインタフェースとなります。

PCMCIA インタフェースを使用する場合は、CS5BBCR の BSZ[1:0] ビットもしくは CS6BBCR の BSZ[1:0] ビットによって、バスサイズは 8 ビットまたは 16 ビットに設定してください。

図 11.18 に本 LSI と PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入 (システムの電源を供給中にカードの抜き差しを行うこと) を行えるようにするため、本 LSI のバスインタフェースと PCMCIA カードの間に 3-State バッファを接続する必要があります。

JEIDA および PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI のビッグエンディアンモードの PCMCIA インタフェースは独自にインタフェースを規定しています。

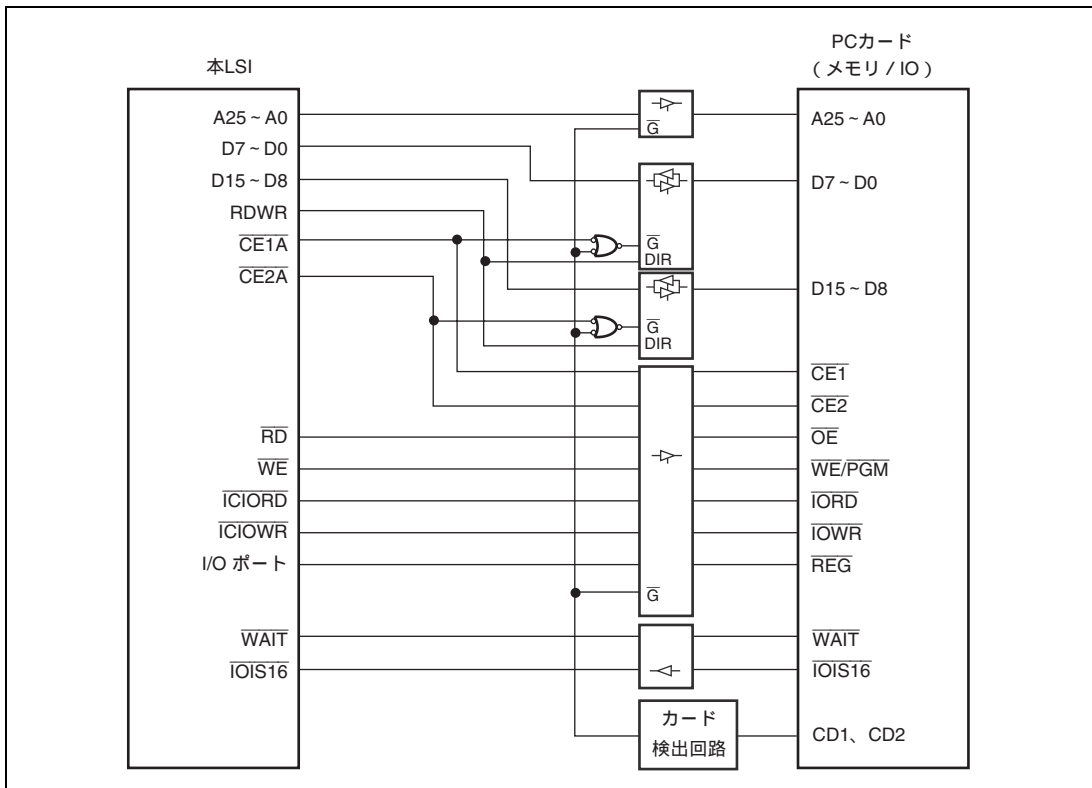


図 11.18 PCMCIA インタフェース接続例

## 11. バスステートコントローラ (BSC)

### (1) メモリカードインタフェース基本タイミング

図 11.19 に PCMCIA の「IC メモリカードインタフェース」の基本タイミングを示します。物理空間のエリア 5 およびエリア 6 を PCMCIA インタフェースに設定した場合は、各エリアの共通メモリ空間をアクセスすると自動的に「IC メモリカードインタフェース」としてバスアクセスが行われます。外部バス周波数 (CKO) が高くなると、 $\overline{RD}$  や  $\overline{WE}$  に対してアドレス (A25~A0)、カードイネーブル ( $\overline{CE1A}$ 、 $\overline{CE2A}$ 、 $\overline{CE1B}$ 、 $\overline{CE2B}$ )、書き込みサイクル時の書き込みデータ (D15~D0) のセットアップ時間、およびホールド時間が足りなくなります。これに対して、本 LSI では CS5BWCR もしくは CS6BWCR レジスタによって物理空間のエリア 5 およびエリア 6 の各エリアに対して、それぞれセットアップ時間およびホールド時間を設定することができます。また、通常空間インタフェースと同じようにソフトウェアウェイトおよび  $\overline{WAIT}$  端子によるハードウェアウェイトを行うことができます。図 11.20 に PCMCIA メモリバスウェイトタイミングを示します。

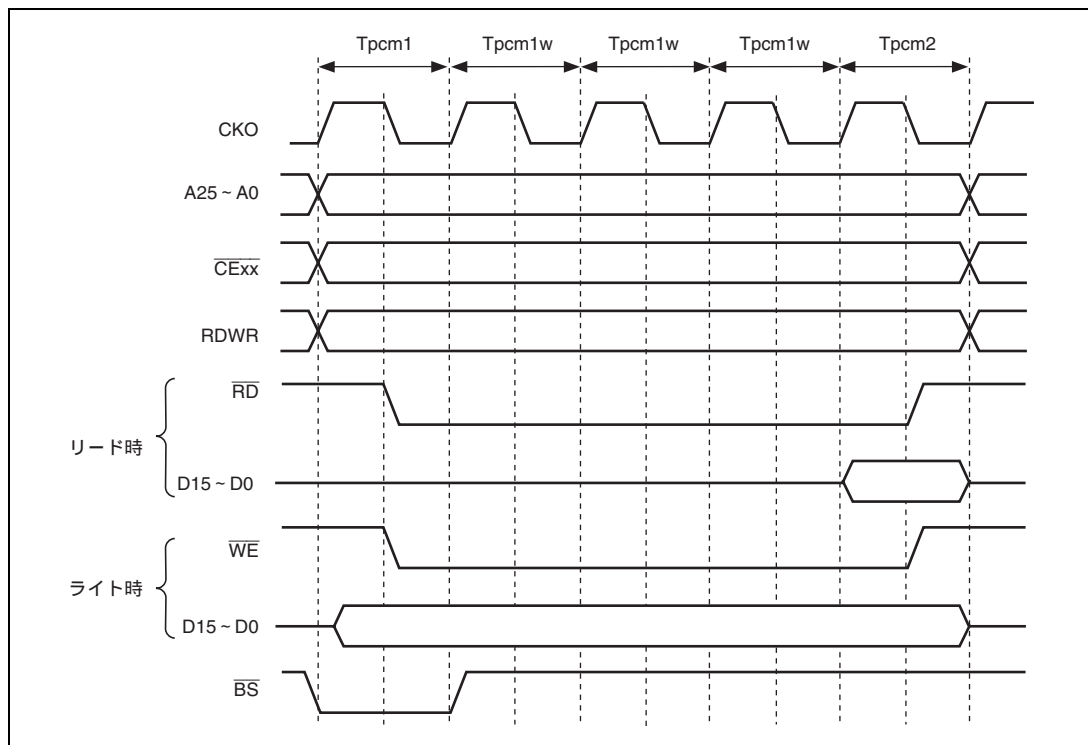


図 11.19 PCMCIA メモリカードインタフェース基本タイミング



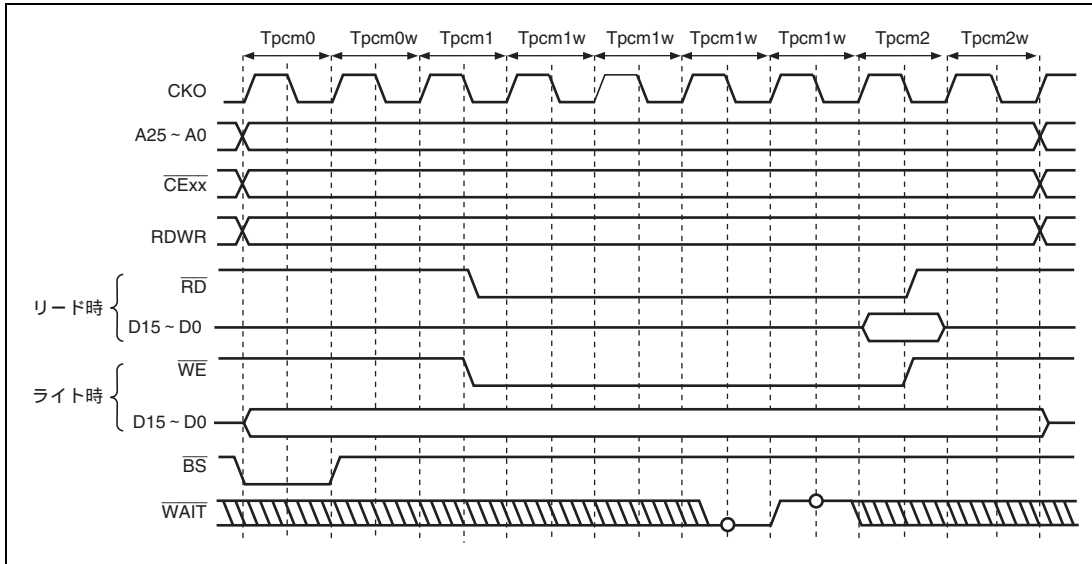


図 11.20 PCMCIA メモリカードインタフェースウェイトタイミング  
(TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェイト1、ハードウェイト1)

IC メモリカードインタフェースとしてメモリ空間を 32M バイトすべてを使用する場合は、COMMONメモリとアトリビュートメモリの切り替え信号  $\overline{REG}$  はポート等を利用して生成します。また、メモリ空間が 16M バイト以下で足りる場合は、メモリ空間を 16M バイトづつCOMMONメモリ空間とアトリビュートメモリ空間として使うことにより、A24 端子を  $\overline{REG}$  信号として利用することができます。

## 11. バスステートコントローラ (BSC)

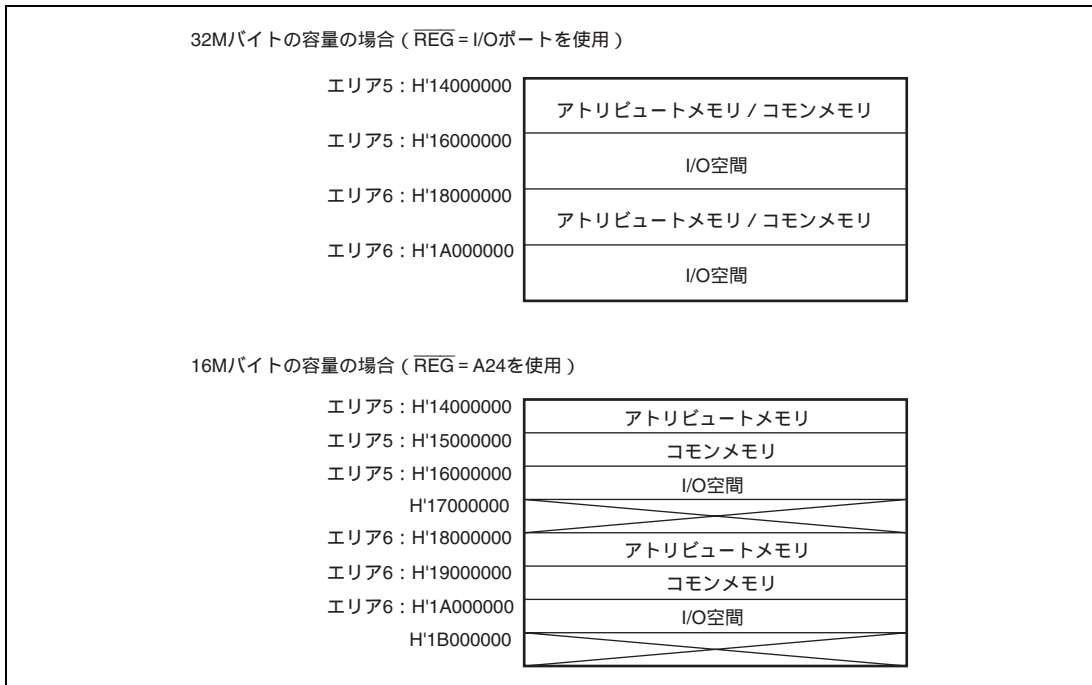


図 11.21 PCMCIA 空間割り付け例 (CS5BWCR.SA[1:0] = B'10、CS6BWCR.SA[1:0] = B'10)

### (2) I/O カードインタフェース基本タイミング

図 11.22 および図 11.23 に PCMCIA の「I/O カードインタフェース」のタイミングを示します。

I/O カードインタフェースと IC メモリカードインタフェースの切り替えは、アクセスするアドレスによって行います。物理空間のエリア 5 を PCMCIA に設定した場合は、物理アドレスの H'16000000 ~ H'17FFFFFF をアクセスすると自動的に「I/O カードインタフェース」としてバスアクセスが行われます。また、物理空間のエリア 6 を PCMCIA に設定した場合は、物理アドレスの H'1A000000 ~ H'1BFFFFFF をアクセスすると自動的に「I/O カードインタフェース」としてバスアクセスが行われます。

PCMCIA の I/O カードをアクセスする場合は、論理空間のキャッシュ非対象領域 (P2 か P3 空間) が、MMU によってキャッシュ非対象領域と指定した領域で行ってください。

リトルエンディアンモードで PCMCIA カードを I/O カードインタフェースとしてアクセスする場合は、 $\overline{IOIS16}$  端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。エリア 6 のバス幅を 16 ビットに設定しているときに、ワードサイズの I/O バスサイクル中に  $\overline{IOIS16}$  信号がハイレベルの場合は、8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。

$\overline{IOIS16}$  信号は、TED[3:0]ビットの設定を 1.5 サイクル以上に設定したときの Tpci0、Tpci0w、および Tpci1 サイクルにおける CKO の立ち下がりりでサンプリングされ、サンプリングポイントから CKO の 1.5 サイクル後に  $\overline{CE2}$  信号に反映されます。ご使用になる PC カードの  $\overline{ICIOR\overline{D}}$  と  $\overline{ICIOR\overline{W}}$  から  $\overline{CEn}$  のセットアップの規格を満たすように、TED[3:0]ビットを設定してください。

ダイナミックバスサイジングの基本タイミングを図 11.24 に示します。

なお、ビッグエンディアンモードでは、 $\overline{\text{IOIS16}}$  信号をサポートしません。ビッグエンディアンモード時には、 $\overline{\text{IOIS16}}$  信号をローレベルに固定してください。

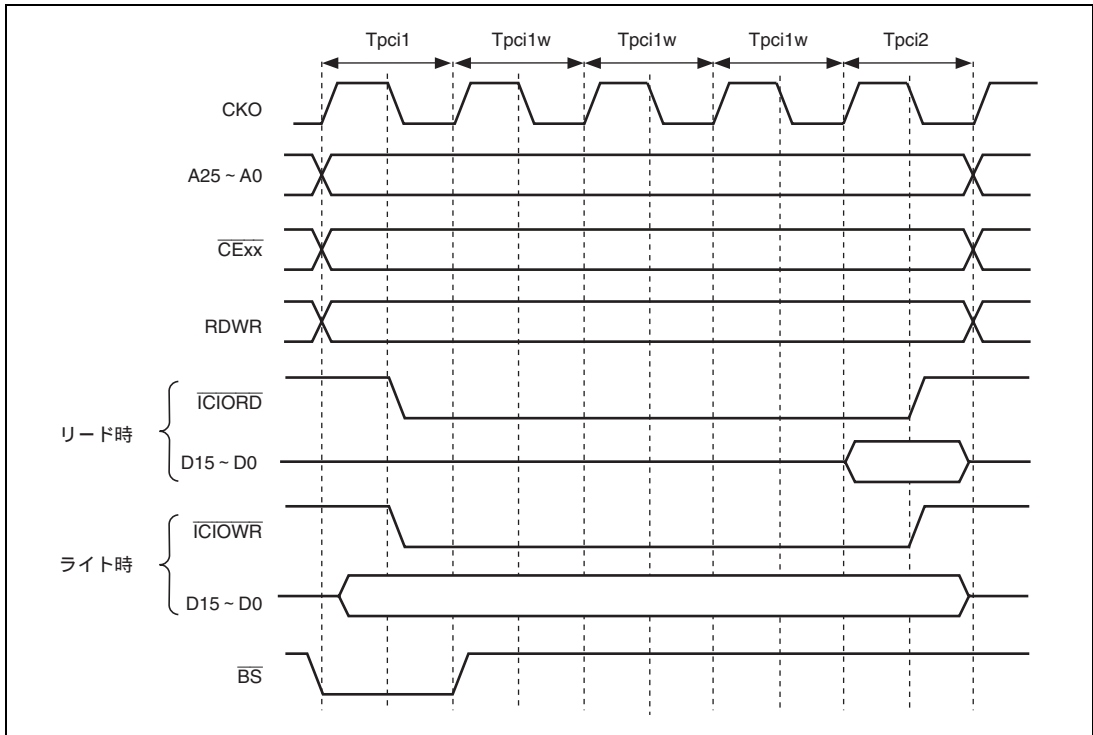


図 11.22 PCMCIA I/O カードインタフェース基本タイミング

## 11. バスステートコントローラ (BSC)

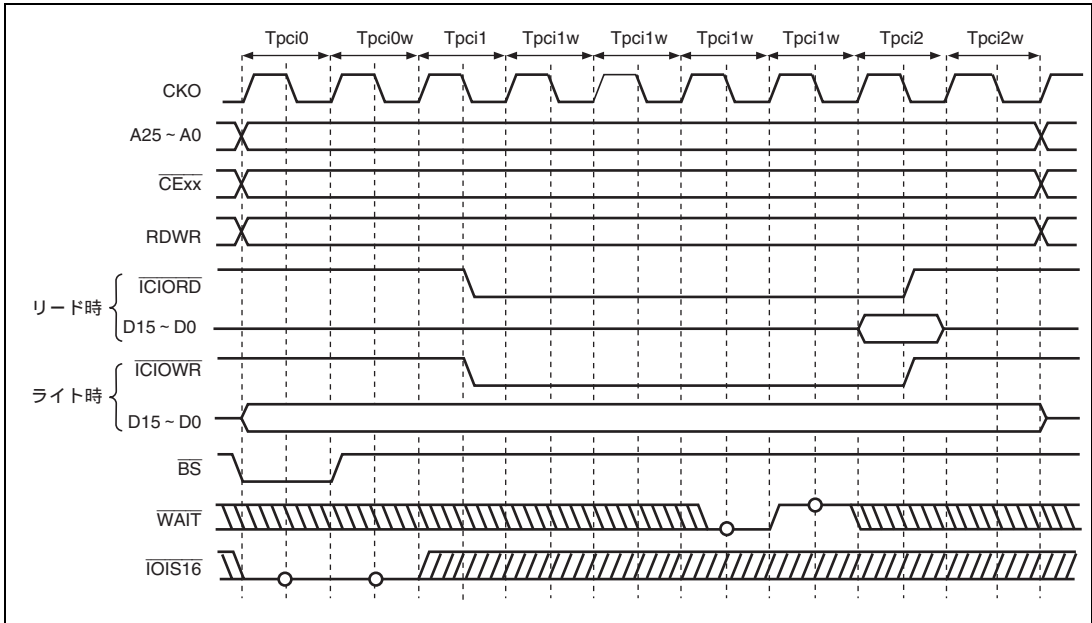


図 11.23 PCMCIA I/O カードインタフェースウェイトタイミング  
(TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェア 1、ハードウェイト 1)

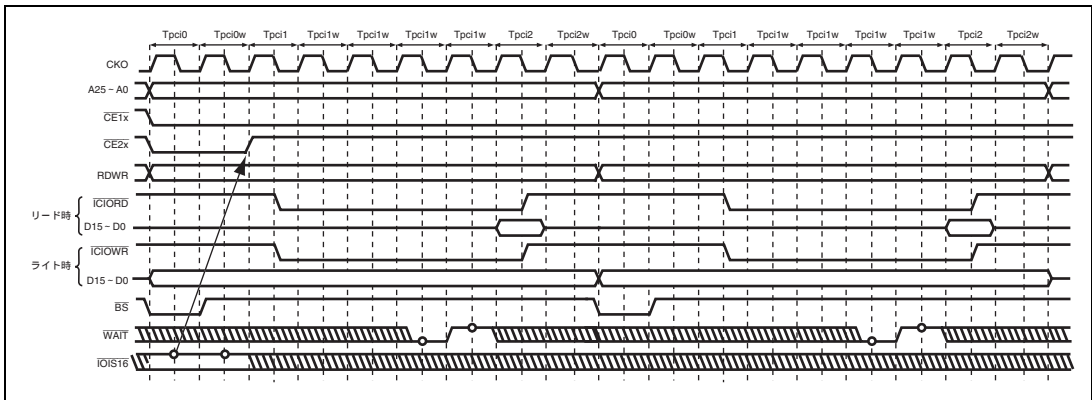


図 11.24 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング  
(TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェア 3)

### 11.5.8 アクセスサイクル間ウェイト

LSI の動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にウェイトを挿入して、データの衝突を回避する機能を有しています。

アクセスサイクル間ウェイトのサイクル数は、CSnBCR の IWW[2:0]ビット、IWRWD[2:0]ビット、IWRWS[2:0]ビット、IWRRD[2:0]ビット、IWRRS[2:0]ビットで指定します。アクセスサイクル間ウェイト (アイドルサイクル) は、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライト - リード、ライト - ライトの場合
2. 連続するアクセスが別空間でかつリード - ライトの場合
3. 連続するアクセスが同一空間でかつリード - ライトの場合
4. 連続するアクセスが別空間でかつリード - リードの場合
5. 連続するアクセスが同一空間でかつリード - リードの場合

### 11.6 使用上の注意事項

バスステートコントローラは、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時には、バスサイクルの途中であるなしにかかわらず直ちにすべての信号をネゲートし、出力バッファをオフまたは固定値出力にします。また、制御レジスタはすべて初期化されます。スタンバイ、スリープでは、バスステートコントローラの制御レジスタの初期化は一切行われません。

フラッシュメモリには、リセット解除後から最初のアクセスまでの最小時間を規定しているものがあります。バスステートコントローラは、この最小時間を確保するために、7ビットのカウンタ (RBWTCNT) を用意しています。パワーオンリセットによりこのカウンタは、0 クリアされます。パワーオンリセット解除後はCKO に同期してカウントアップされ、カウンタの値が H'007F になるまで外部アクセスを発生しません。マニュアルリセットでは、カウンタの値はクリアされません。

---

## 12. SDRAM 用バスステートコントローラ (SBSC)

---

SDRAM 用バスステートコントローラ (SBSC) は、外部アドレス空間に接続された SDRAM に対し制御信号を出力します。これにより SDRAM を直接接続することができます。

### 12.1 特長

SBSC には、次の特長があります。

- 外部アドレス空間

最大128Mバイトまでの外部アドレス空間をサポート。

( $\overline{\text{HPCS2}}$ 、 $\overline{\text{HPCS3}}$ の2エリアにSDRAMを接続可能。)

- データバス幅

SDRAM : 16ビット / 32ビット / 64ビットから選択可能

- SDRAMのスペックに合わせたウェイトステートの挿入を制御可能

- SDRAMインタフェース

ロウアドレスまたはコラムアドレスのマルチプレクス出力

シングル読み出しまたはシングル書き込み、バースト読み出しまたはバースト書き込みを選択可能

バンクアクティブモードによる高速アクセスが可能

オートリフレッシュとセルフリフレッシュのサポート

- ライトプロテクト機能

エリア3の先頭アドレスから128Mビット、256Mビット、512Mビットの3通りのライトプロテクトエリアを設定可能

- リフレッシュ機能

オートリフレッシュとセルフリフレッシュをサポート

リフレッシュ用カウンタ、クロック選択により、リフレッシュ間隔を設定可能

リフレッシュ回数設定 (1、2、4、6および8) による集中リフレッシュが可能

## 12. SDRAM 用バスステートコントローラ (SBSC)

SBSC のブロック図を図 12.1 に示します。

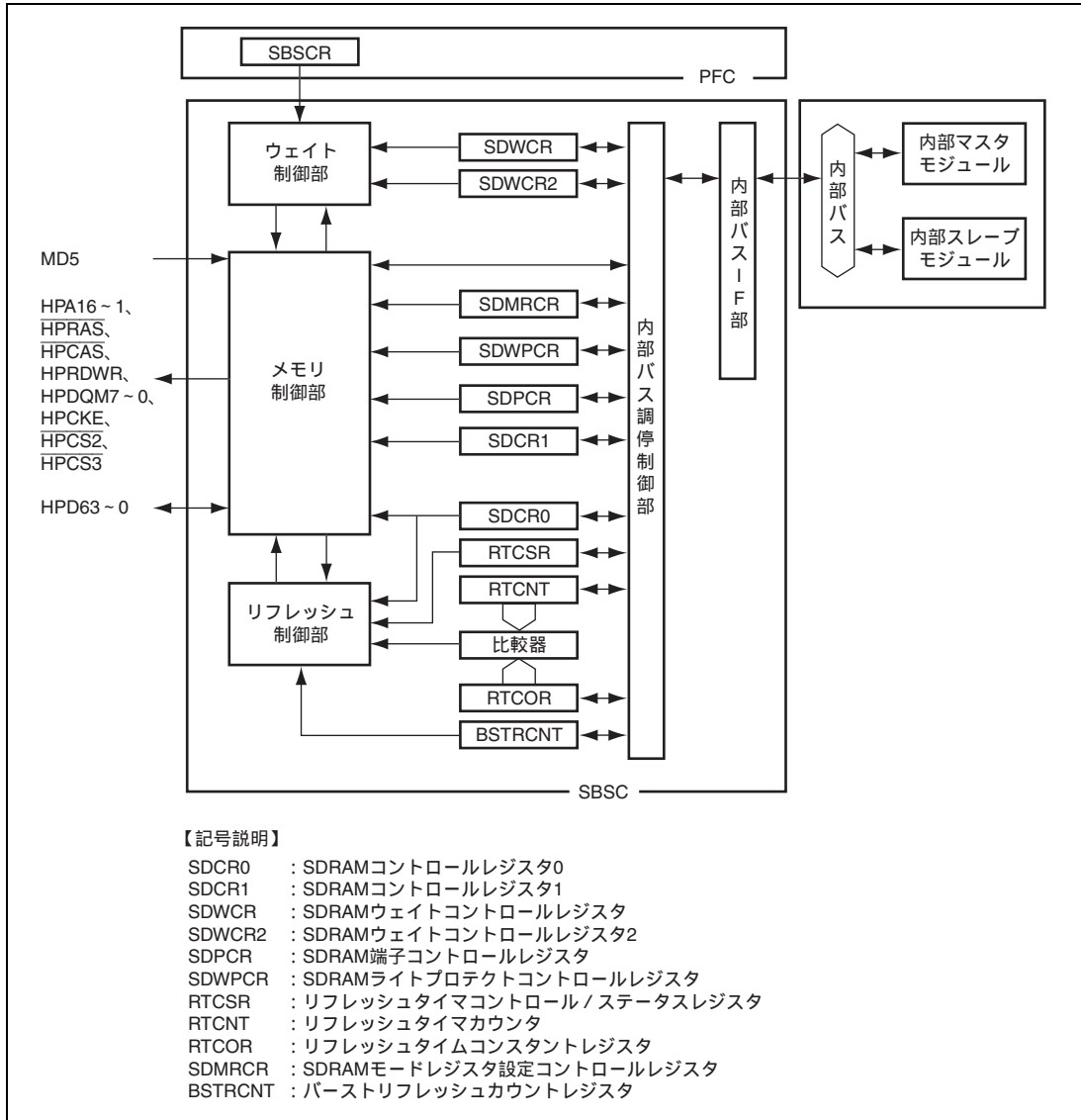


図12.1 SBSCのブロック図



## 12.2 入出力端子

SBSC の端子構成を表 12.1 に示します。

表12.1 端子構成

端子名	機能	入出力	説明
HPA16~ HPA1	アドレスバス	出力	アドレスを出力します。
HPD63~ HPD0	データバス	入出力	16/32/64 ビットの双方向バスです。
$\overline{\text{HPCS2}}$	チップセレクト	出力	エリア 2 のチップセレクト信号です。
$\overline{\text{HPCS3}}$	チップセレクト	出力	エリア 3 のチップセレクト信号です。
HPRDWR	リード/ライト	出力	リード/ライト信号端子です。 SDRAM の $\overline{\text{WE}}$ 端子に接続します。
HPDQM7	UUU 側データマスク	出力	SDRAM の D63 ~ D56 対応のバイト選択信号です。
HPDQM6	UUL 側データマスク	出力	SDRAM の D55 ~ D48 対応のバイト選択信号です。
HPDQM5	ULU 側データマスク	出力	SDRAM の D47 ~ D40 対応のバイト選択信号です。
HPDQM4	ULL 側データマスク	出力	SDRAM の D39 ~ D32 対応のバイト選択信号です。
HPDQM3	LUU 側データマスク	出力	SDRAM の D31 ~ D24 対応のバイト選択信号です。
HPDQM2	LUL 側データマスク	出力	SDRAM の D23 ~ D16 対応のバイト選択信号です。
HPDQM1	LLU 側データマスク	出力	SDRAM の D15 ~ D8 対応のバイト選択信号です。
HPDQM0	LLL 側データマスク	出力	SDRAM の D7 ~ D0 対応のバイト選択信号です。
HPRAS	ロウアドレス	出力	SDRAM ロウアドレスを指定。SDRAM の RAS 端子に接続します。
$\overline{\text{HPCAS}}$	カラムアドレス	出力	SDRAM カラムアドレスを指定。SDRAM の CAS 端子に接続します。
HPCKE	クロックイネーブル	出力	SDRAM クロックイネーブル信号。SDRAM の CKE 端子に接続します。
HPCLK	同期クロック	出力	同期クロック出力です。
MD5、MD3	モード	入力	MD5 : データアライメント (ビッグまたはリトルエンディアンの選択) MD3 : HPD[47:32]/D[31:16]の選択

## 12.3 エリアの概要

### 12.3.1 アドレスマップ

本 LSI の外部アドレス空間は合計 384M バイトあり、これを 6 空間の部分空間に分割して使用します。SBSC は、このうち、エリア 2、エリア 3 を制御します。エリア 0、およびエリア 4~6 は BSC によって制御されます。接続されるメモリの種類、データバス幅は各部分空間ごとに指定します。外部アドレス空間のアドレスマップを表 12.2 に示します。

表12.2 外部アドレス空間のアドレスマップ

アドレス	空間	メモリ種類	サイズ
H'0000 0000 ~ H'03FF FFFF	エリア 0 (BSC)	通常空間 バースト ROM (非同期) バイト選択付 SRAM	64M バイト
H'0400 0000 ~ H'07FF FFFF	エリア 1	内蔵 I/O レジスタ空間	-
H'0800 0000 ~ H'0BFF FFFF	エリア 2 (SBSC)	SDRAM* <sup>1</sup>	64M バイト
H'0C00 0000 ~ H'0FFF FFFF	エリア 3 (SBSC)	SDRAM* <sup>1</sup>	64M バイト
H'1000 0000 ~ H'13FF FFFF	エリア 4 (BSC)	通常空間 バイト選択付 SRAM バースト ROM (非同期)	64M バイト
H'1400 0000 ~ H'17FF FFFF	エリア 5* <sup>2</sup> (BSC)	通常空間 バイト選択付 SRAM	64M バイト
H'1800 0000 ~ H'1BFF FFFF	エリア 6* <sup>2</sup> (BSC)	通常空間 バイト選択付 SRAM	64M バイト
H'1E00 0000 ~ H'1FFF FFFF	エリア 7	予約エリア* <sup>3</sup>	64M バイト

【注】 \*1 DDR-SDRAM はサポートしていません。

\*2 エリア 5、エリア 6 は BSC のレジスタ設定によりさらに 32M バイト 2 空間に分割可能です。

\*3 予約エリアはアクセスしないでください。アクセスした場合は動作の保証はできません。

### 12.3.2 メモリバス幅

本 LSI のメモリバス幅は、SDRAM コントロールレジスタ 0、1 (SDCR0、1) の SZ[1:0] ビットの設定により 16 ビット / 32 ビット / 64 ビットの設定ができます。64 ビットで使用する場合、パワーオンリセット時に MD3 をローレベルとして HPD[47:32] を選択してください。SBSC を 16 ビットまたは 32 ビット幅で使用する場合は、エリア 0 のバス幅に合わせて MD3 を設定してください。詳細は表 11.4 を参照してください。

### 12.3.3 データアライメント

本 LSI では、データアライメントとしてビッグエンディアンとリトルエンディアンをサポートします。データアライメントは、パワーオンリセット時の外部端子 (MD5) の設定で決まります。

表12.3 外部端子 (MD5) とエンディアン対応

MD5	データアライメント
0	ビッグエンディアン
1	リトルエンディアン

## 12.4 レジスタの説明

SBSC のレジスタ構成を表 12.4 に示します。また、各処理モードにおけるレジスタの状態を表 12.5 に示します。メモリとのインタフェースの設定が終了するまでは、エリア 2、エリア 3 はアクセスしないでください。

表12.4 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
SDRAM コントロールレジスタ 0	SDCR0	R/W	H'FE40 0008	32
SDRAM コントロールレジスタ 1	SDCR1	R/W	H'FE40 0030	32
SDRAM ウェイトコントロールレジスタ	SDWCR	R/W	H'FE40 000C	32
SDRAM 端子コントロールレジスタ	SDPCR	R/W	H'FE40 0010	32
リフレッシュタイムコントロール/ ステータスレジスタ	RTC SR	R/W	H'FE40 0014	32*1
リフレッシュタイムカウンタ	RTCNT	R/W	H'FE40 0018	32*1
リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'FE40 001C	32*1
リフレッシュカウンタレジスタ	RFCR	R/W	H'FE40 0020	32*1
SDRAM ウェイトコントロールレジスタ 2	SDWCR2	R/W	H'FE40 0028	32
SDRAM モードレジスタ*2	SDMR	R/W	H'FE5x xxxx	8
SDRAM ライトプロテクトコントロールレジスタ	SDWPCR	R/W	H'FE40 0034	32
SDRAM モードレジスタ設定コントロールレジスタ	SDMRCR	R/W	H'FE40 0038	32
バーストリフレッシュカウンタレジスタ	BSTRCNT	R/W	H'FE40 0040	32
SBSC タイミング制御レジスタ*3	SBSCR	R/W	H'A405 0186	16

【注】 \*1 本レジスタは誤書き込み防止のため、書き込みデータの上位 16 ビットを H'A55A とした 32 ビット書き込みのみ受け付け、それ以外は書き込みが行われません。読み出し時、上位 16 ビットは H'0000 が読み出されます。

\*2 本レジスタの実体は SDRAM 内にあります。本レジスタ空間をアクセスすることにより、SDRAM 内のレジスタに書き込まれます。詳しくは、「12.5.2 (11) パワーオンシーケンス」を参照してください。

\*3 本レジスタは PFC モジュール内にあります。詳しくは「30.2.36 SBSC タイミング制御レジスタ (SBSCR)」を参照してください。

## 12. SDRAM 用バスステートコントローラ (SBSC)

表12.5 各処理モードにおけるレジスタの状態

レジスタ 略称	パワーオン リセット	システム リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
SDCR0	初期化	初期化	保持	-	初期化	保持
SDCR1	初期化	初期化	保持	-	初期化	保持
SDWCR	初期化	初期化	保持	-	初期化	保持
SDPCR	初期化	初期化	保持	-	初期化	保持
RTCSR	初期化	初期化	保持	-	初期化	保持
RTCNT	初期化	初期化	保持	-	初期化	保持
RTCOR	初期化	初期化	保持	-	初期化	保持
RFCR	初期化	初期化	保持	-	初期化	保持
SDWCR2	初期化	初期化	保持	-	初期化	保持
SDMR	-	-	-	-	-	-
SDWPCR	初期化	初期化	保持	-	初期化	保持
SDMRCR	初期化	初期化	保持	-	初期化	保持
BSTRCNT	初期化	初期化	保持	-	初期化	保持
SBSCR	初期化	初期化	保持	-	初期化	保持

### 12.4.1 SDRAM コントロールレジスタ 0 (SDCR0)

本レジスタは、エリア 3 および、エリア 2 に接続される SDRAM のリフレッシュ方法やアクセス方法、および接続する SDRAM の種類、バス幅などを指定します。本レジスタの ADSFT、SZ[1:0]、ROW[1:0]、COL[1:0] ビットは、エリア 3 に接続された SDRAM のみに有効です。本レジスタのその他のビットは、エリア 2、エリア 3 に共通の設定となります。

SDCR0 は、パワーオンリセット時に H'0000 0011 または H'8000 0011 に初期化されます。RMDCLR、RFSH、RMODE 以外の各ビットは、SDRAM をアクセスする前に設定を行い、SDRAM アクセス以降は値を変更しないでください。RMDCLR、RFSH、RMODE ビットに対して書き込みを行う際は、他のビットは変化させずに同じ値を書き込んでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	END IAN	—	—	—	—	—	—	—	—	—	—	RMD CLR	BL	SRF PRE	SZ[1:0]	
初期値 :	0/1*1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDO WN	—	—	—	RFSH	RMO DE	—	BAC TV	—	—	ADS FT	ROW[1:0]		—	COL[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
R/W :	R/W	R	R	R	R/W	R/W	R	R/W	R	R	R/W	R/W	R/W	R	R/W	R/W

## 12. SDRAM 用バスステートコントローラ (SBSC)

ビット	ビット名	初期値	R/W	説明
31	ENDIAN	0/1* <sup>1</sup>	R	<p>エンディアンフラグ</p> <p>本ビットは、パワーオンリセット時にエンディアン設定の外部端子 (MD5) の値をサンプリングします。全空間のエンディアンはこのビットで決定されます。本ビットは読み出し専用です。</p> <p>0: パワーオンリセット時にエンディアン設定の外部端子 (MD5) がローレベルであり、本 LSI がビッグエンディアンとして動作</p> <p>1: パワーオンリセット時にエンディアン設定の外部端子 (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして動作</p>
30~21	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
20	RMDCLR	0	R/W	<p>セルフリフレッシュモードクリア</p> <p>本ビットは、スタンバイモード*<sup>2</sup>復帰時に、セルフリフレッシュモードからオートリフレッシュモードに自動的に切り替えるかどうかを設定します。</p> <p>0: スタンバイモード解除時、オートリフレッシュに切り替えない</p> <p>1: スタンバイモード解除時、オートリフレッシュモードに切り替える</p>
19	BL	0	R/W	<p>バースト長選択ビット</p> <p>バースト長 4 を選択する場合には、SDCR0 の BACTV ビットに 1 を設定し、バンクアクティブモードに設定してください。また、バースト長 4 を選択する場合には、パワーダウンモード (SDCR0 の PDOWN=1) は、使用できません。</p> <p>0: バースト長 1 でアクセスします</p> <p>1: バースト長 4 でアクセスします</p>
18	SRF_PRE	0	R/W	<p>全バンクプリチャージ選択ビット</p> <p>本ビットは、セルフリフレッシュモード解除時のバーストリフレッシュの前に全バンクプリチャージコマンド (PALL) を発行するかどうかを選択します。</p> <p>本ビットは、SREFCNT の SRFCNT ビットに 1 以上の値を設定したときのみ有効です。</p> <p>0: バーストリフレッシュ開始前に、PALL を発行しない</p> <p>1: バーストリフレッシュ開始前に、PALL を発行する</p>
17, 16	SZ[1:0]	0	R/W	<p>データバス幅指定</p> <p>本ビットは SDRAM のデータバス幅を指定します。</p> <p>00: 16 ビット</p> <p>01: 32 ビット</p> <p>10: 64 ビット</p> <p>11: 予約</p>

## 12. SDRAM 用バスステートコントローラ (SBSC)

ビット	ビット名	初期値	R/W	説 明
15	PDOWN	0	R/W	<p>パワーダウンモード</p> <p>本ビットは、SDRAM に対するアクセス終了後、SDRAM をパワーダウンモードにするかどうかを指定します。本ビットを 1 に設定すると、アクセス終了後 HPCKE 端子をローレベルにして SDRAM をパワーダウンモードにします。SDRAM アクセス前後に HPCKE アサートサイクル、HPCKE ネゲートサイクルが挿入されますのでアクセスサイクル数は延びます。</p> <p>0: アクセス終了後 SDRAM をパワーダウンモードにしない 1: アクセス終了後 SDRAM をパワーダウンモードにする</p>
14~12	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
11	RFSH	0	R/W	<p>リフレッシュ制御</p> <p>本ビットは、SDRAM に対してリフレッシュを行うかどうかを指定します。</p> <p>0: リフレッシュしない 1: リフレッシュする</p>
10	RMODE	0	R/W	<p>リフレッシュモードビット</p> <p>本ビットは、RFSH ビットが 1 のとき、オートリフレッシュを行うのかセルフリフレッシュを行うのかを指定します。RFSH ビットを 1 かつ本ビットを 1 に設定すると、その直後にセルフリフレッシュモードに入ります。RFSH ビットを 1 かつ本ビットを 0 に設定すると、RTCSR、RTCNT、RTCOR に設定した内容に従い、オートリフレッシュを行います。本ビットは、RMDCLR ビットにより、セルフリフレッシュの自動解除が行われると、自動的に 0 にクリアされます。</p> <p>0: オートリフレッシュを行う 1: セルフリフレッシュを行う</p>
9	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	BACTV	0	R/W	<p>バンクアクティブモード</p> <p>本ビットは、オートプリチャージモード (READA、WRITA コマンドを使用) でアクセスするのか、バンクアクティブモード (READ、WRIT コマンドを使用) でアクセスするのかを指定します。</p> <p>0: オートプリチャージモード (READA、WRITA コマンドを使用) 1: バンクアクティブモード (READ、WRIT コマンドを使用)</p>
7、6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
5	ADSFT	0	R/W	<p>アドレスシフトビット</p> <p>アドレス出力を下位ビット側に 1 ビットシフトします。ROW アドレスビット数 14 の SDRAM を接続する場合には、本ビットを 1 に設定してください。本設定は、エリア 3 のみ有効な設定となります。</p> <p>0: アドレス出力をシフトしない 1: アドレス出力を 1 ビット下位側にシフトする</p>

## 12. SDRAM 用バスステートコントローラ (SBSC)

ビット	ビット名	初期値	R/W	説 明
4、3	ROW[1:0]	10	R/W	ロウアドレスビット数 本ビットは、エリア 3 のロウアドレスのビット数を指定します。 00 : 11 ビット 01 : 12 ビット 10 : 13 ビット 11 : 14 ビット
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	COL[1:0]	01	R/W	カラムアドレスビット数 本ビットは、エリア 3 のカラムアドレスのビット数を指定します。 00 : 8 ビット 01 : 9 ビット 10 : 10 ビット 11 : 設定禁止

- 【注】 \*1 エンディアンを指定する外部端子 (MD5) の値を、パワーオンリセット時にサンプリングします。  
 ビッグエンディアンのときは 0、リトルエンディアンのときは 1 となります。
- \*2 スタンバイモードとは、SBSC へのクロック供給が停止している状態です。U スタンバイにより、SBSC への電源供給停止状態から復帰する場合は、セルフリフレッシュの自動解除は行われません。この場合には、セルフリフレッシュ状態を継続します。

## 12. SDRAM 用バスステートコントローラ (SBSC)

### 12.4.2 SDRAM コントロールレジスタ 1 (SDCR1)

本レジスタは、エリア 2 に接続された SDRAM のアクセス方法、および接続する SDRAM の種類、バス幅などを指定します。

SDCR1 は、パワーオンリセット時に H'0000 0011 に初期化されます。

本レジスタの ADSFT、SZ[1:0]、COL[1:0]、ROW[1:0] ビットの設定は、エリア 2 に接続された SDRAM に対して有効です。その他の設定は、SDCR0 と共通です。本レジスタの ADSFT、SZ[1:0]、COL[1:0]、ROW[1:0] の各ビットは、SDRAM をアクセスする前に設定を行い、SDRAM アクセス以降は値を変更しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SZ[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	ADSFT	ROW[1:0]	—	—	—	COL[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17、16	SZ[1:0]	00	R/W	データバス幅指定 本ビットは SDRAM のデータバス幅を指定します。 00 : 16 ビット 01 : 32 ビット 10 : 64 ビット 11 : リザーブ
15~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	ADSFT	0	R/W	アドレスシフトビット アドレス出力を下位ビット側に 1 ビットシフトします。ROW アドレスビット数 14 の SDRAM を接続する場合には、本ビットを 1 に設定してください。本設定は、エリア 2 のみ有効な設定となります。 0 : アドレス出力をシフトしない 1 : アドレス出力を 1 ビット下位側にシフトする
4、3	ROW[1:0]	10	R/W	ロウアドレスビット数 本ビットは、エリア 2 のロウアドレスのビット数を指定します。 00 : 11 ビット 01 : 12 ビット 10 : 13 ビット 11 : 14 ビット



## 12. SDRAM 用バスステートコントローラ (SBSC)

ビット	ビット名	初期値	R/W	説明
2	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	COL[1:0]	01	R/W	カラムアドレスビット数 本ビットは、エリア2のカラムアドレスのビット数を指定します。 00 : 8 ビット 01 : 9 ビット 10 : 10 ビット 11 : 設定禁止

### 12.4.3 SDRAM ウェイトコントロールレジスタ (SDWCR)

本レジスタは、SDRAM アクセスに関する各種ウェイトサイクルの設定を行います。SDRAM をアクセスする前に、本レジスタの設定をしてください。

SDWCR は、パワーオンリセット時には H'0014 450C に初期化されます。各ビットは SDRAM をアクセスする前に設定を行い、SDRAM アクセス以降は値を変更しないでください。SDWCR の設定は、エリア 2、エリア 3 共通です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	TRRD[1:0]	—	—	—	TRAS[2:0]	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TRP[1:0]	—	—	TRCD[1:0]	—	—	—	—	—	—	—	TRWL[1:0]	—	TRC[2:0]
初期値 :	0	1	0	0	0	1	0	1	0	0	0	0	1	1	0	0
R/W :	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21, 20	TRRD[1:0]	01	R/W	$t_{RRD}$ 、RAS - RAS アサート遅延時間 本ビットは、ACTV コマンドから次の異なるバンクへの ACTV コマンドまでの最小サイクル数を指定します。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 設定禁止
19	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

## 12. SDRAM 用バスステートコントローラ (SBSC)

ビット	ビット名	初期値	R/W	説明
18~16	TRAS[2:0]	100	R/W	<p><math>t_{RAS}</math>、<math>\overline{RAS}</math> アクティブ時間</p> <p>本ビットは、同一バンクでの ACTV コマンドからプリチャージコマンドまでの最小サイクル数を指定します。</p> <p>010 : 2 サイクル 011 : 3 サイクル 100 : 4 サイクル 101 : 5 サイクル 110 : 6 サイクル 111 : 7 サイクル 上記以外 : 設定禁止</p>
15	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
14, 13	TRP[1:0]	10	R/W	<p><math>t_{RP}</math>、プリチャージ - ACTV コマンド遅延時間</p> <p>本ビットは、オートプリチャージの起動または、PRE コマンド発行後から、同一バンクに対する ACTV コマンド発行までの最小サイクル数を指定します。</p> <p>00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル</p>
12	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
11, 10	TRCD[1:0]	01	R/W	<p><math>t_{RCD}</math>、ACTV コマンド READ(A)/WRIT(A)コマンドサイクル数</p> <p>本ビットは、ACTV コマンド発行後、READ(A)/WRIT(A)コマンド発行までの最小サイクル数を指定します。</p> <p>00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル</p>
9~7	CL[2:0]	010	R/W	<p>CAS レイテンシ</p> <p>本ビットは、CAS レイテンシを指定します。</p> <p>001 : 2 サイクル 010 : 3 サイクル 011 : 4 サイクル 上記以外 : 設定禁止</p>
6, 5	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

## 12. SDRAM 用バスステートコントローラ (SBSC)

ビット	ビット名	初期値	R/W	説明
4, 3	TRWL[1:0]	01	R/W	trwl サイクル時間 SDRAM 接続時、WRITA/WRIT コマンド発行後オートプリチャージが起動されるまでのサイクル数または、PRE コマンド発行までの最小サイクル数を指定します。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 設定禁止
2~0	TRC[2:0]	100	R/W	trc、RAS サイクル時間 本ビットは、REF コマンド / セルフリフレッシュ解除から ACTV コマンド発行の最小サイクル数、ACTV コマンド発行から REF コマンドまたは同一バンクへの ACTV コマンド発行までの最小サイクル数、および REF コマンド発行から REF コマンド発行までの最小サイクル数を指定します。 000 : 3 サイクル 001 : 4 サイクル 010 : 6 サイクル 011 : 9 サイクル 100 : 12 サイクル 101 : 14 サイクル 110 : 16 サイクル 111 : 18 サイクル

### 12.4.4 SDRAM 端子コントロールレジスタ (SDPCR)

本レジスタは、スタンバイモード時における SDRAM の端子状態の設定を行います。SDRAM をアクセスする前に、本レジスタの設定をしてください。

SDPCR は、パワーオンリセット時に H'0000 0087 に初期化されます。各ビットは SDRAM をアクセスする前に設定を行い、SDRAM アクセス以降は値を変更しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CKELV	—	—	—	—	HIZSTB[2:0]		
初期値:	0	0	0	0	0	0	0	0	1*	0	0	0	0	1	1	1
R/W:	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W

## 12. SDRAM 用バスステートコントローラ (SBSC)

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	CKELV	1*	R/W	HPCKE 端子レベルビット 本ビットは、U スタンバイ復帰時の HPCKE 端子のレベルに設定します。 本ビットは SDCR の RMODE ビット、および RFSH ビットとともに 1 を設定し、セルフリフレッシュモードに設定すると自動的に 0 になります。 本ビットは読み出しおよび 1 書き込みのみ有効です。 0 : U スタンバイ解除時のシステムリセット時および、システムリセット解除後ローレベル 1 : U スタンバイ解除時のシステムリセット時および、システムリセット解除後ハイレベル
6~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	HIZSTB[2:0]	111	R/W	本ビットは、HPCLK、HPCKE、HPCS2、HPCS3、HPA、HPRAS、HPCAS、HPRDWR、HPDQMn のスタンバイモード時の端子状態を指定します。 HIZSTB[2] : HPCLK HIZSTB[1] : HPCKE HIZSTB[0] : HPCS2、HPCS3、HPA、HPRAS、HPCAS、HPRDWR、HPDQMn 0 : スタンバイモード時にハイインピーダンス 1 : スタンバイモード時にドライブ

【注】 \* パワーオンリセット時、1 に初期化されますが、U スタンバイ時のシステムリセットでは、初期化されません。

### 12.4.5 リフレッシュタイムコントロール / ステータスレジスタ (RTCSR)

RTCSR は、SDRAM のリフレッシュに関する各種設定を行います。

RTCSR を設定する場合、上位 20 ビットを H'A55A0、下位 12 ビットを書き込みデータとしてロングワードサイズで書き込んでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	OVF	—	LMTS[1:0]	CMF	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

## 12. SDRAM 用バスステートコントローラ (SBSC)

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む時は H'A55A0 にしてください。
11	OVF	0	R/W	リフレッシュカウンタオーバーフローフラグ 0: クリア条件 OVF=1 の状態で RTCSR を読み出した後、OVF に 0 を書き込んだとき 1: セット条件 LMTS[1:0] で示すカウントリミット値を、RFCR がオーバーフローしたとき
10	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	LMTS[1:0]	00	R/W	リフレッシュカウンタオーバーフローリミットセレクト RFCR で示されるリフレッシュ回数と比較するカウントリミット値を示します。RFCR がこの LMTS[1:0] で示される値をオーバーフローすると OVF フラグがセットされます。 00: カウントリミット値を 2048 とする 01: カウントリミット値を 4096 とする 10: カウントリミット値を 8192 とする 11: 設定禁止
7	CMF	0	R/W	コンペアマッチフラグ 0: クリア条件 CMF=1 の状態で RTCSR を読み出した後、CMF に 0 を書き込んだとき 1: セット条件 RTCNT=RTCOR になったとき
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~3	CKS[2:0]	000	R/W	クロックセレクト 本ビットは、RTCNT をカウントアップするクロックを選択します。 000: カウントアップ停止 001: B3 /4 010: B3 /16 011: B3 /64 100: B3 /256 101: B3 /1024 110: B3 /2048 111: B3 /4096

## 12. SDRAM 用バスステートコントローラ (SBSC)

ビット	ビット名	初期値	R/W	説 明
2~0	RRC[2:0]	000	R/W	リフレッシュ回数 本ビットは、RTCNT と RTCOR の値が一致してリフレッシュ要求が発生したとき、連続してリフレッシュを行う回数を指定します。本機能により、リフレッシュを発生させる周期を長くすることができます。  000 : 1 回 001 : 2 回 010 : 4 回 011 : 6 回 100 : 8 回 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

### 12.4.6 リフレッシュタイマカウンタ (RTCNT)

RTCNT は、8 ビットのカウンタで、RTCSR の CKS[2:0] ビットで選択したクロックによりカウントアップされます。RTCNT と RTCOR の値が一致すると、RTCNT は 0 にクリアされます。また、255 までカウントアップすると次は 0 に戻ります。

RTCNT を設定する場合、上位 24 ビットを H'A55A00、下位 8 ビットを書き込みデータとしてロングワードサイズで書き込んでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込むときは、H'A55A00 にしてください。
7~0		H'00	R/W	8 ビットのカウンタ

## 12.4.7 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCOR と RTCNT の値が一致すると、RTCSR の CMF ビットが 1 にセットされ、RTCNT は 0 にクリアされます。

SDCR0 の RFSH ビットが 1 にセットされている場合、この一致信号によってリフレッシュ要求を発生します。リフレッシュ要求は実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。

RTCOR を設定する場合、上位 24 ビットを H'A55A00、下位 8 ビットを書き込みデータとしてロングワードサイズで書き込んでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む時は、ビット 31~8 は H'A55A00 にしてください。
7~0		H'00	R/W	カウンタの上限値

## 12.4.8 リフレッシュカウントレジスタ (RFCR)

RFCR は、リフレッシュ回数をカウントする、読み出し/書き込み可能な 13 ビットのカウンタです。

RTCOR と RTCNT の値が一致するたびにカウントアップし、値が RTCSR の LMTS ビットで指定したカウントリミット値を超えると、RTCSR の OVF フラグをセットして、本レジスタはクリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## 12. SDRAM 用バスステートコントローラ (SBSC)

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む時は、ビット31~16はH'A55Aにしてください。
12~0		H'0000	R/W	13ビットのカウンタ

### 12.4.9 SDRAM ウェイトコントロールレジスタ 2 (SDWCR2)

本レジスタはエリアを跨ぐアクセス時のアクセス間に挿入するウェイトサイクルを指定します。

CS2 エリアと CS3 エリアの両エリアを使用し、バースト長4でSDRAMアクセスを行う場合は、アクセス前に本レジスタにH'0023 0000を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	TRR[1:0]	—	—	—	—	TWW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21, 20	TRR[1:0]	00	R/W	リード - リードアクセス間ウェイトサイクル 00: 1 サイクル 01: 2 サイクル 10: 3 サイクル 11: 4 サイクル
19, 18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17, 16	TWW[1:0]	00	R/W	ライト - ライトアクセス間ウェイトサイクル 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル
15~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。



## 12.4.10 SDRAM ライトプロテクトコントロールレジスタ (SDWPCR)

SDWPCR は、エリア 3 空間のライトプロテクト領域の設定を行います。SDWPCR レジスタは、パワーオンリセット時には H'00000000 に初期化されます。各ビットは SDRAM をアクセス中に値を変更しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WPA[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む時は、ビット 31 ~ 16 は H'A55A にしてください。
1、0	WPA[1:0]	00	R/W	本ビットは、エリア 3 の先頭アドレスからのライトプロテクト領域を指定します。 00 : ライトプロテクト無効 01 : 128M ビットをライトプロテクトします 10 : 256M ビットをライトプロテクトします 11 : 512M ビットをライトプロテクトします

## 12. SDRAM 用バスステートコントローラ (SBSC)

### 12.4.11 SDRAM モードレジスタ設定コントロールレジスタ (SDMRCR)

SDMRCR は、モードレジスタ設定を行うエリアを選択します。SDMRCR は、パワーオンリセット時には H'00000000 に初期化されます。各ビットは SDRAM をアクセス中に値を変更しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MRM SK1	MRM SK0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
1	MRMSK1	0	R/W	本ビットは、エリア 2 に接続された SDRAM に対しモードレジスタ設定を行うかを設定します。* 0: モードレジスタ設定を行う 1: モードレジスタ設定を行わない
0	MRMSK0	0	R/W	本ビットは、エリア 3 に接続された SDRAM に対しモードレジスタ設定を行うかを設定します。* 0: モードレジスタ設定を行う 1: モードレジスタ設定を行わない

【注】 \* モードレジスタ設定を行うエリアを選択します。MRMSK1、および MRMSK0 ビットをともに 0 に設定した場合には、エリア 2、およびエリア 3 の両方を同時に設定します。各エリアの SDRAM モードレジスタに異なる設定をする場合には、設定をマスクするエリアに対応するビットに 1 を設定してください。

## 12.4.12 バーストリフレッシュカウントレジスタ (BSTRCNT)

BSTRCNT は、セルフリフレッシュ解除後のバーストリフレッシュの回数を指定します。使用する SDRAM が、セルフリフレッシュ後に指定回数のオートリフレッシュが必要な場合には、本機能を使用してください。

BSTRCNT は、パワーオンリセット時には H'00000000 に初期化されます。各ビットは SDRAM をアクセス中に値を変更しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SREFCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
15~0	SREFCNT [15:0]	H'0000	R/W	本ビットは、セルフリフレッシュ解除に挿入されるリフレッシュコマンド (REF) の回数を指定します。本レジスタの設定した回数だけ、リフレッシュコマンド (REF) を発行します。*

【注】 \* 本レジスタに 0 を設定した場合には、セルフリフレッシュ解除後のバーストリフレッシュは行われません。

## 12.5 動作説明

### 12.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部端子 (MD5 端子) でパワーオンリセット時に設定します。パワーオンリセット時、MD5 端子がローレベルのときビッグエンディアンになり、MD5 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、16 ビット幅、32 ビット幅、64 ビット幅の 3 種類から選択可能です。データのアライメントは、データバス幅およびエンディアンにあわせて行われます。したがって、16 ビット幅の SDRAM からロングワードデータを読み出すためには 2 回の読み出し動作が必要です。本 LSI では、SDRAM とのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

エンディアンと SDRAM のデータ幅とアクセスの単位との関係を表 12.6 ~ 表 12.11 に示します。

表12.6 外部バス幅 16 ビット / ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストローブ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	HPDQM3	HPDQM2	HPDQM1	HPDQM0
0 番地バイトアクセス		-	-	データ 7~0	-	-	-	アサート	-
1 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
2 番地バイトアクセス		-	-	データ 7~0	-	-	-	アサート	-
3 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
0 番地ワードアクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2 番地ワードアクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	データ 31~24	データ 23~16	-	-	アサート	アサート
	2 回目 (2 番地)	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート

## 12. SDRAM 用バスステートコントローラ (SBSC)

表12.7 外部バス幅 32 ビット / ビッグエンディアンのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	HPDQM3	HPDQM2	HPDQM1	HPDQM0
0 番地バイトアクセス	データ 7~0	-	-	-	アサート	-	-	-
1 番地バイトアクセス	-	データ 7~0	-	-	-	アサート	-	-
2 番地バイトアクセス	-	-	データ 7~0	-	-	-	アサート	-
3 番地バイトアクセス	-	-	-	データ 7~0	-	-	-	アサート
0 番地ワードアクセス	データ 15~8	データ 7~0	-	-	アサート	アサート	-	-
2 番地ワードアクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地ロングワード アクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表12.8 外部バス幅 64 ビット / ビッグエンディアンのアクセスとデータアライメント

オペレーション	データバス								ストロープ信号							
	D63 ~ D56	D55 ~ D48	D47 ~ D40	D39 ~ D32	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	HPDQM7	HPDQM6	HPDQM5	HPDQM4	HPDQM3	HPDQM2	HPDQM1	HPDQM0
0 番地バイト アクセス	データ 7~0	-	-	-	-	-	-	-	アサート	-	-	-	-	-	-	-
1 番地バイト アクセス	-	データ 7~0	-	-	-	-	-	-	-	アサート	-	-	-	-	-	-
2 番地バイト アクセス	-	-	データ 7~0	-	-	-	-	-	-	-	アサート	-	-	-	-	-
3 番地バイト アクセス	-	-	-	データ 7~0	-	-	-	-	-	-	-	アサート	-	-	-	-
4 番地バイト アクセス	-	-	-	-	データ 7~0	-	-	-	-	-	-	-	アサート	-	-	-
5 番地バイト アクセス	-	-	-	-	-	データ 7~0	-	-	-	-	-	-	-	アサート	-	-
6 番地バイト アクセス	-	-	-	-	-	-	データ 7~0	-	-	-	-	-	-	-	アサート	-
7 番地バイト アクセス	-	-	-	-	-	-	-	データ 7~0	-	-	-	-	-	-	-	アサート
0 番地ワード アクセス	データ 15~8	データ 7~0	-	-	-	-	-	-	アサート	アサート	-	-	-	-	-	-
2 番地ワード アクセス	-	-	データ 15~8	データ 7~0	-	-	-	-	-	-	アサート	アサート	-	-	-	-
4 番地ワード アクセス	-	-	-	-	データ 15~8	データ 7~0	-	-	-	-	-	-	アサート	アサート	-	-
6 番地ワード アクセス	-	-	-	-	-	-	データ 15~8	データ 7~0	-	-	-	-	-	-	アサート	アサート
0 番地ロング ワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	-	-	-	-	アサート	アサート	アサート	アサート	-	-	-	-
4 番地ロング ワードアクセス	-	-	-	-	データ 31~24	データ 23~16	データ 15~8	データ 7~0	-	-	-	-	アサート	アサート	アサート	アサート

## 12. SDRAM 用バスステートコントローラ (SBSC)

表12.9 外部バス幅 16 ビット/リトルエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストローブ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	HPDQM3	HPDQM2	HPDQM1	HPDQM0
0 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
1 番地バイトアクセス		-	-	データ 7~0	-	-	-	アサート	-
2 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
3 番地バイトアクセス		-	-	データ 7~0	-	-	-	アサート	-
0 番地ワードアクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2 番地ワードアクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
	2 回目 (2 番地)	-	-	データ 31~24	データ 23~16	-	-	アサート	アサート

表12.10 外部バス幅 32 ビット/リトルエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストローブ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	HPDQM3	HPDQM2	HPDQM1	HPDQM0
0 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
1 番地バイトアクセス		-	-	データ 7~0	-	-	-	アサート	-
2 番地バイトアクセス		-	データ 7~0	-	-	-	アサート	-	-
3 番地バイトアクセス		データ 7~0	-	-	-	アサート	-	-	-
0 番地ワードアクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2 番地ワードアクセス		データ 15~8	データ 7~0	-	-	アサート	アサート	-	-
0 番地ロングワード アクセス		データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

## 12. SDRAM 用バスステートコントローラ (SBSC)

表12.11 外部バス幅 64 ビット/リトルエンディアンのアクセスとデータアライメント

オペレーション	データバス								ストロープ信号							
	D63-D56	D55-D48	D47-D40	D39-D32	D31-D24	D23-D16	D15-D8	D7-D0	HPDQM7	HPDQM6	HPDQM5	HPDQM4	HPDQM3	HPDQM2	HPDQM1	HPDQM0
0番地バイトアクセス	-	-	-	-	-	-	-	データ 7-0	-	-	-	-	-	-	-	アサート
1番地バイトアクセス	-	-	-	-	-	-	データ 7-0	-	-	-	-	-	-	-	アサート	-
2番地バイトアクセス	-	-	-	-	-	データ 7-0	-	-	-	-	-	-	-	アサート	-	-
3番地バイトアクセス	-	-	-	-	データ 7-0	-	-	-	-	-	-	-	アサート	-	-	-
4番地バイトアクセス	-	-	-	データ 7-0	-	-	-	-	-	-	-	アサート	-	-	-	-
5番地バイトアクセス	-	-	データ 7-0	-	-	-	-	-	-	-	アサート	-	-	-	-	-
6番地バイトアクセス	-	データ 7-0	-	-	-	-	-	-	-	アサート	-	-	-	-	-	-
7番地バイトアクセス	データ 7-0	-	-	-	-	-	-	-	アサート	-	-	-	-	-	-	-
0番地ワードアクセス	-	-	-	-	-	-	データ 15-8	データ 7-0	-	-	-	-	-	-	アサート	アサート
2番地ワードアクセス	-	-	-	-	データ 15-8	データ 7-0	-	-	-	-	-	-	アサート	アサート	-	-
4番地ワードアクセス	-	-	データ 15-8	データ 7-0	-	-	-	-	-	-	アサート	アサート	-	-	-	-
6番地ワードアクセス	データ 15-8	データ 7-0	-	-	-	-	-	-	アサート	アサート	-	-	-	-	-	-
0番地ロングワードアクセス	-	-	-	-	データ 31-24	データ 23-16	データ 15-8	データ 7-0	-	-	-	-	アサート	アサート	アサート	アサート
4番地ロングワードアクセス	データ 31-24	データ 23-16	データ 15-8	データ 7-0	-	-	-	-	アサート	アサート	アサート	アサート	-	-	-	-

### 12.5.2 SDRAM インタフェース

#### (1) SDRAM 直結インタフェース

本 LSI に接続可能な SDRAM はロウアドレスが 11/12/13/14 ビット、カラムアドレスが 7/8/9/10 ビット、バンク数が 4、リード/ライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する製品です。

SDRAM を直結するための制御信号は、 $\overline{\text{HPCLK}}$ 、 $\overline{\text{HPCS2}}$ 、 $\overline{\text{HPCS3}}$ 、 $\overline{\text{HPRAS}}$ 、 $\overline{\text{HPCAS}}$ 、 $\overline{\text{HPRDWR}}$ 、 $\overline{\text{HPDQM7}}$  ~  $\overline{\text{HPDQM0}}$ 、および  $\overline{\text{HPCKE}}$  です。 $\overline{\text{HPCKE}}$  を除く信号は  $\overline{\text{HPCS2}}$  または、 $\overline{\text{HPCS3}}$  がアサートされているときのみに有効になります。SDRAM を接続する空間のデータバス幅は 16 ビット、32 ビット、64 ビットから選択可能です。

$\overline{\text{HPRAS}}$ 、 $\overline{\text{HPCAS}}$ 、 $\overline{\text{HPRDWR}}$ 、 $\overline{\text{HPCKE}}$  および、特定のアドレス信号によって、SDRAM に対するコマンドが指定されます。

SDRAM に対するコマンドには、以下のコマンドがあります。

NOP

オートリフレッシュ (REF)

セルフリフレッシュ (SELF)

全バンクプリチャージ (PALL)

指定バンクプリチャージ (PRE)

バンクアクティブ (ACTV)

リード (READ)

## 12. SDRAM 用バスステートコントローラ (SBSC)

プリチャージ付きリード (READA)

ライト (WRIT)

プリチャージ付きライト (WRITA)

モードレジスタ書き込み (MRS)

アクセスするバイトの指定は HPDQM7 ~ HPDQM0 によって行われます。該当する HPDQM<sub>n</sub> がローレベルのバイトに対して読み出し / 書き込みが行われます。HPDQM7 ~ HPDQM0 とアクセスするバイトの関係は「12.5.1 エンディアン / アクセスサイズとデータアライメント」を参照してください。

SDCR の ADSFT ビットが 0 時の SDRAM と本 LSI との接続例を図 12.2 ~ 図 12.5 に示します。

また、SDCR0 の ADSFT ビットが 1 の場合の SDRAM と本 LSI の接続方法を図 12.6 に示します。

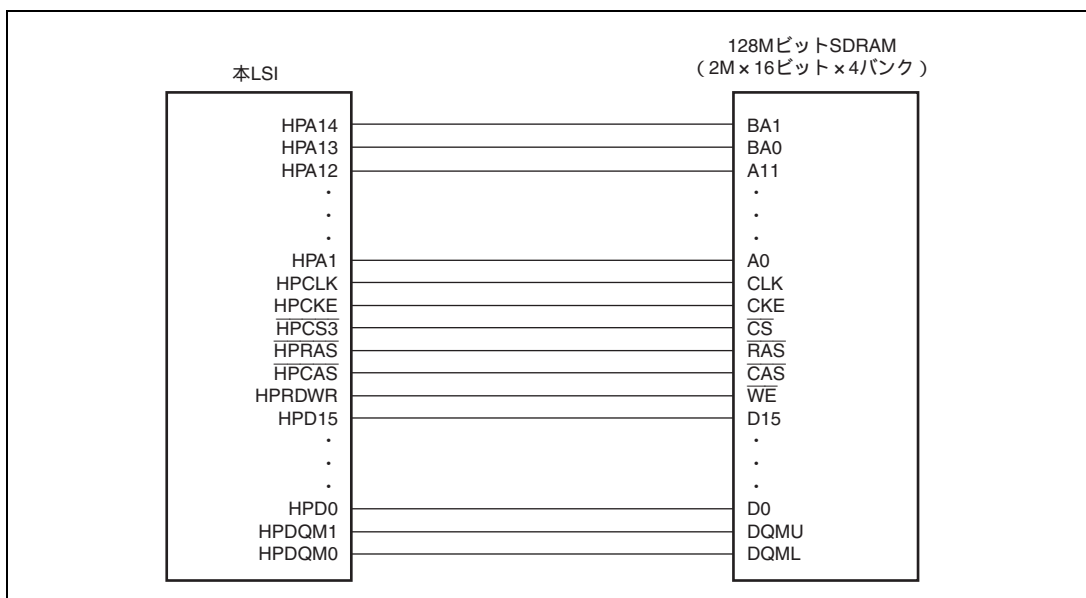


図12.2 SDRAM 接続例 (バス幅 16 ビット時)





## 12. SDRAM 用バスステートコントローラ (SBSC)

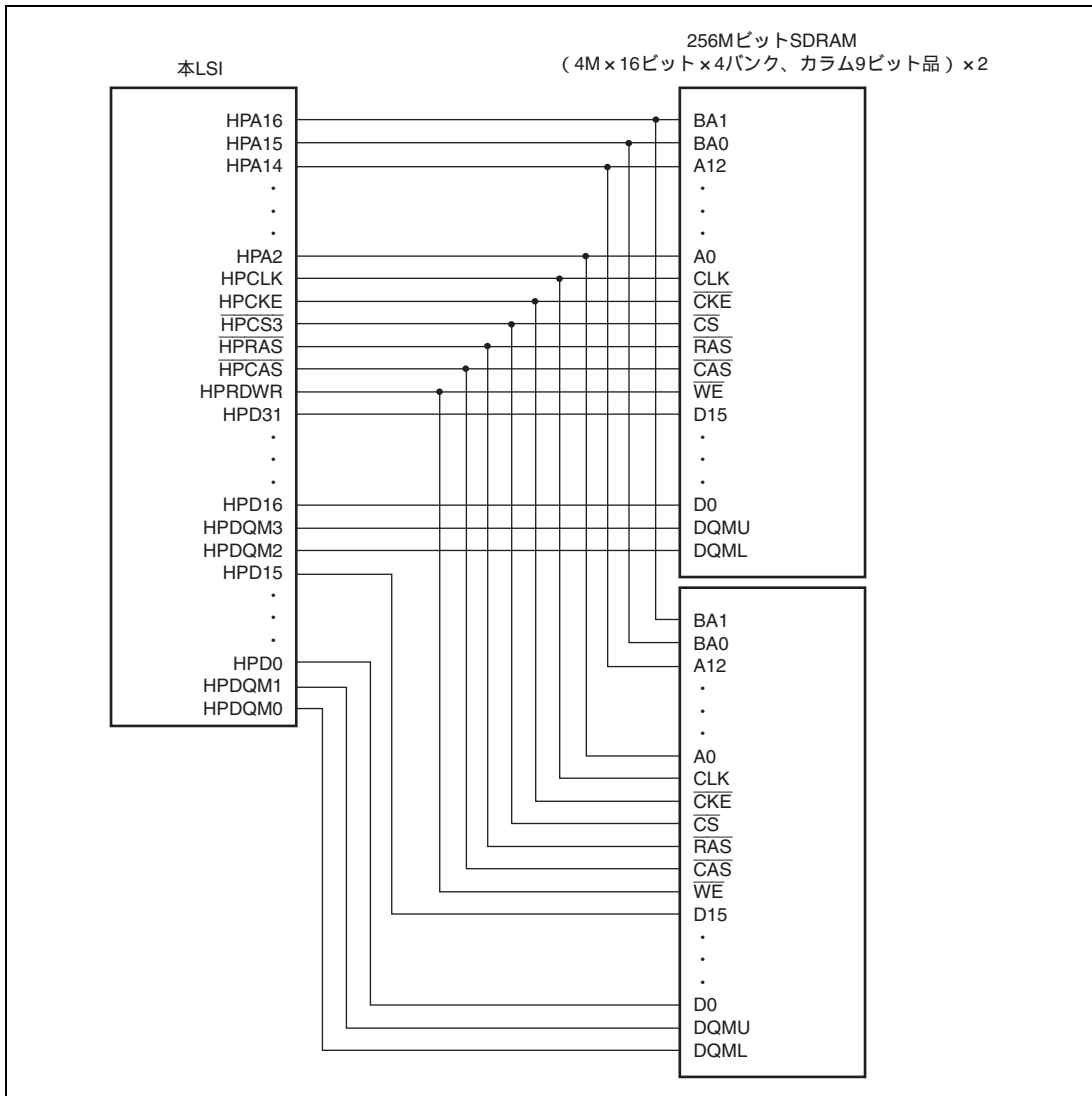


図12.4 SDRAM 接続例 (バス幅 32 ビット時)

## 12. SDRAM 用バスステートコントローラ (SBSC)

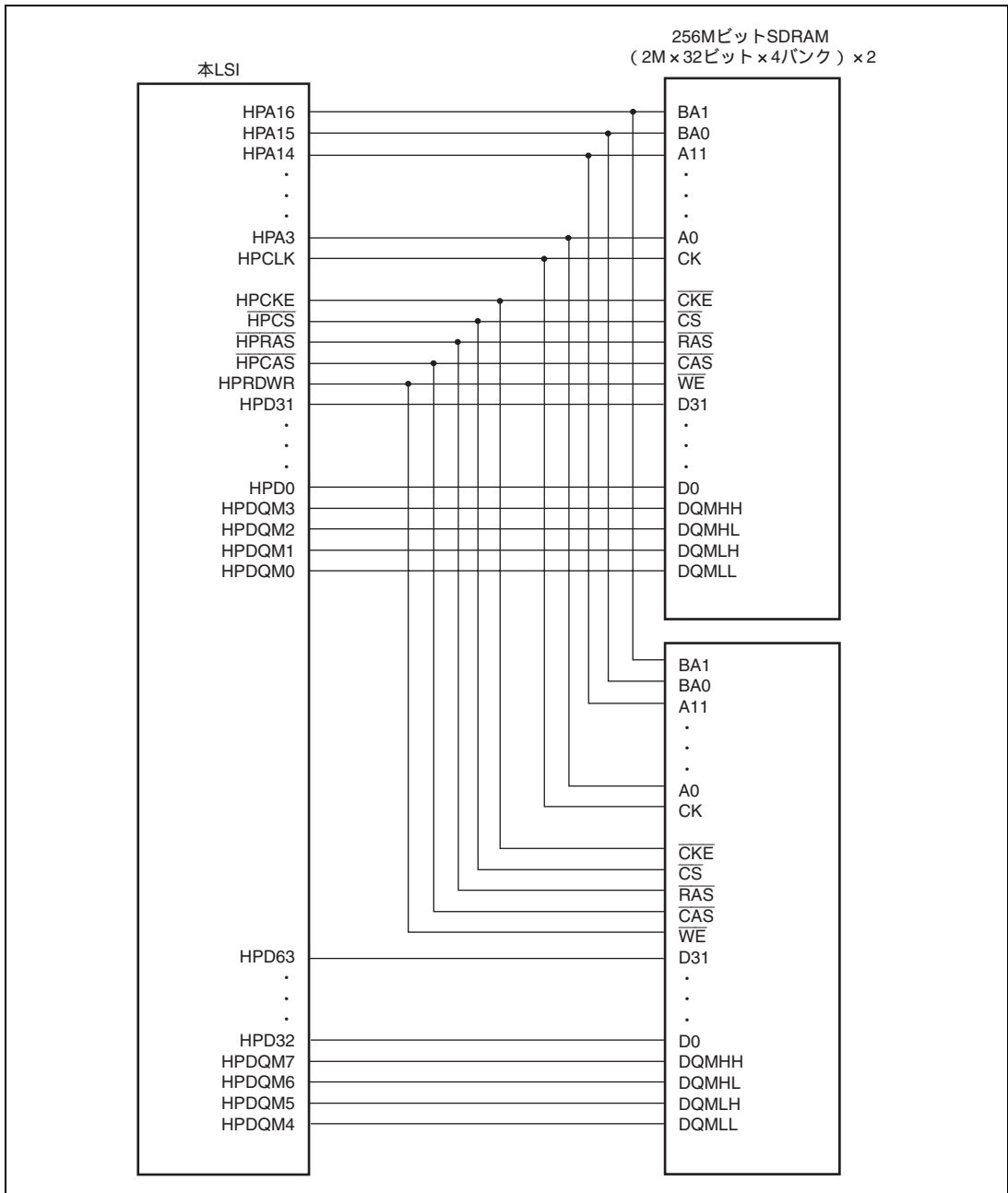


図12.5 SDRAM 接続例 (バス幅 64 ビット時)

## 12. SDRAM 用バスステートコントローラ (SBSC)

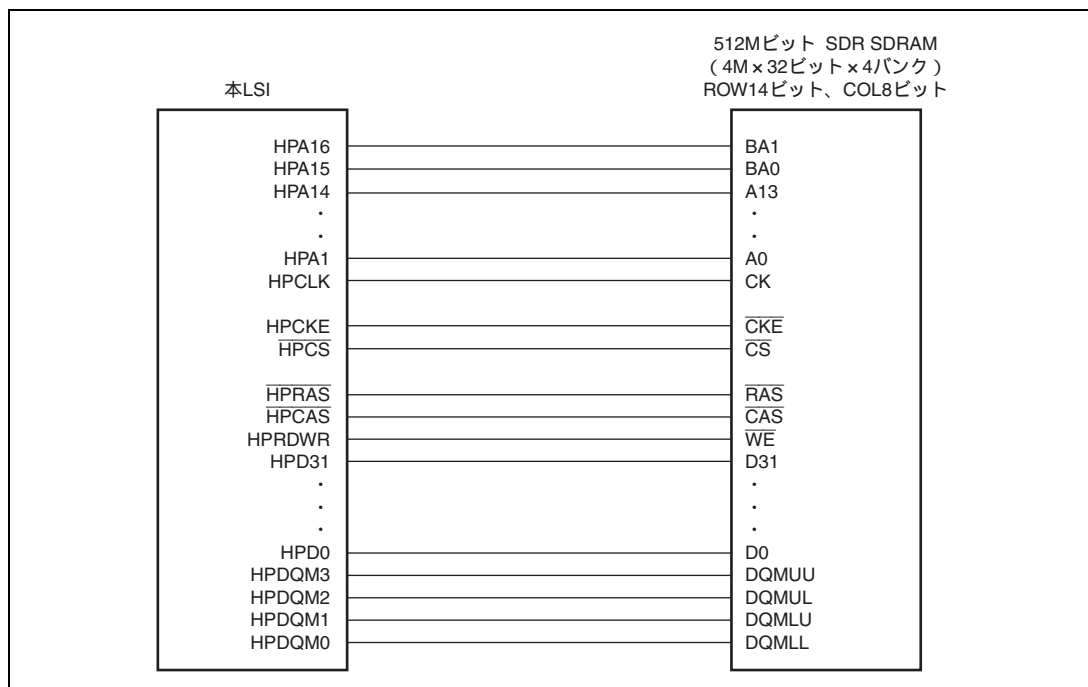


図12.6 SDRAM 接続例 (バス幅 32 ビット、ロウアドレスビット 14、SDCR0 の ADSFT = 1 時)

### (2) アドレスマルチプレクス

SDCR0、1 の SZ[1:0]ビット、ROW[1:0]ビット、COL[1:0]ビットの設定に従って、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるように、アドレスのマルチプレクスを行います。表 12.12~表 12.19 に SZ[1:0]ビット、ROW[1:0]ビット、COL[1:0]ビットの設定とアドレス端子に出力されるビットの関係を示します。

データバス幅が 16 ビットするとき (SZ = B'00) は、SDRAM の A0 端子を本 LSI の HPA1 端子に接続し、以下 A1 端子を HPA2 端子にという順で接続してください (表 12.12~表 12.15 参照)。データバス幅が 32 ビット (SZ = B'01)、ロウアドレスが 11/12/13 の SDRAM と本 LSI を接続する場合、SDRAM の A0 端子を本 LSI の HPA2 端子に接続し、以下 A1 端子を HPA3 端子にという順で接続してください (表 12.16、表 12.17 参照)。データバス幅が 64 ビット (SZ = B'10)、ロウアドレスが 11/12/13 の SDRAM と本 LSI を接続する場合、SDRAM の A0 端子を本 LSI の HPA3 端子に接続し、以下 A1 端子を HPA4 端子にという順で接続してください (表 12.18 参照)。また、データバス幅が 32 ビット、ロウアドレスが 14、または、データバス幅が 64 ビット、ロウアドレスが 14、13 の SDRAM と本 LSI を接続する場合、SDRAM の SDCR0/1 の ADSFT ビットに 1 を設定する必要があります。このとき、データバス幅が 32 ビット時は、A0 端子を本 LSI の HPA1 端子を接続し、データバス幅が 64 ビット時は、A0 端子を本 LSI の HPA2 端子に接続します。データバス幅が 32 ビット、ロウアドレスが 14 時の接続例を表 12.18 に示します。

## 12. SDRAM 用バスステートコントローラ (SBSC)

表12.12 SZ[1:0]、ROW[1:0]、COL[1:0]とアドレスマルチプレクスの関係 (1)

設定					
SZ[1:0]	ROW[1:0]	COL[1:0]			
00 (16ビット)	01 (12ビット)	00 (8ビット)			
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の端子	機 能	
HPA15	A23	A15		未使用	
HPA14	A22* <sup>2</sup>	A22* <sup>2</sup>	A13(BA1)	バンク指定	
HPA13	A21* <sup>2</sup>	A21* <sup>2</sup>	A12(BA0)		
HPA12	A20	A12	A11	アドレス	
HPA11	A19	L/H* <sup>1</sup>	A10/AP	アドレス / プリチャージ指定	
HPA10	A18	A10	A9	アドレス	
HPA9	A17	A9	A8		
HPA8	A16	A8	A7		
HPA7	A15	A7	A6		
HPA6	A14	A6	A5		
HPA5	A13	A5	A4		
HPA4	A12	A4	A3		
HPA3	A11	A3	A2		
HPA2	A10	A2	A1		
HPA1	A9	A1	A0		
HPA0	A8	A0			未使用
接続メモリ例					
64M ビット品 (1M ワード×16 ビット×4 バンク、カラム 8 ビット品) 1 個					

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイレベルに固定されます。

\*2 バンクアドレス指定

## 12. SDRAM 用バスステートコントローラ (SBSC)

表12.13 SZ[1:0]、ROW[1:0]、COL[1:0]とアドレスマルチプレクスの関係 (2)

設定					
SZ[1:0]	ROW[1:0]	COL[1:0]			
00 (16 ビット)	01 (12 ビット)	01 (9 ビット)	SDRAM の端子	機 能	
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル			
HPA15	A24	A15		未使用	
HPA14	A23* <sup>2</sup>	A23* <sup>2</sup>	A13(BA1)	バンク指定	
HPA13	A22* <sup>2</sup>	A22* <sup>2</sup>	A12(BA0)		
HPA12	A21	A12	A11	アドレス	
HPA11	A20	L/H* <sup>1</sup>	A10/AP	アドレス / プリチャージ指定	
HPA10	A19	A10	A9	アドレス	
HPA9	A18	A9	A8		
HPA8	A17	A8	A7		
HPA7	A16	A7	A6		
HPA6	A15	A6	A5		
HPA5	A14	A5	A4		
HPA4	A13	A4	A3		
HPA3	A12	A3	A2		
HPA2	A11	A2	A1		
HPA1	A10	A1	A0		
HPA0	A9	A0			未使用
接続メモリ例					
128M ビット品 (2M ワード × 16 ビット × 4 バンク、カラム 9 ビット品) 1 個					

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイレベルに固定されます。

\*2 バンクアドレス指定

## 12. SDRAM 用バスステートコントローラ (SBSC)

表12.14 SZ[1:0]、ROW[1:0]、COL[1:0]とアドレスマルチプレクスの関係 (3)

設定					
SZ[1:0]	ROW[1:0]	COL[1:0]			
00 (16ビット)	10 (13ビット)	01 (9ビット)			
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の端子	機 能	
HPA15	A24* <sup>2</sup>	A24* <sup>2</sup>	A14(BA1)	バンク指定	
HPA14	A23* <sup>2</sup>	A23* <sup>2</sup>	A13(BA0)		
HPA13	A22	A13	A12	アドレス	
HPA12	A21	A12	A11		
HPA11	A20	L/H* <sup>1</sup>	A10/AP	アドレス / プリチャージ指定	
HPA10	A19	A10	A9	アドレス	
HPA9	A18	A9	A8		
HPA8	A17	A8	A7		
HPA7	A16	A7	A6		
HPA6	A15	A6	A5		
HPA5	A14	A5	A4		
HPA4	A13	A4	A3		
HPA3	A12	A3	A2		
HPA2	A11	A2	A1		
HPA1	A10	A1	A0		
HPA0	A9	A0			未使用
接続メモリ例					
256M ビット品 (4M ワード × 16 ビット × 4 バンク、カラム 9 ビット品) 1 個					

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイレベルに固定されます。

\*2 バンクアドレス指定



## 12. SDRAM 用バスステートコントローラ (SBSC)

表12.15 SZ[1:0]、ROW[1:0]、COL[1:0]とアドレスマルチプレクスの関係 (4)

設定				
SZ[1:0]	ROW[1:0]	COL[1:0]		
00 (16 ビット)	10 (13 ビット)	10 (10 ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の端子	機 能
HPA15	A25* <sup>2</sup>	A25* <sup>2</sup>	A14(BA1)	バンク指定
HPA14	A24* <sup>2</sup>	A24* <sup>2</sup>	A13(BA0)	
HPA13	A23	A13	A12	アドレス
HPA12	A22	A12	A11	
HPA11	A21	L/H* <sup>1</sup>	A10/AP	
HPA10	A20	A10	A9	アドレス
HPA9	A19	A9	A8	
HPA8	A18	A8	A7	
HPA7	A17	A7	A6	
HPA6	A16	A6	A5	
HPA5	A15	A5	A4	
HPA4	A14	A4	A3	
HPA3	A13	A3	A2	
HPA2	A12	A2	A1	
HPA1	A11	A1	A0	
HPA0	A10	A0		
接続メモリ例				
512M ビット品 (8M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイレベルに固定されます。

\*2 バンクアドレス指定

## 12. SDRAM 用バスステートコントローラ (SBSC)

表12.16 SZ[1:0]、ROW[1:0]、COL[1:0]とアドレスマルチプレクスの関係 (5)

設定				
SZ[1:0]	ROW[1:0]	COL[1:0]		
01 (32 ビット)	01 (12 ビット)	01 (9 ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の端子	機 能
HPA15	A24* <sup>2</sup>	A24* <sup>2</sup>	A13(BA1)	バンク指定
HPA14	A23* <sup>2</sup>	A23* <sup>2</sup>	A12(BA0)	
HPA13	A22	A13	A11	アドレス
HPA12	A21	L/H* <sup>1</sup>	A10/AP	アドレス / プリチャージ指定
HPA11	A20	A11	A9	アドレス
HPA10	A19	A10	A8	
HPA9	A18	A9	A7	
HPA8	A17	A8	A6	
HPA7	A16	A7	A5	
HPA6	A15	A6	A4	
HPA5	A14	A5	A3	
HPA4	A13	A4	A2	
HPA3	A12	A3	A1	
HPA2	A11	A2	A0	
HPA1	A10	A1		
HPA0	A9	A0		
接続メモリ例				
128M ビット品 (2M ワード × 16 ビット × 4 バンク、カラム 9 ビット品) 2 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイレベルに固定されます。

\*2 バンクアドレス指定

## 12. SDRAM 用バスステートコントローラ (SBSC)

表12.17 SZ[1:0]、ROW[1:0]、COL[1:0]とアドレスマルチプレクスの関係 (6)

設定					
SZ[1:0]	ROW[1:0]	COL[1:0]			
01 (32 ビット)	01 (12 ビット)	00 (8 ビット)			
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の端子	機 能	
HPA15	A23 <sup>*2</sup>	A23 <sup>*2</sup>	A13(BA1)	バンク指定	
HPA14	A22 <sup>*2</sup>	A22 <sup>*2</sup>	A12(BA0)		
HPA13	A21	A13	A11	アドレス	
HPA12	A20	L/H <sup>*1</sup>	A10/AP	アドレス / プリチャージ指定	
HPA11	A19	A11	A9	アドレス	
HPA10	A18	A10	A8		
HPA9	A17	A9	A7		
HPA8	A16	A8	A6		
HPA7	A15	A7	A5		
HPA6	A14	A6	A4		
HPA5	A13	A5	A3		
HPA4	A12	A4	A2		
HPA3	A11	A3	A1		
HPA2	A10	A2	A0		
HPA1	A9	A1			未使用
HPA0	A8	A0			
接続メモリ例					
64M ビット品 (1M ワード×16 ビット×4 バンク、カラム 8 ビット品) 2 個					

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイレベルに固定されます。

\*2 バンクアドレス指定

## 12. SDRAM 用バスステートコントローラ (SBSC)

表12.18 SZ[1:0]、ROW[1:0]、COL[1:0]とアドレスマルチプレクスの関係 (7)

設定				
SZ[1:0]	ROW[1:0]	COL[1:0]		
01 (32 ビット)	11* <sup>3</sup> (14 ビット)	00 (8 ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の端子	機 能
HPA16	A25* <sup>2</sup>	A25* <sup>2</sup>	A15(BA1)	バンク指定
HPA15	A24* <sup>2</sup>	A24* <sup>2</sup>	A14(BA0)	
HPA14	A23	A14	A13	アドレス
HPA13	A22	A13	A12	
HPA12	A21	A12	A11	
HPA11	A20	L/H* <sup>1</sup>	A10/AP	アドレス / プリチャージ指定
HPA10	A19	A11	A9	アドレス
HPA9	A18	A10	A8	
HPA8	A17	A9	A7	
HPA7	A16	A8	A6	
HPA6	A15	A7	A5	
HPA5	A14	A6	A4	
HPA4	A13	A5	A3	
HPA3	A12	A4	A2	
HPA2	A11	A3	A1	
HPA1	A10	A2	A0	
接続メモリ例				
512M ビット品 (1M ワード × 16 ビット × 4 バンク、カラム 8 ビット品) 1 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイレベルに固定されます。

\*2 バンクアドレス指定

\*3 ROW[1:0]=B'11 を選択する場合には、SDCR0 の ADSFT ビットに 1 をセットしてください。

## 12. SDRAM 用バスステートコントローラ (SBSC)

表12.19 SZ[1:0]、ROW[1:0]、COL[1:0]とアドレスマルチプレクスの関係 (8)

設定				
SZ[1:0]	ROW[1:0]	COL[1:0]		
10 (64 ビット)	01 (12 ビット)	00 (8 ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の端子	機 能
HPA16	A24 <sup>2</sup>	A25 <sup>*2</sup>	A13(BA1)	バンク指定
HPA15	A23 <sup>2</sup>	A24 <sup>*2</sup>	A12(BA0)	
HPA14	A22	A13	A11	アドレス
HPA13	A21	L/H <sup>*1</sup>	A10/AP	アドレス / プリチャージ指定
HPA12	A20	A12	A9	アドレス
HPA11	A19	A11	A8	
HPA10	A18	A10	A7	
HPA9	A17	A9	A6	
HPA8	A16	A8	A5	
HPA7	A15	A7	A4	
HPA6	A14	A6	A3	
HPA5	A13	A5	A2	
HPA4	A12	A4	A1	
HPA3	A11	A3	A0	
HPA2	-	-	-	未使用
接続メモリ例				
256M ビット品 (2M ワード × 32 ビット × 4 バンク、カラム 8 ビット品) 2 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイレベルに固定されます。

\*2 バンクアドレス指定

## 12. SDRAM 用バスステートコントローラ (SBSC)

### (3) パーストリード

本 LSI でパーストリードが発生する条件は以下のとおりです。

- データバス幅よりもリードのアクセスサイズが大きいとき
- キャッシュミス時の32バイト転送時

本 LSI は SDRAM に対しバースト長 1、またはバースト長 4 でアクセスします。たとえば、16 ビットのデータバスに接続された SDRAM から連続して 32 バイト分のデータを読み出すときは、バースト長 1 (SDCR0 の BL ビット=0) 設定時は、パーストリードを 16 回連続して行います。バースト長 4 (SDCR0 の BL ビット=1) 設定時は、バースト長 4 のパーストリードを 4 回行います。このときのアクセスをバースト数 16 と呼びます。表 12.20 にアクセスサイズとバースト数の関係を示します。

表12.20 アクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	64 ビット	4
	16 バイト	8
	32 バイト	16
32 ビット	8 ビット	1
	16 ビット	1
	32 ビット	1
	64 ビット	2
	16 バイト	4
	32 バイト	8
64 ビット	8 ビット	1
	16 ビット	1
	32 ビット	1
	64 ビット	1
	16 バイト	2
	32 バイト	4

バーストリード時のタイミングチャートを図 12.7、図 12.8 に示します。図 12.7 では、ACTV コマンド出力を行う  $T_r$  サイクルに続いて、READ コマンドを  $T_{c1} \sim T_{c7}$  サイクルに、READA コマンドを  $T_{c8}$  サイクルに発行し、 $T_{d1}$  から  $T_{d8}$  のサイクルに外部クロック (HPCLK) の立ち上がりでリードデータを受け取ります。Tap サイクルは SDRAM 内部で READA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、異なるバンクに対するアクセスは可能です。SDWCR の  $TRP[1:0]$  ビットの指定によって Tap のサイクル数を決定します。

本 LSI ではさまざまな周波数で SDRAM と接続するために、SDWCR の各ビットを設定することによりウェイトサイクルを挿入することができます。各種ウェイトの設定を行った例が図 12.8 となります。ACTV コマンド出力サイクル  $T_r$  から READA コマンド出力サイクル  $T_{c1}$  までのサイクル数は SDWCR の  $TRCD[1:0]$  ビットによって指定することができます。 $TRCD[1:0]$  の設定が 2 サイクル以上の場合、 $T_r$  サイクルと  $T_{c1}$  サイクルの間に NOP コマンド発行サイクル  $T_{rw}$  サイクルが挿入されます。READA コマンド出力サイクル  $T_{c1}$  からリードデータ取り込みサイクル  $T_{d1}$  までのサイクル数は SDWCR の  $CL[2:0]$  ビットによって指定することができます。このサイクル数は SDRAM の CAS レイテンシに相当します。

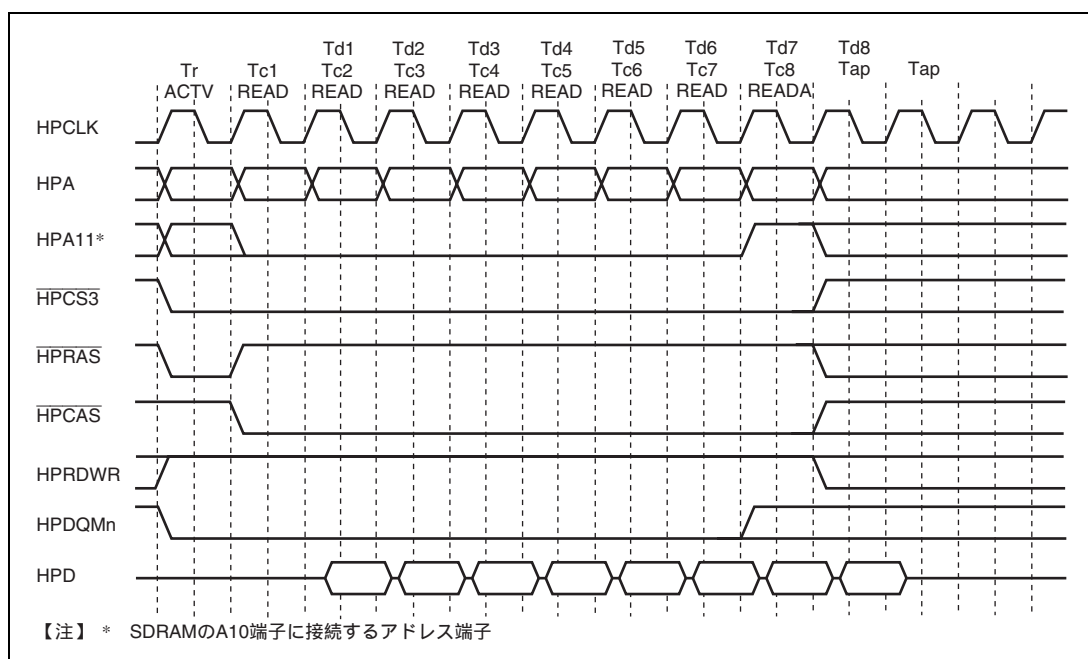


図12.7 バーストリード基本タイミング (オートプリチャージ)

## 12. SDRAM 用バスステートコントローラ (SBSC)

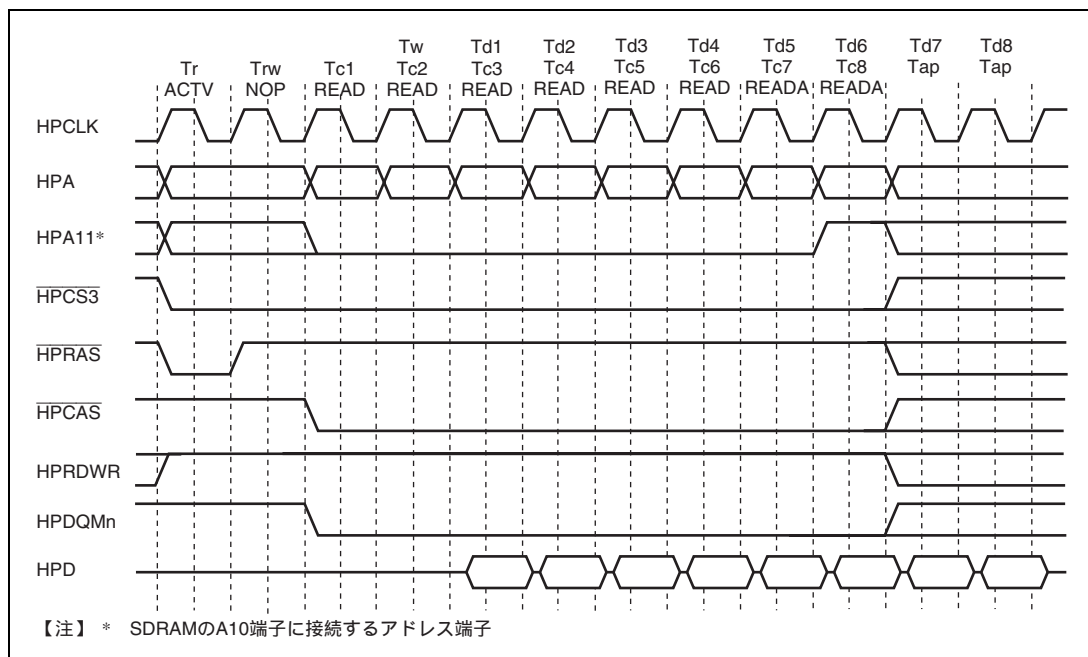


図12.8 バーストリードウェイト指定タイミング (オートプリチャージ)



## (4) シングルリード

ノンキャッシュ領域でかつデータバス幅がアクセスサイズ以上のときは、リードアクセスは1回で終了します。これをシングルリードと呼びます。SDRAMは、バーストリード/シングルライトのモードでバースト長1に設定しているので必要なデータのみ出力します。このため、キャッシュスルー領域をアクセスしても無駄なバスサイクルは発生しません。シングルリードの基本タイミングチャートを図12.9に示します。

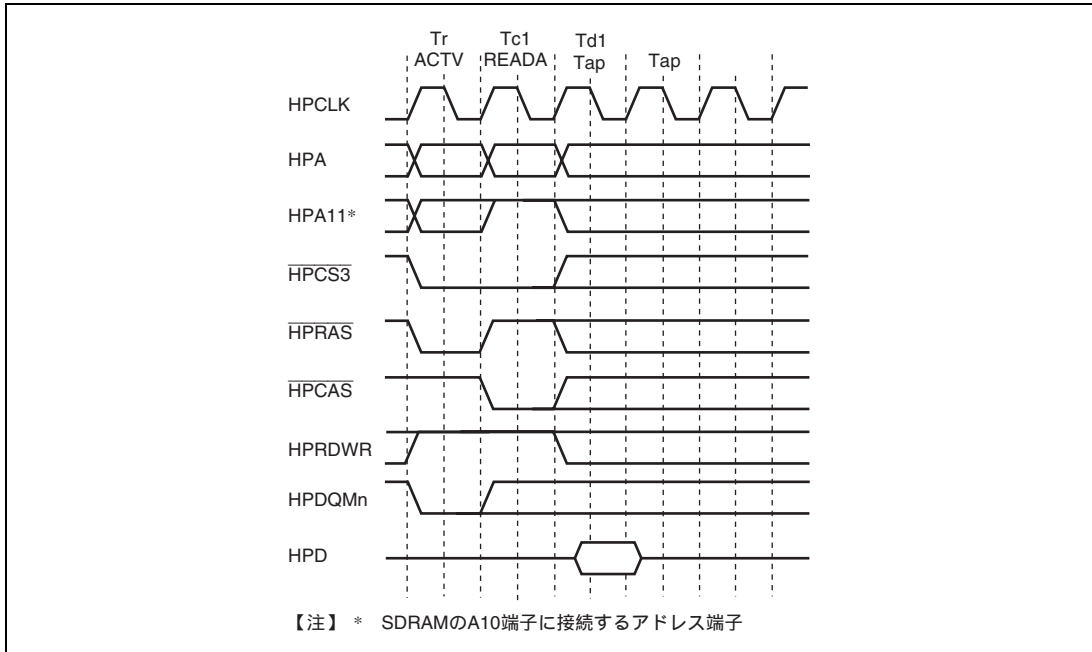


図12.9 シングルリード基本タイミング (オートプリチャージ)

## 12. SDRAM 用バスステートコントローラ (SBSC)

### (5) パーストライト

本 LSI でパーストライトが発生する条件は以下のとおりです。

- データバス幅よりもライトのアクセスサイズが大きいとき
- キャッシュのコピーバックが発生したとき

本 LSI は SDRAM に対しパースト長 1 または、パースト長 4 でアクセスします。パースト長 1 (SDCR0.BL=0) で 16 ビットのデータバスに接続された SDRAM から連続して 32 バイト分のデータを書き込むときは、パースト長 1 のライトを 16 回連続して行います。パースト長 4 (SDCR0.BL=1) で 16 ビットのデータバスに接続された SDRAM から連続して 32 バイト分のデータを書き込むときは、パースト長 4 のライトを 4 回連続して行います。アクセスサイズとパースト数の関係は、表 12.20 に従います。

図 12.10 にパーストライト時のタイミングチャートを示します。パーストライトの動作は ACTV コマンド出力を行う Tr サイクルに続いて、WRIT コマンドを Tc1 ~ Tc7 サイクルに、オートプリチャージを行う WRITA コマンドを Tc8 サイクルに発行します。ライトサイクルではライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンド出力後は、オートプリチャージが起動されるまでの時間を待つ Trw1 サイクル、そしてオートプリチャージの完了を待つ Tap サイクルが続きます。Tap サイクルは SDRAM 内部で WRITA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、SDRAM の異なるバンクに対するアクセスは可能です。Trw1 サイクルは SDWCR の TRWL[1:0]ビット、Tap サイクルは TRP[1:0]ビットの指定で決定されます。

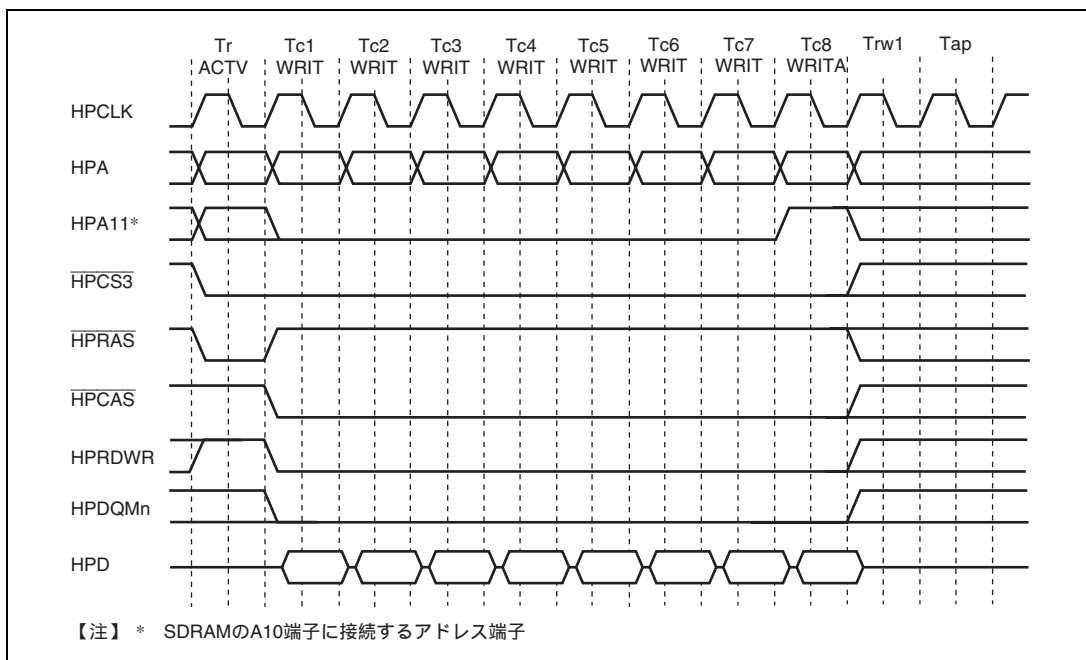


図12.10 パーストライト基本タイミング (オートプリチャージ)

## (6) シングルライト

ノンキャッシュ領域でかつデータバス幅がアクセスサイズ以上のときは、ライトアクセスは1回で終了します。これをシングルライトと呼びます。シングルライトの基本タイミングチャートを図12.11に示します。

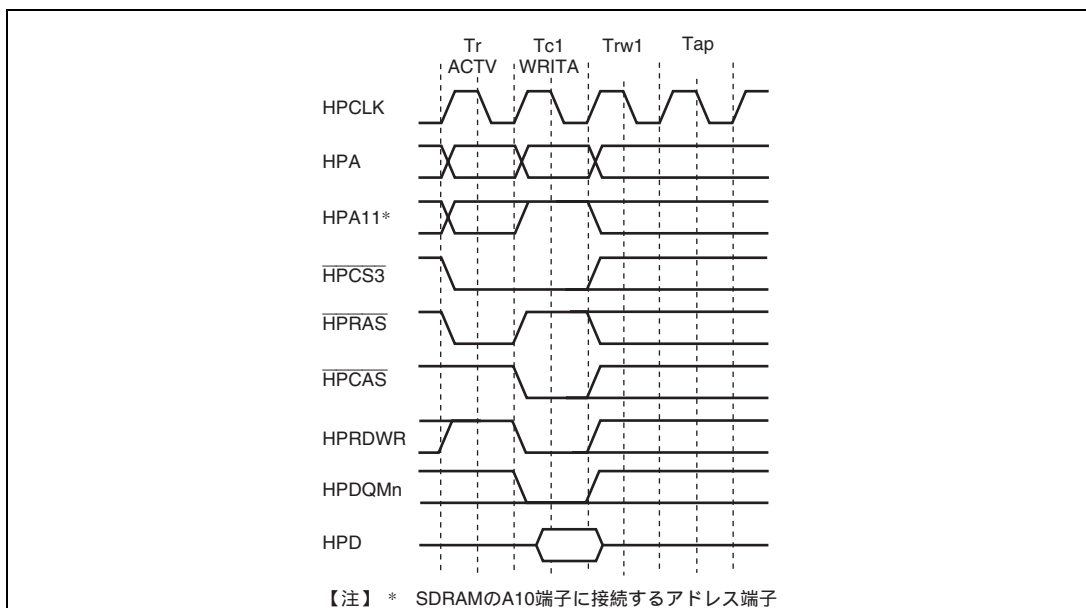


図12.11 シングルライト基本タイミング (オートプリチャージ)

## (7) バンクアクティブ

同一のロウアドレスに対するアクセスを高速実行するため、SDRAMのバンク機能を使用することができます。SDCR0のBACTVビットが1の場合、オートプリチャージなしのコマンド (READまたはWRIT) を使用してアクセスを行います。これをバンクアクティブ機能といいます。また、SDCR0のBLビットが1の場合、バースト長4でSDRAMアクセスします。本設定は、異なるバンクへのロウアドレスミス時のペナルティを削減することができます。

## 12. SDRAM 用バスステートコントローラ (SBSC)

---

### (a) バンクアクティブモード (バースト長 1)

バンクアクティブ機能 (バースト長 1) を用いた場合、アクセスが終了してもプリチャージは行われません。同じバンクの同じロウアドレスにアクセスする場合、ACTV コマンドを発行せずに、直ちに READ または WRIT コマンドを発行することができます。SDRAM の内部は複数のバンクに分かれているので、それぞれのバンクで 1 つずつのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順に発行します。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまう可能性があります。PRE コマンド発行から ACTV コマンド発行までのサイクル数は、SDWCR の TRP[1:0] ビットで指定します。

書き込みの場合、オートプリチャージを行うと、WRITA コマンド発行後  $Trwl + Tap$  サイクルの間同一バンクに対してコマンドを発行できません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに  $Trwl + Tap$  サイクルだけサイクル数を短縮することができます。

各バンクをアクティブ状態にしておける時間 (tRAS) には制限があります。プログラムの実行によって、この制限を守る周期で異なるロウアドレスにアクセスする保証がない場合には、リフレッシュ周期を tRAS 以下に設定する必要があります。図 12.12 にオートプリチャージのないバーストリードサイクルを、図 12.13 には同一のロウアドレスに対するバーストリードサイクルを、図 12.14 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に、図 12.15 にオートプリチャージのないシングルライトサイクルを、図 12.16 に同一のロウアドレスに対するシングルライトサイクルを、図 12.17 には異なるロウアドレスに対するシングルライトサイクルを示します。

図 12.13 において、READ コマンドを発行する  $Tc$  サイクルに先立って、何も行わない  $Tnop$  サイクルが挿入されています。これは SDRAM からのデータリード時に、読み出しバイト指定を行う HPDQMn 信号について、2 サイクルのレイテンシを守るために挿入されています。CAS レイテンシが 2 以上の場合には、 $Tc$  サイクル以降に HPDQMn 信号をアサートしても 2 サイクルのレイテンシが守られるので、 $Tnop$  サイクルの挿入は行われません。バンクアクティブ機能が設定されている空間のそれぞれのバンクに対するアクセスのみを見た場合、同一のロウアドレスに対するアクセスが続くかぎり図 12.12 または図 12.15 で始まり、図 12.13 または図 12.16 を繰り返します。間に別の空間や別のバンクに対するアクセスがあっても影響しません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合、図 12.13 または図 12.16 のかわりに図 12.14 または図 12.17 のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後には、すべてのバンクが非アクティブな状態になります。

## 12. SDRAM用バスステートコントローラ (SBSC)

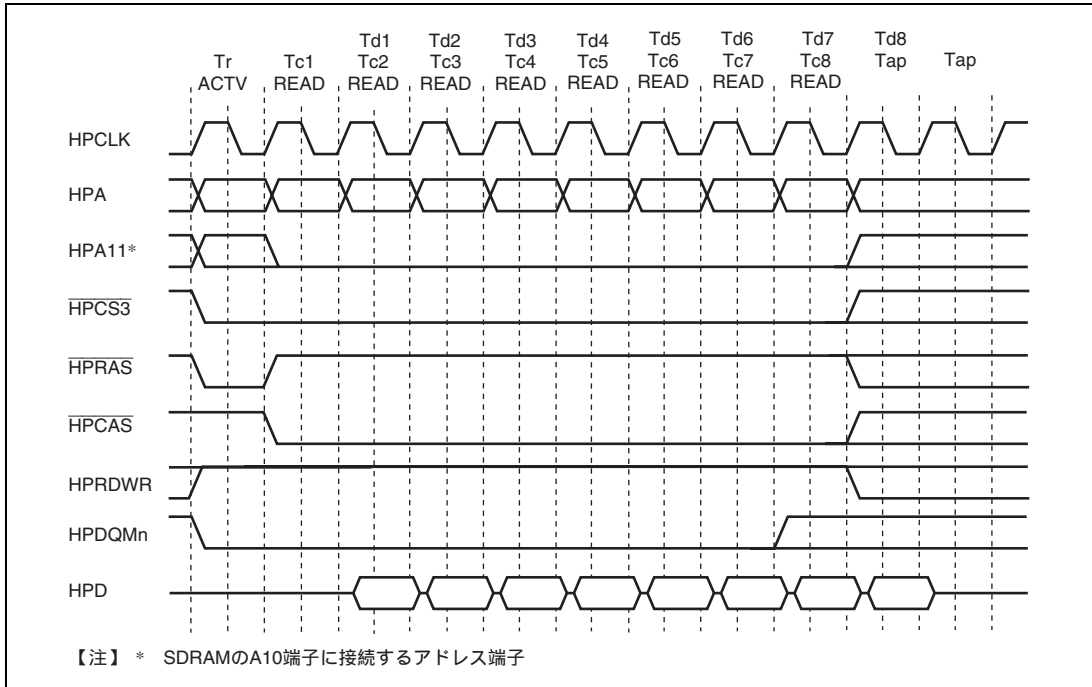


図12.12 バーストリードタイミング (オートプリチャージなし)

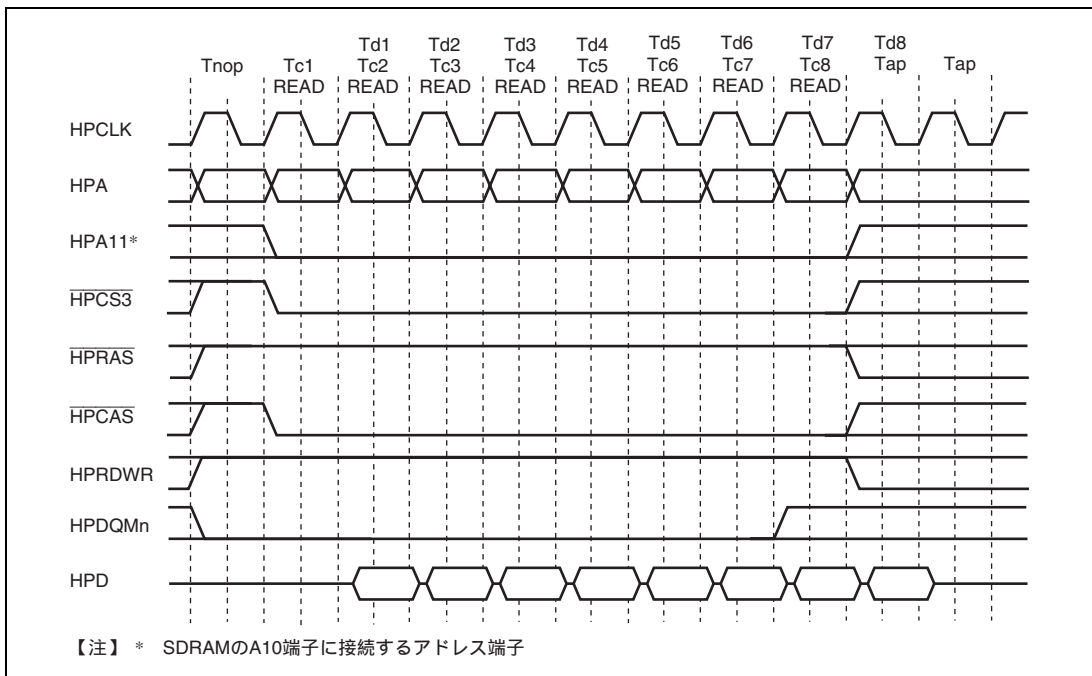


図12.13 バーストリードタイミング (バンクアクティブ、同一ロウアドレス)

## 12. SDRAM 用バスステートコントローラ (SBSC)

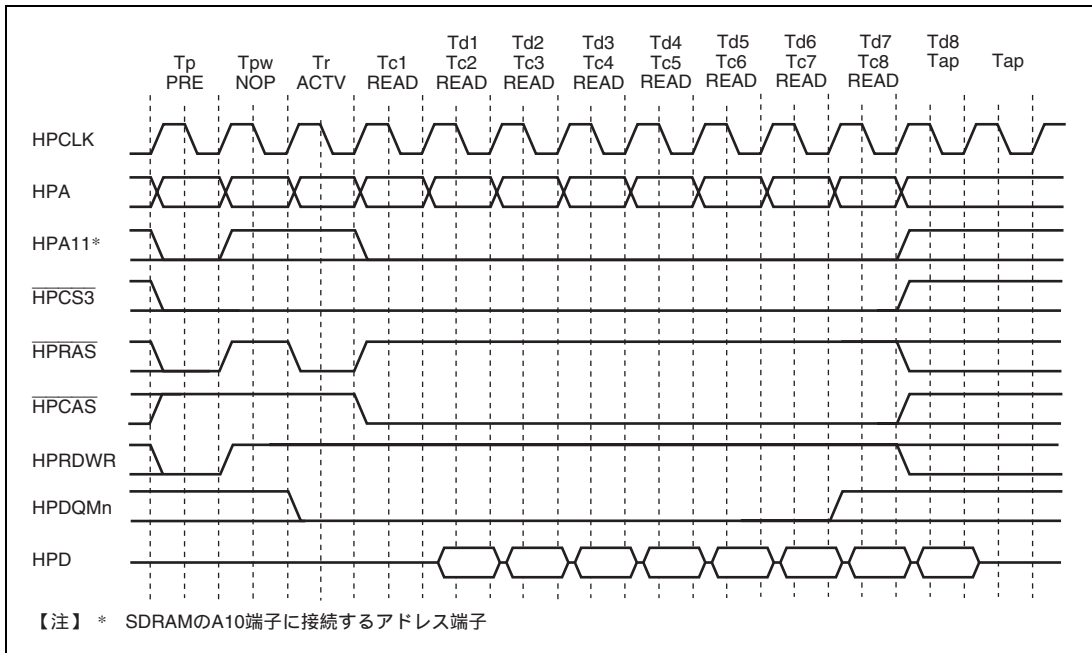


図12.14 バーストリードタイミング (バンクアクティブ、異なるロウアドレス)

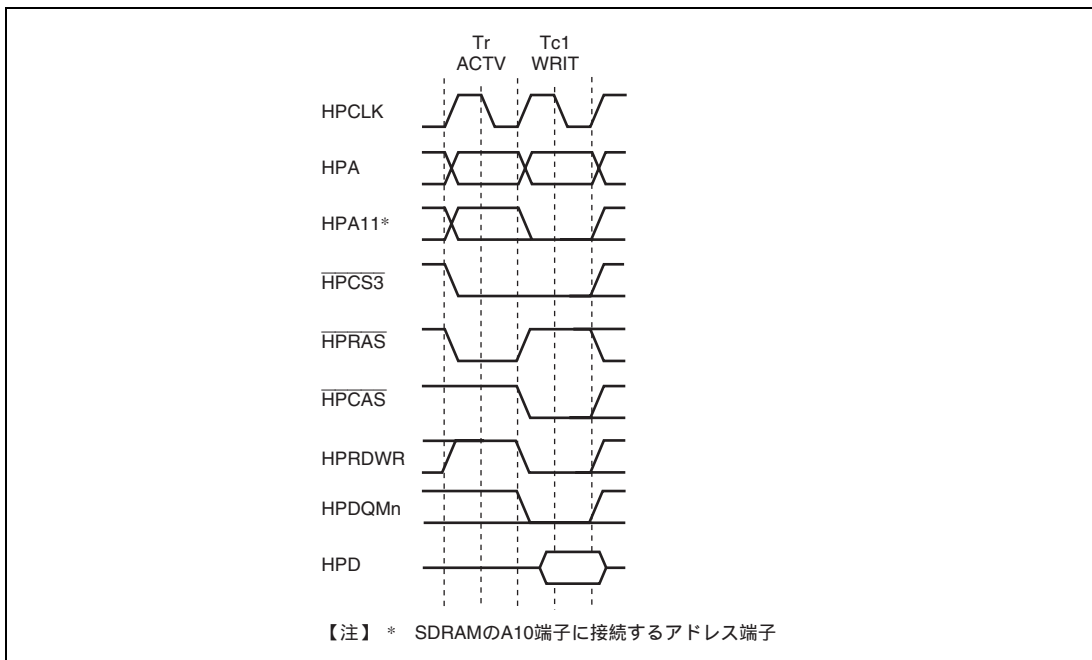


図12.15 シングルライトタイミング (オートプリチャージなし)

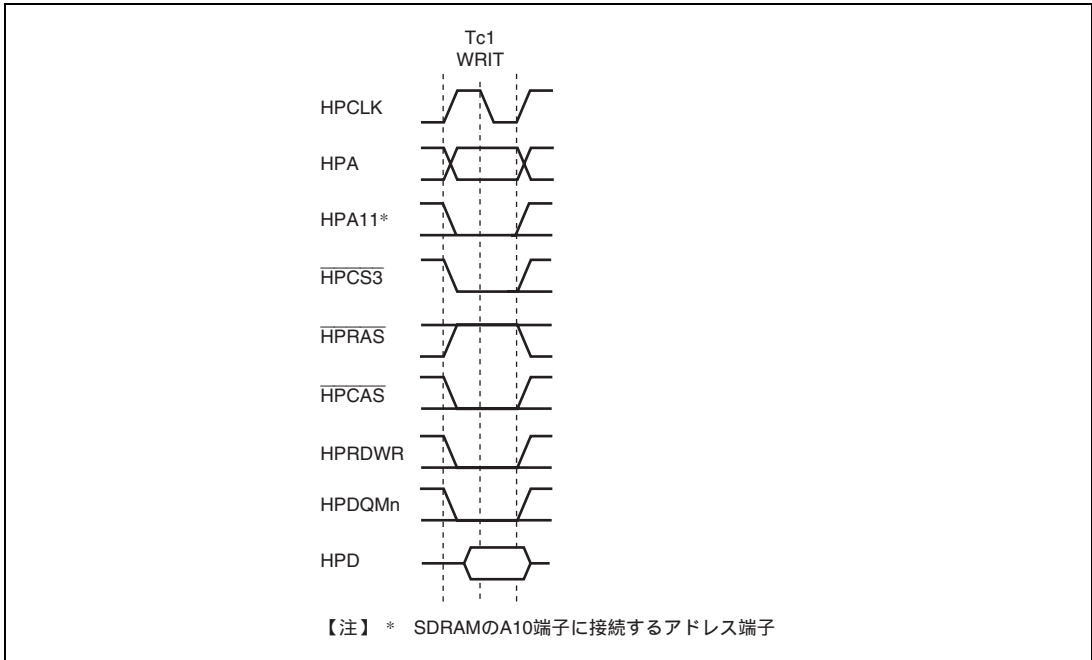


図12.16 シングルライトタイミング (バンクアクティブ、同一ロウアドレス)

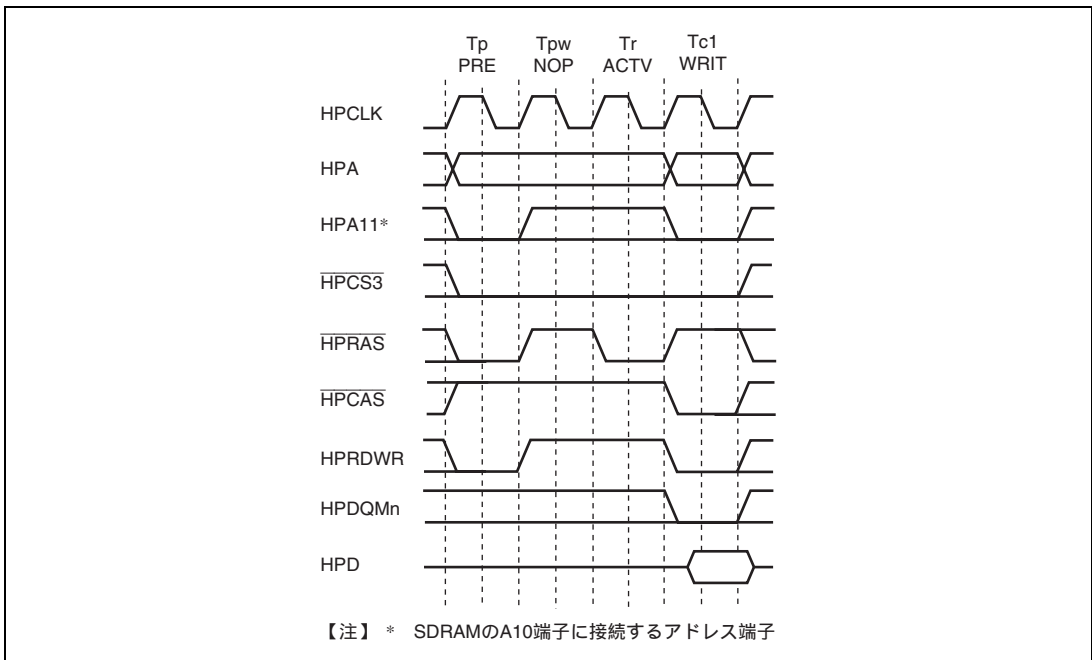


図12.17 シングルライトタイミング (バンクアクティブ、異なるロウアドレス)

## 12. SDRAM 用バスステートコントローラ (SBSC)

### (b) バンクアクティブモード (バースト長 4)

バンクアクティブ機能(バースト長 4)の場合、バースト数 1、2、4 のアクセスに対して、バースト長 4 の READ または WRIT コマンドを 1 回発行します。また、バースト数が 8 以上の場合は、バースト数 / 4 回のバースト長 4 の READ または WRIT コマンドを発行します。バースト数が 1、2 の場合にも、バースト長 4 の READ または WRIT コマンドを 1 回発行します。この場合、バースト数以降のアクセスサイクルは、HPDQMn をネゲート状態 (ハイレベル) を出力し、SDRAM への誤書き込み、および不要データの出力を防止します。

バースト数 4 のライトアクセスサイクルを図 12.18、バースト数 1 のライトアクセスサイクルを図 12.19 に示します。また、バースト数 4 のリードアクセスサイクルを図 12.20、バースト数 1 のリードアクセスサイクルを図 12.21 に示します。

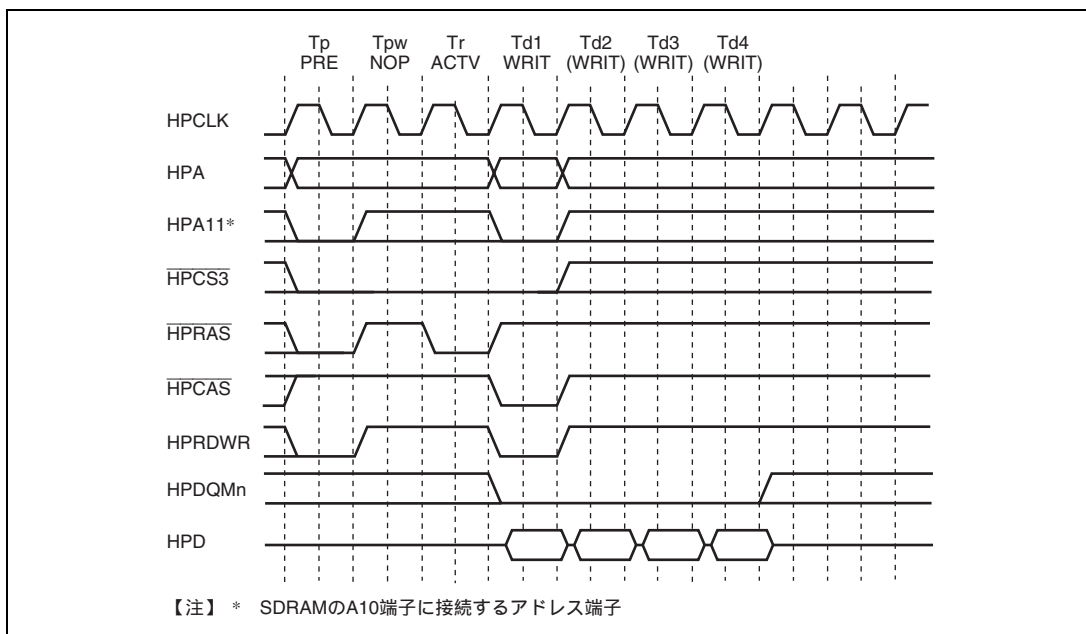


図12.18 バースト数 4 のライトアクセスサイクル (バンクアクティブモード、バースト長 4)



## 12. SDRAM 用バスステートコントローラ (SBSC)

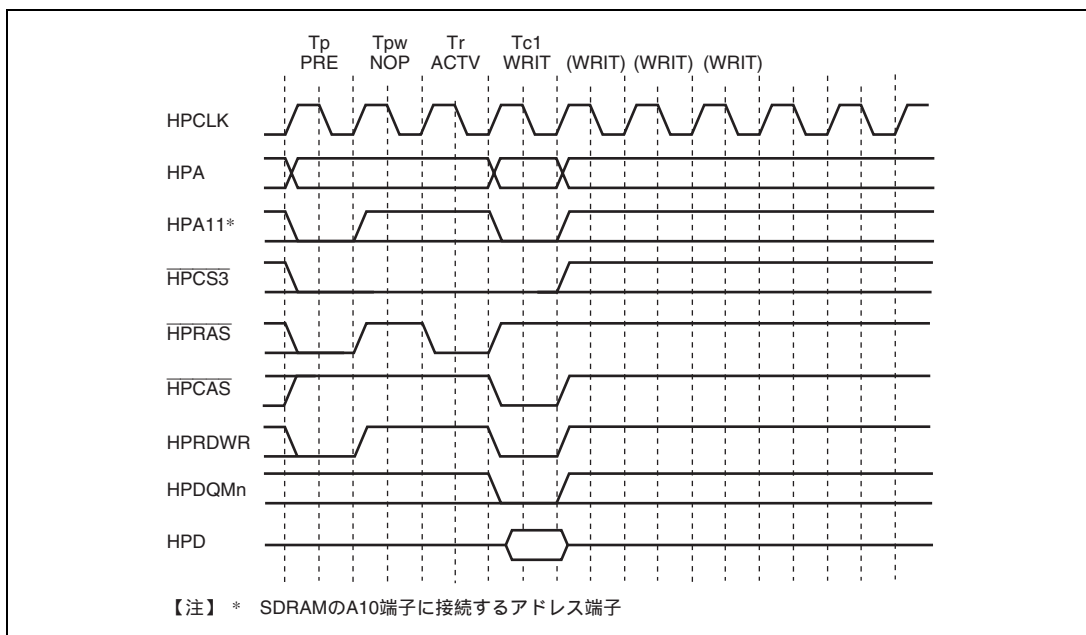


図12.19 バースト数 1 のライトアクセスサイクル (バンクアクティブモード、バースト長 4)

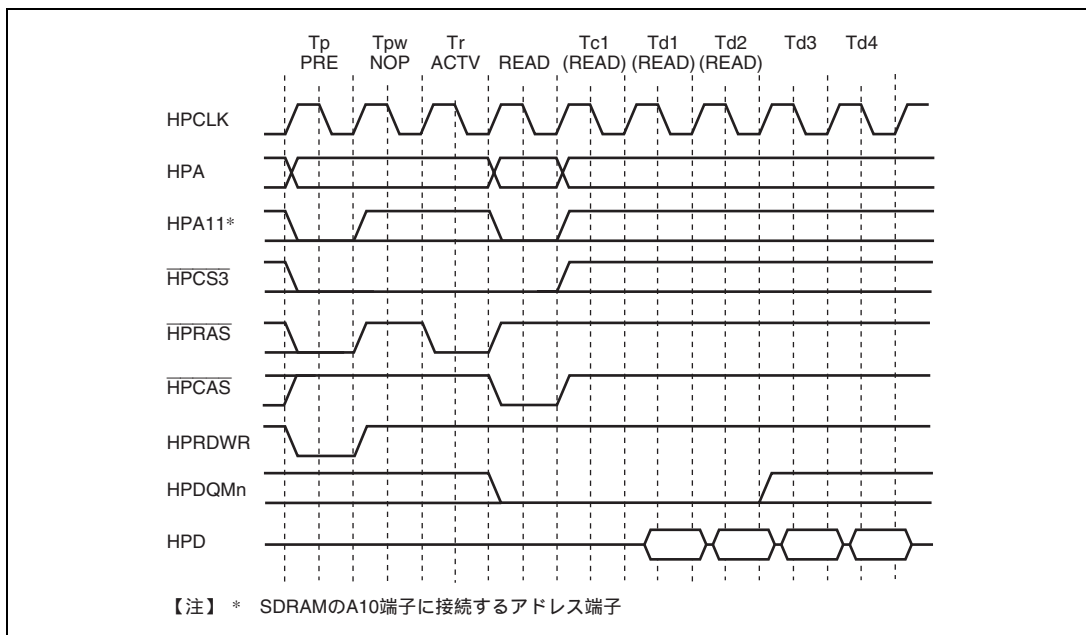


図12.20 バースト数 4 のリードアクセスサイクル (バンクアクティブモード、バースト長 4)

## 12. SDRAM 用バスステートコントローラ (SBSC)

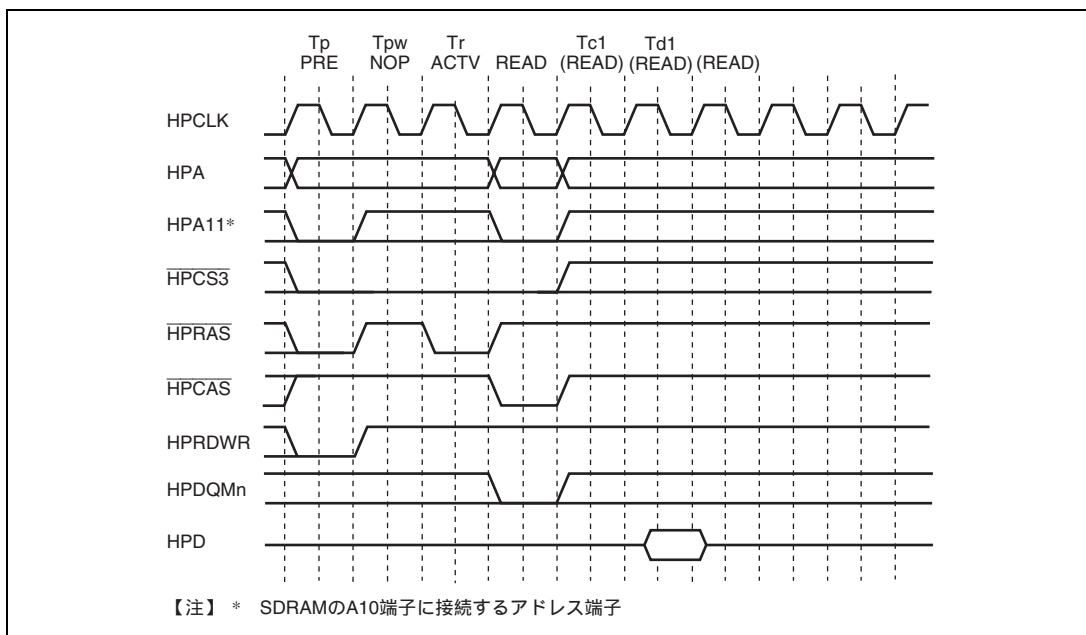


図12.21 バースト数 1 のリードアクセスサイクル (バンクアクティブモード、バースト長 4)

次に、バースト長 4 を設定した場合の 2 転送の連続アクセスサイクルを示します (図 12.23、図 12.24 参照)。連続アクセスの第 1 の転送を SDRAM のバンク A、第 2 の転送を SDRAM のバンク B へ転送したアクセスサイクルを示します。バースト長 1 の場合には、第 2 の転送 (バンク B へ転送) が異なるロウアドレスであった場合に、バンク A への転送が完了するまで、バンク B への転送を開始できません (図 12.22 参照)。これに対し、バースト長 4 を設定した場合には、バンク A へのバーストアクセス中に、バンク B への PRE コマンド、ACTV コマンドを発行します。このように、バンク A への転送中にバンク B をロウアクティブの状態にすることができ、バンク A への転送完了後、直ちにバンク B への READ/WRITE コマンドを発行することができます。バンク B への PRE、ACTV コマンド発行のアクセスサイクル分を短縮することが可能です。

図 12.23 に、バースト数 4 の異なるバンクへの連続ライトアクセスサイクルを示します。また、図 12.24 に、バースト数 4 の異なるバンクへの連続リードアクセスサイクルを示します。

## 12. SDRAM 用バスステートコントローラ (SBSC)

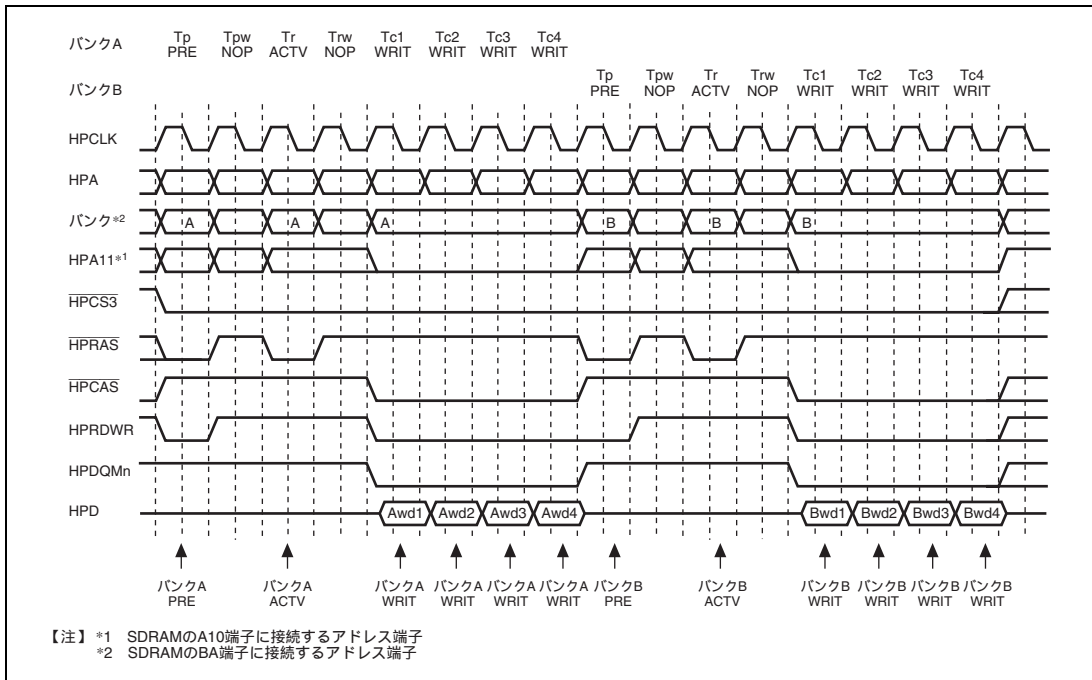


図12.22 バースト数4の異なるバンクへの連続ライトアクセスサイクル  
(バンクアクティブモード、バースト長1)

## 12. SDRAM 用バスステートコントローラ (SBSC)

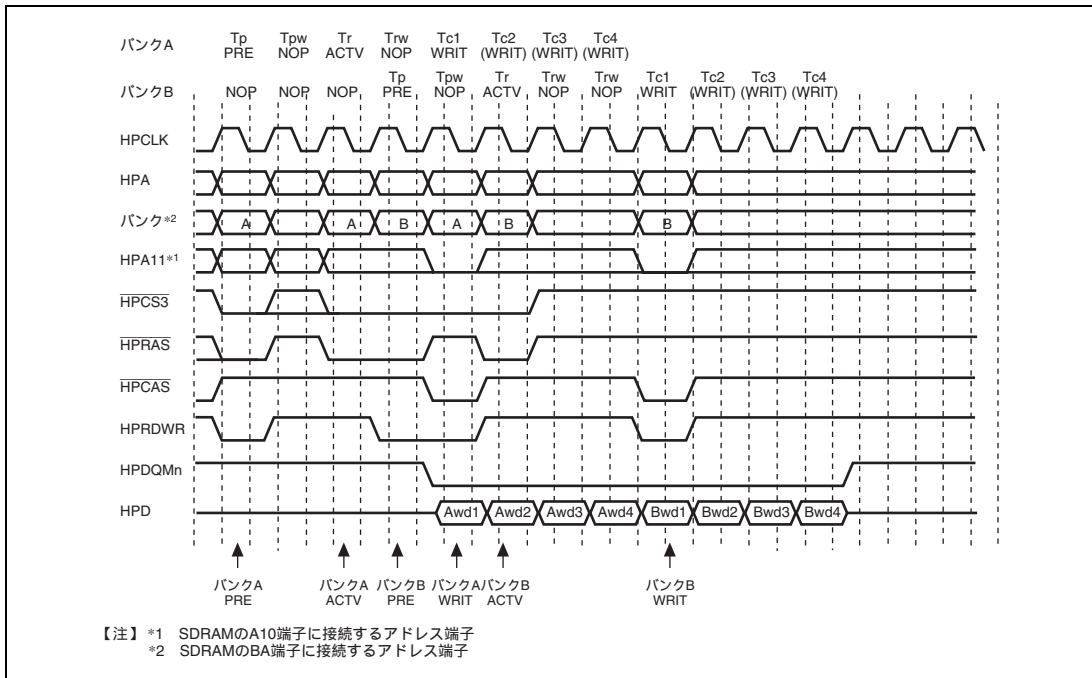


図12.23 バースト数4の異なるバンクへの連続ライトアクセスサイクル  
(バンクアクティブモード、バースト長4)

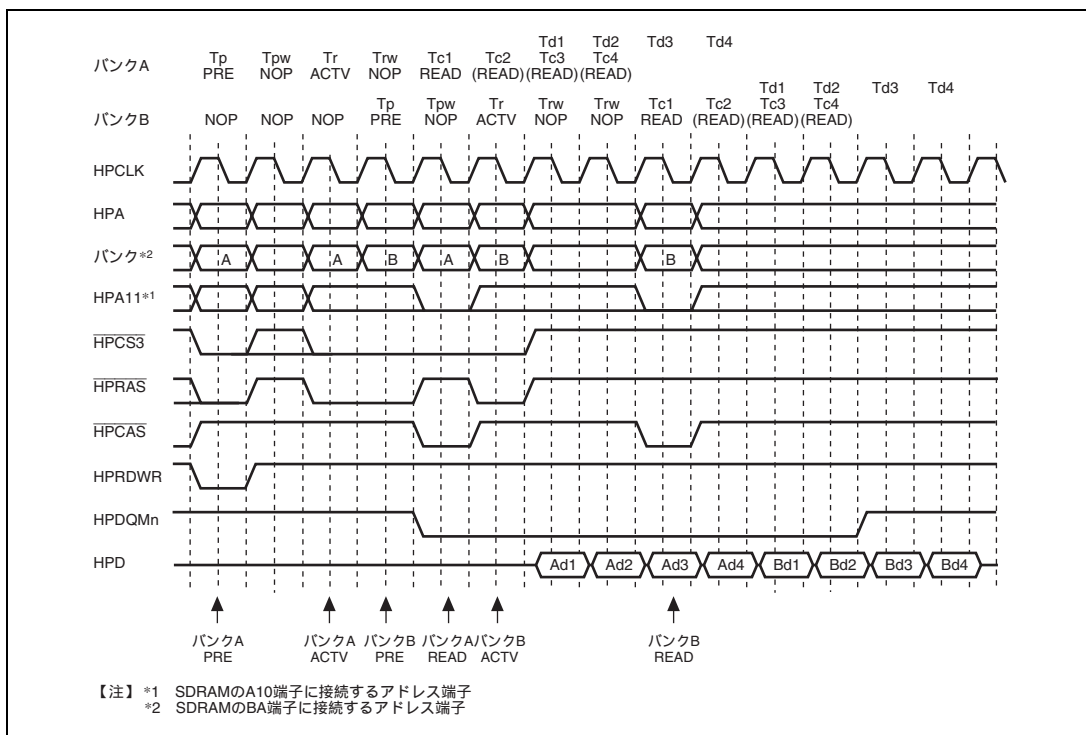


図12.24 バースト数4の異なるバンクへの連続リードアクセスサイクル  
(バンクアクティブモード、バースト長4)

### (8) リフレッシュ

SBSCは、SDRAMのリフレッシュを制御する機能を備えています。SDCR0のRFSHビットを1に、RMODEビットを0に設定することによって、オートリフレッシュを行うことができます。また、RTCSRのRRC[2:0]ビットを設定することにより、連続してリフレッシュを発生させることができます。さらに、長時間SDRAMにアクセスしないときは、RFSHビットとRMODEビットをとともに1にすることによって、消費電力が少ないセルフリフレッシュを起動することができます。

#### (a) オートリフレッシュ

RTCSRのCKS[2:0]ビットで選択した入力クロックとRTCORに設定した値とで決まる間隔で、RTCSRのRRC[2:0]ビットに設定した回数のリフレッシュが行われます。使用するSDRAMのリフレッシュ間隔規定を満たすように、各レジスタの設定を行ってください。最初にRTCOR、RTCNT、SDCR0のRFSHビットおよびRMODEビットの設定を行い、次いでRTCSRのCKS[2:0]ビットおよびRRC[2:0]ビットの設定を行ってください。CKS[2:0]ビットによって入力クロックを選択すると、RTCNTはそのときの値からカウントアップを開始します。RTCNTの値は常にRTCORの値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、RRC[2:0]ビットに設定された回数のオートリフレッシュが実行されます。同時にRTCNTは0にクリアされ、カウントアップが再開されます。

## 12. SDRAM 用バスステートコントローラ (SBSC)

図 12.25 にオートリフレッシュサイクルのタイミングを示します。オートリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、すべてのバンクをアクティブ状態からプリチャージ状態にするため、 $T_p$  サイクルで PALL コマンドを発行します。次いで、SDWCR の TRP[1:0] ビットで設定された数のアイドルサイクル挿入後、REF コマンドを  $T_{rr}$  サイクルに発行します。 $T_{rr}$  サイクル後 SDWCR の TRC[2:0] ビットで指定されるサイクル数の間、新たなコマンドの発行は行いません。SDRAM のリフレッシュサイクル時間の規定 ( $t_{RC}$ ) を満たすように TRC[2:0] ビットを設定する必要があります。SDWCR の TRP[1:0] ビットの設定値が 2 サイクル以上の場合、 $T_p$  サイクルと  $T_{rr}$  サイクルの間に NOP サイクルが挿入されます。

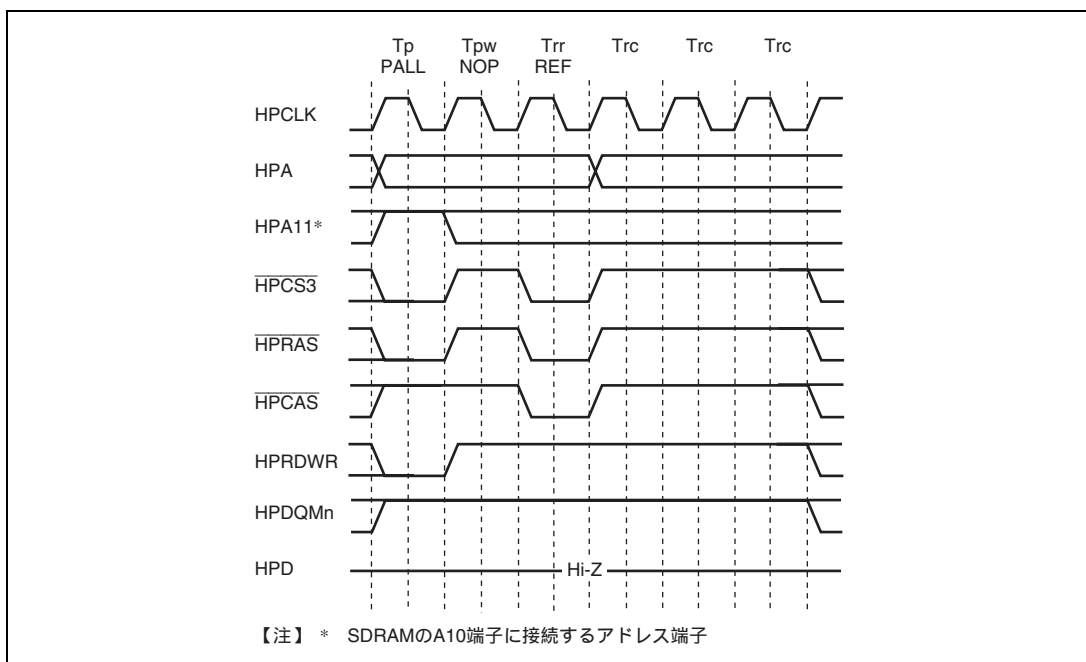


図12.25 オートリフレッシュタイミング

### (b) セルフリフレッシュ

セルフリフレッシュはSDRAMの内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。SDCR0のRFSHビットとRMODEビットをともに1にすることによって起動します。セルフリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、 $T_p$  サイクルで PALL コマンドを発行します。次いで、SDWCR の TRP[1:0] ビットで設定されたアイドルサイクルを挿入後、SELF コマンドを発行します。セルフリフレッシュ状態の間は、SDRAM にアクセスすることができません。セルフリフレッシュの解除は RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、SDWCR の TRC[2:0] ビットで指定されるサイクル数の間はコマンドの発行を行いません。

セルフリフレッシュのタイミングを図 12.26 に示します。セルフリフレッシュ解除後、直ちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合、セルフリフレッシュ解除時に RFSH=1、RMODE=0 とすれば、オートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、(RTCOR の値 - 1) を RTCNT に設定することにより、直ちにオートリフレッシュを開始することができます。

セルフリフレッシュに設定した後、本 LSI をスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態からの復帰後もセルフリフレッシュ状態が保持されます。パワーオンリセット、および、システムリセット時に、セルフリフレッシュを継続するために HPCKE 端子をローレベルにする必要があります (「12.5.2 (12) HPCKE 端子レベルの初期値選択」参照)。

セルフリフレッシュ解除後、SDRAM に対して HPCKE 端子のハイレベル保持期間を満たす必要があります。SDRAM パワーダウンモード (SDCR0.PDOWN ビット = 1) 使用時は、1 度パワーダウンモードを解除してからセルフリフレッシュモードへ遷移させてください。

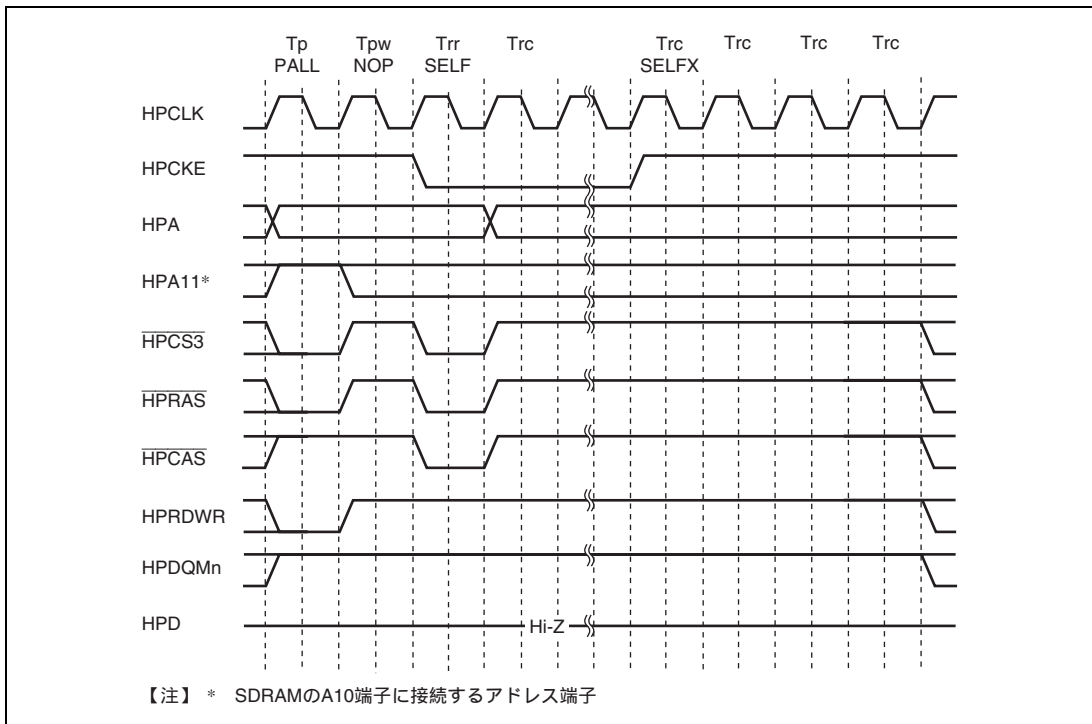


図12.26 セルフリフレッシュタイミング

### (c) セルフリフレッシュ解除後のバーストリフレッシュ

接続する SDRAM により、セルフリフレッシュ解除後、指定回数のオートリフレッシュを必要とする製品があります。そのような SDRAM に対応するため、本 LSI は、セルフリフレッシュ解除時に、リフレッシュを連続的に指定回数発行する機能があります。これを、バーストリフレッシュと呼びます。このバーストリフレッシュ期間は、このほかのコマンドの発行は行いません。

## 12. SDRAM 用バスステートコントローラ (SBSC)

セルフリフレッシュモードに遷移前に、SREFCNT に 1 以上の値を設定することで、セルフリフレッシュ解除後に、SREFCNT に設定した回数だけオートリフレッシュを行います。また、SDCR0 の SREF\_PRE ビットに 1 を設定することで、SREFCNT に設定した回数の REF コマンド発行に先立ち、プリチャージコマンド (PALL) を発行することが可能です。

SREFCNT に 1 以上の値を設定し、かつ、SDCR0 の SREF\_PRE ビットに 0 を設定した場合のセルフリフレッシュモード解除後のタイミングを図 12.27 に示します。SREFCNT に 1 以上の値を設定し、かつ、SDCR0 の SREF\_PRE ビットに 1 を設定した場合のセルフリフレッシュモード解除後のタイミングを図 12.28 に示します。なお、SREFCNT に 0 を設定した場合には、リフレッシュコマンドの発行は行いません。そのときの動作は、「12.5.2(8) (b)セルフリフレッシュ」を参照してください。

SDCR0 の SREF\_PRE ビットに 0 を設定した場合、HPCKE がハイレベルになる SELFX のサイクルで、セルフリフレッシュが解除されます。その後、SDWCR の TRC[2:0]ビットで指定したアイドルサイクルが挿入され、 $T_{tr}$  のサイクルで 1 回目の REF コマンドを発行します。以降の REF と REF の間には、SDWCR の TRC[2:0]ビットで指定した数のアイドルサイクルが挿入されます。また、最後の REF コマンド発行後、SDWCR の TRC[2:0]ビットで指定されるサイクル数の間は、コマンドの発行を行いません。SDCR0 の SREF\_PRE ビットに 1 を設定した場合には、SELFX のサイクルで、セルフリフレッシュが解除されると、SDWCR の TRC[2:0]ビットで指定したアイドルサイクルが挿入され、 $T_p$  のサイクルで全バンクプリチャージコマンド (PALL) を発行します。その後、SDWCR の TRC[2:0]ビットで指定したアイドルサイクルが挿入され、 $T_{tr}$  のサイクルで 1 回目の REF コマンドを発行します。以降の REF と REF の間には、SDWCR の TRC[2:0]ビットで指定した数のアイドルサイクルが挿入されます。また、最後の REF コマンド発行後、SDWCR の TRC[2:0]ビットで指定されるサイクル数の間は、コマンドの発行を行いません。

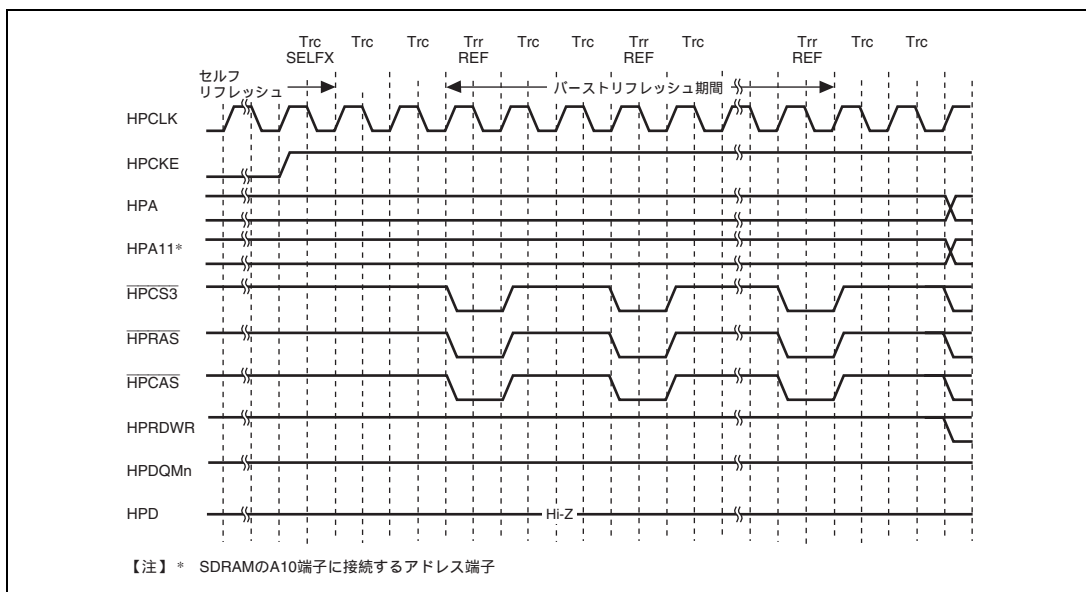


図12.27 セルフリフレッシュ解除後のバーストリフレッシュ (SDCR0.SREF\_PRE=0)



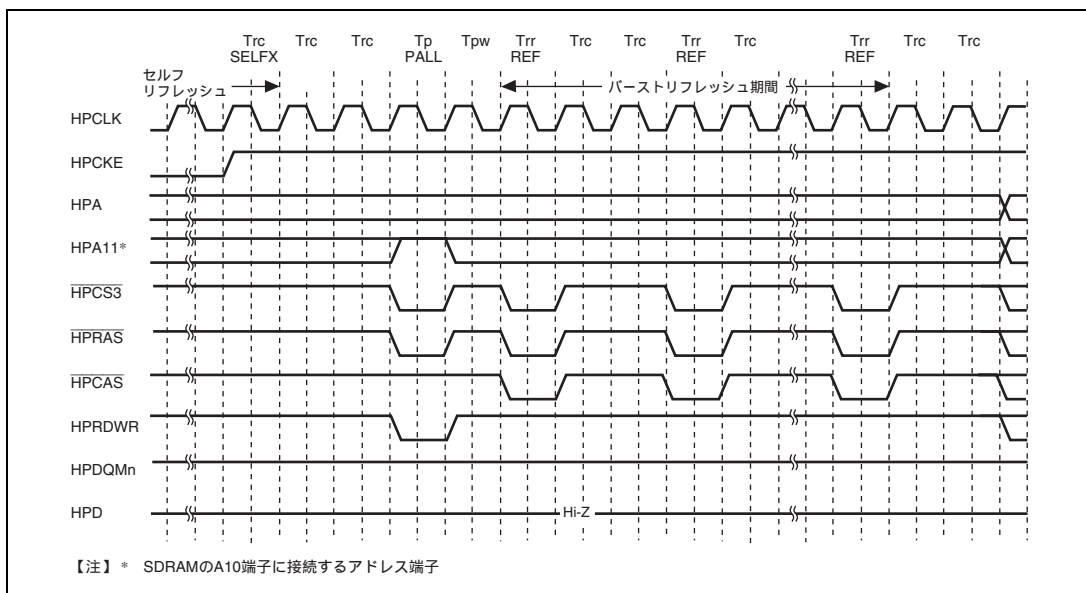


図12.28 セルフリフレッシュ後のバーストリフレッシュ (SDCR0.SREF\_PRE=1)

- 【注】 1. SREFCNT および、SDCR0 の SREF\_PRE ビットの設定は、セルフリフレッシュ遷移前に行ってください。
2. SDCR0 の RMODE ビットに 1 を書き込むことで、セルフリフレッシュモードを解除することが可能です。この場合、SREF\_PRE ビットの値を変化させないようにしてください。

#### (d) セルフリフレッシュ自動解除

本 LSI は、ソフトウェアスタンバイモード解除時にセルフリフレッシュを自動解除する機能があります。セルフリフレッシュの解除後は、オートリフレッシュを開始します。

以下に、セルフリフレッシュの自動解除機能の使用方を示します。

なお、U スタンバイの解除時に本機能は使用できません。

1. SDCR0のRMODECLRビット=1、SDCR0のRMODEビット=1、SDCR0のRFSHビット=1を書き込み、SDRAMをセルフリフレッシュ状態に遷移させる。
2. ソフトウェアスタンバイモードへ遷移させる。

#### (9) リフレッシュ要求とバスサイクルの関係

バスサイクル実行中にリフレッシュ要求が発生した場合、リフレッシュの実行はバスサイクルの完了まで待たされます。

リフレッシュの実行を待たされている状態で新たなリフレッシュ要求が発生した場合には、前のリフレッシュ要求は消滅します。リフレッシュを正しく行うためには、リフレッシュ間隔よりも長いバスサイクルや、バス権の占有が起こらないようにする必要があります。

## 12. SDRAM 用バスステートコントローラ (SBSC)

### (10) パワーダウンモード

SDCR0 の PDOWN ビットを 1 に設定すると、非アクセス時には HPCKE 端子をローレベルにして SDRAM をパワーダウンモードに遷移させます。これにより非アクセス時の消費電力を大幅に抑えることができます。ただし、アクセス発生時には SDRAM のパワーダウンモードを解除するために HPCKE 端子をアサートするサイクルが挿入されるため、1 サイクルのオーバーヘッドが発生します。図 12.29 にパワーダウンモードでのアクセスタイミングを示します。

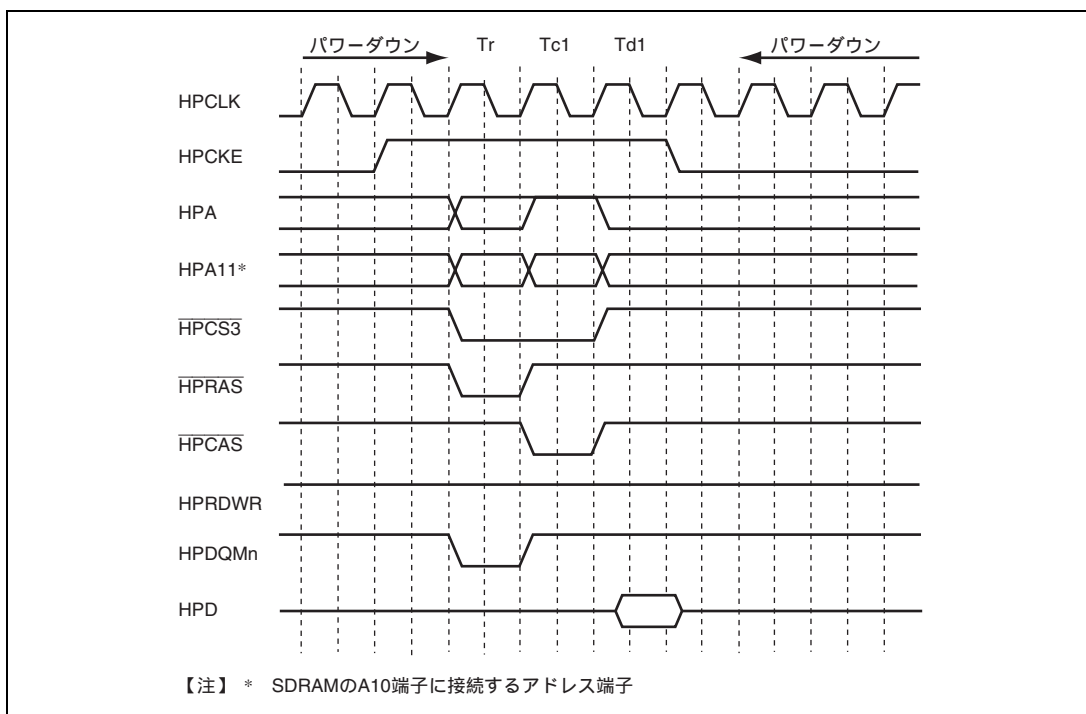


図12.29 パワーダウンモードでのアクセスタイミング

## (11) パワーオンシーケンス

SDRAM を使用するためには、パワーオン後、SDRAM に対してモード設定を行う必要があります。SDRAM の初期化を正しく行うためには、まず SBSC のレジスタを設定した後、SDMR レジスタをアクセスすることにより SDRAM のモードレジスタに対する書き込みを行います。SDRAM のモードレジスタの設定は  $\overline{\text{HPCS2}}$ 、 $\overline{\text{HPCS3}}$ 、 $\overline{\text{HPRAS}}$ 、 $\overline{\text{HPCAS}}$ 、 $\overline{\text{HPRDWR}}$  の組み合わせで、その時点のアドレス信号の値が SDRAM に取り込まれます。設定したい値を X とすると  $X + (\text{H'FE50 0000/H'FE58 0000})$  番地にバイトライトを行うことによって、値 X が SDRAM 内のモードレジスタに書き込まれます。このときライトデータは無視されます。本 LSI でサポートしているバーストリード/シングルライト (バースト長 1) またはバーストリード/バーストライト (バースト長 1 またはバースト長 4)、CAS レイテンシ 1~3、ラップタイプ = シーケンシャル、バースト長 1 を設定するには、表 12.21 に示すアクセスアドレスに任意のデータをバイトライトします。このとき、外部アドレス端子の A12 以上のビットには 0 が出力されます。

表12.21 SDRAM モードレジスタライト時のアクセスアドレス

- バーストリード/シングルライト (バースト長1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FE50 0440/H'FE58 0440	H'0440
	3	H'FE50 0460/H'FE58 0460	H'0460
32 ビット	2	H'FE50 0880/H'FE58 0880	H'0880
	3	H'FE50 08C0/H'FE58 08C0	H'08C0
64 ビット	2	H'FE50 1100/H'FE58 1100	H'1100
	3	H'FE50 1180/H'FE58 1180	H'1180

- バーストリード/バーストライト (バースト長1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FE50 0040/H'FE58 0040	H'0040
	3	H'FE50 0060/H'FE58 0060	H'0060
32 ビット	2	H'FE50 0080/H'FE58 0080	H'0080
	3	H'FE50 00C0/H'FE58 00C0	H'00C0
64 ビット	2	H'FE50 0100/H'FE58 0100	H'0100
	3	H'FE50 0180/H'FE58 0180	H'0180

- バーストリード/バーストライト (バースト長4) の場合 (バースト長4時シングルライトは設定できません)

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FE50 0044/H'FE58 0044	H'0044
	3	H'FE50 0064/H'FE58 0064	H'0064
32 ビット	2	H'FE50 0088/H'FE58 0088	H'0088
	3	H'FE50 00C8/H'FE58 00C8	H'00C8

## 12. SDRAM 用バスステートコントローラ (SBSC)

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
64 ビット	2	H'FE50 0110/H'FE58 0110	H'0110
	3	H'FE50 0190/H'FE58 0190	H'0190

モードレジスタ設定タイミングを図 12.30、図 12.31 に示します。図 12.30 は H'FE58 0000 ~ H'FE5F FFFF アクセス時のタイミングを、図 12.31 は H'FE50 0000 ~ H'FE57 FFFF アクセス時のタイミングを示しています。

H'FE58 0000 ~ H'FE5F FFFF アクセス時は、まず全バンクプリチャージコマンド (PALL) を発行し、次いでオートリフレッシュコマンド (REF) を 8 回発行します。そして最後に、モードレジスタ書き込みコマンド (MRS) を発行します。PALL と 1 回目の REF の間に SDWCR の TRP[1:0] ビットに設定した数のアイドルサイクルが挿入され、REF と REF および、8 回目の REF と MRS の間に SDWCR の TRC[2:0] ビットに設定した数のアイドルサイクルが挿入されます。また、MRS と次に発行するコマンドの間に 1 サイクル以上のアイドルサイクルが挿入されます。また、H'FE50 0000 ~ H'FE57 FFFF アクセス時は、全バンクプリチャージコマンド (PALL) に続いてモードレジスタ書き込みコマンド (MRS) を発行します。PALL と MRS の間には SDWCR の TRP[1:0] ビットに設定した数のアイドルサイクルが挿入されます。

SDRAM は全バンクプリチャージ (PALL) に先立って、電源投入後に一定のアイドル時間を確保しなければなりません。必要なアイドル時間は SDRAM のマニュアルを参照してください。リセット信号のパルス幅がこのアイドル時間より長い場合には、直ちにモードレジスタの設定を行っても問題ありませんが、短い場合は注意する必要があります。また、接続する SDRAM によって、MRS コマンド発行後、数回の REF コマンドの発行が必要な製品があります。その場合に、通常のオートリフレッシュ機能の使用し、指定回数以上、オートリフレッシュを発行してください。

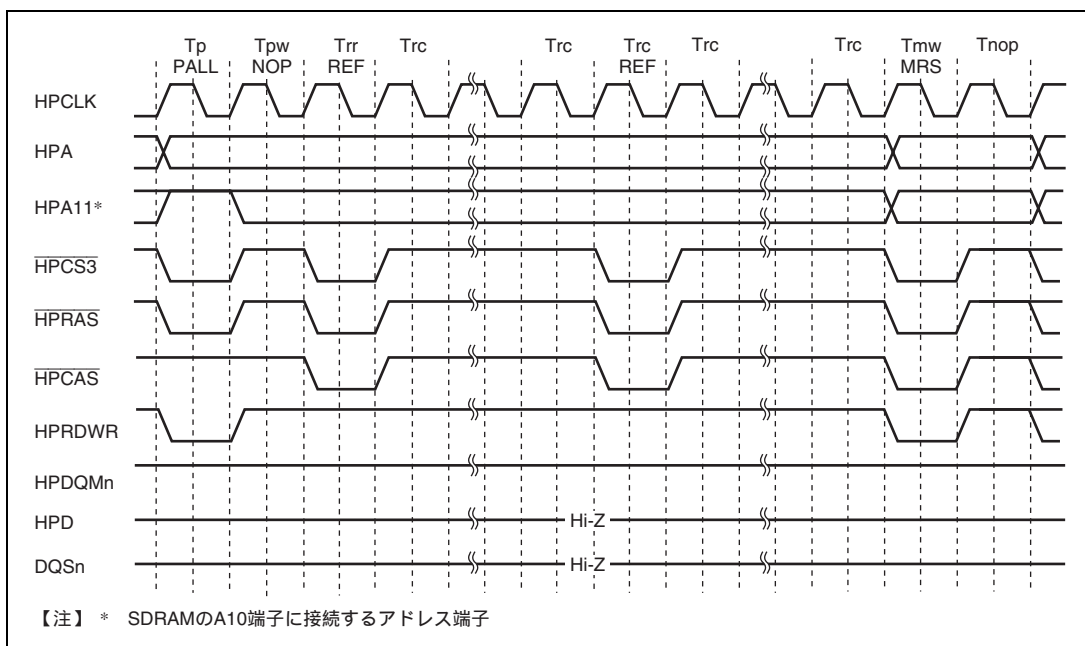


図12.30 SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠)

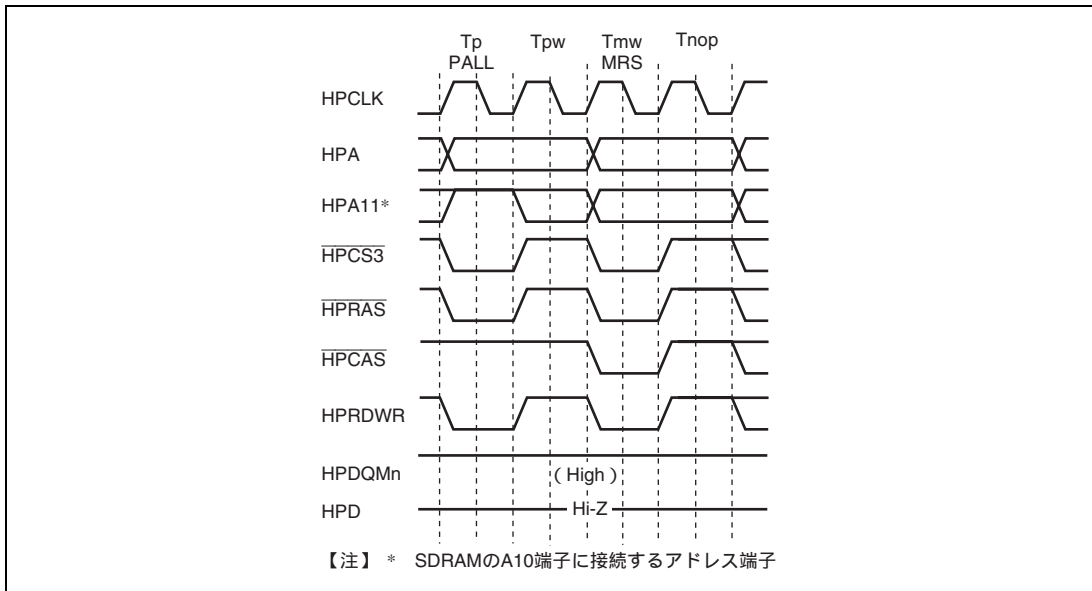


図12.31 SDRAM モードレジスタ書き込みタイミング (リフレッシュなし)

## (12) HPCKE 端子レベルの初期値選択

本 LSI では、SDPCR の CKELV ビットにより、U スタンバイ復帰時のシステムリセット時およびシステムリセット解除後の HPCKE 端子レベルの初期値を選択します。SDPCR の CKELV ビットと HPCKE 端子レベルの対応を表 12.22 に示します。

本 LSI は、U スタンバイからの復帰時においても SDRAM のセルフリフレッシュを継続しますが、U スタンバイからのシステムリセットによる復帰時は、SBSC 内部は初期化されます。

U スタンバイ遷移前に SDCR の RMODE に 1 を書き込みセルフリフレッシュモードに設定すると、SDPCR の CKELV ビットが自動的に 0 クリアされます。これにより、システムリセット中およびシステムリセット解除後に HPCKE 端子をローレベルに保持し、セルフリフレッシュを継続することができます。SDPCR の CKELV ビットは読み出しおよび 1 書き込みのみ有効です。

U スタンバイ復帰後、SDRAM に対するアクセスを再開する前に、HPCKE をハイレベルに戻す必要があります。

- U スタンバイ復帰時の処理

U スタンバイモードでは、SDPCR の CKELV ビット以外、すべてのレジスタが初期化されます。SBSC 内部も、システムリセットにより、初期化されます。この場合、SDPCR の CKELV ビットに 1 を書き込むことで、HPCKE をハイレベルに戻すことができます。

## 12. SDRAM 用バスステートコントローラ (SBSC)

表12.22 SDCPCR の CKELV ビットと HPCKE 端子レベルの対応

SDPCR の CKELV ビット	説 明
0	HPCKE 端子は、初期状態でローレベル出力
1	HPCKE 端子は、初期状態でハイレベル出力

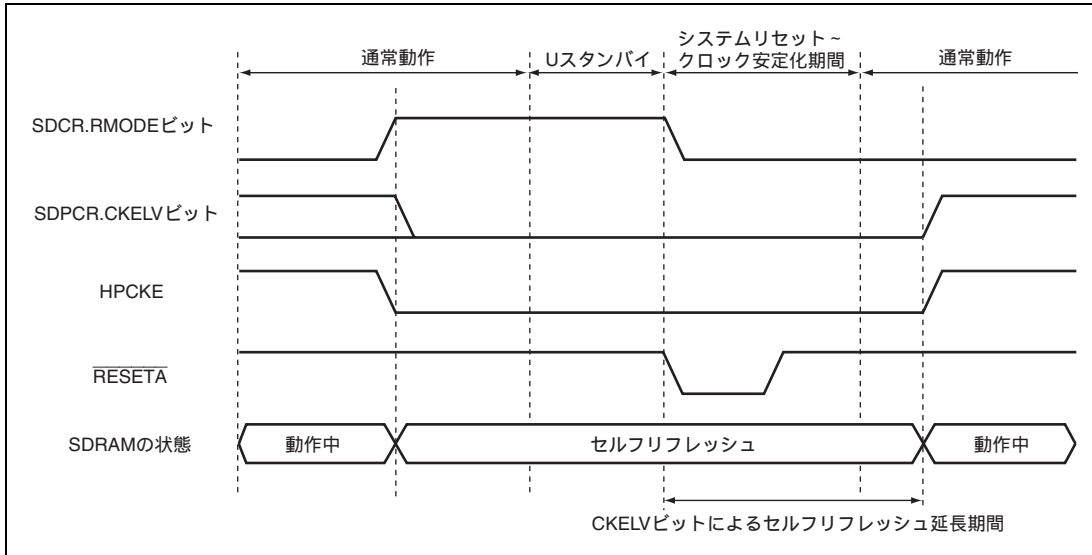


図12.32 SDRAM セルフリフレッシュ使用時、U-スタンバイからの復帰シーケンス

---

## 13. ダイレクトメモリアクセスコントローラ (DMAC)

---

本 LSI は、ダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、内蔵周辺モジュール間のデータ転送を、CPU に代わって高速に行うことができます。

### 13.1 特長

- チャンネル数：6チャンネル (うち1チャンネルは外部リクエスト受け付け可能)
- アドレス空間：アーキテクチャ上は4Gバイト
- 転送データ長：バイト、ワード (2バイト)、ロングワード (4バイト)、8バイト、16バイト、32バイト
- 最大転送回数：16,777,216回
- アドレスモード：デュアルアドレスモード
- 転送要求：
  - 外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能。
  - 内蔵周辺モジュールリクエストを発行できるものは以下のモジュールです。
    - SCIF0/1/2、IrDA、SIOF0/1、USB、SIM、SDHI
- バスモード：
  - サイクルスチールモード (通常モードとインタミットモード) とバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送ハーフエンド時およびデータ転送終了時、また、アドレスエラー発生時にCPUへ割り込み要求を発生可能
- 外部リクエスト検出：DREQ入力のロー/ハイレベル検出、立ち上がり/立ち下がりエッジ検出から選択可能
- 転送要求受け付け信号：DACKは独立にアクティブレベルを設定可能

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

DMACのブロック図を図 13.1 に示します。

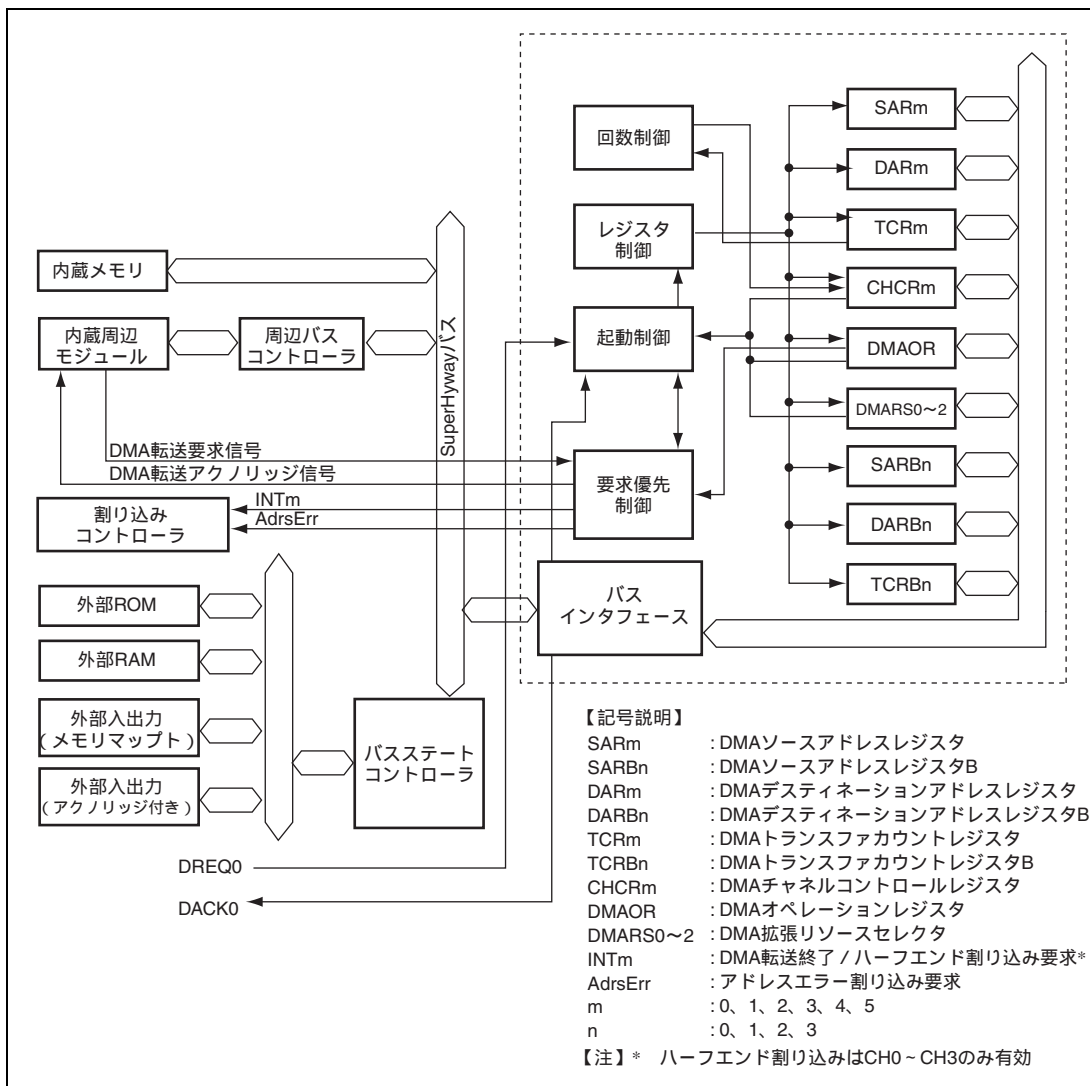


図 13.1 DMAC ブロック図



## 13.2 入出力端子

DMAC 関係の外部端子を以下に示します。

外部バスに接続する端子の構成を表 13.1 に示します。DMAC としては、外部バス用に 1 チャンネル分の端子 (チャンネル 0) を持ちます。

表 13.1 外部バスに対する端子構成

チャンネル	端子名	機能	入出力	説明
0	DREQ0	DMA 転送要求	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DACK0	DMA 転送要求受け付け	出力	DMAC チャンネル 0 から外部デバイスへの DMA 転送要求受け付け出力

## 13.3 レジスタの説明

DMAC のレジスタ構成を表 13.2 に示します。また、各処理モードにおけるレジスタの状態を表 13.3 に示します。各チャンネルのレジスタについては、チャンネル 0 の SAR は SAR\_0 のように表記しています。

表 13.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
DMA ソースアドレスレジスタ_0	SAR_0	R/W	H'FE00 8020	32
DMA デスティネーションアドレスレジスタ_0	DAR_0	R/W	H'FE00 8024	32
DMA トランスファカウントレジスタ_0	TCR_0	R/W	H'FE00 8028	32
DMA チャンネルコントロールレジスタ_0	CHCR_0	R/W	H'FE00 802C	32
DMA ソースアドレスレジスタ_1	SAR_1	R/W	H'FE00 8030	32
DMA デスティネーションアドレスレジスタ_1	DAR_1	R/W	H'FE00 8034	32
DMA トランスファカウントレジスタ_1	TCR_1	R/W	H'FE00 8038	32
DMA チャンネルコントロールレジスタ_1	CHCR_1	R/W	H'FE00 803C	32
DMA ソースアドレスレジスタ_2	SAR_2	R/W	H'FE00 8040	32
DMA デスティネーションアドレスレジスタ_2	DAR_2	R/W	H'FE00 8044	32
DMA トランスファカウントレジスタ_2	TCR_2	R/W	H'FE00 8048	32
DMA チャンネルコントロールレジスタ_2	CHCR_2	R/W	H'FE00 804C	32
DMA ソースアドレスレジスタ_3	SAR_3	R/W	H'FE00 8050	32
DMA デスティネーションアドレスレジスタ_3	DAR_3	R/W	H'FE00 8054	32
DMA トランスファカウントレジスタ_3	TCR_3	R/W	H'FE00 8058	32
DMA チャンネルコントロールレジスタ_3	CHCR_3	R/W	H'FE00 805C	32
DMA オペレーションレジスタ	DMAOR	R/W	H'FE00 8060	16
DMA ソースアドレスレジスタ_4	SAR_4	R/W	H'FE00 8070	32

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
DMA デスティネーションアドレスレジスタ_4	DAR_4	R/W	H'FE00 8074	32
DMA トランスファカウントレジスタ_4	TCR_4	R/W	H'FE00 8078	32
DMA チャンネルコントロールレジスタ_4	CHCR_4	R/W	H'FE00 807C	32
DMA ソースアドレスレジスタ_5	SAR_5	R/W	H'FE00 8080	32
DMA デスティネーションアドレスレジスタ_5	DAR_5	R/W	H'FE00 8084	32
DMA トランスファカウントレジスタ_5	TCR_5	R/W	H'FE00 8088	32
DMA チャンネルコントロールレジスタ_5	CHCR_5	R/W	H'FE00 808C	32
DMA ソースアドレスレジスタ B_0	SARB_0	R/W	H'FE00 8120	32
DMA デスティネーションアドレスレジスタ B_0	DARB_0	R/W	H'FE00 8124	32
DMA トランスファカウントレジスタ B_0	TCRB_0	R/W	H'FE00 8128	32
DMA ソースアドレスレジスタ B_1	SARB_1	R/W	H'FE00 8130	32
DMA デスティネーションアドレスレジスタ B_1	DARB_1	R/W	H'FE00 8134	32
DMA トランスファカウントレジスタ B_1	TCRB_1	R/W	H'FE00 8138	32
DMA ソースアドレスレジスタ B_2	SARB_2	R/W	H'FE00 8140	32
DMA デスティネーションアドレスレジスタ B_2	DARB_2	R/W	H'FE00 8144	32
DMA トランスファカウントレジスタ B_2	TCRB_2	R/W	H'FE00 8148	32
DMA ソースアドレスレジスタ B_3	SARB_3	R/W	H'FE00 8150	32
DMA デスティネーションアドレスレジスタ B_3	DARB_3	R/W	H'FE00 8154	32
DMA トランスファカウントレジスタ B_3	TCRB_3	R/W	H'FE00 8158	32
DMA 拡張リソースセクタ 0	DMARS0	R/W	H'FE00 9000	16
DMA 拡張リソースセクタ 1	DMARS1	R/W	H'FE00 9004	16
DMA 拡張リソースセクタ 2	DMARS2	R/W	H'FE00 9008	16

表 13.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
SAR_0	初期化	初期化	保持	保持	初期化	保持
DAR_0	初期化	初期化	保持	保持	初期化	保持
TCR_0	初期化	初期化	保持	保持	初期化	保持
CHCR_0	初期化	初期化	保持	保持	初期化	保持
SAR_1	初期化	初期化	保持	保持	初期化	保持
DAR_1	初期化	初期化	保持	保持	初期化	保持
TCR_1	初期化	初期化	保持	保持	初期化	保持
CHCR_1	初期化	初期化	保持	保持	初期化	保持
SAR_2	初期化	初期化	保持	保持	初期化	保持
DAR_2	初期化	初期化	保持	保持	初期化	保持

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
TCR_2	初期化	初期化	保持	保持	初期化	保持
CHCR_2	初期化	初期化	保持	保持	初期化	保持
SAR_3	初期化	初期化	保持	保持	初期化	保持
DAR_3	初期化	初期化	保持	保持	初期化	保持
TCR_3	初期化	初期化	保持	保持	初期化	保持
CHCR_3	初期化	初期化	保持	保持	初期化	保持
DMAOR	初期化	初期化	保持	保持	初期化	保持
SAR_4	初期化	初期化	保持	保持	初期化	保持
DAR_4	初期化	初期化	保持	保持	初期化	保持
TCR_4	初期化	初期化	保持	保持	初期化	保持
CHCR_4	初期化	初期化	保持	保持	初期化	保持
SAR_5	初期化	初期化	保持	保持	初期化	保持
DAR_5	初期化	初期化	保持	保持	初期化	保持
TCR_5	初期化	初期化	保持	保持	初期化	保持
CHCR_5	初期化	初期化	保持	保持	初期化	保持
SARB_0	初期化	初期化	保持	保持	初期化	保持
DARB_0	初期化	初期化	保持	保持	初期化	保持
TCRB_0	初期化	初期化	保持	保持	初期化	保持
SARB_1	初期化	初期化	保持	保持	初期化	保持
DARB_1	初期化	初期化	保持	保持	初期化	保持
TCRB_1	初期化	初期化	保持	保持	初期化	保持
SARB_2	初期化	初期化	保持	保持	初期化	保持
DARB_2	初期化	初期化	保持	保持	初期化	保持
TCRB_2	初期化	初期化	保持	保持	初期化	保持
SARB_3	初期化	初期化	保持	保持	初期化	保持
DARB_3	初期化	初期化	保持	保持	初期化	保持
TCRB_3	初期化	初期化	保持	保持	初期化	保持
DMARS0	初期化	初期化	保持	保持	初期化	保持
DMARS1	初期化	初期化	保持	保持	初期化	保持
DMARS2	初期化	初期化	保持	保持	初期化	保持

## 13. ダイレクトメモリアクセスコントローラ (DMAC)

### 13.3.1 DMA ソースアドレスレジスタ\_0~5 (SAR\_0~SAR\_5)

SAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。8 バイト、16 バイト、32 バイトで転送を行う場合は、8 バイト、16 バイト、32 バイト境界に値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SAR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 13.3.2 DMA ソースアドレスレジスタ B\_0~3 (SARB\_0~SARB\_3)

SARB は、読み出し / 書き込み可能な 32 ビットのレジスタで、リピート / リロードモードで SAR に再設定する DMA 転送元のアドレスを指定します。CPU からの SAR への書き込みデータが SARB にも書き込まれます。SAR と異なるアドレスを設定したい場合は、SAR 書き込み後に SARB への書き込みを行ってください。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。8 バイト、16 バイト、32 バイトで転送を行う場合は、8 バイト、16 バイト、32 バイト境界に値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SARB															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SARB															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 13.3.3 DMA デスティネーションアドレスレジスタ<sub>0</sub>~5 (DAR<sub>0</sub>~5)

DAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。8 バイト、16 バイト、32 バイトで転送を行う場合は、8 バイト、16 バイト、32 バイト境界に値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DAR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DAR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 13.3.4 DMA デスティネーションアドレスレジスタ B<sub>0</sub>~3 (DARB<sub>0</sub>~DARB<sub>3</sub>)

DARB は、読み出し / 書き込み可能な 32 ビットのレジスタで、リピート / リロードモードで DAR に再設定する DMA 転送先のアドレスを指定します。CPU からの DAR への書き込みデータが DARB にも書き込まれます。DAR と異なるアドレスを設定したい場合は、DAR 書き込み後に DARB への書き込みを行ってください。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。8 バイト、16 バイト、32 バイトで転送を行う場合は、8 バイト、16 バイト、32 バイト境界に値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DARB															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DARB															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## 13. ダイレクトメモリアクセスコントローラ (DMAC)

### 13.3.5 DMA トランスファカウントレジスタ\_0~5 (TCR\_0~TCR\_5)

TCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'0000 0001 のときは 1 回、H'00FF FFFF のときは 16,777,215 回で、H'0000 0000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

TCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 13.3.6 DMA トランスファカウントレジスタ B\_0~3 (TCRB\_0~TCRB\_3)

TCRB は、読み出し / 書き込み可能な 32 ビットのレジスタで、CPU からの TCR への書き込みデータが TCRB にも書き込まれます。ハーフエンド機能使用時はハーフエンド検出に使用する初期値保持レジスタとして用いられます。また本レジスタは、リピートモードで TCR に再設定する DMA 転送回数を指定します。リロードモードでは DMA 転送回数の設定および転送回数カウンタとして用いられます。

リロードモードにおいて、下位 16 ビットは転送回数カウンタとして動作し、値が 0 になると SAR / DAR が更新され、TCRB の上位 16 ビットが下位 16 ビットにロードされます。上位 16 ビットはリロードするまでの転送回数を設定してください。リロードモード使用時、下位側へは上位側と同じ値を設定してください。また、リロードモード使用時は、CHCR の HIE ビットを 0 とし、ハーフエンド機能を使用しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCRB															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCRB															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

#### 13.3.7 DMA チャンネルコントロールレジスタ\_0 ~ 5 (CHCR\_0 ~ CHCR\_5)

CHCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	LCKN	—	—	RPT[2:0]			DA	DO	—	TS[3:2]		HE	HIE	AM	AL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/(W)*	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM[1:0]		SM[1:0]		RS[3:0]			DL	DS	TB	TS[1:0]		IE	TE	DE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30	LCKN	0	R/W	サイクルスチールモードのバス権解放許可ビット サイクルスチールモードの読み出しと書き込みの間に DMAC 以外のバスマスタにバス権を解放するかどうかを設定します。 初期状態では、DMAC がバス権を保持します。本ビットを 1 に設定することにより、DMAC 以外のバスマスタのバス要求が受け付けられ、システム全体のバス使用率を上げることが可能です。 バーストモード時には、1 を設定しないでください。 0: バス権解放を抑制 1: バス権解放を許可
29, 28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27 ~ 25	RPT[2:0]	000	R/W	DMA 設定更新指定ビット 本ビットは CHCR_0 ~ 3 でのみ有効となります。 000: 通常モード (従来 DMAC 動作) 001: リピートモード: SAR / DAR をリピート領域として使用 010: リピートモード: DAR をリピート領域として使用 011: リピートモード: SAR をリピート領域として使用 100: リザーブ (設定禁止) 101: リロードモード: SAR / DAR をリロード領域として使用 110: リロードモード: DAR をリロード領域として使用 111: リロードモード: SAR をリロード領域として使用
24	DA	0	R/W	DREQ 同期入力指定ビット DREQ を非同期信号としてサンプリングするか、同期信号としてサンプリングするかを選択します。本ビットは CHCR_0 でのみ有効となります。 0: DREQ を非同期信号としてサンプリング 1: DREQ を同期信号としてサンプリング

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
23	DO	0	R/W	<p>DMA オーバラン</p> <p>DREQ をオーバラン 0 で検出するか、オーバラン 1 で検出するかを選択します。本ビットは CHCR_0 でのみ有効です。</p> <p>0 : DREQ をオーバラン 0 で検出</p> <p>1 : DREQ をオーバラン 1 で検出</p>
22	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
21, 20	TS[3:2]	00	R/W	<p>DMA 転送サイズ指定ビット</p> <p>TS[1:0]と合わせて DMA 転送サイズの設定を行います。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。2 分割転送は、16/32 バイト転送を 1/2 サイズ 2 回に分割して転送するモードです。周辺モジュールで 16 バイト転送する場合は、16 バイト 2 分割を選択してください。転送元または転送先として SAR または DAR に設定するアドレスは、転送サイズとアドレス境界を必ず一致させてください。</p> <p>TS[3:0]</p> <p>0000 : バイト単位</p> <p>0001 : ワード (2 バイト) 単位</p> <p>0010 : ロングワード (4 バイト) 単位</p> <p>0011 : 16 バイト単位転送</p> <p>0100 : 32 バイト単位転送</p> <p>0111 : 8 バイト単位転送</p> <p>1011 : 16 バイト 2 分割 (8 バイト単位 × 2)</p> <p>1100 : 32 バイト 2 分割 (16 バイト単位 × 2)</p> <p>上記以外 : 設定禁止</p>
19	HE	0	R(W)*	<p>ハーフエンドフラグビット</p> <p>HIE (ビット 18) に 1 を設定し、転送回数が転送開始前に設定した TCR の値の 1/2 (右に 1 ビットシフトした値) になると、HE は 1 になります。転送回数が転送開始前に設定した値の 1/2 になる前に、NMI 割り込み、アドレスエラーによって転送が終了した場合および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされません。また、HE ビットに 1 がセットされてから NMI 割り込み、アドレスエラーによって転送が終了した場合および DE ビット (ビット 0)、DMAOR の DME ビットをクリアして転送を終了させた場合、HE ビットはセットされたままとなります。HE ビットのクリアは、HE ビットの 1 を読み出してから 0 を書き込む必要があります。本ビットは CHCR_0-3 でのみ有効となります。</p> <p>0 : DMA 転送中または DMA 転送中断で、</p> <p style="text-align: center;"><math>TCR &gt; (\text{転送前にセットした TCR}) / 2</math></p> <p>[クリア条件] HE ビットの 1 読み出し後、0 書き込み</p> <p>1 : TCR (転送前にセットした TCR) / 2</p>



### 13. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
18	HIE	0	R/W	<p>ハーフエンドインタラプティネーブルビット</p> <p>転送回数が、転送開始前にセットした TCR の値の 1/2 になる転送の読み出しサイクルが終わった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると CPU に対し割り込みを要求します。リロードモード設定時は本ビットを 0 に設定してください。本ビットは CHCR_0~3 でのみ有効となります。</p> <p>0 : TCR = (転送前にセットした TCR) / 2 で割り込み要求禁止 1 : TCR = (転送前にセットした TCR) / 2 で割り込み要求許可</p>
17	AM	0	R/W	<p>アクノリッジモード</p> <p>デュアルアドレスモードで、DACK をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。本ビットは CHCR_0 でのみ有効となります。</p> <p>0 : 読み出しサイクルで DACK を出力 (デュアルアドレスモード) 1 : 書き込みサイクルで DACK を出力 (デュアルアドレスモード)</p>
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>DACK 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは CHCR_0 でのみ有効となります。</p> <p>0 : DACK をローアクティブ出力 1 : DACK をハイアクティブ出力</p>
15、14	DM[1:0]	00	R/W	<p>デスティネーションアドレスモード</p> <p>DMA 転送先のアドレスの増減を指定します。</p> <p>00 : デスティネーションアドレスは固定</p> <p>16/32 バイト分割転送モード時、1 つ目の転送と 2 つ目の転送でアドレスがインクリメントされます。DAR に設定したアドレスは書き換わらないため、2 回目以降も同じアドレスが出力されます。</p> <p>01 : デスティネーションアドレスは増加</p> <p>バイト単位転送時は +1 ワード単位転送時は +2 ロングワード単位転送時は +4 8 バイト単位転送時は +8 16 バイト単位転送時は +16 32 バイト単位転送時は +32</p> <p>10 : デスティネーションアドレスは減少</p> <p>バイト単位転送時は -1 ワード単位転送時は -2 ロングワード単位転送時は -4 8/16/32 バイト単位転送時は設定禁止</p> <p>11 : デスティネーションアドレスは固定</p> <p>対象モジュール内でのアドレス変化を抑止したい場合に設定します。16/32 バイト分割転送モード時も、アドレスは変化しません。 例) 外部デバイスや周辺モジュールが持つ FIFO を指定するとき</p>

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
13, 12	SM[1:0]	00	R/W	<p>ソースアドレスモード DMA 転送元のアドレスの増減を指定します。</p> <p>00 : ソースアドレスは固定 16/32 バイト分割転送モード時、1 つ目の転送と 2 つ目の転送でアドレスがインクリメントされます。SAR に設定したアドレスは書き換わらないため、2 回目以降も同じアドレスが出力されます。</p> <p>01 : ソースアドレスは増加 バイト単位転送時は + 1 ワード単位転送時は + 2 ロングワード単位転送時は + 4 8 バイト単位転送時は + 8 16 バイト単位転送時は + 16 32 バイト単位転送時は + 32</p> <p>10 : ソースアドレスは減少 バイト単位転送時は - 1 ワード単位転送時は - 2 ロングワード単位転送時は - 4 8/16/32 バイト単位転送時は設定禁止</p> <p>11 : ソースアドレスは固定 対象モジュール内でのアドレス変化を抑止したい場合に設定します。16/32 バイト分割転送モード時も、アドレスは変化しません。 例) 外部デバイスや周辺モジュールが持つ FIFO を指定するとき</p>
11 ~ 8	RS[3:0]	0000	R/W	<p>リソースセレクト 転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。</p> <p>0000 : 外部リクエスト、デュアルアドレスモード 0100 : オートリクエスト 1000 : DMA 拡張リソースセクタで選択 上記以外 : 設定禁止</p> <p>【注】 外部リクエストの指定は CHCR_0 のみ有効です。CHCR_1 ~ 5 では外部リクエスト指定は設定できません。</p>
7 6	DL DS	0 0	R/W R/W	<p>DREQ レベル、DREQ エッジセレクト DREQ 入力の検出方法と、検出レベルを選択します。 本ビットは CHCR_0 でのみ有効となります。またチャンネル 0 でも転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効となります。</p> <p>00 : ローレベル検出 01 : 立ち下がりエッジ検出 10 : ハイレベル検出 11 : 立ち上がりエッジ検出</p>

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
5	TB	0	R/W	<p>トランスファバスモード DMA 転送のバスモードを選択します。</p> <p>0 : サイクルスチールモード 1 : バーストモード</p>
4, 3	TS[1:0]	00	R/W	<p>DMA 転送サイズ指定ビット TS[3:2] (ビット 21、20) の説明を参照してください。</p>
2	IE	0	R/W	<p>インタラプトイネーブル DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされ DMA 最終転送の読み出しサイクルが終わったときに、CPU に対し割り込み (DEI) を要求します。</p> <p>0 : 割り込み要求を禁止 1 : 割り込み要求を許可</p>
1	TE	0	R(W)*	<p>トランスファエンドフラグ TCR の値が 0 になり、DMA 最終転送の実行を開始するとき、TE ビットは 1 にセットされます。TCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送の転送中断 [クリア条件] TE ビットの 1 読み出し後、0 書き込み 1 : (TCR = 0 により) DMA 転送終了</p>
0	DE	0	R/W	<p>DMA イネーブル DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。外部リクエスト、周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 であることが必要です。DE ビットを 0 にクリアすると、転送を中断することができます。</p> <p>0 : DMA 転送を禁止 1 : DMA 転送を許可</p>

【注】 \* フラグをクリアするための 0 書き込みのみ可能です。

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

#### 13.3.8 DMA オペレーションレジスタ (DMAOR)

DMAOR は、読み出し / 書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMS[3:0]			—	—	PR[1:0]		—	—	—	—	—	AE	NMIF	DME	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R	R/(W)*R/(W)*	R/W

ビット	ビット名	初期値	R/W	説明
15~12	CMS[3:0]	0000	R/W	サイクルスチールモードセレクト サイクルスチールモード時に通常モードとインタミットモードを選択します。 インタミットモードを有効にするためには、全チャンネルのバスモードがサイクルスチールモードである必要があります。 0000 : 通常モード 0010 : インタミットモード 16 外部バスクロック 16 クロックに 1 回 DMA 転送を実行 0011 : インタミットモード 64 外部バスクロック 64 クロックに 1 回 DMA 転送を実行 0100 : インタミットモード 256 外部バスクロック 256 クロックに 1 回 DMA 転送を実行 上記以外 : 設定禁止
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PR[1:0]	00	R/W	プライオリティーモード 同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。 00 : CH0 > CH1 > CH2 > CH3 > CH4 > CH5 01 : CH0 > CH2 > CH3 > CH1 > CH4 > CH5 10 : 設定禁止 11 : ラウンドロビンモード
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
2	AE	0	R/(W)*	<p>アドレスエラーフラグ</p> <p>DMA 転送中にアドレスエラー割り込みが発生したことを示すフラグです。本ビットは、以下の条件でセットされます。</p> <ul style="list-style-type: none"> <li>・ SAR または DAR に設定された値が転送サイズ境界と不一致の場合</li> <li>・ 転送元または転送先が無効空間の場合</li> <li>・ 転送元または転送先がモジュールストップ中の場合</li> </ul> <p>AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。</p> <p>0 : DMAC によるアドレスエラー割り込みなし            [クリア条件] AE ビットの 1 読み出し後、0 書き込み            1 : DMA 転送中にアドレスエラー割り込み発生</p>
1	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI 割り込みが発生したことを示すフラグです。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。</p> <p>NMI が入力されたとき、少なくとも実行中の DMA 転送の 1 転送単位までは行われます。DMAC が動作していないときに NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。</p> <p>0 : NMI 割り込みなし            [クリア条件] NMIF ビットの 1 読み出し後、0 書き込み            1 : NMI 割り込み発生</p>
0	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>すべてのチャンネルの DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし転送を行うチャンネルの CHCR にある TE ビットと DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットをクリアするとすべてのチャンネルの DMA 転送が中断されます。</p> <p>0 : 全チャンネルの DMA 転送を禁止            1 : 全チャンネルの DMA 転送を許可</p>

【注】 \* フラグをクリアするための 0 書き込みのみ可能です。

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

#### 13.3.9 DMA 拡張リソースセクタ 0~2 (DMARS0~DMARS2)

DMARS は、読み出し / 書き込み可能な 16 ビットレジスタです。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3、DMARS2 はチャンネル 4 および 5 の周辺モジュールからの DMA 転送要求元を設定します。本レジスタで、SCIF、SIOF、IrDA、USB、SIM、SDHI の転送要求を設定できます。

表 13.4 以外の MID / RID を設定したときの動作は保証できません。DMARS からの転送要求は、CHCR\_0~5 のリソースセレクトビット (RS[3:0]) = B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS を設定しても転送要求元として受け付けられません。

- DMARS0の設定

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C1MID[5:0]						C1RID[1:0]		C0MID[5:0]						C0RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	C1MID[5:0]	000000	R/W	DMA チャンネル 1 転送要求元モジュール ID5~0 (MID) 表 13.4 参照
9、8	C1RID[1:0]	00	R/W	DMA チャンネル 1 転送要求元レジスタ ID1、0 (RID) 表 13.4 参照
7~2	C0MID[5:0]	000000	R/W	DMA チャンネル 0 転送要求元モジュール ID5~0 (MID) 表 13.4 参照
1、0	C0RID[1:0]	00	R/W	DMA チャンネル 0 転送要求元レジスタ ID1、0 (RID) 表 13.4 参照

- DMARS1の設定

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C3MID[5:0]						C3RID[1:0]		C2MID[5:0]						C2RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	C3MID[5:0]	000000	R/W	DMA チャンネル 3 転送要求元モジュール ID5~0 (MID) 表 13.4 参照
9、8	C3RID[1:0]	00	R/W	DMA チャンネル 3 転送要求元レジスタ ID1、0 (RID) 表 13.4 参照
7~2	C2MID[5:0]	000000	R/W	DMA チャンネル 2 転送要求元モジュール ID5~0 (MID) 表 13.4 参照
1、0	C2RID[1:0]	00	R/W	DMA チャンネル 2 転送要求元レジスタ ID1、0 (RID) 表 13.4 参照

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

• DMARS2の設定

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

C5MID[5:0]					C5RID[1:0]		C4MID[5:0]					C4RID[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	C5MID[5:0]	000000	R/W	DMA チャンネル 5 転送要求元モジュール ID5~0 (MID) 表 13.4 参照
9、8	C5RID[1:0]	00	R/W	DMA チャンネル 5 転送要求元レジスタ ID1、0 (RID) 表 13.4 参照
7~2	C4MID[5:0]	000000	R/W	DMA チャンネル 4 転送要求元モジュール ID5~0 (MID) 表 13.4 参照
1、0	C4RID[1:0]	00	R/W	DMA チャンネル 4 転送要求元レジスタ ID1、0 (RID) 表 13.4 参照

表 13.4 転送要求元一覧

周辺モジュール	1チャンネル分の設定値 (MID+RID)	MID	RID	機能
SCIF0	H'21	B'001000	B'01	送信
	H'22		B'10	受信
SCIF1	H'25	B'001001	B'01	送信
	H'26		B'10	受信
SCIF2	H'29	B'001010	B'01	送信
	H'2A		B'10	受信
IrDA	H'31	B'001100	B'01	送信
	H'32		B'10	受信
SIOF0	H'51	B'010100	B'01	送信
	H'52		B'10	受信
SIOF1	H'55	B'010101	B'01	送信
	H'56		B'10	受信
USB	H'73	B'011100	B'11	送受信
SIM	H'A1	B'101000	B'01	送信
	H'A2		B'10	受信
SDHI	H'C1	B'110000	B'01	送信
	H'C2		B'10	受信
	H'C5	B'110001	B'01	送信
	H'C6		B'10	受信

## 13. ダイレクトメモリアクセスコントローラ (DMAC)

### 13.4 動作説明

DMAC は DMA 転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。バスモードは、バーストモードとサイクルスチールモードを選択することができます。

#### 13.4.1 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方でもできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。転送要求の選択は DMA チャンネルごとに CHCR の RS[3:0] ビットおよび DMARS0、DMARS1、DMARS2 によって行います。

##### (1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。DMA チャンネルごとに CHCR の DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR の AE ビット、NMIF ビットがすべて 0 である必要があります。

##### (2) 外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号 (DREQ0) によって転送を開始させるモードです。DMA チャンネル 0 のみ有効です。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、AE=0、NMIF=0) に DREQ が入力されると DMA 転送が開始されます。

DREQ をエッジで検出するかレベルで検出するかは、表 13.5 に示す CHCR\_0 の DREQ レベル (DL) ビットと DREQ エッジセレクト (DS) ビットで選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表 13.5 DL、DS ビットによる外部リクエスト検出の選択

CHCR_0		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出
	1	立ち下がりが検出
1	0	ハイレベル検出
	1	立ち上がり検出



### 13. ダイレクトメモリアクセスコントローラ (DMAC)

DREQ が受け付けられると DREQ 端子は要求受け付け不可能状態となります。受け付けた DREQ に対するアクノリッジ DACK を出力した後、再び DREQ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合 (オーバーラン 0) と、リクエストより 1 つ多い回数の転送を実行して中断する場合 (オーバーラン 1) があります。オーバーランを 0 にするか 1 にするかは、CHCR の DO ビットで選択します。

表 13.6 DO ビットによる外部リクエスト検出の選択

CHCR_0	外部リクエスト
DO	
0	オーバーラン 0
1	オーバーラン 1

#### (3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。DMA 転送要求信号は、DMARS0/1/2 にて設定する SCIF0/1/2、IrDA、SIOF0/1、SIM、SDHI からの送信データエンpty転送要求と受信データフル転送要求、USB からの転送要求があります。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態 (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) であると、転送要求信号によって転送が実行されます。

転送要求を SCIF の送信データエンpty転送要求に設定した場合、転送先を当該 SCIF のトランスミットデータレジスタとする必要があります。同様に転送要求を SCIF の受信データフル転送要求に設定した場合、転送元を当該 SCIF のレシーブデータレジスタとする必要があります。これらは SIOF も同様です。

また、内蔵周辺モジュールによっては、受信 FIFO トリガ数を転送要求に設定できます。受信 FIFO トリガ条件が満たされない場合は、受信 FIFO にデータが残ることがありますので、DMA 転送終了後にデータを読み出す必要があります。

表 13.7 RS[3:0]ビットによる内蔵周辺モジュールリクエストモードの選択

CHCR	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バス モード
	MID	RID					
1000	001000	01	SCIF0 送信部	TXI (送信 FIFO データエンpty)	任意	SCFTDR0	サイクル スチール
		10	SCIF0 受信部	RXI (受信 FIFO データフル)	SCFRDR0	任意	サイクル スチール
	001001	01	SCIF1 送信部	TXI (送信 FIFO データエンpty)	任意	SCFTDR1	サイクル スチール
		10	SCIF1 受信部	RXI (受信 FIFO データフル)	SCFRDR1	任意	サイクル スチール
	001010	01	SCIF2 送信部	TXI (送信 FIFO データエンpty)	任意	SCFTDR2	サイクル スチール
		10	SCIF2 受信部	RXI (受信 FIFO データフル)	SCFRDR2	任意	サイクル スチール

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

CHCR RS[3:0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バス モード
	MID	RID					
1000	001100	01	IrDA 送信部	送信エンプティ転送要求	任意	IRIF_UART3	サイクル スチール
		10	IrDA 受信部	受信フル転送要求	IRIF_UART4	任意	サイクル スチール
	010100	01	SIOF0 送信部	TXI (送信 FIFO データエンプティ)	任意	SITDR0	サイクル スチール
		10	SIOF0 受信部	RXI (受信 FIFO データフル)	SIRDR0	任意	サイクル スチール
	010101	01	SIOF1 送信部	TXI (送信 FIFO データエンプティ)	任意	SITDR1	サイクル スチール
		10	SIOF1 受信部	RXI (受信 FIFO データフル)	SIRDR1	任意	サイクル スチール
	011100	11	USB	USB 送信部 0	任意	D0FIFO	サイクル スチール
				USB 受信部 0	D0FIFO	任意	サイクル スチール
	101000	01	SIM 送信部	TXI (送信 FIFO データエンプティ)	任意	SCTDR	サイクル スチール
		10	SIM 受信部	RXI (受信 FIFO データフル)	SCRDR	任意	サイクル スチール
	110000	01	SDHI チャンネル 1	送信エンプティ転送要求	任意	データ レジスタ	サイクル スチール
		10	SDHI チャンネル 0	受信フル転送要求	データ レジスタ	任意	サイクル スチール
	110001	01	SDHI チャンネル 3	送信エンプティ転送要求	任意	データ レジスタ	サイクル スチール
		10	SDHI チャンネル 2	受信フル転送要求	データ レジスタ	任意	サイクル スチール

### 13.4.2 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの2種類のモードから選択できます。モードの選択はDMAORのPR[1:0]ビットにより行います。

#### (1) 固定モード

固定モードではチャンネルの優先順位は変化しません。

固定モードには以下に示す2種類があります。

- CH0 > CH1 > CH2 > CH3 > CH4 > CH5
- CH0 > CH2 > CH3 > CH1 > CH4 > CH5

これらの選択はDMAORのPR[1:0]ビットにより行います。

#### (2) ラウンドロビンモード

ラウンドロビンモードでは、1つのチャンネルで、1転送単位(バイト、ワード、ロングワード、8バイト、16バイト単位、または32バイト単位)の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図13.2に示します。なお、リセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 > CH4 > CH5です。

ラウンドロビンモードを指定した場合、複数のチャンネルのバスモードでサイクルスチールモードとバーストモードを混在させないでください。

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

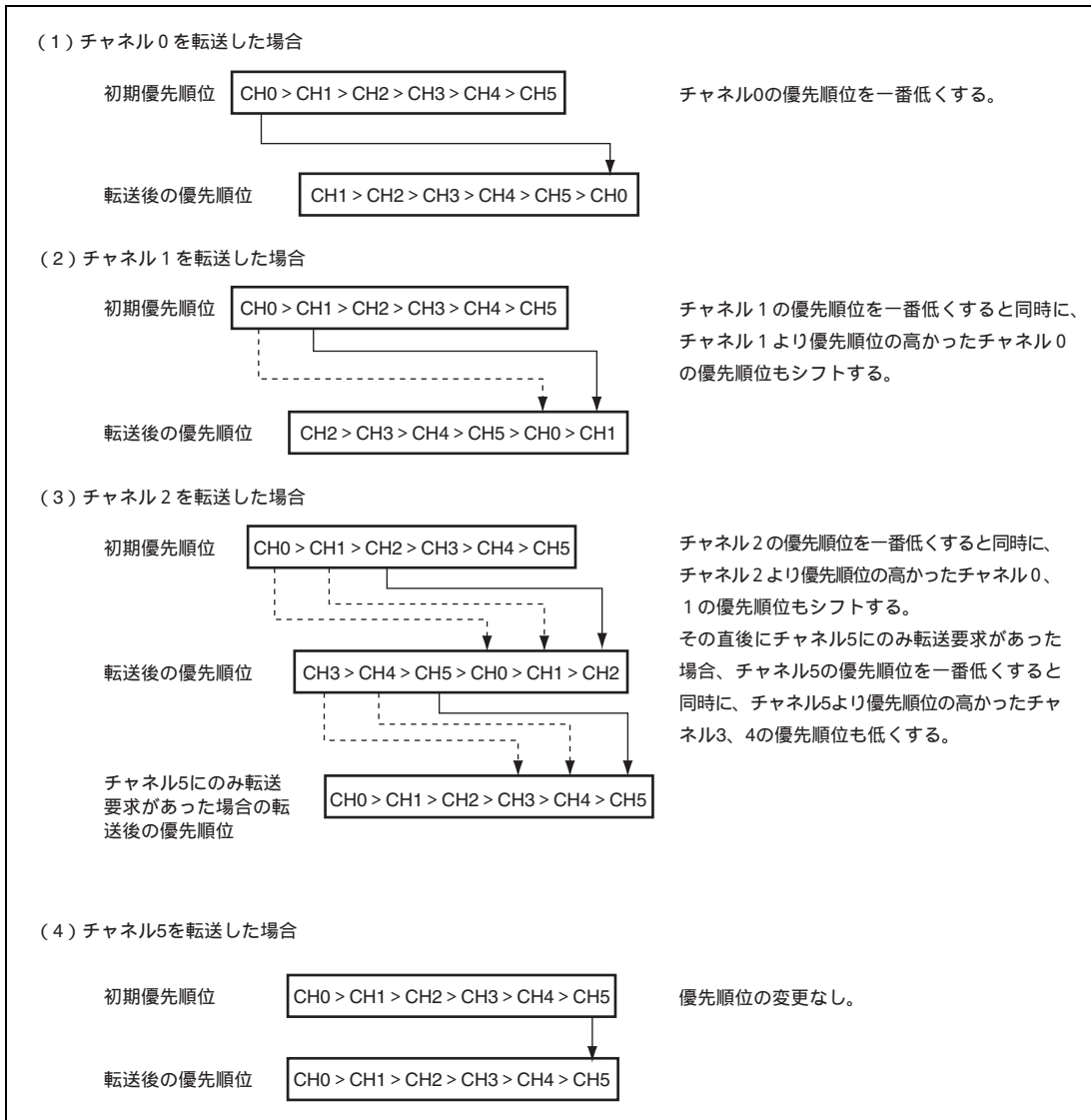


図 13.2 ラウンドロビンモード

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

図 13.3 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します（チャンネル3は転送待ち）。
3. チャンネル0の転送中にチャンネル1に転送要求が発生します（チャンネル1とチャンネル3は転送待ち）。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します（チャンネル3は転送待ち）。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

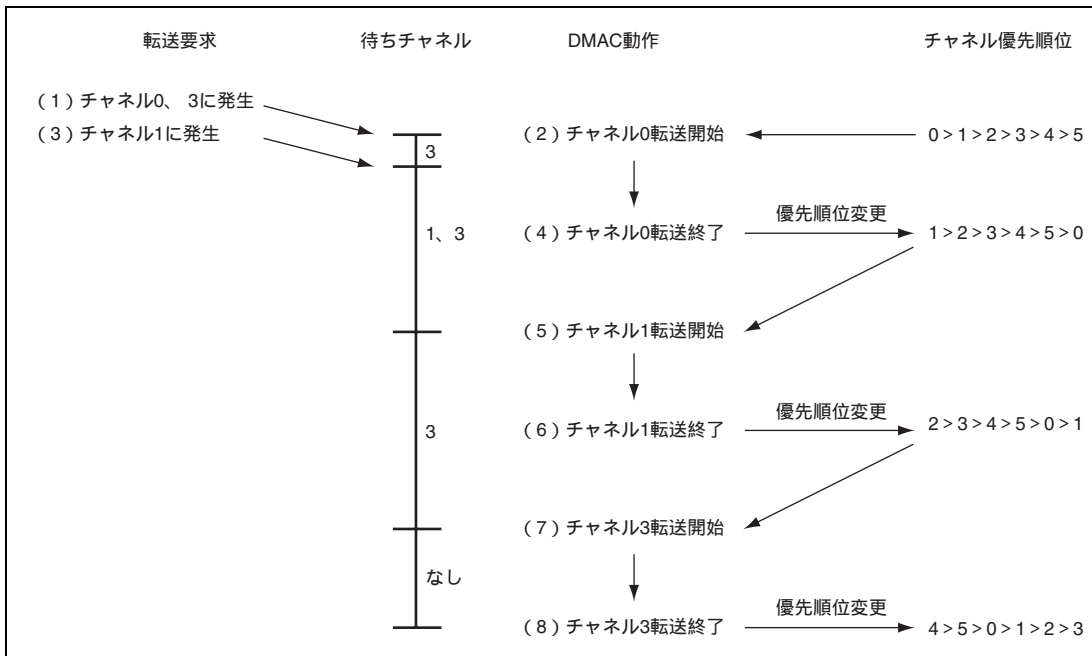


図 13.3 ラウンドロビンモードでのチャンネル優先順位

## 13. ダイレクトメモリアクセスコントローラ (DMAC)

---

### 13.4.3 DMA 転送の種類

DMA 転送は、デュアルアドレスモード転送になります。具体的な転送動作タイミングは、バスモードによって違います。バスモードは、サイクルスチールモードとバーストモードがあります。表 13.8 に DMAC がサポートできる転送を示します。

表 13.8 サポートできる DMA 転送

転送元	転送先				
	DACK 付 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール	X/Y メモリ U メモリ
DACK 付外部デバイス	不可	デュアル	デュアル	不可	不可
外部メモリ	デュアル	デュアル	デュアル	デュアル	デュアル
メモリマップト外部デバイス	デュアル	デュアル	デュアル	デュアル	デュアル
内蔵周辺モジュール	不可	デュアル	デュアル	デュアル	デュアル
X/Y メモリ、U メモリ	不可	デュアル	デュアル	デュアル	デュアル

- 【注】
1. デュアル：デュアルアドレスモード
  2. 内蔵周辺モジュールは、ロングワードサイズのアクセスを許可しているレジスタに限り 16 バイト転送ができます。

(1) アドレスモード

(a) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は外部でも内部でもかまいません。このモードでは、DMACは、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的にDMACに格納されます。たとえば、図13.4のような内蔵周辺モジュール同士の転送では、読み出しサイクルで転送元モジュールからデータがDMACに読み出され、続く書き込みサイクルでそのデータが転送先モジュールに書き込まれます。

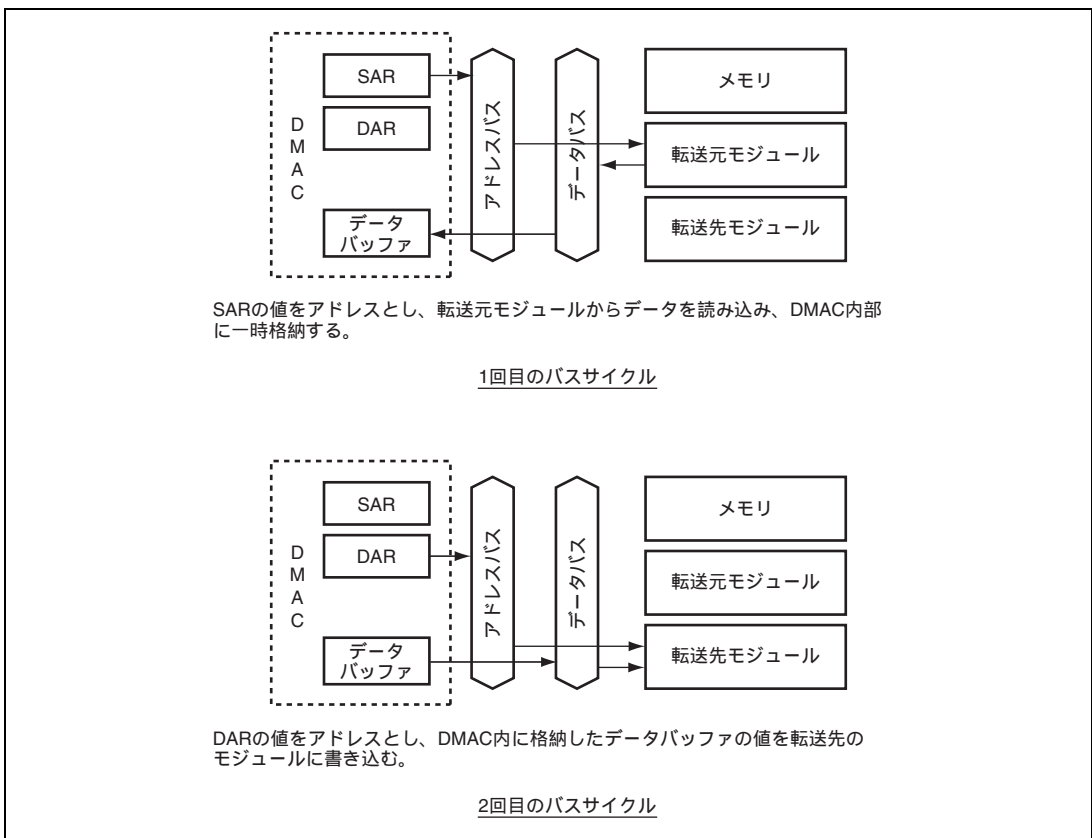


図 13.4 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。デュアルアドレスモードでは、DACKはリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかはCHCRによって設定可能です。

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

図 13.5 にデュアルアドレスモードでの DMA 転送タイミング例を示します。

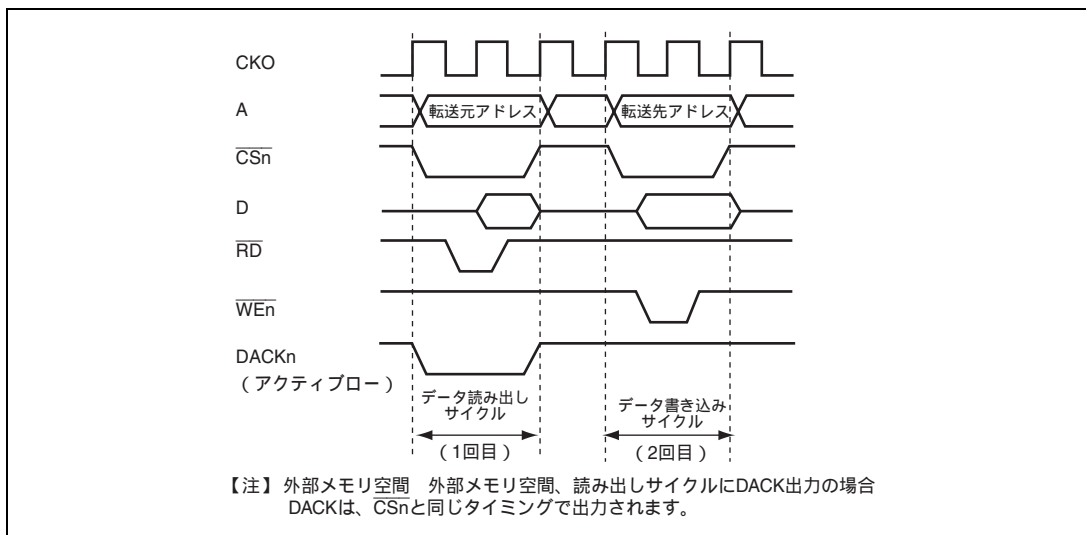


図 13.5 デュアルモードの DMA 転送タイミング例 (転送元: 通常メモリ、転送先: 通常メモリ)

#### (2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR の TB ビットによって行います。

##### (a) サイクルスチールモード

###### • 通常モード

サイクルスチールの通常モードでは、DMAC は 1 回の転送単位 (バイト、ワード、ロングワード、8 バイト単位、16 バイト単位、または 32 バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチール通常モードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えます。

図 13.6 にサイクルスチール通常モードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

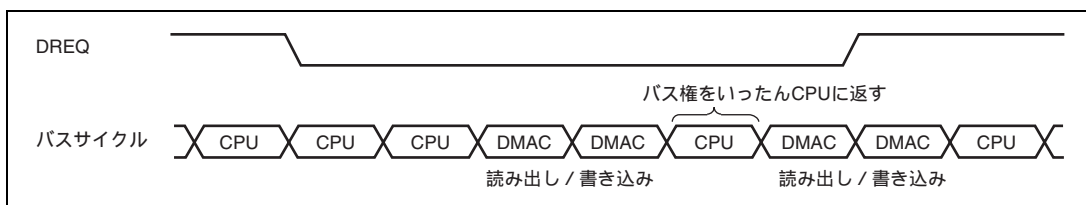


図 13.6 サイクルスチール通常モードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)



### 13. ダイレクトメモリアクセスコントローラ (DMAC)

- インタミットモード16、インタミットモード64

サイクルスチールのインタミットモードでは、DMACは1回の転送単位(バイト、ワード、ロングワード、8バイト単位、16バイト単位、または32バイト単位)の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、B カウントで16クロックまたは64クロック待った後に、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このためDMA転送によるバス占有割合をサイクルスチール通常モードに比べ、低く抑えることが可能です。

DMACが再びバス権を取り戻すときに、キャッシュミスによるエントリの更新などが行われているときなどは、DMA転送がさらに待たされる場合があります。

インタミットモードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えますが、すべてのチャンネルのバスモードがサイクルスチールモードである必要があります。

図13.7にサイクルスチールインタミットモードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

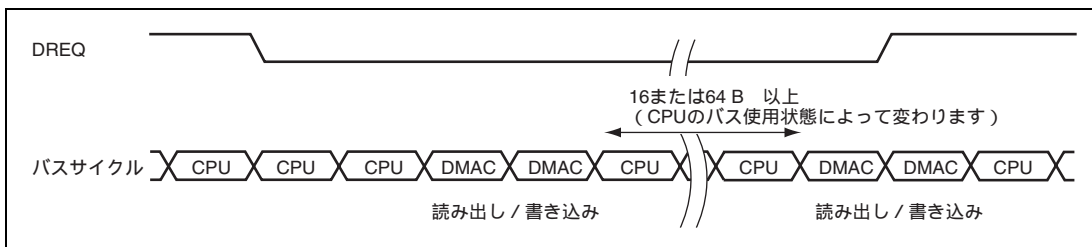


図 13.7 サイクルスチールインタミットモードのDMA転送例  
(デュアルアドレス、DREQローレベル検出)

#### (b) バーストモード

バーストモードではDMACは一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQをレベルで検出する場合には、DREQがアクティブなレベルでなくなると、転送終了条件が満たされていなくても、すでに要求を受け付けたDMA転送要求を終了後に他のバスマスタにバス権を渡します。

バーストモードは、内蔵周辺モジュールが転送要求元となっている場合には使用できません。

図13.8にバーストモードでのDMA転送タイミングを示します。

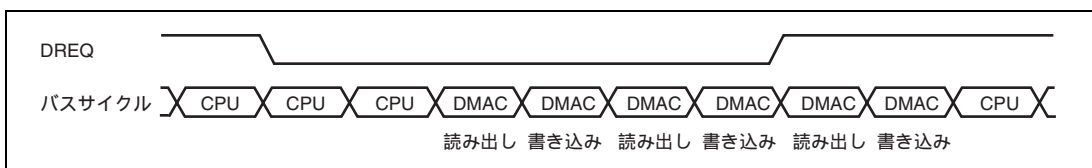


図 13.8 バーストモードでのDMA転送例 (デュアルアドレス、DREQローレベル検出)

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

#### (3) DMA 転送区間とリクエストモード、バスモードの関係

表 13.9 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 13.9 DMA 転送区間とリクエストモード、バスモードとの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (バイト)	使用可能チャンネル
デュアル	DACK 付き外部デバイスと外部メモリ	外部	B/C	1/2/4/8/16/32	0
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	1/2/4/8/16/32	0
	外部メモリと外部メモリ	外部、オート	B/C	1/2/4/8/16/32	0~5* <sup>3</sup>
	外部メモリとメモリマップト外部デバイス	外部、オート	B/C	1/2/4/8/16/32	0~5* <sup>3</sup>
	メモリマップト外部デバイスとメモリマップト外部デバイス	外部、オート	B/C	1/2/4/8/16/32	0~5* <sup>3</sup>
	外部メモリと内蔵周辺モジュール	すべて可* <sup>1</sup>	C	1/2/4/8/16* <sup>2</sup>	0~5* <sup>3</sup>
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可* <sup>1</sup>	C	1/2/4/8/16* <sup>2</sup>	0~5* <sup>3</sup>
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可* <sup>1</sup>	C	1/2/4/8/16* <sup>2</sup>	0~5* <sup>3</sup>
	X/Y メモリ、U メモリと X/Y メモリ、U メモリ	外部、オート	B/C	1/2/4/8/16/32	0~5* <sup>3</sup>
	X/Y メモリ、U メモリとメモリマップト外部デバイス	外部、オート	B/C	1/2/4/8/16/32	0~5* <sup>3</sup>
	X/Y メモリ、U メモリと内蔵周辺モジュール	すべて可* <sup>1</sup>	B/C	1/2/4/8/16* <sup>2</sup>	0~5* <sup>3</sup>
	X/Y メモリ、U メモリと外部メモリ	外部、オート	B/C	1/2/4/8/16/32	0~5* <sup>3</sup>

【記号説明】 B: パーストモード

C: サイクルスチールモード

【注】 \*1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送元または転送先がそれぞれの要求元レジスタである必要があります。

\*2 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ

\*3 転送要求が外部リクエストの場合にはチャンネル 0 のみ。

#### (4) バスモードとチャンネルの優先順位

優先順位固定モード (CH0 > CH1) において、チャンネル 1 がパーストモード転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、直ちにチャンネル 0 の転送を開始します。

このとき、チャンネル 0 もパーストモードの場合は、優先順位の高いチャンネル 0 の転送がすべて終了してから、チャンネル 1 の転送を継続します。

また、チャンネル 0 がサイクルスチールモードの場合、まず優先順位の高いチャンネル 0 が 1 転送単位の転送を行った後、バス権を解放せずに連続してチャンネル 1 が転送されます。その後も、チャンネル 0 チャンネル 1 チャンネル 0 チャンネル 1 というように交互に転送が行われます。つまり、バス状態は、サイクルスチールモード転送終了後の CPU サイクルがパーストモード転送に置き換わった形になります (以後、パーストモードの優先実行と呼びます)。

この例を図 13.9 に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA 転送を複数チャンネルで行う場合は、競合するすべてのバースト転送が終了するまで、バス権はバスマスタに解放しません。

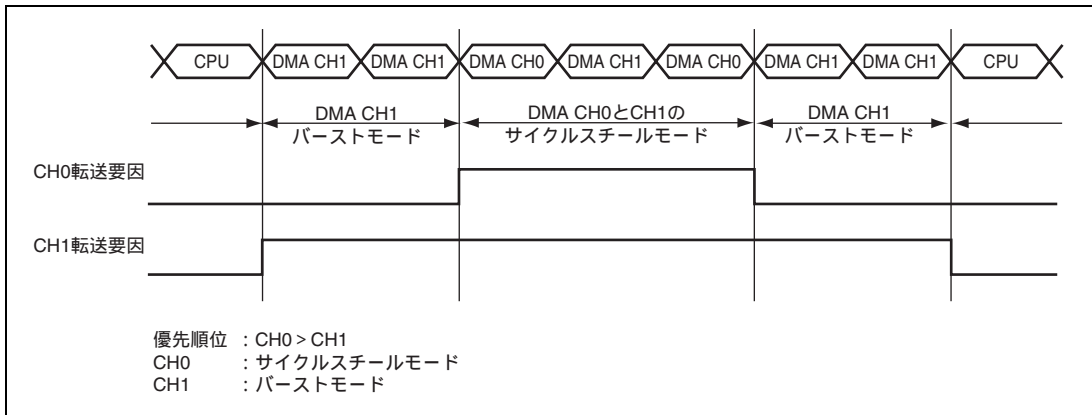


図 13.9 複数チャンネルが動作する場合のバス状態

ラウンドロビンモードでは、図 13.2 に示した仕様で優先順位が変化します。ただし、バーストモードがサイクルスチールモードのチャンネルとバーストモードのチャンネルを混在することはできません。

#### 13.4.4 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウントレジスタ (TCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、DMA 拡張リソースセクタ (DMARS) に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

転送許可状態かどうか (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) をチェックします。

転送許可状態で転送要求が発生すると 1 転送単位 (TS[3:0] の設定により決定) のデータを転送します。オートリクエストモードの場合は DE ビットおよび DME ビットが 1 にセットされると自動的に転送を開始します。1 回の転送を行うごとに TCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バーストモードにより異なります。

指定された回数の転送を終える (TCR の値が 0 になる) と、転送を正常に終了します。このとき CHCR の IE ビットに 1 がセットしてあれば、CPU に DEI 割り込みを発生します。

DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 にされても転送を中断します。

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

図 13.10 に DMA 転送のフローチャートを示します。

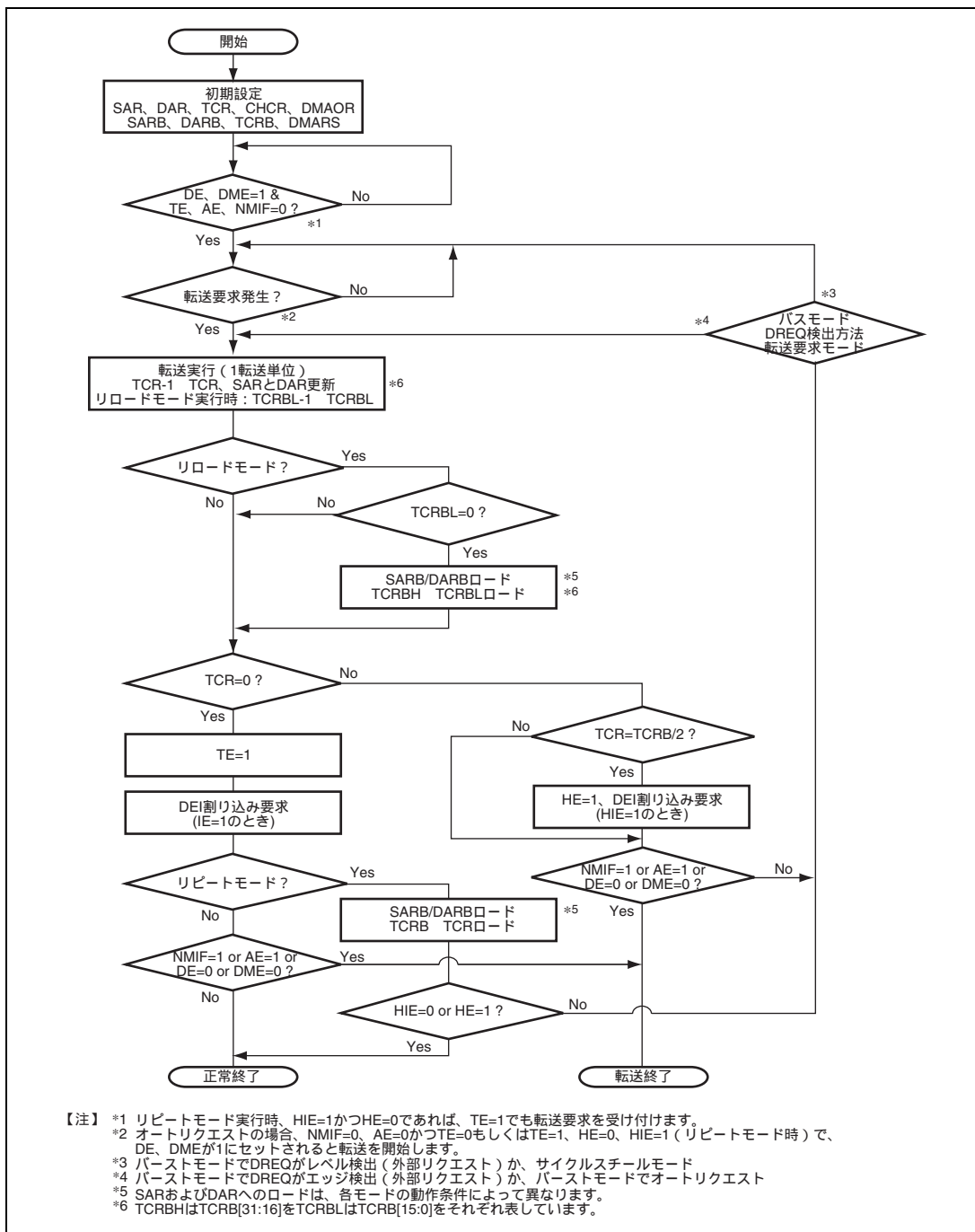


図 13.10 DMA 転送フローチャート

### 13.4.5 リピートモード転送

DMACのリピートモード転送を使用すると、DMA転送を再設定することなく繰り返し実行することが可能となります。

本機能をハーフエンド機能とセットで使用することで二重バッファ転送を仮想的に行うことが可能となります。本機能により以下の処理を効率的に行うことが可能となります。例として、VOICE CODECから音声データを受け取り、圧縮処理を行う場合の動作を説明します。

ここでは40ワードの音声データを受け取りごとに順次圧縮処理を行うことを仮定し、その際の処理を説明します。ここで音声データはSIOFにより受け取ることと仮定します。

#### 1. DMACの設定

- SARにSIOFの受信データレジスタのアドレスを設定
- DARに内部メモリのデータ格納領域のアドレスを設定
- TCRに80 (H'50) を設定
- CHCRに以下を設定

RPT[2:0]ビット= B'010 : リピートモード (DARをリピート領域として使用)

HIEビット= B'1 : TCR/2の割り込み発生

DM[1:0]ビット= B'01 : DARは増加

SM[1:0]ビット= B'00 : SARは固定

IEビット= B'1 : 割り込み許可

DEビット= B'1 : DMA転送許可

- このほか、TB、TS[3:0]ビットなど使用条件に合わせて設定
- DMAORのCMS[1:0]、PR[1:0]ビットを使用条件に合わせて設定し、DMEビットにB'1を設定

#### 2. 音声データの受信転送をSIOF/DMACが実行

#### 3. TCRが初期設定値の1/2になり割り込み発生

割り込み処理にて、CHCRを読み出しHEビットに1がセットされていることを確認し、DARに設定したアドレスから40ワード分のデータを用いた音声圧縮を実行します。

#### 4. TCRが0になり割り込み発生

割り込み処理にて、CHCRを読み出しTEビットに1がセットされていることを確認し、DARに設定したアドレスから40を足したアドレスから40ワード分のデータを用いた音声圧縮を実行します。この際、DMACではDARにDARBの値がコピーされ初期化されるとともに、TCRにもTCRBの値がコピーされ、初期値80に戻ります。

#### 5. 以後、2~3の処理が、DME = B'0もしくはDE = B'0が設定されるか、NMI割り込みが発生するまで繰り返し実行されます。

つまり、本機能を使用することで、順次受け取るデータの格納バッファと信号処理用のデータバッファとを交互に切り替えながら、逐次音声圧縮が可能となります。

## 13. ダイレクトメモリアクセスコントローラ (DMAC)

### 13.4.6 リロードモード転送

DMACのリロードモード転送を使用すると、CHCRのRPT[2:0]ビットの設定により、TCRB[15:0]ビットに設定した回数の転送ごとにSARB/DARBに設定された値をSAR/DARに、TCRB[31:16]ビットに設定された値をTCRB[15:0]ビットに再設定し、TCRが0になるまで転送を再設定することなく繰り返し実行することが可能となります。本機能は、特定エリアを使ったデータ転送を繰り返し行う際に有効です。この動作を図13.11に示します。

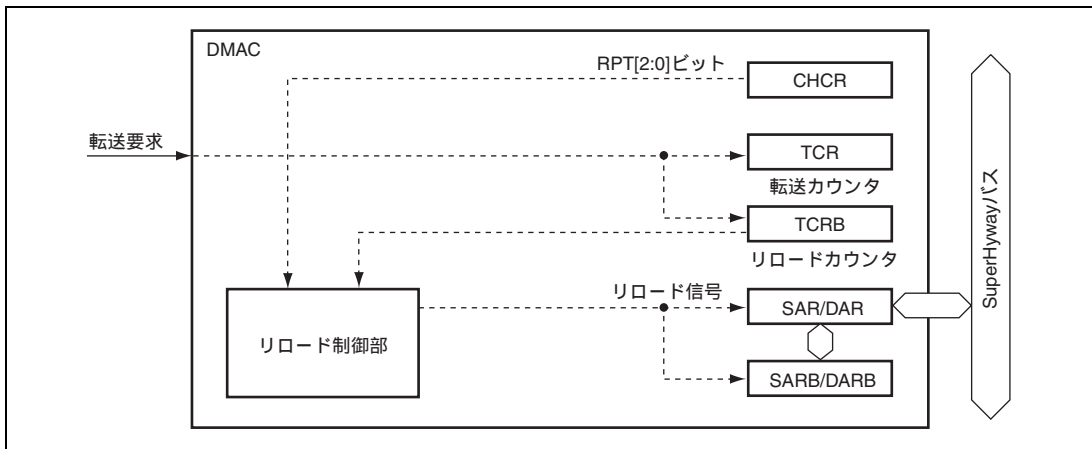


図 13.11 リロード機能図

リロードモード実行時は、TCRB をリロードカウンタとして使用します。「13.3.6 DMA トランスファカウンタレジスタ B\_0~3 (TCRB\_0~TCRB\_3)」の項を参照し、TCRB を設定してください。

13.4.7 DREQ 端子のサンプリングタイミング

各バスモードに対する DREQ 入力のサンプリングタイミングを図 13.12 ~ 図 13.15 に示します。

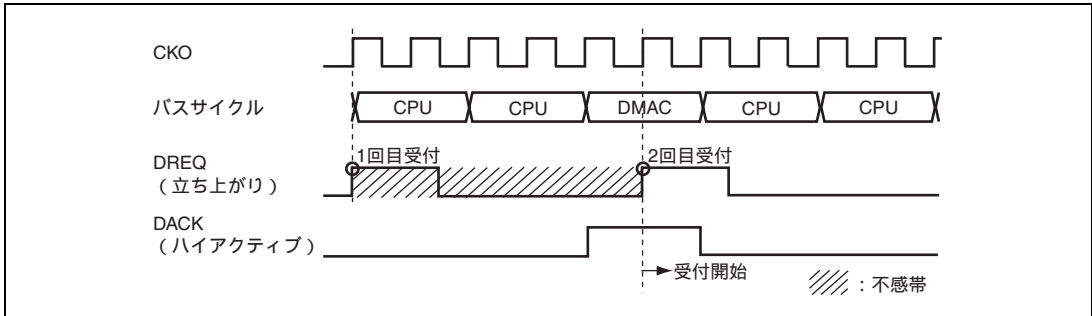


図 13.12 サイクルスチールモード、エッジ検出時の DREQ 入力検出タイミング例

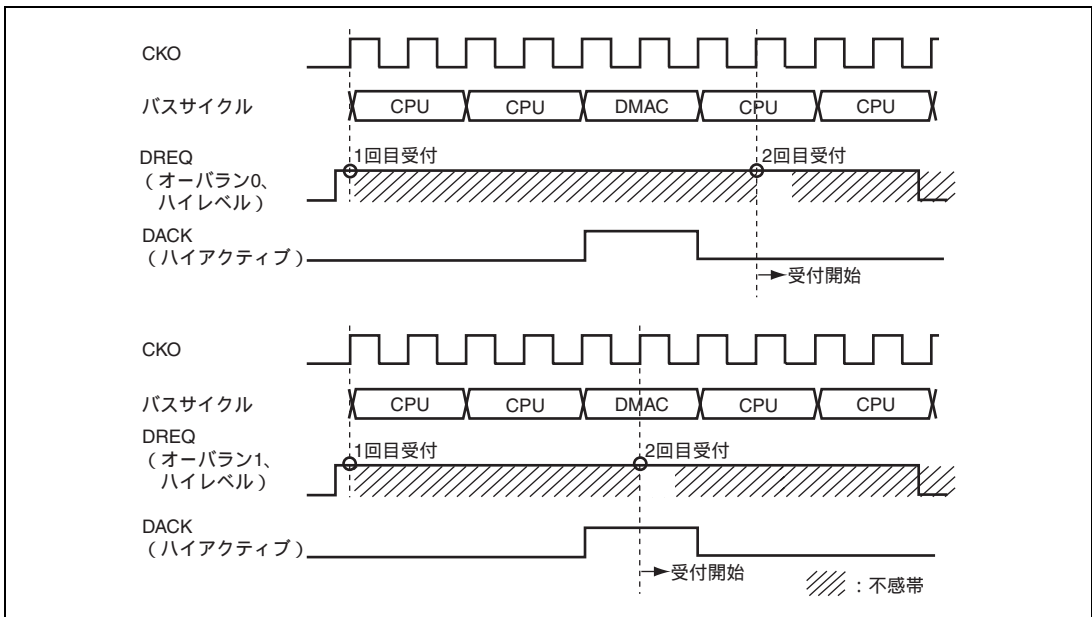


図 13.13 サイクルスチールモード、レベル検出時の DREQ 入力検出タイミング例

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

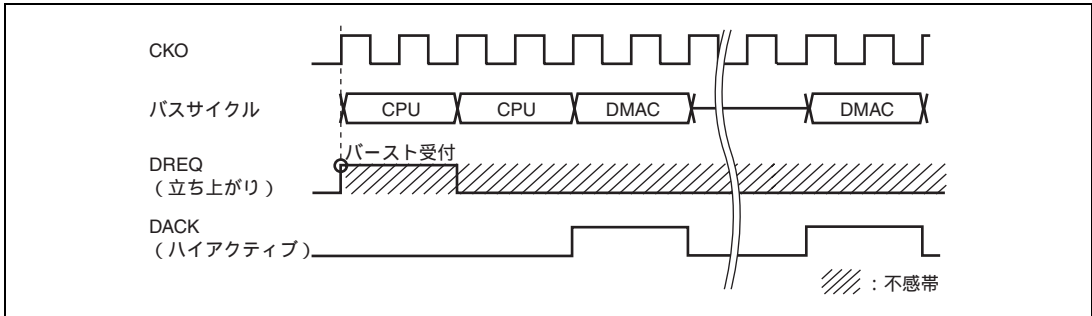


図 13.14 バーストモード、エッジ検出時の DREQ 入力検出タイミング例

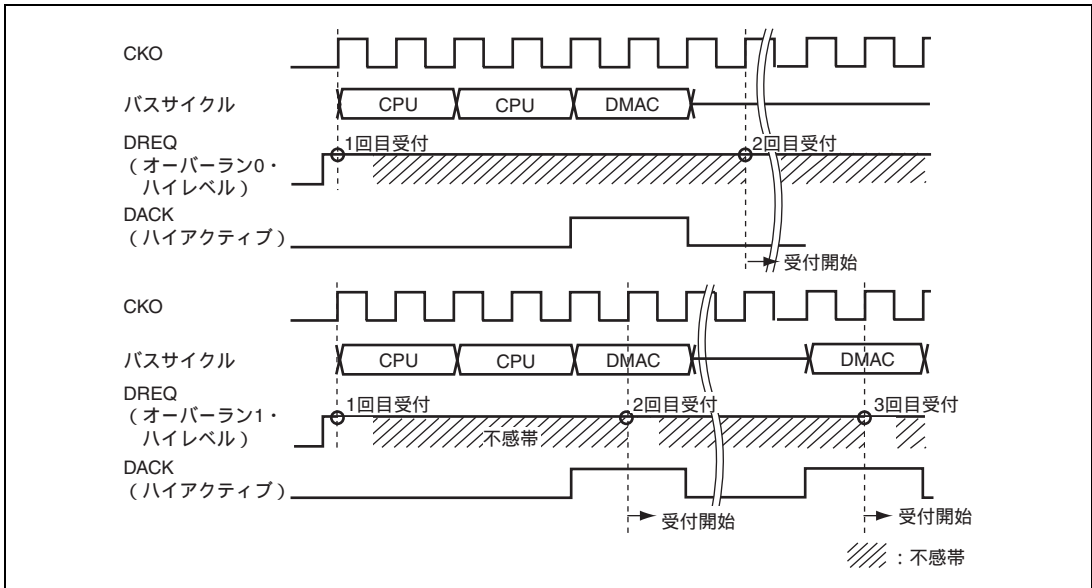


図 13.15 バーストモード、レベル検出時の DREQ 入力検出タイミング例



### 13. ダイレクトメモリアクセスコントローラ (DMAC)

8ビット外部デバイスや16ビット外部デバイスにロングワードアクセスしたり、8ビット外部デバイスにワードアクセスをする場合、データをアライメントするためDACK出力が分割されるので注意してください。この例を図13.16に示します。

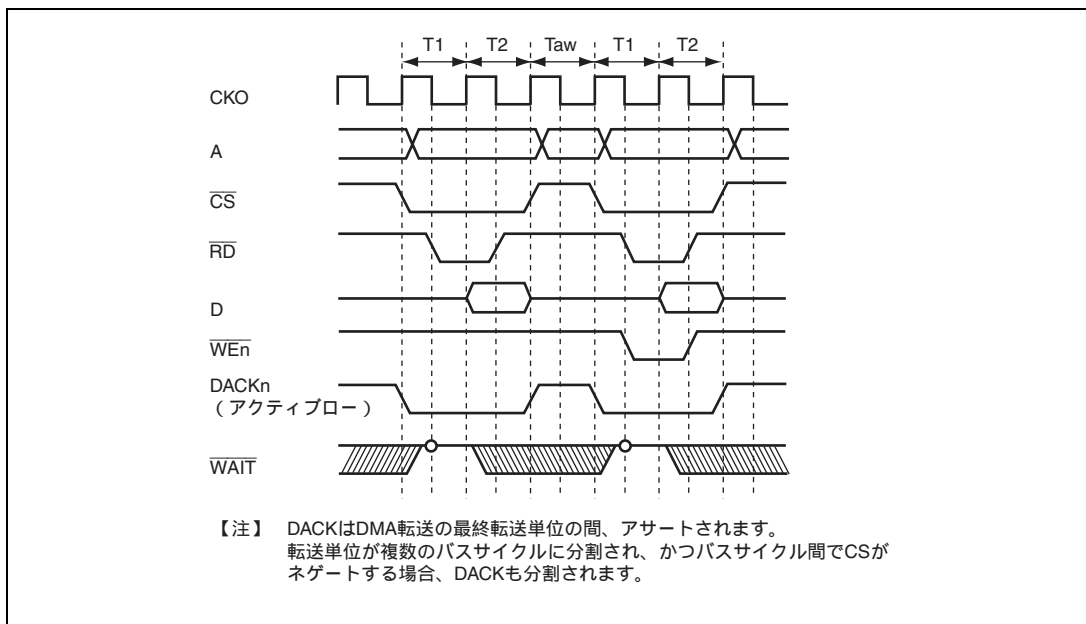


図 13.16 BSC 通常メモリアクセス (ノーウェイト、アイドルサイクル1、16ビットデバイスへのロングワードアクセス)

## 13. ダイレクトメモリアクセスコントローラ (DMAC)

---

### 13.5 使用上の注意

本 DMAC を使用する際は、以下のことに注意してください。

#### 13.5.1 周辺モジュールの DMA 転送について

周辺モジュールの 16 バイト DMA 転送を行う場合、CHCR の TS[3:0] ビットを B'1011 にセットし、16 バイト 2 分割転送モードで実行してください。ただし、転送元または転送先として SAR または DAR に 16 バイト境界のアドレスを設定できる場合に限りです。転送元または転送先のアドレスが 16 バイト境界ではない場合、正しくデータを転送することができません。

#### 13.5.2 モジュールストップについて

本 DMAC 動作中に、モジュールストップレジスタ (MSTPCR0 ~ MSTPCR2) のレジスタ設定によるモジュールストップを行わないでください。また、周辺モジュールの DAMC 動作中に、転送の強制中断を行わないでください。モジュールストップおよび強制中断させた場合、動作中の転送内容は保証できません。

#### 13.5.3 アドレスエラーについて

DMA アドレスエラーが発生した場合、全チャンネルのレジスタを再設定した後、転送を開始してください。

#### 13.5.4 バーストモード転送時の注意

バーストモード転送中は、そのチャンネルの転送が完了するまで以下の操作を行わないでください。

1. 周波数を変更しないでください。
2. スリープモードに移行させないでください。
3. 各種スタンバイモードに移行させないでください。

#### 13.5.5 HE、TE、AE、NMIF の各フラグビット使用上の注意事項

上記フラグが 1 にセットされるタイミングで読み出しを行うと 0 が読み出されますが、内部的に 1 を読み出した状態となる場合があります。そのため、0 の書き込みを行うと、当該フラグが 1 の読み出し後の 0 書き込みと同じ状態となり、0 にクリアされることがあります。

- 回避方法

上記フラグを使用する場合は、意図せずにビットをクリアしないように以下の方法で読み出し、書き込みを行ってください。

当該レジスタの書き込み時は、明示的にクリアするとき以外は当該ビットへ 1 の書き込みを行い、明示的にクリアするときのみ 1 の読み出し後の 0 書き込みを行ってください。該当ビットへの 1 の書き込みはフラグの値に影響を及ぼしません。

### 13.5.6 バーストモードの使用上の注意事項

DMAC をバーストモード (DMA0/1\_CHCRn.TB=1、n=0~5) で使用する場合、下記の条件でマニュアルリセットが発生<sup>\*1</sup>した場合、DMAC が停止状態となり、マニュアルリセットに遷移できず停止してしまいます (内部バスである SuperHyway バスはロック状態となります)。この場合、パワーオンリセット以外では復帰できなくなりますので、下記の回避策を行うか、またはバーストモードは使用せず、サイクルスチールモードを使用してください。

- 発生条件

下記のいずれかの条件においてマニュアルリセットが発生<sup>\*1</sup>し、マニュアルリセットに遷移しようとしている場合。

1. バーストモードでオートリクエストによるDMA転送中、アドレスエラーが発生した場合。<sup>\*2</sup>
2. バーストモードで外部リクエストによるDMA転送中の場合。

- 回避方法

バーストモードを使用する場合、下記の方法により回避することができます。

- (A) 条件1.に対しては、DMAアドレスエラーが発生<sup>\*2</sup>しないようにしてください。
- (B) 条件1.および2.に対しては、マニュアルリセットが発生<sup>\*2</sup>しないようにしてください。

【注】 \*1 マニュアルリセットが発生する条件

CPU 例外処理で、SR.BL=1 のときに、ユーザブ레이크を除く一般例外が発生した場合。

\*2 アドレスエラー (DMA0/1\_DMAOR.AE=1) が発生する条件 (DMA 転送開始後、下記 (a) ~ (c) いずれか 1 つ以上に該当する場合)

- (a) SAR または DAR に設定された値が転送サイズの境界と不一致になる場合。
- (b) 転送元または転送先がモジュールスタンバイ状態の場合。
- (c) 転送元または転送先が無効空間 (未定義 / リザーブ領域) であった場合。

ただし、レジスタ、内蔵メモリのリザーブアドレスについてはアドレスエラーとならない場合があります。なお、未定義 / リザーブ領域、リザーブアドレスのアクセスは禁止ですのでご注意ください。

### 13. ダイレクトメモリアクセスコントローラ (DMAC)

---

---

## 14. クロックパルス発生器 ( CPG )

---

クロックパルス発生器は、PLL 回路、DLL 回路、分周回路、およびこれらの制御回路で構成され、本 LSI で使用する各種クロックを生成します。

### 14.1 特長

- LSI内部動作の各種クロックを生成
  - CPUクロック ( I ) : CPUコアの動作クロック
  - SHクロック ( SH ) : SuperHywayバスの動作クロック
  - Uメモリクロック ( U ) : Uメモリの動作クロック
  - バスクロック ( B ) : BSCの動作クロック。SuperHywayバス上の周辺モジュールの動作クロック
  - SDRAM用クロック ( B3 ) : SBSCの動作クロック
  - 周辺クロック ( P ) : HPB ( 周辺バス ) 上の周辺モジュールの動作クロック
- 外部インタフェース用の各種クロックを生成
  - バスクロック ( CKO ) : BSCバスインタフェース用クロック ( B と同じ )
  - SDRAM用クロック ( HPCLK ) : SDRAMインタフェース用クロック ( B3 と同じ )
  - IrDAクロック ( IrDACK ) : IrDA用クロック出力
- 周波数変更機能

CPG内部のPLL回路やDLL回路、分周回路により、各種クロックの周波数を独立に変更できます。周波数変更は、レジスタの設定によりソフトウェアで行います。
- クロックモード

クロックモード端子設定により、クロックソースをEXTAL入力またはRCLK入力から選択できます。また、パワーオンリセット後のPLL、DLLのON/OFFをクロックモード端子により設定可能です。
- 低消費電力モードの制御

スリープモード、ソフトウェアスタンバイモード、U-スタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。詳細に関しては、「第15章 リセット、低消費電力モード」を参照してください。

## 14. クロックパルス発生器 (CPG)

### 14.2 ブロック図

CPGのブロック図を図 14.1 に示します。

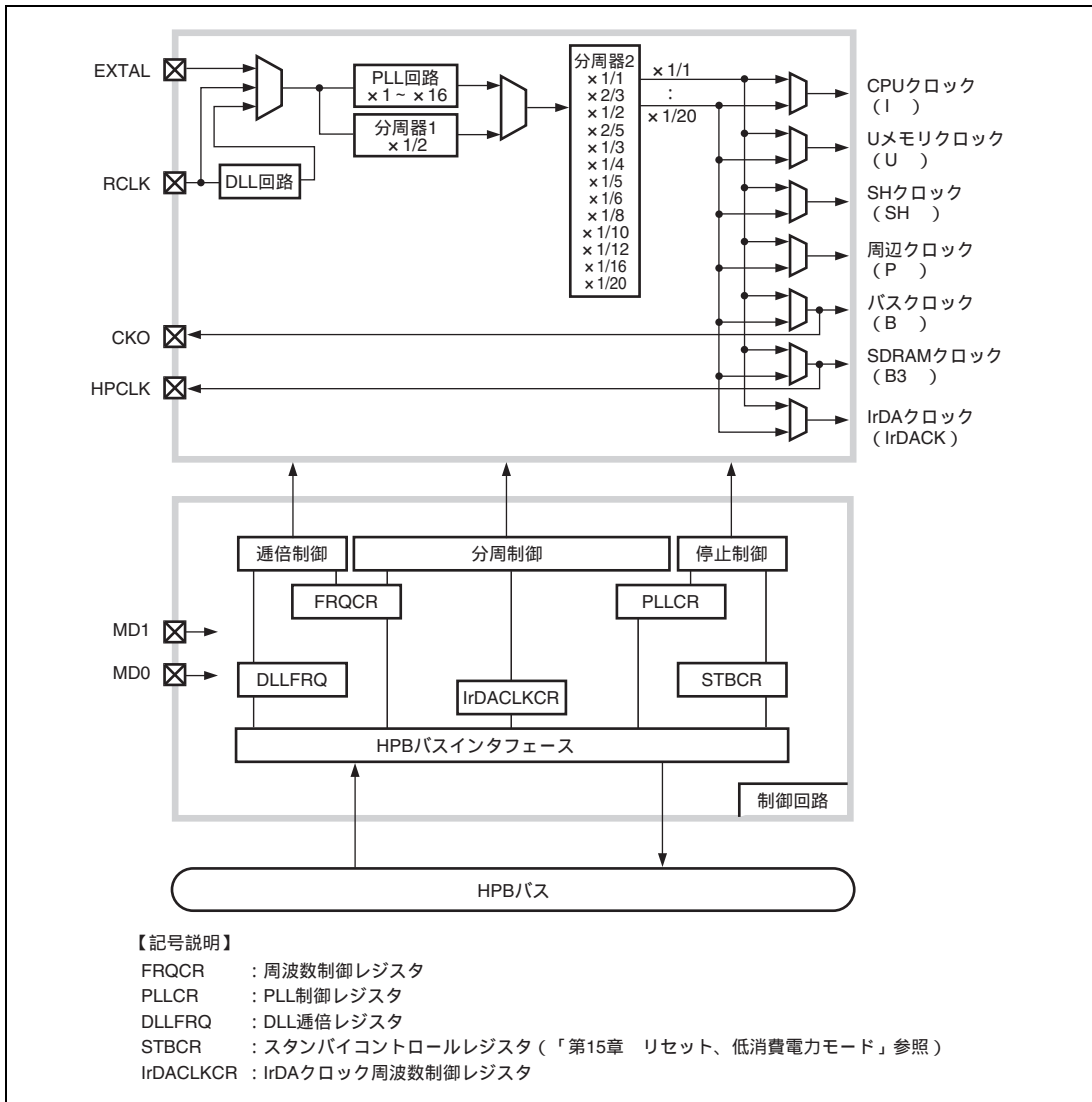


図 14.1 CPGのブロック図

CPG の各ブロックは次のように機能します。

(1) DLL 回路

DLL 回路は、RCLK 端子からの入力クロック周波数 (32.768kHz) を逡倍する機能を持ちます。クロックモード 3 のみ有効です。逡倍率は DLL 逡倍レジスタ (DLLFRQ) で設定します。逡倍率の初期値は 824 倍で、 $32.768\text{kHz} \times 824 = 27.00\text{MHz}$  のクロックを生成します。

(2) PLL 回路

PLL 回路は、EXTAL 端子からの入力クロック、または DLL により逡倍されたクロック周波数を 1 倍 ~ 16 倍に逡倍する機能を持ちます。逡倍率は、周波数制御レジスタ (FRQCR) で設定します。PLL 回路の ON/OFF は、クロックモード端子、または PLL 制御レジスタ (PLLCR) で設定します。

PLL 回路の入力クロックの周波数範囲は 10MHz ~ 66MHz、出力クロックの周波数範囲は 10MHz ~ 333MHz (266MHz ~ 333MHz は、 $V_{DD} = 1.25 \sim 1.35\text{V}$  時) です。

(3) 分周器 1

分周器 1 は、EXTAL 端子からの入力クロック、または DLL により逡倍されたクロック周波数を 1/2 に分周します。PLL 回路が OFF の場合に、分周器 1 の出力クロックが分周器 2 および分周器 3 に入力されます。

(4) 分周器 2

分周器 2 は、PLL 回路または分周器 1 の出力クロックを分周し、各種クロックを生成します。分周率は、各周波数制御レジスタで設定します。

(5) 制御回路

制御回路は、MD0、MD1 端子、および周波数制御レジスタの設定に従ってクロック周波数の制御を行います。また、各種低消費電力モードの制御を行います。

## 14. クロックパルス発生器 (CPG)

### 14.3 入出力端子

CPG の端子構成を表 14.1 に示します。

表 14.1 CPG の端子構成と機能

端子名	機能	入出力	説明
MD0	クロックモード制御端子	入力	クロック動作モードを設定します。
MD1		入力	クロック動作モードを設定します。
MD2		入力	リザーブ* <sup>1</sup>
EXTAL	クロック端子	入力	外部クロック入力端子として使用します。
XTAL		出力	リザーブ
RCLK		入力	RTC クロック (32.768kHz) を入力します。* <sup>2</sup>
CKO	バスクロック出力端子	出力	BSC インタフェースクロック出力端子として使用します。
HPCLK	SDRAM 用クロック出力端子	出力	SDRAM インタフェースクロック出力端子として使用します。

【注】 \*<sup>1</sup> MD2 端子にはローを入力してください。

\*<sup>2</sup> RCLK は、DLL 回路を使用しない場合でも、必ず本 LSI に入力してください。

### 14.4 クロック動作モード

モード制御端子 (MD1、MD0) の組み合わせと、パワーオンリセット後の初期クロック設定の関係を表 14.2 に示します。クロックソースの周波数を 1 としたときの周波数比で示します。

表 14.2 クロック動作モード

クロック モード	端子設定		レジスタ初期値		クロック ソース	PLL	DLL	I	U	SH	B	B3	P
	MD1	MD0	FRQCR	PLLCR									
0	0	0	H'0755 5558	H'0000 4000	EXTAL	ON (×8)	OFF	2	2	2	2	2	1
1	0	1	H'0700 0000	H'0000 0000	EXTAL	OFF	OFF	1/2	1/2	1/2	1/2	1/2	1/2
2	1	0	設定禁止										
3	1	1	H'0755 5558	H'0000 5000	RCLK	ON (×8)	ON (×824)	1648	1648	1648	1648	1648	824



## 14.5 レジスタの説明

CPG のレジスタ構成を表 14.3 に示します。また、各処理モードにおけるレジスタの状態を表 14.4 に示します。

表 14.3 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
周波数制御レジスタ	FRQCR	R/W	H'A415 0000	32
IrDA クロック周波数制御レジスタ	IrDACLKCR	R/W	H'A415 0018	32
PLL 制御レジスタ	PLLCR	R/W	H'A415 0024	32
DLL 逡倍レジスタ	DLLFRQ	R/W	H'A415 0050	32

表 14.4 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
FRQCR	初期化	保持	保持	-	初期化	保持
IrDACLKCR	初期化	保持	保持	-	初期化	保持
PLLCR	初期化	保持	保持	-	初期化	保持
DLLFRQ	初期化	保持	保持	-	初期化	保持

### 14.5.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、PLL 回路の周波数逡倍率、CPU クロック、SH クロック、バスクロック、SDRAM クロック、周辺クロックの周波数分周率の指定ができます。FRQCR はロングワードサイズでのみアクセス可能です。逡倍率、分周率の初期値は、クロックモードにより決まります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HIGH[1:0]		—	STC[4:0]				IFC[3:0]			UFC[3:0]					
初期値:	0	0	0	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SFC[3:0]			BFC[3:0]			B3FC[3:0]			P1FC[3:0]						
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 30	HIGH[1:0]	00	R/W	PLL 回路の VCO 選択 PLL 回路の出力周波数に合わせて設定してください。 00 : PLL 回路出力 150MHz 以上 01 : 設定禁止 10 : 設定禁止 11 : PLL 回路出力 150MHz 以下

## 14. クロックパルス発生器 (CPG)

ビット	ビット名	初期値	R/W	説明
29	-	0	R	リザーブビット 読み出すと0が読み出されます。書き込む値も常に0にしてください。
28~24	STC[4:0]	表 14.2 参照	R/W	PLL 回路の通倍率設定 設定値 + 1 倍の通倍を行います。  00001 : ×2 倍 00010 : ×3 倍 00011 : ×4 倍 00101 : ×6 倍 00111 : ×8 倍 01111 : ×16 倍 上記以外設定禁止 【注】 PLL OFF 時には本ビットの設定は無効です。
23~20	IFC[3:0]	表 14.2 参照	R/W	CPU クロック周波数 ( I ) の分周率  0000 : ×1 倍 0001 : ×2/3 倍 0010 : ×1/2 倍 0011 : ×2/5 倍 0101 : ×1/4 倍 0110 : ×1/5 倍 0111 : ×1/6 倍 1000 : ×1/8 倍 1001 : ×1/10 倍 1010 : ×1/12 倍 1011 : ×1/16 倍 1100 : ×1/20 倍 上記以外設定禁止

## 14. クロックパルス発生器 (CPG)

ビット	ビット名	初期値	R/W	説明
19~16	UFC[3:0]	表 14.2 参照	R/W	Uメモリクロック (U ) の分周率 0000 : ×1/1 倍 0001 : ×2/3 倍 0010 : ×1/2 倍 0011 : ×2/5 倍 0100 : ×1/3 倍 0101 : ×1/4 倍 0110 : ×1/5 倍 0111 : ×1/6 倍 1000 : ×1/8 倍 1001 : ×1/10 倍 1010 : ×1/12 倍 1011 : ×1/16 倍 1100 : ×1/20 倍 上記以外設定禁止
15~12	SFC[3:0]	表 14.2 参照	R/W	SHクロック (SH ) 周波数の分周率 0000 : ×1/1 倍 0001 : ×2/3 倍 0010 : ×1/2 倍 0011 : ×2/5 倍 0100 : ×1/3 倍 0101 : ×1/4 倍 0110 : ×1/5 倍 0111 : ×1/6 倍 1000 : ×1/8 倍 1001 : ×1/10 倍 1010 : ×1/12 倍 1011 : ×1/16 倍 1100 : ×1/20 倍 上記以外設定禁止

## 14. クロックパルス発生器 (CPG)

ビット	ビット名	初期値	R/W	説明
11~8	BFC[3:0]	表 14.2 参照	R/W	バスクロック ( B ) 周波数の分周率 0000 : ×1/1 倍 0001 : ×2/3 倍 0010 : ×1/2 倍 0011 : ×2/5 倍 0100 : ×1/3 倍 0101 : ×1/4 倍 0110 : ×1/5 倍 0111 : ×1/6 倍 1000 : ×1/8 倍 1001 : ×1/10 倍 1010 : ×1/12 倍 1011 : ×1/16 倍 1100 : ×1/20 倍 上記以外設定禁止
7~4	B3FC[3:0]	表 14.2 参照	R/W	SDRAM クロック ( B3 ) 周波数の分周率 0000 : ×1/1 倍 0001 : ×2/3 倍 0010 : ×1/2 倍 0011 : ×2/5 倍 0100 : ×1/3 倍 0101 : ×1/4 倍 0110 : ×1/5 倍 0111 : ×1/6 倍 1000 : ×1/8 倍 1001 : ×1/10 倍 1010 : ×1/12 倍 1011 : ×1/16 倍 1100 : ×1/20 倍 上記以外設定禁止

ビット	ビット名	初期値	R/W	説明
3~0	P1FC[3:0]	表 14.2 参照	R/W	周辺クロック (P) 周波数の分周率 0000 : ×1/1 倍 0001 : ×2/3 倍 0010 : ×1/2 倍 0011 : ×2/5 倍 0100 : ×1/3 倍 0101 : ×1/4 倍 0110 : ×1/5 倍 0111 : ×1/6 倍 1000 : ×1/8 倍 1001 : ×1/10 倍 1010 : ×1/12 倍 1011 : ×1/16 倍 1100 : ×1/20 倍 上記以外設定禁止

【注】 \* ビット 28~ビット 0 の初期値は、クロックモードに依存します。

FRQCR レジスタの設定値は以下の制約を守ってください。(N は整数)

1. I : U、U : SH

整数クロック比 I : U = N : 1、U : SH = N : 1

非整数クロック比 I : U : SH = 3 : 2 : 2 (B3FC[3:0] H'1001)

非整数クロック比 I : U : SH = 5 : 2 : 2 (B3FC[3:0] H'1001)

整数逆転クロック比 I : U : SH = 1 : N : N

2. SH : B

整数クロック比 SH : B = N : 1

3. SH : B3

整数クロック比 SH : B3 = N : 1 (N ≥ 4)

非整数クロック比 SH : B3 = 3 : 2

非整数クロック比 SH : B3 = 4 : 3 (B3FC[3:0] H'0110)

非整数クロック比 SH : B3 = 5 : 4 (B3FC[3:0] H'0110)

4. B : P

整数クロック比 B : P = N : 1

5. I : P

整数クロック比 I : P = N : 1

## 14. クロックパルス発生器 (CPG)

### 14.5.2 PLL 制御レジスタ (PLLCR)

PLLCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、PLL 回路、DLL 回路の ON / OFF、CKO 端子からのクロック出力の有無の指定ができます。PLLCR はロングワードサイズでのみアクセス可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PLLE	—	DLL E	—	—	—	—	—	—	—	—	—	—	CKOFF	—
初期値:	0	*	0	*	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PLLE	表 14.2 参照	R/W	PLL イネーブル PLL 回路の ON/OFF を設定します。 0 : PLL 回路を OFF 1 : PLL 回路を ON
13	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
12	DLL E	表 14.2 参照	R/W	DLL イネーブル DLL 回路の ON/OFF を設定します。 0 : DLL 回路を OFF 1 : DLL 回路を ON 【注】 本ビットは、初期値から変更しないでください。
11~2	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CKOFF	0	R/W	CKO 出力停止 CKO の出力を制御します。 0 : CKO 端子からクロックを出力します。 1 : CKO 端子からクロックを出力しません。 CKO : ローレベル固定 また、本ビットが 1 で、SBSC タイミング制御レジスタ (SBSCR) の SBS2 ビットが 0 のときは、HPCLK/HPCLKR/HPCLKD 端子からのクロックも出力しません。
0	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 ビット 14、ビット 12 の初期値は、クロックモードに依存します。

14.5.3 IrDA クロック周波数制御レジスタ (IrDACLKCR)

IrDACLKCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、IrDA クロック周波数を制御します。  
IrDACLKCR はロングワードサイズでのみアクセス可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CKSTP	—	—	—	DIV[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
8	CKSTP	0	R/W	クロックストップ 0 : IrDA クロックを供給します 1 : IrDA クロックを停止します
7~4	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	DIV[3:0]	*	R/W	分周率設定ビット IrDA クロックの分周率を設定します。 0000 : ×1/1 倍 0001 : ×2/3 倍 0010 : ×1/2 倍 0011 : ×2/5 倍 0100 : ×1/3 倍 0101 : ×1/4 倍 0110 : ×1/5 倍 0111 : ×1/6 倍 1000 : ×1/8 倍 1001 : ×1/10 倍 1010 : ×1/12 倍 1011 : ×1/16 倍 1100 : ×1/20 倍 上記以外設定禁止

【注】 \* DIV[3:0]ビットの初期値は、FRQCR の P1FC[3:0]ビットと同一の値となります。

## 14. クロックパルス発生器 (CPG)

### 14.5.4 DLL 逡倍レジスタ (DLLFRQ)

DLLFRQ は、読み出し / 書き込み可能な 32 ビットのレジスタで、DLL 回路の逡倍率を設定します。DLLFRQ はロングワードサイズでのみアクセス可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DLF[10:0]										
初期値 :	0	0	0	0	0	0	1	1	0	0	1	1	1	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	DLF[10:0]	H'338	R/W	DLL 逡倍率設定 DLL 回路の逡倍率を設定します。逡倍率は設定値になります。 H'3F9 : 約 33MHz* H'3D1 : 約 32MHz* H'338 : 約 27MHz* H'262 : 約 20MHz* H'2DC : 約 24MHz* それ以外 : 設定禁止 【注】 * RCLK=32.768kHz 時



## 14.6 周波数変更方法

周波数制御レジスタで制御される各クロックの周波数を変更するには、PLL 回路の通倍率を変える方法と、分周器の分周率を変える方法があります。これらはいずれも周波数制御レジスタによってソフトウェアで制御します。以下にこれらの方法について示します。

### 14.6.1 PLL 回路通倍率の変更

PLL 回路の通倍率を変更する場合、PLL 発振安定時間は内部で自動的に検出しますので、FRQCR の STC[4:0] ビットを書き換えるだけで通倍率の変更を行うことができます。PLL の発振が安定するまでの間、LSI 内部へのクロック供給、CKO 端子、HPCLK 端子のクロック出力は停止します。

### 14.6.2 分周率の変更

分周率変更は、FRQCR の各分周設定ビットを書き換えることで行います。

### 14.6.3 クロック動作モードの変更

クロック動作モードを決めるモード制御端子 (MD1、MD0) はパワーオンリセット時にその値が取り込まれます。動作中に MD1、MD0 端子の設定変更は行わないでください。

### 14.6.4 PLL 回路の ON / OFF 切り替え

PLLCR の PLLE ビットを書き換えることで、PLL 回路の ON / OFF を制御できます。

PLL 回路の通倍率変更時や SDRAM クロックの分周率変更時と同様に、PLL 回路の発振安定時間は内部で自動的に検出します。

### 14.6.5 DLL 通倍率の変更

DLL 回路の通倍率を変更する場合、DLL の発振安定時間、および PLL 回路の発振安定時間は内部で自動的に検出しますので、DLLFRQ の DLF[10:0] ビットを書き換えるだけで DLL 通倍率を変更することができます。RWDT の設定は必要ありません。

## 14.7 ボード設計上の注意事項

### (1) バイパスコンデンサについての注意

V<sub>SS</sub> と V<sub>CC</sub> のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。

バイパスコンデンサは、LSI の電源端子の近くに実装してください。

容量値だけでなく、周波数特性は LSI の動作周波数に合った特性を持つものを使用してください。

### (2) PLL 発振回路使用時の注意

PLL 用 V<sub>DD</sub> と V<sub>SS</sub> の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤作動を生じさせる可能性があります。このため、本アナログ電源系と V<sub>DD</sub>、V<sub>CCQ</sub> のデジタル電源系は、極力、基板上で同一リソースを供給しないでください。

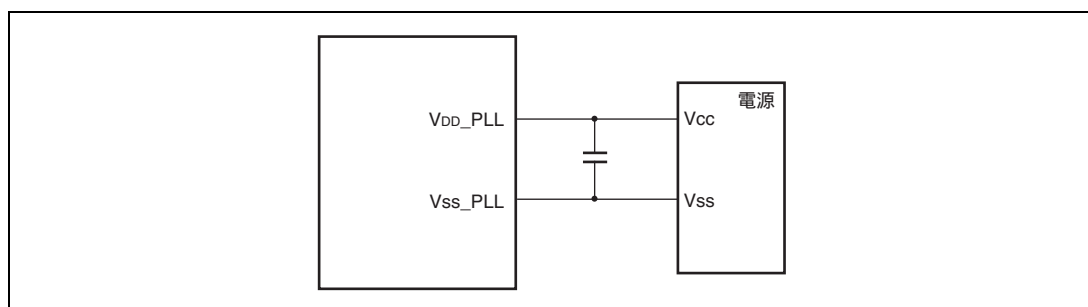


図 14.2 PLL 発振回路使用時の注意

## (3) DLL 使用時の注意事項

DLL 用  $V_{DD}$  と  $V_{SS}$  の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

DLL 電源は、ノイズ除去のためバイパスコンデンサと CR フィルタ設置を推奨します。バイパスコンデンサは  $0.1 \mu\text{F}$  程度とし、DLL 電源端子の間近に接続してください。CR フィルタの遮断周波数は RCLK の  $1/20$  程度を推奨します。

DLL 電源はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本電源と  $V_{DD}$ 、 $V_{CCQ}$  のデジタル電源系は、極力基板上で同一リソースを供給しないでください。

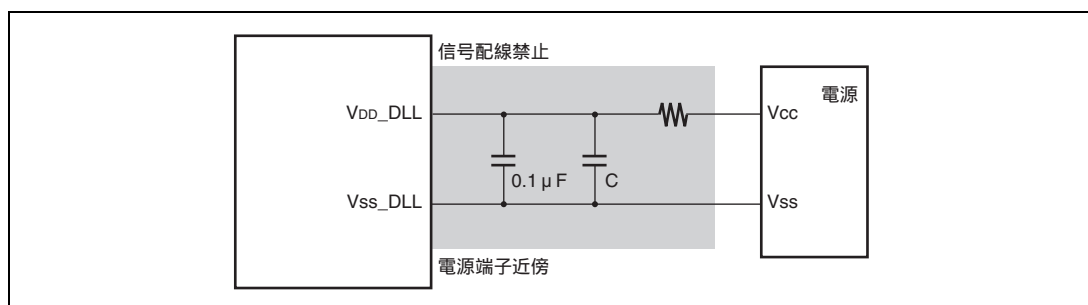


図 14.3 DLL 発振回路使用時の注意

## 14. クロックパルス発生器 (CPG)

---

---

## 15. リセット、低消費電力モード

---

本 LSI は、LSI 内部へのクロック供給をきめ細かく制御するスリープモード、ソフトウェアスタンバイモード、モジュールスタンバイ機能に加えて、LSI 内部への電源供給を一部遮断する U-スタンバイモードを内蔵し、低電力化を可能としています。

### 15.1 特長

- 各種低消費電力モードのサポート  
スリープ/ソフトウェアスタンバイ/モジュールスタンバイ/U-スタンバイモード
- U-スタンバイ中には、RCLKで動作するRWDT、CMT、KEYSC、RTCが動作可能

#### 15.1.1 電源領域の分離

各種低消費電力モードを実現するために、本 LSI は以下の 3 つの電源領域に分離されています。

- コアエリア

$V_{DD}$ 電源で動作する領域です。下記2エリア以外のモジュールがすべて含まれます。

U-スタンバイモードでは、本領域の電源をオフにすることで、待機時の消費電力を大幅に削減することが可能です。

- サブエリア

$V_{DD}$ 電源で動作する領域です。RWDT、CMT、KEYSC、RTCが含まれます。

- I/Oエリア

$V_{CC}$ 系電源で動作する領域です。入出力バッファが含まれます。

## 15. リセット、低消費電力モード

### 15.1.2 リセット、低消費電力モードの種類

低消費電力モードには以下の種類があります。各モードの状態、遷移方法、解除方法を表 15.1 に示します

- スリープモード：CPUコアのクロックを停止
- ソフトウェアスタンバイモード：LSI全体のクロックを停止
- モジュールスタンバイ機能：使用しないモジュールのクロックをソフトウェアにより停止
- U-スタンバイモード：コアエリア電源をオフ（I/Oエリア、サブエリアはオン）

表 15.1 リセット、低消費電力モードの状態

低消費電力モード	遷移条件	状態						解除方法
		CPG	CPU コア	CPU レジスタ	内蔵メモリ	内蔵周辺 モジュール <sup>*1</sup>	外部 SDRAM	
スリープモード	STBCR の STBY=0、 USTBY=0 で SLEEP 命令を実行	動作	停止	保持	Uメモリは動作。 その他は停止 (内容は保持)	動作	オート リフレッシュ されます	<ul style="list-style-type: none"> <li>• 割り込み</li> <li>• パワーオンリセット</li> <li>• システムリセット</li> </ul>
ソフトウェアスタンバイモード	STBCR の STBY=1、 USTBY=0 で SLEEP 命令を実行	停止	停止	保持	停止 (内容は保持)	停止 <sup>*2</sup>	セルフ リフレッシュ にしてください	<ul style="list-style-type: none"> <li>• IRQ、NMI、CMT、KEYSC、 RTC</li> <li>• パワーオンリセット</li> <li>• システムリセット</li> </ul>
モジュールスタンバイ機能	MSTPCR の該当モジュール の MSTP ビットを 1 とする	動作	動作 または 停止	保持	指定モジュールが 停止(内容は保持)	指定モジュールが 停止	オート リフレッシュ されます	<ul style="list-style-type: none"> <li>• MSTP ビットを 0 にクリア</li> </ul>
U-スタンバイモード	STBCR の USTBY=1、 STBY=0 で SLEEP 命令を実行	停止	停止	非保持	非保持	停止 <sup>*2</sup>	セルフ リフレッシュ にしてください	<ul style="list-style-type: none"> <li>• CMT、KEYSC、RTC</li> <li>• パワーオンリセット</li> <li>• システムリセット</li> </ul>
パワーオンリセット	RESETP 端子を Low にする	初期 状態	初期 状態	初期 状態	初期状態	初期状態	初期状態	
システムリセット	<ul style="list-style-type: none"> <li>• RESETA 端子をローレベルにする</li> <li>• RWDT がオーバーフロー</li> </ul>	初期 状態	初期 状態	初期 状態	初期状態	初期状態	初期状態	
マニュアルリセット	SR.BL=1 のときにユーザブレークを除く例外が発生	保持	初期 状態	初期 状態	初期状態 / 保持 <sup>*3</sup>	初期状態 / 保持 <sup>*3</sup>	オート リフレッシュ されます	<ul style="list-style-type: none"> <li>•</li> </ul>

【注】 \*1 内蔵周辺モジュールとは、Super-Hyway バスおよび周辺バスに直結したモジュールを指します。

\*2 RCLK 動作の RWDT、CMT、KEYSC、RTC は動作します。

\*3 モジュールにより異なります。各モジュールの章を参照してください。

## 15.2 入出力端子

リセット、低消費電力モード関連の端子構成を表 15.2 に示します。

表 15.2 端子構成

端子名	機能	入出力	説明
STATUS0	処理状態 0	出力	各種スタンバイ（ソフトウェアスタンバイ、U-スタンバイ）状態でハイレベルになります。
RESETP	リセット入力端子	入力	ローレベルでパワーオンリセット状態になります。
RESETA	リセット入力端子	入力	ローレベルでシステムリセット状態になります。
RESETOUT	リセット出力信号	出力	本 LSI がリセット中にローレベルになります。
PDSTATUS	パワーダウン状態信号	出力	電源分離領域の電源がオフになっているときにハイレベルになります。本信号を使用してレギュレータの供給電流を制御することができます。

## 15. リセット、低消費電力モード

### 15.3 レジスタの説明

消費電力モードのレジスタ構成を表 15.3 に示します。また、各処理モードにおけるレジスタの状態を表 15.4 に示します。

表 15.3 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	STBCR	R/W	H'A415 0020	32
モジュールストップレジスタ 0	MSTPCR0	R/W	H'A415 0030	32
モジュールストップレジスタ 1	MSTPCR1	R/W	H'A415 0034	32
モジュールストップレジスタ 2	MSTPCR2	R/W	H'A415 0038	32

表 15.4 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
STBCR	初期化	保持	保持	-	初期化	保持
MSTPCR0	初期化	保持	保持	-	初期化	保持
MSTPCR1	初期化	保持	保持	-	初期化	保持
MSTPCR2	初期化	保持	保持	-	初期化	保持

#### 15.3.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、スリープ、スタンバイ、U-スタンバイの指定ができます。

STBCR はロングワードアクセスのみ可能です。

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	—	—	—	—	—	—	—	STBY	—	—	USTBY	—	—	—	—
---	---	---	---	---	---	---	---	------	---	---	-------	---	---	---	---

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R R R R R R R R R/W R R R/W R R R R



ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと0が読み出されます。書き込む値も常に0にしてください。
7	STBY	0	R/W	スタンバイビット 本ビットを1にセット後、SLEEP命令を実行することによりソフトウェアスタンバイモードへ遷移します。
6、5	-	すべて0	R	リザーブビット 読み出すと0が読み出されます。書き込む値も常に0にしてください。
4	USTBY	0	R/W	U-スタンバイビット 本ビットを1にセット後、SLEEP命令を実行することによりU-スタンバイモードへ遷移します。
3~0	-	すべて0	R	リザーブビット 読み出すと0が読み出されます。書き込む値も常に0にしてください。

低消費電力モードの設定ビットを複数セットした場合、上位ビットの機能が優先されます。

【例】STBCR[31:0] = H'0000 0090 で SLEEP 命令実行  
ソフトウェアスタンバイモードへ遷移

また、低消費電力モードの設定ビットをすべて0にして SLEEP 命令を実行すると、スリープモードに遷移します。

### 15.3.2 モジュールストップレジスタ 0 (MSTPCR0)

MSTPCR0 は、読み出し/書き込み可能な 32 ビットのレジスタで、割り当てられた各モジュールに対し、個別に動作、停止の指定ができます。

MSTPCR0 は、ロングワードアクセスのみ可能です。

命令キャッシュ (IC)、オペランドキャッシュ (OC)、TLB、X/Y メモリ、および U メモリに対するモジュールストップを解除した後、それらのモジュールにアクセスするときは、以下のいずれかの前処理を行ってください。なお、モジュールのアクセスには、該当モジュールからの命令フェッチ、および該当モジュールを利用した命令フェッチを含みます。

- 書き換えた MSTPn ビットを一度読み出した後、RTE 命令を実行してください。
- 書き換えた MSTPn ビットを一度読み出した後、任意のアドレスに対して ICBI 命令を実行してください。このとき、任意のアドレスはキャッシング不可領域でも構いません。

## 15. リセット、低消費電力モード

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MSTP0 <sub>31</sub>	MSTP0 <sub>30</sub>	MSTP0 <sub>29</sub>	MSTP0 <sub>28</sub>	—	MSTP0 <sub>26</sub>	—	—	—	MSTP0 <sub>22</sub>	MSTP0 <sub>21</sub>	MSTP0 <sub>20</sub>	MSTP0 <sub>19</sub>	MSTP0 <sub>18</sub>	MSTP0 <sub>17</sub>	MSTP0 <sub>16</sub>
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSTP0 <sub>15</sub>	MSTP0 <sub>14</sub>	MSTP0 <sub>13</sub>	—	—	MSTP0 <sub>10</sub>	—	—	MSTP0 <sub>07</sub>	MSTP0 <sub>06</sub>	MSTP0 <sub>05</sub>	—	MSTP0 <sub>03</sub>	MSTP0 <sub>02</sub>	MSTP0 <sub>01</sub>	—
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31	MSTP031	0	R/W	モジュールストップビット 031 MSTP031 ビットを 1 にセットすると、TLB へのクロックの供給を停止します。 0 : TLB は動作 1 : TLB へのクロック供給を停止
30	MSTP030	0	R/W	モジュールストップビット 030 MSTP030 ビットを 1 にセットすると、命令キャッシュ (IC) へのクロックの供給を停止します。 0 : IC は動作 1 : IC へのクロック供給を停止
29	MSTP029	0	R/W	モジュールストップビット 029 MSTP029 ビットを 1 にセットすると、オペランドキャッシュ (OC) へのクロックの供給を停止します。 0 : OC は動作 1 : OC へのクロック供給を停止
28	MSTP028	0	R/W	モジュールストップビット 028 MSTP028 ビットを 1 にセットすると、U メモリへのクロックの供給を停止します。 0 : U メモリは動作 1 : U メモリへのクロック供給を停止
27	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
26	MSTP026	0	R/W	モジュールストップビット 026 MSTP026 ビットを 1 にセットすると、X/Y メモリへのクロックの供給を停止します。 0 : X/Y メモリは動作 1 : X/Y メモリへのクロック供給を停止
25~23	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

15. リセット、低消費電力モード

ビット	ビット名	初期値	R/W	説明
22	MSTP022	0	R/W	モジュールストップビット 022 MSTP022 ビットを 1 にセットすると、INTC へのクロックの供給を停止します。 0 : INTC は動作 1 : INTC へのクロック供給を停止
21	MSTP021	0	R/W	モジュールストップビット 021 MSTP021 ビットを 1 にセットすると、DMAC へのクロックの供給を停止します。 0 : DMAC は動作 1 : DMAC へのクロック供給を停止
20	MSTP020	0	R/W	モジュールストップビット 020 MSTP020 ビットを 1 にセットすると、SuperHyway バスへのクロックの供給を停止します。 0 : SuperHyway バスは動作 1 : SuperHyway バスへのクロック供給を停止
19	MSTP019	0	R/W	モジュールストップビット 019 MSTP019 ビットを 1 にセットすると、H-UDI へのクロックの供給を停止します。 0 : H-UDI は動作 1 : H-UDI へのクロック供給を停止
18	MSTP018	0	R/W	モジュールストップビット 018 MSTP018 ビットを 1 にセットすると、LSI 内のデバッグ機能 (DBG) へのクロック供給を停止します。 H-UDI、UBC、AUD を使用する場合、本ビットは 0 にしてください。 0 : DBG は動作 1 : DBG へのクロック供給を停止
17	MSTP017	0	R/W	モジュールストップビット 017 MSTP017 ビットを 1 にセットすると、UBC へのクロックの供給を停止します。 0 : UBC は動作 1 : UBC へのクロック供給を停止
16	MSTP016	0	R/W	モジュールストップビット 016 MSTP016 ビットを 1 にセットすると、LSI 内のデバッグ機能 (SUBC) へのクロック供給を停止します。 H-UDI、AUD を使用する場合、本ビットは 0 にしてください。 0 : SUBC は動作 1 : SUBC へのクロック供給を停止

## 15. リセット、低消費電力モード

ビット	ビット名	初期値	R/W	説明
15	MSTP015	0	R/W	モジュールストップビット 015 MSTP015 ビットを 1 にセットすると、TMU へのクロックの供給を停止します。 0 : TMU は動作 1 : TMU へのクロック供給を停止
14	MSTP014	0	R/W	モジュールストップビット 014 MSTP014 ビットを 1 にセットすると、CMT へのクロックの供給を停止します。 0 : CMT は動作 1 : CMT へのクロック供給を停止
13	MSTP013	0	R/W	モジュールストップビット 013 MSTP013 ビットを 1 にセットすると、RWDT へのクロックの供給を停止します。 0 : RWDT は動作 1 : RWDT へのクロック供給を停止
12	-	1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。
11	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
10	MSTP010	0	R/W	モジュールストップビット 010 MSTP010 ビットを 1 にセットすると、テスト回路へのクロックの供給を停止します。 0 : テスト回路は動作 1 : テスト回路へのクロック供給を停止
9, 8	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
7	MSTP007	0	R/W	モジュールストップビット 007 MSTP007 ビットを 1 にセットすると、SCIF0 へのクロックの供給を停止します。 0 : SCIF0 は動作 1 : SCIF0 へのクロック供給を停止
6	MSTP006	0	R/W	モジュールストップビット 006 MSTP006 ビットを 1 にセットすると、SCIF1 へのクロックの供給を停止します。 0 : SCIF1 は動作 1 : SCIF1 へのクロック供給を停止

15. リセット、低消費電力モード

ビット	ビット名	初期値	R/W	説明
5	MSTP005	0	R/W	モジュールストップビット 005 MSTP005 ビットを 1 にセットすると、SCIF2 へのクロックの供給を停止します。 0 : SCIF2 は動作 1 : SCIF2 へのクロック供給を停止
4	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
3	MSTP003	0	R/W	モジュールストップビット 003 MSTP003 ビットを 1 にセットすると、SIO へのクロックの供給を停止します。 0 : SIO は動作 1 : SIO へのクロック供給を停止
2	MSTP002	0	R/W	モジュールストップビット 002 MSTP002 ビットを 1 にセットすると、SIOF0 へのクロックの供給を停止します。 0 : SIOF0 は動作 1 : SIOF0 へのクロック供給を停止
1	MSTP001	0	R/W	モジュールストップビット 001 MSTP001 ビットを 1 にセットすると、SIOF1 へのクロックの供給を停止します。 0 : SIOF1 は動作 1 : SIOF1 へのクロック供給を停止
0	-	0	R	リザーブビット 初期値は 0 ですが、常に 1 をセットしてください。

【注】 MSTPCR0 に書き込む際、特定ビットに対してのみ書き込みを行いたい場合は、MSTPCR0 の値を読み出し、特定ビットの値のみ変更した値を MSTPCR0 に書き戻してください。

## 15. リセット、低消費電力モード

### 15.3.3 モジュールストップレジスタ 1 (MSTPCR1)

MSTPCR1 は、読み出し/書き込み可能な 32 ビットのレジスタで、割り当てられた各モジュールに対し、個別に動作、停止の指定ができます。

MSTPCR1 は、ロングワードアクセスのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	MSTP109	MSTP108	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
9	MSTP109	0	R/W	モジュールストップビット 109 MSTP109 ビットを 1 にセットすると、 $\mu$ C へのクロックの供給を停止します。 0: $\mu$ C は動作 1: $\mu$ C へのクロック供給を停止
8	MSTP108	0	R/W	モジュールストップビット 108 MSTP108 ビットを 1 にセットすると、RTC へのクロックの供給を停止します。 0: RTC は動作 1: RTC へのクロック供給を停止
7~0	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 MSTPCR1 に書き込む際、特定ビットに対してのみ書き込みを行いたい場合は、MSTPCR1 の値を読み出し、特定ビットの値のみ変更した値を MSTPCR1 に書き戻してください。

## 15.3.4 モジュールストップレジスタ 2 (MSTPCR2)

MSTPCR2 は、読み出し/書き込み可能な 32 ビットのレジスタで、割り当てられた各モジュールに対し、個別に動作、停止の指定ができます。

MSTPCR2 は、ロングワードアクセスのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MSTP2 <sub>25</sub>	MSTP2 <sub>24</sub>	—	—	—	—	—	MSTP2 <sub>18</sub>	—	MSTP2 <sub>16</sub>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	MSTP2 <sub>14</sub>	—	—	MSTP2 <sub>11</sub>	—	—	—	—	—	—	—	—	—	—	MSTP2 <sub>00</sub>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R/W	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。
25	MSTP225	1	R/W	モジュールストップビット 225 MSTP225 ビットを 0 にセットすると、TPU へのクロックの供給を開始します。 0: TPU は動作 1: TPU へのクロック供給を停止
24	MSTP224	1	R/W	モジュールストップビット 224 MSTP224 ビットを 0 にセットすると、IrDA へのクロックの供給を開始します。 0: IrDA は動作 1: IrDA へのクロック供給を停止
23~19	-	すべて 1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。
18	MSTP218	1	R/W	モジュールストップビット 218 MSTP218 ビットを 0 にセットすると、SDHI へのクロックの供給を開始します。 0: SDHI は動作 1: SDHI へのクロック供給を停止
17	-	1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。
16	MSTP216	1	R/W	モジュールストップビット 216 MSTP216 ビットを 0 にセットすると、SIM へのクロックの供給を開始します。 0: SIM は動作 1: SIM へのクロック供給を停止

## 15. リセット、低消費電力モード

ビット	ビット名	初期値	R/W	説明
15	-	1	R	リザーブビット 読み出すと1が読み出されます。書き込む値も常に1にしてください。
14	MSTP214	1	R/W	モジュールストップビット 214 MSTP214 ビットを0にセットすると、KEYSC へのクロックの供給を開始します。 0 : KEYSC は動作 1 : KEYSC へのクロック供給を停止
13、12	-	すべて 1	R	リザーブビット 読み出すと1が読み出されます。書き込む値も常に1にしてください。
11	MSTP211	1	R/W	モジュールストップビット 211 MSTP211 ビットを0にセットすると、USB へのクロックの供給を開始します。 0 : USB は動作 1 : USB へのクロック供給を停止
10~1	-	すべて 1	R	リザーブビット 読み出すと1が読み出されます。書き込む値も常に1にしてください。
0	MSTP200	1	R/W	モジュールストップビット 200 MSTP200 ビットを0にセットすると、LCDC へのクロックの供給を開始します。 0 : LCDC は動作 1 : LCDC へのクロック供給を停止



## 15.4 動作説明

### 15.4.1 リセット

リセットには、パワーオンリセット、システムリセット、マニュアルリセットの3種類があります。

#### (1) パワーオンリセット

パワーオンリセットは、電源投入時に必ず使用してください。パワーオンリセットに使用する端子は $\overline{\text{RESETP}}$ です。パワーオンリセットは、すべての実行中の処理を中断し、いかなる未処理の事象も取り消して、リセット処理を直ちに実行します。パワーオンリセット時のタイミングシーケンスについては、「15.4.7 パワーオンシーケンス」を参照してください。

パワーオンリセットでのみ初期化されるレジスタを以下に示します。これらのレジスタはシステムリセットでは初期化されません。

1. RWTCSRレジスタ (RWDT) のビット7、4
2. SDCR0レジスタ (SBSC) のビット11
3. CMCSRレジスタ (CMT) のビット15、14

#### (2) システムリセット

システムリセットは、いわゆる初期化状態から再実行したいときに使用します。システムリセットに使用する端子は $\overline{\text{RESETA}}$ です。システムリセットはすべての実行中の処理を中断し、いかなる未処理の事象も取り消して、リセット処理を直ちに実行します。システムリセットが発生する条件を以下に示します。

1.  $\overline{\text{RESETA}}$ 端子にローレベルを入力する。
2. RWDTのカウンタを開始し、カウンタがオーバーフローしたとき。
3. H-UDIリセットが発生したとき (H-UDIリセットについては、「第33章 ユーザデバッグインタフェース (H-UDI)」を参照してください)。

システムリセット発生時のCPUの例外処理は、パワーオンリセットと同じになります。

#### (3) マニュアルリセット

マニュアルリセットは、ソフトウェアにより発生するリセットです。マニュアルリセットについては、「第5章 例外処理」を参照してください。

### 15.4.2 スリープモード

#### (1) スリープモードへの遷移

STBCR の STBY、USTBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。スリープモードでは、CPU コアに対するクロック供給を停止します。CPU は SLEEP 命令実行後に停止しますが、CPU コアのレジスタやメモリ内容は保持されます。また、内蔵周辺モジュールは動作を続けます。CKO 端子、HPCLK 端子にはクロックが出力され続けます。

スリープモードへ遷移する手順を以下に示します。

1. STBCRのSTBY、USTBYビットを0に設定します。
2. SLEEP命令を実行します。

#### (2) スリープモードの解除

スリープモードは、割り込み (NMI、IRQ、内蔵周辺モジュール) およびリセットにより解除されます。

スリープモード中は、ステータスレジスタ (SR) の BL ビットが 1 でも、割り込みを受け付けますので、必要ならば、SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

##### (a) 割り込みによる解除

NMI、IRQ、内蔵周辺モジュールの各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。割り込み事象レジスタ (INTEVT) には、割り込み要因に対応したコードがセットされます。

内蔵周辺モジュールの割り込みの種類については、「第 10 章 割り込みコントローラ (INTC)」を参照してください。

##### (b) リセットによる解除

パワーオンリセットおよびシステムリセットにより、スリープモードは解除されます。

### 15.4.3 ソフトウェアスタンバイモード

#### (1) ソフトウェアスタンバイモードへの遷移

STBCR の STBY ビットが 1、USTBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPG が停止するため、RCLK で動作するモジュール (RWDT、CMT、KEYSC、RTC) 以外は停止します。ただし、クロックを必要としない I/O エリアの機能 (NMI、IRQ 割り込み検出) は動作します。

CPU コアのレジスタやメモリ、U メモリの内容は保持されます。内蔵周辺モジュールのレジスタの状態については、各章のレジスタの説明を参照してください。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. STBCRのSTBYビットを1に、USTBYビットを0に設定します。
2. SLEEP命令を実行します。
3. ソフトウェアスタンバイモードに入り、LSI内部のクロックが停止すると、STATUS0端子からハイレベルが出力されます。

#### (2) ソフトウェアスタンバイモードの解除

割り込み (NMI、IRQ、CMT、KEYSC、RTC)、パワーオンリセット、システムリセットにより、ソフトウェアスタンバイモードは解除されます。

##### (a) 割り込みによる解除

NMI、IRQ、CMT、KEYSC、RTC 割り込みが発生すると、CPG が起動し、動作すべき PLL、DLL のすべての発振が安定した後に、LSI 全体にクロックが供給されます。このとき、PLL、DLL の発振安定化時間は自動的に LSI 側で確保されます。ソフトウェアスタンバイモードが解除されると、STATUS0 端子がローレベルになります。この後、CPU により割り込み例外処理が実行されます。ソフトウェアスタンバイモード中は、ステータスレジスタ (SR) の BL ビットが 1 のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

ソフトウェアスタンバイモードが解除されるまでの間、CKO、HPCLK 端子のクロック出力は停止します。

##### (b) リセットによる解除

パワーオンリセットおよびシステムリセットにより、ソフトウェアスタンバイモードは解除されます。

復帰後の開始アドレスは、リセットベクタアドレス (H'A000 0000) になります。

## 15. リセット、低消費電力モード

---

### 15.4.4 モジュールスタンバイ機能

#### (1) モジュールスタンバイ機能への遷移

モジュールスタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、CPU 通常動作時の消費電力を低減させることができます。

モジュールスタンバイ状態にある各モジュールは、モジュールスタンバイ状態に遷移する直前の状態が保持され続けます。レジスタ設定値も停止前の状態を保持します。また、外部端子も停止前の状態を保持します。モジュールスタンバイ状態から復帰すると、停止前の状態から動作を開始します。

【注】 モジュールの動作が完了してアイドル状態にあり、外部端子や他のモジュールからの起動要因もありえない状態で MSTP ビットに 1 をセットしてください。

#### (2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアすることにより行います。

### 15.4.5 U-スタンバイモード

#### (1) U-スタンバイモードへの遷移

STBCR の USTBY ビットが 1、STBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態から U-スタンバイモードに遷移します。U-スタンバイモードでは、電源分離領域のうち、I/O エリアとサブエリアの電源がオン、コアエリアの電源がオフになります。これにより、ソフトウェアスタンバイモードに比べてリーク電流を極めて小さくできます。

U-スタンバイモードでは、RCLK で動作する RWDT、CMT、KEYSC、RTC は動作を続けます。NMI、IRQ 割り込み検出は動作しません。

なお、U-スタンバイモードでは、電源オフとなるコアエリアにある各モジュールのレジスタおよびメモリの内容はすべて失われるため、U-スタンバイモードから復帰後に再設定が必要です。

U-スタンバイへ遷移する手順を以下に示します。

1. STBCR の USTBY ビットを 1 に、STBY ビットを 0 に設定します。
2. SLEEP 命令を実行します。
3. U-スタンバイモードに入り、LSI 内部のクロックが停止して STATUS0 端子からハイレベルが出力されます。コアエリアの電源がオフになると、PDSTATUS 端子からハイレベルが出力されます。

#### (2) U-スタンバイモードの解除

U-スタンバイモードは、パワーオンリセット、システムリセット、CMT、KEYSC、RTC により解除され、コアエリアの電源がオンになります。復帰後の開始アドレスはリセットベクタアドレス (H'A0000000) になります。

15.4.6 各種モード間の状態遷移

図 15.1 に各種低消費電力モードの状態遷移を示します。

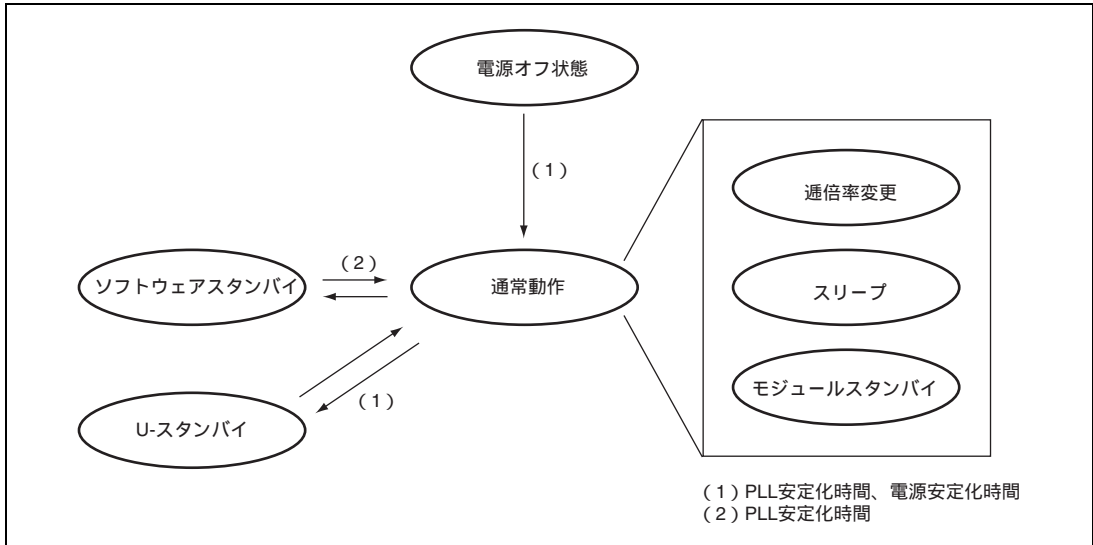


図 15.1 各モード間の状態遷移図

### 15.4.7 パワーオンシーケンス

パワーオンシーケンスを図 15.2 に示します。 $\overline{\text{RESETP}}=\text{Low}$  の状態で、 $V_{\text{ccQ}}$ 、 $V_{\text{DD}}$ 系の順に電源を投入してください。RCLK、EXTAL は  $V_{\text{ccQ}}$  の立ち上がりと同時に入力してください。 $V_{\text{DD}}$ 投入後、最大 150  $\mu\text{s}$  後までは、端子状態は不定です。

$\overline{\text{RESETP}}$  のネゲート後、LSI 内部でクロックが安定するまで待った後、 $\overline{\text{RESETOUT}}$  がネゲートされ、CPU が動作開始します。

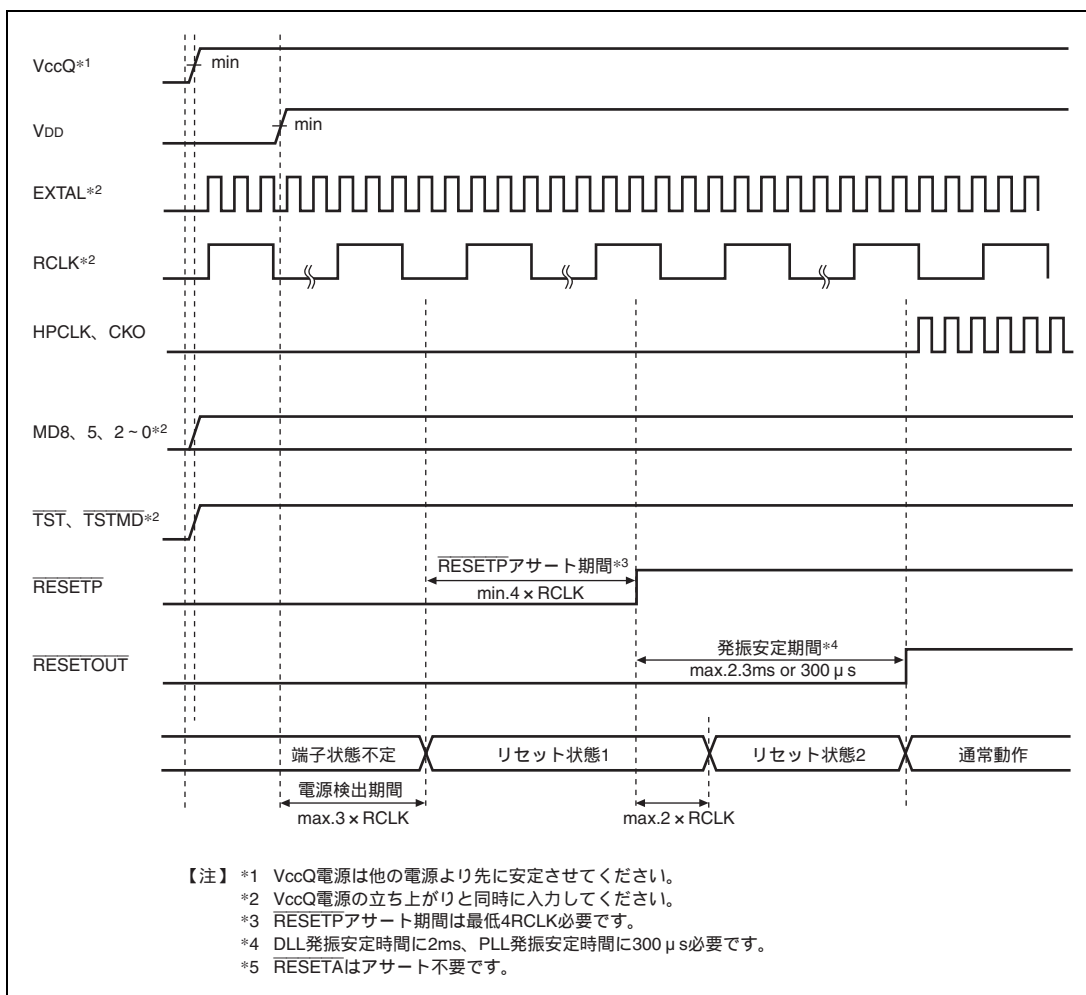


図 15.2 パワーオンシーケンス

## 15.4.8 出力端子の変化タイミング

パワーオンリセット時における各端子の出力状態を図 15.3 に示します。

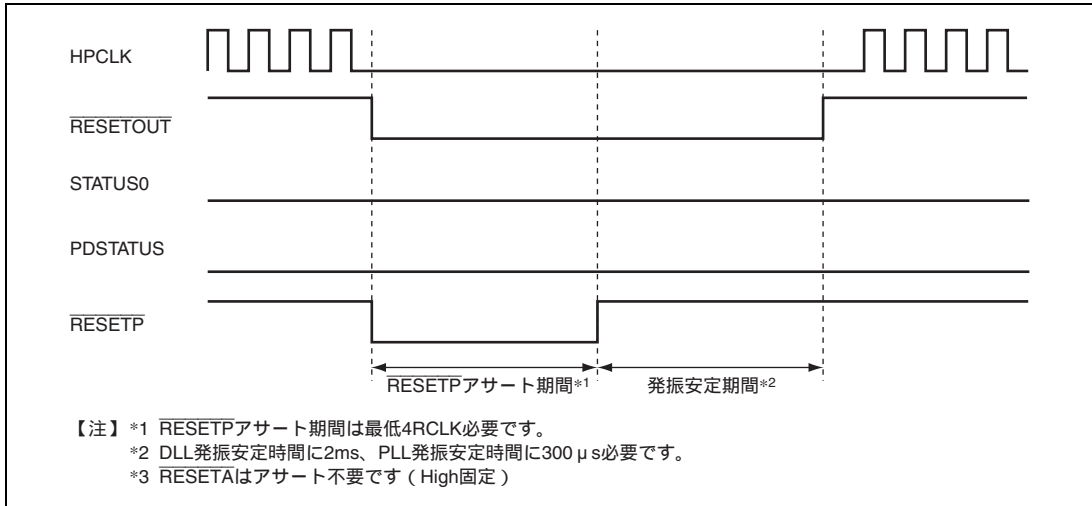


図 15.3 パワーオンリセット時の各端子の出力状態

ソフトウェアスタンバイの場合、各端子の出力状態を図 15.4 に示します。

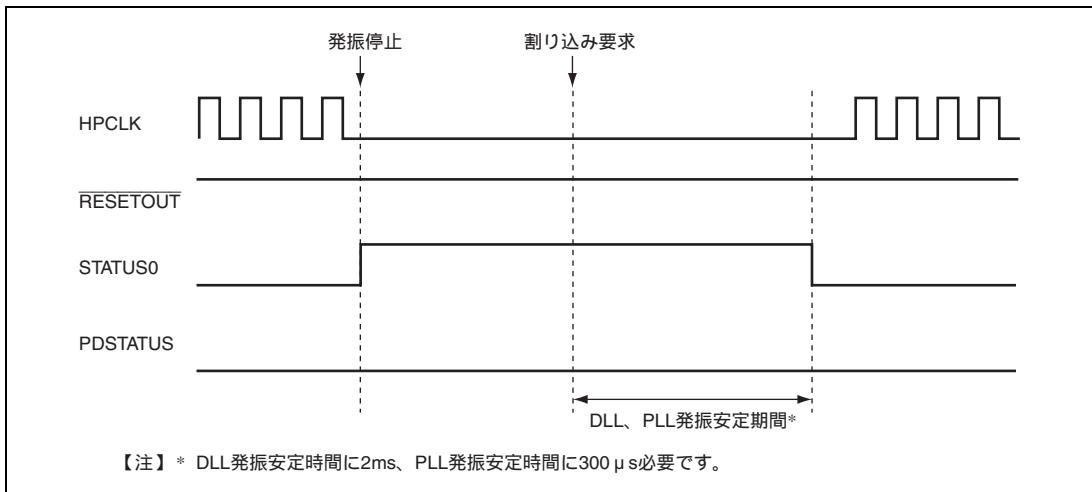
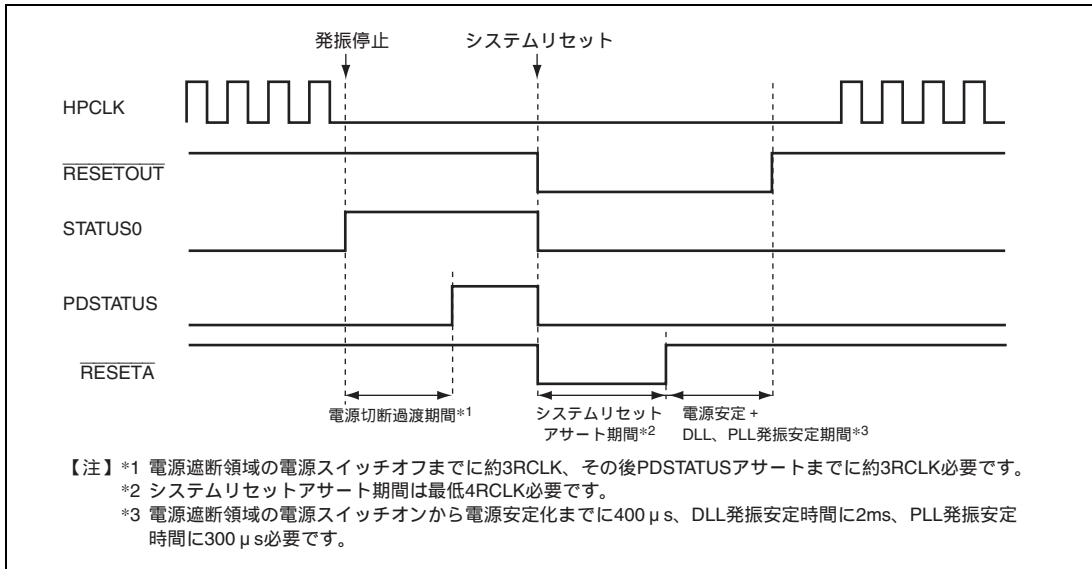


図 15.4 ソフトウェアスタンバイ 割り込み復帰時の各端子の出力状態

## 15. リセット、低消費電力モード

U-スタンバイの場合、各端子の出力状態を図 15.5 に示します。

U-スタンバイからの復帰時、下記表記以外の端子は一時、不定となります。不定期間は、最大でシステムリセットアサート期間および DLL、PLL 発振安定期間です。





## 16. RCLK ウォッチドッグタイマ (RWDT)

RWDT は、RCLK を入力とする 1 チャンネルのタイマであり、システム監視用のウォッチドッグタイマとして使  
用します。システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると、本 LSI 内部をリセ  
ットすることができます。

### 16.1 特長

- ウォッチドッグタイマとして使用でき、カウンタオーバーフローによりシステムリセットが発生します。
- 8種類のカウント入力クロックを選択可能

RCLKを分周した8種類のクロック (RCLK/1 ~ RCLK/4096) から選択できます。

ブロック図を図 16.1 に示します。

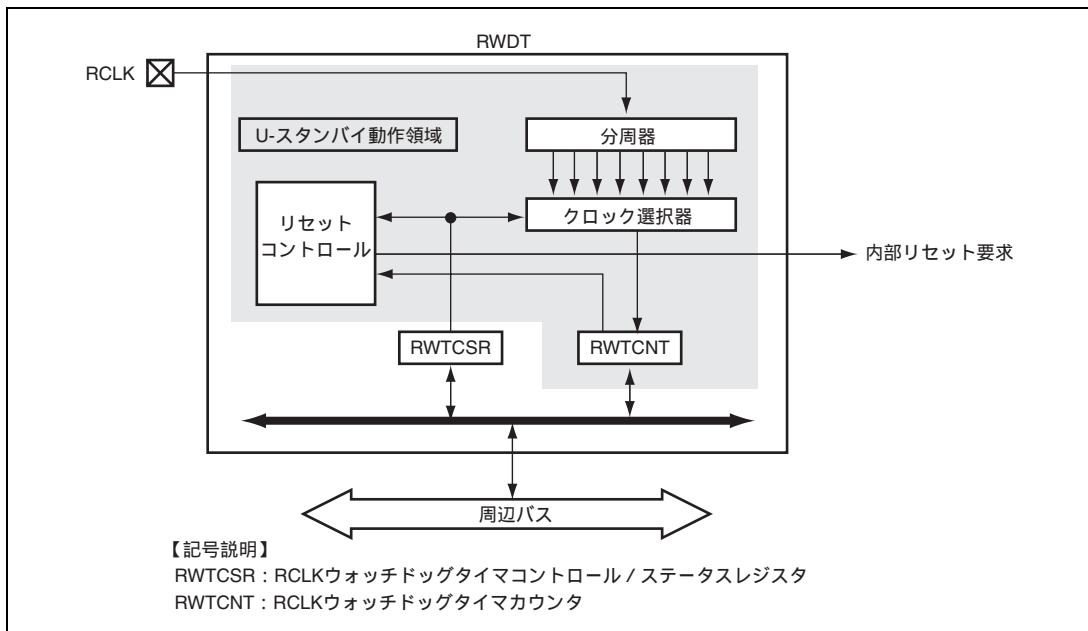


図 16.1 RWDT のブロック図

## 16. RCLK ウォッチドッグタイマ (RWDT)

### 16.2 RWDT の入出力端子

RWDT の端子構成と機能を表 16.1 に示します。

表 16.1 RWDT の端子構成

端子名	機能	入出力	説明
RCLK	RTC クロック	入力	外部 RTC からのクロック入力 (32.768kHz)

### 16.3 レジスタの説明

RWDT のレジスタ構成を表 16.2 に示します。また、各処理モードにおけるレジスタの状態を表 16.3 に示します。

表 16.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
RCLK ウォッチドッグタイマカウンタ	RWTCNT	R/W	H'A452 0000	8/16*
RCLK ウォッチドッグタイマコントロール / ステータスレジスタ	RWTCSR	R/W	H'A452 0004	8/16*

【注】 \* 書き込みは 16 ビット、読み出しは 8 ビットです。

表 16.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	U-スタンバイ	スリープ
RWTCNT	初期化	保持	保持	保持	初期化	保持
RWTCSR	初期化	保持	保持	保持	初期化*	保持

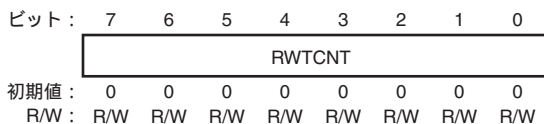
【注】 \* WOVF/SRSTF ビットは動作内容によって変化します。

#### 16.3.1 RCLK ウォッチドッグタイマカウンタ (RWTCNT)

RWTCNT は、読み出し / 書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバフローすると、システムリセットが発生します。

RWTCNT カウンタは、パワーオンリセットおよびシステムリセット時、H'00 に初期化されます。

RWTCNT カウンタへの書き込みは、上位バイトを H'5A にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。



## 16.3.2 RCLK ウォッチドッグタイマコントロール/ステータスレジスタ (RWTCNR)

RWTCNR は、読み出し/書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバーフローフラグおよびイネーブルビットから成ります。

RWTCNR は、パワーオンリセット時、H'07 に初期化されます。RWTCNR への書き込みは、上位バイトを H'A5 にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

ビット :	7	6	5	4	3	2	1	0
	TME	—	WR FLG	WOVF	SRSTF	CKS[2:0]		
初期値 :	1	0	0	0	0	1	1	1
R/W :	R/W	R	R	R/W	R/(W)*1	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TME	1	R/W	タイマ動作の開始または停止を設定します。 0 : タイマディスエーブル。カウントアップを停止、RWTCNT の値は保持する 1 : タイマイネーブル
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	WRFLG	0	R	書き込み状態フラグ 本ビットが 1 の間、RWTCNT への書き込みが行えません。RWTCNT への書き込みを行った後、同期化のために一定期間 RWTCNT への書き込みがマスクされる期間を示します。連続して RWTCNT へ書き込む場合は、必ず本フラグが 0 になっていることを確認してください。
4	WOVF	0	R/W	RWTCNT がオーバーフローしたことを示します。RWDT を使用する前に必ず 0 を書いてください。 0 : オーバーフローなし 1 : RWTCNT がオーバーフローした
3	SRSTF	0	R/(W)*1	システムリセット入力フラグ システムリセットが入力されると 1 にセットされます。0 を書き込むことでクリアされます。 U-スタンバイに遷移させる前に必ず 0 クリアしてください。 0 : システムリセット入力なし 1 : システムリセットが入力された

## 16. RCLK ウォッチドッグタイマ (RWDT)

ビット	ビット名	初期値	R/W	説明
2~0	CKS[2:0] *2	111	R/W	RTC クロックセレクト RTC クロックを分周して得られる 8 種類のクロックから、RWT CNT のカウントに使用するクロックを選択します。表中のオーバーフロー周期は、RTC クロック = 32.768kHz の場合の値です。 000 : R (7.8 ms) 001 : R /4 (31.3 ms) 010 : R /16 (125.0 ms) 011 : R /32 (250.0 ms) 100 : R /64 (500.0 ms) 101 : R /128 (1.0 s) 110 : R /1024 (8.0 s) 111 : R /4096 (32.0 s)

【注】 \*1 フラグをクリアするための 0 書き込みのみ可能です。

\*2 RWDT の動作中に CKS[2:0] ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS[2:0] ビットを書き換える場合は、必ず RWDT を停止させてください。

### 16.3.3 レジスタアクセス時の注意

RWTCNT、RWTCR は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で書き込みを行ってください。

- RWTCNT、RWTCR へ書き込む時は、必ずワード転送命令を使用してください。バイト転送、ロングワード転送では、書き込みません。
- RWTCNT へ書き込むときは、上位バイトを H'5A にし下位バイトを書き込むデータにして転送してください。RWTCR へ書き込むときは、上位バイトを H'A5 にし下位バイトを書き込むデータにして転送してください。

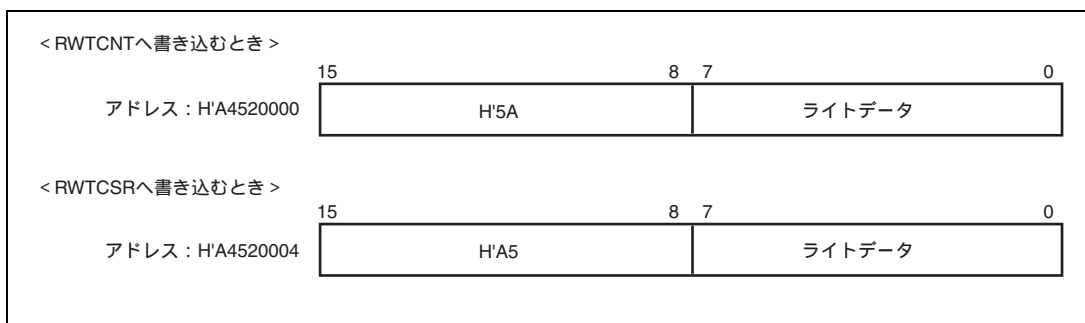


図 16.2 RWTCNT、RWTCR への書き込み

## 16.4 RWDT の使用方法

### 16.4.1 暴走制御

パワーオンリセットにより RWDT は動作状態となり、RCLK でカウントが始まります。カウントオーバーフローすると再度内部リセットが発生します。この機能により本 LSI が暴走した場合にも自動的に内部リセットを発生させることが可能となります。

1. パワーオンリセット後、RWTCNTがオーバーフローする前にブートルーチン内でRWTCSRのTMEビットを0としてRWDTを停止してください。
2. RWTCSRのWOVFビットを0クリアしてください。
3. RWTCSRのCKS[2:0]ビットにカウントクロックの種類を設定してください。
4. RWTCSRのTMEビットを1にセットしてカウントを開始してください。
5. RWTCNTがオーバーフローしないように定期的にRWTCNTをH'00に書き換えてください。
6. RWTCNTがオーバーフローすると、RWDTはRWTCSRのWOVFフラグを1にセットし、システムリセットを発生します。このとき、RWTCNTおよびRWTCSRは初期化されます。

## 16. RCLK ウォッチドッグタイマ (RWDT)

---

---

## 17. タイマユニット (TMU)

---

本 LSI は、3 チャンネルの 32 ビットタイマにより構成されるタイマユニット (TMU) を内蔵しています。

### 17.1 特長

- オートリロード方式の32ビットダウンカウンタを搭載
- 任意の時点で書き込み / 読み出し可能な、オートリロード用の32ビットコンスタントレジスタおよび32ビットダウンカウンタを搭載
- 32ビットダウンカウンタのアンダフローの発生で割り込み要求を発生 ( H'0000 0000 H'FFFF FFFF )
- 各チャンネルとも、5種類のカウンタ入力クロックを選択可能  
P /4、P /16、P /64、P /256、P /1024

## 17. タイムユニット (TMU)

TMU のブロック図を図 17.1 に示します。

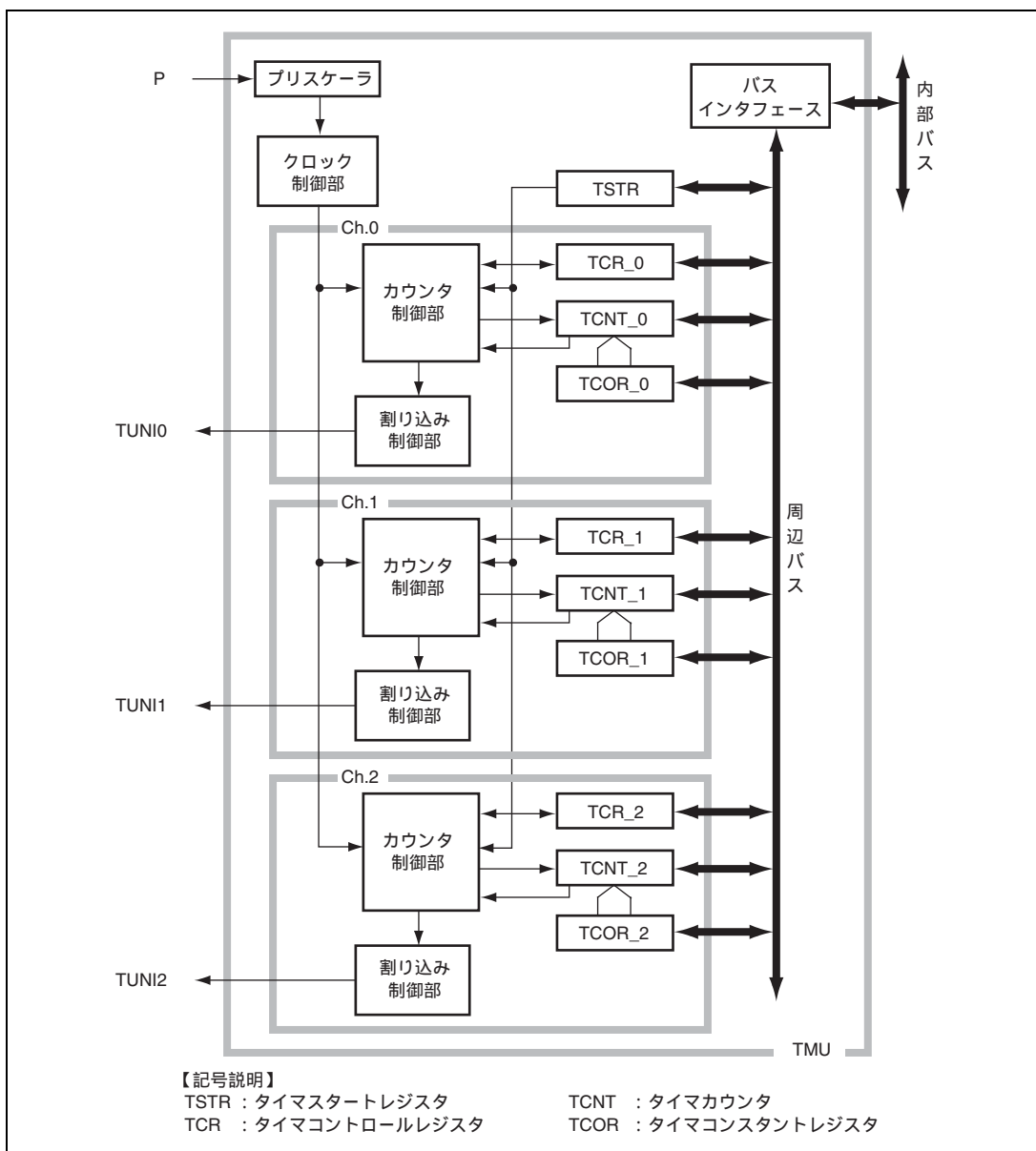


図 17.1 TMU のブロック図



## 17.2 レジスタの説明

TMU のレジスタ構成を表 17.1 に示します。また、各処理モードにおけるレジスタの状態を表 17.2 に示します。各チャンネルのレジスタ名については、チャンネル 0 の TCOR は TCOR\_0 のように表記しています。

表 17.1 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
タイムスタートレジスタ	TSTR	R/W	H'FFD8 0004	8
タイムコンスタントレジスタ_0	TCOR_0	R/W	H'FFD8 0008	32
タイムカウンタ_0	TCNT_0	R/W	H'FFD8 000C	32
タイムコントロールレジスタ_0	TCR_0	R/W	H'FFD8 0010	16
タイムコンスタントレジスタ_1	TCOR_1	R/W	H'FFD8 0014	32
タイムカウンタ_1	TCNT_1	R/W	H'FFD8 0018	32
タイムコントロールレジスタ_1	TCR_1	R/W	H'FFD8 001C	16
タイムコンスタントレジスタ_2	TCOR_2	R/W	H'FFD8 0020	32
タイムカウンタ_2	TCNT_2	R/W	H'FFD8 0024	32
タイムコントロールレジスタ_2	TCR_2	R/W	H'FFD8 0028	16

表 17.2 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
TSTR	初期化	初期化	保持	保持	初期化	保持
TCOR_0	初期化	初期化	保持	保持	初期化	保持
TCNT_0	初期化	初期化	保持	保持	初期化	保持
TCR_0	初期化	初期化	保持	保持	初期化	保持
TCOR_1	初期化	初期化	保持	保持	初期化	保持
TCNT_1	初期化	初期化	保持	保持	初期化	保持
TCR_1	初期化	初期化	保持	保持	初期化	保持
TCOR_2	初期化	初期化	保持	保持	初期化	保持
TCNT_2	初期化	初期化	保持	保持	初期化	保持
TCR_2	初期化	初期化	保持	保持	初期化	保持

## 17. タイムユニット (TMU)

### 17.2.1 タイマスタートレジスタ (TSTR)

TSTR は、タイマカウンタ (TCNT) の動作 / 停止を選択する読み出し / 書き込み可能な 8 ビットのレジスタです。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR2	STR1	STR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR2	0	R/W	カウンタスタート 2 タイマカウンタ 2 (TCNT_2) を動作させるか、停止させるかを選択します。 0 : TCNT_2 のカウント動作は停止 1 : TCNT_2 はカウント動作
1	STR1	0	R/W	カウンタスタート 1 タイマカウンタ 1 (TCNT_1) を動作させるか、停止させるかを選択します。 0 : TCNT_1 のカウント動作は停止 1 : TCNT_1 はカウント動作
0	STR0	0	R/W	カウンタスタート 0 タイマカウンタ 0 (TCNT_0) を動作させるか、停止させるかを選択します。 0 : TCNT_0 のカウント動作は停止 1 : TCNT_0 はカウント動作

## 17.2.2 タイマコントロールレジスタ (TCR)

TCR は TCNT カウンタの制御および割り込みの制御を行うレジスタで、読み出し / 書き込み可能な 16 ビットレジスタです。TCR は、タイマカウンタ (TCNT) のアンダフロー発生を示すフラグが 1 にセットされたときの割り込み発生制御、カウンタクロック選択を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UNF	—	—	UNIE	—	—	TPSC[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/(W)*	R	R	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	UNF	0	R/(W)*	アンダフローフラグ TCNT のアンダフローを示すフラグです。 0 : TCNT がアンダフローを起こしていない [クリア条件] UNF に 0 を書き込んだとき 1 : TCNT がアンダフローを起こした [セット条件] TCNT がアンダフローを起こした
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	UNIE	0	R/W	アンダフロー割り込み制御 TCNT のアンダフローの発生を示すステータスフラグ UNF がにセットされたときに割り込み発生を許可するかどうかを制御します。 0 : UNF による割り込み (TUNI) を禁止 1 : UNF による割り込み (TUNI) を許可
4、3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	TPSC[2:0]	000	R/W	タイマプリスケラ 2、1、0 TCNT のカウンタクロックを選択します。 000 : P /4 でカウント 001 : P /16 でカウント 010 : P /64 でカウント 011 : P /256 でカウント 100 : P /1024 でカウント 101、110、111 : 設定禁止

【注】 \* フラグをクリアするために 0 のみ書き込むことができます。

## 17. タイマユニット (TMU)

---

### 17.2.3 タイマコンスタントレジスタ (TCOR)

TCOR は、読み出し / 書き込み可能な 32 ビットレジスタで、TCNT カウンタのアンダフローが発生したとき、TCNT カウンタにセットする値を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCOR															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCOR															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 17.2.4 タイマカウンタ (TCNT)

TCNT は、入力したクロックにより、カウントダウン動作を行います。入力するクロックは、TCR の TPSC[1:0] ビットにより選択します。

TCNT のカウントダウン動作の結果、アンダフロー (H'0000 0000 H'FFFF FFFF) が発生すると、対応するチャネルの TCR のアンダフローフラグ (UNF) がセットされます。また、同時に TCNT カウンタ自体には、TCOR の値がセットされ、セットされた値からカウントダウン動作を続けます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCNT															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNT															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## 17.3 動作説明

各チャンネルには、32ビットのTCNTとTCORがあります。TCNTは、ダウンカウント動作を行います。オートリロード機能によって、周期カウント動作が可能です。

### 17.3.1 カウンタの動作

TSTRのSTR[2:0]ビットを1にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。TCNTがアンダフローすると対応するTCRのUNFフラグがセットされます。このとき、TCRのUNIEビットが1ならば、CPUに割り込みを要求します。また、このときTCNTにはTCORから値がコピーされ、ダウンカウント動作を継続します。

#### (1) カウント動作の設定手順例

カウント動作の設定手順例を図17.2に示します。

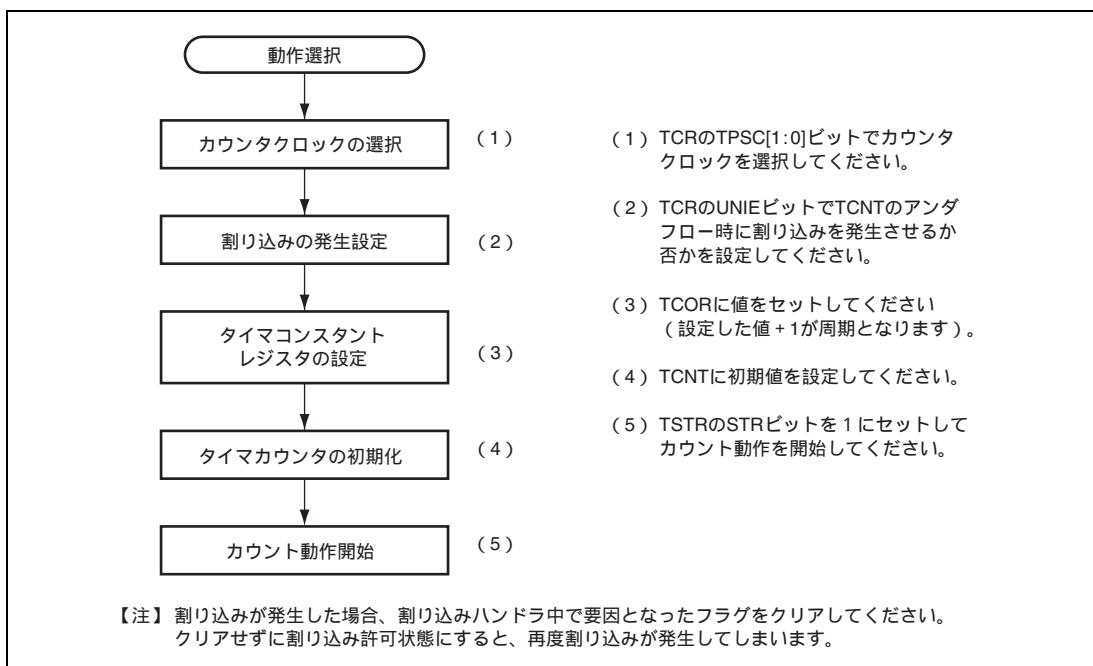


図 17.2 カウント動作設定手順例

## 17. タイムユニット (TMU)

### (2) オートリロードカウント動作

TCNT のオートリロード動作を、図 17.3 に示します。

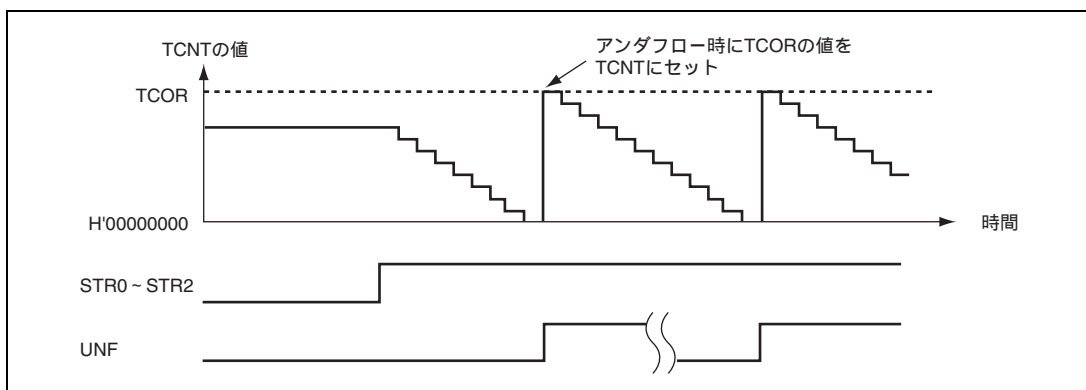


図 17.3 オートリロードカウンタの動作

### (3) TCNT のカウントタイミング

TCR の TPSC[1:0]ビットにより、周辺モジュール用クロックを分周した 5 種類のクロック (P /4、P /16、P /64、P /256、P /1024) が選択できます。このときのタイミングを図 17.4 に示します。

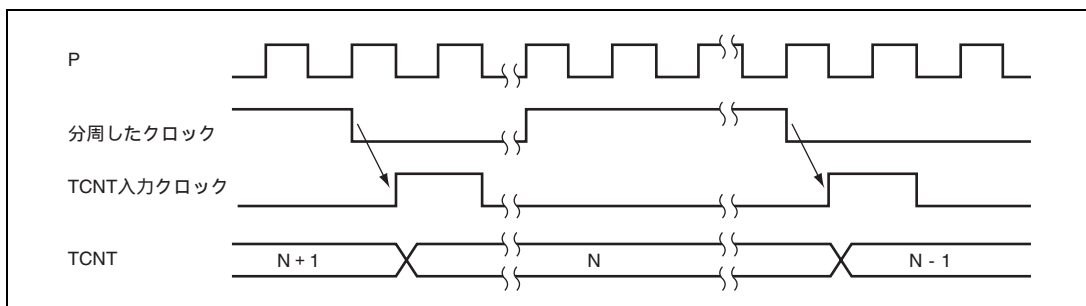


図 17.4 内部クロック動作時のカウントタイミング

## 17.4 割り込み

TMUの割り込み要因は、アンダフロー割り込み (TUNI) です。

### 17.4.1 ステータスフラグのセットタイミング

UNFビットは、TCNTカウンタがアンダフローしたときに1にセットされます。このときのタイミングを図17.5に示します。

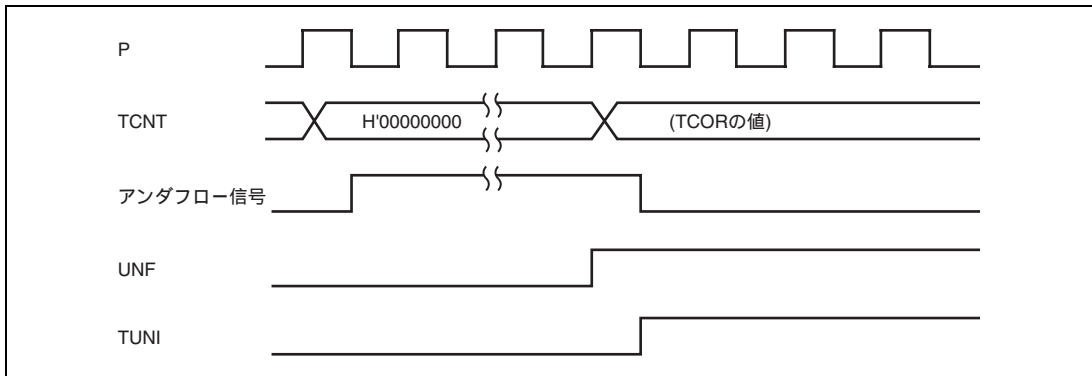


図 17.5 UNF のセットタイミング

### 17.4.2 ステータスフラグのクリアタイミング

ステータスフラグはCPUから0を書き込むとクリアされます。このときのタイミングを図17.6に示します。

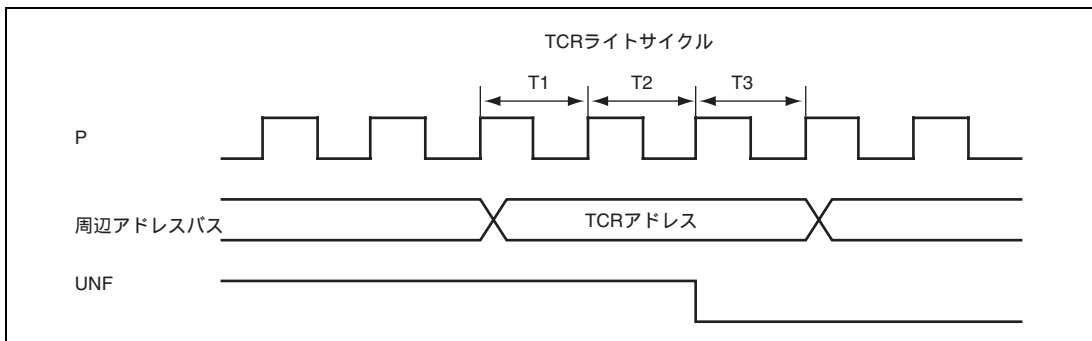


図 17.6 ステータスフラグのクリアタイミング

## 17. タイマユニット (TMU)

---

### 17.4.3 割り込み要因と優先順位

TMU は各チャンネルごとにアンダフロー割り込みを発生します。割り込み要求フラグが 1 にセットされ、かつ割り込み許可ビットが 1 にセットされているとき、当該割り込みが要求されます。これらの割り込みは、割り込み事象レジスタ (INTEVT) にコードがセットされますので、そのコードに従って割り込み処理を行ってください。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。詳細は「第 5 章 例外処理」、「第 10 章 割り込みコントローラ (INTC)」を参照してください。

TMU の割り込み要因を表 17.3 に示します。

表 17.3 TMU の割り込み要因

チャンネル	割り込み要因	内 容	優先順位
0	TUNI0	アンダフロー割り込み 0	高 ↑ ↓ 低
1	TUNI1	アンダフロー割り込み 1	
2	TUNI2	アンダフロー割り込み 2	

## 17.5 使用上の注意事項

### 17.5.1 レジスタの書き込みについて

レジスタの書き込み時に、タイマのカウンタ動作の同期処理は行っていません。レジスタの書き込みの際には、必ず TSTR の該当チャンネルのスタートビット STR2~0 をクリアして、タイマのカウンタ動作を停止させてください。

### 17.5.2 レジスタの読み出しについて

レジスタの読み出し時に、タイマのカウンタ動作との同期処理を行っています。タイマカウンタ動作とレジスタの読み込み処理が同時に行われた場合は、同期処理により TCNT カウンタのカウンタダウン動作前の値が読み出されます。



---

## 18. 16ビットタイマパルスユニット (TPU)

---

本 LSI は、4 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。

### 18.1 特長

TPU には次の特長があります。

- タイマジェネラルレジスタ豊富

TPU は、それぞれ各チャンネルごとに4本 (TPU\_TGRA、TPU\_TGRB、TPU\_TGRC、TPU\_TGRD)、合計16本のタイマジェネラルレジスタを持ち、TPU\_TGRAはアウトプットコンペアの設定が可能

各チャンネルのTPU\_TGRB、TPU\_TGRC、TPU\_TGRDは、タイマカウンタクリア用レジスタとして使用可能。  
また、TPU\_TGRC、TPU\_TGRDは、バッファレジスタとして使用可能

- 各チャンネルごとに次の動作を設定可能

カウンタクリア動作 : コンペアマッチによるカウンタクリアが可能

- 各チャンネルはバッファ動作を設定可能

アウトプットコンペアレジスタの自動書き換えが可能

- 1本の割り込み要求

コンペアマッチ / オーバフロー割り込み要求の許可 / 禁止を要因ごとに独立に設定可能

- チャンネル0のみ以下の出力が可能

コンペアマッチによる波形出力 : 0出力、1出力、トグル出力が選択可能

PWMモード : 任意デューティのPWM出力が可能

## 18. 16 ビットタイマパルスユニット (TPU)

表 18.1 に TPU の機能一覧を示します。

表 18.1 TPU 機能一覧

項 目	TPU : チャネル 0	TPU : チャネル 1	TPU : チャネル 2	TPU : チャネル 3
カウントクロック	B /1 B /4 B /16 B /64	B /1 B /4 B /16 B /64	B /1 B /4 B /16 B /64	B /1 B /4 B /16 B /64
ジェネラルレジスタ	TPU_TGR0A TPU_TGR0B	TPU_TGR1A TPU_TGR1B	TPU_TGR2A TPU_TGR2B	TPU_TGR3A TPU_TGR3B
ジェネラルレジスタ / バッファレジスタ	TPU_TGR0C TPU_TGR0D	TPU_TGR1C TPU_TGR1D	TPU_TGR2C TPU_TGR2D	TPU_TGR3C TPU_TGR3D
出力端子	TPUTO	なし	なし	なし
カウンタクリア機能	TPU_TGR の コンペアマッチ	TPU_TGR の コンペアマッチ	TPU_TGR の コンペアマッチ	TPU_TGR の コンペアマッチ
コンペア マッチ 出力	0 出力	×	×	×
	1 出力	×	×	×
	トグル出力	×	×	×
PWM モード		×	×	×
バッファ動作				
割り込み要因	5 要因 コンペアマッチ / オーバフロー兼用	5 要因 コンペアマッチ / オーバフロー兼用	5 要因 コンペアマッチ / オーバフロー兼用	5 要因 コンペアマッチ / オーバフロー兼用

## 18.2 ブロック図

TPUのブロック図を図 18.1 に示します。

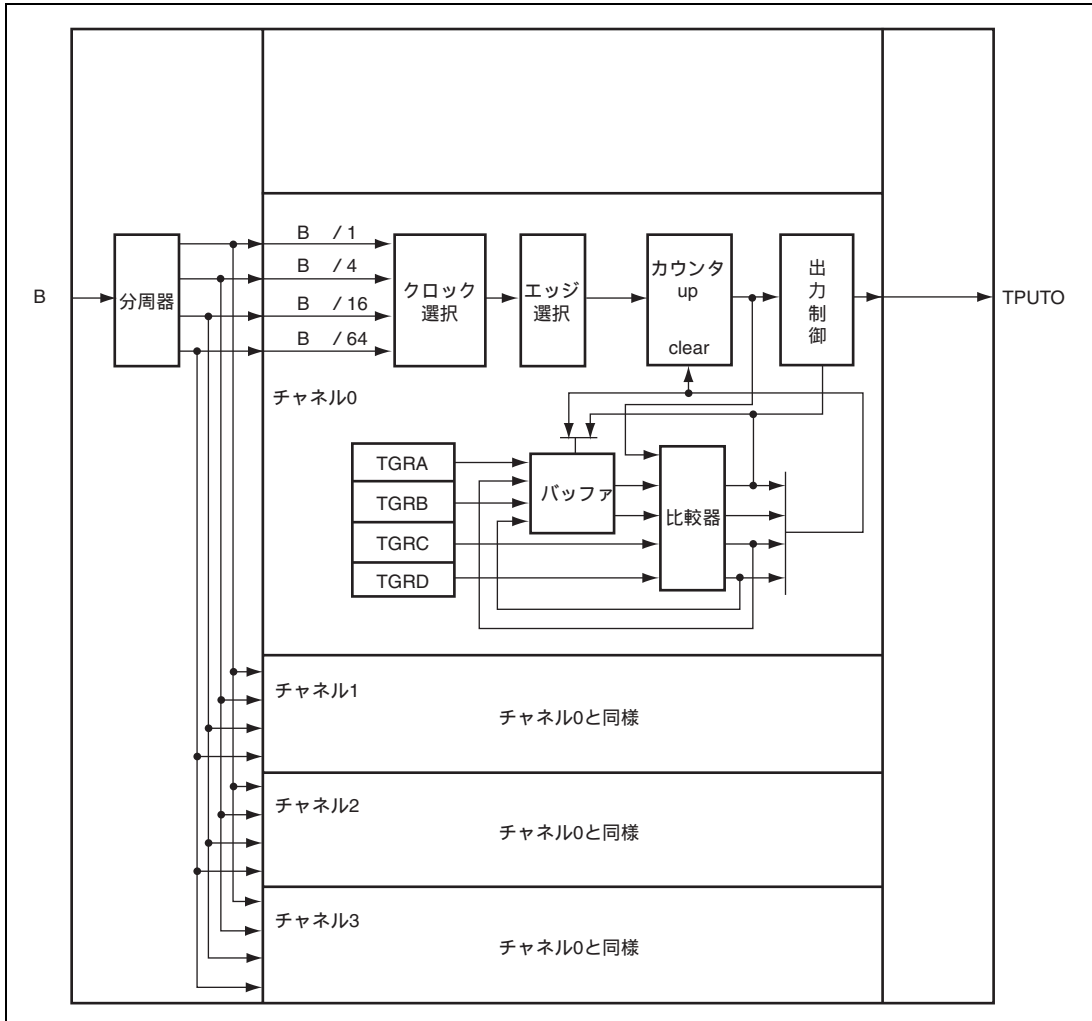


図 18.1 TPUのブロック図

## 18. 16ビットタイマパルスユニット (TPU)

### 18.3 端子構成

TPUの端子構成を表18.2に示します。

表 18.2 TPUの端子構成

チャンネル	端子名	機能	入出力	説明
0	TPUTO	TPU アウトプット コンペアマッチ 0	出力	TPU_TGR0Aのアウトプットコンペア出力 / PWM 出力端子

### 18.4 レジスタの説明

TPUのレジスタ構成を表18.3に示します。また、各処理モードにおけるレジスタの状態を表18.4に示します。

表 18.3 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
タイマスタートレジスタ	TPU_TSTR	R/W	H'A4C9 0000	16
タイマコントロールレジスタ 0	TPU_TCR0	R/W	H'A4C9 0010	16
タイマモードレジスタ 0	TPU_TMDR0	R/W	H'A4C9 0014	16
タイマ I/O コントロールレジスタ 0	TPU_TIOR0	R/W	H'A4C9 0018	16
タイマインタラプトイネーブルレジスタ 0	TPU_TIER0	R/W	H'A4C9 001C	16
タイマステータスレジスタ 0	TPU_TSR0	R/W	H'A4C9 0020	16
タイマカウンタ 0	TPU_TCNT0	R/W	H'A4C9 0024	16
タイマジェネラルレジスタ 0A	TPU_TGR0A	R/W	H'A4C9 0028	16
タイマジェネラルレジスタ 0B	TPU_TGR0B	R/W	H'A4C9 002C	16
タイマジェネラルレジスタ 0C	TPU_TGR0C	R/W	H'A4C9 0030	16
タイマジェネラルレジスタ 0D	TPU_TGR0D	R/W	H'A4C9 0034	16
タイマコントロールレジスタ 1	TPU_TCR1	R/W	H'A4C9 0050	16
タイマモードレジスタ 1	TPU_TMDR1	R/W	H'A4C9 0054	16
タイマインタラプトイネーブルレジスタ 1	TPU_TIER1	R/W	H'A4C9 005C	16
タイマステータスレジスタ 1	TPU_TSR1	R/W	H'A4C9 0060	16
タイマカウンタ 1	TPU_TCNT1	R/W	H'A4C9 0064	16
タイマジェネラルレジスタ 1A	TPU_TGR1A	R/W	H'A4C9 0068	16
タイマジェネラルレジスタ 1B	TPU_TGR1B	R/W	H'A4C9 006C	16
タイマジェネラルレジスタ 1C	TPU_TGR1C	R/W	H'A4C9 0070	16
タイマジェネラルレジスタ 1D	TPU_TGR1D	R/W	H'A4C9 0074	16

18. 16ビットタイマパルスユニット (TPU)

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
タイマコントロールレジスタ 2	TPU_TCR2	R/W	H'A4C9 0090	16
タイマモードレジスタ 2	TPU_TMDR2	R/W	H'A4C9 0094	16
タイマインタラプトイネーブルレジスタ 2	TPU_TIER2	R/W	H'A4C9 009C	16
タイマステータスレジスタ 2	TPU_TSR2	R/W	H'A4C9 00A0	16
タイマカウンタ 2	TPU_TCNT2	R/W	H'A4C9 00A4	16
タイマジェネラルレジスタ 2A	TPU_TGR2A	R/W	H'A4C9 00A8	16
タイマジェネラルレジスタ 2B	TPU_TGR2B	R/W	H'A4C9 00AC	16
タイマジェネラルレジスタ 2C	TPU_TGR2C	R/W	H'A4C9 00B0	16
タイマジェネラルレジスタ 2D	TPU_TGR2D	R/W	H'A4C9 00B4	16
タイマコントロールレジスタ 3	TPU_TCR3	R/W	H'A4C9 00D0	16
タイマモードレジスタ 3	TPU_TMDR3	R/W	H'A4C9 00D4	16
タイマインタラプトイネーブルレジスタ 3	TPU_TIER3	R/W	H'A4C9 00DC	16
タイマステータスレジスタ 3	TPU_TSR3	R/W	H'A4C9 00E0	16
タイマカウンタ 3	TPU_TCNT3	R/W	H'A4C9 00E4	16
タイマジェネラルレジスタ 3A	TPU_TGR3A	R/W	H'A4C9 00E8	16
タイマジェネラルレジスタ 3B	TPU_TGR3B	R/W	H'A4C9 00EC	16
タイマジェネラルレジスタ 3C	TPU_TGR3C	R/W	H'A4C9 00F0	16
タイマジェネラルレジスタ 3D	TPU_TGR3D	R/W	H'A4C9 00F4	16

表 18.4 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
TPU_TSTR	初期化	初期化	保持	保持	初期化	保持
TPU_TCR0	初期化	初期化	保持	保持	初期化	保持
TPU_TMDR0	初期化	初期化	保持	保持	初期化	保持
TPU_TIOR0	初期化	初期化	保持	保持	初期化	保持
TPU_TIER0	初期化	初期化	保持	保持	初期化	保持
TPU_TSR0	初期化	初期化	保持	保持	初期化	保持
TPU_TCNT0	初期化	初期化	保持	保持	初期化	保持
TPU_TGR0A	初期化	初期化	保持	保持	初期化	保持
TPU_TGR0B	初期化	初期化	保持	保持	初期化	保持
TPU_TGR0C	初期化	初期化	保持	保持	初期化	保持
TPU_TGR0D	初期化	初期化	保持	保持	初期化	保持

18. 16ビットタイマパルスユニット (TPU)

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
TPU_TCR1	初期化	初期化	保持	保持	初期化	保持
TPU_TMDR1	初期化	初期化	保持	保持	初期化	保持
TPU_TIER1	初期化	初期化	保持	保持	初期化	保持
TPU_TSR1	初期化	初期化	保持	保持	初期化	保持
TPU_TCNT1	初期化	初期化	保持	保持	初期化	保持
TPU_TGR1A	初期化	初期化	保持	保持	初期化	保持
TPU_TGR1B	初期化	初期化	保持	保持	初期化	保持
TPU_TGR1C	初期化	初期化	保持	保持	初期化	保持
TPU_TGR1D	初期化	初期化	保持	保持	初期化	保持
TPU_TCR2	初期化	初期化	保持	保持	初期化	保持
TPU_TMDR2	初期化	初期化	保持	保持	初期化	保持
TPU_TIER2	初期化	初期化	保持	保持	初期化	保持
TPU_TSR2	初期化	初期化	保持	保持	初期化	保持
TPU_TCNT2	初期化	初期化	保持	保持	初期化	保持
TPU_TGR2A	初期化	初期化	保持	保持	初期化	保持
TPU_TGR2B	初期化	初期化	保持	保持	初期化	保持
TPU_TGR2C	初期化	初期化	保持	保持	初期化	保持
TPU_TGR2D	初期化	初期化	保持	保持	初期化	保持
TPU_TCR3	初期化	初期化	保持	保持	初期化	保持
TPU_TMDR3	初期化	初期化	保持	保持	初期化	保持
TPU_TIER3	初期化	初期化	保持	保持	初期化	保持
TPU_TSR3	初期化	初期化	保持	保持	初期化	保持
TPU_TCNT3	初期化	初期化	保持	保持	初期化	保持
TPU_TGR3A	初期化	初期化	保持	保持	初期化	保持
TPU_TGR3B	初期化	初期化	保持	保持	初期化	保持
TPU_TGR3C	初期化	初期化	保持	保持	初期化	保持
TPU_TGR3D	初期化	初期化	保持	保持	初期化	保持

## 18.4.1 タイマコントロールレジスタ (TPU\_TCR)

TPU\_TCR は、各チャンネルの TPU\_TCNT を制御するレジスタで、各チャンネルごとに 1 本の TPU\_TCR があります。TPU\_TCR は、リセット時に H'0000 に初期化されます。

TPU\_TCR の設定は、TPU\_TCNT の動作が停止した状態で行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
7~5	CCLR[2:0]	000	R/W	カウンタクリア TPU_TCNT のクリア要因を選択します。 000: TPU_TCNT のクリア禁止 001: TPU_TGRA のコンペアマッチで TPU_TCNT クリア 010: TPU_TGRB のコンペアマッチで TPU_TCNT クリア 011: 設定禁止 100: TPU_TCNT のクリア禁止 101: TPU_TGRC のコンペアマッチで TPU_TCNT クリア 110: TPU_TGRD のコンペアマッチで TPU_TCNT クリア 111: 設定禁止
4, 3	CKEG[1:0]	00	R/W	クロックエッジ 入力クロックのエッジを選択します。 内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります。(例: B /4 の両エッジ = B /2 の立ち上がりエッジ)。位相係数モードを設定した場合、本設定は機能しません。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント* 1x: 両エッジでカウント* 【記号説明】x: Don't care 【注】* 入力クロックに B /1 を選択した場合、動作しません。
2~0	TPSC[2:0]	000	R/W	タイマプリスケアラ TPU_TCNT のカウントクロックを選択します。 各チャンネル独立にクロックソースを選択することができます。表 18.5 に各チャンネルごとに設定可能なクロックソース一覧を示します。また、カウントクロック選択の詳細は、表 18.6 を参照してください。

## 18. 16ビットタイムパルスユニット (TPU)

表 18.5 TPU のクロックソース一覧

チャンネル	内部クロック			
	B /1	B /4	B /16	B /64
0				
1				
2				
3				

【記号説明】 : 設定あり、空欄 : 設定なし

表 18.6 TPSC[2:0]ビットによるカウントクロックの選択

チャンネル	TPSC[2]	TPSC[1]	TPSC[0]	説明
0-3	0	0	0	内部クロック : B /1 でカウント
			1	内部クロック : B /4 でカウント
	1	1	0	内部クロック : B /16 でカウント
			1	内部クロック : B /64 でカウント
1	*	*	*	設定禁止

【記号説明】 \*Don't care

### 18.4.2 タイマモードレジスタ (TPU\_TMDR)

TPU\_TMDR は、各チャンネルの動作モードを設定するレジスタで、各チャンネルごとに 1 本の TPU\_TMDR があります。TPU\_TMDR は、リセット時に H'0000 に初期化されます。

TPU\_TMDR の設定は、TPU\_TCNT の動作が停止した状態で行ってください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	BFWT	BFB	BFA	—	MD[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
6	BFWT	0	R/W	バッファライトタイミング TPU_TGRC、TPU_TGRD をコンペアマッチバッファ動作させた場合、TPU_TGRA、TPU_TGRB の更新タイミングを設定します。TPU_TGRC、TPU_TGRD をコンペアマッチバッファレジスタとして使わない場合、本ビットは機能しません。 0 : TPU_TGRA、TPU_TGRB は、各レジスタのコンペアマッチ時に書き換え 1 : TPU_TGRA、TPU_TGRB は、カウンタクリア時に書き換え



18. 16ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
5	BFB	0	R/W	バッファ動作 B TPU_TGRB を通常動作させるか、TPU_TGRB と TPU_TGRD を組み合わせてバッファ動作させるかを設定します。 0 : TPU_TGRB 通常動作 1 : TPU_TGRB と TPU_TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TPU_TGRA を通常動作させるか、TPU_TGRA と TPU_TGRC を組み合わせてバッファ動作させるかを設定します 0 : TPU_TGRA は通常動作 1 : TPU_TGRA と TPU_TGRC はバッファ動作
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
2~0	MD[2:0]	000	R/W	動作モード タイマの動作モードを設定します。 000 : 通常動作 001 : 設定禁止 010 : PWM モード 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

## 18. 16ビットタイムパルスユニット (TPU)

### 18.4.3 タイマ I/O コントロールレジスタ (TPU\_TIOR)

TPU\_TIOR は、TPUTO 端子を制御するレジスタです。TPU\_TIOR はリセット時に H'0000 に初期化されます。TPU\_TIOR の設定は、TPU\_TCNT の動作が停止した状態で行ってください。また、TPU\_TIOR は、TPU\_TMDR の設定により影響を受けますので注意してください。

本製品では、チャンネル 0 の TPU\_TIOR0 のみ有効です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	IOA[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
2~0	IOA[2:0]	000	R/W	I/O コントロール TPUTO 端子と TPU_TGRA の機能を設定します。詳細は表 18.7 を参照してください。

表 18.7 IOA[2:0]ビットによる TPUTO 端子と TPU\_TGRA の設定

チャンネル	IOA[2]	IOA[1]	IOA[0]	説明
0~3	0	0	0	常に 0 出力 (初期値)
			1	TPUTO 端子の初期出力は 0 出力
		1	0	TPU_TGRA のコンペアマッチで 0 出力*
			1	TPU_TGRA のコンペアマッチで 1 出力
	1	0	0	常に 1 出力
			1	TPUTO 端子の初期出力は 1 出力
		1	0	TPU_TGRA のコンペアマッチで 0 出力
			1	TPU_TGRA のコンペアマッチで 1 出力*
			1	TPU_TGRA のコンペアマッチでトグル出力*

【注】 \* WM モード時、本設定にしないでください。

## 18.4.4 タイマインタラプトイネーブルレジスタ (TPU\_TIER)

TPU\_TIER は、各チャンネルの割り込み要求の許可、禁止を制御するレジスタで、各チャンネルごとに 1 本の TPU\_TIER があります。TPU\_TIER は、リセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TC1EV	TG1ED	TG1EC	TG1EB	TG1EA
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
4	TC1EV	0	R/W	オーバフローインタラプトイネーブル TPU_TSR の TCFV フラグが 1 にセットされたとき (TCNT のオーバフロー発生)、TCFV フラグによる割り込み要求を許可または禁止します。 0 : TCFV フラグによる割り込み要求を禁止 1 : TCFV フラグによる割り込み要求を許可
3	TG1ED	0	R/W	TPU_TGR インタラプトイネーブル D TPU_TSR の TGFD ビットが 1 にセットされたとき (TPU_TCNT と TPU_TGRD のコンペアマッチ発生)、TGFD ビットによる割り込み要求を許可または禁止します。 0 : TGFD ビットによる割り込み要求を禁止 1 : TGFD ビットによる割り込み要求を許可
2	TG1EC	0	R/W	TPU_TGR インタラプトイネーブル C TPU_TSR の TGFC ビットが 1 にセットされたとき (TPU_TCNT と TPU_TGRC のコンペアマッチ発生)、TGFC ビットによる割り込み要求を許可または禁止します。 0 : TGFC ビットによる割り込み要求を禁止 1 : TGFC ビットによる割り込み要求を許可
1	TG1EB	0	R/W	TPU_TGR インタラプトイネーブル B TPU_TSR の TGFB ビットが 1 にセットされたとき (TPU_TCNT と TPU_TGRB のコンペアマッチ発生)、TGFB ビットによる割り込み要求を許可または禁止します。 0 : TGFB ビットによる割り込み要求を禁止 1 : TGFB ビットによる割り込み要求を許可
0	TG1EA	0	R/W	TPU_TGR インタラプトイネーブル A TPU_TSR の TGFA ビットが 1 にセットされたとき (TPU_TCNT と TPU_TGRA のコンペアマッチ発生)、TGFA ビットによる割り込み要求を許可または禁止します。 0 : TGFA ビットによる割り込み要求を禁止 1 : TGFA ビットによる割り込み要求を許可

## 18. 16 ビットタイマパルスユニット (TPU)

### 18.4.5 タイマステータスレジスタ (TPU\_TSR)

TPU\_TSR は、各チャンネルのステータス情報を表示するレジスタで、各チャンネルごとに 1 本の TPU\_TSR があります。TPU\_TSR は、リセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
4	TCFV	0	R/(W)*	オーバフローフラグ TPU_TCNT のオーバフローの発生を示すステータスフラグです。 [クリア条件] TCFV = 1 の状態で TCFV ビットを読み出し後、TCFV ビットに 0 を書き込んだとき [セット条件] TPU_TCNT の値がオーバフロー (H'FFFF H'0000) したとき
3	TGFD	0	R/(W)*	コンペアフラグ D TPU_TGRD のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] TGFD = 1 の状態で TGFD ビットを読み出し後、TGFD ビットに 0 を書き込んだとき [セット条件] TPU_TCNT = TPU_TGRD になったとき
2	TGFC	0	R/(W)*	コンペアフラグ C TPU_TGRC のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] TGFC = 1 の状態で TGFC ビットを読み出し後、TGFC ビットに 0 を書き込んだとき [セット条件] TPU_TCNT = TPU_TGRC になったとき
1	TGFB	0	R/(W)*	コンペアフラグ B TPU_TGRB のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] TGFB = 1 の状態で TGFB ビットを読み出し後、TGFB ビットに 0 を書き込んだとき [セット条件] TPU_TCNT = TPU_TGRB になったとき

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)*	アウトプットコンペアフラグ A TPU_TGRA のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] TGFA = 1 の状態で TGFA ビットを読み出し後、TGFA ビットに 0 を書き込んだとき [セット条件] TPU_TCNT = TPU_TGRA になったとき

【注】 \* フラグをクリアするための 0 書き込みのみ可能です。

#### 18.4.6 タイマカウンタ (TPU\_TCNT)

TPU\_TCNT は 16 ビットのカウンタで、各チャンネルごとに 1 本の TPU\_TCNT があります。

TPU\_TCNT は、リセット時に H'0000 に初期化されます。

#### 18.4.7 タイマジェネラルレジスタ (TPU\_TGR)

TPU\_TGR は 16 ビットのレジスタです。各チャンネルごとに 4 本 (TPU\_TGRA、TPU\_TGRB、TPU\_TGRC、TPU\_TGRD) のジェネラルレジスタがあります。TPU\_TGRC と TPU\_TGRD は、バッファレジスタとして動作設定することができます\*。TPU\_TGR はリセット時に H'FFFF に初期化されます。

【注】 \* TPU\_TGR とバッファレジスタの組み合わせは、TPU\_TGRA - TPU\_TGRC、TPU\_TGRB - TPU\_TGRD になります。

#### 18.4.8 タイマスタートレジスタ (TPU\_TSTR)

TPU\_TSTR は、チャンネル 0~3 の TCNT の動作 / 停止を選択するレジスタです。

TPU\_TSTR はリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CST3	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
3	CST3	0	R/W	カウンタスタート
2	CST2	0	R/W	TPU_TCNT の動作または停止を選択します。
1	CST1	0	R/W	0 : TPU_TCNTm のカウント動作は停止
0	CST0	0	R/W	1 : TPU_TCNTm はカウント動作
				【記号説明】 m = 3 ~ 0

### 18.5 動作説明

#### 18.5.1 概要

各モードの動作概要を以下に示します。

##### (1) 通常動作

各チャンネルには、TPU\_TCNT と TPU\_TGR があります。TPU\_TCNT はアップカウント動作を行い、フリーランニング動作、周期カウント動作が可能です。

##### (2) バッファ動作

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値が TPU\_TGR に転送されます。バッファレジスタからの更新タイミングは、コンペアマッチ発生時に書き換え、カウンタクリア時に書き換えを選択可能です。

##### (3) PWM モード

PWM 波形を出力するモードです。出力レベルは TPU\_TIOR により設定できます。

TPU\_TGRA、TPU\_TGRB の設定により、デューティ 0~100% の PWM 波形が出力できます。

## 18.5.2 基本機能

## (1) カウンタの動作

TPU\_TSTRのCST[3:0]ビットを1にセットすると、対応するチャンネルのTPU\_TCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

## (a) カウント動作の設定手順例

カウント動作の設定手順例を図 18.2 に示します。

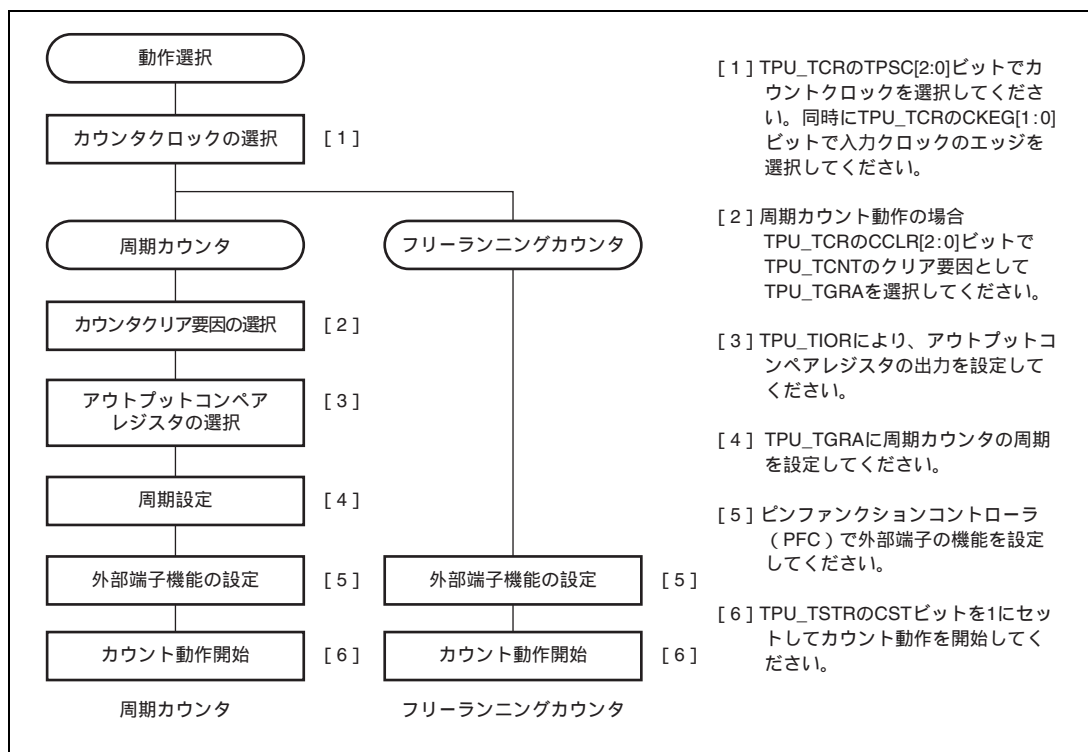


図 18.2 カウンタ動作設定手順例

## 18. 16ビットタイマパルスユニット (TPU)

### (b) フリーランニングカウンタ動作と周期カウンタ動作

TPU\_TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TPU\_TSTR の対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TPU\_TCNT がオーバーフロー (H'FFFF H'0000) すると、TPU\_TSR の TCFV ビットが1にセットされます。TPU\_TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 18.3 に示します。

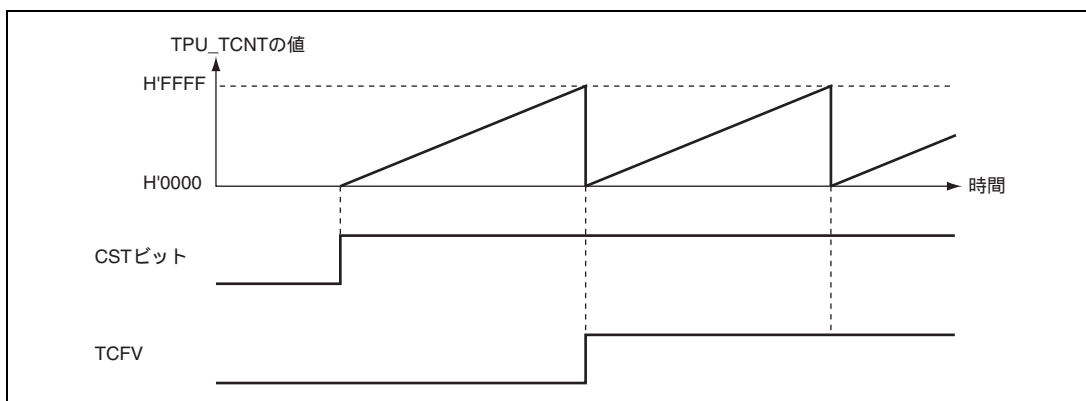


図 18.3 フリーランニングカウンタの動作

TPU\_TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TPU\_TCNT は周期カウンタ動作を行います。周期設定用の TPU\_TGR をアウトプットコンペアレジスタに設定し、TPU\_TCR の CCLR[2:0] ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TPU\_TSTR の対応するビットを1にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TPU\_TGR の値と一致すると、TPU\_TSR の TGF ビットが1にセットされ、TPU\_TCNT は H'0000 にクリアされます。

TPU\_TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 18.4 に示します。

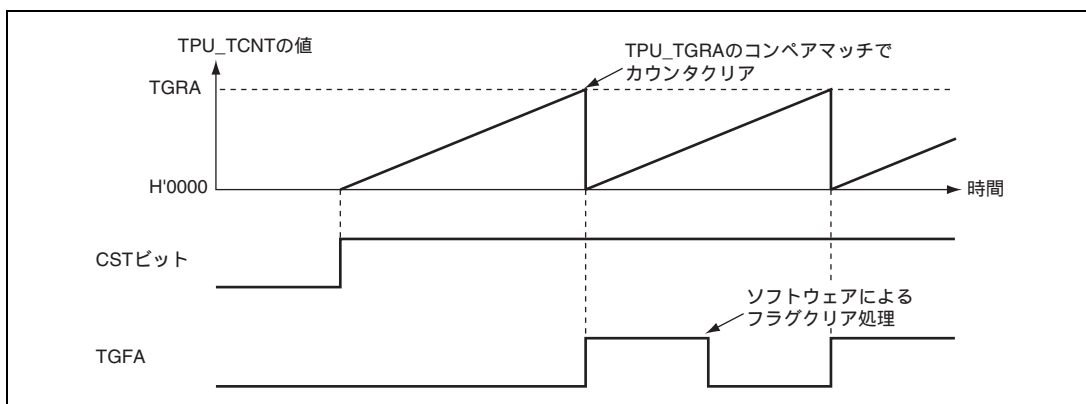


図 18.4 周期カウンタの動作



## (2) コンペアマッチによる波形出力機能

TPU は、TPU\_TGRA のコンペアマッチにより出力端子 (TPUTO 端子) から 0 出力 / 1 出力 / トグル出力を行うことができます。

## (a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 18.5 に示します。

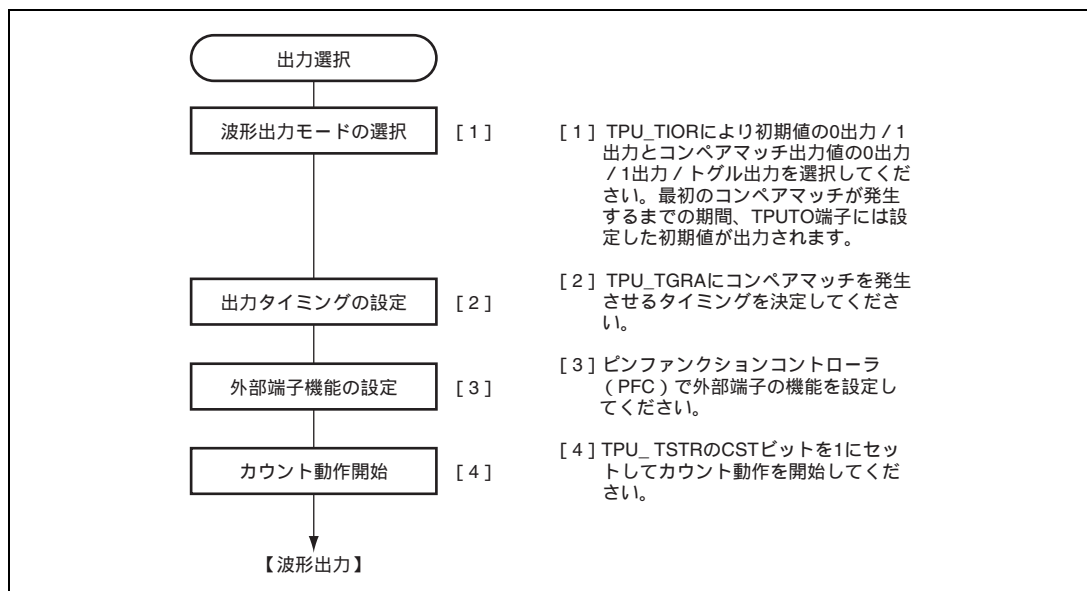


図 18.5 コンペアマッチによる波形出力動作例

## 18. 16ビットタイマパルスユニット (TPU)

### (b) 波形出力動作例

0出力 / 1出力を図 18.6 に示します。

TPU\_TCNTをフリーランニングカウント動作とし、コンペアマッチ A により 1 出力となるように設定した場合と、0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

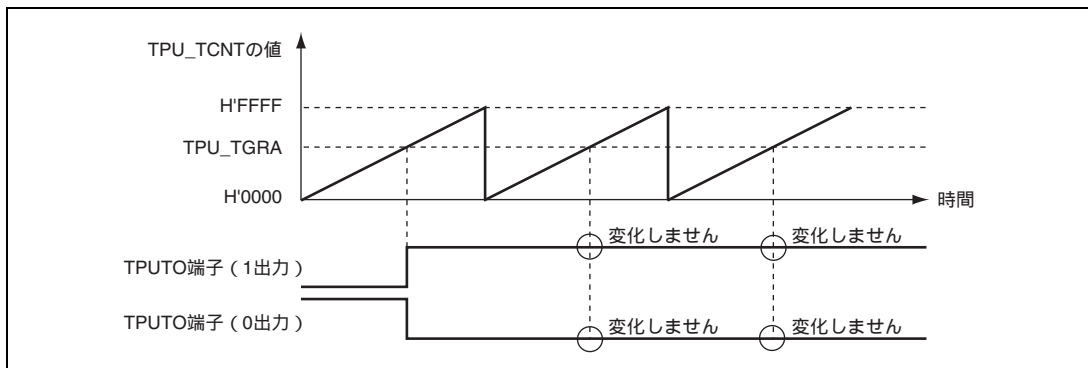


図 18.6 0 出力 / 1 出力の動作例

トグル出力の例を図 18.7 に示します。

TPU\_TCNTを周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A によりトグル出力となるように設定した場合の例です。

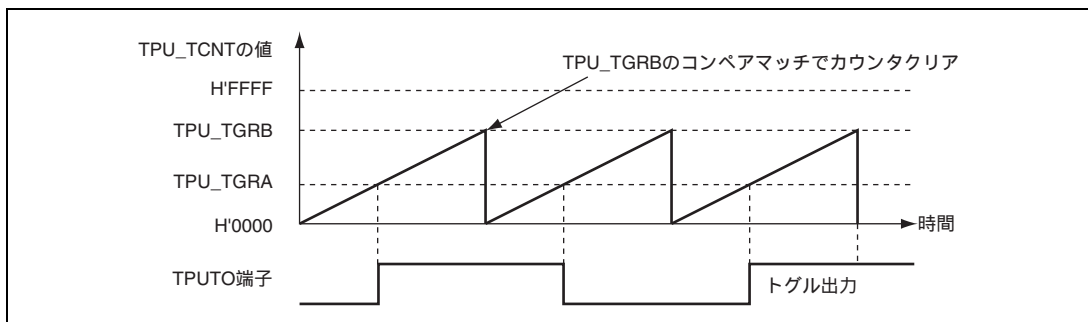


図 18.7 トグル出力の動作例

### 18.5.3 バッファ動作

TPU\_TGRC と TPU\_TGRD をバッファレジスタとして使用することができます。

表 18.8 にバッファ動作時のレジスタの組み合わせを示します。

表 18.8 レジスタの組み合わせ

タイマジェネラルレジスタ	バッファレジスタ
TPU_TGRA	TPU_TGRC
TPU_TGRB	TPU_TGRD

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。バッファレジスタからの更新タイミングは、コンペアマッチ発生時に書き換え、カウンタクリア時に書き換えを選択可能です。

この動作を図 18.8 に示します。

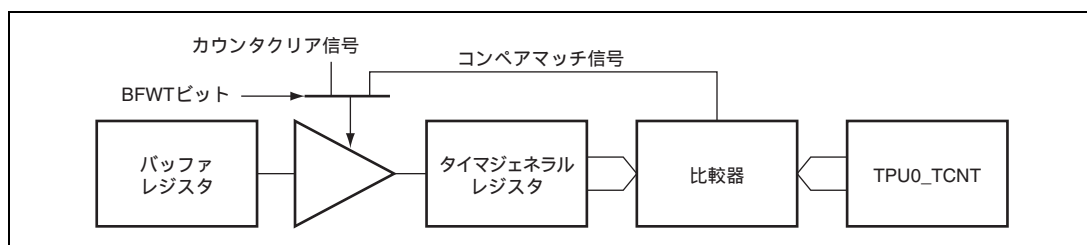


図 18.8 コンペアマッチバッファ動作

#### (1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 18.9 に示します。

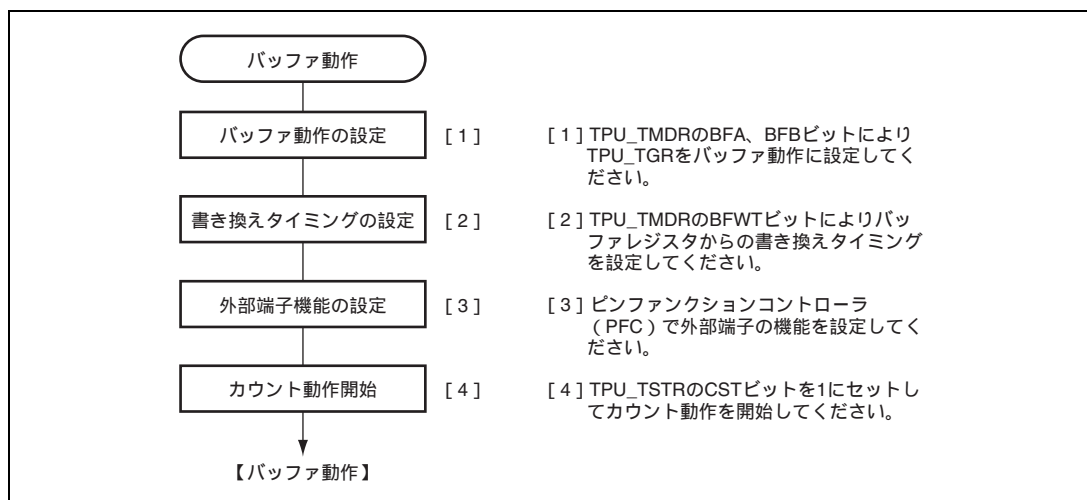


図 18.9 バッファ動作の設定手順例

## 18. 16ビットタイマパルスユニット (TPU)

### (2) バッファ動作例

チャンネル0をPWMモードに設定し、TPU\_TGRAとTPU\_TGRCをバッファ動作に設定した場合の動作例を図18.10に示します。TPU\_TCNTはコンペアマッチBによりクリア、出力 (TPUTO端子) はコンペアマッチAで1出力、カウンタクリアで初期値0出力、バッファレジスタからの書き換えタイミングはカウンタクリア時に設定した例です。

コンペアマッチAが発生すると出力を変化させます。TPU\_TGRBによってカウンタクリアが発生すると出力を変化させると同時に、バッファレジスタTPU\_TGRCの値がタイマジェネラルレジスタTPU\_TGRAに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。

PWMモードについては、「18.5.4 PWMモード」を参照してください。

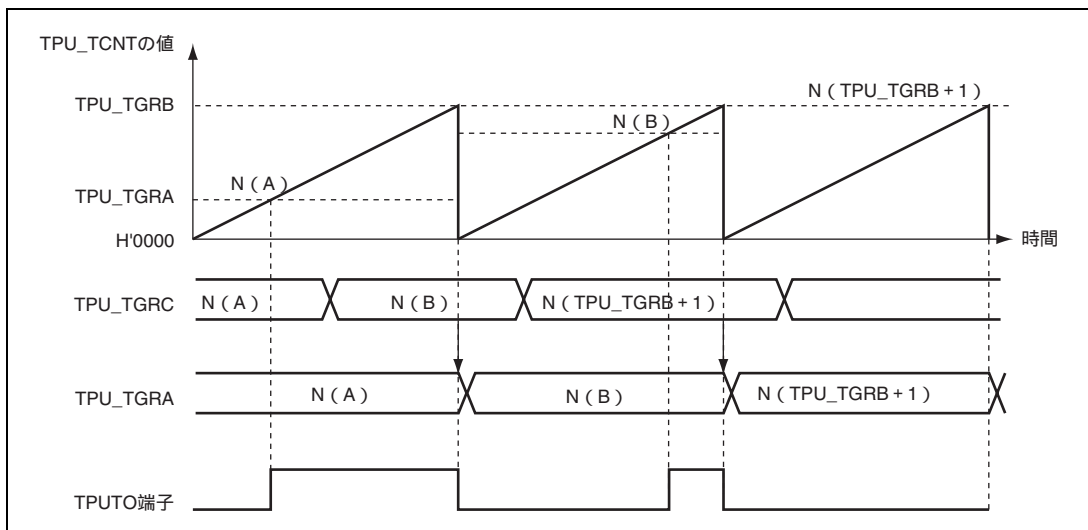


図 18.10 バッファ動作例

### 18.5.4 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。TPU\_TGRA のコンペアマッチによる出力レベルは 0 出力 / 1 出力の中から選択可能です。

TPU\_TGRB のコンペアマッチをカウンタクリア要因とすることにより、周期を設定することができます。全チャンネル独立に PWM モードに設定できます。

TPU\_TGRA をデューティレジスタ、TPU\_TGRB を周期レジスタに使用して、TPUTO 端子から PWM 出力を生成します。周期レジスタのコンペアマッチによるカウンタクリアで TPUTO 端子の出力値は TPU\_TIOR で設定した初期出力が出力されます。必ず TPU\_TIOR の設定は、初期出力とコンペアマッチによる出力値が異なった出力となるように設定してください。同じレベルやトグル出力を選択した場合、動作しません。

デューティ 0%と 100%の条件を以下に示します。

- デューティ 0%： 周期レジスタ (TPU\_TGRB) に対してデューティレジスタ (TPU\_TGRA) の設定値を TGRB + 1にした場合
- デューティ 100%： デューティレジスタ (TPU\_TGRA) の設定値が0の場合

PWM モードでは、最大 4 相の PWM 出力が可能です。

#### (1) PWM モードの設定手順例

PWM モードの設定手順例を図 18.11 に示します。

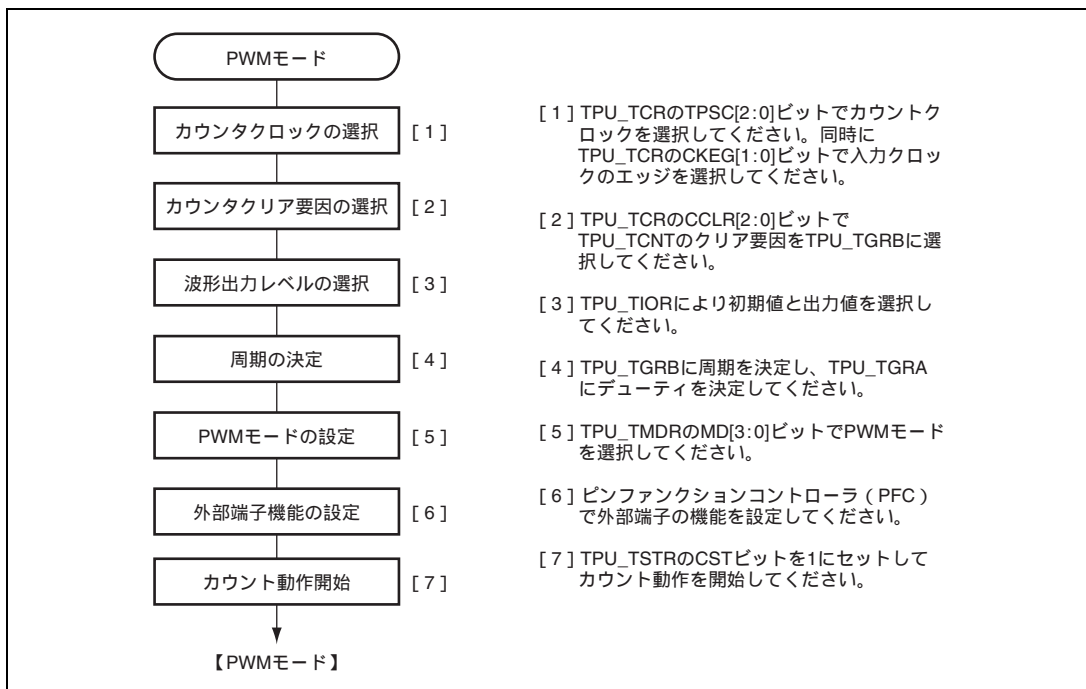


図 18.11 PWM モードの設定手順例

## 18. 16ビットタイマパルスユニット (TPU)

### (2) PWM モードの動作例

PWM モードの動作例を図 18.12 に示します。

図 18.12 は、TPU\_TCNT のクリア要因を TPU\_TGRB のコンペアマッチとし、TPU\_TGRA の初期出力値を 0、出力値を 1 に設定した場合の例です。

TPU\_TGRB に設定した値が周期となり、TPU\_TGRA に設定した値がデューティになります。

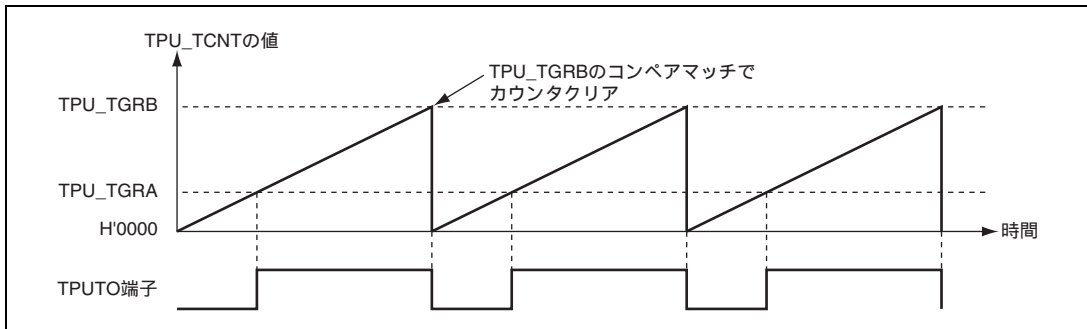


図 18.12 PWM モードの動作例 (1)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 18.13 に示します。

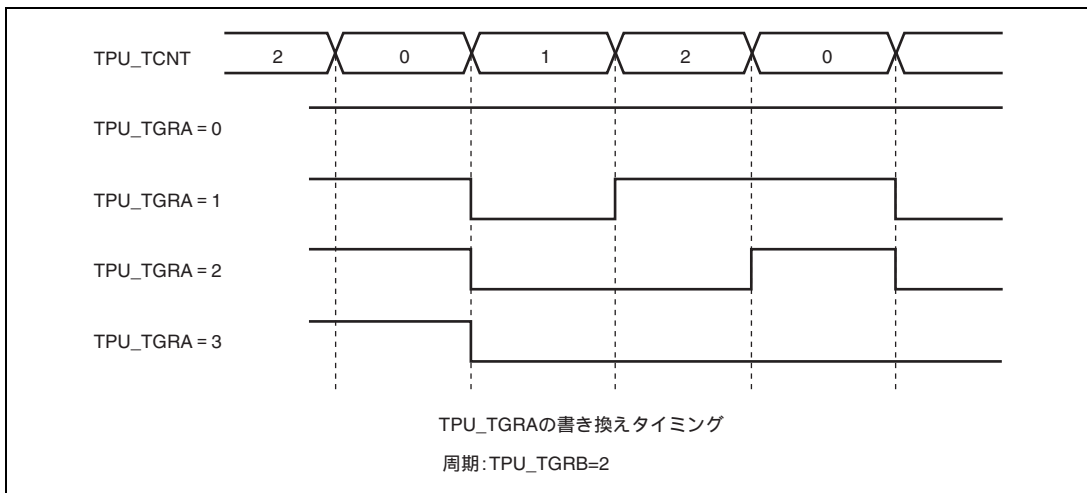


図 18.13 PWM モードの動作例 (2)

## 19. コンペアマッチタイマ (CMT)

本 LSI は、1 チャンネルの 32 ビット構成のコンペアマッチタイマ (CMT) を内蔵しています。

### 19.1 特長

- 16ビット / 32ビット切り換え可能なタイマ
- オートリロード方式のアップカウンタを搭載
- 任意の時点で書き込み / 読み出し可能なオートリロード用32ビットコンスタントレジスタおよび32ビットアップカウンタを搭載
- 本CMTは本LSIがU-スタンバイモード時でもカウント動作可能
- 3種類のカウント入カロックを選択可能  
外部クロック (RCLK) 入力 : 1/8、1/32、1/128
- ワンショット動作およびフリーラン動作を選択可能
- 割り込み要因にコンペアマッチまたはオーバフローを選択可能
- U-スタンバイモード動作時にスタンバイ解除可能
- モジュールスタンバイモードの設定可能

図 19.1 に CMT のブロック図を示します。

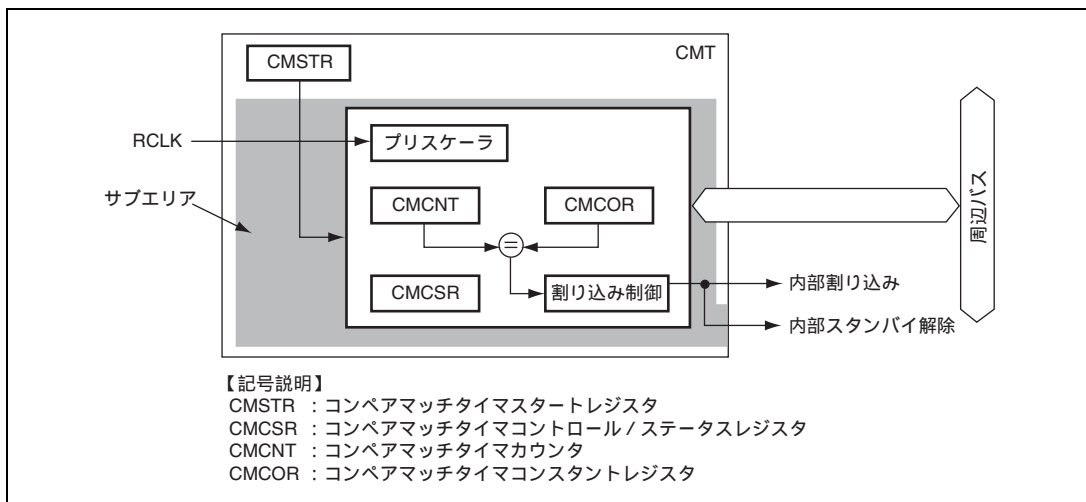


図 19.1 CMT のブロック図

## 19. コンペアマッチタイマ (CMT)

### 19.2 レジスタの説明

CMT のレジスタ構成を表 19.1 に示します。また、各処理モードにおけるレジスタの状態を表 19.2 に示します。

表 19.1 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
コンペアマッチタイマスタートレジスタ	CMSTR	R/W	H'A44A 0000	16
コンペアマッチタイマコントロール / ステータスレジスタ	CMCSR	R/W	H'A44A 0060	16
コンペアマッチタイマカウンタ	CMCNT	R/W	H'A44A 0064	32
コンペアマッチタイマコンスタントレジスタ	CMCOR	R/W	H'A44A 0068	32

表 19.2 各処理モードにおけるレジスタの状態

略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	U-スタンバイ	スリープ
CMSTR	初期化	初期化	保持	保持	初期化	保持
CMCSR	初期化	初期化*	保持	保持	初期化*	保持
CMCNT	初期化	初期化	保持	保持	初期化	保持
CMCOR	初期化	初期化	保持	保持	初期化	保持

【注】 \* CMF ビット、OVF ビットはリセット前の値を保持します。

#### 19.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、コンペアマッチタイマカウンタ (CMCNT) の動作 / 停止を選択します。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	—	—	—	—	—	—	—	—	—	STR5	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	STR5	0	R/W	カウントスタート コンペアマッチタイマカウンタ (CMCNT) の動作 / 停止を選択します。 0: CMCNT はカウントを停止 1: CMCNT はカウントを開始
4~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。



## 19.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、コンペアマッチの発生の表示、割り込みの許可、およびカウンタ入力クロックの設定を行います。

コンペアマッチタイマカウンタ(CMCNT)動作中に CMF ビット、OVF ビット以外の変更はしないでください。CMF ビット、OVF ビットは初期化されません。両方のビットに必ず 0 を書いてから使用してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	CMF	OVF	WR FLG	—	—	—	CMS	CMM	CMTOUT _IE	—	CMR[1:0]	—	—	—	—	CKS[2:0]	
初期値:	—	—	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	CMF	0	R/(W)*	<p>コンペアマッチフラグ</p> <p>コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタントレジスタ (CMCOR) の値が一致したか否かを示すフラグです。ソフトウェアによる 1 書き込みはできません。</p> <p>カウンタの動作にワンショット動作を選択した場合、本ビットをクリアするとカウント動作を再開します。</p> <p>0 : CMCNT と CMCOR の値は不一致</p> <p>[クリア条件]</p> <p>CMF に 0 を書き込んだとき</p> <p>1 : CMCNT と CMCOR の値が一致</p>
14	OVF	0	R/(W)*	<p>オーバフローフラグ</p> <p>コンペアマッチタイマカウンタ (CMCNT) がオーバフローし 0 クリアしたかを示すフラグです。ソフトウェアによる 1 書き込みはできません。</p> <p>0 : CMCNT はオーバフローしていない</p> <p>[クリア条件]</p> <p>OVF に 0 を書き込んだとき</p> <p>1 : CMCNT はオーバフロー発生</p>
13	WRFLG	0	R	<p>書き込み状態フラグ</p> <p>本ビットが 1 の間、CMCNT への書き込みが行えません。CMCNT への書き込みを行った後、同期化のために一定期間 CMCNT への書き込みがマスクされる期間を示します。連続して CMCNT へ書き込む場合は必ず本フラグが 0 になっていることを確認してください。</p>
12~10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

## 19. コンペアマッチタイム (CMT)

ビット	ビット名	初期値	R/W	説明
9	CMS	0	R/W	<p>コンペアマッチタイムカウンタサイズ コンペアマッチタイムカウンタ (CMCNT) を 16 ビットカウンタか 32 ビットカウンタとして使うかを選択します。</p> <p>本レジスタの設定がコンペアマッチタイムコンスタントレジスタ (CMCOR) の有効ビットサイズになります。</p> <p>0 : 32 ビットカウンタ動作 1 : 16 ビットカウンタ動作</p>
8	CMM	0	R/W	<p>コンペアマッチモード カウンタのワンショット動作とフリーラン動作を選択します。</p> <p>0 : ワンショット動作 1 : フリーラン動作</p>
7	CMTOUT_IE	0	R/W	<p>コンペアマッチスタンバイモード解除イネーブル 各種スタンバイモード解除の許可 / 禁止を選択します。</p> <p>0 : 本 CMT による各種スタンバイモード解除を禁止 1 : 本 CMT による各種スタンバイモード解除を許可</p>
6	-	0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
5、4	CMR[1:0]	00	R/W	<p>コンペアマッチリクエスト コンペアマッチ時、内部割り込み要求の許可 / 禁止を選択します。</p> <p>00 : 内部割り込み要求の禁止 01 : 設定禁止 10 : 内部割り込み要求を許可 11 : 設定禁止</p> <p>【注】各種スタンバイモードを CMT で解除する場合、本ビットを B'10 に設定してください。</p>
3	-	0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	CKS[2:0]	100	R/W	<p>クロックセレクト コンペアマッチタイムカウンタ (CMCNT) に入力するクロックを選択します。カウントスタート (STR5 ビット) が 1 にセットされると、CMCNT は本ビットで選択されたクロックでカウントを開始します。</p> <p>000 : 設定禁止 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : RCLK/8 101 : RCLK/32 110 : RCLK/128 111 : 設定禁止</p>

【注】 \* フラグをクリアするための 0 書き込みのみ可能です。

### 19.2.3 コンペアマッチタイマカウンタ (CMCNT)

CMCNT は 32 ビットのレジスタで、アップカウンタとして使用されます。

コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) でカウンタ動作を設定します。このため、コンペアマッチタイマスタートレジスタ (CMSTR) で対応するチャンネルの動作を開始する前に、CMCSR の設定を完了してください。CMS ビットで 16 ビットカウンタ動作とした場合、本レジスタのビット 15~0 ビットが有効となります。書き込む際には、上位に H'0000 を加えた 32 ビットで書き込みを行ってください。CMCNT の初期値は、H'00000000 です。

CMT は、周辺クロック停止時もカウンタ動作可能です。また U-スタンバイ期間中にコアエリア電源をオフにした状態でもカウンタ動作可能です。

カウンタ動作中の CMCNT からの読み出しは、非同期クロック動作のため値を間違える可能性があります。ソフトウェアにて複数回読み出し、値の比較を行ってください。

### 19.2.4 コンペアマッチタイマコンスタントレジスタ (CMCOR)

CMCOR は 32 ビットのレジスタで、コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチするまでの期間を設定します。

コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) の CMS ビットで 16 ビットカウンタ動作とした場合、本レジスタのビット 15~0 ビットが有効となります。書き込む際には、上位に H'0000 を加えた 32 ビットで書き込みを行ってください。オーバフロー検出は本レジスタが H'FFFFFFFF で CMCNT が 0 クリアされたときに検出されます。CMCOR の初期値は、H'FFFFFFFF です。

## 19.3 動作説明

### 19.3.1 カウンタ動作

CMT は、各レジスタ設定後に CMSTR の STR5 ビットに B'1 を書き込むことによってカウンタ動作を開始します。動作開始前にすべての設定を完了してください。フラグビットのクリア以外のレジスタ変更はしないでください。

カウンタ動作は 2 種類に分類することが可能です。

- ワンショット動作

CMCSR の CMM ビットを B'0 にセットした場合、ワンショット動作となります。CMCNT の値が CMCOR の値に一致すると、CMCNT は H'00000000 にクリアされ、CMCSR の CMF ビットが B'1 にセットされます。CMCNT はクリア後、動作を停止します。

オーバフロー割り込み検出を行いたい場合は、CMCOR の値を H'FFFFFFF としてください。CMCNT の値が CMCOR の値に一致すると、CMCNT は H'00000000 にクリアされ、CMCSR の CMF ビットと OVF ビットが B'1 にセットされます。

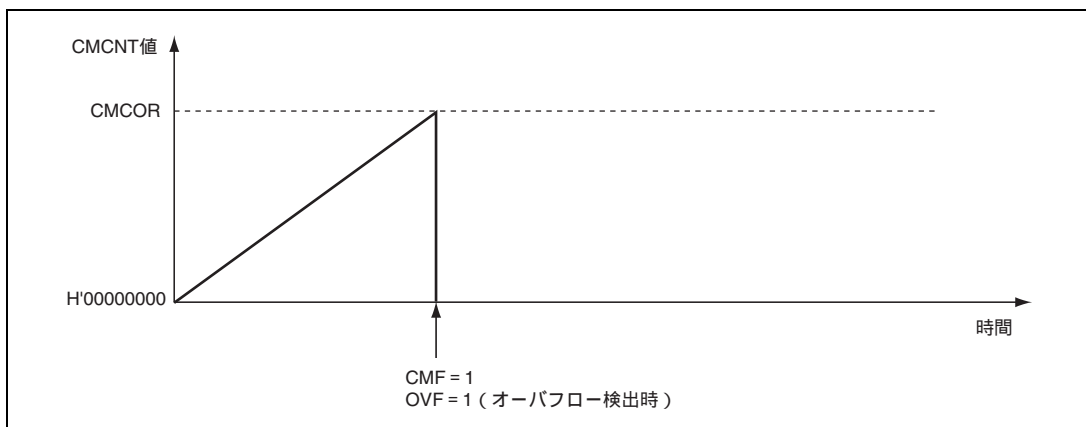


図 19.2 カウンタ動作 (ワンショット動作時)

- フリーラン動作

CMCSRのCMMビットをB'1にセットした場合、フリーラン動作となります。CMCNTの値がCMCORの値に一致すると、CMCNTはH'00000000にクリアされ、CMCSRのCMFビットがB'1にセットされます。CMCNTはクリア後、カウントアップを再開します。

オーバーフロー割り込み検出を行いたい場合は、CMCORの値をH'FFFFFFFとしてください。CMCNTの値がCMCORの値に一致すると、CMCNTはH'00000000にクリアされ、CMCSRのCMFビットとOVFビットがB'1にセットされます。

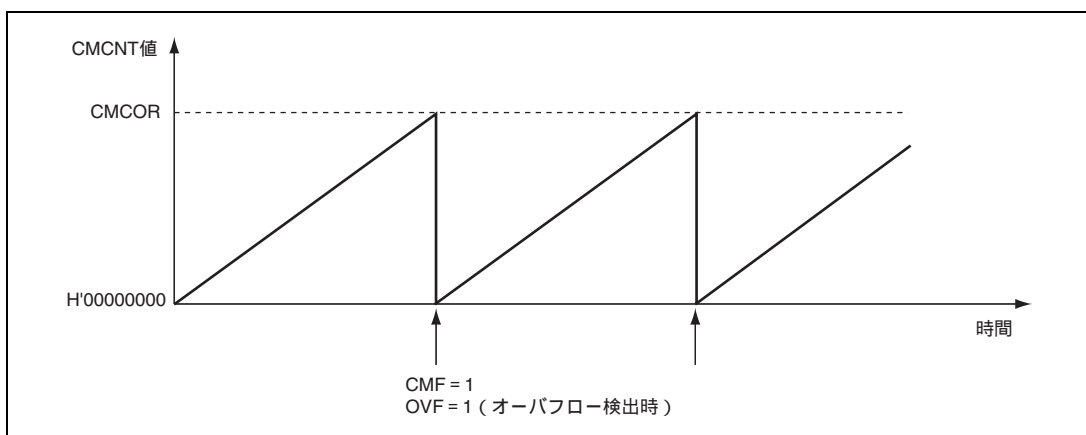


図 19.3 カウンタ動作 (フリーラン動作時)

### 19.3.2 カウンタサイズ

本モジュールはカウンタサイズを 16 ビットカウンタと 32 ビットカウンタで選択可能です。カウンタサイズを選択は CMCSR の CMS ビットで行います。

16 ビットカウンタとして使う場合、CMCOR の値は上位に H'0000 を加えた 32 ビットでセットしてください。オーバーフロー割り込み検出を行うときは、H'0000FFFF とします。

### 19.3.3 CMCNT カウントタイミング

本モジュールは CMCNT のカウンタ用クロックに以下を設定することが可能です。

外部クロック (RCLK) : 1/8、1/32、1/128

カウンタ用クロックは、CMCSR の CKS ビットにより選択します。

CMCNT は CKS ビットにより選択されたクロックの立ち上がりエッジにてインクリメントします。

## 19. コンペアマッチタイマ (CMT)

---

### 19.3.4 CPU への内部割り込み要求

CMCSR の CMR ビットにより、コンペアマッチ時に CPU への内部割り込み発生を選択することができます。

CPU への内部割り込み要求をクリアするためには、CMF ビットに B'0 をセットする必要があります。CMT による割り込みルーチン中に CMF = 0 とする動作を行ってください。

### 19.3.5 CMT の動作

CMCNT は、RCLK のみでの動作が可能のため、動作に必要なレジスタ設定を行い、CMSTR の STR5 ビットに B'1 を書き込んだ後に、本 LSI が U-スタンバイモードへ遷移し、コアエリア電源をオフにした場合でもカウンタ動作を続けます。

- レジスタアクセス

CMTのカウンタはU-スタンバイモード時にもカウント動作するために、サブエリアに存在しますが、カウント動作に必要なレジスタ設定は、コアエリアより行います。このためレジスタを更新した場合、以下の制限があります。

下記レジスタを更新した場合、実際の動作に反映するまでの間はU-スタンバイに遷移しないでください。遷移した場合、レジスタ設定が反映されない場合があります。

1. CMCSR レジスタ : CKS、CMM、CMS、CMTOUT\_IE ビット、

CMCOR レジスタ : ビット 31 ~ 0

CMSTR レジスタ : STR5 ビット

レジスタ書き込み後、直後に読み出せるが、実際の動作に反映するまでに RCLK で 2 サイクルが必要です。

2. CMCNT レジスタ : ビット 31 ~ 0

レジスタ書き込み後、読み出し、および実際の動作に反映するまでに RCLK で 2 サイクルが必要です。また一度書き込むと、その書き込み動作が完了するまで書き込みがプロテクトされます。

- 各種スタンバイモード解除

スタンバイもしくは、U-スタンバイ期間中に割り込みが発生した場合、CMCSRのCMTOUT\_IEビットをB'1に、CMRビットをB'10にセットしておくことにより、各種スタンバイを解除することができます。

各種スタンバイモード解除後、CMCSRのCMFビットをB'0にセットしてください。

## 19.3.6 コンペアマッチフラグのセットタイミング

CMCOR と CMCNT が一致するとコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。コンペアマッチ信号は、一致の最終ステート (CMCNT の値が H'0000 に更新されるタイミング) で発生します。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。図 19.4 に CMF ビットのセットタイミングを示します。

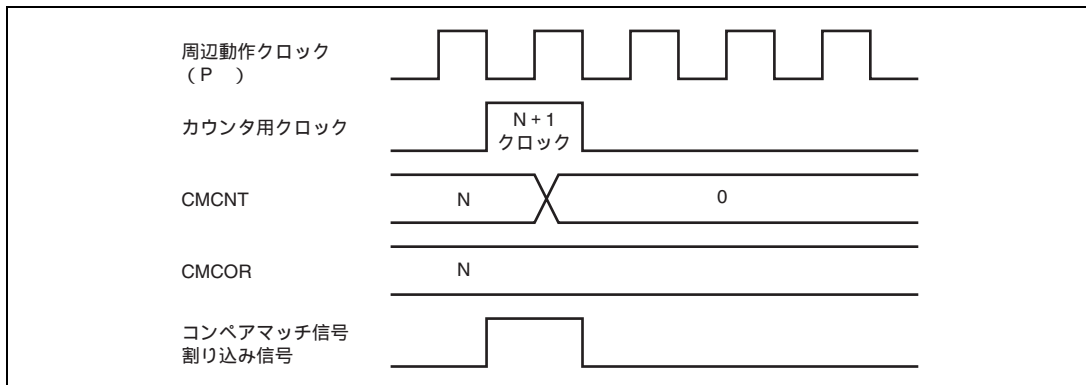


図 19.4 CMF セットタイミング

## 19. コンペアマッチタイム (CMT)

---



---

## 20. シリアル I/O ( SIO )

---

本 LSI はシリアル I/O モジュール ( SIO ) を内蔵しています。

### 20.1 特長

- シリアル転送

32ビットダブルバッファ ( 送受信独立 )

個別設定可能なストローブを2本持つ

7/8/9/12/14/16/17/20/24ビット入出力フォーマットに対応

データの送受信はMSB / LSB選択式

同期方法は同期パルス / 同期レベル

- シリアルクロック

クロックソースとして外部端子入力 ( SIOMCK ) と内部クロック ( P ) から選択が可能

- 割り込み : 1種類

送信割り込み要因

受信割り込み要因

エラー割り込み要因

## 20. シリアル I/O (SIO)

図 20.1 に SIO のブロック図を示します。

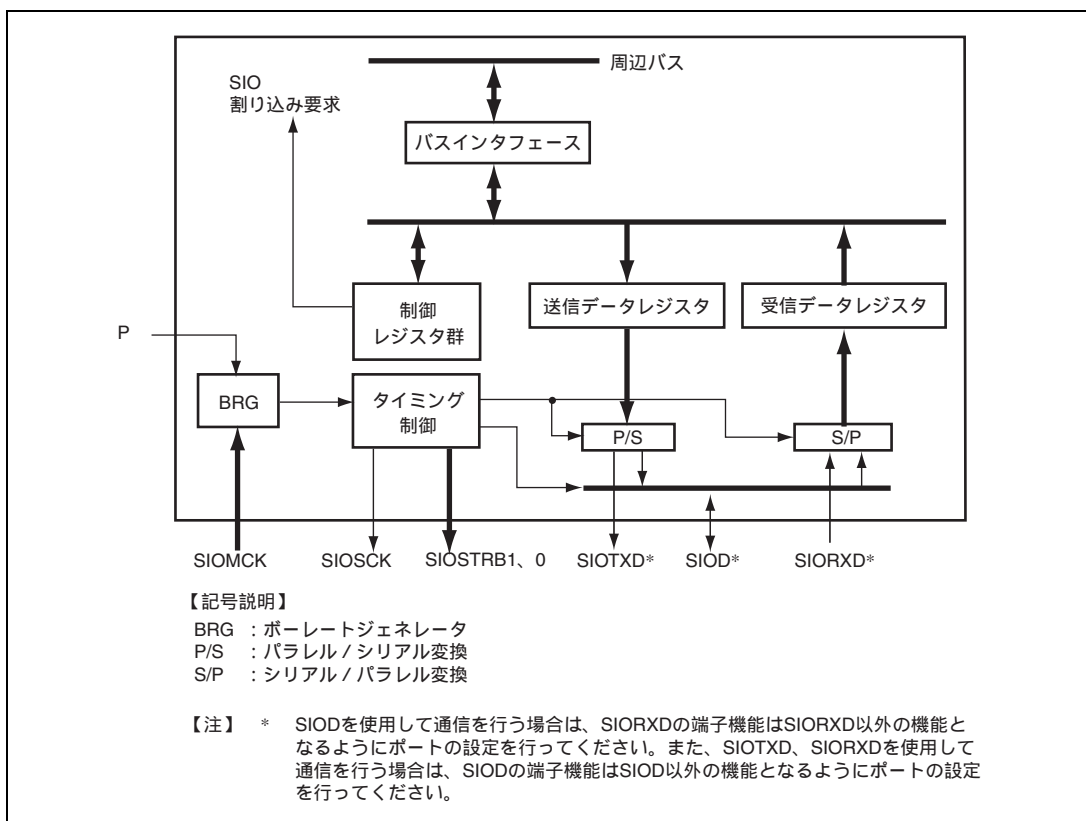


図 20.1 SIO のブロック図

## 20.2 入出力端子

本モジュールの端子構成を表 20.1 に示します。

表 20.1 端子構成

端子名	機能	入出力	説明
SIOTXD	送信データ	出力	送信データ端子です。
SIORXD	受信データ	入力	受信データ端子です。
SIOD	送受信データ	入出力	送受信データ端子です。
SIOSTRB0	シリアルストロブ 0	出力	同期信号端子 ch.0 (送信) です。
SIOSTRB1	シリアルストロブ 1	出力	同期信号端子 ch.1 (送信) です。
SIOSCK	シリアルクロック	出力	シリアルクロック出力端子 (送受信共通) です。
SIOMCK	シリアルマスタクロック	入力	シリアルマスタクロック入力端子です (送受信共通)。

## 20.3 レジスタの説明

SIO のレジスタ構成を表 20.2 に示します。また、各処理モードにおけるレジスタの状態を表 20.3 に示します。

表 20.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
モードレジスタ	SIOMDR	R/W	H'A450000	16
コントロールレジスタ	SIOCTR	R/W	H'A450 0004	16
ストローブコントロールレジスタ 0	SIOSTBCR0	R/W	H'A450 0008	16
ストローブコントロールレジスタ 1	SIOSTBCR1	R/W	H'A450 000C	16
送信データレジスタ	SIOTDR	W	H'A450 0014	32
受信データレジスタ	SIORDR	R	H'A450 0018	32
ステータスレジスタ	SIOSTR	R/W	H'A450 001C	16
割り込み許可レジスタ	SIOIER	R/W	H'A450 0020	16
クロックセレクトレジスタ	SIOSCR	R/W	H'A450 0024	16

表 20.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
SIOMDR	初期化	初期化	保持	保持	初期化	保持
SIOCTR	初期化	初期化	保持	保持	初期化	保持
SIOSTBCR0	初期化	初期化	保持	保持	初期化	保持
SIOSTBCR1	初期化	初期化	保持	保持	初期化	保持
SIOTDR	初期化	初期化	保持	保持	初期化	保持
SIORDR	初期化	初期化	保持	保持	初期化	保持
SIOSTR	初期化	初期化	保持	保持	初期化	保持
SIOIER	初期化	初期化	保持	保持	初期化	保持
SIOSCR	初期化	初期化	保持	保持	初期化	保持

## 20. シリアル I/O (SIO)

### 20.3.1 モードレジスタ (SIOMDR)

SIOMDR は、読み出し/書き込み可能な 16 ビットのレジスタで、SIO の動作モードを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRMD	—	—	—	—	—	—	SIDIZ[1:0]	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	TRMD	0	R	転送モード 0: マスタモード 1: 設定禁止
14~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8、7	SIDIZ[1:0]	00	R/W	送受信無効時*のデータ端子出力 00: 無効時ハイインピーダンス出力 01: 無効時ハイ出力 10: 無効時ロー出力 11: 設定禁止 【注】* 無効時とは、ディスエーブル時および送受信データを送出受信していない場合を示します。
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 20.3.2 コントロールレジスタ (SIOCTR)

SIOCTR は、読み出し/書き込み可能な 16 ビットのレジスタで、SIO の動作状態を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKE[1:0]	—	—	—	—	TXE	—	RXE1	RXE0	—	—	—	—	TXRST	RXRST	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R/W	R	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	SCKE[1:0]	00	R/W	シリアルクロック出力イネーブル 送受信無効時*の SIOSCK 出力 00: 無効時はローを出力する 01: 無効時も SIOSCK を出力する 10: 設定禁止 11: 無効時はハイインピーダンスを出力する 【注】* 無効時とは、ディスエーブル時および送受信動作をしていない場合を示します。ただし、SIOSCR アクセス時は、いずれの設定においても SIOSCK は出力されません。
13~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TXE	0	R/W	送信イネーブル 0: SIOTXD からのデータ送出を禁止 1: SIOTXD からのデータ送出を許可 • 本ビットの設定は、次のストローブ先頭 (ストローブ同期信号の立ち上がり) 時に有効となります。 • 本ビットの 1 設定が有効になると、SIO は送信転送要求を発行します。送信データが格納されると、SIOD または SIOTXD から送信データの送出を開始します。 • 送信動作中に受信動作に切り替わるコマンドを有するデータ通信を行う場合は、本ビットの 1 設定と同時に、RXE0 または RXE1 に 1 を設定する必要があります。 • 1 データを送信後、必ず 0 を設定してください。 • 本ビットは送信リセット時に初期化されます。
8	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 20. シリアル I/O (SIO)

ビット	ビット名	初期値	R/W	説明
7	RXE1	0	R/W	<p>受信イネーブル 1</p> <p>SIOSTRB1 を用いた受信動作に使用します。</p> <p>0 : SIORXD からのデータ受信を禁止</p> <p>1 : SIORXD からのデータ受信を許可</p> <ul style="list-style-type: none"> <li>• ビット 7、6 の RXE1、0 を同時に 1 を設定することはできません。</li> <li>• 本ビットへの設定は、次の SIOSCK の立ち上がりで有効になります。</li> <li>• 本ビットへの 1 設定が有効になると、SIO は SIOD または SIORXD からの受信データの取り込みを開始します。受信レジスタにデータが格納されると、受信転送要求を発行します。</li> <li>• 1 データを送信後、必ず 0 を設定してください。</li> <li>• 本ビットは受信リセット時に初期化されます。</li> </ul>
6	RXE0	0	R/W	<p>受信イネーブル 0</p> <p>SIOSTRB0 を用いた受信動作に使用します。</p> <p>0 : SIORXD からのデータ受信を禁止</p> <p>1 : SIORXD からのデータ受信を許可</p> <ul style="list-style-type: none"> <li>• ビット 7、6 の RXE1、0 を同時に 1 を設定することはできません。</li> <li>• 本ビットへの設定は、次の SIOSCK の立ち上がりで有効になります。</li> <li>• 本ビットへの 1 設定が有効になると、SIO は SIOD または SIORXD からの受信データの取り込みを開始します。受信レジスタにデータが格納されると、受信転送要求を発行します。</li> <li>• 1 データを送信後、必ず 0 を設定してください。</li> <li>• 本ビットは受信リセット時に初期化されます。</li> </ul>
5~2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1	TXRST	0	R/W	<p>送信リセット</p> <p>0 : 送信動作をリセットしない</p> <p>1 : 送信動作をリセットする</p> <ul style="list-style-type: none"> <li>• 本ビットへの設定は、直ちに有効となります。</li> <li>• 本ビットへの 1 設定が有効になると、SIO は直ちに SIOD または SIOTXD からの送信データを 1 とし、送信データ系のレジスタおよび送信関連のステータスを初期化します。初期化の対象は下記のレジスタとビットです。</li> </ul> <ol style="list-style-type: none"> <li>1. SIOTDR</li> <li>2. SIOSTR の TDEMP、TDREQ ビット</li> </ol> <ul style="list-style-type: none"> <li>• 本ビットに 1 を設定後、必ず 0 を設定してください。読み出し時の値は常に 0 となります。</li> </ul>

ビット	ビット名	初期値	R/W	説 明
0	RXRST	0	R/W	受信リセット 0: 受信動作をリセットしない 1: 受信動作をリセットする <ul style="list-style-type: none"> <li>• 本ビットへの設定は、直ちに有効となります。</li> <li>• 本ビットへの1設定が有効になると、SIOはSIODまたはSIORXDからの受信を停止し、受信データ系レジスタおよび受信関連のステータスを初期化します。初期化の対象は下記のレジスタとビットです。               <ol style="list-style-type: none"> <li>1. SIORDR</li> <li>2. SIORDRのRDFUL、RDREQビット</li> </ol> </li> <li>• 本ビットに1を設定後、必ず0を設定してください。読み出し時の値は常に0となります。</li> </ul>

### 20.3.3 ストロープコントロールレジスタ 1、0 (SIOSTBCR1、SIOSTBCR0)

SIOSTBCR1、SIOSTBCR0は、それぞれ読み出し/書き込み可能な16ビットのレジスタで、SIOのストロープチャンネル1、0のチャンネルを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SYNCAL	SYNCPL	SYNCAT[1:0]		CMDDEC	SYNCIZ	BITLSB	REDG	BITLEN[3:0]			—	—	SYNC WID	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R

ビット	ビット名	初期値	R/W	説 明
15	SYNCAL	0	R/W	SIOSTRBn 信号アクティブレベル 0: ハイアクティブ 1: ローアクティブ
14	SYNCPL	0	R/W	SIOSTRBn 信号出力パルス/レベル切替 0: パルス 1: レベル (データ長アサート)
13, 12	SYNCAT[1:0]	00	R/W	SIOSTRBn 信号パルス有効タイミング 本ビットはSYNCPL=0のときのみ設定可能です。 00: 先頭ビットデータと同時に有効 01: 先頭ビットデータより1ビット先立って有効 10: 最終ビットデータと同時に有効 11: 最終ビットデータから1ビット遅延して有効 <b>【注】</b> 1. SYNCPL=1のときはB'00を設定してください。 2. 受信動作時は、本ビットにB'00またはB'01を設定してください。

## 20. シリアル I/O (SIO)

ビット	ビット名	初期値	R/W	説明
11	CMDDEC	0	R/W	<p>コマンドビットデコード</p> <p>送信動作中に受信動作に切り換わるコマンドを有するデータ通信を行う場合に、SIOTDR の SITDRD ビットをデコードするかどうかを決めます。</p> <p>0 : デコードしない</p> <p>1 : デコードする*</p> <p>【注】* 先頭の 8 ビットは、必ず送信になります。</p>
10	SYNCIZ	0	R/W	<p>SIOSTRBn 信号の通信無効時*の端子出力</p> <p>0 : SYNCAL ビット設定とは逆の無効極性を出力</p> <p>1 : ハイインピーダンス出力</p> <p>【注】* 無効時とは、ディスエーブル時および送受信動作をしていない場合を示します。</p>
9	BITLSB	0	R/W	<p>LSB ファーストまたは MSB ファースト選択</p> <p>0 : MSB ファースト</p> <p>1 : LSB ファースト</p>
8	REDG	0	R/W	<p>受信データサンプリングエッジ</p> <p>0 : SIOD または SIORXD を SIOSCK の立ち下がりエッジでサンプリング</p> <p>1 : SIOD または SIORXD を SIOSCK の立ち上がりエッジでサンプリング</p> <p>【注】 SIOTXD の送出タイミングは、受信する SIOSCK の逆のエッジとなります。</p>
7~4	BITLEN[3:0]	0000	R/W	<p>送受信データのビット長およびコマンド長</p> <p>0000 : 8 ビット</p> <p>0001 : 7 ビット</p> <p>0010 : 9 ビット</p> <p>0011 : 12 ビット</p> <p>0100 : 14 ビット</p> <p>0101 : 16 ビット</p> <p>0110 : 17 ビット</p> <p>0111 : 20 ビット</p> <p>1000 : 24 ビット</p> <p>1001 ~ 1111 : 設定禁止</p> <p>【注】 CMDDEC = 1 のとき、本ビットの設定は、16 ビットよりも長いデータ長が必要になります。</p>
3、2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>



ビット	ビット名	初期値	R/W	説明
1	SYNCWID	0	R/W	SIOSTRBn 信号パルス幅 本ビットを 1 にすることで SIOSTRBn パルス出力幅が SIOSCK で 1 サイクル増えます。設定に対するパルス幅は以下のようになります。 SYNCPL = 0 のとき 0 : 1 シリアルクロック 1 : 2 シリアルクロック SYNCPL = 1 のとき 0 : データ長 1 : データ長 + 1 シリアルクロック
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

### 20.3.4 送信データレジスタ (SIOTDR)

SIOTDR は、書き込み専用の 32 ビットのレジスタで、SIO の送信データを設定します。

本レジスタは、表 20.3 に示す初期化条件のほか、SIOCTR の TXRST ビットにより送信リセットされた場合も、初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SITD[23:8]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SITD[7:0]								—	—	—	—	—	SITDRD	—	SITCHO
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~8	SITD[23:0]	H'000000	W	送信データ格納ビット 送信データを格納します。
7~3	-	すべて 0	W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SITDRD	0	W	一度の同期信号の中に送信と受信が含まれるデータ 0 : 設定データ長はすべて送信動作 1 : 設定データ長の送出データ 8 ビット後、受信動作に切り替わるデータ通信
1	-	0	W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 20. シリアル I/O (SIO)

ビット	ビット名	初期値	R/W	説 明
0	SITCH0	0	W	送信ストローブチャンネル選択 0 : チャンネル 0 のデータであることを示します 1 : チャンネル 1 のデータであることを示します

### 20.3.5 受信データレジスタ (SIORDR)

SIORDR は、読み出し専用の 32 ビットのレジスタで、SIO の受信データの読み出しを行います。本レジスタには受信データが格納されます。

本レジスタは、表 20.3 に示す初期化条件のほか、SIOCTR の RXRST ビットにより受信リセットされた場合も、初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	SIRD[23:8]																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	SIRD[7:0]										—	—	—	—	—	—	SIRCH0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット	ビット名	初期値	R/W	説 明
31~8	SIRD[23:0]	H'000000	R	受信データビット 受信データが格納されます。
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SIRCH0	0	R	受信ストローブチャンネル 0 : チャンネル 0 の受信データであることを示します。 1 : チャンネル 1 の受信データであることを示します。

## 20.3.6 ステータスレジスタ (SIOSTR)

SIOSTR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIO の状態を表示します。本レジスタの各ビットは、SIOIER の対応するビットに 1 を設定した場合に、SIO の割り込み要因となります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TDEMP	TDREQ	—	—	RDFUL	RDREQ	—	—	—	—	TDOVF	TDUDF	RDUDF	RDOVF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	TDEMP	0	R	送信データエンプティ 0: 送信データが空でない 1: 送信データが空である • 本ビットは SIOCTR の TXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、SIOTDR への書き込みが行われると SIO がクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIO 割り込みを発行します。
12	TDREQ	0	R	送信データ転送リクエスト 0: 転送要求なし 1: 転送要求あり 送信データ転送リクエストは、SIOTDR に空きがある場合に発行します。 • 本ビットは SIOCTR の TXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、送信データが SIOTDR に書き込まれると SIO がクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIO 割り込みを発行します。
11, 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	RDFUL	0	R	受信データフル 0: 受信データが満杯でない 1: 受信データが満杯である • 本ビットは SIOCTR の RXE ビットが 1 のときに有効となります。 • 受信側はシングルバッファのため、本ビットは RDREQ と同じタイミングで 0 または 1 が設定されます。 • 本ビットは状態を表示するビットであり、SIORDR の読み出しを行うと SIO がクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIO 割り込みを発行します。

## 20. シリアル I/O (SIO)

ビット	ビット名	初期値	R/W	説明
8	RDREQ	0	R	<p>受信データ転送リクエスト</p> <p>0 : SIORDR に受信データが格納されていない 1 : SIORDR に受信データが格納されている</p> <ul style="list-style-type: none"> <li>• 本ビットは SIOCTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、受信データが読み出されると SIO がクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIO 割り込みを発行します。</li> </ul>
7~4	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
3	TDOVF	0	R/W	<p>送信データオーバーフロー</p> <p>0 : 送信データオーバーフロー未発生 1 : 送信データオーバーフロー発生</p> <p>送信データオーバーフローとは、送信データが満杯時に SIOTDR への書き込みが発生したことを示します。</p> <p>送信データオーバーフロー時、SIO はオーバーフローとなった書き込みを無効とします。</p> <ul style="list-style-type: none"> <li>• 本ビットは SIOCTR の TXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIO 割り込みを発行します。</li> </ul>
2	TDUDF	0	R/W	<p>送信データアンダフロー</p> <p>0 : 送信データアンダフロー未発生 1 : 送信データアンダフロー発生</p> <p>送信データアンダフローとは、SIOTDR がエンプティ時に送信動作によるロードが発生したことを表します。</p> <p>送信データアンダフロー時、SIO は前回送出データを繰り返して送出します。</p> <ul style="list-style-type: none"> <li>• 本ビットは SIOCTR の TXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIO 割り込みを発行します。</li> </ul>

ビット	ビット名	初期値	R/W	説明
1	RDUDF	0	R/W	<p>受信データアンダフロー</p> <p>0: 受信データアンダフロー未発生 1: 受信データアンダフロー発生</p> <p>受信データアンダフローとは、受信データが空のときに SIORDR の読み出しが発生したことを示します。</p> <p>受信データアンダフロー時、SIORDR から読み出したデータの値は不定です。</p> <ul style="list-style-type: none"> <li>• 本ビットは SIOCTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIO 割り込みを発行します。</li> </ul>
0	RDOVF	0	R/W	<p>受信データオーバーフロー</p> <p>0: 受信データオーバーフロー未発生 1: 受信データオーバーフロー発生</p> <p>受信データオーバーフローとは、受信データがフルのときに受信動作による書き込みが発生したことを示します。</p> <p>受信データオーバーフロー時、オーバーフローとなった受信データは消失します。</p> <ul style="list-style-type: none"> <li>• 本ビットは SIOCTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIO 割り込みを発行します。</li> </ul>

## 20. シリアル I/O (SIO)

### 20.3.7 割り込み許可レジスタ (SIOIER)

SIOIER は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIO 割り込みの発行を許可します。本レジスタの各ビットに 1 を設定した場合に、SIOSTR の対応するビットに 1 がセットされると、SIO は割り込みを発行します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TD EMPE	TD REQE	—	—	RD FULE	RD REQE	—	—	—	—	TDO VFE	TDU DFE	RDU DFE	RDO VFE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	TDEMPE	0	R/W	送信データエンブティイネーブル 0: 送信エンブティによる割り込みを禁止 1: 送信エンブティによる割り込みを許可
12	TDREQE	0	R/W	送信データ転送リクエストイネーブル 0: 送信データ転送リクエストによる割り込みを禁止 1: 送信データ転送リクエストによる割り込みを許可
11, 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	RDFULE	0	R/W	受信データフルイネーブル 0: 受信データフルによる割り込みを禁止 1: 受信データフルによる割り込みを許可
8	RDREQE	0	R/W	受信データ転送リクエストイネーブル 0: 受信データ転送リクエストによる割り込みを禁止 1: 受信データ転送リクエストによる割り込みを許可
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TDOVFE	0	R/W	送信データオーバフローイネーブル 0: 送信データオーバフローによる割り込みを禁止 1: 送信データオーバフローによる割り込みを許可
2	TDUDFE	0	R/W	送信データアンダフローイネーブル 0: 送信データアンダフローによる割り込みを禁止 1: 送信データアンダフローによる割り込みを許可
1	RDUDFE	0	R/W	受信データアンダフローイネーブル 0: 受信データアンダフローによる割り込みを禁止 1: 受信データアンダフローによる割り込みを許可

ビット	ビット名	初期値	R/W	説明
0	RDOVFE	0	R/W	受信データオーバーフローイネーブル 0: 受信データオーバーフローによる割り込みを禁止 1: 受信データオーバーフローによる割り込みを許可

### 20.3.8 クロックセレクトレジスタ (SIOSCR)

SIOSCR は、読み出し/書き込み可能な 16 ビットのレジスタで、シリアルクロック生成条件を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSSEL[1:0]		MSIMM	BRPS[4:0]				—	—	—	—	—	BRDV[2:0]			
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	MSSEL[1:0]	00	R/W	マスタクロックソース選択 00: マスタクロックとして P を使用 01: マスタクロックとして SIO クロック入力端子 SIOMCK を使用 10: 設定禁止 11: 設定禁止 【注】マスタクロックとは、ポーレートジェネレータに入力するクロックを指します。
13	MSIMM	1	R/W	マスタクロック直接選択 0: シリアルクロックとしてポーレートジェネレータ出力クロックを使用 1: シリアルクロックとしてマスタクロックをそのまま使用
12~8	BRPS[4:0]	00000	R/W	プリスケアラ設定 ポーレートジェネレータのプリスケアラのカウンタ値を設定します。 設定の範囲は B'00000 (×1/1) ~ B'11111 (×1/32) です。
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	BRDV[2:0]	000	R/W	ポーレートジェネレータにおける出力段の分周比を設定します。 ポーレートジェネレータの最終分周比は、BRPS × BRDV で決まります (最大 1/1024)。 000: プリスケアラ出力 × 1/2 001: プリスケアラ出力 × 1/4 010: プリスケアラ出力 × 1/8 011: プリスケアラ出力 × 1/16 100: プリスケアラ出力 × 1/32 その他: 設定禁止

## 20.4 動作説明

### 20.4.1 シリアルクロック

#### (1) 入力クロック

入力クロックは、P、SIOMCK から選択できます。

#### (2) ボーレートジェネレータ

ボーレートジェネレータ (BRG) を用いてシリアルクロックを生成します。分周比は、 $1/2 \sim 1/1024$  となります。

図 20.2 にシリアルクロック供給系統図を示します。

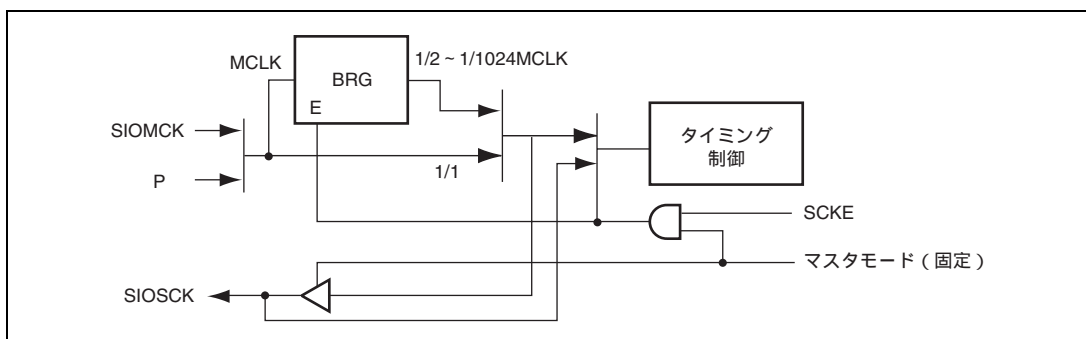


図 20.2 シリアルクロック供給



## 20.4.2 シリアルタイミング

## (1) SIOSTRB1、SIOSTRB0 端子

SIOSTRBn は、シリアル転送の同期信号です。SIOSTRBn の設定によって下記 2 通りの機能を有します。

- 同期パルスフレーム先頭か最後を表す 1 ビット幅のパルス
- フレーム幅のパルス

図 20.3 ~ 図 20.5 に SIOSTRBn による同期タイミングを示します。

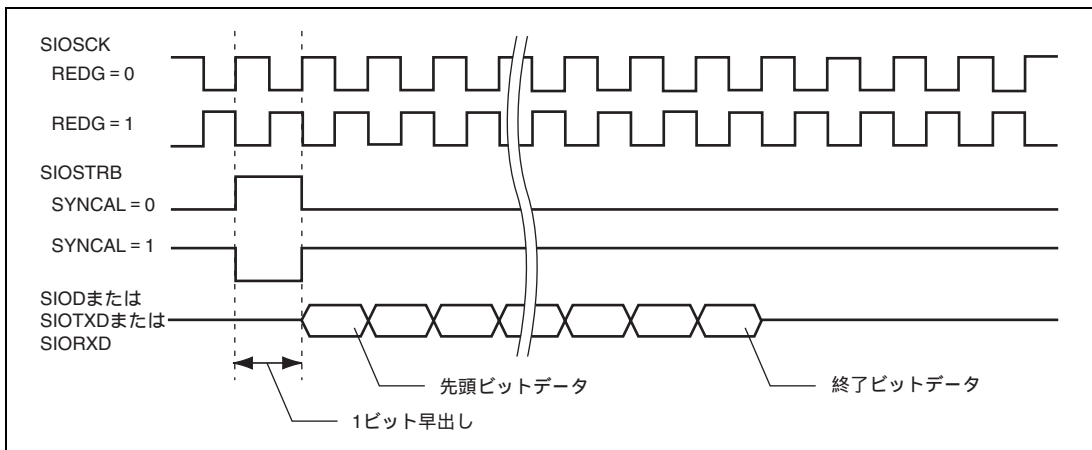


図 20.3 同期パルス (SYNCPL = B'0) で SYNCAT[1:0] = B'01 の場合

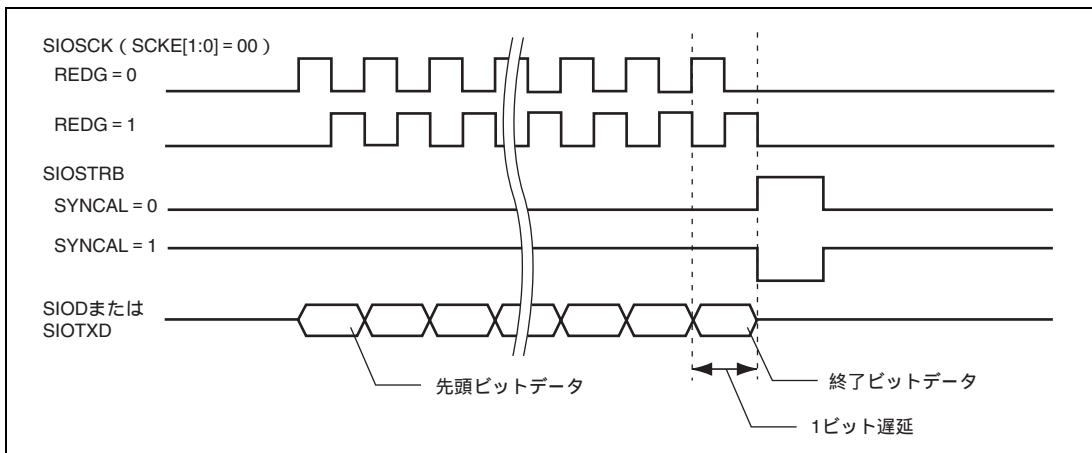


図 20.4 同期パルス (SYNCPL = B'0) で SYNCAT[1:0] = B'11 の場合 (送信時のみ)

## 20. シリアル I/O (SIO)

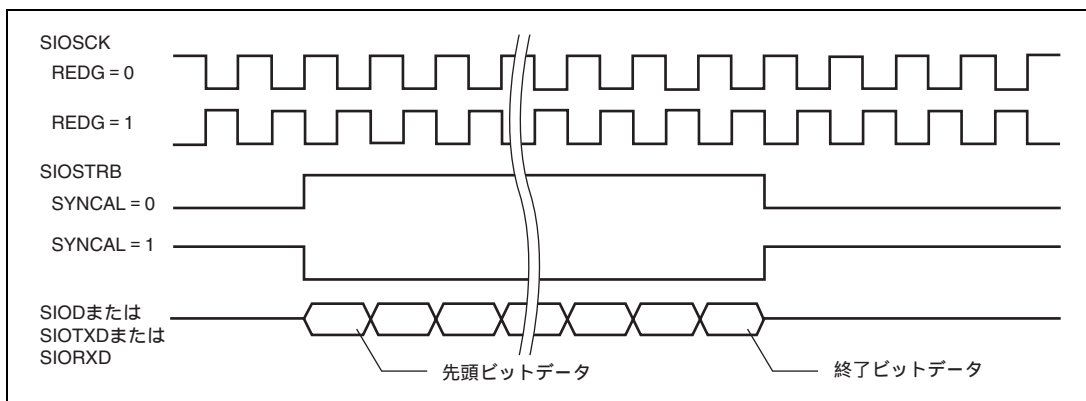


図 20.5 SYNCPL = 1 であつ SYNCAT[1:0] = B'00 か B'10 の場合

### (2) 送受信タイミング

SIOSCK に対する SIOTXD の送信タイミングおよび SIORXD の受信タイミングは、サンプリングタイミングとして下記 2 通りの設定が可能です。送受信タイミングの設定は、SIOSTRBn の REDG ビットで行います。

- 立ち下がりサンプリング
- 立ち上がりサンプリング

図 20.6 に送受信タイミングを示します。

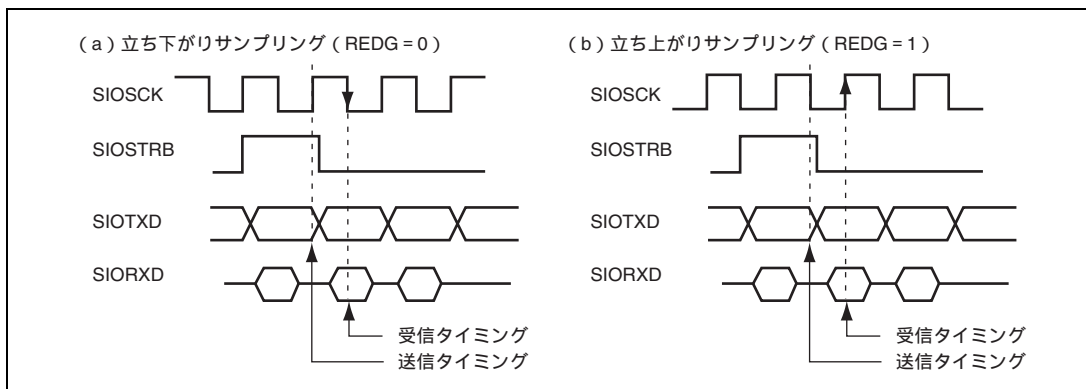


図 20.6 SIO 送受信タイミング

### 20.4.3 転送データフォーマット

SIO は、下記転送を行います。

- 送受信データ 各SIOSTRBごとに7/8/9/12/14/16/17/20/24ビットの転送データ

#### (1) 転送モード

SIO は、転送モードとしてマスタモードに対応します。マスタとは、SIO が SIOSCK と SIOSTRB1、SIOSTRB0 を出力するモードです。

## 20.4.4 転送データのレジスタ割り付け

## (1) 送受信データ

送受信データの書き込み / 読み出しは下記レジスタに対して行います。

- 送信データ書き込み : SIOTDR (32ビットアクセス)
- 受信データ読み出し : SIORDR (32ビットアクセス)

送受信データのビット長にかかわらず、32 ビットのデータとしてアクセスします。

0 ビットには、ストロブチャネルを示す情報、2 ビットには、1 同期信号の中に送信データと受信データが含まれていることを示す情報を格納します。実データは 8 ~ 31 ビットに格納します。

図 20.7 に送受信データと SIOTDR、SIORDR のビットアライメントを示します。

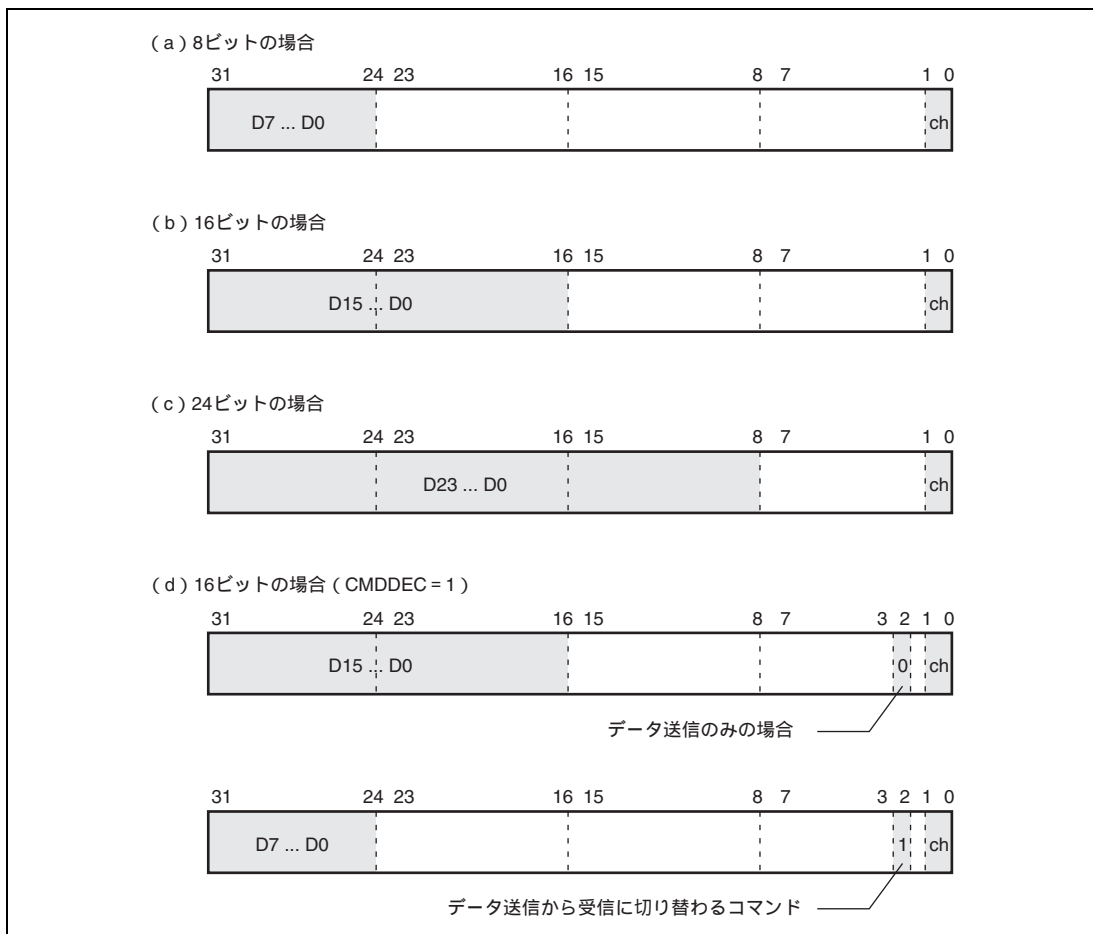


図 20.7 送受信データビットアライメント

【注】 図中、ハッチングの部分だけが有効なデータとして送受信されます。このため、8 ビットデータ時にもロングワードアクセスを行う必要があります。ハッチングが掛かっていない領域のデータは送受信の対象になりません。

## 20. シリアル I/O (SIO)

### 20.4.5 送受信手順

#### (1) 送信

図 20.8 に送信時の設定例および動作を示します。

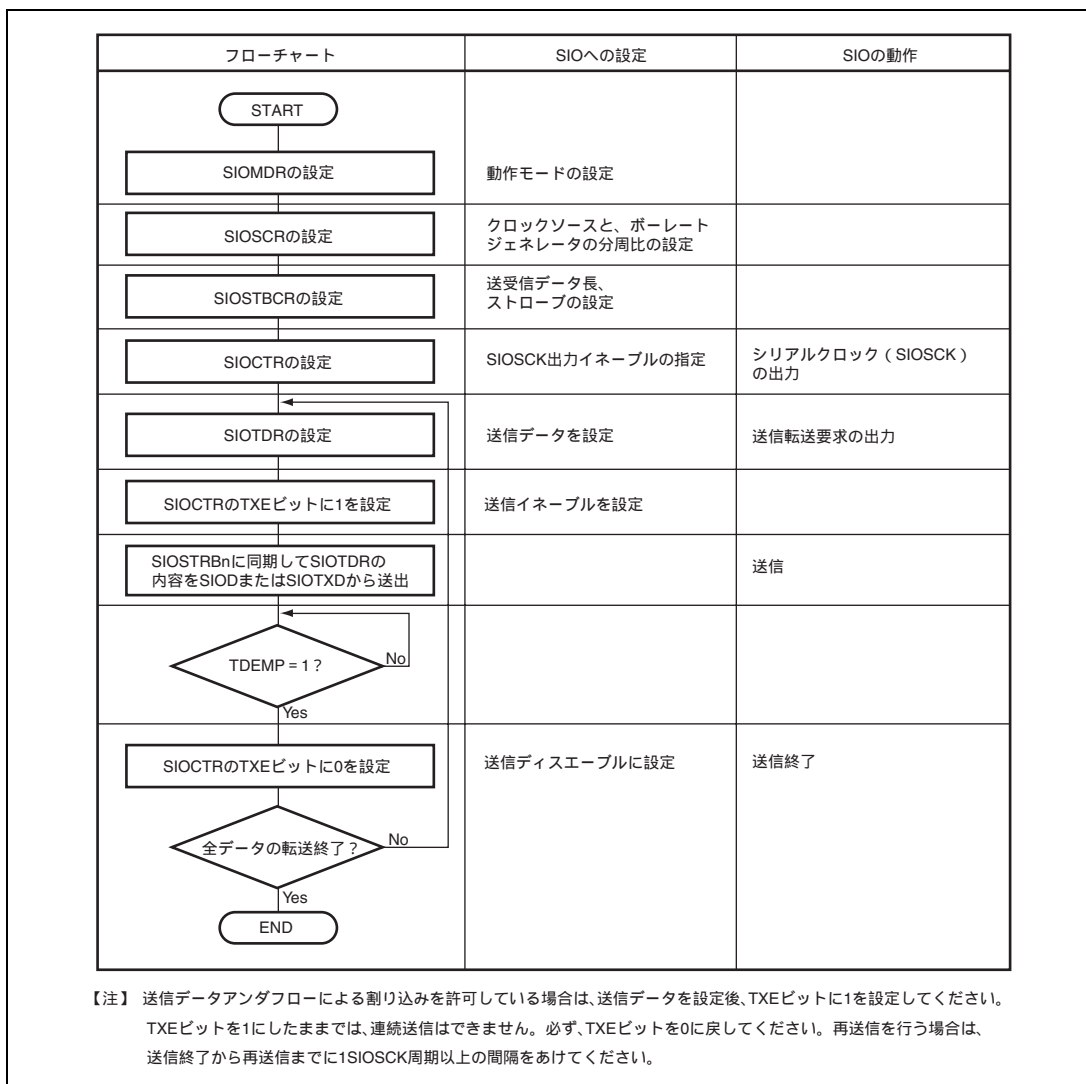


図 20.8 送信動作例

## (2) 受信

図 20.9 に受信時の設定例および動作を示します。

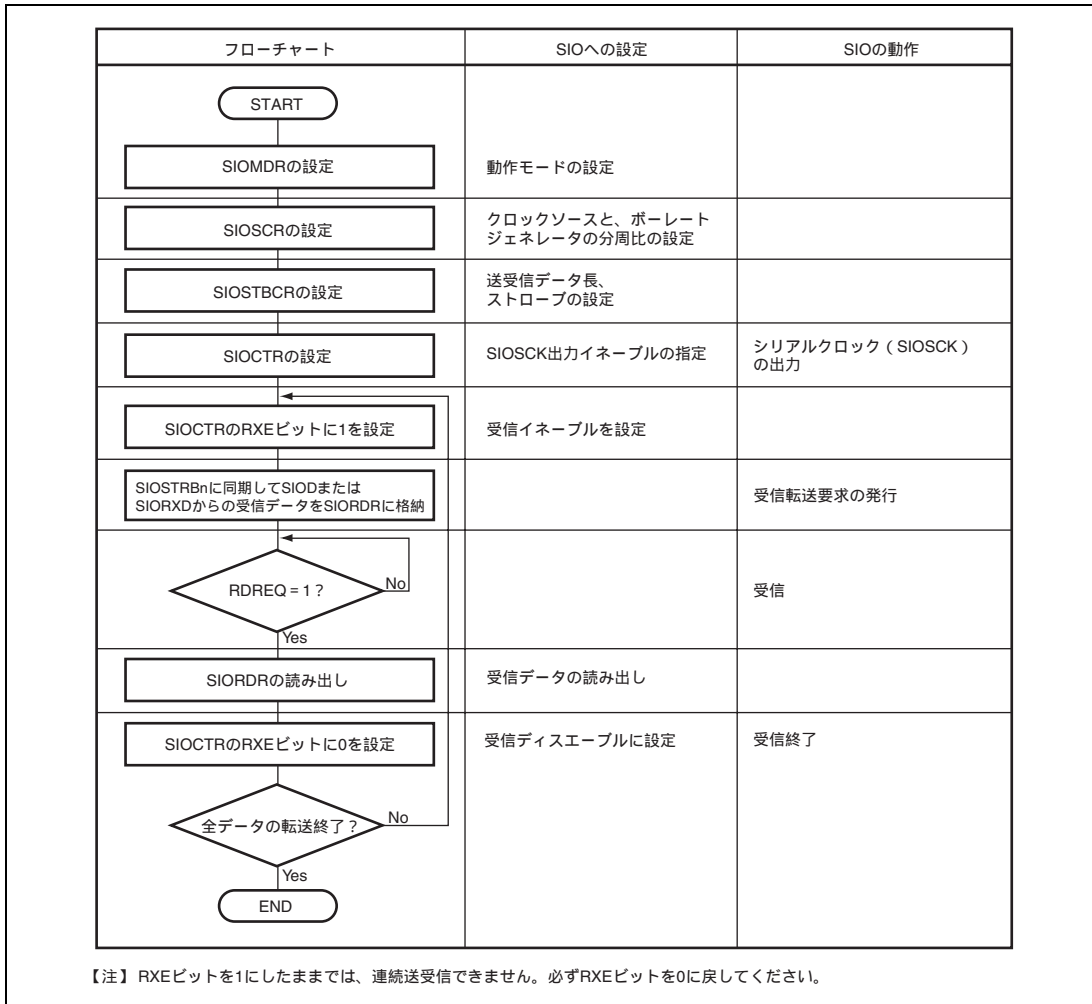


図 20.9 受信動作例

## 20. シリアル I/O (SIO)

### (3) 送受信リセット

SIO は、下記ビットに 1 を設定することにより、送信部と受信部を個別にリセットすることが可能です。

- 送信リセット：(SIOCTRのTXRSTビット)
- 受信リセット：(SIOCTRのRXRSTビット)

表 20.4 に送受信リセットで初期化されるレジスタおよびビットを示します。

表 20.4 送受信リセット

種類	初期化対象
送信リセット	送信バッファおよび SIOTDR SIOSTR の TDEMP ビット、TDREQ ビット SIOCTR の TXE ビット
受信リセット	受信バッファ SIOSTR の RDFUL ビット、RDREQ ビット SIOCTR の RXE ビット

### (4) モジュールスタンバイ

- SIOは、モジュールスタンバイ時には送受信動作を停止します。

## 20.4.6 割り込み

SIO は、1 種類の割り込みを持っています。

### (1) 割り込み要因

割り込みは、それぞれ複数の要因によって発行することができます。各要因は、SIOSTR に SIO ステータスとして表示します。表 20.5 に SIO 割り込み要因一覧を示します。

表 20.5 SIO 割り込み要因

No.	区分	ビット名	機能名称	内容
1	送信	TDREQ	送信データ転送要求	SIOTDR が空である
2		TDEMP	送信データエンプティ	SIOTDR と送信バッファが空である
3	受信	RDREQ	受信データ転送要求	SIORDR に有効データがある
4		RDFUL	受信データフル	SIORDR と受信バッファが満杯である
5	エラー	TDUDF	送信データアンダフロー	SIOTDR が空のときに SIOTDR 送出タイミングが来た
6		TDOVF	送信データオーバフロー	SIOTDR が満杯時に SIOTDR に書き込みを行った
7		RDOVF	受信データオーバフロー	SIORDR が満杯時にシリアルデータを受信した
8		RDUDF	受信データアンダフロー	SIORDR が空のときに受信データ読み出しを行った

割り込み要因によって割り込みを発行するか否かは、SIOIER への設定によって決定します。SIOIER の対応するビットに 1 が設定してある割り込み要因が 1 にセットされたときに、SIO 割り込みを発行します。

## (2) 送受信区分について

送信区分の要因、受信区分の要因は状態を表す信号であり、いったんセットされてもその後状態が変化すると SIO が自動的にクリアします。

## (3) エラー区分について

エラー区分はいったんセットされますと、SIOSTR の要因となったビットに 1 を書き込むことによってクリアできます。

## (4) エラー発生時の処理

SIOSTR にステータスとして表示する各エラー発生時、SIO は下記動作を行います。

- 送信データアンダフロー (TDUDF)
  - 直前の送信データを再び送出します。
- 送信データオーバフロー (TDOVF)
  - 送信データの内容は保護され、オーバフローとなった書き込みは無視します。
- 受信データオーバフロー (RDOVF)
  - オーバフローとなったデータが廃棄され、消失します。
- 受信データアンダフロー (RDUDF)
  - 不定値が読み出されます。

## 20.4.7 送受信タイミング

SIO のシリアル送受信の例を図 20.10 ~ 図 20.12 に示します。

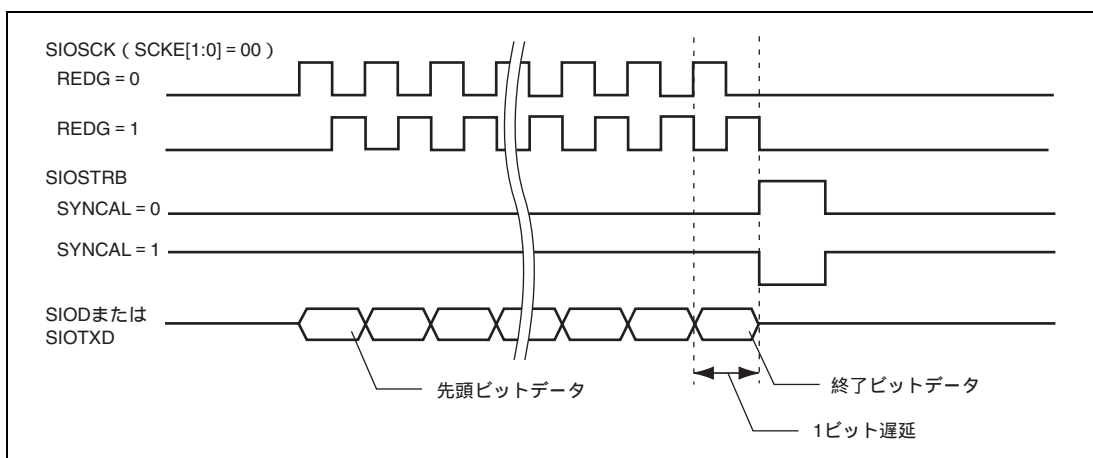


図 20.10 同期信号がパルスで後出しするタイプの送信

## 20. シリアル I/O (SIO)

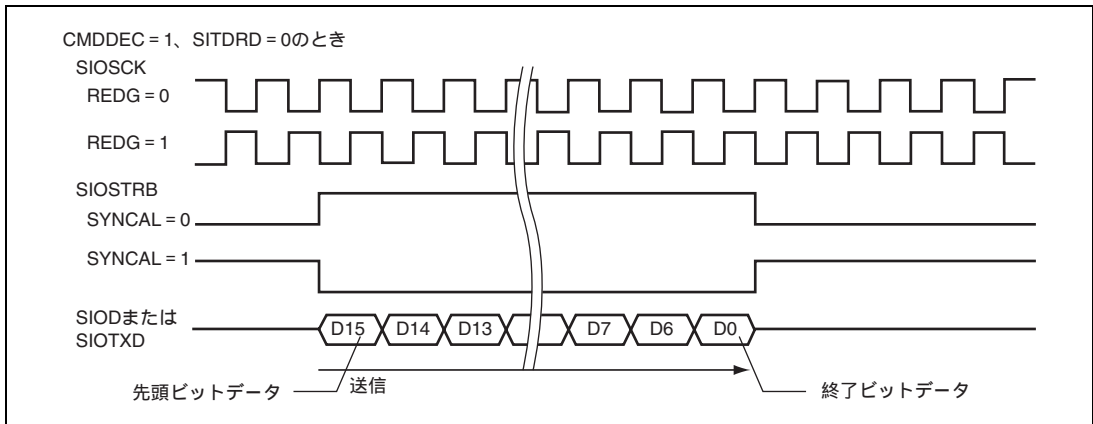


図 20.11 16 ビット長 BITLEN[3:0] = B'0101、レベル同期タイプ

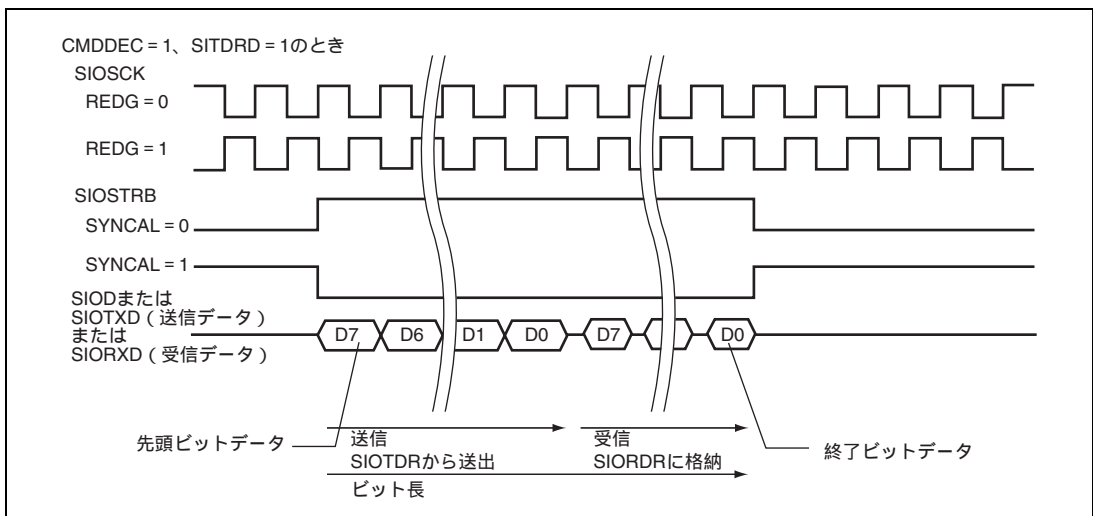


図 20.12 16 ビット長 BITLEN [3:0] = B'0101、送信から受信に切り換わるタイプ



---

## 21. シリアル I/O FIFO 付き (SIOF)

---

本 LSI は、FIFO 付きクロック同期シリアル I/O モジュール (SIOF) を 2 チャンネル内蔵しています。  
SIOF は、シリアルペリフェラルインタフェースバス (SPI) によるシリアル通信が可能です。

### 21.1 特長

- シリアル転送
  - FIFO容量32ビット×16段 (送受信独立)
  - 8ビット/16ビット/16ビットステレオ音声入出力に対応
  - データの送受信はMSBが先頭 (MSB First)
  - サンプリングレート最大48kHzに対応
  - 同期方法はフレーム同期パルス/左右チャンネル切り替えに対応
  - CODEC制御データインタフェースに対応
  - リニア/オーディオ/A-Law、 $\mu$ -Law CODECチップに接続可能
  - マスタ/スレーブ両モードに対応
- シリアルクロック
  - クロックソースとして外部端子入力と内部クロック (P ) からの選択が可能
- 割り込み: 1種類
- DMA転送
  - 送信の転送要求による、DMA転送を用いた送受信動作に対応
- SPIモード
  - マスタモード固定で、SPIスレーブデバイスと全二重による連続通信が可能
  - データサンプリングとしてSCKの立ち下がりエッジ/立ち上がりエッジを選択
  - 送信タイミングとしてSCKのクロックフェーズを選択
  - 3つのスレーブデバイスを選択可能
  - 送受信データ長は8ビット固定

## 21. シリアル I/O FIFO 付き (SIOF)

図 21.1 に SIOF のブロック図を示します。

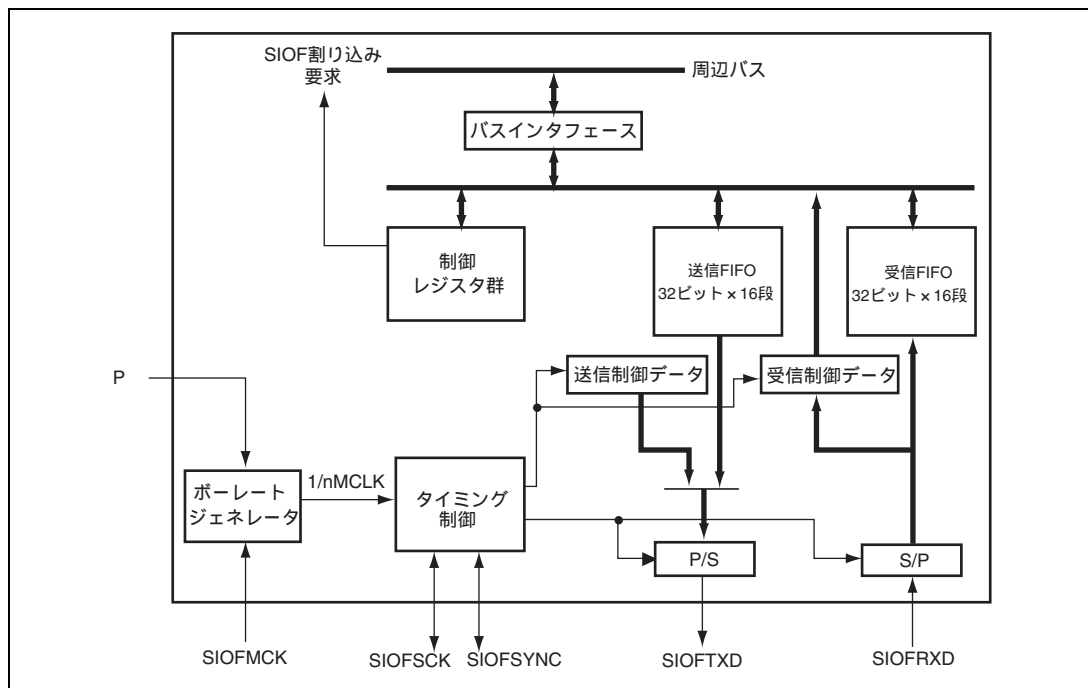


図 21.1 SIOF の 1 チャンネル分のブロック図

## 21.2 入出力端子

本モジュールの端子構成を表 21.1 に示します。

表 21.1 端子構成

チャンネル	端子名	略称* <sup>1</sup>	入出力	機能
0	SIOF0_MCK	SIOFMCK	入力	マスタクロック入力
	SIOF0_SCK (SCK)	SIOFSCK (SCK)	入出力* <sup>2</sup>	シリアルクロック (送受信共通)
	SIOF0_SYNC ( $\overline{SS0}$ )	SIOFSYNC ( $\overline{SS0}$ )	入出力* <sup>2</sup>	フレーム同期信号 (送受信共通) SPI モード時、スレーブデバイス 0 を選択
	$\overline{SIOF0\_SS1}$	( $\overline{SS1}$ )	出力	SPI モード時、スレーブデバイス 1 を選択
	SIOF0_SS2	(SS2)	出力	SPI モード時、スレーブデバイス 2 を選択
	SIOF0_TXD	SIOFTXD (MOSI)	出力	送信データ
	SIOF0_RXD	SIOFRXD (MISO)	入力	受信データ
1	SIOF1_MCK	SIOFMCK	入力	マスタクロック入力
	SIOF1_SCK (SCK)	SIOFSCK (SCK)	入出力* <sup>2</sup>	シリアルクロック (送受信共通)
	SIOF1_SYNC ( $\overline{SS0}$ )	SIOFSYNC ( $\overline{SS0}$ )	入出力* <sup>2</sup>	フレーム同期信号 (送受信共通) SPI モード時、スレーブデバイス 0 を選択
	$\overline{SIOF1\_SS1}$	( $\overline{SS1}$ )	出力	SPI モード時、スレーブデバイス 1 を選択
	SIOF1_SS2	(SS2)	出力	SPI モード時、スレーブデバイス 2 を選択
	SIOF1_TXD	SIOFTXD (MOSI)	出力	送信データ
	SIOF1_RXD	SIOFRXD (MISO)	入力	受信データ

【注】 \*1 本文中ではチャンネルを省略し、総合の略称として SIOFMCK、SIOFSCK、SIOFSYNC、SIOFTXD、SIOFRXD を使用します。また、SPI モードでは、SCK、 $\overline{SS0}$ 、 $\overline{SS1}$ 、SS2、MOSI、MISO の名称を使用します。

\*2 SPI モードでは、出力端子となります。

## 21. シリアル I/O FIFO 付き (SIOF)

### 21.3 レジスタの説明

SIOF のレジスタ構成を表 21.2 に示します。また、各処理モードにおけるレジスタの状態を表 21.3 に示します。

表 21.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
モードレジスタ 0	SIMDR0	R/W	H'A441 0000	16
クロックセレクトレジスタ 0	SISCR0	R/W	H'A441 0002	16
送信データアサインレジスタ 0	SITDAR0	R/W	H'A441 0004	16
受信データアサインレジスタ 0	SIRDAR0	R/W	H'A441 0006	16
制御データアサインレジスタ 0	SICDAR0	R/W	H'A441 0008	16
コントロールレジスタ 0	SICTR0	R/W	H'A441 000C	16
FIFO コントロールレジスタ 0	SIFCTR0	R/W	H'A441 0010	16
ステータスレジスタ 0	SISTR0	R/W	H'A441 0014	16
割り込み許可レジスタ 0	SIER0	R/W	H'A441 0016	16
送信データレジスタ 0	SITDR0	W	H'A441 0020	32
受信データレジスタ 0	SIRDR0	R	H'A441 0024	32
送信制御データレジスタ 0	SITCR0	R/W	H'A441 0028	32
受信制御データレジスタ 0	SIRCR0	R/W	H'A441 002C	32
SPI 制御レジスタ 0	SPICR0	R/W	H'A441 0030	16
モードレジスタ 1	SIMDR1	R/W	H'A442 0000	16
クロックセレクトレジスタ 1	SISCR1	R/W	H'A442 0002	16
送信データアサインレジスタ 1	SITDAR1	R/W	H'A442 0004	16
受信データアサインレジスタ 1	SIRDAR1	R/W	H'A442 0006	16
制御データアサインレジスタ 1	SICDAR1	R/W	H'A442 0008	16
コントロールレジスタ 1	SICTR1	R/W	H'A442 000C	16
FIFO コントロールレジスタ 1	SIFCTR1	R/W	H'A442 0010	16
ステータスレジスタ 1	SISTR1	R/W	H'A442 0014	16
割り込み許可レジスタ 1	SIER1	R/W	H'A442 0016	16
送信データレジスタ 1	SITDR1	W	H'A442 0020	32
受信データレジスタ 1	SIRDR1	R	H'A442 0024	32
送信制御データレジスタ 1	SITCR1	R/W	H'A442 0028	32
受信制御データレジスタ 1	SIRCR1	R/W	H'A442 002C	32
SPI 制御レジスタ 1	SPICR1	R/W	H'A442 0030	16

表 21.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
SIMDR0	初期化	初期化	保持	保持	初期化	保持
SISCR0	初期化	初期化	保持	保持	初期化	保持
SITDAR0	初期化	初期化	保持	保持	初期化	保持
SIRDAR0	初期化	初期化	保持	保持	初期化	保持
SICDAR0	初期化	初期化	保持	保持	初期化	保持
SICTR0	初期化	初期化	保持	保持	初期化	保持
SIFCTR0	初期化	初期化	保持	保持	初期化	保持
SISTR0	初期化	初期化	保持	保持	初期化	保持
SIIER0	初期化	初期化	保持	保持	初期化	保持
SITDR0	不定	不定	保持	保持	不定	保持
SIRDRO	不定	不定	保持	保持	不定	保持
SITCR0	初期化	初期化	保持	保持	初期化	保持
SIRCR0	不定	不定	保持	保持	不定	保持
SPICR0	初期化	初期化	保持	保持	初期化	保持
SIMDR1	初期化	初期化	保持	保持	初期化	保持
SISCR1	初期化	初期化	保持	保持	初期化	保持
SITDAR1	初期化	初期化	保持	保持	初期化	保持
SIRDAR1	初期化	初期化	保持	保持	初期化	保持
SICDAR1	初期化	初期化	保持	保持	初期化	保持
SICTR1	初期化	初期化	保持	保持	初期化	保持
SIFCTR1	初期化	初期化	保持	保持	初期化	保持
SISTR1	初期化	初期化	保持	保持	初期化	保持
SIIER1	初期化	初期化	保持	保持	初期化	保持
SITDR1	不定	不定	保持	保持	不定	保持
SIRDRI	不定	不定	保持	保持	不定	保持
SITCR1	初期化	初期化	保持	保持	初期化	保持
SIRCR1	不定	不定	保持	保持	不定	保持
SPICR1	初期化	初期化	保持	保持	初期化	保持

## 21. シリアル I/O FIFO 付き (SIOF)

### 21.3.1 モードレジスタ 0、1 (SIMDR0、SIMDR1)

SIMDR は、読み出し/書き込み可能な 16 ビットのレジスタで、SIOF の動作モードを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRMD[1:0]		SYNCAT	REDG	FL[3:0]			TXDIZ	RCIM	SYNCAC	SYNCDL	—	—	—	—	
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	TRMD[1:0]	10	R/W	転送モード 1、0 表 21.4 に示す転送モードを選択します。 00: スleepモード 1 01: スleepモード 2 10: マスタモード 1 11: マスタモード 2
13	SYNCAT	0	R/W	SIOFSYNC 端子有効タイミング SIOFSYNC 信号を同期パルスで出力する場合の出力位置を示します。 0: フレームの先頭ビットデータ 1: スロットの最終ビットデータ
12	REDG	0	R/W	受信データサンプリングエッジ 0: SIOFRXD を SIOFSCK の立ち下がりエッジでサンプリングする 1: SIOFRXD を SIOFSCK の立ち上がりエッジでサンプリングする <b>【注】</b> SIOFTXD の送出タイミングは、SIOFRXD をサンプリングするエッジに対して反対のエッジとなります。また、本ビットは、マスタモード時のみ有効となります。スleeプモード時では、1 ビット遅延なし (SYNCDL=0) の場合は立ち上がりエッジでサンプリング、1 ビット遅延あり (SYNCDL=1) の場合は立ち下がりエッジでサンプリングとなります。
11~8	FL[3:0]	0000	R/W	フレーム長 3~0 00xx: データ長は 8 ビット、フレーム長は 8 ビット 0100: データ長は 8 ビット、フレーム長は 16 ビット 0101: データ長は 8 ビット、フレーム長は 32 ビット 0110: データ長は 8 ビット、フレーム長は 64 ビット 0111: データ長は 8 ビット、フレーム長は 128 ビット 10xx: データ長は 16 ビット、フレーム長は 16 ビット 1100: データ長は 16 ビット、フレーム長は 32 ビット 1101: データ長は 16 ビット、フレーム長は 64 ビット 1110: データ長は 16 ビット、フレーム長は 128 ビット 1111: データ長は 16 ビット、フレーム長は 256 ビット <b>【注】</b> データ長 8 ビットを選択した場合、制御データの送受信は行えません。 x: Don't care

21. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
7	TXDIZ	0	R/W	送信無効時* SIOFTXD 端子の出力 0: 無効時 1 出力 1: 無効時ハイインピーダンス状態 【注】* 無効時とは、ディスエーブル時および送信データ、制御データとして割り当てていないスロットを送出する場合です。
6	RCIM	0	R/W	受信制御データ割り込みモード 0: SIRCR の内容が変化したときに SISTR の RCRDY ビットをセットする 1: SIRCR への制御データ受信タイミングごとに SISTR の RCRDY ビットをセットする
5	SYNCAC	0	R/W	SIOFSYNC 端子極性 SIOFSYNC 信号を同期パルスで出力する場合に有効となります。 0: ハイアクティブ 1: ローアクティブ
4	SYNCDL	0	R/W	SIOFSYNC 端子に対しデータ端子ビットの遅延 SIOFSYNC 信号が同期パルスの場合に有効となります。また、スレープモード時での送信時は 1 ビット遅延のみ有効です。 0: ビット遅延なし 1: 1 ビット遅延
3~0		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 21.4 に、転送モードごとの動作を示します。

表 21.4 転送モードごとの動作

転送モード	マスタ/スレープ	SIOFSYNC	ビット遅延	制御データ方式*
スレープモード 1	スレープ	同期パルス	SYNCDL ビット	スロット位置
スレープモード 2	スレープ	同期パルス		セカンダリ FS
マスタモード 1	マスタ	同期パルス		スロット位置
マスタモード 2	マスタ	L/R	なし	非対応

【注】 \* 制御データ方式については、FL ビットに B'1xxx を設定した場合に有効となります。(x: Don't care)

## 21. シリアル I/O FIFO 付き (SIOF)

### 21.3.2 コントロールレジスタ 0、1 (SICTR0、SICTR1)

SICTR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF の動作状態を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKE	FSE	—	—	—	—	TXE	RXE	—	—	—	—	—	—	TXRST	RXRST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SCKE	0	R/W	シリアルクロック出力イネーブル 本ビットはマスタモード時に有効となります。 0: SIOFSCK の出力を禁止 (0 を出力する) 1: SIOFSCK の出力を許可 • 本ビットに 1 を設定すると、SIOF はポーレートジェネレータを初期化し、動作を開始すると同時に SIOFSCK にポーレートジェネレータで生成したクロックを出力します。
14	FSE	0	R/W	フレーム同期信号出力イネーブル 本ビットはマスタモード時に有効となります。 0: SIOFSYNC の出力を禁止 (0 を出力する) 1: SIOFSYNC の出力を許可 • 本ビットに 1 を設定すると、SIOF はフレームカウンタを初期化し、動作を開始します。
13~10		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TXE	0	R/W	送信イネーブル 0: SIOFTXD からのデータ送出を禁止 1: SIOFTXD からのデータ送出を許可 • 本ビットへの設定は、次のフレーム先頭(フレーム同期信号の立ち上がり)時に有効となります。 • 本ビットへの 1 設定が有効になると、SIOF は SIFCTR の TFWM ビットの設定に従い、送信転送要求を発行します。送信 FIFO にデータが格納されると、SIOFTXD から送信データの送出を開始します。 • 送信リセット時に初期化されます。



## 21. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
8	RXE	0	R/W	<p>受信イネーブル</p> <p>0 : SIOFRXD からのデータ受信を禁止 1 : SIOFRXD からのデータ受信を許可</p> <ul style="list-style-type: none"> <li>• 本ビットへの設定は、次のフレーム先頭(フレーム同期信号の立ち上がり)時に有効となります。</li> <li>• 本ビットへの1設定が有効になると、SIOFはSIOFRXDからの受信データの取り込みを開始します。受信FIFOにデータが格納されると、SIFCTRのRFWMビットの設定に従い、受信転送要求を発行します。</li> <li>• 受信リセット時に初期化されます。</li> </ul>
7~2		すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1	TXRST	0	R/W	<p>送信リセット</p> <p>0 : 送信動作をリセットしない 1 : 送信動作をリセットする</p> <ul style="list-style-type: none"> <li>• 本ビットへの設定は、直ちに有効となります。</li> <li>• 本ビットへの1設定が有効になると、SIOFは直ちにSIOFTXDからの送信データを1とし、送信関連のステータスを初期化します。初期化の対象は下記のレジスタとビットです。 <ol style="list-style-type: none"> <li>1. 送信FIFOライトポインタ</li> <li>2. SISTRのTCRDY、TFEMP、TDREQビット</li> </ol> </li> <li>• 本ビットはリセット動作を完了するとSIOFが自動的にクリアするため、読み出し時の値は常に0です。</li> </ul>
0	RXRST	0	R/W	<p>受信リセット</p> <p>0 : 受信動作をリセットしない 1 : 受信動作をリセットする</p> <ul style="list-style-type: none"> <li>• 本ビットへの設定は、直ちに有効となります。</li> <li>• 本ビットへの1設定が有効になると、SIOFはSIOFRXDからの受信を停止し、受信関連のステータスを初期化します。初期化の対象は下記のレジスタとビットです。 <ol style="list-style-type: none"> <li>1. 受信FIFOリードポインタ</li> <li>2. SISTRのRCRDY、RFFUL、RDREQビット</li> </ol> </li> <li>• 本ビットはリセット動作を完了するとSIOFが自動的にクリアするため、読み出し時の値は常に0です。</li> </ul>

## 21. シリアル I/O FIFO 付き (SIOF)

### 21.3.3 送信データレジスタ 0、1 (SITDR0、SITDR1)

SITDR は、書き込み専用の 32 ビットのレジスタで、SIOF の動作状態を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SITDL[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SITDR[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~16	SITDL[15:0]	不定	W	左チャンネル送信データ 左チャンネルデータとして SIOFTXD から送出するデータを設定します。送信フレームにおける左チャンネルデータの位置は、SITDAR の TDLA ビットへの設定値に従います。 ・本ビットは SITDAR の TDLE ビットに 1 を設定した場合に有効となります。
15~0	SITDR[15:0]	不定	W	右チャンネル送信データ 右チャンネルデータとして SIOFTXD から送出するデータを設定します。送信フレームにおける右チャンネルデータの位置は、SITDAR の TDRA ビットへの設定値に従います。 ・本ビットは SITDAR の TDRE ビットに 1 で、かつ SITDAR の TLREP ビットに 0 を設定した場合に有効となります。

### 21.3.4 受信データレジスタ 0、1 (SIRDRO、SIRDRI)

SIRDRI は、読み出し専用の 32 ビットのレジスタで、SIOF の受信データの読み出しを行います。本レジスタには受信 FIFO のデータが格納されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SIRDRI[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIRDRO[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	SIRDL[15:0]	不定	R	左チャンネル受信データ 左チャンネルデータとして SIOFRXD から受信したデータを格納します。受信フレームにおける左チャンネルデータの位置は、SIRDAR の RDLA ビットへの設定値に従います。 • 本ビットは SIRDAR の RDLE ビットに 1 を設定した場合に有効となります。
15~0	SIRDR[15:0]	不定	R	右チャンネル受信データ 右チャンネルデータとして SIOFRXD から受信したデータを格納します。受信フレームにおける右チャンネルデータの位置は、SIRDAR の RDRA ビットへの設定値に従います。 • 本ビットは SIRDAR の RDRE ビットに 1 を設定した場合に有効となります。

### 21.3.5 送信制御データレジスタ 0、1 (SITCR0、SITCR1)

SITCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、SIOF の送信制御データを設定します。本レジスタへの設定は、SIMDR の FL ビットに B'1xxx (x : Don't care) を設定したときに有効となります。

本レジスタは、表 21.3 に示す初期化条件のほか、SICTR の TXRST ビットにより送信リセットされた場合も、初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SITCR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SITCR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	SITCR0[15:0]	H'0000	R/W	制御 0 チャンネル送信データ 制御 0 チャンネル送信データとして SIOFTXD から送出するデータを設定します。送受信フレームにおける制御 0 チャンネルデータの位置は、SICDAR の CD0A ビットへの設定値に従います。 • 本ビットは SICDAR の CD0E ビットに 1 を設定した場合に有効となります。
15~0	SITCR1[15:0]	H'0000	R/W	制御 1 チャンネル送信データ 制御 1 チャンネル送信データとして SIOFTXD から送出するデータを設定します。送受信フレームにおける制御 1 チャンネルデータの位置は、SICDAR の CD1A ビットへの設定値に従います。 • 本ビットは SICDAR の CD1E ビットに 1 を設定した場合に有効となります。

## 21. シリアル I/O FIFO 付き (SIOF)

### 21.3.6 受信制御データレジスタ 0、1 (SIRCR0、SIRCR1)

SIRCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、SIOF の受信制御データが格納されます。本レジスタへの設定は、SIMDR の FL ビットに B'1xxx (x : Don't care) を設定したときに有効となります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SIRCR0[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIRCR1[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	SIRCR0[15:0]	不定	R/W	制御 0 チャネル受信データ 制御 0 チャネル受信データとして SIOFRXD から受信したデータを格納します。送受信フレームにおける制御 0 チャネルデータの位置は、SICDAR の CD0A ビットへの設定値に従います。 ・本ビットは SICDAR の CD0E ビットに 1 を設定した場合に有効となります。
15~0	SIRCR1[15:0]	不定	R/W	制御 1 チャネル受信データ 制御 1 チャネル受信データとして SIOFRXD から受信したデータを格納します。送受信フレームにおける制御 1 チャネルデータの位置は、SICDAR の CD1A ビットへの設定値に従います。 ・本ビットは SICDAR の CD1E ビットに 1 を設定した場合に有効となります。

### 21.3.7 ステータスレジスタ 0、1 (SISTR0、SISTR1)

SISTR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF の状態を表示します。本レジスタの各ビットは、SIER の対応するビットに 1 を設定した場合に、SIOF の割り込み要因となります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TCRDY	TFEMP	TDREQ	—	RCRDY	RFFUL	RDREQ	—	—	SAERR	FSERR	TFOVF	TFUDF	RFUDF	RFOVF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 21. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
14	TCRDY	0	R	<p>送信制御データレディ</p> <p>0 : SITCR への書き込みが可能でない 1 : SITCR への書き込みが可能である</p> <ul style="list-style-type: none"> <li>• 本ビットが 0 時に SITCR への書き込みを行うと SICTR は上書きされ、以前の内容は SIOFTXD から送出されません。</li> <li>• 本ビットは SICTR の TXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、SITCR への書き込みを行うと SIOF がクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
13	TFEMP	0	R	<p>送信 FIFO エンプティ</p> <p>0 : 送信 FIFO が空でない 1 : 送信 FIFO が空である</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、SITDR への書き込みが行われると SIOF がクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
12	TDREQ	0	R	<p>送信データ転送リクエスト</p> <p>0 : 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値を超えていない 1 : 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値を超えた</p> <p>送信データ転送リクエストは、送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値を超えたときに発行します。</p> <p>DMAC による送信データ転送を用いる場合には、DMAC による 1 回のアクセスによって、本ビットは必ずクリアされます。DMAC アクセス後も本ビットの設定条件が満たされている場合には、SIOF は再び本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値よりも少なくなると SIOF がクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

## 21. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
10	RCRDY	0	R	<p>受信制御データレディ</p> <p>0 : SIRCR に有効データが格納されていない 1 : SIRCR に有効データが格納されている</p> <ul style="list-style-type: none"> <li>• 本ビットが 1 のときに再び SIRCR への有効データの書き込みが発生した場合、SIRCR には最新のデータが上書きされます。</li> <li>• 本ビットは SICTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、SIRCR の読み出しを行うと SIOF がクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
9	RFFUL	0	R	<p>受信 FIFO フル</p> <p>0 : 受信 FIFO が満杯でない 1 : 受信 FIFO が満杯である</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、SIRDR の読み出しを行うと SIOF がクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
8	RDREQ	0	R	<p>受信データ転送リクエスト</p> <p>0 : 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値を超えていない 1 : 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値を超えた</p> <p>受信データ転送リクエストは、受信 FIFO の有効データ領域が SIFCTR の RFWM ビットによる設定値を超えたときに発行します。</p> <p>DMAC による送信データ転送を用いる場合には、DMAC による 1 回のアクセスによって、本ビットは必ずクリアされます。DMAC アクセス後も本ビットの設定条件が満たされている場合には、SIOF は再び本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、受信 FIFO の有効データ領域が SIFCTR の RFWM ビットによる設定値よりも少なくなると SIOF がクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
7、6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

## 21. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
5	SAERR	0	R/W	<p>スロットアサインエラー</p> <p>0 : スロットアサインエラー未発生 1 : スロットアサインエラー発生</p> <p>スロットアサインエラーとは、SITDAR、SIRDAR、SICDAR の設定に重複があったことを表します。</p> <p>スロットアサインエラー発生時、SIOF は SIOFTXD への送信および SIOFRXD からの受信を行いません。ただし、SICTR の TXE ビット、RXE ビットのクリアは行いません。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットもしくは RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
4	FSERR	0	R/W	<p>フレーム同期エラー</p> <p>0 : フレーム同期エラー未発生 1 : フレーム同期エラー発生</p> <p>フレーム同期エラーとは、転送データ、制御データの送受信完了前に、次のフレーム同期タイミングとなったことを表します。</p> <p>フレーム同期エラー発生時、SIOF は転送可能なスロットに対してのみ送受信を行います。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットもしくは RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
3	TFOVF	0	R/W	<p>送信 FIFO オーバフロー</p> <p>0 : 送信 FIFO オーバフロー未発生 1 : 送信 FIFO オーバフロー発生</p> <p>送信 FIFO オーバフローとは、送信 FIFO が満杯時に SITDR への書き込みが発生したことを表します。</p> <p>送信 FIFO オーバフロー時、SIOF はオーバフローとなった書き込みを無効とします。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>

## 21. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
2	TFUDF	0	R/W	<p>送信 FIFO アンダフロー</p> <p>0: 送信 FIFO アンダフロー未発生 1: 送信 FIFO アンダフロー発生</p> <p>送信 FIFO アンダフローとは、送信 FIFO が空時に送信動作によるロードが発生したことを表します。</p> <p>送信 FIFO アンダフロー時、SIOF は前回送出データを繰り返して送出します。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
1	RFUDF	0	R/W	<p>受信 FIFO アンダフロー</p> <p>0: 受信 FIFO アンダフロー未発生 1: 受信 FIFO アンダフロー発生</p> <p>受信 FIFO アンダフローとは、受信 FIFO が空時に SIRDR の読み出しが発生したことを表します。</p> <p>受信 FIFO アンダフロー時、SIRDR から読み出したデータの値は保証しません。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
0	RFOVF	0	R/W	<p>受信 FIFO オーバフロー</p> <p>0: 受信 FIFO オーバフロー未発生 1: 受信 FIFO オーバフロー発生</p> <p>受信 FIFO オーバフローとは、受信 FIFO が満杯時に受信動作による書き込みが発生したことを表します。</p> <p>受信 FIFO オーバフロー時、オーバーフローとなった受信データは消失します。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>



## 21.3.8 割り込み許可レジスタ 0、1 (SIER0、SIER1)

SIER は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF 割り込みの発行を許可します。本レジスタの各ビットに 1 を設定した場合に、SISTR の対応するビットに 1 がセットされると、SIOF は割り込みを発行します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDMAE	TCRDYE	TFEMPE	TDREQE	RDMAE	RCRDYE	RFFULE	RDREQE	—	—	SAERRE	FSERRE	TFOVFE	TFUDFE	RFUDFE	RFOVFE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TDMAE	0	R/W	送信データ DMA 転送要求イネーブル 割り込みを CPU への割り込み / DMA 転送要求として伝えます。要因としては、TDREQE が設定できます。 0 : CPU への割り込みとして使用 1 : DMAC への DMA 転送要求として使用
14	TCRDYE	0	R/W	送信制御データレディイネーブル 0 : 送信制御データレディによる割り込みを禁止 1 : 送信制御データレディによる割り込みを許可
13	TFEMPE	0	R/W	送信 FIFO エンプティイネーブル 0 : 送信エンプティによる割り込みを禁止 1 : 送信エンプティによる割り込みを許可
12	TDREQE	0	R/W	送信データ転送リクエストイネーブル 0 : 送信データ転送リクエストによる割り込みを禁止 1 : 送信データ転送リクエストによる割り込みを許可
11	RDMAE	0	R/W	受信データ DMA 転送要求イネーブル 割り込みを CPU への割り込み / DMA 転送要求として伝えます。要因としては、RDREQE が設定できます。 0 : CPU への割り込みとして使用 1 : DMAC への DMA 転送要求として使用
10	RCRDYE	0	R/W	受信制御データレディイネーブル 0 : 受信制御データレディによる割り込みを禁止 1 : 受信制御データレディによる割り込みを許可
9	RFFULE	0	R/W	受信 FIFO フルイネーブル 0 : 受信 FIFO フルによる割り込みを禁止 1 : 受信 FIFO フルによる割り込みを許可
8	RDREQE	0	R/W	受信データ転送リクエストイネーブル 0 : 受信データ転送リクエストによる割り込みを禁止 1 : 受信データ転送リクエストによる割り込みを許可

## 21. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SAERRE	0	R/W	スロットアサインエラーイネーブル 0 : スロットアサインエラーによる割り込みを禁止 1 : スロットアサインエラーによる割り込みを許可
4	FSEERRE	0	R/W	フレーム同期エラーイネーブル 0 : フレーム同期エラーによる割り込みを禁止 1 : フレーム同期エラーによる割り込みを許可
3	TFOVFE	0	R/W	送信 FIFO オーバフローイネーブル 0 : 送信 FIFO オーバフローによる割り込みを禁止 1 : 送信 FIFO オーバフローによる割り込みを許可
2	TFUDFE	0	R/W	送信 FIFO アンダフローイネーブル 0 : 送信 FIFO アンダフローによる割り込みを禁止 1 : 送信 FIFO アンダフローによる割り込みを許可
1	RFUDFE	0	R/W	受信 FIFO アンダフローイネーブル 0 : 受信 FIFO アンダフローによる割り込みを禁止 1 : 受信 FIFO アンダフローによる割り込みを許可
0	RFOVFE	0	R/W	受信 FIFO オーバフローイネーブル 0 : 受信 FIFO オーバフローによる割り込みを禁止 1 : 受信 FIFO オーバフローによる割り込みを許可

### 21.3.9 FIFO コントロールレジスタ 0、1 (SIFCTR0、SIFCTR1)

SIFCTR は、読み出し / 書き込み可能な 16 ビットのレジスタで、送受信 FIFO の転送が可能なエリアを表示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TFWM[2:0]			TFUA[4:0]				RFWM[2:0]			RFUA[4:0]					
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R

21. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
15~13	TFWM[2:0]	000	R/W	送信 FIFO ウォータマーク 000 : 送信 FIFO の空き領域が 16 段のときに転送要求を発行する 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : 送信 FIFO の空き領域が 12 段以上のときに転送要求を発行する 101 : 送信 FIFO の空き領域が 8 段以上のときに転送要求を発行する 110 : 送信 FIFO の空き領域が 4 段以上のときに転送要求を発行する 111 : 送信 FIFO の空き領域が 1 段以上のときに転送要求を発行する • 送信 FIFO の転送要求は、SISTR の TDREQE ビットで行います。 • 本ビットへの設定にかかわらず、送信 FIFO は常に 16 段の FIFO として動作を行います。
12~8	TFUA[4:0]	10000	R	送信 FIFO 使用可能エリア CPU または DMAC が転送可能な語数を B'00000 (満杯) ~ B'10000 (空) で表示します。
7~5	RFWM[2:0]	000	R/W	受信 FIFO ウォータマーク 000 : 受信 FIFO の有効データ領域が 1 段以上のときに転送要求を発行する 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : 受信 FIFO の有効データ領域が 4 段以上のときに転送要求を発行する 101 : 受信 FIFO の有効データ領域が 8 段以上のときに転送要求を発行する 110 : 受信 FIFO の有効データ領域が 12 段以上のときに転送要求を発行する 111 : 受信 FIFO の有効データ領域が 16 段のときに転送要求を発行する • 受信 FIFO の転送要求は、SISTR の RDREQE ビットで行います。 • 本ビットへの設定にかかわらず、受信 FIFO は常に 16 段の FIFO として動作を行います。
4~0	RFUA[4:0]	00000	R	受信 FIFO 使用可能エリア CPU または DMAC が転送可能な語数を B'00000 (空) ~ B'10000 (満杯) で表示します。

## 21. シリアル I/O FIFO 付き (SIOF)

### 21.3.10 クロックセレクトレジスタ 0、1 (SISCR0、SISCR1)

SISCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、マスタ時のシリアルクロック生成条件を設定します。本レジスタへの設定は、SIMDR の TRMD[1:0] ビットに B'10 もしくは B'11 が設定されているときに有効です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSEL	MSIMM	—	BRPS[4:0]				—	—	—	—	—	BRDV[2:0]			
初期値:	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	MSEL	1	R/W	マスタクロックソース選択 マスタクロックとは、ボーレートジェネレータに入力するクロックを指します。 0: マスタクロックとして SIOFMCK 端子入力信号を使用 1: マスタクロックとして P を使用
14	MSIMM	1	R/W	マスタクロック直接選択 0: シリアルクロックとしてボーレートジェネレータ出力クロックを使用 1: シリアルクロックとしてマスタクロックをそのまま使用
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	BRPS[4:0]	00000	R/W	プリスケアラ設定 ボーレートジェネレータのプリスケアラのカウンタ値によりマスタクロックの分周比を設定します。 設定の範囲は B'00000 (×1/1) ~ B'11111 (×1/32) となります。
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	BRDV[2:0]	000	R/W	ボーレートジェネレータ分周比 ボーレートジェネレータにおける出力段の分周比を設定します。 000: プリスケアラ出力 × 1/2 001: プリスケアラ出力 × 1/4 010: プリスケアラ出力 × 1/8 011: プリスケアラ出力 × 1/16 100: プリスケアラ出力 × 1/32 101: 設定禁止 110: 設定禁止 111: プリスケアラ出力 × 1/1 • 111 は BRPS[4:0] ビットが B'00000 または B'00001 の場合のみ設定可能です。 • ボーレートジェネレータの最終分周比は、BRPS × BRDV で決定します (最大 1/1024)。

## 21.3.11 送信データアサインレジスタ 0、1 (SITDAR0、SITDAR1)

SITDAR は、読み出し/書き込み可能な 16 ビットのレジスタで、フレーム内の送信データ位置を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDLE	—	—	—	TDLA[3:0]			TDRE	TLREP	—	—	TDRA[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TDLE	0	R/W	送信左チャンネルデータイネーブル 0: 左チャンネルデータの送信を許可しない 1: 左チャンネルデータの送信を許可する
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~8	TDLA[3:0]	0000	R/W	送信左チャンネルデータアサイン 3~0 送信フレームにおける左チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111: 設定禁止 • 左チャンネルデータの送信データは SITDR の SITDL ビットに設定します。
7	TDRE	0	R/W	送信右チャンネルデータイネーブル 0: 右チャンネルデータの送信を許可しない 1: 右チャンネルデータの送信を許可する
6	TLREP	0	R/W	送信左チャンネルリピート 0: 右チャンネルデータとして SITDR の SITDR ビット設定値を送出する 1: 右チャンネルデータとして SITDR の SITDL ビット設定値を繰り返して送出的 • 本ビットの設定は TDRE ビットが 1 のとき有効となります。 • ビットに 1 を設定した場合、SITDR への設定は無視されます。
5, 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	TDRA[3:0]	0000	R/W	送信右チャンネルデータアサイン 3~0 送信フレームにおける右チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111: 設定禁止 • 右チャンネルデータの送信データは SITDR の SITDR ビットに設定します。

## 21. シリアル I/O FIFO 付き (SIOF)

### 21.3.12 受信データアサインレジスタ 0、1 (SIRDAR0、SIRDAR1)

SIRDAR は、読み出し/書き込み可能な 16 ビットのレジスタで、フレーム内の受信データ位置を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDLE	—	—	—	RDLA[3:0]			RDRE	—	—	—	RDRA[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RDLE	0	R/W	受信左チャンネルデータイネーブル 0: 左チャンネルデータの受信を許可しない 1: 左チャンネルデータの受信を許可する
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~8	RDLA[3:0]	0000	R/W	受信左チャンネルデータアサイン 3~0 受信フレームにおける左チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111: 設定禁止 • 左チャンネルデータの受信データは SIRDAR の SIRDLE ビットに格納されま す。
7	RDRE	0	R/W	受信右チャンネルデータイネーブル 0: 右チャンネルデータの受信を許可しない 1: 右チャンネルデータの受信を許可する
6~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	RDRA[3:0]	0000	R/W	受信右チャンネルデータアサイン 3~0 受信フレームにおける右チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111: 設定禁止 • 右チャンネルデータの受信データは SIRDAR の SIRDRE ビットに格納されま す。

## 21.3.13 制御データアサインレジスタ 0、1 (SICDAR0、SICDAR1)

SICDAR は、読み出し/書き込み可能な 16 ビットのレジスタで、フレーム内の制御データ位置を設定します。本レジスタへの設定は、SIMDR の FL ビットに B'1xxx (x : Don't care) を設定したときに有効となります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD0E	—	—	—	CD0A[3:0]				CD1E	—	—	—	CD1A[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	CD0E	0	R/W	制御 0 チャンネルデータイネーブル 0 : 制御 0 チャンネルデータの送受信を許可しない 1 : 制御 0 チャンネルデータの送受信を許可する
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~8	CD0A[3:0]	0000	R/W	制御 0 チャンネルデータアサイン 3~0 送受信フレームにおける制御 0 チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 制御 0 チャンネルデータの送信データは SITCR の SITD0 ビットに設定します。 • 制御 0 チャンネルデータの受信データは SIRCR の SIRD0 ビットに格納されます。
7	CD1E	0	R/W	制御 1 チャンネルデータイネーブル 0 : 制御 1 チャンネルデータの送受信を許可しない 1 : 制御 1 チャンネルデータの送受信を許可する
6~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	CD1A[3:0]	0000	R/W	制御 1 チャンネルデータアサイン 3~0 送受信フレームにおける制御 1 チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 制御 1 チャンネルデータの送信データは SITCR の SITD1 ビットに設定します。 • 制御 1 チャンネルデータの受信データは SIRCR の SIRD1 ビットに格納されます。

## 21. シリアル I/O FIFO 付き (SIOF)

### 21.3.14 SPI 制御レジスタ 0、1 (SPICR0、SPICR1)

SPICR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SPI の動作モードを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPIM	—	CPHA	CPOL	—	SS2E*	SS1E*	SS0E*	—	—	SSAST[1:0]	—	—	—	—	FLD[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SPIM	0	R/W	SPI モード SIOF の動作モードを選択します。 0 : SIOF として動作します。 1 : SIOF は、SPI のマスタモードで動作します。
14	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	CPHA	0	R/W	SPI クロックフェーズ SPI のクロックフェーズを選択します。 0 : SCK の第 1 エッジでデータをサンプリングします。 1 : SCK の第 2 エッジでデータをサンプリングします。
12	CPOL	0	R/W	SPI クロック極性 SPI のクロック極性を選択します。 0 : SCK はアイドル状態でローレベルになります。 1 : SCK はアイドル状態でハイレベルになります。
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	SS2E*	0	R/W	スレーブデバイス 2 (SS2) イネーブル 0 : スレーブデバイス 2 を選択しません 1 : スレーブデバイス 2 を選択します
9	SS1E*	0	R/W	スレーブデバイス 1 (SS1) イネーブル 0 : スレーブデバイス 1 を選択しません 1 : スレーブデバイス 1 を選択します
8	SS0E*	0	R/W	スレーブデバイス 0 (SS0) イネーブル 0 : スレーブデバイス 0 を選択しません 1 : スレーブデバイス 0 を選択します
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。



## 21. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明																														
5、4	SSAST[1:0]	00	R/W	<p><math>\overline{SSn}</math> アサートのセットアップ</p> <p><math>\overline{SSn}</math> の SCK に対するセットアップ・タイミングを設定します。</p> <p>CPHA = 0 の場合 (単位: SCK クロック)</p> <table border="1" style="margin-left: 20px; margin-bottom: 10px;"> <thead> <tr> <th>SSAST[1:0]</th> <th><math>\overline{SSn}</math> セットアップ</th> <th><math>\overline{SSn}</math> ホールド</th> </tr> </thead> <tbody> <tr><td style="text-align: center;">00</td><td style="text-align: center;">0.5 クロック</td><td style="text-align: center;">0 クロック</td></tr> <tr><td style="text-align: center;">01</td><td style="text-align: center;">1 クロック</td><td style="text-align: center;">0.5 クロック</td></tr> <tr><td style="text-align: center;">10</td><td style="text-align: center;">1.5 クロック</td><td style="text-align: center;">1 クロック</td></tr> <tr><td style="text-align: center;">11</td><td style="text-align: center;">2 クロック</td><td style="text-align: center;">1.5 クロック</td></tr> </tbody> </table> <p>CPHA = 1 の場合 (単位: SCK クロック)</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>SSAST[1:0]</th> <th><math>\overline{SSn}</math> セットアップ</th> <th><math>\overline{SSn}</math> ホールド</th> </tr> </thead> <tbody> <tr><td style="text-align: center;">00</td><td style="text-align: center;">0 クロック</td><td style="text-align: center;">0.5 クロック</td></tr> <tr><td style="text-align: center;">01</td><td style="text-align: center;">0.5 クロック</td><td style="text-align: center;">1 クロック</td></tr> <tr><td style="text-align: center;">10</td><td style="text-align: center;">1 クロック</td><td style="text-align: center;">1.5 クロック</td></tr> <tr><td style="text-align: center;">11</td><td style="text-align: center;">1.5 クロック</td><td style="text-align: center;">2 クロック</td></tr> </tbody> </table>	SSAST[1:0]	$\overline{SSn}$ セットアップ	$\overline{SSn}$ ホールド	00	0.5 クロック	0 クロック	01	1 クロック	0.5 クロック	10	1.5 クロック	1 クロック	11	2 クロック	1.5 クロック	SSAST[1:0]	$\overline{SSn}$ セットアップ	$\overline{SSn}$ ホールド	00	0 クロック	0.5 クロック	01	0.5 クロック	1 クロック	10	1 クロック	1.5 クロック	11	1.5 クロック	2 クロック
SSAST[1:0]	$\overline{SSn}$ セットアップ	$\overline{SSn}$ ホールド																																
00	0.5 クロック	0 クロック																																
01	1 クロック	0.5 クロック																																
10	1.5 クロック	1 クロック																																
11	2 クロック	1.5 クロック																																
SSAST[1:0]	$\overline{SSn}$ セットアップ	$\overline{SSn}$ ホールド																																
00	0 クロック	0.5 クロック																																
01	0.5 クロック	1 クロック																																
10	1 クロック	1.5 クロック																																
11	1.5 クロック	2 クロック																																
3、2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>																														
1、0	FLD[1:0]	00	R/W	<p>フレーム遅延</p> <p>フレーム間隔のアイドル状態の最小時間を SCK クロック数で指定します。</p> <p>00: SCK の 0 クロック遅延  <math>\overline{SSn}</math> のローアサートを継続した状態で連続 SPI 通信します。</p> <p>01: SCK の 1 クロック遅延</p> <p>10: SCK の 2 クロック遅延</p> <p>11: SCK の 3 クロック遅延</p>																														

【注】 \* SS0E、SS1E、SS2E ビットのうち 2 ビット以上を同時に 1 に設定しないでください。

## 21.4 動作説明

### 21.4.1 シリアルクロック

#### (1) マスタ/スレーブ

SIOF のクロックモードとして下記の 2 モードがあります。

- スレーブモード : SIOFSCK、SIOFSYNCは入力
- マスタモード : SIOFSCK、SIOFSYNCは出力

#### (2) ポーレートジェネレータ

SIOF マスタ時には、ポーレートジェネレータ (BRG) を用いてシリアルクロックを生成します。ポーレートジェネレータの分周比は、 $1/1 \sim 1/1024$  です。

図 21.2 にシリアルクロック供給系統図を示します。

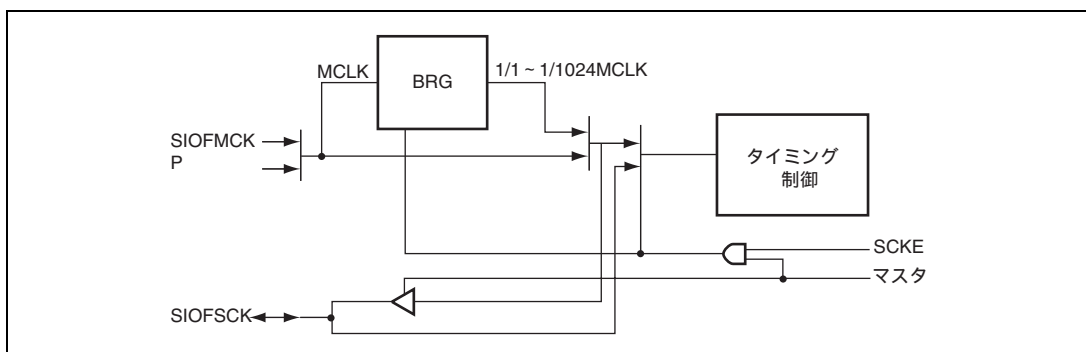


図 21.2 シリアルクロック供給

また、表 21.5 にシリアルクロック周波数の例を示します。

表 21.5 SIOF シリアルクロック周波数例

フレーム長	サンプリングレート		
	8kHz	44.1kHz	48kHz
32 ビット	256kHz	1.4112MHz	1.536MHz
64 ビット	512kHz	2.8224MHz	3.072MHz
128 ビット	1.024MHz	5.6448MHz	6.144MHz
256 ビット	2.048MHz	11.289MHz	12.289MHz

## 21.4.2 シリアルタイミング

## (1) SIOFSYNC

SIOFSYNC はフレーム同期信号です。転送モードによって下記の 2 通りの機能を持ちます。

- 同期パルス：フレーム先頭を表す 1 ビット幅のパルス
- L/R : ステレオデータの左チャンネル (L) をハイレベル、右チャンネル (R) をローレベルで表す 1/2 フレーム幅のパルス

図 21.3 に SIOFSYNC による同期タイミングを示します。

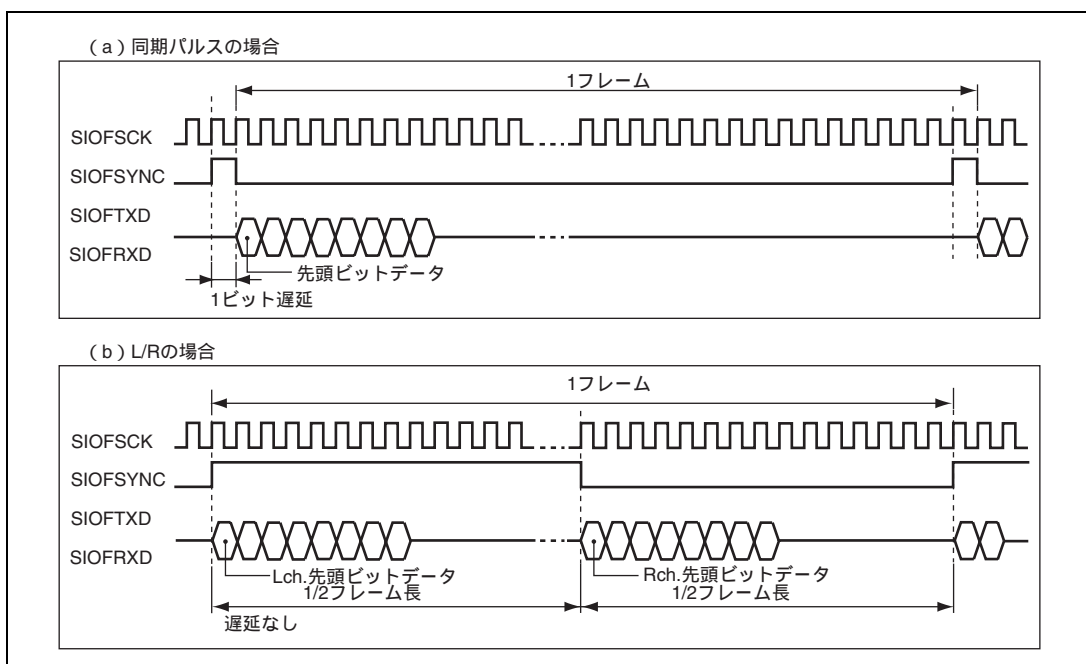


図 21.3 シリアルデータ同期タイミング

## 21. シリアル I/O FIFO 付き (SIOF)

### (2) 送受信タイミング

SIOFSCK に対する SIOFTXD の送信タイミングおよび SIOFRXD の受信タイミングは、サンプリングタイミングとして下記の 2 通りの設定が可能です。送受信タイミングの設定は、SIMDR の REDG ビットに行います。

- 立ち下がりサンプリング
- 立ち上がりサンプリング

図 21.4 に送受信タイミングを示します。

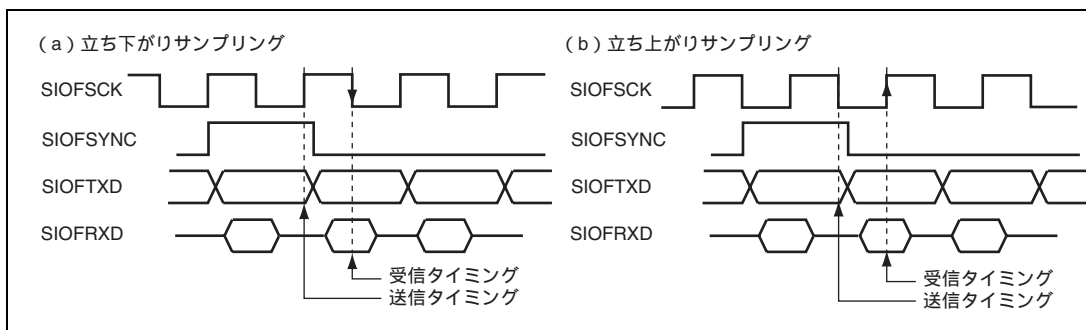


図 21.4 SIOF 送受信タイミング

### 21.4.3 転送データフォーマット

SIOF は、下記の転送を行います。

- 送受信データ 8ビット / 16ビット / 16ビットステレオの転送データ
- 制御データ 16ビット長 (専用レジスタを用いてインタフェースを行います)

#### (1) 転送モード

SIOF は、転送モードとして表 21.6 に示すように 4 通りのモードを持っています。転送モードの設定は SIMDR の TRMD[1:0] ビットに行います。

表 21.6 シリアル転送モード

転送モード	SIOFSYNC	ビット遅延	制御データ
スレープモード 1	同期パルス	SYNCDL ビット	スロット位置
スレープモード 2	同期パルス		セカンダリ FS
マスタモード 1	同期パルス		スロット位置
マスタモード 2	L/R	なし	非対応

## (2) フレーム長

SIOF が転送を行うフレームの長さは SIMDR の FL[3:0]ビットに対して設定を行います。表 21.7 に設定値とフレーム長の関係を示します。

表 21.7 フレーム長

FL[3:0]	スロット長	1 フレーム当たりのビット	対応する転送データ
00xx	8	8	8 ビットモノラル
0100	8	16	8 ビットモノラル
0101	8	32	8 ビットモノラル
0110	8	64	8 ビットモノラル
0111	8	128	8 ビットモノラル
10xx	16	16	16 ビットモノラル
1100	16	32	16 ビットモノラルステレオ
1101	16	64	16 ビットモノラルステレオ
1110	16	128	16 ビットモノラルステレオ
1111	16	256	16 ビットモノラルステレオ

【注】 x : Don't care

## (3) スロット位置

SIOF は、1 フレームにおける送信データ、受信データ、制御データ (送受信共通) の位置をスロット番号でそれぞれ個別に設定することが可能です。設定は下記のレジスタに対して行います。

- 送信データ : SITDAR
- 受信データ : SIRDAR
- 制御データ : SICDAR

制御データは、データ長 16 ビットのときのみ有効となります。また、制御データは送信と受信で必ず同じスロットに割り当てられます。

## 21. シリアル I/O FIFO 付き (SIOF)

### 21.4.4 転送データのレジスタ割り付け

#### (1) 送受信データ

送受信データの書き込み / 読み出しは下記のレジスタに対して行います。

- 送信データ書き込み : SITDR (32ビットアクセス)
- 受信データ読み出し : SIRDR (32ビットアクセス)

図 21.5 に送受信データと SITDR、SIRDR のビットアライメントを示します。

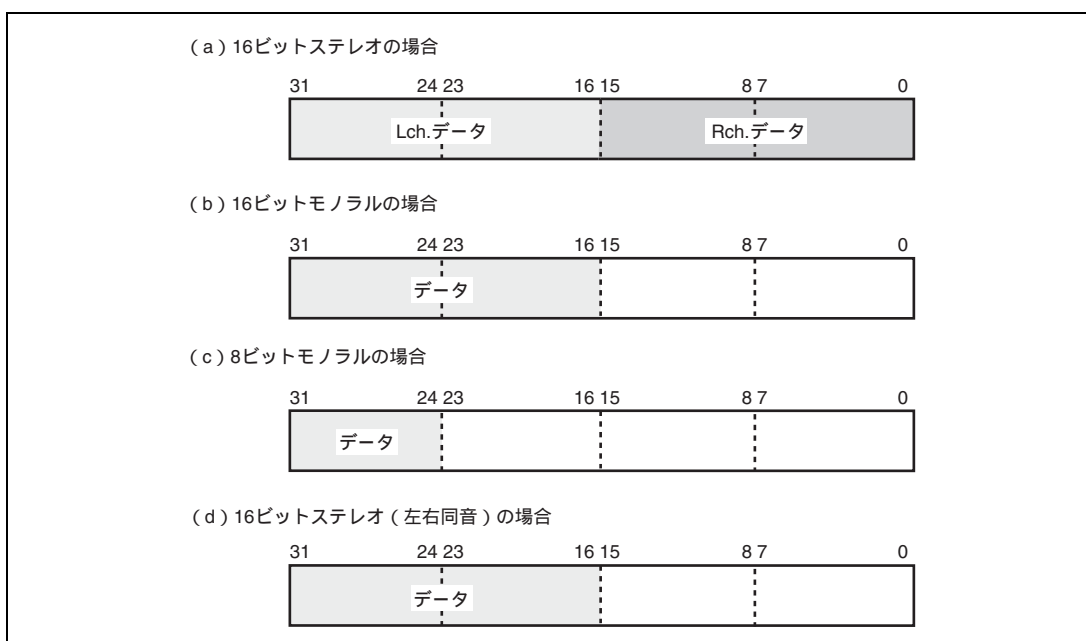


図 21.5 送受信データビットアライメント

【注】 ハッチングの部分だけが有効なデータとして送受信されます。このため、8ビットデータ時にはバイト転送、16ビットデータ時にはワード転送でアクセスを行う必要があります。ハッチングが掛かっていない領域のデータは送受信の対象となりません。

送信データのリモノラル/ステレオの設定は、SITDAR の TDLE ビットおよび TDRE ビットに対して行います。受信データのリモノラル/ステレオの設定は、SIRDAR の RDLE ビットおよび RDRE ビットに対して行います。また、送信データステレオ時の左右同音出力は、SITDAR の TLREP ビットに設定を行います。表 21.8 に送信データにおける音声モードの設定を、表 21.9 に受信データにおける音声モードの設定を示します。

表 21.8 送信データ音声モード

モード \ ビット	TDLE	TDRE	TLREP
モノラル	1	0	x
ステレオ	1	1	0
左右同音	1	1	1

【注】 x : Don't care

表 21.9 受信データ音声モード

モード \ ビット	RDLE	RDRE
モノラル	1	0
ステレオ	1	1

【注】 受信データには、左右同音モードは存在しません。

8 ビットモノラルで送受信を行う場合には、左チャンネル側を使用してください。

## (2) 制御データ

制御データの書き込み/読み出しは下記のレジスタに対して行います。

- 送信制御データ書き込み : SITCR (32ビットアクセス)
- 受信制御データ読み出し : SIRCR (32ビットアクセス)

図 21.6 に送受信制御データと SITCR、SIRCR のビットアライメントを示します。

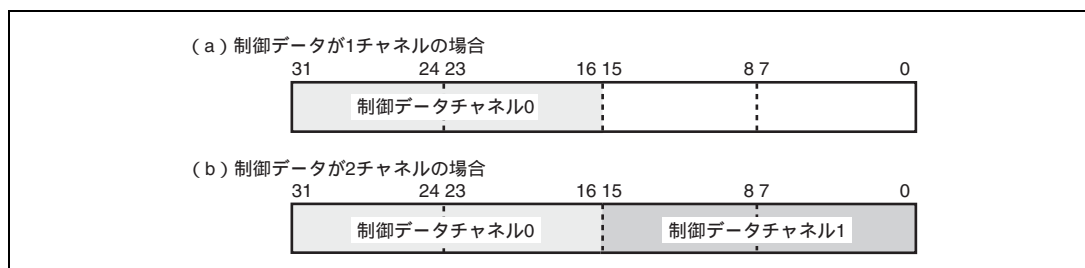


図 21.6 制御データビットアライメント

## 21. シリアル I/O FIFO 付き (SIOF)

制御データのチャンネル数の設定は、SICDAR の CD0E ビットおよび CD1E ビットに対して行います。

表 21.10 に制御データにおけるチャンネル数の設定を示します。

表 21.10 制御データのチャンネル数設定

チャンネル数 \ ビット	CD0E	CD1E
1	1	0
2	1	1

【注】 制御データを 1 チャンネルだけ用いる場合には、チャンネル 0 側を使用してください。

### 21.4.5 制御データインタフェース

制御データは、CODEC への制御コマンド出力と CODEC の状態入力を行います。SIOF は、制御データのインタフェース方式として、下記 2 方式に対応します。

- スロット位置による制御
- セカンダリFSによる制御

制御データは、データ長として 16 ビットを選択した場合に有効となります。

#### (1) スロット位置による制御 (マスタモード 1、スレーブモード 1)

制御データのスロット位置を指定して、SIOF が送受信を行う全フレームで制御データの送受信を行う方式です。SIOF マスタ、スレーブのどちらでも使用可能です。図 21.7 にスロット位置による制御データインタフェースのタイミング例を示します。

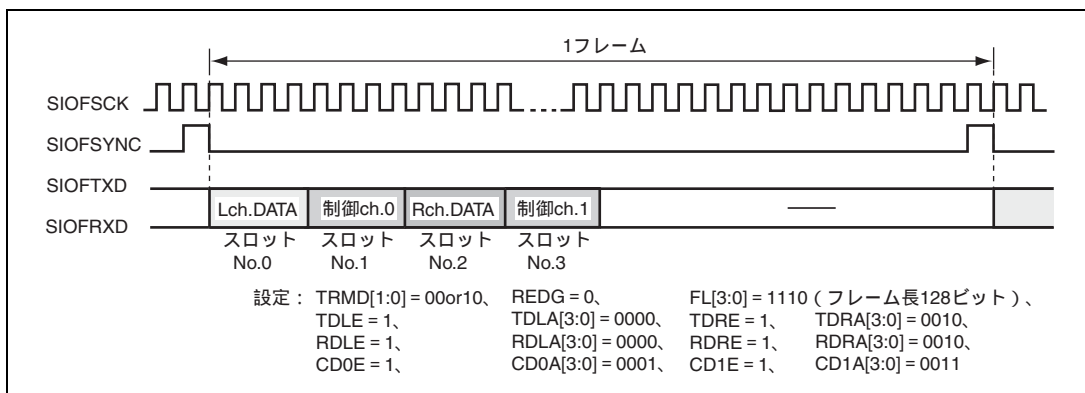


図 21.7 制御データインタフェース (スロット位置)



## (2) セカンダリ FS による制御 (スレープモード 2)

SIOFSYNC を同期パルス (FS) として出力する CODEC が、本来の FS 出力位置でない 1/2 フレーム時間経過後に、制御データ送受信専用のセカンダリ FS を出力して、制御データの送受信を行う方式です。SIOF スレープのみ使用可能です。セカンダリ FS による制御データインタフェースの手順を以下に示します。

- 通常の送信データは LSB = 0 で送出 (SIOF が強制的に 0 とする)
- 制御データ送信を行う場合には LSB = 1 の送信データ送出 (SITCDR への書き込みで SIOF が 1 とする)
- CODEC はセカンダリ FS を出力する
- SIOF はセカンダリ FS に同期して制御データ (SITCDR 設定データ) の送信および受信 (SIRCDR へ格納) を行う

図 21.8 にセカンダリ FS による制御データインタフェースのタイミング例を示します。

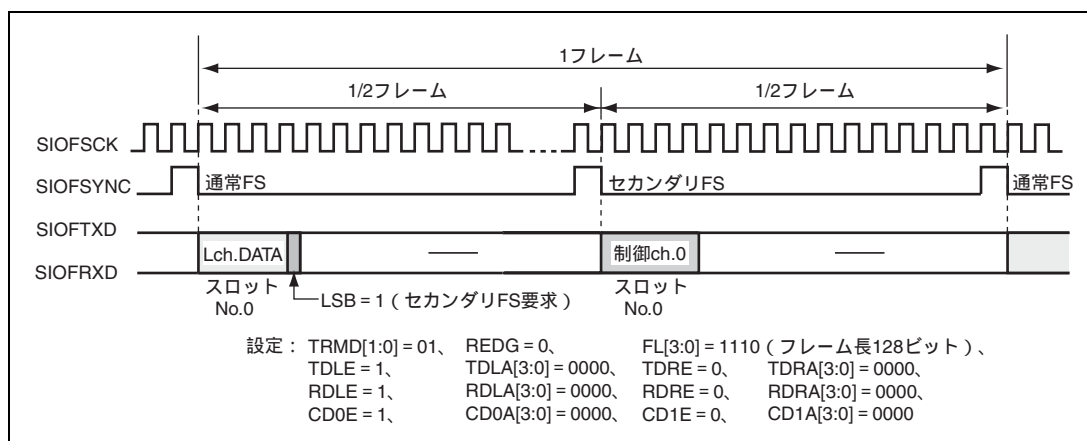


図 21.8 制御データインタフェース (セカンダリ FS)

## 21.4.6 FIFO

## (1) 概要

SIOF 送受信 FIFO の特長を以下に示します。

- 送受信それぞれ 32 ビット × 16 段の容量
- CPU、DMAC のアクセスサイズにかかわらず、1 回の読み出し / 書き込みサイクルでポインタは更新されます。  
(1 段のアクセスを複数回に分割することは不可能です。)

## 21. シリアル I/O FIFO 付き (SIOF)

### (2) 転送要求

FIFO の送信要求は、以下に記す割り込み要因として CPU および DMAC に出力することが可能です。

- 送信要求：TDREQ (送信用割り込み要因)
- 受信要求：RDREQ (受信用割り込み要因)

送受信 FIFO の送信要求を発行する条件は、それぞれ個別に設定が可能です。送信要求の条件は SIFCTR の TFWM[2:0]ビットに、受信 FIFO の転送要求は RFWM[2:0]ビットに設定します。表 21.11 に送信要求発行条件を、表 21.12 に受信要求発行条件を示します。

表 21.11 送信要求発行条件

TFWM[2:0]	リクエスト段数	送信要求発行	使用領域
000	1	空き領域が 16 段	小 ↑ ↓ 大
100	4	空き領域が 12 段以上	
101	8	空き領域が 8 段以上	
110	12	空き領域が 4 段以上	
111	16	空き領域が 1 段以上	

表 21.12 受信要求発行条件

RFWM[2:0]	リクエスト段数	受信要求発行	使用領域
000	1	有効データが 1 段以上	小 ↑ ↓ 大
100	4	有効データが 4 段以上	
101	8	有効データが 8 段以上	
110	12	有効データが 12 段以上	
111	16	有効データが 16 段	

データ領域もしくは空き領域が上記の段数を超えた場合でも、FIFO の容量は常に 16 段使用可能です。したがって、オーバーフローもしくはアンダフローエラーは、データ領域もしくは空き領域が 16 段を超えた場合に発行されます。

また、転送要求は FIFO が空もしくは満杯にならなくても、上記の条件を満たさなくなった時点で解除します。

### (3) 段数表示

送受信 FIFO の使用状況を、下記の内容でレジスタに表示します。

- 送信FIFO：SIFCTRのTFUA[4:0]ビットに空き領域の段数を表示
- 受信FIFO：SIFCTRのRFUA[4:0]ビットに有効データの段数を表示

上記の内容は、CPU もしくは DMAC が転送可能なデータ数を表します。

## 21.4.7 送受信手順

## (1) マスタ時送信

図 21.9 にマスタ時送信の設定例および動作を示します。

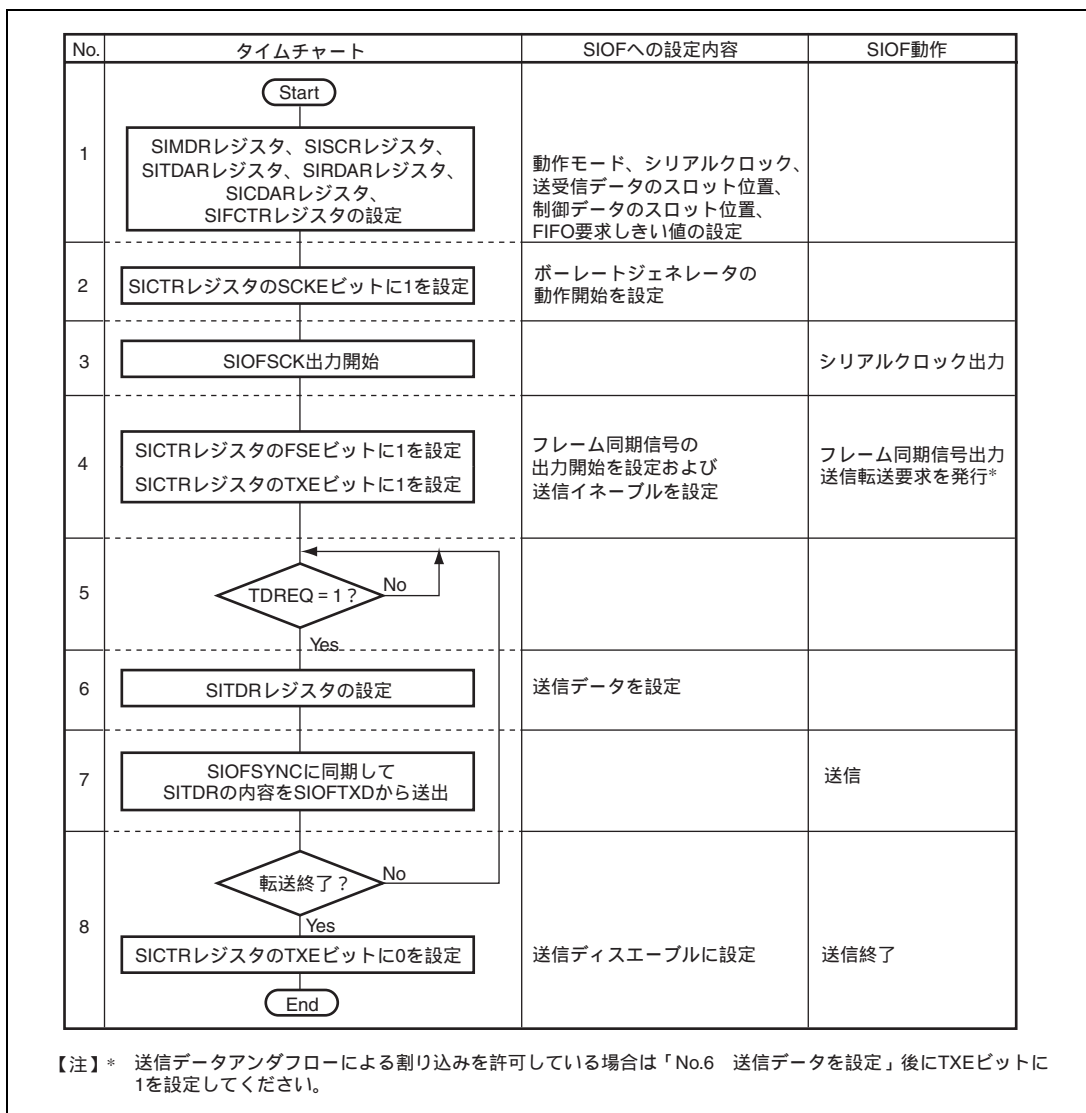


図 21.9 マスタ時送信動作例

## 21. シリアル I/O FIFO 付き (SIOF)

### (2) マスタ時受信

図 21.10 にマスタ時受信の設定例および動作を示します。

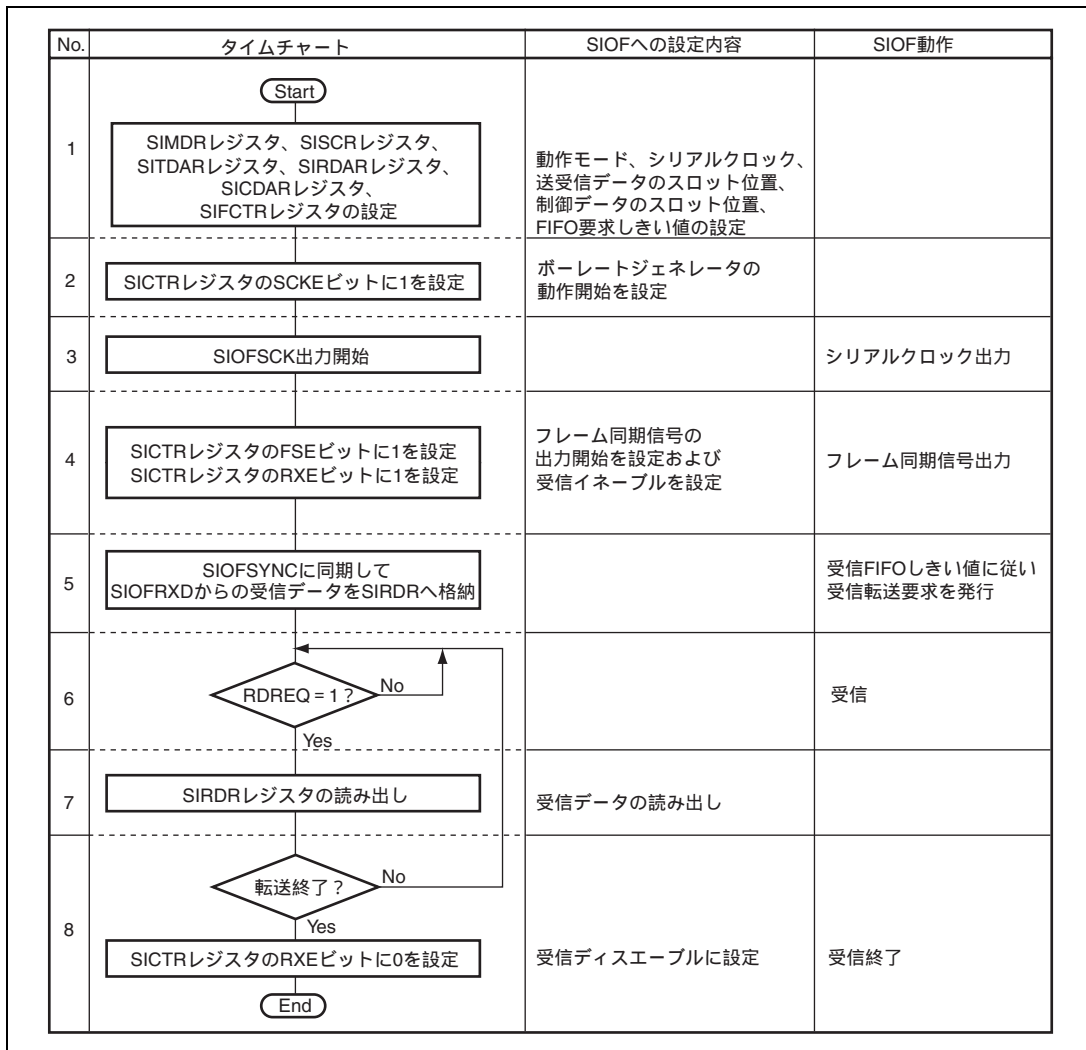


図 21.10 マスタ時受信動作例

## (3) スレープ時送信

図 21.11 にスレープ時送信の設定例および動作を示します。

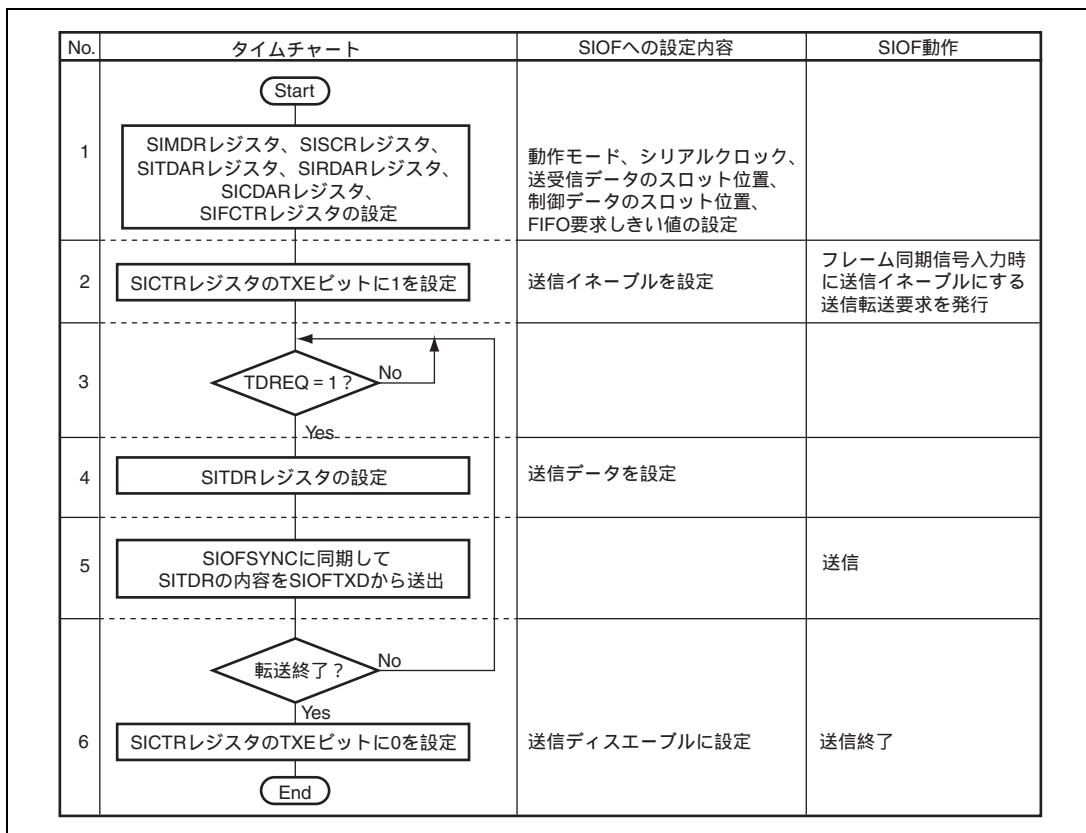


図 21.11 スレープ時送信動作例

## 21. シリアル I/O FIFO 付き (SIOF)

### (4) スレープ時受信

図 21.12 にスレープ時受信の設定例および動作を示します。

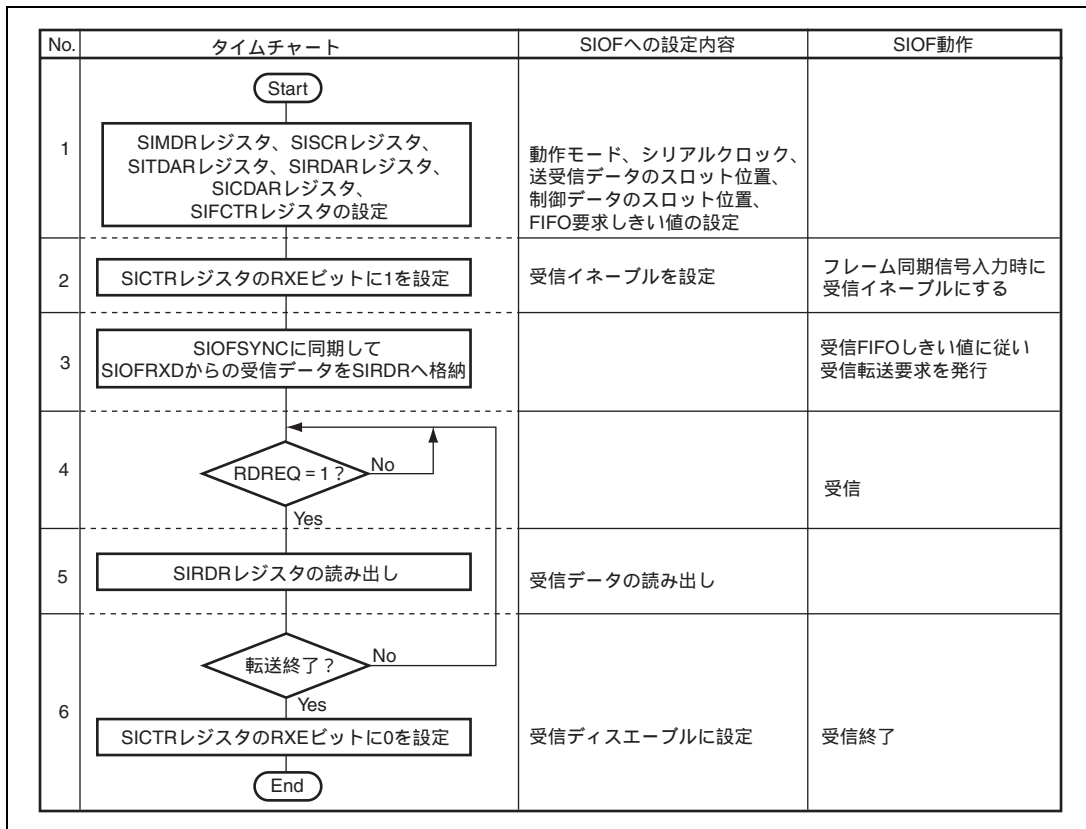


図 21.12 スレープ時受信動作例

## (5) 送受信リセット

SIOF は、下記ビットに 1 を設定することにより、送信部と受信部を個別にリセットすることが可能です。

- 送信リセット：(SICTRのTXRSTビット)
- 受信リセット：(SICTRのRXRSTビット)

表 21.13 に送受信リセットで初期化される内容を示します。

表 21.13 送受信リセット

種類	初期化対象
送信リセット	送信 FIFO ライトポインタ SISTR の TCRDY ビット、TFEMP ビット、TDREQ ビット SICTR の TXE ビット
受信リセット	受信 FIFO ライトポインタ SISTR の RCRDY ビット、RFFUL ビット、RDREQ ビット SICTR の RXE ビット

## 21.4.8 割り込み

SIOF は、1 種類の割り込みを持っています。

## (1) 割り込み要因

割り込みは、それぞれ複数の要因によって発行することができます。各要因は、SISTR に SIOF ステータスとして表示します。表 21.14 に SIOF 割り込み要因一覧を示します。

表 21.14 SIOF 割り込み要因

No.	区分	ビット名	機能名称	内 容
1	送信	TDREQ	送信 FIFO 転送要求	送信 FIFO の空き領域が設定値以上になった
2		TFEMP	送信 FIFO エンプティ	送信 FIFO が空である
3	受信	RDREQ	受信 FIFO 転送要求	受信 FIFO に設定値以上のデータが格納された
4		RFFUL	受信 FIFO フル	受信 FIFO が満杯である
5	制御	TCRDY	送信制御データレディ	送信制御レジスタに書き込みが可能である
6		RCRDY	受信制御データレディ	受信制御データレジスタに有効な値が格納された
7	エラー	TFUDF	送信 FIFO アンダフロー	送信 FIFO が空時にシリアルデータ送出タイミングが来た
8		TFOVF	送信 FIFO オーバフロー	送信 FIFO が満杯時に送信 FIFO に書き込みを行った
9		RFOVF	受信 FIFO オーバフロー	受信 FIFO が満杯時にシリアルデータを受信した
10		RFUDF	受信 FIFO アンダフロー	受信 FIFO が空時に受信 FIFO 読み出しを行った
11		FSERR	FS エラー	設定ビット数以前に同期信号が入力された (スレーブ時)
12		SAERR	アサインエラー	シリアルデータ、制御データの-slot設定が重複している

割り込み要因によって割り込みを発行するか否かは、SIER への設定によって決定します。SIER の対応するビットに 1 が設定してある割り込み要因が 1 にセットされたときに、SIOF 割り込みを発行します。

## 21. シリアル I/O FIFO 付き (SIOF)

---

### (2) 送受信区分について

送信区分の要因、受信区分の要因は状態を表す信号であり、いったんセットされてもその後状態が変化すると SIOF が自動的にクリアします。

ただし、DMA 転送を用いた場合には、DMA 転送が終了した時点で、DMA 転送要求は必ず 1 サイクル期間 0 レベルとなります。

### (3) エラー発生時の処理

SISTR にステータスとして表示する各エラー発生時、SIOF は下記の動作を行います。

- 送信FIFOアンダフロー (TFUDF)

直前の送信データを再び送じます。

- 送信FIFOオーバーフロー (TFOVF)

送信FIFOの内容は保護され、オーバーフローとなった書き込みは無視します。

- 受信FIFOオーバーフロー (RFOVF)

オーバーフローとなったデータが廃棄され、消失します。

- 受信FIFOアンダフロー (RFUDF)

不定値がバス上に出力されます。

- FSエラー (FSERR)

エラーとなった同期信号に従って、内部カウンタはリセットされます。

- アサインエラー (SAERR)

シリアルデータと制御データが重複した場合には、シリアルデータが優先されます。

制御データ同士が重複した場合には、送受信データは保証されません。



## 21.4.9 送受信タイミング

SIOF のシリアル送受信の例を図 21.13 ~ 図 21.20 に示します。

## (1) 8 ビットモノラルの場合 (その 1)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 8 ビット

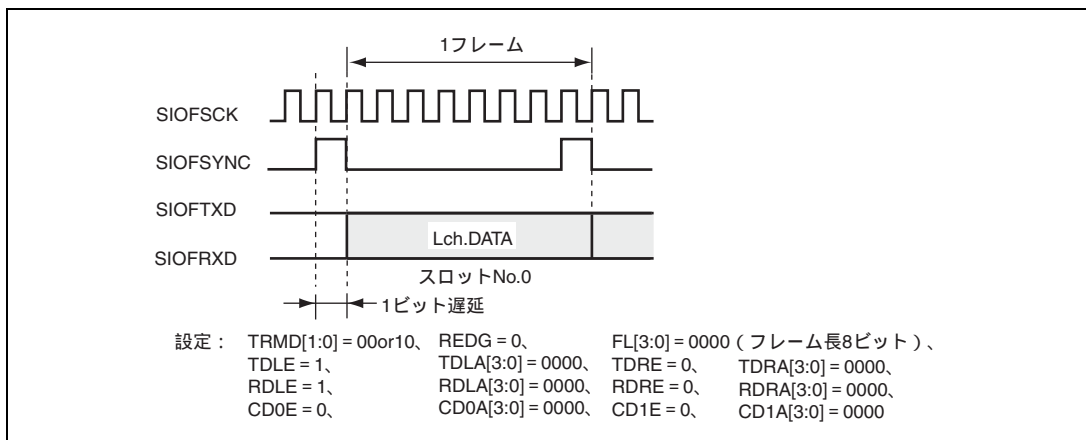


図 21.13 送受信タイミング (8 ビットモノラル - 1)

## (2) 8 ビットモノラルの場合 (その 2)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 16 ビット

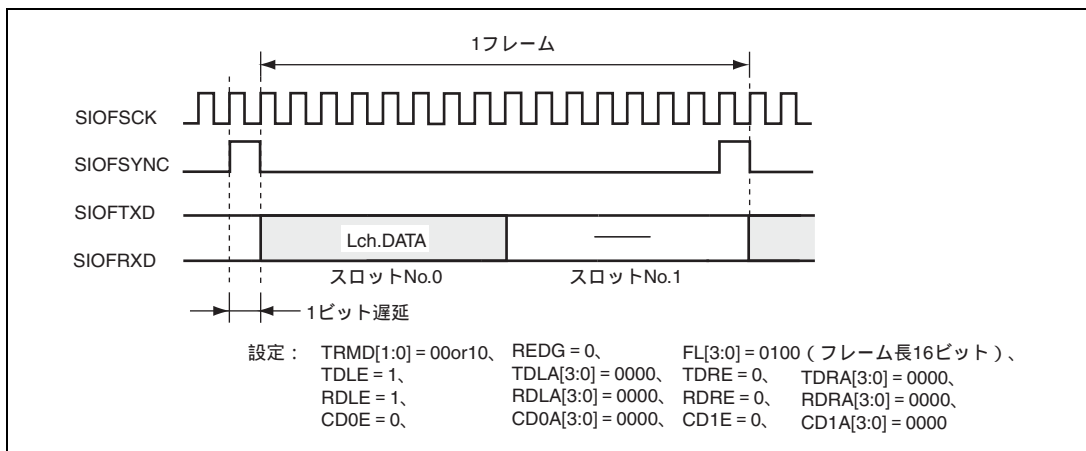


図 21.14 送受信タイミング (8 ビットモノラル - 2)

## 21. シリアル I/O FIFO 付き (SIOF)

### (3) 16 ビットモノラルの場合

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 64 ビット

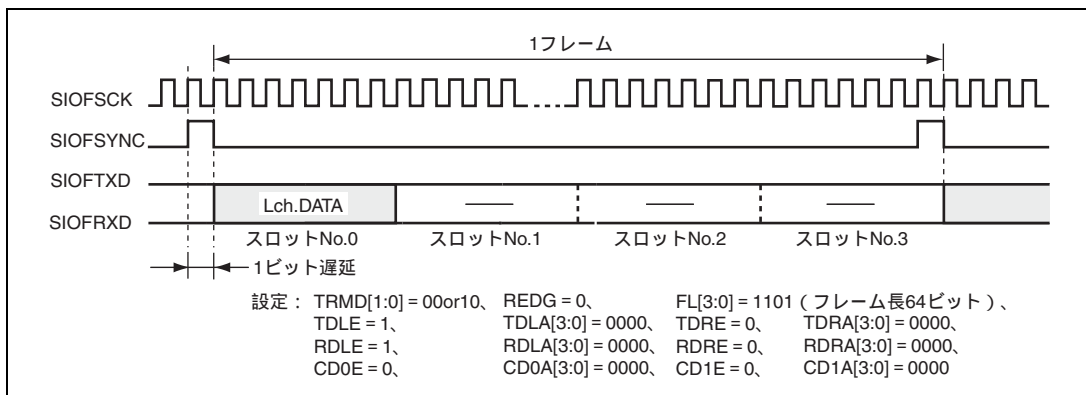


図 21.15 送受信タイミング (16 ビットモノラル)

### (4) 16 ビットステレオの場合 (その 1)

L/R 方式、立ち上がりサンプリング、L チャンネルデータはスロット No.0、R チャンネルデータはスロット No.1、フレーム長は 32 ビット

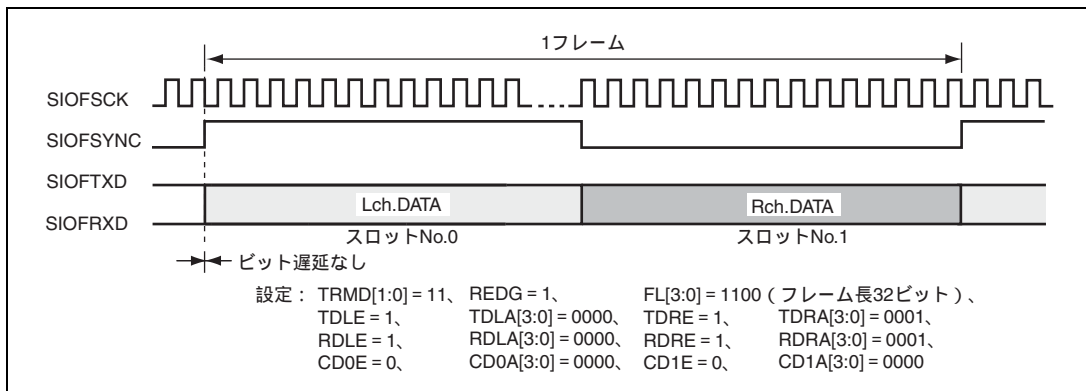


図 21.16 送受信タイミング (16 ビットステレオ - 1)

## (5) 16 ビットステレオの場合 (その2)

L/R 方式、立ち上がりサンプリング、L チャンネル送信データはスロット No.0、L チャンネル受信データはスロット No.1、R チャンネル送信データはスロット No.2、R チャンネル受信データはスロット No.3、フレーム長は 64 ビット

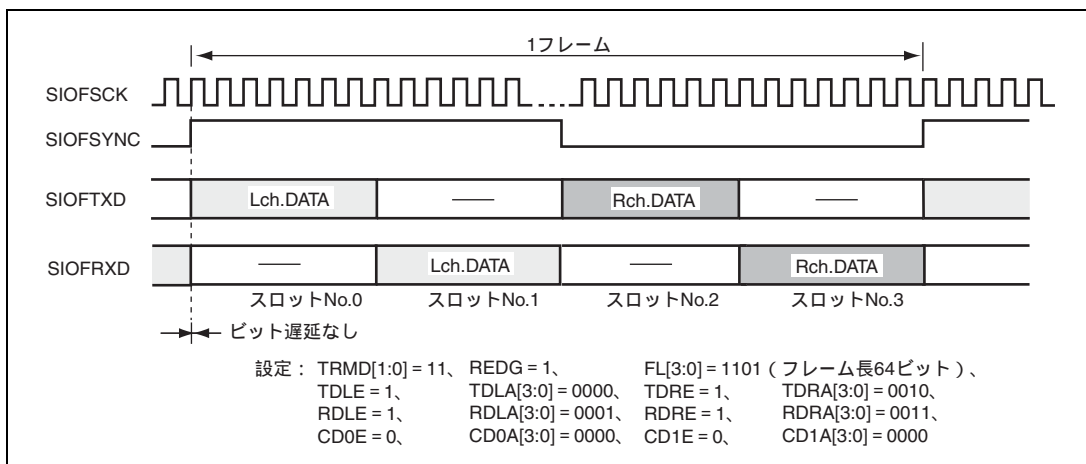


図 21.17 送受信タイミング (16 ビットステレオ - 2)

## (6) 16 ビットステレオの場合 (その3)

同期パルス方式、立ち下がりサンプリング、L チャンネルデータはスロット No.0、R チャンネルデータはスロット No.1、制御チャンネルデータ 0 はスロット No.2、制御チャンネルデータ 1 はスロット No.3、フレーム長は 128 ビット

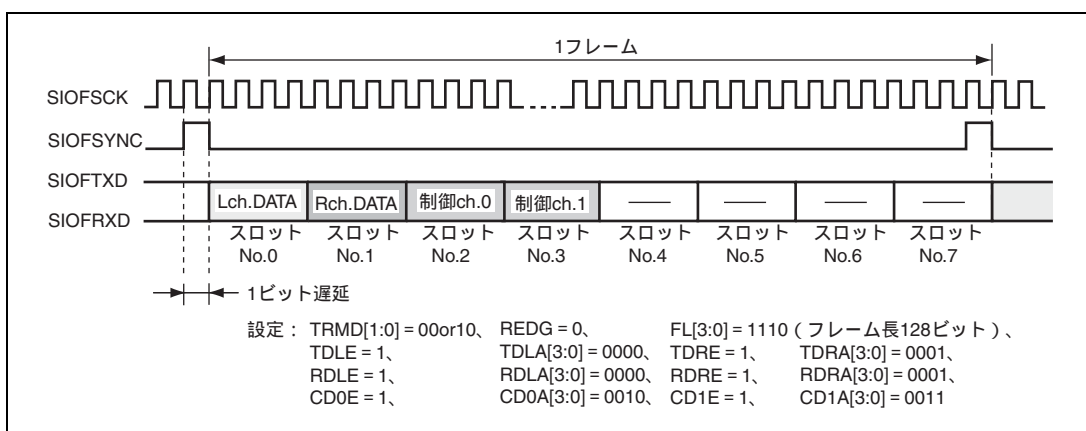


図 21.18 送受信タイミング (16 ビットステレオ - 3)

## 21. シリアル I/O FIFO 付き (SIOF)

### (7) 16 ビットステレオの場合 (その 4)

同期パルス方式、立ち下がりサンプリング、L チャンネルデータはスロット No.0、R チャンネルデータはスロット No.2、制御チャンネルデータ 0 はスロット No.1、制御チャンネルデータ 1 はスロット No.3、フレーム長は 128 ビット

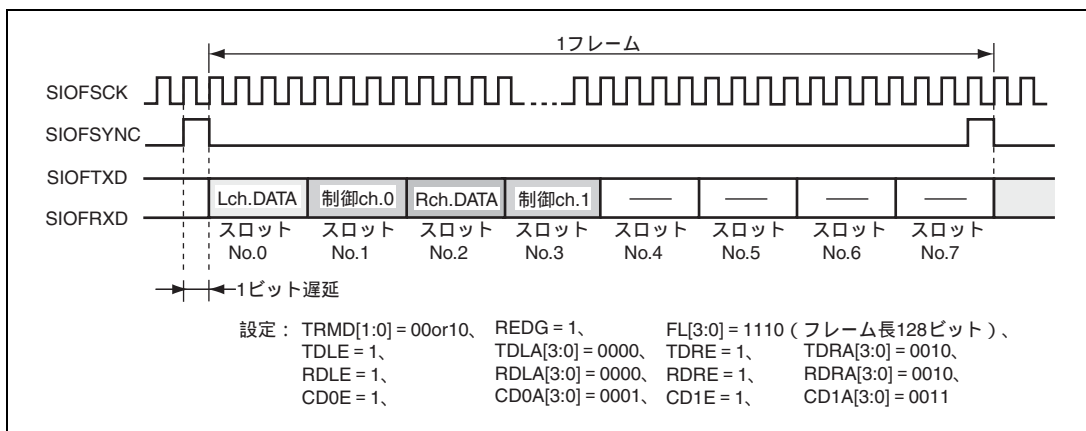


図 21.19 送受信タイミング (16 ビットステレオ - 4)

### (8) 各スロット終了時に同期パルスを出力するモードの場合 (SYNCCAT ビットが 1 のとき)

同期パルス方式、立ち下がりサンプリング、L チャンネルデータはスロット No.0、R チャンネルデータはスロット No.1、制御チャンネルデータ 0 はスロット No.2、制御チャンネルデータ 1 はスロット No.3、フレーム長は 128 ビット

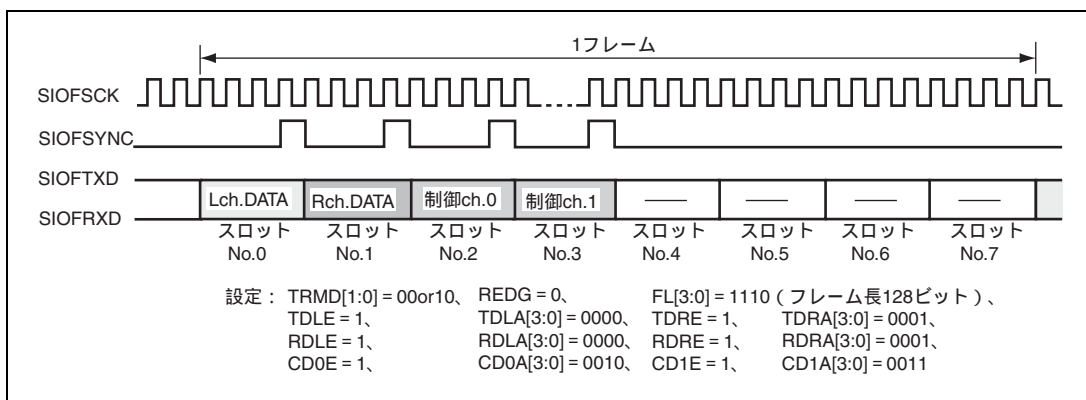


図 21.20 送受信タイミング (16 ビットステレオ)

## 21.4.10 SPI モード

SPICR の設定により、SIOF を SPI モードで動作させることができます。

## (1) 構成例

図 21.21 に SPI モード時の構成例を示します。

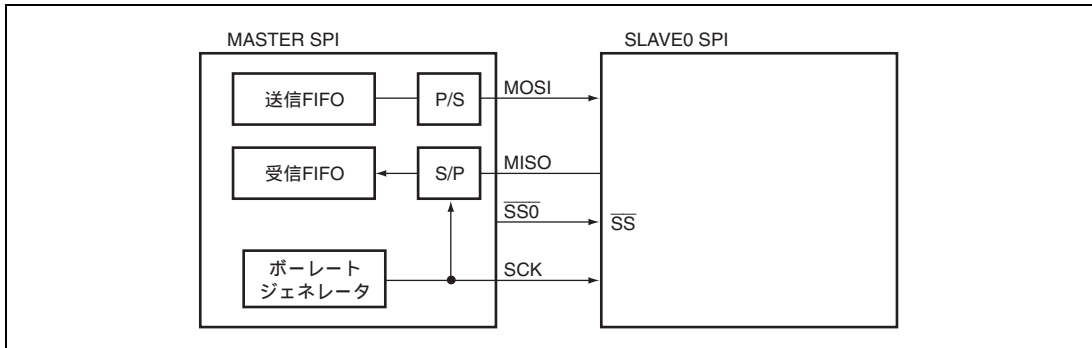
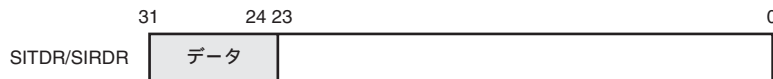


図 21.21 SPI モードの構成例

## (2) SPI 動作

表 21.15 に SPI 送受信の動作状態を示します。

SPI モード時の送受信するデータ長は 8 ビット固定で、SITDR、SIRDR の上位 8 ビットが有効なデータとして、送受信されます。



ハッチングの部分だけが有効なデータとして送受信されます。

割り込み要求の要因は、送信データ転送要求 (TDREQ)、送信 FIFO エンプティ (TFEMP)、受信データ転送要求 (RDREQ)、受信 FIFO フル (RFFUL)、受信 FIFO オーバフロー (RFOVF) のみを有効とし、割り込み許可レジスタ (SIER) で禁止 / 許可を選択します。これ以外の割り込み要因は常に禁止状態にしてください。

DMA 転送要求は、送信データ DMA 転送要求 (TDMA)、受信データ DMA 転送要求 (RDMA) を有効とし、割り込み許可レジスタで禁止 / 許可を選択します。

SPI のボーレートは、SISCR を使用して設定します。

## 21. シリアル I/O FIFO 付き (SIOF)

表 21.15 SPI 送受信の動作状態

TXE	RXE	TDMAE	RDMAE	SPI 送受信動作
0	0	Don't Care	Don't Care	送受信不可
0	1	0	1	半二重受信 送信 FIFO が動作せず、MOSI はダミーデータを送信します。 MISO の受信データは、受信 FIFO に格納され、DMA 転送されます。 RE = 1 の間、受信動作を継続し、受信 FIFO がフルになると以降の受信データを無視し、受信 FIFO オーバフロー (RFOVF) のステータスがセットされます。
1	0	0	0	半二重送信 送信 FIFO のデータが MOSI から送信されます。 受信 FIFO が動作せず、MISO データを無視します。 送信 FIFO が空になると送信動作を終了します。
		1	0	半二重送信 送信 FIFO に DMA 転送されたデータは MOSI から送信されます。受信 FIFO が動作せず、MISO データを無視します。 送信 FIFO が空になると送信動作を終了します。
1	1	0	0	全二重通信 送受信 FIFO が同時に動作します。 送信 FIFO にデータが存在すると送受信動作を行います。 送信 FIFO が空になると送受信動作を終了します。

【注】 SPI モードでは、上記以外の設定を禁止します。

半二重受信時 (送信無効時) の場合には、MOSI 出力の値を SIMDR の TXDIZ ビットで制御することができません。

TXDIZ = 0 : 送信無効時、MOSI は 1 出力

TXDIZ = 1 : 送信無効時、MOSI はハイインピーダンス状態

## (3) シリアルクロックのタイミング

図 21.22、図 21.23 に SPI 動作時のデータ/クロックのタイミング図を示します。図に示すように、シリアルクロックのフェーズと極性により 4 通りのシリアル転送フォーマットを選択できます。

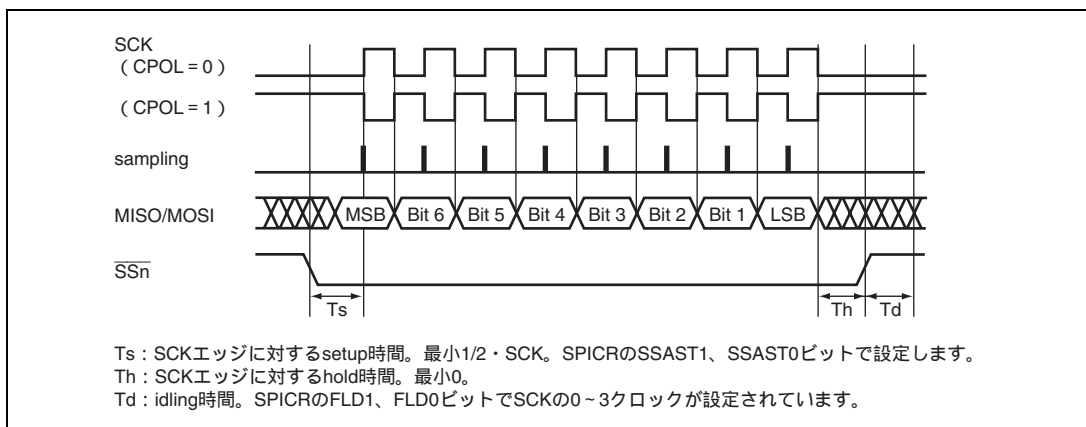


図 21.22 SPI データ/クロックのタイミング 1 (CPHA = 0)

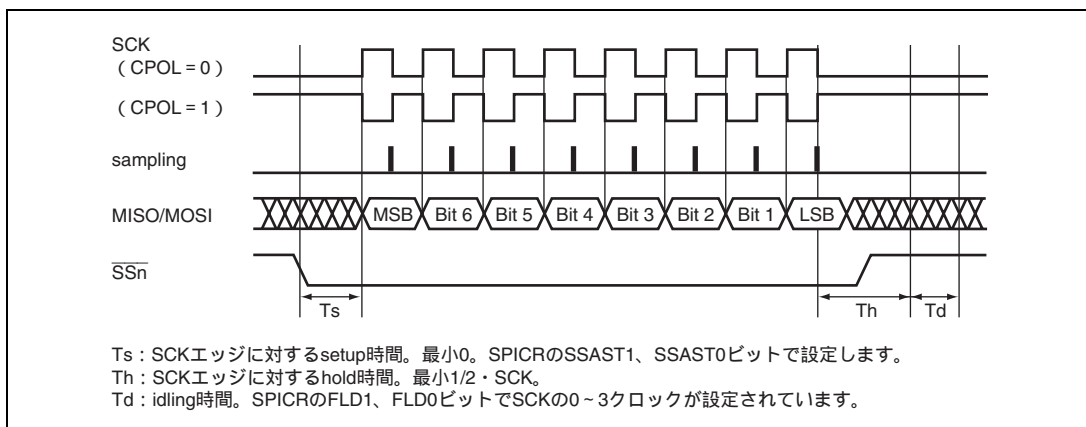


図 21.23 SPI データ/クロックのタイミング 2 (CPHA = 1)

### 21.5 使用上の注意事項

#### 21.5.1 SPI モードについての注意事項

1. 連続送信の期間は、送信データFIFOに空きを発生させないでください。空きが発生した場合、フレームの区切りでチップイネーブル信号 ( $\overline{SSn}$ ) をネグートします。その後、送信データFIFOにデータを書き込むと送信を再開します。
2. 受信動作する場合、インストラクション/アドレス送信終了後に、自動的にデータ受信に切り替わりません。このため送受信を許可し、インストラクション/アドレス・データに連続してダミーデータを送信してください。受信データのうち、インストラクション/アドレス・データの送信期間中の受信は無効データとして、ダミーデータの送信期間中の受信は有効なデータとして処理してください。
3. SPIモードでは、連続パケット送信を終了するたびに、SIOFをソフトウェアリセットする必要があります。このリセットは、SPIモードの場合のみ必要です。周辺クロックP とSCKが1対1のクロック比かつ同期化にされた状態で、ソフトウェアリセットしてください。

具体的には、下記の処理を追加することが必要です。

- (1) マスタクロックソースを周辺クロックに設定すること。

SISCRレジスタのMSSELビットに1 ( マスタクロック=P ( 周辺クロック ) ) を書き込む

- (2) ポーレートジェネレータのプリスケアラのカウント値を1/1倍に設定すること。

SISCRレジスタのBRPS[4:0]ビットにB'00000 ( 分周比=1/1 ) を書き込む

- (3) ポーレートジェネレータの出力段の分周比を1/1倍に設定すること。

SISCRレジスタのBRDV[2:0]ビットにB'111 ( 分周比=1/1 ) を書き込む

- (4) 送受信動作をリセットする。

SICTRレジスタのTXRSTまたはRXRSTビットに1 ( リセットする ) を書き込む

- (5) 設定を元に戻してから、次の送受信を行う。



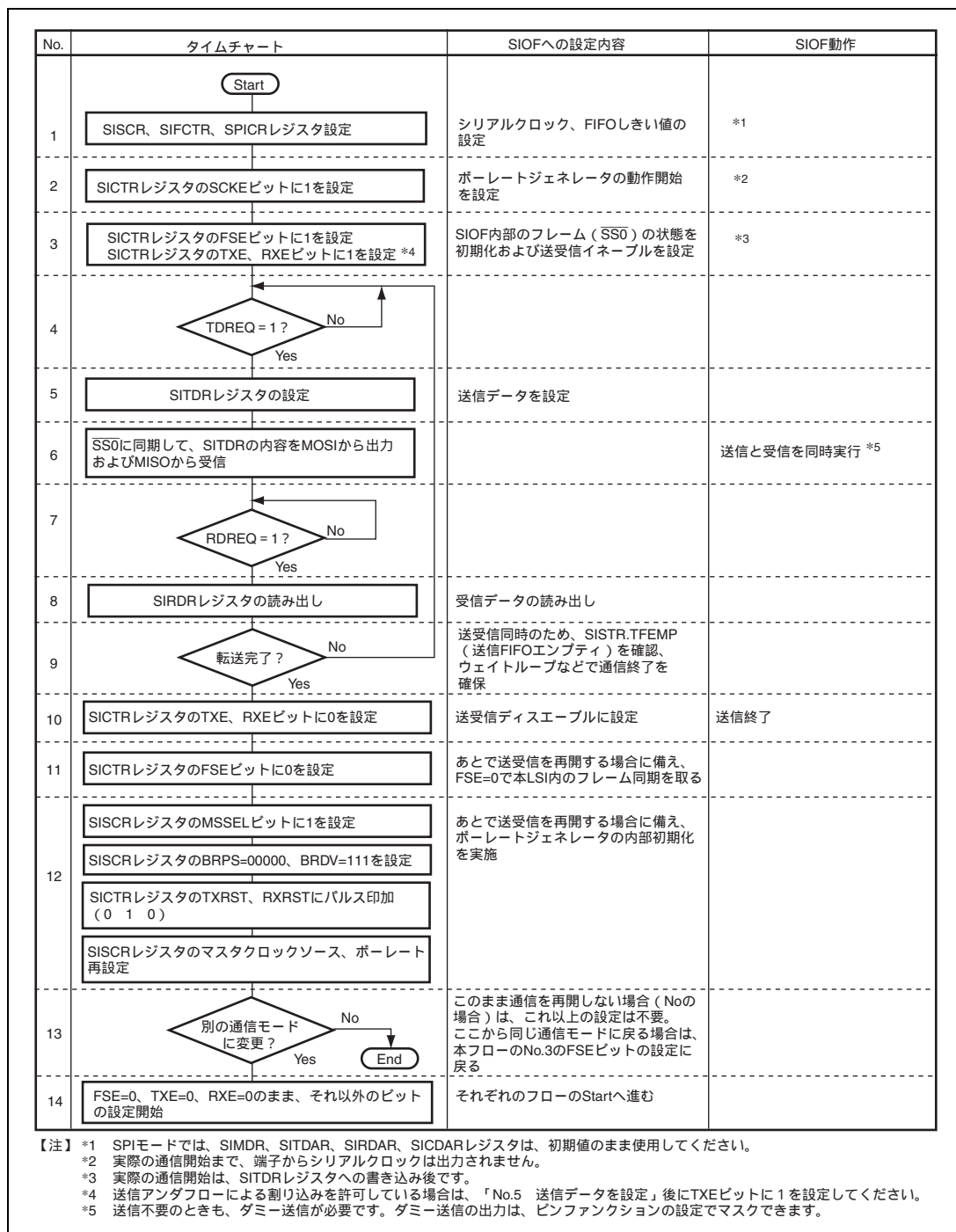


図 21.24 SPI 送受信動作 (TDMAE=0、CPU による全二重送受信例)

## 21. シリアル I/O FIFO 付き (SIOF)

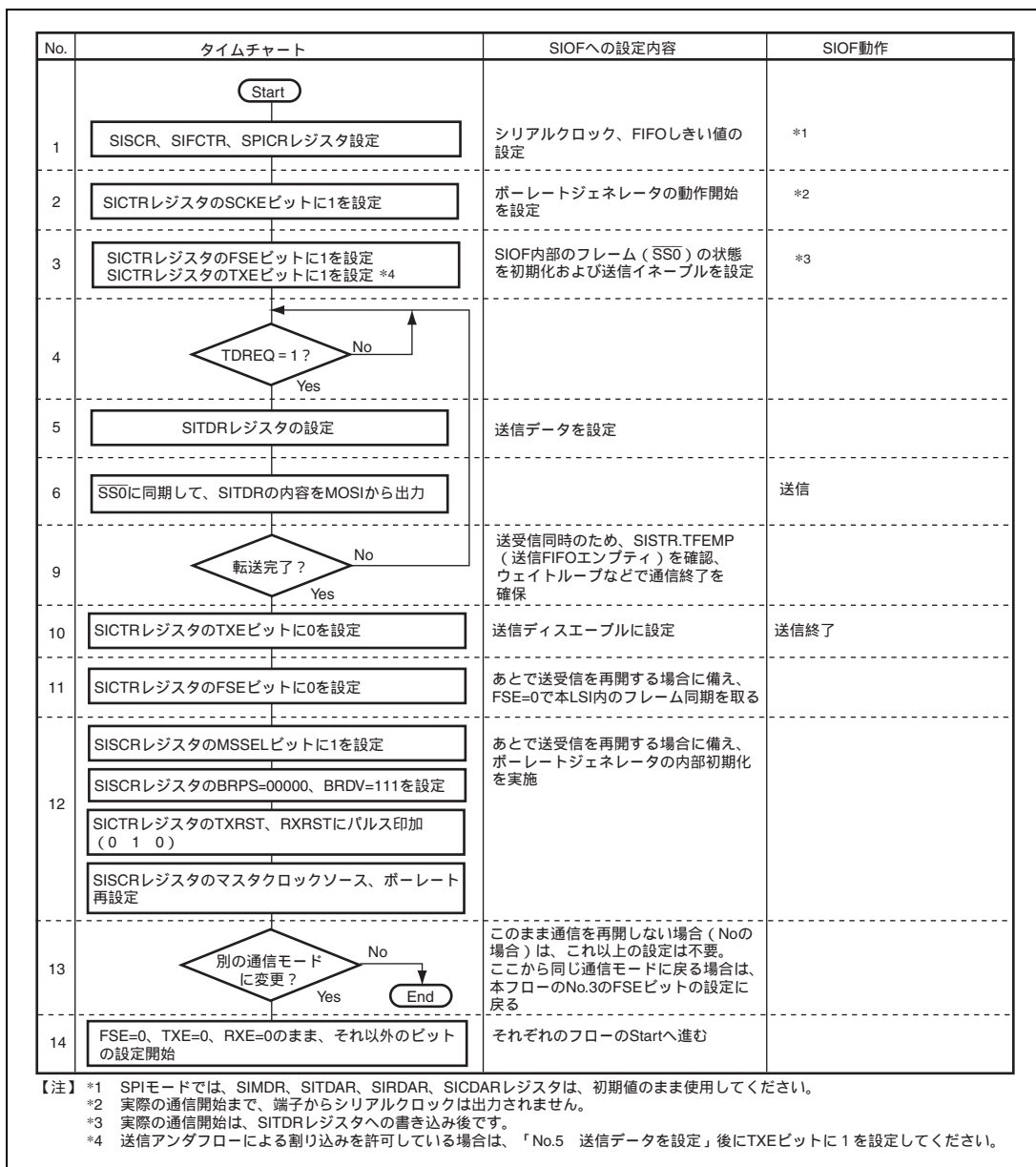


図 21.25 SPI 送受信動作 (TDMAE=0、CPU による半二重送信例)

---

## 22. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

---

本 LSI は、FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF : Serial Communication Interface with FIFO) を 3 チャンネル内蔵しています。SCIF は、調歩同期式とクロック同期式の 2 方式でシリアル通信ができます。

送受信に FIFO バッファをおのおの 16 段内蔵しており、効率の良い高速連続通信を行うことができます。

### 22.1 特長

SCIF には次のような特長があります。

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。

シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 : フレーミングエラーが発生し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークを検出します。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信ができます。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また送信部および受信部ともに 16 段の FIFO バッファ構造になっているのでシリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

- クロックソース：ポーレートジェネレータからの内部クロック、またはSCIFSCK端子からの外部クロックから選択可能
- 4種類の割り込み要因  
送信FIFOデータエンプティ、ブレイク、受信FIFOデータフル、受信エラーの4種類の割り込みチャンネルごとに要因があり、チャンネルごと独立に要求することができます。
- 送信FIFOデータエンプティ時と受信FIFO内に受信データがあるとき、DMA転送要求を出すことにより、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期式モードにおいてモデムコントロール機能 (  $\overline{\text{SCIFRTS}}$ 、  $\overline{\text{SCIFCTS}}$  ) を内蔵しています。
- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。
- 調歩同期式モードにおいて、受信時、タイムアウトエラー (DR) を検出できます。

図 22.1 に SCIF のブロック図を示します。

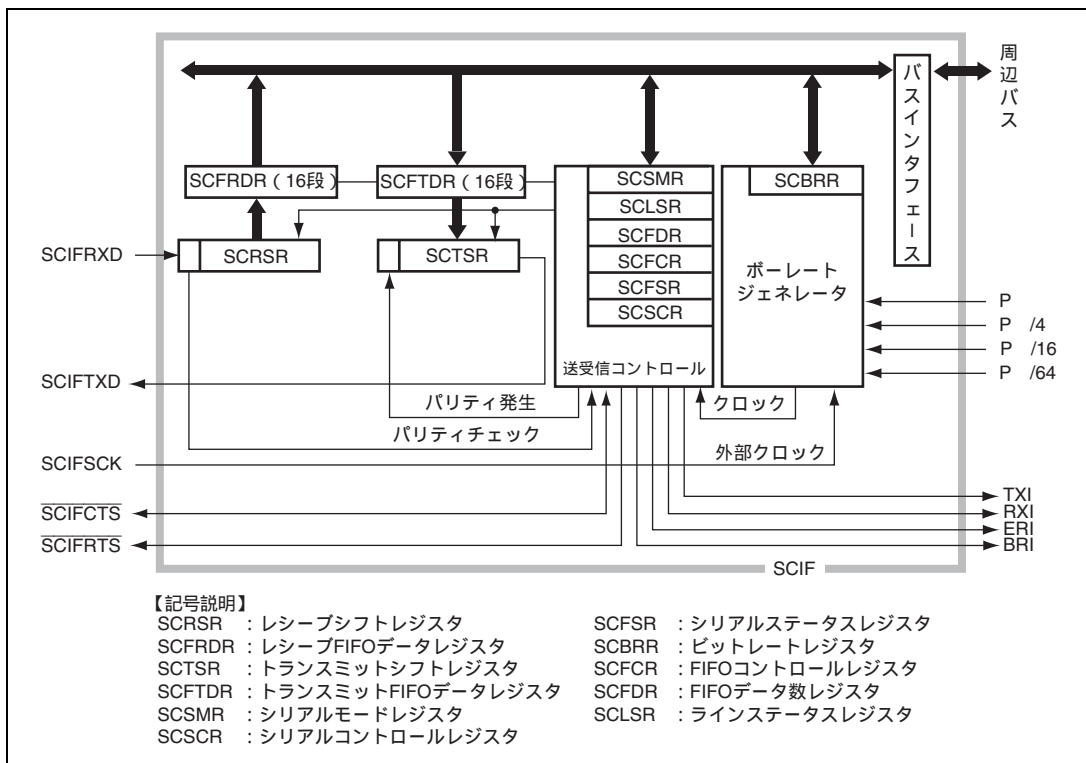


図 22.1 SCIF の 1 チャンネル分のブロック図

## 22.2 入出力端子

SCIF の端子構成を表 22.1 に示します。

表 22.1 SCIF の端子構成

チャンネル	端子名	機能	入出力	説明
0	SCIF0_TXD	送信データ	出力	送信データ用の端子です。
	SCIF0_RXD	受信データ	入力	受信データ用の端子です。
	SCIF0_SCK	シリアルクロック	入出力	クロック入出力端子です。
	SCIF0_RTS	モデムコントロール	出力	RTS 出力端子です。
	SCIF0_CTS	モデムコントロール	入力	CTS 入力端子です。
1	SCIF1_TXD	送信データ	出力	送信データ用の端子です。
	SCIF1_RXD	受信データ	入力	受信データ用の端子です。
	SCIF1_SCK	シリアルクロック	入出力	クロック入出力端子です。
	SCIF1_RTS	モデムコントロール	出力	RTS 出力端子です。
	SCIF1_CTS	モデムコントロール	入力	CTS 入力端子です。
2	SCIF2_TXD	送信データ	出力	送信データ用の端子です。
	SCIF2_RXD	受信データ	入力	受信データ用の端子です。
	SCIF2_SCK	シリアルクロック	入出力	クロック入出力端子です。
	SCIF2_RTS	モデムコントロール	出力	RTS 出力端子です。
	SCIF2_CTS	モデムコントロール	入力	CTS 入力端子です。

- 【注】
- 本文中では、チャンネルを省略し、総合の名称として SCIFTXD、SCIFRXD、SCIFSCK、SCIFRTS、SCIFCTS を使用します。
  - SCIF の動作設定を SCSMR の C/A ビット、SCSCR の TE、RE、CKE1 ビット、および SCFCR の MCE ビットで行うことにより、シリアル端子として機能します。SCIFSCK 端子は、入力（入力有効か入力無効）に設定可能です。

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### 22.3 レジスタの説明

SCIF のレジスタ構成を表 22.2 に示します。また、各処理モードにおけるレジスタの状態を表 22.3 に示します。

表 22.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
シリアルモードレジスタ 0	SCSMR0	R/W	H'FFE0 0000	16
ビットレートレジスタ 0	SCBRR0	R/W	H'FFE0 0004	8
シリアルコントロールレジスタ 0	SCSCR0	R/W	H'FFE0 0008	16
トランスミット FIFO データレジスタ 0	SCFTDR0	W	H'FFE0 000C	8
シリアルステータスレジスタ 0	SCFSR0	R/W*1	H'FFE0 0010	16
レシーブ FIFO データレジスタ 0	SCFRDR0	R	H'FFE0 0014	8
FIFO コントロールレジスタ 0	SCFCR0	R/W	H'FFE0 0018	16
FIFO データ数レジスタ 0	SCFDR0	R	H'FFE0 001C	16
ラインステータスレジスタ 0	SCLSR0	R/W*2	H'FFE0 0024	16
シリアルモードレジスタ 1	SCSMR1	R/W	H'FFE1 0000	16
ビットレートレジスタ 1	SCBRR1	R/W	H'FFE1 0004	8
シリアルコントロールレジスタ 1	SCSCR1	R/W	H'FFE1 0008	16
トランスミット FIFO データレジスタ 1	SCFTDR1	W	H'FFE1 000C	8
シリアルステータスレジスタ 1	SCFSR1	R/W*1	H'FFE1 0010	16
レシーブ FIFO データレジスタ 1	SCFRDR1	R	H'FFE1 0014	8
FIFO コントロールレジスタ 1	SCFCR1	R/W	H'FFE1 0018	16
FIFO データ数レジスタ 1	SCFDR1	R	H'FFE1 001C	16
ラインステータスレジスタ 1	SCLSR1	R/W*2	H'FFE1 0024	16
シリアルモードレジスタ 2	SCSMR2	R/W	H'FFE2 0000	16
ビットレートレジスタ 2	SCBRR2	R/W	H'FFE2 0004	8
シリアルコントロールレジスタ 2	SCSCR2	R/W	H'FFE2 0008	16
トランスミット FIFO データレジスタ 2	SCFTDR2	W	H'FFE2 000C	8
シリアルステータスレジスタ 2	SCFSR2	R/W*1	H'FFE2 0010	16
レシーブ FIFO データレジスタ 2	SCFRDR2	R	H'FFE2 0014	8
FIFO コントロールレジスタ 2	SCFCR2	R/W	H'FFE2 0018	16
FIFO データ数レジスタ 2	SCFDR2	R	H'FFE2 001C	16
ラインステータスレジスタ 2	SCLSR2	R/W*2	H'FFE2 0024	16

【注】 \*1 ビット 7~4、1、0 は、フラグをクリアするための 0 書き込みのみ可能です。

\*2 ビット 0 は、フラグをクリアするための 0 書き込みのみ可能です。

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 22.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
SCSMR0	初期化	初期化	保持	保持	初期化	保持
SCBRR0	初期化	初期化	保持	保持	初期化	保持
SCSCR0	初期化	初期化	保持	保持	初期化	保持
SCFTDR0	初期化	初期化	保持	保持	初期化	保持
SCFSR0	初期化	初期化	保持	保持	初期化	保持
SCFRDR0	初期化	初期化	保持	保持	初期化	保持
SCFCR0	初期化	初期化	保持	保持	初期化	保持
SCFDR0	初期化	初期化	保持	保持	初期化	保持
SCLSR0	初期化	初期化	保持	保持	初期化	保持
SCSMR1	初期化	初期化	保持	保持	初期化	保持
SCBRR1	初期化	初期化	保持	保持	初期化	保持
SCSCR1	初期化	初期化	保持	保持	初期化	保持
SCFTDR1	初期化	初期化	保持	保持	初期化	保持
SCFSR1	初期化	初期化	保持	保持	初期化	保持
SCFRDR1	初期化	初期化	保持	保持	初期化	保持
SCFCR1	初期化	初期化	保持	保持	初期化	保持
SCFDR1	初期化	初期化	保持	保持	初期化	保持
SCLSR1	初期化	初期化	保持	保持	初期化	保持
SCSMR2	初期化	初期化	保持	保持	初期化	保持
SCBRR2	初期化	初期化	保持	保持	初期化	保持
SCSCR2	初期化	初期化	保持	保持	初期化	保持
SCFTDR2	初期化	初期化	保持	保持	初期化	保持
SCFSR2	初期化	初期化	保持	保持	初期化	保持
SCFRDR2	初期化	初期化	保持	保持	初期化	保持
SCFCR2	初期化	初期化	保持	保持	初期化	保持
SCFDR2	初期化	初期化	保持	保持	初期化	保持
SCLSR2	初期化	初期化	保持	保持	初期化	保持

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

---

### 22.3.1 レシーブシフトレジスタ 0~2 (SCRSR0~SCRSR2)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR に SCIFRXD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCFRDR へ転送されます。

SCRSR は、CPU から直接読み出し / 書き込みできません。

### 22.3.2 レシーブ FIFO データレジスタ 0~2 (SCFRDR0~SCFRDR2)

SCFRDR は、受信したシリアルデータを格納する 8 ビット長の 16 段 FIFO レジスタです。

SCIF は、1 バイトのシリアルデータの受信が終了すると、SCRSR から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になり、SCFRDR がいっぱいになる 16 バイトデータまで連続した受信動作が可能です。

SCFRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

また、SCFRDR に受信データがない状態で読み出した値は不定値になります。SCFRDR 内の受信データがいっぱいになると、以降の受信したシリアルデータは失われます。

### 22.3.3 トランスミットシフトレジスタ 0~2 (SCTSR0~SCTSR2)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、SCFTDR から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に SCIFTXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

SCTSR は、CPU から直接読み出し / 書き込みできません。

### 22.3.4 トランスミット FIFO データレジスタ 0~2 (SCFTDR0~SCFTDR2)

SCFTDR は、シリアル送信するデータを格納する 8 ビット長の 16 段 FIFO レジスタです。

SCIF は、送信データが SCFTDR に書き込まれたとき、SCTSR が空ならば、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。

SCFTDR は、書き込み専用レジスタですので CPU から読み出すことはできません。SCFTDR 内の送信データが 16 バイトでいっぱいときは次のデータを書き込むことはできません。書き込んだデータは無視されます。



## 22.3.5 シリアルモードレジスタ 0~2 (SCSMR0~SCSMR2)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	C/Ā	CHR	PE	O/Ē	STOP	—	—	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/Ā	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードまたはクロック同期式モードのいずれかから選択します。 0: 調歩同期式モード 1: クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。7 ビットデータを選択した場合、SCFTDR の MSB (ビット 7) は送信されません。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。 0: 8 ビットデータ 1: 7 ビットデータ
5	PE	0	R/W	パリティイネーブル 調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。 0: パリティビットの付加、およびチェックを禁止 1: パリティビットの付加、およびチェックを許可* 【注】* PE ビットに 1 をセットすると送信時には、O/Ē ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/Ē ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0: 偶数パリティ 1: 奇数パリティ</p> <p>偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。ストップビットの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0: 1 ストップビット*<sup>1</sup> 1: 2 ストップビット*<sup>2</sup></p> <p>なお受信時には、STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合はストップビットとして扱いますが、0 の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>【注】*1 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。 *2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
1, 0	CKS[1:0]	00	R/W	<p>クロックセレクト</p> <p>内蔵ポーレートジェネレータのクロックソースを選択します。CKS ビットの設定で P、P /4、P /16、P /64 の 4 種類からクロックソースを選択できます。</p> <p>クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「22.3.8 ビットレートレジスタ 0~2 (SCBRR0~SCBRR2)」を参照してください。</p> <p>00 : P クロック 01 : P /4 クロック 10 : P /16 クロック 11 : P /64 クロック</p> <p>【注】P : 周辺クロック</p>

### 22.3.6 シリアルコントロールレジスタ 0~2 (SCSCR0~SCSCR2)

SCSCR は、SCIF の送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TIE	RIE	TE	RE	REIE	—	—	CKE[1:0]
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>SCFTDR から SCTSR へシリアル送信データが転送され、SCFTDR 内のデータ数が送信トリガ設定数以下になり、SCFSR の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。</p> <p>TXI の解除は、TDFE フラグの 1 を読み出した後、SCFTDR に送信トリガ設定数より多い送信データを書き込み、TDFE を 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。</p> <p>0 : 送信 FIFO データエンプティ割り込み (TXI) 要求を禁止 1 : 送信 FIFO データエンプティ割り込み (TXI) 要求を許可</p>

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>SCFSR の RDF フラグまたは DR フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされたときのブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。</p> <p>0 : 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止</p> <p>1 : 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可</p> <p>【注】 RXI 割り込み要求の解除は、RDF または DR フラグの 1 を読み出した後で 0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、ER、BRK、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCIF のシリアル送信動作の開始を許可 / 禁止します。</p> <p>TE ビットが 1 のときに、SCFTDR に送信データを書き込むとシリアル送信を開始します。</p> <p>0 : 送信動作を禁止</p> <p>1 : 送信動作を許可*</p> <p>【注】* TE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIF のシリアル受信動作の開始を許可 / 禁止します。</p> <p>RE ビットが 1 のときに調歩同期モードの場合はスタートビットを、クロック同期モードでは同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。</p> <p>RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>0 : 受信動作を禁止</p> <p>1 : 受信動作を許可*</p> <p>【注】* RE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
3	REIE	0	R/W	<p>レシーブエラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の解除は、ER、BRK、ORER フラグの 1 を読み出した後で 0 にクリアするか、RIE と REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMAC 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を禁止</p> <p>1 : 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を許可</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1, 0	CKE[1:0]	00	R/W	<p>クロックイネーブル</p> <p>SCIFSK 端子入力が有効か無効かを設定します。SCSMR で SCIF の動作モードを決定する前に、必ず CKE[1:0] ビットの設定をしてください。</p> <ul style="list-style-type: none"> <li>• 調歩同期式 <ul style="list-style-type: none"> <li>00 : 内部クロック / SCIFSK 端子は入力端子 (入力信号は無視)</li> <li>01 : 設定禁止</li> <li>10 : 外部クロック / SCIFSK 端子はクロック入力*<sup>1</sup></li> <li>11 : 設定禁止</li> </ul> </li> <li>• クロック同期式 <ul style="list-style-type: none"> <li>00 : 設定禁止</li> <li>01 : 外部クロック / SCIFSK 端子は同期クロック出力*<sup>2</sup></li> <li>10 : 外部クロック / SCIFSK 端子は同期クロック入力</li> <li>11 : 設定禁止</li> </ul> </li> </ul> <p>【注】 *<sup>1</sup> 入力クロックの周波数は、ビットレートの 16 倍です。 *<sup>2</sup> 出力クロックの周波数は、ビットレートと同じです。</p>

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### 22.3.7 シリアルステータスレジスタ 0~2 (SCFSR0~SCFSR2)

SCFSR は 16 ビット長のレジスタです。上位 8 ビットは SCFRDR 内のデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示します。

SCFSR の上位 8 ビットは常に CPU から読み出すことができます。SCFSR の下位 8 ビットは常に CPU から読み出し/書き込みできます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。なお、FER フラグ、および PER フラグは読み出し専用であり、書き込むことはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PERC[3:0]				FERC[3:0]				ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R	R	R/W*	R/W*

【注】 \* フラグをクリアするために 0 を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~12	PERC[3:0]	0000	R	パリティエラー数 SCFRDR に格納されている受信データで、パリティエラーの発生しているデータ数を示します。SCFSR の ER ビットがセットされた後、PERC ビットで示される値がパリティエラー発生データ数を示します。SCFRDR の 16 バイトの受信データのすべてがパリティエラーを伴う場合、PERC ビットは 0 を表示します。
11~8	FERC[3:0]	0000	R	フレーミングエラー数 SCFRDR に格納されている受信データで、フレーミングエラーの発生しているデータ数を示します。SCFSR の ER ビットがセットされた後、FERC ビットで示される値がフレーミングエラー発生データ数を示します。SCFRDR の 16 バイトの受信データのすべてがフレーミングエラーを伴う場合、FERC ビットは 0 を表示します。

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説 明
7	ER	0	R/W*	<p>レシーブエラー</p> <p>受信時にフレーミングエラー、パリティエラーが発生したことを示します。SCSCR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR に転送され、受信動作を続けます。SCFRDR から読み出すデータに受信エラーがあるかどうかは、SCFSR の FER、PER ビットで判定できます。</p> <p>0：受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• ER = 1 の状態を読み出した後、0 を書き込んだとき</li> </ul> <p>1：受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき</li> <li>• 2ストップモードのときは 1 ビット目のストップビットが 1 であるかどうかのみを判定し 2 ストップビット目のストップビットはチェックしません。</li> <li>• 受信時の受信データとパリティビットを合わせた 1 の数が SCSMR の O/E ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき</li> </ul>
6	TEND	1	R/W*	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0：送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• SCFTDR に送信データを書き込み、TEND = 1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき</li> <li>• DMAC で SCFTDR ヘデータを書き込んだとき</li> </ul> <p>1：送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• SCSCR の TE ビットが 0 のとき</li> <li>• 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に SCFTDR に送信データがないとき</li> </ul>

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5	TDFE	1	R/W*	<p>トランスミット FIFO データエンプティ</p> <p>SCFTDR から SCTSR にデータ転送が行われ、SCFTDR 内のデータ数が SCFCR の TTRG ビットで設定した送信トリガデータ数以下になり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR に送信トリガ設定数より多い送信データが書き込まれていることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TDFE = 1 の状態を読み出した後、SCFTDR に送信トリガ設定数を超える送信データを書き込み、0 を書き込んだとき</li> <li>• DMAC で SCFTDR に送信トリガ設定数を超えるデータを書き込んだとき</li> </ul> <p>1: SCFTDR の送信データ数が送信トリガ設定数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• SCFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき</li> </ul> <p>【注】 SCFTDR は 16 バイトの FIFO レジスタですので TDFE = 1 で書き込むことができる最大データ数は、16 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されます。また、SCFTDR 内のデータ数は SCFCR の上位ビットに示されます。</p>
4	BRK	0	R/W*	<p>ブレーク検出</p> <p>受信データのブレーク信号を検出して示します。</p> <p>0: ブレーク信号を受信していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• BRK = 1 の状態を読み出した後、0 を書き込んだとき</li> </ul> <p>1: ブレーク信号を受信したことを表示*</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• フレーミングエラーを伴うデータを受信したとき、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合</li> </ul> <p>【注】* ブレーク検出すると検出後の受信データ (H'00) の SCFCRDR 転送は停止します。ブレークが終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。</p>



## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、次に SCFRDR から読み出すデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• 次の SCFRDR 読み出しデータにフレーミングエラーなし</li> </ul> <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 次の SCFRDR 読み出しデータにフレーミングエラーあり</li> </ul>
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、次に SCFRDR から読み出すデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• 次の SCFRDR 読み出しデータにパリティエラーなし</li> </ul> <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生していることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 次の SCFRDR 読み出しデータにパリティエラーあり</li> </ul>

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/W*	<p>レシーブ FIFO データフル 受信したデータが SCRSR から SCFRDR に転送され、SCFRDR 内の受信データ数が、SCFCR の RTRG ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>0 : SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• RDF = 1 を読み出した後、SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出し、0 を書き込んだとき</li> <li>• DMAC で SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出したとき</li> </ul> <p>1 : SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• SCFRDR に受信トリガ設定数以上の受信データが格納されたとき</li> </ul> <p>【注】 SCFRDR は 16 バイトの FIFO レジスタです。RDF が 1 のとき少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR が空の状態ではデータを読み出すと不定値が読み出されます。なお SCFRDR 内の受信データ数は SCFCR の下位ビットに示されます。</p>
0	DR	0	R/W*	<p>レシーブデータレディ 調歩同期式モードで、SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15ETU 時間以上、次のデータが来ないことを示します。クロック同期式モードに設定した場合はセットされません。</p> <p>0 : 受信中または正常に受信完了して SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• DR = 1 を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき</li> <li>• DMAC で SCFRDR 内の受信データをすべて読み出したとき</li> </ul> <p>1 : 次の受信データが来ないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15ETU 時間以上次のデータが来ないとき</li> </ul> <p>【注】 15ETU 時間は 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。</p>

【記号説明】 ETU (Elementary time unit : 1 ビットの転送期間の略)

【注】 \* フラグをクリアするために 0 を書き込むことのみ可能です。

## 22.3.8 ビットレートレジスタ 0~2 (SCBRR0~SCBRR2)

SCBRR は、SCSMR の CKS[1:0]ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。

SCBRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{P}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{P}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 ~ N 255)  
(電気的特性を満足する設定値としてください)

P : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)  
(n とクロックの関係は、表 22.4 を参照してください)

表 22.4 SCSMR の設定値

n	クロックソース	SCSMR の設定値	
		CKS[1]	CKS[0]
0	P	0	0
1	P /4	0	1
2	P /16	1	0
3	P /64	1	1

【注】 調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### 22.3.9 FIFO コントロールレジスタ 0 ~ 2 (SCFCR0 ~ SCFCR2)

SCFCR は送信 / 受信各 FIFO レジスタのデータ数リセット、およびトリガデータ数の設定を行うレジスタです。またループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RSTRG[3:0]			RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15 ~ 11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10 ~ 8	RSTRG[3:0]	000	R/W	SCIFRTS 出力アクティブトリガ SCFRDR 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき、SCIFRTS 信号はハイレベルになります。  000 : 15 001 : 1 010 : 4 011 : 6 100 : 8 101 : 10 110 : 12 111 : 14
7, 6	RTRG[1:0]	00	R/W	レシーブ FIFO データ数トリガ SCFSR の RDF フラグをセットする受信データ数を設定するビットです。SCFRDR 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき RDF フラグをセットします。  [ 調歩同期式モード ]                      [ クロック同期式モード ] 00 : 1    00 : 1 01 : 4    01 : 2 10 : 8    10 : 8 11 : 14     11 : 14

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5, 4	TTRG[1:0]	00	R/W	<p>トランスミット FIFO データ数トリガ</p> <p>SCFSR の TDFE フラグをセットする残りの送信データ数を設定するビットです。</p> <p>送信動作により SCFTDR 内の送信データ数が、下表に示すトリガ設定数以下になったとき TDFE フラグをセットします。</p> <p>00 : 8 (8) *</p> <p>01 : 4 (12) *</p> <p>10 : 2 (14) *</p> <p>11 : 0 (16) *</p> <p>【注】* ( ) 内の値は TDFE フラグがセットされるとき SCFTDR レジスタの空きバイト数を示します。</p>
3	MCE	0	R/W	<p>モデムコントロールイネーブル</p> <p>モデムコントロール信号 <u>SCIFCTS</u>、<u>SCIFRTS</u> を有効にします。クロック同期モードでは MCE ビットを常に 0 にしてください。</p> <p>0 : モデム信号を無効*</p> <p>1 : モデム信号を有効</p> <p>【注】* 入力値に関係なく <u>SCIFCTS</u> はアクティブ 0 に固定され、<u>SCIFRTS</u> 出力も 0 に固定されます。</p>
2	TFRST	0	R/W	<p>トランスミット FIFO データレジスタリセット</p> <p>トランスミット FIFO データレジスタ内の送信データを無効とし、空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット、マニュアルリセット、U スタンバイ時にはリセット動作が行われます。</p>
1	RFRST	0	R/W	<p>レシーブ FIFO データレジスタリセット</p> <p>レシーブ FIFO データレジスタ内の受信データを無効とし、空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット、マニュアルリセット、U スタンバイ時にはリセット動作が行われます。</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (SCIFTXD) と受信入力端子 (SCIFRXD)、<u>SCIFRTS</u> 端子と <u>SCIFCTS</u> 端子を内部で接続し、ループバックテストを可能にします。</p> <p>0 : ループバックテストを禁止</p> <p>1 : ループバックテストを許可</p>

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### 22.3.10 FIFO データ数レジスタ 0~2 (SCFDR0~SCFDR2)

SCFDR は、SCFTDR および SCFRDR 内に格納されているデータ数を示す 16 ビット長のレジスタです。上位 8 ビットで SCFTDR 内の送信データ数を、下位 8 ビットで SCFRDR 内の受信データ数を示します。SCFDR は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	TFDC[4:0]				—	—	—	RFDC[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12~8	TFDC[4:0]	00000	R	トランスミット FIFO データ数 SCFTDR 内に格納されている未送信データ数を示します。H'00 は送信データがないことを、H'10 は SCFTDR に 16 バイトの送信データが格納されていることを示します。
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~0	RFDC[4:0]	00000	R	レシーブ FIFO データ数 SCFRDR 内に格納されている受信データ数を示します。H'00 は受信データがないことを、H'10 は SCFRDR に 16 バイトの受信データが格納されていることを示します。

## 22.3.11 ラインステータスレジスタ 0~2 (SCLSR0~SCLSR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W*

【注】\* フラグをクリアするために 0 を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ORER	0	R/W*	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示<sup>*1</sup></p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• ORER = 1 の状態を読み出した後、0 を書き込んだとき</li> </ul> <p>1: 受信時にオーバランエラーが発生したことを表示<sup>*2</sup></p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• SCFRDR がいっぱいになる 16 バイトのデータを受信した状態で次のシリアル受信を完了したとき</li> </ul> <p>【注】*1 SCSCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*2 SCFRDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません</p>

【注】 \* フラグをクリアするために 0 を書き込むことのみ可能です。

### 22.4 動作説明

#### 22.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。調歩同期式モードの動作については、「22.4.2 調歩同期式モードの動作」を参照してください。

送受信おののにおに 16 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号として  $\overline{\text{SCIFRTS}}$ 、 $\overline{\text{SCIFCTS}}$  信号を内蔵しています。

送受信フォーマットの選択は、SCSMR で行います。これを表 22.5 に示します。また、SCIF のクロックソースは、SCSMR の  $C/\bar{A}$  ビットおよび SCSCR の CKE1 ビットの組み合わせで決まります。これを表 22.6 に示します。

##### 1. 調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- パリティの付加および1ビット/2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、レシーブFIFOデータフル、オーバランエラー、レシーブデータレディ、およびブレークの検出が可能
- 送受信FIFOレジスタおののの格納データ数を表示
- SCIFのクロックソース：内部クロック/外部クロックから選択可能

内部クロックを選択した場合：SCIFはボーレートジェネレータのクロックで動作します。

外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要

(内蔵ボーレートジェネレータを使用しない)

##### 2. クロック同期式モード

- データ長：8ビットに固定
- 受信時にオーバランエラーの検出が可能
- SCIFのクロックソース：外部クロックを選択  
内蔵ボーレートジェネレータを使用せず、入力された同期クロックで動作



表 22.5 SCSMR の設定値とシリアル送信 / 受信フォーマット

SCSMR の設定値				モード	SCIF の送信 / 受信フォーマット		
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティビット	ストップビット長
C/A	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビットデータ	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1			2 ビット	
	1	0	0		7 ビットデータ	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1			2 ビット	
1	*	*	*	クロック同期式モード	8 ビットデータ	なし	なし

【注】 \* Don't care

表 22.6 SCSMR、SCSCR の設定と SCIF のクロックソースの選択

SCSMR	SCSCR の設定	モード	クロックソース	SCIF SCK 端子の機能
ビット 7	ビット 1			
C/A	CKE1			
0	0	調歩同期式モード	内部	SCIF は SCIF SCK 端子を使用しません
	1		外部	ビットレートの 16 倍の周波数のクロックを入力
1	0	クロック同期式モード	-	- (設定禁止)
	1		外部	同期クロックを入力

### 22.4.2 調歩同期式モードの動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていて、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 22.2 に示します。

調歩同期式シリアル通信では、通常、通信回線はマーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また、SCIF はデータを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

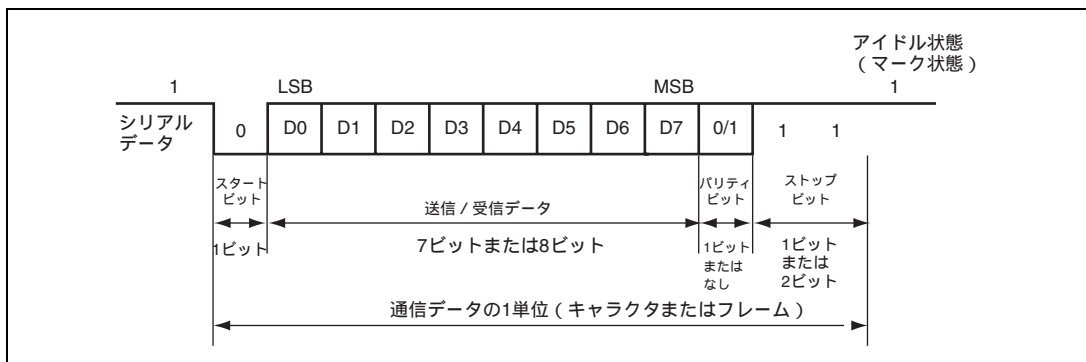


図 22.2 調歩同期式通信のデータフォーマット  
(8 ビットデータ / パリティあり / 2 ストップビットの例)

#### (1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 22.7 に示します。

送信 / 受信フォーマットは 8 種類あり、SCSMR の設定により選択できます。

表 22.7 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMRの設定			シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	S	8ビットデータ								STOP			
0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	S	8ビットデータ								P	STOP		
0	1	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	S	7ビットデータ							STOP				
1	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	S	7ビットデータ							P	STOP			
1	1	1	S	7ビットデータ							P	STOP	STOP		

## 【記号説明】

S : スタートビット

STOP: ストップビット

P : パリティビット

## (2) クロック

SCIFの送受信クロックは、SCSMRの $C/\bar{A}$ ビットおよびSCSCRのCKE1ビットの設定により、調歩同期式モード設定時は、内蔵ポーレートジェネレータの生成した内部クロックまたはSCIF\_SCK端子から入力された外部クロックの2種類から選択できます。クロック同期式モード設定時は、外部クロックを選択してください。SCIFのクロックソースの選択については表22.6を参照してください。

調歩同期式モード設定時、外部クロックをSCIF\_SCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。クロック同期式モード設定時には、同期クロックをSCIF\_SCK端子に入力してください。

## (3) SCIFの初期化 (調歩同期式)

データの送信 / 受信前には、まずSCSCRのTEビット、およびREビットを0にクリアした後、以下の順でSCIFを初期化してください。動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

1. TEビットを0にクリアすると、SCTSRが初期化されます。TE、REビットを0にクリアしても、SCFSR、SCFTDRおよび、SCFRDRの内容は保持されますので注意してください。
2. TEビットの0クリアは、送信データをすべて送信しSCFSRのTENDフラグがセットされた後に行ってください。送信中でも0クリア可能ですが、送信中のデータは0クリア後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットをいったん1にセットしてSCFTDRをリセットしてください。
3. 外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 22.3 に SCIF の初期化フローチャートの例を示します。

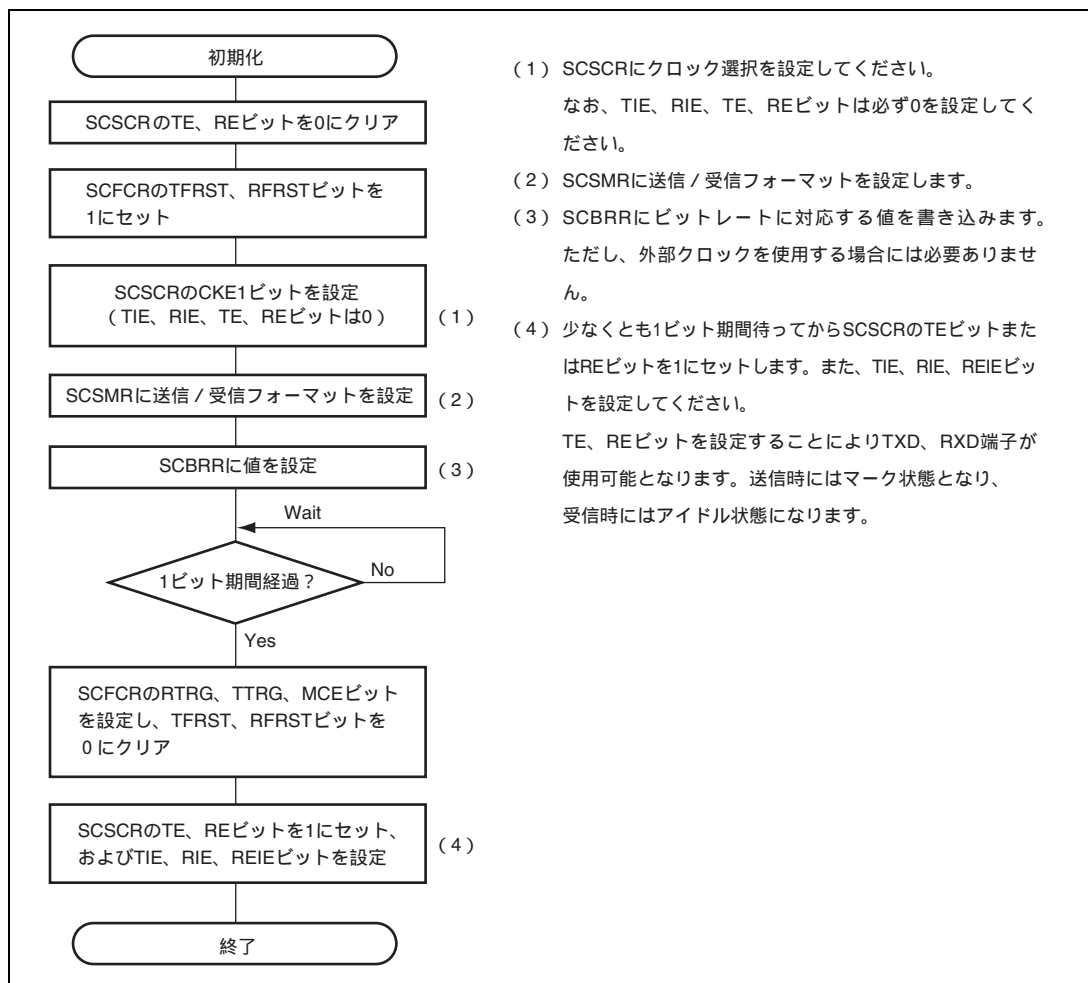


図 22.3 SCIF の初期化フローチャートの例

## (4) シリアルデータ送信 (調歩同期式)

図 22.4 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIF を送信動作可能状態に設定した後、以下の手順を参考に行ってください。

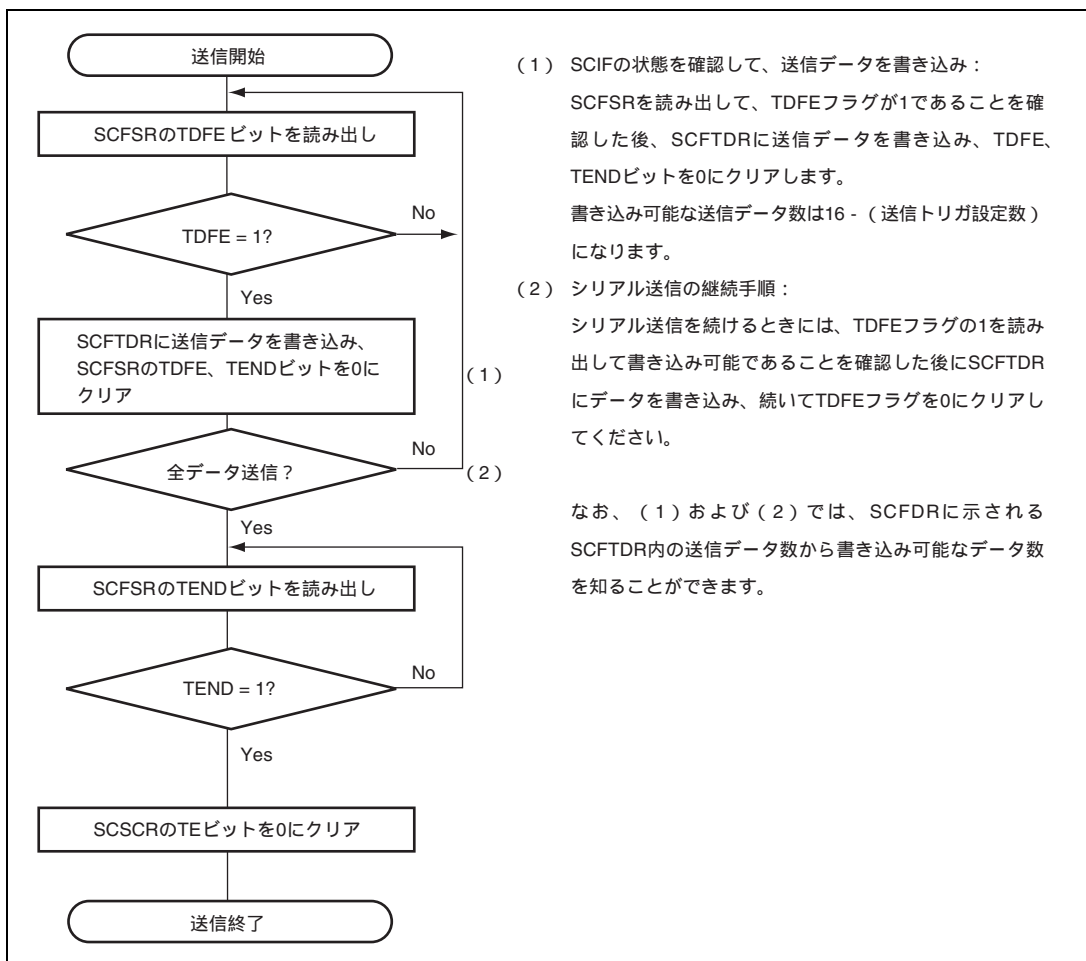


図 22.4 シリアル送信のフローチャートの例

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

---

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも16 - (送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定した送信トリガ数以下になったとき、TDFEフラグをセットします。このとき、SCSCRのTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に SCIFTXD 端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
  - (b) 送信データ：8ビットまたは7ビットのデータがLSBから順に出力されます。
  - (c) パリティビット (偶数パリティ、または奇数パリティ) が出力されます。  
なお、パリティビットを出力しないフォーマットも選択できます。
  - (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
  - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。  
データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。  
ストップビットを送り出した後、送信データがないとSCFSRのTENDフラグに1をセットし、SCIFTXD端子から1を出力するマーク状態になります。

調歩同期式モードでの送信時の動作例を図 22.5 に示します。

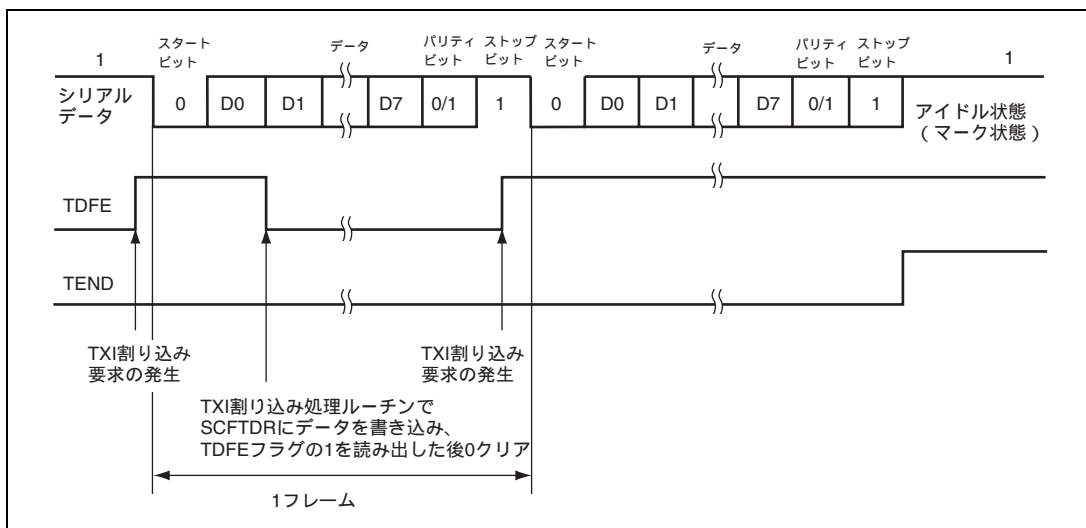
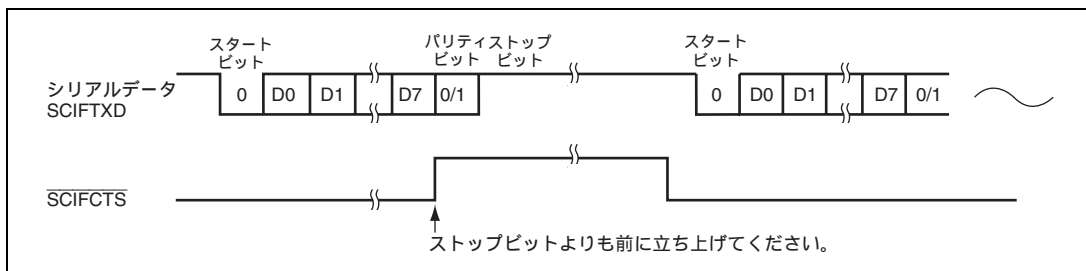


図 22.5 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

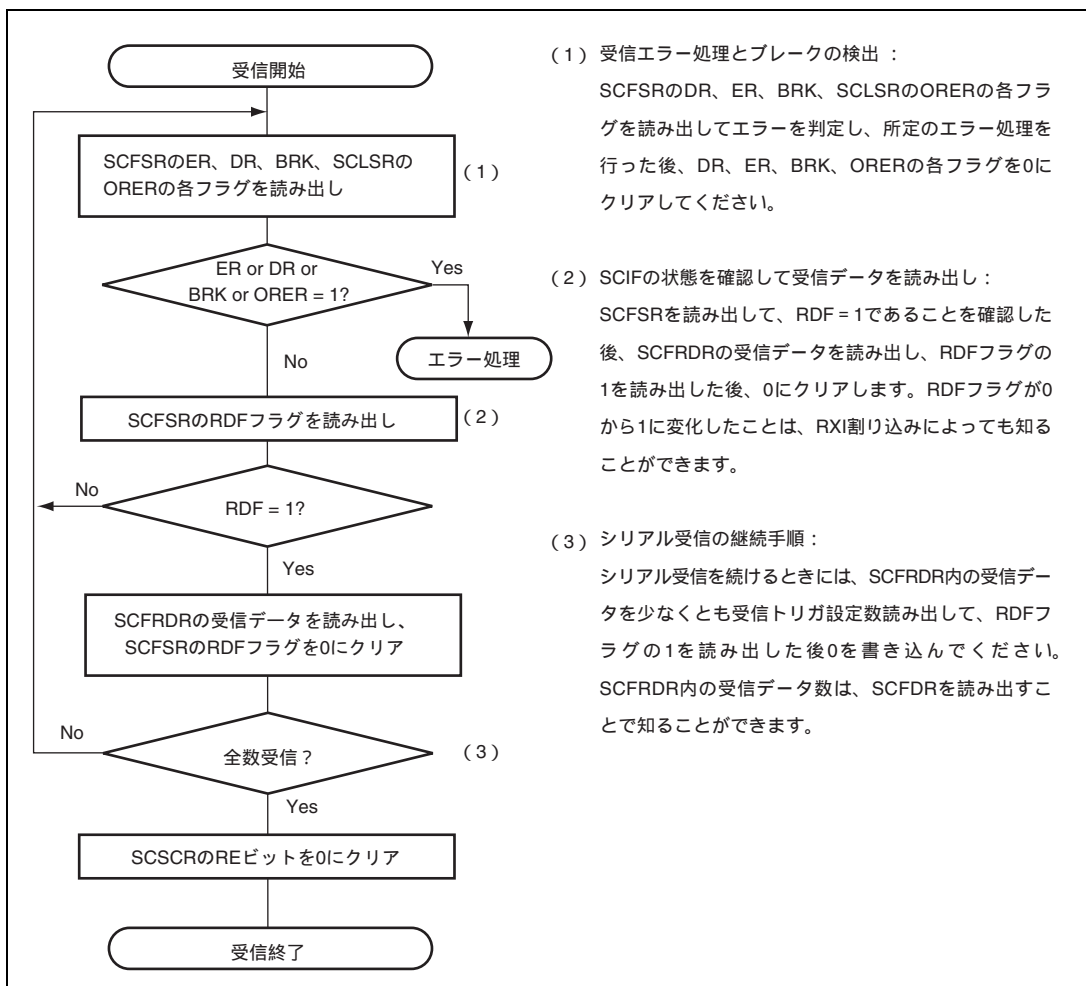
4. モデムコントロールイネーブル時は  $\overline{\text{SCIFCTS}}$  入力値によって送信動作を停止 / 再開することができます。 $\overline{\text{SCIFCTS}}$  が 1 になると現在送信中のときは 1 フレーム送信終了後マーク状態になります。 $\overline{\text{SCIFCTS}}$  を 0 にすると再びスタートビットから次の送信データを出力します。モデムコントロール時の動作例を図 22.6 に示します。

図 22.6 モデムコントロール ( $\overline{\text{SCIFCTS}}$ ) 時の動作例

(5) シリアルデータ受信 (調歩同期式)

図 22.7 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIF を受信動作可能状態に設定した後、図 22.7 の手順で行ってください。



- (1) 受信エラー処理とブレイクの検出 :  
SCFSRのDR、ER、BRK、SCLSRのORERの各フラグを読み出してエラーを判定し、所定のエラー処理を行った後、DR、ER、BRK、ORERの各フラグを0にクリアしてください。
- (2) SCIFの状態を確認して受信データを読み出し :  
SCFSRを読み出して、RDF = 1であることを確認した後、SCFRDRの受信データを読み出し、RDFフラグの1を読み出した後、0にクリアします。RDFフラグが0から1に変化したことは、RXI割り込みによっても知ることができます。
- (3) シリアル受信の継続手順 :  
シリアル受信を続けるときには、SCFRDR内の受信データを少なくとも受信トリガ設定数読み出して、RDFフラグの1を読み出した後0を書き込んでください。SCFRDR内の受信データ数は、SCFDRを読み出すことで知ることができます。

図 22.7 シリアル受信のフローチャートの例 (1)



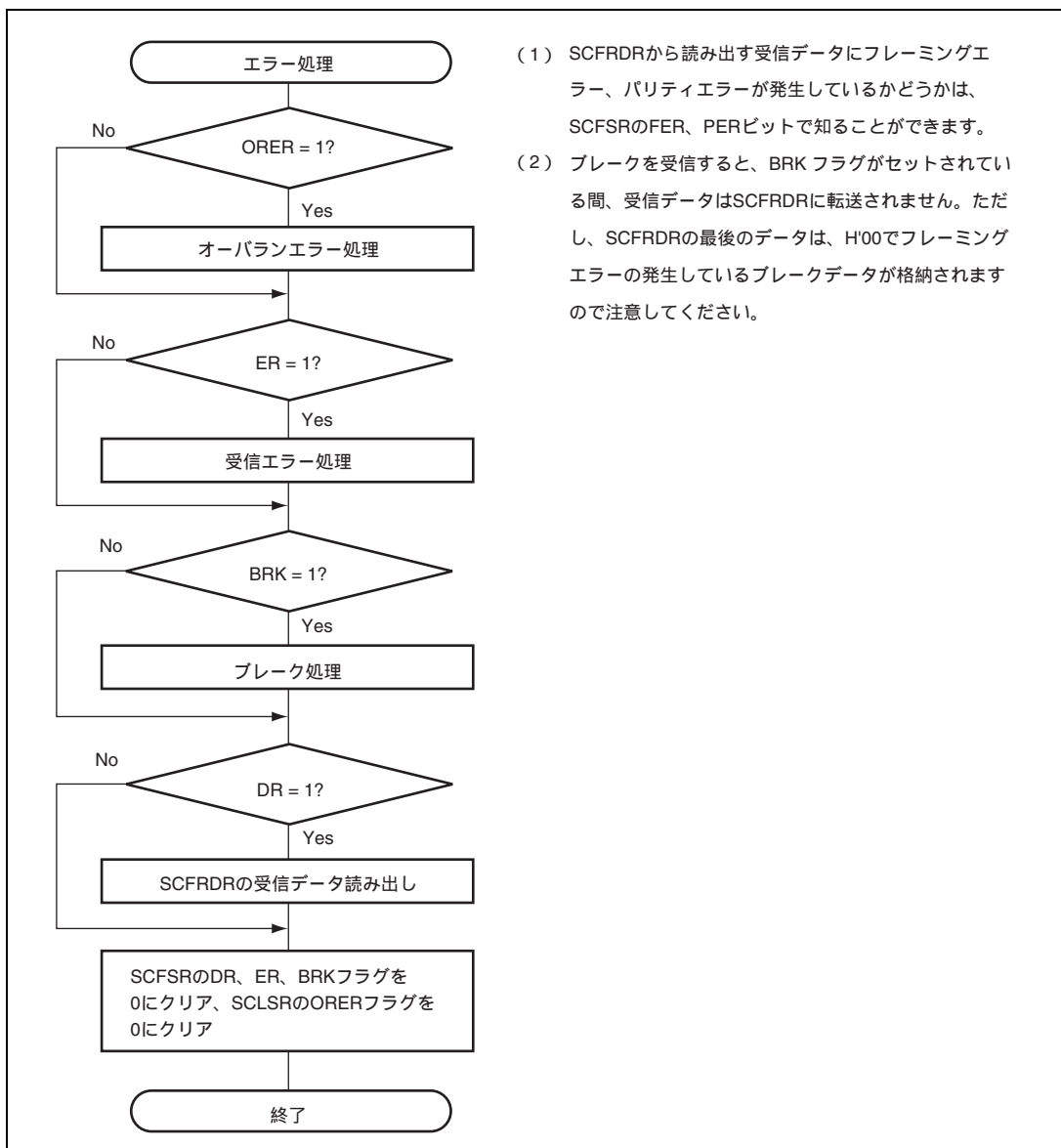


図 22.7 シリアル受信のフローチャートの例 (2)

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

---

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。  
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックします。\*
- (c) オーバランエラーチェック：ORERフラグが0であり、オーバランエラーが発生していないことをチェックします。\*
- (d) ブレークチェック：BRKフラグが0であり、ブレーク状態でないことをチェックします。\*

(b)、(c)、(d)のチェックがパスしたとき、SCFRDR に受信データが格納されます。

【注】 \* パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFフラグまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。

また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求を発生します。

調歩同期式モード受信時の動作例を図 22.8 に示します。

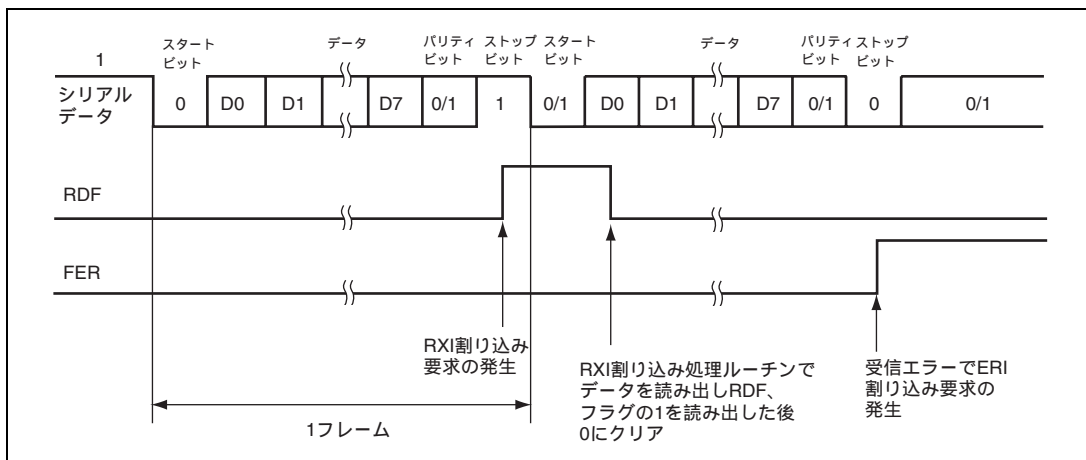


図 22.8 SCIF の受信時の動作例  
(8ビットデータ/パリティあり/1ストップビットの例)

5. モデムコントロールイネーブル時は、SCFRDRの空き状況によって $\overline{\text{SCIFRTS}}$ 信号を出力します。 $\overline{\text{SCIFRTS}}$ が0のときは受信可能状態です。 $\overline{\text{SCIFRTS}}$ が1のときはSCFRDR内のデータ数が、 $\overline{\text{SCIFRTS}}$ 出力アクティブトリガ設定数以上であることを示します。 $\overline{\text{SCIFRTS}}$ 出力アクティブトリガ値は、SCFCRのビット10～8で指定します。また、SCSCRのREビットが0のときも、 $\overline{\text{SCIFRTS}}$ が1になります。モデムコントロール時の動作例を図22.9に示します。

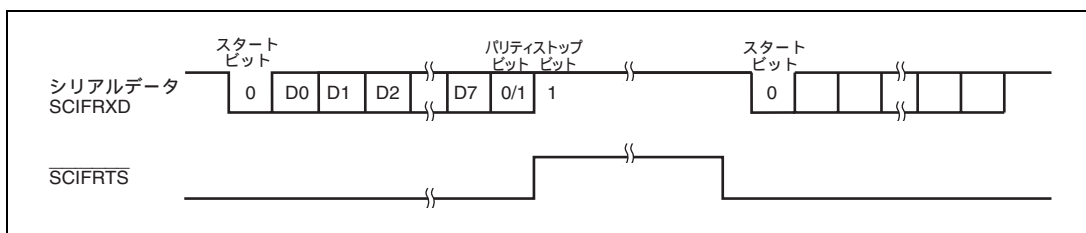


図 22.9 モデムコントロール ( $\overline{\text{SCIFRTS}}$ ) 時の動作例

### 22.4.3 クロック同期式モードの動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 22.10 に示します。

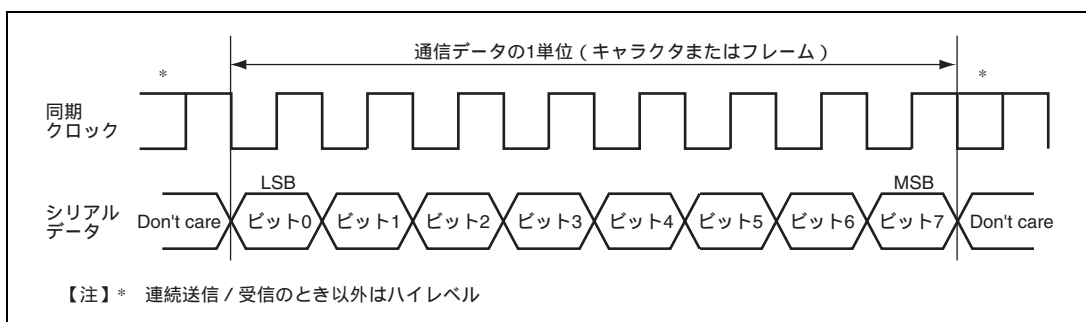


図 22.10 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロック立ち下がりから次の立ち上がりまで出力されます。また、クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、LSB から始まり最後に MSB が出力されます。最終データ出力後の通信回線の状態は最終データの状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

#### (1) 送信 / 受信フォーマット

8 ビット固定です。

パリティビットの付加はできません。

#### (2) クロック

SCSMR の  $C/\bar{A}$  ビットと SCSCR の CKE1 ビットの設定により SCIFSCK 端子から入力された外部同期クロックで動作します。

#### (3) SCIF の初期化 (クロック同期式)

データの送信 / 受信前に SCSCR の TE、RE ビットを 0 にクリアした後、以下の手順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると SCTSR が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および SCFRDR の内容は保持されますので注意してください。

図 22.11 に SCIF の初期化フローチャート例を示します。

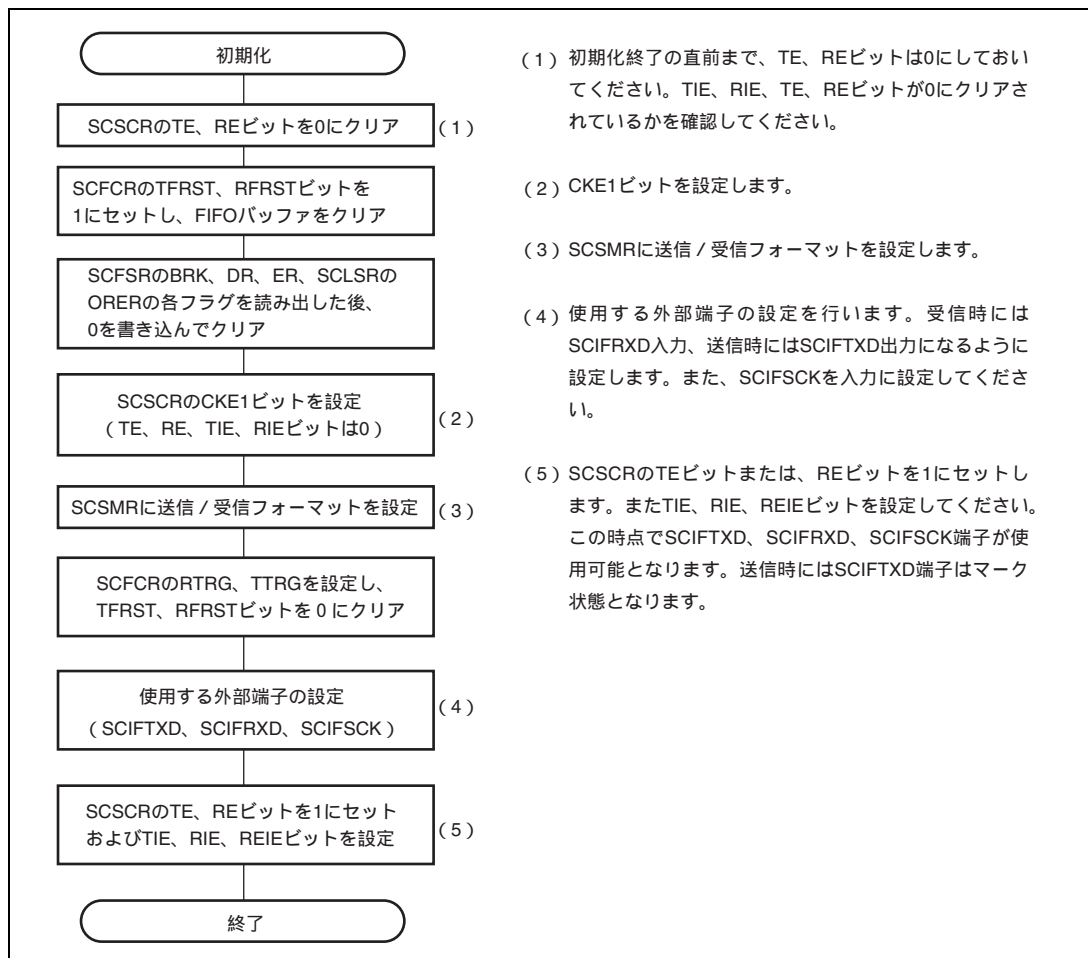


図 22.11 SCIF 初期化フローチャートの例

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### (4) シリアルデータ送信 (クロック同期式)

図 22.12 にシリアル送信のフローチャートの例を示します。

シリアルデータの送信は、SCIF を送信動作可能状態に設定した後、以下の手順で行ってください。

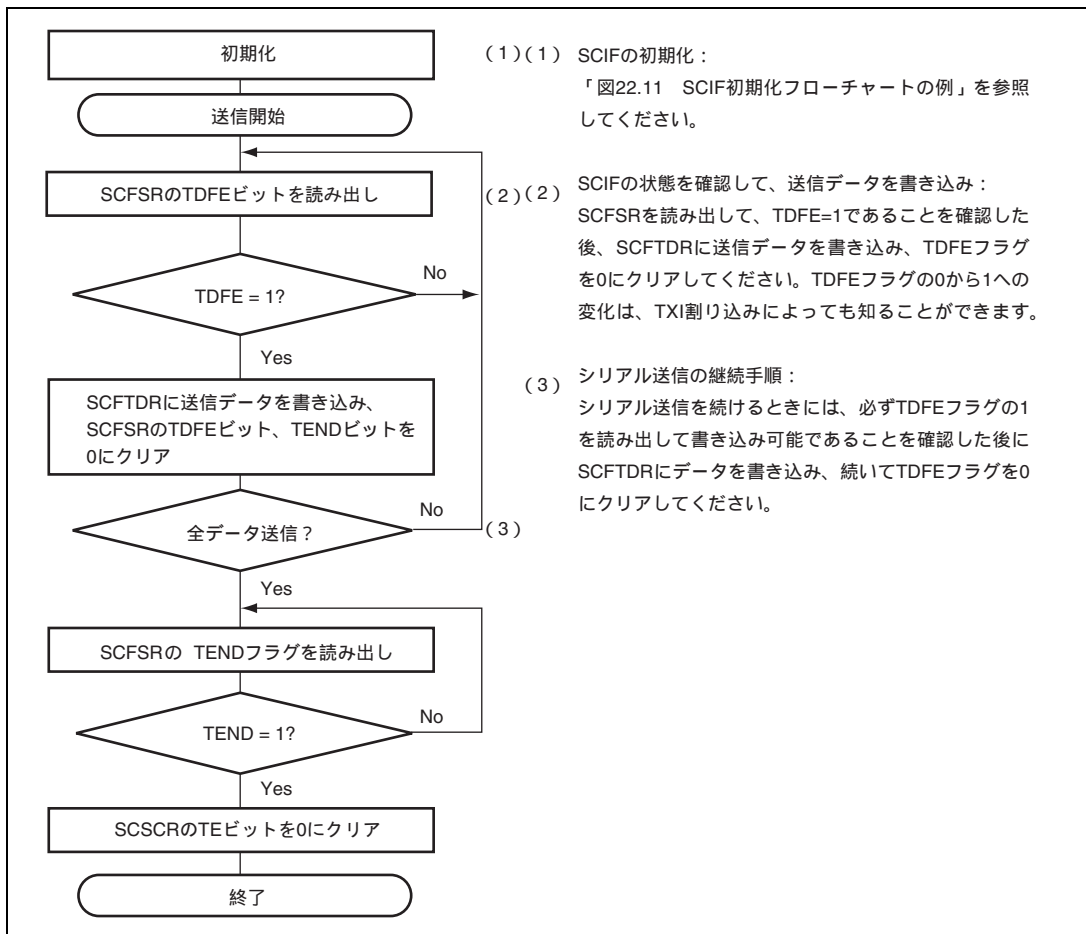


図 22.12 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも16 - (送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定したトリガ数以下になったとき、TDFEフラグをセットします。このときSCSCRのTIEビットが1にセットされていると送信FIFOデータエンブティ割り込み (TXI) 要求を発生します。SCIFは、入力クロックに同期してデータを出力します。シリアル送信データは、LSBから順にSCIFTXD端子から送り出されます。
3. SCIFは、最終ビットを送り出すタイミングでSCFTDRの送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。送信データがないと、最終ビットを送り出した後、SCFSRのTENDフラグを1にセットし、トランスミットデータ端子 (SCIFTXD端子) は状態を保持します。

図 22.13 に SCIF の送信時の動作例を示します。

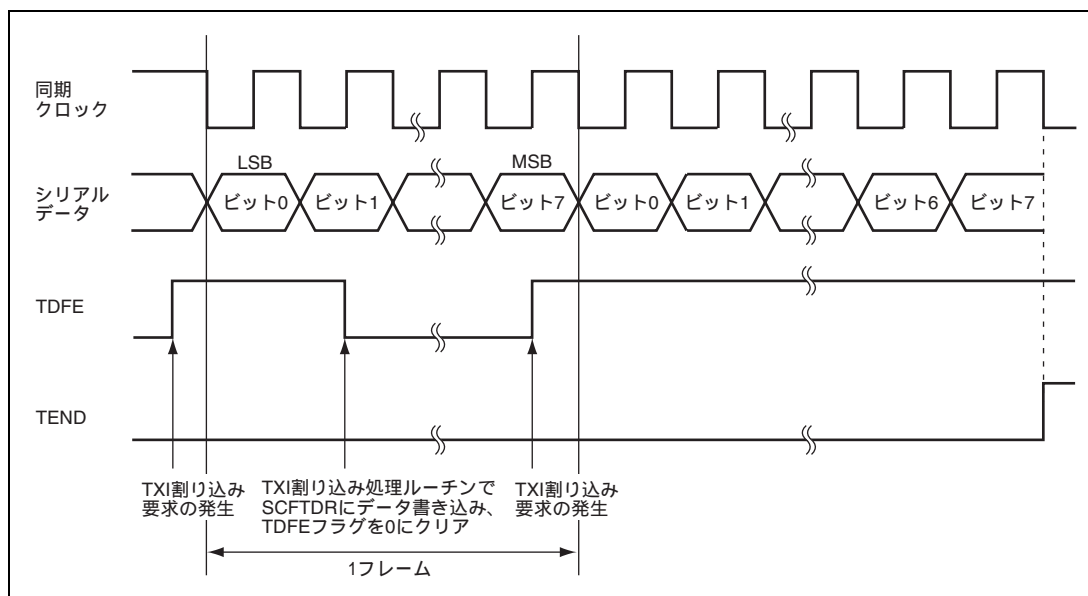


図 22.13 SCIF 送信時の動作例

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### (5) シリアルデータ受信 (クロック同期式)

図 22.14 にシリアル受信のフローチャート例を示します。

シリアルデータの受信は、SCIF を受信動作可能状態に設定した後、以下の手順で行ってください。

SCIF の初期化を行わずに、動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、SCLSR の ORER ビット、SCFCR の PERC、FERC の各ビットが 0 にクリアされていることを確認してください。

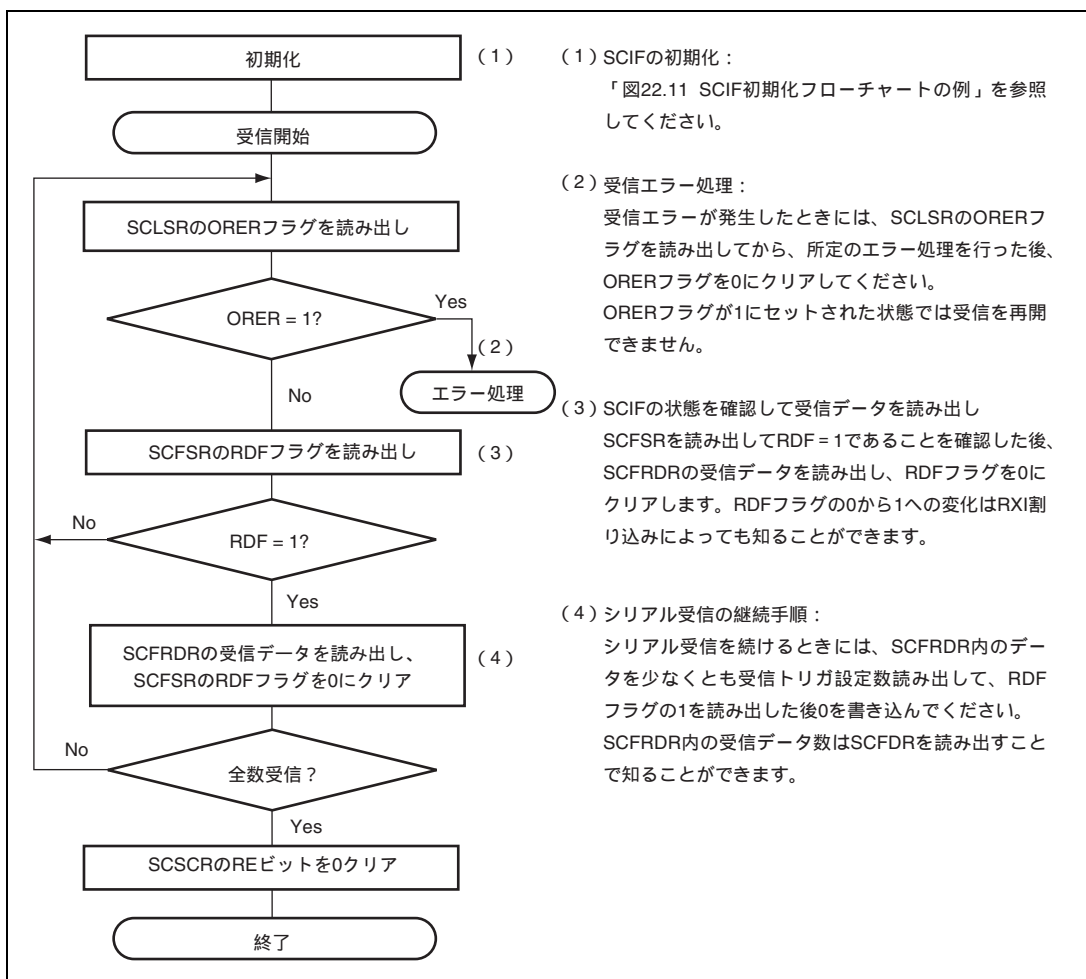


図 22.14 シリアル受信のフローチャートの例 (1)



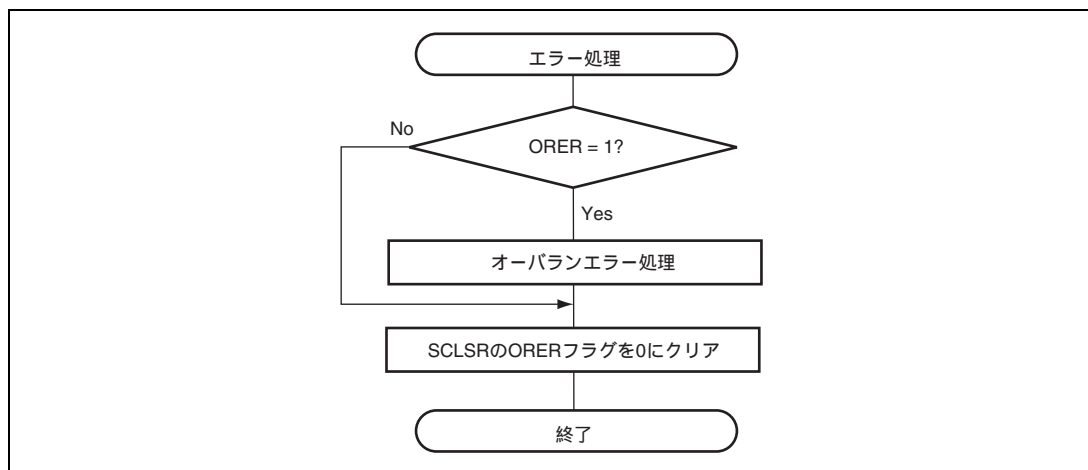


図 22.14 シリアル受信のフローチャートの例 (2)

SCIF はシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力に同期して受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。  
受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックし、このチェックがパスしたときSCFRDRに受信データが格納されます。  
エラーチェックでオーバランエラーを検出すると以後の受信動作ができません。
3. RDFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。  
また、ORERフラグが1になったとき、SCSCRのRIEビット、またはREIEビットが1にセットされているとブレーク割り込み (BRI) 要求を発生します。

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

図 22.15 に SCIF の受信時の動作例を示します。

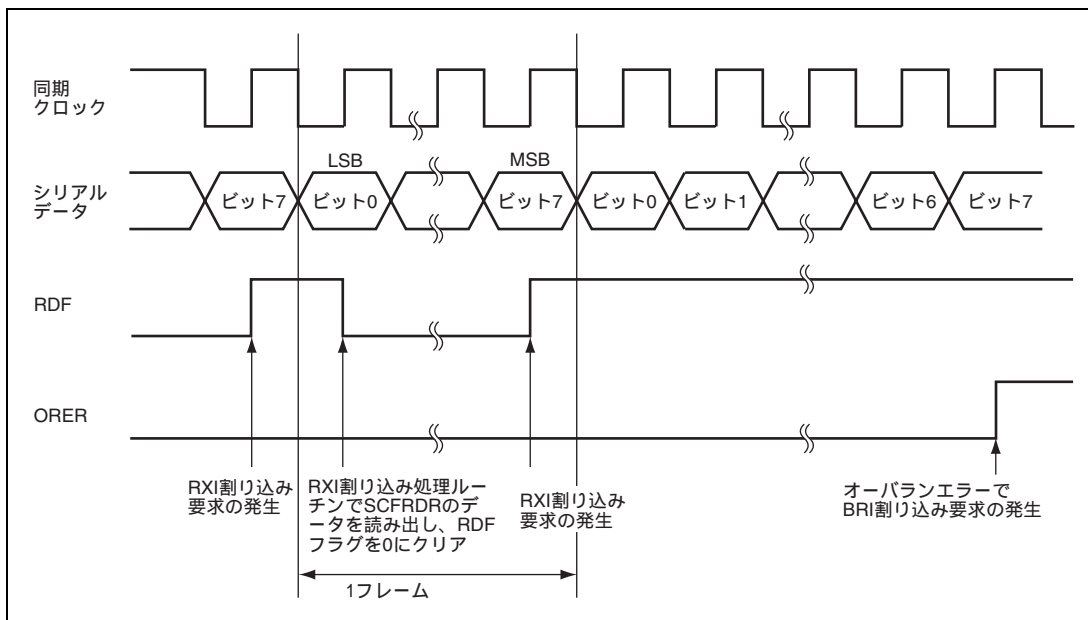


図 22.15 SCIF の受信時の動作例

## (6) シリアルデータ送受信同時動作 (クロック同期式)

図 22.16 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIF を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

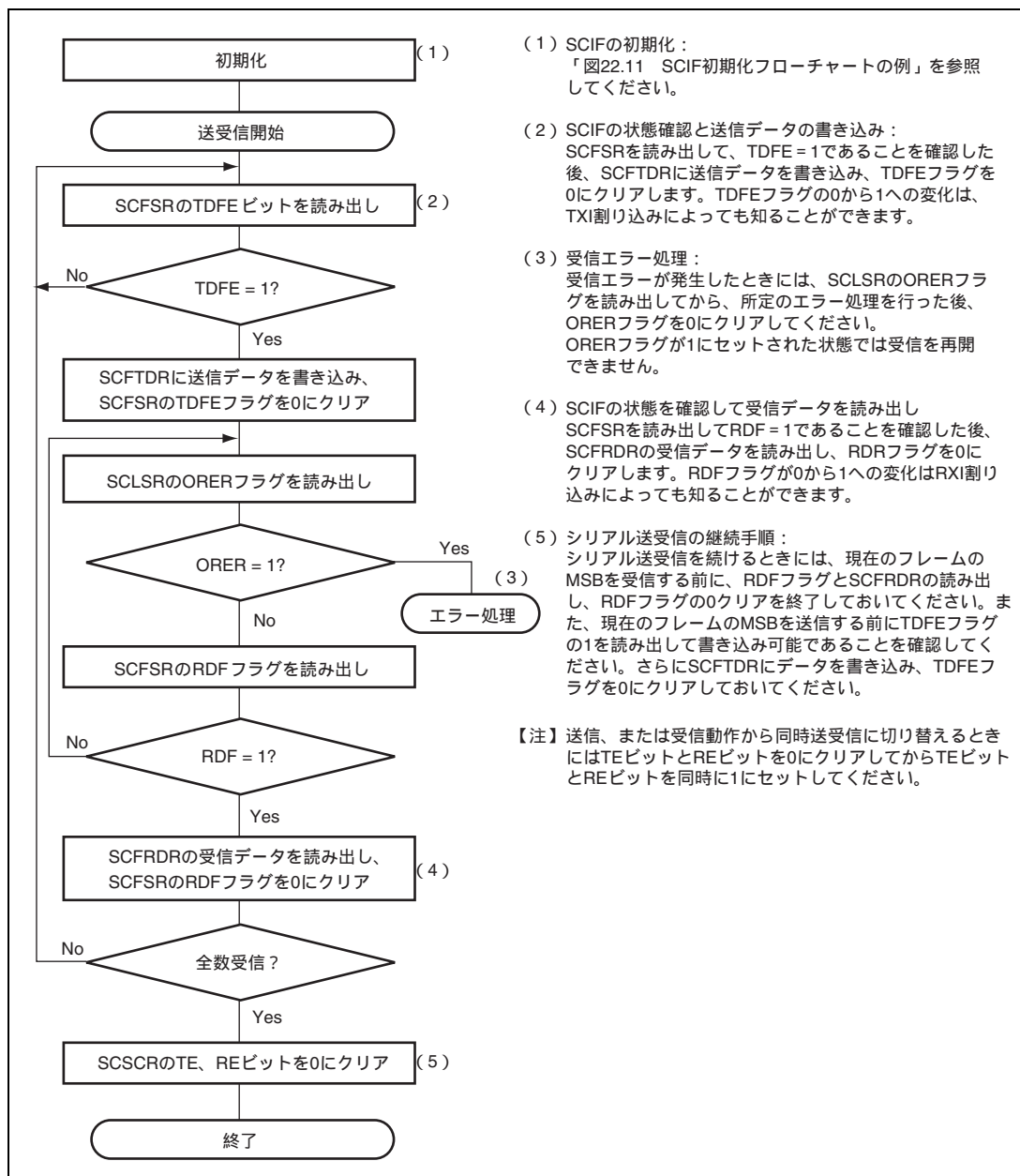


図 22.16 シリアル送受信のフローチャートの例

### 22.5 SCIF 割り込み要因と DMAC

SCIF はチャンネルごとに、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブレイク割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。しかし、INTEVT のコードは 1 チャンネルに 1 つしか割り当てられていないため、割り込み要因の判定はソフトウェアで行う必要があります。

各割り込み要因は、チャンネルごと独立に、SCSCR0~2、TIE、RIE、REIE ビットで、許可または禁止設定でできます。

TIE ビットにより TXI が許可されている場合、SCFSR の TDFE フラグが 1 にセットされると、TXI 割り込み要求と送信 FIFO データエンプティ DMA 転送要求が発生します。TIE ビットにより TXI が禁止されている場合、TDFE フラグが 1 にセットされると、送信 FIFO データエンプティ DMA 転送要求のみが発生します。送信 FIFO データエンプティ DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求と受信 FIFO データフル DMA 転送要求が発生します。RIE ビットにより RXI が禁止されている場合、RDF フラグまたは DR フラグが 1 にセットされると、受信 FIFO データフル DMA 転送要求のみが発生します。受信 FIFO データフル DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。なお、DR フラグが 1 にセットされたことによる RXI 割り込みまたは受信 FIFO データフル DMA 転送要求は、調歩同期式モード時のみ発生します。

SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされると、BRI 割り込み要求が発生します。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。また、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出さず設定にした場合、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込みと BRI 割り込み要求だけを出すことができます。

## 22.6 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

### (1) SCFTDR への書き込みと TDFE フラグについて

SCFSR の TDFE フラグは SCFTDR 内に書き込んだ送信データ数が、SCFCR の TTRG[1:0]ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされた後、SCFTDR の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし TDFE フラグは SCFTDR に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが SCFTDR に格納されたときに行ってください。

SCFTDR 内の送信データ数は SCFTDR で知ることができます。

### (2) SCFRDR の読み出しと RDF フラグについて

SCFSR の RDF フラグは、SCFRDR 内の受信データ数が SCFCR の RTRG[1:0]ビットで設定した受信トリガ数以上になったときセットします。RDF がセットされた後、SCFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、SCFRDR 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR 内の受信データ数は SCFRDR で知ることができます。

### (3) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCIF は、スタートビットの立ち下りを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 22.17 に示します。

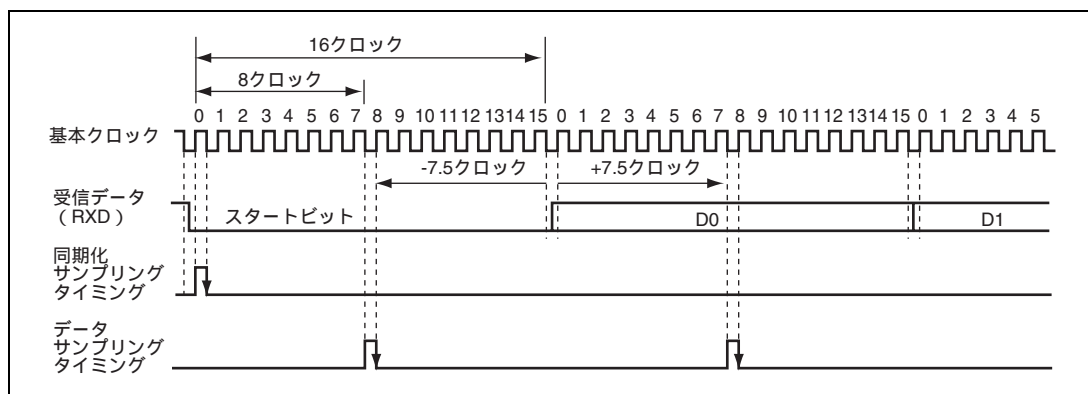


図 22.17 受信データサンプリングタイミング

## 22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

---

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots\dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=16)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F=0 のとき

$$\begin{aligned} M &= (0.5 - 1/(2 \times 16)) \times 100\% \\ &= 46.875\% \end{aligned} \dots\dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

### (4) DMAC 使用時

DMAC を使って送受信を行う場合は、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出す設定にした場合でも、割り込みコントローラへの割り込み要求は、割り込み処理プログラムとは無関係に DMAC によってクリアされます。

### (5) 割り込み

割り込み要因はチャネルごとに 4 要因ずつありますが、INTEVT のコードは 1 チャネルに 1 つしかありません。したがって、割り込み要因の特定は、ソフトウェアで行う必要があります。

---

## 23. SIM カードモジュール (SIM)

---

スマートカードインタフェースは、ISO/IEC7816-3 (Identification Card) に対応した IC カード (スマートカード) インタフェースをサポートしています。

### 23.1 特長

スマートカードインタフェースには次の特長があります。

- 一般機能
  - 調歩式半二重伝送
  - プロトコル形式T=0モードとT=1モードの選択可能
  - データ長：8ビット
  - パリティビットの生成およびチェック
  - キャラクタ保護追加時間Nを選択可能
  - 1etu当たりの出力クロック数を選択可能
  - T=0モードで受信モードにおける誤り信号 (パリティエラー) の送出
  - T=0モードで送信モードにおける誤り信号の検出とキャラクタの自動再送信
  - T=1モードで最小キャラクタ間隔11etu (N=255) 選択可能 (etu: Elementary time unit)
  - ダイレクトコンベンション / インバースコンベンションの選択可能
  - 出力クロックをHigh/Lowの状態に固定可能
- 内蔵ボーレートジェネレータによる任意のビットレートの選択可能
- 4種類の割り込み要因
  - 送信データエンプティ、受信データフル、送受信エラー、送信完了の4種類の割り込み要因があり、それぞれ独立に要求することができます。
- DMA転送
  - 送信データエンプティDMA転送要求と受信データフルDMA転送要求により、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- T=0モードで作業待ち時間、T=1モードでキャラクタ待ち時間を観測可能

## 23. SIM カードモジュール (SIM)

スマートカードインタフェースのブロック図を図 23.1 に示します。

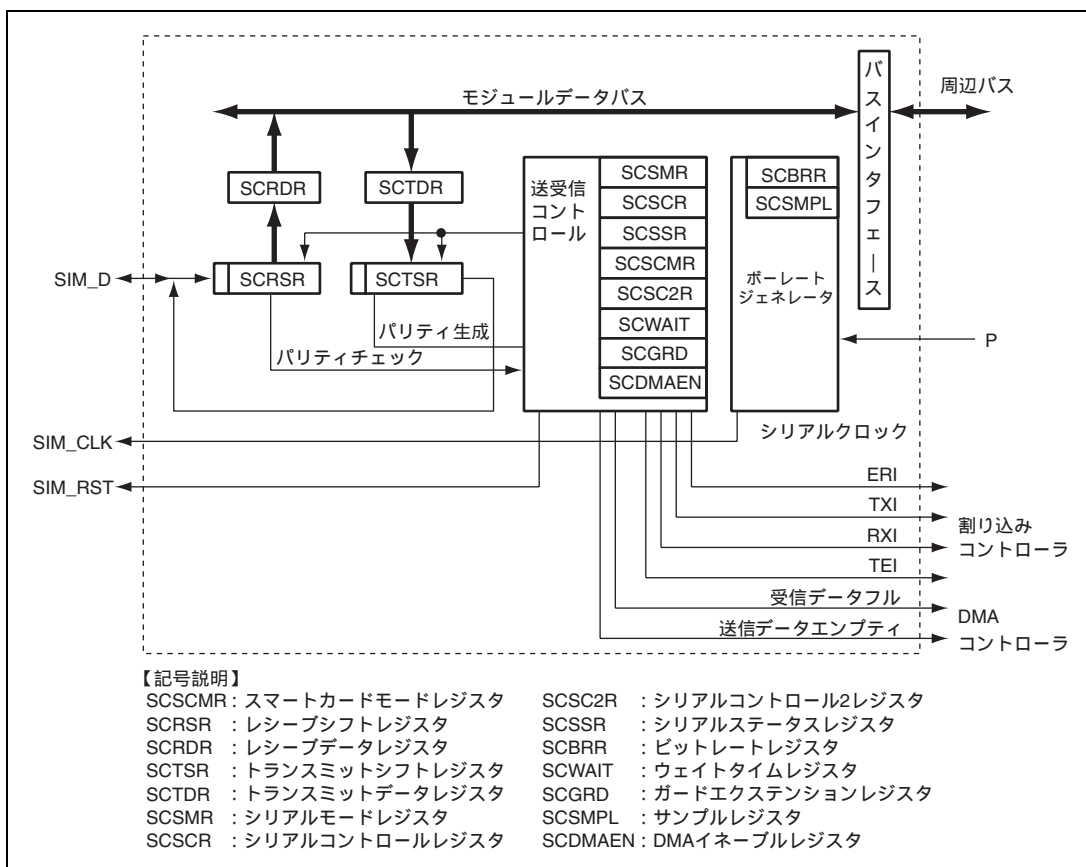


図 23.1 スマートカードインタフェース

## 23.2 入出力端子

スマートカードインタフェースの端子構成を表 23.1 に示します。

表 23.1 端子構成

端子名	機能	入出力	説明
SIM_D*	スマートカードデータ	入出力	スマートカードデータ入出力
SIM_CLK	スマートカードクロック	出力	スマートカードクロック出力
SIM_RST	スマートカードリセット	出力	スマートカードリセット出力

【注】 \* 送信および受信動作を説明するために、送信データ側を TXD と、受信データ側を RXD と記載します。



### 23.3 レジスタの説明

SIM カードモジュール用のレジスタは、リセット時に初期化されます。SIM カードモジュールのレジスタ構成を表 23.2 に示します。また、各処理モードにおけるレジスタの状態を表 23.3 に示します。

表 23.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
シリアルモードレジスタ	SCSMR	R/W	H'A449 0000	8
ビットレートレジスタ	SCBRR	R/W	H'A449 0002	8
シリアルコントロールレジスタ	SCSCR	R/W	H'A449 0004	8
トランスミットデータレジスタ	SCTDR	R/W	H'A449 0006	8
シリアルステータスレジスタ	SCSSR	R/W	H'A449 0008	8
レシーブデータレジスタ	SCRDR	R	H'A449 000A	8
スマートカードモードレジスタ	SCSCMR	R/W	H'A449 000C	8
シリアルコントロール2レジスタ	SCSC2R	R	H'A449 000E	8
ウェイトタイムレジスタ	SCWAIT	R/W	H'A449 0010	16
ガードエクステンションレジスタ	SCGRD	R/W	H'A449 0012	8
サンプルレジスタ	SCSMPL	R/W	H'A449 0014	16
DMA イネーブルレジスタ	SCDMAEN	R/W	H'A449 0016	8

表 23.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
SCSMR	初期化	初期化	保持	保持	初期化	保持
SCBRR	初期化	初期化	保持	保持	初期化	保持
SCSCR	初期化	初期化	保持	保持	初期化	保持
SCTDR	初期化	初期化	保持	保持	初期化	保持
SCSSR	初期化	初期化	保持	保持	初期化	保持
SCRDR	初期化	初期化	保持	保持	初期化	保持
SCSCMR	初期化	初期化	保持	保持	初期化	保持
SCSC2R	初期化	初期化	保持	保持	初期化	保持
SCWAIT	初期化	初期化	保持	保持	初期化	保持
SCGRD	初期化	初期化	保持	保持	初期化	保持
SCSMPL	初期化	初期化	保持	保持	初期化	保持
SCDMAEN	初期化	初期化	保持	保持	初期化	保持

## 23. SIM カードモジュール (SIM)

### 23.3.1 シリアルモードレジスタ (SCSMR)

SCSMR は、読み出し / 書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの通信フォーマットの設定を選択します。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	O/E	—	—	—	—
初期値 :	0	0	1	0	0	0	0	0
R/W :	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4	O/E	0	R/W	パリティモード パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。  0 : 偶数パリティ* <sup>1</sup> 1 : 奇数パリティ* <sup>2</sup>  【注】*1 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。  *2 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 23.3.2 ビットレートレジスタ (SCBRR)

SCBRR は、読み出し / 書き込み可能な 8 ビットのレジスタで、シリアルクロックの周波数を設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	BRR[2:0]		
初期値:	0	0	0	0	0	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	BRR[2:0]	111	R/W	送信 / 受信のシリアルクロックの周波数を設定します。

SCBRR の設定値は以下の計算式で求められます。

$$\text{シリアルクロック周波数} = \frac{P}{2(BRR + 1)}$$

P = システムクロック周波数とシリアルクロック周波数の単位は MHz です。

### 23.3.3 シリアルコントロールレジスタ (SCSCR)

SCSCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの送信 / 受信動作、シリアルクロック出力、割り込み要求の許可 / 禁止の選択を行います。

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	WAIT_JE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) へシリアル送信データが転送されシリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。 0: 送信データエンプティ割り込み (TXI) 要求を禁止* 1: 送信データエンプティ割り込み (TXI) 要求を許可 【注】* TXI の解除は、TDRE フラグをクリアするか、または TIE を 0 にクリアすることで行うことができます。

## 23. SIM カードモジュール (SIM)

ビット	ビット名	初期値	R/W	説明
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>シリアル受信データがレシーブシフトレジスタ (SCRSR) からレシーブデータレジスタ (SCRDR) へ転送されて SCSSR の RDRF フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、およびパリティエラー、オーバーランエラー、エラーシグナルステータスによる送受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。</p> <p>0 : 受信データフル割り込み (RXI) 要求、および送受信エラー割り込み (ERI) 要求を禁止<sup>*1*</sup><sup>*2</sup></p> <p>1 : 受信データフル割り込み (RXI) 要求、および送受信エラー割り込み (ERI) 要求を許可<sup>*2</sup></p> <p>【注】*1 RXI、および ERI 割り込み要求の解除は、RDRF フラグ、または PER、ORER、ERS フラグをクリアするか、RIE ビットを 0 にクリアすることで行えます。</p> <p>*2 ウェイトエラーによる割り込み (ERI) 要求の許可 / 禁止は、SCSCR の WAIT_IE ビットで行えます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>シリアル送信動作を許可 / 禁止します。</p> <p>0 : 送信動作を禁止<sup>*1</sup></p> <p>1 : 送信動作を許可<sup>*2*</sup><sup>*3</sup></p> <p>【注】*1 SCSSR の TDRE フラグは 1 に固定されます。</p> <p>*2 この状態で、SCTDR に送信データを書き込むと、送信動作が開始します。なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、スマートカードモードレジスタ (SCSCMR) の設定を行い、送信フォーマットを決定してください。</p> <p>*3 TE ビットを 0 にクリアしても ERS フラグは影響を受けず、状態を保持しますので注意してください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>シリアル受信動作を許可 / 禁止します。</p> <p>0 : 受信動作を禁止<sup>*1</sup></p> <p>1 : 受信動作を許可<sup>*2</sup></p> <p>【注】*1 RE ビットを 0 にクリアしても RDRF、PER、ORER、WAIT_ER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>*2 この状態でスタートビットを検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SCSMR、SCSCMR の設定を行い、受信フォーマットを決定してください。</p>
3	WAIT_IE	0	R/W	<p>ウェイトイネーブル</p> <p>ウェイトエラーによる割り込み要求を許可 / 禁止します。</p> <p>0 : ウェイトエラーによる割り込み (ERI) 要求を禁止</p> <p>1 : ウェイトエラーによる割り込み (ERI) 要求を許可</p>

ビット	ビット名	初期値	R/W	説明
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル 送信が終了して TEND フラグが 1 にセットされたときの、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。 0 : 送信終了割り込み (TEI) 要求を禁止* 1 : 送信終了割り込み (TEI) 要求を許可* 【注】* TEIの解除は、SCSSRのTDRE フラグの1を読み出した後、SCTDR に送信データを書き込んで TEND ビットをクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。
1	CKE1	0	R/W	クロックイネーブル
0	CKE0	0	R/W	スマートカードインタフェースのクロックソースの選択、および SIM_CLK 端子からのクロック出力の許可 / 禁止を設定します。 00 : 出力端子として Low 出力固定 01 : 出力端子としてクロック出力 10 : 出力端子として High 出力固定 11 : 出力端子としてクロック出力

### 23.3.4 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのシフトレジスタです。

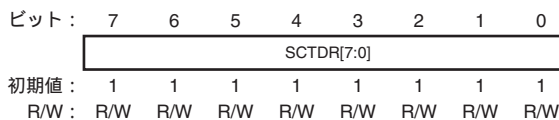
スマートカードインタフェースは、トランスミットデータレジスタ (SCTDR) から送信データをいったん SCTSR に転送し、LSB または MSB から順に SIM\_TXD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了し、SCTSR の空を検出すると自動的に SCTDR に書き込まれた送信データを SCTSR へ次の送信データを転送し、送信を開始します。シリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされている場合には、SCTDR から SCTSR へのデータ転送を行いません。

### 23.3.5 トランスミットデータレジスタ (SCTDR)

SCTDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、シリアル送信するデータを格納します。

スマートカードインタフェースは、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCTSR のシリアルデータ送信中に SCTDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。



ビット	ビット名	初期値	R/W	説明
7~0	SCTDR[7:0]	H'FF	R/W	トランスミットデータ シリアル送信するデータを格納

## 23. SIM カードモジュール (SIM)

### 23.3.6 シリアルステータスレジスタ (SCSSR)

SCSSR は、読み出し / 書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの動作状態を示します。

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	WAIT_ER	-
初期値:	1	0	0	0	0	1	0	0
	R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R/(W)*	R

【注】 \* フラグをクリアするために 0 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
7	TDRE	1	R/(W*)	<p>トランスミットデータレジスタエンプティ</p> <p>トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) にデータ転送が行われ SCTDR に次のシリアル送信データを書き込むことが可能になったことを示します。</p> <p>0 : SCTDR に有効な送信データが書き込まれていることを表示</p> <p>[ クリア条件 ]</p> <p>(1) SCSCR の TE ビットが 1 のときに SCTDR へデータを書き込んだとき</p> <p>(2) TDRE に 0 を書き込んだとき</p> <p>1 : SCTDR に有効な送信データがないことを表示</p> <p>[ セット条件 ]</p> <p>(1) リセット時</p> <p>(2) SCSCR の TE ビットが 0 のとき</p> <p>(3) SCTDR から SCTSR にデータ転送が行われ SCTDR にデータの書き込みが可能になったとき</p>

23. SIM カードモジュール (SIM)

ビット	ビット名	初期値	R/W	説明
6	RDRF	0	R/(W*)	<p>レシーブデータレジスタフル</p> <p>受信したデータがレシーブデータレジスタ (SCRDR) に格納されていることを示します。</p> <p>0: SCRDR に有効な受信データが格納されていないことを表示</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) SCRDR のデータを読み出したとき</p> <p>(3) RDRF に 0 を書き込んだとき</p> <p>1: SCRDR に有効な受信データが格納されていることを表示</p> <p>[セット条件]</p> <p>シリアル受信が正常終了し、SCRSR から SCRDR へ受信データが転送されたとき</p> <p>【注】 T=0 モードでは、受信時パリティエラーを検出したとき、SCRDR の内容と RDRF フラグは影響を受けず以前の状態を保持します。一方、T=1 モードでは、受信時パリティエラーを検出したとき受信データが SCRDR に転送され RDRF フラグは 1 にセットされます。なお、T=0 と T=1 の両モードともに、シリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしても、SCRDR の内容と RDRF フラグは影響を受けず以前の状態を保持します。</p>
5	ORER	0	R/(W*)	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*<sup>1</sup></p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) ORER に 0 を書き込んだとき</p> <p>1: 受信時にオーバランエラーが発生したことを表示*<sup>2</sup></p> <p>[セット条件]</p> <p>RDRF = 1 の状態で次のシリアル受信を完了したとき</p> <p>【注】 *1 SCSCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*2 SCRDR ではオーバランエラーが発生する前の受信データが失われ、オーバランエラー発生時に受信したデータを保持します。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。</p>

## 23. SIM カードモジュール (SIM)

ビット	ビット名	初期値	R/W	説明
4	ERS	0	R/(W*)	<p>エラーシグナルステータス</p> <p>このフラグは送信時に受信側から送り返される誤り信号のステータスを示します。T=1 モードのときはセットされません。</p> <p>0: 受信側からパリティエラーの検出を示す誤り信号が送出されなかったことを表示</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) ERS に 0 を書き込んだとき</p> <p>1: 受信側からパリティエラーの検出を示す誤り信号が送出されたことを表示</p> <p>[セット条件]</p> <p>誤り信号をサンプリングしたとき</p> <p>【注】 SCSCR の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。</p>
3	PER	0	R/(W*)	<p>パリティエラー</p> <p>受信時にパリティエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*<sup>1</sup></p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) PER に 0 を書き込んだとき</p> <p>1: 受信時にパリティエラーが発生したことを表示*<sup>2</sup></p> <p>[セット条件]</p> <p>受信時の受信データとパリティビットを合わせた論理 1 の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき</p> <p>【注】 *<sup>1</sup> SCSCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。</p> <p>*<sup>2</sup> T=0 モードでは、パリティエラーが発生したときの受信データは SCRDR に転送されず、RDRF フラグはセットされません。一方、T=1 モードでは、パリティエラーが発生したときの受信データは SCRDR に転送され、RDRF フラグはセットされます。パリティエラーが発生したときは、次のパリティビットのサンプリングタイミングまでに、PER フラグを 0 にクリアしてください。</p>



ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	<p>トランスミットエンド</p> <p>T=0モード時のキャラクタ送信またはT=1モード時のブロック送信を終了したことを表示します。TENDは、1バイトのシリアルキャラクタおよびパリティビット送信後に SCTDR がエンプティのときセットされます。</p> <p>T=1モードのブロック送信時は、1バイトのシリアルキャラクタ送信中に SCTDR に次のデータを書き込むことにより、ブロック送信中は TEND のセットを行いません。</p> <p>TEND フラグは読み出し専用ですので、書き込むことはできません。</p> <p>0: T=0モード時のキャラクタ送信中またはT=1モード時のブロック送信中であることを表示</p> <p>[クリア条件]</p> <p>SCTDR から SCTSR に送信データが転送され、キャラクタ送信またはブロック送信が開始したとき</p> <p>1: T=0モード時のキャラクタ送信またはT=1モード時のブロック送信を終了したことを表示</p> <p>[セット条件]</p> <p>(1) リセット時</p> <p>(2) 1バイトのシリアルキャラクタおよびパリティビット送信後に ERS = 0 (正常送信) で SCTDR がエンプティのとき</p> <p>【注】 TEND フラグはキャラクタ保護時間が終了する 1etu 前にセットされます。</p> <p>etu : Elementary time unit</p>
1	WAIT_ER	0	R/(W*)	<p>ウェイトエラー</p> <p>このフラグはウェイトタイマのエラーステータスを示します。</p> <p>0: 2つの連続するキャラクタの先端間隔が、SCWAIT で設定した etu を超過していないことを表示</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) WAIT_ER に 0 を書き込んだとき</p> <p>1: 2つの連続するキャラクタの先端間隔が、SCWAIT で設定した etu を超過していることを表示</p> <p>[セット条件]</p> <p>(1) T=0モードの場合、受信するキャラクタとその直前に送信または受信したキャラクタの先端間隔が(60×SCWAITの値:作業待ち時間) etu を超過したとき</p> <p>(2) T=1モードの場合、2つの連続する受信キャラクタの先端間隔が (SCWAITの値:キャラクタ保護時間) etu を超過したとき</p> <p>【注】* SCSCR の RE ビットを 0 にクリアしても、WAIT_ER フラグは影響を受けず以前の状態を保持します。</p>
0	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【注】 \* フラグをクリアするために 0 のみ書き込むことができます。

## 23. SIM カードモジュール (SIM)

### 23.3.7 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

スマートカードインタフェースは、SCRSR に SIM\_RXD 端子から入力されたシリアルデータを LSB または MSB から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCRDR へ転送されます。

### 23.3.8 レシーブデータレジスタ (SCRDR)

SCRDR は、読み出し専用の 8 ビットのレジスタで、受信したシリアルデータを格納します。

スマートカードインタフェースは、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になります。このように、SCRSR と SCRDR はダブルバッファになっているため連続した受信動作が可能です。

ビット:	7	6	5	4	3	2	1	0
	SCRDR[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	SCRDR[7:0]	H'00	R	レシーブデータ 受信したシリアルデータを格納

### 23.3.9 スマートカードモードレジスタ (SCSCMR)

SCSCMR は、スマートカードインタフェースの機能の選択を行う 8 ビットの読み出し / 書き込み可能なレジスタです。

ビット:	7	6	5	4	3	2	1	0
	HOEN	LCB	PB	WECC	SDIR	SINV	RST	SMIF
初期値:	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
7	HOEN	0	R/W	High 出力機能イネーブルビット High 出力機能イネーブルビット (HOEN) は、1 フレームデータ送信終了後一時的な High 出力機能の許可 / 禁止を設定します。 0 : High 出力機能を禁止 (初期値) 1 : High 出力機能を許可

## 23. SIM カードモジュール (SIM)

ビット	ビット名	初期値	R/W	説明
6	LCB	0	R/W	<p>ラストキャラクタ</p> <p>このビットが1に設定されるとキャラクタ保護時間は2etuになり、ガードエクステンションレジスタの設定は無効になります。</p> <p>0: キャラクタ保護時間はガードレジスタの値によって決まります 1: キャラクタ保護時間は2etuになります</p>
5	PB	0	R/W	<p>プロトコル選択</p> <p>プロトコル形式 T=0 または T=1 を選択します。</p> <p>0: スマートカードインタフェースは T=0 プロトコルで動作 1: スマートカードインタフェースは T=1 プロトコルで動作</p>
4	WECC	0	R/W	<p>ウェイトエラーカウンタクリア</p> <p>ウェイトエラーカウンタのクリアの許可/禁止を設定します。</p> <p>0: ウェイトエラーカウンタをクリアせず、ウェイトエラーを検出する 1: ウェイトエラーカウンタをクリアし、ウェイトエラーを検出しない</p>
3	SDIR	0	R/W	<p>スマートカードデータトランスファディレクション</p> <p>シリアル/パラレル変換のフォーマットを選択します。</p> <p>0: SCTDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして SCRDR に格納 1: SCTDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして SCRDR に格納</p>
2	SINV	0	R/W	<p>スマートカードデータインバート</p> <p>データのロジックレベルの反転を指定します。ビット3の機能を組み合わせインバースコンベンションカードとの送受信に使用します。SINV は、パリティビットの値には影響しません。</p> <p>0: SCTDR の内容をそのまま送信 受信データをそのまま SCRDR に格納 1: SCTDR の内容を反転してデータを送信 受信データを反転して SCRDR に格納</p>
1	RST	0	R/W	<p>スマートカードリセット</p> <p>スマートカードインタフェースの SIM_RST 端子の出力を制御します。</p> <p>0: スマートカードインタフェースの SIM_RST 端子は Low を出力 1: スマートカードインタフェースの SIM_RST 端子は High を出力</p>
0	SMIF	1	R	<p>スマートカードインタフェースモードセレクト</p> <p>このビットは常に1が読み出されます。書き込む値も常に1にしてください。</p>

## 23. SIM カードモジュール (SIM)

### 23.3.10 シリアルコントロール 2 レジスタ (SCSC2R)

SCSC2R は、読み出し / 書き込み可能な 8 ビットのレジスタで、受信データフル割り込み (RXI) 要求の許可 / 禁止の選択を行います。

ビット:	7	6	5	4	3	2	1	0
	EIO	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	EIO	0	R/W	エラ-割り込みオンリー EIO ビットが 1 のとき、RIE ビットが 1 にセットされていても、CPU へ受信データフル割り込み (RXI) を要求しません。この設定で DMAC を使用した場合、CPU は ERI 要求のみを処理します。 0: 受信データフル割り込み (RXI) 要求は RIE ビットの設定によって決まります。 1: 受信データフル割り込み (RXI) 要求を禁止。RIE ビットが 1 のとき ERI 要求のみ許可します。
6~0	-	すべて 0	R	リザ - ビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 23.3.11 ガードエクステンションレジスタ (SCGRD)

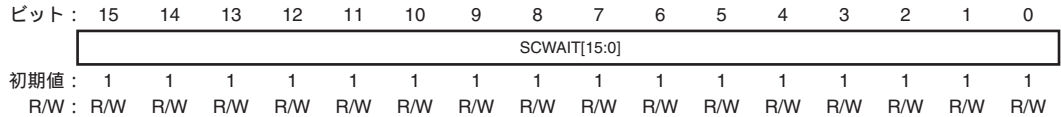
SCGRD は 8 ビットの読み出し / 書き込み可能なレジスタです。キャラクタ保護追加時間を設定します。

ビット:	7	6	5	4	3	2	1	0
	SCGRD[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~0	SCGRD[7:0]	H'00	R/W	ガードエクステンション スマートカードモードでキャラクタ保護追加時間を設定します。2 つの連続したキャラクタ先端間の間隔は、このレジスタの値が H'00 のとき 12 etu (追加なし) を示し H'01 のとき 13 etu、...、H'FE のとき 266 etu になります。また、このレジスタの値が H'FF の場合 2 つの連続したキャラクタ先端間の間隔は、T=1 モードで 11etu、T=0 モードでは 12etu になります。

## 23.3.12 ウェイトタイムレジスタ (SCWAIT)

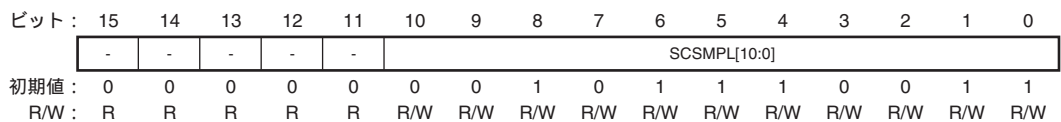
SCWAIT は 16 ビットの読み出し / 書き込みが可能なレジスタです。2 つの連続したキャラクタの先端間隔が、設定した値 (単位 : etu) を超過するとウェイトタイムエラーを発生します。



ビット	ビット名	初期値	R/W	説 明
15~0	SCWAIT[15:0]	H'FFFF	R/W	<p>ウェイトタイムレジスタ</p> <p>T=0 モードでは、このレジスタは作業待ち時間を設定できます。受信するキャラクタと、その直前に送信または受信したキャラクタの先端間隔が (60×このレジスタで設定する値) etu を超過したら WAIT_ER フラグが 1 にセットされます。ただし、SCWAIT = H'0000 を設定した場合 60etu 後に WAIT_ER フラグがセットされます。</p> <p>T=1 モードでは、このレジスタはキャラクタ待ち時間を設定できます。受信する 2 つの連続したキャラクタの先端間隔が、(このレジスタで設定する値) etu を超過したら WAIT_ER フラグが 1 にセットされます。ただし、SCWAIT = H'0000 を設定した場合 1etu 後に WAIT_ER フラグがセットされます。</p>

## 23.3.13 サンプルレジスタ (SCSMPL)

SCSMPL は 16 ビットで読み出し / 書き込み可能なレジスタです。1etu あたりのシリアルクロックサイクル数を設定します。



ビット	ビット名	初期値	R/W	説 明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	SCSMPL[10:0]	H'173	R/W	1etu あたりのシリアルクロックサイクル数設定値 1etu あたりのシリアルクロックサイクル数は (SCSMPL の値 + 1) です。 SCSMPL に書き込む値は、必ず H'0007 以上にしてください。

## 23. SIM カードモジュール (SIM)

### 23.3.14 DMA イネーブルレジスタ (SCDMAEN)

SCDMAEN は、DMA 転送の許可 / 禁止を設定します。

ビット:	7	6	5	4	3	2	1	0
	RDMAE	TDMAE	-	-	-	-	-	-
初期値:	1	1	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	RDMAE	1	R/W	受信時 DMA イネーブルフラグ 受信時の DMA 転送の許可 / 禁止を選択します。 0: 受信時 DMA 転送を禁止 1: 受信時 DMA 転送を許可
6	TDMAE	1	R/w	送信時 DMA イネーブルフラグ 送信時の DMA 転送の許可 / 禁止を選択します。 0: 送信時 DMA 転送を禁止 1: 送信時 DMA 転送を許可
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 23.4 動作説明

### 23.4.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- 1 フレームは、スタートビット、8ビットデータとパリティビットで構成されます。
- 2 送信時は、パリティビットの終了から次のフレーム開始まで、SCGRD、およびSCSCMRのLCBビット、PBビットで設定したキャラクタ保護時間をおきます。
- 3 T=0モードの受信時にパリティエラーを検出した場合、スタートビットから10.5etu経過後、誤り信号としてローレベルを1etu期間出力します。
- 4 T=0モードの送信時は誤り信号をサンプリングすると、2etu以上経過後、自動的に同じデータを送信します。
- 5 調歩同期式通信機能のみサポートし、クロック同期式通信機能はありません。

### 23.4.2 データフォーマット

図 23.2 にスマートカードインタフェースのデータフォーマットを示します。スマートカードインタフェースは受信時に 1 フレームごとにパリティチェックを行います。

T=0 モードで受信時にパリティエラーが検出された場合、送信側に対して誤り信号を送り返し、データの再送信要求をします。送信時は誤り信号をサンプリングすると同じデータを再送信します。

T=1 モードで受信時にパリティエラーが検出された場合、誤り信号を送り返しません。送信時は誤り信号のサンプリングとデータの再送信を行いません。

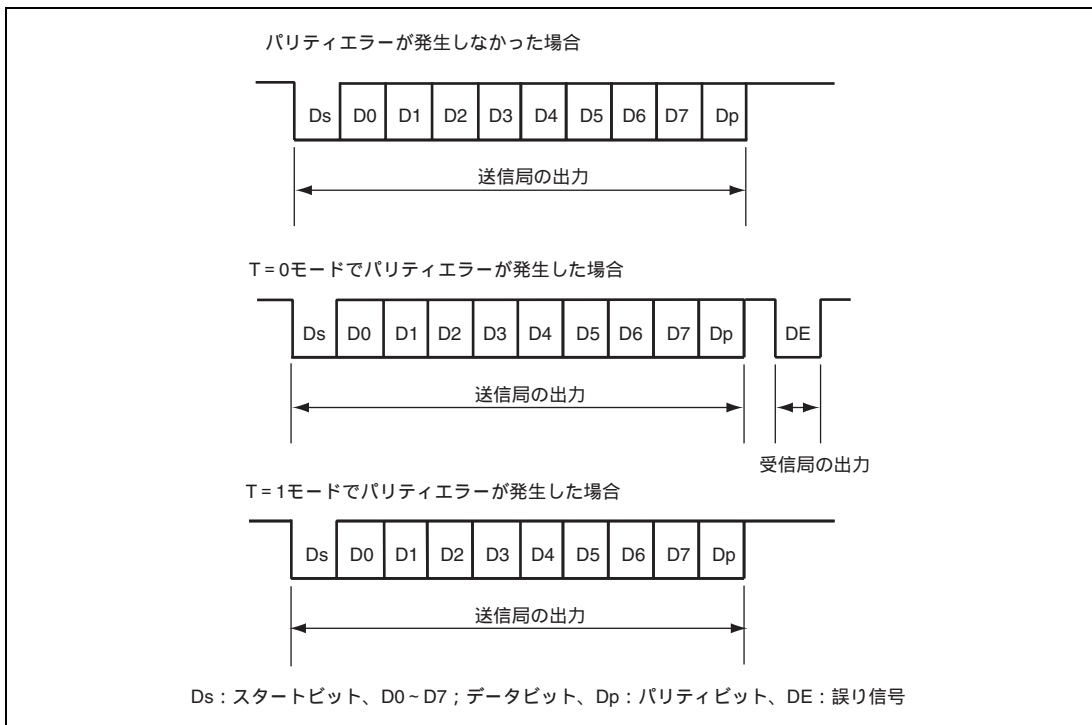


図 23.2 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

1. データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりハイレベルに固定されます。
2. 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds: ローレベル) から開始します。この後に、8ビットのデータビット (D0~D7) とパリティビット (Dp) が続きます。
3. スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりハイレベルになります。

## 23. SIM カードモジュール (SIM)

### 4. 受信側は、パリティチェックを行います。

パリティエラーがなく正常に受信した場合、そのまま次のデータ受信を待ちます。

一方、パリティエラーが発生した場合は、T=0モードのとき、誤り信号 (DE:ローレベル) を出力し、データの再送信を要求します。受信局は、規定の期間誤り信号を出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりハイレベルに戻ります。T=1モードのときは、パリティエラーが発生しても誤り信号を出力しません。

### 5. 送信側は、誤り信号を受信しなかった場合、次のフレームのデータ送信に移ります。

一方、T=0モードで誤り信号を受信した場合は、エラーとなったデータを (2) に戻り再送信します。T=1モードでは誤り信号の受信、および再送信をしません。

## 23.4.3 レジスタ設定

スマートカードインタフェースで使用するレジスタのビットマップを表 23.4 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 23.4 スマートカードインタフェースでのレジスタ設定

レジスタ	ビット							
	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SCSMR	0	0	1	O/E	0	0	0	0
SCBRR	0	0	0	0	0	BRR2	BRR1	BRR0
SCSCR	TIE	RIE	TE	RE	WAIT_IE	TEIE	CKE1	CKE0
SCTDR	SCTDR7	SCTDR6	SCTDR5	SCTDR4	SCTDR3	SCTDR2	SCTDR1	SCTDR0
SCSSR	TDRE	RDRF	ORER	ERS	PER	TEND	WAIT_ER	0
SCRDR	SCRDR7	SCRDR6	SCRDR5	SCRDR4	SCRDR3	SCRDR2	SCRDR1	SCRDR0
SCSCMR	HOEN	LCB	PB	WECC	SDIR	SINV	RST	SMIF
SCSC2R	EIO	0	0	0	0	0	0	0
SCWAIT	SCWAIT15 ~ SCWAIT0							
SCGRD	SCGRD7 ~ SCGRD0							
SCSMPL	SCSMPL10 ~ SCSMPL0、ビット 15 ~ 11 は 0							
SCDMAEN	RDMAE	TDMAE	0	0	0	0	0	0

#### (1) シリアルモードレジスタ (SCSMR) の設定

O/E ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

#### (2) ビットレートレジスタ (SCBRR) の設定

ビットレートを設定します。設定値の算出方法は「23.4.4 クロック」を参照してください。



## (3) シリアルコントロールレジスタ (SCSCR) の設定

TIE、RIE、TEIE、WAIT\_IE ビットで各種割り込みの許可 / 禁止を選択します。

TE、RE ビットのどちらかを 1 にセットすることで、送信 / 受信を選択します。

CKE1、CKE0 ビットはクロック出力状態を選択します。詳細は「23.4.4 クロック」を参照してください。

## (4) スマートカードモードレジスタ (SCSCMR) の設定

SDIR ビットおよび SINV ビットは、IC カードがダイレクトコンベンション時はどちらも 0 を設定し、インバースコンベンション時はどちらも 1 を設定します。

以下に 2 種類の IC カード (ダイレクトコンベンションタイプとインバースコンベンションタイプ) に対するレジスタ設定値と開始キャラクタでの波形例を図 23.3 に示します。

ダイレクトコンベンションタイプでは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。パリティビットは、スマートカードの規程により偶数パリティで 1 となります。

インバースコンベンションタイプでは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。図 23.3 の開始キャラクタのデータは H'3F となります。パリティビットは、スマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、SINV ビットによる反転はデータビット D7 ~ D0 のみとなっています。パリティビットの反転のために SCSCMR の O/E ビットを奇数パリティモードに設定します。送信、受信とも同様です。

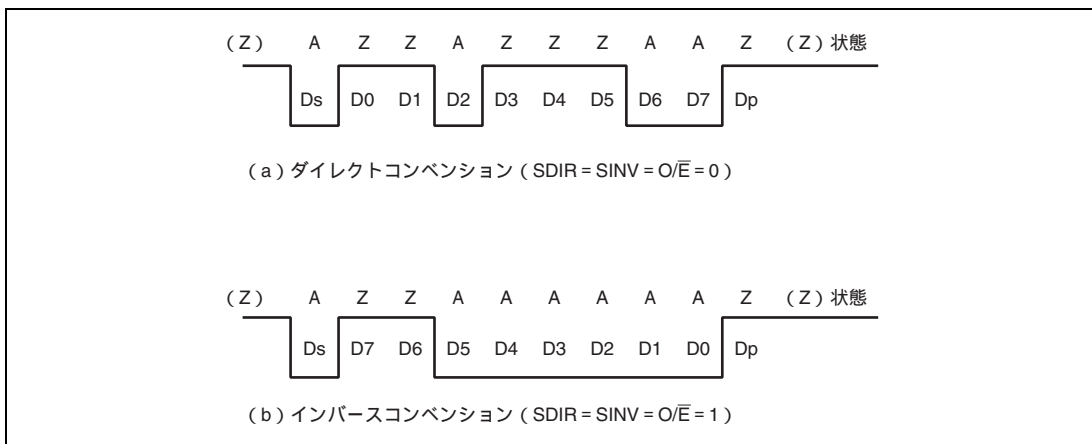


図 23.3 開始キャラクタの波形例

## 23. SIM カードモジュール (SIM)

---

### 23.4.4 クロック

スマートカードインタフェースにおける送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートはビットレートレジスタ (SCBRR) とサンプルレジスタ (SCSMPL) で設定され、以下に示す計算式になります。ビットレートの例を表 23.5 に示します。

このとき  $CKE0=1$  でクロック出力を選択すると SIM\_CLK 端子からはビットレートを (SCSMPL + 1) 倍した周波数のクロックが出力されます。

$$B = P \times 10^6 / \{ (S+1) \times 2 (N+1) \}$$

B = ビットレート (bits/秒)

P = 周辺モジュール用動作周波数

S = SCSMPL 設定値 (0 S 2047)

N = SCBRR 設定値 (0 N 7)

表 23.5 SCBRR の設定に対するビットレート (bits/秒) の例 (P = 19.8[MHz]、SCSMPL = 371)

SCBRR 設定値	SCK 周波数 (MHz)	ビットレート (bits/秒)
7	1.2375	3327
6	1.414	3802
5	1.65	4435
4	1.98	5323
3	2.475	6653
2	3.3	8871
1	4.95	13306
0	9.9	26613

【注】 ビットレートは小数点以下を四捨五入した数値です。

### 23.4.5 データの送信 / 受信動作

#### (1) 初期化

データの送受信の前に、以下の手順でスマートカードインタフェースを初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。初期化のフロー例を図 23.4 に示します。

- (a) シリアルコントロールレジスタ (SCSCR) の TE、RE ビットを 0 にクリアします。
- (b) シリアルステータスレジスタ (SCSSR) のエラーフラグ PER、ORER、ERS、WAIT\_ER を 0 にクリアしてください。
- (c) シリアルモードレジスタ (SCSMR) のパリティビット ( $O\bar{E}$  ビット) を設定してください。
- (d) スマートカードモードレジスタ (SCSCMR) の LCB、PB、SMIF、SDIR、SINV ビットを設定してください。
- (e) ビットレートに対応する値をビットレートレジスタ (SCBRR) に設定してください。また、1etu あたりの周辺モジュール用動作周波数に対応する値をサンプルレジスタ (SCSMPL) に設定してください。
- (f) キャラクタ保護時間に対応する値をガードエクステンションレジスタ (SCGRD) に設定してください。また、T=0 モードのときの作業待ち時間、T=1 モードのときのキャラクタ待ち時間に対応する値をウェイトタイムレジスタ (SCWAIT) に設定してください。
- (g) シリアルコントロールレジスタ (SCSCR) のクロックソースの選択ビット (CKE1、CKE0 ビット) を設定してください。このとき、TIE、RIE、TE、RE、TEIE、WAIT\_IE ビットは、0 に設定してください。CKE0 ビットを 1 にセットした場合は、SIM\_CLK 端子からクロック出力されます。
- (h) 少なくとも、1etu 期間待ってから、SCSCMR の WECC ビットと、SCSCR の TIE、RIE、TE、RE、TEIE、WAIT\_IE ビットを設定してください。自己診断以外は TE ビットと RE ビットを同時にセットしないでください。

## 23. SIM カードモジュール (SIM)

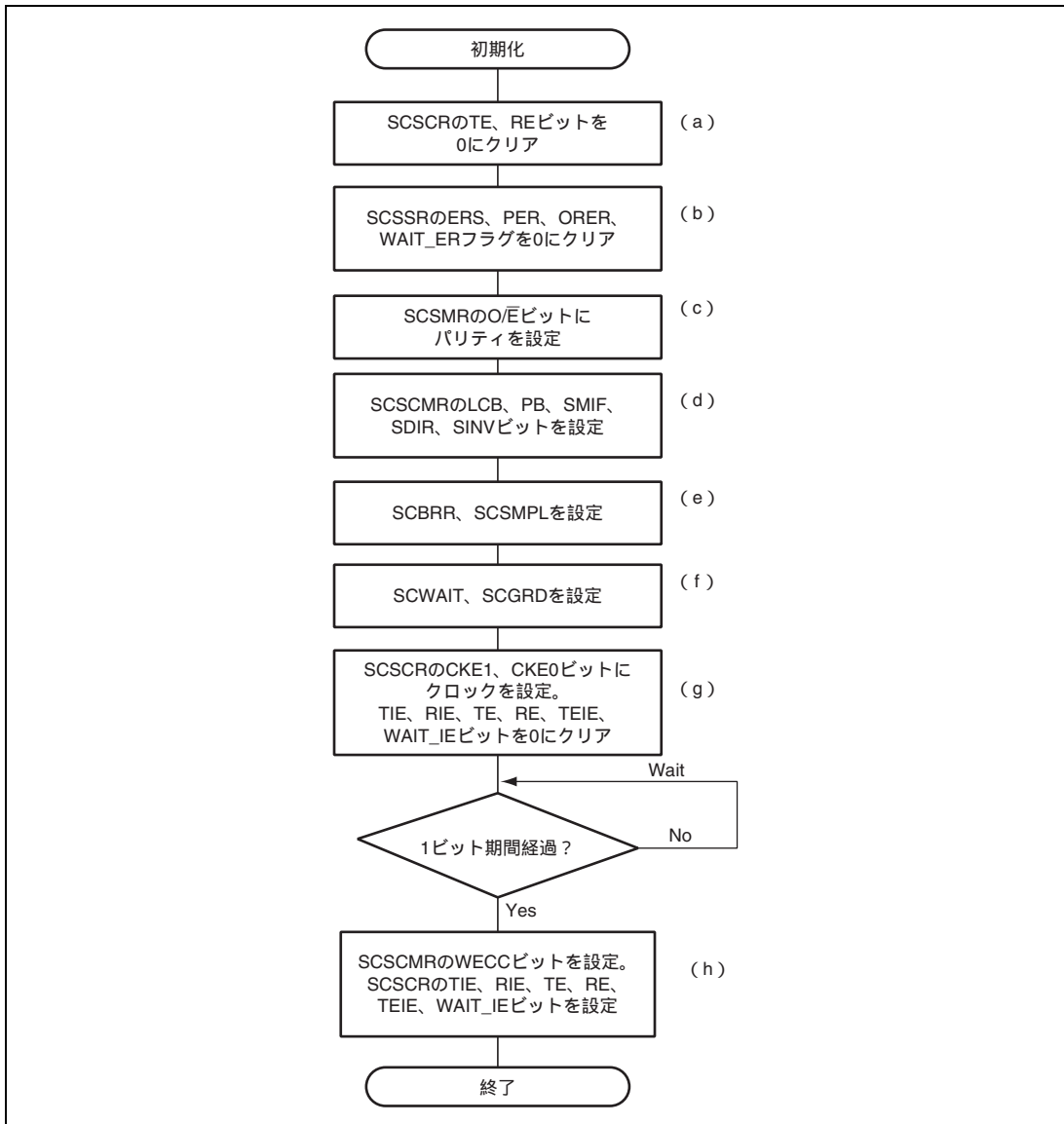


図 23.4 初期化のフロー例

## (2) シリアルデータ送信

スマートカードモードにおけるデータ送信では誤り信号のサンプリングと再送信処理があります。送信処理フローの例を図 23.5 に示します。

- (a) 「23.4.5 (1) 初期化」の手順に従いスマートカードインタフェースモードに初期化します。
- (b) SCSSR のエラーフラグ ERS ビットが 0 にクリアされていることを確認してください。
- (c) SCSSR の TDRE フラグが 1 にセットされていることが確認できるまで、(b) ~ (c) を繰り返してください。
- (d) SCTDR に送信データを書き込んで、送信動作を行います。このとき、TDRE フラグは自動的に 0 にクリアされます。スタートビットの送信が開始されると TEND フラグは自動的に 0 にクリアされ、TDRE フラグは自動的に 1 にセットされます。
- (e) 連続してデータを送信する場合は、(b) に戻ってください。
- (f) 必要に応じて SCSCMR の WECC ビットを設定します。送信を終了する場合は、TE ビットを 0 にクリアします。

以上の一連の処理は、割り込み処理が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が開始し TDRE フラグが 1 にセットされると、送信データエンプティ割り込み (TXI) 要求が発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は「23.4.5 (5) 割り込み動作」を参照してください。

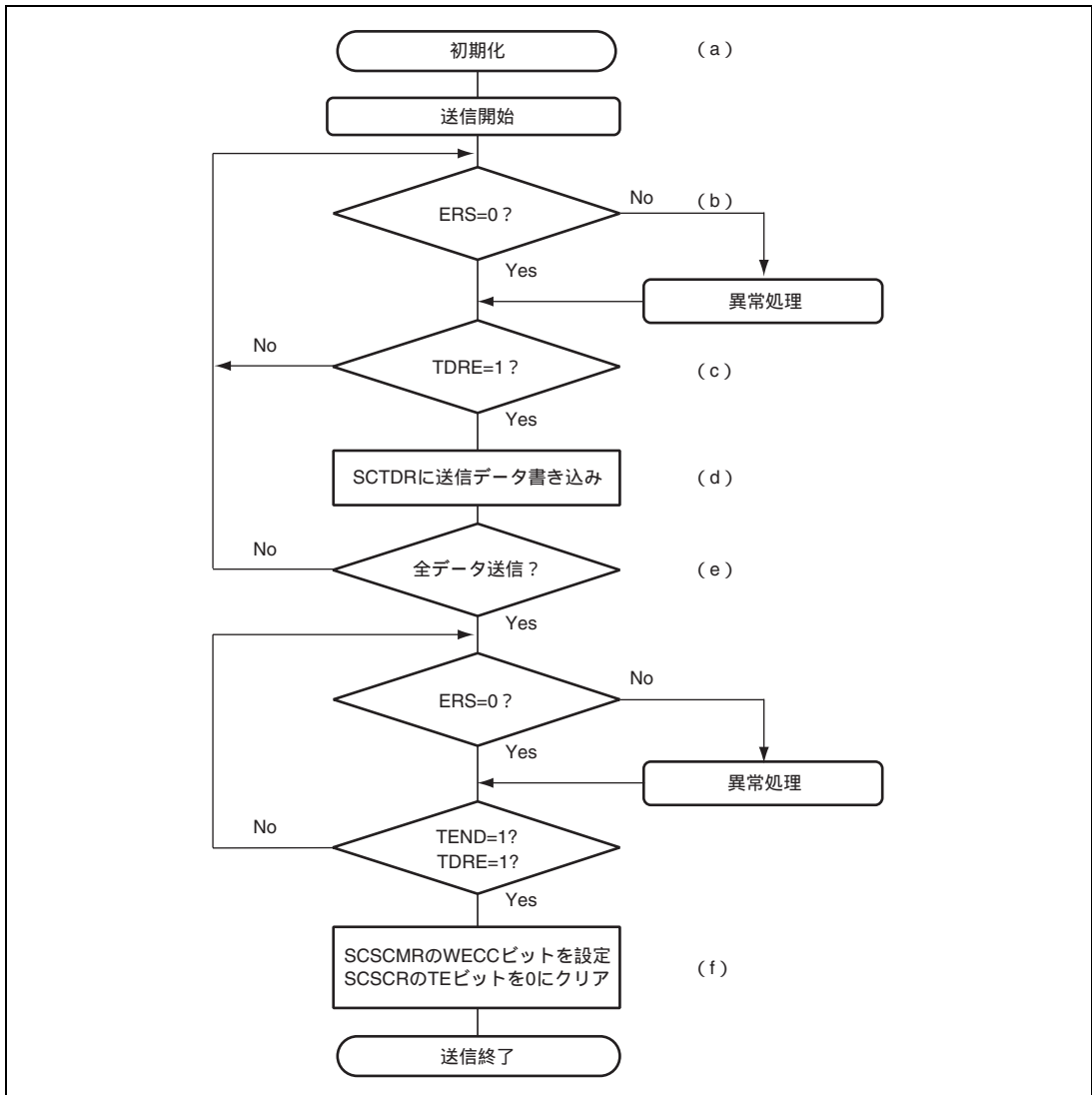


図 23.5 送信処理フローの例

(3) シリアルデータ受信

スマートカードモードのデータ受信処理フローの例を図 23.6 に示します。

- (a) スマートカードインタフェースを「23.4.5 (1) 初期化」に従い初期化します。
- (b) SCSSR の PER、ORER、WAIT\_ER フラグが 0 であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、PER、ORER、WAIT\_ER フラグを 0 にクリアしてください。
- (c) RDRF フラグが 1 であることを確認できるまで (b)、(c) を繰り返してください。
- (d) SCRDR から受信データを読み出してください。
- (e) 継続してデータを受信する場合は、(b) に戻ってください。
- (f) 必要に応じて SCSCMR の WECC ビットを設定します。受信を終了する場合は、RE ビットを 0 にクリアします。

以上の一連の処理は、割り込み処理が可能です。

RIE ビットを 1、EIO ビットを 0 にセットしておいたとき RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求が発生します。また、RIE ビットを 1 にセットし受信時にエラーが発生し、ORER、PER、WAIT\_ER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は「23.4.5 (5) 割り込み動作」を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合、T=0 では受信したデータは SCRDR に転送されませんのでこのデータを読み出すことはできません。T=1 では受信したデータは SCRDR に転送されますので、このデータを読み出すことができます。

## 23. SIM カードモジュール (SIM)

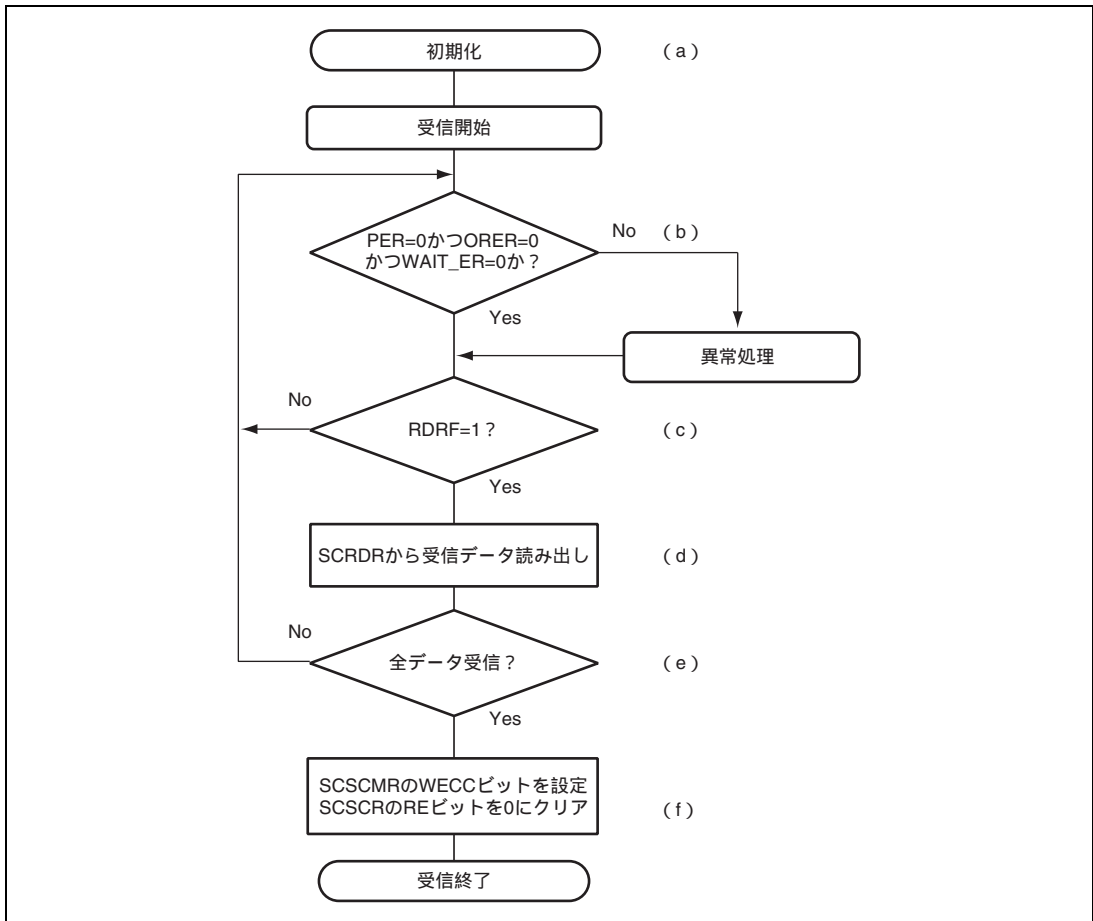


図 23.6 受信処理フローの例



## (4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1 に設定してください。受信動作の完了は RDRF フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1 に設定してください。送信動作の完了は TDRE、TEND フラグで確認できます。

## (5) 割り込み動作

スマートカードインタフェースでは、送信データエンpty 割り込み (TXI) 要求、送受信エラー 割り込み (ERI) 要求、受信データフル 割り込み (RXI) 要求、送信終了 割り込み (TEI) 要求の 4 種類の割り込み要因があります。

SCSSR の TDRE フラグが 1 にセットされると、TXI 要求が発生します。

SCSSR の RDRF フラグが 1 にセットされると、RXI 要求が発生します。

SCSSR の ERS、ORER、PER、WAIT\_ER フラグが 1 にセットされると、ERI 要求が発生します。

SCSSR の TEND フラグがセットされると、TEI 要求が発生します。

表 23.6 にスマートカードインタフェースの割り込み要因を示します。各割り込み要求は SCSSR の TIE、RIE、TEIE、WAIT\_IE および SCSC2R の EIO ビットで許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

表 23.6 スマートカードインタフェース割り込み要因

動作状態		フラグ	マスクビット	割り込み要因
送信モード	正常動作	TDRE	TIE	TXI
		TEND	TEIE	TEI
	エラー	ERS	RIE	ERI
受信モード	正常動作	RDRF	RIE、EIO	RXI
	エラー	ORER、PER	RIE	ERI
		WAIT_ER	WAIT_IE	ERI

## (6) DMAC によるデータ転送動作

スマートカードインタフェースは、DMAC を使って送受信を行うことができます。DMAC 使用時は、SCDMAEN の RDMAE および TDMAE ビットを 1 に設定してください。

送信動作では、TDMAE ビットが 1 のとき、SCSSR の TDRE フラグが 1 にセットされると、送信データエンpty DMA 転送要求が発生します。あらかじめ DMAC の起動要因に送信データエンpty DMA 転送要求を設定しておけば、送信データエンpty DMA 転送要求により DMAC を起動してデータ転送を行うことができます。

T=0 モードのとき、送信時に誤り信号を受信した場合、自動的に同じデータを再送信します。この再送信のとき DMA 転送要求は発生しませんので DMAC に指定したバイト数の送信ができます。

DMAC で送信データ処理を行い、CPU への割り込み要求でエラー処理を行う場合、TIE ビットを 0 にセットし TXI 要求が発生しないようにして、RIE ビットを 1 にセットして ERI 要求が発生するようにしてください。誤り信号を受信したときにセットされる ERS フラグは、自動的にクリアされませんので CPU への割り込み要求でクリアしてください。

## 23. SIM カードモジュール (SIM)

受信動作では、RDMAE ビットが 1 のとき、SCSSR の RDRF フラグが 1 にセットされると受信データフル DMA 転送要求が発生します。あらかじめ DMAC の起動要因に受信データフル DMA 転送要求を設定しておけば、受信データフル DMA 転送要求により DMAC を起動してデータ転送を行うことができます。

T=0 モードのとき、受信時にパリティエラーが発生した場合データの再送信要求をします。このとき RDRF フラグはセットされず DMA 転送要求は発生しませんので DMAC に指定したバイト数の受信ができます。

DMAC で受信データ処理を行い、CPU への割り込み要求でエラー処理を行う場合、RIE ビットを 1、EIO ビットを 1、WAIT\_ER ビットを 1 にセットして、RXI 要求が発生せず ERI 要求のみ発生するように設定してください。

受信エラーによりセットされる PER、ORER、WAIT\_ER フラグは自動的にクリアされませんので CPU への割り込み要求でクリアしてください。

なお、DMAC を使って送受信を行う場合は、必ず先に DMAC を設定し、イネーブル状態にしてからスマートカードインタフェースの設定を行ってください。

### 23.5 使用上の注意事項

スマートカードインタフェースを使用する際は、以下のことに注意してください。

#### (1) 受信データタイミングと受信マージン

SCSMPL レジスタが初期値の場合、スマートカードインタフェースは転送レートの 372 倍の周波数の基本クロックで動作しています。

受信時にスマートカードインタフェースは、スタートビットの立ち下がりを利用したシリアルクロックでサンプリングして、内部を同期化します。また、受信データをシリアルクロックの 186 クロック目の立ち上がりエッジで内部に取り込みます。これを図 23.7 に示します。

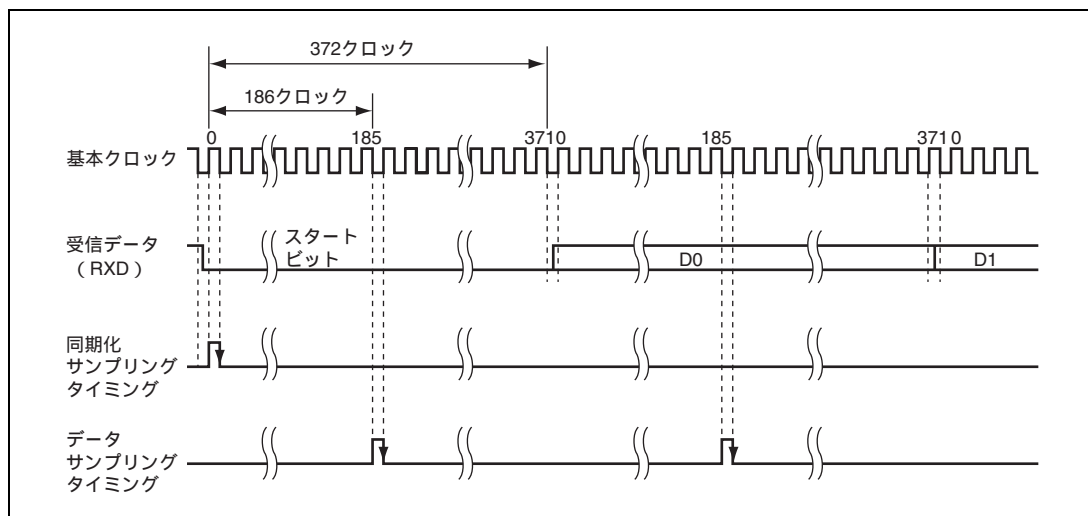


図 23.7 スマートカードモード時の受信データサンプリングタイミング

したがって、受信マージンは、次の式のように表すことができます。

スマートカードモード時の受信マージン式

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(L + F) \right| \times 100\%$$

M：受信マージン (%)

N：クロックに対するビットレートの比 (N=372)

D：クロックデューティ (D=0~1.0)

L：フレーム長 (L=10)

F：クロック周波数の偏差の絶対値

上式で、F=0、D=0.5 とすると、受信マージン式は次のようになります。

D=0.5、F=0 のとき、

$$\begin{aligned} M &= (0.5 - 1/2 \times 372) \times 100\% \\ &= 49.866\% \end{aligned}$$

## (2) 再転送動作

スマートカードインタフェースがそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

- スマートカードインタフェースが受信モードの場合の再転送動作 (T=0)

スマートカードインタフェースが受信モードの場合の再転送動作を図 23.8 に示します。

- 受信したパリティビットをチェックした結果、エラーが検出されると、SCSSR の PER ビットが自動的に 1 にセットされます。このとき、SCSCR の RIE ビットがイネーブルになっていれば、ERI 要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSR の PER ビットを 0 にクリアしてください。
- パリティエラーが発生したフレームでは、SCSSR の RDRF ビットはセットされません。
- 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SCSSR の PER ビットはセットされません。
- 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SCSSR の RDRF ビットが自動的に 1 にセットされます。このとき SCSCR の RIE ビットが 1、EIO ビットが 0 になっていれば、RXI 要求が発生します。
- 正常なフレームを受信した場合、誤り信号を送信するタイミングで端子はハイインピーダンス状態を保持します。

## 23. SIM カードモジュール (SIM)

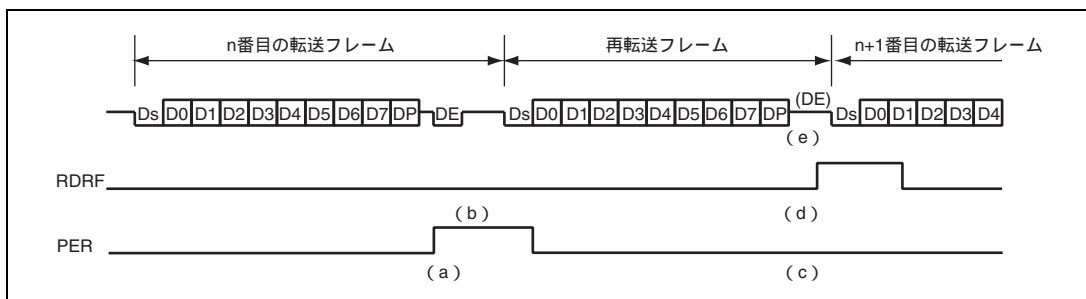


図 23.8 スマートカードインタフェース受信モードの場合の再転送動作

- スマートカードインタフェースが送信モードの場合の再転送動作 (T=0)

スマートカードインタフェースが送信モードの場合の再転送動作を図 23.9 に示します。

- (a) 1 フレーム分の送信を完了した後、受信側から誤り信号が返されると、SCSSR の ERS ビットが 1 にセットされます。このとき、SCSSR の RIE ビットが許可になっていれば、ERI 要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSR の ERS ビットを 0 にクリアしてください。
- (b) T=0 モードのとき異常を示す誤り信号を受信したフレームでは、SCSSR の TEND ビットはセットされません。
- (c) 受信側から誤り信号が返ってこない場合は、SCSSR の ERS ビットはセットされません。
- (d) 受信側から誤り信号が返ってこない場合は、再転送を含む 1 フレームの送信が完了したと判断して、このとき、SCTDR がエンプティでない場合は、SCSSR の TEND ビットが 1 にセットされます。このとき SCSSR の TEIE ビットがイネーブルになっていれば、TEI 割り込み要求が発生します。

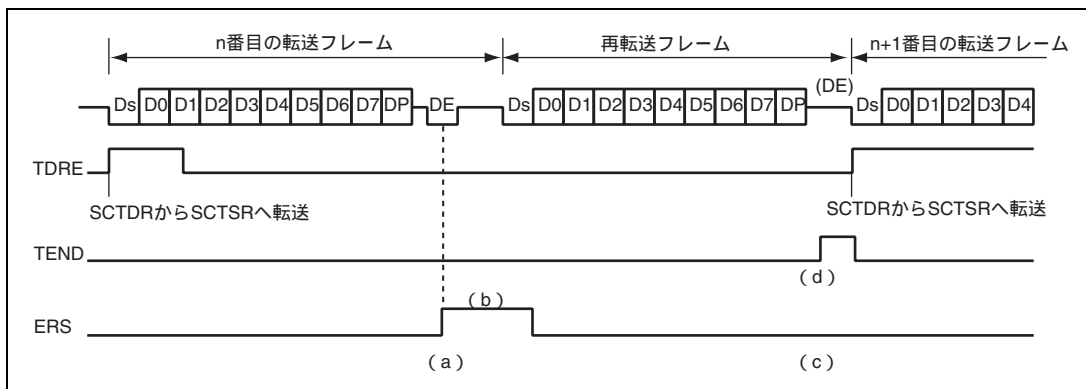


図 23.9 スマートカードインタフェース送信モードの場合の再転送動作スタンバイモード (クロックストップ)

## (3) 一時的な High 出力機能

スマートカードインタフェースは SCSCMR の HOEN ビットを 1 にセットすることにより、1 フレーム分のデータ送信終了後の一時的な High 出力機能をオンします。一時的な High 出力機能オフ時は、1 フレーム送信終了後にトライステートバッファをネゲートすることによりデータ線を Hi-Z にする際、pull-up によりデータ線が H レベルに固定されるのに、時間がかかります。一時的な High 出力機能オン時は、1 フレーム送信終了後にトライステートバッファをネゲートする前に、1 システムクロック分強制的に H レベルを出力することにより、データ線を H レベルに固定する時間を短縮します。図 23.10 にタイムチャートを示します。

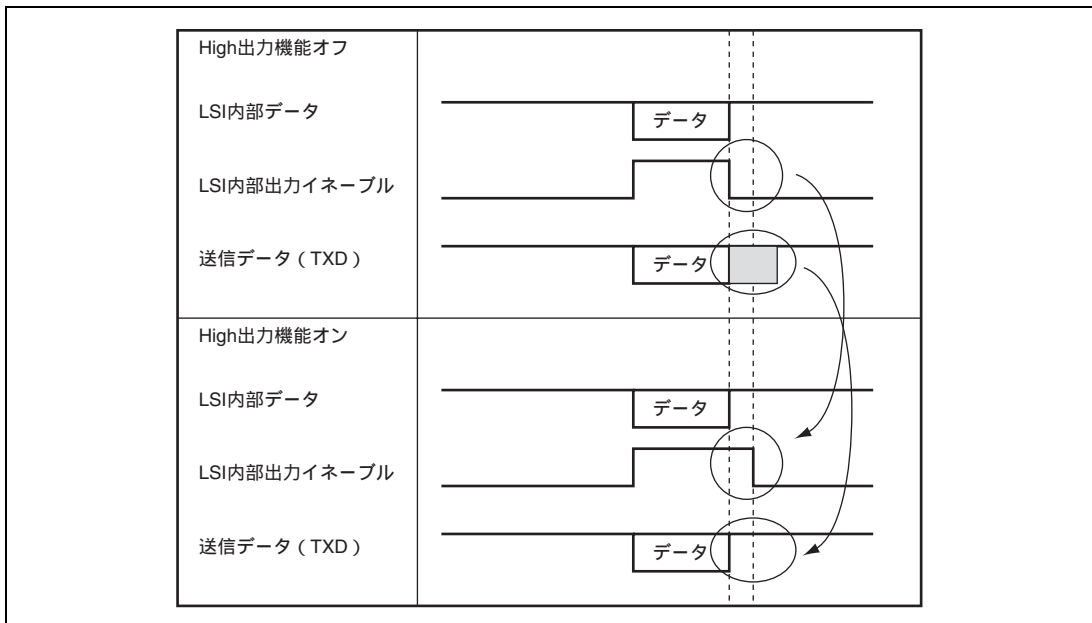


図 23.10 High 出力機能タイムチャート

## (4) スタンバイモード (クロックストップ)

スマートカードインタフェースモードとスタンバイモード間でモード切り替えを行う際、クロックデューティを保持するため、下記の切り替え手順で処理してください。切り替え手順を図 23.11 に示します。

- スマートカードインタフェースモードからスタンバイモードに移移するとき
  - (a) シリアルコントロールレジスタ (SCSCR) の TE ビットと RE ビットに 0 を書き込み、送信 / 受信動作を停止させます。同時に、CKE1 ビットをスタンバイモード時の出力固定状態の値に設定します。
  - (b) SCSCR の CKE0 ビットに 0 を書き込み、クロックを停止させます。
  - (c) シリアルクロックの 1 クロック周期の間待ちます。この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
  - (d) スタンバイ状態に移移させます。

## 23. SIM カードモジュール (SIM)

- スタンバイモードからスマートカードインタフェースモードに戻るとき
  - (e) スタンバイ状態を解除します。
  - (f) シリアルコントロールレジスタ (SCSCR) の CKE1 ビットをスタンバイ開始時の出力固定状態 (現在の SIM\_CLK 端子の状態) の値に設定します。
  - (g) SCSCR の CKE0 ビットに 1 を書き込みクロックを出力させます。正常なデューティにてクロック信号発生を開始します。

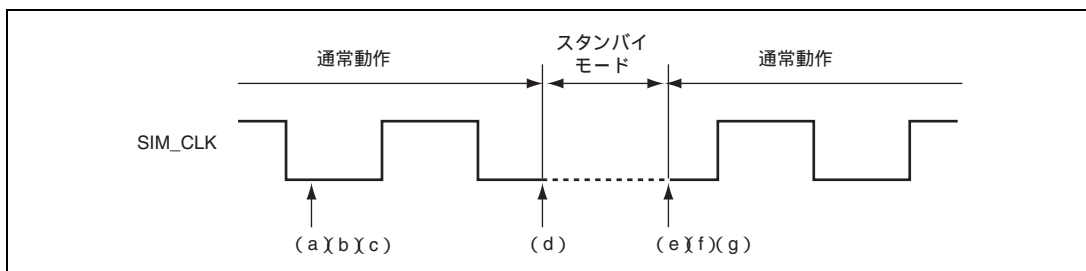


図 23.11 クロック停止、再起動手順

### (5) 電源投入とクロック

電源投入時からクロックデューティを確保するためには、下記の切り替え手順で処理をしてください。

1. 電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用します。
2. シリアルコントロールレジスタ (SCSCR) のCKE1ビットで指定の出力に固定します。
3. SCSCRのCKE0ビットを1に設定して、クロック出力を開始します。

### (6) 端子接続

スマートカードインタフェースに関する端子接続例を図 23.12 に示します。

スマートカードとの通信においては、1本のデータ伝送線で送信と受信が行われます。また、データ伝送線は、抵抗で電源  $V_{ccQ}$  側にプルアップしてください。

スマートカードインタフェースで生成するクロックをICカードで使用する場合は、SIM\_CLK 端子出力をICカードのCLK端子に入力します。ICカードで、内部クロックを使用する場合は接続不要です。

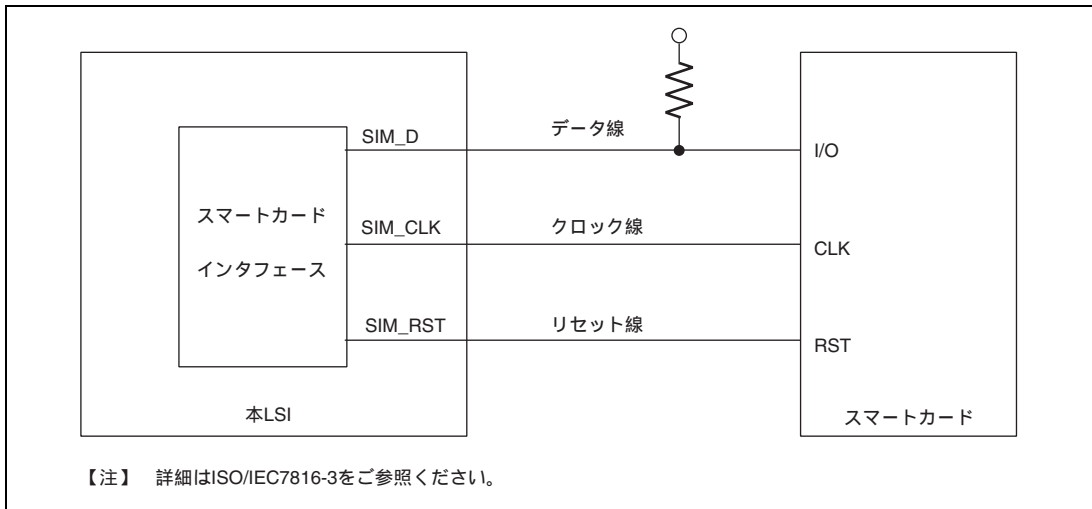


図 23.12 スマートカードインタフェース端子接続例

【注】 IC カードを接続しないで RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

## 23. SIM カードモジュール (SIM)

---



---

## 24. IrDA インタフェース (IrDA)

---

IrDA インタフェース (IrDA) は、本 LSI 外付けの赤外線受発光素子との間で、IrDA 標準規格 1.2a に準拠した赤外線データ通信を行います。

IrDA は、データ送受信コントロールとして UART を使用し、その後段に接続した赤外線受発光パルス変復調ブロックと CRC エンジンブロックから構成されています。UART ブロックは、調歩同期式モードの手順に従ってシリアルデータ送受信を制御します。赤外線受発光パルス変復調ブロックは、IrDA 標準規格 1.2a に準拠した赤外線ベースバンド変調/復調による通信パルス制御、受信パルスチェック機能を持っています。CRC エンジンブロックは、8 ビット入力データを読み込み、16 ビットの CRC 演算結果を出力します。

### 24.1 特長

UART 機能として以下の特長があります。

- 調歩同期式モードのシリアル送受信  
(データ長：8ビット、ストップビット長：1ビット、パリティ：なし)
- 受信エラーの検出：オーバランエラー、フレーミングエラー
- ボーレート誤差補正：小数点以下16段階で設定可能
- ボーレートカウンタ：65536カウンタまで設定可能

赤外線受発光パルス変復調機能として以下の特長があります。

- 赤外線発光 (送信) パルス幅：1ビット幅 × 3 / 16あるいは1.63 μs選択可能
- パルス幅チェック：規定外 (未満、オーバ) を検出可能
- 1.8432MHzクロック生成回路：ボーレートカウンタ整数部16カウンタ設定可能  
ボーレートカウンタ小数部16段階設定可能

CRC演算機能としては以下の特長があります。

- 生成多項式： $X^{16}+X^{12}+X^5+1$
- データ入力：バイト書き込み、下位ビットから8ビット単位でCRC演算
- CRC出力：16ビットCRC生成出力
- 最大データ長：4096バイト

## 24. IrDA インタフェース (IrDA)

IrDA のブロック図を図 24.1 に示します。

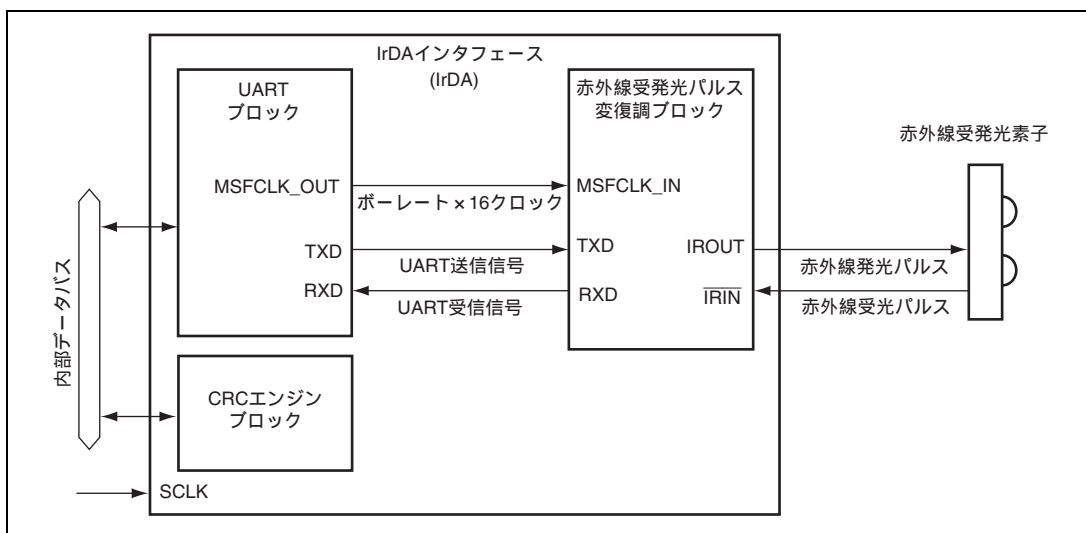


図 24.1 IrDA のブロック図

### 24.2 入出力端子

IrDA には、表 24.1 に示す入出力端子があります。

表 24.1 端子構成

名称	略称	入出力	機能
IrDA_IN	IRIN	入力	赤外線受光 (受信) パルス入力 (負論理)
IrDA_OUT	IROUT	出力	赤外線発光 (送信) パルス出力 (正論理)

## 24.3 レジスタの説明

IrDA のレジスタ構成を表 24.2 に示します。また、各処理モードにおけるレジスタの状態を表 24.3 に示します。

表 24.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
DMA 受信割り込み要因クリアレジスタ	IRIF_RINTCLR	W	H'A45D 0016	16/8
DMA 送信割り込み要因クリアレジスタ	IRIF_TINTCLR	W	H'A45D 0018	16/8
IrDA-SIR10 コントロールレジスタ	IRIF_SIR0	R/W	H'A45D 0020	16/8
IrDA-SIR10 ボーレート誤差補正レジスタ	IRIF_SIR1	R/W	H'A45D 0022	16/8
IrDA-SIR10 ボーレートカウント設定レジスタ	IRIF_SIR2	R/W	H'A45D 0024	16/8
IrDA-SIR10 ステータスレジスタ	IRIF_SIR3	R	H'A45D 0026	16/8
ハードウェアフレーム処理設定レジスタ	IRIF_SIR_FRM	R/W	H'A45D 0028	16/8
EOF 値設定レジスタ	IRIF_SIR_EOF	R/W	H'A45D 002A	16/8
フラグクリアレジスタ	IRIF_SIR_FLG	W	H'A45D 002C	16/8
UART ステータスレジスタ 2	IRIF_SIR_STS2	R/W	H'A45D 002E	16/8
UART コントロールレジスタ	IRIF_UART0	R/W	H'A45D 0030	16/8
UART ステータスレジスタ	IRIF_UART1	R	H'A45D 0032	16/8
UART モードレジスタ	IRIF_UART2	R/W	H'A45D 0034	16/8
UART 送信データレジスタ	IRIF_UART3	W	H'A45D 0036	16/8
UART 受信データレジスタ	IRIF_UART4	R	H'A45D 0038	16/8
UART 割り込みマスクレジスタ	IRIF_UART5	R/W	H'A45D 003A	16/8
UART ボーレート誤差補正レジスタ	IRIF_UART6	R/W	H'A45D 003C	16/8
UART ボーレートカウントレジスタ	IRIF_UART7	R/W	H'A45D 003E	16/8
CRC エンジンコントロールレジスタ	IRIF_CRC0	R/W	H'A45D 0040	16/8
CRC エンジン入力データレジスタ	IRIF_CRC1	W	H'A45D 0042	16/8
CRC エンジン演算レジスタ	IRIF_CRC2	W	H'A45D 0044	16/8
CRC エンジン出力データレジスタ 1	IRIF_CRC3	R	H'A45D 0046	16/8
CRC エンジン出力データレジスタ 2	IRIF_CRC4	R	H'A45D 0048	16/8

## 24. IrDA インタフェース (IrDA)

表 24.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
IRIF_RINTCLR	初期化	初期化	保持	保持	初期化	保持
IRIF_TINTCLR	初期化	初期化	保持	保持	初期化	保持
IRIF_SIR0	初期化	初期化	保持	保持	初期化	保持
IRIF_SIR1	初期化	初期化	保持	保持	初期化	保持
IRIF_SIR2	初期化	初期化	保持	保持	初期化	保持
IRIF_SIR3	初期化	初期化	保持	保持	初期化	保持
IRIF_SIR_FRM	初期化	初期化	保持	保持	初期化	保持
IRIF_SIR_EOF	初期化	初期化	保持	保持	初期化	保持
IRIF_SIR_FLG	初期化	初期化	保持	保持	初期化	保持
IRIF_UART_STS2	初期化	初期化	保持	保持	初期化	保持
IRIF_UART0	初期化	初期化	保持	保持	初期化	保持
IRIF_UART1	初期化	初期化	保持	保持	初期化	保持
IRIF_UART2	初期化	初期化	保持	保持	初期化	保持
IRIF_UART3	初期化	初期化	保持	保持	初期化	保持
IRIF_UART4	初期化	初期化	保持	保持	初期化	保持
IRIF_UART5	初期化	初期化	保持	保持	初期化	保持
IRIF_UART6	初期化	初期化	保持	保持	初期化	保持
IRIF_UART7	初期化	初期化	保持	保持	初期化	保持
IRIF_CRC0	初期化	初期化	保持	保持	初期化	保持
IRIF_CRC1	初期化	初期化	保持	保持	初期化	保持
IRIF_CRC2	初期化	初期化	保持	保持	初期化	保持
IRIF_CRC3	初期化	初期化	保持	保持	初期化	保持
IRIF_CRC4	初期化	初期化	保持	保持	初期化	保持

## 24.3.1 DMA 受信割り込み要因クリアレジスタ (IRIF\_RINTCLR)

IRIF\_RINTCLR は、受信データ DMA 転送要求をクリアするレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDMAC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~0	RDMAC[15:0]	H'0000	W	受信データ DMA 転送用要求クリア クリアする場合は、ワードデータを書き込んでください。書き込む値は任意です。

## 24.3.2 DMA 送信割り込み要因クリアレジスタ (IRIF\_TINTCLR)

IRIF\_TINTCLR は、送信データ DMA 転送要求をクリアするレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDMAC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~0	TDMAC[15:0]	H'0000	W	送信データ DMA 転送用要求クリア クリアする場合は、ワードデータを書き込んでください。書き込む値は任意です。

## 24.3.3 IrDA-SIR10 コントロールレジスタ (IRIF\_SIR0)

IRIF\_SIR0 は、赤外線受発光パルス変復調の制御を行うレジスタです

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IR TPW	IR ERRC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	IRTPW	0	R/W	赤外線発光 (送信) パルス幅選択 赤外線発光 (送信) パルス幅を選択します。 0: MSFCLK_IN より入力されるクロックの3サイクル分を出力 1: IRIF_SIR1 と IRIF_SIR2 で設定した 1.8432MHz クロックの3サイクル分を出力

## 24. IrDA インタフェース (IrDA)

ビット	ビット名	初期値	R/W	説明
0	IRERRC	0	R/W	赤外線受光 (受信) パルス幅エラーフラグクリアビット 赤外線受光 (受信) パルス幅のエラーフラグをクリアします。 0 : クリアしない 1 : クリアする 【注】本ビットに 1 を設定した場合、直ちに 0 に復帰します。0 を書き込む必要はありません。

### 24.3.4 IrDA-SIR10 ボーレート誤差補正レジスタ (IRIF\_SIR1)

IRIF\_SIR1 は、赤外線受発光パルス変復調ブロックで使用するボーレートの誤差補正 (ボーレートカウント値の小数部) の設定を行うレジスタです。IRIF\_SIR2 で指定する値とあわせて 1.8432MHz クロックの生成を行います。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	IRBCA[3:0]			—	—	—	—	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~4	IRBCA[3:0]	0000	R/W	赤外線変復調ボーレート誤差補正設定ビット 赤外線受発光パルス変復調ブロックで使用するボーレートの誤差補正 (ボーレートカウント値の小数部) の設定を行います。下記の設定値の右に示された値は、IRIF_SIR2 で指定するボーレートカウント値の小数部を表しています。動作仕様に一番近い小数部を選択してください。  0000 : 0.0000      1000 : 0.5000 0001 : 0.0625      1001 : 0.5625 0010 : 0.1250      1010 : 0.6250 0011 : 0.1875      1011 : 0.6875 0100 : 0.2500      1100 : 0.7500 0101 : 0.3125      1101 : 0.8125 0110 : 0.3750      1110 : 0.8750 0111 : 0.4375      1111 : 0.9375  【注】本ビットの設定は送受信中には行わないでください。送受信中の設定による動作は保証されません。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 24.3.5 IrDA-SIR10 ポーレートカウント設定レジスタ (IRIF\_SIR2)

IRIF\_SIR2 は、赤外線受発光パルス変復調ブロックで使用するポーレートカウント値の整数部の設定を行うレジスタです。IRIF\_SIR1 で指定した誤差補正值とあわせて 1.8432MHz クロックを生成します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	IRBC[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3~0	IRBC[3:0]	0000	R/W	赤外線変復調ポーレートカウント設定 赤外線受発光パルス変復調ブロックで使用するクロックを生成する分周カウント値の整数部の設定を行います。 【注】本ビットの設定は送受信中には行わないでください。送受信中の設定による動作は保証されません。

## 24.3.6 IrDA-SIR10 ステータスレジスタ (IRIF\_SIR3)

IRIF\_SIR3 は、赤外線受発光パルス変復調時の赤外線受光 (受信) パルス幅エラーの有無を示すレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IRERR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	IRERR	0	R	赤外線受光 (受信) パルス幅エラーフラグビット 赤外線パルス変復調時の受信パルス幅にエラーがあったことを示します。 0: エラーなし 1: エラーあり

## 24. IrDA インタフェース (IrDA)

### 24.3.7 ハードウェアフレーム処理設定レジスタ (IRIF\_SIR\_FRM)

IRIF\_SIR\_FRM は、受信データのフレーム処理を設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	EOFD	FRER	—	—	—	—	—	—	—	FRP
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	EOFD	1	R	EOF 検出フラグ 0: EOF を検出した 1: EOF を検出していない
8	FRER	0	R	フレームエラービット 0: フレームエラーが発生していない 1: フレームエラーが発生した
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	FRP	0	R/W	フレーム処理設定 0: EOF の検出を無効にする 1: EOF の検出を有効にする

### 24.3.8 EOF 値設定レジスタ (IRIF\_SIR\_EOF)

IRIF\_SIR\_EOF は、EOF の値を設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	EOF[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	EOF[7:0]	H'C1	R/W	EOF 設定 検出する EOF の値を設定します。



## 24.3.9 フラグクリアレジスタ (IRIF\_SIR\_FLG)

IRIF\_SIR\_FLG は、フレームエラーフラグ、EOF フラグをクリアするレジスタです。本レジスタの上位 8 ビットあるいは下位 8 ビットに任意のデータを書き込むことによって対応するフラグをクリアすることができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FRERC[7:0]								EOFC[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~8	FRERC[7:0]	H'00	W	フレームエラーフラグクリア 本ビット (本レジスタの上位 8 ビット) にバイトデータを書き込むことによって、フレームエラーフラグがクリアされます。書き込む値は任意です。
7~0	EOFC[7:0]	H'00	W	EOF フラグクリア 本ビット (本レジスタの下位 8 ビット) にバイトデータを書き込むことによって、EOF フラグがクリアされます。書き込む値は任意です。

## 24.3.10 UART ステータスレジスタ 2 (IRIF\_UART\_STS2)

IRIF\_UART\_STS2 は、データ受信時の動作状態を示すレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	IRSME	IROVE	IRFRE	IRPRE	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	IRSME	0	R/W	受信サムエラーフラグ 0: 受信サムエラーなし 1: 受信サムエラーあり
5	IROVE	0	R/W	受信オーバーランエラーフラグ 0: 受信オーバーランエラーなし 1: 受信オーバーランエラーあり
4	IRFRE	0	R/W	受信フレーミングエラーフラグ 0: 受信フレーミングエラーなし 1: 受信フレーミングエラーあり
3	IRPRE	0	R/W	受信パリティエラーフラグ 0: 受信パリティエラーなし 1: 受信パリティエラーあり
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 本レジスタへの書き込み動作ですべてのエラーフラグがクリアされます。

## 24. IrDA インタフェース (IrDA)

### 24.3.11 UART コントロールレジスタ (IRIF\_UART0)

IRIF\_UART0 は、データ送受信を制御するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TBEC	RIE	TIE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	TBEC	0	W	送信データクリア UARTの送信バッファエンプティフラグのクリアを行うビットです。1を書き込むとクリアされますが、送信データレジスタの内容はクリアされません。本ビットに1を書き込んでも読み出し時には0が読み出されます。 0: クリアしません 1: クリアする
1	RIE	0	R/W	受信イネーブル UARTの受信の起動/停止を行うビットです。受信中に停止を行うと、1データ受信の後、受信が中断されます。 0: 停止 1: 起動
0	TIE	0	R/W	送信イネーブル UARTの送信の起動/停止を行うビットです。送信中に停止を行うと、1データ送信の後、送信が中断されます。 0: 停止 1: 起動

## 24.3.12 UART ステータスレジスタ (IRIF\_UART1)

IRIF\_UART1 は、UART 機能の動作状態を示すフラグが設定されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	UR SME	UR OVE	UR FRE	UR PRE	RBF	TSBE	TBE
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
8, 7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	URSME	0	R	受信サムエラーフラグ UART の各エラーフラグ (受信パリティエラーフラグ、受信フレーミングエラーフラグ、受信オーバーランエラーフラグ) のいずれかのフラグが1にセットされると1がセットされ、セットされていない場合は0がセットされます。エラーフラグは受信データレジスタがシステムにより読み出されるとクリアされ、受信データがシステムにより読み出される前に次の受信データが受信されると、最新の受信データに対応したエラーフラグがセットされます (古い受信データに対するエラーに上書きされていきます)。 0: エラーなし 1: エラーあり
5	UROVE	0	R	受信オーバーランエラーフラグ UART の受信データレジスタがシステムにより読み出される前に次の受信データが格納されると1がセットされ、受信データレジスタがシステムにより読み出しが行われると0がセットされます。このときの受信データは、最新のデータが格納されます (古い受信データの上に上書きされます)。 0: エラーなし 1: エラーあり
4	URFRE	0	R	受信フレーミングエラーフラグ UART の受信データの後続に付加されるストップビットが、UART モードレジスタで指定した、ストップビット長と一致すると0がセットされ、一致しない場合に1がセットされる。エラーフラグは受信データレジスタがシステムにより読み出されるとクリアされ、受信データがシステムにより読み出される前に次の受信データが受信されると、最新の受信データに対応したエラーフラグがセットされます (古い受信データに対するエラーに上書きされます)。 0: エラーなし 1: エラーあり

## 24. IrDA インタフェース (IrDA)

ビット	ビット名	初期値	R/W	説明
3	URPRE	0	R	<p>受信パリティエラーフラグ</p> <p>UART の受信したデータのパリティが、UART モードレジスタで指定したパリティと一致すると 0 がセットされ、一致せず、かつ、パリティを有効と設定している場合に 1 がセットされます。エラーフラグは受信データレジスタがシステムにより読み出されるとクリアされ、受信データがシステムにより読み出される前に次の受信データが受信されると、最新の受信データに対応したエラーフラグがセットされます(古い受信データに対するエラーに上書きされていきます)。</p> <p>0 : エラーなし 1 : エラーあり</p>
2	RBF	0	R	<p>受信バッファフルフラグ</p> <p>UART の受信データレジスタに受信データが格納されると、1 がセット(受信パリティエラー、受信フレーミングエラー、受信オーバーランエラーのいずれかが発生していても 1 がセット)され、受信データレジスタがシステムにより読み出されると 0 がセットされます。</p> <p>0 : 受信データなし 1 : 受信データあり</p>
1	TSBE	1	R	<p>送信シフトバッファエンプティフラグ</p> <p>UART の送信が完了すると (UART 送信シフトバッファが空になると) 1 がセットされ、UART の送信中は 0 がセットされます。</p> <p>0 : 送信中 1 : 送信完了</p>
0	TBE	1	R	<p>送信バッファエンプティフラグ</p> <p>UART の送信データレジスタのデータが送信シフトバッファに格納(送信データレジスタが空)されるか、またはコントロールレジスタの送信データクリアビットに 1 を書き込むと 1 がセットされ、送信データレジスタに送信データが書き込まれると 0 がセットされます。</p> <p>0 : 送信データあり 1 : 送信データなし</p>

## 24.3.13 UART モードレジスタ (IRIF\_UART2)

IRIF\_UART2 は、シリアルデータ送受信データフォーマットや伝送モードを指定するレジスタです。常に、初期値の状態で使用してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	BCT	CHR	STOP	PE	O/E	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	BCT	0	R/W	ブレイクキャラクタ送出力ビット UARTのブレイクキャラクタ送出力を設定するビットで、0で通常動作、1でブレイクキャラクタ(UART送信信号=L)が送出されます。 0:通常動作 1:ブレイクキャラクタ送出力
6	CHR	0	R/W	キャラクタ長選択 UARTの送受信データのキャラクタ長を選択します。 0:8ビット 1:7ビット
5	STOP	0	R/W	ストップビット長選択 UARTの送受信データの后续に付加されるストップビットのビット長を選択するビットで、1で2ビット長、0で1ビット長が選択されます。 0:1ビット 1:2ビット
4	PE	0	R/W	パリティ有無選択 UARTの送受信データに対してパリティビットの有効、無効を選択します。 0:パリティなし 1:パリティあり
3	O/E	0	R/W	パリティ偶奇選択 UARTの送受信データパリティの偶数、奇数の選択を行うビットです。 0:偶数パリティ 1:奇数パリティ
2~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

## 24. IrDA インタフェース (IrDA)

### 24.3.14 UART 送信データレジスタ (IRIF\_UART3)

IRIF\_UART3 は、送信データを格納するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	W	リザーブビット 書き込む値は常に0にしてください。
7~0	TD[7:0]	H'00	W	UART 送信データ 送信するデータを設定します

【注】 UART ステータスレジスタの送信バッファエンプティフラグが1のときに本レジスタに書き込みを行います。0のときに書き込みを行うと、タイミングによっては不定のデータが送信される場合があります。

### 24.3.15 UART 受信データレジスタ (IRIF\_UART4)

IRIF\_UART4 は、受信データが格納されるレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	RD[7:0]	H'00	R	UART 受信データ 受信されたデータが設定されます

【注】 UART ステータスレジスタの受信バッファフルフラグが1のときに本レジスタから読み出しを行います。0のときに読み出しを行うと、タイミングによっては不定のデータが読み出される場合があります。

## 24.3.16 UART 割り込みマスクレジスタ (IRIF\_UART5)

IRIF\_UART5 は、UART の割り込みを有効または無効にするレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	RS EIM	—	—	—	RB FIM	TSB EIM	TB EIM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	RSEIM	0	R/W	受信サムエラーフラグ割り込みマスク 受信サムエラーフラグにより割り込みの有効、無効を選択します。 0: 割り込み禁止 1: 割り込み許可
5~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	RBFIM	0	R/W	受信バッファフルフラグ割り込みマスク 受信バッファフルフラグにより割り込みの有効、無効を選択します。 0: 割り込み禁止 1: 割り込み許可
1	TSBEIM	0	R/W	送信シフトバッファエンプティフラグ割り込みマスク 送信シフトバッファエンプティフラグにより割り込みの有効、無効を選択します。フラグに1がセットされると割り込みとして処理を行います。 0: 割り込み禁止 1: 割り込み許可
0	TBEIM	0	R/W	送信バッファエンプティフラグ割り込みマスク 送信バッファエンプティフラグにより割り込みの有効、無効を選択します。フラグに1がセットされると割り込みとして処理を行います。 0: 割り込み禁止 1: 割り込み許可

【注】 送信シフトバッファエンプティフラグ割り込みマスクビットと送信バッファエンプティ割り込みマスクビットを同時に割り込み許可にしないでください。

## 24. IrDA インタフェース (IrDA)

### 24.3.17 UART ボーレート誤差補正レジスタ (IRIF\_UART6)

IRIF\_UART6 は、データ送受信時のボーレート誤差補正を設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UABCA[3:0]			—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~4	UABCA[3:0]	0000	R/W	ボーレート誤差補正ビット UARTのボーレート誤差補正(ボーレートカウント値の小数部)の設定を行うビットで、UARTボーレートカウントレジスタで指定した値とあわせてボーレート値の設定をします。下記の設定値の右に示された値は、ボーレートカウント値の小数部を表しています。動作仕様に一番近い小数部を選択し、ボーレート誤差補正レジスタへ設定してください。  0000 : 0.0000      1000 : 0.5000 0001 : 0.0625      1001 : 0.5625 0010 : 0.1250      1010 : 0.6250 0011 : 0.1875      1011 : 0.6875 0100 : 0.2500      1100 : 0.7500 0101 : 0.3125      1101 : 0.8125 0110 : 0.3750      1110 : 0.8750 0111 : 0.4375      1111 : 0.9375
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

### 24.3.18 UART ボーレートカウントレジスタ (IRIF\_UART7)

IRIF\_UART7 は、データ送信用のボーレートを設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UABC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	UABC[15:0]	H'0000	R/W	ボーレートカウント設定 ボーレートカウント値の整数部の設定を行うビットで、UARTボーレート誤差補正レジスタで指定した値とあわせてボーレート値の設定を行います。ボーレート値の設定は、「24.4.1(4) データ送受信におけるボーレート設定」を参照してください。



## 24.3.19 CRC エンジンコントロールレジスタ (IRIF\_CRC0)

IRIF\_CRC0 は、CRC エンジンの起動と入力データ数をカウントするレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRC_RST	—	—	—	CRC_CT[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	CRC_RST	0	W	CRC エンジンリセット CRC 演算に関連するレジスタをクリアします。 リセット後、本ビットを 0 に書き戻す必要はありません。 0 : 通常の CRC 演算 1 : CRC エンジンリセット
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	CRC_CT [11:0]	H'000	R	CRC エンジン入力データ数 CRC エンジンに入力されたデータ数が読み出されます。 データ数が 4096 になった場合、0 にラップアラウンドします。

## 24.3.20 CRC エンジン入力データレジスタ (IRIF\_CRC1)

IRIF\_CRC1 は、CRC エンジンへの入力データを設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CRC_IN[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	W	リザーブビット 書き込む値は常に 0 にしてください。
7~0	CRC_IN[7:0]	H'00	W	CRC エンジン入力データ CRC エンジンに入力するデータを設定します。設定されたデータは LSB (CRC_IN0) から CRC 演算レジスタの MSB (CRC_REG15) へ順に転送されます。詳細は図 24.7 を参照してください。

## 24. IrDA インタフェース (IrDA)

### 24.3.21 CRC エンジン演算レジスタ (IRIF\_CRC2)

IRIF\_CRC2 は、CRC の演算用レジスタです。通常 CRC 演算の初期値を書き込むときのみアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRC_REG[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~0	CRC_REG [15:0]	H'0000	W	CRC エンジン演算データ CRC 演算レジスタの初期値を設定します。

### 24.3.22 CRC エンジン出力データレジスタ 1 (IRIF\_CRC3)

IRIF\_CRC3 は、CRC エンジンの演算結果を示すレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRC_OUT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	CRC_OUT [15:0]	H'0000	R	CRC エンジン出力データ CRC エンジンの演算結果を読み出すことができます。

### 24.3.23 CRC エンジン出力データレジスタ 2 (IRIF\_CRC4)

IRIF\_CRC4 は、CRC エンジンの演算結果を示すレジスタです。IRIF\_CRC3 の LSB-MSB を反転した値が設定されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRC_OUT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	CRC_OUT [15:0]	H'0000	R	CRC エンジン出力データ CRC エンジンの演算結果を読み出すことができます。 ビット 15 が LSB、ビット 0 が MSB になります。

## 24.4 機能説明

### 24.4.1 UART

UART は、調歩同期式モードの手順に従って、シリアル送信 / 受信を制御します。

#### (1) データフォーマット

UART で取り扱うデータのフォーマットを図 24.2 に示します。

- STビット (スタートビット)

データの送受信開始を示すビットで、キャラクタ1ビット分のロー信号がデータビットの直前に付加されます。

- Bit0 ~ Bit7 (データビット)

IRIF\_UART3に書き込まれた送信データ、IRIF\_UART4に格納された受信データを示します。データビットのキャラクタ長は8ビットで、送受信データビットの通信配列はLSBファーストで行います。

- SPビット (ストップビット)

データ送受信終了を示すビットで、データビットの直後に付加されます。ストップビットとしてキャラクタ1ビット分のハイ信号が出力されます。

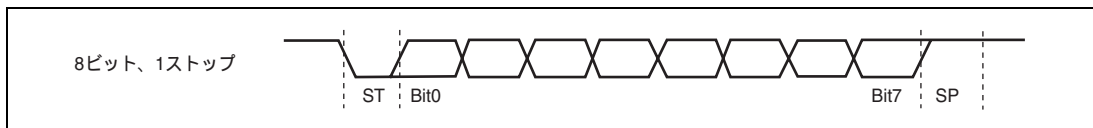


図 24.2 送受信データフォーマット

(2) データ送信タイミング

データ送受信コントロールで取り扱うデータの送信タイミングを図 24.3 に示します。

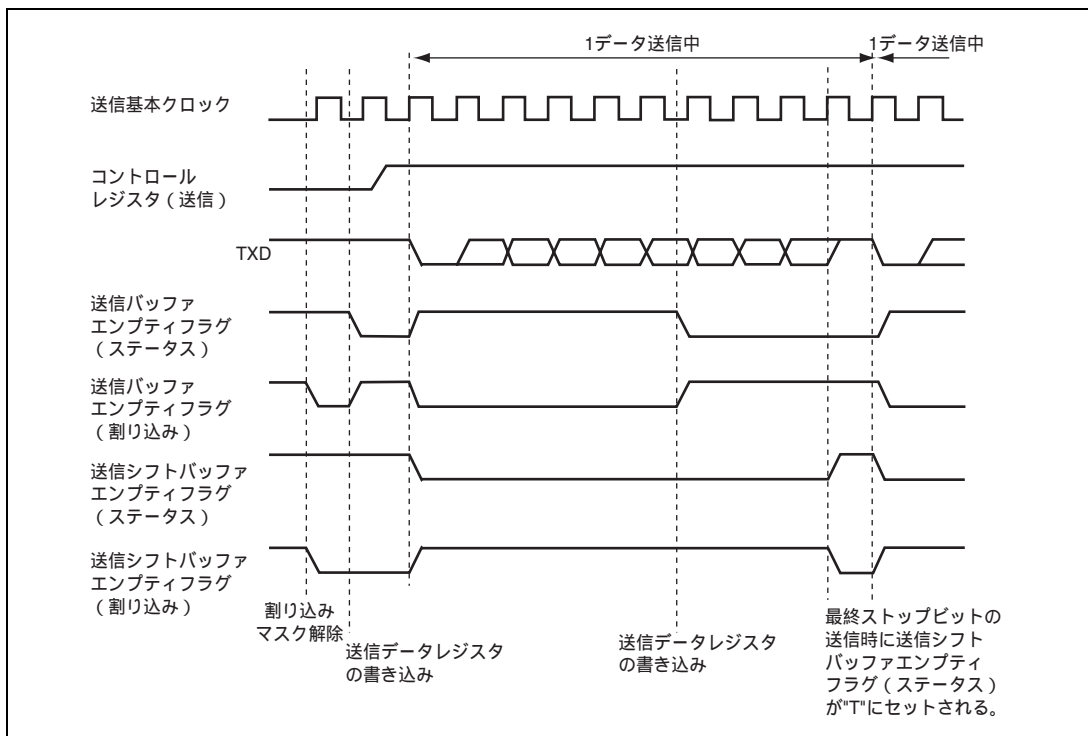


図 24.3 データ送信タイミング

## (3) データ受信タイミング

UART で取り扱うデータの受信タイミングを図 24.4 に示します。

受信データの最終ストップビット検出時に、受信データの格納や各受信フラグのセットおよびクリアが制御されます。

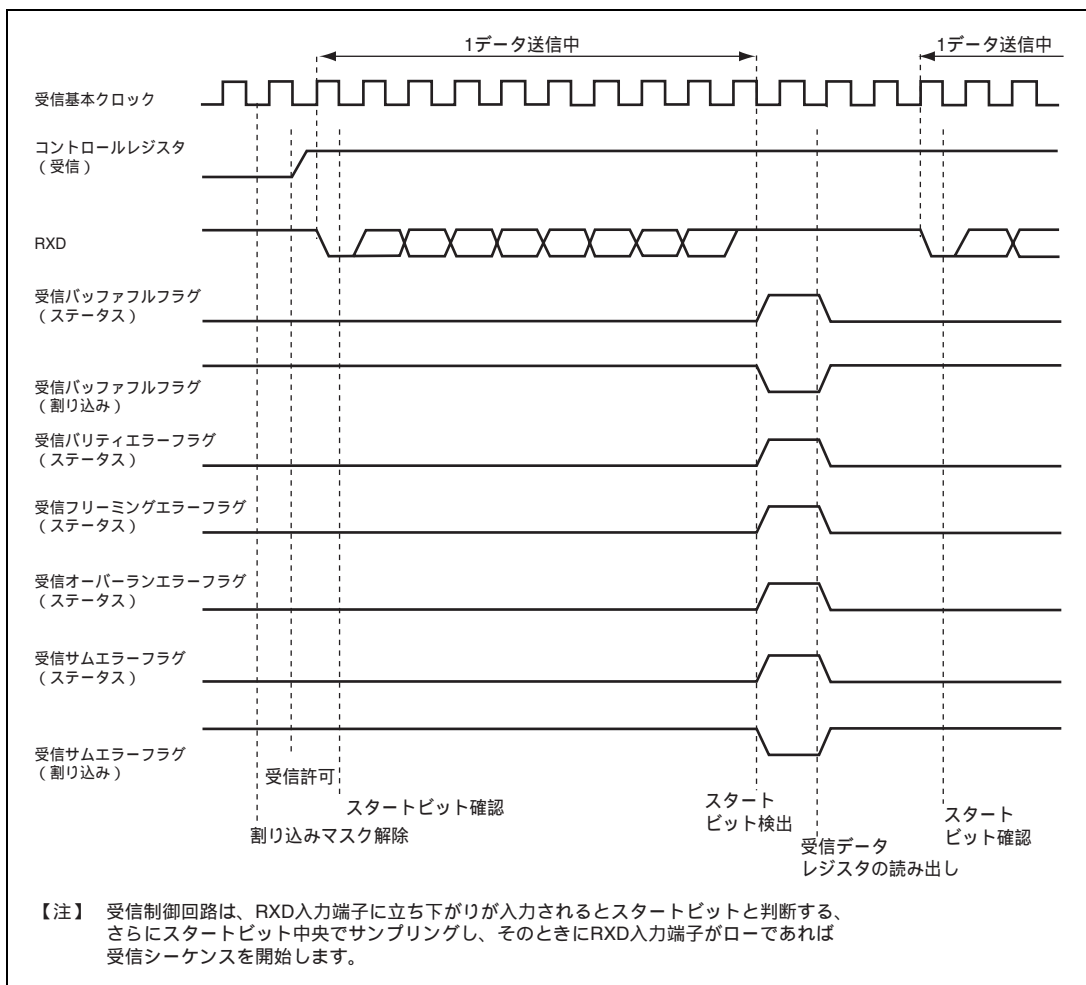


図 24.4 データ受信タイミング

## 24. IrDA インタフェース (IrDA)

### (4) データ送受信におけるボーレート設定

UART データ送受信に使用するボーレートの計算式を以下に示します。

$$\text{ボーレート値[bps]} = \frac{\text{システムクロック(SCLK)[Hz]}}{\text{UABCA} + (\text{UABC} + 1) \times 16}$$

UABC : データ送信用ボーレートカウンタ値 (IRIF\_UART7.UABC[15:0]の設定値)

UABCA : データ送信用ボーレートカウンタ値 (IRIF\_UART6.UABCA[3:0]の設定値)

上記に示す計算式のクロックはコントローラに入力されたクロックです。ボーレートカウンタ値の整数部をリロードするときにボーレート誤差補正レジスタの小数部を累積加算し、累積加算にオーバーフローがある場合は整数部に 1 を加えた値をリロードに使用します。すなわち、小数部の累積誤差が 1 に達したとき、ボーレートカウンタ値に 1 を加え誤差を解消するようになっています。

### 24.4.2 発受光パルス変復調動作

#### (1) 赤外線発光パルスデータ送信

UART からの送信データを、IrDA 標準規格 1.0 に準拠した波形にエンコードし赤外線受発光素子に対して赤外線発光パルスデータを送信します。エンコードのタイミングを図 24.5 に示します。

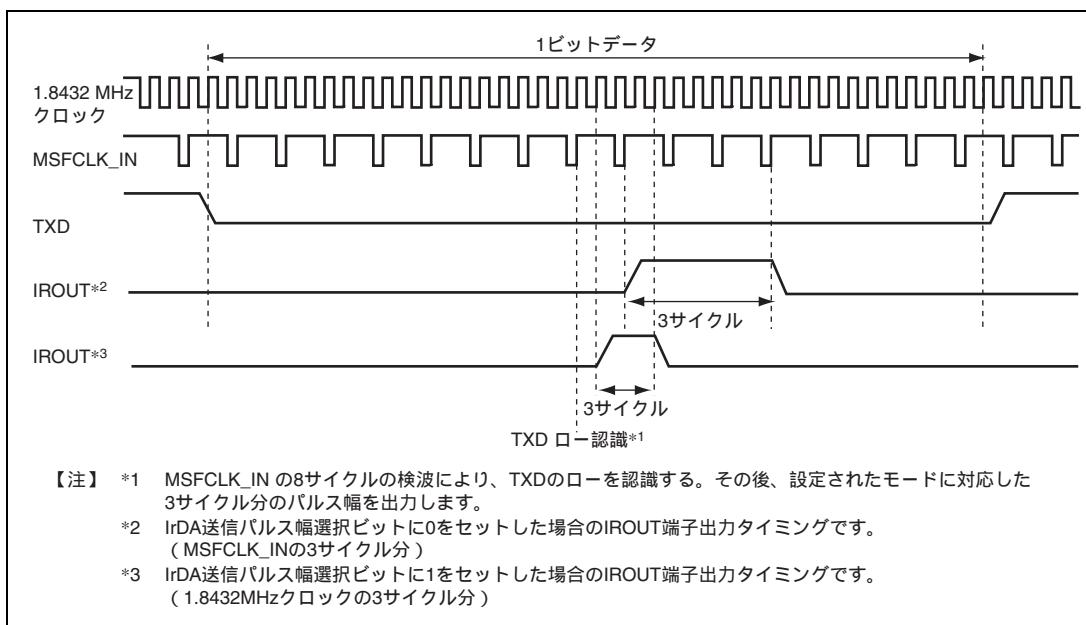


図 24.5 赤外線発光 (送信) パルスデータエンコードタイミング

## (2) 赤外線受光パルスデータ受信

赤外線受発光素子からの赤外線受光パルス（受信）データを、IrDA 標準規格 1.0 に準拠した波形からデコードし UART に対して送信します。デコードのタイミングを図 24.6 に示します。

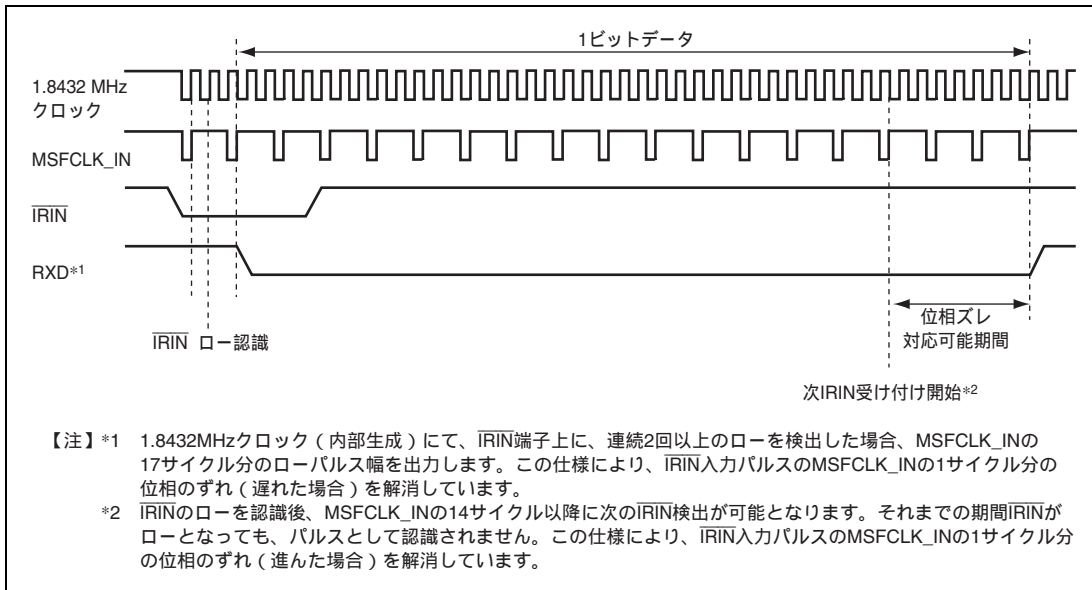


図 24.6 赤外線受光パルス（受信）データデコードタイミング

## (3) 受発光パルス変復調時の内部クロック生成

受発光パルス変復調ブロックで使用される 1.8432MHz クロックは以下の計算式で生成されます。

$$1.8432\text{MHzクロック} = \frac{\text{システムクロックSCLK [Hz]}}{\text{IRBCA} + (\text{IRBC} + 1)}$$

IRBC : 赤外線受発光パルス変復調用ポーレートカウント値 (IRIF\_SIR2.IRBC[3:0]の設定値)

IRBCA : 赤外線受発光パルス変復調用ポーレート誤差補正值 (IRIF\_SIR1.IRBCA[3:0]の設定値)

1.8432MHz クロックは、1.63  $\mu\text{s}$  の時間測定を行うためのクロックであり以下の動作時に必要になります。

- 1.63  $\mu\text{s}$  の赤外線発光（送信）パルス幅生成
- 赤外線受光（受信）パルスの認識
- 規格未満となる赤外線受光（受信）パルス幅の検出

上記に示す計算式のクロックはコントローラに入力されたクロックです。ポーレートカウント値の整数部をリロードするときにポーレート誤差補正レジスタの小数部を累積加算し、累積加算にオーバフローがある場合は整数部に 1 を加えた値をリロードに使用します。すなわち、小数部の累積誤差が 1 に達したとき、ポーレートカウント値に 1 を加え誤差を解消するようになっています。

## 24. IrDA インタフェース (IrDA)

---

### (4) 赤外線受発光パルス変復調時の注意事項

#### (a) 赤外線受光 (受信) パルス幅エラーについて

赤外線受光 (受信) パルス幅エラーフラグ (IRERR) は、赤外線受光 (受信) パルス幅が規格外と判定された場合に 1 にセットされます。受信パルスが規格外と判定されるのは、以下の場合です。

- 赤外線受光 (受信) パルス幅を、1.8432MHz クロックにて検波し 1 回のみのローを検出した場合 (規格値未満)
- 赤外線受光 (受信) パルス幅を、MSFCLK\_IN のクロック周波数にて検波し連続 5 回以上のローを検出した場合 (規格値オーバ)
- 赤外線受光 (受信) パルス幅を、1.8432MHz クロックにて検波し、1 回のみのハイを検出した場合 (パルス幅欠落)

ただし、以下の場合については、規格外のパルス幅であってもエラーとしません。

- 1.8432MHz クロック周波数 1 サイクル未満のパルス幅が入力された場合

【注】 赤外線受光 (受信) パルス幅が規格値を超えた場合、エラーフラグは 1 に設定されますが、パルス自体は認識され本制御回路は通常動作を行います (RXD からローを出力する)。

赤外線受光 (受信) パルス幅を認識した後の受信動作中においても、上記規格外のパルス幅を検出することができます。

#### (b) 赤外線受発光素子とのインタフェース

以下のように赤外線受発光素子とのインタフェースは、入力と出力とで極性が反転しています。

赤外線データ送信端子 (IROUT) : 正論理出力

赤外線データ受信端子 (IRIN) : 負論理入力

#### (c) レジスタの読み込み / 書き出し

IRIF\_SIR0、IRIF\_SIR1、IRIF\_SIR2 各レジスタの設定は、データの送受信時に行わないでください。動作中に設定を行うと正常にデータが送受信されない場合があります。

#### (d) 赤外線発光 (送信) パルス幅選択ビット

MSFCLK\_IN に、1.8432MHz のクロックが入力される場合 (データ送受信機能は 115.2kbps で動作) は、赤外線発光 (送信) パルス幅選択ビットの設定を 1 にしないでください。1 に設定すると正常に送信パルス幅が出力されないことがあります。

#### (e) パルス幅

赤外線受発光パルス変復調用ポーレートカウンタ設定レジスタ (IRIF\_SIR2) の値を H'0000 にしないでください。送信パルス幅が規格 (infrared data association serial infrared physical layer specification version 1.3) の下限値 (pulse duration minimum: 1.41  $\mu$ s) 未満になる場合があります。



### 24.4.3 CRC エンジン

#### (1) CRC エンジンの構成

CRC エンジンは、入力データレジスタ、バイトカウンタ、CRC 演算レジスタ、CRC 出力レジスタから構成されます。図 24.7 に CRC エンジンの構成を示します。

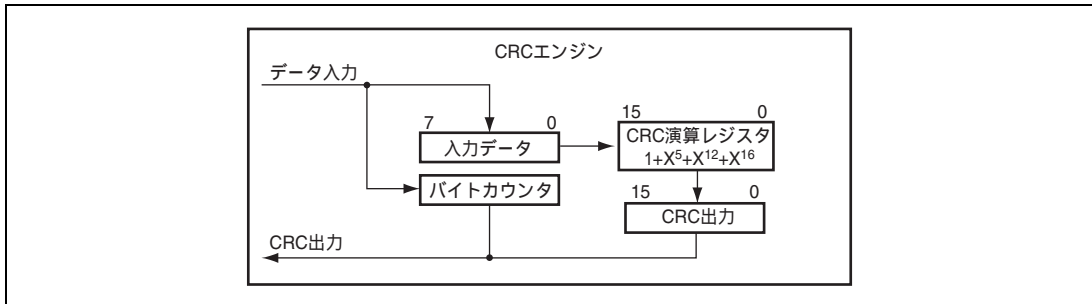


図 24.7 CRC エンジンの構成

#### (2) CRC エンジンの動作

CRC エンジンは、8 ビットの入力データを書き込むと下位ビットから 8 ビット単位で CRC 演算を行い 16 ビットの演算結果を出力します。図 24.8 に CRC 演算の概要を示します。

CRC の生成多項式は、「 $1 + X^5 + X^{12} + X^{16}$ 」で、データの最大長は 4096 バイトです。

また、CRC 演算の例を以下に示します。レジスタをリセットした後、入力データとして、H'CC、H'F5、H'F1、H'A7 を順に書き込めば、バイトカウンタは 4、CRC 演算結果出力は H'51DF になります。

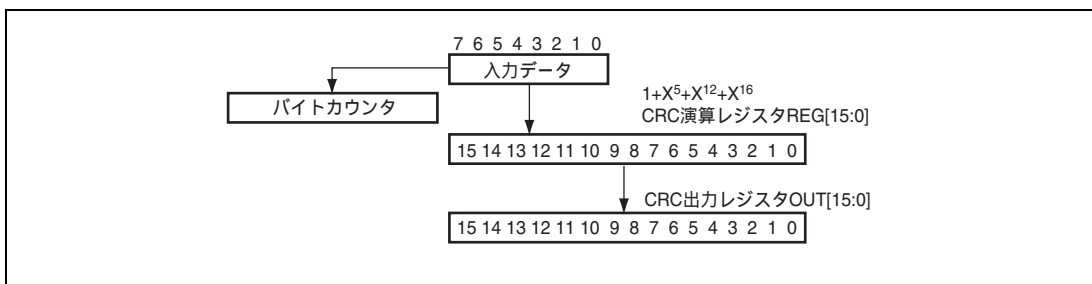


図 24.8 CRC エンジンの動作

## 24. IrDA インタフェース (IrDA)

### 24.4.4 送受信フロー

#### (1) IrDA 送信フロー

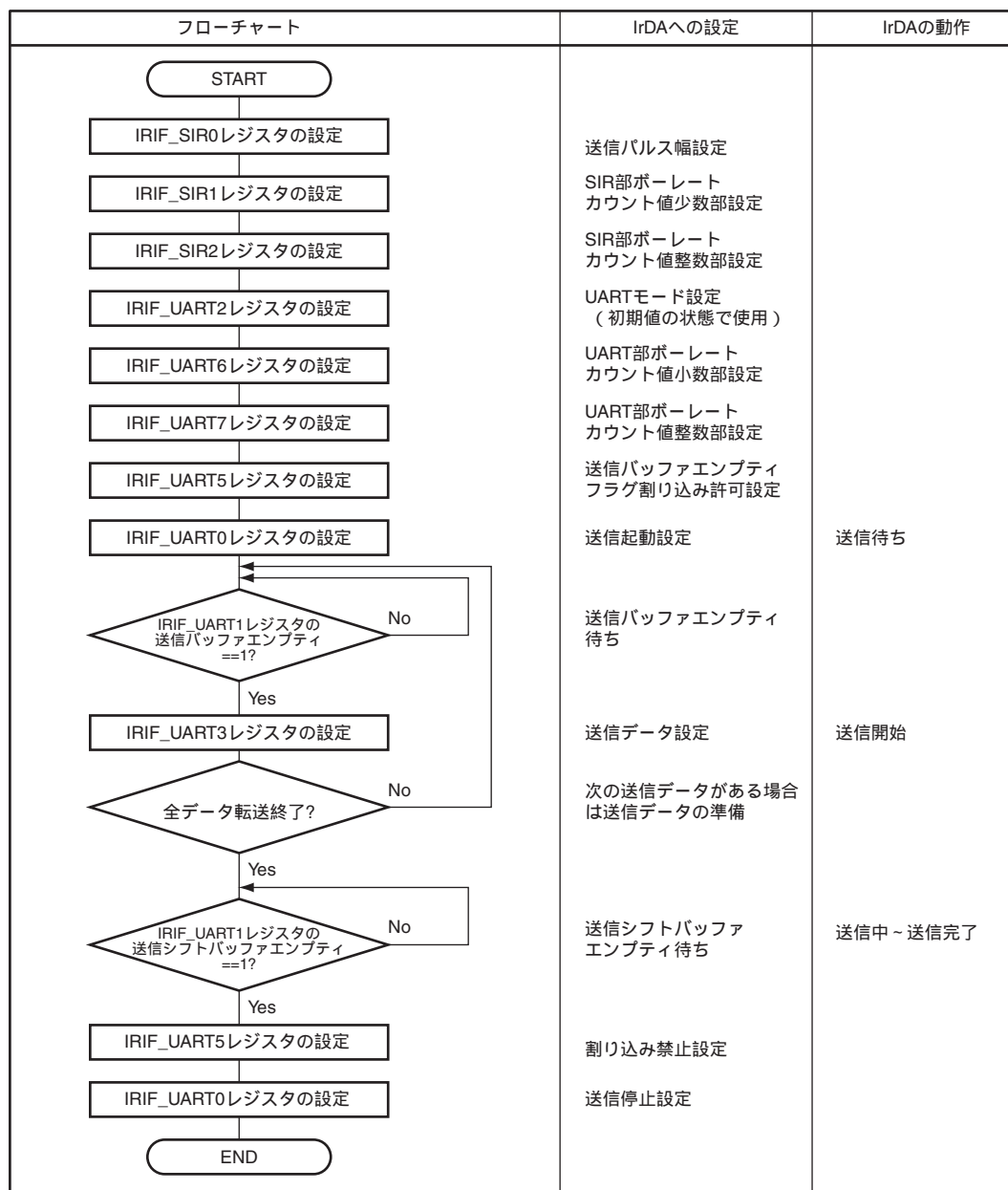


図 24.9 送信フロー

## (2) IrDA 送信 (CRC 演算) フロー

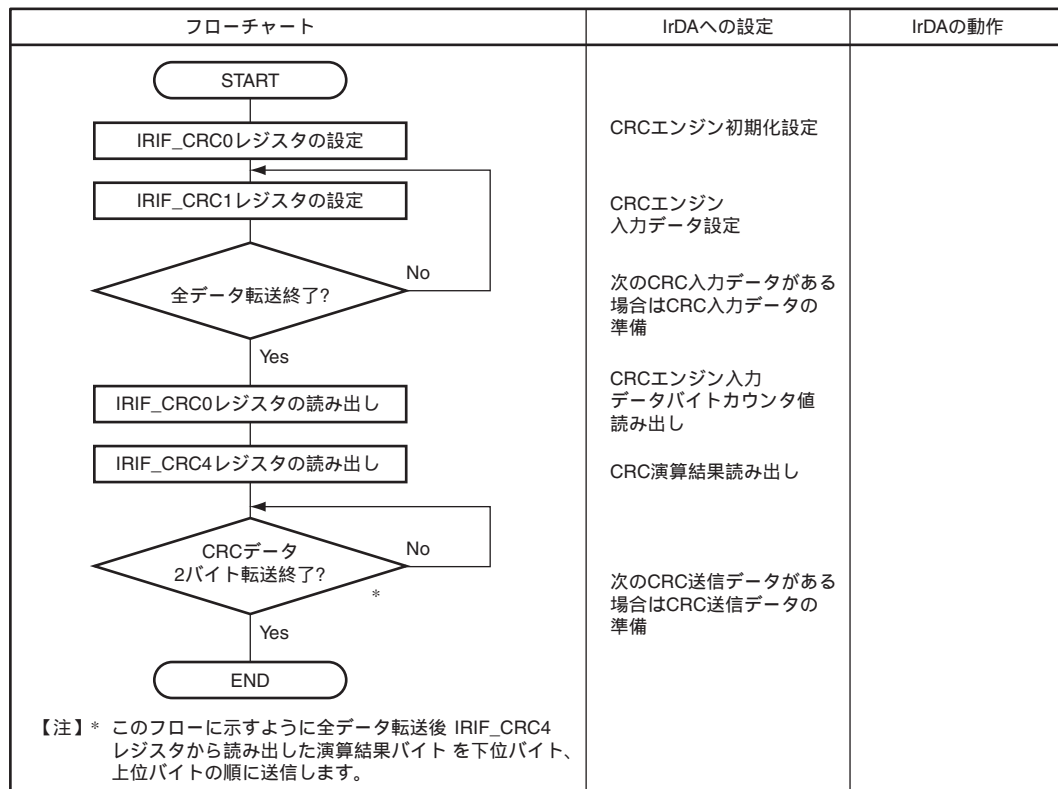


図 24.10 IrDA 送信 (CRC 演算) フロー

## 24. IrDA インタフェース (IrDA)

### (3) IrDA 受信フロー

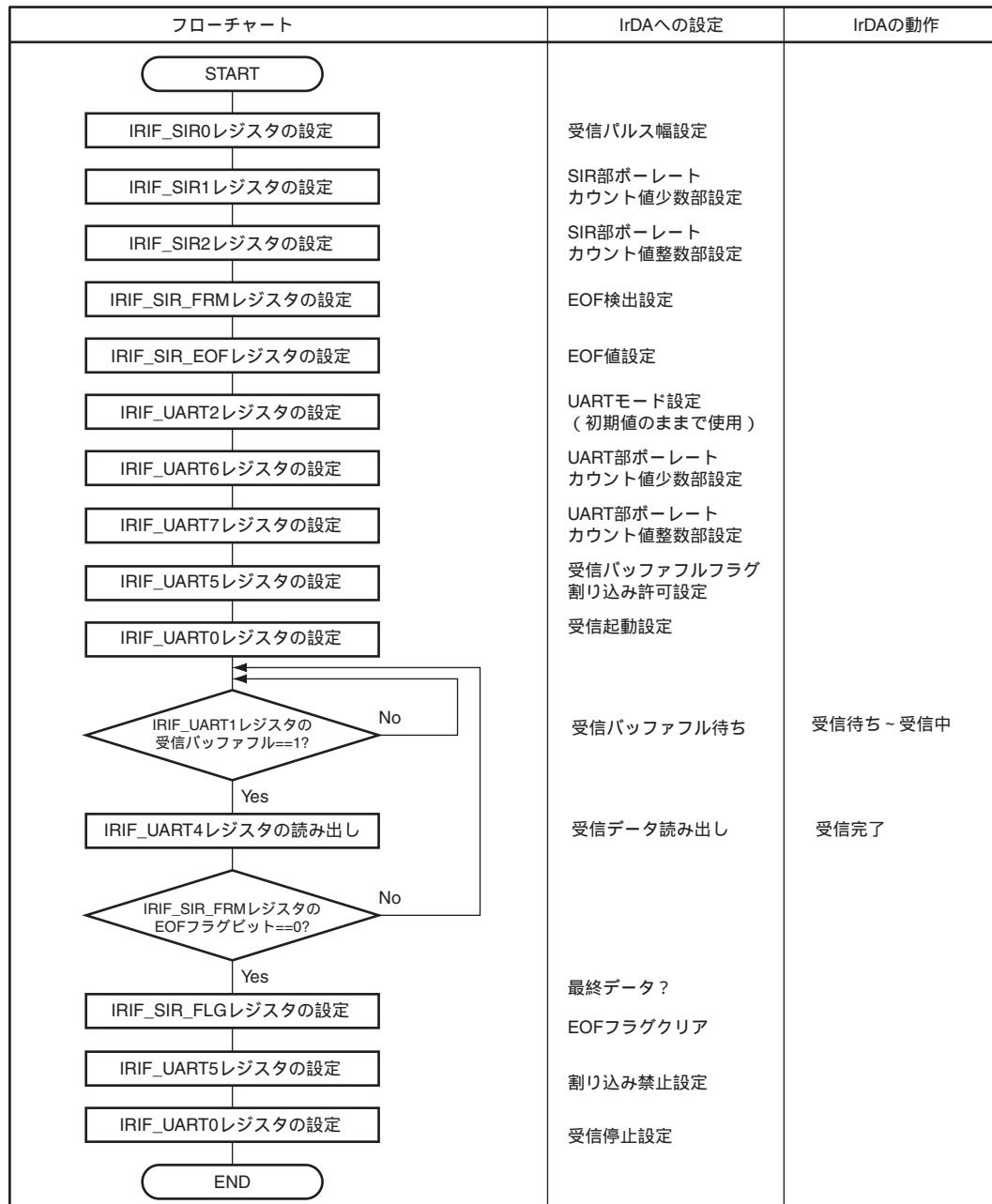


図 24.11 受信フロー

(4) IrDA 受信 (CRC 演算) フロー

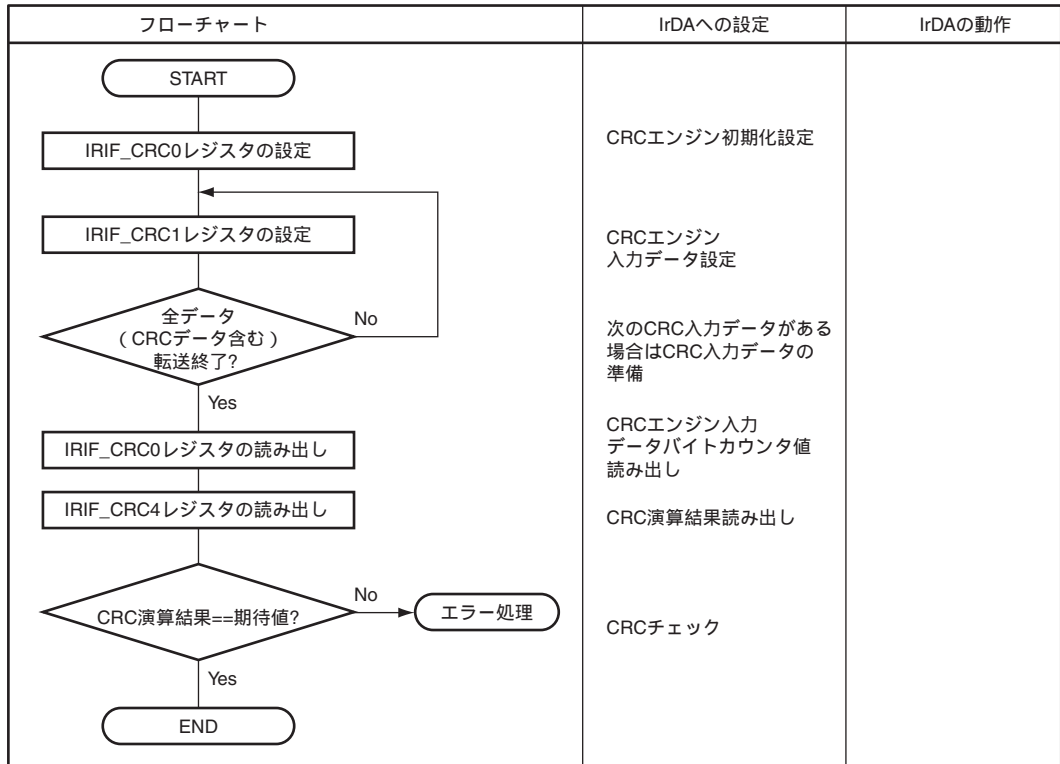


図 24.12 IrDA 受信 (CRC 演算) フロー

## 24.5 データ送受信における注意事項

### (1) データ受信バッファへのアクセス

データ受信完了後（受信バッファフル状態）、受信バッファレジスタへの読み出し動作が遅れ、次のデータの受信完了と受信バッファレジスタの読み出しとがまったく同じタイミングで発生した場合、データを取りこぼし、かつ、エラー割り込みが発生しない場合があります。

本来、データ受信完了後、受信バッファレジスタへの読み出しをせずに、次のデータを受信完了した場合、受信オーバーランエラー割り込みが発生します。ただし、次のデータ受信完了と受信バッファレジスタへの読み出し動作がまったく同じタイミングで発生した場合、1回の読み出し動作を2回の読み出し動作と誤認識してしまう場合があります。この場合、読み出したデータ値は不正な値となり、かつ、受信オーバーランエラー割り込みも発生しません。

受信バッファオーバーランエラー割り込みが発生する可能性がある条件で使用しないことによって回避してください。

### (2) 送信ジッタ

IrDA 送信パルス幅の設定が  $1.63 \mu\text{s}$  パルス幅であり、かつ、ボーレート設定値が  $57.6\text{kbps} \sim 19.2\text{kbps}$  のときに、IrDA パルスの送信ジッタが IrDA 規格（infrared data association serial infrared physical layer specification version 1.3）の上限値（周波数精度が  $\pm 0.87\%$ ）を超える場合があります。

### (3) 115kbps ボーレート時の IRIF\_SIR0 レジスタ設定禁止値 (H'0001)

115kbps ボーレート時、IRIF\_SIR0 レジスタに、H'0001 を設定しないでください。送信パルス幅が規格（infrared data association serial infrared physical layer specification version 1.3）の下限値（pulse duration minimum:  $1.41 \mu\text{s}$ ）未満になる場合があります。

---

## 25. I<sup>2</sup>C バスインタフェース (IIC)

---

本 LSI は、1 チャンネルの I<sup>2</sup>C バスインタフェースを内蔵しています。

I<sup>2</sup>C バスインタフェースを用いたデータ転送は、データライン (SDA) 1 本、クロックライン (SCL) 1 本で構成され、コネクタやプリント基板の面積等を経済的に使用できます。

### 25.1 特長

- 開始条件、停止条件を自動生成します。
- 受信時、アクノリッジの出力レベルを選択可能です。
- 送信時、アクノリッジビットを自動ロードします。
- I<sup>2</sup>C フォーマットに準拠してデータ転送を行います。
- ウェイト機能  
アクノリッジを除くデータ転送後、SCL をローレベルにしてウェイト状態にすることが可能です。  
割り込みフラグをクリアすることでウェイト状態からの解除が可能です。
- I<sup>2</sup>C モジュールはシングルマスタバスにのみ対応します。  
本モジュールは常にマスタとなります。スレーブ機能はありません。このため、データ転送中のアービトレーションロスト時はバスを解放して停止します。
- 4 種類の割り込み要因  
データ転送イネーブル  
ウェイト状態  
非アクノリッジ検出  
アービトレーションロスト (バス競合を検出すると、バスを解放して停止します。)
- データ転送速度  
標準モード (100kHz) および高速モード (400kHz) に対応します。  
クロックコントロールレジスタの設定により SCL クロックを任意に設定可能です。
- SCL ラインのクロック同期処理が可能です。  
SCL がハイカウント期間に発生するハザード (スパイクノイズ) は、アービトレーションロストとして検出されます。

## 25. I<sup>2</sup>C バスインタフェース (IIC)

I<sup>2</sup>C バスインタフェースのブロック図を図 25.1 に示します。

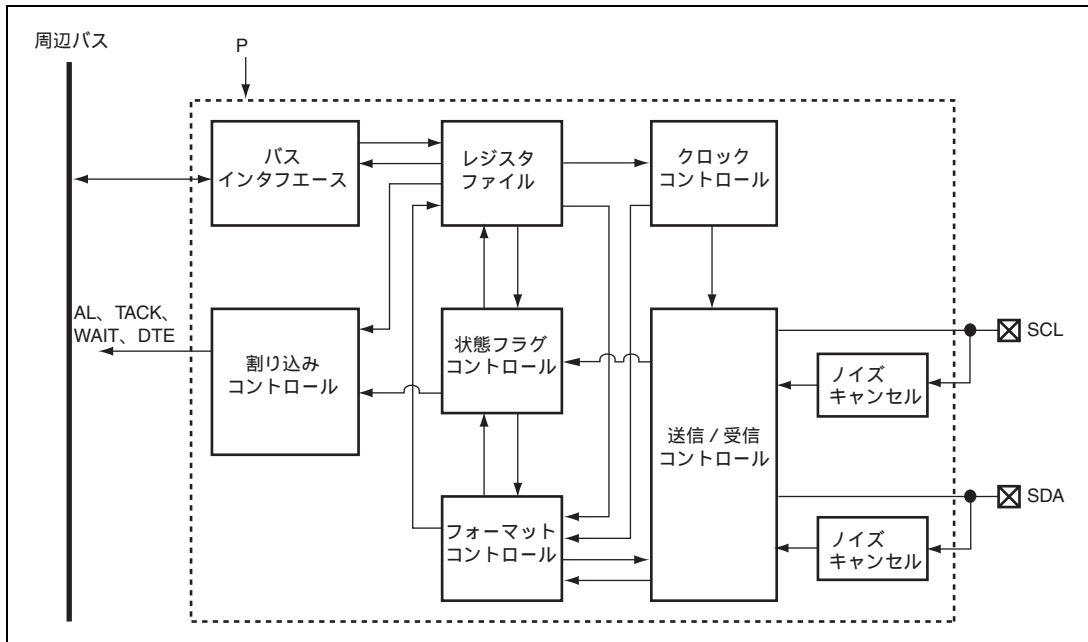


図 25.1 I<sup>2</sup>C バスインタフェースのブロック図

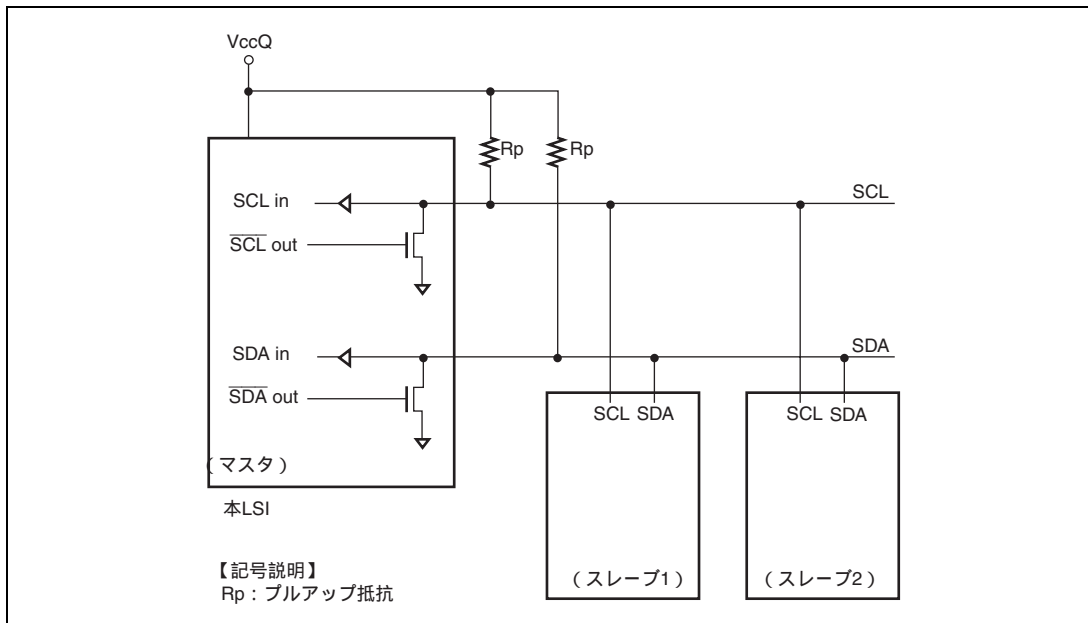


図 25.2 I<sup>2</sup>C バスインタフェース接続例



## 25.2 入出力端子

I<sup>2</sup>C バスインタフェースで使用する端子を表 25.1 に示します。

表 25.1 端子構成

端子名	機能	入出力	説明
SCL(O/D)	I <sup>2</sup> C クロック入出力	入出力	I <sup>2</sup> C バスのクロック入出力端子です (チャンネル 0)。 バス駆動機能を持っています。出力形式は NMOS オープンドレインです。
SDA(O/D)	I <sup>2</sup> C データ入出力	入出力	I <sup>2</sup> C バスのデータ入出力端子です (チャンネル 0)。 バス駆動機能を持っています。出力形式は NMOS オープンドレインです。

## 25. I<sup>2</sup>C バスインタフェース (IIC)

### 25.3 レジスタの説明

I<sup>2</sup>C バスインタフェースのレジスタ構成を表 25.2 に示します。また、各処理モードにおけるレジスタの状態を表 25.3 に示します。

表 25.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
I <sup>2</sup> C バスデータレジスタ	ICDR	R/W	H'A447 0000	8
I <sup>2</sup> C バスコントロールレジスタ	ICCR	R/W	H'A447 0004	8
I <sup>2</sup> C バスステータスレジスタ	ICSR	R/W	H'A447 0008	8
I <sup>2</sup> C 割り込みコントロールレジスタ	ICIC	R/W	H'A447 000C	8
I <sup>2</sup> C クロックコントロールレジスタロー	ICCL	R/W	H'A447 0010	8
I <sup>2</sup> C クロックコントロールレジスタハイ	ICCH	R/W	H'A447 0014	8

表 25.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
ICDR	初期化	初期化	保持	保持	初期化	保持
ICCR	初期化	初期化	保持	保持	初期化	保持
ICSR	初期化	初期化	保持	保持	初期化	保持
ICIC	初期化	初期化	保持	保持	初期化	保持
ICCL	初期化	初期化	保持	保持	初期化	保持
ICCH	初期化	初期化	保持	保持	初期化	保持

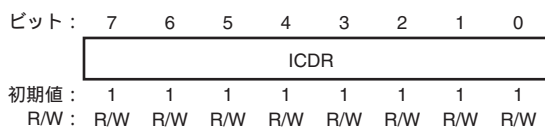
25.3.1 I<sup>2</sup>C バスデータレジスタ (ICDR)

ICDR は、8 ビットの読み出し / 書き込み可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして使用します。

送信時は、I<sup>2</sup>C バスステータスレジスタ (ICSR) の DTE ビットが 1 のとき書き込み可能となります。

受信時は、I<sup>2</sup>C バスステータスレジスタ (ICSR) の DTE ビットが 1 のとき ICDR の受信データが有効となります。

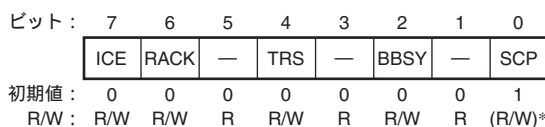
ICDR のリセット直後の読み出し値は H'FF となります。

25.3.2 I<sup>2</sup>C バスコントロールレジスタ (ICCR)

ICCR は、8 ビットの読み出し / 書き込み可能なレジスタで、I<sup>2</sup>C バスインタフェースの動作 / 非動作、送信 / 受信、I<sup>2</sup>C バスインタフェースのバス状態の確認、開始 / 停止条件の発行を行います。

表 25.4 ICCR レジスタ設定値

発行条件	送信時	受信時
開始条件	H'94	-
再送条件	H'94	H'D4 受信から送信に変更
停止条件	H'90	H'C0
送信から受信に変更	H'81	-



## 25. I<sup>2</sup>C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	<p>I<sup>2</sup>C バスインタフェースイネーブル</p> <p>I<sup>2</sup>C バスインタフェースを使用する / 使用しないを選択します。ICE ビットを 1 にセットすると、本モジュールは転送動作可能状態となり各レジスタへのアクセスが可能となります。データ転送中に ICE ビットへ 0 を書き込むとバスを解放して強制終了し、I<sup>2</sup>C モジュール内のレジスタはすべて初期化されます(「25.5 使用上の注意事項」を参照してください)。また、データ転送終了後に ICE ビットへ 0 を書き込むと I<sup>2</sup>C モジュール内のレジスタはすべて初期化されます。</p> <p>本モジュール動作中に ICCR を更新する場合は、ICE ビットに必ず 1 をセットしてください。</p> <p>0 : 本モジュールは非動作状態 データ転送中、0 を書き込むと強制終了 I<sup>2</sup>C モジュール内のレジスタはすべて初期化</p> <p>1 : 本モジュールは転送動作可能状態</p>
6	RACK	0	R/W	<p>受信アクノリッジ</p> <p>本 I<sup>2</sup>C モジュールが受信時、送信デバイスに対して出力するアクノリッジデータを格納するビットです。</p> <p>送信デバイスからデータを受信した後、あらかじめ本ビットに設定されたアクノリッジデータを送り出します。</p> <p>0 : 受信時、アクノリッジ出力タイミングで SDA に 0 出力 1 : 受信時、アクノリッジ出力タイミングで SDA に 1 出力</p>
5	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
4	TRS	0	R/W	<p>送信 / 受信選択</p> <p>I<sup>2</sup>C バスインタフェースをマスタ受信モードで使用するか、マスタ送信モードで使用するかを選択するビットです。データ転送中に TRS ビットの変更が可能ですが、アクノリッジを含めたフレーム転送完了まで動作モードの変更は保留され 1 フレーム転送完了後に動作モードが切り替わります。</p> <p>0 : マスタ受信モード 0 を書き込んだとき (データ転送中は 1 フレーム転送完了後に動作モードが切り替わります。)</p> <p>1 : マスタ送信モード 1 を書き込んだとき (再送 / 停止条件と合わせて書き込みます。このとき、データ転送完了後に再送 / 停止条件を生成すると同時に動作モードが切り替わります。)</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	BBSY	0	R/W	<p>バスビジー</p> <p>BBSY ビットは開始条件、停止条件を発行する際に使用します。</p> <p>開始条件を発行する場合、BBSY = 1 かつ SCP = 0 を書き込みます。開始条件の再送信時も同様に行います。また、停止条件の発行は BBSY = 0 かつ SCP = 0 を書き込むことで行います。</p> <p>本モジュールは常にマスタ動作を行うため BBSY ビットによるバス状態の検出は行いません。他マスタ等により開始条件が発行された場合、アービトレーションロストを検出して停止します。</p> <p>0 : 停止条件を発行 (SCP ビットと合わせて使用します)</p> <p>1 : 開始条件、再送条件を発行 (SCP ビットと合わせて使用します)</p>
1	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
0	SCP	1	(R/W)*	<p>開始条件 / 停止条件発行禁止ビット</p> <p>SCP ビットは、開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY = 1 かつ SCP = 0 を書き込みます。開始条件の再送信時も同様に行います。また、停止条件の発行は BBSY = 0 かつ SCP = 0 を書き込むことで行います。本ビットは、読み出すと常に 1 が読み出されます。また、1 を書き込んででもデータは格納されません。</p> <p>0 : 書き込み時、BBSY ビットと組み合わせて開始条件、停止条件を発行</p> <p>1 : 読み出し時、常に 1 を読み出す / 書き込み時、無効</p>

【注】 \* SCP ビットは 0 書き込みのみ有効、読み出しは常に 1 となります。

### 25.3.3 I<sup>2</sup>C バスステータスレジスタ (ICSR)

ICSR は 8 ビットのレジスタで、割り込み要求を行います。

ビット :	7	6	5	4	3	2	1	0
	SCLM	SDAM	—	BUSY	AL	TACK	WAIT	DTE
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R	R	R/(W)*R/(W)*R/(W)*	R	R	R

ビット	ビット名	初期値	R/W	説明
7	SCLM	1	R	<p>SCL モニタ</p> <p>SCL の状態を P でサンプリングしたデータを格納します。</p> <p>0 : SCL が 0 であることを示す</p> <p>1 : SCL が 1 であることを示す</p>
6	SDAM	1	R	<p>SDA モニタ</p> <p>SDA の状態を P でサンプリングしたデータを格納します。</p> <p>0 : SDA が 0 であることを示す</p> <p>1 : SDA が 1 であることを示す</p>

## 25. I<sup>2</sup>C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
5	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	BUSY	0	R	I <sup>2</sup> C 転送状態ビット I <sup>2</sup> C の状態を示すビットです。開始条件生成後、I <sup>2</sup> C は転送状態となり BUSY ビットは1にセットされます。また、停止条件生成後、I <sup>2</sup> C は非転送状態となり BUSY ビットは0クリアされます。 アービトレーションロストが発生すると SDA ラインは直ちに解放します。SCL クロックラインはそのフレームのアクノリッジ終了までクロックを出力した後バスを解放します。このとき BUSY フラグはアクノリッジ終了まで1セットされたままです。アクノリッジ終了とともに BUSY は0クリアされます。 0: (1) 停止条件生成後、I <sup>2</sup> C 非転送状態のとき (2) アービトレーションロスト後のアクノリッジ終了のとき 1: 開始条件生成後、I <sup>2</sup> C 転送状態のとき
3	AL	0	R/(W)*	アービトレーションロスト バス競合負けをしたことを示します。 I <sup>2</sup> C バスインタフェースは SDA をモニタし、本モジュールが出したデータと異なった場合、AL ビットを1にセットしてバスが競合していることを示します。AL ビットは0を書き込むか DTE が1のとき ICDR を書き込み(送信時)または読み出し(受信時)するとリセットされます。 データ転送中にアービトレーションロストを検出すると SDA ラインは直ちに解放します。SCL クロックラインはそのフレームのアクノリッジ終了までクロックを出力した後バスを解放します。AL ビットは ICIC の ALE ビットに依存せず、常に更新されます。ICIC の ALE ビットが0のとき、割り込みコントローラにアービトレーションロスト割り込み要求は発行されません。また、他マスタ等により開始条件が発行された場合も、アービトレーションロストを検出して停止します。 0: バスを確保 (1) ICDR にデータを書き込み(送信時)、データを読み出し(受信時)したとき (2) 0を書き込んだとき 1: バス競合負け(アービトレーションロスト) (1) マスタ受信モードで SCL クロックがハイカウント中に受信データが変化するとき (2) SCL クロックがハイカウント中に SCL ラインがローレベルになったとき (3) 本モジュールが開始条件を発行する前に開始条件を検出したとき (4) モニタした SDA(外部)と本モジュールが出力したデータが不一致であったとき

ビット	ビット名	初期値	R/W	説明
2	TACK	0	R/(W)*	<p>送信アクノリッジ</p> <p>送信時に受信デバイスから発行されたアクノリッジを格納するビットです。非アクノリッジ割り込み状態は TACK ビットを 0 クリアすることで解除できます。</p> <p>受信デバイスにデータを送信後、受信デバイスから出力されるアクノリッジデータを TACK ビットにロードします。ICIC の TACK ビットが 0 のときは常に 0 となります。</p> <p>0: (1) 送信時、受信デバイスからアクノリッジがあった (0 だった) ことを示す (2) 0 を書き込んだとき、受信デバイスからアクノリッジがあった (0 だった) ことを示す</p> <p>1: 送信時、受信デバイスからアクノリッジがなかった (1 だった) ことを示す</p>
1	WAIT	0	R/(W)*	<p>ウェイト</p> <p>アクノリッジビットを除いたデータ転送後のウェイト状態を示しています。ICIC の WAITE ビットが 1 のときアクノリッジを除くデータ転送後、SCL をローレベルにしてウェイト状態になります。このとき WAIT ビットは自動的に 1 セットされ WAIT 割り込みが発生します。ウェイト状態は WAIT ビットを 0 クリアすることで解除できます。</p> <p>ICIC の WAITE ビットが 0 のときは常に 0 となります。</p> <p>0: 通常状態 1: ウェイト時</p>
0	DTE	0	R	<p>データ転送イネーブル</p> <p>ICDR レジスタ、内部送受信バッファ間の転送状態を示します。本ビットは読み出し専用でセット、クリアは自動的に行われます。</p> <p>0: (1) リセットされたとき (2) 送信時 (TRS = 1) ICDR にデータが書き込まれたとき (3) 受信時 (TRS = 0) ICDR からデータが読み出されたとき (4) TRS ビットが切り替わったとき (5) ICCR の BBSY、SCP ビットに再送条件 / 停止条件を書き込んだとき</p> <p>1: (1) 開始条件 / 再送条件が生成されたとき (2) 送信時 (TRS = 1) ICDR から送信データが送信バッファに送られたとき (3) 受信時 (TRS = 0) 受信データが ICDR に送られたとき</p>

【注】 \* フラグをクリアするための 0 書き込みのみ可能です。

## 25. I<sup>2</sup>C バスインタフェース (IIC)

### 25.3.4 I<sup>2</sup>C 割り込みコントロールレジスタ (ICIC)

ICIC は 8 ビットのレジスタで、割り込み要求の禁止 / 許可を選択します。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	ALE	TACKE	WAITE	DTEE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

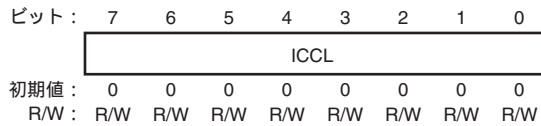
ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	ALE	0	R/W	アービトレーションロスト割り込み アービトレーションロスト割り込み要求の禁止 / 許可を選択します。 ALE が 1 のときアービトレーションロストが発生するとアービトレーションロスト割り込みが発生します。 このとき ICSR の AL ビットに 1 がセットされます。 0 : 割り込み禁止 1 : アービトレーションロスト割り込み
2	TACKE	0	R/W	非アクノリッジ検出割り込み 非アクノリッジ検出割り込み要求の禁止 / 許可を選択します。 TACKE が 1 のとき非アクノリッジを受信すると非アクノリッジ割り込みが発生します。 このとき ICSR の TACK ビットに 1 がセットされます。 0 : 割り込み禁止 1 : 非アクノリッジ検出割り込み
1	WAITE	0	R/W	ウェイト割り込み ウェイト割り込み要求の禁止 / 許可を選択します。 WAITE が 1 のときアクノリッジを除くデータ転送後、SCL をローレベルにしてウェイト状態になります。 このとき WAIT 割り込みが発生し、ICSR の WAIT ビットに 1 がセットされます。 0 : 割り込み禁止 1 : ウェイト割り込み
0	DTEE	0	R/W	データ転送イネーブル割り込み データ転送イネーブル割り込み要求の禁止 / 許可を選択します。 DTEE = 1 のとき ICSR の DTE ビットに 1 がセットされると割り込み要求を発行します。 0 : 割り込み禁止 1 : データ転送イネーブル割り込み



25.3.5 I<sup>2</sup>C クロックコントロールレジスタロー (ICCL)

ICCL は 8 ビットの読み出しまたは書き込み可能なレジスタです。SCL のローレベル時間を設定することができます。

ICCL はリセット時に H'00 に初期化されます。



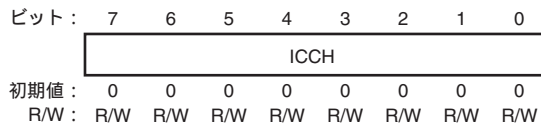
【注】 H'01 ~ H'09 の設定は禁止です。

ICCL = H'00 および H'FF、ICCH = H'00 および H'FF は SCL クロックを生成しません。

25.3.6 I<sup>2</sup>C クロックコントロールレジスタハイ (ICCH)

ICCH は 8 ビットの読み出しまたは書き込み可能なレジスタです。SCL のハイレベル時間を設定することができます。

ICCH はリセット時に H'00 に初期化されます。



【注】 H'01 ~ H'09 の設定は禁止です。

ICCL = H'00 および H'FF、ICCH = H'00 および H'FF は SCL クロックを生成しません。

## 25. I<sup>2</sup>C バスインタフェース (IIC)

### 25.3.7 転送レート

I<sup>2</sup>C の転送レートは ICCL、ICCH、P より設定できます。

表 25.5 に転送レートの設定例を、図 25.3 に SCL の波形を示します。

表 25.5 転送レート設定例

	P	ICCL	ICCH	転送レート* <sup>2</sup>
標準	12MHz	H'42	H'36	100kHz
	13.5MHz	H'4A	H'3D	100kHz
	24MHz	H'82	H'6E	100kHz
	27MHz	H'96	H'78	100kHz
高速* <sup>1</sup>	12MHz	H'12	H'0C	400kHz
	13.5MHz	H'16	H'0C	397.1kHz
	24MHz	H'26	H'16	400kHz
	27MHz	H'2C	H'18	397.1kHz

【注】 \*1 ICCL/ICCH の設定値を最小の H'0A としたとき、転送レートを 400kHz とする場合は P に 8MHz が必要となります。P が 8MHz 以下となる場合は 400kHz の転送レートは確保できません。

\*2 設定例に記載している転送レートは理論値です。実測値ではプルアップ抵抗 (Rp)、静電容量 (Cp) により本転送レートが低くなりますが、I<sup>2</sup>C バス規格内であるため通信に影響はありません。  
(ICCL、ICCH を下げるにより実測値の転送レートを上げることは可能ですが、その場合 t<sub>LOW</sub>、t<sub>HIGH</sub> が規格範囲内に収まるように設定してください。)

## (1) 転送レートについて

設定例に記載している転送レートは理論値です。実測値ではブルアップ抵抗 (R<sub>p</sub>)、静電容量 (C<sub>p</sub>) により本転送レートが低くなりますが、I<sup>2</sup>C バス規格内であるため通信に影響はありません。ICCL、ICCH を下げることでより実測値の転送レートを上げることは可能ですが、その場合 t<sub>LOW</sub>、t<sub>HIGH</sub> が規格値に収まるように設定してください。

[ ICCL、ICCH の計算例 ] \*<sup>1</sup>

## • 計算条件

P : 27MHz

I<sup>2</sup>C 転送レート : 100kHz

SCL の L/H 比較\*<sup>2</sup> : L/H = 5/4

## • 計算結果

$$\text{ICCL} = (P \div \text{I}^2\text{C 転送レート}) \times (L \div (L + H))$$

$$= ((27 \times 10^6) \div (100 \times 10^3)) \times (5 \div (5 + 4)) = 150 = (96)_{16}$$

$$\text{ICCH} = (P \div \text{I}^2\text{C 転送レート}) \times (H \div (L + H))$$

$$= ((27 \times 10^6) \div (100 \times 10^3)) \times (4 \div (5 + 4)) = 120 = (78)_{16}$$

【注】 \*1 割り切れない値は計算結果をふまえてトータルカウント数が目標転送レートに近づくように修正しています。

\*2 SCL の L/H 比較は t<sub>LOW</sub>、t<sub>HIGH</sub> を満たす範囲であれば任意です。計算例では L/H = 5/4 としています。

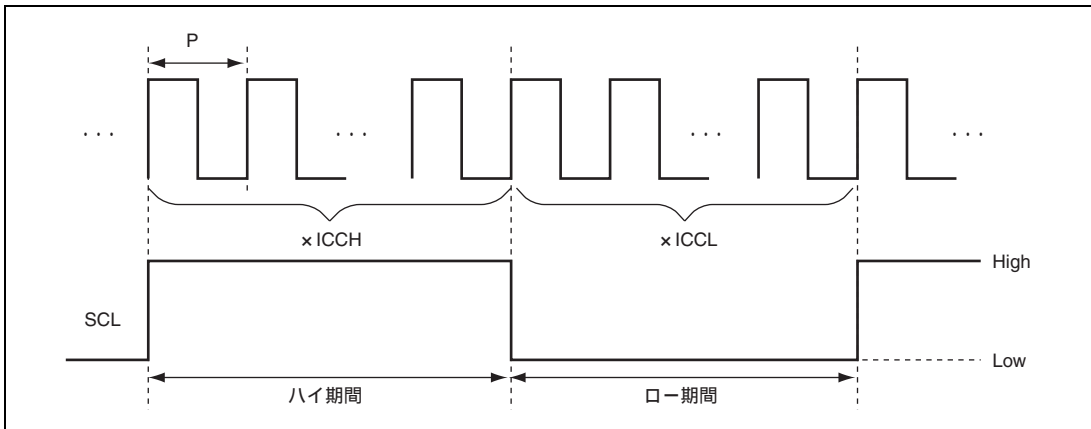


図 25.3 SCL の波形

## 25.4 動作説明

### 25.4.1 I<sup>2</sup>C バスデータフォーマット

I<sup>2</sup>C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットありです。これを図 25.4、図 25.5 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

図 25.4、図 25.5 の記号説明を表 25.6 に示します。

表 25.6 I<sup>2</sup>C バスデータフォーマット記号説明

記号	説明
S	開始条件を示します。マスタデバイスが SCL = ハイレベルの状態 で SDA をハイレベルからローレベルに変化させます。
Sr	再送条件を示します。マスタデバイスが SCL = ハイレベルの状態 で SDA をハイレベルからローレベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送信 / 受信の方向を示します。R/W ビットが 1 の場合、スレーブデバイスからマスタデバイス、R/W ビットが 0 の場合マスタデバイスからスレーブデバイスヘデータを転送します。
A	アクノリッジを示します。受信デバイスが SDA をローレベルにします (マスタ送信モード時は受信デバイスが、マスタ受信モード時はマスタがアクノリッジを返します)。
DATA	送受信データを示します。送受信するデータのビット長は 8 ビットです。
P	停止条件を示します。マスタデバイスが SCL = ハイレベルの状態 で SDA をローレベルからハイレベルに変化させます。

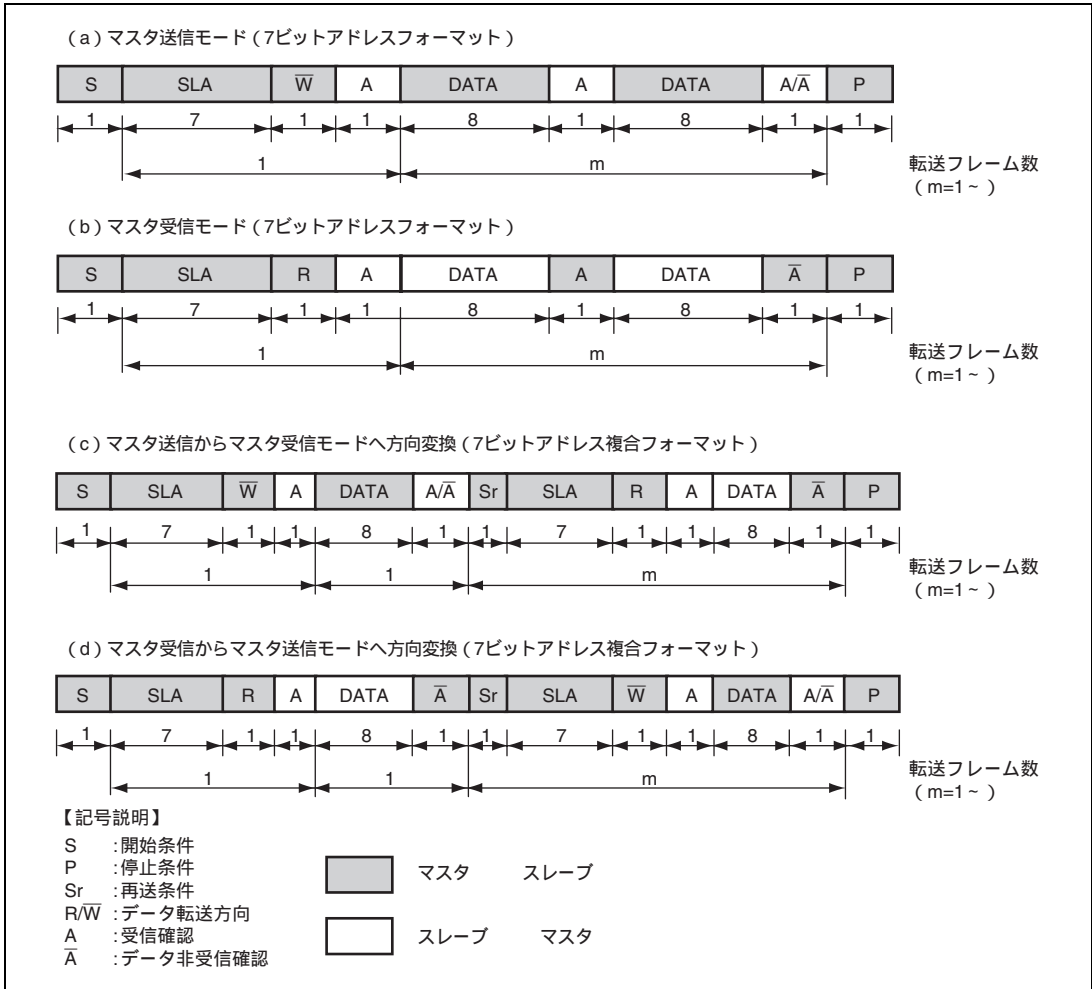


図 25.4 I<sup>2</sup>C バスデータフォーマット (7ビットアドレスフォーマット)

## 25. I<sup>2</sup>C バスインタフェース (IIC)

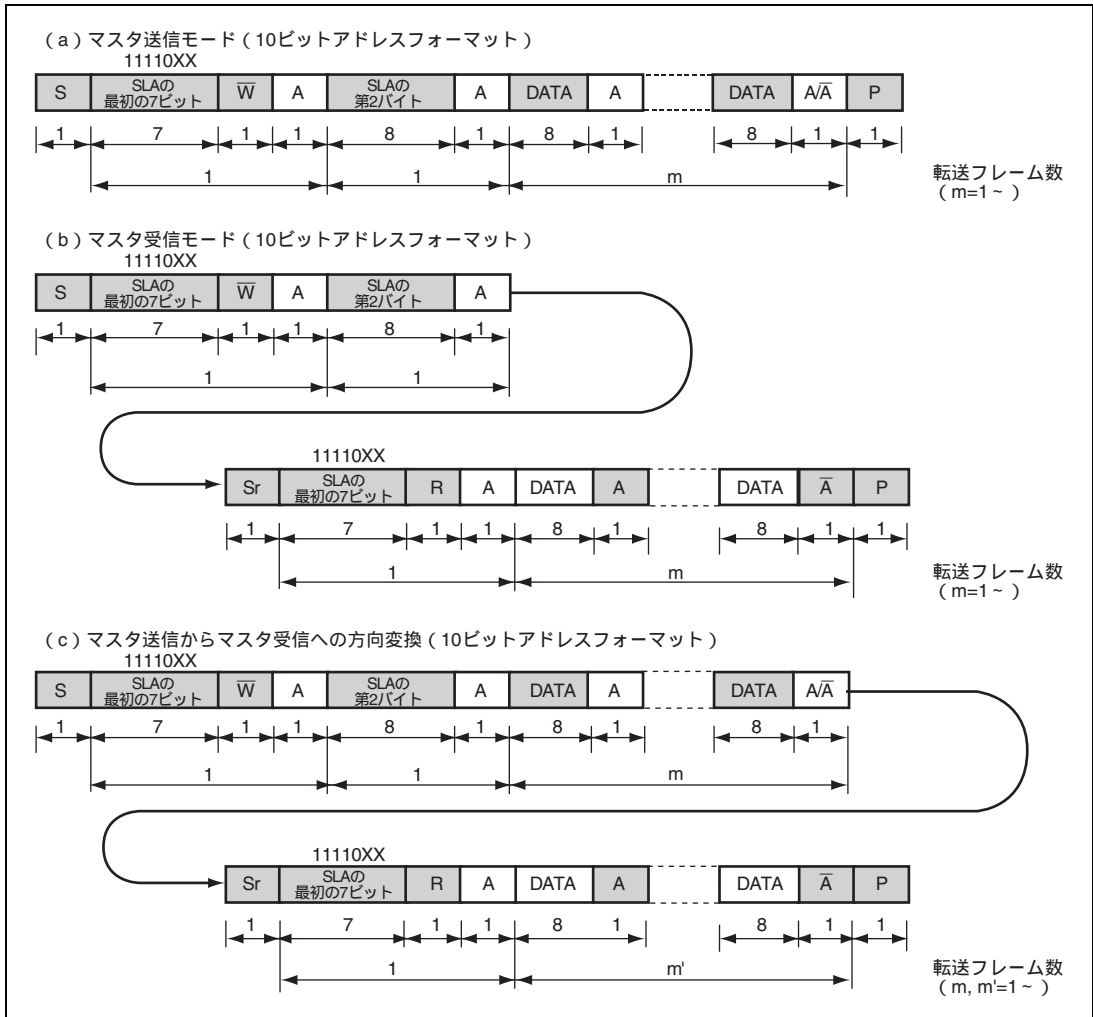


図 25.5 I<sup>2</sup>C バスデータフォーマット (10ビットアドレスフォーマット)

### 25.4.2 マスタ送信動作

I<sup>2</sup>C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、受信デバイスがデータ受信後、アクノリッジを返します。以下に送信手順と動作を示します。

1. ICCL、ICCHおよびICICを動作モードにあわせて設定します。
2. レジスタにH'94を書き込み、開始条件を発行します。開始条件が生成されるとDTEビットが1にセットされます。
3. 送信を行う場合は、ICDRにデータを書き込みます。ICDRにデータを書き込むとDTEビットは自動的にクリアされ、内部送信バッファまでデータが送られるとデータ送信を開始します。内部送信バッファまでデータが送られるとDTEビットは再び1にセットされます。
4. 停止条件を発行、生成する場合は、ICDRに最終データを書き込み後、ICCRにH'90を書き込みます。停止条件を発行後、停止条件生成までの間、DTEは1にセットされません。最終データを送信後に停止条件を生成して停止します。

ICDR書き込みとICCR書き込みが遅延し、ACKビットをまたいで処理した場合、停止条件生成前にDTE割り込みが発生します。そのため、ICCRレジスタにH'90を書き込み後にDTE割り込みを禁止設定するか、ACKビット生成前にICDR書き込みとICCR書き込みを行ってください。

なお、WAIT割り込みが発生してから、WAIT割り込みの要因をクリアするまでにICDR書き込みとICCR書き込みを行うことで、ACKビット生成前にICDR書き込みとICCR書き込むことが可能です。

5. 再送条件を発行、生成する場合は、ICDRに最終データを書き込み後、ICCRにH'94を書き込みます。再送条件を発行後、再送条件生成までの間、DTEは1にセットされません。最終データを送信後に再送条件を生成します。

ICDR書き込みとICCR書き込みが遅延し、ACKビットをまたいで処理した場合、再送条件生成前にDTE割り込みが発生し、ソフト側で正常に通信するための制御ができなくなります。そのため、ACKビット生成前にICDR書き込みとICCR書き込みを行ってください。

なお、WAIT割り込みが発生してから、WAIT割り込みの要因をクリアするまでにICDR書き込みとICCR書き込みを行うことで、ACKビット生成前にICDR書き込みとICCR書き込むことが可能です。

6. 送信から受信に変更する場合は、ICDRに最終データを書き込み後、ICCRにH'81を書き込みます。最終データを送信後に送信から受信に自動変更し受信動作を開始します。

3.を繰り返し行うことにより、データを順次送信することができます。

非アクノリッジ検出時には受信したアクノリッジビットが1のとき (TACK=1のとき)、非アクノリッジ割り込みが発生します。非アクノリッジを検出せずにデータを連続転送する場合は、ICICのTACKビットを0に設定して3.および4.~6.を行います。このとき非アクノリッジ検出は行いませんので連続的にデータを送信することができます。

また、送信から受信に変更する場合は、最終データ送信完了までにICCRへH'81を書き込んでください。このときICCRへの書き込みが遅れる場合は、WAIT割り込みを使用して最終データ送信完了までにICCRに書き込むようにしてください。

## 25. I<sup>2</sup>C バスインタフェース (IIC)

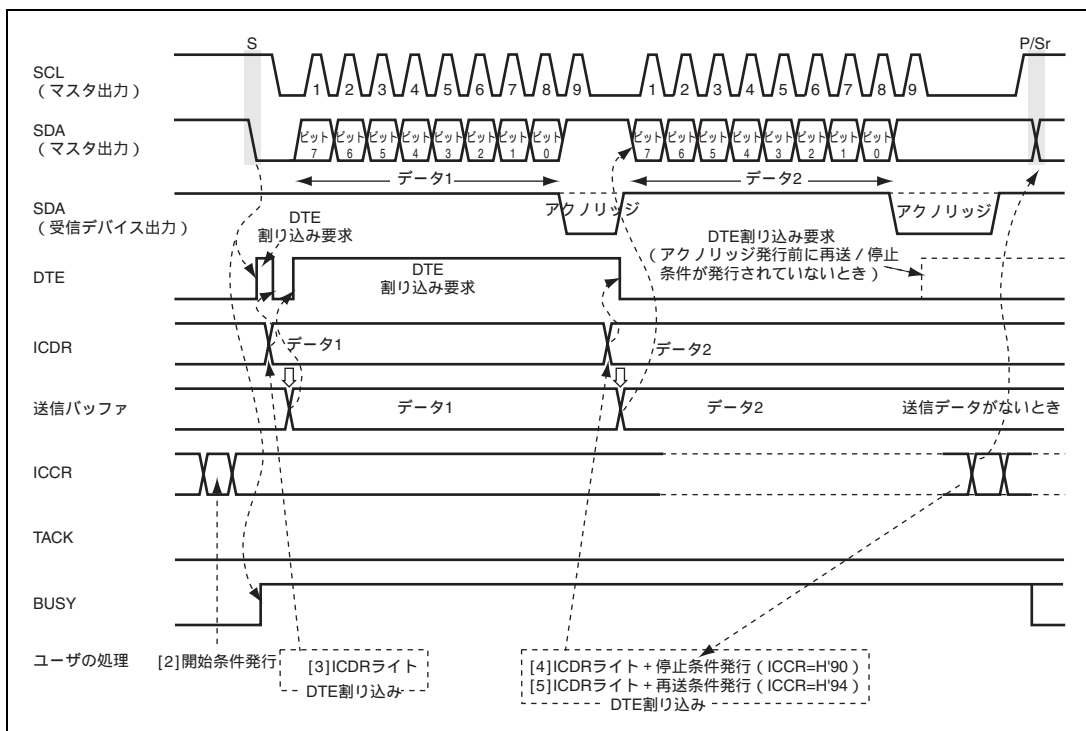


図 25.6 マスタ送信モード動作タイミング例 (WAIT = 0 のとき)

### 25.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、送信デバイスがデータを送信した後マスタデバイスがアックノリッジを返します。以下にマスタ受信モードの受信手順と動作を示します。

#### (1) 2 バイト以上の連続データを受信する場合

1. 送信から受信に自動変更し受信を開始します。
2. 受信バッファにデータを受信後、ICDRにデータを転送しDTEビットが1にセットされます。このとき、次のデータ受信を開始します。
3. 続けてデータを受信する場合は、ICDRからデータを読み出します。ICDRからデータを読み出すとDTEビットは自動的にクリアされます。
4. 停止条件を発行、生成する場合は、ICDRからデータ読み出し後、ICCRにH'C0を書き込みます。そして停止条件を発行後に最終データを受信完了し、ICDRからデータ読み出し後に停止条件を生成して停止します。
5. 再送条件を発行、生成する場合は、ICDRからデータ読み出し後、ICCRにH'D4を書き込みます。そして再送条件を発行後に最終データを受信完了し、ICDRからデータ読み出し後に再送条件を生成します。再送条件を生成すると受信から送信に自動変更し送信より開始します。



「2.」、「3.」を繰り返し行うことにより、連続的に2バイト以上のデータを受信することができます。

2バイト以上の連続データを受信する場合、受信再送、停止条件生成のためにICDRレジスタから最終データ1つ前のデータ読み出しとICCRレジスタにH'D4、H'C0の書き込みを行います。

最終データ1つ前のICDR読み出しとICCR書き込みが遅延し、最終データ受信時のNACKビット生成までにICDR読み出しとICCR書き込み処理が終わらない場合、最終データ受信時にACKビットを生成してしまうため、IICの通信プロトコルが守れなくなります。そのため、最終データ受信時のNACKビット生成までにICDR読み出しとICCR書き込みを行ってください。

なお、WAIT割り込みが発生してから、WAIT割り込みの要因をクリアするまでに最終データ1つ前のICDR読み出しとICCR書き込みを行うことで、最終データ受信時にNACKビットが生成されます。

#### (2) 1バイトのみデータを受信する場合

1バイトのみデータを受信する場合は、WAIT割り込みを使用してICCRに停止条件/再送条件を発行してください。

1. 送信から受信に自動変更し受信を開始します。
2. WAIT割り込みが1にセットされます。このとき、停止条件を発行、生成する場合はICCRにH'C0を書き込みます。再送条件を発行、生成する場合はICCRにH'D4を書き込みます。
3. WAIT割り込みを0にクリアします。
4. 受信バッファにデータを受信後、ICDRにデータを転送しDTEビットが1にセットされます。
5. ICDRからデータ読み出し後、ICCRに停止条件を発行していた場合は、停止条件を生成して停止します。ICCRに再送条件を発行していた場合は、再送条件を生成します。再送条件を生成すると受信から送信に自動変更し送信より開始します。

## 25. I<sup>2</sup>C バスインタフェース (IIC)

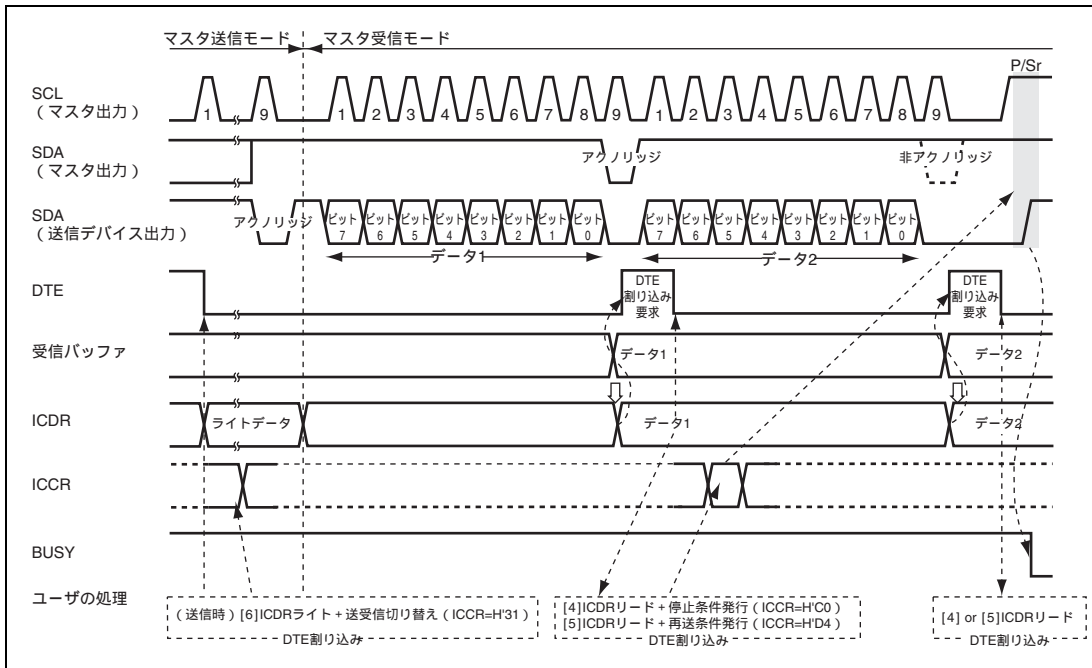


図 25.7 マスタ受信モード動作タイミング例 (WAIT=0 のとき)

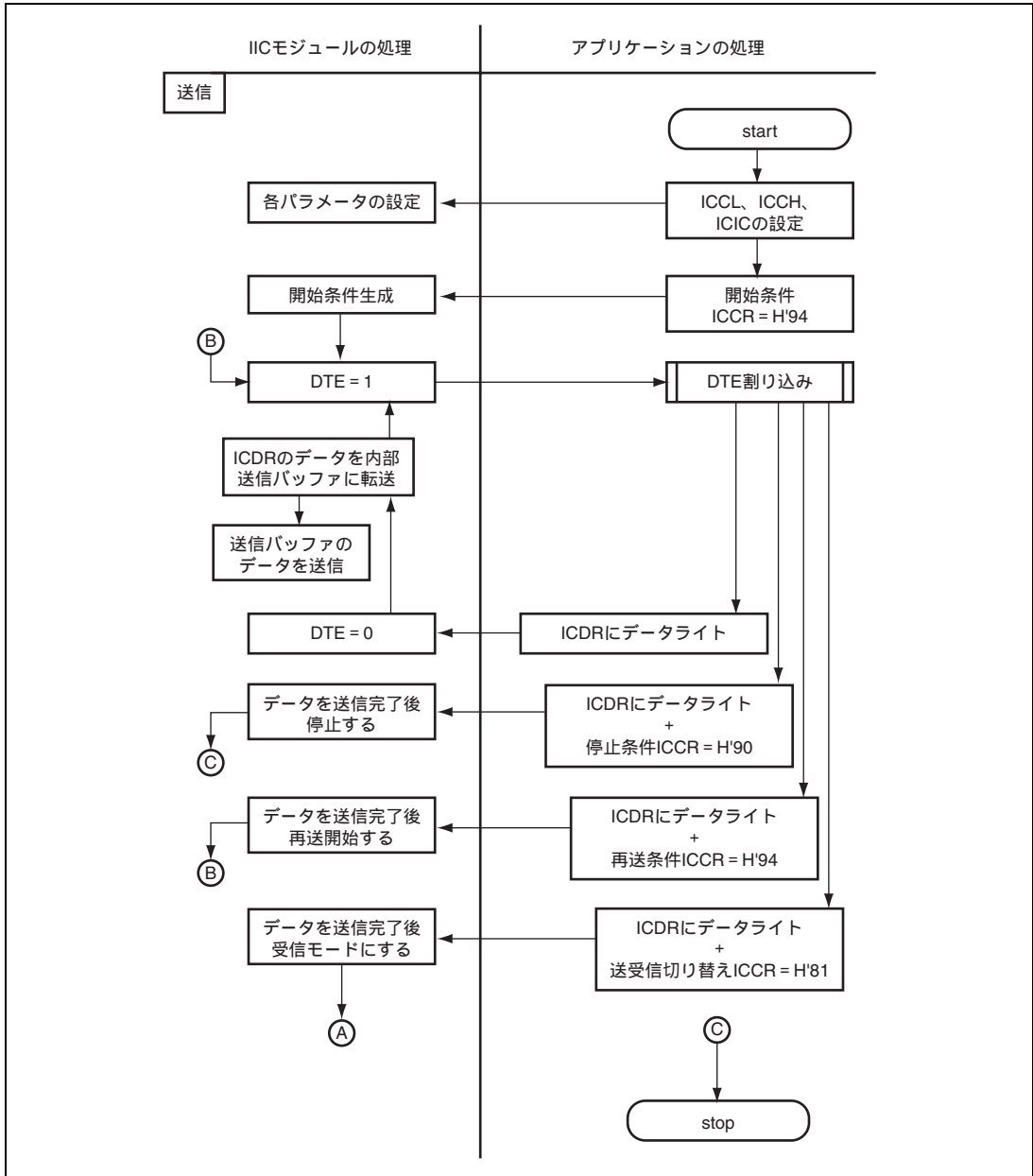


図 25.8 I<sup>2</sup>C 転送シーケンス (送信時)

## 25. I<sup>2</sup>C バスインタフェース (IIC)

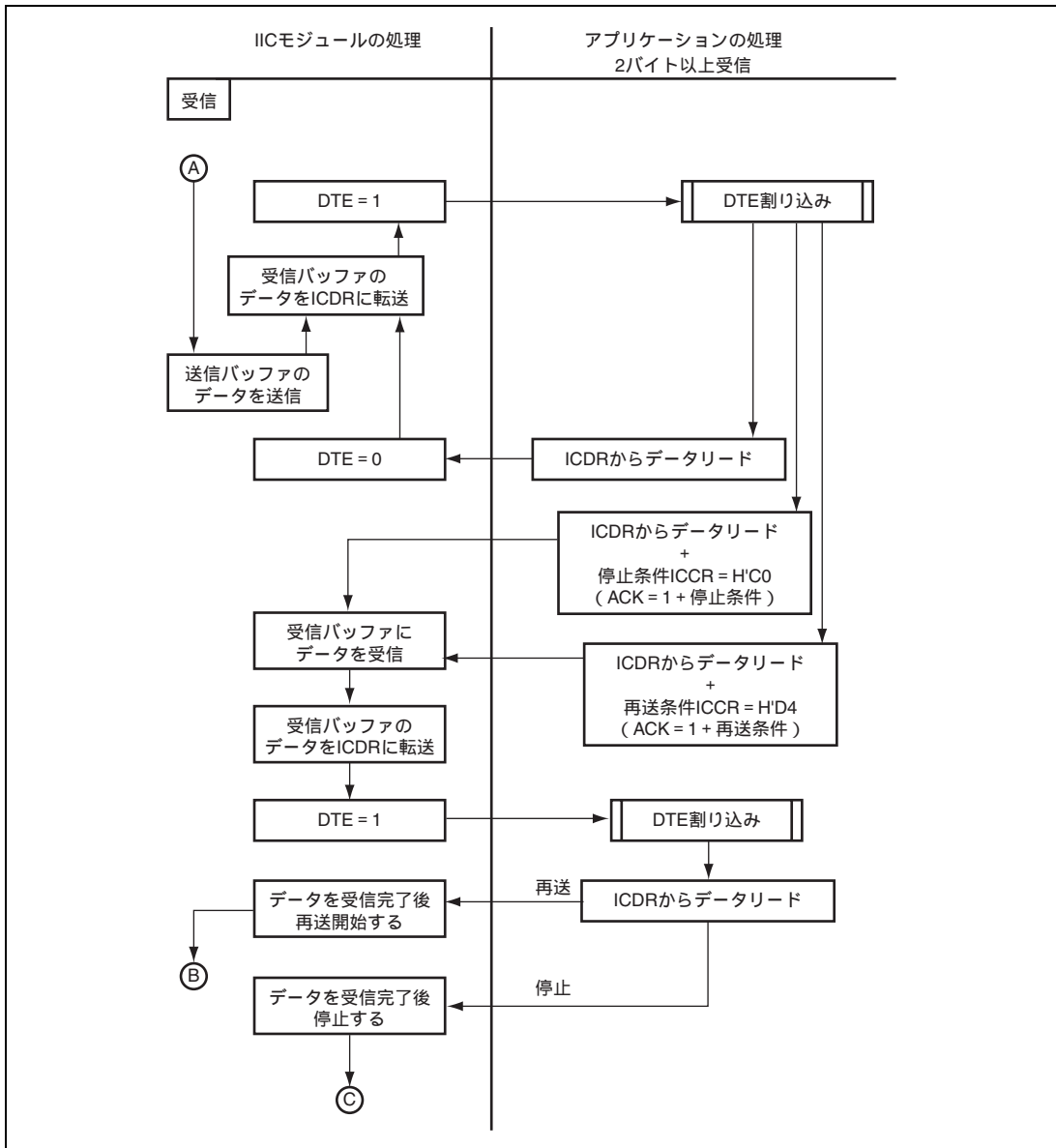


図 25.9 I<sup>2</sup>C 転送シーケンス (2 バイト以上受信時)

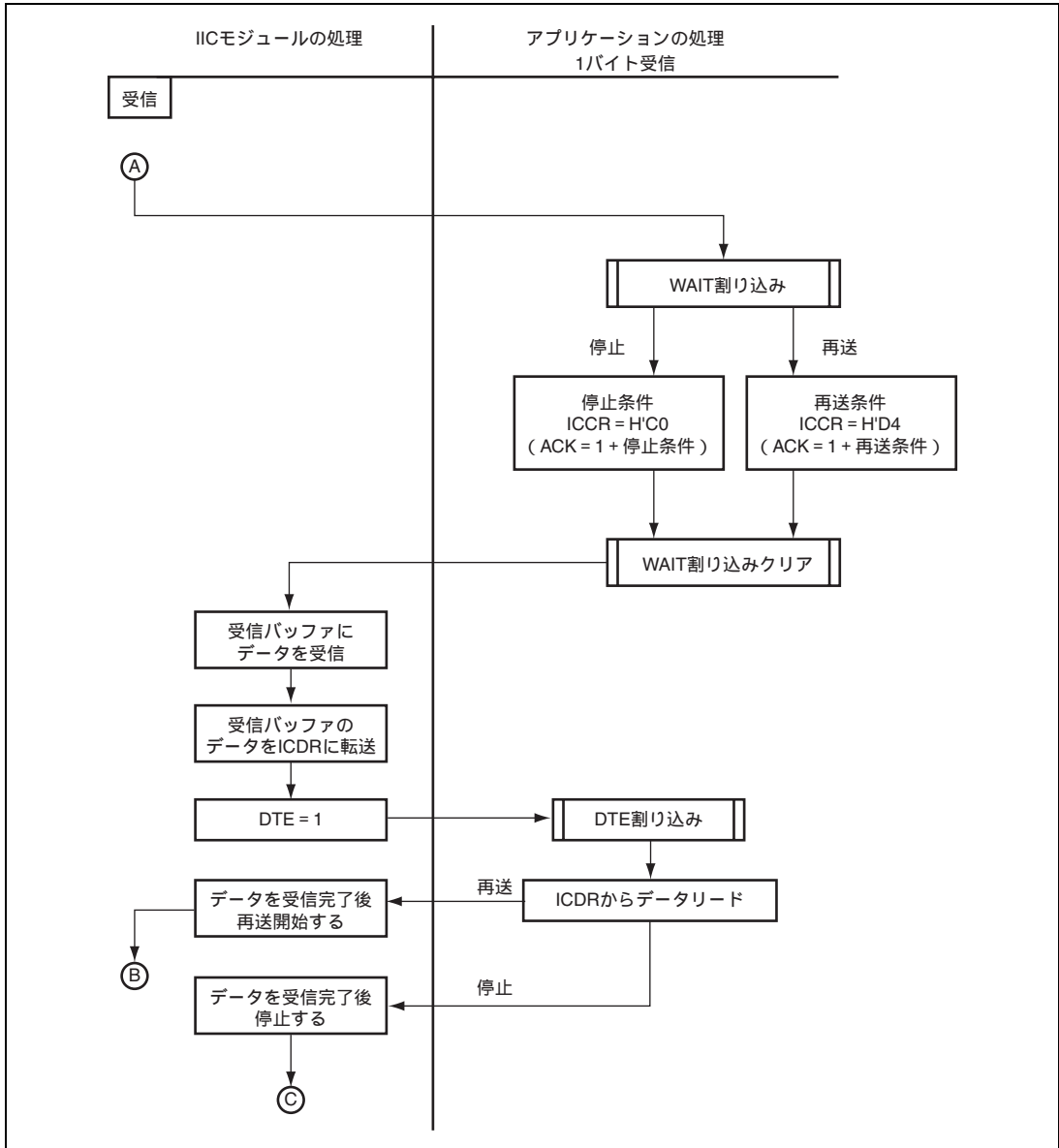


図 25.10 I<sup>2</sup>C 転送シーケンス (1バイト受信時)

## 25.4.4 SCL ラインの同期化

SCL ラインがハイからローの状態に変化すると、関連するデバイスはロー期間のカウントを開始します。あるデバイスのクロックがローになると、そのデバイスは自分のクロックがハイの状態になるまで SCL ラインをローに保持します (図 25.11 を参照)。しかし、このデバイスのクロックがローからハイに変化しても他のデバイスのクロックがまだロー期間内にある場合、SCL ラインの状態は変化しません。したがって、SCL ラインのロー期間は、ロー期間の最も長いデバイスによって決定されることになります。この間、ロー期間の短いデバイスは、ハイのまま待ち状態になります。

すべてのデバイスがロー期間を終了すると、クロックラインが解放されて、ハイ状態になります。これでデバイスのクロックと SCL ラインが同じ状態になり、どちらもハイ期間のカウントを開始します。SCL ラインは、ハイ期間を最初に終了したデバイスによって再びロー状態にされます。

このように、ロー期間の最も長いデバイスによってロー期間が、ハイ期間の最も短いデバイスによってハイ期間がそれぞれ決定され、SCL ラインの同期がとられます。

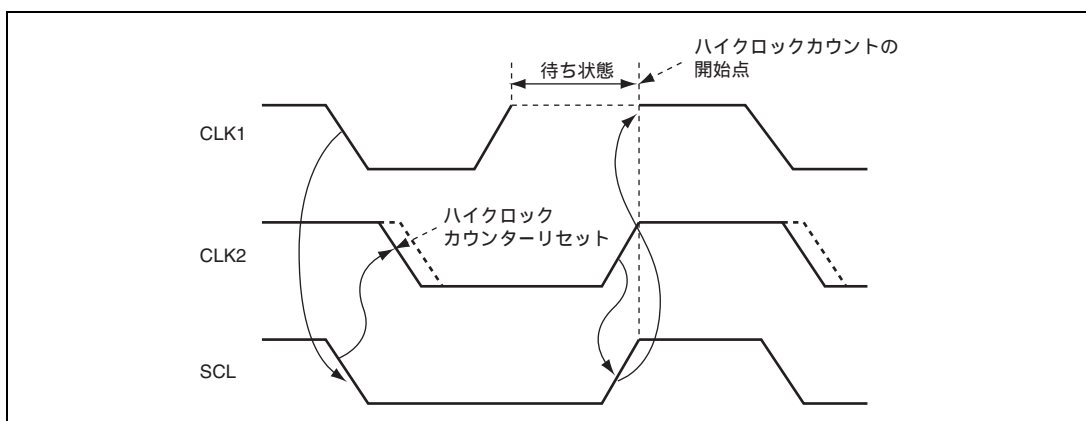


図 25.11 SCL ラインの同期化

### 25.4.5 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 25.12 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 3 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）が P でサンプリングされ、(A)、(B) の出力が一致したとき、はじめて後段へそのレベルを伝えます。一致しない場合は前のレベルを保持します。

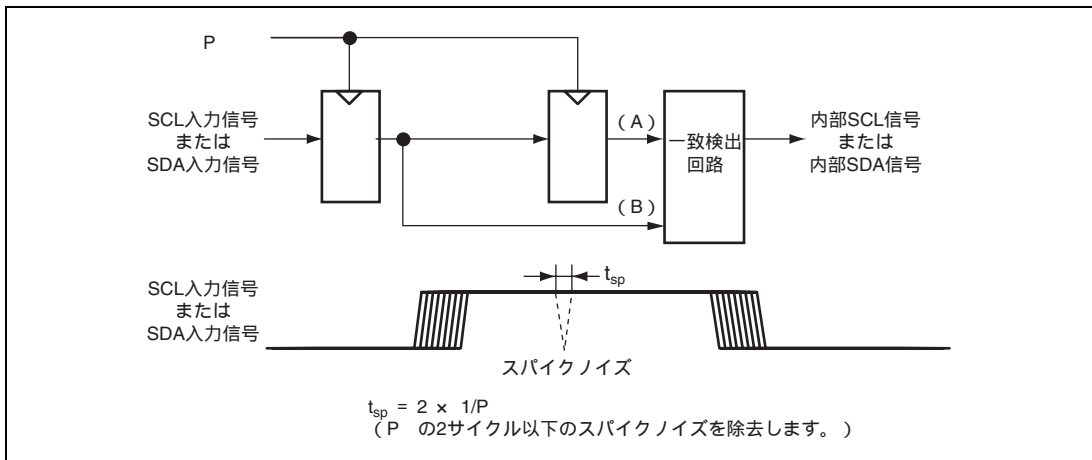


図 25.12 ノイズ除去回路のブロック図

### 25.4.6 アービトレーションロスト動作

本モジュールは、バス競合負けした場合、アービトレーションロスト割り込み要求を発行できます。割り込み発生条件は以下の 4 項目です。

- マスタ送受信モードで、SCLクロックがハイカウント中に受信データが変化したとき
- SCLクロックがハイカウント中にSCLラインがローレベルになったとき
- 本モジュールが開始条件を発行する前に開始条件を検出したとき
- モニタしたSDA（外部）と本モジュールが出力したデータが不一致であったとき

上記の条件で ICSR の AL ビットが 1 にセットされ、アービトレーションロスト割り込みが発生します。

データ転送中にアービトレーションロストを検出すると SDA ラインは直ちに解放します。SCL クロックラインはそのフレームのアクノリッジ終了までクロックを出力した後、バスを解放します。図 25.13 にアービトレーションロスト割り込み動作タイミング例を示します。

また、割り込みを解除する場合は、ICSR の AL ビットを 0 クリアします。

0 クリアするための条件は以下の 2 項目です。

- DTE = 1 のとき ICDR にデータを書き込み（送信時）、データを読み出し（受信時）したとき
- 0 を書き込んだとき

## 25. I<sup>2</sup>C バスインタフェース (IIC)

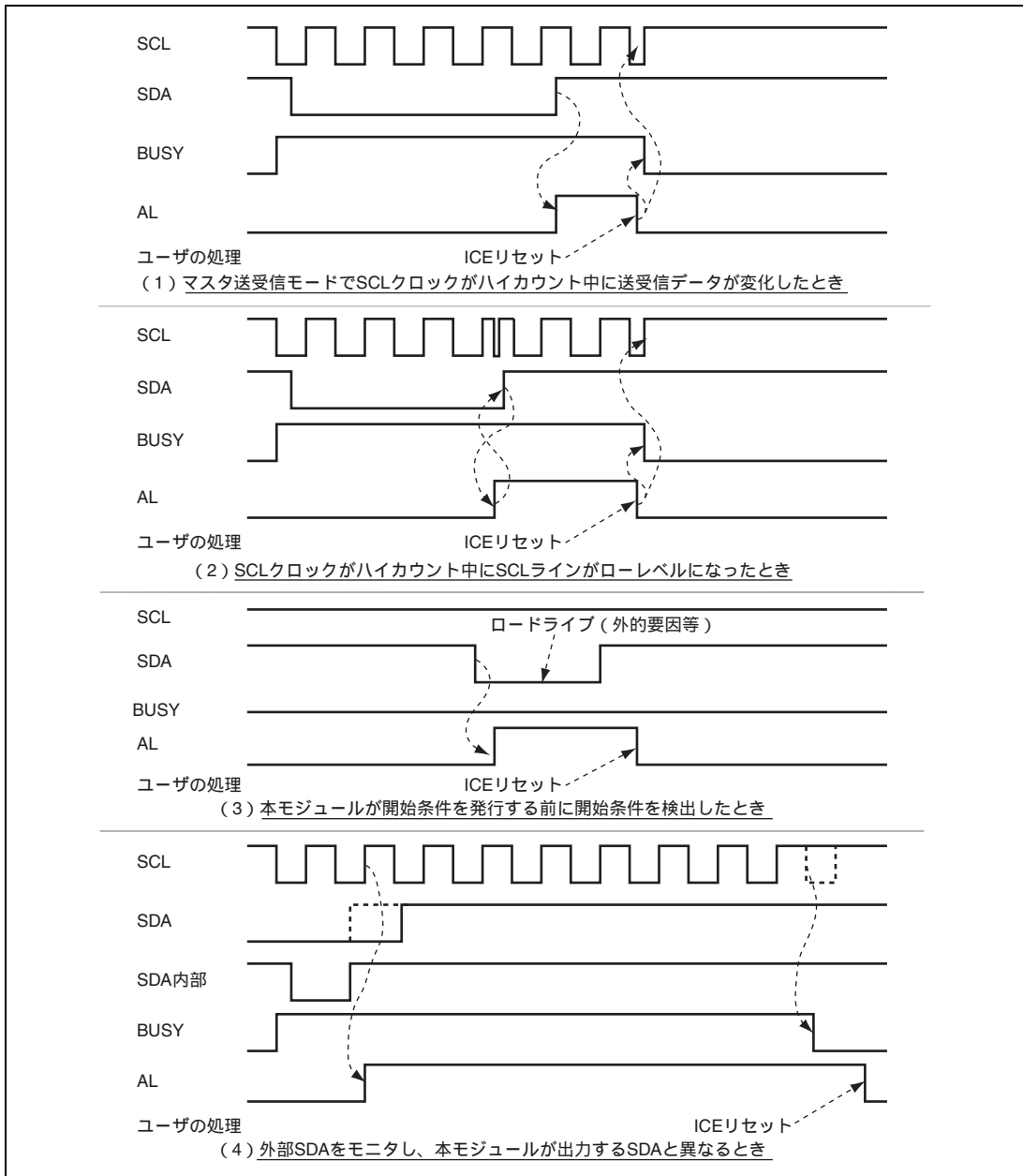


図 25.13 アービトレーションロスト割り込み動作タイミング例



### 25.4.7 非アクノリッジ動作

本モジュールは送信時、受信デバイスからアクノリッジがなかった（非アクノリッジ）場合に非アクノリッジ割り込みを発行できます。受信デバイスからのアクノリッジビットは ICSR の TACK ビットに格納され、ICIC の TACKE = 1 のときに TACK ビットが 1 にセットされると非アクノリッジ割り込みが発行されます。

また、この非アクノリッジ割り込みを解除する場合は TACK ビットを 0 クリアします。

図 25.14 に非アクノリッジ動作タイミング例を示します。

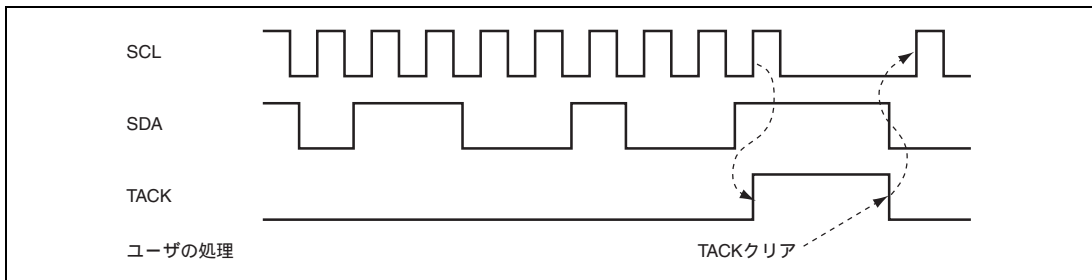


図 25.14 非アクノリッジ動作タイミング例

### 25.4.8 ウェイト動作

WAIT 割り込みを使用して IIC の通信処理を行う場合、WAIT 状態をハード的に検知してからソフト処理によって WAIT 割り込みの要因がクリアされるまで IIC の信号は WAIT 状態で停滞します。DTE 割り込みのみで通信処理を行った場合は WAIT 状態で停滞することはないので、WAIT 割り込みを使用した場合は IIC の信号が WAIT 状態で停滞している分だけ通信が遅れます。

本モジュールは、ICSR の WAIT により動作モードをウェイト状態にすることができます。

マスタデバイスで送信クロックの 8 クロック目で立ち下がり時、WAIT = 1 にセットされます。

その後、送信クロックは WAIT が 0 クリアされるまでローレベルに固定します。

WAIT が 0 クリアされると送信クロックは 9 クロック目を生成し、ウェイト状態から復帰します。

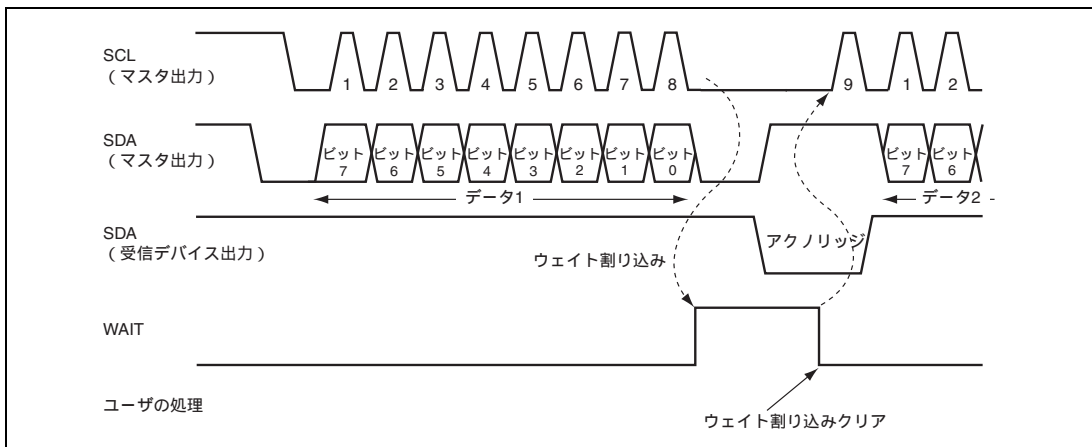


図 25.15 ウェイト動作タイミング例

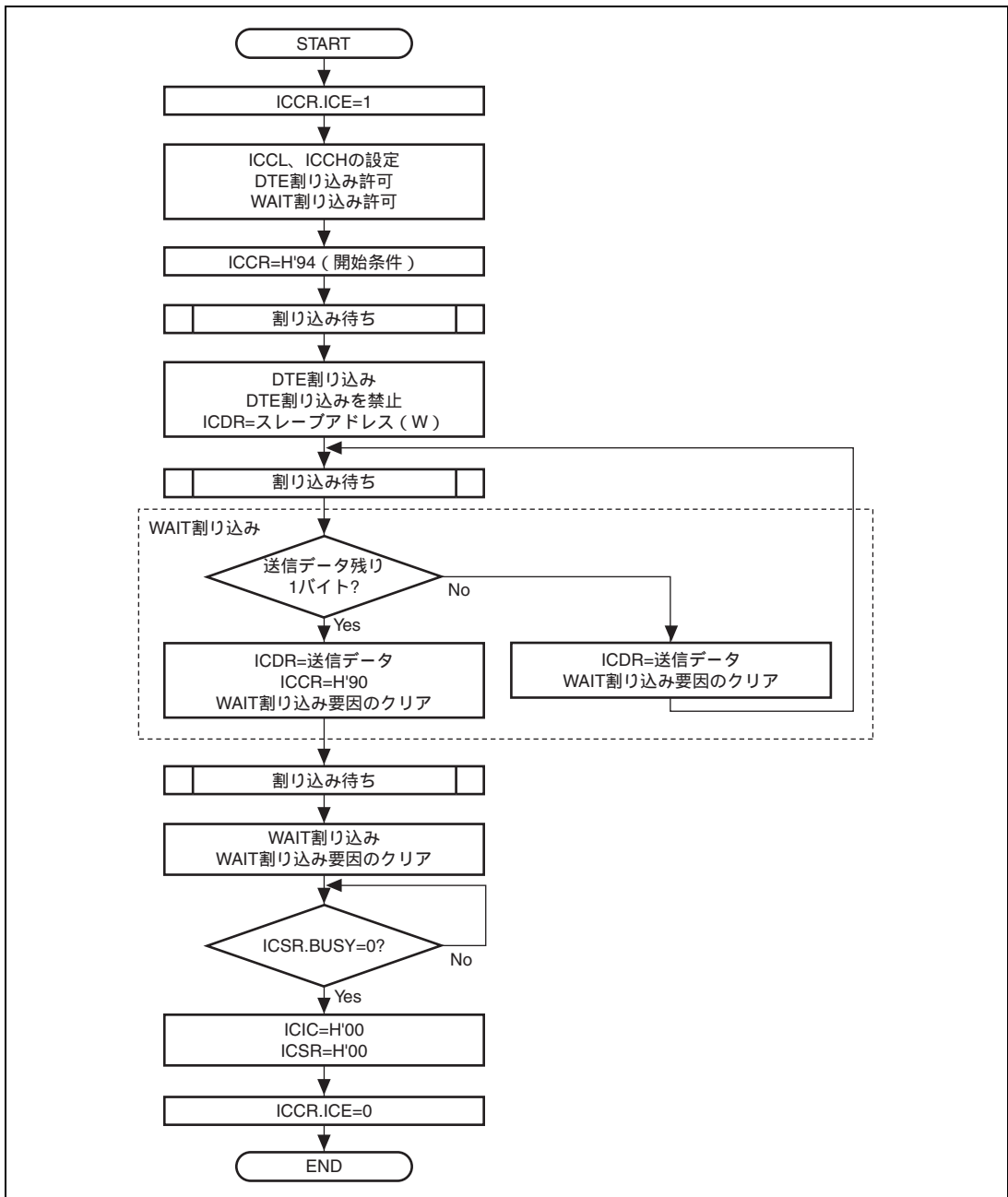


図 25.16 ウェイト使用時の送信ソフトフロー例

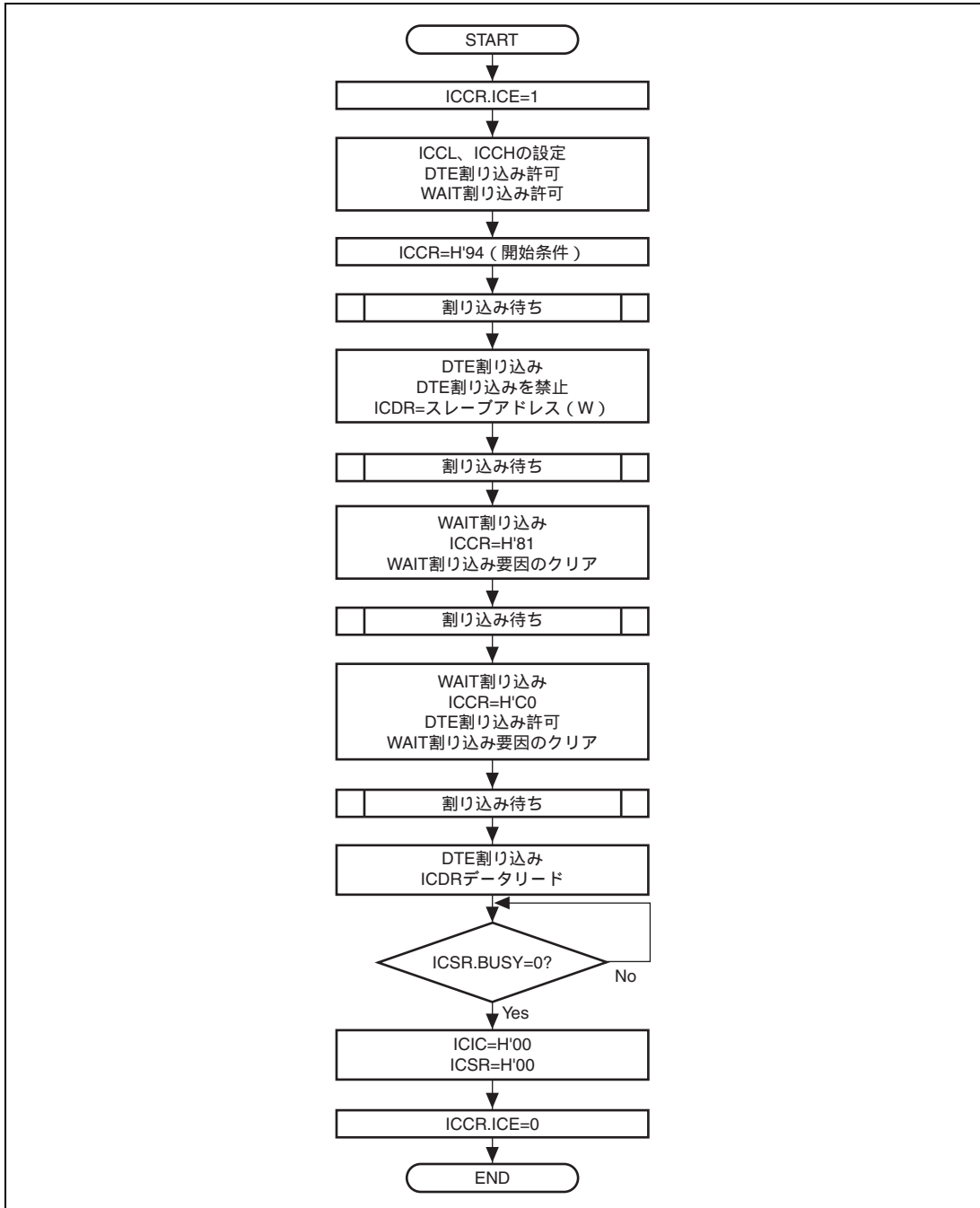


図 25.17 ウェイト使用時の 1 バイトライト / 1 バイトリードソフトフロー例

25. I<sup>2</sup>C バスインタフェース (IIC)

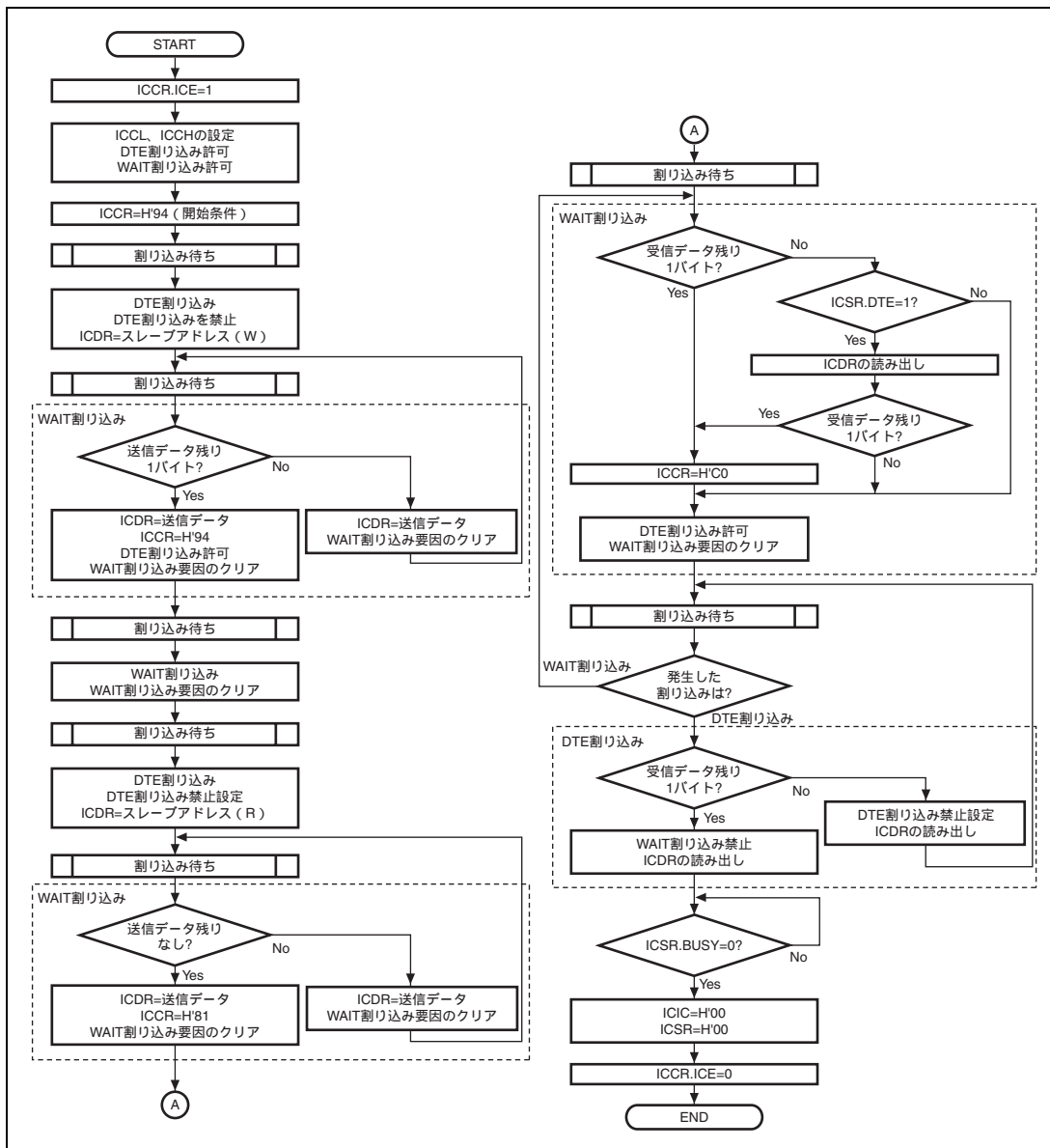


図 25.18 ウェイト使用時の n バイトライト / n バイトリードソフトフロー例

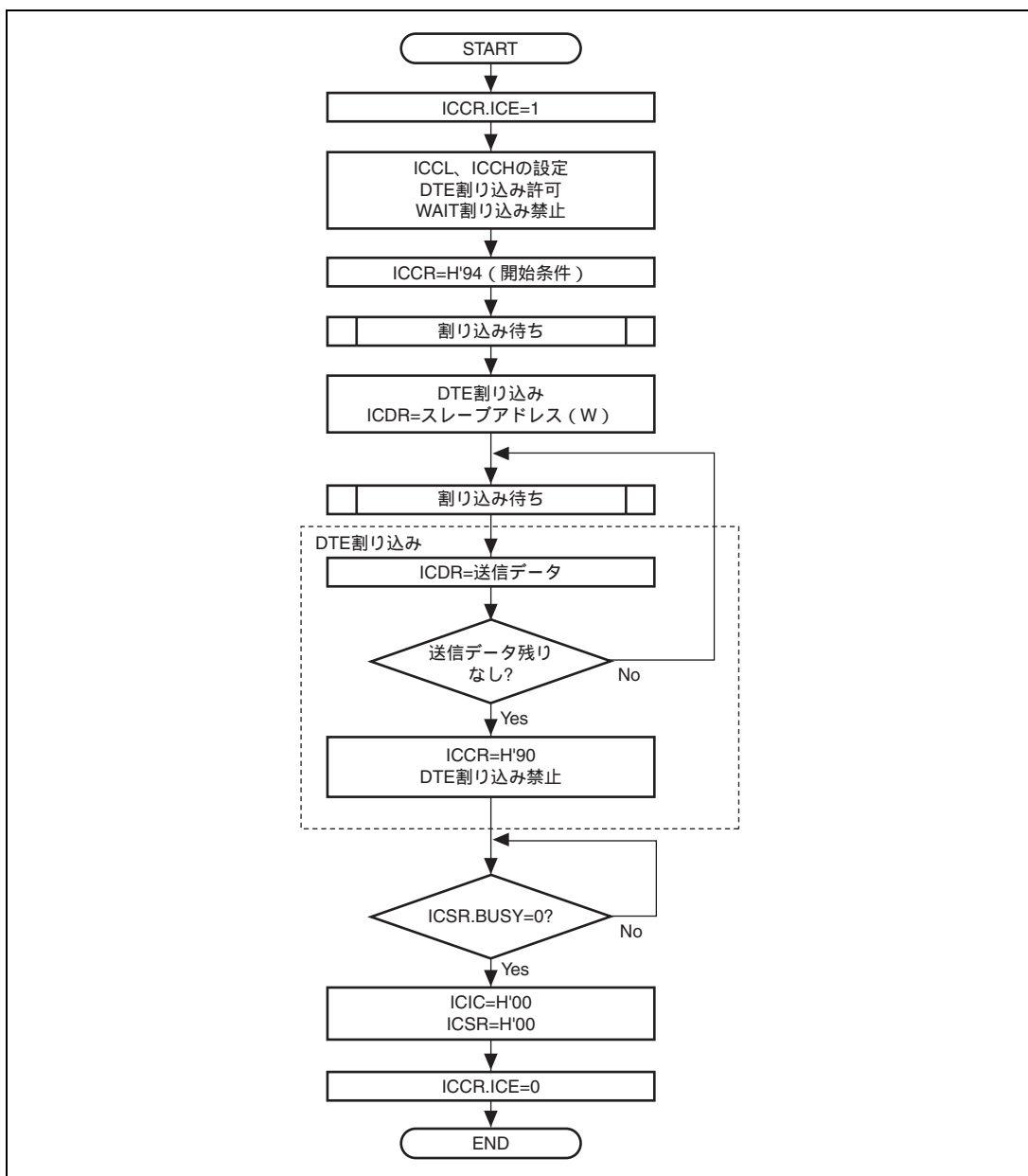


図 25.19 送信のソフトフロー例 (WAIT=0)

### 25.5 使用上の注意事項

- アービトレーションロスト

アービトレーションロストを検出したときに、スレーブデバイスの状態によってはバスが解放できない場合があります。

アービトレーションロストから復帰し再度通信を行う場合は、完全に内部を初期化するために、ICCRのICEビットによる初期化を行う必要があります。

- ICEリセット

データ転送中にICEリセットを行ったとき、即時にSCLクロックが停止するためスレーブデバイスの状態によってはバスが解放できない場合があります。

- 停止条件生成時の処理

停止条件を発行、生成後に送受信を行うと、停止条件を生成できなくなる場合がありますので、停止条件生成後もしくは同条件での次送受信開始設定前にICCRのICEビットによる初期化を行ってください。

- I<sup>2</sup>C未使用時の処理

I<sup>2</sup>Cバスインタフェースを使用していない場合、使用しないチャンネルはICCRのICEビットを0にしてディスエーブルにしてください。

---

## 26. リアルタイムクロック (RTC)

---

本 LSI は、リアルタイムクロック (RTC : Real Time Clock) を内蔵しています。

### 26.1 特長

- 時計・カレンダー機能 (BCD表示) を搭載  
秒、分、時、曜日、日、月、年をカウント
- 1~64Hzタイマ (バイナリ表示) を搭載  
64Hzカウンタが、RTCの分周回路のうち64Hz~1Hzの状態を示します。
- スタート/ストップ機能
- 30秒調整機能
- アラーム割り込み  
アラーム割り込み条件として、秒、分、時、曜日、日、月、年のいずれと比較するか選択可能
- 周期割り込み  
割り込み周期として、1/256秒、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み  
秒カウンタ桁上げ、または64Hzカウンタの読み出し時に64Hzカウンタ桁上げが発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能

## 26. リアルタイムクロック (RTC)

図 26.1 に RTC のブロック図を示します。

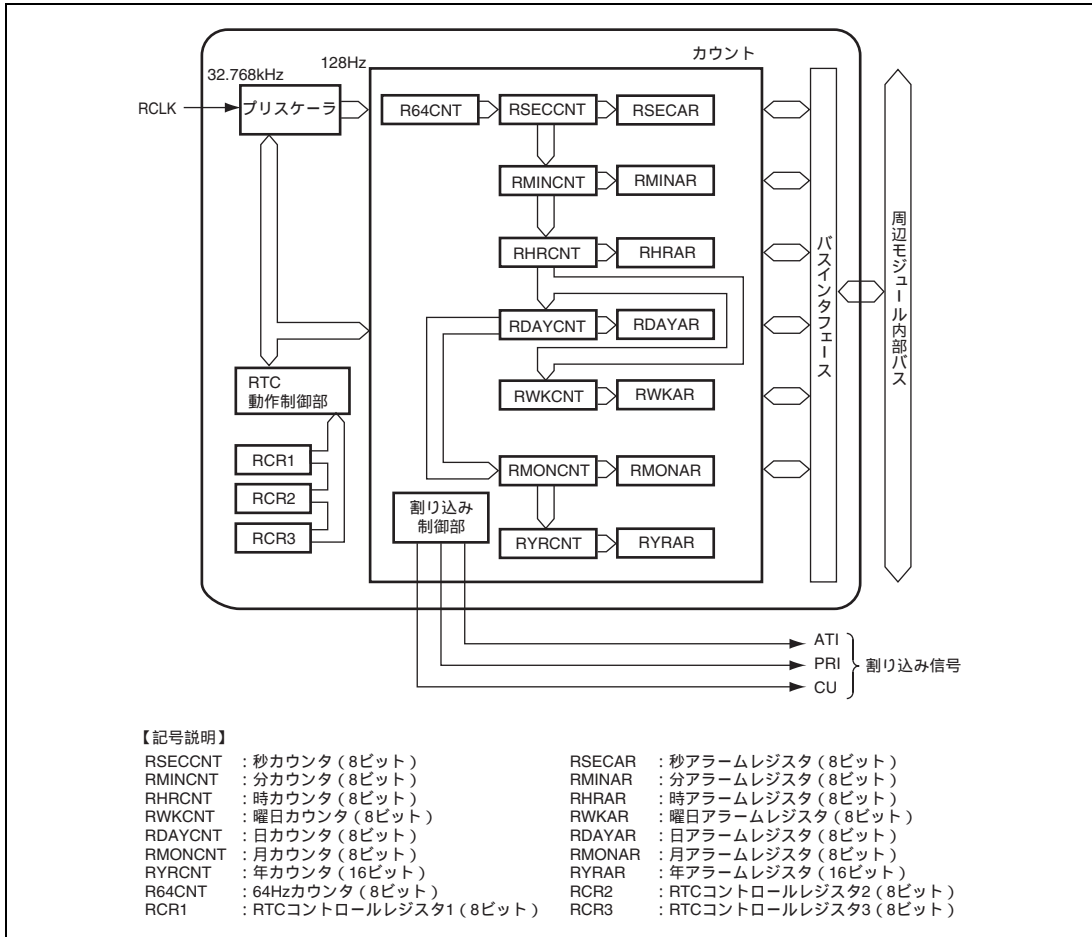


図 26.1 RTC のブロック図



## 26.2 入出力端子

RTC の端子構成を表 26.1 に示します。

表 26.1 端子構成

名称	信号名	入出力	機能
RTC 用外部クロック	RCLK	入力	RTC 用外部クロックを入力します。

## 26.3 レジスタの説明

RTC のレジスタ構成を表 26.2 に示します。また、各処理モードにおけるレジスタの状態を表 26.3 に示します。

表 26.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
64Hz カウンタ	R64CNT	R	H'A465 FEC0	8
秒カウンタ	RSECCNT	R/W	H'A465 FEC2	8
分カウンタ	RMINCNT	R/W	H'A465 FEC4	8
時カウンタ	RHRCNT	R/W	H'A465 FEC6	8
曜日カウンタ	RWKCNT	R/W	H'A465 FEC8	8
日カウンタ	RDAYCNT	R/W	H'A465 FECA	8
月カウンタ	RMONCNT	R/W	H'A465 FECC	8
年カウンタ	RYRCNT	R/W	H'A465 FECE	16
秒アラームレジスタ	RSECAR	R/W	H'A465 FED0	8
分アラームレジスタ	RMINAR	R/W	H'A465 FED2	8
時アラームレジスタ	RHRAR	R/W	H'A465 FED4	8
曜日アラームレジスタ	RWKAR	R/W	H'A465 FED6	8
日アラームレジスタ	RDAYAR	R/W	H'A465 FED8	8
月アラームレジスタ	RMONAR	R/W	H'A465 FEDA	8
RTC コントロールレジスタ 1	RCR1	R/W	H'A465 FEDC	8
RTC コントロールレジスタ 2	RCR2	R/W	H'A465 FEDE	8
年アラームレジスタ	RYRAR	R/W	H'A465 FEE0	16
RTC コントロールレジスタ 3	RCR3	R/W	H'A465 FEE4	8

## 26. リアルタイムクロック (RTC)

表 26.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
R64CNT	不定	保持	保持	保持	保持	保持
RSECCNT	不定	保持	保持	保持	保持	保持
RMINCNT	不定	保持	保持	保持	保持	保持
RHRCNT	不定	保持	保持	保持	保持	保持
RWKCNT	不定	保持	保持	保持	保持	保持
RDAYCNT	不定	保持	保持	保持	保持	保持
RMONCNT	不定	保持	保持	保持	保持	保持
RYRCNT	不定	保持	保持	保持	保持	保持
RSECAR	初期化 / 不定	保持	保持	保持	保持	保持
RMINAR	初期化 / 不定	保持	保持	保持	保持	保持
RHRAR	初期化 / 不定	保持	保持	保持	保持	保持
RWKAR	初期化 / 不定	保持	保持	保持	保持	保持
RDAYAR	初期化 / 不定	保持	保持	保持	保持	保持
RMONAR	初期化 / 不定	保持	保持	保持	保持	保持
RCR1	初期化 / 不定	保持	保持	保持	保持	保持
RCR2	初期化	初期化 / 不定	保持	保持	保持	保持
RYRAR	不定	保持	保持	保持	保持	保持
RCR3	初期化	保持	保持	保持	保持	保持

### 26.3.1 64Hz カウンタ (R64CNT)

R64CNT は、RTC の分周回路のうち、64Hz ~ 1Hz の状態を示します。

128Hz 分周段からの桁上げが発生したときに、このレジスタを読み出すと、RTC コントロールレジスタ 1 (RCR1) の CF ビットが 1 にセットされ、桁上げと 64Hz カウンタ読み出しが重なったことを示します。この場合、読み出した値は有効ではないため、RCR1 の CF ビットに 0 を書き込んでクリアした後、R64CNT を再度読み出す必要があります。

RTC コントロールレジスタ 2 (RCR2) の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを 1 にセットすると、RTC の分周回路が初期化され、R64CNT は H'00 に初期化されます。

R64CNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されません。

ビット:	7	6	5	4	3	2	1	0
	—	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
初期値:	0	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R

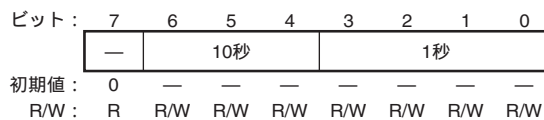
ビット	ビット名	初期値	R/W	説明
7		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
6	1Hz	不定	R	RTCの分周回路のうち、1Hz～64Hzの状態を示します。
5	2Hz	不定	R	
4	4Hz	不定	R	
3	8Hz	不定	R	
2	16Hz	不定	R	
1	32Hz	不定	R	
0	64Hz	不定	R	

### 26.3.2 秒カウンタ (RSECCNT)

RSECCNTは、RTCのBCDコード化された秒部分の設定/カウント用のカウンタであり、64Hzカウンタの1秒ごとのキャリによってカウント動作を行います。

設定可能範囲は、10進で00～59です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RSECCNTは、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。



ビット	ビット名	初期値	R/W	説明
7		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効ですが、書き込む値も常に0にしてください。
6～4		不定	R/W	秒十位カウンタ 秒十位は0から5をカウントして、60秒のカウントを行います。
3～0		不定	R/W	秒一位カウンタ 秒一位は1秒ごとに0から9をカウントします。桁上がりが発生すると、秒十位が+1されます。

## 26. リアルタイムクロック (RTC)

### 26.3.3 分カウンタ (RMINCNT)

RMINCNT は、RTC の BCD コード化された部分の設定 / カウント用のカウンタであり、秒カウンタの 1 分ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMINCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	—	10分			1分			
初期値 :	0	—	—	—	—	—	—	—
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
6~4		不定	R/W	分十位カウント 分十位は 0 から 5 をカウントして、60 分のカウントを行います。
3~0		不定	R/W	分一位カウント 分一位は 1 分ごとに 0 から 9 をカウントします。桁上がりが発生すると、分十位が +1 されます。

### 26.3.4 時カウンタ (RHRCNT)

RHRCNT は、RTC の BCD コード化された時部分の設定 / カウント用のカウンタであり、分カウンタの 1 時間ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RHRCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されません。

ビット :	7	6	5	4	3	2	1	0
	—	—	10時間		1時間			
初期値 :	0	0	—	—	—	—	—	—
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7, 6		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
5、4		不定	R/W	時十位カウント 時十位は0から2をカウントします。
3~0		不定	R/W	時一位カウント 時一位は1時間ごとに0から9をカウントします。桁上がりが発生すると、時十位が+1されます。

### 26.3.5 曜日カウンタ (RWKCNT)

RWKCNTは、RTCのBCDコード化された曜日部分の設定/カウント用のカウンタであり、時カウンタの1日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10進で0~6です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RWKCNTは、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されません。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	曜日		
初期値:	0	0	0	0	0	—	—	—
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効ですが、書き込む値も常に0にしてください。
2~0		不定	R/W	曜日カウント バイナリコードで曜日を表します。 000:日 001:月 010:火 011:水 100:木 101:金 110:土 111:予約(設定しないでください。)

## 26. リアルタイムクロック (RTC)

### 26.3.6 日カウンタ (RDAYCNT)

RDAYCNT は、RTC の BCD コード化された日部分の設定 / カウント用のカウンタであり、時カウンタの 1 日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01 ~ 31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RDAYCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

RDAYCNT の設定範囲は、月ごとおよびうるう年によって変化しますので。確認の上、設定してください。うるう年は年カウンタ (RYRCNT) を西暦として、400、100、4 で割り切れるかどうかにより計算されます。

ビット :	7	6	5	4	3	2	1	0
	—	—	10日				1日	
初期値 :	0	0	—	—	—	—	—	—
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込み値も常に 0 にしてください。
5、4		不定	R/W	日十位カウンタ
3~0		不定	R/W	日一位カウンタ 日一位は 1 日ごとに 0~9 をカウントします。桁上がりを発生すると日十位が +1 されます。

### 26.3.7 月カウンタ (RMONCNT)

RMONCNT は、RTC の BCD コード化された月部分の設定 / カウント用のカウンタであり、日カウンタの月ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01 ~ 12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMONCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	10月			1月	
初期値 :	0	0	0	—	—	—	—	—
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効ですが、書き込む値も常に0にしてください。
4		不定	R/W	月十位カウント
3~0		不定	R/W	月一位カウント 月一位は1月ごとに0~9をカウントします。桁上がりが発生すると月十位が+1されます。

### 26.3.8 年カウンタ (RYRCNT)

RYRCNTは、RTCのBCDコード化された年部分の設定/カウント用のカウンタであり、月カウンタの1年ごとのキャリによって、カウント動作を行います。

設定可能範囲は、10進で0000~9999です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RYRCNTは、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12		不定	R/W	年千位カウント
11~8		不定	R/W	年百位カウント
7~4		不定	R/W	年十位カウント
3~0		不定	R/W	年一位カウント

## 26. リアルタイムクロック (RTC)

### 26.3.9 秒アラームレジスタ (RSECAR)

RSECAR は、RTC の BCD コード化された秒部分のカウンタ RSECNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RSECAR の ENB ビットは、パワーオンリセットで 0 に初期化されます。RSECAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	10秒			1秒			
初期値 :	0	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RSECNT の値と比較を行います。
6~4		不定	R/W	秒十位の設定値
3~0		不定	R/W	秒一位の設定値

### 26.3.10 分アラームレジスタ (RMINAR)

RMINAR は、RTC の BCD コード化された分部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMINAR の ENB ビットは、パワーオンリセットで初期化されます。RMINAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	10分			1分			
初期値 :	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RMINCNT の値と比較を行います。
6~4		不定	R/W	分十位の設定値
3~0		不定	R/W	分一位の設定値



## 26.3.11 時アラームレジスタ (RHRAR)

RHRAR は、RTC の BCD コード化された時部分のカウンタ RHCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 23 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RHRAR の ENB ビットは、パワーオンリセットで初期化されます。RHRAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	—	10時間		1時間			
初期値 :	0	0	—	—	—	—	—	—
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RHCNT の値と比較を行います。
6		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
5, 4		不定	R/W	時十位の設定値
3~0		不定	R/W	時一位の設定値

## 26.3.12 曜日アラームレジスタ (RWKAR)

RWKAR は、RTC の BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 0 ~ 6 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RWKAR の ENB ビットは、パワーオンリセット時は初期化されます。RWKAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	—	—	—	—	曜日		
初期値 :	0	0	0	0	0	—	—	—
R/W :	R/W	R	R	R	R	R/W	R/W	R/W

## 26. リアルタイムクロック (RTC)

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RWKCNT の値と比較を行います。
6~3		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
2~0		不定	R/W	曜日の設定値

曜日のコード	0	1	2	3	4	5	6
曜日	日	月	火	水	木	金	土

### 26.3.13 日アラームレジスタ (RDAYAR)

RDAYAR は、RTC の BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01 ~ 31 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RDAYAR の ENB ビットは、パワーオンリセットで初期化されます。RDAYAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	—	10日				1日	
初期値 :	0	0	—	—	—	—	—	—
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RDAYCNT の値と比較を行います。
6		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
5, 4		不定	R/W	日十位の設定値
3~0		不定	R/W	日一位の設定値

## 26.3.14 月アラームレジスタ (RMONAR)

RMONAR は、RTC の BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01 ~ 12 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMONAR は、ENB ビットは、パワーオンリセットで初期化されます。RMONAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	—	—	10月	1月			
初期値 :	0	0	0	—	—	—	—	—
R/W :	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RMONCNT の値と比較を行います。
6、5		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
4		不定	R/W	月十位の設定値
3~0		不定	R/W	月一位の設定値

## 26.3.15 年アラームレジスタ (RYRAR)

RYRAR は、RTC の BCD コード化された年部分のカウンタ RYRCNT に対応するアラームレジスタです。

設定可能範囲は、10 進で 0000 ~ 9999 であり、それ以外の値が設定されると、正常に動作しません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12		不定	R/W	年千位の設定値
11~8		不定	R/W	年百位の設定値
7~4		不定	R/W	年十位の設定値
3~0		不定	R/W	年一位の設定値

## 26. リアルタイムクロック (RTC)

### 26.3.16 RTC コントロールレジスタ 1 (RCR1)

RCR1 は、桁上げおよびアラームフラグに関するレジスタです。また、おのこのフラグについて、割り込みを発生するかどうか選択できます。

パワーオンリセットおよびマニュアルリセット時は、H'00 に初期化されます。ただし、CF フラグは、分周回路がリセット (RCR2 の RESET と ADJ を 1 にセット) されるまでは不定になります。CF フラグを使用する場合は、使用前に必ず分周回路をリセットしてください。スタンバイモード時には、初期化されません。

ビット:	7	6	5	4	3	2	1	0
	CF	—	—	CIE	AIE	—	—	AF
初期値:	—	0	0	—	—	0	0	—
R/W:	R/W	R	R	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7	CF	不定	R/W	桁上げフラグ このフラグが 1 にセットされた場合、秒カウンタ桁上げ、または 64Hz カウンタ読み出し時に 64Hz カウンタ桁上げが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。 0 : 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げなし [クリア条件] CF に 0 を書き込んだとき 1 : 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり [セット条件] 秒カウンタ桁上げまたは 64Hz カウンタ桁上げ時の読み出し時の 64Hz カウンタ桁上げあり、または CF に 1 を書き込んだとき
6、5		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値は常に 0 にしてください。
4	CIE	0	R/W	桁上げ割り込みイネーブルフラグ 桁上げフラグ (CF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0 : CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させない 1 : CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させる
3	AIE	0	R/W	アラーム割り込みイネーブルフラグ アラームフラグ (AF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0 : AF フラグが 1 にセットされたとき、アラーム割り込みを発生させない 1 : AF フラグが 1 にセットされたとき、アラーム割り込みを発生させる

ビット	ビット名	初期値	R/W	説明
2, 1		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値は常に 0 にしてください。
0	AF	0	R/W	アラームフラグ アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAR) で設定したアラーム時刻 (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき 1 にセットされるフラグです。 0 : アラームレジスタとカウンタは不一致 [クリア条件] AF に 0 を書き込んだとき 1 : アラームレジスタとカウンタは一致* [セット条件] アラームレジスタ (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき 【注】* 1 を書き込むと、元の値が保持されます。

### 26.3.17 RTC コントロールレジスタ 2 (RCR2)

RCR2 は、周期割り込み制御、30 秒調整、分周回路リセット、RTC カウント制御に関するレジスタです。

パワーオンリセット時は H'09 に初期化されます。マニュアルリセット時は、START ビット以外が初期化されます。スタンバイモード時は初期化されず、それまでの値が保持されます。

ビット:	7	6	5	4	3	2	1	0
	PEF	PES[2:0]			—	ADJ	RESET	START
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PEF	0	R/W	周期割り込みフラグ PES[2:0] ビットで設定された周期で割り込み発生を示すフラグです。このフラグが 1 にセットされた場合、周期割り込みを発生します。 0 : PES[2:0] ビットで設定された周期で割り込み発生なし [クリア条件] PEF に 0 を書き込んだとき 1 : PES2 ~ PES0 ビットで設定された周期で割り込み発生あり [セット条件] PES[2:0] ビットで設定された周期で割り込みが発生したとき、または PEF に 1 を書き込んだとき

## 26. リアルタイムクロック (RTC)

ビット	ビット名	初期値	R/W	説 明
6~4	PES[2:0]	000	R/W	<p>割り込みイネーブルフラグ</p> <p>周期割り込みの周期を設定します。</p> <p>000：周期割り込み発生なし</p> <p>001：周期割り込み発生の周期を 1/256 秒ごとにする</p> <p>010：周期割り込み発生の周期を 1/64 秒ごとにする</p> <p>011：周期割り込み発生の周期を 1/16 秒ごとにする</p> <p>100：周期割り込み発生の周期を 1/4 秒ごとにする</p> <p>101：周期割り込み発生の周期を 1/2 秒ごとにする</p> <p>110：周期割り込み発生の周期を 1 秒ごとにする</p> <p>111：周期割り込み発生の周期を 2 秒ごとにする</p>
3		1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込みは無効ですが、書き込む値は常に 1 にしてください。</p>
2	ADJ	0	R/W	<p>30 秒調整</p> <p>30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。自動的にこの ADJ ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。</p> <p>0：通常の時計動作</p> <p>1：30 秒の調整を行う</p>
1	RESET	0	R/W	<p>リセット</p> <p>1 を書き込むことによって、分周回路が初期化されます。なお、1 が書き込まれた場合、分周回路 (RTC プリスケアラおよび R64CNT) はリセットされます。自動的にこの RESET ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。</p> <p>0：通常の時計動作</p> <p>1：分周回路をリセット</p>
0	START	1	R/W	<p>START ビット</p> <p>カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。</p> <p>0：秒、分、時、日、曜日、月、年カウンタは停止</p> <p>1：秒、分、時、日、曜日、月、年カウンタは通常動作</p>

### 26.3.18 RTC コントロールレジスタ (RCR3)

RCR3は、ENB ビットが1にセットされていると、RYRCNTの値と比較を行います。アラームレジスタ(RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3)のうち、ENB ビットが1にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1のアラームフラグが1にセットされます。

RYRARのENB ビットは、パワーオンリセットで初期化されます。RCR3の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1にセットされていると、RYRCNTの値と比較を行います。
6~0		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効ですが、書き込む値も常に0にしてください。

## 26.4 動作説明

RTCの使用例を示します。

### 26.4.1 電源投入後のレジスタの初期設定

電源投入後すべてのレジスタを初期設定してください。

### 26.4.2 時刻設定手順

時刻設定手順例を図 26.2 に示します。

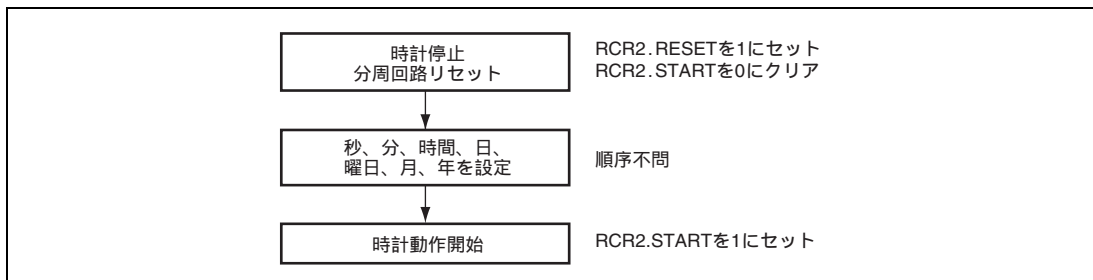


図 26.2 時刻設定手順

## 26. リアルタイムクロック (RTC)

### 26.4.3 時刻読み出し手順

時刻読み出し手順を図 26.3 に示します。

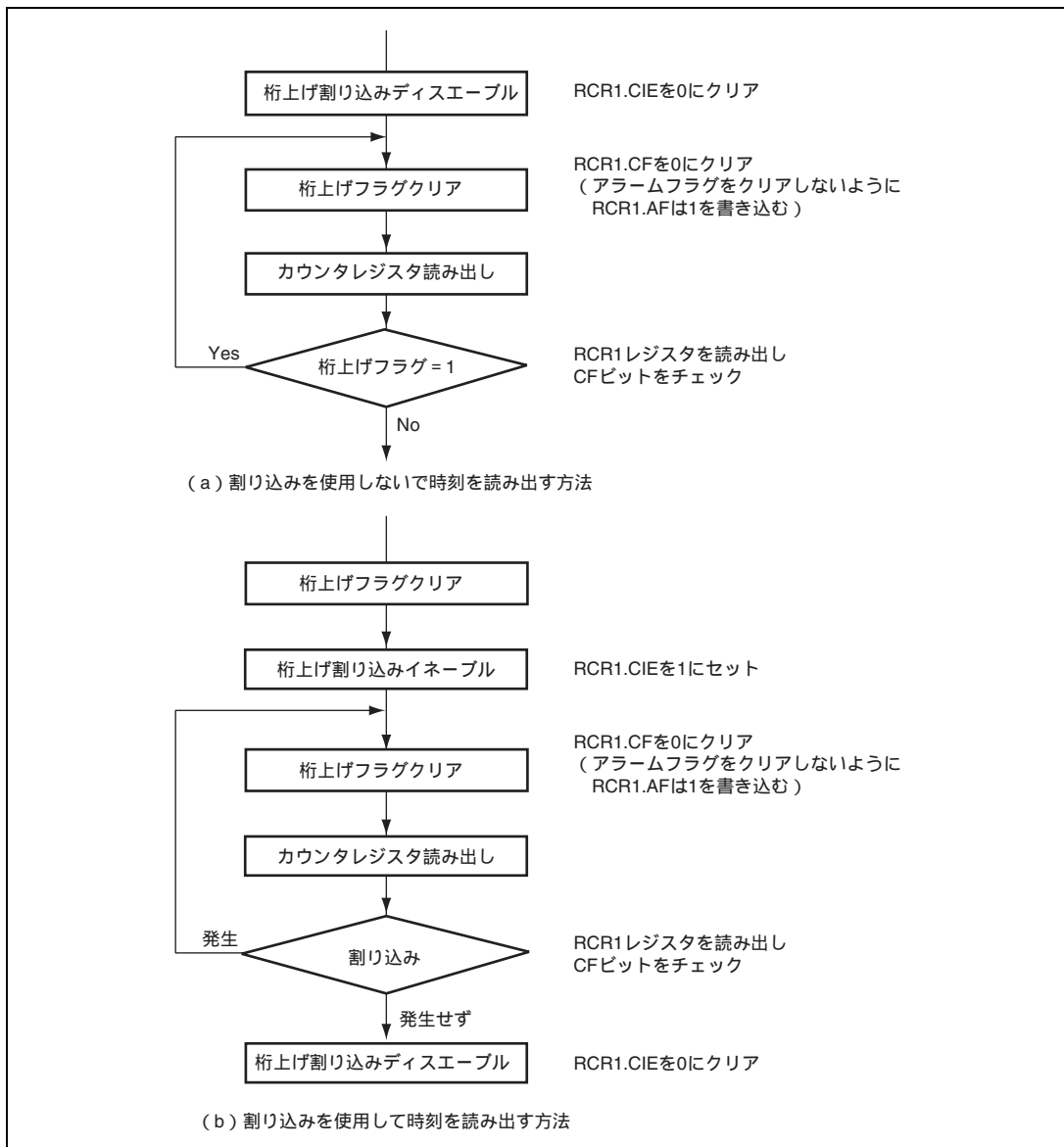


図 26.3 時刻読み出し手順

時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 26.3 の (a) に、桁上げ割り込みを使用する方法を図 26.3 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。



## 26.4.4 アラーム機能

アラーム機能の使用例を図 26.4 に示します。

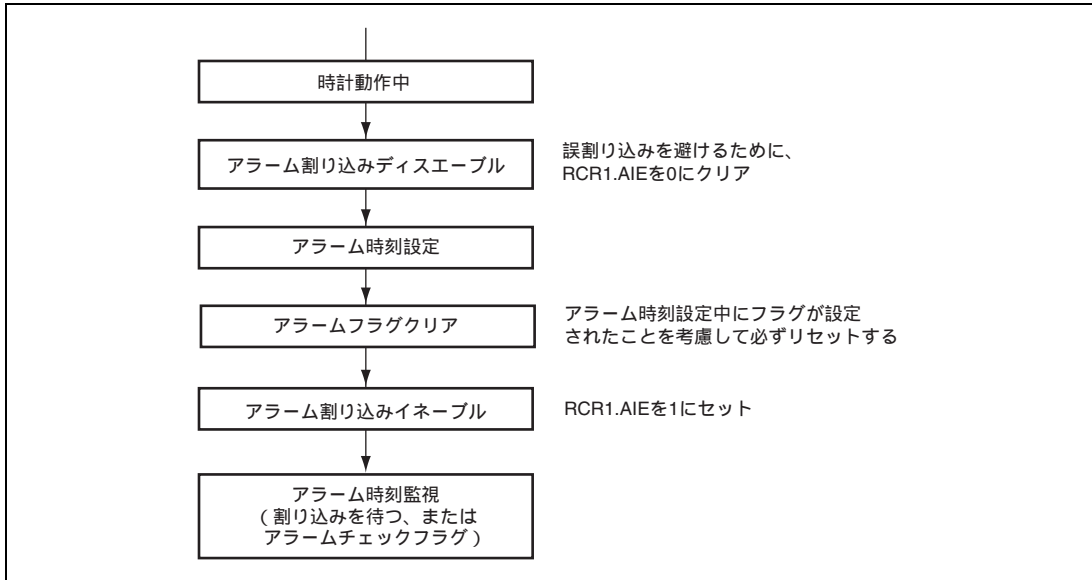


図 26.4 アラーム機能の使用方法

アラームは、秒、分、時、曜日、日、月、年のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするアラームレジスタのENB ビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビットに0を書き込みます。

カウンタとアラーム時刻が一致した場合は、RCR1.AFに1がセットされます。アラームの検出はこのビットを読み出すことにより確認できますが、通常は割り込みで行います。RCR1.AIEに1が書き込まれている場合、アラーム割り込みが発生し、アラームを検出することができます。

アラームフラグは、カウンタとアラーム時刻が一致しているとセットされます。しかし、アラームフラグに0を書き込むとクリアされます。

### 26.5 使用上の注意事項

#### 26.5.1 RTC カウント動作時のレジスタ書き込みについて

RTC カウント動作時 (RCR2 のビット 0=1 のとき) は、以下の RTC レジスタに書き込みができません。

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCONT

上記のレジスタへ書き込みを行う場合は、一度 RTC のカウント動作を停止してから書き込んでください。

#### 26.5.2 リアルタイムクロック (RTC) の周期割り込みの使用について

周期割り込みの使用方法を図 26.5 に示します。

周期割り込みは、RCR2 の PES[2:0] で設定した周期で定期的に割り込みを発生させることができます。PES[2:0] で設定した時間が経過すると PEF が 1 にセットされます。

PEF は、PES[2:0] 設定時および周期割り込み発生時に 0 にクリアします。周期割り込みの発生は、このビットを読み出すことで確認できますが、通常は割り込み機能を使用します。

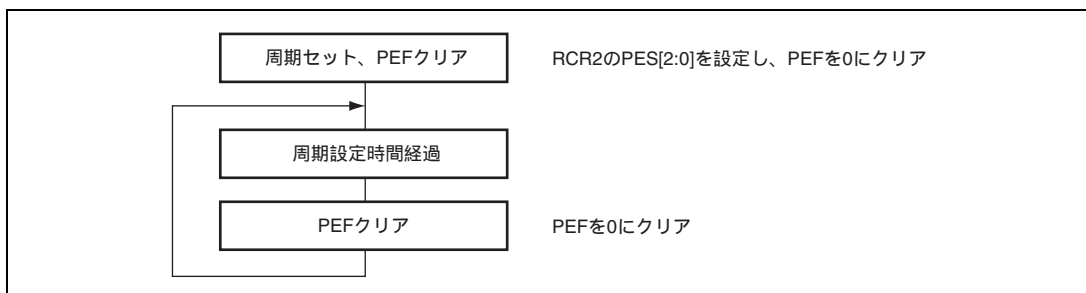


図 26.5 周期割り込み機能の使用方法

#### 26.5.3 レジスタ設定後のスタンバイ遷移について

RTC 内のレジスタ設定後にスタンバイ状態へ遷移すると、正しくカウントできない場合があります。必ずレジスタ設定後は、2RTC クロック以上待ってからスタンバイ状態に遷移してください。

#### 26.5.4 30 秒アジャスト機能の使用について

30 秒アジャスト機能を使用する場合は、次の手順に従ってください。

1. 時計動作を停止する (RCR2.STARTをクリアする)。
2. 各カウンタ (年、月、曜日、日、時間、分) を読み出し後、読み出し値をおののこのカウンタに書き込みする。
3. アジャストセット (RCR2.ADJをセットする)。
4. 時計動作を開始する (RCR2.STARTをセットする)。

---

## 27. LCD コントローラ ( LCDC )

---

LCDC コントローラ ( LCDC ) は、表示データをメモリから受け取り、設定に応じてパレットメモリによって表示色を決定した後、液晶モジュールに送ります。本 LCDC には、RGB インタフェース方式、および 80 系 CPU バスインタフェース方式 ( SYS インタフェース ) の TFT 液晶モジュールを接続することが可能です ( NTSC / PAL 方式、LVDS インタフェース方式の液晶モジュールを除く )。

### 27.1 特長

LCDC には以下のような特長があります。

- TFT液晶モジュールに対応
- 液晶モジュールインタフェースとして以下の2種類をサポート  
RGBインタフェース : 8 / 9 / 12 / 16 / 18 / 24ビットデータバス幅  
80系CPUバスインタフェース ( SYSインタフェース ) : 8 / 9 / 12 / 16 / 18 / 24ビットデータバス幅
- SYSインタフェースでは、メイン液晶 / サブ液晶それぞれに対し、以下の入出力モードをサポート  
メイン液晶モジュール : VSYNC入力 / 出力モード  
サブ液晶モジュール : VSYNC入力 / 出力モード
- 12 / 16 / 18 / 24bppの表示画像データフォーマットをサポート
- 表示画像データは、液晶モジュールのリフレッシュレートに応じて連続的に取得する連続モードと、表示画像のフレームレートに応じて間欠的に取得するワンショットモードをサポート
- 液晶モジュールのパネルサイズに合わせて表示画像データを取得するフル画面モードと、書き換え部分のみを取得するパーシャル画面モードをサポート
- 表示画像データの外部メモリへの書き戻しが可能
- 256エントリ、24ビット入出力のカラーパレットメモリを搭載し、RGB各色に対して補正が可能
- 出力信号のレベル反転機能をサポートし、各種液晶モジュールの信号極性に合わせることが可能
- フレーム単位やユーザ指定ライン位置で割り込み発生が可能
- YCbCr信号を取得し、RGB変換して液晶モジュールに出力可

## 27. LCD コントローラ (LCDC)

LCDC の機能表を表 27.1 に示します。

表27.1 LCDC 機能表

大項目	小項目	機能	補足
入力データ形式	8bpp	RGB 332	
	12bpp	RGB 444	
	16bpp	RGB 565	
	18bpp	RGB 666 BGR 666	
	24bpp	RGB 888 BGR 888	
	YCbCr	YCbCr4:2:0、4:2:2、4:4:4	
出力データ形式	RGB インタフェース	RGB8	3cycle/pixel
		RGB9	2cycle/pixel
		RGB12a	2cycle/pixel
		RGB12b	1cycle/pixel
		RGB16	1cycle/pixel
		RGB18	1cycle/pixel
		RGB24	1cycle/pixel
	SYS インタフェース	SYS8a	3cycle/pixel
		SYS8b	3cycle/pixel
		SYS8c	2cycle/pixel
		SYS8d	2cycle/pixel
		SYS9	2cycle/pixel
		SYS12	2cycle/pixel
		SYS16a	1cycle/pixel
		SYS16b	2cycle/pixel
		SYS16c	2cycle/pixel
		SYS18	1cycle/pixel
	表示データ 書き戻し	WB8a	<ul style="list-style-type: none"> <li>• バック化</li> <li>• 32 ビット単位書き戻し</li> <li>• バイト/ワードスワップ</li> </ul>
		WB8d	
		WB9	
		WB16	
		WB18	
		WB24	

27. LCD コントローラ (LCDC)

大項目	小項目	機能	補足
LCD ドライバ インタフェース	RGB インタフェース	HSYNC、VSYNC によるインタフェース <ul style="list-style-type: none"> <li>• 極性反転</li> <li>• 出力幅、位置設定</li> </ul>	
	SYS インタフェース	80 系バスインタフェース <ul style="list-style-type: none"> <li>• VSYNC 入力 / 出力対応</li> <li>• サブ液晶接続</li> </ul>	
ドットクロック	ソースクロック	バスクロック、外部入力クロック、周辺クロック	
	分周比	n/m m = 60、54、48、42 $1 \leq n \leq m/3, m/2$	
割り込み	ユーザ指定	指定ラインを読み込み完了時に発生	
	フレーム	フレームのピクセル出力開始時に発生	
		フレームのピクセル出力終了時に発生	
	VRAM リード	VRAM アクセスのフレーム終了時に発生	
		VRAM アクセスのライン終了時に発生	
	VSYNC	VSYNC アサート時に発生	
VSYNC ネゲート時に発生			
表示画像	画像データ取得	液晶モジュールのリフレッシュレートに合わせて取得	
		動画等のフレームレートに応じて任意のタイミングで取得	
	表示画像サイズ	全画面表示	
		指定した部分のみを書き換え	
画像データ加工	カラーパレットにより、RGB 各色に対して変換処理 <ul style="list-style-type: none"> <li>• 256 エントリ</li> <li>• 24 ビット入出力</li> </ul>		
フォーマット変換	YCbCr RGB	YCbCr データを RGB に変換して出力	

## 27. LCD コントローラ ( LCDC )

LCDC のブロック図を図 27.1 に示します。

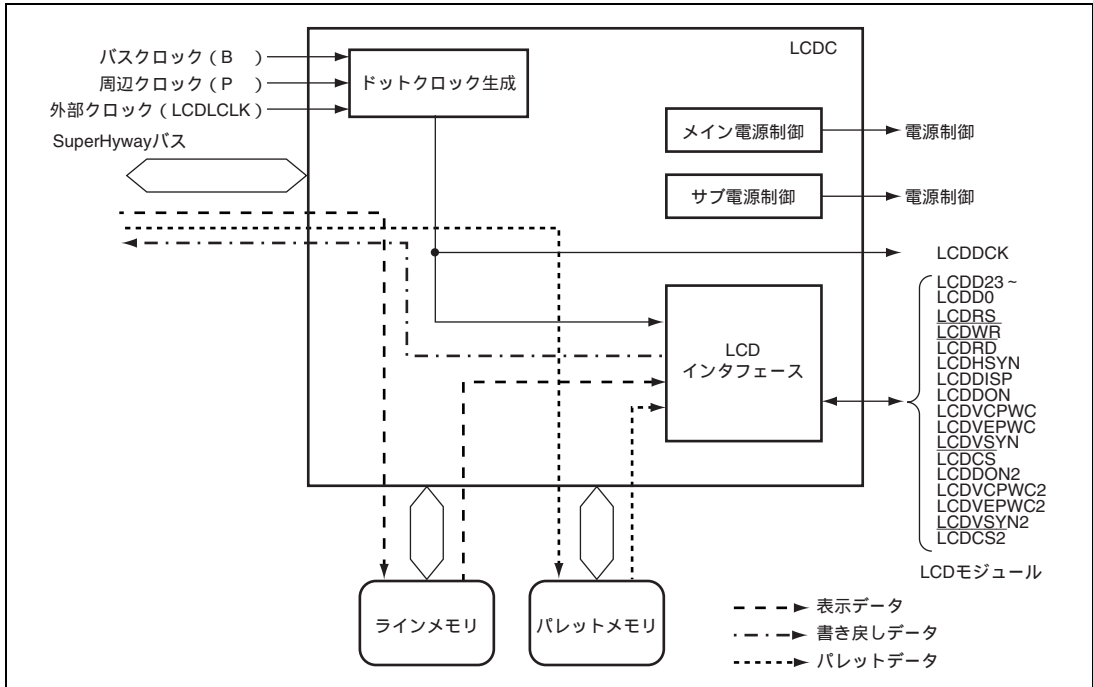


図27.1 LCDC のブロック図

## 27.2 端子構成

LCDC の端子構成を表 27.2 に示します。

表27.2 端子構成

端子名	機能	入出力	説明
LCDDON/ LCDDON2	表示 ON/OFF 信号	出力	表示開始信号 (DON) (メイン液晶用) / (サブ液晶用)
LCDVCPWC/ LCDVCPWC2	電源制御	出力	液晶モジュール電源制御 ( $V_{CC}$ ) (メイン液晶用) / (サブ液晶用)
LCDVEPWC/ LCDVEPWC2	電源制御	出力	液晶モジュール電源制御 ( $V_{EE}$ ) (メイン液晶用) / (サブ液晶用)
LCDDCK/LCDWR	ドットクロック/ ライトストロープ	出力	ドットクロック信号 (RGB インタフェース時) / ライトストロープ信号 (SYS インタフェース時)
LCDVSYN	垂直同期信号	出力 / 入出力	メイン液晶用垂直同期信号 (VSYNC) (RGB インタフェース時 : 出力、 SYS インタフェース : 入出力)
LCDVSYN2	垂直同期信号	入出力	サブ液晶用垂直同期信号 (VSYNC) SYS インタフェース
LCDHSYN/LCDCS	水平同期信号 / チップセレクト	出力	水平同期信号 (RGB インタフェース時) / メイン液晶用チップセレクト信号 (SYS インタフェース時)
LCDCS2	チップセレクト	出力	サブ液晶用チップセレクト (SYS インタフェース)
LCDDISP/LCDRS	表示イネーブル/ レジスタセレクト	出力	表示イネーブル信号 (RGB インタフェース時) / レジスタセレクト信号 (SYS インタフェース時)
LCDRD	リードストロープ	出力	リードストロープ信号 (SYS インタフェース時)
LCDD23 ~ LCDD0	LCD データバス	出力 / 入出力	液晶パネル用データ (RGB インタフェース時 : 出力、 SYS インタフェース時 : 入出力)
LCDLCLK	入力クロック	入力	LCD ソースクロック (外部入力)

## 27. LCD コントローラ (LCDC)

### 27.3 レジスタの説明

LCDC のレジスタ構成を表 27.3 に示します。また、各処理モードにおけるレジスタの状態を表 27.4 に示します。

LCDC のレジスタは、一部を除いて 2 面構成 (A 面、B 面) となっています。LCDC は、この 2 面のレジスタを切り替えて使用します。また、2 面あるレジスタの場合、ミラーアドレスとして、常に使用していない面のレジスタにアクセスできるアドレスも用意してあります。

表27.3 レジスタ構成

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラー アドレス	
LCDC バレットデータレジスタ	LDPR00 ~ LDPRFF	R/W	H'FE94 0000 ~ H'FE94 03FC	-	-	32
メイン LCD ドットクロックパターン レジスタ 1	MLDDCKPAT1R	R/W	H'FE94 0400	-	-	32
メイン LCD ドットクロックパターン レジスタ 2	MLDDCKPAT2R	R/W	H'FE94 0404	-	-	32
サブ LCD ドットクロックパターン レジスタ 1	SLDDCKPAT1R	R/W	H'FE94 0408	-	-	32
サブ LCD ドットクロックパターン レジスタ 2	SLDDCKPAT2R	R/W	H'FE94 040C	-	-	32
LCDC ドットクロックレジスタ	LDCKR	R/W	H'FE94 0410	-	-	32
ドットクロックストップレジスタ	LDCKSTPR	R/W	H'FE94 0414	-	-	32
メイン LCD モジュールタイプレジスタ 1	MLDMT1R	R/W	H'FE94 0418	H'FE94 1418	H'FE94 2418	32
メイン LCD モジュールタイプレジスタ 2	MLDMT2R	R/W	H'FE94 041C	H'FE94 141C	H'FE94 241C	32
メイン LCD モジュールタイプレジスタ 3	MLDMT3R	R/W	H'FE94 0420	H'FE94 1420	H'FE94 2420	32
メイン LCD データフォーマットレジスタ	MLDDFR	R/W	H'FE94 0424	H'FE94 1424	H'FE94 2424	32
メイン LCD スキャンモードレジスタ 1	MLDSM1R	R/W	H'FE94 0428	H'FE94 1428	H'FE94 2428	32
メイン LCD スキャンモードレジスタ 2	MLDSM2R	R/W	H'FE94 042C	-	-	32
メイン LCD 表示データ取り込み開始 アドレスレジスタ 1	MLDSA1R	R/W	H'FE94 0430	H'FE94 1430	H'FE94 2430	32
メイン LCD 表示データ取り込み開始 アドレスレジスタ 2	MLDSA2R	R/W	H'FE94 0434	H'FE94 1434	H'FE94 2434	32
メイン LCD 表示データ格納メモリ ラインサイズレジスタ	MLDMSR	R/W	H'FE94 0438	H'FE94 1438	H'FE94 2438	32
メイン LCD 書き戻しデータフォーマット レジスタ	MLDWBFR	R/W	H'FE94 043C	H'FE94 143C	H'FE94 243C	32
メイン LCD 書き戻し制御レジスタ	MLDWBCNTR	R/W	H'FE94 0440	H'FE94 1440	H'FE94 2440	32



## 27. LCD コントローラ (LCDC)

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A面)	アドレス (B面)	ミラー アドレス	
メイン LCD 書き戻し先開始アドレス レジスタ	MLDWBAR	R/W	H'FE94 0444	H'FE94 1444	H'FE94 2444	32
メイン LCD 水平キャラクタナンバー レジスタ	MLDHCNR	R/W	H'FE94 0448	H'FE94 1448	H'FE94 2448	32
メイン LCD 水平同期信号レジスタ	MLDHSYNR	R/W	H'FE94 044C	H'FE94 144C	H'FE94 244C	32
メイン LCD 垂直ラインナンバーレジスタ	MLDVLNR	R/W	H'FE94 0450	H'FE94 1450	H'FE94 2450	32
メイン LCD 垂直同期信号レジスタ	MLDVSYNR	R/W	H'FE94 0454	H'FE94 1454	H'FE94 2454	32
メイン LCD 水平パースシャル画面レジスタ	MLDHPDR	R/W	H'FE94 0458	H'FE94 1458	H'FE94 2458	32
メイン LCD 垂直パースシャル画面レジスタ	MLDVPDR	R/W	H'FE94 045C	H'FE94 145C	H'FE94 245C	32
メイン LCD パワーマネジメントレジスタ	MLDPMR	R/W	H'FE94 0460	-	-	32
LCDC パレット制御レジスタ	LDPALCR	R/W	H'FE94 0464	-	-	32
LCDC 割り込みレジスタ	LDINTR	R/W	H'FE94 0468	-	-	32
LCDC ステータスレジスタ	LDSR	R	H'FE94 046C	-	-	32
LCDC 制御レジスタ 1	LDCNT1R	R/W	H'FE94 0470	-	-	32
LCDC 制御レジスタ 2	LDCNT2R	R/W	H'FE94 0474	-	-	32
LCDC レジスタ面制御レジスタ	LDRCNTR	R/W	H'FE94 0478	-	-	32
LCDC 入力画像データスワップレジスタ	LDDDSR	R/W	H'FE94 047C	-	-	32
LCDC レジスタ面強制指定レジスタ	LDRCR	R/W	H'FE94 0484	-	-	32
サブ LCD モジュールタイプレジスタ 1	SLDMT1R	R/W	H'FE94 0600	H'FE94 1600	H'FE94 2600	32
サブ LCD モジュールタイプレジスタ 2	SLDMT2R	R/W	H'FE94 0604	H'FE94 1604	H'FE94 2604	32
サブ LCD モジュールタイプレジスタ 3	SLDMT3R	R/W	H'FE94 0608	H'FE94 1608	H'FE94 2608	32
サブ LCD データフォーマットレジスタ	SLDDFR	R/W	H'FE94 060C	H'FE94 160C	H'FE94 260C	32
サブ LCD スキャンモードレジスタ 1	SLDSM1R	R/W	H'FE94 0610	H'FE94 1610	H'FE94 2610	32
サブ LCD スキャンモードレジスタ 2	SLDSM2R	R/W	H'FE94 0614	-	-	32
サブ LCD 表示データ取り込み開始アドレス レジスタ 1	SLDSA1R	R/W	H'FE94 0618	H'FE94 1618	H'FE94 2618	32
サブ LCD 表示データ取り込み開始アドレス レジスタ 2	SLDSA2R	R/W	H'FE94 061C	H'FE94 161C	H'FE94 261C	32
サブ LCD 表示データ格納メモリ ラインサイズレジスタ	SLDMLSR	R/W	H'FE94 0620	H'FE94 1620	H'FE94 2620	32
サブ LCD 水平キャラクタナンバーレジスタ	SLDHCNR	R/W	H'FE94 0624	H'FE94 1624	H'FE94 2624	32
サブ LCD 水平同期信号レジスタ	SLDHSYNR	R/W	H'FE94 0628	H'FE94 1628	H'FE94 2628	32
サブ LCD 垂直ラインナンバーレジスタ	SLDVLNR	R/W	H'FE94 062C	H'FE94 162C	H'FE94 262C	32
サブ LCD 垂直同期信号レジスタ	SLDVSYNR	R/W	H'FE94 0630	H'FE94 1630	H'FE94 2630	32
サブ LCD 水平パースシャル画面レジスタ	SLDHPDR	R/W	H'FE94 0634	H'FE94 1634	H'FE94 2634	32
サブ LCD 垂直パースシャル画面レジスタ	SLDVPDR	R/W	H'FE94 0638	H'FE94 1638	H'FE94 2638	32

## 27. LCD コントローラ ( LCDC )

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A面)	アドレス (B面)	ミラー アドレス	
サブ LCD パワーマネジメントレジスタ	SLDPMR	R/W	H'FE94 063C	-	-	32
LCDC ドライバライトデータレジスタ 0	LDDWD0R	R/W	H'FE94 0800	-	-	32
LCDC ドライバライトデータレジスタ 1	LDDWD1R	R/W	H'FE94 0804	-	-	32
LCDC ドライバライトデータレジスタ 2	LDDWD2R	R/W	H'FE94 0808	-	-	32
LCDC ドライバライトデータレジスタ 3	LDDWD3R	R/W	H'FE94 080C	-	-	32
LCDC ドライバライトデータレジスタ 4	LDDWD4R	R/W	H'FE94 0810	-	-	32
LCDC ドライバライトデータレジスタ 5	LDDWD5R	R/W	H'FE94 0814	-	-	32
LCDC ドライバライトデータレジスタ 6	LDDWD6R	R/W	H'FE94 0818	-	-	32
LCDC ドライバライトデータレジスタ 7	LDDWD7R	R/W	H'FE94 081C	-	-	32
LCDC ドライバライトデータレジスタ 8	LDDWD8R	R/W	H'FE94 0820	-	-	32
LCDC ドライバライトデータレジスタ 9	LDDWD9R	R/W	H'FE94 0824	-	-	32
LCDC ドライバライトデータレジスタ A	LDDWDAR	R/W	H'FE94 0828	-	-	32
LCDC ドライバライトデータレジスタ B	LDDWDBR	R/W	H'FE94 082C	-	-	32
LCDC ドライバライトデータレジスタ C	LDDWDCCR	R/W	H'FE94 0830	-	-	32
LCDC ドライバライトデータレジスタ D	LDDWDDR	R/W	H'FE94 0834	-	-	32
LCDC ドライバライトデータレジスタ E	LDDWDER	R/W	H'FE94 0838	-	-	32
LCDC ドライバライトデータレジスタ F	LDDWDFR	R/W	H'FE94 083C	-	-	32
LCDC ドライバライトデータレジスタ	LDDRDR	R/W	H'FE94 0840	-	-	32
LCDC ドライバライトアクセスレジスタ	LDDWAR	R/W	H'FE94 0900	-	-	32
LCDC ドライバライトアクセスレジスタ	LDDRAR	R/W	H'FE94 0904	-	-	32

表27.4 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
LDPR00 ~ LDPRFF	初期化	初期化	保持	保持	初期化	保持
MLDDCKPAT1R	初期化	初期化	保持	保持	初期化	保持
MLDDCKPAT2R	初期化	初期化	保持	保持	初期化	保持
SLDDCKPAT1R	初期化	初期化	保持	保持	初期化	保持
SLDDCKPAT2R	初期化	初期化	保持	保持	初期化	保持
LDDCKR	初期化	初期化	保持	保持	初期化	保持
LDDCKSTPR	初期化	初期化	保持	保持	初期化	保持
MLDMT1R	初期化	初期化	保持	保持	初期化	保持
MLDMT2R	初期化	初期化	保持	保持	初期化	保持
MLDMT3R	初期化	初期化	保持	保持	初期化	保持
MLDDFR	初期化	初期化	保持	保持	初期化	保持
MLDSM1R	初期化	初期化	保持	保持	初期化	保持
MLDSM2R	初期化	初期化	保持	保持	初期化	保持
MLDSA1R	初期化	初期化	保持	保持	初期化	保持
MLDSA2R	初期化	初期化	保持	保持	初期化	保持
MLDMLSR	初期化	初期化	保持	保持	初期化	保持
MLDWBFR	初期化	初期化	保持	保持	初期化	保持
MLDWBCNTR	初期化	初期化	保持	保持	初期化	保持
MLDWBAR	初期化	初期化	保持	保持	初期化	保持
MLDHCNR	初期化	初期化	保持	保持	初期化	保持
MLDHSYNR	初期化	初期化	保持	保持	初期化	保持
MLDVLNR	初期化	初期化	保持	保持	初期化	保持
MLDVSYNR	初期化	初期化	保持	保持	初期化	保持
MLDHPDR	初期化	初期化	保持	保持	初期化	保持
MLDVPDR	初期化	初期化	保持	保持	初期化	保持
MLDPMR	初期化	初期化	保持	保持	初期化	保持
LDPALCR	初期化	初期化	保持	保持	初期化	保持
LDINTR	初期化	初期化	保持	保持	初期化	保持
LDSR	初期化	初期化	保持	保持	初期化	保持
LDCNT1R	初期化	初期化	保持	保持	初期化	保持
LDCNT2R	初期化	初期化	保持	保持	初期化	保持
LDRCNTR	初期化	初期化	保持	保持	初期化	保持

## 27. LCD コントローラ (LCDC)

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
LDDDSR	初期化	初期化	保持	保持	初期化	保持
LDRCR	初期化	初期化	保持	保持	初期化	保持
SLDMT1R	初期化	初期化	保持	保持	初期化	保持
SLDMT2R	初期化	初期化	保持	保持	初期化	保持
SLDMT3R	初期化	初期化	保持	保持	初期化	保持
SLDDFR	初期化	初期化	保持	保持	初期化	保持
SLDSM1R	初期化	初期化	保持	保持	初期化	保持
SLDSM2R	初期化	初期化	保持	保持	初期化	保持
SLDSA1R	初期化	初期化	保持	保持	初期化	保持
SLDSA2R	初期化	初期化	保持	保持	初期化	保持
SLDMLSR	初期化	初期化	保持	保持	初期化	保持
SLDHCNR	初期化	初期化	保持	保持	初期化	保持
SLDHSYNR	初期化	初期化	保持	保持	初期化	保持
SLDVLNR	初期化	初期化	保持	保持	初期化	保持
SLDVSYNR	初期化	初期化	保持	保持	初期化	保持
SLDHPDR	初期化	初期化	保持	保持	初期化	保持
SLDVPDR	初期化	初期化	保持	保持	初期化	保持
SLDPMR	初期化	初期化	保持	保持	初期化	保持
LDDWD0R ~ LDDWDFR	初期化	初期化	保持	保持	初期化	保持
LDDRDR	初期化	初期化	保持	保持	初期化	保持
LDDWAR	初期化	初期化	保持	保持	初期化	保持
LDDRAR	初期化	初期化	保持	保持	初期化	保持

## 27.3.1 LCDC パレットデータレジスタ 00 ~ FF (LDPR00 ~ LDPRFF)

LDPRnn は、パレットメモリにパレットデータを設定するためのレジスタです。本レジスタ群の該当するレジスタを経由して、任意のパレットメモリにアクセスしてください。一つ一つのレジスタは、R、G、B おおの 8 ビットずつの有効領域を含む 32 ビットのレジスタです。カラーパレットの詳細仕様、および設定方法については「27.4.2 カラーパレット仕様について」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	PALDnn[23:16]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PALDnn[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
23~0	PALDnn[23:0]	H'00 0000	R/W	パレットデータ

【注】 nn = 00 ~ FF

## 27.3.2 メイン LCD ドットクロックパターンレジスタ 1 (MLDDCKPAT1R)

MLDDCKPAT1R は、メイン液晶のドットクロック出力パターンの上位 28 ビットを設定するレジスタです。LCDC では、LCDC の動作クロック (ドットクロック) を設定する際、バスクロックを分周することでドットクロックを生成します。ドットクロックの設定例は「27.4.7 ドットクロック設定例」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	DCKPAT1[59:48]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCKPAT1[47:32]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
27~0	DCKPAT1[59:32]	H'000 0000	R/W	ドットクロックパターン 1[59:32] ソースクロックを分周したドットクロック出力パターンの上位 28 ビットを設定します (MLDDCKPAT2R と合わせて最大 60 ビット)。

## 27. LCD コントローラ (LCDC)

### 27.3.3 メイン LCD ドットクロックパターンレジスタ 2 (MLDDCKPAT2R)

MLDDCKPAT2R は、メイン液晶のドットクロック出力パターンの下位 32 ビットを設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCKPAT1[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCKPAT1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DCKPAT1[31:0]	H'0000 0000	R/W	ドットクロックパターン 1[31:0] ソースクロックを分周したドットクロック出力パターンの下位 32 ビットを設定します (MLDDCKPAT1R と合わせて最大 60 ビット)。

### 27.3.4 サブ LCD ドットクロックパターンレジスタ 1 (SLDDCKPAT1R)

SLDDCKPAT1R は、サブ液晶のドットクロック出力パターンの上位 28 ビットを設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	DCKPAT2[59:48]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCKPAT2[47:32]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
27~0	DCKPAT2[59:32]	H'000 0000	R/W	ドットクロックパターン 2[59:32] ソースクロックを分周したドットクロック出力パターンの上位 28 ビットを設定します (SLDDCKPAT2R と合わせて最大 60 ビット)。

## 27.3.5 サブ LCD ドットクロックパターンレジスタ 2 (SLDDCKPAT2R)

SLDDCKPAT2R は、サブ液晶のドットクロック出力パターンの下位 32 ビットを設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCKPAT2[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCKPAT2[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DCKPAT2[31:0]	H'0000 0000	R/W	ドットクロックパターン 2[31:0] ソースクロックを分周したドットクロック出力パターンの下位 32 ビットを設定します (SLDDCKPAT1R と合わせて最大 60 ビット)。

## 27.3.6 LCDC ドットクロックレジスタ (LDDCKR)

LDDCKR は、入力クロックを選択し、出力するドットクロックの分周比を設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ICKSEL[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	SOSEL	SDCDR[5:0]					-	MOSEL	MDCDR[5:0]							
初期値:	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
17, 16	ICKSEL[1:0]	00	R/W	入力クロック選択* ドットクロックの供給クロックを選択します。 メイン液晶およびサブ液晶で共通です。 00: バスクロック (B ) を選択 01: 周辺クロック (P ) を選択 10: 外部クロック (LCDLCLK) を選択 11: 設定禁止
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

## 27. LCD コントローラ (LCDC)

ビット	ビット名	初期値	R/W	説明
14	SOSEL	0	R/W	サブ液晶出力クロック選択 サブ液晶動作のドットクロックとして、分周比が 1/1 のクロック、または本レジスタで設定した分周比のクロックのいずれかを選択します。 0 : 1/1 分周以外を使用 1 : 1/1 分周を使用
13~8	SDCDR[5:0]	111100	R/W	クロック分周比 サブ液晶の入力クロック分周比 (n/m) の分母値 (m) を設定します。
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
6	MOSEL	0	R/W	メイン液晶出力クロック選択 メイン液晶動作のドットクロックとして、分周比が 1/1 のクロック、または本レジスタで設定した分周比のクロックのいずれかを選択します。 0 : 1/1 分周以外を使用 1 : 1/1 分周を使用
5~0	MDCDR[5:0]	111100	R/W	クロック分周比 メイン液晶の入力クロック分周比 (n/m) の分母値 (m) を設定します。

【注】 \* CPG により、バスクロックと周辺クロックの周波数を同一に設定した場合は、バスクロックを選択 (ICKSEL ビット=B'00) してください。

### 27.3.7 ドットクロックストップレジスタ (LDDCKSTPR)

LDDCKSTPR は、LCDC ドットクロックの停止 / 再開を制御するレジスタです。

ドットクロック停止 再供給する場合、DCKSTP ビットを 1 に設定し、DCKSTS ビットが 1 になったことを確認してから、各種設定を行い、ドットクロック再供給を行ってください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DCKSTS
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DCKSTP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も必ず 0 にしてください。
16	DCKSTS	0	R	ドットクロックステータス LCDC 内のドットクロックが停止しているときに 1 にセットされます。 0 : ドットクロック供給中 1 : ドットクロック停止中



ビット	ビット名	初期値	R/W	説明
15~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
0	DCKSTP	0	R/W	ドットクロック停止 / 再開制御 LCDC 内のドットクロックの停止 / 再開を指示します。 0 : ドットクロック供給 1 : ドットクロック停止

### 27.3.8 メイン LCD モジュールタイプレジスタ 1 (MLDMT1R)

MLDMT1R は、メイン液晶のモジュールインタフェース (RGB / SYS) の選択、液晶モジュールと接続する際の転送モード、および RGB インタフェース使用時の信号極性制御を行うレジスタです。

LCDC では、メイン LCD モジュールタイプレジスタ 1~3 を用いて、接続する液晶パネルに適合するインタフェースモード、制御信号極性、データバス幅、アクセスサイクル数等を設定することが可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	VPOL	HPOL	DW POL	DI POL	DA POL	-	-	-	-	-	-	HS CNT	DW CNT
初期値 :	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	IFM	-	-	-	-	-	-	-	-	MIFTYP[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W :	R	R	R	R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
28	VPOL	0	R/W	垂直同期信号極性選択 本ビットは、VSYNC 出力モード (MLDMT2R の VSEL ビット=0) 時、RGB インタフェースもしくは SYS インタフェースでメイン液晶モジュールに接続する際の VSYNC 信号極性を選択します。また、本ビットは、VSYNC 入力モード (MLDMT2R の VSEL ビット=1) の場合、入力する VSYNC 信号の極性を変更します。LCDC 内部の VSYNC 信号極性はハイアクティブですので、これに合わせて極性を変更してください。 <ul style="list-style-type: none"> <li>• VSYNC 出力モード時 0 : VSYNC 信号はハイアクティブ 1 : VSYNC 信号はローアクティブ</li> <li>• VSYNC 入力モード時 0 : VSYNC 信号の極性を反転しない 1 : VSYNC 信号の極性を反転する</li> </ul>

## 27. LCD コントローラ (LCDC)

ビット	ビット名	初期値	R/W	説明
27	HPOL	0	R/W	<p>水平同期信号極性選択</p> <p>本ビットは、RGB インタフェースでメイン液晶モジュールに接続する際の HSYNC 信号極性を選択します。IFM ビットが RGB インタフェースモード時のみ有効となります。</p> <p>0 : HSYNC 信号はハイアクティブ 1 : HSYNC 信号はローアクティブ</p>
26	DWPOL	1	R/W	<p>ドットクロック極性選択</p> <p>本ビットは、RGB インタフェースでメイン液晶モジュールに接続する際のドットクロック信号極性を選択します。</p> <p>0 : ドットクロックの立ち下がりエッジでデータをラッチ 1 : ドットクロックの立ち上がりエッジでデータをラッチ</p>
25	DIPOL	0	R/W	<p>表示イネーブル極性選択</p> <p>本ビットは、RGB インタフェースでメイン液晶モジュールに接続する際の表示イネーブル信号極性を選択します。IFM ビットが RGB インタフェースモード時のみ有効となります。</p> <p>0 : 表示イネーブル信号はハイアクティブ 1 : 表示イネーブル信号はローアクティブ</p>
24	DAPOL	0	R/W	<p>表示データ極性選択</p> <p>本ビットは、RGB インタフェースもしくは SYS インタフェースでメイン液晶モジュールに接続する際の表示データ極性を選択します。SYS インタフェース時、本ビットの設定は表示データにのみ有効となり、接続する液晶ドライバへのコマンドやインストラクションには影響しません。</p> <p>0 : 表示データはハイアクティブ 1 : 表示データはローアクティブ</p>
23~18	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>
17	HSCNT	0	R/W	<p>HSYNC 信号出力制御</p> <p>本ビットは、垂直帰線期間中の HSYNC 出力信号を制御します。IFM ビットが RGB インタフェースモード時のみ有効となります。</p> <p>0 : 垂直帰線期間で HSYNC を出力する 1 : 垂直帰線期間で HSYNC を出力しない</p>
16	DWCNT	0	R/W	<p>ドットクロック制御</p> <p>本ビットは、RGB インタフェースモード時の水平 / 垂直帰線期間中のドットクロック信号を制御します。</p> <p>0 : 水平 / 垂直帰線期間でドットクロックを出力する 1 : 水平 / 垂直帰線期間でドットクロックを出力しない</p>
15~13	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>
12	IFM	0	R/W	<p>インタフェースモード設定</p> <p>メイン液晶モジュールと接続する際のインタフェースモードを設定します。</p> <p>0 : RGB インタフェースモード 1 : SYS インタフェースモード</p>

ビット	ビット名	初期値	R/W	説明
11~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
3~0	MIFTYP[3:0]	1010	R/W	メイン液晶モジュール設定 IFM ビットで選択されたメイン液晶モジュールの種類を設定します (表 27.5、図 27.13 参照)。

表27.5 メイン液晶モジュール設定

- IFMビット = B'0

MIFTYP[3:0]	説明
0000	RGB8 (24bpp、3 回転送、8:8:8)
0001	リザーブ
0010	リザーブ
0011	リザーブ
0100	RGB9 (18bpp、2 回転送、9:9)
0101	RGB12a (24bpp、2 回転送、12:12)
0110	RGB12b (12bpp、1 回転送)
0111	RGB16 (16bpp、1 回転送)
1000	リザーブ
1001	リザーブ
1010	RGB18 (18bpp、1 回転送)
1011	RGB24 (24bpp、1 回転送)
1100 ~ 1111	リザーブ

- IFMビット = B'1

MIFTYP[3:0]	説明
0000	SYS8a (24bpp、3 回転送、8:8:8)
0001	SYS8b (18bpp、3 回転送、8:8:2)
0010	SYS8c (18bpp、3 回転送、2:8:8)
0011	SYS8d (16bpp、2 回転送、8:8)
0100	SYS9 (18bpp、2 回転送、9:9)
0101	SYS12 (24bpp、2 回転送、12:12)
0110	リザーブ
0111	SYS16a (16bpp、1 回転送)
1000	SYS16b (18bpp、2 回転送、16:2)
1001	SYS16c (18bpp、2 回転送、2:16)
1010	SYS18 (18bpp、1 回転送)
1011	SYS24 (24bpp、1 回転送)
1100 ~ 1111	リザーブ

## 27. LCD コントローラ (LCDC)

### 27.3.9 メイン LCD モジュールタイプレジスタ 2 (MLDMT2R)

MLDMT2R は、メイン液晶の SYS インタフェース使用時のライトウェイト制御、アクセスステータス表示を行うレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	CSUP[2:0]			RSV	VSEL	WCSC[7:0]							
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WCEC[7:0]							WCLW[7:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
28~26	CSUP[2:0]	001	R/W	チップセレクトセットアップ期間設定 本ビットは、SYS インタフェース時、表示データを転送する際のチップセレクトのセットアップ期間を設定します。
25	RSV	0	R/W	VSYNC モードレジスタセレクト極性設定 本ビットは、SYS インタフェース時、表示データを転送する際のレジスタセレクト極性を設定します。 0: レジスタセレクトはロー 1: レジスタセレクトはハイ
24	VSEL	0	R/W	VSYNC 入出力モード選択 本ビットは、SYS インタフェース時、接続するメイン液晶の VSYNC 入出力モードを選択します。本ビットは SYS インタフェースでメイン液晶に接続しているときのみ有効です。本ビットを変更できるのは LDCNT2R の DO ビットが 0 のときのみです。 0: VSYNC 出力モード (LCDC が VSYNC を出力) 1: VSYNC 入力モード (LCDC は外部からの VSYNC を受け付け、それに応じて表示データ / コマンドを出力)
23~16	WCSC[7:0]	H'00	R/W	セットアップ期間設定 SYS インタフェース時、ライトストロープのセットアップ期間をバスクロック単位で設定します。
15~8	WCEC[7:0]	H'00	R/W	ライトサイクル期間設定 SYS インタフェース時、ライトストロープのサイクル期間をバスクロック単位で設定します
7~0	WCLW[7:0]	H'00	R/W	ロー期間設定 SYS インタフェース時、ライトストロープのロー期間をバスクロック単位で設定します。

## 27.3.10 メイン LCD モジュールタイプレジスタ 3 (MLDMT3R)

MLDMT3R は、メイン液晶の SYS インタフェース使用時のリードウェイト制御を行うレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	RDLC[5:0]						RCSC[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCEC[7:0]								RCLW[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
29~24	RDLC[5:0]	00000	R/W	リードデータラッチ設定 SYS インタフェース時、リードデータをラッチするタイミングをバスクロック単位で設定します。
23~16	RCSC[7:0]	H'00	R/W	セットアップ期間設定 SYS インタフェース時、リードストローブのセットアップ期間をバスクロック単位で設定します。
15~8	RCEC[7:0]	H'00	R/W	リードサイクル期間設定 SYS インタフェース時、リードストローブのサイクル期間をバスクロック単位で設定します。
7~0	RCLW[7:0]	H'00	R/W	ロー期間設定 SYS インタフェース時、リードストローブのロー期間をバスクロック単位で設定します。

## 27. LCD コントローラ (LCDC)

### 27.3.11 メイン LCD データフォーマットレジスタ (MLDDFR)

MLDDFR は、メイン液晶の入力画像データの種類を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CF	CC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	YF[1:0]	-	-	-	PKF[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
17	CF	0	R/W	YCbCr RGB 変換式指定 0: エクステンション型 RGB 変換式を使用 1: コンプレスト型 RGB 変換式を使用
16	CC	0	R/W	YCbCr RGB 変換指定 YCbCr RGB 変換の指定を行います。メモリ上にある表示データが YCbCr 形式の場合に指定します。 0: YCbCr RGB 変換を行わない 1: YCbCr RGB 変換を行う
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
9, 8	YF[1:0]	00	R/W	入力画像 YCbCr データバック形式 入力画像データが YCbCr 形式のときのバック形式を指定します。 MLDDFR の CC ビットが 1 のときのみ有効です。 00: 入力画像データが YCbCr4:2:0 形式 01: 入力画像データが YCbCr4:2:2 形式 10: 入力画像データが YCbCr4:4:4 形式 11: 設定禁止
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
4~0	PKF[4:0]	00000	R/W	入力画像 RGB データバック形式指定 入力画像データが RGB 形式のときのバック形式を指定します。MLDDFR の CC ビットが 0 のときのみ有効です。 YCbCr のバック形式を表 27.6、RGB のバック形式を表 27.7 に示します。

表27.6 YCbCr のパック形式

YF[1:0]	YCbCr		ビット			
			31 ~ 24	23 ~ 16	15 ~ 8	7 ~ 0
B'00	4:2:0	Ydata	Y0	Y1	Y2	Y3
		Cdata	Cb0	Cr0	Cb2	Cr2
B'01	4:2:2	Ydata	Y0	Y1	Y2	Y3
		Cdata	Cb0	Cr0	Cb2	Cr2
B'10	4:4:4	Ydata	Y0	Y1	Y2	Y3
		Cdata	Cb0	Cr0	Cb1	Cr1
B'11	リザーブ					

表27.7 RGB のパック形式

PKF [4:0]	Bit Rate [bpp]	Phase	Bit																																			
			31 ~ 24								23 ~ 16								15 ~ 8								7 ~ 0											
B'00000	24		0	0	0	0	0	0	0	0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0
B'00001	24		R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0
B'00010	24	0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0
		1	G1	G1	G1	G1	G1	G1	G1	G1	G1	B1	B1	B1	B1	B1	B1	B1	B1	R2	R2	R2	R2	R2	R2	R2	R2	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2
		2	B2	B2	B2	B2	B2	B2	B2	B2	B2	R3	R3	R3	R3	R3	R3	R3	R3	G3	G3	G3	G3	G3	G3	G3	G3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3
B'00011	16		R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	R1	R1	R1	R1	G1	G1	G1	G1	G1	G1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1
B'00111	18	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	
B'01000	12	0	0	0	0	0	R0	R0	R0	R0	R0	G0	G0	G0	B0	B0	B0	B0	B0	0	0	0	0	R1	R1	R1	R1	G1	G1	G1	G1	B1	B1	B1	B1	B1	B1	
		1	0	0	R0	R0	R0	R0	R0	R0	0	0	G0	G0	G0	G0	G0	G0	G0	0	0	B0	B0	B0	B0	B0	B0	0	0	R1	R1	R1	R1	R1	R1	R1	R1	R1
		2	0	0	G1	G1	G1	G1	G1	G1	0	0	B1	B1	B1	B1	B1	B1	B1	B1	0	0	R2	R2	R2	R2	R2	R2	0	0	G2	G2	G2	G2	G2	G2	G2	G2
B'01001	18	0	0	0	B2	B2	B2	B2	B2	B2	0	0	R3	R3	R3	R3	R3	R3	R3	0	0	G3	G3	G3	G3	G3	G3	0	0	B3	B3	B3	B3	B3	B3	B3	B3	
		1	0	0	B0	B0	B0	B0	B0	B0	0	0	G0	G0	G0	G0	G0	G0	G0	0	0	R0	R0	R0	R0	R0	R0	0	0	B1	B1	B1	B1	B1	B1	B1	B1	B1
		2	0	0	G1	G1	G1	G1	G1	0	0	R1	R1	R1	R1	R1	R1	R1	R1	0	0	B2	B2	B2	B2	B2	B2	0	0	G2	G2	G2	G2	G2	G2	G2	G2	G2
B'01010	18	0	0	0	R2	R2	R2	R2	R2	R2	0	0	B3	B3	B3	B3	B3	B3	B3	0	0	G3	G3	G3	G3	G3	G3	0	0	R3	R3	R3	R3	R3	R3	R3	R3	
		1	B0	B0	B0	B0	B0	B0	B0	B0	G0	G0	G0	G0	G0	G0	G0	G0	R0	R0	R0	R0	R0	R0	R0	R0	R0	B1	B1	B1	B1	B1	B1	B1	B1	B1		
		2	G1	G1	G1	G1	G1	G1	G1	G1	R1	R1	R1	R1	R1	R1	R1	R1	R1	B2	B2	B2	B2	B2	B2	B2	B2	B2	G2	G2	G2	G2	G2	G2	G2	G2	G2	
B'01100	24		R2	R2	R2	R2	R2	R2	R2	R2	B3	B3	B3	B3	B3	B3	B3	B3	G3	G3	G3	G3	G3	G3	G3	G3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3		
B'01100	24		0	0	0	0	0	0	0	0	0	B0	B0	B0	B0	B0	B0	B0	B0	G0	G0	G0	G0	G0	G0	G0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0		
B'01110	16		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0		
B'01110																																						
-		予約																																				
B'11111																																						

## 27. LCD コントローラ (LCDC)

### 27.3.12 メイン LCD スキャンモードレジスタ 1 (MLDSM1R)

MLDSM1R は、メイン液晶のワンショット/連続モードの選択、フル画面/パースシャル画面取得の選択を行います。詳しい設定方法については、「27.4.4 ワンショットモード」、「27.4.5 パーシャル画面モード」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PRD	-	-	-	-	-	-	-	OS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
8	PRD	0	R/W	パースシャルサイズリード設定 外部メモリから取得する表示データのサイズを設定します。 0: フルサイズ (= パネルサイズ) のデータを取得 1: パースシャルサイズのデータを取得
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	OS	0	R/W	ワンショットリード設定 外部メモリから、表示データを取得するモードを設定します。 0: 連続モード (パネルのリフレッシュレートに応じた表示データを取得) 1: ワンショットモード (MLDSM2R の OSTRG ビットをトリガとして取得)



## 27.3.13 メイン LCD スキャンモードレジスタ 2 (MLDSM2R)

MLDSM2R は、メイン液晶のワンショットトリガを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	OSTRG
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	OSTRG	0	R/W	ワンショットトリガ 表示データ取得モードがワンショットモードのとき、本ビットをセットすることにより、外部メモリから1フレーム分のデータを取得します。本ビットはワンショットの表示動作が開始されると0にクリアされます。 0: - 1: 1フレーム分のデータを取得

## 27.3.14 メイン LCD 表示データ取り込み開始アドレスレジスタ 1 (MLDSA1R)

MLDSA1R は、メモリ内のメイン液晶用の表示データの開始アドレスを指定します。表示データが YCbCr 形式のときは、輝度信号の開始アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA[15:3]													-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	SA[31:3]	H'0000 0000	R/W	表示データ開始アドレス メモリ内におけるメイン液晶の表示データの開始アドレスを指定します。表示データが YCbCr 形式のときは輝度信号の開始アドレスを指定します。
2~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

## 27. LCD コントローラ (LCDC)

### 27.3.15 メイン LCD 表示データ取り込み開始アドレスレジスタ 2 (MLDSA2R)

MLDSA2R は、メモリ内のメイン液晶用の色差信号の表示データの開始アドレスを指定します。表示データが YCbCr 形式のときのみ有効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA[15:3]													-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	SA[31:3]	H'0000 0000	R/W	表示データ開始アドレス メモリ内におけるメイン液晶の色差信号の表示データの開始アドレスを指定します。表示データが YCbCr 形式のときのみ有効となります。
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

### 27.3.16 メイン LCD 表示データ格納メモリラインサイズレジスタ (MLDMLSR)

MLDMLSR は、メイン液晶用の表示データが格納されているメモリの 1 ラインのサイズを指定します。垂直方向に 1 ラインインクリメントするときの値となります。表示データが YCbCr4:4:4 形式の色差信号に関しては、設定された値の 2 倍の値が使用されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LS[15:3]													-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
15~3	LS[15:3]	H'0000	R/W	ラインサイズ メイン液晶の表示データを格納するメモリの 1 ラインのサイズを指定します。表示データが YCbCr4:4:4 形式の色差信号のときは、2 倍の値が使用されます。
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

## 27.3.17 メイン LCD 書き戻しデータフォーマットレジスタ (MLDWBFR)

MLDWBFR は、メイン液晶ヘデータを書き戻す時のデータフォーマットを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	AI	-	-	-	-	-	-	-	WP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	LS	WS	BS	-	-	-	-	-	WBTYP[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
24	AI	0	R/W	アドレスインクリメント選択 MLDWBAR の WA ビットで設定する書き戻し先の開始アドレスをインクリメントする場合に設定します。 0: アドレスのインクリメントを行わない 1: アドレスのインクリメント (+H'4) を行う
23~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
16	WP	0	R/W	書き戻しデータ極性選択 書き戻しを行う際のデータ極性を反転します (反射型液晶モジュール出力対応)。 0: データはハイアクティブ 1: データはローアクティブ
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
10	LS	0	R/W	書き戻しロングワードスワップ選択 WBTYP ビットで指定されたフォーマットに対して、ロングワードスワップを行います (図 27.2 参照)。 0: ロングワードスワップを行わない 1: ロングワードスワップを行う
9	WS	0	R/W	書き戻しワードスワップ選択 WBTYP[2:0] ビットで指定されたフォーマットに対して、ワードスワップを行います (図 27.3 参照)。 0: ワードスワップを行わない 1: ワードスワップを行う

## 27. LCD コントローラ (LCDC)

ビット	ビット名	初期値	R/W	説明
8	BS	0	R/W	書き戻しバイトスワップ選択 WB Typ ビットで指定されたフォーマットに対して、バイトスワップを行います (図 27.4 参照)。 0: バイトスワップを行わない 1: バイトスワップを行う
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
2~0	WB Typ[2:0]	010	R/W	書き戻しタイプ選択 表示データの書き戻し際のタイプ (32 ビットパック) を指定します。フォーマットは、図 27.15 を参照してください。 000: WB8a (max.RGB888) 001: WB8d (max.RGB565) 010: WB9 (max.RGB666) 011: WB16 (max.RGB565) 100: WB18 (max.RGB666) 101: WB24 (max.RGB888)

【注】 LCDC は、デフォルトで、データをビッグエンディアンで扱います。

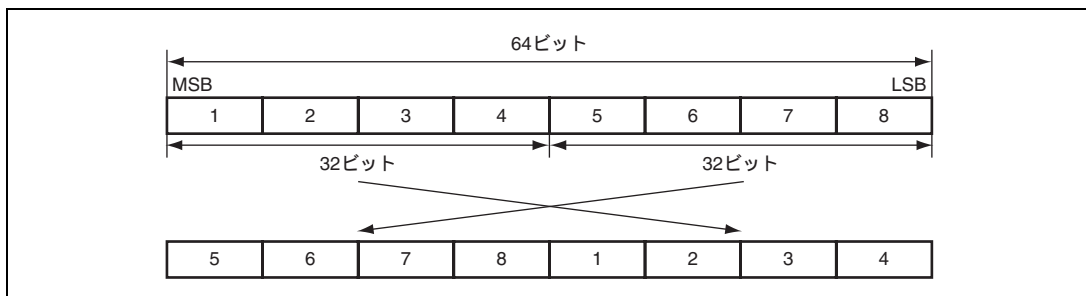


図27.2 ロングワードスワップ

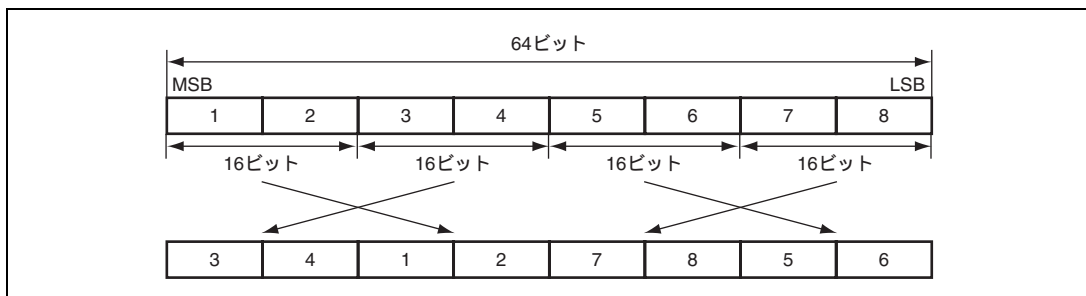


図27.3 ワードスワップ

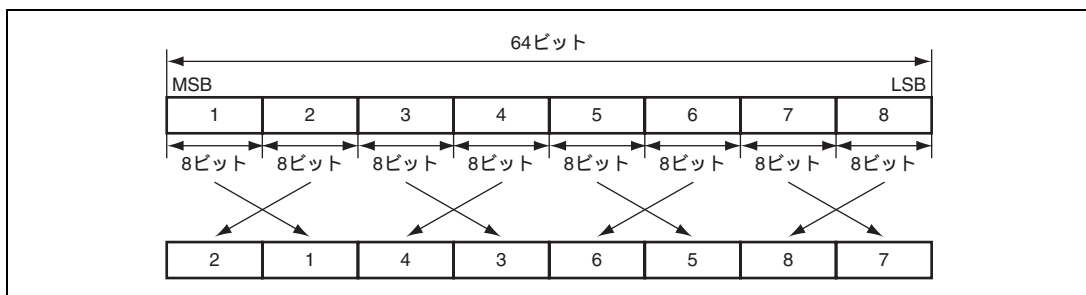


図27.4 バイトスワップ

## 27.3.18 メイン LCD 書き戻し制御レジスタ (MLDWBCNTR)

MLDWBCNTR は、メイン液晶の書き戻しを設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	WE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	WE	0	R/W	書き戻しイネーブル 書き戻しの有無を設定します。 0: 書き戻しを行わない 1: 書き戻しを行う

## 27. LCD コントローラ (LCDC)

### 27.3.19 メイン LCD 書き戻し先開始アドレスレジスタ (MLDWBAR)

MLDWBAR は、メイン液晶の表示データを書き戻す先のスタートアドレスを設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	WA[31:16]																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	WA[15:5]												-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	

ビット	ビット名	初期値	R/W	説明
31~5	WA[31:5]	H'000 0000	R/W	書き戻し開始アドレス 書き戻し先の開始アドレスを指定します。
4~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

### 27.3.20 メイン LCD 水平キャラクタナンバーレジスタ (MLDHCNR)

MLDHCNR は、メイン液晶の横方向のサイズ、および水平帰線期間を含めた全体のスキャンサイズを指定するレジスタです。MLDHCNR はキャラクタ単位 (8 ドット) で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	HDCN[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	HTCN[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
23~16	HDCN[7:0]	H'1E	R/W	水平表示キャラクタナンバー 水平画面方向の表示キャラクタ数を設定します (1キャラクタ=8ドット単位)。 (例) 横幅 240 Pixel の液晶モジュールを使用する場合 HDCN ビット = (240 / 8) = 30 = H'1E
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W	説明
7~0	HTCN[7:0]	H'21	R/W	水平総キャラクタナンバー 水平画面方向の総キャラクタ数を設定します (1キャラクタ=8ドット単位)。最小の水平帰線期間は3キャラクタ (24ドット) です。

- 【注】 1. 水平方向の表示画素のデータ量は1ライン当たり2Kバイト以内に制限されます。たとえば、16ビット/pixel (MLDDFRのPKFビット=B'00011)の場合、水平方向の画素数は1024(キャラクタ数は128)までとなります。
2. HDCN、HTCNビットが  
HTCN HDCN+3  
の関係を満足するように設定してください。

### 27.3.21 メイン LCD 水平同期信号レジスタ (MLDHSYNR)

MLDHSYNR は、メイン液晶の横方向の同期信号の発生タイミング、およびサイズを指定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	HSYNW[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	HSYNP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
19~16	HSYNW[3:0]	H'1	R/W	水平同期信号幅 水平画面方向の同期信号幅をキャラクタ数で設定します(1キャラクタ=8ドット単位)。
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7~0	HSYNP[7:0]	H'20	R/W	水平同期信号出力位置 水平画面方向の同期信号の出力位置をキャラクタ数で設定します (1キャラクタ=8ドット単位)。

- 【注】 HSYNW、HSYNPビットが、  
HTCN HSYNP+HSYNW  
HSYNP HDCN+1  
の関係を満足するように設定してください。

## 27. LCD コントローラ (LCDC)

### 27.3.22 メイン LCD 垂直ラインナンバーレジスタ (MLDVLNR)

MLDVLNR は、メイン液晶の縦方向のサイズ、および垂直帰線期間を含めた全体の縦方向の長さを指定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	VDLN[10:0]										
初期値:	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VTLN[10:0]										
初期値:	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
26~16	VDLN[10:0]	H'140	R/W	垂直表示ラインナンバー 垂直画面方向の表示ライン数を設定します (ライン単位)。 (例) 320 ラインの液晶モジュールを使用する場合 VDLN ビット = 320 = H'140
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
10~0	VTLN[10:0]	H'142	R/W	垂直総ラインナンバー 垂直画面方向の総ライン数を設定します (ライン単位)。総ライン数の最小値は 3 です。

- 【注】 1. VTLN、VDLN ビットが、  
VTLN = VDLN + 1  
の関係を満たすように設定してください。
2. VSYNC 入力モードのときは、入力される VSYNC の間隔よりも VTLN ビットで規定される 1 フレームの期間の方が短くなるように設定してください。コマンド発行の期間である垂直帰線期間は、表示動作終了後から VTLN ビットで規定されるフレーム終了のタイミングまでとなります。



## 27.3.23 メイン LCD 垂直同期信号レジスタ (MLDVSYNR)

MLDVSYNR は、メイン液晶の縦方向の同期信号の発生タイミング、および幅を指定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	VSYNW[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VSYNP[10:0]										
初期値:	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
19~16	VSYNW[3:0]	H'1	R/W	垂直同期信号幅 垂直画面方向の同期信号幅を設定(ライン単位)。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
10~0	VSYNP[10:0]	H'141	R/W	垂直同期信号出力位置 垂直画面方向の同期信号の出力位置を設定(ライン単位)。

【注】 VSYNP ビットが、  
VTLN VSYNP  
VSYNP VDLN+1  
の関係を満足するように設定してください。

## 27. LCD コントローラ (LCDC)

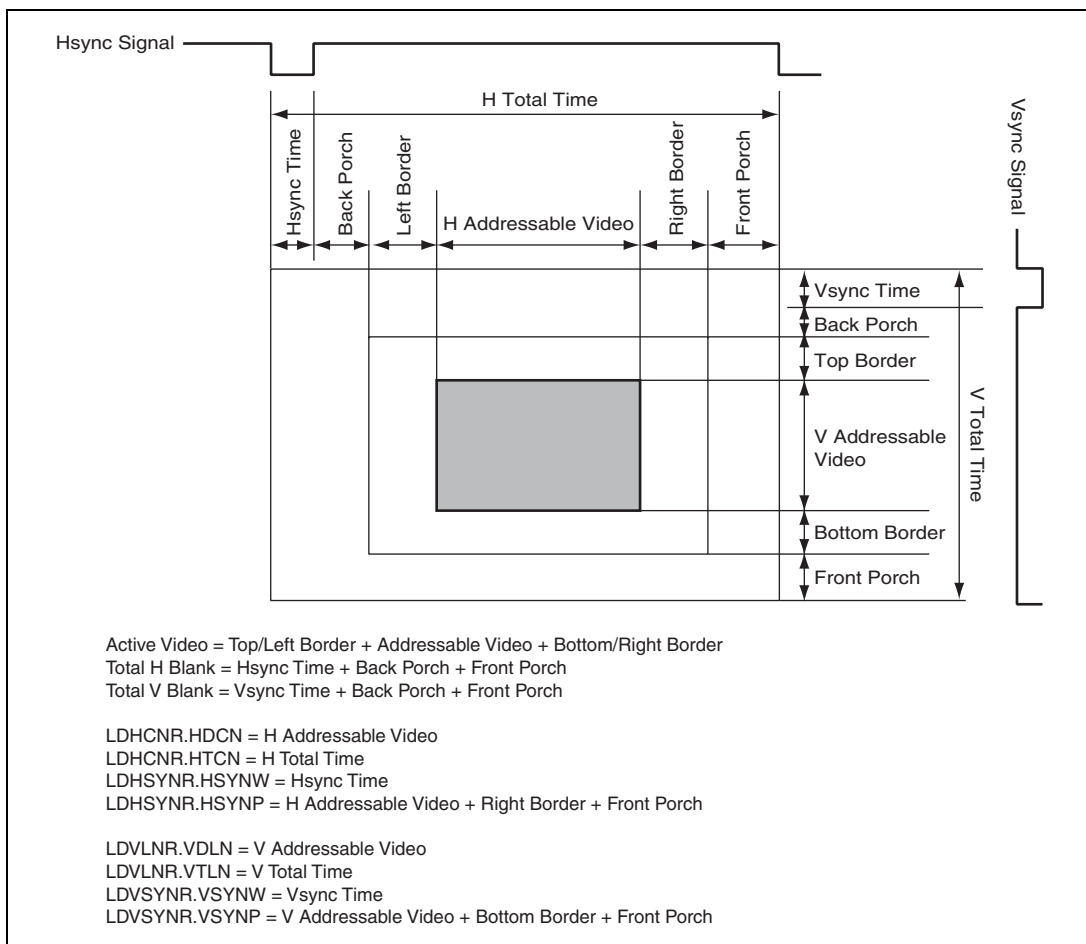


図27.5 有効な表示と帰線期間

### 27.3.24 メイン LCD 水平パースシャル画面レジスタ (MLDHPDR)

MLDHPDR は、メイン液晶がパースシャル画面モード時の水平方向の表示キャラクタ数、およびオフセットキャラクタ数を設定します。詳しい設定方法については「27.4.5 パースシャル画面モード」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16			
	-	-	-	-	-	-	-	-	HPDCN[7:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
	-	-	-	-	-	-	-	-	HPDOCN[7:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
23~16	HPDCN[7:0]	H'00	R/W	水平パーシャル画面キャラクタ数 パーシャル画面モード時、パーシャル画面の水平方向の表示キャラクタ数を設定します (1キャラクタ=8ドット単位)。
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7~0	HPDOCN[7:0]	H'00	R/W	水平パーシャル画面オフセットキャラクタ数 パーシャル画面モード時、表示画面サイズに対するパーシャル画面の水平方向のオフセットをキャラクタ数で設定します (1キャラクタ=8ドット単位)。

### 27.3.25 メイン LCD 垂直パーシャル画面レジスタ (MLDVPDR)

MLDVPDR は、メイン液晶がパーシャル画面モード時の垂直方向の表示ライン数、およびオフセットライン数を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	VPDLN[10:0]										
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VPDOLN[10:0]										
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
26~16	VPDLN[10:0]	H'000	R/W	垂直パーシャル画面ライン数 パーシャル画面モード時、パーシャル画面の垂直方向の表示ライン数を設定します (1キャラクタ=8ドット単位)。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
10~0	VPDOLN[10:0]	H'000	R/W	垂直パーシャル画面オフセットライン数 パーシャル画面モード時、表示画面サイズに対するパーシャル画面の垂直方向のオフセットを、ライン数で設定します。

## 27. LCD コントローラ (LCDC)

### 27.3.26 メイン LCD パワーマネジメントレジスタ (MLDPMR)

MLDPMR は、メイン液晶モジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。詳細は「27.4.6 パワーマネジメント」を参照してください。

メイン液晶モジュールを使用していない場合は、必ず本レジスタを H'0000 0000 に設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ONA[3:0]				ONB[3:0]				ONC[3:0]				OFFD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OFFE[3:0]				OFFF[3:0]				-	VC	VE	DO	-	-	LPS[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	ONA[3:0]	0000	R/W	電源投入シーケンス期間 A 液晶モジュールの電源投入シーケンスにおいて、LCDVCPWC 端子から表示データ (LCDD) とタイミング信号 (LCDHSYN、LCDDCK、LCDDISP、LCDVSYN、 $\overline{\text{LCDRD}}$ ) の出力開始までの期間をフレーム周期単位で設定します。VC ビットが 0 のときは必ず ONA ビットを H'0 に設定してください。
27~24	ONB[3:0]	0000	R/W	LCDC 電源投入シーケンス期間 B 液晶モジュールの電源投入シーケンスにおいて、表示データ (LCDD) とタイミング信号 (LCDHSYN、LCDDCK、LCDDISP、LCDVSYN、 $\overline{\text{LCDRD}}$ ) の出力開始から LCDVEPWC 端子のアサートまでの期間をフレーム単位で設定します。VE ビットが 0 のときは必ず ONB ビットを H'0 に設定してください。
23~20	ONC[3:0]	0000	R/W	LCDC 電源投入シーケンス期間 C 液晶モジュールの電源投入シーケンスにおいて、LCDVEPWC 端子のアサートから LCDDON 端子のアサートまでの期間をフレーム単位で設定します。
19~16	OFFD[3:0]	0000	R/W	LCDC 電源遮断シーケンス期間 A 液晶モジュールの電源遮断シーケンスにおいて、LCDDON 端子のネゲートから LCDVEPWC 端子のネゲートまでの期間をフレーム単位で設定します。VE ビットが 0 のときは必ず OFFD ビットを H'0 に設定してください。
15~12	OFFE[3:0]	0000	R/W	LCDC 電源遮断シーケンス期間 B 液晶モジュールの電源遮断シーケンスにおいて、LCDVEPWC 端子のネゲートから表示データ (LCDD) とタイミング信号 (LCDHSYN、LCDDCK、LCDDISP、LCDVSYN、 $\overline{\text{LCDRD}}$ ) の出力停止までの期間をフレーム単位で設定します。

## 27. LCD コントローラ (LCDC)

ビット	ビット名	初期値	R/W	説明
11~8	OFFF[3:0]	0000	R/W	LCDC 電源遮断シーケンス期間 C 液晶モジュールの電源遮断シーケンスにおいて表示データ (LCDD) とタイミング信号 (LCDHSYN、LCDDCK、LCDDISP、LCDVSYN、LCDFRD) の出力停止から LCDVCPWC 端子のネゲートまでの期間をフレーム単位で設定します。VC ビットが 0 のときは必ず OFFF ビットを H'0 に設定してください。
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
6	VC	0	R/W	LCDVCPWC 端子イネーブル LCDVCPWC 端子を用いた電源制御シーケンス処理の有無を設定。 0: LCDVCPWC 端子はロー固定 1: LCDVCPWC 端子は、所定のシーケンスに従い、アサート、またはネゲートする
5	VE	0	R/W	LCDVEPWC 端子イネーブル LCDVEPWC 端子を用いた電源制御シーケンス処理の有無を設定。 0: LCDVEPWC 端子はロー固定 1: LCDVEPWC 端子は、所定のシーケンスに従い、アサート、またはネゲートする
4	DO	0	R/W	LCDDON 端子イネーブル LCDDON 端子を用いた電源制御シーケンス処理の有無を設定。 0: LCDDON 端子はロー固定 1: LCDDON 端子は、所定のシーケンスに従い、アサート、またはネゲートする
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
1、0	LPS[1:0]	00	R	液晶モジュール電源入力状態 電源、制御機能を使用しているときの液晶モジュールの電源投入状態を示します。 00: 液晶モジュールへの電源が遮断されている 11: 液晶モジュールへの電源が投入されている

## 27. LCD コントローラ (LCDC)

### 27.3.27 LCDC パレット制御レジスタ (LDPALCR)

本レジスタはパレットメモリへのアクセスモードを指定します。カラーパレットの詳細仕様、設定方法については「27.4.2 カラーパレット仕様について」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SM	MM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
17	SM	0	R/W	サブ液晶パレットモード サブ液晶のパレットメモリの使用有無を指定します。 0: サブ液晶でパレット未使用 1: サブ液晶でパレット使用、かつパレットは24ビット入力で24ビット出力
16	MM	0	R/W	メイン液晶パレットモード メイン液晶のパレットメモリの使用有無を指定します。 0: メイン液晶でパレット未使用 1: メイン液晶でパレット使用、かつパレットは24ビット入力で24ビット出力
15~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	PE	0	R/W	パレットリード/ライトイネーブル パレットメモリへのアクセス元を指定します。 0: LCDC がパレットメモリを使用 (ディスプレイモード) 1: ホスト (CPU) がパレットメモリを使用 (CPU アクセスモード)

## 27.3.28 LCDC 割り込みレジスタ (LDINTR)

LDINTR は、各種割り込みの開始点の指定、およびステータス表示を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	UILN[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	SE	UE	ME	MHE	FE	VSE	VEE	-	SS	US	MS	MHS	FS	VSS	VES
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
26~16	UILN[10:0]	H'000	R/W	ユーザ指定割り込み発生ラインナンバー ユーザ指定割り込みを発生させる位置を指定します。ユーザ指定割り込みは、本レジスタに設定されたライン数に対応する外部メモリからの画像イメージリードが完了したときに発生します。
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
14	SE	0	R/W	フレーム開始割り込みイネーブル 液晶パネルにフレームの開始ピクセルを出力したときに割り込みを発生するかを設定します。ワンショットモードのときは、出力フレームのみ有効となります。 0: 液晶パネルにフレームの開始ピクセルを出力したときに割り込みを発生しない 1: 液晶パネルにフレームの開始ピクセルを出力したときに割り込みを発生する
13	UE	0	R/W	ユーザ指定割り込みイネーブル LCDC ユーザ指定割り込みを発生するかを設定します。 0: ユーザ指定割り込みを発生させない 1: ユーザ指定割り込みを発生する
12	ME	0	R/W	メモリアクセス割り込みイネーブル LCDC による外部メモリアクセスのフレームの終了時に割り込みを発生するかを設定します。 0: 外部メモリアクセスのフレームの終了時に割り込みを発生させない 1: 外部メモリアクセスのフレームの終了時に割り込みを発生させる

## 27. LCD コントローラ (LCDC)

ビット	ビット名	初期値	R/W	説明
11	MHE	0	R/W	データメモリリード割り込みイネーブル 外部メモリアクセスのライン終了時に割り込みを発生するかを設定します。 0: 外部メモリアクセスのライン終了時に割り込みを発生させない 1: 外部メモリアクセスのライン終了時に割り込みを発生する
10	FE	0	R/W	フレーム終了割り込みイネーブル 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生するかを設定します。ワンショットモードのときは、出力フレームのみ有効となります。 0: 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生させない 1: 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生する
9	VSE	0	R/W	VSYNC 開始割り込みイネーブル VSYNC 開始割り込みを発生するかを設定します。 0: VSYNC 開始割り込みを発生させない 1: VSYNC 開始割り込みを発生する
8	VEE	0	R/W	VSYNC 終了割り込みイネーブル VSYNC 終了割り込みを発生するかを設定します。 0: VSYNC 終了割り込みを発生させない 1: VSYNC 終了割り込みを発生する
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
6	SS	0	R/W	フレーム開始割り込み状態 フレーム開始割り込みが発生した時点で 1 値を示します。ワンショットモードのときは、出力フレームのみ有効となります。フレーム開始割り込みに対する処理ルーチンの中で、レジスタへの 0 書き込みでクリアしてください。 0: LCDC がフレーム開始割り込みを行っていない、またはフレーム開始割り込み発生に対して処理済みの通知を受けた状態を表す 1: LCDC がフレーム開始割り込みを行い、処理済みの通知を受けていない状態を表す
5	US	0	R/W	ユーザ指定割り込み状態 ユーザ指定割り込みが発生した時点で 1 値を示します。ユーザ指定割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。 0: LCDC がユーザ指定割り込みを行っていない、またはユーザ指定割り込み発生に対して処理済みの通知を受けた状態を表す 1: LCDC がユーザ指定割り込みを行い、処理済みの通知を受けていない状態を表す



ビット	ビット名	初期値	R/W	説明
4	MS	0	R/W	<p>メモリアクセス割り込み状態</p> <p>外部メモリアクセスのフレーム終了割り込みが発生した時点で1値を示します。外部メモリアクセスのフレーム終了割り込みに対する処理ルーチン中で、レジスタへの0書き込みでクリアしてください。</p> <p>0: LCDC が外部メモリアクセスのフレーム終了割り込みを行っていない、または外部メモリアクセスのフレーム終了割り込み発生に対して処理済みの通知を受けた状態を表す</p> <p>1: LCDC が外部メモリアクセスのフレーム終了割り込みを行い、処理済みの通知を受けていない状態を表す</p>
3	MHS	0	R/W	<p>データメモリリード割り込み状態</p> <p>外部メモリアクセスのライン終了割り込みが発生した時点で1値を示します。外部メモリアクセスのライン終了開始割り込みに対する処理ルーチン中で、レジスタへの0書き込みでクリアしてください。</p> <p>0: LCDC が外部メモリアクセスのライン終了割り込みを行っていない、または外部メモリアクセスのライン終了割り込み発生に対して処理済みの通知を受けた状態を表す</p> <p>1: LCDC が外部メモリアクセスのライン終了割り込みを行い、処理済みの通知を受けていない状態を表す</p>
2	FS	0	R/W	<p>フレーム終了割り込み状態</p> <p>フレーム終了割り込みが発生した時点で1値を示します。ワンショットモードのときは、出力フレームのみ有効となります。フレーム終了割り込みに対する処理ルーチン中で、レジスタへの0書き込みでクリアしてください。</p> <p>0: LCDC がフレーム終了割り込みを行っていない、またはフレーム終了割り込み発生に対して処理済みの通知を受けた状態を表す</p> <p>1: LCDC がフレーム終了割り込みを行い、処理済みの通知を受けていない状態を表す</p>
1	VSS	0	R/W	<p>VSYSNC 開始割り込み状態</p> <p>VSYSNC 開始割り込みが発生した時点で1値を示します。VSYSNC 開始割り込みに対する処理ルーチン中で、レジスタへの0書き込みでクリアしてください。</p> <p>0: LCDC が VSYSNC 開始割り込みを行っていない、または VSYSNC 開始割り込み発生に対して処理済みの通知を受けた状態を表す</p> <p>1: LCDC が VSYSNC 開始割り込みを行い、処理済みの通知を受けていない状態を表す</p>
0	VES	0	R/W	<p>VSYSNC 終了割り込み状態</p> <p>VSYSNC 終了割り込みが発生した時点で1値を示します。VSYSNC 終了割り込みに対する処理ルーチン中で、レジスタへの0書き込みでクリアしてください。</p> <p>0: LCDC が VSYSNC 終了割り込みを行っていない、または VSYSNC 終了割り込み発生に対して処理済みの通知を受けた状態を表す</p> <p>1: LCDC が VSYSNC 終了割り込みを行い、処理済みの通知を受けていない状態を表す</p>

## 27. LCD コントローラ (LCDC)

### 27.3.29 LCDC ステータスレジスタ (LDSR)

LDSR は、LCDC 動作に関するステータスを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	MRLS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	MSS	SRS	MRS	-	-	-	-	-	-	AS	ST
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
26~16	MRLS[10:0]	H'000	R	メモリリードライン状態 現在、外部メモリから読み出されているライン数を表示します。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
10	MSS	1	R	動作液晶ステータス メイン液晶とサブ液晶のどちらに対して動作を行っているかを示します。 このステータスはフレーム表示終了時(フレーム終了割り込み発生と同じタイミングです)で切り替わります。 0: LCDC はメイン液晶の動作中 1: LCDC はサブ液晶の動作中
9	SRS	0	R	サブ液晶用レジスタ面ステータス LCDC が使用しているサブ液晶用レジスタ面を示します。 0: サブ液晶用レジスタはA面のレジスタを使用 1: サブ液晶用レジスタはB面のレジスタを使用
8	MRS	0	R	メイン液晶用レジスタ面ステータス LCDC が使用しているメイン液晶用レジスタ面を示します。 0: メイン液晶用レジスタはA面のレジスタを使用 1: メイン液晶用レジスタはB面のレジスタを使用
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
1	AS	0	R	SYS インタフェースアクセスステータス 本ビットはSYS インタフェース時におけるアクセスステータスを示します。ステータスがビジーのときには、新しいトランザクションを発行しないでください。発行してもその動作は保証されません。 0: フリー状態 1: ビジー状態(リード/ライトアクセス実行中、もしくは実行待ち)

ビット	ビット名	初期値	R/W	説明
0	ST	0	R	動作ステータス 本ビットは LCDC の動作状態を示します。 0 : 待機状態 1 : 動作状態

### 27.3.30 LCDC 制御レジスタ 1 (LDCNT1R)

LDCNT1R は、LCDC 動作期間中、液晶パネルへの表示データ出力有無を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
0	DE	1	R/W	ディスプレイネーブル LCDC 動作期間中、液晶パネルへの表示データ出力有無を設定します。書き戻し動作のみを行う場合、本ビットを 0 にすることによって、液晶パネルへの出力データを固定します。本ビットが 0 のときも、表示データ出力以外の LCDC 動作は実行します。 0 : 表示データを出力しない (ローもしくはハイ固定) 1 : 表示データを出力する

## 27. LCD コントローラ (LCDC)

### 27.3.31 LCDC 制御レジスタ 2 (LDCNT2R)

LDCNT2R は、リセットの設定、メイン液晶 / サブ液晶の表示動作を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SR	BR	-	-	-	-	-	SE	ME	DO
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
9	SR	0	R/W	ソフトウェアリセット LCDC 内のレジスタ以外すべての内部回路を初期化します。バスのトランザクションを保証します。 0: 通常動作状態 1: リセット状態
8	BR	0	R/W	モジュールリセット LCDC 内のレジスタ以外すべての内部回路を初期化します。バスのトランザクションを保証しません。 0: 通常動作状態 1: リセット状態
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
2	SE	0	R/W	サブ液晶イネーブル ディスプレイオン時にサブ液晶に対する LCDC による表示動作のイネーブルを指定します。 0: サブ液晶に対して LCDC は表示動作を行わない 1: サブ液晶に対して LCDC は表示動作を行う
1	ME	0	R/W	メイン液晶イネーブル ディスプレイオン時にメイン液晶に対する LCDC による表示動作のイネーブルを指定します。SE ビットと ME ビットがともに1のときは、メイン液晶とサブ液晶の時分割表示動作になります。 0: メイン液晶に対して LCDC は表示動作を行わない 1: メイン液晶に対して LCDC は表示動作を行う

ビット	ビット名	初期値	R/W	説明
0	DO	0	R/W	<p>ディスプレイオン</p> <p>LCDC による表示動作の開始 / 終了を指示します。制御シーケンスの状態は MLDPMR の LPS ビット、SLDPMR の LPS ビットを参照することで確認できます。</p> <p>なお、DO ビットを 1 にするときは、SE ビットと ME ビットのどちらかを必ず 1 にしてください。</p> <p>0 : LCDC の動作を終了 (表示オフモード)</p> <p>1 : LCDC の動作を開始 (表示オンモード)</p>

メイン液晶を例に表示動作開始時 / 動作終了時のシーケンスを示します。

- LCDCの表示動作開始時 (DOビットB'0 B'1) :

1. LCDCの動作を開始します。
2. MLDPMR、およびLDCNT2Rで設定されたシーケンスに従い、液晶モジュールの電源を投入します。  
MLDPMRのLPSビットがB'00 B'11になれば、所定のシーケンスは終了です。  
所定のシーケンスが終了するまで、次のDOビットの操作は行わないでください。

- LCDCの表示動作停止時 (DOビットB'1 B'0) :

【注】 LDCNT2R の ME ビットは、B'1 のままとしてください。

3. MLDPMR、およびLDCNT2Rで設定されたシーケンスに従い、液晶モジュールの電源を遮断します。
4. LCDCの動作を停止します。  
MLDPMRのLPSビットが、B'11 B'00になれば所定のシーケンスは終了です。  
所定のシーケンスが終了するまで、DOビット、MEビットの操作は行わないでください。

## 27. LCD コントローラ (LCDC)

### 27.3.32 LCDC レジスタ面切り替え制御レジスタ (LDRCNTR)

LDRCNTR は、メイン液晶 / サブ液晶用のレジスタ面を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SRS	SRC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	MRS	MRC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
17	SRS	0	R/W	サブ液晶用レジスタ面指定 サブ液晶のフレーム表示動作終了時に同期して、LCDC が使用するサブ液晶用のレジスタ面を指定します。本ビットは SRC ビットが0のときのみ有効です。 0: サブ液晶用レジスタは A 面のレジスタを使用 1: サブ液晶用レジスタは B 面のレジスタを使用
16	SRC	0	R/W	サブ液晶用レジスタ面切り替えイネーブル サブ液晶のフレーム表示動作終了時に同期して、LCDC が使用するサブ液晶用のレジスタ面を切り替えるか指定します。切り替えない場合は SRS ビットで指定されたレジスタ面が使用されます。 0: フレーム表示終了に同期して、サブ液晶用レジスタは指定されたレジスタ面を使用 1: フレーム表示終了に同期して、サブ液晶用レジスタ面を切り替え
15~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
1	MRS	0	R/W	メイン液晶用レジスタ面指定 メイン液晶のフレーム表示動作終了時に同期して、LCDC が使用するメイン液晶用のレジスタ面を指定します。本ビットは MRC ビットが0のときのみ有効です。 0: メイン液晶用レジスタは A 面のレジスタを使用 1: メイン液晶用レジスタは B 面のレジスタを使用

ビット	ビット名	初期値	R/W	説明
0	MRC	0	R/W	<p>メイン液晶用レジスタ面切り替えイネーブル</p> <p>メイン液晶のフレーム表示動作終了時に同期して、LCDC が使用するメイン液晶用のレジスタ面を切り替えるか指定します。切り替えない場合は MRS ビットで指定されたレジスタ面が使用されます。</p> <p>0：フレーム表示動作終了時に同期して、メイン液晶用レジスタは指定されたレジスタ面を使用</p> <p>1：フレーム表示動作終了時に同期して、メイン液晶用レジスタ面を切り替え</p>

### 27.3.33 LCDC 入力画像データスワップレジスタ (LDDDSR)

LDDDSR は、入力画像データのバイトスワップ、ワードスワップ、ロングワードスワップを設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	LS	WS	BS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。</p>
2	LS	0	R/W	<p>入力画像データロングワードスワップ選択</p> <p>入力画像データに対して、ロングワードスワップを行います。メイン液晶とサブ液晶の両方に有効となります。</p> <p>0：ロングワードスワップを行わない</p> <p>1：ロングワードスワップを行う</p>
1	WS	0	R/W	<p>入力画像データワードスワップ選択</p> <p>入力画像データに対して、ワードスワップを行います。メイン液晶とサブ液晶の両方に有効となります。</p> <p>0：ワードスワップを行わない</p> <p>1：ワードスワップを行う</p>
0	BS	0	R/W	<p>入力画像データバイトスワップ選択</p> <p>入力画像データに対して、バイトスワップを行います。メイン液晶とサブ液晶の両方に有効となります。</p> <p>0：バイトスワップを行わない</p> <p>1：バイトスワップを行う</p>

【注】 LCDC は、デフォルトでデータをビッグエンディアンで扱います。

## 27. LCD コントローラ (LCDC)

### 27.3.34 LCDC レジスタ面強制指定レジスタ (LDRCR)

LDRCR は、レジスタ面を即座に強制指定する制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SR	MR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
1	SR	0	R/W	サブ液晶用レジスタ面指定 LCDC が使用するサブ液晶用レジスタ面を指定します。 0: サブ液晶用レジスタは A 面のレジスタを使用 1: サブ液晶用レジスタは B 面のレジスタを使用
0	MR	0	R/W	メイン液晶用レジスタ面指定 LCDC が使用するメイン液晶用レジスタ面を指定します。 0: メイン液晶用レジスタは A 面のレジスタを使用 1: メイン液晶用レジスタは B 面のレジスタを使用

### 27.3.35 サブ LCD モジュールタイプレジスタ 1 (SLDMT1R)

SLDMT1R は、サブ液晶の液晶モジュールと接続する際の転送モード、信号極性制御を行うレジスタです。

LCDC では、サブ LCD モジュールタイプレジスタ 1~3 を用いて接続するサブ液晶パネルに適合する制御信号極性、アクセスサイクル数等を設定することが可能です。サブ液晶パネルは SYS インタフェースのみ接続が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	VPOL	-	-	-	DAPOL	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	SIFTYP[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。



ビット	ビット名	初期値	R/W	説明
28	VPOL	0	R/W	<p>垂直同期信号極性選択</p> <p>本ビットは、VSYNC 出力モード (SLDMT2R の VSEL ビット=0) の場合、サブ液晶モジュールに接続する際の VSYNC 信号極性を選択します。また、VSYNC 入力モード (SLDMT2R の VSEL ビット=1) の場合、入力する VSYNC 信号の極性を変更します。LCDC 内部の VSYNC 極性はハイアクティブですので、これに合わせて極性を変更してください。</p> <ul style="list-style-type: none"> <li>• VSYNC 出力時 <ul style="list-style-type: none"> <li>0 : 出力 VSYNC はハイアクティブ</li> <li>1 : 出力 VSYNC はローアクティブ</li> </ul> </li> <li>• VSYNC 入力時 <ul style="list-style-type: none"> <li>0 : 入力 VSYNC の極性を反転しない</li> <li>1 : 入力 VSYNC の極性を反転する</li> </ul> </li> </ul>
27~25	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>
24	DAPOL	0	R/W	<p>表示データ極性選択</p> <p>本ビットは、サブ液晶モジュールに接続する際の表示データ極性を選択します。本ビットの設定は、表示データにのみ有効となり、接続する液晶ドライバへのコマンドやインストラクションには影響しません。</p> <ul style="list-style-type: none"> <li>0 : 表示データはハイアクティブ</li> <li>1 : 表示データはローアクティブ</li> </ul>
23~4	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>
3~0	SIFTYP[3:0]	1010	R/W	<p>サブ液晶モジュール設定</p> <p>サブ液晶モジュールの種類を設定します。</p> <p>フォーマットは、図 27.14 を参照してください。</p> <ul style="list-style-type: none"> <li>0000 : SYS8a (24bpp, 3 回転送、8:8:8)</li> <li>0001 : SYS8b (18bpp, 3 回転送、8:8:2)</li> <li>0010 : SYS8c (18bpp, 3 回転送、2:8:8)</li> <li>0011 : SYS8d (16bpp, 2 回転送、8:8)</li> <li>0100 : SYS9 (18bpp, 2 回転送、9:9)</li> <li>0101 : SYS12 (24bpp, 2 回転送、12:12)</li> <li>0110 : リザーブ</li> <li>0111 : SYS16a (16bpp, 1 回転送)</li> <li>1000 : SYS16b (18bpp, 2 回転送、16:2)</li> <li>1001 : SYS16c (18bpp, 2 回転送、2:16)</li> <li>1010 : SYS18 (18bpp, 1 回転送)</li> <li>1011 : SYS24 (24bpp, 1 回転送)</li> <li>1100 ~ 1111 : リザーブ</li> </ul>

## 27. LCD コントローラ (LCDC)

### 27.3.36 サブ LCD モジュールタイプレジスタ 2 (SLDMT2R)

SLDMT2R は、サブ液晶の SYS インタフェース使用時のライトウェイト制御、アクセスステータス表示を行うレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	CSUP[2:0]			RSV	VSEL	WCSC[7:0]							
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WCEC[7:0]							WCLW[7:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
28~26	CSUP[2:0]	001	R/W	チップセレクトセットアップ期間設定 本ビットは、SYS インタフェース時、表示データを転送する際のチップセレクトのセットアップ期間を設定します。
25	RSV	0	R/W	VSYNC モードレジスタセレクト極性設定 本ビットは、SYS インタフェース時、表示データを転送する際のレジスタセレクト極性を設定します。 0: レジスタセレクトはロー 1: レジスタセレクトはハイ
24	VSEL	0	R/W	VSYNC 入出力モード選択 本ビットは接続するサブ液晶の VSYNC 入出力モードを選択します。本ビットを変更できるのは LDCNT2R の DO ビットが 0 のときのみです。 0: VSYNC 出力モード (LCDC が VSYNC を出力) 1: VSYNC 入力モード (LCDC は外部からの VSYNC を受け付け、それに応じて表示データ / コマンドを出力)
23~16	WCSC[7:0]	H'00	R/W	セットアップ期間設定 SYS インタフェース時、ライトストロープのセットアップ期間をバスクロック単位で設定します。
15~8	WCEC[7:0]	H'00	R/W	ライトサイクル期間設定 SYS インタフェース時、ライトストロープのサイクル期間をバスクロック単位で設定します。
7~0	WCLW[7:0]	H'00	R/W	ロー期間設定 SYS インタフェース時、ライトストロープのロー期間をバスクロック単位で設定します。

## 27.3.37 サブ LCD モジュールタイプレジスタ 3 (SLDMT3R)

SLDMT3R は、サブ液晶の SYS インタフェース使用時のリードウェイト制御を行うレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	RDLC[5:0]						RCSC[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCEC[7:0]							RCLW[7:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
29~24	RDLC[5:0]	000000	R/W	リードデータラッチ設定 SYS インタフェース時、リードデータをラッチするタイミングをバスクロック単位で設定します。
23~16	RCSC[7:0]	H'00	R/W	セットアップ期間設定 SYS インタフェース時、リードストローブのセットアップ期間をバスクロック単位で設定します。
15~8	RCEC[7:0]	H'00	R/W	リードサイクル期間設定 SYS インタフェース時、リードストローブのサイクル期間をバスクロック単位で設定します。
7~0	RCLW[7:0]	H'00	R/W	ロー期間設定 SYS インタフェース時、リードストローブのロー期間をバスクロック単位で設定します。

## 27. LCD コントローラ (LCDC)

### 27.3.38 サブ LCD データフォーマットレジスタ (SLDDFR)

SLDDFR は、サブ液晶の入力画像データの種類を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CF	CC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	YF[1:0]	-	-	-	PKF[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
17	CF	0	R/W	YCbCr RGB 変換式指定 YCbCr RGB 変換式の指定を行います。 0: エクステンション型 RGB 変換式を使用 1: コンプレスト型 RGB 変換式を使用
16	CC	0	R/W	YCbCr RGB 変換指定 YCbCr RGB 変換の指定を行います。メモリ上にある表示データが YCbCr 形式の場合に指定します。 0: YCbCr RGB 変換を行わない 1: YCbCr RGB 変換を行う
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
9, 8	YF[1:0]	00	R/W	入力画像 YCbCr データバック形式 入力画像データが YCbCr 形式のときのバック形式を指定します。SLDDFR の CC ビットが 1 のときのみ有効です。 00: 入力画像データが YCbCr4:2:0 形式 01: 入力画像データが YCbCr4:2:2 形式 10: 入力画像データが YCbCr4:4:4 形式 11: 設定禁止
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
4~0	PKF[4:0]	00000	R/W	入力画像 RGB データバック形式指定 入力画像データが RGB 形式のときのバック形式を指定します。SLDDFR の CC ビットが 0 のときのみ有効です。 YCbCr のバック形式を表 27.8、RGB のバック形式を表 27.9 に示します。

表27.8 YCbCr のパック形式

YF[1:0]	YCbCr		ビット			
			31~24	23~16	15~8	7~0
B'00	4:2:0	Ydata	Y0	Y1	Y2	Y3
		Cdata	Cb0	Cr0	Cb2	Cr2
B'01	4:2:2	Ydata	Y0	Y1	Y2	Y3
		Cdata	Cb0	Cr0	Cb2	Cr2
B'10	4:4:4	Ydata	Y0	Y1	Y2	Y3
		Cdata	Cb0	Cr0	Cb1	Cr1
B'11	リザーブ					

表27.9 RGB のパック形式

PKF [4:0]	Bit Rate [bpp]	Phase	Bit																														
			31~24								23~16								15~8								7~0						
B'00000	24		0	0	0	0	0	0	0	0	0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0
B'00001	24		R0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	0	0	0	0
B'00011	16		R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	R1	R1	R1	R1	G1	G1	G1	G1	G1	G1	B1	B1	B1	B1	
B'00111	18		0	0	0	0	0	0	0	0	0	0	0	0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0		
B'01000	12	.	0	0	0	0	R0	R0	R0	R0	G0	G0	G0	G0	B0	B0	B0	B0	0	0	0	0	R1	R1	R1	R1	G1	G1	G1	B1	B1	B1	
B'01001	18	0	0	0	R0	R0	R0	R0	R0	0	0	G0	G0	G0	G0	G0	G0	0	0	B0	B0	B0	B0	B0	B0	B0	0	0	R1	R1	R1	R1	
		1	0	0	G1	G1	G1	G1	G1	0	0	B1	B1	B1	B1	B1	B1	0	0	R2	R2	R2	R2	R2	R2	0	0	G2	G2	G2	G2	G2	G2
		2	0	0	B2	B2	B2	B2	B2	0	0	R3	R3	R3	R3	R3	R3	0	0	G3	G3	G3	G3	G3	G3	0	0	B3	B3	B3	B3	B3	B3
B'01010	18	0	0	0	B0	B0	B0	B0	B0	0	0	G0	G0	G0	G0	G0	G0	0	0	R0	R0	R0	R0	R0	R0	0	0	B1	B1	B1	B1	B1	B1
		1	0	0	G1	G1	G1	G1	G1	0	0	R1	R1	R1	R1	R1	R1	0	0	B2	B2	B2	B2	B2	B2	0	0	G2	G2	G2	G2	G2	G2
		2	0	0	R2	R2	R2	R2	R2	0	0	B3	B3	B3	B3	B3	B3	0	0	G3	G3	G3	G3	G3	G3	0	0	R3	R3	R3	R3	R3	R3
B'01011	24	0	B0	B0	B0	B0	B0	B0	B0	B0	G0	G0	G0	G0	G0	G0	G0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	B1	B1	B1	B1	B1	B1
		1	G1	G1	G1	G1	G1	G1	G1	R1	R1	R1	R1	R1	R1	R1	R1	B2	B2	B2	B2	B2	B2	B2	B2	G2	G2	G2	G2	G2	G2	G2	G2
		2	R2	R2	R2	R2	R2	R2	R2	R2	B3	B3	B3	B3	B3	B3	B3	B3	G3	G3	G3	G3	G3	G3	G3	G3	R3	R3	R3	R3	R3	R3	R3
B'01100	24		0	0	0	0	0	0	0	0	B0	B0	B0	B0	B0	B0	B0	G0	G0	G0	G0	G0	G0	G0	G0	R0	R0	R0	R0	R0	R0		
B'01101	16		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	B0	B0	B0	B0	
B'01110	予約																																
~																																	
B'11111																																	

## 27. LCD コントローラ (LCDC)

### 27.3.39 サブ LCD スキャンモードレジスタ 1 (SLDSM1R)

SLDSM1R は、サブ液晶のワンショット/連続モードの選択、フル画面/パーシャル画面取得の選択を行います。詳しい設定方法については、「27.4.4 ワンショットモード」、「27.4.5 パーシャル画面モード」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PRD	-	-	-	-	-	-	-	OS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
8	PRD	0	R/W	パーシャルサイズリード設定 外部メモリから取得する表示データのサイズを設定します。 0: フルサイズ (= パネルサイズ) のデータを取得 1: パーシャルサイズのデータを取得
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	OS	0	R/W	ワンショットリード設定 外部メモリから、表示データを取得するモードを設定します。 0: 連続モード (パネルのリフレッシュレートに応じた表示データを取得) 1: ワンショットモード (SLDSM2R の OSTRG ビットをトリガとして取得)

## 27.3.40 サブ LCD スキャンモードレジスタ 2 (SLDSM2R)

SLDSM2R は、サブ液晶のワンショットトリガを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	OSTRG
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	OSTRG	0	R/W	ワンショットトリガ 表示データ取得モードがワンショットモードのとき、本ビットをセットすることにより、外部メモリから1フレーム分のデータを取得します。本ビットはワンショットの表示動作が開始されると0にクリアされます。 0: - 1: 1フレーム分のデータを取得

## 27.3.41 サブ LCD 表示データ取り込み開始アドレスレジスタ 1 (SLDSA1R)

SLDSA1R は、メモリ内のサブ液晶用の表示データの開始アドレスを指定します。表示データが YCbCr 形式のときは、輝度信号の開始アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA[15:3]													-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	SA[31:3]	H'0000 0000	R/W	表示データ開始アドレス メモリ内における、サブ液晶の表示データの開始アドレスを指定します。表示データが YCbCr 形式のときは輝度信号の開始アドレスを指定します。
2~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

## 27. LCD コントローラ (LCDC)

### 27.3.42 サブ LCD 表示データ取り込み開始アドレスレジスタ (SLDSA2R)

SLDSA2R は、メモリ内のサブ液晶用の色差信号の表示データの開始アドレスを指定します。表示データが YCbCr 形式のときのみ有効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA[15:3]													-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	SA[31:3]	H'0000 0000	R/W	表示データ開始アドレス メモリ内におけるサブ液晶の色差信号の表示データの開始アドレスを指定します。表示データが YCbCr 形式のときのみ有効となります。
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

### 27.3.43 サブ LCD 表示データ格納メモリラインサイズレジスタ (SLDMLSR)

SLDMLSR は、サブ液晶用の表示データが格納されているメモリの 1 ラインのサイズを指定します。垂直方向に 1 ラインインクリメントするときの値となります。表示データが YCbCr4:4:4 形式の色差信号に関しては、設定された値の 2 倍の値が使用されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LS[15:3]													-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
15~3	LS[15:3]	H'0000	R/W	ラインサイズ サブ液晶の表示データを格納するメモリの 1 ラインのサイズを指定します。表示データが YCbCr4:4:4 形式の色差信号のときは、2 倍の値が使用されます。
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。



## 27.3.44 サブ LCD 水平キャラクタナンバーレジスタ (SLDHCNR)

SLDHCNR は、サブ液晶の横方向のサイズ、および水平帰線期間を含めた全体のスキャンサイズを指定するレジスタです。SLDHCNR はキャラクタ単位 (8 ドット) で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	HDCN[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	HTCN[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
23~16	HDCN[7:0]	H'1E	R/W	水平表示キャラクタナンバー 水平画面方向の表示キャラクタ数を設定します (1 キャラクタ = 8 ドット単位)。 (例) 横幅 240 Pixel の液晶モジュールを使用する場合 HDCN ビット = (240 / 8) = 30 = H'1E
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
7~0	HTCN[7:0]	H'21	R/W	水平総キャラクタナンバー 水平画面方向の総キャラクタ数を設定します (1 キャラクタ = 8 ドット単位)。最小の水平帰線期間は 3 キャラクタ (24 ドット) です。

- 【注】
1. 水平方向の表示画素のデータ量は 1 ライン当たり 2K バイト以内に制限されます。たとえば、16 ビット/pixel (SLDDFR の PKF ビット = B'00011) の場合、水平方向の画素数は 1024 (キャラクタ数は 128) までとなります。
  2. HDCN、HTCN ビットが  
HTCN = HDCN + 3  
の関係を満たすように設定してください。

## 27. LCD コントローラ (LCDC)

### 27.3.45 サブ LCD 水平同期信号レジスタ (SLDHSYNR)

SLDHSYNR は、サブ液晶の横方向の同期タイミングを指定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	HSYNP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7~0	HSYNP[7:0]	H'20	R/W	水平同期信号出力位置 水平画面方向の同期信号の出力位置をキャラクタ数で設定します(1キャラクタ=8ドット単位)。

【注】 HSYNP ビットが、  
HSYNP HDCN + 1  
の関係を満足するように設定してください。

## 27.3.46 サブ LCD 垂直ラインナンバーレジスタ (SLDVLNR)

SLDVLNR は、サブ液晶の縦方向のサイズ、および垂直帰線期間を含めた全体の縦方向の長さを指定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	VDLN[10:0]										
初期値:	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VTLN[10:0]										
初期値:	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
26~16	VDLN[10:0]	H'140	R/W	垂直表示ラインナンバー 垂直画面方向の表示ライン数を設定します (ライン単位)。 (例) 320 ラインの液晶モジュールを使用する場合 VDLN ビット = 320 = H'140
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
10~0	VTLN[10:0]	H'142	R/W	垂直総ラインナンバー 垂直画面方向の総ライン数を設定します (ライン単位)。総ライン数の最小値は 3 です。

- 【注】 1. VTLN、VDLN ビットが、  
VTLN = VDLN + 1  
の関係を満たすように設定してください。
2. VSYNC 入力モードのときは、入力される VSYNC の間隔よりも VTLN ビットで規定される 1 フレームの期間の方が短くなるように設定してください。コマンド発行の期間である垂直帰線期間は、表示動作終了後から VTLN ビットで規定されるフレーム終了のタイミングまでとなります。

## 27. LCD コントローラ (LCDC)

### 27.3.47 サブ LCD 垂直同期信号レジスタ (SLDVSYNR)

SLDVSYNR は、サブ液晶の縦方向の同期信号の発生タイミングおよび幅を指定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	VSYNW[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VSYNP[10:0]										
初期値:	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
19~16	VSYNW[3:0]	H'1	R/W	垂直同期信号幅 垂直画面方向の同期信号幅を設定 (ライン単位)。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
10~0	VSYNP[10:0]	H'141	R/W	垂直同期信号出力位置 垂直画面方向の同期信号の出力位置を設定 (ライン単位)。

【注】 VSYNP ビットが、  
VTLN VSYNP  
VSYNP VDLN+1  
の関係を満たすように設定してください。

### 27.3.48 サブ LCD 水平パーシャル画面レジスタ (SLDHPDR)

SLDHPDR は、サブ液晶がパーシャル画面モード時の水平方向の表示キャラクタ数、およびオフセットキャラクタ数を設定します。詳しい設定方法については「27.4.5 パーシャル画面モード」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	HPDCN[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	HPDOCN[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
23~16	HPDCN[7:0]	H'00	R/W	水平パーシャル画面キャラクタ数 パーシャル画面モード時、パーシャル画面の水平方向の表示キャラクタ数を設定します (1キャラクタ=8ドット単位)。
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7~0	HPDOCN[7:0]	H'00	R/W	水平パーシャル画面オフセットキャラクタ数 パーシャル画面モード時、表示画面サイズに対するパーシャル画面の水平方向のオフセットをキャラクタ数で設定します (1キャラクタ=8ドット単位)。

### 27.3.49 サブLCD 垂直パーシャル画面レジスタ (SLDVPDR)

SLDVPDR は、サブ液晶がパーシャル画面モード時の垂直方向の表示ライン数、およびオフセットライン数を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	VPDLN[10:0]										
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VPDOLN[10:0]										
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
26~16	VPDLN[10:0]	H'000	R/W	垂直パーシャル画面ライン数 パーシャル画面モード時、パーシャル画面の垂直方向の表示ライン数を設定します (1キャラクタ=8ドット単位)。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
10~0	VPDOLN[10:0]	H'000	R/W	垂直パーシャル画面オフセットライン数 パーシャル画面モード時、表示画面サイズに対するパーシャル画面の垂直方向のオフセットをライン数で設定します。

## 27. LCD コントローラ (LCDC)

### 27.3.50 サブ LCD パワーマネジメントレジスタ (SLDPMR)

SLDPMR は、サブ液晶モジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。詳細は「27.4.6 パワーマネジメント」を参照してください。サブ液晶モジュールを使用しない場合は、必ず本レジスタを H'0000 0000 に設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ONA[3:0]				ONB[3:0]				ONC[3:0]				OFFD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OFFE[3:0]				OFFF[3:0]				-	VC	VE	DO	-	-	LPS[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	ONA[3:0]	0000	R/W	電源投入シーケンス期間 A 液晶モジュールの電源投入シーケンスにおいて、LCDVCPWC2 端子から表示データ (LCDD) とタイミング信号 (LCDHSYN、LCDDCK、LCDDISP、LCDVSYN2、LCDRD、LCDCS2) の出力開始までの期間をフレーム周期単位で設定します。VC ビットが 0 のときは必ず ONA ビットを H'0 に設定してください。
27~24	ONB[3:0]	0000	R/W	LCDC 電源投入シーケンス期間 B 液晶モジュールの電源投入シーケンスにおいて、表示データ (LCDD) とタイミング信号 (LCDHSYN、LCDDCK、LCDDISP、LCDVSYN2、LCDRD、LCDCS2) の出力開始から LCDVEPWC2 端子のアサートまでの期間をフレーム単位で設定します。VE ビットが 0 のときは必ず ONB ビットを H'0 に設定してください。
23~20	ONC[3:0]	0000	R/W	LCDC 電源投入シーケンス期間 C 液晶モジュールの電源投入シーケンスにおいて、LCDVEPWC2 端子のアサートから LCDDON2 端子のアサートまでの期間をフレーム単位で設定します。
19~16	OFFD[3:0]	0000	R/W	LCDC 電源遮断シーケンス期間 A 液晶モジュールの電源遮断シーケンスにおいて、LCDDON2 端子のネゲートから LCDVEPWC2 端子のネゲートまでの期間をフレーム単位で設定します。VE ビットが 0 のときは必ず OFFD ビットを H'0 に設定してください。
15~12	OFFE[3:0]	0000	R/W	LCDC 電源遮断シーケンス期間 B 液晶モジュールの電源遮断シーケンスにおいて、LCDVEPWC2 端子のネゲートから表示データ (LCDD) とタイミング信号 (LCDHSYN、LCDDCK、LCDDISP、LCDVSYN2、LCDRD、LCDCS2) の出力停止までの期間をフレーム単位で設定します。

## 27. LCD コントローラ (LCDC)

ビット	ビット名	初期値	R/W	説明
11~8	OFFF[3:0]	0000	R/W	LCDC 電源遮断シーケンス期間 C 液晶モジュールの電源遮断シーケンスにおいて表示データ (LCDD) とタイミング信号 (LCDHSYN、LCDDCK、LCDDISP、LCDVSYN2、LCDRD、LCDCS2) の出力停止から LCDVCPWC2 端子のネゲートまでの期間をフレーム単位で設定します。VC ビットが 0 のときは必ず OFFF ビットを H'0 に設定してください。
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
6	VC	0	R/W	LCDVCPWC2 端子イネーブル LCDVCPWC2 端子を用いた電源制御シーケンス処理の有無を設定。 0: LCDVCPWC2 端子はロー固定 1: LCDVCPWC2 端子は、所定のシーケンスに従い、アサート、またはネゲートする
5	VE	0	R/W	LCDVEPWC2 端子イネーブル LCDVEPWC2 端子を用いた電源制御シーケンス処理の有無を設定。 0: LCDVEPWC2 端子はロー固定 1: LCDVEPWC2 端子は、所定のシーケンスに従い、アサート、またはネゲートする
4	DO	0	R/W	LCDDON2 端子イネーブル LCDDON2 端子を用いた電源制御シーケンス処理の有無を設定。 0: LCDDON2 端子はロー固定 1: LCDDON2 端子は、所定のシーケンスに従い、アサート、またはネゲートする
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
1、0	LPS[1:0]	00	R	液晶モジュール電源入力状態 電源、制御機能を使用しているときの液晶モジュールの電源投入状態を示します。 00: 液晶モジュールへの電源が遮断されている 11: 液晶モジュールへの電源が投入されている

## 27. LCD コントローラ (LCDC)

### 27.3.51 LCDC ドライバライトデータレジスタ 0 ~ F (LDDWD0R ~ LDDWDFR)

LDDWDnR は、液晶ドライバライトデータ、レジスタセレクト (LCDRS) を設定するレジスタです。

DWD ビットにライトデータを設定する場合、どのビットのデータが有効なインストラクションになるのかは、液晶ドライバの仕様を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	WD ACT	-	-	-	RSW	-	-	-	-	-	-	-	DWD[17:16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DWD[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
28	WDACT	0	R/W	データライト選択 SYS インタフェース時、DWD ビットに設定されたライトデータを液晶ドライバに発行するか否かを指定します。 0: DWD ビットに設定されたライトデータを液晶ドライバに発行しない 1: DWD ビットに設定されたライトデータを液晶ドライバに発行する
27~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
24	RSW	0	R/W	ライトレジスタセレクト極性選択 SYS インタフェース時、CPU アクセスの書き込みサイクルにおけるレジスタセレクト (LCDRS) 極性を設定します。 0: レジスタセレクトはロー 1: レジスタセレクトはハイ
23~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
17~0	DWD[17:0]	H'0 0000	R/W	書き込みデータ SYS インタフェース時、液晶ドライバへのライトデータを設定します。



## 27.3.52 LCDC ドライバリードデータレジスタ (LDDRDR)

LDDRDR は、液晶ドライバリードデータの表示、レジスタセレクト (LCDRS) を設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	RSR	-	-	-	-	-	-	-	DRD[17:16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRD[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
24	RSR	0	R/W	リードレジスタセレクト極性選択 SYS インタフェース時、CPU アクセスのリードサイクルにおけるレジスタセレクト (LCDRS) 極性を設定します。 0: レジスタセレクトはロー 1: レジスタセレクトはハイ
23~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
17~0	DRD[17:0]	H'0 0000	R	リードデータ SYS インタフェース時、液晶ドライバからリードデータが読み出されます。

## 27. LCD コントローラ (LCDC)

### 27.3.53 LCDC ドライバライトアクセスレジスタ (LDDWAR)

LCDCは、WA ビットをB'1 にすることによって、液晶ドライバに対してライトトランザクションを発行します。ただし、LDDWDnR の WDACT ビットが B'1 である LDDWDnR の DWD ビットのデータが設定されます。また、書き込まれる順番は、LDDWD0R から LDDWD1R、LDDWD2R...となり、LDDWDnR の WDACT ビットが B'0 になったところで終了します。すべての WDACT ビットが B'1 の場合、LDDWDFR の書き込みを発行した時点で終了します。ライトトランザクションを発行するときは、必ず LDDWD0R の WDACT ビットを B'1 にしてください。ライトトランザクションの発行後、WA ビットは自動的に B'0 にクリアされます。

- 【注】
1. SYS インタフェースモード時、表示動作中に LCD ドライバへのライトトランザクションを発行する場合、垂直帰線期間を 2 ライン以上に設定してください。
  2. ライトトランザクションを発行する際は、LCD ドライバへのアクセスが完了するのに十分な時間が確保できるよう、垂直帰線期間を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LS	WA
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
1	LS	0	R/W	LCD 選択 ライトトランザクションを発行する液晶を選択します。 0: メイン液晶を選択 1: サブ液晶を選択
0	WA	0	R/W	ライトトランザクション発行 ライトトランザクションを発行します。 0: - 1: ライトトランザクション発行

## 27.3.54 LCDC ドライバリードアクセスレジスタ (LDDRAR)

LCDC は RA ビットを B'1 に設定することで、液晶ドライバに対してリードトランザクションを発行します。本レジスタにアクセス後、リードデータは LDDRDR の DRD ビットに格納されます。

- 【注】
1. SYS インタフェースモード時、表示動作中に LCD ドライバへのリードトランザクションを発行する場合、垂直帰線期間を 2 ライン以上に設定してください。
  2. リードトランザクションを発行する際は、LCD ドライバへのアクセスが完了するのに十分な時間が確保できるよう、垂直帰線期間を設定してください。垂直帰線期間内にリードアクセスが終了しなかった場合、LDINTR の CA ビットが B'1 になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LS	RA
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
1	LS	0	R/W	LCD 選択 リードトランザクションを発行する液晶を選択します。 0: メイン液晶を選択 1: サブ液晶を選択
0	RA	0	R/W	リードトランザクション発行 リードトランザクションを発行します。 0: - 1: リードトランザクション発行

## 27.4 動作説明

### 27.4.1 LCDC 表示性能

- 液晶モジュール  
TFTパネル、モジュールインタフェースは、RGBインタフェースと80系CPUバスインタフェース (SYSインタフェース) に対応
- 推奨表示解像度  
240×320 (24bpp) (最大SXGAクラスまで対応可能)
- 表示色  
最大1677万色 (24ビットカラー)
- 表示色制御  
256エントリ / 24ビット入力24ビット出力対応パレットメモリ内蔵
- データ極性反転制御  
RGBインタフェース信号の極性反転、および表示データの反転

### 27.4.2 カラーパレット仕様について

LCDC は、1 エントリにつき 24 ビットデータ入力 / 24 ビットデータ出力で 256 エントリ同時使用可能なカラーパレットを内蔵しています。カラーパレットの設定は、LCDC を起動していない状態のときに行ってください。

カラーパレットは、以下の手順により、ユーザによる随時設定が可能です。

1. LDPALCRのPEビットがB'0 (初期値) : 通常表示モード
2. LDPALCRにアクセスし、PEビットをB'1に設定 : カラーパレット設定モードに移行
3. LDPRnn ( nn = H'00 ~ H'FF ) にアクセスし、PALDnnビットに必要な値を書き込む
4. LDPALCRにアクセスし、PEビットをB'0に設定 : 通常表示モードに戻る

カラーパレットのデータフォーマットを図 27.6 に示します。

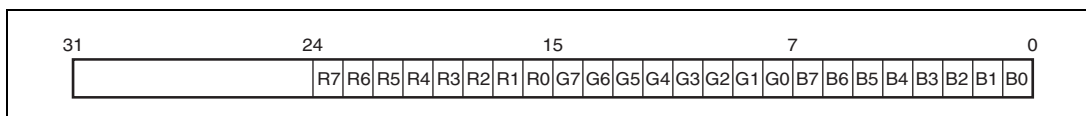


図27.6 カラーパレットデータフォーマット

LDPRnn の PALDnn ビットは、上記のようにビット[23:16]が R データ、ビット[15:8]が G データ、ビット[7:0]が B データにそれぞれ対応します。ビット[31:24]は無効です。

### 27.4.3 表示タイミングコントロール

表示解像度の設定は、LCD 水平キャラクタナンバーレジスタ (MLDHCNR、SLDHCNR)、LCD 水平同期信号レジスタ (MLDHSYNR、SLDHSYNR)、LCD 垂直ラインナンバーレジスタ (MLDVLR、SLDVLR)、LCD 垂直同期信号レジスタ (MLDVSYNR、SLDVSYNR) によって行います。

LCDC ドットクロックレジスタ (LDDCKR) で分周比を設定します。液晶モジュールのフレームレートは、上記のレジスタに設定された 1 画面分の表示期間 + 帰線期間 (非表示期間) と使用するクロックの周波数、さらに分周比により決定されます。

また、LCDC は、メモリから 1 フレームのリードが終了後、液晶モジュールにフレームの最終ピクセルを出力したとき、フレーム単位、およびユーザの指定した任意のライン単位での割り込みを発生する機能等を持っています。LCDC 割り込みレジスタ (LDINTR) を用いてその機能を設定します。

### 27.4.4 ワンショットモード

LCDC は、表示データを取得する際、動画のフレームレートに合わせて表示画像を間欠的に取得するワンショットモードをサポートします。

メイン液晶を例として以下に使用例、注意事項を示します。サブ液晶を使用する場合も同様です。

- 使用例1

1. MLDSM1RのOSビットをB'0に設定：連続モード (初期値)
2. OSビットをB'1に設定：ワンショットモードに移行
3. 画像を表示したいタイミングでMLDSM2RのOSTRGビットをB'1に設定：1フレーム分の表示データを取得
4. 3を繰り返す
5. OSビットをB'0に設定：連続モードに戻る

- 使用例2：ワンショットモードで連続的に表示データを取得する場合

1. MLDSM1RのOSビットをB'0に設定：連続モード (初期値)
2. OSビットをB'1に設定：ワンショットモードに移行
3. フレーム終了割り込みステータスを確認 (LDINTRのFSビット)
4. FSビットがB'1であれば、MLDSM2RのOSTRGビットをB'1に設定：1フレーム分の表示データを取得
5. FSビットをB'0に設定：フレーム終了割り込みステータスのクリア
6. 3~5を繰り返す
7. OSビットをB'0に設定：連続モードに戻る

【注】 MLDPMR の ONA、ONB、および ONC ビットのいずれかにオフセットを設定した場合 (HF 以外を設定)、最初に必ずトリガをかけてください。ただし、そのフレームの画像は出力されません。

### 27.4.5 パーシャル画面モード

LCDC は、表示データを取得する際、書き換え部分のみを取得するパーシャル画面モードをサポートします。メイン液晶を例として以下に使用例、注意事項を示します。サブ液晶を使用する場合も同様です。

- 使用例

1. MLDHPDR、MLDVPDRによりパーシャル画面サイズを設定する
2. MLDSM1RのPRDビットをB'0、OSビットをB'1に設定：全画面、ワンショットモード
3. LDCNT2RのDOビットをB'1に設定：LCDC起動
4. 全画面、ワンショットモードにより表示データを取得
5. パーシャル画面モードを使用する場合、表示データを取得していないときに、PRDビットをB'1、OSビットをB'1に設定：パーシャル画面、ワンショットモードへ移行
6. MLDSM2RのOSTRGビットをB'1に設定：パーシャル画面サイズの表示データを取得
7. 6を繰り返す
8. PRDビットをB'0、OSビットをB'1に設定：全画面、ワンショットモードへ戻る

- 【注】
1. MLDHPDR、MLDVPDR によるパーシャル画面サイズ+オフセット数が、全画面モードでの表示サイズを超えないように設定してください。
  2. 連続モード時の取得画面サイズの切り替え(全画面モード パーシャル画面モード、パーシャル画面サイズの変更)はサポートしておりません。取得画面サイズの切り替えは、LCDC 停止中 (MLDPMR の LPS ビット = B'00)、もしくはワンショットモードで表示データを取得していないときに行ってください。

## 27.4.6 パワーマネジメント

ここではメイン液晶を例にして、パワーマネジメントについて説明します。

通常、液晶モジュールは電源の投入遮断に関し、特定のシーケンス処理を必要としています。メイン LCD パワーマネジメントレジスタ (MLDPMR)、LCDC 制御レジスタ 1 (LDCNT1R)、LCDC 制御レジスタ 2 (LDCNT2R) を設定することにより、液晶電源制御端子 (LCDVCPWC、LCDVEPWC、LCDDON) を使用して、液晶モジュールの要求に応じた多様な電源制御シーケンス処理を実行可能です。電源制御シーケンスの概略タイミングチャートを図 27.7 に示します。図中では、MLDPMR の ONA ビット、ONB ビット、ONC ビット、OFFD ビット、OFFE ビット、および OFFF ビットをそれぞれ ONA、ONB、ONC、OFFD、OFFE、および OFFF で表します。

なお、パワーマネジメント機能は、単体動作のときのみ使用可能です。使用していない液晶側のパワーマネジメント設定は、必ずオフ (MLDPMR=0 または SLDPMR=0) にしてください。

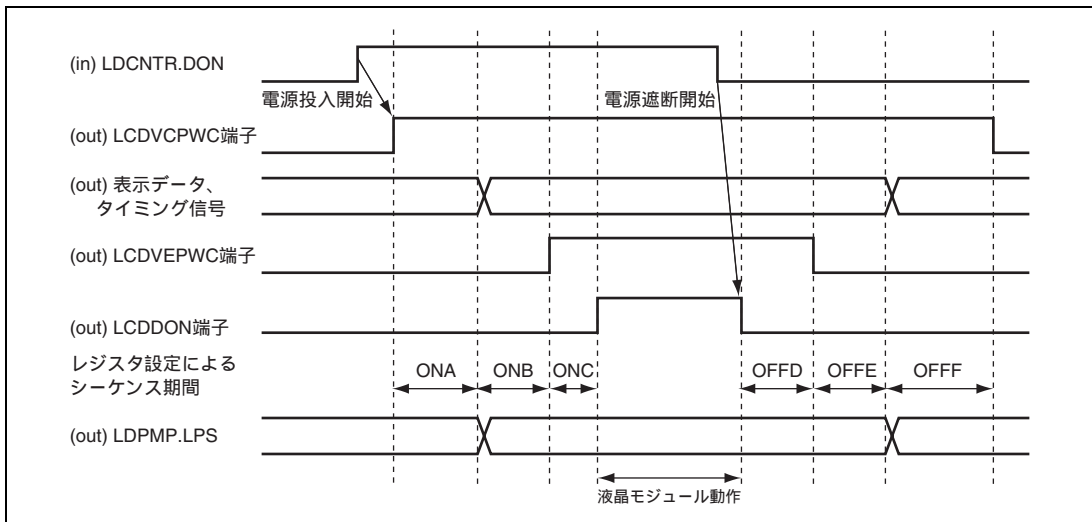


図27.7 電源制御シーケンスと液晶モジュールの動作状態

### 27.4.7 ドットクロック設定例

ドットクロックの設定例について説明します。ソースクロックを 33MHz、水平方向の総ドット数 (MLDHCNR の HTCNR ビット) が 304 ドット、垂直画面方向の総ライン数 (MLDVLR の VTLN ビット) が 330 ラインの場合に、リフレッシュレート 55Hz を得たい場合を例とします。この場合のドットクロックパターン設定例を図 27.8 に示します。RGB インタフェースの 2 回転送、3 回転送モード時には、リフレッシュレートのそれぞれ 2 倍、3 倍になるようにドットクロックを設定してください。

なお、ドットクロックの設定 (MLDDCKPAT1R、MLDDCKPAT2R、LDDCKR) は LCDC が待機状態のときに行ってください。動作中にこれらの値を変更した場合、動作を保証しません。

$$33\text{MHz} \div (304 \times 330 \times 55\text{Hz}) = 5.98 \quad 6 \quad \text{分周比を } 10/60 \text{ に設定}$$

LDDCKR の MDCDR ビット = H'3C

MLDDCKPAT1R の DCKPATI ビット = H'1C71C71

MLDDCKPAT2R の DCKPATI ビット = H'C71C71C7

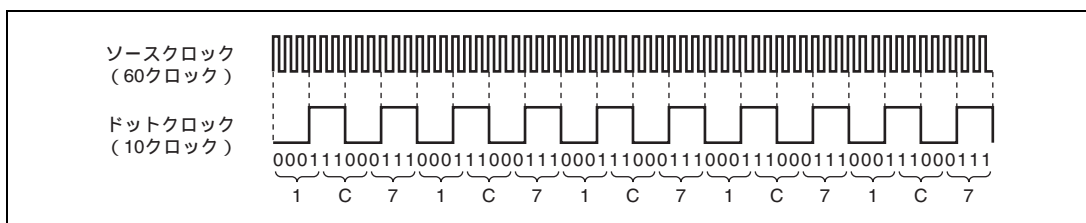


図27.8 ドットクロックパターン設定例

【注】 ドットクロックのソースクロックとして、バスクロック (B )、周辺クロック (P )、外部入力クロック (LCDLCLK) が選択できます。

周辺クロックを選択する場合は、周辺クロックをバスクロックより遅い周波数とし、クロック比 1 : 1 の設定は行わないでください。また、外部入力クロックを選択する場合は、外部入力クロックをジッタ込みでバスクロックと同じか遅い周波数としてください。



## 27.5 レジスタ設定方法

### 27.5.1 2面レジスタの切り替えタイミング

LCDC は、メイン液晶用レジスタを 2 面、サブ液晶用レジスタを 2 面持っています。レジスタ面が切り替わるタイミングは、メイン液晶レジスタおよびサブ液晶用レジスタがそれぞれの液晶のフレーム表示を終了し、フレーム終了割り込みが発生したときです。

レジスタ面の切り替えおよびフレーム終了割り込み発生のタイミングを図 27.9 に示します。フレーム終了割り込みが発生したら、次のフレーム用のレジスタ設定を行うようにしてください。

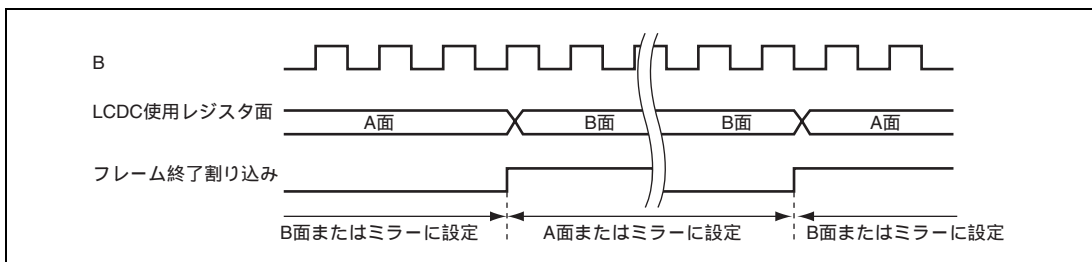


図27.9 割り込みとレジスタ設定のタイミング

## 27.6 クロックストップ制御

### 27.6.1 自律クロックストップ

LCDC は、待機状態では必要のないブロックにはクロックの供給をストップし、起動がかかったときに自動的にクロックを供給する機能を持ちます。

### 27.7 クロックと液晶データ信号例

(1) 16 ビットデータバス、1 サイクル 1 回転送、TFT 液晶モジュール 240 × 320Pixel (RGB インタフェース接続)

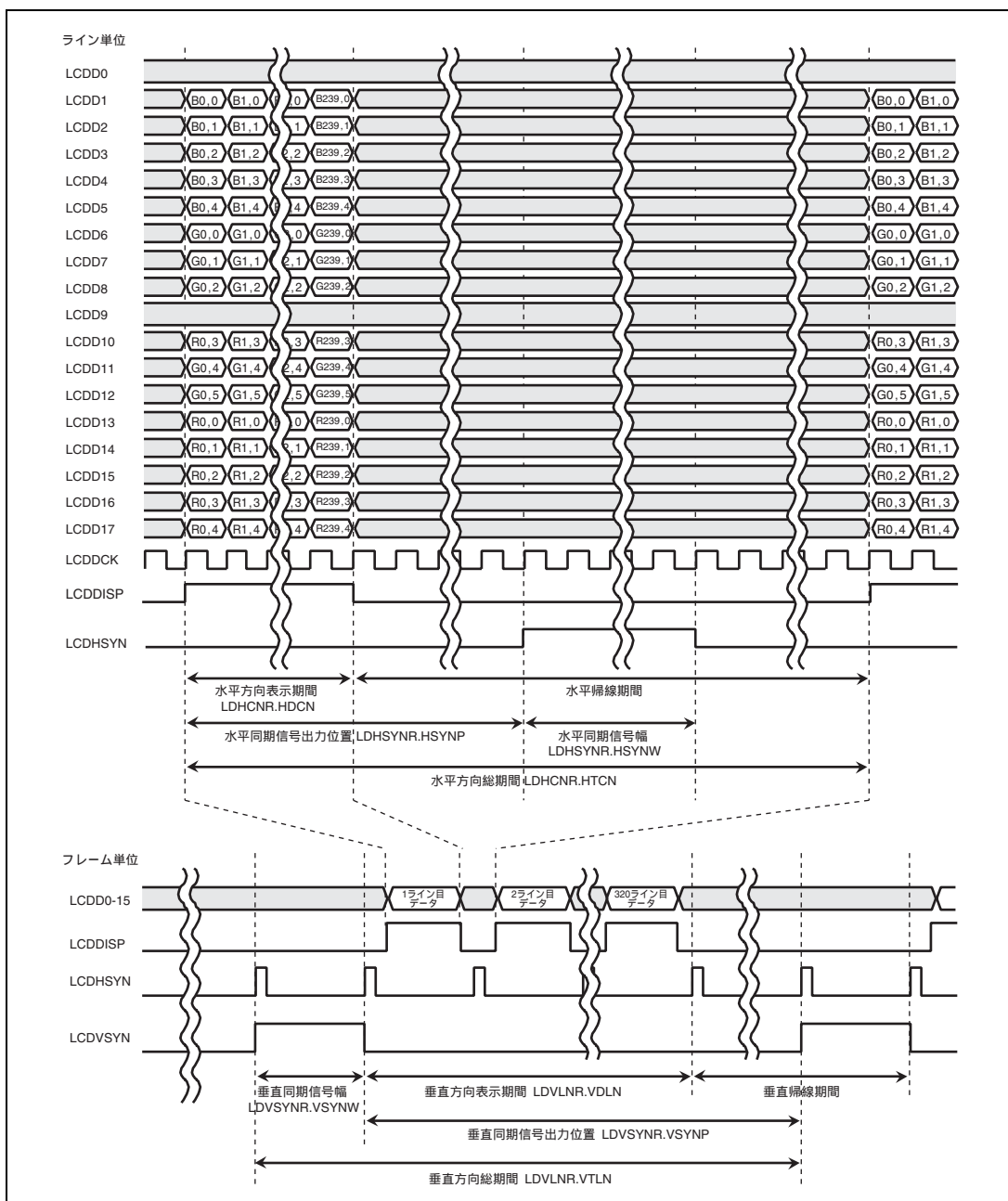


図27.10 クロックと液晶データ信号例 (1)

(2) 16ビットデータバス、1サイクル1回転送、TFT液晶モジュール240×320Pixel (SYSインタフェース接続)

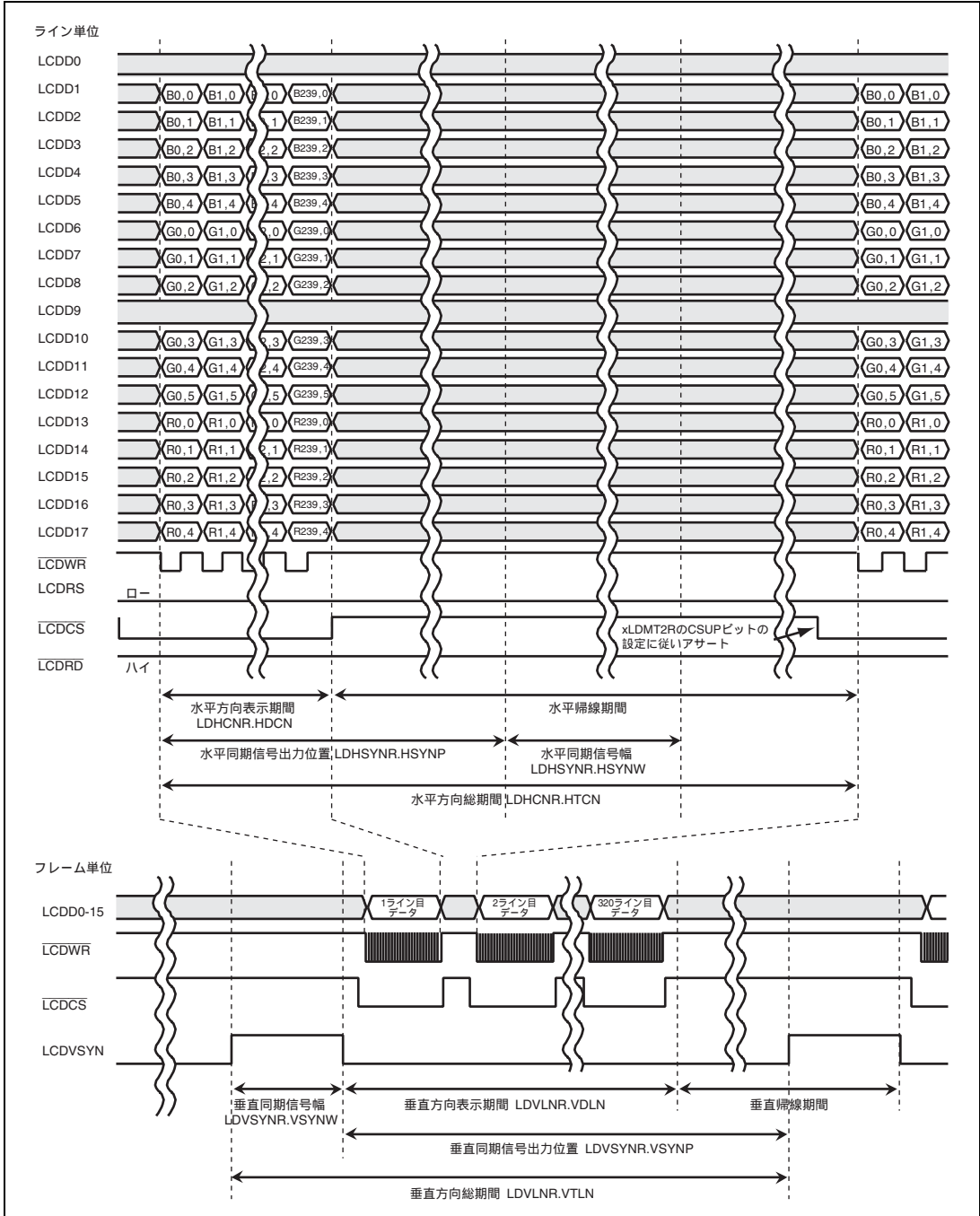


図27.11 クロックと液晶データ信号例 (2)

## 27. LCD コントローラ (LCDC)

(3) 16ビットデータバス、1サイクル1回転送、TFT液晶モジュール240×320Pixel (RGBインタフェース接続、コマンド転送時)

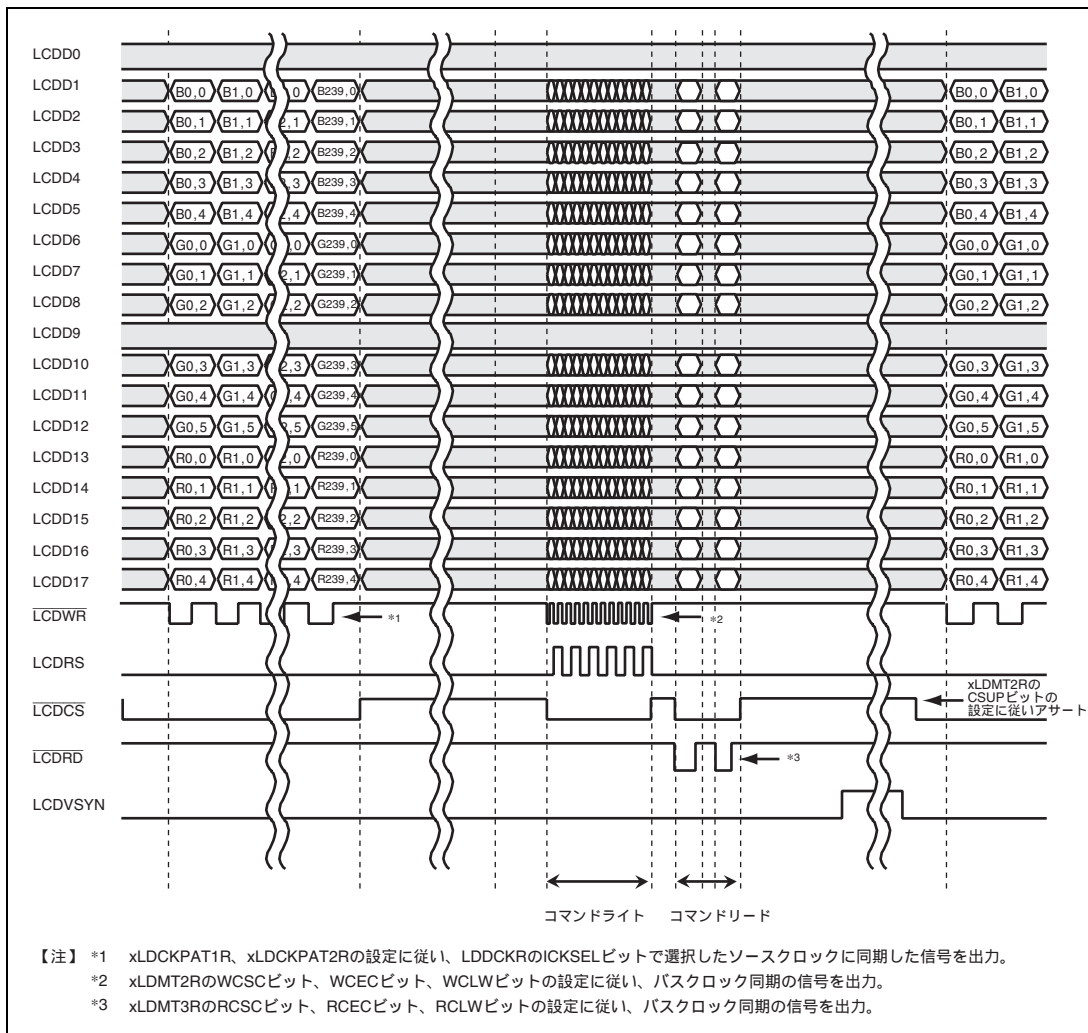


図27.12 クロックと液晶データ信号例 (3)

## 27.8 データフォーマット

### 27.8.1 メイン LCD 出力データフォーマット

メイン LCD パネルに出力するデータフォーマットを図 27.13 に示します。

出力データ		LCDD 23	LCDD 22	LCDD 21	LCDD 20	LCDD 19	LCDD 18	LCDD 17	LCDD 16	LCDD 15	LCDD 14	LCDD 13	LCDD 12	LCDD 11	LCDD 10	LCDD 9	LCDD 8	LCDD 7	LCDD 6	LCDD 5	LCDD 4	LCDD 3	LCDD 2	LCDD 1	LCDD 0
SYS8a(1回目)	24bpp							R7	R6	R5	R4	R3	R2	R1	R0										
SYS8a(2回目)								G7	G6	G5	G4	G3	G2	G1	G0										
SYS8a(3回目)								B7	B6	B5	B4	B3	B2	B1	B0										
SYS8b(1回目)	18bpp							R7	R6	R5	R4	R3	R2	G7	G6										
SYS8b(2回目)								G5	G4	G3	G2	B7	B6	B5	B4										
SYS8b(3回目)														B3	B2										
SYS8c(1回目)	18bpp													R7	R6										
SYS8c(2回目)								R5	R4	R3	R2	G7	G6	G5	G4										
SYS8c(3回目)								G3	G2	B7	B6	B5	B4	B3	B2										
SYS8d(1回目)	16bpp							R7	R6	R5	R4	R3	G7	G6	G5										
SYS8d(2回目)								G4	G3	G2	B7	B6	B5	B4	B3										
SYS9(1回目)	18bpp							R7	R6	R5	R4	R3	R2	G7	G6	G5									
SYS9(2回目)								G4	G3	G2	B7	B6	B5	B4	B3	B2									
SYS12(1回目)	24bpp							R7	R6	R5	R4	R3	R2	R1	R0	G7	G6	G5	G4						
SYS12(2回目)								G3	G2	G1	G0	B7	B6	B5	B4	B3	B2	B1	B0						
SYS16a(1回目)	16bpp							R7	R6	R5	R4	R3	G7	G6	G5		G4	G3	G2	B7	B6	B5	B4	B3	
SYS24(1回目)	24bpp	R7	R6	R5	R4	R3	R2	R1	R0	G7	G6	G5	G4	G3	G2	G1	G0	B7	B6	B5	B4	B3	B2	B1	B0
SYS16b(1回目)	18bpp							R7	R6	R5	R4	R3	R2	G7	G6		G5	G4	G3	G2	B7	B6	B5	B4	
SYS16b(2回目)								B3	B2																
SYS16c(1回目)	18bpp							R7	R6																
SYS16c(2回目)								R5	R4	R3	R2	G7	G6	G5	G4		G3	G2	B7	B6	B5	B4	B3	B2	
SYS18(1回目)	18bpp							R7	R6	R5	R4	R3	R2	G7	G6	G5	G4	G3	G2	B7	B6	B5	B4	B3	B2
RGB8(1回目)	24bpp							R7	R6	R5	R4	R3	R2	R1	R0										
RGB8(2回目)								G7	G6	G5	G4	G3	G2	G1	G0										
RGB8(3回目)								B7	B6	B5	B4	B3	B2	B1	B0										
RGB9(1回目)	18bpp							R7	R6	R5	R4	R3	R2	G7	G6	G5									
RGB9(2回目)								G4	G3	G2	B7	B6	B5	B4	B3	B2									
RGB12a(1回目)	24bpp							R7	R6	R5	R4	R3	R2	R1	R0	G7	G6	G5	G4						
RGB12a(2回目)								G3	G2	G1	G0	B7	B6	B5	B4	B3	B2	B1	B0						
RGB12b(1回目)	12bpp							R7	R6	R5	R4	G7	G6	G5	G4	B7	B6	B5	B4						
RGB16(1回目)	16bpp							R7	R6	R5	R4	R3	G7	G6	G5		G4	G3	G2	B7	B6	B5	B4	B3	
RGB18(1回目)	18bpp							R7	R6	R5	R4	R3	R2	G7	G6	G5	G4	G3	G2	B7	B6	B5	B4	B3	B2
RGB24(1回目)	24bpp	R7	R6	R5	R4	R3	R2	R1	R0	G7	G6	G5	G4	G3	G2	G1	G0	B7	B6	B5	B4	B3	B2	B1	B0

図27.13 メイン LCD 出力データフォーマット

## 27. LCD コントローラ (LCDC)

### 27.8.2 サブ LCD 出力データフォーマット

サブ LCD パネルに出力するデータフォーマットを図 27.14 に示します。

出力データ		LCDD 23	LCDD 22	LCDD 21	LCDD 20	LCDD 19	LCDD 18	LCDD 17	LCDD 16	LCDD 15	LCDD 14	LCDD 13	LCDD 12	LCDD 11	LCDD 10	LCDD 9	LCDD 8	LCDD 7	LCDD 6	LCDD 5	LCDD 4	LCDD 3	LCDD 2	LCDD 1	LCDD 0
SYS8a(1回目)	24bpp							R7	R6	R5	R4	R3	R2	R1	R0										
SYS8a(2回目)								G7	G6	G5	G4	G3	G2	G1	G0										
SYS8a(3回目)								B7	B6	B5	B4	B3	B2	B1	B0										
SYS8b(1回目)	18bpp							R7	R6	R5	R4	R3	R2	G7	G6										
SYS8b(2回目)								G5	G4	G3	G2	B7	B6	B5	B4										
SYS8b(3回目)														B3	B2										
SYS8c(1回目)	18bpp													R7	R6										
SYS8c(2回目)								R5	R4	R3	R2	G7	G6	G5	G4										
SYS8c(3回目)								G3	G2	B7	B6	B5	B4	B3	B2										
SYS8d(1回目)	16bpp							R7	R6	R5	R4	R3	G7	G6	G5										
SYS8d(2回目)								G4	G3	G2	B7	B6	B5	B4	B3										
SYS9(1回目)	18bpp							R7	R6	R5	R4	R3	R2	G7	G6	G5									
SYS9(2回目)								G4	G3	G2	B7	B6	B5	B4	B3	B2									
SYS12(1回目)	24bpp							R7	R6	R5	R4	R3	R2	R1	R0	G7	G6	G5	G4						
SYS12(2回目)								G3	G2	G1	G0	B7	B6	B5	B4	B3	B2	B1	B0						
SYS16a(1回目)	16bpp							R7	R6	R5	R4	R3	G7	G6	G5		G4	G3	G2	B7	B6	B5	B4	B3	B2
SYS16b(1回目)	18bpp							R7	R6	R5	R4	R3	R2	G7	G6		G5	G4	G3	G2	B7	B6	B5	B4	
SYS16b(2回目)								B3	B2																
SYS16c(1回目)	18bpp							R7	R6																
SYS16c(2回目)								R5	R4	R3	R2	G7	G6	G5	G4		G3	G2	B7	B6	B5	B4	B3	B2	
SYS18(1回目)	18bpp							R7	R6	R5	R4	R3	R2	G7	G6	G5	G4	G3	G2	B7	B6	B5	B4	B3	B2
SYS24(1回目)	24bpp	R7	R6	R5	R4	R3	R2	R1	R0	G7	G6	G5	G4	G3	G2	G1	G0	B7	B6	B5	B4	B3	B2	B1	B0

図 27.14 サブ LCD 出力データフォーマット

### 27.8.3 書き戻しデータフォーマット

表示データの書き戻しを行う際のデータフォーマットを図 27.15 に示します。

アドレス(BigEndian)	n+0	n+1	n+2	n+3																								
アドレス(LittleEndian)	n+3	n+2	n+1	n+0																								
WB8a(1回目)	24bpp				R7	R6	R5	R4	R3	R2	R1	R0																
WB8a(2回目)					G7	G6	G5	G4	G3	G2	G1	G0																
WB8a(3回目)					B7	B6	B5	B4	B3	B2	B1	B0																
WB8d(1回目)	18bpp				R7	R6																						
WB8d(2回目)					R5	R4	R3	R2	G7	G6	G5	G4																
WB8d(3回目)					G3	G2	B7	B6	B5	B4	B3	B2																
WB9(1回目)	18bpp				R7	R6	R5	R4	R3	R2	G7	G6	G5															
WB9(2回目)					G4	G3	G2	B7	B6	B5	B4	B3	B2															
WB16(1回目)	16bpp				R7	R6	R5	R4	R3	G7	G6	G5	G4	G3	G2	B7	B6	B5	B4	B3								
WB18(1回目)	18bpp				R7	R6	R5	R4	R3	R2	G7	G6	G5	G4	G3	G2	B7	B6	B5	B4	B3	B2						
WB24(1回目)	24bpp				R7	R6	R5	R4	R3	R2	R1	R0	G7	G6	G5	G4	G3	G2	G1	G0	B7	B6	B5	B4	B3	B2	B1	B0

図 27.15 書き戻しデータフォーマット

## 27.9 使用上の注意事項

### 27.9.1 アドレスレジスタの設定値について

LCDC のアドレスレジスタに設定するアドレスは、キャッシュの有効/無効にかかわらず、P0 領域として設定してください。

### 27.9.2 画像データ入力フォーマット YCbCr4:2:0 時のユーザ指定割り込みの発生について

LCDC の画像データ入力フォーマットが YCbCr4:2:0 のとき、ユーザ指定割り込みは下記のように発生します。

1. ユーザ指定割り込み位置を縦ライン数の半分以下の値に設定した場合、1フレームに2回ユーザ指定割り込みが発生します。
2. ユーザ指定割り込み位置を縦ライン数の半分より大きい値に設定した場合、ユーザ指定割り込みが発生しません。

#### • 回避方法

1. ユーザ指定割り込み位置を縦ライン数の半分以下の値に設定する場合  
最初のユーザ指定割り込みのみを有効な割り込みとして検知してください。
2. ユーザ指定割り込み位置を縦ライン数の半分より大きい値に設定する場合  
指定したいユーザ指定割り込み位置をnとすると、nを設定するのではなく、(n - 縦ライン数/2)を設定してください。  
そして、2回目の割り込みのみを有効な割り込みとして検知してください。





---

## 28. USB モジュール ( USB )

---

本 LSI は、USB 規格 2.0 のハイスピード転送、フルスピード転送に対応した USB ホスト機能および USB ペリフェラル機能を持つモジュール ( USB ) を内蔵し、USB 規格で定義されている全転送タイプに対応しています。  
データ転送用に 4K バイトのバッファメモリを内蔵し、最大 8 本のパイプを使用できます。

### 28.1 特長

#### (1) USB 規格 Rev.2.0 ハイスピードに対応

- USB規格Rev.2.0準拠 ( Universal Serial Bus Specification Revision 2.0 ) のホストコントローラとペリフェラルコントローラを内蔵
- USBホスト機能とペリフェラル機能をレジスタ設定により切り替え可能
- ハイスピード転送 ( 480Mbps ) とフルスピード転送 ( 12Mbps ) に対応
- ハイスピード / フルスピード USB トランシーバ内蔵 ( ホストとペリフェラル共用 )

#### (2) USB 全転送タイプに対応

- コントロール転送
- バルク転送
- インタラプト転送 ( High Bandwidthは非対応 )
- アイソクロナス転送 ( High Bandwidthは非対応 )

#### (3) 内部バスインタフェース

- DMAインタフェースを1チャンネル内蔵

#### (4) パイプコンフィギュレーション

- USB通信用バッファメモリを4Kバイト内蔵
- 最大8本のパイプを選択可能 ( デフォルトコントロールパイプを含む )
- プログラマブルなパイプ構成
- PIPE1 ~ PIPE7は任意のエンドポイント番号を割り付け可能
- 各パイプの設定可能な転送条件

PIPE0 : コントロール転送、連続転送モード、256バイト固定シングルバッファ

PIPE1、PIPE2 : バルク転送 / アイソクロナス転送、連続転送モード、バッファサイズはプログラマブル ( 最大1.8Kバイトでダブルバッファ指定可能 )

## 28. USB モジュール (USB)

---

PIPE3 ~ PIPE5 : バルク転送、連続転送モード、バッファサイズはプログラマブル (最大1.8Kバイトでダブルバッファ指定可能)

PIPE6、PIPE7 : インタラプト転送、64バイト固定シングルバッファ

### (5) ホスト機能選択時の特長

- ペリフェラル機器との1対1接続での通信が可能
- SOF、パケット送信のスケジュールを自動化
- アイソクロナス転送、インタラプト転送の転送インターバル設定機能

### (6) ペリフェラル機能選択時の特長

- コントロール転送ステージ管理機能
- デバイスステート管理機能
- SET\_ADDRESSリクエストに対する自動応答機能
- NAK応答割り込み機能 (NRDY)

### (7) その他の機能

- 8種35要因の割り込み  
ソフトウェアの設定により種類別、要因別に割り込み通知を選択可能
- リセットハンドシェイク自動応答によるハイスピード動作、もしくはフルスピード動作自動認識
- DMA転送時のトランザクションカウント機能
- 割り込み制御によるDMA転送の終了機能
- SOF補間機能
- DMA転送終了時のZero-Lengthパケット付加機能 (DEZPM)
- BRDY割り込みイベント通知タイミング変更機能 (BFRE)
- D0FIFOポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能 (DCLRM)
- トランスファ終了 (ショートパケット受信、もしくはトランザクションカウンタで本モジュールが自動識別) での応答PIDのNAK設定機能 (SHTNAK)

図 28.1 に本モジュールのブロック図を示します。

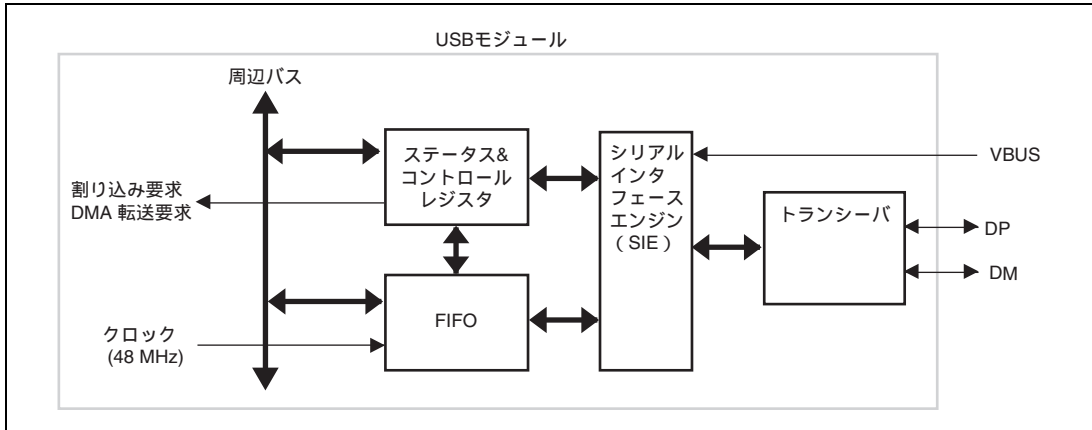


図28.1 USB のブロック図

## 28. USB モジュール (USB)

### 28.2 入出力端子

本モジュールの端子構成を表 28.1 に示します。

表28.1 端子構成

端子名	機能	入出力	説明
DP	D+入出力	入出力	USB 内蔵トランシーバ D+入出力です。
DM	D-入出力	入出力	USB 内蔵トランシーバ D-入出力です。
VBUS	USB 電源検知	入力	USB ケーブル接続モニタ端子です。
REFRIN	リファレンス入力	-	定電流回路用の基準抵抗を接続する端子です。
EXTALUSB	USB 用 48MHz クロック入力	入力	USB 用の 48MHz クロック端子です。
XTALUSB	USB 用 48MHz クロック出力	出力	EXTALUSB、XTALUSB の間に水晶振動子を接続してください。 外部クロックを入力する場合は、EXTALUSB に外部クロック信号を接続し、XTALUSB はオープンとしてください。

### 28.3 レジスタの説明

本モジュールのレジスタ構成を表 28.2 に示します。また、各処理モードにおけるレジスタの状態を表 28.3 に示します。

表28.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
システムコンフィギュレーションコントロールレジスタ	SYSCFG	R/W	H'A448 0000	16
システムコンフィギュレーションステータスレジスタ	SYSSTS	R	H'A448 0002	16
デバイスステートコントロールレジスタ	DVSTCTR	R/W	H'A448 0004	16
テストモードレジスタ	TESTMODE	R/W	H'A448 0006	16
CPU-FIFO バスコンフィギュレーションレジスタ	CFBCFG	R/W	H'A448 000A	16
DMA0-FIFO バスコンフィギュレーションレジスタ	D0FBCFG	R/W	H'A448 000C	16
CFIFO ポートレジスタ	CFIFO	R/W	H'A448 0010	32
D0FIFO ポートレジスタ	D0FIFO	R/W	H'A448 0014	32
CFIFO ポート選択レジスタ	CFIFOSEL	R/W	H'A448 001E	16
CFIFO ポートコントロールレジスタ	CFIFOCTR	R/W	H'A448 0020	16
CFIFO ポート SIE レジスタ	CFIFOSIE	R/W	H'A448 0022	16
D0FIFO ポート選択レジスタ	D0FIFOSEL	R/W	H'A448 0024	16
D0FIFO ポートコントロールレジスタ	D0FIFOCTR	R/W	H'A448 0026	16
D0 トランザクションカウンタレジスタ	D0FIFOTRN	R/W	H'A448 0028	16
割り込み許可レジスタ 0	INTENB0	R/W	H'A448 0030	16
割り込み許可レジスタ 1	INTENB1	R/W	H'A448 0032	16
BRDY 割り込み許可レジスタ	BRDYENB	R/W	H'A448 0036	16

## 28. USB モジュール (USB)

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
NRDY 割り込み許可レジスタ	NRDYENB	R/W	H'A448 0038	16
BEMP 割り込み許可レジスタ	BEMPENB	R/W	H'A448 003A	16
割り込みステータスレジスタ 0	INTSTS0	R/W	H'A448 0040	16
割り込みステータスレジスタ 1	INTSTS1	R/W	H'A448 0042	16
BRDY 割り込みステータスレジスタ	BRDYSTS	R/W	H'A448 0046	16
NRDY 割り込みステータスレジスタ	NRDYSTS	R/W	H'A448 0048	16
BEMP 割り込みステータスレジスタ	BEMPSTS	R/W	H'A448 004A	16
フレームナンバレジスタ	FRMNUM	R/W	H'A448 004C	16
μフレームナンバレジスタ	UFRMNUM	R	H'A448 004E	16
USB アドレスレジスタ	RECOVER	R	H'A448 0050	16
USB リクエストタイプレジスタ	USBREQ	R	H'A448 0054	16
USB リクエストバリュージェジスタ	USBVAL	R	H'A448 0056	16
USB リクエストインデックスレジスタ	USBINDX	R	H'A448 0058	16
USB リクエストレンゲスレジスタ	USBLENG	R	H'A448 005A	16
DCP コンフィギュレーションレジスタ	DCPCFG	R/W	H'A448 005C	16
DCP マックスパケットサイズレジスタ	DCPMAXP	R/W	H'A448 005E	16
DCP コントロールレジスタ	DCPCTR	R/W	H'A448 0060	16
パイプウィンドウ選択レジスタ	PIPESEL	R/W	H'A448 0064	16
パイプコンフィギュレーションレジスタ	PIPECFG	R/W	H'A448 0066	16
パイプバッファ指定レジスタ	PIPEBUF	R/W	H'A448 0068	16
パイプマックスパケットサイズレジスタ	PIPEMAXP	R/W	H'A448 006A	16
パイプ周期制御レジスタ	PIPEPERI	R/W	H'A448 006C	16
PIPE1 コントロールレジスタ	PIPE1CTR	R/W	H'A448 0070	16
PIPE2 コントロールレジスタ	PIPE2CTR	R/W	H'A448 0072	16
PIPE3 コントロールレジスタ	PIPE3CTR	R/W	H'A448 0074	16
PIPE4 コントロールレジスタ	PIPE4CTR	R/W	H'A448 0076	16
PIPE5 コントロールレジスタ	PIPE5CTR	R/W	H'A448 0078	16
PIPE6 コントロールレジスタ	PIPE6CTR	R/W	H'A448 007A	16
PIPE7 コントロールレジスタ	PIPE7CTR	R/W	H'A448 007C	16

## 28. USB モジュール (USB)

表28.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
SYSCFG	初期化	初期化	保持	保持	初期化	保持
SYSSTS	初期化	初期化	保持	保持	初期化	保持
DVSTCTR	初期化	初期化	保持	保持	初期化	保持
TESTMODE	初期化	初期化	保持	保持	初期化	保持
CFBCFG	初期化	初期化	保持	保持	初期化	保持
D0FBCFG	初期化	初期化	保持	保持	初期化	保持
CFIFO	初期化	初期化	保持	保持	初期化	保持
D0FIFO	初期化	初期化	保持	保持	初期化	保持
CFIFOSEL	初期化	初期化	保持	保持	初期化	保持
CFIFOCTR	初期化	初期化	保持	保持	初期化	保持
CFIFOSIE	初期化	初期化	保持	保持	初期化	保持
D0FIFOSEL	初期化	初期化	保持	保持	初期化	保持
D0FIFOCTR	初期化	初期化	保持	保持	初期化	保持
D0FIFOTRN	初期化	初期化	保持	保持	初期化	保持
INTENB0	初期化	初期化	保持	保持	初期化	保持
INTENB1	初期化	初期化	保持	保持	初期化	保持
BRDYENB	初期化	初期化	保持	保持	初期化	保持
NRDYENB	初期化	初期化	保持	保持	初期化	保持
BEMPENB	初期化	初期化	保持	保持	初期化	保持
INTSTS0	初期化	初期化	保持	保持	初期化	保持
INTSTS1	初期化	初期化	保持	保持	初期化	保持
BRDYSTS	初期化	初期化	保持	保持	初期化	保持
NRDYSTS	初期化	初期化	保持	保持	初期化	保持
BEMPSTS	初期化	初期化	保持	保持	初期化	保持
FRMNUM	初期化	初期化	保持	保持	初期化	保持
UFRMNUM	初期化	初期化	保持	保持	初期化	保持
RECOVER	初期化	初期化	保持	保持	初期化	保持
USBREQ	初期化	初期化	保持	保持	初期化	保持
USBVAL	初期化	初期化	保持	保持	初期化	保持
USBINDX	初期化	初期化	保持	保持	初期化	保持
USBLENG	初期化	初期化	保持	保持	初期化	保持
DCPCFG	初期化	初期化	保持	保持	初期化	保持
DCPMAXP	初期化	初期化	保持	保持	初期化	保持
DCPCTR	初期化	初期化	保持	保持	初期化	保持
PIPESEL	初期化	初期化	保持	保持	初期化	保持
PIPECFG	初期化	初期化	保持	保持	初期化	保持

28. USB モジュール (USB)

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
PIPEBUF	初期化	初期化	保持	保持	初期化	保持
PIPEMAXP	初期化	初期化	保持	保持	初期化	保持
PIPEPERI	初期化	初期化	保持	保持	初期化	保持
PIPE1CTR	初期化	初期化	保持	保持	初期化	保持
PIPE2CTR	初期化	初期化	保持	保持	初期化	保持
PIPE3CTR	初期化	初期化	保持	保持	初期化	保持
PIPE4CTR	初期化	初期化	保持	保持	初期化	保持
PIPE5CTR	初期化	初期化	保持	保持	初期化	保持
PIPE6CTR	初期化	初期化	保持	保持	初期化	保持
PIPE7CTR	初期化	初期化	保持	保持	初期化	保持

## 28. USB モジュール (USB)

### 28.3.1 システムコンフィギュレーションコントロールレジスタ (SYSCFG)

SYSCFG は、USB ブロック動作、ハイスピード動作の許可、およびホストコントローラへの接続通知を行うレジスタです。

本レジスタは、パワーオンリセット時は H'0000 に初期化されますが、ソフトウェアリセット時および USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	HSE	HMODE	DMRPD	DPRPU	—	FSRPC	—	USBE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	HSE	0	R/W	ハイスピード動作許可 ハイスピード動作許可 (HSE) は、パワーオンリセット直後の初期設定もしくは D+/D-ライン抵抗の設定前に設定してください。 0: ハイスピード動作禁止 1: ハイスピード動作許可 (モジュールが検出)
6	HMODE	0	R/W	コントローラ機能選択 ホストコントローラ/ペリフェラルコントローラを選択します。 コントローラ機能選択 (HMODE) は、パワーオンリセット直後の初期設定もしくは D+/D-ライン抵抗の設定前に設定してください。 0: ペリフェラルコントローラの機能選択 1: ホストコントローラの機能選択
5	DMRPD	0	R/W	D-ライン、D+ライン抵抗制御
4	DPRPU	0	R/W	D-、D+ラインのプルアップ/プルダウン制御を行います。 D-ライン      D+ライン 00: オープン、      オープン 01: オープン、      プルアップ      (ペリフェラル時のみ) 10: プルダウン、      プルダウン      (ホスト時のみ) 11: プルダウン、      プルアップ
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	FSRPC	0	R/W	FS レシーバ許可 フルスピードレシーバの動作を許可します。 0: FS レシーバの動作を禁止します。 1: FS レシーバの動作を許可します。
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。



## 28. USB モジュール (USB)

ビット	ビット名	初期値	R/W	説 明
0	USBE	0	R/W	<p>USB ブロック動作許可</p> <p>本ビットで本モジュールのソフトウェアリセットが可能です。システムが USBE = 0 を設定時は、本モジュールがソフトウェアリセット初期化対象レジスタを初期設定値にリセットします。また、USBE = 0 設定中は、システムからのソフトウェアリセット初期化対象レジスタおよびビットへの書き込みは行えません。ソフトウェアリセット後、USBE = 1 を設定し、本モジュールの動作を許可してください。</p> <p>0 : USB ブロック動作禁止 (ソフトウェアリセット)</p> <p>1 : USB ブロック動作許可</p>

## 28. USB モジュール (USB)

### 28.3.2 システムコンフィギュレーションステータスレジスタ (SYSSTS)

SYSSTS は、USB データバスのラインステータス (D+ラインおよび D-ライン) をモニタします。

本レジスタは、パワーオンリセット、ソフトウェアリセット、および USB バスリセットいずれの場合も不定です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LNST[1:0]
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
9~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	LNST[1:0]	00	R	USB データバスラインステータス 本ビットは、USB データバスのラインステータス (D+ライン、および D-ライン) をモニタします。表 28.4 に USB データバスラインステータス表を示します。選択されている本モジュールの機能によって、LNST ビットが有効になるタイミングは異なります。

表28.4 USB データバスラインステータス表

LNST[1]	LNST[0]	フルスピード動作時	ハイスピード動作時	Chirp 動作時
0	0	SE0	Squelch	Squelch
0	1	J State	not Squelch	Chirp J
1	0	K State	Invalid	Chirp K
1	1	SE1	Invalid	Invalid

#### 【記号説明】

Chirp	: ハイスピード動作許可の状態 (SYSCFG.HSE = 1) で、リセットハンドシェイクプロトコル実行中
Squelch	: SE0、もしくはアイドル状態
not Squelch	: ハイスピード J State、もしくはハイスピード K State
Chirp J	: Chirp J State
Chirp K	: Chirp K State
Invalid	: 無効

## 28.3.3 デバイスステートコントロールレジスタ (DVSTCTR)

USB データバスの状態制御および確認をします。

本レジスタは、パワーオンリセットおよびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WKUP	RWU PMD	USB RST	RE SUME	UACT	—	—	—	RHST[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W*	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	WKUP	0	R/W*	ウェイクアップ出力 (ペリフェラル機能選択時のみ) 本ビットは、USB バス上へのリモートウェイクアップ信号出力制御を行うために使用します。本モジュールは、リモートウェイクアップ信号の出力時間を管理しています。ソフトウェアが WKUP ビットに1を設定すると、本モジュールは10msのKステートを出力した後、WKUP ビットを0にします。 USB 規格では、リモートウェイクアップ信号の送信までに最短5msのUSB バスアイドル状態を保持する必要があります。本モジュールは、サスペンド状態を検出した直後に WKUP ビットに1を書き込んでも、2ms 待ってから K ステートを出力します。 0: 非出力 1: リモートウェイクアップ信号出力 • 本ビットへの1書き込みは、デバイスステートがサスペンド (INTSTS0.DVSSQ = B'1xx) であり、かつ USB ホストからリモートウェイクアップが許可されている場合以外は行わないでください。 • 本ビットを1に設定する場合は、サスペンドであっても内部クロックを停止しないでください。
7	RWUPMD	0	R/W	ウェイクアップ検出許可 本ビットを1に設定すると、リモートウェイクアップ信号を検出した場合にダウンポートにレジューム信号を出力します。このとき本モジュールは RESUME ビットに1を設定します。 ペリフェラル機能選択時は、本ビットは0に設定してください。 0: ダウンポートウェイクアップ禁止 1: ダウンポートウェイクアップ許可 • レジューム信号の出力時間はソフトウェアで管理してください。RESUME=0 書き込みによりレジューム信号の出力を停止します。 • 本ビットを1に設定する場合は、サスペンドであっても内部クロックを停止しないでください。

## 28. USB モジュール (USB)

ビット	ビット名	初期値	R/W	説明
6	USBRST	0	R/W	<p>バスリセット出力</p> <p>本ビットは、USB バスリセット信号出力制御を行うために使用します。ペリフェラル機能選択時は、本ビットは0に設定してください。</p> <p>0: 非出力 1: USB バスリセット信号出力</p> <p>• USB バスリセット信号出力時間はソフトウェアで管理してください。USB バスリセット時間経過後、USBRST=0を設定してください。</p>
5	RESUME	0	R/W	<p>レジューム出力</p> <p>本ビットを1に設定することにより USB バス上にレジューム信号を出力します。ペリフェラル機能選択時は、本ビットは0に設定してください。</p> <p>0: 非出力 1: レジューム信号出力</p> <p>• レジューム信号の出力時間はソフトウェアで管理してください。RESUME=0書き込みによりレジューム信号の出力を停止します。</p>
4	UACT	0	R/W	<p>USB バス許可</p> <p>本ビットで USB バス上に SOF (または <math>\mu</math>SOF) パケットの送出制御が行えます。SOF パケット送出間隔はコントローラが管理します。UACT ビットに1を書き込むことにより SOF パケットを送出します。0書き込み時は、次の SOF を送出後にバスアイドル状態となります。</p> <p>ペリフェラル機能選択時は、本ビットは0に設定してください。</p> <p>0: ダウンポート禁止 (SOF/<math>\mu</math>SOF 送出禁止) 1: ダウンポート許可 (SOF/<math>\mu</math>SOF 送出許可)</p>
3、2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1、0	RHST[1:0]	00	R	<p>リセットハンドシェイク</p> <p>本ビットで接続されたホストコントローラとの通信速度 (通信ビットレート) が確認できます。</p> <p>システムがハイスピード動作を禁止状態 (SYSCFG.HSE = 0) に設定している場合は、本モジュールはリセットハンドシェイクプロトコルを実行せずに、USB バスリセット検出後、直ちにフルスピード動作確定 RHST = B'10 となります。ハイスピード動作を許可状態 (HSE = 1) に設定している場合は、本モジュールはリセットハンドシェイクプロトコルを実行 (実行中は RHST = B'01) し、実行結果を RHST ビットに反映 (RHST = B'11、もしくは RHST = B'10) します。ホスト機能選択時、USB リセット解除後に本ビットに結果が反映されるのは、以下のタイミングとなります。</p> <p>フルスピードモード時: USB バスリセット出力による SE0 ステート → J ステートに USB バスが変化したとき</p> <p>ハイスピードモード時: リセットハンドシェイクにより、終端抵抗をハイスピードモードに切り替えたとき</p> <p>(USB バスリセット中に確定します)</p> <p>USB バスリセット終了後 (USBRST=0 設定後) 十分な待ち時間の後にも RHST が確定していない場合、USB バスリセット中に USB ケーブルが切断されている可能性があります。このような場合は、LNST ビットにより USB バスの状態を確認してください。</p> <p>00: 通信速度不定</p> <p>01: リセットハンドシェイク処理中</p> <p>10: フルスピード動作確定</p> <p>11: ハイスピード動作確定</p>

【注】 \* 1 書き込みのみ有効です。

## 28. USB モジュール (USB)

### 28.3.4 テストモードレジスタ (TESTMODE)

ハイスピード動作時の USB テスト信号出力を制御します。

本レジスタは、パワーオンリセット時は H'0000 に初期化されますが、ソフトウェアリセット時および USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	UTST[3:0]			
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3~0	UTST[3:0]	0000	R/W	テストモード 本ビットはハイスピード動作時の USB テスト信号出力を制御します。表 28.5 に本モジュールのテストモード動作表を示します。 本ビットはハイスピード動作時のみ有効です。DVSTCTR.RHST = B'11 を確認のうえ使用してください。

表28.5 テストモード動作表

テストモード	UTST ビット設定	
	ペリフェラル機能選択時	ホスト機能選択時
通常動作	0000	0000
Test_J	0001	1001
Test_K	0010	1010
Test_SE0_NAK	0011	1011
Test_Packet	0100	1100
Reserved	0101 ~ 0111	1101 ~ 1111

## 28.3.5 FIFO バスコンフィギュレーションレジスタ (CFBCFG、D0FBCFG)

FIFO バスのアクセス制御を行います。FIFO バスには CPU-FIFO、DMA0-FIFO の 2 つのバスあり、それぞれのバスに対応するコンフィギュレーションレジスタでアクセス制御を行っています。

表 28.6、表 28.7、および表 28.8 に本モジュールのバイトエンディアン動作表を示します。本モジュールはビッグエンディアンです。エンディアンの異なる CPU との接続時は、本レジスタの FEND ビットにて FIFO ポートアクセスエンディアンを選択してください。

本レジスタは、パワーオンリセット時は H'000F に初期化されますが、ソフトウェアリセット時および USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	FEND	—	—	—	—	FWAIT[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	RW	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	FEND	0	R/W	FIFO ポートエンディアン 本モジュールはビッグエンディアンです。異なるエンディアンへの接続時は、本ビットにて FIFO ポートアクセスエンディアンを選択してください。 0: ビッグエンディアン 1: リトルエンディアン
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	FWAIT[3:0]	1111	R/W	FIFO ポートアクセスウェイトの指定 当該 FIFO ポートに対するアクセスウェイト数を指定 FIFO ポートの最小アクセスサイクルは 2 サイクルです。 0000: 0 ウェイト (アクセスサイクル 2) :          : 0010: 2 ウェイト (アクセスサイクル 4) :          : 0100: 4 ウェイト (アクセスサイクル 6) :          : 1111: 15 ウェイト (アクセスサイクル 17)

## 28. USB モジュール (USB)

表28.6 エンディアン動作 (32 ビット幅アクセス時)

FEND	ビット 31~ビット 24	ビット 23~ビット 16	ビット 15~ビット 8	ビット 7~ビット 0
0	N+0 アドレス	N+1 アドレス	N+2 アドレス	N+3 アドレス
1	N+3 アドレス	N+2 アドレス	N+1 アドレス	N+0 アドレス

表28.7 エンディアン動作 (16 ビット幅アクセス時)

FEND	ビット 31~ビット 24	ビット 23~ビット 16	ビット 15~ビット 8	ビット 7~ビット 0
0	偶数アドレス	奇数アドレス	書き込み：無効 読み出し：禁止*	
1	書き込み：無効 読み出し：禁止*		奇数アドレス	偶数アドレス

【注】 \* 無効レジスタへのバイト読み出しは禁止です。

表28.8 エンディアン動作 (8 ビット幅アクセス時)

FEND	ビット 31~ビット 24	ビット 23~ビット 16	ビット 15~ビット 8	ビット 7~ビット 0
0	書き込み：有効 読み出し：有効	書き込み：無効 読み出し：無効*		
1	書き込み：無効 読み出し：禁止*			書き込み：有効 読み出し：有効

【注】 \* 無効レジスタへのバイト読み出しは禁止です。



### 28.3.6 FIFO ポートレジスタ (CFIFO、D0FIFO)

FIFO バッファメモリへのデータ読み出し / 書き込みを行うポートレジスタです。

FIFO ポートには、CFIFO、D0FIFO の 2 つのポートがあります。おのこの FIFO ポートには、バッファメモリへのデータ読み書きを行うポートレジスタ、FIFO ポートに割り当てるパイプを選択する選択レジスタ、コントロールレジスタ、およびポート機能に特化したレジスタ (CFIFO ポート専用の SIE レジスタと D0FIFO ポート専用のトランザクションカウンタレジスタ) で構成されるレジスタ群が関連付けられています。

詳細は「28.4.4 バッファメモリ」を参照してください。

本レジスタは、パワーオンリセットおよびソフトウェアリセット時は H'0000 0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIFOPORT[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FIFOPORT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	FIFOPORT [31:0]	H'0000 0000	R/W	FIFO ポート 受信データをバッファメモリからリード、もしくは送信データをバッファメモリにライトします。

- 【注】
1. DCP は CFIFO ポート以外では、バッファメモリへアクセスできません。  
DMA 転送によるバッファメモリへのアクセスは、D0FIFO ポート以外では行えません。
  2. CPU による D0FIFO ポートアクセスでも D0FIFO ポートの機能および制限に従う必要があります。  
(トランザクションカウンタの利用等)
  3. バッファメモリ状況には、アクセス権が CPU 側にある場合と SIE 側にある場合があります。バッファメモリのアクセス権が SIE 側にある場合は、CPU から正しいアクセスができません。

28.3.7 FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL)

各 FIFO ポートに割り当てるパイプの選択、当該ポートへのアクセスの制御をします。また、DCP バッファメモリへのアクセスは、CFIFO ポート以外ではできません。DMA 転送によるバッファメモリアクセスは、D0FIFO ポート以外ではアクセスできません。FIFO ポート固有の機能を使用する場合は、選択パイプを変更できません(トランザクションカウンタの利用等)。各 FIFO ポート用選択レジスタは、他の FIFO ポートに影響を与えることはありません。バッファメモリ状況には、アクセス権が CPU 側にある場合と SIE 側にある場合があります。バッファメモリのアクセス権が SIE 側にある場合は、CPU から正しいアクセスができません。なお、同一パイプを別々の FIFO ポートへ割り当てないでください。

本レジスタは、パワーオンリセットおよびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

(1) CFIFOSEL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	—	—	MBW[1:0]	—	—	—	—	ISEL	—	—	CURPIPE[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R*/W	R	R	R/W	R/W	R	R	R	R	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RCNT	0	R/W	リードカウントモード 0: 全受信データ読み出しで DTLN ビットクリア 1: 受信データ読み出しで DTLN ビットカウントダウン
14	REW	0	R*/W	バッファポインタリワインド 0: 無効 1: バッファポインタリワインドする
13, 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11, 10	MBW[1:0]	00	R/W	FIFO ポートアクセスビット幅 いったんバッファメモリの読み出し処理を開始すると、すべてのデータ読み出しが完了するまで FIFO ポートアクセスビット幅の変更は行えません。また、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅 / 32 ビット幅、または 16 ビット幅から 32 ビット幅へのビット幅切り替えは行えません。 00: 8 ビット幅 01: 16 ビット幅 10: 32 ビット幅 11: 設定禁止
9~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
5	ISEL	0	R/W	DCP 選択時の FIFO ポートアクセス方向 0: バッファメモリ読み出し選択 1: バッファメモリ書き込み選択 本ビットは、CURPIPE ビットで DCP 選択時のみ有効です。 本ビットへの設定は、下記(1)または(2)いずれかの手順で行ってください。 (1) CURPIPE ビットへの DCP 設定 (CURPIPE = B'000) と ISEL ビットへの設定を同時に書き込む (2) CURPIPE ビットへの DCP 設定 (CURPIPE = B'000) 後、200ns 待ってから ISEL ビットへの設定を行う
4、3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	CURPIPE [2:0]	000	R/W	FIFO ポートアクセスパイプ指定 000: DCP      100: PIPE4 001: PIPE1    101: PIPE5 010: PIPE2    110: PIPE6 011: PIPE3    111: PIPE7

【注】 \* 0 読み出しのみ有効です。

## (2) D0FIFOSEL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	DCLRM	DREQE	MBW[1:0]	TRENB	TRCLR	DEZPM	—	—	—	—	CURPIPE[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W*	R/W	R/W	R/W	R/W	R/W	R/W*	R/W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RCNT	0	R/W	リードカウントモード 0: 全受信データ読み出しで DTLN ビットクリア 1: 受信データ読み出しで DTLN ビットカウントダウン
14	REW	0	R/W*	バッファポインタリワインド 0: 無効 1: バッファポインタリワインドする
13	DCLRM	0	R/W	指定パイプのデータ読み出し後自動バッファメモリクリアモード 0: 自動バッファクリアモード禁止 1: 自動バッファクリアモード許可 本ビットは、CURPIPE ビットに指定したパイプが受信方向 (バッファメモリ読み出し) 設定時に有効です。
12	DREQE	0	R/W	DMA 転送要求許可 0: 要求禁止 1: 要求許可

## 28. USB モジュール (USB)

ビット	ビット名	初期値	R/W	説明
11、10	MBW[1:0]	00	R/W	<p>FIFO ポートアクセスビット幅</p> <p>いったんバッファメモリの読み出し処理を開始すると、すべてのデータ読み出しが完了するまで FIFO ポートアクセスビット幅の変更は行えません。また、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅 / 32 ビット幅、または 16 ビット幅から 32 ビット幅へのビット幅切り替えは行えません。</p> <p>00 : 8 ビット幅 01 : 16 ビット幅 10 : 32 ビット幅 11 : 設定禁止</p>
9	TRENB	0	R/W	<p>トランザクションカウンタ許可</p> <p>0 : トランザクションカウンタ機能無効 1 : トランザクションカウンタ機能有効</p> <p>本ビットは、CURPIPE ビットに指定したパイプが受信方向 (バッファメモリ読み出し) 設定時に有効です。</p>
8	TRCLR	0	R/W*	<p>トランザクションカウンタクリア</p> <p>0 : 無効 1 : カレントカウンタクリア</p> <p>本ビットは、CURPIPE ビットに指定したパイプが受信方向 (バッファメモリ読み出し) 設定時に有効です。</p>
7	DEZPM	0	R/W	<p>Zero-Length パケット付加モード</p> <p>0 : 付加なし 1 : 付加あり</p>
6~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	CURPIPE [2:0]	000	R/W	<p>FIFO ポートアクセスパイプ指定</p> <p>CURPIPE = 000 はパイプ指定なしとなります。また、DMA 転送要求許可状態でパイプ番号の変更は行わないでください。</p> <p>000 : 指定なし    100 : PIPE4 001 : PIPE1    101 : PIPE5 010 : PIPE2    110 : PIPE6 011 : PIPE3    111 : PIPE7</p>

【注】 \* 0 読み出しおよび 1 書き込みのみ有効です。

## 28.3.8 FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR)

バッファメモリの書き込み終了、CPU 側バッファクリア、および FIFO ポートアクセス可能かどうかを設定するレジスタです。本レジスタには、各バッファメモリに対応して CFIFOCTR、D0FIFOCTR、および D1FIFOCTR があります。

CPU による D0FIFO ポートアクセスは、D0FIFO ポートの機能および制限に従う必要があります (トランザクションカウンタの利用等)。各 FIFO ポート用コントロールレジスタは、他の FIFO ポートに影響を与えることはありません。バッファメモリ状況には、アクセス権が CPU 側にある場合と SIE 側にある場合があります。バッファメモリのアクセス権が SIE 側にある場合は、CPU から正しいアクセスができません。なお、FIFO ポートで選択されているパイプのパイプコンフィギュレーションは変更しないでください。

本レジスタは、パワーオンリセットおよびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BVAL	BCLR	FRDY	—	DTLN[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R*1/ W	R*1/ W*2	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	BVAL	0	R*1/W	バッファメモリ有効フラグ 本ビットへの 1 書き込みは、データパケット送出方向時 (バッファメモリ書き込み時) に有効です。受信方向時は BVAL = 0 を設定してください。 0: 無効 1: 書き込み終了
14	BCLR	0	R*1/W*2	CPU バッファクリア*3 本ビットによるバッファクリアはパイプコンフィギュレーションでパイプ無効状態 (PID = NAK) に設定のうえ、行ってください。 0: 無効 1: CPU 側バッファメモリクリア
13	FRDY	0	R	FIFO ポートレディ 本ビットの確認では、パイプ選択後 450ns 以上のアクセスサイクルが必要です。 0: FIFO ポートアクセス不可 1: FIFO ポートアクセス可能
12	-	0	R	リザーブビット 書き込む値は常に 0 にしてください。
11~0	DTLN [11:0]	H'0000	R	受信データ長*3 受信データ長が確認できます。

【注】 \*1 0 読み出しのみ有効です。

\*2 1 書き込みのみ有効です。

\*3 BCLR ビットおよび DTLN ビットは、CPU 側バッファメモリに対して有効です。BCLR = 1 設定もしくは DTLN ビットの参照は、FRDY = 1 を確認後に実施してください。

## 28. USB モジュール (USB)

### 28.3.9 CFIFO ポート SIE レジスタ (CFIFOSIE)

CFIFO ポートの SIE 機能を制御するレジスタで、CPU 側とのアクセス権切り替え、SIE 側バッファメモリのクリア、および SIE 側バッファビジーの確認をします。本レジスタは、D0FIFO ポートに影響を与えることはありません。バッファメモリ状況には、アクセス権が CPU 側にある場合と SIE 側にある場合があります。バッファメモリのアクセス権が SIE 側にある場合は、CPU から正しいアクセスができません。

本レジスタは、パワーオンリセットおよびソフトウェアリセット時は H'0000 に初期化されますが、USB パスリセット時は初期化されずに内容が保持されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TGL	SCLR	SBUSY	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	TGL	0	R/W*	アクセス権切り替え 本ビットは SIE 側にあるバッファメモリを CPU 側にする機能です。PID=NAK を設定 (DCPCTR.PID=B'00) し、SBUSY ビットで SIE がバッファアクセスしていない (SBUSY=0) ことを確認のうえ、TGL ビットの書き込み (トグル操作) を行ってください。また、本ビットは受信方向 (バッファメモリ読み出し) 設定パイプにのみ有効です。 0: 無効 1: アクセス権切り替え
14	SCLR	0	R/W*	SIE バッファクリア 本ビットは SIE 側にあるバッファメモリをクリアする機能です。PID=NAK を設定し、SBUSY ビットで SIE がバッファアクセスしていない (SBUSY=0) ことを確認のうえ、バッファクリアを行ってください。なお、本ビットは送信方向 (バッファメモリ書き込み) 設定パイプにのみ有効です。 0: 無効 1: SIE 側バッファメモリクリア
13	SBUSY	0	R	SIE バッファビジー 0: SIE がアクセスしていない状態 1: SIE がアクセスしている状態
12~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 \* 0 読み出しおよび 1 書き込みのみ有効です。

## 28.3.10 D0 トランザクションカウンタレジスタ (D0FIFOTRN)

DMA 転送のトランザクション回数の設定およびトランザクション回数読み出しをするレジスタです。

本レジスタは、パワーオンリセットおよびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRNCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	TRNCNT [15:0]	H'0000	R/W	トランザクションカウンタ 本ビットは、バッファメモリからデータを読み出す場合に有効です。 カウント中のトランザクション回数を読み出せるのは、D0FIFOSEL レジスタの TRENB ビットが 1 の場合に限りです。TRENB = 0 の場合は、設定したトランザクション回数を読み出せません。 W : DMA 転送のトランザクション回数設定 R : トランザクション回数読み出し

## 28.3.11 割り込み許可レジスタ 0 (INTENB0)

各割り込みマスク指定、DVST 割り込みの割り込み要因マスク指定、およびコントロール転送ステージ割り込み要因マスクの指定を行います。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	URST	SADR	SCFG	SUSP	WDST	RDST	CMPL	SERR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	VBSE	0	R/W	VBUS 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
14	RSME	0	R/W	レジューム割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
13	SOFE	0	R/W	フレーム番号更新割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可

## 28. USB モジュール (USB)

ビット	ビット名	初期値	R/W	説明
12	DVSE	0	R/W	デバイスステート遷移割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
11	CTRE	0	R/W	コントロール転送ステージ遷移割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
10	BEMPE	0	R/W	バッファエンプティ割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
9	NRDYE	0	R/W	バッファノットレディ応答割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
8	BRDYE	0	R/W	バッファレディ割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
7	URST	0	R/W	デフォルトステート遷移通知許可 0: デフォルトステート遷移時 DVST 割り込み禁止 1: デフォルトステート遷移時 DVST 割り込み許可
6	SADR	0	R/W	アドレスステート遷移通知許可 0: アドレスステート遷移時 DVST 割り込み禁止 1: アドレスステート遷移時 DVST 割り込み許可
5	SCFG	0	R/W	コンフィギュレーションステート遷移通知許可 0: コンフィギュレーションステート遷移時 DVST 割り込み禁止 1: コンフィギュレーションステート遷移時 DVST 割り込み許可
4	SUSP	0	R/W	サスペンドステート遷移通知許可 0: サスペンドステート遷移時 DVST 割り込み禁止 1: サスペンドステート遷移時 DVST 割り込み許可
3	WDST	0	R/W	コントロールライト転送ステータスステージ遷移通知許可 0: コントロールライト転送ステータスステージ遷移時 CTRT 割り込み禁止 1: コントロールライト転送ステータスステージ遷移時 CTRT ステージ割り込み許可
2	RDST	0	R/W	コントロールリード転送ステータスステージ遷移通知許可 0: コントロールリード転送ステータスステージ遷移時 CTRT 割り込み禁止 1: コントロールリード転送ステータスステージ遷移時 CTRT 割り込み許可
1	CMPL	0	R/W	コントロール転送終了通知許可 0: コントロール転送終了検出時 CTRT 割り込み禁止 1: コントロール転送終了検出時 CTRT ステージ割り込み許可
0	SERR	0	R/W	コントロール転送シーケンスエラー通知許可 0: コントロール転送シーケンスエラー検出時 CTRT 割り込み禁止 1: コントロール転送シーケンスエラー検出時 CTRT 割り込み許可

【注】 各割り込みステータスのクリアから、対応する割り込みの許可 / 禁止を行う場合は、少なくとも 80ns 以上の間隔を空けてください。



## 28.3.12 割り込み許可レジスタ 1 (INTENB1)

各パイプの BRDY 割り込みステータスクリアタイミング制御、割り込み出力センス制御を行います。

本レジスタは、パワーオンリセット時は H'0000 に初期化されますが、ソフトウェアリセット時および USB パスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHGE	—	DTCHE	—	—	—	—	—	—	SIGNE	SACKE	—	BRDYM	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BCHGE	0	R/W	USB バス変化割り込み許可 本モジュールは、USB バス状態が変化したときに割り込みを発生させることができます。この割り込みは本ビットにより、制御することができます。ホスト機能選択時のペリフェラルデバイスの接続、リモートウェイクアップ信号の検出に使用します。USB バスがアクティブ状態にあるとき (UACT=1 設定時) は、割り込みを許可しないでください。 0: 割り込み出力禁止 1: 割り込み出力許可
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	DTCHE	0	R/W	フルスピード動作時の切断検出割り込み 本モジュールは、ホスト機能選択時のフルスピード動作時にペリフェラルデバイスが切断された場合に、割り込みを発生させることができます。この割り込みは、本ビットにより制御することができます。 0: 割り込み出力禁止 1: 割り込み出力許可
11~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SIGNE	0	R/W	セットアップトランザクションエラー割り込み ホスト機能選択時のセットアップトランザクション発行時に、ペリフェラルデバイスからの ACK パケットを受信できなかった場合に、割り込みが発生します。この割り込みは、本ビットにより制御することができます。 0: 割り込み出力禁止 1: 割り込み出力許可

## 28. USB モジュール (USB)

ビット	ビット名	初期値	R/W	説 明
4	SACKE	0	R/W	<p>セットアップトランザクション正常応答割り込み</p> <p>ホスト機能選択時のセットアップトランザクション発行時に、ペリフェラルデバイスからの ACK パケットを受信した場合に割り込みが発生します。この割り込みは、本ビットにより許可することができます。</p> <p>0: 割り込み出力禁止</p> <p>1: 割り込み出力許可</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	BRDYM	0	R/W	<p>各パイプの BRDY 割り込みステータスクリアタイミング制御</p> <p>0: ソフトウェアがステータスをクリア</p> <p>1: FIFO バッファの読み出しまたは FIFO バッファへの書き込み動作により、本モジュールがステータスをクリア</p>
1	-	0	R/W	<p>リザーブビット</p> <p>パワーオンリセット後は、必ず 1 を書き込んでください。書き込む値は常に 1 にしてください。</p> <p>1 に設定しないと割り込み機能が有効になりません。</p>
0	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

## 28.3.13 BRDY 割り込み許可レジスタ (BRDYENB)

各パイプの BRDY 割り込み許可を行います。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PIPE7 BRDYE	PIPE6 BRDYE	PIPE5 BRDYE	PIPE4 BRDYE	PIPE3 BRDYE	PIPE2 BRDYE	PIPE1 BRDYE	PIPE0 BRDYE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PIPE7BRDYE	0	R/W	PIPE7 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6BRDYE	0	R/W	PIPE6 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5BRDYE	0	R/W	PIPE5 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4BRDYE	0	R/W	PIPE4 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
3	PIPE3BRDYE	0	R/W	PIPE3 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
2	PIPE2BRDYE	0	R/W	PIPE2 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
1	PIPE1BRDYE	0	R/W	PIPE1 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
0	PIPE0BRDYE	0	R/W	PIPE0 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

【注】 各割り込みステータスのクリアから対応する割り込みの許可 / 禁止を行う場合は、少なくとも 80ns 以上の間隔を空けてください。

## 28. USB モジュール (USB)

### 28.3.14 NRDY 割り込み許可レジスタ (NRDYENB)

各パイプの NRDY 割り込み許可を行います。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PIPE7 NRDYE	PIPE6 NRDYE	PIPE5 NRDYE	PIPE4 NRDYE	PIPE3 NRDYE	PIPE2 NRDYE	PIPE1 NRDYE	PIPE0 NRDYE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PIPE7NRDYE	0	R/W	PIPE7 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6NRDYE	0	R/W	PIPE6 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5NRDYE	0	R/W	PIPE5 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4NRDYE	0	R/W	PIPE4 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
3	PIPE3NRDYE	0	R/W	PIPE3 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
2	PIPE2NRDYE	0	R/W	PIPE2 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
1	PIPE1NRDYE	0	R/W	PIPE1 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
0	PIPE0NRDYE	0	R/W	PIPE0 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

【注】 各割り込みステータスのクリアから対応する割り込みの許可 / 禁止を行う場合は、少なくとも 80ns 以上の間隔を空けてください。

## 28.3.15 BEMP 割り込み許可レジスタ (BEMPENB)

各パイプの BEMP 割り込み許可を行います。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PIPE7 BEMPE	PIPE6 BEMPE	PIPE5 BEMPE	PIPE4 BEMPE	PIPE3 BEMPE	PIPE2 BEMPE	PIPE1 BEMPE	PIPE0 BEMPE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PIPE7BEMPE	0	R/W	PIPE7 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6BEMPE	0	R/W	PIPE6 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5BEMPE	0	R/W	PIPE5 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4BEMPE	0	R/W	PIPE4 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
3	PIPE3BEMPE	0	R/W	PIPE3 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
2	PIPE2BEMPE	0	R/W	PIPE2 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
1	PIPE1BEMPE	0	R/W	PIPE1 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
0	PIPE0BEMPE	0	R/W	PIPE0 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

【注】 各割り込みステータスのクリアから対応する割り込みの許可 / 禁止を行う場合は、少なくとも 80ns 以上の間隔を空けてください。

## 28. USB モジュール (USB)

### 28.3.16 割り込みステータスレジスタ 0 (INTSTS0)

各割り込みのステータスを確認するレジスタです。

VBINT ビット、RESM ビット、SOFR ビット、DVST ビット、および CTRT ビットのうち複数要因が発生している場合に、各ビットを同時ではなく連続してクリアするときには、140ns + 周辺クロックで 3 サイクル以上のアクセスサイクルが必要です。

本レジスタは、パワーオンリセット時は H'0080 に初期化されます。ソフトウェアリセット時は VBSTS ビット以外はすべて 0 に初期化されますが、VBSTS ビットは初期化されずに内容が保持されます。また、USB バスリセット時は、DVSQ[2:0] ビットは B'001 に初期化されますが、それ以外のビットは初期化されずに内容が保持されま

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
初期値 :	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R	R	R	R	R	R	R	R/W*	R	R	R

ビット	ビット名	初期値	R/W	説明
15	VBINT	0	R/W*	VBUS 割り込みステータス 0 : VBUS 割り込み非発生 1 : VBUS 割り込み発生
14	RESM	0	R/W*	レジューム割り込みステータス 0 : レジューム割り込み非発生 1 : レジューム割り込み発生
13	SOFR	0	R/W*	フレーム番号更新割り込みステータス 0 : SOF 割り込み非発生 1 : SOF 割り込み発生
12	DVST	0	R/W*	デバイスステート遷移割り込みステータス 0 : デバイスステート遷移割り込み非発生 1 : デバイスステート遷移割り込み発生
11	CTRT	0	R/W*	コントロール転送ステージ遷移割り込みステータス 0 : コントロール転送ステージ遷移割り込み非発生 1 : コントロール転送ステージ遷移割り込み発生
10	BEMP	0	R	バッファエンプティ割り込みステータス 本ビットは、BEMPSTS レジスタの全ビットがクリアされた場合にクリアされます。 0 : BEMP 割り込み非発生 1 : BEMP 割り込み発生

ビット	ビット名	初期値	R/W	説明
9	NRDY	0	R	バッファノットレディ割り込みステータス 本ビットは、NRDYSTS レジスタの全ビットがクリアされた場合にクリアされます。 0 : NRDY 割り込み非発生 1 : NRDY 割り込み発生
8	BRDY	0	R	バッファレディ割り込みステータス 本ビットは、BRDYSTS レジスタの全ビットがクリアされた場合にクリアされます。 0 : BRDY 割り込み非発生 1 : BRDY 割り込み発生
7	VBSTS	1	R	VBUS 入力ステータス VBSTS ビットによる VBUS 入力ステータスは、制御用プログラムによるチャタリング除去が必要です。 0 : VBUS 端子が Low レベル 1 : VBUS 端子が High レベル
6~4	DVSQ[2:0]	000	R	デバイスステート 000 : Powered ステート 001 : Default ステート 010 : Address ステート 011 : Configured ステート 1xx : Suspended ステート
3	VALID	0	R/W*	セットアップパケット受信 0 : 未検出 1 : セットアップパケット受信
2~0	CTSQ[2:0]	000	R	コントロール転送ステージ 000 : アイドルまたはセットアップステージ 001 : コントロールリードデータステージ 010 : コントロールリードステータスステージ 011 : コントロールライトデータステージ 100 : コントロールライトステータスステージ 101 : コントロールライト (NoData) ステータスステージ 110 : コントロール転送シーケンスエラー 111 : 設定禁止

【注】 \* 0 書き込みのみ有効です。

## 28. USB モジュール (USB)

### 28.3.17 割り込みステータスレジスタ 1 (INTSTS1)

各割り込みのステータスを確認するレジスタです。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は、すべて 0 に初期化されます。また、USB パスリセット時は、初期化されずに内容が保持されます。

本レジスタの SOF、BEMP、NRDY、BRDY ビットは、INTSTS0 レジスタのミラービットです。リードすると、INTSTS0 レジスタの同一ビットと同じ値が読めます。また、ライトすることにより両方のレジスタに反映されます。

ペリフェラル機能選択時は INTSTS0 レジスタを、ホスト機能を選択した場合、INTSTS1 レジスタを利用することにより、どちらか片方のレジスタのみを参照することで割り込みの発生を知ることができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHG	SOFR	DTCH	—	BEMP	NRDY	BRDY	—	—	SIGN	SACK	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BCHG	0	R/W	USB バス変化割り込みステータス 0: BCHG 割り込み非発生 1: BCHG 割り込み発生
13	SOFR	0	R/W*	フレーム番号更新割り込みステータス INTSTS0 の SOFR ビットのミラービットです。 0: SOF 割り込み非発生 1: SOF 割り込み発生
12	DTCH	0	R/W	フルスピード動作時切断検出割り込みステータス 本ビットは、ホスト機能選択時のみ有効です。ペリフェラル機能選択時は、本ビットは 0 に設定してください。また、フルスピードモード時のみ有効です。ハイスピードモードで通信中は、ペリフェラルデバイスからの無応答などソフトウェアによる切断検出を行ってください。 0: DTCH 割り込み非発生 1: DTCH 割り込み発生
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	BEMP	0	R	バッファエンpty割り込みステータス INTSTS0 の BEMP ビットのミラービットです。 本ビットは、BEMPSTS レジスタの全ビットがクリアされた場合にクリアされます。 0: BEMP 割り込み非発生 1: BEMP 割り込み発生



ビット	ビット名	初期値	R/W	説明
9	NRDY	0	R	バッファノットレディ割り込みステータス INTSTS0 の NRDY ビットのミラービットです。 本ビットは、NRDYSTS レジスタの全ビットがクリアされた場合にクリアされます。 0 : NRDY 割り込み非発生 1 : NRDY 割り込み発生
8	BRDY	0	R	バッファレディ割り込みステータス INTSTS0 の BRDY ビットのミラービットです。 本ビットは、BRDYSTS レジスタの全ビットがクリアされた場合にクリアされます。 0 : BRDY 割り込み非発生 1 : BRDY 割り込み発生
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SIGN	0	R/W	セットアップトランザクションエラー割り込みステータス 0 : SIGN 割り込み非発生 1 : SIGN 割り込み発生
4	SACK	0	R/W	セットアップトランザクション正常応答割り込みステータス 0 : SACK 割り込み非発生 1 : SACK 割り込み発生
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 \* 0 書き込みのみ有効です。

## 28. USB モジュール (USB)

### 28.3.18 BRDY 割り込みステータスレジスタ (BRDYSTS)

各パイプの BRDY 割り込みステータスを確認するレジスタです。

複数パイプの要因が発生している場合に、各ビットを同時ではなく連続してクリアするときには、140ns + 周辺クロックで 3 サイクル以上のアクセスサイクルが必要です。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	PIPE7 BRDY	PIPE6 BRDY	PIPE5 BRDY	PIPE4 BRDY	PIPE3 BRDY	PIPE2 BRDY	PIPE1 BRDY	PIPE0 BRDY	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PIPE7BRDY	0	R/W*	PIPE7 の BRDY 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生
6	PIPE6BRDY	0	R/W*	PIPE6 の BRDY 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生
5	PIPE5BRDY	0	R/W*	PIPE5 の BRDY 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生
4	PIPE4BRDY	0	R/W*	PIPE4 の BRDY 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生
3	PIPE3BRDY	0	R/W*	PIPE3 の BRDY 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生
2	PIPE2BRDY	0	R/W*	PIPE2 の BRDY 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生
1	PIPE1BRDY	0	R/W*	PIPE1 の BRDY 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生
0	PIPE0BRDY	0	R/W*	PIPE0 の BRDY 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生

【注】 \* 0 書き込みのみ有効です。

## 28.3.19 NRDY 割り込みステータスレジスタ (NRDYSTS)

各パイプの NRDY 割り込みステータスを確認するレジスタです。

複数パイプの要因が発生している場合に、各ビットを同時ではなく連続してクリアするときには、140ns + 周辺クロックで 3 サイクル以上のアクセスサイクルが必要です。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PIPE7 NRDY	PIPE6 NRDY	PIPE5 NRDY	PIPE4 NRDY	PIPE3 NRDY	PIPE2 NRDY	PIPE1 NRDY	PIPE0 NRDY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PIPE7NRDY	0	R/W*	PIPE7 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
6	PIPE6NRDY	0	R/W*	PIPE6 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
5	PIPE5NRDY	0	R/W*	PIPE5 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
4	PIPE4NRDY	0	R/W*	PIPE4 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
3	PIPE3NRDY	0	R/W*	PIPE3 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
2	PIPE2NRDY	0	R/W*	PIPE2 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
1	PIPE1NRDY	0	R/W*	PIPE1 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
0	PIPE0NRDY	0	R/W*	PIPE0 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生

【注】 \* 0 書き込みのみ有効です。

## 28. USB モジュール (USB)

### 28.3.20 BEMP 割り込みステータスレジスタ (BEMPSTS)

各パイプの BEMP 割り込みステータスを確認するレジスタです。

複数パイプの要因が発生している場合に、各ビットを同時ではなく連続してクリアするときには、140ns + 周辺クロックで 3 サイクル以上のアクセスサイクルが必要です。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PIPE7 BEMP	PIPE6 BEMP	PIPE5 BEMP	PIPE4 BEMP	PIPE3 BEMP	PIPE2 BEMP	PIPE1 BEMP	PIPE0 BEMP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PIPE7BEMP	0	R/W*	PIPE7 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
6	PIPE6BEMP	0	R/W*	PIPE6 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
5	PIPE5BEMP	0	R/W*	PIPE5 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
4	PIPE4BEMP	0	R/W*	PIPE4 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
3	PIPE3BEMP	0	R/W*	PIPE3 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
2	PIPE2BEMP	0	R/W*	PIPE2 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
1	PIPE1BEMP	0	R/W*	PIPE1 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
0	PIPE0BEMP	0	R/W*	PIPE0 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生

【注】 \* 0 書き込みのみ有効です。

## 28.3.21 フレームナンバレジスタ (FRMNUM)

アイソクロナスエラー通知の要因判別、SOFR 割り込み動作モードの選択、およびフレーム番号を表示します。本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OVRN	CRCE	—	—	SOFRM	FRNM[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*1	R/W*1	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	OVRN	0	R/W*1	オーバーラン / アンダラン*2 アイソクロナス転送中のパイプに対する NRDY 割り込みによるエラー通知の要因がデータバッファエラーであることを示します。 0: エラーなし 1: エラー発生
14	CRCE	0	R/W*1	受信データエラー*2 アイソクロナス転送中のパイプに対する NRDY 割り込みによるエラー通知の要因がバケットエラーであることを示します。 0: エラーなし 1: エラー発生
13, 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	SOFRM	0	R/W	フレーム番号更新割り込み出力モード フレーム番号更新割り込みは、UFRMNUM.UFRNM = B'000 以外の uSOF パケット検出では発生しません。 • ペリフェラル機能選択時 0: SOF 受信、タイム補間で割り込みアサート 1: SOF 破損、欠落時に割り込みアサート • ホスト機能選択時 0: SOF 送信時にアサート 1: 設定禁止
10-0	FRNM [10:0]	H'000	R	フレーム番号 フレーム番号が確認できます。 本モジュールは、ペリフェラル機能選択時、SOF パケット受信タイミングでフレーム番号を更新します。バケット破損等によりモジュールが SOF パケットを検出できない場合には、新しい SOF パケットを受信するまで FRNM の値を保持します。 このとき、SOF 補間タイムによる FRNM ビットの更新は行いません。

【注】 \*1 0 書き込みのみ有効です。

\*2 OVRN と CRCE の要因が発生している場合に、各ビットを同時ではなく連続してクリアするときには、140ns +

## 28. USB モジュール (USB)

周辺クロックで3サイクル以上のアクセスサイクルが必要です。

表28.9 アイソクロナス OUT 転送における NRDY 割り込み発生時のエラー情報

ビット ステータス	発生タイミング	発生条件	検出エラー	動作
OVRN = 1	データパケットを受信	バッファメモリ読み出し完了前に 新たなデータパケットを受信した	受信データバッファ のオーバラン	受信データを破棄
CRCE = 1	データパケットを受信	CRC エラーまたはビットスタッフ ィングエラーを検出した	受信パケットエラー	受信データを破棄

表28.10 アイソクロナス IN 転送における NRDY 割り込み発生時のエラー情報

ビット ステータス	発生タイミング	発生条件	検出エラー	動作
OVRN = 1	IN-Token 受信	バッファメモリ書き込み完了前に IN-Token を受信した	送信データバッファ のアンダラン	Zero-Length パケッ ト送出
CRCE = 1	発生しません			

### 28.3.22 μ フレームナンパレジスタ (UFRMNUM)

μ フレーム番号を表示します。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UFRNM[2:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	UFRNM[2:0]	000	R	μ フレーム μ フレーム番号が確認できます。 μ SOF パケットの受信により、UFRNM ビットをインクリメントします。

## 28.3.23 USB アドレスレジスタ (RECOVER)

USB アドレスを表示します。

本レジスタは、パワーオンリセット時、ソフトウェアリセット時、および USB バスリセット時のすべての場合に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	USBADDR[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~0	USBADDR[6:0]	H'00	R	USB アドレス USB アドレスを表示します。本ビットは、ペリフェラル機能選択時のみ有効です。ホスト機能選択時のペリフェラルデバイスのアドレス設定は、PIPEMAXP レジスタの DEVSEL ビットを使用してください。 本ビットに対しては、書き込みを行わないでください。

## 28.3.24 USB リクエストタイプレジスタ (USBREQ)

ペリフェラル機能選択時には受信した USB リクエストおよび USB リクエストタイプの値が格納されます。ホスト機能選択時には送信する USB リクエストを設定してください。

本レジスタは、パワーオンリセット時、ソフトウェアリセット時、および USB バスリセット時のすべての場合に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BREQUEST[7:0]								BMREQUESTTYPE[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~8	BREQUEST[7:0]	H'00	R/W*	リクエスト USB リクエスト bRequest の値を格納。
7~0	BMREQUEST TYPE[7:0]	H'00	R/W*	リクエストタイプ USB リクエスト bmRequestType の値を格納。

【注】 \* ペリフェラル機能選択時は、読み出しのみ有効です。

## 28. USB モジュール (USB)

### 28.3.25 USB リクエストバリュージェジスタ (USBVAL)

受信した USB リクエストバリュの値が格納されます。

本レジスタは、パワーオンリセット時、ソフトウェアリセット時、および USB バスリセット時のすべての場合に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WVALUE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	WVALUE[15:0]	H'0000	R/W*	バリュ USB リクエスト wValue の値を格納。

【注】 \* ペリフェラル機能選択時は、読み出しのみ有効です。

### 28.3.26 USB リクエストインデックスレジスタ (USBINDX)

受信した USB リクエストインデックスの値が格納されます。

本レジスタは、パワーオンリセット時、ソフトウェアリセット時、および USB バスリセット時のすべての場合に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WINDEX[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	WINDEX[15:0]	H'0000	R/W*	インデックス USB リクエスト wIndex の値を格納。

【注】 \* ペリフェラル機能選択時は、読み出しのみ有効です。



## 28.3.27 USB リクエストレンゲスレジスタ (USBLENG)

受信した USB リクエストレンゲスの値が格納されます。

本レジスタは、パワーオンリセット時、ソフトウェアリセット時、および USB バスリセット時のすべての場合に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WLENGTH[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	WLENGTH[15:0]	H'0000	R/W*	レンゲス USB リクエスト wLength の値を格納。

【注】 \* ペリフェラル機能選択時は、読み出しのみ有効です。

## 28.3.28 DCP コンフィギュレーションレジスタ (DCPCFG)

デフォルトコントロールパイプ (DCP) に対して、連続転送モードか非連続転送モードか、および転送終了時のパイプ動作を禁止するかどうかの選択をします。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CNTMD	SHTNAK	-	-	DIR	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	CNTMD	0	R/W	連続転送モード DCP バッファメモリはコントロールリード転送およびコントロールライト転送で共通バッファを使用するため、CNTMD ビットはどちらの転送方向でも共通のビットになります。 0: 非連続転送モード 1: 連続転送モード
7	SHTNAK	0	R/W	DCP の転送終了時パイプ禁止モード 0: 転送終了時にパイプ継続 1: 転送終了時にパイプ禁止 (応答 PID を NAK にする)
6, 5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 28. USB モジュール (USB)

ビット	ビット名	初期値	R/W	説明
4	DIR	0	R/W	転送方向 ホスト機能選択時のコントロール転送のデータステージ、ステータスステージの転送方向を設定します。 ペリフェラル機能選択時は、本ビットは0に設定してください。 0：データ受信方向 1：データ送信方向
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

### 28.3.29 DCP マックスパケットサイズレジスタ (DCPMAXP)

DCP に対して、マックスパケットサイズを指定します。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0040 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVSEL [1:0]		-	-	-	-	-	-	-	MXPS[6:0]						
初期値：	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W：	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	DEVSEL[1:0]	00	R/W	デバイス選択 ホスト機能選択時に通信相手のデバイスアドレスを指定します。 ペリフェラル機能選択時は、本ビットは B'00 に設定してください。 00：アドレス"00" 01：アドレス"01" 10：アドレス"10" 11：アドレス"11"
13~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~0	MXPS[6:0]	H'40	R/W	マックスパケットサイズ DCP のマックスパケットサイズを指定します。 USB 規格以外の設定は行わないでください。また、MXPS[2:0]は0に固定されているため、書き込みは無効です。

## 28.3.30 DCP コントロールレジスタ (DCPCTR)

DCP に対して、バッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、および応答 PID の設定を行います。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0040 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	SUREQ	—	—	—	—	—	SQCLR	SQSET	SQMON	—	—	—	CCPL	PID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R	R/W*3	R	R	R	R	R	R/W*1	R/W*1	R	R	R	R	R/W*1	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	バッファステータス 0: バッファアクセス不可 1: バッファアクセス可 バッファアクセスの方向が書き込みなのか読み出しなのかは、CFIFOSEL.ISEL ビットの設定値によって決まります。
14	SUREQ	0	R/W*3	SETUP トークン送出 0: 無効 1: セットアップパケット送出
13~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	SQCLR	0	R/W*1	トグルビットクリア*2 0: 無効 1: DATA0 指定
7	SQSET	0	R/W*1	トグルビットセット*2 0: 無効 1: DATA1 指定
6	SQMON	1	R	トグルビット確認 ペリフェラル機能選択時は、本ビットは、コントロール転送の SETUP トークン受信直後に、本モジュールにより 1 に初期化されます 0: DATA0 1: DATA1
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CCPL	0	R/W*1	コントロール転送終了許可 ペリフェラル機能選択時は、本ビットは SETUP トークン受信直後に 0 にクリアされます。ホスト機能選択時は、本ビットを 0 に設定してください。 0: 無効 1: コントロール転送終了

## 28. USB モジュール (USB)

ビット	ビット名	初期値	R/W	説明
1, 0	PID[1:0]	00	R/W	応答 PID ベリフェラル機能選択時は、本ビットは SETUP トークン受信直後に 00 にクリアされます。 00 : NAK 応答 01 : BUF 応答 (バッファ状態に従う) 10 : STALL 応答 11 : STALL 応答

- 【注】 \*1 0 読み出しおよび 1 書き込みのみ有効です。
- \*2 SQCLR ビットおよび SQSET ビットを同時に 1 と設定しないでください。なお、どちらのビット操作も PID = NAK に設定のうえ行ってください。
- SQSET ビットまたは SQCLR ビット、および PIPEnCTR レジスタの SQSET ビットまたは SQCLR ビットを連続して変更する場合 (複数パイプのデータ PID シーケンスストグルビットを連続して変更する場合には、120ns + 周辺クロック 5 クロック以上のアクセスサイクルが必要です。
- \*3 SUREQ ビットに 1 を設定すると、SETUP トランザクション完了後に 0 となります。SUREQ ビットが 1 の間は、USBREQ、USBVAL、USBINDX、USBLENG レジスタに書き込みを行わないでください。

### 28.3.31 パイプウィンドウ選択レジスタ (PIPESEL)

PIPE1 ~ PIPE7 のうち、使用するパイプを選択します。パイプを選択した後、PIPECFG レジスタ、PIPEBUF レジスタ、PEPMAXP レジスタ、および PIPEPERI レジスタに、各パイプの機能設定を行います。

パワーオンリセット、ソフトウェアリセット、および USB バスリセット時は、選択されているパイプだけではなくすべてのパイプのレジスタの該当ビットが初期化されます。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[2:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
2~0	PIPESEL [2:0]	000	R/W	パイプウィンドウ選択  000 : 未選択 001 : PIPE1 010 : PIPE2 011 : PIPE3 100 : PIPE4 101 : PIPE5 110 : PIPE6 111 : PIPE7  PIPESEL = B'000 設定時は、PIPECFG レジスタ、PIPEBUF レジスタ、 PIPEMAXP レジスタ、PIPEPERI レジスタ、および PIPEnCTR レジスタの 各ビットに、すべて 0 が読み出されます。

## 28. USB モジュール (USB)

### 28.3.32 パイプコンフィギュレーションレジスタ (PIPECFG)

PIPE1～PIPE7 に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、また連続転送モードか非連続転送モードか、シングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をします。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TYPE[1:0]	—	—	—	BFRE	DBLB	CNTMD	SHT NAK	—	—	DIR	EPNUM[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	TYPE[1:0]	00	R/W	転送タイプ • PIPE1、PIPE2 の場合 00: パイプ使用不可 01: バルク転送 10: 設定禁止 11: アイソクロナス転送 • PIPE3～PIPE5 の場合 00: パイプ使用不可 01: バルク転送 10: 設定禁止 11: 設定禁止 • PIPE6、PIPE7 の場合 00: パイプ使用不可 01: 設定禁止 10: インタラプト転送 11: 設定禁止
13～11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	BFRE	0	R/W	BRDY 割り込み動作指定 BFRE = 1 と設定した場合、データ書き込み方向時は BRDY 割り込みが発生しません。 0: データ送受信で BRDY 割り込み 1: データ読み出しで BRDY 割り込み

ビット	ビット名	初期値	R/W	説明
9	DBLB	0	R/W	<p>ダブルバッファモード</p> <p>本ビットは PIPE1 ~ PIPE5 選択時に有効です。</p> <p>0 : シングルバッファ</p> <p>1 : ダブルバッファ</p> <p>あるパイプに対して本ビットの設定を動的に切り替える場合には、以下の手順を守ってください。</p> <ul style="list-style-type: none"> <li>• シングルバッファからダブルバッファへの切り替え時 (DBLB = 0 → DBLB = 1) <ul style="list-style-type: none"> <li>(1) 当該パイプの応答 PID を NAK に設定</li> <li>(2) PIPEnCTR.ACLRM = 1</li> <li>(3) 100ns、ソフトウェアで待つ</li> <li>(4) ACLRM = 0</li> <li>(5) DBLB ビット変更</li> <li>(6) 応答 PID を BUF に設定</li> </ul> </li> <li>• ダブルバッファからシングルバッファへの切り替え時 (DBLB = 1 → DBLB = 0) <ul style="list-style-type: none"> <li>(1) 当該パイプの応答 PID を NAK に設定</li> <li>(2) DBLB ビット変更</li> <li>(3) PIPEnCTR.ACLRM = 1</li> <li>(4) 100ns、ソフトウェアで待つ</li> <li>(5) ACLRM = 0</li> <li>(6) 応答 PID を BUF に設定</li> </ul> </li> </ul>
8	CNTMD	0	R/W	<p>連続転送モード</p> <p>本ビットは、PIPE1 ~ PIPE5 にてバルク転送選択時 (TYPE = B'01) に有効です。アイソクロナス転送選択時 (TYPE = B'11) は CNTMD = 1 に設定しないでください。</p> <p>0 : 非連続転送モード</p> <p>1 : 連続転送モード</p>
7	SHTNAK	0	R/W	<p>トランスファ終了時のパイプ禁止</p> <p>0 : トランスファ終了時にパイプ継続</p> <p>1 : トランスファ終了時にパイプ禁止</p>
6、5	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
4	DIR	0	R/W	<p>転送方向</p> <p>0 : 受信 (OUT 転送)</p> <p>1 : 送信 (IN 転送)</p>
3 ~ 0	EPNUM[3:0]	H'0	R/W	<p>エンドポイント番号</p> <p>当該パイプのエンドポイント番号指定。</p>

## 28. USB モジュール (USB)

### 28.3.33 パイプバッファ指定レジスタ (PIPEBUF)

PIPE1 ~ PIPE7 に対して、バッファサイズおよびバッファ番号を指定します。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
	—						BUFSIZE[4:0]				—		—				BUFNMB[7:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
R/W:	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W				

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14 ~ 10	BUFSIZE [4:0]	H'00	R/W	バッファサイズ 当該パイプのバッファサイズを指定します。 H'00 (64 バイト) ~ H'1F (2K バイト) PIPESEL レジスタの PIPESEL ビットで選択したパイプに応じて、本ビットに設定可能な値が異なります。 PIPE1 ~ PIPE5 の場合: BUFSIZE = H'00 ~ H'1F を設定してください。 PIPE6、PIPE7 の場合: ソフトウェアによる BUFSIZE ビットへの設定は不要 (無効) です。
9, 8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7 ~ 0	BUFNMB [7:0]	H'00	R/W	バッファ番号 当該パイプのバッファ番号を H'04 ~ H'3F で指定します。 BUFNMB ビットは PIPE1 ~ PIPE5 選択時にはシステムに合わせた設定ができます。 BUFNMB = H'00 ~ H'03 は DCP 専用です。BUFNMB = H'04、H'05 は PIPE6、PIPE7 に配置されています。 PIPE1 ~ PIPE5 の場合: BUFNMB = H'06 ~ H'3F を設定してください。 ただし、PIPE7 を使用しない場合は BUFNMB = H'05 ~ H'3F、 PIPE6、PIPE7 を使用しない場合は BUFNMB = H'04 ~ H'3F を設定可能です。 PIPE6 の場合: 本ビットに対する書き込みは無効、読み出しは常に BUFNMB = H'04 です。 PIPE7 の場合: 本ビットに対する書き込みは無効、読み出しは常に BUFNMB = H'05 です。



## 28.3.34 パイプマックスパケットサイズレジスタ (PIPEMAXP)

PIPE1 ~ PIPE7 に対して、マックスパケットサイズを指定します。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVSEL [1:0]		—	—	—	MXPS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	DEVSEL[1:0]	00	R/W	デバイス選択 ホスト機能選択時に通信相手のデバイスアドレスを指定します。 ペリフェラル機能選択時は、本ビットは B'00 に設定してください。 00 : アドレス"00" 01 : アドレス"01" 10 : アドレス"10" 11 : アドレス"11"
13~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	MXPS[10:0]	H'000	R/W	マックスパケットサイズ 当該パイプのマックスパケットサイズを指定します。 本ビットは転送タイプごとに USB 規格に定義されている範囲の値を設定してください。 本ビットの初期値は、PIPESEL レジスタの PIPESEL ビットでパイプを選択していないときは H'00、パイプを選択しているときは H'40 を示します。

## 28.3.35 パイプ周期制御レジスタ (PIPEPERI)

PIPE1 ~ PIPE7 に対して、アイソクロナス IN 転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をします。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 28. USB モジュール (USB)

ビット	ビット名	初期値	R/W	説明
12	IFIS	0	R/W	<p>アイソクロナス IN バッファフラッシュ</p> <p>0 : バッファフラッシュしない 1 : バッファフラッシュする</p> <p>本ビットを使用する場合には、以下の手順で設定する必要があります。</p> <ul style="list-style-type: none"> <li>• Isochronous-IN 転送開始時           <ol style="list-style-type: none"> <li>(1) IFIS = 1</li> <li>(2) PIPEnCTR.PID[1:0] = B'01 ( BUF )</li> <li>(3) Iso-IN PIPE の FIFO バッファへ送信データを書き込み</li> </ol> <p>【注】IFIS を使用しない転送の場合では、上記の手順は特に必要ありません。</p> </li> <li>• Isochronous-IN 転送終了時           <ol style="list-style-type: none"> <li>(1) PID[1:0] = B'00 ( NAK )</li> <li>(2) PIPEnCTR.ACLRM = 1</li> <li>(3) 100ns 以上のウェイト</li> <li>(4) ACLRM = 0</li> </ol> <p>【注】IFIS を使用しない転送の場合では、ACLRM の設定は必要ありません。</p> </li> </ul>
11~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	IITV[2:0]	H'0	R/W	<p>インターバルエラー検出間隔</p> <p>インターバルタイミングをフレームタイミングの 2 の n 乗で指定します。</p> <p>ペリフェラル機能選択時は、本ビットはアイソクロナス転送選択時のみ有効です。すなわち、PIPE1、PIPE2 選択時のみ設定可能です。</p> <p>ホスト機能選択時は、本ビットはアイソクロナス転送とインタラプト転送に有効です。</p> <p>OUT 方向設定時：本ビットに設定した間隔でホストからの OUT トークンを受信しない場合に NRDY 割り込みでインターバルエラーを検出し、NRDY 割り込みを発生させます。</p> <p>IN 方向設定時：本ビットに設定した間隔でホストからの IN トークンを受信しない場合インターバルエラーを検出し、IFIS = 1 であればバッファフラッシュ ( バッファクリア ) します。</p> <p>USB 仕様の算出式とは異なりますので、注意してください。</p>

28.3.36 PIPE<sub>n</sub> コントロールレジスタ (PIPE<sub>n</sub>CTR) (n = 1 ~ 7)

PIPE1 ~ PIPE7 に対して、当該パイプのバッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、オート応答モードにするか否かの選択、自動バッファクリアモードにするか否かの選択、および応答 PID の設定を行います。本設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

本レジスタは、パワーオンリセット時およびソフトウェアリセット時は H'0000 に初期化されますが、USB バスリセット時は初期化されずに内容が保持されます。

## • PIPE1CTR ~ PIPE5CTR

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	INBUFM	—	—	—	AT REPM	ACLRM	SQCLR	SQSET	SQMON	—	—	—	—	PID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W*1	R/W*1	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	バッファステータス バッファアクセスが書き込み方向か読み出し方向かは、PIPECFG レジスタの DIR ビットによって決まります。 0: バッファアクセス不可 1: バッファアクセス可
14	INBUFM	0	R	IN バッファモニタ 本ビットは、当該パイプを IN 方向に設定している場合に有効な値を示します。 0: IN バッファに転送可能データなし 1: IN バッファに転送可能データあり
13~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	ATREPM	0	R/W	オート応答モード 0: 通常モード 1: オート応答モード
9	ACLRM	0	R/W	自動バッファクリアモード CFIFOSEL/D0FIFOSEL レジスタの CURPIPE ビットで選択しているパイプに対して、ACLRM = 1 を設定しないでください。 0: 禁止 1: 許可 (全バッファ初期化)
8	SQCLR	0	R/W*1	トグルビットクリア*2 0: 無効 1: DATA0 指定
7	SQSET	0	R/W*1	トグルビットセット*2 0: 無効 1: DATA1 指定

## 28. USB モジュール (USB)

ビット	ビット名	初期値	R/W	説明
6	SQMON	0	R	トグルビット確認 0 : DATA0 1 : DATA1
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PID[1:0]	00	R/W	応答 PID*2 パケットサイズオーバーエラーを検出した場合は、本モジュールが PID = STALL に設定します。 00 : NAK 応答 01 : BUF 応答 (バッファ状態に従う) 10 : STALL 応答 11 : STALL 応答

【注】 \*1 0 読み出しおよび 1 書き込みのみ有効です。

\*2 SQSET ビットまたは SQCLR ビット、および DCPCTR レジスタの SQSET ビットまたは SQCLR ビットを連続して変更する場合 (複数パイプに渡りデータ PID のシーケンストグルビットを連続して変更する場合には、120ns + 周辺クロック 5 サイクル以上のアクセスサイクルが必要です。

SQCLR ビットおよび SQSET ビットを同時に 1 に設定しないでください。また、どちらのビット操作も PID = NAK に設定のうえ行ってください。なお、転送タイプをアイソクロナス転送に設定している (TYPE = B'11) 場合は、SQSET ビットへの書き込みは無効です。

### • PIPE6CTR、PIPE7CTR

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	—	—	—	—	PID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W*1	R/W*1	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	バッファステータス バッファアクセスが書き込み方向か読み出し方向かは、PIPECFG レジスタの DIR ビットによって決まります。 0 : バッファアクセス不可 1 : バッファアクセス可
14~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	ACLRM	0	R/W	自動バッファクリアモード CFIFOSEL/D0FIFOSEL レジスタの CURPIPE ビットで選択しているパイプに対して、ACLRM = 1 を設定しないでください。 0 : 禁止 1 : 許可 (全バッファ初期化)

ビット	ビット名	初期値	R/W	説明
8	SQCLR	0	R/W*1	トグルビットクリア*2 0: 無効 1: DATA0 指定
7	SQSET	0	R/W*1	トグルビットセット*2 0: 無効 1: DATA1 指定
6	SQMON	0	R	トグルビット確認 0: DATA0 1: DATA1
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	PID[1:0]	00	R/W	応答 PID パケットサイズオーバーエラーを検出した場合は、本モジュールが PID = STALL に設定します。 00: NAK 応答 01: BUF 応答 (バッファ状態に従う) 10: STALL 応答 11: STALL 応答

【注】 \*1 0 読み出しおよび 1 書き込みのみ有効です。

\*2 SQSET ビットまたは SQCLR ビット、および DCPCTR レジスタの SQSET ビットまたは SQCLR ビットを連続して変更する場合 (複数パイプに渡りデータ PID のシーケンストグルビットを連続して変更する場合には、120ns + 周辺クロック 5 サイクル以上のアクセスサイクルが必要です。

SQCLR ビットおよび SQSET ビットを同時に 1 に設定しないでください。また、どちらのビット操作も PID = NAK に設定のうえ行ってください。なお、転送タイプをアイソクロナス転送に設定している (TYPE = B'11) 場合は、SQSET ビットへの書き込みは無効です。

### 28.4 動作説明

#### 28.4.1 システム制御および発振制御

本モジュールの初期設定および消費電力制御を行うために必要なレジスタについて説明します。

##### (1) リセット

表 28.11 に本モジュールのリセット種別の一覧を示します。なお、各リセット動作後のレジスタ初期化状態については、「28.3 レジスタの説明」を参照してください。

表28.11 リセット種別一覧表

名称	操作
パワーオンリセット	RESETP 端子からの L レベル入力
ソフトウェアリセット	SYSCFG レジスタの USBE ビットで操作
USB バスリセット	本モジュールが D+, D-ラインから自動検出

##### (2) ハイスピード動作の許可

本モジュールは、ソフトウェアにて、USB 通信速度（通信ビットレート）をハイスピード動作またはフルスピード動作のどちらか一方を選択できます。ハイスピード動作を許可する場合は、SYSCFG レジスタの HSE ビットに 1 を設定してください。このとき、HSE ビットの変更（書き込みアクセス）は、パワーオンリセット直後の初期設定または D+ のプルアップ禁止状態（DPRPU = 0）のときに行ってください。

ハイスピード動作が許可されている場合は、本モジュールがリセットハンドシェイクプロトコルを実行し、USB 通信速度を自動的に設定します。リセットハンドシェイクの結果は、DVSTCTR レジスタの RHST ビットにて確認できます。

ハイスピード動作が禁止されている場合は、本モジュールはフルスピード動作します。

##### (3) USB データバス抵抗制御

図 28.2 に本モジュールと USB コネクタの接続図を示します。

本モジュールは、SYSCFG レジスタの DPRPU ビットに 1 を設定すると、D+ラインをプルアップすることができます。また、本モジュールは、D+、D-信号のハイスピード時の終端抵抗とフルスピード時の出力抵抗の制御を行います。ホストコントローラと接続後の内蔵抵抗の切り替えは、リセットハンドシェイク、サスペンド、レジューム検出により本モジュールが自動的に行います。ホストコントローラからの切断を検出した場合は、ソフトウェアリセット（SYSCFG.USBE = 0）によって本モジュールを初期状態にしてください。

なお、ペリフェラル機能選択時、SYSCFG レジスタの DPRPU ビットに 0 を設定した場合は、USB データラインのプルアップ抵抗（または終端抵抗）をディスエーブルにしますので、USB ケーブルを接続したままで、デバイスの切断および接続をソフトウェアで制御することができます。

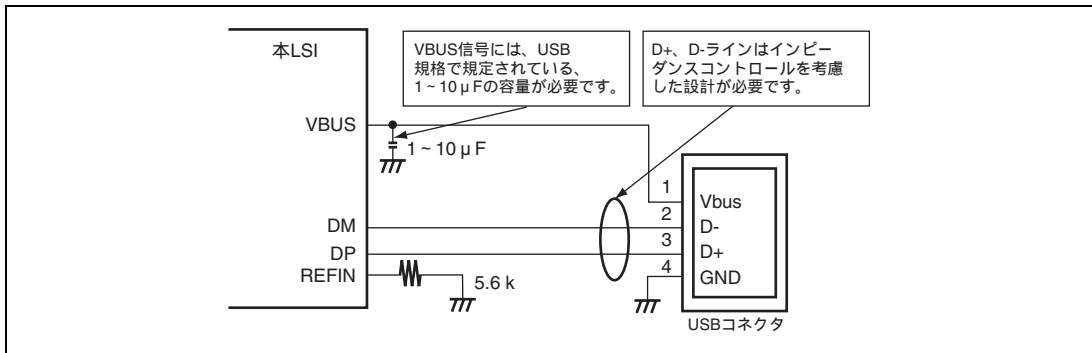


図28.2 USB コネクタ接続図

## (4) クロック供給

表 28.12 に使用クロック入力を示します。

表28.12 使用クロック入力一覧表

使用クロック	機能
周辺クロック	周辺バスからのアクセスに使用します。 USB 通信中は 20MHz 以上で動作させてください。 低消費電力モジュールでオン/オフを制御できます。
48MHz クロック	48MHz のクロック入力。 USB データの転送クロックとして使用しています。

## (5) クロック停止時の注意点

- 各クロックはディスコネクトまたはサスペンド中に停止させることができます。
- サスペンド中に停止させる場合は、レジュームでの再供給が必要です。また、48MHzクロックは、レジューム割り込み発生から再供給までを2.5ms以内で行う必要があります。

## (6) リモートウェイクアップ許可時の注意点

ホストコントローラ機能選択時において、サスペンド状態からリモートウェイクアップ信号を受信した場合、信号検出後 1ms 以内に内部クロックを供給し、レジューム信号出力を開始する必要があります。

このため、リモートウェイクアップを許可してサスペンド状態になる場合には、内部クロックの停止、低電力スリープ状態の設定をしないでください。

## 28. USB モジュール (USB)

### 28.4.2 割り込み機能

#### (1) 割り込み機能概要

表 28.13 に割り込み機能一覧表を示します。

表28.13 割り込み機能一覧表

ビット	割り込み名称	割り込み要因	関連ステータス
VBINT	VBUS 割り込み	VBUS 入力端子の状態変化を検出したとき (L H、H Lの両方の変化)	INTSTS0. VBSTS
RESM	レジューム割り込み	サスペンド状態において USB バスの状態変化を検出したとき (J-State K-State または J-State SE0)	-
SOFR	フレーム番号更新 割り込み	< ホスト機能選択時 > フレーム番号の異なる SOF パケットを送信したとき < ペリフェラル機能選択時 > SOFRM = 0 : フレーム番号の異なる SOF パケットを受信したとき SOFRM = 1 : SOF パケット破損または欠落した場合	-
DVST	デバイスステート 遷移割り込み	デバイスステートの遷移を検出したとき <ul style="list-style-type: none"> <li>• USB バスリセット検出</li> <li>• サスペンド状態検出</li> <li>• Set Address リクエストの受信</li> <li>• Set Configuration リクエストの受信</li> </ul>	INTSTS0. DVSQ
CTRT	コントロール転送 ステージ遷移 割り込み	コントロール転送のステージ遷移を検出したとき <ul style="list-style-type: none"> <li>• セットアップステージ完了</li> <li>• コントロールライト転送ステータスステージ遷移</li> <li>• コントロールリード転送ステータスステージ遷移</li> <li>• コントロール転送完了</li> <li>• コントロール転送シーケンスエラー発生</li> </ul>	INTSTS0. CTSQ
BEMP	バッファエンプティ 割り込み	バッファメモリ中の全データ送信が終了したとき マックスパケットサイズオーバを検出したとき	BEMPSTS. PIPEBEMP
NRDY	バッファノット レディ割り込み	< ホスト機能選択時 > 発行したトークンに対して、ペリフェラルデバイス側からの STALL を 受信したとき 発行したトークンに対して、ペリフェラルデバイス側からの応答がな かったとき (無応答) < ペリフェラル機能選択時 > IN トークンを受信してバッファメモリに送信可能なデータがないとき OUT トークンを受信してバッファメモリにデータ格納領域がなく受信 できないとき アイソクロナス転送で CRC エラー、ビットスタッフエラーが発生した とき	NRDYSTS. PIPENRDY



ビット	割り込み名称	割り込み要因	関連ステータス
BRDY	バッファ レディ割り込み	バッファがレディ (リードまたはライト可能状態) になったとき	BRDYSTS. PIPEBRDY
BCHG	バス変化割り込み	USB バスステートの変化を検出した時	-
DTCH	フルスピード動作時 切断検出	フルスピード動作時にペリフェラルデバイスの切断を検出したとき	-
SACK	SETUP 正常	セットアップトランザクションの正常応答 (ACK) を受信したとき	-
SIGN	SETUP エラー	セットアップトランザクションのエラー (無応答、ACK パケット破損) を検出したとき	-

### (2) クロック停止状態での動作と注意事項

- VBINTとRESMは、48MHzクロックの停止状態時も割り込み要因が発生します。48MHzクロック停止状態時にVBINTまたはRESMの要因をクリアする場合は、INTSTS0レジスタの要因ビットに0を書き込み、さらに1を書き込む必要があります。
- VBINTとRESM以外の割り込み要因は、48MHzクロック停止状態時にクリアを行わないでください。
- 48MHzクロックが停止状態であっても、いずれかの割り込み要因が発生している状態で割り込みマスクを解除すれば、割り込みが発生します。

### (3) BRDY 割り込み

各パイプが表 28.14 の条件を満たしたときに、本モジュールは BRDYSTS レジスタの該当ビットを 1 にセットします。このとき、ソフトウェアが当該パイプに対応する BRDYENB レジスタの PIPEBRDYE ビットを 1 に設定し、かつ、INTENB0 レジスタの BRDYE ビットを 1 に設定していれば、本モジュールは BRDY 割り込みを発生させます。図 28.3 に BRDY 割り込み発生タイミング図を示します。

本モジュールが INTSTS0 レジスタの BRDY ビットをクリアする条件は、INTENB1 レジスタの BRDYM ビットの設定値によって異なります。表 28.15 に BRDY ビットクリア条件を示します。

なお、ペリフェラル機能選択時の下記の条件では、IN トークンに対し常に Zero-Length パケットを送信し BRDY 割り込みは発生しません。

- 転送タイプがバルクIN転送に設定してあり、かつ、該当パイプのPIPEnCTLレジスタのATREPMビットにH'01を設定してあるとき

## 28. USB モジュール (USB)

表28.14 BRDY 割り込み発生条件表

アクセス方向	転送方向	パイプ	PIPECFG. BFRE	PIPECFG. DBLB	BRDY 割り込み発生条件
読み出し	OUT	DCP	-	0	(1)、(2)いずれかの受信を行ったとき； (1) Zero-Length パケットを含むショートパケット受信 (2) バッファがフルになるまでデータを受信
		1~7	0	0	(1) ~ (3)いずれかの受信を行ったとき； (1) Zero-Length パケットを含むショートパケット受信 (2) バッファがフルになるまでデータを受信 (3) バッファはフルではないがトランザクションカウンタが終了
					1
				1	Don't Care

アクセス方向	転送方向	パイプ	PIPECFG. BFRE	PIPECFG. DBLB	BRDY 割り込み発生条件
書き込み	IN	DCP	-	-	発生しない
		1~7	0	0	(1) ~ (4) のいずれかを満たしたとき ; (1) ソフトウェアで転送方向を OUT から IN に変更した (2) 送信可能データがバッファにある状態で、ホストに当該データの送信を完了した (3) 送信可能データがバッファにある状態で、ソフトウェアが PIPEnCTR.ACLRM = 1 を設定した (4) 送信可能データがバッファにある状態で、ソフトウェアが CFIFOSIE.SCLR = 1 を設定した
					1
1	Don't Care	発生しない			

なお、PIPE1 ~ PIPE7 では、読み出し方向で DMA 転送を使用している場合に、PIPECFG レジスタの BFRE ビットを 1 に設定することより、トランスファ単位で割り込みを発生させることが可能です。また、Zero-Length パケットを受信した場合、BRDYSTS レジスタの該当するビットが 1 になりますが、当該パケットのデータの読み出しはできません。BRDYSTS レジスタをクリアした後、バッファクリア (BCLR = 1) を行ってください。

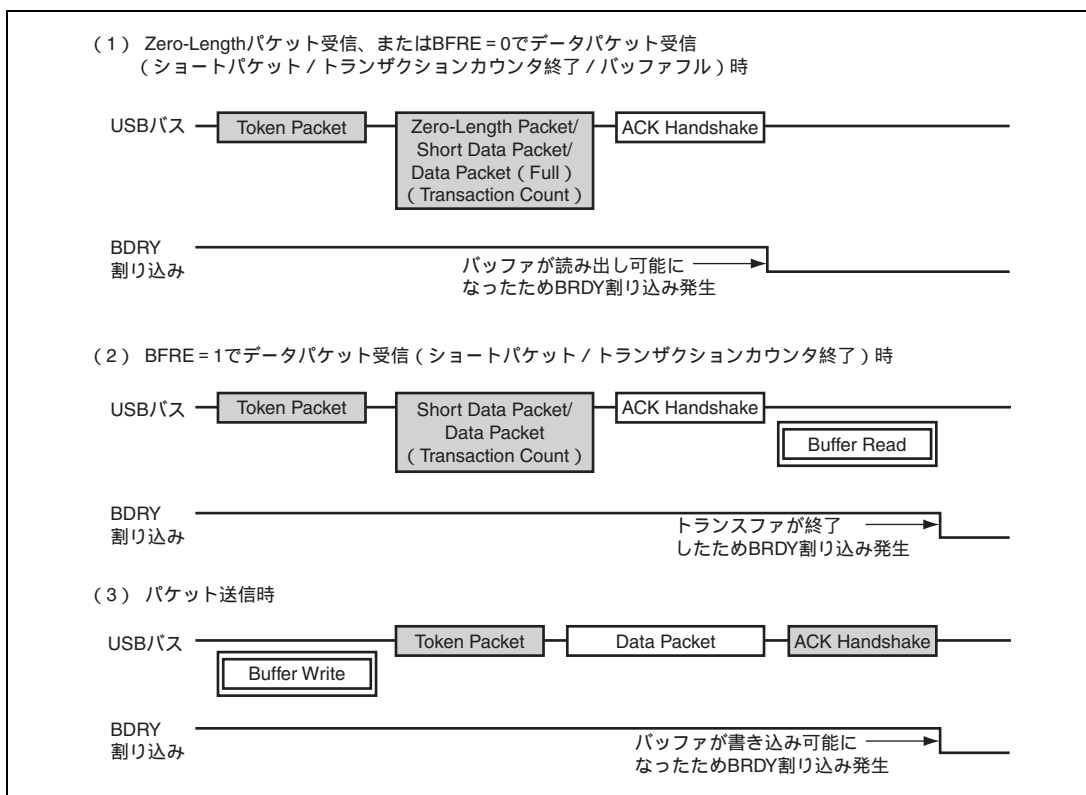


図28.3 BRDY 割り込み発生タイミング図

表28.15 モジュールによる BRDY ビットクリア条件表

BRDYM	BRDY ビットクリア条件
0	ソフトウェアが BRDYSTS レジスタの全ビットをクリアすると、本モジュールは INTSTS0 レジスタの BRDY ビットをクリアします。
1	全パイプの BSTS ビットが 0 になったときに、本モジュールは INTSTS0 レジスタの BRDY ビットをクリアします。

(4) NRDY 割り込み

各パイプが次の条件を満たしたときに、本モジュールは NRDYSTS レジスタの該当ビットを 1 にセットします。このとき、ソフトウェアが当該パイプに対応する NRDYENB レジスタの PIPENRDYE ビットを 1 に設定し、かつ、INTENB0 レジスタの NRDYE ビットを 1 に設定していれば、本モジュールは NRDY 割り込みを発生させます。ソフトウェアが NRDYSTS レジスタの全ビットをクリアすると、本モジュールが INTSTS0 レジスタの NRDY ビットをクリアします。

(a) ホスト機能選択時

以下のどちらかの条件で NRDY 割り込みが発生します。このとき、PID ビットを本モジュールが設定してトー

クンの発生を停止します。PID ビットの動作については、「28.4.3 パイプコントロール」を参照してください。

- 発行したトークンに対して、ペリフェラルデバイス側からのSTALLを受信した場合
- 発行したトークンに対して、ペリフェラルデバイス側からの応答がなかった場合（無応答）
- アイソクロナス転送時に、オーバラン、アンダランエラーが発生した場合

ただし、SETUP トランザクションにおいてペリフェラルデバイス側の ACK を受信できない場合は、SIGN 割り込みが発生します。

(b) ペリフェラル機能選択時

以下の条件でNRDY割り込みを発生させます。

• データ送信時

PIPEnCTRレジスタのPIDビットがPID=BUFの状態、かつ、バッファメモリに送信データがない状態で、IN トークンを受信（データアンダラン）したとき

• データ受信時

- PIPEnCTRレジスタのPIDビットがPID=BUFの状態、かつ、バッファメモリに受信データを格納する領域がない状態で、OUTトークンまたはPINGトークンを受信（データオーバラン）し、HOSTに対してNAK 応答したとき
- PIPEnCTRレジスタのATREPMビットに1を設定（オート応答モード）した場合に、OUTトークンまたはPINGトークンを受信し、HOSTに対してNAK応答したとき
- アイソクロナス転送でCRCエラー、ビットスタッフエラーが発生したとき、またはアイソクロナスのOUT 転送でインターバルエラーが発生したとき

図 28.4 に NRDY 割り込み発生タイミング図を示します。

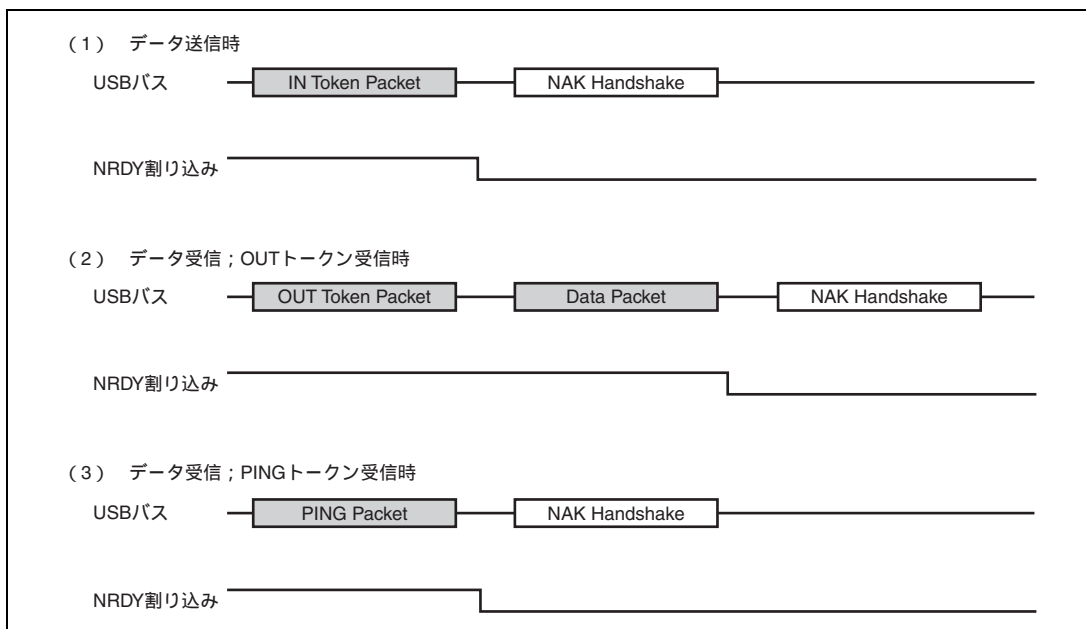


図28.4 NRDY 割り込み発生タイミング図

## (5) BEMP 割り込み

各パイプが下記の条件を満たしたときに、本モジュールは BEMPSTS レジスタの該当ビットを 1 にセットします。このとき、ソフトウェアが当該パイプに対応する BEMPENB レジスタの PIPEBEMPE ビットを 1 に設定し、かつ、INTENB0 レジスタの BEMPE ビットを 1 に設定していれば、本モジュールは BEMP 割り込みを発生させます。ソフトウェアが BEMPSTS レジスタの全ビットをクリアすると、本モジュールは INTSTS0 レジスタの BEMP ビットをクリアします。

- 送信方向 (バッファメモリ書き込み) 設定時

バッファメモリに格納されたすべてのデータが送信されたとき。

ただし、バッファメモリをダブルバッファで使用している場合は、下記の条件に従います。

- 片側のバッファがエンプティ状態で、かつ、反対側バッファからのデータ送信が完了したときは、BEMP 割り込みが発生します。
- 片側のバッファが8バイト未満のデータ書き込み中で、かつ、反対側バッファからデータが送信し終わったときは、BEMP割り込みが発生します。
- 片側のバッファが8バイト以上のデータを書き込み中で、かつ、反対側バッファからデータが送信し終わったときは、BEMP割り込みは発生しません。

- 受信方向 (バッファメモリ読み出し) 設定時

受信したデータパケットサイズが設定したマックスパケットサイズを超えたとき。

このとき、本モジュールは、当該パイプのPIDビットをSTALLに設定します。

図 28.5 に BEMP 割り込み発生タイミング図を示します。

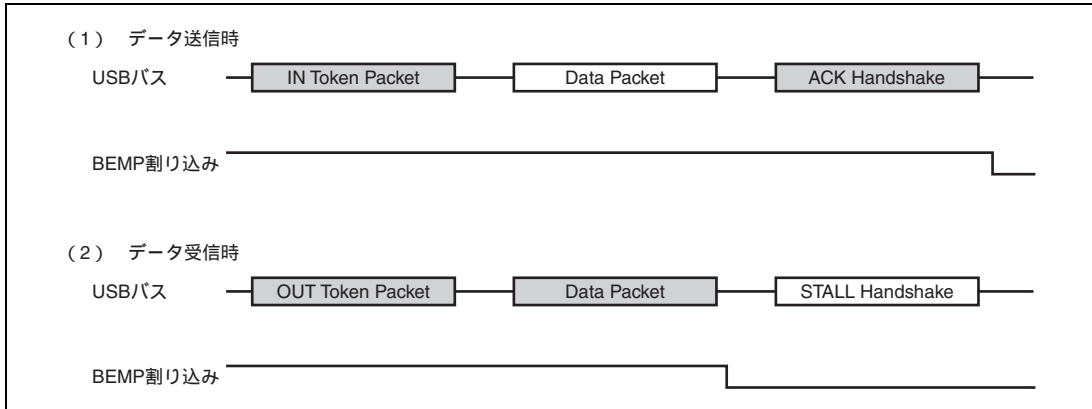


図28.5 BEMP 割り込み発生タイミング図

#### (6) デバイスステート遷移割り込み

図 28.6 にデバイスステート遷移図を示します。本モジュールは、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0 レジスタの DVSQ ビットにて確認できます。

Default ステートに遷移する場合には、リセットハンドシェイクプロトコルの終了後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ペリフェラル機能選択時のみ行います。デバイスステート遷移割り込みもペリフェラル機能選択時のみ発生します。

## 28. USB モジュール (USB)

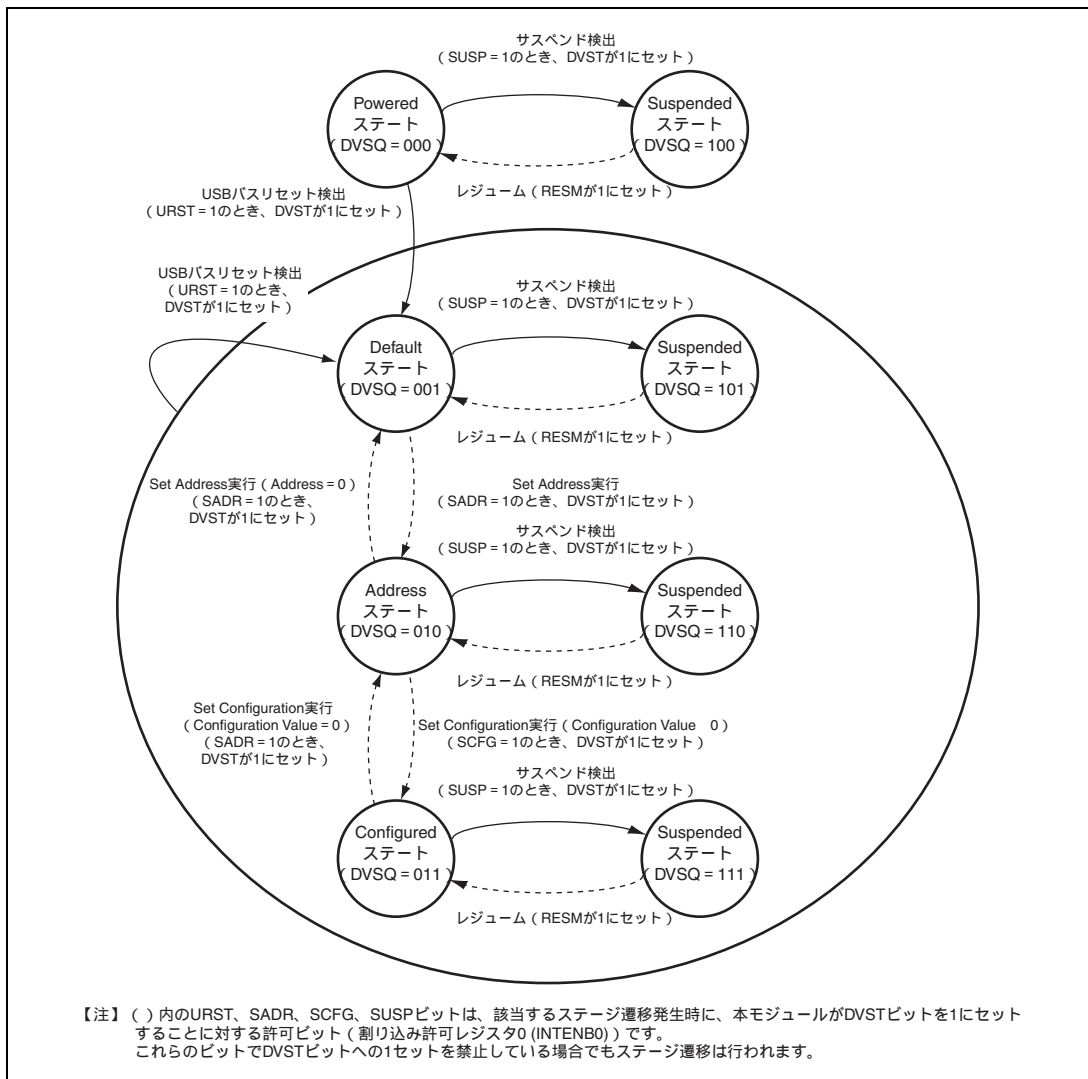


図28.6 デバイスステート遷移図



## (7) コントロール転送ステージ遷移割り込み

図 28.7 にコントロール転送ステージ遷移図を示します。本モジュールは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージは INTSTS0 レジスタの CTSQ ビットにて確認できます。

コントロール転送ステージ遷移割り込みはペリフェラル機能を選択した場合にのみ発生します。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR レジスタの PID ビットが B'1x (STALL) になります。

- コントロールリード転送時
  - データステージのINトークンに対して、一度もデータ転送していない状態で、OUTまたはPINGトークンを受信
  - ステータスステージでINトークン受信
  - ステータスステージでデータパケットがDATA PID = DATA0のパケットを受信
- コントロールライト転送時
  - データステージのOUTトークンに対して、一度もACK応答していない状態でINトークンを受信
  - データステージで最初のデータパケットがDATA PID = DATA0のパケットを受信
  - ステータスステージでOUTまたはPINGトークン受信
- ノーデータコントロール転送時
  - ステータスステージでOUTまたはPINGトークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時 (SERR = 1 設定) は、CTSQ = B'110 の値がシステムから CTRT = 0 書き込み (割り込みステータスクリア) するまで保持されます。このため、CTSQ = B'110 が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません (セットアップステージ完了は、本モジュールで保持されており、ソフトウェアによる割り込みステータスクリア後に、セットアップステージ完了割り込みが発生します)。

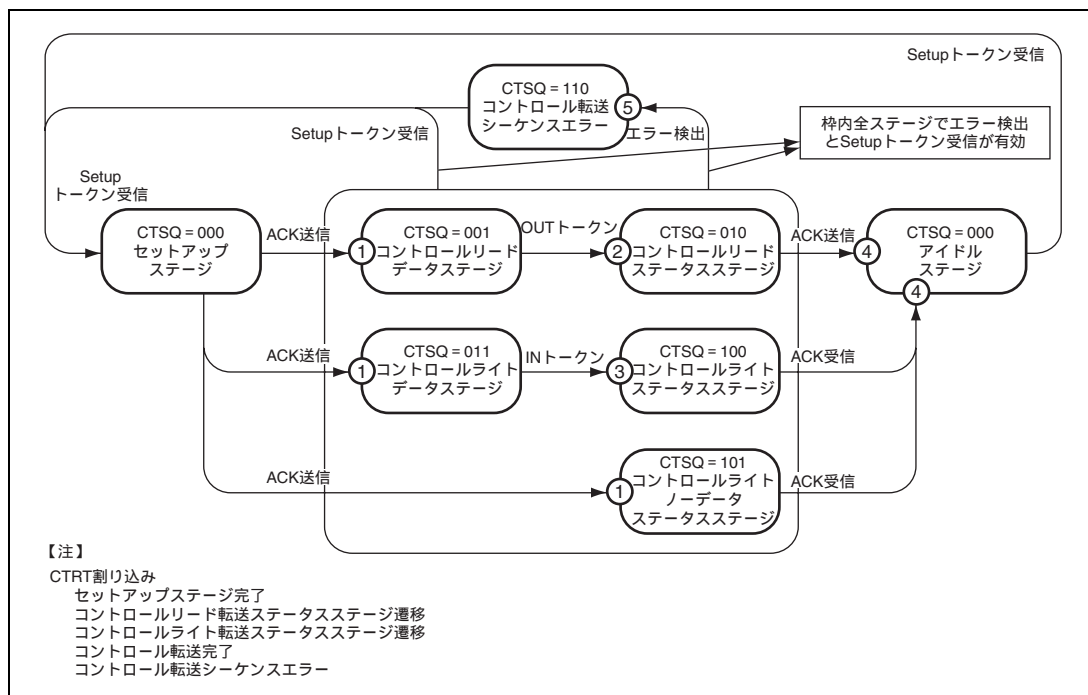


図28.7 コントロール転送ステージ遷移図

## (8) フレーム更新割り込み

図 28.8 に SOFR 割り込み出力タイミング例を示します。ホスト機能を選択した場合は、フレーム番号更新のタイミングで割り込みが発生します。ペリフェラル機能を選択した場合は、フレーム番号が更新されたとき、または SOF パケット破損を検出したときに SOFR 割り込みが発生します。FRMNUM レジスタの SOFRM ビットにて割り込み動作を指定してください。

- SOFRM = 0 選択時

フレーム番号更新タイミング (約 1ms の間隔) で SOFR 割り込みが発生します。SOF パケット破損または欠落時にも内部補間機能により割り込みが発生します。ハイスピード通信中も、フレーム番号更新タイミング (約 1ms の間隔) で割り込みが発生します。

- SOFRM = 1 選択時

SOF パケット破損および欠落時に SOFR 割り込みが発生します。なお、ハイスピード通信中は、同一フレーム番号を持つ  $\mu$  SOF パケットの最初のパケットが破損または欠落した場合のみ割り込みが発生します

SOF 破損および欠落認識は SOF 補間機能に依存します。詳細は「28.4.9 SOF 補間機能」を参照してください。

【注】 ホスト機能を選択した場合は、SOFRM=1 に設定しないでください。

ペリフェラル機能を選択した場合、本モジュールは、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新し SOFR 割り込みを発生します。しかし、ハイスピード動作中は  $\mu$  SOF ロック状態にならないと、フレーム番号を更新せず SOFR 割り込みも発生しません。また、SOF の補間機能も動作しません。 $\mu$  SOF ロック状態とは、エラーなしでフレーム番号の異なる  $\mu$  SOF パケットを 2 回連続受信することです。

なお、 $\mu$  SOF ロック監視開始条件および  $\mu$  SOF ロック監視停止条件は、下記のとおりです。

- $\mu$  SOF ロック監視開始条件

USBE = 1 かつ 48MHz クロック供給

- $\mu$  SOF ロック監視停止条件

USBE = 0 (ソフトウェアリセット)、USB パスリセット受信、またはサスペンド検出

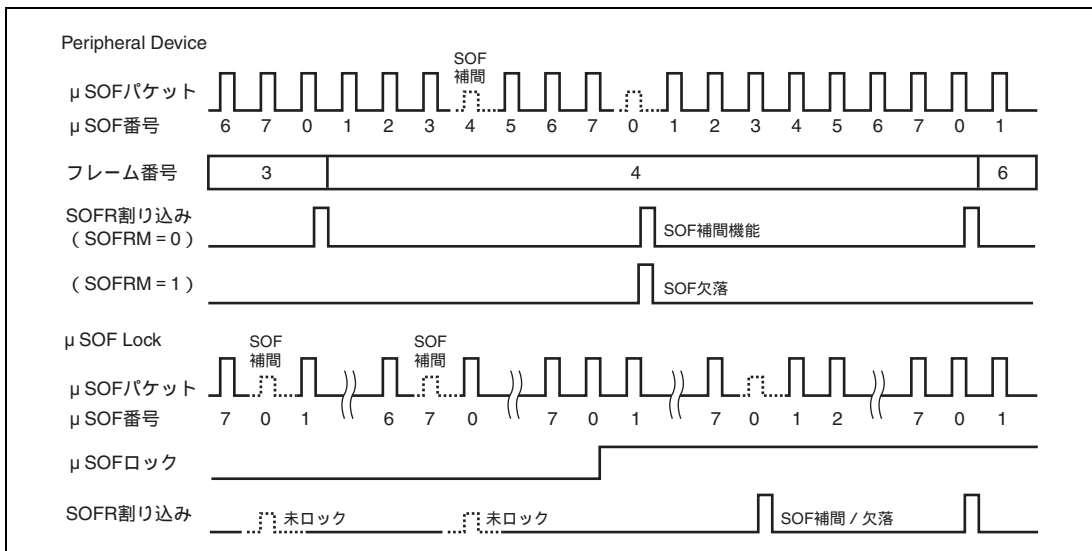


図28.8 SOFR 割り込み出力タイミングの例

#### (9) VBUS 割り込み

VBUS 端子のレベルに変化があった場合に VBUS 割り込みが発生します。INTSTS0 レジスタの VBSTS ビットにて VBUS 端子のレベルを確認できます。VBUS 割り込みによってホストコントローラの接続および切断の確認ができます。ただし、ホストコントローラが接続された状態でシステムが起動された場合は、VBUS 端子が変化しないため、最初の VBUS 割り込みが発生しません。

#### (10) レジューム割り込み

ペリフェラル機能選択時、デバイスステートがサスペンド状態で USB バス状態が変化 (J ステートから K ステート、または J ステートから SE0) したときに、RESM 割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

ホスト機能選択時、RESM 割り込みは発生しません。USB バスの変化は BCHG 割り込みを用いて検出してください。本割り込みはクロックを停止した状態でも発生します。

## 28. USB モジュール (USB)

---

### (11) BCHG 割り込み

USB バス状態に変化があった場合に、BCHG 割り込みが発生します。BCHG 割り込みは、クロックを供給する、しないにかかわらず発生します。ホスト機能選択時のペリフェラル機器の接続、リモートウェイクアップの検出に使用します。BCHG 割り込みは、ホスト、ペリフェラル機能のどちらを選択していても発生します。

本割り込みはクロックを停止した状態でも発生します。

### (12) DTCH 割り込み

ホスト機能選択時にフルスピード動作中にデバイスの切断を検出すると、DTCH 割り込みが発生します。

ハイスピードモードの場合には発生しませんので注意してください。ハイスピードモードで切断を検出するには、定期的に標準リクエストのコントロール転送を行い、ペリフェラルデバイスからの応答がない場合に切断と判断する、などの処理が必要です。

本割り込みは、クロックを停止した状態では発生しません。サスペンド中は、デタッチの検出は BCHG 割り込みを使用してください。

### (13) SACK 割り込み

ホスト機能選択時に、送信したセットアップパケットに対してペリフェラルデバイスからの ACK 応答を受信した場合に、SACK 割り込みが発生します。SACK 割り込みにより、セットアップトランザクションが正常に終了したことを知ることができます。

### (14) SIGN 割り込み

ホスト機能選択時に、送信したセットアップパケットに対してペリフェラルデバイスからの ACK 応答を受信できなかった場合に、SIGN 割り込みが発生します。ペリフェラルが ACK を送信しなかった場合(無応答)や、ACK パケットの破損を検出することができます。

## 28.4.3 パイプコントロール

表 28.16 にパイプ設定項目一覧表を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにより、データ通信を行う必要があります。本モジュールにはデータ転送用に 8 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表28.16 パイプ設定項目一覧表

レジスタ名	ビット名	設定内容	備 考
DCPCFG	TYPE	転送タイプを指定	
PIPECFG	BFRE	BRDY 割り込みモードを選択	PIPE1 ~ PIPE5 : 設定可
	DBLB	シングルまたはダブルバッファを選択	PIPE1 ~ PIPE5 : 設定可
	CNTMD	連続転送または非連続転送を選択	DCP : 設定可 PIPE1、PIPE2 : 設定可 (バルク転送選択時のみ設定可能) PIPE3 ~ PIPE5 : 設定可 連続送受信ではバッファサイズをペイロードの整数倍に設定
	DIR	転送方向 (読み出しまたは書き込み) を選択	IN または OUT 設定可 DCP は ISEL にて制御
	EPNUM	エンドポイント番号	
	SHTNAK	トランスファ終了時のパイプ禁止選択	PIPE1、PIPE2 : 設定可 (バルク転送選択時のみ設定可能) PIPE3 ~ PIPE5 : 設定可
	PIPEBUF	BUFSIZE	バッファメモリサイズ
BUFNUMB		バッファメモリ番号	DCP : 設定不可 (領域 H'0 ~ H'3 固定) PIPE1 ~ PIPE5 : 設定可 (領域 H'6 ~ H'3F で指定可) PIPE6、PIPE7 : 設定不可 (領域 H'4、H'5 固定)
DCPMAXP PIPEMAXP	MXPS	マックスバケットサイズ	
PIPEPERI	IFIS	バッファフラッシュ	PIPE1、PIPE2 : 設定可 (アイソクロナス転送選択時のみ) PIPE3 ~ PIPE7 : 設定不可
	IITV	インターバルカウンタ	PIPE1、PIPE2 : 設定可 (アイソクロナス転送選択時のみ) PIPE3 ~ PIPE7 : 設定不可
DCPCTR PIPEnCTR	BSTS	バッファステータス	DIR ビット / ISEL ビットにも関係します
	INBUFM	IN バッファモニタ	DIR ビット / ISEL ビットにも関係します
	ATREPM	自動応答モードの選択	
	ACLRM	自動バッファクリア	バッファメモリ読み出し設定時は許可 / 禁止設定可
	SQCLR	シーケンスクリア	データトグルビットのクリア

## 28. USB モジュール (USB)

レジスタ名	ビット名	設定内容	備 考
DCPCTR	SQSET	シーケンスセット	データグルビットのセット
PIPEnCTR	SQMON	シーケンス確認	データグルビットの確認
	PID	応答 PID	

### (1) 転送タイプ

PIPECFG レジスタの TYPE ビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP：設定不要（コントロール転送固定）です。
- PIPE1、PIPE2：バルク転送またはアイソクロナス転送を設定してください。
- PIPE3～PIPE5：バルク転送を設定してください。
- PIPE6、PIPE7：インタラプト転送を設定してください。

### (2) エンドポイント番号

PIPECFG レジスタの EPNUM ビットにて各パイプのエンドポイント番号を設定します。DCP は、エンドポイント 0 に固定されています。他のパイプは、エンドポイント 1 からエンドポイント 15 までの設定が可能です。

- DCP：設定不要（エンドポイント0固定）です。
- PIPE1～PIPE7：1から15までを選択して設定してください。

ただし、DIRビットとEPNUMビットの組み合わせが重複しないように設定してください。

### (3) マックスパケットサイズ設定

DCPMAXP レジスタおよび PIPEMAXP レジスタの MXPS ビットにて、各パイプのマックスパケットサイズを設定します。DCP および PIPE1～PIPE5 は、USB 規格で定義されているすべてのマックスパケットサイズに設定が可能です。PIPE6、PIPE7 は、最大 64 バイトがマックスパケットサイズの上限です。マックスパケットサイズは、転送を開始する前（PID = BUF）に設定してください。

- DCP：ハイスピード動作時は64を設定してください。
- DCP：フルスピード動作時は、8、16、32、64から選択して設定してください。
- PIPE1～PIPE5：ハイスピードバルク転送時は、512を設定してください。
- PIPE1～PIPE5：フルスピードバルク転送時は、8、16、32、64から選択して設定してください。
- PIPE1、PIPE2：ハイスピードアイソクロナス転送時は、1から1024の値を設定してください。
- PIPE1、PIPE2：フルスピードアイソクロナス転送時は、1から1023の値を設定してください。
- PIPE6、PIPE7：1から64の値を設定してください。

インタラプト転送およびアイソクロナス転送の High Bandwidth は未対応です。

また、ペリフェラル機能選択時のバルク転送のパイプでは、MXPS=0 設定を行うと下記の動作となります。ホスト機能選択時は、MAXP=0 の設定は行わないでください。

- バルクIN :

バッファメモリへのデータ書き込みは行いません。

PID=BUF設定で、INトークンに対してZero-Lengthパケットを送出します。

BRDY割り込み、NRDY割り込み、およびBEMP割り込みは発生しません。

- バルクOUT :

受信データパケットは、バッファメモリへデータ格納を行いません。

PID=BUF設定で、OUTトークンに対してNAK応答します。

OUTトークンに対してNAK応答したときにNRDY割り込みが発生します。BRDY割り込み、およびBEMP割り込みは発生しません。

#### (4) 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID ビットにて各パイプの応答 PID を設定します。

各設定における本モジュールの動作は、下記のとおりです。

##### (a) ホスト機能選択時の応答 PID 設定

応答PIDは、トランザクションの実施を指定します。

NAK設定 : パイプ禁止状態です。トランザクションは実施されません。

BUF設定 : バッファメモリの状況に応じてトランザクションが実施されます。

OUT方向の場合、バッファメモリに送信データがある場合、OUTトークンを発行します。

IN方向の場合、バッファメモリに空きがあり受信可能な場合にINトークンを発行します。

STALL設定 : パイプ禁止状態です。トランザクションは実施されません。

【注】 DCP のセットアップトランザクションは SUREQ ビット操作で実施します。

##### (b) ペリフェラル機能選択時の応答 PID 設定

応答PIDは、ホストからのトランザクションに対する応答を指定します。

NAK設定 : 発生したトランザクションに対して常にNAK応答します。

BUF設定 : バッファメモリの状況に応じてトランザクションに応答します。

STALL設定 : 発生したトランザクションに対して常にSTALL応答します。

ただし、セットアップトランザクションに対しては、PID の設定にかかわらず、常に ACK 応答し、レジスタに USB リクエストを格納します。

PID ビットはトランザクション結果によりモジュールによる書き込みが発生する場合があります。

本モジュールにより PID ビットへの書き込みが発生するのは、下記の場合です。

- ホスト機能選択時に本モジュールが応答PIDを設定する場合

##### 【NAK 設定】 :

以下の場合に、"PID=NAK"となりトークンの発行を自動的に停止します。

- アイソクロナス以外の転送で、送信したトークンに対して無応答だったとき
- 送信したトークンに対して破損パケットを受信したとき

## 28. USB モジュール (USB)

---

- コントロールリード転送のデータステージにおいて、ショートパケットを受信したとき
- バルク転送時にPIPECFGレジスタのSHTNAKビットを1に設定した場合で ショートパケットを受信したとき
- バルク転送時にSHTNAKビットを1に設定し、トランザクションカウンタが終了したとき

### 【BUF 設定】：

本コントローラーによるBUF書き込みはありません。

### 【STALL 設定】：

以下の場合に、“PID=STALL”となりトークンの発行を自動的に停止します。

- 送信したトークンに対してSTALLを受信したとき
- 受信したデータパケットがマックスパケットサイズを超えたとき
- ペリフェラル機能選択時に本モジュールが応答PIDを設定する場合

### 【NAK 設定】：

- SETUPトークンを正常に受信したとき (DCPのみ)
- バルク転送時にPIPECFGレジスタのSHTNAKビットを1に設定した場合で、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき

### 【BUF 設定】：

本モジュールによるBUF書き込みはありません。

### 【STALL 設定】：

- 受信データパケットでマックスパケットサイズオーバーエラーを検出したとき
- コントロール転送シーケンスエラーを検出したとき

### (5) USB 通信許可 (PID = BUF) 状態では設定禁止であるレジスタ

- CFIFOSELレジスタのISELビット (DCP選択時のみ該当)
- CFIFOSIEレジスタのTGLビット、SCLRビット
- DOFIFOSELレジスタのDCLRMビット、TRENbビット、TRCLRビット、DEZPMビット
- DOFIFOTRNレジスタのTRNCNTビット
- DCPCFGレジスタの各ビット
- DCPMAXPレジスタの各ビット
- DCPCTRレジスタの各ビット (ただしCCPLビットは除く)
- PIPECFGレジスタの各ビット
- PIPEBUFレジスタの各ビット
- PIPEMAXPレジスタの各ビット
- PIPEPERIレジスタの各ビット
- PIPEnCTRレジスタの各ビット



#### (6) データ PID シーケンスビット

データ PID のシーケンスビットは、正常なデータ転送が行われると、本モジュールによりトグル動作します。次に、送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットにて確認できます。データ送信時は、ACK ハンドシェイク受信タイミングで、データ受信時は、ACK ハンドシェイク送信タイミングで、シーケンスビットが切り替わります。また、DCPCTR レジスタおよび PIPEnCTR レジスタの SQCLR ビット、SQSET ビットにてデータ PID シーケンスビットを変更可能です。

またペリフェラル機能選択時のコントロール転送では、ステージ遷移時に本コントローラーが自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA0 になり、ステータスステージでは DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。ホスト機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホスト、ペリフェラルのどちらの機能を選択した場合でも、ClearFeature リクエストの送信または受信時などは、ソフトウェアでデータ PID シーケンスビットを設定する必要がありますので、注意してください。

アイソクロナス送信時は、DATA0 に固定されます。また、アイソクロナス転送設定パイプは SQSET ビットによるシーケンスビット操作は行えません。

#### (7) 応答 PID = NAK 機能

本モジュールには、PIPECFG レジスタの SHTNAK ビットに 1 を設定することで、トランスファの最後 (ショートパケット受信またはトランザクションカウンタでモジュールが自動識別) のデータパケット受信タイミングで、パイプ動作を禁止 (応答 PID = NAK) する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可 (応答 PID = BUF) 設定を行う必要があります。

なお、本機能はバルク転送時のみ動作することが可能です。

#### (8) オート応答モード

バルク転送のパイプ (PIPE1 ~ PIPE5) において、PIPEnCTR レジスタの ATREPM ビットに 1 をセットすると、オート応答モードとなります。OUT 転送時 (DIR = 0) には OUT-NAK モードとなり、IN 転送時 (DIR = 1) には Null 自動応答モードとなります。

##### (a) OUT-NAK モード

バルク OUT 転送のパイプにおいて、ATREPM ビットに 1 をセットすると、OUT トークンまたは PING トークンに対して、NAK 応答し、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへ設定するためには、パイプ動作禁止状態 (応答 PID = NAK) で、OUT-NAK モードに設定して、パイプ動作許可 (応答 PID = BUF) を行ってください。パイプ動作許可後に、OUT-NAK モードが有効になります。ただし、パイプ動作禁止にする直前で OUT トークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへ ACK 応答されます。

OUT-NAK モードから通常モードへ遷移させるためには、パイプ動作禁止状態 (応答 PID = NAK) で、OUT-NAK モードを解除して、パイプ動作許可 (応答 PID = BUF) を行ってください。通常モードでは、OUT データ受信が可能となり、PING トークンに対しては、バッファが受信可能であれば ACK を返します。

### (b) Null 自動応答モード

バルク IN 転送のパイプにおいて、ATREPM ビットに 1 をセットすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ設定するためには、パイプ動作禁止状態 (応答 PID = NAK) で、Null 自動応答モードに設定して、パイプ動作許可 (応答 PID = BUF) を行ってください。パイプ動作許可後に、Null 自動応答モードが有効になります。ただし、Null 自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。INBUFM ビットが 0 であることで確認してください。INBUFM ビットが 1 の場合には、バッファ内にデータが存在しているため、ACLRM ビットにより空にしてください。また、Null 自動応答モードへの設定中には、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態 (応答 PID = NAK) を Zero-Length パケット送信分ウェイト (フルスピード時: 10  $\mu$ s、ハイスピード時: 3  $\mu$ s) した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可 (応答 PID = BUF) を行うことにより、ホストへのパケット送信が可能となります。

## 28.4.4 バッファメモリ

### (1) バッファメモリ割り当て

図 28.9 にバッファメモリマップ例を示します。バッファメモリは CPU と本モジュールが共用する領域です。バッファメモリの状況には、アクセス権がシステム (CPU 側) にある場合と、本モジュール (SIE 側) にある場合があります。

バッファメモリは、パイプごとに独立した領域を設定します。メモリ領域は、64 バイトを 1 ブロックとして、ブロック先頭番号とブロック数 (PIPEBUF レジスタの BUFNUM ビットおよび BUFSIZE ビットで指定) で設定します。また、バッファメモリへのアクセス (データ読み書き) は 3 本の FIFO ポートを使用します。FIFO ポートに割り当てるパイプは、各 FIFO ポート選択レジスタの CURPIPE ビットにてパイプ番号を指定します。

各パイプのバッファステータスは、DCPCTR レジスタおよび PIPEnCTR レジスタの BSTS ビット、INBUFM ビットで確認できます。また、FIFO ポートのアクセス権は、各 FIFO ポート選択レジスタの FRDY ビットで確認できます。

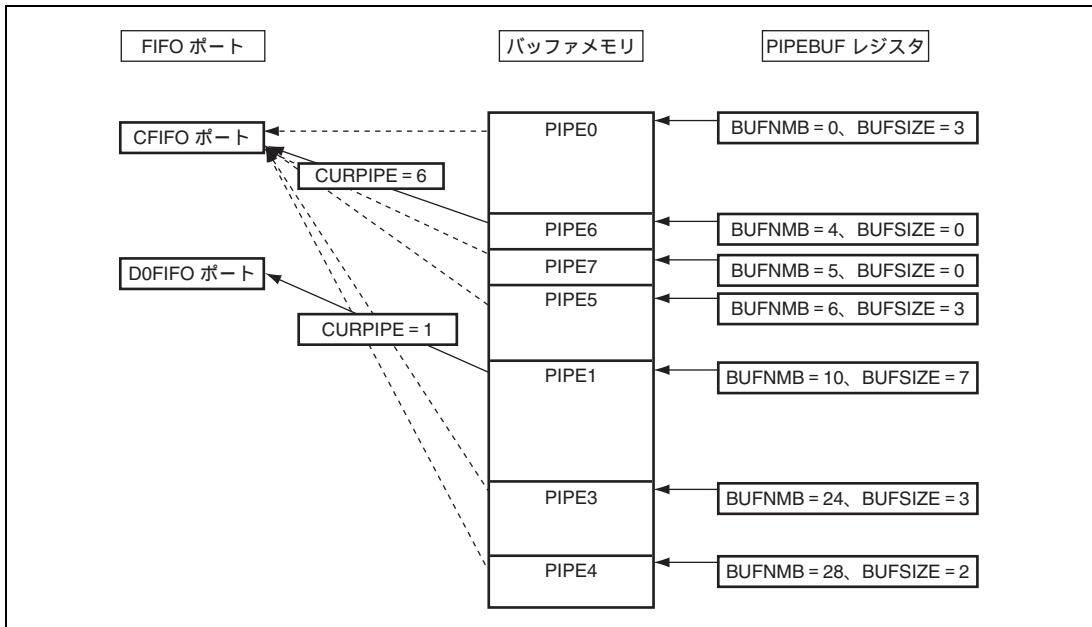


図28.9 バッファメモリマップ例

## (a) バッファステータス

表 28.17 にバッファステータス表を示します。バッファメモリステータスを DCPCTR レジスタの BSTS ビットおよび PIPEnCTR レジスタの INBUFM ビットにて確認できます。バッファメモリのアクセス方向は、PIPEnCFG レジスタの DIR ビットまたは CFIFOSEL レジスタの ISEL ビット (DCP 選択時) で、バッファメモリのアクセス方向を指定します。

なお、INBUFM ビットは IN 方向 (DIR = 1) でのみ有効です。

IN 転送パイプをダブルバッファに設定している場合、BSTS ビットは CPU 側のバッファの状態を、INBUFM ビットは SIE 側のバッファの状態を判断するために使用します。CPU (DMAC) による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空きが判別できない場合に、INBUFM ビットで送信完了を確認できます。

## 28. USB モジュール (USB)

表28.17 BSTS ビットによるバッファステータス表

ISEL または DIR	BSTS	バッファメモリの状態
0 (受信方向)	0	受信データなし、または受信中 FIFO ポートからの読み出し不可
0 (受信方向)	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能 ただし、Zero-Length パケット受信時は読み出し不可のためバッファクリアが必要
1 (送信方向)	0	送信を完了していない FIFO ポートへの書き込み不可
1 (送信方向)	1	FIFO ポートへの書き込み可能 (1) DBLB=0 (シングルバッファ) の場合: 送信完了 (2) DBLB=1 (ダブルバッファ) の場合: バッファ片側の送信完了

表28.18 INBUFM ビットによるバッファステータス表

DIR	INBUFM	バッファメモリの状態
0 (受信方向)	無効	無効
1 (送信方向)	0	送信可能データを送信完了した 送信可能データなし
1 (送信方向)	1	送信可能データが FIFO ポートから書き込まれた 送信可能データあり

### (b) バッファクリア

表 28.19 にバッファメモリのクリア一覧表を示します。バッファメモリは、下記の 4 ビットにてクリアできません。

表28.19 バッファクリア一覧表

ビット名	BCLR	SCLR	DCLR	ACL
レジスタ	CFIFOCTR レジスタ D0FIFOCTR レジスタ	CFIFOSIE レジスタ	D0FIFOSEL レジスタ	PIPEnCTR レジスタ
機能	CPU 側バッファメモリをクリアします。	SIE 側バッファメモリをクリアします。	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです。	受信したパケットをすべて破棄する自動バッファクリアモードです。
クリア方法	1 ライトでクリア	1 ライトでクリア	1 モード有効 0 モード無効	1 モード有効 0 モード無効

## (c) バッファ領域

表 28.20 にバッファメモリマップを示します。バッファメモリには、あらかじめパイプに割り当てられている専用固定領域およびユーザ設定が可能なユーザ領域があります。

DCP 用バッファは、コントロールリード転送およびコントロールライト転送で、同一領域を使用する専用固定領域です。

PIPE6、PIPE7 領域は、あらかじめ領域を割り当ててありますが、PIPE6、PIPE7 を使用しない場合はユーザ領域として PIPE1 ~ PIPE5 に割り当てて使用可能です。

各パイプで領域が重ならないように設定してください。特にダブルバッファ設定時は領域が設定値の倍になりますので注意してください。

また、マックスパケットサイズ未満の設定値でバッファサイズ指定は行わないでください。

表28.20 バッファメモリマップ

バッファメモリ番号	バッファサイズ	パイプ設定	備考
H'0 ~ H'3	256 バイト	DCP 専用固定領域	シングルバッファ、連続転送可能
H'4	64 バイト	PIPE6 用固定領域	シングルバッファ
H'5	64 バイト	PIPE7 用固定領域	シングルバッファ
H'6 ~ H'3F	最大 3712 バイト	PIPE1 ~ PIPE5 ユーザ領域	ダブルバッファ設定可能、連続転送可能

## (d) 自動バッファクリアモード機能

PIPEnCTR レジスタの ACLRM ビットに 1 を設定することで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。なお、本機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLRM ビットに 1 を設定し、続けて 0 を設定することで、アクセス方向に関係なく当該パイプのバッファメモリをクリアできます。

ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの 1 書き込みと 0 書き込みの間隔を 100ns 以上とってください。

## 28. USB モジュール (USB)

### (e) バッファメモリ仕様 (シングル/ダブル設定)

PIPE1 ~ PIPE5 は、PIPEnCFG レジスタの DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。ダブルバッファは同一パイプに対して PIPEBUF レジスタの BUFSIZE ビットにて指定したメモリ領域を 2 面分割り当てる機能です。図 28.10 にバッファメモリ設定例を示します。

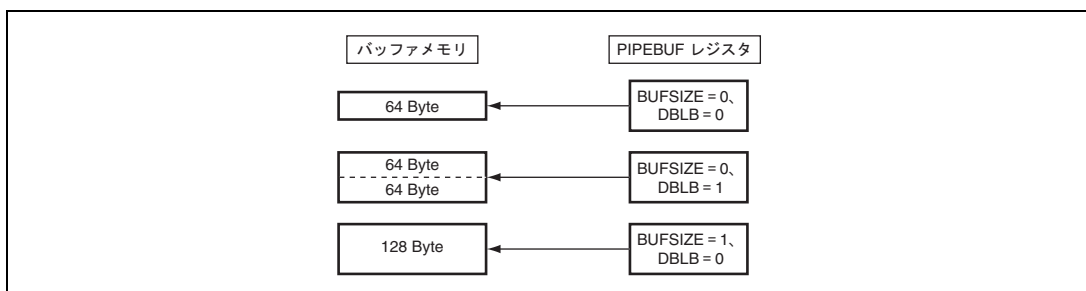


図28.10 バッファメモリ設定例

### (f) バッファメモリ動作 (連続転送設定)

DCPCFG レジスタおよび PIPEnCFG レジスタの CNTMD ビットにて連続転送モード、または非連続転送モードを選択できます。この選択は、PIPE0 ~ PIPE5 に対して有効です。

連続転送モード機能は、複数のトランザクションを連続して送受信する機能です。連続転送モード設定時は、各パイプに割り当てられたバッファサイズまで CPU へ割り込みを発生させずにデータ転送ができます。

連続送信モードでは、書き込みデータをマックスパケットサイズで分割して送信します。バッファサイズ未満のデータ送信 (ショートパケット、またはマックスパケットサイズの整数倍でバッファサイズ未満) の場合には、送信データの書き込み後 BVAL = 1 を設定する必要があります。

連続受信モードでは、バッファサイズまでのパケット受信、トランザクションカウントの終了、またはショートパケットを受信するまで、割り込みは発生しません。

図 28.11 にバッファメモリ動作例を示します。

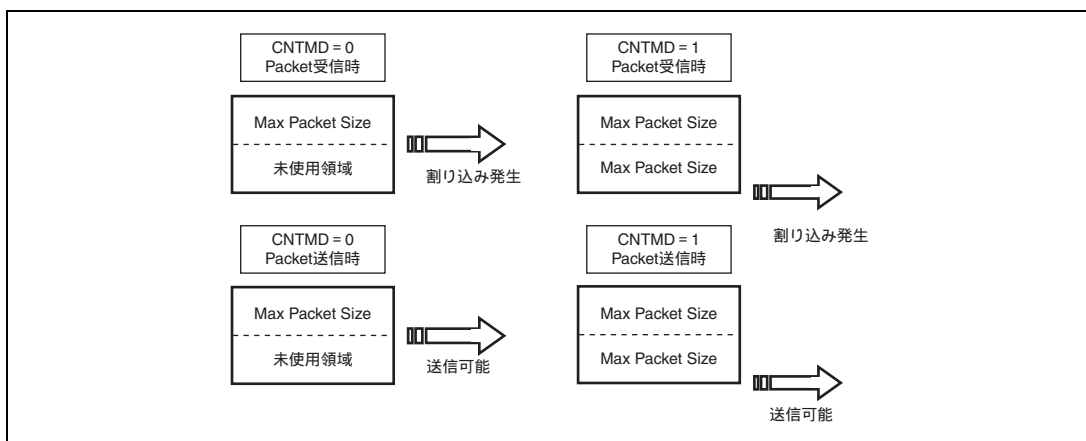


図28.11 バッファメモリ動作例

## (2) FIFO ポートの機能

表 28.21 に FIFO ポート機能設定表を示します。データ書き込みアクセス時は、バッファフル(非連続転送時はマックスパケットサイズ数)まで書き込みを行うと、自動的に送信可能状態となります。バッファフル(非連続転送時はマックスパケットサイズ数)未満のデータを送信可能状態にするには、各 FIFO ポートコントロールレジスタの BVAL ビットによる書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時(DTLN=0)は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、各 FIFO ポートコントロールレジスタの DTLN ビットにて確認します。

表28.21 FIFO ポート機能設定表

レジスタ名	ビット名	機 能	備考
CFIFOSEL	REW	バッファメモリ REWIND (再読み出し、再書き込み)	
D0CFIFOSEL	DCLRM	指定パイプの受信データ読み出し後自動クリア	D0FIFO 専用 DMA 転送想定
	DREQE	DREQ 信号アサート	D0FIFO 専用
	MBW	FIFO ポートアクセスビット幅	
	TRENB	トランザクションカウンタ動作許可	D0FIFO 専用
	TRCLR	カレントトランザクション回数クリア	D0FIFO 専用
	DEZPM	Zero-Length パケット付加モード	DMA 転送専用
	ISEL	FIFO ポートアクセス方向	DCP 専用
	CFIFOCTR	BVAL	バッファメモリ書き込み終了
D0CFIFOCTR	BCLR	CPU 側バッファメモリクリア	
	DTLN	受信データ長確認	
D0FIFOTRN	TRNCNT	受信トランザクションカウンタ設定	D0FIFO 専用
CFIFOSIE (DCP 除く)	TGL	CPU/SIE バッファトグル	CFIFO 専用
	SCLR	SIE 側バッファメモリクリア	CFIFO 専用
CFBCFG	FEND	FIFO ポートエンディアン指定	周辺バス専用
D0CFBCFG	FWAIT	FIFO アクセスサイクル指定	周辺バス専用

## (a) FIFO ポート選択

表 28.22 に各 FIFO ポートで選択可能なパイプ表を示します。各 FIFO ポート選択レジスタの CURPIPE ビットにて、アクセスするパイプを選択します。パイプ選択後 FRDY = 1 を確認してから FIFO ポートへアクセスしてください。

また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPEnCFG レジスタの DIR ビットに従います。ただし、DCP のみ ISEL ビットにより決定します。

表28.22 パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
PIPE1 - PIPE7	CPU アクセス	CFIFO ポートレジスタ DOFIFO ポートレジスタ
	DMA アクセス	DOFIFO ポートレジスタ

## (b) REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、FIFO ポート選択レジスタの REW ビットを使用します。

FIFO ポート選択レジスタの CURPIPE ビット設定と同時に REW ビットを 1 に設定してパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポイントをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、0 に設定しパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポイントをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFO ポートへアクセスするには、パイプ選択後 FRDY = 1 を確認する必要があります。

## (c) SIE 側バッファメモリの読み出し (CFIFO ポート読み出し方向)

本モジュールは、FRDY = 0 状態でバッファメモリからデータ読み出しが行えない場合でも、CFIFOSIE レジスタの SBUSY ビットを確認し、TGL ビットに 1 を設定することで、SIE 側のデータ読み出しアクセスが可能です。PID = NAK に設定し、SBUSY = 0 を確認のうえ、TGL = 1 と書き込みを行ってください。モジュールは、CFIFO レジスタからデータ読み出しが可能になります。なお、本機能はバッファメモリ読み出し方向のみ使用できます。また、TGL ビット操作で BRDY 割り込みが発生します。

下記の状態では、TGL ビットに 1 を書き込まないでください。

- DCP 選択時
- バッファメモリを読み出し中
- バッファメモリ書き込み方向のパイプ



## (d) SIE 側バッファメモリクリア (CFIFO ポート書き込み方向)

CFIFOSIE レジスタの SBUSY ビットを確認し、SCLR ビットに 1 を設定することで、送信準備中のデータキャンセルができます。

PID = NAK 設定し、SBUSY = 0 を確認の上、SCLR = 1 と書き込みを行ってください。モジュールは、CFIFO レジスタから新しいデータ書き込みが可能になります。なお、本機能はバッファメモリ書き込み方向のみ使用できます。また、SCLR ビット操作で BRDY 割り込みが発生します。

下記の状態では、SCLR ビットに 1 を書き込まないでください。

- DCP 選択時
- バッファメモリを書き込み中
- バッファメモリ読み出し方向のパイプ

## (e) トランザクションカウンタ (D0FIFO ポート読み出し方向)

本モジュールは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタは、D0FIFO ポートにて選択されているパイプがバッファメモリからデータ読み出し方向で設定されている場合に動作する機能です。トランザクションカウンタには、トランザクション回数を指定する TRNCNT レジスタと内部でトランザクションをカウントするカレントカウンタがあり、カレントカウンタが指定回数に一致すると、バッファメモリが読み出し可能状態となります。TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。

TRENB ビットの設定により、TRNCNT レジスタ読み出し時の情報が異なります。

- TRENB = 0 : 設定したトランザクションカウンタ値が読み出せます。
- TRENB = 1 : 内部でカウントしたカレントカウンタ値が読み出せます。

CURPIPE ビットの変更条件は、下記のとおりです。

- 指定したパイプのトランザクションが終了するまで、CURPIPE ビットは変更しないでください。
- カレントカウンタがクリアされていないと CURPIPE ビットは変更できません。

TRCLR ビットの操作条件は、下記のとおりです。

- トランザクションカウント中、かつ、PID = BUF の場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

## 28. USB モジュール (USB)

---

### (f) FIFO ポートアクセスウェイト指定

FIFO ポートへアクセスについては、書き込みまたは読み出しサイクルに次のような制約があります。

- 最大48MB/secの転送スピードを超えないこと

本モジュールには、周辺クロックの周波数制限をなくすために、xFBCFGレジスタのアクセスウェイト指定 (FWAIT) ビットによりアクセスサイクルを制御できる機能があります。

FWAITビットは、各FIFOポートに設定でき、CPUスピードおよび転送先のアクセスサイクル等により効率よく設定が可能です。

- FWAITビットの設定例：

#### 【条件】

アクセス方向 : FIFOへの書き込み

周辺クロック周波数 : 33MHz

MBWビット設定値 : 10 (32ビット幅)

アクセス形態 : 転送データは内蔵メモリ (ソース側) からデータ読み出し後、FIFOポートへ書き込む。その場合、ソース側のアクセスに2クロックサイクルが必要。

#### 【計算例】

$(2 + (\text{FWAIT} + 2)) \times 1/33\text{MHz} = 1/48\text{MHz} \times 4 (32\text{ビット})$

FWAIT = 0 (2クロックサイクル)

### (3) DMA 転送 (D0FIFO ポート)

本モジュールのDMA転送は、内蔵DMAC仕様に準拠しています。DMA転送終了時、CPUを介すことなくシヨートパケットデータを書き込むことが可能です。

#### (a) DMA 転送概要

PIPE1 ~ PIPE7 に対して、DMACによるFIFOポートアクセスが可能です。

D0FIFOSELレジスタのMBWビットにてFIFOポートへの転送単位を、CURPIPEビットにてDMA転送するパイプを選択してください。なお、DMA転送中は選択しているパイプを変更しないでください。

#### (b) Zero-Length パケット付加モード (D0FIFO ポート書き込み方向)

D0FIFOSELレジスタのDEZPMビットに1を設定することで、DMA転送による書き込み完了時にバッファメモリに書き込まれているデータのバイト数がマックスパケットサイズの整数倍の場合に、全データ送信後、Zero-Lengthパケットを1パケット付加して送出することが可能です。本機能は、バッファメモリ書き込み方向設定時 (CURPIPEビットに送信方向のパイプが設定されている場合) のみ設定できます。

#### (c) D0FIFO 自動クリアモード (D0FIFO ポート読み出し方向)

D0FIFOSELレジスタのDCLRMビットに1を設定することで、バッファメモリからのデータ読み出しを完了した場合に、当該パイプのバッファメモリを自動的にクリアします。

表 28.23 に各設定でのパケット受信とソフトウェアによるバッファメモリクリア処理の関連を示します。表 28.23 に示すように、BFREビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DCLRMビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウ

エアを介在させない DMA 転送が可能となります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表28.23 パケット受信とソフトウェアによるバッファメモリクリア処理の関連表

パケット受信時のバッファ状態	レジスタ設定			
	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Length パケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

#### (d) BRDY 割り込みタイミング選択機能

PIPECFG レジスタの BFRE ビットの設定により、マックスパケットサイズのデータパケットを受信時に BRDY 割り込みを発生させないようにすることができます。

この機能により、DMA 転送を使用している場合に、最終データを受信したときのみに割り込みを発生させることができます。最終データとは、ショートパケットの受信またはトランザクションカウントの終了を示します。BFRE = 1 に設定している場合は、受信したデータを読み出した後で、BRDY 割り込みが発生します。DOFIFOCTR レジスタの DTLN ビットを読み出すことにより、BRDY 割り込みの発生時に最後に受信したデータパケットの受信データ長を確認することができます。

表28.24に、BRDY割り込み発生タイミングを示します。

表28.24 BRDY 割り込み発生タイミング

パケット受信時のバッファ状態	レジスタ設定	
	BFRE = 0	BFRE = 1
バッファフル (通常のパケット受信)	パケット受信時	発生しない
Zero-Length パケット受信	パケット受信時	パケット受信時
通常のショートパケット受信	パケット受信時	バッファメモリから、受信データの読み出し完了時
トランザクションカウント終了	パケット受信時	バッファメモリから、受信データの読み出し完了時

BFRE ビットはバッファメモリから読み出し方向のみ有効です。書き込み方向の場合には、BFRE ビットは 0 に固定してください。

#### (4) FIFO ポートアクセス可能タイミング

CPU バスによる FIFO ポートへのアクセスは、各 FIFO ポートコントロールレジスタの FRDY ビットが 1 になったのを確認してから行う必要があります。アクセスを高速化するために FRDY ビットを確認せずに FIFO ポートへアクセスすることもできますが、アクセス可能になるタイミングに注意が必要です。

## 28. USB モジュール (USB)

### (a) パイプ切り替え時の FIFO ポートアクセス可能タイミング

図 28.12 に、FIFO ポートで指定するパイプを切り替えた ( $\times$ FIFOSEL レジスタの CURPIPE ビットを変更した) 場合の、FRDY ビットおよび DTLN ビットが確定するまでのタイミング図を示します。

CURPIPE ビットを変更した場合は、FIFO ポート選択レジスタへの書き込み後に 450ns + 周辺クロック 8 クロックサイクル待った後、FIFO ポートへのアクセスを行ってください。

なお、CFIFO ポートに対しては、ISEL ビットを変更時も同様のタイミングになります。

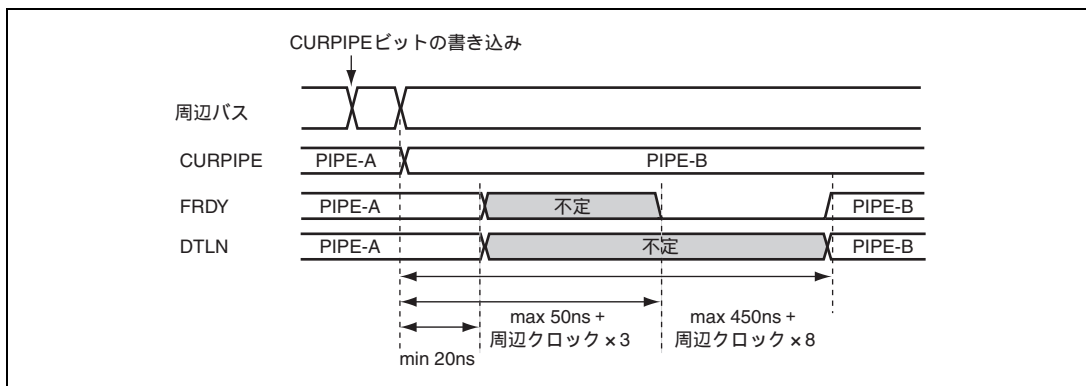


図28.12 パイプ変更後の FRDY、DTLN の確定タイミング

### (b) ダブルバッファ時の読み出し、書き込み完了後の FIFO ポートアクセス可能タイミング

図 28.13 に、ダブルバッファのパイプに対して、バッファリードまたはライト完了後、もう一方のバッファがアクセス可能状態になるまでのタイミングを示します。

ダブルバッファ時は、トグル直前のアクセス後に 300ns + 周辺クロック 6 クロックサイクル待った後、FIFO ポートへのアクセスを行ってください。

なお、IN 方向のパイプにて BVAL = 1 設定によるショートパケット送信を行うときも、同様のタイミングになります。

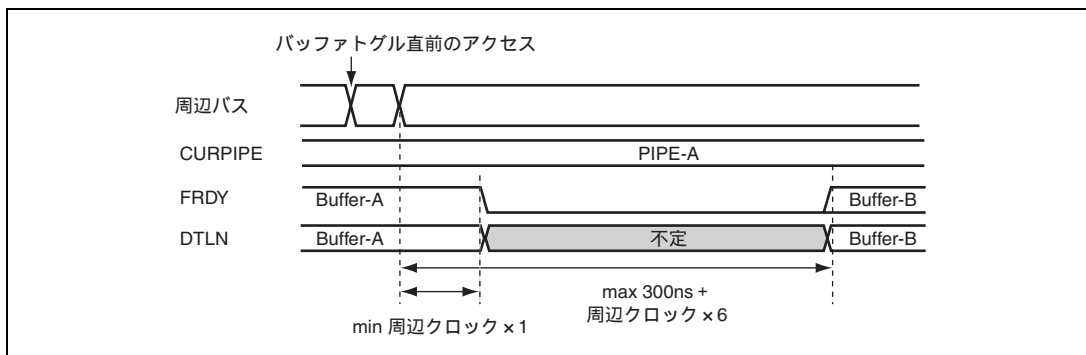


図28.13 ダブルバッファ時の読み出し、書き込み完了後の FRDY、DTLN の確定タイミング

### 28.4.5 コントロール転送 (DCP)

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCP のバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で 256 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

#### (1) ホスト機能選択時のコントロール転送

コントロール転送のステージ遷移管理は、以下のとおりソフトウェアが行います。

##### (a) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタは、セットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR レジスタの SUREQ ビットに "1" を書き込むことで、設定されているデータがセットアップトランザクションとして送出されます。

SUREQ ビットは、トランザクションが終了すると、本モジュールが 0 を書き込みます。"SUREQ=1" 中は上記 USB リクエストレジスタを操作しないでください。セットアップトランザクションのデバイスアドレスは DCPMAXP レジスタの DEVSEL ビットで指定します。

トランザクションを送出すると、ペリフェラルデバイスからの応答により割り込み要求が発生します (INTSTS1 レジスタの SIGN ビットおよび SACK ビット)。この割り込み要求により、セットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR レジスタの SQMON ビットの内容にかかわらず、常に DATA0 のデータパケット (USB リクエスト) が送信されます。

##### (b) データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL レジスタの ISEL ビットでアクセス方向を指定してください。また、DCPCFG レジスタの DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットは、データ PID を DATA1 として通信する必要があります。DCPCFG レジスタの SQSET ビットでデータ PID を DATA1 にセットし、PID ビットを BUF に設定することでトランザクションを実行します。

データ転送の完了は、BRDY 割り込み、および BEMP 割り込みによって検出します。

連続転送指定により複数パケットにわたったデータ転送が可能です。ただし、受信方向で連続転送に設定した場合は、バッファフルになるか、ショートパケットを受信しないと、BRDY 割り込みが発生しませんので注意してください (マックスパケットサイズの整数倍で、かつ 256 バイト以下の場合)。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するようにソフトウェアで制御してください。

ハイスピード動作時のデータ送信方向の場合、PING パケットを送信します。PING パケットの制御は、バルク転送と同様です。「28.4.6 バルク転送 (PIPE1 ~ PIPE5)」を参照ください。

##### (c) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に、DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

データステージのデータパケットは、データ PID を DATA1 として通信する必要があります。DCPCFG レジスタの SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後、CFIFOCTR レジスタの DTLN ビットで受信データ長を確認のうえ、BCLR ビットでバッファメモリクリアを行ってください。

ハイスピード動作時のデータ送信方向の場合、PING パケットを送信します。PING パケットの制御は、バルク転送と同様です。「28.4.6 バルク転送 (PIPE1 ~ PIPE5)」を参照ください。

### (2) ペリフェラル機能選択時のコントロール転送

#### (a) セットアップステージ

本モジュールは、本モジュールに対する正常なセットアップパケットに対して、必ず ACK 応答します。セットアップステージの本モジュールの動作を以下に示します。

- 新しいセットアップパケットを受信すると、本モジュールは以下のビットをセットします。

INTSTS0レジスタのVALIDビットを1にセット

DCPCTRレジスタのPIDビットをNAKにセット

DCPCTRレジスタのCCPLビットを0にセット

- セットアップパケットに引き続きデータパケット受信すると、本モジュールは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、必ず VALID=0 を設定後に行ってください。VALID=1 状態では PID = BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、本モジュールは、コントロール転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本モジュールは、受信した USB リクエストの方向ビット (bmRequestType のビット 7) およびリクエストデータ長 (wLength) を自動判別し、コントロールリード転送、コントロールライト転送、およびノーデータコントロール転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。

#### (b) データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL レジスタの ISEL ビットにてアクセス方向指定を行ってください。

転送データが DCP バッファメモリのサイズより大きい場合には、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

ハイスピード動作時のコントロールライト転送では、バッファメモリの状況に応じて NYET ハンドシェイク応答を行います。

#### (c) ステータスステージ

DCPCTR レジスタの PID ビットが PID = BUF の状態で、CCPL ビットに 1 を設定することによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、本モジュールが自動的にステータス

ページを実行します。具体的には下記のとおりです。

- コントロールリード転送の場合：

本モジュールはZero-Length/パケットの送信を行い、USBホストからのACK応答を受信します。

- コントロールライト転送、ノーデータコントロール転送の場合：

USBホストからのZero-Lengthパケットを受信し、ACK応答を送信します。

(d) コントロール転送自動応答機能

本モジュールは、正常な SET\_ADDRESS リクエストに自動応答します。SET\_ADDRESS リクエストに下記のエラーがある場合は、ソフトウェアによる応答が必要です。

- コントロールリード転送以外の場合：bmRequestType H'00
- リクエストエラーの場合：wIndex H'00
- ノーデータコントロール転送以外の場合：wLength H'00
- リクエストエラーの場合：wValue > H'7F
- デバイスステートエラーのコントロール転送：DVSQ = 011 (Configured)

SET\_ADDRESS 以外のすべてのリクエストには、対応するソフトウェアによる応答が必要です。

### 28.4.6 バルク転送 (PIPE1 ~ PIPE5)

バルク転送は、バッファメモリ使用方法 (シングル/ダブルバッファ設定、または連続/非連続転送モード設定) の選択ができます。バッファメモリサイズは、最大 2K バイトまで設定可能です。バッファメモリの状態は本モジュールが管理し、PING パケット/NYET ハンドシェイクには自動応答します。

#### (1) ホスト機能選択時の PING パケット制御

OUT 方向の PING パケットの送信は、本コントローラーにより自動的に送出されます。以下に示すとおり初期状態が PING パケット送出状態で ACK ハンドシェイクを受信することにより OUT パケットを送出します。NAK または NYET を受信すると PING 送出状態に戻ります。また、この制御はコントロール転送のデータステージ、ステータスステージも同様です。

1. OUTデータ送信設定
2. PINGパケット送信
3. ACKハンドシェイク受信
4. OUTデータパケット送信
5. ACKハンドシェイク受信
6. OUTデータパケット送信
- ：
7. NAK/NYETハンドシェイク受信
8. PINGパケット送信

また、本コントローラーが PING パケットの送信に戻る要因は、ハードウェアリセット、ソフトウェアリセット、NYET/NAK ハンドシェイク受信、シーケンスストグルビットのセット、クリア (SQSET、SQCLR)、バッファクリア (ACLRM) 設定です。

#### (2) ペリフェラル機能選択時の NYET ハンドシェイク制御

表 28.25 に NYET ハンドシェイク応答表を示します。NYET 応答は、下記の条件に従います。ただし、ショートパケット受信時は、NYET パケット応答をせずに ACK 応答となります。また、コントロールライト転送のデータステージも同様です。



表28.25 NYET ハンドシェイク応答表

DCPCTR.PID ビット設定値	バッファメモリ の状態*	トークン	応答	備 考
NAK/STALL	-	SETUP	ACK	-
	-	IN/OUT/PING	NAK/STALL	-
BUF	-	SETUP	ACK	-
	RCV-BRDY1	OUT/PING	ACK	OUT トークン受信時はデータパケットを受信
	RCV-BRDY2	OUT	NYET	データパケット受信、受信不能通知
	RCV-BRDY2	OUT ( Short )	ACK	データパケット受信、受信可能通知
	RCV-BRDY2	PING	ACK	受信可能通知
	RCV-NRDY	OUT/PING	NAK	受信不能通知
	TRN-BRDY	IN	DATA0/1	データパケット送信
	TRN-NRDY	IN	NAK	TRN-NRDY

【注】 \* RCV-BRDY1 : OUT/PING トークン受信時にバッファメモリに 2 パケット分以上の空き領域がある  
 RCV-BRDY2 : OUT トークン受信時にバッファメモリに 1 パケット分の空き領域しかない  
 RCV-NRDY : PING トークン受信時にバッファメモリに空き領域がない  
 TRN-BRDY : IN トークン受信時にバッファメモリに送信データがある  
 TRN-NRDY : IN トークン受信時にバッファメモリに送信データがない

#### 28.4.7 インタラプト転送 ( PIPE6、PIPE7 )

ペリフェラル機能選択時、本モジュールは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。インタラプト転送の場合、PING パケットは無視 ( 無応答になる ) し、NYET ハンドシェイク応答せず、ACK、NAK、STALL 応答を行います。

ホスト機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。

OUT 方向の転送であっても、PING トークンは発行せず、OUT トークンを発行します。また、ペリフェラルデバイスから NYET ハンドシェイクを受信した場合は、ACK 受信として動作します。

また、本モジュールは、インタラプト転送の High-Bandwidth 転送には対応していません。

##### (1) ホスト機能選択時のインタラプト転送時のインターバルカウンタ

###### (a) 動作概要

インタラプト転送を行う場合、PIPEPERI レジスタの IITV ビットにトランザクションのインターバルを設定します。

本コントローラは、設定されたインターバルに従って、インタラプト転送のトークンを発行します。

###### (b) カウンタの初期化

本コントローラがインターバルカウンタを初期化する条件は、以下のとおりです。

- ハードウェアリセット

IITV ビットが初期化されます。

## 28. USB モジュール ( USB )

---

- ソフトウェアリセット

IITVビットが初期化されます。

- 停電力スリープからの復帰

IITVビットが初期化されます。

- ACLRMによるバッファメモリ初期化

IITVビットは初期化されませんが、カウントは初期化されます。ACLRMビットを0にすることにより、IITVの設定値を最初からカウントします。

なお、以下の場合には、インターバルカウンタは初期化されませんので注意してください。

- USBバスリセット、USBサスペンド

IITVビットは初期化されません。UACTビットを1にすることにより、USBバスリセット、USBサスペンド状態とする前の値からカウントを開始します。

(c) トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PIDをNAKまたはSTALLに設定した場合
- IN方向 (受信) の転送でトークンの送信タイミングにバッファメモリに空き領域が無い場合
- OUT方向 (送信) の転送でトークンの送信タイミングにバッファメモリに送信データが無い場合

### 28.4.8 アイソクロナス転送 (PIPE1、PIPE2)

本モジュールは、アイソクロナス転送に対して、下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ (IITVビット指定)
- アイソクロナスIN転送データセットアップコントロール (IDLY機能)
- アイソクロナスIN転送バッファフラッシュ機能 (IFISビット指定)

本モジュールは、アイソクロナス転送の High-Bandwidth 転送には対応していません。

#### (1) アイソクロナス転送のエラー検出

本モジュールは、アイソクロナス転送のエラー発生をソフトウェアが管理可能なように、下記のエラー情報の検出機能を持っています。表 28.26 および表 28.27 に、エラー検出の優先順位とエラー検出に伴って発生させる割り込みについて示します。

- PIDエラー  
PIDが不正な場合
- CRCエラー、ビットスタッフィングエラー  
受信パケットのCRCにエラーがあった場合、またはビットスタッフィングが不正な場合
- マックスパケットサイズオーバ  
マックスパケットサイズが設定値を超えていた
- オーバラン、アンダランエラー
  - ホスト機能選択時  
IN方向 (受信) の転送時にトークンの送信タイミングにバッファメモリに空き領域が無い場合  
OUT方向 (送信) の転送時にトークンの送信タイミングにバッファメモリにデータが無い場合
  - ペリフェラル機能選択時  
アイソクロナスIN転送時にINトークンに対してのデータ送信が間に合わなかった  
アイソクロナスOUT転送時にOUTトークンを受信したがバッファメモリが空きではなかった
- インターバルエラー  
アイソクロナスIN転送でインターバルフレームにトークンを受信できなかった  
アイソクロナスOUT転送でインターバルフレーム以外にトークンを受信した

## 28. USB モジュール (USB)

表28.26 トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	割り込み発生せず (無視)
2	CRC エラー、ビットスタッフィングエラー	割り込み発生せず (無視)
3	オーバラン、アンダランエラー	NRDY 割り込み OVRN ビットセット
4	インターバルエラー	割り込み発生せず (無視) (IN 転送時) NRDY 割り込み (OUT 転送時) ペリフェラル機能選択時のみ

表28.27 データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	割り込み発生せず (無視)
2	CRC エラー、ビットスタッフィングエラー	NRDY 割り込み発生 CRCE ビットセット
3	マックスパケットサイズオーバーエラー	BEMP 割り込み PID を STALL にセット

### (2) DATA-PID

本モジュールは High-Bandwidth 転送には対応していないため、USB2.0 規格で追加された DATA-PID には以下の対応となります。

- IN方向：
  - DATA0：データパケットのPIDとして送信します。
  - DATA1：送信しません。
  - DATA2：送信しません。
  - mDATA：送信しません。
- OUT方向 (フルスピード動作時)：
  - DATA0：データパケットのPIDとして正常受信します。
  - DATA1：データパケットのPIDとして正常受信します。
  - DATA2：パケットを無視します。
  - mDATA：パケットを無視します。
- OUT方向 (ハイスピード動作時)：
  - DATA0：データパケットのPIDとして正常受信します。
  - DATA1：データパケットのPIDとして正常受信します。
  - DATA2：データパケットのPIDとして正常受信します。
  - mDATA：データパケットのPIDとして正常受信します。

## (3) インターバルカウンタ

## (a) 動作概要

PIPEPERI レジスタの IITV ビットで、アイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ペリフェラル機能選択時、表 28.28 に示す機能を実現します。ホスト機能選択時は、トークンの発行タイミングを生成します。ホスト機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。「28.4.7 インタラプト転送 (PIPE6、PIPE7)」を参照ください。

表28.28 インターバルカウンタの機能

転送方向	機 能	検出条件
IN	IN バッファフラッシュ機能	アイソクロナス IN 転送で、インターバルフレームに IN トークンを正常受信できない
OUT	トークン未受信の通知	アイソクロナス OUT 転送で、インターバルフレームに OUT トークンを正常受信できない

インターバルのカウンタは、SOF の受信または補完された SOF で行うので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は、2IITV フレームまたは 2IITV  $\mu$  フレームです。USB 仕様の算出式とは異なりますので注意してください。

## (b) ペリフェラル機能選択時でのカウンタの初期化

本モジュールは、下記の条件でインターバルカウンタを初期化します。

- パワーオンリセット  
IITV ビットが初期化されます。
- ソフトウェアリセット  
IITV ビットが初期化されます。
- USB バスリセット (カウンタが停止され再始動により改めてカウンタが開始されます)  
IITV ビットが初期化されます。
- ACLRM によるバッファメモリ初期化  
IITV ビットは初期化されませんが、カウンタは初期化されます。ACLRM ビットを 0 にすることにより、IITV の設定値からカウンタを開始します。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記 1 または 2 の条件でインターバルのカウンタを開始します。

1. PID = BUF 状態で IN トークンに対して、データを送信後の SOF 受信
2. PID = BUF 状態で OUT トークンのデータを受信後の SOF 受信

なお、下記の条件では、インターバルカウンタは初期化されません。

- PID ビットを NAK または STALL に設定した場合  
インターバルタイムは停止しません。次のインターバルにトランザクションの実行を試みます。

## 28. USB モジュール (USB)

- USBバスリセットおよびUSBサスペンド

IITVビットは初期化されません。SOFを受信すると、受信前の値からカウントを開始します。

### (4) ペリフェラル機能選択時のアイソクロナス転送送信データセットアップ

ペリフェラル機能選択時、アイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した1面だけとなります。このため、同一フレームで複数の IN トークンを受信しても、送出されるバッファメモリは1パケット分となります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダランエラーとなります。

図 28.14 に、IITV=0 ( 毎フレーム ) を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

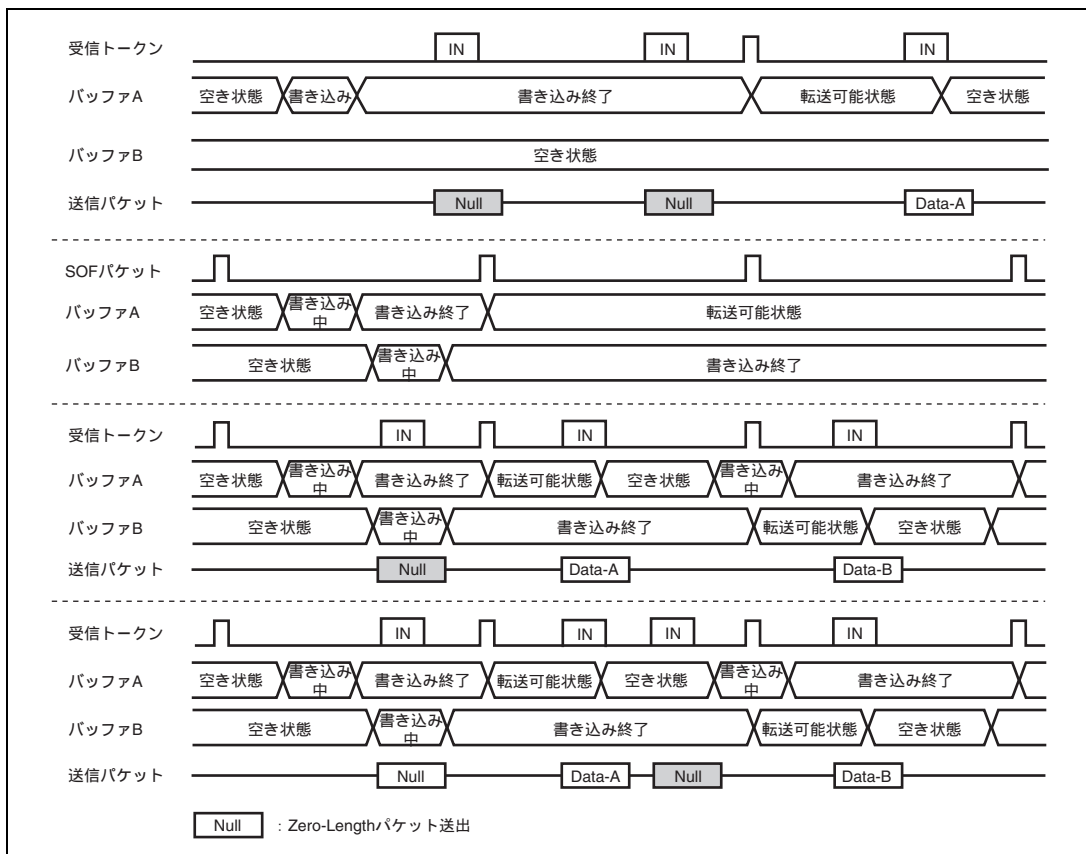


図28.14 データセットアップ機能動作例

## (5) ペリフェラル機能選択時のアイソクロナス転送送信バッファフラッシュ

ペリフェラル機能選択時、アイソクロナスデータ送信でインターバルフレームに IN トークンを受信せず SOF または  $\mu$ SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOF または  $\mu$ SOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能は、IITV ビット設定値により動作開始タイミングが異なります。

- IITV = 0 の場合

パイプが有効となった次のフレームからバッファフラッシュ動作します。

- IITV = 0 以外の場合

最初の正常なトランザクション以降バッファフラッシュ動作します。

図 28.15 にバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外（インターバルフレーム前のトークン）に対しては、データセットアップ状態に従い、書き込みデータの送出またはアンダランエラーとして Zero-Length パケットを送出します。

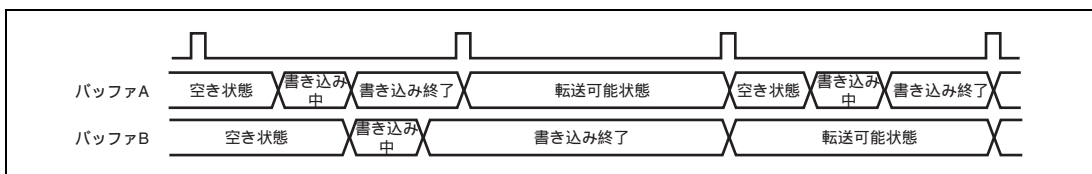


図28.15 バッファフラッシュ機能動作例

図 28.16 にインターバルエラー発生例を示します。インターバルエラーは下記の5種類です。図中の(1)タイミングでインターバルエラーが発生し IN バッファフラッシュ機能が動作します。

インターバルエラーは、IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバランエラーとの区別は、OVRN ビットで判定してください。図中網掛けのトークンに対しては、バッファメモリの状態に応じた応答になります。

- IN方向：

バッファ転送可能状態であればデータ転送し正常応答

バッファ転送不能状態であればZero-Lengthパケット送信しアンダランエラー

- OUT方向：

バッファ受信可能状態であればデータ受信し正常応答

バッファ受信不能状態であればデータ破棄しオーバランエラー

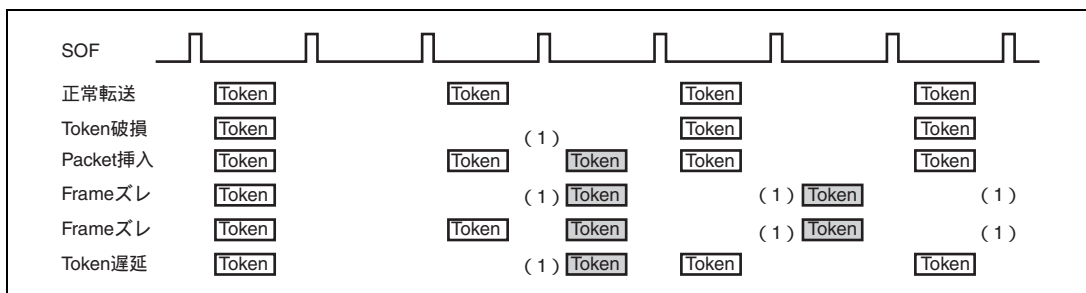


図28.16 IITV = 1 のときのインターバルエラー発生例

### 28.4.9 SOF 補間機能

ペリフェラル機能選択時に SOF パケットの破損または欠落のために、1ms (フルスピード動作時) または 125  $\mu$ s (ハイスピード動作時) 間隔で SOF パケットを受信できなかった場合に、SOF を補間します。SOF 補間動作の開始は SYSCFG.USBE = 1 かつ SOF パケット受信となります。また、下記の条件で補間機能が初期化されます。

- パワーオンリセット
- ソフトウェアリセット
- USBバスリセット
- サスペンド検出

また、SOF 補間は、次の仕様で動作します。

- 125  $\mu$ s/1msは、リセットハンドシェイクプロトコルの結果に従う。
- SOFパケット受信までは補間機能は動作しない。
- 最初のSOFパケット受信後は、内部クロック48MHzで、125  $\mu$ sまたは1msをカウントし補間する。
- 2回目以降のSOFパケットを受信後は、前回の受信間隔を用いて補間する。
- サスペンド時およびUSBバスリセット受信中は、補間しない。

(ハイスピード時のサスペンド移行では、最終パケットから3msの間は補間を継続します)

USBF は、SOF パケットの受信に基づいて下記の機能を動作させますが、SOF パケットが欠落した場合には SOF 補間を行うため、正常動作を継続させることができます。

- フレーム番号およびマイクロフレーム番号の更新
- SOFR割り込みおよび  $\mu$  SOF ロック
- アイソクロナス転送インターバルカウント



フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM レジスタの FRNM ビットは更新されません。ハイスピード動作時に  $\mu$ SOF パケットが欠落した場合には、UFRMNUM レジスタの UFRNM ビットが更新されません。

ただし、UFRNM = B'000 の  $\mu$ SOF パケットが欠落した場合には、FRNM ビットは更新されません。この場合は、時継続する UFRNM = B'000 以外の  $\mu$ SOF パケットが正常に受信されても FRNM ビットは更新されません。

#### 28.4.10 外部回路例

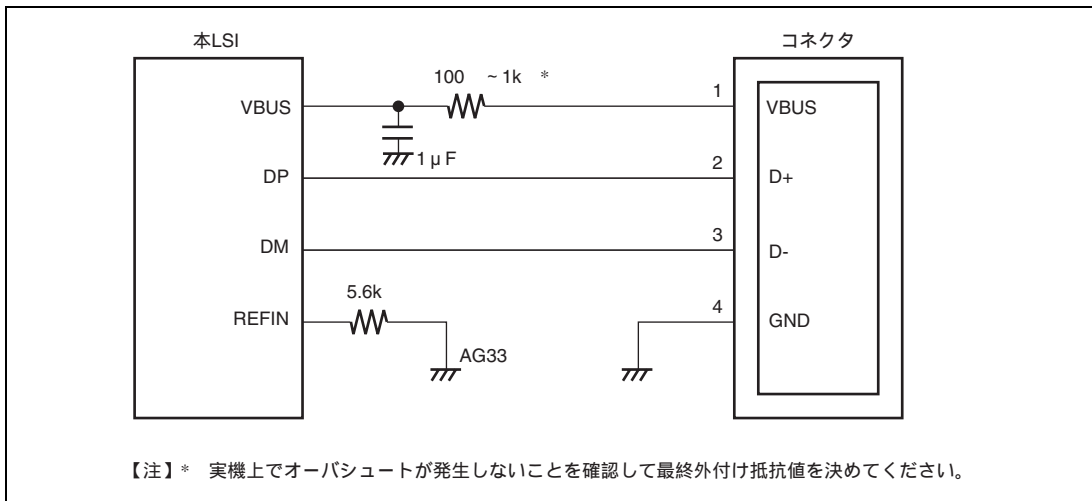


図28.17 USB2.0 外付け推奨回路 (例)

## 28. USB モジュール (USB)

---

---

## 29. キースキャンインタフェース (KEYSC)

---

本 LSI は、入力と出力のビット数をプログラマブルに設定可能なキースキャンインタフェース (KEYSC) を内蔵しています。

### 29.1 特長

- チャタリング除去回路を内蔵
- チャタリング除去時間はプログラマブルに設定可能
- キーの多重押しに対応可能
- レベル / エッジ内部割り込み選択可能
- KEY入力 (レベル) 割り込みによるソフトウェアスタンバイおよびU-スタンバイモードの解除
- 入力と出力のビット数をプログラマブルに選択可能

## 29. キースキャンインタフェース (KEYSC)

図 29.1 にキースキャンインタフェースのブロック図を示します。

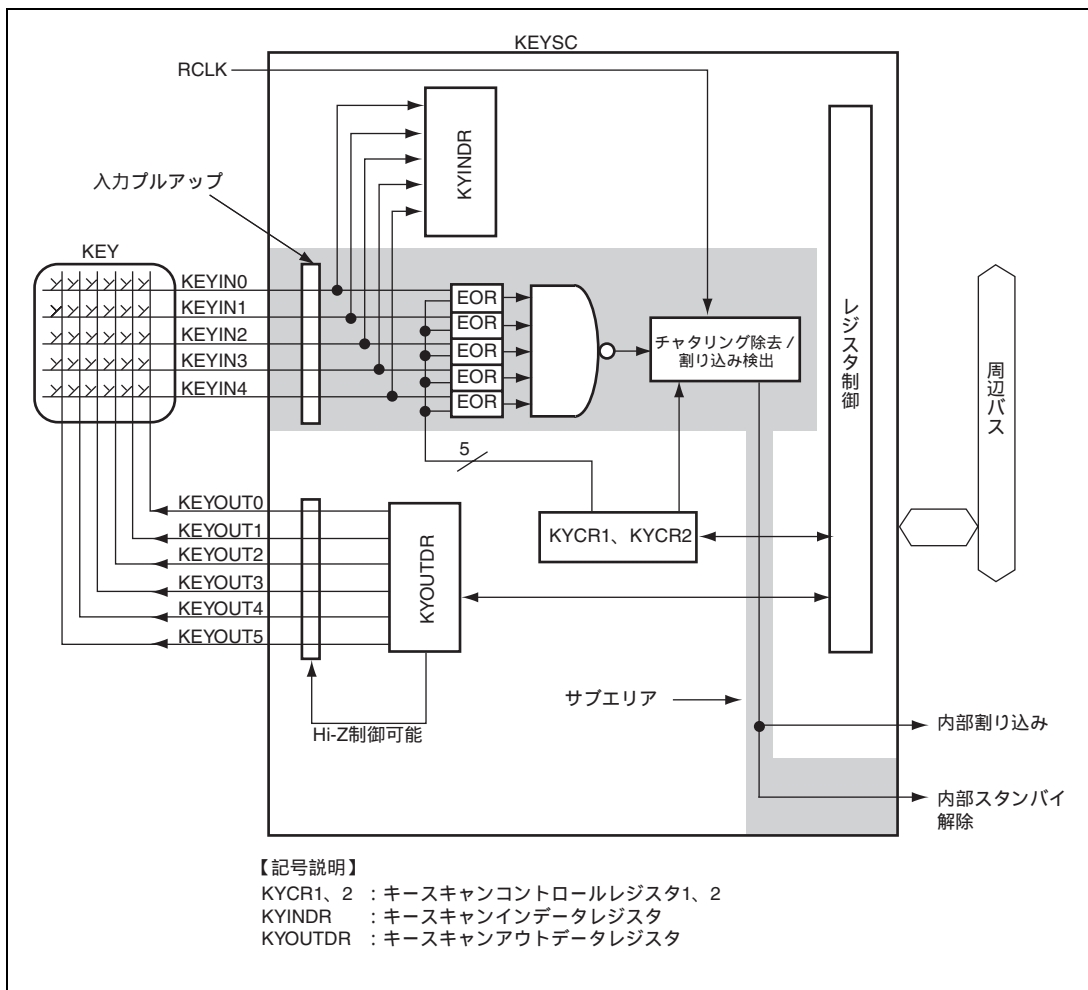


図 29.1 キースキャンインタフェースのブロック図 (KEY 端子モード 1)

## 29.2 入出力端子

キースキャンインタフェースの端子構成を表 29.1 に示します。

表 29.1 端子構成

名称	略称	入出力	機能
入力用キースキャンインタフェース 6~0	KEYIN6~ KEYIN0	入力	入力用キースキャンインタフェース
出力用キースキャンインタフェース 5~0	KEYOUT5~ KEYOUT0	出力	出力用キースキャンインタフェース

KEYOUT5 端子は KEYIN5 端子、KEYOUT4 端子は KEYIN6 端子とそれぞれマルチプレクスされています。キースキャンコントロールレジスタ 1 (KYCR1) の KYMD1、KYMD0 の設定により、どちらかの機能が選択されます。表 29.2 に選択できる KEYIN 端子 / KEYOUT 端子の組み合わせを示します。

表 29.2 マルチプレクス端子の設定

名称	KYMD1	KYMD0	KEYOUT5/KEYIN5 端子	KEYOUT4/KEYIN6 端子
KEY 端子モード 1	0	0	KEYOUT5 を選択	KEYOUT4 を選択
KEY 端子モード 2	0	1	KEYIN5 を選択	KEYOUT4 を選択
KEY 端子モード 3	1	0	KEYIN5 を選択	KEYIN6 を選択

## 29. キースキャンインタフェース (KEYSC)

### 29.3 レジスタの説明

KEYSC のレジスタ構成を表 29.3 に示します。また、各処理モードにおけるレジスタの状態を表 29.4 に示します。

表 29.3 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
キースキャンコントロールレジスタ 1	KYCR1	R/W	H'A44B 0000	16
キースキャンコントロールレジスタ 2	KYCR2	R/W	H'A44B 0004	16
キースキャンインデータレジスタ	KYINDR	R	H'A44B 0008	16
キースキャンアウトデータレジスタ	KYOUTDR	R/W	H'A44B 000C	16

表 29.4 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
KYCR1	初期化	初期化	保持	保持	初期化	保持
KYCR2	初期化*	初期化*	保持	保持	初期化*	保持
KYINDR	初期化	初期化	保持	保持	初期化	保持
KYOUTDR	初期化	初期化	保持	保持	初期化	保持

【注】 \* KEYIF ビットのみリセット前の値を保持します。

## 29.3.1 キースキャンコントロールレジスタ 1 (KYCR1)

KYCR1 は、読み出し / 書き込み可能な 16 ビットのレジスタで、キースキャンインタフェースの機能を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	KYMD[1:0]	00	R/W	KEY 端子モード 使用する KEYIN 端子 / KEYOUT 端子を設定します。 00 : KEY 端子モード 1 を使用する (KEYIN4~0、KEYOUT5~0 が使用可能) 01 : KEY 端子モード 2 を使用する (KEYIN5~0、KEYOUT4~0 が使用可能) 10 : KEY 端子モード 3 を使用する (KEYIN6~0、KEYOUT3~0 が使用可能) 11 : 設定禁止
7	KYOUT_IE	0	R/W	キースキャンスタンバイモード解除イネーブル 各種スタンバイモードを KEY 入力で解除する場合、本ビットを 1 に設定します。 0 : KEY 入力による各種スタンバイモード解除禁止 1 : KEY 入力による各種スタンバイモード解除許可
6~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	SCN[2:0]	000	R/W	スキャンタイミング キースキャンインタフェース割り込み検出のチャタリング除去時間を指定します。 000 : RCLK/16 ( 0.49ms ) 001 : RCLK/32 ( 0.98ms ) 010 : RCLK/64 ( 1.95ms ) 011 : RCLK/128 ( 3.91ms ) 100 : RCLK/256 ( 7.81ms ) 101 : RCLK/512 ( 15.63ms ) 110 : RCLK/1024 ( 31.25ms ) 111 : チャタリング除去回路は無効

## 29. キースキャンインタフェース (KEYSC)

### 29.3.2 キースキャンコントロールレジスタ 2 (KYCR2)

KYCR2 は、読み出し / 書き込み可能な 16 ビットのレジスタで、キースキャンインタフェースの機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	KYDIR6	KYDIR5	KYDIR4	KYDIR3	KYDIR2	KYDIR1	KYDIR0	—	—	KYCPU_IE[1:0]	—	—	—	—	KEYIF	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	KYDIR6	0	R/W	KEY ディレクション 6 KEYIN6 端子と本ビットを EOR した値を使って KEYIN6 の割り込みを検出します。 【注】KEY 端子モード 1 および 2 設定時に書き込んだ値は無視されます。
13	KYDIR5	0	R/W	KEY ディレクション 5 KEYIN5 端子と本ビットを EOR した値を使って KEYIN5 の割り込みを検出します。 【注】KEY 端子モード 1 設定時に書き込んだ値は無視されます。
12	KYDIR4	0	R/W	KEY ディレクション 4 KEYIN4 端子と本ビットの EOR した値を使って KEYIN4 の割り込みを検出します。
11	KYDIR3	0	R/W	KEY ディレクション 3 KEYIN3 端子と本ビットの EOR した値を使って KEYIN3 の割り込みを検出します。
10	KYDIR2	0	R/W	KEY ディレクション 2 KEYIN2 端子と本ビットの EOR した値を使って KEYIN2 の割り込みを検出します。
9	KYDIR1	0	R/W	KEY ディレクション 1 KEYIN1 端子と本ビットの EOR した値を使って KEYIN1 の割り込みを検出します。
8	KYDIR0	0	R/W	KEY ディレクション 0 KEYIN0 端子と本ビットの EOR した値を使って KEYIN0 の割り込みを検出します。
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。



## 29. キースキャンインタフェース (KEYSC)

ビット	ビット名	初期値	R/W	説明
5、4	KYCPU_IE[1:0]	00	R/W	KEY 内部割り込みイネーブル KEY が入力されたときの CPU への内部割り込み要求の許可 / 禁止を選択します。 00 : KEY 割り込み要求の禁止 01 : KEY 割り込み要求の許可 (レベル) 10 : KEY 割り込み要求の許可 (立ち上がりエッジ) 11 : KEY 割り込み要求の許可 (立ち下がりエッジ) 【注】各種スタンバイモードを KEY 入力で解除する場合、本ビットを 01 に設定してください。
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	KEYIF	不定 (リセット前の値を保持)	R/W	KEY インタラプトフラグ KEY 内部割り込みが発生した時にセットされるフラグ 本フラグが 1 の間、CPU に対して内部割り込み要求が発生します。(0 を書き込むまで 1 を保持します) 0 : KEY 割り込みが発生していない 1 : KEY 割り込みが発生している*

【注】 \* レベル割り込みの場合 : KEYIN6 ~ KEYIN0 と KYDIR6 ~ KYDIR0 のそれぞれの排他的論理和 (EOR) の結果が 1 つでも 0 がある状態

エッジ割り込みの場合 : KEYIN6 ~ KEYIN0 と KYDIR6 ~ KYDIR0 のそれぞれの排他的論理和 (EOR) の結果が 1 つでも 0 がある状態とすべて 1 の状態の変化エッジ

### 29.3.3 キースキャンインデータレジスタ (KYINDR)

KYINDR は、読み出し専用の 16 ビットのレジスタで、端子 KEYIN6 ~ KEYIN0 のデータを格納します。KYI6DT ~ KYI0DT ビットは KEYIN6 ~ KEYIN0 端子に対応しています。

キースキャンインタフェース機能を使うためには、ピンファンクションコントローラにて端子機能設定をキースキャンインタフェース端子側にしてください。KEYIN6 ~ KEYIN0 端子は LSI 内部でプルアップしています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	KYI6DT	KYI5DT	KYI4DT	KYI3DT	KYI2DT	KYI1DT	KYI0DT
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6	KYI6DT	0*	R	端子 KEYIN6 の状態 (ハイレベルのとき 1、ローレベルのとき 0) 【注】KEY 端子モード 1 および 2 設定時は常に 0 が読み出されます。

## 29. キースキャンインタフェース (KEYSC)

ビット	ビット名	初期値	R/W	説明
5	KYI5DT	0*	R	端子 KEYIN5 の状態 (ハイレベルのとき 1、ローレベルのとき 0) 【注】KEY 端子モード 1 設定時は常に 0 が読み出されます。
4	KYI4DT	1*	R	端子 KEYIN4 の状態 (ハイレベルのとき 1、ローレベルのとき 0)
3	KYI3DT	1*	R	端子 KEYIN3 の状態 (ハイレベルのとき 1、ローレベルのとき 0)
2	KYI2DT	1*	R	端子 KEYIN2 の状態 (ハイレベルのとき 1、ローレベルのとき 0)
1	KYI1DT	1*	R	端子 KEYIN1 の状態 (ハイレベルのとき 1、ローレベルのとき 0)
0	KYI0DT	1*	R	端子 KEYIN0 の状態 (ハイレベルのとき 1、ローレベルのとき 0)

【注】 \* リセット直後は、ポート機能が有効になっているため、1 が読み出されます。

### 29.3.4 キースキャンアウトデータレジスタ (KYOUTDR)

KYOUTDR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子 KEYOUT5 ~ KEYOUT0 の出力データを格納します。KYO5DT ~ KYO0DT ビットは KEYOUT5 ~ KEYOUT0 端子に対応しています。

キースキャンインタフェース機能を使うためには、ピンファンクションコントローラにて端子機能設定をキースキャンインタフェース端子側にしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	KYO5DT[1:0]	KYO4DT[1:0]	KYO3DT[1:0]	KYO2DT[1:0]	KYO1DT[1:0]	KYO0DT[1:0]						
初期値:	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15 ~ 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11、10	KYO5DT[1:0]	11	R/W	KYOnDT : KEYOUTn の出力データを制御します。(n=0~5) 00 : ローレベル出力 01 : ハイレベル出力 10 : ハイインピーダンス状態 11 : ハイインピーダンス状態  【注】 KYO5DT : KEY 端子モード 2 および 3 設定時に書き込んだ値は無視されます。 KYO4DT : KEY 端子モード 3 設定時に書き込んだ値は無視されます。
9、8	KYO4DT[1:0]	11	R/W	
7、6	KYO3DT[1:0]	11	R/W	
5、4	KYO2DT[1:0]	11	R/W	
3、2	KYO1DT[1:0]	11	R/W	
1、0	KYO0DT[1:0]	11	R/W	

## 29.4 動作説明

### 29.4.1 チャタリング除去

KYCR1 の SCN ビットを設定することによりキー割り込み検出のチャタリング除去を行うことができます。本チャタリング除去により SCN ビットで設定した時間間隔以上キーが押され続けた時にキーが押されたと認識します。その後、SCN ビットで設定した時間間隔以上キーが離された状態が続いた場合にキーが離されたと認識します。

### 29.4.2 キーの多重押し検出

KYOUTDR の設定により、KEYOUT5 ~ KEYOUT0 端子を 1 本づつ順番にローレベル出力にし、残りの 5 本をハイインピーダンスにした状態で KYINDR レジスタを読み出すことで、キーの多重押しを検出することができます。

### 29.4.3 レジスタアクセス

キースキャンインタフェースのチャタリング除去部と各種スタンバイモード解除通知部は U-スタンバイモード時にも動作するために、サブエリアに存在しますが、動作に必要なレジスタ設定は、コアエリアより行います。このためレジスタを更新した場合、以下の制限があります。

下記レジスタを更新した場合、実際の動作に反映するまでの間は U-スタンバイモードに遷移しないでください。遷移した場合、レジスタ設定が反映されない場合があります。

- KYCR1レジスタ : KYOUT\_IE、SCNビット
- KYCR2レジスタ : KYDIR4 ~ KYDIR0ビット

レジスタ書き込み後、直後に読み出せませんが、実際の動作に反映するまでに RCLK で 2 サイクルが必要です。

## 29.5 使用例

### 29.5.1 レベル割り込み (KYCPU\_IE1、KYCPU\_IE0 = 01)

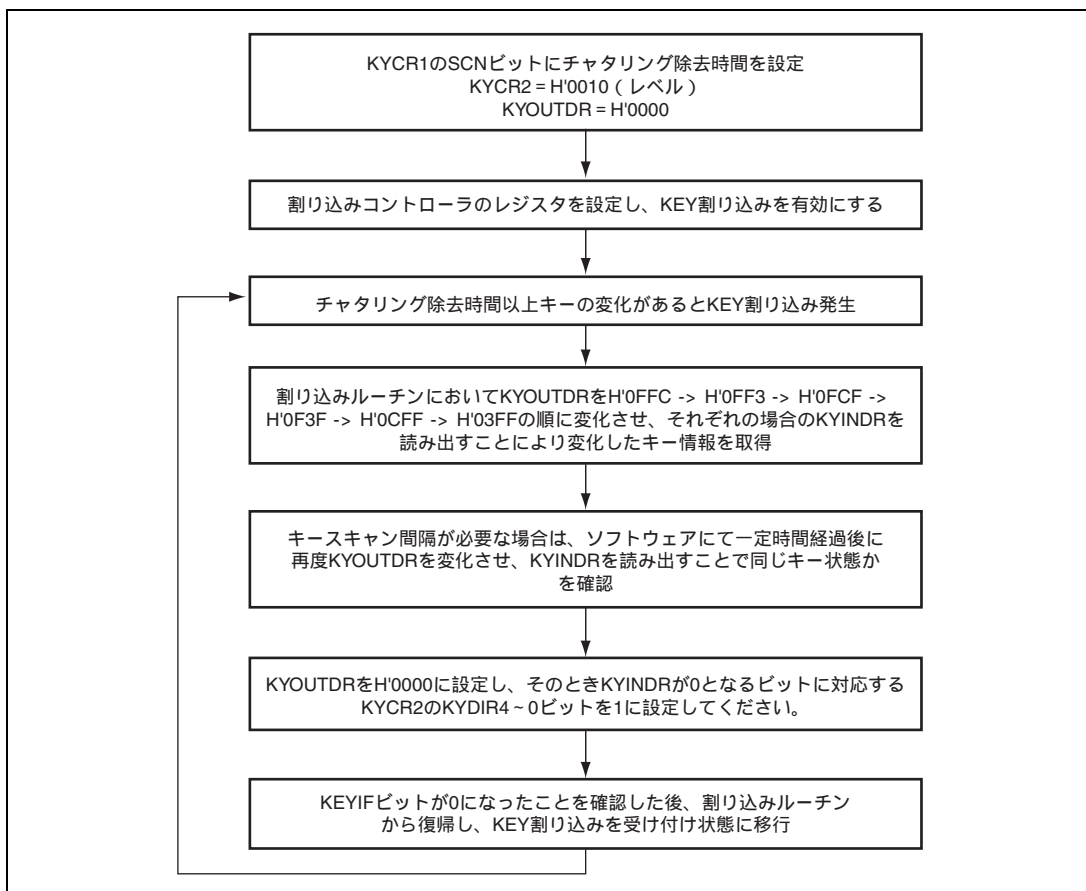


図 29.2 レベル割り込みを用いたキースキャン例 (KEY 端子モード 1)

## 29.5.2 エッジ割り込み (KYCPU\_IE1、KYCPU\_IE0 = 1x)

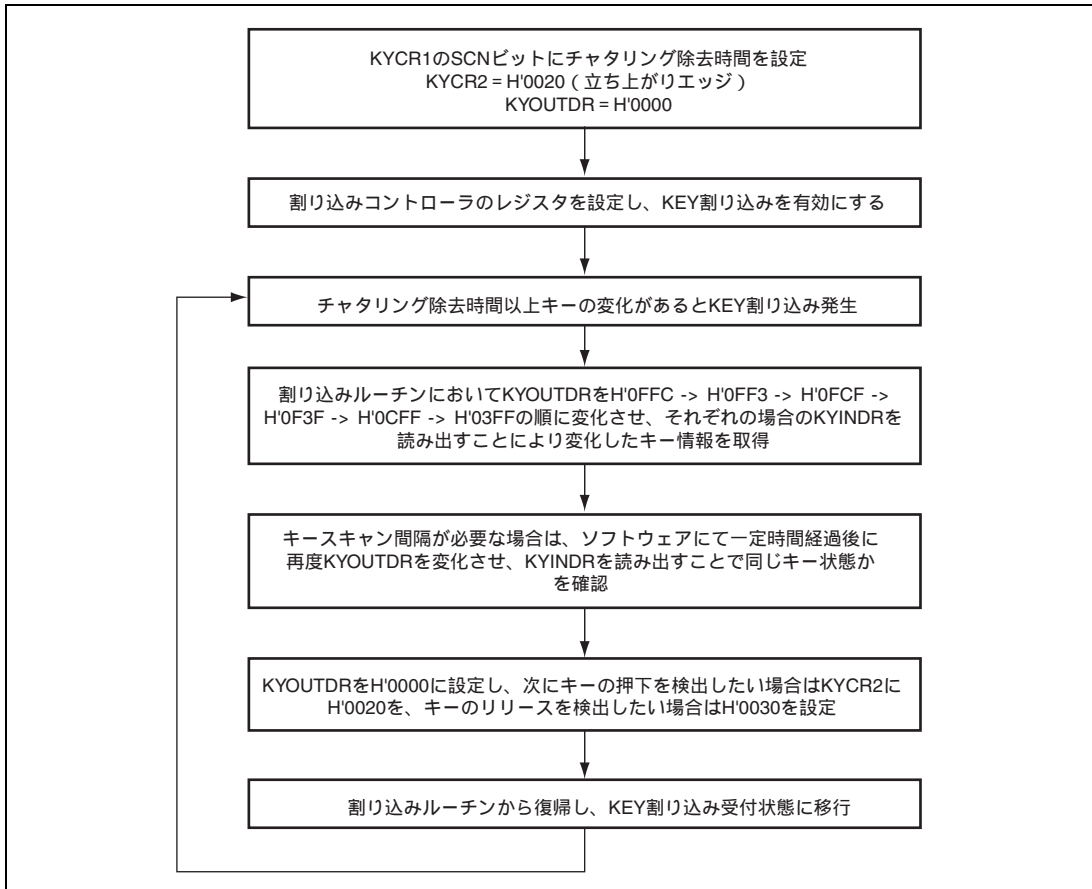


図 29.3 エッジ割り込みを用いたキースキャン例 (KEY 端子モード 1)



## 30. ピンファンクションコントローラ (PFC)

### 30.1 概要

ピンファンクションコントローラ(PFC)は、マルチプレクス端子の機能と入出力の方向を選ぶためのレジスタで構成されています。端子機能と入出力方向は、LSIの動作モードに関係なく端子ごとに個別に選択することができます。

表 30.1 に、本 LSI のマルチプレクス端子を示します。端子ごとに、汎用ポート、機能 1、機能 2、機能 3 のうちから機能を選択できます。機能 1、2、3 は、ポートコントロールレジスタの該当ビットで B'00 を設定することにより選択できます。機能 1、2、3 のうちのどの機能を使うかはピンセレクトレジスタで選択します。

ハッチングの部分がリセット直後から使用できる機能です。I/O バッファ Hi-Z 制御レジスタ A、B、C の設定は、ポートコントロールレジスタの設定よりも優先されます。

表 30.1 マルチプレクス一覧表

汎用ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)
PTA7 入出力	-	SCIF1_SCK 入出力 (SCIF)	-
PTA6 入力	-	SCIF1_RXD 入力 (SCIF)	-
PTA5 入出力	-	SCIF1_TXD 出力 (SCIF)	-
PTA4 入力	-	-	-
PTA3 入力	-	-	-
PTA2 入力	-	-	-
PTA1 入力	-	-	-
PTA0 入力	-	LCDLCLK 入力 (LCDC)	-
PTB7 入出力	HPD55 入出力 (SBSC)	-	-
PTB6 入出力	HPD54 入出力 (SBSC)	-	-
PTB5 入出力	HPD53 入出力 (SBSC)	-	-
PTB4 入出力	HPD52 入出力 (SBSC)	-	-
PTB3 入出力	HPD51 入出力 (SBSC)	-	-
PTB2 入出力	HPD50 入出力 (SBSC)	-	-
PTB1 入出力	HPD49 入出力 (SBSC)	-	-
PTB0 入出力	HPD48 入出力 (SBSC)	-	-
PTC7 入力	-	-	-
PTC5 入力	IOIS16 入力 (BSC)	-	-
PTC4 入出力	HPDQM7 出力 (SBSC)	-	-
PTC3 入出力	HPDQM6 出力 (SBSC)	-	-

### 30. ピンファンクションコントローラ (PFC)

汎用ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)
PTC2 入出力	HPDQM5 出力 (SBSC)	-	-
PTC0 入出力	HPDQM4 出力 (SBSC)	-	-
PTD7 入力	$\overline{\text{SDHICD}}$ 入力 (SDHI)	-	-
PTD6 入出力	SDHIWP 入力 (SDHI)	-	-
PTD5 入出力	SDHID3 入出力 (SDHI)	-	-
PTD4 入出力	IRQ2 入力 (CPU)	SDHID2 入出力 (SDHI)	-
PTD3 入出力	SDHID1 入出力 (SDHI)	-	-
PTD2 入出力	SDHID0 入出力 (SDHI)	-	-
PTD1 入出力	SDHICMD 入出力 (SDHI)	-	-
PTD0 出力	SDHICLK 出力 (SDHI)	-	-
PTE7 入出力	A25 出力 (BSC)	-	-
PTE6 入出力	A24 出力 (BSC)	-	-
PTE5 入出力	A23 出力 (BSC)	-	-
PTE4 入出力	A22 出力 (BSC)	-	-
PTE1 入出力	IRQ5 入力 (CPU)	-	-
PTE0 入出力	IRQ4 入力 (CPU)	$\overline{\text{BS}}$ 出力 (BSC)	-
PTF6 入出力	SIOMCK 入力 (SIO)	-	-
PTF5 入出力	SIOSCK 入出力 (SIO)	-	-
PTF4 入出力	SIOSTRB1 出力 (SIO)	-	-
PTF3 入出力	SIOSTRB0 出力 (SIO)	-	-
PTF2 入出力	SIOD 入出力 (SIO)	-	-
PTF1 入力	SIORXD 入力 (SIO)	-	-
PTF0 出力	SIOTXD 出力 (SIO)	-	-
PTG4 出力	AUDSYNC 出力 (AUD)	-	-
PTG3 出力	AUDATA3 出力 (AUD)	-	-
PTG2 出力	AUDATA2 出力 (AUD)	-	-
PTG1 出力	AUDATA1 出力 (AUD)	-	-
PTG0 出力	AUDATA0 出力 (AUD)	-	-
PTH7 出力	LCDVCPWC 出力 (LCDC)	LCDVCPWC2 出力 (LCDC)	-
PTH6 入出力	LCDVSYN2 入出力 (LCDC)	DACK 出力 (DMAC)	-
PTH5 入出力	LCDVSYN 入出力 (LCDC)	-	-
PTH4 出力	LCDDISP 出力 (LCDC)	LCDRS 出力 (LCDC)	-
PTH3 出力	LCDHSYN 出力 (LCDC)	$\overline{\text{LCDCS}}$ 出力 (LCDC)	-
PTH2 出力	LCDDON 出力 (LCDC)	LCDDON2 出力 (LCDC)	-
PTH1 入出力	LCDD17 入出力 (LCDC)	-	-
PTH0 入出力	LCDD16 入出力 (LCDC)	-	-
PTJ7 出力	STATUS0 出力 (CPG)	-	-



### 30. ピンファンクションコントローラ (PFC)

汎用ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)
PTJ6 出力	-	-	-
PTJ5 出力	PDSTATUS 出力 (CPG)	-	-
PTJ1 入出力	IRQ1 入力 (CPU)	-	-
PTJ0 入出力	IRQ0 入力 (CPU)	-	-
PTK6 入出力	-	SIOF1_SS2 出力 (SIOF)	-
PTK5 入出力	-	SIOF1_SS1 出力 (SIOF)	-
PTK4 入出力	-	SIOF1_SYNC 入出力 (SIOF)	-
PTK3 入出力	-	SIOF1_SCK 入出力 (SIOF)	-
PTK2 入力	-	SIOF1_RXD 入力 (SIOF)	-
PTK1 出力	-	SIOF1_TXD 出力 (SIOF)	-
PTK0 入出力	-	SIOF1_MCK 入力 (SIOF)	-
PTL7 入出力	LCDD15 入出力 (LCDC)	-	-
PTL6 入出力	LCDD14 入出力 (LCDC)	-	-
PTL5 入出力	LCDD13 入出力 (LCDC)	-	-
PTL4 入出力	LCDD12 入出力 (LCDC)	-	-
PTL3 入出力	LCDD11 入出力 (LCDC)	-	-
PTL2 入出力	LCDD10 入出力 (LCDC)	-	-
PTL1 入出力	LCDD9 入出力 (LCDC)	-	-
PTL0 入出力	LCDD8 入出力 (LCDC)	-	-
PTM7 入出力	LCDD7 入出力 (LCDC)	-	-
PTM6 入出力	LCDD6 入出力 (LCDC)	-	-
PTM5 入出力	LCDD5 入出力 (LCDC)	-	-
PTM4 入出力	LCDD4 入出力 (LCDC)	-	-
PTM3 入出力	LCDD3 入出力 (LCDC)	-	-
PTM2 入出力	LCDD2 入出力 (LCDC)	-	-
PTM1 入出力	LCDD1 入出力 (LCDC)	-	-
PTM0 入出力	LCDD0 入出力 (LCDC)	-	-
PTN7 入出力	HPD63 入出力 (SBSC)	-	-
PTN6 入出力	HPD62 入出力 (SBSC)	-	-
PTN5 入出力	HPD61 入出力 (SBSC)	-	-
PTN4 入出力	HPD60 入出力 (SBSC)	-	-
PTN3 入出力	HPD59 入出力 (SBSC)	-	-
PTN2 入出力	HPD58 入出力 (SBSC)	-	-
PTN1 入出力	HPD57 入出力 (SBSC)	-	-
PTN0 入出力	HPD56 入出力 (SBSC)	-	-
PTQ6 出力	SIOF0_SS2 出力 (SIOF)	SIM_RST 出力 (SIM)	-
PTQ5 入出力	SIOF0_SS1 出力 (SIOF)	-	-

### 30. ピンファンクションコントローラ (PFC)

汎用ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)
PTQ4 入出力	SIOF0_SYNC 入出力 (SIOF)	-	-
PTQ3 入出力	SIOF0_SCK 入出力 (SIOF)	-	-
PTQ2 入力	SIOF0_RXD 入力 (SIOF)	IrDA_IN 入力 (IrDA)	-
PTQ1 出力	SIOF0_TXD 出力 (SIOF)	IrDA_OUT 出力 (IrDA)	SIM_CLK 出力 (SIM)
PTQ0 入出力	SIOF0_MCK 入力 (SIOF)	IRQ3 入力 (CPU)	SIM_D 入出力 (SIM)
PTR4 出力	LCDRD 出力 (LCDC)	-	-
PTR3 出力	CS6B/CE1B 出力 (BSC)	LCDCS2 出力 (LCDC)	-
PTR2 入力	WAIT 入力 (BSC)	-	-
PTR1 出力	LCDDCK 出力 (LCDC)	LCDWR 出力 (LCDC)	-
PTR0 出力	LCDVEPWC 出力 (LCDC)	LCDVEPWC2 出力 (LCDC)	-
PTS4 入力	SCIF0_CTS 入力 (SCIF)	-	-
PTS3 出力	SCIF0_RTS 出力 (SCIF)	-	-
PTS2 入出力	SCIF0_SCK 入出力 (SCIF)	TPUTO 出力 (TPU)	-
PTS1 入力	SCIF0_RXD 入力 (SCIF)	-	-
PTS0 出力	SCIF0_TXD 出力 (SCIF)	-	-
PTT4 入出力	-	-	-
PTT3 入出力	-	-	-
PTT2 入出力	-	-	-
PTT1 入力	DREQ0 入力 (DMAC)	-	-
PTT0 出力	-	-	-
PTU4 入出力	-	-	-
PTU3 入出力	-	-	-
PTU2 入出力	-	-	-
PTU1 入力	-	-	-
PTU0 入出力	-	-	-
PTV4 入出力	-	-	-
PTV3 入出力	-	-	-
PTV2 入出力	-	-	-
PTV1 入出力	-	-	-
PTV0 入出力	-	-	-
PTW6 入力	-	SCIF2_CTS 入力 (SCIF)	-
PTW5 出力	-	SCIF2_RTS 出力 (SCIF)	-
PTW4 入出力	-	SCIF2_SCK 入出力 (SCIF)	-
PTW3 入出力	-	SCIF2_TXD 出力 (SCIF)	-
PTW2 入出力	-	SCIF2_RXD 入力 (SCIF)	-
PTW1 入出力	-	SCIF1_CTS 入力 (SCIF)	-
PTW0 入出力	-	SCIF1_RTS 出力 (SCIF)	-

### 30. ピンファンクションコントローラ (PFC)

汎用ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)
PTX6 入出力	CS6A/CE2B 出力 (BSC)	-	-
PTX5 入出力	LCDD23 出力 (LCDC)	-	-
PTX4 入出力	LCDD22 出力 (LCDC)	-	-
PTX3 入出力	LCDD21 出力 (LCDC)	-	-
PTX2 入出力	LCDD20 出力 (LCDC)	-	-
PTX1 入出力	LCDD19 出力 (LCDC)	-	-
PTX0 入出力	LCDD18 出力 (LCDC)	-	-
PTY5 入出力	KEYOUT5/KEYIN5 入出力 (KEY)	-	-
PTY4 入出力	KEYOUT4/KEYIN6 入出力 (KEY)	-	-
PTY3 入出力	KEYOUT3 出力 (KEY)	-	-
PTY2 入出力	KEYOUT2 出力 (KEY)	-	-
PTY1 出力	KEYOUT1 出力 (KEY)	-	-
PTY0 入出力	KEYOUT0 出力 (KEY)	-	-
PTZ5 入力	KEYIN4 入力 (KEY)	IRQ7 入力 (CPU)	-
PTZ4 入力	KEYIN3 入力 (KEY)	-	-
PTZ3 入力	KEYIN2 入力 (KEY)	-	-
PTZ2 入力	KEYIN1 入力 (KEY)	-	-
PTZ1 入力	KEYIN0 入力 (KEY)	IRQ6 入力 (CPU)	-
-	D31 ~ 16 入出力 (BSC)*	HPD47 ~ 32 入出力 (SBSC)*	-

【注】 \* MD3 端子 = L の場合、HPD47 ~ 32 が選択されます。MD3 端子 = H の場合、D31 ~ 16 が選択されます。

## 30. ピンファンクションコントローラ (PFC)

### 30.2 レジスタの説明

PFC のレジスタを表 30.2 に示します

表 30.2 レジスタ構成

レジスタ名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A コントロールレジスタ	PACR	R/W	H'AAAA	H'A405 0100	16
ポート B コントロールレジスタ	PBCR	R/W	H'0000	H'A405 0102	16
ポート C コントロールレジスタ	PCCR	R/W	H'8000	H'A405 0104	16
ポート D コントロールレジスタ	PD CR	R/W	H'AFF9	H'A405 0106	16
ポート E コントロールレジスタ	PECR	R/W	H'000A	H'A405 0108	16
ポート F コントロールレジスタ	PF CR	R/W	H'2AA9	H'A405 010A	16
ポート G コントロールレジスタ	PG CR	R/W	H'0155	H'A405 010C	16
ポート H コントロールレジスタ	PH CR	R/W	H'695A	H'A405 010E	16
ポート J コントロールレジスタ	PJ CR	R/W	H'100A	H'A405 0110	16
ポート K コントロールレジスタ	PK CR	R/W	H'2AA6	H'A405 0112	16
ポート L コントロールレジスタ	PL CR	R/W	H'AAAA	H'A405 0114	16
ポート M コントロールレジスタ	PM CR	R/W	H'AAAA	H'A405 0116	16
ポート N コントロールレジスタ	PN CR	R/W	H'0000	H'A405 0118	16
ポート Q コントロールレジスタ	PQ CR	R/W	H'1AA6	H'A405 011A	16
ポート R コントロールレジスタ	PR CR	R/W	H'0105	H'A405 011C	16
ポート S コントロールレジスタ	PS CR	R/W	H'0269	H'A405 011E	16
ポート T コントロールレジスタ	PT CR	R/W	H'02A9	H'A405 0140	16
ポート U コントロールレジスタ	PU CR	R/W	H'02AA	H'A405 0142	16
ポート V コントロールレジスタ	PV CR	R/W	H'02AA	H'A405 0144	16
ポート W コントロールレジスタ	PW CR	R/W	H'26AA	H'A405 0146	16
ポート X コントロールレジスタ	PX CR	R/W	H'2AAA	H'A405 0148	16
ポート Y コントロールレジスタ	PY CR	R/W	H'0AA6	H'A405 014A	16
ポート Z コントロールレジスタ	PZ CR	R/W	H'0AA8	H'A405 014C	16
ピンセレクトレジスタ A	PSELA	R/W	H'0800	H'A405 014E	16
ピンセレクトレジスタ B	PSELB	R/W	H'0000	H'A405 0150	16
ピンセレクトレジスタ C	PSELC	R/W	H'0000	H'A405 0152	16
ピンセレクトレジスタ D	PSELD	R/W	H'0000	H'A405 0154	16
ピンセレクトレジスタ E	PSELE	R/W	H'0000	H'A405 0156	16
I/O バッファ Hi-Z 制御レジスタ A	HIZCRA	R/W	H'4000	H'A405 0158	16
I/O バッファ Hi-Z 制御レジスタ B	HIZCRB	R/W	H'0002	H'A405 015A	16
I/O バッファ Hi-Z 制御レジスタ C	HIZCRC	R/W	H'C000	H'A405 015C	16
モジュール機能選択レジスタ A	MSELCRA	R/W	H'0000	H'A405 0180	16
モジュール機能選択レジスタ B	MSELCRB	R/W	H'0000	H'A405 0182	16

### 30. ピンファンクションコントローラ (PFC)

---

レジスタ名称	略称	R/W	初期値	アドレス	アクセスサイズ
ブルアップダウン制御レジスタ	PULCR	R/W	H'E000	H'A405 0184	16
SBSC タイミング制御レジスタ	SBSCR	R/W	H'0000	H'A405 0186	16
I/O バッファ Drive 制御レジスタ	DRVCR	R/W	H'0AA8	H'A405 018A	16

### 30. ピンファンクションコントローラ (PFC)

#### 30.2.1 ポート A コントロールレジスタ (PACR)

PACR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルダウン MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA7MD[1:0]	PA6MD[1:0]	PA5MD[1:0]	PA4MD[1:0]	PA3MD[1:0]	PA2MD[1:0]	PA1MD[1:0]	PA0MD[1:0]								
初期値 :	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PA7MD[1:0]	10	R/W	PA7 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTA7 出力 10 : PTA7 入力 (プルダウン MOS : オン) 11 : PTA7 入力 (プルダウン MOS : オフ)
13、12	PA6MD[1:0]	10	R/W	PA6 モード 00 : 機能 1、2 (表 30.1 参照) 01 : 設定禁止 10 : PTA6 入力 (プルダウン MOS : オン) 11 : PTA6 入力 (プルダウン MOS : オフ)
11、10	PA5MD[1:0]	10	R/W	PA5 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTA5 出力 10 : PTA5 入力 (プルダウン MOS : オン) 11 : PTA5 入力 (プルダウン MOS : オフ)
9、8	PA4MD[1:0]	10	R/W	PA4 モード 00 : 設定禁止 01 : 設定禁止 10 : PTA4 入力 (プルダウン MOS : オン) 11 : PTA4 入力 (プルダウン MOS : オフ)
7、6	PA3MD[1:0]	10	R/W	PA3 モード 00 : 設定禁止 01 : 設定禁止 10 : PTA3 入力 (プルダウン MOS : オン) 11 : PTA3 入力 (プルダウン MOS : オフ)
5、4	PA2MD[1:0]	10	R/W	PA2 モード 00 : 設定禁止 01 : 設定禁止 10 : PTA2 入力 (プルダウン MOS : オン) 11 : PTA2 入力 (プルダウン MOS : オフ)

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
3、2	PA1MD[1:0]	10	R/W	PA1 モード 00 : 設定禁止 01 : 設定禁止 10 : PTA1 入力 (プルダウン MOS : オン) 11 : PTA1 入力 (プルダウン MOS : オフ)
1、0	PA0MD[1:0]	10	R/W	PA0 モード 00 : 機能 1、2 (表 30.1 参照) 01 : 設定禁止 10 : PTA0 入力 (プルダウン MOS : オン) 11 : PTA0 入力 (プルダウン MOS : オフ)

#### 30.2.2 ポート B コントロールレジスタ (PBCR)

PBCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7MD[1:0]		PB6MD[1:0]		PB5MD[1:0]		PB4MD[1:0]		PB3MD[1:0]		PB2MD[1:0]		PB1MD[1:0]		PB0MD[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PB7MD[1:0]	00	R/W	PB7 モード 00 : 機能 1 (表 30.1 参照) 01 : PTB7 出力 10 : 設定禁止 11 : PTB7 入力 (プルアップ MOS : オフ)
13、12	PB6MD[1:0]	00	R/W	PB6 モード 00 : 機能 1 (表 30.1 参照) 01 : PTB6 出力 10 : 設定禁止 11 : PTB6 入力 (プルアップ MOS : オフ)
11、10	PB5MD[1:0]	00	R/W	PB5 モード 00 : 機能 1 (表 30.1 参照) 01 : PTB5 出力 10 : 設定禁止 11 : PTB5 入力 (プルアップ MOS : オフ)

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
9、8	PB4MD[1:0]	00	R/W	PB4 モード 00 : 機能 1 (表 30.1 参照) 01 : PTB4 出力 10 : 設定禁止 11 : PTB4 入力 (プルアップ MOS : オフ)
7、6	PB3MD[1:0]	00	R/W	PB3 モード 00 : 機能 1 (表 30.1 参照) 01 : PTB3 出力 10 : 設定禁止 11 : PTB3 入力 (プルアップ MOS : オフ)
5、4	PB2MD[1:0]	00	R/W	PB2 モード 00 : 機能 1 (表 30.1 参照) 01 : PTB2 出力 10 : 設定禁止 11 : PTB2 入力 (プルアップ MOS : オフ)
3、2	PB1MD[1:0]	00	R/W	PB1 モード 00 : 機能 1 (表 30.1 参照) 01 : PTB1 出力 10 : 設定禁止 11 : PTB1 入力 (プルアップ MOS : オフ)
1、0	PB0MD[1:0]	00	R/W	PB0 モード 00 : 機能 1 (表 30.1 参照) 01 : PTB0 出力 10 : 設定禁止 11 : PTB0 入力 (プルアップ MOS : オフ)

#### 30.2.3 ポート C コントロールレジスタ (PCCR)

PCCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC7MD[1:0]		—	—	PC5MD[1:0]		PC4MD[1:0]		PC3MD[1:0]		PC2MD[1:0]		—	—	PC0MD[1:0]	
初期値 :	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W



### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
15、14	PC7MD[1:0]	10	R/W	PC7 モード 00 : 設定禁止 01 : 設定禁止 10 : PTC7 入力 (プルアップ MOS : オン) 11 : PTC7 入力 (プルアップ MOS : オフ)
13、12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11、10	PC5MD[1:0]	00	R/W	PC5 モード 00 : 機能 1 (表 30.1 参照) 01 : 設定禁止 10 : PTC5 入力 (プルアップ MOS : オン) 11 : PTC5 入力 (プルアップ MOS : オフ)
9、8	PC4MD[1:0]	00	R/W	PC4 モード 00 : 機能 1 (表 30.1 参照) 01 : PTC4 出力 10 : 設定禁止 11 : PTC4 入力 (プルアップ MOS : オフ)
7、6	PC3MD[1:0]	00	R/W	PC3 モード 00 : 機能 1 (表 30.1 参照) 01 : PTC3 出力 10 : 設定禁止 11 : PTC3 入力 (プルアップ MOS : オフ)
5、4	PC2MD[1:0]	00	R/W	PC2 モード 00 : 機能 1 (表 30.1 参照) 01 : PTC2 出力 10 : 設定禁止 11 : PTC2 入力 (プルアップ MOS : オフ)
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PC0MD[1:0]	00	R/W	PC0 モード 00 : 機能 1 (表 30.1 参照) 01 : PTC0 出力 10 : 設定禁止 11 : PTC0 入力 (プルアップ MOS : オフ)

## 30. ピンファンクションコントローラ (PFC)

### 30.2.4 ポート D コントロールレジスタ (PDCR)

PDCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD7MD[1:0]		PD6MD[1:0]		PD5MD[1:0]		PD4MD[1:0]		PD3MD[1:0]		PD2MD[1:0]		PD1MD[1:0]		PD0MD[1:0]	
初期値:	1	0	1	0	1	1	1	1	1	1	1	1	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PD7MD[1:0]	10	R/W	PD7 モード 00 : 機能 1 (表 30.1 参照) 01 : 設定禁止 10 : PTD7 入力 (プルアップ MOS : オン) 11 : PTD7 入力 (プルアップ MOS : オフ)
13、12	PD6MD[1:0]	10	R/W	PD6 モード 00 : 機能 1 (表 30.1 参照) 01 : PTD6 出力 10 : PTD6 入力 (プルアップ MOS : オン) 11 : PTD6 入力 (プルアップ MOS : オフ)
11、10	PD5MD[1:0]	11	R/W	PD5 モード 00 : 機能 1 (表 30.1 参照) 01 : PTD5 出力 10 : PTD5 入力 (プルアップ MOS : オン) 11 : PTD5 入力 (プルアップ MOS : オフ)
9、8	PD4MD[1:0]	11	R/W	PD4 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTD4 出力 10 : PTD4 入力 (プルアップ MOS : オン) 11 : PTD4 入力 (プルアップ MOS : オフ)
7、6	PD3MD[1:0]	11	R/W	PD3 モード 00 : 機能 1 (表 30.1 参照) 01 : PTD3 出力 10 : PTD3 入力 (プルアップ MOS : オン) 11 : PTD3 入力 (プルアップ MOS : オフ)
5、4	PD2MD[1:0]	11	R/W	PD2 モード 00 : 機能 1 (表 30.1 参照) 01 : PTD2 出力 10 : PTD2 入力 (プルアップ MOS : オン) 11 : PTD2 入力 (プルアップ MOS : オフ)

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
3、2	PD1MD[1:0]	10	R/W	PD1 モード 00 : 機能 1 (表 30.1 参照) 01 : PTD1 出力 10 : PTD1 入力 (プルアップ MOS : オン) 11 : PTD1 入力 (プルアップ MOS : オフ)
1、0	PD0MD[1:0]	01	R/W	PD0 モード 00 : 機能 1 (表 30.1 参照) 01 : PTD0 出力 10 : 設定禁止 11 : 設定禁止

#### 30.2.5 ポート E コントロールレジスタ (PECR)

PECR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ / 入力プルダウン MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	PE7MD[1:0]		PE6MD[1:0]		PE5MD[1:0]		PE4MD[1:0]		—	—	—	—	PE1MD[1:0]		PE0MD[1:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PE7MD[1:0]	00	R/W	PE7 モード 00 : 機能 1 (表 30.1 参照) 01 : PTE7 出力 10 : PTE7 入力 (プルダウン MOS : オン) 11 : PTE7 入力 (プルダウン MOS : オフ)
13、12	PE6MD[1:0]	00	R/W	PE6 モード 00 : 機能 1 (表 30.1 参照) 01 : PTE6 出力 10 : PTE6 入力 (プルダウン MOS : オン) 11 : PTE6 入力 (プルダウン MOS : オフ)
11、10	PE5MD[1:0]	00	R/W	PE5 モード 00 : 機能 1 (表 30.1 参照) 01 : PTE5 出力 10 : PTE5 入力 (プルダウン MOS : オン) 11 : PTE5 入力 (プルダウン MOS : オフ)

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
9、8	PE4MD[1:0]	00	R/W	PE4 モード 00 : 機能 1 (表 30.1 参照) 01 : PTE4 出力 10 : PTE4 入力 (プルダウン MOS : オン) 11 : PTE4 入力 (プルダウン MOS : オフ)
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
3、2	PE1MD[1:0]	10	R/W	PE1 モード 00 : 機能 1 (表 30.1 参照) 01 : PTE1 出力 10 : PTE1 入力 (プルアップ MOS : オン) 11 : PTE1 入力 (プルアップ MOS : オフ)
1、0	PE0MD[1:0]	10	R/W	PE0 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTE0 出力 10 : PTE0 入力 (プルアップ MOS : オン) 11 : PTE0 入力 (プルアップ MOS : オフ)

#### 30.2.6 ポート F コントロールレジスタ (PFCR)

PFCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS / 入力プルダウン MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PF6MD[1:0]	PF5MD[1:0]	PF4MD[1:0]	PF3MD[1:0]	PF2MD[1:0]	PF1MD[1:0]	PF0MD[1:0]							
初期値 :	0	0	1	0	1	0	1	0	1	0	1	0	1	0	0	1
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PF6MD[1:0]	10	R/W	PF6 モード 00 : 機能 1 (表 30.1 参照) 01 : PTF6 出力 10 : PTF6 入力 (プルダウン MOS : オン) 11 : PTF6 入力 (プルダウン MOS : オフ)

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
11、10	PF5MD[1:0]	10	R/W	PF5 モード 00 : 機能 1 (表 30.1 参照) 01 : PTF5 出力 10 : PTF5 入力 (プルダウン MOS : オン) 11 : PTF5 入力 (プルダウン MOS : オフ)
9、8	PF4MD[1:0]	10	R/W	PF4 モード 00 : 機能 1 (表 30.1 参照) 01 : PTF4 出力 10 : PTF4 入力 (プルダウン MOS : オン) 11 : PTF4 入力 (プルダウン MOS : オフ)
7、6	PF3MD[1:0]	10	R/W	PF3 モード 00 : 機能 1 (表 30.1 参照) 01 : PTF3 出力 10 : PTF3 入力 (プルダウン MOS : オン) 11 : PTF3 入力 (プルダウン MOS : オフ)
5、4	PF2MD[1:0]	10	R/W	PF2 モード 00 : 機能 1 (表 30.1 参照) 01 : PTF2 出力 10 : PTF2 入力 (プルダウン MOS : オン) 11 : PTF2 入力 (プルダウン MOS : オフ)
3、2	PF1MD[1:0]	10	R/W	PF1 モード 00 : 機能 1 (表 30.1 参照) 01 : 設定禁止 10 : PTF1 入力 (プルダウン MOS : オン) 11 : PTF1 入力 (プルダウン MOS : オフ)
1、0	PF0MD[1:0]	01	R/W	PF0 モード 00 : 機能 1 (表 30.1 参照) 01 : PTF0 出力 10 : 設定禁止 11 : 設定禁止

### 30. ピンファンクションコントローラ (PFC)

#### 30.2.7 ポート G コントロールレジスタ (PGCR)

PGCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PG4MD[1:0]	PG3MD[1:0]	PG2MD[1:0]	PG1MD[1:0]	PG0MD[1:0]					
初期値:	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0	1
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
9, 8	PG4MD[1:0]	01	R/W	PG4 モード 00: 機能 1 (表 30.1 参照) 01: PTG4 出力 10: 設定禁止 11: 設定禁止
7, 6	PG3MD[1:0]	01	R/W	PG3 モード 00: 機能 1 (表 30.1 参照) 01: PTG3 出力 10: 設定禁止 11: 設定禁止
5, 4	PG2MD[1:0]	01	R/W	PG2 モード 00: 機能 1 (表 30.1 参照) 01: PTG2 出力 10: 設定禁止 11: 設定禁止
3, 2	PG1MD[1:0]	01	R/W	PG1 モード 00: 機能 1 (表 30.1 参照) 01: PTG1 出力 10: 設定禁止 11: 設定禁止
1, 0	PG0MD[1:0]	01	R/W	PG0 モード 00: 機能 1 (表 30.1 参照) 01: PTG0 出力 10: 設定禁止 11: 設定禁止

## 30.2.8 ポートHコントロールレジスタ (PHCR)

PHCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルダウン MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH7MD[1:0]	PH6MD[1:0]	PH5MD[1:0]	PH4MD[1:0]	PH3MD[1:0]	PH2MD[1:0]	PH1MD[1:0]	PH0MD[1:0]								
初期値 :	0	1	1	0	1	0	0	1	0	1	0	1	1	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PH7MD[1:0]	01	R/W	PH7 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTH7 出力 10 : 設定禁止 11 : 設定禁止
13、12	PH6MD[1:0]	10	R/W	PH6 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTH6 出力 10 : PTH6 入力 (プルダウン MOS : オン) 11 : PTH6 入力 (プルダウン MOS : オフ)
11、10	PH5MD[1:0]	10	R/W	PH5 モード 00 : 機能 1 (表 30.1 参照) 01 : PTH5 出力 10 : PTH5 入力 (プルダウン MOS : オン) 11 : PTH5 入力 (プルダウン MOS : オフ)
9、8	PH4MD[1:0]	01	R/W	PH4 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTH4 出力 10 : 設定禁止 11 : 設定禁止
7、6	PH3MD[1:0]	01	R/W	PH3 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTH3 出力 10 : 設定禁止 11 : 設定禁止
5、4	PH2MD[1:0]	01	R/W	PH2 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTH2 出力 10 : 設定禁止 11 : 設定禁止

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
3、2	PH1MD[1:0]	10	R/W	PH1 モード 00 : 機能 1 (表 30.1 参照) 01 : PTH1 出力 10 : PTH1 入力 (プルダウン MOS : オン) 11 : PTH1 入力 (プルダウン MOS : オフ)
1、0	PH0MD[1:0]	10	R/W	PH0 モード 00 : 機能 1 (表 30.1 参照) 01 : PTH0 出力 10 : PTH0 入力 (プルダウン MOS : オン) 11 : PTH0 入力 (プルダウン MOS : オフ)

#### 30.2.9 ポート J コントロールレジスタ (PJCR)

PJCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	PJ7MD[1:0]	PJ6MD[1:0]	PJ5MD[1:0]	—	—	—	—	—	—	—	—	—	PJ1MD[1:0]	PJ0MD[1:0]			
初期値 :	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PJ7MD[1:0]	00	R/W	PJ7 モード 00 : 機能 1 (表 30.1 参照) 01 : PTJ7 出力 10 : 設定禁止 11 : 設定禁止
13、12	PJ6MD[1:0]	01	R/W	PJ6 モード 00 : 設定禁止 01 : PTJ6 出力 10 : 設定禁止 11 : 設定禁止
11、10	PJ5MD[1:0]	00	R/W	PJ5 モード 00 : 機能 1 (表 30.1 参照) 01 : PTJ5 出力 10 : 設定禁止 11 : 設定禁止
9~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。



### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
3、2	PJ1MD[1:0]	10	R/W	PJ1 モード 00 : 機能 1 (表 30.1 参照) 01 : PTJ1 出力 10 : PTJ1 入力 (プルアップ MOS : オン) 11 : PTJ1 入力 (プルアップ MOS : オフ)
1、0	PJ0MD[1:0]	10	R/W	PJ0 モード 00 : 機能 1 (表 30.1 参照) 01 : PTJ0 出力 10 : PTJ0 入力 (プルアップ MOS : オン) 11 : PTJ0 入力 (プルアップ MOS : オフ)

#### 30.2.10 ポート K コントロールレジスタ (PKCR)

PKCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルダウン MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PK6MD[1:0]	PK5MD[1:0]	PK4MD[1:0]	PK3MD[1:0]	PK2MD[1:0]	PK1MD[1:0]	PK0MD[1:0]							
初期値 :	0	0	1	0	1	0	1	0	1	0	1	0	0	1	1	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
13、12	PK6MD[1:0]	10	R/W	PK6 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTK6 出力 10 : PTK6 入力 (プルダウン MOS : オン) 11 : PTK6 入力 (プルダウン MOS : オフ)
11、10	PK5MD[1:0]	10	R/W	PK5 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTK5 出力 10 : PTK5 入力 (プルダウン MOS : オン) 11 : PTK5 入力 (プルダウン MOS : オフ)
9、8	PK4MD[1:0]	10	R/W	PK4 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTK4 出力 10 : PTK4 入力 (プルダウン MOS : オン) 11 : PTK4 入力 (プルダウン MOS : オフ)

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
7、6	PK3MD[1:0]	10	R/W	PK3 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTK3 出力 10 : PTK3 入力 (プルダウン MOS : オン) 11 : PTK3 入力 (プルダウン MOS : オフ)
5、4	PK2MD[1:0]	10	R/W	PK2 モード 00 : 機能 1、2 (表 30.1 参照) 01 : 設定禁止 10 : PTK2 入力 (プルダウン MOS : オン) 11 : PTK2 入力 (プルダウン MOS : オフ)
3、2	PK1MD[1:0]	01	R/W	PK1 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTK1 出力 10 : 設定禁止 11 : 設定禁止
1、0	PK0MD[1:0]	10	R/W	PK0 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTK0 出力 10 : PTK0 入力 (プルダウン MOS : オン) 11 : PTK0 入力 (プルダウン MOS : オフ)

#### 30.2.11 ポート L コントロールレジスタ (PLCR)

PLCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルダウン MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PL7MD[1:0]		PL6MD[1:0]		PL5MD[1:0]		PL4MD[1:0]		PL3MD[1:0]		PL2MD[1:0]		PL1MD[1:0]		PL0MD[1:0]	
初期値 :	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PL7MD[1:0]	10	R/W	PL7 モード 00 : 機能 1 (表 30.1 参照) 01 : PTL7 出力 10 : PTL7 入力 (プルダウン MOS : オン) 11 : PTL7 入力 (プルダウン MOS : オフ)

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
13、12	PL6MD[1:0]	10	R/W	PL6 モード 00 : 機能 1 (表 30.1 参照) 01 : PTL6 出力 10 : PTL6 入力 (プルダウン MOS : オン) 11 : PTL6 入力 (プルダウン MOS : オフ)
11、10	PL5MD[1:0]	10	R/W	PL5 モード 00 : 機能 1 (表 30.1 参照) 01 : PTL5 出力 10 : PTL5 入力 (プルダウン MOS : オン) 11 : PTL5 入力 (プルダウン MOS : オフ)
9、8	PL4MD[1:0]	10	R/W	PL4 モード 00 : 機能 1 (表 30.1 参照) 01 : PTL4 出力 10 : PTL4 入力 (プルダウン MOS : オン) 11 : PTL4 入力 (プルダウン MOS : オフ)
7、6	PL3MD[1:0]	10	R/W	PL3 モード 00 : 機能 1 (表 30.1 参照) 01 : PTL3 出力 10 : PTL3 入力 (プルダウン MOS : オン) 11 : PTL3 入力 (プルダウン MOS : オフ)
5、4	PL2MD[1:0]	10	R/W	PL2 モード 00 : 機能 1 (表 30.1 参照) 01 : PTL2 出力 10 : PTL2 入力 (プルダウン MOS : オン) 11 : PTL2 入力 (プルダウン MOS : オフ)
3、2	PL1MD[1:0]	10	R/W	PL1 モード 00 : 機能 1 (表 30.1 参照) 01 : PTL1 出力 10 : PTL1 入力 (プルダウン MOS : オン) 11 : PTL1 入力 (プルダウン MOS : オフ)
1、0	PL0MD[1:0]	10	R/W	PL0 モード 00 : 機能 1 (表 30.1 参照) 01 : PTL0 出力 10 : PTL0 入力 (プルダウン MOS : オン) 11 : PTL0 入力 (プルダウン MOS : オフ)

### 30. ピンファンクションコントローラ (PFC)

#### 30.2.12 ポート M コントロールレジスタ (PMCR)

PMCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルダウン MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PM7MD[1:0]	PM6MD[1:0]	PM5MD[1:0]	PM4MD[1:0]	PM3MD[1:0]	PM2MD[1:0]	PM1MD[1:0]	PM0MD[1:0]								
初期値 :	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PM7MD[1:0]	10	R/W	PM7 モード 00 : 機能 1 (表 30.1 参照) 01 : PTM7 出力 10 : PTM7 入力 (プルダウン MOS : オン) 11 : PTM7 入力 (プルダウン MOS : オフ)
13、12	PM6MD[1:0]	10	R/W	PM6 モード 00 : 機能 1 (表 30.1 参照) 01 : PTM6 出力 10 : PTM6 入力 (プルダウン MOS : オン) 11 : PTM6 入力 (プルダウン MOS : オフ)
11、10	PM5MD[1:0]	10	R/W	PM5 モード 00 : 機能 1 (表 30.1 参照) 01 : PTM5 出力 10 : PTM5 入力 (プルダウン MOS : オン) 11 : PTM5 入力 (プルダウン MOS : オフ)
9、8	PM4MD[1:0]	10	R/W	PM4 モード 00 : 機能 1 (表 30.1 参照) 01 : PTM4 出力 10 : PTM4 入力 (プルダウン MOS : オン) 11 : PTM4 入力 (プルダウン MOS : オフ)
7、6	PM3MD[1:0]	10	R/W	PM3 モード 00 : 機能 1 (表 30.1 参照) 01 : PTM3 出力 10 : PTM3 入力 (プルダウン MOS : オン) 11 : PTM3 入力 (プルダウン MOS : オフ)
5、4	PM2MD[1:0]	10	R/W	PM2 モード 00 : 機能 1 (表 30.1 参照) 01 : PTM2 出力 10 : PTM2 入力 (プルダウン MOS : オン) 11 : PTM2 入力 (プルダウン MOS : オフ)

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
3、2	PM1MD[1:0]	10	R/W	PM1 モード 00 : 機能 1 (表 30.1 参照) 01 : PTM1 出力 10 : PTM1 入力 (プルダウン MOS : オン) 11 : PTM1 入力 (プルダウン MOS : オフ)
1、0	PM0MD[1:0]	10	R/W	PM0 モード 00 : 機能 1 (表 30.1 参照) 01 : PTM0 出力 10 : PTM0 入力 (プルダウン MOS : オン) 11 : PTM0 入力 (プルダウン MOS : オフ)

#### 30.2.13 ポート N コントロールレジスタ (PNCR)

PNCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PN7MD[1:0]		PN6MD[1:0]		PN5MD[1:0]		PN4MD[1:0]		PN3MD[1:0]		PN2MD[1:0]		PN1MD[1:0]		PN0MD[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PN7MD[1:0]	00	R/W	PN7 モード 00 : 機能 1 (表 30.1 参照) 01 : PTN7 出力 10 : 設定禁止 11 : PTN7 入力 (プルアップ MOS : オフ)
13、12	PN6MD[1:0]	00	R/W	PN6 モード 00 : 機能 1 (表 30.1 参照) 01 : PTN6 出力 10 : 設定禁止 11 : PTN6 入力 (プルアップ MOS : オフ)
11、10	PN5MD[1:0]	00	R/W	PN5 モード 00 : 機能 1 (表 30.1 参照) 01 : PTN5 出力 10 : 設定禁止 11 : PTN5 入力 (プルアップ MOS : オフ)

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
9、8	PN4MD[1:0]	00	R/W	PN4 モード 00 : 機能 1 (表 30.1 参照) 01 : PTN4 出力 10 : 設定禁止 11 : PTN4 入力 (プルアップ MOS : オフ)
7、6	PN3MD[1:0]	00	R/W	PN3 モード 00 : 機能 1 (表 30.1 参照) 01 : PTN3 出力 10 : 設定禁止 11 : PTN3 入力 (プルアップ MOS : オフ)
5、4	PN2MD[1:0]	00	R/W	PN2 モード 00 : 機能 1 (表 30.1 参照) 01 : PTN2 出力 10 : 設定禁止 11 : PTN2 入力 (プルアップ MOS : オフ)
3、2	PN1MD[1:0]	00	R/W	PN1 モード 00 : 機能 1 (表 30.1 参照) 01 : PTN1 出力 10 : 設定禁止 11 : PTN1 入力 (プルアップ MOS : オフ)
1、0	PN0MD[1:0]	00	R/W	PN0 モード 00 : 機能 1 (表 30.1 参照) 01 : PTN0 出力 10 : 設定禁止 11 : PTN0 入力 (プルアップ MOS : オフ)

#### 30.2.14 ポート Q コントロールレジスタ (PQCR)

PQCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS / 入力プルダウン MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PQ6MD[1:0]	PQ5MD[1:0]	PQ4MD[1:0]	PQ3MD[1:0]	PQ2MD[1:0]	PQ1MD[1:0]	PQ0MD[1:0]							
初期値 :	0	0	0	1	1	0	1	0	1	0	1	0	0	1	1	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
13、12	PQ6MD[1:0]	01	R/W	PQ6 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTQ6 出力 10 : 設定禁止 11 : 設定禁止
11、10	PQ5MD[1:0]	10	R/W	PQ5 モード 00 : 機能 1 (表 30.1 参照) 01 : PTQ5 出力 10 : PTQ5 入力 (ブルダウン MOS : オン) 11 : PTQ5 入力 (ブルダウン MOS : オフ)
9、8	PQ4MD[1:0]	10	R/W	PQ4 モード 00 : 機能 1 (表 30.1 参照) 01 : PTQ4 出力 10 : PTQ4 入力 (ブルダウン MOS : オン) 11 : PTQ4 入力 (ブルダウン MOS : オフ)
7、6	PQ3MD[1:0]	10	R/W	PQ3 モード 00 : 機能 1 (表 30.1 参照) 01 : PTQ3 出力 10 : PTQ3 入力 (ブルダウン MOS : オン) 11 : PTQ3 入力 (ブルダウン MOS : オフ)
5、4	PQ2MD[1:0]	10	R/W	PQ2 モード 00 : 機能 1、2 (表 30.1 参照) 01 : 設定禁止 10 : PTQ2 入力 (ブルダウン MOS : オン) 11 : PTQ2 入力 (ブルダウン MOS : オフ)
3、2	PQ1MD[1:0]	01	R/W	PQ1 モード 00 : 機能 1、2、3 (表 30.1 参照) 01 : PTQ1 出力 10 : 設定禁止 11 : 設定禁止
1、0	PQ0MD[1:0]	10	R/W	PQ0 モード 00 : 機能 1、2、3 (表 30.1 参照) 01 : PTQ0 出力 10 : PTQ0 入力 (ブルアップ MOS : オン) 11 : PTQ0 入力 (ブルアップ MOS : オフ)

### 30. ピンファンクションコントローラ (PFC)

#### 30.2.15 ポート R コントロールレジスタ (PRCR)

PRCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PR4MD[1:0]	PR3MD[1:0]	PR2MD[1:0]	PR1MD[1:0]	PROMD[1:0]					
初期値 :	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	1
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
9, 8	PR4MD[1:0]	01	R/W	PR4 モード 00 : 機能 1 (表 30.1 参照) 01 : PTR4 出力 10 : 設定禁止 11 : 設定禁止
7, 6	PR3MD[1:0]	00	R/W	PR3 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTR3 出力 10 : 設定禁止 11 : 設定禁止
5, 4	PR2MD[1:0]	00	R/W	PR2 モード 00 : 機能 1 (表 30.1 参照) 01 : 設定禁止 10 : PTR2 入力 (プルアップ MOS : オン) 11 : PTR2 入力 (プルアップ MOS : オフ)
3, 2	PR1MD[1:0]	01	R/W	PR1 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTR1 出力 10 : 設定禁止 11 : 設定禁止
1, 0	PROMD[1:0]	01	R/W	PR0 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTR0 出力 10 : 設定禁止 11 : 設定禁止



## 30.2.16 ポート S コントロールレジスタ (PSCR)

PSCR は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能と入力プルダウン MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PS4MD[1:0]	PS3MD[1:0]	PS2MD[1:0]	PS1MD[1:0]	PS0MD[1:0]					
初期値:	0	0	0	0	0	0	1	0	0	1	1	0	1	0	0	1
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
9, 8	PS4MD[1:0]	10	R/W	PS4 モード 00: 機能 1 (表 30.1 参照) 01: 設定禁止 10: PTS4 入力 (プルダウン MOS: オン) 11: PTS4 入力 (プルダウン MOS: オフ)
7, 6	PS3MD[1:0]	01	R/W	PS3 モード 00: 機能 1 (表 30.1 参照) 01: PTS3 出力 10: 設定禁止 11: 設定禁止
5, 4	PS2MD[1:0]	10	R/W	PS2 モード 00: 機能 1、2 (表 30.1 参照) 01: PTS2 出力 10: PTS2 入力 (プルダウン MOS: オン) 11: PTS2 入力 (プルダウン MOS: オフ)
3, 2	PS1MD[1:0]	10	R/W	PS1 モード 00: 機能 1 (表 30.1 参照) 01: 設定禁止 10: PTS1 入力 (プルダウン MOS: オン) 11: PTS1 入力 (プルダウン MOS: オフ)
1, 0	PS0MD[1:0]	01	R/W	PS0 モード 00: 機能 1 (表 30.1 参照) 01: PTS0 出力 10: 設定禁止 11: 設定禁止

### 30. ピンファンクションコントローラ (PFC)

#### 30.2.17 ポート T コントロールレジスタ (PTCR)

PTCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルダウン MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PT4MD[1:0]	PT3MD[1:0]	PT2MD[1:0]	PT1MD[1:0]	PT0MD[1:0]					
初期値:	0	0	0	0	0	0	1	0	1	0	1	0	1	0	0	1
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
9, 8	PT4MD[1:0]	10	R/W	PT4 モード 00: 設定禁止 01: PTT4 出力 10: PTT4 入力 (プルダウン MOS: オン) 11: PTT4 入力 (プルダウン MOS: オフ)
7, 6	PT3MD[1:0]	10	R/W	PT3 モード 00: 設定禁止 01: PTT3 出力 10: PTT3 入力 (プルダウン MOS: オン) 11: PTT3 入力 (プルダウン MOS: オフ)
5, 4	PT2MD[1:0]	10	R/W	PT2 モード 00: 設定禁止 01: PTT2 出力 10: PTT2 入力 (プルダウン MOS: オン) 11: PTT2 入力 (プルダウン MOS: オフ)
3, 2	PT1MD[1:0]	10	R/W	PT1 モード 00: 機能 1 (表 30.1 参照) 01: 設定禁止 10: PTT1 入力 (プルダウン MOS: オン) 11: PTT1 入力 (プルダウン MOS: オフ)
1, 0	PT0MD[1:0]	01	R/W	PT0 モード 00: 設定禁止 01: PTT0 出力 10: 設定禁止 11: 設定禁止

## 30.2.18 ポートUコントロールレジスタ (PUCR)

PUCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS / 入力プルダウン MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PU4MD[1:0]	PU3MD[1:0]	PU2MD[1:0]	PU1MD[1:0]	PU0MD[1:0]					
初期値:	0	0	0	0	0	0	1	0	1	0	1	0	1	0	1	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
9, 8	PU4MD[1:0]	10	R/W	PU4 モード 00: 設定禁止 01: PTU4 出力 10: PTU4 入力 (プルダウン MOS: オン) 11: PTU4 入力 (プルダウン MOS: オフ)
7, 6	PU3MD[1:0]	10	R/W	PU3 モード 00: 設定禁止 01: PTU3 出力 10: PTU3 入力 (プルダウン MOS: オン) 11: PTU3 入力 (プルダウン MOS: オフ)
5, 4	PU2MD[1:0]	10	R/W	PU2 モード 00: 設定禁止 01: PTU2 出力 10: PTU2 入力 (プルダウン MOS: オン) 11: PTU2 入力 (プルダウン MOS: オフ)
3, 2	PU1MD[1:0]	10	R/W	PU1 モード 00: 設定禁止 01: 設定禁止 10: PTU1 入力 (プルアップ MOS: オン) 11: PTU1 入力 (プルアップ MOS: オフ)
1, 0	PU0MD[1:0]	10	R/W	PU0 モード 00: 設定禁止 01: PTU0 出力 10: PTU0 入力 (プルアップ MOS: オン) 11: PTU0 入力 (プルアップ MOS: オフ)

### 30. ピンファンクションコントローラ (PFC)

#### 30.2.19 ポートVコントロールレジスタ (PVCR)

PVCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルダウン MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PV4MD[1:0]	PV3MD[1:0]	PV2MD[1:0]	PV1MD[1:0]	PV0MD[1:0]					
初期値:	0	0	0	0	0	0	1	0	1	0	1	0	1	0	1	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
9, 8	PV4MD[1:0]	10	R/W	PV4 モード 00: 設定禁止 01: PTV4 出力 10: PTV4 入力 (プルダウン MOS : オン) 11: PTV4 入力 (プルダウン MOS : オフ)
7, 6	PV3MD[1:0]	10	R/W	PV3 モード 00: 設定禁止 01: PTV3 出力 10: PTV3 入力 (プルダウン MOS : オン) 11: PTV3 入力 (プルダウン MOS : オフ)
5, 4	PV2MD[1:0]	10	R/W	PV2 モード 00: 設定禁止 01: PTV2 出力 10: PTV2 入力 (プルダウン MOS : オン) 11: PTV2 入力 (プルダウン MOS : オフ)
3, 2	PV1MD[1:0]	10	R/W	PV1 モード 00: 設定禁止 01: PTV1 出力 10: PTV1 入力 (プルダウン MOS : オン) 11: PTV1 入力 (プルダウン MOS : オフ)
1, 0	PV0MD[1:0]	10	R/W	PV0 モード 00: 設定禁止 01: PTV0 出力 10: PTV0 入力 (プルダウン MOS : オン) 11: PTV0 入力 (プルダウン MOS : オフ)

## 30.2.20 ポート W コントロールレジスタ (PWCR)

PWCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルダウン MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PW6MD[1:0]	PW5MD[1:0]	PW4MD[1:0]	PW3MD[1:0]	PW2MD[1:0]	PW1MD[1:0]	PW0MD[1:0]							
初期値:	0	0	1	0	0	1	1	0	1	0	1	0	1	0	1	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
13, 12	PW6MD[1:0]	10	R/W	PW6 モード 00: 機能 1、2 (表 30.1 参照) 01: 設定禁止 10: PTW6 入力 (プルダウン MOS: オン) 11: PTW6 入力 (プルダウン MOS: オフ)
11, 10	PW5MD[1:0]	01	R/W	PW5 モード 00: 機能 1、2 (表 30.1 参照) 01: PTW5 出力 10: 設定禁止 11: 設定禁止
9, 8	PW4MD[1:0]	10	R/W	PW4 モード 00: 機能 1、2 (表 30.1 参照) 01: PTW4 出力 10: PTW4 入力 (プルダウン MOS: オン) 11: PTW4 入力 (プルダウン MOS: オフ)
7, 6	PW3MD[1:0]	10	R/W	PW3 モード 00: 機能 1、2 (表 30.1 参照) 01: PTW3 出力 10: PTW3 入力 (プルダウン MOS: オン) 11: PTW3 入力 (プルダウン MOS: オフ)
5, 4	PW2MD[1:0]	10	R/W	PW2 モード 00: 機能 1、2 (表 30.1 参照) 01: PTW2 出力 10: PTW2 入力 (プルダウン MOS: オン) 11: PTW2 入力 (プルダウン MOS: オフ)

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
3、2	PW1MD[1:0]	10	R/W	PW1 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTW1 出力 10 : PTW1 入力 (プルダウン MOS : オン) 11 : PTW1 入力 (プルダウン MOS : オフ)
1、0	PW0MD[1:0]	10	R/W	PW0 モード 00 : 機能 1、2 (表 30.1 参照) 01 : PTW0 出力 10 : PTW0 入力 (プルダウン MOS : オン) 11 : PTW0 入力 (プルダウン MOS : オフ)

#### 30.2.21 ポート X コントロールレジスタ (PXCR)

PXCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS / 入力プルダウン MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PX6MD[1:0]	PX5MD[1:0]	PX4MD[1:0]	PX3MD[1:0]	PX2MD[1:0]	PX1MD[1:0]	PX0MD[1:0]							
初期値 :	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
13、12	PX6MD[1:0]	10	R/W	PX6 モード 00 : 機能 1 (表 30.1 参照) 01 : PTX6 出力 10 : PTX6 入力 (プルアップ MOS : オン) 11 : PTX6 入力 (プルアップ MOS : オフ)
11、10	PX5MD[1:0]	10	R/W	PX5 モード 00 : 機能 1 (表 30.1 参照) 01 : PTX5 出力 10 : PTX5 入力 (プルダウン MOS : オン) 11 : PTX5 入力 (プルダウン MOS : オフ)
9、8	PX4MD[1:0]	10	R/W	PX4 モード 00 : 機能 1 (表 30.1 参照) 01 : PTX4 出力 10 : PTX4 入力 (プルダウン MOS : オン) 11 : PTX4 入力 (プルダウン MOS : オフ)

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
7、6	PX3MD[1:0]	10	R/W	PX3 モード 00 : 機能 1 (表 30.1 参照) 01 : PTX3 出力 10 : PTX3 入力 (プルダウン MOS : オン) 11 : PTX3 入力 (プルダウン MOS : オフ)
5、4	PX2MD[1:0]	10	R/W	PX2 モード 00 : 機能 1 (表 30.1 参照) 01 : PTX2 出力 10 : PTX2 入力 (プルダウン MOS : オン) 11 : PTX2 入力 (プルダウン MOS : オフ)
3、2	PX1MD[1:0]	10	R/W	PX1 モード 00 : 機能 1 (表 30.1 参照) 01 : PTX1 出力 10 : PTX1 入力 (プルダウン MOS : オン) 11 : PTX1 入力 (プルダウン MOS : オフ)
1、0	PX0MD[1:0]	10	R/W	PX0 モード 00 : 機能 1 (表 30.1 参照) 01 : PTX0 出力 10 : PTX0 入力 (プルダウン MOS : オン) 11 : PTX0 入力 (プルダウン MOS : オフ)

#### 30.2.22 ポート Y コントロールレジスタ (PYCR)

PYCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PY5MD[1:0]	PY4MD[1:0]	PY3MD[1:0]	PY2MD[1:0]	PY1MD[1:0]	PY0MD[1:0]						
初期値 :	0	0	0	0	1	0	1	0	1	0	1	0	0	1	1	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11、10	PY5MD[1:0]	10	R/W	PY5 モード 00 : 機能 1 (表 30.1 参照) 01 : PTY5 出力 10 : PTY5 入力 (プルアップ MOS : オン) 11 : PTY5 入力 (プルアップ MOS : オフ)

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
9、8	PY4MD[1:0]	10	R/W	PY4 モード 00 : 機能 1 (表 30.1 参照) 01 : PTY4 出力 10 : PTY4 入力 (プルアップ MOS : オン) 11 : PTY4 入力 (プルアップ MOS : オフ)
7、6	PY3MD[1:0]	10	R/W	PY3 モード 00 : 機能 1 (表 30.1 参照) 01 : PTY3 出力 10 : PTY3 入力 (プルアップ MOS : オン) 11 : PTY3 入力 (プルアップ MOS : オフ)
5、4	PY2MD[1:0]	10	R/W	PY2 モード 00 : 機能 1 (表 30.1 参照) 01 : PTY2 出力 10 : PTY2 入力 (プルアップ MOS : オン) 11 : PTY2 入力 (プルアップ MOS : オフ)
3、2	PY1MD[1:0]	01	R/W	PY1 モード 00 : 機能 1 (表 30.1 参照) 01 : PTY1 出力 10 : 設定禁止 11 : 設定禁止
1、0	PY0MD[1:0]	10	R/W	PY0 モード 00 : 機能 1 (表 30.1 参照) 01 : PTY0 出力 10 : PTY0 入力 (プルアップ MOS : オン) 11 : PTY0 入力 (プルアップ MOS : オフ)

#### 30.2.23 ポート Z コントロールレジスタ (PZCR)

PZCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PZ5MD[1:0]	PZ4MD[1:0]	PZ3MD[1:0]	PZ2MD[1:0]	PZ1MD[1:0]	—	—					
初期値 :	0	0	0	0	1	0	1	0	1	0	1	0	1	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。



### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
11、10	PZ5MD[1:0]	10	R/W	PZ5 モード 00 : 機能 1、2 (表 30.1 参照) 01 : 設定禁止 10 : PTZ5 入力 (プルアップ MOS : オン) 11 : PTZ5 入力 (プルアップ MOS : オフ)
9、8	PZ4MD[1:0]	10	R/W	PZ4 モード 00 : 機能 1 (表 30.1 参照) 01 : 設定禁止 10 : PTZ4 入力 (プルアップ MOS : オン) 11 : PTZ4 入力 (プルアップ MOS : オフ)
7、6	PZ3MD[1:0]	10	R/W	PZ3 モード 00 : 機能 1 (表 30.1 参照) 01 : 設定禁止 10 : PTZ3 入力 (プルアップ MOS : オン) 11 : PTZ3 入力 (プルアップ MOS : オフ)
5、4	PZ2MD[1:0]	10	R/W	PZ2 モード 00 : 機能 1 (表 30.1 参照) 01 : 設定禁止 10 : PTZ2 入力 (プルアップ MOS : オン) 11 : PTZ2 入力 (プルアップ MOS : オフ)
3、2	PZ1MD[1:0]	10	R/W	PZ1 モード 00 : 機能 1、2 (表 30.1 参照) 01 : 設定禁止 10 : PTZ1 入力 (プルアップ MOS : オン) 11 : PTZ1 入力 (プルアップ MOS : オフ)
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

## 30. ピンファンクションコントローラ (PFC)

### 30.2.24 ピンセレクトレジスタ A (PSELA)

PESELA は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート以外の機能を 2 つ以上マルチプレクスしている端子の機能を選択します。

本レジスタで機能を選択した後に、ポートコントロールレジスタの該当ビットを B'00 に設定してください。

設定例：PTZ1 / KEYIN0 / IRQ6 端子において、IRQ6 機能を使用する場合

1. I/OバッファHi-Z制御レジスタ (HIZCRC) のHIZC14ビットをB'0 (I/Oバッファは通常動作) に設定
2. PSELA、PSA15ビットに1書き込み
3. ポートZコントロールレジスタ (PZCR) の (PZ1MD1、PZ1MD0) ビットをB'00に設定

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSA15	PSA14	—	—	—	—	PSA9	—	—	—	—	PSA4	—	—	—	—
初期値:	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R/W	R	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PSA15	0	R/W	PTZ1 機能 1、2 の選択 0: KEYIN0 を選択 1: IRQ6 を選択
14	PSA14	0	R/W	PTZ5 機能 1、2 の選択 0: KEYIN4 を選択 1: IRQ7 を選択
13、12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
10	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PSA9	0	R/W	PTE0 機能 1、2 の選択 0: IRQ4 を選択 1: $\overline{BS}$ を選択
8~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PSA4	0	R/W	PTD4 機能 1、2 の選択 0: IRQ2 を選択 1: SDHID2 を選択
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 30.2.25 ピンセレクトレジスタ B (PSELB)

PESELB は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート以外の機能を 2 つ以上マルチプレクスしている端子の機能を選択します。

本レジスタで機能を選択した後に、ポートコントロールレジスタの該当ビットを B'00 に設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PSB8	PSB7	PSB6	—	—	—	PSB2	PSB1	PSB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PSB8	0	R/W	PTQ0 機能 1、2、3 の選択 (PSELE.PSE15 ビット = 0 ときに有効) 0: SIOF0_MCK を選択 1: IRQ3 を選択
7	PSB7	0	R/W	PTQ1 機能 1、2、3 の選択 (PSELE.PSE14 ビット = 0 ときに有効) 0: SIOF0_TXD を選択 1: IrDA_OUT を選択
6	PSB6	0	R/W	PTQ2 機能 1、2 の選択 0: SIOF0_RXD を選択 1: IrDA_IN を選択
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PSB2	0	R/W	PTQ6 機能 1、2 の選択 0: SIOF0_SS2 を選択 1: SIM_RST を選択
1	PSB1	0	R/W	PTK0 機能 1、2 の選択 0: No Function 1: SIOF1_MCK を選択
0	PSB0	0	R/W	PTK1 機能 1、2 の選択 0: No Function 1: SIOF1_TXD を選択

## 30. ピンファンクションコントローラ (PFC)

### 30.2.26 ピンセレクトレジスタ C (PSEL C)

PESEL C は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート以外の機能を 2 つ以上マルチプレクスしている端子の機能を選択します。

本レジスタで機能を選択した後、ポートコントロールレジスタの該当ビットを B'00 に設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSC15	PSC14	PSC13	PSC12	PSC11	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PSC15	0	R/W	PTK2 機能 1、2 の選択 0: No Function 1: SIOF1_RXD を選択
14	PSC14	0	R/W	PTK3 機能 1、2 の選択 0: No Function 1: SIOF1_SCK を選択
13	PSC13	0	R/W	PTK4 機能 1、2 の選択 0: No Function 1: SIOF1_SYNC を選択
12	PSC12	0	R/W	PTK5 機能 1、2 の選択 0: No Function 1: SIOF1_SS1 を選択
11	PSC11	0	R/W	PTK6 機能 1、2 の選択 0: No Function 1: SIOF1_SS2 を選択
10~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 30.2.27 ピンセレクトレジスタ D (PSEL D)

PESEL D は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート以外の機能を 2 つ以上マルチプレクスしている端子の機能を選択します。

本レジスタで機能を選択した後に、ポートコントロールレジスタの該当ビットを B'00 に設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PSD13	PSD12	PSD11	PSD10	—	PSD8	—	—	PSD5	—	PSD3	PSD2	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R	R/W	R	R	R/W	R	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PSD13	0	R/W	SCIF2 関連端子の選択 0: No Function 1: SCIF2_CTS、SCIF2_RTS、SCIF2_SCK、SCIF2_TXD、SCIF2_RXD を選択
12	PSD12	0	R/W	SCIF1 関連端子の選択 0: No Function 1: SCIF1_CTS、SCIF1_RTS を選択
11	PSD11	0	R/W	SCIF1 関連端子の選択 0: No Function 1: SCIF1_SCK、SCIF1_RXD、SCIF1_TXD を選択
10	PSD10	0	R/W	PTA0 端子機能 1、2 の選択 0: No Function 1: LCDLCLK を選択
9	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PSD8	0	R/W	PTS2 機能 1、2 の選択 0: SCIF0_SCK を選択 1: TPUTO を選択
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PSD5	0	R/W	PTR3 機能 1、2 の選択 0: CS6B/CE1B を選択 1: LCDCS2 を選択
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
3	PSD3	0	R/W	PTH7 機能 1、2 の選択 0 : LCDVEPWC、LCDVCPWC を選択 1 : LCDVEPWC2、LCDVCPWC2 を選択
2	PSD2	0	R/W	PTH2 機能 1、2 の選択 0 : LCDDON を選択 1 : LCDDON2 を選択
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

#### 30.2.28 ピンセレクトレジスタ E (PSELE)

PESELE は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート以外の機能を 2 つ以上マルチプレクスしている端子の機能を選択します。

本レジスタで機能を選択した後に、ポートコントロールレジスタの該当ビットを B'00 に設定してください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSE15	PSE14	—	PSE12	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PSE15	0	R/W	PTQ0 機能 1、2 の選択 0 : SIOF0_MCK / IRQ3 を選択 (PSB8 の選択が有効) 1 : SIM_D を選択
14	PSE14	0	R/W	PTQ1 機能 1、2 の選択 0 : SIOF0_TXD / IrDA_OUT を選択 (PSB7 の選択が有効) 1 : SIM_CLK を選択
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PSE12	0	R/W	PTH6 機能 1、2 の選択 0 : LCDVSYN2 を選択 1 : DACK を選択
11~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 30.2.29 I/O バッファ Hi-Z 制御レジスタ A (HIZCRA)

HIZCRA は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子の Hi-Z 制御を機能単位ごとに行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	HIZA14	HIZA13	HIZA12	HIZA11	HIZA10	HIZA9	HIZA8	HIZA7	HIZA6	HIZA5	HIZA4	—	—	—	—
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	HIZA14	1	R/W	KEYSC 関連端子 (KEYOUT5~0、KEYIN6、5、3~1) のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
13	HIZA13	0	R/W	SDHI 関連端子 (SDHIWP、SDHIC $\bar{D}$ ) のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
12	HIZA12	0	R/W	SDHI 関連端子 (SDHICLK、SDHICMD、SDHID3、1、0) のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
11	HIZA11	0	R/W	PTV4~0 のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
10	HIZA10	0	R/W	PTA3~0、PTW2~0 ハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
9	HIZA9	0	R/W	PTW6~3 のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
8	HIZA8	0	R/W	LCDC 関連端子 (LCDVSYN2、LCDD23~0、LCDDCK、LCDWR) のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
7	HIZA7	0	R/W	LCDC 関連端子 (LCDDISP、LCDRS、LCD $\bar{C}$ S、LCDDON、LCDDON2、LCDVSYN、LCDHSYN、LCDRD) のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
6	HIZA6	0	R/W	LCDC 関連端子 (LCDVCPWC、LCDVEPWC、LCDVCPWC2、LCDVEPWC2) のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
5	HIZA5	0	R/W	PTA7~5 のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
4	HIZA4	0	R/W	PTA4 のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

#### 30.2.30 I/O バッファ Hi-Z 制御レジスタ B (HIZCRB)

HIZCRB は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子の Hi-Z 制御を機能単位ごとに行います。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

HIZB15	HIZB14	HIZB13	HIZB12	HIZB11	—	—	—	—	—	—	HIZB4	HIZB3	—	HIZB1	HIZB0	
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W: R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
15	HIZB15	0	R/W	SIO 関連端子 (SIOMCK、SIOTXD、SIORXD、SIOD、SIOSTRB0、SIOSTRB1、SIOSCK) のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
14	HIZB14	0	R/W	SIOF 関連端子 (SIOF0_TXD) のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
13	HIZB13	0	R/W	SIOF 関連端子 (SIOF0_SCK、SIOF0_SYNC、SIOF0_SST) のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
12	HIZB12	0	R/W	SIOF 関連端子 (SIOF0_RXD) のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
11	HIZB11	0	R/W	SIOF 関連端子 (SIOF0_SS2) のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス



### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
10~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	HIZB4	0	R/W	PTK6~0のハイインピーダンス制御を行います。 0: I/Oバッファは通常動作 1: I/Oバッファは入力固定、出力ハイインピーダンス
3	HIZB3	0	R/W	SCIF関連端子 (SCIF0_CTS、SCIF0_RTS、SCIF0_RXD、SCIF0_TXD、SCIF0_SCK) のハイインピーダンス制御を行います。 0: I/Oバッファは通常動作 1: I/Oバッファは入力固定、出力ハイインピーダンス
2	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	HIZB1	1	R/W	PTU1、0のハイインピーダンス制御を行います。 0: I/Oバッファは通常動作 1: I/Oバッファは入力固定、出力ハイインピーダンス
0	HIZB0	0	R/W	PTU4~2、PTT4のハイインピーダンス制御を行います。 0: I/Oバッファは通常動作 1: I/Oバッファは入力固定、出力ハイインピーダンス

#### 30.2.31 I/O バッファ Hi-Z 制御レジスタ C (HIZCRC)

HIZCRC は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子の Hi-Z 制御を機能単位ごとに行います。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

HIZC15	HIZC14	HIZC13	HIZC12	HIZC11	HIZC10	HIZC9	HIZC8	HIZC7	—	HIZC5	—	—	—	—	HIZC0
--------	--------	--------	--------	--------	--------	-------	-------	-------	---	-------	---	---	---	---	-------

初期値: 1 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R R/W R R R R R/W

ビット	ビット名	初期値	R/W	説明
15	HIZC15	1	R/W	IRQ7 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
14	HIZC14	1	R/W	IRQ6 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
13	HIZC13	0	R/W	IRQ5 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
12	HIZC12	0	R/W	IRQ4 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
11	HIZC11	0	R/W	IRQ3 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
10	HIZC10	0	R/W	IRQ2 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
9	HIZC9	0	R/W	IRQ1 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
8	HIZC8	0	R/W	IRQ0 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
7	HIZC7	0	R/W	STATUS0 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
6	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	HIZC5	0	R/W	PDSTATUS 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
4~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	HIZC0	0	R/W	CS6B 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス

## 30.2.32 モジュール機能選択レジスタ A (MSELCRA)

MSELCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、モジュール特有の機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MSEL11	MSEL10	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	MSELA11	0	R/W	SDHI チャネル 3、2 の DMA 転送サイズを指定します。 0: ワード (2 バイト転送) 単位転送 1: 16 バイト単位転送
10	MSELA10	0	R/W	SDHI チャネル 1、0 の DMA 転送サイズを指定します。 0: ワード (2 バイト転送) 単位転送 1: 16 バイト単位転送
9~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 30.2.33 モジュール機能選択レジスタ B (MSELCRB)

MSELCRB は、読み出し / 書き込み可能な 16 ビットのレジスタで、モジュール特有の機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	MSELB <sub>8</sub>	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	MSEL8	0	R/W	LCDC の RGB インタフェース信号と SYS インタフェース信号を選択。 0: $\overline{\text{LCD}}\text{DCK}$ 、 $\overline{\text{LCD}}\text{HSYN}$ 、 $\overline{\text{LCD}}\text{DISP}$ を選択 1: $\overline{\text{LCD}}\text{WR}$ 、 $\overline{\text{LCD}}\text{CS}$ 、 $\overline{\text{LCD}}\text{RS}$ を選択
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 30. ピンファンクションコントローラ (PFC)

### 30.2.34 プルアップダウン制御レジスタ (PULCR)

PULCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子のプルアップ / プルダウン制御を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PUL15	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PUL15	1	R/W	TRST 端子のプルアップ制御を行います。 0: プルアップ MOS オフ 1: プルアップ MOS オン
14, 13	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
12~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 30.2.35 I/O バッファ Drive 制御レジスタ (DRVCR)

DRVCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、I/O バッファのドライバビリティを選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRV15	—	DRV13	—	DRV[11:10]		DRV[9:8]		DRV[7:6]		DRV[5:4]		DRV[3:2]		—	—
初期値:	0	0	0	0	0	1	0	0	0	1	1	0	0	1	0	0
R/W:	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
15	DRV15	0	R/W	SCIF1、SCIF2 関連端子のドライブ能力制御を行います。 0: I/O バッファのドライブ能力小 1: I/O バッファのドライブ能力大
14	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	DRV13	0	R/W	SCIF0 関連端子、SIO 関連端子、SIOF 関連端子のドライブ能力制御を行います。 0: I/O バッファのドライブ能力小 1: I/O バッファのドライブ能力大
12	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 30. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
11 10	DRV11 DRV10	0 1	R/W R/W	SBSC バス上位 32 ビット (HPD63 ~ 32、HPDQM7 ~ 4) 端子のドライブ能力制御を行います。 00 : I/O バッファのドライブ能力小 01 : I/O バッファのドライブ能力小 10 : I/O バッファのドライブ能力大 11 : I/O バッファのドライブ能力大
9 8	DRV9 DRV8	0 0	R/W R/W	LCDC 関連端子および BSC 関連 (CS4、CS5B、CS6A、D15 ~ 0) 端子のドライブ能力制御を行います。 00 : I/O バッファのドライブ能力小 01 : I/O バッファのドライブ能力小 10 : I/O バッファのドライブ能力大 11 : I/O バッファのドライブ能力大
7 6	DRV7 DRV6	0 1	R/W R/W	BSC 関連 (A25 ~ 0、CS0、RD/WR、RD、WE3 ~ WE0、CKO、IRQ5、IRQ4、IOIS16、CS5A) 端子のドライブ能力制御を行います。 00 : I/O バッファのドライブ能力小 01 : I/O バッファのドライブ能力小 10 : I/O バッファのドライブ能力大 11 : I/O バッファのドライブ能力大
5 4	DRV5 DRV4	1 0	R/W R/W	SBSC の HPCLK 端子のドライブ能力制御を行います。 00 : I/O バッファのドライブ能力小 01 : I/O バッファのドライブ能力小 10 : I/O バッファのドライブ能力大 11 : I/O バッファのドライブ能力大
3 2	DRV3 DRV2	0 1	R/W R/W	SBSC 関連端子 (HPD31 ~ 0、HPA16 ~ 1、HPDQM3 ~ 0、HPRDWR、HPRAS、HPCAS、HPCKE、HPCS2、HPCS3) のドライブ能力制御を行います。 00 : I/O バッファのドライブ能力小 01 : I/O バッファのドライブ能力小 10 : I/O バッファのドライブ能力大 11 : I/O バッファのドライブ能力大
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 30. ピンファンクションコントローラ (PFC)

#### 30.2.36 SBSC タイミング制御レジスタ (SBSCR)

SBSCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SBSC の高速モードの制御をします。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SBS6	—	—	—	SBS2	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	SBS6	0	R/W	SBSC 高速モード選択。 0: 従来モード (HPCLK=100MHz 以下) 1: SBSC 高速モード (HPCLK=100MHz 以上)
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SBS2	0	R/W	HPCLK 選択 0: 低速用 1: 高速用
1, 0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 30.2.37 端子毎設定一覧表

表 30.3 に端子ごとの機能と制御レジスタのビット (Drive 制御、Hi-Z 制御、端子選択) 一覧を示します。

表 30.3 端子ごとの制御ビット一覧表

ポート 端子名	機能 1 端子名	機能 2 端子名	機能 3 端子名	Drive 制御 ビット	Hi-Z 制御 ビット	ポート制御 ビット	機能 1/2 選 択ビット	機能 3 選択 ビット
PTA0	-	LCDLCLK	-	-	HIZCRA[10]	PACR[1:0]	PSELD[10]	-
PTA1	-	-	-	-	HIZCRA[10]	PACR[3:2]	-	-
PTA2	-	-	-	-	HIZCRA[10]	PACR[5:4]	-	-
PTA3	-	-	-	-	HIZCRA[10]	PACR[7:6]	-	-
PTA4	-	-	-	-	HIZCRA[4]	PACR[9:8]	-	-
PTA5	-	SCIF1_TXD	-	DRVCR[15]	HIZCRA[5]	PACR[11:10]	PSELD[11]	-
PTA6	-	SCIF1_RXD	-	-	HIZCRA[5]	PACR[13:12]	PSELD[11]	-
PTA7	-	SCIF1_SCK	-	DRVCR[15]	HIZCRA[5]	PACR[15:14]	PSELD[11]	-
PTB0	HPD48	-	-	DRVCR[11:10]	-	PBCR[1:0]	-	-
PTB1	HPD49	-	-	DRVCR[11:10]	-	PBCR[3:2]	-	-
PTB2	HPD50	-	-	DRVCR[11:10]	-	PBCR[5:4]	-	-
PTB3	HPD51	-	-	DRVCR[11:10]	-	PBCR[7:6]	-	-
PTB4	HPD52	-	-	DRVCR[11:10]	-	PBCR[9:8]	-	-
PTB5	HPD53	-	-	DRVCR[11:10]	-	PBCR[11:10]	-	-
PTB6	HPD54	-	-	DRVCR[11:10]	-	PBCR[13:12]	-	-
PTB7	HPD55	-	-	DRVCR[11:10]	-	PBCR[15:14]	-	-
PTC0	HPDQM4	-	-	DRVCR[11:10]	-	PCCR[1:0]	-	-
PTC2	HPDQM5	-	-	DRVCR[11:10]	-	PCCR[5:4]	-	-
PTC3	HPDQM6	-	-	DRVCR[11:10]	-	PCCR[7:6]	-	-
PTC4	HPDQM7	-	-	DRVCR[11:10]	-	PCCR[9:8]	-	-
PTC5	IOIS16	-	-	-	-	PCCR[11:10]	-	-
PTC7	-	-	-	-	-	PCCR[15:14]	-	-
PTD0	SDHCLK	-	-	-	HIZCRA[12]	PDCR[1:0]	-	-
PTD1	SDHICMD	-	-	-	HIZCRA[12]	PDCR[3:2]	-	-
PTD2	SDHID0	-	-	-	HIZCRA[12]	PDCR[5:4]	-	-
PTD3	SDHID1	-	-	-	HIZCRA[12]	PDCR[7:6]	-	-
PTD4	IRQ2	SDHID2	-	-	HIZCRC[10]	PDCR[9:8]	PSELA[4]	-
PTD5	SDHID3	-	-	-	HIZCRA[12]	PDCR[11:10]	-	-
PTD6	SDHIWP	-	-	-	HIZCRA[13]	PDCR[13:12]	-	-
PTD7	SDHICD	-	-	-	HIZCRA[13]	PDCR[15:14]	-	-
PTE0	IRQ4	BS	-	DRVCR[7:6]	HIZCRC[12]	PECR[1:0]	PSELA[9]	-
PTE1	IRQ5	-	-	DRVCR[7:6]	HIZCRC[13]	PECR[3:2]	-	-

### 30. ピンファンクションコントローラ (PFC)

ポート 端子名	機能 1 端子名	機能 2 端子名	機能 3 端子名	Drive 制御 ビット	Hi-Z 制御 ビット	ポート制御 ビット	機能 1/2 選 択ビット	機能 3 選 択ビット
PTE4	A22	-	-	DRVCR[7:6]	-	PECR[9:8]	-	-
PTE5	A23	-	-	DRVCR[7:6]	-	PECR[11:10]	-	-
PTE6	A24	-	-	DRVCR[7:6]	-	PECR[13:12]	-	-
PTE7	A25	-	-	DRVCR[7:6]	-	PECR[15:14]	-	-
PTF0	SIOTXD	-	-	DRVCR[13]	HIZCRB[15]	PFCR[1:0]	-	-
PTF1	SIORXD	-	-	-	HIZCRB[15]	PFCR[3:2]	-	-
PTF2	SIOD	-	-	DRVCR[13]	HIZCRB[15]	PFCR[5:4]	-	-
PTF3	SIOSTRB0	-	-	DRVCR[13]	HIZCRB[15]	PFCR[7:6]	-	-
PTF4	SIOSTRB1	-	-	DRVCR[13]	HIZCRB[15]	PFCR[9:8]	-	-
PTF5	SIOSCK	-	-	DRVCR[13]	HIZCRB[15]	PFCR[11:10]	-	-
PTF6	SIOMCK	-	-	DRVCR[13]	HIZCRB[15]	PFCR[13:12]	-	-
PTG0	AUDATA0	-	-	-	-	PGCR[1:0]	-	-
PTG1	AUDATA1	-	-	-	-	PGCR[3:2]	-	-
PTG2	AUDATA2	-	-	-	-	PGCR[5:4]	-	-
PTG3	AUDATA3	-	-	-	-	PGCR[7:6]	-	-
PTG4	AUDSYNC	-	-	-	-	PGCR[9:8]	-	-
PTH0	LCDD16	-	-	DRVCR[9:8]	HIZCRA[8]	PHCR[1:0]	-	-
PTH1	LCDD17	-	-	DRVCR[9:8]	HIZCRA[8]	PHCR[3:2]	-	-
PTH2	LCDDON	LCDDON2	-	DRVCR[9:8]	HIZCRA[7]	PHCR[5:4]	PSEL2[2]	-
PTH3	LCDHSYN	LCDCS	-	DRVCR[9:8]	HIZCRA[7]	PHCR[7:6]	MSELCRB[8]	-
PTH4	LCDDISP	LCDRS	-	DRVCR[9:8]	HIZCRA[7]	PHCR[9:8]	MSELCRB[8]	-
PTH5	LCDVSYN	-	-	DRVCR[9:8]	HIZCRA[7]	PHCR[11:10]	-	-
PTH6	LCDVSYN2	DACK	-	DRVCR[9:8]	HIZCRA[8]	PHCR[13:12]	PSELE[12]	-
PTH7	LCDVCPWC	LCDVCPWC2	-	DRVCR[9:8]	HIZCRA[6]	PHCR[15:14]	PSEL3[3]	-
PTJ0	IRQ0	-	-	-	HIZCRC[8]	PJCR[1:0]	-	-
PTJ1	IRQ1	-	-	-	HIZCRC[9]	PJCR[3:2]	-	-
PTJ5	PDSTATUS	-	-	-	HIZCRC[5]	PJCR[11:10]	-	-
PTJ6	-	-	-	-	-	PJCR[13:12]	-	-
PTJ7	STATUS0	-	-	-	HIZCRC[7]	PJCR[15:14]	-	-
PTK0	-	SIOF1_MCK	-	DRVCR[13]	HIZCRB[4]	PKCR[1:0]	PSELB[1]	-
PTK1	-	SIOF1_TXD	-	DRVCR[13]	HIZCRB[4]	PKCR[3:2]	PSELB[0]	-
PTK2	-	SIOF1_RXD	-	-	HIZCRB[4]	PKCR[5:4]	PSELC[15]	-
PTK3	-	SIOF1_SCK	-	DRVCR[13]	HIZCRB[4]	PKCR[7:6]	PSELC[14]	-
PTK4	-	SIOF1_SYNC	-	DRVCR[13]	HIZCRB[4]	PKCR[9:8]	PSELC[13]	-
PTK5	-	SIOF1_SST1	-	DRVCR[13]	HIZCRB[4]	PKCR[11:10]	PSELC[12]	-
PTK6	-	SIOF1_SST2	-	DRVCR[13]	HIZCRB[4]	PKCR[13:12]	PSELC[11]	-



### 30. ピンファンクションコントローラ (PFC)

ポート 端子名	機能 1 端子名	機能 2 端子名	機能 3 端子名	Drive 制御 ビット	Hi-Z 制御 ビット	ポート制御 ビット	機能 1/2 選 択ビット	機能 3 選択 ビット
PTL0	LCDD8	-	-	DRVCR[9:8]	HIZCRA[8]	PLCR[1:0]	-	-
PTL1	LCDD9	-	-	DRVCR[9:8]	HIZCRA[8]	PLCR[3:2]	-	-
PTL2	LCDD10	-	-	DRVCR[9:8]	HIZCRA[8]	PLCR[5:4]	-	-
PTL3	LCDD11	-	-	DRVCR[9:8]	HIZCRA[8]	PLCR[7:6]	-	-
PTL4	LCDD12	-	-	DRVCR[9:8]	HIZCRA[8]	PLCR[9:8]	-	-
PTL5	LCDD13	-	-	DRVCR[9:8]	HIZCRA[8]	PLCR[11:10]	-	-
PTL6	LCDD14	-	-	DRVCR[9:8]	HIZCRA[8]	PLCR[13:12]	-	-
PTL7	LCDD15	-	-	DRVCR[9:8]	HIZCRA[8]	PLCR[15:14]	-	-
PTM0	LCDD0	-	-	DRVCR[9:8]	HIZCRA[8]	PMCR[1:0]	-	-
PTM1	LCDD1	-	-	DRVCR[9:8]	HIZCRA[8]	PMCR[3:2]	-	-
PTM2	LCDD2	-	-	DRVCR[9:8]	HIZCRA[8]	PMCR[5:4]	-	-
PTM3	LCDD3	-	-	DRVCR[9:8]	HIZCRA[8]	PMCR[7:6]	-	-
PTM4	LCDD4	-	-	DRVCR[9:8]	HIZCRA[8]	PMCR[9:8]	-	-
PTM5	LCDD5	-	-	DRVCR[9:8]	HIZCRA[8]	PMCR[11:10]	-	-
PTM6	LCDD6	-	-	DRVCR[9:8]	HIZCRA[8]	PMCR[13:12]	-	-
PTM7	LCDD7	-	-	DRVCR[9:8]	HIZCRA[8]	PMCR[15:14]	-	-
PTN0	HPD56	-	-	DRVCR[11:10]	-	PNCR[1:0]	-	-
PTN1	HPD57	-	-	DRVCR[11:10]	-	PNCR[3:2]	-	-
PTN2	HPD58	-	-	DRVCR[11:10]	-	PNCR[5:4]	-	-
PTN3	HPD59	-	-	DRVCR[11:10]	-	PNCR[7:6]	-	-
PTN4	HPD60	-	-	DRVCR[11:10]	-	PNCR[9:8]	-	-
PTN5	HPD61	-	-	DRVCR[11:10]	-	PNCR[11:10]	-	-
PTN6	HPD62	-	-	DRVCR[11:10]	-	PNCR[13:12]	-	-
PTN7	HPD63	-	-	DRVCR[11:10]	-	PNCR[15:14]	-	-
PTQ0	SIOF0_MCK	IRQ3	SIM_D	DRVCR[13]	HIZCRC[11]	PQCR[1:0]	PSELB[8]	PSELE[15]
PTQ1	SIOF0_TXD	IrDA_OUT	SIM_CLK	DRVCR[13]	HIZCRB[14]	PQCR[3:2]	PSELB[7]	PSELE[14]
PTQ2	SIOF0_RXD	IrDA_IN	-	-	HIZCRB[12]	PQCR[5:4]	PSELB[6]	-
PTQ3	SIOF0_SCK	-	-	DRVCR[13]	HIZCRB[13]	PQCR[7:6]	-	-
PTQ4	SIOF0_SYNC	-	-	DRVCR[13]	HIZCRB[13]	PQCR[9:8]	-	-
PTQ5	SIOF0_SS1	-	-	DRVCR[13]	HIZCRB[13]	PQCR[11:10]	-	-
PTQ6	SIOF0_SS2	SIM_RST	-	DRVCR[13]	HIZCRB[11]	PQCR[13:12]	PSELB[2]	-
PTR0	LCDVEPWC	LCDVEPWC2	-	DRVCR[9:8]	HIZCRA[6]	PRCR[1:0]	PSELB[3]	-
PTR1	LCDDCK	LCDDWR	-	DRVCR[9:8]	HIZCRA[8]	PRCR[3:2]	MSELCRB[8]	-
PTR2	WAIT	-	-	-	-	PRCR[5:4]	-	-
PTR3	CS6B/CE1B	LCDCS2	-	DRVCR[9:8]	HIZCRC[0]	PRCR[7:6]	PSELB[5]	-
PTR4	LCDRD	-	-	DRVCR[9:8]	HIZCRA[7]	PRCR[9:8]	-	-

### 30. ピンファンクションコントローラ (PFC)

ポート 端子名	機能 1 端子名	機能 2 端子名	機能 3 端子名	Drive 制御 ビット	Hi-Z 制御 ビット	ポート制御 ビット	機能 1/2 選 択ビット	機能 3 選択 ビット
PTS0	SCIF0_TXD	-	-	DRVCR[13]	HIZCRB[3]	PSCR[1:0]	-	-
PTS1	SCIF0_RXD	-	-	-	HIZCRB[3]	PSCR[3:2]	-	-
PTS2	SCIF0_SCK	TPUTO	-	DRVCR[13]	HIZCRB[3]	PSCR[5:4]	PSELD[8]	-
PTS3	SCIF0_RTS	-	-	DRVCR[13]	HIZCRB[3]	PSCR[7:6]	-	-
PTS4	SCIF0_CTS	-	-	-	HIZCRB[3]	PSCR[9:8]	-	-
PTT0	-	-	-	-	-	PTTR[1:0]	-	-
PTT1	DREQ0	-	-	-	-	PTTR[3:2]	-	-
PTT2	-	-	-	-	-	PTTR[5:4]	-	-
PTT3	-	-	-	-	-	PTTR[7:6]	-	-
PTT4	-	-	-	-	HIZCRB[0]	PTTR[9:8]	-	-
PTU0	-	-	-	-	HIZCRB[1]	PUCR[1:0]	-	-
PTU1	-	-	-	-	HIZCRB[1]	PUCR[3:2]	-	-
PTU2	-	-	-	-	HIZCRB[0]	PUCR[5:4]	-	-
PTU3	-	-	-	-	HIZCRB[0]	PUCR[7:6]	-	-
PTU4	-	-	-	-	HIZCRB[0]	PUCR[9:8]	-	-
PTV0	-	-	-	-	HIZCRA[11]	PVCR[1:0]	-	-
PTV1	-	-	-	-	HIZCRA[11]	PVCR[3:2]	-	-
PTV2	-	-	-	-	HIZCRA[11]	PVCR[5:4]	-	-
PTV3	-	-	-	-	HIZCRA[11]	PVCR[7:6]	-	-
PTV4	-	-	-	-	HIZCRA[11]	PVCR[9:8]	-	-
PTW0	-	SCIF1_RTS	-	DRVCR[15]	HIZCRA[10]	PWCR[1:0]	PSELD[12]	-
PTW1	-	SCIF1_CTS	-	DRVCR[15]	HIZCRA[10]	PWCR[3:2]	PSELD[12]	-
PTW2	-	SCIF2_RXD	-	DRVCR[15]	HIZCRA[10]	PWCR[5:4]	PSELD[13]	-
PTW3	-	SCIF2_TXD	-	DRVCR[15]	HIZCRA[9]	PWCR[7:6]	PSELD[13]	-
PTW4	-	SCIF2_SCK	-	DRVCR[15]	HIZCRA[9]	PWCR[9:8]	PSELD[13]	-
PTW5	-	SCIF2_RTS	-	DRVCR[15]	HIZCRA[9]	PWCR[11:10]	PSELD[13]	-
PTW6	-	SCIF2_CTS	-	-	HIZCRA[9]	PWCR[13:12]	PSELD[13]	-
PTX0	LCDD18	-	-	DRVCR[9:8]	HIZCRA[8]	PXCR[1:0]	-	-
PTX1	LCDD19	-	-	DRVCR[9:8]	HIZCRA[8]	PXCR[3:2]	-	-
PTX2	LCDD20	-	-	DRVCR[9:8]	HIZCRA[8]	PXCR[5:4]	-	-
PTX3	LCDD21	-	-	DRVCR[9:8]	HIZCRA[8]	PXCR[7:6]	-	-
PTX4	LCDD22	-	-	DRVCR[9:8]	HIZCRA[8]	PXCR[9:8]	-	-
PTX5	LCDD23	-	-	DRVCR[9:8]	HIZCRA[8]	PXCR[11:10]	-	-
PTX6	CS6A/CE2B	-	-	DRVCR[9:8]	-	PXCR[13:12]	-	-
PTY0	KEYOUT0	-	-	-	HIZCRA[14]	PYCR[1:0]	-	-
PTY1	KEYOUT1	-	-	-	HIZCRA[14]	PYCR[3:2]	-	-

### 30. ピンファンクションコントローラ (PFC)

ポート 端子名	機能 1 端子名	機能 2 端子名	機能 3 端子名	Drive 制御 ビット	Hi-Z 制御 ビット	ポート制御 ビット	機能 1/2 選 択ビット	機能 3 選択 ビット
PTY2	KEYOUT2	-	-	-	HIZCRA[14]	PYCR[5:4]	-	-
PTY3	KEYOUT3	-	-	-	HIZCRA[14]	PYCR[7:6]	-	-
PTY4	KEYOUT4/IN6	-	-	-	HIZCRA[14]	PYCR[9:8]	-	-
PTY5	KEYOUT5/IN5	-	-	-	HIZCRA[14]	PYCR[11:10]	-	-
PTZ1	KEYIN0	IRQ6	-	-	HIZCRC[14]	PZCR[3:2]	PSELA[15]	-
PTZ2	KEYIN1	-	-	-	HIZCRA[14]	PZCR[5:4]	-	-
PTZ3	KEYIN2	-	-	-	HIZCRA[14]	PZCR[7:6]	-	-
PTZ4	KEYIN3	-	-	-	HIZCRA[14]	PZCR[9:8]	-	-
PTZ5	KEYIN4	IRQ7	-	-	HIZCRC[15]	PZCR[11:10]	PSELA[14]	-
	A21 - 0	-	-	DRVCR[7:6]	-	-	-	-
	CKO	-	-	DRVCR[7:6]	-	-	-	-
	$\overline{CS0}$	-	-	DRVCR[7:6]	-	-	-	-
	$\overline{CS4}$	-	-	DRVCR[9:8]	-	-	-	-
	$\overline{CS5A/CE2A}$	-	-	DRVCR[7:6]	-	-	-	-
	$\overline{CS5B/CE1A}$	-	-	DRVCR[9:8]	-	-	-	-
	D31 - 16	HPD47 - 32	-	DRVCR[11:10]	-	-	(MD3 端子)	-
	D15 - 0	-	-	DRVCR[9:8]	-	-	-	-
	$\overline{RD}$	-	-	DRVCR[7:6]	-	-	-	-
	$\overline{RD/WR}$	-	-	DRVCR[7:6]	-	-	-	-
	$\overline{WE0}$	-	-	DRVCR[7:6]	-	-	-	-
	$\overline{WE1}$	-	-	DRVCR[7:6]	-	-	-	-
	$\overline{WE2/IOICRD}$	-	-	DRVCR[7:6]	-	-	-	-
	$\overline{WE3/IOICWR}$	-	-	DRVCR[7:6]	-	-	-	-
	HPCLK	-	-	DRVCR[5:4]	-	-	-	-
	HPD31 - 0	-	-	DRVCR[3:2]	-	-	-	-
	HPA16 - 1	-	-	DRVCR[3:2]	-	-	-	-
	HPRDWR	-	-	DRVCR[3:2]	-	-	-	-
	HPRAS	-	-	DRVCR[3:2]	-	-	-	-
	$\overline{HPCAS}$	-	-	DRVCR[3:2]	-	-	-	-
	HPDQM3 - 0	-	-	DRVCR[3:2]	-	-	-	-
	HPCKE	-	-	DRVCR[3:2]	-	-	-	-
	$\overline{HPCS2}$	-	-	DRVCR[3:2]	-	-	-	-
	$\overline{HPCS3}$	-	-	DRVCR[3:2]	-	-	-	-

## 30. ピンファンクションコントローラ (PFC)

---

## 31. I/O ポート

本 LSI には 23 本の汎用ポート（ポート A～Z）があります。それぞれのポートの端子は、他の端子機能を兼ねているマルチプレクス端子で、ピンファンクションコントローラ（PFC）で端子機能とプルアップ MOS 制御の選択を行います。ポートは、それぞれ、端子のデータを格納するためのデータレジスタを 1 本ずつ持っています。

### 31.1 レジスタの説明

I/O ポートのレジスタ構成を表 31.1 に示します。また、各処理モードにおけるレジスタの状態を表 31.2 に示します。表 31.3 に、データレジスタへの書き込み / 読み出し時の動作を示します。

表 31.1 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
ポート A データレジスタ	PADR	R/W	H'A405 0120	8
ポート B データレジスタ	PBDR	R/W	H'A405 0122	8
ポート C データレジスタ	PCDR	R/W	H'A405 0124	8
ポート D データレジスタ	PDDR	R/W	H'A405 0126	8
ポート E データレジスタ	PEDR	R/W	H'A405 0128	8
ポート F データレジスタ	PFDR	R/W	H'A405 012A	8
ポート G データレジスタ	PGDR	R/W	H'A405 012C	8
ポート H データレジスタ	PHDR	R/W	H'A405 012E	8
ポート J データレジスタ	PJDR	R/W	H'A405 0130	8
ポート K データレジスタ	PKDR	R/W	H'A405 0132	8
ポート L データレジスタ	PLDR	R/W	H'A405 0134	8
ポート M データレジスタ	PMDR	R/W	H'A405 0136	8
ポート N データレジスタ	PNDR	R/W	H'A405 0138	8
ポート Q データレジスタ	PQDR	R/W	H'A405 013A	8
ポート R データレジスタ	PRDR	R/W	H'A405 013C	8
ポート S データレジスタ	PSDR	R/W	H'A405 013E	8
ポート T データレジスタ	PTDR	R/W	H'A405 0160	8
ポート U データレジスタ	PUDR	R/W	H'A405 0162	8
ポート V データレジスタ	PVDR	R/W	H'A405 0164	8
ポート W データレジスタ	PWDR	R/W	H'A405 0166	8
ポート X データレジスタ	PXDR	R/W	H'A405 0168	8
ポート Y データレジスタ	PYDR	R/W	H'A405 016A	8
ポート Z データレジスタ	PZDR	R/W	H'A405 016C	8

表 31.2 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェアス タンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
PADR	初期化	保持	保持	-	初期化	保持
PBDR	初期化	保持	保持	-	初期化	保持
PCDR	初期化	保持	保持	-	初期化	保持
PDDR	初期化	保持	保持	-	初期化	保持
PEDR	初期化	保持	保持	-	初期化	保持
PFDR	初期化	保持	保持	-	初期化	保持
PGDR	初期化	保持	保持	-	初期化	保持
PHDR	初期化	保持	保持	-	初期化	保持
PJDR	初期化	保持	保持	-	初期化	保持
PKDR	初期化	保持	保持	-	初期化	保持
PLDR	初期化	保持	保持	-	初期化	保持
PMDR	初期化	保持	保持	-	初期化	保持
PNDR	初期化	保持	保持	-	初期化	保持
PQDR	初期化	保持	保持	-	初期化	保持
PRDR	初期化	保持	保持	-	初期化	保持
PSDR	初期化	保持	保持	-	初期化	保持
PTDR	初期化	保持	保持	-	初期化	保持
PUDR	初期化	保持	保持	-	初期化	保持
PVDR	初期化	保持	保持	-	初期化	保持
PWDR	初期化	保持	保持	-	初期化	保持
PYDR	初期化	保持	保持	-	初期化	保持
PZDR	初期化	保持	保持	-	初期化	保持

表 31.3 ポートデータレジスタの読み出し / 書き込み動作

ポートコントロールレジスタの設定	読み出し時の動作	書き込み時の動作
汎用ポート以外の機能	データレジスタの値が読み出される	データレジスタに書き込めるが、端子の状態に影響しない
ポート出力	データレジスタの値が読み出される	書き込んだ値が端子から出力される
ポート入力 (プルアップ/ダウン MOS オン)	端子レベルが読み出される	データレジスタに書き込めるが、端子の状態に影響しない
ポート入力 (プルアップ/ダウン MOS オフ)	端子レベルが読み出される	データレジスタに書き込めるが、端子の状態に影響しない

## 31.2 ポート A

ポート A は表 31.4 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート A コントロールレジスタ (PACR) で行います。

表 31.4 ポート A の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTA7	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PA7DT
PTA6	-	入力 (プルダウン ON)	入力 (プルダウン OFF)	PA6DT
PTA5	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PA5DT
PTA4	-	入力 (プルダウン ON)	入力 (プルダウン OFF)	PA4DT
PTA3	-	入力 (プルダウン ON)	入力 (プルダウン OFF)	PA3DT
PTA2	-	入力 (プルダウン ON)	入力 (プルダウン OFF)	PA2DT
PTA1	-	入力 (プルダウン ON)	入力 (プルダウン OFF)	PA1DT
PTA0	-	入力 (プルダウン ON)	入力 (プルダウン OFF)	PA0DT

### 31.2.1 ポート A データレジスタ (PADR)

PADR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTA7 ~ PTA0 端子のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PA7DT	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	PA1DT	PA0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PA7DT	0	R/W	表 31.3 を参照してください。
6	PA6DT	0	R/W	
5	PA5DT	0	R/W	
4	PA4DT	0	R/W	
3	PA3DT	0	R/W	
2	PA2DT	0	R/W	
1	PA1DT	0	R/W	
0	PA0DT	0	R/W	

### 31.3 ポート B

ポート B は表 31.5 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート B コントロールレジスタ (PBCR) で行います。

表 31.5 ポート B の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTB7	出力	-	入力 (プルアップ OFF)	PB7DT
PTB6	出力	-	入力 (プルアップ OFF)	PB6DT
PTB5	出力	-	入力 (プルアップ OFF)	PB5DT
PTB4	出力	-	入力 (プルアップ OFF)	PB4DT
PTB3	出力	-	入力 (プルアップ OFF)	PB3DT
PTB2	出力	-	入力 (プルアップ OFF)	PB2DT
PTB1	出力	-	入力 (プルアップ OFF)	PB1DT
PTB0	出力	-	入力 (プルアップ OFF)	PB0DT

#### 31.3.1 ポート B データレジスタ (PBDR)

PBDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTB7 ~ PTB0 端子のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	PB0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PB7DT	0	R/W	表 31.3 を参照してください。
6	PB6DT	0	R/W	
5	PB5DT	0	R/W	
4	PB4DT	0	R/W	
3	PB3DT	0	R/W	
2	PB2DT	0	R/W	
1	PB1DT	0	R/W	
0	PB0DT	0	R/W	



## 31.4 ポート C

ポート C は表 31.6 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート C コントロールレジスタ (PCCR) で行います。

表 31.6 ポート C の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTC7	-	入力 (プルアップ ON)	入力 (プルアップ OFF)	PC7DT
PTC5	-	入力 (プルアップ ON)	入力 (プルアップ OFF)	PC5DT
PTC4	出力	-	入力 (プルアップ OFF)	PC4DT
PTC3	出力	-	入力 (プルアップ OFF)	PC3DT
PTC2	出力	-	入力 (プルアップ OFF)	PC2DT
PTC0	出力	-	入力 (プルアップ OFF)	PC0DT

### 31.4.1 ポート C データレジスタ (PCDR)

PCDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTC7 ~ PTC0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PC7DT	—	PC5DT	PC4DT	PC3DT	PC2DT	—	PC0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7	PC7DT	0	R/W	表 31.3 を参照してください。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
5	PC5DT	0	R/W	表 31.3 を参照してください。
4	PC4DT	0	R/W	
3	PC3DT	0	R/W	
2	PC2DT	0	R/W	
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
0	PC0DT	0	R/W	表 31.3 を参照してください。

## 31.5 ポート D

ポート D は表 31.7 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート D コントロールレジスタ (PDCR) で行います。

表 31.7 ポート D の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTD7	-	入力 (プルアップ ON)	入力 (プルアップ OFF)	PD7DT
PTD6	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PD6DT
PTD5	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PD5DT
PTD4	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PD4DT
PTD3	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PD3DT
PTD2	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PD2DT
PTD1	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PD1DT
PTD0	出力	-	-	PD0DT

### 31.5.1 ポート D データレジスタ (PDDR)

PDDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTD7 ~ PTD0 端子のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PD7DT	0	R/W	表 31.3 を参照してください。
6	PD6DT	0	R/W	
5	PD5DT	0	R/W	
4	PD4DT	0	R/W	
3	PD3DT	0	R/W	
2	PD2DT	0	R/W	
1	PD1DT	0	R/W	
0	PD0DT	0	R/W	

## 31.6 ポート E

ポート E は表 31.8 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート E コントロールレジスタ (PECR) で行います。

表 31.8 ポート E の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTE7	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PE7DT
PTE6	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PE6DT
PTE5	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PE5DT
PTE4	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PE4DT
PTE1	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PE1DT
PTE0	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PE0DT

### 31.6.1 ポート E データレジスタ (PEDR)

PEDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTE7 ~ PTE0 端子のデータを格納します。

ビット: 7 6 5 4 3 2 1 0

PE7DT	PE6DT	PE5DT	PE4DT	—	—	PE1DT	PE0DT
-------	-------	-------	-------	---	---	-------	-------

初期値: 0 0 0 0 0 0 0 0  
R/W: R/W R/W R/W R/W R R R/W R/W

ビット	ビット名	初期値	R/W	説明
7	PE7DT	0	R/W	表 31.3 を参照してください。
6	PE6DT	0	R/W	
5	PE5DT	0	R/W	
4	PE4DT	0	R/W	
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
1	PE1DT	0	R/W	表 31.3 を参照してください。
0	PE0DT	0	R/W	

## 31. I/O ポート

### 31.7 ポート F

ポート F は表 31.9 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート F コントロールレジスタ (PFDR) で行います。

表 31.9 ポート F の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTF6	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PF6DT
PTF5	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PF5DT
PTF4	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PF4DT
PTF3	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PF3DT
PTF2	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PF2DT
PTF1	-	入力 (プルダウン ON)	入力 (プルダウン OFF)	PF1DT
PTF0	出力	-	-	PF0DT

#### 31.7.1 ポート F データレジスタ (PFDR)

PFDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTF6 ~ PTF0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	—	PF6DT	PF5DT	PF4DT	PF3DT	PF2DT	PF1DT	PF0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
6	PF6DT	0	R/W	表 31.3 を参照してください。
5	PF5DT	0	R/W	
4	PF4DT	0	R/W	
3	PF3DT	0	R/W	
2	PF2DT	0	R/W	
1	PF1DT	0	R/W	
0	PF0DT	0	R/W	

## 31.8 ポート G

ポート G は表 31.10 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート G コントロールレジスタ (PGCR) で行います。

表 31.10 ポート G の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTG4	出力	-	-	PG4DT
PTG3	出力	-	-	PG3DT
PTG2	出力	-	-	PG2DT
PTG1	出力	-	-	PG1DT
PTG0	出力	-	-	PG0DT

### 31.8.1 ポート G データレジスタ (PGDR)

PGDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTG4 ~ PTG0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	PG4DT	PG3DT	PG2T	PG1DT	PG0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
4	PG4DT	0	R/W	表 31.3 を参照してください。
3	PG3DT	0	R/W	
2	PG2DT	0	R/W	
1	PG1DT	0	R/W	
0	PG0DT	0	R/W	

### 31.9 ポート H

ポート H は表 31.11 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート H コントロールレジスタ (PHCR) で行います。

表 31.11 ポート H の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTH7	出力	-	-	PH7DT
PTH6	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PH6DT
PTH5	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PH5DT
PTH4	出力	-	-	PH4DT
PTH3	出力	-	-	PH3DT
PTH2	出力	-	-	PH2DT
PTH1	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PH1DT
PTH0	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PH0DT

#### 31.9.1 ポート H データレジスタ (PHDR)

PHDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTH7 ~ PTH0 端子のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PH7DT	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PH7DT	0	R/W	表 31.3 を参照してください。
6	PH6DT	0	R/W	
5	PH5DT	0	R/W	
4	PH4DT	0	R/W	
3	PH3DT	0	R/W	
2	PH2DT	0	R/W	
1	PH1DT	0	R/W	
0	PH0DT	0	R/W	

## 31.10 ポート J

ポート J は表 31.12 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート J コントロールレジスタ (PJCR) で行います。

表 31.12 ポート J の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTJ7	出力	-	-	PJ7DT
PTJ6	出力	-	-	PJ6DT
PTJ5	出力	-	-	PJ5DT
PTJ1	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PJ1DT
PTJ0	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PJ0DT

### 31.10.1 ポート J データレジスタ (PJDR)

PJDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTJ7 ~ PTJ0 端子のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PJ7DT	PJ6DT	PJ5DT	—	—	—	PJ1DT	PJ0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PJ7DT	0	R/W	表 31.3 を参照してください。
6	PJ6DT	0	R/W	
5	PJ5DT	0	R/W	
4~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
1	PJ1DT	0	R/W	表 31.3 を参照してください。
0	PJ0DT	0	R/W	

### 31.11 ポート K

ポート K は表 31.13 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート K コントロールレジスタ (PKCR) で行います。

表 31.13 ポート K の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTK6	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PK6DT
PTK5	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PK5DT
PTK4	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PK4DT
PTK3	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PK3DT
PTK2	-	入力 (プルダウン ON)	入力 (プルダウン OFF)	PK2DT
PTK1	出力	-	-	PK1DT
PTK0	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PK0DT

#### 31.11.1 ポート K データレジスタ (PKDR)

PKDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTK6 ~ PTK0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	—	PK6DT	PK5DT	PK4DT	PK3DT	PK2DT	PK1DT	PK0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
6	PK6DT	0	R/W	表 31.3 を参照してください。
5	PK5DT	0	R/W	
4	PK4DT	0	R/W	
3	PK3DT	0	R/W	
2	PK2DT	0	R/W	
1	PK1DT	0	R/W	
0	PK0DT	0	R/W	



## 31.12 ポート L

ポート L は表 31.14 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート L コントロールレジスタ (PLCR) で行います。

表 31.14 ポート L の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTL7	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PL7DT
PTL6	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PL6DT
PTL5	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PL5DT
PTL4	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PL4DT
PTL3	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PL3DT
PTL2	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PL2DT
PTL1	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PL1DT
PTL0	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PL0DT

### 31.12.1 ポート L データレジスタ (PLDR)

PLDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTL7 ~ PTL0 端子のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PL7DT	PL6DT	PL5DT	PL4DT	PL3DT	PL2DT	PL1DT	PL0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PL7DT	0	R/W	表 31.3 を参照してください。
6	PL6DT	0	R/W	
5	PL5DT	0	R/W	
4	PL4DT	0	R/W	
3	PL3DT	0	R/W	
2	PL2DT	0	R/W	
1	PL1DT	0	R/W	
0	PL0DT	0	R/W	

### 31.13 ポート M

ポート M は表 31.15 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート M コントロールレジスタ (PMCR) で行います。

表 31.15 ポート M の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTM7	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PM7DT
PTM6	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PM6DT
PTM5	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PM5DT
PTM4	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PM4DT
PTM3	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PM3DT
PTM2	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PM2DT
PTM1	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PM1DT
PTM0	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PM0DT

#### 31.13.1 ポート M データレジスタ (PMDR)

PMDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTM7 ~ PTM0 端子のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PM7DT	PM6DT	PM5DT	PM4DT	PM3DT	PM2DT	PM1DT	PM0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PM7DT	0	R/W	表 31.3 を参照してください。
6	PM6DT	0	R/W	
5	PM5DT	0	R/W	
4	PM4DT	0	R/W	
3	PM3DT	0	R/W	
2	PM2DT	0	R/W	
1	PM1DT	0	R/W	
0	PM0DT	0	R/W	

## 31.14 ポート N

ポート N は表 31.16 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート N コントロールレジスタ (PNCR) で行います。

表 31.16 ポート N の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTN7	出力	-	入力 (プルアップ OFF)	PN7DT
PTN6	出力	-	入力 (プルアップ OFF)	PN6DT
PTN5	出力	-	入力 (プルアップ OFF)	PN5DT
PTN4	出力	-	入力 (プルアップ OFF)	PN4DT
PTN3	出力	-	入力 (プルアップ OFF)	PN3DT
PTN2	出力	-	入力 (プルアップ OFF)	PN2DT
PTN1	出力	-	入力 (プルアップ OFF)	PN1DT
PTN0	出力	-	入力 (プルアップ OFF)	PN0DT

### 31.14.1 ポート N データレジスタ (PNDR)

PNDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTN7 ~ PTN0 端子のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PN7DT	PN6DT	PN5DT	PN4DT	PN3DT	PN2DT	PN1DT	PN0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PN7DT	0	R/W	表 31.3 を参照してください。
6	PN6DT	0	R/W	
5	PN5DT	0	R/W	
4	PN4DT	0	R/W	
3	PN3DT	0	R/W	
2	PN2DT	0	R/W	
1	PN1DT	0	R/W	
0	PN0DT	0	R/W	

### 31.15 ポート Q

ポート Q は表 31.17 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート Q コントロールレジスタ (PQCR) で行います。

表 31.17 ポート Q の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTQ6	出力	-	-	PQ6DT
PTQ5	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PQ5DT
PTQ4	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PQ4DT
PTQ3	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PQ3DT
PTQ2	-	入力 (プルダウン ON)	入力 (プルダウン OFF)	PQ2DT
PTQ1	出力	-	-	PQ1DT
PTQ0	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PQ0DT

#### 31.15.1 ポート Q データレジスタ (PQDR)

PQDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTQ6 ~ PTQ0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	—	PQ6DT	PQ5DT	PQ4DT	PQ3DT	PQ2DT	PQ1DT	PQ0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
6	PQ6DT	0	R/W	表 31.3 を参照してください。
5	PQ5DT	0	R/W	
4	PQ4DT	0	R/W	
3	PQ3DT	0	R/W	
2	PQ2DT	0	R/W	
1	PQ1DT	0	R/W	
0	PQ0DT	0	R/W	

## 31.16 ポート R

ポート R は表 31.18 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート R コントロールレジスタ (PRCR) で行います。

表 31.18 ポート R の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTR4	出力	-	-	PR4DT
PTR3	出力	-	-	PR3DT
PTR2	-	入力 (プルアップ ON)	入力 (プルアップ OFF)	PR2DT
PTR1	出力	-	-	PR1DT
PTR0	出力	-	-	PR0DT

### 31.16.1 ポート R データレジスタ (PRDR)

PRDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTR4~PTR0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	PR4DT	PR3DT	PR2DT	PR1DT	PR0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
4	PR4DT	0	R/W	表 31.3 を参照してください。
3	PR3DT	0	R/W	
2	PR2DT	0	R/W	
1	PR1DT	0	R/W	
0	PR0DT	0	R/W	

### 31.17 ポート S

ポート S は表 31.19 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート S コントロールレジスタ (PSCR) で行います。

表 31.19 ポート S の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTS4	-	入力 (プルダウン ON)	入力 (プルダウン OFF)	PS4DT
PTS3	出力	-	-	PS3DT
PTS2	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PS2DT
PTS1	-	入力 (プルダウン ON)	入力 (プルダウン OFF)	PS1DT
PTS0	出力	-	-	PS0DT

#### 31.17.1 ポート S データレジスタ (PSDR)

PSDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTS4 ~ PTS0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	PS4DT	PS3DT	PS2DT	PS1DT	PS0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
4	PS4DT	0	R/W	表 31.3 を参照してください。
3	PS3DT	0	R/W	
2	PS2DT	0	R/W	
1	PS1DT	0	R/W	
0	PS0DT	0	R/W	

## 31.18 ポート T

ポート T は表 31.20 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート T コントロールレジスタ (PTCR) で行います。

表 31.20 ポート T の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTT4	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PT4DT
PTT3	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PT3DT
PTT2	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PT2DT
PTT1	-	入力 (プルダウン ON)	入力 (プルダウン OFF)	PT1DT
PTT0	出力	-	-	PT0DT

### 31.18.1 ポート T データレジスタ (PTDR)

PTDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTT4 ~ PTT0 端子のデータを格納します。

ビット: 7 6 5 4 3 2 1 0

—	—	—	PT4DT	PT3DT	PT2DT	PT1DT	—
初期値:	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
4	PT4DT	0	R/W	表 31.3 を参照してください。
3	PT3DT	0	R/W	
2	PT2DT	0	R/W	
1	PT1DT	0	R/W	
0	PT0DT	0	R/W	

## 31.19 ポート U

ポート U は表 31.21 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート U コントロールレジスタ (PUCR) で行います。

表 31.21 ポート U の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTU4	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PU4DT
PTU3	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PU3DT
PTU2	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PU2DT
PTU1	-	入力 (プルアップ ON)	入力 (プルアップ OFF)	PU1DT
PTU0	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PU0DT

## 31.19.1 ポート U データレジスタ (PUDR)

PUDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTU4 ~ PTU0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	PU4DT	PU3DT	PU2DT	PU1DT	PU0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
4	PU4DT	0	R/W	表 31.3 を参照してください。
3	PU3DT	0	R/W	
2	PU2DT	0	R/W	
1	PU1DT	0	R/W	
0	PU0DT	0	R/W	



## 31.20 ポート V

ポート V は表 31.22 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート V コントロールレジスタ (PVCR) で行います。

表 31.22 ポート V の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTV4	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PV4DT
PTV3	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PV3DT
PTV2	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PV2DT
PTV1	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PV1DT
PTV0	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PV0DT

### 31.20.1 ポート V データレジスタ (PVDR)

PVDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTV4 ~ PTV0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	PV4DT	PV3DT	PV2DT	PV1DT	PV0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
4	PV4DT	0	R/W	表 31.3 を参照してください。
3	PV3DT	0	R/W	
2	PV2DT	0	R/W	
1	PV1DT	0	R/W	
0	PV0DT	0	R/W	

## 31. I/O ポート

### 31.21 ポート W

ポート W は表 31.23 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート W コントロールレジスタ (PWCR) で行います。

表 31.23 ポート U の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTW6	-	入力 (プルダウン ON)	入力 (プルダウン OFF)	PW6DT
PTW5	出力	-	-	PW5DT
PTW4	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PW4DT
PTW3	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PW3DT
PTW2	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PW2DT
PTW1	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PW1DT
PTW0	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PW0DT

#### 31.21.1 ポート W データレジスタ (PWDR)

PWDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTW6 ~ PTW0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	—	PW6DT	PW5DT	PW4DT	PW3DT	PW2DT	PW1DT	PW0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
6	PW6DT	0	R/W	表 31.3 を参照してください。
5	PW5DT	0	R/W	
4	PW4DT	0	R/W	
3	PW3DT	0	R/W	
2	PW2DT	0	R/W	
1	PW1DT	0	R/W	
0	PW0DT	0	R/W	

## 31.22 ポート X

ポート X は表 31.24 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート X コントロールレジスタ (PXCR) で行います。

表 31.24 ポート X の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	
PTX6	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PX6DT
PTX5	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PX5DT
PTX4	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PX4DT
PTX3	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PX3DT
PTX2	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PX2DT
PTX1	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PX1DT
PTX0	出力	入力 (プルダウン ON)	入力 (プルダウン OFF)	PX0DT

### 31.22.1 ポート X データレジスタ (PXDR)

PXDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTX6 ~ PTX0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	—	PX6DT	PX5DT	PX4DT	PX3DT	PX2DT	PX1DT	PX0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
6	PX6DT	0	R/W	表 31.3 を参照してください。
5	PX5DT	0	R/W	
4	PX4DT	0	R/W	
3	PX3DT	0	R/W	
2	PX2DT	0	R/W	
1	PX1DT	0	R/W	
0	PX0DT	0	R/W	

### 31.23 ポート Y

ポート Y は表 31.25 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート Y コントロールレジスタ (PYCR) で行います。

表 31.25 ポート Y の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTY5	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PY5DT
PTY4	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PY4DT
PTY3	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PY3DT
PTY2	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PY2DT
PTY1	出力	-	-	PY1DT
PTY0	出力	入力 (プルアップ ON)	入力 (プルアップ OFF)	PY0DT

#### 31.23.1 ポート Y データレジスタ (PYDR)

PYDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTY5 ~ PTY0 端子のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	—	PY6DT	PY5DT	PY4DT	PY3DT	PY2DT	PY1DT	PY0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
5	PY5DT	0	R/W	表 31.3 を参照してください。
4	PY4DT	0	R/W	
3	PY3DT	0	R/W	
2	PY2DT	0	R/W	
1	PY1DT	0	R/W	
0	PY0DT	0	R/W	

## 31.24 ポート Z

ポート Z は表 31.26 に示すような端子構成を持つ入出力ポートです。マルチプレクス機能の選択やプルアップ / プルダウン MOS の制御は、PFC のポート Z コントロールレジスタ (PZCR) で行います。

表 31.26 ポート Z の構成

ポート名	設定可能な汎用ポート機能			データレジスタの対応ビット
PTZ5	-	入力 (プルアップ ON)	入力 (プルアップ OFF)	PZ5DT
PTZ4	-	入力 (プルアップ ON)	入力 (プルアップ OFF)	PZ4DT
PTZ3	-	入力 (プルアップ ON)	入力 (プルアップ OFF)	PZ3DT
PTZ2	-	入力 (プルアップ ON)	入力 (プルアップ OFF)	PZ2DT
PTZ1	-	入力 (プルアップ ON)	入力 (プルアップ OFF)	PZ1DT

### 31.24.1 ポート Z データレジスタ (PZDR)

PZDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTZ5 ~ PTZ1 端子のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	—	—	PZ5DT	PZ4DT	PZ3DT	PZ2DT	PZ1DT	PZ0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
5	PZ5DT	0	R/W	表 31.3 を参照してください。
4	PZ4DT	0	R/W	
3	PZ3DT	0	R/W	
2	PZ2DT	0	R/W	
1	PZ1DT	0	R/W	
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。



---

## 32. ユーザブ레이크コントローラ (UBC)

---

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはオペランドの読み出し書き込み、オペランドのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングがあります。

### 32.1 特長

1. 次のようなブ레이크比較条件を設定できます

ブ레이크チャンネル数：2 チャンネル (チャンネル 0 と 1)

ユーザブ레이크は、チャンネル 0、1 独立に、または連続した (シーケンシャル) 1 つの条件として設定することができます (シーケンシャルブ레이크設定：チャンネル 0 のブ레이크条件が一致した後チャンネル 1 のブ레이크条件の一致が発生、またはチャンネル 1 のブ레이크条件が一致した後チャンネル 0 のブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき)。

- アドレス

ASID とアドレス 32 ビットから構成された 40 ビットの比較において、ASID は全ビット比較または全ビットマスクのいずれかを選択できます。

アドレス 32 ビットの比較はビットごとにマスク可能で、ユーザは下位 12 ビット (4K バイトページ)、下位 10 ビット (1K バイトページ)、あるいは任意の大きさのページ等でアドレスをマスク可能です。

3 本のアドレスバス (オペランドアドレスバス (SAB)、X メモリアドレスバス (XAB) および Y メモリアドレスバス (YAB)) の 1 つを選択できます。

- データ

チャンネル 1 のみ、32 ビットマスク可能。

3 本のデータバス (オペランドデータバス (SDB)、X メモリデータバス (XDB)、および Y メモリデータバス (YDB)) の 1 つを選択できます。

- バスサイクル

命令フェッチでのブ레이크 (PCブ레이크) またはオペランドアクセスでのブ레이크

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、およびロングワードをサポート

## 32. ユーザブレイクコントローラ (UBC)

2. ユーザ指定のユーザブレイク条件例外処理ルーチンを実行可能。
3. PC ブレイクにおいて、ブレイクを命令の実行の前に設定するか、後に設定するかを指定可能。
4. ブレイク条件 (チャンネル1 に対してのみ) として、最大  $2^{12} - 1$  回まで繰り返し回数を指定可能。

図 32.1 に UBC のブロック図を示します。

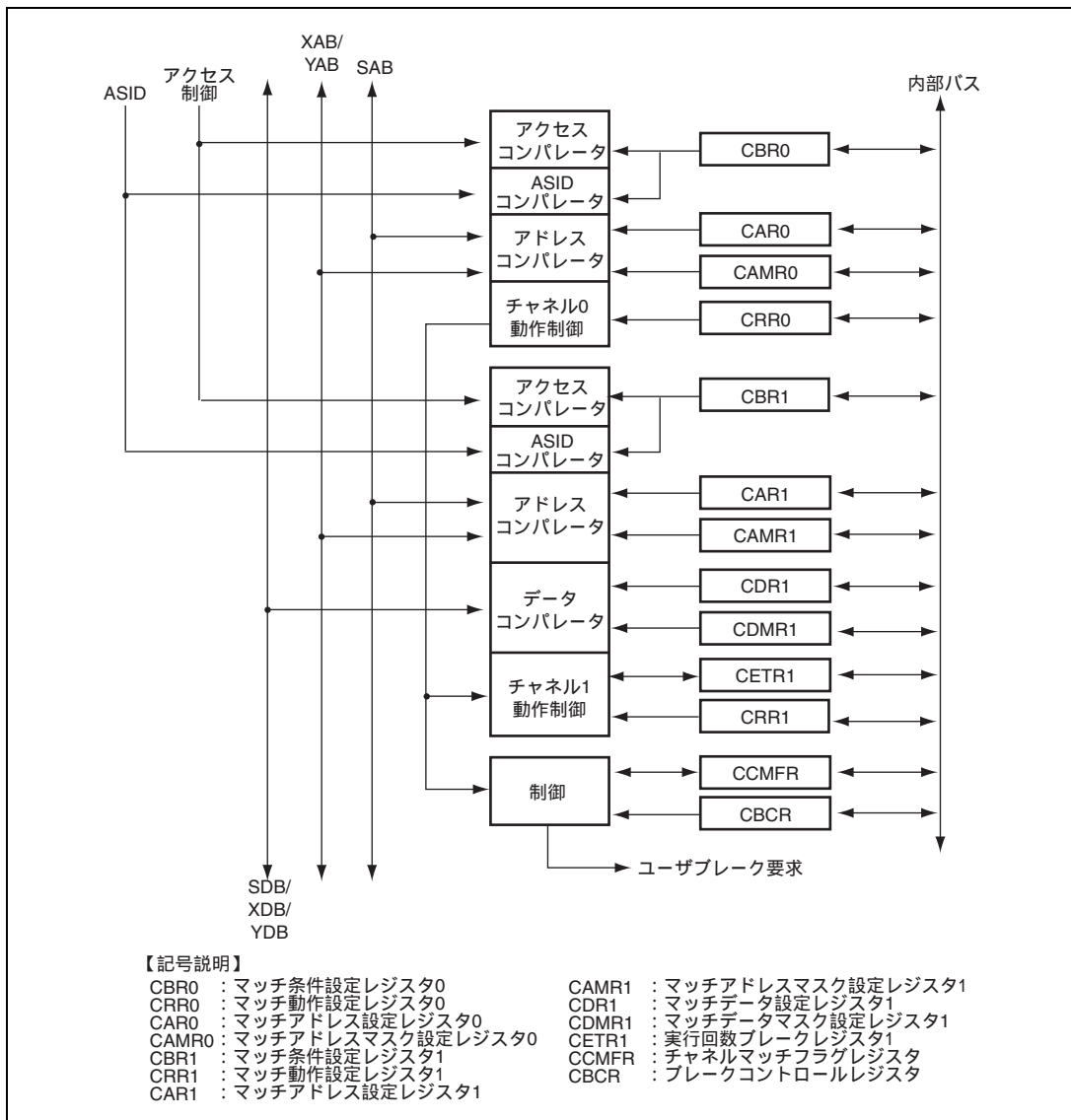


図 32.1 UBC のブロック図



## 32.2 レジスタの説明

UBC には以下のレジスタがあります。

表 32.1 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	アクセス サイズ
マッチ条件設定レジスタ 0	CBR0	R/W	H'FF20 0000	H'1F20 0000	32
マッチ動作設定レジスタ 0	CRR0	R/W	H'FF20 0004	H'1F20 0004	32
マッチアドレス設定レジスタ 0	CAR0	R/W	H'FF20 0008	H'1F20 0008	32
マッチアドレスマスク設定レジスタ 0	CAMR0	R/W	H'FF20 000C	H'1F20 000C	32
マッチ条件設定レジスタ 1	CBR1	R/W	H'FF20 0020	H'1F20 0020	32
マッチ動作設定レジスタ 1	CRR1	R/W	H'FF20 0024	H'1F20 0024	32
マッチアドレス設定レジスタ 1	CAR1	R/W	H'FF20 0028	H'1F20 0028	32
マッチアドレスマスク設定レジスタ 1	CAMR1	R/W	H'FF20 002C	H'1F20 002C	32
マッチデータ設定レジスタ 1	CDR1	R/W	H'FF20 0030	H'1F20 0030	32
マッチデータマスク設定レジスタ 1	CDMR1	R/W	H'FF20 0034	H'1F20 0034	32
実行回数ブレークレジスタ 1	CETR1	R/W	H'FF20 0038	H'1F20 0038	32
チャンネルマッチフラグレジスタ	CCMFR	R/W	H'FF20 0600	H'1F20 0600	32
ブレークコントロールレジスタ	CBCR	R/W	H'FF20 0620	H'1F20 0620	32

【注】 \* P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

## 32. ユーザブレークコントローラ (UBC)

表 32.2 各処理状態におけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
CBR0	H'2000 0000	保持	保持	保持	保持*	保持
CRR0	H'0000 2000	保持	保持	保持	保持*	保持
CAR0	不定	保持	保持	保持	保持*	保持
CAMR0	不定	保持	保持	保持	保持*	保持
CBR1	H'2000 0000	保持	保持	保持	保持*	保持
CRR1	H'0000 2000	保持	保持	保持	保持*	保持
CAR1	不定	保持	保持	保持	保持*	保持
CAMR1	不定	保持	保持	保持	保持*	保持
CDR1	不定	保持	保持	保持	保持*	保持
CDMR1	不定	保持	保持	保持	保持*	保持
CETR1	不定	保持	保持	保持	保持*	保持
CCMFR	H'0000 0000	保持	保持	保持	保持*	保持
CBCR	H'0000 0000	保持	保持	保持	保持*	保持

【注】 \* MPMD 端子 = ロー時。MPMD 端子がハイ状態のときは、パワーオンリセットと同じになります。

アクセスサイズはコントロールレジスタのサイズと同じでなければなりません。サイズが異なると、レジスタの書き込み動作で書き込みが実行されず、読み出し動作は不定な値を返します。コントロールレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレークが発生しない場合があります。コントロールレジスタが変更されるタイミングを知るためには、最後に書き込んだデータを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。

### 32.2.1 マッチ条件設定レジスタ 0、1 (CBR0、CBR1)

CBR0、CBR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 のブレーク条件を指定します。設定可能なブレーク条件は、(1) マッチフラグの有無、(2) ASID の有無とその値、(3) データ値の有無、(4) オペランドサイズ、(5) 実行回数の有無、(6) バス、(7) 命令フェッチまたはオペランドアクセス、(8) 読み出しまたは書き込みです。

- CBR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SZ			—	—	—	—	CD	ID	—	RW	CE			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

## 32. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	<p>マッチフラグイネーブル</p> <p>マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。</p> <p>0 : マッチフラグはマッチ条件に含まれず、チェックされない</p> <p>1 : マッチ条件にマッチフラグを含める</p>
30	AIE	0	R/W	<p>ASID イネーブル</p> <p>マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。</p> <p>0 : ASID はマッチ条件に含まれず、チェックされない</p> <p>1 : マッチ条件に ASID を含める</p>
29 ~ 24	MFI	100000	R/W	<p>マッチフラグ指定</p> <p>マッチ条件とするマッチフラグを指定します。</p> <p>000000 : CCMFR レジスタの MF0 ビット</p> <p>000001 : CCMFR レジスタの MF1 ビット</p> <p>その他 : リザーブ (設定禁止)</p> <p>【注】 初期値はリザーブ (設定禁止) の状態になりますが、CBR0[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また、CCRMF レジスタの MF0 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に MFI ビットを 000000 に設定するとチャンネル 0 でヒットしなくなりますので注意してください。</p>
23 ~ 16	AIV	すべて 0	R/W	<p>ASID 指定</p> <p>マッチ条件とする ASID 値を指定します。</p>
15	-	0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>
14 ~ 12	SZ	すべて 0	R/W	<p>オペランドサイズセレクト</p> <p>マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>000 : オペランドサイズはマッチ条件に含まれず、チェックされない (すべてのサイズが対象となる)*1</p> <p>001 : バイトアクセスを対象とする</p> <p>010 : ワードアクセスを対象とする</p> <p>011 : ロングワードアクセスを対象とする</p> <p>その他 : リザーブ (設定禁止)</p>
11 ~ 8	-	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>

## 32. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
7、6	CD	すべて0	R/W	<p>バスセレクト</p> <p>マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>00：オペランドアクセスにおいてオペランドバスを対象とする</p> <p>01：オペランドアクセスにおいてXバスを対象とする</p> <p>10：オペランドアクセスにおいてYバスを対象とする</p> <p>11：リザーブ（設定禁止）</p>
5、4	ID	すべて0	R/W	<p>命令フェッチ / オペランドアクセスセレクト</p> <p>マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。</p> <p>00：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする</p> <p>01：命令フェッチサイクルを対象とする</p> <p>10：オペランドアクセスサイクルを対象とする</p> <p>11：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする</p>
3	-	0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。</p>
2、1	RW	すべて0	R/W	<p>バスコマンドセレクト</p> <p>マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>00：読み出しサイクルまたは書き込みサイクルを対象とする</p> <p>01：読み出しサイクルを対象とする</p> <p>10：書き込みサイクルを対象とする</p> <p>11：読み出しサイクルまたは書き込みサイクルを対象とする</p>
0	CE	0	R/W	<p>チャンネルイネーブル</p> <p>チャンネルを有効にするかどうかを指定します。本ビットに0を設定した場合、他のビットの設定はすべて無効です。</p> <p>0：本チャンネルは無効</p> <p>1：本チャンネルは有効</p>

• CBR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DBE	SZ			ETBE	—	—	—	CD	ID	—	RW	CE			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	<p>マッチフラグイネーブル</p> <p>マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。</p> <p>0: マッチフラグはマッチ条件に含まれず、チェックされない</p> <p>1: マッチ条件にマッチフラグを含める</p>
30	AIE	0	R/W	<p>ASID イネーブル</p> <p>マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。</p> <p>0: ASID はマッチ条件に含まれず、チェックされない</p> <p>1: マッチ条件に ASID を含める</p>
29~24	MFI	100000	R/W	<p>マッチフラグ指定</p> <p>マッチ条件とするマッチフラグを指定します。</p> <p>000000: CCMFR レジスタの MF0 ビット</p> <p>000001: CCMFR レジスタの MF1 ビット</p> <p>その他: リザーブ (設定禁止)</p> <p>【注】 初期値はリザーブ (設定禁止) の状態になりますが、CBR1[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また CCRMFR レジスタの MF1 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に MFI ビットを 000001 に設定するとチャネル 1 でヒットしなくなりますので注意してください。</p>
23~16	AIV	すべて 0	R/W	<p>ASID 指定</p> <p>マッチ条件とする ASID 値を指定します。</p>
15	DBE	0	R/W	<p>データ値イネーブル<sup>*2</sup></p> <p>マッチ条件にデータ値を含めるかどうかを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>0: データ値はマッチ条件に含まれず、チェックされない</p> <p>1: マッチ条件にデータ値を含める</p>

## 32. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
14~12	SZ	すべて0	R/W	オペランドサイズセレクト マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 000：オペランドサイズはマッチ条件に含まれず、チェックされない (すべてのサイズが対象となる)* <sup>1</sup> 001：バイトアクセスを対象とする 010：ワードアクセスを対象とする 011：ロングワードアクセスを対象とする その他：リザーブ(設定禁止)
11	ETBE	0	R/W	実行回数値イネーブル マッチ条件に実行回数値を含めるかどうかを指定します。このビットが1の場合、マッチ条件が成立した回数が CETR1 レジスタで指定した値と等しくなったとき、CRR1 レジスタで指定した動作が発生します。 0：実行回数値はマッチ条件に含まれず、チェックされない 1：マッチ条件に実行回数値を含める
10~8	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
7、6	CD	すべて0	R/W	バスセレクト マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：オペランドアクセスにおいてオペランドバスを対象とする 01：オペランドアクセスにおいてXバスを対象とする 10：オペランドアクセスにおいてYバスを対象とする 11：リザーブ(設定禁止)
5、4	ID	すべて0	R/W	命令フェッチ/オペランドアクセスセレクト マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。 00：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする 01：命令フェッチサイクルを対象とする 10：オペランドアクセスサイクルを対象とする 11：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする
3	-	0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。

ビット	ビット名	初期値	R/W	説明
2, 1	RW	すべて0	R/W	バスコマンドセレクト マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00: 読み出しサイクルまたは書き込みサイクルを対象とする 01: 読み出しサイクルを対象とする 10: 書き込みサイクルを対象とする 11: 読み出しサイクルまたは書き込みサイクルを対象とする
0	CE	0	R/W	チャンネルイネーブル チャンネルを有効にするかどうかを指定します。本ビットに0を設定した場合、他のビットの設定はすべて無効です。 0: 本チャンネルは無効 1: 本チャンネルは有効

【注】 \*1 データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。

\*2 OCB1 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。

### 32.2.2 マッチ動作設定レジスタ 0、1 (CRR0、CRR1)

CRR0、CRR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 がマッチ条件を満たした場合の動作を指定します。設定可能な動作内容は、(1) 命令フェッチサイクルに対するブ레이크タイミング、(2) ブ레이크要求の有無です。

#### • CRR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13	-	1	R	リザーブビット 本ビットを読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

## 32. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
12~2	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	PCB	0	R/W	PC ブレークセレクト 命令フェッチサイクルのブレークタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレークに対して、本ビットは無効です。 0 : PC ブレークを命令実行前に設定する 1 : PC ブレークを命令実行後に設定する
0	BIE	0	R/W	ブレークイネーブル チャンネルのマッチ条件が成立したときに、ブレークを要求するかどうかを指定します。 0 : ブレーク要求しない 1 : ブレークを要求する

### • CRR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
初期値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13	-	1	R	リザーブビット 本ビットを読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
12~2	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	PCB	0	R/W	PC ブレークセレクト 命令フェッチサイクルのブレークタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレークに対して、本ビットは無効です。 0 : PC ブレークを命令実行前に設定する 1 : PC ブレークを命令実行後に設定する



ビット	ビット名	初期値	R/W	説明
0	BIE	0	R/W	ブ레이크イネーブル チャンネルのマッチ条件が成立したときに、ブ레이크を要求するかどうかを指定します。 0: ブ레이크要求しない 1: ブ레이크を要求する

### 32.2.3 マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)

CAR0、CAR1 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタであり、チャンネル 0、チャンネル 1 のブ레이크条件とする仮想アドレスを指定します。ブ레이크条件の対象となるアドレスバスは 3 種類あり、マッチ条件設定レジスタ CBR0、CBR1 の CD ビットにより選択します。

- CAR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31-0	CA	不定	R/W	比較アドレス ブ레이크条件とするアドレスを指定します。 CBR0 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。 CBR0 レジスタにより X バスを指定した場合は、CA[31:17]に XAB のビット 15~1 の値を設定します。このとき、CA[16:0]の値は任意です。 CBR0 レジスタにより Y バスを指定した場合は、CA[15:1]に YAB のビット 15~1 の値を指定します。このとき、CA[31:16]および CA[0]の値は任意です。

## 32. ユーザブ레이크コントローラ (UBC)

### • CAR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値:	— — — — — — — — — — — — — — — — — —															
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値:	— — — — — — — — — — — — — — — — — —															
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W															

ビット	ビット名	初期値	R/W	説明
31~0	CA	不定	R/W	比較アドレス ブ레이크条件とするアドレスを指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。 CBR1 レジスタにより X バスを指定した場合は、CA[31:17]に XAB のビット 15~1 の値を設定します。このとき、CA[16:0]の値は任意です。 CBR1 レジスタにより Y バスを指定した場合は、CA[15:1]に YAB のビット 15~1 の値を指定します。このとき、CA[31:16]および CA[0]の値は任意です。

表 32.3 マッチアドレス設定レジスタの指定

CBR0、1 でのバスセレクト	CA[31:17]	CA[16]	CA[15:1]	CA[0]
オペランドバス	SAB31~0			
X バス	XAB15~XAB1	Don't care	Don't care	Don't care
Y バス	Don't care	Don't care	YAB15~YAB1	Don't care

## 32.2.4 マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)

CAMR0、CAMR1 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタであり、対応するチャンネルのマッチアドレス設定レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を設定します)。

## • CAMR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CAM	不定	R/W	比較アドレスマスク CAR0 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : アドレスビット CA[n]は、ブレーク条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない 【注】 n=31~0

## • CAMR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CAM	不定	R/W	比較アドレスマスク CAR1 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : アドレスビット CA[n]は、ブレーク条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない 【注】 n=31~0

## 32. ユーザブ레이크コントローラ (UBC)

### 32.2.5 マッチデータ設定レジスタ 1 (CDR1)

CDR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、チャンネル 1 のブ레이크条件とするデータ値を指定します。ブ레이크条件の対象となるデータバスは 3 種類あり、マッチ条件設定レジスタ CBR1 の CD ビットにより選択します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CD															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CD	不定	R/W	比較データ値 ブ레이크条件とするデータ値を指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CD[31:0]に SDB のデータ値を指定します。 CBR1 レジスタにより X バスを指定した場合は、CD[31:16]に XDB のビット 15~0 の値を設定します。このとき、CD[15:0]の値は任意です。 CBR1 レジスタにより Y バスを指定した場合は、CD[15:0]に YDB のビット 15~0 の値を指定します。このとき、CD[31:16]の値は任意です。

表 32.4 マッチデータ設定レジスタの指定

CBR1 でのバスセレクト	CD[31:24]	CD[23:16]	CD[15:8]	CD[7:0]
オペランドバス (バイト)	Don't care			SDB7~0
オペランドバス (ワード)	Don't care		SDB15~0	
オペランドバス (ロングワード)	SDB31~0			
X バス (ワード)	XDB15~0		Don't care	
X バス (ロングワード)	XDB31~0			
Y バス (ワード)	Don't care		YDB15~0	
Y バス (ロングワード)	YDB31~0			

- 【注】
1. データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
  2. OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
  3. MOV.S.W @-As,Ds、MOV.S.W @As,Ds、MOV.S.W @As+,Ds、および MOV.S.W @As+Ix,Ds 命令に対するオペランドバス上のマッチ条件としてデータ値を含める場合は、CD[15:0]にデータをセットしてください。

## 32.2.6 マッチデータマスク設定レジスタ 1 (CDMR1)

CDMR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、マッチデータによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を設定します)。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDM															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDM															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CDM	不定	R/W	比較データ値マスク CDR1 レジスタによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0: データ値ビット CD[n]は、ブレーク条件に含まれる 1: データ値ビット CD[n]はマスクされ、ブレーク条件に含まれない 【注】n = 31 ~ 0

## 32.2.7 実行回数ブレークレジスタ 1 (CETR1)

CETR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、ブレークが発生するまでのチャンネルヒット回数を指定します。指定できる最大値は  $2^{12} - 1$  です。マッチ条件設定レジスタによりマッチ条件に実行回数値を含めた場合、チャンネルがヒットすることに本レジスタ値は 1 ずつデクリメントされ、レジスタ値が H'001 になった後さらにヒットするとブレークが発生します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CET											
初期値:	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
11~0	CET	不定	R/W	実行回数 ブレーク条件とする実行回数を指定します。

## 32. ユーザブ레이크コントローラ (UBC)

### 32.2.8 チャンネルマッチフラグレジスタ (CCMFR)

CCMFR は、読み出し/書き込み可能な 32 ビットのレジスタであり、各チャンネルのマッチ条件が成立したかどうかを示します。チャンネルのマッチ条件が成立した場合、対応するフラグビットに 1 が設定されます。フラグのクリアは、クリアしたいビットを 0、それ以外のビットを 1 にしたデータを本レジスタに書き込むことで行います (書き込み値と現在値の論理積が書き込まれます)。本マッチフラグを用いることで、複数チャンネルによるシーケンシャル動作を実現できます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MF1	MF0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31-2	-	すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	MF1	0	R/W	チャンネル 1 条件一致フラグ チャンネル 1 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル 1 のマッチ条件不一致 1: チャンネル 1 のマッチ条件一致
0	MF0	0	R/W	チャンネル 0 条件一致フラグ チャンネル 0 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル 0 のマッチ条件不一致 1: チャンネル 0 のマッチ条件一致

### 32.2.9 ブ레이크コントロールレジスタ (CBCR)

CBCR は、読み出し / 書き込み可能な 32 ビットのレジスタであり、ユーザブ레이크デバッグサポート機能を使用するかどうかを指定します。ユーザブ레이크デバッグサポート機能の詳細については、「32.4 ユーザブ레이크デバッグサポート機能」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UBDE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
0	UBDE	0	R/W	ユーザブ레이크デバッグサポート機能イネーブル ユーザブ레이크デバッグサポート機能を使用するかどうかを指定します。 0: デバッグサポート機能を使用しない 1: デバッグサポート機能を使用する

## 32.3 動作説明

### 32.3.1 アクセスに関する用語の説明

命令フェッチとは、命令を取得するアクセスを指します。たとえば、分岐命令の実行による分岐先命令のフェッチは命令アクセスです。オペランドアクセスとは、命令実行による任意のメモリアccessを指します。たとえば、命令 MOV.W @(disp,PC),Rn のアドレス (PC + disp × 2 + 4) に対するアクセスはオペランドアクセスです。「データ」という用語は「アドレス」との対比で使用します。

すべてのオペランドアクセスは、読み出しアクセスまたは書き込みアクセスのいずれかに分類されます。次の命令は特別の注意が必要です。

- PREF、OCBP および OCBWB 命令 : 読み出しアクセスとして扱います。
- MOVCA.L および OCBI 命令 : 書き込みアクセスとして扱います。
- TAS.B 命令 : 1 つの読み出しアクセス、1 つの書き込みアクセスとして扱います。

PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。

## 32. ユーザブレイクコントローラ (UBC)

---

すべてのオペランドアクセスは、オペランドサイズが定義されます。オペランドサイズには、バイト、ワード、ロングワードがあります。PREF、OCBP、OCBWB、MOVCA.L、OCBI 命令によるオペランドアクセスにおいては、オペランドサイズはロングワードとして定義されます。

### 32.3.2 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作の流れは、次のとおりです。

1. マッチ条件とするオペランドサイズ、バス、命令フェッチ / オペランドアクセス、読み出し / 書き込み条件を、マッチ条件設定レジスタ (CBR0またはCBR1) により指定します。ブレイクアドレスをマッチアドレス設定レジスタ (CAR0、CAR1)、アドレスのマスク条件をマッチアドレスマスク設定レジスタ (CAMR0、CAMR1) により指定します。マッチ条件にASIDを含める場合は、マッチ条件設定レジスタのAIEビットをセットし、AIVビットによりASIDを指定します。マッチ条件にデータ値を含める場合は、マッチ条件設定レジスタのDBEビットをセットし、ブレイクデータをマッチデータ設定レジスタ (CDR1)、データのマスク条件をマッチデータマスク設定レジスタ (CDMR1) により指定します。マッチ条件に実行回数を含める場合は、マッチ条件設定レジスタのETBEビットをセットし、実行回数条件を実行回数ブレイクレジスタ (CETR1) により指定します。シーケンシャルブレイクを設定する場合、マッチ条件設定レジスタのMFEビットをセットし、シーケンス元チャンネル番号をMFIにより指定します。
2. マッチ条件が成立した場合のブレイク要求の有無、命令フェッチによる条件成立の場合のブレイク位置を、マッチ動作設定レジスタ (CRR0、CRR1) により指定します。他のすべてのレジスタ、およびマッチ条件設定レジスタのCEビットを除くビットの設定が終了したのち、マッチ条件設定レジスタのCEビットをセットし、再度マッチ条件設定レジスタを読み出してください。この手順により、コントロールレジスタの設定値が直後の後続命令から有効となることを保証できます。リセット後、初期状態のコントロールレジスタからマッチ条件設定レジスタのCEビットをセットした場合、意図しないブレイクが発生する場合があります。
3. マッチ条件が成立すると、チャンネルマッチフラグレジスタ (CCMFR) の該当する条件一致フラグ (MF1、MF0) がセットされます。さらに、マッチ動作設定レジスタ (CRR0、CRR1) の設定内容により、CPUへのブレイク要求が発生します。SRレジスタのBLビットにより、ブレイク要求に対するCPUの動作が異なります。BLビットが0のとき、ブレイク要求は受理され所定の例外処理が行われますが、BLビットが1の場合例外処理は行われません。
4. マッチ条件の一致または不一致をチェックするため、該当する条件一致フラグ (MF1、MF0) を使用することができます。フラグは条件一致によりセットされますが、自動的にクリアされません。フラグを再び使用できるようにするためには、チャンネルマッチフラグレジスタ (CCMFR) に対するメモリストア命令により0を書き込んでください。
5. チャンネル0およびチャンネル1で設定したブレイクがほぼ同時に発生する場合があります。CPUに対するブレイク要求は1つだけであっても、これらのブレイクに対する条件一致フラグが2つともセットされる場合があります。



6. SRレジスタのBLビットが1の期間は、すべてのブ레이크要求は受理されません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。
7. シーケンシャル条件指定時、各チャンネルのマッチ条件が成立することに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。

### 32.3.3 命令フェッチサイクルブ레이크

1. マッチ条件設定レジスタ (CBR0またはCBR1) に命令フェッチが設定されると、マッチ条件は命令フェッチとなります。マッチ条件によりブ레이크要求を発生させる場合、該当するチャンネルに対するマッチ動作レジスタ (CRR0またはCRR1) のBIEビットをセットしてください。ブ레이크のタイミングを命令実行の前にするか後にするかは、PCBビットで指定できます。マッチ条件として命令フェッチサイクルを指定する場合、マッチアドレス設定レジスタ (CAR0またはCAR1) のLSBを0にクリアしてください。このビットが1にセットされているとブ레이크は発生しません。
2. 命令フェッチサイクルにおいて命令実行前ブ레이크を指定すると、命令がフェッチされ実行することが確定した時点でブ레이크要求が発生します。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。命令実行前ブ레이크と他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令の遅延スロットに対して実行前ブ레이크が指定されると、遅延分岐命令の実行前にブ레이크が発生します。ただし、RTE命令の遅延スロットには実行前ブ레이크を指定しないでください。
3. 命令フェッチサイクルにおいて命令実行後ブ레이크を指定すると、マッチ条件と一致した命令が実行されたのち、次の命令の実行前にブ레이크が発生します。実行前のブ레이크の場合と同様、オーバランによってフェッチされる命令には使用できません。命令実行後ブ레이크と他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令およびその遅延スロットに対して実行後ブ레이크が指定されると、分岐先の最初の命令までブ레이크は発生しません。
4. チャンネル1のマッチ条件として命令フェッチサイクルを指定すると、マッチ条件設定レジスタCBR1のDBEビットは無効となり、マッチデータ設定レジスタCDR1およびマッチデータマスク設定レジスタCDMR1の設定は無視されます。したがって、命令フェッチサイクルのブ레이크には、データ値を設定することはできません。

## 32. ユーザブレイクコントローラ (UBC)

### 32.3.4 オペランドアクセスサイクルブレイク

1. オペランドアクセスサイクルブレイクの場合、マッチ条件設定レジスタ (CBR0またはCBR1) のオペランドサイズ指定と、条件比較の対象となるアドレスとの関係は、以下のようになります。

表 32.5 オペランドサイズ指定と比較対象アドレス

オペランドサイズセレクト	比較アドレスビット
ロングワード	アドレスビット A31 ~ A2
ワード	アドレスビット A31 ~ A1
バイト	アドレスビット A31 ~ A0
マッチ条件に含まれない	ロングワードアクセス時のアドレスビット A31 ~ A2 ワードアクセス時のアドレスビット A31 ~ A1 バイトアクセス時のアドレスビット A31 ~ A0

これは、たとえばマッチアドレス設定レジスタ (CAR0またはCAR1) にアドレスH'00001003を設定するとき、マッチ条件が成立するオペランドアクセスサイクルには、(他のすべての条件が成立すると仮定した場合) 以下が含まれることを意味します。

アドレスH'00001000に対するロングワードアクセス

アドレスH'00001002に対するワードアクセス

アドレスH'00001003に対するバイトアクセス

2. チャンネル1のマッチ条件にデータ値が含まれる場合

データ値をマッチ条件に含める場合は、マッチ条件設定レジスタ (CBR1) のオペランドサイズセレクト (SZ ビット) により、ロングワード、ワード、またはバイトを指定し、かつマッチデータ設定レジスタ (CDR1) およびマッチデータマスク設定レジスタ (CDMR1) を設定する必要があります。このとき、アドレス条件とデータ条件が一致するとマッチ条件が成立します。バイトアクセス、ワードアクセス、ロングワードアクセスに対するデータ値およびマスクは、それぞれCDR1およびCDMR1のビット7~0、ビット15~0、ビット31~0に設定します。ただし、MOVS.W @-As,Ds、MOVS.W @As,Ds、MOVS.W @As+,Ds、およびMOVS.W @As+Ix,Ds命令に対するブレイク条件にデータ値を含める場合は、データ値およびマスクはそれぞれCDR1、CDMR1のビット15~0にセットしてください。

3. PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対するマッチ条件としてデータ値を含めた場合、マッチ条件は成立しません。
4. オペランドバスを選択している場合、条件が一致した命令の実行を完了し、次の命令を実行する直前にブレイクが発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令から数命令実行した後になる場合もあり、ブレイクが発生する命令を特定することはできません。また、遅延分岐命令やその遅延スロットでこの種のブレイクが発生した場合は、分岐先の最初の命令までブレイクは発生しません。RTE 命令の遅延スロットには、オペランドブレイクを設定しないでください。また、データ値を条件に含める場合は、RTE 命令の1~6命令前でブレイクを発生させないでください。

### 32.3.5 XメモリまたはYメモリバスサイクルブ레이크

1. マッチ条件設定レジスタ (CBR0またはCBR1) のバスセレクトビット (CDビット) により、XメモリバスまたはYメモリバスのどちらかを選択できます。1つのチャンネルでXメモリとYメモリを同時に含めることはできません。マッチ条件設定レジスタにXバスまたはYバス / オペランドアクセス / 読み出しまたは書き込み / ワードまたはロングワードが設定されると、マッチ条件はXバスまたはYバスのメモリアccessとなります。
2. マッチ条件としてXメモリアドレスを指定するときは、マッチアドレス設定レジスタ (CAR0またはCAR1)、マッチアドレスマスク設定レジスタ (CAMR0またはCAMR1) のそれぞれ上位16ビットにXメモリアドレスおよびマスクを設定し、Yメモリアドレスを指定するときはそれぞれ下位16ビットにYメモリアドレスおよびマスクを設定します。チャンネル1でマッチ条件にデータ値を含める場合、ワードアクセスに対しては、マッチデータ設定レジスタ (CDR1) およびマッチデータマスク設定レジスタ (CDMR1) の上位16ビットにXバスのデータ値を、下位16ビットにYバスのデータ値を設定します。ロングワードアクセスに対しては、XバスまたはYバスの32ビットデータ値およびマスクをCDR1、CDMR1に設定します。
3. XメモリまたはYメモリバスのオペランドアクセスブ레이크の発生タイミングは、オペランドバスのオペランドアクセスブ레이크の場合と同じになります。詳細は、「32.3.4 オペランドアクセスサイクルブ레이크」を参照してください。

### 32.3.6 シーケンシャルブレーク

1. マッチ条件設定レジスタ (CBR0、CBR1) のMFEビットおよびMFIビットを設定することで、シーケンシャル条件 (チャンネル0マッチ条件が成立した後チャンネル1マッチ条件が成立、またはその逆) を指定することができます。シーケンス元チャンネルについては、マッチ条件設定レジスタのMFE、およびマッチ動作設定レジスタのBIEビットをクリアしてください。シーケンス先チャンネルについては、マッチ条件設定レジスタのMFEビットをセットし、シーケンス元チャンネル番号をMFIで指定します。シーケンシャル条件成立時のブレーク要求の有無は、シーケンス先マッチ動作設定レジスタのBIEビットにより指定します。シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。
2. シーケンシャル条件指定では、シーケンス元、シーケンス先チャンネルともオペランドバス、Xバス、またはYバスを指定でき、チャンネル1については実行回数ブレーク条件も指定することができます。
3. シーケンス元チャンネルとシーケンス先チャンネルのマッチ条件成立タイミングが接近している場合、シーケンシャル条件が保証されない場合があります。

- シーケンス元チャンネル、シーケンス先チャンネルとも命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0 命令後	同じアドレスを設定するのと等価です。この設定は使用しないでください。
命令 B は命令 A の 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルは命令フェッチサイクルでマッチ成立、シーケンス先チャンネルはオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0 または 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルはオペランドアクセスサイクルでマッチ成立、シーケンス先チャンネルは命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネル、シーケンス先チャンネルともオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

### 32.3.7 退避されるプログラムカウンタの値

ブレーク発生時は、実行を再開すべき命令のアドレスを SPC に退避し、例外処理状態に移行します。マッチ条件にデータ値を含む場合を除き、ブレークの発生する命令を一意に決定することができます。

1. 命令フェッチサイクル (命令実行前) をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレークが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスが SPC に退避されます。

2. 命令フェッチサイクル (命令実行後) をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレークが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスが SPC に退避されます。

3. オペランドアクセス (アドレスのみ) をマッチ条件として指定する場合

SPC には、ブレーク条件に一致した命令の直後の命令のアドレスが退避されます。条件に一致した命令が実行され、次の命令の実行前にブレークが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスが SPC に退避されます。

4. オペランドアクセス (アドレス + データ) をマッチ条件と指定する場合

データ値がマッチ条件に追加されると、マッチ条件に一致した命令は実行を完了します。1 命令後から 6 命令後までのいずれかの命令の実行前にユーザブレークが発生し、その命令のアドレスが SPC に退避されます。ブレークが発生する場所を正確に決定することはできません。遅延スロット命令で条件が一致した場合は、分岐先アドレスが SPC に退避されます。また、条件に一致した命令の次命令が分岐命令である場合は、分岐命令や遅延スロットの実行まで完了した後にブレークが発生する場合があります。この場合も、SPC には分岐先のアドレスが退避されます。

## 32.4 ユーザブレイクデバッグサポート機能

ユーザブレイクデバッグサポート機能を用いることにより、CPU がユーザブレイク要求を受理した場合の分岐先アドレスを変更することができます。ブレイクコントロールレジスタ CBCR の UBDE ビットを 1 にセットすることにより、[VBR + オフセット] で表示されるアドレスへ分岐するかわりに DBR で示されるアドレスへ分岐します。ユーザブレイクデバッグサポート機能のフローチャートを図 32.2 に示します。

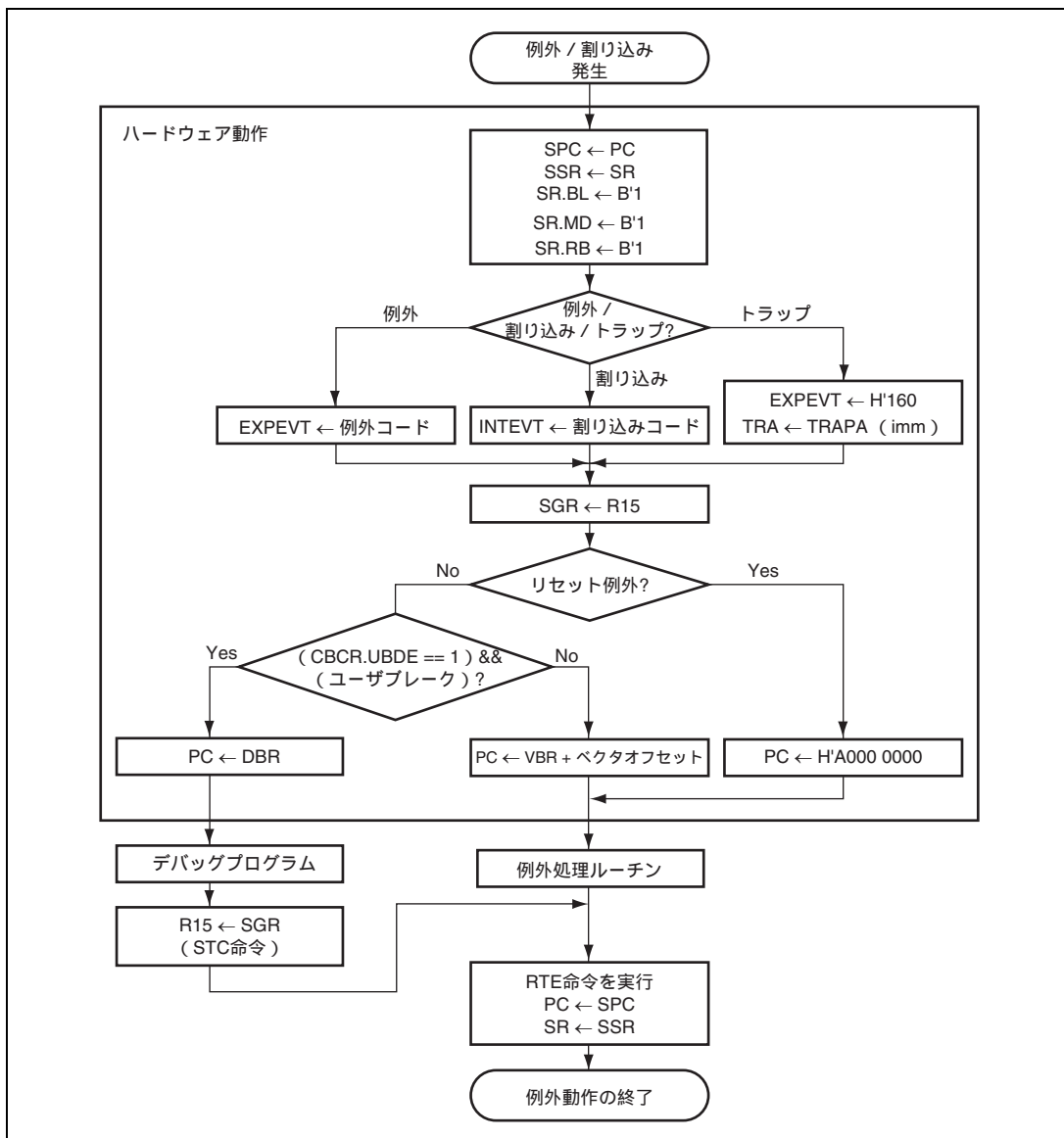


図 32.2 ユーザブレイクデバッグサポート機能のフローチャート

## 32.5 ユーザブ레이크使用例

### (1) 命令フェッチサイクルに指定したマッチ条件

- 例1-1

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002003 / CAR0 = H'00000404 / CAMR0 = H'00000000 /

CBR1 = H'00000013 / CRR1 = H'00002001 / CAR1 = H'00008010 / CAMR1 = H'00000006 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行後）

ASID は条件に含まれない

【チャンネル1】

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

ユーザブ레이크は、アドレス H'00000404 の命令実行後、またはアドレス H'00008010 ~ H'00008016 の命令実行前に発生します。

- 例1-2

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002000 / CAR0 = H'00037226 / CAMR0 = H'00000000 /

CBR1 = H'C0700013 / CRR1 = H'00002001 / CAR1 = H'0003722E / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0    チャンネル1 シーケンシャルモード

【チャンネル0】

アドレス：H'00037226、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：命令フェッチ（命令実行前）

## 32. ユーザブレイクコントローラ (UBC)

---

### 【チャンネル1】

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID：H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ASID = H'80 かつアドレス H'00037226 の命令が実行された後、ASID = H'70 かつアドレス H'0003722E の命令実行前にユーザブレイクが発生します。

### • 例1-3

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002001 / CAR0 = H'00027128 / CAMR0 = H'00000000 /

CBR1 = H'00000013 / CRR1 = H'00002001 / CAR1 = H'00031415 / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

### 【チャンネル0】

アドレス：H'00027128、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID は条件に含まれない

### 【チャンネル1】

アドレス：H'00031415、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

チャンネル0 では、アドレス H'00027128 の命令実行前に発生します。チャンネル1 では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

### • 例1-4

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002000 / CAR0 = H'00037226 / CAMR0 = H'00000000 /

CBR1 = H'C0700013 / CRR1 = H'00002001 / CAR1 = H'0003722E / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0    チャンネル1 シーケンシャルモード



## 【チャンネル0】

アドレス : H'00037226、アドレスマスク : H'00000000、ASID : H'80

バスサイクル : 命令フェッチ (命令実行前)

## 【チャンネル1】

アドレス : H'0003722E、アドレスマスク : H'00000000、ASID : H'70

データ : H'00000000、データマスク : H'00000000、実行回数 : H'00000000

バスサイクル : 命令フェッチ (命令実行前)

データ値、実行回数は条件に含まれない

ASID = H'80 かつアドレス H'00037226 の命令が実行された後、ASID = H'70 かつアドレス H'0003722E の命令実行前にユーザブレイクが発生します。

## • 例1-5

## レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002001 / CAR0 = H'00000500 / CAMR0 = H'00000000 /

CBR1 = H'00000813 / CRR1 = H'00002001 / CAR1 = H'00001000 / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000005 /

CBCR = H'00000000

指定条件 : チャンネル0 / チャンネル1 独立条件

## 【チャンネル0】

アドレス : H'00000500、アドレスマスク : H'00000000

バスサイクル : 命令フェッチ (命令実行前)

ASID は条件に含まれない

## 【チャンネル1】

アドレス : H'00001000、アドレスマスク : H'00000000

データ : H'00000000、データマスク : H'00000000、実行回数 : H'00000005

バスサイクル : 命令フェッチ (命令実行前)

実行回数 : 5 回

ASID、データ値は条件に含まれない

チャンネル0 では、ユーザブレイクはアドレス H'00000500 の命令の実行前に生じます。チャンネル1 では、ユーザブレイクは、アドレス H'00001000 の命令を 4 回実行した後、5 回目の命令実行前に生じます。

## 32. ユーザブレイクコントローラ (UBC)

---

- 例1-6

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002003 / CAR0 = H'00008404 / CAMR0 = H'00000FFF /  
CBR1 = H'40700013 / CRR1 = H'00002001 / CAR1 = H'00008010 / CAMR1 = H'00000006 /  
CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /  
CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00008404、アドレスマスク：H'00000FFF、ASID：H'80

バスサイクル：命令フェッチ（命令実行後）

【チャンネル1】

アドレス：H'00008010、アドレスマスク：H'00000006、ASID：H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ユーザブレイクは、ASID = H'80 でアドレス H'00008000 ~ H'00008FFE の命令の実行後、または、ASID = H'70 でアドレス H'00008010 ~ H'00008016 の命令の実行前に生じます。

### (2) オペランドアクセスサイクルに指定したマッチ条件

- 例2-1

レジスタ設定

CBR0 = H'40800023 / CRR0 = H'00002001 / CAR0 = H'00123456 / CAMR0 = H'00000000 /  
CBR1 = H'4070A025 / CRR1 = H'00002001 / CAR1 = H'000ABCDE / CAMR1 = H'000000FF /  
CDR1 = H'0000A512 / CDMR1 = H'00000000 / CETR1 = H'00000000 /  
CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00123456、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：オペランドバス / オペランドアクセス / 読み出し（オペランドサイズは条件に含まれない）

【チャンネル1】

アドレス：H'000ABCDE、アドレスマスク：H'000000FF、ASID：H'70

データ：H'0000A512、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：オペランドバス / オペランドアクセス / 書き込み / ワード

実行回数は条件に含まれない

チャンネル0では、ユーザブレイクは、ASID = H'80 でアドレス H'00123454 に対するロングワードの読み出し、アドレス H'00123456 に対するワード読み出し、あるいはアドレス H'00123456 に対するバイト読み出しで生じます。チャンネル1では、ユーザブレイクは ASID = H'70 で H'000ABC00 ~ H'000ABCFE にワード H'A512 を書き込むときに生じます。

- 例2-2

レジスタ設定

```

CBR0 = H'00002023 / CRR0 = H'00002001 / CAR0 = H'01000000 / CAMR0 = H'00000000 /
CBR1 = H'0000A0A5 / CRR1 = H'00002001 / CAR1 = H'0000F000 / CAMR1 = H'FFFF0000 /
CDR1 = H'00004567 / CDMR1 = H'00000000 / CETR1 = H'00000000 /
CBCR = H'00000000

```

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'01000000、アドレスマスク：H'00000000

バスサイクル：オペランドバス / オペランドアクセス / 読み出し / ワード

ASID は条件に含まれない

【チャンネル1】

アドレス：H'F000、アドレスマスク：H'0000

データ：H'00004567、データマスク：H'00000000

バスサイクル：Yバス / オペランドアクセス / 書き込み / ワード

ASID、実行回数は条件に含まれない

チャンネル0では、ユーザブレイクは、アドレスH'01000000に対するワード読み出しで生じます。チャンネル1では、ユーザブレイクはYメモリアドレスH'F000にワードH'4567を書き込むときに生じます。XメモリまたはYメモリ空間は、マッチ条件設定レジスタ (CBR0またはCBR1) のCDビットにより指定することができます。

### 32.6 使用上の注意事項

1. UBCのレジスタの値を書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタを変更後、ブレイク対象の命令を実行する前に、以下の(1)～(3)のいずれかを実行してください。

- (1) 変更したレジスタをリードした後、RTE命令による分岐を実行してください(レジスタリードとRTE命令は連続している必要はありません)。

- (2) 変更したレジスタをリードした後、任意のアドレス(キャッシング不可領域でもよい)に対して、ICBI命令を実行してください(レジスタリードとICBI命令は連続している必要はありません)。

- (3) UBCレジスタの変更前にIRMCR.R1=0(初期値)と設定しておき、レジスタライト レジスタリード(もう一度同じ値を)レジスタライトというシーケンスでレジスタを更新してください。

なお、複数のUBCレジスタを変更する場合には、それぞれについて上記の手順を踏む必要はありません。最後に変更するレジスタについてのみ、上記の手順が必要になります。

2. CRR0およびCRR1のPCBビットは、命令フェッチをマッチ条件にしたときのみ有効です。
3. シーケンシャル条件設定時、シーケンス元チャンネルのマッチ条件成立後シーケンス先チャンネルのマッチ条件が成立するとき、シーケンシャル条件が成立します。したがって、同一バスサイクルに対してチャンネル0およびチャンネル1の条件一致が同時に発生するようにマッチ条件が設定されてもシーケンシャル条件は成立せず、ブレイクは発生しません。
4. SLEEP命令に対しては、命令フェッチサイクルをマッチ条件とする命令実行後ブレイクを発生させないでください。また、SLEEP命令の1～5命令前では、オペランドアクセスをマッチ条件とするブレイクを発生させないでください。
5. ユーザブレイクと他の例外が同一命令で発生した場合は、定められた優先順位で判定が行われます。優先順位に関しては、「第5章 例外処理」を参照してください。より高い優先度の例外が発生した場合は、ユーザブレイクは発生しません。
  - 命令実行前のブレイクは他のどの例外よりも優先して受け付けられます。
  - 命令実行後ブレイクやデータアクセスブレイクは、より優先度の高い再実行型の例外(命令実行前ブレイクを含む)と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません。例外処理により再実行型の例外要因が解消され、同命令が再実行された完了する時点で改めてブレイクが発生し、フラグがセットされます。
  - 命令実行後ブレイクやオペランドアクセスブレイクが、より優先度の高い完了型の例外(TRAPA)と同時に発生した場合は、ブレイクは発生しませんが、条件一致を示すフラグはセットされます。

6. チャンネル0、チャンネル1において、マッチ条件が同時に独立して成立し、またその結果SPCの値が両方のブレークに対して同じ場合、ユーザブレークは一度だけ発生しますが、条件一致フラグは両チャンネルともにセットされます。たとえば、  
アドレス110の命令 (チャンネル0で命令フェッチに対する実行後ブレーク) SPC = 112、CCMFR.MF0 = 1  
アドレス112の命令 (チャンネル1で命令フェッチに対する実行前ブレーク) SPC = 112、CCMFR.MF1 = 1
7. RTE命令の遅延スロット命令に対して命令実行前ブレークやオペランドブレークを設定しないでください。また、オペランドブレークにデータ値を含める場合は、RTE命令の1~6命令前でブレークを発生させないでください。
8. 実行ステートが2以上の命令において再実行型例外と実行後ブレークが競合した場合再実行型例外が発生します。このとき、ブレーク条件の成立に対して、CCMFR.MF0 (またはCCMFR.MF1) ビットが1にセットされる場合と、セットされない場合があります。
9. DSP拡張機能のリピートループを使用している場合は、リピートループ全体あるいは一部の命令を実行中にブレーク条件が一致してもブレークの発生が保留される場合があります。詳細は「第5章 例外処理」を参照してください。



---

## 33. ユーザデバッグインタフェース (H-UDI)

---

H-UDI は、JTAG (IEEE1149.1) に準拠したシリアル入出力インタフェースであり、エミュレータの接続に使用します。

### 33.1 特長

H-UDI は JTAG、IEEE1149.1 "IEEE Standard Test Access Port and Boundary-Scan Architecture" に準拠したシリアル入出力インタフェースです。H-UDI は、エミュレータとの接続に使用します。エミュレータを使用する場合は本インタフェースの機能を使用しないでください。なお、エミュレータとの接続方法は各エミュレータのユーザーズマニュアルを参照してください。

H-UDI は 6 本の端子 (TCK、TMS、TDI、TDO、 $\overline{\text{TRST}}$ 、 $\overline{\text{ASEBRK/BRKACK}}$ ) からなります。 $\overline{\text{ASEBRK/BRKACK}}$  を除く端子機能やシリアル転送プロトコルは、JTAG の規格に準拠します。さらにエミュレータ専用端子として 6 本の信号 (AUDSYNC、ADUCK、AUDATA3 ~ AUDATA0) があります。

図 33.1 に H-UDI のブロック図を示します。

H-UDI 回路は内部に TAP コントローラと、SDBPR、SDIR、SDDR (SDDRH、SDDRL)、SDINT の計 5 本のレジスタを持ちます。SDBPR は JTAG のバイパスモードをサポートするためのレジスタ、SDIR はコマンド用のレジスタ、SDDR はデータ用のレジスタ、SDINT は H-UDI 割り込み用のレジスタです。SDIR は TDI、TDO 端子から直接アクセスできます。

TAP (Test Access Port) コントローラと制御レジスタはチップのリセット端子とは独立して、 $\overline{\text{TRST}}$  端子をローレベルにするか、TMS を 1 に設定して TCK を 5 サイクル以上かけることによりリセットがかかります。その他の回路は通常リセット期間中にリセットがかかり初期化されます。

### 33. ユーザデバッグインタフェース (H-UDI)

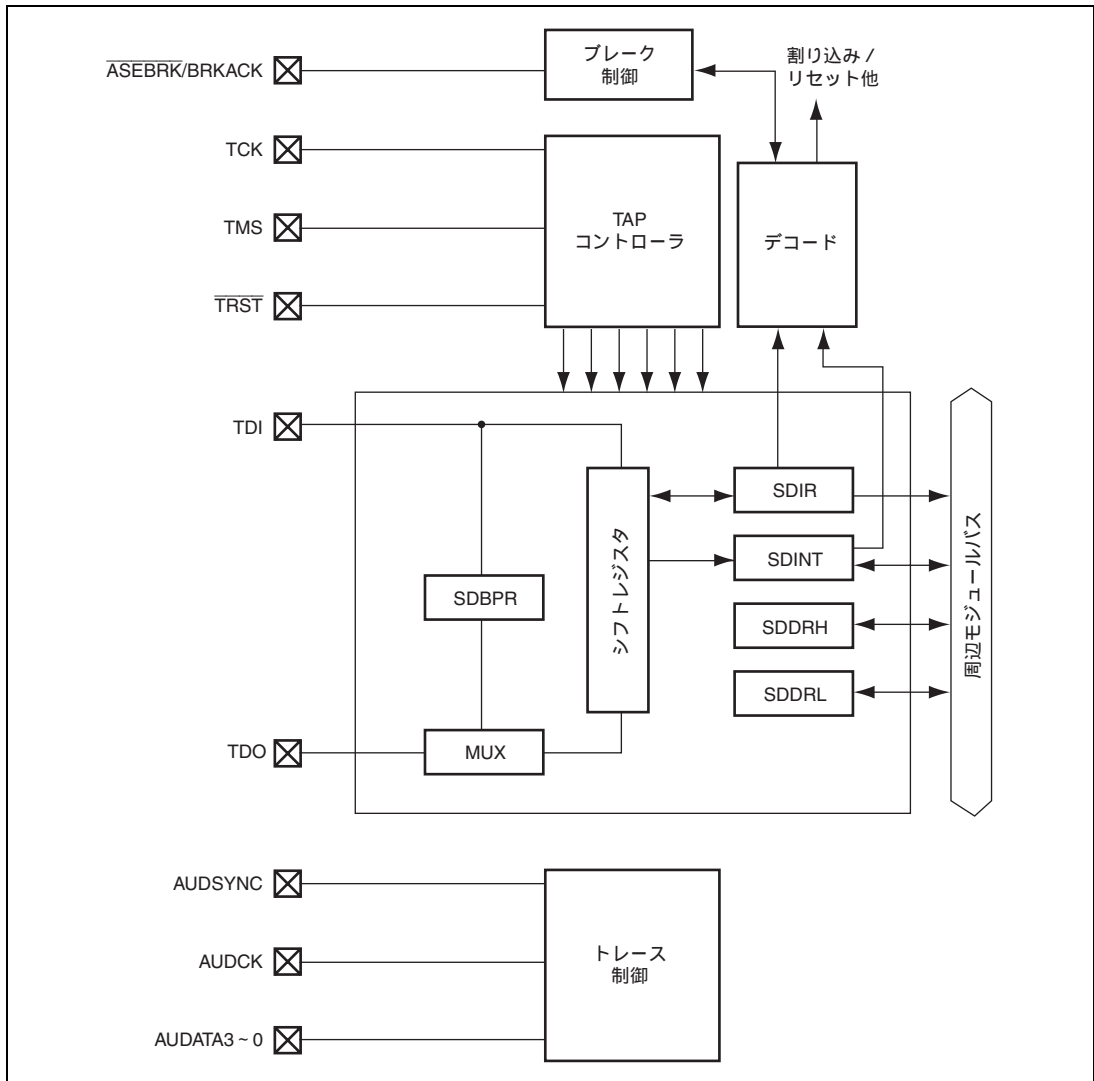


図 33.1 H-UDI のブロック図



## 33.2 入出力端子

H-UDI の端子構成を表 33.1 に示します。

表 33.1 H-UDI の端子構成

端子名	機能	入出力	説明	未使用時
TCK	クロック端子	入力	JTAG のシリアルクロック入力端子と同じです。この信号に同期してデータ入力端子 TDI から H-UDI 回路にデータを与えるか、データ出力端子 TDO からデータを読み出します。	オープン <sup>*1</sup>
TMS	モード端子	入力	モードセレクト入力端子。TCK に同期してこの信号を変化させることで、TDI から入力するデータの意味を決定します。そのプロトコルは JTAG(IEEE Std 1149.1)規格に準拠します。	オープン <sup>*1</sup>
TRST <sup>*2</sup>	リセット端子	入力	H-UDI をリセットする入力端子。TCK とは非同期に受け付け、ローレベルで JTAG インタフェース回路に対するリセットがかかります。JTAG の利用の有無にかかわらず、電源投入時に TRST を一定期間ローレベルにしなければなりません。これは IEEE の規格と異なります。	グラウンド固定 または RESET 接続 <sup>*3</sup>
TDI	データ入力端子	入力	データ入力端子。TCK に同期してこの信号を変化させることで H-UDI 回路にデータを送ります。	オープン <sup>*1</sup>
TDO	データ出力端子	出力	データ出力端子。TCK に同期してこの信号を読むことで、H-UDI 回路からデータを読み取ります。	オープン
ASEBRK/ BRKACK	エミュレータ用端子	入出力	エミュレータ専用の端子	オープン <sup>*1</sup>
AUDSYNC AUDCK AUDATA3~0	エミュレータ用端子	出力	エミュレータ専用の端子	オープン
MPMD	ASE モード (エミュレーション サポートモード設 定)	入力	ローレベルで ASE モードとなり、エミュレーションサポート機能が使用可能となります。 E10A 等のエミュレータを使用する場合、ローレベルに固定してください。	オープン <sup>*1</sup>

- 【注】
- \*1 チップ内でプルアップされています。エミュレータを使用可能なボードを設計する場合、あるいは H-UDI 経由で割り込み、リセットを利用する場合、外部にプルアップ抵抗を付けても問題ありません。
  - \*2 エミュレータを使用可能なボードを設計する場合あるいは H-UDI 経由で割り込み / リセットを利用の場合は、電源投入時に RESET と重複する期間 TRST をローレベルにし、かつ TRST 単独でも制御可能となるようにしてください。
  - \*3 グラウンド固定または RESET と同じ (あるいは同じ挙動の) 信号と接続する。ただし、グラウンド固定の場合には下記の問題があります。TRST はチップ内でプルアップされているため外部からグラウンドに固定すると微小な電流が流れます。電流値はポート端子のプルアップ抵抗の規定に従います。本電流はチップの動作には何ら影響をおよぼしませんが、不要な電力を消費することになります。TRST のプルアップはピンファンクションコントローラ (PFC) のブルダウン制御レジスタ (PULCR) でオフすることができます。詳細は「第 30 章 ピンファンクションコントローラ (PFC)」を参照してください。

### 33. ユーザデバッグインタフェース (H-UDI)

TCKの周波数が本LSIの周辺クロックの周波数より低くなるようにTCKあるいは本LSIのCPGの設定を行ってください。

### 33.3 レジスタの説明

H-UDIには以下のレジスタがあります。

表 33.2 レジスタ構成 (1)

名称	略称	CPU側				
		R/W	P4領域 アドレス*1	エリア7 アドレス*1	サイズ	初期値*2
インストラクションレジスタ	SDIR	R	H'FC11 0000	H'1C11 0000	16	H'0EFF
データレジスタH	SDDR/SDDRH	R/W	H'FC11 0008	H'1C11 0008	32/16	不定
データレジスタL	SDDRL	R/W	H'FC11 000A	H'1C11 000A	16	不定
割り込み要因レジスタ	SDINT	R/W	H'FC11 0018	H'1C11 0018	16	H'0000
バイパスレジスタ	SDBPR	-	-	-	-	不定

【注】 \*1 P4領域アドレスは、仮想アドレス空間のP4領域を用いた場合のもので、エリア7アドレスは、TLBを用いて物理アドレス空間のエリア7からアクセスするものです。

\*2 TRST端子がローレベル、またはTAPがTest-Logic-Reset状態で初期化されます。

表 33.3 レジスタ構成 (2)

名称	略称	H-UDI端子側		
		R/W	サイズ	初期値*1
インストラクションレジスタ	SDIR	R/W	32	H'FFFF FFFD (固定値*2)
データレジスタH	SDDR/SDDRH	-	-	-
データレジスタL	SDDRL	-	-	-
割り込み要因レジスタ	SDINT	W*3	32	H'0000 0000
バイパスレジスタ	SDBPR	R/W	1	不定

【注】 \*1 TRST端子がローレベル、またはTAPがTest-Logic-Reset状態で初期化されます。

\*2 H-UDIからの読み出し値は常に固定値 (H'FFFF FFFD) となります。

\*3 H-UDI割り込みコマンドにより最下位ビットへ1を書き込むことができます。

表 33.4 各処理状態におけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	スリープ
SDIR	H'0EFF	保持	保持	保持	保持*	保持
SDDR/SDDRH	不定	保持	保持	保持	保持*	保持
SDDRL	不定	保持	保持	保持	保持*	保持
SDINT	H'0000	保持	保持	保持	保持*	保持

【注】 \* MPMD端子=ロー時。MPMD端子がハイ状態のときは、パワーオンリセットと同じになります。

## 33.3.1 インストラクションレジスタ (SDIR)

SDIR は、CPU から読み出しのみ可能な 16 ビットのレジスタです。シリアル入力 (TDI) から値 (コマンド) をセットします。 $\overline{\text{TRST}}$  または TAP の Test Logic Reset ステートで初期状態になります。H-UDI からの書き込みの場合、CPU のモードとは無関係に書き込みができます。またリザーブとなっているコマンドをセットした場合の動作は保証しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	TI	00001110	R	テストインストラクションビット 7~0 11111111 : バイパス 0110xxxx : H-UDI、リセット、ネゲート 0111xxxx : H-UDI、リセット、アサート 101xxxxx : H-UDI 割り込み 00001110 : 初期状態 上記以外 : 設定禁止
7~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。

## 33.3.2 データレジスタ H、L (SDDRH、SDDRL)

SDDR は、SDDRH と SDDRL の 2 本を連結した 32 ビットのレジスタで、それぞれ CPU から読み出し / 書き込み可能な 16 ビットのレジスタです。また、SDDR として CPU から 32 ビットで読み出し / 書き込みが行えます。このレジスタ値は、CPU のリセットでは初期化されませんが、 $\overline{\text{TRST}}$  では初期化されます。

## • SDDRH

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SDDRHデータ															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## • SDDRL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDDRLデータ															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 33. ユーザデバッグインタフェース (H-UDI)

#### 33.3.3 割り込み要因レジスタ (SDINT)

SDINT は CPU から読み出し / 書き込み可能な 16 ビットのレジスタです。H-UDI 端子側からは、SDIR に「H-UDI 割り込み」コマンドをセットした (Update-IR) 場合に、INTREQ ビットが 1 になります。SDIR が「H-UDI 割り込み」コマンドの間、H-UDI 端子の TDI と TDO の間に SDINT が接続され、32 ビットのレジスタとして読み出し可能です。その場合上位 16 ビットが 0 に、下位 16 ビットが SDINT になります。

CPU 側からは INTREQ ビットに 0 を書き込むことしかできません。このビットが 1 の間は割り込み要求が発行され続けますので、割り込みハンドラ内で必ず 0 にクリアするようにしてください。このレジスタ値は  $\overline{\text{TRST}}$  または TAP の Test Logic Reset ステートで初期状態になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INTREQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
0	INTREQ	0	R/W	割り込み要求ビット 「H-UDI 割り込み」コマンドによる割り込み要求の有無を示します。CPU からはこのビットに 0 を書き込むことにより割り込み要求をクリアできます。このビットに 1 を書き込んだ場合は、直前の値を保持します。

## 33.4 動作説明

### 33.4.1 TAP 制御

図 33.2 に TAP 制御回路の内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

- 遷移条件はTCKの立ち上がりエッジにおけるTMS値です。
- TDI値はTCKの立ち上がりエッジでサンプリングし、TCKの立ち下がりエッジでシフトします。
- TDO値はTCKの立ち下がりエッジで変化します。またTDOはShift-DR、Shift-IR状態以外ではハイインピーダンス状態です。
- $\overline{\text{TRST}}=0$ への遷移でTCKとは非同期で"Test-Logic-Reset"状態へ遷移します。

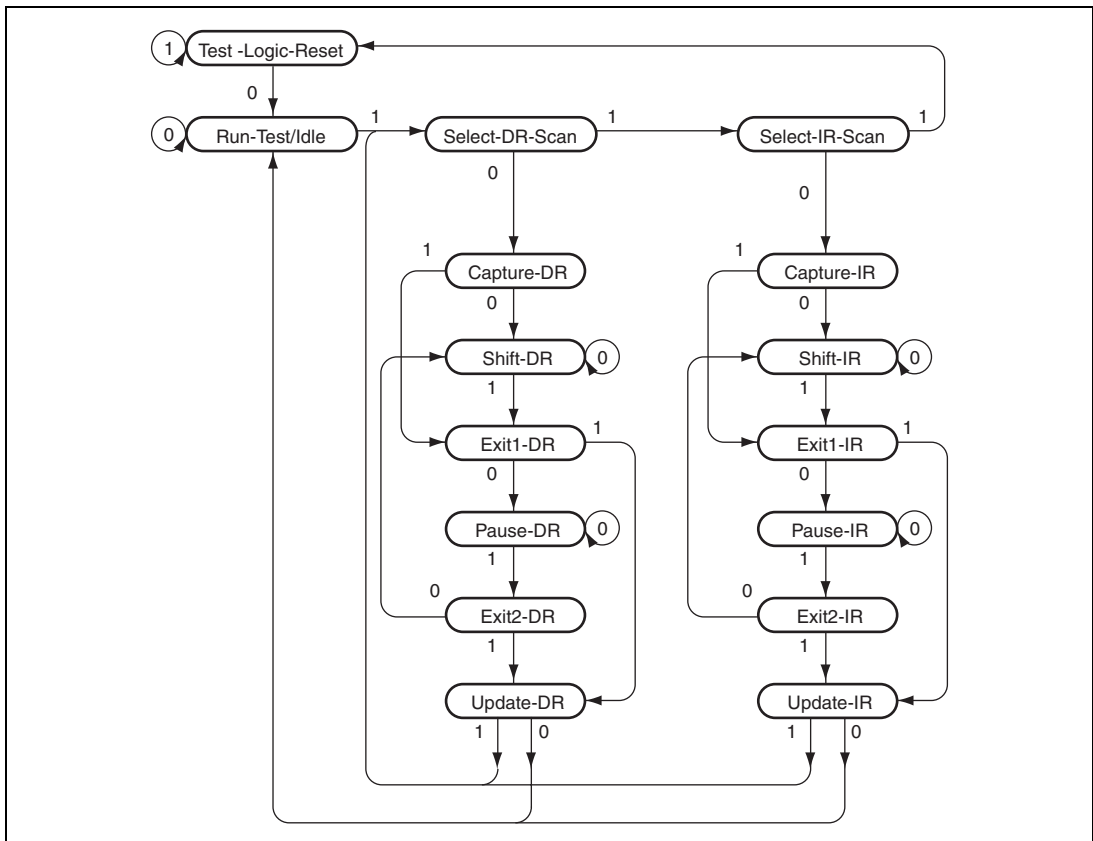


図 33.2 TAP 制御状態遷移図

### 33.4.2 H-UDI リセット

SDIR コマンドによりパワーオンリセットをかけられます。H-UDI の端子から H-UDI リセット・アサートコマンドを送り、さらに H-UDI リセット・ネゲートコマンドを送ることでリセットをかけます( 図 33.3 参照)。H-UDI リセット・アサートコマンドと H-UDI リセット・ネゲートコマンド間に必要な時間は、パワーオンリセットをかけるためにリセット端子をローレベルに保つ時間と同じです。

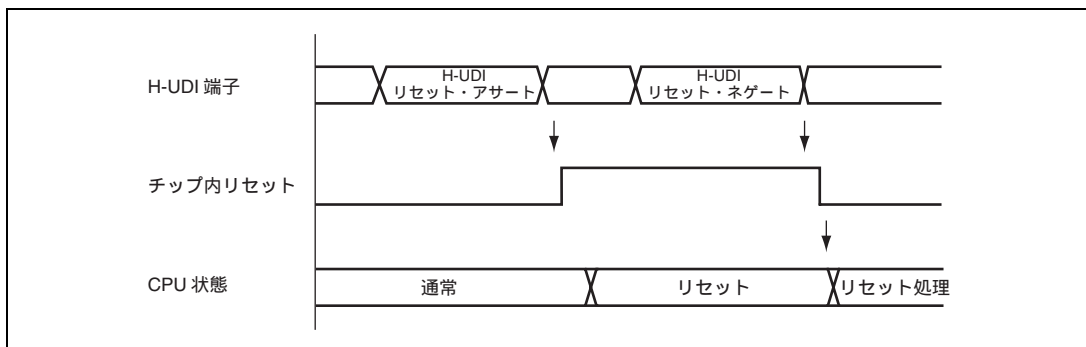


図 33.3 H-UDI リセット

### 33.4.3 H-UDI 割り込み

H-UDI 割り込み機能は、H-UDI から SDIR にコマンド値を設定することにより割り込みを発生させる機能です。

H-UDI 割り込みの要求信号は、コマンドセット後 (Update-IR) に SDINT レジスタの INTREQ ビットが 1 になることによりアサートされます。ソフトウェアにより INTREQ ビットに 0 を書き込まない限り割り込み要求信号はネゲートされませんので、割り込み要求を取りこぼすことはありません。H-UDI 割り込みコマンドが SDIR にセットされている間は、TDI と TDO の間に SDINT が接続されます。

## 33.5 注意事項

一度設定した SDIR コマンドは  $\overline{\text{TRST}}$  のアサート、または TAP を Test-Logic-Reset 状態にすることによる初期化以外は H-UDI から他のコマンドを書き込まない限り変化しません。

H-UDI は、エミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDI の機能は使用できません。

---

## 34. レジスタ一覧

---

アドレス一覧では、内蔵 I/O レジスタの情報を示し、次の構成になっています。

1. レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）
  - 機能モジュールごと、マニュアルの章番号の順に記載します。
  - 本リストに記載されていないリザーブアドレスのアクセスはしないでください。
  - アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提として、MSB側のアドレスを記載しています。
2. 各動作モードにおけるレジスタの状態
  - 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、レジスタの状態を記載します。
  - 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
  - 基本的な動作モード時のレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

## 34. レジスタ一覧

### 34.1 レジスタアドレス一覧

アクセスサイズは、ビット数を示します。

【注】 未定義、リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	
TRAPA 例外レジスタ	TRA	32	H'FF00 0020	例外処理	32	
例外事象レジスタ	EXPEVT	32	H'FF00 0024		32	
割り込み事象レジスタ	INTEVT	32	H'FF00 0028		32	
非サポート検出例外レジスタ	EXPMASK	32	H'FF2F 0004		32	
ページテーブルエントリ上位レジスタ	PTEH	32	H'FF00 0000	MMU	32	
ページテーブルエントリ下位レジスタ	PTEL	32	H'FF00 0004		32	
変換テーブルベースレジスタ	TTB	32	H'FF00 0008		32	
TLB 例外アドレスレジスタ	TEA	32	H'FF00 000C		32	
MMU 制御レジスタ	MMUCR	32	H'FF00 0010		32	
ページテーブルエントリアシスタンスレジスタ	PTEA	32	H'FF00 0034		32	
物理アドレス空間制御レジスタ	PASCR	32	H'FF00 0070		32	
命令再フェッチ抑止制御レジスタ	IRMCR	32	H'FF00 0078		32	
キャッシュ制御レジスタ	CCR	32	H'FF00 001C		キャッシュ	32
内蔵メモリ制御レジスタ	RAMCR	32	H'FF00 0074			32
Xメモリ転送元アドレスレジスタ	XSA	32	H'FF00 0050		X/Y メモリ	32
Yメモリ転送元アドレスレジスタ	YSA	32	H'FF00 0054	32		
Xメモリ転送先アドレスレジスタ	XDA	32	H'FF00 0058	32		
Yメモリ転送先アドレスレジスタ	YDA	32	H'FF00 005C	32		
Xバス保護制御レジスタ	XPR	32	H'FF00 0060	32		
Yバス保護制御レジスタ	YPR	32	H'FF00 0064	32		
Xバス例外アドレスレジスタ	XEA	32	H'FF00 0068	32		
Yバス例外アドレスレジスタ	YEA	32	H'FF00 006C	32		
割り込みコントロールレジスタ 0	ICR0	16	H'A414 0000	INTC	16	
割り込みコントロールレジスタ 1	ICR1	16	H'A414 001C		16	
割り込み優先レベル設定レジスタ 00	INTPRI00	32	H'A414 0010		32	
割り込み要因レジスタ 00	INTREQ00	8	H'A414 0024		8	
割り込みマスクレジスタ 00	INTMSK00	8	H'A414 0044		8	
割り込みマスククリアレジスタ 00	INTMSKCLR00	8	H'A414 0064		8	
NMI フラグコントロールレジスタ	NMIFCR	16	H'A414 00C0		16	
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	32	H'A470 0000		32	
割り込み優先レベル設定レジスタ A	IPRA	16	H'A408 0000		16	



## 34. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセス サイズ
割り込み優先レベル設定レジスタ B	IPRB	16	H'A408 0004	INTC	16
割り込み優先レベル設定レジスタ C	IPRC	16	H'A408 0008		16
割り込み優先レベル設定レジスタ D	IPRD	16	H'A408 000C		16
割り込み優先レベル設定レジスタ E	IPRE	16	H'A408 0010		16
割り込み優先レベル設定レジスタ F	IPRF	16	H'A408 0014		16
割り込み優先レベル設定レジスタ G	IPRG	16	H'A408 0018		16
割り込み優先レベル設定レジスタ H	IPRH	16	H'A408 001C		16
割り込み優先レベル設定レジスタ I	IPRI	16	H'A408 0020		16
割り込み優先レベル設定レジスタ J	IPRJ	16	H'A408 0024		16
割り込み優先レベル設定レジスタ K	IPRK	16	H'A408 0028		16
割り込み優先レベル設定レジスタ L	IPRL	16	H'A408 002C		16
割り込みマスクレジスタ 0	IMR0	8	H'A408 0080		8
割り込みマスクレジスタ 1	IMR1	8	H'A408 0084		8
割り込みマスクレジスタ 2	IMR2	8	H'A408 0088		8
割り込みマスクレジスタ 3	IMR3	8	H'A408 008C	8	
割り込みマスクレジスタ 4	IMR4	8	H'A408 0090	8	
割り込みマスクレジスタ 5	IMR5	8	H'A408 0094	8	
割り込みマスクレジスタ 6	IMR6	8	H'A408 0098	8	
割り込みマスクレジスタ 7	IMR7	8	H'A408 009C	8	
割り込みマスクレジスタ 8	IMR8	8	H'A408 00A0	8	
割り込みマスクレジスタ 9	IMR9	8	H'A408 00A4	8	
割り込みマスクレジスタ 10	IMR10	8	H'A408 00A8	8	
割り込みマスクレジスタ 11	IMR11	8	H'A408 00AC	8	
割り込みマスククリアレジスタ 0	IMCR0	8	H'A408 00C0	8	
割り込みマスククリアレジスタ 1	IMCR1	8	H'A408 00C4	8	
割り込みマスククリアレジスタ 2	IMCR2	8	H'A408 00C8	8	
割り込みマスククリアレジスタ 3	IMCR3	8	H'A408 00CC	8	
割り込みマスククリアレジスタ 4	IMCR4	8	H'A408 00D0	8	
割り込みマスククリアレジスタ 5	IMCR5	8	H'A408 00D4	8	
割り込みマスククリアレジスタ 6	IMCR6	8	H'A408 00D8	8	
割り込みマスククリアレジスタ 7	IMCR7	8	H'A408 00DC	8	
割り込みマスククリアレジスタ 8	IMCR8	8	H'A408 00E0	8	
割り込みマスククリアレジスタ 9	IMCR9	8	H'A408 00E4	8	
割り込みマスククリアレジスタ 10	IMCR10	8	H'A408 00E8	8	
割り込みマスククリアレジスタ 11	IMCR11	8	H'A408 00EC	8	
共通コントロールレジスタ	CMNCR	32	H'FEC1 0000	BSC	32
CS0 空間バスコントロールレジスタ	CS0BCR	32	H'FEC1 0004		32

### 34. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセス サイズ
CS4 空間バスコントロールレジスタ	CS4BCR	32	H'FEC1 0010	BSC	32
CS5A 空間バスコントロールレジスタ	CS5ABCR	32	H'FEC1 0014		32
CS5B 空間バスコントロールレジスタ	CS5BBCR	32	H'FEC1 0018		32
CS6A 空間バスコントロールレジスタ	CS6ABCR	32	H'FEC1 001C		32
CS6B 空間バスコントロールレジスタ	CS6BBCR	32	H'FEC1 0020		32
CS0 空間ウェイトコントロールレジスタ	CS0WCR	32	H'FEC1 0024		32
CS4 空間ウェイトコントロールレジスタ	CS4WCR	32	H'FEC1 0030		32
CS5A 空間ウェイトコントロールレジスタ	CS5AWCR	32	H'FEC1 0034		32
CS5B 空間ウェイトコントロールレジスタ	CS5BWCR	32	H'FEC1 0038		32
CS6A 空間ウェイトコントロールレジスタ	CS6AWCR	32	H'FEC1 003C		32
CS6B 空間ウェイトコントロールレジスタ	CS6BWCR	32	H'FEC1 0040		32
リセットバスウェイトカウンタ	RBWTCNT	32	H'FEC1 0054		32
SDRAM コントロールレジスタ 0	SDCR0	32	H'FE40 0008		SBSC
SDRAM ウェイトコントロールレジスタ	SDWCR	32	H'FE40 000C	32	
SDRAM 端子コントロールレジスタ	SDPCR	32	H'FE40 0010	32	
リフレッシュタイムコントロール/ ステータスレジスタ	RTC SR	16	H'FE40 0014	32*1	
リフレッシュタイムカウンタ	RTCNT	16	H'FE40 0018	32*1	
リフレッシュタイムコンスタントレジスタ	RTCOR	16	H'FE40 001C	32*1	
リフレッシュカウンタレジスタ	RFCR	16	H'FE40 0020	32*1	
SDRAM ウェイトコントロールレジスタ 2	SDWCR2	32	H'FE40 0028	32	
SDRAM モードレジスタ*2	SDMR	-	H'FE5x xxxx	8	
SDRAM コントロールレジスタ 1	SDCR1	32	H'FE40 0030	32	
SDRAM ライトプロテクトコントロールレジスタ	SDWPCR	32	H'FE40 0034	32	
SDRAM モードレジスタ設定コントロール レジスタ	SDMR CR	32	H'FE40 0038	32	
バーストリフレッシュカウンタレジスタ	BSTRCNT	32	H'FE40 0040	32	
DMA ソースアドレスレジスタ_0	SAR_0	32	H'FE00 8020	DMAC	32
DMA デスティネーションアドレスレジスタ_0	DAR_0	32	H'FE00 8024		32
DMA トランスファカウンタレジスタ_0	TCR_0	32	H'FE00 8028		32
DMA チャネルコントロールレジスタ_0	CHCR_0	32	H'FE00 802C		32
DMA ソースアドレスレジスタ_1	SAR_1	32	H'FE00 8030		32
DMA デスティネーションアドレスレジスタ_1	DAR_1	32	H'FE00 8034		32
DMA トランスファカウンタレジスタ_1	TCR_1	32	H'FE00 8038		32
DMA チャネルコントロールレジスタ_1	CHCR_1	32	H'FE00 803C		32
DMA ソースアドレスレジスタ_2	SAR_2	32	H'FE00 8040		32
DMA デスティネーションアドレスレジスタ_2	DAR_2	32	H'FE00 8044		32

## 34. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセス サイズ
DMA トランスファカウントレジスタ_2	TCR_2	32	H'FE00 8048	DMAC	32
DMA チャネルコントロールレジスタ_2	CHCR_2	32	H'FE00 804C		32
DMA ソースアドレスレジスタ_3	SAR_3	32	H'FE00 8050		32
DMA デスティネーションアドレスレジスタ_3	DAR_3	32	H'FE00 8054		32
DMA トランスファカウントレジスタ_3	TCR_3	32	H'FE00 8058		32
DMA チャネルコントロールレジスタ_3	CHCR_3	32	H'FE00 805C		32
DMA オペレーションレジスタ	DMAOR	16	H'FE00 8060		16
DMA ソースアドレスレジスタ_4	SAR_4	32	H'FE00 8070		32
DMA デスティネーションアドレスレジスタ_4	DAR_4	32	H'FE00 8074		32
DMA トランスファカウントレジスタ_4	TCR_4	32	H'FE00 8078		32
DMA チャネルコントロールレジスタ_4	CHCR_4	32	H'FE00 807C		32
DMA ソースアドレスレジスタ_5	SAR_5	32	H'FE00 8080		32
DMA デスティネーションアドレスレジスタ_5	DAR_5	32	H'FE00 8084		32
DMA トランスファカウントレジスタ_5	TCR_5	32	H'FE00 8088		32
DMA チャネルコントロールレジスタ_5	CHCR_5	32	H'FE00 808C		32
DMA ソースアドレスレジスタ B_0	SARB_0	32	H'FE00 8120		32
DMA デスティネーションアドレスレジスタ B_0	DARB_0	32	H'FE00 8124		32
DMA トランスファカウントレジスタ B_0	TCRB_0	32	H'FE00 8128		32
DMA ソースアドレスレジスタ B_1	SARB_1	32	H'FE00 8130		32
DMA デスティネーションアドレスレジスタ B_1	DARB_1	32	H'FE00 8134		32
DMA トランスファカウントレジスタ B_1	TCRB_1	32	H'FE00 8138		32
DMA ソースアドレスレジスタ B_2	SARB_2	32	H'FE00 8140		32
DMA デスティネーションアドレスレジスタ B_2	DARB_2	32	H'FE00 8144		32
DMA トランスファカウントレジスタ B_2	TCRB_2	32	H'FE00 8148		32
DMA ソースアドレスレジスタ B_3	SARB_3	32	H'FE00 8150	32	
DMA デスティネーションアドレスレジスタ B_3	DARB_3	32	H'FE00 8154	32	
DMA トランスファカウントレジスタ B_3	TCRB_3	32	H'FE00 8158	32	
DMA 拡張リソースセクタ 0	DMARS0	16	H'FE00 9000	16	
DMA 拡張リソースセクタ 1	DMARS1	16	H'FE00 9004	16	
DMA 拡張リソースセクタ 2	DMARS2	16	H'FE00 9008	16	
周波数制御レジスタ	FRQCR	32	H'A415 0000	CPG	32
IrDA クロック周波数制御レジスタ	IrDACLKCR	32	H'A415 0018		32
PLL 制御レジスタ	PLLCR	32	H'A415 0024		32
DLL 連倍レジスタ	DLLFRQ	32	H'A415 0050		32

### 34. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセス サイズ
スタンバイコントロールレジスタ	STBCR	32	H'A415 0020	低消費電力	32
モジュールストップレジスタ 0	MSTPCR0	32	H'A415 0030		32
モジュールストップレジスタ 1	MSTPCR1	32	H'A415 0034		32
モジュールストップレジスタ 2	MSTPCR2	32	H'A415 0038		32
RCLK ウォッチドッグタイマカウンタ	RWTCNT	8	H'A452 0000	RWDT	8/16 <sup>※3</sup>
RCLK ウォッチドッグタイマコントロール/ ステータスレジスタ	RWTCR	8	H'A452 0004		8/16 <sup>※3</sup>
タイマスタートレジスタ	TSTR	8	H'FFD8 0004	TMU	8
タイマコンスタントレジスタ_0	TCOR_0	32	H'FFD8 0008		32
タイマカウンタ_0	TCNT_0	32	H'FFD8 000C		32
タイマコントロールレジスタ_0	TCR_0	16	H'FFD8 0010		16
タイマコンスタントレジスタ_1	TCOR_1	32	H'FFD8 0014		32
タイマカウンタ_1	TCNT_1	32	H'FFD8 0018		32
タイマコントロールレジスタ_1	TCR_1	16	H'FFD8 001C		16
タイマコンスタントレジスタ_2	TCOR_2	32	H'FFD8 0020		32
タイマカウンタ_2	TCNT_2	32	H'FFD8 0024		32
タイマコントロールレジスタ_2	TCR_2	16	H'FFD8 0028		16
タイマスタートレジスタ	TPU_TSTR	16	H'A4C9 0000		TPU
タイマコントロールレジスタ 0	TPU_TCR0	16	H'A4C9 0010	16	
タイマモードレジスタ 0	TPU_TMDR0	16	H'A4C9 0014	16	
タイマ I/O コントロールレジスタ 0	TPU_TIOR0	16	H'A4C9 0018	16	
タイムインタラプトイネーブルレジスタ 0	TPU_TIER0	16	H'A4C9 001C	16	
タイマステータスレジスタ 0	TPU_TSR0	16	H'A4C9 0020	16	
タイマカウンタ 0	TPU_TCNT0	16	H'A4C9 0024	16	
タイマジェネラルレジスタ 0A	TPU_TGR0A	16	H'A4C9 0028	16	
タイマジェネラルレジスタ 0B	TPU_TGR0B	16	H'A4C9 002C	16	
タイマジェネラルレジスタ 0C	TPU_TGR0C	16	H'A4C9 0030	16	
タイマジェネラルレジスタ 0D	TPU_TGR0D	16	H'A4C9 0034	16	
タイマコントロールレジスタ 1	TPU_TCR1	16	H'A4C9 0050	16	
タイマモードレジスタ 1	TPU_TMDR1	16	H'A4C9 0054	16	
タイムインタラプトイネーブルレジスタ 1	TPU_TIER1	16	H'A4C9 005C	16	
タイマステータスレジスタ 1	TPU_TSR1	16	H'A4C9 0060	16	
タイマカウンタ 1	TPU_TCNT1	16	H'A4C9 0064	16	
タイマジェネラルレジスタ 1A	TPU_TGR1A	16	H'A4C9 0068	16	
タイマジェネラルレジスタ 1B	TPU_TGR1B	16	H'A4C9 006C	16	
タイマジェネラルレジスタ 1C	TPU_TGR1C	16	H'A4C9 0070	16	

## 34. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセス サイズ	
タイムジェネラルレジスタ 1D	TPU_TGR1D	16	H'A4C9 0074	TPU	16	
タイムコントロールレジスタ 2	TPU_TCR2	16	H'A4C9 0090		16	
タイムモードレジスタ 2	TPU_TMDR2	16	H'A4C9 0094		16	
タイムインタラプティネーブルレジスタ 2	TPU_TIER2	16	H'A4C9 009C		16	
タイムステータスレジスタ 2	TPU_TSR2	16	H'A4C9 00A0		16	
タイムカウンタ 2	TPU_TCNT2	16	H'A4C9 00A4		16	
タイムジェネラルレジスタ 2A	TPU_TGR2A	16	H'A4C9 00A8		16	
タイムジェネラルレジスタ 2B	TPU_TGR2B	16	H'A4C9 00AC		16	
タイムジェネラルレジスタ 2C	TPU_TGR2C	16	H'A4C9 00B0		16	
タイムジェネラルレジスタ 2D	TPU_TGR2D	16	H'A4C9 00B4		16	
タイムコントロールレジスタ 3	TPU_TCR3	16	H'A4C9 00D0		16	
タイムモードレジスタ 3	TPU_TMDR3	16	H'A4C9 00D4		16	
タイムインタラプティネーブルレジスタ 3	TPU_TIER3	16	H'A4C9 00DC		16	
タイムステータスレジスタ 3	TPU_TSR3	16	H'A4C9 00E0		16	
タイムカウンタ 3	TPU_TCNT3	16	H'A4C9 00E4		16	
タイムジェネラルレジスタ 3A	TPU_TGR3A	16	H'A4C9 00E8		16	
タイムジェネラルレジスタ 3B	TPU_TGR3B	16	H'A4C9 00EC		16	
タイムジェネラルレジスタ 3C	TPU_TGR3C	16	H'A4C9 00F0	16		
タイムジェネラルレジスタ 3D	TPU_TGR3D	16	H'A4C9 00F4	16		
コンペアマッチタイムスタートレジスタ	CMSTR	16	H'A44A 0000	CMT	16	
コンペアマッチタイムコントロール/ ステータスレジスタ	CMCSR	16	H'A44A 0060		16	
コンペアマッチタイムカウンタ	CMCNT	32	H'A44A 0064		32	
コンペアマッチタイムコンスタントレジスタ	CMCOR	32	H'A44A 0068		32	
モードレジスタ	SIOMDR	16	H'A450 0000	SIO	16	
コントロールレジスタ	SIOCTR	16	H'A450 0004		16	
ストローブコントロールレジスタ 0	SIOSTBCR0	16	H'A450 0008		16	
ストローブコントロールレジスタ 1	SIOSTBCR1	16	H'A450 000C		16	
送信データレジスタ	SIOTDR	32	H'A450 0014		32	
受信データレジスタ	SIORDR	32	H'A450 0018		32	
ステータスレジスタ	SIOSTR	16	H'A450 001C		16	
割り込み許可レジスタ	SIOIER	16	H'A450 0020		16	
クロックセレクトレジスタ	SIOSCR	16	H'A450 0024		16	
モードレジスタ 0	SIMDR0	16	H'A441 0000		SIOF	16
クロックセレクトレジスタ 0	SISCR0	16	H'A441 0002			16
送信データアサインレジスタ 0	SITDAR0	16	H'A441 0004	16		

### 34. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセス サイズ
受信データアサインレジスタ 0	SIRDAR0	16	H'A441 0006	SIOF	16
制御データアサインレジスタ 0	SICDAR0	16	H'A441 0008		16
コントロールレジスタ 0	SICTR0	16	H'A441 000C		16
FIFO コントロールレジスタ 0	SIFCTR0	16	H'A441 0010		16
ステータスレジスタ 0	SISTR0	16	H'A441 0014		16
割り込み許可レジスタ 0	SIIER0	16	H'A441 0016		16
送信データレジスタ 0	SITDR0	32	H'A441 0020		32
受信データレジスタ 0	SIRDR0	32	H'A441 0024		32
送信制御データレジスタ 0	SITCR0	32	H'A441 0028		32
受信制御データレジスタ 0	SIRCR0	32	H'A441 002C		32
SPI 制御レジスタ 0	SPICR0	16	H'A441 0030		16
モードレジスタ 1	SIMDR1	16	H'A442 0000		16
クロックセレクトレジスタ 1	SISCR1	16	H'A442 0002		16
送信データアサインレジスタ 1	SITDAR1	16	H'A442 0004		16
受信データアサインレジスタ 1	SIRDAR1	16	H'A442 0006		16
制御データアサインレジスタ 1	SICDAR1	16	H'A442 0008		16
コントロールレジスタ 1	SICTR1	16	H'A442 000C		16
FIFO コントロールレジスタ 1	SIFCTR1	16	H'A442 0010		16
ステータスレジスタ 1	SISTR1	16	H'A442 0014		16
割り込み許可レジスタ 1	SIIER1	16	H'A442 0016		16
送信データレジスタ 1	SITDR1	32	H'A442 0020		32
受信データレジスタ 1	SIRDR1	32	H'A442 0024		32
送信制御データレジスタ 1	SITCR1	32	H'A442 0028		32
受信制御データレジスタ 1	SIRCR1	32	H'A442 002C		32
SPI 制御レジスタ 1	SPICR1	16	H'A442 0030	16	
シリアルモードレジスタ 0	SCSMR0	16	H'FFE0 0000	SCIF	16
ビットレートレジスタ 0	SCBRR0	8	H'FFE0 0004		8
シリアルコントロールレジスタ 0	SCSCR0	16	H'FFE0 0008		16
トランスミット FIFO データレジスタ 0	SCFTDR0	8	H'FFE0 000C		8
シリアルステータスレジスタ 0	SCFSR0	16	H'FFE0 0010		16
レシーブ FIFO データレジスタ 0	SCFRDR0	8	H'FFE0 0014		8
FIFO コントロールレジスタ 0	SCFCR0	16	H'FFE0 0018		16
FIFO データ数レジスタ 0	SCFDR0	16	H'FFE0 001C		16
ラインステータスレジスタ 0	SCLSR0	16	H'FFE0 0024		16
シリアルモードレジスタ 1	SCSMR1	16	H'FFE1 0000		16
ビットレートレジスタ 1	SCBRR1	8	H'FFE1 0004		8

## 34. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセス サイズ
シリアルコントロールレジスタ 1	SCSCR1	16	H'FFE1 0008	SCIF	16
トランスミット FIFO データレジスタ 1	SCFTDR1	8	H'FFE1 000C		8
シリアルステータスレジスタ 1	SCFSR1	16	H'FFE1 0010		16
レシーブ FIFO データレジスタ 1	SCFRDR1	8	H'FFE1 0014		8
FIFO コントロールレジスタ 1	SCFCR1	16	H'FFE1 0018		16
FIFO データ数レジスタ 1	SCFDR1	16	H'FFE1 001C		16
ラインステータスレジスタ 1	SCLSR1	16	H'FFE1 0024		16
シリアルモードレジスタ 2	SCSMR2	16	H'FFE2 0000		16
ビットレートレジスタ 2	SCBRR2	8	H'FFE2 0004		8
シリアルコントロールレジスタ 2	SCSCR2	16	H'FFE2 0008		16
トランスミット FIFO データレジスタ 2	SCFTDR2	8	H'FFE2 000C		8
シリアルステータスレジスタ 2	SCFSR2	16	H'FFE2 0010		16
レシーブ FIFO データレジスタ 2	SCFRDR2	8	H'FFE2 0014		8
FIFO コントロールレジスタ 2	SCFCR2	16	H'FFE2 0018		16
FIFO データ数レジスタ 2	SCFDR2	16	H'FFE2 001C		16
ラインステータスレジスタ 2	SCLSR2	16	H'FFE2 0024		16
シリアルモードレジスタ	SCSMR	8	H'A449 0000	SIM	8
ビットレートレジスタ	SCBRR	8	H'A449 0002		8
シリアルコントロールレジスタ	SCSCR	8	H'A449 0004		8
トランスミットデータレジスタ	SCTDR	8	H'A449 0006		8
シリアルステータスレジスタ	SCSSR	8	H'A449 0008		8
レシーブデータレジスタ	SCRDR	8	H'A449 000A		8
スマートカードモードレジスタ	SCSCMR	8	H'A449 000C		8
シリアルコントロール 2 レジスタ	SCSC2R	8	H'A449 000E		8
ウェイトタイムレジスタ	SCWAIT	16	H'A449 0010		16
ガードエクステンションレジスタ	SCGRD	8	H'A449 0012		8
サンプルレジスタ	SCSMPL	16	H'A449 0014		16
DMA イネーブルレジスタ	SCDMAEN	8	H'A449 0016		8
DMA 受信割り込み要因クリアレジスタ	IRIF_RINTCLR	16	H'A45D 0016	IrDA	16/8
DMA 送信割り込み要因クリアレジスタ	IRIF_TINTCLR	16	H'A45D 0018		16/8
IrDA-SIR10 コントロールレジスタ	IRIF_SIR0	16	H'A45D 0020		16/8
IrDA-SIR10 ボーレート誤差補正レジスタ	IRIF_SIR1	16	H'A45D 0022		16/8
IrDA-SIR10 ボーレートカウント設定レジスタ	IRIF_SIR2	16	H'A45D 0024		16/8
IrDA-SIR10 ステータスレジスタ	IRIF_SIR3	16	H'A45D 0026		16/8
ハードウェアフレーム処理設定レジスタ	IRIF_SIR_FRM	16	H'A45D 0028		16/8
EOF 値設定レジスタ	IRIF_SIR_EOF	16	H'A45D 002A		16/8

### 34. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセス サイズ
フラグクリアレジスタ	IRIF_SIR_FLG	16	H'A45D 002C	IrDA	16/8
UART ステータスレジスタ 2	IRIF_SIR_STS2	16	H'A45D 002E		16/8
UART コントロールレジスタ	IRIF_UART0	16	H'A45D 0030		16/8
UART ステータスレジスタ	IRIF_UART1	16	H'A45D 0032		16/8
UART モードレジスタ	IRIF_UART2	16	H'A45D 0034		16/8
UART 送信データレジスタ	IRIF_UART3	16	H'A45D 0036		16/8
UART 受信データレジスタ	IRIF_UART4	16	H'A45D 0038		16/8
UART 割り込みマスクレジスタ	IRIF_UART5	16	H'A45D 003A		16/8
UART ボーレート誤差補正レジスタ	IRIF_UART6	16	H'A45D 003C		16/8
UART ボーレートカウントレジスタ	IRIF_UART7	16	H'A45D 003E		16/8
CRC エンジンコントロールレジスタ	IRIF_CRC0	16	H'A45D 0040		16/8
CRC エンジン入力データレジスタ	IRIF_CRC1	16	H'A45D 0042		16/8
CRC エンジン演算レジスタ	IRIF_CRC2	16	H'A45D 0044		16/8
CRC エンジン出力データレジスタ 1	IRIF_CRC3	16	H'A45D 0046		16/8
CRC エンジン出力データレジスタ 2	IRIF_CRC4	16	H'A45D 0048		16/8
I2C バスデータレジスタ	ICDR	8	H'A447 0000	IIC	8
I2C バスコントロールレジスタ	ICCR	8	H'A447 0004		8
I2C バスステータスレジスタ	ICSR	8	H'A447 0008		8
I2C 割り込みコントロールレジスタ	ICIC	8	H'A447 000C		8
I2C クロックコントロールレジスタロー	ICCL	8	H'A447 0010		8
I2C クロックコントロールレジスタハイ	ICCH	8	H'A447 0014		8
64Hz カウンタ	R64CNT	8	H'A465 FEC0	RTC	8
秒カウンタ	RSECCNT	8	H'A465 FEC2		8
分カウンタ	RMINCNT	8	H'A465 FEC4		8
時カウンタ	RHRCNT	8	H'A465 FEC6		8
曜日カウンタ	RWKCNT	8	H'A465 FEC8		8
日カウンタ	RDAYCNT	8	H'A465 FECA		8
月カウンタ	RMONCNT	8	H'A465 FECC		8
年カウンタ	RYRCNT	16	H'A465 FECE		16
秒アラームレジスタ	RSECAR	8	H'A465 FED0		8
分アラームレジスタ	RMINAR	8	H'A465 FED2		8
時アラームレジスタ	RHRAR	8	H'A465 FED4		8
曜日アラームレジスタ	RWKAR	8	H'A465 FED6		8
日アラームレジスタ	RDAYAR	8	H'A465 FED8		8
月アラームレジスタ	RMONAR	8	H'A465 FEDA		8
RTC コントロールレジスタ 1	RCR1	8	H'A465 FEDC		8



## 34. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセス サイズ
RTC コントロールレジスタ 2	RCR2	8	H'A465 FEDE	RTC	8
年アラームレジスタ	RYRAR	16	H'A465 FEE0		16
RTC コントロールレジスタ 3	RCR3	8	H'A465 FEE4		8
LCDC は、一部のレジスタを除き A 面、B 面アドレスとミラーアドレスを持ちます。表 34.1 を参照ください。				LCDC	
CFIFO ポートコントロールレジスタ	CFIFOCTR	16	H'A448 0020	USB	16
CFIFO ポート SIE レジスタ	CFIFOSIE	16	H'A448 0022		16
D0FIFO ポート選択レジスタ	D0FIFOSEL	16	H'A448 0024		16
D0FIFO ポートコントロールレジスタ	D0FIFOCTR	16	H'A448 0026		16
D0 トランザクションカウンタレジスタ	D0FIFOTRN	16	H'A448 0028		16
割り込み許可レジスタ 0	INTENB0	16	H'A448 0030		16
割り込み許可レジスタ 1	INTENB1	16	H'A448 0032		16
BRDY 割り込み許可レジスタ	BRDYENB	16	H'A448 0036		16
NRDY 割り込み許可レジスタ	NRDYENB	16	H'A448 0038		16
BEMP 割り込み許可レジスタ	BEMPENB	16	H'A448 003A		16
割り込みステータスレジスタ 0	INTSTS0	16	H'A448 0040		16
割り込みステータスレジスタ 1	INTSTS1	16	H'A448 0042		16
BRDY 割り込みステータスレジスタ	BRDYSTS	16	H'A448 0046		16
NRDY 割り込みステータスレジスタ	NRDYSTS	16	H'A448 0048		16
BEMP 割り込みステータスレジスタ	BEMPSTS	16	H'A448 004A		16
フレームナンバレジスタ	FRMNUM	16	H'A448 004C		16
μフレームナンバレジスタ	UFRMNUM	16	H'A448 004E		16
USB アドレスレジスタ	RECOVER	16	H'A448 0050		16
USB リクエストタイプレジスタ	USBREQ	16	H'A448 0054		16
USB リクエストバリュレジスタ	USBVAL	16	H'A448 0056		16
USB リクエストインデックスレジスタ	USBINDX	16	H'A448 0058		16
USB リクエストレングスレジスタ	USBLENG	16	H'A448 005A		16
DCP コンフィグレーションレジスタ	DCPCFG	16	H'A448 005C		16
DCP マックスパケットサイズレジスタ	DCPMAXP	16	H'A448 005E		16
DCP コントロールレジスタ	DCPCTR	16	H'A448 0060		16
パイプウィンドウ選択レジスタ	PIPESEL	16	H'A448 0064		16
パイプコンフィグレーションレジスタ	PIPECFG	16	H'A448 0066		16
パイプバッファ指定レジスタ	PIPEBUF	16	H'A448 0068	16	
パイプマックスパケットサイズレジスタ	PIPEMAXP	16	H'A448 006A	16	
パイプ周期制御レジスタ	PIPEPERI	16	H'A448 006C	16	
PIPE1 コントロールレジスタ	PIPE1CTR	16	H'A448 0070	16	
PIPE2 コントロールレジスタ	PIPE2CTR	16	H'A448 0072	16	

### 34. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセス サイズ
PIPE3 コントロールレジスタ	PIPE3CTR	16	H'A448 0074	USB	16
PIPE4 コントロールレジスタ	PIPE4CTR	16	H'A448 0076		16
PIPE5 コントロールレジスタ	PIPE5CTR	16	H'A448 0078		16
PIPE6 コントロールレジスタ	PIPE6CTR	16	H'A448 007A		16
PIPE7 コントロールレジスタ	PIPE7CTR	16	H'A448 007C		16
キースキャンコントロールレジスタ 1	KYCR1	16	H'A44B 0000	KEYSC	16
キースキャンコントロールレジスタ 2	KYCR2	16	H'A44B 0004		16
キースキャンインデータレジスタ	KYINDR	16	H'A44B 0008		16
キースキャンアウトデータレジスタ	KYOUTDR	16	H'A44B 000C		16
ボ - ト A コントロ - ルレジスタ	PACR	16	H'A4050100	PFC	16
ボ - ト B コントロ - ルレジスタ	PBCR	16	H'A4050102		16
ボ - ト C コントロ - ルレジスタ	PCCR	16	H'A4050104		16
ボ - ト D コントロ - ルレジスタ	PDCR	16	H'A4050106		16
ボ - ト E コントロ - ルレジスタ	PECR	16	H'A4050108		16
ボ - ト F コントロ - ルレジスタ	PFCR	16	H'A405010A		16
ボ - ト G コントロ - ルレジスタ	PGCR	16	H'A405010C		16
ボ - ト H コントロ - ルレジスタ	PHCR	16	H'A405010E		16
ボ - ト J コントロ - ルレジスタ	PJCR	16	H'A4050110		16
ボ - ト K コントロ - ルレジスタ	PKCR	16	H'A4050112		16
ボ - ト L コントロ - ルレジスタ	PLCR	16	H'A4050114		16
ボ - ト M コントロ - ルレジスタ	PMCR	16	H'A4050116		16
ボ - ト N コントロ - ルレジスタ	PNCR	16	H'A4050118		16
ボ - ト Q コントロ - ルレジスタ	PQCR	16	H'A405011A		16
ボ - ト R コントロ - ルレジスタ	PRCR	16	H'A405011C		16
ボ - ト S コントロ - ルレジスタ	PSCR	16	H'A405011E		16
ボ - ト T コントロ - ルレジスタ	PTCR	16	H'A4050140		16
ボ - ト U コントロ - ルレジスタ	PUCR	16	H'A4050142		16
ボ - ト V コントロ - ルレジスタ	PVCR	16	H'A4050144		16
ボ - ト W コントロ - ルレジスタ	PWCR	16	H'A4050146		16
ボ - ト X コントロ - ルレジスタ	PXCR	16	H'A4050148		16
ボ - ト Y コントロ - ルレジスタ	PYCR	16	H'A405014A		16
ボ - ト Z コントロ - ルレジスタ	PZCR	16	H'A405014C		16
ピンセレクトレジスタ A	PSELA	16	H'A405014E		16
ピンセレクトレジスタ B	PSELB	16	H'A4050150	16	
ピンセレクトレジスタ C	PSELC	16	H'A4050152	16	
ピンセレクトレジスタ D	PSELD	16	H'A4050154	16	

## 34. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセス サイズ
ピンセレクトレジスタ E	PSELE	16	H'A4050156	PFC	16
I/O バッファ Hi-Z 制御レジスタ A	HIZCRA	16	H'A4050158		16
I/O バッファ Hi-Z 制御レジスタ B	HIZCRB	16	H'A405015A		16
I/O バッファ Hi-Z 制御レジスタ C	HIZCRC	16	H'A405015C		16
モジュール機能選択レジスタ	MSELCRA	16	H'A4050180		16
モジュール機能選択レジスタ	MSELCRB	16	H'A4050182		16
ブルアップダウン制御レジスタ	PULCR	16	H'A4050184		16
I/O バッファ Drive 制御レジスタ	DRVCR	16	H'A405018A		16
SBSC タイミング制御レジスタ	SBSCR	16	H'A4050186		16
ポート A データレジスタ	PADR	8	H'A405 0120	ポート	8
ポート B データレジスタ	PBDR	8	H'A405 0122		8
ポート C データレジスタ	PCDR	8	H'A405 0124		8
ポート D データレジスタ	PDDR	8	H'A405 0126		8
ポート E データレジスタ	PEDR	8	H'A405 0128		8
ポート F データレジスタ	PFDR	8	H'A405 012A		8
ポート G データレジスタ	PGDR	8	H'A405 012C		8
ポート H データレジスタ	PHDR	8	H'A405 012E		8
ポート J データレジスタ	PJDR	8	H'A405 0130		8
ポート K データレジスタ	PKDR	8	H'A405 0132		8
ポート L データレジスタ	PLDR	8	H'A405 0134		8
ポート M データレジスタ	PMDR	8	H'A405 0136		8
ポート N データレジスタ	PNDR	8	H'A405 0138		8
ポート Q データレジスタ	PQDR	8	H'A405 013A		8
ポート R データレジスタ	PRDR	8	H'A405 013C		8
ポート S データレジスタ	PSDR	8	H'A405 013E		8
ポート T データレジスタ	PTDR	8	H'A405 0160		8
ポート U データレジスタ	PUDR	8	H'A405 0162		8
ポート V データレジスタ	PVDR	8	H'A405 0164		8
ポート W データレジスタ	PWDR	8	H'A405 0166		8
ポート X データレジスタ	PXDR	8	H'A405 0168	8	
ポート Y データレジスタ	PYDR	8	H'A405 016A	8	
ポート Z データレジスタ	PZDR	8	H'A405 016C	8	
マッチ条件設定レジスタ 0	CBR0	32	H'FF20 0000	UBC	32
マッチ動作設定レジスタ 0	CRR0	32	H'FF20 0004		32
マッチアドレス設定レジスタ 0	CAR0	32	H'FF20 0008		32
マッチアドレスマスク設定レジスタ 0	CAMR0	32	H'FF20 000C		32

### 34. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセス サイズ
マッチ条件設定レジスタ 1	CBR1	32	H'FF20 0020	UBC	32
マッチ動作設定レジスタ 1	CRR1	32	H'FF20 0024		32
マッチアドレス設定レジスタ 1	CAR1	32	H'FF20 0028		32
マッチアドレスマスク設定レジスタ 1	CAMR1	32	H'FF20 002C		32
マッチデータ設定レジスタ 1	CDR1	32	H'FF20 0030		32
マッチデータマスク設定レジスタ 1	CDMR1	32	H'FF20 0034		32
実行回数ブレークレジスタ 1	CETR1	32	H'FF20 0038		32
チャンネルマッチフラグレジスタ	CCMFR	32	H'FF20 0600		32
ブレークコントロールレジスタ	CBCR	32	H'FF20 0620		32
インストラクションレジスタ	SDIR	16	H'FC11 0000		H-UDI
データレジスタ H	SDDR/SDDRH	16	H'FC11 0008	32/16	
データレジスタ L	SDDRL	16	H'FC11 000A	16	
割り込み要因レジスタ	SDINT	16	H'FC11 0018	16	

- 【注】 \*1 本レジスタは誤書き込み防止のため、書き込みデータの上位 16 ビットを H'A55A とした 32 ビット書き込みのみ受け付け、それ以外は書き込みが行われません。読み出し時、上位 16 ビットは 0 が読み出されます。
- \*2 本レジスタの実体は SDRAM 内にあります。本レジスタ空間をアクセスすることにより、SDRAM 内のレジスタに書き込まれます。詳しくは「12.5.2 (11) パワーオンシーケンス」を参照してください。
- \*3 書き込みは 16 ビット、読み出しは 8 ビットです。

表 34.1 LCDC のレジスタアドレス一覧

レジスタ名称	略称	ビット 数	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラー アドレス	
LCDC バレットデータレジスタ	LDPR00 ~ LDPRFF	32	H'FE94 0000 ~ H'FE94 03FC	-	-	32
メイン LCD ドットクロックパターンレジスタ 1	MLDDCKPAT1R	32	H'FE94 0400	-	-	32
メイン LCD ドットクロックパターンレジスタ 2	MLDDCKPAT2R	32	H'FE94 0404	-	-	32
サブ LCD ドットクロックパターンレジスタ 1	SLDDCKPAT1R	32	H'FE94 0408	-	-	32
サブ LCD ドットクロックパターンレジスタ 2	SLDDCKPAT2R	32	H'FE94 040C	-	-	32
LCDC ドットクロックレジスタ	LDCKR	32	H'FE94 0410	-	-	32
ドットクロックストップレジスタ	LDCKSTPR	32	H'FE94 0414	-	-	32
メイン LCD モジュールタイプレジスタ 1	MLDMT1R	32	H'FE94 0418	H'FE94 1418	H'FE94 2418	32
メイン LCD モジュールタイプレジスタ 2	MLDMT2R	32	H'FE94 041C	H'FE94 141C	H'FE94 241C	32
メイン LCD モジュールタイプレジスタ 3	MLDMT3R	32	H'FE94 0420	H'FE94 1420	H'FE94 2420	32
メイン LCD データフォーマットレジスタ	MLDDFR	32	H'FE94 0424	H'FE94 1424	H'FE94 2424	32
メイン LCD スキャンモードレジスタ 1	MLDSM1R	32	H'FE94 0428	H'FE94 1428	H'FE94 2428	32
メイン LCD スキャンモードレジスタ 2	MLDSM2R	32	H'FE94 042C	-	-	32
メイン LCD 表示データ取り込み開始アドレス レジスタ 1	MLDSA1R	32	H'FE94 0430	H'FE94 1430	H'FE94 2430	32
メイン LCD 表示データ取り込み開始アドレス レジスタ 2	MLDSA2R	32	H'FE94 0434	H'FE94 1434	H'FE94 2434	32
メイン LCD 表示データ格納メモリラインサイズ レジスタ	MLDMLSR	32	H'FE94 0438	H'FE94 1438	H'FE94 2438	32
メイン LCD 書き戻しデータフォーマットレジスタ	MLDWBFR	32	H'FE94 043C	H'FE94 143C	H'FE94 243C	32
メイン LCD 書き戻し制御レジスタ	MLDWBCNTR	32	H'FE94 0440	H'FE94 1440	H'FE94 2440	32
メイン LCD 書き戻し先開始アドレスレジスタ	MLDWBAR	32	H'FE94 0444	H'FE94 1444	H'FE94 2444	32
メイン LCD 水平キャラクタナンバレジスタ	MLDHCNR	32	H'FE94 0448	H'FE94 1448	H'FE94 2448	32
メイン LCD 水平同期信号レジスタ	MLDHSYNR	32	H'FE94 044C	H'FE94 144C	H'FE94 244C	32
メイン LCD 垂直ラインナンバレジスタ	MLDVLNR	32	H'FE94 0450	H'FE94 1450	H'FE94 2450	32
メイン LCD 垂直同期信号レジスタ	MLDVSYNR	32	H'FE94 0454	H'FE94 1454	H'FE94 2454	32
メイン LCD 水平バーシャル画面レジスタ	MLDHPDR	32	H'FE94 0458	H'FE94 1458	H'FE94 2458	32
メイン LCD 垂直バーシャル画面レジスタ	MLDVPDR	32	H'FE94 045C	H'FE94 145C	H'FE94 245C	32
メイン LCD パワーマネジメントレジスタ	MLDPMR	32	H'FE94 0460	-	-	32
LCDC バレット制御レジスタ	LDPALCR	32	H'FE94 0464	-	-	32
LCDC 割り込みレジスタ	LDINTR	32	H'FE94 0468	-	-	32

### 34. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス			アクセス サイズ
			アドレス (A面)	アドレス (B面)	ミラー アドレス	
LCDC ステータスレジスタ	LDSR	32	H'FE94 046C	-	-	32
LCDC 制御レジスタ 1	LDCNT1R	32	H'FE94 0470	-	-	32
LCDC 制御レジスタ 2	LDCNT2R	32	H'FE94 0474	-	-	32
LCDC レジスタ面制御レジスタ	LDRCNTR	32	H'FE94 0478	-	-	32
LCDC 入力画像データスワップレジスタ	LDDDSR	32	H'FE94 047C	-	-	32
LCDC レジスタ面強制指定レジスタ	LDRCR	32	H'FE94 0484	-	-	32
サブ LCD モジュールタイプレジスタ 1	SLDMT1R	32	H'FE94 0600	H'FE94 1600	H'FE94 2600	32
サブ LCD モジュールタイプレジスタ 2	SLDMT2R	32	H'FE94 0604	H'FE94 1604	H'FE94 2604	32
サブ LCD モジュールタイプレジスタ 3	SLDMT3R	32	H'FE94 0608	H'FE94 1608	H'FE94 2608	32
サブ LCD データフォーマットレジスタ	SLDDFR	32	H'FE94 060C	H'FE94 160C	H'FE94 260C	32
サブ LCD スキャンモードレジスタ 1	SLDSM1R	32	H'FE94 0610	H'FE94 1610	H'FE94 2610	32
サブ LCD スキャンモードレジスタ 2	SLDSM2R	32	H'FE94 0614	-	-	32
サブ LCD 表示データ取り込み開始アドレス レジスタ 1	SLDSA1R	32	H'FE94 0618	H'FE94 1618	H'FE94 2618	32
サブ LCD 表示データ取り込み開始アドレス レジスタ 2	SLDSA2R	32	H'FE94 061C	H'FE94 161C	H'FE94 261C	32
サブ LCD 表示データ格納メモリアインサイズ レジスタ	SLDMLSR	32	H'FE94 0620	H'FE94 1620	H'FE94 2620	32
サブ LCD 水平キャラクタナンバーレジスタ	SLDHCNR	32	H'FE94 0624	H'FE94 1624	H'FE94 2624	32
サブ LCD 水平同期信号レジスタ	SLDHSYNR	32	H'FE94 0628	H'FE94 1628	H'FE94 2628	32
サブ LCD 垂直ラインナンバーレジスタ	SLDVLNR	32	H'FE94 062C	H'FE94 162C	H'FE94 262C	32
サブ LCD 垂直同期信号レジスタ	SLDVSYNR	32	H'FE94 0630	H'FE94 1630	H'FE94 2630	32
サブ LCD 水平パースナル画面レジスタ	SLDHPDR	32	H'FE94 0634	H'FE94 1634	H'FE94 2634	32
サブ LCD 垂直パースナル画面レジスタ	SLDVPDR	32	H'FE94 0638	H'FE94 1638	H'FE94 2638	32
サブ LCD パワーマネジメントレジスタ	SLDPMR	32	H'FE94 063C	-	-	32
LCDC ドライバライトデータレジスタ 0	LDDWD0R	32	H'FE94 0800	-	-	32
LCDC ドライバライトデータレジスタ 1	LDDWD1R	32	H'FE94 0804	-	-	32
LCDC ドライバライトデータレジスタ 2	LDDWD2R	32	H'FE94 0808	-	-	32
LCDC ドライバライトデータレジスタ 3	LDDWD3R	32	H'FE94 080C	-	-	32
LCDC ドライバライトデータレジスタ 4	LDDWD4R	32	H'FE94 0810	-	-	32
LCDC ドライバライトデータレジスタ 5	LDDWD5R	32	H'FE94 0814	-	-	32
LCDC ドライバライトデータレジスタ 6	LDDWD6R	32	H'FE94 0818	-	-	32
LCDC ドライバライトデータレジスタ 7	LDDWD7R	32	H'FE94 081C	-	-	32
LCDC ドライバライトデータレジスタ 8	LDDWD8R	32	H'FE94 0820	-	-	32

レジスタ名称	略称	ビット 数	アドレス			アクセス サイズ
			アドレス (A面)	アドレス (B面)	ミラー アドレス	
LCDC ドライバライトデータレジスタ 9	LDDWD9R	32	H'FE94 0824	-	-	32
LCDC ドライバライトデータレジスタ A	LDDWDAR	32	H'FE94 0828	-	-	32
LCDC ドライバライトデータレジスタ B	LDDWDBR	32	H'FE94 082C	-	-	32
LCDC ドライバライトデータレジスタ C	LDDWDCR	32	H'FE94 0830	-	-	32
LCDC ドライバライトデータレジスタ D	LDDWDDR	32	H'FE94 0834	-	-	32
LCDC ドライバライトデータレジスタ E	LDDWDER	32	H'FE94 0838	-	-	32
LCDC ドライバライトデータレジスタ F	LDDWDFR	32	H'FE94 083C	-	-	32
LCDC ドライバリードデータレジスタ	LDDRDR	32	H'FE94 0840	-	-	32
LCDC ドライバライトアクセスレジスタ	LDDWAR	32	H'FE94 0900	-	-	32
LCDC ドライバリードアクセスレジスタ	LDDRAR	32	H'FE94 0904	-	-	32

## 34. レジスタ一覧

### 34.2 各動作モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U- スタンバイ	スリープ	モジュール
TRA	不定	不定	保持	-	不定	保持	例外処理
EXPEVT	H'0000 0000	H'0000 0020	保持	-	H'0000 0000	保持	
INTEVT	不定	不定	保持	-	不定	保持	
EXPMASK	H'0000 001F	H'0000 001F	保持	-	H'0000 001F	保持	
PTEH	不定	不定	保持	保持	不定	保持	MMU
PTEL	不定	不定	保持	保持	不定	保持	
TTB	不定	不定	保持	保持	不定	保持	
TEA	不定	保持	保持	保持	不定	保持	
MMUCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	保持	
PTEA	H'0000 xxx0	H'0000 xxx0	保持	保持	H'0000 xxx0	保持	
PASCR	H'0000 0082	H'0000 0082	保持	保持	H'0000 0082	保持	
IRMCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	保持	
CCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	保持	
RAMCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	保持	
XSA	不定	不定	保持	保持	不定	保持	X/Y メモリ
YSA	不定	不定	保持	保持	不定	保持	
XDA	不定	不定	保持	保持	不定	保持	
YDA	不定	不定	保持	保持	不定	保持	
XPR	H'0000 00FC	保持	保持	保持	H'0000 00FC	保持	
YPR	H'0000 00FC	保持	保持	保持	H'0000 00FC	保持	
XEA	不定	保持	保持	保持	不定	保持	
YEA	不定	保持	保持	保持	不定	保持	
ICR0	初期化	初期化	保持	保持	初期化	保持	INTC
ICR1	初期化	初期化	保持	保持	初期化	保持	
INTPRI00	初期化	初期化	保持	保持	初期化	保持	
INTREQ00	初期化	初期化	保持	保持	初期化	保持	
INTMSK00	初期化	初期化	保持	保持	初期化	保持	
INTMSKCLR00	初期化	初期化	保持	保持	初期化	保持	
NMIFCR	初期化	初期化	保持	保持	初期化	保持	
USERIMASK	初期化	初期化	保持	保持	初期化	保持	
IPRA - IPRL	初期化	初期化	保持	保持	初期化	保持	
IMR0 - 11	初期化	初期化	保持	保持	初期化	保持	
IMCR0 - 11	初期化	初期化	保持	保持	初期化	保持	



## 34. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U- スタンバイ	スリープ	モジュール
CMNCR	初期化	保持	保持	-	初期化	保持	BSC
CS0BCR	初期化	保持	保持	-	初期化	保持	
CS4BCR	初期化	保持	保持	-	初期化	保持	
CS5ABCR	初期化	保持	保持	-	初期化	保持	
CS5BBCR	初期化	保持	保持	-	初期化	保持	
CS6ABCR	初期化	保持	保持	-	初期化	保持	
CS6BBCR	初期化	保持	保持	-	初期化	保持	
CS0WCR	初期化	保持	保持	-	初期化	保持	
CS4WCR	初期化	保持	保持	-	初期化	保持	
CS5AWCR	初期化	保持	保持	-	初期化	保持	
CS5BWCR	初期化	保持	保持	-	初期化	保持	
CS6AWCR	初期化	保持	保持	-	初期化	保持	
CS6BWCR	初期化	保持	保持	-	初期化	保持	
RBWTCNT	初期化	保持	保持	-	初期化	保持	
SDCR0,1	初期化	保持	保持	-	初期化	保持	SBSC
SDWCR	初期化	保持	保持	-	初期化	保持	
SDPCR	初期化	保持	保持	-	初期化	保持	
RTCSR	初期化	保持	保持	-	初期化	保持	
RTCNT	初期化	保持	保持	-	初期化	保持	
RTCOR	初期化	保持	保持	-	初期化	保持	
RFCR	初期化	保持	保持	-	初期化	保持	
SDWCR2	初期化	保持	保持	-	初期化	保持	
SDMR	-	-	-	-	-	-	
SDWPCR	初期化	保持	保持	-	初期化	保持	
SDMRCR	初期化	保持	保持	-	初期化	保持	
BSTRCNT	初期化	保持	保持	-	初期化	保持	
SAR_0~5	初期化	初期化	保持	保持	初期化	保持	DMAC
DAR_0~5	初期化	初期化	保持	保持	初期化	保持	
TCR_0~5	初期化	初期化	保持	保持	初期化	保持	
CHCR_0~5	初期化	初期化	保持	保持	初期化	保持	
DMAOR	初期化	初期化	保持	保持	初期化	保持	
SARB_0~3	初期化	初期化	保持	保持	初期化	保持	
DARB_0~3	初期化	初期化	保持	保持	初期化	保持	
TCRB_0~3	初期化	初期化	保持	保持	初期化	保持	
DMARS0	初期化	初期化	保持	保持	初期化	保持	
DMARS1	初期化	初期化	保持	保持	初期化	保持	
DMARS2	初期化	初期化	保持	保持	初期化	保持	

### 34. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U- スタンバイ	スリープ	モジュール
FRQCR	初期化	保持	保持	-	初期化	保持	CPG
lrDACLKCR	初期化	保持	保持	-	初期化	保持	
PLLCR	初期化	保持	保持	-	初期化	保持	
DLLFRQ	初期化	保持	保持	-	初期化	保持	
STBCR	初期化	保持	保持	-	初期化	保持	低消費電力
MSTPCR0	初期化	保持	保持	-	初期化	保持	
MSTPCR1	初期化	保持	保持	-	初期化	保持	
MSTPCR2	初期化	保持	保持	-	初期化	保持	
RWTCNT	初期化	保持	保持	保持	初期化	保持	RWDT
RWTCR	初期化	保持	保持	保持	初期化 <sup>*1</sup>	保持	
TSTR	初期化	初期化	保持	保持	初期化	保持	TMU
TCOR_0~2	初期化	初期化	保持	保持	初期化	保持	
TCNT_0~2	初期化	初期化	保持	保持	初期化	保持	
TCR_0~2	初期化	初期化	保持	保持	初期化	保持	
TPU_TSTR	初期化	初期化	保持	保持	初期化	保持	TPU
TPU_TCR0	初期化	初期化	保持	保持	初期化	保持	
TPU_TMDR0	初期化	初期化	保持	保持	初期化	保持	
TPU_TIOR0	初期化	初期化	保持	保持	初期化	保持	
TPU_TIER0	初期化	初期化	保持	保持	初期化	保持	
TPU_TSR0	初期化	初期化	保持	保持	初期化	保持	
TPU_TCNT0	初期化	初期化	保持	保持	初期化	保持	
TPU_TGR0A	初期化	初期化	保持	保持	初期化	保持	
TPU_TGR0B	初期化	初期化	保持	保持	初期化	保持	
TPU_TGR0C	初期化	初期化	保持	保持	初期化	保持	
TPU_TGR0D	初期化	初期化	保持	保持	初期化	保持	
TPU_TCR1	初期化	初期化	保持	保持	初期化	保持	
TPU_TMDR1	初期化	初期化	保持	保持	初期化	保持	
TPU_TIER1	初期化	初期化	保持	保持	初期化	保持	
TPU_TSR1	初期化	初期化	保持	保持	初期化	保持	
TPU_TCNT1	初期化	初期化	保持	保持	初期化	保持	
TPU_TGR1A	初期化	初期化	保持	保持	初期化	保持	
TPU_TGR1B	初期化	初期化	保持	保持	初期化	保持	
TPU_TGR1C	初期化	初期化	保持	保持	初期化	保持	
TPU_TGR1D	初期化	初期化	保持	保持	初期化	保持	
TPU_TCR2	初期化	初期化	保持	保持	初期化	保持	
TPU_TMDR2	初期化	初期化	保持	保持	初期化	保持	

## 34. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U- スタンバイ	スリープ	モジュール	
TPU_TIER2	初期化	初期化	保持	保持	初期化	保持	TPU	
TPU_TSR2	初期化	初期化	保持	保持	初期化	保持		
TPU_TCNT2	初期化	初期化	保持	保持	初期化	保持		
TPU_TGR2A	初期化	初期化	保持	保持	初期化	保持		
TPU_TGR2B	初期化	初期化	保持	保持	初期化	保持		
TPU_TGR2C	初期化	初期化	保持	保持	初期化	保持		
TPU_TGR2D	初期化	初期化	保持	保持	初期化	保持		
TPU_TCR3	初期化	初期化	保持	保持	初期化	保持		
TPU_TMDR3	初期化	初期化	保持	保持	初期化	保持		
TPU_TIER3	初期化	初期化	保持	保持	初期化	保持		
TPU_TSR3	初期化	初期化	保持	保持	初期化	保持		
TPU_TCNT3	初期化	初期化	保持	保持	初期化	保持		
TPU_TGR3A	初期化	初期化	保持	保持	初期化	保持		
TPU_TGR3B	初期化	初期化	保持	保持	初期化	保持		
TPU_TGR3C	初期化	初期化	保持	保持	初期化	保持		
TPU_TGR3D	初期化	初期化	保持	保持	初期化	保持		
CMSTR	初期化	初期化	保持	保持	初期化	保持	CMT	
CMCSR	初期化	初期化 <sup>*1</sup>	保持	保持	初期化 <sup>*1</sup>	保持		
CMCNT	初期化	初期化	保持	保持	初期化	保持		
CMCOR	初期化	初期化	保持	保持	初期化	保持		
SIOMDR	初期化	初期化	保持	保持	初期化	保持	SIO	
SIOCTR	初期化	初期化	保持	保持	初期化	保持		
SIOSTBCR0	初期化	初期化	保持	保持	初期化	保持		
SIOSTBCR1	初期化	初期化	保持	保持	初期化	保持		
SIOTDR	初期化	初期化	保持	保持	初期化	保持		
SIORDR	初期化	初期化	保持	保持	初期化	保持		
SIOSTR	初期化	初期化	保持	保持	初期化	保持		
SIOIER	初期化	初期化	保持	保持	初期化	保持		
SIOSCR	初期化	初期化	保持	保持	初期化	保持		
SIMDR0、1	初期化	初期化	保持	保持	初期化	保持		SIOF
SISCR0、1	初期化	初期化	保持	保持	初期化	保持		
SITDAR0、1	初期化	初期化	保持	保持	初期化	保持		
SIRDAR0、1	初期化	初期化	保持	保持	初期化	保持		
SICDAR0、1	初期化	初期化	保持	保持	初期化	保持		
SICTR0、1	初期化	初期化	保持	保持	初期化	保持		

### 34. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U- スタンバイ	スリープ	モジュール
SIFCTR0、1	初期化	初期化	保持	保持	初期化	保持	SIOF
SISTR0、1	初期化	初期化	保持	保持	初期化	保持	
SIIER0、1	初期化	初期化	保持	保持	初期化	保持	
SITDR0、1	不定	不定	保持	保持	不定	保持	
SIRDR0、1	不定	不定	保持	保持	不定	保持	
SITCR0、1	初期化	初期化	保持	保持	初期化	保持	
SIRCR0、1	不定	不定	保持	保持	不定	保持	
SPICR0、1	初期化	初期化	保持	保持	初期化	保持	
SCSMR0 ~ 3	初期化	初期化	保持	保持	初期化	保持	SCIF
SCBRR0 ~ 3	初期化	初期化	保持	保持	初期化	保持	
SCSCR0 ~ 3	初期化	初期化	保持	保持	初期化	保持	
SCFTDR0 ~ 3	初期化	初期化	保持	保持	初期化	保持	
SCFSR0 ~ 3	初期化	初期化	保持	保持	初期化	保持	
SCFRDR0 ~ 3	初期化	初期化	保持	保持	初期化	保持	
SCFCR0 ~ 3	初期化	初期化	保持	保持	初期化	保持	
SCFDR0 ~ 3	初期化	初期化	保持	保持	初期化	保持	
SCLSR0 ~ 3	初期化	初期化	保持	保持	初期化	保持	SIM
SCSMR	初期化	初期化	保持	保持	初期化	保持	
SCBRR	初期化	初期化	保持	保持	初期化	保持	
SCSCR	初期化	初期化	保持	保持	初期化	保持	
SCTDR	初期化	初期化	保持	保持	初期化	保持	
SCSSR	初期化	初期化	保持	保持	初期化	保持	
SCRDR	初期化	初期化	保持	保持	初期化	保持	
SCSCMR	初期化	初期化	保持	保持	初期化	保持	
SCSC2R	初期化	初期化	保持	保持	初期化	保持	
SCWAIT	初期化	初期化	保持	保持	初期化	保持	
SCGRD	初期化	初期化	保持	保持	初期化	保持	
SCSMPL	初期化	初期化	保持	保持	初期化	保持	
SCDMAEN	初期化	初期化	保持	保持	初期化	保持	
IRIF_RINTCLR	初期化	初期化	保持	保持	初期化	保持	
IRIF_TINTCLR	初期化	初期化	保持	保持	初期化	保持	
IRIF_SIR0 ~ 3	初期化	初期化	保持	保持	初期化	保持	
IRIF_SIR_FRM	初期化	初期化	保持	保持	初期化	保持	
IRIF_SIR_EOF	初期化	初期化	保持	保持	初期化	保持	
IRIF_SIR_FLG	初期化	初期化	保持	保持	初期化	保持	
IRIF_UART_STS2	初期化	初期化	保持	保持	初期化	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U- スタンバイ	スリープ	モジュール
IRIF_UART0 ~ 7	初期化	初期化	保持	保持	初期化	保持	IrDA
IRIF_CRC0 ~ 4	初期化	初期化	保持	保持	初期化	保持	
ICDR	初期化	初期化	保持	保持	初期化	保持	IIC
ICCR	初期化	初期化	保持	保持	初期化	保持	
ICSR	初期化	初期化	保持	保持	初期化	保持	
ICIC	初期化	初期化	保持	保持	初期化	保持	
ICCL	初期化	初期化	保持	保持	初期化	保持	
ICCH	初期化	初期化	保持	保持	初期化	保持	
LDDCKPAT1R	初期化	初期化	保持	保持	初期化	保持	
LDDCKPAT2R	初期化	初期化	保持	保持	初期化	保持	
LDDCKPAT3R	初期化	初期化	保持	保持	初期化	保持	
LDDCKPAT4R	初期化	初期化	保持	保持	初期化	保持	
LDDCKR	初期化	初期化	保持	保持	初期化	保持	
LDDCKSTPR	初期化	初期化	保持	保持	初期化	保持	
LDMT1R	初期化	初期化	保持	保持	初期化	保持	
LDMT2R	初期化	初期化	保持	保持	初期化	保持	
LDMT3R	初期化	初期化	保持	保持	初期化	保持	
LDDWD0R	初期化	初期化	保持	保持	初期化	保持	
LDDWD1R	初期化	初期化	保持	保持	初期化	保持	
LDPR00 ~ LDPRFF	初期化	初期化	保持	保持	初期化	保持	
MLDDCKPAT1R	初期化	初期化	保持	保持	初期化	保持	
MLDDCKPAT2R	初期化	初期化	保持	保持	初期化	保持	
SLDDCKPAT1R	初期化	初期化	保持	保持	初期化	保持	
SLDDCKPAT2R	初期化	初期化	保持	保持	初期化	保持	
LDDCKR	初期化	初期化	保持	保持	初期化	保持	
LDCKSTPR	初期化	初期化	保持	保持	初期化	保持	
MLDMT1R	初期化	初期化	保持	保持	初期化	保持	
MLDMT2R	初期化	初期化	保持	保持	初期化	保持	
MLDMT3R	初期化	初期化	保持	保持	初期化	保持	
MLDDFR	初期化	初期化	保持	保持	初期化	保持	
MLDSM1R	初期化	初期化	保持	保持	初期化	保持	
MLDSM2R	初期化	初期化	保持	保持	初期化	保持	
MLDSA1R	初期化	初期化	保持	保持	初期化	保持	
MLDSA2R	初期化	初期化	保持	保持	初期化	保持	
MLDMLSR	初期化	初期化	保持	保持	初期化	保持	
MLDWBFR	初期化	初期化	保持	保持	初期化	保持	

### 34. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U- スタンバイ	スリープ	モジュール
MLDWBCNTR	初期化	初期化	保持	保持	初期化	保持	LCDC
MLDWBAR	初期化	初期化	保持	保持	初期化	保持	
MLDHCNR	初期化	初期化	保持	保持	初期化	保持	
MLDHSYNR	初期化	初期化	保持	保持	初期化	保持	
MLDVLNR	初期化	初期化	保持	保持	初期化	保持	
MLDVSYNR	初期化	初期化	保持	保持	初期化	保持	
MLDHPDR	初期化	初期化	保持	保持	初期化	保持	
MLDVPDR	初期化	初期化	保持	保持	初期化	保持	
MLDPMR	初期化	初期化	保持	保持	初期化	保持	
LDPALCR	初期化	初期化	保持	保持	初期化	保持	
LDINTR	初期化	初期化	保持	保持	初期化	保持	
LDSR	初期化	初期化	保持	保持	初期化	保持	
LDCNT1R	初期化	初期化	保持	保持	初期化	保持	
LDCNT2R	初期化	初期化	保持	保持	初期化	保持	
LDRCNTR	初期化	初期化	保持	保持	初期化	保持	
LDDDSR	初期化	初期化	保持	保持	初期化	保持	
LDRCR	初期化	初期化	保持	保持	初期化	保持	
SLDDFR	初期化	初期化	保持	保持	初期化	保持	
SLDSM1R	初期化	初期化	保持	保持	初期化	保持	
SLDSM2R	初期化	初期化	保持	保持	初期化	保持	
SLDSA1R	初期化	初期化	保持	保持	初期化	保持	
SLDSA2R	初期化	初期化	保持	保持	初期化	保持	
SLDMLSR	初期化	初期化	保持	保持	初期化	保持	
SLDHCNR	初期化	初期化	保持	保持	初期化	保持	
SLDHSYNR	初期化	初期化	保持	保持	初期化	保持	
SLDVLNR	初期化	初期化	保持	保持	初期化	保持	
SLDVSYNR	初期化	初期化	保持	保持	初期化	保持	
SLDHPDR	初期化	初期化	保持	保持	初期化	保持	
SLDVPDR	初期化	初期化	保持	保持	初期化	保持	
SLDPMR	初期化	初期化	保持	保持	初期化	保持	
LDDWD0R ~ LDDWDFR	初期化	初期化	保持	保持	初期化	保持	
LDDRDR	初期化	初期化	保持	保持	初期化	保持	
LDDWAR	初期化	初期化	保持	保持	初期化	保持	
LDDRAR	初期化	初期化	保持	保持	初期化	保持	

## 34. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U- スタンバイ	スリープ	モジュール
SYSCFG	初期化	初期化	保持	保持	初期化	保持	USB
SYSSTS	初期化	初期化	保持	保持	初期化	保持	
DVSTCTR	初期化	初期化	保持	保持	初期化	保持	
TESTMODE	初期化	初期化	保持	保持	初期化	保持	
CFBCFG	初期化	初期化	保持	保持	初期化	保持	
D0FBCFG	初期化	初期化	保持	保持	初期化	保持	
D1FBCFG	初期化	初期化	保持	保持	初期化	保持	
CFIFO	初期化	初期化	保持	保持	初期化	保持	
D0FIFO	初期化	初期化	保持	保持	初期化	保持	
D1FIFO	初期化	初期化	保持	保持	初期化	保持	
CFIFOSEL	初期化	初期化	保持	保持	初期化	保持	
CFIFOCTR	初期化	初期化	保持	保持	初期化	保持	
CFIOSIE	初期化	初期化	保持	保持	初期化	保持	
D0FIFOSEL	初期化	初期化	保持	保持	初期化	保持	
D0FIFOCTR	初期化	初期化	保持	保持	初期化	保持	
D1FIFOSEL	初期化	初期化	保持	保持	初期化	保持	
D1FIFOCTR	初期化	初期化	保持	保持	初期化	保持	
D0FIFOTRN	初期化	初期化	保持	保持	初期化	保持	
D1FIFOTRN	初期化	初期化	保持	保持	初期化	保持	
INTENB0	初期化	初期化	保持	保持	初期化	保持	
INTENB1	初期化	初期化	保持	保持	初期化	保持	
BRDYENB	初期化	初期化	保持	保持	初期化	保持	
NRDYENB	初期化	初期化	保持	保持	初期化	保持	
BEMPENB	初期化	初期化	保持	保持	初期化	保持	
INTSTS0	初期化	初期化	保持	保持	初期化	保持	
INTSTS1	初期化	初期化	保持	保持	初期化	保持	
BRDYSTS	初期化	初期化	保持	保持	初期化	保持	
NRDYSTS	初期化	初期化	保持	保持	初期化	保持	
BEMPSTS	初期化	初期化	保持	保持	初期化	保持	
FRMNUM	初期化	初期化	保持	保持	初期化	保持	
UFRMNUM	初期化	初期化	保持	保持	初期化	保持	
RECOVER	初期化	初期化	保持	保持	初期化	保持	
USBREQ	初期化	初期化	保持	保持	初期化	保持	
USBVAL	初期化	初期化	保持	保持	初期化	保持	
USBINDX	初期化	初期化	保持	保持	初期化	保持	

### 34. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U- スタンバイ	スリープ	モジュール
KYCR1	初期化	初期化	保持	保持	初期化	保持	KEYSC
KYCR2	初期化 <sup>*1</sup>	初期化 <sup>*1</sup>	保持	保持	初期化 <sup>*1</sup>	保持	
KYINDR	初期化	初期化	保持	保持	初期化	保持	
KYOUTDR	初期化	初期化	保持	保持	初期化	保持	
PACR	初期化	保持	保持	-	初期化	保持	PFC
PBCR	初期化	保持	保持	-	初期化	保持	
PCCR	初期化	保持	保持	-	初期化	保持	
PDCR	初期化	保持	保持	-	初期化	保持	
PECR	初期化	保持	保持	-	初期化	保持	
PFCR	初期化	保持	保持	-	初期化	保持	
PGCR	初期化	保持	保持	-	初期化	保持	
PHCR	初期化	保持	保持	-	初期化	保持	
PJCR	初期化	保持	保持	-	初期化	保持	
PKCR	初期化	保持	保持	-	初期化	保持	
PLCR	初期化	保持	保持	-	初期化	保持	
PMCR	初期化	保持	保持	-	初期化	保持	
PNCR	初期化	保持	保持	-	初期化	保持	
PQCR	初期化	保持	保持	-	初期化	保持	
PRCR	初期化	保持	保持	-	初期化	保持	
PSCR	初期化	保持	保持	-	初期化	保持	
PTCR	初期化	保持	保持	-	初期化	保持	
PUCR	初期化	保持	保持	-	初期化	保持	
PVCR	初期化	保持	保持	-	初期化	保持	
PWCR	初期化	保持	保持	-	初期化	保持	
PXCR	初期化	保持	保持	-	初期化	保持	
PYCR	初期化	保持	保持	-	初期化	保持	
PZCR	初期化	保持	保持	-	初期化	保持	
PSELA	初期化	保持	保持	-	初期化	保持	
PSELB	初期化	保持	保持	-	初期化	保持	
PSELC	初期化	保持	保持	-	初期化	保持	
PSELD	初期化	保持	保持	-	初期化	保持	
PSELE	初期化	保持	保持	-	初期化	保持	
HIZCRA	初期化	保持	保持	-	初期化	保持	
HIZCRB	初期化	保持	保持	-	初期化	保持	
HIZCRC	初期化	保持	保持	-	初期化	保持	
MSELCRA	初期化	保持	保持	-	初期化	保持	



## 34. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U- スタンバイ	スリープ	モジュール
MSELCRB	初期化	保持	保持	-	初期化	保持	PFC
PULCR	初期化	保持	保持	-	初期化	保持	
DRVCR	初期化	保持	保持	-	初期化	保持	
SBSCR	初期化	保持	保持	-	初期化	保持	
PADR	初期化	保持	保持	-	初期化	保持	ポート
PBDR	初期化	保持	保持	-	初期化	保持	
PCDR	初期化	保持	保持	-	初期化	保持	
PDDR	初期化	保持	保持	-	初期化	保持	
PEDR	初期化	保持	保持	-	初期化	保持	
PFDR	初期化	保持	保持	-	初期化	保持	
PGDR	初期化	保持	保持	-	初期化	保持	
PHDR	初期化	保持	保持	-	初期化	保持	
PJDR	初期化	保持	保持	-	初期化	保持	
PKDR	初期化	保持	保持	-	初期化	保持	
PLDR	初期化	保持	保持	-	初期化	保持	
PMDR	初期化	保持	保持	-	初期化	保持	
PNDR	初期化	保持	保持	-	初期化	保持	
PQDR	初期化	保持	保持	-	初期化	保持	
PRDR	初期化	保持	保持	-	初期化	保持	
PSDR	初期化	保持	保持	-	初期化	保持	
PTDR	初期化	保持	保持	-	初期化	保持	
PUDR	初期化	保持	保持	-	初期化	保持	
PVDR	初期化	保持	保持	-	初期化	保持	
PWDR	初期化	保持	保持	-	初期化	保持	
PXDR	初期化	保持	保持	-	初期化	保持	
PYDR	初期化	保持	保持	-	初期化	保持	
PZDR	初期化	保持	保持	-	初期化	保持	
CBR0	H'2000 0000	保持	保持	保持	保持*2	保持	UBC
CRR0	H'0000 2000	保持	保持	保持	保持*2	保持	
CAR0	不定	保持	保持	保持	保持*2	保持	
CAMR0	不定	保持	保持	保持	保持*2	保持	
CBR1	H'2000 0000	保持	保持	保持	保持*2	保持	
CRR1	H'0000 2000	保持	保持	保持	保持*2	保持	
CAR1	不定	保持	保持	保持	保持*2	保持	
CAMR1	不定	保持	保持	保持	保持*2	保持	
CDR1	不定	保持	保持	保持	保持*2	保持	

### 34. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U- スタンバイ	スリープ	モジュール
CDMR1	不定	保持	保持	保持	保持*2	保持	UBC
CETR1	不定	保持	保持	保持	保持*2	保持	
CCMFR	H'0000 0000	保持	保持	保持	保持*2	保持	
CBCR	H'0000 0000	保持	保持	保持	保持*2	保持	
SDIR	H'0EFF	保持	保持	保持	保持*2	保持	H-UDI
SDDR/SDDRH	不定	保持	保持	保持	保持*2	保持	
SDDRL	不定	保持	保持	保持	保持*2	保持	
SDINT	H'0000	保持	保持	保持	保持*2	保持	

【注】 \*1 初期化されないビットがあります。

\*2 MPMD 端子がロー状態のとき。MPMD 端子がハイ状態のときは、パワーオンリセットと同一となります。

## 35. 電気的特性

### 35.1 絶対最大定格

絶対最大定格を表 35.1 に示します。

表35.1 絶対最大定格

項目	記号	定格値	単位
電源電圧 (I/O)	V <sub>ccQ</sub> 、DV33、AV33	- 0.3 ~ 4.6	V
電源電圧 (内部)	V <sub>DD</sub> 、V <sub>DD_PLL</sub> 、V <sub>DD_DLL</sub> 、DV12、AV12、UV12	- 0.3 ~ 1.8	V
入力電圧	V <sub>in</sub>	- 0.3 ~ V <sub>ccQ</sub> + 0.3	V
保存温度	T <sub>stg</sub>	- 55 ~ 125	

#### 【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

### 35.2 推奨動作条件

推奨動作条件を表 35.2 に示します。次節以降に記載したスペックは、特に断りがないうえ、表 35.2 の条件での使用を前提としています。

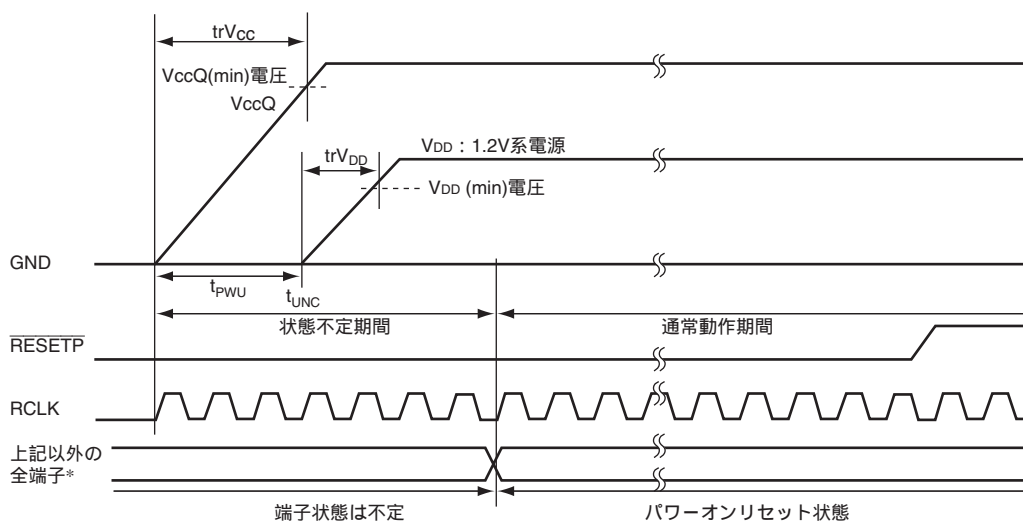
表35.2 推奨動作条件

項目	記号	Min.	Typ.	Max.	単位	測定条件
動作温度	BGA 449	T <sub>opr</sub>	- 40	-	85	周囲温度 Ta
	LFPGA 417	T <sub>opr</sub>	- 20	-	70	
電源電圧	I/O 電源	V <sub>ccQ</sub>	3.0	3.3	3.6	V
	コア電源	V <sub>DD</sub>	1.15	1.2/1.3	1.35	V
	PLL 用電源	V <sub>DD_PLL</sub>	1.15	1.2/1.3	1.35	V
	DLL 用電源	V <sub>DD_DLL</sub>	1.15	1.2/1.3	1.35	V
	USB デジタル 3.3V 電源	DV33	3.0	3.3	3.6	V
	USB デジタル 1.2V 電源	DV12	1.15	1.2/1.3	1.35	V
	USB アナログ 3.3V 電源	AV33	3.0	3.3	3.6	V
	USB アナログ 1.2V 電源	AV12	1.15	1.2/1.3	1.35	V
USB デジタル 1.2V 電源	UV12	1.15	1.2/1.3	1.35	V	

### 35.3 電源投入および切断順序

1. 1.2V系電源 ( $V_{DD}$ 、 $V_{DD\_PLL}$ 、 $V_{DD\_DLL}$ ) と、3.3V系電源 ( $V_{CCQ}$ ) の投入順序について

- 3.3V系電源を投入後、1.2V電源を投入してください。この間隔は表35.3に示す通りです。端子状態、内部状態不定期間の状態によってシステム全体が誤動作を引き起こさないようシステム設計を行ってください。このとき、3.3V系電源のうち、 $V_{CCQ}$ に印加する電源安定時間 $t_{rV_{CCQ}}$ が最も早く安定するようにしてください。
- 3.3V系電源投入した後、1.2V系電源投入するまでにRCLKを入力してください。
- すべての電源に電圧が印加され、 $\overline{RESETP}$ 端子にローレベルが入力されるまでの間、内部回路は不確定なので、各端子の状態も不定となります。この不定状態によってシステムが誤動作を起こさないようシステム設計を行ってください。以下に電源投入時の波形を示します。



【注】\* 電源 / GND、クロック関連、アナログ端子を除く

表35.3 電源投入時間推奨値

項目	記号	時間	単位
$V_{CCQ}$ 電源安定時間	$t_{rV_{CCQ}}$	300	$\mu s$
3.3V系 $V_{CC}$ - 1.2V系 $V_{DD}$ 電源投入時間差	$t_{PWU}$	0 ~ 10	ms
$V_{DD}$ 電源安定時間	$t_{rV_{DD}}$	1	ms
状態不定時間	$t_{UNC}$	$t_{PWU} + t_{rV_{DD}} + 3t_{RCLK}$	ms

【注】 3.3V系の電源は、極力同時に投入してください。

状態不定時間はおのこの電源の立ち上がり過渡状態にある時間を意味します。

端子状態は  $t_{UNC}$  時間以降でリセット状態に確定します。

## 2. 電源の切断順序について

- 電源投入時とは逆に1.2V系  $V_{DD}$  電源を先に切断してください。その後、10ms以内に3.3V系  $V_{CCQ}$  電源の順に電源を切断してください。この間隔をできるだけ短くすることを推奨します。端子状態、内部状態不定期間の状態によってシステム全体が誤動作を引き起こさないようシステム設計を行ってください。
- 1.2V系  $V_{DD}$  電源だけを切断した状態では、端子状態は不定となります。この状態によってシステムが誤動作を起こさないようシステム設計を行ってください。

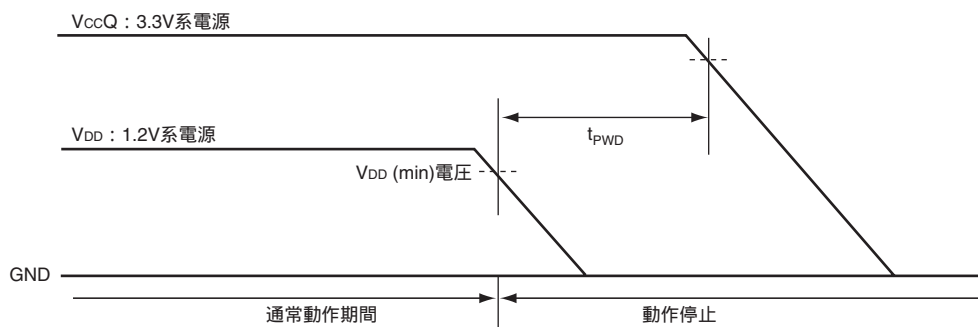


表35.4 電源切断時間推奨値

項目	記号	時間	単位
1.2V系 $V_{DD}$ - 3.3V系 $V_{CCQ}$ 電源切断時間差	$t_{PWD}$	0 ~ 10	ms

【注】 上記は推奨値であり、厳密な設定を要求するものではありません。

## 35. 電気的特性

### 35.4 DC 特性

DC 特性を表 35.5、表 35.6、表 35.7 に示します。

表35.5 DC 電圧特性

項目	記号	Min.	Typ.	Max.	単位	測定条件	
入力ハイレベル電圧	MD0、MD1、MD2、MD3、MD5、MD8、 TSTMD、TST、 TRST、MPMD、 ASEBRK/BRKAK、 RESETP、NMI、 RESETA、PTU0、 PTX6、PTE1、 PTE0、PTQ0 端子	V <sub>IHS</sub>	V <sub>CCQ</sub> × 0.8	-	V <sub>CCQ</sub> + 0.3	V	
	VBUS 端子	V <sub>IH</sub>	4.35	-	5.25	V	
	上記以外の入力端子	V <sub>IH</sub>	2.0	-	V <sub>CCQ</sub> + 0.3	V	
入力ローレベル電圧	MD0、MD1、MD2、MD3、MD5、MD8、 TSTMD、TST、 TRST、MPMD、 ASEBRK/BRKAK、 RESETP、NMI、 RESETA、PTU0、 PTX6、PTE1、 PTE0、PTQ0 端子	V <sub>I<sub>LS</sub></sub>	- 0.3	-	V <sub>CCQ</sub> × 0.2	V	
	上記以外の入力端子	V <sub>IL</sub>	- 0.3	-	0.8	V	
	出力ハイレベル電圧	すべての出力端子	V <sub>O<sub>H</sub></sub>	2.4	-	-	V
V <sub>CCQ</sub> × 0.9			-	-	-	V	I <sub>OH</sub> = - 200 μA
出力ローレベル電圧	I <sup>2</sup> C 以外の出力端子	V <sub>O<sub>L</sub></sub>	-	-	0.5	V	I <sub>OL</sub> = 2mA
	SCL、SDA 端子	V <sub>O<sub>L</sub></sub>	-	-	0.4	V	
スケルチ検出スレッシュホールド入力電圧 (差動電圧)	DP、DM 端子	V <sub>HSSQ</sub>	100		150	mV	ハイスピード時 入力特性
コモンモード入力電圧 圧範囲	DP、DM 端子	V <sub>HSCM</sub>	- 50		500	mV	
アイドル状態	DP、DM 端子	V <sub>H<sub>SOI</sub></sub>	- 10		10	mV	ハイスピード時 出力特性
H 出力電圧	DP、DM 端子	V <sub>H<sub>SOH</sub></sub>	360		440	mV	
L 出力電圧	DP、DM 端子	V <sub>H<sub>SOL</sub></sub>	- 10		10	mV	
Chirp J 出力電圧 (差分)	DP、DM 端子	V <sub>CHIRPJ</sub>	700		1100	mV	
Chirp K 出力電圧 (差分)	DP、DM 端子	V <sub>CHIRPK</sub>	- 900		- 500	mV	

表35.6 DC 電流特性

項目	記号	Min.	Typ.	Max.	単位	測定条件		
消費電流	通常動作時	I <sub>DD</sub>	-	160	320	mA	V <sub>DD</sub> = 1.2V I = 266MHz B = 66MHz、B3 = 133MHz	
			-	220	435	mA	V <sub>DD</sub> = 1.3V I = 333MHz B = 66MHz、B3 = 133MHz	
		I <sub>CC</sub>	-	120	150	mA	V <sub>CCQ</sub> = 3.3V B = 66MHz、B3 = 133MHz BSC 用データバス幅 16 ビット SBSC 用データバス幅 32 ビット	
			-	150	180	mA	V <sub>CCQ</sub> = 3.3V B = 66MHz、B3 = 133MHz BSC 用データバス幅 16 ビット SBSC 用データバス幅 64 ビット	
	スリープ モード時*	I <sub>DD</sub>	-	25	70	mA	*: リフレッシュサイクル以外の 外部バスサイクルがないとき *: 全モジュールストップ: ON V <sub>DD</sub> = 1.2V、V <sub>CCQ</sub> = 3.3V B = 66MHz、B3 = 133MHz	
		I <sub>CC</sub>	-	55	80			
	ソフトウェア スタンバイ モード時	I <sub>stby</sub>	-	2.0	12	mA	T <sub>a</sub> = 25 V <sub>CCQ</sub> = 3.3V V <sub>DD</sub> = 1.2V	
	U-スタンバイ モード時	I <sub>ustby</sub>	-	-	60	μA	T <sub>a</sub> = 25 V <sub>CCQ</sub> = 3.3V V <sub>DD</sub> = 1.2V 入カクロックオフ	
	入力リーク電 流	全入力端子 (ただし、SBSC 関連端子を除く)	I <sub>in</sub>	-	-	1	μA	V <sub>in</sub> = 0.5 ~ V <sub>CCQ</sub> - 0.5V
		SBSC 関連端子	I <sub>inSB</sub>	-	-	3		
スリーステ ートリーク電 流	入出力、 全出力端子 (オフ状態) (ただし、SBSC 関連端子を除く)	I <sub>STI</sub>	-	-	1	μA	V <sub>in</sub> = 0.5 ~ V <sub>CCQ</sub> - 0.5V	
	SBSC 関連端子	I <sub>inSB</sub>	-	-	3			
ブルアップ/ ブルダウン 抵抗	ポート端子	P <sub>pull</sub>	20	-	150	k		
端子容量	SBSC 関連端子	C <sub>SB</sub>	-	-	10	pF		
	全端子	C	-	-	10	pF		

【注】 1. V<sub>CCQ</sub> 端子は必ずシステム電源に、V<sub>SS</sub> 端子は必ずシステムのグラウンド (0V) に接続してください。

## 35. 電気的特性

2. 消費電流値は、 $V_{IHmin} = V_{ccQ} - 0.5V$ 、 $V_{ILmax} = 0.5V$  の条件で、すべての出力端子を無負荷状態にした場合の値です。
3.  $I_{DD}$  は  $V_{DD}$ 、 $V_{DD-PLL}$ 、 $V_{DD-DLL}$ 、 $DV12$ 、 $AV12$ 、 $UV12$  端子に流れる電流の合計、 $I_{cc}$  は  $V_{ccQ}$ 、 $DV33$ 、 $AV33$  端子に流れる電流の合計、 $I_{stby}$  はスタンバイモード時の  $I_{DD}$  と  $I_{cc}$  の合計、 $I_{ustby}$  は U-スタンバイモード時の  $I_{DD}$  と  $I_{cc}$  の合計です。

表35.7 出力許容電流値

項目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流 (1 端子当たり)	IoL	-	-	2.0	mA
出力ローレベル許容電流 (総和)	IoL	-	-	40	mA
出力ハイレベル許容電流 (1 端子当たり)	- IoH	-	-	2.0	mA
出力ハイレベル許容電流 (総和)	( - IoH )	-	-	40	mA
I <sup>o</sup> C 出力ローレベル許容電流 (SCL、SDA)	IoL	-	-	10	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 35.7 の値を超えないようにしてください。

## 35.5 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特に断りがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表35.8 動作周波数範囲

項目	記号	Min.	Typ.	Max.	単位	備考
動作周波数	CPU、DSP、キャッシュ (I )	10	-	266.7	MHz	$V_{DD} = 1.15V \sim 1.35V$
		10	-	333.4		$V_{DD} = 1.25V \sim 1.35V$
	U メモリ (U )	10	-	133.4		
	SuperHyWay バス (SH )	10	-	133.4		
	BSC バス (B )	10	-	66.7		
	SBSC バス (B3 )	10	-	133.4		
	周辺モジュール (P )	2.5	-	33.4		
	IrDA クロック (IrDACK)	-	-	33.4		



## 35.5.1 クロックタイミング

表35.9 クロックタイミング

項目	記号	Min.	Max.	単位	備考
EXTAL クロック入力周波数	fEX	10	66	MHz	35.1
EXTAL クロック入力サイクル時間	tEXcyc	15	100	ns	
EXTAL クロック入力ローレベルパルス幅	tEXL	4.5	-	ns	
EXTAL クロック入力ハイレベルパルス幅	tEXH	4.5	-	ns	
EXTAL クロック入力立ち上がり時間	tEXr	-	3	ns	
EXTAL クロック入力立ち下がり時間	tEXf	-	3	ns	
RCLK クロック入力周波数	fRCLK	32	33	kHz	
RCLK クロック入力サイクル時間	tRCLKcyc	30.3	31.3	μs	
RCLK クロック入力ローレベルパルス幅	tRCLKL	10	-	μs	
RCLK クロック入力ハイレベルパルス幅	tRCLKH	10	-	μs	
RCLK クロック入力立ち上がり時間	tRCLKr	-	200	ns	
RCLK クロック入力立ち下がり時間	tRCLKf	-	200	ns	
CKO クロック出力周波数	fCKO	5	66	MHz	35.2
CKO クロック出力サイクル時間	tCKOcyc	15	200	ns	
CKO クロック出力ローレベルパルス幅	tCKOL	3	-	ns	
CKO クロック出力ハイレベルパルス幅	tCKOH	3	-	ns	
CKO クロック出力立ち上がり時間	tCKOr	-	3	ns	
CKO クロック出力立ち下がり時間	tCKOf	-	3	ns	
HPCLK クロック出力周波数	fHPC	5*1	133	MHz	
HPCLK クロック出力サイクル時間	tHPCcyc	7.5	200*1	ns	
HPCLK クロック出力ローレベルパルス幅	tHPCL	1	-	ns	
HPCLK クロック出力ハイレベルパルス幅	tHPCH	1	-	ns	
HPCLK クロック出力立ち上がり時間	tHPCr	-	3	ns	
HPCLK クロック出力立ち下がり時間	tHPCf	-	3	ns	
RESETP アサート期間	tRESPW	4	-	tRCLKcyc	35.3 ~ 35.5
RESETOUT アサート時間 (クロックモード 0)	tRESOUTM0	-	300	μs	
RESETOUT アサート時間 (クロックモード 1)	tRESOUTM1	-	100	μs	
RESETOUT アサート時間 (クロックモード 3)	tRESOUTM3	-	2.3	ms	
ソフトウェアスタンバイ復帰時間 (クロックモード 0)	tsOSM0	-	300	μs	35.6 ~ 35.8
ソフトウェアスタンバイ復帰時間 (クロックモード 1)	tsOSM1	-	40	tPCYC*2	
ソフトウェアスタンバイ復帰時間 (クロックモード 3)	tsOSM3	-	2.3	ms	

【注】 \*1 PLL-OFF 時。PLL-ON 時は、f<sub>op</sub> (min) = 25MHz、t<sub>cyc</sub> (max) = 40ns

\*2 動作時の P の周期

### 35. 電気的特性

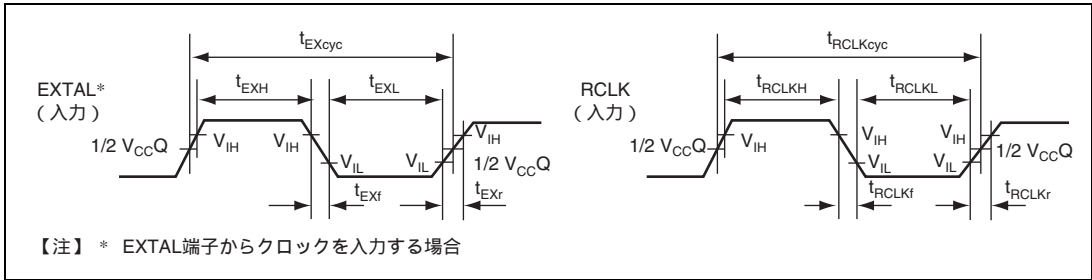


図 35.1 EXTAL、RCLK クロック入力タイミング

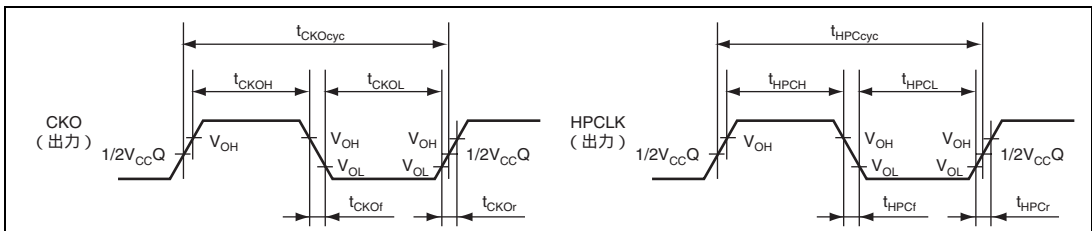


図 35.2 CKO、HPCLK クロック出力タイミング

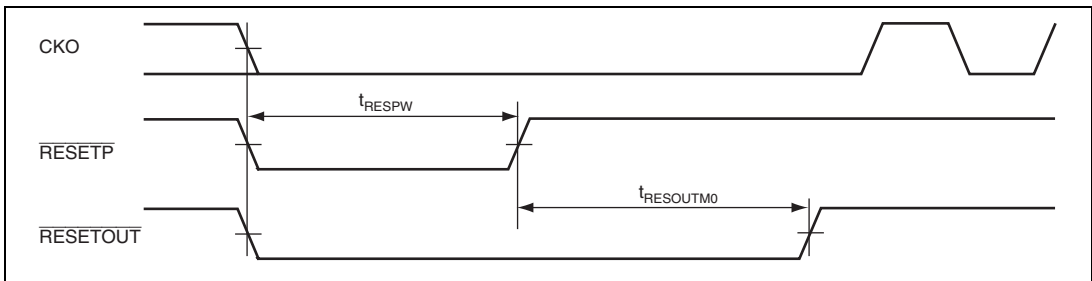


図 35.3 パワーオン発振安定時間 (クロックモード 0)

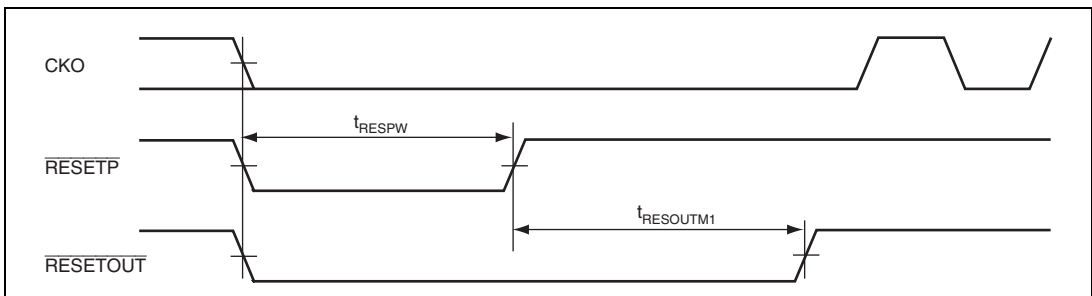


図 35.4 パワーオン発振安定時間 (クロックモード 1)

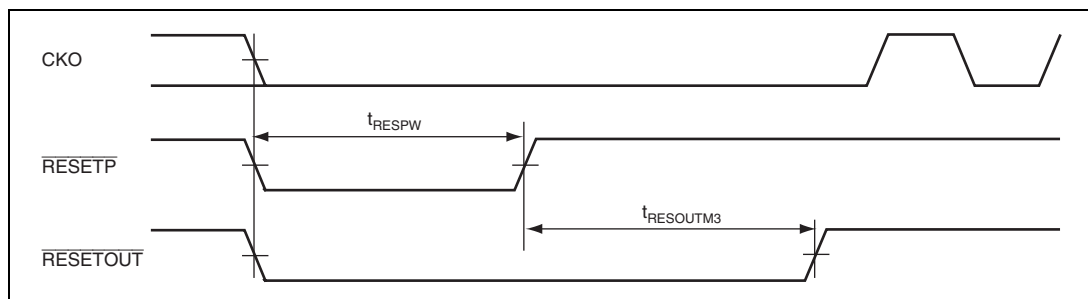


図 35.5 パワーオン発振安定時間 (クロックモード 3)

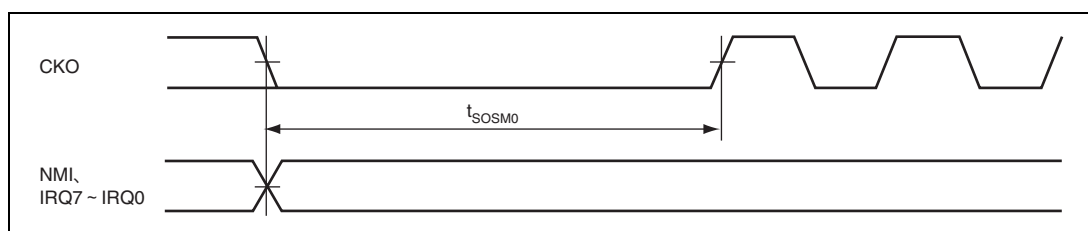


図 35.6 NMI、IRQ によるソフトウェアスタンバイ復帰時発振安定時間 (クロックモード 0)

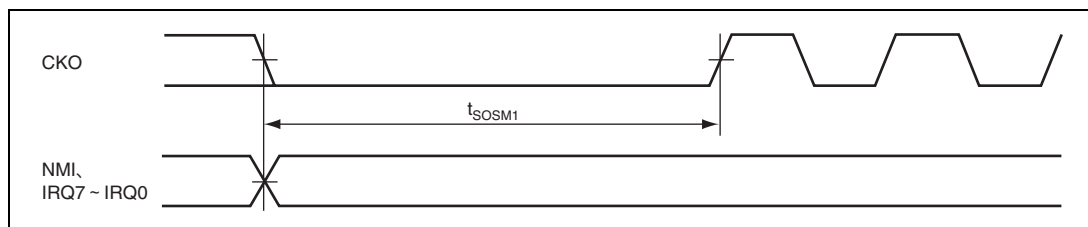


図 35.7 NMI、IRQ によるソフトウェアスタンバイ復帰時発振安定時間 (クロックモード 1)

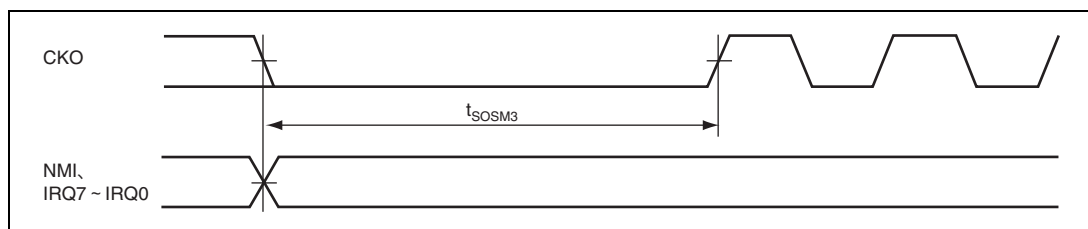


図 35.8 NMI、IRQ によるソフトウェアスタンバイ復帰時発振安定時間 (クロックモード 3)

## 35. 電气的特性

### 35.5.2 割り込み信号タイミング

表35.10 割り込み信号タイミング

項目	記号	Min.	Max.	単位	備考
NMI セットアップ時間*	$t_{NMIS}$	12	-	ns	35.9
NMI ホールド時間	$t_{NMIH}$	6	-	ns	
IRQ7 ~ IRQ0 セットアップ時間*	$t_{IRQS}$	12	-	ns	
IRQ7 ~ IRQ0 ホールド時間	$t_{IRQH}$	6	-	ns	

【注】 \* NMI および IRQ7 ~ IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。

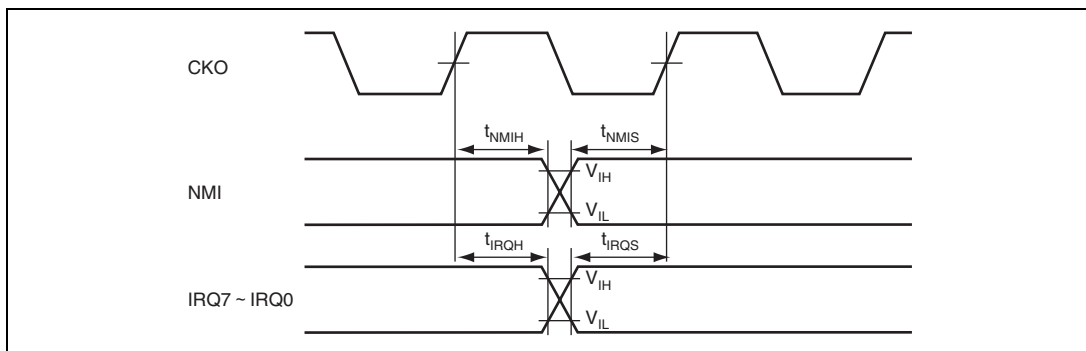


図 35.9 割り込み信号入力タイミング

## 35.5.3 BSC バスタイミング仕様

表35.11 BSC バスタイミング

項 目	記号	Min.	Max.	単位	参照図
アドレス遅延時間 1	tAD1	1	15	ns	35.10 ~ 35.23
アドレス遅延時間 2	tAD2	$1/2t_{cyc}$	$1/2t_{cyc} + 15$	ns	35.19
アドレスセットアップ時間	tAS	0	-	ns	35.10 ~ 35.19
アドレスホールド時間	tAH	0	-	ns	35.11
CS 遅延時間 1	tCSD1	1	15	ns	35.10 ~ 35.23
リードライト遅延時間 1	trWD1	1	15	ns	35.10 ~ 35.23
リードストロブ遅延時間	trSD	$1/2t_{cyc}$	$1/2t_{cyc} + 15$	ns	35.10 ~ 35.21
リードデータセットアップ時間 1	trDS1	$1/2t_{cyc} + 10$	-	ns	35.10 ~ 35.16、 35.20 ~ 35.23
リードデータセットアップ時間 3	trDS3	$1/2t_{cyc} + 10$	-	ns	35.17 ~ 35.19
リードデータホールド時間 1	trDH1	0	-	ns	35.10 ~ 35.16、 35.20 ~ 35.23
リードデータホールド時間 3	trDH3	0	-	ns	35.17 ~ 35.19
ライトイネーブル遅延時間 1	twED1	$1/2t_{cyc}$	$1/2t_{cyc} + 15$	ns	35.10 ~ 35.18、 35.20、35.21
ライトイネーブル遅延時間 2	twED2	0	15	ns	35.16、35.17
ライトデータ遅延時間 1	twDD1	-	15	ns	35.10 ~ 35.18、 35.20 ~ 35.23
ライトデータホールド時間 1	twDH1	1	-	ns	35.10 ~ 35.16、 35.20 ~ 35.23
WAIT セットアップ時間 1	twTS1	$1/2t_{cyc} + 7$	-	ns	35.10 ~ 35.19
WAIT ホールド時間 1	twTH1	$1/2t_{cyc} + 6$	-	ns	35.10 ~ 35.19

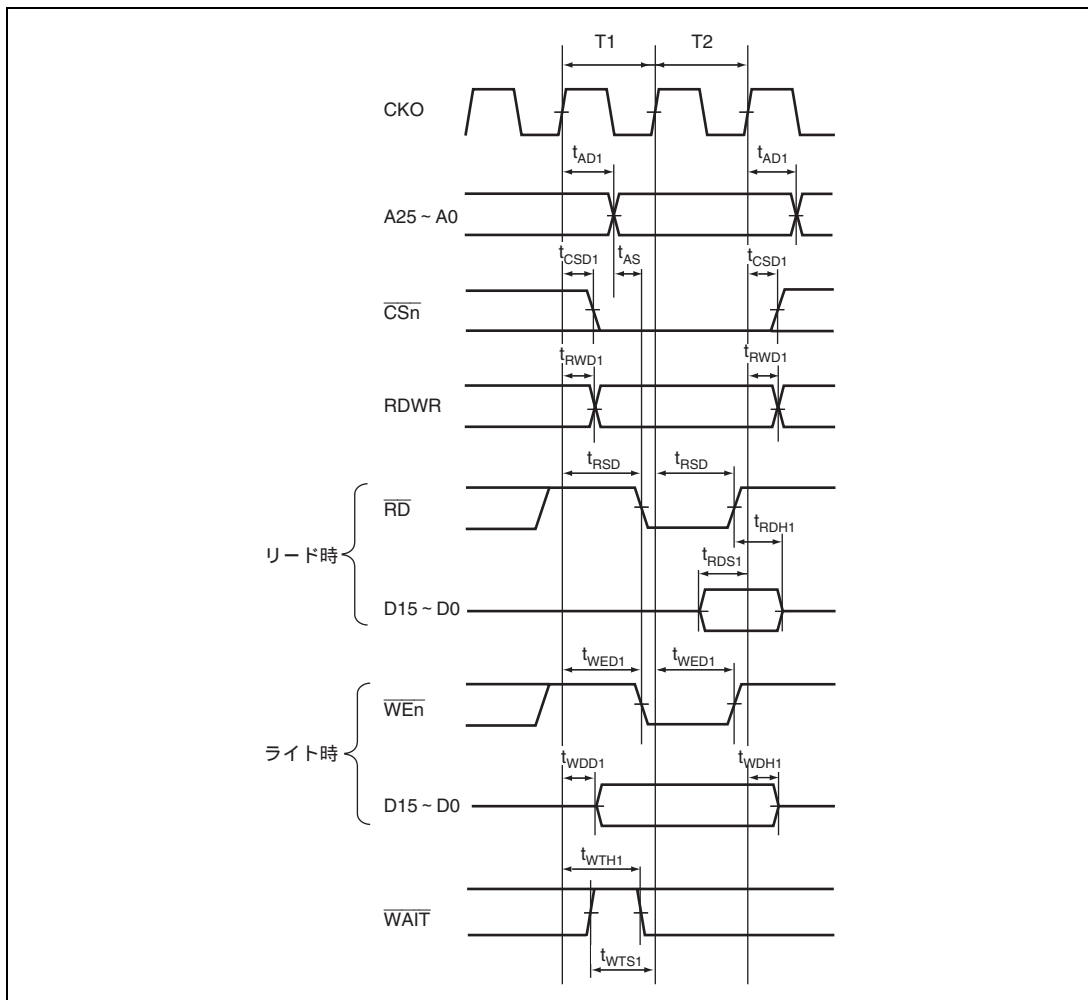


図 35.10 通常空間基本バスサイクル (ノーウェイト)

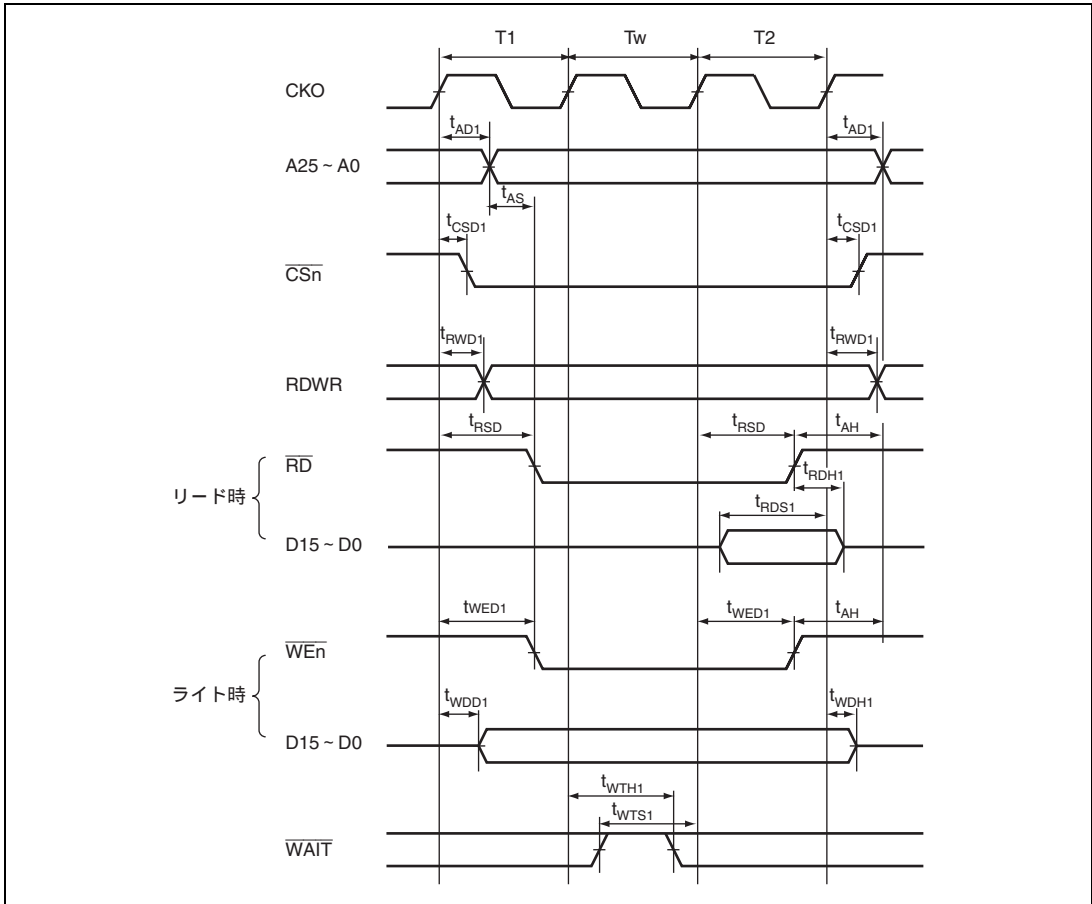


図 35.11 通常空間基本バスサイクル (ソフトウェアウェイト 1)

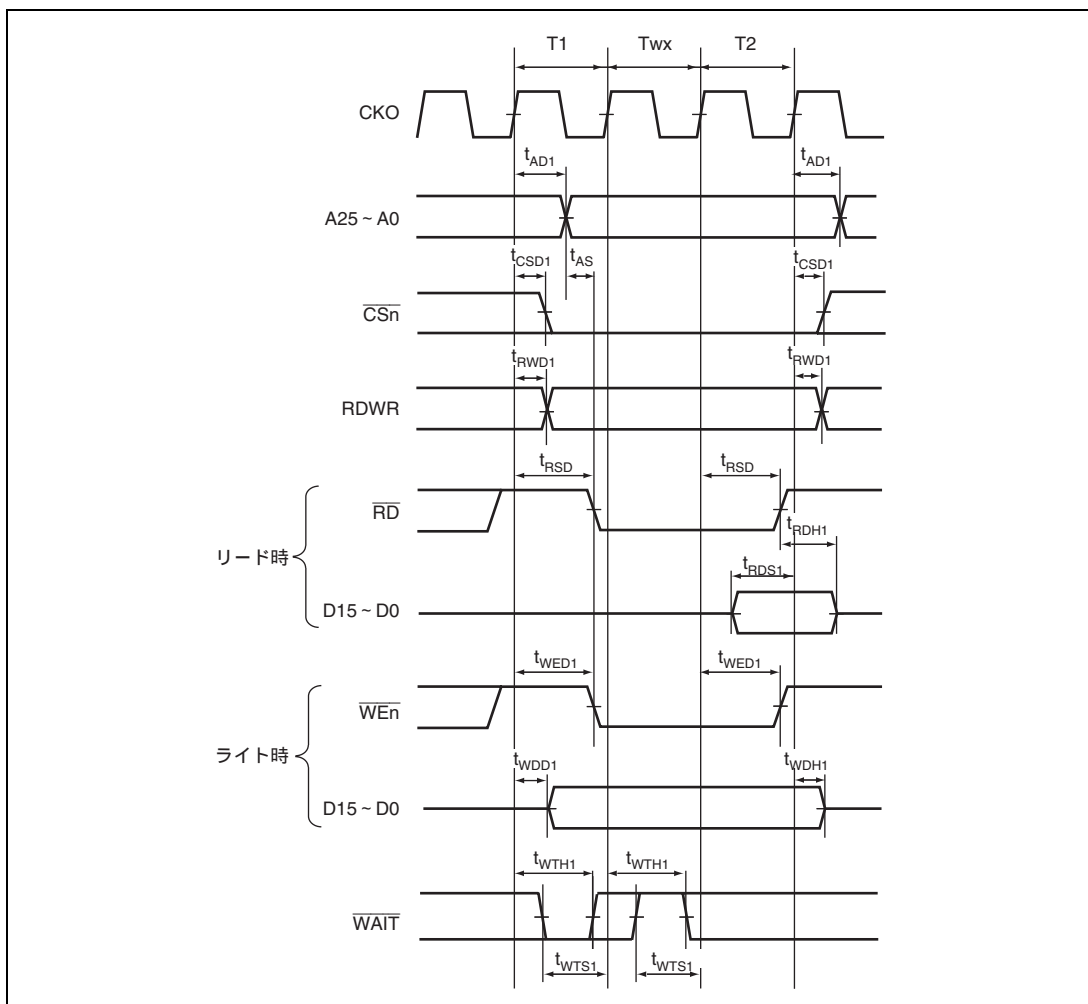


図 35.12 通常空間基本バスサイクル（非同期外部ウェイト1挿入）



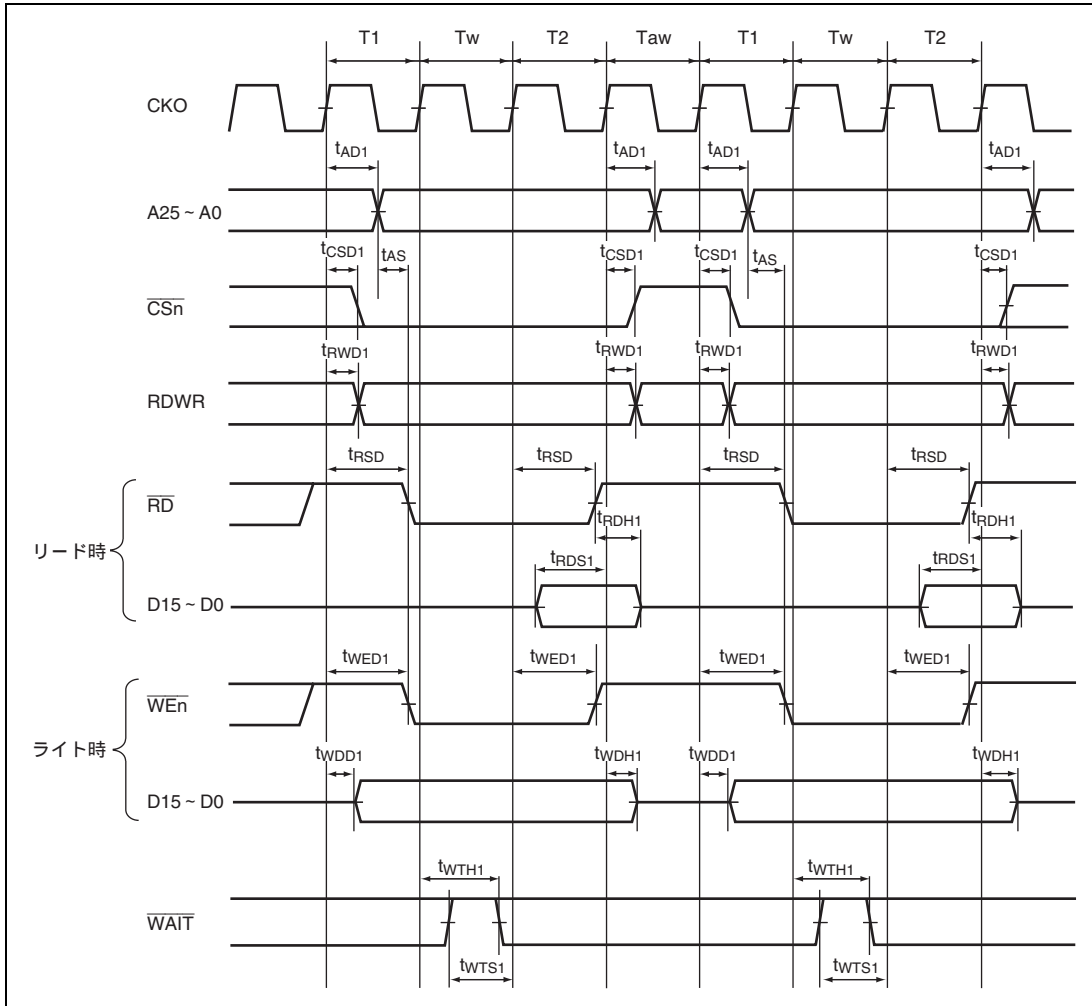


図 35.13 通常空間基本バスサイクル  
 (ソフトウェアウェイト 1、非同期外部ウェイト有効 (WM ビット=0)、アイドルサイクルなし設定)

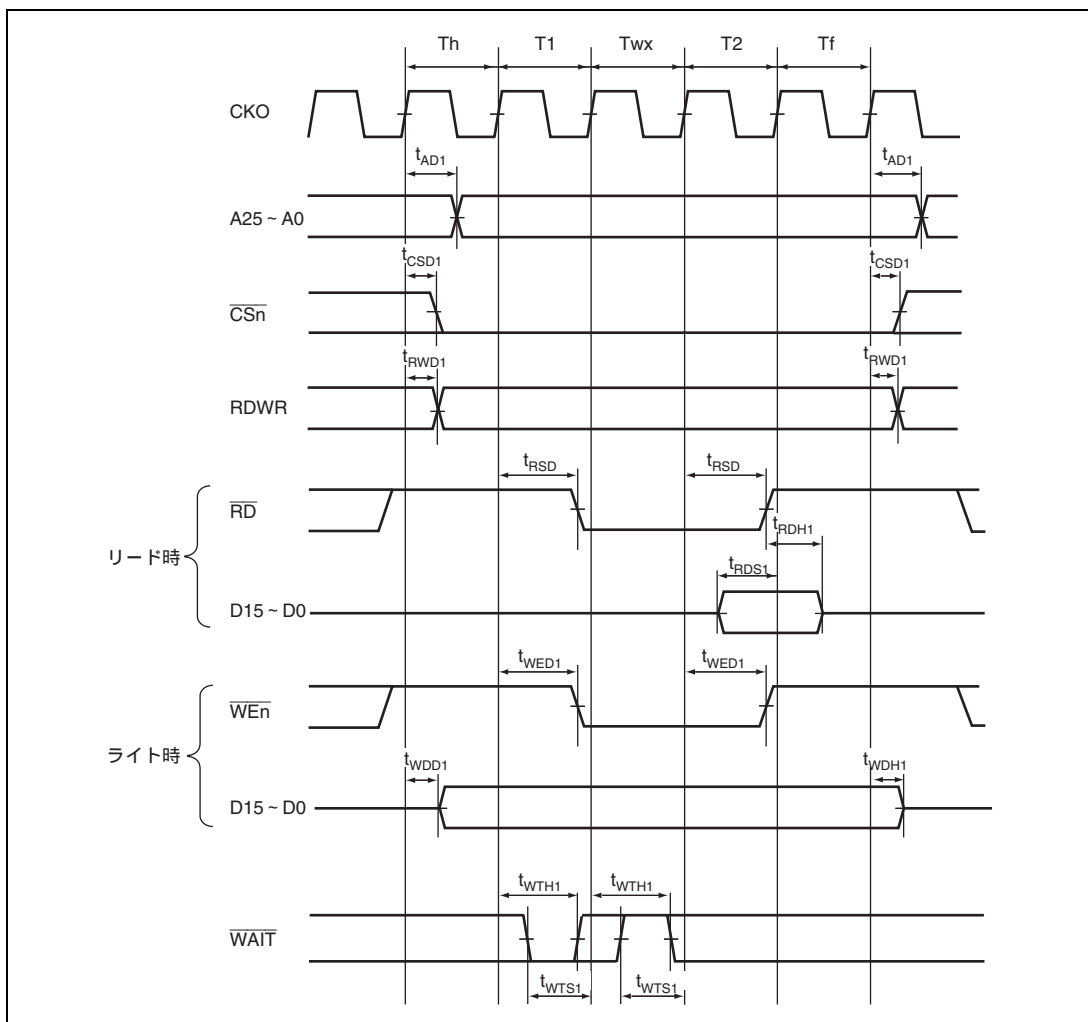


図 35.14 通常空間 CS 拡張バスサイクル  
(SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入)

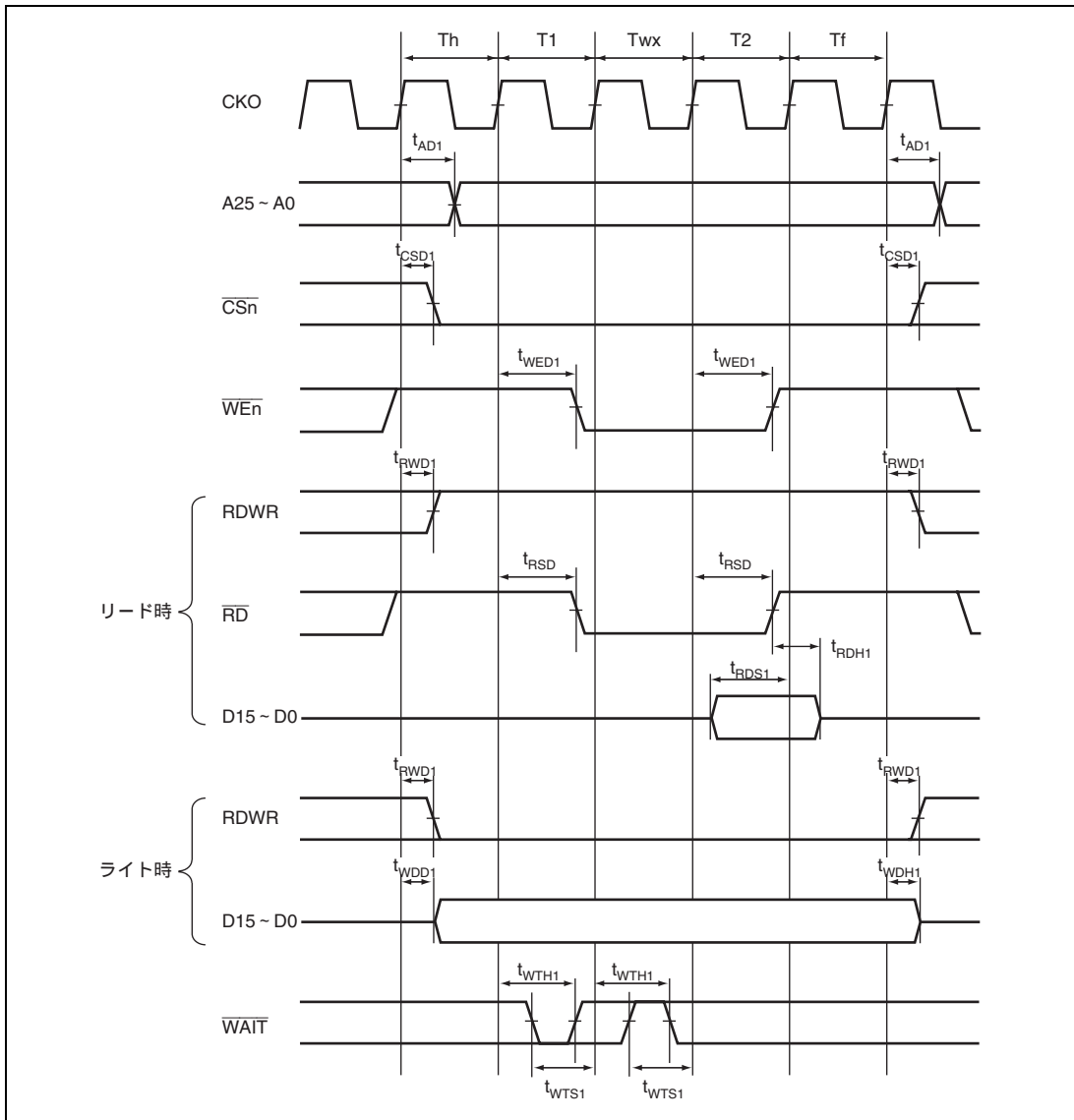


図 35.15 バイト選択付き SRAM バスサイクル  
 (SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入、  
 BAS = 0 (ライトサイクル UB、LB コントロール))

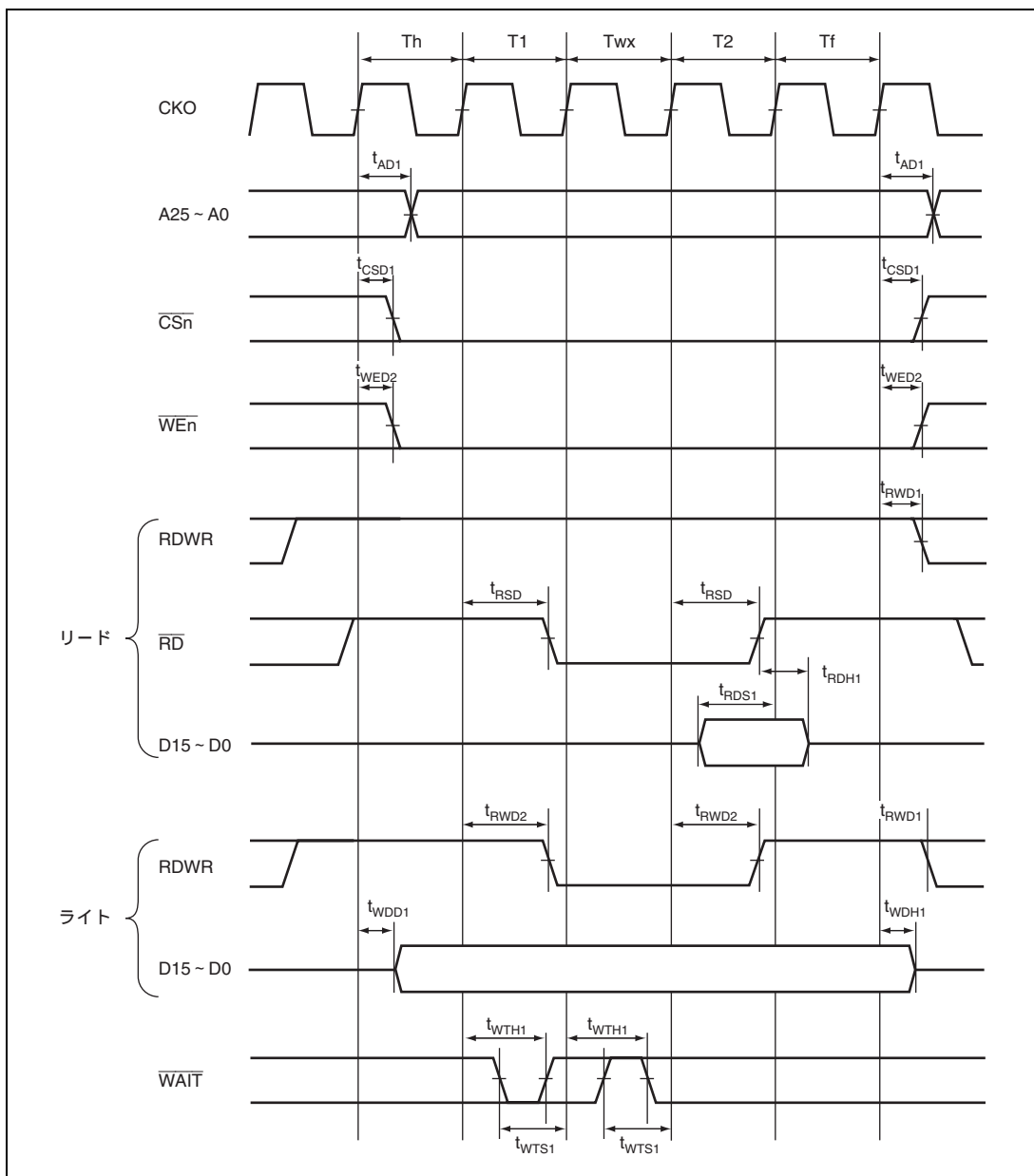


図 35.16 バイト選択付き SRAM バスサイクル

(SW=1 サイクル、HW=1 サイクル、非同期外部ウェイト 1 挿入、BAS=1 (ライトサイクル WE コントロール))

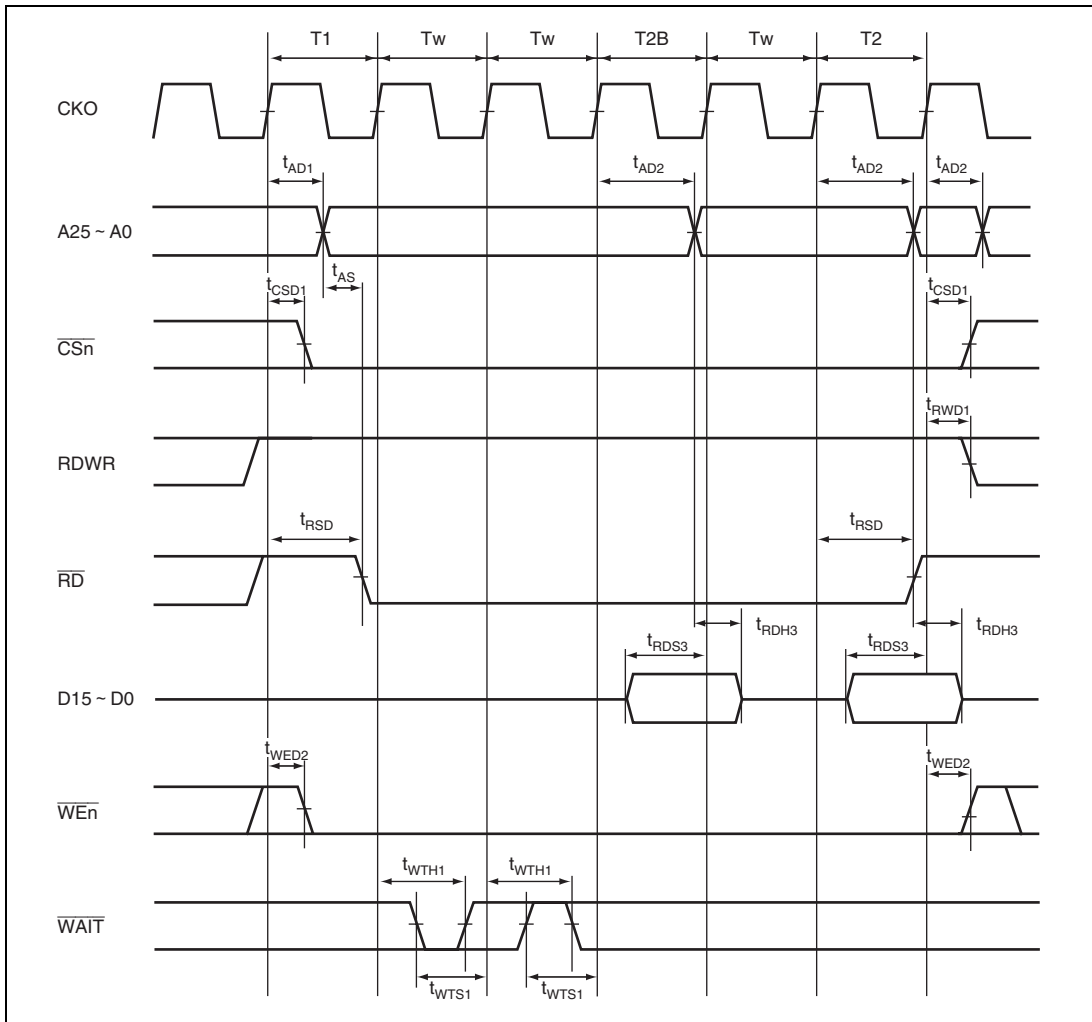


図 35.17 バイト選択付き SRAM ページモードリードバスサイクル PMD=1、BAS=1  
(ソフトウェアウェイト 1、非同期外部ウェイト 1 挿入、バーストウェイト 1、2 バースト)

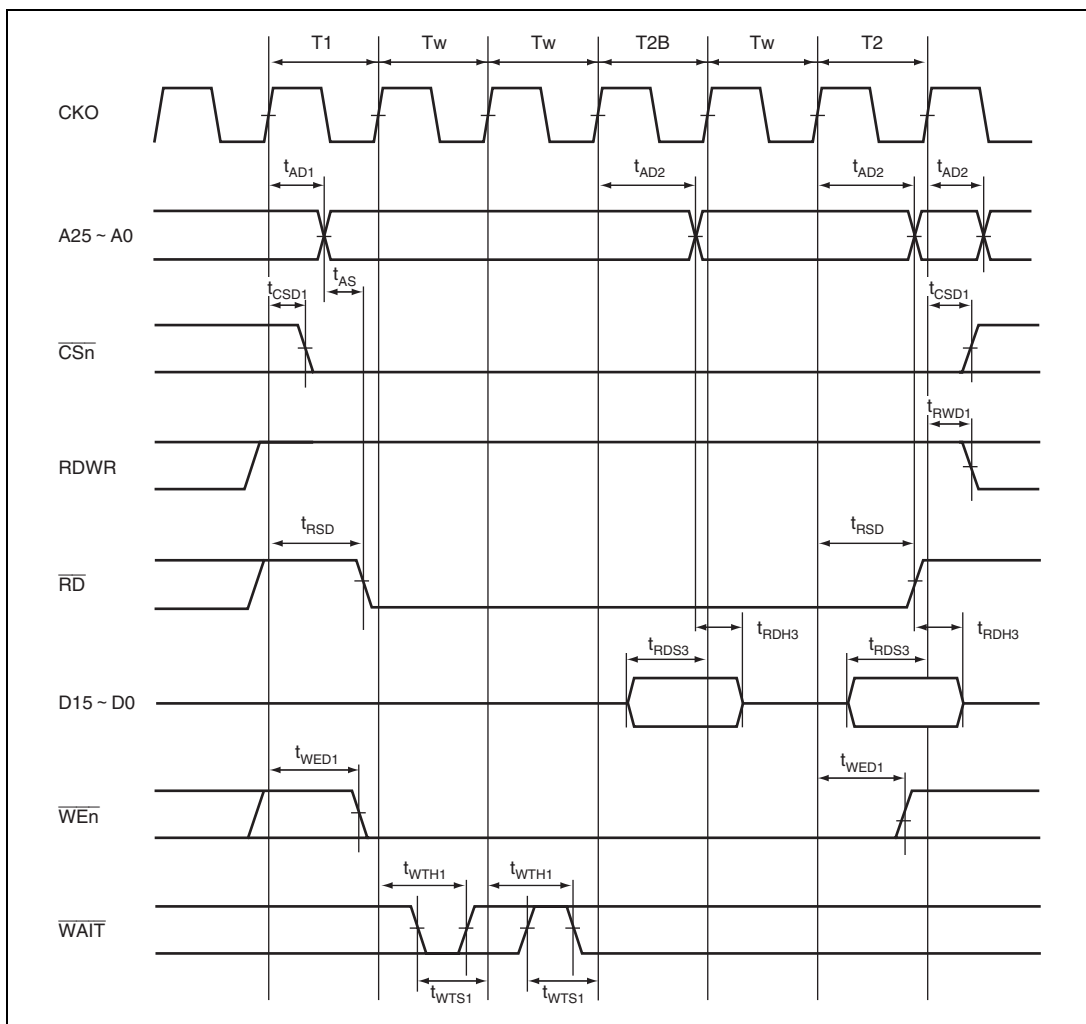


図 35.18 バイト選択付き SRAM ページモードリードバスサイクル PMD=1、BAS=0  
 (ソフトウェアウェイト 1、非同期外部ウェイト 1 挿入、バーストウェイト 1、2 バースト)

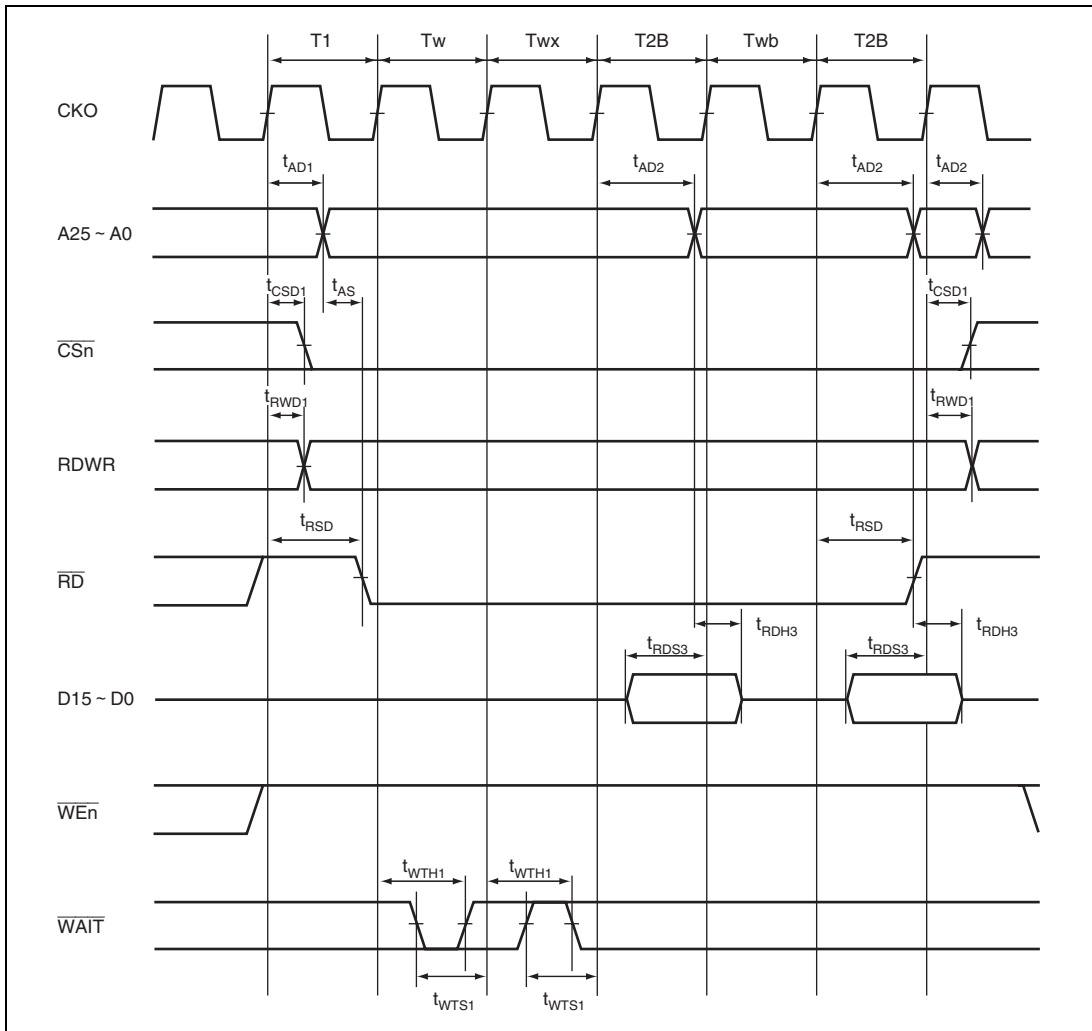


図 35.19 バースト ROM リードバスサイクル  
(ソフトウェアウェイト 1、非同期外部ウェイト 1 挿入、バーストウェイト 1、2 バースト)

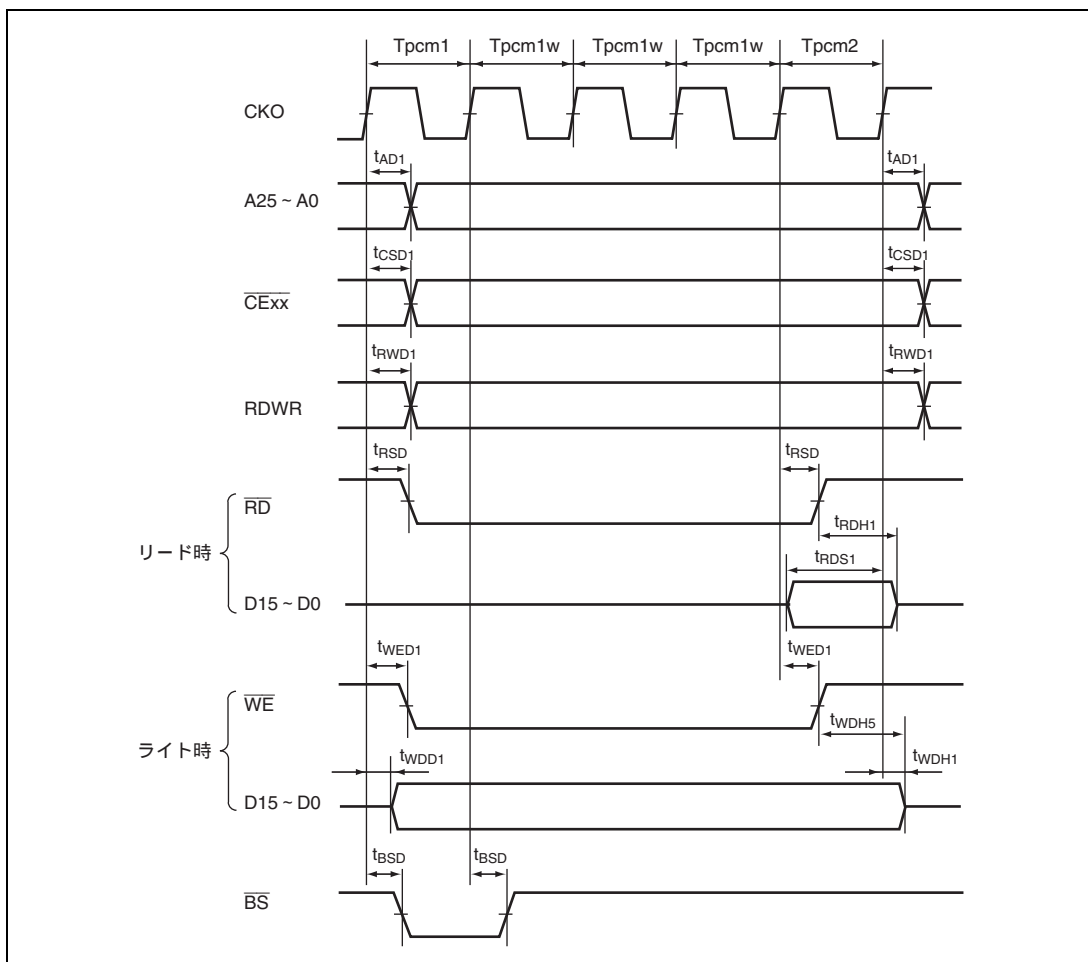


図 35.20 PCMCIA メモリカードインタフェースバスタイミング



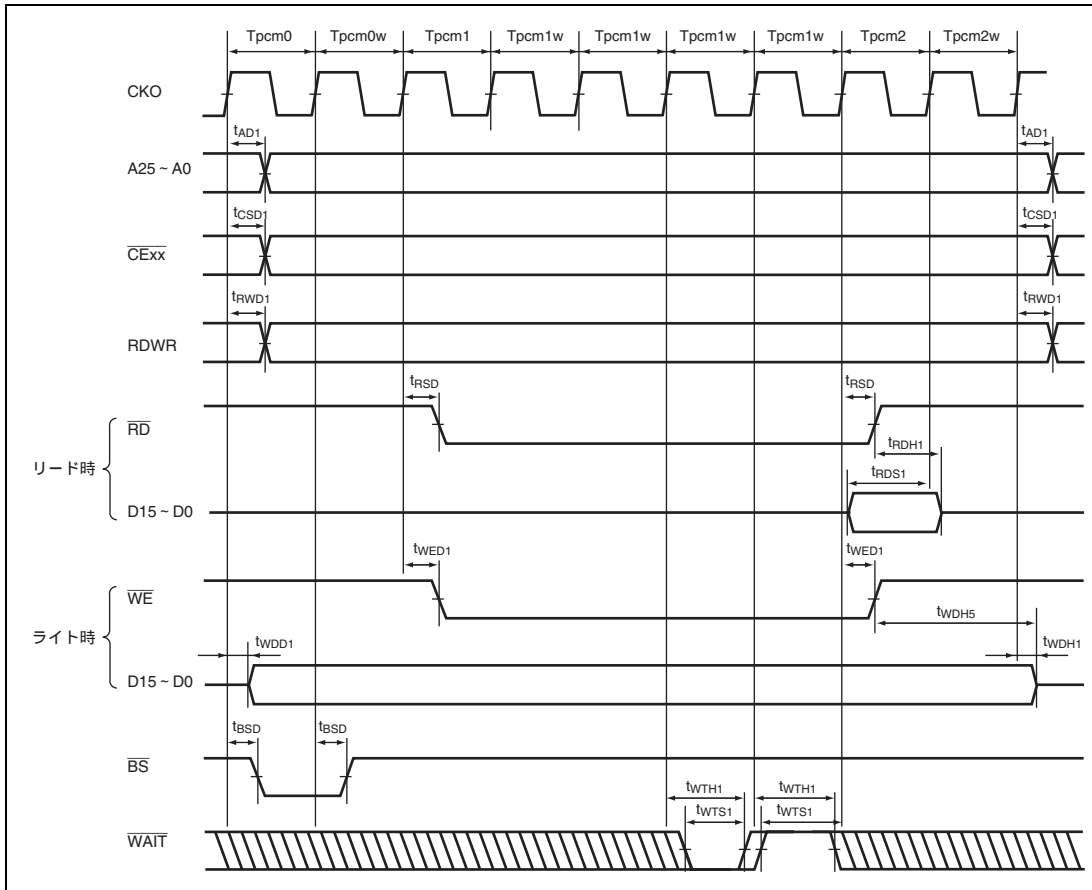


図 35.21 PCMCIA メモリカードインタフェースバスタイミング

(TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェアウェイト1、ハードウェアウェイト1)

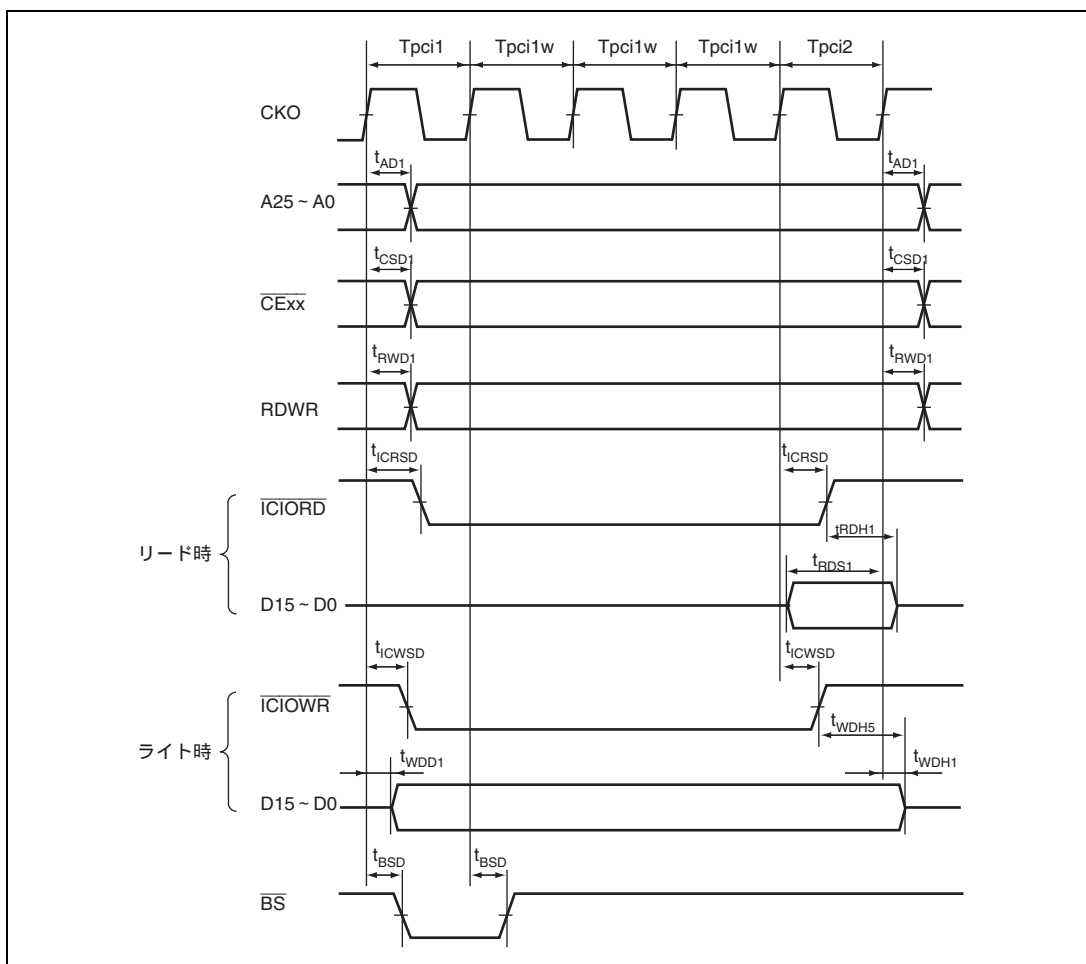


図 35.22 PCMCIA I/O カードインタフェースバスタイミング

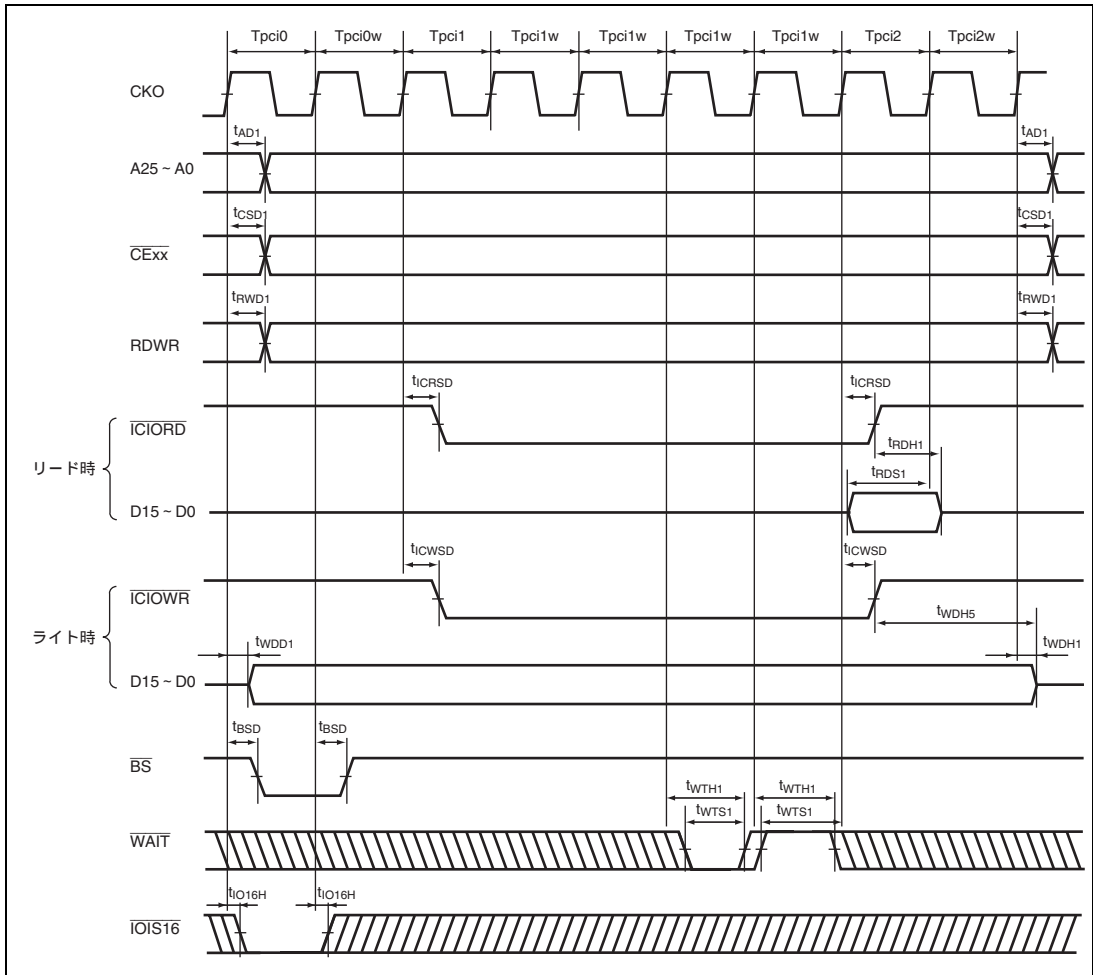


図 35.23 PCMCIA I/O カードインタフェースバスタイミング  
 (TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェアウェイト 1、ハードウェアウェイト 1)

## 35. 電気的特性

### 35.5.4 SDRAM タイミング (SDRAM 専用バス)

表35.12 SDRAM バスタイミング (SBSCR = H'0044、HPCLK 周波数 133.4MHz 時)

項 目	記号	Min.	Max.	単位	参照図
アドレス遅延時間	tHPAD	1.0	6.0	ns	35.24 ~ 35.42
CS 遅延時間	tHPCSD	1.0	6.0	ns	35.24 ~ 35.42
リードライト遅延時間	tHPRWD	1.0	6.0	ns	35.24 ~ 35.42
リードデータセットアップ時間	tHPRDS	2.0	-	ns	35.24 ~ 35.27、 35.32 ~ 35.34、 35.41、35.42
リードデータホールド時間	tHPRDH	2.0	-	ns	35.24 ~ 35.27、 35.32 ~ 35.34、 35.41、35.42
ライトデータ遅延時間	tHPWDD	-	6.0	ns	35.28 ~ 35.31、 35.35 ~ 35.37、 35.41、35.42
ライトデータホールド時間	tHPWHD	1.0	-	ns	35.28 ~ 35.31、 35.35 ~ 35.37、 35.41、35.42
RAS 遅延時間	tHPRASD	1.0	6.0	ns	35.24 ~ 35.42
CAS 遅延時間	tHPCASD	1.0	6.0	ns	35.24 ~ 35.42
DQM 遅延時間	tHPDQMD	1.0	6.0	ns	35.24 ~ 35.42
CKE 遅延時間	tHPCKED	1.0	6.0	ns	35.24 ~ 35.42

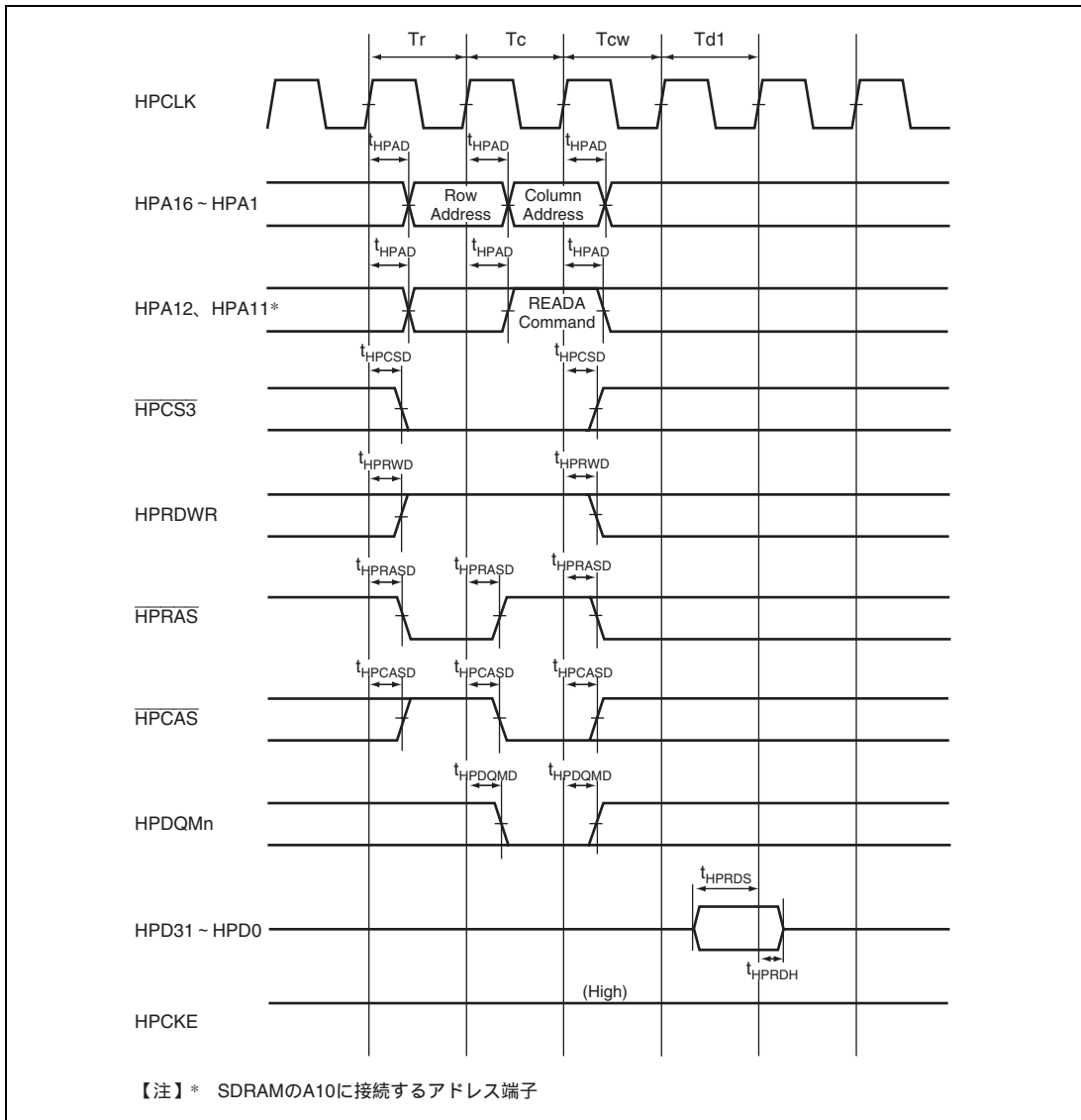


図 35.24 SDRAM シングルリードバスサイクル  
(オートプリチャージモード、CAS レイテンシ 2、TRCD = 1 サイクル)

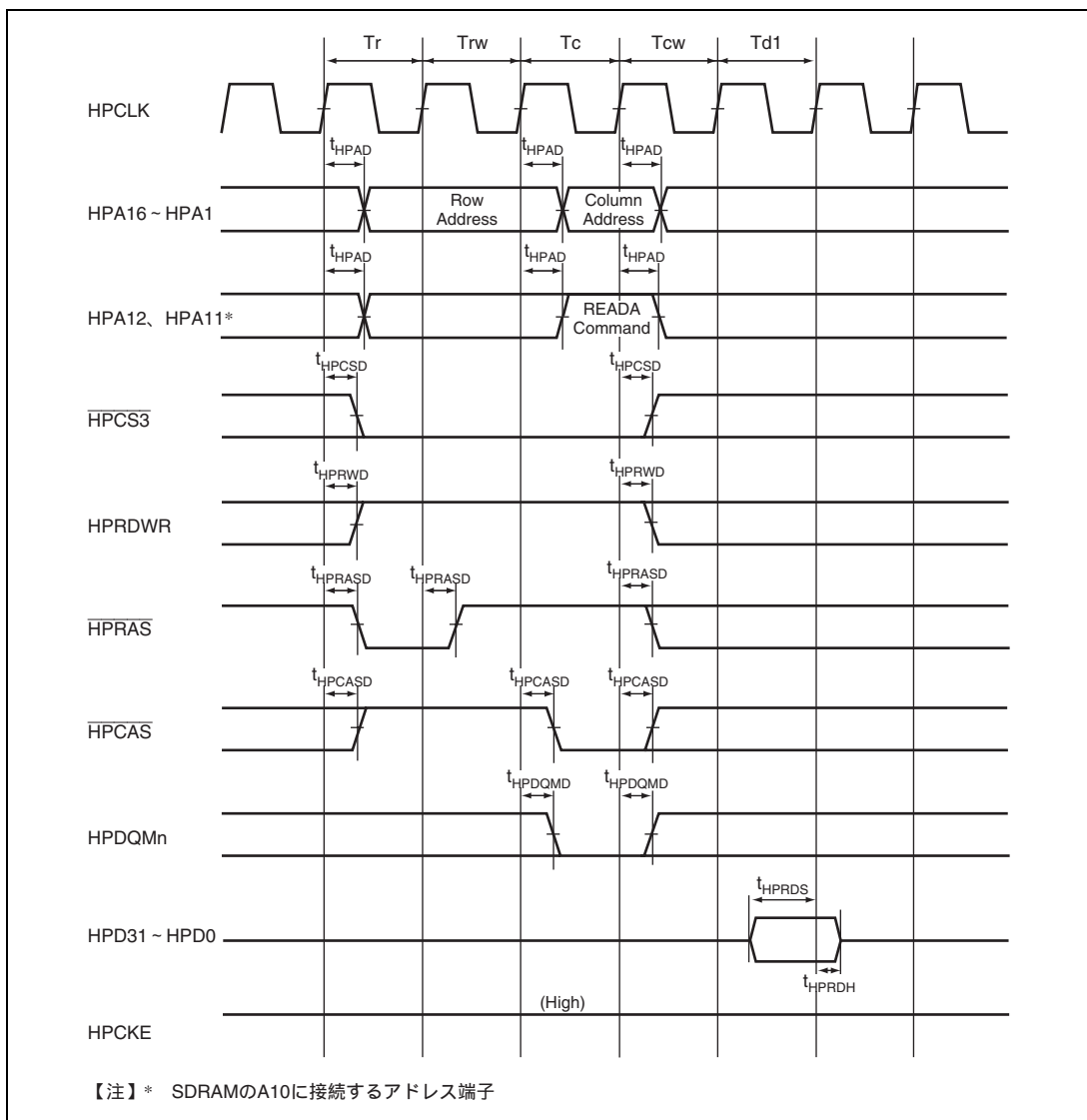


図 35.25 SDRAM シングルリードバスサイクル  
(オートプリチャージモード、CAS レイテンシ 2、TRCD=2 サイクル)

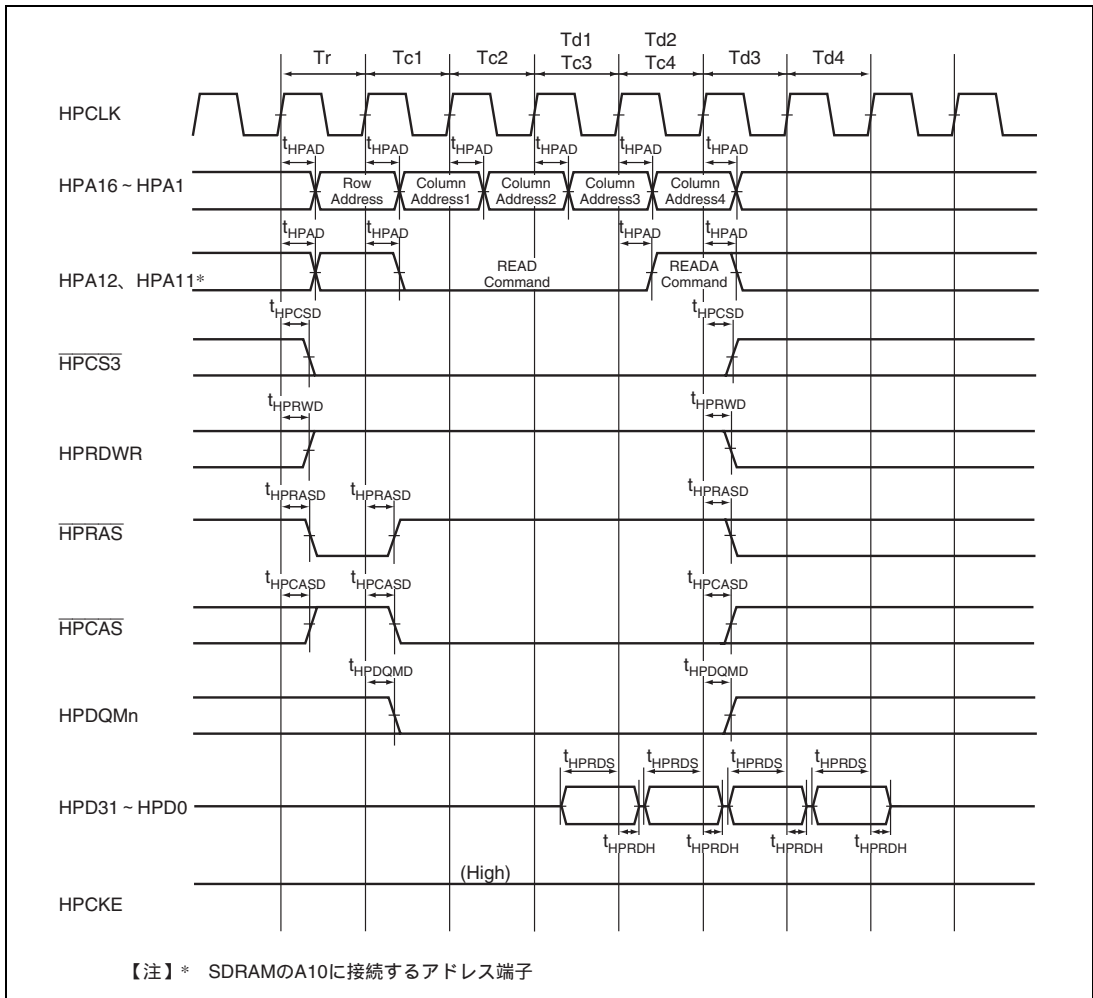


図 35.26 SDRAM バーストリードバスサイクル  
(オートプリチャージモード、CAS レイテンシ 2、TRCD = 1 サイクル)

35. 電気的特性

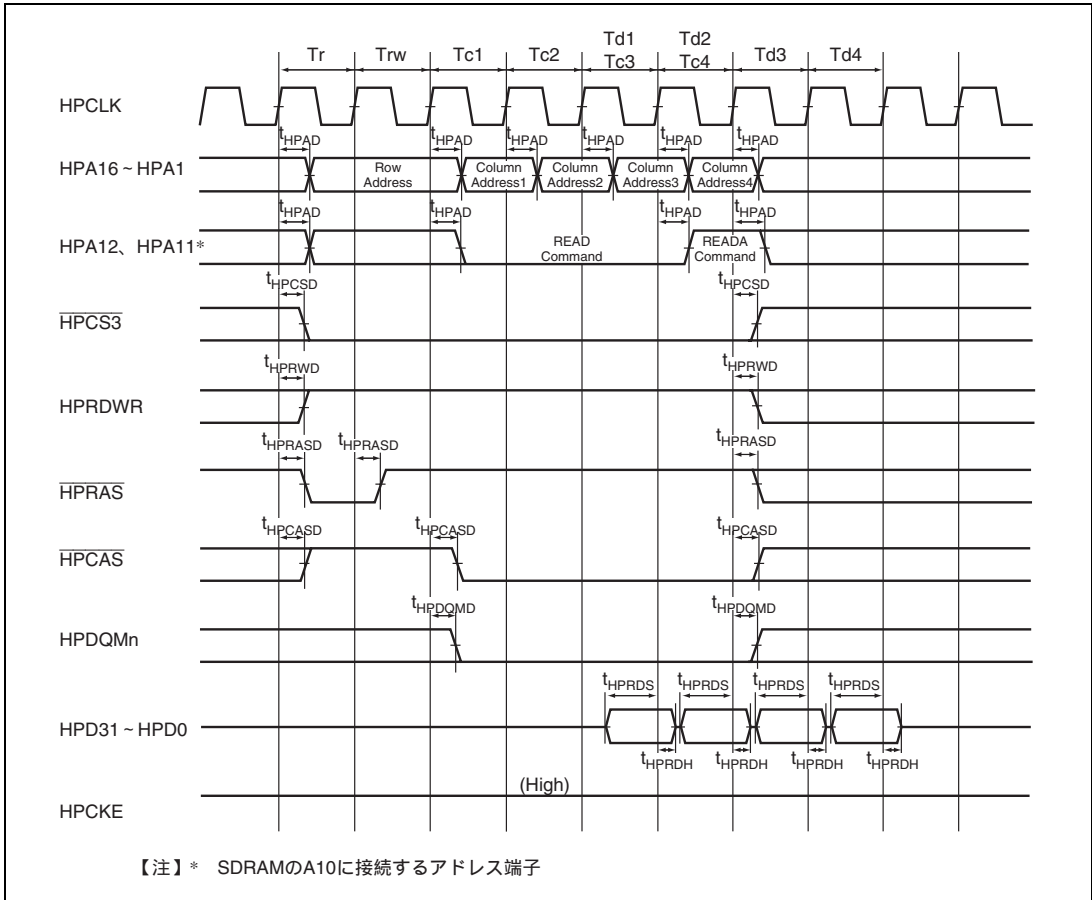


図 35.27 SDRAM バーストリードバスサイクル  
(オートプリチャージモード、CAS レイテンシ 2、TRCD = 2 サイクル)



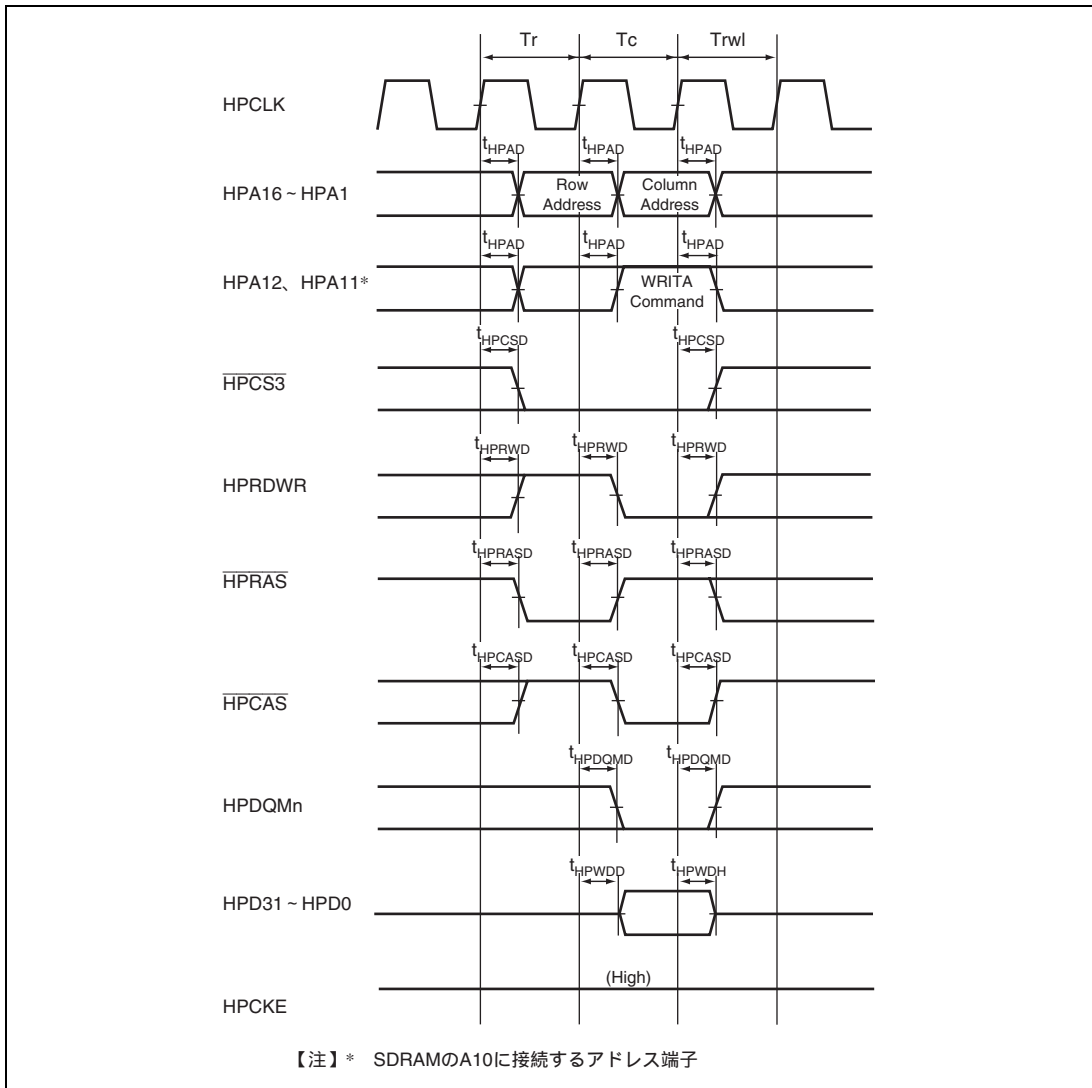


図 35.28 SDRAM シングルライトバスサイクル  
(オートプリチャージモード、TRWL=2 サイクル)

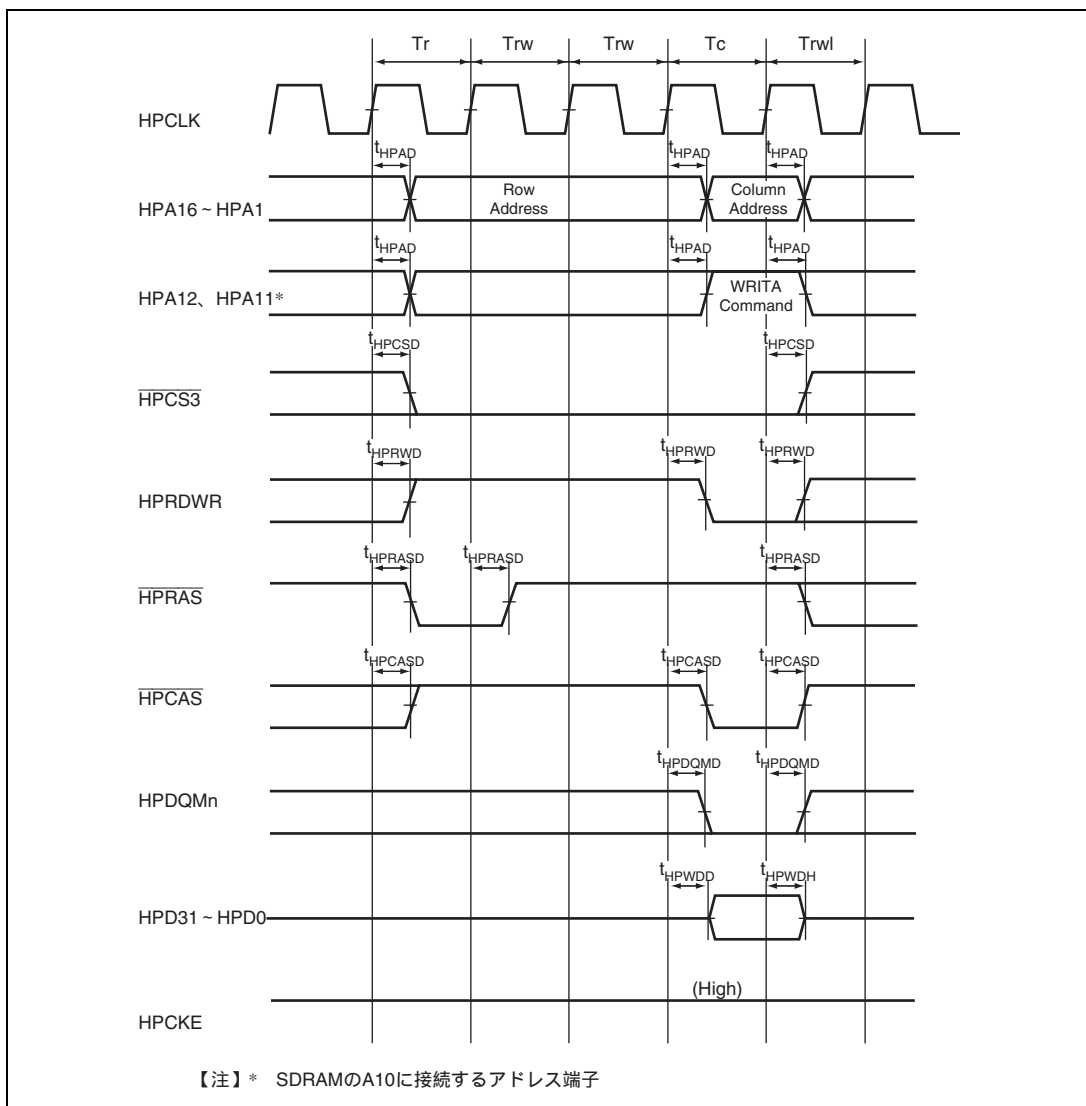


図 35.29 SDRAM シングルライトバスサイクル  
(オートプリチャージモード、TRCD = 3 サイクル、TRWL = 2 サイクル)

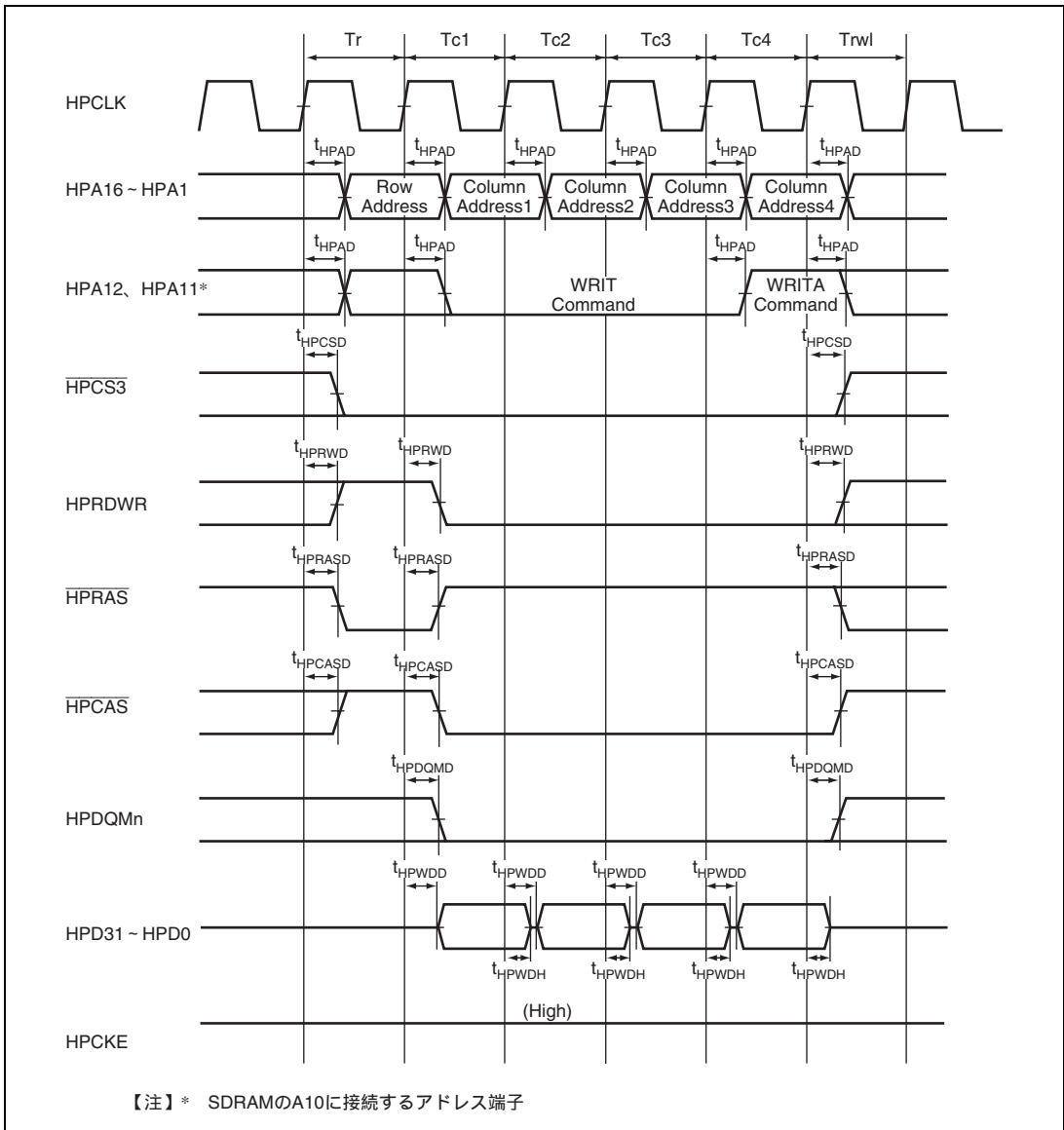


図 35.30 SDRAM バーストライトバスサイクル  
(オートプリチャージモード、TRCD = 1 サイクル、TRWL = 2 サイクル)

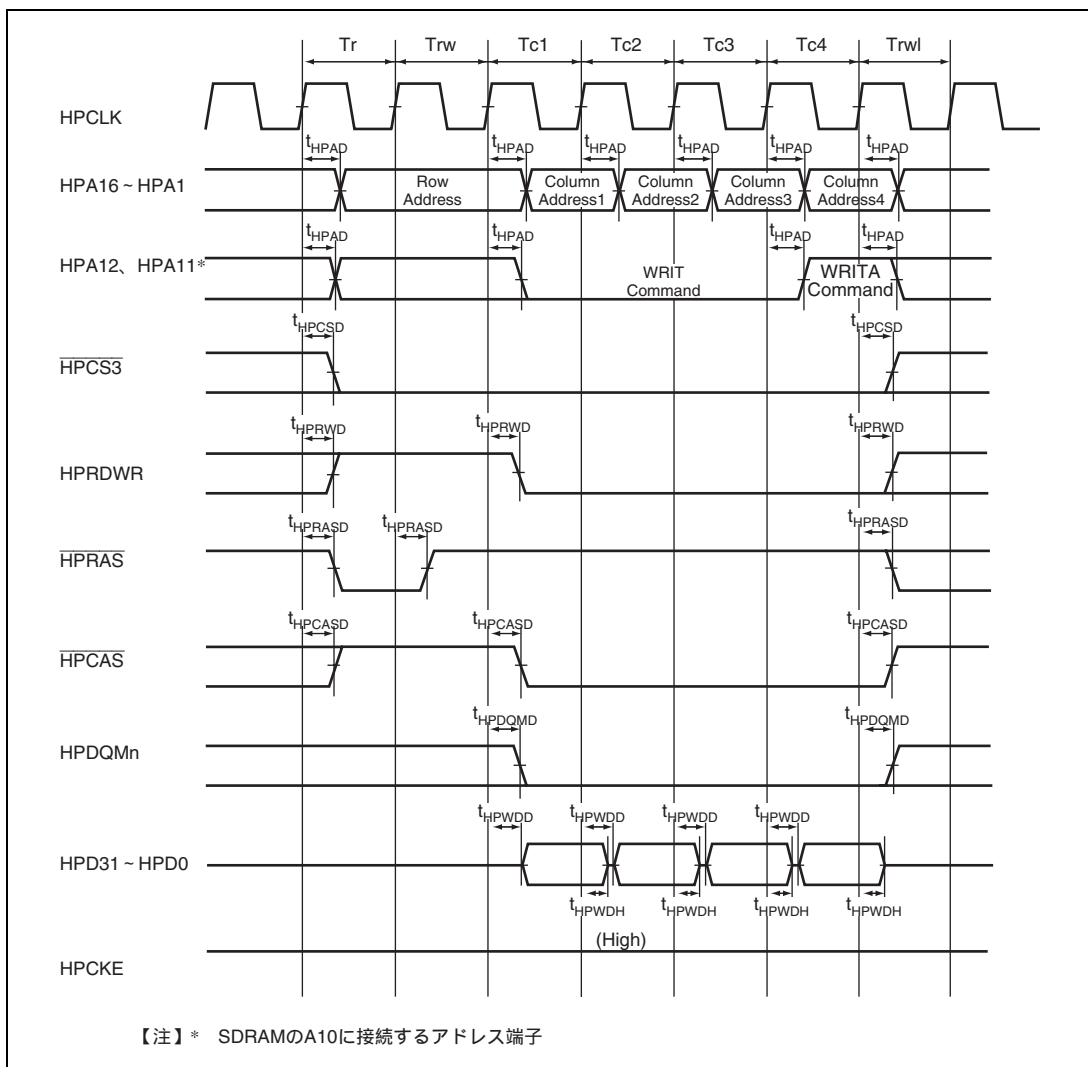


図 35.31 SDRAM バーストライトバスサイクル  
(オートプリチャージモード、TRCD=2 サイクル、TRWL=2 サイクル)

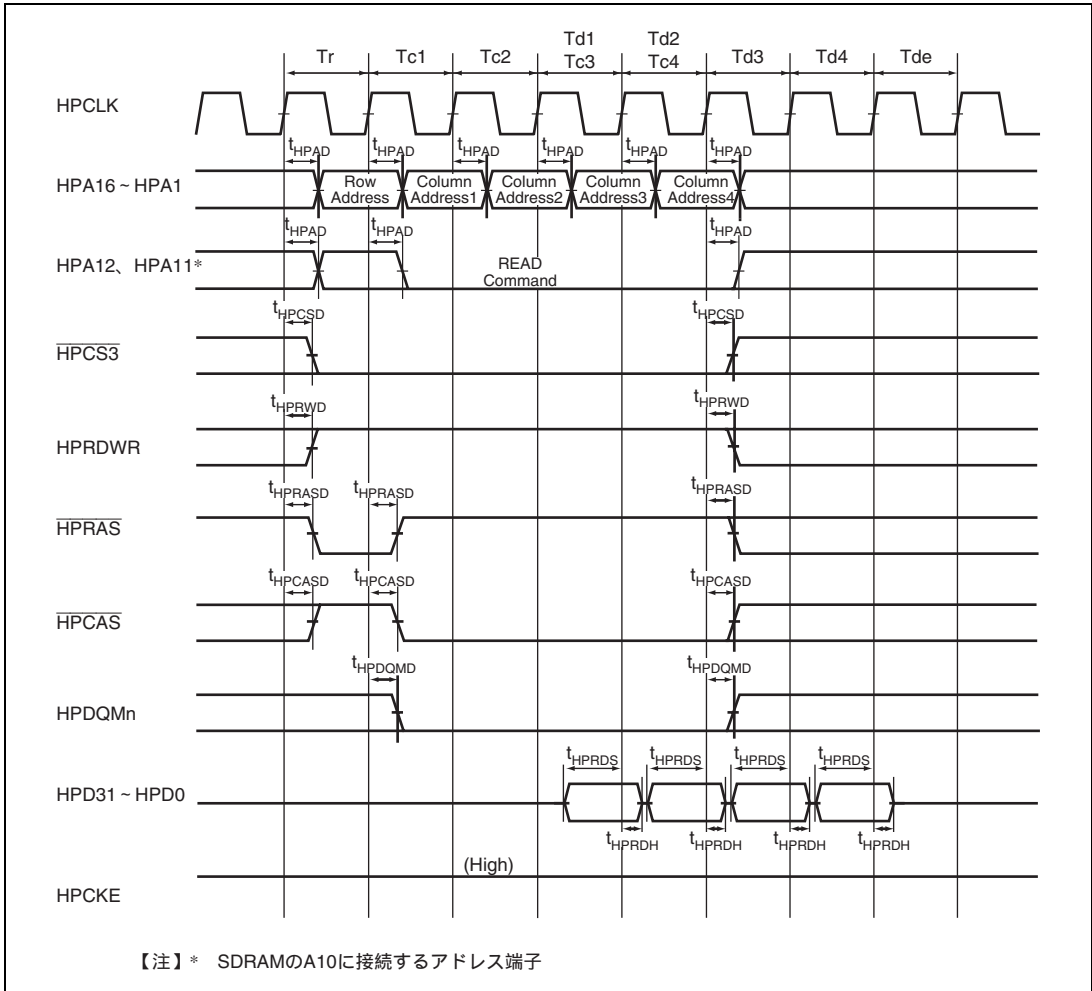


図 35.32 SDRAM バーストリードバスサイクル  
(バンクアクティブモード : ACTV+READ コマンド、CAS レイテンシ 2、TRCD = 1 サイクル)

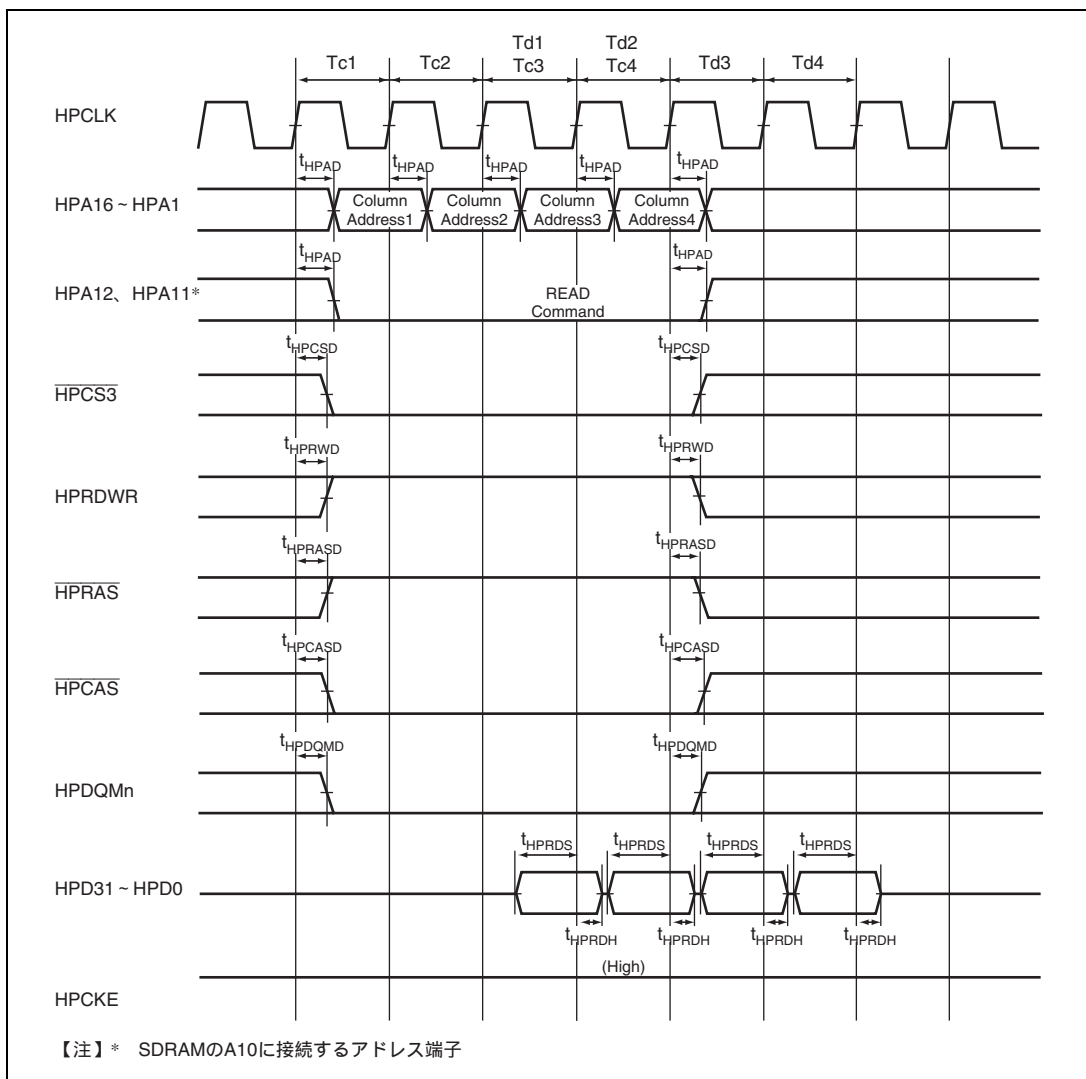


図 35.33 SDRAM バーストリードバスサイクル  
(バンクアクティブモード：READ コマンド、同一ロウアドレス、CAS レイテンシ 2)

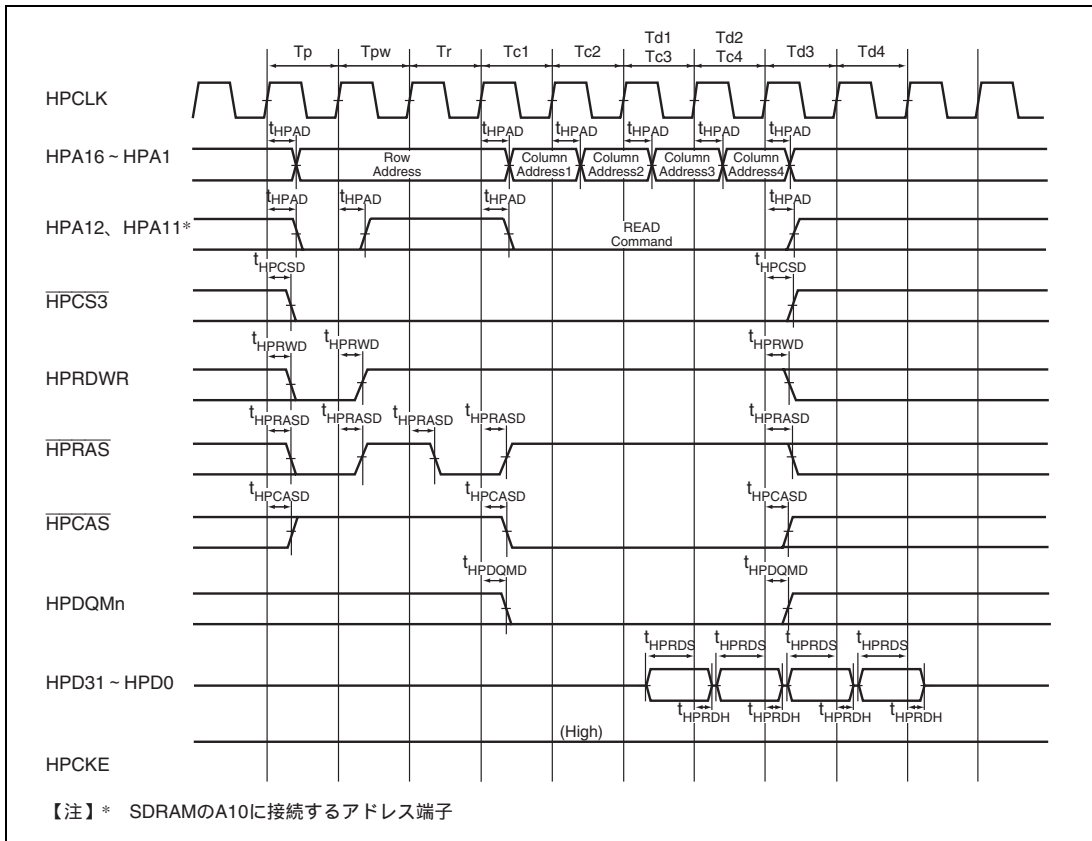


図 35.34 SDRAM バーストリードバスサイクル

(バンクアクティブモード : PRE+ACTV+READ コマンド、異なるロウアドレス、CAS レイテンシ 2、TRCD = 1 サイクル)

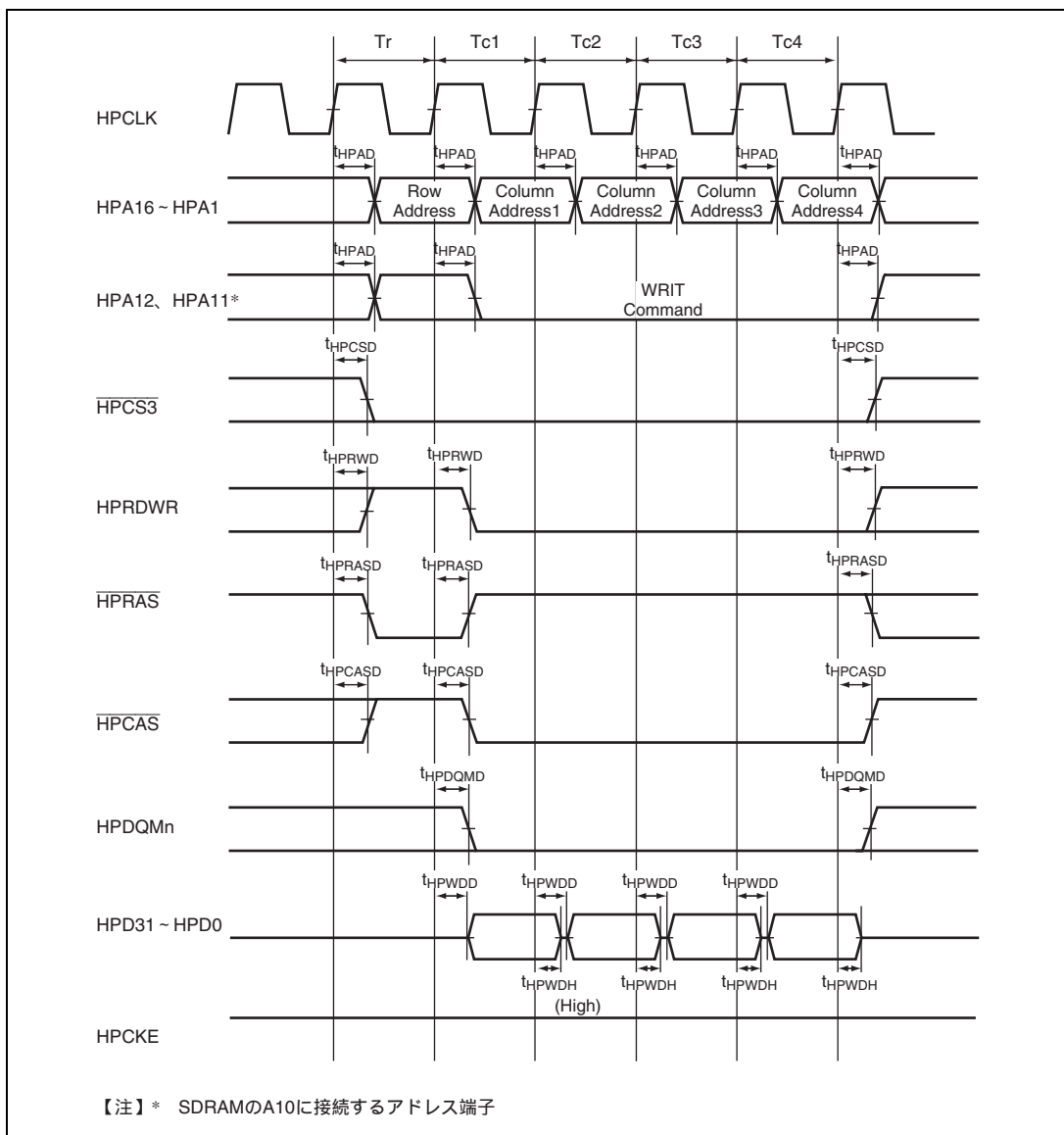


図 35.35 SDRAM バーストライトバスサイクル  
 (バンクアクティブモード、ACTV+WRITE コマンド、TRCD=1 サイクル)



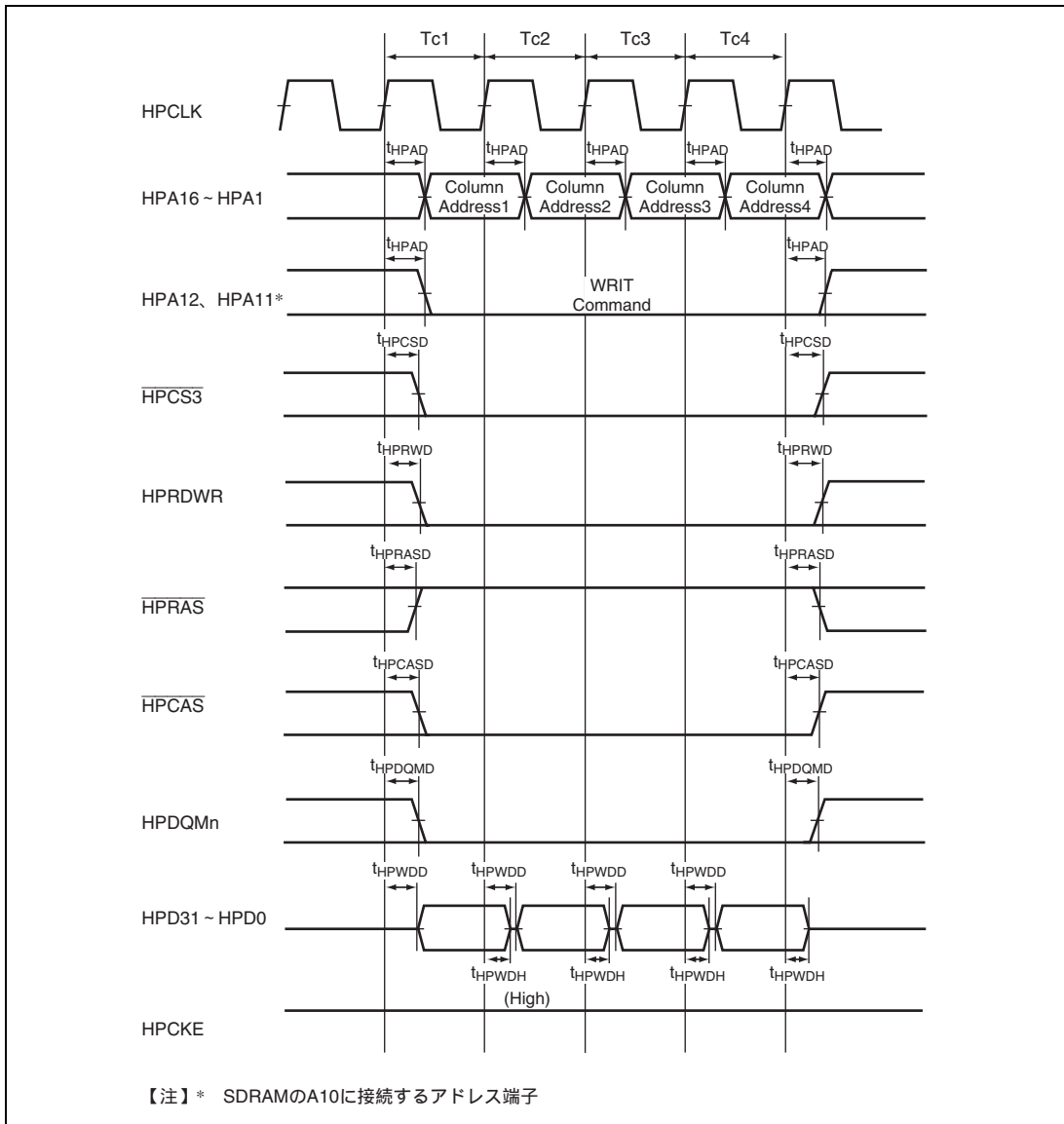


図 35.36 SDRAM バーストライトバスサイクル (シングルライト×4)  
(バンクアクティブモード、WRITE コマンド)

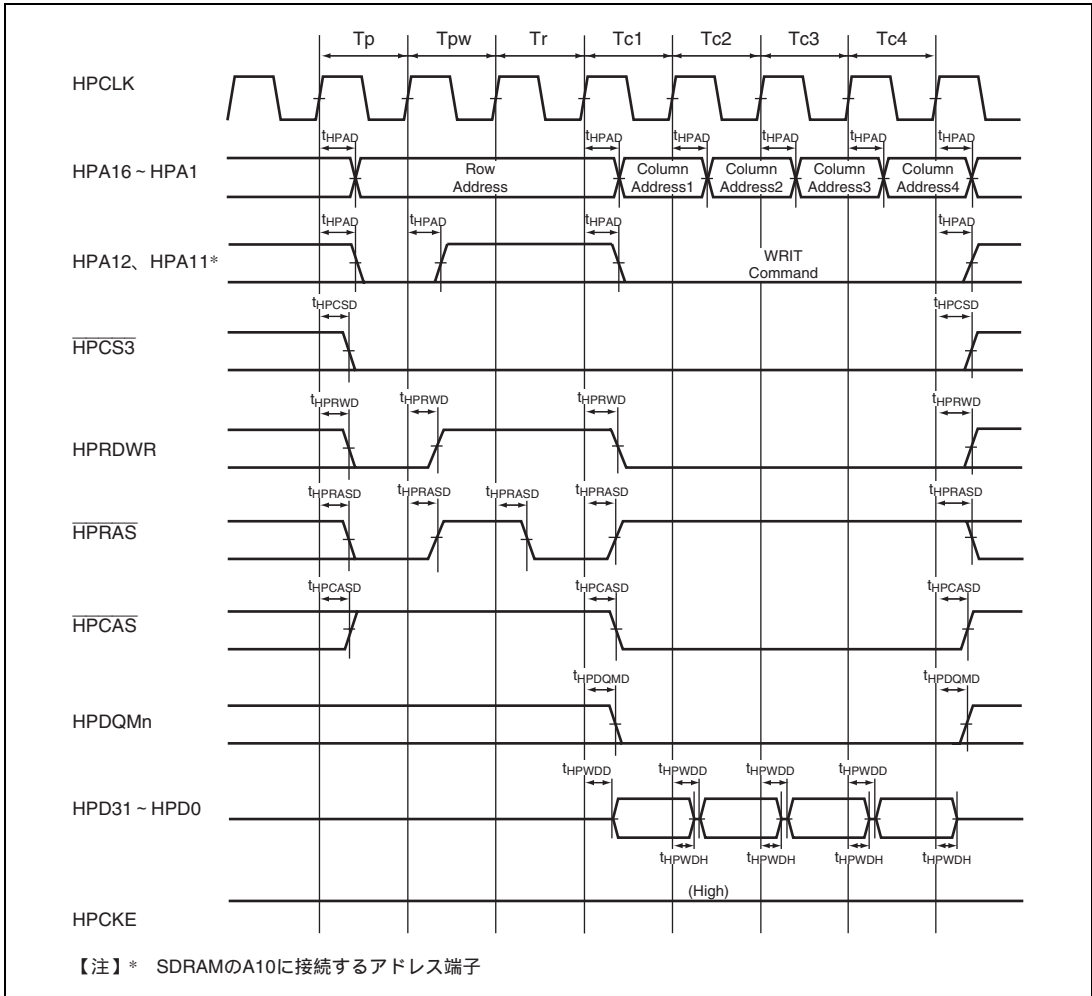


図 35.37 SDRAM パーストライトバスサイクル  
(バンクアクティブモード、PRE+ACTV+WRITE コマンド、TRCD = 1 サイクル)

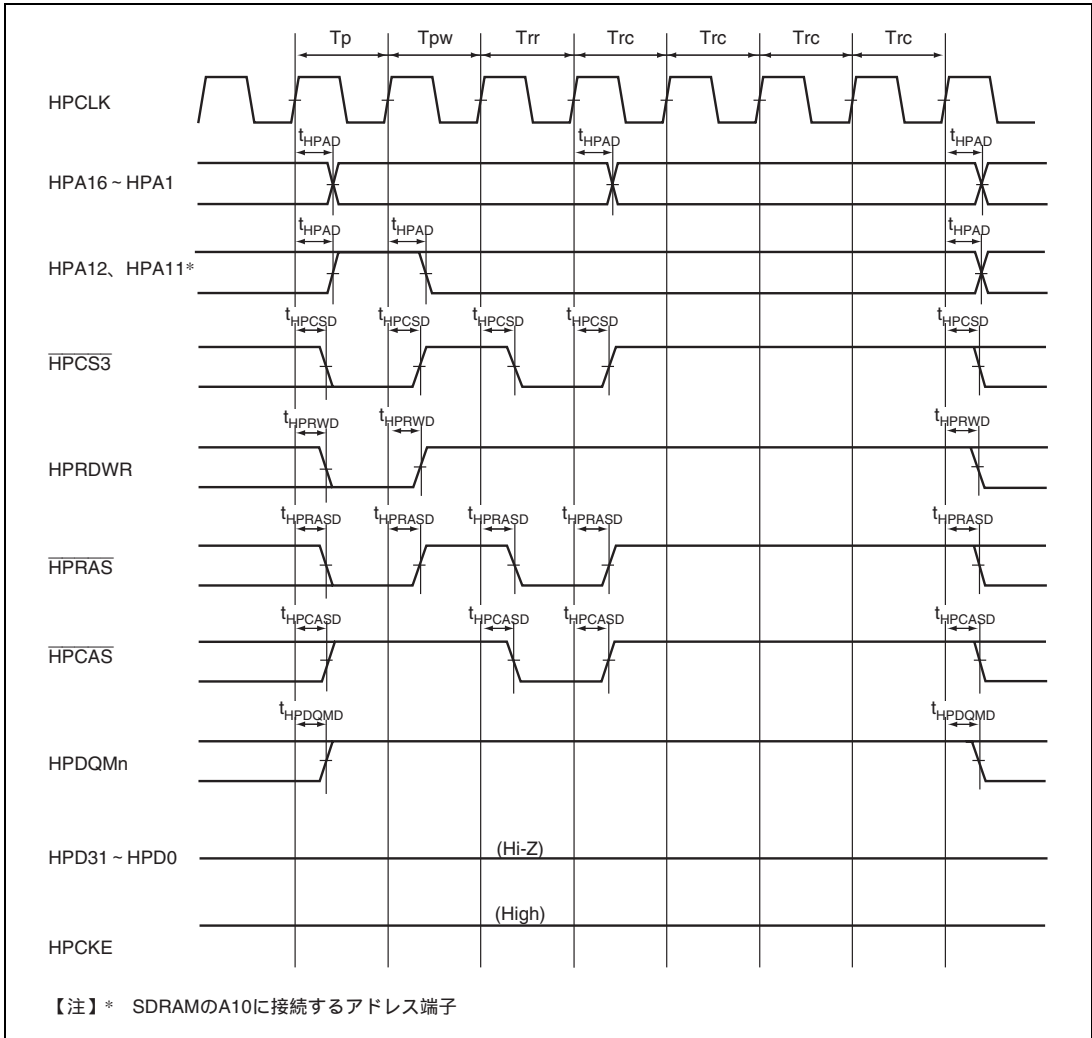


図 35.38 SDRAM オートリフレッシュタイミング (TRP = 2 サイクル)

35. 電気的特性

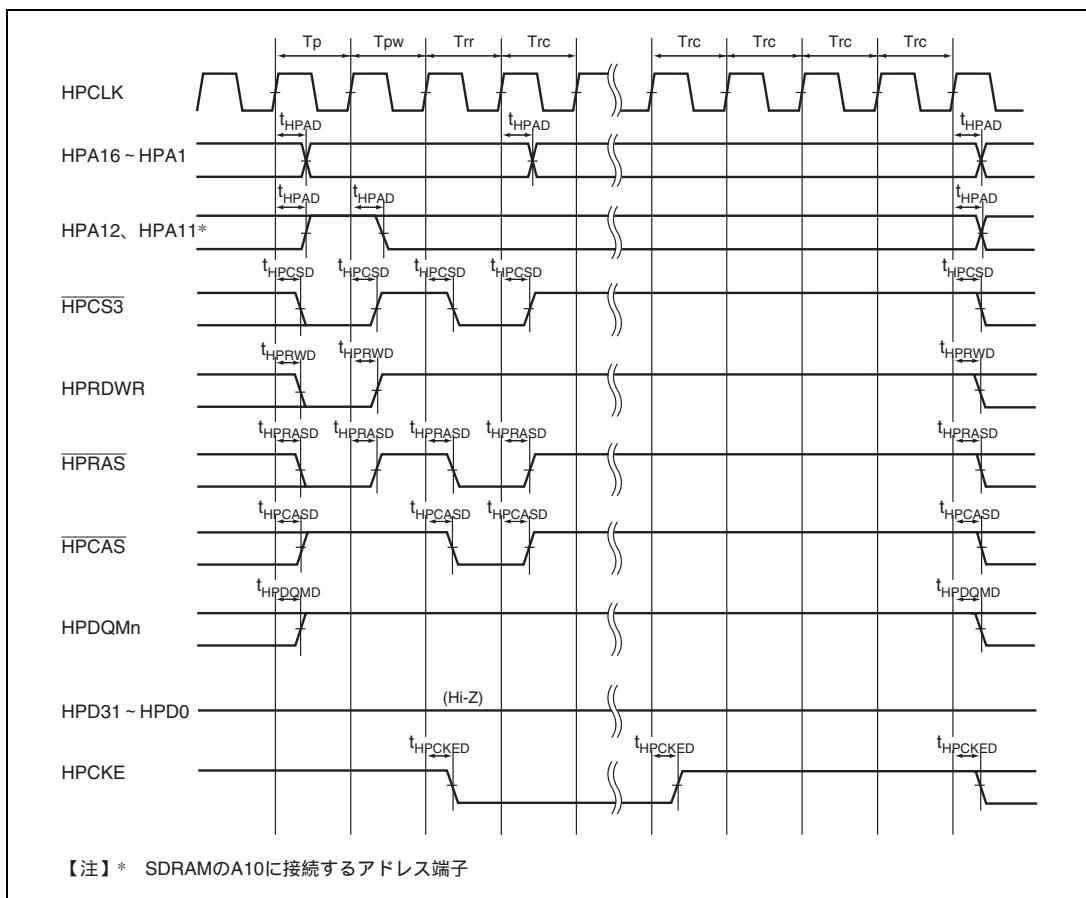


図 35.39 SDRAM セルフリフレッシュタイミング (TRP=2 サイクル)

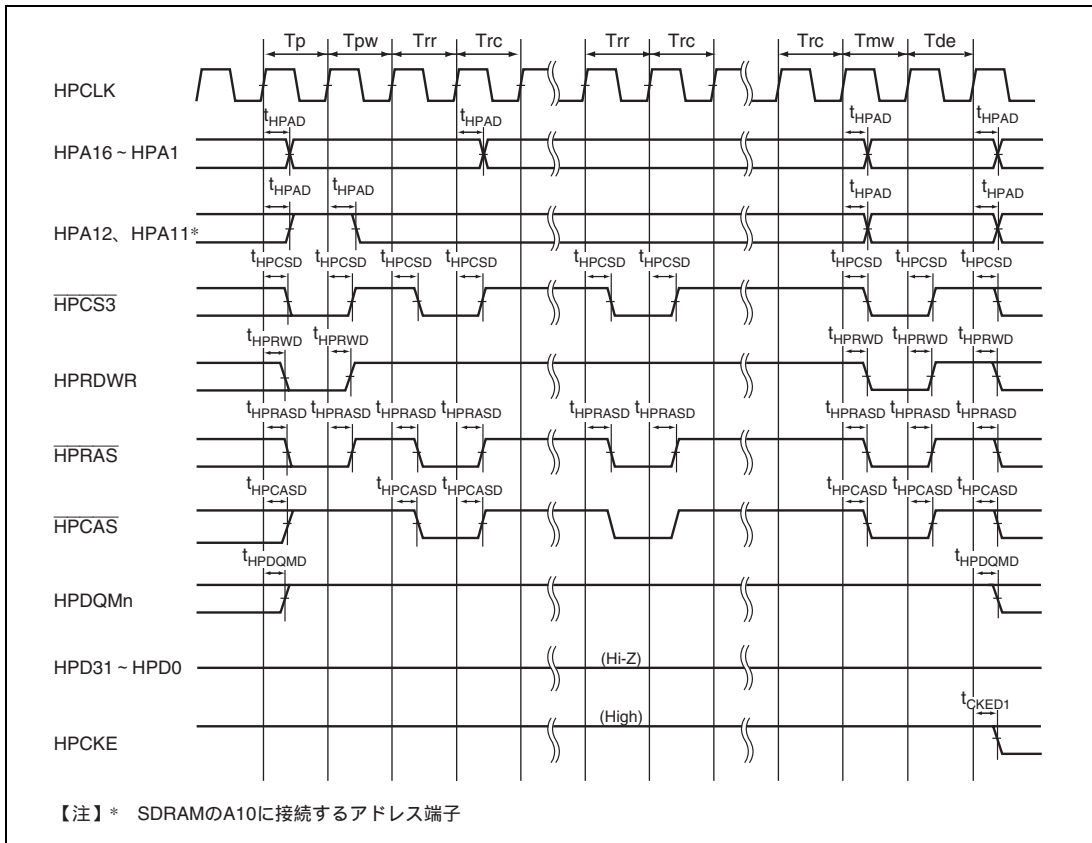


図 35.40 SDRAM パワーオンシーケンス (モードライトタイミング、TRP=2 サイクル)

### 35. 電気的特性

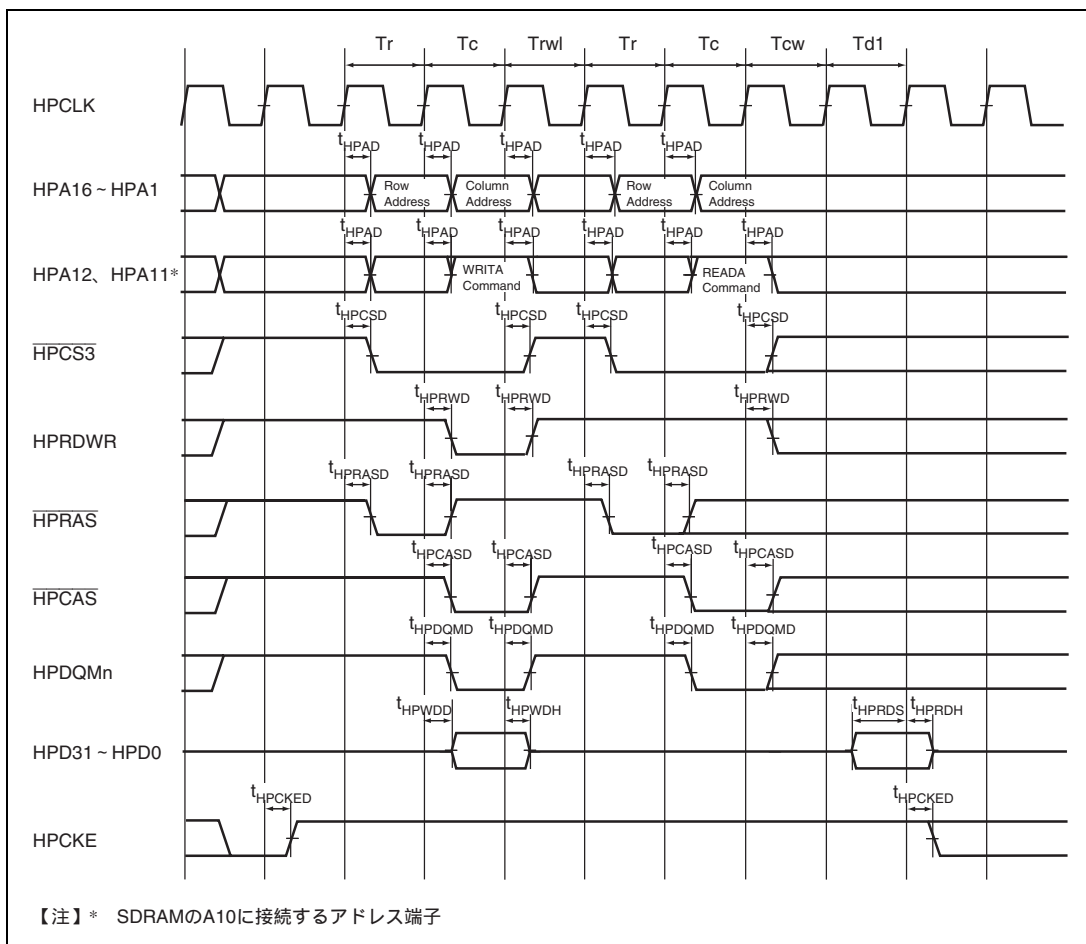


図 35.41 SDRAM パワーダウンモードライトリードバスサイクル  
(オートプリチャージモード、TRCD=1 サイクル、TRP=1 サイクル、TRWL=1 サイクル)

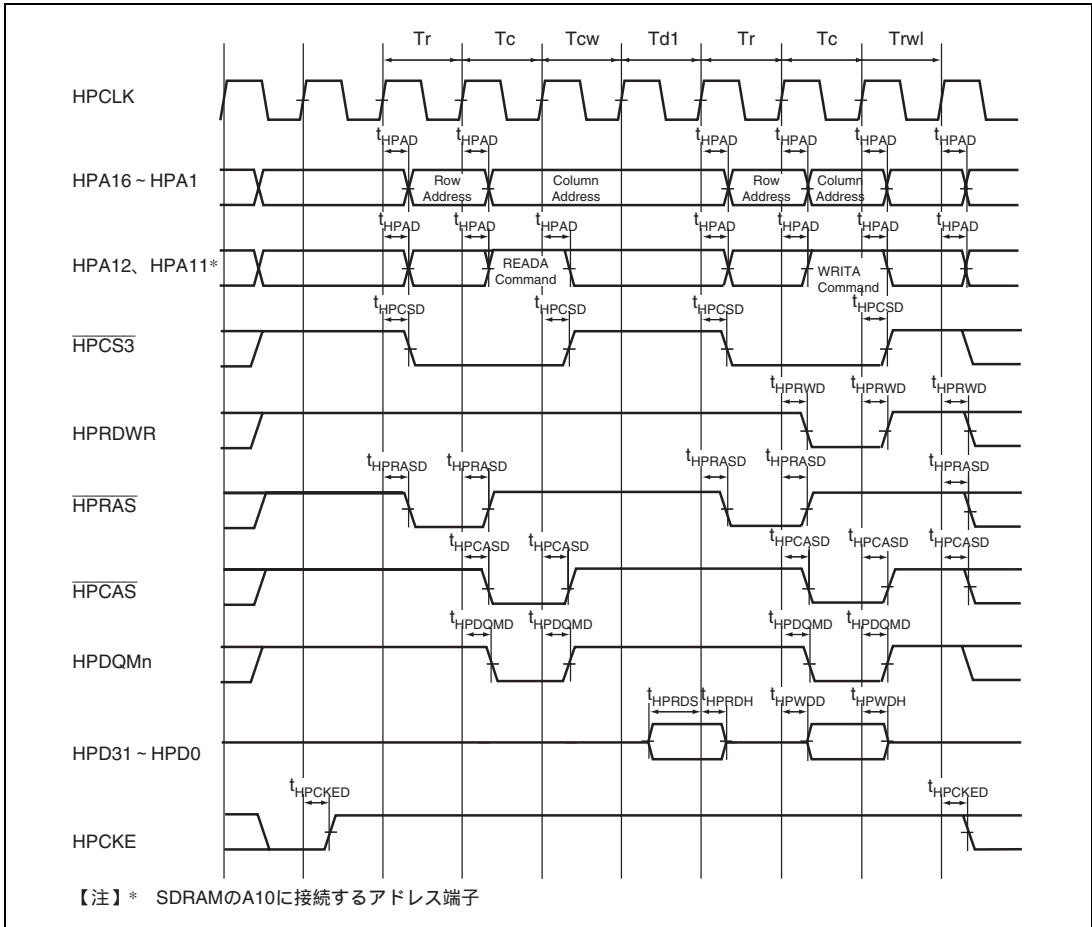


図 35.42 SDRAM パワーダウンモードリードライトバスサイクル  
 (オートプリチャージモード、TRCD=1 サイクル、TRP=1 サイクル、TRWL=1 サイクル)

## 35. 電気的特性

### 35.5.5 I/O ポート信号タイミング

表35.13 I/O ポート信号タイミング

項目	記号	Min.	Max.	単位	参照図
出力データ遅延時間	t <sub>PORTD</sub>	-	17	ns	35.43
入力データセットアップ時間	t <sub>PORTS</sub>	17	-		
入力データホールド時間	t <sub>PORTH</sub>	10	-		

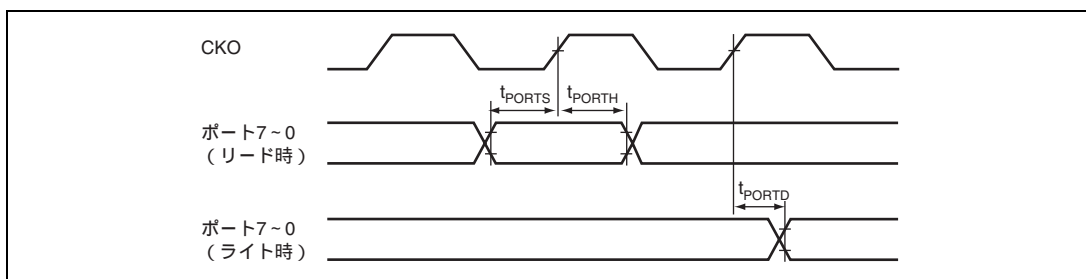


図 35.43 I/O ポートタイミング

### 35.5.6 DMAC モジュール信号タイミング

表35.14 DMAC モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
DREQ セットアップ時間	t <sub>DREQS</sub>	8	-	ns	35.44
DREQ ホールド時間	t <sub>DREQH</sub>	8	-		
DACK 遅延時間	t <sub>DACD</sub>	-	15		35.45

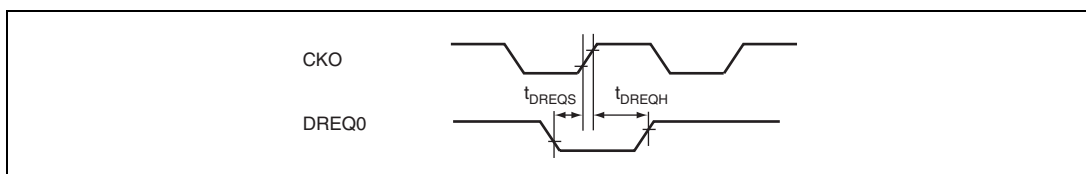


図 35.44 DREQ 入力タイミング (DREQ ローレベル検出)

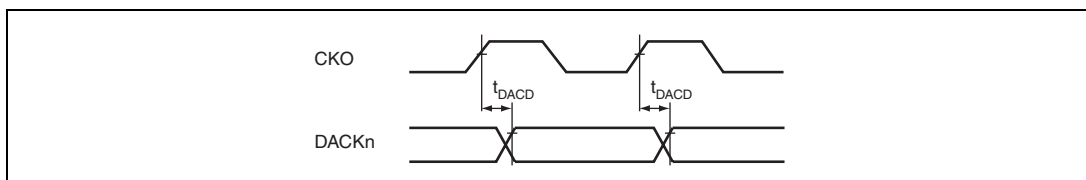


図 35.45 DACK 出力タイミング



## 35.5.7 SIM モジュール信号タイミング

表35.15 SIM モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
SIM_CLK クロックサイクル	$t_{SMCYC}$	$2/t_{pcyc}$	$16/t_{pcyc}$	ns	35.46
SIM_CLK クロックハイレベル幅	$t_{SMCWH}$	$0.4 \times t_{SMCYC}$	-	ns	
SIM_CLK クロックローレベル幅	$t_{SMCWL}$	$0.4 \times t_{SMCYC}$	-	ns	
SIM_RST リセット出力遅延	$t_{SMRD}$	-	20	ns	

【注】  $t_{pcyc}$  は周辺クロック (P) の 1 サイクル時間を示します。

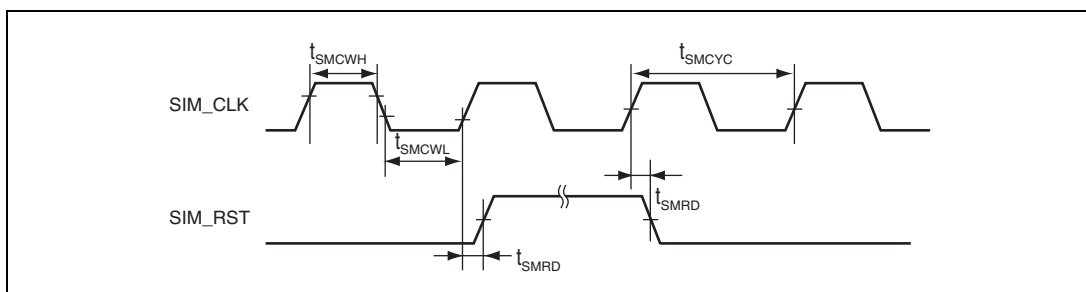


図 35.46 SIM モジュール信号タイミング

## 35.5.8 TPU モジュール信号タイミング

表35.16 TPU モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
出力データ遅延時間	$t_{TOD}$	-	15	ns	35.47

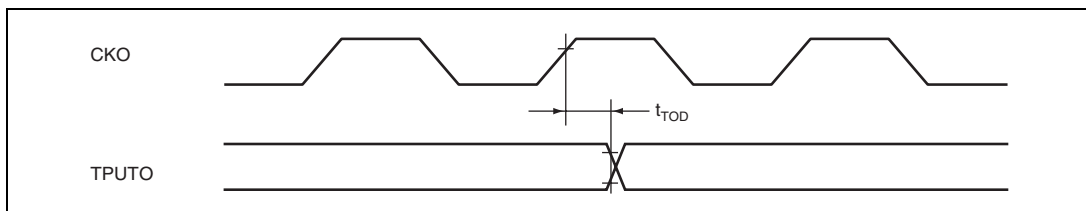


図 35.47 TPU 出力タイミング

## 35. 電気的特性

### 35.5.9 SIO モジュール信号タイミング

表35.17 SIO モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
SIOMCK クロックサイクル	tsOMCYC	$2 \times t_{peyc}$	-	ns	35.48
SIOMCK クロックハイレベル幅	tsOMWH	$0.4 \times tsOMCYC$	-	ns	35.48
SIOMCK クロックローレベル幅	tsOMWL	$0.4 \times tsOMCYC$	-	ns	35.48
SIOSCK クロックサイクル	tsOCYC	$2 \times t_{peyc}$	-	ns	35.49
SIOSCK クロックハイレベル幅	tsOWH	$0.4 \times tsOCYC$	-	ns	35.49
SIOSCK クロックローレベル幅	tsOWL	$0.4 \times tsOCYC$	-	ns	35.49
SIOSTRB 出力遅延時間	tsOSD	-	20	ns	35.49 ~ 35.52
SIOTXD 出力データ遅延	tsOTDD	-	20	ns	35.49 ~ 35.52
SIORXD 入力データセットアップ	tsORDS	20	-	ns	35.49 ~ 35.52
SIORXD 入力データホールド	tsORDH	20	-	ns	35.49 ~ 35.52

【注】  $t_{peyc}$  は周辺クロック (P) の 1 サイクル時間を示します。

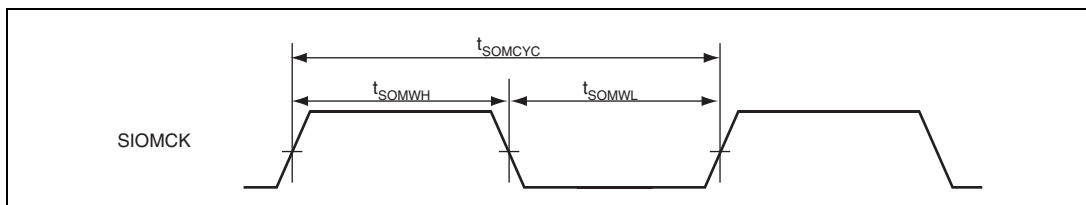


図 35.48 SIOMCK 入力タイミング

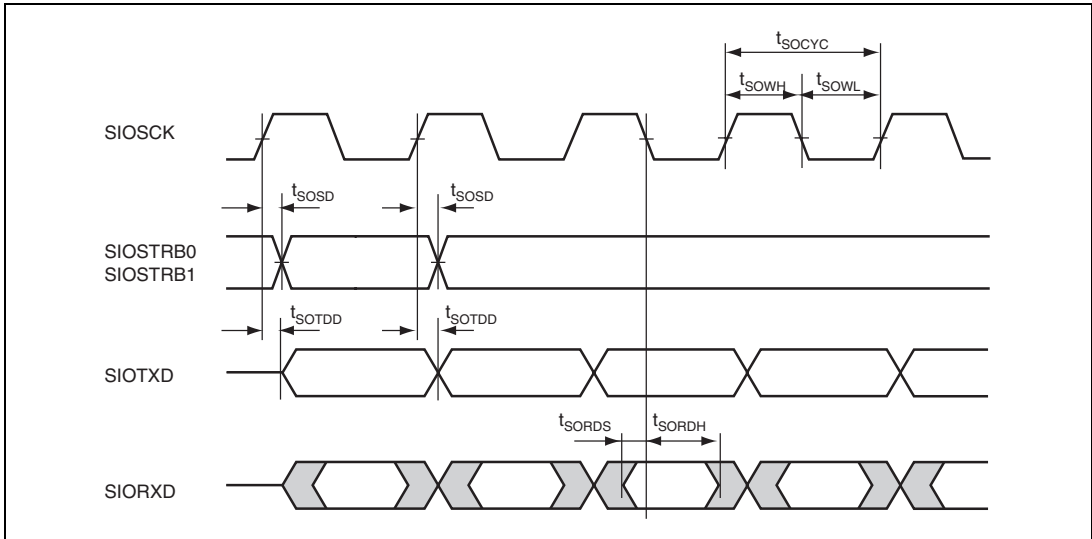


図 35.49 SIO 送受信タイミング (立ち下がりサンプリング、ストローブパルス時)

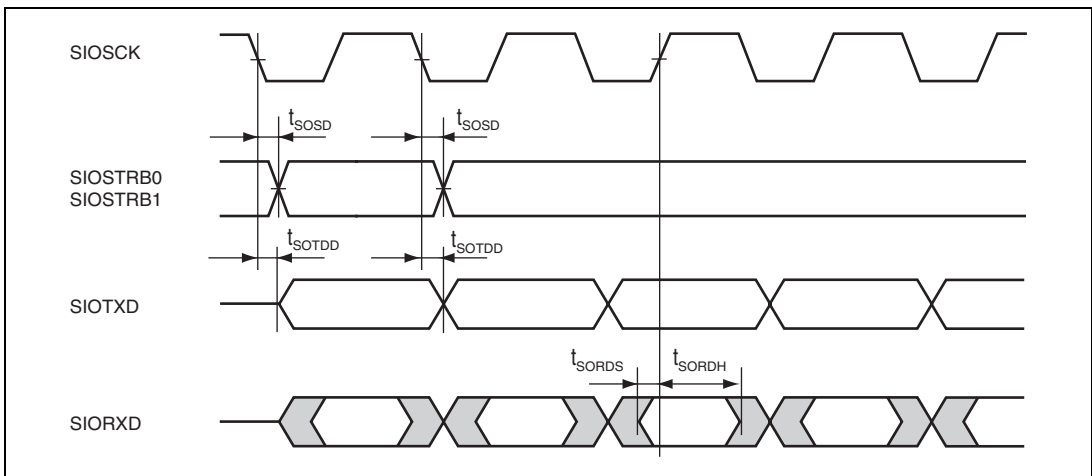


図 35.50 SIO 送受信タイミング (立ち上がりサンプリング、ストローブパルス時)

### 35. 電気的特性

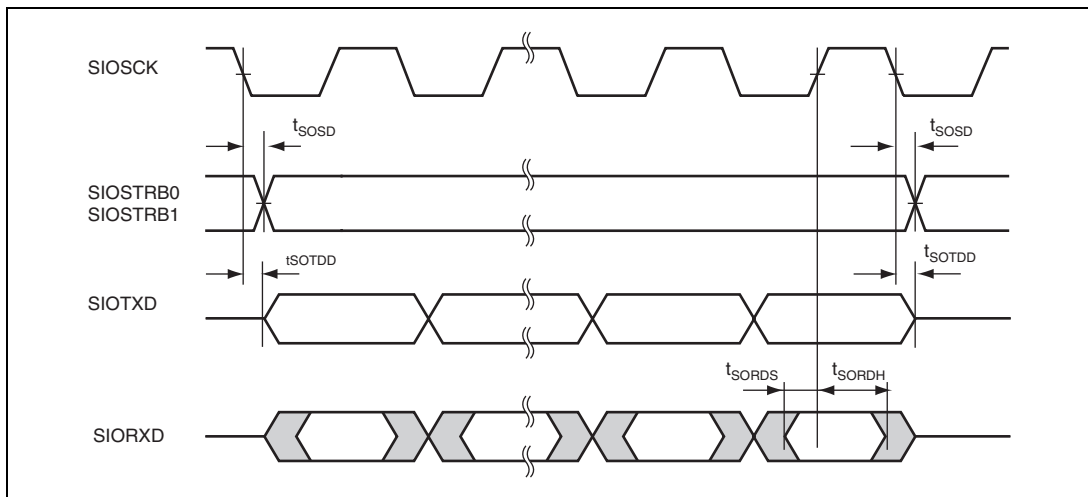


図 35.51 SIO 送受信タイミング (立ち上がりサンプリング、ストローブレベル時)

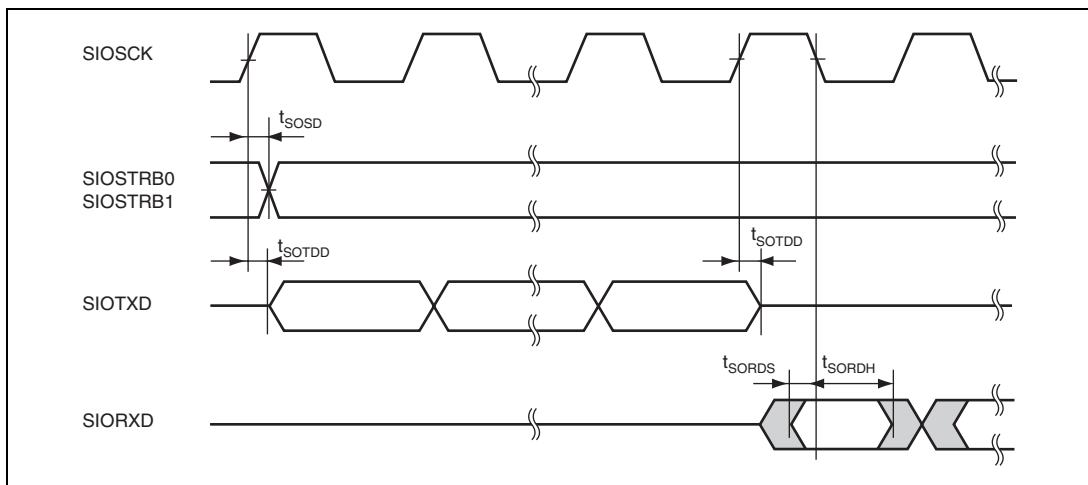


図 35.52 SIO 送受信タイミング (送信から受信への立ち下がりサンプリング時)

## 35.5.10 SIOF モジュール信号タイミング

表35.18 SIOF モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
SIOFMCK クロック入力サイクル時間	t <sub>MCYC</sub>	t <sub>pcyc</sub> * <sup>1</sup>	-	ns	35.53
SIOFMCK 入力ハイレベル幅	t <sub>MWH</sub>	0.4 × t <sub>MCYC</sub>	-	ns	35.53
SIOFMCK 入力ローレベル幅	t <sub>MWL</sub>	0.4 × t <sub>MCYC</sub>	-	ns	35.53
SIOFSCK クロックサイクル時間	t <sub>SICYC</sub>	t <sub>pcyc</sub> * <sup>1</sup>	-	ns	35.54 ~ 35.58
SIOFSCK 出力ハイレベル幅	t <sub>SWHO</sub>	0.4 × t <sub>SICYC</sub>	-	ns	35.54 ~ 35.57
SIOFSCK 出力ローレベル幅	t <sub>SWLO</sub>	0.4 × t <sub>SICYC</sub>	-	ns	35.54 ~ 35.57
SIOFSYNC 出力遅延時間	t <sub>FSD</sub>	-	20	ns	35.54 ~ 35.57
SIOFSCK 入力ハイレベル幅	t <sub>SWHI</sub>	0.4 × t <sub>SICYC</sub>	-	ns	35.58
SIOFSCK 入力ローレベル幅	t <sub>SWLI</sub>	0.4 × t <sub>SICYC</sub>	-	ns	35.58
SIOFSYNC 入力セットアップ時間	t <sub>FSS</sub>	20	-	ns	35.58
SIOFSYNC 入力ホールド時間	t <sub>FSH</sub>	20	-	ns	35.58
SIOFTXD 出力遅延時間	t <sub>STDD</sub>	-	20	ns	35.54 ~ 35.58
SIOFRXD 入力セットアップ時間	t <sub>SRDS</sub>	20	-	ns	35.54 ~ 35.58
SIOFRXD 入力ホールド時間	t <sub>SRDH</sub>	20	-	ns	35.54 ~ 35.58
スレーブセレクトセットアップ時間	t <sub>SSS</sub>	t <sub>SICYC</sub> /2 × n* <sup>2</sup> -20	-	ns	35.59、35.60
スレーブセレクトホールド時間	t <sub>SSH</sub>	t <sub>SICYC</sub> /2 × n* <sup>2</sup>	-	ns	35.59、35.60

【注】 \*1 t<sub>pcyc</sub>は周辺クロック(P)の1サイクル時間を示します。

\*2 t<sub>SICYC</sub>/2 × n は SPICR の SSAST[1:0]ビットによって決定されます。

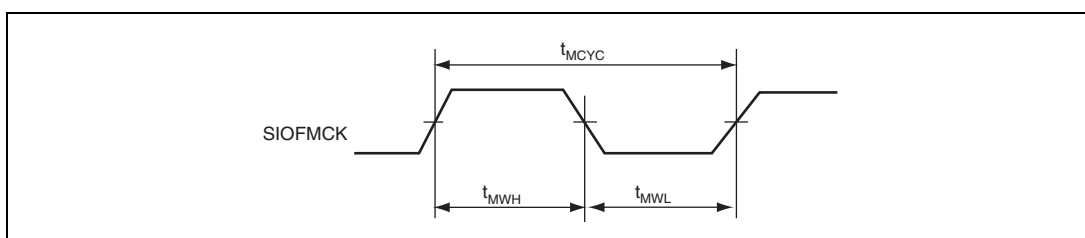


図 35.53 SIOFMCK 入力タイミング

### 35. 電気的特性

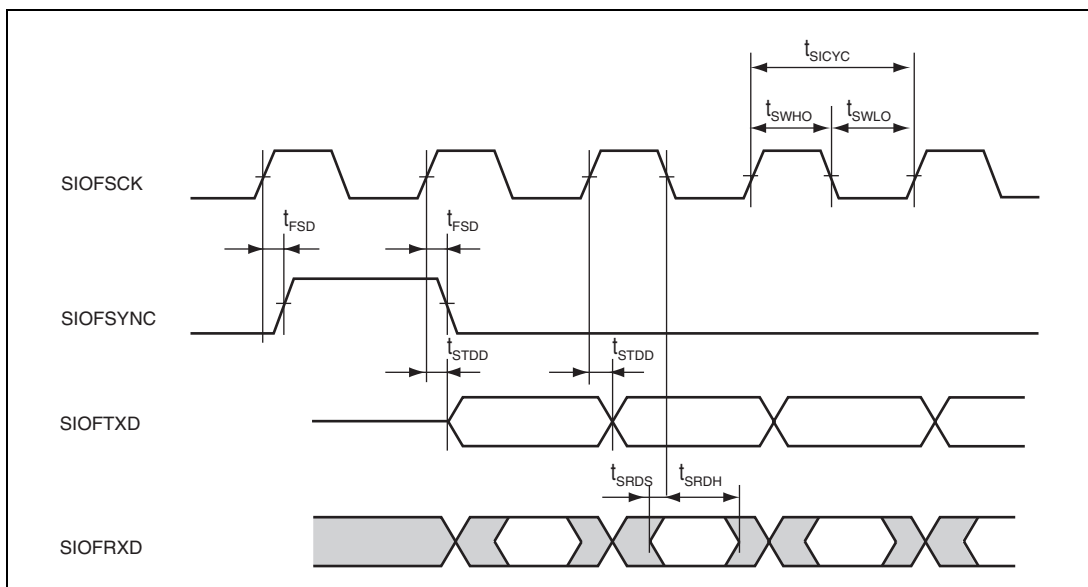


図 35.54 SIOF 送受信タイミング (マスタモード 1・立ち下がりサンプリング時)

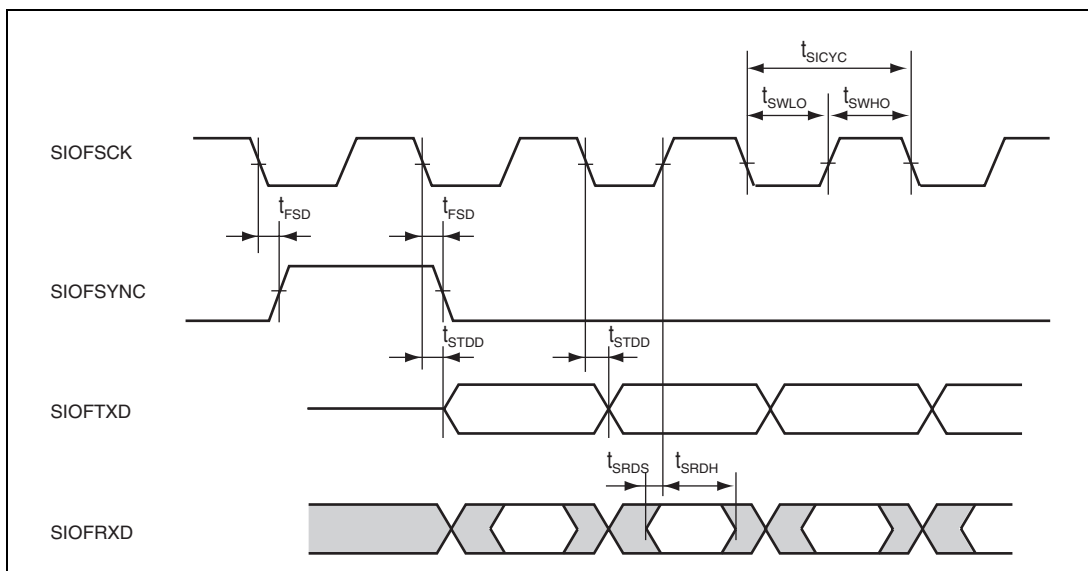


図 35.55 SIOF 送受信タイミング (マスタモード 1・立ち上がりサンプリング時)

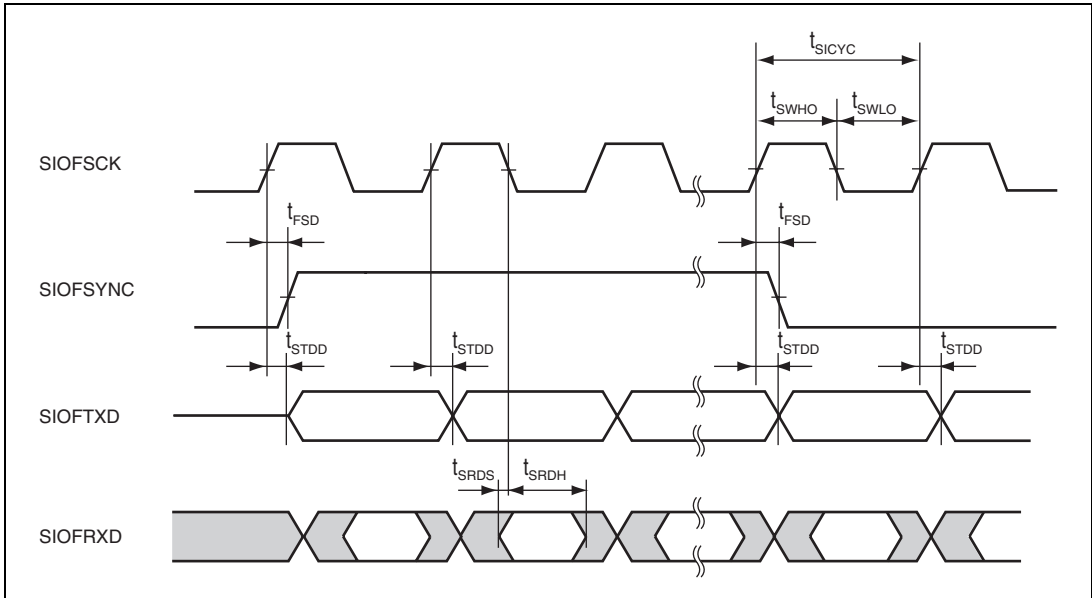


図 35.56 SIOF 送受信タイミング (マスタモード 2・立ち下がりサンプリング時)

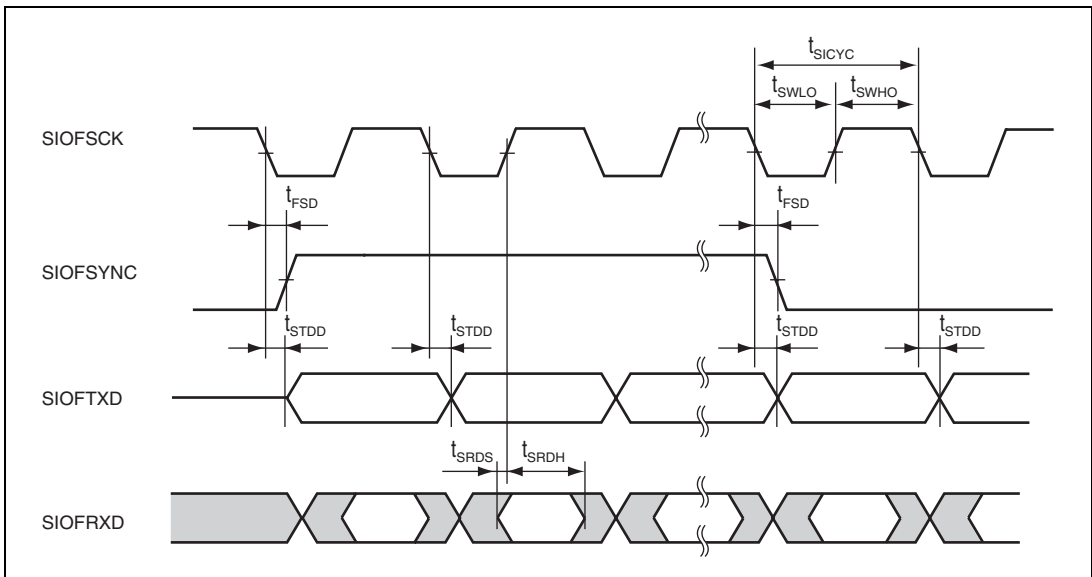


図 35.57 SIOF 送受信タイミング (マスタモード 2・立ち上がりサンプリング時)

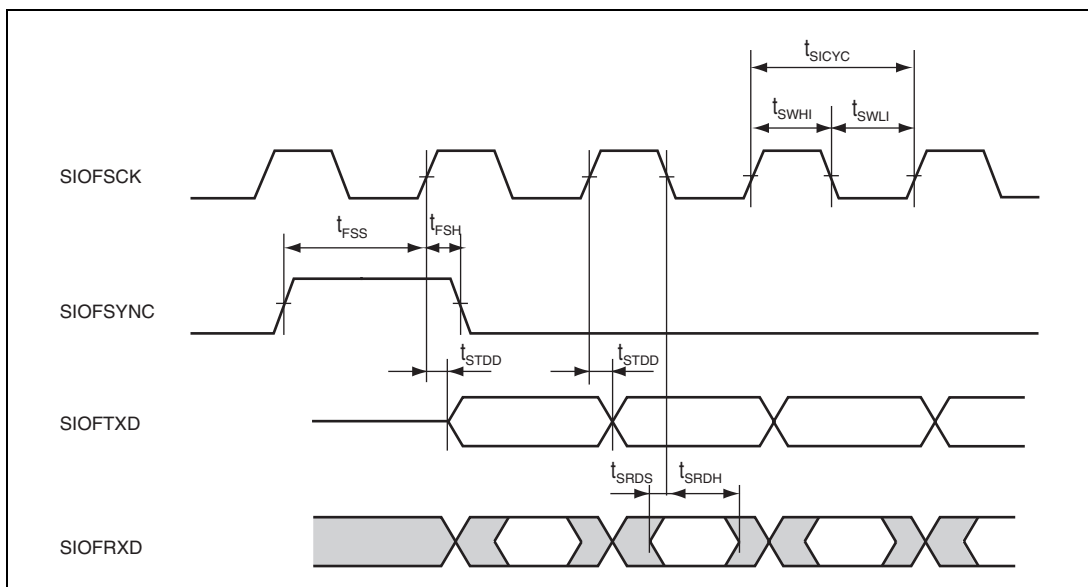


図 35.58 SIOF 送受信タイミング (スレープモード 1・スレープモード 2 時)

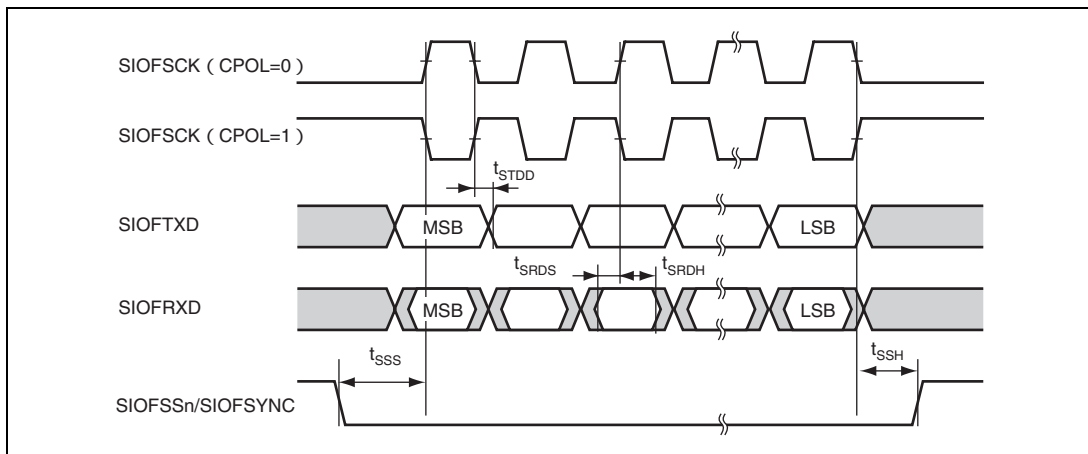


図 35.59 SIOF 送受信タイミング (SPI モード、CPHA = B'0、SSAST[1:0] = B'01)



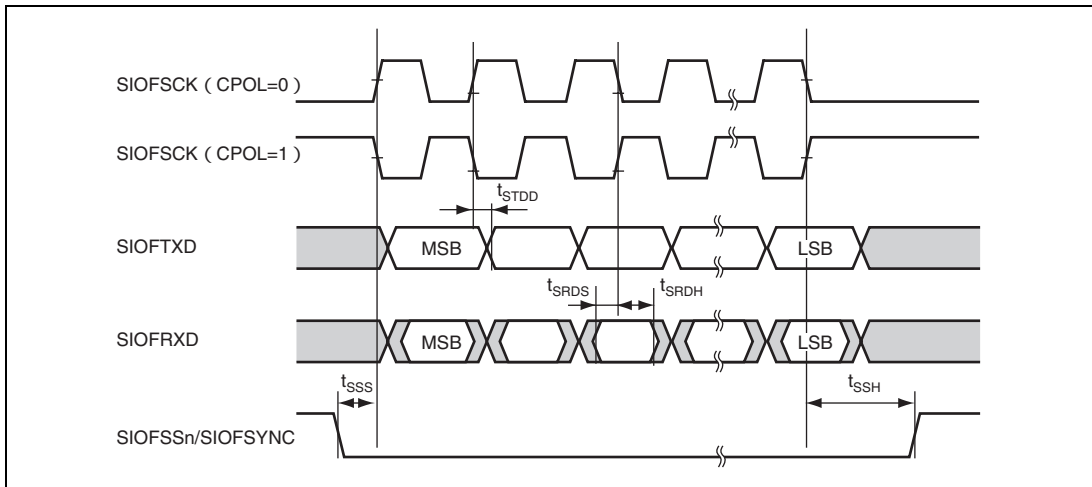


図 35.60 SIOF 送受信タイミング (SPI モード、CPHA = B'1、SSAST[1:0] = B'01)

## 35.5.11 SCIF モジュール信号タイミング

表35.19 SCIF モジュール信号タイミング (調歩同期モード)

項目	記号	Min.	Max.	単位	参照図
SCIF 入力クロックサイクル	tSCYC	$4 \times t_{pcyc}$	-	ns	35.61
SCIF 入力クロックハイレベル幅	tSCWH	$0.4 \times t_{SCYC}$	-		
SCIF 入力クロックローレベル幅	tSCWL	$0.4 \times t_{SCYC}$	-		

【注】  $t_{pcyc}$  は、周辺クロック (P) の 1 サイクル時間を示します。

表35.20 SCIF モジュール信号タイミング (クロック同期モード)

項目	記号	Min.	Max.	単位	参照図
SCIF_SCK 入出力クロックサイクル	tSCYC	$12 \times t_{pcyc}$	-	ns	35.61
SCIF_SCK 入力クロックハイレベル幅	tSCWH	$0.4 \times t_{SCYC}$	-		
SCIF_SCK 入力クロックローレベル幅	tSCWL	$0.4 \times t_{SCYC}$	-		
SCIF_TXD 出力データ遅延時間 (SCK 入力時)	tTXD	-	$3 \times t_{pcyc} + 50$	ns	35.62
SCIF_TXD 出力データ遅延時間 (SCK 出力時)		-	50		
SCIF_RXD 入力データセットアップ時間 (SCK 入出力共通)	tRXS	$4 \times t_{pcyc}$	-	ns	35.62
SCIF_RXD 入力データホールド時間 (SCK 入出力共通)	tRXH	$4 \times t_{pcyc}$	-		

【注】  $t_{pcyc}$  は、周辺クロック (P) の 1 サイクル時間を示します。

### 35. 電気的特性

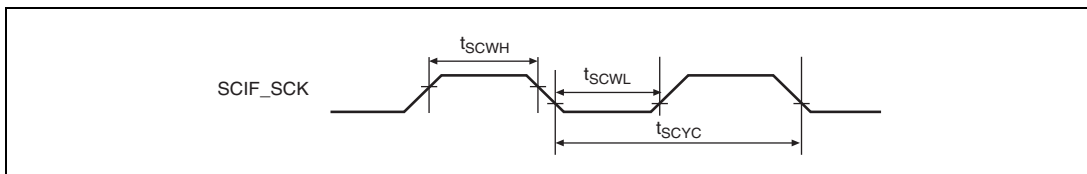


図 35.61 SCIF モジュール信号タイミング

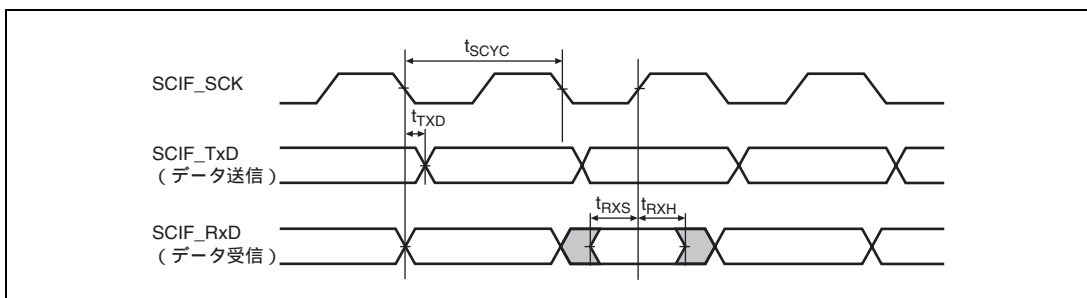
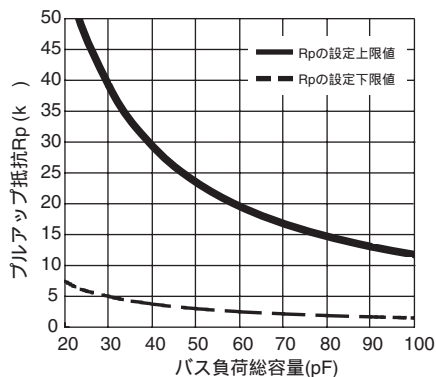


図 35.62 クロック同期モード時の SCIF 入出力タイミング

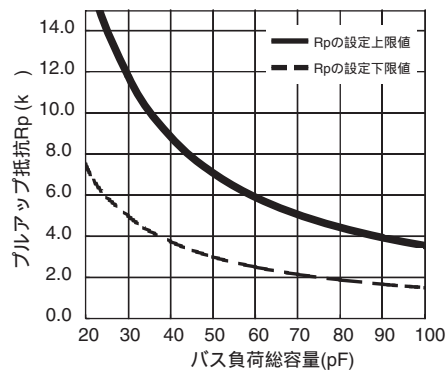
35.5.12 I<sup>2</sup>C モジュール信号タイミング表35.21 I<sup>2</sup>C デバイスに対する SDA および SCL バスラインの特性

項目	記号	標準モード		高速モード		単位	参照図
		Min.	Max.	Min.	Max.		
SCL クロック周波数	f <sub>SCL</sub>	0	100	0	400	kHz	35.63
ホールド時間(反復)『START』条件 この期間の後、最初のクロックパルスを生成	t <sub>HD:STA</sub>	4.0	-	0.6	-	μs	
SCL クロックのロー期間	t <sub>LOW</sub>	4.7	-	1.3	-	μs	
SCL クロックのハイ期間	t <sub>HIGH</sub>	4.0	-	0.6	-	μs	
反復『START』条件のセットアップ時間	t <sub>SU:STA</sub>	4.7	-	0.6	-	μs	
データホールド時間: I <sup>2</sup> C バス・デバイス用	t <sub>HD:DAT</sub>	-	3.45	-	0.9	μs	
データセットアップ時間	t <sub>SU:DAT</sub>	250	-	100	-	ns	
SDA および SCL 信号の立ち上がり時間	t <sub>r</sub>	-	1000	-	300	ns	
SDA および SCL 信号の立ち下がり時間	t <sub>f</sub>	-	300	-	300	ns	
『STOP』条件のセットアップ時間	t <sub>SU:STO</sub>	4.0	-	0.6	-	μs	
『STOP』条件と『START』条件との 間のバスフリー時間	t <sub>BUF</sub>	4.7	-	1.3	-	μs	
各接続デバイスの L レベルにおける ノイズマージン(ヒステリシスを含む)	V <sub>nL</sub>	0.1 × V <sub>ccQ</sub>	-	0.1 × V <sub>ccQ</sub>	-	V	
各接続デバイスの H レベルにおける ノイズマージン(ヒステリシスを含む)	V <sub>nH</sub>	0.2 × V <sub>ccQ</sub>	-	0.2 × V <sub>ccQ</sub>	-	V	

- 【注】
- すべての値は V<sub>ccQ</sub> × 0.3 および V<sub>ccQ</sub> × 0.7 レベル基準
  - 本モジュールでは I<sup>2</sup>C バス規格を満たすため、バス負荷総容量に対応した適切なプルアップ抵抗(R<sub>p</sub>)を実装する必要があります。
  - I<sup>2</sup>C におけるプルアップ抵抗とバス負荷総容量との関係



(1) SCLクロック周波数100kHz時



(2) SCLクロック周波数400kHz時

- \* デバイスは内部的に SDA 信号に対して 300ns 以上のホールド時間 (SCL 信号の V<sub>IHmin</sub> に比較して) を有し、SCL の立ち下がりエッジでの SDA の値が確定することを保証します。

## 35. 電気的特性

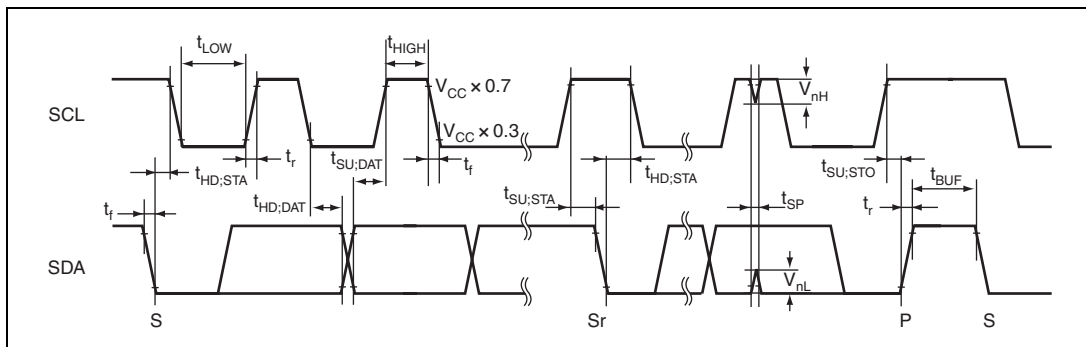


図 35.63 I<sup>2</sup>C バス上におけるデバイスタイミングの定義

### 35.5.13 LCDC モジュール信号タイミング

表35.22 LCDC モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
クロック (LCDDCK) サイクル時間	tLCC	30	-	ns	35.64
クロック (LCDCLK) サイクル時間	tLCLC	1/fB	-	ns	
クロック (LCDDCK) ハイレベルパルス時間	tLCHW	9	-	ns	
クロック (LCDDCK) ローレベルパルス時間	tLCLW	9	-	ns	
データ (LCDD) 遅延時間	tLDD	-12	12	ns	
表示許可 (LCDDISP) 遅延時間	tLID	-12	12	ns	
水平同期信号 (LCDHSYN) 遅延時間	tLHD	-12	12	ns	
垂直同期信号 (LCDVSYN) 遅延時間	tLVD	-12	12	ns	
チップセレクト信号 (LCDCS <sub>1</sub> , LCDCS <sub>2</sub> ) SYS I/F コマンド遅延時間	tLSYSCSD	-	22	ns	35.65
ライトストローブ信号 (LCDDCK) SYS I/F コマンド遅延時間	tLSYSWRD	-	22	ns	
レジスタセレクト信号 (LCDDISP) SYS I/F コマンド遅延時間	tLSYSRSD	-	22	ns	
データ (LCDD) SYS I/F コマンドライトデータ遅延時間	tLSYSDD	-	22	ns	
リードストローブ信号 (LCDRD) SYS I/F コマンド遅延時間	tLSYSRDD	-	22	ns	35.66
データ (LCDD) SYS I/F リードデータセットアップ時間	tLSYSRDS	10	-	ns	
データ (LCDD) SYS I/F リードデータホールド時間	tLSYSRDH	5	-	ns	
リードライト信号 (LCDVCPWC) SYS I/F コマンド遅延時間	tLSYSRDWR D	-12	12	ns	35.67
ライトストローブ信号 (LCDWR) SYS I/F データサイクル時間	tLSYSDWRC	30	-	ns	
ライトストローブ信号 (LCDWR) SYS I/F データハイレベルパルス時間	tLSYSDWRH W	9	-	ns	
ライトストローブ信号 (LCDWR) SYS I/F データローレベルパルス時間	tLSYSDWRL W	9	-	ns	
ライトストローブ信号 (LCDWR) SYS I/F データアドレスセットアップ時間	tLSYSDAS	1tLSYSDWR C -12	1tLSYSDWRC +12	ns	

項目	記号	Min.	Max.	単位	参照図
ライトストローク信号 (LCDWR) SYS I/F データアドレスホールド時間*	$t_{LSYSDAH}$	$1t_{LSYSDWR}$ HW -12	$1t_{LSYSDWRH}$ W +12	ns	35.67
データ (LCDD) SYS I/F データ遅延時間	$t_{LSYSDDD}$	-12	12	ns	
入力垂直同期信号 (LCDVSYN、LCDVSYN2) セットアップ時間	$t_{LVIS}$	10	-	ns	35.68
入力垂直同期信号 (LCDVSYN、LCDVSYN2) ホールド時間	$t_{LVIH}$	5	-	ns	

【注】 \*  $t_{LSYSDAH}$  の最小値は  $1t_{LSYSDWRHW}$  です。 $t_{LSYSDWRHW}$  は LCDDCKPATxR (x = 1 ~ 4) により任意に設定可能です。

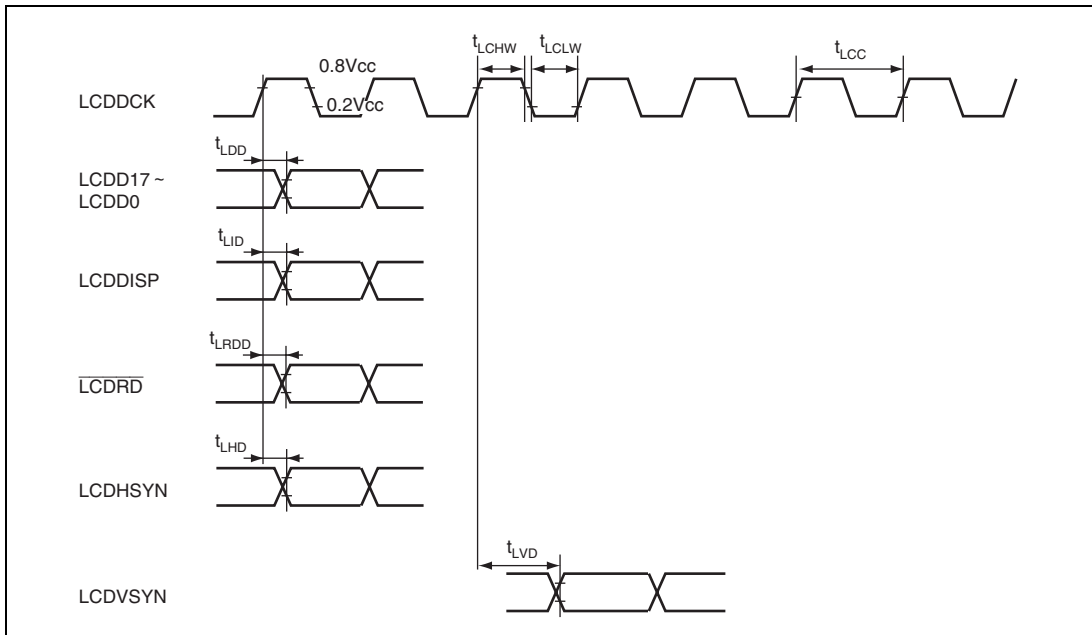


図 35.64 LCDC AC 特性

### 35. 電気的特性

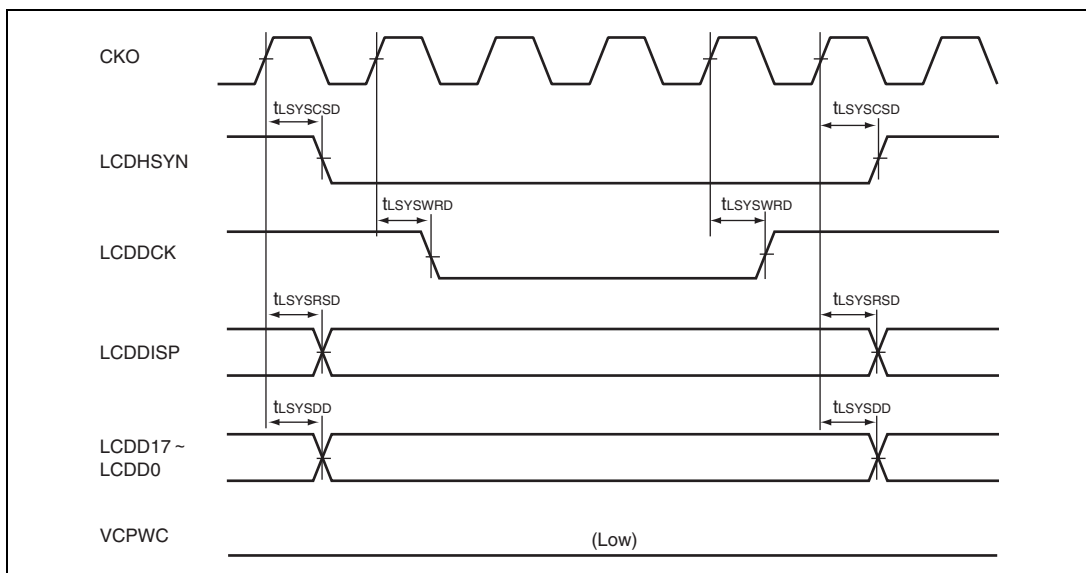


図 35.65 LCDC AC 特性 SYS インタフェース、コマンドライトバスサイクル  
(MLDMT2R.WCEC = 4、MLDMT2R.WCLW = 3、SLDMT2R.WCEC = 4、SLDMT2R.WCLW = 3)

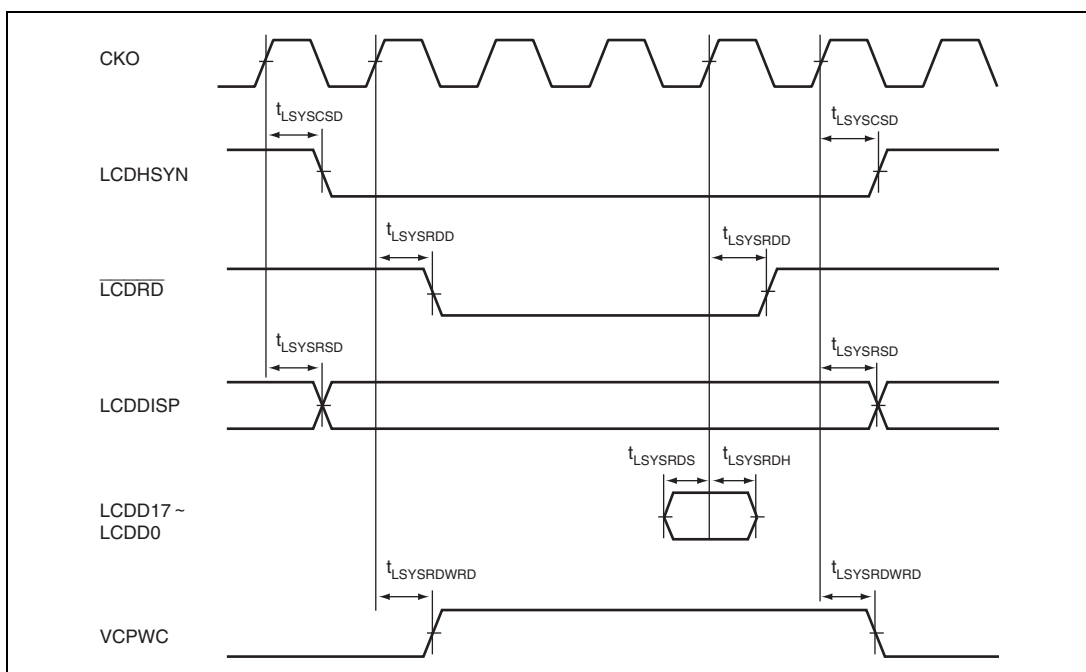


図 35.66 LCDC AC 特性 SYS インタフェース、コマンドリードバスサイクル  
(MLDMT3R.RDLC = 4、MLDMT3R.RCEC = 4、MLDMT3R.RCLW = 3、  
SLDMT3R.RDLC = 4、SLDMT3R.RCEC = 4、SLDMT3R.RCLW = 3)

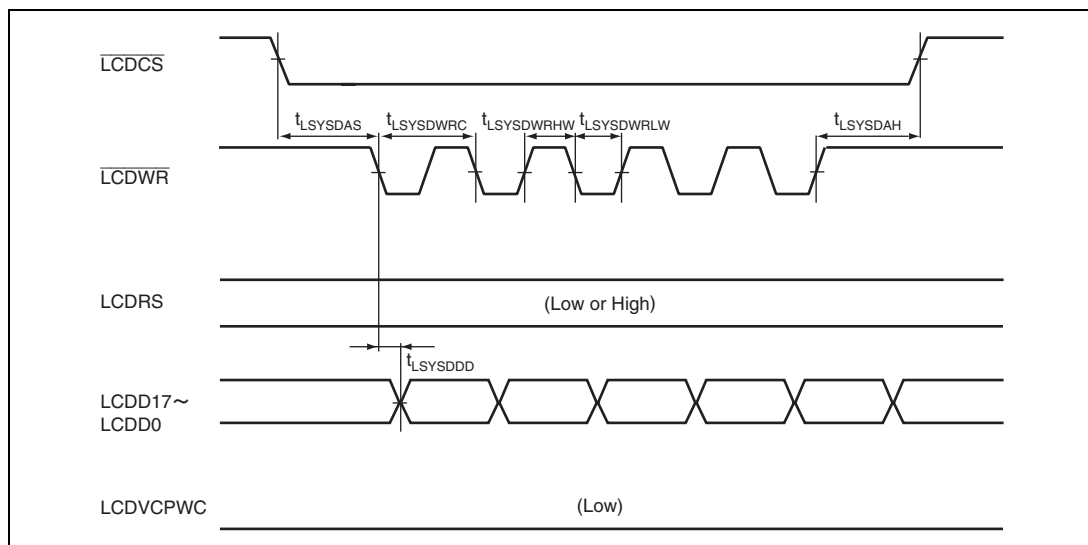


図 35.67 LCDC AC 特性 SYS インタフェース、データライトバスサイクル

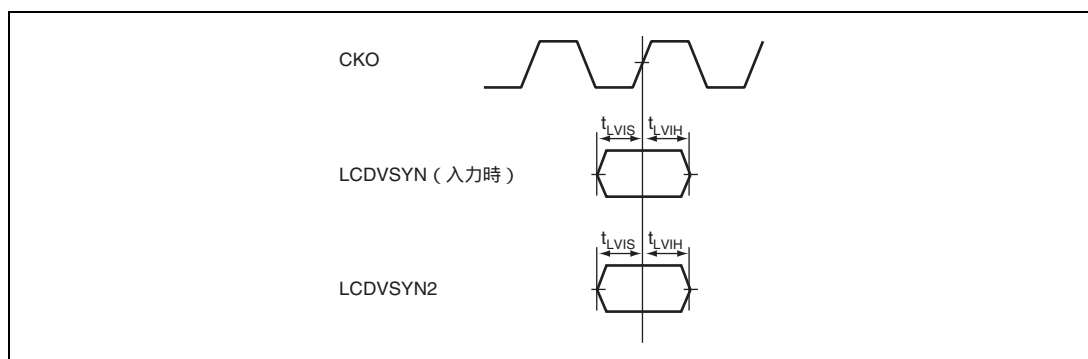


図 35.68 LCDC AC 特性 VSYNC 入力モード

## 35. 電氣的特性

### 35.5.14 USB トランシーバタイミング (フルスピード)

表35.23 USB トランシーバタイミング (フルスピード)

項目	記号	Min.	Max.	単位	測定条件
立ち上がり時間	$t_r$	4	20	ns	データ信号: 振幅の 10% 90% CL = 50pF
立ち下がり時間	$t_f$	4	20	ns	データ信号: 振幅の 90% 10% CL = 50pF
立ち上がり / 立ち下がり時間比	$t_r/t_f$	90	111.1	%	
出力信号クロスオーバー電圧		1.3	2.0	V	CL = 50pF
出力ドライバ抵抗*	ZDRU	28	44		

【注】 \* 本トランシーバタイミングはフルスピード時のタイミングです。

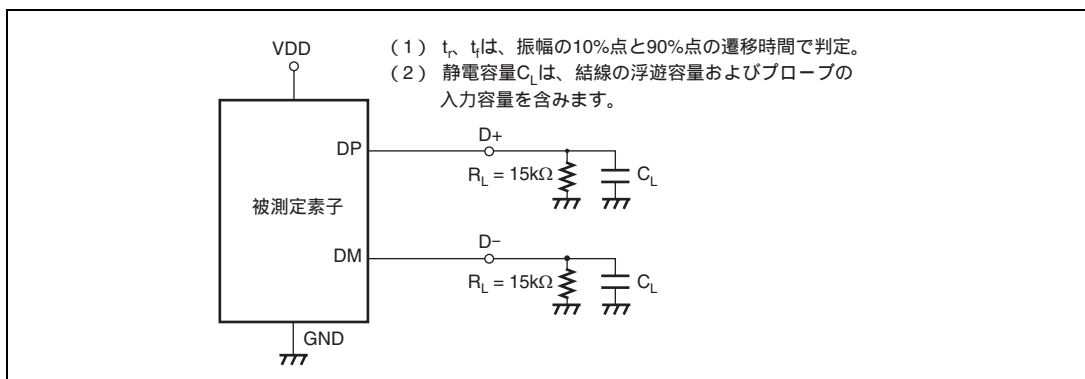


図 35.69 USB トランシーバタイミング (フルスピード) 測定回路



## 35.5.15 KEYSC モジュール信号タイミング

表35.24 KEYSC モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
KEYIN 入力セットアップ時間	$t_{KEYINS}$	15	-	ns	35.70
KEYIN 入力ホールド時間	$t_{KEYINH}$	15	-	ns	
KEYOUT 遅延時間	$t_{KEYOUTD}$	-	15	ns	35.71

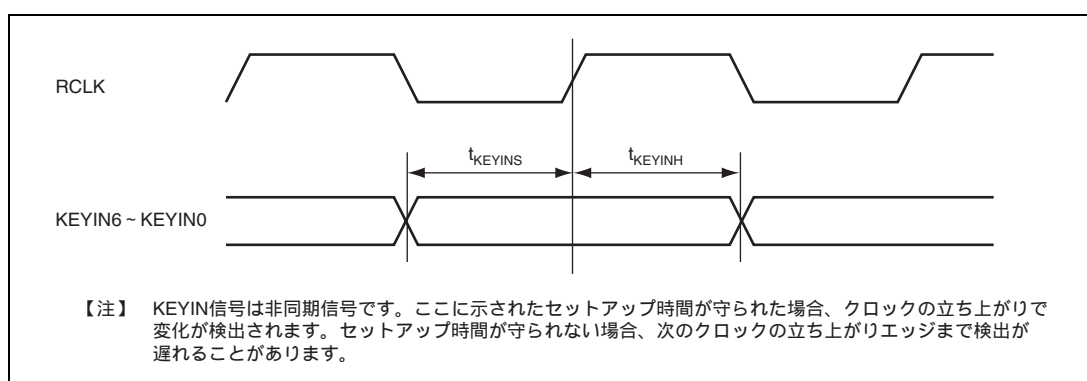


図 35.70 KEYIN 入力タイミング

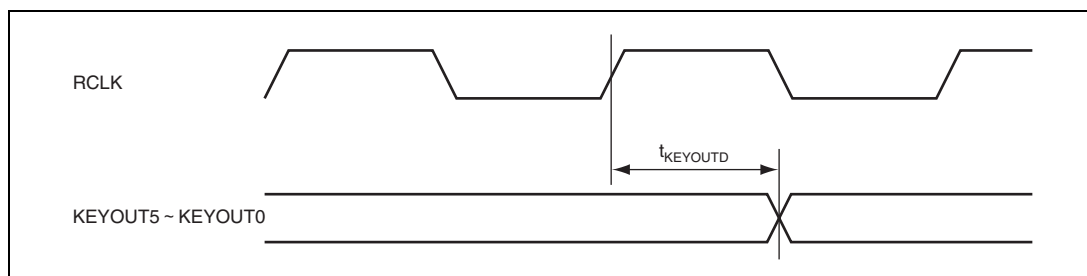


図 35.71 KEYOUT 出力タイミング

## 35. 電気的特性

### 35.5.16 AC 特性測定条件

- 入出力信号参照レベル :  $\frac{V_{cc}Q}{2}$
- 入力パルスレベル :  $V_{ss} \sim V_{cc}Q$
- 入力立ち上がり、立ち下がり時間 : 1ns

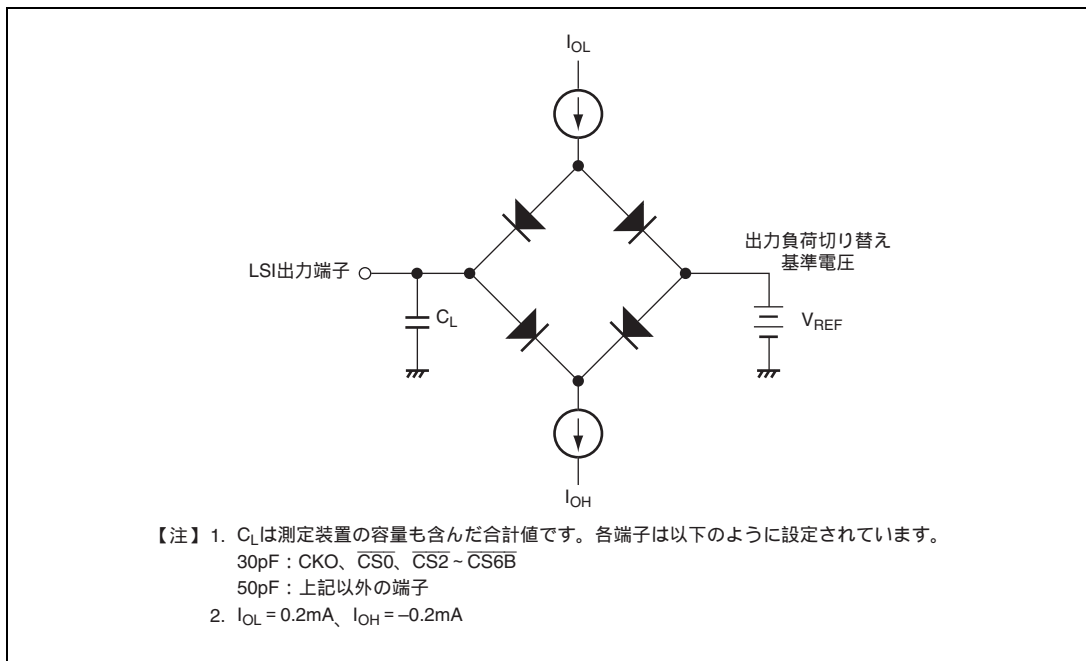


図 35.72 出力負荷回路

# 付録

## A. CPU 動作モードレジスタ (CPUOPM)

CPUOPM は、CPU の動作モードを切り替えるために使用します。本レジスタは P4 領域の H'FF2F0000 あるいはエリア 7 アドレスの H'1F2F0000 から 32 ビットサイズで読み出し / 書き込みが可能です。本レジスタへ書き込む際には、必ずリザーブビットに初期値を書き込むようにしてください。リザーブビットに初期値以外の値を書き込んだ場合の動作は保証されません。

CPUOPM の更新は、CPU 以外の SuperHyway バスマスタからのアクセスでなく、CPU のストア命令で行ってください。また、CPUOPM 更新後、一度 CPUOPM を読み出した後で、以下の 1. または 2. のどちらかを実行してください。

1. RTE 命令による分岐を実行してください。
  2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
1. または 2. の実行後、CPU は更新後の CPUOPM の値を用いて動作することが保証されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	INTMU	—	—	—
初期値 :	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	-	H'00000032	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
3	INTMU	0	R/W	割り込み動作モード切り替えビット 0 : 割り込みを受理しても SR.IMASK の値は変化しません。 1 : 割り込みを受理した場合、受け付けたレベルを SR.IMASK の値に自動的に設定します。
2~0	-	000	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。

## B. 命令プリフェッチとその副作用について

本 LSI は、先読みした命令を保持するためのバッファを内部に設けており、常に命令の先読みを行っています。したがって、各メモリ空間の最終 64 バイト領域にプログラムを配置しないでください。その領域にプログラムを配置した場合、メモリエリアを超えて命令の先読みのためのバスアクセスが発生する場合があります。

以下にこれが問題となるケースを示します。

	アドレス	命令	
	⋮	⋮	
	H'03FF FFF8	ADD R1,R4	← PCプログラムカウンタ
	H'03FF FFFA	JMP @R2	
	H'03FF FFFC	NOP	
エリア0	H'03FF FFFE	NOP	
エリア1	H'4000 0000		
	H'4000 0002		← 命令のプリフェッチアドレス
	⋮		

図 B.1 命令のプリフェッチ例

図 B.1 では、PC (プログラムカウンタ) が指し示す命令 (ADD) と、H'0400 0002 番地の命令フェッチが同時に行われるケースを想定しています。また、プログラムは、後続の JMP 命令、ディレイスロット命令の実行後、エリア 1 以外の領域に分岐するものと仮定します。

この場合、プログラムのフローから想定し得ないエリア 1 へのバスアクセス (命令のプリフェッチ) が発生する可能性があります。

### (1) 命令のプリフェッチの副作用

1. 命令プリフェッチが引き起こす外部バスアクセスが原因でその領域に接続されたFIFOなどの外部デバイスが誤動作する場合があります。
2. 命令プリフェッチが引き起こす外部バス要求に応答するデバイスが存在しない場合、ハングアップの原因になります。

### (2) 回避方法

1. MMUを用いることで、これら不当な命令フェッチを回避することが可能です。
2. 各エリア最終64バイトの領域にプログラムを配置しないことで、回避することが可能です。

## C. リセット、低消費電力状態での端子状態

分類	端子名	リセット中 <sup>*1</sup>	リセット後 <sup>*2</sup>	スリ - プ	ソフトウェア スタンバイ	U- スタンバイ <sup>*9</sup>
クロック	EXTAL	I	I	I	I	I
	RCLK	I	I	I	I	I
	XTAL	O	O	O	O	O
動作モ - ド	MD2 ~ MD0	I	I	I	I	I
	MD3	I	I	I	I	I
	MD5	I	I	I	I	I
	MD8	I	I	I	I	I
	TST	I	I	I	I	I
	TSTMD	I	I	I	I	I
システム 制御	RESETA	I	I	I	I	I
	RESETOUT	L	H	O	O	O
	RESETP	I	I	I	I	I
	PDSTATUS	L	O	L	L	H
	STATUS0	L	O	L	H	H
割り込み	IRQ1、IRQ0	-	-	I	I	I
	IRQ2	-	-	I	I	I
	IRQ5 ~ IRQ3	-	-	I	I	I
	IRQ6	-	-	I	I	I
	IRQ7	-	-	I	I	I
	NMI	I	I	I	I	I
BSC	A25 ~ A0	L	O	O	O/Z <sup>*3</sup>	O/Z <sup>*3</sup>
	D31 ~ D0	Z	Z	Z/I/O	Z	Z
	BS	-	-	O	H/Z <sup>*3</sup>	H/Z <sup>*3</sup>
	CKO	O	O	O	O/Z <sup>*3</sup>	O/Z <sup>*3</sup>
	CS0	H	O	O	H/Z <sup>*3</sup>	H/Z <sup>*3</sup>
	CS4	H	O	O	H/Z <sup>*3</sup>	H/Z <sup>*3</sup>
	CS5A	H	O	O	H/Z <sup>*3</sup>	H/Z <sup>*3</sup>
	CS5B	H	O	O	H/Z <sup>*3</sup>	H/Z <sup>*3</sup>
	CS6A	-	-	O	H/Z <sup>*3</sup>	H/Z <sup>*3</sup>
	CS6B	H	O	O	H/Z <sup>*3</sup>	H/Z <sup>*3</sup>
	RD	H	O	O	H/Z <sup>*3</sup>	H/Z <sup>*3</sup>
	RDWR	H	O	O	H/Z <sup>*3</sup>	H/Z <sup>*3</sup>
	WE3 ~ WE0	H	O	O	H/Z <sup>*3</sup>	H/Z <sup>*3</sup>
WAIT	IU	IU	IU	IU	IU	

付録

分類	端子名	リセット中*1	リセット後*2	スリ - プ	ソフトウェア スタンバイ	U- スタンバイ*9
BSC	IOIS16	I	I	I	Z	Z
SBSC (SDRAMバス)	HPA16 ~ HPA1	L	O	O	O/Z*4	O/Z*4
	HPD63 ~ HPD0	Z	Z	Z/I/O	Z	Z
	HPCS2	H	O	O	O/Z*4	O/Z*4
	HPCS3	H	O	O	O/Z*4	O/Z*4
	HPCAS	H	O	O	O/Z*4	O/Z*4
	HPRAS	H	O	O	O/Z*4	O/Z*4
	HPCKE	O	O	O	O/Z*4	O/Z*4
	HPCLK	O	O	O	O/Z*4	O/Z*4
	HPCLKR	O	O	O	O/Z*4	O/Z*4
	HPCLKD	O	O	O	O/Z*4	O/Z*4
	HPDQM7 ~ HPDQM0	H	O	O	O/Z*4	O/Z*4
HPRDWR	H	O	O	O/Z*4	O/Z*4	
DMAC	DACK0	-	-	O	O	O
	DREQ0	-	-	I	Z	Z
TPU	TPUTO	-	-	O	O	O
SIO	SIOD	-	-	Z/I/O*5	Z/I/O*5	Z/I/O*5
	SIOMCK	-	-	I	Z	Z
	SIORXD	-	-	I	Z	Z
	SIOSCK	-	-	O	O	O
	SIOSTRB0, SIOSTRB1	-	-	O	O	O
	SIOTXD	-	-	O	Z/O*5	Z/O*5
SIOF	SIOF0_MCK、 SIOF1_MCK	-	-	I	Z	Z
	SIOF0_RXD、 SIOF1_RXD	-	-	I	Z	Z
	SIOF0_SCK、 SIOF1_SCK	-	-	O/I*5	O/Z*5	O/Z*5
	SIOF0_SST1、 SIOF1_SST1	-	-	O	O	O
	SIOF0_SS2、 SIOF1_SS2	-	-	O	O	O
	SIOF0_SYNC、 SIOF1_SYNC	-	-	O/I*5	O/Z*5	O/Z*5
	SIOF0_TXD、 SIOF1_TXD	-	-	O	O	O

分類	端子名	リセット中* <sup>1</sup>	リセット後* <sup>2</sup>	スリ - プ	ソフトウェア スタンバイ	U- スタンバイ* <sup>9</sup>
SCIF	SCIF0_CTS、 SCIF1_CTS、 SCIF2_CTS	-	-	I	Z	Z
	SCIF0_RTS、 SCIF1_RTS、 SCIF2_RTS	-	-	O	Z	Z
	SCIF0_RXD、 SCIF1_RXD、 SCIF2_RXD	-	-	I	Z	Z
	SCIF0_SCK、 SCIF1_SCK、 SCIF2_SCK	-	-	I	Z	Z
	SCIF0_TXD、 SCIF1_TXD、 SCIF2_TXD	-	-	O	Z	Z
SIM	SIM_CLK	-	-	O	O	O
	SIM_D	-	-	I/O	Z	Z
	SIM_RST	-	-	O	O	O
IrDA	IrDA_IN	-	-	I	Z	Z
	IrDA_OUT	-	-	O	O	O
IIC	SCL	Z	Z	I/O	Z	Z
	SDA	Z	Z	I/O	Z	Z
LCDC	LCDLCLK	-	-	I	Z	Z
	LCDCS	-	-	O	O	O
	LCDCS2	-	-	O	O	O
	LCDD23 - LCDD0	-	-	O/I	O/Z	O/Z
	LCDDCK	-	-	O	O	O
	LCDDISP	-	-	O	O	O
	LCDDON、LCDDON2	-	-	O	O	O
	LCDHSYN	-	-	O	O	O
	LCDRD	-	-	O	O	O
	LCDRS	-	-	O	O	O
	LCDVCPWC、 LCDVCPWC2	-	-	O	O	O
	LCDVEPWC、 LCDVEPWC2	-	-	O	O	O
	LCDVSYN、LCDVSYN2	-	-	O/Z* <sup>5</sup>	O/Z* <sup>5</sup>	O/Z* <sup>5</sup>
LCDW $\overline{R}$	-	-	O	O	O	

付録

分類	端子名	リセット中* <sup>1</sup>	リセット後* <sup>2</sup>	スリ - プ	ソフトウェア スタンバイ	U- スタンバイ* <sup>9</sup>
USB	DM	L	L	Z/I/O	Z	Z
	DP	H	H	Z/I/O	Z	Z
	VBUS	I	I	I	I	I
	EXTALUSB	I	I	I	I	I
	XTALUSB	O	O	O	O	O
KEYSC	KEYIN1、KEYIN0	-	-	IU	IU	IU
	KEYIN4 ~ KEYIN2	-	-	IU	IU	IU
	KEYOUT3 ~ KEYOUT0	-	-	Z/O* <sup>5</sup>	Z/O* <sup>5</sup>	Z/O* <sup>5</sup>
	KEYOUT4/IN6	-	-	Z/I/O* <sup>5</sup>	Z/I/O* <sup>5</sup>	Z/I/O* <sup>5</sup>
	KEYOUT5/IN5	-	-	Z/I/O* <sup>5</sup>	Z/I/O* <sup>5</sup>	Z/I/O* <sup>5</sup>
SDHI	SDHIC $\bar{D}$	-	-	I	Z	Z
	SDHIWP	-	-	I	Z	Z
	SDHID3 ~ SDHID0	-	-	I/O	Z	Z
	SDHICLK	-	-	O	Z	Z
	SDHICMD	-	-	I/O	Z	Z
H-UDI	TCK	IU	IU	IU	IU	IU
	TDI	IU	IU	IU	IU	IU
	TDO	Z/O	Z/O	Z/O* <sup>6</sup>	Z/O* <sup>6</sup>	Z/O* <sup>6</sup>
	TMS	IU	IU	IU	IU	IU
	TRST	IU	IU	IU* <sup>7</sup>	IU* <sup>7</sup>	IU* <sup>7</sup>
	ASEBRK/BRKAK	IU/OU* <sup>8</sup>	IU/OU* <sup>8</sup>	IU/OU* <sup>8</sup>	IU/OU* <sup>8</sup>	IU/OU* <sup>8</sup>
	MPMD	IU	IU	IU	IU	IU
AUD	AUDATA3 ~ AUDATA0	-	-	O	O	O
	AUDCK	O	O	O	O	O
	AUDSYNC	-	-	O	O	O
ポート A	PTA7 ~ PTA0	ZD	ID	P	K	K
ポート B	PTB7 ~ PTB0	-	-	P	K	K
ポート C	PTC4 ~ PTC2、PTC0	-	-	P	K	K
	PTC5	-	-	P	K	K
	PTC7	ZU	IU	P	K	K
ポート D	PTD0	L	O	P	K	K
	PTD1	ZU	IU	P	K	K
	PTD5 ~ PTD2	ZU	I	P	K	K
	PTD6	ZU	IU	P	K	K
	PTD7	ZU	IU	P	K	K
ポート E	PTE1、PTE0	ZU	IU	P	K	K
	PTE7 ~ PTE4	-	-	P	K	K



分類	端子名	リセット中* <sup>1</sup>	リセット後* <sup>2</sup>	スリ - ブ	ソフトウェア スタンバイ	U- スタンバイ* <sup>9</sup>
ポート F	PTF0	L	O	P	K	K
	PTF1	ZD	ID	P	K	K
	PTF6 ~ PTF2	ZD	ID	P	K	K
ポート G	PTG4 ~ PTG0	L	O	P	K	K
ポート H	PTH1、PTH0	ZD	ID	P	K	K
	PTH4 ~ PTH2	L	O	P	K	K
	PTH6、PTH5	ZD	ID	P	K	K
	PTH7	L	O	P	K	K
ポート J	PTJ1、PTJ0	ZU	IU	P	K	K
	PTJ5	-	-	P	K	K
	PTJ6	L	O	P	K	K
	PTJ7	-	-	P	K	K
ポート K	PTK0	ZD	ID	P	K	K
	PTK1	L	O	P	K	K
	PTK2	ZD	ID	P	K	K
	PTK6 ~ PTK3	ZD	ID	P	K	K
ポート L	PTL7 ~ PTL0	ZD	ID	P	K	K
ポート M	PTM7 ~ PTM0	ZD	ID	P	K	K
ポート N	PTN7 ~ PTN0	-	-	P	K	K
ポート Q	PTQ0	ZU	IU	P	K	K
	PTQ1	L	O	P	K	K
	PTQ2	ZD	ID	P	K	K
	PTQ5 ~ PTQ3	ZD	ID	P	K	K
	PTQ6	L	O	P	K	K
ポート R	PTR1、PTR0	L	O	P	K	K
	PTR2	-	-	P	K	K
	PTR3	-	-	P	K	K
	PTR4	L	O	P	K	K
ポート S	PTS0	L	O	P	K	K
	PTS1	ZD	ID	P	K	K
	PTS2	ZD	ID	P	K	K
	PTS3	L	O	P	K	K
	PTS4	ZD	ID	P	K	K
ポート T	PTT0	L	O	P	K	K
	PTT1	ZD	ID	P	K	K
	PTT4 ~ PTT2	ZD	ID	P	K	K

分類	端子名	リセット中* <sup>1</sup>	リセット後* <sup>2</sup>	スリ - プ	ソフトウェア スタンバイ	U- スタンバイ* <sup>9</sup>
ポート U	PTU0	Z	Z	P	K	K
	PTU1	Z	Z	P	K	K
	PTU4 ~ PTU2	ZD	ID	P	K	K
ポート V	PTV4 ~ PTV0	ZD	ID	P	K	K
ポート W	PTW0	ZD	ID	P	K	K
	PTW4 ~ PTW1	ZD	ID	P	K	K
	PTW5	L	O	P	K	K
	PTW6	ZD	ID	P	K	K
ポート X	PTX5 ~ PTX0	ZD	ID	P	K	K
	PTX6	ZU	IU	P	K	K
ポート Y	PTY0	Z	Z	P	K	K
	PTY1	Z	Z	P	K	K
	PTY5 ~ PTY2	Z	Z	P	K	K
ポート Z	PTZ2、PTZ1	ZU	Z	P	K	K
	PTZ5 ~ PTZ3	Z	Z	P	K	K

【記号説明】

- I : 入力 (ブルアップ / ブルダウン MOS オフ)
- IU : 入力 (ブルアップ MOS オン)
- ID : 入力 (ブルダウン MOS オン)
- H : ハイレベル出力
- L : ロ - レベル出力
- O : 出力
- OU : 出力 (ブルアップ MOS オン)
- P : ポート機能 (入力 / 出力、ブルアップ / ブルダウンはレジスタ設定に依存)
- K : ポート状態保持 (入力固定、出力バッファは状態保持、ブルアップ / ブルダウンは状態保持)
- Z : ハイインピ - ダンス (入力固定、出力バッファオフ、ブルアップ / ブルダウン MOS オフ)
- ZU : ブルアップ状態 (入力固定、出力バッファオフ、ブルアップ MOS オン)
- ZD : ブルダウン状態 (入力固定、出力バッファオフ、ブルダウン MOS オン)
- / : スラッシュの左側がデフォルトの状態です。
- : 初期機能で選択されていないことを示します。

【注】 \*1 RESETP ネゲート後、RESETOUT がアサートされている期間

\*2 RESETOUT ネゲート後

\*3 BSC の CMNCR レジスタの HIZMEM、HIZCNT ビットの設定に従って、Z もしくは[H/L]になります。

\*4 SBSC の SDPCR レジスタの HIZSTB ビットの設定に従って、Z もしくは[H/L]になります。

\*5 レジスタ設定に依存します。

\*6 MPMD 端子=H の場合、TAP コントロ - ラの状態によります。MPMD 端子=L の場合は、"/"の右の状態となります。

- \*7 PULCR レジスタの設定により、プルアップ MOS オン / オフが切り替え可能です。
- \*8 プルアップ付 I/O で、MPMD 端子 = L 時、レジスタ設定により I/O を切り替えます。また、TRST 端子 = L のとき入力となります。MPMD 端子 = H 時は常時入力となります。
- \*9 U-スタンバイからの復帰時、クロック、システム制御以外の端子は一時不定となります。不定期間は最長でシステムリセットアサート期間、および DLL、PLL 発振安定期間です。

### D. SH7731 型名一覧

表 D.1 SH7731 型名一覧

略称	マーク型名	パッケージ
SH7731	R8A77310D333BG	BGA 449 ピン
	R8A77310C333BA	LFBGA 417 ピン

### E. 外形寸法図

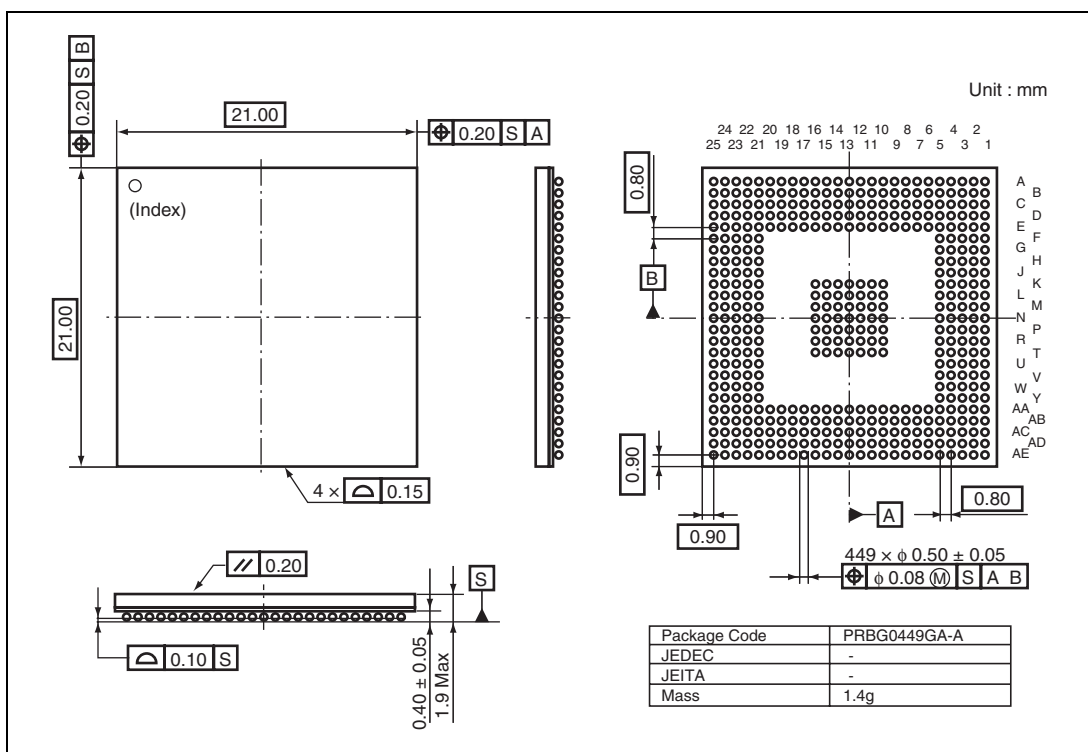


図 E.1 外形寸法図 (BGA 449)

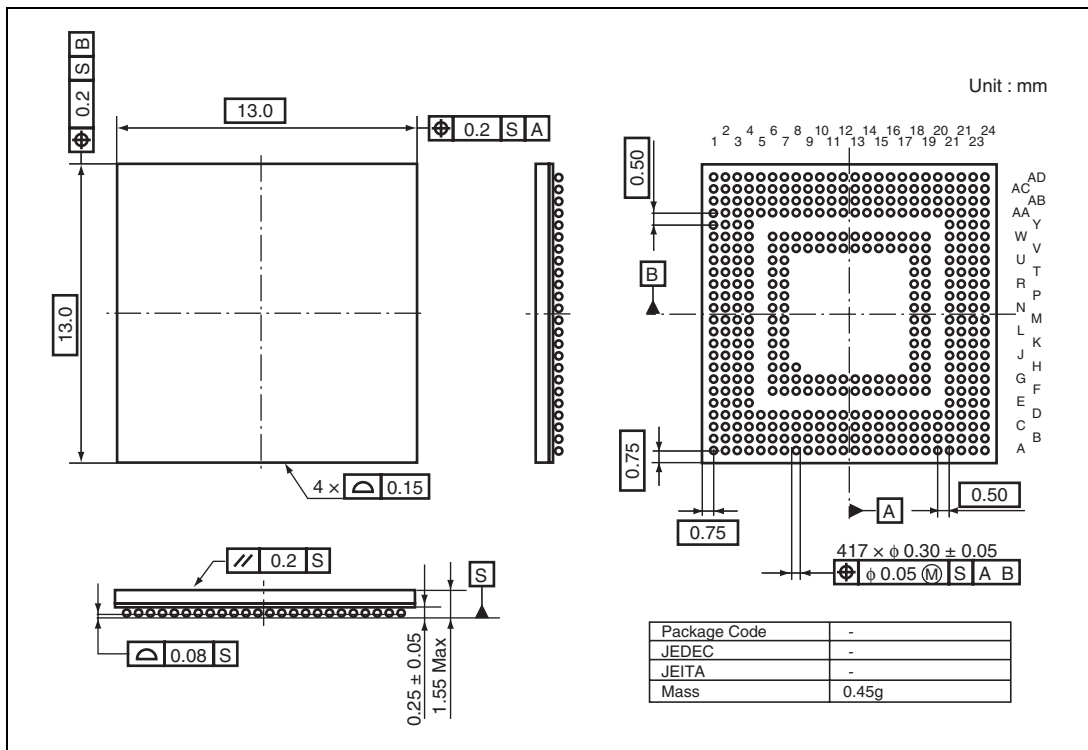


図 E.2 外形寸法図 (LFBGA 417)



# 本版で改訂された箇所

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																										
1.1 特長 表 1.1 本 LSI の特長	1-6	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>特 長</th> </tr> </thead> <tbody> <tr> <td>USB モジュール(USB)</td> <td>USB2.0 のホストコントローラとペリフェラルコントローラを内蔵 USB2.0 ハイスピードモード (480Mbps)、フルスピードモード (12Mbps) 対応 USB トランシーバ内蔵 合計 8 エンドポイントサポート、エンドポイント番号は切り替え可</td> </tr> </tbody> </table>	項目	特 長	USB モジュール(USB)	USB2.0 のホストコントローラとペリフェラルコントローラを内蔵 USB2.0 ハイスピードモード (480Mbps)、フルスピードモード (12Mbps) 対応 USB トランシーバ内蔵 合計 8 エンドポイントサポート、エンドポイント番号は切り替え可																																						
項目	特 長																																											
USB モジュール(USB)	USB2.0 のホストコントローラとペリフェラルコントローラを内蔵 USB2.0 ハイスピードモード (480Mbps)、フルスピードモード (12Mbps) 対応 USB トランシーバ内蔵 合計 8 エンドポイントサポート、エンドポイント番号は切り替え可																																											
1.4 端子の機能 表 1.4 端子機能	1-39	表を修正 <table border="1"> <thead> <tr> <th>分類</th> <th>端子名</th> <th>入出力</th> <th>名称</th> <th>機 能</th> </tr> </thead> <tbody> <tr> <td rowspan="10">LCD コントローラ (RGB インタフェース)</td> <td>LCDD23 - LCDD0</td> <td>出力</td> <td>LCD データバス</td> <td>24 ビットの液晶パネル用データです。</td> </tr> <tr> <td>LCDDON</td> <td>出力</td> <td>表示 ON/OFF 信号</td> <td>表示 ON/OFF 信号 (メイン液晶用) です。</td> </tr> <tr> <td>LCDHSYN</td> <td>出力</td> <td>水平同期信号</td> <td>水平同期信号です。</td> </tr> <tr> <td>LCDDISP</td> <td>出力</td> <td>表示イネーブル信号</td> <td>表示イネーブル信号です。</td> </tr> <tr> <td>LCDDVSYN</td> <td>出力</td> <td>垂直同期信号</td> <td>垂直同期信号です。</td> </tr> <tr> <td>LCDDVCPWC</td> <td>出力</td> <td>電源制御</td> <td>液晶モジュール電源制御信号 (メイン液晶用) です。</td> </tr> <tr> <td>LCDDVCPWC</td> <td>出力</td> <td>電源制御</td> <td>液晶モジュール電源制御信号 (メイン液晶用) です。</td> </tr> <tr> <td>LCDDCK</td> <td>出力</td> <td>ドットクロック信号</td> <td>データ同期信号です。</td> </tr> <tr> <td>LCDDLK</td> <td>入力</td> <td>入力クロック</td> <td>入力クロック信号です。</td> </tr> </tbody> </table>	分類	端子名	入出力	名称	機 能	LCD コントローラ (RGB インタフェース)	LCDD23 - LCDD0	出力	LCD データバス	24 ビットの液晶パネル用データです。	LCDDON	出力	表示 ON/OFF 信号	表示 ON/OFF 信号 (メイン液晶用) です。	LCDHSYN	出力	水平同期信号	水平同期信号です。	LCDDISP	出力	表示イネーブル信号	表示イネーブル信号です。	LCDDVSYN	出力	垂直同期信号	垂直同期信号です。	LCDDVCPWC	出力	電源制御	液晶モジュール電源制御信号 (メイン液晶用) です。	LCDDVCPWC	出力	電源制御	液晶モジュール電源制御信号 (メイン液晶用) です。	LCDDCK	出力	ドットクロック信号	データ同期信号です。	LCDDLK	入力	入力クロック	入力クロック信号です。
分類	端子名	入出力	名称	機 能																																								
LCD コントローラ (RGB インタフェース)	LCDD23 - LCDD0	出力	LCD データバス	24 ビットの液晶パネル用データです。																																								
	LCDDON	出力	表示 ON/OFF 信号	表示 ON/OFF 信号 (メイン液晶用) です。																																								
	LCDHSYN	出力	水平同期信号	水平同期信号です。																																								
	LCDDISP	出力	表示イネーブル信号	表示イネーブル信号です。																																								
	LCDDVSYN	出力	垂直同期信号	垂直同期信号です。																																								
	LCDDVCPWC	出力	電源制御	液晶モジュール電源制御信号 (メイン液晶用) です。																																								
	LCDDVCPWC	出力	電源制御	液晶モジュール電源制御信号 (メイン液晶用) です。																																								
	LCDDCK	出力	ドットクロック信号	データ同期信号です。																																								
	LCDDLK	入力	入力クロック	入力クロック信号です。																																								
	2.2.5 システムレジスタ (4) DSP ステータスレジスタ (DSR) 表 2.4 DSR レジスタのビット	2-14	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>機 能</th> </tr> </thead> <tbody> <tr> <td>3-1</td> <td>CS</td> <td>すべて 0</td> <td>R/W</td> <td>DC ビット状態選択 DC ビットに設定する演算結果状態を選択するためのモードを指定します。 000: キャリ / ボローモード 001: 負値モード 010: ゼロモード 011: オーバフローモード 100: 符合付き大モード 101: 符合付き以上モード その他: リザーブ (設定禁止)</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	機 能	3-1	CS	すべて 0	R/W	DC ビット状態選択 DC ビットに設定する演算結果状態を選択するためのモードを指定します。 000: キャリ / ボローモード 001: 負値モード 010: ゼロモード 011: オーバフローモード 100: 符合付き大モード 101: 符合付き以上モード その他: リザーブ (設定禁止)																															
ビット	ビット名	初期値	R/W	機 能																																								
3-1	CS	すべて 0	R/W	DC ビット状態選択 DC ビットに設定する演算結果状態を選択するためのモードを指定します。 000: キャリ / ボローモード 001: 負値モード 010: ゼロモード 011: オーバフローモード 100: 符合付き大モード 101: 符合付き以上モード その他: リザーブ (設定禁止)																																								
12.5.2 SDRAM インタフェース (11) パワーオンシーケンス 表 12.21 SDRAM モードレジスタライト時のアクセスアドレス ● バーストリード / バーストライト (バースト長 4) の場合 (バースト長 4 時シングルライトは設定できません)	12-61	表を修正 <table border="1"> <thead> <tr> <th>データバス幅</th> <th>CAS レイテンシ</th> <th>アクセスアドレス</th> <th>外部アドレス端子</th> </tr> </thead> <tbody> <tr> <td rowspan="2">16 ビット</td> <td>2</td> <td>HFES0 0044/HFES8 0044</td> <td>H'0044</td> </tr> <tr> <td>3</td> <td>HFES0 0064/HFES8 0064</td> <td>H'0064</td> </tr> <tr> <td rowspan="2">32 ビット</td> <td>2</td> <td>HFES0 0088/HFES8 0088</td> <td>H'0088</td> </tr> <tr> <td>3</td> <td>HFES0 00C8/HFES8 00C8</td> <td>H'00C8</td> </tr> </tbody> </table>	データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子	16 ビット	2	HFES0 0044/HFES8 0044	H'0044	3	HFES0 0064/HFES8 0064	H'0064	32 ビット	2	HFES0 0088/HFES8 0088	H'0088	3	HFES0 00C8/HFES8 00C8	H'00C8																								
データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子																																									
16 ビット	2	HFES0 0044/HFES8 0044	H'0044																																									
	3	HFES0 0064/HFES8 0064	H'0064																																									
32 ビット	2	HFES0 0088/HFES8 0088	H'0088																																									
	3	HFES0 00C8/HFES8 00C8	H'00C8																																									
	12-62	表を修正 <table border="1"> <thead> <tr> <th>データバス幅</th> <th>CAS レイテンシ</th> <th>アクセスアドレス</th> <th>外部アドレス端子</th> </tr> </thead> <tbody> <tr> <td rowspan="2">64 ビット</td> <td>2</td> <td>HFES0 0110/HFES8 0110</td> <td>H'0110</td> </tr> <tr> <td>3</td> <td>HFES0 0190/HFES8 0190</td> <td>H'0190</td> </tr> </tbody> </table>	データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子	64 ビット	2	HFES0 0110/HFES8 0110	H'0110	3	HFES0 0190/HFES8 0190	H'0190																															
データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子																																									
64 ビット	2	HFES0 0110/HFES8 0110	H'0110																																									
	3	HFES0 0190/HFES8 0190	H'0190																																									
13.3.7 DMA チャネルコントローラレジスタ_0~5 (CHCR_0~CHCR_5)	13-11	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>18</td> <td>HIE</td> <td>0</td> <td>R/W</td> <td>ハーフエンドインタラプティネーブルビット 転送回数が、転送開始前にセットしたTCRの値の 1/2 になる転送の読み出しサイクルが終わった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると CPU に対し割り込みを要求します。リロードモード設定時は本ビットを 0 に設定してください。本ビットは CHCR_0~3 でのみ有効となります。 0: TCR = (転送前にセットした TCR) / 2 で割り込み要求禁止 1: TCR = (転送前にセットした TCR) / 2 で割り込み要求許可</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	18	HIE	0	R/W	ハーフエンドインタラプティネーブルビット 転送回数が、転送開始前にセットしたTCRの値の 1/2 になる転送の読み出しサイクルが終わった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると CPU に対し割り込みを要求します。リロードモード設定時は本ビットを 0 に設定してください。本ビットは CHCR_0~3 でのみ有効となります。 0: TCR = (転送前にセットした TCR) / 2 で割り込み要求禁止 1: TCR = (転送前にセットした TCR) / 2 で割り込み要求許可																																
ビット	ビット名	初期値	R/W	説 明																																								
18	HIE	0	R/W	ハーフエンドインタラプティネーブルビット 転送回数が、転送開始前にセットしたTCRの値の 1/2 になる転送の読み出しサイクルが終わった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると CPU に対し割り込みを要求します。リロードモード設定時は本ビットを 0 に設定してください。本ビットは CHCR_0~3 でのみ有効となります。 0: TCR = (転送前にセットした TCR) / 2 で割り込み要求禁止 1: TCR = (転送前にセットした TCR) / 2 で割り込み要求許可																																								

修正項目	ページ	修正内容（詳細はマニュアル参照）																																													
13.3.7 DMA チャンネルコントローラレジスタ_0~5 (CHCR_0~CHCR_5)	13-13	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>IE</td> <td>0</td> <td>R/W</td> <td> <p>インタラプティブ DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされ DMA 最終転送の読み出しサイクルが終わったときに、CPU に対し割り込み (DEI) を要求します。</p> <p>0 : 割り込み要求を禁止 1 : 割り込み要求を許可</p> </td> </tr> <tr> <td>1</td> <td>TE</td> <td>0</td> <td>R(W)*</td> <td> <p>トランスファエンドフラグ TCR の値が 0 になり、DMA 最終転送の実行を開始するとき、TE ビットは 1 にセットされます。TCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送の転送中断 [クリア条件] TE ビットの 1 読み出し後、0 書き込み 1 : (TCR=0 により) DMA 転送終了</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	2	IE	0	R/W	<p>インタラプティブ DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされ DMA 最終転送の読み出しサイクルが終わったときに、CPU に対し割り込み (DEI) を要求します。</p> <p>0 : 割り込み要求を禁止 1 : 割り込み要求を許可</p>	1	TE	0	R(W)*	<p>トランスファエンドフラグ TCR の値が 0 になり、DMA 最終転送の実行を開始するとき、TE ビットは 1 にセットされます。TCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送の転送中断 [クリア条件] TE ビットの 1 読み出し後、0 書き込み 1 : (TCR=0 により) DMA 転送終了</p>																														
ビット	ビット名	初期値	R/W	説明																																											
2	IE	0	R/W	<p>インタラプティブ DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされ DMA 最終転送の読み出しサイクルが終わったときに、CPU に対し割り込み (DEI) を要求します。</p> <p>0 : 割り込み要求を禁止 1 : 割り込み要求を許可</p>																																											
1	TE	0	R(W)*	<p>トランスファエンドフラグ TCR の値が 0 になり、DMA 最終転送の実行を開始するとき、TE ビットは 1 にセットされます。TCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送の転送中断 [クリア条件] TE ビットの 1 読み出し後、0 書き込み 1 : (TCR=0 により) DMA 転送終了</p>																																											
13.4.1 DMA 転送要求 (3) 内蔵周辺モジュールリクエストモード 表 13.7 RS[3:0] ビットによる内蔵周辺モジュールリクエストモードの選択	13-20	<p>表を修正</p> <table border="1"> <thead> <tr> <th>CHCR</th> <th>DMARS</th> <th>DMA 転送要求元</th> <th>DMA 転送要求信号</th> <th>転送元</th> <th>転送先</th> <th>バスモード</th> </tr> </thead> <tbody> <tr> <td>RS[3:0] 1000</td> <td>MID 011100</td> <td>RID 11</td> <td>USB</td> <td>USB 送信部 0</td> <td>任意</td> <td>DdFIFO サイクルスチール</td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td>USB 受信部 0</td> <td>DdFIFO</td> <td>任意 サイクルスチール</td> </tr> </tbody> </table>	CHCR	DMARS	DMA 転送要求元	DMA 転送要求信号	転送元	転送先	バスモード	RS[3:0] 1000	MID 011100	RID 11	USB	USB 送信部 0	任意	DdFIFO サイクルスチール					USB 受信部 0	DdFIFO	任意 サイクルスチール																								
CHCR	DMARS	DMA 転送要求元	DMA 転送要求信号	転送元	転送先	バスモード																																									
RS[3:0] 1000	MID 011100	RID 11	USB	USB 送信部 0	任意	DdFIFO サイクルスチール																																									
				USB 受信部 0	DdFIFO	任意 サイクルスチール																																									
13.5.5 HE、TE、AE、NMIF の各フラグビット使用上の注意事項	13-36	新規追加																																													
13.5.6 バーストモードの使用上の注意事項	13-37	新規追加																																													
14.5.1 周波数制御レジスタ (FRQCR)	14-5	<p>図を修正</p> <p>ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16</p> <table border="1"> <thead> <tr> <th colspan="4">HIGH[1:0]</th> <th colspan="4">STC[4:0]</th> <th colspan="3">IFC[3:0]</th> <th colspan="4">UFC[3:0]</th> </tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>0</td> <td>*</td><td>*</td><td>*</td><td>*</td> <td>*</td><td>*</td><td>*</td> <td>*</td><td>*</td><td>*</td><td>*</td> </tr> <tr> <td>R</td><td>R</td><td>R</td><td>R</td> <td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td> <td>R/W</td><td>R/W</td><td>R/W</td> <td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td> </tr> </tbody> </table>	HIGH[1:0]				STC[4:0]				IFC[3:0]			UFC[3:0]				0	0	0	0	*	*	*	*	*	*	*	*	*	*	*	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
HIGH[1:0]				STC[4:0]				IFC[3:0]			UFC[3:0]																																				
0	0	0	0	*	*	*	*	*	*	*	*	*	*	*																																	
R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																	
20.4.5 送受信手順 (1) 送信 図 20.8 送信動作例	20-20	<p>注を修正</p> <p>【注】送信データアンダフローによる割り込みを許可している場合は、送信データを設定後、TXE ビットに 1 を設定してください。</p> <p>TXE ビットを 1 にしたままでは、連続送信はできません。必ず、TXE ビットを 0 に戻してください。再送信を行う場合は、送信終了から再送信までに 1SIOSCK 周期以上の間隔をあけてください。</p>																																													
21.3.1 モードレジスタ 0、1 (SIMDR0、SIMDR1)	21-6	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>12</td> <td>REDG</td> <td>0</td> <td>R/W</td> <td> <p>受信データサンプリングエッジ 0 : SIOFRXD を SIOFSCK の立ち上がりエッジでサンプリングする 1 : SIOFRXD を SIOFSCK の立ち上がりエッジでサンプリングする</p> <p>【注】 SIOFTXD の送出タイミングは、SIOFRXD をサンプリングするエッジに対して反対のエッジとなります。また、本ビットは、マスタモード時のみ有効となります。スレーブモード時には、1 ビット遅延なし (SYNCDL=0) の場合は立ち上がりエッジでサンプリング、1 ビット遅延あり (SYNCDL=1) の場合は立ち下がりエッジでサンプリングとなります。</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	12	REDG	0	R/W	<p>受信データサンプリングエッジ 0 : SIOFRXD を SIOFSCK の立ち上がりエッジでサンプリングする 1 : SIOFRXD を SIOFSCK の立ち上がりエッジでサンプリングする</p> <p>【注】 SIOFTXD の送出タイミングは、SIOFRXD をサンプリングするエッジに対して反対のエッジとなります。また、本ビットは、マスタモード時のみ有効となります。スレーブモード時には、1 ビット遅延なし (SYNCDL=0) の場合は立ち上がりエッジでサンプリング、1 ビット遅延あり (SYNCDL=1) の場合は立ち下がりエッジでサンプリングとなります。</p>																																			
ビット	ビット名	初期値	R/W	説明																																											
12	REDG	0	R/W	<p>受信データサンプリングエッジ 0 : SIOFRXD を SIOFSCK の立ち上がりエッジでサンプリングする 1 : SIOFRXD を SIOFSCK の立ち上がりエッジでサンプリングする</p> <p>【注】 SIOFTXD の送出タイミングは、SIOFRXD をサンプリングするエッジに対して反対のエッジとなります。また、本ビットは、マスタモード時のみ有効となります。スレーブモード時には、1 ビット遅延なし (SYNCDL=0) の場合は立ち上がりエッジでサンプリング、1 ビット遅延あり (SYNCDL=1) の場合は立ち下がりエッジでサンプリングとなります。</p>																																											



修正項目	ページ	修正内容（詳細はマニュアル参照）															
22.3.7 シリアルステータスレジスタ 0~2 (SCFSR0 ~ SCFSR2)	22-12	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15-12</td> <td>PERC[3:0]</td> <td>0000</td> <td>R</td> <td>パリティエラー数 SCFRDR に格納されている受信データで、パリティエラーの発生しているデータ数を示します。SCFSR の ER ビットがセットされた後、PERC ビットで示される値がパリティエラー発生データ数を示します。SCFRDR の 16 バイトの受信データのすべてがパリティエラーを伴う場合、PERC ビットは 0 を表示します。</td> </tr> <tr> <td>11-8</td> <td>FERC[3:0]</td> <td>0000</td> <td>R</td> <td>フレーミングエラー数 SCFRDR に格納されている受信データで、フレーミングエラーの発生しているデータ数を示します。SCFSR の ER ビットがセットされた後、FERC ビットで示される値がフレーミングエラー発生データ数を示します。SCFRDR の 16 バイトの受信データのすべてがフレーミングエラーを伴う場合、FERC ビットは 0 を表示します。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	15-12	PERC[3:0]	0000	R	パリティエラー数 SCFRDR に格納されている受信データで、パリティエラーの発生しているデータ数を示します。SCFSR の ER ビットがセットされた後、PERC ビットで示される値がパリティエラー発生データ数を示します。SCFRDR の 16 バイトの受信データのすべてがパリティエラーを伴う場合、PERC ビットは 0 を表示します。	11-8	FERC[3:0]	0000	R	フレーミングエラー数 SCFRDR に格納されている受信データで、フレーミングエラーの発生しているデータ数を示します。SCFSR の ER ビットがセットされた後、FERC ビットで示される値がフレーミングエラー発生データ数を示します。SCFRDR の 16 バイトの受信データのすべてがフレーミングエラーを伴う場合、FERC ビットは 0 を表示します。
ビット	ビット名	初期値	R/W	説明													
15-12	PERC[3:0]	0000	R	パリティエラー数 SCFRDR に格納されている受信データで、パリティエラーの発生しているデータ数を示します。SCFSR の ER ビットがセットされた後、PERC ビットで示される値がパリティエラー発生データ数を示します。SCFRDR の 16 バイトの受信データのすべてがパリティエラーを伴う場合、PERC ビットは 0 を表示します。													
11-8	FERC[3:0]	0000	R	フレーミングエラー数 SCFRDR に格納されている受信データで、フレーミングエラーの発生しているデータ数を示します。SCFSR の ER ビットがセットされた後、FERC ビットで示される値がフレーミングエラー発生データ数を示します。SCFRDR の 16 バイトの受信データのすべてがフレーミングエラーを伴う場合、FERC ビットは 0 を表示します。													
22.5 SCIF 割り込み要因と DMAC	22-42	<p>説明を修正</p> <p>SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込みと BRI 割り込み要求だけを出すことができます。</p>															
23.5 使用上の注意事項 (6) 端子接続	23-32	<p>説明を修正</p> <p>また、データ伝送線は、抵抗で電源 <math>V_{CCQ}</math> 側にプルアップしてください。</p>															
25.4.2 マスタ送信動作	25-17	<p>説明を修正</p> <p>4. 停止条件を発行、生成する場合は、ICDR に最終データを書き込み後、ICCR に H'90 を書き込みます。停止条件を発行後、停止条件生成までの間、DTE は 1 にセットされません。最終データを送信後に停止条件を生成して停止します。</p> <p>ICDR 書き込みと ICCR 書き込みが遅延し、ACK ビットをまたいで処理した場合、停止条件生成前に DTE 割り込みが発生します。そのため、ICCR レジスタに H'90 を書き込み後に DTE 割り込みを禁止設定するか、ACK ビット生成前に ICDR 書き込みと ICCR 書き込みを行ってください。</p> <p>なお、WAIT 割り込みが発生してから、WAIT 割り込みの要因をクリアするまでに ICDR 書き込みと ICCR 書き込みを行うことで、ACK ビット生成前に ICDR 書き込みと ICCR 書き込むことが可能です。</p> <p>5. 再送条件を発行、生成する場合は、ICDR に最終データを書き込み後、ICCR に H'94 を書き込みます。再送条件を発行後、再送条件生成までの間、DTE は 1 にセットされません。最終データを送信後に再送条件を生成します。</p> <p>ICDR 書き込みと ICCR 書き込みが遅延し、ACK ビットをまたいで処理した場合、再送条件生成前に DTE 割り込みが発生し、ソフト側で正常に通信するための制御ができなくなります。そのため、ACK ビット生成前に ICDR 書き込みと ICCR 書き込みを行ってください。</p> <p>なお、WAIT 割り込みが発生してから、WAIT 割り込みの要因をクリアするまでに ICDR 書き込みと ICCR 書き込みを行うことで、ACK ビット生成前に ICDR 書き込みと ICCR 書き込むことが可能です。</p>															

修正項目	ページ	修正内容（詳細はマニュアル参照）																	
25.4.3 マスタ受信動作 (1) 2バイト以上の連続データを 受信する場合	25-19	<p>説明を修正</p> <p>「2.」、「3.」を繰り返し行うことにより、連続的に2バイト以上のデータを 受信することができます。</p> <p>2バイト以上の連続データを受信する場合、受信中再送、停止条件生成のため に ICDR レジスタから最終データ1つ前のデータ読み出しと ICCR レジスタ に H'D4、H'C0 の書き込みを行います。</p> <p>最終データ1つ前の ICDR 読み出しと ICCR 書き込みが遅延し、最終データ 受信時の NACK ビット生成までに ICDR 読み出しと ICCR 書き込み処理が終 わらない場合、最終データ受信時に ACK ビットを生成してしまうため、IIC の通信プロトコルが守れなくなります。そのため、最終データ受信時の NACK ビット生成までに ICDR 読み出しと ICCR 書き込みを行ってください。</p> <p>なお、WAIT 割り込みが発生してから、WAIT 割り込みの要因をクリアするま でに最終データ1つ前の ICDR 読み出しと ICCR 書き込みを行うことで、最 終データ受信時に NACK ビットが生成されます。</p>																	
25.4.8 ウェイト動作	25-27	<p>説明を修正</p> <p>WAIT 割り込みを使用して IIC の通信処理を行う場合、WAIT 状態をハード的 に検知してからソフト処理によって WAIT 割り込みの要因がクリアされるま で IIC の信号は WAIT 状態で停滞します。DTE 割り込みのみで通信処理を行 った場合は WAIT 状態で停滞することはないので、WAIT 割り込みを使用し た場合は IIC の信号が WAIT 状態で停滞している分だけ通信が遅れます。</p>																	
図 25.16 ウェイト使用時の送信 ソフトフロー例	25-28	図を追加																	
図 25.17 ウェイト使用時の1バイ トライト/1バイトリードソフト フロー例	25-29	図を追加																	
図 25.18 ウェイト使用時のnバイ トライト/nバイトリードソフト フロー例	25-30	図を追加																	
図 25.19 送信のソフトフロー例 (WAIT=0)	25-31	図を追加																	
27.1 特長	27-1	<p>説明を修正</p> <ul style="list-style-type: none"> <li>12 / 16 / 18 / 24bpp の表示画像データフォーマットをサポート</li> </ul>																	
27.2 端子構成 表 27.2 端子構成	27-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th>端子名</th> <th>機能</th> <th>入出力</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>LCDVSYN2</td> <td>垂直同期信号</td> <td>入出力</td> <td>サブ液晶用垂直同期信号 (VSYN2) SYS インタフェース</td> </tr> </tbody> </table>	端子名	機能	入出力	説明	LCDVSYN2	垂直同期信号	入出力	サブ液晶用垂直同期信号 (VSYN2) SYS インタフェース									
端子名	機能	入出力	説明																
LCDVSYN2	垂直同期信号	入出力	サブ液晶用垂直同期信号 (VSYN2) SYS インタフェース																
27.3 レジスタの説明 表 27.1 レジスタ構成	27-7	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">レジスタ名称</th> <th rowspan="2">略称</th> <th rowspan="2">R/W</th> <th colspan="3">アドレス</th> <th rowspan="2">アクセス サイズ</th> </tr> <tr> <th>アドレス (A 面)</th> <th>アドレス (B 面)</th> <th>ミラー アドレス</th> </tr> </thead> <tbody> <tr> <td>LDCDC 入力画像データスワップレジスタ</td> <td>LDDDSR</td> <td>R/W</td> <td>HFEE94 047C</td> <td>-</td> <td>-</td> <td>32</td> </tr> </tbody> </table>	レジスタ名称	略称	R/W	アドレス			アクセス サイズ	アドレス (A 面)	アドレス (B 面)	ミラー アドレス	LDCDC 入力画像データスワップレジスタ	LDDDSR	R/W	HFEE94 047C	-	-	32
レジスタ名称	略称	R/W				アドレス				アクセス サイズ									
			アドレス (A 面)	アドレス (B 面)	ミラー アドレス														
LDCDC 入力画像データスワップレジスタ	LDDDSR	R/W	HFEE94 047C	-	-	32													





---

# 索引

---

<b>【数字 / 記号】</b>		<b>【N】</b>	
16 ビットタイムパルスユニット (TPU) .....	18-1	NMI ( ノンマスクابل割り込み ) .....	5-23
		NMI 割り込み .....	10-17
<b>【A】</b>		<b>【P】</b>	
ALU 固定小数点算術演算命令 .....	3-29	P0 領域 .....	7-4
ALU 整数演算命令 .....	3-32	P1 領域 .....	7-4
ALU 論理演算命令 .....	3-33	P2 領域 .....	7-5
		P3 領域 .....	7-4
<b>【C】</b>		P4 領域 .....	7-5
CRC エンジン .....	24-25		
<b>【D】</b>		<b>【R】</b>	
DSP データアドレッシング .....	6-24	RCLK ウォッチドッグタイマ (RWDT) .....	16-1
DSP データ演算命令 .....	6-36		
DSP に関するシステムレジスタ .....	2-3	<b>【S】</b>	
DSP ユニット .....	6-1	SCL ライン .....	25-24
DSP レジスタ .....	2-3, 6-7, 6-30	SDRAM インタフェース .....	12-25
DSP をサポートする CPU 命令 .....	3-21	SIM カードモジュール (SIM) .....	23-1
		SIO 受信 .....	20-21
<b>【F】</b>		SIO 送信 .....	20-20
FIFO 内蔵シリアルコミュニケーション (SCIF) .....	22-1	SPI モード .....	21-45
<b>【H】</b>		<b>【T】</b>	
H-UDI リセット .....	5-11	TAP 制御 .....	33-7
		T ビット .....	3-2
<b>【I】</b>			
I <sup>2</sup> C バスインタフェース (IIC) .....	25-1	<b>【U】</b>	
I <sup>2</sup> C バスデータフォーマット .....	25-14	U0 領域 .....	7-4
IL メモリ .....	9-2	Uxy 領域 .....	7-6
IL メモリアドレス .....	9-2	U-スタンバイモード .....	15-16
IrDA インタフェース (IrDA) .....	24-1	U メモリ .....	9-3
IrDA 受信フロー .....	24-28		
IrDA 送信フロー .....	24-26	<b>【X】</b>	
IRQ 割り込み .....	10-17	X、Y データアドレッシング .....	3-6
		X/Y メモリ .....	9-1
<b>【L】</b>		X メモリまたは Y メモリバスサイクルブ레이크 .....	32-21
LCD コントローラ (LCDC) .....	27-1		
		<b>【あ】</b>	
<b>【M】</b>		アービトレーションロスト割り込み .....	25-25
MSB 検出命令 .....	3-35	アドレス空間識別子 .....	7-7

アドレス変換 .....	7-7
アドレスマルチプレクス .....	12-31
アドレス空間 .....	7-3
アドレス変換方式 .....	7-26
アドレッシングモード .....	3-3
一般不当命令例外 .....	5-18
一般割り込み要求 .....	5-24
インターミットモード .....	13-27
オートリクエストモード .....	13-18
オートリフレッシュ .....	12-55
オートリロードカウント動作 .....	17-8
オーバフローモード .....	6-43
オペランドアクセスサイクルブ레이크 .....	32-20

### 【か】

外部リクエストモード .....	13-18
拡張リビート制御命令 .....	6-16
仮想アドレス空間 .....	7-3
キースキャンインタフェース (KEYSC) .....	29-1
キーの多重押し .....	29-9
キャッシュ .....	8-1
キャリア / ボローモード .....	6-42
空間分割 .....	11-4
クロック同期式モード .....	22-34
クロックパルス発振器 (CPG) .....	14-1
固定モード .....	13-21
固定小数点乗算命令 .....	3-33
固定小数点転送命令 .....	3-13
コントロールレジスタ .....	2-2
コンペアマッチタイマ (CMT) .....	19-1

### 【さ】

サイクルスチール .....	13-26
算術演算命令 .....	3-14
算術シフト演算命令 .....	3-34
シーケンシャルブ레이크 .....	32-22
実行ステート .....	4-12
システムレジスタ .....	2-3
システム制御命令 .....	3-19, 6-21
実効アドレス .....	3-3
シフト命令 .....	3-17
周辺モジュール割り込み .....	10-18
初期ページ書き込み例外 .....	7-38
処理モード .....	2-1
シリアル I/O FIFO 付き (SIOF) .....	21-1
シリアル I/O (SIO) .....	20-1
シングルデータアドレッシング .....	3-8

シングルデータ転送命令 .....	3-24, 6-20
シングルライト .....	12-45
シングルリード .....	12-43
ステータスレジスタ (SR) の拡張 .....	6-4
スマートカードインタフェース .....	23-17
スリープモード .....	15-14
スリープモード 1 .....	21-32
スリープモード 2 .....	21-33
スリープ時受信 .....	21-38
スリープ時送信 .....	21-37
スロット不当命令例外 .....	5-19
スワップ命令 .....	3-36
赤外線受光パルスデータ受信 .....	24-23
赤外線発光パルスデータ送信 .....	24-22
セルフリフレッシュ .....	12-56
ゼロ値モード .....	6-43
送受信リセット .....	21-39
ソフトウェアスタンバイモード .....	15-15

### 【た】

タイマユニット (TMU) .....	17-1
ダイレクトメモリアクセスコントローラ (DMAC) ..	13-1
多重仮想記憶モード .....	7-7
ダブルデータ転送命令 .....	3-22, 6-20
単一仮想記憶モード .....	7-7
遅延スロット .....	3-1
遅延分岐 .....	3-1
チャタリング除去 .....	29-9
調歩同期式モード .....	22-24
データ TLB 多重ヒット例外 .....	7-35
データ TLB 保護違反例外 .....	7-37
データ TLB ミス例外 .....	7-35
低消費電力状態 .....	2-18
低消費電力モード .....	15-1
データ TLB ミス例外 .....	5-12
データ TLB 多重ヒット例外 .....	5-12
データ TLB 保護違反例外 .....	5-14
データアドレスエラー .....	5-16
デュアルアドレスモード .....	13-25
特権 DSP モード .....	6-3
特権 DSP モード .....	2-1
特権モード .....	6-3
特権モード .....	2-1

### 【な】

内蔵周辺モジュールリクエストモード .....	13-19
内蔵メモリ .....	9-1

ノイズ除去回路.....25-25

## 【は】

バーストモード.....13-27  
バーストライト.....12-44  
バーストリード.....12-40  
パイプライン動作.....4-1  
バーステートコントローラ (BSC) .....11-1  
発行レート.....4-12  
パワーオンシーケンス.....12-61  
パワーオンリセット.....5-11, 15-13  
パワーダウンモード.....12-60  
バンクアクティブ.....12-45  
汎用レジスタ.....2-2  
非アクノリッジ割り込み.....25-27  
ビッグエンディアン.....2-16, 11-28  
符号拡張.....2-15  
符号付き以上モード.....6-44  
符号付き大モード.....6-44  
負値モード.....6-43  
物理アドレス空間.....7-6  
フリーラン動作.....19-7  
プログラミングモデル.....2-1  
分岐命令.....3-18  
ベクタアドレス.....5-7  
ポーレートジェネレータ.....20-16, 21-26

## 【ま】

マスタモード1.....21-32  
マスタ時受信.....21-36  
マスタ時送信.....21-35  
マスタ受信モード.....25-18  
マスタ送信モード.....25-17  
マニュアルリセット.....5-11  
丸め演算命令.....3-35  
無条件トラップ.....5-17  
命令 TLB 多重ヒット例外.....5-11, 7-33  
命令 TLB 保護違反例外.....7-34  
命令 TLB ミス例外.....5-13, 7-33  
命令アドレスエラー.....5-17  
命令実行状態.....2-18  
命令実行後ユーザブレイク.....5-20  
命令実行前ユーザブレイク.....5-20  
命令セット.....3-1  
メモリマネジメントユニット (MMU) .....7-1  
メモリ割り付けレジスタ.....2-15  
モジュールスタンバイ.....15-16

モジュロアドレッシング.....3-9, 6-26  
モジュロレジスタ.....2-10  
モジュロレジスタ (MOD) .....6-5

## 【や】

ユーザ DSP モード.....2-1, 6-3  
ユーザデバッグインタフェース (H-UDI) .....33-1  
ユーザブレイクコントローラ (UBC) .....32-1  
ユーザモード.....2-1, 6-3

## 【ら】

ラウンドロビンモード.....13-21  
リアルタイムクロック (RTC) .....26-1  
リセット状態.....2-18  
リトルエンディアン.....2-16, 11-28  
リピートエンドレジスタ (RE) .....6-5  
リピートスタートレジスタ (RS) .....6-5  
リピート制御命令.....6-8  
リフレッシュ.....12-55  
例外 / 割り込みコード.....5-7  
例外フロー.....5-8  
レジスタ

BEMPENB.....28-29  
BEMPSTS.....28-36  
BRDYENB.....28-27  
BRDYSTS.....28-34  
BSTRCNT.....12-21  
CAMR0.....32-13  
CAMR1.....32-13  
CAR0.....32-11  
CAR1.....32-11  
CBCR.....32-17  
CBR0.....32-4  
CBR1.....32-4  
CCMFR.....32-16  
CCR.....8-5  
CDMR1.....32-15  
CDR1.....32-14  
CETR1.....32-15  
CFBCFG.....28-15  
CFIFO.....28-17  
CFIFOCTR.....28-21  
CFIFOSEL.....28-18  
CFIFOSIE.....28-22  
CHCR.....13-9  
CMCNT.....19-5  
CMCOR.....19-5

CMCSR .....	19-3	INTREQ00.....	10-10
CMNCR .....	11-10	INTSTS0 .....	28-30
CMSTR.....	19-2	INTSTS1 .....	28-32
CPUOPM.....	1	IPR .....	10-9
CRR0.....	32-9	IrDACLKCR.....	14-11
CRR1.....	32-9	IRIF_CRC0.....	24-17
CShBCR .....	11-11	IRIF_CRC1.....	24-17
CShWCR.....	11-14	IRIF_CRC2.....	24-18
D0FBCFG.....	28-15	IRIF_CRC3.....	24-18
D0FIFO.....	28-17	IRIF_CRC4.....	24-18
D0FIFOCTR .....	28-21	IRIF_RINTCLR.....	24-5
D0FIFOSEL.....	28-18	IRIF_SIR_EOF.....	24-8
D0FIFOTRN .....	28-23	IRIF_SIR_FLG.....	24-9
DAR .....	13-7	IRIF_SIR_FRM.....	24-8
DARB.....	13-7	IRIF_SIR0 .....	24-5
DBR .....	2-10	IRIF_SIR1 .....	24-6
DCPCFG .....	28-41	IRIF_SIR2 .....	24-7
DCPCTR.....	28-43	IRIF_SIR3 .....	24-7
DCPMAXP .....	28-42	IRIF_TINTCLR.....	24-5
DLLFRQ .....	14-12	IRIF_UART_STS2 .....	24-9
DMAOR .....	13-14	IRIF_UART0.....	24-10
DMARS.....	13-16	IRIF_UART1.....	24-11
DRVCR.....	30-46	IRIF_UART2.....	24-13
DSR .....	2-12	IRIF_UART3.....	24-14
DVSTCTR.....	28-11	IRIF_UART4.....	24-14
EXPEVT .....	5-3	IRIF_UART5.....	24-15
EXPMASK .....	5-4	IRIF_UART6.....	24-16
FRMNUM.....	28-37	IRIF_UART7.....	24-16
FRQCR.....	14-5	IRMCR.....	7-16
GBR.....	2-9	KYCR1 .....	29-5
HIZCRA .....	30-41	KYCR2 .....	29-6
ICCH .....	25-11	KYINDR.....	29-7
ICCL .....	25-11	KYOUTDR.....	29-8
ICCR.....	25-5	LDCNT1R.....	27-41
ICDR.....	25-5	LDCNT2R.....	27-42
ICIC .....	25-10	LDCKR .....	27-13
ICR0 .....	10-6	LDDCKSTPR .....	27-14
ICR1 .....	10-7	LDDDSR .....	27-45
ICSR.....	25-7	LDDRAR .....	27-65
IMCR .....	10-13	LDDRDR .....	27-63
IMR.....	10-12	LDDWAR.....	27-64
INTENB0 .....	28-23	LDDWDnR .....	27-62
INTENB1 .....	28-25	LDINTR .....	27-37
INTEVT.....	5-3	LDPALCR.....	27-36
INTMSK00.....	10-11	LDPR.....	27-11
INTMSKCLR00.....	10-11	LDRCNTR.....	27-44
INTPRI00.....	10-8	LDRCR.....	27-46



LDSR .....	27-40	PGCR .....	30-16
MACH .....	2-11	PGDR .....	31-9
MACL .....	2-11	PHCR .....	30-17
ME .....	2-10	PHDR .....	31-10
MLDDCKPAT1R .....	27-11	PIPEBUF .....	28-48
MLDDCKPAT2R .....	27-12	PIPECFG .....	28-46
MLDDFR .....	27-20	PIPEMAXP .....	28-49
MLDHCNR .....	27-28	PIPEnCTR .....	28-51
MLDHPDR .....	27-32	PIPEPERI .....	28-49
MLDHSYNR .....	27-29	PIPESEL .....	28-44
MLDMLSR .....	27-24	PJCR .....	30-18
MLDMT1R .....	27-15	PJDR .....	31-11
MLDMT2R .....	27-18	PKCR .....	30-19
MLDMT3R .....	27-19	PKDR .....	31-12
MLDPMR .....	27-34	PLCR .....	30-20
MLDSA1R .....	27-23	PLDR .....	31-13
MLDSA2R .....	27-24	PLLCR .....	14-10
MLDSM1R .....	27-22	PMCR .....	30-22
MLDSM2R .....	27-23	PMDR .....	31-14
MLDVLNR .....	27-30	PNCR .....	30-23
MLDVPDR .....	27-33	PNDR .....	31-15
MLDVSYNR .....	27-31	PQCR .....	30-24
MLDWBAR .....	27-28	PQDR .....	31-16
MLDWBCNTR .....	27-27	PR .....	2-11
MLDWBFR .....	27-25	PRCR .....	30-26
MMUCR .....	7-11	PRDR .....	31-17
MS .....	2-10	PSCR .....	30-27
MSELCRA .....	30-45	PSDR .....	31-18
MSELCRB .....	30-45	PSELA .....	30-36
MSTPCR0 .....	15-5	PSELB .....	30-37
NMIFCR .....	10-16	PSELD .....	30-39
NRDYENB .....	28-28	PSELE .....	30-40
NRDYSTS .....	28-35	PTCR .....	30-28
PACR .....	30-8	PTDR .....	31-19
PADR .....	31-3	PTEA .....	7-14
PASCR .....	7-15	PTEH .....	7-9
PBCR .....	30-9	PTEL .....	7-10
PBDR .....	31-4	PUCR .....	30-29
PC .....	2-11	PUDR .....	31-20
PCCR .....	30-10	PULCR .....	30-46
PCDR .....	31-5	PVCR .....	30-30
PDCR .....	30-12	PVDR .....	31-21
PDDR .....	31-6	PWCR .....	30-31
PECR .....	30-13	PWDR .....	31-22
PEDR .....	31-7	PXCR .....	30-32
PFCR .....	30-14	PXDR .....	31-23
PFDR .....	31-8	PYCR .....	30-33

PYDR.....	31-24	SCRSR ( SIM ) .....	23-12
PZCR.....	30-34	SCSC2R.....	23-14
PZDR.....	31-25	SCSCMR.....	23-12
R64CNT.....	26-4	SCSCR ( SCIF ) .....	22-9
RAMCR .....	8-6, 9-6	SCSCR ( SIM ) .....	23-5
RBWTCNT .....	11-27	SCSMPL .....	23-15
RCR1.....	26-14	SCSMR ( SCIF ) .....	22-7
RCR2.....	26-15	SCSMR ( SIM ) .....	23-4
RCR3.....	26-17	SCSSR ( SIM ) .....	23-8
RDAYAR.....	26-12	SCTDR .....	23-7
RDAYCNT .....	26-8	SCTSR ( SCIF ) .....	22-6
RE.....	2-10	SCTSR ( SIM ) .....	23-7
RECOVER.....	28-39	SCWAIT .....	23-15
RFCR.....	12-17	SDCR0 .....	12-6
RHRAR.....	26-11	SDCR1 .....	12-10
RHRCNT .....	26-6	SDDRH.....	33-5
RMINAR .....	26-10	SDDRL .....	33-5
RMINCNT.....	26-6	SDINT.....	33-6
RMONAR.....	26-13	SDIR.....	33-5
RMONCNT .....	26-8	SDMCR .....	12-20
RS.....	2-10	SDPCR.....	12-13
RSECAR.....	26-10	SDWCR.....	12-11
RSECCNT .....	26-5	SDWCR2.....	12-18
RTCNT .....	12-16	SDWPCR .....	12-19
RTCOR.....	12-17	SGR.....	2-10
RTCSR .....	12-14	SICDAR.....	21-23
RWKAR .....	26-11	SICTR.....	21-8
RWKCNT .....	26-7	SIFCTR .....	21-18
RWTCNT .....	16-2	SIER.....	21-17
RWTCSR.....	16-3	SIMDR.....	21-6
RYRAR.....	26-13	SIOCTR.....	20-5
RYRCNT.....	26-9	SIOIER .....	20-14
SAR .....	13-6	SIOMDR.....	20-4
SARB.....	13-6	SIORDR .....	20-10
SBSCR .....	30-48	SIOSCR .....	20-15
SCBRR ( SCIF ) .....	22-17	SIOSTBCR.....	20-7
SCBRR ( SIM ) .....	23-5	SIOSTR .....	20-11
SCDMAEN .....	23-16	SIOTDR.....	20-9
SCFCR .....	22-18	SIRCR .....	21-12
SCFDR .....	22-20	SIRDAR.....	21-22
SCFRDR.....	22-6	SIRDR .....	21-10
SCFSR .....	22-12	SISCR .....	21-20
SCFTDR.....	22-6	SISTR.....	21-12
SCGRD.....	23-14	SITCR.....	21-11
SCLSR.....	22-21	SITDAR .....	21-21
SCRDR.....	23-12	SITDR.....	21-10
SCRSR ( SCIF ) .....	22-6	SLDDCKPAT1R.....	27-12

SLDDCKPAT2R .....	27-13	TPU_TIER.....	18-11
SLDDFR .....	27-50	TPU_TIOR .....	18-10
SLDHCNR .....	27-55	TPU_TMDR.....	18-8
SLDHPDR .....	27-58	TPU_TSR.....	18-12
SLDHSYNR.....	27-56	TPU_TSTR.....	18-13
SLDMLSR .....	27-54	TRA .....	5-2
SLDMT1R.....	27-46	TSTR .....	17-4
SLDMT2R.....	27-48	TTB.....	7-11
SLDMT3R.....	27-49	UFRMNUM.....	28-38
SLDPMR.....	27-60	USBINDX .....	28-40
SLDSA1R .....	27-53	USBLENG .....	28-41
SLDSA2R .....	27-54	USBREQ .....	28-39
SLDSM1R .....	27-52	USBVAL .....	28-40
SLDSM2R .....	27-53	USERIMASK.....	10-15
SLDVLNR.....	27-57	VBR .....	2-9
SLDVPDR .....	27-59	XDA .....	9-9
SLDVSYNR.....	27-58	XEA .....	9-13
SPC .....	2-9	XPR .....	9-11
SPICR.....	21-24	XSA .....	9-7
SR.....	2-6	YDA .....	9-10
SSR .....	2-9	YEA .....	9-14
STBCR .....	15-4	YPR .....	9-12
SYSCFG.....	28-8	YSA .....	9-8
SYSSTS .....	28-10	レジスタアドレス一覧 .....	34-1
TCNT .....	17-6	レジスタの状態 .....	34-1
TCOR .....	17-6	ローカルデータ移動命令.....	3-37
TCR ( DMAC ) .....	13-8	ロード/ストアアーキテクチャ.....	3-1
TCR ( TMU ) .....	17-5	論理演算命令 .....	3-16
TCRB.....	13-8	論理シフト演算命令 .....	3-34
TEA.....	7-11	 	
TESTMODE .....	28-14	<b>【わ】</b>	
TPU_TCNT.....	18-13	割り込みコントローラ ( INTC ) .....	10-1
TPU_TCR.....	18-7	ワンショット動作.....	19-6
TPU_TGR.....	18-13		



---

ルネサス32ビットRISCマイクロコンピュータ  
ハードウェアマニュアル  
SH7731

発行年月日 2008年12月8日 Rev.1.00  
2009年9月2日 Rev.2.00  
発行 株式会社ルネサス テクノロジ 営業統括部  
〒100-0004 東京都千代田区大手町 2-6-2  
編集 株式会社ルネサスソリューションズ  
グローバルストラテジックコミュニケーション本部  
カスタマサポート部

株式会社ルネサステクノロジー 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口  
株式会社ルネサス販売

# RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平字田町120 (ラトフ)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：コンタクトセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)



SH7731  
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0518-0200