

RX634 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32ビットマイクロコンピュータ

RXファミリ／RX600シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX634グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスのホームページに掲載されています。

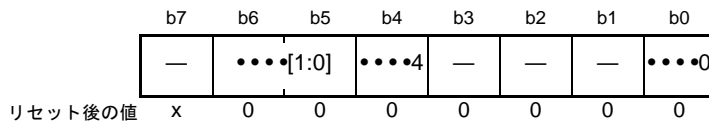
ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	RX634グループ データシート	R01DS0255JJ
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	RX634グループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU・命令セットの説明	RXファミリ ユーザーズマニュアル ソフトウェア編	R01US0032JJ
アプリケーションノート	応用例参考プログラムなど	—	—
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報	—	—

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.Xレジスタ

アドレス xxxx xxxh



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	••••0	••••ビット (2)	0 : ••••• 1 : 設定しないでください (3)	R/W R/W (1)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	••••4	••••ビット	0 : ••••• 1 : •••••	R
b6-b5	••••[1:0]	••••ビット	00 : ••••• 01 : ••••• 上記以外は設定しないでください (3)	R/(W) (注1)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

- (1) R/W : 読み出し/書き込みともに有効です。
R/(W) : 読み出し/書き込みともに有効ですが、書き込みには制限があります。
制限の内容については、各レジスタの説明や注記を参照ください。
R : 読み出しのみ有効です。書き込みは無効になります。
- (2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。
- (3) 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

特長	42
1. 概要	43
1.1 仕様概要	43
1.2 製品一覧	48
1.3 ブロック図	49
1.4 端子機能	50
1.5 ピン配置図	54
2. CPU	59
2.1 特長	59
2.2 CPU レジスタセット	60
2.2.1 汎用レジスタ (R0 ~ R15)	61
2.2.2 制御レジスタ	61
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)	62
2.2.2.2 割り込みテーブルレジスタ (INTB)	62
2.2.2.3 プログラムカウンタ (PC)	62
2.2.2.4 プロセッサステータスワード (PSW)	63
2.2.2.5 バックアップ PC (BPC)	64
2.2.2.6 バックアップ PSW (BPSW)	65
2.2.2.7 高速割り込みベクタレジスタ (FINTV)	65
2.2.2.8 浮動小数点ステータスワード (FPSW)	66
2.2.3 DSP 機能命令関連レジスタ	68
2.2.3.1 アキュムレータ (ACC)	68
2.3 プロセッサモード	69
2.3.1 スーパーバイザモード	69
2.3.2 ユーザモード	69
2.3.3 特権命令	69
2.3.4 プロセッサモード間の移行	69
2.4 データタイプ	70
2.5 エンディアン	70
2.5.1 エンディアンの設定	70
2.5.2 I/O レジスタアクセス	74
2.5.3 I/O レジスタアクセスの注意事項	74
2.5.4 データ配置	74
2.5.4.1 レジスタのデータ配置	74
2.5.4.2 メモリ上のデータ配置	75
2.5.5 命令コード配置の注意事項	75
2.6 ベクタテーブル	76
2.6.1 固定ベクタテーブル	76
2.6.2 可変ベクタテーブル	77
2.7 命令動作	77

2.7.1	RMPA 命令、ストリング操作命令のデータプリフェッチ	77
2.8	パイプライン	78
2.8.1	概要	78
2.8.2	命令とパイプライン処理	80
2.8.2.1	単一のマイクロオペレーションに変換される命令とパイプライン処理	80
2.8.2.2	複数のマイクロオペレーションに変換される命令とパイプライン処理	82
2.8.2.3	パイプラインの基本動作	85
2.8.3	命令処理時間の計算方法	87
2.8.4	割り込み応答サイクル数	87
3.	動作モード	88
3.1	動作モードの種類と選択	88
3.2	レジスタの説明	89
3.2.1	モードモニタレジスタ (MDMONR)	89
3.2.2	モードステータスレジスタ (MDSR)	89
3.2.3	システムコントロールレジスタ 0 (SYSCR0)	90
3.2.4	システムコントロールレジスタ 1 (SYSCR1)	91
3.3	動作モードの説明	92
3.3.1	シングルチップモード	92
3.3.2	内蔵 ROM 有効拡張モード	92
3.3.3	内蔵 ROM 無効拡張モード	92
3.3.4	ブートモード	92
3.3.5	ユーザブートモード	92
3.4	動作モード遷移	93
3.4.1	モード設定端子による動作モード遷移	93
3.4.2	レジスタ設定による動作モード遷移	94
4.	アドレス空間	95
4.1	アドレス空間	95
4.2	外部アドレス空間	97
5.	I/O レジスタ	98
5.1	I/O レジスタアドレス一覧 (アドレス順)	100
6.	リセット	134
6.1	概要	134
6.2	レジスタの説明	136
6.2.1	リセットステータスレジスタ 0 (RSTSR0)	136
6.2.2	リセットステータスレジスタ 1 (RSTSR1)	138
6.2.3	リセットステータスレジスタ 2 (RSTSR2)	139
6.2.4	ソフトウェアリセットレジスタ (SWRR)	140
6.3	動作説明	141
6.3.1	RES# 端子リセット	141
6.3.2	パワーオンリセット、電圧監視 0 リセット	141

6.3.3	電圧監視 1 リセット、電圧監視 2 リセット	142
6.3.4	ディープソフトウェアスタンバイリセット	144
6.3.5	独立ウォッチドッグタイマリセット	144
6.3.6	ウォッチドッグタイマリセット	144
6.3.7	ソフトウェアリセット	144
6.3.8	コールドスタート/ウォームスタート判定機能	145
6.3.9	リセット発生要因の判定	146
7.	オプション設定メモリ	147
7.1	概要	147
7.2	レジスタの説明	148
7.2.1	オプション機能選択レジスタ 0 (OFS0)	148
7.2.2	オプション機能選択レジスタ 1 (OFS1)	151
7.2.3	エンディアン選択レジスタ B (MDEB)、 エンディアン選択レジスタ S (MDES)	152
7.3	UB コード	153
7.3.1	UB コード A	153
7.3.2	UB コード B	153
7.4	使用上の注意事項	153
7.4.1	オプション設定メモリの設定例	153
8.	電圧検出回路 (LVDA)	154
8.1	概要	154
8.2	レジスタの説明	157
8.2.1	電圧監視 1 回路制御レジスタ 1 (LVD1CR1)	157
8.2.2	電圧監視 1 回路ステータスレジスタ (LVD1SR)	158
8.2.3	電圧監視 2 回路制御レジスタ 1 (LVD2CR1)	158
8.2.4	電圧監視 2 回路ステータスレジスタ (LVD2SR)	159
8.2.5	電圧監視回路制御レジスタ (LVCMPCR)	160
8.2.6	電圧検出レベル選択レジスタ (LVDLVLR)	161
8.2.7	電圧監視 1 回路制御レジスタ 0 (LVD1CR0)	162
8.2.8	電圧監視 2 回路制御レジスタ 0 (LVD2CR0)	163
8.3	VCC 入力電圧のモニタ	165
8.3.1	Vdet0 のモニタ	165
8.3.2	Vdet1 のモニタ	165
8.3.3	Vdet2 のモニタ	165
8.4	電圧監視 0 リセット	166
8.5	電圧監視 1 割り込み、電圧監視 1 リセット	167
8.6	電圧監視 2 割り込み、電圧監視 2 リセット	169
8.7	イベントリンク出力機能	171
8.7.1	割り込み処理とイベントリンクの関係	171

9.	クロック発生回路	172
9.1	概要	172
9.2	レジスタの説明	174
9.2.1	システムクロックコントロールレジスタ (SCKCR)	174
9.2.2	システムクロックコントロールレジスタ 3 (SCKCR3)	176
9.2.3	PLL コントロールレジスタ (PLLCR)	177
9.2.4	PLL コントロールレジスタ 2 (PLLCR2)	178
9.2.5	外部バスクロックコントロールレジスタ (BCKCR)	179
9.2.6	メインクロック発振器コントロールレジスタ (MOSCCR)	180
9.2.7	低速オンチップオシレータコントロールレジスタ (LOCOCR)	181
9.2.8	IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)	182
9.2.9	発振停止検出コントロールレジスタ (OSTDCR)	183
9.2.10	発振停止検出ステータスレジスタ (OSTDSR)	184
9.2.11	メインクロック発振器強制発振コントロールレジスタ (MOFCR)	185
9.2.12	メインクロック供給制御レジスタ (MOSCR)	185
9.2.13	メインクロックノイズフィルタ制御レジスタ (MONFCR)	186
9.3	メインクロック発振器	187
9.3.1	発振子を接続する方法	187
9.3.2	外部クロックを入力する方法	188
9.3.3	外部クロック入力に関する注意事項	188
9.4	発振停止検出機能	189
9.4.1	発振停止検出と検出後の動作	189
9.4.2	発振停止検出割り込み	190
9.5	PLL 回路	191
9.6	内部クロック	191
9.6.1	システムクロック	191
9.6.2	周辺モジュールクロック	191
9.6.3	S12AD 用クロック	191
9.6.4	FlashIF クロック	192
9.6.5	外部バスクロック	192
9.6.6	CAC クロック	192
9.6.7	IWDT 専用クロック	192
9.6.8	CEC クロック	192
9.6.9	RCR クロック	192
9.6.10	JTAG 用クロック	193
9.7	発振子を接続する場合の端子設定	193
9.8	使用上の注意事項	194
9.8.1	クロック発生回路に関する注意事項	194
9.8.2	発振子に関する注意事項	194
9.8.3	ボード設計上の注意	194

10.	クロック周波数精度測定回路 (CAC)	195
10.1	概要	195
10.2	レジスタの説明	197
10.2.1	CAC コントロールレジスタ 0 (CACR0)	197
10.2.2	CAC コントロールレジスタ 1 (CACR1)	198
10.2.3	CAC コントロールレジスタ 2 (CACR2)	199
10.2.4	CAC 割り込み要求許可レジスタ (CAICR)	200
10.2.5	CAC ステータスレジスタ (CASTR)	201
10.2.6	CAC 上限値設定レジスタ (CAULVR)	202
10.2.7	CAC 下限値設定レジスタ (CALLVR)	202
10.2.8	CAC カウンタバッファレジスタ (CACNTBR)	202
10.3	動作説明	203
10.3.1	クロック周波数測定	203
10.3.2	CACREF 端子のデジタルフィルタ機能	204
10.4	割り込み要求	204
10.5	使用上の注意事項	205
10.5.1	モジュールストップ機能の設定	205
11.	消費電力低減機能	206
11.1	概要	206
11.2	レジスタの説明	210
11.2.1	スタンバイコントロールレジスタ (SBYCR)	210
11.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	211
11.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	213
11.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	215
11.2.5	動作電力コントロールレジスタ (OPCCR)	216
11.2.6	スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)	219
11.2.7	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)	220
11.2.8	PLL ウェイトコントロールレジスタ (PLLWTCR)	221
11.2.9	ディープスタンバイコントロールレジスタ (DPSBYCR)	223
11.2.10	ディープスタンバイインタラプトイネーブルレジスタ 0 (DPSIER0)	225
11.2.11	ディープスタンバイインタラプトイネーブルレジスタ 2 (DPSIER2)	226
11.2.12	ディープスタンバイインタラプトフラグレジスタ 0 (DPSIFR0)	227
11.2.13	ディープスタンバイインタラプトフラグレジスタ 2 (DPSIFR2)	228
11.2.14	ディープスタンバイインタラプトエッジレジスタ 0 (DPSIEGR0)	230
11.2.15	ディープスタンバイインタラプトエッジレジスタ 2 (DPSIEGR2)	231
11.2.16	ディープスタンバイバックアップレジスタ (DPSBKRY) (y = 0 ~ 31)	231
11.3	クロックの切り替えによる消費電力の低減	232
11.4	モジュールストップ機能	232
11.5	動作電力低減機能	233
11.5.1	動作電力制御モードの設定方法	233

11.6	低消費電力状態	234
11.6.1	スリープモード	234
11.6.1.1	スリープモードへの移行	234
11.6.1.2	スリープモードの解除	234
11.6.1.3	スリープモード復帰クロックソース切り替え機能	235
11.6.2	全モジュールクロックストップモード	236
11.6.2.1	全モジュールクロックストップモードへの移行	236
11.6.2.2	全モジュールクロックストップモードの解除	237
11.6.3	ソフトウェアスタンバイモード	238
11.6.3.1	ソフトウェアスタンバイモードへの移行	238
11.6.3.2	ソフトウェアスタンバイモードの解除	239
11.6.3.3	ソフトウェアスタンバイモードの応用例	240
11.6.4	ディープソフトウェアスタンバイモード	241
11.6.4.1	ディープソフトウェアスタンバイモードへの移行	241
11.6.4.2	ディープソフトウェアスタンバイモードの解除	242
11.6.4.3	ディープソフトウェアスタンバイモード解除時の端子状態	243
11.6.4.4	ディープソフトウェアスタンバイモードの応用例	244
11.6.4.5	ディープソフトウェアスタンバイモードのフローチャート	245
11.7	使用上の注意事項	246
11.7.1	I/O ポートの状態	246
11.7.2	DMAC、DTC のモジュールストップ	246
11.7.3	内蔵周辺モジュールの割り込み	246
11.7.4	MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み	246
11.7.5	DIRQnE ビット (n=0~7) による入力バッファ制御	246
11.7.6	WAIT 命令の実行タイミング	246
11.7.7	スリープモード中の DMAC、DTC によるレジスタの書き換えについて	246
11.7.8	全モジュールクロックストップモードの解除	247
11.7.9	ソフトウェアスタンバイモードから復帰するときの注意事項	247
11.7.10	低速動作モードからソフトウェアスタンバイモードへ移行するための注意事項	247
12.	レジスタライトプロテクション機能	248
12.1	レジスタの説明	249
12.1.1	プロテクトレジスタ (PRCR)	249
13.	例外処理	250
13.1	例外事象	250
13.1.1	未定義命令例外	250
13.1.2	特権命令例外	250
13.1.3	アクセス例外	250
13.1.4	浮動小数点例外	250
13.1.5	リセット	250
13.1.6	ノンマスカブル割り込み	251

13.1.7	割り込み	251
13.1.8	無条件トラップ	251
13.2	例外の処理手順	252
13.3	例外事象の受け付け	253
13.3.1	受け付けタイミングと退避される PC 値	253
13.3.2	ベクタと PC、PSW の退避場所	254
13.4	例外の受け付け／復帰時のハードウェア処理	255
13.5	ハードウェア前処理	256
13.5.1	未定義命令例外	256
13.5.2	特権命令例外	256
13.5.3	アクセス例外	256
13.5.4	浮動小数点例外	256
13.5.5	リセット	256
13.5.6	ノンマスカブル割り込み	257
13.5.7	割り込み	257
13.5.8	無条件トラップ	257
13.6	例外処理ルーチンからの復帰	258
13.7	例外事象の優先順位	258
14.	割り込みコントローラ (ICUb)	259
14.1	概要	259
14.2	レジスタの説明	261
14.2.1	割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)	261
14.2.2	割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)	262
14.2.3	割り込み要因プライオリティレジスタ n (IPRn) (n = 000 ~ 250)	263
14.2.4	高速割り込み設定レジスタ (FIR)	264
14.2.5	ソフトウェア割り込み起動レジスタ (SWINTR)	265
14.2.6	DTC 起動許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)	266
14.2.7	DMAC 起動要求選択レジスタ m (DMRSRm) (m = DMAC チャンネル番号)	267
14.2.8	IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 12)	268
14.2.9	IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)	269
14.2.10	IRQ 端子デジタルフィルタ許可レジスタ 1 (IRQFLTE1)	270
14.2.11	IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)	271
14.2.12	IRQ 端子デジタルフィルタ設定レジスタ 1 (IRQFLTC1)	272
14.2.13	ノンマスカブル割り込みステータスレジスタ (NMISR)	273
14.2.14	ノンマスカブル割り込み許可レジスタ (NMIER)	275
14.2.15	ノンマスカブル割り込みステータスクリアレジスタ (NMICLR)	277
14.2.16	NMI 端子割り込みコントロールレジスタ (NMICR)	278
14.2.17	NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)	278
14.2.18	NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)	279
14.3	ベクタテーブル	280

14.3.1	割り込みのベクタテーブル	280
14.3.2	高速割り込みのベクタテーブル	286
14.3.3	ノンマスカブル割り込みのベクタテーブル	286
14.4	割り込みの動作説明	287
14.4.1	割り込み検出	287
14.4.1.1	エッジ検出の割り込みステータスフラグ	287
14.4.1.2	レベル検出の割り込みステータスフラグ	289
14.4.2	割り込み要求の許可 / 禁止	290
14.4.3	割り込み要求先の選択	290
14.4.4	優先順位の判定	292
14.4.5	多重割り込み	292
14.4.6	高速割り込み	292
14.4.7	デジタルフィルタ	293
14.4.8	外部端子割り込み	293
14.5	ノンマスカブル割り込みの動作説明	294
14.6	低消費電力状態からの復帰	295
14.6.1	スリープモードからの復帰	295
14.6.2	全モジュールクロックストップモードからの復帰	295
14.6.3	ソフトウェアスタンバイモードからの復帰	295
14.7	使用上の注意事項	296
14.7.1	ノンマスカブル割り込み使用時の WAIT 命令の注意事項	296
15.	バス	297
15.1	概要	297
15.2	バスの説明	299
15.2.1	CPU バス	299
15.2.2	メモリバス	299
15.2.3	内部メインバス	299
15.2.4	内部周辺バス	300
15.2.5	ライトバッファ機能 (内部周辺バス)	301
15.2.6	外部バス	302
15.2.7	並列動作	304
15.2.8	バスの設定	304
15.2.9	制約事項	305
15.3	レジスタの説明	306
15.3.1	CSn 制御レジスタ (CSnCR) (n = 0 ~ 3)	306
15.3.2	CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ~ 3)	308
15.3.3	CS リカバリサイクル挿入許可レジスタ (CSRECEN)	310
15.3.4	CSn モードレジスタ (CSnMOD) (n = 0 ~ 3)	313
15.3.5	CSn ウェイト制御レジスタ 1 (CSnWCR1) (n = 0 ~ 3)	315
15.3.6	CSn ウェイト制御レジスタ 2 (CSnWCR2) (n = 0 ~ 3)	318

15.3.7	バスエラーステータスクリアレジスタ (BERCLR)	321
15.3.8	バスエラー監視許可レジスタ (BEREN)	321
15.3.9	バスエラーステータスレジスタ 1 (BERSR1)	322
15.3.10	バスエラーステータスレジスタ 2 (BERSR2)	322
15.3.11	バスプライオリティ制御レジスタ (BUSPRI)	323
15.4	エンディアンとデータアライメント	325
15.4.1	CS 領域のデータアライメント制御	325
15.5	CS 領域コントローラの動作説明	330
15.5.1	セパレートバス	330
15.5.2	アドレス / データマルチプレクスバス	340
15.5.3	外部ウェイト機能	343
15.5.4	リカバリサイクルの挿入	345
15.5.5	非アクセス時の状態	349
15.5.6	ライトバッファ機能 (外部バス)	349
15.6	制約事項	350
15.6.1	セパレートバスインタフェースの場合の制約事項	350
15.6.2	アドレス / データマルチプレクスバスの場合の制約事項	350
15.6.3	A0 端子と BC0# 端子を兼用する製品の場合の制約事項	350
15.6.4	BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の制約事項	351
15.6.5	アドレス空間の各領域をまたがるアクセスの禁止	351
15.6.6	RMPA 命令、ストリング操作命令に関する制約事項	351
15.6.7	命令コードに関する制約事項	351
15.7	バスエラー監視部	352
15.7.1	バスエラーの種類	352
15.7.1.1	不正アドレスアクセス	352
15.7.1.2	タイムアウト	352
15.7.2	バスエラー発生時の動作	352
15.7.3	バスエラーの発生条件	353
16.	メモリプロテクションユニット (MPU)	354
16.1	概要	354
16.1.1	アクセス制御の種類	356
16.1.2	アクセス制御領域	356
16.1.3	バックグラウンド領域	356
16.1.4	領域のオーバーラップ	356
16.1.5	領域をまたぐ命令とデータ	356
16.2	レジスタの説明	357
16.2.1	領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ~ 7)	357
16.2.2	領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ~ 7)	358
16.2.3	メモリプロテクション機能有効化レジスタ (MPEN)	359
16.2.4	バックグラウンドアクセス制御レジスタ (MPBAC)	359

16.2.5	メモリプロテクションエラーステータスクリアレジスタ (MPECLR)	360
16.2.6	メモリプロテクションエラーステータスレジスタ (MPESTS)	361
16.2.7	データメモリプロテクションエラーアドレスレジスタ (MPDEA)	362
16.2.8	領域サーチアドレスレジスタ (MPSA)	362
16.2.9	領域サーチオペレーションレジスタ (MPOPS)	363
16.2.10	領域インバリデートオペレーションレジスタ (MPOPI)	363
16.2.11	命令ヒット領域レジスタ (MHITI)	364
16.2.12	データヒット領域レジスタ (MHITD)	365
16.3	機能	367
16.3.1	メモリプロテクション機能	367
16.3.2	領域サーチ機能	367
16.3.3	メモリプロテクションユニット関連レジスタの保護	367
16.3.4	メモリプロテクション機能のアクセス判定フロー	368
16.4	メモリプロテクション機能使用手順	370
16.4.1	アクセス制御情報の設定	370
16.4.2	メモリプロテクション機能の有効化	370
16.4.3	ユーザモードへの移行	370
16.4.4	メモリプロテクションエラー発生時の処理	370
17.	DMA コントローラ (DMACA)	372
17.1	概要	372
17.2	レジスタの説明	374
17.2.1	DMA 転送元アドレスレジスタ (DMSAR)	374
17.2.2	DMA 転送先アドレスレジスタ (DMDAR)	374
17.2.3	DMA 転送カウンタレジスタ (DMCRA)	375
17.2.4	DMA ブロック転送カウンタレジスタ (DMCRB)	377
17.2.5	DMA 転送モードレジスタ (DMTMD)	378
17.2.6	DMA 割り込み設定レジスタ (DMINT)	379
17.2.7	DMA アドレスモードレジスタ (DMAMD)	381
17.2.8	DMA オフセットレジスタ (DMOFR)	384
17.2.9	DMA 転送許可レジスタ (DMCNT)	385
17.2.10	DMA ソフトウェア起動レジスタ (DMREQ)	386
17.2.11	DMA ステータスレジスタ (DMSTS)	387
17.2.12	DMA 起動要因フラグ制御レジスタ (DMCSL)	389
17.2.13	DMA モジュール起動レジスタ (DMAST)	390
17.3	動作説明	391
17.3.1	転送モード	391
17.3.2	拡張リピートエリア機能	395
17.3.3	オフセットを使ったアドレス更新機能	397
17.3.4	起動要因	401
17.3.5	動作タイミング	402

17.3.6	DMAC の実行サイクル	403
17.3.7	DMAC の起動	404
17.3.8	DMA 転送の開始	405
17.3.9	DMA 転送中のレジスタ	405
17.3.10	チャンネルの優先順位	406
17.4	DMA 転送終了	407
17.4.1	設定した総データ転送による転送終了	407
17.4.2	リピートサイズ終了割り込みによる転送終了	407
17.4.3	拡張リピートエリアオーバーフロー割り込みによる転送終了	408
17.5	割り込み	409
17.6	イベントリンク機能	410
17.7	消費電力低減機能	411
17.8	使用上の注意事項	412
17.8.1	外部デバイスを使用する場合	412
17.8.2	周辺モジュールへ DMA 転送する場合	412
17.8.3	DMA 動作中のレジスタアクセスについて	412
17.8.4	予約領域への DMA 転送について	412
17.8.5	DMA 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの 割り込み要求について	412
17.8.6	割り込みコントローラの DMAC 起動要求レジスタ (ICU.DMRSRm) の設定	412
17.8.7	DMA 起動の保留 / 再開方法	412
18.	データトランスファコントローラ (DTCa)	413
18.1	概要	413
18.2	レジスタの説明	415
18.2.1	DTC モードレジスタ A (MRA)	415
18.2.2	DTC モードレジスタ B (MRB)	416
18.2.3	DTC 転送元レジスタ (SAR)	417
18.2.4	DTC 転送先レジスタ (DAR)	417
18.2.5	DTC 転送カウントレジスタ A (CRA)	418
18.2.6	DTC 転送カウントレジスタ B (CRB)	419
18.2.7	DTC コントロールレジスタ (DTCCR)	419
18.2.8	DTC ベクタベースレジスタ (DTCVBR)	420
18.2.9	DTC アドレスモードレジスタ (DTCADMOD)	420
18.2.10	DTC モジュール起動レジスタ (DTCST)	421
18.2.11	DTC ステータスレジスタ (DTCSTS)	422
18.3	起動要因	423
18.3.1	転送情報の配置と DTC ベクタテーブル	423
18.4	動作説明	425
18.4.1	転送情報リードスキップ機能	427
18.4.2	転送情報ライトバックスキップ機能	428

18.4.3	ノーマル転送モード	429
18.4.4	リピート転送モード	430
18.4.5	ブロック転送モード	431
18.4.6	チェーン転送	432
18.4.7	動作タイミング	433
18.4.8	DTC の実行サイクル	436
18.4.9	DTC のバス権解放タイミング	436
18.5	DTC の設定手順	437
18.6	DTC 使用例	438
18.6.1	ノーマル転送	438
18.6.2	チェーン転送	438
18.6.3	カウンタ = 0 のときのチェーン転送	440
18.7	割り込み要因	441
18.8	イベントリンク	441
18.9	消費電力低減機能	442
18.10	使用上の注意事項	443
18.10.1	転送情報先頭アドレス	443
18.10.2	転送情報の配置	443
18.10.3	割り込みコントローラの DTC 起動許可レジスタ (ICU.DTCERn) の設定	444
19.	イベントリンクコントローラ (ELC)	445
19.1	概要	445
19.2	レジスタの説明	446
19.2.1	イベントリンクコントロールレジスタ (ELCR)	446
19.2.2	イベントリンク設定レジスタ n (ELSRn) (n = 1 ~ 4, 7, 10, 12, 15, 16, 18 ~ 29)	447
19.2.3	イベントリンクオプション設定レジスタ A (ELOPA)	450
19.2.4	イベントリンクオプション設定レジスタ B (ELOPB)	451
19.2.5	イベントリンクオプション設定レジスタ C (ELOPC)	451
19.2.6	イベントリンクオプション設定レジスタ D (ELOPD)	452
19.2.7	ポートグループ指定レジスタ n (PGRn) (n = 1, 2)	453
19.2.8	ポートグループコントロールレジスタ n (PGCn) (n = 1, 2)	454
19.2.9	ポートバッファレジスタ n (PDBFn) (n = 1, 2)	455
19.2.10	イベント接続ポート指定レジスタ n (PELn) (n = 0 ~ 3)	456
19.2.11	イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)	457
19.3	動作説明	458
19.3.1	割り込み処理とイベントリンクの関係	458
19.3.2	イベントのリンク	459
19.3.3	タイマ系周辺機能のイベント入力時の動作	460
19.3.4	A/D コンバータ、D/A コンバータのイベント入力時の動作	460
19.3.5	I/O ポートのイベント入力動作とイベント発生動作	460

19.3.6	イベントリンクの動作設定手順例	465
19.4	使用上の注意事項	466
19.4.1	ELSRn レジスタの設定について	466
19.4.2	出力ポートグループのビットローテート動作の設定について	466
19.4.3	DMAC/DTC 転送終了のイベントリンク使用時の注意事項	466
19.4.4	クロック設定について	466
19.4.5	モジュールストップ機能の設定	466
20.	I/O ポート	467
20.1	概要	467
20.2	入出力ポートの構成	469
20.3	レジスタの説明	474
20.3.1	ポート方向レジスタ (PDR)	474
20.3.2	ポート出力データレジスタ (PODR)	475
20.3.3	ポート入力データレジスタ (PIDR)	476
20.3.4	ポートモードレジスタ (PMR)	477
20.3.5	オープンドレイン制御レジスタ 0 (ODR0)	478
20.3.6	オープンドレイン制御レジスタ 1 (ODR1)	479
20.3.7	プルアップ制御レジスタ (PCR)	480
20.3.8	駆動能力制御レジスタ (DSCR)	481
20.4	未使用端子の処理	482
20.5	使用上の注意事項	483
21.	マルチファンクションピンコントローラ (MPC)	484
21.1	概要	484
21.2	レジスタの説明	495
21.2.1	書き込みプロテクトレジスタ (PWPR)	495
21.2.2	P0n 端子機能制御レジスタ (P0nPFS) (n = 0 ~ 3、5、7)	496
21.2.3	P1n 端子機能制御レジスタ (P1nPFS) (n = 2 ~ 7)	497
21.2.4	P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ~ 7)	498
21.2.5	P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ~ 4)	499
21.2.6	P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 7)	500
21.2.7	P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 2、4 ~ 6)	501
21.2.8	P6n 端子機能制御レジスタ (P6nPFS) (n = 0、1)	502
21.2.9	P7n 端子機能制御レジスタ (P7nPFS) (n = 0、3 ~ 7)	503
21.2.10	P8n 端子機能制御レジスタ (P8nPFS) (n = 0 ~ 3、6、7)	504
21.2.11	P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 3)	505
21.2.12	PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ~ 7)	506
21.2.13	PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7)	507
21.2.14	PCn 端子機能制御レジスタ (PCnPFS) (n = 0 ~ 7)	508
21.2.15	PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ~ 7)	509
21.2.16	PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7)	510

21.2.17	PF5 端子機能制御レジスタ (PF5PFS)	511
21.2.18	PHn 端子機能制御レジスタ (PHnPFS) (n = 0 ~ 3)	511
21.2.19	PJn 端子機能制御レジスタ (PJnPFS) (n = 1, 3)	512
21.2.20	PKn 端子機能制御レジスタ (PKnPFS) (n = 2 ~ 5)	513
21.2.21	PLn 端子機能制御レジスタ (PLnPFS) (n = 5)	514
21.2.22	CS 出力許可レジスタ (PFCSE)	515
21.2.23	アドレス出力許可レジスタ 0 (PFAOE0)	516
21.2.24	アドレス出力許可レジスタ 1 (PFAOE1)	517
21.2.25	外部バス制御レジスタ 0 (PFBCR0)	518
21.2.26	外部バス制御レジスタ 1 (PFBCR1)	519
21.3	外部バスインタフェース設定方法	520
21.4	使用上の注意事項	522
21.4.1	端子入出力機能設定手順	522
21.4.2	MPC レジスタ設定する場合の注意事項	522
21.4.3	アナログ機能を使う場合の注意事項	523
22.	マルチファンクションタイマパルスユニット 2 (MTU2a)	524
22.1	概要	524
22.2	レジスタの説明	529
22.2.1	タイマコントロールレジスタ (TCR)	529
22.2.2	タイマモードレジスタ (TMDR)	532
22.2.3	タイマ I/O コントロールレジスタ (TIOR)	534
22.2.4	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	545
22.2.5	タイマ割り込み許可レジスタ (TIER)	546
22.2.6	タイマステータスレジスタ (TSR)	549
22.2.7	タイマバッファ動作転送モードレジスタ (TBTM)	550
22.2.8	タイマインプットキャプチャコントロールレジスタ (TICCR)	551
22.2.9	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	552
22.2.10	タイマ A/D 変換開始要求周期設定レジスタ A、B (TADCORA/B)	553
22.2.11	タイマ A/D 変換開始要求周期設定バッファレジスタ A、B (TADCOBRA/B)	554
22.2.12	タイマカウンタ (TCNT)	554
22.2.13	タイマジェネラルレジスタ (TGR)	554
22.2.14	タイマスタートレジスタ (TSTR)	556
22.2.15	タイマシンクロレジスタ (TSYR)	558
22.2.16	タイマリードライト許可レジスタ (TRWER)	559
22.2.17	タイマアウトプットマスタ許可レジスタ (TOER)	560
22.2.18	タイマアウトプットコントロールレジスタ 1 (TOCR1)	561
22.2.19	タイマアウトプットコントロールレジスタ 2 (TOCR2)	563
22.2.20	タイマアウトプットレベルバッファレジスタ (TOLBR)	566
22.2.21	タイマゲートコントロールレジスタ (TGCR)	567
22.2.22	タイマサブカウンタ (TCNTS)	568

22.2.23	タイマデッドタイムデータレジスタ (TDDR)	568
22.2.24	タイマ周期データレジスタ (TCDR)	569
22.2.25	タイマ周期バッファレジスタ (TCBR)	569
22.2.26	タイマ割り込み間引き設定レジスタ (TITCR)	570
22.2.27	タイマ割り込み間引き回数カウンタ (TITCNT)	572
22.2.28	タイマバッファ転送設定レジスタ (TBTER)	573
22.2.29	タイマデッドタイム許可レジスタ (TDER)	574
22.2.30	タイマ波形コントロールレジスタ (TWCR)	575
22.2.31	ノイズフィルタコントロールレジスタ (NFCR)	576
22.2.32	バスマスタとのインタフェース	579
22.3	動作説明	580
22.3.1	基本動作	580
22.3.2	同期動作	586
22.3.3	バッファ動作	588
22.3.4	カスケード接続動作	593
22.3.5	PWM モード	598
22.3.6	位相計数モード	602
22.3.7	リセット同期 PWM モード	608
22.3.8	相補 PWM モード	611
22.3.9	A/D 変換開始要求ディレイド機能	642
22.3.10	外部パルス幅測定機能	646
22.3.11	デッドタイム補償用機能	647
22.3.12	ノイズフィルタ機能	649
22.4	割り込み要因	650
22.4.1	割り込み要因と優先順位	650
22.4.2	DTC/DMAC の起動	652
22.4.3	A/D コンバータの起動	652
22.5	動作タイミング	654
22.5.1	入出力タイミング	654
22.5.2	割り込み信号タイミング	660
22.6	使用上の注意事項	663
22.6.1	モジュールストップ機能の設定	663
22.6.2	入力クロックの制限事項	663
22.6.3	周期設定上の注意事項	664
22.6.4	TCNT カウンタの書き込みとクリアの競合	664
22.6.5	TCNT カウンタの書き込みとカウントアップの競合	665
22.6.6	TGR レジスタの書き込みとコンペアマッチの競合	665
22.6.7	バッファレジスタの書き込みとコンペアマッチの競合	666
22.6.8	バッファレジスタの書き込みと TCNT カウンタクリアの競合	666
22.6.9	TGR レジスタの読み出しとインプットキャプチャの競合	667

22.6.10	TGR レジスタの書き込みとインプットキャプチャの競合	668
22.6.11	バッファレジスタの書き込みとインプットキャプチャの競合	669
22.6.12	カスケード接続における MTU2.TCNT カウンタの書き込みとオーバフロー/ アンダフローの競合	670
22.6.13	相補 PWM モードでのカウント動作停止時のカウンタ値	671
22.6.14	相補 PWM モードでのバッファ動作の設定	671
22.6.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ	672
22.6.16	リセット同期 PWM モードのオーバフローフラグ	673
22.6.17	オーバフロー/アンダフローとカウンタクリアの競合	674
22.6.18	TCNT カウンタの書き込みとオーバフロー/アンダフローの競合	675
22.6.19	ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する 場合の注意事項	675
22.6.20	相補 PWM モード、リセット同期 PWM モードの出力レベル	675
22.6.21	モジュールストップ状態時の割り込み	675
22.6.22	カスケード接続における MTU1.TCNT、MTU2.TCNT カウンタ同時インプット キャプチャ	676
22.6.23	相補 PWM モードの出力保護機能未使用時の注意事項	676
22.6.24	MTU5.TCNT カウンタと MTU5.TGR レジスタの注意事項	676
22.6.25	相補 PWM モード同期クリアするときの異常動作防止について	677
22.6.26	コンペアマッチによる割り込み信号の連続出力	679
22.6.27	相補 PWM モードにおける A/D 変換ディレイド機能の注意事項	679
22.7	MTU 出力端子の初期化方法	681
22.7.1	動作モード	681
22.7.2	動作中の異常などによる再設定時の動作	681
22.7.3	動作中の異常などによる端子の初期化手順、モード遷移の概要	682
22.8	ELC によるリンク動作	707
22.8.1	ELC へのイベント信号出力	707
22.8.2	ELC からのイベント信号受信による MTU の動作	707
22.8.3	ELC からのイベント信号受信による MTU の注意事項	708
23.	ポートアウトプットイネーブル 2 (POE2a)	709
23.1	概要	709
23.2	レジスタの説明	712
23.2.1	入力レベルコントロール/ステータスレジスタ 1 (ICSR1)	712
23.2.2	出力レベルコントロール/ステータスレジスタ 1 (OCSR1)	714
23.2.3	入力レベルコントロール/ステータスレジスタ 2 (ICSR2)	715
23.2.4	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	716
23.2.5	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)	717
23.2.6	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)	718
23.2.7	入力レベルコントロール/ステータスレジスタ 3 (ICSR3)	719
23.3	動作説明	720
23.3.1	入力レベル検出動作	722

23.3.2	出力レベル比較動作	723
23.3.3	レジスタによるハイインピーダンス制御	724
23.3.4	発振停止検出によるハイインピーダンス制御	724
23.3.5	ELC からのイベント信号受信によるハイインピーダンス制御	724
23.3.6	ハイインピーダンスからの解除	724
23.4	割り込み	725
23.5	使用上の注意事項	725
23.5.1	ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード への移行について	725
23.5.2	POE を使用しない場合について	725
23.5.3	端子の MTU 機能設定について	725
23.5.4	ELC からのイベント信号受信によるハイインピーダンス制御の注意事項	725
24.	16 ビットタイマパルスユニット (TPUa)	726
24.1	概要	726
24.2	レジスタの説明	730
24.2.1	タイマコントロールレジスタ (TCR)	730
24.2.2	タイマモードレジスタ (TMDR)	734
24.2.3	タイマ I/O コントロールレジスタ (TIORH, TIORL, TIOR)	735
24.2.4	タイマ割り込み許可レジスタ (TIER)	745
24.2.5	タイマステータスレジスタ (TSR)	746
24.2.6	タイマカウンタ (TCNT)	749
24.2.7	タイマジェネラルレジスタ A (TGRA) タイマジェネラルレジスタ B (TGRB) タイマジェネラルレジスタ C (TGRC) タイマジェネラルレジスタ D (TGRD)	749
24.2.8	タイマスタートレジスタ (TSTR)	750
24.2.9	タイマシンクロレジスタ (TSYR)	751
24.2.10	ノイズフィルタコントロールレジスタ (NFCR)	752
24.3	動作説明	754
24.3.1	概要	754
24.3.2	同期動作	760
24.3.3	バッファ動作	762
24.3.4	カスケード接続動作	765
24.3.5	PWM モード	767
24.3.6	位相計数モード	772
24.3.6.1	位相計数モード応用例	777
24.3.7	ノイズフィルタ機能	778
24.4	割り込み要因	779
24.5	DTC の起動	780
24.6	DMAC の起動	780
24.7	A/D コンバータの起動	780

24.8	動作タイミング	781
24.8.1	入出力タイミング	781
24.8.2	割り込み信号タイミング	785
24.9	使用上の注意事項	787
24.9.1	モジュールストップ機能の設定	787
24.9.2	入力クロックの制限事項	787
24.9.3	周期設定上の注意事項	787
24.9.4	TPUm.TCNT への書き込みとクリアの競合	788
24.9.5	TPUm.TCNT への書き込みとカウントアップの競合	788
24.9.6	TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合	789
24.9.7	バッファレジスタへの書き込みとコンペアマッチの競合	789
24.9.8	TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合	790
24.9.9	TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合	790
24.9.10	バッファレジスタへの書き込みとインプットキャプチャの競合	791
24.9.11	オーバフロー/アンダフローとカウンタクリアの競合	791
24.9.12	TPUm.TCNT への書き込みとオーバフロー/アンダフローの競合	792
24.9.13	入出力端子の兼用	792
24.9.14	コンペアマッチパルス割り込みの連続出力	793
24.9.15	インプットキャプチャパルス割り込みの連続出力	794
24.9.16	アンダフローパルス割り込みの連続出力	795
25.	プログラマブルパルスジェネレータ (PPG)	796
25.1	概要	796
25.2	レジスタの説明	798
25.2.1	ネクストデータイネーブルレジスタ H (NDERH)、 ネクストデータイネーブルレジスタ L (NDERL)	798
25.2.2	アウトプットデータレジスタ H (PODRH)、 アウトプットデータレジスタ L (PODRL)	800
25.2.3	ネクストデータレジスタ H (NDRH)、ネクストデータレジスタ L (NDRL)	802
25.2.4	PPG 出力コントロールレジスタ (PCR)	804
25.2.5	PPG 出力モードレジスタ (PMR)	805
25.3	動作説明	806
25.3.1	出力タイミング	807
25.3.2	通常動作のパルス出力設定手順例	808
25.3.3	パルス出力通常動作例 (5 相パルス出力例)	809
25.3.4	パルス出力ノンオーバーラップ動作	810
25.3.5	ノンオーバーラップ動作のパルス出力設定手順例	811
25.3.6	パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)	812
25.3.7	パルス反転出力	814
25.3.8	インプットキャプチャによるパルス出力	815
25.4	使用上の注意事項	815
25.4.1	モジュールストップ機能の設定	815

26.	8 ビットタイマ (TMR)	816
26.1	概要	816
26.2	レジスタの説明	821
26.2.1	タイマカウンタ (TCNT)	821
26.2.2	タイムコンスタントレジスタ A (TCORA)	822
26.2.3	タイムコンスタントレジスタ B (TCORB)	822
26.2.4	タイマコントロールレジスタ (TCR)	823
26.2.5	タイマカウンタコントロールレジスタ (TCCR)	824
26.2.6	タイマコントロール/ステータスレジスタ (TCSR)	826
26.2.7	タイムカウンタスタートレジスタ (TCSTR)	828
26.3	動作説明	829
26.3.1	パルス出力	829
26.3.2	リセット入力	830
26.4	動作タイミング	831
26.4.1	TCNT カウンタのカウントタイミング	831
26.4.2	コンペアマッチ時の割り込みタイミング	832
26.4.3	コンペアマッチ時のタイマ出力タイミング	832
26.4.4	コンペアマッチによるカウンタクリアタイミング	833
26.4.5	TCNT カウンタの外部リセットタイミング	833
26.4.6	オーバフローによる割り込みタイミング	834
26.5	カスケード接続時の動作	835
26.5.1	16 ビットカウントモード	835
26.5.2	コンペアマッチカウントモード	835
26.6	割り込み要因	836
26.6.1	割り込み要因と DTC 起動	836
26.7	ELC によるリンク動作	837
26.7.1	ELC へのイベント信号出力	837
26.7.2	ELC からのイベント信号受信による TMR 動作	837
26.7.3	ELC からのイベント信号受信による TMR の注意事項	838
26.8	使用上の注意事項	839
26.8.1	モジュールストップ機能の設定	839
26.8.2	周期設定上の注意	839
26.8.3	TCNT カウンタへの書き込みとカウンタクリアの競合	839
26.8.4	TCNT カウンタへの書き込みとカウントアップの競合	840
26.8.5	TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合	840
26.8.6	コンペアマッチ A、B の競合	841
26.8.7	分周クロックの切り替えと TCNT カウンタの動作	841
26.8.8	カスケード接続時のクロックソース設定	843
26.8.9	コンペアマッチ割り込みの連続出力	843

27.	コンペアマッチタイマ (CMT)	844
27.1	概要	844
27.2	レジスタの説明	845
27.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0)	845
27.2.2	コンペアマッチタイマスタートレジスタ 1 (CMSTR1)	845
27.2.3	コンペアマッチタイマコントロールレジスタ (CMCR)	846
27.2.4	コンペアマッチタイマカウンタ (CMCNT)	847
27.2.5	コンペアマッチタイマコンスタントレジスタ (CMCOR)	847
27.3	動作説明	848
27.3.1	周期カウント動作	848
27.3.2	CMCNT カウンタのカウントタイミング	848
27.4	割り込み	849
27.4.1	割り込み要因	849
27.4.2	コンペアマッチ割り込みの発生タイミング	849
27.5	ELC によるリンク動作	850
27.5.1	ELC へのイベント信号出力	850
27.5.2	ELC からのイベント信号受信による CMT の動作	850
27.5.3	ELC からのイベント信号受信による CMT の注意事項	850
27.6	使用上の注意事項	851
27.6.1	モジュールストップ機能の設定	851
27.6.2	CMCNT カウンタへの書き込みとコンペアマッチの競合	851
27.6.3	CMCNT カウンタへの書き込みとカウントアップの競合	851
28.	ウォッチドッグタイマ (WDTA)	852
28.1	概要	852
28.2	レジスタの説明	853
28.2.1	WDT リフレッシュレジスタ (WDTRR)	853
28.2.2	WDT コントロールレジスタ (WDTCR)	854
28.2.3	WDT ステータスレジスタ (WDTSR)	857
28.2.4	WDT リセットコントロールレジスタ (WDTRCR)	858
28.2.5	オプション機能選択レジスタ 0 (OFS0)	858
28.3	動作説明	859
28.3.1	カウント開始条件別の各動作	859
28.3.1.1	レジスタスタートモード	859
28.3.1.2	オートスタートモード	861
28.3.2	WDTCR レジスタ、WDTRCR レジスタ書き込み制御	863
28.3.3	リフレッシュ動作	863
28.3.4	リセット出力	864
28.3.5	割り込み要因	865
28.3.6	ダウンカウンタ値の読み出し	865
28.3.7	オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応	866

29.	独立ウォッチドッグタイマ (IWDTa).....	867
29.1	概要	867
29.2	レジスタの説明	869
29.2.1	IWDT リフレッシュレジスタ (IWDTRR)	869
29.2.2	IWDT コントロールレジスタ (IWDTCR)	870
29.2.3	IWDT ステータスレジスタ (IWDTSR)	873
29.2.4	IWDT リセットコントロールレジスタ (IWDTRCR)	874
29.2.5	IWDT カウント停止コントロールレジスタ (IWDTCSTPR)	875
29.2.6	オプション機能選択レジスタ 0 (OFS0)	875
29.3	動作説明	876
29.3.1	カウント開始条件別の各動作	876
29.3.1.1	レジスタスタートモード	876
29.3.1.2	オートスタートモード	878
29.3.2	IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御	880
29.3.3	リフレッシュ動作	881
29.3.4	ステータスフラグ	883
29.3.5	リセット出力	883
29.3.6	割り込み要因	883
29.3.7	カウンタ値の読み出し	884
29.3.8	オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応	885
29.4	ELC によるリンク動作.....	885
29.5	使用上の注意事項	885
29.5.1	リフレッシュ動作について	885
29.5.2	クロック分周比の設定	885
30.	シリアルコミュニケーションインタフェース (SC1e、SC1f)	886
30.1	概要	886
30.2	レジスタの説明	896
30.2.1	レシーブシフトレジスタ (RSR)	896
30.2.2	レシーブデータレジスタ (RDR)	896
30.2.3	トランスミットデータレジスタ (TDR)	897
30.2.4	トランスミットシフトレジスタ (TSR)	897
30.2.5	シリアルモードレジスタ (SMR)	898
30.2.6	シリアルコントロールレジスタ (SCR)	902
30.2.7	シリアルステータスレジスタ (SSR)	907
30.2.8	スマートカードモードレジスタ (SCMR)	911
30.2.9	ビットレートレジスタ (BRR)	913
30.2.10	シリアル拡張モードレジスタ (SEMR)	920
30.2.11	ノイズフィルタ設定レジスタ (SNFR)	922
30.2.12	I ² C モードレジスタ 1 (SIMR1)	923
30.2.13	I ² C モードレジスタ 2 (SIMR2)	924

30.2.14	I ² C モードレジスタ 3 (SIMR3)	925
30.2.15	I ² C ステータスレジスタ (SISR)	927
30.2.16	SPI モードレジスタ (SPMR)	928
30.2.17	拡張シリアルモード有効レジスタ (ESMER)	929
30.2.18	コントロールレジスタ 0 (CR0)	930
30.2.19	コントロールレジスタ 1 (CR1)	930
30.2.20	コントロールレジスタ 2 (CR2)	931
30.2.21	コントロールレジスタ 3 (CR3)	932
30.2.22	ポートコントロールレジスタ (PCR)	932
30.2.23	割り込みコントロールレジスタ (ICR)	933
30.2.24	ステータスレジスタ (STR)	934
30.2.25	ステータスクリアレジスタ (STCR)	935
30.2.26	Control Field 0 データレジスタ (CF0DR)	935
30.2.27	Control Field 0 コンペアイネーブルレジスタ (CF0CR)	936
30.2.28	Control Field 0 受信データレジスタ (CF0RR)	936
30.2.29	プライマリ Control Field 1 データレジスタ (PCF1DR)	936
30.2.30	セカンダリ Control Field 1 データレジスタ (SCF1DR)	937
30.2.31	Control Field 1 コンペアイネーブルレジスタ (CF1CR)	937
30.2.32	Control Field 1 受信データレジスタ (CF1RR)	937
30.2.33	タイマコントロールレジスタ (TCR)	938
30.2.34	タイマモードレジスタ (TMR)	938
30.2.35	タイマプリスケアラレジスタ (TPRE)	939
30.2.36	タイマカウントレジスタ (TCNT)	939
30.3	調歩同期式モードの動作	940
30.3.1	シリアル送信 / 受信フォーマット	940
30.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	942
30.3.3	クロック	943
30.3.4	CTS、RTS 機能.....	943
30.3.5	SCI の初期化 (調歩同期式モード)	944
30.3.6	シリアルデータの送信 (調歩同期式モード)	945
30.3.7	シリアルデータの受信 (調歩同期式モード)	948
30.4	マルチプロセッサ通信機能	952
30.4.1	マルチプロセッサシリアルデータ送信	953
30.4.2	マルチプロセッサシリアルデータ受信	954
30.5	クロック同期式モードの動作	957
30.5.1	クロック	957
30.5.2	CTS、RTS 機能.....	958
30.5.3	SCI の初期化 (クロック同期式モード)	959
30.5.4	シリアルデータの送信 (クロック同期式モード)	960
30.5.5	シリアルデータの受信 (クロック同期式モード)	964

30.5.6	シリアルデータの送受信同時動作（クロック同期式モード）	967
30.6	スマートカードインタフェースモードの動作	968
30.6.1	接続例	968
30.6.2	データフォーマット（ブロック転送モード時を除く）	969
30.6.3	ブロック転送モード	970
30.6.4	受信データサンプリングタイミングと受信マージン	971
30.6.5	SCIの初期化（スマートカードインタフェースモード）	972
30.6.6	シリアルデータの送信（ブロック転送モードを除く）	974
30.6.7	シリアルデータの受信（ブロック転送モードを除く）	977
30.6.8	クロック出力制御	979
30.7	簡易 I ² C モードの動作	980
30.7.1	開始条件、再開条件、停止条件の生成	981
30.7.2	クロック同期化	983
30.7.3	SSDA 出力遅延	984
30.7.4	SCIの初期化（簡易 I ² C モード）	985
30.7.5	マスタ送信動作（簡易 I ² C モード）	986
30.7.6	マスタ受信動作（簡易 I ² C モード）	988
30.8	簡易 SPI モードの動作	990
30.8.1	マスタモード、スレーブモードと各端子の状態	991
30.8.2	マスタモード時の SS 機能	991
30.8.3	スレーブモード時の SS 機能	991
30.8.4	クロックと送受信データの関係	992
30.8.5	SCIの初期化（簡易 SPI モード）	992
30.8.6	シリアルデータの送受信（簡易 SPI モード）	993
30.9	拡張シリアルモード制御部の動作説明	994
30.9.1	シリアル通信プロトコル	994
30.9.2	Start Frame 送信	994
30.9.3	Start Frame 受信	998
30.9.3.1	プライオリティインタラプトビット	1003
30.9.4	バス衝突検出機能	1004
30.9.5	RXDX12 端子入力デジタルフィルタ機能	1005
30.9.6	ビットレート測定機能	1006
30.9.7	RXDX12 受信データサンプリングタイミング選択機能	1007
30.9.8	タイマ	1008
30.10	ノイズ除去機能	1010
30.11	割り込み要因	1011
30.11.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1011
30.11.2	調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける 割り込み	1011
30.11.3	スマートカードインタフェースモードにおける割り込み	1012
30.11.4	簡易 I ² C モードにおける割り込み	1013

30.11.5	拡張シリアルモード制御部の割り込み要求	1014
30.12	イベントリンク機能	1015
30.13	使用上の注意事項	1016
30.13.1	モジュールストップ機能の設定	1016
30.13.2	ブレークの検出と処理について	1016
30.13.3	マーク状態とブレークの送出	1016
30.13.4	受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)	1016
30.13.5	TDR レジスタへのライトについて	1016
30.13.6	クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)	1017
30.13.7	DMAC または DTC 使用上の制約事項	1018
30.13.8	通信の開始に関する注意事項	1018
30.13.9	低消費電力状態時の動作について	1018
30.13.10	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	1020
30.13.11	簡易 SPI モードの制約事項	1021
30.13.12	拡張シリアルモード制御部の使用上の制約事項 1	1021
30.13.13	拡張シリアルモード制御部の使用上の制約事項 2	1022
30.13.14	トランスミットイネーブルビット (TE ビット) に関する注意事項	1022
31.	リモコン信号受信機能 (RCR)	1023
31.1	概要	1023
31.2	レジスタの説明	1025
31.2.1	機能選択レジスタ 0 (CON0)	1025
31.2.2	機能選択レジスタ 1 (CON1)	1026
31.2.3	ステータスレジスタ (STS)	1027
31.2.4	割り込み制御レジスタ (INT)	1030
31.2.5	コンペア制御レジスタ (CPC)	1030
31.2.6	コンペア値設定レジスタ (CPD)	1031
31.2.7	ヘッダパターン設定レジスタ (MIN) (HDPMIN)	1031
31.2.8	ヘッダパターン設定レジスタ (MAX) (HDPMAX)	1031
31.2.9	データ 0 パターン設定レジスタ (MIN) (D0PMIN)	1032
31.2.10	データ 0 パターン設定レジスタ (MAX) (D0PMAX)	1032
31.2.11	データ 1 パターン設定レジスタ (MIN) (D1PMIN)	1032
31.2.12	データ 1 パターン設定レジスタ (MAX) (D1PMAX)	1033
31.2.13	特殊データパターン設定レジスタ (MIN) (SDPMIN)	1033
31.2.14	特殊データパターン設定レジスタ (MAX) (SDPMAX)	1033
31.2.15	パターンエンド設定レジスタ (PE)	1034
31.2.16	受信ビット数レジスタ (RBIT)	1034
31.2.17	受信データ 0 レジスタ (DAT0)	1035
31.2.18	受信データ j レジスタ (DATj) j = 1 ~ 7	1035
31.2.19	測定結果レジスタ (TIM)	1036

31.3	動作説明	1037
31.3.1	RCR 動作の概要	1037
31.3.2	パターン設定	1037
31.3.3	動作クロック	1040
31.3.3.1	RCR 動作クロックとして RCRILCLK を使用する場合	1040
31.3.3.2	RCR 動作クロックとして RCRMCLK を使用する場合	1041
31.3.3.3	RCR 動作クロックとして TMR コンペアマッチ出力を使用する場合	1042
31.3.4	PMCn 入力.....	1043
31.3.5	パターン検出	1044
31.3.5.1	ヘッダパターン検出	1045
31.3.5.2	データ 0 パターン検出	1045
31.3.5.3	データ 1 パターン検出	1046
31.3.5.4	特殊データパターン検出	1046
31.3.5.5	パターン設定レジスタの設定例	1047
31.3.5.6	パターン検出によるステータスフラグ更新動作	1047
31.3.6	パターンエンド	1049
31.3.7	受信データバッファ	1050
31.3.8	コンペア機能	1054
31.3.9	エラーパターン受信	1055
31.3.10	イベント発生時のベースタイム値格納	1057
31.3.11	割り込み	1058
31.3.12	低消費電力状態でのデータ受信動作	1059
31.3.12.1	RCR 割り込み要求による低消費電力状態からの復帰	1059
31.4	使用上の注意事項	1060
31.4.1	モジュールストップ機能の設定	1060
31.4.2	クロック分周比の設定	1060
31.4.3	IWDT 機能の使用制限	1060
31.4.4	リモコン信号受信機能の動作開始、停止	1060
31.4.5	レジスタアクセス	1060
31.4.6	PMCn 入力制御	1061
31.4.7	動作クロック	1061
31.4.8	レジスタ読み出し手順	1061
31.4.9	動作クロックとして RCRMCLK を使用する場合の注意事項	1061
32.	CEC 送受信回路 (CEC)	1062
32.1	概要	1062
32.1.1	用語説明	1065
32.2	レジスタの説明	1066
32.2.1	CEC 自局アドレス設定レジスタ (CADR)	1066
32.2.2	CEC 送信バッファレジスタ (CTXD)	1067
32.2.3	CEC 受信バッファレジスタ (CRXD)	1067

32.2.4	CEC 制御レジスタ 0 (CECCTL0)	1068
32.2.5	CEC 制御レジスタ 1 (CECCTL1)	1071
32.2.6	CEC 通信ステータスレジスタ (CECS)	1072
32.2.7	CEC 通信エラーステータスレジスタ (CECES)	1074
32.2.8	CEC 通信エラーフラグクリアトリガレジスタ (CECFC)	1076
32.2.9	CEC 送信スタートビットの Low 幅設定レジスタ (STATL)	1076
32.2.10	CEC 送信スタートビットのビット幅設定レジスタ (STATB)	1077
32.2.11	CEC 送信ロジカル 0 の Low 幅設定レジスタ (LGC0L)	1077
32.2.12	CEC 送信ロジカル 1 の Low 幅設定レジスタ (LGC1L)	1077
32.2.13	CEC 送信データビットのビット幅設定レジスタ (DATB)	1078
32.2.14	CEC 受信スタートビットの Low 幅の MIN 値設定レジスタ (STATLL)	1078
32.2.15	CEC 受信スタートビットの Low 幅の MAX 値設定レジスタ (STATLH)	1079
32.2.16	CEC 受信スタートビットのビット幅の MIN 値設定レジスタ (STATBL)	1079
32.2.17	CEC 受信スタートビットのビット幅の MAX 値設定レジスタ (STATBH)	1080
32.2.18	CEC 受信ロジカル 0 の Low 幅の MIN 値設定レジスタ (LGC0LL)	1080
32.2.19	CEC 受信ロジカル 0 の Low 幅の MAX 値設定レジスタ (LGC0LH)	1080
32.2.20	CEC 受信ロジカル 1 の Low 幅の MIN 値設定レジスタ (LGC1LL)	1081
32.2.21	CEC 受信ロジカル 1 の Low 幅の MAX 値設定レジスタ (LGC1LH)	1081
32.2.22	CEC 受信データビットのビット幅の MIN 値設定レジスタ (DATBL)	1081
32.2.23	CEC 受信データビットのビット幅の MAX 値設定レジスタ (DATBH)	1082
32.2.24	CEC 受信データサンプリング時間設定レジスタ (NOMT)	1082
32.2.25	CEC データビット基準幅設定レジスタ (NOMP)	1083
32.2.26	CEC 拡張モードレジスタ (CECEXMD)	1084
32.2.27	CEC 拡張モニタレジスタ (CECEXMON)	1085
32.2.28	CEC 割り込み制御レジスタ i (CECINTCRi) (i = 1 ~ 3)	1086
32.3	動作説明	1087
32.3.1	CEC 送受信回路の動作	1087
32.3.1.1	CEC 送受信データフォーマット	1087
32.3.1.2	通信種別	1087
32.3.1.3	ビットタイミング	1087
32.3.1.4	ヘッダブロック / データブロック	1089
32.3.1.5	EOM (End of Message)	1089
32.3.1.6	ACK (Acknowledge)	1089
32.3.2	動作クロック	1090
32.3.2.1	CEC 動作クロックとして CECILCLK を使用する場合	1090
32.3.2.2	CEC 動作クロックとして CECMCLK を使用する場合	1091
32.3.3	CEC 通信機能	1093
32.3.3.1	通信ビット幅調整機能	1093
32.3.3.2	受信ビットタイミングチェック機能	1094
32.3.3.3	CEC 通信初期設定	1095

32.3.3.4	CEC 送信	1099
32.3.3.5	CEC 受信	1103
32.3.3.6	ステータスフラグ機能	1107
32.3.3.7	CEC 割り込み	1113
32.3.3.8	シグナルフリータイム	1123
32.3.3.9	受信中のスタートビット検知による再受信機能	1125
32.3.4	低消費電力状態でのデータ受信動作	1126
32.4	使用上の注意事項	1127
32.4.1	モジュールストップ機能の設定	1127
32.4.2	クロック分周比の設定	1127
32.4.3	IWDT 機能の使用制限	1127
32.4.4	動作クロックとして CECMCLK を使用する際の注意事項	1127
33.	I ² C バスインタフェース (RIIC)	1128
33.1	概要	1128
33.2	レジスタの説明	1131
33.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	1131
33.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	1133
33.2.3	I ² C バスモードレジスタ 1 (ICMR1)	1136
33.2.4	I ² C バスモードレジスタ 2 (ICMR2)	1137
33.2.5	I ² C バスモードレジスタ 3 (ICMR3)	1139
33.2.6	I ² C バスファンクション許可レジスタ (ICFER)	1141
33.2.7	I ² C バスステータス許可レジスタ (ICSER)	1143
33.2.8	I ² C バス割り込み許可レジスタ (ICIER)	1145
33.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	1147
33.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	1149
33.2.11	スレーブアドレスレジスタ Ly (SARLy) (y=0 ~ 2)	1152
33.2.12	スレーブアドレスレジスタ Uy (SARUy) (y=0 ~ 2)	1153
33.2.13	I ² C バスビットレート Low レジスタ (ICBRL)	1154
33.2.14	I ² C バスビットレート High レジスタ (ICBRH)	1155
33.2.15	I ² C バス送信データレジスタ (ICDRT)	1157
33.2.16	I ² C バス受信データレジスタ (ICDRR)	1157
33.2.17	I ² C バスシフトレジスタ (ICDRS)	1157
33.2.18	タイムアウト内部カウンタ (TMOCNT)	1158
33.3	動作説明	1159
33.3.1	通信データフォーマット	1159
33.3.2	初期設定	1160
33.3.3	マスタ送信動作	1162
33.3.4	マスタ受信動作	1165
33.3.5	スレーブ送信動作	1171
33.3.6	スレーブ受信動作	1174

33.4	SCL 同期回路	1177
33.5	SDA 出力遅延機能	1178
33.6	デジタルノイズフィルタ回路	1179
33.7	アドレス一致検出機能	1180
33.7.1	スレーブアドレス一致検出機能	1180
33.7.2	ジェネラルコールアドレス検出機能	1182
33.7.3	デバイス ID アドレス検出機能	1183
33.7.4	ホストアドレス検出機能	1185
33.8	SCL の自動 Low ホールド機能	1186
33.8.1	送信データ誤送信防止機能	1186
33.8.2	NACK 受信転送中断機能	1187
33.8.3	受信データ取りこぼし防止機能	1187
33.9	アービトレーションロスト検出機能	1189
33.9.1	マスタアービトレーションロスト検出機能 (MALE ビット)	1189
33.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット)	1191
33.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	1192
33.10	スタートコンディション、リスタートコンディション、ストップコンディション発行機能	1193
33.10.1	スタートコンディション発行動作	1193
33.10.2	リスタートコンディション発行動作	1193
33.10.3	ストップコンディション発行動作	1194
33.11	バスハングアップ	1195
33.11.1	タイムアウト検出機能	1195
33.11.2	SCL クロック追加出力機能	1196
33.11.3	RIIC リセット、内部リセット	1197
33.12	SMBus 動作	1198
33.12.1	SMBus タイムアウト測定	1198
33.12.2	パケットエラーコード (PEC)	1199
33.12.3	SMBus ホスト通知プロトコル (Notify ARP master コマンド)	1200
33.13	割り込み要因	1201
33.13.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1201
33.14	リセットと各コンディション発行時のレジスタおよび機能の状態	1202
33.15	イベントリンク出力機能	1203
33.15.1	割り込み処理とイベントリンクの関係	1203
33.16	使用上の注意事項	1204
33.16.1	モジュールストップ機能の設定	1204
33.16.2	通信の開始に関する注意事項	1204
34.	シリアルペリフェラルインタフェース (RSPI)	1205
34.1	概要	1205
34.2	レジスタの説明	1208

34.2.1	RSPI 制御レジスタ (SPCR)	1208
34.2.2	RSPI スレーブセレクト極性レジスタ (SSLP)	1210
34.2.3	RSPI 端子制御レジスタ (SPPCR)	1211
34.2.4	RSPI ステータスレジスタ (SPSR)	1212
34.2.5	RSPI データレジスタ (SPDR)	1214
34.2.6	RSPI シーケンス制御レジスタ (SPSCR)	1217
34.2.7	RSPI シーケンスステータスレジスタ (SPSSR)	1218
34.2.8	RSPI ビットレートレジスタ (SPBR)	1219
34.2.9	RSPI データコントロールレジスタ (SPDCR)	1220
34.2.10	RSPI クロック遅延レジスタ (SPCKD)	1222
34.2.11	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	1223
34.2.12	RSPI 次アクセス遅延レジスタ (SPND)	1224
34.2.13	RSPI 制御レジスタ 2 (SPCR2)	1225
34.2.14	RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)	1226
34.3	動作説明	1229
34.3.1	RSPI 動作の概要	1229
34.3.2	RSPI 端子の制御	1230
34.3.3	RSPI システム構成例	1231
34.3.3.1	シングルマスタ / シングルスレーブ (本 MCU = マスタ)	1231
34.3.3.2	シングルマスタ / シングルスレーブ (本 MCU = スレーブ)	1232
34.3.3.3	シングルマスタ / マルチスレーブ (本 MCU = マスタ)	1233
34.3.3.4	シングルマスタ / マルチスレーブ (本 MCU = スレーブ)	1234
34.3.3.5	マルチマスタ / マルチスレーブ (本 MCU = マスタ)	1235
34.3.3.6	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)	1236
34.3.3.7	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)	1236
34.3.4	データフォーマット	1237
34.3.4.1	パリティ機能無効時 (SPCR2.SPPE = 0)	1238
34.3.4.2	パリティ機能有効時 (SPCR2.SPPE = 1)	1242
34.3.5	転送フォーマット	1246
34.3.5.1	CPHA ビット = 0 の場合	1246
34.3.5.2	CPHA ビット = 1 の場合	1247
34.3.6	通信動作モード	1248
34.3.6.1	全二重同期式シリアル通信 (SPCR.TXMD=0)	1248
34.3.6.2	送信のみ動作 (SPCR.TXMD=1)	1249
34.3.7	送信バッファエンプティ / 受信バッファフル割り込み	1250
34.3.8	エラー検出	1252
34.3.8.1	オーバランエラー	1253
34.3.8.2	パリティエラー	1255
34.3.8.3	モードフォルトエラー	1256

34.3.9	RSPI の初期化.....	1257
34.3.9.1	SPE ビットのクリアによる初期化	1257
34.3.9.2	システムリセット	1257
34.3.10	SPI 動作	1258
34.3.10.1	マスタモード動作	1258
34.3.10.2	スレーブモード動作	1268
34.3.11	クロック同期式動作	1272
34.3.11.1	マスタモード動作	1272
34.3.11.2	スレーブモード動作	1276
34.3.12	ループバックモード.....	1278
34.3.13	パリティビット機能の自己判断.....	1279
34.3.14	割り込み要因.....	1280
34.4	イベントリンク機能によるリンク動作.....	1281
34.4.1	受信バッファフルイベント出力.....	1281
34.4.2	送信バッファエンプティイベント出力.....	1281
34.4.3	モードフォルト/オーバラン/パリティエラーイベント出力.....	1281
34.4.4	RSPI アイドルイベント出力.....	1282
34.4.5	送信完了イベント出力.....	1282
34.5	使用上の注意事項.....	1283
34.5.1	モジュールストップ機能の設定.....	1283
34.5.2	消費電力低減機能の注意事項.....	1283
34.5.3	通信の開始に関する注意事項.....	1283
35.	CRC 演算器 (CRC)	1284
35.1	概要.....	1284
35.2	レジスタの説明.....	1285
35.2.1	CRC コントロールレジスタ (CRCCR).....	1285
35.2.2	CRC データ入力レジスタ (CRCDIR).....	1285
35.2.3	CRC データ出力レジスタ (CRCDOR).....	1286
35.3	CRC 演算器の動作説明.....	1287
35.4	使用上の注意事項.....	1290
35.4.1	モジュールストップ機能の設定.....	1290
35.4.2	転送時の注意事項.....	1290
36.	12 ビット A/D コンバータ (S12ADB)	1291
36.1	概要.....	1291
36.2	レジスタの説明.....	1294
36.2.1	A/D データレジスタ y (ADDRy) (y = 0 ~ 15)、 A/D データ 2 重化レジスタ (ADDBLDR).....	1294
36.2.2	A/D 内部基準電圧データレジスタ (ADOCDR).....	1297
36.2.3	A/D 自己診断データレジスタ (ADRD).....	1298
36.2.4	A/D コントロールレジスタ (ADCSR).....	1299

36.2.5	A/D チャンネル選択レジスタ A (ADANSA)	1302
36.2.6	A/D チャンネル選択レジスタ B (ADANSB)	1302
36.2.7	A/D 変換値加算モード選択レジスタ (ADADS)	1303
36.2.8	A/D 変換値加算回数選択レジスタ (ADADC)	1304
36.2.9	A/D コントロール拡張レジスタ (ADCER)	1305
36.2.10	A/D 開始トリガ選択レジスタ (ADSTRGR)	1307
36.2.11	A/D 変換拡張入力コントロールレジスタ (ADEXICR)	1309
36.2.12	A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 7, L, O)	1310
36.2.13	サンプル & ホールド回路コントロールレジスタ (ADSHCR)	1311
36.2.14	A/D 断線検出コントロールレジスタ (ADDISCR)	1312
36.3	動作説明	1313
36.3.1	スキップの動作説明	1313
36.3.2	シングルスキップモード	1314
36.3.2.1	基本動作 (チャンネル専用サンプル&ホールドなし)	1314
36.3.2.2	基本動作 (チャンネル専用サンプル&ホールドあり)	1315
36.3.2.3	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)	1316
36.3.2.4	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)	1317
36.3.2.5	内部基準電圧選択時の A/D 変換動作	1318
36.3.2.6	ダブルトリガモード選択時の動作	1319
36.3.3	連続スキップモード	1320
36.3.3.1	基本動作 (チャンネル専用サンプル&ホールドなし)	1320
36.3.3.2	基本動作 (チャンネル専用サンプル&ホールドあり)	1321
36.3.3.3	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)	1322
36.3.3.4	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)	1323
36.3.4	グループスキップモード	1324
36.3.4.1	基本動作	1324
36.3.4.2	ダブルトリガモード選択時の動作	1325
36.3.5	アナログ入力のサンプリングとスキップ変換時間	1326
36.3.6	レジスタのオートクリア機能の使用例	1328
36.3.7	A/D 変換値加算機能	1328
36.3.8	断線検出アシスト機能	1328
36.3.9	非同期トリガによる A/D 変換の開始	1330
36.3.10	周辺モジュールからの同期トリガによる A/D 変換の開始	1330
36.4	割り込み要因と DMA 転送要求	1331
36.4.1	スキップ終了時の割り込み要求	1331
36.5	イベントリンク機能	1331
36.5.1	ELC へのイベント出力動作	1331
36.5.2	ELC からのイベントによる 12 ビット A/D コンバータの動作	1331
36.5.3	ELC からのイベントによる 12 ビット A/D コンバータの注意事項	1331
36.6	使用上の注意事項	1332

36.6.1	データレジスタの読み出し注意事項	1332
36.6.2	A/D 変換停止時の注意事項	1332
36.6.3	A/D 変換強制停止と開始時の動作タイミング	1332
36.6.4	スキャン終了割り込み処理の注意事項	1332
36.6.5	モジュールストップ機能の設定	1332
36.6.6	低消費電力状態への遷移時の注意	1333
36.6.7	許容信号源インピーダンスについて	1333
36.6.8	絶対精度への影響	1334
36.6.9	アナログ電源端子他の設定範囲	1334
36.6.10	ボード設計上の注意	1334
36.6.11	ノイズ対策上の注意	1335
36.6.12	断線検出アシスト機能使用時の絶対精度誤差	1335
36.6.13	外部バス使用時の注意事項	1335
37.	D/A コンバータ (DA)	1336
37.1	概要	1336
37.2	レジスタの説明	1337
37.2.1	D/A データレジスタ m (DADRm) (m = 0, 1)	1337
37.2.2	D/A 制御レジスタ (DACR)	1338
37.2.3	DADRm フォーマット選択レジスタ (DADPR)	1339
37.3	動作説明	1340
37.4	イベントリンクの動作設定手順	1341
37.5	イベントリンク動作における注意事項	1341
37.6	使用上の注意事項	1342
37.6.1	モジュールストップ機能の設定	1342
37.6.2	モジュールストップ時の D/A の動作	1342
37.6.3	ソフトウェアスタンバイモード時の D/A の動作	1342
37.6.4	ディープソフトウェアスタンバイモード時の注意事項	1342
38.	データ演算回路 (DOC)	1343
38.1	概要	1343
38.2	レジスタの説明	1344
38.2.1	DOC コントロールレジスタ (DOCR)	1344
38.2.2	DOC データインプットレジスタ (DODIR)	1345
38.2.3	DOC データセッティングレジスタ (DODSR)	1345
38.3	動作説明	1346
38.3.1	データ比較モード	1346
38.3.2	データ加算モード	1347
38.3.3	データ減算モード	1348
38.4	割り込み要求	1348
38.5	使用上の注意事項	1348
38.5.1	モジュールストップ機能の設定	1348

39.	RAM	1349
39.1	概要	1349
39.2	動作説明	1349
39.2.1	データ保持	1349
39.2.2	消費電力低減機能	1349
40.	フラッシュメモリ	1350
40.1	概要	1350
40.1.1	ROM の領域構成	1352
40.1.2	ROM のブロック構成	1353
40.1.3	E2 データフラッシュの領域構成	1355
40.1.4	E2 データフラッシュのブロック構成	1355
40.2	レジスタの説明	1356
40.2.1	フラッシュ P/E プロテクトレジスタ (FWEPROR)	1356
40.2.2	フラッシュモードレジスタ (FMODR)	1357
40.2.3	フラッシュアクセスステータスレジスタ (FASTAT)	1358
40.2.4	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)	1361
40.2.5	フラッシュレディ割り込み許可レジスタ (FRDYIE)	1362
40.2.6	E2 データフラッシュ読み出し許可レジスタ 0 (DFLRE0)	1362
40.2.7	E2 データフラッシュ読み出し許可レジスタ 1 (DFLRE1)	1363
40.2.8	E2 データフラッシュ P/E 許可レジスタ 0 (DFLWE0)	1364
40.2.9	E2 データフラッシュ P/E 許可レジスタ 1 (DFLWE1)	1365
40.2.10	フラッシュステータスレジスタ 0 (FSTATR0)	1366
40.2.11	フラッシュステータスレジスタ 1 (FSTATR1)	1368
40.2.12	フラッシュ P/E モードエントリレジスタ (FENTRYR)	1369
40.2.13	フラッシュプロテクトレジスタ (FPROTR)	1371
40.2.14	フラッシュリセットレジスタ (FRESETR)	1372
40.2.15	FCU コマンドレジスタ (FCMDR)	1373
40.2.16	FCU 処理切り替えレジスタ (FCPSR)	1374
40.2.17	E2 データフラッシュブランクチェック制御レジスタ (DFLBCCNT)	1374
40.2.18	フラッシュ P/E ステータスレジスタ (FPESTAT)	1375
40.2.19	E2 データフラッシュブランクチェックステータスレジスタ (DFLBCSTAT)	1375
40.2.20	周辺クロック通知レジスタ (PCKAR)	1376
40.3	フラッシュメモリ関連の動作モード	1377
40.3.1	ID コードプロテクト機能による領域のイレーズ	1377
40.4	FCU	1378
40.4.1	FCU のモード	1378
40.4.1.1	ROM リードモード	1379
40.4.1.2	ROM / E2 データフラッシュリードモード	1379
40.4.1.3	ROM P/E モード	1379
40.4.1.4	E2 データフラッシュ P/E モード	1380

40.4.2	FCU コマンド一覧	1381
40.4.3	FCU のモードとコマンドの関係	1383
40.4.4	FCU コマンド使用方法	1384
40.4.4.1	モード移行	1384
40.4.4.2	P/E 方法手順	1387
40.4.4.3	サスペンド/レジューム	1395
40.4.4.4	エラーおよび FRDY ビットの確認と処理方法	1398
40.5	サスペンド動作	1400
40.5.1	プログラム中のサスペンド	1400
40.5.2	イレーズ中のサスペンド (サスペンド優先モード)	1401
40.5.3	イレーズ中のサスペンド (イレーズ優先モード)	1402
40.6	プロテクト	1402
40.6.1	ソフトウェアプロテクト	1402
40.6.2	コマンドロック状態	1403
40.7	ユーザブートモード	1405
40.8	ブートモード	1405
40.8.1	システム構成	1405
40.8.2	ブートモードの状態遷移	1406
40.8.3	ビットレートの自動調整	1408
40.8.4	ID コードプロテクト (ブートモード)	1409
40.8.5	UB コード A	1410
40.8.6	コマンドとレスポンスの構成	1410
40.8.7	問い合わせ/設定コマンド待ち	1411
40.8.8	ID コード待ち	1422
40.8.9	P/E コマンド待ち	1423
40.9	オンチップデバッガ ID コードプロテクト	1432
40.10	ROM コードプロテクト	1432
40.11	使用上の注意事項 (ROM/E2 データフラッシュ共通)	1433
40.12	使用上の注意事項 (E2 データフラッシュ)	1434
41.	電氣的特性	1435
41.1	絶対最大定格	1435
41.2	DC 特性	1436
41.3	AC 特性	1441
41.3.1	クロックタイミング	1442
41.3.2	リセットタイミング	1445
41.3.3	低消費電力状態からの復帰タイミング	1446
41.3.4	制御信号タイミング	1448
41.3.5	バスタイミング	1449
41.3.6	内蔵周辺モジュールタイミング	1455
41.4	A/D 変換特性	1466

41.5	D/A 変換特性	1470
41.6	パワーオンリセット回路、電圧検出回路特性	1471
41.7	発振停止検出タイミング	1475
41.8	ROM (コード格納用フラッシュメモリ) 特性	1476
41.9	E2 データフラッシュ (データ格納用フラッシュメモリ) 特性.....	1477
付録 1. 各動作モードにおけるポートの状態		1479
付録 2. 外形寸法図		1482
改訂記録.....		1483

54MHz、32ビットRX MCU、FPU内蔵、90 DMIPS、最大2Mバイトフラッシュメモリ、12ビットA/D、10ビットD/A、ELC、MPC、CEC送受信、リモコン信号受信

特長

■ 32ビットRX CPUコア内蔵

- 最大動作周波数 54MHz
90DMIPSの性能 (54MHz動作時)
- 32ビット単精度浮動小数点 (IEEE754に準拠)
- 2種類の積和演算器 (メモリ間、レジスタ間)
- 32ビット乗算器 (最速1クロックで実行)
- 除算器 (最速2クロックで実行)
- 高速割り込み
- 5段パイプラインのCISCハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- メモリプロテクションユニット (MPU) 対応
- オンチップデバッグ回路内蔵

■ 消費電力低減機能

- 2.7V ~ 3.6V 動作、4.0 ~ 5.5V 動作の単一電源
- 4種類の低消費電力モード

■ 内蔵メインフラッシュメモリ (ウェイトなし)

- 54MHz動作、18.5ns読み出しサイクル (ウェイトなし)
- 1M ~ 2Mバイトまでをサポート
- オンボードによるユーザ書き込み

■ 内蔵データフラッシュメモリ

- 32Kバイトの容量 (100k回消去可能)
- Back Ground Operation (BGO) によるプログラム/イレーズ

■ 内蔵SRAM (ウェイトなし)

- 128Kバイトの容量
- オペランド、命令用

■ DMA

- DMAC: 4チャンネル内蔵
- DTC

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPUスリープ状態において、モジュール動作が可能

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) 内蔵
- 低電圧検出機能 (LVD) の設定可能

■ クロック機能

- 外部水晶発振、内部PLL対応 8MHz ~ 20MHz
- 内部125kHz LOCOを搭載
- IWDT用125kHz LOCOクロック
- クロック周波数精度測定回路 (CAC) 内蔵

■ 独立ウォッチドッグタイマ内蔵

- 125kHz LOCOクロック動作

■ IEC60730対応機能内蔵

- 発振停止検出、周波数測定機能、CRC、IWDT、A/D自己診断など



■ 多種多様な通信機能を内蔵

- 多彩な機能に対応したSCI (最大13ch)
調歩同期式モード/クロック同期式モード/スマートカードインタフェースモード/簡易SPI/簡易I²C/拡張シリアルモードから選択
- I²Cバスインタフェース 最大400kbps転送 (3ch)
- 高速通信可能なRSPIを搭載 (2ch)

■ CEC送受信機能

- CEC規格1.4に対応したCEC信号の送受信が可能

■ リモコン信号受信機能

- 2ユニット内蔵
- 4パターン波形マッチング対応

■ 外部アドレス空間

- 高速動作バス@27MHz (max)
- 4つのCS領域 (4x16Mバイト)
- エリアごとにマルチプレクスバス/セパレートバスから選択
- エリアごとに8/16ビットバス空間を選択可能

■ 最大20本の拡張タイマ機能

- 16ビットMTU2: インพุットキャプチャ、アウトプットコンペア、PWM波形出力、位相計数モード (6ch)
- 16ビットTPU: インพุットキャプチャ、アウトプットコンペア、位相計数モード (6ch)
- 8ビットTMR (4ch)
- 16ビットCMT (4ch)

■ 12ビットA/Dコンバータ内蔵

- 最小1 μ s変換が可能
- サンプル&ホールド回路内蔵 (3チャンネル)
- 3ch同時サンプリングが可能
- 自己診断機能/アナログ入力断線検出アシスト機能内蔵

■ 10ビットD/Aコンバータ内蔵: 最大2ch

■ 重要なレジスタの書き換え保護が可能なレジスタライトプロテクト機能

■ 最大114本の汎用入出力ポート内蔵

- オープンドレイン、入力プルアップ

■ MPC

- 周辺機能の入出力端子を複数箇所から選択可能

■ 動作周囲温度

- 40 ~ +85 °C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を示します。

表 1.1 仕様概要 (1 / 4)

分類	モジュール/機能	説明
CPU	中央処理演算装置	<ul style="list-style-type: none"> 最大動作周波数：54MHz 32ビット RX CPU 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×9本 アキュムレータ：64ビット×1本 基本命令：73種類 浮動小数点演算命令：8種類 DSP機能命令：9種類 アドレッシングモード：10種類 データ配置 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット メモリプロテクションユニット (MPU) 搭載
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点数 (32ビット) IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	<ul style="list-style-type: none"> 容量：1M/1.5M/2Mバイト 54MHz、ノーウェイトアクセス オンボードプログラミング：3種類 オフボードプログラミング
	RAM	<ul style="list-style-type: none"> 容量：128Kバイト 54MHz、ノーウェイトアクセス
	E2データフラッシュ	<ul style="list-style-type: none"> 容量：32Kバイト プログラム/イレーズ回数：100,000回
MCU動作モード		シングルチップモード 内蔵ROM有効拡張モード 内蔵ROM無効拡張モード (ソフトウェア切り替え)
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発生器、低速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路 (CAC)：あり システムクロック (ICLK)、周辺モジュールクロック (PCLKB)、外部バスクロック (BCLK)、FlashIFクロック (FCLK) を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：54MHz max 周辺モジュールは、PCLKB同期：32MHz max 外部バスに接続するデバイスはBCLK同期：27MHz max フラッシュ周辺回路はFCLK同期：32MHz max
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、ディープソフトウェアスタンバイリセット、ソフトウェアリセット
電圧検出回路		<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧レベル固定 電圧検出1は検出電圧を3レベルから選択可能 電圧検出2は検出電圧を3レベルから選択可能
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード 高速動作モード、低速動作モード1、低速動作モード2

表 1.1 仕様概要 (2 / 4)

分類	モジュール/機能	説明
割り込み	割り込みコントローラ (ICUb)	<ul style="list-style-type: none"> 割り込みベクタ数：178 外部割り込み：要因数14 (NMI、IRQ0~12端子) ノンマスクابل割り込み：要因数6 (NMI端子、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込み、WDT割り込み、IWDWT割り込み) 16レベルの割り込み優先順位を設定可能
外部バス拡張		<ul style="list-style-type: none"> 外部アドレス空間を4つのエリア (CS0~CS3) に分割して管理 各エリアの領域：16Mバイト (CS0~CS3) エリアごとにチップセレクト (CS0#~CS3#) 出力可能 エリアごとに、バス幅として、8ビットバス/16ビットバスを選択可能 エリアごとにエンディアンを設定可能 (データのみ) バス形式：セパレートバス、マルチプレクスバスの選択が可能 ウェイト制御可能 ライトバッファ機能
DMA	DMAコントローラ (DMACA)	<ul style="list-style-type: none"> 4チャンネル 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データ転送コントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード 起動要因：割り込み要因により起動 チェーン転送機能あり
I/Oポート	汎用入出力ポート	<p>144ピン</p> <ul style="list-style-type: none"> 入出力：114 入力：9 (P40-P47, P35) プルアップ抵抗：111 オープンドレイン出力：114 5Vトレラント：なし
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> 56種類のイベント信号を直接モジュールへリンク可能 タイマ系のモジュールはイベント入力時の動作の選択が可能 ポートB、ポートEのイベントリンク動作が可能
マルチファンクションピンコントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	16ビットタイマパルスユニット (TPUa)	<ul style="list-style-type: none"> (16ビット×6チャンネル) ×1ユニット 最大16本のパルス入出力が可能 チャンネルごとに7種類または8種類のカウントクロックを選択可能 インプットキャプチャ/アウトプットコンペア機能をサポート 最大15相のPWM波形を出力するPWMモード チャンネルによりバッファ動作、位相計数モード (2相エンコーダ入力)、カスケード接続動作 (32ビット×2チャンネル) をサポート A/Dコンバータの変換開始トリガを生成可能 インプットキャプチャ端子にデジタルフィルタあり
	マルチファンクションタイマパルスユニット2 (MTU2a)	<ul style="list-style-type: none"> (16ビット×6チャンネル) ×1ユニット 16ビットタイマ6チャンネルをベースに最大16本のパルス入出力、および3本のパルス入力が可能 チャンネルごとにカウントクロック (PCLK/1、PCLK/4、PCLK/16、PCLK/64、PCLK/256、PCLK/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD) を8種類または7種類選択可能 (チャンネル5は4種類) インプットキャプチャ機能 21本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ パルス出力モード 相補PWM出力モード リセット同期PWMモード 位相計数モード A/Dコンバータの変換開始トリガを生成可能
	ポートアウトプットイネーブル2 (POE2a)	MTU波形出力端子のハイインピーダンス制御
	プログラマブルパルスジェネレータ (PPG)	<ul style="list-style-type: none"> (4ビット×4グループ) ×1ユニット MTU出力をトリガとしてパルス出力 最大16本のパルス出力

表 1.1 仕様概要 (3 / 4)

分類	モジュール/機能	説明
タイマ	8ビットタイマ (TMR)	<ul style="list-style-type: none"> • (8ビット×2チャンネル) ×2ユニット • 7種類の内部クロック (PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192) と外部クロックを選択可能 • 任意のデューティのパルス出力やPWM出力が可能 • 2チャンネルをカスケード接続し16ビットタイマとして使用可能 • SCI5、SCI6、SCI12のポーレートクロック生成可能 • RCRの受信クロック生成可能
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • (16ビット×2チャンネル) ×2ユニット • 4種類のクロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) を選択可能
	ウォッチドッグタイマ (WDTA)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • 6種類のカウントクロック (PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192) を選択可能
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • カウントクロック：IWDT専用オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
通信機能	シリアルコミュニケーションインタフェース (SCIE、SCIF)	<ul style="list-style-type: none"> • 13チャンネル (チャンネル0～チャンネル11：SCIE、チャンネル12：SCIF) • シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース • 内蔵ポーレートジェネレータで任意のビットレートを選択可能 • LSBファースト/MSBファーストを選択可能 • TMRからの平均転送レートクロック入力が可能 (SCI5、SCI6、SCI12) • 簡易IIC機能 • 簡易SPI機能 • マスタ/スレーブモードをサポート (SCIFのみ) • スタートフレーム、インフォメーションフレームから構成 (SCIFのみ)
	I ² Cバスインタフェース (RIIC)	<ul style="list-style-type: none"> • 3チャンネル • 通信フォーマット：I²Cバスフォーマット/SMBusフォーマット • マスタ/スレーブを選択可能 • 最大転送レート：ファストモード対応 (400kbps)
	シリアルペリフェラルインタフェース (RSPI)	<ul style="list-style-type: none"> • 2チャンネル • 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル通信が可能 • マスタ/スレーブモードを選択可能 • データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長 (8～16、20、24、32ビット) を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) • 送信/受信バッファ構成はダブルバッファ
	CEC送受信回路 (CEC) (3V版のみ)	<p>CEC規格に対応したCEC信号の生成と受信が出来、通信状態の検出をハードウェアで可能</p> <ul style="list-style-type: none"> • CEC規格に対応したシリアル通信が可能 • 動作クロックを、PCLK、メインクロック、IWDTCCLKから選択可能 • スタートビット、データビットのローレベル幅/ビット幅を送信、受信とも異なった任意の値に設定可能 • ハードウェアによるエラーと通信状態を検出可能 • 長ビット幅タイミングエラー時のエラーハンドリングパルス出力可能 • シグナルフリータイムをカウント可能 • 受信中のスタートビット検知による再受信動作が可能
	リモコン信号受信機能 (RCR) (3V版のみ)	<ul style="list-style-type: none"> • 2ユニット • 4パターン波形マッチング (ヘッダ、データ0、データ1、特殊データ判別) • 受信バッファ8バイト (1ユニットあたり) • 動作クロックを、PCLK、メインクロック、IWDTCCLK、TMRから選択可能

表 1.1 仕様概要 (4 / 4)

分類	モジュール/機能	説明
12ビットA/Dコンバータ (S12ADB)		<ul style="list-style-type: none"> 12ビット (16チャンネル×1ユニット) 分解能: 12ビット 最小変換時間: 1チャンネル当たり1.0μs (ADCLK=50MHz動作時) 動作モード スキャンモード (シングルスキャンモード、連続スキャンモード、グループスキャンモード) サンプル&ホールド機能 A/Dコンバータの自己診断機能 アナログ入力断線検出アシスト機能 ダブルトリガモード (A/D変換データ2重化機能) A/D変換開始条件 ソフトウェアトリガ、タイマ (MTU) のトリガ、外部トリガ、ELC
D/Aコンバータ (DAa)		<ul style="list-style-type: none"> 2チャンネル 分解能: 10ビット 出力電圧: 0V~VREFH
CRC演算回路 (CRC)		<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 X8 + X2 + X + 1、X16 + X15 + X2 + 1、X16 + X12 + X5 + 1 LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
データ演算回路 (DOC)		16ビットのデータを比較、加算、減算する機能
動作周波数		54MHz
電源電圧		<ul style="list-style-type: none"> 3V版 VCC = AVCC0 = VREFH0 = 2.7~3.6V 5V版 VCC = AVCC0 = VREFH0 = 4.0~5.5V
動作周囲温度		-40~+85 $^{\circ}$ C (広温度範囲仕様品)
パッケージ		144ピンLQFP (PLQP0144KA-A)
オンチップデバッグシステム		<ul style="list-style-type: none"> E1エミュレータ (JTAGおよびFINEインタフェース) E20エミュレータ (JTAGインタフェース)

表 1.2 RX634グループ 製品別機能比較一覧

機能		RX634グループ	
		3V版	5V版
電圧仕様			
外部バス	外部バス幅	16ビット	
DMA	DMAコントローラ	チャンネル0~3	
	データトランスファコントローラ	有	
タイマ	16ビットタイマパルスユニット	チャンネル0~5	
	マルチファンクションタイマパルスユニット2	チャンネル0~5	
	ポートアウトブットイネーブル2	有	
	プログラマブルパルスジェネレータ	有	
	8ビットタイマ	チャンネル0~3	
	コンペマツチタイマ	チャンネル0~3	
	ウォッチドッグタイマ	有	
	独立ウォッチドッグタイマ	有	
通信機能	シリアルコミュニケーションインタフェース (SCle)	チャンネル0~11	
	シリアルコミュニケーションインタフェース (SClf)	チャンネル12	
	I ² Cバスインタフェース	チャンネル0, 1, 3	
	シリアルペリフェラルインタフェース	チャンネル0, 1	
	CEC 送受信回路 (CEC)	有	無
	リモコン信号受信機能 (RCR)	チャンネル0, 1	無
12ビットA/Dコンバータ		AN000~AN015	
D/Aコンバータ		チャンネル0, 1	
CRC演算器		有	
イベントリンクコントローラ		有	
クロック周波数精度測定回路		有	

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

グループ	品名	発注型名	パッケージ	内蔵ROM容量	内蔵RAM容量	電源電圧
RX634	R5F5634EYDFB	R5F5634EYDFB#30	PLQP0144KA-A	2Mバイト	128Kバイト	VCC = AVCC0 = 4.0 - 5.5V
	R5F5634ECDFB	R5F5634ECDFB#30	PLQP0144KA-A	2Mバイト	128Kバイト	VCC = AVCC0 = 2.7 - 3.6V
	R5F5634DYDFB	R5F5634DYDFB#30	PLQP0144KA-A	1.5Mバイト	128Kバイト	VCC = AVCC0 = 4.0 - 5.5V
	R5F5634DCDFB	R5F5634DCDFB#30	PLQP0144KA-A	1.5Mバイト	128Kバイト	VCC = AVCC0 = 2.7 - 3.6V
	R5F5634BYDFB	R5F5634BYDFB#30	PLQP0144KA-A	1Mバイト	128Kバイト	VCC = AVCC0 = 4.0 - 5.5V
	R5F5634BCDFB	R5F5634BCDFB#30	PLQP0144KA-A	1Mバイト	128Kバイト	VCC = AVCC0 = 2.7 - 3.6V

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

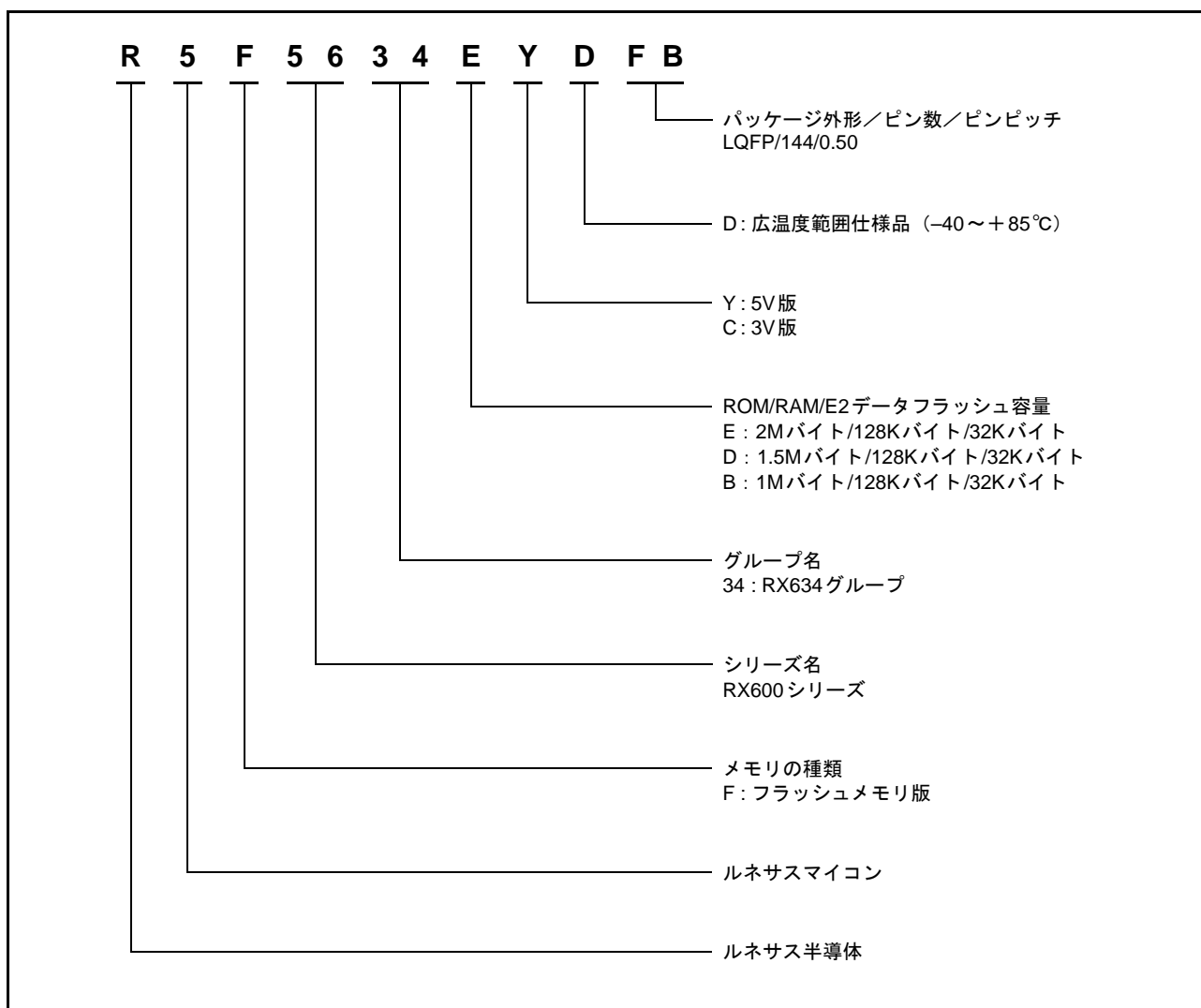


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

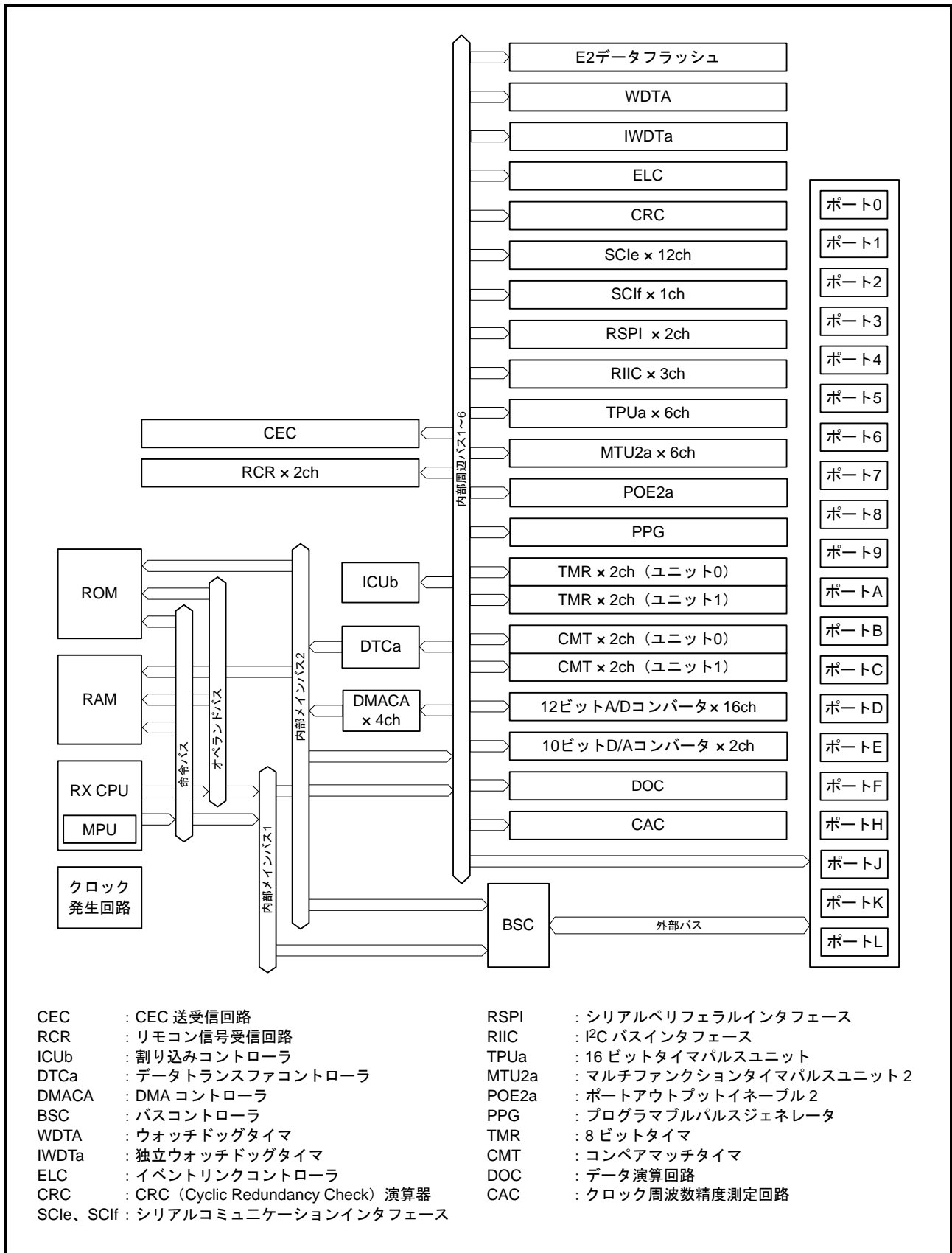


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 4)

分類	端子名	入出力	機能
電源	VCC	—	電源端子。システムの電源に接続してください。0.1 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VCL	—	0.1 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	—	グランド端子。システムの電源 (0V) に接続してください
クロック	XTAL	出力	水晶振動子接続端子。EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部クロック出力端子
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定 トリガ入力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中に変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowレベルになると、リセット状態となります
	EMLE	入力	オンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highレベルにしてください。オンチップエミュレータを使用しない場合は、Lowレベルとしてください
オンチップエミュレータ	FINEC	入力	FINEインタフェース用クロック端子
	FINED	入出力	FINEインタフェース端子
	TRST#	入力	オンチップエミュレータ用端子。EMLE端子をHighレベルにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力します
	TRSYNC#	出力	TRDATA0～TRDATA3端子からの出力が有効データであることを示します
TRDATA0～TRDATA3	出力	トレース情報を出力します	
アドレスバス	A0～A23	出力	アドレス出力端子
データバス	D0～D15	入出力	双方向データバス
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストロブ信号
	WR#	出力	1ライトストロブモード時、外部バスインタフェース空間をライト中であることを示すストロブ信号
	WR0#～WR1#	出力	バイトストロブモード時、外部バスインタフェース空間をライト中で、データバス (D7～D0、D15～D8) のいずれかが有効であることを示すストロブ信号
	BC0#～BC1#	出力	1ライトストロブモード時、外部バスインタフェース空間をアクセス中で、データバス (D7～D0、D15～D8) のいずれかが有効であることを示すストロブ信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	CS0#～CS3#	出力	CS領域選択信号
割り込み	NMI	入力	ノンマスクابل割り込み要求端子
	IRQ0～IRQ12	入力	割り込み要求端子

表 1.4 端子機能一覧 (2 / 4)

分類	端子名	入出力	機能
16ビットタイムパルスユニット	TIOCA0、TIOCB0 TIOCC0、TIOCD0	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA1、TIOCB1	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA2、TIOCB2	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA3、TIOCB3 TIOCC3、TIOCD3	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA4、TIOCB4	入出力	TGRA4、TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA5、TIOCB5	入出力	TGRA5、TGRB5のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TCLKA、TCLKB TCLKC、TCLKD	入力	外部クロックを入力
マルチファンクションタイムパルスユニット2	MTIOC0A、MTIOC0B MTIOC0C、MTIOC0D	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	TGRA4～TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U、MTIC5V、 MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTCLKA、MTCLKB、 MTCLKC、MTCLKD	入力	外部クロックの入力端子
ポートアウトプットイネーブル2	POE0#～POE3#、 POE8#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
プログラマブルパルスジェネレータ	PO0～PO15	出力	パルス出力端子
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子
	TMCIO～TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI3	入力	カウンタリセット入力端子
シリアルコミュニケーションインタフェース (SCIE)	● 調歩同期式モード/クロック同期式モード		
	SCK0～SCK11	入出力	クロック入出力端子
	RXD0～RXD11	入力	受信データ入力端子
	TXD0～TXD11	出力	送信データ出力端子
	CTS0#～CTS11#	入力	送受信開始制御用入力端子
	RTS0#～RTS11#	出力	送受信開始制御用出力端子
	● 簡易I ² Cモード		
	SSCL0～SSCL11	入出力	I ² Cクロック入出力端子
	SSDA0～SSDA11	入出力	I ² Cデータ入出力端子
	● 簡易SPIモード		
	SCK0～SCK11	入出力	クロック入出力端子
	SMISO0～SMISO11	入出力	スレーブ送出データ入出力端子
	SMOSIO～SMOSI11	入出力	マスタ送出データ入出力端子
	SS0#～SS11#	入力	チップセレクト入力端子

表 1.4 端子機能一覧 (3 / 4)

分類	端子名	入出力	機能
シリアルコミュニケーションインターフェース (SCI _f)	● 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	● 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	● 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	● 拡張シリアルモード		
	RXDX12	入力	受信データ入力端子
TXDX12	出力	送信データ出力端子	
SIOX12	入出力	送受信データ入出力端子	
I ² Cバスインターフェース	SCL0、SCL1、SCL3	入出力	クロック入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
	SDA0、SDA1、SDA3	入出力	データ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
シリアルペリフェラルインターフェース	RSPCKA、RSPCKB	入出力	クロック入出力端子
	MOSIA、MOSIB	入出力	マスタ送出データ入出力端子
	MISOA、MISOB	入出力	スレーブ送出データ入出力端子
	SSLA0、SSLB0	入出力	スレーブセレクト入出力端子
	SSLA1~SSLA3 SSLB1~SSLB3	出力	スレーブセレクト出力端子
CEC送受信回路 (CEC)	CECIO	入出力	CEC通信データ入出力端子
リモコン信号受信機能 (RCR)	PMC0	入力	外部パルス信号入力端子
	PMC1	入力	外部パルス信号入力端子
12ビットA/Dコンバータ	AN000~AN015	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
D/Aコンバータ	DA0、DA1	出力	D/Aコンバータのアナログ出力端子
アナログ電源	AVCC0	—	12ビットA/Dコンバータのアナログ電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	AVSS0	—	12ビットA/Dコンバータのアナロググランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	VREFH0	—	12ビットA/Dコンバータの基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	VREFL0	—	12ビットA/Dコンバータの基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	VREFH	—	D/Aコンバータのアナログ電源端子。D/Aコンバータを使用しない場合は、VCCに接続してください
	VREFL	—	D/Aコンバータのアナロググランド端子。D/Aコンバータを使用しない場合は、VSSに接続してください

表 1.4 端子機能一覧 (4 / 4)

分類	端子名	入出力	機能
I/Oポート	P00～P03、P05、P07	入出力	6ビットの入出力端子
	P12～P17	入出力	6ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P35	入出力	6ビットの入出力端子 (P35は入力端子)
	P40～P47	入力	8ビットの入力端子
	P50～P56	入出力	7ビットの入出力端子
	P60～P67	入出力	8ビットの入出力端子
	P70～P77 (注1)	入出力	8ビットの入出力端子
	P80～P83、P86、P87	入出力	6ビットの入出力端子
	P90～P93	入出力	4ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PF5	入出力	1ビットの入出力端子
	PH0～PH3	入出力	4ビットの入出力端子
	PJ1～PJ5	入出力	5ビットの入出力端子
	PK2～PK5	入出力	4ビットの入出力端子
	PL0、PL1、PL5 (注2)	入出力	3ビットの入出力端子

注1. P73は、5V版のみの端子です。3V版には存在しません。

注2. PL5は、3V版のみの端子です。5V版には存在しません。

表 1.5 機能別端子一覧 (144ピンLQFP) (1 / 4)

ピン番号	電源、クロック、システム制御	I/O ポート	外部バス	タイマ (MTU、TPU、TMR、POE、PPG、CAC)	通信 (SCle、SCIf、RSPI、RIIC、CEC、RCR)	割り込み	AD、DA
1	AVSS0						
2		P05					DA1
3	VREFH						
4		P03				IRQ11	DA0
5	VREFL						
6		P02		TMC11	SCK6	IRQ10	
7		P01		TMC10	RXD6/SMISO6/SSCL6/PMC1	IRQ9	
8		P00		TMR10	TXD6/SMOSI6/SSDA6/PMC0	IRQ8	
9		PF5				IRQ4	
10	EMLE						
11		PJ5					
12	VSS						
13		PJ3		MTIOC3C	CTS0#/RTS0#/SS0#/CTS6#/RTS6#/SS6#		
14	VCL						
15		PJ1		MTIOC3A			
16	MD/FINED						
17		PJ2					
18		PJ4					
19	RES#						
20	XTAL						
21	VSS						
22	EXTAL						
23	VCC						
24		P35				NMI	
25	TRST#	P34		MTIOC0A/TMC13/POE2#/PO12	SCK0/SCK6	IRQ4	
26		P33		MTIOC0D/TIOC0D/TMR13/POE3#/PO11	RXD0/SMISO0/SSCL0/RXD6/SMISO6/SSCL6	IRQ3_DS	
27		P32		MTIOC0C/TIOCC0/TMO3/PO10	TXD0/SMOSI0/SSDA0/TXD6/SMOSI6/SSDA6	IRQ2_DS	
28	TMS	P31		MTIOC4D/TMC12/PO9	CTS1#/RTS1#/SS1#/SSLB0	IRQ1_DS	
29	TDI	P30		MTIOC4B/TMR13/POE8#/PO8	RXD1/SMISO1/SSCL1/MISOB	IRQ0_DS	
30	FINEC/TCK	P27	CS3#	MTIOC2B/TMC13/PO7	SCK1/RSPCKB		
31	TDO	P26	CS2#	MTIOC2A/TMO1/PO6	TXD1/SMOSI1/SSDA1/CTS3#/RTS3#/SS3#/MOSIB		
32		P25	CS1#	MTIOC4C/MTCLKB/TIOCA4/PO5	RXD3/SMISO3/SSCL3		ADTRG0#
33		P24	CS0#	MTIOC4A/MTCLKA/TIOCB4/TMR11/PO4	SCK3		
34		P23		MTIOC3D/MTCLKD/TIOC3D/PO3	TXD3/SMOSI3/SSDA3/CTS0#/RTS0#/SS0#		
35		P22		MTIOC3B/MTCLKC/TIOCC3/TMO0/PO2	SCK0		
36		P21		MTIOC1B/TIOCA3/TMC10/PO1	RXD0/SMISO0/SSCL0/SCL1	IRQ9	
37		P20		MTIOC1A/TIOCB3/TMR10/PO0	TXD0/SMOSI0/SSDA0/SDA1	IRQ8	
38		P17		MTIOC3A/MTIOC3B/TIOCB0/TCLKD/TMO1/POE8#/PO15	SCK1/TXD3/SMOSI3/SSDA3/MISOA/SDA0_DS	IRQ7	
39		P87		TIOCA2			

表 1.5 機能別端子一覧 (144ピンLQFP) (2 / 4)

ピン番号	電源、クロック、システム制御	I/O ポート	外部バス	タイマ (MTU、TPU、TMR、POE、PPG、CAC)	通信 (SCle、SCIf、RSPI、RIIC、CEC、RCR)	割り込み	AD、DA
40		P16		MTIOC3C/MTIOC3D/ TIOCB1/TCLKC/TMO2/PO14	TXD1/SMOSI1/SSDA1/RXD3/ SMISO3/SSCL3/MOSIA/ SCL0_DS	IRQ6	ADTRG0#
41		P86		TIOCA0			
42		P15		MTIOC0B/MTCLKB/TIOCB2/ TCLKB/TMCI2/PO13	RXD1/SMISO1/SSCL1/SCK3	IRQ5	
43		P14		MTIOC3A/MTCLKA/TIOCB5/ TCLKA/TMRI2/PO15	CTS1#/RTS1#/SS1#	IRQ4	
44		P13		MTIOC0B/TIOCA5/TMO3/ PO13	TXD2/SMOSI2/SSDA2/SDA0	IRQ3	
45		P12		TMC1	RXD2/SMISO2/SSCL2/SCL0	IRQ2	
46		PH3		TMCI0			
47		PH2		TMRI0		IRQ1	
48		PH1		TMO0		IRQ0	
49		PH0		CACREF			
50		P56		MTIOC3C/TIOCA1			
51	TRDATA3	P55	WAIT#	MTIOC4D/TMO3		IRQ10	
52	TRDATA2	P54	ALE	MTIOC4B/TMCI1	CTS2#/RTS2#/SS2#		
53		P53	BCLK				
54		P52	RD#		RXD2/SMISO2/SSCL2/SSLB3		
55		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2		
56		P50	WR0#/WR#		TXD2/SMOSI2/SSDA2/SSLB1		
57	VSS						
58	TRCLK	P83		MTIOC4C	CTS10#/RTS10#/SS10#		
59	VCC						
60		PC7	A23/CS0#	MTIOC3A/MTCLKB/TMO2/ CACREF	TXD8/SMOSI8/SSDA8/MISOA		
61		PC6	A22/CS1#	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/MOSIA		
62		PC5	A21/CS2#/WAIT#	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA		
63	TRSYNC#	P82		MTIOC4A	TXD10/SMOSI10/SSDA10		
64	TRDATA1	P81		MTIOC3D	RXD10/SMISO10/SSCL10		
65	TRDATA0	P80		MTIOC3B	SCK10		
66		PC4	A20/CS3#	MTIOC3D/MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0		
67		PC3	A19	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5		
68		P77			TXD11/SMOSI11/SSDA11		
69		P76			RXD11/SMISO11/SSCL11		
70		PC2	A18	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/SSLA3		
71		P75			SCK11		
72		P74			CTS11#/RTS11#/SS11#		
73		PC1	A17	MTIOC3A/TCLKD	SCK5/SSLA2/SDA3	IRQ12	
74		PL1					
75		PC0	A16	MTIOC3C/TCLKC	CTS5#/RTS5#/SS5#/SSLA1/ SCL3		
76		PL0					
77		P73 (注1)				IRQ12	
		PL5 (注1)			CECIO	IRQ12	
78		PB7	A15	MTIOC3B/TIOCB5	TXD9/SMOSI9/SSDA9		
79		PB6	A14	MTIOC3D/TIOCA5	RXD9/SMISO9/SSCL9		
80		PB5	A13	MTIOC2A/MTIOC1B/TIOCB4/ TMRI1/POE1#	SCK9		

表 1.5 機能別端子一覧 (144ピンLQFP) (3 / 4)

ピン番号	電源、クロック、システム制御	I/O ポート	外部バス	タイマ (MTU、TPU、TMR、POE、PPG、CAC)	通信 (SCle、SCIf、RSPI、RIIC、CEC、RCR)	割り込み	AD、DA
81		PB4	A12	TIOCA4	CTS9#/RTS9#/SS9#		
82		PB3	A11	MTIOC0A/MTIOC4A/ TIOC3/TCLKD/TMO0/ POE3#	SCK4/SCK6		
83		PB2	A10	TIOCC3/TCLKC	CTS4#/RTS4#/SS4#/CTS6#/ RTS6#/SS6#		
84		PB1	A9	MTIOC0C/MTIOC4C/ TIOCB3/TMCI0	TXD4/SMOSI4/SSDA4/TXD6/ SMOSI6/SSDA6	IRQ4_DS	
85		P72					
86		P71					
87		PB0	A8	MTIC5W/TIOCA3	RXD4/SMISO4/SSCL4/RXD6/ SMISO6/SSCL6/RSPCKA	IRQ12	
88		PA7	A7	TIOCB2	MISOA		
89		PA6	A6	MTIC5V/MTCLKB/TIOCA2/ TMCI3/POE2#	CTS5#/RTS5#/SS5#/MOSIA		
90		PA5	A5	TIOCB1	RSPCKA		
91	VCC						
92		PA4	A4	MTIC5U/MTCLKA/TIOCA1/ TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5_DS	
93	VSS						
94		PA3	A3	MTIOC0D/MTCLKD/TIOC0D/ TCLKB	RXD5/SMISO5/SSCL5	IRQ6_DS	
95		PA2	A2		RXD5/SMISO5/SSCL5/SSLA3		
96		PA1	A1	MTIOC0B/MTCLKC/TIOCB0	SCK5/SSLA2	IRQ11	
97		PA0	A0/BC0#	MTIOC4A/TIOCA0/CACREF	SSLA1		
98		P67					
99		P66					
100		P65					
101		PE7	D15 [A15/D15]		MISOB	IRQ7	AN015
102		PE6	D14 [A14/D14]		CTS4#/RTS4#/SS4#/MOSIB	IRQ6	AN014
103		PK5			TXD4/SMOSI4/SSDA4		
104		P70			SCK4		
105		PK4			RXD4/SMISO4/SSCL4		
106		PE5	D13 [A13/D13]	MTIOC4C/MTIOC2B	RSPCKB	IRQ5	AN013
107		PE4	D12 [A12/D12]	MTIOC4D/MTIOC1A	SSLB0		AN012
108		PE3	D11 [A11/D11]	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/MISOB		AN011
109		PE2	D10 [A10/D10]	MTIOC4A	RXD12/RXD12/SMOSI12/ SSCL12/SSLB3/MOSIB	IRQ7_DS	AN010
110		PE1	D9 [A9/D9]	MTIOC4C	TXD12/TXD12/SMOSI12/ SSDA12/SSLB2/RSPCKB/ SIOX12		AN009
111		PE0	D8 [A8/D8]		SCK12/SSLB1		AN008
112		P64					
113		P63					
114		P62					
115		P61			CTS9#/RTS9#/SS9#		
116		PK3			RXD9/SMISO9/SSCL9		
117		P60			SCK9		
118		PK2			TXD9/SMOSI9/SSDA9		
119		PD7	D7 [A7/D7]	MTIC5U/POE0#		IRQ7	
120		PD6	D6 [A6/D6]	MTIC5V/POE1#		IRQ6	
121		PD5	D5 [A5/D5]	MTIC5W/POE2#		IRQ5	

表 1.5 機能別端子一覧 (144ピンLQFP) (4 / 4)

ピン番号	電源、クロック、システム制御	I/O ポート	外部バス	タイマ (MTU、TPU、TMR、POE、PPG、CAC)	通信 (SCle、SCIf、RSPI、RIIC、CEC、RCR)	割り込み	AD、DA
122		PD4	D4 [A4/D4]	POE3#		IRQ4	
123		PD3	D3 [A3/D3]	POE8#		IRQ3	
124		PD2	D2 [A2/D2]	MTIOC4D		IRQ2	
125		PD1	D1 [A1/D1]	MTIOC4B		IRQ1	
126		PD0	D0 [A0/D0]			IRQ0	
127		P93			CTS7#/RTS7#/SS7#		
128		P92			RXD7/SMISO7/SSCL7		
129		P91			SCK7		
130	VSS						
131		P90			TXD7/SMOSI7/SSDA7		
132	VCC						
133		P47					AN007
134		P46					AN006
135		P45					AN005
136		P44					AN004
137		P43					AN003
138		P42					AN002
139		P41					AN001
140	VREFL0						
141		P40					AN000
142	VREFH0						
143	AVCC0						
144		P07					ADTRG0#

注1. 77pinは、5V版はP73、3V版はPL5です。

2. CPU

本 MCU は、RX CPU を搭載するプロセッサです。

RX CPU は、可変長命令形式を採用しています。使用頻度の高い命令をより短い命令長に割り付けており、少ないメモリ容量で効率の良いプログラムを開発できます。

73 種類の基本命令、8 種類の浮動小数点演算命令、9 種類の DSP 機能命令の合計 90 種類の命令と、10 種類のアドレッシングモードを持ち、レジスタ-レジスタ間、レジスタ-メモリ間、即値-レジスタ、即値-メモリの演算をはじめ、ビット操作、メモリー-メモリ間の転送を行います。レジスタ間演算命令だけでなく、いくつかの複合命令を 1 クロックで実行することで、高速な演算処理を実現しました。乗算器、除算器を内蔵していますので、高速な乗算処理、除算処理を行うことができます。

RX CPU は、命令フェッチ、デコード、実行、メモリアクセス、ライトバックの 5 ステージのパイプライン処理により、命令を処理します。メモリアクセスによりパイプラインが伸びた場合、後続の演算が先に実行される場合があります。RX CPU は、このような「Out-of-Order Completion」の採用により、クロックサイクル数を無駄にしない命令実行制御を行います。

2.1 特長

- 最小命令実行時間：1 命令 1 クロックで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
 - 汎用レジスタ：32 ビット × 16 本
 - 制御レジスタ：32 ビット × 9 本
 - アキュムレータ：64 ビット × 1 本
- 基本命令：73 種類（算術／論理命令、転送命令、分岐命令、ビット操作命令、ストリング操作命令、システム操作命令）
 - 分岐距離に応じた相対分岐命令
 - 可変長命令形式（1 バイト長～8 バイト長）
 - 頻出命令に短縮フォーマットを用意
- 浮動小数点演算命令：8 種類
- DSP 機能命令：9 種類
 - 16 ビット × 16 ビットの乗算、積和命令に対応
 - アキュムレータの丸め命令に対応
- アドレッシングモード：10 種類
- 5 段パイプライン
 - 「Out-of-Order Completion」の採用
- プロセッサモード
 - スーパバイザモード、ユーザモード
- 浮動小数点演算ユニット
 - 単精度浮動小数点数（32 ビット）に対応
 - IEEE754 に準拠したデータタイプ、および例外に対応
- メモリプロテクションユニット
- データ配置
 - リトルエンディアン／ビッグエンディアン選択可能

2.2 CPU レジスタセット

RX CPU のレジスタには、汎用レジスタ（16本）と、制御レジスタ（9本）、および DSP 機能命令で使用するアキュムレータ（1本）があります。

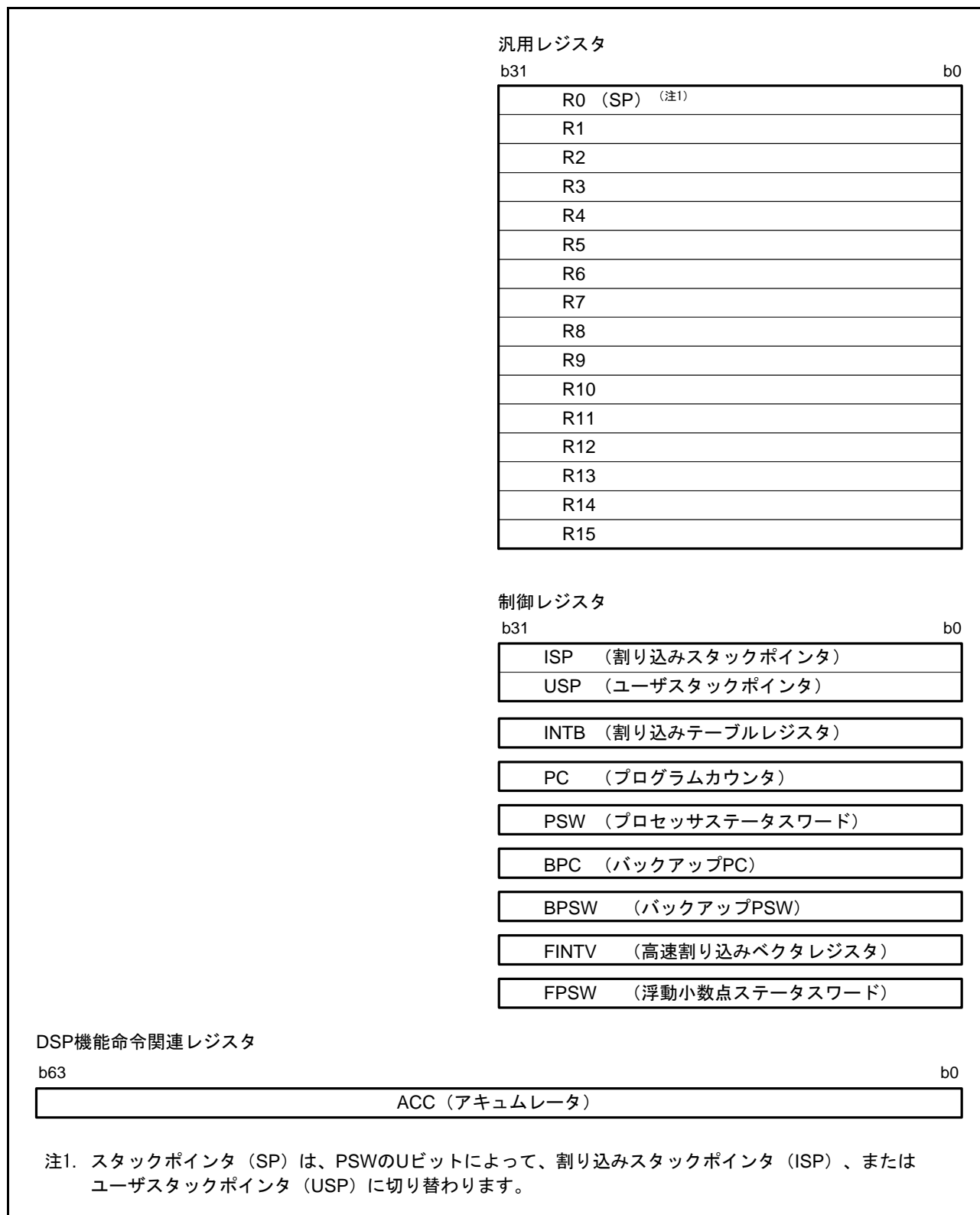


図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

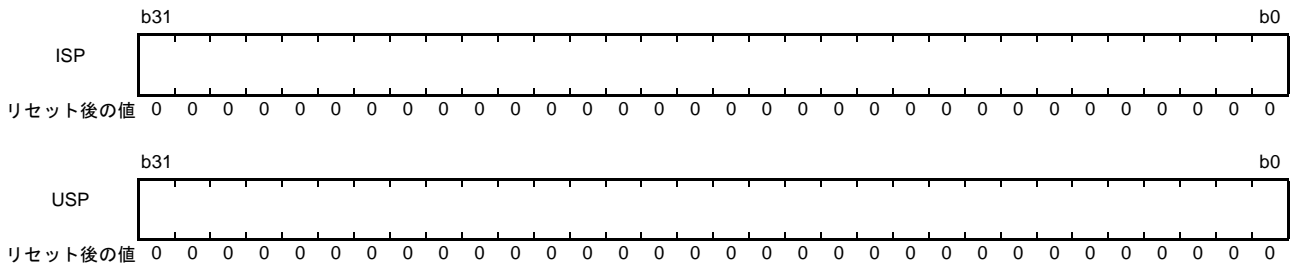
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の9本のレジスタがあります。

- 割り込みスタックポインタ (ISP)
- ユーザスタックポインタ (USP)
- 割り込みテーブルレジスタ (INTB)
- プログラムカウンタ (PC)
- プロセッサステータスワード (PSW)
- バックアップ PC (BPC)
- バックアップ PSW (BPSW)
- 高速割り込みベクタレジスタ (FINTV)
- 浮動小数点ステータスワード (FPSW)

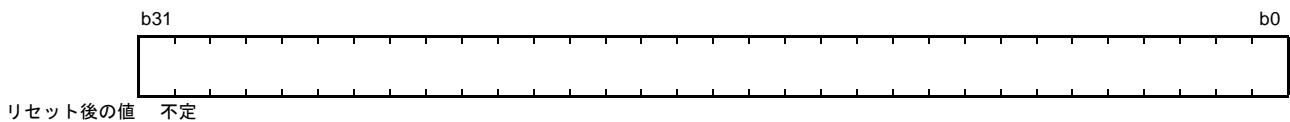
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)



スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

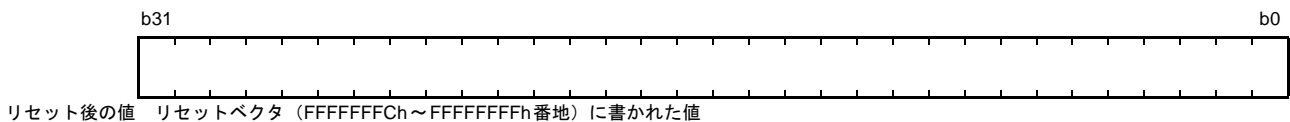
ISP、USPに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

2.2.2.2 割り込みテーブルレジスタ (INTB)



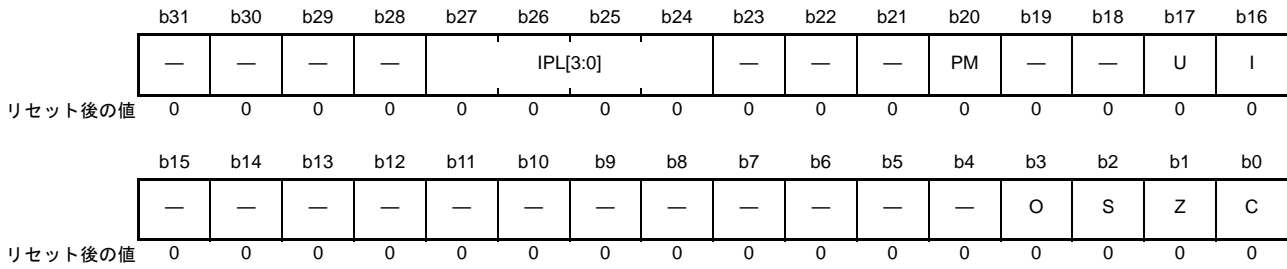
割り込みテーブルレジスタ (INTB) には、可変ベクタテーブルの先頭番地を設定してください。

2.2.2.3 プログラムカウンタ (PC)



プログラムカウンタ (PC) は、実行中の命令の番地を示します。

2.2.2.4 プロセッサステータスワード (PSW)



ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0 : キャリの発生なし 1 : キャリの発生あり	R/W
b1	Z	ゼロフラグ	0 : 演算結果は0でなかった 1 : 演算結果は0であった	R/W
b2	S	サインフラグ	0 : 演算結果は正または0であった 1 : 演算結果は負であった	R/W
b3	O	オーバフローフラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I (注1)	割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R/W
b17	U (注1)	スタックポインタ指定ビット	0 : 割り込みスタックポインタ (ISP) を指定 1 : ユーザスタックポインタ (USP) を指定	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM (注1、注2、注3)	プロセッサモード設定ビット	0 : スーパーバイザモードに設定 1 : ユーザモードに設定	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	IPL[3:0] (注1)	プロセッサ割り込み優先レベル	b27 b24 0 0 0 0 : 優先レベル0 (最低) 0 0 0 1 : 優先レベル1 0 0 1 0 : 優先レベル2 0 0 1 1 : 優先レベル3 0 1 0 0 : 優先レベル4 0 1 0 1 : 優先レベル5 0 1 1 0 : 優先レベル6 0 1 1 1 : 優先レベル7 1 0 0 0 : 優先レベル8 1 0 0 1 : 優先レベル9 1 0 1 0 : 優先レベル10 1 0 1 1 : 優先レベル11 1 1 0 0 : 優先レベル12 1 1 0 1 : 優先レベル13 1 1 1 0 : 優先レベル14 1 1 1 1 : 優先レベル15 (最高)	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. ユーザモードのときは、MVTC、POPC命令によるIPL[3:0]、PM、U、Iビットへの書き込みは無視されます。また、MVTIPL命令でIPL[3:0]ビットへの書き込みを行った場合は、特権命令例外が発生します。
- 注2. スーパーバイザモードのときは、MVTC、POPC命令によるPMビットへの書き込みは無視されます。それ以外のビットへの書き込みはできません。
- 注3. スーパーバイザモードからユーザモードに切り替える場合は、スタックに退避されたPSW.PMビットを“1”にした後、RTE命令を実行するか、BPSW.PMビットを“1”にした後、RTFI命令を実行してください。

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

C フラグ (キャリフラグ)

演算結果にキャリ、ボロー、シフトアウトが発生したことを示します。

Z フラグ (ゼロフラグ)

演算結果が 0 であったことを示します。

S フラグ (サインフラグ)

演算結果が負であったことを示します。

O フラグ (オーバフローフラグ)

演算中にオーバフローしたことを示します。

I ビット (割り込み許可ビット)

割り込み要求の受け付けを許可するビットです。例外を受け付けると、このビットは“0”になります。

U ビット (スタックポインタ指定ビット)

使用するスタックポインタ (ISP/USP) を指定するビットです。例外を受け付けると、このビットは“0”になります。スーパーバイザモードからユーザモードに移行すると、このビットは“1”になります。

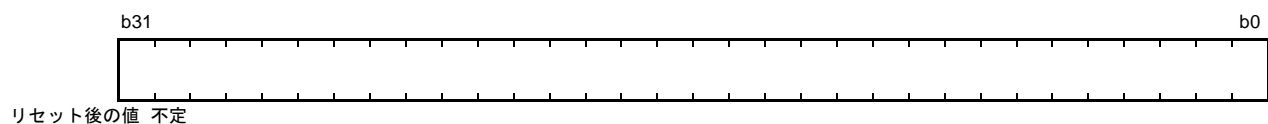
PM ビット (プロセッサモード設定ビット)

プロセッサモードを設定するビットです。例外を受け付けると、このビットは“0”になります。

IPL[3:0] ビット (プロセッサ割り込み優先レベル)

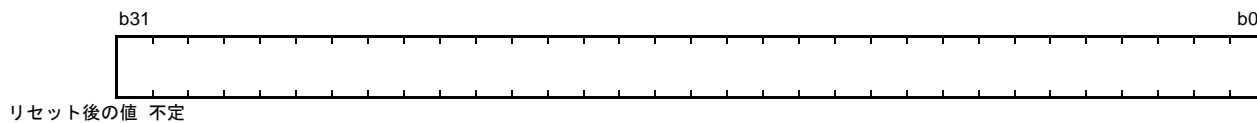
IPL[3:0] ビットは、優先レベル 0 (最低) ~ 優先レベル 15 (最高) までの 16 段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル 15 (Fh) に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスカブル割り込みが発生したとき、レベル 15 (Fh) になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

2.2.2.5 バックアップ PC (BPC)



バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

2.2.2.6 バックアップ PSW (BPSW)

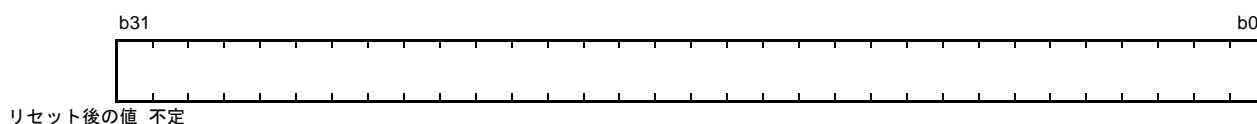


バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。

BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.7 高速割り込みベクタレジスタ (FINTV)



高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込み発生時の分岐先番地を設定してください。

2.2.2.8 浮動小数点ステータスワード (FPSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	—
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RM[1:0]	浮動小数点丸めモード設定ビット	b1 b0 0 0 : 最近値への丸め 0 1 : 0方向への丸め 1 0 : +∞方向への丸め 1 1 : -∞方向への丸め	R/W
b2	CV	無効演算要因フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり	R/(W) (注1)
b3	CO	オーバフロー要因フラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり	R/(W) (注1)
b4	CZ	ゼロ除算要因フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり	R/(W) (注1)
b5	CU	アンダフロー要因フラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり	R/(W) (注1)
b6	CX	精度異常要因フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり	R/(W) (注1)
b7	CE	非実装処理要因フラグ	0 : 非実装処理の発生なし 1 : 非実装処理の発生あり	R/(W) (注1)
b8	DN	非正規化数の0フラッシュビット	0 : 非正規化数を非正規化数として扱う 1 : 非正規化数を0として扱う (注2)	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	EV	無効演算例外処理許可ビット	0 : 無効演算発生による例外処理を禁止 1 : 無効演算発生による例外処理を許可	R/W
b11	EO	オーバフロー例外処理許可ビット	0 : オーバフロー発生による例外処理を禁止 1 : オーバフロー発生による例外処理を許可	R/W
b12	EZ	ゼロ除算例外処理許可ビット	0 : ゼロ除算発生による例外処理を禁止 1 : ゼロ除算発生による例外処理を許可	R/W
b13	EU	アンダフロー例外処理許可ビット	0 : アンダフロー発生による例外処理を禁止 1 : アンダフロー発生による例外処理を許可	R/W
b14	EX	精度異常例外処理許可ビット	0 : 精度異常発生による例外処理を禁止 1 : 精度異常発生による例外処理を許可	R/W
b25-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	FV (注3)	無効演算フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり (注8)	R/W
b27	FO (注4)	オーバフローフラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり (注8)	R/W
b28	FZ (注5)	ゼロ除算フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり (注8)	R/W
b29	FU (注6)	アンダフローフラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり (注8)	R/W
b30	FX (注7)	精度異常フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり (注8)	R/W

ビット	シンボル	ビット名	機能	R/W
b31	FS	浮動小数点エラーサマリフラグ	FU、FZ、FO、FVフラグの論理和を反映	R

- 注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
 注2. 正の非正規化数は+0、負の非正規化数は-0として扱います。
 注3. EVビットが“0”のときに、FVフラグは有効となります。
 注4. EOビットが“0”のときに、FOフラグは有効となります。
 注5. EZビットが“0”のときに、FZフラグは有効となります。
 注6. EUビットが“0”のときに、FUフラグは有効となります。
 注7. EXビットが“0”のときに、FXフラグは有効となります。
 注8. 当該ビットが一度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット E_j で例外処理を許可 ($E_j = 1$) した場合は、例外処理ルーチンで該当する C_j フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 ($E_j = 0$) した場合は、一連の処理の最後に F_j フラグをチェックし、例外発生の有無を確認することができます。 F_j フラグは蓄積フラグです。 ($j = X, U, Z, O, V$)

RM[1:0] ビット (浮動小数点丸めモード設定ビット)

浮動小数点丸めモードを設定します。

【浮動小数点丸めモードの説明】

- 最近値への丸め (デフォルト) : 無限の有効桁を持つとして計算した場合の結果と近い方の値へ丸める
中間時は結果が偶数になる方向へ丸める
- 0方向への丸め : 結果の絶対値が小さくなる方向へ丸める (単純な切り捨て)
- $+\infty$ 方向への丸め : 結果の値が大きくなる方向へ丸める
- $-\infty$ 方向への丸め : 結果の値が小さくなる方向へ丸める

(1) 「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。

(2) 「0方向への丸め」、「 $+\infty$ 方向への丸め」、「 $-\infty$ 方向への丸め」は、区間演算 (Interval arithmetic) を使用した精度保証を行うときに使用します。

CV フラグ (無効演算要因フラグ)、CO フラグ (オーバフロー要因フラグ)

CZ フラグ (ゼロ除算要因フラグ)、CU フラグ (アンダフロー要因フラグ)

CX フラグ (精度異常要因フラグ)、CE フラグ (非実装処理要因フラグ)

IEEE754 規格で規定された5つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他、非実装処理が発生した場合に該当するフラグが“1”になります。

- “1”の場合、FPU 演算命令実行時に“0”になります。
- MVTC、POPC 命令で“0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。

DN ビット (非正規化数の0フラッシュビット)

“0”のとき非正規化数を非正規化数として扱います。“1”のとき非正規化数を0として扱います。

EV ビット (無効演算例外処理許可ビット)、EO ビット (オーバフロー例外処理許可ビット)

EZ ビット (ゼロ除算例外処理許可ビット)、EU ビット (アンダフロー例外処理許可ビット)

EX ビット (精度異常例外処理許可ビット)

浮動小数点演算命令実行により、IEEE754 規格で規定された5つの例外が発生したときに、CPU が例外処理に移行するかどうかを制御します。

“0”の場合、例外処理は禁止されます。“1”の場合、例外処理が許可されます。

FV フラグ（無効演算フラグ）、FO フラグ（オーバフローフラグ）、FZ フラグ（ゼロ除算フラグ） FU フラグ（アンダフローフラグ）、FX フラグ（精度異常フラグ）

例外処理許可ビット E_j が“0”（例外処理を禁止）の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが“1”になります。

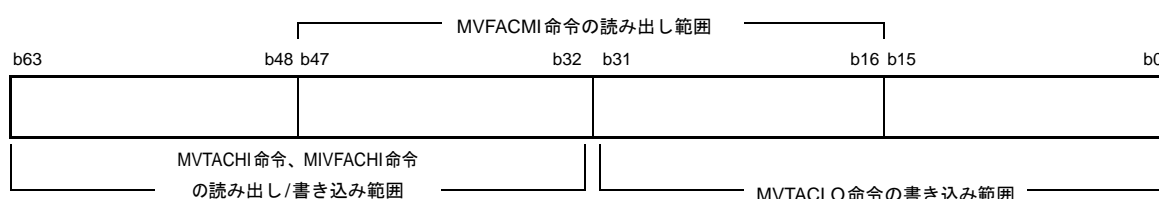
- $E_j=1$ （例外処理を許可）のときは、このフラグは変化しません。
- 当該フラグが“1”になると、ソフトウェアで“0”にするまで“1”を保持します。（蓄積フラグ）

FS フラグ（浮動小数点エラーサマリフラグ）

FU、FZ、FO、FV フラグの論理和を反映します。

2.2.3 DSP 機能命令関連レジスタ

2.2.3.1 アキュムレータ（ACC）



アキュムレータ（ACC）は、64 ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令（EMUL、EMULU、FMUL、MUL）、積和演算命令（RMPA）でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32 ビット（b63～b32）に、MVTACLO 命令は下位側 32 ビット（b31～b0）にデータを書きます。

読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32 ビット（b63～b32）、MVFACMI 命令で中央の 32 ビット（b47～b16）のデータをそれぞれ読みます。

2.3 プロセッサモード

RX CPU には、スーパーバイザモード、およびユーザモードの 2 つのプロセッサモードがあります。プロセッサモードを使用して、CPU リソースに対する階層的な保護機構を実現することができます。

各プロセッサモードには、実行可能な命令、アクセス可能な CPU リソースに対する権限を規定しており、スーパーバイザモードはユーザモードより高い権限を持っています。

リセット後は、スーパーバイザモードで動作します。

2.3.1 スーパーバイザモード

スーパーバイザモードでは、すべての CPU リソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC 命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PM ビットへの書き込み方法については、「2.2.2.4 プロセッサステータスワード (PSW)」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部の CPU リソースへのライトアクセスが制限されます。ライトアクセスが制限される CPU リソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[3:0]、PM、U、I)
- 割り込みスタックポインタ (ISP)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

2.3.3 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、MVTIPL、RTE、WAIT 命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC、POPC 命令による PM ビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパーバイザモードへの移行

例外が発生すると PSW.PM ビットが“0”になり、CPU はスーパーバイザモードへ移行します。ハードウェア前処理は、スーパーバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避された PSW.PM ビットに保持されます。

(2) スーパーバイザモードからユーザモードへの移行

スタック上に退避されている PSW.PM ビットを“1”にした後 RTE 命令を実行する、あるいはバックアップ PSW (BPSW) に退避されている PSW.PM ビットを“1”にした後 RTFI 命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSW のスタックポインタ指定ビット (U) が“1”になります。

2.4 データタイプ

RX CPU は、整数、浮動小数点数、ビット、ストリングの4種類のデータを扱うことができます。詳細は「RX ファミリー ユーザーズマニュアル ソフトウェア編」を参照してください。

2.5 エンディアン

RX CPU の命令は、リトルエンディアン固定です。

データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの設定

本 MCU では、バイトデータの並び方を、上位バイト (MSB) が 0 番地になるビッグエンディアン、下位バイト (LSB) が 0 番地になるリトルエンディアンのいずれも使用できます。

エンディアンの設定については、「3. 動作モード」を参照してください。

命令によって 8/16/32 ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表 2.1 ～表 2.12 に示します。

表中の

LL は、汎用レジスタの D7 ～ D0

LH は、汎用レジスタの D15 ～ D8

HL は、汎用レジスタの D23 ～ D16

HH は、汎用レジスタの D31 ～ D24 を示します。

	D31 ～ D24	D23 ～ D16	D15 ～ D8	D7 ～ D0
汎用レジスタ Rm	HH	HL	LH	LL

表 2.1 リトルエンディアン設定時の 32 ビットリード動作

動作 src 番地	0 番地を 32 ビット でリード	1 番地を 32 ビットで リード	2 番地を 32 ビットで リード	3 番地を 32 ビットで リード	4 番地を 32 ビットで リード
0 番地	LL に転送	—	—	—	—
1 番地	LH に転送	LL に転送	—	—	—
2 番地	HL に転送	LH に転送	LL に転送	—	—
3 番地	HH に転送	HL に転送	LH に転送	LL に転送	—
4 番地	—	HH に転送	HL に転送	LH に転送	LL に転送
5 番地	—	—	HH に転送	HL に転送	LH に転送
6 番地	—	—	—	HH に転送	HL に転送
7 番地	—	—	—	—	HH に転送

表2.2 ビッグエンディアン設定時の32ビットリード動作

動作 src番地	0番地を 32ビットで リード	1番地を 32ビットで リード	2番地を 32ビットで リード	3番地を 32ビットで リード	4番地を 32ビットで リード
0番地	HHに転送	—	—	—	—
1番地	HLに転送	HHに転送	—	—	—
2番地	LHに転送	HLに転送	HHに転送	—	—
3番地	LLに転送	LHに転送	HLに転送	HHに転送	—
4番地	—	LLに転送	LHに転送	HLに転送	HHに転送
5番地	—	—	LLに転送	LHに転送	HLに転送
6番地	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	LLに転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	LLを転送	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—
2番地	HLを転送	LHを転送	LLを転送	—	—
3番地	HHを転送	HLを転送	LHを転送	LLを転送	—
4番地	—	HHを転送	HLを転送	LHを転送	LLを転送
5番地	—	—	HHを転送	HLを転送	LHを転送
6番地	—	—	—	HHを転送	HLを転送
7番地	—	—	—	—	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	HHを転送	—	—	—	—
1番地	HLを転送	HHを転送	—	—	—
2番地	LHを転送	HLを転送	HHを転送	—	—
3番地	LLを転送	LHを転送	HLを転送	HHを転送	—
4番地	—	LLを転送	LHを転送	HLを転送	HHを転送
5番地	—	—	LLを転送	LHを転送	HLを転送
6番地	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	LLを転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.10 ビッグエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.11 リトルエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

表2.12 ビッグエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

2.5.2 I/O レジスタアクセス

I/O レジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがってI/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章の**レジスタの説明**を参照してください。

2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Bであるか、サイズ拡張指定子(.memex)が.Bまたは.UBである命令を使用してアクセスしてください。
- 16ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Wであるか、サイズ拡張指定子(.memex)が.Wまたは.UWである命令を使用してアクセスしてください。
- 32ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Lであるか、サイズ拡張指定子(.memex)が.Lである命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.2 に示します。

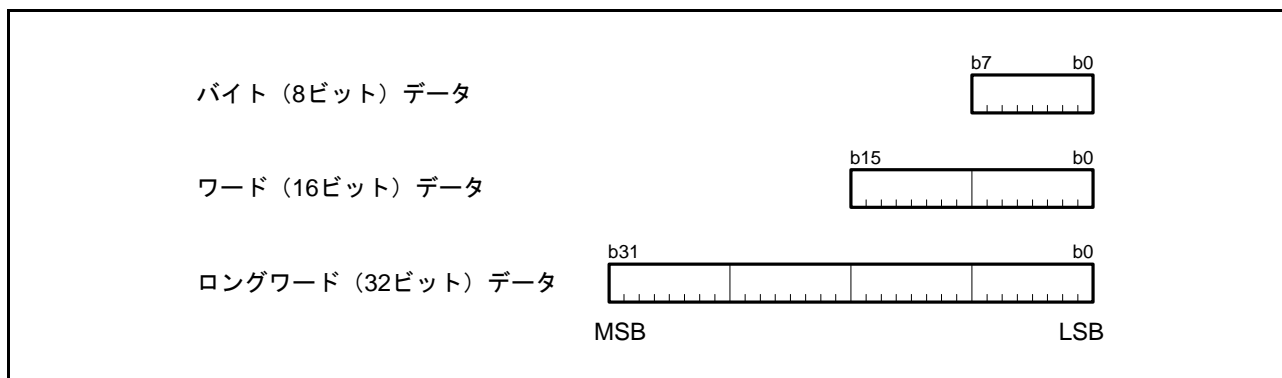


図 2.2 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト（8ビット）、ワード（16ビット）、ロングワード（32ビット）の3種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を図2.3に示します。

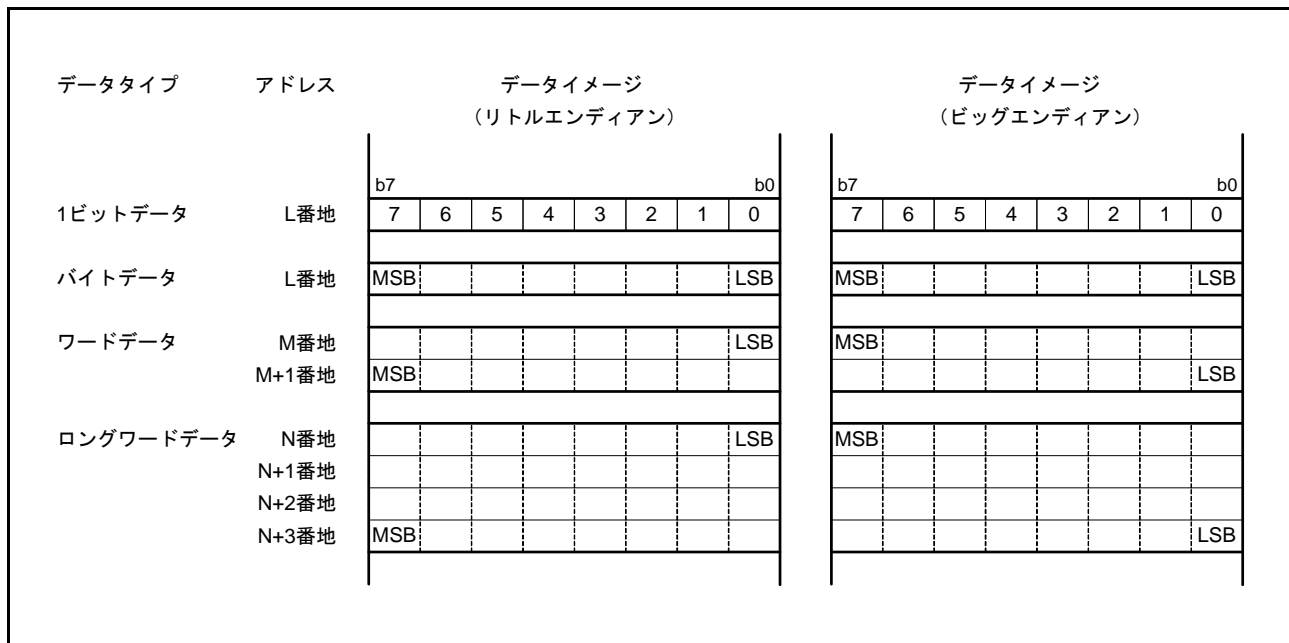


図 2.3 メモリ上のデータ配置

2.5.5 命令コード配置の注意事項

外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.6 ベクタテーブル

ベクタテーブルには、固定ベクタテーブルと可変ベクタテーブルがあります。ベクタテーブルは、1ベクタあたり4バイトで構成されており、各ベクタに対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 固定ベクタテーブル

固定ベクタテーブルは、テーブルの配置アドレスが固定されたベクタテーブルです。FFFFFF80h～FFFFFFFFh番地に、特権命令例外、アクセス例外、未定義命令例外、浮動小数点例外、ノンマスカブル割り込み、リセットの各ベクタを配置しています。図2.4に固定ベクタテーブルを示します。

	MSB	LSB
FFFFFF80h	(予約領域)	
:	:	
FFFFFFCCh	(予約領域)	
FFFFFFD0h	特権命令例外	
FFFFFFD4h	アクセス例外	
FFFFFFD8h	(予約領域)	
FFFFFFDCh	未定義命令例外	
FFFFFFE0h	(予約領域)	
FFFFFFE4h	浮動小数点例外	
FFFFFFE8h	(予約領域)	
FFFFFFECh	(予約領域)	
FFFFFFF0h	(予約領域)	
FFFFFFF4h	(予約領域)	
FFFFFFF8h	ノンマスカブル割り込み	
FFFFFFFCh	リセット	

図 2.4 固定ベクタテーブル

2.6.2 可変ベクタテーブル

可変ベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。図 2.5 に可変ベクタテーブルを示します。

可変ベクタテーブルには、ベクタごとに番号 (0 ~ 255) が付けられています。無条件トラップ発生要因の INT 命令ではオペランドで指定した番号 (0 ~ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ~ 255) が割り当てられています。割り込みのベクタ番号については、「14.3.1 割り込みのベクタテーブル」を参照してください。

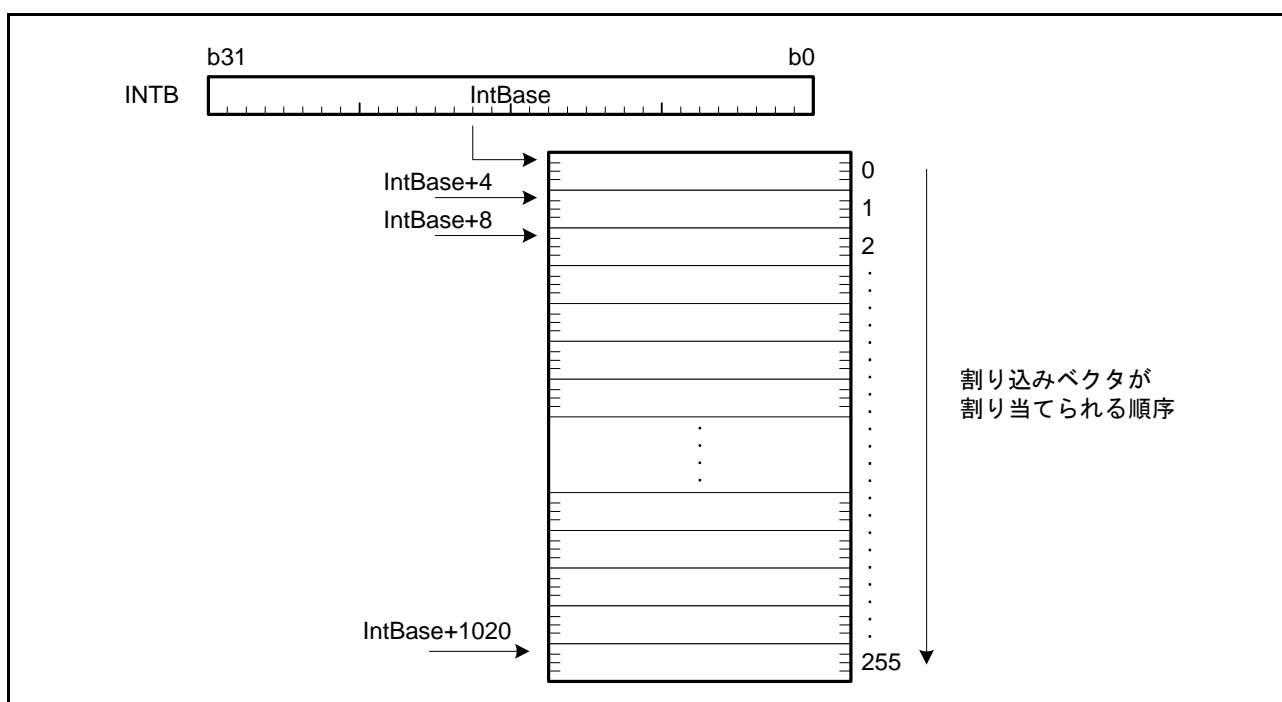


図 2.5 可変ベクタテーブル

2.7 命令動作

2.7.1 RMPA 命令、ストリング操作命令のデータプリフェッチ

RMPA 命令、および SSTR 命令を除くストリング操作命令 (SCMPU、SMOVB、SMOVF、SMOVU、SUNTIL、SWHILE) は、メモリからのデータ読み出し処理を高速化するため、データプリフェッチを行う場合があります。データ読み出し位置に対して、最大で 3 バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令 : R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令 : R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令 : R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令 : R2 で指定される転送元番地

2.8 パイプライン

2.8.1 概要

RX CPUは5段のパイプラインステージで構成されています。RX CPUの命令は、1つまたは、複数のマイクロオペレーションに変換され、RX CPUはマイクロオペレーションをパイプライン処理します。パイプラインステージは、IFステージは命令単位、Dステージ以降は、マイクロオペレーション単位で動作します。

以下にパイプラインの動作と各ステージの概要を示します。

(1) IFステージ（命令フェッチステージ）

命令フェッチを行うステージです。メモリから命令をフェッチします。RX CPUは8バイト×4本の命令キューを備えており、D（デコード）ステージのデコード処理完了とは無関係に、命令キューがいっぱいになるまでフェッチを続けます。

(2) Dステージ（デコードステージ）

Dステージは命令のデコード処理（DEC）を行い、命令をマイクロオペレーションに変換します。このステージでは、レジスタの読み出し（RF）を行い、先行する命令の演算結果を参照する処理の場合は、バイパス（BYP）を行います。バイパスにより、演算結果のレジスタへの書き込み（RW）と同時に、Dステージでのレジスタ参照が可能です。

(3) Eステージ（実行ステージ）

演算やアドレス計算など（OP）を行います。

(4) Mステージ（メモリアクセスステージ）

オペランドのメモリアクセス（OA1、OA2）を行います。メモリアクセス時のみ、このステージを使用します。このステージはさらにM1、M2の2段のサブステージに分かれます。RX CPUでは、M1、M2の各ステージに1個のメモリアクセスが存在することができます。

- M1ステージ（メモリアクセスステージ1）

オペランドのメモリアクセス（OA1）を行います。

ストア動作時：ライト要求がバスに受け付けられると、パイプライン処理は終了します。

ロード動作時：リード要求がバスに受け付けられると、M2ステージに進みます。要求受け付けとロードデータ到着が同時（ノーウェイトのメモリアクセス）の場合は、WBステージに進みます。

- M2ステージ（メモリアクセスステージ2）

オペランドのメモリアクセス（OA2）を行います。ロードデータの到着を待つステージです。ロードデータが到着すると、WBステージに進みます。

(5) WBステージ（ライトバックステージ）

演算結果やメモリから読み出したデータをレジスタに書きます（RW）。メモリからの読み出しデータとそれ以外の演算結果は同時（同じサイクル）にレジスタに書けます。

図 2.6 にパイプライン構成とその動作を示します。

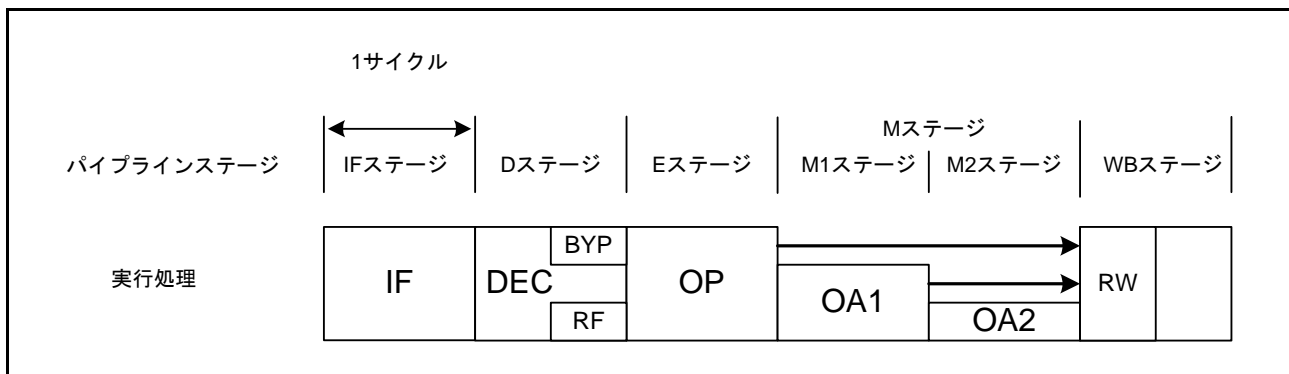


図 2.6 パイプライン構成と動作

2.8.2 命令とパイプライン処理

表中のオペランド表記は、以下に従います。

#IMM : 即値

flag : ビット、フラグ

Rs, Rs2, Rd, Rd2, Ri, Rb : 汎用レジスタ

CR : 制御レジスタ

dsp : ディスプレースメント

pcdsp : ディスプレースメント

2.8.2.1 単一のマイクロオペレーションに変換される命令とパイプライン処理

単一のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表2.13 単一マイクロオペレーションに変換される命令

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
算術/論理演算命令 (レジスタ間、即値-レジスタ) DIV、DIVU、EMUL、EMULU、 RMPA、SATRを除く	<ul style="list-style-type: none"> • {ABS, NEG, NOT} "Rd"/"Rs, Rd" • {ADC, MAX, MIN, ROTL, ROTR, XOR} "#IMM, Rd"/"Rs, Rd" • ADD "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd"/"Rs, Rs2, Rd" • {AND, MUL, OR, SUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd" • {CMP, TST} "#IMM, Rs"/"Rs, Rs2" • NOP • {ROLC, RORC, SAT} "Rd" • SBB "Rs, Rd" • {SHAR, SHLL, SHLR} "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd" 	図2.7	1
算術/論理演算命令 (除算)	<ul style="list-style-type: none"> • DIV "#IMM, Rd"/"Rs, Rd" • DIVU "#IMM, Rd"/"Rs, Rd" 	図2.7	3~20 (注1)
転送命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> • MOV "#IMM, Rd"/"Rs, Rd" • {MOVU, REVL, REVW} "Rs, Rd" • SC<i>Cnd</i> "Rd" • {STNZ, STZ} "#IMM, Rd" 	図2.7	1
転送命令 (ロード動作)	<ul style="list-style-type: none"> • {MOV, MOVU} "[Rs], Rd"/"dsp[Rs], Rd"/"[Rs+], Rd" "/[-Rs], Rd"/"[Ri, Rb], Rd" • POP "Rd" 	図2.8	スループット : 1 レイテンシ : 2 (注2)
転送命令 (ストア動作)	<ul style="list-style-type: none"> • MOV "Rs, [Rd]"/"Rs, dsp[Rd]"/"Rs, [Rd+]" "/"Rs, [-Rd]"/"Rs, [Ri, Rb]"/"#IMM, dsp[Rd]"/"#IMM, [Rd]" • PUSH "Rs" • PUSHC "CR" • SC<i>Cnd</i> "[Rd]"/"dsp[Rd]" 	図2.9	1
ビット操作命令 (レジスタ)	<ul style="list-style-type: none"> • {BCLR, BNOT, BSET} "#IMM, Rd"/"Rs, Rd" • BMC<i>Cnd</i> "#IMM, Rd" • BTST "#IMM, Rs"/"Rs, Rs2" 	図2.7	1
分岐命令	<ul style="list-style-type: none"> • BC<i>Cnd</i> "pcdsp" • {BRA, BSR} "pcdsp"/"Rs" • {JMP, JSR} "Rs" 	図2.18	分岐成立 : 3 分岐不成立 : 1
浮動小数点演算命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> • FCMP "#IMM, Rs"/"Rs, Rs2" 	図2.7	1
システム操作命令	<ul style="list-style-type: none"> • CLRPSW, SETPSW "flag" • MVTC "#IMM, CR"/"Rs, CR" • MVFC "CR, Rd" • MVTIPL"#IMM" 	—	1
DSP機能命令	<ul style="list-style-type: none"> • {MACHI, MACLO, MULHI, MULLO} "Rs, Rs2" • {MVFACHI, MVFACMI} "Rd" • {MVTACHI, MVTACLO} "Rs" • RACW"#IMM" 	図2.7	1

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。

注2. スループット、レイテンシ表記のサイクル数については「2.8.3 命令処理時間の計算方法」を参照してください。

基本的な単一のマイクロオペレーションに変換される命令動作を以下の図 2.7 ～図 2.9 に示します。

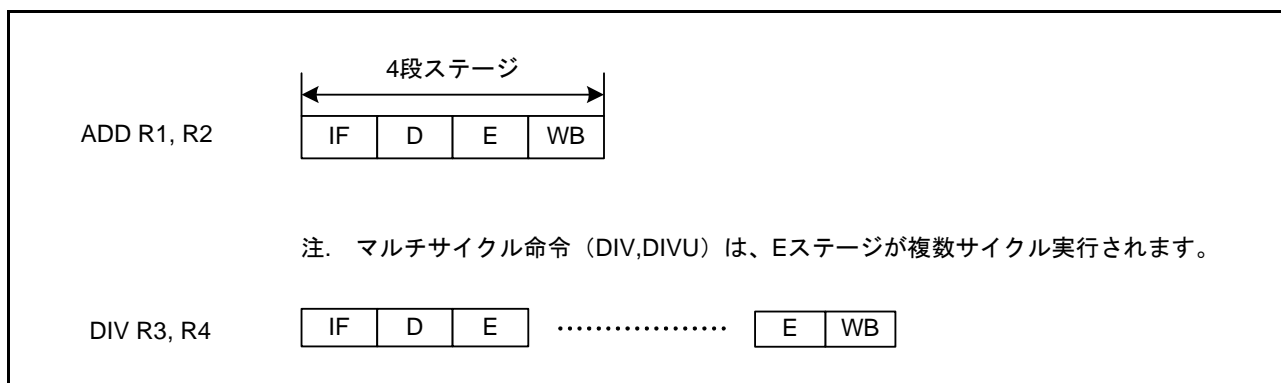


図 2.7 レジスタ間、即値－レジスタ演算

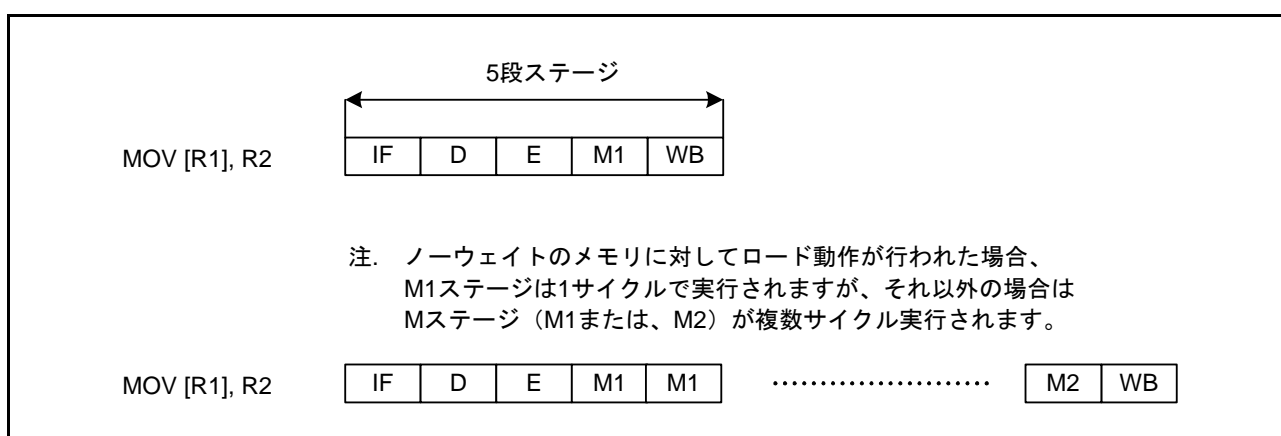


図 2.8 ロード動作

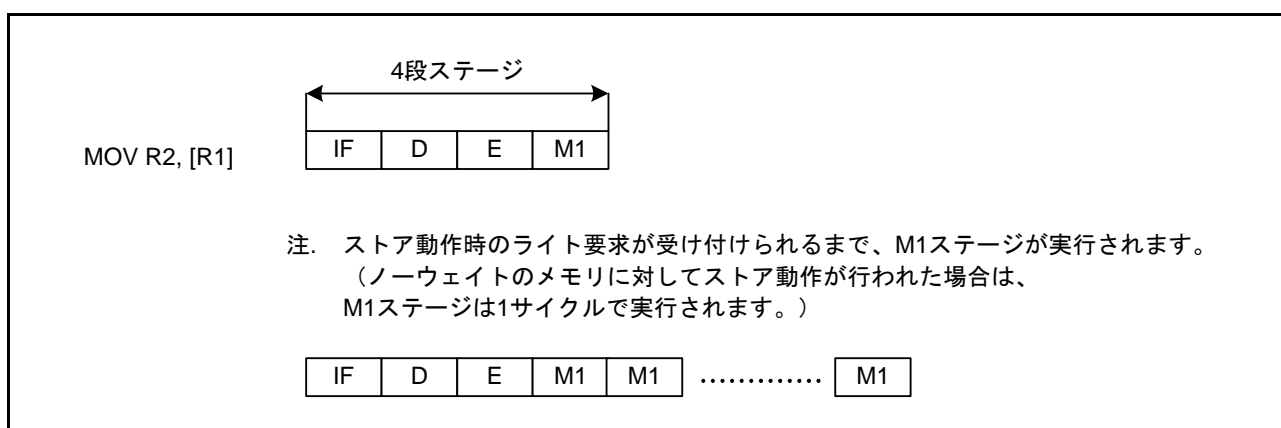


図 2.9 ストア動作

2.8.2.2 複数のマイクロオペレーションに変換される命令とパイプライン処理

複数のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表 2.14 複数マイクロオペレーションに変換される命令 (1 / 2)

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
算術／論理演算命令 (メモリスソースオペランド)	<ul style="list-style-type: none"> {ADC, ADD, AND, MAX, MIN, MUL, OR, SBB, SUB, XOR} “[Rs], Rd”/“dsp[Rs], Rd” {CMP, TST} “[Rs], Rs2”/“dsp[Rs], Rs2” 	図 2.10	3
算術／論理演算命令 (除算)	• DIV “[Rs], Rd / dsp[Rs], Rd”	—	5 ~ 22
	• DIVU “[Rs], Rd / dsp[Rs], Rd”	—	4 ~ 20
算術／論理演算命令 (乗算 32bit×32bit → 64bit) (レジスタ間、レジスター即値)	• {EMUL, EMULU} “#IMM, Rd”/“Rs, Rd”	図 2.12	2
算術／論理演算命令 (乗算 32bit×32bit → 64bit) (メモリスソースオペランド)	• {EMUL, EMULU} “[Rs], Rd”/“dsp[Rs], Rd”	—	4
算術／論理演算命令 (積和演算)	• RMPA.B	—	6+7×floor(n/4)+4×(n%4) nは処理バイト数 (注1)
	• RMPA.W	—	6+5×floor(n/2)+4×(n%2) nは処理ワード数 (注1)
	• RMPA.L	—	6+4n nは処理ロングワード数 (注1)
算術／論理演算命令 (RMPA命令用64ビット符号付き飽和処理)	• SATR	—	3
転送命令 (メモリ間転送)	<ul style="list-style-type: none"> MOV “[Rs], [Rd]”/“dsp[Rs], [Rd]”/“[Rs], dsp[Rd]”/“dsp[Rs], dsp[Rd]” PUSH “[Rs]”/“dsp[Rs]” 	図 2.11	3
ビット操作命令 (メモリスソースオペランド)	<ul style="list-style-type: none"> {BCLR, BNOT, BSET} “#IMM, [Rd]”/“#IMM, dsp[Rd]”/“Rs, [Rd]”/“Rs, dsp[Rd]” BMCnd “#IMM, [Rd]”/“#IMM, dsp[Rd]” BTST “#IMM, [Rs]”/“#IMM, dsp[Rs]”/“Rs, [Rs2]”/“Rs, dsp[Rs2]” 	図 2.11	3
転送命令 (ロード命令)	• POPC “CR”	—	スループット : 3 レイテンシ : 4 (注2)
転送命令 (複数レジスタの退避)	• PUSHM “Rs-Rs2”	—	n nはレジスタ数 (注3)
転送命令 (複数レジスタの復帰)	• POPM “Rs-Rs2”	—	スループット : n レイテンシ : n+1 nはレジスタ数 (注2、注4)
転送命令 (レジスタ間の交換)	• XCHG “Rs, Rd”	図 2.13	2
転送命令 (メモリーレジスタの交換)	• XCHG “[Rs], Rd”/“dsp[Rs], Rd”	図 2.14	2
分岐命令	• RTS	—	5
	• RTSD “#IMM”	—	5
	• RTSD “#IMM, Rd-Rd2”	—	スループット : n<5?5:1+n レイテンシ : n<4?5:2+n nはレジスタ数 (注2)

表2.14 複数マイクロオペレーションに変換される命令 (2 / 2)

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
ストリング操作命令 (注5)	• SCMPU	—	$2+4 \times \text{floor}(n/4)+4 \times (n\%4)$ nは比較バイト数 (注1)
	• SMOVB	—	$n > 3 ?$ $6+3 \times \text{floor}(n/4)+3 \times (n\%4):$ $2+3n$ nは転送バイト数 (注1)
	• SMOVF, SMOVU	—	$2+3 \times \text{floor}(n/4)+3 \times (n\%4)$ nは転送バイト数 (注1)
	• SSTR.B	—	$2+\text{floor}(n/4)+n\%4$ nは転送バイト数 (注1)
	• SSTR.W	—	$2+\text{floor}(n/2)+n\%2$ nは転送ワード数 (注1)
	• SSTR.L	—	$2+n$ nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	—	$3+3 \times \text{floor}(n/4)+3 \times (n\%4)$ nは比較バイト数 (注1)
	• SUNTIL.W, SWHILE.W	—	$3+3 \times \text{floor}(n/2)+3 \times (n\%2)$ nは比較ワード数 (注1)
	• SUNTIL.L, SWHILE.L	—	$3+3 \times n$ nは比較ロングワード数
浮動小数点演算命令 (レジスタ間、即値-レジスタ)	• {FADD, FSUB} “#IMM, Rd”/“Rs, Rd”	図2.15	4
	• FMUL “#IMM, Rd”/“Rs, Rd”	—	3
	• FDIV “#IMM, Rd”/“Rs, Rd”	—	16
	• {FTOI, ROUND, ITOF} “Rs, Rd”	—	2
浮動小数点演算命令 (メモリスソースオペランド)	• {FADD, FSUB} “[Rs], Rd”/“dsp[Rs], Rd”	—	6
	• FCMP “[Rs], Rs2”/“dsp[Rs], Rs2”	—	3
	• FMUL “[Rs], Rd”/“dsp[Rs], Rd”	—	5
	• FDIV “[Rs], Rd”/“dsp[Rs], Rd”	—	18
	• {FTOI, ROUND, ITOF} “[Rs], Rd” /“dsp[Rs], Rd”	—	4
システム操作命令	• RTE	—	6
	• RTFI	—	3

?: 条件演算子

注1. floor(x) : x以下の最大の整数

注2. スルービット、レイテンシ表記のサイクル数については「2.8.3 命令処理時間の計算方法」を参照してください。

注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。

注4. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。

注5. SCMPU, SMOVU, SWHILE, SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

基本的な複数のマイクロオペレーションに変換される命令動作を以下の図 2.10 ~ 図 2.15 に示します。

注. mop : マイクロオペレーション、stall : パイプラインストール

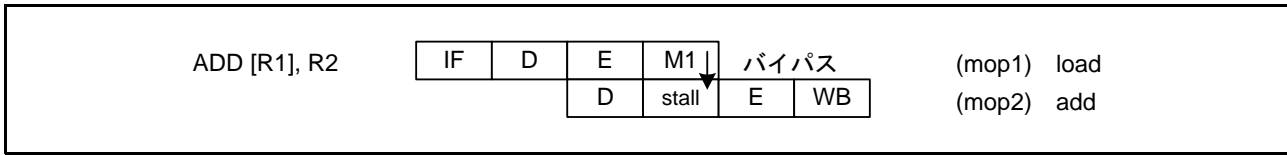


図 2.10 算術論理演算命令 (メモリスソースオペランド)

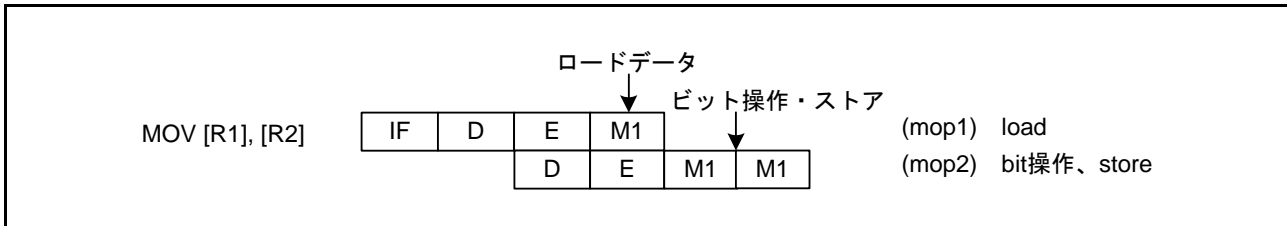


図 2.11 MOV 命令 (メモリ間転送)、ビット操作命令 (メモリスソースオペランド)

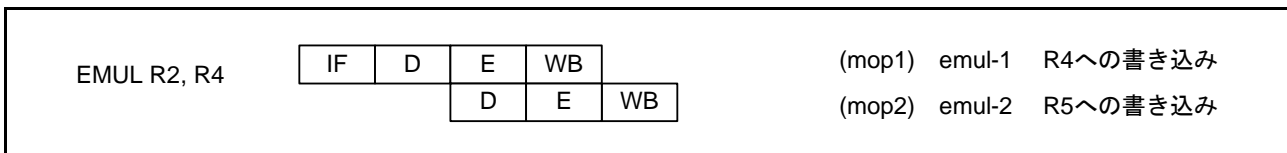


図 2.12 EMUL, EMULU 命令 (レジスタ間、レジスター即値)

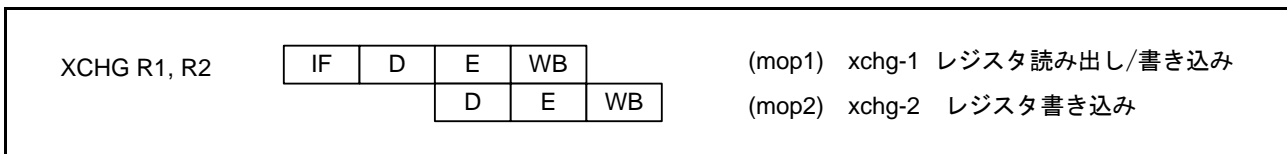


図 2.13 XCHG 命令 (レジスタ)

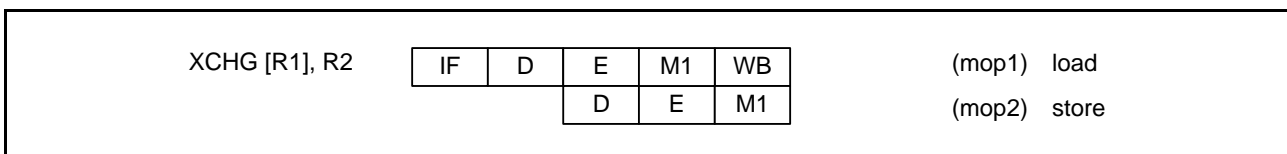


図 2.14 XCHG 命令 (メモリスソースオペランド)

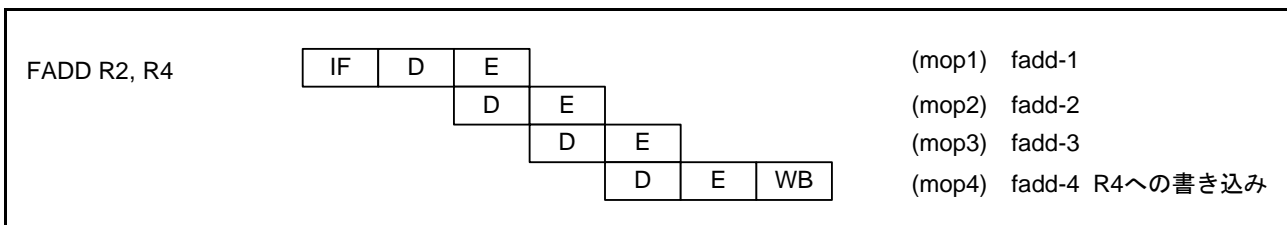


図 2.15 浮動小数点演算命令 (レジスタ間、即値-レジスタ)

2.8.2.3 パイプラインの基本動作

理想的なパイプライン処理では、各ステージの実行サイクル数は1ですが、各ステージでの処理や分岐実行などによりパイプライン処理が乱れることがあります。

CPUは、IFステージは命令単位、Dステージ以降は、マイクロオペレーション単位でパイプラインステージ制御を行います。

以下に代表的なケースについてパイプライン処理の状況を示します。

注. mop : マイクロオペレーション、stall : パイプラインストール

(1) パイプライン処理が乱れるケース

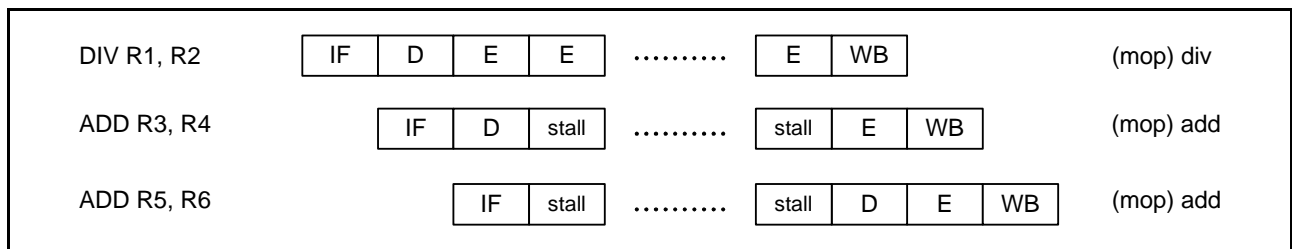


図 2.16 Eステージの実行に複数サイクルを要する命令の実行時

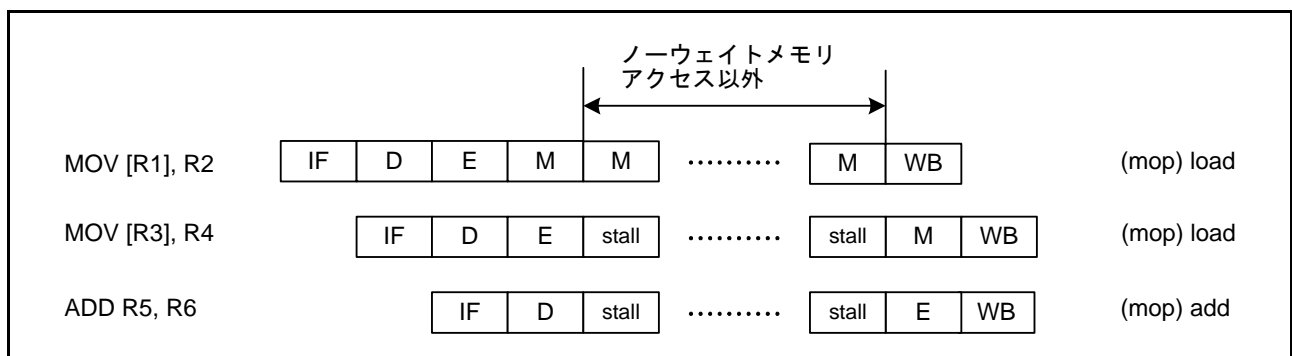


図 2.17 オペランドアクセスが1サイクルで終了しない場合

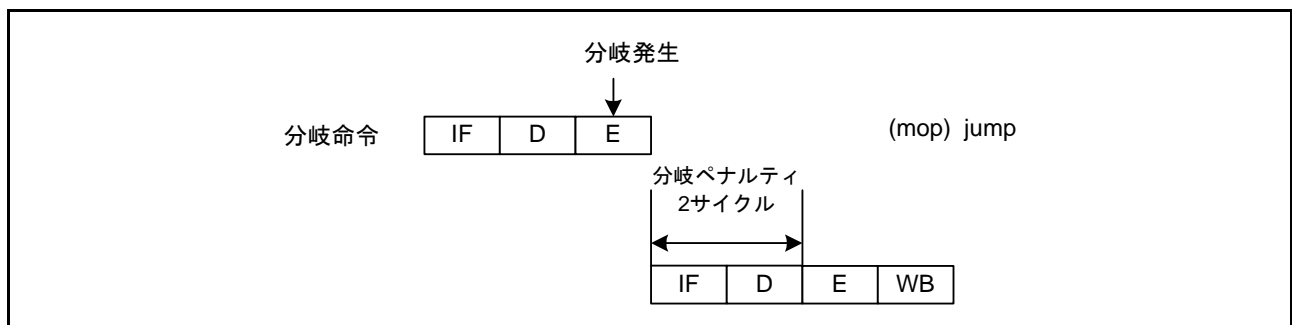


図 2.18 分岐（無条件分岐または、条件分岐で条件が成立した場合）

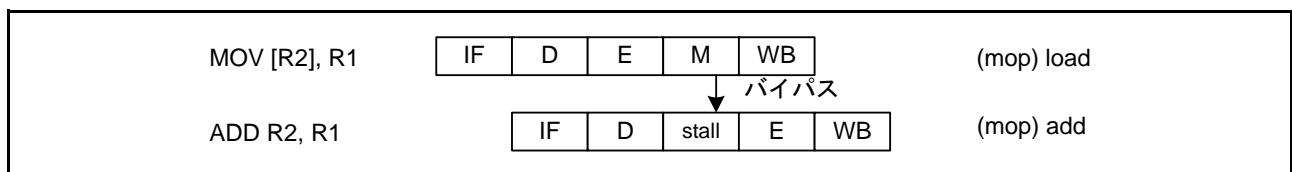


図 2.19 メモリから読み出したオペランドを後続命令が使用する場合

(2) パイプライン処理が乱れないケース

(a) バイパス

先行命令が書き込んだレジスタを後続命令が使用する場合であっても、レジスタ間演算の場合はバイパスにより、パイプライン処理は乱れません。

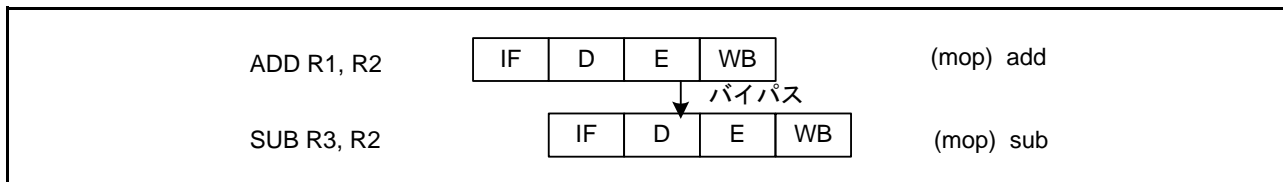


図 2.20 バイパス

(b) メモリロードと演算の WB ステージが重なっている場合

メモリロードと演算の WB ステージが重なっている場合であっても、ロードデータと演算結果はレジスタに同時に書けますので、パイプライン処理は乱れません。

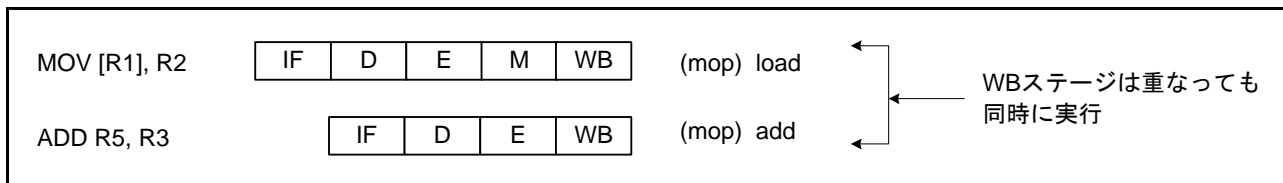


図 2.21 メモリロードと演算の WB ステージが重なっている場合

(c) メモリロードを終了する前に後続命令が同じレジスタへ書き込みを行った場合

メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合であっても、メモリロードの WB ステージはキャンセルされますので、パイプライン処理は乱れません。

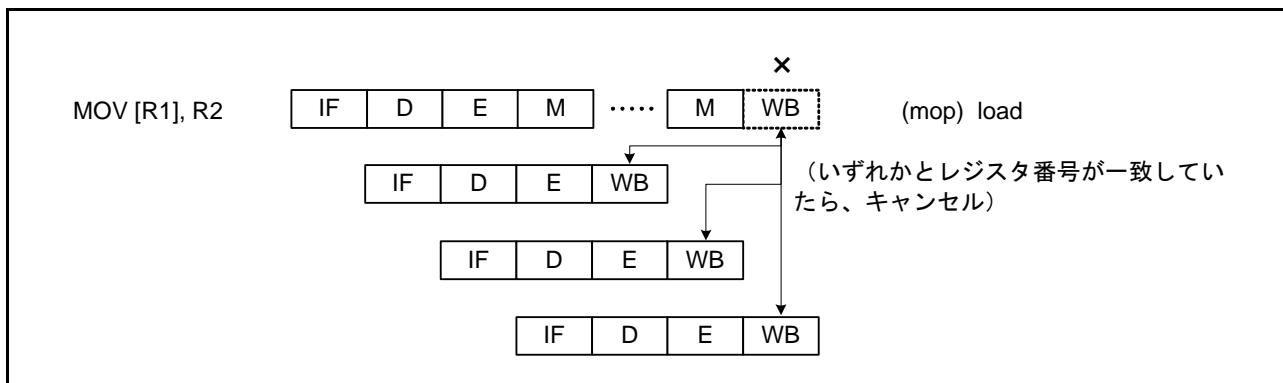


図 2.22 メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合

(d) メモリロードしたデータを後続命令が参照しない場合

メモリロードしたデータを後続命令が参照しない場合、後続の命令が先に実行されて完了します。
(Out-of-Order Completion)

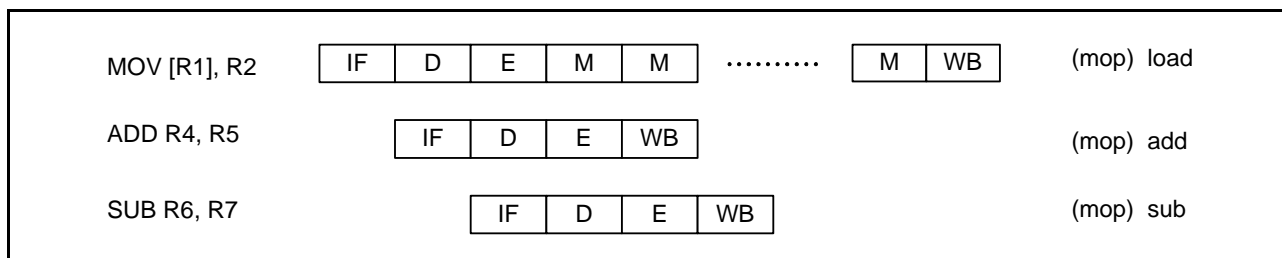


図 2.23 メモリロードしたデータを後続命令が参照しない場合

2.8.3 命令処理時間の計算方法

CPU の命令処理時間は、パイプライン処理によって変動しますが、次のような計算方法で命令処理時間を概算することができます。

- サイクル数をカウントします (表 2.13、表 2.14 を参照)。
- メモリロード結果を後続命令が参照する場合は、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数をカウントします。それ以外は“スループット”として記載されているサイクル数をカウントします。
- 命令フェッチストールが起きた場合は、さらにサイクル数が追加されます。
- システム構成によっては、メモリアクセスに複数サイクルかかります。

2.8.4 割り込み応答サイクル数

表 2.15 に割り込み応答処理のサイクル数を示します。

表 2.15 割り込み応答サイクル数

割り込み要求の種類/処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受け付けまでのサイクル数	Nサイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC、PSWのRAMへの退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外処理ルーチンへ分岐	4サイクル	6サイクル

表 2.15 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。本 MCU は、ノーウェイトアクセス可能な ROM、RAM を搭載しています。プログラム (含むベクタ) は ROM、スタック領域は RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、「表 2.13 単一マイクロオペレーションに変換される命令」、「表 2.14 複数マイクロオペレーションに変換される命令」を参照してください。

割り込み受け付けタイミングはパイプラインの状態に依存します。割り込み受け付けタイミングについては、「13.3.1 受け付けタイミングと退避される PC 値」を参照してください。

3. 動作モード

3.1 動作モードの種類と選択

動作モードには、リセット解除時の端子のレベルによって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

リセット解除時のモード設定端子（MD、PC7）のレベルと、そのとき選択される動作モードの関係を表3.1に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。いずれのモードで起動した場合でも、内蔵ROM（ROM、E2データフラッシュ）有効、外部バス無効の状態で作動を開始します。外部バスを有効にする場合はSYSCR0.EXBEビットを“1”（外部バス有効）にしてください。

表3.1 モード設定端子による動作モードの選択

モード設定端子		動作モード	SYSCR0レジスタ初期状態	
MD (注1)	PC7 (注2)		ROMEビット	EXBEビット
High	—	シングルチップモード	1 (内蔵ROM有効)	0 (外部バス無効)
Low	Low	ブートモード		
	High	ユーザブートモード		

注1. MCU動作中にMD端子を変化させないください。

注2. PC7端子は汎用ポートとしても使用可能です。

システムコントロールレジスタ0（SYSCR0）で設定可能な動作モードの一覧を表3.2に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。

表3.2 レジスタによる動作モードの選択

SYSCR0レジスタ		動作モード
ROMEビット	EXBEビット	
0 (内蔵ROM無効) (注1)	0 (外部バス無効)	シングルチップモード、ユーザブートモード
1 (内蔵ROM有効)	0 (外部バス無効)	
0 (内蔵ROM無効) (注1)	1 (外部バス有効)	内蔵ROM無効拡張モード
1 (内蔵ROM有効)	1 (外部バス有効)	内蔵ROM有効拡張モード

注1. ROMEビットを“0”にすると、“1”に戻せません。

シングルチップモード、ユーザブートモードでは、エンディアンを選択することができます。動作モードごとのエンディアンの設定は、表3.3に示すレジスタのエンディアン選択ビット（MDE[2:0]）で行います。設定値は表3.4を参照してください。

表3.3 エンディアンの設定

動作モード	エンディアン設定
シングルチップモード	オプション設定メモリのエンディアン選択レジスタ（MDES）に設定
ユーザブートモード	オプション設定メモリのエンディアン選択レジスタ（MDEB）に設定

表3.4 エンディアンの選択

MDE[2:0]ビットの設定値	選択されるエンディアン
000b	ビッグエンディアン
111b	リトルエンディアン

3.2 レジスタの説明

3.2.1 モードモニタレジスタ (MDMONR)

アドレス 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0/1 (注1)

注1. リセット解除時のMD端子のレベルが反映されます。

ビット	シンボル	ビット名	説明	R/W
b0	MD	MD端子ステータスフラグ	0 : MD端子は“Low” 1 : MD端子は“High”	R
b7-b1	—	予約ビット	読むと“0”が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定です	R
b15-b9	—	予約ビット	読むと“0”が読めます	R

3.2.2 モードステータスレジスタ (MDSR)

アドレス 0008 0002h

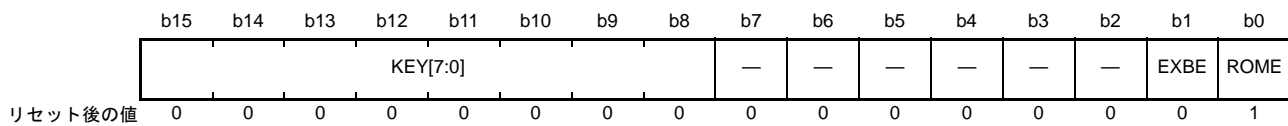
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	UBTS	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0/1 (注1)	0	0	0	0	1

注1. 起動時の動作モードによって異なります。

ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“1”が読めます	R
b4-b1	—	予約ビット	読むと“0”が読めます	R
b5	UBTS	ユーザブートモード起動フラグ	0 : シングルチップモードで起動した 1 : ユーザブートモードで起動した	R
b15-b6	—	予約ビット	読むと“0”が読めます	R

3.2.3 システムコントロールレジスタ 0 (SYSCR0)

アドレス 0008 0006h



ビット	シンボル	ビット名	説明	R/W
b0	ROME	内蔵ROM有効ビット	0: 内蔵ROM無効 1: 内蔵ROM有効	R/W
b1	EXBE	外部バス有効ビット	0: 外部バス無効 1: 外部バス有効	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	SYSCR0キーコード	SYSCR0レジスタの書き換えの可否を制御します。 SYSCR0レジスタを書き換える場合、上位8ビットに“5Ah”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. 書き込みデータは保持されません。

ROME ビット (内蔵 ROM 有効ビット)

内蔵 ROM (ROM、E2 データフラッシュ) の有効 / 無効を選択するビットです。

一度“0”にすると、“1”に戻すことはできません。

内蔵 ROM 上のプログラムを実行しているときは、“0”にしないでください。また、ROME ビットに“0”を書いた後は、ROME ビットが“0”になったことを確認してから次の処理を行ってください。

EXBE ビット (外部バス有効ビット)

外部バスの有効 / 無効を選択するビットです。

外部アドレス空間上のプログラムを実行しているときは、“0”にしないでください。また、外部バスへのアクセスが完了してから“0”を書いてください。また、DMAC の転送範囲に外部アドレス空間が含まれる場合は、DMA 転送を禁止してから実施してください。

EXBE ビットを書き換えた後は、EXBE ビットが書き換わったことを確認してから次の処理を行ってください。

なお、EXBE ビットを“1”にする場合、関連する I/O ポートの設定も必要となります。詳細は「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

3.2.4 システムコントロールレジスタ 1 (SYSCR1)

アドレス 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	説明	R/W
b0	RAME	RAM有効ビット	0 : RAM無効 1 : RAM有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

RAME ビット (RAM 有効ビット)

RAMの有効/無効を選択するビットです。

RAMをアクセスしているときは、“0”にしないでください。また、RAMEビットを“0”から“1”に書き換えた後は、RAMEビットが“1”になったことを確認してからRAMをアクセスするようにしてください。

RAMEビットを“0”にしても、RAMの値は保持されます。ただし、「41. 電気的特性」に規定するRAMスタンバイ電圧 (VRAM) 以上の電圧を保持する必要があります。

3.3 動作モードの説明

3.3.1 シングルチップモード

シングルチップモードは、外部バスが無効 (SYSCR0.EXBE ビット =0) で、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。起動時の内蔵 ROM は有効 (SYSCR0.ROME ビット =1) です。ソフトウェアで内蔵 ROM 無効 (SYSCR0.ROME ビット =0) にできますが、内蔵 ROM 有効 (SYSCR0.ROME ビット =1) に戻すことはできません。

SYSCR0.EXBE ビットを “1” (外部バス有効) にし、内蔵 ROM 有効拡張モードまたは内蔵 ROM 無効拡張モードに移行することで、外部バスを使用することができます。

3.3.2 内蔵 ROM 有効拡張モード

内蔵 ROM が有効 (SYSCR0.ROME ビット =1) で、外部バス拡張を有効 (SYSCR0.EXBE ビット =1) にしたモードです。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力として使用します。詳細は「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

シングルチップモードで起動後、SYSCR0.EXBE ビットを “1” (外部バス有効) にすると、内蔵 ROM 有効拡張モードになります。

SYSCR0.EXBE ビットを “0” (外部バス無効) にすると、シングルチップモード (内蔵 ROM 有効) に移行します。

SYSCR0.ROME ビットを “0” (内蔵 ROM 無効) にすると、内蔵 ROM 無効拡張モードに移行します。

3.3.3 内蔵 ROM 無効拡張モード

内蔵 ROM が無効 (SYSCR0.ROME ビット =0) で、外部バス拡張を有効 (SYSCR0.EXBE ビット =1) にしたモードです。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力として使用します。詳細は、「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

シングルチップモードで起動後、SYSCR0.EXBE ビットを “1” (外部バス有効)、SYSCR0.ROME ビットを “0” (内蔵 ROM 無効) にすると、内蔵 ROM 無効拡張モードになります。

内蔵 ROM を有効 (SYSCR0.ROME ビット =1) にすることはできません。

SYSCR0.EXBE ビットを “0” (外部バス無効) にすると、シングルチップモード (内蔵 ROM 無効) に移行します。

3.3.4 ブートモード

MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。調歩同期式シリアルインタフェース (SCI1) を使用して、MCU 外部から内蔵 ROM (ROM、E2 データフラッシュ) を書き換えることができます。詳細は、「40. フラッシュメモリ」を参照してください。

MD 端子を Low、PC7 端子を Low にしてリセットを解除すると、ブートモードで起動します。

3.3.5 ユーザブートモード

お客様が作成された内蔵フラッシュメモリ書き換えプログラム (ユーザブートプログラム) が動作するモードです。リセット解除後は、シングルチップモードと同等の状態から起動します。

UB コード A、UB コード B に規定の値をプログラムした後、MD 端子を Low、PC7 端子を High にしてリセットを解除すると、ユーザブートモードで起動します。UB コード A、UB コード B については「7. オプション設定メモリ」を参照してください。

ユーザブートモードで起動後、SYSCR0.EXBE ビットを “1” (外部バス有効) にすると、内蔵 ROM 有効拡張モードになります。

注． ユーザブートモードでは、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行しないください。

注． OFS0/OFS1 レジスタの設定は無効となり、FFFF FFFFh となります。

3.4 動作モード遷移

3.4.1 モード設定端子による動作モード遷移

MD 端子、PC7 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

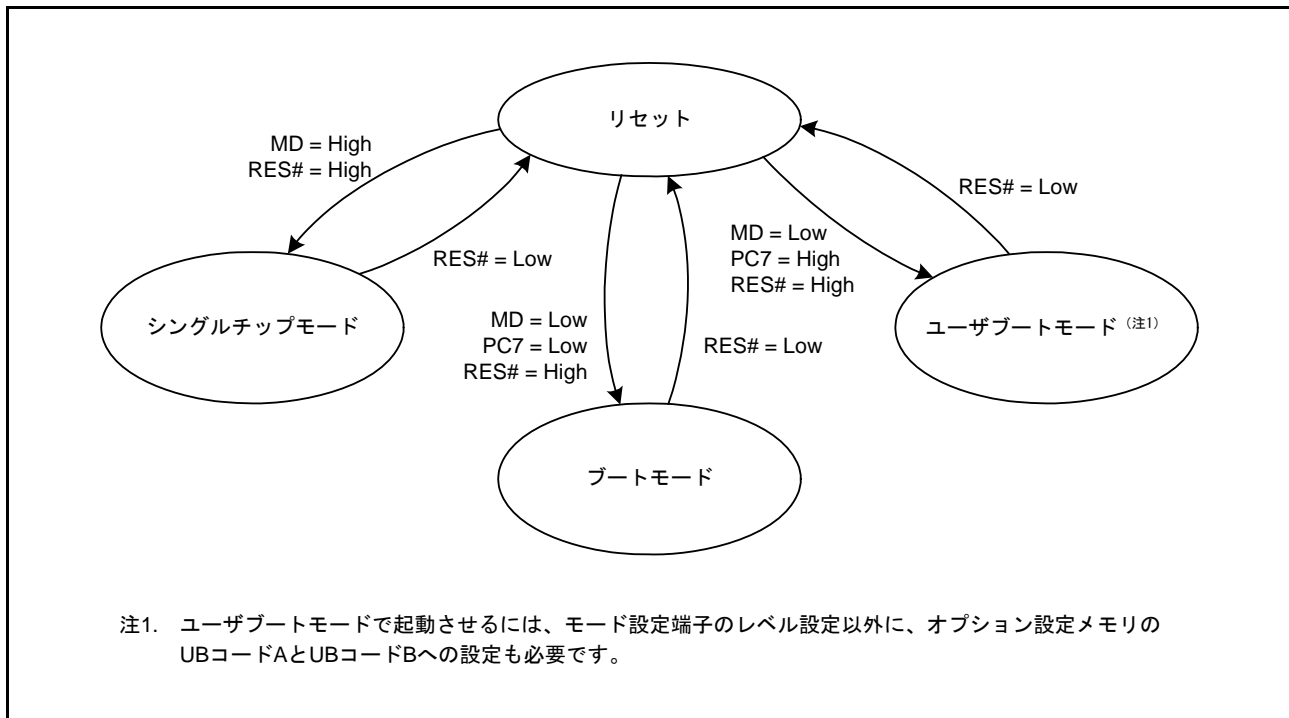


図 3.1 モード設定端子のレベルと動作モード

3.4.2 レジスタ設定による動作モード遷移

SYSCR0.ROME、EXBE ビットの設定による動作モード遷移について、図 3.2 に状態遷移図を示します。

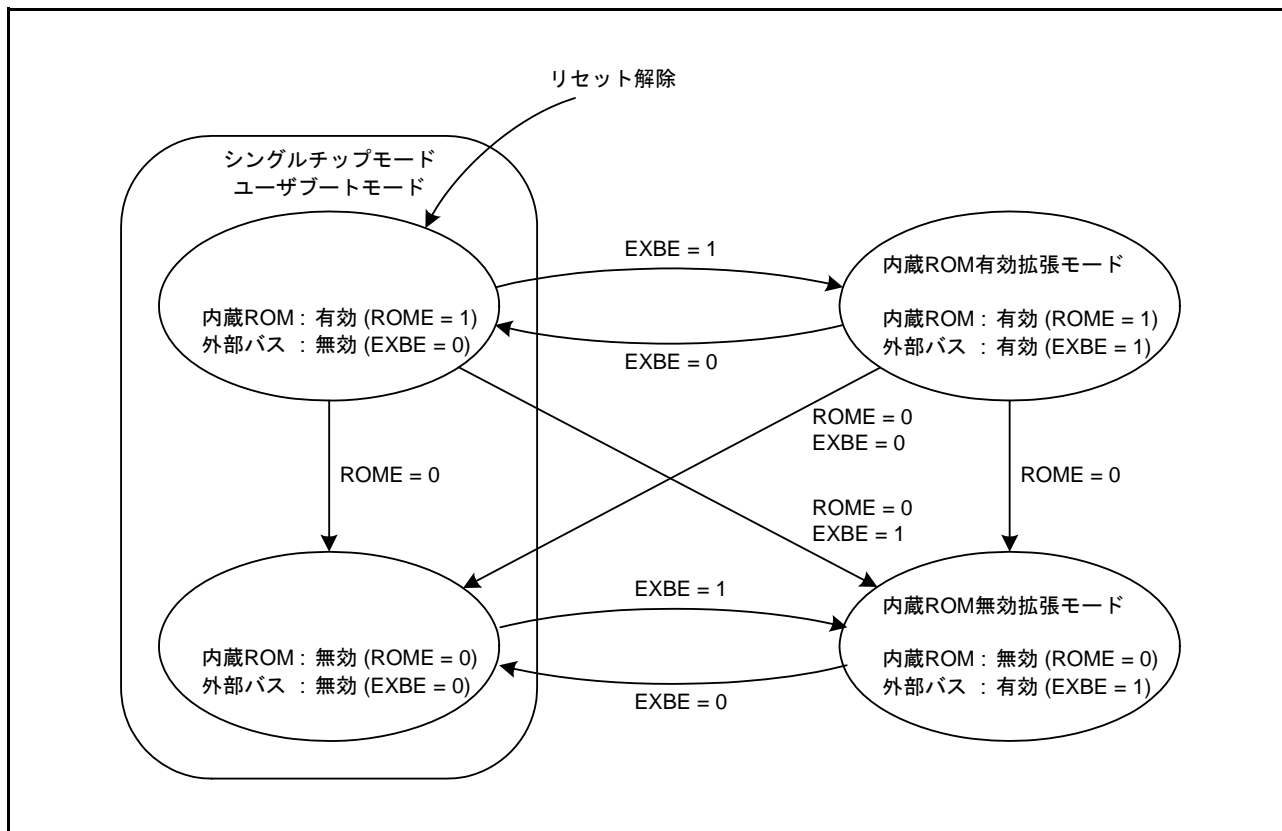


図 3.2 SYSCR0.ROME、EXBE ビットの設定と動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 4.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって違います。

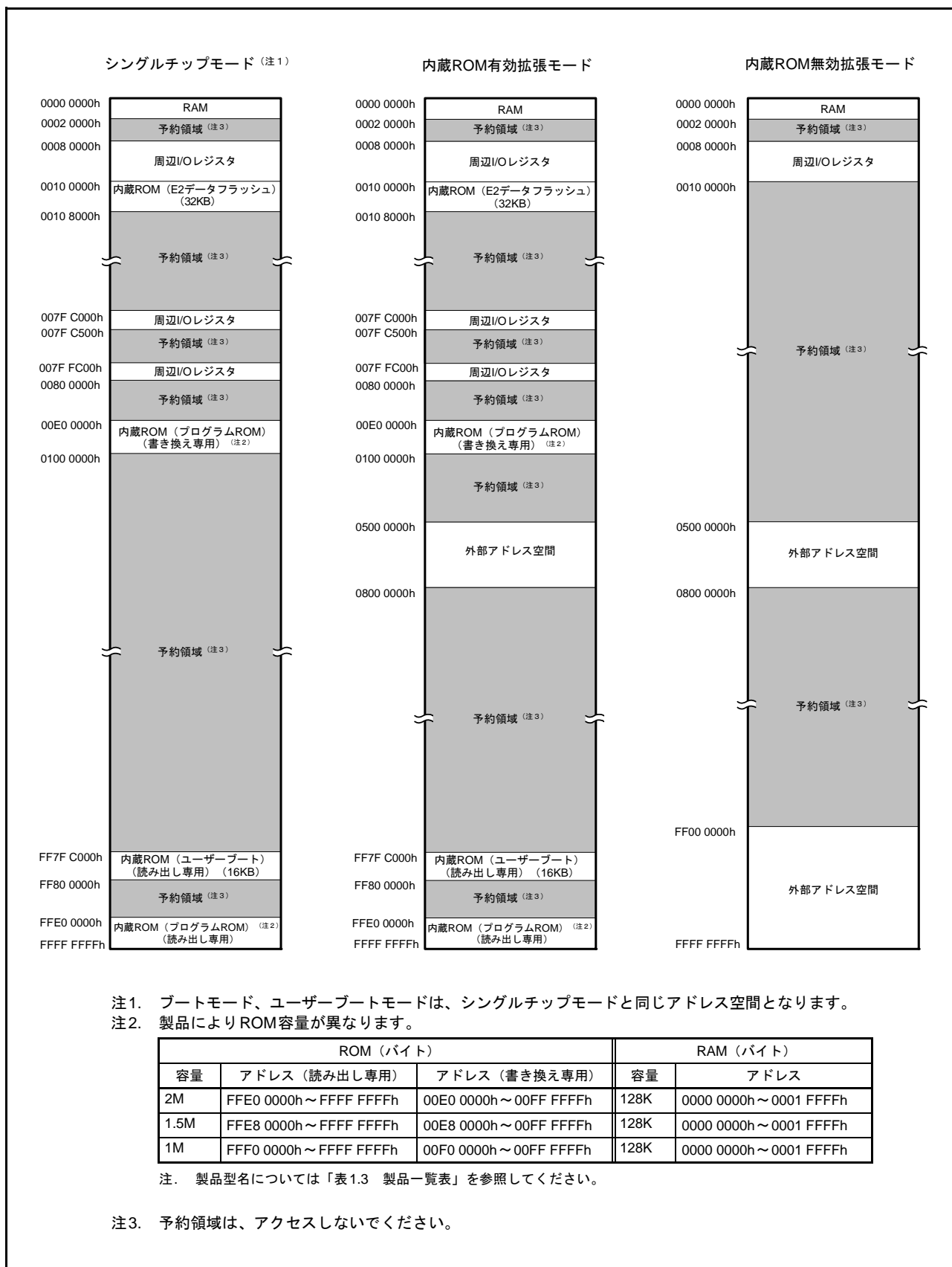


図 4.1 各動作モードのメモリマップ

4.2 外部アドレス空間

外部アドレス空間は、CSn# 端子 (n = 0 ~ 3) から出力される CSn# 信号によって最大 4 つの CS 領域 (CS0 ~ CS3) に分割できます。図 4.2 に内蔵 ROM 無効拡張モード時の CS 領域 (CS0 ~ CS3) とアドレスの対応を示します。

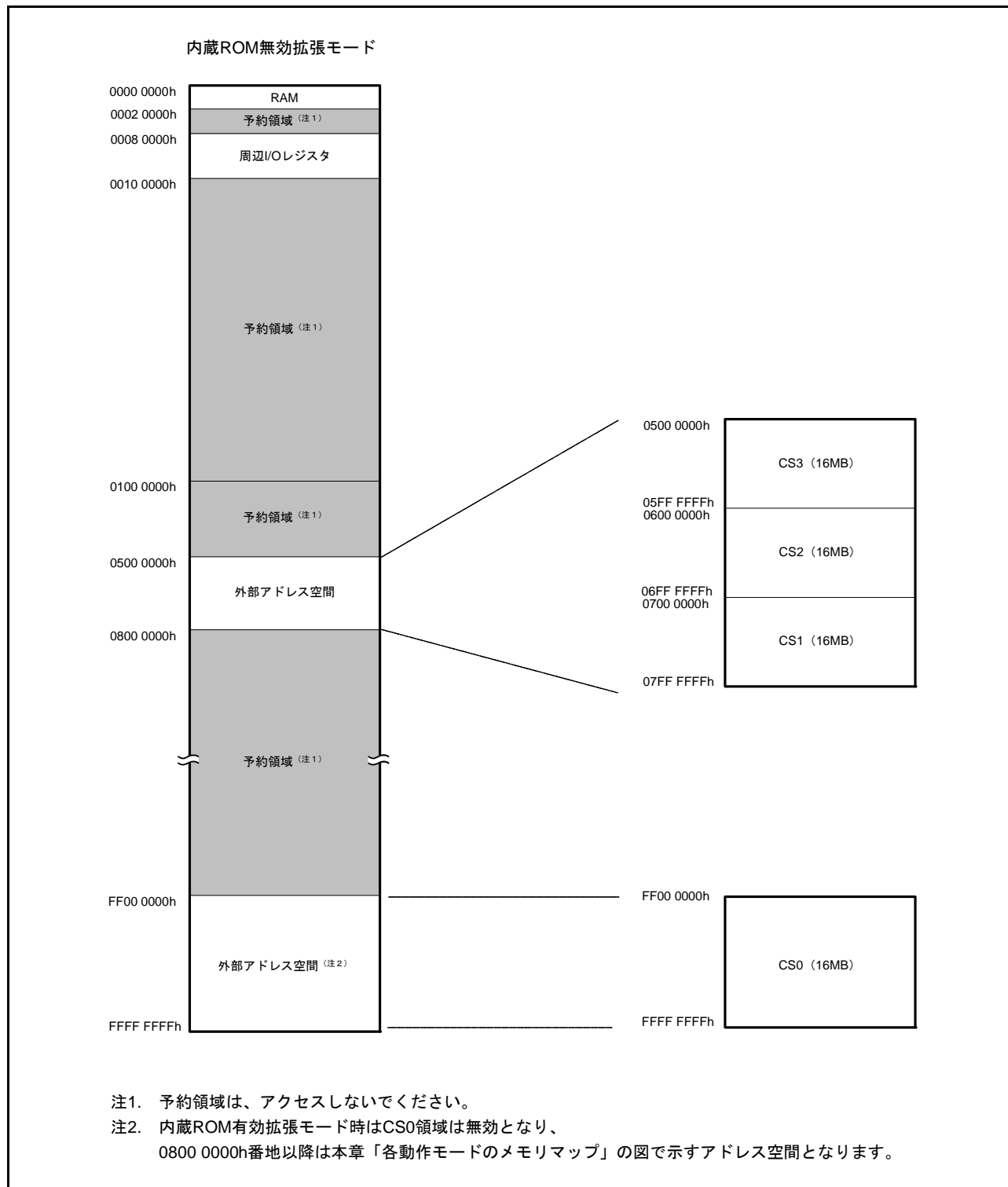


図 4.2 外部アドレス空間と CS 領域 (内蔵 ROM 無効拡張モードの場合)

5. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレスに関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/O レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/O レジスタ書き込み時の注意事項

CPU が I/O レジスタに書き込む際、CPU は書き込み完了を待たずに後続の命令を実行します。そのため、I/O レジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/O レジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENj ビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いて WAIT 命令を実行する場合

このような場合には、I/O レジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/O レジスタの書き込み
- (b) 書き込んだ I/O レジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/O レジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/O レジスタアクセスサイクル数

I/O レジスタアクセスサイクル数は、「表 5.1 I/O レジスタアドレス一覧」を参照してください。

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注 1)

$$\begin{aligned} \text{I/O レジスタアクセスサイクル数} = & \text{内部メインバス 1 のバスサイクル数} + \\ & \text{分周クロック同期化サイクル数} + \\ & \text{内部周辺バス 1 ～ 6 のバスサイクル数} \end{aligned}$$

内部周辺バス 1 ～ 6 のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス 2 ～ 6 に接続されている周辺機能、および外部バス制御部のレジスタ（バスエラー関連のレジスタは除く）へアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK（または FCLK、BCLK）の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ （または FCLK）の周波数関係の場合、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK（または FCLK）で最大 1 サイクルとなるため、表 5.1 では 1PCLK（または FCLK）の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ （または FCLK）の周波数関係の場合、次のバスアクセスが周辺機能が終了した次の ICLK サイクルから開始されるため、ICLK 単位の記載となっています。

外部バス制御部では内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、BCLK で最大 1 サイクルとなるため、表 5.1 では 1BCLK の幅を持たせて記載しています。

注 1. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ（DMAC、DTC）のバスアクセスと競合せずに実行された場合のサイクル数です。

5.1 I/O レジスタアドレス一覧（アドレス順）

表5.1 I/O レジスタアドレス一覧（1 / 34）

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合				
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK		動作モード	89		
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK			89		
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK			90		
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK			91		
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK		消費電力低減機能	210		
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK			211		
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK			213		
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK		215			
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK		クロック発生回路	174		
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK			176		
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK			177		
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK			178		
0008 0030h	SYSTEM	外部バスクロックコントロールレジスタ	BCKCR	8	8	3ICLK			179		
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK			180		
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK			181		
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK			182		
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK			183		
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK			184		
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK			消費電力低減機能	216	
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK				219	
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK				220	
0008 00A6h	SYSTEM	PLLウェイトコントロールレジスタ	PLLWTCR	8	8	3ICLK		221			
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTS2	8	8	3ICLK		リセット	136		
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK			140		
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK		LVDA	157		
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK			158		
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK			158		
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK			159		
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK		レジスタライトプロテクション機能	249		
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK		バス	321		
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK			321		
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK			322		
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK			322		
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK			323		
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACA	374		
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK			374		
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK			375		
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK			377		
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK			378		
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK			379		
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK			381		

表5.1 I/O レジスタアドレス一覧 (2 / 3 4)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合			
0008 2018h	DMAC0	DMA オフセットレジスタ	DMOFR	32	32	2ICLK		DMACA	384	
0008 201Ch	DMAC0	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK			385	
0008 201Dh	DMAC0	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK			386	
0008 201Eh	DMAC0	DMA ステータスレジスタ	DMSTS	8	8	2ICLK			387	
0008 201Fh	DMAC0	DMA 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK			389	
0008 2040h	DMAC1	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK			374	
0008 2044h	DMAC1	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK			374	
0008 2048h	DMAC1	DMA 転送カウントレジスタ	DMCRA	32	32	2ICLK			375	
0008 204Ch	DMAC1	DMA ブロック転送カウントレジスタ	DMCRB	16	16	2ICLK			377	
0008 2050h	DMAC1	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK			378	
0008 2053h	DMAC1	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK			379	
0008 2054h	DMAC1	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK			381	
0008 205Ch	DMAC1	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK			385	
0008 205Dh	DMAC1	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK			386	
0008 205Eh	DMAC1	DMA ステータスレジスタ	DMSTS	8	8	2ICLK			387	
0008 205Fh	DMAC1	DMA 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK			389	
0008 2080h	DMAC2	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK			374	
0008 2084h	DMAC2	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK			374	
0008 2088h	DMAC2	DMA 転送カウントレジスタ	DMCRA	32	32	2ICLK			375	
0008 208Ch	DMAC2	DMA ブロック転送カウントレジスタ	DMCRB	16	16	2ICLK			377	
0008 2090h	DMAC2	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK			378	
0008 2093h	DMAC2	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK			379	
0008 2094h	DMAC2	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK			381	
0008 209Ch	DMAC2	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK			385	
0008 209Dh	DMAC2	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK			386	
0008 209Eh	DMAC2	DMA ステータスレジスタ	DMSTS	8	8	2ICLK			387	
0008 209Fh	DMAC2	DMA 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK			389	
0008 20C0h	DMAC3	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK			374	
0008 20C4h	DMAC3	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK			374	
0008 20C8h	DMAC3	DMA 転送カウントレジスタ	DMCRA	32	32	2ICLK			375	
0008 20CCh	DMAC3	DMA ブロック転送カウントレジスタ	DMCRB	16	16	2ICLK			377	
0008 20D0h	DMAC3	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK			378	
0008 20D3h	DMAC3	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK			379	
0008 20D4h	DMAC3	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK			381	
0008 20DCh	DMAC3	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK			385	
0008 20DDh	DMAC3	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK			386	
0008 20DEh	DMAC3	DMA ステータスレジスタ	DMSTS	8	8	2ICLK			387	
0008 20DFh	DMAC3	DMA 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK			389	
0008 2200h	DMAC	DMA モジュール起動レジスタ	DMAST	8	8	2ICLK			390	
0008 2400h	DTC	DTC コントロールレジスタ	DTCCR	8	8	2ICLK		DTCa	419	
0008 2404h	DTC	DTC ベクタベースレジスタ	DTCVBR	32	32	2ICLK			420	
0008 2408h	DTC	DTC アドレスモードレジスタ	DTCADMOD	8	8	2ICLK			420	
0008 240Ch	DTC	DTC モジュール起動レジスタ	DTCST	8	8	2ICLK			421	
0008 240Eh	DTC	DTC ステータスレジスタ	DTCSTS	16	16	2ICLK			422	
0008 3002h	BSC	CS0 モードレジスタ	CS0MOD	16	16	1 ~ 2BCLK		バス	313	
0008 3004h	BSC	CS0 ウェイト制御レジスタ1	CS0WCR1	32	32	1 ~ 2BCLK			315	
0008 3008h	BSC	CS0 ウェイト制御レジスタ2	CS0WCR2	32	32	1 ~ 2BCLK			318	
0008 3012h	BSC	CS1 モードレジスタ	CS1MOD	16	16	1 ~ 2BCLK			313	
0008 3014h	BSC	CS1 ウェイト制御レジスタ1	CS1WCR1	32	32	1 ~ 2BCLK			315	
0008 3018h	BSC	CS1 ウェイト制御レジスタ2	CS1WCR2	32	32	1 ~ 2BCLK			318	
0008 3022h	BSC	CS2 モードレジスタ	CS2MOD	16	16	1 ~ 2BCLK			313	

表5.1 I/O レジスタアドレス一覧 (3 / 3 4)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 3024h	BSC	CS2 ウェイト制御レジスタ 1	CS2WCR1	32	32	1 ~ 2BCLK		バス	315	
0008 3028h	BSC	CS2 ウェイト制御レジスタ 2	CS2WCR2	32	32	1 ~ 2BCLK			318	
0008 3032h	BSC	CS3 モードレジスタ	CS3MOD	16	16	1 ~ 2BCLK			313	
0008 3034h	BSC	CS3 ウェイト制御レジスタ 1	CS3WCR1	32	32	1 ~ 2BCLK			315	
0008 3038h	BSC	CS3 ウェイト制御レジスタ 2	CS3WCR2	32	32	1 ~ 2BCLK			318	
0008 3802h	BSC	CS0 制御レジスタ	CS0CR	16	16	1 ~ 2BCLK			306	
0008 380Ah	BSC	CS0 リカバリサイクル設定レジスタ	CS0REC	16	16	1 ~ 2BCLK			308	
0008 3812h	BSC	CS1 制御レジスタ	CS1CR	16	16	1 ~ 2BCLK			306	
0008 381Ah	BSC	CS1 リカバリサイクル設定レジスタ	CS1REC	16	16	1 ~ 2BCLK			308	
0008 3822h	BSC	CS2 制御レジスタ	CS2CR	16	16	1 ~ 2BCLK			306	
0008 382Ah	BSC	CS2 リカバリサイクル設定レジスタ	CS2REC	16	16	1 ~ 2BCLK			308	
0008 3832h	BSC	CS3 制御レジスタ	CS3CR	16	16	1 ~ 2BCLK			306	
0008 383Ah	BSC	CS3 リカバリサイクル設定レジスタ	CS3REC	16	16	1 ~ 2BCLK			308	
0008 3880h	BSC	CS リカバリサイクル挿入許可レジスタ	CSRECEN	16	16	1 ~ 2BCLK			310	
0008 6400h	MPU	領域0 開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK			MPU	357
0008 6404h	MPU	領域0 終了ページ番号レジスタ	REPAGE0	32	32	1ICLK		358		
0008 6408h	MPU	領域1 開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK		357		
0008 640Ch	MPU	領域1 終了ページ番号レジスタ	REPAGE1	32	32	1ICLK		358		
0008 6410h	MPU	領域2 開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK		357		
0008 6414h	MPU	領域2 終了ページ番号レジスタ	REPAGE2	32	32	1ICLK		358		
0008 6418h	MPU	領域3 開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK		357		
0008 641Ch	MPU	領域3 終了ページ番号レジスタ	REPAGE3	32	32	1ICLK		358		
0008 6420h	MPU	領域4 開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK		357		
0008 6424h	MPU	領域4 終了ページ番号レジスタ	REPAGE4	32	32	1ICLK		358		
0008 6428h	MPU	領域5 開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK		357		
0008 642Ch	MPU	領域5 終了ページ番号レジスタ	REPAGE5	32	32	1ICLK		358		
0008 6430h	MPU	領域6 開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK		357		
0008 6434h	MPU	領域6 終了ページ番号レジスタ	REPAGE6	32	32	1ICLK		358		
0008 6438h	MPU	領域7 開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK		357		
0008 643Ch	MPU	領域7 終了ページ番号レジスタ	REPAGE7	32	32	1ICLK		358		
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK		359		
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK		359		
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK		360		
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK		361		
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK		362		
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK		362		
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK		363		
0008 6526h	MPU	領域インバリデイトオペレーションレジスタ	MPOPI	16	16	1ICLK		363		
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK		364		
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK		365		
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK		ICU _b	261	
0008 7015h	ICU	割り込み要求レジスタ 021	IR021	8	8	2ICLK			261	
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK			261	
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK			261	
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK			261	
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK			261	
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK			261	
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK			261	

表5.1 I/O レジスタアドレス一覧 (4 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK \geq PCLK の 場合	ICLK $<$ PCLK の場合			
0008 7020h	ICU	割り込み要求レジスタ 032	IR032	8	8	2ICLK		ICUb	261	
0008 7021h	ICU	割り込み要求レジスタ 033	IR033	8	8	2ICLK			261	
0008 7022h	ICU	割り込み要求レジスタ 034	IR034	8	8	2ICLK			261	
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK			261	
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK			261	
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK			261	
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK			261	
0008 7030h	ICU	割り込み要求レジスタ 048	IR048	8	8	2ICLK			261	
0008 7031h	ICU	割り込み要求レジスタ 049	IR049	8	8	2ICLK			261	
0008 7032h	ICU	割り込み要求レジスタ 050	IR050	8	8	2ICLK			261	
0008 7033h	ICU	割り込み要求レジスタ 051	IR051	8	8	2ICLK			261	
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK			261	
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK			261	
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK			261	
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK			261	
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK			261	
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK			261	
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK			261	
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK			261	
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK			261	
0008 7048h	ICU	割り込み要求レジスタ 072	IR072	8	8	2ICLK			261	
0008 7049h	ICU	割り込み要求レジスタ 073	IR073	8	8	2ICLK			261	
0008 704Ah	ICU	割り込み要求レジスタ 074	IR074	8	8	2ICLK			261	
0008 704Bh	ICU	割り込み要求レジスタ 075	IR075	8	8	2ICLK			261	
0008 704Ch	ICU	割り込み要求レジスタ 076	IR076	8	8	2ICLK			261	
0008 704Dh	ICU	割り込み要求レジスタ 077	IR077	8	8	2ICLK			261	5V 版にはありません
0008 704Eh	ICU	割り込み要求レジスタ 078	IR078	8	8	2ICLK			261	5V 版にはありません
0008 704Fh	ICU	割り込み要求レジスタ 079	IR079	8	8	2ICLK			261	5V 版にはありません
0008 705Eh	ICU	割り込み要求レジスタ 094	IR094	8	8	2ICLK			261	5V 版にはありません
0008 705Fh	ICU	割り込み要求レジスタ 095	IR095	8	8	2ICLK			261	5V 版にはありません
0008 7062h	ICU	割り込み要求レジスタ 098	IR098	8	8	2ICLK			261	
0008 7063h	ICU	割り込み要求レジスタ 099	IR099	8	8	2ICLK			261	
0008 7064h	ICU	割り込み要求レジスタ 100	IR100	8	8	2ICLK			261	
0008 7065h	ICU	割り込み要求レジスタ 101	IR101	8	8	2ICLK			261	
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK			261	
0008 7067h	ICU	割り込み要求レジスタ 103	IR103	8	8	2ICLK			261	
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK			261	
0008 706Bh	ICU	割り込み要求レジスタ 107	IR107	8	8	2ICLK			261	
0008 706Fh	ICU	割り込み要求レジスタ 111	IR111	8	8	2ICLK			261	5V 版にはありません
0008 7070h	ICU	割り込み要求レジスタ 112	IR112	8	8	2ICLK			261	5V 版にはありません
0008 7071h	ICU	割り込み要求レジスタ 113	IR113	8	8	2ICLK			261	5V 版にはありません
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK			261	
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK			261	
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK			261	
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK			261	
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK			261	
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK			261	
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK			261	
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK			261	
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK			261	
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK			261	

表5.1 I/O レジスタアドレス一覧 (5 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK \geq PCLK の 場合	ICLK $<$ PCLK の場合			
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK		ICUb	261	
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK			261	
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK			261	
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK			261	
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK			261	
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK			261	
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK			261	
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK			261	
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK			261	
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK			261	
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK			261	
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK			261	
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK			261	
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK			261	
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK			261	
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK			261	
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK			261	
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK			261	
0008 708Eh	ICU	割り込み要求レジスタ 142	IR142	8	8	2ICLK			261	
0008 708Fh	ICU	割り込み要求レジスタ 143	IR143	8	8	2ICLK			261	
0008 7090h	ICU	割り込み要求レジスタ 144	IR144	8	8	2ICLK			261	
0008 7091h	ICU	割り込み要求レジスタ 145	IR145	8	8	2ICLK			261	
0008 7092h	ICU	割り込み要求レジスタ 146	IR146	8	8	2ICLK			261	
0008 7093h	ICU	割り込み要求レジスタ 147	IR147	8	8	2ICLK			261	
0008 7094h	ICU	割り込み要求レジスタ 148	IR148	8	8	2ICLK			261	
0008 7095h	ICU	割り込み要求レジスタ 149	IR149	8	8	2ICLK			261	
0008 7096h	ICU	割り込み要求レジスタ 150	IR150	8	8	2ICLK			261	
0008 7097h	ICU	割り込み要求レジスタ 151	IR151	8	8	2ICLK			261	
0008 7098h	ICU	割り込み要求レジスタ 152	IR152	8	8	2ICLK			261	
0008 7099h	ICU	割り込み要求レジスタ 153	IR153	8	8	2ICLK			261	
0008 709Ah	ICU	割り込み要求レジスタ 154	IR154	8	8	2ICLK			261	
0008 709Bh	ICU	割り込み要求レジスタ 155	IR155	8	8	2ICLK			261	
0008 709Ch	ICU	割り込み要求レジスタ 156	IR156	8	8	2ICLK			261	
0008 709Dh	ICU	割り込み要求レジスタ 157	IR157	8	8	2ICLK			261	
0008 709Eh	ICU	割り込み要求レジスタ 158	IR158	8	8	2ICLK			261	
0008 709Fh	ICU	割り込み要求レジスタ 159	IR159	8	8	2ICLK			261	
0008 70A0h	ICU	割り込み要求レジスタ 160	IR160	8	8	2ICLK			261	
0008 70A1h	ICU	割り込み要求レジスタ 161	IR161	8	8	2ICLK			261	
0008 70A2h	ICU	割り込み要求レジスタ 162	IR162	8	8	2ICLK			261	
0008 70A3h	ICU	割り込み要求レジスタ 163	IR163	8	8	2ICLK			261	
0008 70A4h	ICU	割り込み要求レジスタ 164	IR164	8	8	2ICLK			261	
0008 70A5h	ICU	割り込み要求レジスタ 165	IR165	8	8	2ICLK			261	
0008 70A6h	ICU	割り込み要求レジスタ 166	IR166	8	8	2ICLK			261	
0008 70A7h	ICU	割り込み要求レジスタ 167	IR167	8	8	2ICLK			261	
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK			261	
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK			261	
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK			261	
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK			261	
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK			261	
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK			261	
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK			261	

表5.1 I/O レジスタアドレス一覧 (6 / 3 4)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合			
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK		ICUb	261	
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK			261	
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK			261	
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK			261	
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK			261	
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK			261	
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK			261	
0008 70BAh	ICU	割り込み要求レジスタ 186	IR186	8	8	2ICLK			261	
0008 70BBh	ICU	割り込み要求レジスタ 187	IR187	8	8	2ICLK			261	
0008 70BCh	ICU	割り込み要求レジスタ 188	IR188	8	8	2ICLK			261	
0008 70BDh	ICU	割り込み要求レジスタ 189	IR189	8	8	2ICLK			261	
0008 70BEh	ICU	割り込み要求レジスタ 190	IR190	8	8	2ICLK			261	
0008 70BFh	ICU	割り込み要求レジスタ 191	IR191	8	8	2ICLK			261	
0008 70C0h	ICU	割り込み要求レジスタ 192	IR192	8	8	2ICLK			261	
0008 70C1h	ICU	割り込み要求レジスタ 193	IR193	8	8	2ICLK			261	
0008 70C2h	ICU	割り込み要求レジスタ 194	IR194	8	8	2ICLK			261	
0008 70C3h	ICU	割り込み要求レジスタ 195	IR195	8	8	2ICLK			261	
0008 70C4h	ICU	割り込み要求レジスタ 196	IR196	8	8	2ICLK			261	
0008 70C5h	ICU	割り込み要求レジスタ 197	IR197	8	8	2ICLK			261	
0008 70C6h	ICU	割り込み要求レジスタ 198	IR198	8	8	2ICLK			261	
0008 70C7h	ICU	割り込み要求レジスタ 199	IR199	8	8	2ICLK			261	
0008 70C8h	ICU	割り込み要求レジスタ 200	IR200	8	8	2ICLK			261	
0008 70C9h	ICU	割り込み要求レジスタ 201	IR201	8	8	2ICLK			261	
0008 70CAh	ICU	割り込み要求レジスタ 202	IR202	8	8	2ICLK			261	
0008 70CBh	ICU	割り込み要求レジスタ 203	IR203	8	8	2ICLK			261	
0008 70CCh	ICU	割り込み要求レジスタ 204	IR204	8	8	2ICLK			261	
0008 70CDh	ICU	割り込み要求レジスタ 205	IR205	8	8	2ICLK			261	
0008 70CEh	ICU	割り込み要求レジスタ 206	IR206	8	8	2ICLK			261	
0008 70CFh	ICU	割り込み要求レジスタ 207	IR207	8	8	2ICLK			261	
0008 70D0h	ICU	割り込み要求レジスタ 208	IR208	8	8	2ICLK			261	
0008 70D1h	ICU	割り込み要求レジスタ 209	IR209	8	8	2ICLK			261	
0008 70D2h	ICU	割り込み要求レジスタ 210	IR210	8	8	2ICLK			261	
0008 70D3h	ICU	割り込み要求レジスタ 211	IR211	8	8	2ICLK			261	
0008 70D4h	ICU	割り込み要求レジスタ 212	IR212	8	8	2ICLK			261	
0008 70D5h	ICU	割り込み要求レジスタ 213	IR213	8	8	2ICLK			261	
0008 70D6h	ICU	割り込み要求レジスタ 214	IR214	8	8	2ICLK			261	
0008 70D7h	ICU	割り込み要求レジスタ 215	IR215	8	8	2ICLK			261	
0008 70D8h	ICU	割り込み要求レジスタ 216	IR216	8	8	2ICLK			261	
0008 70D9h	ICU	割り込み要求レジスタ 217	IR217	8	8	2ICLK			261	
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK			261	
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK			261	
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK			261	
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK			261	
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK			261	
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK			261	
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK			261	
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK			261	
0008 70E2h	ICU	割り込み要求レジスタ 226	IR226	8	8	2ICLK			261	
0008 70E3h	ICU	割り込み要求レジスタ 227	IR227	8	8	2ICLK			261	
0008 70E4h	ICU	割り込み要求レジスタ 228	IR228	8	8	2ICLK			261	
0008 70E5h	ICU	割り込み要求レジスタ 229	IR229	8	8	2ICLK			261	

表5.1 I/O レジスタアドレス一覧 (7 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合			
0008 70E6h	ICU	割り込み要求レジスタ 230	IR230	8	8	2ICLK		ICUb	261	
0008 70E7h	ICU	割り込み要求レジスタ 231	IR231	8	8	2ICLK			261	
0008 70E8h	ICU	割り込み要求レジスタ 232	IR232	8	8	2ICLK			261	
0008 70E9h	ICU	割り込み要求レジスタ 233	IR233	8	8	2ICLK			261	
0008 70EAh	ICU	割り込み要求レジスタ 234	IR234	8	8	2ICLK			261	
0008 70EBh	ICU	割り込み要求レジスタ 235	IR235	8	8	2ICLK			261	
0008 70ECh	ICU	割り込み要求レジスタ 236	IR236	8	8	2ICLK			261	
0008 70EDh	ICU	割り込み要求レジスタ 237	IR237	8	8	2ICLK			261	
0008 70EEh	ICU	割り込み要求レジスタ 238	IR238	8	8	2ICLK			261	
0008 70EFh	ICU	割り込み要求レジスタ 239	IR239	8	8	2ICLK			261	
0008 70F0h	ICU	割り込み要求レジスタ 240	IR240	8	8	2ICLK			261	
0008 70F1h	ICU	割り込み要求レジスタ 241	IR241	8	8	2ICLK			261	
0008 70F2h	ICU	割り込み要求レジスタ 242	IR242	8	8	2ICLK			261	
0008 70F3h	ICU	割り込み要求レジスタ 243	IR243	8	8	2ICLK			261	
0008 70F4h	ICU	割り込み要求レジスタ 244	IR244	8	8	2ICLK			261	
0008 70F5h	ICU	割り込み要求レジスタ 245	IR245	8	8	2ICLK			261	
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK			261	
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK			261	
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK			261	
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK			261	
0008 70FAh	ICU	割り込み要求レジスタ 250	IR250	8	8	2ICLK			261	
0008 70FBh	ICU	割り込み要求レジスタ 251	IR251	8	8	2ICLK			261	
0008 70FCh	ICU	割り込み要求レジスタ 252	IR252	8	8	2ICLK			261	
0008 70FDh	ICU	割り込み要求レジスタ 253	IR253	8	8	2ICLK			261	
0008 711Bh	ICU	DTC 起動許可レジスタ 027	DT CER027	8	8	2ICLK			266	
0008 711Ch	ICU	DTC 起動許可レジスタ 028	DT CER028	8	8	2ICLK			266	
0008 711Dh	ICU	DTC 起動許可レジスタ 029	DT CER029	8	8	2ICLK			266	
0008 711Eh	ICU	DTC 起動許可レジスタ 030	DT CER030	8	8	2ICLK			266	
0008 711Fh	ICU	DTC 起動許可レジスタ 031	DT CER031	8	8	2ICLK			266	
0008 712Dh	ICU	DTC 起動許可レジスタ 045	DT CER045	8	8	2ICLK			266	
0008 712Eh	ICU	DTC 起動許可レジスタ 046	DT CER046	8	8	2ICLK			266	
0008 7131h	ICU	DTC 起動許可レジスタ 049	DT CER049	8	8	2ICLK			266	
0008 7132h	ICU	DTC 起動許可レジスタ 050	DT CER050	8	8	2ICLK			266	
0008 7140h	ICU	DTC 起動許可レジスタ 064	DT CER064	8	8	2ICLK			266	
0008 7141h	ICU	DTC 起動許可レジスタ 065	DT CER065	8	8	2ICLK			266	
0008 7142h	ICU	DTC 起動許可レジスタ 066	DT CER066	8	8	2ICLK			266	
0008 7143h	ICU	DTC 起動許可レジスタ 067	DT CER067	8	8	2ICLK			266	
0008 7144h	ICU	DTC 起動許可レジスタ 068	DT CER068	8	8	2ICLK			266	
0008 7145h	ICU	DTC 起動許可レジスタ 069	DT CER069	8	8	2ICLK			266	
0008 7146h	ICU	DTC 起動許可レジスタ 070	DT CER070	8	8	2ICLK			266	
0008 7147h	ICU	DTC 起動許可レジスタ 071	DT CER071	8	8	2ICLK			266	
0008 7148h	ICU	DTC 起動許可レジスタ 072	DT CER072	8	8	2ICLK			266	
0008 7149h	ICU	DTC 起動許可レジスタ 073	DT CER073	8	8	2ICLK			266	
0008 714Ah	ICU	DTC 起動許可レジスタ 074	DT CER074	8	8	2ICLK			266	
0008 714Bh	ICU	DTC 起動許可レジスタ 075	DT CER075	8	8	2ICLK			266	
0008 714Ch	ICU	DTC 起動許可レジスタ 076	DT CER076	8	8	2ICLK			266	
0008 714Dh	ICU	DTC 起動許可レジスタ 077	DT CER077	8	8	2ICLK			266	5V 版にはありません
0008 714Eh	ICU	DTC 起動許可レジスタ 078	DT CER078	8	8	2ICLK			266	5V 版にはありません
0008 714Fh	ICU	DTC 起動許可レジスタ 079	DT CER079	8	8	2ICLK			266	5V 版にはありません
0008 7163h	ICU	DTC 起動許可レジスタ 099	DT CER099	8	8	2ICLK			266	
0008 7164h	ICU	DTC 起動許可レジスタ 100	DT CER100	8	8	2ICLK			266	

表5.1 I/O レジスタアドレス一覧 (8 / 3 4)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合			
0008 7166h	ICU	DTC 起動許可レジスタ 102	DTCER102	8	8	2ICLK		ICUb	266	
0008 7167h	ICU	DTC 起動許可レジスタ 103	DTCER103	8	8	2ICLK			266	
0008 716Ah	ICU	DTC 起動許可レジスタ 106	DTCER106	8	8	2ICLK			266	
0008 716Bh	ICU	DTC 起動許可レジスタ 107	DTCER107	8	8	2ICLK			266	
0008 716Fh	ICU	DTC 起動許可レジスタ 111	DTCER111	8	8	2ICLK			266	5V 版にはありません
0008 7170h	ICU	DTC 起動許可レジスタ 112	DTCER112	8	8	2ICLK			266	5V 版にはありません
0008 7172h	ICU	DTC 起動許可レジスタ 114	DTCER114	8	8	2ICLK			266	
0008 7173h	ICU	DTC 起動許可レジスタ 115	DTCER115	8	8	2ICLK			266	
0008 7174h	ICU	DTC 起動許可レジスタ 116	DTCER116	8	8	2ICLK			266	
0008 7175h	ICU	DTC 起動許可レジスタ 117	DTCER117	8	8	2ICLK			266	
0008 7179h	ICU	DTC 起動許可レジスタ 121	DTCER121	8	8	2ICLK			266	
0008 717Ah	ICU	DTC 起動許可レジスタ 122	DTCER122	8	8	2ICLK			266	
0008 717Dh	ICU	DTC 起動許可レジスタ 125	DTCER125	8	8	2ICLK			266	
0008 717Eh	ICU	DTC 起動許可レジスタ 126	DTCER126	8	8	2ICLK			266	
0008 7181h	ICU	DTC 起動許可レジスタ 129	DTCER129	8	8	2ICLK			266	
0008 7182h	ICU	DTC 起動許可レジスタ 130	DTCER130	8	8	2ICLK			266	
0008 7183h	ICU	DTC 起動許可レジスタ 131	DTCER131	8	8	2ICLK			266	
0008 7184h	ICU	DTC 起動許可レジスタ 132	DTCER132	8	8	2ICLK			266	
0008 7186h	ICU	DTC 起動許可レジスタ 134	DTCER134	8	8	2ICLK			266	
0008 7187h	ICU	DTC 起動許可レジスタ 135	DTCER135	8	8	2ICLK			266	
0008 7188h	ICU	DTC 起動許可レジスタ 136	DTCER136	8	8	2ICLK			266	
0008 7189h	ICU	DTC 起動許可レジスタ 137	DTCER137	8	8	2ICLK			266	
0008 718Ah	ICU	DTC 起動許可レジスタ 138	DTCER138	8	8	2ICLK			266	
0008 718Bh	ICU	DTC 起動許可レジスタ 139	DTCER139	8	8	2ICLK			266	
0008 718Ch	ICU	DTC 起動許可レジスタ 140	DTCER140	8	8	2ICLK			266	
0008 718Dh	ICU	DTC 起動許可レジスタ 141	DTCER141	8	8	2ICLK			266	
0008 718Eh	ICU	DTC 起動許可レジスタ 142	DTCER142	8	8	2ICLK			266	
0008 718Fh	ICU	DTC 起動許可レジスタ 143	DTCER143	8	8	2ICLK			266	
0008 7190h	ICU	DTC 起動許可レジスタ 144	DTCER144	8	8	2ICLK			266	
0008 7191h	ICU	DTC 起動許可レジスタ 145	DTCER145	8	8	2ICLK			266	
0008 7193h	ICU	DTC 起動許可レジスタ 147	DTCER147	8	8	2ICLK			266	
0008 7194h	ICU	DTC 起動許可レジスタ 148	DTCER148	8	8	2ICLK			266	
0008 7197h	ICU	DTC 起動許可レジスタ 151	DTCER151	8	8	2ICLK			266	
0008 7198h	ICU	DTC 起動許可レジスタ 152	DTCER152	8	8	2ICLK			266	
0008 719Bh	ICU	DTC 起動許可レジスタ 155	DTCER155	8	8	2ICLK			266	
0008 719Ch	ICU	DTC 起動許可レジスタ 156	DTCER156	8	8	2ICLK			266	
0008 719Dh	ICU	DTC 起動許可レジスタ 157	DTCER157	8	8	2ICLK			266	
0008 719Eh	ICU	DTC 起動許可レジスタ 158	DTCER158	8	8	2ICLK			266	
0008 71A0h	ICU	DTC 起動許可レジスタ 160	DTCER160	8	8	2ICLK			266	
0008 71A1h	ICU	DTC 起動許可レジスタ 161	DTCER161	8	8	2ICLK			266	
0008 71A4h	ICU	DTC 起動許可レジスタ 164	DTCER164	8	8	2ICLK			266	
0008 71A5h	ICU	DTC 起動許可レジスタ 165	DTCER165	8	8	2ICLK			266	
0008 71AEh	ICU	DTC 起動許可レジスタ 174	DTCER174	8	8	2ICLK			266	
0008 71AFh	ICU	DTC 起動許可レジスタ 175	DTCER175	8	8	2ICLK			266	
0008 71B1h	ICU	DTC 起動許可レジスタ 177	DTCER177	8	8	2ICLK			266	
0008 71B2h	ICU	DTC 起動許可レジスタ 178	DTCER178	8	8	2ICLK			266	
0008 71B4h	ICU	DTC 起動許可レジスタ 180	DTCER180	8	8	2ICLK			266	
0008 71B5h	ICU	DTC 起動許可レジスタ 181	DTCER181	8	8	2ICLK			266	
0008 71B7h	ICU	DTC 起動許可レジスタ 183	DTCER183	8	8	2ICLK			266	
0008 71B8h	ICU	DTC 起動許可レジスタ 184	DTCER184	8	8	2ICLK			266	
0008 71BBh	ICU	DTC 起動許可レジスタ 187	DTCER187	8	8	2ICLK			266	

表5.1 I/O レジスタアドレス一覧 (9 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合			
0008 71BCh	ICU	DTC 起動許可レジスタ 188	DT CER188	8	8	2ICLK		ICUb	266	
0008 71BFh	ICU	DTC 起動許可レジスタ 191	DT CER191	8	8	2ICLK			266	
0008 71C0h	ICU	DTC 起動許可レジスタ 192	DT CER192	8	8	2ICLK			266	
0008 71C3h	ICU	DTC 起動許可レジスタ 195	DT CER195	8	8	2ICLK			266	
0008 71C4h	ICU	DTC 起動許可レジスタ 196	DT CER196	8	8	2ICLK			266	
0008 71C6h	ICU	DTC 起動許可レジスタ 198	DT CER198	8	8	2ICLK			266	
0008 71C7h	ICU	DTC 起動許可レジスタ 199	DT CER199	8	8	2ICLK			266	
0008 71C8h	ICU	DTC 起動許可レジスタ 200	DT CER200	8	8	2ICLK			266	
0008 71C9h	ICU	DTC 起動許可レジスタ 201	DT CER201	8	8	2ICLK			266	
0008 71CBh	ICU	DTC 起動許可レジスタ 203	DT CER203	8	8	2ICLK			266	
0008 71CCh	ICU	DTC 起動許可レジスタ 204	DT CER204	8	8	2ICLK			266	
0008 71CFh	ICU	DTC 起動許可レジスタ 207	DT CER207	8	8	2ICLK			266	
0008 71D0h	ICU	DTC 起動許可レジスタ 208	DT CER208	8	8	2ICLK			266	
0008 71D3h	ICU	DTC 起動許可レジスタ 211	DT CER211	8	8	2ICLK			266	
0008 71D4h	ICU	DTC 起動許可レジスタ 212	DT CER212	8	8	2ICLK			266	
0008 71D7h	ICU	DTC 起動許可レジスタ 215	DT CER215	8	8	2ICLK			266	
0008 71D8h	ICU	DTC 起動許可レジスタ 216	DT CER216	8	8	2ICLK			266	
0008 71DBh	ICU	DTC 起動許可レジスタ 219	DT CER219	8	8	2ICLK			266	
0008 71DCh	ICU	DTC 起動許可レジスタ 220	DT CER220	8	8	2ICLK			266	
0008 71DFh	ICU	DTC 起動許可レジスタ 223	DT CER223	8	8	2ICLK			266	
0008 71E0h	ICU	DTC 起動許可レジスタ 224	DT CER224	8	8	2ICLK			266	
0008 71E3h	ICU	DTC 起動許可レジスタ 227	DT CER227	8	8	2ICLK			266	
0008 71E4h	ICU	DTC 起動許可レジスタ 228	DT CER228	8	8	2ICLK			266	
0008 71E7h	ICU	DTC 起動許可レジスタ 231	DT CER231	8	8	2ICLK			266	
0008 71E8h	ICU	DTC 起動許可レジスタ 232	DT CER232	8	8	2ICLK			266	
0008 71EBh	ICU	DTC 起動許可レジスタ 235	DT CER235	8	8	2ICLK			266	
0008 71ECh	ICU	DTC 起動許可レジスタ 236	DT CER236	8	8	2ICLK			266	
0008 71EFh	ICU	DTC 起動許可レジスタ 239	DT CER239	8	8	2ICLK			266	
0008 71F0h	ICU	DTC 起動許可レジスタ 240	DT CER240	8	8	2ICLK			266	
0008 71F7h	ICU	DTC 起動許可レジスタ 247	DT CER247	8	8	2ICLK			266	
0008 71F8h	ICU	DTC 起動許可レジスタ 248	DT CER248	8	8	2ICLK			266	
0008 71FBh	ICU	DTC 起動許可レジスタ 251	DT CER251	8	8	2ICLK			266	
0008 71FCh	ICU	DTC 起動許可レジスタ 252	DT CER252	8	8	2ICLK			266	
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK			262	
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK			262	
0008 7204h	ICU	割り込み要求許可レジスタ 04	IER04	8	8	2ICLK			262	
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2ICLK			262	
0008 7206h	ICU	割り込み要求許可レジスタ 06	IER06	8	8	2ICLK			262	
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2ICLK			262	
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2ICLK			262	
0008 7209h	ICU	割り込み要求許可レジスタ 09	IER09	8	8	2ICLK			262	
0008 720Bh	ICU	割り込み要求許可レジスタ 0B	IER0B	8	8	2ICLK			262	
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK			262	
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2ICLK			262	
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK			262	
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK			262	
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK			262	
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK			262	
0008 7212h	ICU	割り込み要求許可レジスタ 12	IER12	8	8	2ICLK			262	
0008 7213h	ICU	割り込み要求許可レジスタ 13	IER13	8	8	2ICLK			262	
0008 7214h	ICU	割り込み要求許可レジスタ 14	IER14	8	8	2ICLK			262	

表5.1 I/O レジスタアドレス一覧 (10 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合			
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK		ICUb	262	
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2ICLK			262	
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2ICLK			262	
0008 7218h	ICU	割り込み要求許可レジスタ 18	IER18	8	8	2ICLK			262	
0008 7219h	ICU	割り込み要求許可レジスタ 19	IER19	8	8	2ICLK			262	
0008 721Ah	ICU	割り込み要求許可レジスタ 1A	IER1A	8	8	2ICLK			262	
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK			262	
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK			262	
0008 721Dh	ICU	割り込み要求許可レジスタ 1D	IER1D	8	8	2ICLK			262	
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK			262	
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK			262	
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK			265	
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK			264	
0008 7300h	ICU	割り込み要因プライオリティレジスタ 000	IPR000	8	8	2ICLK			263	
0008 7301h	ICU	割り込み要因プライオリティレジスタ 001	IPR001	8	8	2ICLK			263	
0008 7302h	ICU	割り込み要因プライオリティレジスタ 002	IPR002	8	8	2ICLK			263	
0008 7303h	ICU	割り込み要因プライオリティレジスタ 003	IPR003	8	8	2ICLK			263	
0008 7304h	ICU	割り込み要因プライオリティレジスタ 004	IPR004	8	8	2ICLK			263	
0008 7305h	ICU	割り込み要因プライオリティレジスタ 005	IPR005	8	8	2ICLK			263	
0008 7306h	ICU	割り込み要因プライオリティレジスタ 006	IPR006	8	8	2ICLK			263	
0008 7307h	ICU	割り込み要因プライオリティレジスタ 007	IPR007	8	8	2ICLK			263	
0008 7320h	ICU	割り込み要因プライオリティレジスタ 032	IPR032	8	8	2ICLK			263	
0008 7321h	ICU	割り込み要因プライオリティレジスタ 033	IPR033	8	8	2ICLK			263	
0008 7322h	ICU	割り込み要因プライオリティレジスタ 034	IPR034	8	8	2ICLK			263	
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 044	IPR044	8	8	2ICLK			263	
0008 7330h	ICU	割り込み要因プライオリティレジスタ 048	IPR048	8	8	2ICLK			263	
0008 7339h	ICU	割り込み要因プライオリティレジスタ 057	IPR057	8	8	2ICLK			263	
0008 7340h	ICU	割り込み要因プライオリティレジスタ 064	IPR064	8	8	2ICLK			263	
0008 7341h	ICU	割り込み要因プライオリティレジスタ 065	IPR065	8	8	2ICLK			263	
0008 7342h	ICU	割り込み要因プライオリティレジスタ 066	IPR066	8	8	2ICLK			263	
0008 7343h	ICU	割り込み要因プライオリティレジスタ 067	IPR067	8	8	2ICLK			263	
0008 7344h	ICU	割り込み要因プライオリティレジスタ 068	IPR068	8	8	2ICLK			263	
0008 7345h	ICU	割り込み要因プライオリティレジスタ 069	IPR069	8	8	2ICLK			263	
0008 7346h	ICU	割り込み要因プライオリティレジスタ 070	IPR070	8	8	2ICLK			263	
0008 7347h	ICU	割り込み要因プライオリティレジスタ 071	IPR071	8	8	2ICLK			263	
0008 7348h	ICU	割り込み要因プライオリティレジスタ 072	IPR072	8	8	2ICLK			263	
0008 7349h	ICU	割り込み要因プライオリティレジスタ 073	IPR073	8	8	2ICLK			263	

表5.1 I/O レジスタアドレス一覧 (1 1 / 3 4)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK \geq PCLK の 場合	ICLK $<$ PCLK の場合			
0008 734Ah	ICU	割り込み要因プライオリティレジスタ 074	IPR074	8	8	2ICLK		ICUb	263	
0008 734Bh	ICU	割り込み要因プライオリティレジスタ 075	IPR075	8	8	2ICLK			263	
0008 734Ch	ICU	割り込み要因プライオリティレジスタ 076	IPR076	8	8	2ICLK			263	
0008 734Dh	ICU	割り込み要因プライオリティレジスタ 077	IPR077	8	8	2ICLK			263	5V版にはありません
0008 734Eh	ICU	割り込み要因プライオリティレジスタ 078	IPR078	8	8	2ICLK			263	5V版にはありません
0008 734Fh	ICU	割り込み要因プライオリティレジスタ 079	IPR079	8	8	2ICLK			263	5V版にはありません
0008 735Eh	ICU	割り込み要因プライオリティレジスタ 094	IPR094	8	8	2ICLK			263	5V版にはありません
0008 735Fh	ICU	割り込み要因プライオリティレジスタ 095	IPR095	8	8	2ICLK			263	5V版にはありません
0008 7362h	ICU	割り込み要因プライオリティレジスタ 098	IPR098	8	8	2ICLK			263	
0008 7363h	ICU	割り込み要因プライオリティレジスタ 099	IPR099	8	8	2ICLK			263	
0008 7364h	ICU	割り込み要因プライオリティレジスタ 100	IPR100	8	8	2ICLK			263	
0008 7365h	ICU	割り込み要因プライオリティレジスタ 101	IPR101	8	8	2ICLK			263	
0008 7366h	ICU	割り込み要因プライオリティレジスタ 102	IPR102	8	8	2ICLK			263	
0008 7367h	ICU	割り込み要因プライオリティレジスタ 103	IPR103	8	8	2ICLK			263	
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 106	IPR106	8	8	2ICLK			263	
0008 736Bh	ICU	割り込み要因プライオリティレジスタ 107	IPR107	8	8	2ICLK			263	
0008 736Fh	ICU	割り込み要因プライオリティレジスタ 111	IPR111	8	8	2ICLK			263	5V版にはありません
0008 7372h	ICU	割り込み要因プライオリティレジスタ 114	IPR114	8	8	2ICLK			263	
0008 7376h	ICU	割り込み要因プライオリティレジスタ 118	IPR118	8	8	2ICLK			263	
0008 7379h	ICU	割り込み要因プライオリティレジスタ 121	IPR121	8	8	2ICLK			263	
0008 737Bh	ICU	割り込み要因プライオリティレジスタ 123	IPR123	8	8	2ICLK			263	
0008 737Dh	ICU	割り込み要因プライオリティレジスタ 125	IPR125	8	8	2ICLK			263	
0008 737Fh	ICU	割り込み要因プライオリティレジスタ 127	IPR127	8	8	2ICLK			263	
0008 7381h	ICU	割り込み要因プライオリティレジスタ 129	IPR129	8	8	2ICLK			263	
0008 7385h	ICU	割り込み要因プライオリティレジスタ 133	IPR133	8	8	2ICLK			263	
0008 7386h	ICU	割り込み要因プライオリティレジスタ 134	IPR134	8	8	2ICLK			263	
0008 738Ah	ICU	割り込み要因プライオリティレジスタ 138	IPR138	8	8	2ICLK			263	
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 139	IPR139	8	8	2ICLK			263	
0008 738Eh	ICU	割り込み要因プライオリティレジスタ 142	IPR142	8	8	2ICLK			263	
0008 7392h	ICU	割り込み要因プライオリティレジスタ 146	IPR146	8	8	2ICLK			263	
0008 7393h	ICU	割り込み要因プライオリティレジスタ 147	IPR147	8	8	2ICLK			263	
0008 7395h	ICU	割り込み要因プライオリティレジスタ 149	IPR149	8	8	2ICLK			263	
0008 7397h	ICU	割り込み要因プライオリティレジスタ 151	IPR151	8	8	2ICLK			263	

表5.1 I/O レジスタアドレス一覧 (1 2 / 3 4)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合			
0008 7399h	ICU	割り込み要因プライオリティレジスタ 153	IPR153	8	8	2ICLK		ICUb	263	
0008 739Bh	ICU	割り込み要因プライオリティレジスタ 155	IPR155	8	8	2ICLK			263	
0008 739Fh	ICU	割り込み要因プライオリティレジスタ 159	IPR159	8	8	2ICLK			263	
0008 73A0h	ICU	割り込み要因プライオリティレジスタ 160	IPR160	8	8	2ICLK			263	
0008 73A2h	ICU	割り込み要因プライオリティレジスタ 162	IPR162	8	8	2ICLK			263	
0008 73A4h	ICU	割り込み要因プライオリティレジスタ 164	IPR164	8	8	2ICLK			263	
0008 73A6h	ICU	割り込み要因プライオリティレジスタ 166	IPR166	8	8	2ICLK			263	
0008 73AAh	ICU	割り込み要因プライオリティレジスタ 170	IPR170	8	8	2ICLK			263	
0008 73ABh	ICU	割り込み要因プライオリティレジスタ 171	IPR171	8	8	2ICLK			263	
0008 73AEh	ICU	割り込み要因プライオリティレジスタ 174	IPR174	8	8	2ICLK			263	
0008 73B1h	ICU	割り込み要因プライオリティレジスタ 177	IPR177	8	8	2ICLK			263	
0008 73B4h	ICU	割り込み要因プライオリティレジスタ 180	IPR180	8	8	2ICLK			263	
0008 73B7h	ICU	割り込み要因プライオリティレジスタ 183	IPR183	8	8	2ICLK			263	
0008 73BAh	ICU	割り込み要因プライオリティレジスタ 186	IPR186	8	8	2ICLK			263	
0008 73BEh	ICU	割り込み要因プライオリティレジスタ 190	IPR190	8	8	2ICLK			263	
0008 73C2h	ICU	割り込み要因プライオリティレジスタ 194	IPR194	8	8	2ICLK			263	
0008 73C6h	ICU	割り込み要因プライオリティレジスタ 198	IPR198	8	8	2ICLK			263	
0008 73C7h	ICU	割り込み要因プライオリティレジスタ 199	IPR199	8	8	2ICLK			263	
0008 73C8h	ICU	割り込み要因プライオリティレジスタ 200	IPR200	8	8	2ICLK			263	
0008 73C9h	ICU	割り込み要因プライオリティレジスタ 201	IPR201	8	8	2ICLK			263	
0008 73CAh	ICU	割り込み要因プライオリティレジスタ 202	IPR202	8	8	2ICLK			263	
0008 73CBh	ICU	割り込み要因プライオリティレジスタ 203	IPR203	8	8	2ICLK			263	
0008 73CCh	ICU	割り込み要因プライオリティレジスタ 204	IPR204	8	8	2ICLK			263	
0008 73CDh	ICU	割り込み要因プライオリティレジスタ 205	IPR205	8	8	2ICLK			263	
0008 73CEh	ICU	割り込み要因プライオリティレジスタ 206	IPR206	8	8	2ICLK			263	
0008 73D2h	ICU	割り込み要因プライオリティレジスタ 210	IPR210	8	8	2ICLK			263	
0008 73D6h	ICU	割り込み要因プライオリティレジスタ 214	IPR214	8	8	2ICLK			263	
0008 73DAh	ICU	割り込み要因プライオリティレジスタ 218	IPR218	8	8	2ICLK			263	
0008 73DEh	ICU	割り込み要因プライオリティレジスタ 222	IPR222	8	8	2ICLK			263	
0008 73E2h	ICU	割り込み要因プライオリティレジスタ 226	IPR226	8	8	2ICLK			263	
0008 73E6h	ICU	割り込み要因プライオリティレジスタ 230	IPR230	8	8	2ICLK			263	
0008 73EAh	ICU	割り込み要因プライオリティレジスタ 234	IPR234	8	8	2ICLK			263	
0008 73EEh	ICU	割り込み要因プライオリティレジスタ 238	IPR238	8	8	2ICLK			263	

表5.1 I/O レジスタアドレス一覧 (1 3 / 3 4)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合			
0008 73F2h	ICU	割り込み要因プライオリティレジスタ 242	IPR242	8	8	2ICLK		ICUb	263	
0008 73F3h	ICU	割り込み要因プライオリティレジスタ 243	IPR243	8	8	2ICLK			263	
0008 73F4h	ICU	割り込み要因プライオリティレジスタ 244	IPR244	8	8	2ICLK			263	
0008 73F5h	ICU	割り込み要因プライオリティレジスタ 245	IPR245	8	8	2ICLK			263	
0008 73F6h	ICU	割り込み要因プライオリティレジスタ 246	IPR246	8	8	2ICLK			263	
0008 73F7h	ICU	割り込み要因プライオリティレジスタ 247	IPR247	8	8	2ICLK			263	
0008 73F8h	ICU	割り込み要因プライオリティレジスタ 248	IPR248	8	8	2ICLK			263	
0008 73F9h	ICU	割り込み要因プライオリティレジスタ 249	IPR249	8	8	2ICLK			263	
0008 73FAh	ICU	割り込み要因プライオリティレジスタ 250	IPR250	8	8	2ICLK			263	
0008 7400h	ICU	DMAC 起動要求選択レジスタ 0	DMRSR0	8	8	2ICLK			267	
0008 7404h	ICU	DMAC 起動要求選択レジスタ 1	DMRSR1	8	8	2ICLK			267	
0008 7408h	ICU	DMAC 起動要求選択レジスタ 2	DMRSR2	8	8	2ICLK			267	
0008 740Ch	ICU	DMAC 起動要求選択レジスタ 3	DMRSR3	8	8	2ICLK			267	
0008 7500h	ICU	IRQ コントロールレジスタ 0	IRQCR0	8	8	2ICLK			268	
0008 7501h	ICU	IRQ コントロールレジスタ 1	IRQCR1	8	8	2ICLK			268	
0008 7502h	ICU	IRQ コントロールレジスタ 2	IRQCR2	8	8	2ICLK			268	
0008 7503h	ICU	IRQ コントロールレジスタ 3	IRQCR3	8	8	2ICLK			268	
0008 7504h	ICU	IRQ コントロールレジスタ 4	IRQCR4	8	8	2ICLK			268	
0008 7505h	ICU	IRQ コントロールレジスタ 5	IRQCR5	8	8	2ICLK			268	
0008 7506h	ICU	IRQ コントロールレジスタ 6	IRQCR6	8	8	2ICLK			268	
0008 7507h	ICU	IRQ コントロールレジスタ 7	IRQCR7	8	8	2ICLK		268		
0008 7508h	ICU	IRQ コントロールレジスタ 8	IRQCR8	8	8	2ICLK		268		
0008 7509h	ICU	IRQ コントロールレジスタ 9	IRQCR9	8	8	2ICLK		268		
0008 750Ah	ICU	IRQ コントロールレジスタ 10	IRQCR10	8	8	2ICLK		268		
0008 750Bh	ICU	IRQ コントロールレジスタ 11	IRQCR11	8	8	2ICLK		268		
0008 750Ch	ICU	IRQ コントロールレジスタ 12	IRQCR12	8	8	2ICLK		268		
0008 750Dh	CEC	CEC 割り込み制御レジスタ 1	CECINTCR1	8	8	2ICLK		CEC	1086	5V 版にはありません
0008 750Eh	CEC	CEC 割り込み制御レジスタ 2	CECINTCR2	8	8	2ICLK			1086	5V 版にはありません
0008 750Fh	CEC	CEC 割り込み制御レジスタ 3	CECINTCR3	8	8	2ICLK			1086	5V 版にはありません
0008 7510h	ICU	IRQ 端子デジタルフィルタ許可レジスタ 0	IRQFLTE0	8	8	2ICLK		ICUb	269	
0008 7511h	ICU	IRQ 端子デジタルフィルタ許可レジスタ 1	IRQFLTE1	8	8	2ICLK			270	
0008 7514h	ICU	IRQ 端子デジタルフィルタ設定レジスタ 0	IRQFLTC0	16	16	2ICLK			271	
0008 7516h	ICU	IRQ 端子デジタルフィルタ設定レジスタ 1	IRQFLTC1	16	16	2ICLK			272	
0008 7580h	ICU	ノンマスクابل割り込みステータスレ ジスタ	NMISR	8	8	2ICLK			273	
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2ICLK			275	
0008 7582h	ICU	ノンマスクابل割り込みステータスク リアレジスタ	NMICLR	8	8	2ICLK			277	
0008 7583h	ICU	NMI 端子割り込みコントロールレジス タ	NMICR	8	8	2ICLK			278	
0008 7590h	ICU	NMI 端子デジタルフィルタ許可レジス タ	NMIFLTE	8	8	2ICLK			278	
0008 7594h	ICU	NMI 端子デジタルフィルタ設定レジス タ	NMIFLTC	8	8	2ICLK			279	
0008 8000h	CMT	コンペアマッチタイマスタートレジス タ 0	CMSTR0	16	16	2 ~ 3PCLKB	2ICLK	CMT	845	

表5.1 I/O レジスタアドレス一覧 (1 4 / 3 4)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合			
0008 8002h	CMT0	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	CMT	846	
0008 8004h	CMT0	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK		847	
0008 8006h	CMT0	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK		847	
0008 8008h	CMT1	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK		846	
0008 800Ah	CMT1	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK		847	
0008 800Ch	CMT1	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK		847	
0008 8010h	CMT	コンペアマッチタイムスタートレジスタ1	CMSTR1	16	16	2 ~ 3PCLKB	2ICLK		845	
0008 8012h	CMT2	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK		846	
0008 8014h	CMT2	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK		847	
0008 8016h	CMT2	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK		847	
0008 8018h	CMT3	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK		846	
0008 801Ah	CMT3	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK		847	
0008 801Ch	CMT3	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK		847	
0008 8020h	WDT	WDTリフレッシュレジスタ	WDTRR	8	8	2 ~ 3PCLKB	2ICLK	WDTA	853	
0008 8022h	WDT	WDTコントロールレジスタ	WDTCR	16	16	2 ~ 3PCLKB	2ICLK		854	
0008 8024h	WDT	WDTステータスレジスタ	WDTSR	16	16	2 ~ 3PCLKB	2ICLK		857	
0008 8026h	WDT	WDTリセットコントロールレジスタ	WDTRCR	8	8	2 ~ 3PCLKB	2ICLK		858	
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDRR	8	8	2 ~ 3PCLKB	2ICLK	IWDTa	869	
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDCR	16	16	2 ~ 3PCLKB	2ICLK		870	
0008 8034h	IWDT	IWDTステータスレジスタ	IWDSR	16	16	2 ~ 3PCLKB	2ICLK		873	
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDRCR	8	8	2 ~ 3PCLKB	2ICLK		874	
0008 8038h	IWDT	IWDT カウント停止コントロールレジスタ	IWDTCTPR	8	8	2 ~ 3PCLKB	2ICLK		875	
0008 80C0h	DA	D/Aデータレジスタ0	DADR0	16	16	2 ~ 3PCLKB	2ICLK	DAa	1337	
0008 80C2h	DA	D/Aデータレジスタ1	DADR1	16	16	2 ~ 3PCLKB	2ICLK		1337	
0008 80C4h	DA	D/A制御レジスタ	DACR	8	8	2 ~ 3PCLKB	2ICLK		1338	
0008 80C5h	DA	DADRmフォーマット選択レジスタ	DADPR	8	8	2 ~ 3PCLKB	2ICLK		1339	
0008 8100h	TPU	タイムスタートレジスタ	TSTR	8	8	2 ~ 3PCLKB	2ICLK	TPUa	750	
0008 8101h	TPU	タイムシンクロレジスタ	TSYR	8	8	2 ~ 3PCLKB	2ICLK		751	
0008 8108h	TPU0	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK		752	
0008 8109h	TPU1	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK		752	
0008 810Ah	TPU2	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK		752	
0008 810Bh	TPU3	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK		752	
0008 810Ch	TPU4	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK		752	
0008 810Dh	TPU5	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK		752	
0008 8110h	TPU0	タイムコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		730	
0008 8111h	TPU0	タイムモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		734	
0008 8112h	TPU0	タイムI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK		735	
0008 8113h	TPU0	タイムI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK		735	
0008 8114h	TPU0	タイム割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		745	
0008 8115h	TPU0	タイムステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		746	
0008 8116h	TPU0	タイムカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 8118h	TPU0	タイムジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 811Ah	TPU0	タイムジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 811Ch	TPU0	タイムジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 811Eh	TPU0	タイムジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 8120h	TPU1	タイムコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		730	

表5.1 I/O レジスタアドレス一覧 (1 5 / 3 4)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合			
0008 8121h	TPU1	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK	TPUa	734	
0008 8122h	TPU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK		735	
0008 8124h	TPU1	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		745	
0008 8125h	TPU1	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		746	
0008 8126h	TPU1	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 8128h	TPU1	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 812Ah	TPU1	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 8130h	TPU2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		730	
0008 8131h	TPU2	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		734	
0008 8132h	TPU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK		735	
0008 8134h	TPU2	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		745	
0008 8135h	TPU2	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		746	
0008 8136h	TPU2	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 8138h	TPU2	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 813Ah	TPU2	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 8140h	TPU3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		730	
0008 8141h	TPU3	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		734	
0008 8142h	TPU3	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK		735	
0008 8143h	TPU3	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK		735	
0008 8144h	TPU3	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		745	
0008 8145h	TPU3	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		746	
0008 8146h	TPU3	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 8148h	TPU3	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 814Ah	TPU3	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 814Ch	TPU3	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 814Eh	TPU3	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 8150h	TPU4	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		730	
0008 8151h	TPU4	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		734	
0008 8152h	TPU4	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK		735	
0008 8154h	TPU4	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		745	
0008 8155h	TPU4	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		746	
0008 8156h	TPU4	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 8158h	TPU4	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		749	
0008 815Ah	TPU4	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK	749		
0008 8160h	TPU5	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	730		
0008 8161h	TPU5	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK	734		
0008 8162h	TPU5	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK	735		
0008 8164h	TPU5	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK	745		
0008 8165h	TPU5	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK	746		
0008 8166h	TPU5	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK	749		
0008 8168h	TPU5	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK	749		
0008 816Ah	TPU5	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK	749		
0008 81E6h	PPG0	PPG出力コントロールレジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	PPG	804	
0008 81E7h	PPG0	PPG出力モードレジスタ	PMR	8	8	2 ~ 3PCLKB	2ICLK		805	
0008 81E8h	PPG0	ネクストデータインーブルレジスタH	NDERH	8	8	2 ~ 3PCLKB	2ICLK		798	
0008 81E9h	PPG0	ネクストデータインーブルレジスタL	NDERL	8	8	2 ~ 3PCLKB	2ICLK		798	
0008 81EAh	PPG0	アウトプットデータレジスタH	PODRH	8	8	2 ~ 3PCLKB	2ICLK		800	
0008 81EBh	PPG0	アウトプットデータレジスタL	PODRL	8	8	2 ~ 3PCLKB	2ICLK		800	
0008 81ECh	PPG0	ネクストデータレジスタH	NDRH	8	8	2 ~ 3PCLKB	2ICLK		802	
0008 81EDh	PPG0	ネクストデータレジスタL	NDRL	8	8	2 ~ 3PCLKB	2ICLK		802	
0008 81EEh	PPG0	ネクストデータレジスタH	NDRH2	8	8	2 ~ 3PCLKB	2ICLK		802	

表5.1 I/O レジスタアドレス一覧 (16 / 34)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 81EFh	PPG0	ネクストデータレジスタL	NDRL2	8	8	2 ~ 3PCLKB	2ICLK	PPG	802	
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	TMR	823	
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		823	
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK		826	
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK		826	
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	2ICLK		822	
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2 ~ 3PCLKB	2ICLK		822	
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	2ICLK		822	
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2 ~ 3PCLKB	2ICLK		822	
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	2ICLK		821	
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB	2ICLK		821	
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	2ICLK		824	
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB	2ICLK		824	
0008 820Ch	TMR0	タイムカウンタスタートレジスタ	TCSTR	8	8	2 ~ 3PCLKB	2ICLK		828	
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		823	
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		823	
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK		826	
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK		826	
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	2ICLK		822	
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2 ~ 3PCLKB	2ICLK		822	
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	2ICLK		822	
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2 ~ 3PCLKB	2ICLK		822	
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	2ICLK		821	
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB	2ICLK		821	
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	2ICLK	824		
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB	2ICLK	824		
0008 821Ch	TMR2	タイムカウンタスタートレジスタ	TCSTR	8	8	2 ~ 3PCLKB	2ICLK	828		
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2 ~ 3PCLKB	2ICLK	CRC	1285	
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2 ~ 3PCLKB	2ICLK		1285	
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2 ~ 3PCLKB	2ICLK		1286	
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB	2ICLK	RIIC	1131	
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB	2ICLK		1133	
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB	2ICLK		1136	
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB	2ICLK		1137	
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB	2ICLK		1139	
0008 8305h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2 ~ 3PCLKB	2ICLK		1141	
0008 8306h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8	2 ~ 3PCLKB	2ICLK		1143	
0008 8307h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2 ~ 3PCLKB	2ICLK		1145	
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB	2ICLK		1147	
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB	2ICLK		1149	
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB	2ICLK		1152	
0008 830Ah	RIIC0	タイムアウト内部カウンタL	TMOCNTL	8	8	2 ~ 3PCLKB	2ICLK		1158	
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB	2ICLK		1153	
0008 830Bh	RIIC0	タイムアウト内部カウンタU	TMOCNTU	8	8 (注2)	2 ~ 3PCLKB	2ICLK		1158	

表5.1 I/O レジスタアドレス一覧 (17 / 34)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合			
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2 ~ 3PCLKB	2ICLK	RIIC	1152	
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2 ~ 3PCLKB	2ICLK		1153	
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2 ~ 3PCLKB	2ICLK		1152	
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2 ~ 3PCLKB	2ICLK		1153	
0008 8310h	RIIC0	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2 ~ 3PCLKB	2ICLK		1154	
0008 8311h	RIIC0	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2 ~ 3PCLKB	2ICLK		1155	
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB	2ICLK		1157	
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB	2ICLK		1157	
0008 8320h	RIIC1	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB	2ICLK		1131	
0008 8321h	RIIC1	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB	2ICLK		1133	
0008 8322h	RIIC1	I ² Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB	2ICLK		1136	
0008 8323h	RIIC1	I ² Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB	2ICLK		1137	
0008 8324h	RIIC1	I ² Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB	2ICLK		1139	
0008 8325h	RIIC1	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2 ~ 3PCLKB	2ICLK		1141	
0008 8326h	RIIC1	I ² Cバスステータス許可レジスタ	ICSER	8	8	2 ~ 3PCLKB	2ICLK		1143	
0008 8327h	RIIC1	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2 ~ 3PCLKB	2ICLK		1145	
0008 8328h	RIIC1	I ² Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB	2ICLK		1147	
0008 8329h	RIIC1	I ² Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB	2ICLK	1149		
0008 832Ah	RIIC1	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB	2ICLK	1152		
0008 832Ah	RIIC1	タイムアウト内部カウンタL	TMOCNTL	8	8	2 ~ 3PCLKB	2ICLK	1158		
0008 832Bh	RIIC1	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB	2ICLK	1153		
0008 832Bh	RIIC1	タイムアウト内部カウンタU	TMOCNTU	8	8 (注2)	2 ~ 3PCLKB	2ICLK	1158		
0008 832Ch	RIIC1	スレーブアドレスレジスタL1	SARL1	8	8	2 ~ 3PCLKB	2ICLK	1152		
0008 832Dh	RIIC1	スレーブアドレスレジスタU1	SARU1	8	8	2 ~ 3PCLKB	2ICLK	1153		
0008 832Eh	RIIC1	スレーブアドレスレジスタL2	SARL2	8	8	2 ~ 3PCLKB	2ICLK	1152		
0008 832Fh	RIIC1	スレーブアドレスレジスタU2	SARU2	8	8	2 ~ 3PCLKB	2ICLK	1153		
0008 8330h	RIIC1	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2 ~ 3PCLKB	2ICLK	1154		
0008 8331h	RIIC1	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2 ~ 3PCLKB	2ICLK	1155		
0008 8332h	RIIC1	I ² Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB	2ICLK	1157		
0008 8333h	RIIC1	I ² Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB	2ICLK	1157		
0008 8360h	RIIC3	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB	2ICLK	1131		
0008 8361h	RIIC3	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB	2ICLK	1133		
0008 8362h	RIIC3	I ² Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB	2ICLK	1136		
0008 8363h	RIIC3	I ² Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB	2ICLK	1137		
0008 8364h	RIIC3	I ² Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB	2ICLK	1139		
0008 8365h	RIIC3	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2 ~ 3PCLKB	2ICLK	1141		
0008 8366h	RIIC3	I ² Cバスステータス許可レジスタ	ICSER	8	8	2 ~ 3PCLKB	2ICLK	1143		
0008 8367h	RIIC3	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2 ~ 3PCLKB	2ICLK	1145		
0008 8368h	RIIC3	I ² Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB	2ICLK	1147		
0008 8369h	RIIC3	I ² Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB	2ICLK	1149		
0008 836Ah	RIIC3	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB	2ICLK	1152		
0008 836Ah	RIIC3	タイムアウト内部カウンタL	TMOCNTL	8	8	2 ~ 3PCLKB	2ICLK	1158		
0008 836Bh	RIIC3	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB	2ICLK	1153		
0008 836Bh	RIIC3	タイムアウト内部カウンタU	TMOCNTU	8	8 (注2)	2 ~ 3PCLKB	2ICLK	1158		
0008 836Ch	RIIC3	スレーブアドレスレジスタL1	SARL1	8	8	2 ~ 3PCLKB	2ICLK	1152		
0008 836Dh	RIIC3	スレーブアドレスレジスタU1	SARU1	8	8	2 ~ 3PCLKB	2ICLK	1153		
0008 836Eh	RIIC3	スレーブアドレスレジスタL2	SARL2	8	8	2 ~ 3PCLKB	2ICLK	1152		
0008 836Fh	RIIC3	スレーブアドレスレジスタU2	SARU2	8	8	2 ~ 3PCLKB	2ICLK	1153		
0008 8370h	RIIC3	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2 ~ 3PCLKB	2ICLK	1154		
0008 8371h	RIIC3	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2 ~ 3PCLKB	2ICLK	1155		

表5.1 I/O レジスタアドレス一覧 (18 / 34)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合			
0008 8372h	RIIC3	I ² Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB	2ICLK	RIIC	1157	
0008 8373h	RIIC3	I ² Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB	2ICLK		1157	
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2 ~ 3PCLKB	2ICLK	RSPI	1208	
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB	2ICLK		1210	
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB	2ICLK		1211	
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB	2ICLK		1212	
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16、32	2 ~ 3PCLKB	2ICLK		1214	
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB	2ICLK		1217	
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB	2ICLK		1218	
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB	2ICLK		1219	
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB	2ICLK		1220	
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB	2ICLK		1222	
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB	2ICLK		1223	
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB	2ICLK		1224	
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB	2ICLK		1225	
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB	2ICLK		1226	
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB	2ICLK		1226	
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB	2ICLK		1226	
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB	2ICLK		1226	
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB	2ICLK		1226	
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB	2ICLK		1226	
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB	2ICLK		1226	
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB	2ICLK		1226	
0008 83A0h	RSPI1	RSPI制御レジスタ	SPCR	8	8	2 ~ 3PCLKB	2ICLK		1208	
0008 83A1h	RSPI1	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB	2ICLK		1210	
0008 83A2h	RSPI1	RSPI端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB	2ICLK		1211	
0008 83A3h	RSPI1	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB	2ICLK		1212	
0008 83A4h	RSPI1	RSPIデータレジスタ	SPDR	32	16、32	2 ~ 3PCLKB	2ICLK		1214	
0008 83A8h	RSPI1	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB	2ICLK		1217	
0008 83A9h	RSPI1	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB	2ICLK		1218	
0008 83AAh	RSPI1	RSPIビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB	2ICLK		1219	
0008 83ABh	RSPI1	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB	2ICLK		1220	
0008 83ACh	RSPI1	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB	2ICLK		1222	
0008 83ADh	RSPI1	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB	2ICLK		1223	
0008 83AEh	RSPI1	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB	2ICLK		1224	
0008 83AFh	RSPI1	RSPI制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB	2ICLK		1225	
0008 83B0h	RSPI1	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB	2ICLK		1226	
0008 83B2h	RSPI1	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB	2ICLK		1226	
0008 83B4h	RSPI1	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB	2ICLK		1226	
0008 83B6h	RSPI1	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB	2ICLK		1226	
0008 83B8h	RSPI1	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB	2ICLK		1226	
0008 83BAh	RSPI1	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB	2ICLK		1226	
0008 83BCh	RSPI1	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB	2ICLK		1226	
0008 83BEh	RSPI1	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB	2ICLK		1226	
0008 8600h	MTU3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	MTU2a	529	
0008 8601h	MTU4	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		529	
0008 8602h	MTU3	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		532	
0008 8603h	MTU4	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		532	
0008 8604h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK		534	
0008 8605h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK		534	

表5.1 I/O レジスタアドレス一覧 (19 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合			
0008 8606h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK	MTU2a	534	
0008 8607h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK		534	
0008 8608h	MTU3	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		546	
0008 8609h	MTU4	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		546	
0008 860Ah	MTU	タイマアウトプットマスタ許可レジスタ	TOER	8	8	2 ~ 3PCLKB	2ICLK		560	
0008 860Dh	MTU	タイマゲートコントロールレジスタ	TGCR	8	8	2 ~ 3PCLKB	2ICLK		567	
0008 860Eh	MTU	タイマアウトプットコントロールレジスタ1	TOCR1	8	8	2 ~ 3PCLKB	2ICLK		561	
0008 860Fh	MTU	タイマアウトプットコントロールレジスタ2	TOCR2	8	8	2 ~ 3PCLKB	2ICLK		563	
0008 8610h	MTU3	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8612h	MTU4	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8614h	MTU	タイマ周期データレジスタ	TCDR	16	16	2 ~ 3PCLKB	2ICLK		569	
0008 8616h	MTU	タイマデッドタイムデータレジスタ	TDDR	16	16	2 ~ 3PCLKB	2ICLK		568	
0008 8618h	MTU3	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 861Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 861Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 861Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8620h	MTU	タイマサブカウンタ	TCNTS	16	16	2 ~ 3PCLKB	2ICLK		568	
0008 8622h	MTU	タイマ周期バッファレジスタ	TCBR	16	16	2 ~ 3PCLKB	2ICLK		569	
0008 8624h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8626h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8628h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 862Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 862Ch	MTU3	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		549	
0008 862Dh	MTU4	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		549	
0008 8630h	MTU	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2 ~ 3PCLKB	2ICLK		570	
0008 8631h	MTU	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2 ~ 3PCLKB	2ICLK		572	
0008 8632h	MTU	タイマバッファ転送設定レジスタ	TBTER	8	8	2 ~ 3PCLKB	2ICLK		573	
0008 8634h	MTU	タイマデッドタイム許可レジスタ	TDER	8	8	2 ~ 3PCLKB	2ICLK		574	
0008 8636h	MTU	タイマアウトプットレベルバッファレジスタ	TOLBR	8	8	2 ~ 3PCLKB	2ICLK		566	
0008 8638h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKB	2ICLK		550	
0008 8639h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKB	2ICLK		550	
0008 8640h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2 ~ 3PCLKB	2ICLK		552	
0008 8644h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2 ~ 3PCLKB	2ICLK		553	
0008 8646h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2 ~ 3PCLKB	2ICLK		553	
0008 8648h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 864Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8660h	MTU	タイマ波形コントロールレジスタ	TWCR	8	8、16	2 ~ 3PCLKB	2ICLK		575	
0008 8680h	MTU	タイマスタートレジスタ	TSTR	8	8、16	2 ~ 3PCLKB	2ICLK		556	
0008 8681h	MTU	タイマシンクロレジスタ	TSYR	8	8、16	2 ~ 3PCLKB	2ICLK		558	
0008 8684h	MTU	タイマリードライト許可レジスタ	TRWER	8	8、16	2 ~ 3PCLKB	2ICLK		559	
0008 8690h	MTU0	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK		576	
0008 8691h	MTU1	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK		576	
0008 8692h	MTU2	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK		576	
0008 8693h	MTU3	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK		576	
0008 8694h	MTU4	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK		576	

表5.1 I/O レジスタアドレス一覧 (20 / 34)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 8695h	MTU5	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK	MTU2a	576	
0008 8700h	MTU0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		529	
0008 8701h	MTU0	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		532	
0008 8702h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK		534	
0008 8703h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK		534	
0008 8704h	MTU0	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		546	
0008 8705h	MTU0	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		549	
0008 8706h	MTU0	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8708h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 870Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 870Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 870Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8720h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8722h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8724h	MTU0	タイマ割り込み許可レジスタ2	TIER2	8	8	2 ~ 3PCLKB	2ICLK		546	
0008 8726h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKB	2ICLK		550	
0008 8780h	MTU1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		529	
0008 8781h	MTU1	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		532	
0008 8782h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK		534	
0008 8784h	MTU1	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		546	
0008 8785h	MTU1	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		549	
0008 8786h	MTU1	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8788h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 878Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8790h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2 ~ 3PCLKB	2ICLK		551	
0008 8800h	MTU2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		529	
0008 8801h	MTU2	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		532	
0008 8802h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK		534	
0008 8804h	MTU2	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		546	
0008 8805h	MTU2	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		549	
0008 8806h	MTU2	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8808h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 880Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8880h	MTU5	タイマカウンタU	TCNTU	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8882h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8884h	MTU5	タイマコントロールレジスタU	TCRU	8	8	2 ~ 3PCLKB	2ICLK		529	
0008 8886h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	2 ~ 3PCLKB	2ICLK		534	
0008 8890h	MTU5	タイマカウンタV	TCNTV	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8892h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 8894h	MTU5	タイマコントロールレジスタV	TCRV	8	8	2 ~ 3PCLKB	2ICLK		529	
0008 8896h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	2 ~ 3PCLKB	2ICLK		534	
0008 88A0h	MTU5	タイマカウンタW	TCNTW	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 88A2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	2 ~ 3PCLKB	2ICLK		554	
0008 88A4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	2 ~ 3PCLKB	2ICLK		529	
0008 88A6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	2 ~ 3PCLKB	2ICLK		534	
0008 88B2h	MTU5	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		546	
0008 88B4h	MTU5	タイマスタートレジスタ	TSTR	8	8	2 ~ 3PCLKB	2ICLK		556	
0008 88B6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2 ~ 3PCLKB	2ICLK		545	
0008 8900h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	16	2 ~ 3PCLKB	2ICLK	POE2a	712	

表5.1 I/O レジスタアドレス一覧 (2 1 / 3 4)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 8902h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	16	2 ~ 3PCLKB	2ICLK	POE2a	714	
0008 8908h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	16	2 ~ 3PCLKB	2ICLK		715	
0008 890Ah	POE	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2 ~ 3PCLKB	2ICLK		716	
0008 890Bh	POE	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2 ~ 3PCLKB	2ICLK		717	
0008 890Ch	POE	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	8	8	2 ~ 3PCLKB	2ICLK		718	
0008 890Eh	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	16	2 ~ 3PCLKB	2ICLK		719	
0008 9000h	S12AD	A/D コントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB	2ICLK	S12ADB	1299	
0008 9004h	S12AD	A/D チャネル選択レジスタ A	ADANSA	16	16	2 ~ 3PCLKB	2ICLK		1302	
0008 9008h	S12AD	A/D 変換値加算モード選択レジスタ	ADADS	16	16	2 ~ 3PCLKB	2ICLK		1303	
0008 900Ch	S12AD	A/D 変換値加算回数選択レジスタ	ADADC	8	8	2 ~ 3PCLKB	2ICLK		1304	
0008 900Eh	S12AD	A/D コントロール拡張レジスタ	ADCER	16	16	2 ~ 3PCLKB	2ICLK		1305	
0008 9010h	S12AD	A/D 開始トリガ選択レジスタ	ADSTRGR	16	16	2 ~ 3PCLKB	2ICLK		1307	
0008 9012h	S12AD	A/D 変換拡張入力コントロールレジスタ	ADEXICR	16	16	2 ~ 3PCLKB	2ICLK		1309	
0008 9014h	S12AD	A/D チャネル選択レジスタ B	ADANSB	16	16	2 ~ 3PCLKB	2ICLK		1302	
0008 9018h	S12AD	A/D データ2 重化レジスタ	ADDBLDR	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 901Ch	S12AD	A/D 内部基準電圧データレジスタ	ADOCDR	16	16	2 ~ 3PCLKB	2ICLK		1297	
0008 901Eh	S12AD	A/D 自己診断データレジスタ	ADRD	16	16	2 ~ 3PCLKB	2ICLK		1298	
0008 9020h	S12AD	A/D データレジスタ 0	ADDR0	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 9022h	S12AD	A/D データレジスタ 1	ADDR1	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 9024h	S12AD	A/D データレジスタ 2	ADDR2	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 9026h	S12AD	A/D データレジスタ 3	ADDR3	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 9028h	S12AD	A/D データレジスタ 4	ADDR4	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 902Ah	S12AD	A/D データレジスタ 5	ADDR5	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 902Ch	S12AD	A/D データレジスタ 6	ADDR6	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 902Eh	S12AD	A/D データレジスタ 7	ADDR7	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 9030h	S12AD	A/D データレジスタ 8	ADDR8	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 9032h	S12AD	A/D データレジスタ 9	ADDR9	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 9034h	S12AD	A/D データレジスタ 10	ADDR10	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 9036h	S12AD	A/D データレジスタ 11	ADDR11	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 9038h	S12AD	A/D データレジスタ 12	ADDR12	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 903Ah	S12AD	A/D データレジスタ 13	ADDR13	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 903Ch	S12AD	A/D データレジスタ 14	ADDR14	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 903Eh	S12AD	A/D データレジスタ 15	ADDR15	16	16	2 ~ 3PCLKB	2ICLK		1294	
0008 9060h	S12AD	A/D サンプリングステートレジスタ 0	ADSSTR0	8	8	2 ~ 3PCLKB	2ICLK		1310	
0008 9061h	S12AD	A/D サンプリングステートレジスタ L	ADSSTRL	8	8	2 ~ 3PCLKB	2ICLK		1310	
0008 9066h	S12AD	サンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2 ~ 3PCLKB	2ICLK		1311	
0008 9071h	S12AD	A/D サンプリングステートレジスタ O	ADSSTRO	8	8	2 ~ 3PCLKB	2ICLK		1310	
0008 9073h	S12AD	A/D サンプリングステートレジスタ 1	ADSSTR1	8	8	2 ~ 3PCLKB	2ICLK		1310	
0008 9074h	S12AD	A/D サンプリングステートレジスタ 2	ADSSTR2	8	8	2 ~ 3PCLKB	2ICLK		1310	
0008 9075h	S12AD	A/D サンプリングステートレジスタ 3	ADSSTR3	8	8	2 ~ 3PCLKB	2ICLK	1310		
0008 9076h	S12AD	A/D サンプリングステートレジスタ 4	ADSSTR4	8	8	2 ~ 3PCLKB	2ICLK	1310		
0008 9077h	S12AD	A/D サンプリングステートレジスタ 5	ADSSTR5	8	8	2 ~ 3PCLKB	2ICLK	1310		
0008 9078h	S12AD	A/D サンプリングステートレジスタ 6	ADSSTR6	8	8	2 ~ 3PCLKB	2ICLK	1310		
0008 9079h	S12AD	A/D サンプリングステートレジスタ 7	ADSSTR7	8	8	2 ~ 3PCLKB	2ICLK	1310		
0008 907Ah	S12AD	A/D 断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB	2ICLK	1312		
0008 A000h	SCIO	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	SCIE, SCIf	898	
0008 A001h	SCIO	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK		913	

表5.1 I/O レジスタアドレス一覧 (2 2 / 3 4)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合			
0008 A002h	SCI0	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	SCle, SCIf	902	
0008 A003h	SCI0	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		897	
0008 A004h	SCI0	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		907	
0008 A005h	SCI0	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		896	
0008 A006h	SCI0	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		911	
0008 A007h	SCI0	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		920	
0008 A008h	SCI0	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		922	
0008 A009h	SCI0	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		923	
0008 A00Ah	SCI0	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		924	
0008 A00Bh	SCI0	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		925	
0008 A00Ch	SCI0	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		927	
0008 A00Dh	SCI0	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		928	
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		898	
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		913	
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		902	
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		897	
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		907	
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		896	
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		911	
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		920	
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		922	
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		923	
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		924	
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		925	
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		927	
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		928	
0008 A040h	SCI2	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		898	
0008 A041h	SCI2	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		913	
0008 A042h	SCI2	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		902	
0008 A043h	SCI2	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		897	
0008 A044h	SCI2	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		907	
0008 A045h	SCI2	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		896	
0008 A046h	SCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		911	
0008 A047h	SCI2	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		920	
0008 A048h	SCI2	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		922	
0008 A049h	SCI2	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		923	
0008 A04Ah	SCI2	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		924	
0008 A04Bh	SCI2	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		925	
0008 A04Ch	SCI2	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		927	
0008 A04Dh	SCI2	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		928	
0008 A060h	SCI3	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		898	
0008 A061h	SCI3	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		913	
0008 A062h	SCI3	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		902	
0008 A063h	SCI3	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		897	
0008 A064h	SCI3	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		907	
0008 A065h	SCI3	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		896	
0008 A066h	SCI3	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		911	
0008 A067h	SCI3	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		920	
0008 A068h	SCI3	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		922	
0008 A069h	SCI3	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		923	
0008 A06Ah	SCI3	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		924	

表5.1 I/O レジスタアドレス一覧 (2 3 / 3 4)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合			
0008 A06Bh	SCI3	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	SCle, SCIf	925	
0008 A06Ch	SCI3	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		927	
0008 A06Dh	SCI3	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		928	
0008 A080h	SCI4	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		898	
0008 A081h	SCI4	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		913	
0008 A082h	SCI4	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		902	
0008 A083h	SCI4	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		897	
0008 A084h	SCI4	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		907	
0008 A085h	SCI4	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		896	
0008 A086h	SCI4	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		911	
0008 A087h	SCI4	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		920	
0008 A088h	SCI4	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		922	
0008 A089h	SCI4	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		923	
0008 A08Ah	SCI4	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		924	
0008 A08Bh	SCI4	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		925	
0008 A08Ch	SCI4	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		927	
0008 A08Dh	SCI4	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		928	
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		898	
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		913	
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		902	
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		897	
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		907	
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		896	
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		911	
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		920	
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		922	
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		923	
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		924	
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		925	
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		927	
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		928	
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		898	
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		913	
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		902	
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		897	
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		907	
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		896	
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		911	
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		920	
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		922	
0008 A0C9h	SCI6	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		923	
0008 A0CAh	SCI6	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		924	
0008 A0CBh	SCI6	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		925	
0008 A0CCh	SCI6	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		927	
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		928	
0008 A0E0h	SCI7	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		898	
0008 A0E1h	SCI7	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		913	
0008 A0E2h	SCI7	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		902	
0008 A0E3h	SCI7	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		897	
0008 A0E4h	SCI7	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		907	
0008 A0E5h	SCI7	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		896	

表5.1 I/O レジスタアドレス一覧 (24 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLKの 場合	ICLK < PCLK の場合			
0008 A0E6h	SCI7	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	SCle, SCIf	911	
0008 A0E7h	SCI7	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		920	
0008 A0E8h	SCI7	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		922	
0008 A0E9h	SCI7	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		923	
0008 A0EAh	SCI7	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		924	
0008 A0EBh	SCI7	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		925	
0008 A0ECh	SCI7	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		927	
0008 A0EDh	SCI7	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		928	
0008 A100h	SCI8	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		898	
0008 A101h	SCI8	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		913	
0008 A102h	SCI8	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		902	
0008 A103h	SCI8	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		897	
0008 A104h	SCI8	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		907	
0008 A105h	SCI8	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		896	
0008 A106h	SCI8	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		911	
0008 A107h	SCI8	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		920	
0008 A108h	SCI8	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		922	
0008 A109h	SCI8	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		923	
0008 A10Ah	SCI8	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		924	
0008 A10Bh	SCI8	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		925	
0008 A10Ch	SCI8	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		927	
0008 A10Dh	SCI8	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		928	
0008 A120h	SCI9	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		898	
0008 A121h	SCI9	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		913	
0008 A122h	SCI9	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		902	
0008 A123h	SCI9	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		897	
0008 A124h	SCI9	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		907	
0008 A125h	SCI9	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		896	
0008 A126h	SCI9	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		911	
0008 A127h	SCI9	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		920	
0008 A128h	SCI9	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		922	
0008 A129h	SCI9	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		923	
0008 A12Ah	SCI9	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		924	
0008 A12Bh	SCI9	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		925	
0008 A12Ch	SCI9	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		927	
0008 A12Dh	SCI9	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		928	
0008 A140h	SCI10	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		898	
0008 A141h	SCI10	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		913	
0008 A142h	SCI10	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		902	
0008 A143h	SCI10	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		897	
0008 A144h	SCI10	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		907	
0008 A145h	SCI10	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		896	
0008 A146h	SCI10	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		911	
0008 A147h	SCI10	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		920	
0008 A148h	SCI10	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		922	
0008 A149h	SCI10	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		923	
0008 A14Ah	SCI10	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		924	
0008 A14Bh	SCI10	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		925	
0008 A14Ch	SCI10	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		927	
0008 A14Dh	SCI10	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		928	
0008 A160h	SCI11	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		898	

表5.1 I/O レジスタアドレス一覧 (25 / 34)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合			
0008 A161h	SCI11	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	SC1e, SC1f	913	
0008 A162h	SCI11	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		902	
0008 A163h	SCI11	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		897	
0008 A164h	SCI11	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		907	
0008 A165h	SCI11	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		896	
0008 A166h	SCI11	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		911	
0008 A167h	SCI11	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		920	
0008 A168h	SCI11	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		922	
0008 A169h	SCI11	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		923	
0008 A16Ah	SCI11	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		924	
0008 A16Bh	SCI11	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		925	
0008 A16Ch	SCI11	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		927	
0008 A16Dh	SCI11	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		928	
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2~3PCLKB	2ICLK		CAC	197
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2~3PCLKB	2ICLK	198		
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2~3PCLKB	2ICLK	199		
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2~3PCLKB	2ICLK	200		
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2~3PCLKB	2ICLK	201		
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2~3PCLKB	2ICLK	202		
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2~3PCLKB	2ICLK	202		
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2~3PCLKB	2ICLK	202		
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2~3PCLKB	2ICLK	DOC	1344	
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2~3PCLKB	2ICLK		1345	
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2~3PCLKB	2ICLK		1345	
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2~3PCLKB	2ICLK	ELC	446	
0008 B102h	ELC	イベントリンク設定レジスタ1	ELSR1	8	8	2~3PCLKB	2ICLK		447	
0008 B103h	ELC	イベントリンク設定レジスタ2	ELSR2	8	8	2~3PCLKB	2ICLK		447	
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8	2~3PCLKB	2ICLK		447	
0008 B105h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8	2~3PCLKB	2ICLK		447	
0008 B108h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8	2~3PCLKB	2ICLK		447	
0008 B10Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8	2~3PCLKB	2ICLK		447	
0008 B10Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8	2~3PCLKB	2ICLK		447	
0008 B110h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8	2~3PCLKB	2ICLK		447	
0008 B111h	ELC	イベントリンク設定レジスタ16	ELSR16	8	8	2~3PCLKB	2ICLK		447	
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2~3PCLKB	2ICLK		447	
0008 B114h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8	2~3PCLKB	2ICLK		447	
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2~3PCLKB	2ICLK		447	
0008 B116h	ELC	イベントリンク設定レジスタ21	ELSR21	8	8	2~3PCLKB	2ICLK		447	
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2~3PCLKB	2ICLK		447	
0008 B118h	ELC	イベントリンク設定レジスタ23	ELSR23	8	8	2~3PCLKB	2ICLK		447	
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2~3PCLKB	2ICLK		447	
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2~3PCLKB	2ICLK		447	
0008 B11Bh	ELC	イベントリンク設定レジスタ26	ELSR26	8	8	2~3PCLKB	2ICLK		447	
0008 B11Ch	ELC	イベントリンク設定レジスタ27	ELSR27	8	8	2~3PCLKB	2ICLK		447	
0008 B11Dh	ELC	イベントリンク設定レジスタ28	ELSR28	8	8	2~3PCLKB	2ICLK	447		
0008 B11Eh	ELC	イベントリンク設定レジスタ29	ELSR29	8	8	2~3PCLKB	2ICLK	447		
0008 B11Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8	2~3PCLKB	2ICLK	450		
0008 B120h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8	2~3PCLKB	2ICLK	451		
0008 B121h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8	2~3PCLKB	2ICLK	451		

表5.1 I/O レジスタアドレス一覧 (26 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLKの 場合	ICLK < PCLK の場合			
0008 B122h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8	2~3PCLKB	2ICLK	ELC	452	
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2~3PCLKB	2ICLK		453	
0008 B124h	ELC	ポートグループ指定レジスタ2	PGR2	8	8	2~3PCLKB	2ICLK		453	
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2~3PCLKB	2ICLK		454	
0008 B126h	ELC	ポートグループコントロールレジスタ2	PGC2	8	8	2~3PCLKB	2ICLK		454	
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2~3PCLKB	2ICLK		455	
0008 B128h	ELC	ポートバッファレジスタ2	PDBF2	8	8	2~3PCLKB	2ICLK		455	
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2~3PCLKB	2ICLK		456	
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2~3PCLKB	2ICLK		456	
0008 B12Bh	ELC	イベント接続ポート指定レジスタ2	PEL2	8	8	2~3PCLKB	2ICLK		456	
0008 B12Ch	ELC	イベント接続ポート指定レジスタ3	PEL3	8	8	2~3PCLKB	2ICLK		456	
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2~3PCLKB	2ICLK		457	
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	SCiE, SCiF	898	
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		913	
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		902	
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		897	
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		907	
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		896	
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		911	
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		920	
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		922	
0008 B309h	SCI12	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		923	
0008 B30Ah	SCI12	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		924	
0008 B30Bh	SCI12	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		925	
0008 B30Ch	SCI12	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		927	
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		928	
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2~3PCLKB	2ICLK		929	
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2~3PCLKB	2ICLK		930	
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2~3PCLKB	2ICLK		930	
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2~3PCLKB	2ICLK		931	
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2~3PCLKB	2ICLK		932	
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2~3PCLKB	2ICLK		932	
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2~3PCLKB	2ICLK		933	
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2~3PCLKB	2ICLK		934	
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2~3PCLKB	2ICLK		935	
0008 B329h	SCI12	Control Field 0データレジスタ	CF0DR	8	8	2~3PCLKB	2ICLK		935	
0008 B32Ah	SCI12	Control Field 0コンペイネーブルレジスタ	CF0CR	8	8	2~3PCLKB	2ICLK		936	
0008 B32Bh	SCI12	Control Field 0受信データレジスタ	CF0RR	8	8	2~3PCLKB	2ICLK		936	
0008 B32Ch	SCI12	プライマリControl Field 1データレジスタ	PCF1DR	8	8	2~3PCLKB	2ICLK		936	
0008 B32Dh	SCI12	セカンダリControl Field 1データレジスタ	SCF1DR	8	8	2~3PCLKB	2ICLK		937	
0008 B32Eh	SCI12	Control Field 1コンペイネーブルレジスタ	CF1CR	8	8	2~3PCLKB	2ICLK		937	
0008 B32Fh	SCI12	Control Field 1受信データレジスタ	CF1RR	8	8	2~3PCLKB	2ICLK		937	
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK		938	
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2~3PCLKB	2ICLK		938	
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2~3PCLKB	2ICLK		939	
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2~3PCLKB	2ICLK		939	
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	I/Oポート	474	
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	

表5.1 I/O レジスタアドレス一覧 (2 7 / 3 4)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	I/Oポート	474	
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	
0008 C006h	PORT6	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	
0008 C008h	PORT8	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	
0008 C00Fh	PORTF	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	
0008 C011h	PORTH	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	
0008 C013h	PORTK	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	
0008 C014h	PORTL	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		474	
0008 C020h	PORT0	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		475	
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		475	
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		475	
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	475		
0008 C025h	PORT5	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	475		
0008 C026h	PORT6	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	475		
0008 C027h	PORT7	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	475		
0008 C028h	PORT8	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	475		
0008 C029h	PORT9	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	475		
0008 C02Ah	PORTA	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	475		
0008 C02Bh	PORTB	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	475		
0008 C02Ch	PORTC	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	475		
0008 C02Dh	PORTD	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	475		
0008 C02Eh	PORTE	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	475		
0008 C02Fh	PORTF	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	475		
0008 C031h	PORTH	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	475		
0008 C032h	PORTJ	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	475		
0008 C033h	PORTK	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	475		
0008 C034h	PORTL	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	475		
0008 C040h	PORT0	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	476		
0008 C041h	PORT1	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	476		
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	476		
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	476		
0008 C044h	PORT4	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	476		
0008 C045h	PORT5	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	476		
0008 C046h	PORT6	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	476		
0008 C047h	PORT7	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	476		
0008 C048h	PORT8	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	476		
0008 C049h	PORT9	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	476		
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	476		
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	476		
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	476		
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	476		
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	476		

表5.1 I/O レジスタアドレス一覧 (28 / 34)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合			
0008 C04Fh	PORTF	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	I/Oポート	476	
0008 C051h	PORTH	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		476	
0008 C052h	PORTJ	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		476	
0008 C053h	PORTK	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		476	
0008 C054h	PORTL	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		476	
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C066h	PORT6	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C068h	PORT8	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C06Fh	PORTF	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C073h	PORTK	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C074h	PORTL	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		477	
0008 C080h	PORT0	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK		478	
0008 C082h	PORT1	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK		478	
0008 C083h	PORT1	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	2ICLK		479	
0008 C084h	PORT2	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK		478	
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	2ICLK		479	
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK		478	
0008 C087h	PORT3	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	2ICLK		479	
0008 C08Ah	PORT5	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK		478	
0008 C08Bh	PORT5	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	2ICLK		479	
0008 C08Ch	PORT6	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK	478		
0008 C08Eh	PORT7	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK	478		
0008 C08Fh	PORT7	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	2ICLK	479		
0008 C090h	PORT8	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK	478		
0008 C092h	PORT9	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK	478		
0008 C094h	PORTA	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK	478		
0008 C095h	PORTA	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	2ICLK	479		
0008 C096h	PORTB	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK	478		
0008 C097h	PORTB	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	2ICLK	479		
0008 C098h	PORTC	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK	478		
0008 C099h	PORTC	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	2ICLK	479		
0008 C09Ch	PORTE	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK	478		
0008 C09Dh	PORTE	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	2ICLK	479		
0008 C0A6h	PORTK	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK	478		
0008 C0A7h	PORTK	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	2ICLK	479		
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	480		
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	480		
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	480		

表5.1 I/O レジスタアドレス一覧 (29 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合			
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	I/Oポート	480	
0008 C0C5h	PORT5	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		480	
0008 C0C6h	PORT6	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		480	
0008 C0C7h	PORT7	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		480	
0008 C0C8h	PORT8	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		480	
0008 C0C9h	PORT9	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		480	
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		480	
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		480	
0008 C0CCh	PORTC	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		480	
0008 C0CDh	PORTD	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		480	
0008 C0CEh	PORTE	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		480	
0008 C0CFh	PORTF	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		480	
0008 C0D1h	PORTH	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		480	
0008 C0D2h	PORTJ	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		480	
0008 C0D3h	PORTK	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		480	
0008 C0D4h	PORTL	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		480	
0008 C0E0h	PORT0	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		481	
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		481	
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		481	
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		481	
0008 C0E5h	PORT5	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	481		
0008 C0E6h	PORT6	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	481		
0008 C0E7h	PORT7	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	481		
0008 C0E8h	PORT8	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	481		
0008 C0E9h	PORT9	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	481		
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	481		
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	481		
0008 C0ECh	PORTC	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	481		
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	481		
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	481		
0008 C0F1h	PORTH	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	481		
0008 C0F2h	PORTJ	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	481		
0008 C0F3h	PORTK	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	481		
0008 C100h	MPC	CS出力許可レジスタ	PFCSE	8	8	2~3PCLKB	2ICLK	MPC	515	
0008 C104h	MPC	アドレス出力許可レジスタ0	PFAOE0	8	8、16	2~3PCLKB	2ICLK		516	
0008 C105h	MPC	アドレス出力許可レジスタ1	PFAOE1	8	8、16	2~3PCLKB	2ICLK		517	
0008 C106h	MPC	外部バス制御レジスタ0	PFBCR0	8	8、16	2~3PCLKB	2ICLK		518	
0008 C107h	MPC	外部バス制御レジスタ1	PFBCR1	8	8、16	2~3PCLKB	2ICLK		519	
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2~3PCLKB	2ICLK		495	
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2~3PCLKB	2ICLK		496	
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2~3PCLKB	2ICLK		496	
0008 C142h	MPC	P02端子機能制御レジスタ	P02PFS	8	8	2~3PCLKB	2ICLK		496	
0008 C143h	MPC	P03端子機能制御レジスタ	P03PFS	8	8	2~3PCLKB	2ICLK		496	
0008 C145h	MPC	P05端子機能制御レジスタ	P05PFS	8	8	2~3PCLKB	2ICLK		496	
0008 C147h	MPC	P07端子機能制御レジスタ	P07PFS	8	8	2~3PCLKB	2ICLK		496	
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2~3PCLKB	2ICLK		497	
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2~3PCLKB	2ICLK		497	
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2~3PCLKB	2ICLK		497	
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2~3PCLKB	2ICLK		497	
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2~3PCLKB	2ICLK		497	
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2~3PCLKB	2ICLK		497	

表5.1 I/O レジスタアドレス一覧 (30 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合			
0008 C150h	MPC	P20 端子機能制御レジスタ	P20PFS	8	8	2~3PCLKB	2ICLK	MPC	498	
0008 C151h	MPC	P21 端子機能制御レジスタ	P21PFS	8	8	2~3PCLKB	2ICLK		498	
0008 C152h	MPC	P22 端子機能制御レジスタ	P22PFS	8	8	2~3PCLKB	2ICLK		498	
0008 C153h	MPC	P23 端子機能制御レジスタ	P23PFS	8	8	2~3PCLKB	2ICLK		498	
0008 C154h	MPC	P24 端子機能制御レジスタ	P24PFS	8	8	2~3PCLKB	2ICLK		498	
0008 C155h	MPC	P25 端子機能制御レジスタ	P25PFS	8	8	2~3PCLKB	2ICLK		498	
0008 C156h	MPC	P26 端子機能制御レジスタ	P26PFS	8	8	2~3PCLKB	2ICLK		498	
0008 C157h	MPC	P27 端子機能制御レジスタ	P27PFS	8	8	2~3PCLKB	2ICLK		498	
0008 C158h	MPC	P30 端子機能制御レジスタ	P30PFS	8	8	2~3PCLKB	2ICLK		499	
0008 C159h	MPC	P31 端子機能制御レジスタ	P31PFS	8	8	2~3PCLKB	2ICLK		499	
0008 C15Ah	MPC	P32 端子機能制御レジスタ	P32PFS	8	8	2~3PCLKB	2ICLK		499	
0008 C15Bh	MPC	P33 端子機能制御レジスタ	P33PFS	8	8	2~3PCLKB	2ICLK		499	
0008 C15Ch	MPC	P34 端子機能制御レジスタ	P34PFS	8	8	2~3PCLKB	2ICLK		499	
0008 C160h	MPC	P40 端子機能制御レジスタ	P40PFS	8	8	2~3PCLKB	2ICLK		500	
0008 C161h	MPC	P41 端子機能制御レジスタ	P41PFS	8	8	2~3PCLKB	2ICLK		500	
0008 C162h	MPC	P42 端子機能制御レジスタ	P42PFS	8	8	2~3PCLKB	2ICLK		500	
0008 C163h	MPC	P43 端子機能制御レジスタ	P43PFS	8	8	2~3PCLKB	2ICLK		500	
0008 C164h	MPC	P44 端子機能制御レジスタ	P44PFS	8	8	2~3PCLKB	2ICLK		500	
0008 C165h	MPC	P45 端子機能制御レジスタ	P45PFS	8	8	2~3PCLKB	2ICLK		500	
0008 C166h	MPC	P46 端子機能制御レジスタ	P46PFS	8	8	2~3PCLKB	2ICLK		500	
0008 C167h	MPC	P47 端子機能制御レジスタ	P47PFS	8	8	2~3PCLKB	2ICLK		500	
0008 C168h	MPC	P50 端子機能制御レジスタ	P50PFS	8	8	2~3PCLKB	2ICLK		501	
0008 C169h	MPC	P51 端子機能制御レジスタ	P51PFS	8	8	2~3PCLKB	2ICLK		501	
0008 C16Ah	MPC	P52 端子機能制御レジスタ	P52PFS	8	8	2~3PCLKB	2ICLK		501	
0008 C16Ch	MPC	P54 端子機能制御レジスタ	P54PFS	8	8	2~3PCLKB	2ICLK		501	
0008 C16Dh	MPC	P55 端子機能制御レジスタ	P55PFS	8	8	2~3PCLKB	2ICLK		501	
0008 C16Eh	MPC	P56 端子機能制御レジスタ	P56PFS	8	8	2~3PCLKB	2ICLK		501	
0008 C170h	MPC	P60 端子機能制御レジスタ	P60PFS	8	8	2~3PCLKB	2ICLK		502	
0008 C171h	MPC	P61 端子機能制御レジスタ	P61PFS	8	8	2~3PCLKB	2ICLK		502	
0008 C178h	MPC	P70 端子機能制御レジスタ	P70PFS	8	8	2~3PCLKB	2ICLK		503	
0008 C17Bh	MPC	P73 端子機能制御レジスタ	P73PFS	8	8	2~3PCLKB	2ICLK		503	3V版にはありません
0008 C17Ch	MPC	P74 端子機能制御レジスタ	P74PFS	8	8	2~3PCLKB	2ICLK		503	
0008 C17Dh	MPC	P75 端子機能制御レジスタ	P75PFS	8	8	2~3PCLKB	2ICLK		503	
0008 C17Eh	MPC	P76 端子機能制御レジスタ	P76PFS	8	8	2~3PCLKB	2ICLK		503	
0008 C17Fh	MPC	P77 端子機能制御レジスタ	P77PFS	8	8	2~3PCLKB	2ICLK		503	
0008 C180h	MPC	P80 端子機能制御レジスタ	P80PFS	8	8	2~3PCLKB	2ICLK		504	
0008 C181h	MPC	P81 端子機能制御レジスタ	P81PFS	8	8	2~3PCLKB	2ICLK		504	
0008 C182h	MPC	P82 端子機能制御レジスタ	P82PFS	8	8	2~3PCLKB	2ICLK		504	
0008 C183h	MPC	P83 端子機能制御レジスタ	P83PFS	8	8	2~3PCLKB	2ICLK		504	
0008 C186h	MPC	P86 端子機能制御レジスタ	P86PFS	8	8	2~3PCLKB	2ICLK		504	
0008 C187h	MPC	P87 端子機能制御レジスタ	P87PFS	8	8	2~3PCLKB	2ICLK		504	
0008 C188h	MPC	P90 端子機能制御レジスタ	P90PFS	8	8	2~3PCLKB	2ICLK		505	
0008 C189h	MPC	P91 端子機能制御レジスタ	P91PFS	8	8	2~3PCLKB	2ICLK		505	
0008 C18Ah	MPC	P92 端子機能制御レジスタ	P92PFS	8	8	2~3PCLKB	2ICLK		505	
0008 C18Bh	MPC	P93 端子機能制御レジスタ	P93PFS	8	8	2~3PCLKB	2ICLK		505	
0008 C190h	MPC	PA0 端子機能制御レジスタ	PA0PFS	8	8	2~3PCLKB	2ICLK		506	
0008 C191h	MPC	PA1 端子機能制御レジスタ	PA1PFS	8	8	2~3PCLKB	2ICLK		506	
0008 C192h	MPC	PA2 端子機能制御レジスタ	PA2PFS	8	8	2~3PCLKB	2ICLK		506	
0008 C193h	MPC	PA3 端子機能制御レジスタ	PA3PFS	8	8	2~3PCLKB	2ICLK		506	
0008 C194h	MPC	PA4 端子機能制御レジスタ	PA4PFS	8	8	2~3PCLKB	2ICLK		506	
0008 C195h	MPC	PA5 端子機能制御レジスタ	PA5PFS	8	8	2~3PCLKB	2ICLK		506	

表5.1 I/O レジスタアドレス一覧 (31 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合			
0008 C196h	MPC	PA6 端子機能制御レジスタ	PA6PFS	8	8	2~3PCLKB	2ICLK	MPC	506	
0008 C197h	MPC	PA7 端子機能制御レジスタ	PA7PFS	8	8	2~3PCLKB	2ICLK		506	
0008 C198h	MPC	PB0 端子機能制御レジスタ	PB0PFS	8	8	2~3PCLKB	2ICLK		507	
0008 C199h	MPC	PB1 端子機能制御レジスタ	PB1PFS	8	8	2~3PCLKB	2ICLK		507	
0008 C19Ah	MPC	PB2 端子機能制御レジスタ	PB2PFS	8	8	2~3PCLKB	2ICLK		507	
0008 C19Bh	MPC	PB3 端子機能制御レジスタ	PB3PFS	8	8	2~3PCLKB	2ICLK		507	
0008 C19Ch	MPC	PB4 端子機能制御レジスタ	PB4PFS	8	8	2~3PCLKB	2ICLK		507	
0008 C19Dh	MPC	PB5 端子機能制御レジスタ	PB5PFS	8	8	2~3PCLKB	2ICLK		507	
0008 C19Eh	MPC	PB6 端子機能制御レジスタ	PB6PFS	8	8	2~3PCLKB	2ICLK		507	
0008 C19Fh	MPC	PB7 端子機能制御レジスタ	PB7PFS	8	8	2~3PCLKB	2ICLK		507	
0008 C1A0h	MPC	PC0 端子機能制御レジスタ	PC0PFS	8	8	2~3PCLKB	2ICLK		508	
0008 C1A1h	MPC	PC1 端子機能制御レジスタ	PC1PFS	8	8	2~3PCLKB	2ICLK		508	
0008 C1A2h	MPC	PC2 端子機能制御レジスタ	PC2PFS	8	8	2~3PCLKB	2ICLK		508	
0008 C1A3h	MPC	PC3 端子機能制御レジスタ	PC3PFS	8	8	2~3PCLKB	2ICLK		508	
0008 C1A4h	MPC	PC4 端子機能制御レジスタ	PC4PFS	8	8	2~3PCLKB	2ICLK		508	
0008 C1A5h	MPC	PC5 端子機能制御レジスタ	PC5PFS	8	8	2~3PCLKB	2ICLK		508	
0008 C1A6h	MPC	PC6 端子機能制御レジスタ	PC6PFS	8	8	2~3PCLKB	2ICLK		508	
0008 C1A7h	MPC	PC7 端子機能制御レジスタ	PC7PFS	8	8	2~3PCLKB	2ICLK		508	
0008 C1A8h	MPC	PD0 端子機能制御レジスタ	PD0PFS	8	8	2~3PCLKB	2ICLK		509	
0008 C1A9h	MPC	PD1 端子機能制御レジスタ	PD1PFS	8	8	2~3PCLKB	2ICLK		509	
0008 C1AAh	MPC	PD2 端子機能制御レジスタ	PD2PFS	8	8	2~3PCLKB	2ICLK		509	
0008 C1ABh	MPC	PD3 端子機能制御レジスタ	PD3PFS	8	8	2~3PCLKB	2ICLK		509	
0008 C1ACh	MPC	PD4 端子機能制御レジスタ	PD4PFS	8	8	2~3PCLKB	2ICLK		509	
0008 C1ADh	MPC	PD5 端子機能制御レジスタ	PD5PFS	8	8	2~3PCLKB	2ICLK		509	
0008 C1AEh	MPC	PD6 端子機能制御レジスタ	PD6PFS	8	8	2~3PCLKB	2ICLK		509	
0008 C1AFh	MPC	PD7 端子機能制御レジスタ	PD7PFS	8	8	2~3PCLKB	2ICLK		509	
0008 C1B0h	MPC	PE0 端子機能制御レジスタ	PE0PFS	8	8	2~3PCLKB	2ICLK		510	
0008 C1B1h	MPC	PE1 端子機能制御レジスタ	PE1PFS	8	8	2~3PCLKB	2ICLK		510	
0008 C1B2h	MPC	PE2 端子機能制御レジスタ	PE2PFS	8	8	2~3PCLKB	2ICLK		510	
0008 C1B3h	MPC	PE3 端子機能制御レジスタ	PE3PFS	8	8	2~3PCLKB	2ICLK		510	
0008 C1B4h	MPC	PE4 端子機能制御レジスタ	PE4PFS	8	8	2~3PCLKB	2ICLK		510	
0008 C1B5h	MPC	PE5 端子機能制御レジスタ	PE5PFS	8	8	2~3PCLKB	2ICLK		510	
0008 C1B6h	MPC	PE6 端子機能制御レジスタ	PE6PFS	8	8	2~3PCLKB	2ICLK		510	
0008 C1B7h	MPC	PE7 端子機能制御レジスタ	PE7PFS	8	8	2~3PCLKB	2ICLK		510	
0008 C1BDh	MPC	PF5 端子機能制御レジスタ	PF5PFS	8	8	2~3PCLKB	2ICLK	511		
0008 C1C8h	MPC	PH0 端子機能制御レジスタ	PH0PFS	8	8	2~3PCLKB	2ICLK	511		
0008 C1C9h	MPC	PH1 端子機能制御レジスタ	PH1PFS	8	8	2~3PCLKB	2ICLK	511		
0008 C1CAh	MPC	PH2 端子機能制御レジスタ	PH2PFS	8	8	2~3PCLKB	2ICLK	511		
0008 C1CBh	MPC	PH3 端子機能制御レジスタ	PH3PFS	8	8	2~3PCLKB	2ICLK	511		
0008 C1D1h	MPC	PJ1 端子機能制御レジスタ	PJ1PFS	8	8	2~3PCLKB	2ICLK	512		
0008 C1D3h	MPC	PJ3 端子機能制御レジスタ	PJ3PFS	8	8	2~3PCLKB	2ICLK	512		
0008 C1DAh	MPC	PK2 端子機能制御レジスタ	PK2PFS	8	8	2~3PCLKB	2ICLK	513		
0008 C1DBh	MPC	PK3 端子機能制御レジスタ	PK3PFS	8	8	2~3PCLKB	2ICLK	513		
0008 C1DCh	MPC	PK4 端子機能制御レジスタ	PK4PFS	8	8	2~3PCLKB	2ICLK	513		
0008 C1DDh	MPC	PK5 端子機能制御レジスタ	PK5PFS	8	8	2~3PCLKB	2ICLK	513		
0008 C1E5h	MPC	PL5 端子機能制御レジスタ	PL5PFS	8	8	2~3PCLKB	2ICLK	514	5V 版にはありません	
0008 C280h	SYSTEM	ディーブスタンバイコントロールレジスタ	DPSBYCR	8	8	4~5PCLKB	2~3ICLK	消費電力 低減機能	223	
0008 C282h	SYSTEM	ディーブスタンバイインタラプトイネーブルレジスタ0	DPSIER0	8	8	4~5PCLKB	2~3ICLK		225	
0008 C284h	SYSTEM	ディーブスタンバイインタラプトイネーブルレジスタ2	DPSIER2	8	8	4~5PCLKB	2~3ICLK		226	

表5.1 I/O レジスタアドレス一覧 (32 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合			
0008 C286h	SYSTEM	ディーブスタンバイインタラプトフラ グレジスタ0	DPSIFR0	8	8	4~5PCLKB	2~3ICLK	消費電力 低減機能	227	
0008 C288h	SYSTEM	ディーブスタンバイインタラプトフラ グレジスタ2	DPSIFR2	8	8	4~5PCLKB	2~3ICLK		228	
0008 C28Ah	SYSTEM	ディーブスタンバイインタラプトエッ ジレジスタ0	DPSIEGR0	8	8	4~5PCLKB	2~3ICLK		230	
0008 C28Ch	SYSTEM	ディーブスタンバイインタラプトエッ ジレジスタ2	DPSIEGR2	8	8	4~5PCLKB	2~3ICLK		231	
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4~5PCLKB	2~3ICLK	リセット	136	
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4~5PCLKB	2~3ICLK		138	
0008 C293h	SYSTEM	メインクロック発振器強制発振コント ロールレジスタ	MOFCR	8	8	4~5PCLKB	2~3ICLK	クロック 発生回路	185	
0008 C296h	FLASH	フラッシュ P/E プロテクトレジスタ	FWEPROR	8	8	4~5PCLKB	2~3ICLK	フラッシュ メモリ	1356	
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4~5PCLKB	2~3ICLK	LVDA	160	
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVL	8	8	4~5PCLKB	2~3ICLK		161	
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4~5PCLKB	2~3ICLK		162	
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4~5PCLKB	2~3ICLK		163	
0008 C2A0h ~ 0008 C2Bfh	SYSTEM	ディーブスタンバイバックアップレジ スタ0~31	DPSBKR0~31	8	8	4~5PCLKB	2~3ICLK	消費電力 低減機能	231	
000A 0A00h	CEC	CEC 自局 アドレス設定レジスタ	CADR	16	16	1~2PCLK	1ICLK	CEC	1066	5V 版にはありません
000A 0A02h	CEC	CEC 制御レジスタ1	CECCTL1	8	8	1~2PCLK	1ICLK		1071	5V 版にはありません
000A 0A04h	CEC	CEC 送信スタートビットのビット幅設 定レジスタ	STATB	16	16	1~2PCLK	1ICLK		1077	5V 版にはありません
000A 0A06h	CEC	CEC 送信スタートビットの Low 幅設定 レジスタ	STATL	16	16	1~2PCLK	1ICLK		1076	5V 版にはありません
000A 0A08h	CEC	CEC 送信ロジカル0の Low 幅設定レジ スタ	LGC0L	16	16	1~2PCLK	1ICLK		1077	5V 版にはありません
000A 0A0Ah	CEC	CEC 送信ロジカル1の Low 幅設定レジ スタ	LGC1L	16	16	1~2PCLK	1ICLK		1077	5V 版にはありません
000A 0A0Ch	CEC	CEC 送信データビットのビット幅設定 レジスタ	DATB	16	16	1~2PCLK	1ICLK		1078	5V 版にはありません
000A 0A0Eh	CEC	CEC 受信データサンプリング時間設定 レジスタ	NOMT	16	16	1~2PCLK	1ICLK		1082	5V 版にはありません
000A 0A10h	CEC	CEC 受信スタートビット Low 幅の MIN 値設定レジスタ	STATLL	16	16	1~2PCLK	1ICLK		1078	5V 版にはありません
000A 0A12h	CEC	CEC 受信スタートビット Low 幅の MAX 値設定レジスタ	STATLH	16	16	1~2PCLK	1ICLK		1079	5V 版にはありません
000A 0A14h	CEC	CEC 受信スタートビットのビット幅の MIN 値設定レジスタ	STATBL	16	16	1~2PCLK	1ICLK		1079	5V 版にはありません
000A 0A16h	CEC	CEC 受信スタートビットのビット幅の MAX 値設定レジスタ	STATBH	16	16	1~2PCLK	1ICLK		1080	5V 版にはありません
000A 0A18h	CEC	CEC 受信ロジカル0の Low 幅の MIN 値 設定レジスタ	LGC0LL	16	16	1~2PCLK	1ICLK		1080	5V 版にはありません
000A 0A1Ah	CEC	CEC 受信ロジカル0の Low 幅の MAX 値 設定レジスタ	LGC0LH	16	16	1~2PCLK	1ICLK		1080	5V 版にはありません
000A 0A1Ch	CEC	CEC 受信ロジカル1の Low 幅の MIN 値 設定レジスタ	LGC1LL	16	16	1~2PCLK	1ICLK		1081	5V 版にはありません
000A 0A1Eh	CEC	CEC 受信ロジカル1の Low 幅の MAX 値 設定レジスタ	LGC1LH	16	16	1~2PCLK	1ICLK		1081	5V 版にはありません
000A 0A20h	CEC	CEC 受信データビットのビット幅の MIN 値設定レジスタ	DATBL	16	16	1~2PCLK	1ICLK		1081	5V 版にはありません
000A 0A22h	CEC	CEC 受信データビットのビット幅の MAX 値設定レジスタ	DATBH	16	16	1~2PCLK	1ICLK		1082	5V 版にはありません
000A 0A24h	CEC	CEC データビット基準幅設定レジスタ	NOMP	16	16	1~2PCLK	1ICLK		1083	5V 版にはありません
000A 0A28h	CEC	CEC 拡張モードレジスタ	CECEXMD	8	8	1~2PCLK	1ICLK		1084	5V 版にはありません
000A 0A2Ah	CEC	CEC 拡張モニターレジスタ	CECEXMON	8	8	1~2PCLK	1ICLK	1085	5V 版にはありません	
000A 0A30h	CEC	CEC 送信バッファレジスタ	CTXD	8	8	1~2PCLK	1ICLK	1067	5V 版にはありません	
000A 0A31h	CEC	CEC 受信バッファレジスタ	CRXD	8	8	1~2PCLK	1ICLK	1067	5V 版にはありません	
000A 0A32h	CEC	CEC 通信エラーステータスレジスタ	CECES	8	8	1~2PCLK	1ICLK	1074	5V 版にはありません	
000A 0A33h	CEC	CEC 通信ステータスレジスタ	CECS	8	8	1~2PCLK	1ICLK	1072	5V 版にはありません	

表5.1 I/O レジスタアドレス一覧 (33 / 34)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000A 0A34h	CEC	CEC通信エラーフラグクリアトリガレジスタ	CECFC	8	8	1 ~ 2PCLK	1ICLK	CEC	1076	5V版にはありません
000A 0A35h	CEC	CEC制御レジスタ0	CECCTL0	8	8	1 ~ 2PCLK	1ICLK		1068	5V版にはありません
000A 0B00h	RCR0	機能選択レジスタ0	CON0	8	8	1 ~ 2PCLK	1ICLK	RCR	1025	5V版にはありません
000A 0B01h	RCR0	機能選択レジスタ1	CON1	8	8	1 ~ 2PCLK	1ICLK		1026	5V版にはありません
000A 0B02h	RCR0	ステータスレジスタ	STS	8	8	1 ~ 2PCLK	1ICLK		1027	5V版にはありません
000A 0B03h	RCR0	割り込み制御レジスタ	INT	8	8	1 ~ 2PCLK	1ICLK		1030	5V版にはありません
000A 0B04h	RCR0	コンペア制御レジスタ	CPC	8	8	1 ~ 2PCLK	1ICLK		1030	5V版にはありません
000A 0B05h	RCR0	コンペア値設定レジスタ	CPD	8	8	1 ~ 2PCLK	1ICLK		1031	5V版にはありません
000A 0B06h	RCR0	ヘッダパターン設定レジスタ (MIN)	HDPMIN	16	16	1 ~ 2PCLK	1ICLK		1031	5V版にはありません
000A 0B08h	RCR0	ヘッダパターン設定レジスタ (MAX)	HDPMAX	16	16	1 ~ 2PCLK	1ICLK		1031	5V版にはありません
000A 0B0Ah	RCR0	データ0パターン設定レジスタ (MIN)	D0PMIN	8	8	1 ~ 2PCLK	1ICLK		1032	5V版にはありません
000A 0B0Bh	RCR0	データ0パターン設定レジスタ (MAX)	D0PMAX	8	8	1 ~ 2PCLK	1ICLK		1032	5V版にはありません
000A 0B0Ch	RCR0	データ1パターン設定レジスタ (MIN)	D1PMIN	8	8	1 ~ 2PCLK	1ICLK		1032	5V版にはありません
000A 0B0Dh	RCR0	データ1パターン設定レジスタ (MAX)	D1PMAX	8	8	1 ~ 2PCLK	1ICLK		1033	5V版にはありません
000A 0B0Eh	RCR0	特殊データパターン設定レジスタ (MIN)	SDPMIN	16	16	1 ~ 2PCLK	1ICLK		1033	5V版にはありません
000A 0B10h	RCR0	特殊データパターン設定レジスタ (MAX)	SDPMAX	16	16	1 ~ 2PCLK	1ICLK		1033	5V版にはありません
000A 0B12h	RCR0	パターンエンド設定レジスタ	PE	16	16	1 ~ 2PCLK	1ICLK		1034	5V版にはありません
000A 0B15h	RCR0	受信ビット数レジスタ	RBIT	8	8	1 ~ 2PCLK	1ICLK		1034	5V版にはありません
000A 0B16h	RCR0	受信データ0レジスタ	DAT0	8	8	1 ~ 2PCLK	1ICLK		1035	5V版にはありません
000A 0B17h	RCR0	受信データ1レジスタ	DAT1	8	8	1 ~ 2PCLK	1ICLK		1035	5V版にはありません
000A 0B18h	RCR0	受信データ2レジスタ	DAT2	8	8	1 ~ 2PCLK	1ICLK		1035	5V版にはありません
000A 0B19h	RCR0	受信データ3レジスタ	DAT3	8	8	1 ~ 2PCLK	1ICLK		1035	5V版にはありません
000A 0B1Ah	RCR0	受信データ4レジスタ	DAT4	8	8	1 ~ 2PCLK	1ICLK		1035	5V版にはありません
000A 0B1Bh	RCR0	受信データ5レジスタ	DAT5	8	8	1 ~ 2PCLK	1ICLK		1035	5V版にはありません
000A 0B1Ch	RCR0	受信データ6レジスタ	DAT6	8	8	1 ~ 2PCLK	1ICLK		1035	5V版にはありません
000A 0B1Dh	RCR0	受信データ7レジスタ	DAT7	8	8	1 ~ 2PCLK	1ICLK		1035	5V版にはありません
000A 0B1Eh	RCR0	測定結果レジスタ	TIM	16	16	1 ~ 2PCLK	1ICLK		1036	5V版にはありません
000A 0B80h	RCR1	機能選択レジスタ0	CON0	8	8	1 ~ 2PCLK	1ICLK		1025	5V版にはありません
000A 0B81h	RCR1	機能選択レジスタ1	CON1	8	8	1 ~ 2PCLK	1ICLK		1026	5V版にはありません
000A 0B82h	RCR1	ステータスレジスタ	STS	8	8	1 ~ 2PCLK	1ICLK		1027	5V版にはありません
000A 0B83h	RCR1	割り込み制御レジスタ	INT	8	8	1 ~ 2PCLK	1ICLK		1030	5V版にはありません
000A 0B84h	RCR1	コンペア制御レジスタ	CPC	8	8	1 ~ 2PCLK	1ICLK		1030	5V版にはありません
000A 0B85h	RCR1	コンペア値設定レジスタ	CPD	8	8	1 ~ 2PCLK	1ICLK		1031	5V版にはありません
000A 0B86h	RCR1	ヘッダパターン設定レジスタ (MIN)	HDPMIN	16	16	1 ~ 2PCLK	1ICLK		1031	5V版にはありません
000A 0B88h	RCR1	ヘッダパターン設定レジスタ (MAX)	HDPMAX	16	16	1 ~ 2PCLK	1ICLK		1031	5V版にはありません
000A 0B8Ah	RCR1	データ0パターン設定レジスタ (MIN)	D0PMIN	8	8	1 ~ 2PCLK	1ICLK		1032	5V版にはありません
000A 0B8Bh	RCR1	データ0パターン設定レジスタ (MAX)	D0PMAX	8	8	1 ~ 2PCLK	1ICLK		1032	5V版にはありません
000A 0B8Ch	RCR1	データ1パターン設定レジスタ (MIN)	D1PMIN	8	8	1 ~ 2PCLK	1ICLK		1032	5V版にはありません
000A 0B8Dh	RCR1	データ1パターン設定レジスタ (MAX)	D1PMAX	8	8	1 ~ 2PCLK	1ICLK		1033	5V版にはありません
000A 0B8Eh	RCR1	特殊データパターン設定レジスタ (MIN)	SDPMIN	16	16	1 ~ 2PCLK	1ICLK		1033	5V版にはありません
000A 0B90h	RCR1	特殊データパターン設定レジスタ (MAX)	SDPMAX	16	16	1 ~ 2PCLK	1ICLK		1033	5V版にはありません
000A 0B92h	RCR1	パターンエンド設定レジスタ	PE	16	16	1 ~ 2PCLK	1ICLK		1034	5V版にはありません
000A 0B95h	RCR1	受信ビット数レジスタ	RBIT	8	8	1 ~ 2PCLK	1ICLK		1034	5V版にはありません
000A 0B96h	RCR1	受信データ0レジスタ	DAT0	8	8	1 ~ 2PCLK	1ICLK		1035	5V版にはありません
000A 0B97h	RCR1	受信データ1レジスタ	DAT1	8	8	1 ~ 2PCLK	1ICLK		1035	5V版にはありません
000A 0B98h	RCR1	受信データ2レジスタ	DAT2	8	8	1 ~ 2PCLK	1ICLK		1035	5V版にはありません
000A 0B99h	RCR1	受信データ3レジスタ	DAT3	8	8	1 ~ 2PCLK	1ICLK		1035	5V版にはありません
000A 0B9Ah	RCR1	受信データ4レジスタ	DAT4	8	8	1 ~ 2PCLK	1ICLK		1035	5V版にはありません
000A 0B9Bh	RCR1	受信データ5レジスタ	DAT5	8	8	1 ~ 2PCLK	1ICLK		1035	5V版にはありません
000A 0B9Ch	RCR1	受信データ6レジスタ	DAT6	8	8	1 ~ 2PCLK	1ICLK		1035	5V版にはありません

表5.1 I/O レジスタアドレス一覧 (34 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	参照 ページ	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合			
000A 0B9Dh	RCR1	受信データレジスタ	DAT7	8	8	1 ~ 2PCLK	1ICLK	RCR	1035	5V版にはありません
000A 0B9Eh	RCR1	測定結果レジスタ	TIM	16	16	1 ~ 2PCLK	1ICLK		1036	5V版にはありません
000A 0C00h	SYSTEM	メインクロック供給制御レジスタ	MOSCR	8	8	1 ~ 2PCLK	1ICLK	クロック 発生回路	185	5V版にはありません
000A 0C02h	SYSTEM	メインクロックノイズフィルタ制御レジスタ	MONFCR	8	8	1 ~ 2PCLK	1ICLK		186	5V版にはありません
007F C402h	FLASH	フラッシュモードレジスタ	FMODR	8	8	2 ~ 3FCLK	2 ~ 3ICLK	フラッシュ メモリ	1357	
007F C410h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2 ~ 3FCLK	2 ~ 3ICLK		1358	
007F C411h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2 ~ 3FCLK	2 ~ 3ICLK		1361	
007F C412h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2 ~ 3FCLK	2 ~ 3ICLK		1362	
007F C440h	FLASH	E2データフラッシュ読み出し許可レジスタ0	DFLRE0	16	16	2 ~ 3FCLK	2 ~ 3ICLK		1362	
007F C442h	FLASH	E2データフラッシュ読み出し許可レジスタ1	DFLRE1	16	16	2 ~ 3FCLK	2 ~ 3ICLK		1363	
007F C450h	FLASH	E2データフラッシュ P/E 許可レジスタ0	DFLWE0	16	16	2 ~ 3FCLK	2 ~ 3ICLK		1364	
007F C452h	FLASH	E2データフラッシュ P/E 許可レジスタ1	DFLWE1	16	16	2 ~ 3FCLK	2 ~ 3ICLK		1365	
007F FFB0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2 ~ 3FCLK	2 ~ 3ICLK		1366	
007F FFB1h	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2 ~ 3FCLK	2 ~ 3ICLK		1368	
007F FFB2h	FLASH	フラッシュ P/E モードエントリレジスタ	FENTRYR	16	16	2 ~ 3FCLK	2 ~ 3ICLK		1369	
007F FFB4h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2 ~ 3FCLK	2 ~ 3ICLK		1371	
007F FFB6h	FLASH	フラッシュリセットレジスタ	FRESETR	16	16	2 ~ 3FCLK	2 ~ 3ICLK		1372	
007F FFBAh	FLASH	FCU コマンドレジスタ	FCMDR	16	16	2 ~ 3FCLK	2 ~ 3ICLK		1373	
007F FFC8h	FLASH	FCU 処理切り替えレジスタ	FCPSR	16	16	2 ~ 3FCLK	2 ~ 3ICLK		1374	
007F FFCAh	FLASH	E2データフラッシュブランクチェック制御レジスタ	DFLBCCNT	16	16	2 ~ 3FCLK	2 ~ 3ICLK		1374	
007F FFCh	FLASH	フラッシュ P/E ステータスレジスタ	FPESTAT	16	16	2 ~ 3FCLK	2 ~ 3ICLK	1375		
007F FFCEh	FLASH	E2データフラッシュブランクチェックステータスレジスタ	DFLBCSTAT	16	16	2 ~ 3FCLK	2 ~ 3ICLK	1375		
007F FFE8h	FLASH	周辺クロック通知レジスタ	PCKAR	16	16	2 ~ 3FCLK	2 ~ 3ICLK	1376		

- 注. 本表は5V版/3V版の両仕様でのI/Oレジスタを示しています。各製品のI/Oレジスタは、表1.2に示した機能に対応します。詳細は、「表1.2 RX634グループ 製品別機能比較一覧」を参照してください。
- 注. 5V版には、CEC、RCR0、RCR1はありません。
- 注1. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMR0またはTMR2のレジスタのアドレスへアクセスしてください。表26.4に16ビットアクセスのレジスタ配置を示します。
- 注2. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMCNTLのアドレスへアクセスしてください。

6. リセット

6.1 概要

リセットには、RES# 端子リセット、パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、ディープソフトウェアスタンバイリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
RES#端子リセット	RES#端子の入力電圧がLow
パワーオンリセット	VCCの上昇（監視電圧：VPOR）（注1）
電圧監視0リセット	VCCの下降（監視電圧：Vdet0）（注1）
電圧監視1リセット	VCCの下降（監視電圧：Vdet1）（注1）
電圧監視2リセット	VCCの下降（監視電圧：Vdet2）（注1）
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ソフトウェアリセット	レジスタ設定

注1. 監視電圧（VPOR、Vdet0、Vdet1、Vdet2）については、「8. 電圧検出回路（LVDA）」、「41. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。

表 6.2 にリセット種別ごとの初期化対象を示します。

表6.2 リセット種別ごとの初期化対象

リセット対象	リセット要因								
	RES#端子 リセット	パワーオン リセット	電圧監視0 リセット	独立ウォッチ ドッグタイマ リセット	ウォッチ ドッグタイ マリセット	電圧監視1 リセット	電圧監視2 リセット	ディープ ソフトウェア スタンバイ リセット	ソフトウェア リセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	—	—	—	—	—	—	—	—
コールドスタート/ ウォームスタート 判別フラグ (RSTSR1.CWSF)	—	○	—	—	—	—	—	—	—
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	—	—	—	—	—	—	—
独立ウォッチドッグタイマ リセット検出フラグ (RSTSR2.IWDTRF)	○	○	○	—	—	—	—	○	—
独立ウォッチドッグタイマの レジスタ (IWDTRR、IWDTCR、 IWDTSR、IWDTRCR、 IWDTCSTPR、ILOCOCR)	○	○	○	—	—	—	—	○	—
ウォッチドッグタイマ リセット検出フラグ (RSTSR2.WDTRF)	○	○	○	○	—	—	—	○	—
ウォッチドッグタイマの レジスタ (WDTRR、WDTCR、WDTSR、 WDTRCR)	○	○	○	○	—	—	—	○	—
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	○	○	—	—	—	—
電圧監視機能1のレジスタ (LVD1CR0、 LVCMPPCR.LVD1E、 LVDLVLR.LVD1LVL)	○	○	○	○	○	—	—	—	—
(LVD1CR1、LVD1SR)	○	○	○	○	○	—	—	○	—
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	○	○	○	—	—	—
電圧監視機能2のレジスタ (LVD2CR0、 LVCMPPCR.LVD2E、 LVDLVLR.LVD2LVL)	○	○	○	○	○	○	—	—	—
(LVD2CR1、LVD2SR)	○	○	○	○	○	○	—	○	—
ディープソフトウェアスタンバ イリセット検出フラグ (RSTSR0.DPSRSTF)	○	○	○	○	○	○	○	—	—
ソフトウェアリセット検出フラグ (RSTSR2.SWRF)	○	○	○	○	○	○	○	○	—
メインクロック発振器関連の レジスタ (MOFCR)	○	○	○	○	○	○	○	—	○
端子の状態	○	○	○	○	○	○	○	—	○
消費電力低減機能関連の レジスタ (DPSBYCR、DPSIER0、2、 DPSIFR0、2、DPSIEGR0、2)	○	○	○	○	○	○	○	—	○
上記以外のレジスタ、CPUおよ び内部状態	○	○	○	○	○	○	○	○	○

○：初期化されます。 —：変化しない

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「13. 例外処理」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表 6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

6.2 レジスタの説明

6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス 0008 C290h

b7	b6	b5	b4	b3	b2	b1	b0
DPSRS TF	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF

リセット後の値 0 (注1) 0 0 0 0 (注1) 0 (注1) 0 (注1) 0 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0: パワーオンリセット未検出 1: パワーオンリセット検出	R/(W) (注2)
b1	LVD0RF	電圧監視0リセット検出フラグ	0: 電圧監視0リセット未検出 1: 電圧監視0リセット検出	R/(W) (注2)
b2	LVD1RF	電圧監視1リセット検出フラグ	0: 電圧監視1リセット未検出 1: 電圧監視1リセット検出	R/(W) (注2)
b3	LVD2RF	電圧監視2リセット検出フラグ	0: 電圧監視2リセットの未検出 1: 電圧監視2リセットの検出	R/(W) (注2)
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSRS TF	ディープソフトウェアスタンバイ リセットフラグ	0: 割り込みによるディープソフトウェアスタンバイモード解除 要求の発生なし 1: 割り込みによるディープソフトウェアスタンバイモード解除 要求の発生あり	R/(W) (注2)

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

["1"になる条件]

- パワーオンリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD0RF フラグ（電圧監視 0 リセット検出フラグ）

VCC 電圧が Vdet0 レベル以下を検知したことを示します。

["1" になる条件]

- Vdet0 レベルの VCC 電圧を検知したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

LVD1RF フラグ（電圧監視 1 リセット検出フラグ）

VCC 電圧が Vdet1 レベル以下を検知したことを示します。

["1" になる条件]

- Vdet1 レベルの VCC 電圧を検知したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

LVD2RF フラグ（電圧監視 2 リセット検出フラグ）

VCC 電圧が Vdet2 レベル以下を検知したことを示します。

["1" になる条件]

- Vdet2 レベルの VCC 電圧を検知したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

DPSRSTF フラグ（ディープソフトウェアスタンバイリセットフラグ）

割り込みによるディープソフトウェアスタンバイモードの解除にともなって、内部リセット（ディープソフトウェアスタンバイリセット）が発生したことを示します。

["1" になる条件]

- 割り込みによってディープソフトウェアスタンバイモードを解除したとき
詳細は、「11. 消費電力低減機能」を参照してください。

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

6.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス 0008 C291h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CWSF

リセット後の値 0 0 0 0 0 0 0 0/1
(注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0 : コールドスタート 1 : ウォームスタート	R/(W) (注2)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをセットするための“1”書き込みのみ可能です。

RSTSR1 レジスタは、電源が投入されたときのリセット処理（コールドスタート）か、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）かを判定するレジスタです。

CWSF フラグ（コールドスタート/ウォームスタート判別フラグ）

コールドスタートかウォームスタートかを示します。

CWSF フラグは、パワーオンリセットで初期化されます。RES# 端子リセットでは初期化されません。

["1" になる条件]

- プログラムで“1”を書いたとき。“0”を書いても変化しません。

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき

6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス 0008 00C0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SWRF	WDTR F	IWDTR F

リセット後の値 0 0 0 0 0 0 (注1) 0 (注1) 0 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/(W) (注2)
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R/(W) (注2)
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/(W) (注2)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

WDTRF フラグ (ウォッチドッグタイマリセット検出フラグ)

ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

SWRF フラグ (ソフトウェアリセット検出フラグ)

ソフトウェアリセットが発生したことを示します。

["1"になる条件]

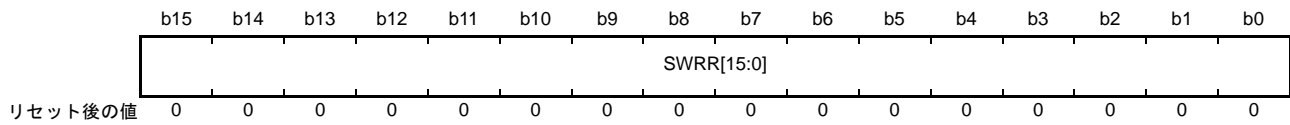
- ソフトウェアリセットを行なったとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

6.2.4 ソフトウェアリセットレジスタ (SWRR)

アドレス 0008 00C2h



ビット	シンボル	ビット名	機能	R/W
b15-b0	SWRR[15:0]	ソフトウェアリセットビット	“A501h”を書くとLSIがリセットされます。読むと“0000h”が読めます	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

6.3 動作説明

6.3.1 RES# 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、リセット状態になります。

確実にリセットするために、電源投入時は規定の電源安定時間に従い、RES# 端子が Low を保持するようにしてください。

RES# 端子を Low から High にした後、RES# 解除後待機時間 (tRESWT) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「41. 電気的特性」を参照してください。

6.3.2 パワーオンリセット、電圧監視 0 リセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES# 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。VCC が VPOR を超えると、ある一定時間 (パワーオンリセット時間) が経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源および LSI が安定するための時間です。

また、パワーオンリセットが発生すると、RSTSR0.PORF フラグが“1”になります。PORF フラグは、RES# 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。

オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 レベル選択ビット (LVDAS) が“0” (リセット後、電圧監視 0 リセット有効) の状態で、VCC が Vdet0 以下になると、RSTSR0.LVD0RF フラグが“1”になり、電圧検出回路は電圧監視 0 リセットを発生します。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを“0”にしてください。VCC が Vdet0 を超えると、LVD0 リセット時間 (tLVD0) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

図 6.1 にパワーオンリセット、および電圧監視 0 リセットの動作例を示します。

電圧監視 0 リセットの詳細は、「8. 電圧検出回路 (LVDA)」を参照してください。

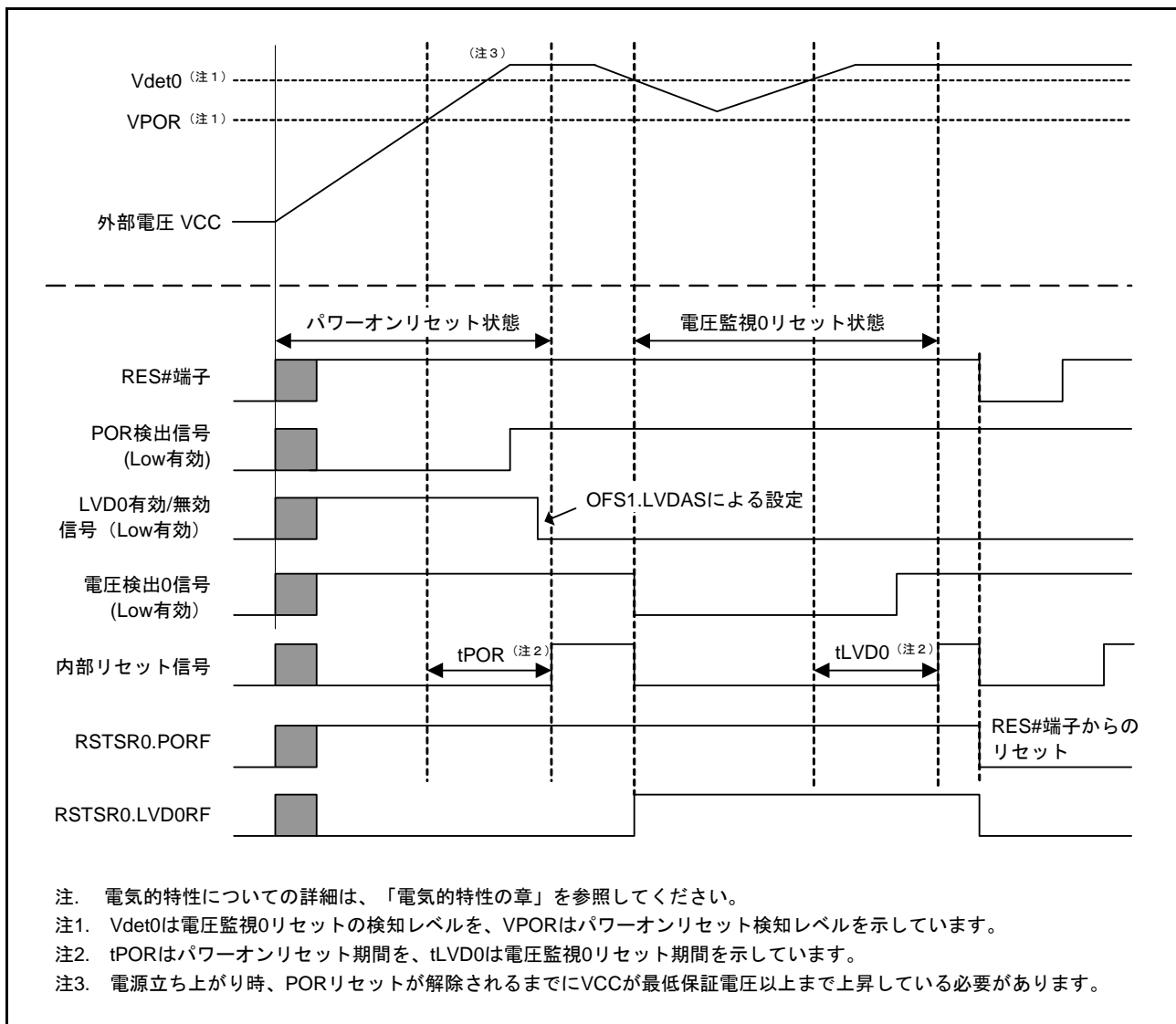


図 6.1 パワーオンリセット、電圧監視 0 リセット動作例

6.3.3 電圧監視 1 リセット、電圧監視 2 リセット

電圧監視回路による内部リセットです。

電圧監視 1 回路制御レジスタ 0 (LVD1CR0) の電圧監視 1 割り込み / リセット許可ビット (LVD1RIE) が “1” (電圧検出回路によるリセット / 割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (LVD1RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が Vdet1 以下になると、RSTSR0.LVD1RF フラグが “1” になり、電圧検出回路は電圧監視 1 リセットを発生します。

同様に、電圧監視 2 回路制御レジスタ 0 (LVD2CR0) の電圧監視 2 割り込み / リセット許可ビット (LVD2RIE) が “1” (電圧検出回路によるリセット / 割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が Vdet2 以下になると、RSTSR0.LVD2RF フラグが “1” になり、電圧検出回路は電圧監視 2 リセットを発生します。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (LVD1RN) で選択可能です。LVD1CR0.LVD1RN ビットが “0” のとき、VCC が Vdet1 以下になり、その後 Vdet1 を超えてから LVD1 リセット時間 (tLVD1) が経過すると内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.LVD1RN ビットが “1” のとき、VCC が Vdet1 以下になってから

LVD1 リセット時間 (t_{LVD1}) 経過後に内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (LVD2RN) の設定により選択可能です。

Vdet1、および Vdet2 の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) の設定によって変更できます。

図 6.2 に電圧監視 1 リセット、および電圧監視 2 リセットの動作例を示します。

電圧監視 1 リセット、および電圧監視 2 リセットの詳細は、「8. 電圧検出回路 (LVDA)」を参照してください。

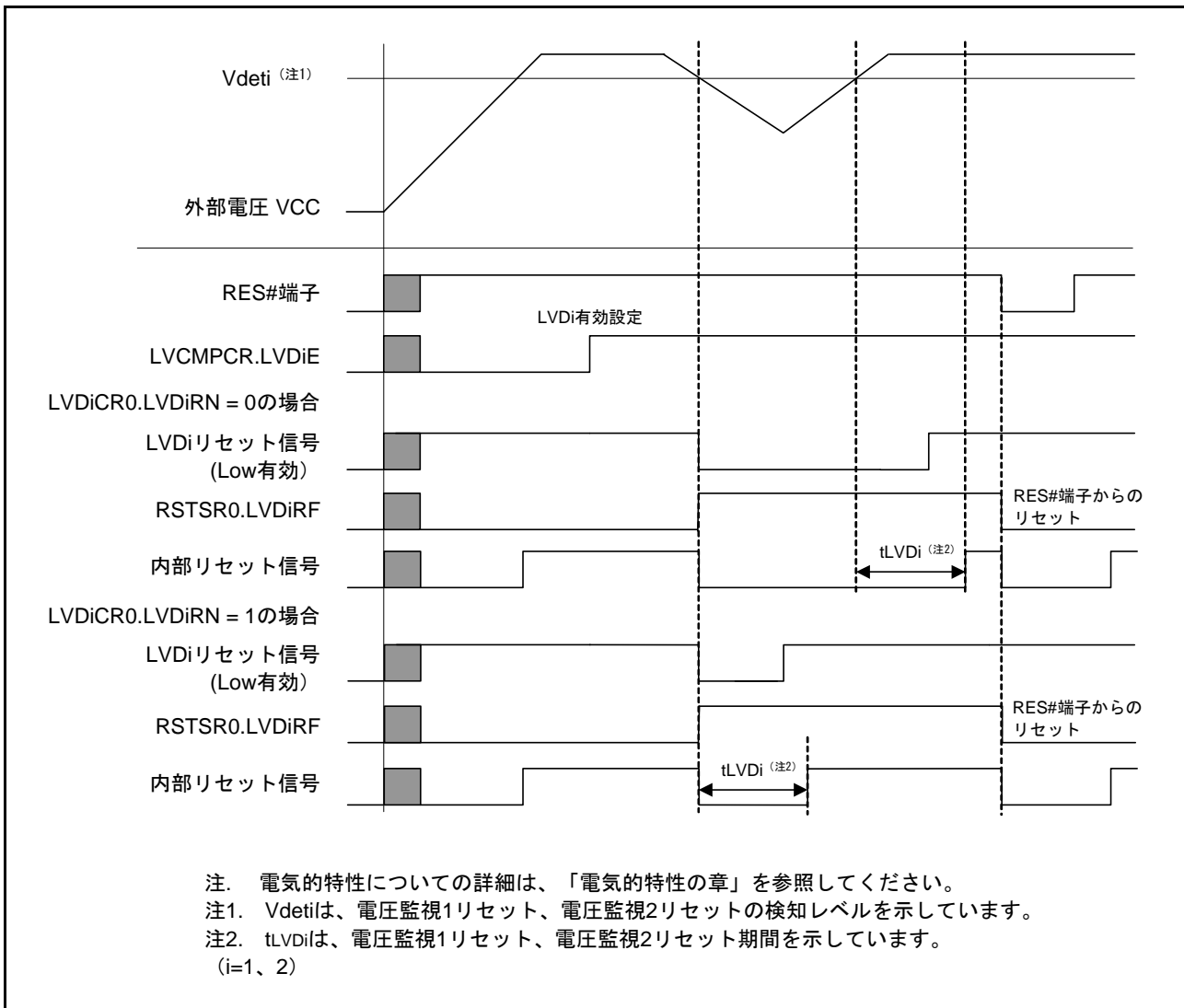


図 6.2 電圧監視 1 リセット、電圧監視 2 リセット動作例

6.3.4 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイモードを割り込みによって解除する場合に発生する内部リセットです。

ディープソフトウェアスタンバイモードの解除要因が発生すると、ディープソフトウェアスタンバイリセットが発生します。その後、ディープソフトウェアスタンバイモード解除後復帰時間 (tDSBY) 経過後、ディープソフトウェアスタンバイリセットは解除され、ディープソフトウェアスタンバイリセットの解除とともにディープソフトウェアスタンバイモードも解除されます。

ディープソフトウェアスタンバイモードの解除後、ディープソフトウェアスタンバイモード解除後待機時間 (tDSBYWT) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ディープソフトウェアスタンバイリセットの詳細は、「11. 消費電力低減機能」を参照してください。

6.3.5 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

IWDT リセットコントロールレジスタ (IWDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセット出力を選択した場合、独立ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

6.3.6 ウォッチドッグタイマリセット

ウォッチドッグタイマによる内部リセットです。

WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセット出力を選択した場合、ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「28. ウォッチドッグタイマ (WDTA)」を参照してください。

6.3.7 ソフトウェアリセット

ソフトウェアリセット回路による内部リセットです。

ソフトウェアリセットレジスタ (SWRR) に“A501h”を書くと、ソフトウェアリセットが発生します。ソフトウェアリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

6.3.8 コールドスタート/ウォームスタート判定機能

RSTSR1.CWSF フラグにより、電源が投入されたときのリセット処理（コールドスタート）か、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）かの判定をすることができます。

RSTSR1.CWSF フラグはパワーオンリセットが発生すると“0”（コールドスタート）になります。その他のリセットを行っても“0”になりません。また、プログラムで“1”を書くと、“1”になります。“0”を書いても変化しません。

図 6.3 にコールドスタート/ウォームスタート判定機能の動作例を示します。

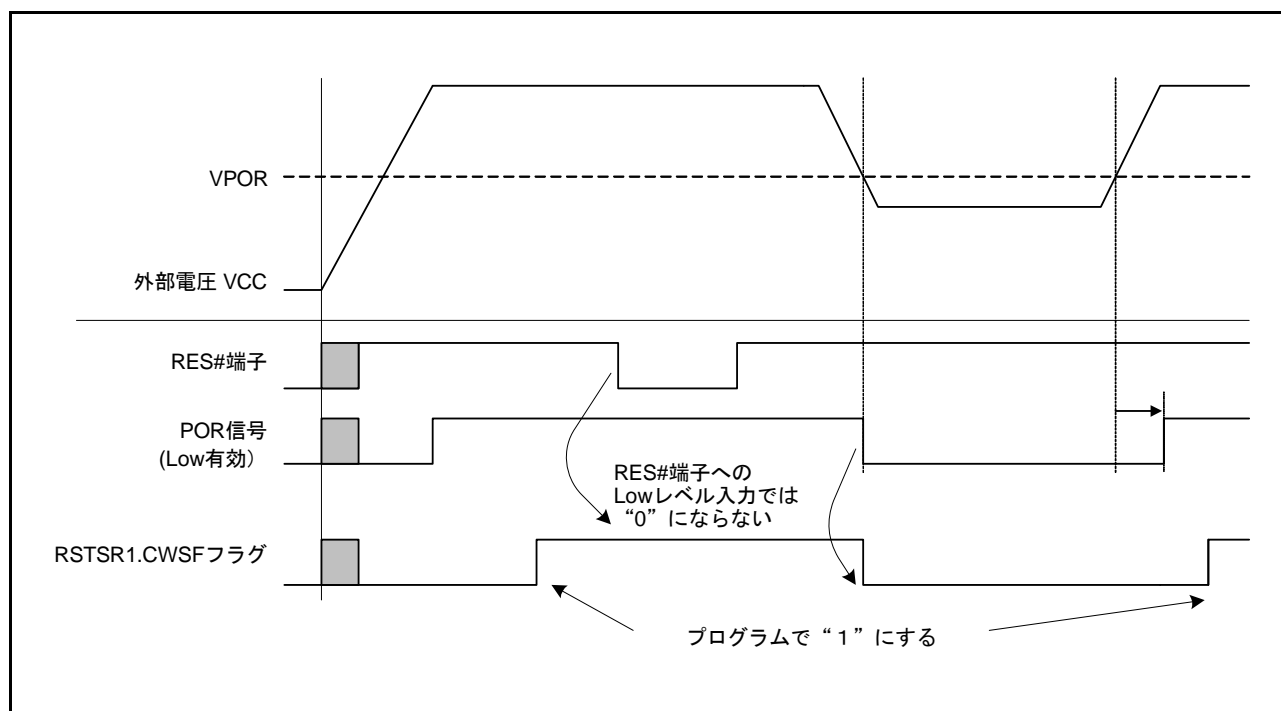


図 6.3 コールドスタート/ウォームスタート判定機能の動作例

6.3.9 リセット発生要因の判定

RSTSR0レジスタとRSTSR2レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.4 にリセット発生要因判定フロー例を示します。

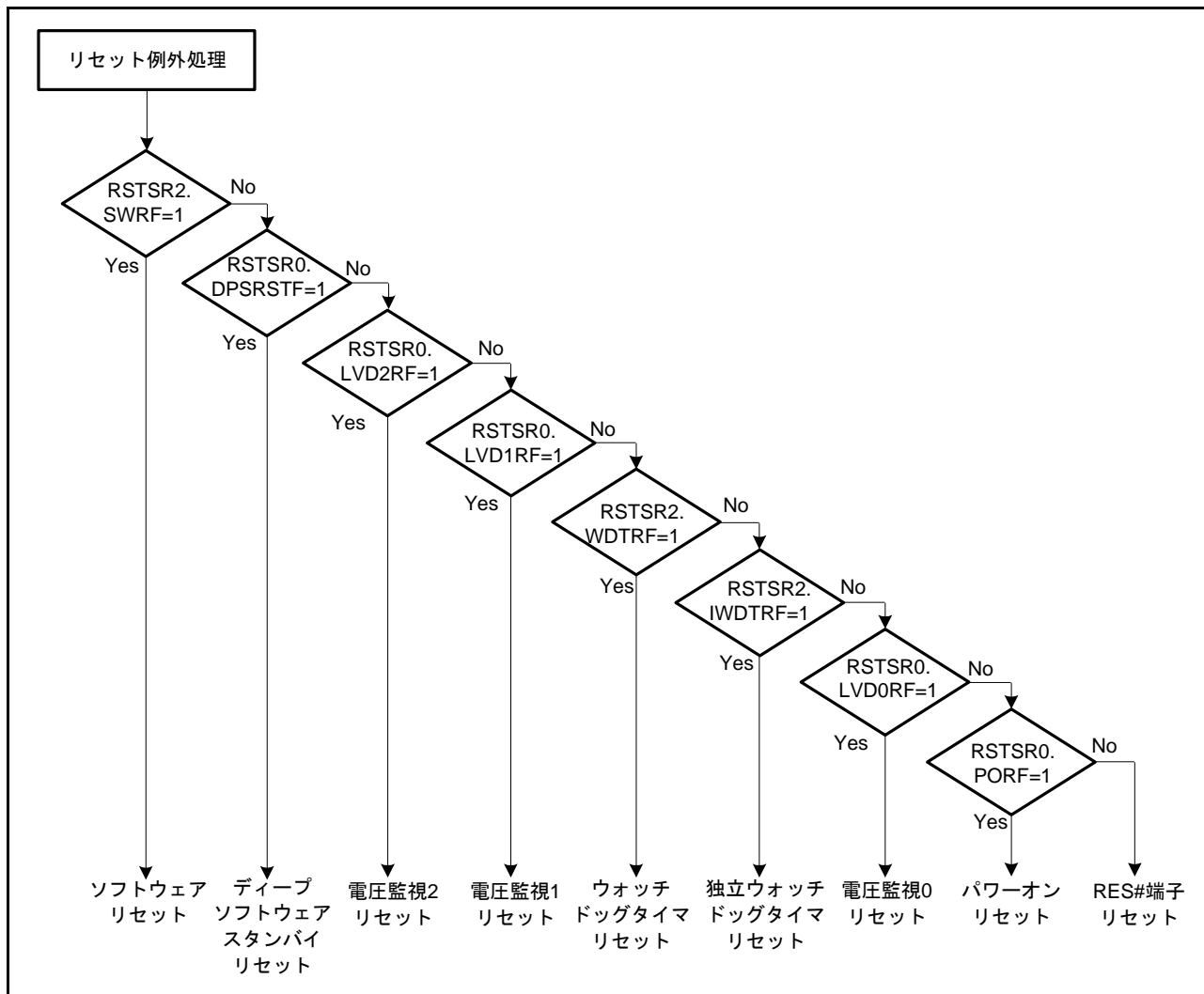


図 6.4 リセット発生要因判定フロー例

7. オプション設定メモリ

7.1 概要

オプション設定メモリは、リセット後のマイコンの状態を選択するレジスタを備えています。オプション設定メモリは、ROM上にあります。

図 7.1 にオプション設定メモリ領域を示します。

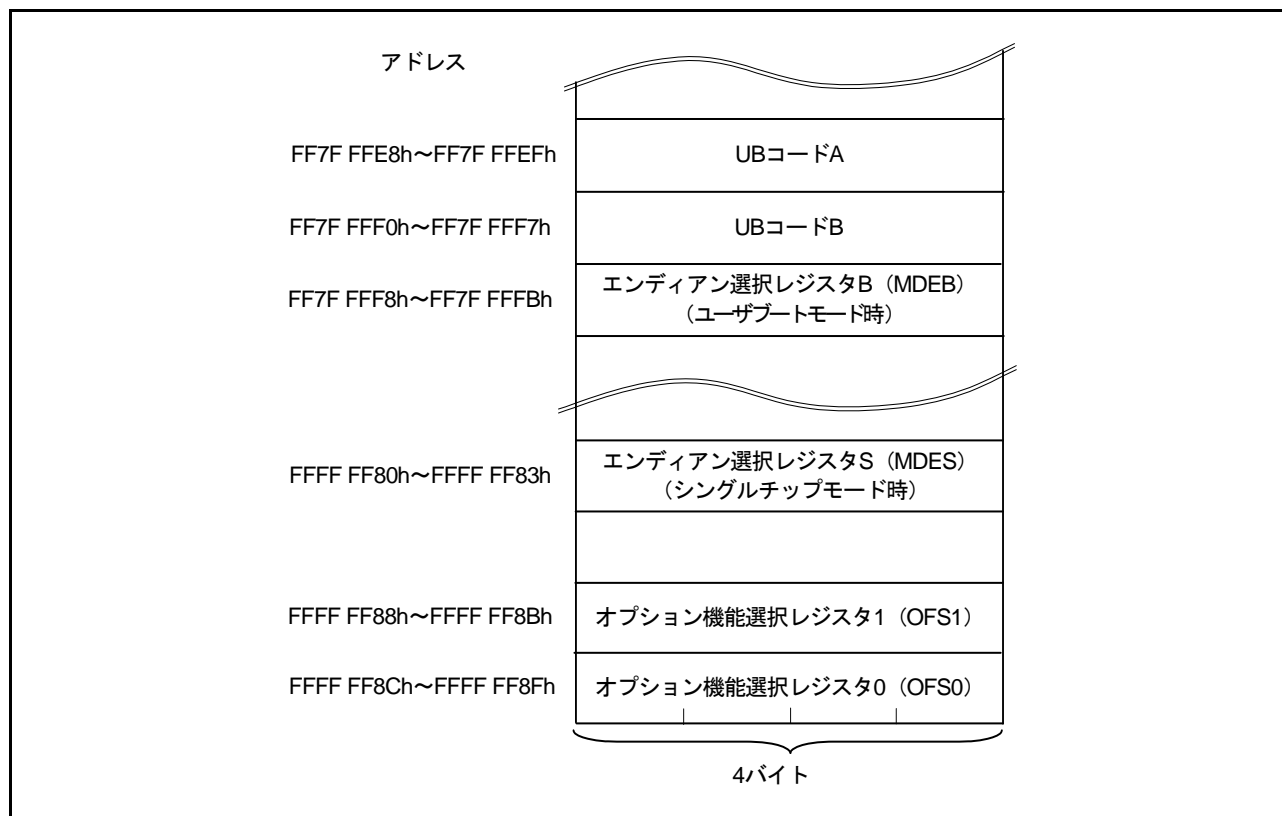


図 7.1 オプション設定メモリ領域

7.2 レジスタの説明

7.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス FFFF FF8Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	WDTRS TIRQS	WDRPSS[1:0]	WDRPES[1:0]	WDTCKS[3:0]			WDTTOPS[1:0]	WDTST RT	—				

リセット後の値

ユーザの設定値 (注1)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDT LCSTP	—	IWDT TIRQS	WDRPSS[1:0]	WDRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]	IWDT TRT	—				

リセット後の値

ユーザの設定値 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b1	IWDTSTRT	IWDTスタートモード選択ビット	0 : リセット後、IWDTはオートスタートモードにて自動的に起動 1 : リセット後、IWDTは停止状態	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択ビット	b3 b2 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh)	R
b7-b4	IWDTCKS[3:0] (注1)	IWDTクロック分周比選択ビット	b7 b4 0 0 0 0 : 1分周 (周期 131ms) 0 0 1 0 : 16分周 (周期 2.10s) 0 0 1 1 : 32分周 (周期 4.19s) 0 1 0 0 : 64分周 (周期 8.39s) 1 1 1 1 : 128分周 (周期 16.8s) 0 1 0 1 : 256分周 (周期 33.6s) 上記以外は設定しないでください	R
b9-b8	IWDRPES[1:0]	IWDTウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDRPSS[1:0]	IWDTウィンドウ開始位置選択ビット	b11 b10 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b12	IWDRSTIRQS	IWDTリセット割り込み要求選択ビット	0 : ノンマスク割り込み要求を許可 1 : リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b14	IWDTSLCSTP	IWDTスリープモードカウント停止制御ビット	0 : カウント停止無効 1 : スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止有効	R
b16-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b17	WDTSTRT	WDTスタートモード選択ビット	0 : リセット後、WDTはオートスタートモードにて自動的に起動 1 : リセット後、WDTは停止状態	R

ビット	シンボル	ビット名	機能	R/W
b19-b18	WDTTOPS[1:0]	WDT タイムアウト期間選択ビット	b19 b18 0 0 : 1024 サイクル (03FFh) 0 1 : 4096 サイクル (0FFFh) 1 0 : 8192 サイクル (1FFFh) 1 1 : 16384 サイクル (3FFFh)	R
b23-b20	WDTCKS[3:0]	WDT クロック分周比選択ビット	b23 b20 0 0 0 1 : PCLKB/4 0 1 0 0 : PCLKB/64 1 1 1 1 : PCLKB/128 0 1 1 0 : PCLKB/512 0 1 1 1 : PCLKB/2048 1 0 0 0 : PCLKB/8192 上記以外は設定しないでください	R
b25-b24	WDRPES[1:0]	WDT ウィンドウ終了位置選択ビット	b25 b24 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b27-b26	WDRPSS[1:0]	WDT ウィンドウ開始位置選択ビット	b27 b26 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b28	WDRSTIRQS	WDT リセット割り込み要求選択ビット	0 : ノンマスク割り込み要求を許可 1 : リセットを許可	R
b31-29	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

OFS0 レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、OFS0 レジスタに追加書き込みをしないでください。

OFS0 レジスタを含むブロックを消去すると、OFS0 レジスタは“FFFF FFFFh”になります。

ユーザブートモード時は OFS0 レジスタの設定は無効となり、FFFF FFFFh となります。

IWDTSTRT ビット (IWDT スタートモード選択ビット)

リセット後の IWDT の起動モード (停止状態、またはオートスタートモードでの起動) が選択できます。オートスタートモードでの起動の場合、IWDT の設定は、OFS0 レジスタの設定が有効となります。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDT 用 LOCO クロック数) は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTCKS[3:0] ビット (IWDT クロック分周比選択ビット)

IWDT 用 LOCO クロックを分周するプリスケアラの分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。IWDTTOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDT 用 LOCO クロックの 1024 ~ 4194304 クロックの間で設定できます。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択

するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDTRPSS[1:0]、IWDTRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を 100%、アンダフロー発生時を 0%）の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRSTIRQS ビット (IWDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTSLCSTP ビット (IWDT スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止を選択します。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

WDTSTRT ビット (WDT スタートモード選択ビット)

リセット後の WDT の起動モード（停止状態、またはオートスタートモードでの起動）が選択できます。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

WDTTOPS[1:0] ビット (WDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を WDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (PCLKB) は、WDTCKS[3:0]、WDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「28. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTCKS[3:0] ビット (WDT クロック分周比選択ビット)

PCLKB を分周するプリスケアラの分周比設定を 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周から選択します。WDTTOPS[1:0] ビット設定と組み合わせて、WDT のカウント期間を PCLKB の 4096 ~ 13421728 クロックの間で設定できます。

詳細は「28. ウォッチドッグタイマ (WDTA)」を参照してください。

WDRPES[1:0] ビット (WDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

WDRPSS[1:0] ビット、WDRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、

WDTTOPS[1:0] ビットの設定により変わります。

詳細は「28. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRPSS[1:0] ビット (WDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「28. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRSTIRQS ビット (WDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「28. ウォッチドッグタイマ (WDTA)」を参照してください。

7.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス FFFF FF88h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	LVDAS	—	—
リセット後の値 ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b2	LVDAS	電圧検出0回路起動ビット	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

OFS1 レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、OFS1 レジスタに追加書き込みをしないでください。

OFS1 レジスタを含むブロックを消去すると、OFS1 レジスタは“FFFF FFFFh”となります。

ユーザブートモード時は OFS1 レジスタの設定は無効となり、“FFFF FFFFh”となります。

LVDAS ビット (電圧検出 0 回路起動ビット)

リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

7.2.3 エンディアン選択レジスタ B (MDEB)、 エンディアン選択レジスタ S (MDES)

アドレス MDEB (ユーザブートモード時) : FF7F FFF8h
MDES (シングルチップモード時) : FFFF FF80h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	MDE[2:0]	
リセット後の値 ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b2-b0	MDE[2:0]	エンディアン選択ビット	b2 b0 0 0 0: ビッグエンディアン 1 1 1: リトルエンディアン 上記以外は設定しないでください	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

MDE_n (n = B, S) レジスタは、CPU のエンディアンを選択するレジスタです。エンディアンの選択は、ユーザブートモード時は FF7F FFF8h 番地のエンディアン選択レジスタ B (MDEB) で、シングルチップモード時は FFFF FF80h 番地のエンディアン選択レジスタ S (MDES) で行います。

MDE_n レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、MDE_n レジスタに追加書き込みをしないでください。

MDE_n レジスタを含むブロックを消去すると、MDE_n レジスタは“FFFF FFFFh”になります。

MDE[2:0] ビット (エンディアン選択ビット)

リトルエンディアン/ビッグエンディアンを選択します。

ユーザブートモードで動作する場合は、ユーザブート領域の FF7F FFF8h の値、シングルチップモードで動作する場合は、ユーザ領域の FFFF FF80h の値でエンディアンを決定します。

7.3 UBコード

UBコードAとUBコードBはユーザブートモードを使用するときに必要なコードです。以下の4条件が成立しているときに、リセットを解除するとユーザブートモードでMCUが起動します。

- UBコードAが“5573 6572h、426F 6F74h”である
- UBコードBが“FFFF FF07h、0008 C04Ch”である
- MD端子にLowが入力されている
- PC7端子にHighが入力されている

7.3.1 UBコードA

UBコードAは、32ビット長2ワードのデータです。UBコードAには、“5573 6572h、426F 6F74h”を設定してください。これ以外の値は設定しないでください。

図7.2にUBコードAの構成を示します。UBコードAは32ビット単位で設定してください。

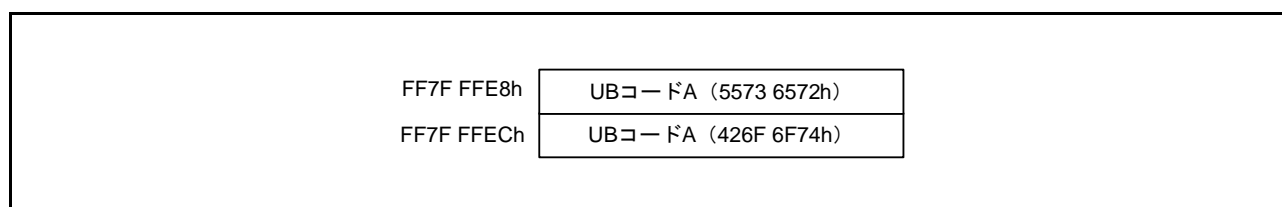


図 7.2 UBコードAの構成

7.3.2 UBコードB

UBコードBは、32ビット長2ワードのデータです。UBコードBには、“FFFF FF07h、0008 C04Ch”を設定してください。これ以外の値は設定しないでください。

図7.3にUBコードBの構成を示します。UBコードBは32ビット単位で設定してください。

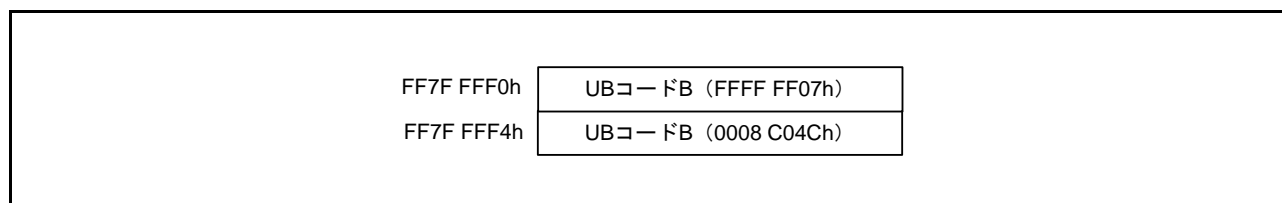


図 7.3 UBコードBの構成

7.4 使用上の注意事項

7.4.1 オプション設定メモリの設定例

オプション設定メモリはROM上にありますので、命令の実行では書き換えられません。プログラム作成時に適切な値を書いてください。以下に設定例を示します。

- OFS0レジスタに“ffff fff8h”を設定する場合


```
.org    0fff ff8ch
.word  0ffffff8h
```

注. プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

8. 電圧検出回路 (LVDA)

電圧検出回路は VCC 端子に入力する電圧を監視する回路です。VCC 入力電圧をプログラムで監視できます。

8.1 概要

電圧検出 0 は、オプション機能選択レジスタ 1 (OFS1) で、リセット後、電圧監視 0 リセットの有効/無効が選択できます。

電圧検出 1、電圧検出 2 は、電圧検出レベル選択レジスタ (LVDLVLR) で、検出電圧を設定します。

電圧監視 0 リセット、電圧監視 1 リセット/割り込み、電圧監視 2 リセット/割り込みを使用できます。

表 8.1 に電圧検出回路の仕様を示します。図 8.1 に電圧検出回路のブロック図を、図 8.2 に電圧監視 1 割り込み/リセット発生回路のブロック図を、図 8.3 に電圧監視 2 割り込み/リセット発生回路のブロック図を示します。

表 8.1 電圧検出回路の仕様

項目		電圧監視 0	電圧監視 1	電圧監視 2
VCC 監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合
	検出電圧	1 レベル固定	LVDLVLR.LVD1LVL[3:0] ビットで指定	LVDLVLR.LVD2LVL[3:0] ビットで指定
	モニタフラグ	なし	LVD1SR.LVD1MON フラグ : Vdet1 より高いか低いかをモニタ LVD1SR.LVD1DET フラグ : Vdet1 通過検出	LVD2SR.LVD2MON フラグ : Vdet2 より高いか低いかをモニタ LVD2SR.LVD2DET フラグ : Vdet2 通過検出
電圧検出時の処理	リセット	電圧監視 0 リセット Vdet0 > VCC でリセット : VCC > Vdet0 の一定時間後に CPU 動作再開	電圧監視 1 リセット Vdet1 > VCC でリセット : VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	電圧監視 2 リセット Vdet2 > VCC でリセット : VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能
	割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み
			ノンマスクابل割り込み Vdet1 > VCC、VCC > Vdet1 の両方、またはどちらかで割り込み要求	ノンマスクابل割り込み Vdet2 > VCC、VCC > Vdet2 の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	LOCO の n 分周 × 2 (n : 1、2、4、8)	LOCO の n 分周 × 2 (n : 1、2、4、8)

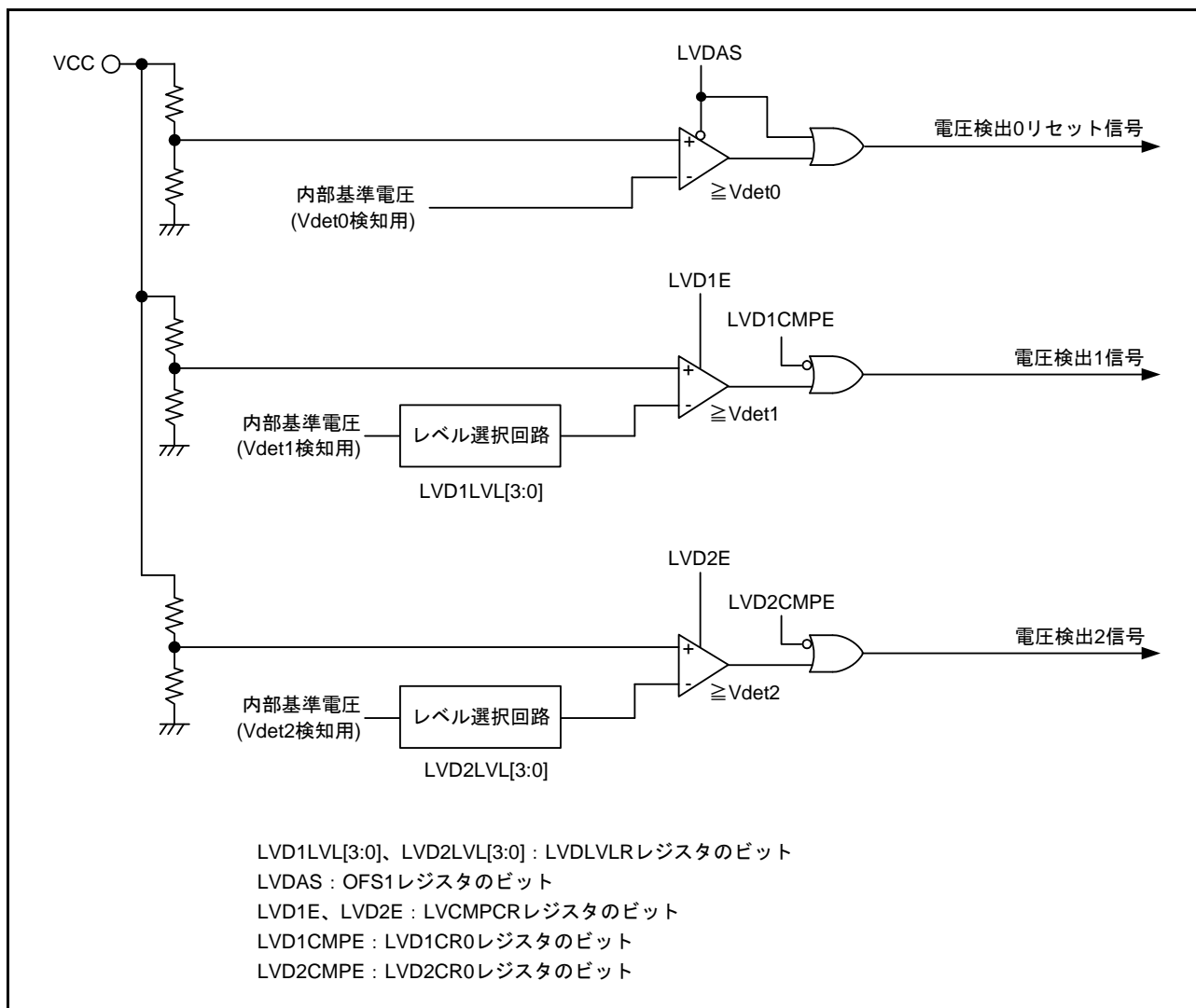


図 8.1 電圧検出回路ブロック図

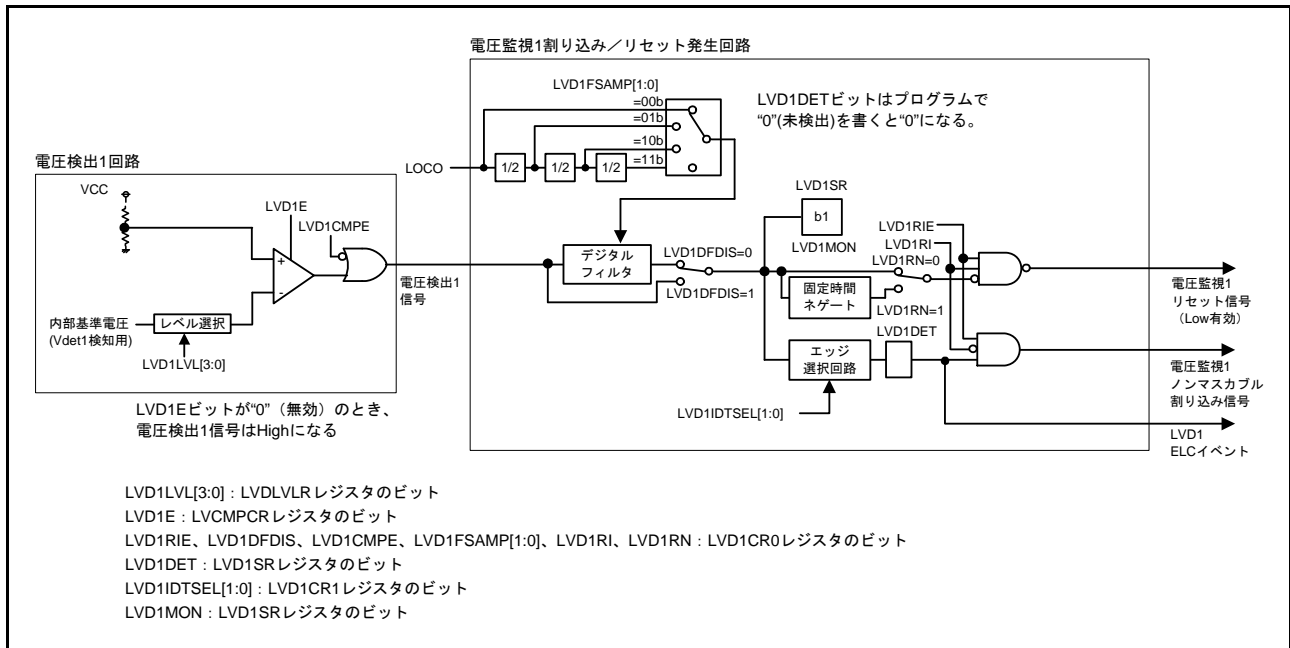


図 8.2 電圧監視 1 割り込み / リセット発生回路のブロック図

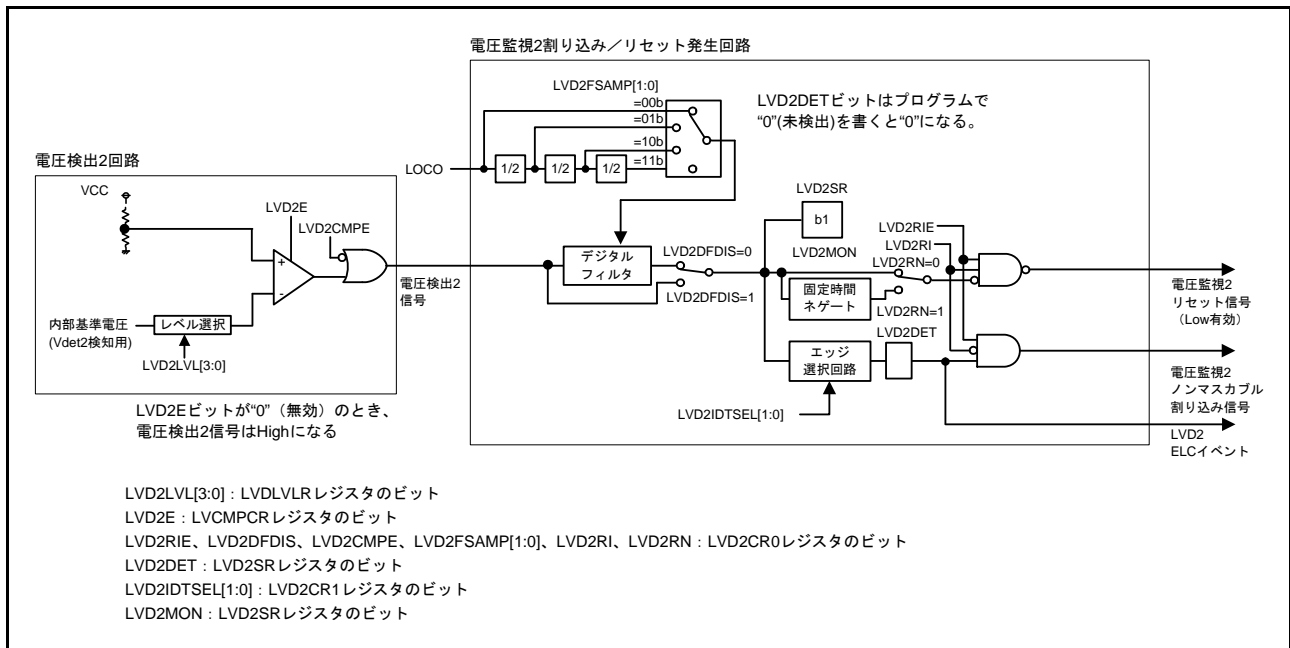
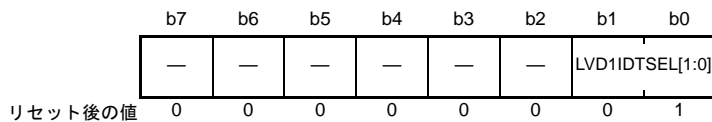


図 8.3 電圧監視 2 割り込み / リセット発生回路のブロック図

8.2 レジスタの説明

8.2.1 電圧監視1回路制御レジスタ1 (LVD1CR1)

アドレス 0008 00E0h



ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL[1:0]	電圧監視1割り込み/ELCイベント発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet1 (上昇) 検出時 0 1 : VCC < Vdet1 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

8.2.2 電圧監視 1 回路ステータスレジスタ (LVD1SR)

アドレス 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1M ON	LVD1D ET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視1電圧変化検出フラグ	0 : 未検出 1 : Vdet1 通過検出	R/(W) (注1)
b1	LVD1MON	電圧監視1信号モニタフラグ	0 : VCC < Vdet1 1 : VCC ≥ Vdet1 または LVD1MON 無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD1DETビットの読み出し値に反映されるまでに周辺モジュールクロック2サイクルかかります。

LVD1DET フラグ (電圧監視 1 電圧変化検出フラグ)

LVD1DET フラグは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

LVD1CR0、LVD1CR1 レジスタを書き換えると、LVD1DET フラグが“1”になる場合があります。

LVD1DET フラグを“0”にするときは、LVD1CR0.LVD1RIE を“0”（禁止）にしてから行ってください。LVD1RIE を“0”にした後、再度 LVD1CR0.LVD1RIE を“1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD1MON フラグ (電圧監視 1 信号モニタフラグ)

LVD1MON フラグは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

8.2.3 電圧監視 2 回路制御レジスタ 1 (LVD2CR1)

アドレス 0008 00E2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2IDTSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL[1:0]	電圧監視2割り込み/ELCイベント発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet2 (上昇) 検出時 0 1 : VCC < Vdet2 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

8.2.4 電圧監視 2 回路ステータスレジスタ (LVD2SR)

アドレス 0008 00E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2M ON	LVD2D ET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視2電圧変化検出フラグ	0 : 未検出 1 : Vdet2通過検出	R/(W) (注1)
b1	LVD2MON	電圧監視2信号モニタフラグ	0 : VCC < Vdet2 1 : VCC ≥ Vdet2またはLVD2MON無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD2DETビットの読み出し値に反映されるまでに周辺モジュールクロック2サイクルかかります。

LVD2DET フラグ（電圧監視 2 電圧変化検出フラグ）

LVD2DET フラグは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

LVD2CR0、LVD2CR1 レジスタを書き換えると、LVD2DET フラグが“1”になる場合があります。

LVD2DET フラグを“0”にするときは、LVD2CR0.LVD2RIE を“0”（禁止）にしてから行ってください。

LVD2RIE を“0”にした後、再度 LVD2CR0.LVD2RIE を“1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD2MON フラグ（電圧監視 2 信号モニタフラグ）

LVD2MON フラグは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

8.2.5 電圧監視回路制御レジスタ (LVCMPCR)

アドレス 0008 C297h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出1許可ビット	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可ビット	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD1E ビット (電圧検出1許可ビット)

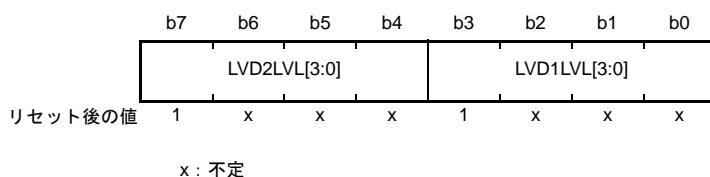
電圧検出1の割り込み/リセットを使用する場合、またはLVD1SR.LVD1MON ビットを使用する場合、LVD1E ビットを“1”にしてください。LVD1E ビットを“0”から“1”にした後、td(E-A) 経過してから電圧検出1回路が動作します。

LVD2E ビット (電圧検出2許可ビット)

電圧検出2の割り込み/リセットを使用する場合、またはLVD2SR.LVD2MON ビットを使用する場合、LVD2E ビットを“1”にしてください。LVD2E ビットを“0”から“1”にした後、td(E-A) 経過してから電圧検出2回路が動作します。

8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス 0008 C298h



ビット	シンボル	ビット名	機能	R/W
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	[3V版の場合] b3 b0 1 0 0 0 :2.90V 1 0 0 1 :2.85V 1 0 1 0 :2.88V 書く場合、上記以外は設定しないでください [5V版の場合] b3 b0 1 0 0 0 :4.77V 1 0 0 1 :4.23V 1 0 1 0 :4.50V 書く場合、上記以外は設定しないでください	R/W
b7-b4	LVD2LVL[3:0]	電圧検出2レベル選択ビット (電圧下降時の標準電圧)	[3V版の場合] b3 b0 1 0 0 0 :2.90V 1 0 0 1 :2.85V 1 0 1 0 :2.88V 書く場合、上記以外は設定しないでください [5V版の場合] b3 b0 1 0 0 0 :4.77V 1 0 0 1 :4.23V 1 0 1 0 :4.50V 書く場合、上記以外は設定しないでください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVDLVLR レジスタは、LVCMPCR.LVD1E ビット、LVCMPCR.LVD2E ビットが共に“0”（電圧検出 n 回路無効）(n=1, 2) の場合のみ変更可能です。

8.2.7 電圧監視 1 回路制御レジスタ 0 (LVD1CR0)

アドレス 0008 C29Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD1RN	LVD1RI	LVD1FSAMP[1:0]	—	LVD1CMPE	LVD1DFDIS	LVD1RIE	
リセット後の値	1	0	0	0	x	0	1	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視1割り込み/リセット許可ビット	0: 禁止 1: 許可	R/W
b1	LVD1DFDIS	電圧監視1デジタルフィルタ無効モード選択ビット	0: デジタルフィルタ有効 1: デジタルフィルタ無効	R/W
b2	LVD1CMPE	電圧監視1回路比較結果出力許可ビット	0: 電圧監視1回路比較結果出力禁止 1: 電圧監視1回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	LVD1FSAMP[1:0]	サンプリングクロック選択ビット	b5 b4 0 0: LOCOの1分周 0 1: LOCOの2分周 1 0: LOCOの4分周 1 1: LOCOの8分周	R/W
b6	LVD1RI	電圧監視1回路モード選択ビット	0: Vdet1通過時に電圧監視1割り込み 1: 下降してVdet1通過時に電圧監視1リセット	R/W
b7	LVD1RN	電圧監視1リセットネゲート選択ビット	0: VCC > Vdet1 検出から一定時間 (tLVD1) 経過後にネゲート 1: LVD1リセットアサートから一定時間 (tLVD1) 経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD1RIE ビット (電圧監視 1 割り込み/リセット許可ビット)

LVD1RIE ビットは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のときに有効になります。

フラッシュメモリのプログラム/イレーズ中は、電圧監視 1 リセットおよび電圧監視 1 割り込みを発生させないでください。

LVD1DFDIS ビット (電圧監視 1 デジタルフィルタ無効モード選択ビット)

LVD1DFDIS ビットを“0”（デジタルフィルタ回路有効）にする場合は、LOCOCR.LCSTP ビットは“0”（LOCO 動作）にしてください。

電圧監視 1 回路をソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード時に使用する場合、LVD1DFDIS ビットを“1”（デジタルフィルタ回路無効）にしてください。

LVD1FSAMP[1:0] ビット (サンプリングクロック選択ビット)

LVD1FSAMP[1:0] ビットは、LVD1DFDIS ビットが“1”（デジタルフィルタ回路無効）のときのみ書き換え可能です。LVD1DFDIS ビットが“0”（デジタルフィルタ回路有効）のときには、LVD1FSAMP[1:0] ビットを書き換えないでください。

LVD1RI ビット (電圧監視 1 回路モード選択ビット)

LVD1RI ビットが“1”（電圧監視 1 リセット選択）、または LVD2CR0.LVD2RI ビットが“1”（電圧監視 2 リセット選択）の場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合は、ソフト

ウェアスタンバイモードへ移行します。ディープソフトウェアスタンバイモードへ移行するには、LVD1RI ビットを“0”（電圧監視 1 割り込み選択）、かつ LVD2CR0.LVD2RI ビットを“0”（電圧監視 2 割り込み選択）にしてください。

LVD1RN ビット（電圧監視 1 リセットネゲート選択ビット）

LVD1RN ビットを“1”（LVD1 リセットアサートから一定時間経過後にネゲート）にする場合は、LOCOCR.LCSTP ビットは“0”（LOCO 動作）にしてください。また、ソフトウェアスタンバイモードあるいはディープソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを“0”（VCC > Vdet1 検出から一定時間経過後にネゲート）にすることのみ可能です。LVD1RN ビットを“1”（LVD1 リセットアサートから一定時間経過後にネゲート）にしないでください。

8.2.8 電圧監視 2 回路制御レジスタ 0 (LVD2CR0)

アドレス 0008 C29Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2RN	LVD2RI	LVD2FSAMP[1:0]		—	LVD2CMPE	LVD2DFDIS	LVD2RIE
リセット後の値	1	0	0	0	x	0	1	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視2割り込み/リセット許可ビット	0: 禁止 1: 許可	R/W
b1	LVD2DFDIS	電圧監視2デジタルフィルタ無効モード選択ビット	0: デジタルフィルタ有効 1: デジタルフィルタ無効	R/W
b2	LVD2CMPE	電圧監視2回路比較結果出力許可ビット	0: 電圧監視2回路比較結果出力禁止 1: 電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	LVD2FSAMP[1:0]	サンプリングクロック選択ビット	b5 b4 0 0: LOCOの1分周 0 1: LOCOの2分周 1 0: LOCOの4分周 1 1: LOCOの8分周	R/W
b6	LVD2RI	電圧監視2回路モード選択ビット	0: Vdet2通過時に電圧監視2割り込み 1: 下降してVdet2通過時に電圧監視2リセット	R/W
b7	LVD2RN	電圧監視2リセットネゲート選択ビット	0: VCC > Vdet2検出から一定時間 (tLVD2) 経過後にネゲート 1: LVD2リセットアサートから一定時間 (tLVD2) 経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD2RIE ビット（電圧監視 2 割り込み/リセット許可ビット）

LVD2RIE ビットは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のときに有効になります。

フラッシュメモリのプログラム/イレーズ中は、電圧監視 2 リセットおよび電圧監視 2 割り込みを発生させないでください。

LVD2DFDIS ビット (電圧監視 2 デジタルフィルタ無効モード選択ビット)

LVD2DFDIS ビットを“0” (デジタルフィルタ回路有効) にする場合は、LOCOCR.LCSTP ビットは“0” (LOCO 動作) にしてください。

電圧監視 2 回路をソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード時に使用する場合、LVD2DFDIS ビットを“1” (デジタルフィルタ回路無効) にしてください。

LVD2FSAMP[1:0] ビット (サンプリングクロック選択ビット)

LVD2FSAMP[1:0] ビットは、LVD2DFDIS ビットが“1” (デジタルフィルタ回路無効) のときのみ書き換え可能です。LVD2DFDIS ビットが“0” (デジタルフィルタ回路有効) のときには、LVD2FSAMP[1:0] ビットを書き換えしないでください。

LVD2RI ビット (電圧監視 2 回路モード選択ビット)

LVD2RI ビットが“1” (電圧監視 2 リセット選択)、または LVD1CR0.LVD1RI ビットが“1” (電圧監視 1 リセット選択) の場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合は、ソフトウェアスタンバイモードへ移行します。ディープソフトウェアスタンバイモードへ移行するには、LVD2RI ビットを“0” (電圧監視 2 割り込み選択)、かつ LVD1CR0.LVD1RI ビットを“0” (電圧監視 1 割り込み選択) にしてください。

LVD2RN ビット (電圧監視 2 リセットネゲート選択ビット)

LVD2RN ビットを“1” (LVD2 リセットアサートから一定時間経過後にネゲート) にする場合は、LOCOCR.LCSTP ビットは“0” (LOCO 動作) にしてください。また、ソフトウェアスタンバイモードあるいはディープソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを“0” (VCC > Vdet2 検出から一定時間経過後にネゲート) にすることのみ可能です。LVD2RN ビットを“1” (LVD2 リセットアサートから一定時間経過後にネゲート) にしないでください。

8.3 VCC 入力電圧のモニタ

8.3.1 Vdet0 のモニタ

Vdet0 のモニタはできません。

8.3.2 Vdet1 のモニタ

表 8.2 に Vdet1 のモニタの設定手順を示します。設定後、LVD1SR.LVD1MON フラグで電圧監視 1 の比較結果をモニタできます。

表 8.2 Vdet1 のモニタの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	LVDLVLR.LVD1LVL[3:0]ビットで検出電圧を設定する	
2	LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する	LVD1CR0.LVD1DFDIS ビットを“1”（デジタルフィルタ無効）にする
3	LVD1CR0.LVD1CMPE ビットを“1”（電圧監視1回路比較結果出力許可）にする	
4	LOCOの1サイクル以上待つ	—
5	LVD1CR0.LVD1DFDIS ビットを“0”（デジタルフィルタ有効）にする	—
6	LOCOの $2n+3$ サイクル以上待つ（ $n = 1, 2, 4, 8$: デジタルフィルタのサンプリングクロック=LOCOの n 分周）	—（待ち時間なし）
7	LVCMPCR.LVD1E ビットを“1”（電圧検出1回路有効）にする	

8.3.3 Vdet2 のモニタ

表 8.3 に Vdet2 のモニタの設定手順を示します。設定後、LVD2SR.LVD2MON フラグで電圧監視 2 の比較結果をモニタできます。

表 8.3 Vdet2 のモニタの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	LVDLVLR.LVD2LVL[3:0]ビットで検出電圧を設定する	
2	LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する	LVD2CR0.LVD2DFDIS ビットを“1”（デジタルフィルタ無効）にする
3	LVD2CR0.LVD2CMPE ビットを“1”（電圧監視2回路比較結果出力許可）にする	
4	LOCOの1サイクル以上待つ	—
5	LVD2CR0.LVD2DFDIS ビットを“0”（デジタルフィルタ有効）にする	—
6	LOCOの $2n+3$ サイクル以上待つ（ $n = 1, 2, 4, 8$: デジタルフィルタのサンプリングクロック=LOCOの n 分周）	—（待ち時間なし）
7	LVCMPCR.LVD2E ビットを“1”（電圧検出2回路有効）にする	

8.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、電圧検出0回路起動ビット (OFS1.LVDAS) を“0” (リセット後、電圧監視0リセット有効) にしてください。

図 8.4 に電圧監視0リセット動作例を示します。

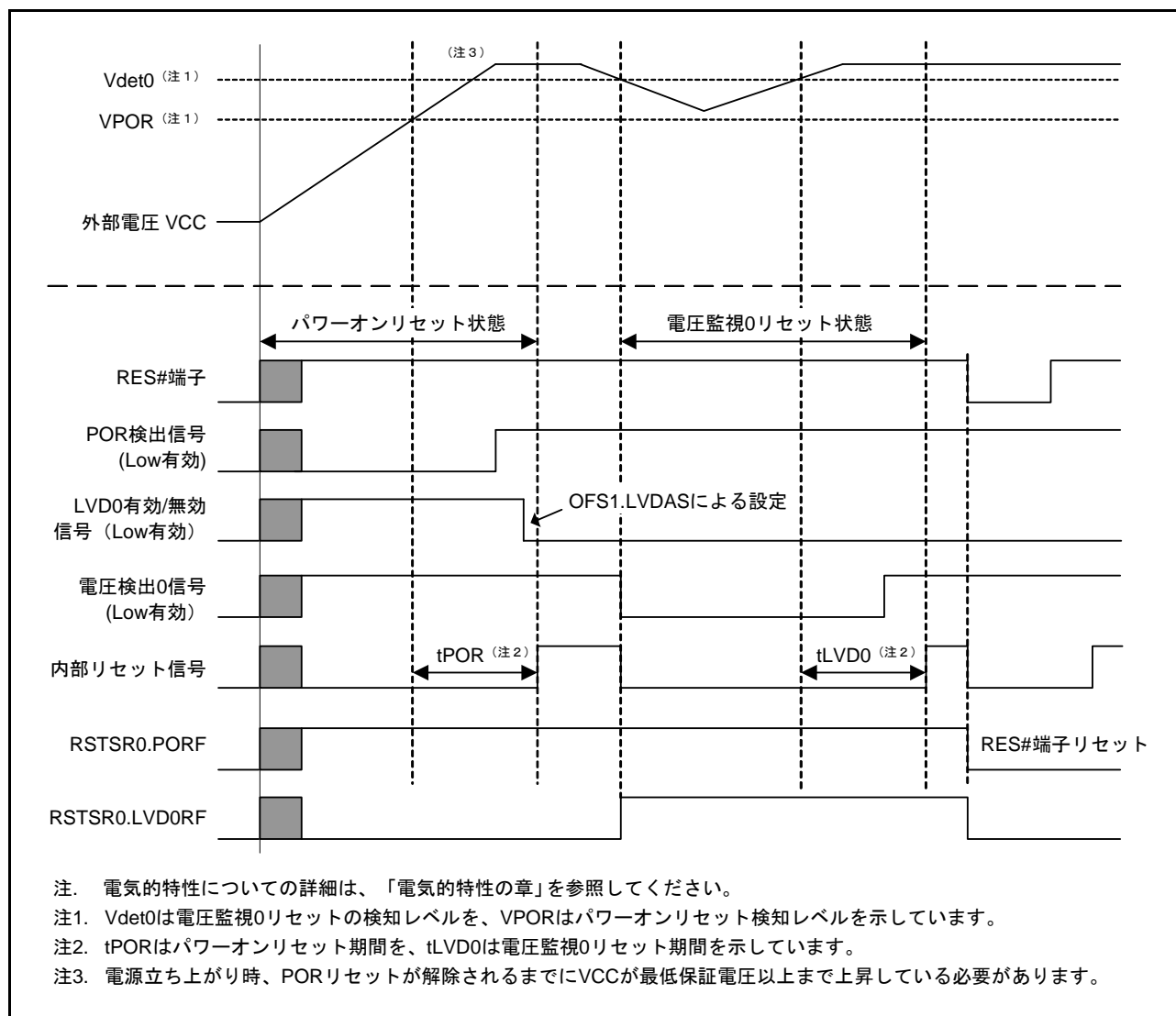


図 8.4 電圧監視0リセット動作例

8.5 電圧監視 1 割り込み、電圧監視 1 リセット

表 8.4 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を、表 8.5 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を、図 8.5 に電圧監視 1 割り込み動作例を示します。電圧監視 1 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

なお、電圧監視 1 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時に使用する場合は、LVD1CR0.LVD1DFDIS ビットを“1”（デジタルフィルタ無効）にしてください。

表 8.4 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視 1 割り込み、電圧監視 1 ELC イベント出力	電圧監視 1 リセット	電圧監視 1 割り込み、電圧監視 1 ELC イベント出力	電圧監視 1 リセット
1 (注1)	LVDLVL.R.LVD1LVL[3:0] ビットで検出電圧を設定する			
2 (注2)	LVD1CR0.LVD1FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する		LVD1CR0.LVD1DFDIS ビットを“1”（デジタルフィルタ無効）にする	
3 (注1、注2)	LVD1CR0.LVD1RI ビットを“0”（電圧監視 1 割り込み）にする	<ul style="list-style-type: none"> LVD1CR0.LVD1RI ビットを“1”（電圧監視 1 リセット）にする LVD1CR0.LVD1RN ビットでリセットネゲートの種類を選択する 	LVD1CR0.LVD1RI ビットを“0”（電圧監視 1 割り込み）にする	<ul style="list-style-type: none"> LVD1CR0.LVD1RI ビットを“1”（電圧監視 1 リセット）にする LVD1CR0.LVD1RN ビットでリセットネゲートの種類を選択する
4	LVD1CR1.LVD1IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する	—	LVD1CR1.LVD1IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する	—
5	LVD1CR0.LVD1CMPE ビットを“1”（電圧監視 1 回路比較結果出力許可）にする			
6 (注2)	LOCO の 1 サイクル以上待つ		—	
7	LVD1CR0.LVD1DFDIS ビットを“0”（デジタルフィルタ有効）にする		—	
8	LOCO の $2n+3$ サイクル以上待つ（ $n=1, 2, 4, 8$: デジタルフィルタのサンプリングクロック=LOCO の n 分周）		—（待ち時間なし）	
9	LVD1SR.LVD1DET フラグを“0”にする	—	LVD1SR.LVD1DET フラグを“0”にする	—
10	LVD1CR0.LVD1RIE ビットを“1”（電圧監視 1 割り込み/リセット許可）にする			
11 (注1)	LVCMP.R.LVD1E ビットを“1”（電圧検出 1 回路有効）にする			

注1. 電圧監視 1 割り込み設定（LVD1CR0.LVD1RI = 0）で動作させている場合で、停止後に LVD1CR0.LVD1FSAMP[1:0], LVD1DFDIS ビットまたは LVD1CR1.LVD1IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1、3、11 は不要です。電圧監視 1 リセット設定（LVD1CR0.LVD1RI = 1）で動作させている場合の変更は、手順 1～11 で設定してください。

注2. 手順 2 と 3 は同時に（1 命令で）実行してもかまいません。

表 8.5 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み、電圧監視 1 ELC イベント出力、電圧監視 1 リセット関連ビットの停止設定
1 (注1)	LVCMP.R.LVD1E ビットを“0”（電圧検出 1 回路無効）にする
2 (注1)	LOCO の 1 サイクル以上待つ
3	LVD1CR0.LVD1RIE ビットを“0”（電圧監視 1 割り込み/リセット禁止）にする
4	LVD1CR0.LVD1CMPE ビットを“0”（電圧監視 1 回路比較結果出力禁止）にする
5	LVCMP.R.LVD1E ビット、LVD1CR0.LVD1CMPE、LVD1RIE ビットを除く電圧検出回路関連レジスタの設定を変更する

注1. 電圧監視 1 割り込み設定（LVD1CR0.LVD1RI = 0）で動作させている場合で、停止後に LVD1CR0.LVD1FSAMP[1:0], LVD1DFDIS ビットまたは LVD1CR1.LVD1IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1 と 2 は不要です。電圧監視 1 リセット設定（LVD1CR0.LVD1RI = 1）で動作させている場合の変更は、手順 1～5 で設定してください。

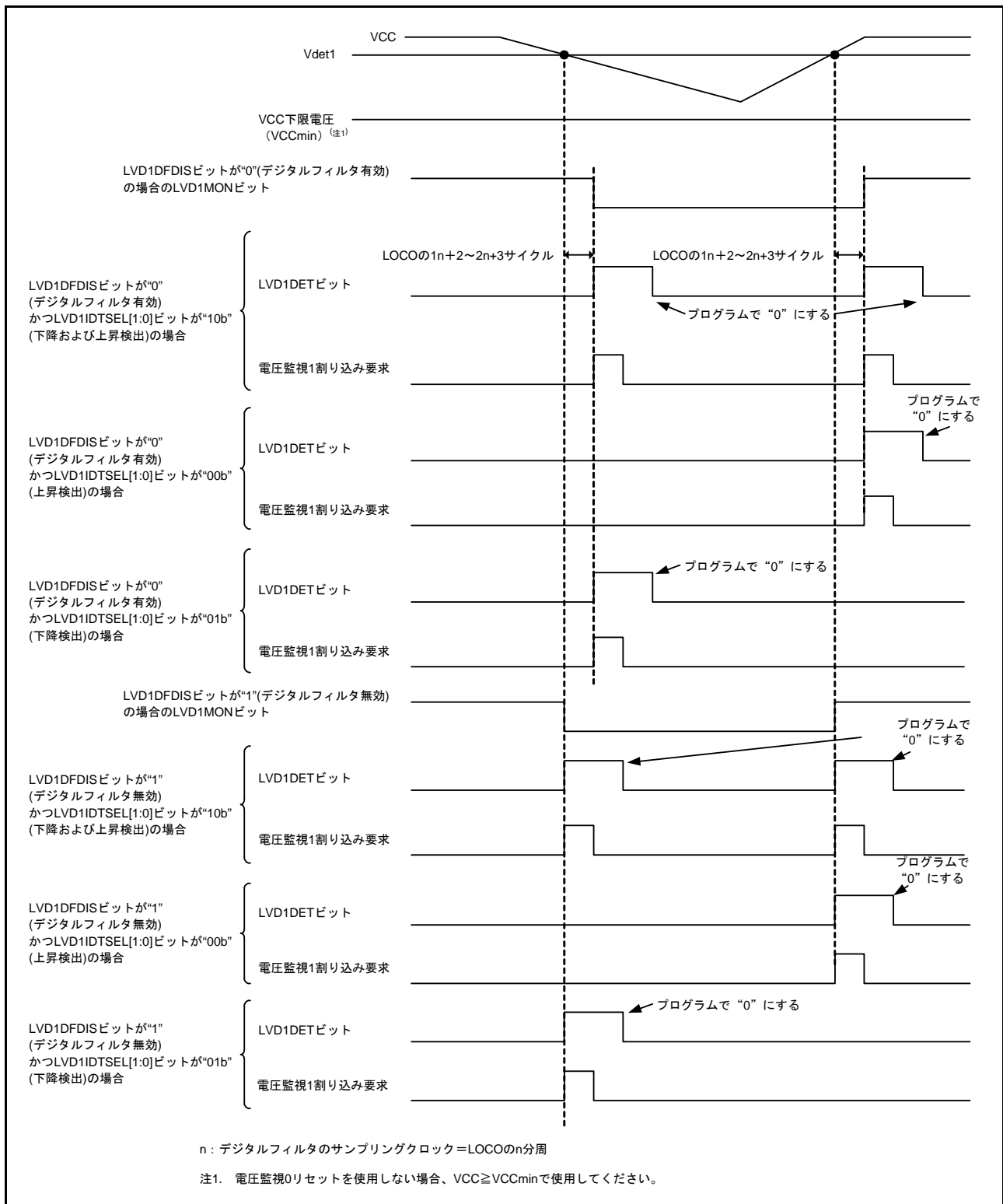


図 8.5 電圧監視 1 割り込み動作例

8.6 電圧監視 2 割り込み、電圧監視 2 リセット

表 8.6 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を、表 8.7 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を、図 8.6 に電圧監視 2 割り込み動作例を示します。電圧監視 2 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

なお、電圧監視 2 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時に使用する場合は、LVD2CR0.LVD2DFDIS ビットを“1”（デジタルフィルタ無効）にしてください。

表 8.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視 2 割り込み、電圧監視 2 ELC イベント出力	電圧監視 2 リセット	電圧監視 2 割り込み、電圧監視 2 ELC イベント出力	電圧監視 2 リセット
1 (注1)	LVDLVL.R.LVD2LVL[3:0] ビットで検出電圧を設定する			
2 (注2)	LVD2CR0.LVD2FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する		LVD2CR0.LVD2DFDIS ビットを“1”（デジタルフィルタ無効）にする	
3 (注1,注2)	LVD2CR0.LVD2RI ビットを“0”（電圧監視 2 割り込み）にする	<ul style="list-style-type: none"> LVD2CR0.LVD2RI ビットを“1”（電圧監視 2 リセット）にする LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する 	LVD2CR0.LVD2RI ビットを“0”（電圧監視 2 割り込み）にする	<ul style="list-style-type: none"> LVD2CR0.LVD2RI ビットを“1”（電圧監視 2 リセット）にする LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する
4	LVD2CR1.LVD2IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する	—	LVD2CR1.LVD2IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する	—
5	LVD2CR0.LVD2CMPE ビットを“1”（電圧監視 2 回路比較結果出力許可）にする			
6	LOCO の 1 サイクル以上待つ		—	
7	LVD2CR0.LVD2DFDIS ビットを“0”（デジタルフィルタ有効）にする		—	
8	LOCO の $2n+3$ サイクル以上待つ（ $n=1, 2, 4, 8$ ：デジタルフィルタのサンプリングクロック=LOCO の n 分周）		—（待ち時間なし）	
9	LVD2SR.LVD2DET フラグを“0”にする	—	LVD2SR.LVD2DET フラグを“0”にする	—
10	LVD2CR0.LVD2RIE ビットを“1”（電圧監視 2 割り込み/リセット許可）にする			
11 (注1)	LVCMP.R.LVD2E ビットを“1”（電圧検出 2 回路有効）にする			

注1. 電圧監視 2 割り込み設定（LVD2CR0.LVD2RI = 0）で動作させている場合で、停止後に LVD2CR0.LVD2FSAMP[1:0], LVD2DFDIS ビットまたは LVD2CR1.LVD2IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1、3、11 は不要です。電圧監視 2 リセット設定（LVD2CR0.LVD2RI = 1）で動作させている場合の変更は、手順 1～11 で設定してください。

注2. 手順 2 と 3 は同時に（1 命令で）実行してもかまいません。

表 8.7 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順	電圧監視 2 割り込み、電圧監視 2 ELC イベント出力、電圧監視 2 リセット関連ビットの停止設定
1 (注1)	LVCMP.R.LVD2E ビットを“0”（電圧検出 2 回路無効）にする
2 (注1)	LOCO の 1 サイクル以上待つ
3	LVD2CR0.LVD2RIE ビットを“0”（電圧監視 2 割り込み/リセット禁止）にする
4	LVD2CR0.LVD2CMPE ビットを“0”（電圧監視 2 回路比較結果出力禁止）にする
5	LVCMP.R.LVD2E ビット、LVD2CR0.LVD2CMPE、LVD2RIE ビットを除く電圧検出回路関連レジスタの設定を変更する

注1. 電圧監視 2 割り込み設定（LVD2CR0.LVD2RI = 0）で動作させている場合で、停止後に LVD2CR0.LVD2FSAMP[1:0], LVD2DFDIS ビットまたは LVD2CR1.LVD2IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1 と 2 は不要です。電圧監視 2 リセット設定（LVD2CR0.LVD2RI = 1）で動作させている場合の変更は、手順 1～5 で設定してください。

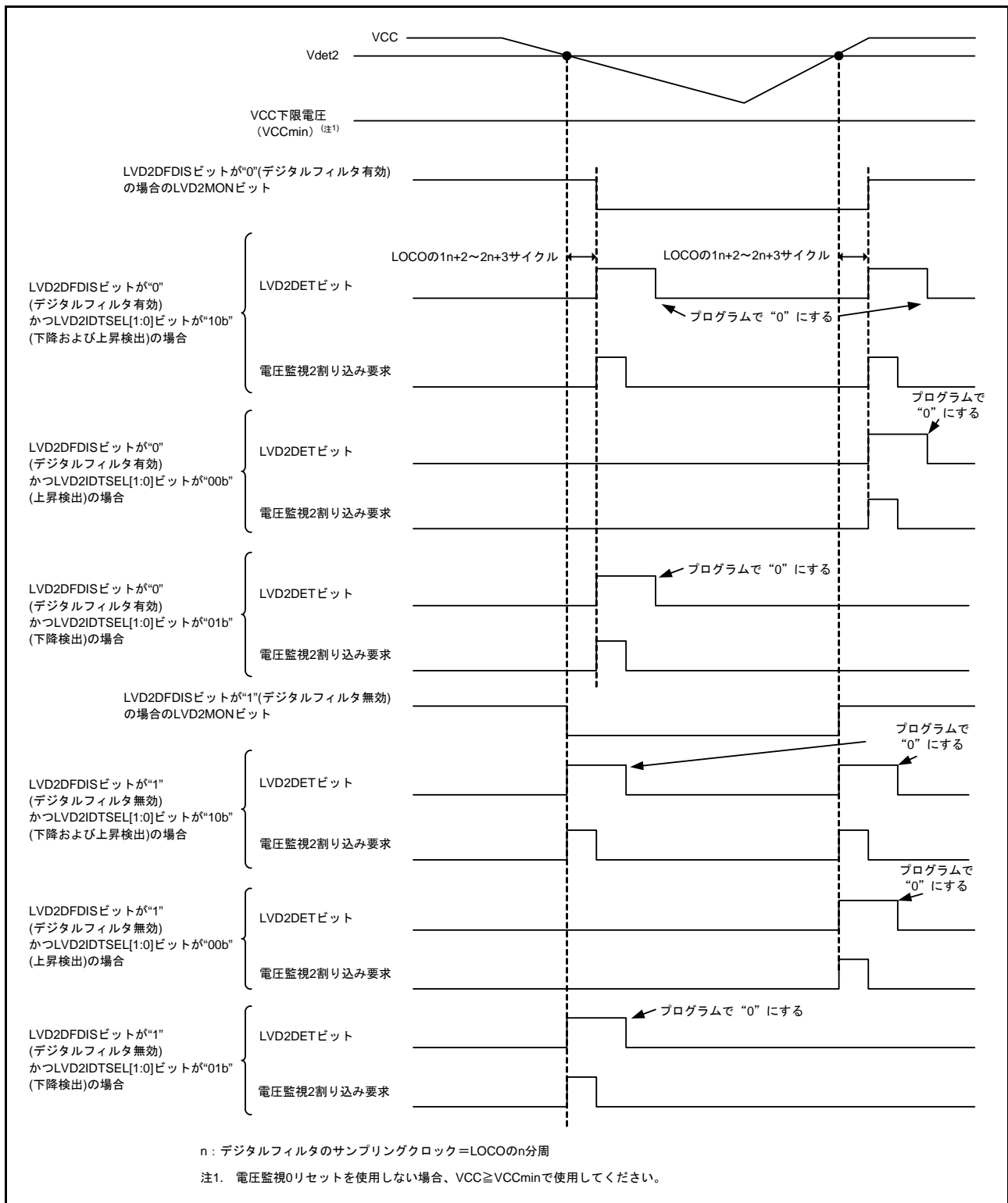


図 8.6 電圧監視 2 割り込み動作例

8.7 イベントリンク出力機能

イベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。

(1) Vdet1 通過検出イベント出力

電圧検出 1 回路有効かつ電圧検出 1 回路比較結果出力許可の状態において、Vdet1 通過を検出した場合にイベントを出力します。

(2) Vdet2 通過検出イベント出力

電圧検出 2 回路有効かつ電圧検出 2 回路比較結果出力許可の状態において、Vdet2 通過を検出した場合にイベントを出力します。

LVD のイベントリンク出力機能を有効にする場合は、LVD の有効設定を行った後で、ELC 側の LVD イベントリンク機能を有効にしてください。また、LVD のイベントリンク出力機能を停止する場合は、LVD の停止設定を行う前に、ELC 側の LVD イベントリンク機能を無効にしてください。

8.7.1 割り込み処理とイベントリンクの関係

電圧検出回路には、電圧監視 1 割り込み、電圧監視 2 割り込みそれぞれに割り込み許可 / 禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

ソフトウェアスタンバイモード中、ディープソフトウェアスタンバイモード中でも電圧監視 1、電圧監視 2 割り込みを出力することができますが、ELC 用のイベント信号の出力については、以下の通りです。

- ソフトウェアスタンバイモード期間中に Vdet1/Vdet2 通過検出した場合、ソフトウェアスタンバイモード期間中はクロックが供給されていないため ELC 用のイベント信号は出力しません。ただし、Vdet1/Vdet2 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、Vdet1/Vdet2 通過検出フラグにしたがって ELC 用のイベント信号が出力されます。
- ディープソフトウェアスタンバイモード期間中に Vdet1/Vdet2 通過検出した場合は、ELC 用のイベント信号は出力しません。

9. クロック発生回路

9.1 概要

本 MCU には、クロック発生回路を内蔵しています。

表 9.1 にクロック発生回路の仕様を、図 9.1 にクロック発生回路のブロック図を示します。

表9.1 クロック発生回路の仕様

項目	仕様
用途	<ul style="list-style-type: none"> • CPU、DMAC、DTC、ROMおよびRAMに供給されるシステムクロック (ICLK) の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKB) の生成 • S12ADに供給されるS12AD用クロック (PCLKD) の生成 • FlashIFに供給されるFlashIFクロック (FCLK) の生成 • 外部バスに供給される外部バスクロック (BCLK) の生成 • CACに供給されるCACクロック (CACCLK) の生成 • IWDTに供給されるIWDT専用クロック (IWDTCCLK) の生成 • CECに供給されるCECクロック (CECCLK) の生成 • RCRに供給されるRCRクロック (RCRCLK) の生成 • JTAGに供給されるJTAG用クロック (JTAGTCK) の生成
動作周波数	<ul style="list-style-type: none"> • ICLK : 54MHz (max) • PCLKB : 32MHz (max) • PCLKD : 54MHz (max) • FCLK : 4MHz~32MHz (ROM、E2データフラッシュ P/E時) 32MHz (max) (E2データフラッシュ読み出し時) • BCLK : 54MHz (max) • BCLK端子出力 : 27MHz (max) • CACCLK : 各発振器のクロックと同じ • IWDTCCLK : 125kHz • CECCLK : 各発振器のクロックと同じ • RCRCLK : 各発振器のクロックと同じ • JTAGTCK : 10MHz (max)
メインクロック発振器	<ul style="list-style-type: none"> • 発振器周波数 : 8MHz~20MHz • 外部クロック入力周波数 : 20MHz (max) • 接続できる発振器、または付加回路 : セラミック共振子、水晶振動子 • 接続端子 : EXTAL, XTAL • 発振停止検出機能 : メインクロックの発振停止検出時、LOCOに切り替える機能、MTU端子をハイインピーダンスにする機能
PLL回路	<ul style="list-style-type: none"> • 入力クロック源 : メインクロック • 入力分周比 : 1、2、4分周から選択可能 • 入力周波数 : 4MHz~20MHz • 通倍比 : 8、10、12、16、20、24、25、50通倍から選択可能 • VCO発振周波数 : 104MHz~200MHz
低速オンチップオシレータ (LOCO)	発振周波数 : 125kHz
IWDT専用オンチップオシレータ	発振周波数 : 125kHz
JTAG用外部クロック入力 (TCK)	入力クロック周波数 : 10MHz (max)
BCLK端子の出力制御機能	<ul style="list-style-type: none"> • BCLKクロック出力またはHighレベル出力の選択が可能 • 出力するクロックはBCLKまたはBCLKの2分周の選択が可能

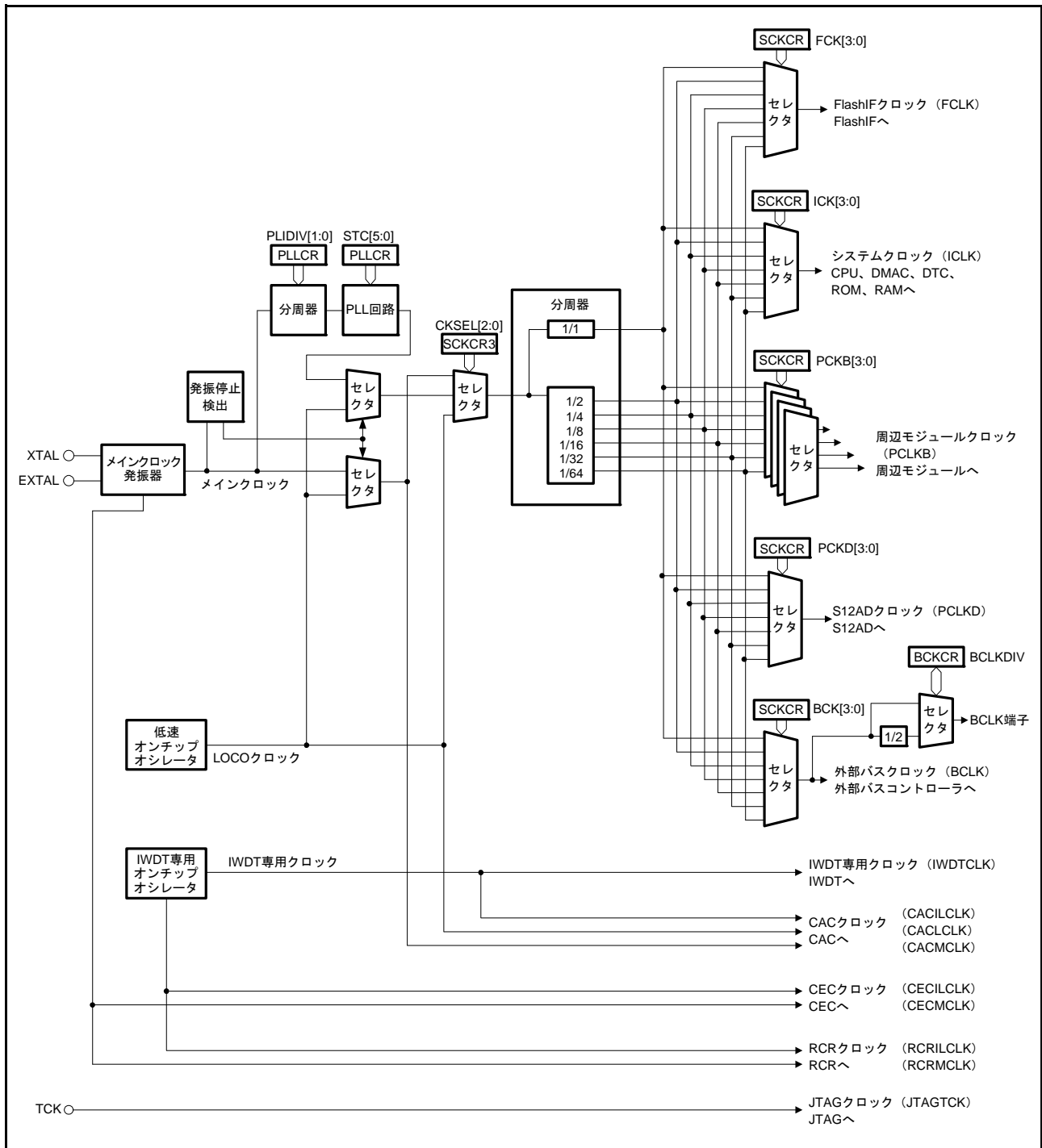


図 9.1 クロック発生回路のブロック図

表 9.2 にクロック発生回路の入出力端子を示します。

表9.2 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振子接続端子。EXTAL端子は外部クロックの入力も可能。詳細は、「9.3.2 外部クロックを入力する方法」参照
EXTAL	入力	
TCK	入力	JTAG用のクロック入力です
BCLK	出力	外部デバイスに外部バスクロック (BCLK) を供給します

9.2 レジスタの説明

9.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス 0008 0020h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
FCK[3:0]				ICK[3:0]				PSTOP1	—	—	—	BCK[3:0]			
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—				PCKB[3:0]				—	—	—	—	PCKD[3:0]			
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PCKD[3:0]	S12AD用クロック (PCLKD) 選択ビット (注1、注3、注7)	b3 b0 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	“0010b”を設定してください	R/W
b11-b8	PCKB[3:0]	周辺モジュールクロックB (PCLKB) 選択ビット (注1~注3、注7)	b11 b8 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b15-b12	—	予約ビット	“0010b”を設定してください	R/W
b19-b16	BCK[3:0]	外部バスクロック (BCLK) 選択ビット (注3~注5、注7)	b19 b16 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b22-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23	PSTOP1	BCLK端子出力制御ビット (注5)	0 : BCLK端子出力動作 1 : BCLK端子出力停止 (Highレベル固定)	R/W
b27-b24	ICK[3:0]	システムクロック (ICLK) 選択ビット (注2~注4、注6、注7)	b27 b24 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b28	FCK[3:0]	FlashIFクロック (FCLK) 選択ビット (注3、注6、注7)	b31 b28 0 0 0 0 : 1分周 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 上記以外は設定しないでください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. PCLKB : PCLKD = N : 1 (Nは整数) の周波数関係になるように設定してください。

注2. ICLK : PCLKB = N : 1 or 1 : N (Nは整数) の周波数関係になるように設定してください。

注3. PLL選択時は1分周は設定禁止です。

注4. ICLKは外部バスクロックより低い周波数を設定しないでください。

注5. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

注6. ICLK : FCLK = N : 1 or 1 : N (Nは整数) の周波数関係になるように設定してください。

注7. SCKCR3.CKSEL[2:0]ビットが“010b”（メインクロック発振器選択）のときは、1分周と2分周を設定しないでください。

以下に該当する場合、SCKCR レジスタの書き換えは禁止です。

- 動作電力コントロールレジスタの動作電力制御モード遷移状態フラグ (OPCCR.OPCMTSF) が“1” (動作電力制御モード切り替え遷移中) のとき
- フラッシュ P/E モードエントリレジスタの ROM P/E モードエントリビット i (FENTRYR.FENTRYi) が“1” (ROM P/E モード、E2 データフラッシュ P/E モード) のとき (i=0~3、D)
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

9.2.2 システムクロックコントロールレジスタ 3 (SCKCR3)

アドレス 0008 0026h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CKSEL[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0]	クロックソース選択ビット	b10 b8 000 : LOCO 選択 010 : メインクロック発振器選択 100 : PLL回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

以下に該当する場合、SCKCR3 レジスタの書き換えは禁止です。

- 動作電力コントロールレジスタの動作電力制御モード遷移状態フラグ (OPCCR.OPCMTSF) が“1”（動作電力制御モード切り替え遷移中）のとき
- フラッシュ P/E モードエントリレジスタの ROM P/E モードエントリビット i (FENTRYR.FENTRYi) が“1”（ROM P/E モード、E2 データフラッシュ P/E モード）のとき (i=0~3、D)
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

CKSEL[2:0] ビット (クロックソース選択ビット)

システムクロック (ICLK)、周辺モジュールクロック (PCLKB)、S12AD 用クロック (PCLKD)、FlashIF クロック (FCLK)、外部バスクロック (BCLK) のクロックソースを低速オンチップオシレータ (LOCO)、メインクロック発振器、PLL 回路から選択します。

停止しているクロックソースへの切り替えは禁止です。

9.2.3 PLL コントロールレジスタ (PLLCR)

アドレス 0008 0028h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	STC[5:0]					—	—	—	—	—	—	—	PLIDIV[1:0]	
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PLIDIV[1:0]	PLL入力分周比選択ビット	b1 b0 0 0 : 1分周 0 1 : 2分周 1 0 : 4分周 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	STC[5:0]	周波数逡倍率設定ビット	b13 b8 0 0 0 1 1 1 : x8 0 0 1 0 0 1 : x10 0 0 1 0 1 1 : x12 0 0 1 1 1 1 : x16 0 1 0 0 1 1 : x20 0 1 0 1 1 1 : x24 0 1 1 0 0 0 : x25 1 1 0 0 0 1 : x50 上記以外は設定しないでください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

PLLCR2.PLLEN ビットが“0”（PLL 動作）のとき、PLLCR レジスタへの書き込みは禁止です。

PLIDIV[1:0] ビット (PLL 入力分周比選択ビット)

PLL のクロックソースの入力分周比を選択します。

PLIDIV[1:0] ビットは、PLL の入力周波数（4 ~ 20MHz）の範囲に入るように設定してください。

STC[5:0] ビット (周波数逡倍率設定ビット)

PLL の周波数逡倍率を設定します。

STC[5:0] ビットは、PLL の VCO 発振周波数（104 ~ 200MHz）の範囲に入るように設定してください。

9.2.4 PLL コントロールレジスタ 2 (PLLCR2)

アドレス 0008 002Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLEN	PLL 停止制御ビット	0 : PLL 動作 1 : PLL 停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

「11. 消費電力低減機能」の PLL ウェイトコントロールレジスタを設定してから本レジスタを設定してください。

PLLEN ビット (PLL 停止制御ビット)

PLL の動作 / 停止を制御します。

PLLEN ビットで PLL を動作設定に変更後、PLL クロック発振安定待機時間 (tPLLWT1 または tPLLWT2) が経過した後、PLL クロックの使用を開始してください。

PLL は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- PLL を停止設定後、再度動作設定にする場合、停止期間は PLL クロックで 5 サイクル以上の時間となるようにしてください。
- PLL の停止設定は、PLL クロックの発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、PLL を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、発振が安定した状態で WAIT 命令を実行してください。
- PLL を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、PLL 停止設定後、PLL クロック 2 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で PLL を選択しているときは、PLLEN ビットを“1” (PLL 停止) にする書き込みは禁止です。

動作電力コントロールレジスタの動作電力制御モード選択ビット (OPCCR.OPCM[2:0]) で低速動作モード 1 または低速動作モード 2 を選択しているときは、PLLEN ビットを“0” (PLL 動作) にする書き込みは禁止です。

9.2.5 外部バスクロックコントロールレジスタ (BCKCR)

アドレス 0008 0030h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCLKD IV
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCLKDIV	BCLK 端子出力選択ビット	0 : BCLK 1 : BCLKの2分周	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

以下に該当する場合、BCKCR レジスタの書き換えは禁止です。

- 動作電力コントロールレジスタの動作電力制御モード遷移状態フラグ (OPCCR.OPCMTSF) が“1”（動作電力制御モード切り替え遷移中）のとき
- フラッシュ P/E モードエントリレジスタの ROM P/E モードエントリビット i (FENTRYR.FENTRYi) が“1”（ROM P/E モード、E2 データフラッシュ P/E モード）のとき (i=0~3、D)
- スリープモードへ移行するための WAIT 命令発行から、スリープモードから通常動作へ復帰するまでの期間

BCLKDIV ビット (BCLK 端子出力選択ビット)

BCLK 端子から出力するクロックを選択します。

SCKCR.BCK[3:0] ビットで選択した周波数の BCLK、または BCLK の 2 分周を選択できます。

9.2.6 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス 0008 0032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止ビット	0: メインクロック発振器動作 1: メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

「11. 消費電力低減機能」のメインクロック発振器ウェイトコントロールレジスタを設定してから本レジスタを設定してください。

MOSTP ビット (メインクロック発振器停止ビット)

メインクロック発振器の動作 / 停止を制御します。

メインクロック発振器の動作 / 停止は、MOSTP ビットおよびメインクロック発振器強制発振コントロールレジスタのメインクロック発振器強制発振ビット (MOFCR.MOFXIN) で制御されます。MOSTP ビットを発振器動作、あるいは MOFXIN ビットを強制発振に設定することで、メインクロック発振器を動作させることができます。また、MOFXIN ビットが強制発振に設定されている場合は、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード中も発振動作を継続します。

MOSTP ビット、または MOFCR.MOFXIN ビットの書き換えを行う場合は、書き込み後、読み出して書き換わったのを確認してから、後続の命令を実行するようにしてください（「5. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください）。

水晶振動子を接続してメインクロックを供給する場合、MOSTP ビットまたは MOFCR.MOFXIN ビットでメインクロック発振器を動作設定に変更後、メインクロック発振安定待機時間（水晶）(tMAINOSCWT) が経過した後、メインクロックの使用を開始してください。

外部クロックを入力してメインクロックを供給する場合、MOSTP ビットまたは MOFCR.MOFXIN ビットでメインクロック発振器を動作設定に変更後、EXTAL 外部クロック入力待機時間 (tEXWT) が経過した後、メインクロックの使用を開始してください。

メインクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- メインクロック発振器を停止設定後、再度動作設定にする場合、停止期間はメインクロックで5サイクル以上の時間となるようにしてください。
- メインクロック発振器の停止設定は、メインクロック発振器の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、メインクロック発振器を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、メインクロック発振器の発振が安定した状態で WAIT 命令を実行してください。
- メインクロック発振器を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、メインクロック停止設定後、メインクロック 2 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でメインクロック発振器を選択しているとき、あるいは SCKCR3.CKSEL[2:0] ビットで PLL を選択しているとき、MOSTP ビットを“1” (メインクロック発振器停止) にする書き込みは禁止です。

9.2.7 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス 0008 0034h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	0 : LOCO動作 1 : LOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可) にした後で書き換えてください。

LCSTP ビット (LOCO 停止ビット)

LOCO の動作 / 停止を制御します。

LCSTP ビットにて LOCO を停止設定から動作設定に変更後、LOCO クロックを使用する場合は、LOCO クロック発振安定待機時間 (tLOCOWT) が経過した後、使用開始してください。

LOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- LOCO を停止設定後、再度動作設定にする場合、停止期間は LOCO クロックで 5 サイクル以上の時間となるようにしてください。
- LOCO の停止設定は、LOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、LOCO を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、LOCO の発振が安定した状態で WAIT 命令を実行してください。
- LOCO を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、LOCO 停止設定後、LOCO クロック 3 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で LOCO を選択しているとき、LCSTP ビットを“1” (LOCO 停止) にする書き込みは禁止です。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) で発振停止検出機能を有効にしているとき、LCSTP ビットを“1” (LOCO 停止) にする書き込みは禁止です。

9.2.8 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)

アドレス 0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ILCSTP	IWDT専用オンチップオシレータ停止ビット	0: IWDT専用オンチップオシレータ動作 1: IWDT専用オンチップオシレータ停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が“0” (IWDT 動作) のとき、ILOCOCR レジスタの設定は無効です。OFS0.IWDTSTRT ビットが“1” (IWDT 停止) のとき、ILOCOCR レジスタの設定は有効です。ILOCOCR レジスタが有効、かつ ILCSTP ビットが“0” (IWDT 専用オンチップオシレータ動作) の後、“1” (IWDT 専用オンチップオシレータ停止) に設定することはできません。

ILCSTP ビット (IWDT 専用オンチップオシレータ 停止ビット)

IWDT 専用オンチップオシレータの動作 / 停止を制御します。

ILCSTP ビットで、IWDT 専用オンチップオシレータを停止設定から動作設定に変更した場合、LOCO 発振安定待機時間 (tLOCOWT) に相当する一定時間経過後、LSI 内部にクロックが供給開始されます。IWDT 専用クロックを使用する場合は、この待機時間が経過した後、使用開始してください。

IWDT 専用オンチップオシレータを動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、発振が安定した状態で WAIT 命令を実行してください。

9.2.9 発振停止検出コントロールレジスタ (OSTDCR)

アドレス 0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	0: 発振停止検出割り込みを禁止、POE2aへの発振停止検出通知なし 1: 発振停止検出割り込みを許可、POE2aへの発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OSTDE	発振停止検出機能許可ビット	0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

OSTDIE ビット（発振停止検出割り込み 許可ビット）

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) のクリアは、OSTDIE ビットを“0”にした後に行ってください。その後、OSTDIE ビットを再度“1”にする場合は、PCLKB で2サイクル以上待ってから行ってください。アクセスサイクル数がPCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

OSTDE ビット（発振停止検出機能 許可ビット）

発振停止検出機能の有効/無効を設定します。

OSTDE ビットを“1”（発振停止検出機能有効）にすると、LOCO 停止ビット (LOCOCR.LCSTP) も“0”となり、LOCO が動作します。発振停止検出機能が有効である間は、LOCO を停止させることはできません。LOCOCR.LCSTP ビットへ“1”（LOCO 停止）を書いても、その書き込みは無効になります。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が“1”（メインクロック発振停止検出）のとき、OSTDE ビットへの“0”書き込みは無効になります。

OSTDE ビットが“1”の場合、ソフトウェアスタンバイモード、およびディープソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモード、およびディープソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを“0”にして、WAIT 命令を実行してください。

9.2.10 発振停止検出ステータスレジスタ (OSTDSR)

アドレス 0008 0041h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	OSTDF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0 : メインクロックの発振停止を未検出 1 : メインクロックの発振停止を検出	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、OSTDFビットの読み出し値に反映されるまでにシステムクロック3サイクルかかります。

OSTDF フラグ（発振停止検出フラグ）

メインクロックの状態を示すステータスフラグです。OSTDF フラグが“1”のときメインクロックの発振停止を検出したことを示します。

メインクロックの発振停止を検出した後で、メインクロックの発振が再開しても、OSTDF フラグは“0”になりません。OSTDF フラグは“1”を読んだ後、“0”を書くことによって“0”になります。OSTDF=0 が読み出し値に反映されるまで ICLK 3 サイクル以上待つ必要があります。メインクロックの発振を停止している状態で OSTDF フラグを“0”にした場合、OSTDF フラグは一度“0”になった後、再度“1”になります。

また、システムクロックコントロールレジスタ3のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）でメインクロック発振器（“010b”）またはPLL（“100b”）を選択している場合は、OSTDF フラグを“0”にすることはできません。クロックソースをメインクロック発振器、PLL 以外に切り換えてから OSTDF フラグを“0”にしてください。

[“1”になる条件]

- OSTDCR.OSTDE ビットが“1”（発振停止検出機能有効）の状態、メインクロックの発振が停止したとき

[“0”になる条件]

- SCKCR3.CKSEL[2:0] ビットが“010b”、または“100b”以外の場合に、“1”を読んだ後、“0”を書いたとき

9.2.11 メインクロック発振器強制発振コントロールレジスタ (MOFCR)

アドレス 0008 C293h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	MOFXIN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MOFXIN	メインクロック発振器強制発振ビット	0: このビットによる制御なし 1: メインクロック発振器を強制発振	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

MOFXIN ビット (メインクロック発振器強制発振ビット)

メインクロック発振器の強制発振を制御します。

MOSCCR.MOSTP ビット、または MOFXIN ビットの書き換えを行う場合は、書き込み後、読み出して書き換わったのを確認してから、後続の命令を実行するようにしてください（「5. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください）。

9.2.12 メインクロック供給制御レジスタ (MOSCR)

アドレス 000A 0C00h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	MOSE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MOSE	メインクロック供給許可ビット	0: CEC、RCRへのメインクロック供給を停止 1: CEC、RCRへのメインクロック供給を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

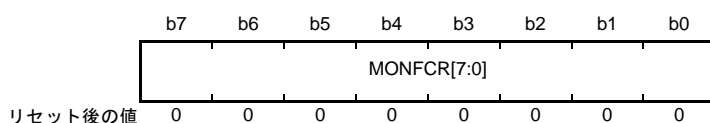
MOSE ビット (メインクロック供給許可ビット)

CEC、RCR へのメインクロックの供給を制御します。

MOSE ビットの書き換えを行う場合は、メインクロックの発振が安定している状態で行ってください。また、MOSE ビットが“1”の状態での MOFCR.MOFXIN ビットの書き換えは禁止です。MOFCR.MOFXIN ビットの書き換えは MOSE ビットを“0”に設定し、CEC、RCR へのメインクロック供給を停止した状態で行ってください。

9.2.13 メインクロックノイズフィルタ制御レジスタ (MONFCR)

アドレス 000A 0C02h



ビット	シンボル	ビット名	機能	R/W
b7-b0	MONFCR[7:0]	メインクロックノイズフィルタ制御ビット	A5h以外：ノイズフィルタ機能有効 A5h：ノイズフィルタ機能無効	R/W

MONFCR レジスタは、CEC、RCR へ供給するメインクロック入力のノイズフィルタ機能の有効/無効を設定します。ノイズフィルタ機能を無効にする場合、MONFCR レジスタに“A5h”を設定してください。“A5h”以外の値を設定した場合、ノイズフィルタ機能は有効になります。なお、MONFCR レジスタの書き換えは、MOSCR.MOSE ビットを“0”にした状態（CEC、RCR へのメインクロック供給を停止した状態）で行ってください。

9.3 メインクロック発振器

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。

9.3.1 発振子を接続する方法

発振子を接続する場合の接続例を図 9.2 に示します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従って EXTAL、XTAL 間に R_f を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は表 9.1 のメインクロック発振器の発振子周波数の範囲内としてください。

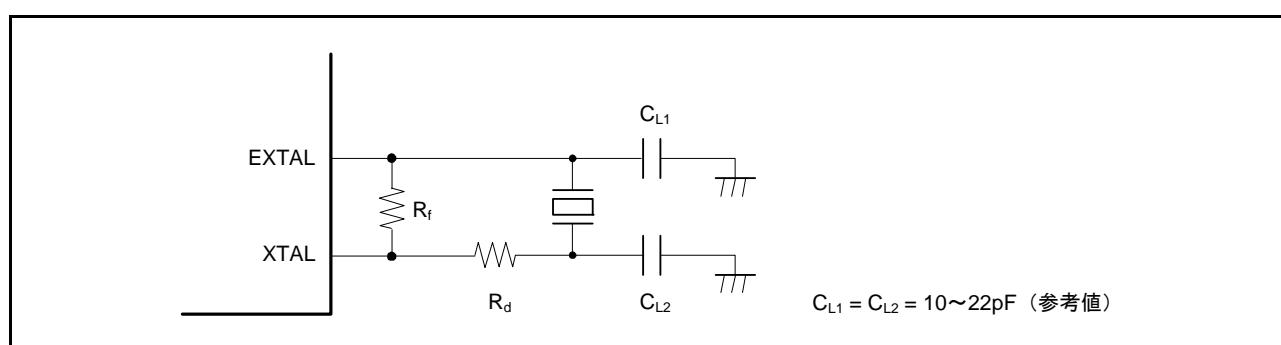


図 9.2 水晶振動子の接続例

表 9.3 ダンピング抵抗 (参考値)

周波数 (MHz)	8	10	12.5
R_d (Ω)	200	100	0

水晶振動子の等価回路を図 9.3 に示します。水晶振動子は表 9.4 に示す特性のものを使用してください。

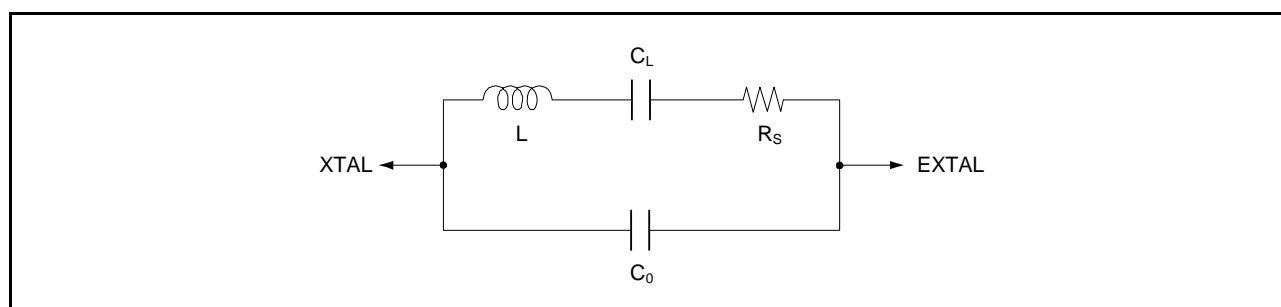


図 9.3 水晶振動子の等価回路

表 9.4 水晶振動子の特性 (参考値)

周波数 (MHz)	8	10	12.5
R_S max (Ω)	80	70	60
C_0 max (pF)	7		

9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図9.4に示します。XTAL端子をオープンにする場合、寄生容量は5pF以下にしてください。

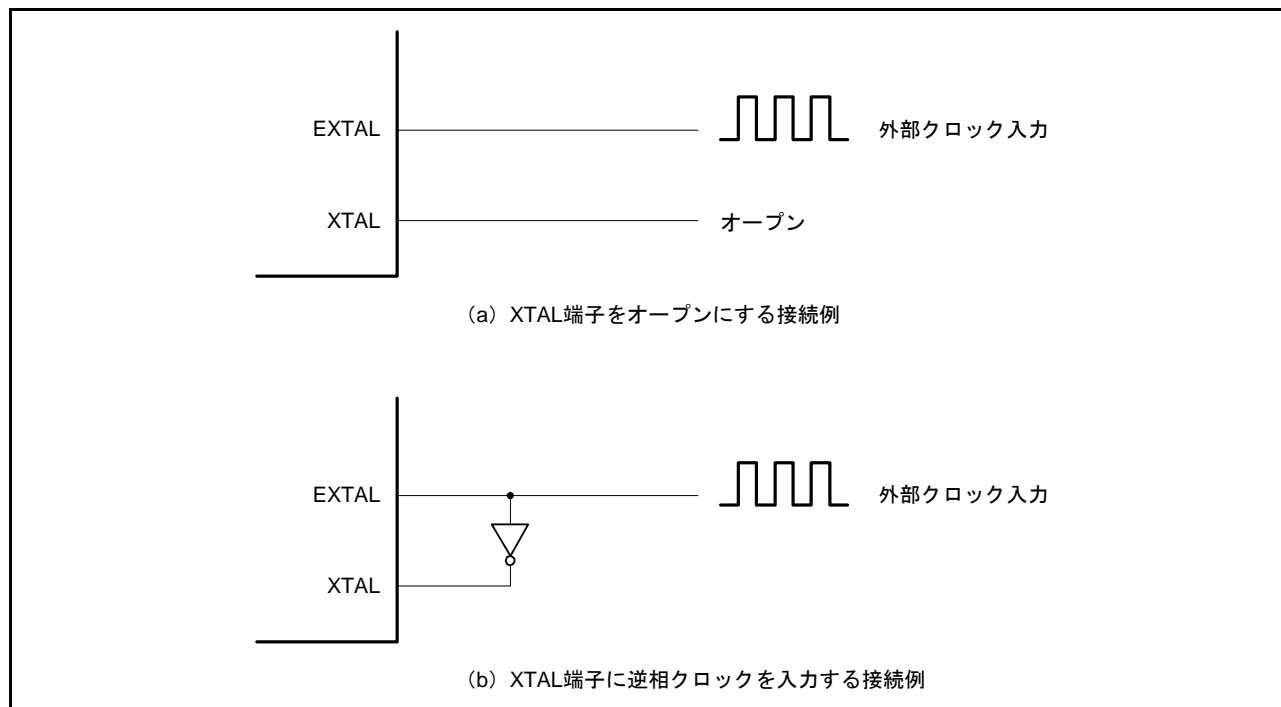


図 9.4 外部クロックの接続例

9.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット (MOSCCR.MOSTP) に“0” (メインクロック発振器動作)、メインクロック発振器強制発振ビット (MOFCR.MOFXIN) に“1” (メインクロック発振器を強制発振) が設定されている間は、外部クロック入力周波数を変更しないでください。

9.4 発振停止検出機能

9.4.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックおよび PLL クロックの代わりに低速オンチップオシレータが出力する LOCO クロックを供給する機能です。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、MTU の出力を強制的にハイインピーダンスとすることも可能です。詳細は、「22. マルチファンクション タイマパルスユニット 2 (MTU2a)」、「23. ポートアウトプットイネーブル 2 (POE2a)」を参照してください。

本 MCU は、メインクロック発振器の異常などによって入力クロックが一定期間“0”または“1”となった場合に（「表 41.36 発振停止検出タイミング」参照）、メインクロックの発振停止を検出します。

発振停止を検出すると、クロックソース選択ビット (SCKCR3.CKSEL[2:0]) で選択されるメインクロックと PLL クロックが、それぞれ前段のセレクタにて LOCO クロックに切り替わります。そのため、システムクロックのクロックソースにメインクロックまたは PLL クロックを選択した状態で発振停止を検出すると、CKSEL[2:0] ビットの設定値は変わらないまま、システムクロックのクロックソースが LOCO クロックへと切り替わります。

メインクロックと LOCO クロックの切り替え、および PLL クロックと LOCO クロックの切り替えは、それぞれ発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。OSTDF フラグが“1”になると LOCO クロックへ切り替わり、OSTDF フラグを“0”にするとメインクロックあるいは PLL クロックに戻ります。ただし、CKSEL[2:0] ビットでメインクロックあるいは PLL クロックを選択している場合は、OSTDF フラグを“0”にできません。発振停止検出後にクロックソースをメインクロックあるいは PLL クロックに戻りたい場合は、一度 CKSEL[2:0] ビットの設定をメインクロックおよび PLL クロック以外に変更し、OSTDF フラグを“0”にしてください。その後、OSTDF フラグが“1”になっていないことを確認し、所定の発振安定時間経過後に CKSEL[2:0] ビットの設定をメインクロックまたは PLL クロックに変更してください。

リセット解除後、メインクロック発振器は停止、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、メインクロック発振器を動作させ、所定の発振安定時間経過後に発振停止検出機能許可ビット (OSTDCR.OSTDE) への書き込みを行ってください。

発振停止検出機能は、外部要因によるメインクロックの停止に備えた機能であるため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行する場合は、あらかじめ発振停止検出機能は無効にしてください。

発振停止検出によって LOCO クロックに切り替わるクロックは、システムクロックソースとしてのメインクロック、PLL クロック、および CAC メインクロック (CACMCLK) です。

LOCO クロック動作時のシステムクロック (ICLK) の周波数については、LOCO 発振周波数とシステムクロック選択ビット (SCKCR.ICK[3:0]) の分周比の設定で決まります。

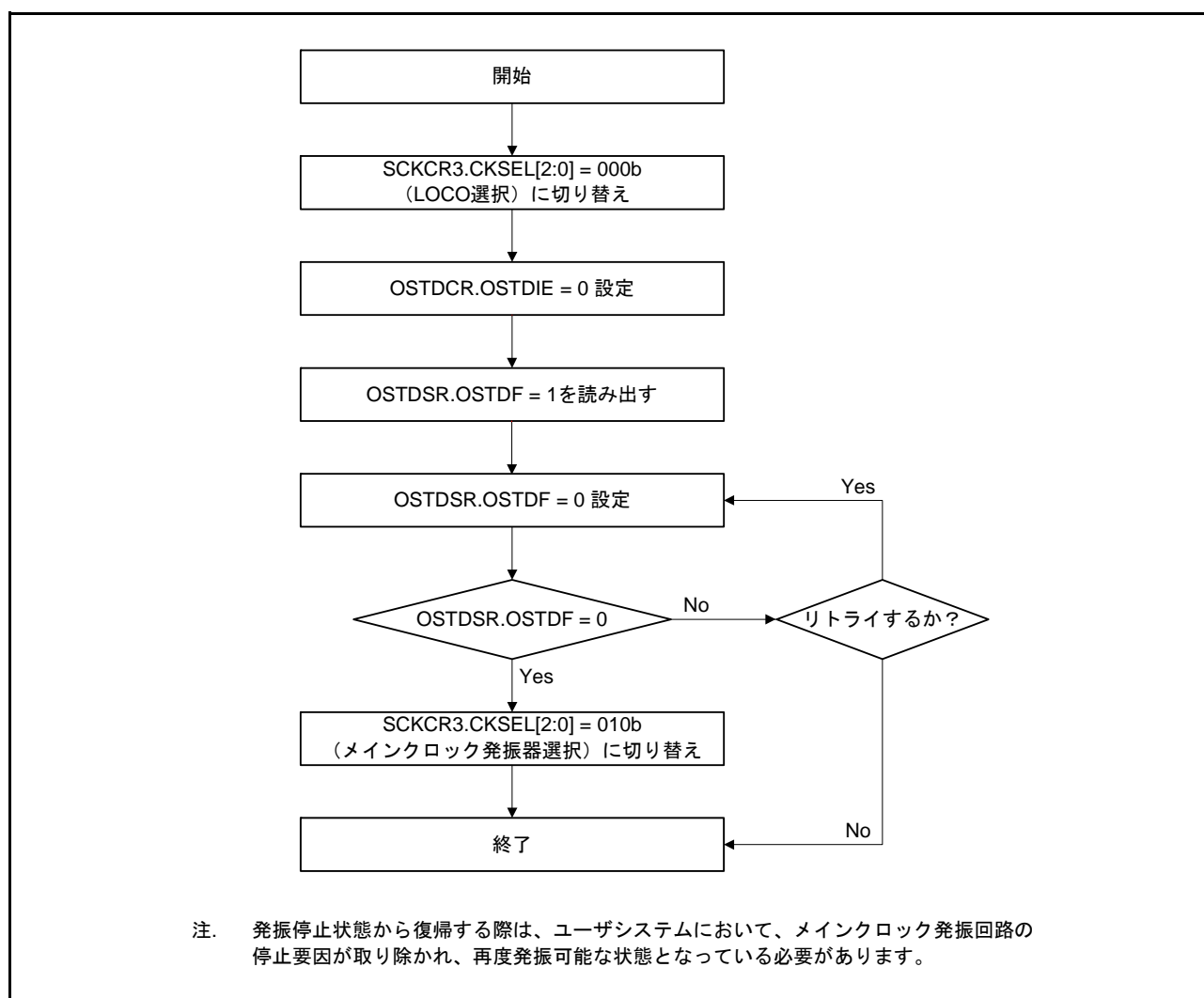


図 9.5 発振停止検出からの復帰のフローチャート例

9.4.2 発振停止検出割り込み

発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が“1” (発振停止検出割り込みを許可) のとき、発振停止検出フラグ (OSTDSR.OSTDF) が“1”になると発振停止検出割り込み (OSTDI) 要求が発生します。また、このときポートアウトプットイネーブル2 (POE2a) へメインクロック発振器の停止を通知します。POE2aは、発振停止の通知を受けて入力レベルコントロール/ステータスレジスタ3のOSTSTハイインピーダンスフラグ (ICSR3.OSTSTF) を“1”にします。このICSR3.OSTSTFフラグは、発振停止を検出後、PCLKBで10サイクル経過するまで書き込みできませんので注意してください。OSTDSR.OSTDFフラグのクリアは、発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を“0”にした後に行ってください。その後、OSTDCR.OSTDIEビットを再度“1”にする場合は、PCLKBで2サイクル以上待ってから行ってください。アクセスサイクル数がPCLKBで定義されているI/Oレジスタを読み出すことによって、PCLKB2サイクル以上の待ち時間を確保することが可能です。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態では、「ノンマスカブル割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ソフトウェアでノンマスカブル割り込みを有効にしてください。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

9.5 PLL 回路

PLL 回路は、発振器からの周波数を通倍する機能を持っています。

9.6 内部クロック

内部クロックは、クロック源としてメインクロック、LOCO クロック、PLL クロック、IWDT 専用クロック、JTAG 用外部クロックがあり、これらのクロックから以下に示す内部クロックを生成します。

- (1) CPU、DMAC、DTC、ROM および RAM の動作クロック：システムクロック (ICLK)
- (2) 周辺モジュールの動作クロック：周辺モジュールクロック (PCLKB)
- (3) S12AD 用の動作クロック：S12AD 用クロック (PCLKD)
- (4) FlashIF の動作クロック：FlashIF クロック (FCLK)
- (5) 外部バスコントローラ、外部端子出力クロック：外部バスクロック (BCLK)
- (6) CAC モジュール用の動作クロック：CAC クロック (CACCLK)
- (7) IWDT モジュール用の動作クロック：IWDT 専用クロック (IWDTCLK)
- (8) CEC モジュール用の動作クロック：CEC クロック (CECCLK)
- (9) RCR モジュール用の動作クロック：RCR クロック (RCRCLK)
- (10) JTAG モジュール用の動作クロック：JTAG クロック (JTAGTCK)

内部クロックの周波数は、分周比を選択する SCKCR.FCK[3:0], ICK[3:0], BCK[3:0], PCKB[3:0], PCKD[3:0] ビット、クロック源を選択する SCKCR3.CKSEL[2:0] ビット、PLL 回路の周波数を選択する PLLCR.STC[5:0], PLIDIV[1:0] ビットの組み合わせで設定します。各ビットの書き換え後に、変更後の周波数で動作します。

9.6.1 システムクロック

システムクロック (ICLK) は、CPU、DMAC、DTC、ROM および RAM の動作クロックです。

ICLK の周波数は、SCKCR.ICK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

9.6.2 周辺モジュールクロック

周辺モジュールクロック (PCLKB) は、周辺モジュール用の動作クロックです。

PCLKB の周波数は、SCKCR.PCKB[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

9.6.3 S12AD 用クロック

S12AD 用クロック (PCLKD) は、S12AD 用の動作クロックです。

PCLKD の周波数は、SCKCR.PCKD[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

9.6.4 FlashIF クロック

FlashIF クロック (FCLK) は、FlashIF 用の動作クロックであり、ROM、E2 データフラッシュの書き込み / 消去、および E2 データフラッシュ読み出しに使用するクロックです。

FCLK の周波数は、SCKCR.FCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビットで設定します。

9.6.5 外部バスクロック

外部バスクロック (BCLK) は、外部バスコントローラの動作クロックです。また、BCLK は外部バス用に BCLK 端子から外部に出力できます。外部バス有効時、BCLK 端子と兼用している P53 は、I/O ポートとして使用できません。

SCKCR.PSTOP1 ビットを“0”、システムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にすると、BCLK を BCLK 端子から出力することができます。SYSCR0.EXBE ビットを“1”に変更する場合は、SCKCR.PSTOP1 ビットが“1”の状態で行ってください。

また、BCKCR.BCLKDIV ビットを“1”にすると、BCLK 端子から BCLK の 2 分周クロックを出力することができます。

BCLK の周波数は、SCKCR.BCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビットで設定します。

9.6.6 CAC クロック

CAC クロック (CACCLK) は、CAC モジュール用の動作クロックです。

CACCLK にはメインクロック発振器で生成される CACMCLK、低速オンチップオシレータで生成される CACLCLK、IWDT 専用オンチップオシレータで生成される CACILCLK があります。

9.6.7 IWDT 専用クロック

IWDT 専用クロック (IWDTCLK) は、IWDT モジュールの動作クロックです。

IWDTCLK は、IWDT 専用オンチップオシレータで内部発振によって生成されたクロックです。

9.6.8 CEC クロック

CEC クロック (CECCLK) は、CEC モジュール用の動作クロックです。

CECCLK にはメインクロック発振器で生成される CECMCLK と IWDT 専用オンチップオシレータで生成される CECILCLK があります。

9.6.9 RCR クロック

RCR クロック (RCRCLK) は、RCR モジュール用の動作クロックです。

RCRCLK にはメインクロック発振器で生成される RCRMCLK と IWDT 専用オンチップオシレータで生成される RCRILCLK があります。

9.6.10 JTAG 用クロック

JTAG 用クロック (JTAGTCK) は、JTAG 用の動作クロックです。

JTAGTCK は、JTAG 用外部クロック (TCK) から生成されたクロックです。

9.7 発振子を接続する場合の端子設定

(1) メインクロック

メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) にするか、メインクロック発振器強制発振ビット (MOFCR.MOFXIN) を“1” (強制発振) にしてください。

9.8 使用上の注意事項

9.8.1 クロック発生回路に関する注意事項

- (1) SCKCR レジスタで、各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKB)、S12AD 用クロック (PCLKD)、FlashIF クロック (FCLK)、外部バスクロック (BCLK) の周波数を選択します。各周波数は、以下のようにしてください。
各周波数は電気的特性の AC タイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。
周波数は表 9.1 の周波数範囲内に収まるように設定してください。
周辺モジュールは、基本的に PCLKB を基準に動作します。このため、周波数変更の前でタイマや SCI などの動作速度が変わりますので注意してください。
- (2) システムクロック (ICLK) と外部バスクロック (BCLK) との間には以下の周波数関係が必要です。
 $ICLK \geq BCLK$ の周波数関係
- (3) 外部バスアクセス中は、クロック周波数の変更を実施しないでください。またクロック周波数の変更後に外部バスアクセスを開始する場合は、周波数変更が完了したことを確認してから外部バスアクセスを開始するようにしてください。
- (4) クロック周波数を変更後、確実に次の処理を実行するためには、周波数変更の書き込みをした後、同レジスタの読み出しを行ってから次の処理を実行してください。

9.8.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

9.8.3 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。図 9.6 に示すように発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

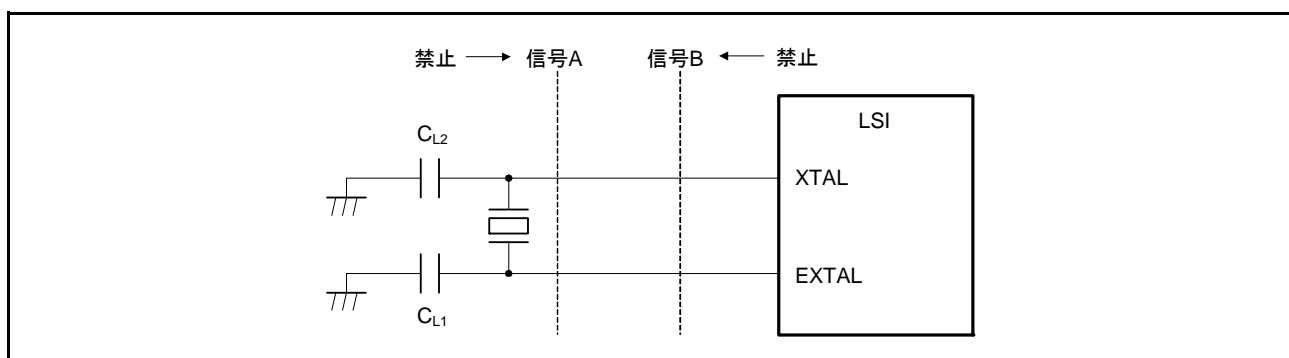


図 9.6 発振回路部のボード設計に関する注意事項 (メインクロック発振器の場合)

10. クロック周波数精度測定回路 (CAC)

10.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。

測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求を発生します。

表 10.1 に CAC の仕様を、図 10.1 に CAC のブロック図を示します。

表 10.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> • メインクロック • LOCOクロック • IWDTCCLKクロック • 周辺モジュールクロック B (PCLKB)
測定基準クロック	<ul style="list-style-type: none"> • 外部からCACREF端子に入力したクロック • メインクロック • LOCOクロック • IWDTCCLKクロック • 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ機能
割り込み要因	<ul style="list-style-type: none"> • 測定終了割り込み • 周波数エラー割り込み • オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への設定が可能

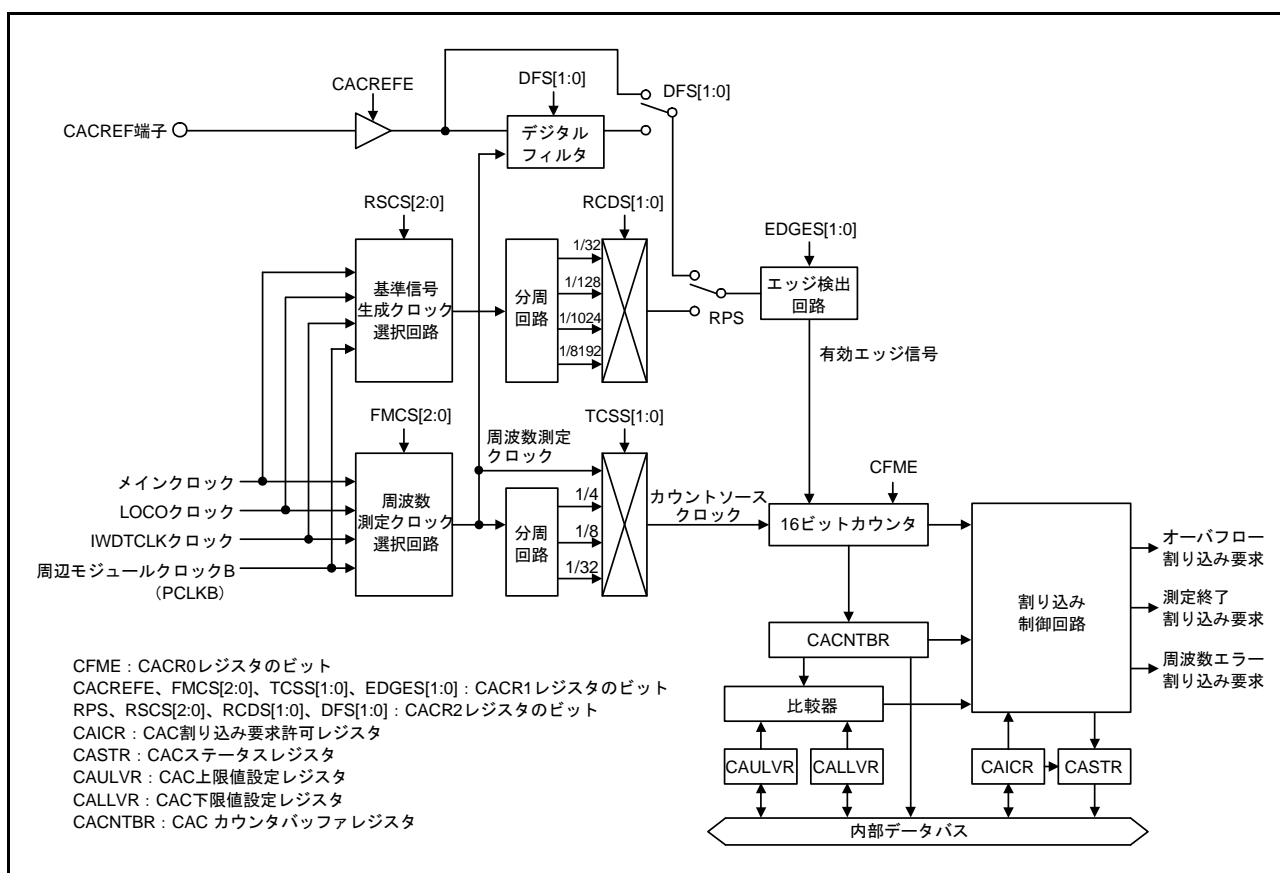


図 10.1 CAC のブロック図

表 10.2 に CAC の入出力端子を示します。

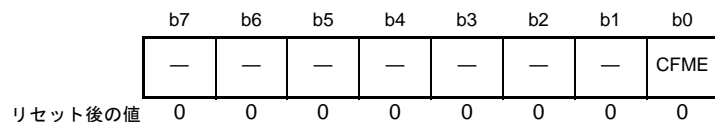
表 10.2 CAC の入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

10.2 レジスタの説明

10.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス 0008 B000h



ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効ビット	0 : クロック周波数測定無効 1 : クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

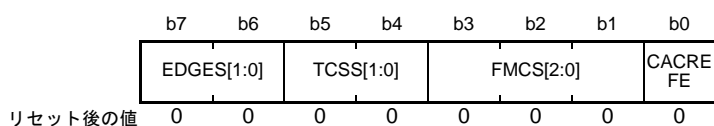
CFME ビット (クロック周波数測定有効ビット)

クロック周波数測定の有効 / 無効を指定するビットです。

このビットを書き換えても内部回路に反映されるまでは時間がかかります。前値が内部回路に反映されていない状態でこのビットを書き換えると無視されます。書き換えが反映されたかはビットの読み出しで確認できます。

10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス 0008 B001h



ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力有効ビット	0 : CACREF 端子入力無効 1 : CACREF 端子入力有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 1 1 : LOCOクロック 1 0 0 : IWDTCLKクロック 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	TCSS[1:0]	タイマカウントクロックソース 選択ビット	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択ビット	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定しないでください	R/W

注1. CACR1レジスタは、CACR0.CFMEビットが"0"のときに設定してください。

CACREFE ビット (CACREF 端子入力有効ビット)

CACREF 端子入力の有効 / 無効を指定するビットです。

FMCS[2:0] ビット (測定対象クロック選択ビット)

周波数を測定する測定対象クロックを選択します。

TCSS[1:0] ビット (タイマカウントクロックソース選択ビット)

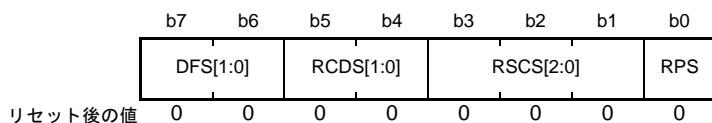
このビットの設定によりクロック周波数精度測定回路のカウントクロックソースを選択します。

EDGES[1:0] ビット (有効エッジ選択ビット)

このビットの設定により基準信号の有効エッジを選択します。

10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス 0008 B002h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択ビット	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 1 1 : LOCOクロック 1 0 0 : IWDTCCLKクロック 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択ビット	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1024分周クロック 1 1 : 8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択ビット	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : 周波数測定クロック 1 0 : 周波数測定クロックの4分周クロック 1 1 : 周波数測定クロックの16分周クロック	R/W

注1. CACR2レジスタは、CACR0.CFMEビットが"0"のときに設定してください。

RPS ビット (基準信号選択ビット)

このビットの設定により基準信号として CACREF 端子入力か内部クロック (内部生成信号) のどちらを使用するか選択します。

RSCS[2:0] ビット (測定基準クロック選択ビット)

このビットの設定により測定基準クロックを生成するクロックソースを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択ビット)

このビットの設定により測定基準クロックの分周比を選択します。

DFS[1:0] ビット (デジタルフィルタ機能選択ビット)

このビットの設定により、デジタルフィルタの有効/無効、サンプリングクロックを選択します。

10.2.4 CAC 割り込み要求許可レジスタ (CAICR)

アドレス 0008 B003h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可ビット	0: 周波数エラー割り込み要求無効 1: 周波数エラー割り込み要求有効	R/W
b1	MENDIE	測定終了割り込み要求許可ビット	0: 測定終了割り込み要求無効 1: 測定終了割り込み要求有効	R/W
b2	OVFIE	オーバフロー割り込み要求許可ビット	0: オーバフロー割り込み要求無効 1: オーバフロー割り込み要求有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FERRFCL	FERRF フラグクリアビット	このビットを“1”にすると CASTR.FERRF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b5	MENDFCL	MENDF フラグクリアビット	このビットを“1”にすると CASTR.MENDF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b6	OVFFCL	OVFF フラグクリアビット	このビットを“1”にすると CASTR.OVFF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRIE ビット (周波数エラー割り込み要求許可ビット)

周波数エラー割り込み要求の有効 / 無効を指定するビットです。

MENDIE ビット (測定終了割り込み要求許可ビット)

測定終了割り込み要求の有効 / 無効を指定するビットです。

OVFIE ビット (オーバフロー割り込み要求許可ビット)

オーバフロー割り込み要求の有効 / 無効を指定するビットです。

FERRFCL ビット (FERRF フラグクリアビット)

このビットを“1”にすると CASTR.FERRF フラグをクリアします。

MENDFCL ビット (MENDF フラグクリアビット)

このビットを“1”にすると CASTR.MENDF フラグをクリアします。

OVFFCL ビット (OVFF フラグクリアビット)

このビットを“1”にすると CASTR.OVFF をフラグクリアします。

10.2.5 CAC ステータスレジスタ (CASTR)

アドレス 0008 B004h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた (周波数エラー)	R
b1	MENDF	測定終了フラグ	0: 測定中 1: 測定が終了	R
b2	OVFF	オーバフローフラグ	0: カウンタがオーバフローしていない 1: カウンタがオーバフロー	R
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRF フラグ (周波数エラーフラグ)

クロックの周波数が設定値を外れた (周波数エラー) ことを示します。

["1" になる条件]

- クロック周波数が設定値を外れたとき

["0" になる条件]

- CAICR.FERRFCL ビットに“1”を書き込んだとき

MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

["1" になる条件]

- 測定終了したとき

["0" になる条件]

- CAICR.MENDFCL ビットに“1”を書き込んだとき

OVFF フラグ (オーバフローフラグ)

カウンタがオーバフローしたことを示します。

["1" になる条件]

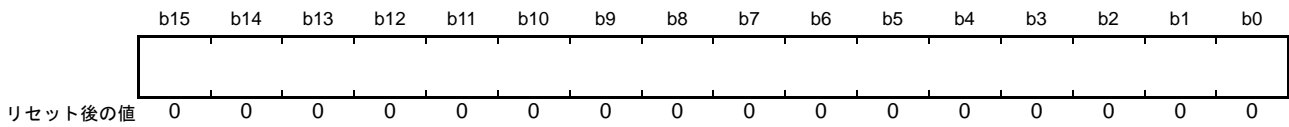
- カウンタがオーバフローしたとき

["0" になる条件]

- CAICR.OVFFCL ビットに“1”を書き込んだとき

10.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス 0008 B006h



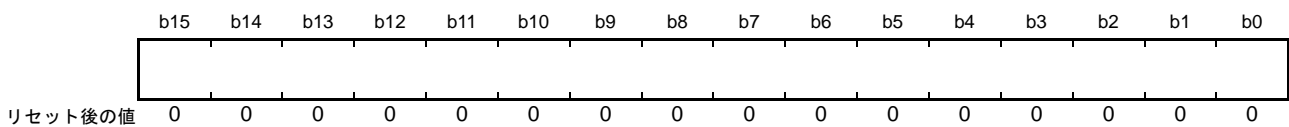
CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス 0008 B008h



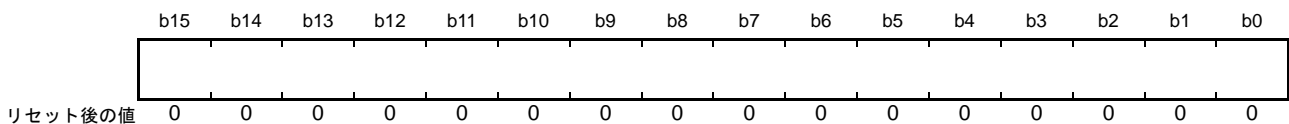
CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス 0008 B00Ah



基準信号の有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。

10.3 動作説明

10.3.1 クロック周波数測定

クロック周波数精度測定回路は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。図 10.2 にクロック周波数精度測定回路の動作例を示します。

クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

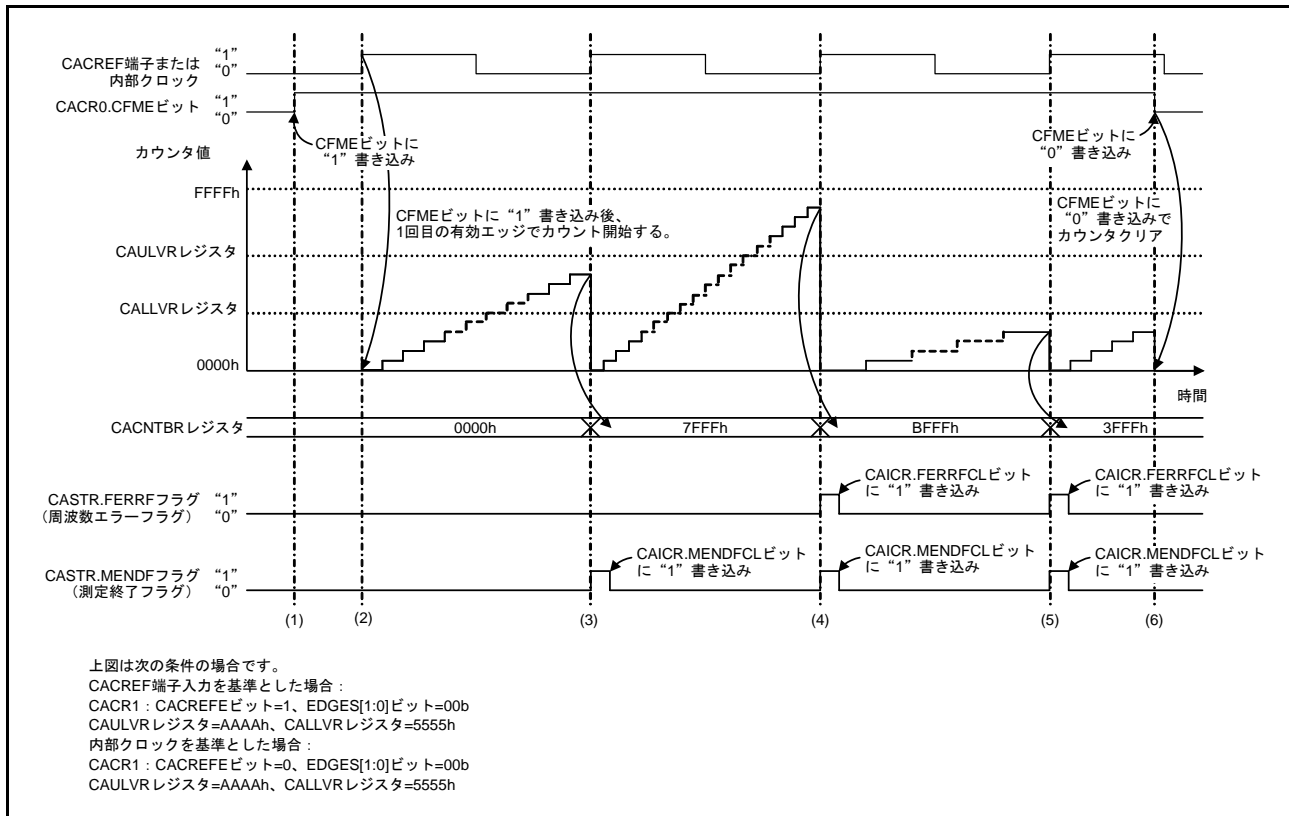


図 10.2 クロック周波数精度測定回路の動作例

- (1) CACREF 端子入力を基準とした場合 (CACR1.CACREFE ビット = 1) は、CACR2.RPS ビットを "0"、CACR1.CACREFE ビットを "1" に設定した状態で、CACR0.CFME ビットに "1" を書き込むとクロック周波数測定が有効になります。
一方、内部クロックを基準とした場合 (CACR1.CACREFE ビット = 0) は、CACR2.RPS ビットを "1" に設定した状態で、CACR0.CFME ビットに "1" を書き込むとクロック周波数測定が有効になります。
- (2) CACREF 端子入力を基準とした場合は、CFME ビットに "1" を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0]=00b)) が入力されるとタイマのカウンタアップが開始します。
内部クロックを基準とした場合は、CFME ビットに "1" を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0]=00b)) が入力されるとタイマのカウンタアップが開始します。
- (3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ ≤ CAULVR レジスタかつ CACNTBR レジスタ ≥ CALLVR レジスタのときはクロック周波数が正常なので CASTR.MENDF フラグだけが "1" にセットされます。また、CAICR.MENDIE ビットを "1" に設定している場合は、測定終了割り込みが発生します。

- (4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ > CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ < CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (6) CACR0.CFME ビットが“1”の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACR0.CFME ビットに“0”を書き込むと、カウンタをクリアしカウントアップが停止します。

10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へは同じレベルを伝達し続けます。

デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。

カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

$$\text{カウント値誤差} = (\text{カウントソースクロック 1 周期}) / (\text{サンプリングクロック 1 周期})$$

10.4 割り込み要求

CAC が要求する割り込み要因には、周波数エラー割り込み、測定終了割り込みおよびオーバフロー割り込みの 3 種類があります。各割り込み要因が発生すると各ステータスフラグが“1”にセットされます。表 10.3 にクロック周波数精度測定回路割り込み要求を示します。

表 10.3 クロック周波数精度測定回路割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタを CAULVR レジスタおよび CALLVR レジスタと比較をした結果が CACNTBR レジスタ > CAULVR レジスタまたは CACNTBR レジスタ < CALLVR レジスタのとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	基準信号の有効エッジが入力されたとき ただし、CACR0.CFME ビットを“1”に書き込み後、1 回目の有効エッジでは測定終了割り込みは発生しない。
オーバフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバフローしたとき

10.5 使用上の注意事項

10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、クロック周波数精度測定回路の動作禁止 / 許可を設定することが可能です。初期値では、クロック周波数精度測定回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

11. 消費電力低減機能

11.1 概要

本 MCU には、消費電力低減機能としてクロックの切り替えによる消費電力の低減、BCLK 出力制御機能、モジュールストップ機能、通常動作時の低消費電力機能、および低消費電力状態への遷移機能があります。

表 11.1 に消費電力低減機能の仕様を、表 11.2 に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DMAC、DTC、RAM 以外のモジュールは停止状態になります。

表 11.1 消費電力低減機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKB)、外部バスクロック (BCLK)、フラッシュインタフェースクロック (FCLK) に対し、個別に分周比を設定することが可能 (注1)
BCLK 出力制御機能	BCLK 出力または High 出力の選択が可能 (注1)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	<ul style="list-style-type: none"> • CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	<ul style="list-style-type: none"> • スリープモード • 全モジュールクロックストップモード • ソフトウェアスタンバイモード • ディープソフトウェアスタンバイモード
動作電力低減機能	<ul style="list-style-type: none"> • 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、および全モジュールクロックストップモード時の消費電力を低減することが可能 • 動作電力制御状態：3種類 高速動作モード 低速動作モード1 低速動作モード2

注1. 詳細は「9. クロック発生回路」を参照してください。

表 11.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	全モジュールクロックストップモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
遷移方法	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令
リセット以外の解除方法	割り込み	割り込み (注1)	割り込み (注2)	割り込み (注3)
解除後の状態 (注4)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (リセット処理)
メインクロック発振器	動作可能	動作可能	動作可能 (注5)	動作可能 (注5)
低速オンチップオシレータ	動作可能	動作可能	停止	停止
IWDT専用オンチップオシレータ	動作可能 (注6)	動作可能 (注6)	動作可能 (注6)	停止 (不定) (注6)
PLL	動作可能	動作可能	停止	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
RAM1 (0001 0000h~0001 FFFFh)	動作可能 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
RAM0 (0000 0000h~0000 FFFFh)	動作可能 (保持)	停止 (保持)	停止 (保持)	停止 (保持/不定) (注7)
フラッシュメモリ	動作	停止 (保持)	停止 (保持)	停止 (保持)
ウォッチドッグタイマ (WDT)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
独立ウォッチドッグタイマ (IWDT)	動作可能 (注6)	動作可能 (注6)	動作可能 (注6)	停止 (不定) (注6)
8ビットタイマ (ユニット0、1) (TMR)	動作可能	動作可能 (注8)	停止 (保持)	停止 (不定)
CEC送受信回路 (CEC)	動作可能	動作可能 (注9)	動作可能 (注9)	停止 (不定)
リモコン信号受信回路 (RCR)	動作可能	動作可能 (注9)	動作可能 (注9)	停止 (不定)
電圧検出回路 (LVD)	動作可能	動作可能	動作可能	動作可能 (注10、注11)
パワーオンリセット回路	動作	動作	動作	動作 (注11)
周辺モジュール	動作可能	停止 (保持) (注12)	停止 (保持) (注12)	停止 (不定) (注12)
I/Oポート	動作	保持 (注13、注14)	保持 (注14、注15)	保持 (注15)

動作可能は、制御レジスタ設定によって動作/停止を制御可能であることを示します。

停止 (保持) は、内部レジスタ値保持、内部状態は動作中断を示します。

停止 (不定) は、内部レジスタ値不定、内部状態は電源オフを示します。

注1. 外部端子割り込み (NMI、IRQ0~IRQ12)、周辺機能割り込み (8ビットタイマ、IWDT、CEC (INTDAA、INTCEA、INTERRA)、RCR、電圧監視1、電圧監視2、発振停止検出)。

注2. 外部端子割り込み (NMI、IRQ0~IRQ12)、周辺機能割り込み (IWDT、CEC (INTDAA、INTCEA、INTERRA)、RCR、電圧監視1、電圧監視2)。

注3. 外部端子割り込み発生元となる一部の端子 (NMI、IRQ0-DS~IRQ7-DS、SCL0-DS、SDA0-DS)、周辺機能割り込み (電圧監視1、電圧監視2)。ただし、ディープスタンバイインタラプトイネーブルレジスタi (DPSIERi) (i=0、2) の当該ビットが“1”のときのみに有効。端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できません。

注4. RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。

注5. メインクロック発振器強制発振コントロールレジスタのメインクロック発振器強制発振ビット (MOFCR.MOFXIN) の設定によって、動作/停止が選択できます。

注6. IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット (OFS0.IWDTSLCSTP) の設定により、動作/停止を選択することができます。OFS0.IWDTSLCSTPビットが“0” (低消費電力モード移行時カウント継続) に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。IWDTオートスタートモードではないとき、IWDTカウント停止コントロールレジスタのスリープモードカウント停止制御ビット (IWDTCSLTPR.SLCSTP) の設定により、動作/停止を選択することができます。IWDTCSLTPR.SLCSTPビットが“0” (低消費電力モード移行時カウント継続) に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。

注7. ディープスタンバイコントロールレジスタのディープカットビット (DPSBYCR.DEEP CUT[1:0]) の設定によって、保持/不定を選択することができます。

注8. モジュールストップコントロールレジスタAの8ビットタイマ1、0 (ユニット0) モジュールストップ設定ビット (MSTPCRA.MSTPA5)、8ビットタイマ3、2 (ユニット1) モジュールストップ設定ビット (MSTPCRA.MSTPA4) の設定によって、動作/停止を選択することができます。

- 注9. 動作クロックのクロックソースがメインクロック、IWDT専用オンチップオシレータクロックの場合に動作可能です。
- 注10. 電圧監視1回路制御レジスタ0の電圧監視1回路モード選択ビット (LVD1CR0.LVD1RI) が“1”、もしくは電圧監視2回路制御レジスタ0の電圧監視2回路モード選択ビット (LVD2CR0.LVD2RI) が“1”に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。
- 注11. ディープスタンバイコントロールレジスタのディープカットビット (DPSBYCR.DEEPCUT[1:0]) が“11b”の設定でディープソフトウェアスタンバイモードに移行した場合、電圧検出回路は停止し、パワーオンリセット回路の低消費電力機能が有効になります。
- 注12. 全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ遷移するときは、12ビットA/Dコンバータの一部が動作待機状態となっています。12ビットA/Dコンバータを完全にスタンバイ状態にする場合は、MSTPCRA.MSTPA24ビットを“1”にしてください。
- 注13. P53をBCLKとして使用している場合は、BCLK出力のまま動作を継続します。8ビットタイマを動作させている場合、関連する端子は動作を継続します。
- 注14. CEC送受信回路 (CEC)、リモコン信号受信回路 (RCR) を動作させている場合、関連する端子は動作を継続します。
- 注15. スタンバイコントロールレジスタの出力ポートイネーブルビット (SBYCR.OPE) の設定によって、アドレスバス、バス制御信号 (CS0#~CS3#、RD#、WR0#、WR1#、WR#、BC0#、BC1#、ALE) の保持/ハイインピーダンスを選択することができます。

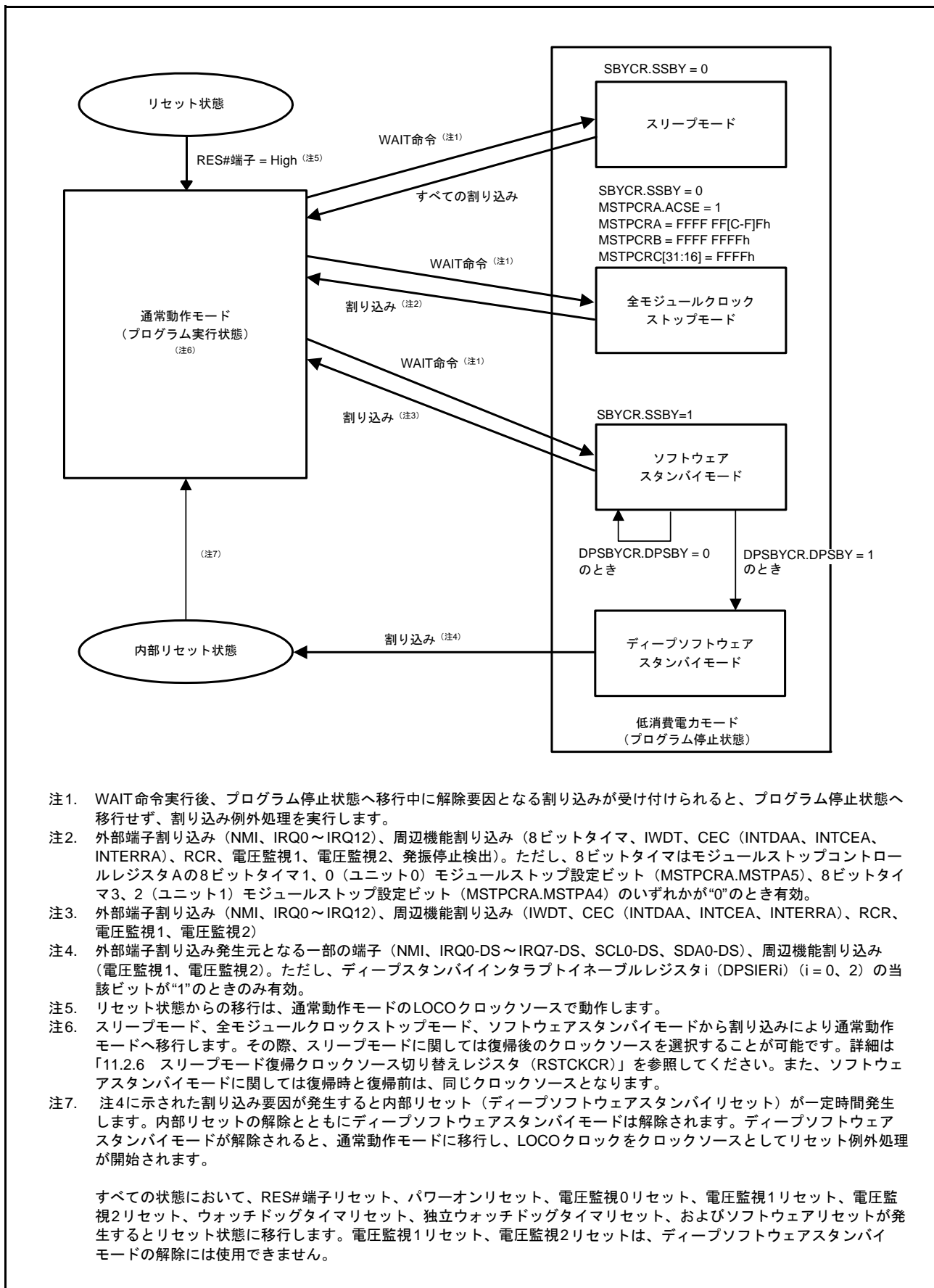


図 11.1 モード遷移

11.2 レジスタの説明

11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	OPE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	OPE	出力ポート許可ビット	0: ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス 1: ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持	R/W
b15	SSBY	ソフトウェアスタンバイビット	0: WAIT 命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1: WAIT 命令実行後、ソフトウェアスタンバイモードに移行	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

OPE ビット（出力ポート許可ビット）

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時に、アドレスバス、バス制御信号（CS0# ~ CS3#、RD#、WR0#、WR1#、WR#、BC0#、BC1#、ALE）の出力を保持するか、ハイインピーダンスにするかを選択します。

SSBY ビット（ソフトウェアスタンバイビット）

WAIT 命令実行後の移行先を設定します。

SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードへ移行します。

なお、割り込みによってソフトウェアスタンバイモードが解除され通常モードに移行したときは、SSBY ビットは“1”のままです。SSBY ビットを“0”にするときは“0”を書いてください。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット（OSTDCR.OSTDE）が“1”のときは、SSBY ビットに設定された値は無効になります。SSBY ビットが“1”のときも、WAIT 命令実行後は、スリープモードまたは全モジュールクロックストップモードに移行します。

11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス 0008 0010h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
ACSE	—	MSTPA 29	MSTPA 28	MSTPA 27	—	—	MSTPA 24	—	—	—	—	MSTPA1 9	—	MSTPA 17	—
リセット後の値	0	1	0	0	0	1	1	0	1	1	1	1	1	1	1
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MSTPA1 5	MSTPA1 4	MSTPA1 3	—	MSTPA1 1	—	MSTPA 9	—	—	—	MSTPA5	MSTPA4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPA4	8ビットタイマ3、2 (ユニット1) モジュールストップ設定ビット	対象モジュール：TMR3、TMR2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPA5	8ビットタイマ1、0 (ユニット0) モジュールストップ設定ビット	対象モジュール：TMR1、TMR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPA9	マルチファンクションタイマパルスユニット2モジュールストップ設定ビット	対象モジュール：MTU (MTU0～MTU5) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b11	MSTPA11	プログラマブルパルスジェネレータ (ユニット0) モジュールストップ設定ビット	対象モジュール：PPG0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b12	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b13	MSTPA13	16ビットタイマパルスユニット0 (ユニット0) モジュールストップ設定ビット	対象モジュール：TPUユニット0 (TPU0～TPU5) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14	MSTPA14	コンペアマッチタイマ (ユニット1) モジュールストップ設定ビット	対象モジュール：CMTユニット1 (CMT2、CMT3) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPA15	コンペアマッチタイマ (ユニット0) モジュールストップ設定ビット	対象モジュール：CMTユニット0 (CMT0、CMT1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPA17	12ビットA/Dコンバータモジュールストップ設定ビット	対象モジュール：S12AD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPA19	D/Aコンバータモジュールストップ設定ビット	対象モジュール：DA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b23-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b24	MSTPA24	12ビットA/Dコンバータ制御部モジュールストップ設定ビット	対象モジュール：S12AD制御部 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26- b25	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b27	MSTPA27	モジュールストップA27設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W

ビット	シンボル	ビット名	機能	R/W
b28	MSTPA28	DMAコントローラ/データ転送ファ コントローラモジュールストップ設定 ビット	対象モジュール：DMAC/DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPA29	モジュールストップA29設定ビット	読み出し、書き込みともに有効です。全モジュールク ロックストップモードへ移行させる場合は、本ビット に“1”を書き込んでおく必要があります	R/W
b30	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	ACSE	全モジュールクロックストップモード許 可ビット	0：全モジュールクロックストップモード禁止 1：全モジュールクロックストップモード許可	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

ACSE ビット（全モジュールクロックストップモード許可ビット）

ACSE ビットにて、全モジュールクロックストップモードへの移行の許可または禁止を設定します。ACSE ビットを“1”にして、SBYCR.SSBY ビット、MSTPCRA、MSTPCRB、MSTPCRC レジスタが所定の条件を満たした状態で、CPU が WAIT 命令を実行した場合、全モジュールクロックストップモードに移行します。詳細は「11.6.2 全モジュールクロックストップモード」を参照してください。

8 ビットタイマは、MSTPA5、MSTPA 4 ビットの設定によって、動作 / 停止を選択することができます。SBYCR.SSBY = 0 で、MSTPCRA.ACSE = 0 の場合は WAIT 命令実行後、スリープモードに移行します。

11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB 31	MSTPB 30	MSTPB 29	MSTPB 28	MSTPB 27	MSTPB 26	MSTPB 25	MSTPB 24	MSTPB 23	—	MSTPB 21	MSTPB 20	—	—	MSTPB 17	MSTPB 16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MSTPB 9	—	—	MSTPB 6	—	MSTPB 4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPB4	シリアルコミュニケーションインタフェース SCIf モジュールストップ設定ビット	対象モジュール：SCIf (SCI12) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	MSTPB6	DOC モジュールストップ設定ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPB9	ELC モジュールストップ設定ビット	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b16	MSTPB16	シリアルペリフェラルインタフェース1 モジュールストップ設定ビット	対象モジュール：RSPI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17	MSTPB17	シリアルペリフェラルインタフェース0 モジュールストップ設定ビット	対象モジュール：RSPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b19-b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b20	MSTPB20	I ² C バスインタフェース1 モジュールストップ設定ビット	対象モジュール：RIIC1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b21	MSTPB21	I ² C バスインタフェース0 モジュールストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPB23	CRC 演算器モジュールストップ設定ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	MSTPB24	シリアルコミュニケーションインタフェース7 モジュールストップ設定ビット	対象モジュール：SCI7 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25	MSTPB25	シリアルコミュニケーションインタフェース6 モジュールストップ設定ビット	対象モジュール：SCI6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPB26	シリアルコミュニケーションインタフェース5 モジュールストップ設定ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b27	MSTPB27	シリアルコミュニケーションインタフェース4モジュールストップ設定ビット	対象モジュール：SCI4 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b28	MSTPB28	シリアルコミュニケーションインタフェース3モジュールストップ設定ビット	対象モジュール：SCI3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPB29	シリアルコミュニケーションインタフェース2モジュールストップ設定ビット	対象モジュール：SCI2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	MSTPB30	シリアルコミュニケーションインタフェース1モジュールストップ設定ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーションインタフェース0モジュールストップ設定ビット	対象モジュール：SCI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	MSTPC30	MSTPC29	MSTPC28	MSTPC27	MSTPC26	MSTPC25	MSTPC24	—	—	—	—	MSTPC19	—	—	MSTPC16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC1	MSTPC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAM0 モジュールストップ設定ビット (注1)	対象モジュール：RAM0 (0000 0000h~0000 FFFFh) 0：RAM0動作 1：RAM0停止	R/W
b1	MSTPC1	RAM1 モジュールストップ設定ビット (注1)	対象モジュール：RAM1 (0001 0000h~0001 FFFFh) 0：RAM1動作 1：RAM1停止	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	MSTPC16	I ² Cバスインタフェース3モジュールス トップ設定ビット	対象モジュール：R1IC3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18-b17	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPC19	クロック周波数精度測定回路モジュールス トップ設定ビット (注2)	対象モジュール：CAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b23-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b24	MSTPC24	シリアルコミュニケーションインタフェー ス11モジュールストップ設定ビット	対象モジュール：SCI11 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25	MSTPC25	シリアルコミュニケーションインタフェー ス10モジュールストップ設定ビット	対象モジュール：SCI10 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPC26	シリアルコミュニケーションインタフェー ス9モジュールストップ設定ビット	対象モジュール：SCI9 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPC27	シリアルコミュニケーションインタフェー ス8モジュールストップ設定ビット	対象モジュール：SCI8 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b28	MSTPC28	RCR1モジュールストップ設定ビット	対象モジュール：RCR1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPC29	RCR0モジュールストップ設定ビット	対象モジュール：RCR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	MSTPC30	CECモジュールストップ設定ビット	対象モジュール：CEC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. RAMアクセス中に該当するMSTPC1、MSTPC0ビットを“1”にしないでください。また、MSTPC1、MSTPC0ビットが“1”の状態、該当するRAMにアクセスしないでください。

注2. MSTPC19ビットの書き換えは、本ビットによって制御するクロックの発振が安定しているときに行ってください。本ビットを書き換えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後、そのときに発振している発振器のうち、最も遅いクロックを出力する発振器の出力クロックで2サイクル経過したのち、WAIT命令を実行してください。

11.2.5 動作電力コントロールレジスタ (OPCCR)

アドレス 0008 00A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OPCM TSF	—	OPCM[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	OPCM[2:0]	動作電力制御モード選択ビット	b2 b0 0 0 0 : 高速動作モード 1 1 0 : 低速動作モード1 1 1 1 : 低速動作モード2 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	OPCMTSF	動作電力制御モード遷移状態フラグ	<ul style="list-style-type: none"> リード時 0 : 遷移完了 1 : 遷移中 ライト時 書き込みは“0”としてください 	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

OPCCR レジスタは、通常動作モード、スリープモード、全モジュールクロックストップモード時の消費電力を低減させるためのレジスタです。

OPCCR レジスタの設定によって、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。

以下に該当する場合、OPCCR レジスタの書き換えは禁止です。

- 動作電力制御モード遷移状態フラグ (OPCMTSF) が“1”（動作電力制御モード切り替え遷移中）のとき
- フラッシュ P/E モードエントリレジスタの ROM P/E モードエントリビット i (FENTRYR.FENTRYi) が“1” (ROM P/E モード、E2 データフラッシュ P/E モード) のとき (i=0～3、D)
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

フラッシュメモリがプログラム/イレーズ (P/E) 中は、OPCCR レジスタのライトアクセスはできません。書き込みは無効になります。

動作電力制御モードへの遷移手順は、「11.5 動作電力低減機能」を参照してください。

ソフトウェアスタンバイモードから復帰した後は、高速動作モードになります。なお、WAIT 命令を実行しても、ソフトウェアスタンバイモードへの移行が完了する前に解除された場合は、WAIT 命令実行前のモードから変化しません。このことが問題になる場合は、復帰割り込み処理中で OPCCR.OPCM[2:0] ビットを“000b”にしてください。

OPCM[2:0] ビット (動作電力制御モード選択ビット)

通常動作モード、スリープモード、全モジュールクロックストップモード時の動作電力制御モードを選択します。

表 11.3 に動作電力制御モードと、動作周波数範囲、動作電圧範囲、消費電力の関係を示します。

表 11.3 動作電力制御モードと動作範囲・消費電力の関係

動作電力制御モード	OPCM[2:0]ビット	動作周波数範囲					動作電圧範囲		消費電力
		フラッシュメモリリード時				フラッシュメモリP/E時	フラッシュメモリリード時	フラッシュメモリP/E時	
		ICLK	FCLK	PCLKB	BCLK	FCLK			
高速動作モード	000b	54MHz max	32MHz max	32MHz max	54MHz max	4MHz～32MHz	3V版： 2.7V～3.6V 5V版： 4.0V～5.5V	3V版： 2.7V～3.6V 5V版： 4.0V～5.5V	大 ↓ 小
低速動作モード1	110b	1MHz max	1MHz max	1MHz max	1MHz max	P/E 不可	3V版： 2.7V～3.6V 5V版： 4.0V～5.5V	P/E 不可	
低速動作モード2	111b	32kHz～125kHz	32kHz～125kHz	125kHz max	125kHz max	P/E 不可	3V版： 2.7V～3.6V 5V版： 4.0V～5.5V	P/E 不可	

各動作電力制御モードについて以下に説明します。

● 高速動作モード

高速動作可能なモードです。

フラッシュメモリ（FLASH）リード時の最大動作周波数は、ICLK、BCLK が 54MHz、FCLK、PCLKB が 32MHz です。フラッシュメモリプログラム/イレーズ（P/E）時の FCLK は、4MHz～32MHz での動作が可能です。動作電圧範囲は、フラッシュメモリリード時、P/E 時とも 3V 版が 2.7V～3.6V、5V 版が 4.0V～5.5V です。

リセット解除後は、本モードで起動します。

● 低速動作モード1

低速動作向けに消費電力を低減したモードです。

フラッシュメモリリード時の最大動作周波数は、ICLK、FCLK、PCLKB、BCLK とも 1MHz です。動作電圧範囲は、3V 版が 2.7V～3.6V、5V 版が 4.0V～5.5V です。

低速動作モード1では、フラッシュメモリのP/E動作はできません。また、PLLCR2.PLLEN ビットを“0”（PLL 動作）にする書き込みは禁止です。

同条件（動作周波数、動作電圧）で同じ動作をさせる場合、高速動作モードよりも消費電力を低減できます。

● 低速動作モード2

低速動作モード1よりも低速動作向けに消費電力を低減したモードです。

フラッシュメモリリード時の最大動作周波数は、ICLK、FCLK、PCLKB、BCLK とも 125kHz です。ICLK、FCLK の最小動作周波数は 32kHz です。動作電圧範囲は、3V 版が 2.7V～3.6V、5V 版が 4.0V～5.5V です。

低速動作モード2 選択時には下記の制限事項があります。

- フラッシュメモリの P/E 動作は禁止です。
- データフラッシュの読み出しは禁止です。
- PLL は使用禁止です。
- メインクロック発振器の発振停止検出機能は使用禁止です。
- ELC でのクロックソース切替機能は使用禁止です。

同条件（動作周波数、動作電圧）で同じ動作をさせる場合、低速動作モード1よりも消費電力を低減できます。

PLL コントロールレジスタ2のPLL 停止制御ビット（PLLCR2.PLEN）が“0”（PLL 動作）のとき、OPCM[2:0] ビットに“110b”（低速動作モード1）および“111b”（低速動作モード2）を書くことはできません。

OPCMTSF フラグ（動作電力制御モード遷移状態フラグ）

動作電力制御モード切り替え時の切り替え制御状態を表します。

動作電力制御モード変更の書き込みを行うと、OPCMTSF フラグが“1”になり、変更後の動作電力制御モードへの遷移が完了すると“0”になります。OPCMTSF フラグが“0”（動作電力制御モード遷移完了）を確認してから次の処理を行ってください。

11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)

アドレス 0008 00A1h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTCK EN	—	—	—	—	RSTCKSEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RSTCKSEL[2:0]	スリープモード復帰クロックソース 選択ビット	b2 b0 0 1 0 : メインクロック発振器選択 RSTCKENビットが“1”のとき、上記以外は設定しないで ください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RSTCKEN	スリープモード復帰クロックソース 切り替え許可ビット	0 : スリープモード解除時クロックソース切り替え無効 1 : スリープモード解除時クロックソース切り替え有効	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

RSTCKCR レジスタは、スリープモード解除時のクロックソース切り替えの制御を行うレジスタです。

RSTCKCR レジスタの設定によってスリープモードから復帰する場合、復帰するクロックソースに対応したメインクロック発振器コントロールレジスタのメインクロック停止ビット (MOSCCR.MOSTP) は、自動的に動作状態に書き換えられます。また、RSTCKSEL[2:0] ビットの値が自動的にシステムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) にリロードされます。

スリープモード解除時クロックソース切り替え有効 (RSTCKCR.RSTCKEN ビットが“1”)、かつ動作電力制御モード選択ビット (OPCCR.OPCM[2:0]) を低速動作モード1 (“110b”)、または低速動作モード2 (“111b”) に設定した状態でスリープモードから復帰する場合は、OPCCR.OPCM[2:0] ビットは自動的に高速モード (“000b”) に切り替えられます。

スリープモード復帰時クロックソース切り替え機能と、ELC によるクロックソース切り替え機能とを同時に使用することは禁止です。

スリープモード復帰時クロックソース切り替え機能を有効にする場合、ELC によるクロックソース切り替え機能が無効の状態では RSTCKEN ビットを“1”にしてください。また、ELC によるクロックソース切り替え機能を有効にする場合、RSTCKEN ビットが“0”の状態では有効にしてください。

RSTCKSEL[2:0] ビット (スリープモード復帰クロックソース選択ビット)

スリープモード解除時のクロックソースを選択します。

RSTCKSEL[2:0] ビットでのクロックソース選択は、RSTCKEN ビットが“1”の場合のみ有効です。

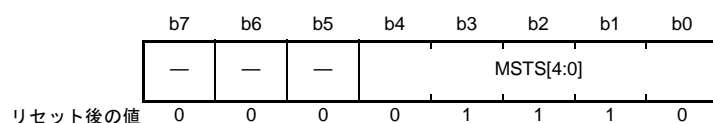
RSTCKEN ビット (スリープモード復帰クロックソース切り替え許可ビット)

スリープモード解除時のクロックソース切り替えの有効/無効を制御します。

スリープモード解除時にクロックソースの切り替えを行うのは、スリープモード移行時のクロックとして LOCO を選択している場合のみとしてください。メインクロック、PLL をクロックソースに選択している状態でスリープモードに移行する場合には、RSTCKEN ビットを“1”にしないでください。

11.2.7 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス 0008 00A2h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MSTS[4:0]	メインクロック発振器ウェイト時間設定ビット	b4 b0 0 0 0 0 0 : 待機時間=2サイクル 0 0 0 0 1 : 待機時間=4サイクル 0 0 0 1 0 : 待機時間=8サイクル 0 0 0 1 1 : 待機時間=16サイクル 0 0 1 0 0 : 待機時間=32サイクル 0 0 1 0 1 : 待機時間=64サイクル 0 0 1 1 0 : 待機時間=512サイクル 0 0 1 1 1 : 待機時間=1024サイクル 0 1 0 0 0 : 待機時間=2048サイクル 0 1 0 0 1 : 待機時間=4096サイクル 0 1 0 1 0 : 待機時間=16384サイクル 0 1 0 1 1 : 待機時間=32768サイクル 0 1 1 0 0 : 待機時間=65536サイクル 0 1 1 0 1 : 待機時間=131072サイクル 0 1 1 1 0 : 待機時間=262144サイクル 0 1 1 1 1 : 待機時間=524288サイクル 上記以外は設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

MOSCWTCR レジスタは、メインクロック発振器の出力を内部回路に供給するまでの待機時間を制御するレジスタです。MOSCWTCR レジスタで設定したサイクル数+16384 サイクル分メインクロックをカウントした後、MCU 内部へのメインクロック供給が開始されます。

MSTS[4:0] ビットは、待機時間がメインクロック発振安定時間 (t_{MAINOSC}) 以上になるように設定してください。

メインクロックの発振を開始させた後は、メインクロック発振安定待機時間 ($t_{\text{MAINOSCWT}}$) を経過するまで待つから、メインクロックを使用してください。メインクロック発振安定待機時間は表 41.18 を参照してください。

メインクロック発振器に外部クロックを入力している場合は、待機時間は必要ありません。

MOSCWTCR レジスタは、MOSCCR.MOSTP ビットが“1”のときのみ書き換え可能です。それ以外では書き換えしないでください。

例：発振周波数が 12MHz で、発振安定時間が 10ms (= 10000 μ s) の水晶振動子を使用する場合

$$\text{待機時間} \geq t_{\text{MAINOSC}} \times f_{\text{MAIN}} = 10000[\mu\text{s}] \times 12[\text{MHz}] = 120000[\text{サイクル}]$$

より、MSTS[4:0] ビットには“01101b” (131072 サイクル) を設定してください。

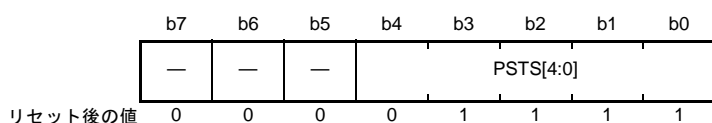
このときのメインクロック発振安定待機時間は、表 41.18 記載の式より、

$$\begin{aligned} t_{\text{MAINOSCWT}} &= t_{\text{MAINOSC}} + \frac{n+16384}{f_{\text{MAIN}}} \\ &= 10000[\mu\text{s}] + \frac{131072[\text{サイクル}] + 16384}{12[\text{MHz}]} \\ &= 22288[\mu\text{s}] \end{aligned}$$

と計算できますから、発振開始からメインクロックが使用できるまでに、22288 μ s 以上待つ必要があることがわかります。

11.2.8 PLL ウェイトコントロールレジスタ (PLLWTCR)

アドレス 0008 00A6h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSTS[4:0]	PLL ウェイト時間設定ビット	b4 b0 0 0 0 0 0 : 待機時間 = 16 サイクル 0 0 0 0 1 : 待機時間 = 32 サイクル 0 0 0 1 0 : 待機時間 = 64 サイクル 0 0 0 1 1 : 待機時間 = 512 サイクル 0 0 1 0 0 : 待機時間 = 1024 サイクル 0 0 1 0 1 : 待機時間 = 2048 サイクル 0 0 1 1 0 : 待機時間 = 4096 サイクル 0 0 1 1 1 : 待機時間 = 16384 サイクル 0 1 0 0 0 : 待機時間 = 32768 サイクル 0 1 0 0 1 : 待機時間 = 65536 サイクル 0 1 0 1 0 : 待機時間 = 131072 サイクル 0 1 0 1 1 : 待機時間 = 262144 サイクル 0 1 1 0 0 : 待機時間 = 524288 サイクル 0 1 1 0 1 : 待機時間 = 1048576 サイクル 0 1 1 1 0 : 待機時間 = 2097152 サイクル 0 1 1 1 1 : 待機時間 = 4194304 サイクル 上記以外は設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

PLLWTCR レジスタは、PLL の出力を内部回路に供給するまでの待機時間を制御するレジスタです。PLLWTCR レジスタで設定したサイクル数 +131072 サイクル分 PLL クロックをカウントした後、MCU 内部への PLL クロック供給が開始されます。

PSTS[4:0] ビットは、待機時間が PLL クロック発振安定時間 (t_{PLL1}、t_{PLL2}) 以上になるように設定してください。

PLL の発振を開始させた後は、PLL クロック発振安定待機時間 (t_{PLLWT1}、t_{PLLWT2}) を経過するまで待つてから、PLL クロックを使用してください。PLL クロック発振安定待機時間は表 41.18 を参照してください。

PLLWTCR レジスタは、PLL_{CR2}.PLEN ビットが“1”（PLL 停止）のときのみ書き換え可能です。それ以外では書き換えしないでください。

例：発振周波数が 12MHz で、発振安定時間が 10ms (= 10000μs) の水晶振動子を使用し、PLL の発振周波数を 200MHz にする場合

- メインクロックの発振が安定した後に PLL を動作させる場合

$$\text{待機時間} \geq t_{\text{PLL1}} \times f_{\text{PLL}} = 500[\mu\text{s}] \times 200[\text{MHz}] = 100000[\text{サイクル}]$$

から、PSTS[4:0] ビットには“01010b”（131072 サイクル）を設定してください。

このときの PLL クロック発振安定待機時間は、表 41.18 記載の式より、

$$\begin{aligned}
 t_{\text{PLLWT1}} &= t_{\text{PLL1}} + \frac{n + 131072}{f_{\text{PLL}}} \\
 &= 500[\mu\text{s}] + \frac{131072[\text{サイクル}] + 131072}{200[\text{MHz}]} \\
 &= 1810.72[\mu\text{s}]
 \end{aligned}$$

と計算できますから、発振開始から PLL クロックが使用できるまでに、約 1811 μ s 以上待つ必要があることがわかります。

- メインクロックの発振が安定する前に PLL を動作させる場合

$$\text{待機時間} \geq (t_{\text{MAINOSC}} + t_{\text{PLL1}}) \times t_{\text{PLL}} = (10000[\mu\text{s}] + 500[\mu\text{s}]) \times 200[\text{MHz}] = 2100000[\text{サイクル}]$$

から、PSTS[4:0] ビットには“01111b” (4194304 サイクル) を設定してください。

このときの PLL クロック発振安定待機時間は、表 41.18 記載の式より、

$$\begin{aligned} t_{\text{PLLWT2}} &= t_{\text{PLL2}} + \frac{n + 131072}{f_{\text{PLL}}} \\ &= t_{\text{MAINOSC}} + t_{\text{PLL1}} + \frac{n + 131072}{f_{\text{PLL}}} \\ &= 10000[\mu\text{s}] + 500[\mu\text{s}] + \frac{4194304[\text{サイクル}] + 131072}{200[\text{MHz}]} \\ &= 32126.88[\mu\text{s}] \end{aligned}$$

と計算できますから、発振開始から PLL クロックが使用できるまでに、約 32.13ms 以上待つ必要があることがわかります。

11.2.9 ディープスタンバイコントロールレジスタ (DPSBYCR)

アドレス 0008 C280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSBY	IOKEEP P	—	—	—	—	DEEPCUT [1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	DEEPCUT [1:0]	ディープカット ビット	b1 b0 0 0 : ディープソフトウェアスタンバイモード時、RAM (RAM0 (注1)) に電源を供給する 0 1 : ディープソフトウェアスタンバイモード時、RAM (RAM0 (注1)) に電源を供給しない 1 0 : 設定しないでください 1 1 : ディープソフトウェアスタンバイモード時、RAM (RAM0 (注1)) に電源を供給しない。また、LVDを停止し、パワーオンリセット回路の低消費電力機能を有効にする	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	IOKEEP	I/Oポート保持 ビット	0 : ディープソフトウェアスタンバイモードの解除と同時にI/Oポートの保持を解除 1 : ディープソフトウェアスタンバイモード解除後もI/Oポートの状態を保持する。その後IOKEEPビットへの“0”を書くとI/Oポートの保持を解除	R/W
b7	DPSBY	ディープソフト ウェアスタンバイ ビット	SSBY b7 0 0 : WAIT命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 0 1 : WAIT命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1 0 : WAIT命令実行後、ソフトウェアスタンバイモードに移行 1 1 : WAIT命令実行後、ディープソフトウェアスタンバイモードに移行	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. RAMのアドレス空間については、表11.2を参照してください。

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

DEEPCUT [1:0] ビット (ディープカットビット)

RAM に供給する内部電源をディープソフトウェアスタンバイモード時に制御します。また、ディープソフトウェアスタンバイモード時の LVD、パワーオンリセット回路の状態を制御します。

RAM0 の内部電源は、DEEPCUT[1:0] ビットで制御可能です。

ディープソフトウェアスタンバイモード時に LVD を使用する場合は、DEEPCUT[1:0] ビットを“00b”または“01b”にしてください。低消費電力化のため、LVD を停止させ、パワーオンリセット回路の低消費電力機能を有効にする場合は、DEEPCUT[1:0] ビットを“11b”にしてください。

RAM1 の内部電源は、DEEPCUT[1:0] ビットの設定にかかわらず、ディープソフトウェアスタンバイモード時に停止します。

IOKEEP ビット (I/O ポート保持ビット)

ディープソフトウェアスタンバイモード時、I/O ポートはソフトウェアスタンバイモードと同じ状態を保持します。IOKEEP ビットは、ディープソフトウェアスタンバイモード時に保持した I/O ポートの状態をディープソフトウェアスタンバイモード解除後も保持し続けるか、解除するかを選択します。

DPSBY ビット (ディープソフトウェアスタンバイビット)

ディープソフトウェアスタンバイモードへの移行を制御します。

SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”の状態、WAIT 命令を実行するとソフトウェアスタンバイモードを経由してディープソフトウェアスタンバイモードへ移行します。

外部割り込み発生元となる一部の端子 (NMI、IRQ0-DS ~ IRQ7-DS、SCL0-DS、SDA0-DS)、周辺機能割り込み (電圧監視 1、電圧監視 2) によってディープソフトウェアスタンバイモードを解除したときは、DPSBY ビットは“1”のままです。“0”にするときは、“0”を書いてください。

IWDT がオートスタートモードかつ OFS0.IWDTSLCSTP ビットが“0” (カウント継続)、またはレジスタスタートモードかつ IWDTCSTPR.SLCSTP ビットが“0”のときは、DPSBY ビットに設定された値は無効になります。この場合、SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”であっても、WAIT 命令実行後は、ソフトウェアスタンバイモードに移行します。

また、電圧監視 1 回路モードに電圧監視 1 リセットを選択しているとき (LVD1CR0.LVD1RI = 1)、あるいは電圧監視 2 回路モードに電圧監視 2 リセットを選択しているとき (LVD2CR0.LVD2RI = 1) は、DPSBY ビットに設定された値は無効になります。この場合、SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”であっても、WAIT 命令実行後は、ソフトウェアスタンバイモードに移行します。

11.2.10 ディープスタンバイインタラプティネーブルレジスタ 0 (DPSIER0)

アドレス 0008 C282h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7 E	DIRQ6 E	DIRQ5 E	DIRQ4 E	DIRQ3 E	DIRQ2 E	DIRQ1 E	DIRQ0 E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0E	IRQ0-DS 端子許可ビット	0 : IRQ0-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ0-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DIRQ1E	IRQ1-DS 端子許可ビット	0 : IRQ1-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ1-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b2	DIRQ2E	IRQ2-DS 端子許可ビット	0 : IRQ2-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ2-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b3	DIRQ3E	IRQ3-DS 端子許可ビット	0 : IRQ3-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ3-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b4	DIRQ4E	IRQ4-DS 端子許可ビット	0 : IRQ4-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ4-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b5	DIRQ5E	IRQ5-DS 端子許可ビット	0 : IRQ5-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ5-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b6	DIRQ6E	IRQ6-DS 端子許可ビット	0 : IRQ6-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ6-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b7	DIRQ7E	IRQ7-DS 端子許可ビット	0 : IRQ7-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ7-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

DPSIER0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

なお、DPSIER0 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR0 レジスタが“1”になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR0 レジスタを“0”にしてください。

また、DPSIER0 レジスタが“0”であっても、ディープソフトウェアスタンバイモードに移行する際、端子の状態によっては内部的に立ち上がりエッジが発生し、DPSIFR0 レジスタが“1”になる場合があります。ただし、DPSIEGR0 レジスタが“0”に設定されている場合は、立ち上がりエッジを検出しないため、DPSIFR0 レジスタは“1”になりません。

11.2.11 ディープスタンバイインタラプトイネーブルレジスタ 2 (DPSIER2)

アドレス 0008 C284h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DRIICC IE	DRIICD IE	DNMIE	—	—	DLVD2I E	DLVD1I E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IE	LVD1ディープスタンバイ解除信号許可ビット	0: 電圧監視1信号によるディープソフトウェアスタンバイモード解除を禁止 1: 電圧監視1信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DLVD2IE	LVD2ディープスタンバイ解除信号許可ビット	0: 電圧監視2信号によるディープソフトウェアスタンバイモード解除を禁止 1: 電圧監視2信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DNMIE	NMI端子許可ビット	0: NMI端子によるディープソフトウェアスタンバイモード解除を禁止 1: NMI端子によるディープソフトウェアスタンバイモード解除を許可	R/W (注1)
b5	DRIICDIE	SDA0-DSディープスタンバイ解除信号許可ビット	0: SDA0-DS信号によるディープソフトウェアスタンバイモード解除を禁止 1: SDA0-DS信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b6	DRIICDIE	SCL0-DSディープスタンバイ解除信号許可ビット	0: SCL0-DS信号によるディープソフトウェアスタンバイモード解除を禁止 1: SCL0-DS信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. 一度だけ“1”を書くことができます。以後のライトアクセスは無効です。

DPSIER2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

なお、DPSIER2 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR2 レジスタが“1”になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR2 レジスタを“0”にしてください。

また、DPSIER2 レジスタが“0”であっても、ディープソフトウェアスタンバイモードに移行する際、端子の状態によっては内部的に立ち上がりエッジが発生し、DPSIFR2 レジスタが“1”になる場合があります。ただし、DPSIEGR2 レジスタが“0”に設定されている場合は、立ち上がりエッジを検出しないため、DPSIFR2 レジスタは“1”になりません。

11.2.12 ディープスタンバイインタラプトフラグレジスタ 0 (DPSIFR0)

アドレス 0008 C286h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7	DIRQ6	DIRQ5	DIRQ4	DIRQ3	DIRQ2	DIRQ1	DIRQ0
	F	F	F	F	F	F	F	F
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0F	IRQ0-DS 端子ディープスタンバイ解除フラグ	0 : IRQ0-DS 端子による解除要求の発生なし 1 : IRQ0-DS 端子による解除要求の発生あり	R/(W) (注1)
b1	DIRQ1F	IRQ1-DS 端子ディープスタンバイ解除フラグ	0 : IRQ1-DS 端子による解除要求の発生なし 1 : IRQ1-DS 端子による解除要求の発生あり	R/(W) (注1)
b2	DIRQ2F	IRQ2-DS 端子ディープスタンバイ解除フラグ	0 : IRQ2-DS 端子による解除要求の発生なし 1 : IRQ2-DS 端子による解除要求の発生あり	R/(W) (注1)
b3	DIRQ3F	IRQ3-DS 端子ディープスタンバイ解除フラグ	0 : IRQ3-DS 端子による解除要求の発生なし 1 : IRQ3-DS 端子による解除要求の発生あり	R/(W) (注1)
b4	DIRQ4F	IRQ4-DS 端子ディープスタンバイ解除フラグ	0 : IRQ4-DS 端子による解除要求の発生なし 1 : IRQ4-DS 端子による解除要求の発生あり	R/(W) (注1)
b5	DIRQ5F	IRQ5-DS 端子ディープスタンバイ解除フラグ	0 : IRQ5-DS 端子による解除要求の発生なし 1 : IRQ5-DS 端子による解除要求の発生あり	R/(W) (注1)
b6	DIRQ6F	IRQ6-DS 端子ディープスタンバイ解除フラグ	0 : IRQ6-DS 端子による解除要求の発生なし 1 : IRQ6-DS 端子による解除要求の発生あり	R/(W) (注1)
b7	DIRQ7F	IRQ7-DS 端子ディープスタンバイ解除フラグ	0 : IRQ7-DS 端子による解除要求の発生なし 1 : IRQ7-DS 端子による解除要求の発生あり	R/(W) (注1)

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。

DPSIEGR0 レジスタで設定した解除要求が発生したときに“1”になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば“1”になる場合があります。また、DPSIER0 レジスタの設定変更によっても“1”になる場合があります。そのため、DPSIFR0 レジスタを“00h”にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER0 レジスタの設定変更後に DPSIFR0 レジスタを“00h”にする場合は、PCLKB の 6 サイクル以上経過後、DPSIFR0 レジスタを読んだ後、“0”を書いてください。たとえば、DPSIER0 レジスタを読むことで PCLKB の 6 サイクル以上を確保することができます。

DPSIFR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

DIRQnF (IRQn ディープスタンバイ解除フラグ) (n = 0 ~ 7)

IRQn-DS 端子による解除要求が発生したことを示します。

["1" になる条件]

- DPSIEGR0 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

["0" になる条件]

- “1”を読んだ後、“0”を書いたとき

11.2.13 ディープスタンバイインタラプトフラグレジスタ 2 (DPSIFR2)

アドレス 0008 C288h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DRIICC IF	DRIICD IF	DNMIF	—	—	DLVD2I F	DLVD1I F
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IF	LVD1 ディープスタンバイ解除フラグ	0: 電圧監視1信号による解除要求の発生なし 1: 電圧監視1信号による解除要求の発生あり	R/(W) (注1)
b1	DLVD2IF	LVD2 ディープスタンバイ解除フラグ	0: 電圧監視2信号による解除要求の発生なし 1: 電圧監視2信号による解除要求の発生あり	R/(W) (注1)
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DNMIF	NMI ディープスタンバイ解除フラグ	0: NMI 端子による解除要求の発生なし 1: NMI 端子による解除要求の発生あり	R/(W) (注1)
b5	DRIICDIF	SDA0-DS ディープスタンバイ解除フラグ	0: SDA0-DS 信号による解除要求の発生なし 1: SDA0-DS 信号による解除要求の発生あり	R/(W) (注1)
b6	DRIICCIF	SCL0-DS ディープスタンバイ解除フラグ	0: SCL0-DS 信号による解除要求の発生なし 1: SCL0-DS 信号による解除要求の発生あり	R/(W) (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。

DPSIEGR2 レジスタで設定した解除要求が発生したときに“1”になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば“1”になる場合があります。また、DPSIER2 レジスタの設定変更によっても“1”になる場合があります。そのため、DPSIFR2 レジスタを“00h”にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER2 レジスタの設定変更後に DPSIFR2 レジスタを“00h”にする場合は、PCLKB の6サイクル以上経過後、DPSIFR2 レジスタを読んだ後、“0”を書いてください。たとえば、DPSIER2 レジスタを読むことで PCLKB の6サイクル以上を確保することができます。

DPSIFR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

DLVDmIF (LVDm ディープスタンバイ解除フラグ) (m = 1, 2)

電圧監視 m 信号による解除要求が発生したことを示します。

[“1”になる条件]

- DPSIEGR2 レジスタで選択した電圧監視 m 信号による解除要求が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

DNMIF (NMI ディープスタンバイ解除フラグ)

NMI 端子による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR2 レジスタで設定した NMI 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DRIICDIF (SDA0-DS ディープスタンバイ解除フラグ)

SDA0-DS の割り込み信号による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR2 レジスタで選択した SDA0-DS 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DRIICCIF (SCL0-DS ディープスタンバイ解除フラグ)

SCL0-DS の割り込み信号による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR2 レジスタで選択した SCL0-DS 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

11.2.14 ディープスタンバイインタラプトエッジレジスタ 0 (DPSIEGR0)

アドレス 0008 C28Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7 EG	DIRQ6 EG	DIRQ5 EG	DIRQ4 EG	DIRQ3 EG	DIRQ2 EG	DIRQ1 EG	DIRQ0 EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0EG	IRQ0-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b1	DIRQ1EG	IRQ1-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b2	DIRQ2EG	IRQ2-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b3	DIRQ3EG	IRQ3-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b4	DIRQ4EG	IRQ4-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b5	DIRQ5EG	IRQ5-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b6	DIRQ6EG	IRQ6-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b7	DIRQ7EG	IRQ7-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

DPSIEGR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

11.2.15 ディープスタンバイインタラプトエッジレジスタ 2 (DPSIEGR2)

アドレス 0008 C28Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DRIICC EG	DRIICD EG	DNMIE G	—	—	DLVD2 EG	DLVD1 EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1EG	LVD1エッジ選択ビット	0 : VCC < Vdet1 (下降) 検出時に解除要求を発生 1 : VCC ≥ Vdet1 (上昇) 検出時に解除要求を発生	R/W
b1	DLVD2EG	LVD2エッジ選択ビット	0 : VCC < Vdet2 (下降) 検出時に解除要求を発生 1 : VCC ≥ Vdet2 (上昇) 検出時に解除要求を発生	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DNMIEG	NMIエッジ選択ビット	0 : 立ち下がリエッジで解除要求を発生 1 : 立ち上がりエッジで解除要求を発生	R/W
b5	DRIICDEG	SDA0-DSエッジ選択ビット	0 : 立ち下がリエッジで解除要求を発生 1 : 立ち上がりエッジで解除要求を発生	R/W
b6	DRIICCEG	SCL0-DSエッジ選択ビット	0 : 立ち下がリエッジで解除要求を発生 1 : 立ち上がりエッジで解除要求を発生	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

DPSIEGR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

11.2.16 ディープスタンバイバックアップレジスタ (DPSBKRY) (y = 0 ~ 31)

アドレス 0008 C2A0h~0008 C2BFh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x

x : 不定

DPSBKRY レジスタは、ディープソフトウェアスタンバイモード中、データを退避するための 32 バイトのレジスタで、読み出し、書き込みいずれも可能です。

RAM のデータが保持されないディープソフトウェアスタンバイモードにおいても、このレジスタは保持されます。

DPSBKRY レジスタは初期化されません。電源投入直後のレジスタ値は不定となります。

11.3 クロックの切り替えによる消費電力の低減

SCKCR.FCK[3:0], ICK[3:0], BCK[3:0], PCKB[3:0] ビットを設定すると、クロック周波数が切り替わります。CPU、DMAC、DTC、ROM、RAM は、ICK[3:0] ビットで設定した動作クロックで動作します。

周辺モジュールは、PCKB[3:0] ビットで設定した動作クロックで動作します。

フラッシュインタフェースは FCK[3:0] ビットで設定した動作クロックで動作します。

外部バスクロックは、BCK[3:0] ビットで設定した動作クロックで動作します。詳細は「9. クロック発生回路」を参照してください。

11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ~ MSTPCRC レジスタに対応する MSTPmi ビット (m = A ~ C, i = 31 ~ 0) を“1”にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を継続します。対応する MSTPmi ビットを“0”にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット解除後は、DMAC、DTC、RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできませんが、モジュールストップ設定直後に書き込みを行った場合、書き込める場合がありますので注意してください。

11.5 動作電力低減機能

動作周波数、動作電圧に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、および全モジュールクロックストップモード時の消費電力を低減することができます。

11.5.1 動作電力制御モードの設定方法

動作電力制御モードの移行手順例を以下に示します。

(1) 消費電力が大きいモードから消費電力が小さいモードへ切り替える場合

例：高速動作モードから低速動作モード1への切替

(切り替え前の動作電力制御モードでの高速動作)



メインクロックから LOCO クロックへの切り替え設定 (クロックソース、分周比)



OPCCR レジスタへの書き込み



OPCCR.OPCMTSF フラグが“0”であることの確認



(切り替え後の動作電力制御モードでの低速動作)

(2) 消費電力が小さいモードから消費電力が大きいモードへ切り替える場合

例：低速動作モード2から高速動作モードへの切替

(切り替え前の動作電力制御モードでの低速動作)



OPCCR レジスタへの書き込み



OPCCR.OPCMTSF フラグが“0”であることの確認



LOCO クロックからメインクロックへの切り替え設定 (クロックソース、分周比)



(切り替え後の動作電力制御モードでの高速動作)

11.6 低消費電力状態

11.6.1 スリープモード

11.6.1.1 スリープモードへの移行

SBYCR.SSBY ビットが“0”の状態では WAIT 命令を実行すると、スリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

WDT を使用しているとき、スリープモードへ移行すると WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、スリープモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、スリープモードへ移行後も IWDT はカウントを継続します。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注1) を“0”にする。
- (2) スリープモードからの復帰に使用する割り込みの伝達先を CPU に設定する。
- (3) スリープモードからの復帰に使用する割り込みの優先レベル (注2) を、CPU の PSW.IPL[3:0] ビット (注1) よりも高く設定する。
- (4) スリープモードからの復帰に使用する割り込みの IERm.IENj ビット (注2) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令の実行 (WAIT 命令の実行により CPU の PSW.I ビット (注1) は自動的に“1”になります)。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.1.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。マスク割り込みが CPU でマスクされている場合 (割り込み優先レベルが (注1) CPU の PSW.IPL[3:0] ビット (注2) 以下に設定されている場合) には、スリープモードは解除されません。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

パワーオンリセットによって、スリープモードが解除されます。

- 電圧監視リセットによる解除

電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。

- 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、スリープモードが解除されます。ただし、スリープモード時に IWDT がカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.6.1.3 スリープモード復帰クロックソース切り替え機能

スリープモード復帰クロックソース切り替えを行うには、スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) による復帰後のクロックの設定と、各クロックのウェイトコントロールレジスタの設定が必要となります。復帰割り込みが発生すると、復帰クロックとして設定された発振器の発振安定を待った後、自動的にクロックソースを切り替え、スリープモードから復帰します。その際、クロックソース切り替えに関連するレジスタが自動的に書き換えられます。

詳細は「11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)」を参照してください。また、発振安定待ち時間の設定については、「11.2.7 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)」を参照してください。

11.6.2 全モジュールクロックストップモード

11.6.2.1 全モジュールクロックストップモードへの移行

MSTPCRA.ACSE ビットを“1”にして、かつ MSTPCRA、MSTPCRB、MSTPCRC レジスタで制御されるモジュールをモジュールストップ状態 (MSTPCRA = FFFF FF[C-F]Fh、MSTPCRB = FFFF FFFFh、MSTPCRC[31:16] = FFFFh) にしたときに、SBYCR.SSBY ビットを“0”にした状態で WAIT 命令を実行すると、バスサイクルの終了時点で 8 ビットタイマ (注1)、POE (注6)、IWDT、CEC (注2)、RCR (注2)、パワーオンリセット回路、電圧検出回路を除く全モジュールと、バスコントローラおよび I/O ポートの動作が停止して、全モジュールクロックストップモードへ移行します (注3)。

WDT を使用しているとき、全モジュールクロックストップモードへ移行すると、WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに全モジュールクロックストップモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときに全モジュールクロックストップモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、全モジュールクロックストップモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、全モジュールクロックストップモードへ移行後も IWDT はカウントを継続します。

全モジュールクロックストップモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注4) を“0”にする。
- (2) 全モジュールクロックストップモードからの復帰に使用する割り込みの伝達先を CPU に設定する。
- (3) 全モジュールクロックストップモードからの復帰に使用する割り込みの優先レベル (注5) を CPU の PSW.IPL[3:0] ビット (注4) よりも高く設定する。
- (4) 全モジュールクロックストップモードからの復帰に使用する割り込みの IERm.IENj ビット (注5) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する (WAIT 命令の実行によって CPU の PSW.I ビット (注4) は自動的に“1”になります)。

注 1. MSTPCRA.MSTPA5, MSTPA4 ビットで動作 / 停止を選択できます。

注 2. CEC、RCR は動作クロックのクロックソースがメインクロック、IWDT 専用オンチップオシレータの場合、動作します。

注 3. DTC、DMAC の動作状態によっては、全モジュールクロックストップモードに移行できない場合があります。MSTPCRA.MSTPA28 ビットを“1”にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にして、DTC、DMAC が起動していない状態で行ってください。

注 4. 詳細は「2. CPU」を参照してください。

注 5. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 6. POE 割り込みを有効に設定した状態で、全モジュールクロックストップモード中に POE 割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生フラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後に POE 割り込みが発生します。

11.6.2.2 全モジュールクロックストップモードの解除

全モジュールクロックストップモードの解除は、外部端子割り込み (NMI、IRQ0 ~ IRQ12)、周辺機能割り込み (8 ビットタイマ (注1)、IWDT (注2)、CEC (INTDAA、INTCEA、INTERRA) (注3)、RCR (注3)、電圧監視 1、電圧監視 2、発振停止検出)、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われ、例外処理を経て通常のプログラム実行状態へ遷移します。マスカブル割り込みが CPU でマスクされている場合 (割り込みの優先レベル (注4) が CPU の PSW.IPL[3:0] ビット (注5) 以下に設定されている場合)、または DTC、DMAC の起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

注 1. MSTPCRA.MSTPA5、MSTPA 4 ビットで動作 / 停止を選択できます。

注 2. 全モジュールクロックストップ時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSLSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除は出来ません。

注 3. CEC、RCR は動作クロックのクロックソースがメインクロック、IWDT 専用オンチップオシレータの場合、動作します。

注 4. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 5. 詳細は「2. CPU」を参照してください。

11.6.3 ソフトウェアスタンバイモード

11.6.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを“1”にし、DPSBYCR.DPSBY ビットを“0”にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能（注3）、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの値と RAM のデータ、内蔵周辺機能と I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンスとするか、出力状態を保持するかを、SBYCR.OPE ビットで選択できます。ソフトウェアスタンバイモードでは、発振器が停止するため、消費電力は著しく低減されます。

WAIT 命令を実行する前に DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にしてください。

WDT を使用しているとき、ソフトウェアスタンバイモードへ移行すると、発振器が停止するため WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。

また、発振器停止検出機能有効（OSTDCR.OSTDE = 1）の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、発振器停止検出機能無効（OSTDCR.OSTDE = 0）に設定後、WAIT 命令を実行してください。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット（注1）を“0”にする。
- (2) ソフトウェアスタンバイモードからの復帰に使用する割り込みの伝達先を CPU に設定する。
- (3) ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル（注2）を CPU の PSW.IPL[3:0] ビット（注1）よりも高く設定する。
- (4) ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENj ビット（注2）を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する（WAIT 命令の実行によって CPU の PSW.I ビット（注1）は自動的に“1”になります）。

注1. 詳細は、「2. CPU」を参照してください。

注2. 詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

注3. CEC、RCR は動作クロックのクロックソースがメインクロック、IWDT 専用オンチップオシレータの場合に動作可能です。

11.6.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み (NMI、IRQ0 ~ IRQ12)、周辺機能割り込み (IWDTC、CEC (INTDAA、INTCEA、INTERRA)、RCR、電圧監視 1、電圧監視 2)、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。割り込みによってソフトウェアスタンバイモードを解除した場合、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、これらすべての発振器の発振が安定するのを待ってソフトウェアスタンバイモードから復帰します。

- 割り込みによる解除

NMI、IRQ0 ~ IRQ12、IWDTC、CEC (INTDAA、INTCEA、INTERRA)、RCR、および電圧監視 1、電圧監視 2 の割り込み要求が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、MOSCWTCR.MSTS[4:0] ビット、SOSCWTCR.SSTS[4:0] ビット、PLLWTCR.PSTS[4:0] ビットで設定した各発振器の発振安定待ち時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、LSI にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されません。

- 電圧監視リセットによる解除

電源電圧の低下によって電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除されません。

- 独立ウォッチドッグタイマリセットによる解除

IWDTC のアンダフローの内部リセットによって、ソフトウェアスタンバイモードが解除されます。

ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTCSTRT = 0 かつ OFS0.IWDTCSLCSTP = 1、または OFS0.IWDTCSTRT = 1 かつ

IWDTCSTPR.SLCSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

11.6.3.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がリエッジでソフトウェアスタンバイモードに移行し、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 11.2 に示します。

この例では、ICU の IRQCRI.IRQMD[1:0] ビットが“01b”（立ち下がリエッジ）の状態、IRQn 割り込みを受け付けた後、IRQCRI.IRQMD[1:0] ビットを“10b”（立ち上がりエッジ）に設定し、SBYCR.SSBY ビットを“1”にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ（ICU）の設定も必要となります。詳細は、「14. 割り込みコントローラ（ICU）」を参照してください。

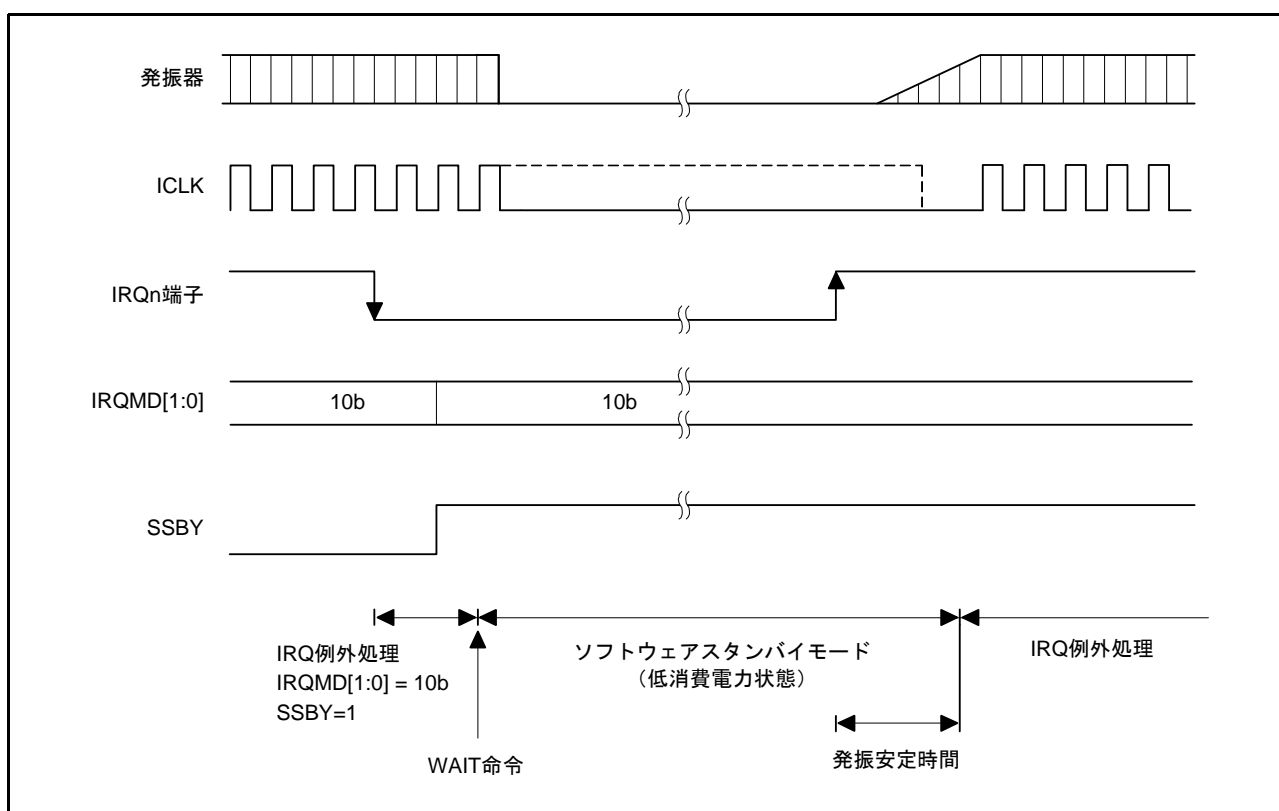


図 11.2 ソフトウェアスタンバイモードの応用例

11.6.4 ディープソフトウェアスタンバイモード

11.6.4.1 ディープソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します (注1)。このとき、DPSBYCR.DPSBY ビットが“1”なら、ディープソフトウェアスタンバイモードに移行します。

ディープソフトウェアスタンバイモードは、CPU、内蔵周辺機能 (SCL0-DS、SDA0-DS を除く)、RAM1 (注2)、および発振器のすべての機能が停止し、さらにこれらの内部電源の供給を停止しますので、消費電力は著しく低減されます。このとき、CPU、内蔵周辺機能 (SCL0-DS、SDA0-DS を除く) のレジスタ内容はすべて不定となります。RAM1 (注2) のデータは DPSBYCR.DEEPCUT[1:0] ビットの設定にかかわらず、すべて不定となります。

RAM0 (注2) のデータについては、DEEPCUT[1:0] ビットを“00b”に設定しておくことにより、保持することができます。DEEPCUT[1:0] ビットを“01b”に設定した場合は、RAM0 (注2) への内部電源の供給も停止しますので、消費電力が低減されます。このとき、RAM0 (注2) のデータは不定となります。

DEEPCUT[1:0] ビットを“11b”に設定した場合は、RAM0 (注2) への内部電源の供給停止に加え、LVD を停止し、パワーオンリセット回路の低消費電力機能を有効にしますので、消費電力がさらに低減されます。このとき、パワーオンリセット回路の電圧検知特性が変わります。詳細は、「41. 電気的特性」を参照してください。

WDT を使用しているとき、ディープソフトウェアスタンバイモードへ移行すると発振器は停止し、また WDT への電源供給が停止され、カウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ディープソフトウェアスタンバイモードへ移行すると、IWDT 専用クロック、IWDT とともに電源供給が停止され、カウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときに、ディープソフトウェアスタンバイモードへ移行すると、IWDT 専用クロック、IWDT とともに電源供給が停止され、カウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、ディープソフトウェアスタンバイモードへ移行せず、ソフトウェアスタンバイモードへ移行し、カウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ディープソフトウェアスタンバイモードへ移行せず、ソフトウェアスタンバイモードへ移行し、カウントを継続します。

また、電圧検出回路において電圧監視 1 リセットの機能 (LVD1CR0.LVD1RI=1)、または電圧監視 2 リセットの機能 (LVD2CR0.LVD2RI=1) を選択している場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合はソフトウェアスタンバイモードへ移行します。

ポートの状態は、ソフトウェアスタンバイモード時の状態を保持します。

注 1. WAIT 命令実行前に、ソフトウェアスタンバイモードへ移行する際の DTC、DMAC、IWDT に関する条件を満たしておく必要があります。詳細は、「11.6.3 ソフトウェアスタンバイモード」を参照してください。

注 2. RAM のアドレス空間は、RAM0 と RAM1 の領域に分かれています。アドレス空間は表 11.2 を参照してください。

11.6.4.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードの解除は、外部端子割り込み発生元となる一部の端子（NMI、IRQ0-DS ~ IRQ7-DS、SCL0-DS、SDA0-DS）、周辺機能割り込み（電圧監視 1、電圧監視 2）、RES# 端子リセット、パワーオンリセット、電圧監視 0 リセットによって行われます。

(1) 外部割り込み端子および内部割り込み信号による解除

ディープソフトウェアスタンバイモードの解除は、DPSIER_n (n=0, 2) レジスタと DPSIFR_n (n=0, 2) レジスタで制御されます。ディープソフトウェアスタンバイモードを解除可能な割り込み要求が発生すると、DPSIFR_n レジスタの当該フラグが“1”になります。このとき、DPSIER_n レジスタで解除要因が許可されている場合にディープソフトウェアスタンバイモードは解除されます。また、立ち上がりエッジと立ち下がりエッジの選択は、DPSIEGR_n (n=0, 2) にて設定可能です。エッジ選択可能な割り込みは、NMI、IRQ0-DS ~ IRQ7-DS、SCL0-DS、SDA0-DS、電圧監視 1、電圧監視 2 となります。

ディープソフトウェアスタンバイモードの解除要求が発生すると、内部電源の供給と LOCO クロックの発振を開始し、LSI 全体に対して内部リセット（ディープソフトウェアスタンバイリセット）を発生します。その後、安定した LOCO クロックが LSI 全体に供給され、ディープソフトウェアスタンバイリセットが解除されます。ディープソフトウェアスタンバイリセットの解除とともにディープソフトウェアスタンバイモードは解除され、リセット例外処理が開始されます。

外部割り込み端子および内部割り込み信号によってディープソフトウェアスタンバイモードが解除されると、RSTSR0.DPSRSTF フラグが“1”になります。

(2) RES# 端子による解除

RES# 端子を Low にすると、ディープソフトウェアスタンバイモードは解除されます。このとき RES# 端子は「41. 電気的特性」に従って Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

(3) パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

(4) 電圧監視 0 リセットによる解除

電源電圧の低下によって電圧監視 0 リセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

11.6.4.3 ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、I/O ポートの状態はソフトウェアスタンバイモード時の状態を保持しています。ディープソフトウェアスタンバイモードに伴う内部リセットによって、LSI 内部は初期化され、ディープソフトウェアスタンバイモードが解除されるとリセット例外処理が開始されます。このときのポートの状態を、以下に示します。

DPSBYCR.IOKEEP ビットによって、I/O ポートを初期状態とするか、ソフトウェアスタンバイモード時の I/O ポートの状態を保持するかを選択することができます。

- DPSBYCR.IOKEEP ビットが “0” のとき

ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、I/O ポートの状態は初期状態になります。

- DPSBYCR.IOKEEP ビットが “1” のとき

ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、LSI 内部は初期化されていますが、I/O ポートは LSI 内部の状態にかかわらずソフトウェアスタンバイモード時の状態を保持します。このとき、I/O ポート、周辺モジュールの設定を行っても、ソフトウェアスタンバイモード時の I/O ポートの状態を保持します。その後、IOKEEP ビットを “0” にすることによって、I/O ポートの状態保持は解除され、内部状態に応じた動作となります。

DPSBYCR.IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって初期化されません。

11.6.4.4 ディープソフトウェアスタンバイモードの応用例

IRQn-DS 端子の立ち下がりエッジでディープソフトウェアスタンバイモードに移行し、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードの解除を行う例を図 11.3 に示します。

この例では、ICU の IRQCRi.IRQMD[1:0] ビットが “01b” (立ち下がりエッジ) に設定されている状態で、IRQn 割り込みを受け付けた後、DPSIEGR0.DIRQnEG ビット (n=0~7) を “1” (立ち上がりエッジ) に設定し、SBYCR.SSBY ビットと、DPSBYCR.DPSBY ビットを “1” にした後、WAIT 命令を実行してディープソフトウェアスタンバイモードに移行しています。

その後、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

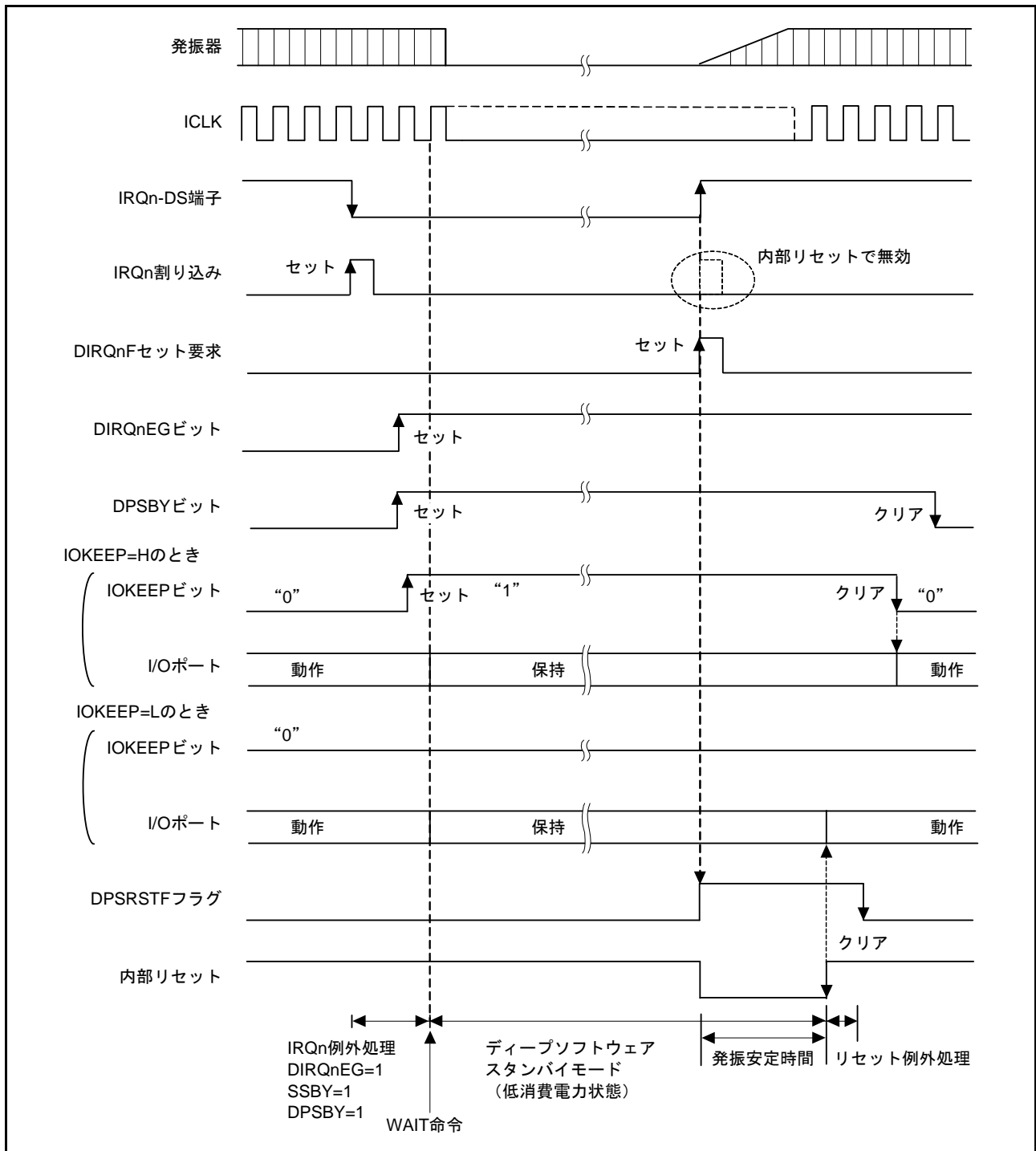


図 11.3 ディープソフトウェアスタンバイモードの応用例

11.6.4.5 ディープソフトウェアスタンバイモードのフローチャート

図 11.4 にディープソフトウェアスタンバイモードを使用する場合のフローチャートの例を示します。

この例では、リセット例外処理の後、リセット機能の RSTSR0.DPSRSTF フラグにて RES# 端子によるリセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。

RES# 端子によるリセットの場合は、各種設定後、ディープソフトウェアスタンバイモードへ移行しています。

ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で DPSBYCR.IOKEEP ビットを“0”にしています。

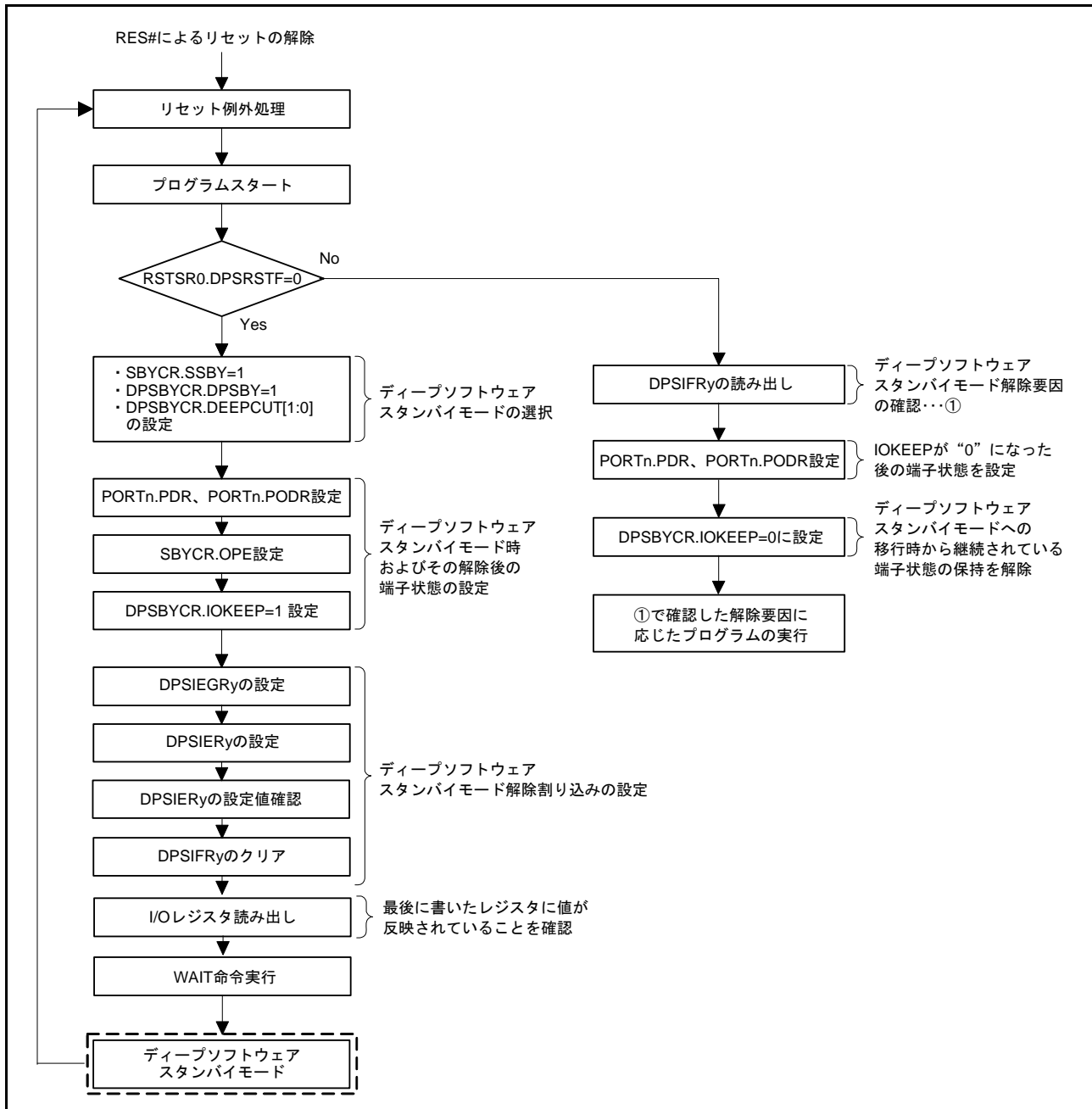


図 11.4 ディープソフトウェアスタンバイモードのフローチャート例

11.7 使用上の注意事項

11.7.1 I/O ポートの状態

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。したがって、High を出力している場合は出力電流分の消費電流は低減されません。

11.7.2 DMAC、DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを“1”にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にして、DTC、DMAC が起動していない状態にしてください。

詳細は「17. DMA コントローラ (DMACA)」、「18. データトランスファコントローラ (DTCa)」を参照してください。

11.7.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

11.7.4 MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み

MSTPCRA、MSTPCRB および MSTPCRC レジスタへの書き込みは、CPU のみで行ってください。

11.7.5 DIRQnE ビット (n = 0 ~ 7) による入力バッファ制御

DPSIER0.DIRQnE (n = 0 ~ 7) ビットを“1”にすることで、IRQ0-DS ~ IRQ7-DS 端子の入力バッファを有効にすることができます。これにより、当該端子の入力は、DPSIFR0.DIRQnF (n = 0 ~ 7) ビットに伝わりませんが、割り込みコントローラや周辺モジュール、I/O ポートには伝わりませんので注意してください。

11.7.6 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。I/O レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

11.7.7 スリープモード中の DMAC、DTC によるレジスタの書き換えについて

スリープモード中は WDT が停止します。スリープモード中に DMAC、DTC によって WDT 関連のレジスタを書き変えないでください。

スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTSTPR.SLCSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DMAC、DTC によって IWDT 関連のレジスタを書き変えないでください。

RSTCKCR レジスタはスリープモードから復帰するときにクロックソースを切り替える機能に関するレジスタです。そのため、スリープモード中に書き換えを行うと意図しない動作となる可能性がありますので、スリープモード中は RSTCKCR レジスタを書き変えないでください。

11.7.8 全モジュールクロックストップモードの解除

ICLK が PCLKB よりも遅く設定されている場合には、全モジュールクロックストップモードの解除に TMR 割り込みを使用することができません。全モジュールクロックストップモードの解除に TMR 割り込みを使用する場合は、あらかじめ ICLK を PCLKB 以上の周波数に変更してから、全モジュールクロックストップモードに移行してください。

11.7.9 ソフトウェアスタンバイモードから復帰するときの注意事項

IRQ0 ~ IRQ12 割り込みをソフトウェアスタンバイモードの解除要因として設定しない場合、ソフトウェアスタンバイモードにおいて対応する端子の入力バッファが無効となるため、LSI 内部への入力信号が High に固定されます。そのため端子の状態によっては、ソフトウェアスタンバイモードへ移行することにより、割り込みステータスフラグ (ICU.IRi.IR) が“1”になる可能性があります。

ソフトウェアスタンバイモードへの移行時には、解除要因としない IRQ0 ~ IRQ12 割り込みを IERi.IENj ビットで割り込み禁止にした上で、WAIT 命令を実行してください。また、ソフトウェアスタンバイモードからの復帰後は、割り込みステータスフラグをクリアしてください。

11.7.10 低速動作モードからソフトウェアスタンバイモードへ移行するための注意事項

ソフトウェアスタンバイモードから復帰した後は、高速動作モードになります。なお、WAIT 命令を実行しても、ソフトウェアスタンバイモードへの移行が完了する前に解除された場合は、WAIT 命令実行前のモードから変化しません。このことが問題になる場合は、復帰割り込み処理中で OPCCR.OPCM[2:0] を“000b”にしてください。

12. レジスタライトプロテクション機能

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ（PRCR）で設定します。

表 12.1 に PRCR レジスタと保護されるレジスタの対応を示します。

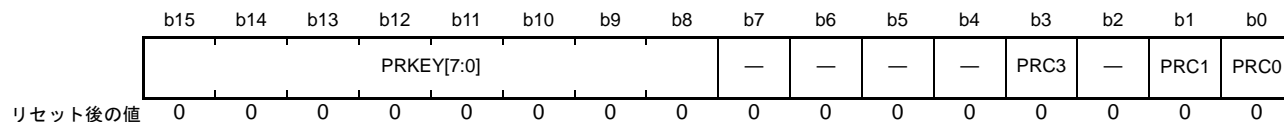
表 12.1 PRCR レジスタと保護されるレジスタの対応

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> クロック発生回路関連レジスタ SCKCR、SCKCR3、PLLCR、PLLCR2、BCKCR、MOSCCR、LOCOCR、ILOCOCR、OSTDCR、OSTDSR
PRC1 ビット	<ul style="list-style-type: none"> 動作モード関連レジスタ SYSCR0、SYSCR1 消費電力低減機能関連レジスタ SBYCR、MSTPCRA、MSTPCRB、MSTPCRC、OPCCR、RSTCKCR、MOSCWTCR、PLLWTCR、DPSBYCR、DPSIER0、DPSIER2、DPSIFR0、DPSIFR2、DPSIEGR0、DPSIEGR2 クロック発生回路関連レジスタ MOFCR ソフトウェアリセットレジスタ SWRR
PRC3 ビット	<ul style="list-style-type: none"> LVD 関連レジスタ LVCMPCR、LVDLVLR、LVD1CR0、LVD1CR1、LVD1SR、LVD2CR0、LVD2CR1、LVD2SR

12.1 レジスタの説明

12.1.1 プロテクトレジスタ (PRCR)

アドレス 0008 03FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、消費電力低減機能、ソフトウェアリセット関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCRレジスタの書き換えの可否を制御します。 PRCRレジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

PRCi ビット (プロテクトビット i) (i = 0、1、3)

保護するレジスタへの書き込み許可/禁止を選択します。

PRCi ビットが“1”のとき、保護されるレジスタへの書き込みができます。PRCi ビットが“0”のとき、レジスタへの書き込みができません。

13. 例外処理

13.1 例外事象

CPU が通常のプログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して例外事象と呼びます。

RX CPU は、8 種類の例外に対応します。図 13.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパーバイザモードに移行します。

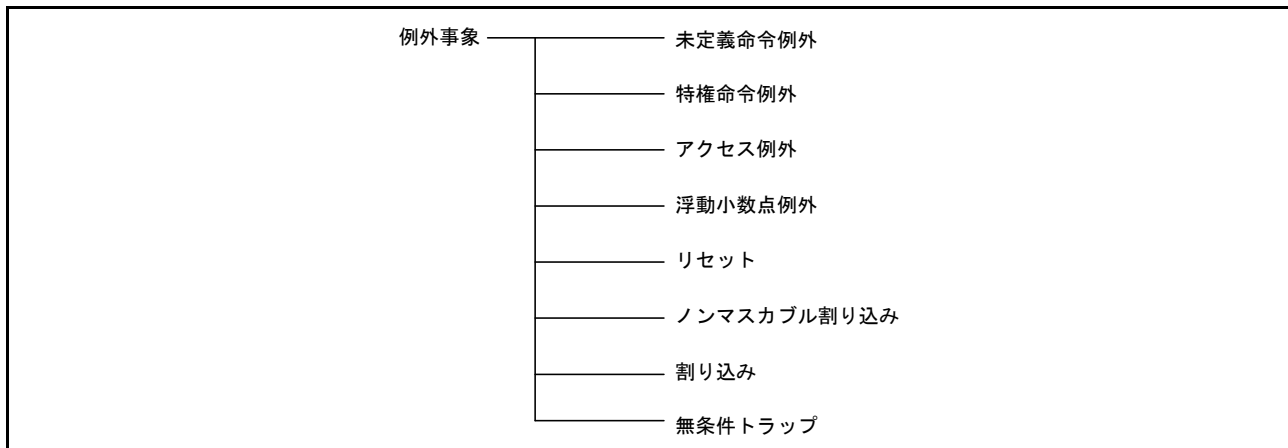


図 13.1 例外事象の種類

13.1.1 未定義命令例外

未定義命令例外は、未定義命令（実装されていない命令）の実行を検出した場合に発生します。

13.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパーバイザモードでのみ実行可能です。

13.1.3 アクセス例外

アクセス例外は、CPU からのメモリアクセスによるエラーが検出された場合に発生します。メモリプロテクションユニットが命令メモリプロテクションエラーを検出した場合には命令アクセス例外が、データメモリプロテクションエラーを検出した場合にはオペランドアクセス例外が発生します。

13.1.4 浮動小数点例外

浮動小数点例外は、IEEE754 規格で規定された 5 つの例外事象（オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算）の他、非実装処理を検出した場合に発生します。浮動小数点例外は、FPSW の EX、EU、EZ、EO、EV ビットが“0”のとき、例外処理が禁止されます。

13.1.5 リセット

CPU にリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

13.1.6 ノンマスクابل割り込み

CPUにノンマスクابل割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

13.1.7 割り込み

CPUに割り込み信号を入力することによって発生します。割り込みのうち1つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは15（最高）です。

PSWのIビットが“0”のとき、割り込みの受け付けは禁止されます。

13.1.8 無条件トラップ

INT命令、およびBRK命令を実行すると無条件トラップが発生します。

13.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム（例外処理ルーチン）によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 13.2 に示します。

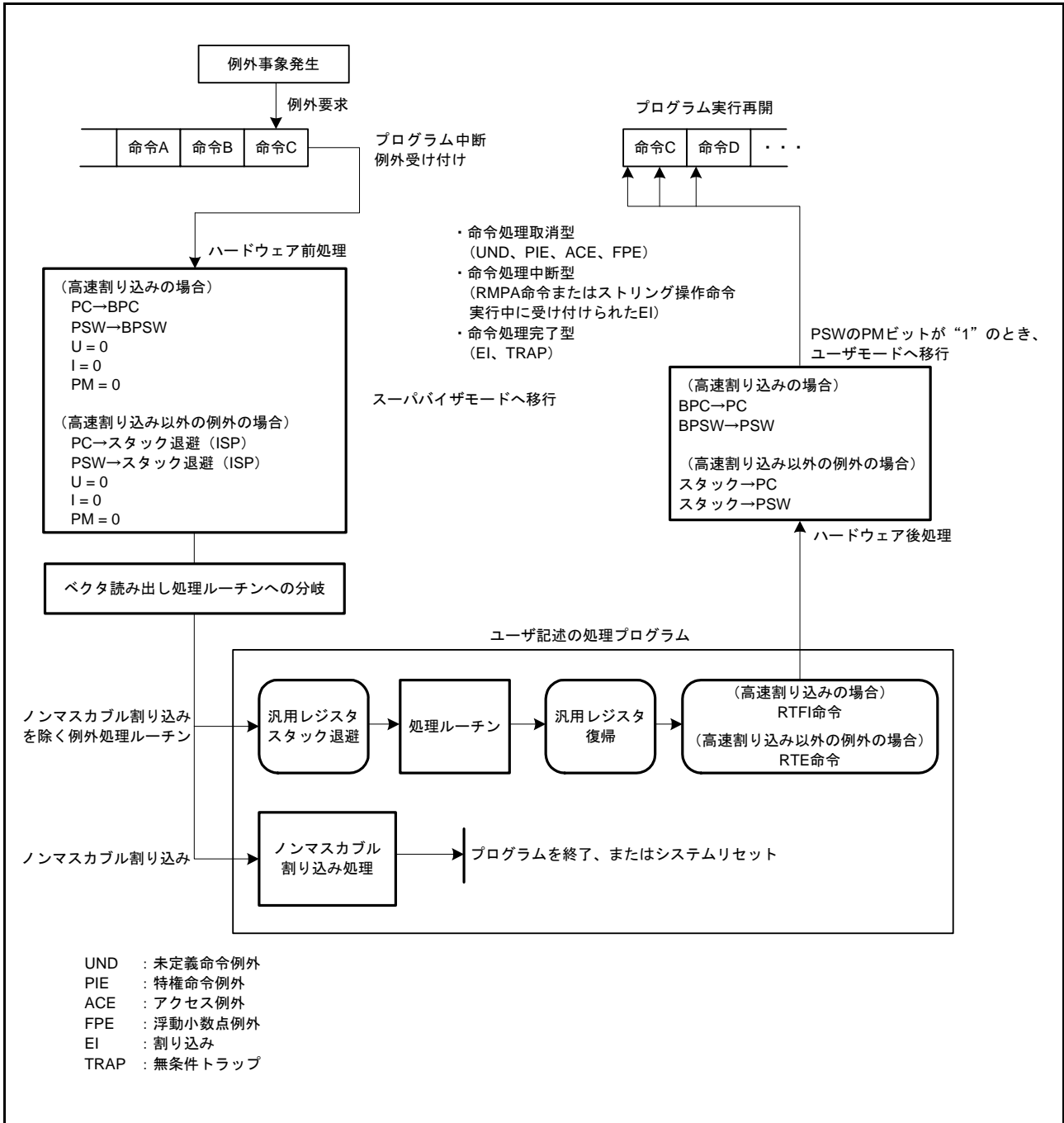


図 13.2 例外の処理手順の概要

例外が受け付けられると、RX CPU はハードウェア処理を行った後、ベクタにアクセスし、分岐先アドレスを取得します。ベクタには各例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RX CPU のハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ (PC) の内容をバックアップ PC (BPC) に、プロセッサステータスワード (PSW) の内容をバックアップ PSW (BPSW) へ退避

します。高速割り込み以外の例外では、PC、PSW をスタック領域に退避します。例外処理ルーチン中で使用する汎用レジスタ、および PC、PSW 以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによってスタックに退避してください。

例外処理ハンドラ処理完了後、スタックに退避したレジスタを復帰して RTE 命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI 命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RX CPU のハードウェア後処理では、高速割り込みの場合は BPC を PC に、また、BPSW の値を PSW に戻します。高速割り込み以外の例外では、スタック領域から PC、PSW の値を復帰します。

13.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

13.3.1 受け付けタイミングと退避される PC 値

各例外事象の受け付けタイミングと退避されるプログラムカウンタ (PC) の値を表 13.1 に示します。

表 13.1 受け付けタイミングと退避される PC 値

例外事象		処理型	受け付け タイミング	BPC / スタックに退避される PC 値
未定義命令例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
特権命令例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
アクセス例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
浮動小数点例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
リセット		命令処理放棄型	各マシンサイクル	なし
ノンマスカブル 割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令の PC 値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令の PC 値
割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令の PC 値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令の PC 値
無条件トラップ		命令処理完了型	命令の区切り	次の命令の PC 値

13.3.2 ベクタとPC、PSWの退避場所

各例外事象のベクタとプログラムカウンタ（PC）、プロセッサステータスワード（PSW）の退避場所を表13.2に示します。

表13.2 ベクタとPC、PSWの退避場所

例外事象		ベクタ	PC、PSWの退避場所
未定義命令例外		固定ベクタテーブル	スタック
特権命令例外		固定ベクタテーブル	スタック
アクセス例外		固定ベクタテーブル	スタック
浮動小数点例外		固定ベクタテーブル	スタック
リセット		固定ベクタテーブル	なし
ノンマスカブル割り込み		固定ベクタテーブル	スタック
割り込み	高速割り込み	FINTV	BPC、BPSW
	高速割り込み以外	可変ベクタテーブル（INTB）	スタック
無条件トラップ		可変ベクタテーブル（INTB）	スタック

13.4 例外の受け付け／復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

(高速割り込みの場合)

PSW → BPSW

(高速割り込み以外の例外の場合)

PSW → スタック領域

注． FPSW は、ハードウェア前処理では退避されません。浮動小数点演算命令を例外処理ルーチン内で使用する場合は、例外処理ルーチン内でユーザがスタックへ退避してください。

(b) PSW の PM、U、I ビットの更新

I : 0 にする

U : 0 にする

PM : 0 にする

(c) PC の退避

(高速割り込みの場合)

PC → BPC

(高速割り込み以外の例外の場合)

PC → スタック領域

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

(高速割り込みの場合)

BPSW → PSW

(高速割り込み以外の例外の場合)

スタック領域 → PSW

(b) PC の復帰

(高速割り込みの場合)

BPC → PC

(高速割り込み以外の例外の場合)

スタック領域 → PC

13.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

13.5.1 未定義命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. FFFFFFFDCh 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.2 特権命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. FFFFFFFD0h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.3 アクセス例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. FFFFFFFD4h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.4 浮動小数点例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. FFFFFFFE4h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.5 リセット

1. 制御を初期化します。
2. FFFFFFFFCh 番地からベクタを取得します。
3. 取得したベクタをプログラムカウンタ (PC) にセットします。

13.5.6 ノンマスカブル割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) を “Fh” にします。
5. FFFFFFF8h 番地からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.7 割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PSW (BPSW) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PC (BPC) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
5. 可変ベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.8 無条件トラップ

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
3. 次の命令のプログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. INT 命令の場合は、可変ベクタテーブルから INT 命令番号に対応したベクタを取得します。BRK 命令の場合は、可変ベクタテーブルの先頭番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で表 13.3 に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ（BPC、BPSW）に退避されていたプログラムカウンタ（PC）とプロセッサステータスワード（PSW）の内容が復帰されます。

表 13.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
アクセス例外		RTE
浮動小数点例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		復帰不可能
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

13.7 例外事象の優先順位

例外事象の優先順位を表 13.4 に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 13.4 例外事象の優先順位

優先順位	例外事象
高い ↑ 低い	1 リセット
	2 ノンマスカブル割り込み
	3 割り込み
	4 命令アクセス例外
	5 未定義命令例外 特権命令例外
	6 無条件トラップ
	7 オペランドアクセス例外
	8 浮動小数点例外

14. 割り込みコントローラ (ICUb)

14.1 概要

割り込みコントローラは、周辺モジュール、外部端子からの割り込みを受け付け、CPU への割り込みおよびDTC、DMACの起動を行います。

表 14.1 に割り込みコントローラの仕様を、図 14.1 に割り込みコントローラのブロック図を示します。

表 14.1 割り込みコントローラの仕様

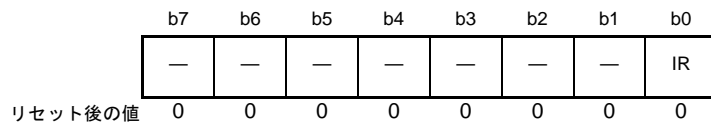
項目	内容	
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> 周辺モジュールからの割り込み 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定
	外部端子割り込み	<ul style="list-style-type: none"> IRQ0～IRQ12端子からの割り込み 要因数：13 割り込み検出：Low/立ち下がリエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 デジタルフィルタ機能：あり
	ソフトウェア割り込み	<ul style="list-style-type: none"> レジスタ書き込みによる割り込み 要因数：1
	イベントリンク割り込み	ELCイベントより、ELSR18I、ELSR19I割り込みを発生
	割り込み優先順位	レジスタにより優先順位を設定
	高速割り込み機能	CPUの割り込み処理を高速化可能。1要因にのみ設定
	DTC、DMAC制御	割り込み要因によりDTCやDMACを起動可能（注1）
ノンマスクابل 割り込み	NMI端子割り込み	<ul style="list-style-type: none"> NMI端子からの割り込み 割り込み検出：立ち下がリエッジ/立ち上がりエッジ デジタルフィルタ機能：あり
	発振停止検出割り込み	発振停止検出時の割り込み
	WDTアンダフロー/ リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	IWDTアンダフロー/ リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	電圧監視1割り込み	電圧検出回路1 (LVD1) の電圧監視割り込み
	電圧監視2割り込み	電圧検出回路2 (LVD2) の電圧監視割り込み
低消費電力状態からの復帰	<ul style="list-style-type: none"> スリープモード：ノンマスクابل割り込み、全割り込み要因で復帰 全モジュールクロックストップモード：ノンマスクابل割り込み、IRQ0～IRQ12割り込み、TMR割り込みで復帰 ソフトウェアスタンバイモード：ノンマスクابل割り込み、IRQ0～IRQ12割り込みで復帰 	

注1. DTCおよびDMACの起動要因については、「表 14.3 割り込みのベクタテーブル」を参照してください。

14.2 レジスタの説明

14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)

アドレス 0008 7010h ~ 0008 70FDh



ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ検出要因の場合、“0”のみ書けます。“1”を書かないでください。
レベル検出要因の場合、書き込みできません。

IRn レジスタは割り込み要因ごとに存在し、n は割り込みベクタ番号に対応しています。

割り込み要因と割り込みベクタ番号の対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

IR フラグ (割り込みステータスフラグ)

割り込み要求のステータスフラグです。割り込み要求が発生すると“1”になります。割り込み要求を検出するためには、周辺モジュールの割り込みイネーブルビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法は、エッジ検出とレベル検出があります。周辺モジュールからの割り込みは、要因ごとにエッジ検出/レベル検出が決まっています。IRQi 端子からの割り込みは、IRQCRi.IRQMD[1:0] ビット (i=0~12) の設定によって、エッジ検出とレベル検出が切り替わります。各要因の検出方法については、「表 14.3 割り込みのベクタテーブル」を参照してください。

(1) エッジ検出の場合

[“1”になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生すると“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

[“0”になる条件]

- 割り込み要求先が割り込み要求を受け付けると“0”になります。
- IR フラグに“0”を書くと“0”になります。ただし、割り込み要求先をDTCまたはDMACに設定している場合、IR フラグへの“0”書き込みは禁止です。

(2) レベル検出の場合

[“1”になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生している間は“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

[“0”になる条件]

- 割り込み要求の出力元をクリアすると“0”になります。(割り込み要求先が割り込み要求を受け付けても“0”になりません。) 周辺モジュールごとの割り込み要求クリアについては、各周辺モジュールの章を参照してください。

IRQi 端子をレベル検出で使用する場合に、割り込みを取り下げるには IRQi 端子を High にしてください。レベル検出時は、IR フラグへの“0”、“1”ともに書き込みは禁止です。

14.2.2 割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)

アドレス 0008 7202h ~ 0008 721Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット0	0 : 割り込み要求禁止 1 : 割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット1		R/W
b2	IEN2	割り込み要求許可ビット2		R/W
b3	IEN3	割り込み要求許可ビット3		R/W
b4	IEN4	割り込み要求許可ビット4		R/W
b5	IEN5	割り込み要求許可ビット5		R/W
b6	IEN6	割り込み要求許可ビット6		R/W
b7	IEN7	割り込み要求許可ビット7		R/W

注. 予約となっているベクタ番号に対応するビットへの書き込みは“0”としてください。読むと“0”が読み出されます。

IENj ビット (割り込み要求許可ビット) (j = 7 ~ 0)

IENj ビットが“1”のとき、割り込み要求先に割り込み要求を出力します。

IENj ビットが“0”のとき、割り込み要求先に割り込み要求を出力しません。

IRn.IR フラグは、IENj ビットの影響を受けません。IENj ビットが“0”であっても、「14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)」に示す条件で IR フラグは変化します。

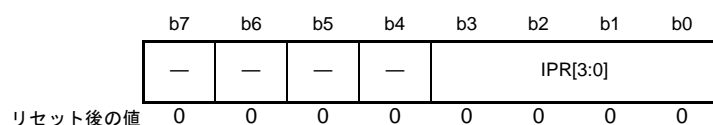
IERm.IENj ビットは、割り込み要因 (ベクタ番号) ごとに存在します。

割り込み要因と IERm.IENj ビットの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

割り込み要求先の選択における IERm.IENj ビットの設定手順は、「14.4.3 割り込み要求先の選択」を参照してください。

14.2.3 割り込み要因プライオリティレジスタ n (IPRn) (n = 000 ~ 250)

アドレス 0008 7300h ~ 0008 73FA



ビット	シンボル	ビット名	機能	R/W																																																			
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	<table border="0"> <tr> <td>b3</td> <td>b0</td> <td></td> </tr> <tr> <td>0 0 0 0</td> <td>0</td> <td>: レベル0 (割り込み禁止) (注1)</td> </tr> <tr> <td>0 0 0 1</td> <td>1</td> <td>: レベル1</td> </tr> <tr> <td>0 0 1 0</td> <td>0</td> <td>: レベル2</td> </tr> <tr> <td>0 0 1 1</td> <td>1</td> <td>: レベル3</td> </tr> <tr> <td>0 1 0 0</td> <td>0</td> <td>: レベル4</td> </tr> <tr> <td>0 1 0 1</td> <td>1</td> <td>: レベル5</td> </tr> <tr> <td>0 1 1 0</td> <td>0</td> <td>: レベル6</td> </tr> <tr> <td>0 1 1 1</td> <td>1</td> <td>: レベル7</td> </tr> <tr> <td>1 0 0 0</td> <td>0</td> <td>: レベル8</td> </tr> <tr> <td>1 0 0 1</td> <td>1</td> <td>: レベル9</td> </tr> <tr> <td>1 0 1 0</td> <td>0</td> <td>: レベル10</td> </tr> <tr> <td>1 0 1 1</td> <td>1</td> <td>: レベル11</td> </tr> <tr> <td>1 1 0 0</td> <td>0</td> <td>: レベル12</td> </tr> <tr> <td>1 1 0 1</td> <td>1</td> <td>: レベル13</td> </tr> <tr> <td>1 1 1 0</td> <td>0</td> <td>: レベル14</td> </tr> <tr> <td>1 1 1 1</td> <td>1</td> <td>: レベル15 (最高)</td> </tr> </table>	b3	b0		0 0 0 0	0	: レベル0 (割り込み禁止) (注1)	0 0 0 1	1	: レベル1	0 0 1 0	0	: レベル2	0 0 1 1	1	: レベル3	0 1 0 0	0	: レベル4	0 1 0 1	1	: レベル5	0 1 1 0	0	: レベル6	0 1 1 1	1	: レベル7	1 0 0 0	0	: レベル8	1 0 0 1	1	: レベル9	1 0 1 0	0	: レベル10	1 0 1 1	1	: レベル11	1 1 0 0	0	: レベル12	1 1 0 1	1	: レベル13	1 1 1 0	0	: レベル14	1 1 1 1	1	: レベル15 (最高)	R/W
b3	b0																																																						
0 0 0 0	0	: レベル0 (割り込み禁止) (注1)																																																					
0 0 0 1	1	: レベル1																																																					
0 0 1 0	0	: レベル2																																																					
0 0 1 1	1	: レベル3																																																					
0 1 0 0	0	: レベル4																																																					
0 1 0 1	1	: レベル5																																																					
0 1 1 0	0	: レベル6																																																					
0 1 1 1	1	: レベル7																																																					
1 0 0 0	0	: レベル8																																																					
1 0 0 1	1	: レベル9																																																					
1 0 1 0	0	: レベル10																																																					
1 0 1 1	1	: レベル11																																																					
1 1 0 0	0	: レベル12																																																					
1 1 0 1	1	: レベル13																																																					
1 1 1 0	0	: レベル14																																																					
1 1 1 1	1	: レベル15 (最高)																																																					
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																			

注1. 高速割り込みに設定している場合は、レベル0であっても割り込みの発行が可能です。

割り込み要因と IPRn レジスタの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

IPR[3:0] ビット (割り込み優先レベル設定ビット)

対応する割り込み要因の優先レベルを選択するビットです。

IPR[3:0] ビットで選択した優先レベルは、CPU への割り込み要求の優先順位判定にのみ参照され、DTC や DMAC への起動要求には影響を与えません。

CPU は、PSW.IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみを受け付け、割り込み処理を行います。

複数の割り込み要求が同時に発生した場合、IPR[3:0] ビットの設定値で優先順位比較を行います。同一レベルの割り込み要求が同時に発生した場合には、ベクタ番号の小さい割り込み要因が優先となります。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0) した状態で行ってください。

14.2.4 高速割り込み設定レジスタ (FIR)

アドレス 0008 72F0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FIEN	—	—	—	—	—	—	—	FVCT[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みにするベクタ番号を指定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0 : 高速割り込みを禁止 1 : 高速割り込みを許可	R/W

FIR レジスタの設定による高速化の機能は、CPU への割り込みにのみ有効です。DTC や DMAC への起動要求には影響を与えません。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0) した状態で行ってください。

FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込み機能を使用する割り込みのベクタ番号を指定するビットです。

FIEN ビット (高速割り込み許可ビット)

高速割り込みを許可するビットです。

FIEN ビットを“1”にすると、FVCT[7:0] ビットに設定したベクタ番号の割り込みが高速割り込みになります。

FIEN ビットが“1”のとき、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定したベクタ番号の割り込み要求が発生すると、IPRn レジスタ の設定に関係なく、高速割り込みとして CPU に要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合には「14.6.3 ソフトウェアスタンバイモードからの復帰」を参照してください。

IERm.IENj ビット (m=02h ~ 1Fh, j=7 ~ 0) で割り込み要求が禁止されている割り込み要因は、CPU に割り込み要求が出力されません。

設定できるベクタ番号は、「表 14.3 割り込みのベクタテーブル」を参照してください。

FVCT[7:0] ビットには、予約のベクタ番号を指定しないでください。

高速割り込みの詳細は、「13. 例外処理」および「14.4.6 高速割り込み」を参照してください。

14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)

アドレス 0008 72E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読み出されます。“1”書き込みでソフトウェア割り込み要求を発行します。“0”書き込みは無効です	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

SWINT ビット (ソフトウェア割り込み起動ビット)

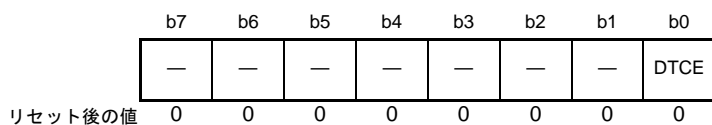
SWINT ビットに“1”を書くと、割り込み要求レジスタ 027 (IR027) が“1”になります。

DTC 起動許可レジスタ 027 (DTCER027) を“0”にして、SWINT ビットに“1”を書くと CPU への割り込みが発生します。

DTC 起動許可レジスタ 027 (DTCER027) を“1”にして、SWINT ビットに“1”を書くと DTC 起動要求を発行します。

14.2.6 DTC 起動許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)

アドレス 0008 711Bh~0008 71FCh



ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC起動許可ビット	0 : DTC 起動禁止 1 : DTC 起動許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMAC 起動要求に選択したものと同一の要因に DTC 起動許可を設定するのは禁止です。割り込み要因との対応は「表 14.3 割り込みのベクタテーブル」を参照してください。

DTCE ビット (DTC 起動許可ビット)

DTCE ビットを“1”にすると、対応する割り込み要因が DTC 起動要因として選択されます。

["1" になる条件]

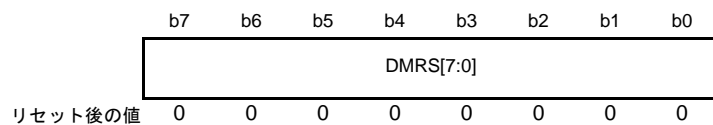
- DTCE ビットに“1”を書いたとき

["0" になる条件]

- 指定した回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき)
- DTCE ビットに“0”を書いたとき

14.2.7 DMAC 起動要求選択レジスタ m (DMRSRm) (m = DMAC チャネル番号)

アドレス DMRSR0 0008 7400h, DMRSR1 0008 7404h,
DMRSR2 0008 7408h, DMRSR3 0008 740Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	DMRS[7:0]	DMAC 起動要因選択ビット	DMAC 起動要求ベクタ番号を設定します	R/W

複数の DMRSRm レジスタに同一要因を設定するのは禁止です。DMRSRm レジスタに設定したものと同一要因に DTC 起動許可を設定するのは禁止です。これらの禁止事項に違反した場合の動作は保証されません。

DMRS[7:0] ビット (DMAC 起動要因選択ビット)

DMAC を起動する割り込み要因のベクタ番号を 8 ビットで指定します。DMAC の起動要因として割り当てられていないベクタ番号は、設定しないでください。

割り込み要因のベクタ番号は、「表 14.3 割り込みのベクタテーブル」を参照してください。

DMRSRm レジスタへの書き込みは、DMA 転送許可レジスタの DMA 転送許可ビット (DMACm.DMCNT.DTE) が“0”のときに状態で行ってください。

14.2.8 IRQ コントロールレジスタ i (IRQCRI) (i = 0 ~ 12)

アドレス 0008 7500h ~ 0008 750Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	IRQMD[1:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ 検出設定ビット	b3 b2 0 0 : Low 0 1 : 立ち下がりエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

該当する割り込み要求許可ビットが割り込み要求禁止 (IERm.IENj ビットが“0”) の状態でこのレジスタの設定変更を行ってください。レジスタ変更後は IR フラグをクリアし、その後割り込み要求許可ビットを許可に設定してください。ただし、Low に変更する場合は、IR フラグをクリアする必要はありません。

IRQMD[1:0] ビット (IRQ 検出設定ビット)

外部端子割り込み要因 (IRQ0 ~ IRQ12) の検出方法を設定します。

外部端子割り込みの検出設定手順は、「14.4.8 外部端子割り込み」を参照してください。

14.2.9 IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)

アドレス 0008 7510h

b7	b6	b5	b4	b3	b2	b1	b0
FLTEN 7	FLTEN 6	FLTEN 5	FLTEN 4	FLTEN 3	FLTEN 2	FLTEN 1	FLTEN 0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0デジタルフィルタ許可ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b1	FLTEN1	IRQ1デジタルフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2デジタルフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3デジタルフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4デジタルフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5デジタルフィルタ許可ビット		R/W
b6	FLTEN6	IRQ6デジタルフィルタ許可ビット		R/W
b7	FLTEN7	IRQ7デジタルフィルタ許可ビット		R/W

FLTEN_i ビット (IRQ_i デジタルフィルタ許可ビット) (i = 0 ~ 7)

外部端子割り込み要因 (IRQ0 ~ IRQ7) のデジタルフィルタの使用を許可するビットです。

FLTEN_i ビットが“1”のとき、IRQ_i 端子のデジタルフィルタが有効になります。FLTEN_i ビットが“0”のとき、IRQ_i 端子のデジタルフィルタ機能は無効です。

IRQFLTC0.FCLKSEL_i[1:0] ビットで設定したサンプリングクロックごとに IRQ_i 端子のレベルをサンプリングし、レベルが3回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.10 IRQ 端子デジタルフィルタ許可レジスタ 1 (IRQFLTE1)

アドレス 0008 7511h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FLTEN 12	FLTEN 11	FLTEN 10	FLTEN 9	FLTEN 8
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN8	IRQ8 デジタルフィルタ許可ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b1	FLTEN9	IRQ9 デジタルフィルタ許可ビット		R/W
b2	FLTEN10	IRQ10 デジタルフィルタ許可ビット		R/W
b3	FLTEN11	IRQ11 デジタルフィルタ許可ビット		R/W
b4	FLTEN12	IRQ12 デジタルフィルタ許可ビット		R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FLTEN_i ビット (IRQ_i デジタルフィルタ許可ビット) (i = 8 ~ 12)

外部端子割り込み要因 (IRQ8 ~ IRQ12) のデジタルフィルタの使用を許可するビットです。

FLTEN_i ビットが“1”のとき、IRQ_i 端子のデジタルフィルタが有効になります。FLTEN_i ビットが“0”のとき、IRQ_i 端子のデジタルフィルタは無効です。

IRQFLTC1.FCLKSEL_i[1:0] ビットで指定したサンプリングクロックで IRQ_i 端子への入力信号をサンプリングし、3 回連続でレベルが一致しない入力信号を除去します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.11 IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)

アドレス 0008 7514h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL7[1:0]		FCLKSEL6[1:0]		FCLKSEL5[1:0]		FCLKSEL4[1:0]		FCLKSEL3[1:0]		FCLKSEL2[1:0]		FCLKSEL1[1:0]		FCLKSEL0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0 デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5 デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7 デジタルフィルタサンプリングクロック設定ビット		R/W

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 0 ~ 7)

外部端子割り込み要求端子 (IRQ0 ~ IRQ7) のデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLKB (毎クロック)、PCLKB/8 (8 クロックに 1 回)、PCLKB/32 (32 クロックに 1 回)、PCLKB/64 (64 クロックに 1 回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.12 IRQ 端子デジタルフィルタ設定レジスタ 1 (IRQFLTC1)

アドレス 0008 7516h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	FCLKSEL12[1:0]	FCLKSEL11[1:0]	FCLKSEL10[1:0]	FCLKSEL9[1:0]	FCLKSEL8[1:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL8[1:0]	IRQ8 デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b3-b2	FCLKSEL9[1:0]	IRQ9 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL10[1:0]	IRQ10 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL11[1:0]	IRQ11 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL12[1:0]	IRQ12 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b10	—	予約ビット	読むと“0”が読めます。 書く場合、“0”としてください	R/W

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 8 ~ 12)

外部端子割り込み要求端子 (IRQ8 ~ IRQ12) のデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLKB (毎クロック)、PCLKB/8 (8 クロックに 1 回)、PCLKB/32 (32 クロックに 1 回)、PCLKB/64 (64 クロックに 1 回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.13 ノンマスクابل割り込みステータスレジスタ (NMISR)

アドレス 0008 7580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2S T	LVD1S T	IWDTS T	WDTST	OSTST	NMIST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0: NMI端子割り込み要求なし 1: NMI端子割り込み要求あり	R
b1	OSTST	発振停止検出割り込みステータスフラグ	0: 発振停止検出割り込み要求なし 1: 発振停止検出割り込み要求あり	R
b2	WDTST	WDTアンダフロー/リフレッシュエラーステータスフラグ	0: WDTアンダフロー/リフレッシュエラー割り込み要求なし 1: WDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b3	IWDTS	IWDTアンダフロー/リフレッシュエラーステータスフラグ	0: IWDTアンダフロー/リフレッシュエラー割り込み要求なし 1: IWDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b4	LVD1ST	電圧監視1割り込みステータスフラグ	0: 電圧監視1割り込み要求なし 1: 電圧監視1割り込み要求あり	R
b5	LVD2ST	電圧監視2割り込みステータスフラグ	0: 電圧監視2割り込み要求なし 1: 電圧監視2割り込み要求あり	R
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスクابل割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ノンマスクابل割り込み許可レジスタ (NMIER) の設定はこれらステータスフラグには影響しません。

ノンマスクابل割り込みハンドラが終了する前に NMISR レジスタを読み出し、他のノンマスクابل割り込みの発生状況を確認してください。NMISR レジスタの全ビットが“0”であることを確認してから、ハンドラを終了してください。

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

["1" になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

["0" になる条件]

- NMICLR.NMICLR ビットに“1”を書いたとき

OSTST ラグ (発振停止検出割り込みステータスフラグ)

発振停止検出割り込み要求を示します。

OSTST フラグは読み出しのみ可能で、クリアは NMICLR.OSTCLR ビットによって行います。

["1" になる条件]

- 発振停止検出割り込みが発生したとき

["0" になる条件]

- NMICLR.OSTCLR ビットに“1”を書いたとき

WDTST フラグ (WDT アンダフロー/リフレッシュエラーステータスフラグ)

WDT アンダフロー/リフレッシュエラー割り込み要求を示します。

WDTST フラグは読み出しのみ可能で、クリアは NMICLR.WDTCLR ビットによって行います。

["1" になる条件]

- WDT アンダフロー/リフレッシュエラー割り込みが発生したとき

["0" になる条件]

- NMICLR.WDTCLR ビットに "1" を書いたとき

IWDTST フラグ (IWDT アンダフロー/リフレッシュエラーステータスフラグ)

IWDT アンダフロー/リフレッシュエラー割り込み要求を示します。

IWDTST フラグは読み出しのみ可能で、クリアは NMICLR.IWDTCLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、IWDT アンダフロー/リフレッシュエラー割り込みが発生したとき

["0" になる条件]

- NMICLR.IWDTCLR ビットに "1" を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータス フラグ)

電圧監視 1 割り込み要求を示します。

LVD1ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD1CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 1 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD1CLR ビットに "1" を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータス フラグ)

電圧監視 2 割り込み要求を示します。

LVD2ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD2CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 2 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD2CLR ビットに "1" を書いたとき

14.2.14 ノンマスクブル割り込み許可レジスタ (NMIER)

アドレス 0008 7581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2E N	LVD1E N	IWDTE N	WDTE N	OSTEN	NMIEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI 端子割り込み許可ビット	0: NMI 端子割り込み禁止 1: NMI 端子割り込み許可	R/(W) (注1)
b1	OSTEN	発振停止検出割り込み許可ビット	0: 発振停止検出割り込み禁止 1: 発振停止検出割り込み許可	R/(W) (注1)
b2	WDTEN	WDT アンダフロー/リフレッシュ エラー許可ビット	0: WDT アンダフロー/リフレッシュエラー割り込み禁止 1: WDT アンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b3	IWDTEN	IWDT アンダフロー/リフレッシュ エラー許可ビット	0: IWDT アンダフロー/リフレッシュエラー割り込み禁止 1: IWDT アンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b4	LVD1EN	電圧監視1 割り込み許可ビット	0: 電圧監視1 割り込み禁止 1: 電圧監視1 割り込み許可	R/(W) (注1)
b5	LVD2EN	電圧監視2 割り込み許可ビット	0: 電圧監視2 割り込み禁止 1: 電圧監視2 割り込み許可	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 1回だけ“1”を書くことができます。以後の書き込みは無効です。

NMIEN ビット (NMI 端子割り込み許可ビット)

NMI 端子割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

OSTEN ビット (発振停止検出割り込み許可ビット)

発振停止検出割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

WDTEN ビット (WDT アンダフロー/リフレッシュエラー許可ビット)

WDT アンダフロー/リフレッシュエラー割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

IWDTEN ビット (IWDT アンダフロー/リフレッシュエラー許可ビット)

IWDT アンダフロー/リフレッシュエラー割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD1EN ビット (電圧監視1 割り込み許可ビット)

電圧監視1 割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD2EN ビット (電圧監視 2 割り込み許可ビット)

電圧監視 2 割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

14.2.15 ノンマスクابل割り込みステータスクリアレジスタ (NMICLR)

アドレス 0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2C LR	LVD1C LR	IWDTCL LR	WDTCL R	OSTCL R	NMICL R
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.NMISTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b1	OSTCLR	OSTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.OSTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b2	WDTCLR	WDTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.WDTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b3	IWDTCLR	IWDTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.IWDTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b4	LVD1CLR	LVD1クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD1STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b5	LVD2CLR	LVD2クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD2STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

NMICLR ビット (NMI クリアビット)

“1”を書くと、NMISR.NMIST フラグは“0”になります。読むと“0”が読めます。

OSTCLR ビット (OST クリアビット)

“1”を書くと、NMISR.OSTST フラグは“0”になります。読むと“0”が読めます。

WDTCLR ビット (WDT クリアビット)

“1”を書くと、NMISR.WDTST フラグは“0”になります。読むと“0”が読めます。

IWDTCLR ビット (IWDT クリアビット)

“1”を書くと、NMISR.IWDTST フラグは“0”になります。読むと“0”が読めます。

LVD1CLR ビット (LVD1 クリアビット)

“1”を書くと、NMISR.LVD1ST フラグは“0”になります。読むと“0”が読めます。

LVD2CLR ビット (LVD2 クリアビット)

“1”を書くと、NMISR.LVD2ST フラグは“0”になります。読むと“0”が読めます。

14.2.16 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス 0008 7583h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI 検出設定ビット	0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタによる設定変更は、NMI 端子割り込みの使用を許可 (NMIER.NMIEN ビットを“1”にする) する前に行ってください。

NMIMD ビット (NMI 検出設定ビット)

NMI 端子割り込みの検出方法を設定します。

14.2.17 NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)

アドレス 0008 7590h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	NFLTE N
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMI デジタルフィルタ許可ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFLTEN ビット (NMI デジタルフィルタ許可ビット)

NMI 端子割り込みのデジタルフィルタの使用を許可するビットです。

NFLTEN ビットが“1”のとき、デジタルフィルタが有効になります。NFLTEN ビットが“0”のとき、デジタルフィルタ機能は無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロックごとに NMI 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.18 NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)

アドレス 0008 7594h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	NFCLKSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリング クロック設定ビット	b1 b0 0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック設定ビット)

NMI 端子割り込みのデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLKB (毎クロック)、PCLKB/8 (8クロックに1回)、PCLKB/32 (32クロックに1回)、PCLKB/64 (64クロックに1回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.3 ベクタテーブル

割り込みコントローラで検出する例外事象には、割り込みとノンマスカブル割り込みがあります。

CPU が割り込み、またはノンマスカブル割り込みを受け付けた場合は、ベクタテーブルから4バイトのベクタアドレスを取得します。

14.3.1 割り込みのベクタテーブル

割り込みのベクタテーブルは、CPUの割り込みテーブルレジスタ (INTB) に設定した番地から、1024バイト (4バイト × 256要因分) の領域に連続に配置されます。INTBレジスタは割り込みを許可する前に設定してください。INTBレジスタに4の倍数を設定してください。

なお、INT命令、およびBRK命令を実行すると無条件トラップが発生します。無条件トラップのベクタは、表14.3の割り込みのベクタテーブルと同じ領域を利用します。BRK命令はベクタ番号0のみ、INT命令は指定した番号 (0 ~ 255) のベクタとなります。

表14.3に割り込みのベクタテーブルを示します。表14.3の各項目の内容は以下のとおりです。

項目	内容
割り込み要求発生元	割り込み要求発生元の名称を示します
名称	割り込み名称を示します
ベクタ番号	ベクタ番号を示します。
ベクタアドレスオフセット	ベクタベースアドレスオフセット値を示します。
割り込みの検出方法	割り込みの検出方法を“エッジ”、“レベル”で示します
CPU割り込み	CPU割り込み要因を“○”で示します
DTC起動	DTC起動要因を“○”で示します
DMAC起動	DMAC起動要因を“○”で示します
sstb復帰	ソフトウェアスタンバイモードからの復帰要因を“○”で示します
sacs復帰	全モジュールクロックストップモードからの復帰要因を“○”で示します
IER	ベクタ番号に対応するIERレジスタ、ビット名を示します。
IPR	割り込み要因に対応するIPRレジスタを示します
DTCER	DTC起動要因に対応するDTCERレジスタを示します

表 14.3 割り込みのベクタテーブル (1 / 6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssfb 復帰	sacs 復帰	IER	IPR	DTCER
—	無条件トラップ専用	0	0000h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	1	0004h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	2	0008h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	3	000Ch	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	4	0010h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	5	0014h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	6	0018h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	7	001Ch	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	8	0020h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	9	0024h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	10	0028h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	11	002Ch	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	12	0030h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	13	0034h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	14	0038h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	15	003Ch	—	x	x	x	x	x	—	—	—
BSC	BUSERR	16	0040h	レベル	○	x	x	x	x	IER02.IEN0	IPR000	—
—	予約	17	0044h	—	x	x	x	x	x	—	—	—
—	予約	18	0048h	—	x	x	x	x	x	—	—	—
—	予約	19	004Ch	—	x	x	x	x	x	—	—	—
—	予約	20	0050h	—	x	x	x	x	x	—	—	—
FCU	FIFERR	21	0054h	レベル	○	x	x	x	x	IER02.IEN5	IPR001	—
—	予約	22	0058h	—	x	x	x	x	x	—	—	—
FCU	FRDYI	23	005Ch	エッジ	○	x	x	x	x	IER02.IEN7	IPR002	—
—	予約	24	0060h	—	x	x	x	x	x	—	—	—
—	予約	25	0064h	—	x	x	x	x	x	—	—	—
—	予約	26	0068h	—	x	x	x	x	x	—	—	—
ICU	SWINT	27	006Ch	エッジ	○	○	x	x	x	IER03.IEN3	IPR003	DTCER027
CMT0	CMI0	28	0070h	エッジ	○	○	○	x	x	IER03.IEN4	IPR004	DTCER028
CMT1	CMI1	29	0074h	エッジ	○	○	○	x	x	IER03.IEN5	IPR005	DTCER029
CMT2	CMI2	30	0078h	エッジ	○	○	○	x	x	IER03.IEN6	IPR006	DTCER030
CMT3	CMI3	31	007Ch	エッジ	○	○	○	x	x	IER03.IEN7	IPR007	DTCER031
CAC	FERRF	32	0080h	レベル	○	x	x	x	x	IER04.IEN0	IPR032	—
	MENDF	33	0084h	レベル	○	x	x	x	x	IER04.IEN1	IPR033	—
	OVFF	34	0088h	レベル	○	x	x	x	x	IER04.IEN2	IPR034	—
—	予約	35	008Ch	—	x	x	x	x	x	—	—	—
—	予約	36	0090h	—	x	x	x	x	x	—	—	—
—	予約	37	0094h	—	x	x	x	x	x	—	—	—
—	予約	38	0098h	—	x	x	x	x	x	—	—	—
—	予約	39	009Ch	—	x	x	x	x	x	—	—	—
—	予約	40	00A0h	—	x	x	x	x	x	—	—	—
—	予約	41	00A4h	—	x	x	x	x	x	—	—	—
—	予約	42	00A8h	—	x	x	x	x	x	—	—	—
—	予約	43	00ACh	—	x	x	x	x	x	—	—	—

表 14.3 割り込みのベクタテーブル (2 / 6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssfb 復帰	sacs 復帰	IER	IPR	DTCER
RSPI0	SPEI0	44	00B0h	レベル	○	×	×	×	×	IER05.IEN4	IPR044	—
	SPRI0	45	00B4h	エッジ	○	○	○	×	×	IER05.IEN5		DTCER045
	SPTI0	46	00B8h	エッジ	○	○	○	×	×	IER05.IEN6		DTCER046
	SPII0	47	00BCCh	レベル	○	×	×	×	×	IER05.IEN7		—
RSPI1	SPEI1	48	00C0h	レベル	○	—	—	—	—	IER06.IEN0	IPR048	—
	SPRI1	49	00C4h	エッジ	○	○	○	—	—	IER06.IEN1		DTCER049
	SPTI1	50	00C8h	エッジ	○	○	○	—	—	IER06.IEN2		DTCER050
	SPII1	51	00CCh	レベル	○	—	—	—	—	IER06.IEN3		—
—	予約	52	00D0h	—	×	×	×	×	×	—	—	—
—	予約	53	00D4h	—	×	×	×	×	×	—	—	—
—	予約	54	00D8h	—	×	×	×	×	×	—	—	—
—	予約	55	00DCh	—	×	×	×	×	×	—	—	—
—	予約	56	00E0h	—	×	×	×	×	×	—	—	—
DOC	DOPCF	57	00E4h	レベル	○	×	×	×	×	IER07.IEN1	IPR057	—
—	予約	58	00E8h	—	×	×	×	×	×	—	—	—
—	予約	59	00ECh	—	×	×	×	×	×	—	—	—
—	予約	60	00F0h	—	×	×	×	×	×	—	—	—
—	予約	61	00F4h	—	×	×	×	×	×	—	—	—
—	予約	62	00F8h	—	×	×	×	×	×	—	—	—
—	予約	63	00FCh	—	×	×	×	×	×	—	—	—
ICU	IRQ0	64	0100h	エッジ/レベル	○	○	○	○	○	IER08.IEN0	IPR064	DTCER064
	IRQ1	65	0104h	エッジ/レベル	○	○	○	○	○	IER08.IEN1	IPR065	DTCER065
	IRQ2	66	0108h	エッジ/レベル	○	○	○	○	○	IER08.IEN2	IPR066	DTCER066
	IRQ3	67	010Ch	エッジ/レベル	○	○	○	○	○	IER08.IEN3	IPR067	DTCER067
	IRQ4	68	0110h	エッジ/レベル	○	○	×	○	○	IER08.IEN4	IPR068	DTCER068
	IRQ5	69	0114h	エッジ/レベル	○	○	×	○	○	IER08.IEN5	IPR069	DTCER069
	IRQ6	70	0118h	エッジ/レベル	○	○	×	○	○	IER08.IEN6	IPR070	DTCER070
	IRQ7	71	011Ch	エッジ/レベル	○	○	×	○	○	IER08.IEN7	IPR071	DTCER071
	IRQ8	72	0120h	エッジ/レベル	○	○	×	○	○	IER09.IEN0	IPR072	DTCER072
	IRQ9	73	0124h	エッジ/レベル	○	○	×	○	○	IER09.IEN1	IPR073	DTCER073
	IRQ10	74	0128h	エッジ/レベル	○	○	×	○	○	IER09.IEN2	IPR074	DTCER074
	IRQ11	75	012Ch	エッジ/レベル	○	○	×	○	○	IER09.IEN3	IPR075	DTCER075
IRQ12	76	0130h	エッジ/レベル	○	○	×	○	○	IER09.IEN4	IPR076	DTCER076	
CEC	INTDAA	77	0134h	エッジ	○	○	×	○	○	IER09.IEN5	IPR077	DTCER077
	INTCEA	78	0138h	エッジ	○	○	×	○	○	IER09.IEN6	IPR078	DTCER078
	INTERRA	79	013Ch	エッジ	○	○	×	○	○	IER09.IEN7	IPR079	DTCER079
—	予約	80	0140h	—	×	×	×	×	×	—	—	—
—	予約	81	0144h	—	×	×	×	×	×	—	—	—
—	予約	82	0148h	—	×	×	×	×	×	—	—	—
—	予約	83	014Ch	—	×	×	×	×	×	—	—	—
—	予約	84	0150h	—	×	×	×	×	×	—	—	—
—	予約	85	0154h	—	×	×	×	×	×	—	—	—
—	予約	86	0158h	—	×	×	×	×	×	—	—	—
—	予約	87	015Ch	—	×	×	×	×	×	—	—	—
—	予約	88	0160h	—	×	×	×	×	×	—	—	—
—	予約	89	0164h	—	×	×	×	×	×	—	—	—
—	予約	90	0168h	—	×	×	×	×	×	—	—	—

表 14.3 割り込みのベクタテーブル (3 / 6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssib復帰	sacs復帰	IER	IPR	DTCER
—	予約	91	016Ch	—	x	x	x	x	x	—	—	—
—	予約	92	0170h	—	x	x	x	x	x	—	—	—
—	予約	93	0174h	—	x	x	x	x	x	—	—	—
RCR0	RCRI0	94	0178h	エッジ	○	—	—	○	○	IER0B.IEN6	IPR094	—
RCR1	RCRI1	95	017Ch	エッジ	○	—	—	○	○	IER0B.IEN7	IPR095	—
—	予約	96	0180h	—	x	x	x	x	x	—	—	—
—	予約	97	0184h	—	x	x	x	x	x	—	—	—
RIIC1	EEI1	98	0188h	レベル	○	—	—	—	—	IER0C.IEN2	IPR098	—
	RXI1	99	018Ch	エッジ	○	○	○	—	—	IER0C.IEN3	IPR099	DTCER099
	TXI1	100	0190h	エッジ	○	○	○	—	—	IER0C.IEN4	IPR100	DTCER100
	TEI1	101	0194h	レベル	○	—	—	—	—	IER0C.IEN5	IPR101	—
S12AD	S12ADI0	102	0198h	エッジ	○	○	○	x	x	IER0C.IEN6	IPR102	DTCER102
	GBADI	103	019Ch	エッジ	○	○	○	x	x	IER0C.IEN7	IPR103	DTCER103
—	予約	104	01A0h	—	x	x	x	x	x	—	—	—
—	予約	105	01A4h	—	x	x	x	x	x	—	—	—
ELC	ELSR18I	106	01A8h	エッジ	○	○	○	x	x	IER0D.IEN2	IPR106	DTCER106
	ELSR19I	107	01ACh	エッジ	○	○	○	x	x	IER0D.IEN3	IPR107	DTCER107
—	予約	108	01B0h	—	x	x	x	x	x	—	—	—
—	予約	109	01B4h	—	x	x	x	x	x	—	—	—
—	予約	110	01B8h	—	x	x	x	x	x	—	—	—
CEC	INTDA	111	01BCh	エッジ	○	○	○	—	—	IER0E.IEN7	IPR111	DTCER111
	INTCE	112	01C0h	エッジ	○	○	○	—	—	IER0E.IEN0		DTCER112
	INTERR	113	01C4h	エッジ	○	—	—	—	—	IER0E.IEN1		—
MTU0	TGIA0	114	01C8h	エッジ	○	○	○	x	x	IER0E.IEN2	IPR114	DTCER114
	TGIB0	115	01CCh	エッジ	○	○	x	x	x	IER0E.IEN3		DTCER115
	TGIC0	116	01D0h	エッジ	○	○	x	x	x	IER0E.IEN4		DTCER116
	TGID0	117	01D4h	エッジ	○	○	x	x	x	IER0E.IEN5		DTCER117
	TCIV0	118	01D8h	エッジ	○	x	x	x	x	IER0E.IEN6	IPR118	—
	TGIE0	119	01DCh	エッジ	○	x	x	x	x	IER0E.IEN7		—
	TGIF0	120	01E0h	エッジ	○	x	x	x	x	IER0F.IEN0		—
MTU1	TGIA1	121	01E4h	エッジ	○	○	○	x	x	IER0F.IEN1	IPR121	DTCER121
	TGIB1	122	01E8h	エッジ	○	○	x	x	x	IER0F.IEN2		DTCER122
	TCIV1	123	01ECh	エッジ	○	x	x	x	x	IER0F.IEN3	IPR123	—
	TCIU1	124	01F0h	エッジ	○	x	x	x	x	IER0F.IEN4		—
MTU2	TGIA2	125	01F4h	エッジ	○	○	○	x	x	IER0F.IEN5	IPR125	DTCER125
	TGIB2	126	01F8h	エッジ	○	○	x	x	x	IER0F.IEN6		DTCER126
	TCIV2	127	01FCh	エッジ	○	x	x	x	x	IER0F.IEN7	IPR127	—
	TCIU2	128	0200h	エッジ	○	x	x	x	x	IER10.IEN0		—
MTU3	TGIA3	129	0204h	エッジ	○	○	○	x	x	IER10.IEN1	IPR129	DTCER129
	TGIB3	130	0208h	エッジ	○	○	x	x	x	IER10.IEN2		DTCER130
	TGIC3	131	020Ch	エッジ	○	○	x	x	x	IER10.IEN3		DTCER131
	TGID3	132	0210h	エッジ	○	○	x	x	x	IER10.IEN4		DTCER132
	TCIV3	133	0214h	エッジ	○	x	x	x	x	IER10.IEN5		IPR133

表 14.3 割り込みのベクタテーブル (4 / 6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssfb 復帰	sacs 復帰	IER	IPR	DTCER
MTU4	TGIA4	134	0218h	エッジ	○	○	○	×	×	IER10.IEN6	IPR134	DTCER134
	TGIB4	135	021Ch	エッジ	○	○	×	×	×	IER10.IEN7		DTCER135
	TGIC4	136	0220h	エッジ	○	○	×	×	×	IER11.IEN0		DTCER136
	TGID4	137	0224h	エッジ	○	○	×	×	×	IER11.IEN1		DTCER137
	TCIV4	138	0228h	エッジ	○	○	×	×	×	IER11.IEN2	IPR138	DTCER138
MTU5	TGIU5	139	022Ch	エッジ	○	○	×	×	×	IER11.IEN3	IPR139	DTCER139
	TGIV5	140	0230h	エッジ	○	○	×	×	×	IER11.IEN4		DTCER140
	TGIW5	141	0234h	エッジ	○	○	×	×	×	IER11.IEN5		DTCER141
TPU0	TGIOA	142	0238h	エッジ	○	○	○	×	×	IER11.IEN6	IPR142	DTCER142
	TGIOB	143	023Ch	エッジ	○	○	×	×	×	IER11.IEN7		DTCER143
	TGIOC	144	0240h	エッジ	○	○	×	×	×	IER12.IEN0		DTCER144
	TGIOD	145	0244h	エッジ	○	○	×	×	×	IER12.IEN1		DTCER145
	TCIOV	146	0248h	エッジ	○	×	×	×	×	IER12.IEN2	IPR146	—
TPU1	TGI1A	147	024Ch	エッジ	○	○	○	×	×	IER12.IEN3	IPR147	DTCER147
	TGI1B	148	0250h	エッジ	○	○	×	×	×	IER12.IEN4		DTCER148
	TCI1V	149	0254h	エッジ	○	×	×	×	×	IER12.IEN5	IPR149	—
	TCI1U	150	0258h	エッジ	○	×	×	×	×	IER12.IEN6		—
TPU2	TGI2A	151	025Ch	エッジ	○	○	○	×	×	IER12.IEN7	IPR151	DTCER151
	TGI2B	152	0260h	エッジ	○	○	×	×	×	IER13.IEN0		DTCER152
	TCI2V	153	0264h	エッジ	○	×	×	×	×	IER13.IEN1	IPR153	—
	TCI2U	154	0268h	エッジ	○	×	×	×	×	IER13.IEN2		—
TPU3	TGI3A	155	026Ch	エッジ	○	○	○	×	×	IER13.IEN3	IPR155	DTCER155
	TGI3B	156	0270h	エッジ	○	○	×	×	×	IER13.IEN4		DTCER156
	TGI3C	157	0274h	エッジ	○	○	×	×	×	IER13.IEN5		DTCER157
	TGI3D	158	0278h	エッジ	○	○	×	×	×	IER13.IEN6		DTCER158
	TCI3V	159	027Ch	エッジ	○	×	×	×	×	IER13.IEN7	IPR159	—
TPU4	TGI4A	160	0280h	エッジ	○	○	○	×	×	IER14.IEN0	IPR160	DTCER160
	TGI4B	161	0284h	エッジ	○	○	×	×	×	IER14.IEN1		DTCER161
	TCI4V	162	0288h	エッジ	○	×	×	×	×	IER14.IEN2	IPR162	—
	TCI4U	163	028Ch	エッジ	○	×	×	×	×	IER14.IEN3		—
TPU5	TGI5A	164	0290h	エッジ	○	○	○	×	×	IER14.IEN4	IPR164	DTCER164
	TGI5B	165	0294h	エッジ	○	○	×	×	×	IER14.IEN5		DTCER165
	TCI5V	166	0298h	エッジ	○	×	×	×	×	IER14.IEN6	IPR166	—
	TCI5U	167	029Ch	エッジ	○	×	×	×	×	IER14.IEN7		—
—	予約	168	02A0h	—	×	×	×	×	×	—	—	—
—	予約	169	02A4h	—	×	×	×	×	×	—	—	—
POE	OEI1	170	02A8h	レベル	○	×	×	×	×	IER15.IEN2	IPR170	—
	OEI2	171	02ACh	レベル	○	×	×	×	×	IER15.IEN3		IPR171
—	予約	172	02B0h	—	×	×	×	×	×	—	—	—
—	予約	173	02B4h	—	×	×	×	×	×	—	—	—
TMR0	CMIA0	174	02B8h	エッジ	○	○	×	×	○	IER15.IEN6	IPR174	DTCER174
	CMIB0	175	02BCh	エッジ	○	○	×	×	○	IER15.IEN7		DTCER175
	OVI0	176	02C0h	エッジ	○	×	×	×	○	IER16.IEN0		—
TMR1	CMIA1	177	02C4h	エッジ	○	○	×	×	○	IER16.IEN1	IPR177	DTCER177
	CMIB1	178	02C8h	エッジ	○	○	×	×	○	IER16.IEN2		DTCER178
	OVI1	179	02CCh	エッジ	○	×	×	×	○	IER16.IEN3		—

表 14.3 割り込みのベクタテーブル (5 / 6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssfb 復帰	sacs 復帰	IER	IPR	DTCER
TMR2	CMIA2	180	02D0h	エッジ	○	○	×	×	○	IER16.IEN4	IPR180	DTCER180
	CMIB2	181	02D4h	エッジ	○	○	×	×	○	IER16.IEN5		DTCER181
	OVI2	182	02D8h	エッジ	○	×	×	×	○	IER16.IEN6		—
TMR3	CMIA3	183	02DCCh	エッジ	○	○	×	×	○	IER16.IEN7	IPR183	DTCER183
	CMIB3	184	02E0h	エッジ	○	○	×	×	○	IER17.IEN0		DTCER184
	OVI3	185	02E4h	エッジ	○	×	×	×	○	IER17.IEN1		—
SCI2	ERI2	186	02E8h	レベル	○	×	×	×	×	IER17.IEN2	IPR186	—
	RXI2	187	02ECh	エッジ	○	○	○	×	×	IER17.IEN3		DTCER187
	TXI2	188	02F0h	エッジ	○	○	○	×	×	IER17.IEN4		DTCER188
	TEI2	189	02F4h	レベル	○	×	×	×	×	IER17.IEN5		—
SCI3	ERI3	190	02F8h	レベル	○	×	×	×	×	IER17.IEN6	IPR190	—
	RXI3	191	02FCh	エッジ	○	○	○	×	×	IER17.IEN7		DTCER191
	TXI3	192	0300h	エッジ	○	○	○	×	×	IER18.IEN0		DTCER192
	TEI3	193	0304h	レベル	○	×	×	×	×	IER18.IEN1		—
SCI4	ERI4	194	0308h	レベル	○	×	×	×	×	IER18.IEN2	IPR194	—
	RXI4	195	030Ch	エッジ	○	○	○	×	×	IER18.IEN3		DTCER195
	TXI4	196	0310h	エッジ	○	○	○	×	×	IER18.IEN4		DTCER196
	TEI4	197	0314h	レベル	○	×	×	×	×	IER18.IEN5		—
DMAC	DMAC0I	198	0318h	エッジ	○	○	×	×	×	IER18.IEN6	IPR198	DTCER198
	DMAC1I	199	031Ch	エッジ	○	○	×	×	×	IER18.IEN7	IPR199	DTCER199
	DMAC2I	200	0320h	エッジ	○	○	×	×	×	IER19.IEN0	IPR200	DTCER200
	DMAC3I	201	0324h	エッジ	○	○	×	×	×	IER19.IEN1	IPR201	DTCER201
RIIC3	EEI3	202	0328h	レベル	○	—	—	—	—	IER19.IEN2	IPR202	—
	RXI3	203	032Ch	エッジ	○	○	○	—	—	IER19.IEN3	IPR203	DTCER203
	TXI3	204	0330h	エッジ	○	○	○	—	—	IER19.IEN4	IPR204	DTCER204
	TEI3	205	0334h	レベル	○	—	—	—	—	IER19.IEN5	IPR205	—
SCI7	ERI7	206	0338h	レベル	○	×	×	×	×	IER19.IEN6	IPR206	—
	RXI7	207	033Ch	エッジ	○	○	○	×	×	IER19.IEN7		DTCER207
	TXI7	208	0340h	エッジ	○	○	○	×	×	IER1A.IEN0		DTCER208
	TEI7	209	0344h	レベル	○	×	×	×	×	IER1A.IEN1		—
SCI10	ERI10	210	0348h	レベル	○	×	×	×	×	IER1A.IEN2	IPR210	—
	RXI10	211	034Ch	エッジ	○	○	○	×	×	IER1A.IEN3		DTCER211
	TXI10	212	0350h	エッジ	○	○	○	×	×	IER1A.IEN4		DTCER212
	TEI10	213	0354h	レベル	○	×	×	×	×	IER1A.IEN5		—
SCI0	ERI0	214	0358h	レベル	○	×	×	×	×	IER1A.IEN6	IPR214	—
	RXI0	215	035Ch	エッジ	○	○	○	×	×	IER1A.IEN7		DTCER215
	TXI0	216	0360h	エッジ	○	○	○	×	×	IER1B.IEN0		DTCER216
	TEI0	217	0364h	レベル	○	×	×	×	×	IER1B.IEN1		—
SCI1	ERI1	218	0368h	レベル	○	×	×	×	×	IER1B.IEN2	IPR218	—
	RXI1	219	036Ch	エッジ	○	○	○	×	×	IER1B.IEN3		DTCER219
	TXI1	220	0370h	エッジ	○	○	○	×	×	IER1B.IEN4		DTCER220
	TEI1	221	0374h	レベル	○	×	×	×	×	IER1B.IEN5		—
SCI5	ERI5	222	0378h	レベル	○	×	×	×	×	IER1B.IEN6	IPR222	—
	RXI5	223	037Ch	エッジ	○	○	○	×	×	IER1B.IEN7		DTCER223
	TXI5	224	0380h	エッジ	○	○	○	×	×	IER1C.IEN0		DTCER224
	TEI5	225	0384h	レベル	○	×	×	×	×	IER1C.IEN1		—

表 14.3 割り込みのベクタテーブル (6 / 6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssfb 復帰	sacs 復帰	IER	IPR	DTCER
SCI6	ERI6	226	0388h	レベル	○	×	×	×	×	IER1C.IEN2	IPR226	—
	RX16	227	038Ch	エッジ	○	○	○	×	×	IER1C.IEN3		DTCER227
	TX16	228	0390h	エッジ	○	○	○	×	×	IER1C.IEN4		DTCER228
	TE16	229	0394h	レベル	○	×	×	×	×	IER1C.IEN5		—
SCI8	ERI8	230	0398h	レベル	○	×	×	×	×	IER1C.IEN6	IPR230	—
	RX18	231	039Ch	エッジ	○	○	○	×	×	IER1C.IEN7		DTCER231
	TX18	232	03A0h	エッジ	○	○	○	×	×	IER1D.IEN0		DTCER232
	TE18	233	03A4h	レベル	○	×	×	×	×	IER1D.IEN1		—
SCI9	ERI9	234	03A8h	レベル	○	×	×	×	×	IER1D.IEN2	IPR234	—
	RX19	235	03ACh	エッジ	○	○	○	×	×	IER1D.IEN3		DTCER235
	TX19	236	03B0h	エッジ	○	○	○	×	×	IER1D.IEN4		DTCER236
	TE19	237	03B4h	レベル	○	×	×	×	×	IER1D.IEN5		—
SCI12	ERI12	238	03B8h	レベル	○	×	×	×	×	IER1D.IEN6	IPR238	—
	RX112	239	03BCh	エッジ	○	○	○	×	×	IER1D.IEN7		DTCER239
	TX112	240	03C0h	エッジ	○	○	○	×	×	IER1E.IEN0		DTCER240
	TE112	241	03C4h	レベル	○	×	×	×	×	IER1E.IEN1		—
	SCIX0	242	03C8h	レベル	○	×	×	×	×	IER1E.IEN2	IPR242	—
	SCIX1	243	03CCh	レベル	○	×	×	×	×	IER1E.IEN3	IPR243	—
	SCIX2	244	03D0h	レベル	○	×	×	×	×	IER1E.IEN4	IPR244	—
	SCIX3	245	03D4h	レベル	○	×	×	×	×	IER1E.IEN5	IPR245	—
RIIC0	EEI0	246	03D8h	レベル	○	×	×	×	×	IER1E.IEN6	IPR246	—
	RX10	247	03DCh	エッジ	○	○	○	×	×	IER1E.IEN7	IPR247	DTCER247
	TX10	248	03E0h	エッジ	○	○	○	×	×	IER1F.IEN0	IPR248	DTCER248
	TE10	249	03E4h	レベル	○	×	×	×	×	IER1F.IEN1	IPR249	—
SCI11	ERI11	250	03E8h	レベル	○	×	×	×	×	IER1F.IEN2	IPR250	—
	RX111	251	03ECh	エッジ	○	○	○	×	×	IER1F.IEN3		DTCER251
	TX111	252	03F0h	エッジ	○	○	○	×	×	IER1F.IEN4		DTCER252
	TE111	253	03F4h	レベル	○	×	×	×	×	IER1F.IEN5		—
—	予約	254	03F8h	—	×	×	×	×	×	—	—	—
—	予約	255	03FCh	—	×	×	×	×	×	—	—	—

注1. ベクタ番号が小さいほど、優先順位は高くなります。

14.3.2 高速割り込みのベクタテーブル

高速割り込みに設定された割り込みのベクタテーブルは、CPUの高速割り込みベクタレジスタ (FINTV) です。

14.3.3 ノンマスクブル割り込みのベクタテーブル

ノンマスクブル割り込みのベクタテーブルは“FFFF FFF8h”です。

14.4 割り込みの動作説明

割り込みコントローラは次の処理を行います。

- 割り込み検出
- 割り込み許可 / 禁止制御
- 割り込み要求先 (CPU 割り込み、DTC 起動、DMAC 起動) の選択
- 割り込み優先順位判定

14.4.1 割り込み検出

割り込み要求の検出方法は、レベル検出とエッジ検出の2種類があります。

IRQ_i 端子 (i=0 ~ 12) からの外部割り込み要求は、IRQCRi.IRQMD[1:0] ビットの設定によってエッジ検出とレベル検出を切り替えることができます。

周辺モジュールからの割り込み要求は、要因ごとにエッジ検出 / レベル検出が決まっています。

各要因に対応する検出方法は、「表 14.3 割り込みのベクタテーブル」を参照してください。

14.4.1.1 エッジ検出の割り込みステータスフラグ

周辺機能割り込みと、外部端子割り込みのエッジ検出の IR_n.IR フラグの動作を図 14.2 に示します。

割り込み要求が発生したときの割り込み信号の変化点で IR_n.IR フラグが“1”になります。割り込み要求先が CPU の場合、割り込みを受け付けると IR_n.IR フラグは自動的に“0”になります。割り込み要求先が DMAC、DTC の場合は、DMAC/DTC の転送設定、転送回数によって異なります。詳細は「表 14.4 DMAC/DTC 起動時の動作」を参照してください。ソフトウェアで IR_n.IR フラグをクリアする必要はありません。

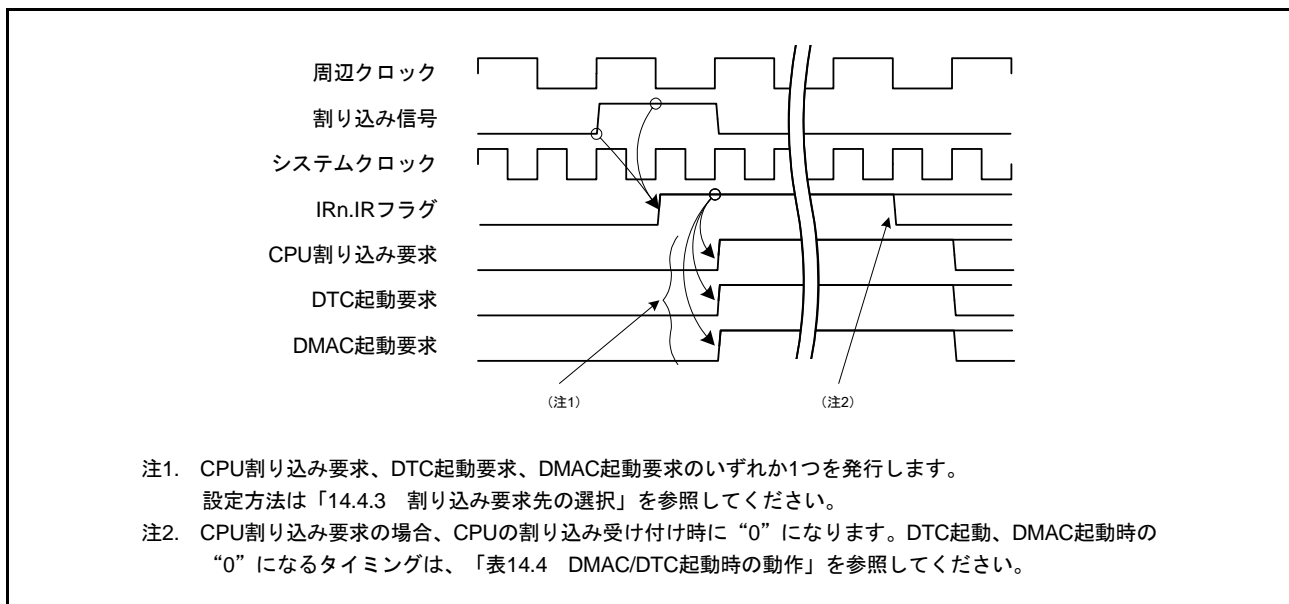


図 14.2 エッジ検出の IR_n.IR フラグの動作

図 14.3 ~ 図 14.6 の割り込み信号は、割り込みコントローラの信号です。割り込みベクタ番号 64 ~ 95 の割り込みでは、タイミングが他の割り込みと異なります。割り込みベクタ番号 64 ~ 76 の IRQ 端子割り込みの場合、IRQ 端子入力から内部遅延 + 2PCLKB 分の遅延が増加します。割り込みベクタ番号 77 ~ 95 の割り込みの場合、2PCLKB 分の遅延が増加します。

毎サイクル割り込み信号が発生した場合、後続する割り込みの検出はできません。連続する割り込み要求はシステムクロック、周辺クロックの周波数の遅い方のクロックで2サイクル以上間隔をあけてください。

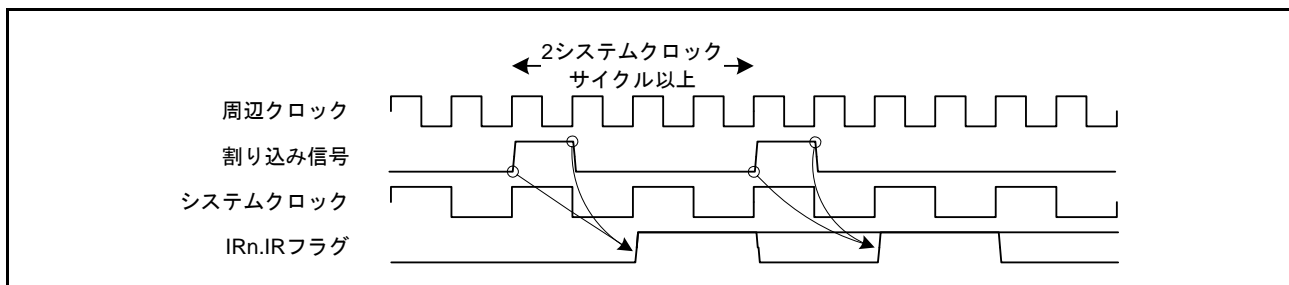


図 14.3 連続する割り込み要求発行の間隔 (システムクロック周波数<周辺クロック周波数の場合)

割り込み要求が発生し IRn.IR フラグが“1”の状態では再度発生した割り込み要求は無視されます。(注1) IRn.IR フラグの再セットのタイミングを図 14.4 に示します。

注1. ただし、SCI、RSPI、RIIC の各送信割り込み / 受信割り込みの場合、IRn.IR フラグが“1”の状態が発生した割り込み要求は保持され、IRn.IR フラグが“0”になった後、保持された要求によって再度 IRn.IR フラグが“1”になります。詳細は、「30. シリアルコミュニケーションインタフェース (SCIf、SCIf)」、「33. I²Cバスインタフェース (RIIC)」、「34. シリアルペリフェラルインタフェース (RSPI)」の各割り込みの説明を参照してください。

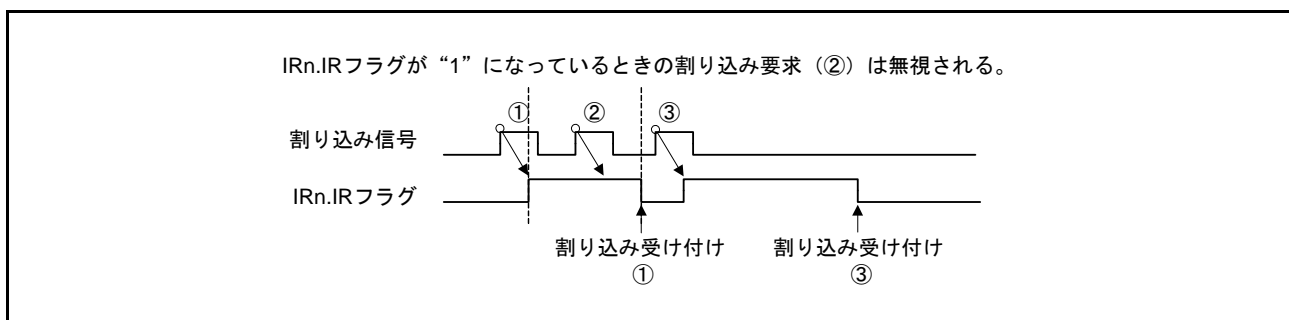


図 14.4 IRn.IR フラグの再セットのタイミング

IRn.IR フラグが“1”になった後、割り込みを禁止 (周辺モジュールの割り込み許可ビットで割り込み要求の出力を禁止) としても、IRn.IR フラグは影響を受けず保持されます。割り込みを禁止した場合の動作を図 14.5 に示します。

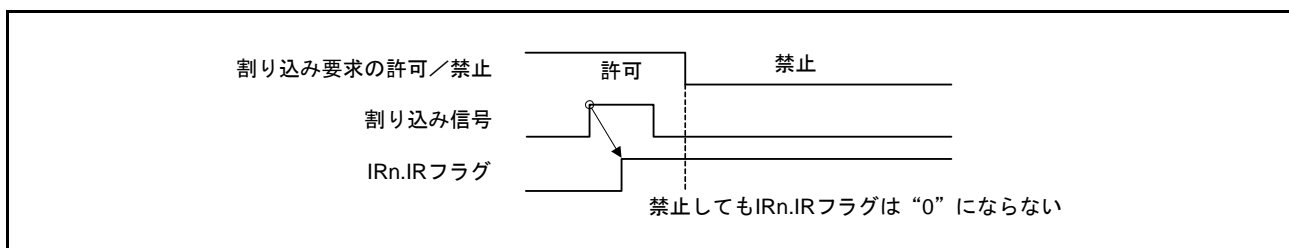


図 14.5 割り込み要求の禁止と IRn.IR フラグの関係

14.4.1.2 レベル検出の割り込みステータスフラグ

周辺機能割り込みと外部端子割り込みのレベル検出時の $IRn.IR$ フラグの動作を図 14.6 に示します。

割り込み信号がアサートされている間、 $IRn.IR$ フラグを“1”にし続けます。 $IRn.IR$ フラグを“0”にするためには、割り込み発生元の割り込み要求を“0”にしてください。割り込み要求発生元の割り込み要求フラグが“0”になったことを確認、および $IRn.IR$ フラグが“0”になったことを確認してから、割り込みハンドラを終了してください。

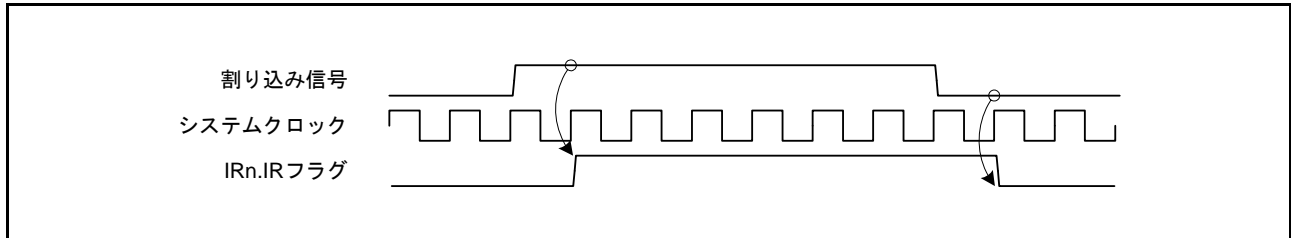


図 14.6 レベル検出時の $IRn.IR$ フラグの動作

レベル検出割り込みの処理手順を図 14.7 に示します

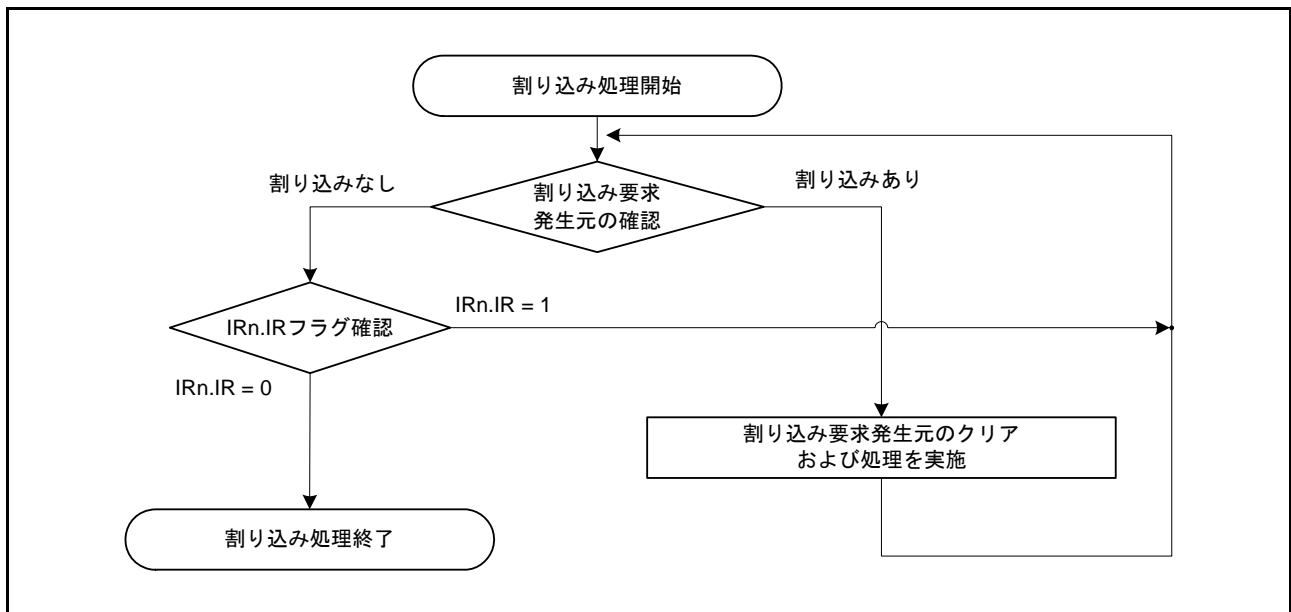


図 14.7 レベル検出割り込み処理手順

14.4.2 割り込み要求の許可 / 禁止

割り込み要求を許可するためには、以下の設定が必要です。

1. 周辺機能割り込みの場合、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可
2. IERm.IENj ビットによって割り込み要求を許可

割り込み発生元で割り込み出力が許可された割り込み要求が発生すると、対応する IRn.IR フラグが“1”になります。

IERm.IENj ビットで割り込み要求を許可することで、IRn.IR フラグが“1”である割り込み要求が割り込み要求先へ出力されます。また、IERm.IENj ビットで割り込み要求を禁止することで、IRn.IR フラグが“1”になった割り込み要求は保留されます。

IRn.IR フラグは、IERm.IENj ビットの影響を受けません。

割り込み要求を禁止にする手順は以下のとおりです。

1. IERm.IENj ビットを割り込み要求禁止に設定する。
2. 周辺モジュールの割り込み出力許可ビットを禁止に設定し、書き込みを行ったレジスタを読んで、書き込み完了を確認する。
3. 必要に応じて、IRn.IR フラグを確認、もしくは IRn.IR フラグを“0”にする。(注1)

注 1. SCI、RSPI、RIIC の各送信割り込み / 受信割り込みを許可状態から禁止状態に変更する場合、上記の手順で IRn.IR フラグを“0”にしてください。詳細は、「30. シリアルコミュニケーションインタフェース (SCle、SCIf)」、「33. I²C バスインタフェース (RIIC)」、「34. シリアルペリフェラルインタフェース (RSPI)」の各割り込みの説明を参照してください。

14.4.3 割り込み要求先の選択

割り込み要因ごとに設定できる割り込み要求先は決められており、「表 14.3 割り込みのベクタテーブル」に示された要求先が設定できます。表 14.3 に「○」の記載がない割り込み要求先を選択しないでください。

IRQ 端子で DTC/DMAC を割り込み要求先に設定する場合は、IRQCRi.IRQMD[1:0] ビットをエッジ検出に設定してください。

割り込み要求先の設定方法を以下に示します。

(1) DMAC 起動

各要因ごとに、IERm.IENj ビットが“0”のときに以下の設定を行ってください。

1. DMAC のチャンネルごとに用意されている DMAC 起動要求選択レジスタ (DMRSRm) に該当割り込み要因ベクタ番号を指定 (注1)
2. DMAC 該当チャンネルの起動要因 (DMACm.DMTMD.DCTG[1:0]) を“01b” (割り込みモジュール検出) に設定
3. DMAC の該当チャンネルの DMAC 起動許可 (DMACm.DMCNT.DTE) を“1”に設定する

上記の状態、IERm.IENj ビットを“1”にしてください。

また、DMAC 動作許可ビット (DMAST.DMST) を“1”にしてください。各要因ごとの設定と DMAC 動作許可ビットの設定はどちらを先に行っても構いません。

DMAC の設定手順は、「17. DMA コントローラ (DMACA)」の「17.3.7 DMAC の起動」を参照してください。

(2) DTC 起動

各要因ごとに、IERm.IENj ビットが“0”のときに以下の設定を行ってください。

1. 当該要因の DTC 起動許可レジスタの DTC 転送許可ビット (DTCERn.DTCE) を“1”に設定する (注1)

上記の状態、IERm.IENj ビットを“1”にしてください。

また、DTC モジュール起動ビット (DTCST.DTCST) を“1”にしてください。各要因ごとの設定と DTC モジュール起動ビットの設定はどちらを先に行っても構いません。

DTC の設定手順は、「18. データトランスファコントローラ (DTCa)」の「18.5 DTC の設定手順」を参照してください。

- 注 1. DTC 起動許可 (DTCERn.DTCE) と DMAC 起動要求選択 (DMRSRm) に同一の要因を設定しないでください。また、複数の DMRSRm に同一の要因を設定しないでください。

(3) CPU 割り込み要求

割り込み要求先が DMAC でも DTC でもない要因は、CPU 割り込み対象となります。

上記の DMAC 起動、DTC 起動の設定がされていない状態で、IERm.IENj ビットを“1”にしてください。

DMAC や DTC を割り込み要求先に設定した場合の動作は、表 14.4 に示すとおりになります。

表 14.4 DMAC/DTC 起動時の動作

割り込み要求先	DISEL	残り転送回数	1 要求ごとの動作	IR (注1)	転送後の割り込み要求先
DMAC	1	≠ 0	DMA 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DMAC
		= 0	DMA 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DMACm.DMCNT.DTE ビットがクリアされ CPU に切り替え
	0	≠ 0	DMA 転送	DMAC 転送開始時にクリア	DMAC
		= 0	DMA 転送 (注2)	DMAC 転送開始時にクリア (注2)	DMACm.DMCNT.DTE ビットがクリアされ CPU に切り替え
DTC (注3)	1	≠ 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTC
		= 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCER.DTCE ビットがクリアされ CPU に切り替え
	0	≠ 0	DTC 転送	DTC 転送情報読み出し後の DTC データ転送開始時にクリア	DTC
		= 0	DTC 転送→CPU 割り込み (注2)	CPU 割り込み受け付け時にクリア (注2)	DTCER.DTCE ビットがクリアされ CPU に切り替え

DMAC の DISEL は DMACm.DMCSL.DISEL ビットで、DTC の DISEL は DTC.MRB.DISEL ビットで設定します。

注 1. IRn.IR フラグが“1”のとき、再度発生した割り込み要求 (DTC/DMAC 起動要求) は無視されます。

注 2. DISEL = 0 で、残り転送回数が“0”のときの動作は DTC と DMAC で異なります。

注 3. チェーン転送の場合は、チェーン最終転送まで DTC 転送を継続します。チェーン最終転送時の CPU 割り込みの有無、IRn.IR フラグのクリア、転送後の割り込み要求先の各動作は、チェーン最終転送の DISEL、および残り転送回数によって決まります。チェーン転送については、「18. データトランスファコントローラ (DTCa)」の「表 18.3 チェーン転送の条件」を参照してください。

割り込み要求先を変更する場合は IERm.IENj ビットが“0”のときに行ってください。

「(1) DMAC 起動」を設定してから転送が完了していない状態 (DMACm.DMCNT.DTE ビットがクリアされていない状態) で、割り込み要求先を変更する場合、または DMA 起動要因を別要因に変更する場合は、次の手順で変更を行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを“0”にする。
2. DMAC 転送状況を確認する。転送中であれば、転送完了を待つ。

3. 「(1) DMAC 起動」の設定を行う。

「(2) DTC 起動」を設定してから転送が完了していない状態 (DTCERn.DTCE ビットがクリアされていない状態) で、割り込み要求先を変更する場合、または DTC 転送設定内容を変更する場合は、以下の手順で行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを“0”にする。
2. DTC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(2) DTC 起動」の設定を行う。

14.4.4 優先順位の判定

割り込みコントローラは、割り込み要求先ごとに優先順位の判定を行います。それぞれの割り込み要求先に対する優先順位判定方法は以下のとおりです。

(1) 割り込み要求先が CPU の場合の優先順位判定

高速割り込みに設定された要因が最も優先されます。その次に割り込み優先レベル設定ビット (IPRn.IPR[3:0]) の値が大きい要因が優先されます。IPRn.IPR[3:0] ビットの値が同一レベルの要因が複数ある場合には、ベクタ番号が小さい要因が優先されます。

(2) 割り込み要求先が DTC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。ベクタ番号が小さい要因が優先されます。

(3) 割り込み要求先が DMAC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。DMAC チャンルの優先順位については「17. DMA コントローラ (DMACA)」を参照してください。

14.4.5 多重割り込み

CPU の多重割り込みを許可するには、受け付けた割り込みの処理ルーチン内で PSW.I ビットを“1” (割り込み許可) にしてください。

割り込み処理ルーチンに分岐した直後の PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け (多重割り込み) が行われます。

受け付けた割り込み要求の割り込み優先レベルが 15 (高速割り込み、IPR[3:0] を“1111b”に設定した割り込み) の場合は、多重割り込みは発生しません。

14.4.6 高速割り込み

高速割り込みは、CPU の割り込み応答を高速に実行できる割り込みで、割り込み要因のうちの 1 つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、IPRn.IPR[3:0] ビットの設定にかかわらず、15 (最高) です。また、他のレベル 15 の割り込み要因よりも優先的に受け付けられます。ただし、PSW.IPL[3:0] ビットの値が“1111b” (優先レベル 15) の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てするには、FIR.FVCT[7:0] ビットにその要因のベクタ番号を設定し、FIR.FIEN ビットを“1” (高速割り込みを許可) にしてください。

高速割り込みについては「2. CPU」や「13. 例外処理」も参照してください。

14.4.7 デジタルフィルタ

外部割り込み要求端子 IRQ_i ($i=0\sim 12$) と NMI 端子割り込みには、デジタルフィルタ機能を持っています。

デジタルフィルタは入力信号をフィルタ用サンプリングクロック (PCLKB) でサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

IRQ_i 端子のデジタルフィルタを使用する場合、 $IRQFLT0, 1.FCLKSELi[1:0]$ ビット ($i=0\sim 12$) でサンプリング周波数 (PCLKB、PCLKB/8、PCLKB/32、PCLKB/64) を設定し、 $IRQFLTE0, 1.FLTENi$ ビットを“1” (デジタルフィルタ有効) にしてください。

NMI 端子割り込みのデジタルフィルタを使用する場合、 $NMIFLTC.NFCLKSEL[1:0]$ ビットでサンプリング周波数 (PCLKB、PCLKB/8、PCLKB/32、PCLKB/64) を設定し、 $NMIFLTE.NFLTEN$ ビットを“1” (デジタルフィルタ有効) にしてください。

図 14.8 にデジタルフィルタの動作例を示します。

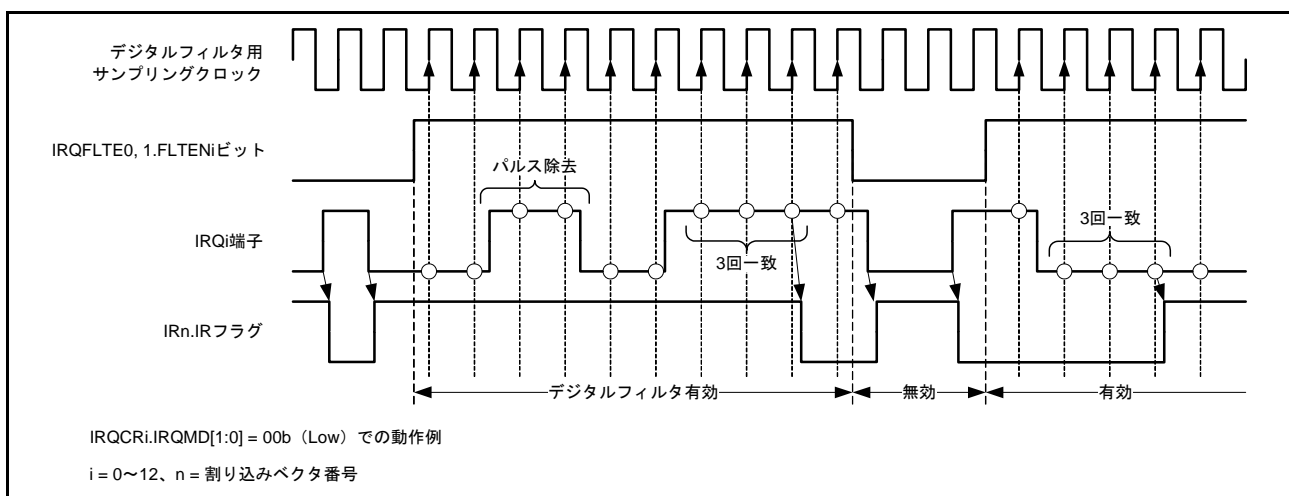


図 14.8 デジタルフィルタ動作例

ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する際は、 $IRQFLTE0, 1.FLTENi$ ビット、および $NMIFLTE.NFLTEN$ ビットを“0” (デジタルフィルタ無効) にしてください。ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードからの復帰後に再度デジタルフィルタを使用する場合は、 $IRQFLTE0, 1.FLTENi$ ビット、もしくは $NMIFLTE.NFLTEN$ ビットを“1” (デジタルフィルタ有効) にしてください。

14.4.8 外部端子割り込み

外部端子割り込みを使用する手順は以下のとおりです。

1. $IERm.IENj$ ビットを“0” (割り込み要求禁止) にする。
2. $IRQFLTE0, 1.FLTENi$ ビット ($i=0\sim 12$) を“0” (デジタルフィルタ無効) にする。
3. $IRQFLTE0, 1.FCLKSELi[1:0]$ ビットでデジタルフィルタのサンプリングクロックを設定する。
4. I/O ポートの設定、および確認を行う。
5. $IRQCRI.IRQMD[1:0]$ ビットで検出方法を設定する。
6. $IRn.IR$ フラグを“0”にする (エッジ検出の場合)。
7. $IRQFLTE0, 1.FLTENi$ ビットを“1” (デジタルフィルタ有効) にする。
8. DMAC 起動の場合 $DMRSRp.DMRS[7:0]$ ビットを、DTC 起動の場合 $DTCERk.DTCE$ ビットを設定する (どちらも設定しない場合は CPU 割り込み)。
9. $IERm.IENj$ ビットを“1” (割り込み要求許可) にする。

14.5 ノンマスクابل割り込みの動作説明

ノンマスクابل割り込みには NMI 端子割り込み、発振停止検出割り込み、WDT アンダフロー/リフレッシュエラー、IWDT アンダフロー/リフレッシュエラー、電圧監視 1 割り込み、電圧監視 2 割り込みがあります。ノンマスクابل割り込みは CPU への割り込みのみであり、DTC や DMAC の起動はできません。高速割り込みを含むすべての割り込みの中で最優先の割り込みです。

ノンマスクابل割り込み要求は、CPU の PSW.I ビット (割り込み許可ビット)、PSW.IPL[3:0] ビット (プロセッサ割り込み優先レベル) の状態にかかわらず受け付けられます。ノンマスクابل割り込みの有無はノンマスクابل割り込みステータスレジスタ (NMISR) で確認できます。

ノンマスクابل割り込みハンドラでは、NMISR レジスタの全ビットが“0”であることを確認してください。

初期状態では「ノンマスクابل割り込み禁止」となっています。ノンマスクابل割り込みを使用するシステムでは、プログラム処理の先頭で以下の手順に従ってください。

ノンマスクابل割り込み使用手順

1. スタックポインタ (SP) を設定する。
2. NMI 端子を使用する場合は、NMIFLTE.NFLTEN ビットを“0” (デジタルフィルタ無効) にする。
3. NMI 端子を使用する場合は、NMIFLTC.NFCLKSEL[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。
4. NMI 端子を使用する場合は、NMICR.NMIMD ビットで NMI 端子の検出センスを設定する。
5. NMI 端子を使用する場合は、NMICLR.NMICLR ビットに“1”を書いて、NMISR.NMIST フラグを“0”にする。
6. NMI 端子を使用する場合は、NMIFLTE.NFLTEN ビットを“1” (デジタルフィルタ有効) にする。
7. ノンマスクابل割り込み許可レジスタ (NMIER) の許可する割り込みに対応するビットを“1”にして、ノンマスクابل割り込みの使用を許可する。

NMIER レジスタに“1”を書くと、以後の NMIER レジスタへの書き込みは無視されます。ノンマスクابل割り込みを禁止することはできません。リセットでのみ禁止になります。

ノンマスクابل割り込みの処理の流れは、「13. 例外処理」を参照してください。

NMI ステータスフラグ (NMISR.NMIST) は、NMICLR.NMICLR ビットに“1”を書くことで“0”になります。

発振停止検出割り込みステータスフラグ (NMISR.OSTST) は、NMICLR.OSTCLR ビットに“1”を書くことで“0”になります。

WDT アンダフロー/リフレッシュエラーステータスフラグ (NMISR.WDTST) は、NMICLR.WDTCLR ビットに“1”を書くことで“0”になります。

IWDT アンダフロー/リフレッシュエラーステータスフラグ (NMISR.IWDTST) は、NMICLR.IWDTCCLR ビットに“1”を書くことで“0”になります。

電圧監視 1 割り込み ステータスフラグ (NMISR.LVD1ST) は、NMICLR.LVD1CLR ビットに“1”を書くことで“0”になります。

電圧監視 2 割り込み ステータスフラグ (NMISR.LVD2ST) は、NMICLR.LVD2CLR ビットに“1”を書くことで“0”になります。

14.6 低消費電力状態からの復帰

スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモードからの復帰割り込みとして使用可能な割り込み要因を「表 14.3 割り込みのベクタテーブル」に示します。

詳細は「11. 消費電力低減機能」を参照してください。各低消費電力モードにおける、復帰対象割り込みの設定方法は以下のとおりです。

14.6.1 スリープモードからの復帰

ノンマスクابل割り込み、および全要因の割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) 割り込み要求先が CPU であること
 - (2) IERm.IENj ビットによって該当する割り込み要求が許可されていること
 - (3) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
- ノンマスクابل割り込み
 - NMIER レジスタによって該当する割り込み要求が許可されていること

14.6.2 全モジュールクロックストップモードからの復帰

ノンマスクابل割り込み、および全モジュールクロックストップモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) 全モジュールクロックストップモードから復帰可能な要因であること
 - (2) 割り込み要求先が CPU であること
 - (3) IERm.IENj ビットによって該当する割り込み要求が許可されていること
 - (4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
- ノンマスクابل割り込み
 - NMIER レジスタによって該当する割り込み要求が許可されていること

14.6.3 ソフトウェアスタンバイモードからの復帰

ノンマスクابل割り込み、およびソフトウェアスタンバイモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) ソフトウェアスタンバイモードから復帰可能な要因であること
 - (2) 割り込み要求先が CPU であること
 - (3) IERm.IENj ビットによって該当する割り込み要求が許可されていること
 - (4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
(高速割り込みに設定した要因には高速割り込み設定レジスタ (FIR) だけでなく、対応する割り込み優先レベル (IPRn) も CPU.PSW.IPL より高い設定にしてください。)

上記条件を満たさない IRQ 端子では、ソフトウェアスタンバイモードでクロック停止期間中に発生した割り込み要因は検出されません。

- ノンマスカブル割り込み
NMISR レジスタによって該当する割り込み要求が許可されていること
- ソフトウェアスタンバイモードへの移行 / 復帰の手順
 - (1) ソフトウェアスタンバイモードに移行する前に、復帰対象の割り込み要因のデジタルフィルタを無効 (IRQFLTE0, 1.FLTENi ビットを“0”、NMIFLTE.NFLTEN ビットを“0”) にしてください。
 - (2) ソフトウェアスタンバイモードから復帰後に再度デジタルフィルタを使用する場合は、デジタルフィルタを有効 (IRQFLTE0, 1.FLTENi ビットを“1”、NMIFLTE.NFLTEN ビットを“1”) にしてください。

14.7 使用上の注意事項

14.7.1 ノンマスカブル割り込み使用時の WAIT 命令の注意事項

WAIT 命令を実行する場合は、NMISR レジスタのすべてのステータスフラグが“0”であることを確認した後で行ってください。

15. バス

15.1 概要

表 15.1 にバスの仕様を、図 15.1 にバスの構成図を、表 15.2 にバス種類別アドレス対応表を示します。

表 15.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	<ul style="list-style-type: none"> • CPU (命令) を接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック (ICLK) に同期して動作
	オペランドバス	<ul style="list-style-type: none"> • CPU (オペランド) を接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック (ICLK) に同期して動作
メモリバス	メモリバス1	<ul style="list-style-type: none"> • RAMを接続
	メモリバス2	<ul style="list-style-type: none"> • ROMを接続
内部メインバス	内部メインバス1	<ul style="list-style-type: none"> • CPUを接続 • システムクロック (ICLK) に同期して動作
	内部メインバス2	<ul style="list-style-type: none"> • DMAC、DTCを接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック (ICLK) に同期して動作
内部周辺バス	内部周辺バス1	<ul style="list-style-type: none"> • 周辺機能 (DTC、DMAC、割り込みコントローラ、バスエラー監視部) を接続 • システムクロック (ICLK) に同期して動作
	内部周辺バス2	<ul style="list-style-type: none"> • 周辺機能 (内部周辺バス1、3以外の周辺機能) を接続 • 周辺モジュールクロック (PCLKB、PCLKD^(注1)) に同期して動作
	内部周辺バス3	<ul style="list-style-type: none"> • 周辺機能 (GEC、RCR) を接続 • 周辺モジュールクロック (PCLKB) に同期動作
	内部周辺バス6	<ul style="list-style-type: none"> • ROM (P/E時)、E2データフラッシュを接続 • FlashIFクロック (FCLK) に同期して動作
外部バス	CS領域	<ul style="list-style-type: none"> • 外部デバイスを接続 • 外部バスクロック (BCLK) に同期して動作

注1. 周辺モジュールクロック (PCLKD) は、S12ADの動作クロックです。

P/E : プログラム/イレーズ

BCLK (外部バスクロック) : 最大 54MHz のクロックです。CSC (CS 領域エリアコントローラ) は、BCLK に同期して動作します。

BCLK 端子出力 : リセット後、BCLK と同じ周波数です。外部バスクロックコントロールレジスタの BCLK 端子出力選択ビット (BCKCR.BCLKDIV) で、BCLK の 2 分周が可能です。詳細は、「9. クロック発生回路」を参照してください。

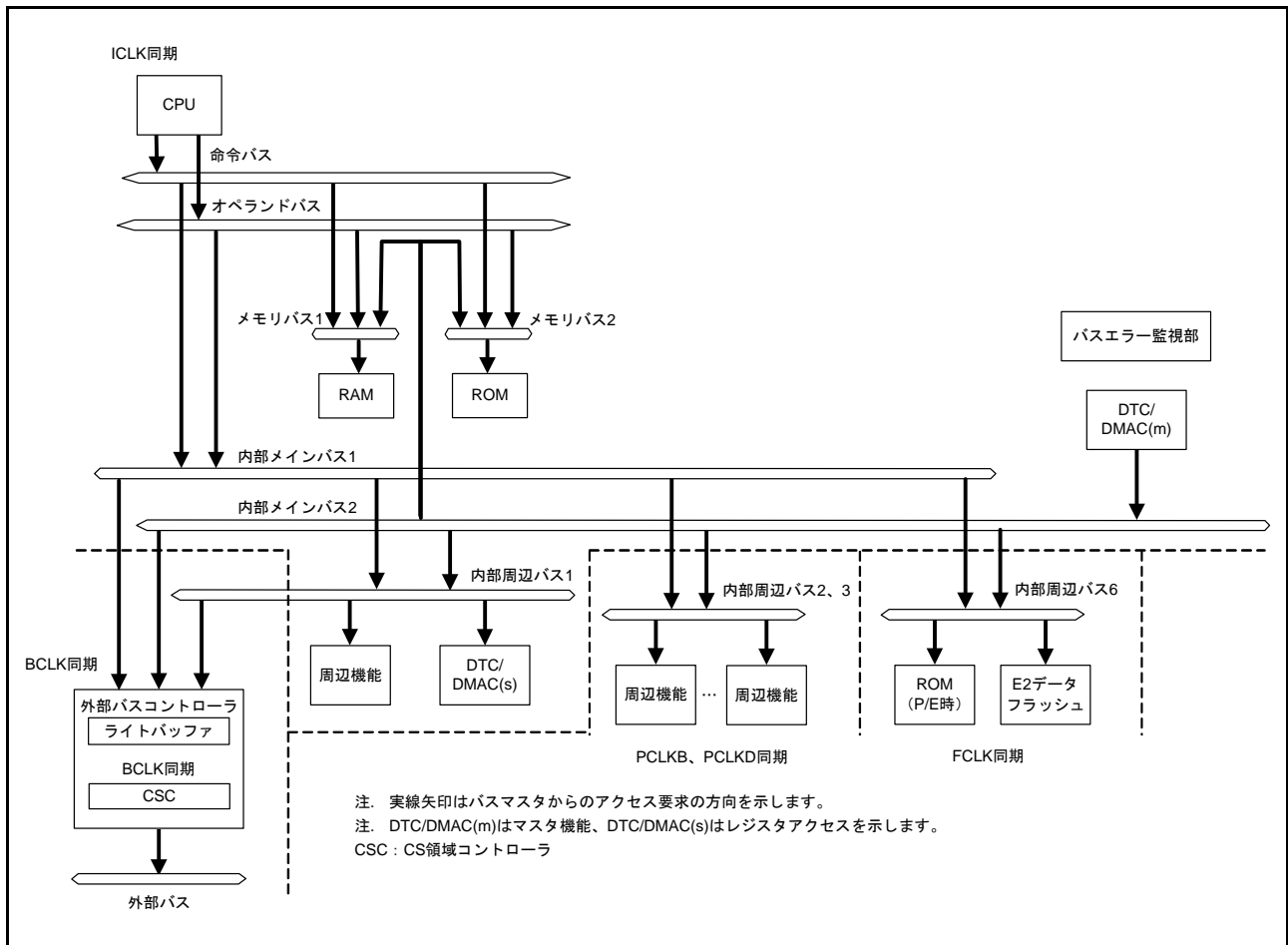


図 15.1 バスの構成図

表 15.2 バス種類別アドレス対応表

アドレス	バス		内容	
	内蔵ROM有効	内蔵ROM無効	内蔵ROM有効	内蔵ROM無効
0000 0000h ~ 0001 FFFFh	メモリバス 1		RAM	
0002 0000h ~ 0007 FFFFh			予約領域	
0008 0000h ~ 0008 7FFFh	内部周辺バス 1		周辺 I/O レジスタ	
0008 8000h ~ 0009 FFFFh	内部周辺バス 2			
000A 0000h ~ 000B FFFFh	内部周辺バス 3			
0010 0000h ~ 00FF FFFFh	内部周辺バス 6	予約領域	E2 データフラッシュ、ROM (プログラム/イレーズ用)	予約領域
0500 0000h ~ 07FF FFFFh	外部バス		外部アドレス空間 (CS1 ~ CS3)	
0800 0000h ~ 0FFF FFFFh			予約領域	
1000 0000h ~ 7FFF FFFFh	予約領域		予約領域	
8000 0000h ~ FEFF FFFFh	メモリバス 2	予約領域	ROM (読み出し専用)	予約領域
FF00 0000h ~ FFFF FFFFh		外部バス		外部アドレス空間 (CS0)

15.2 バスの説明

15.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。

命令バスとオペランドバスは、RAM、ROM に接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、ROM は読み出しのみ CPU からの直接アクセスが可能であり、書き込み/消去は内部周辺バスを介して行います。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス（メモリバス 1、メモリバス 2、内部メインバス 1）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、ROM と RAM、ROM と外部アクセスなどの並列動作が可能となります。

15.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があり、メモリバス 1 には RAM、メモリバス 2 には ROM が接続されています。メモリバス 1 とメモリバス 2 は、CPU バス（命令フェッチとオペランド）、内部メインバス 2 からのバス権要求を調停します。

2 本のバスの優先順位は、それぞれバスプライオリティ制御レジスタのメモリバス 1 (RAM) プライオリティ制御ビット (BUSPRI.BPRA[1:0])、メモリバス 2 (ROM) プライオリティ制御ビット (BUSPRI.BPRO[1:0]) により設定可能です。優先順位固定の場合は、2 本のバスの優先順位は、内部メインバス 2 > CPU バス（オペランド > 命令フェッチ）の順となります。優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

15.2.3 内部メインバス

内部メインバスは、CPU が使用するバス（内部メインバス 1）と、CPU 以外のバスマスタ（DTC、DMAC）が使用するバス（内部メインバス 2）の 2 本で構成されます。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

内部メインバス 2 では、DTC、DMAC のバス権要求を調停します。優先順位は、表 15.3 に示すように、DMAC > DTC の順となります。

DTC と DMAC については、起動要求を受け付けたいずれかの一方のみがバス権要求を行います。DTC と DMAC の起動要求の優先順位は、BUSPRI レジスタの設定に関わらず、DMAC0 > DMAC1 > DMAC2 > DMAC3 > DTC の順となります。

CPU と CPU 以外のバスマスタからの要求が異なるバス（内蔵メモリ、内部周辺バス 1～内部周辺バス 3、内部周辺バス 6、外部バス）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

ただし、CPU により XCHG 命令が実行された場合には、バスプライオリティ制御レジスタ (BUSPRI) の設定にかかわらず、XCHG 命令によるバスアクセスが完了するまで、CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 15.3 バスマスタ 優先順位

優先度	バスマスタ
高 ↑ 低	DMAC
	DTC
	CPU

15.2.4 内部周辺バス

表 15.4 に内部周辺バスに接続される周辺機能を示します。

表 15.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス 1	DTC、DMAC、割り込みコントローラ、バスエラー監視部
内部周辺バス 2	内部周辺バス 1、3以外の周辺機能
内部周辺バス 3	CEC、RCR
内部周辺バス 6	ROM (P/E時) / E2データフラッシュ

内部周辺バス 1～3、6 は、それぞれ、CPU (内部メインバス 1) と CPU 以外のバスマスタ (内部メインバス 2) からのバス権要求を調停します。

2本の内部メインバスの優先順位は、バスプライオリティ制御レジスタ (BUSPRI) により設定可能です。優先順位は、内部周辺バス 1 プライオリティ制御ビット (BUSPRI.BPIB[1:0])、内部周辺バス 2、3 プライオリティ制御ビット (BUSPRI.BPGB[1:0])、内部周辺バス 6 プライオリティ制御ビット (BUSPRI.BPFB[1:0]) によりバスごとに設定できます。優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 の順となります。優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BUSPRI レジスタの設定の違いにより、受け付けられる要求の順番が変わることがありますので注意してください。図 15.2 に示すとおり、受け付けられたバス要求の優先順位が低い場合は、その優先順位は変わりません。

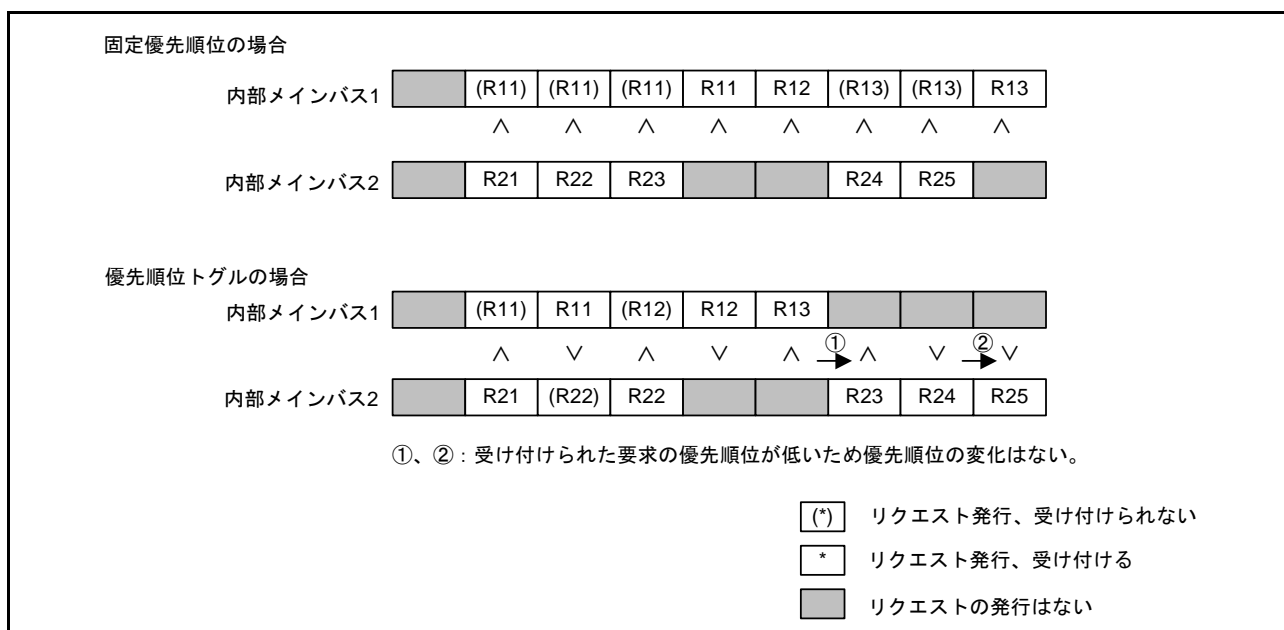


図 15.2 内部周辺バス優先順位

15.2.5 ライトバッファ機能（内部周辺バス）

内部周辺バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに、次のアクセスを受け付けることができます。ただし、同じバスマスタからのアクセスの場合、ライトアクセスの次のアクセスが異なる内部周辺バスに対するものであれば、ライトアクセスが終了するまで次のアクセスは、待たされます。CPU から内部周辺バスのライトアクセス後に内蔵メモリへのリードアクセスがある場合には、動作の終了を待たずに次のアクセスが受け付けられるため、アクセスの順番が入れ替わることがありますので注意してください（図 15.3 参照）。

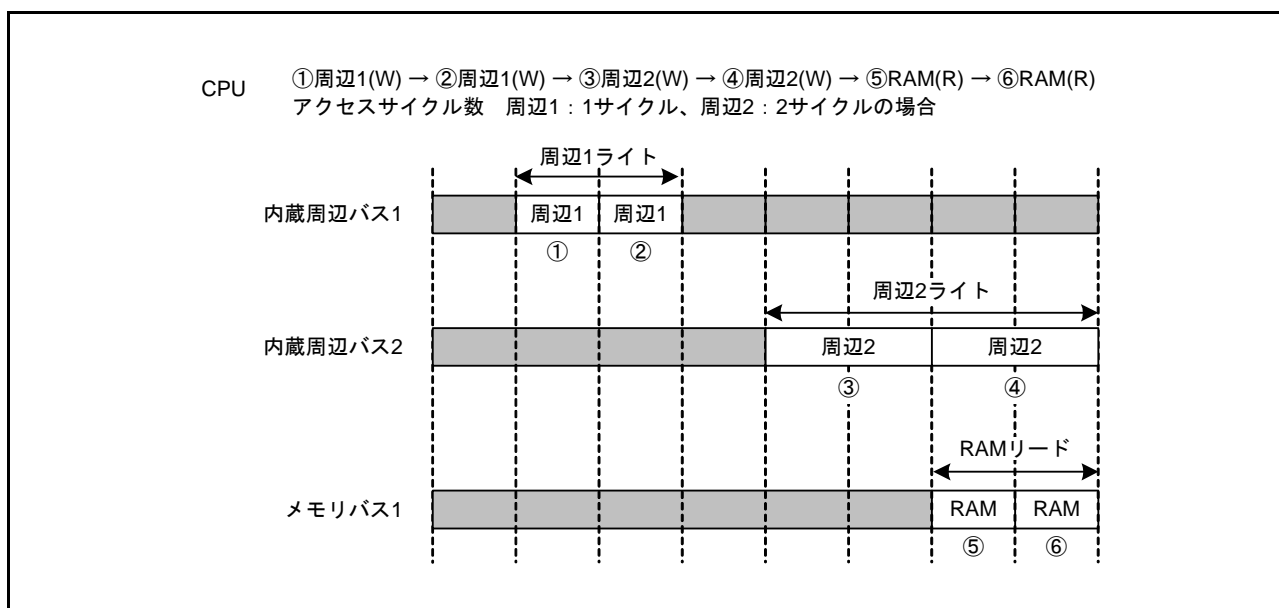


図 15.3 ライトバッファ機能

15.2.6 外部バス

表 15.5 に外部バスの仕様を示します。

外部バスコントローラは、内部メインバス 1、内部メインバス 2 からのバス権要求を調停します。

2 本のバスの優先順位は、バスプライオリティ制御レジスタの外部バスプライオリティ制御ビット (BUSPRI.BPEB[1:0]) により設定可能です。優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 の順となります。優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

バスプライオリティ制御レジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください。図 15.2 に示すとおり、受け付けられたバス要求の優先順位が低い場合は、その優先順位は変わりません。

表 15.5 外部バスの仕様

項目	内容
外部アドレス空間	<ul style="list-style-type: none"> 外部アドレス空間を4つのCS領域 (CS0～CS3) に分割して管理 領域ごとにチップセレクトを出力可能 領域ごとにバス幅を選択可能 セパレートバス：8ビットバス空間/16ビットバス空間を選択可能 アドレスデータマルチプレクスバス：8ビットバス空間/16ビットバス空間を選択可能 領域ごとにエンディアンを設定可能
CS領域コントローラ	<ul style="list-style-type: none"> リカバリサイクル挿入可能 リードリカバリ最大15サイクル挿入 ライトリカバリ最大15サイクル挿入 サイクルウェイト機能：最大31サイクルウェイト (ページアクセス最大7サイクルウェイト) ウェイト制御 チップセレクト信号 (CS0#～CS3#) のアサート/ネゲートタイミング設定可能 リード信号 (RD#)、ライト信号 (WR0#/WR#、WR1#) のアサートタイミング設定可能 データ出力の開始/終了タイミング設定可能 ライトアクセスモード：1ライトストロープモード/バイトストロープモード セパレートバス/アドレスデータマルチプレクスバスを領域ごとに設定可能
ライトバッファ機能	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了
周波数	CS領域コントローラ (CSC) は、BCLKに同期して動作

表 15.6 に外部バスの入出力端子を示します。

表 15.6 外部バスの入出力端子

端子名	入出力	機能
A23～A0 (注1)	出力	アドレス出力端子です
D15～D0	入出力	データ入出力端子です 16ビットバス空間を設定した場合、D15～D0が有効となります 8ビットバス空間を設定した場合、D7～D0が有効となります
BC0# (注1)	出力	1ライトストロープモード時、外部アドレス空間をアクセス中で (BC0#信号がLowの場合)、D7～D0が有効であることを示すストロープ信号です 8ビットバス空間を設定した場合、ライトアクセスモードに関係なくLow出力となります
BC1#	出力	1ライトストロープモード時、外部アドレス空間をアクセス中で (BC1#信号がLowの場合)、D15～D8が有効であることを示すストロープ信号です 8ビットバス空間を設定した場合、使用しません
CS0#	出力	領域0 (CS0) チップセレクト信号です
CS1#	出力	領域1 (CS1) チップセレクト信号です
CS2#	出力	領域2 (CS2) チップセレクト信号です
CS3#	出力	領域3 (CS3) チップセレクト信号です
RD#	出力	外部アドレス空間 (CS0～CS3) をリード中であることを示すストロープ信号です
WR0#/WR# (注2)	出力	WR0#信号は、バイトストロープモード時、外部アドレス空間をライト中で (WR0#信号がLowの場合)、D7～D0が有効であることを示すストロープ信号です WR#信号は、1ライトストロープモード時、外部アドレス空間をライト中であることを示すストロープ信号です。 8ビットバス空間を設定した場合、ライトアクセスモードに関係なくライトアクセス時にLowが出力されます
WR1#	出力	バイトストロープモード時、外部アドレス空間をライト中で (WR1#信号がLowの場合)、D15～D8が有効であることを示すストロープ信号です 1ライトストロープモード時、無効となります 8ビットバス空間を設定した場合、使用しません
ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号です
WAIT#	入力	外部アドレス空間 (CS0～CS3) をアクセスするときのウェイト要求信号です。(Low : ウェイト要求)

注1. A0端子とBC0#端子は兼用しており、領域ごとにバイトストロープモード時はA0端子、1ライトストロープモード時はBC0#端子が有効になります。ただし、1ライトストロープモード時は、8ビット外部バス幅の設定は禁止です。その他の兼用端子については、「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

注2. WR0#端子とWR#端子は、同じ信号です。WR#端子は、1ライトストロープモード時のWR0#のことを示します。

15.2.7 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPUの命令フェッチがROMを、オペランドがRAMをアクセス中に、DMACは周辺-外部バス間の転送を行うことができます。図15.4に並列動作の例を示します。この例の場合、CPUは命令バスとオペランドバスを使って、それぞれROMとRAMを同時にアクセスすることが可能です。また、CPUがROMとRAMをアクセス中に、DMACは内部メインバス2を使って、周辺バスあるいは外部バスを同時にアクセスすることができます。

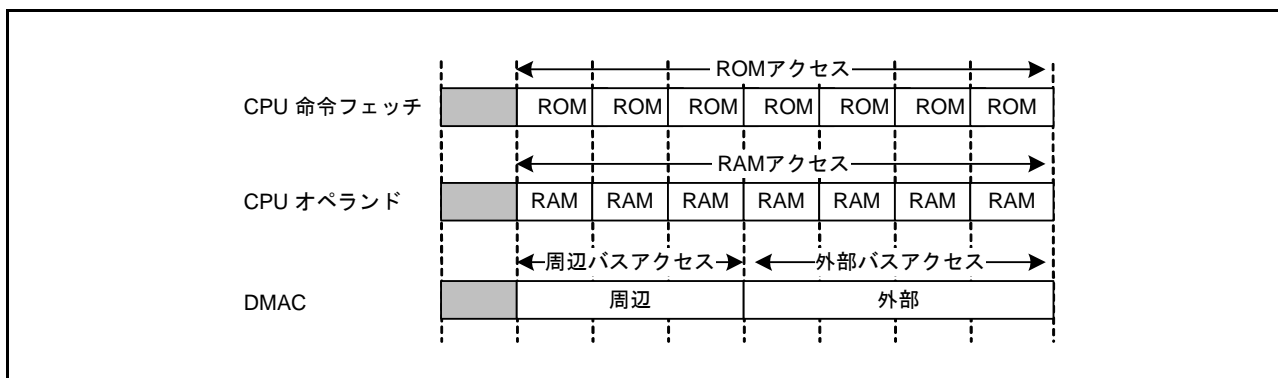


図 15.4 並列動作の例

15.2.8 バスの設定

- (1) 外部バスのモードを、CSn モードレジスタ (CSnMOD)、CSn ウェイト制御レジスタ 1 (CSnWCR1)、CSn ウェイト制御レジスタ 2 (CSnWCR2)、CSn 制御レジスタ (CSnCR)、CSn リカバリサイクル設定レジスタ (CSnREC)、CS リカバリサイクル挿入許可レジスタ (CSRECEN)、バスエラー監視許可レジスタ (BEREN)、バスプライオリティ制御レジスタ (BUSPRI) で設定します。
- (2) 端子の設定を、CS 出力許可レジスタ (PFCSE)、アドレス出力許可レジスタ 0 (PFAOE0)、アドレス出力許可レジスタ 1 (PFAOE1)、外部バス制御レジスタ 0 (PFBCR0)、外部バス制御レジスタ 1 (PFBCR1) で行います。
- (3) 使用する端子を入力ポートに設定します。
- (4) システムコントロールレジスタ 0 (SYSCR0) の外部バス許可ビット (EXBE) を“1” (外部バス有効) に設定します。

15.2.9 制約事項

(1) アドレス空間の複数領域にまたがるアクセスの禁止

1つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで2つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

- (a) 外部空間には領域ごとのエンディアン切り替え機能（データのみ）がありますが、チップのエンディアンと異なる設定を行った領域にRMPA命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- (b) RMPA命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

(3) エンディアンに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

15.3 レジスタの説明

15.3.1 CSn 制御レジスタ (CSnCR) (n = 0 ~ 3)

アドレス CS0CR 0008 3802h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	MPXEN	—	—	—	EMOD E	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

アドレス CS1CR 0008 3812h, CS2CR 0008 3822h, CS3CR 0008 3832h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	MPXEN	—	—	—	EMOD E	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXENB	動作許可ビット	0: 動作禁止 1: 動作許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BSIZE[1:0]	外部バス幅選択ビット	b5 b4 0 0: 16ビットバス空間に設定 0 1: 設定しないでください 1 0: 8ビットバス空間に設定 1 1: 設定しないでください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	EMODE	エンディアンモード指定ビット	0: 領域nのエンディアンは動作モードのエンディアンと同じ (n = 0~3) 1: 領域nのエンディアンは動作モードのエンディアンと異なる	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	MPXEN	アドレス/データマルチプレクス I/O インタフェース選択ビット	0: 領域nはセパレートバスインタフェース 1: 領域nはアドレス/データマルチプレクス I/O インタフェース (n = 0~3)	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnCR レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

EXENB ビット (動作許可ビット)

各領域の動作許可 / 禁止を設定します。

なお、リセット後は、領域 0 (CS0) のみ動作許可 (“1”) になり、それ以外の領域は動作禁止 (“0”) になります。

動作禁止に設定した領域をアクセスした場合は、外部バスアクセスは発生しません。このとき、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビット (BEREN.IGAEN = 1) が検出許可に設定されていれば、不正アドレスエラーとなります。

BSIZE[1:0] ビット (外部バス幅選択ビット)

各領域のデータバス幅を設定します。

なお、リセット後の領域 0 (CS0) のデータバス幅は、8 ビットバス空間になります。

MPXEN ビットでアドレス / データマルチプレクス I/O インタフェースを設定した場合、32 ビットバス空間に設定することを禁止しており、設定した場合の動作を保証しません。

EMODE ビット (エンディアンモード指定ビット)

各領域のエンディアンを設定します。

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

MPXEN ビット (アドレス/データマルチプレクス I/O インタフェース選択ビット)

各領域のバスインタフェースを設定します。

15.3.2 CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ~ 3)

アドレス CS0REC 0008 380Ah, CS1REC 0008 381Ah, CS2REC 0008 382Ah, CS3REC 0008 383Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	WRCV[3:0]				—	—	—	—	RRCV[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	RRCV[3:0]	リードリカバリ設定ビット	b3 b0 0 0 0 0 : リカバリサイクルを挿入しない 0 0 0 1 : リカバリサイクルを1サイクル挿入 0 0 1 0 : リカバリサイクルを2サイクル挿入 0 0 1 1 : リカバリサイクルを3サイクル挿入 0 1 0 0 : リカバリサイクルを4サイクル挿入 0 1 0 1 : リカバリサイクルを5サイクル挿入 0 1 1 0 : リカバリサイクルを6サイクル挿入 0 1 1 1 : リカバリサイクルを7サイクル挿入 1 0 0 0 : リカバリサイクルを8サイクル挿入 1 0 0 1 : リカバリサイクルを9サイクル挿入 1 0 1 0 : リカバリサイクルを10サイクル挿入 1 0 1 1 : リカバリサイクルを11サイクル挿入 1 1 0 0 : リカバリサイクルを12サイクル挿入 1 1 0 1 : リカバリサイクルを13サイクル挿入 1 1 1 0 : リカバリサイクルを14サイクル挿入 1 1 1 1 : リカバリサイクルを15サイクル挿入	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	WRCV[3:0]	ライトリカバリ設定ビット	b11 b8 0 0 0 0 : リカバリサイクルを挿入しない 0 0 0 1 : リカバリサイクルを1サイクル挿入 0 0 1 0 : リカバリサイクルを2サイクル挿入 0 0 1 1 : リカバリサイクルを3サイクル挿入 0 1 0 0 : リカバリサイクルを4サイクル挿入 0 1 0 1 : リカバリサイクルを5サイクル挿入 0 1 1 0 : リカバリサイクルを6サイクル挿入 0 1 1 1 : リカバリサイクルを7サイクル挿入 1 0 0 0 : リカバリサイクルを8サイクル挿入 1 0 0 1 : リカバリサイクルを9サイクル挿入 1 0 1 0 : リカバリサイクルを10サイクル挿入 1 0 1 1 : リカバリサイクルを11サイクル挿入 1 1 0 0 : リカバリサイクルを12サイクル挿入 1 1 0 1 : リカバリサイクルを13サイクル挿入 1 1 1 0 : リカバリサイクルを14サイクル挿入 1 1 1 1 : リカバリサイクルを15サイクル挿入	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnREC レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

前バスアクセスがセパレートバスの場合、CS リカバリサイクル挿入許可レジスタのセパレートバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENj) (j = 0 ~ 7) により、アドレス/データマルチプレクスバスの場合、CS リカバリサイクル挿入許可レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENMj) により、リカバリサイクル挿入許可に設定されている場合に有効となります。

RRCV[3:0] ビット (リードリカバリ設定ビット)

外部バスに対するリードアクセス後に挿入するリカバリサイクル数を設定します。

リカバリサイクル挿入許可を設定し、“0000b”以外を設定すると、以下の場合に 1～15 サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合

WRCV[3:0] ビット (ライトリカバリ設定ビット)

外部バスに対するライトアクセス後に挿入するリカバリサイクル数を設定します。

リカバリサイクル挿入許可を設定し、“0000b”以外を設定すると、以下の場合に 1～15 サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合

15.3.3 CS リカバリサイクル挿入許可レジスタ (CSRECEN)

アドレス 0008 3880h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCVEN M7	RCVEN M6	RCVEN M5	RCVEN M4	RCVEN M3	RCVEN M2	RCVEN M1	RCVEN M0	RCVEN 7	RCVEN 6	RCVEN 5	RCVEN 4	RCVEN 3	RCVEN 2	RCVEN 1	RCVEN 0
リセット後の値	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	RCVEN0	セパレートバス用リカバリサイクル挿入許可0ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b1	RCVEN1	セパレートバス用リカバリサイクル挿入許可1ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b2	RCVEN2	セパレートバス用リカバリサイクル挿入許可2ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b3	RCVEN3	セパレートバス用リカバリサイクル挿入許可3ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b4	RCVEN4	セパレートバス用リカバリサイクル挿入許可4ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b5	RCVEN5	セパレートバス用リカバリサイクル挿入許可5ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b6	RCVEN6	セパレートバス用リカバリサイクル挿入許可6ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b7	RCVEN7	セパレートバス用リカバリサイクル挿入許可7ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b8	RCVENM0	マルチプレクスバス用リカバリサイクル挿入許可0ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b9	RCVENM1	マルチプレクスバス用リカバリサイクル挿入許可1ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b10	RCVENM2	マルチプレクスバス用リカバリサイクル挿入許可2ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b11	RCVENM3	マルチプレクスバス用リカバリサイクル挿入許可3ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b12	RCVENM4	マルチプレクスバス用リカバリサイクル挿入許可4ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b13	RCVENM5	マルチプレクスバス用リカバリサイクル挿入許可5ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b14	RCVENM6	マルチプレクスバス用リカバリサイクル挿入許可6ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b15	RCVENM7	マルチプレクスバス用リカバリサイクル挿入許可7ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W

CSRECEN レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

RCVEN0 ビット (セパレートバス用リカバリサイクル挿入許可 0 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN1 ビット (セパレートバス用リカバリサイクル挿入許可 1 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN2 ビット (セパレートバス用リカバリサイクル挿入許可 2 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN3 ビット (セパレートバス用リカバリサイクル挿入許可 3 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN4 ビット (セパレートバス用リカバリサイクル挿入許可 4 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN5 ビット (セパレートバス用リカバリサイクル挿入許可 5 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN6 ビット (セパレートバス用リカバリサイクル挿入許可 6 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN7 ビット (セパレートバス用リカバリサイクル挿入許可 7 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM0 ビット (マルチプレクスバス用リカバリサイクル挿入許可 0 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM1 ビット (マルチプレクスバス用リカバリサイクル挿入許可 1 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM2 ビット (マルチプレクスバス用リカバリサイクル挿入許可 2 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM3 ビット (マルチプレクスバス用リカバリサイクル挿入許可 3 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM4 ビット (マルチプレクスバス用リカバリサイクル挿入許可 4 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM5 ビット (マルチプレクスバス用リカバリサイクル挿入許可 5 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM6 ビット (マルチプレクスバス用リカバリサイクル挿入許可 6 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM7 ビット (マルチプレクスバス用リカバリサイクル挿入許可 7 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

表 15.7 リカバリサイクルの挿入

アクセスの種類	外部アドレス空間	リカバリサイクルの挿入	対応ビット (セパレート/マルチプレクス)
リードアクセス後のリードアクセス	同じ領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN0/RCVENM0
	異なる領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN1/RCVENM1
リードアクセス後のライトアクセス	同じ領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN2/RCVENM2
	異なる領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN3/RCVENM3
ライトアクセス後のリードアクセス	同じ領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN4/RCVENM4
	異なる領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN5/RCVENM5
ライトアクセス後のライトアクセス	同じ領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN6/RCVENM6
	異なる領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN7/RCVENM7

15.3.4 CSn モードレジスタ (CSnMOD) (n = 0 ~ 3)

アドレス CS0MOD 0008 3002h, CS1MOD 0008 3012h, CS2MOD 0008 3022h, CS3MOD 0008 3032h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PRMOD	—	—	—	—	—	PWENB	PRENB	—	—	—	—	EWENB	—	—	WRMOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRMOD	ライトアクセスモード選択ビット	0 : バイトストローブモード 1 : 1ライトストローブモード	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	EWENB	外部ウェイト許可ビット	0 : 外部ウェイト禁止 1 : 外部ウェイト許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PRENB	ページリードアクセス許可ビット	0 : ページリードアクセス禁止 1 : ページリードアクセス許可	R/W
b9	PWENB	ページライトアクセス許可ビット	0 : ページライトアクセス禁止 1 : ページライトアクセス許可	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	PRMOD	ページリードアクセスモード選択ビット	0 : ノーマルアクセス互換モード 1 : 外部データリード連続アサートモード	R/W

CSnMOD レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

WRMOD ビット (ライトアクセスモード選択ビット)

ライトアクセス時の動作モードを選択します。

“0”を設定すると、バイトストローブモードになります。このとき、それぞれのバイト位置に対応した WRn# 信号 (n = 0, 1) によりデータの書き込みの制御を行います。

“1”を設定すると、1ライトストローブモードになります。このとき、それぞれのバイト位置に対応した BCn# 信号 (n = 0, 1) と WR# 信号によりデータの書き込みの制御を行います。ただし、1ライトストローブモード時は、8ビット外部バス幅の設定は禁止です。

表 15.8 ライトアクセスモードの制御信号

モード	端子名			
	WR1#	WR0#/WR#	BC1#	BC0#
ライトアクセスモード				
バイトストローブモード	○	○	×	×
1ライトストローブモード	×	○	○	○

○ : 有効、× : 無効

EWENB ビット (外部ウェイト許可ビット)

外部ウェイトの許可/禁止を設定します。

“1”を設定すると、外部ウェイト許可となり、WAIT# 信号により各サイクルのウェイト数を任意に制御することが可能になります。この場合、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。

“0”を設定すると、WAIT# 信号は無効となります。

PRENB ビット (ページリードアクセス許可ビット)

ページリードアクセスの許可/禁止を設定します。

注. CSn 制御レジスタのアドレス/データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) でアドレス/データマルチプレクス I/O インタフェースを選択している場合、ページリードアクセスを許可しないでください。アドレス/データマルチプレクス I/O インタフェースでは、ページアクセスには対応していません。

PWENB ビット (ページライトアクセス許可ビット)

ページライトアクセスの許可/禁止を設定します。

注. CSn 制御レジスタのアドレス/データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) でアドレス/データマルチプレクス I/O インタフェースを選択している場合、ページライトアクセスを許可しないでください。アドレス/データマルチプレクス I/O インタフェースでは、ページアクセスには対応していません。

PRMOD ビット (ページリードアクセスモード選択ビット)

ページリードアクセス時の動作モードを選択します。

“0”を設定すると、ノーマルアクセス互換モードになります。このとき、1つのデータをリードするごとに RD# 信号がネゲートされ、RD アサートウェイトが挿入されます。ただし、RD アサートウェイトが 0 の場合は、外部バスアクセスの最後の転送以外 RD# 信号はネゲートされません。

“1”を設定すると、外部データリード連続アサートモードになります。このとき、RD アサートウェイトは挿入されますが、その間 RD# 信号がアサートされ続けます。

15.3.5 CSn ウェイト制御レジスタ 1 (CSnWCR1) (n = 0 ~ 3)

アドレス CS0WCR1 0008 3004h, CS1WCR1 0008 3014h, CS2WCR1 0008 3024h, CS3WCR1 0008 3034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	CSRWAIT[4:0]				—	—	—	CSWWAIT[4:0]					
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSPRWAIT[2:0]			—	—	—	—	—	CSPWWAIT[2:0]		
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSPWWAIT[2:0]	ページライトサイクル ウェイト選択ビット (注1)	b2 b0 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CSPRWAIT[2:0]	ページリードサイクル ウェイト選択ビット (注2)	b10 b8 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b20-b16	CSWWAIT[4:0]	ノーマルライトサイクル ウェイト選択ビット	b20 b16 0 0 0 0 0: ウェイトを挿入しない 0 0 0 0 1: ウェイトを1サイクル挿入 0 0 0 1 0: ウェイトを2サイクル挿入 0 0 0 1 1: ウェイトを3サイクル挿入 0 0 1 0 0: ウェイトを4サイクル挿入 0 0 1 0 1: ウェイトを5サイクル挿入 0 0 1 1 0: ウェイトを6サイクル挿入 0 0 1 1 1: ウェイトを7サイクル挿入 0 1 0 0 0: ウェイトを8サイクル挿入 0 1 0 0 1: ウェイトを9サイクル挿入 0 1 0 1 0: ウェイトを10サイクル挿入 0 1 0 1 1: ウェイトを11サイクル挿入 0 1 1 0 0: ウェイトを12サイクル挿入 0 1 1 0 1: ウェイトを13サイクル挿入 0 1 1 1 0: ウェイトを14サイクル挿入 0 1 1 1 1: ウェイトを15サイクル挿入 1 0 0 0 0: ウェイトを16サイクル挿入 1 0 0 0 1: ウェイトを17サイクル挿入 1 0 0 1 0: ウェイトを18サイクル挿入 1 0 0 1 1: ウェイトを19サイクル挿入 1 0 1 0 0: ウェイトを20サイクル挿入 1 0 1 0 1: ウェイトを21サイクル挿入 1 0 1 1 0: ウェイトを22サイクル挿入 1 0 1 1 1: ウェイトを23サイクル挿入 1 1 0 0 0: ウェイトを24サイクル挿入 1 1 0 0 1: ウェイトを25サイクル挿入 1 1 0 1 0: ウェイトを26サイクル挿入 1 1 0 1 1: ウェイトを27サイクル挿入 1 1 1 0 0: ウェイトを28サイクル挿入 1 1 1 0 1: ウェイトを29サイクル挿入 1 1 1 1 0: ウェイトを30サイクル挿入 1 1 1 1 1: ウェイトを31サイクル挿入	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28-b24	CSRWAIT[4:0]	ノーマルリードサイクル ウェイト選択ビット	b28 b24 0 0 0 0 0: ウェイトを挿入しない 0 0 0 0 1: ウェイトを1サイクル挿入 0 0 0 1 0: ウェイトを2サイクル挿入 0 0 0 1 1: ウェイトを3サイクル挿入 0 0 1 0 0: ウェイトを4サイクル挿入 0 0 1 0 1: ウェイトを5サイクル挿入 0 0 1 1 0: ウェイトを6サイクル挿入 0 0 1 1 1: ウェイトを7サイクル挿入 0 1 0 0 0: ウェイトを8サイクル挿入 0 1 0 0 1: ウェイトを9サイクル挿入 0 1 0 1 0: ウェイトを10サイクル挿入 0 1 0 1 1: ウェイトを11サイクル挿入 0 1 1 0 0: ウェイトを12サイクル挿入 0 1 1 0 1: ウェイトを13サイクル挿入 0 1 1 1 0: ウェイトを14サイクル挿入 0 1 1 1 1: ウェイトを15サイクル挿入 1 0 0 0 0: ウェイトを16サイクル挿入 1 0 0 0 1: ウェイトを17サイクル挿入 1 0 0 1 0: ウェイトを18サイクル挿入 1 0 0 1 1: ウェイトを19サイクル挿入 1 0 1 0 0: ウェイトを20サイクル挿入 1 0 1 0 1: ウェイトを21サイクル挿入 1 0 1 1 0: ウェイトを22サイクル挿入 1 0 1 1 1: ウェイトを23サイクル挿入 1 1 0 0 0: ウェイトを24サイクル挿入 1 1 0 0 1: ウェイトを25サイクル挿入 1 1 0 1 0: ウェイトを26サイクル挿入 1 1 0 1 1: ウェイトを27サイクル挿入 1 1 1 0 0: ウェイトを28サイクル挿入 1 1 1 0 1: ウェイトを29サイクル挿入 1 1 1 1 0: ウェイトを30サイクル挿入 1 1 1 1 1: ウェイトを31サイクル挿入	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CSPWWAIT[2:0]ビットの設定値は、CSnMOD.PWENBビットが“1”の場合のみ有効となります。

注2. CSPRWAIT[2:0]ビットの設定値は、CSnMOD.PRENBビットが“1”の場合のみ有効となります。

CSnWCR1 レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

各ビットは、バスインタフェースにあわせて、「15.6.1 セパレートバスインタフェースの場合の制約事項」あるいは、「15.6.2 アドレス / データマルチプレクスバスの場合の制約事項」に示す制約の範囲内で設定してください。

CSPWAIT[2:0] ビット (ページライトサイクルウェイト選択ビット)

ページライトサイクルの 2 サイクル目以降のアクセスに挿入するサイクル数を設定します。

CSPWAIT[2:0] ビットの設定は、CSnMOD.PWENB ビットが“1”のとき有効になります。

注. $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ 、また $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ となるように設定してください。

CSPRWAIT[2:0] ビット (ページリードサイクルウェイト選択ビット)

ページリードサイクルの 2 サイクル目以降のアクセスに挿入するサイクル数を設定します。

CSPRWAIT[2:0] ビットの設定は、CSnMOD.PRENB ビットが“1”のとき有効になります。

注. $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.RDON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPRWAIT}[2:0] \text{ ビット}$ となるように設定してください。

CSWWAIT[4:0] ビット (ノーマルライトサイクルウェイト選択ビット)

ノーマルライトサイクルおよびページライトサイクルの最初のアクセスに挿入するサイクル数を設定します。

注. $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[4:0] \text{ ビット}$ 、また $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[4:0] \text{ ビット}$ となるように設定してください。

CSRWAIT[4:0] ビット (ノーマルリードサイクルウェイト選択ビット)

ノーマルリードサイクルおよびページリードサイクルの最初のアクセスに挿入するサイクル数を設定します。

注. $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.RDON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSRWAIT}[4:0] \text{ ビット}$ となるように設定してください。

15.3.6 CSn ウェイト制御レジスタ 2 (CSnWCR2) (n = 0 ~ 3)

アドレス CS0WCR2 0008 3008h, CS1WCR2 0008 3018h, CS2WCR2 0008 3028h, CS2WCR2 0008 3038h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	CSON[2:0]			—	WDON[2:0]			—	WRON[2:0]			—	RDON[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	AWAIT[1:0]		—	WDOFF[2:0]			—	CSWOFF[2:0]			—	CSROFF[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSROFF[2:0]	リード時CS延長サイクル選択ビット	b2 b0 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	CSWOFF[2:0]	ライト時CS延長サイクル選択ビット	b6 b4 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	WDOFF[2:0]	ライトデータ出力延長サイクル選択ビット	b10 b8 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	AWAIT[1:0]	アドレスサイクルウェイト選択ビット	b13 b12 0 0: ウェイトを挿入しない 0 1: ウェイトを1サイクル挿入 1 0: ウェイトを2サイクル挿入 1 1: ウェイトを3サイクル挿入	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	RDON[2:0]	RDアサートウェイト選択ビット	b18 b16 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b22-b20	WRON[2:0]	WRアサートウェイト選択ビット	b22 b20 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26-b24	WDON[2:0]	ライトデータ出力ウェイト選択ビット	b26 b24 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b28	CSON[2:0]	CSアサートウェイト選択ビット	b30 b28 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnWCR2 レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

各ビットは、バスインタフェースにあわせて、「15.6.1 セパレートバスインタフェースの場合の制約事項」あるいは、「15.6.2 アドレス/データマルチプレクスバスの場合の制約事項」に示す制約の範囲内で設定してください。

CSROFF[2:0] ビット (リード時 CS 延長サイクル選択ビット)

リードアクセス時のウェイトサイクル終了時 (RD# 信号のネゲート時) から CSn# 信号 (n=0~3) をネゲートするまでのサイクル数を設定します。

CSWOFF[2:0] ビット (ライト時 CS 延長サイクル選択ビット)

ライトアクセス時のウェイトサイクル終了時 (WRn# 信号 (n=0, 1) のネゲート時) から CSn# 信号 (n=0~3) をネゲートするまでのサイクル数を設定します。

注. WDOFF[2:0] ビット ≤ CSWOFF[2:0] ビットとなるように設定してください。

WDOFF[2:0] ビット (ライトデータ出力延長サイクル選択ビット)

ライトアクセス時のウェイトサイクル終了時 (WRn# 信号 (n=0, 1) のネゲート時) からライトデータ出力を終了するまでのサイクル数を設定します。

注. WDOFF[2:0] ビット ≤ CSWOFF[2:0] ビットとなるように設定してください。

AWAIT[1:0] ビット (アドレスサイクルウェイト選択ビット)

アドレス/データマルチプレクス I/O インタフェースのアドレス出力サイクルにウェイトステートを挿入します。

注. CSnWCR2.CSON[2:0] ビット ≤ CSnWCR2.AWAIT[1:0] ビット

リードアクセス時、 $CSnWCR2.AWAIT[1:0]$ ビット + 2 \leq $CSnWCR2.RDON[2:0]$ ビット \leq $CSnWCR1.CSRWAIT[4:0]$ ビット
 ライトアクセス時、 $CSnWCR2.AWAIT[1:0]$ ビット + 2 \leq $CSnWCR2.WRON[2:0]$ ビット \leq $CSnWCR1.CSWWAIT[4:0]$ ビット、また、 $CSnWCR2.AWAIT[1:0]$ ビット + 2 \leq $CSnWCR2.WDON[2:0]$ ビット \leq $CSnWCR1.CSWWAIT[4:0]$ ビット
 となるように設定してください。

RDON[2:0] ビット (RD アサートウェイト選択ビット)

RD# 信号のアサート前に挿入するウェイトサイクル数を設定します。

- 注． ノーマルリードアクセス時、 $CSnWCR2.CSON[2:0]$ ビット \leq $CSnWCR2.RDON[2:0]$ ビット \leq $CSnWCR1.CSRWAIT[4:0]$ ビット
 ページリードアクセス時、 $CSnWCR2.CSON[2:0]$ ビット \leq $CSnWCR2.RDON[2:0]$ ビット \leq $CSnWCR1.CSPRWAIT[2:0]$ ビット
 となるように設定してください。
- 注． アドレス / データマルチプレクス I/O インタフェースの場合、 $CSnWCR2.AWAIT[1:0]$ ビット + 2 \leq $CSnWCR2.RDON[2:0]$ ビット \leq $CSnWCR1.CSRWAIT[4:0]$ ビットとなるように設定してください。

WRON[2:0] ビット (WR アサートウェイト選択ビット)

WRn# 信号 (n = 0, 1) のアサート前に挿入するウェイトサイクル数を設定します。

- 注． ノーマルライトアクセス時、 $1 \leq CSnWCR2.WDON[2:0]$ ビット \leq $CSnWCR2.WRON[2:0]$ ビット \leq $CSnWCR1.CSWWAIT[4:0]$ ビット、また、 $CSnWCR2.CSON[2:0]$ ビット \leq $CSnWCR2.WRON[2:0]$ ビット \leq $CSnWCR1.CSWWAIT[4:0]$ ビット
 ページライトアクセス時、 $1 \leq CSnWCR2.WDON[2:0]$ ビット \leq $CSnWCR2.WRON[2:0]$ ビット \leq $CSnWCR1.CSPWAIT[2:0]$ ビット、また、 $CSnWCR2.CSON[2:0]$ ビット \leq $CSnWCR2.WRON[2:0]$ ビット \leq $CSnWCR1.CSPWAIT[2:0]$ ビット
 となるように設定してください。
- 注． アドレス / データマルチプレクス I/O インタフェースの場合、 $CSnWCR2.AWAIT[1:0]$ ビット + 2 \leq $CSnWCR2.WRON[2:0]$ ビット \leq $CSnWCR1.CSWWAIT[4:0]$ ビットとなるように設定してください。

WDON[2:0] ビット (ライトデータ出力ウェイト選択ビット)

ライトデータ出力の前に挿入するウェイトサイクル数を設定します。

- 注． ノーマルライトアクセス時、 $1 \leq CSnWCR2.WDON[2:0]$ ビット \leq $CSnWCR2.WRON[2:0]$ ビット \leq $CSnWCR1.CSWWAIT[4:0]$ ビット
 ページライトアクセス時、 $1 \leq CSnWCR2.WDON[2:0]$ ビット \leq $CSnWCR2.WRON[2:0]$ ビット \leq $CSnWCR1.CSPWAIT[2:0]$ ビット
 となるように設定してください。
- 注． アドレス / データマルチプレクス I/O インタフェースの場合、 $CSnWCR2.AWAIT[1:0]$ ビット + 2 \leq $CSnWCR2.WDON[2:0]$ ビット \leq $CSnWCR1.CSWWAIT[4:0]$ ビットとなるように設定してください。

CSON[2:0] ビット (CS アサートウェイト選択ビット)

CSn# 信号 (n = 0 ~ 3) のアサート前に挿入するウェイトサイクル数を設定します。

- 注． ノーマルリードアクセス時、 $CSnWCR2.CSON[2:0]$ ビット \leq $CSnWCR2.RDON[2:0]$ ビット \leq $CSnWCR1.CSRWAIT[4:0]$ ビット
 ページリードアクセス時、 $CSnWCR2.CSON[2:0]$ ビット \leq $CSnWCR2.RDON[2:0]$ ビット \leq $CSnWCR1.CSPRWAIT[2:0]$ ビット
 ノーマルライトアクセス時、 $CSnWCR2.CSON[2:0]$ ビット \leq $CSnWCR2.WRON[2:0]$ ビット \leq $CSnWCR1.CSWWAIT[4:0]$ ビット
 ページライトアクセス時、 $CSnWCR2.CSON[2:0]$ ビット \leq $CSnWCR2.WRON[2:0]$ ビット \leq $CSnWCR1.CSPWAIT[2:0]$ ビット

となるように設定してください。

注. アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.CSON[2:0] ビット
 ≦ CSnWCR2.AWAIT[1:0] ビットとなるように設定してください。

15.3.7 バスエラーステータスクリアレジスタ (BERCLR)

アドレス 0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STCLR	ステータスクリアビット	0: 無効 1: バスエラーステータスレジスタクリア	(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ有効で、“0”書き込みは無効です。

STCLR ビット (ステータスクリアビット)

“1”を書き込むと、バスエラーステータスレジスタ 1 (BERSR1) とバスエラーステータスレジスタ 2 (BERSR2) がクリアされます。

“0”書き込みは無効です。読むと“0”が読み出されます。

15.3.8 バスエラー監視許可レジスタ (BEREN)

アドレス 0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

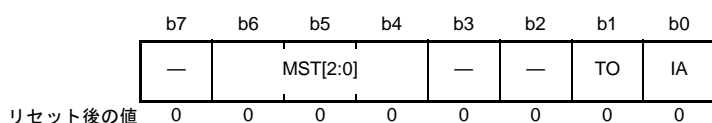
ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0: 不正アドレスアクセス検出禁止 1: 不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット (注1、注2)	0: バスタイムアウト検出禁止 1: バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 検出禁止 (TOENビット=0) にしてバスアクセスを行った場合、バスがフリーズすることがあります。

注2. タイムアウトエラー検出中にTOENビットを“0” (検出禁止) にしないようにしてください。

15.3.9 バスエラーステータスレジスタ 1 (BERSR1)

アドレス 0008 1308h



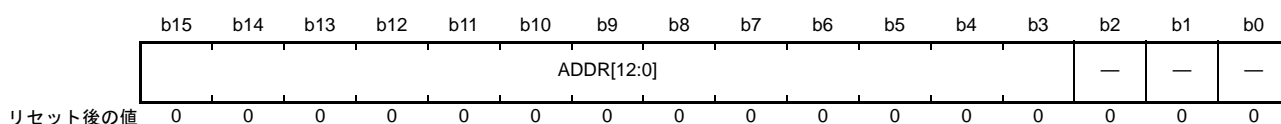
ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0 : 不正アドレスアクセスの発生なし 1 : 不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0 : タイムアウトの発生なし 1 : タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC/DMAC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : 予約	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MST[2:0] ビット (バスマスタコードビット)

バスエラーを発生させたアクセスのバスマスタを示します。

15.3.10 バスエラーステータスレジスタ 2 (BERSR2)

アドレス 0008 130Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット (512Kバイト単位)	R

15.3.11 バスプライオリティ制御レジスタ (BUSPRI)

アドレス 0008 1310h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	BPEB[1:0]	BPFB[1:0]	—	—	BPGB[1:0]	BPIB[1:0]	BPRO[1:0]	BPRA[1:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BPRA[1:0]	メモリバス1 (RAM) プライオリティ制御ビット	b1 b0 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b3-b2	BPRO[1:0]	メモリバス2 (ROM) プライオリティ制御ビット	b3 b2 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b5-b4	BPIB[1:0]	内部周辺バス1プライオリティ制御ビット	b5 b4 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b7-b6	BPGB[1:0]	内部周辺バス2、3プライオリティ制御ビット	b7 b6 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b9-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b10	BPFB[1:0]	内部周辺バス6プライオリティ制御ビット	b11 b10 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b13-b12	BPEB[1:0]	外部バスプライオリティ制御ビット	b13 b12 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DTC、DMACが停止した状態で、1回のみ書き込みできます。2回以上、書き込んだ場合、動作は保証されません。

BPRA[1:0] ビット (メモリバス1 (RAM) プライオリティ制御ビット)

メモリバス1 (RAM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > CPUバスとなります。

優先順位トグルの場合は、内部メインバス2とCPUバスとでバス要求を受け付けられた方の優先順位が低くなります。

BPRO[1:0] ビット (メモリバス2 (ROM) プライオリティ制御ビット)

メモリバス2 (ROM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > CPUバスとなります。

優先順位トグルの場合は、内部メインバス1とCPUバスとでバス要求を受け付けられた方の優先順位が低くなります。

BPIB[1:0] ビット (内部周辺バス 1 プライオリティ制御ビット)

内部周辺バス 1 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPGB[1:0] ビット (内部周辺バス 2、3 プライオリティ制御ビット)

内部周辺バス 2 と内部周辺バス 3 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPFB[1:0] ビット (内部周辺バス 6 プライオリティ制御ビット)

内部周辺バス 6 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPEB[1:0] ビット (外部バスプライオリティ制御ビット)

外部バスに対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

15.4 エンディアンとデータアライメント

外部バスは、データアライメント機能を持っており、外部アドレス空間（CS領域）をアクセスするときデータバス D15～D8、D7～D0のどれを使用するかを、アクセスする領域のバス仕様（8ビットバス空間、16ビットバス空間）とデータサイズ、およびエンディアンモードによって制御します。

15.4.1 CS領域のデータアライメント制御

(1) 16ビットバス空間

CSnCR.BSIZE[1:0]ビットで16ビットバス空間を選択すると、アドレスバス（A23～A1）が16ビット単位のアドレス出力信号として有効になり、アドレスバス（A0）は無効（Low固定）になります。

バイトストロープモード（CSnMOD.WRMODビット=0）を選択した場合、WR0#、WR1#端子が有効になります。BC0#、BC1#端子は使用しません。

1 ライトストロープモード（CSnMOD.WRMODビット=1）を選択した場合、WR0#端子のみ有効となり、データサイズにかかわらずライトアクセス時にはWR0#端子よりLowが出力されます。このとき、WR1#端子は無効（High固定）になります。有効なバイト位置は、BC0#、BC1#端子により表します。

16ビットバス空間では、32ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが32ビット境界を越えず、かつBC0#、BC1#信号の変化しない転送がページアクセスの対象となります。ページアクセスが発生する場合は図15.5、図15.6に（p）で示します。

16ビットバス空間では、ビッグエンディアンとリトルエンディアンでチップ外部のデータ、制御信号の有効位置は異なります。

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1#	WR0#/BC0#
						RD#	
						データバス	
						D15	D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	[7 0]	
	4n+1	1回	1回目	8bit	4n	[7 0]	
	4n+2	1回	1回目	8bit	4n+2	[7 0]	
	4n+3	1回	1回目	8bit	4n+2	[7 0]	
16bit	4n	1回	1回目	16bit	4n	[15 8 7 0]	
	4n+1	2回	1回目	8bit	4n	[7 0]	
			2回目	8bit	4n+2	[15 8]	
	4n+2	1回	1回目	16bit	4n+2	[15 8 7 0]	
	4n+3	2回	1回目	8bit	4n+2	[7 0]	
			2回目	8bit	4n+4	[15 8]	
32bit	4n	2回	1回目	16bit	4n	[15 8 7 0]	
			2回目	16bit	4n+2 (p)	[31 24 23 16]	
	4n+1	3回	1回目	8bit	4n	[7 0]	
			2回目	16bit	4n+2	[23 16 15 8]	
			3回目	8bit	4n+4	[31 24]	
	4n+2	2回	1回目	16bit	4n+2	[15 8 7 0]	
			2回目	16bit	4n+4	[31 24 23 16]	
	4n+3	3回	1回目	8bit	4n+2	[7 0]	
			2回目	16bit	4n+4	[23 16 15 8]	
3回目			8bit	4n+6	[31 24]		

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 15.5 16 ビットバス空間のデータアライメント (リトルエンディアン)

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1#	WR0#/BC0#	
						RD#		
						データバス		
						D15	D8 D7	D0
8bit	4n	1回	1回目	8bit	4n	[7	0]	
	4n+1	1回	1回目	8bit	4n	[7	0]	
	4n+2	1回	1回目	8bit	4n+2	[7	0]	
	4n+3	1回	1回目	8bit	4n+2	[7	0]	
16bit	4n	1回	1回目	16bit	4n	[15	8 7	0]
	4n+1	2回	1回目	8bit	4n	[15	8]	
			2回目	8bit	4n+2	[7	0]	
	4n+2	1回	1回目	16bit	4n+2	[15	8 7	0]
	4n+3	2回	1回目	8bit	4n+2	[15	8]	
			2回目	8bit	4n+4	[7	0]	
32bit	4n	2回	1回目	16bit	4n	[31	24 23	16]
			2回目	16bit	4n+2 (p)	[15	8 7	0]
	4n+1	3回	1回目	8bit	4n	[31	24]	
			2回目	16bit	4n+2	[23	16 15	8]
			3回目	8bit	4n+4	[7	0]	
	4n+2	2回	1回目	16bit	4n+2	[31	24 23	16]
			2回目	16bit	4n+4	[15	8 7	0]
	4n+3	3回	1回目	8bit	4n+2	[31	24]	
			2回目	16bit	4n+4	[23	16 15	8]
			3回目	8bit	4n+6	[7	0]	

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 15.6 16 ビットバス空間のデータアライメント (ビッグエンディアン)

(2) 8ビットバス空間

CSnCR.BSIZE[1:0] ビットで8ビットバス空間を選択すると、アドレスバス (A23 ~ A0) がバイト単位のアドレス信号として有効になります。

8ビットバス空間ではライトアクセスモードの設定にかかわらず、WR0# 端子のみが有効になります。

WR0# 端子にはライトアクセス時に Low が出力されます。WR1#、BC0#、BC1# 端子は使用しません。

8ビットバス空間では、16ビット、32ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが32ビット境界を越えない転送がページアクセスの対象となります。ページアクセスが発生する場合を図 15.7、図 15.8 に (p) で示します。

8ビットバス空間では、エンディアンにかかわらずチップの外部データは D7 ~ D0、制御信号は WR0# 信号を使用します。

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	データバス			
						D15	D8	D7	D0
8bit	4n	1回	1回目	8bit	4n	7			0
	4n+1	1回	1回目	8bit	4n+1	7			0
	4n+2	1回	1回目	8bit	4n+2	7			0
	4n+3	1回	1回目	8bit	4n+3	7			0
16bit	4n	2回	1回目	8bit	4n	7			0
			2回目	8bit	4n+1 (p)	15			8
	4n+1	2回	1回目	8bit	4n+1	7			0
			2回目	8bit	4n+2 (p)	15			8
	4n+2	2回	1回目	8bit	4n+2	7			0
			2回目	8bit	4n+3 (p)	15			8
	4n+3	2回	1回目	8bit	4n+3	7			0
			2回目	8bit	4n+4	15			8
32bit	4n	4回	1回目	8bit	4n	7			0
			2回目	8bit	4n+1 (p)	15			8
			3回目	8bit	4n+2 (p)	23			16
			4回目	8bit	4n+3 (p)	31			24
	4n+1	4回	1回目	8bit	4n+1	7			0
			2回目	8bit	4n+2 (p)	15			8
			3回目	8bit	4n+3 (p)	23			16
			4回目	8bit	4n+4	31			24
	4n+2	4回	1回目	8bit	4n+2	7			0
			2回目	8bit	4n+3 (p)	15			8
			3回目	8bit	4n+4 (p)	23			16
			4回目	8bit	4n+5 (p)	31			24
	4n+3	4回	1回目	8bit	4n+3	7			0
			2回目	8bit	4n+4	15			8
			3回目	8bit	4n+5 (p)	23			16
			4回目	8bit	4n+6 (p)	31			24

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 15.7 8ビットバス空間のデータアライメント (リトルエンディアン)

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1#	WR0#/BC0#	
						RD#		
						データバス		
						D15	D8 D7	D0
8bit	4n	1回	1回目	8bit	4n	7	0	
	4n+1	1回	1回目	8bit	4n+1	7	0	
	4n+2	1回	1回目	8bit	4n+2	7	0	
	4n+3	1回	1回目	8bit	4n+3	7	0	
16bit	4n	2回	1回目	8bit	4n	15	8	
			2回目	8bit	4n+1 (p)	7	0	
	4n+1	2回	1回目	8bit	4n+1	15	8	
			2回目	8bit	4n+2 (p)	7	0	
	4n+2	2回	1回目	8bit	4n+2	15	8	
			2回目	8bit	4n+3 (p)	7	0	
	4n+3	2回	1回目	8bit	4n+3	15	8	
			2回目	8bit	4n+4	7	0	
32bit	4n	4回	1回目	8bit	4n	31	24	
			2回目	8bit	4n+1 (p)	23	16	
			3回目	8bit	4n+2 (p)	15	8	
			4回目	8bit	4n+3 (p)	7	0	
	4n+1	4回	1回目	8bit	4n+1	31	24	
			2回目	8bit	4n+2 (p)	23	16	
			3回目	8bit	4n+3 (p)	15	8	
			4回目	8bit	4n+4	7	0	
	4n+2	4回	1回目	8bit	4n+2	31	24	
			2回目	8bit	4n+3 (p)	23	16	
			3回目	8bit	4n+4	15	8	
			4回目	8bit	4n+5 (p)	7	0	
	4n+3	4回	1回目	8bit	4n+3	31	24	
			2回目	8bit	4n+4	23	16	
			3回目	8bit	4n+5 (p)	15	8	
			4回目	8bit	4n+6 (p)	7	0	

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 15.8 8ビットバス空間のデータアライメント (ビッグエンディアン)

15.5 CS 領域コントローラの動作説明

15.5.1 セパレートバス

タイミング図に記載する各サイクルの説明を以下に示します。

CSC (CS 領域コントローラ) は外部バスクロック (BCLK) に同期して動作します。したがって、CSC のレジスタで設定したウェイト数などは、BCLK でカウントされます。以下、特に断らない限り、外部バスクロック (BCLK) と BCLK 端子出力は、同一周波数であるものとします。

外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になります。ただし、外部バスクロック (BCLK) と BCLK 端子出力が異なる周波数の場合で、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合の 2 回目以降の外部バスアクセスの開始は、ウェイト設定によっては BCLK 端子出力の立ち下がり時点になる可能性があります (図 15.14 ~ 図 15.18 参照)。

① Tw1 ~ Twn (ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト)

外部バスアクセス開始からストローブ信号有効サイクルの 1 サイクル前までのサイクル期間です。0 ~ 31 サイクルを選択できます。この期間内に CSn#、RD#、WRn# 信号が、ウェイト設定に応じて "Low" アサートされます。アサートするタイミングは、CSn ウェイト制御レジスタ 2 (CSnWCR2) の CS アサートウェイト選択ビット (CSON)、RD アサートウェイト選択ビット (RDON)、WR アサートウェイト選択ビット (WRON)、ライトデータ出力ウェイト選択ビット (WDON) によって制御可能です。各ウェイトのサイクル数は、外部バスアクセス開始のサイクルを起点に数え、0 ~ 7 サイクルを選択可能です。選択可能なサイクル数は、リード/ライトサイクルウェイトのサイクル数以内です。

② Tend (ストローブ信号有効サイクル)

Tend はノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト期間、あるいはページリードサイクルウェイト、ページライトサイクルウェイト期間が終了した次のサイクルです。ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト、あるいはページリードサイクルウェイト、ページライトサイクルウェイトの各選択ビットが "0" の場合、バスアクセス開始のサイクルがストローブ信号有効サイクルとなります。ストローブ信号有効サイクルの次のサイクルで RD#、WRn# 信号がネゲートされます。リードアクセスの場合は、リードデータのサンプルサイクルとなります。

外部ウェイト許可の場合、ストローブ信号有効サイクル時点でウェイト信号がサンプリングされます。ウェイト信号が Low の場合、バスサイクルを延長し、ウェイト信号が High になると次のサイクルでバスサイクルを終了します。(Tend) は、ウェイト信号のサンプリングを開始するサイクルを示します。

ページアクセスで 1 回目のストローブ信号有効サイクルの場合、ライトアクセス時のライトデータ出力延長サイクルが設定されている ("0" 以外の値) 場合 (④) を除いて、次のサイクル 2 回目以降のページアクセス (⑤) が開始されます。RD アサートウェイト、WR アサートウェイトの設定が "0" 以外の場合、次のサイクルで RD#、WRn# 信号がネゲートされます。"0" の場合、アサートが継続されます。また、CSn# 信号はネゲートされず、アサートを継続します。

③ Tn1 ~ Tnm (CS 延長サイクル)

ノーマルアクセスの場合、ストローブ信号有効サイクル (Tend) の次のサイクルから CSn# 信号をネゲートするまでのサイクル期間です。ネゲートするタイミングは、リードアクセス時、CSn ウェイト制御レジスタ 2 (CSnWCR2) のリード時 CS 延長サイクル選択ビット (CSROFF)、ライトアクセス時、ライト時 CS 延長サイクル選択ビット (CSWOFF) により制御可能です。

サイクル数は、ストローブ信号有効サイクルの次のサイクルを起点に数えます。

ページアクセスの場合、最後のストローブ信号有効サイクルから CSn# 信号をネゲートするまでのサイクル期間です。

ライトアクセス時は、ライトデータ出力延長サイクル選択ビット (WDOFF) により、アドレス、出力データが延長されます。

④ Tdw1 ~ Tdwn (ライトデータ出力延長サイクル)

ライトアクセス時、ライトデータ出力延長ウェイトが“0”以外の設定の場合、ライトデータ出力延長サイクルがストロブ信号有効サイクル (Tend) の次のサイクルから挿入されます。

ノーマルアクセスの場合、CS 延長サイクル (③) の期間内に挿入されます。

ページアクセスの場合、ストロブ信号有効サイクル (Tend) と後続のページアクセスの間、および CS 延長サイクル (③) の期間内に挿入されます。この期間、アドレス、出力データが延長され、WRn# 信号はネゲートされます。

⑤ Tpw1 ~ Tpw (ページリードサイクルウェイト、ページライトサイクルウェイト)

ページアクセスの2回目以降のバスサイクルについては、ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイトの代わりに、ページリードサイクルウェイト、ページライトサイクルウェイトの値が使用されます。WR アサートウェイトの設定は、1回目のアクセスと同様に有効となります。RD アサートの設定は、ページリードアクセスモード (CSnMOD.PRMOD ビット) の設定により動作が異なります。

CDnMOD.PRMOD ビット = 0 の場合：1回目と同様に RD アサートウェイトが挿入され、RD# 信号がネゲートされます。

CDnMOD.PRMOD ビット = 1 の場合：ノーマルアクセス互換モードと同様に、RD アサートウェイトが挿入されますが、その間、RD# 信号がアサートされ続けます。

⑥ Tr1 ~ Trn (リカバリサイクル)

バスサイクルの終了時点 (CSn# 信号のネゲート時点) からリカバリサイクルの挿入ができます。リカバリサイクル数は、CSn リカバリサイクル設定レジスタ (CSnREC) のリードリカバリ設定ビット (RRCV)、ライトリカバリ設定ビット (WRCV) により制御可能です。各リカバリサイクル数は、バスサイクルの終了時点 (CSn# 信号のネゲート時点) を起点に数え、0 ~ 15 サイクルを選択可能です。リカバリサイクルの詳細は、「15.5.4 リカバリサイクルの挿入」を参照してください。

(1) ノーマルアクセス

CSnMOD.PRENB ビットを“0” (ページリードアクセス禁止)、CSnMOD.PWENB ビットを“0” (ページライトアクセス禁止) に設定した場合、すべてのバスアクセスはノーマルアクセスを行います。

CSnMOD.PRENB ビットを“1” (ページリードアクセス許可)、CSnMOD.PWENB ビットを“1” (ページライトアクセス許可) に設定した場合でも、ページアクセスに該当しないバスアクセスは、ノーマルアクセスとなります。

図 15.9 ~ 図 15.11 にノーマルアクセスの動作例を示します。

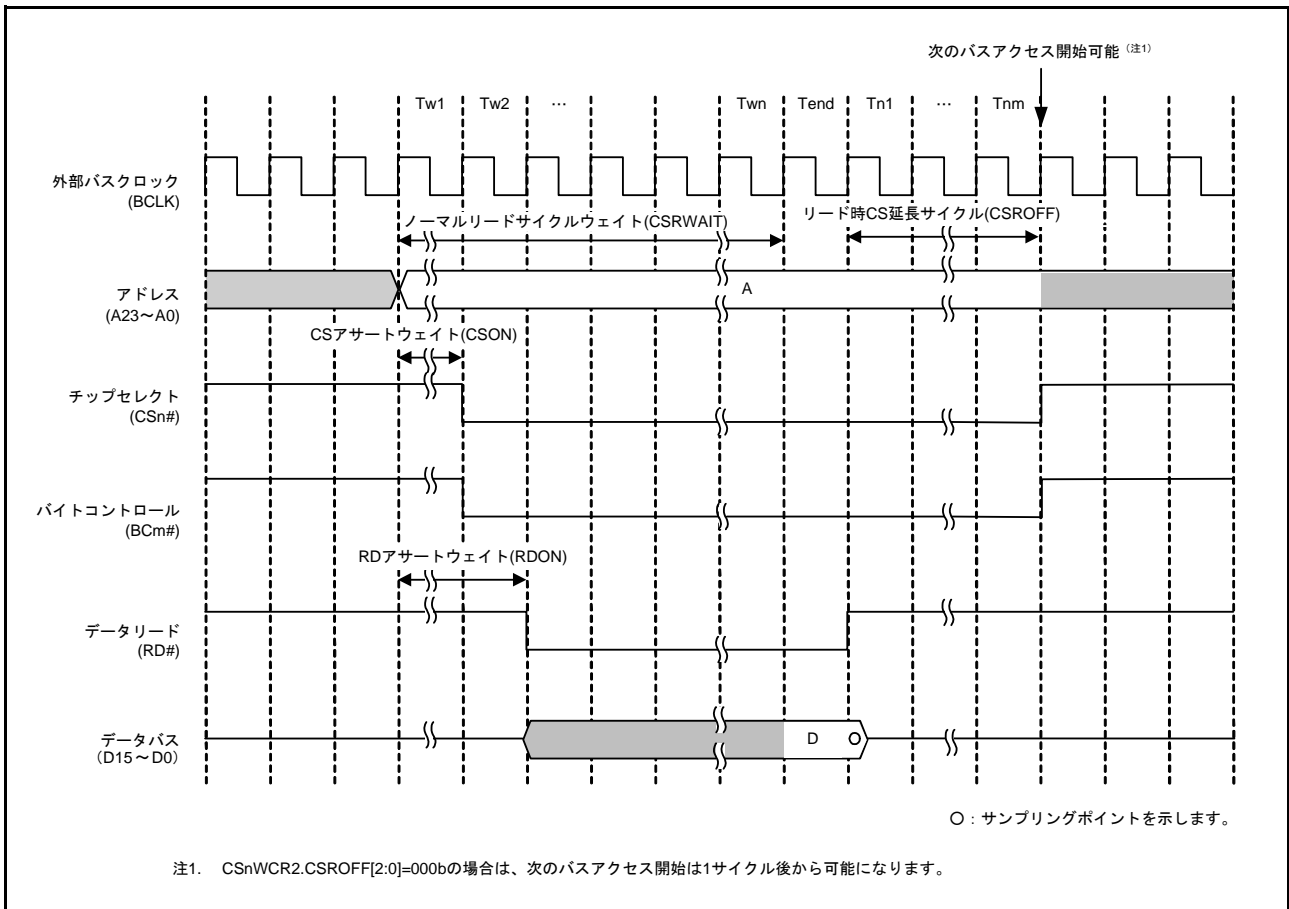


図 15.9 バスタイミング (ノーマルリード) (n = 0 ~ 3, m = 0, 1)

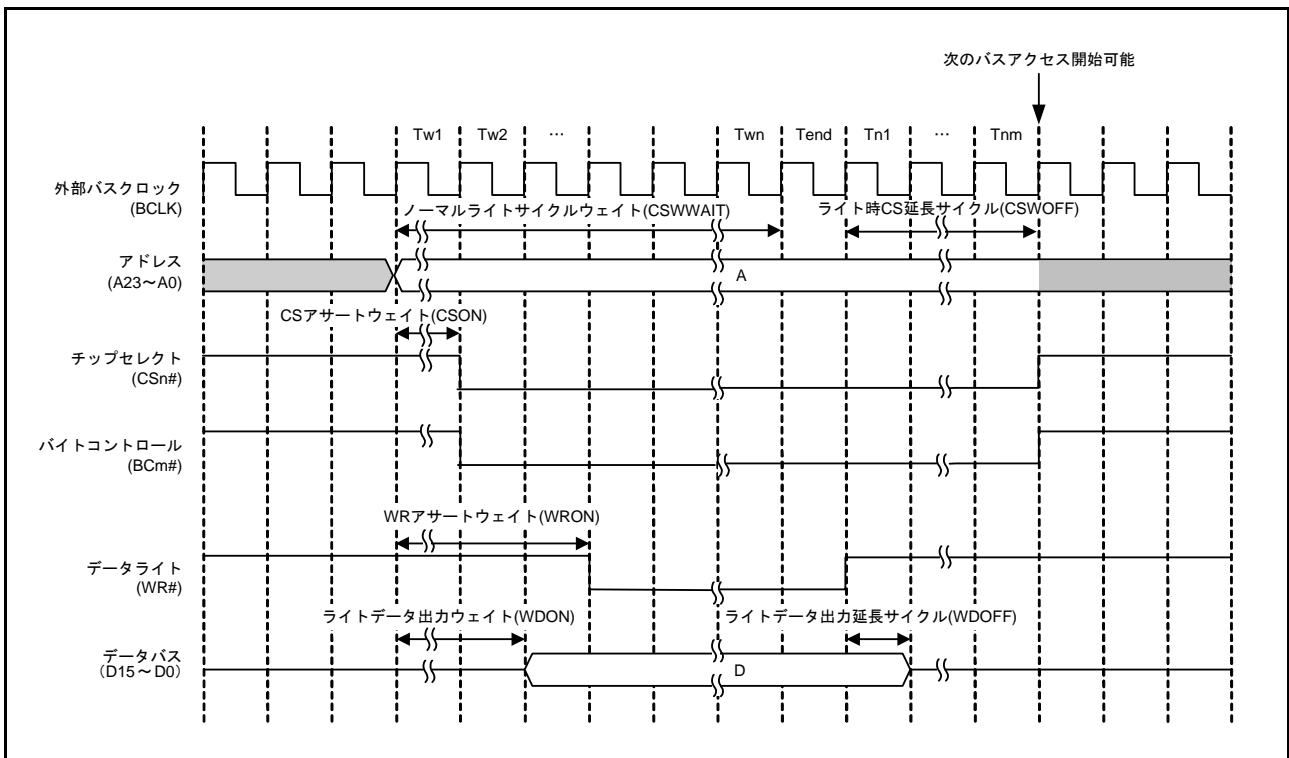


図 15.10 バスタイミング (ノーマルライト、1ライトストロブモード) (n = 0 ~ 3, m = 0, 1)

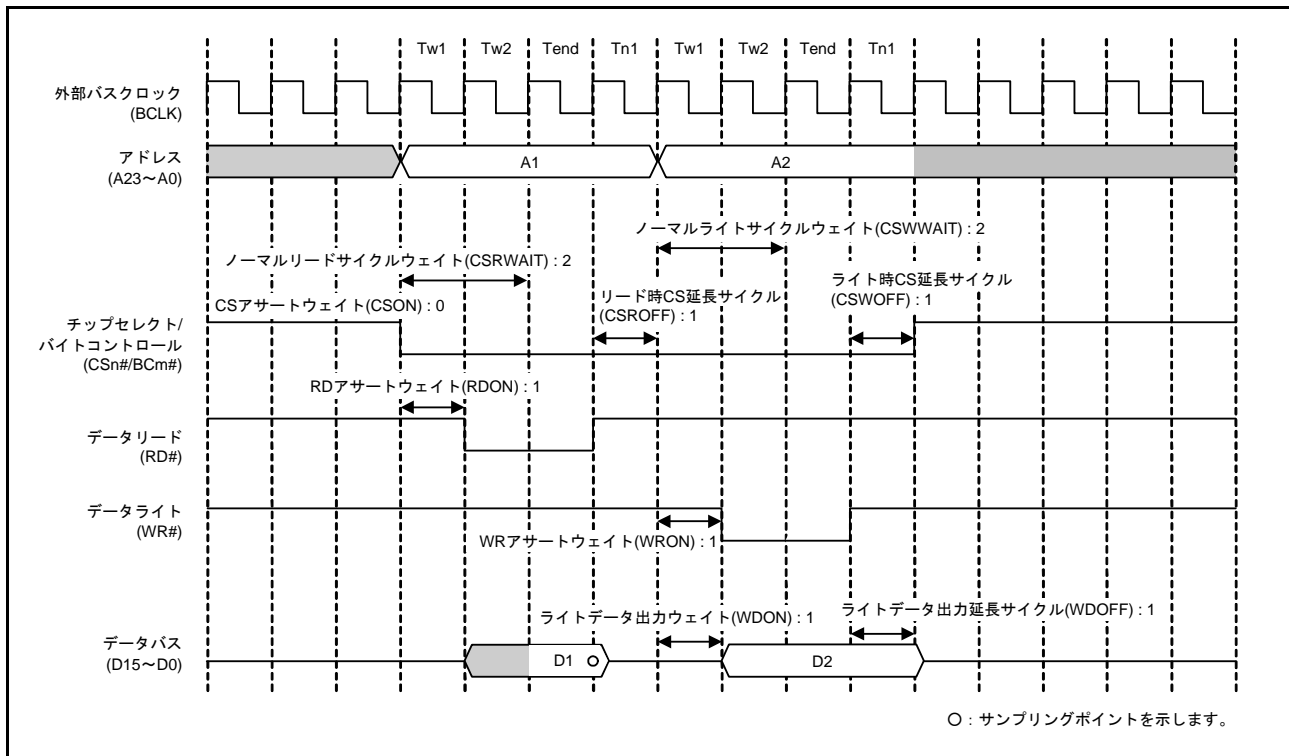


図 15.11 ノーマルアクセスの動作例（リード、ライト）(n = 0 ~ 3, m = 0, 1)

バスマスタからの1転送要求に対して2回以上の外部バスアクセスが必要となる場合は、ノーマルアクセス動作（①から④）を繰り返します。図 15.12、図 15.13 に、1転送要求に対して2回バスアクセスが発生する場合の動作例を示します。ただし、リカバリサイクル挿入条件が成り立つ場合は、2回目以降の外部バスアクセスにもリカバリサイクル（⑥）の挿入が行われます（図 15.30 参照）。

各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様にあわせてレジスタの値は設定してください。

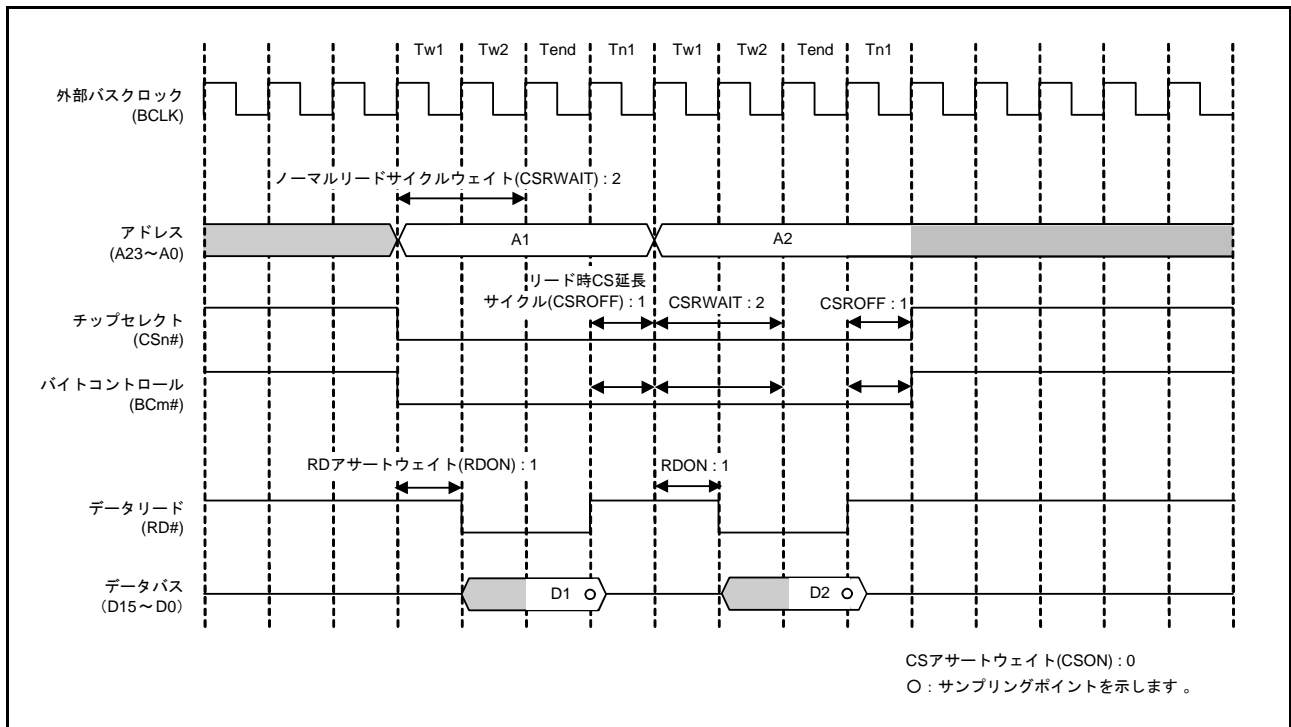


図 15.12 ノーマルリードアクセスの動作例 (1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0 ~ 3, m = 0, 1)

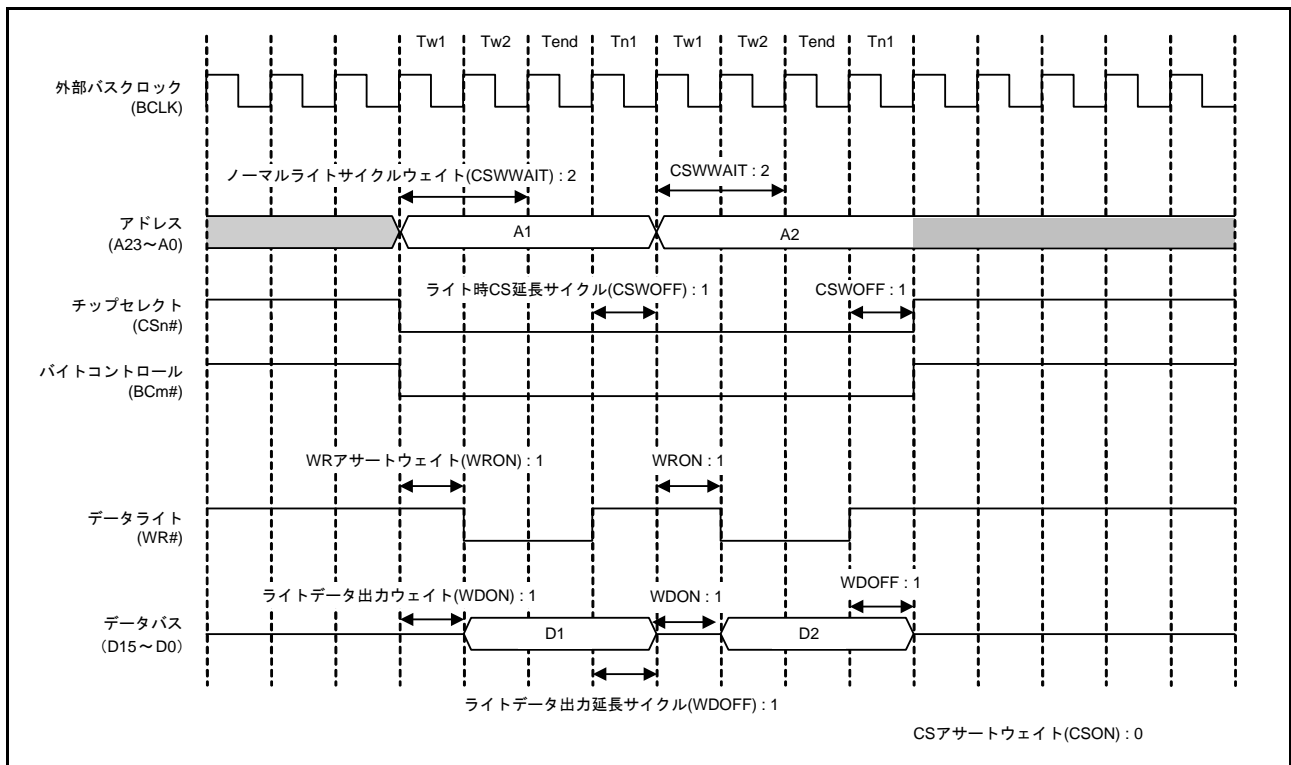


図 15.13 ノーマルライトアクセスの動作例 (1 転送要求に対して 2 回バスアクセスが発生する場合: 1 ライトストローブモード時) (n = 0 ~ 3, m = 0, 1)

図 15.14 ~ 図 15.18 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

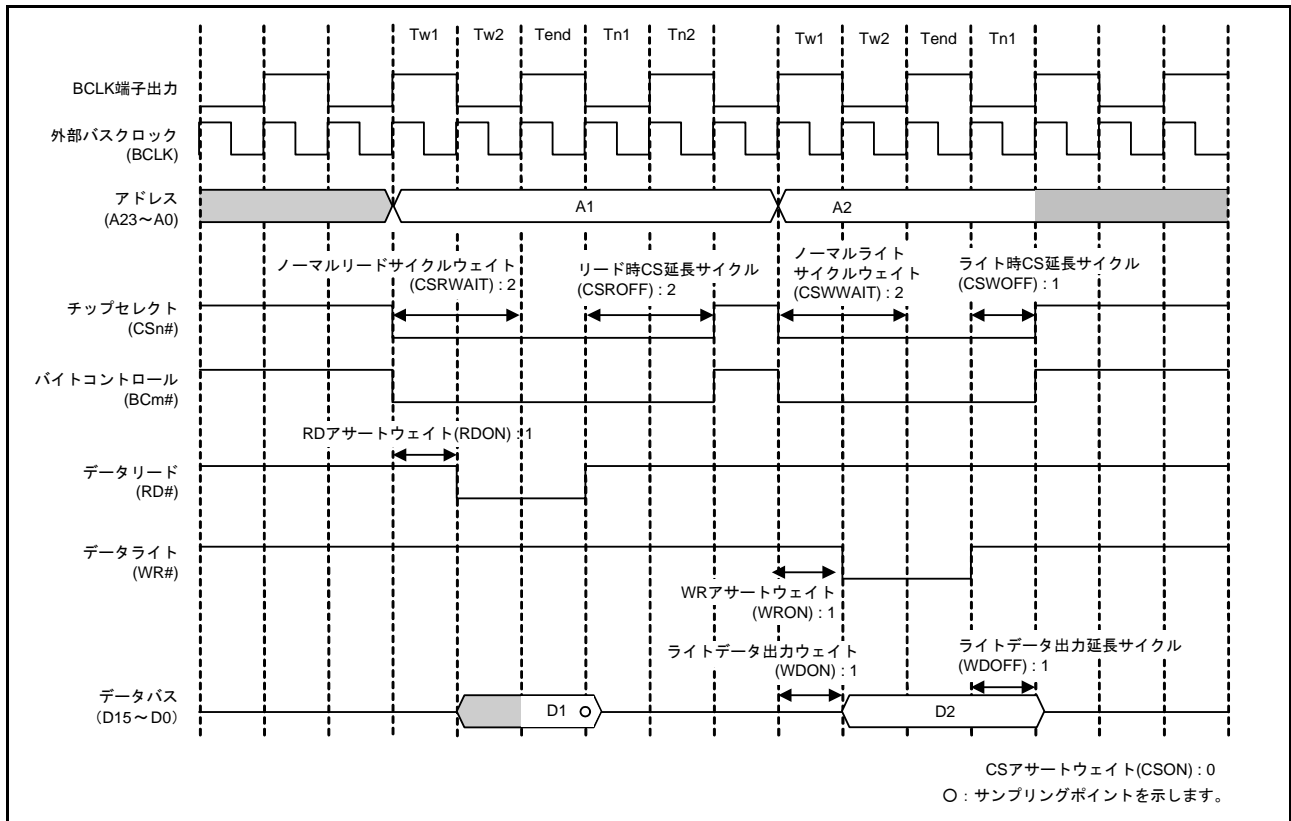


図 15.14 ノーマルアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n = 0 ~ 3, m = 0, 1)

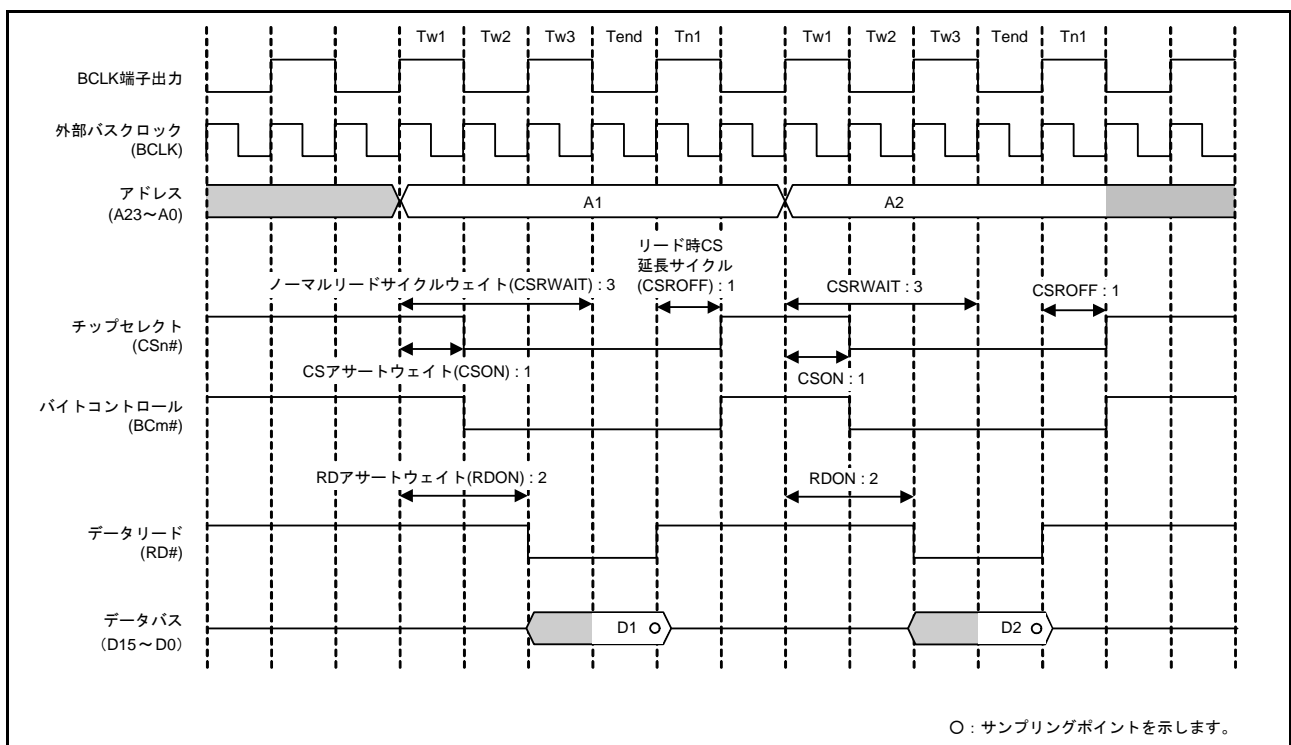


図 15.15 ノーマルリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n = 0 ~ 3, m = 0, 1)

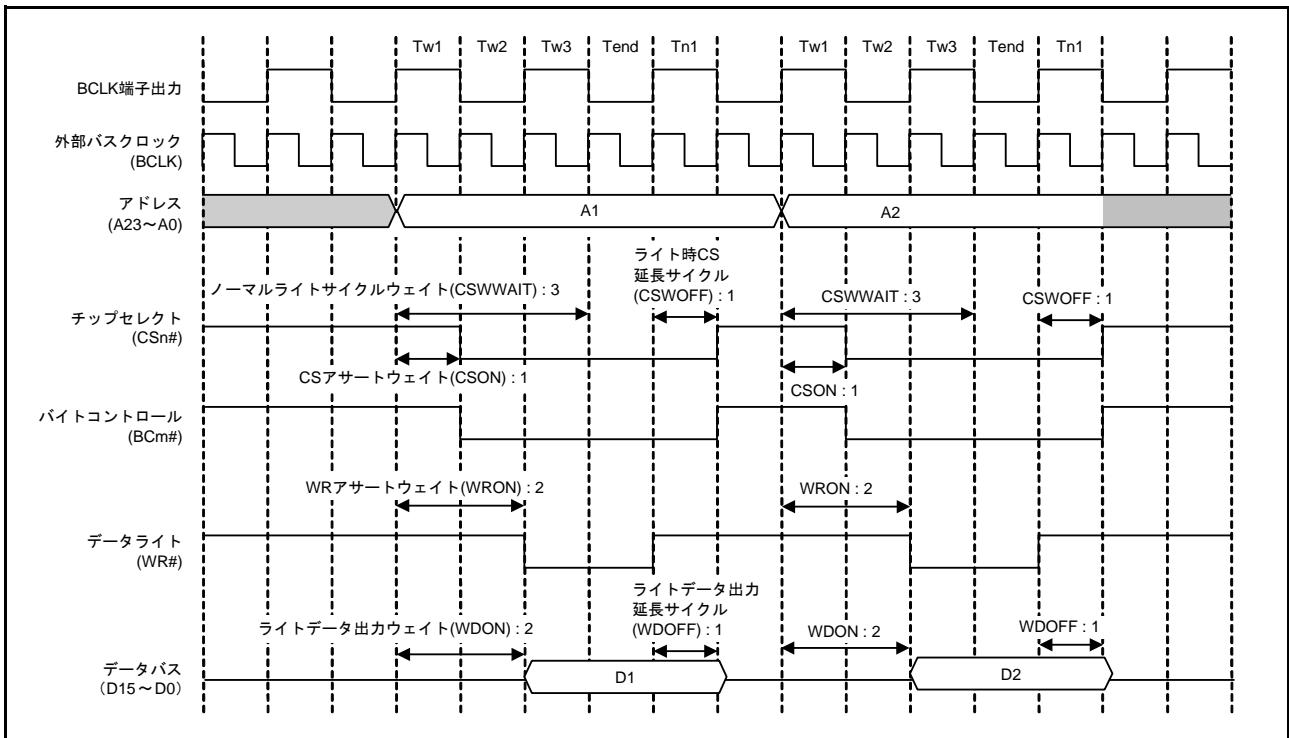


図 15.16 ノーマルライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n = 0 ~ 3, m = 0, 1)

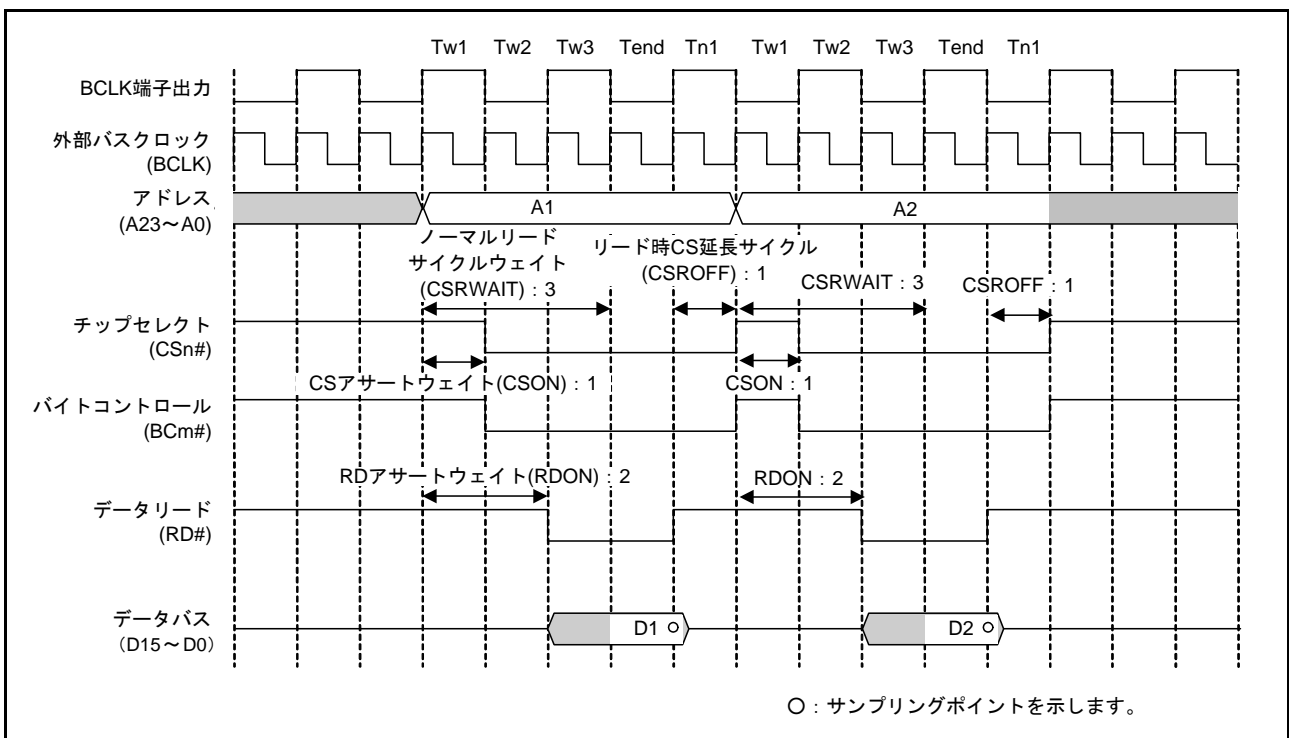


図 15.17 ノーマルリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0 ~ 3, m = 0, 1)

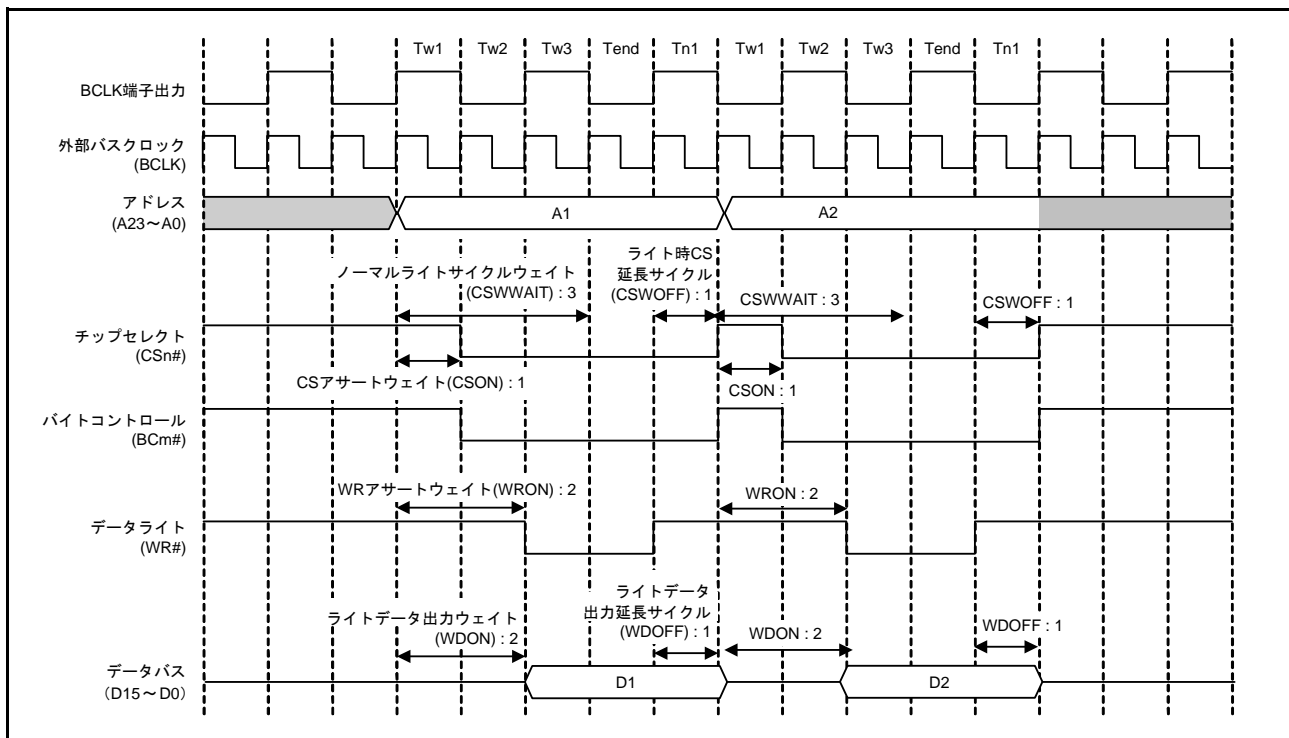


図 15.18 ノーマルライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) ($n = 0 \sim 3, m = 0, 1$)

(2) ページアクセス

CSnMOD.PRENB ビットを“1” (ページリードアクセス許可)、CSnMOD.PWENB ビットを“1” (ページライトアクセス許可) に設定した場合、ページアクセスに該当するバスアクセスはページアクセスとなります。バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合がページアクセスの対象となります。ただし、分割されたアクセスが非ラインアクセスになる場合、および 32 ビット境界を越えるアクセスの場合、ページアクセスの対象とはならずノーマルアクセスとなります。ページアクセスが発生する条件の詳細は、図 15.5 ~ 図 15.8 を参照してください。

図 15.19、図 15.20 にページアクセスの動作例を示します。

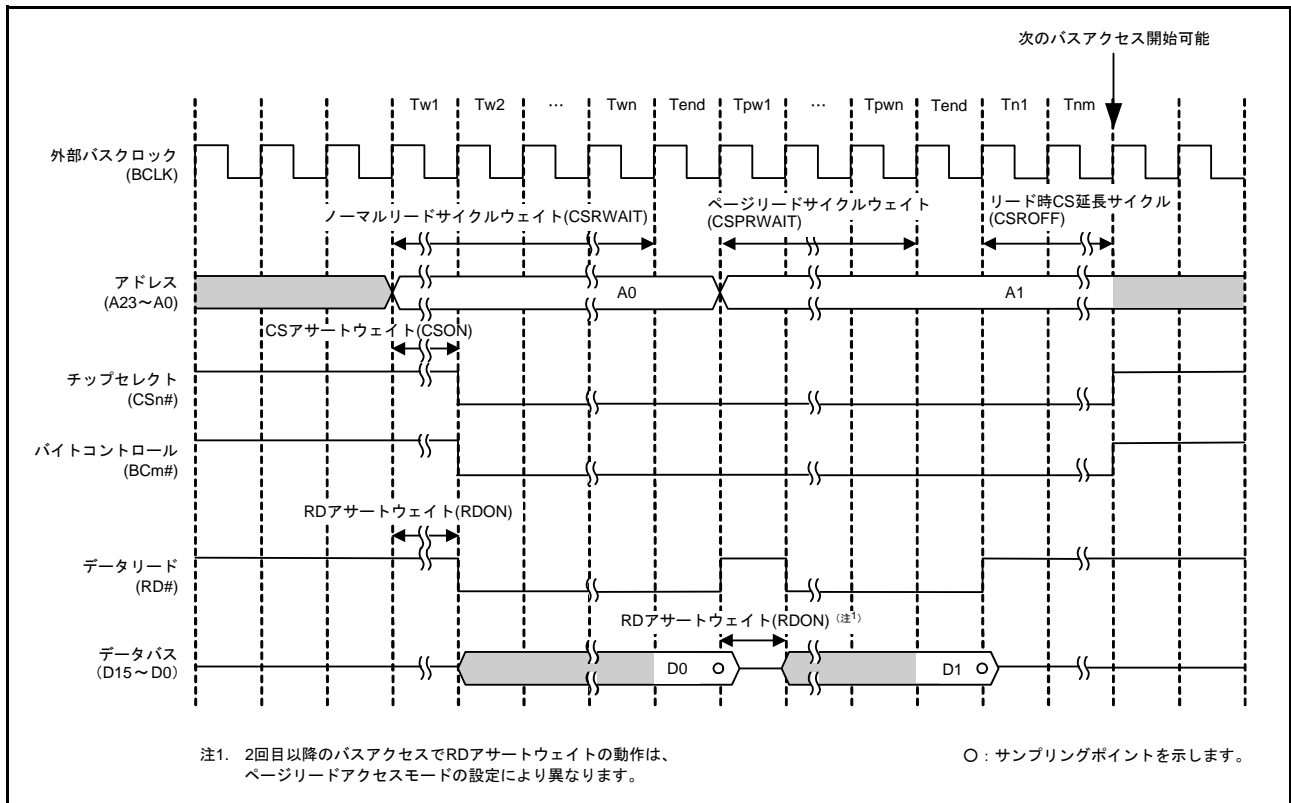


図 15.19 ページリードアクセスタイミング (n = 0 ~ 3, m = 0, 1)

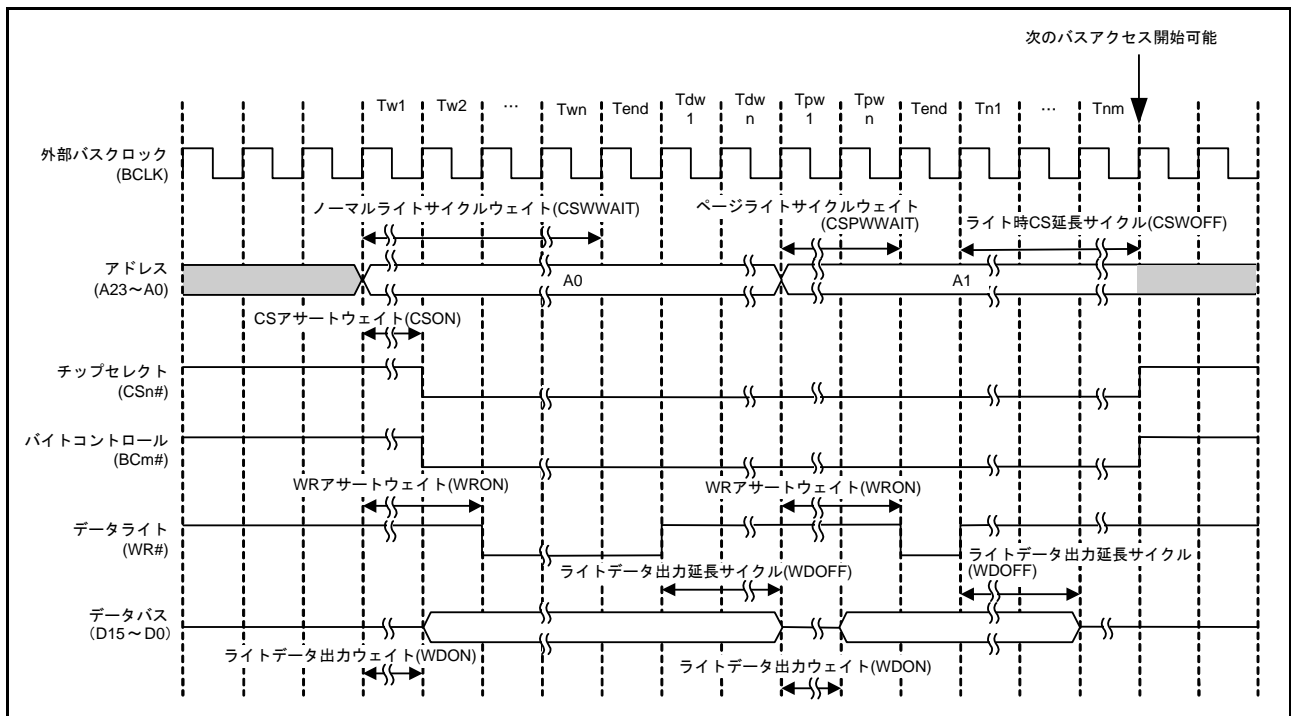


図 15.20 ページライトアクセスタイミング (n = 0 ~ 3, m = 0, 1)

図 15.21、図 15.22 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

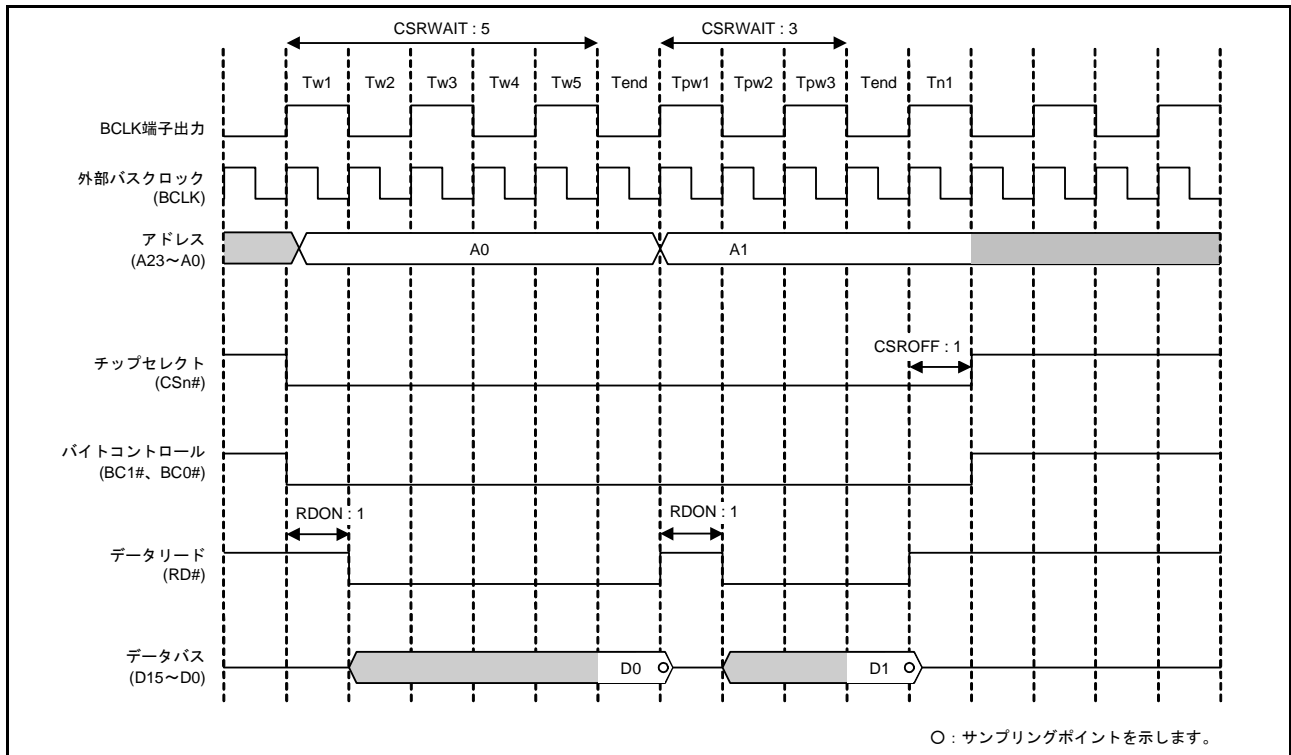


図 15.21 ページリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0 ~ 3)

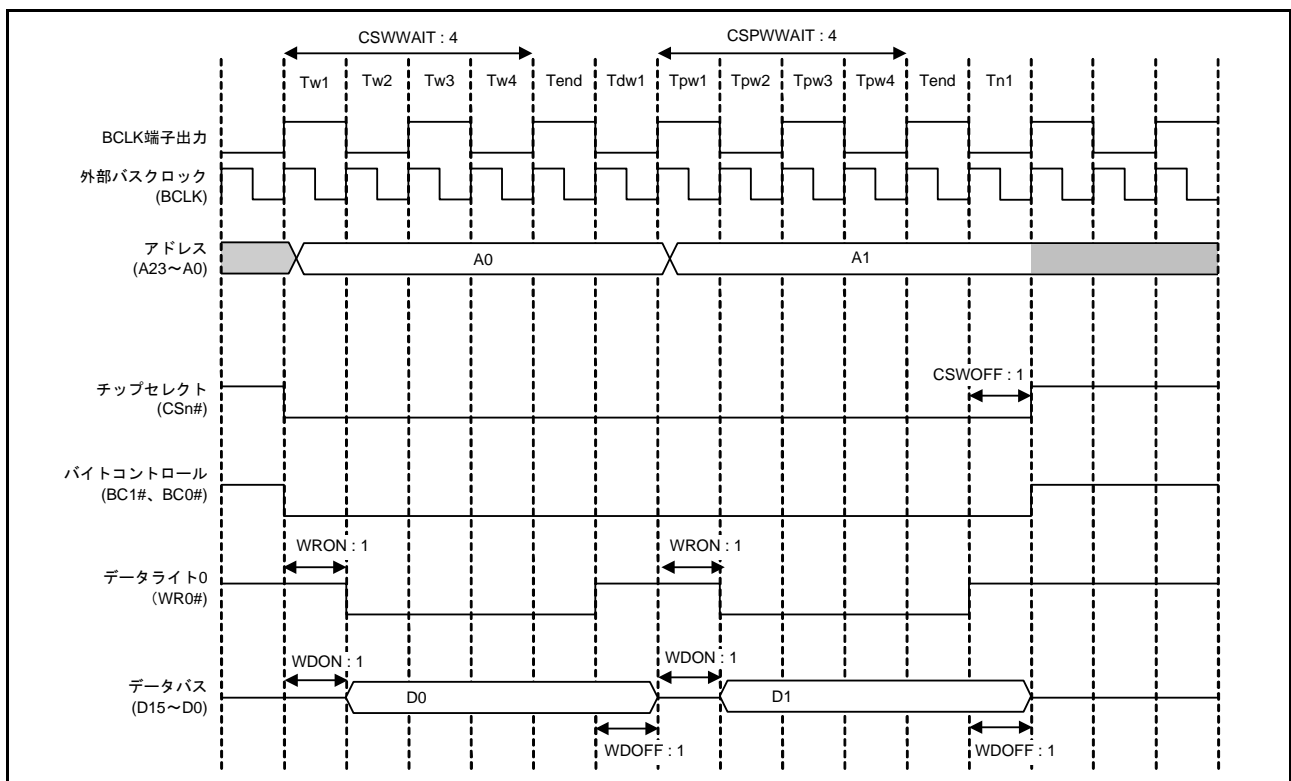


図 15.22 ページライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合 : 1 ライトストローブモード時) (n = 0 ~ 3)

15.5.2 アドレス / データマルチプレクスバス

CSn 制御レジスタのアドレス / データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) を“1”に設定することにより、対応する領域で D15 ~ D0 端子にアドレスとデータをマルチプレクスして入出力する機能を備えています。これにより、アドレス / データマルチプレクスが必要な周辺 LSI を本 LSI に直結できます。CSnCR.BSIZE[1:0] ビットで 8 ビットを選択した領域では、D7 ~ D0 が A7 ~ A0 とマルチプレクスされます。CSnCR.BSIZE[1:0] ビットで 16 ビットを選択した領域では、D15 ~ D0 が A15 ~ A0 とマルチプレクスされます。アドレス / データマルチプレクス I/O 空間では、ALE、RD#、WRn#、BCn# 信号でアクセスが制御されます。

セパレートバスと同様、バイトストローブモードと 1 ライトストローブモードを選択可能です。ただし、アドレスサイクル中の BCn # 信号については、リードデータ、ライトデータに対するバイトコントロール信号が出力されます。

アドレス / データマルチプレクス I/O 空間のアクセスでは、アドレス出力が CSn ウェイト制御レジスタ 2 のアドレスサイクルウェイト選択ビット (CSnWCR2.AWAIT[1:0]) で設定されたサイクル挿入後、続けてデータのアクセスが行われます。

- Ta1 ~ Tan (アドレスサイクルウェイト)

アドレス / データマルチプレクス I/O 空間設定時のみ有効なサイクルで、外部バスアクセス開始からアドレスラッチ (ALE) 信号がネゲートされる 1 サイクル前までの期間です。0 ~ 3 サイクルを選択できます。ALE 信号がネゲートされた次のサイクルまでアドレスが出力されます (アドレスサイクル)。ALE 信号は、CS# 信号のアサートタイミングと同じになります。アドレスサイクル後はデータサイクルになります。アドレスサイクルとデータサイクルが重ならないように CSnWCR1、CSnWCR2 レジスタの値を設定する必要があります。

アドレス / データマルチプレクス I/O 空間では、ページアクセスは無効です。ページリードアクセス許可 (CSnMOD.PRENB ビット = 1)、ページライトアクセス許可 (CSnMOD.PWENB ビット = 1) に設定した場合、設定は無視されノーマルアクセスを行います。

図 15.23 ~ 図 15.25 にアドレス / データマルチプレクス I/O インタフェース時の動作例を示します。

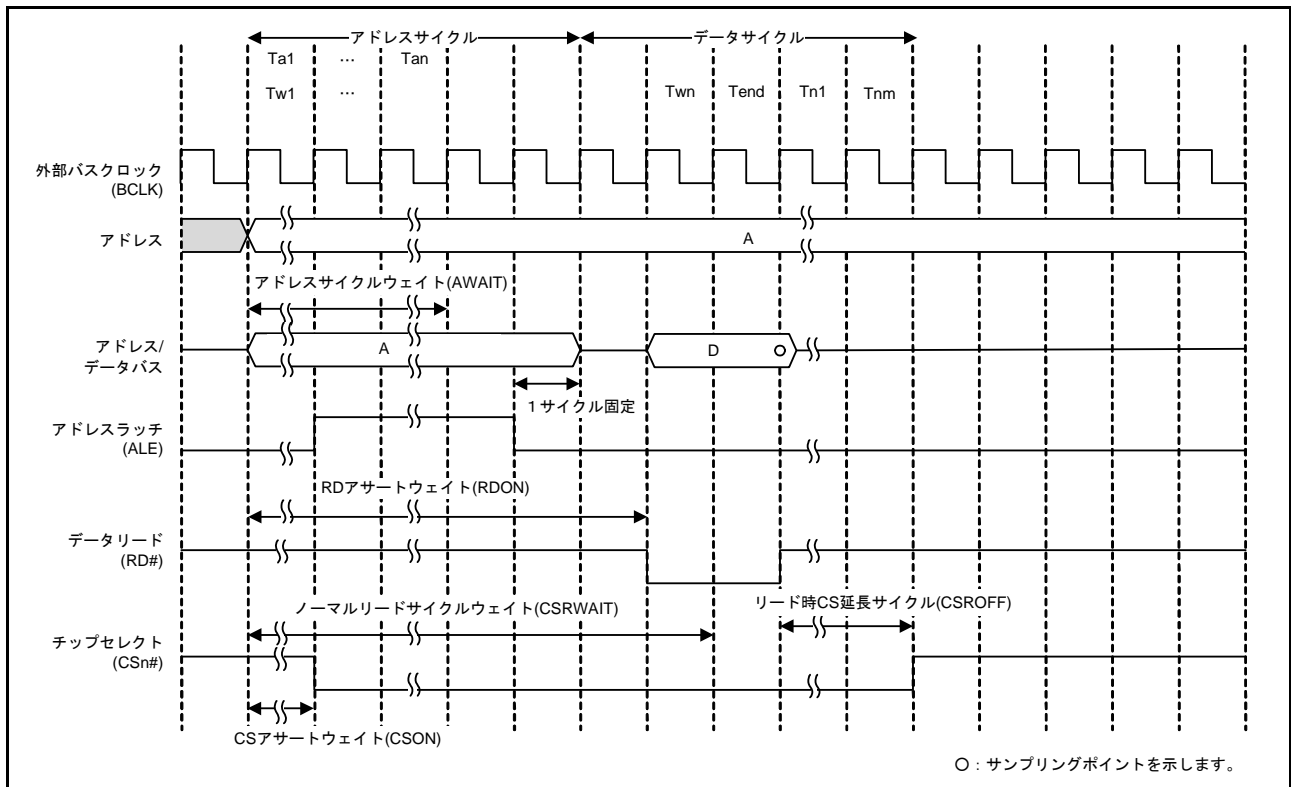


図 15.23 アドレス / データマルチプレクス I/O インタフェース時のリードアクセスの動作例 (n = 0 ~ 3)

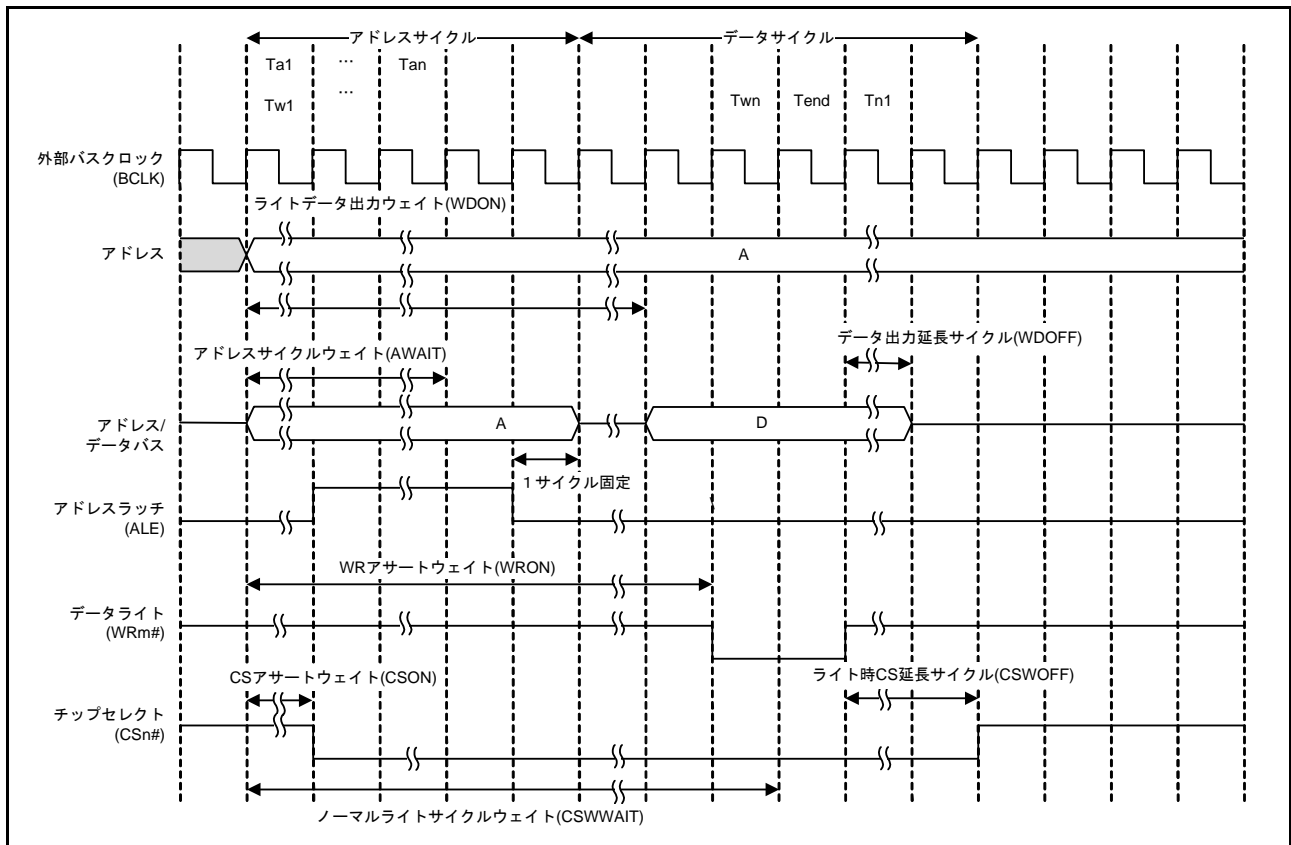


図 15.24 アドレス / データマルチプレクス I/O インタフェース時のライトアクセスの動作例 (n = 0 ~ 3, m = 0, 1)

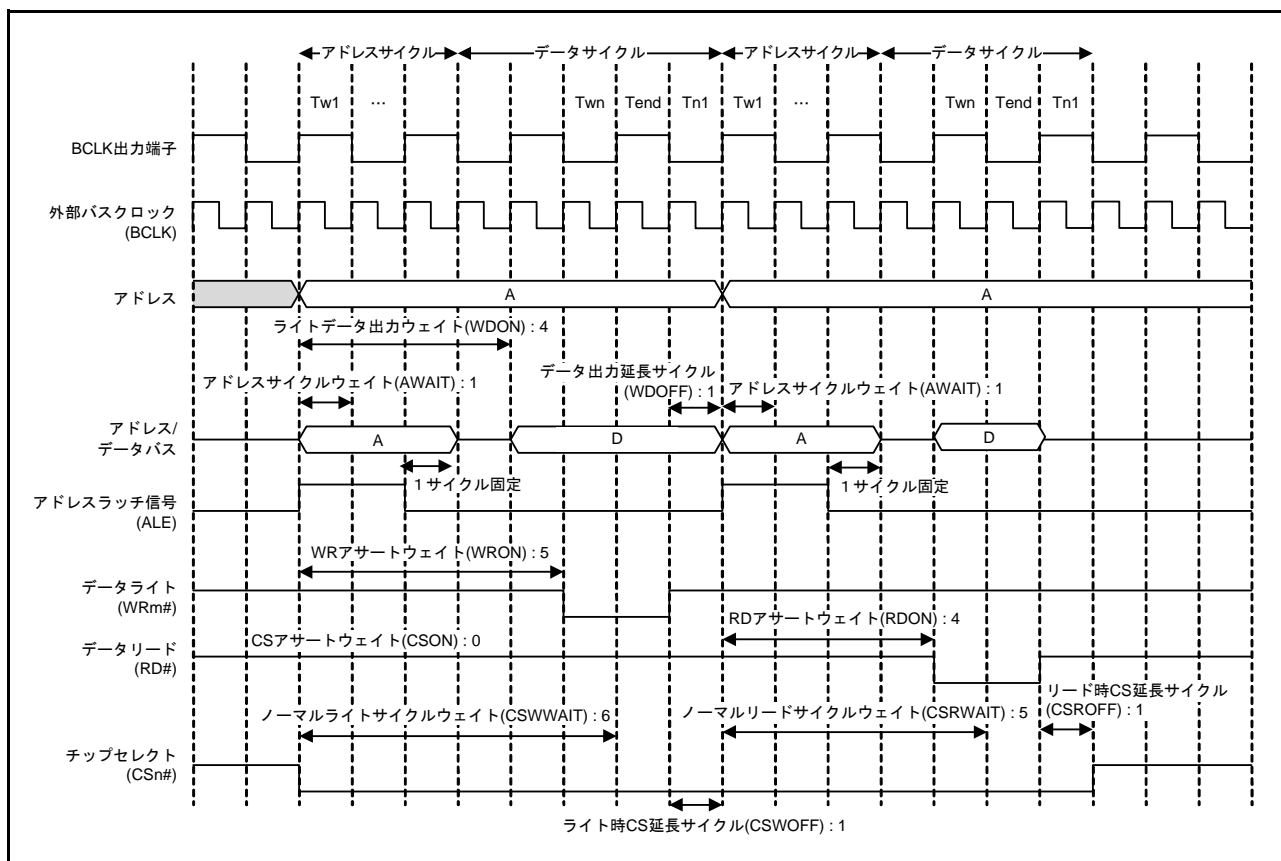


図 15.25 アドレス / データマルチプレクス I/O インタフェース時のバスタイミング例
(n = 0 ~ 3, m = 0, 1)

15.5.3 外部ウェイト機能

WAIT# 信号により、CSn ウェイト制御レジスタ 1 (CSnWCR1) で設定したノーマルアクセスサイクルウェイト (CSRWAIT[4:0] ビット、CSWWAIT[4:0] ビット) や、ページアクセスサイクルウェイト (CSPRWAIT[2:0] ビット、CSPWWAIT[2:0] ビット) を超えて、ウェイトサイクルを延長することができます。

外部ウェイト許可 (CSnMOD.EWENB ビット = 1) にすると、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。外部ウェイト禁止 (CSnMOD.EWENB ビット = 0) であれば WAIT# 信号は無効です。

なお、CSnWCR1 レジスタで設定した各サイクルウェイトは、WAIT# 信号にかかわらず挿入されます。

(1) ノーマルアクセス

CSnWCR1 レジスタで設定したサイクルウェイト数が完了した時点 (Tend) から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

(2) ページアクセス

最初のアクセスは、ノーマルアクセスと同じです。ウェイト制御レジスタに設定したサイクルウェイト数が完了した時点 (Tend) から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

2 番目以降のアクセスに関しては、ページアクセスのウェイトサイクルが完了した時点 (Tend) から WAIT# 信号がサンプリングされます。WAIT# 信号が Low の間、ページアクセスのウェイトサイクルを延長し、WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

図 15.26、図 15.27 にセパレートバスインタフェース時の外部ウェイトサイクルの動作例を示します。

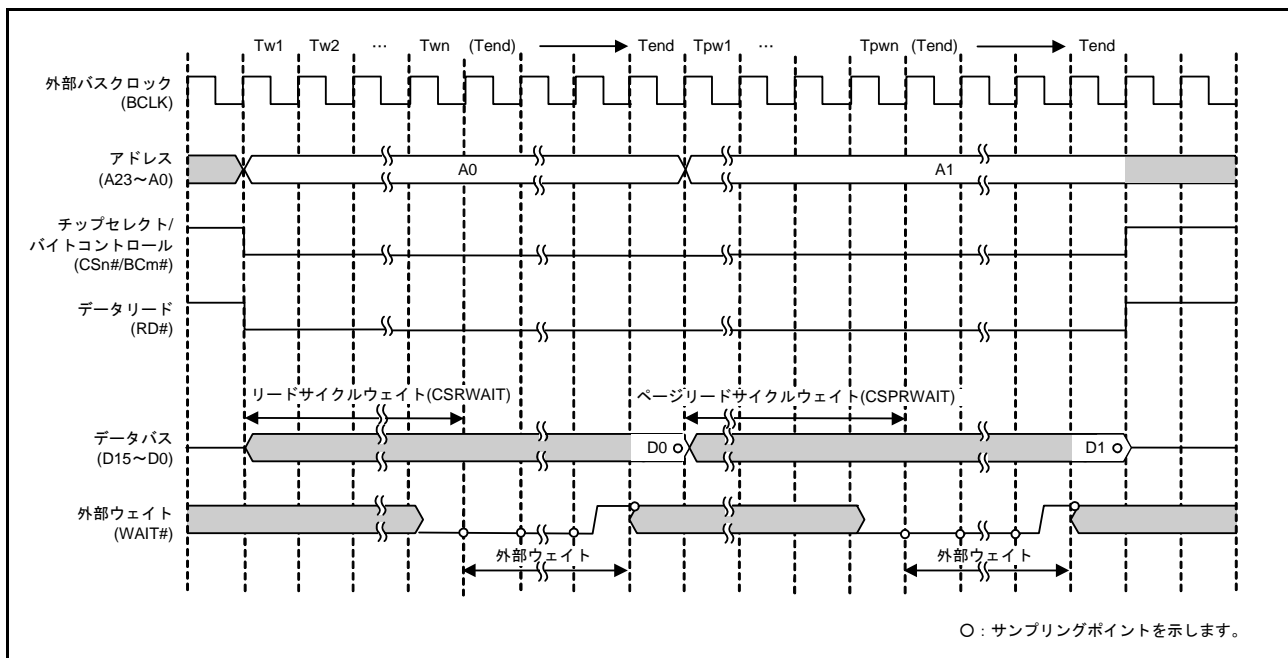


図 15.26 外部ウェイトタイミング例 (16 ビットバス空間へのページリードアクセス)
($n = 0 \sim 3$, $m = 0, 1$)

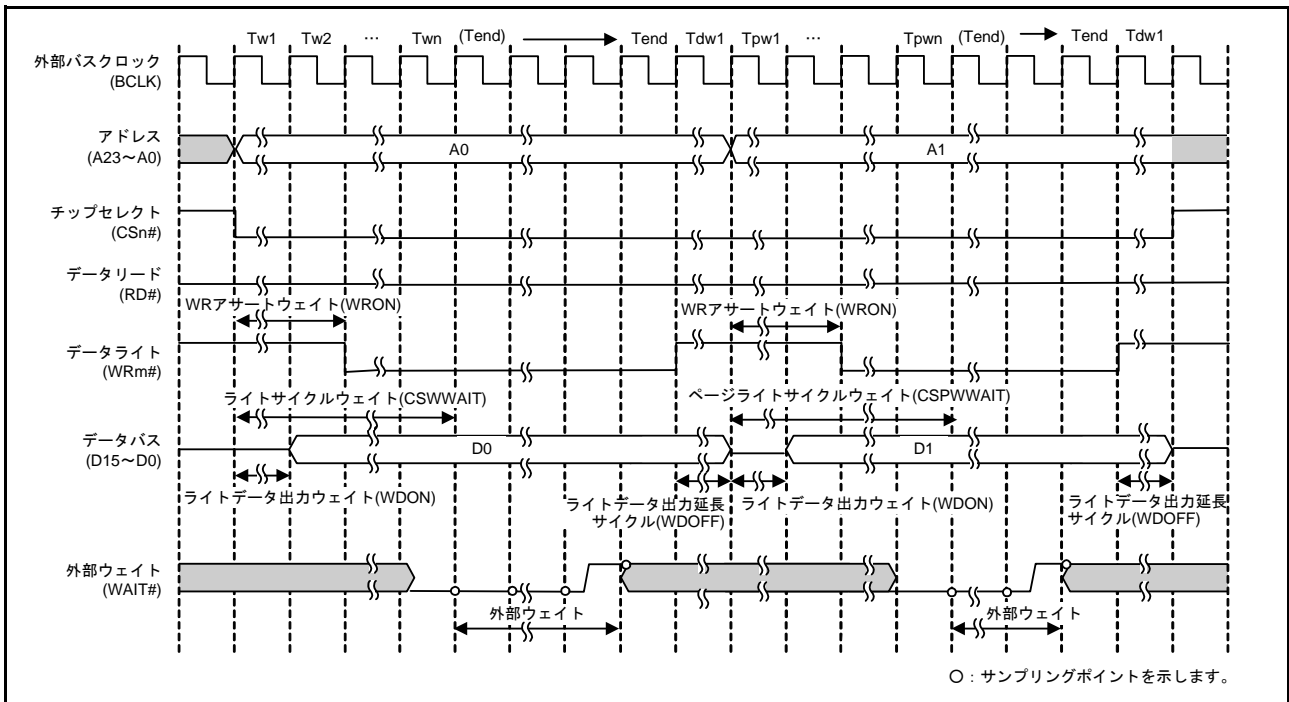


図 15.27 外部ウェイトタイミング例 (16 ビットバス空間へのページライトアクセス : バイトストローブモード時) (n = 0 ~ 3, m = 0, 1)

(3) アドレス / データマルチプレクス I/O インタフェース

アドレス / データマルチプレクス I/O インタフェースのデータサイクルには、セパレートバスインタフェースと同様にプログラムウェイトの挿入、WAIT 端子による端子ウェイトの挿入が可能です。

ウェイト制御の設定は、アドレスサイクルに影響を与えません。図 15.28 にアドレス / データマルチプレクス I/O インタフェース時の外部ウェイトサイクルの動作例を示します。

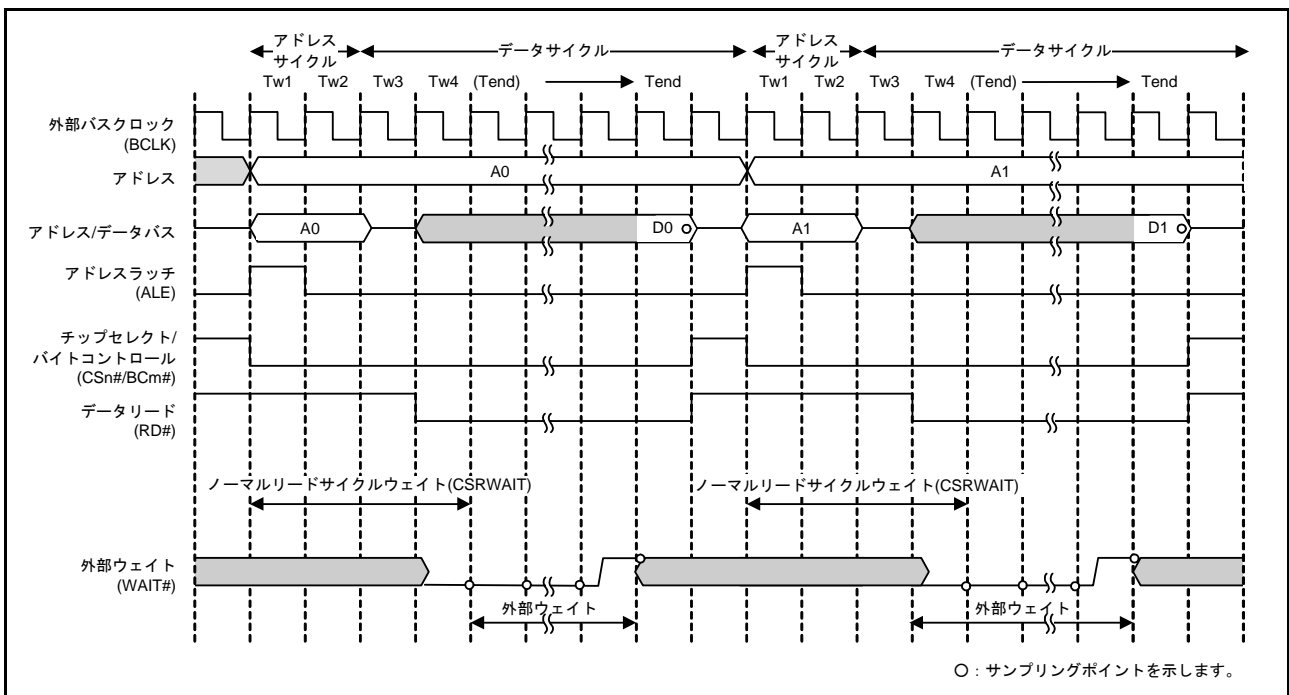


図 15.28 アドレス / データマルチプレクス I/O インタフェース時の外部ウェイト挿入の動作例 (n = 0 ~ 3, m = 0, 1)

15.5.4 リカバリサイクルの挿入

CS リカバリサイクル挿入許可レジスタ (CSRECEN) のリカバリサイクル挿入許可ビットを“1”に設定することにより、連続する外部バスアクセスの間にリカバリサイクルを挿入することができます。

挿入するリカバリサイクル数は、ライトサイクル後とリードサイクル後を領域ごとに設定でき、CSn リカバリサイクル設定レジスタ (CSnREC) で設定します。前バスサイクルがライトアクセスの場合、その領域のライトリカバリサイクル設定ビット (CSnREC.WRCV[3:0]) で設定し、前バスサイクルがリードアクセスの場合、その領域のリードリカバリサイクル設定ビット (CSnREC.RRCV[3:0]) で設定します。たとえば、CS0 リードアクセス後、CS1 リードアクセスがある場合、この間に入るリカバリサイクルは、CS0 の CS0REC.RRCV[3:0] ビットで設定されたサイクル数になります。

リカバリサイクル挿入可能な条件は、以下の 8 通りです。前バスアクセスがセパレートバスの場合、CS リカバリサイクル挿入許可レジスタのセパレートバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENj) (j=0~7) により、アドレス/データマルチプレクスバスの場合、CS リカバリサイクル挿入許可レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENMj) (j=0~7) により、リカバリサイクル挿入の許可、禁止を設定できます。

- 外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合

リカバリサイクルの起点は、前バスサイクルの終了時点 (CSn# 信号 (n=0~3) のネゲート時点) です。終了時点から設定したリカバリサイクル間は、CSn# 信号の High 期間が挿入されます。

最短でリカバリサイクルの終了直後に、次のバスアクセスのチップセレクト CSn# 信号がアサートされます。リカバリサイクル中に次の外部アドレス領域へのアクセス要求が発生した場合も、リカバリサイクル終了直後に次の外部バスアクセスを開始します。

バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。ただし、ページリードアクセス許可 (CSnMOD.PRENB=1)、あるいは、ページライトアクセス許可 (CSnMOD.PWENB=1) に設定された場合、リカバリサイクル挿入条件が成り立つ場合でも途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます (図 15.31 参照)。

ページアクセス許可設定時でノーマルアクセスとなる場合についても、セパレートバス時は、途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。アドレス/データマルチプレクス I/O インタフェース時は、ページアクセス許可設定に関わらず、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。

図 15.29 ~ 図 15.31 にセパレートバスインタフェース時のリカバリサイクルの動作例を示します。

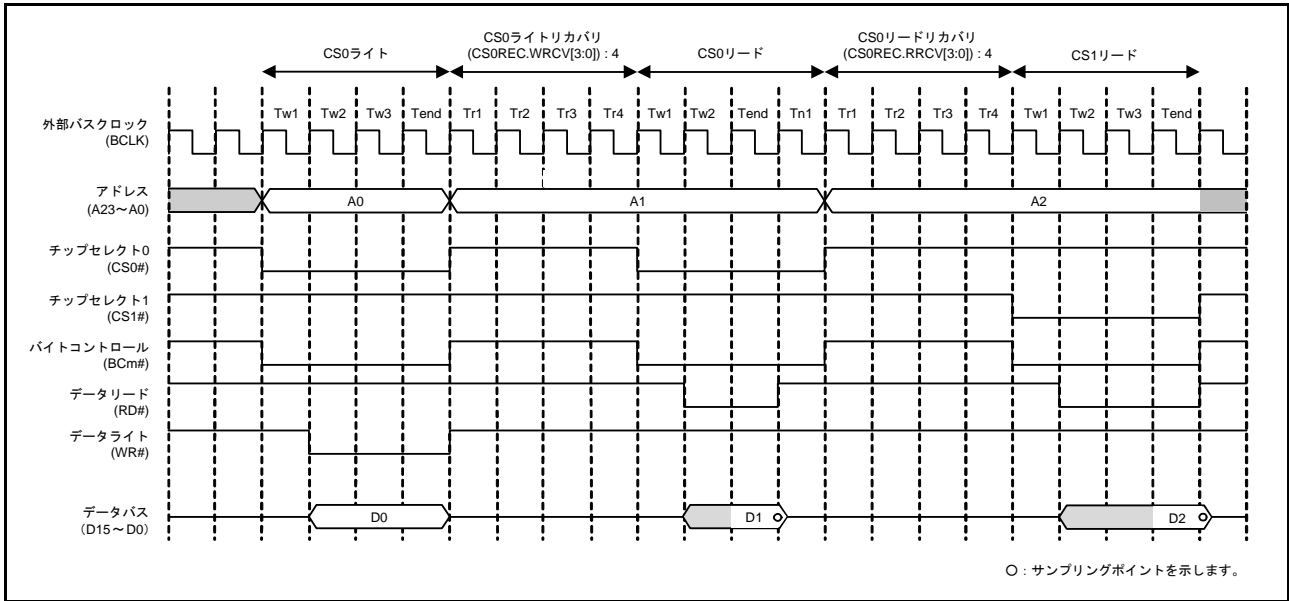


図 15.29 セパレートバスインタフェース時のリカバリサイクルの動作例 (m = 0、1)

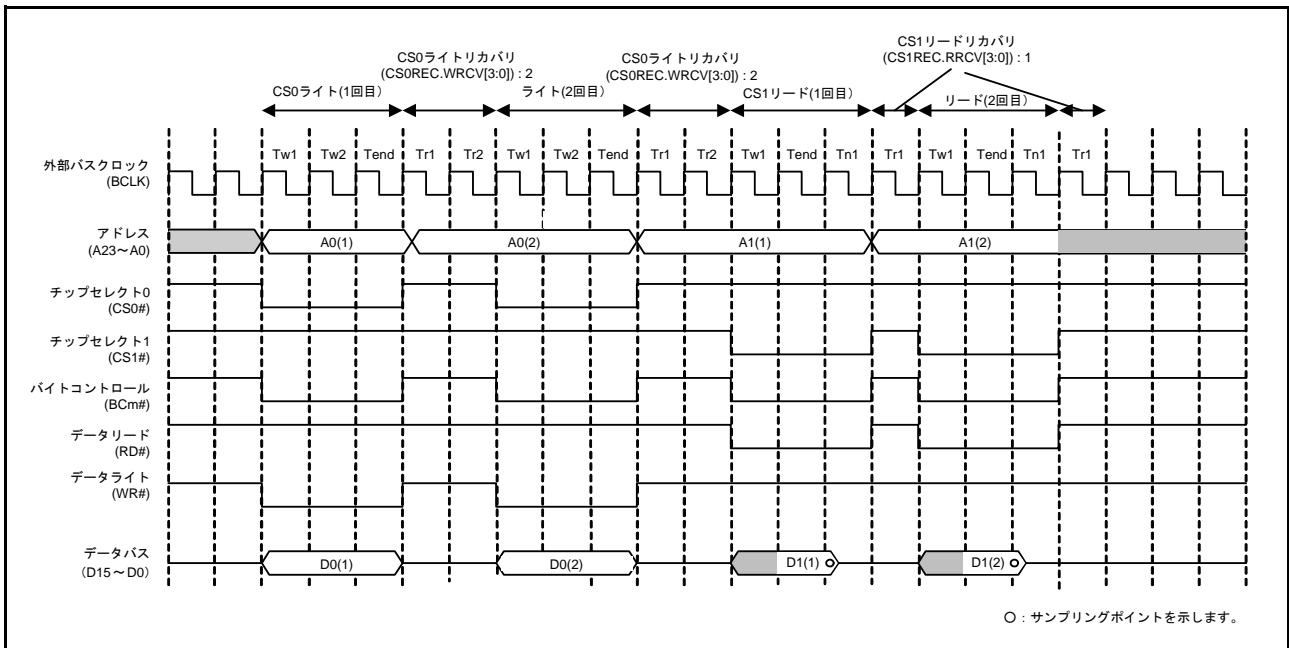


図 15.30 バスアクセスが分割された場合のリカバリサイクルの動作例 (セパレートバスインタフェース、ノーマルアクセスの場合) (m = 0、1)

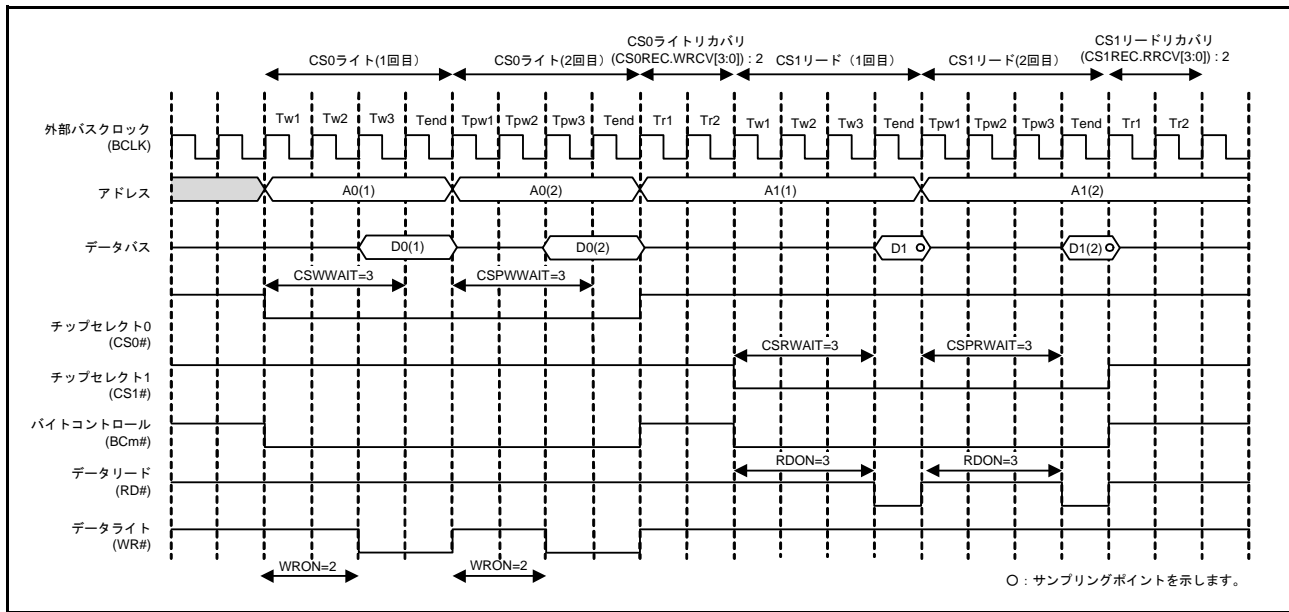


図 15.31 バスアクセスが分割された場合のリカバリサイクルの動作例（セパレートバスインタフェース、ページアクセスの場合）(m = 0、1)

図 15.32 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

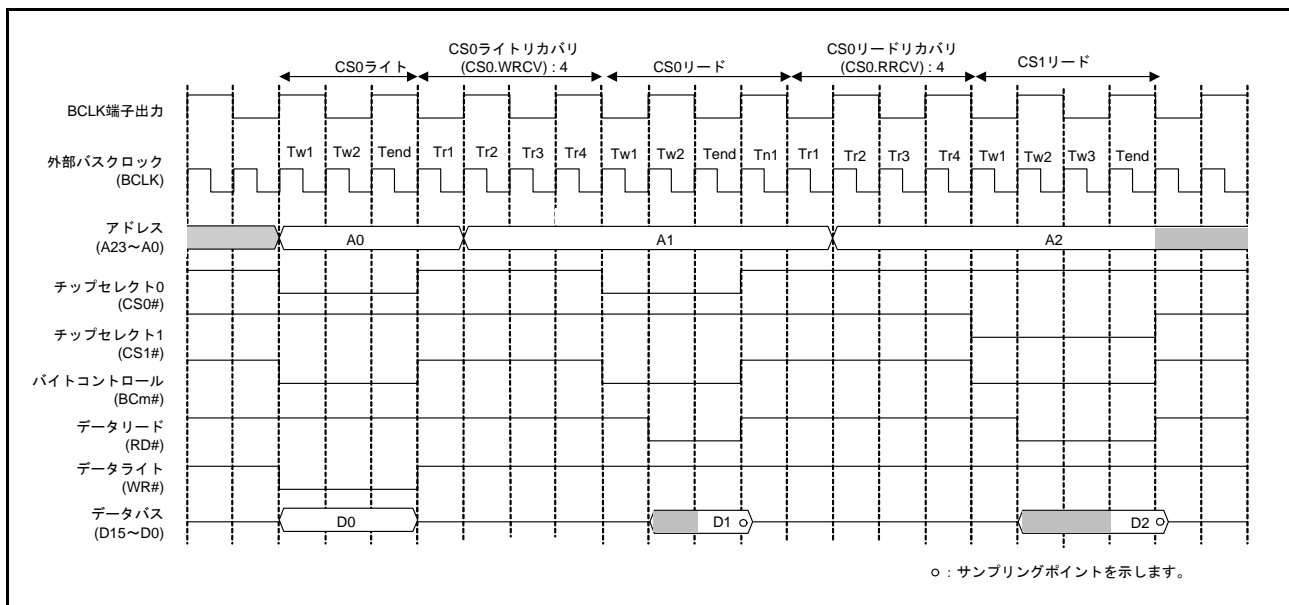


図 15.32 BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合のリカバリサイクルの動作例（セパレートバスインタフェース、ノーマルアクセスの場合）(m = 0、1)

アドレス/データマルチプレクス I/O インタフェースのリカバリサイクルの挿入もセパレートバスインタフェースと同様に行われます。図 15.33、図 15.34 に、アドレス/データマルチプレクス I/O インタフェース時のリカバリサイクルの動作例を示します。

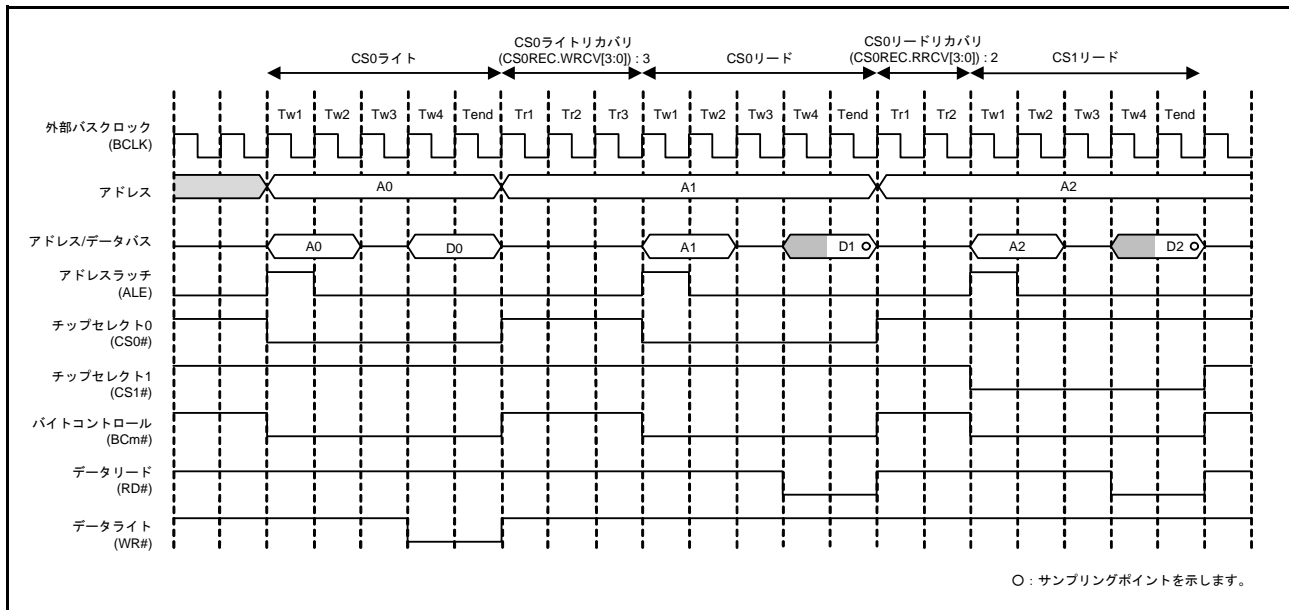


図 15.33 アドレス/データマルチプレクス I/O インタフェース時のリカバリサイクルの動作例 (m = 0、1)

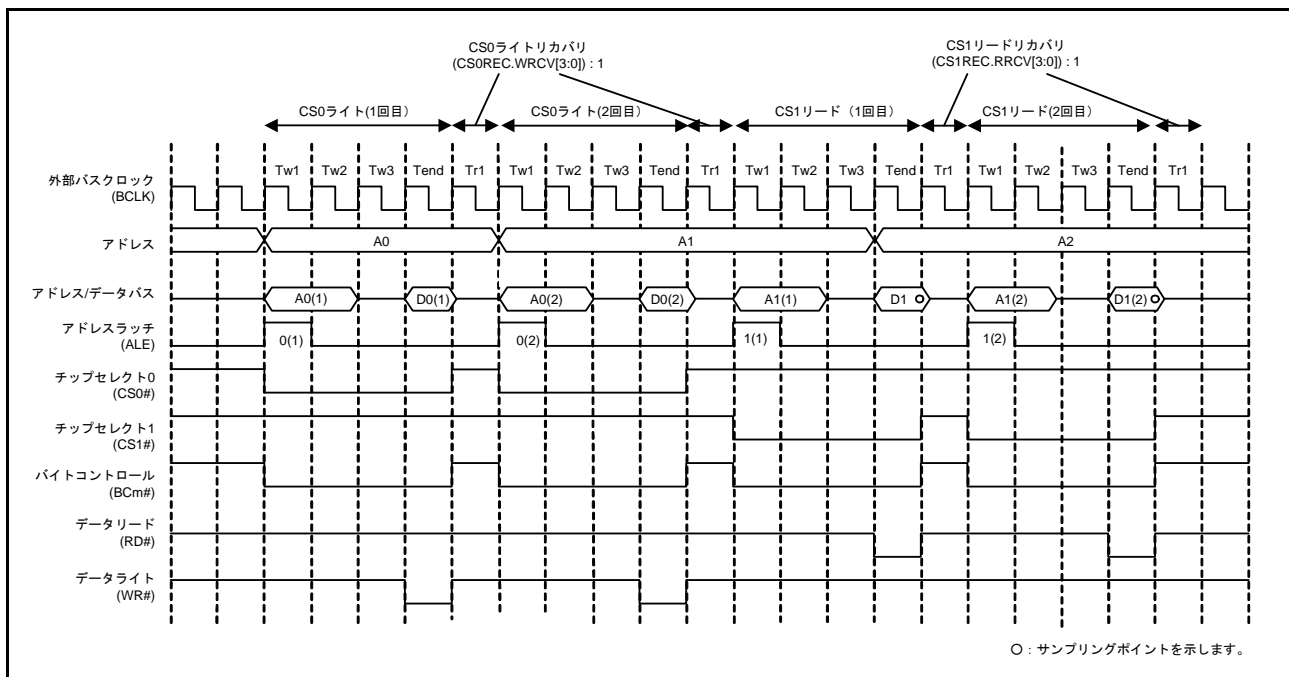


図 15.34 アドレス/データマルチプレクス I/O インタフェース時、バスアクセスが分割された場合のリカバリサイクルの動作例 (m = 0、1)

15.5.5 非アクセス時の状態

表 15.9 に外部アドレス空間に対して処理を行っていないときの外部バス信号の状態を示します。

表 15.9 非アクセス時の外部バス信号の状態

信号線名	信号の状態	
	セパレートバス	アドレス/データマルチプレクスバス
CSn#, BCn#, WRn#, RD#	High	
ALE	Low	
A23～A16	不定	
A15～A0	不定	Hi-Z
D15～D0	Hi-Z	

15.5.6 ライトバッファ機能（外部バス）

ライトアクセスの場合、データをライトバッファに書き込むことにより、動作の終了を待たずに内部メインバスを解放するので、次のバスアクセスを開始することができます。ただし、次のバスアクセスが外部アドレス空間、あるいは外部バスコントローラのレジスタへのアクセスであった場合は、前の外部バス動作が終了するまで待たされます。

図 15.35 にライトバッファ機能を使用したときの動作例を示します。この機能を使用したとき、外部ライトの次に内部アクセスがある場合は、外部ライトの終了を待たずに内部アクセス（内蔵メモリ、周辺モジュールのアクセス）が並列して実行されます。

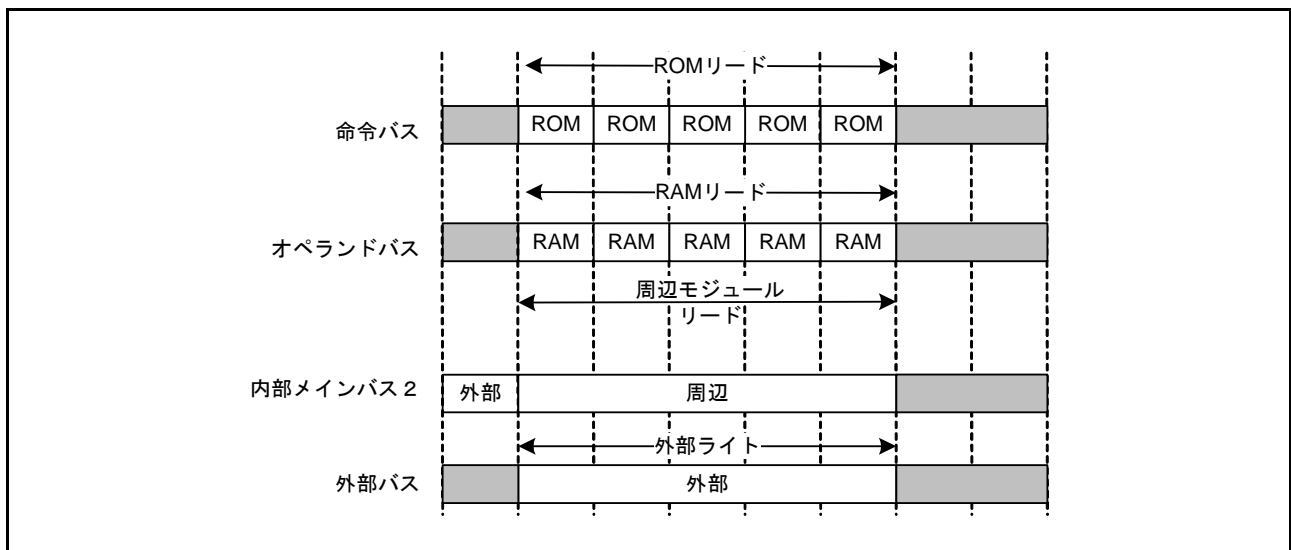


図 15.35 ライトバッファ機能使用時の動作例

15.6 制約事項

15.6.1 セパレートバスインタフェースの場合の制約事項

- (1) 表 15.10 にノーマルアクセス時とページアクセス時の CSn ウェイト制御レジスタ 1 (CSnWCR1) と、CSn ウェイト制御レジスタ 2 (CSnWCR2) の各ビットの設定値の制約事項を示します。CSn モードレジスタのページリードアクセス許可ビットが有効 (CSnMOD.PRENB = 1)、あるいはページライトアクセス許可ビットが有効 (CSnMOD.PWENB = 1) であっても、ページアクセスの 1 回目のアクセス、あるいはページアクセスの対象とならないアクセス時はノーマルアクセス動作となり、ノーマルアクセスの制約条件を満たす必要があります。

表 15.10 ノーマル/ページアクセス時の制約事項

ノーマルアクセス時の制約条件		ページアクセス時の制約条件	
リード	ライト	リード	ライト
CSON[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON	1 ≤ WDON[2:0] CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON	CSON[2:0] ≤ CSPRWAIT RDON[2:0] ≤ CSPRWAIT CSON[2:0] ≤ RDON	1 ≤ WDON[2:0] CSON[2:0] ≤ CSPWWAIT WRON[2:0] ≤ CSPWWAIT WDON[2:0] ≤ CSPWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON

- (2) バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、ページリードアクセス許可 (CSnMOD.PRENB = 1)、あるいは、ページライトアクセス許可 (CSnMOD.PWENB = 1) に設定された場合、途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。

15.6.2 アドレス / データマルチプレクスバスの場合の制約事項

- (1) アドレス / データマルチプレクス I/O 空間では、ページアクセスは無効です。ページアクセスの設定は、無視されノーマルアクセスを行います。

表 15.11 ノーマルアクセス時の制約事項

ノーマルアクセス時の制約条件	
リード	ライト
CSON[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON AWAIT[1:0]+2 ≤ RDON CSON[2:0] ≤ AWAIT	CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON AWAIT[1:0]+2 ≤ WRON AWAIT[1:0]+2 ≤ WDON CSON[2:0] ≤ AWAIT

15.6.3 A0 端子と BC0# 端子を兼用する製品の場合の制約事項

A0 端子と BC0# 端子を兼用する製品の場合、8 ビットバス空間では 1 ライトストロブモードの設定は禁止しており、設定した場合の動作は保証していません。

15.6.4 BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の制約事項

BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になりますが、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合、2 回目以降の外部バスアクセスの開始は、ウェイト数の設定によっては、BCLK 端子出力の立ち下がり時点になる可能性があります。接続するデバイスの仕様にあわせて、レジスタの値を設定してください。

15.6.5 アドレス空間の各領域をまたがるアクセスの禁止

1 つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1 つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで 2 つの領域にまたがらないようにしてください。

15.6.6 RMPA 命令、ストリング操作命令に関する制約事項

- (1) 外部空間には領域ごとのエンディアン切り替え機能（データのみ）がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- (2) RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

15.6.7 命令コードに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

15.7 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合、バスマスタへ通知します。

15.7.1 バスエラーの種類

バスエラーには、不正アドレスアクセス、タイムアウトの2種類のバスエラーがあります。

不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出し、タイムアウトはバスアクセスが768 サイクル以内に終了しない場合に検出します。

15.7.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN = 1) に設定された場合で、以下のアクセスが起こった場合に発生します。

- 外部領域については、動作禁止 (CSnCR.EXENB = 0) に設定した領域をアクセスした場合
- 上記以外の領域については、不正アドレス領域にアクセスした場合どの領域が不正アドレスアクセスエラーを発生するかを表 15.12 に示します。

15.7.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効 (BEREN.TOEN = 1) に設定された場合で、バスアクセスが768 サイクル以内に終了しない場合に発生します。

- CS 領域 (CS0 ~ CS3) : バスアクセス開始後、外部バスクロック (BCLK) で768 サイクル以内にバスアクセスが終了しない (WAIT# 信号がネゲートされない) 場合
タイムアウトが発生すると BCLK で256 サイクル間、バスマスタからのアクセスは受け付けられません。バスマスタからの1回のリクエストで、複数の外部バスアクセスが発生する転送では、タイムアウトが発生しても、後続のバスアクセスを中断できません。この場合、連続してタイムアウトが発生する可能性があります。

15.7.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知 :
割り込みが発生します。割り込みを発生させるかどうかは、ICU.IERn レジスタで制御できます。

15.7.3 バスエラーの発生条件

表 15.12 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態（バスエラーステータスレジスタ n (BERSRn) ($n=1, 2$) がクリアされている場合) で、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると、BERSRn レジスタにその時点の状態が記憶されます。一度バスエラーが発生すると、その後バスエラーが発生しても BERSRn がクリアされていない場合はその状態を記憶しません。

2 つ以上のバスマスタについてバスエラーが同時に発生する場合は、1 つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSRn レジスタがクリアされるまで状態を保持します。

表 15.12 発生するバスエラーの種類

アドレス	内容		種類			
			不正アドレスアクセス		タイムアウト	
	内蔵ROM有効	内蔵ROM無効	内蔵ROM有効	内蔵ROM無効	内蔵ROM有効	内蔵ROM無効
0000 0000h ~ 0007 FFFFh	メモリバス1		—		—	
0008 0000h ~ 0008 7FFFh	内部周辺バス1		—		—	
0008 8000h ~ 0009 FFFFh	内部周辺バス2		△		—	
000A 0000h ~ 000B FFFFh	内部周辺バス3		△		—	
000C 0000h ~ 000D FFFFh	予約領域		△		—	
000E 0000h ~ 000F FFFFh	予約領域		△		—	
0010 0000h ~ 00FF FFFFh	内部周辺バス6	予約領域	△	○	—	—
0500 0000h ~ 07FF FFFFh	外部バス (CS1 ~ CS3)		[IA]		[TO]	
0800 0000h ~ 0FFF FFFFh	予約領域		—		—	—
1000 0000h ~ 7FFF FFFFh	予約領域		○		—	—
8000 0000h ~ FEFF FFFFh	メモリバス2	予約領域	—	○	—	—
FF00 0000h ~ FF7F FFFFh		外部バス (CS0)	—	[IA]	—	[TO]
FF80 0000h ~ FFFF FFFFh			—	—	—	—

— : バスエラーは発生しません。

△ : バスエラーは不定です。

○ : バスエラーを発生します。

[IA] : これらの領域を動作禁止 (CSnCR.EXENB = 0 ($n=0 \sim 3$)) に設定している場合にバスエラーを検出します。

[TO] : 768 サイクル以内にバスアクセスが終了しない場合にバスエラーを検出します。

注. 実装されるRAM、E2データフラッシュ、ROMの容量は製品により異なります。製品ごとの仕様については、「39. RAM」、
「40. フラッシュメモリ」を参照してください。

16. メモリプロテクションユニット (MPU)

16.1 概要

RX CPU にはメモリプロテクションユニットが内蔵されており、全アドレス空間 (0000 0000h ~ FFFF FFFFh) を対象に CPU によるアクセスのアドレスチェックを行います。

最大 8 つの領域を設定することができ、領域ごとのアクセス制御情報に従いアクセスを許可します。設定領域外へのアクセスを検出すると、デフォルトではメモリプロテクションエラーが発生します。

各領域のアクセス制御情報は、読み出し許可、書き込み許可、実行許可に対応しています。このアクセス制御情報は、CPU のプロセッサモードがユーザモードのときに有効です。スーパーバイザモードのときは、メモリ保護を行いません。

表 16.1 にメモリプロテクションユニットの仕様を、図 16.1 にブロック図を示します。

表 16.1 メモリプロテクションの仕様

仕様	内容
メモリプロテクション対象領域とプロセッサモード	0000 0000h ~ FFFF FFFFh (ユーザモード時) スーパーバイザモード時はメモリ保護なし
領域数	8
ページサイズ (最小保護単位)	16バイト
各領域のアドレス指定	開始ページ番号、終了ページ番号で設定
各領域の有効設定	領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) で各領域の有効/無効を設定 (n = 0 ~ 7)
各領域のアクセス制御情報	命令実行 : 実行許可 オペランドアクセス : 読み出し許可、書き込み許可
メモリプロテクション動作の開始	メモリプロテクション機能を有効にした後、ユーザモードに移行することによりアクセスの監視をスタート
メモリプロテクションエラー処理	アクセス例外発生
メモリプロテクションエラー発生アドレス	命令実行アドレス : スタック領域に PC を退避 オペランドアクセスアドレス : データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納
メモリプロテクションエラー要因判定	メモリプロテクションエラーステータスレジスタ (MPESTS) に要因を格納
バックグラウンド領域設定	バックグラウンド領域 (全アドレス空間) に対して、アクセス制御情報を設定可能
領域オーバーラップの処理	あるアドレスに対して領域がオーバーラップして設定され、各領域のアクセス制御情報が異なる場合、許可が優先されます。

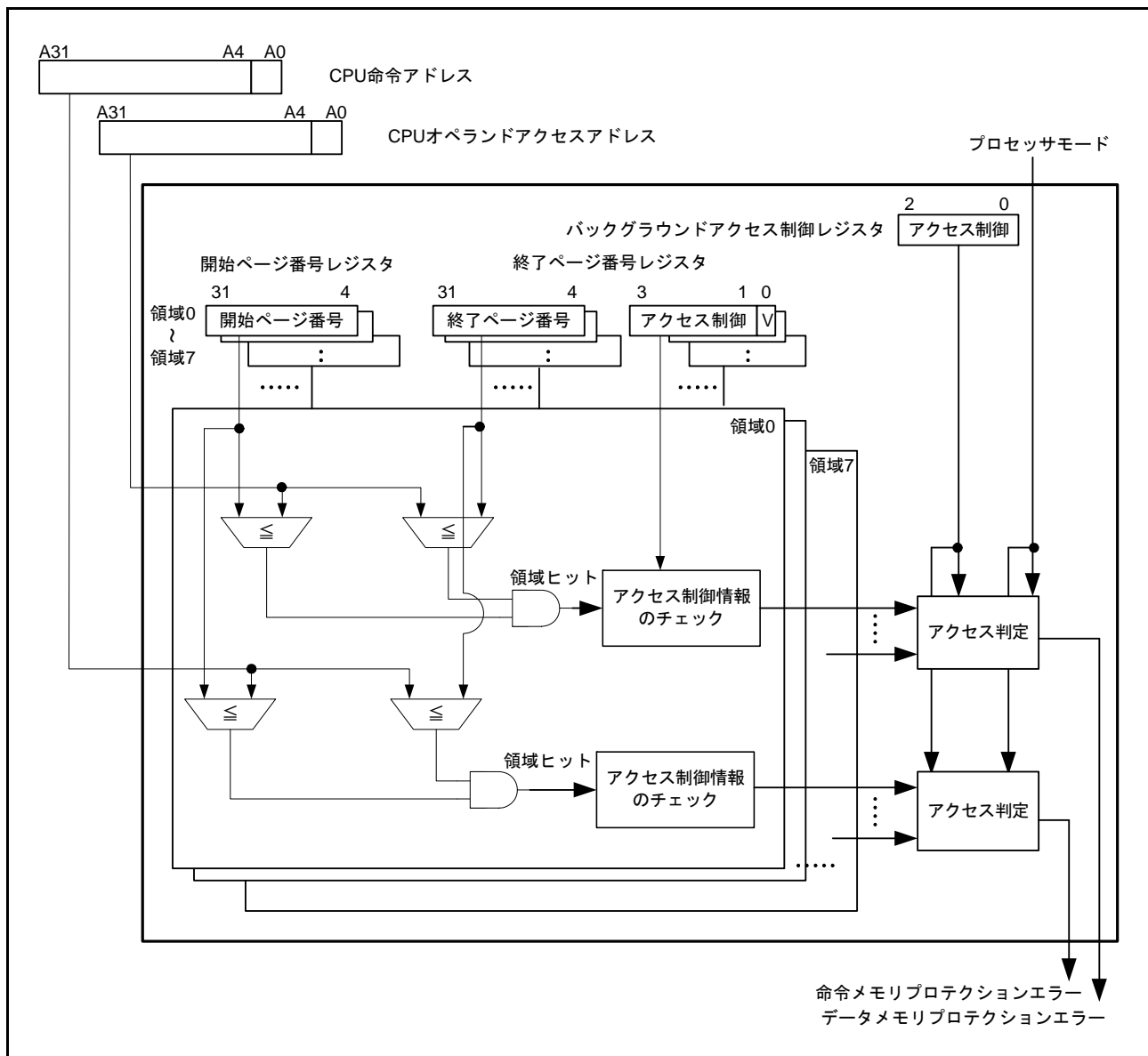


図 16.1 メモリプロテクションユニットブロック図

16.1.1 アクセス制御の種類

アクセス制御は、命令の実行許可と、オペランドアクセスの読み出し許可、書き込み許可の3種類があります。これらのアクセス制御に対する違反の検出は、ユーザモードのプログラムに対してのみ行います。スーパーバイザモードのプログラムに対しては違反を検出しません。

16.1.2 アクセス制御領域

アクセス制御領域は8つまで定義することができます。各アクセス制御領域の範囲は、領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います ($n=0\sim7$)。

ページは、アクセス制御の最小単位であり、アドレス空間を16バイト毎に区切ったものです。アドレス [31:0] の上位28ビット ([31:4]) がページ番号に対応します。

各領域のアクセス制御情報と、その領域を有効にするかどうかは REPAGEn レジスタで指定します。

16.1.3 バックグラウンド領域

バックグラウンド領域は全アドレス空間 (0000 0000h ~ FFFF FFFFh) です。バックグラウンド領域のアクセス制御情報はバックグラウンドアクセス制御レジスタ (MPBAC) で設定します。バックグラウンド領域のアクセス制御情報は、8つのアクセス制御領域と異なり、メモリプロテクション機能が有効 (MPEN.MPEN ビットが“1”) であれば有効となります。

16.1.4 領域のオーバーラップ

複数の領域がオーバーラップした場合のアクセス制御情報は、オーバーラップした領域 (バックグラウンド領域を含む) のアクセス制御ビットの論理和となり、許可が優先して設定されます。

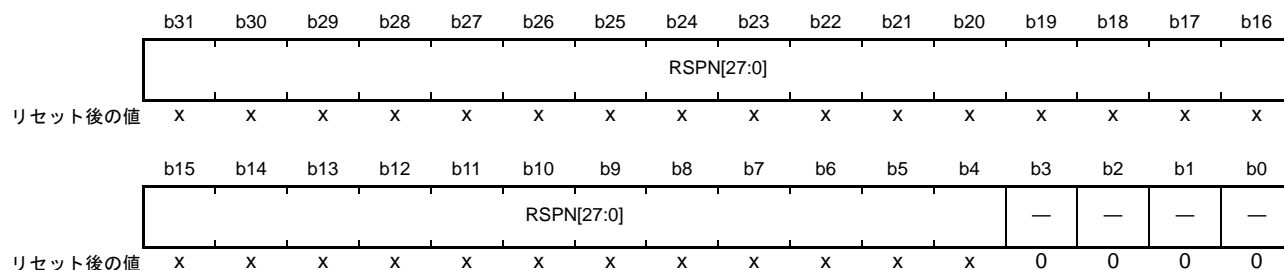
16.1.5 領域をまたぐ命令とデータ

異なるアクセス制御設定を行った領域にまたがるように配置された命令やデータに関するメモリプロテクションエラー検出動作は不定です。異なるアクセス制御設定を行った領域にまたがるように命令やデータを配置しないでください。

16.2 レジスタの説明

16.2.1 領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ~ 7)

アドレス RSPAGE0 0008 6400h, RSPAGE1 0008 6408h, RSPAGE2 0008 6410h, RSPAGE3 0008 6418h,
RSPAGE4 0008 6420h, RSPAGE5 0008 6428h, RSPAGE6 0008 6430h, RSPAGE7 0008 6438h



x : 不定

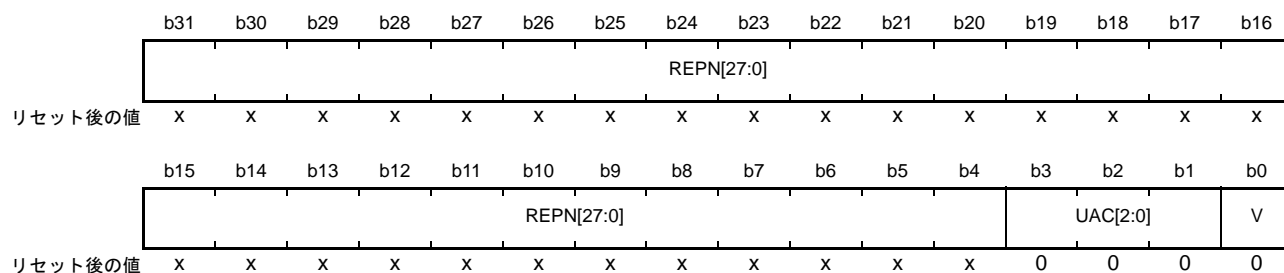
ビット	シンボル	ビット名	説明	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b4	RSPN[27:0]	領域開始ページ番号ビット	領域判定に使用する領域開始ページ番号情報	R/W

RSPN[27:0] ビット (領域開始ページ番号ビット)

領域開始ページ番号を設定します。

16.2.2 領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ~ 7)

アドレス REPAGE0 0008 6404h, REPAGE1 0008 640Ch, REPAGE2 0008 6414h, REPAGE3 0008 641Ch,
REPAGE4 0008 6424h, REPAGE5 0008 642Ch, REPAGE6 0008 6434h, REPAGE7 0008 643Ch



x : 不定

ビット	シンボル	ビット名	説明	R/W
b0	V	有効ビット	0 : 領域設定無効 1 : 領域設定有効	R/W
b3-b1	UAC[2:0]	ユーザモード時アクセス制御ビット	b3 0 : 読み出し禁止 1 : 読み出し許可 b2 0 : 書き込み禁止 1 : 書き込み許可 b1 0 : 実行禁止 1 : 実行許可	R/W
b31-b4	REPn[27:0]	領域終了ページ番号ビット	領域判定に使用する領域終了ページ番号情報	R/W

V ビット (有効ビット)

該当する領域設定を有効にするか、無効にするかを選択します。

領域インバリデートオペレーションレジスタ (MPOPI) により全アクセス制御領域のインバリデート (無効化) を行った場合、V ビットは“0”になります。

UAC[2:0] ビット (ユーザモード時アクセス制御ビット)

ユーザモード時のアクセス制御を設定します。

REPn[27:0] ビット (領域終了ページ番号ビット)

領域終了ページ番号を設定します。対応する領域の開始ページ番号と等しいか、大きな値を設定してください。領域終了ページ番号も、メモリプロテクション対象領域になります。

16.2.3 メモリプロテクション機能有効化レジスタ (MPEN)

アドレス 0008 6500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	MPEN	メモリプロテクション機能有効化ビット	1: メモリプロテクション機能有効 0: メモリプロテクション機能無効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MPEN ビット (メモリプロテクション機能有効化ビット)

メモリプロテクション機能を有効にするか、無効にするかを選択します。

MPEN ビットに“1”を書いた後、ユーザモードへ移行する分岐命令 (RTE、RTFI) の実行により、CPU のメモリプロテクションによるアドレスチェックが開始されます。

16.2.4 バックグラウンドアクセス制御レジスタ (MPBAC)

アドレス 0008 6504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UBAC[2:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b1	UBAC[2:0]	ユーザモード時バックグラウンドアクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

UBAC[2:0] ビット (ユーザモード時バックグラウンドアクセス制御ビット)

ユーザモード時のバックグラウンドアクセス制御を設定します。

16.2.5 メモリプロテクションエラーステータスクリアレジスタ (MPECLR)

アドレス 0008 6508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	CLR	エラーステータスクリアビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：MPESTS.DRW, DMPER, IMPERビットを“0”にします。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CLR ビット (エラーステータスクリアビット)

メモリプロテクションエラーステータスレジスタ (MPESTS) のデータリード/ライトビット (DRW)、データメモリプロテクションエラー発生ビット (DMPER)、命令メモリプロテクションエラー発生ビット (IMPER) を“0”にします。

16.2.6 メモリプロテクションエラーステータスレジスタ (MPESTS)

アドレス 0008 650Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRW	DMPE R	IMPER
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	IMPER	命令メモリプロテクションエラー発生ビット	0: 命令メモリプロテクションエラー発生なし 1: 命令メモリプロテクションエラー発生	R
b1	DMPER	データメモリプロテクションエラー発生ビット	0: データメモリプロテクションエラー発生なし 1: データメモリプロテクションエラー発生	R
b2	DRW	データリード/ライトビット	0: データリード 1: データライト	R
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IMPER ビット (命令メモリプロテクションエラー発生ビット)

命令実行によるメモリプロテクションエラー発生状態を示します。

IMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

DMPER ビット (データメモリプロテクションエラー発生ビット)

オペランドアクセスによるメモリプロテクションエラー発生状態を示します。

DMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

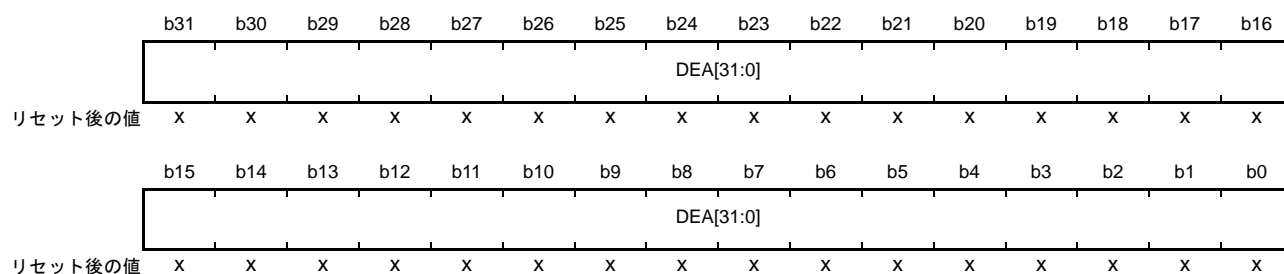
DRW ビット (データリード/ライトビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアクセスのリード/ライト属性を示します。DRW ビットは、DMPER ビットが“1”の場合のみ有効です。

DRW ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、“0”になります。

16.2.7 データメモリプロテクションエラーアドレスレジスタ (MPDEA)

アドレス 0008 6514h



x : 不定

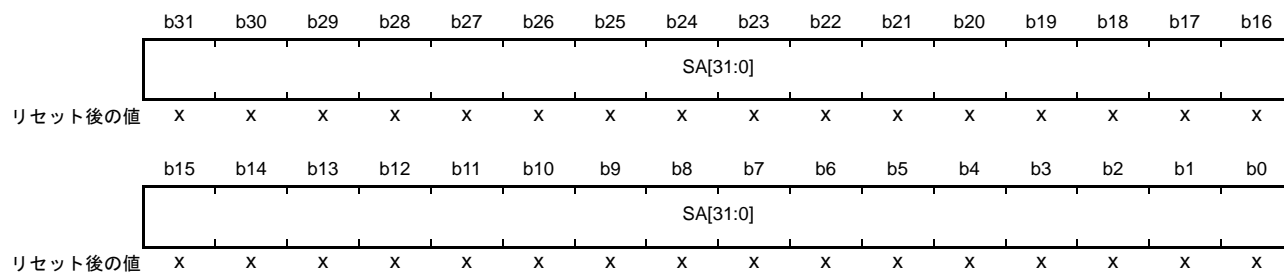
ビット	シンボル	ビット名	説明	R/W
b31-b0	DEA[31:0]	データメモリプロテクションエラーアドレスビット	データメモリプロテクションエラーアドレス	R

DEA[31:0] ビット (データメモリプロテクションエラーアドレスビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアドレスを保持します。

16.2.8 領域サーチアドレスレジスタ (MPSA)

アドレス 0008 6520h



x : 不定

ビット	シンボル	ビット名	説明	R/W
b31-b0	SA[31:0]	領域サーチアドレスビット	領域サーチ用アドレス	R/W

SA[31:0] ビット (領域サーチアドレスビット)

領域サーチオペレーションで、領域 n 開始ページ番号レジスタ (RSPAGEn) の領域開始アドレス、領域 n 終了ページ番号レジスタ (REPAGEn) の領域終了アドレスと比較するアドレスを設定します。

16.2.9 領域サーチオペレーションレジスタ (MPOPS)

アドレス 0008 6524h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	S
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	S	領域サーチオペレーションビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 領域のサーチオペレーションを行う	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S ビット (領域サーチオペレーションビット)

S ビットを“1”にすることにより、メモリプロテクションユニットは領域サーチオペレーションを行います。領域サーチアドレスレジスタ (MPSA) で指定されたアドレスと、各領域のアドレス情報との比較を行い、ヒットする領域をサーチします。

サーチ結果は、データヒット領域レジスタ (MHITD) のデータヒット領域ビット (HITD[7:0]) に格納されます。また、ヒットした領域のアクセス制御ビットの論理和が、ユーザモード時データヒット領域アクセス制御ビット (UHACD[2:0]) に格納されます。

16.2.10 領域インバリデートオペレーションレジスタ (MPOPI)

アドレス 0008 6526h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

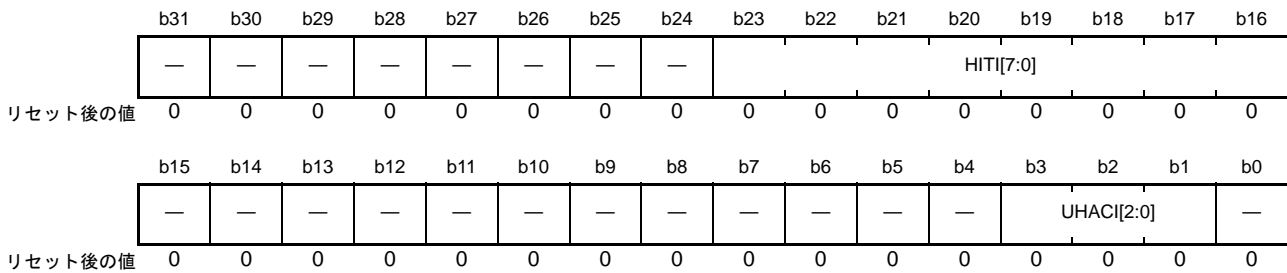
ビット	シンボル	ビット名	説明	R/W
b0	INV	領域インバリデート起動ビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 全アクセス制御領域のインバリデート (無効化)	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

INV ビット (領域インバリデート起動ビット)

INV ビットを“1”にすることにより、すべての領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) を“0”にします。REPAGEn.V ビットを“0”にした後は、バックグラウンド領域のアクセス制御設定以外は無効となります。

16.2.11 命令ヒット領域レジスタ (MHITI)

アドレス 0008 6528h



ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b1	UHACI[2:0]	ユーザモード時命令ヒット領域アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b16	HITI[7:0]	命令ヒット領域ビット	命令メモリプロテクションエラー発生ビット (MPESTS.IMPER) = 1のとき、 [b23:b16] = 0000 0000b：バックグラウンド領域で命令メモリプロテクションエラー 上記以外 b23 0：領域7で命令メモリプロテクションエラーなし 1：領域7で命令メモリプロテクションエラーあり b22 0：領域6で命令メモリプロテクションエラーなし 1：領域6で命令メモリプロテクションエラーあり b21 0：領域5で命令メモリプロテクションエラーなし 1：領域5で命令メモリプロテクションエラーあり b20 0：領域4で命令メモリプロテクションエラーなし 1：領域4で命令メモリプロテクションエラーあり b19 0：領域3で命令メモリプロテクションエラーなし 1：領域3で命令メモリプロテクションエラーあり b18 0：領域2で命令メモリプロテクションエラーなし 1：領域2で命令メモリプロテクションエラーあり b17 0：領域1で命令メモリプロテクションエラーなし 1：領域1で命令メモリプロテクションエラーあり b16 0：領域0で命令メモリプロテクションエラーなし 1：領域0で命令メモリプロテクションエラーあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

UHACI[2:0] ビット (ユーザモード時命令ヒット領域アクセス制御ビット)

UHACI[2:0] ビットは、命令メモリプロテクションエラーが発生した領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

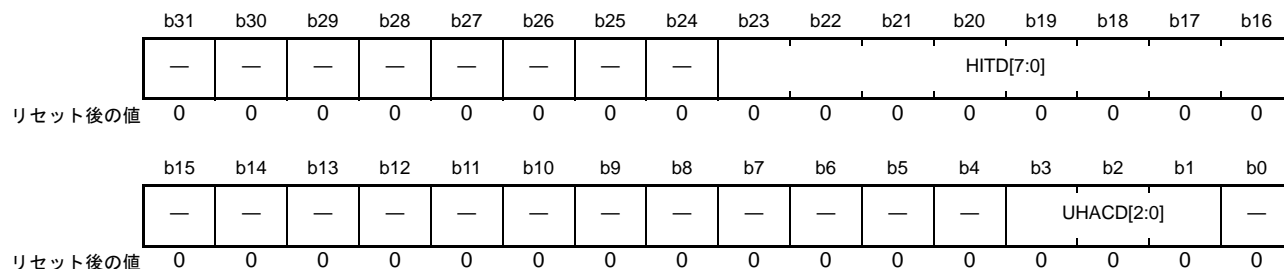
オーバラップした領域でエラーが発生した場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時アクセス制御ビットの論理和を保持します。

HITI[7:0] ビット (命令ヒット領域ビット)

HITI[7:0] ビットは、命令メモリプロテクションエラーが発生した領域を示します。バックグラウンド領域で命令メモリプロテクションエラーが発生したときは、HITI[7:0] ビットは“0000 0000b”にセットされます。

16.2.12 データヒット領域レジスタ (MHITD)

アドレス 0008 652Ch



ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b1	UHACD[2:0]	ユーザモード時データヒット領域アクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	説明	R/W
b23-b16	HITD[7:0]	データヒット領域ビット	<p>データメモリプロテクションエラー発生ビット (DMPER) = 1のとき、 [b23:b16] = 0000 0000b : バックグラウンド領域でデータメモリプロテクションエラー</p> <p>上記以外</p> <p>b23 0 : 領域7でデータメモリプロテクションエラーなし、またはサーチヒットなし 1 : 領域7でデータメモリプロテクションエラーあり、またはサーチヒットあり</p> <p>b22 0 : 領域6でデータメモリプロテクションエラーなし、またはサーチヒットなし 1 : 領域6でデータメモリプロテクションエラーあり、またはサーチヒットあり</p> <p>b21 0 : 領域5でデータメモリプロテクションエラーなし、またはサーチヒットなし 1 : 領域5でデータメモリプロテクションエラーあり、またはサーチヒットあり</p> <p>b20 0 : 領域4でデータメモリプロテクションエラーなし、またはサーチヒットなし 1 : 領域4でデータメモリプロテクションエラーあり、またはサーチヒットあり</p> <p>b19 0 : 領域3でデータメモリプロテクションエラーなし、またはサーチヒットなし 1 : 領域3でデータメモリプロテクションエラーあり、またはサーチヒットあり</p> <p>b18 0 : 領域2でデータメモリプロテクションエラーなし、またはサーチヒットなし 1 : 領域2でデータメモリプロテクションエラーあり、またはサーチヒットあり</p> <p>b17 0 : 領域1でデータメモリプロテクションエラーなし、またはサーチヒットなし 1 : 領域1でデータメモリプロテクションエラーあり、またはサーチヒットあり</p> <p>b16 0 : 領域0でデータメモリプロテクションエラーなし、またはサーチヒットなし 1 : 領域0でデータメモリプロテクションエラーあり、またはサーチヒットあり</p>	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

UHACD[2:0] ビット (ユーザモード時データヒット領域アクセス制御ビット)

UHACD[2:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

オーバーラップした領域でエラーが発生した場合、もしくは領域サーチでヒットした場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時のアクセス制御ビットの論理和を保持します。

HITD[7:0] ビット (データヒット領域ビット)

HITD[7:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域を示します。バックグラウンド領域でデータメモリプロテクションエラーが発生したとき、HITD[7:0] ビットは“0000 0000b”にセットされます。

注. ユーザモードでメモリプロテクションユニットのレジスタにアクセスしてデータメモリプロテクションエラーが発生した場合には、MHITD レジスタの値は 0000 0000h になります。

16.3 機能

16.3.1 メモリプロテクション機能

メモリプロテクション機能は、アクセス制御領域とバックグラウンド領域に設定されたアクセス制御情報に従って、ユーザモードのプログラムがアクセス制御情報に違反したアクセスを行わないかどうかを監視する機能です。アクセス制御違反（メモリプロテクションエラー）を検出した場合は、メモリプロテクションユニットはCPUへその情報を通知し、CPUはアクセス例外処理を開始します。

メモリプロテクション機能は、メモリプロテクション機能有効化レジスタ（MPEN）のメモリプロテクション機能有効化ビット（MPEN）を“1”にすることで有効になります。

命令の実行違反を検出した場合には命令メモリプロテクションエラーが、オペランドアクセスの読み出し、書き込み違反を検出した場合にはデータメモリプロテクションエラーが発生します。データメモリプロテクションエラー発生時は、アクセス制御違反を起こしたオペランドアクセスは実行されません。

16.3.2 領域サーチ機能

領域サーチ機能は、ある特定のアドレスが8つのアクセス制御領域のどの領域にヒットするのか、また、そのアドレスのアクセス制御情報（実行許可、読み出し許可、書き込み許可）がどのように設定されているかを調べる機能です。

領域サーチオペレーションレジスタ（MPOPS）の領域サーチオペレーションビット（S）を“1”にすることにより、領域サーチアドレスレジスタ（MPSA）で指定したアドレスと、各領域のアドレスの比較を行います。領域サーチ実行後のデータヒット領域レジスタ（MHITD）は、ヒットした領域と各領域のアクセス制御情報の論理和を示します。

16.3.3 メモリプロテクションユニット関連レジスタの保護

メモリプロテクションユニット関連レジスタへは、CPUのオペランドアクセス以外の手段ではアクセスできません。メモリプロテクションユニット関連レジスタへは、スーパーバイザモードでのみアクセスすることができます。ユーザモードでCPUのオペランドアクセスでメモリプロテクションユニット関連レジスタへのアクセスを行った場合には、メモリプロテクション機能が有効かどうかに関わらずデータメモリプロテクションエラーが発生します。

16.3.4 メモリプロテクション機能のアクセス判定フロー

図 16.2 にデータアクセス判定フローを、図 16.3 に命令アクセス判定フローを示します。

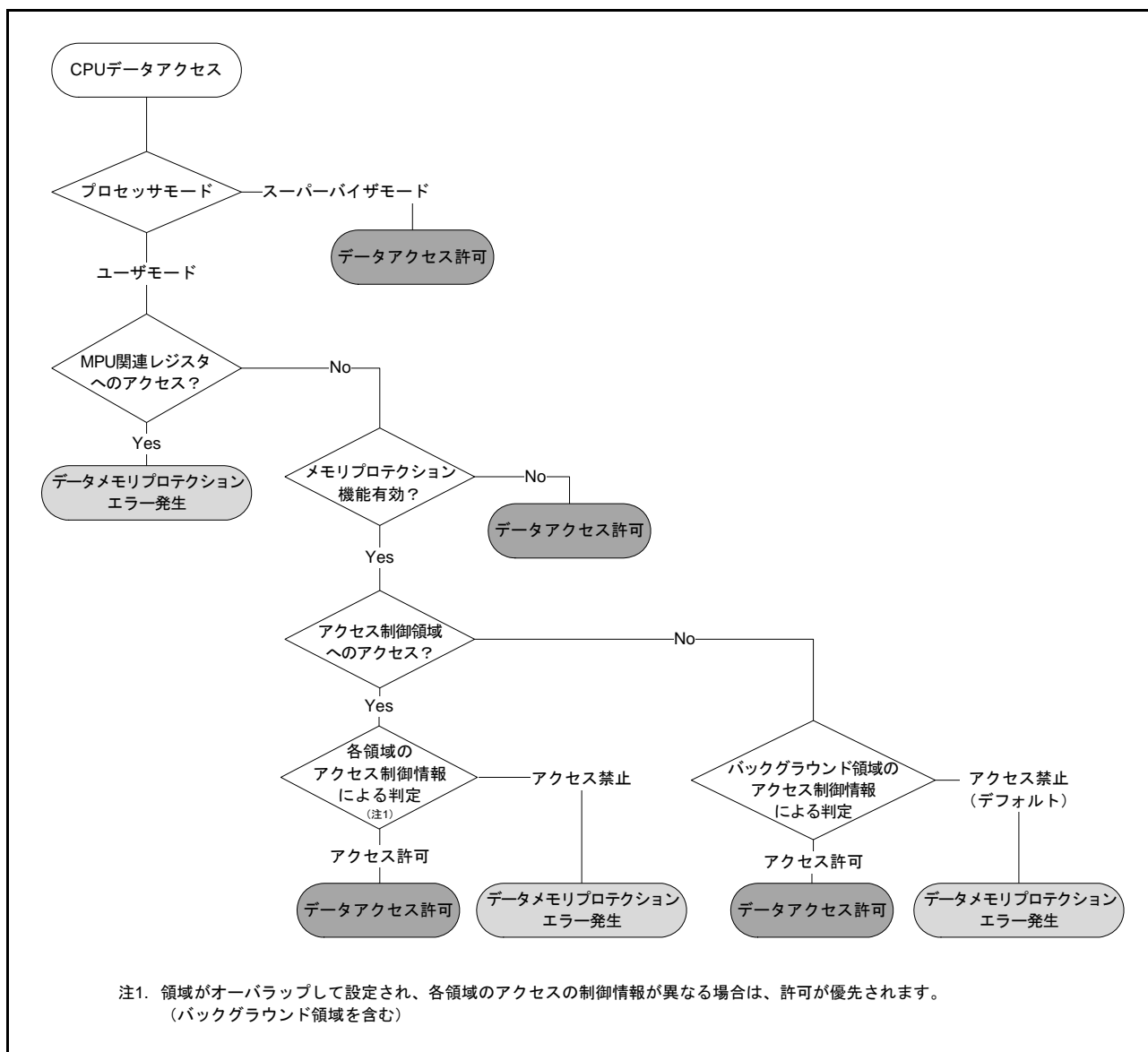


図 16.2 データアクセス判定フロー

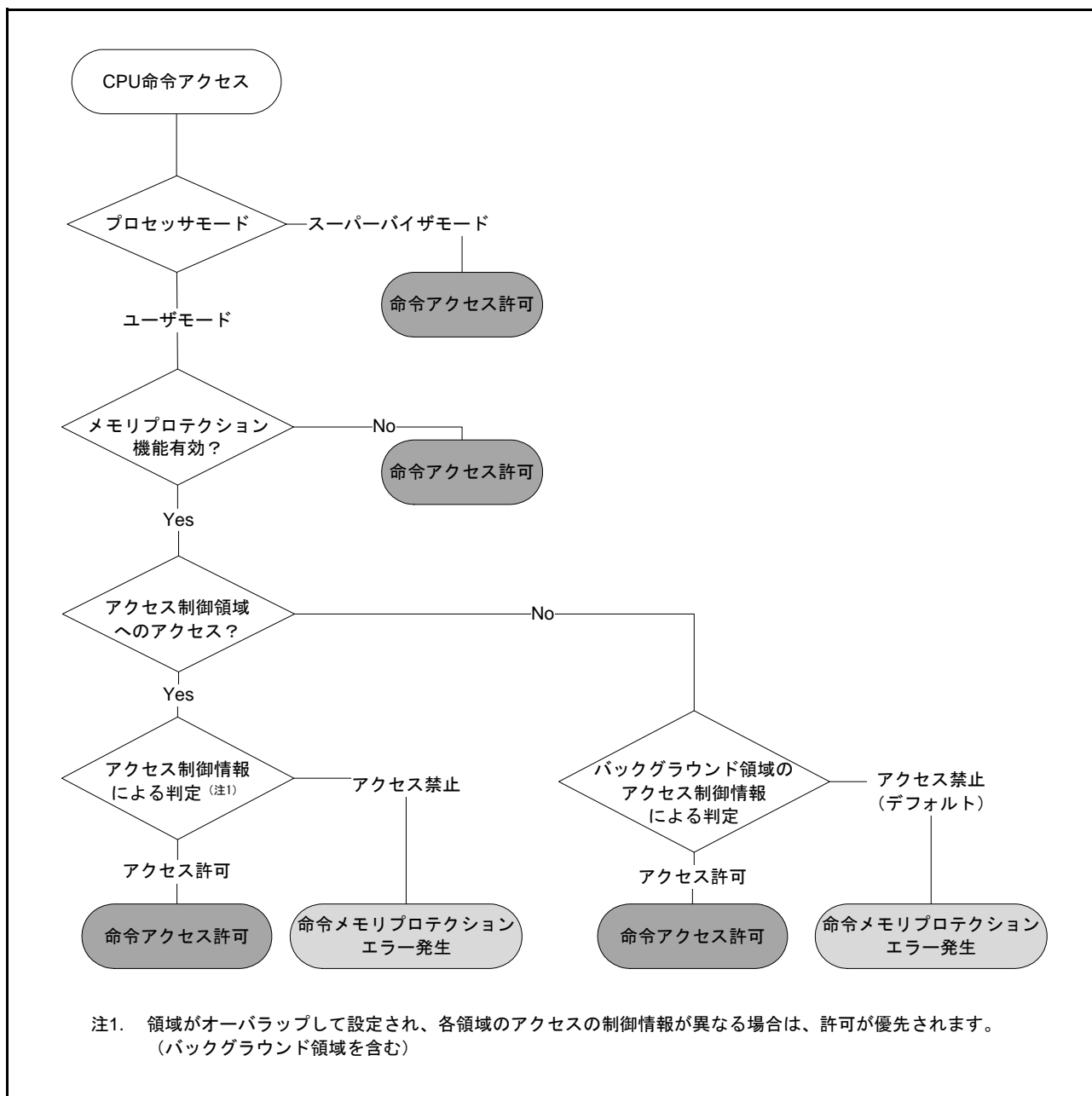


図 16.3 命令アクセス判定フロー

16.4 メモリプロテクション機能使用手順

16.4.1 アクセス制御情報の設定

スーパーバイザモードで、各領域のアクセス制御情報を設定します。

最大 8 つのアクセス制御領域の設定を領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います (n=0~7)。

バックグラウンドアクセス制御領域の設定をバックグラウンドアクセス制御レジスタ (MPBAC) で行います。

16.4.2 メモリプロテクション機能の有効化

スーパーバイザモードで、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を“1”にします。

16.4.3 ユーザモードへの移行

メモリプロテクションユニット関連レジスタの設定を書き換えた後は、ユーザモードへ移行する前に、最後に書き込みを行ったメモリプロテクションユニット関連レジスタを読み出し、値が設定されたことを確認した後にユーザモードへ移行してください。

スーパーバイザモードからユーザモードへは、以下のいずれかの方法で移行します。

- スタック領域に退避されたプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) を“1” (ユーザモードに設定) にした後、RTE 命令を実行
- バックアップ PSW (BPSW) の PM ビットを“1”にした後、RTFI 命令を実行

注. MVTC、POPC 命令による PSW.PM ビットの書き換えは無効です。RTE 命令、あるいは RTFI 命令で PSW.PM ビットの値を変更してください。

ユーザモードに移行することにより、メモリプロテクションユニットは、CPU の命令実行アドレスおよびオペランドアクセスアドレスのチェックを開始します。

16.4.4 メモリプロテクションエラー発生時の処理

アクセス制御情報違反 (メモリプロテクションエラー) を検出すると、CPU はアクセス例外処理を開始します。アクセス例外処理の CPU 動作の詳細は、「13. 例外処理」を参照してください。

例外処理ルーチン内で、メモリプロテクションエラーステータスレジスタ (MPESTS) の命令メモリプロテクションエラー発生ビット (IMPER) およびデータメモリプロテクションエラー発生ビット (DMPER) を確認し、命令メモリプロテクションエラーか、データメモリプロテクションエラーのどちらが発生したかを判別します。

確認後は、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、MPESTS レジスタをクリアします。

(1) データメモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生したオペランドアクセスアドレスが、データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納され、メモリプロテクションエラーを発生した領域情報がデータヒット領域レジスタ (MHITD) に格納されます。

- 有効な領域 0～7 にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応したデータヒット領域ビット (MHITD.HITD[7:0]) が“1”になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

- 有効な領域 0～7 の領域外にアクセスし、かつバックグラウンド領域のアクセス制御に違反した場合

データヒット領域ビット (MHITD.HITD[7:0]) は、“0000 0000b”になります。バックグラウンド領域のアクセス制御情報が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

(2) 命令メモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生した領域情報が、命令ヒット領域レジスタ (MHITI) に格納されます。

- 有効な領域 0～7 にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応した命令ヒット領域ビット (MHITI.HITI[7:0]) が“1”になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITI.UHACI[2:0]) にセットされます。

- 有効な領域 0～7 の領域外にアクセスし、かつ、バックグラウンド領域のアクセス制御に違反した場合

命令ヒット領域ビット (MHITI.HITI[7:0]) は、“0000 0000b”になります。バックグラウンド領域アクセス制御が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITI.UHACI[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

17. DMAコントローラ (DMACA)

本MCUは、4チャンネルのDMAC (Direct Memory Access Controller) を内蔵しています。

DMACは、CPUを介さずにデータ転送を行います。DMACは転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

17.1 概要

表 17.1 に DMAC の仕様を、図 17.1 に DMAC のブロック図を示します。

表 17.1 DMACの仕様

項目		内容
チャンネル数		4チャンネル (DMAC _m (m = 0~3))
転送空間		512Mバイト (00000000h~0FFFFFFFhとF0000000h~FFFFFFFhのうち予約領域を除く領域)
最大転送データ数		1Mデータ (ブロック転送モード最大総転送数: 1024データ×1024ブロック)
DMA起動要因		<ul style="list-style-type: none"> チャンネルごとに起動要因を選択可能 ソフトウェアトリガ 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力 (注1)
チャンネル優先順位		チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3 (チャンネル0が最優先)
転送データ	1データ	ビット長: 8ビット、16ビット、32ビット
	ブロックサイズ	データ数: 1~1024データ
転送モード	ノーマル転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 総データ転送数を指定しない設定 (フリーランニングモード) が可能
	リピート転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 リピートサイズは最大1024回設定可能
	ブロック転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1ブロックのデータを転送 ブロックサイズは最大1024データ設定可能
選択機能	拡張リピートエリア機能	<ul style="list-style-type: none"> 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 拡張リピートエリアは2バイトから128Mバイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	転送カウンタで設定したデータ数を転送終了時に発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生
消費電力低減機能		モジュールストップ状態への設定が可能
イベントリンク機能		1回のデータ転送後 (ブロックの場合は1ブロック転送後)、イベントリンク要求を発生

注1. DMACの起動要因は、「14. 割り込みコントローラ (ICUb)」の表14.3 割り込みのベクタテーブルを参照してください。

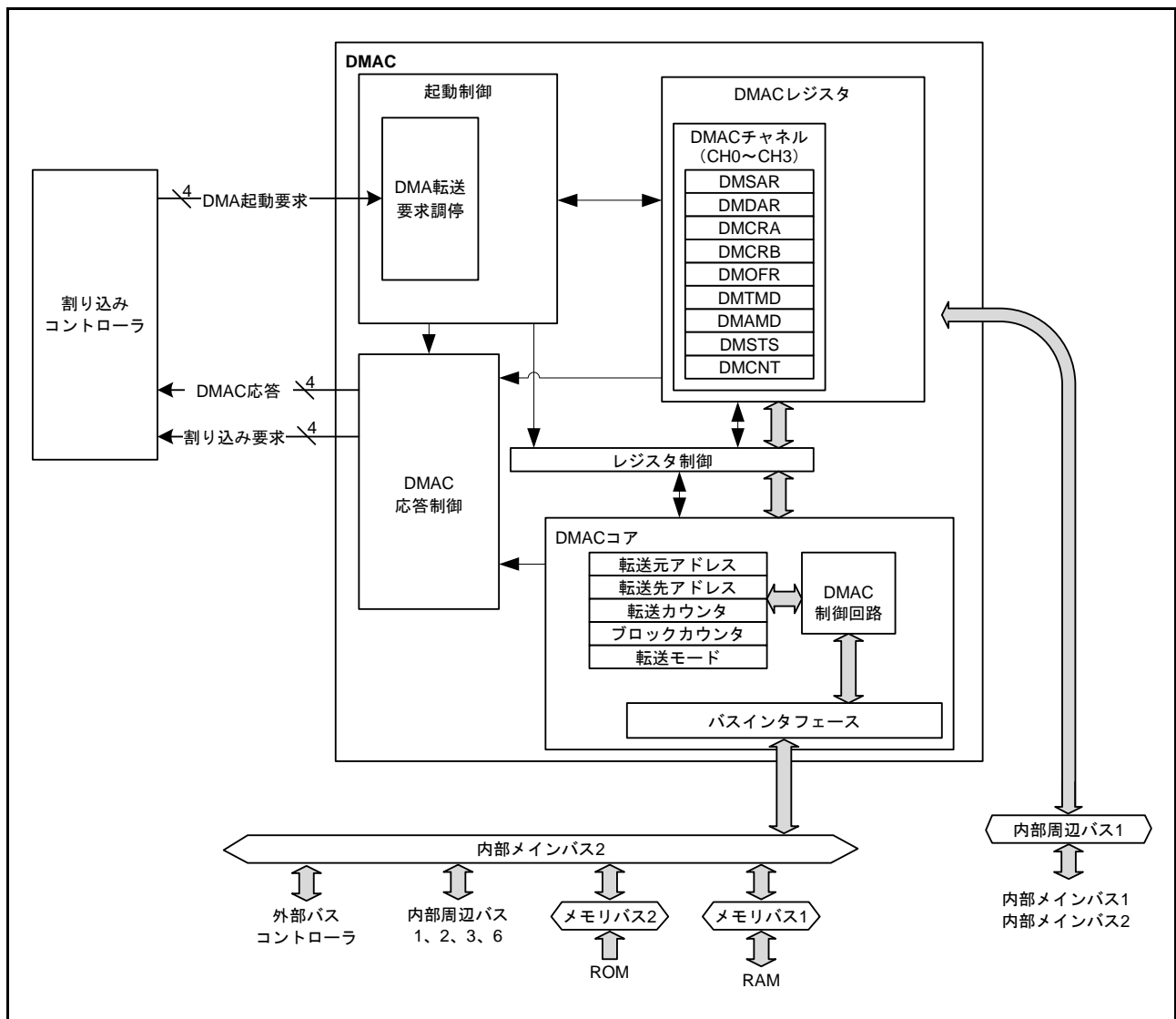
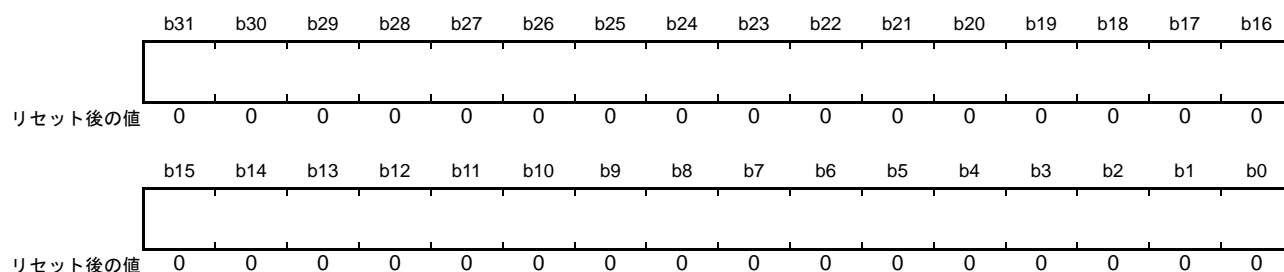


図 17.1 DMAC のブロック図

17.2 レジスタの説明

17.2.1 DMA 転送元アドレスレジスタ (DMSAR)

アドレス DMAC0.DMSAR 0008 2000h, DMAC1.DMSAR 0008 2040h,
DMAC2.DMSAR 0008 2080h, DMAC3.DMSAR 0008 20C0h



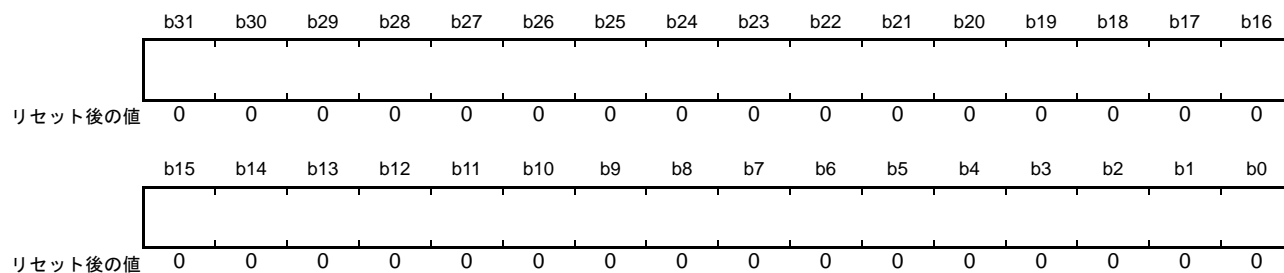
ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	00000000h~0FFFFFFFh (256Mバイト) F0000000h~FFFFFFFh (256Mバイト)	R/W

DMSAR レジスタを設定する場合は、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ~ 29 への設定値は無効です。ビット 31 ~ 29 へはビット 28 の値がビット拡張されます。DMSAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

17.2.2 DMA 転送先アドレスレジスタ (DMDAR)

アドレス DMAC0.DMDAR 0008 2004h, DMAC1.DMDAR 0008 2044h,
DMAC2.DMDAR 0008 2084h, DMAC3.DMDAR 0008 20C4h



ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	00000000h~0FFFFFFFh (256Mバイト) F0000000h~FFFFFFFh (256Mバイト)	R/W

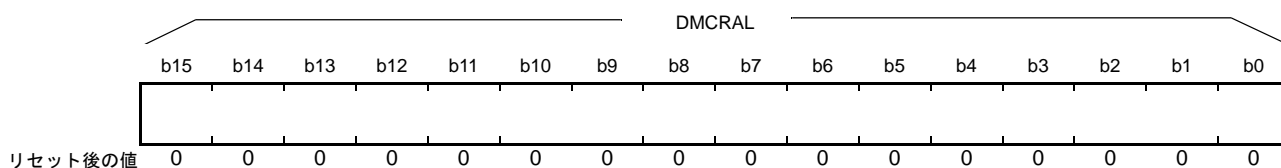
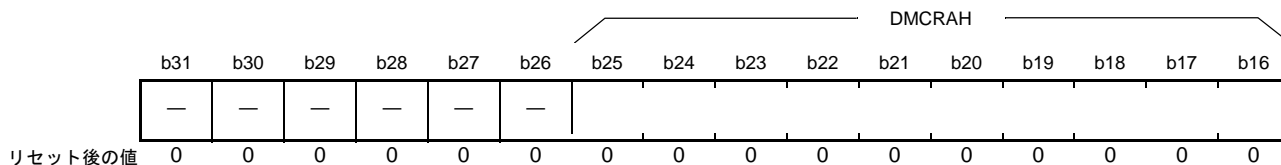
DMDAR レジスタを設定する場合は、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ~ 29 への設定値は無効です。ビット 31 ~ 29 へはビット 28 の値がビット拡張されます。DMDAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

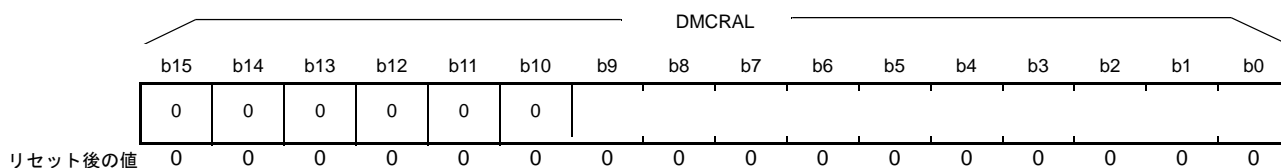
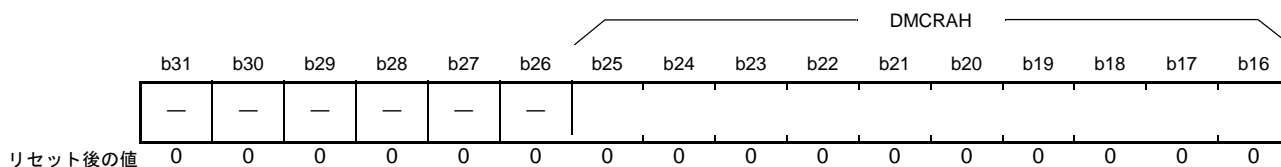
17.2.3 DMA 転送カウントレジスタ (DMCRA)

アドレス DMAC0.DMCRA 0008 2008h, DMAC1.DMCRA 0008 2048h,
DMAC2.DMCRA 0008 2088h, DMAC3.DMCRA 0008 20C8h

・ノーマル転送モード



・リピート転送モード、ブロック転送モード



シンボル	ビット名	機能	R/W
DMCRAL	転送カウント下位ビット	転送回数を設定します	R/W
DMCRAH	転送カウント上位ビット		R/W

注. リピート転送モード時およびブロック転送モード時は、DMCRAH、DMCRALレジスタには同じ値を設定してください。

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] ビット = 00b) のとき

DMCRAL レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回となります。1 回のデータ転送を行うたびにデクリメント (-1) します。

設定値が “0000h” のときは転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います (フリーランニングモード)。

ノーマル転送モードでは DMCRAH レジスタを使用しません。DMCRAH レジスタへは “0000h” を書いてください。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] ビット = 01b) のとき

DMCRAH レジスタはリピートサイズを保持し、DMCRAL レジスタは 10 ビットの転送カウンタとして機能します。

転送回数は、設定値が “001h” のときは 1 回、“3FFh” のときは 1023 回、“000h” のときは 1024 回となります。リピート転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ~ 3FFh (1 回 ~ 1024 回) です。

DMCRAL レジスタのビット 15 ~ 10 の設定値は無効です。DMCRAL レジスタのビット 15 ~ 10 へは “0” を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (-1) され、“000h” になると DMCRAH レジスタの値が転送されます。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] ビット = 10b) のとき

DMCRAH レジスタはブロックサイズを保持し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。

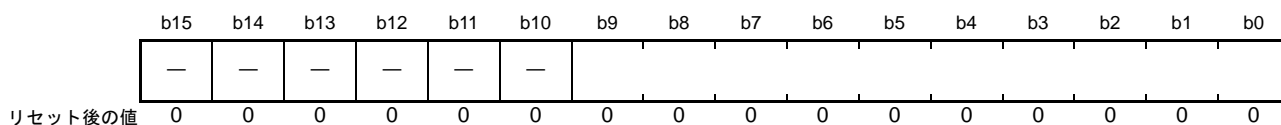
設定値が “001h” のときはブロックサイズ 1、“3FFh” のときはブロックサイズ 1023、“000h” のときはブロックサイズ 1024 となります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ~ 3FFh です。

DMCRAL レジスタのビット 15 ~ 10 の設定値は無効です。DMCRAL レジスタのビット 15 ~ 10 へは “0” を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (-1) され、“000h” になると DMCRAH レジスタの値が転送されます。

17.2.4 DMA ブロック転送カウントレジスタ (DMCRB)

アドレス DMAC0.DMCRB 0008 200Ch, DMAC1.DMCRB 0008 204Ch,
DMAC2.DMCRB 0008 208Ch, DMAC3.DMCRB 0008 20CCh



ビット	機能	設定範囲	R/W
b9-b0	ブロック転送回数、リピート転送回数を設定します	001h~3FFh (1~1023回) 000h (1024回)	R/W
b15-b10	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMCRB レジスタは、ブロック転送モード時のブロック転送回数、またはリピート転送モード時のリピート転送回数を指定するレジスタです。

転送回数は、設定値が“001h”のときは1回、“3FFh”のときは1023回、“000h”のときは1024回となります。

リピート転送モードの場合、1リピートサイズの最終データ転送時にデクリメント（-1）されます。ブロック転送モードの場合、1ブロックサイズの最終データ転送時にデクリメント（-1）されます。ノーマル転送モード設定時は、DMCRB レジスタを使用しません。設定値は無効です。

17.2.5 DMA 転送モードレジスタ (DMTMD)

アドレス DMAC0.DMTMD 0008 2010h, DMAC1.DMTMD 0008 2050h,
DMAC2.DMTMD 0008 2090h, DMAC3.DMTMD 0008 20D0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MD[1:0]		DTS[1:0]		—	—	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求選択ビット	b1 b0 0 0 : ソフトウェア 0 1 : 周辺モジュールおよび外部割り込み入力端子からの割り込み (注1) 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SZ[1:0]	データ転送サイズビット	b9 b8 0 0 : 8ビット転送 0 1 : 16ビット転送 1 0 : 32ビット転送 1 1 : 設定しないでください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	DTS[1:0]	リピート領域選択ビット	b13 b12 0 0 : 転送先側がリピート領域またはブロック領域 0 1 : 転送元側がリピート領域またはブロック領域 1 0 : リピート領域、ブロック領域は設定しない 1 1 : 設定しないでください	R/W
b15-b14	MD[1:0]	転送モード設定ビット	b15 b14 0 0 : ノーマル転送 0 1 : リピート転送 1 0 : ブロック転送 1 1 : 設定しないでください	R/W

注1. DMACの起動要因はICU.DMRSRmレジスタで設定します。詳細は、「14. 割り込みコントローラ (ICUb)」の表14.3 割り込みのベクタテーブルを参照してください。

DTS[1:0] ビット (リピート領域選択ビット)

リピート転送モードあるいはブロック転送モードにおいて、転送元、転送先のいずれか一方をリピート領域に選択することができます。ノーマル転送モードではこのビットの設定値は無効です。

17.2.6 DMA 割り込み設定レジスタ (DMINT)

アドレス DMAC0.DMINT 0008 2013h, DMAC1.DMINT 0008 2053h,
DMAC2.DMINT 0008 2093h, DMAC3.DMINT 0008 20D3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b1	SARIE	転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可ビット	0: リピートサイズ終了割り込みを禁止 1: リピートサイズ終了割り込みを許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可ビット	0: エスケープ割り込みを禁止 1: エスケープ割り込みを許可	R/W
b4	DTIE	転送終了割り込み許可ビット	0: 転送終了割り込みを禁止 1: 転送終了割り込みを許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DARIE ビット (転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット)

DARIE ビットを“1”に設定したとき、転送先アドレスの拡張リピートエリアオーバーフローが発生すると、DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、転送先アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます。

転送先アドレスに拡張リピートエリアを設定していない場合は、DARIE ビットの設定値は無効です。

SARIE ビット (転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット)

SARIE ビットを“1”に設定したとき、転送元アドレスの拡張リピートエリアオーバーフローが発生すると、DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、転送元アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます。

転送元アドレスに拡張リピートエリアを設定していない場合は、SARIE ビットの設定値は無効です。

RPTIE ビット (リピートサイズ終了割り込み許可ビット)

リピート転送モードにおいて、RPTIE ビットを“1”に設定したとき、1 リピートサイズ分の転送終了後に DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが“10b” (リピート領域、ブロック領域に指定しない) のときでも、リピートサイズ終了割り込み要求が発生させることができます。

ブロック転送モードで、DMINT.RPTIE ビットを“1”に設定したときも同様に 1 ブロックの転送終了後に DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが“10b” (リピート領域、ブロック領域に指定しない) に設定したときでも、リピートサイズ終了割り込み要求が発生させることができます。

ESIE ビット (転送エスケープ終了割り込み許可ビット)

DMA 転送中に発生したエスケープ割り込み要求 (リピートサイズ終了割り込み、拡張リピートエリアオーバーフロー割り込み) を許可または禁止します。

ESIE ビットを“1”にセットすると、DMSTS.ESIF フラグに“1”がセットされたとき、転送エスケープ終了割り込みが発生します。転送エスケープ終了割り込みは、ESIE ビットを“0”にクリアするか、DMSTS.ESIF フラグを“0”にクリアすると解除されます。

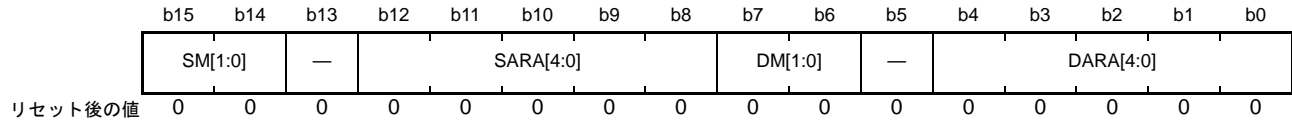
DTIE ビット (転送終了割り込み許可ビット)

指定した回数のデータ転送が終了したときの転送終了割り込み要求を許可または禁止します。

DTIE ビットを“1”にセットすると、DMSTS.DTIF フラグに“1”がセットされたとき、転送終了割り込みが発生します。転送終了割り込みは、DTIE ビットを“0”にクリアするか、DMSTS.DTIF フラグを“0”にクリアすると解除されます。

17.2.7 DMA アドレスモードレジスタ (DMAMD)

アドレス DMAC0.DMAMD 0008 2014h, DMAC1.DMAMD 0008 2054h,
DMAC2.DMAMD 0008 2094h, DMAC3.DMAMD 0008 20D4h



ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピートエリア設定ビット	転送先アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表 17.2 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定ビット	b7 b6 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピートエリア設定ビット	転送元アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表 17.2 を参照してください	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定ビット	b15 b14 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W

注1. オフセット加算設定はDMAC0のみ可能です。

DARA[4:0] ビット (転送先アドレス拡張リピートエリア設定ビット)

転送先アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは固定値をとるようにして実現しています。拡張リピートエリアのサイズは2バイトから128Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0]=00b (転送先側がリピート領域またはブロック領域) に設定している場合、DARA[4:0] ビットには“00000b”を書いてください。

DMINT.DARIE ビットが“1”のとき、拡張リピートエリアのオーバーフローが発生したときに割り込みを発生させることができます。表 17.2 に拡張リピートエリアの設定と範囲を示します。

DM[1:0] ビット (転送先アドレス更新モード設定ビット)

転送先アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき -1、DMTMD.SZ[1:0] = 01b のとき -2、DMTMD.SZ[1:0] = 10b のとき -4 されます。

オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

SARA[4:0] ビット (転送元アドレス拡張リピートエリア設定ビット)

転送元アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは固定値をとるようにして実現しています。拡張リピートエリアのサイズは 2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスはアドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 01b (転送元側がリピート領域またはブロック領域) に設定している場合、SARA[4:0] ビットには“00000b”を書いてください。

DMINT.SARIE ビットが“1”のとき、拡張リピートエリアのオーバーフローが発生したときに割り込みを発生させることができます。表 17.2 に拡張リピートエリアの設定と範囲を示します。

SM[1:0] ビット (転送元アドレス更新モード設定ビット)

転送元アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき -1、DMTMD.SZ[1:0] = 01b のとき -2、DMTMD.SZ[1:0] = 10b のとき -4 されます。

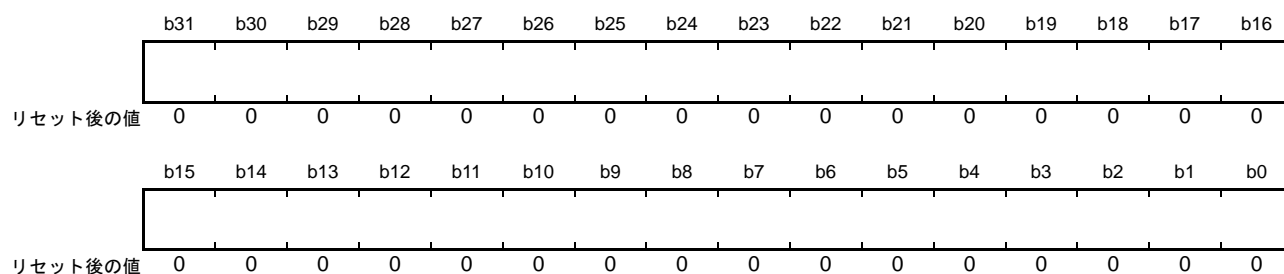
オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

表 17.2 拡張リピートエリアの設定と範囲

SARA[4:0] / DARA[4:0]の値	拡張リピートエリアの範囲
00000b	拡張リピートエリアを設定しない
00001b	当該アドレスの下位1ビット (2バイト) を拡張リピートエリアに設定する
00010b	当該アドレスの下位2ビット (4バイト) を拡張リピートエリアに設定する
00011b	当該アドレスの下位3ビット (8バイト) を拡張リピートエリアに設定する
00100b	当該アドレスの下位4ビット (16バイト) を拡張リピートエリアに設定する
00101b	当該アドレスの下位5ビット (32バイト) を拡張リピートエリアに設定する
00110b	当該アドレスの下位6ビット (64バイト) を拡張リピートエリアに設定する
00111b	当該アドレスの下位7ビット (128バイト) を拡張リピートエリアに設定する
01000b	当該アドレスの下位8ビット (256バイト) を拡張リピートエリアに設定する
01001b	当該アドレスの下位9ビット (512バイト) を拡張リピートエリアに設定する
01010b	当該アドレスの下位10ビット (1Kバイト) を拡張リピートエリアに設定する
01011b	当該アドレスの下位11ビット (2Kバイト) を拡張リピートエリアに設定する
01100b	当該アドレスの下位12ビット (4Kバイト) を拡張リピートエリアに設定する
01101b	当該アドレスの下位13ビット (8Kバイト) を拡張リピートエリアに設定する
01110b	当該アドレスの下位14ビット (16Kバイト) を拡張リピートエリアに設定する
01111b	当該アドレスの下位15ビット (32Kバイト) を拡張リピートエリアに設定する
10000b	当該アドレスの下位16ビット (64Kバイト) を拡張リピートエリアに設定する
10001b	当該アドレスの下位17ビット (128Kバイト) を拡張リピートエリアに設定する
10010b	当該アドレスの下位18ビット (256Kバイト) を拡張リピートエリアに設定する
10011b	当該アドレスの下位19ビット (512Kバイト) を拡張リピートエリアに設定する
10100b	当該アドレスの下位20ビット (1Mバイト) を拡張リピートエリアに設定する
10101b	当該アドレスの下位21ビット (2Mバイト) を拡張リピートエリアに設定する
10110b	当該アドレスの下位22ビット (4Mバイト) を拡張リピートエリアに設定する
10111b	当該アドレスの下位23ビット (8Mバイト) を拡張リピートエリアに設定する
11000b	当該アドレスの下位24ビット (16Mバイト) を拡張リピートエリアに設定する
11001b	当該アドレスの下位25ビット (32Mバイト) を拡張リピートエリアに設定する
11010b	当該アドレスの下位26ビット (64Mバイト) を拡張リピートエリアに設定する
11011b	当該アドレスの下位27ビット (128Mバイト) を拡張リピートエリアに設定する
11100b ~ 11111b	設定しないでください

17.2.8 DMA オフセットレジスタ (DMOFR)

アドレス DMAC0.DMOFR 0008 2018h



ビット	機能	設定範囲	R/W
b31-b0	転送元、転送先いずれかのアドレス更新モードがオフセット加算の場合のオフセット値を設定する	00000000h~00FFFFFFh (0バイト~(16M-1)バイト) FF000000h~FFFFFFFh (-16Mバイト~-1バイト)	R/W

DMOFR レジスタを設定する場合は、データ転送中ではなく、DMAC 停止中、または DMA 転送が禁止されているときに書いてください。

ビット 31 ~ 25 への設定値は無効です、ビット 31 ~ 25 へはビット 24 の値がビット拡張されます。

DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

17.2.9 DMA 転送許可レジスタ (DMCNT)

アドレス DMAC0.DMCNT 0008 201Ch, DMAC1.DMCNT 0008 205Ch,
DMAC2.DMCNT 0008 209Ch, DMAC3.DMCNT 0008 20DCh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA 転送許可ビット	0 : DMA 転送を禁止 1 : DMA 転送を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTE ビット (DMA 転送許可ビット)

DMAST.DMST ビットが“1” (DMAC 起動を許可) で、DTE ビットが“1” (DMA 転送を許可) のとき、対応するチャンネルの DMA 転送を開始することができます。

[“1”になる条件]

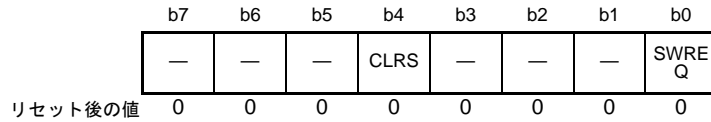
- “1”を書き込んだとき

[“0”になる条件]

- “0”を書き込んだとき
- 設定の総転送データ数の転送を終了したとき
- リポートサイズ終了割り込みにより DMA 転送が停止したとき
- 拡張リポートエリアオーバーフロー割り込みにより DMA 転送が停止したとき

17.2.10 DMA ソフトウェア起動レジスタ (DMREQ)

アドレス DMAC0.DMREQ 0008 201Dh, DMAC1.DMREQ 0008 205Dh,
DMAC2.DMREQ 0008 209Dh, DMAC3.DMREQ 0008 20DDh



ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMAソフトウェア起動ビット	0 : DMA転送要求なし 1 : DMA転送要求あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CLRS	DMAソフトウェア起動ビット自動クリア選択	0 : ソフトウェア起動後にSWREQビットをクリアする 1 : ソフトウェア起動後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWREQ ビット (DMA ソフトウェア起動ビット)

SWREQ ビットに“1”を書き込むと DMA の転送要求が発生し、その要求に対する転送が開始されると、CLRS ビットが“0”に設定されている場合、SWREQ ビットは“0”にクリアされます。CLRS ビットが“1”に設定されている場合、SWREQ ビットは“0”にクリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

ただし、DMTMD.DCTG[1:0] ビットを“00b” (DMA 起動要因がソフトウェア) に設定している場合のみ SWREQ ビットの値が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0] ビットが“00b”以外に設定されている場合は、SWREQ ビットの設定値は無効です。

CLRS ビットが“0”でソフトウェア起動を行う場合、SWREQ ビットが“0”であることを確認してから SWREQ ビットに“1”を書いてください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- CLRS ビットが“0” (ソフトウェア起動後に SWREQ ビットをクリアする) に設定されているときに、ソフトウェアによる要求が受け付けられデータ転送が開始されたとき
- “0”を書き込んだとき

CLRS ビット (DMA ソフトウェア起動ビット自動クリア選択)

SWREQ ビットへ“1”書き込みによる DMA 転送要求に対する転送を開始したときに、SWREQ ビットを“0”にクリアするかしないを設定します。CLRS ビットが“0”に設定されている場合、転送が開始されると SWREQ ビットは“0”にクリアされます。CLRS ビットが“1”に設定されている場合は、SWREQ ビットは“0”クリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

17.2.11 DMA ステータスレジスタ (DMSTS)

アドレス DMAC0.DMSTS 0008 201Eh, DMAC1.DMSTS 0008 205Eh,
DMAC2.DMSTS 0008 209Eh, DMAC3.DMSTS 0008 20DEh

b7	b6	b5	b4	b3	b2	b1	b0
ACT	—	—	DTIF	—	—	—	ESIF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ割り込みフラグ	0 : 転送エスケープ割り込み発生なし 1 : 転送エスケープ割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	DTIF	転送終了割り込みフラグ	0 : 転送終了割り込みなし 1 : 転送終了割り込みあり	R/W (注1)
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	ACT	DMA アクティブフラグ	0 : DMACが停止中 1 : DMACが動作中	R

注1. “0”のみ書けます。

ESIF フラグ (転送エスケープ割り込みフラグ)

転送エスケープ割り込みが発生したことを示すフラグです。

[“1”になる条件]

- DMINT.RPTIE ビットが“1”に設定されており、リピート転送モードにおいて1リピートサイズ分の転送終了後
- DMINT.RPTIE ビットが“1”に設定されており、ブロック転送モードにおいて1ブロックの転送終了後
- DMINT.SARIE ビットが“1”に設定され、DMAMD.SARA[4:0] ビットに“00000b”以外(転送元アドレスを拡張リピートエリアに指定)に設定されているときに、転送元アドレスの拡張リピートエリアオーバーフローが発生したとき
- DMINT.DARIE ビットが“1”に設定され、DMAMD.DARA[4:0] ビットに“00000b”以外(転送先アドレスを拡張リピートエリアに指定)に設定されているときに、転送先アドレスの拡張リピートエリアオーバーフローが発生したとき

[“0”になる条件]

- “0”を書いたとき
- DMCNT.DTE ビットに“1”を書いたとき

DTIF フラグ (転送終了割り込みフラグ)

転送終了割り込みが発生したことを示すフラグです。

[“1” になる条件]

- ノーマル転送モードにおいて指定回数の転送が終了したとき (DMCRAL レジスタが “0” になり転送が終了したとき)
- リピート転送モードにおいて指定リピート回数の転送が終了したとき (DMCRB レジスタが “0” になり転送が終了したとき)
- ブロック転送モードにおいて指定ブロック数の転送が終了したとき (DMCRB レジスタが “0” になり転送が終了したとき)

[“0” になる条件]

- “0” を書いたとき
- DMCNT.DTE ビットに “1” を書いたとき

ACT フラグ (DMA アクティブフラグ)

DMAC が動作中か停止中であることを示すフラグです。

[“1” になる条件]

- DMAC が転送動作を開始したとき

[“0” になる条件]

- 1 転送要求に対する転送がすべて終了したとき

17.2.12 DMA 起動要因フラグ制御レジスタ (DMCSL)

アドレス DMAC0.DMCSL 0008 201Fh, DMAC1.DMCSL 0008 205Fh,
DMAC2.DMCSL 0008 209Fh, DMAC3.DMCSL 0008 20DFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DISEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DISEL	インタラプト選択ビット	0: 転送開始時に起動要因となった割り込みフラグを“0”クリアする 1: 転送終了時に起動要因となった割り込みフラグによりCPUに割り込み要求が発生する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DISEL ビット (インタラプト選択ビット)

DMAC の転送開始時に起動要因となった割り込みフラグを“0”クリアするか、割り込みフラグによりCPUへ割り込みを発生するかを選択します。

なお、DMTMD.DCTG[1:0] = 00b (ソフトウェアによる起動) に設定している場合は、DISEL ビットの設定値は無効です。

17.2.13 DMA モジュール起動レジスタ (DMAST)

アドレス 0008 2200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMAC 動作許可ビット	0 : DMAC 起動を禁止 1 : DMAC 起動を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMST ビット (DMAC 動作許可ビット)

DMST ビットが“1”のとき、DMAC 全チャンネルの起動が許可されます。

複数チャンネルの DMACm.DMCNT.DTE ビットに“1” (DMA 転送を許可) を書いた後に DMST ビットを“1” (DMAC 起動を許可) にすると、複数チャンネルを同時に転送要求受け付け可能状態にすることができます。

また、DMST ビットを DMAC 動作中に“0”にすると、実行中の 1 転送要求に対するデータ転送が終了した後に DMA 動作が一時停止します。この状態で、再度 DMST ビットを“1”にすることにより継続して DMA 転送を行うことが可能です。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- “0”を書き込んだとき

17.3 動作説明

17.3.1 転送モード

(1) ノーマル転送モード

ノーマル転送モードは1回の転送要求について1データの転送を行います。DMACm.DMCRALレジスタの設定により、最大65535データの指定転送回数を設定できます。また、DMACm.DMCRALレジスタを“0000h”に設定すると、転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います(フリーランニングモード)。DMACm.DMCRBレジスタの設定はノーマル転送モードのときは無効です。フリーランニングモードを除き、指定転送回数の転送終了後に転送終了割り込み要求を発生させることができます。ノーマル転送モードでのレジスタ更新値を表17.3に、ノーマル転送モードの動作を図17.2に示します。

表17.3 ノーマル転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMCRAL	転送カウンタ	1減算/更新なし (フリーランニングモード時)
DMACm.DMCRAH	—	更新されません。(ノーマル転送モードでは使用しません)
DMACm.DMCRB	—	更新されません。(ノーマル転送モードでは使用しません)

注1. オフセット加算はDMAC0のみ指定可能です。

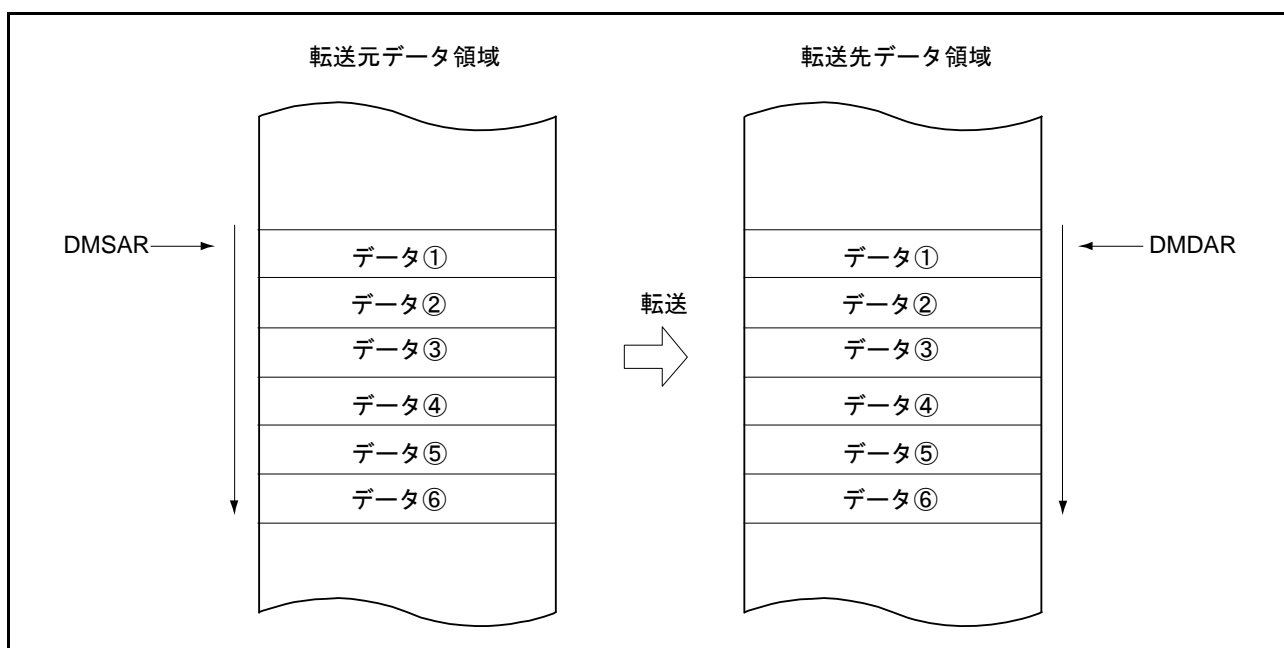


図 17.2 ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは1回の転送要求について1データの転送を行います。

DMACm.DMCRA レジスタで最大 1K データのリピートサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 1K 回の指定リピート回数を設定できます。総データ転送数は最大 1K データ × 1K リピート回数 = 1M データの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、リピートサイズ分のデータ転送が終了すると、初期アドレスに回復します。リピート転送モードでは、リピートサイズ分のデータ転送が終了した後に、DMA 転送を停止しリピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに“1”を書き込むと DMA 転送を再開することができます。

また、指定リピート回数の転送終了後に転送終了割り込み要求を発生させることができます。

リピート転送モードでのレジスタ更新値を表 17.4 に、リピート転送モードの動作を図 17.3 に示します。

表 17.4 リピート転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値	
		DMACm.DMCRAL レジスタが1以外のとき	DMACm.DMCRAL レジスタが1のとき (リピートサイズの最終データ転送)
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/ オフセット加算 (注1)	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/ オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSAR の初期値 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/ オフセット加算 (注1)	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDAR の初期値 DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/ オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算 (注1)
DMACm.DMCRAH	リピートサイズ	保持	保持
DMACm.DMCRAL	転送カウント	1減算	DMACm.DMCRAH
DMACm.DMCRB	リピート回数カウント	保持	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

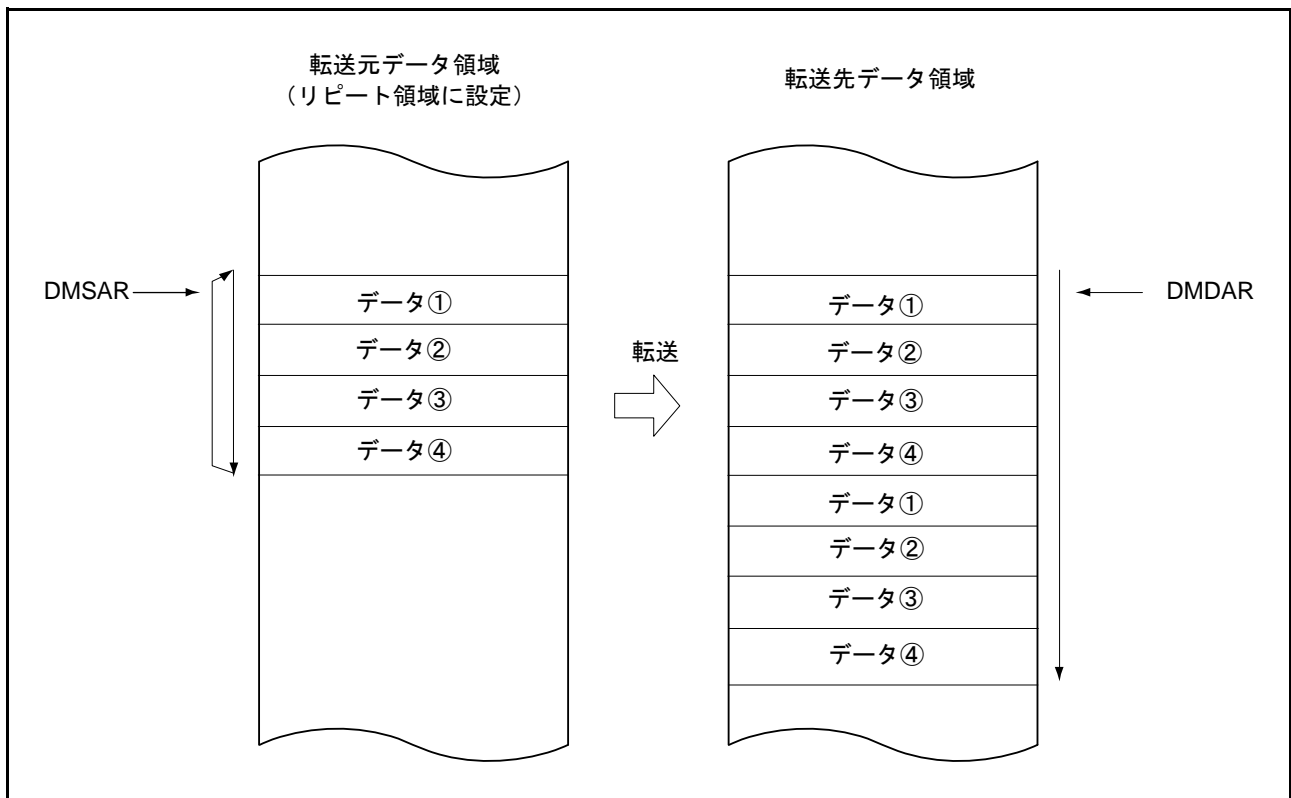


図 17.3 リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1回の転送要求について1ブロックのデータ転送を行います。

DMACm.DMCRA レジスタで最大 1K データのブロックサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 1K 回の指定ブロック回数を設定できます。総データ転送数は最大 1K データ × 1K ブロック回数 = 1M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、1ブロックのデータ転送が終了すると初期アドレスに回復します。ブロック転送モードでは、1ブロックのデータ転送が終了した後に DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに“1”を書き込むと DMA 転送を再開することができます。

また、指定ブロック回数の転送終了後に転送終了割り込み要求を発生させることができます。

ブロック転送モードでのレジスタ更新値を表 17.5 に、ブロック転送モードの動作を図 17.4 に示します。

表 17.5 ブロック転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新値
DMACm.DMSAR	転送元アドレス	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00 b DMACm.DMDARの初期値 DMACm.DMTMD.DTS[1:0] = 01 b インクリメント/デクリメント/固定/オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 10 b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMCRAH	ブロックサイズ	保持
DMACm.DMCRAL	転送カウント	DMACm.DMCRAH
DMACm.DMCRB	ブロック回数カウント	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

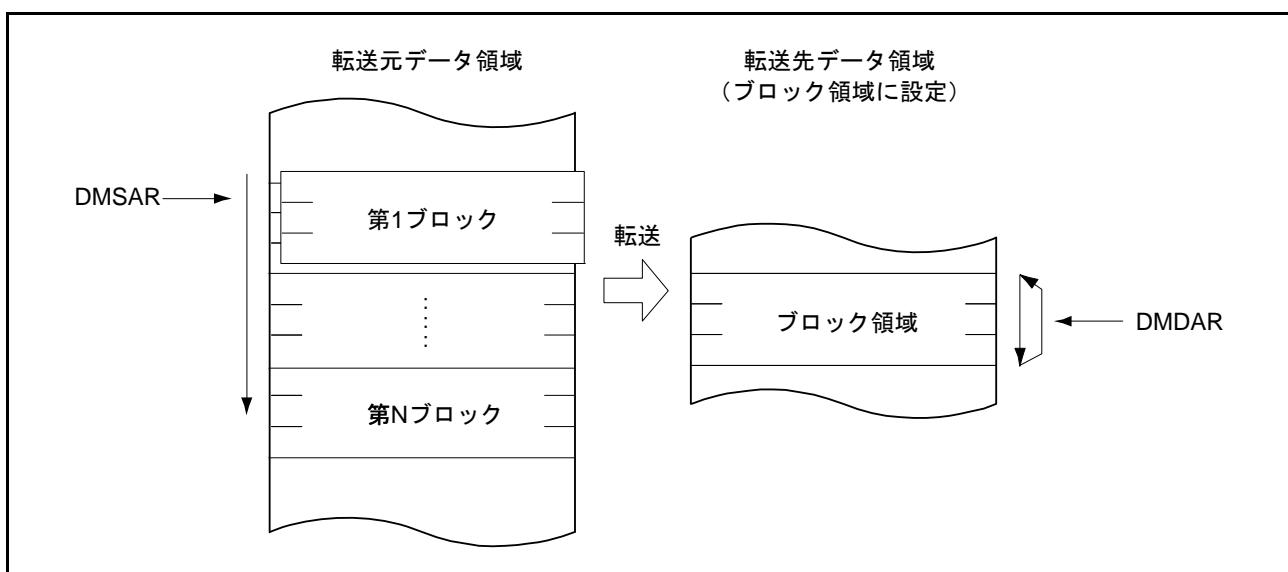


図 17.4 ブロック転送モードの動作

17.3.2 拡張リピートエリア機能

DMACには転送元アドレス、転送先アドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定した範囲のアドレス値を繰り返します。

拡張リピートエリア機能は、DMACm.DMSAR レジスタ（転送元アドレスレジスタ）、DMACm.DMDAR レジスタ（転送先アドレスレジスタ）に独立して設定できます。

転送元アドレスの拡張リピートエリアはDMACm.DMAMD.SARA[4:0] ビットで設定します。転送先アドレスの拡張リピートエリアはDMACm.DMAMD.DARA[4:0] ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。ただし、リピート領域またはブロック領域に指定したエリア（転送元または転送先）を拡張リピートエリアには指定しないでください。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバーフローすると、DMA転送を一時停止させて、拡張リピートエリアオーバーフロー割り込み要求を発生させることができます。DMACm.DMINT.SARIE ビットを“1”にすると、転送元アドレスの拡張リピートエリアがオーバーフローしたときにDMACm.DMSTS.ESIF フラグが“1”になり、DMACm.DMCNT.DTE ビットを“0”にしてDMA転送を終了します。このとき、DMACm.DMINT.ESIE ビットが“1”になっていると、拡張リピートエリアオーバーフロー割り込み要求が発生します。

DMACm.DMINT.DARIE ビットを“1”にすると転送先アドレスレジスタが対象になります。

拡張リピートエリアオーバーフロー割り込み処理で、DMACm.DMCNT.DTE ビットを“1”にすると、DMA転送を再開することができます。

図 17.5 に拡張リピートエリア機能の例を示します。

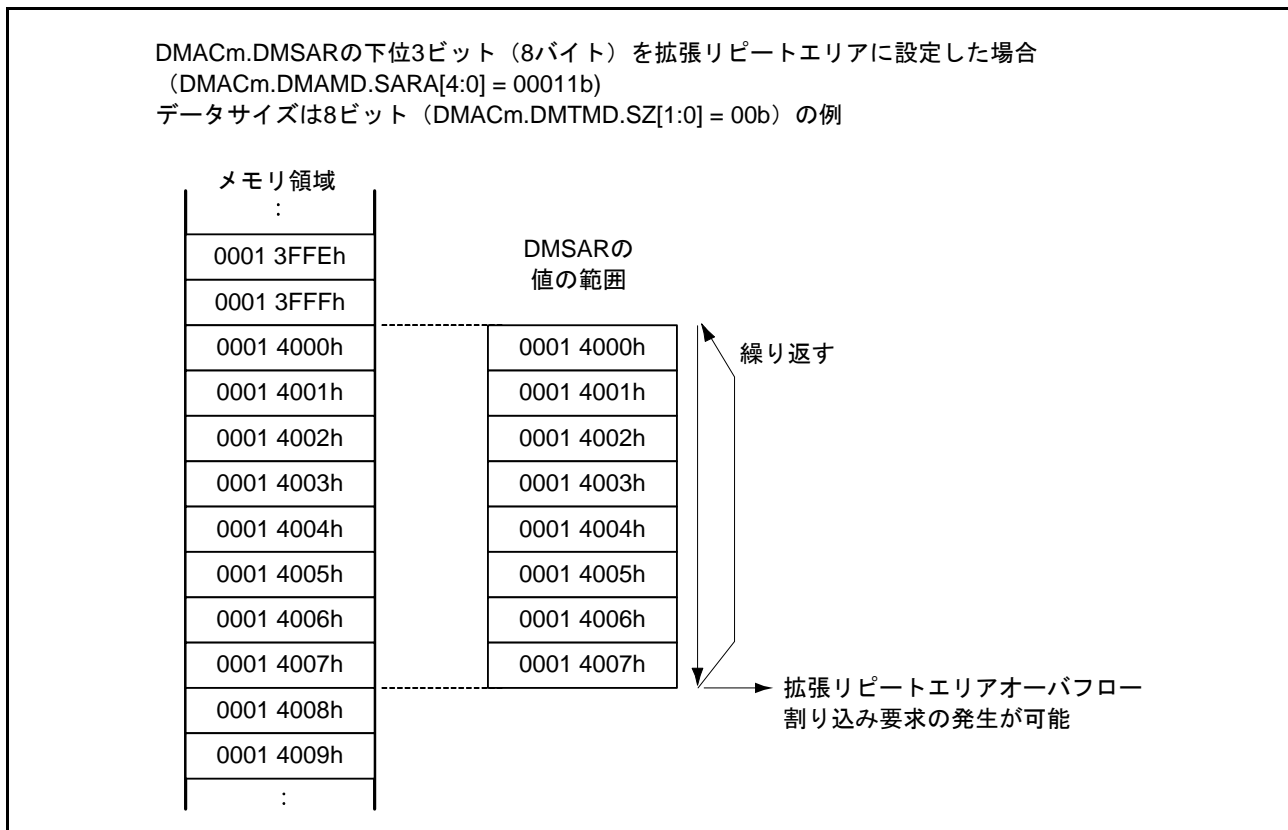


図 17.5 拡張リピートエリア機能の例

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用する場合は、以下の注意が必要です。

拡張リピートエリアのオーバーフローの発生で転送を終了させる場合は、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックのデータを転送中に拡張リピートエリアにオーバーフローが発生した場合は、1ブロックのデータ転送が終了するまで拡張リピートエリアオーバーフロー割り込み要求は保留され、転送はオーバーランします。

図 17.6 にブロック転送モードと拡張リピートエリア機能を併用した例を示します。

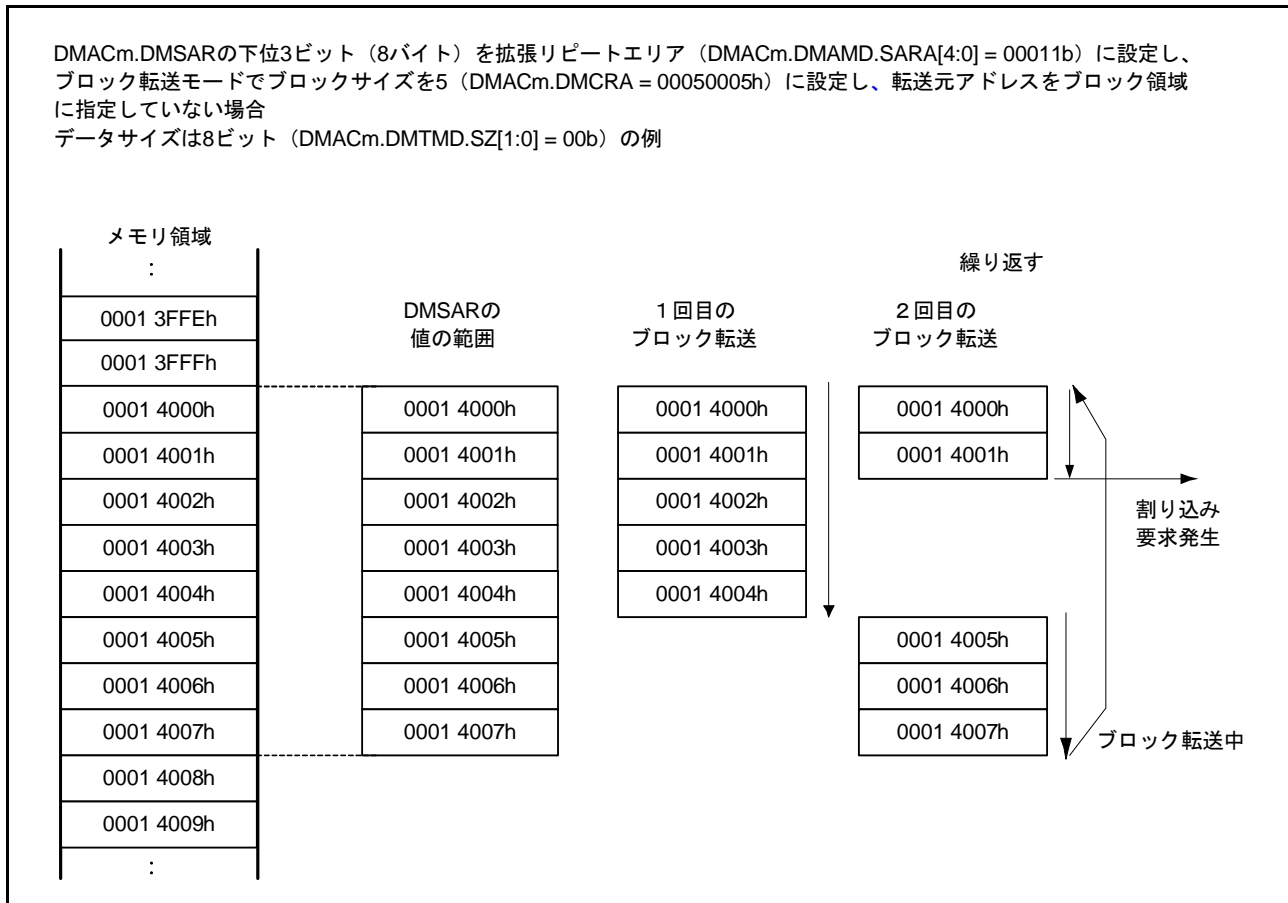


図 17.6 ブロック転送モードと拡張リピートエリア機能を併用した例

17.3.3 オフセットを使ったアドレス更新機能

転送元アドレス、転送先アドレスの更新方法の種類として、固定/インクリメント/デクリメントの他にオフセット加算があります。オフセット加算では、1データの転送を行うたびにDMA オフセットレジスタ (DMAC0.DMOFR) に設定した値を加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

また、DMAC0.DMOFR に2の補数で負の値を設定すると、オフセットによる減算も実現可能です。

オフセットを使ったアドレス更新機能が使用できるチャンネルはDMAC0のみです。

各アドレス更新モードでのアドレス更新方法を表 17.6 に示します。

表 17.6 各アドレス更新モードでのアドレス更新方法

アドレス更新モード	DMACm.DMAMD.SM[1:0] DMACm.DMAMD.DM[1:0] アドレス更新モード設定値	更新方法 (DMACm.DMTMD.SZ[1:0] 設定値別更新方法)		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMACm.DMOFR (注1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注1. オフセットレジスタに負の値を設定する場合は、2の補数で設定してください。2の補数は次式で求められます。
負のオフセット値の2の補数表現 = \sim (オフセット値) + 1 (\sim : ビット反転)

(1) オフセット加算を使用した基本的な転送

オフセットによるアドレス更新機能の動作例を図 17.7 に示します。

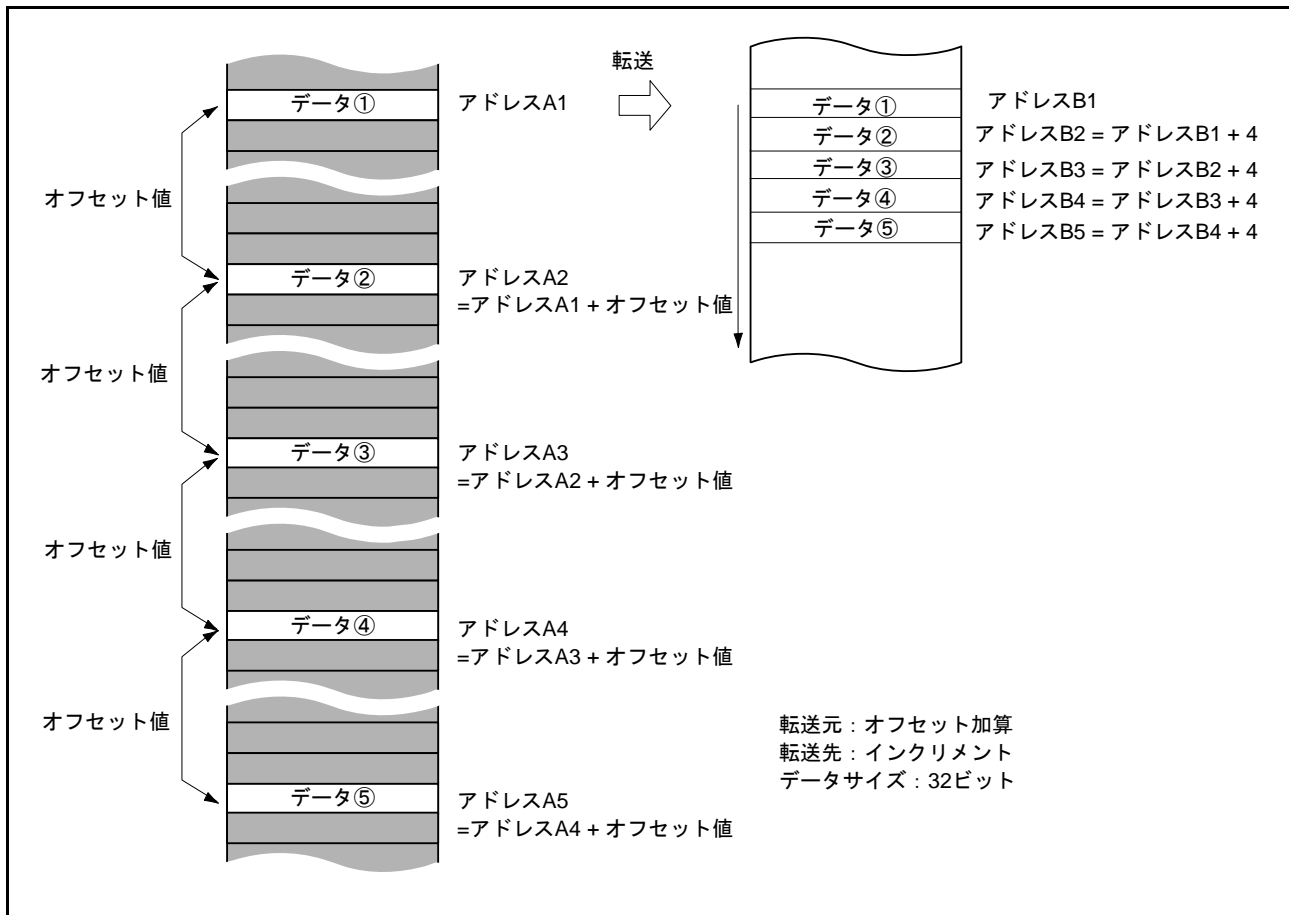


図 17.7 では、転送データサイズは「32 ビット」、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「インクリメント」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2) オフセット加算を使った XY 変換例

図 17.8 にリピート転送モードとオフセット加算を組み合わせる XY 変換を行うときの動作を示します。設定方法は以下のとおりです。

- DMAC0.DMAMD レジスタ：転送元アドレス更新モード設定：オフセット加算
- DMAC0.DMAMD レジスタ：転送先アドレス更新モード設定：インクリメント
- DMAC0.DMTMD レジスタ：転送データサイズビット：32 ビット転送
- DMAC0.DMTMD レジスタ：転送モード設定ビット：リピート転送
- DMAC0.DMTMD レジスタ：リピート領域選択ビット：転送元側がリピート領域
- DMAC0.DMOFR レジスタ：オフセットアドレス：10h
- DMAC0.DMCRA レジスタ：リピートサイズ：4h
- DMAC0.DMINT レジスタ：リピートサイズ終了割り込みを許可に設定

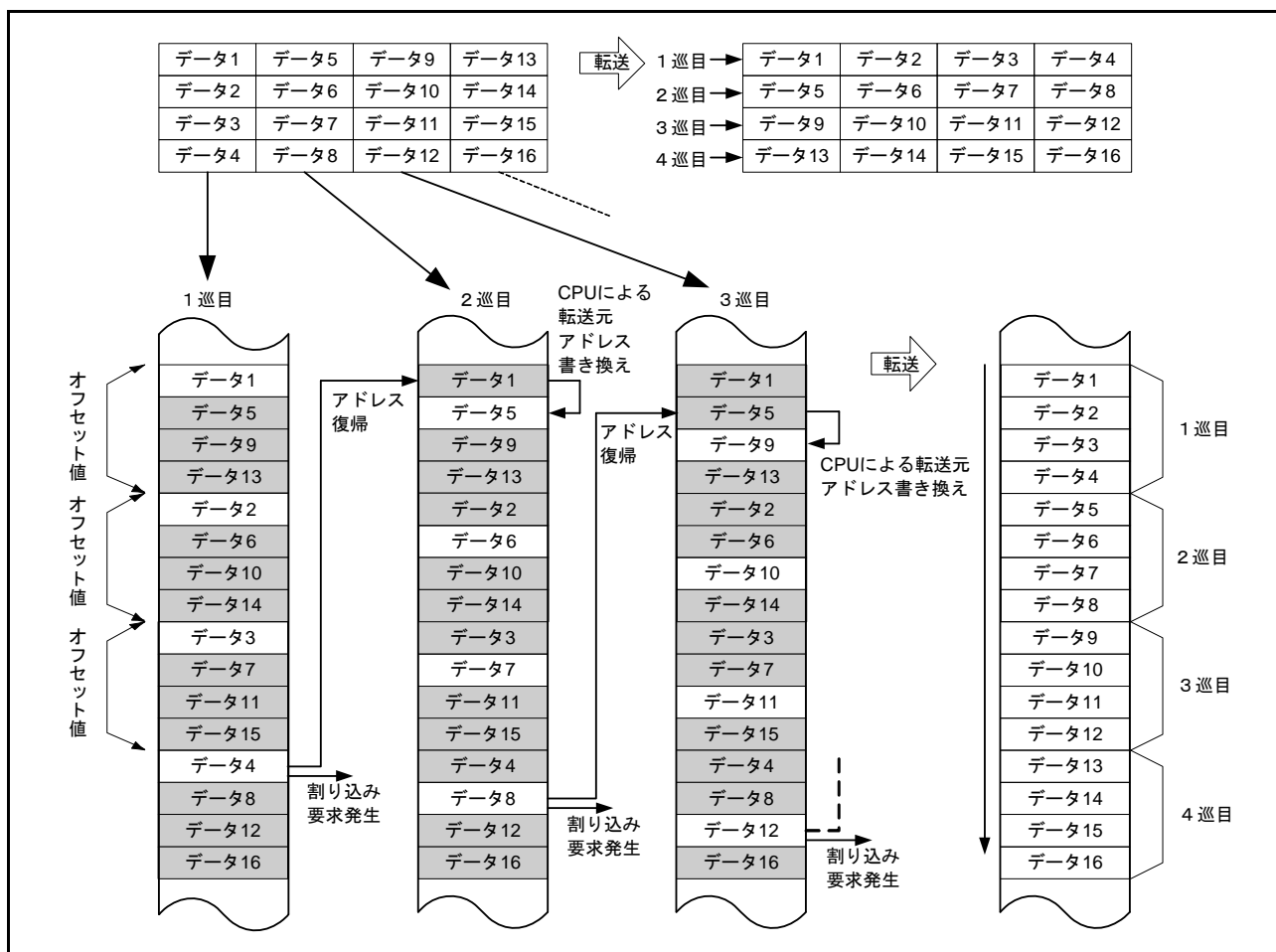


図 17.8 リピート転送モード + オフセット加算による XY 変換のときの動作

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。“データ 4”までのデータが転送されると、リピートサイズ分のデータを転送したことになり、DMAC は転送元のアドレスを転送開始時のアドレス（転送元“データ 1”のアドレス）に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求により、いったん転送が中断します。割り込みで以下の処理を行ってください。

- DMAC0.DMSAR レジスタ : DMA 転送元アドレスを“データ 5”のアドレスに書き換え
(上記の例では“データ 1”のアドレスに 4 を加算した値に書き換え)

- DMAC0.DMCNT レジスタ : DTE ビットに“1”書き込み

DMA 転送が中断した状態から引き続き DMA 転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先に XY 変換されて転送されます。

図 17.9 に XY 変換の処理フローを示します。

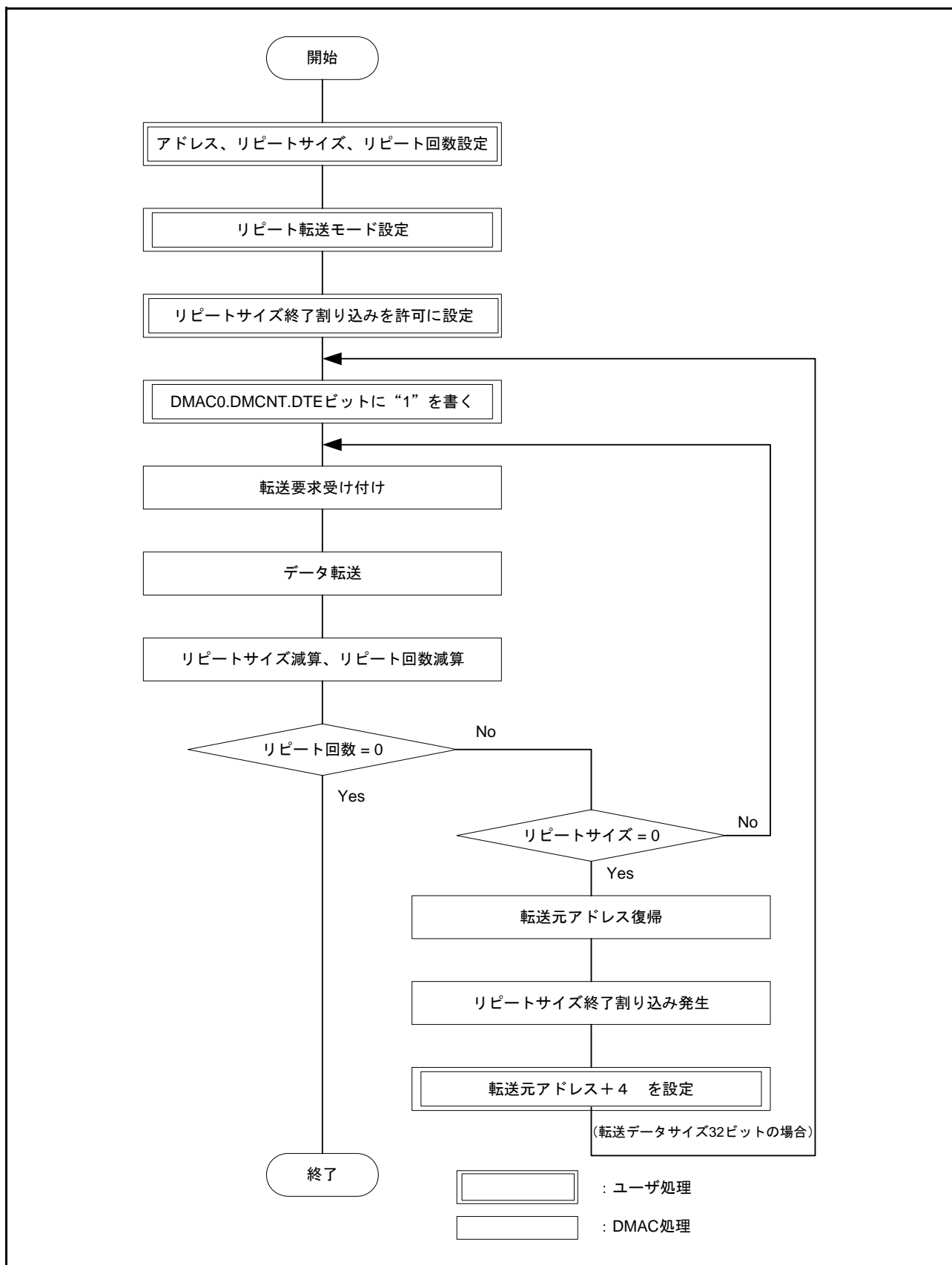


図 17.9 リピート転送モード+オフセット加算によるXY変換のフロー

17.3.4 起動要因

DMAC の起動要因には、ソフトウェア、周辺モジュールからの割り込み要求、外部割り込み要求があります。これらの起動要因の選択は DMACm.DMTMD.DCTG[1:0] ビットで設定できます。

(1) ソフトウェアによる起動

DMACm.DMTMD.DCTG[1:0] ビットを “00b” にするとソフトウェアによる起動が可能となります。

ソフトウェアによる起動により DMA 転送を開始するには、DMACm.DMTMD.DCTG[1:0] ビットを “00b” にした後、DMACm.DMCNT.DTE ビットを “1” (DMA 転送許可) にしてください。また、DMAST.DMST ビットを “1” (DMAC 起動許可) にしてください。その後、DMACm.DMREQ.SWREQ ビットに “1” (DMA 転送要求あり) を書くと DMA 動作が開始します。

DMACm.DMREQ.CLRS ビットが “0” でソフトウェア起動を行った場合、DMA 転送要求に対する転送が開始されると DMACm.DMREQ.SWREQ ビットが “0” になります。DMACm.DMREQ.CLRS ビットが “1” でソフトウェア起動を行った場合は、転送を開始しても DMACm.DMREQ.SWREQ ビットは “0” になりません。要求に対する転送終了後、再び DMA 転送要求が発生します。

(2) 周辺モジュール / 外部割り込み要求による起動

周辺モジュールからの割り込み要求、または外部割り込み要求を DMA 転送起動要因に指定することができます。起動要因の選択は割り込みコントローラ (ICU) の ICU.DMRSRm レジスタ (m = 0 ~ 3) で選択します。チャンネルごとに独立して設定可能です。

周辺モジュールからの割り込み要求、外部割り込み要求により DMA を起動するには、DMACm.DMTMD.DCTG[1:0] ビットを “01b” (周辺モジュールおよび外部割り込み端子からの割り込み) にした後、DMACm.DMCNT.DTE ビットを “1” (DMA 転送を許可) にしてください。また、DMAST.DMST ビットを “1” (DMAC 起動を許可) にしてください。その後に割り込み要求が発生すると、DMA 動作を開始します。

DMAC の起動要因となる割り込み要因一覧は、「14. 割り込みコントローラ (ICUb)」の表 14.3 割り込みのベクタテーブルを参照してください。

17.3.5 動作タイミング

図 17.10、図 17.11 に DMAC の動作タイミングの例を示します。

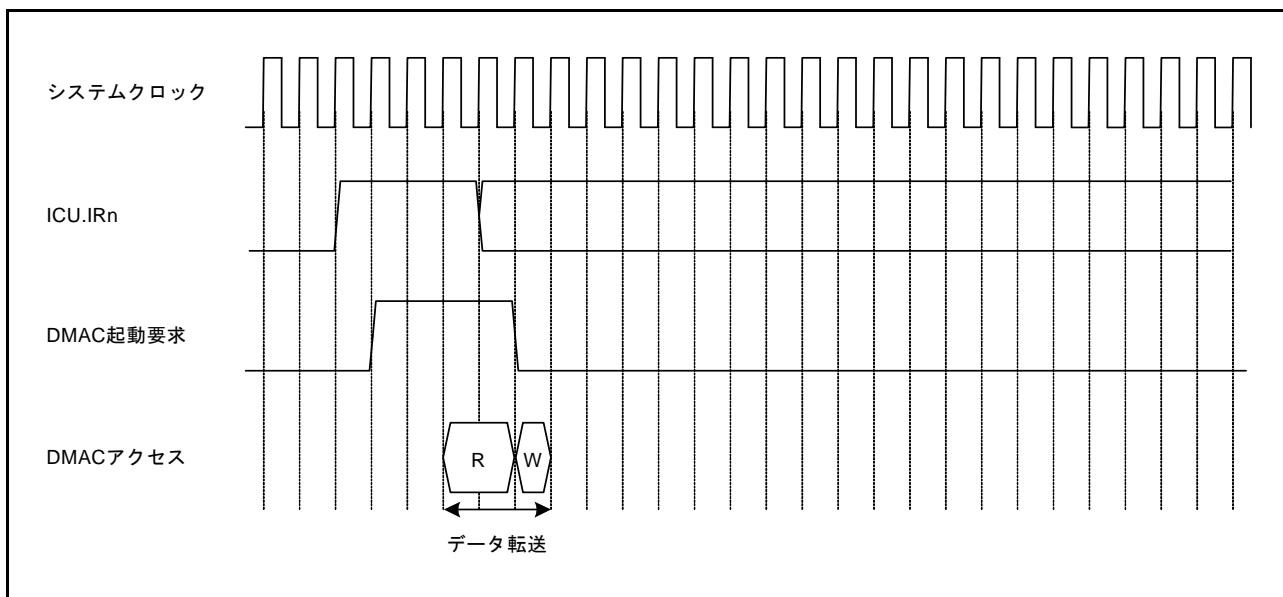


図 17.10 DMAC 動作タイミング例 (1) (周辺モジュール/外部割り込み入力端子からの割り込みによる DMA 起動、ノーマル転送モード、リピート転送モードの場合)

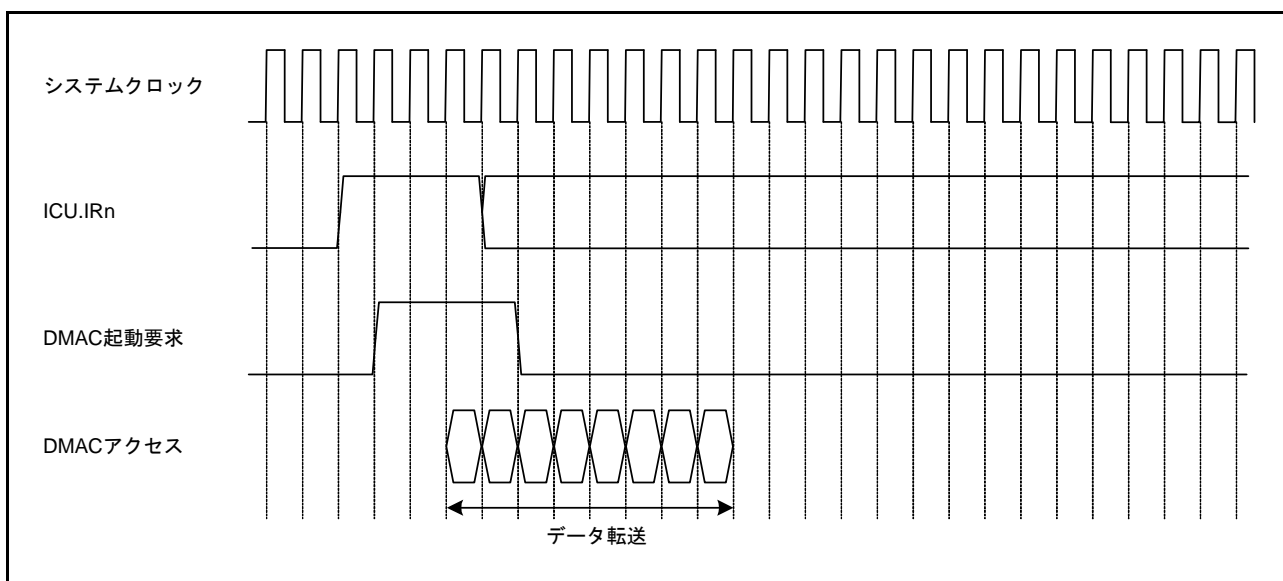


図 17.11 DMAC 動作タイミング例 (2) (周辺モジュール/外部割り込み入力端子からの割り込みによる DMA 起動、ブロック転送モード、ブロックサイズ=4 の場合)

17.3.6 DMAC の実行サイクル

表 17.7 に DMAC の 1 回のデータ転送の実行状態を示します。

表 17.7 DMAC の実行サイクル

転送モード	データ転送 (リード)	データ転送 (ライト)
ノーマル	$Cr + 1$	Cw
リピート	$Cr + 1$	Cw
ブロック (注1)	$P \times Cr$	$P \times Cw$

注1. ブロックサイズが2以上の場合です。ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

【記号説明】

P : ブロックサイズ (DMCRAH レジスタの設定値)

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「39. RAM」、「40. フラッシュメモリ」、「5. I/O レジスタ」、「15.2.6 外部バス」を参照してください。

データ転送 (リード) の「+1」の単位はシステムクロック (ICLK) です。

動作例は「17.3.5 動作タイミング」を参照してください。

17.3.7 DMAC の起動

図 17.12 にレジスタの設定手順を示します。



図 17.12 レジスタの設定手順

17.3.8 DMA 転送の開始

DMACm.DMCNT.DTE ビットを“1” (DMA 転送許可) にして、DMAST.DMST ビットを“1” (DMAC 起動許可) にすると、チャンネル m ($m=0 \sim 3$) の DMA 転送が可能になります。

他の DMAC チャンネル、DTC の転送中は新たな起動要求は受け付けません。先行する転送が終了した時点で最も優先順位の高いチャンネルの DMA 転送要求が受け付けられ、DMA 転送を開始します。DMA 転送が開始すると、DMACm.DMSTS.ACT ビットが“1” (DMAC 動作中) になります。

17.3.9 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DMACm.DMSAR、DMACm.DMDAR、DMACm.DMCRA、DMACm.DMCRB、DMACm.DMCNT、DMACm.DMSTS です。

(1) DMA 転送元アドレスレジスタ (DMACm.DMSAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は表 17.3 ~ 表 17.5 を参照してください。

(2) DMA 転送先アドレスレジスタ (DMACm.DMDAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は表 17.3 ~ 表 17.5 を参照してください。

(3) DMA 転送カウントレジスタ (DMACm.DMCRA)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は表 17.3 ~ 表 17.5 を参照してください。

(4) DMA ブロック転送カウントレジスタ (DMACm.DMCRB)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は表 17.3 ~ 表 17.5 を参照してください。

(5) DMA 転送許可ビット (DMACm.DMCNT.DTE)

DMACm.DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可 / 禁止を制御しますが、DMA 転送状態によって以下のいずれかの条件が成立した場合は、自動的に DMACm.DMCNT.DTE ビットが“0”になります。

- 設定の総転送データ数の転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバーフロー割り込み要求が発生し、転送が終了したとき

DMACm.DMCNT.DTE ビットが“1”になっているチャンネルのレジスタの書き込みは禁止です (DMACm.DMCNT レジスタを除く)。DMACm.DMCNT.DTE ビットに“0”を設定した状態で、各レジスタの設定を変更してください。

(6) DMA アクティブフラグ (DMACm.DMSTS.ACT ビット)

DMACm が停止中か動作中であることを示します。DMACm.DMSTS.ACT ビットは DMAC が転送動作を開始すると“1”にセットされ、1 転送要求に対するデータ転送を終了すると“0”になります。

DMA 転送中に DMACm.DMCNT.DTE ビットに“0”をライトし、DMA 転送を停止させた場合でも、DMA 転送が終了するまで“1”を保持します。

(7) 転送終了割り込みフラグ (DMACm.DMSTS.DTIF フラグ)

DMA 転送によって総転送サイズ分の転送を終了すると、DMACm.DMSTS.DTIF フラグは“1”にセットされます。

DMACm.DMSTS.DTIF フラグが“1”にセットされ、DMACm.DMINT.DTIE ビットが“1”にセットされていると転送終了割り込み要求が発生します。

DMACm.DMSTS.DTIF フラグが“1”にセットされるタイミングは、DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT ビットが“0”になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに“1”を書き込んだ場合、自動的に DMACm.DMSTS.DTIF フラグが“0”クリアされます。

(8) 転送エスケープ割り込みフラグ (DMACm.DMSTS.ESIF)

リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、DMACm.DMSTS.ESIF フラグは“1”にセットされます。DMACm.DMSTS.ESIF フラグが“1”にセットされ、DMACm.DMINT.ESIE ビットが“1”にセットされていると転送エスケープ割り込み要求が発生します。

DMACm.DMSTS.ESIF フラグに“1”がセットされるタイミングは、割り込み要求が発生させる要因になった DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT フラグが“0”になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに“1”を書き込んだ場合、自動的に DMACm.DMSTS.ESIF フラグが“0”にクリアされます。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

17.3.10 チャネルの優先順位

DMAC は複数の DMA 転送要求があるとき、DMA 転送要求のあるチャネルの優先順位を判断します。チャネルの優先順位は、チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3 の順で固定です。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送終了後にチャネル調停を行ない、優先順位の高いチャネルの転送が開始されます。

17.4 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMACm.DMCNT.DTE ビットと DMACm.DMSTS.ACT フラグが“1”から“0”になり、DMA 転送が終了したことを示します。

17.4.1 設定した総データ転送による転送終了

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] = 00b) のとき

DMACm.DMCRAL レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に転送終了割り込み要求が発生します。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] = 01b) のとき

DMACm.DMCRB レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] = 10b) のとき

DMACm.DMCRB レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

17.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMACm.DMINT.RPTIE ビットが“1”にセットされているときに、1 リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求が発生します。割り込み要求の発生により DMA 転送を終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.ESIF フラグが“1”にセットされます。このとき DMACm.DMINT.ESIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。またこの状態から DMACm.DMCNT.DTE ビットを“1”にセットすると転送を再開させることができます。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求が発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に、同様にリピートサイズ終了割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

17.4.3 拡張リピートエリアオーバフロー割り込みによる転送終了

拡張リピートエリアを指定し、DMACm.DMINT.SARIE ビットまたは DMACm.DMINT.DARIE ビットが“1”にセットされているときに、アドレスの拡張リピートエリアがオーバフローすると、拡張リピートエリアオーバフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.ESIF フラグが“1”にセットされます。このとき DMACm.DMINT.ESIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

リードサイクル中に拡張リピートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1 ブロック分の転送中に拡張リピートエリアオーバフロー割り込み要求が発生しても、1 ブロック分の転送は実行されます。拡張リピートエリアオーバフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

17.5 割り込み

DMACはチャンネルごとに、1要求分の転送完了後にCPUまたはDTCに割り込み要求を出力させることができます。転送先が外部バス、または内部周辺バスの場合、実転送先への書き込み完了ではなく、ライトバッファへの書き込みが完了した時点で、割り込み要求を発行します。

割り込みの要因、フラグ、許可ビットの関係を表17.8に、割り込み出力の概略論理図を図17.13に示します。また、DMAC割り込み処理で、DMA転送を再開/中止する手順を図17.14に示します。

表17.8 割り込みの要因、フラグ、許可ビットの関係

割り込み要因		許可ビット	ステータスフラグ	要求出力許可
転送終了		—	DMACm.DMSTS.DTIF	DMACm.DMINT.DTIE
エスケープ 転送終了	リピートサイズ終了	DMACm.DMINT.RPTIE	DMACm.DMSTS.ESIF	DMACm.DMINT.ESIE
	転送元アドレス拡張リピート エリアオーバーフロー	DMACm.DMINT.SARIE		
	転送先アドレス拡張リピート エリアオーバーフロー	DMACm.DMINT.DARIE		

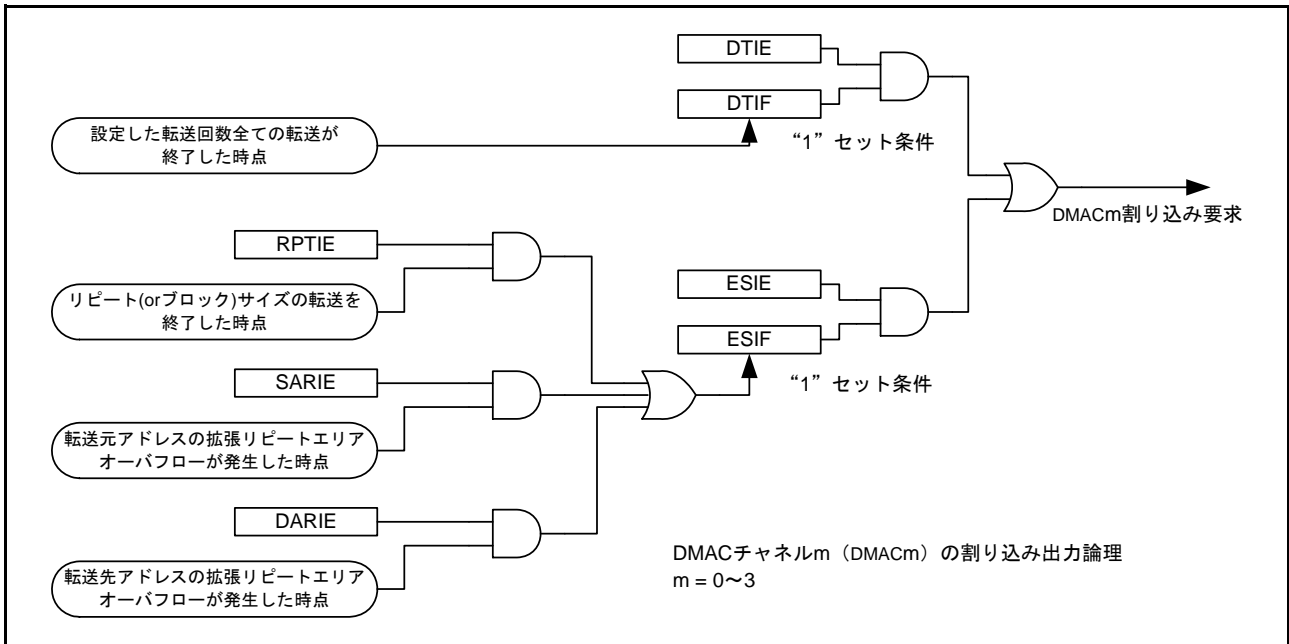


図 17.13 割り込み出力の概略論理図

割り込み処理ルーチンで、割り込みを解除して DMA 転送を再開する方法は、DMA 転送を終了または中止させるときと、転送を継続させる場合で異なります。

(1) DMA 転送を終了または中止させる場合

転送終了割り込みの場合は DMACm.DMSTS.DTIF フラグに、リピートサイズ割り込みおよび拡張リピートエリアオーバーフロー割り込みの場合は DMACm.DMSTS.ESIF フラグに“0”を書いてください。割り込み要因がクリアされます。DMACm は停止状態を保ちます。その後新たな DMA 転送を行う場合は、必要なレジスタに設定値を書き込み、DMACm.DMCNT.DTE ビットに“1” (DMA 転送許可) を書き込んでください。

(2) DMA 転送を継続させる場合

DMACm.DMCNT.DTE ビットに“1”を書き込んでください。自動的に DMACm.DMSTS.ESIF フラグが“0”にクリア (割り込み要因がクリア) され、転送が再開します。

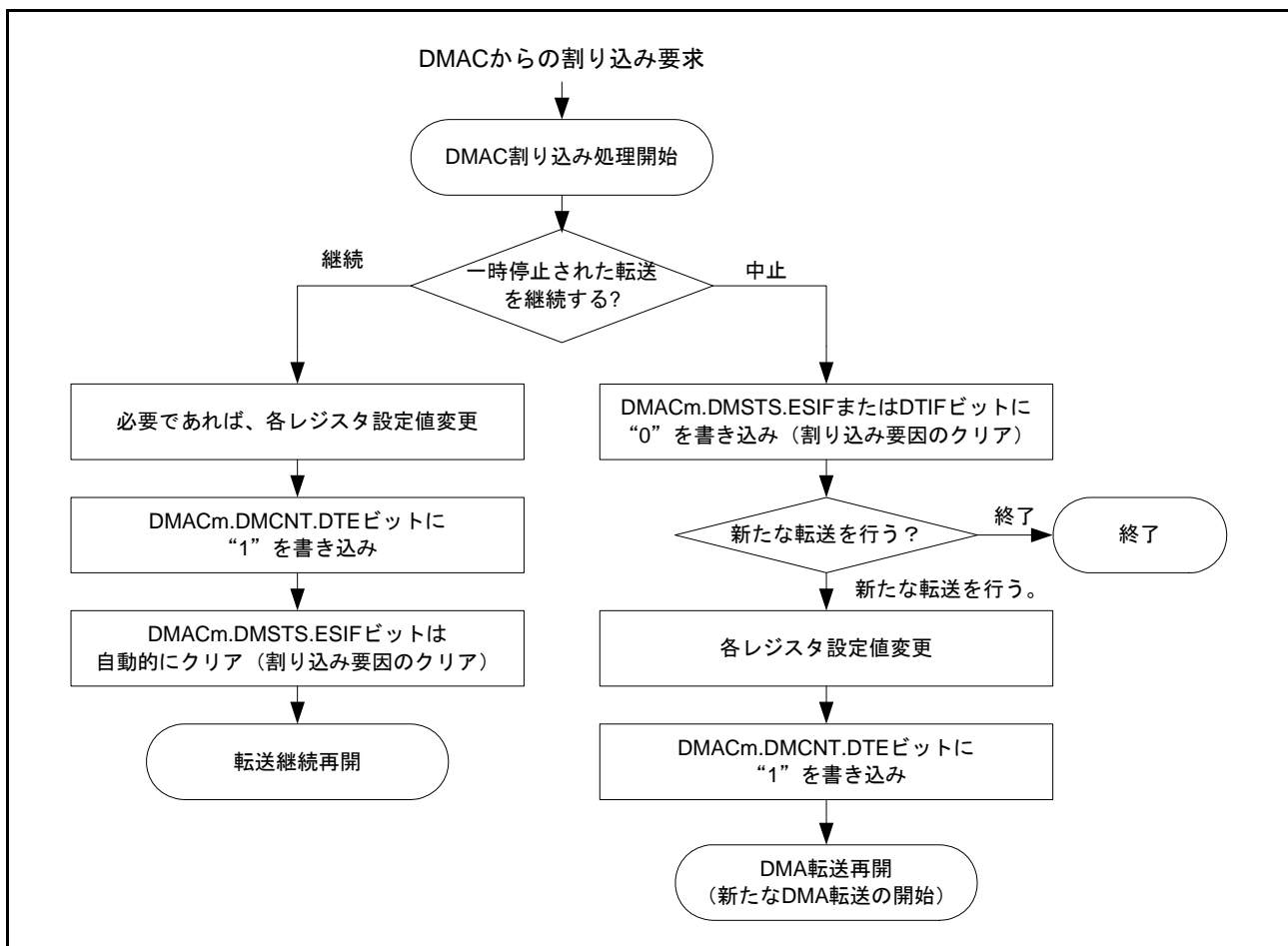


図 17.14 DMAC 割り込み処理で DMA 転送を再開/中止する手順

17.6 イベントリンク機能

各 DMAC チャネルは、1 回のデータ転送後 (ブロックの場合は 1 ブロック転送後)、イベントリンク要求を出力します。ただし、転送先が外部バスまたは内部周辺バスの場合、ライトバッファへの書き込みが受け付けられた時点で、イベントリンク要求を発行します。

17.7 消費電力低減機能

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DMAST.DMST ビットに“0” (DMAC モジュール停止) を書いた後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1” (モジュールストップ状態への遷移) を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1” を書いたときに DMA 転送動作中の場合、DMA 転送の終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1” のとき、DMAC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0” (モジュールストップ状態の解除) を書くことにより、DMAC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

「11. 消費電力低減機能」の「11.6.2.1 全モジュールクロックストップモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合は、DMA 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに“0” を書くことにより、DMAC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」、もしくは「11.6.4.1 ディープソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合、DMA 転送終了後にソフトウェアスタンバイモード、もしくはディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「11. 消費電力低減機能」の「11.7.6 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットに“1” を書いてください。

全モジュールクロックストップモード期間、ソフトウェアスタンバイモード期間に発生した要求を DMAC 起動でなく CPU 割り込みとする場合は、「14. 割り込みコントローラ (ICUb)」の「14.4.3 割り込み要求先の選択」の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

17.8 使用上の注意事項

17.8.1 外部デバイスを使用する場合

外部デバイスへの DMA 転送では、最後のデータライトが開始されてから外部バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが“0” (DMAC 停止中) になることがあります。

17.8.2 周辺モジュールへ DMA 転送する場合

周辺モジュールへの DMA 転送では、最後のデータライトが開始されてから周辺バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが“0” (DMAC 停止中) になることがあります。

17.8.3 DMA 動作中のレジスタアクセスについて

DMACm.DMSTS.ACT フラグが“1” (DMAC 動作中)、または DMACm.DMCNT.DTE ビットが“1” (DMA 転送許可) の状態で、同じチャンネルの設定レジスタ (DMSAR、DMDAR、DMCRA、DMCRB、DMTMD、DMINT、DMAMD、DMOFR、DMCSL) へのアクセスは行わないでください。

17.8.4 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域についての詳細は「4. アドレス空間」を参照してください。

17.8.5 DMA 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの割り込み要求について

DMACm.DMCSL.DISEL ビットを“1”に設定すると、1回の DMA 起動要求に対する転送が終了するたびに CPU へ割り込み要求を発生させることができます。このとき発生する割り込みは、DMAC が出力する転送終了割り込み、エスケープ終了割り込みとは異なり、DMAC の起動要因となった割り込みフラグを DMA 転送終了時に“0”クリアせずに割り込み要求先を CPU に切り替えることにより、CPU への割り込み要求が発生します。割り込みフラグは、CPU 割り込み受け付け時にクリアされます。

割り込みフラグ、割り込み要求先変更については、「14. 割り込みコントローラ (ICUb)」を参照してください。また、DMACm.DMCSL.DISEL ビットの設定は、「17.2.12 DMA 起動要因フラグ制御レジスタ (DMCSL)」を参照してください。

17.8.6 割り込みコントローラの DMAC 起動要求レジスタ (ICU.DMRSRm) の設定

DMAC 起動要求レジスタ (ICU.DMRSRm) の設定は、DMA 転送許可ビット (DMACm.DMCNT.DTE ビット) が“0” (DMA 転送を禁止) のときに行なってください。また、ICU.DMRSRm レジスタで設定したベクタ番号と同じベクタ番号に対応する DTC 起動許可レジスタ (ICU.DTCERn) を“1”にしないでください。ICU.DTCERn、ICU.DMRSRm レジスタの詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

17.8.7 DMA 起動の保留 / 再開方法

DMA 起動要求を保留する場合は、起動要因の割り込み許可ビット (ICU.IERn.IENj ビット) を“0”にしてください。DMA 転送を再開する場合は「17.3.7 DMAC の起動」を設定した状態で、ICU.IERn.IENj ビットを“1”にしてください。

18. データトランスファコントローラ (DTCa)

本 MCU は、データトランスファコントローラ (DTC) を内蔵しています。
DTC は、割り込み要求によって起動し、データ転送を行うことができます。

18.1 概要

表 18.1 に DTC の仕様を、図 18.1 に DTC のブロック図を示します。

表 18.1 DTC の仕様

項目	内容
転送モード	<ul style="list-style-type: none"> ノーマル転送モード 1回の起動で1データ転送する リピート転送モード 1回の起動で1データ転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピート回数は最大256回設定可能で、256×32ビットで、最大1024バイト転送可能 ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは、最大256×32ビット=1024バイト設定可能
転送チャンネル	<ul style="list-style-type: none"> 割り込み要因に対応するチャンネルの転送が可能 (ICUからのDTC起動要求で転送) 1つの起動要因に対して複数のデータ転送が可能 (チェーン転送) チェーン転送は「カウンタ=0のとき実施」/「毎回実施」のいずれかを選択可能
転送空間	<ul style="list-style-type: none"> ショートアドレスモードのとき16Mバイト ("0000 0000h"~"007F FFFFh"と"FF80 0000h"~"FFFF FFFFh"のうち、予約領域以外の領域) フルアドレスモードのとき4Gバイト ("0000 0000h"~"FFFF FFFFh"のうち、予約領域以外の領域)
データ転送単位	<ul style="list-style-type: none"> 1データ: 1バイト (8ビット)、1ワード (16ビット)、1ロングワード (32ビット) 1ブロックサイズ: 1~256データ
CPU割り込み要求	<ul style="list-style-type: none"> DTCを起動した割り込みでCPUへの割り込み要求を発生可能 1回のデータ転送終了後にCPUへの割り込み要求を発生可能 指定したデータ数のデータ転送終了後にCPUへの割り込み要求を発生可能
イベントリンク機能	1回のデータ転送後 (ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを指定可能
ライトバックスキップ	転送元アドレス固定の場合、または転送先アドレス固定の場合、ライトバックスキップを実行可能
消費電力低減機能	モジュールストップ状態への設定が可能

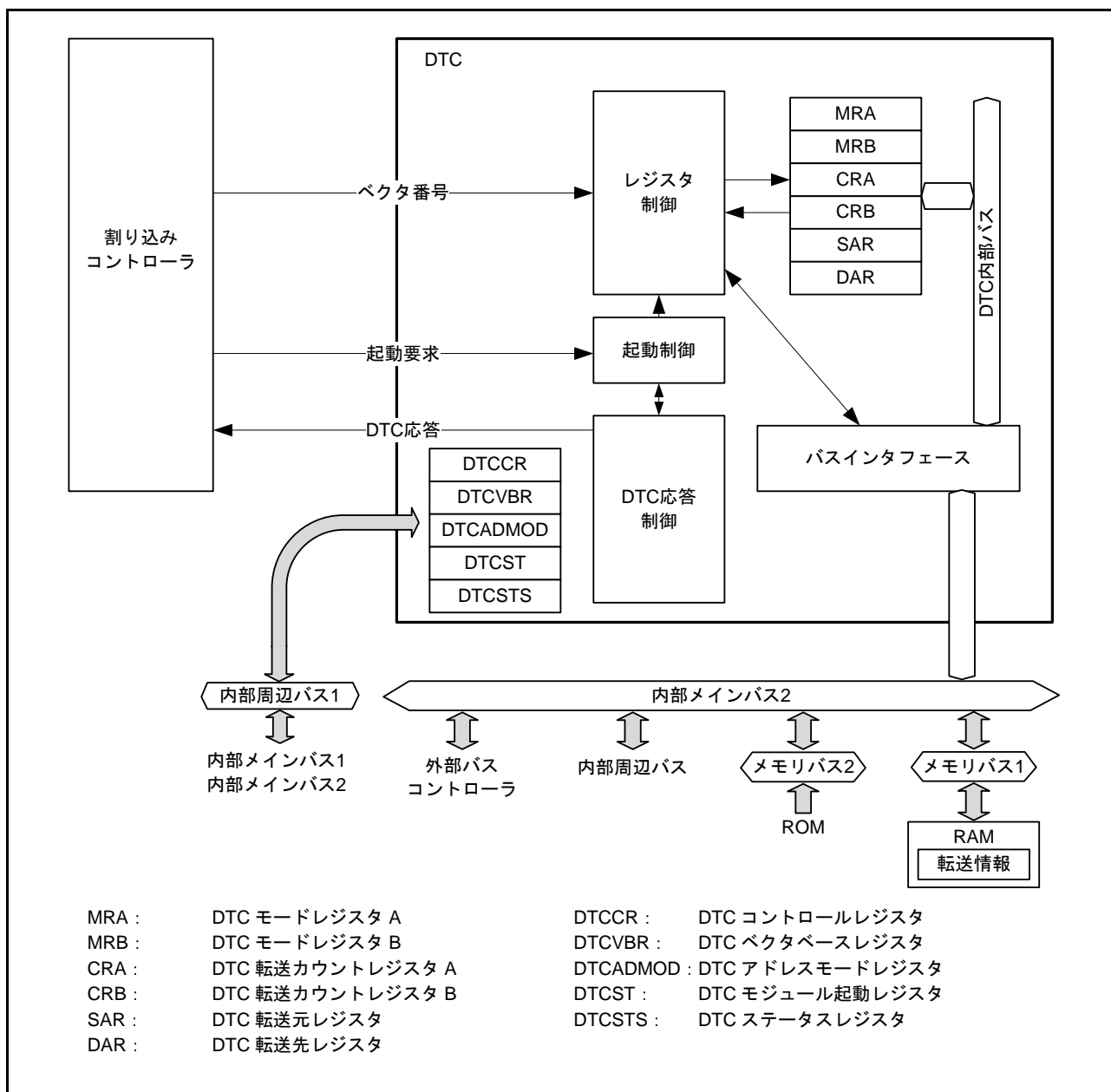


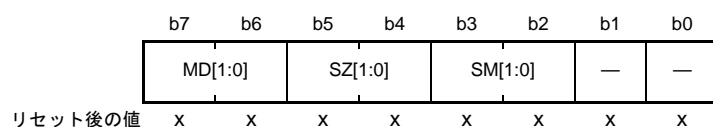
図 18.1 DTC のブロック図

18.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB レジスタはDTCの内部レジスタです。CPUから直接アクセスすることはできません。これら内部レジスタの設定値はRAM領域に転送情報として配置します。DTCは起動要求が発生すると、RAM領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、DTCの内部レジスタは転送情報としてRAM領域にライトバックされます。

18.2.1 DTC モードレジスタ A (MRA)

アドレス (CPUから直接アクセス不可)



x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 0 1 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 1 0 : 転送後SARレジスタをインクリメント (SZ[1:0]ビットが“00b”のとき+1、“01b”のとき+2、“10b”のとき+4) 1 1 : 転送後SARレジスタをデクリメント (SZ[1:0]ビットが“00b”のとき-1、“01b”のとき-2、“10b”のとき-4)	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズビット	b5 b4 0 0 : バイト (8ビット) 転送 0 1 : ワード (16ビット) 転送 1 0 : ロングワード (32ビット) 転送 1 1 : 設定しないでください	—
b7-b6	MD[1:0]	DTC転送モード選択ビット	b7 b6 0 0 : ノーマル転送モード 0 1 : リピート転送モード 1 0 : ブロック転送モード 1 1 : 設定しないでください	—

MRA レジスタは、CPUから直接アクセスすることはできません。

18.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可)

b7	b6	b5	b4	b3	b2	b1	b0
CHNE	CHNS	DISEL	DTS	DM[1:0]		—	—

リセット後の値 x x x x x x x x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 0 0: DARレジスタはアドレス固定 (DARレジスタのライトバックはスキップされます) 0 1: DARレジスタはアドレス固定 (DARレジスタのライトバックはスキップされます) 1 0: 転送後、DARレジスタをインクリメント (MRA.SZ[1:0]ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1: 転送後DARレジスタをデクリメント (MRA.SZ[1:0]ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b4	DTS	DTC転送モード選択ビット	0: 転送先がリピート領域またはブロック領域 1: 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC割り込み選択ビット	0: 指定されたデータ転送終了時、CPUへの割り込みが発生 1: DTCデータ転送のたびに、CPUへの割り込みが発生	—
b6	CHNS	DTCチェーン転送選択ビット	0: 連続してチェーン転送を行う 1: 転送カウンタが1→0、または1→CRAHとなったとき、 チェーン転送を行う	—
b7	CHNE	DTCチェーン転送許可ビット	0: チェーン転送禁止 1: チェーン転送許可	—

MRB レジスタは、CPU から直接アクセスすることはできません。

DTS ビット (DTC 転送モード選択ビット)

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域とするかを指定します。

CHNS ビット (DTC チェーン転送選択ビット)

チェーン転送の条件を選択します。

CHNE ビットが“0”のときはCHNS ビットの設定は無視されます。チェーン転送が選択される条件の詳細は、「表 18.3 チェーン転送の条件」を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

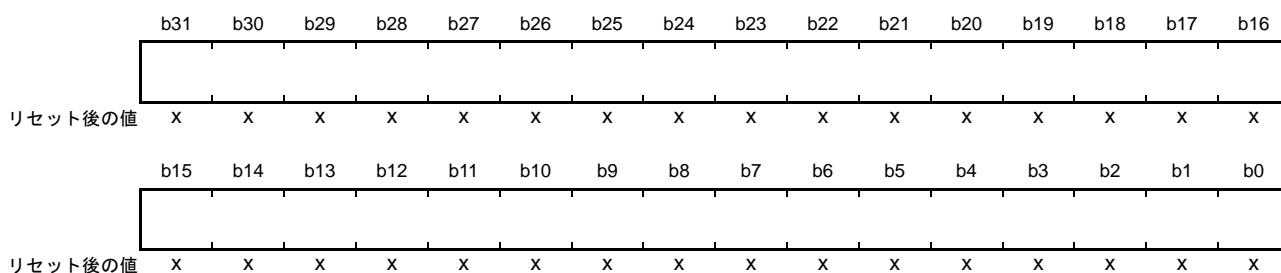
CHNE ビット (DTC チェーン転送許可ビット)

チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。チェーン転送の詳細は、「18.4.6 チェーン転送」を参照してください。

18.2.3 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可)



x: 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。

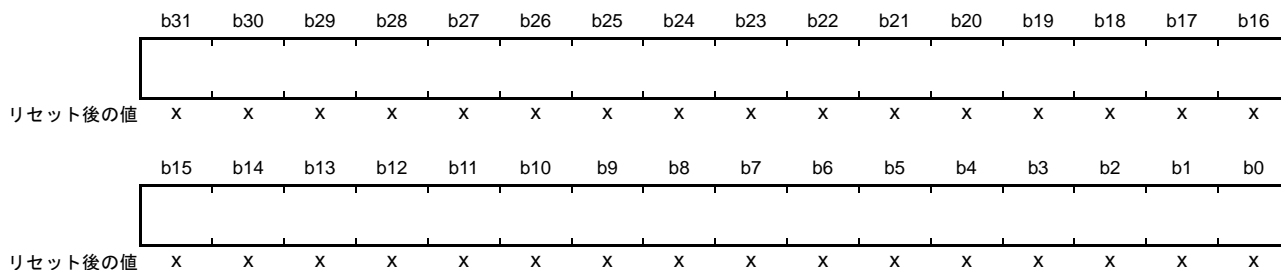
フルアドレスモードでは 32 ビットが有効となります。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31~b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

18.2.4 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可)



x: 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビットが有効となります。

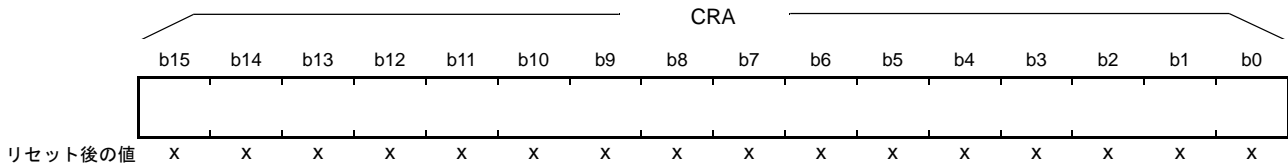
ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31~b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

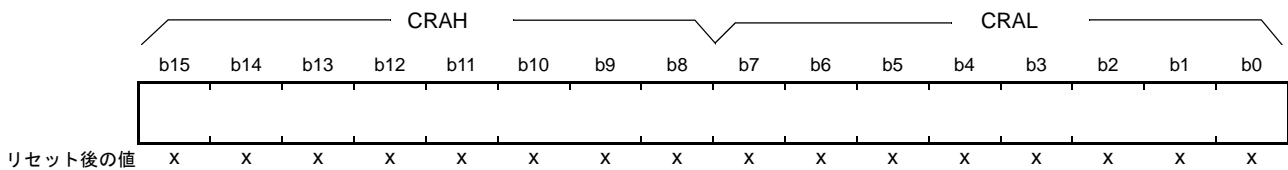
18.2.5 DTC 転送カウンタレジスタ A (CRA)

アドレス (CPUから直接アクセス不可)

- ・ ノーマル転送モード



- ・ リピート転送モード、ブロック転送モード



x : 不定

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定する	—
CRAH	転送カウンタA上位レジスタ		—

注. 転送モードによって機能が異なります。

注. リピート転送モード時およびブロック転送モード時は、CRAH、CRALレジスタには同じ値を設定してください。

CRA レジスタはCPUから直接アクセスすることはできません。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは16ビットの転送カウンタとして機能します。

転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。

1回のデータ転送を行うたびにデクリメント (-1) します。

(2) リピート転送モードの場合 (MRA.MD[1:0] ビット = 01b)

CRAH レジスタは転送回数を保持し、CRAL レジスタは8ビットの転送カウンタとして機能します。

転送回数は、設定値が“01h”のときは1回、“FFh”のときは255回、“00h”のときは256回となります。

CRAL レジスタは1回のデータ転送を行うたびにデクリメント (-1) され、“00h”になるとCRAHレジスタの値が転送されます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

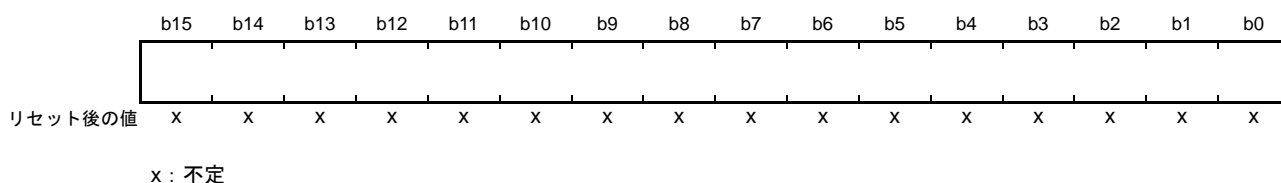
CRAH レジスタはブロックサイズを保持し、CRAL レジスタは8ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が“01h”のときは1回、“FFh”のときは255回、“00h”のときは256回となります。

CRAL レジスタは1回のデータ転送を行うたびにデクリメント (-1) され、“00h”になるとCRAHレジスタの値が転送されます。

18.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可)



CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。

転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。

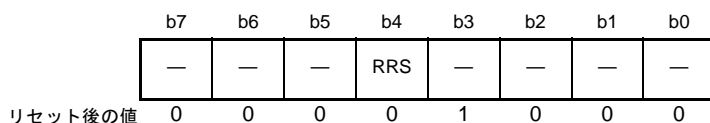
1ブロックサイズの最終データ転送時にデクリメント (-1) されます。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

CRB レジスタは、CPU から直接アクセスすることはできません。

18.2.7 DTC コントロールレジスタ (DTCCR)

アドレス 0008 2400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC転送情報リードスキップ許可ビット	0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RRS ビット (DTC 転送情報リードスキップ許可ビット)

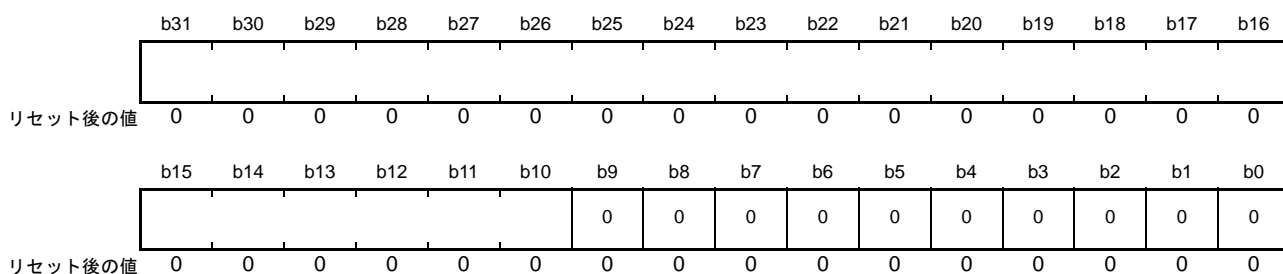
DTC ベクタ番号は、前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが“1”のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

18.2.8 DTC ベクタベースレジスタ (DTCVBR)

アドレス 0008 2404h

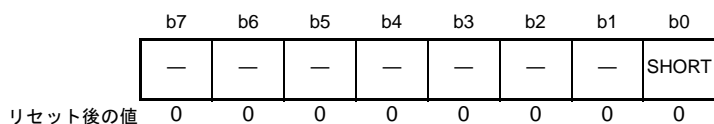


ビット	ビット名	機能	R/W
b9-b0	DTCベクタベースアドレス (下位10ビット)	読むと“0”が読めます。書く場合、“0”としてください	R
b31-b10	DTCベクタベースアドレス (上位22ビット)	上位4ビット (b31~b28) への書き込みは無視され、b27で指定した値で拡張されます	R/W

DTCVBR レジスタは、DTC ベクタテーブルアドレス算出時のベースアドレスを設定するレジスタです。0000 0000h ~ 07FF FC00h、および F800 0000h ~ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

18.2.9 DTC アドレスモードレジスタ (DTCADMOD)

アドレス 0008 2408h



ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット	0: フルアドレスモード 1: ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCADMOD レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット (ショートアドレスモード設定ビット)

フルアドレスモードでは、4G バイト空間 (0000 0000h ~ FFFF FFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (0000 0000h ~ 007F FFFFh と FF80 0000h ~ FFFF FFFFh) のアクセスが可能です。

18.2.10 DTC モジュール起動レジスタ (DTCST)

アドレス 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST ビット (DTC モジュール起動ビット)

DTC を転送要求受け付け可能とするためには、DTCST ビットを“1”にしてください。DTCST ビットを“0”にすると新たな転送要求を受け付けません。

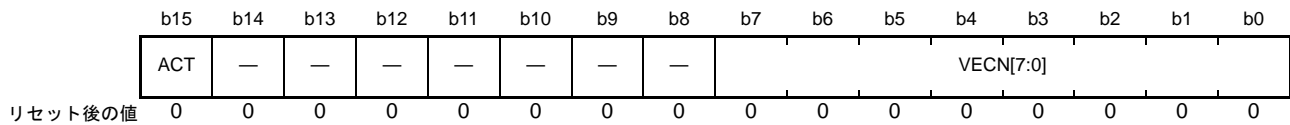
動作中に“0”に書き換えた場合、受け付け済みの転送要求は処理が終わるまで動作します。

モジュールストップ機能、および全モジュールクロックストップモード、またはソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST ビットを“0”にしてください。

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへの移行については「18.9 消費電力低減機能」、および「11. 消費電力低減機能」を参照してください。

18.2.11 DTC ステータスレジスタ (DTCSTS)

アドレス 0008 240Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTC アクティブベクタ番号モニタビット	DTC 転送動作中にその起動要因をベクタ番号で示します DTC 転送動作中 (ACT フラグが“1”のとき) にのみ有効値を示します	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTC アクティブフラグ	0 : DTC 転送動作なし 1 : DTC 転送動作中	R

VECN[7:0] ビット (DTC アクティブベクタ番号モニタビット)

DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが“1” (DTC 転送動作中) であれば、読み出された VECN[7:0] は有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが“0” (DTC 転送動作なし) であれば、読み出された VECN[7:0] は無効値です。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUb)」の「表 14.3 割り込みのベクタテーブル」を参照してください。

ACT フラグ (DTC アクティブフラグ)

DTC の転送動作状態を示します。

[“1” になる条件]

- 転送要求に対して DTC が起動したとき

[“0” になる条件]

- 1 回の転送要求に対する DTC 動作が終了したとき

18.3 起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込みに対応する割り込みコントローラ (ICU) の DTCERn.DTCE ビット (n = 割り込みベクタ番号) を“1”にすると DTC 起動要因となります。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUb)」の「表 14.3 割り込みのベクタテーブル」を参照してください。また、ソフトウェア起動については、「14. 割り込みコントローラ (ICUb)」の「14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)」を参照してください。

DTC が一度、起動要求を受け付けると、その 1 要求分の転送が終わるまでは、優先順位に関わりなく新たな起動要求を受け付けません。DMAC/DTC 転送中に複数の起動要因が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が“0”の状態では複数の起動要求が発生した場合、その後、DTCST.DTCST ビットを“1”にした時点で最も優先順位の高い要求が受け付けられます。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) を行うごとに、DTC は以下の動作を行います。

- 指定した総転送数の最終終了時は、データ転送後に DTCERn.DTCE ビットを“0”にして CPU に割り込みを要求します。
- MRB.DISEL ビットが“1”のときは、データ転送後に CPU に割り込みを要求します。
- 上記のいずれでもない場合は、データ転送開始時に起動要因となった割り込みステータスフラグを“0”にします。

18.3.1 転送情報の配置と DTC ベクタテーブル

DTC は起動要因別にベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報を読みます。

ベクタテーブルのベースアドレス (先頭アドレス) は下位 10 ビットが“0”になるように配置してください。DTC ベクタベースレジスタ (DTCVBR) に DTC ベクタテーブルのベースアドレスを設定してください。

転送情報は、RAM 領域に配置します。ベクタ番号 n の転送情報 (n) の先頭アドレスは、ベクタテーブルのベースアドレスに対し、+4n 番地としてください。

転送情報は、ショートアドレスモード (3 ロングワード)、フルアドレスモード (4 ロングワード) のいずれかで配置できます。DTCADM.SHORT ビットで、ショートアドレスモード (SHORT ビット = 1)、フルアドレスモード (SHORT ビット = 0) の設定を行います。

DTC ベクタテーブルと転送情報の対応を図 18.2 に示します。

RAM 領域上の転送情報の配置を図 18.3 に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は、「18.10.2 転送情報の配置」を参照してください。

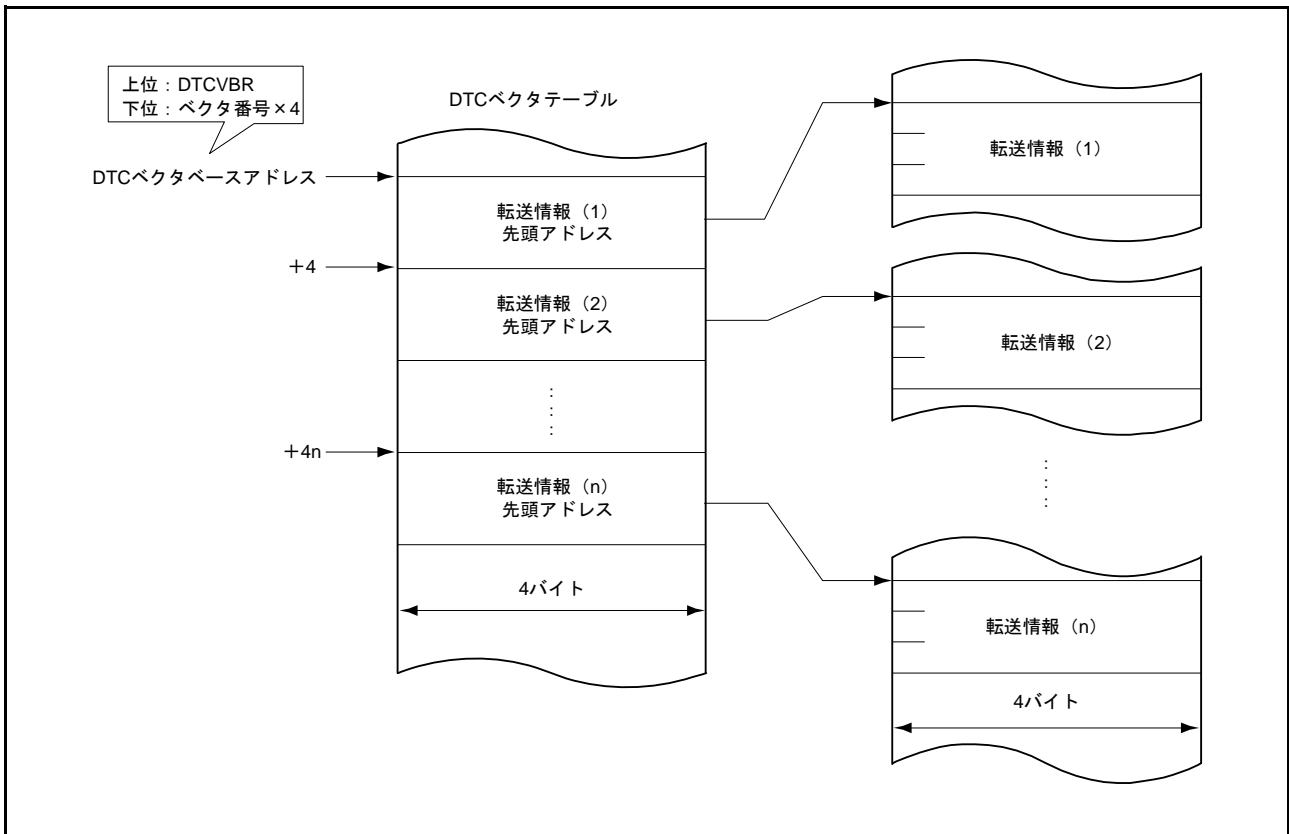


図 18.2 DTC ベクタテーブルと転送情報の対応

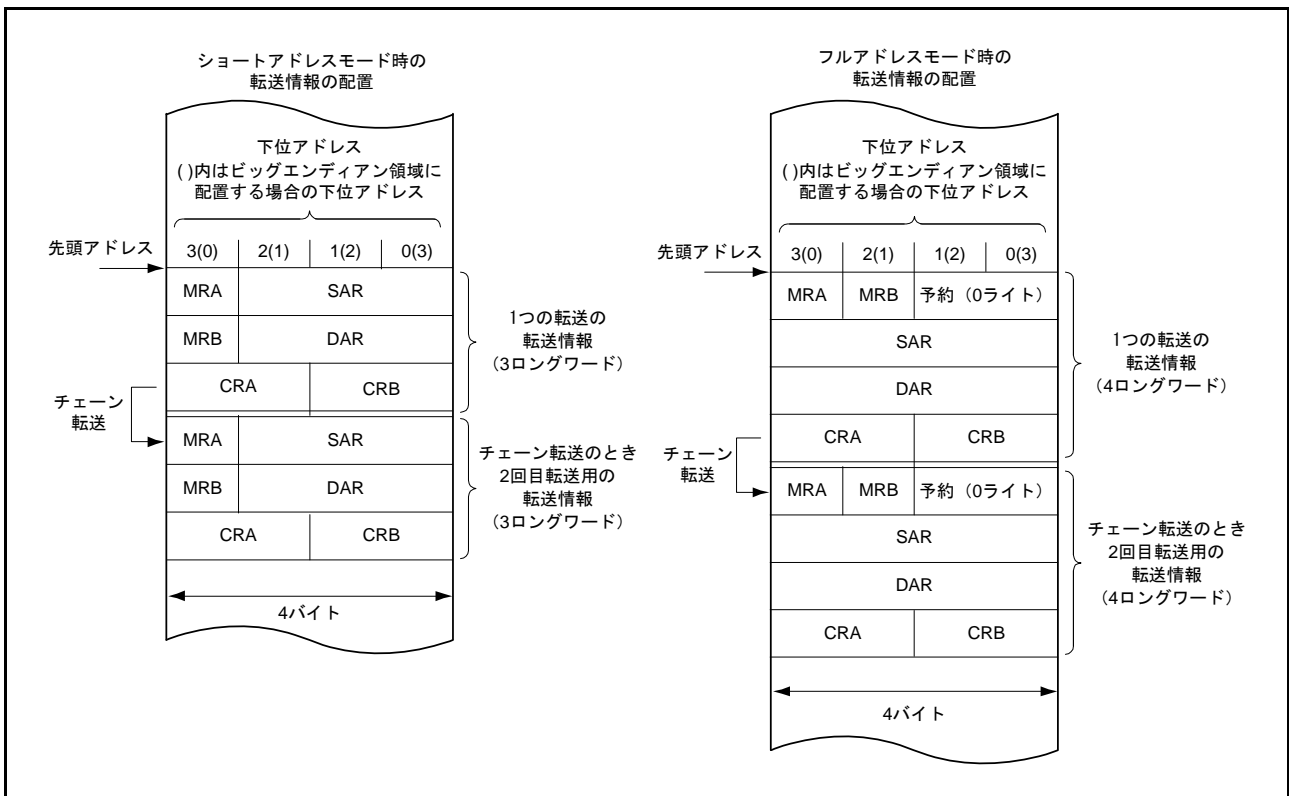


図 18.3 RAM 領域上の転送情報の配置

18.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読みます。次に DTC ベクタが示す転送情報格納アドレスから転送情報を読んでデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、転送後個々にインクリメント、デクリメント、あるいはアドレス固定になります。

DTC の転送モードを表 18.2 に示します。

表 18.2 DTC の転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード (注1)	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～256回 (注3)
ブロック転送モード (注2)	CRAH レジスタで指定したブロックサイズ (1～256バイト/1～256ワード/1～256ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

注1. 転送元または転送先のいずれかをリピート領域に設定

注2. 転送元または転送先のいずれかをブロック領域に設定

注3. 指定回数の転送終了後は、初期状態を回復し動作を継続 (リピート) する。

また、MRB.CHNE ビットを“1”にしておくことにより、1つの起動要因で複数の転送を行うことができます (チェーン転送)。MRB.CHNS ビットの設定で、指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

DTC 動作フローチャートを図 18.4 に示します。チェーン転送の条件を表 18.3 に示します。

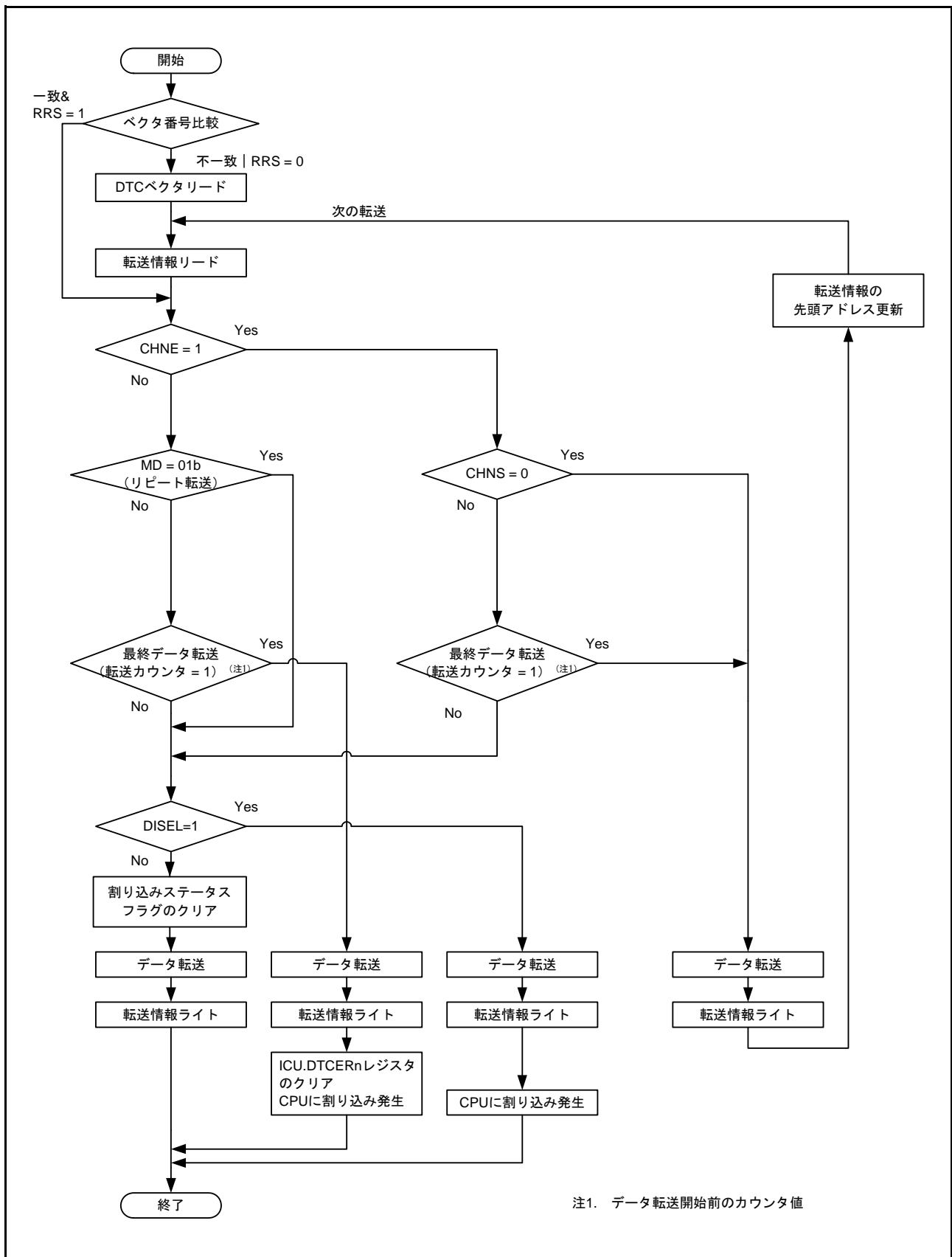


図 18.4 DTC 動作フローチャート

表 18.3 チェーン転送の条件

第1の転送				第2の転送 (注3)				DTC 転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	
0	—	0	(1→0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1→0)	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	0	(1→*) 以外	—	—	—	—	第1転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	1	(1→*) 以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

注1. 転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。

ノーマル転送モード：CRAレジスタ、リピータ転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ

注2. 転送終了時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは(1→0)、リピータ転送モードでは(1→CRAH)となります。表中の(1→*)はこの両方を指しています。

注3. 第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが“1”の組み合わせを省略しています。

18.4.1 転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、ベクタアドレスのリードと転送情報のリードをスキップすることができます。

DTC 起動要求時、今回起動の DTC ベクタ番号と前回起動の DTC ベクタ番号は比較されます。比較結果が一致し、DTCCR.RRS ビットが“1”のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を行います。前回の起動がチェーン転送のときは、ベクタアドレスのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、DTCCR.RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図 18.13 に示します。

DTC ベクタテーブルと転送情報を更新する場合には、一度 DTCCR.RRS ビットを“0”にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを設定してください。DTCCR.RRS ビットを“0”にすることによって保持されていたベクタ番号は破棄されます。次の起動時は、更新された DTC ベクタテーブルおよび転送情報がリードされます。

18.4.2 転送情報ライトバックスキップ機能

MRA.SM[1:0] ビット、またはMRB.DM[1:0] ビットをアドレス固定に設定すると、転送情報の一部はライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを表 18.4 に示します。

なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。また、フルアドレスモードでは、MRA レジスタ、MRB レジスタはライトバックスキップされます。

表 18.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SARレジスタ	DARレジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

18.4.3 ノーマル転送モード

1つの起動要因で、1バイト、1ワードまたは1ロングワードの転送を行います。転送回数は1～65536です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表18.5に、ノーマル転送モードのメモリマップを図18.5に示します。

表18.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新されない

注1. アドレス固定のときはライトバックはスキップされます。

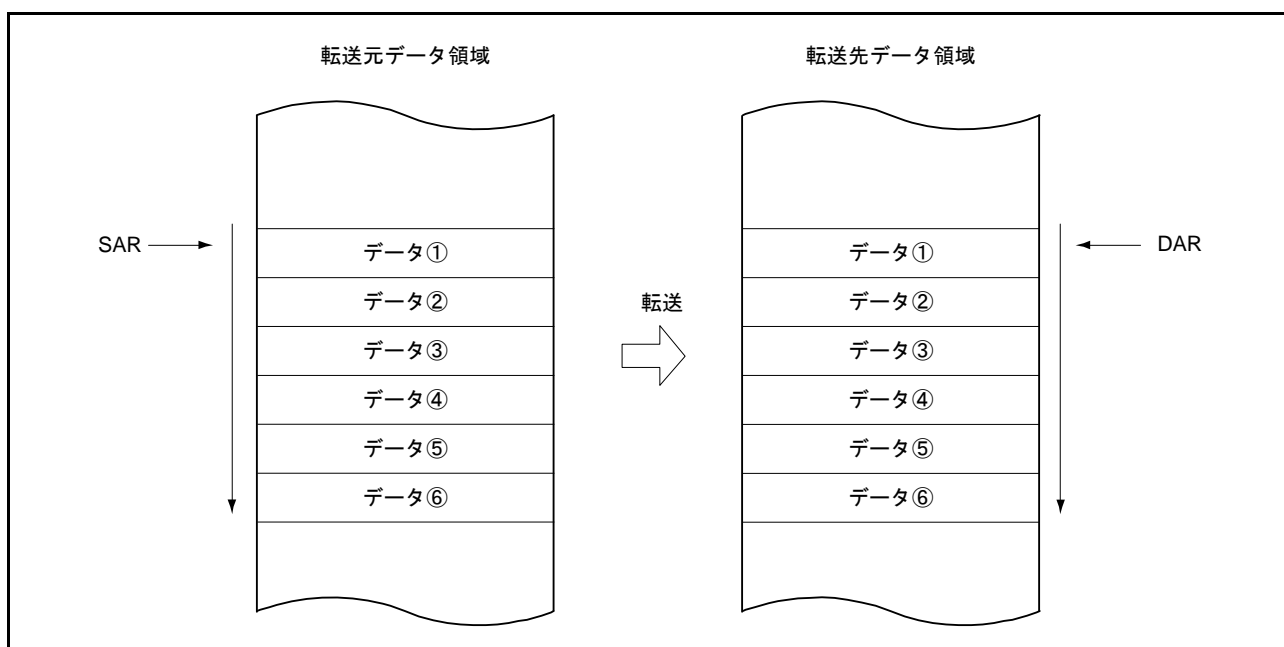


図18.5 ノーマル転送モードのメモリマップ

18.4.4 リピート転送モード

1つの起動要因で、1バイト、1ワードまたは1ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は1～256まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが“00h”になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは“00h”にならないので、MRB.DISEL ビットが“0”（指定されたデータ転送終了時、CPU への割り込みが発生）のときに CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 18.6 に、リピート転送モードのメモリマップを図 18.6 に示します。

表 18.6 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値	
		CRALが1以外するとき	CRALが1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=0のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTSビット=1のとき) SARレジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=0のとき) DARレジスタの初期値 (MRB.DTSビット=1のとき) インクリメント/デクリメント/固定 (注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新されない	更新されない

注1. アドレス固定のときは、ライトバックはスキップされます。

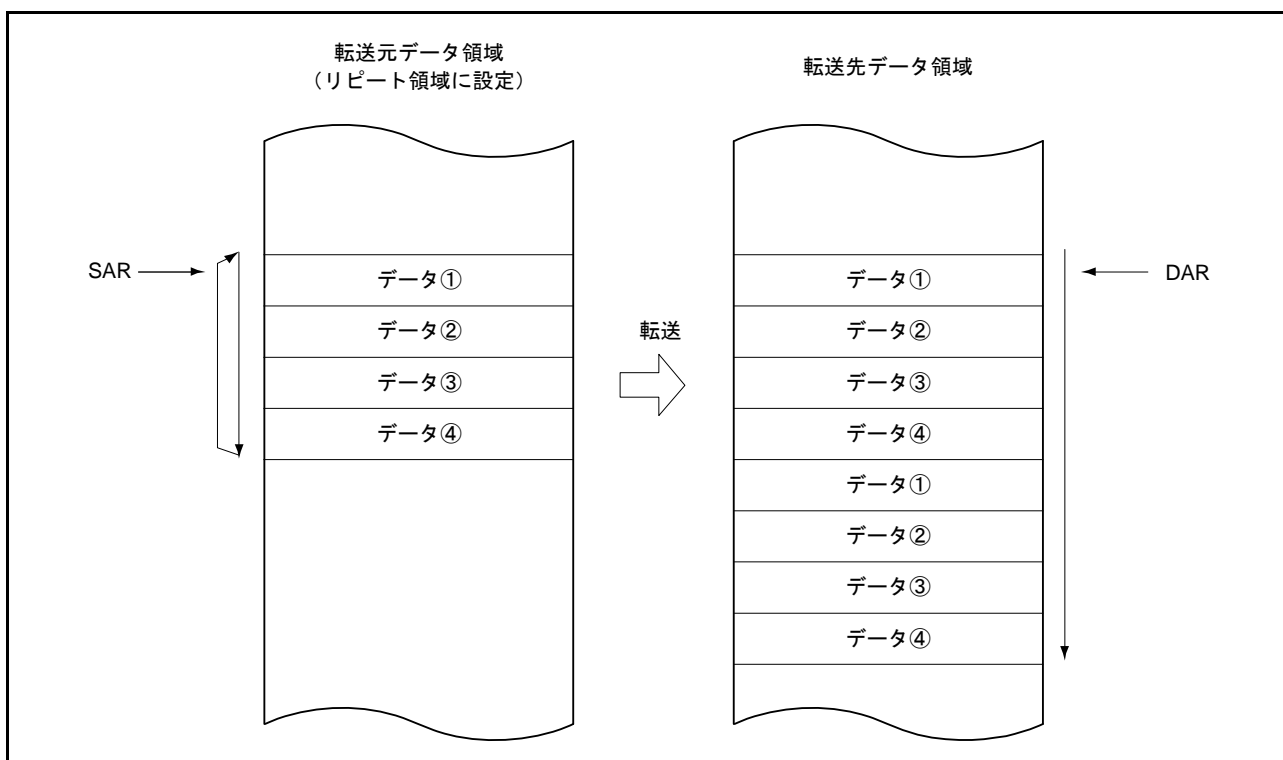


図 18.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合)

18.4.5 ブロック転送モード

1つの起動要因で、1ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは1～256バイト、1～256ワードまたは1～256ロングワードの指定が可能です。

指定された1ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが“1”のとき SAR レジスタ、DTS ビットが“0”のとき DAR レジスタ) の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数 (ブロック回数) は、1～65536まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表 18.7 に、ブロック転送モードのメモリマップを図 18.7 に示します。

表 18.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値
SAR	転送元アドレス	(MRB.DTS ビット=0のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTS ビット=1のとき) SAR レジスタの初期値
DAR	転送先アドレス	(MRB.DTS ビット=0のとき) DAR レジスタの初期値 (MRB.DTS ビット=1のとき) インクリメント/デクリメント/固定 (注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注1. アドレス固定のときは、ライトバックはスキップされます。

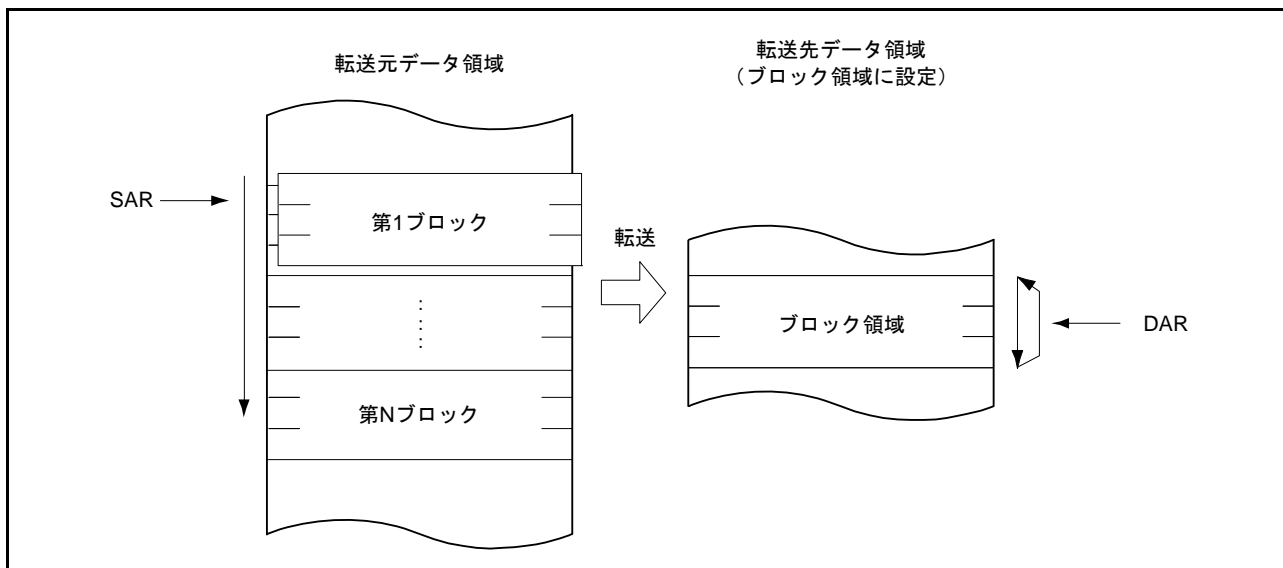


図 18.7 ブロック転送モードのメモリマップ (転送先をブロック領域に指定した場合)

18.4.6 チェーン転送

MRB.CHNE ビットを“1”にするとチェーン転送ができます。チェーン転送は、1つの起動要因で複数のデータ転送を行います。

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“0”にした場合、指定した転送回数の終了によるCPUへの割り込み要求や、MRB.DISEL ビット=1 (DTC データ転送のたびに、CPU に割り込み要求を発生) によるCPUへの割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグに影響を与えません。

データ転送を定義するSAR、DAR、CRA、CRB、およびMRA、MRBレジスタはそれぞれ個別に設定できます。図18.8にチェーン転送の動作を示します。

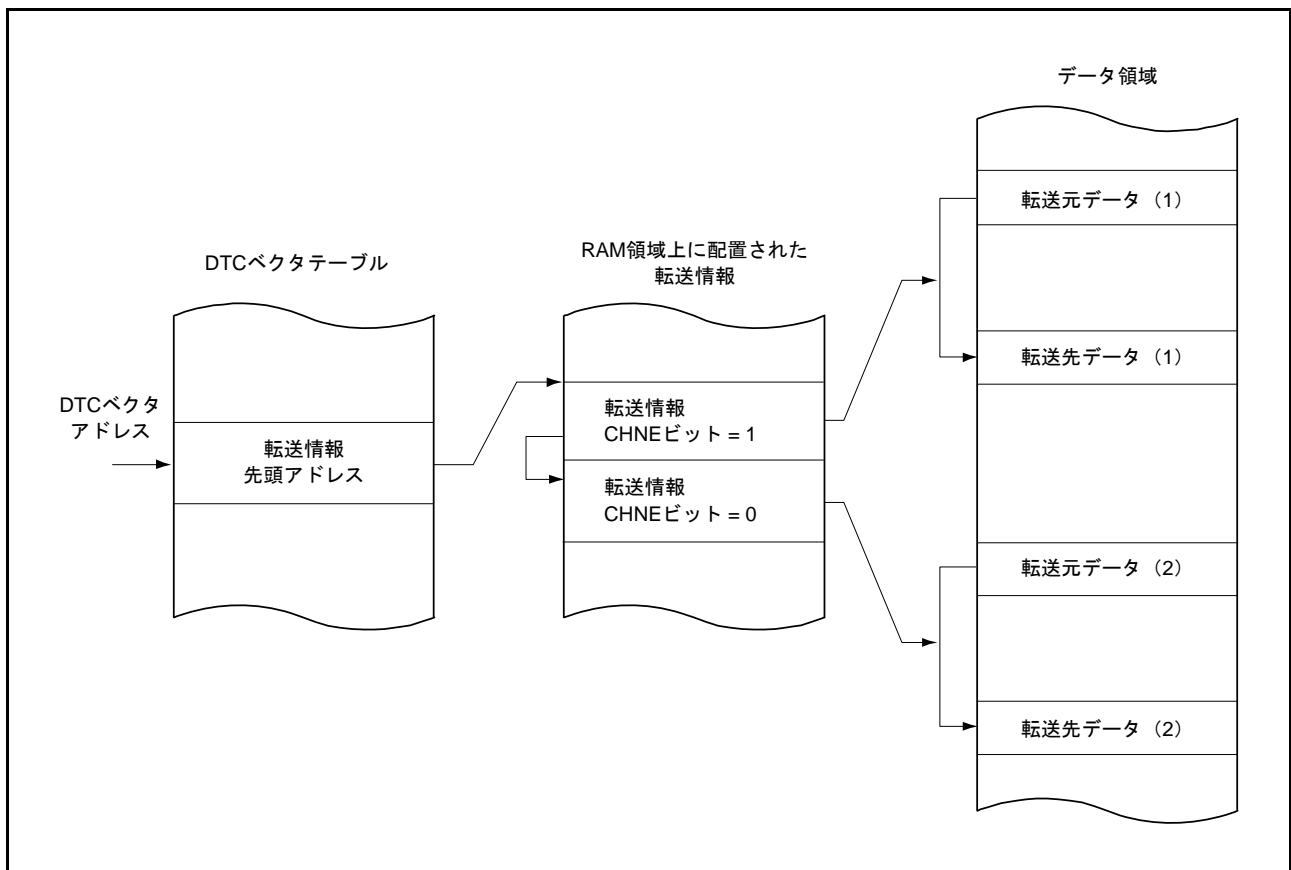


図 18.8 チェーン転送の動作

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“1”にした場合、指定されたデータ転送終了時のみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送終了時にチェーン転送を行います。

チェーン転送の条件の詳細については、表 18.3 のチェーン転送の条件を参照してください。

18.4.7 動作タイミング

DTC の動作タイミングの例を図 18.9 ~ 図 18.13 に示します。

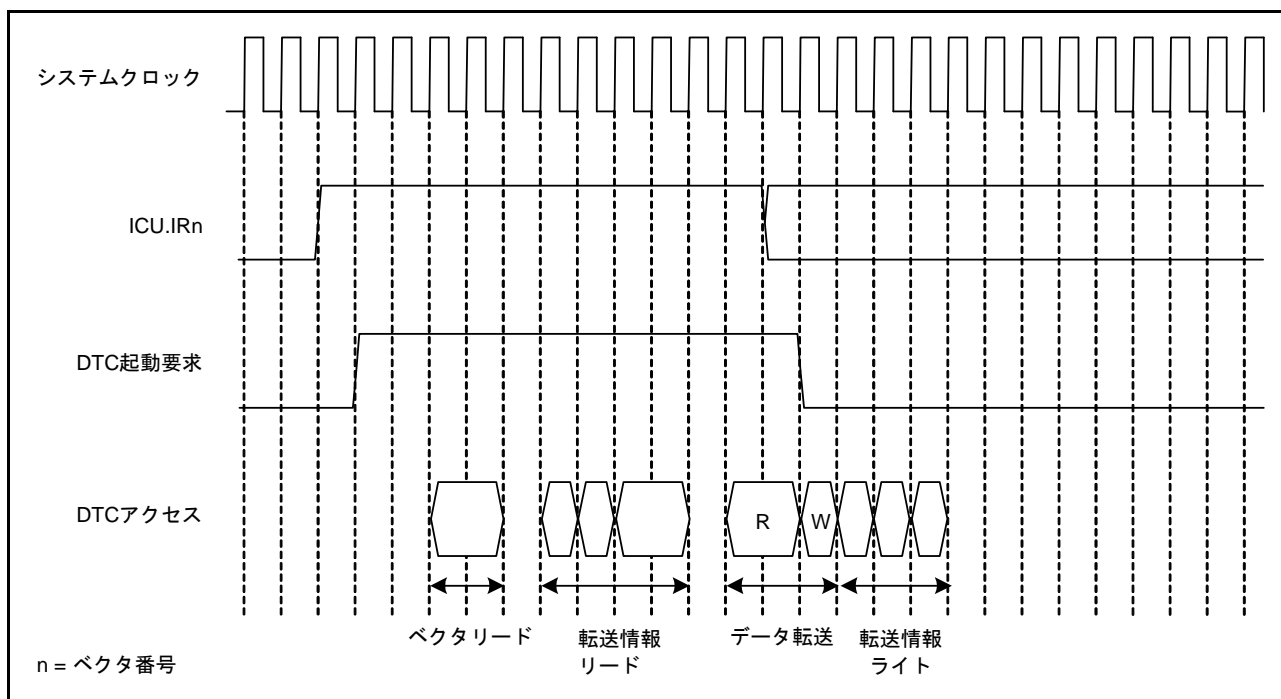


図 18.9 DTC 動作タイミング例 (1)
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

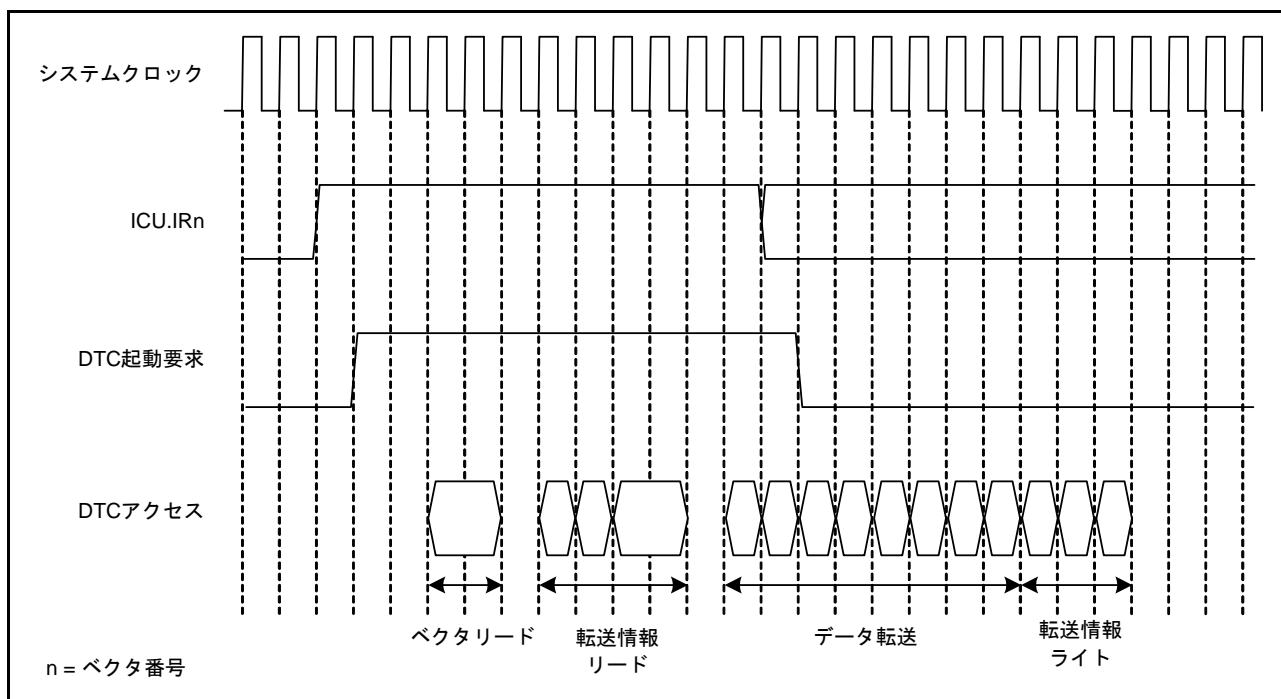


図 18.10 DTC 動作タイミング例 (2)
(ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合)

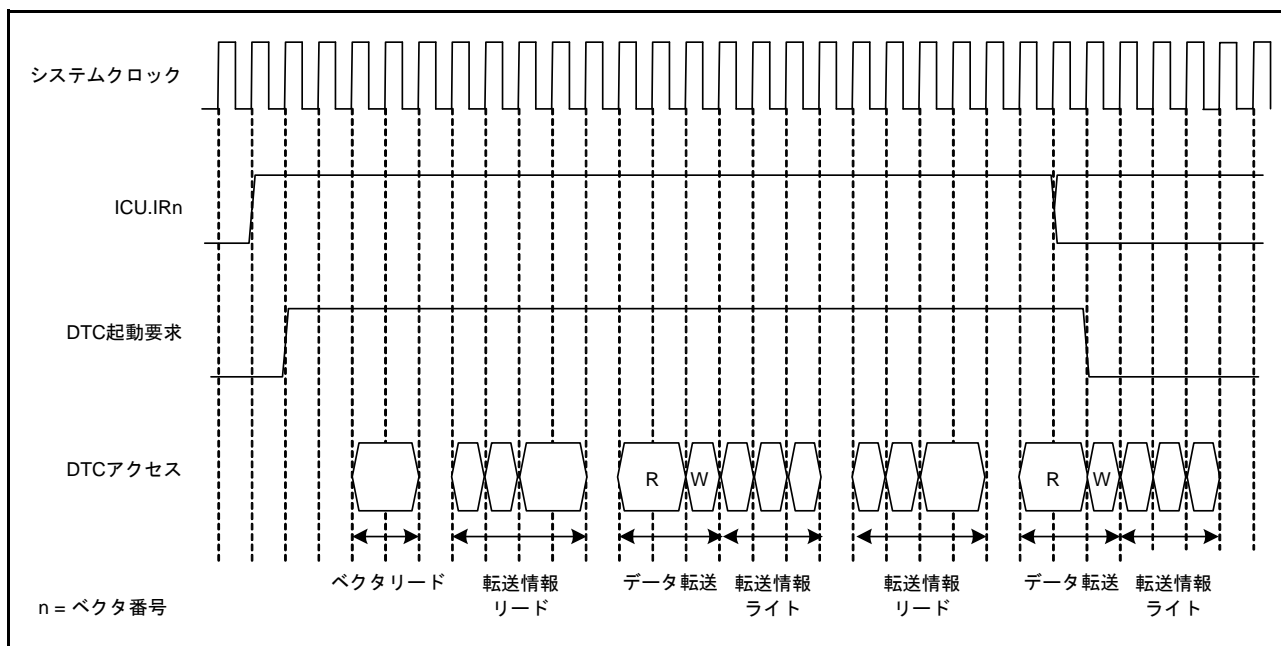


図 18.11 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合)

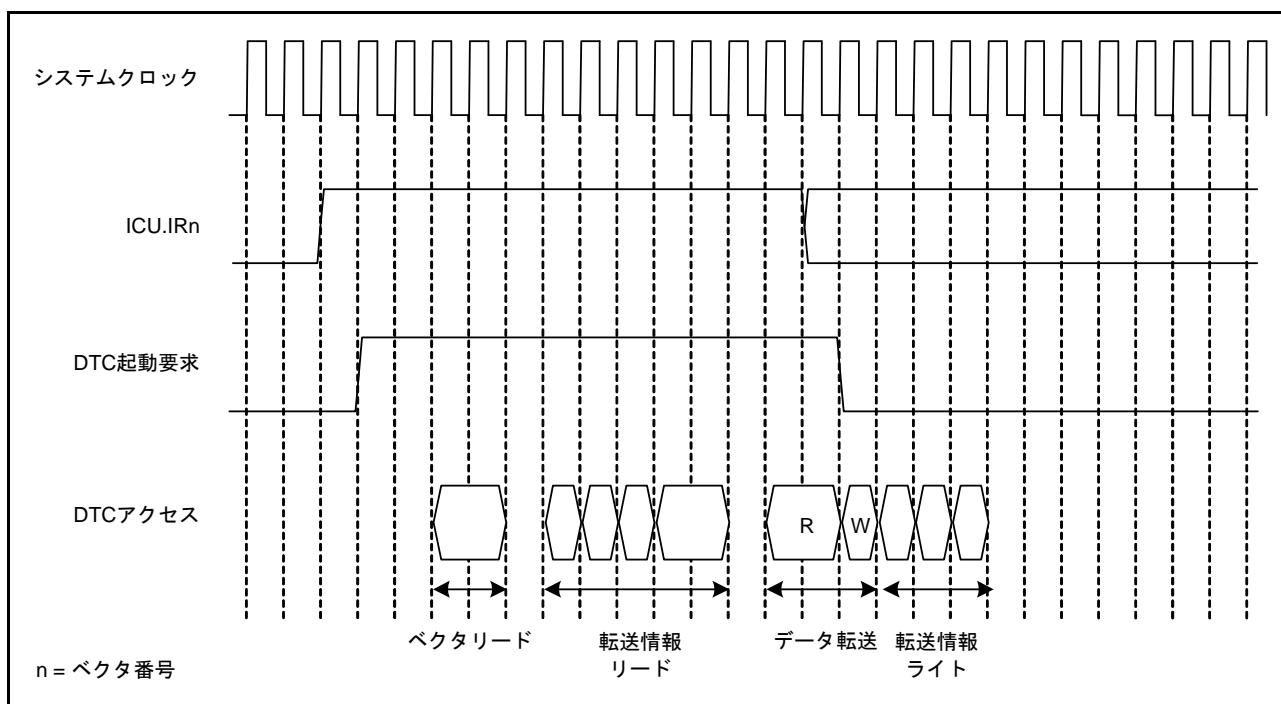


図 18.12 DTC 動作タイミング例 (4)
(フルアドレスモード、ノーマル転送モード、リピート転送モードの場合)

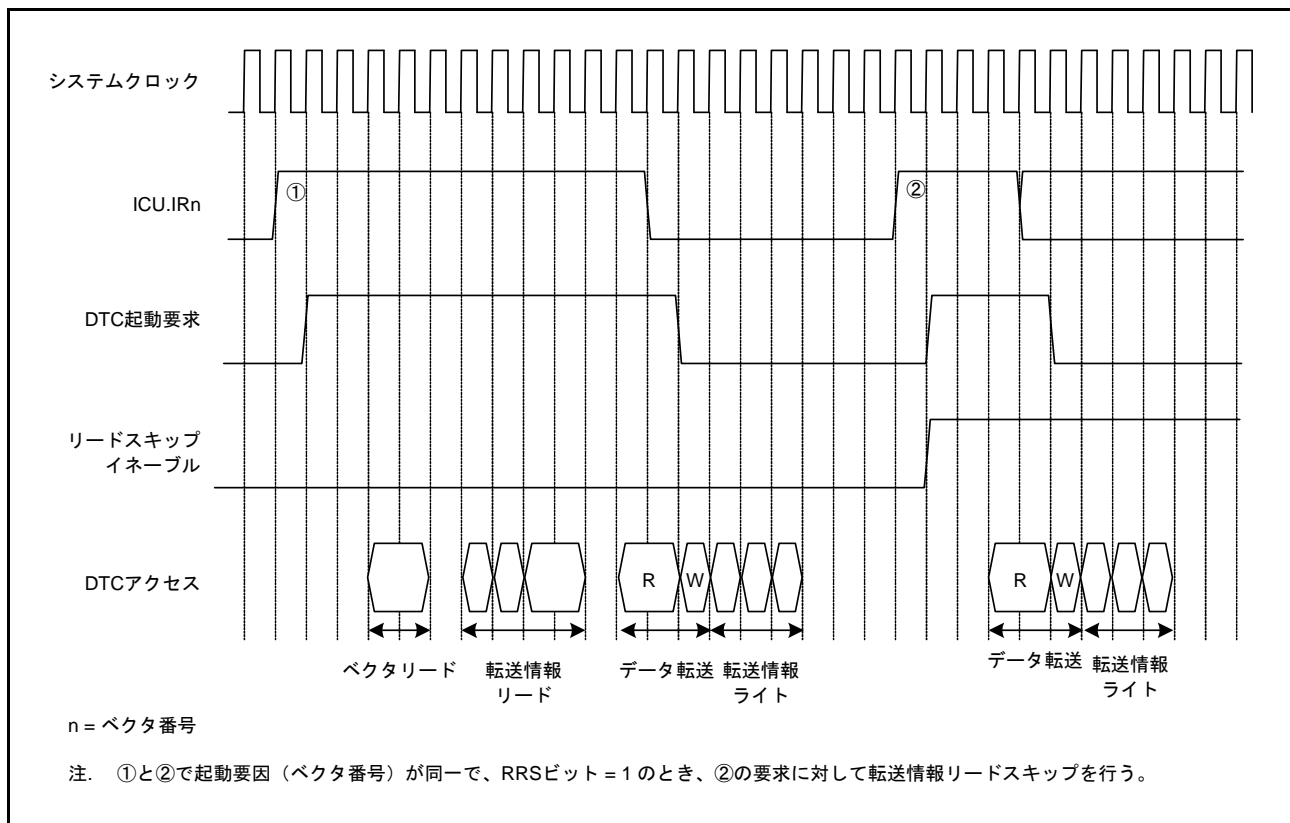


図 18.13 転送情報リードスキップ時の動作例
 (ベクタ、転送情報、転送先が RAM、転送元は周辺モジュールの場合)

18.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 18.8 に示します。

各処理状態の実施順序は、「18.4.7 動作タイミング」を参照してください。

表 18.8 DTC の実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データ転送		内部動作	
									リード	ライト		
ノーマル	Cv+1	0 (注1)	4xCi+1 (注2)	3xCi+1 (注3)	0 (注1)	3xCi (注4)	2xCi (注5)	Ci (注6)	Cr+1	Cw	2	0 (注1)
リピート								Cr+1	Cw			
ブロック (注7)								PxCr	PxCw			

注1. 転送情報リードスキップのとき

注2. フルアドレスモード動作のとき

注3. ショートアドレスモード動作のとき

注4. SARレジスタ、DARレジスタがともにアドレス固定でないとき

注5. SARレジスタ、またはDARレジスタがアドレス固定のとき

注6. SARレジスタとDARレジスタがともにアドレス固定のとき

注7. ブロックサイズが2以上の場合です。ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

P : ブロックサイズ (CRAH、CRAL レジスタの設定値)

Cv : ベクタ転送情報格納先アクセスサイクル

Ci : 転送情報格納先アドレスアクセスサイクル

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

(ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック (ICLK) です。)

(Cv、Ci、Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「39. RAM」、「40. フラッシュメモリ」、「5. I/O レジスタ」、「15.2.6 外部バス」を参照してください。)

18.4.9 DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。

バス調停については、「15. バス」を参照してください。

18.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。

図 18.14 に DTC の起動に必要な設定手順を示します。

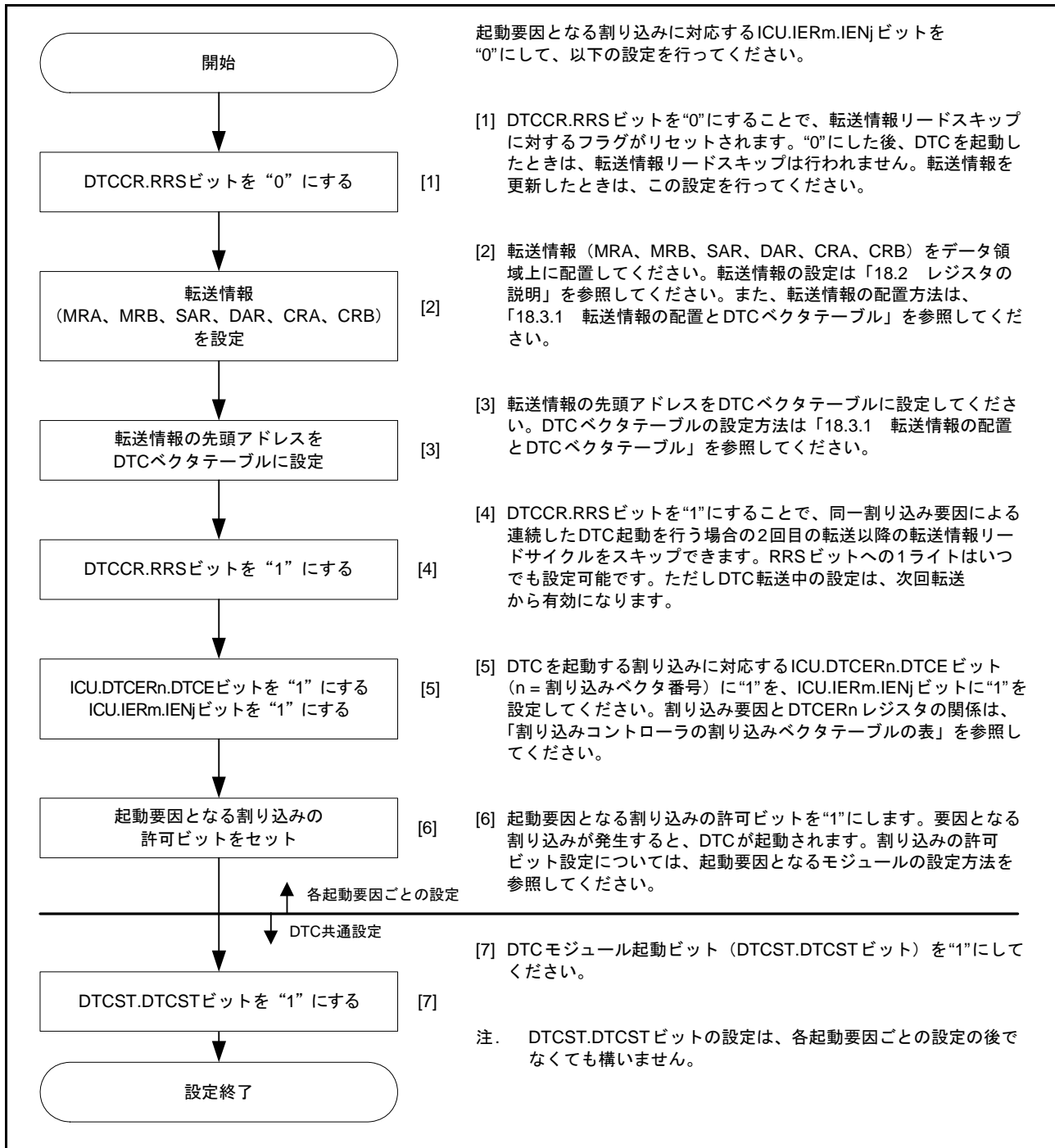


図 18.14 DTC の設定手順

18.6 DTC 使用例

18.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] ビット = 00b)、ノーマル転送モード (MRA.MD[1:0] ビット = 00b)、バイトサイズ (MRA.SZ[1:0] ビット = 00b) を設定します。MRB レジスタは、転送先アドレスインクリメント (MRB.DM[1:0] ビット = 10b)、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = 0、MRB.DISEL ビット = 0) を設定します。MRB.DTS ビットは、任意の値とすることができます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタは、任意の値とすることができます。

(2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動

対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERi.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定

SCI の SCR.RIE ビットを “1” にして、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送

SCI の 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動されます。DTC によって、受信データが SCI の RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理

128 回のデータ転送終了後、CRA レジスタが “0” になると、CPU に RXI 割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

18.6.2 チェーン転送

DTC のチェーン転送の例として、PPG によるパルス出力を行う例を示します。

(本文中で使用している i、j、m、n は、ユニット番号、チャンネル番号またはビット番号を示します)

チェーン転送を使ってパルス出力データの転送と、PPG 出力トリガの周期の変更を行うことができます。チェーン転送の前半で PPGm.NDRH、PPGm.NDRL レジスタへのリピータ転送モード、後半で MTUn.TGR レジスタへのノーマル転送モードを設定します。起動要因のクリアや指定した回数の転送終了時の割り込み発生は、チェーン転送の後半 (MRB.CHNE ビット = 0 のときの転送) に限られるためです。

以下に MTUn.TRGA レジスタのコンペアマッチ割り込みを DTC の起動要因として使用する例を示します。

(1) 第1転送の転送情報の設定

PPGm.NDRH、PPGm.NDRL レジスタへの転送の設定を行います。MRA レジスタに、転送元アドレスインクリメント (MRA.SM[1:0] ビット = 10b)、リピート転送モード (MRA.MD[1:0] ビット = 01b)、ワードサイズ (MRA.SZ[1:0] ビット = 01b) を設定します。MRB レジスタは、転送先アドレス固定 (MRB.DM[1:0] ビット = 00b)、チェーン転送 (MRB.CHNE ビット = 1、MRB.CHNS ビット = 0) に設定します。転送元をリピート領域 (MRB.DTS ビット = 1) に設定します。SAR レジスタにはデータテーブルの先頭アドレス、DAR レジスタには PPGm.NDRH レジスタのアドレス、CRAH、CRAL レジスタにはデータテーブルサイズを設定します。CRB レジスタは任意の値とすることができます。

(2) 第2転送の転送情報の設定

MTUn.TGRA レジスタへの転送の設定を行います。MRA レジスタに、転送元アドレスインクリメント (MRA.SM[1:0] ビット = 10b)、ノーマル転送モード (MRA.MD[1:0] ビット = 00b)、ワードサイズ (MRA.SZ[1:0] ビット = 01b) を設定します。MRB レジスタは、転送先アドレス固定 (MRB.DM[1:0] ビット = 00b)、1回の割り込みで1回のデータ転送 (MRB.CHNE ビット = 0、MRB.DISEL ビット = 0) を行います。MRB.DTS ビットは、任意の値とすることができます。SAR レジスタにはデータテーブルの先頭アドレス、DAR レジスタには MTUn.TGRA レジスタのアドレス、CRA レジスタにはデータテーブルサイズを設定します。CRB レジスタは任意の値とすることができます。

(3) 転送情報の配置方法

PPGm.NDRH、PPGm.NDRL レジスタへデータ転送を行うための情報の後に、連続して MTU ヘデータ転送を行うための転送情報を配置します。

(4) DTC ベクタテーブルの設定

PPGm.NDRH、PPGm.NDRL レジスタへデータ転送を行うための転送情報の先頭アドレスを DTC ベクタテーブルに設定します。

(5) ICU の設定と DTC モジュール起動

TGIA 割り込みに対応する ICU.DTCERn.DTCE ビットを“1”に、ICU.IERi.IENj ビットを“1”にします。DTCST.DTCST ビットを“1”にします。

(6) MTU の設定

MTUn.TIOR レジスタで MTUn.TGRA レジスタをアウトプットコンペアレジスタ (出力禁止) に設定し、MTUn.TIER レジスタで TGIA_n 割り込み要求を許可します。

(7) PPG の設定

PPGm.PODRH、PPGm.PODRL レジスタに出力初期値を設定し、PPGm.NDRH、PPGm.NDRL レジスタに次の出力値を設定します。PORTm.PDR、PPGm.NDRH、PPGm.NDRL レジスタの出力を行うビットを“1”にします。また、PPGm.PCR レジスタで出力トリガとなる MTU のコンペアマッチ信号を選択します。

(8) MTU の起動

MTU.TSTR.CSTj ビットを“1”にし、MTUn.TCNT カウンタのカウント動作を開始します。

(9) DTC 転送

MTUn.TGRA レジスタのコンペアマッチが発生するたびに次の出力値が PPGm.NDRH、PPGm.NDRL レジスタへ、次の出力トリガ周期の設定値が MTUn.TGRA レジスタへそれぞれ転送されます。

(10) 割り込み処理

指定した回数の転送終了後 (MTU 転送用 CRA レジスタが“0”になると)、CPU に TGIA_n 割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

18.6.3 カウンタ = 0 のときのチェーン転送

第 1 のデータ転送の転送カウンタが“0”になったときのみ第 2 のデータ転送を行い、第 2 の転送において第 1 のデータ転送情報を変更します。このチェーン転送を繰り返すことで、転送回数が 256 回以上のリピート転送を行うことができます。

128K バイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレス“0000h”から始まるように設定するものとします。カウンタ = 0 のときのチェーン転送を図 18.15 に示します。

- (1) 第 1 のデータ転送として、入力データ用のノーマル転送モードを設定します。転送元アドレスは固定、CRA レジスタ = 0000h (65536 回)、MRB.CHNE ビット = 1 (チェーン転送許可)、MRB.CHNS ビット = 1 (転送カウンタ = 0 のときのみチェーン転送を行う)、MRB.DISEL ビット = 0 (指定されたデータ転送終了時、CPU への割り込みが発生) としてください。
- (2) 第 1 のデータ転送の転送先アドレスの 65536 回ごとの先頭アドレスの上位 8 ビットアドレスを別の領域 (ROM など) に用意してください。たとえば、入力バッファを“20 0000h”～“21 FFFFh”とするときには、“21h”、“20h”を用意します。
- (3) 第 2 のデータ転送として、第 1 のデータ転送の転送先アドレス再設定用のリピート転送モード (転送元をリピート領域) とします。転送先は第 1 の転送情報領域の DAR レジスタの上位 8 ビットとします。このとき MRB.CHNE ビット = 0 (チェーン転送禁止)、MRB.DISEL ビット = 0 (指定されたデータ転送終了時、CPU への割り込みが発生) としてください。上記入力バッファを“20 0000h”～“21 FFFFh”とする場合には、転送カウンタ = 2 としてください。
- (4) 割り込みによって第 1 のデータ転送を 65536 回実行します。第 1 のデータ転送の転送カウンタが“0”になると、第 2 のデータ転送が開始します。第 1 のデータ転送の転送元アドレス上位 8 ビットを“21h”にします。第 1 のデータ転送の転送先アドレス下位 16 ビットの転送カウンタは、“0000h”になっています。
- (5) 引き続き割り込みによって第 1 のデータ転送を、第 1 のデータ転送で指定した 65536 回実行します。第 1 のデータ転送の転送カウンタが“0”になると、第 2 のデータ転送が開始します。第 1 のデータ転送の転送元アドレス上位 8 ビットを“20h”にします。第 1 のデータ転送の転送先アドレス下位 16 ビットの転送カウンタは“0000h”になっています。
- (6) 上記 (4)、(5) を無限に繰り返します。第 2 のデータ転送がリピート転送モードのため、CPU には割り込みを要求しません。

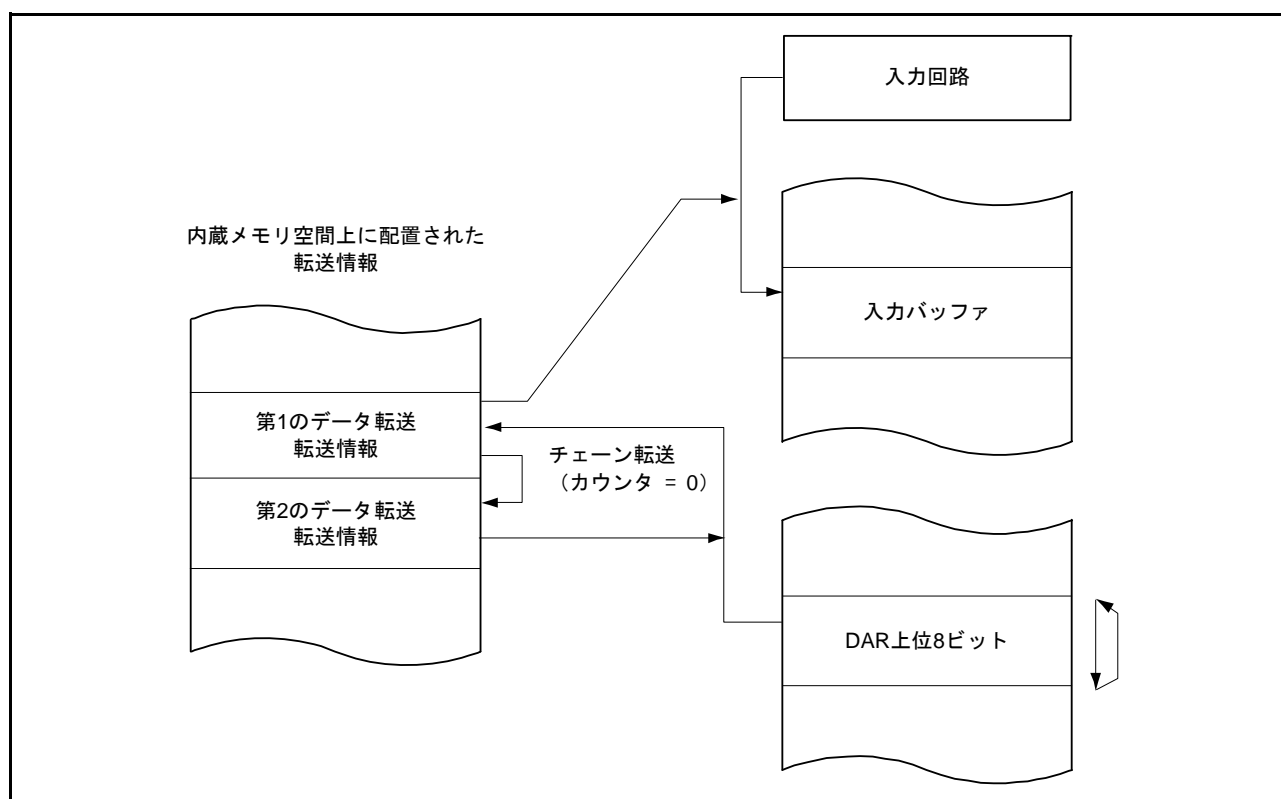


図 18.15 カウンタ = 0 のときのチェーン転送

18.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが“1” (DTC データ転送のたびに、CPU への割り込みが発生) のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは、CPU の PSW.I ビット (割り込み許可ビット)、PSW.IPL[3:0] ビット (プロセッサ割り込み優先レベル)、および割り込みコントローラの優先順位の制御を受けます。

18.8 イベントリンク

DTC は 1 要求分の転送完了後にイベントリンク要求を出力します。ただし、転送先が「外部バス」、もしくは、「内部周辺バス」の場合、ライトバッファへの書き込みが完了した時点で、イベントリンク要求を発行します。

18.9 消費電力低減機能

モジュールストップ状態、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットに“0” (DTC モジュール停止) を書いた後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1” (モジュールストップ状態への遷移) を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1” を書いたときに DTC が転送動作中の場合、DTC 転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1” のとき、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0” (モジュールストップ状態の解除) を書くことにより、DTC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

「11. 消費電力低減機能」の「11.6.2.1 全モジュールクロックストップモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DTC が転送動作中の場合は、DTC 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに“0” を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」、もしくは「11.6.4.1 ディープソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DTC が転送動作中の場合、DTC 転送終了後にソフトウェアスタンバイモード、もしくはディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「11. 消費電力低減機能」の「11.7.6 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DTC 転送を行うには、再度 DTCST.DTCST ビットに“1” を書いてください。

全モジュールクロックストップモード期間、ソフトウェアスタンバイモード期間に発生した要求を DTC 起動でなく CPU 割り込みとする場合は、「14. 割り込みコントローラ (ICUb)」の「14.4.3 割り込み要求先の選択」の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

18.10 使用上の注意事項

18.10.1 転送情報先頭アドレス

ベクタテーブルに指定する転送情報の先頭アドレスは、4n 番地を指定してください。4n 番地以外を指定すると、アドレスの最下位2ビットは“00b”としてアクセスします。

18.10.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、図 18.16 に示すとおり配置してください。

たとえば、CRA、CRB 設定データを 16 ビットで書く場合、ビッグエンディアンの場合は下位アドレス 0 に CRA 設定データ、下位アドレス 2 に CRB 設定データを書いてください。リトルエンディアンの場合は下位アドレス 0 に CRB 設定データ、下位アドレス 2 に CRA 設定データを書いてください。32 ビットで書く場合は、エンディアンにかかわらず 32 ビットの MSB 側に CRA 設定データ、LSB 側に CRB 設定データを配置して下位アドレス 0 に書いてください。

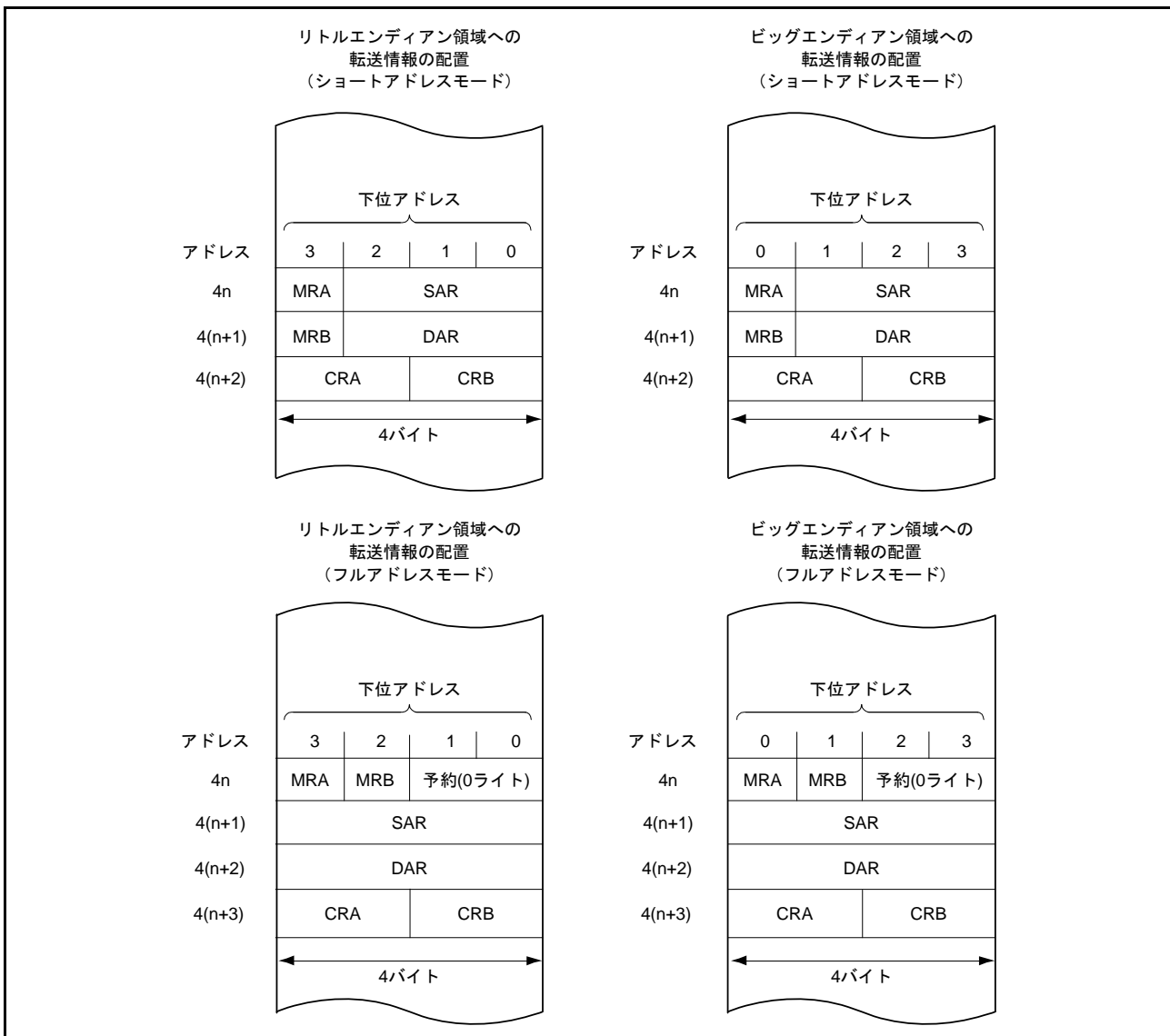


図 18.16 転送情報の配置

18.10.3 割り込みコントローラの DTC 起動許可レジスタ (ICU.DTCERn) の設定

ICU.DTCERn レジスタで“1” (DTC 転送許可) にした割り込みベクタ番号と同じベクタ番号を DMAC 起動要求選択レジスタ (ICU.DMRSRn (n = DMAC チャンネル番号)) に設定して DMAC を起動しないでください。ICU.DTCERn レジスタ、ICU.DMRSRn レジスタの詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

19. イベントリンクコントローラ (ELC)

19.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号とし、モジュール間を相互に接続 (リンク) することにより、CPU を介さず直接モジュール間で連携動作ができます。イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

表 19.1 に ELC の仕様を示します。図 19.1 に ELC のブロック図を示します。

表 19.1 ELCの仕様

項目	内容
イベントリンク機能	<ul style="list-style-type: none"> 56種類のイベント信号を、直接モジュールへリンク可能 タイマ系のモジュールは、イベント入力時の動作の選択が可能 ポートB、ポートEのイベントリンク動作が可能 シングルポート (注1)：指定した1ビットのポートにイベントリンクの動作設定が可能 ポートグループ (注1)：8本あるI/Oポート内で、指定した複数ビットをグループ化してイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. 入力に指定されている、シングルポート、ポートグループでは、接続している信号値の変化により、イベントを発生します。

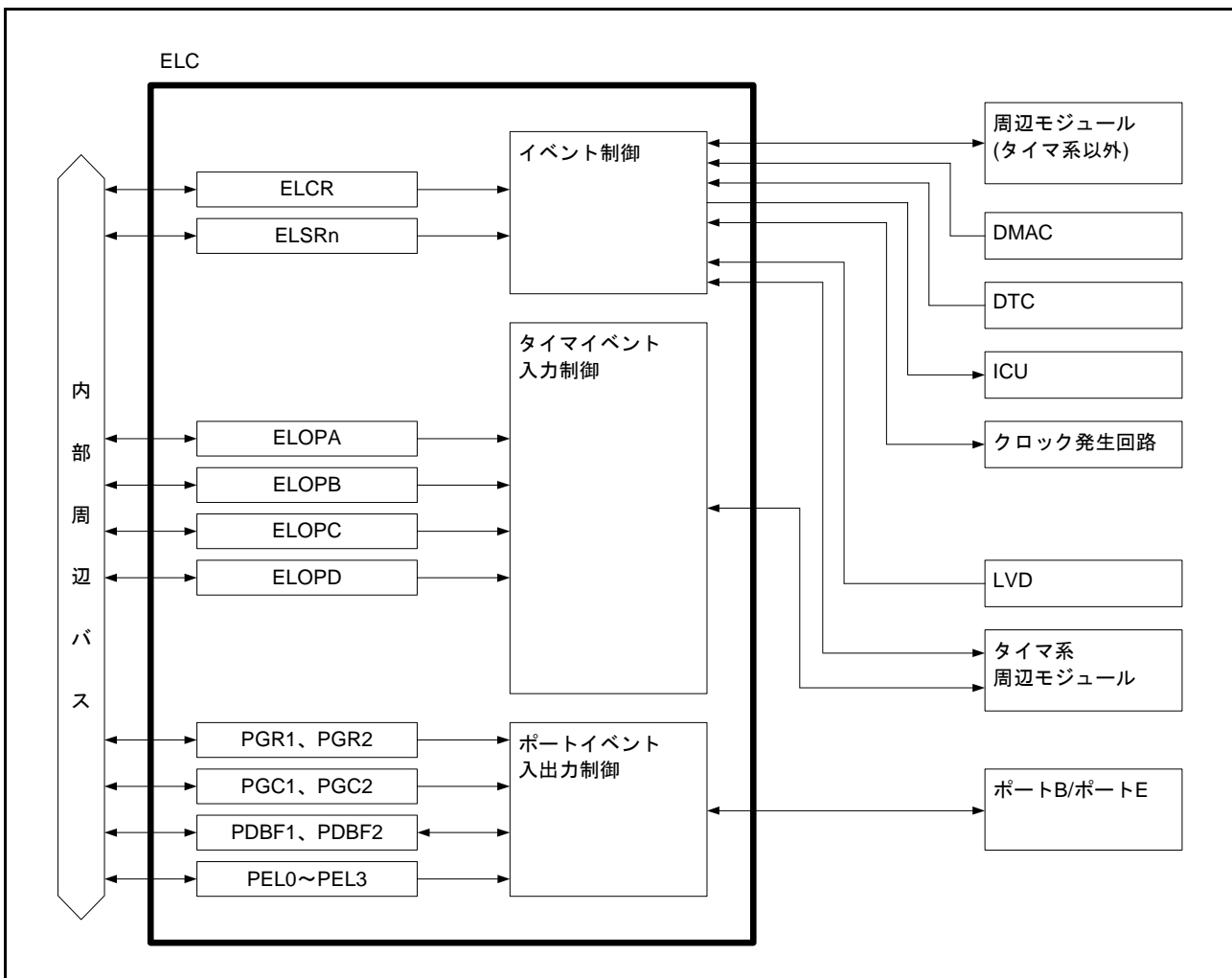


図 19.1 ELC のブロック図 (n = 1 ~ 4、7、10、12、15、16、18 ~ 29)

19.2 レジスタの説明

19.2.1 イベントリンクコントロールレジスタ (ELCR)

アドレス 0008 B100h

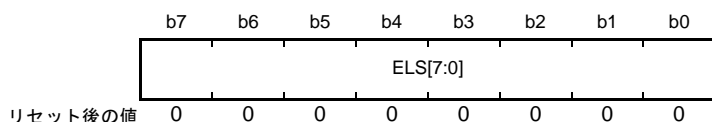
	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	ELCON	全イベントリンク許可ビット	0 : ELC機能は無効 1 : ELC機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

19.2.2 イベントリンク設定レジスタ n (ELSRn) (n = 1 ~ 4、7、10、12、15、16、18 ~ 29)

アドレス ELSR1 0008 B102h, ELSR2 0008 B103h, ELSR3 0008 B104h, ELSR4 0008 B105h,
ELSR7 0008 B108h, ELSR10 0008 B10Bh, ELSR12 0008 B10Dh, ELSR15 0008 B110h,
ELSR16 0008 B111h, ELSR18 0008 B113h, ELSR19 0008 B114h, ELSR20 0008 B115h,
ELSR21 0008 B116h, ELSR22 0008 B117h, ELSR23 0008 B118h, ELSR24 0008 B119h,
ELSR25 0008 B11Ah, ELSR26 0008 B11Bh, ELSR27 0008 B11Ch, ELSR28 0008 B11Dh,
ELSR29 0008 B11Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	ELS[7:0]	イベントリンク選択ビット	b7 b0 00000000 : 該当する周辺モジュールへのイベントの出力は無効 00001000 ~ 01101001 : リンクするイベント信号の番号を指定 上記以外は設定しないでください	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を表 19.2 に示します。また、ELSRn レジスタに設定するイベント信号の名称と信号番号の対応を表 19.3 に示します。

表 19.2 ELSRn レジスタと周辺機能の対応

レジスタ名	周辺機能 (モジュール)
ELSR1	MTU1
ELSR2	MTU2
ELSR3	MTU3
ELSR4	MTU4
ELSR7	CMT1
ELSR10	TMR0
ELSR12	TMR2
ELSR15	12ビットA/Dコンバータ
ELSR16	DA0
ELSR18	割り込み1 (注1)
ELSR19	割り込み2 (注1)
ELSR20	出力ポートグループ1
ELSR21	出力ポートグループ2
ELSR22	入力ポートグループ1
ELSR23	入力ポートグループ2
ELSR24	シングルポート0 (注2)
ELSR25	シングルポート1 (注2)
ELSR26	シングルポート2 (注2)
ELSR27	シングルポート3 (注2)
ELSR28	クロックソースをLOCOへ切り替え
ELSR29	POE

注1. イベント信号は01100011b (63h) ~ 01101001b (69h) の中から指定してください。それ以外の値は、設定しないでください。

注2. ELSR24、ELSR25、ELSR26、ELSR27レジスタにDOC・データ演算条件成立信号 (01101010b (6Ah)) は、設定しないでください。

表 19.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (1/2)

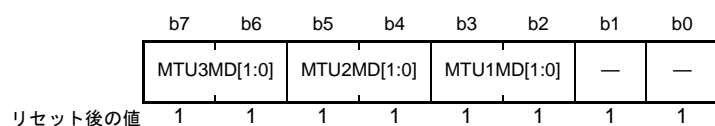
ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
08h	マルチファンクションタイマパルスユニット2	MTU1・コンペアマッチ1A
09h		MTU1・コンペアマッチ1B
0Ah		MTU1・オーバフロー
0Bh		MTU1・アンダフロー
0Ch		MTU2・コンペアマッチ2A
0Dh		MTU2・コンペアマッチ2B
0Eh		MTU2・オーバフロー
0Fh		MTU2・アンダフロー
10h		MTU3・コンペアマッチ3A
11h		MTU3・コンペアマッチ3B
12h		MTU3・コンペアマッチ3C
13h		MTU3・コンペアマッチ3D
14h		MTU3・オーバフロー
15h		MTU4・コンペアマッチ4A
16h		MTU4・コンペアマッチ4B
17h		MTU4・コンペアマッチ4C
18h		MTU4・コンペアマッチ4D
19h		MTU4・オーバフロー
1Ah		MTU4・アンダフロー
1Fh	コンペアマッチタイマ	CMT1・コンペアマッチ1
22h	8ビットタイマ	TMR0・コンペアマッチA0
23h		TMR0・コンペアマッチB0
24h		TMR0・オーバフロー
28h		TMR2・コンペアマッチA2
29h		TMR2・コンペアマッチB2
2Ah		TMR2・オーバフロー
31h	独立ウォッチドッグタイマ	IWDT・アンダフロー・リフレッシュエラー
3Ah	シリアルコミュニケーションインタフェース	SCI5・エラー (受信エラー・エラーシグナル検出)
3Bh		SCI5・受信データフル
3Ch		SCI5・送信データエンプティ
3Dh		SCI5・送信完了
4Eh	I ² Cバスインタフェース	RIIC0・通信エラー、イベント発生
4Fh		RIIC0・受信データフル
50h		RIIC0・送信データエンプティ
51h		RIIC0・送信終了
52h	シリアルペリフェラルインタフェース	RSPI0・エラー (モードフォルト・オーバラン・パリティエラー)
53h		RSPI0・アイドル
54h		RSPI0・受信データフル
55h		RSPI0・送信データエンプティ
56h		RSPI0・送信完了
58h	12ビットA/Dコンバータ	12ビットA/Dコンバータ・A/D変換終了
5Bh	電圧検出回路	LVD1・電圧検出
5Ch		LVD2・電圧検出

表 19.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (2/2)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
5Dh	DMAコントローラ	DMAC0・転送終了
5Eh		DMAC1・転送終了
5Fh		DMAC2・転送終了
60h		DMAC3・転送終了
61h	データトランスファコントローラ	DTC・転送終了
62h	クロック発生回路	クロック発生回路・発振停止検出
63h	I/Oポート	入力ポートグループ1・入力エッジ検出
64h		入力ポートグループ2・入力エッジ検出
65h		シングル入力ポート0・入力エッジ検出
66h		シングル入力ポート1・入力エッジ検出
67h		シングル入力ポート2・入力エッジ検出
68h		シングル入力ポート3・入力エッジ検出
69h	イベントリンクコントローラ	ソフトウェアイベント
上記以外は設定しないでください		

19.2.3 イベントリンクオプション設定レジスタ A (ELOPA)

アドレス 0008 B11Fh



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	MTU1MD[1:0]	MTU1動作選択ビット	b3 b2 0 0: カウントスタート 0 1: カウントリスタート 1 0: インพุットキャプチャ (注1) 1 1: イベント無効	R/W
b5-b4	MTU2MD[1:0]	MTU2動作選択ビット	b5 b4 0 0: カウントスタート 0 1: カウントリスタート 1 0: インพุットキャプチャ (注2) 1 1: イベント無効	R/W
b7-b6	MTU3MD[1:0]	MTU3動作選択ビット	b7 b6 0 0: カウントスタート 0 1: カウントリスタート 1 0: インพุットキャプチャ (注3) 1 1: イベント無効	R/W

注1. MTU1.TCNT レジスタの値がMTU1.TGRA レジスタにキャプチャされます。

注2. MTU2.TCNT レジスタの値がMTU2.TGRA レジスタにキャプチャされます。

注3. MTU3.TCNT レジスタの値がMTU3.TGRA レジスタにキャプチャされます。

ELOPA レジスタは、MTU の MTU1 ~ MTU3 のイベント入力時の動作を設定するレジスタです。ELC 機能を未使用時は、イベント無効に設定してください。

19.2.4 イベントリンクオプション設定レジスタ B (ELOPB)

アドレス 0008 B120h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	MTU4MD[1:0]	

リセット後の値 1 1 1 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU4MD[1:0]	MTU4動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウンtrisスタート 1 0 : インプットキャプチャ (注1) 1 1 : イベント無効	R/W
b7-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU4.TCNTレジスタの値がMTU4.TGRAレジスタにキャプチャされます。

ELOPB レジスタは、MTU の MTU4 のイベント入力時の動作を設定するレジスタです。ELC 機能を未使用時は、イベント無効に設定してください。

19.2.5 イベントリンクオプション設定レジスタ C (ELOPC)

アドレス 0008 B121h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	CMT1MD[1:0]		—	—

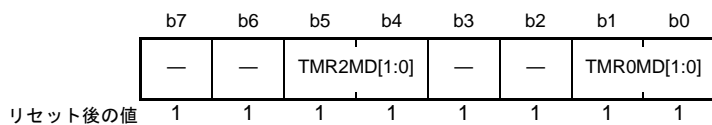
リセット後の値 1 1 1 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	CMT1MD[1:0]	CMT1動作選択ビット	b3 b2 0 0 : カウントスタート 0 1 : カウンtrisスタート 1 0 : イベントカウンタ 1 1 : イベント無効	R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPC レジスタは、CMT の CMT1 のイベント入力時の動作を設定するレジスタです。ELC 機能を未使用時は、イベント無効に設定してください。

19.2.6 イベントリンクオプション設定レジスタ D (ELOPD)

アドレス 0008 B122h

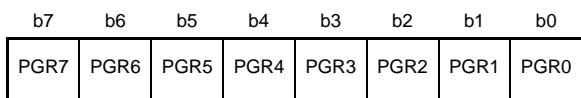


ビット	シンボル	ビット名	機能	R/W
b1-b0	TMR0MD[1:0]	TMR0動作選択ビット	b1 b0 0 0: カウントスタート 0 1: カウンtrisスタート 1 0: イベントカウンタ 1 1: イベント無効	R/W
b3-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5-b4	TMR2MD[1:0]	TMR2動作選択ビット	b5 b4 0 0: カウントスタート 0 1: カウンtrisスタート 1 0: イベントカウンタ 1 1: イベント無効	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPD レジスタは、TMR の TMR0、TMR2 のイベント入力時の動作を設定するレジスタです。
ELC 機能を未使用時は、イベント無効に設定してください。

19.2.7 ポートグループ指定レジスタ n (PGRn) (n = 1, 2)

アドレス PGR1 0008 B123h, PGR2 0008 B124h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PGR0	ポートグループ指定0ビット	0 : ポートグループ指定しない 1 : ポートグループ指定する	R/W
b1	PGR1	ポートグループ指定1ビット		R/W
b2	PGR2	ポートグループ指定2ビット		R/W
b3	PGR3	ポートグループ指定3ビット		R/W
b4	PGR4	ポートグループ指定4ビット		R/W
b5	PGR5	ポートグループ指定5ビット		R/W
b6	PGR6	ポートグループ指定6ビット		R/W
b7	PGR7	ポートグループ指定7ビット		R/W

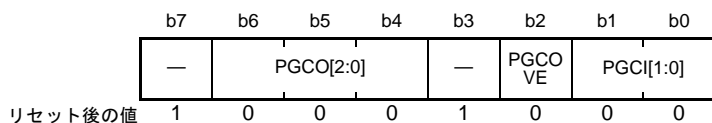
PGRn レジスタは、入出力ポートのグループ設定をするレジスタです。8本ある I/O ポート内の個々のポート (1 ビット) に対してグループ指定を行います。1 ~ 8 ビットの任意のポートを同一グループに指定できます。表 19.4 に PGRn レジスタとポートの対応を示します。

表 19.4 ポートグループ関連レジスタとポート番号の対応

ポート番号	ポートグループ指定レジスタ (PGR)	ポートグループコントロールレジスタ (PGC)	ポートバッファレジスタ (PDBF)
ポートB	PGR1 レジスタ	PGC1 レジスタ	PDBF1 レジスタ
ポートE	PGR2 レジスタ	PGC2 レジスタ	PDBF2 レジスタ

19.2.8 ポートグループコントロールレジスタ n (PGCn) (n = 1, 2)

アドレス PGC1 0008 B125h, PGC2 0008 B126h



ビット	シンボル	ビット名	機能	R/W
b1-b0	PGCI[1:0]	イベント出力エッジ 選択ビット	b1 b0 0 0 : 外部入力信号の立ち上がりエッジを検出して、イベント発生 0 1 : 外部入力信号の立ち下がりエッジを検出して、イベント発生 1 x : 外部入力信号の立ち上がり/立ち下がりの両エッジを検出して、 イベント発生	R/W
b2	PGCOVE	PDBF 上書き指定 ビット	0 : PDBFn レジスタへの上書き無効 1 : PDBFn レジスタへの上書き有効	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6-b4	PGCO[2:0]	ポートグループ動作 セレクトビット	b6 b4 0 0 0 : イベント入力時、0 を出力 0 0 1 : イベント入力時、1 を出力 0 1 0 : イベント入力時、トグル (反転) 出力 0 1 1 : イベント入力時、バッファ値を出力 1 x x : イベント入力時、グループ内でビットローテート出力 (MSB→LSBへローテート)	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x : Don't care

PGCn レジスタは、出力に設定されたポートグループに対して、イベント信号入力時のポートから外部へ出力する信号の出力形式を指定します。また、入力ポートグループに対して、PDBF レジスタへの上書き有効/無効の指定およびイベント発生する条件 (外部からの入力する信号の変化) を設定します。

PGRn レジスタとポートの対応については、表 19.4 を参照してください。

19.2.9 ポートバッファレジスタ n (PDBFn) (n = 1, 2)

アドレス PDBF1 0008 B127h, PDBF2 0008 B128h

b7	b6	b5	b4	b3	b2	b1	b0
PDBF7	PDBF6	PDBF5	PDBF4	PDBF3	PDBF2	PDBF1	PDBF0

リセット後の値 0 0 0 0 0 0 0 0

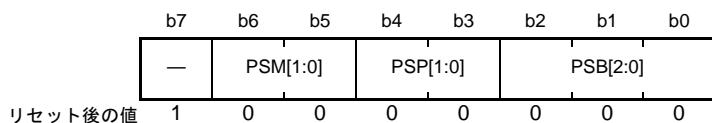
ビット	シンボル	ビット名	機能	R/W
b0	PDBF0	ポートバッファ 0 ビット	PODRとPDBFの間で、イベント入力により、データが転送されま す。入力ポートグループに指定したビットへの書き込みは無効と なります。 詳細は、「19.3 動作説明」を参照してください	R/W
b1	PDBF1	ポートバッファ 1 ビット		R/W
b2	PDBF2	ポートバッファ 2 ビット		R/W
b3	PDBF3	ポートバッファ 3 ビット		R/W
b4	PDBF4	ポートバッファ 4 ビット		R/W
b5	PDBF5	ポートバッファ 5 ビット		R/W
b6	PDBF6	ポートバッファ 6 ビット		R/W
b7	PDBF7	ポートバッファ 7 ビット		R/W

PDBFn レジスタは、PGRn レジスタと対になる 8 ビットのレジスタです。PDBFn レジスタの動作については、「19.3.5 I/O ポートのイベント入力動作とイベント発生動作」を参照してください。

PGRn レジスタとポートの対応については、表 19.4 を参照してください。

19.2.10 イベント接続ポート指定レジスタ n (PELn) (n = 0 ~ 3)

アドレス PEL0 0008 B129h, PEL1 0008 B12Ah, PEL2 0008 B12Bh, PEL3 0008 B12Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	PSB[2:0]	ビット番号指定ビット	8本あるI/Oポートのビット番号を指定	R/W
b4-b3	PSP[1:0]	ポート番号指定ビット	b4 b3 0 0 : 設定無効 0 1 : ポートB (PGR1レジスタに対応) 1 0 : ポートE (PGR2レジスタに対応) 1 1 : 設定しないでください	R/W
b6-b5	PSM[1:0]	イベントリンク指定ビット	<ul style="list-style-type: none"> ● ポート出力設定時：ポート出力データを指定 b6 b5 0 0 : イベント入力時、0を出力 0 1 : イベント入力時、1を出力 1 x : イベント入力時、トグル (反転) 出力 <ul style="list-style-type: none"> ● ポート入力設定時：イベント出力エッジ選択 b6 b5 0 0 : 立ち上がりエッジを検出して、イベント出力 0 1 : 立ち下がりエッジを検出して、イベント出力 1 x : 立ち上がり/立ち下がり両エッジを検出して、イベント出力	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x : Don't care

PELn レジスタは、イベントをリンクするシングルポートの指定とイベント入力時の動作および、イベント発生条件を設定するレジスタです。本MCUでは、ポートB、Eの内、いずれかのビットに対して、全4つのシングルポートを設定できます。

19.2.11 イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)

アドレス 0008 B12Dh

b7	b6	b5	b4	b3	b2	b1	b0
WI	WE	—	—	—	—	—	SEG

リセット後の値 1 0 1 1 1 1 1 0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生ビット	0 : 通常動作 1 : ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	WE	SEGビット書き込み許可ビット	0 : SEGビットへの書き込み禁止 1 : SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止ビット	0 : ELSEGRレジスタへの書き込み許可 1 : ELSEGRレジスタへの書き込み禁止	W

本レジスタへの書き込みはMOV命令を使用してください。

SEGビット (ソフトウェアイベント発生ビット)

WEビットが“1”の状態、本ビットに“1”を書き込むとソフトウェアイベントが発生します。本ビットは読むと“0”が読み出されます。“1”を書き込んでもデータは格納されません。

WEビット (SEGビット書き込み許可ビット)

WEビットが“1”のときのみ、SEGビットに対する書き込みが可能になります。

[“1”になる条件]

- WIビットに“0”、WEビットに“1”を書き込んだとき

[“0”になる条件]

- WIビットに“0”、WEビットに“0”を書き込んだとき

WIビット (ELSEGRレジスタ書き込み禁止ビット)

WIビットの書き込み値が“0”のときのみ、ELSEGRレジスタに対する書き込みが可能になります。読むと“1”が読み出されます。

19.3 動作説明

19.3.1 割り込み処理とイベントリンクの関係

本MCUに内蔵しているモジュールには、割り込み要求ステータスフラグと、これらの割り込みの許可/禁止を制御する許可ビットがあります。各モジュールで割り込み要求が発生すると、割り込み要求ステータスフラグがセットされ、当該割り込み要求が許可のとき、CPUに対して割り込みを要求します。

これに対して、ELCは、各周辺モジュールで発生する割り込み要求をイベント信号とし、モジュール間を相互に接続(リンク)することにより、CPUを介さず直接モジュール間で連携動作ができます。イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。図19.2に割り込み処理とELCの関係を示します。

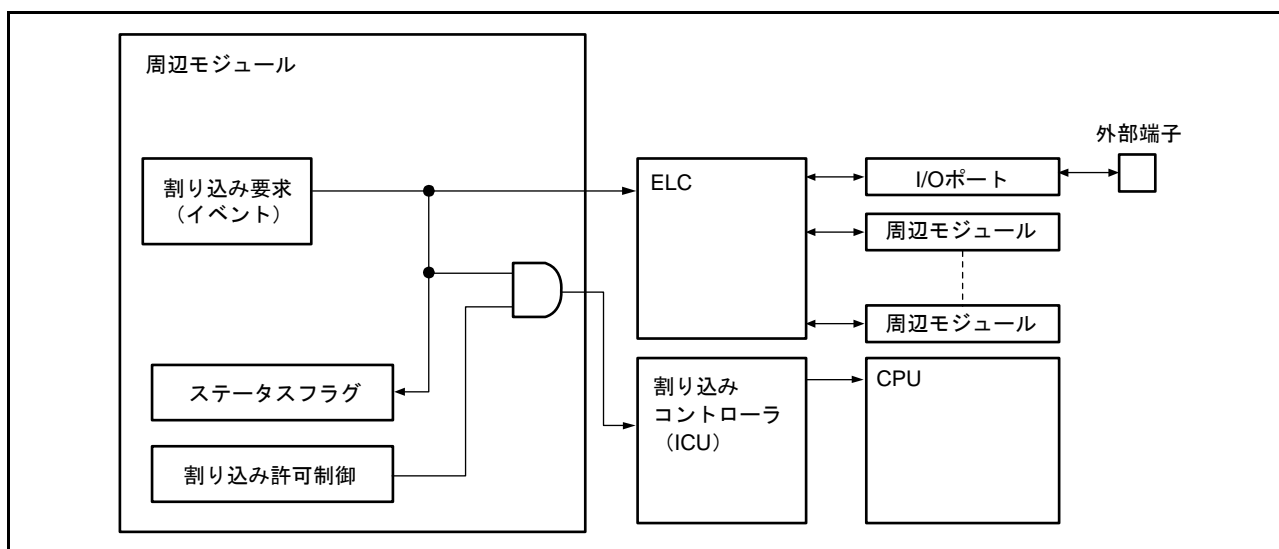


図 19.2 割り込み処理と ELC の関係

19.3.2 イベントのリンク

ELSRn レジスタにイベントを設定することにより、設定したイベントが発生した場合、対応するモジュールが起動します。1つのモジュールに、1種類のイベントのみリンクできます。起動するモジュールの初期設定が完了してから ELC でモジュールを起動してください。表 19.5 にイベントを入力したときのモジュール別動作一覧を示します。

表 19.5 イベント入力時のモジュール別動作一覧

モジュール	イベント入力時の動作		
MTU CMT TMR	ELOPA～ELOPDレジスタの設定により以下の動作となります <ul style="list-style-type: none"> ● イベント信号入力により、カウントスタート ● イベント信号入力により、カウントリスタート ● 入力したイベント数をカウント (CMT、TMR) ● イベント信号入力により、キャプチャ動作 (MTU) 		
POE	イベント信号入力により、MTU相補PWM出力端子およびMTU0の出力端子がハイインピーダンス状態		
A/Dコンバータ	イベント信号入力により、A/D変換開始		
D/Aコンバータ	イベント信号入力により、D/A変換開始		
I/Oポート (出力)	イベント信号入力により、PODRレジスタ (ポート出力データレジスタ) の値が変化 (外部端子の出力値が変化する)	ポートグループ	<ul style="list-style-type: none"> ● PODRレジスタの値が、指定された値に変化 ● PDBFnレジスタの値をPODRレジスタに転送 ● ローテート出力
		シングルポート	PODRレジスタの値が指定された値に変化
I/Oポート (入力)	入力端子の信号値が変化	ポートグループ	イベント発生
		シングルポート	
	イベント入力時	ポートグループ	外部端子の信号値をPDBFnレジスタに転送
		シングルポート	イベントの接続はできません
クロック発生回路	イベント信号入力により、クロックソースを低速オンチップオシレータへ切り替え (注1)		
割り込み制御	イベント信号入力により、CPUへ割り込み要求、DMACデータ転送開始、DTCデータ転送開始		

注1. プロテクトレジスタ (PRCR.PRC0) の値にかかわらず、SCKCR3.CKSEL[2:0]ビットが“000b” (LOCO選択) に書き換わります。

19.3.3 タイマ系周辺機能のイベント入力時の動作

ELOPA ~ ELOPD レジスタによりイベント入力時の動作を設定します。

(1) カウントスタート動作

イベント入力により、タイマのカウントをスタートし、各タイマの制御レジスタのカウントスタートビット (注1) が“1”にセットされます。カウントスタートビットが“1”の状態を入力されたイベントは、無効です。

(2) カウントリスタート動作

イベント入力により、タイマのカウンタ (注1) を初期化します。各タイマの制御レジスタのカウントスタートビット (注1) は保持されるため、カウントスタートビットが“1”の状態イベント入力するとカウントリスタート動作します。

(3) イベントカウンタ動作

タイマのクロックソースとして、イベント入力を選択されタイマが動作します。

(4) インプットキャプチャ動作

イベント入力により、キャプチャ動作します。

注1. 各タイマ系周辺機能章にあるタイマスタートに関するレジスタの説明を参照してください。

19.3.4 A/D コンバータ、D/A コンバータのイベント入力時の動作

ADCSR.ADST ビット、DACR.DAOEO ビット (注1) が“1”にセットされ、A/D 変換またはD/A の変換がスタートします。

注1. A/D コンバータ、D/A コンバータ章のビット説明を参照してください。

19.3.5 I/O ポートのイベント入力動作とイベント発生動作

I/O ポートは、イベント入力による動作の設定とイベントを発生させる動作の設定ができます。

(1) シングルポートとポートグループ

I/O ポートへのイベントリンクは、8本ある I/O ポートへのイベントリンク (シングルポートへのイベントリンク) と、8本ある I/O ポート内の任意の複数ビットをまとめたグループへのイベントリンク (ポートグループへのイベントリンク) ができます。

シングルポートの設定は、PEL0 ~ PEL3 レジスタでイベント接続が可能な I/O ポート (注1) 内の任意のビットを指定します。ポートグループの設定は、PGCn レジスタにより、イベント接続が可能な I/O ポート (注1) の任意のビット (1ビット以上) を指定します。グループ指定は、同一 I/O ポート内で入力ポートグループと出力ポートグループ、それぞれ1つのグループが設定できます。

当該ビットがシングルポートとポートグループの両方の指定があるとき、入力ポートは、両方の機能が有効となり、出力ポートの場合は、ポートグループの機能のみが有効となります。

I/O ポートの入力、出力は、PDR レジスタにより設定してください。

注1. ポートB、ポートEです。

(2) シングル入力ポートでのイベント発生

入力に設定されているシングルポートは当該ポートに接続している外部端子 (外部ピン) の信号値の変化

により、イベントが発生します。イベント発生条件は、PEL0～PEL3レジスタにより設定します。図 19.3 にシングルポートのイベントリンク動作を示します。

(3) シングル出力ポートのイベント入力動作

出力に設定されているシングルポートにイベントが入力されると、PEL0～PEL3レジスタの設定により、当該ポートに接続している外部端子（外部ピン）の信号が変化します。これにより、当該ポートに接続している外部端子（外部ピン）の信号値が変化します。図 19.3 にシングルポートのイベントリンク動作を示します。

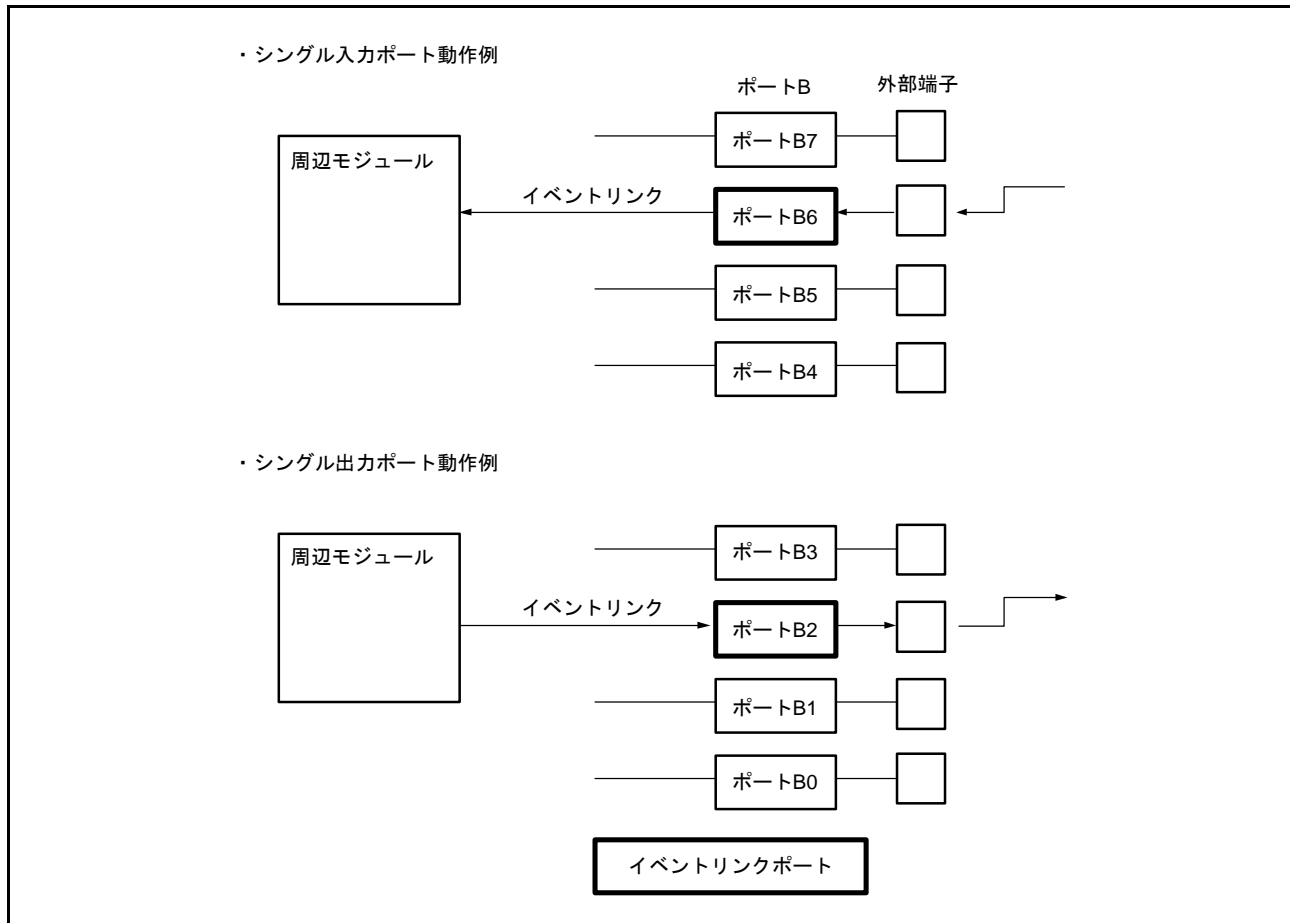


図 19.3 シングルポートのイベントリンク動作（ポート B の場合）

(4) 入力ポートグループのイベントの入力と発生

入力に設定されているポートグループは当該ポートに接続しているいずれかの外部端子（外部ピン）の信号値の変化により、イベントを発生します。イベント発生条件はPGCnレジスタにより、設定します。また入力ポートグループにイベントが入力されると、イベント入力時の外部端子の信号値がPDBFnレジスタに転送されます。転送は、入力ポートグループに指定されたビットのみ転送されます。図19.4に入力ポートグループのイベントリンク動作を示します。

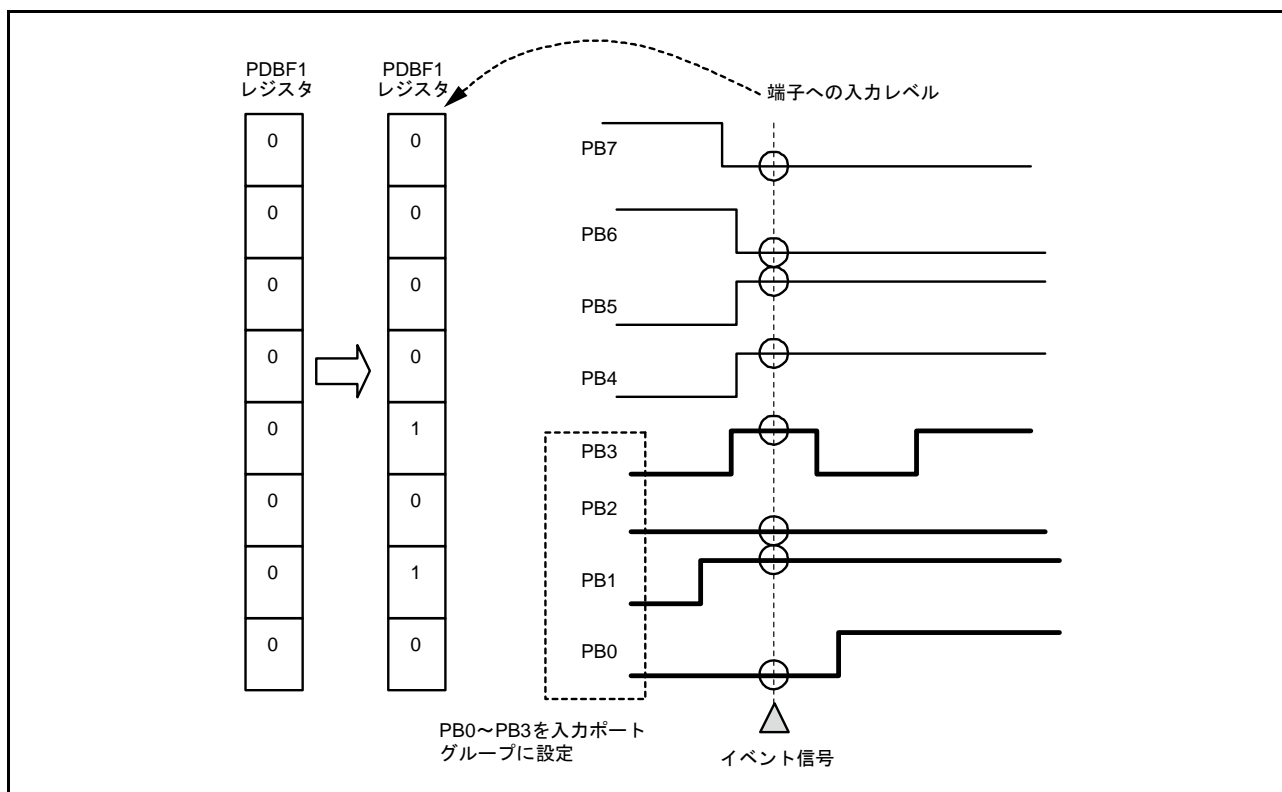


図 19.4 入力ポートグループのイベントリンク動作（ポート B の場合）

(5) 出力ポートグループのイベントの入力

出力ポートグループにイベントが入力されると、PODRレジスタの値がPGCnレジスタで設定された値に変化します。図19.5に出力ポートグループのイベントリンク動作を示します。

(6) ポートバッファレジスタの動作

(a) 入力ポートグループ

入力ポートグループにイベントが入力されると、入力ポートグループに指定されているビットの外部端子の信号値が、PDBFn レジスタに転送されます。この状態で、再度入力ポートグループにイベントが入力されたとき、PGCn.PGCOVE ビットの設定により、以下の動作となります。

- PGCn.PGCOVE = 0 (上書き無効) のとき
前回のイベント入力により PDBFn レジスタに転送された値が、CPU によりリード (DTC による転送を含む) されているとき、外部端子の信号値が、PDBFn レジスタに転送されます。リードされていないときは、外部端子の信号値は PDBFn レジスタに転送されず、入力したイベントは無効となります。
- PGCn.PGCOVE = 1 (上書き有効) のとき
入力ポートグループにイベントが入力されると、外部端子の信号値が、PDBFn レジスタに転送されず。

(b) 出力ポートグループ

出力ポートグループが PDBFn レジスタの値を出力する設定になっているとき、出力ポートグループにイベントが入力されると、PDBFn レジスタの値が PODR レジスタに転送されます。このとき出力ポートグループに設定されているビットのみが、PODR レジスタに転送されます。

出力ポートグループがグループ内でのビットローテート出力 (PGCn.PGCO[2:0] ビット = 1xxb) に設定されていると、PDBFn レジスタから PODR レジスタにデータ転送後に、当該グループ内で PODR レジスタ値が MSB → LSB にローテートします。ポートに出力する初期値を PDBFn レジスタに設定しておいてください。

図 19.5 と図 19.6 に動作を示します。

(7) PODR レジスタ、PDBF レジスタへの書き込み制限

ELCR.ELCON ビットが“1”のとき、下記レジスタへの書き込みが無効となります。

- 入力ポートグループに指定し、イベントリンクを設定すると、PDBFn レジスタの入力ポートグループに指定されたビットへの書き込みは無効になります。ただし、イベント入力として DOC を選択した場合は、書き込みは有効です。
- 出力ポートグループに指定すると、PODR レジスタの当該ビットへの書き込みは無効になります。
- シングル出力ポートに指定されているとき、当該ポートへイベント接続設定 (ELSRn レジスタの設定) をすると、PODR レジスタの当該ビットへの書き込みは無効になります。ただし、イベント入力として DOC を選択した場合は、書き込みは有効です。

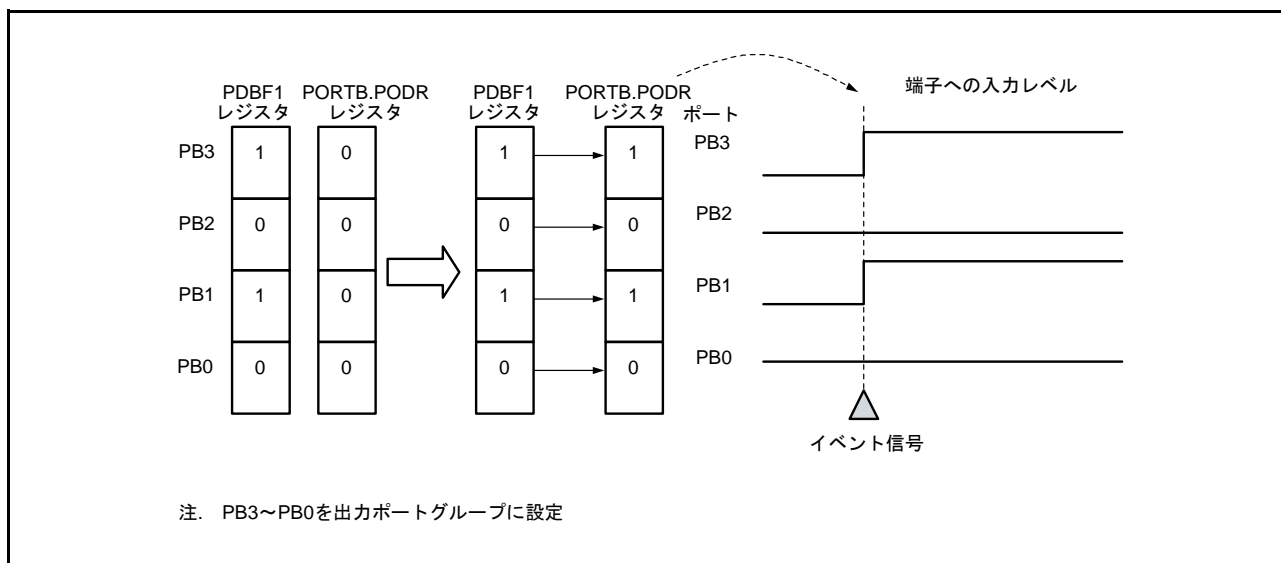


図 19.5 出力ポートグループのイベントリンク動作 (ポート B の場合)

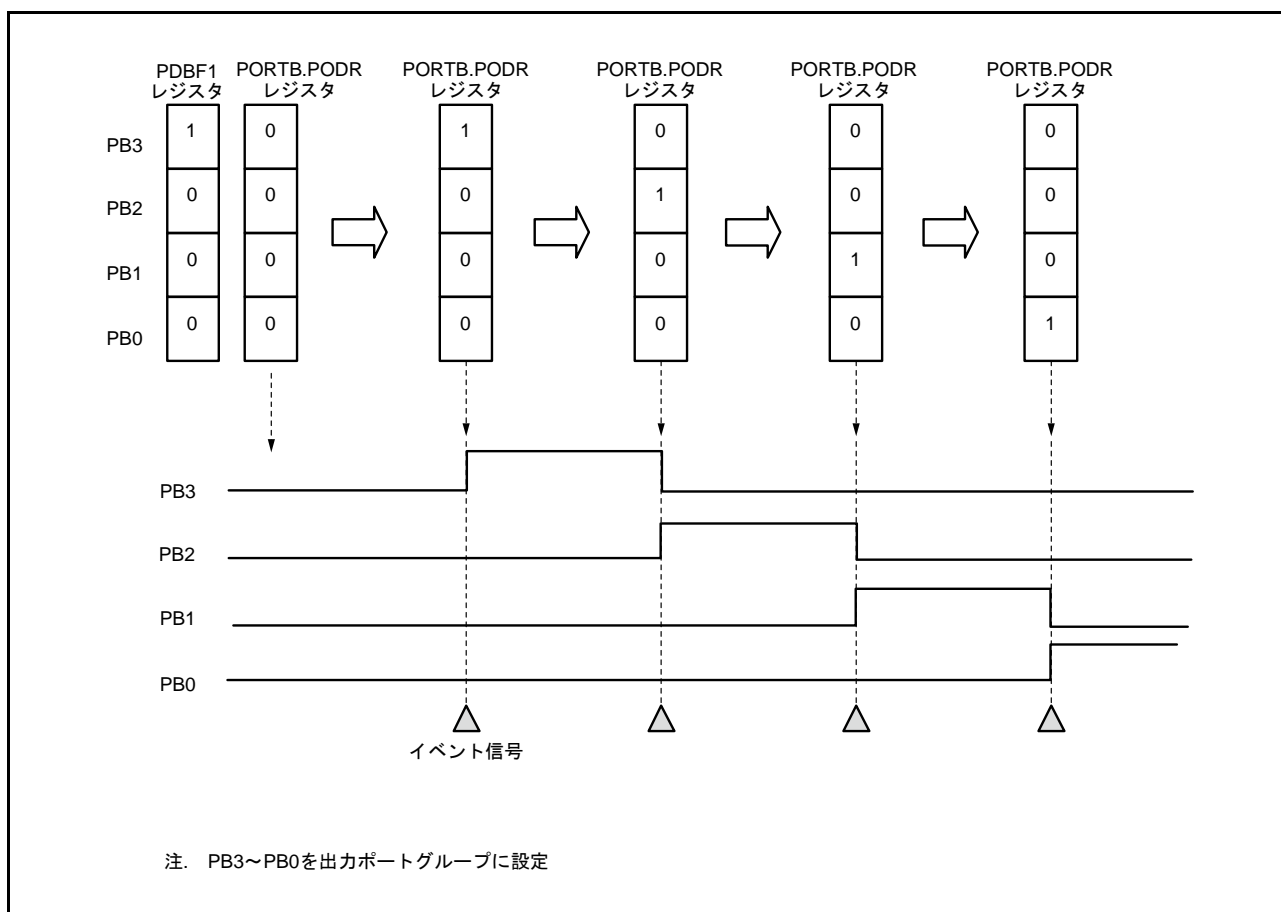


図 19.6 出力ポートグループのビットローテート動作 (ポート B の場合)

19.3.6 イベントリンクの動作設定手順例

イベントリンク動作手順を以下に示します。

1. イベントをリンクするモジュールの初期設定をします。
2. ポートに対してイベントリンクを設定するときは、対応するポートの下記レジスタを設定します。
PODR レジスタ： 出力に設定したポートの初期値を設定します。
PDR レジスタ： ポートの入力または出力の設定をします。
PGR_n レジスタ： ポートグループとして動作させるときに、グループ化の対象となるポート（ビット単位）を設定します。
PGC_n レジスタ： ポートグループとして動作させるときの動作を設定します。
PEL_n レジスタ： シングルポートとして動作させるときの対象とするポートとイベント入力の動作およびイベント発生条件の設定をします。
3. イベントをリンクするモジュールの ELSR_n レジスタに、リンクするイベント信号の番号を設定します。
4. イベントをリンクするモジュールがタイマ系の周辺機能のときは、必要に応じて対応する ELOPA ~ ELOPD レジスタを設定をします。
5. ELCR.ELCON ビットを“1”にします。これによりイベントリンクが設定されている全モジュールのイベントリンク動作が有効となります。
6. イベント出力元のモジュールの初期設定をし、起動させます。モジュールから出力されるイベントにより、イベントリンク先のモジュールが事前に設定した動作を開始します。
7. モジュール単位でイベントリンク動作を停止するときは、対応する ELSR_n.ELS[7:0] ビットに“0000 0000b”を設定してください。また ELCR.ELCON ビットを“0”にすることにより、全モジュールのイベントリンク動作が停止します。

19.4 使用上の注意事項

19.4.1 ELSRn レジスタの設定について

(1) ELSR18、ELSR19 レジスタの設定

イベント信号は 01100011b (63h) ~ 01101001b (69h) の中から指定してください。それ以外の値は、設定しないでください。

(2) ELSR24、ELSR25、ELSR26、ELSR27 レジスタの設定

DOC・データ演算条件成立信号 (01101010b (6Ah)) は、設定しないでください。

19.4.2 出力ポートグループのビットローテート動作の設定について

出力ポートグループのビットローテート動作モードで、PDBFn レジスタの値を変更する場合、ELSRn レジスタを再度設定してください。ビットローテート動作に使用するイベントは発生間隔を 1PCLKB 分空けないと正常動作できません。

19.4.3 DMAC/DTC 転送終了のイベントリンク使用時の注意事項

DMAC/DTC 転送終了のイベントリンクを使用する場合、その DMAC/DTC 転送先とイベントリンク起動先を同一周辺モジュールに設定しないでください。周辺モジュールへの DMAC/DTC 転送が完了する前に周辺モジュールが起動する可能性があります。

19.4.4 クロック設定について

イベントリンクを使用するには ELC の設定の他に ELC と対象モジュールが動作可能状態である必要があります。対象のモジュールがモジュールストップ状態の場合や低消費電力状態の中でモジュールが停止状態となるモード (全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード) の場合では動作できません。

19.4.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、ELC の動作を禁止/許可することが可能です。初期値では、ELC の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

20. I/Oポート

20.1 概要

I/Oポートは、汎用入出力ポートと周辺機能の入出力、割り込み入力端子、またはバス制御端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/Oポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力/出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、端子の出力形態を選択するオープンドレイン制御レジスタ y (ODR y) ($y=0, 1$)、入力プルアップ MOS のオン/オフを制御するプルアップ制御レジスタ (PCR)、駆動能力の切り替えを制御する駆動能力制御レジスタ (DSCR)、機能端子を指定するポートモードレジスタ (PMR) を備えています。PMR レジスタの詳細については、「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

製品によって、I/Oポートの構成が異なります。表 20.1 に I/Oポートの仕様を、表 20.2 に I/Oポートの機能を示します。

表 20.1 I/Oポートの仕様

ポートシンボル	電圧仕様		電圧仕様	
	3V版	本数	5V版	本数
PORT0	P00~P03、P05、P07	6	P00~P03、P05、P07	6
PORT1	P12~P17	6	P12~P17	6
PORT2	P20~P27	8	P20~P27	8
PORT3	P30~P35	6	P30~P35	6
PORT4	P40~P47	8	P40~P47	8
PORT5	P50~P56	7	P50~P56	7
PORT6	P60~P67	8	P60~P67	8
PORT7	P70~P72、P74~P77	7	P70~P77	8
PORT8	P80~P83、P86、P87	6	P80~P83、P86、P87	6
PORT9	P90~P93	4	P90~P93	4
PORTA	PA0~PA7	8	PA0~PA7	8
PORTB	PB0~PB7	8	PB0~PB7	8
PORTC	PC0~PC7	8	PC0~PC7	8
PORTD	PD0~PD7	8	PD0~PD7	8
PORTE	PE0~PE7	8	PE0~PE7	8
PORTF	PF5	1	PF5	1
PORTH	PH0~PH3	4	PH0~PH3	4
PORTJ	PJ1~PJ5	5	PJ1~PJ5	5
PORTK	PK2~PK5	4	PK2~PK5	4
PORTL	PL0、PL1、PL5	3	PL0、PL1	2
	ポートの合計数	123	ポートの合計数	123

表 20.2 I/Oポートの機能

ポートシンボル	ポート	入力プルアップ機能	オープンドレイン出力機能	駆動能力切り替え機能
PORT0	P00～P02	○	○	○
	P03、P05、P07	—	—	通常出力固定
PORT1	P12～P17	○	○	○
PORT2	P20～P27	○	○	○
PORT3	P30～P34	○	○	○
	P35	—	—	—
PORT4	P40～P47	—	—	—
PORT5	P50～P52、P54	○	○	○
	P53、P55、P56	○	—	○
PORT6	P60、P61	○	○	○
	P62～P67	○	—	通常出力固定
PORT7	P70、P74～P77	○	○	○
	P71～P73	○	—	通常出力固定
PORT8	P80～P83	○	○	○
	P86、P87	○	—	○
PORT9	P90～P93	○	○	○
PORTA	PA0～PA7	○	○	○
PORTB	PB0～PB7	○	○	○
PORTC	PC0～PC7	○	○	○
PORTD	PD0～PD7	○	—	○
PORTE	PE0～PE7	○	○	○
PORTF	PF5	○	—	通常出力固定
PORTH	PH0～PH3	○	—	○
PORTJ	PJ1、PJ3	○	—	○
	PJ2、PJ4、PJ5	○	—	通常出力固定
PORTK	PK2～PK5	○	○	○
PORTL	PL0、PL1	○	—	通常出力固定
	PL5	—	○ (注1)	通常出力固定

注1. PL5端子はNMOSオープンドレイン出力のみで変更できません。

入力プルアップ機能、オープンドレイン出力機能、駆動能力切り替え機能は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

20.2 入出力ポートの構成

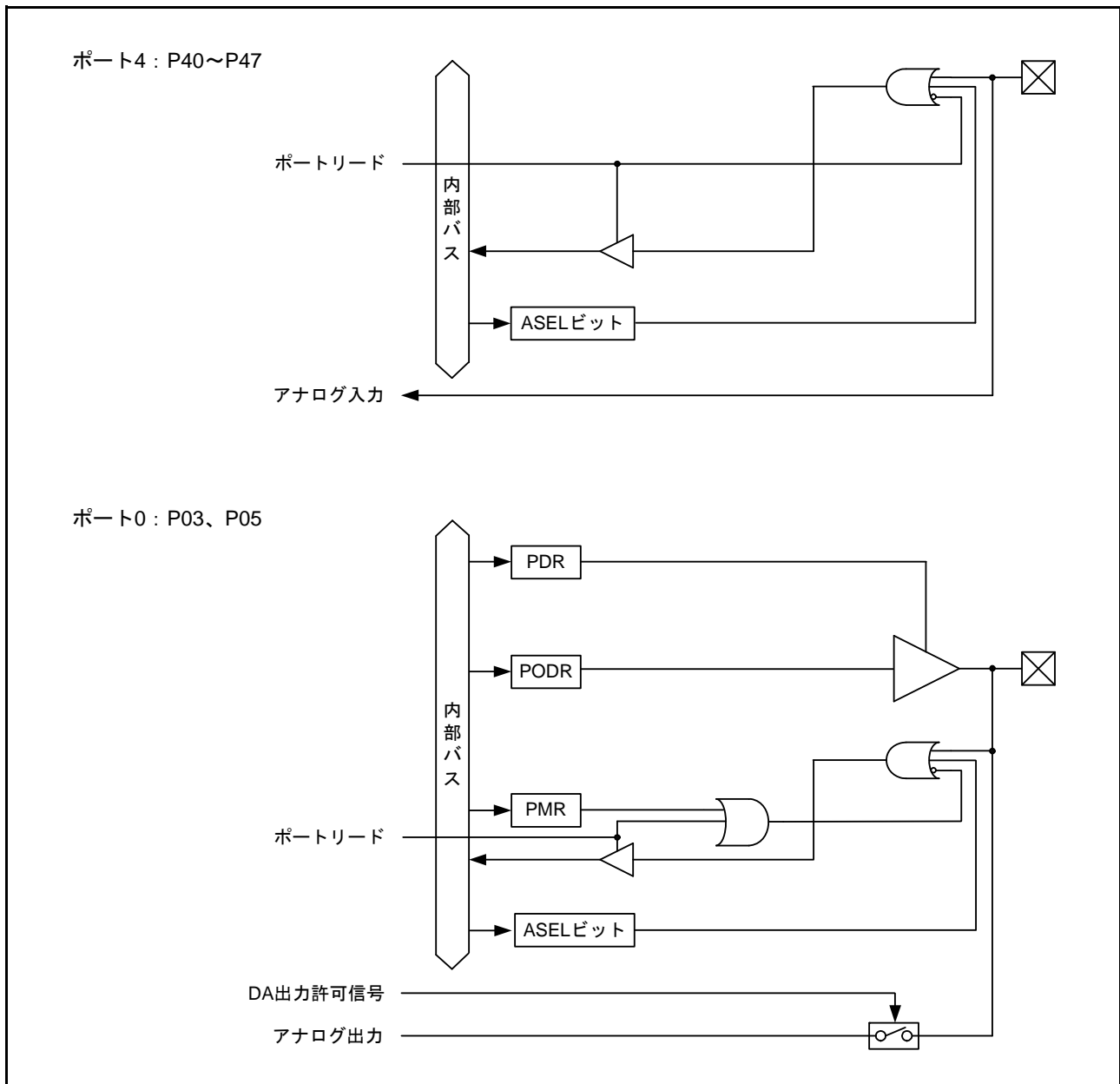


図 20.1 入出力ポートの構成 (1)

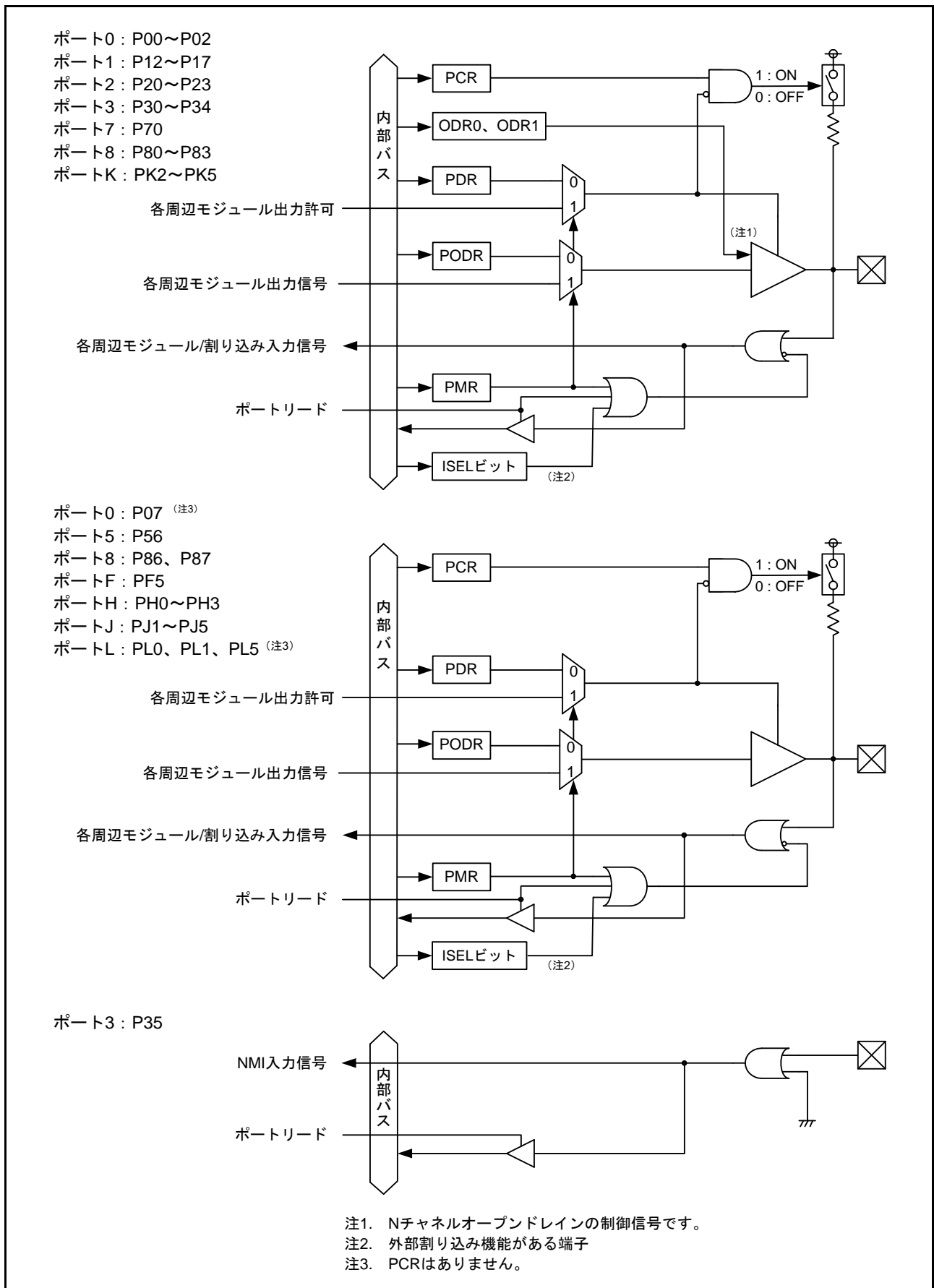


図 20.2 入出力ポートの構成 (2)

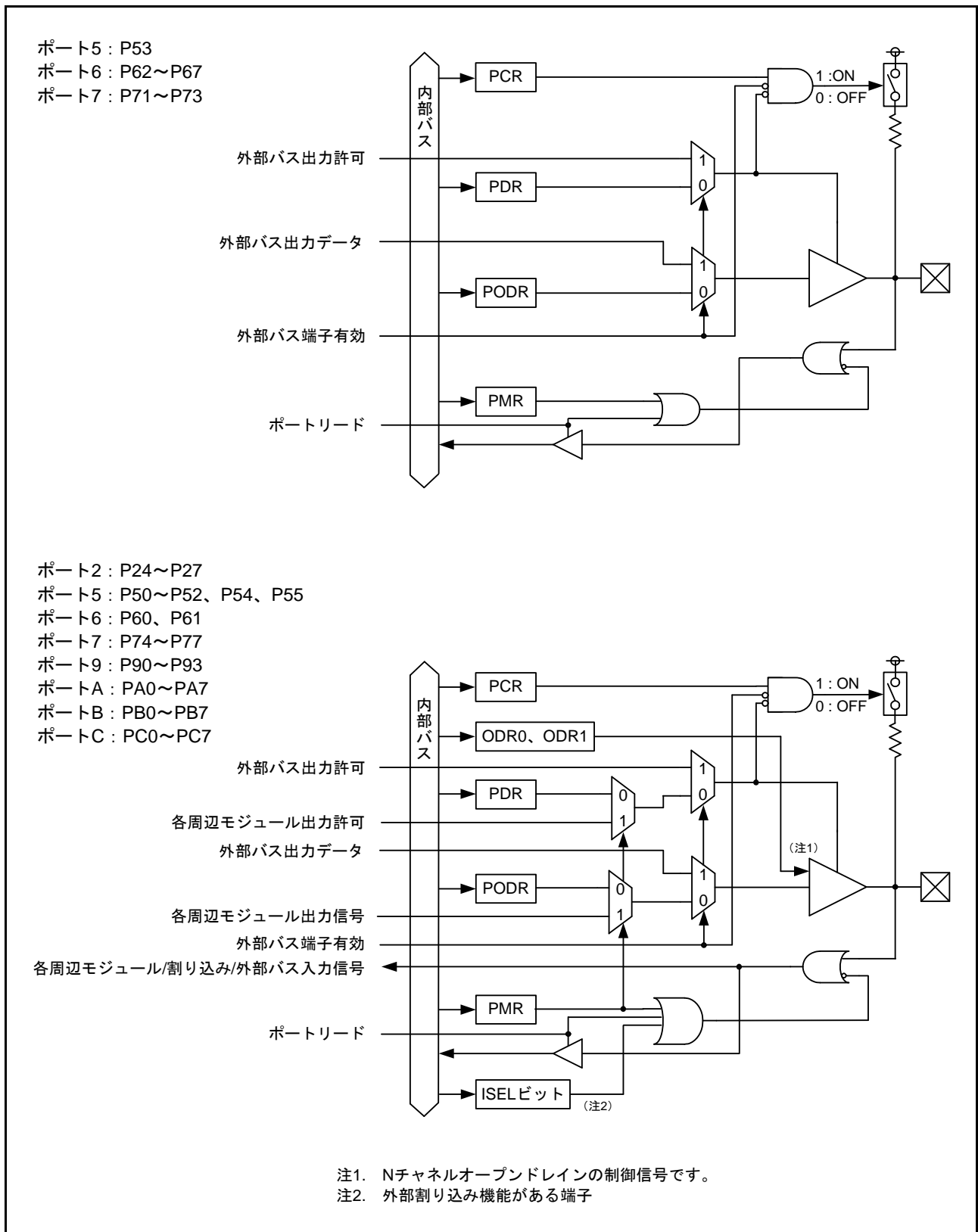


図 20.3 入出力ポートの構成 (3)

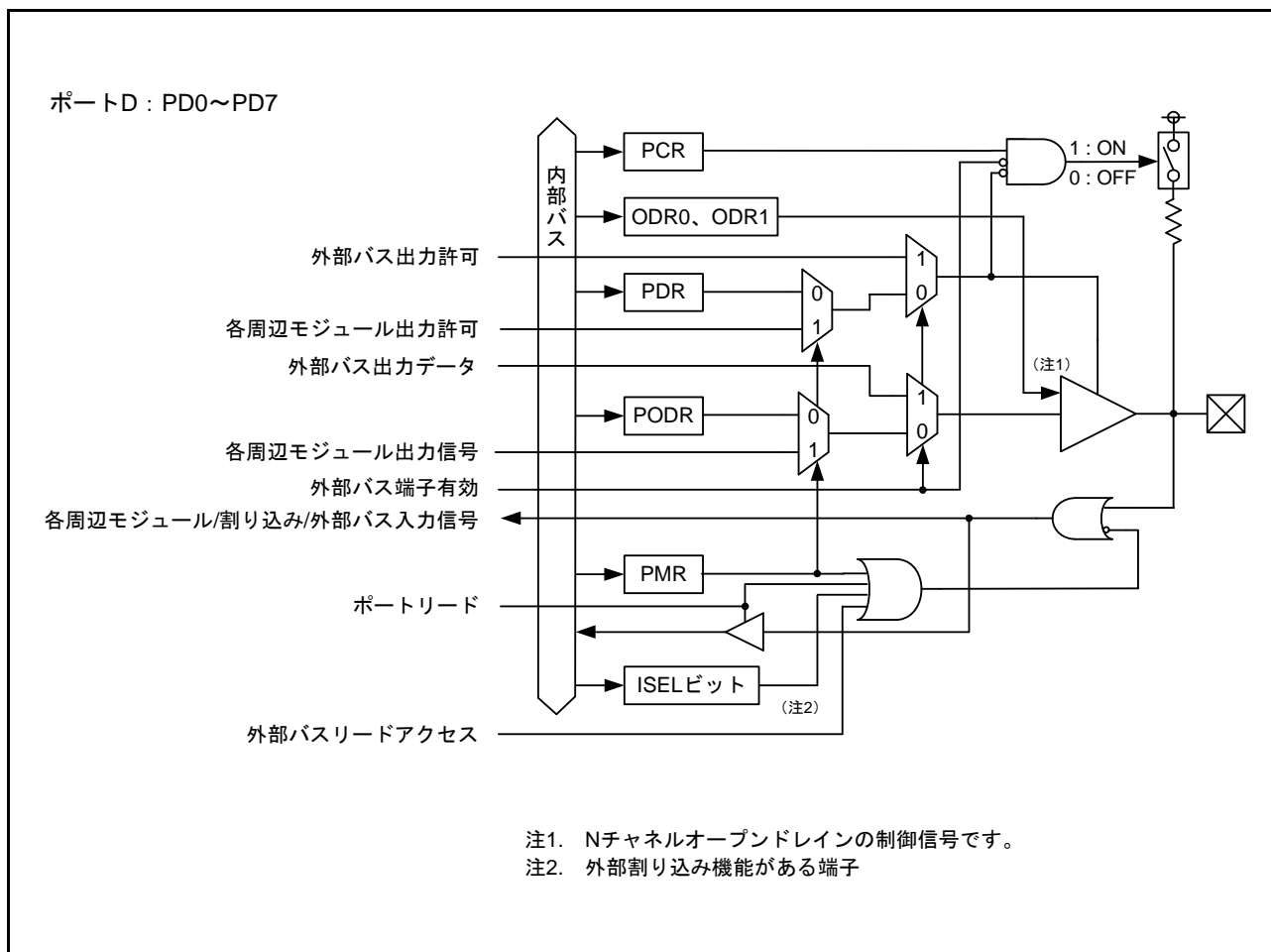


図 20.4 入出力ポートの構成 (4)

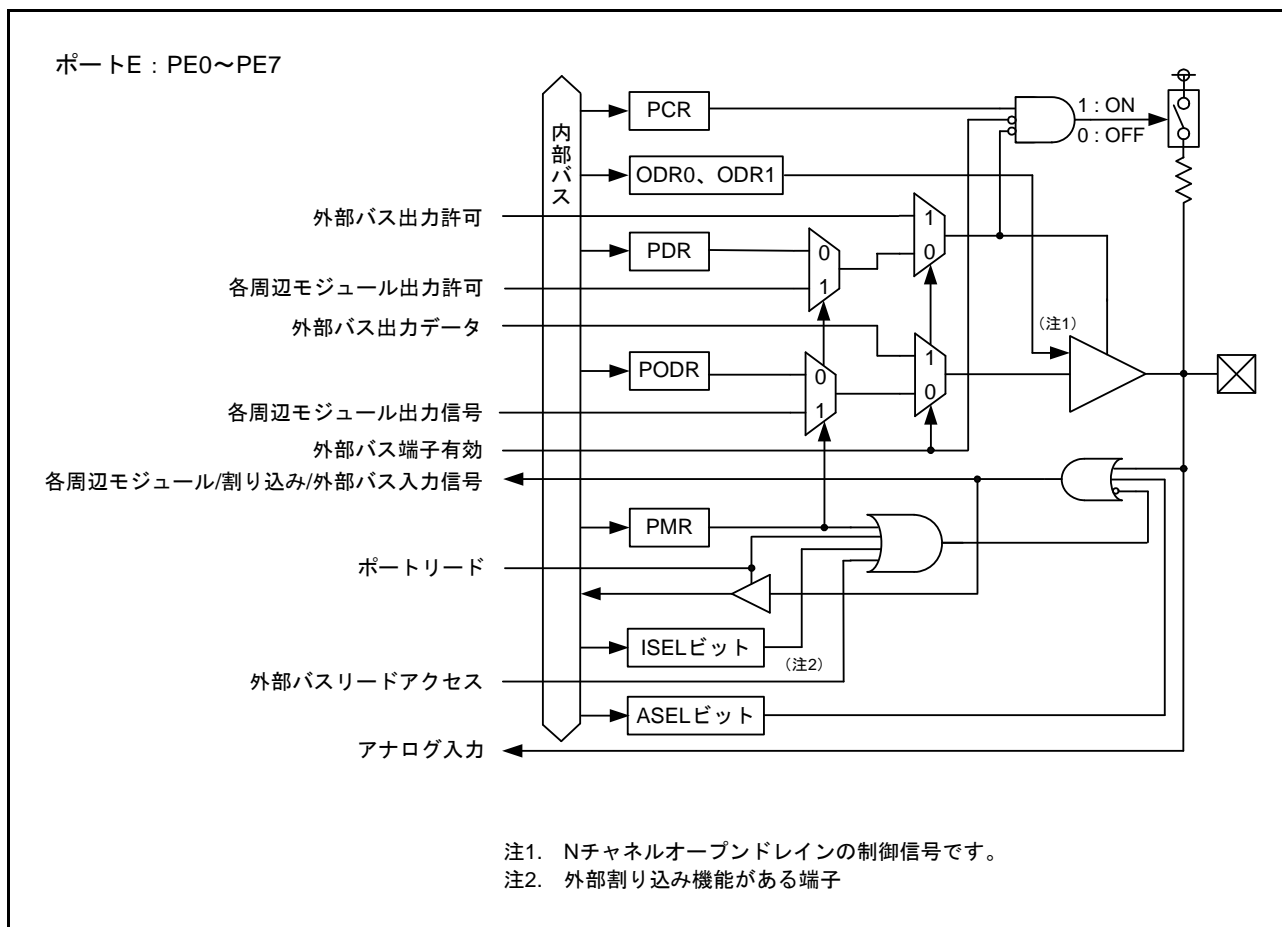


図 20.5 入出力ポートの構成 (5)

20.3 レジスタの説明

20.3.1 ポート方向レジスタ (PDR)

アドレス PORT0.PDR 0008 C000h, PORT1.PDR 0008 C001h, PORT2.PDR 0008 C002h, PORT3.PDR 0008 C003h, PORT5.PDR 0008 C005h, PORT6.PDR 0008 C006h, PORT7.PDR 0008 C007h, PORT8.PDR 0008 C008h, PORT9.PDR 0008 C009h, PORTA.PDR 0008 C00Ah, PORTB.PDR 0008 C00Bh, PORTC.PDR 0008 C00Ch, PORTD.PDR 0008 C00Dh, PORTE.PDR 0008 C00Eh, PORTF.PDR 0008 C00Fh, PORTH.PDR 0008 C011h, PORTJ.PDR 0008 C012h, PORTK.PDR 0008 C013h, PORTL.PDR 0008 C014h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0方向制御ビット	0: 入力 (入力ポートとして機能) 1: 出力 (出力ポートとして機能)	R/W
b1	B1	Pm1方向制御ビット		R/W
b2	B2	Pm2方向制御ビット		R/W
b3	B3	Pm3方向制御ビット		R/W
b4	B4	Pm4方向制御ビット		R/W
b5	B5	Pm5方向制御ビット		R/W
b6	B6	Pm6方向制御ビット		R/W
b7	B7	Pm7方向制御ビット		R/W

m = 0 ~ 3, 5 ~ 9, A ~ F, H, J ~ L

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTm.PDR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

P35 端子は入力専用のため、PORT3.PDR.B5 ビットは予約ビットです。存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

3V 品は P73 端子が存在しません。5V 品は PL5 端子が存在しません。存在しない端子のビットは予約ビットです。“1” (出力) を書いてください。

20.3.2 ポート出力データレジスタ (PODR)

アドレス PORT0.PODR 0008 C020h, PORT1.PODR 0008 C021h, PORT2.PODR 0008 C022h, PORT3.PODR 0008 C023h, PORT5.PODR 0008 C025h, PORT6.PODR 0008 C026h, PORT7.PODR 0008 C027h, PORT8.PODR 0008 C028h, PORT9.PODR 0008 C029h, PORTA.PODR 0008 C02Ah, PORTB.PODR 0008 C02Bh, PORTC.PODR 0008 C02Ch, PORTD.PODR 0008 C02Dh, PORTE.PODR 0008 C02Eh, PORTF.PODR 0008 C02Fh, PORTH.PODR 0008 C031h, PORTJ.PODR 0008 C032h, PORTK.PODR 0008 C033h, PORTL.PODR 0008 C034h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 0 ~ 3、5 ~ 9、A ~ F、H、J ~ L

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

P35 端子は入力専用のため、PORT3.PODR.B5 ビットは予約ビットです。存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.3 ポート入力データレジスタ (PIDR)

アドレス PORT0.PIDR 0008 C040h, PORT1.PIDR 0008 C041h, PORT2.PIDR 0008 C042h, PORT3.PIDR 0008 C043h, PORT4.PIDR 0008 C044h, PORT5.PIDR 0008 C045h, PORT6.PIDR 0008 C046h, PORT7.PIDR 0008 C047h, PORT8.PIDR 0008 C048h, PORT9.PIDR 0008 C049h, PORTA.PIDR 0008 C04Ah, PORTB.PIDR 0008 C04Bh, PORTC.PIDR 0008 C04Ch, PORTD.PIDR 0008 C04Dh, PORTE.PIDR 0008 C04Eh, PORTF.PIDR 0008 C04Fh, PORTH.PIDR 0008 C051h, PORTJ.PIDR 0008 C052h, PORTK.PIDR 0008 C053h, PORTL.PIDR 0008 C054h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 x x x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 ビット	ポートの端子状態を反映	R
b1	B1	Pm1 ビット		R
b2	B2	Pm2 ビット		R
b3	B3	Pm3 ビット		R
b4	B4	Pm4 ビット		R
b5	B5	Pm5 ビット		R
b6	B6	Pm6 ビット		R
b7	B7	Pm7 ビット		R

m = 0 ~ 9、A ~ F、H、J ~ L

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR の値に関係なく端子の状態が読めます。

P35 は NMI 端子の状態が読み出されます。

存在しない端子のビットは予約ビットです。予約ビットは、読んだ場合、その値は不定です。書き込みは無効になります。

20.3.4 ポートモードレジスタ (PMR)

アドレス PORT0.PMR 0008 C060h, PORT1.PMR 0008 C061h, PORT2.PMR 0008 C062h, PORT3.PMR 0008 C063h, PORT5.PMR 0008 C065h, PORT6.PMR 0008 C066h, PORT7.PMR 0008 C067h, PORT8.PMR 0008 C068h, PORT9.PMR 0008 C069h, PORTA.PMR 0008 C06Ah, PORTB.PMR 0008 C06Bh, PORTC.PMR 0008 C06Ch, PORTD.PMR 0008 C06Dh, PORTE.PMR 0008 C06Eh, PORTF.PMR 0008 C06Fh, PORTH.PMR 0008 C071h, PORTJ.PMR 0008 C072h, PORTK.PMR 0008 C073h, PORTL.PMR 0008 C074h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 端子モード制御ビット	0 : 汎用入出力ポートとして使用 1 : 周辺機能として使用	R/W
b1	B1	Pm1 端子モード制御ビット		R/W
b2	B2	Pm2 端子モード制御ビット		R/W
b3	B3	Pm3 端子モード制御ビット		R/W
b4	B4	Pm4 端子モード制御ビット		R/W
b5	B5	Pm5 端子モード制御ビット		R/W
b6	B6	Pm6 端子モード制御ビット		R/W
b7	B7	Pm7 端子モード制御ビット		R/W

m = 0 ~ 9、A ~ F、H、J ~ L

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.5 オープンドレイン制御レジスタ 0 (ODR0)

アドレス PORT0.ODR0 0008 C080h, PORT1.ODR0 0008 C082h, PORT2.ODR0 0008 C084h, PORT3.ODR0 0008 C086h, PORT5.ODR0 0008 C08Ah, PORT6.ODR0 0008 C08Ch, PORT7.ODR0 0008 C08Eh, PORT8.ODR0 0008 C090h, PORT9.ODR0 0008 C092h, PORTA.ODR0 0008 C094h, PORTB.ODR0 0008 C096h, PORTC.ODR0 0008 C098h, PORTE.ODR0 0008 C09Ch, PORTK.ODR0 0008 C0A6h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力形態指定ビット	0 : CMOS出力 1 : Nチャンネルオープンドレイン	R/W
b1	B1	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	B2	Pm1出力形態指定ビット	<ul style="list-style-type: none"> • P01, P21, P31, P51, P61, P81, P91, PA1, PB1, PC1 b2 0 : CMOS出力 1 : Nチャンネルオープンドレイン b3 読むと“0”が読めます。書く場合、“0”としてください <ul style="list-style-type: none"> • PE1 b3 b2 0 0 : CMOS出力 0 1 : Nチャンネルオープンドレイン 1 0 : Pチャンネルオープンドレイン 1 1 : Hi-Z	R/W
b3	B3			R/W
b4	B4	Pm2出力形態指定ビット	0 : CMOS出力 1 : Nチャンネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm3出力形態指定ビット	0 : CMOS出力 1 : Nチャンネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 0 ~ 3, 6 ~ 9, A ~ C, E, K

存在しない端子やオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.6 オープンドレイン制御レジスタ 1 (ODR1)

アドレス PORT1.ODR1 0008 C083h, PORT2.ODR1 0008 C085h, PORT3.ODR1 0008 C087h, PORT5.ODR0 0008 C08Bh, PORT7.ODR1 0008 C08Fh, PORTA.ODR1 0008 C095h, PORTB.ODR1 0008 C097h, PORTC.ODR1 0008 C099h, PORTE.ODR1 0008 C09Dh, PORTK.ODR1 0008 C0A7h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm4出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	B1	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	B2	Pm5出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b3	B3	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	B4	Pm6出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm7出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 1 ~ 3, 7, A ~ C, E, K

P35 端子は入力専用のため、PORT3.ODR1.B2 ビットは予約ビットです。存在しない端子やオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.7 プルアップ制御レジスタ (PCR)

アドレス PORT0.PCR 0008 C0C0h, PORT1.PCR 0008 C0C1h, PORT2.PCR 0008 C0C2h, PORT3.PCR 0008 C0C3h, PORT5.PCR 0008 C0C5h, PORT6.PCR 0008 C0C6h, PORT7.PCR 0008 C0C7h, PORT8.PCR 0008 C0C8h, PORT9.PCR 0008 C0C9h, PORTA.PCR 0008 C0CAh, PORTB.PCR 0008 C0CBh, PORTC.PCR 0008 C0CCh, PORTD.PCR 0008 C0CDh, PORTE.PCR 0008 C0CEh, PORTF.PCR 0008 C0CFh, PORTH.PCR 0008 C0D1h, PORTJ.PCR 0008 C0D2h, PORTK.PCR 0008 C0D3h, PORTL.PCR 0008 C0D4h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0入力プルアップ抵抗制御ビット	0 : 入力プルアップ抵抗無効 1 : 入力プルアップ抵抗有効	R/W
b1	B1	Pm1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pm2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pm3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pm4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pm5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pm6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pm7入力プルアップ抵抗制御ビット		R/W

m = 0 ~ 3, 5 ~ 9, A ~ F, H, J ~ L

端子が入力状態のとき、PORTm.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。

PCR レジスタは、ディープソフトウェアスタンバイモードになってもプルアップ状態を保持します。

WAIT# 端子を除く外部バス端子、汎用ポート出力、周辺機能出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。

リセット中もプルアップ抵抗は無効になります。

PORT3.PCR.B5 ビットは予約ビットです。また、存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.8 駆動能力制御レジスタ (DSCR)

アドレス PORT0.DSCR 0008 C0E0h, PORT1.DSCR 0008 C0E1h, PORT2.DSCR 0008 C0E2h, PORT3.DSCR 0008 C0E3h, PORT5.DSCR 0008 C0E5h, PORT6.DSCR 0008 C0E6h, PORT7.DSCR 0008 C0E7h, PORT8.DSCR 0008 C0E8h, PORT9.DSCR 0008 C0E9h, PORTA.DSCR 0008 C0EAh, PORTB.DSCR 0008 C0EBh, PORTC.DSCR 0008 C0ECh, PORTD.DSCR 0008 C0EDh, PORTE.DSCR 0008 C0EEh, PORTH.DSCR 0008 C0F1h, PORTJ.DSCR 0008 C0F2h, PORTK.DSCR 0008 C0F3h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 駆動能力制御ビット	0 : 通常出力 1 : 高駆動出力	R/W
b1	B1	Pm1 駆動能力制御ビット		R/W
b2	B2	Pm2 駆動能力制御ビット		R/W
b3	B3	Pm3 駆動能力制御ビット		R/W
b4	B4	Pm4 駆動能力制御ビット		R/W
b5	B5	Pm5 駆動能力制御ビット		R/W
b6	B6	Pm6 駆動能力制御ビット		R/W
b7	B7	Pm7 駆動能力制御ビット		R/W

m = 0 ~ 3, 5 ~ 9, A ~ E, H, J, K

駆動能力が固定されている端子の当該ビットは、読み出し / 書き込み可能ですが、駆動能力の切り替えはできません。

高駆動出力を選択した場合、標準出力を選択した場合に比べてスイッチングノイズが増えます。高駆動能力を選択する場合は、近隣端子にノイズによる影響がないか十分に評価してください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.4 未使用端子の処理

表 20.3 に未使用端子の処理内容を示します。

表 20.3 未使用端子の処理内容

端子名	処理内容
EMLE	抵抗を介してVSSに接続（プルダウン）
MD	（モード端子として使用）
RES#	抵抗を介してVCCに接続（プルアップ）
P35/NMI	抵抗を介してVCCに接続（プルアップ）
EXTAL	抵抗を介してVSSに接続（プルダウン）
XTAL	EXTAL 端子に外部クロックを入力する場合は、端子を開放
ポート0~9 ポートA~F、H、 ポートJ~L	<ul style="list-style-type: none"> • 入力に設定（PORTn.PDRビット=0）し、1端子ごとに抵抗を介してVCCに接続（プルアップ）、または1端子ごとに抵抗を介してVSSに接続（プルダウン）（注1） • 出力に設定（PORTn.PDRビット=1）し、端子を開放（注1、注2）
VREFH0	VCCに接続
VREFL0	VSSに接続
VREFH	VCCに接続
VREFL	VSSに接続

注1. PORTn.PMRビットを“0”、およびPmnPFS.ISEL, ASELビットを“0”にしてください。

注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

20.5 使用上の注意事項

- A/D コンバータ入力を使用する場合のポートの設定

ポート 0、ポート E の端子の中で、1 端子でも 12 ビット A/D コンバータ入力端子として使用する場合は、ポート 07、ポート 4 のポート出力は使用しないでください。ポート 07 とポート 4 は A/D 用アナログ電源を使用しているためです。

- D/A コンバータ出力を使用する場合のポートの設定

ポート 05、ポート 03 の 1 端子でも D/A コンバータ出力として使用する場合は、ポート 05、ポート 03 のポート出力は使用しないでください。ポート 05、ポート 03 は D/A 用アナログ電源を使用しているためです。

21. マルチファンクションピンコントローラ (MPC)

21.1 概要

マルチファンクションピンコントローラ (MPC) は、周辺機能入出力、および割り込み入力信号を複数のポートから選択し割り付ける機能です。また、外部バス関連信号のポート割り付けも行います。

表 21.1 にマルチプル端子の割り当て端子一覧を示します。同一機能を複数端子で有効にすることは禁止です。

表21.1 マルチプル端子の割り当て端子一覧 (1 / 11)

モジュール/機能	チャンネル	端子機能	割り当てポート
割り込み		NMI (入力)	P35
割り込み	IRQ0	IRQ0-DS (入力)	P30
		IRQ0 (入力)	PD0
			PH1
	IRQ1	IRQ1-DS (入力)	P31
		IRQ1 (入力)	PD1
			PH2
	IRQ2	IRQ2-DS (入力)	P32
		IRQ2 (入力)	P12
			PD2
	IRQ3	IRQ3-DS (入力)	P33
		IRQ3 (入力)	P13
			PD3
	IRQ4	IRQ4-DS (入力)	PB1
		IRQ4 (入力)	P14
			P34
			PD4
			PF5
	IRQ5	IRQ5-DS (入力)	PA4
		IRQ5 (入力)	P15
			PD5
			PE5
	IRQ6	IRQ6-DS (入力)	PA3
		IRQ6 (入力)	P16
			PD6
			PE6
	IRQ7	IRQ7-DS (入力)	PE2
		IRQ7 (入力)	P17
			PD7
PE7			
IRQ8	IRQ8 (入力)	P00	
		P20	
IRQ9	IRQ9 (入力)	P01	
		P21	
IRQ10	IRQ10 (入力)	P02	
		P55	

表21.1 マルチプル端子の割り当て端子一覧 (2 / 1 1)

モジュール/機能	チャンネル	端子機能	割り当てポート
割り込み	IRQ11	IRQ11 (入力)	P03
			PA1
	IRQ12	IRQ12 (入力)	P73 (注1)
			PB0
			PC1
マルチファンクションタイマユニット2	MTU0	MTIOC0A (入出力)	P34
			PB3
		MTIOC0B (入出力)	P13
			P15
			PA1
		MTIOC0C (入出力)	P32
			PB1
		MTIOC0D (入出力)	P33
	PA3		
	MTU1	MTIOC1A (入出力)	P20
			PE4
		MTIOC1B (入出力)	P21
	PB5		
	MTU2	MTIOC2A (入出力)	P26
			PB5
		MTIOC2B (入出力)	P27
	PE5		
	MTU3	MTIOC3A (入出力)	P14
			P17
			PC1
			PC7
			PJ1
		MTIOC3B (入出力)	P17
			P22
			P80
			PB7
			PC5
MTIOC3C (入出力)		P16	
		P56	
		PC0	
		PC6	
		PJ3	
MTIOC3D (入出力)		P16	
	P23		
	P81		
	PB6		
	PC4		

表21.1 マルチプル端子の割り当て端子一覧 (3 / 1 1)

モジュール/機能	チャンネル	端子機能	割り当てポート
マルチファンクションタイマユニット2	MTU4	MTIOC4A (入出力)	P24
			P82
			PA0
			PB3
			PE2
		MTIOC4B (入出力)	P30
			P54
			PC2
			PD1
			PE3
		MTIOC4C (入出力)	P25
			P83
	PB1		
	PE1		
	PE5		
	MTIOC4D (入出力)	P31	
		P55	
		PC3	
		PD2	
		PE4	
	MTU5	MTIC5U (入力)	PA4
			PD7
		MTIC5V (入力)	PA6
			PD6
		MTIC5W (入力)	PB0
			PD5
	MTU	MTCLKA (入力)	P14
			P24
PA4			
PC6			
MTCLKB (入力)		P15	
		P25	
		PA6	
		PC7	
MTCLKC (入力)		P22	
		PA1	
		PC4	
MTCLKD (入力)		P23	
		PA3	
		PC5	
ポートアウトブットイネーブル2	POE0	POE0# (入力)	PC4
			PD7
	POE1	POE1# (入力)	PB5
			PD6

表21.1 マルチプル端子の割り当て端子一覧 (4 / 1 1)

モジュール/機能	チャンネル	端子機能	割り当てポート		
ポートアウトブットイネーブル2	POE2	POE2# (入力)	P34		
			PA6		
			PD5		
	POE3	POE3# (入力)	P33		
			PB3		
			PD4		
	POE8	POE8# (入力)	P17		
			P30		
			PD3		
			PE3		
	16ビットタイマパルスユニット	TPU0	TIOCA0 (入出力)	P86	
				PA0	
TIOCB0 (入出力)			P17		
			PA1		
TIOCC0 (入出力)		P32			
		TIOCD0 (入出力)	P33		
TPU1		TIOCA1 (入出力)	P56		
			PA4		
		TIOCB1 (入出力)	P16		
			PA5		
TPU2		TIOCA2 (入出力)	P87		
			PA6		
		TIOCB2 (入出力)	P15		
			PA7		
TPU3		TIOCA3 (入出力)	P21		
			PB0		
		TIOCB3 (入出力)	P20		
			PB1		
		TIOCC3 (入出力)	P22		
			PB2		
		TIOCD3 (入出力)	P23		
			PB3		
TPU4		TIOCA4 (入出力)	P25		
			PB4		
		TIOCB4 (入出力)	P24		
			PB5		
			TPU5	TIOCA5 (入出力)	P13
					PB6
TIOCB5 (入出力)		P14			
		PB7			
TPU		TCLKA (入力)	P14		
			PC2		

表21.1 マルチプル端子の割り当て端子一覧 (5 / 1 1)

モジュール/機能	チャンネル	端子機能	割り当てポート
16ビットタイマパルスユニット	TPU	TCLKB (入力)	P15
			PA3
			PC3
		TCLKC (入力)	P16
			PB2
			PC0
		TCLKD (入力)	P17
			PB3
			PC1
プログラマブルパルスジェネレータ	PPG0	PO0 (出力)	P20
		PO1 (出力)	P21
		PO2 (出力)	P22
		PO3 (出力)	P23
		PO4 (出力)	P24
		PO5 (出力)	P25
		PO6 (出力)	P26
		PO7 (出力)	P27
		PO8 (出力)	P30
		PO9 (出力)	P31
		PO10 (出力)	P32
		PO11 (出力)	P33
		PO12 (出力)	P34
		PO13 (出力)	P13
			P15
		PO14 (出力)	P16
		PO15 (出力)	P14
	P17		
8ビットタイマ	TMR0	TMO0 (出力)	P22
			PB3
			PH1
		TMCIO (入力)	P01
			P21
			PB1
		TMRIO (入力)	PH3
			P00
			P20
	TMR1	TMO1 (出力)	PA4
			PH2
		TMC11 (入力)	P17
			P26
			P02
			P12
	P54		
	PC4		

表21.1 マルチプル端子の割り当て端子一覧 (6 / 1 1)

モジュール/機能	チャンネル	端子機能	割り当てポート
8ビットタイマ	TMR1	TMR1 (入力)	P24
			PB5
	TMR2	TMO2 (出力)	P16
			PC7
		TMCI2 (入力)	P15
			P31
			PC6
		TMR12 (入力)	P14
	PC5		
	TMR3	TMO3 (出力)	P13
			P32
			P55
		TMCI3 (入力)	P27
			P34
			PA6
TMR13 (入力)	P30		
	P33		
シリアルコミュニケーションインタフェース	SCI0	RXD0 (入力) / SMISO0 (入出力) / SSCL0 (入出力)	P21
			P33
		TXD0 (出力) / SMOSI0 (入出力) / SSDA0 (入出力)	P20
			P32
		SCK0 (入出力)	P22
			P34
		CTS0# (入力) / RTS0# (出力) / SS0# (入力)	P23
			PJ3
	SCI1	RXD1 (入力) / SMISO1 (入出力) / SSCL1 (入出力)	P15
			P30
		TXD1 (出力) / SMOSI1 (入出力) / SSDA1 (入出力)	P16
			P26
		SCK1 (入出力)	P17
			P27
		CTS1# (入力) / RTS1# (出力) / SS1# (入力)	P14
			P31
SCI2	RXD2 (入力) / SMISO2 (入出力) / SSCL2 (入出力)	P12	
		P52	
	TXD2 (出力) / SMOSI2 (入出力) / SSDA2 (入出力)	P13	
		P50	
	SCK2 (入出力)	P51	
	CTS2# (入力) / RTS2# (出力) / SS2# (入力)	P54	

表21.1 マルチプル端子の割り当て端子一覧 (7 / 11)

モジュール/機能	チャンネル	端子機能	割り当てポート	
シリアルコミュニケーションインタフェース	SCI3	RXD3 (入力) / SMISO3 (入出力) / SSCL3 (入出力)	P16	
			P25	
		TXD3 (出力) / SMOSI3 (入出力) / SSDA3 (入出力)	P17	
			P23	
		SCK3 (入出力)	P15	
		P24		
		CTS3# (入力) / RTS3# (出力) / SS3# (入力)	P26	
	SCI4	RXD4 (入力) / SMISO4 (入出力) / SSCL4 (入出力)		PB0
				PK4
		TXD4 (出力) / SMOSI4 (入出力) / SSDA4 (入出力)	PB1	
			PK5	
		SCK4 (入出力)	P70	
			PB3	
		CTS4# (入力) / RTS4# (出力) / SS4# (入力)	PB2	
		PE6		
	SCI5	RXD5 (入力) / SMISO5 (入出力) / SSCL5 (入出力)		PA2
				PA3
				PC2
		TXD5 (出力) / SMOSI5 (入出力) / SSDA5 (入出力)	PA4	
			PC3	
		SCK5 (入出力)	PA1	
			PC1	
			PC4	
		CTS5# (入力) / RTS5# (出力) / SS5# (入力)	PA6	
		PC0		
	SCI6	RXD6 (入力) / SMISO6 (入出力) / SSCL6 (入出力)		P01
				P33
				PB0
TXD6 (出力) / SMOSI6 (入出力) / SSDA6 (入出力)		P00		
		P32		
		PB1		
SCK6 (入出力)		P02		
		P34		
		PB3		
CTS6# (入力) / RTS6# (出力) / SS6# (入力)		PB2		
	PJ3			
SCI7	RXD7 (入力) / SMISO7 (入出力) / SSCL7 (入出力)	P92		

表21.1 マルチプル端子の割り当て端子一覧 (8 / 1 1)

モジュール/機能	チャンネル	端子機能	割り当てポート	
シリアルコミュニケーションインタフェース	SCI7	TXD7 (出力) / SMOSI7 (入出力) / SSDA7 (入出力)	P90	
		SCK7 (入出力)	P91	
		CTS7# (入力) / RTS7# (出力) / SS7# (入力)	P93	
	SCI8	RXD8 (入力) / SMISO8 (入出力) / SSCL8 (入出力)	PC6	
		TXD8 (出力) / SMOSI8 (入出力) / SSDA8 (入出力)	PC7	
		SCK8 (入出力)	PC5	
		CTS8# (入力) / RTS8# (出力) / SS8# (入力)	PC4	
	SCI9	RXD9 (入力) / SMISO9 (入出力) / SSCL9 (入出力)	PB6 PK3	
		TXD9 (出力) / SMOSI9 (入出力) / SSDA9 (入出力)	PB7 PK2	
		SCK9 (入出力)	P60 PB5	
		CTS9# (入力) / RTS9# (出力) / SS9# (入力)	P61 PB4	
		SCI10	RXD10 (入力) / SMISO10 (入出力) / SSCL10 (入出力)	P81
			TXD10 (出力) / SMOSI10 (入出力) / SSDA10 (入出力)	P82
	SCK10 (入出力)		P80	
	CTS10# (入力) / RTS10# (出力) / SS10# (入力)		P83	
	SCI11	RXD11 (入力) / SMISO11 (入出力) / SSCL11 (入出力)	P76	
		TXD11 (出力) / SMOSI11 (入出力) / SSDA11 (入出力)	P77	
		SCK11 (入出力)	P75	
		CTS11# (入力) / RTS11# (出力) / SS11# (入力)	P74	
	SCI12	RXD12 (入力) / SMISO12 (入出力) / SSCL12 (入出力) / RXDX12 (入力)	PE2	

表21.1 マルチプル端子の割り当て端子一覧 (9 / 11)

モジュール/機能	チャンネル	端子機能	割り当てポート
シリアルコミュニケーションインタフェース	SCI12	TXD12 (出力) / SMOSI12 (入出力) / SSDA12 (入出力) / TXDX12 (出力) / SIOX12 (入出力)	PE1
		SCK12 (入出力)	PE0
		CTS12# (入力) / RTS12# (出力) / SS12# (入力)	PE3
I ² Cバスインタフェース	RIIC0	SCL0-DS (入出力)	P16
		SCL0 (入出力)	P12
		SDA0-DS (入出力)	P17
		SDA0 (入出力)	P13
	RIIC1	SCL1 (入出力)	P21
		SDA1 (入出力)	P20
RIIC3	SCL3 (入出力)	PC0	
	SDA3 (入出力)	PC1	
シリアルペリフェラルインタフェース	RSPIO	RSPCKA (入出力)	PA5
			PB0
			PC5
		MOSIA (入出力)	P16
			PA6
			PC6
		MISOA (入出力)	P17
			PA7
			PC7
		SSLA0 (入出力)	PA4
			PC4
		SSLA1 (出力)	PA0
	PC0		
	SSLA2 (出力)	PA1	
		PC1	
	SSLA3 (出力)	PA2	
		PC2	
	RSP11	RSPCKB (入出力)	P27
			PE1
			PE5
MOSIB (入出力)		P26	
		PE2	
		PE6	
MISOB (入出力)		P30	
		PE3	
	PE7		
SSLB0 (入出力)	P31		
	PE4		

表21.1 マルチプル端子の割り当て端子一覧 (10 / 11)

モジュール/機能	チャンネル	端子機能	割り当てポート		
シリアルペリフェラルインタフェース	RSPI1	SSLB1 (出力)	P50		
			PE0		
		SSLB2 (出力)	P51		
			PE1		
		SSLB3 (出力)	P52		
			PE2		
		12ビットA/Dコンバータ		AN000 (入力) (注3)	P40
				AN001 (入力) (注3)	P41
				AN002 (入力) (注3)	P42
	AN003 (入力) (注3)		P43		
	AN004 (入力) (注3)		P44		
	AN005 (入力) (注3)		P45		
	AN006 (入力) (注3)		P46		
	AN007 (入力) (注3)		P47		
	AN008 (入力) (注3)		PE0		
	AN009 (入力) (注3)		PE1		
	AN010 (入力) (注3)		PE2		
	AN011 (入力) (注3)		PE3		
	AN012 (入力) (注3)		PE4		
	AN013 (入力) (注3)		PE5		
	AN014 (入力) (注3)		PE6		
	AN015 (入力) (注3)		PE7		
	ADTRG0# (入力)		P07		
			P16		
			P25		
D/Aコンバータ			DA0 (出力) (注3)	P03	
		DA1 (出力) (注3)	P05		
クロック周波数精度測定回路		CACREF (入力)	PA0		
			PC7		
			PH0		
HDMI-CEC		CECIO (入出力)	PL5 (注2)		
リモコン受光	RCR0	PMC0 (入力)	P00 (注2)		
	RCR1	PMC1 (入力)	P01 (注2)		
外部バス (注4)		CS0# (出力)	P24		
			PC7		
		CS1# (出力)	P25		
			PC6		
		CS2# (出力)	P26		
			PC5		
		CS3# (出力)	P27		
			PC4		
		A0~A7 (出力)	PA0~PA7		
		A8~A15 (出力)	PB0~PB7		
	A16~A23 (出力)	PC0~PC7			
	D0~D7 (入出力)	PD0~PD7			

表21.1 マルチプル端子の割り当て端子一覧 (1 1 / 1 1)

モジュール/機能	チャンネル	端子機能	割り当てポート
外部バス (注4)		D8～D15 (入出力)	PE0～PE7
		BCLK (出力)	P53
		RD# (出力)	P52
		WR# (出力)	P50
		WR0# (出力)	P50
		WR1# (出力)	P51
		BC0# (出力)	PA0
		BC1# (出力)	P51
		WAIT# (入力)	P51
			P55
			PC5
	ALE (出力)	P54	

注1. 5V版製品のみ割り当てポートが存在します。3V版製品には存在しません。

注2. 3V版製品のみ割り当てポートが存在します。5V版製品には存在しません。

注3. この端子機能を使用する場合は、該当端子の設定を汎用入力にしてください (PORT.PDR.BmビットおよびPORT.PMR.Bmビットを“0”にする)。

注4. 外部バスの設定については、「21.3 外部バスインタフェース設定方法」を参照してください。

21.2 レジスタの説明

端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

21.2.1 書き込みプロテクトレジスタ (PWPR)

アドレス 0008 C11Fh

b7	b6	b5	b4	b3	b2	b1	b0
BOWI	PFSWE	—	—	—	—	—	—

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0 : PFSレジスタへの書き込みを禁止 1 : PFSレジスタへの書き込みを許可	R/W
b7	BOWI	PFSWEビット書き込み禁止ビット	0 : PFSWEビットへの書き込みを許可 1 : PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット (PFS レジスタ書き込み許可ビット)

PFSWE ビットを“1”にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。

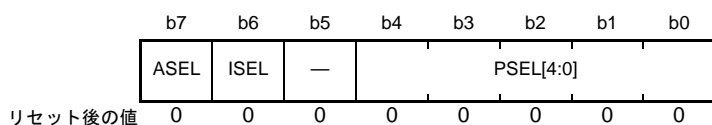
PFSWE ビットを“1”にする場合は、BOWI ビットに“0”を書いた後、PFSWE ビットを“1”にしてください。

BOWI ビット (PFSWE ビット書き込み禁止ビット)

BOWI ビットを“0”にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

21.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n = 0 ~ 3、5、7)

アドレス P00PFS 0008 C140h, P01PFS 0008 C141h, P02PFS 0008 C142h, P03PFS 0008 C143h,
P05PFS 0008 C145h, P07PFS 0008 C147h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P00 : IRQ8 P01 : IRQ9 P02 : IRQ10 P03 : IRQ11	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P03 : DA0 P05 : DA1	R/W

Pmn 端子機能制御レジスタ (PmnPFS) は、端子の機能を選択します。

PSEL[4:0] ビットで端子に割り付ける周辺機能を設定します。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせても使用できます。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ (PORTm.PMR) で汎用入出力ポートを選択し、ポート方向レジスタ (PORTm.PDR) で入力としてください。このとき、端子状態を読むことはできません。PmnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

IRQn 機能のない端子の ISEL ビットは予約です。アナログ入出力機能のない端子の ASEL ビットは予約です。

表21.2 端子入出力機能レジスタ設定

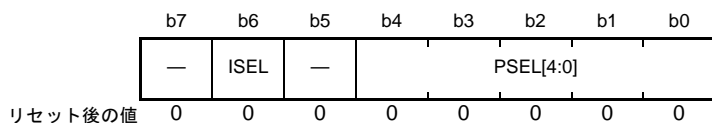
PSEL[4:0] ビット設定値	端子			
	P00	P01	P02	P07
00000b (初期値)	Hi-Z			
00101b	TMR10	TMC10	TMCI1	—
01001b	—	—	—	ADTRG0#
01010b	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6	—
11100b (注1)	PMC0	PMC1	—	—

— : 設定しないでください。

注1. 5V版は非対応

21.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n = 2 ~ 7)

アドレス P12PFS 0008 C14Ah, P13PFS 0008 C14Bh, P14PFS 0008 C14Ch, P15PFS 0008 C14Dh,
P16PFS 0008 C14Eh, P17PFS 0008 C14Fh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P12 : IRQ2 P13 : IRQ3 P14 : IRQ4 P15 : IRQ5 P16 : IRQ6 P17 : IRQ7	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

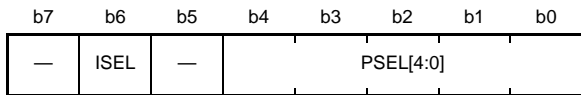
表 21.3 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子					
	P12	P13	P14	P15	P16	P17
00000b (初期値)	Hi-Z					
00001b	—	MTIOC0B	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
00010b	—	—	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
00011b	—	TIOCA5	TIOCB5	TIOCB2	TIOCB1	TIOCB0
00100b	—	—	TCLKA	TCLKB	TCLKC	TCLKD
00101b	TMCI1	TMO3	TMRI2	TMCI2	TMO2	TMO1
00110b	—	PO13	PO15	PO13	PO14	PO15
00111b	—	—	—	—	—	POE8#
01001b	—	—	—	—	ADTRG0#	—
01010b	RXD2 SMISO2 SSCL2	TXD2 SMOSI2 SSDA2	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	—	—	CTS1# RTS1# SS1#	SCK3	RXD3 SMISO3 SSCL3	TXD3 SMOSI3 SSDA3
01101b	—	—	—	—	MOSIA	MISOA
01111b	SCL0	SDA0	—	—	SCL0-DS	SDA0-DS

— : 設定しないでください。

21.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ~ 7)

アドレス P20PFS 0008 C150h, P21PFS 0008 C151h, P22PFS 0008 C152h, P23PFS 0008 C153h,
P24PFS 0008 C154h, P25PFS 0008 C155h, P26PFS 0008 C156h, P27PFS 0008 C157h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P20 : IRQ8 P21 : IRQ9	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

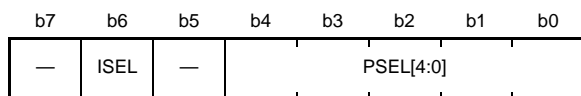
表 21.4 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子							
	P20	P21	P22	P23	P24	P25	P26	P27
00000b (初期値)	Hi-Z							
00001b	MTIOC1A	MTIOC1B	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	MTIOC2A	MTIOC2B
00010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB	—	—
00011b	TIOCB3	TIOCA3	TIOCC3	TIOCD3	TIOCB4	TIOCA4	—	—
00101b	TMRI0	TMCIO	TMO0	—	TMRI1	—	TMO1	TMCI3
00110b	PO0	PO1	PO2	PO3	PO4	PO5	PO6	PO7
01001b	—	—	—	—	—	ADTRG0#	—	—
01010b	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	SCK0	TXD3 SMOSI3 SSDA3	SCK3	RXD3 SMISO3 SSCL3	TXD1 SMOSI1 SSDA1	SCK1
01011b	—	—	—	CTS0# RTS0# SS0#	—	—	CTS3# RTS3# SS3#	—
01101b	—	—	—	—	—	—	MOSIB	RSPCKB
01111b	SDA1	SCL1	—	—	—	—	—	—

— : 設定しないでください。

21.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ~ 4)

アドレス P30PFS 0008 C158h, P31PFS 0008 C159h, P32PFS 0008 C15Ah, P33PFS 0008 C15Bh, P34PFS 0008 C15Ch



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P30 : IRQ0-DS P31 : IRQ1-DS P32 : IRQ2-DS P33 : IRQ3-DS P34 : IRQ4	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

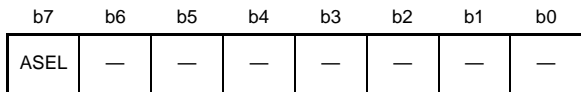
表 21.5 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子				
	P30	P31	P32	P33	P34
00000b (初期値)	Hi-Z				
00001b	MTIOC4B	MTIOC4D	MTIOC0C	MTIOC0D	MTIOC0A
00011b	—	—	TIOCC0	TIOC0D	—
00101b	TMRI3	TMCI2	TMO3	TMRI3	TMCI3
00110b	PO8	PO9	PO10	PO11	PO12
00111b	POE8#	—	—	POE3#	POE2#
01010b	RXD1 SMISO1 SSCL1	—	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	SCK0
01011b	—	CTS1# RTS1# SS1#	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6
01101b	MISOB	SSLB0	—	—	—

— : 設定しないでください。

21.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 7)

アドレス P40PFS 0008 C160h, P41PFS 0008 C161h, P42PFS 0008 C162h, P43PFS 0008 C163h,
P44PFS 0008 C164h, P45PFS 0008 C165h, P46PFS 0008 C166h, P47PFS 0008 C167h

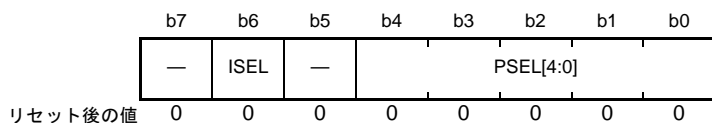


リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40 : AN000 P41 : AN001 P42 : AN002 P43 : AN003 P44 : AN004 P45 : AN005 P46 : AN006 P47 : AN007	R/W

21.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 2, 4 ~ 6)

アドレス P50PFS 0008 C168h, P51PFS 0008 C169h, P52PFS 0008 C16Ah, P54PFS 0008 C16Ch,
P55PFS 0008 C16Dh, P56PFS 0008 C16Eh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P55 : IRQ10	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

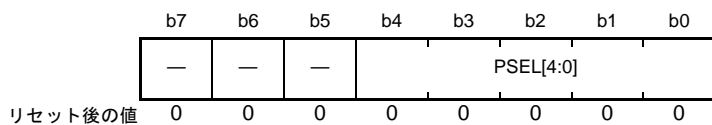
表21.6 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子					
	P50	P51	P52	P54	P55	P56
00000b (初期値)	Hi-Z					
00001b	—	—	—	MTIOC4B	MTIOC4D	MTIOC3C
00011b	—	—	—	—	—	TIOCA1
00101b	—	—	—	TMCI1	TMO3	—
01010b	TXD2 SMOSI2 SSDA2	SCK2	RXD2 SMISO2 SSCL2	—	—	—
01011b	—	—	—	CTS2# RTS2# SS2#	—	—
01101b	SSLB1	SSLB2	SSLB3	—	—	—

— : 設定しないでください。

21.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n = 0, 1)

アドレス P60PFS 0008 C170h, P61PFS 0008 C171h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

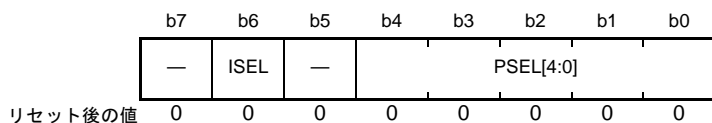
表21.7 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子	
	P60	P61
00000b (初期値)	Hi-Z	
01010b	SCK9	—
01011b	—	CTS9# RTS9# SS9#

— : 設定しないでください。

21.2.9 P7n 端子機能制御レジスタ (P7nPFS) (n = 0, 3 ~ 7)

アドレス P70PFS 0008 C178h, P73PFS 0008 C17Bh, P74PFS 0008 C17Ch, P75PFS 0008 C17Dh,
P76PFS 0008 C17Eh, P77PFS 0008 C17Fh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P73 : IRQ12	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

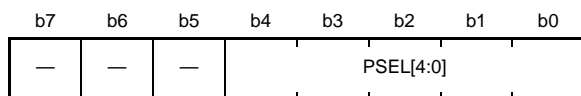
表21.8 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子				
	P70	P74	P75	P76	P77
00000b (初期値)	Hi-Z				
01010b	SCK4	—	SCK11	RXD11 SMISO11 SSCL11	TXD11 SMOSI11 SSDA11
01011b	—	CTS11# RTS11# SS11#	—	—	—

— : 設定しないでください。

21.2.10 P8n 端子機能制御レジスタ (P8nPFS) (n = 0 ~ 3、6、7)

アドレス P80PFS 0008 C180h, P81PFS 0008 C181h, P82PFS 0008 C182h, P83PFS 0008 C183h,
P86PFS 0008 C186h, P87PFS 0008 C187h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

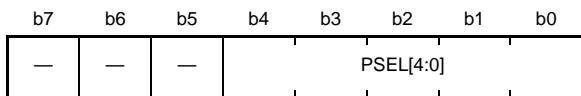
表21.9 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子					
	P80	P81	P82	P83	P86	P87
00000b (初期値)	Hi-Z					
00001b	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	—	—
00011b	—	—	—	—	TIOCA0	TIOCA2
01010b	SCK10	RXD10 SMISO10 SSCL10	TXD10 SMOSI10 SSDA10	—	—	—
01011b	—	—	—	CTS10# RTS10# SS10#	—	—

— : 設定しないでください。

21.2.11 P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 3)

アドレス P90PFS 0008 C188h, P91PFS 0008 C189h, P92PFS 0008 C18Ah, P93PFS 0008 C18Bh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

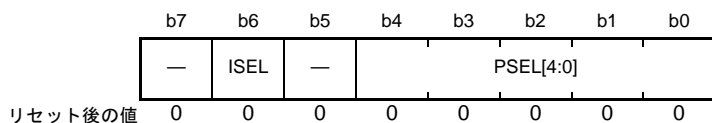
表21.10 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子			
	P90	P91	P92	P93
00000b (初期値)	Hi-Z			
01010b	TXD7 SMOSI7 SSDA7	SCK7	RXD7 SMISO7 SSCL7	—
01011b	—	—	—	CTS7# RTS7# SS7#

— : 設定しないでください。

21.2.12 PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ~ 7)

アドレス PA0PFS 0008 C190h, PA1PFS 0008 C191h, PA2PFS 0008 C192h, PA3PFS 0008 C193h, PA4PFS 0008 C194h, PA5PFS 0008 C195h, PA6PFS 0008 C196h, PA7PFS 0008 C197h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PA1 : IRQ11 PA3 : IRQ6-DS PA4 : IRQ5-DS	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

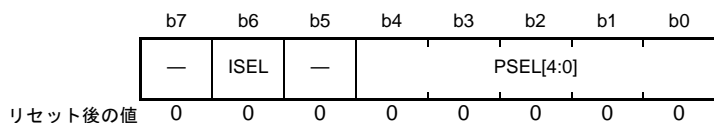
表 21.11 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子							
	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7
00000b (初期値)	Hi-Z							
00001b	MTIOC4A	MTIOC0B	—	MTIOC0D	MTIC5U	—	MTIC5V	—
00010b	—	MTCLKC	—	MTCLKD	MTCLKA	—	MTCLKB	—
00011b	TIOCA0	TIOCB0	—	TIOCD0	TIOCA1	TIOCB1	TIOCA2	TIOCB2
00100b	—	—	—	TCLKB	—	—	—	—
00101b	—	—	—	—	TMRI0	—	TMCI3	—
00111b	CACREF	—	—	—	—	—	POE2#	—
01010b	—	SCK5	RXD5 SMISO5 SSCL5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—	—	—
01011b	—	—	—	—	—	—	CTS5# RTS5# SS5#	—
01101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA

— : 設定しないでください。

21.2.13 P_{Bn} 端子機能制御レジスタ (P_{Bn}PFS) (n = 0 ~ 7)

アドレス PB0PFS 0008 C198h, PB1PFS 0008 C199h, PB2PFS 0008 C19Ah, PB3PFS 0008 C19Bh, PB4PFS 0008 C19Ch, PB5PFS 0008 C19Dh, PB6PFS 0008 C19Eh, PB7PFS 0008 C19Fh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子入出力機能ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PB0 : IRQ12 PB1 : IRQ4-DS	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

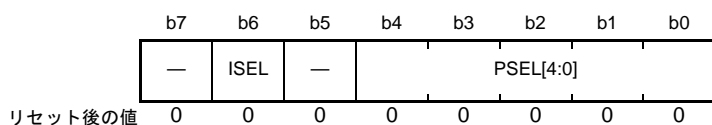
表 21.12 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
00000b (初期値)	Hi-Z							
00001b	MTIC5W	MTIOC0C	—	MTIOC0A	—	MTIOC2A	MTIOC3D	MTIOC3B
00010b	—	MTIOC4C	—	MTIOC4A	—	MTIOC1B	—	—
00011b	TIOCA3	TIOCB3	TIOCC3	TIOCD3	TIOCA4	TIOCB4	TIOCA5	TIOCB5
00100b	—	—	TCLKC	TCLKD	—	—	—	—
00101b	—	TMCIO	—	TMO0	—	TMRI1	—	—
00111b	—	—	—	POE3#	—	POE1#	—	—
01010b	RXD4 SMISO4 SSCL4	TXD4 SMOSI4 SSDA4	CTS4# RTS4# SS4#	SCK4	—	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
01011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	CTS6# RTS6# SS6#	SCK6	CTS9# RTS9# SS9#	—	—	—
01101b	RSPCKA	—	—	—	—	—	—	—

— : 設定しないでください。

21.2.14 PCn 端子機能制御レジスタ (PCnPFS) (n = 0 ~ 7)

アドレス PC0PFS 0008 C1A0h, PC1PFS 0008 C1A1h, PC2PFS 0008 C1A2h, PC3PFS 0008 C1A3h,
PC4PFS 0008 C1A4h, PC5PFS 0008 C1A5h, PC6PFS 0008 C1A6h, PC7PFS 0008 C1A7h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子入出力機能ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PC1 : IRQ12	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

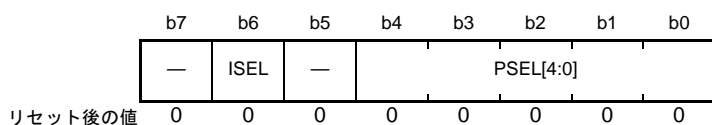
表21.13 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子							
	PC0	PC1	PC2	PC3	PC4	PC5	PC6	PC7
00000b (初期値)	Hi-Z							
00001b	MTIOC3C	MTIOC3A	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
00010b	—	—	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	TCLKC	TCLKD	TCLKA	TCLKB	—	—	—	—
00101b	—	—	—	—	TMC11	TMRI2	TMC12	TMO2
00111b	—	—	—	—	POE0#	—	—	CACREF
01010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
01011b	CTS5# RTS5# SS5#	—	—	—	CTS8# RTS8# SS8#	—	—	—
01101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
01111b	SCL3	SDA3	—	—	—	—	—	—

— : 設定しないでください。

21.2.15 PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ~ 7)

アドレス PD0PFS 0008 C1A8h, PD1PFS 0008 C1A9h, PD2PFS 0008 C1AAh, PD3PFS 0008 C1ABh,
PD4PFS 0008 C1ACh, PD5PFS 0008 C1ADh, PD6PFS 0008 C1AEh, PD7PFS 0008 C1AFh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子入出力機能ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PD0 : IRQ0 PD1 : IRQ1 PD2 : IRQ2 PD3 : IRQ3 PD4 : IRQ4 PD5 : IRQ5 PD6 : IRQ6 PD7 : IRQ7	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

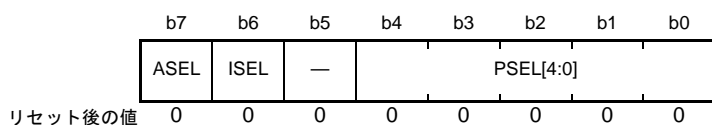
表 21.14 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子						
	PD1	PD2	PD3	PD4	PD5	PD6	PD7
00000b (初期値)	Hi-Z						
00001b	MTIOC4B	MTIOC4D	—	—	MTIC5W	MTIC5V	MTIC5U
00111b	—	—	POE8#	POE3#	POE2#	POE1#	POE0#

— : 設定しないでください。

21.2.16 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7)

アドレス PE0PFS 0008 C1B0h, PE1PFS 0008 C1B1h, PE2PFS 0008 C1B2h, PE3PFS 0008 C1B3h,
PE4PFS 0008 C1B4h, PE5PFS 0008 C1B5h, PE6PFS 0008 C1B6h, PE7PFS 0008 C1B7h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	PEn 端子入出力機能ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PE2 : IRQ7-DS PE5 : IRQ5 PE6 : IRQ6 PE7 : IRQ7	R/W
b7	ASEL	PEn アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PE0 : AN008 PE1 : AN009 PE2 : AN010 PE3 : AN011 PE4 : AN012 PE5 : AN013 PE6 : AN014 PE7 : AN015	R/W

表 21.15 端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子							
	PE0	PE1	PE2	PE3	PE4	PE5	PE6	PE7
00000b (初期値)	Hi-Z							
00001b	—	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D	MTIOC4C	—	—
00010b	—	—	—	—	MTIOC1A	MTIOC2B	—	—
00111b	—	—	—	POE8#	—	—	—	—
01011b	—	—	—	—	—	—	CTS4# RTS4# SS4#	—
01100b	SCK12	TXD12 TXDX12 SIOX12 SMOSI12 SSDA12	RXD12 RXDX12 SMISO12 SSCL12	CTS12# RTS12# SS12#	—	—	—	—
01101b	SSLB1	SSLB2	SSLB3	MISOB	SSLB0	RSPCKB	MOSIB	MISOB
01110b	—	RSPCKB	MOSIB	—	—	—	—	—

— : 設定しないでください。

21.2.17 PF5 端子機能制御レジスタ (PF5PFS)

アドレス PF5PFS 0008 C1BDh

b7	b6	b5	b4	b3	b2	b1	b0
—	ISEL	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PF5 : IRQ4	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

21.2.18 PHn 端子機能制御レジスタ (PHnPFS) (n = 0 ~ 3)

アドレス PH0PFS 0008 C1C8h, PH1PFS 0008 C1C9h, PH2PFS 0008 C1CAh, PH3PFS 0008 C1CBh

b7	b6	b5	b4	b3	b2	b1	b0	
—	ISEL	—	PSEL[4:0]				—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PH1 : IRQ0 PH2 : IRQ1	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

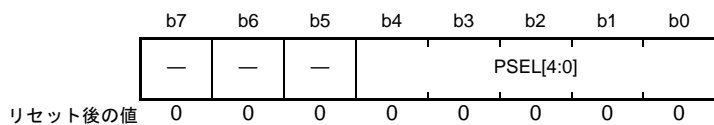
表21.16 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子			
	PH0	PH1	PH2	PH3
00000b (初期値)	Hi-Z			
00101b	—	TMO0	TMRI0	TMCIO
00111b	CACREF	—	—	—

— : 設定しないでください。

21.2.19 PJn 端子機能制御レジスタ (PJnPFS) (n = 1, 3)

アドレス PJ1PFS 0008 C1D1h, PJ3PFS 0008 C1D3h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

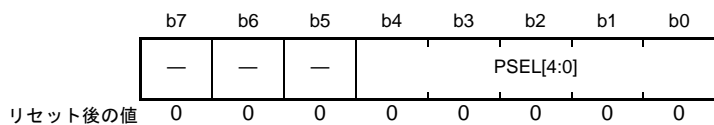
表21.17 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子	
	PJ1	PJ3
00000b (初期値)	Hi-Z	
00001b	MTIOC3A	MTIOC3C
01010b	—	CTS0# RTS0# SS0#
01011b	—	CTS6# RTS6# SS6#

— : 設定しないでください。

21.2.20 PKn 端子機能制御レジスタ (PKnPFS) (n = 2 ~ 5)

アドレス PK2PFS 0008 C1DAh, PK3PFS 0008 C1DBh, PK4PFS 0008 C1DCh, PK5PFS 0008 C1DDh



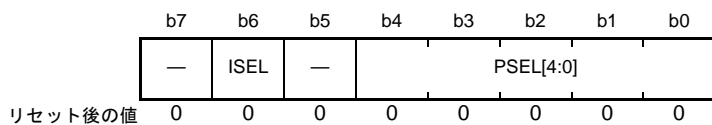
ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.18 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子			
	PK2	PK3	PK4	PK5
00000b (初期値)	Hi-Z			
01010b	TXD9 SMOSI9 SSDA9	RXD9 SMISO9 SSCL9	RXD4 SMISO4 SSCL4	TXD4 SMOSI4 SSDA4

21.2.21 PLn 端子機能制御レジスタ (PLnPFS) (n = 5)

アドレス PL5PFS 0008 C1E5h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PL5 : IRQ12	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.19 端子入出力機能レジスタ設定

PSEL[4:0]	端子
ビット設定値	PL5
00000b (初期値)	Hi-Z
11011b	CECIO

21.2.22 CS 出力許可レジスタ (PFCSE)

アドレス 0008 C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CS0E	PC7のCS0許可ビット	0 : PC7をI/Oポートとして設定 1 : PC7をCS0#信号として設定	R/W
b1	CS1E	PC6のCS1許可ビット	0 : PC6をI/Oポートとして設定 1 : PC6をCS1#信号として設定	R/W
b2	CS2E	P26のCS2許可ビット	0 : P26をI/Oポートとして設定 1 : P26をCS2#信号として設定	R/W
b3	CS3E	P27のCS3許可ビット	0 : P27をI/Oポートとして設定 1 : P27をCS3#信号として設定	R/W
b4	CS4E	P24のCS0許可ビット	0 : P24をI/Oポートとして設定 1 : P24をCS0#信号として設定	R/W
b5	CS5E	P25のCS1許可ビット	0 : P25をI/Oポートとして設定 1 : P25をCS1#信号として設定	R/W
b6	CS6E	PC5のCS2許可ビット	0 : PC5をI/Oポートとして設定 1 : PC5をCS2#信号として設定	R/W
b7	CS7E	PC4のCS3許可ビット	0 : PC4をI/Oポートとして設定 1 : PC4をCS3#信号として設定	R/W

PFCSE レジスタは、CSn# (n=0 ~ 3) 出力を許可 / 禁止を選択するレジスタです。

CSn 信号を出力する場合には、PFCSE レジスタを設定後にシステムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にしてください。SYSCR0.EXBE ビットについては、「3.2.3 システムコントロールレジスタ 0 (SYSCR0)」を参照してください。

表 21.20 に PC5 の CS2# 出力と WAIT# 入力の設定方法を示します。

表 21.20 PC5のCS2#出力とWAIT#入力の設定方法

外部バス許可ビット (SYSCR0.EXBE) 有効		外部バス制御レジスタ 1 (PFBCR1) WAIT5[1:0]ビット	
		10	左記以外
CS出力許可レジスタ (PFCSE)	1	(注1)	CS2# (出力)
CS6E ビット	0	WAIT# (入力)	(注2)

注1. 設定しないでください。

注2. 汎用ポートと周辺モジュールの切り換えができます。

21.2.23 アドレス出力許可レジスタ 0 (PFAOE0)

アドレス 0008 C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	A15E	A14E	A13E	A12E	A11E	A10E	A9E	A8E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	A8E	アドレスA8出力許可ビット	0 : A8出力禁止 1 : A8出力許可	R/W
b1	A9E	アドレスA9出力許可ビット	0 : A9出力禁止 1 : A9出力許可	R/W
b2	A10E	アドレスA10出力許可ビット	0 : A10出力禁止 1 : A10出力許可	R/W
b3	A11E	アドレスA11出力許可ビット	0 : A11出力禁止 1 : A11出力許可	R/W
b4	A12E	アドレスA12出力許可ビット	0 : A12出力禁止 1 : A12出力許可	R/W
b5	A13E	アドレスA13出力許可ビット	0 : A13出力禁止 1 : A13出力許可	R/W
b6	A14E	アドレスA14出力許可ビット	0 : A14出力禁止 1 : A14出力許可	R/W
b7	A15E	アドレスA15出力許可ビット	0 : A15出力禁止 1 : A15出力許可	R/W

PFAOE0 レジスタは、アドレス出力の許可/禁止を選択するレジスタです。

AnE ビット (アドレス An 出力許可ビット) (n = 8 ~ 15)

アドレス出力 (An) の出力許可/禁止を選択します。

An 信号を出力する場合には、PFAOE0 レジスタを設定後にシステムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にしてください。SYSCR0.EXBE ビットについては、「3.2.3 システムコントロールレジスタ 0 (SYSCR0)」を参照してください。

21.2.24 アドレス出力許可レジスタ 1 (PFAOE1)

アドレス 0008 C105h

	b7	b6	b5	b4	b3	b2	b1	b0
	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	A16E	アドレスA16出力許可ビット	0 : A16出力禁止 1 : A16出力許可	R/W
b1	A17E	アドレスA17出力許可ビット	0 : A17出力禁止 1 : A17出力許可	R/W
b2	A18E	アドレスA18出力許可ビット	0 : A18出力禁止 1 : A18出力許可	R/W
b3	A19E	アドレスA19出力許可ビット	0 : A19出力禁止 1 : A19出力許可	R/W
b4	A20E	アドレスA20出力許可ビット	0 : A20出力禁止 1 : A20出力許可	R/W
b5	A21E	アドレスA21出力許可ビット	0 : A21出力禁止 1 : A21出力許可	R/W
b6	A22E	アドレスA22出力許可ビット	0 : A22出力禁止 1 : A22出力許可	R/W
b7	A23E	アドレスA23出力許可ビット	0 : A23出力禁止 1 : A23出力許可	R/W

PFAOE1 レジスタは、アドレス出力の許可/禁止を選択するレジスタです。

AnE ビット (アドレス An 出力許可ビット) (n = 16 ~ 23)

アドレス出力 (An) の出力許可/禁止を選択します。

An 信号を出力する場合には、PFAOE1 レジスタを設定後にシステムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にしてください。SYSCR0.EXBE ビットについては、「3.2.3 システムコントロールレジスタ 0 (SYSCR0)」を参照してください。

21.2.25 外部バス制御レジスタ 0 (PFBCR0)

アドレス 0008 C106h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	WR1BC1E	—	DHE	—	—	—	ADRLE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADRLE	A0～A7出力許可ビット	0: PA0～PA7をI/Oポートとして設定 1: PA0～PA7を外部アドレスバスA0～A7として設定	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DHE	D8～D15出力許可ビット	0: PE0～PE7をI/Oポートとして設定 1: PE0～PE7を外部データバスD8～D15として設定	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	WR1BC1E	WR1#/BC1#出力許可ビット	0: P51をI/Oポートとして設定 1: P51をWR1#またはBC1#として設定	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFBCR0 レジスタは、外部バスの入出力端子を制御するレジスタです。

ADRLE ビット (A0～A7 出力許可ビット)

アドレスバス (A0～A7) の出力許可/禁止を選択します。

DHE ビット (D8～D15 出力許可ビット)

データ入出力 (D8～D15) の入出力許可/禁止を選択します。

設定は、CSi 制御レジスタの外部バス幅選択ビット (CSnCR.BSIZE[1:0]) で設定した外部バス幅に合わせてください。外部 16 ビットバスに設定した状態で DHE ビットを“0”にすると、動作は保証できません。CSnCR.BSIZE[1:0] ビットについては、「15.3.1 CSn 制御レジスタ (CSnCR) (n = 0～3)」を参照してください。

WR1BC1E ビット (WR1#/BC1# 出力許可ビット)

WR1#/BC1# 出力の許可/禁止を選択します。

データ D8～D15 許可、WR1#/BC1# 出力許可を有効にするには、PFBCR0 レジスタを設定後にシステムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にしてください。SYSCR0.EXBE ビットについては、「3.2.3 システムコントロールレジスタ 0 (SYSCR0)」を参照してください。

表 21.21 に P51 の WR1#/BC1# 出力と WAIT# 入力の設定方法を示します。

表 21.21 P51のWR1#/BC1#出力とWAIT#入力の設定方法

外部バス許可ビット (SYSCR0.EXBE) 有効	外部バス制御レジスタ 1 (PFBCR1) WAITs[1:0] ビット		
	11	左記以外	
外部バス制御レジスタ 0 (PFBCR0) WR1BC1E ビット	1	(注1)	WR1#/BC1# (出力)
	0	WAIT# (入力)	(注2)

注1. 設定しないでください。

注2. 汎用ポートと周辺モジュールの切り換えができます。

21.2.26 外部バス制御レジスタ 1 (PFBCR1)

アドレス 0008 C107h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	ALEOE	WAITS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	WAITS[1:0]	WAIT 選択ビット	b1 b0 0 x : P55 を WAIT# 入力端子として設定 1 0 : PC5 を WAIT# 入力端子として設定 1 1 : P51 を WAIT# 入力端子として設定	R/W
b2	ALEOE	ALE 出力許可ビット	0 : P54 を I/O ポートとして設定 1 : P54 を ALE 端子として設定	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

PFBCR1 レジスタは、外部バスの入出力端子を制御するレジスタです。

WAITS[1:0] ビット (WAIT 選択ビット)

外部バス有効時、WAITS[1:0] ビットで指定したポートは WAIT# 端子になります。ただし、指定したポートを WAIT# 端子として使用しない場合は、CSn モードレジスタの外部ウェイト許可ビット (CSnMOD.EWENB) を“0” (外部ウェイト禁止) に設定することで、汎用入力ポートとして使用できます。

WAIT# 信号を入力する場合には、PFBCR1 レジスタを設定後にシステムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にしてください。SYSCR0.EXBE ビットについては、「3.2.3 システムコントロールレジスタ 0 (SYSCR0)」を参照してください。

表 21.22 に PC5 の CS2# 出力と WAIT# 入力の設定方法を示し、表 21.23 に P51 の WR1#/BC1# 出力と WAIT# 入力の設定方法を示します。

表 21.22 PC5のCS2#出力とWAIT#入力の設定方法

外部バス許可ビット (SYSCR0.EXBE) 有効		外部バス制御レジスタ 1 (PFBCR1) WAITS[1:0] ビット	
		10	左記以外
CS 出力許可レジスタ (PFCSE) CS6E ビット	1	(注1)	CS2# (出力)
	0	WAIT# (入力)	(注2)

表 21.23 P51のWR1#/BC1#出力とWAIT#入力の設定方法

外部バス許可ビット (SYSCR0.EXBE) 有効		外部バス制御レジスタ 1 (PFBCR1) WAITS[1:0] ビット	
		11	左記以外
外部バス制御レジスタ 0 (PFBCR0) WR1BC1E ビット	1	(注1)	WR1#/BC1# (出力)
	0	WAIT# (入力)	(注2)

注1. 設定しないでください。

注2. 汎用ポートと周辺モジュールの切り換えができます。

21.3 外部バスインタフェース設定方法

外部バスインタフェースを使用する場合は、MPCのレジスタを表21.24のとおりを設定して、システムコントロールレジスタ0の外部バス有効ビット (SYSCR0.EXBE) を“1”にしてください。

表21.24に各ポートの外部バスインタフェース設定方法を示します。

該当するMPCのレジスタの詳細は、「21.2 レジスタの説明」を参照してください。

表21.24 外部バスインタフェース設定方法 (1/2)

ポート	モジュール名	信号名	外部バスインタフェース制御レジスタ
P24	外部バス (CS)	CS0#	PFCSE.CS4E = 1
P25	外部バス (CS)	CS1#	PFCSE.CS5E = 1
P26	外部バス (CS)	CS2#	PFCSE.CS2E = 1
P27	外部バス (CS)	CS3#	PFCSE.CS3E = 1
P50	外部バス	WR# WR0#	
P51	外部バス	WR1# BC1#	PFBCR0.WR1BC1E = 1 PFBCR1.WAITS[1:0] = 00 or 01 or 10
	外部バス (WAIT)	WAIT#	PFBCR0.WR1BC1E = 0 PFBCR1.WAITS[1:0] = 11
P52	外部バス	RD#	
P53	外部バス	BCLK	
P54	外部バス	ALE	PFBCR1.ALEOE=1
P55	外部バス (WAIT)	WAIT#	PFBCR1.WAITS[1:0] = 00 or 01
PA0	外部バス (アドレス)	A0 BC0#	PFBCR0.ADRLE=1
PA1	外部バス (アドレス)	A1	PFBCR0.ADRLE=1
PA2	外部バス (アドレス)	A2	PFBCR0.ADRLE=1
PA3	外部バス (アドレス)	A3	PFBCR0.ADRLE=1
PA4	外部バス (アドレス)	A4	PFBCR0.ADRLE=1
PA5	外部バス (アドレス)	A5	PFBCR0.ADRLE=1
PA6	外部バス (アドレス)	A6	PFBCR0.ADRLE=1
PA7	外部バス (アドレス)	A7	PFBCR0.ADRLE=1
PB0	外部バス (アドレス)	A8	PFAOE0.A8E = 1
PB1	外部バス (アドレス)	A9	PFAOE0.A9E = 1
PB2	外部バス (アドレス)	A10	PFAOE0.A10E = 1
PB3	外部バス (アドレス)	A11	PFAOE0.A11E = 1
PB4	外部バス (アドレス)	A12	PFAOE0.A12E = 1
PB5	外部バス (アドレス)	A13	PFAOE0.A13E = 1
PB6	外部バス (アドレス)	A14	PFAOE0.A14E = 1
PB7	外部バス (アドレス)	A15	PFAOE0.A15E = 1
PC0	外部バス (アドレス)	A16	PFAOE1.A16E = 1
PC1	外部バス (アドレス)	A17	PFAOE1.A17E = 1
PC2	外部バス (アドレス)	A18	PFAOE1.A18E = 1
PC3	外部バス (アドレス)	A19	PFAOE1.A19E = 1
PC4	外部バス (アドレス)	A20	PFAOE1.A20E = 1、PFCSE.CS7E = 0
	外部バス (CS)	CS3#	PFAOE1.A20E = 0、PFCSE.CS7E = 1
PC5	外部バス (アドレス)	A21	PFAOE1.A21E = 1、PFCSE.CS6E = 0 PFBCR1.WAITS[1:0] = 00 or 01 or 11
	外部バス (CS)	CS2#	PFAOE1.A21E = 0、PFCSE.CS6E = 1 PFBCR1.WAITS[1:0] = 00 or 01 or 11

表21.24 外部バスインタフェース設定方法 (2 / 2)

ポート	モジュール名	信号名	外部バスインタフェース制御レジスタ
PC5	外部バス (WAIT)	WAIT#	PFAOE1.A21E = 0、PFCSE.CS6E = 0 PFBCR1.WAITS[1:0] = 10
PC6	外部バス (アドレス)	A22	PFAOE1.A22E = 1、PFCSE.CS1E = 0
	外部バス (CS)	CS1#	PFAOE1.A22E = 0、PFCSE.CS1E = 1
PC7	外部バス (アドレス)	A23	PFAOE1.A23E = 1、PFCSE.CS0E = 0
	外部バス (CS)	CS0#	PFAOE1.A23E = 0、PFCSE.CS0E = 1
PD0	外部バス (データ)	D0	
PD1	外部バス (データ)	D1	
PD2	外部バス (データ)	D2	
PD3	外部バス (データ)	D3	
PD4	外部バス (データ)	D4	
PD5	外部バス (データ)	D5	
PD6	外部バス (データ)	D6	
PD7	外部バス (データ)	D7	
PE0	外部バス (データ)	D8	PFBCR0.DHE = 1
PE1	外部バス (データ)	D9	PFBCR0.DHE = 1
PE2	外部バス (データ)	D10	PFBCR0.DHE = 1
PE3	外部バス (データ)	D11	PFBCR0.DHE = 1
PE4	外部バス (データ)	D12	PFBCR0.DHE = 1
PE5	外部バス (データ)	D13	PFBCR0.DHE = 1
PE6	外部バス (データ)	D14	PFBCR0.DHE = 1
PE7	外部バス (データ)	D15	PFBCR0.DHE = 1

21.4 使用上の注意事項

21.4.1 端子入出力機能設定手順

端子入出力機能の設定は下記の手順で行ってください。

1. ポートモードレジスタ (PMR) を“0”にして汎用入力機能に設定します。
2. 周辺機能モジュールにおいて、当該端子にアサインする入出力信号を設定します。
3. 書き込みプロテクトレジスタ (PWPR) を設定して、Pmn 端子機能制御レジスタ (PmnPFS) を書き込み有効にします (m=0~9, A~F, H, J, K, L n=0~7)。
4. PmnPFS.PSEL[4:0] ビットにより端子入出力機能を設定します。
5. PWPR.PFSWE ビットを“0”設定し、PmnPFS レジスタへの書き込み禁止してください。
6. 必要に応じて PMR を“1”に設定し、選択された端子入出力機能に切り替えます。

21.4.2 MPC レジスタ設定する場合の注意事項

1. Pmn 端子機能制御レジスタ (PmnPFS) を設定するときは、当該端子の PMR レジスタが“0”の状態を設定してください。PMR レジスタが“1”の状態では PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は、意図しないパルスが出力されたりする可能性があります。
2. PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合、動作は保証されません。
3. MPC により同一の機能を複数の端子に割り当てる設定はしないでください。
4. ポート 0、4、E は A/D コンバータおよび D/A コンバータのアナログ入出力端子の機能も兼ねています。アナログ入出力端子として使用する場合は、精度劣化させないために、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを“1”にしてください。
5. マルチプル端子のポートモードレジスタ (PMR)、ポート方向レジスタ (PDR) と、Pmn 端子機能制御レジスタ (PmnPFS) の設定および注意事項を表 21.25 に示します。

表 21.25 レジスタの設定

項目	PMR.Bn	PDR.Bn	PmnPFS			注意事項
			ASEL	ISEL	PSEL[4:0]	
リセット解除後	0	0	0	0	0000b	リセット解除後は汎用入力ポートとして機能します
汎用入力ポート	0	0	0	0/1	×	割り込み入力と併用する場合は、ISEL ビットを“1”にしてください
汎用出力ポート	0	1	0	0	×	
周辺機能	1	×	0	0/1	周辺機能 (表 21.2 ~ 表 21.18 参照)	割り込み入力と併用する場合は、ISEL ビットを“1”にしてください
割り込み入力	0	0	0	1	×	
NMI	×	×	×	× (注1)	×	レジスタの設定は不要です
アナログ入出力	0	0	1	× (注1)	×	出力バッファをOFFにするため、汎用入力ポートに設定してください
外部バス	0	×	0	0	×	PMR.Bn ビットを“0”にして、周辺機能を選択しないでください
JTAG インタフェース	0	×	×	0	×	PMR.Bn ビットを“0”に、PmnPFS.ISEL ビットを“0”にして入力バッファをOFFにしてください
FINE インタフェース	0	×	×	0	×	PMR.Bn ビットを“0”に、PmnPFS.ISEL ビットを“0”にして入力バッファをOFFにしてください

× : 設定不要

0/1 : PmnPFS.ISEL ビットを“0”にすれば、IRQ 端子として機能しません

PmnPFS.ISEL ビットを“1”にすれば、IRQ 端子として機能します (IRQ がマルチプルされている場合)

- 注.
- ・端子状態の読み出しは、PmnPFS.ASEL ビットが“0”のとき可能です。
 - ・PmnPFS.PSEL[4:0] ビットの変更は、PMR.Bn ビットが“0”の状態で行ってください。
 - ・RIIC をアサインしたポートは、PCR.Bn ビットを“0”にしてください (RIIC 以外の周辺機能出力では自動的にプルアップが OFF になります)。
 - ・同一端子に複数の外部バス信号を設定しないでください。

注1. PmnPFS.ISEL ビットを“1”にしても、IRQn 入力端子として機能しません。

21.4.3 アナログ機能を使う場合の注意事項

アナログ機能を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”にし、当該端子を汎用入力にしてから、Pmn 端子機能制御レジスタ (PmnPFS) の ASEL ビットを“1”にしてください。

22. マルチファンクションタイマパルスユニット2 (MTU2a)

本章に記載している PCLK とは PCLKB を指します。

22.1 概要

本 MCU は、6 チャンネル (MTU0 ~ MTU5) の 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット2 (MTU) を内蔵しています。

表 22.1 に MTU の仕様を、表 22.2 に MTU の機能一覧を示します。また、図 22.1 に MTU のブロック図を示します。

表 22.1 MTU の仕様

項目	内容
パルス入出力	最大 16 本
パルス入力	3 本
カウントクロック	チャンネルごとに 8 または 7 種類 (MTU5 は 4 種類)
設定可能動作	<p>【MTU0 ~ 4】</p> <ul style="list-style-type: none"> コンペアマッチによる波形出力 インプットキャプチャ機能 (ノイズフィルタ設定機能) カウンタクリア動作 複数のタイマカウンタ (TCNT) への同時書き込み コンペアマッチ/インプットキャプチャによる同時クリア カウンタの同期動作による各レジスタの同期入出力 同期動作と組み合わせることによる最大 12 相の PWM 出力 <p>【MTU0、3、4】</p> <ul style="list-style-type: none"> バッファ動作を設定可能 相補 PWM、リセット同期 PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能 <p>【MTU1、2】</p> <ul style="list-style-type: none"> 独立に位相計数モードを設定可能 カスケード接続動作 <p>【MTU3、4】</p> <ul style="list-style-type: none"> 連動動作による相補 PWM、リセット PWM 3 相のポジ、ネガ計 6 相の出力が可能 <p>【MTU5】</p> <ul style="list-style-type: none"> デッドタイム補償用カウンタ機能 インプットキャプチャ機能 (ノイズフィルタ設定可能) カウンタクリア動作
相補 PWM モード	<ul style="list-style-type: none"> カウンタの山/谷での割り込み A/D コンバータの変換スタートトリガを間引き機能
割り込み要因	28 種類
バッファ動作	レジスタデータの自動転送
トリガ生成	A/D コンバータの変換スタートトリガを生成可能 プログラマブルパルスジェネレータ (PPG) の出力トリガを生成可能
消費電力低減機能	モジュールストップ状態への設定が可能

表22.2 MTUの機能一覧 (1/2)

項目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
カウントクロック	PCLK/1 PCLK/4 PCLK/16 PCLK/64 MTCLKA MTCLKB MTCLKC MTCLKD	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 MTCLKA MTCLKB MTCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64
位相計数モードの外部クロック	—	MTCLKA MTCLKB	MTCLKC MTCLKD	—	—	—
ジェネラルレジスタ (TGR)	TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW
ジェネラルレジスタ/ バッファレジスタ	TGRC TGRD TGRF	—	—	TGRC TGRD	TGRC TGRD	—
入出力端子	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	入力端子 MTIC5U MTIC5V MTIC5W
カウンタクリア機能	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ
コンペア マッチ出力	Low出力	○	○	○	○	—
	High出力	○	○	○	○	—
	トル出力	○	○	○	○	—
インプットキャプチャ機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	—
PWMモード1	○	○	○	○	○	—
PWMモード2	○	○	○	—	—	—
相補PWMモード	—	—	—	○	○	—
リセット同期PWM	—	—	—	○	○	—
AC同期モータ駆動 モード	○	—	—	○	○	—
位相計数モード	—	○	○	—	—	—
バッファ動作	○	—	—	○	○	—
デッドタイム補償用 カウンタ機能	—	—	—	—	—	○
DMACの起動	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	—
DTCの起動	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャと TCNT オーバフロー/ アンダフロー	TGRの コンペアマッチ または インプット キャプチャ
A/D変換開始トリガ	TGRAの コンペアマッチ または インプット キャプチャ TGRBの コンペアマッチ またはインプット キャプチャ TGREの コンペアマッチ TGRFのコンペア マッチ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ 相補PWM モード時TCNTの アンダフロー (谷)	—

表22.2 MTUの機能一覧 (2/2)

項目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
PPGトリガ	TGRA, TGRBの コンペアマッチ または インプットキャプ チャ	TGRA, TGRBの コンペアマッチ または インプットキャプ チャ	TGRA, TGRBの コンペアマッチ または インプットキャプ チャ	TGRA, TGRBの コンペアマッチ または インプットキャプ チャ	—	—
割り込み要因	7要因 <ul style="list-style-type: none"> コンペアマッチ/ インプット キャプチャ 0A コンペアマッチ/ インプット キャプチャ 0B コンペアマッチ/ インプット キャプチャ 0C コンペアマッチ/ インプット キャプチャ 0D コンペア マッチ 0E コンペア マッチ 0F オーバフロー 	4要因 <ul style="list-style-type: none"> コンペアマッチ/ インプット キャプチャ 1A コンペアマッチ/ インプット キャプチャ 1B オーバフロー アンダフロー 	4要因 <ul style="list-style-type: none"> コンペアマッチ/ インプット キャプチャ 2A コンペアマッチ/ インプット キャプチャ 2B オーバフロー アンダフロー 	5要因 <ul style="list-style-type: none"> コンペアマッチ/ インプット キャプチャ 3A コンペアマッチ/ インプット キャプチャ 3B コンペアマッチ/ インプット キャプチャ 3C コンペアマッチ/ インプット キャプチャ 3D オーバフロー 	5要因 <ul style="list-style-type: none"> コンペアマッチ/ インプット キャプチャ 4A コンペアマッチ/ インプット キャプチャ 4B コンペアマッチ/ インプット キャプチャ 4C コンペアマッチ/ インプット キャプチャ 4D オーバフロー/ アンダフロー 	3要因 <ul style="list-style-type: none"> コンペアマッチ/ インプット キャプチャ 5U コンペアマッチ/ インプット キャプチャ 5V コンペアマッチ/ インプット キャプチャ 5W
イベントリンク機能 (出力)	—	4要因 <ul style="list-style-type: none"> コンペアマッチ 1A コンペアマッチ 1B オーバフロー アンダフロー 	4要因 <ul style="list-style-type: none"> コンペアマッチ 2A コンペアマッチ 2B オーバフロー アンダフロー 	5要因 <ul style="list-style-type: none"> コンペアマッチ 3A コンペアマッチ 3B コンペアマッチ 3C コンペアマッチ 3D オーバフロー 	6要因 <ul style="list-style-type: none"> コンペアマッチ 4A コンペアマッチ 4B コンペアマッチ 4C コンペアマッチ 4D オーバフロー アンダフロー 	—
イベントリンク機能 (入力)	—	(1) カウント スタート動作 (2) インプット キャプチャ動作 (TRGAにキャプ チャ) (3) カウントリス タート動作	(1) カウント スタート動作 (2) インプット キャプチャ動作 (TRGAにキャプ チャ) (3) カウントリス タート動作	(1) カウント スタート動作 (2) インプット キャプチャ動作 (TRGAにキャプ チャ) (3) カウントリス タート動作	(1) カウント スタート動作 (2) インプット キャプチャ動作 (TRGAにキャプ チャ) (3) カウントリス タート動作	—
A/D変換開始 要求ディレイド機能	—	—	—	—	<ul style="list-style-type: none"> TADCORAと TCNTの一致 で、A/D変換 開始要求 または TADCORBと TCNTの一致 で、A/D変換 開始要求 	—
割り込み間引き機能	—	—	—	<ul style="list-style-type: none"> TGRAの コンペアマッチ 割り込みを間引 き 	<ul style="list-style-type: none"> TCIV割り込み を間引き 	—
モジュールストップ	MSTPCRA.MSTPA9 (注1)					

○：可能
—：不可能

注1. モジュールストップの詳細については、「11. 消費電力低減機能」を参照してください。

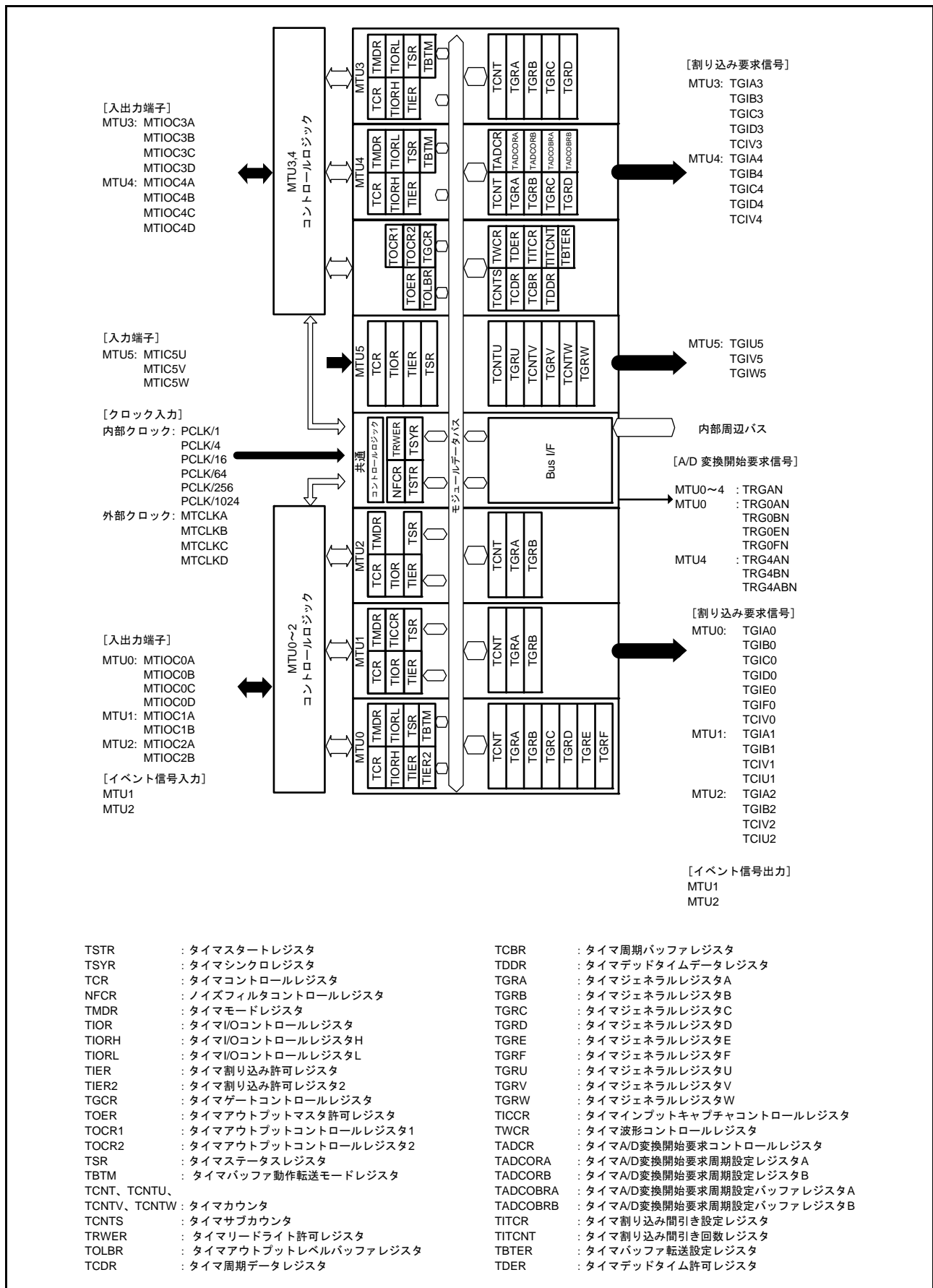


図 22.1 MTUのブロック図

表 22.3 に MTU で使用する入出力端子を示します。

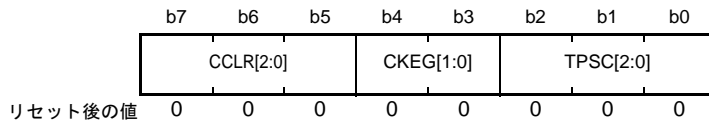
表 22.3 MTUの入出力端子

モジュール シンボル	端子名	入出力	機能
MTU	MTCLKA	入力	外部クロックA入力端子 (MTU1の位相計数モードA相入力)
	MTCLKB	入力	外部クロックB入力端子 (MTU1の位相計数モードB相入力)
	MTCLKC	入力	外部クロックC入力端子 (MTU2の位相計数モードA相入力)
	MTCLKD	入力	外部クロックD入力端子 (MTU2の位相計数モードB相入力)
MTU0	MTIOC0A	入出力	TGRA0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0B	入出力	TGRB0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0C	入出力	TGRC0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0D	入出力	TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU1	MTIOC1A	入出力	TGRA1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1B	入出力	TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU2	MTIOC2A	入出力	TGRA2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2B	入出力	TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU3	MTIOC3A	入出力	TGRA3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3B	入出力	TGRB3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3C	入出力	TGRC3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3D	入出力	TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU4	MTIOC4A	入出力	TGRA4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4B	入出力	TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4C	入出力	TGRC4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4D	入出力	TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU5	MTIC5U	入力	TGRU5のインプットキャプチャ入力/外部パルス入力端子
	MTIC5V	入力	TGRV5のインプットキャプチャ入力/外部パルス入力端子
	MTIC5W	入力	TGRW5のインプットキャプチャ入力/外部パルス入力端子

22.2 レジスタの説明

22.2.1 タイマコントロールレジスタ (TCR)

アドレス MTU0.TCR 0008 8700h, MTU1.TCR 0008 8780h, MTU2.TCR 0008 8800h,
MTU3.TCR 0008 8600h, MTU4.TCR 0008 8601h, MTU5.TCRU 0008 8884h,
MTU5.TCRV 0008 8894h, MTU5.TCRW 0008 88A4h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケラ選択ビット	表 22.6～表 22.10 を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリアビット	表 22.4、表 22.5 を参照してください	R/W

x : Don't care

MTU には、MTU0～MTU4 に各 1 本、MTU5 には TCRU/V/W の 3 本、計 8 本の TCR レジスタがあります。

TCR レジスタは、各チャンネルの TCNT カウンタを制御するレジスタです。TCR レジスタの設定は、TCNT カウンタの動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケラ選択ビット)

TCNT カウンタのカウントクロックを選択します。チャンネルごとにクロックソースを選択することができます。詳細は表 22.6～表 22.10 を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例 : PCLK/4 クロックの両エッジ = PCLK/2 クロックの立ち上がりエッジ)。MTU1、MTU2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが PCLK/4 クロックもしくはそれより遅い場合に有効です。入力クロックに PCLK/1 クロック、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、値は書き込めますが、動作は初期値になります。

CCLR[2:0] ビット (カウンタクリアビット)

TCNT カウンタのカウンタクリア要因を選択します。詳細は表 22.4、表 22.5 を参照してください。

表22.4 CCLR[2:0] (MTU0、MTU3、MTU4)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR2	CCLR1	CCLR0	
MTU0 MTU3 MTU4	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア (注1)
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア (注2)
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア (注2)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア (注1)

注1. 同期動作の設定は、TSYR.SYNCn (n=0) ビットを“1”にすることにより行います。

注2. TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTカウンタはクリアされません。

表22.5 CCLR[2:0] (MTU1、MTU2)

チャンネル	ビット7	ビット6	ビット5	説明
	予約ビット (注2)	CCLR1	CCLR0	
MTU1 MTU2	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア (注1)

注1. 同期動作の設定は、TSYR.SYNCn (n=1、2) ビットを“1”にすることにより行います。

注2. MTU1、MTU2ではb7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

表22.6 TPSC[2:0] (MTU0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU0	0	0	0	内部クロック：PCLK/1クロックでカウント
	0	0	1	内部クロック：PCLK/4クロックでカウント
	0	1	0	内部クロック：PCLK/16クロックでカウント
	0	1	1	内部クロック：PCLK/64クロックでカウント
	1	0	0	外部クロック：MTCLKA端子入力でカウント
	1	0	1	外部クロック：MTCLKB端子入力でカウント
	1	1	0	外部クロック：MTCLKC端子入力でカウント
	1	1	1	外部クロック：MTCLKD端子入力でカウント

表22.7 TPSC[2:0] (MTU1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU1	0	0	0	内部クロック : PCLK/1クロックでカウント
	0	0	1	内部クロック : PCLK/4クロックでカウント
	0	1	0	内部クロック : PCLK/16クロックでカウント
	0	1	1	内部クロック : PCLK/64クロックでカウント
	1	0	0	外部クロック : MTCLKA端子入力でカウント
	1	0	1	外部クロック : MTCLKB端子入力でカウント
	1	1	0	内部クロック : PCLK/256クロックでカウント
	1	1	1	MTU2.TCNTのオーバフロー/アンダフローでカウント

注. MTU1が位相計数モード時、この設定は無効になります。

表22.8 TPSC[2:0] (MTU2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU2	0	0	0	内部クロック : PCLK/1クロックでカウント
	0	0	1	内部クロック : PCLK/4クロックでカウント
	0	1	0	内部クロック : PCLK/16クロックでカウント
	0	1	1	内部クロック : PCLK/64クロックでカウント
	1	0	0	外部クロック : MTCLKA端子入力でカウント
	1	0	1	外部クロック : MTCLKB端子入力でカウント
	1	1	0	外部クロック : MTCLKC端子入力でカウント
	1	1	1	内部クロック : PCLK/1024クロックでカウント

注. MTU2が位相計数モード時、この設定は無効になります。

表22.9 TPSC[2:0] (MTU3, MTU4)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU3	0	0	0	内部クロック : PCLK/1クロックでカウント
MTU4	0	0	1	内部クロック : PCLK/4クロックでカウント
	0	1	0	内部クロック : PCLK/16クロックでカウント
	0	1	1	内部クロック : PCLK/64クロックでカウント
	1	0	0	内部クロック : PCLK/256クロックでカウント
	1	0	1	内部クロック : PCLK/1024クロックでカウント
	1	1	0	外部クロック : MTCLKA端子入力でカウント
	1	1	1	外部クロック : MTCLKB端子入力でカウント

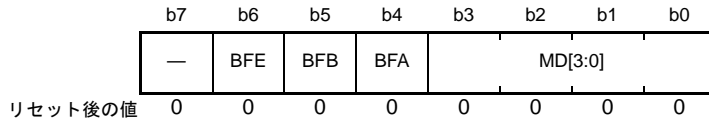
表22.10 TPSC[1:0] (MTU5)

チャンネル	ビット1	ビット0	説明
	TPSC1	TPSC0	
MTU5	0	0	内部クロック : PCLK/1クロックでカウント
	0	1	内部クロック : PCLK/4クロックでカウント
	1	0	内部クロック : PCLK/16クロックでカウント
	1	1	内部クロック : PCLK/64クロックでカウント

注. MTU5では、b7-b2は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

22.2.2 タイマモードレジスタ (TMDR)

アドレス MTU0.TMDR 0008 8701h, MTU1.TMDR 0008 8781h, MTU2.TMDR 0008 8801h,
MTU3.TMDR 0008 8602h, MTU4.TMDR 0008 8603h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表22.11を参照してください	R/W
b4	BFA	バッファ動作Aビット	0: TGRAとTGRCレジスタは通常動作 1: TGRAとTGRCレジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0: TGRBとTGRDレジスタは通常動作 1: TGRBとTGRDレジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0: MTU0.TGREとMTU0.TGRFレジスタは通常動作 1: MTU0.TGREとMTU0.TGRFレジスタはバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDRレジスタは、各チャネルの動作モードを設定するレジスタです。TMDRレジスタの設定は、TCNTカウンタの動作が停止した状態で行ってください。

表22.11 MD[3:0]ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説明
MD3	MD2	MD1	MD0	
0	0	0	0	ノーマルモード
0	0	0	1	設定しないでください
0	0	1	0	PWMモード1
0	0	1	1	PWMモード2 (注1)
0	1	0	0	位相計数モード1 (注2)
0	1	0	1	位相計数モード2 (注2)
0	1	1	0	位相計数モード3 (注2)
0	1	1	1	位相計数モード4 (注2)
1	0	0	0	リセット同期PWMモード (注3)
1	0	0	1	設定しないでください。
1	0	1	x	設定しないでください。
1	1	0	0	設定しないでください。
1	1	0	1	相補PWMモード1 (山で転送) (注3)
1	1	1	0	相補PWMモード2 (谷で転送) (注3)
1	1	1	1	相補PWMモード3 (山・谷で転送) (注3)

x: Don't care

注1. MTU3, MTU4では、PWMモード2の設定はできません。

注2. MTU0, MTU3, MTU4では、位相計数モードの設定はできません。

注3. リセット同期PWMモード、相補PWMモードの設定は、MTU3のみ可能です。

MTU3をリセット同期PWMモードまたは相補PWMモードに設定した場合、MTU4の設定は無効となりMTU3の設定に従います。MTU4には“0”を設定してください。

MTU0, MTU1, MTU2では、リセット同期PWMモード、相補PWMモードの設定はできません。

BFA ビット (バッファ動作 A ビット)

TGRA レジスタを通常動作にするか、TGRA レジスタと TGRC レジスタを組み合わせるバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC レジスタのインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC レジスタのコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、MTU4.TIER.TGIEC ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モードの MTU3 および MTU4 のバッファ動作は、MTU3 の設定に従います。MTU4.TMDR レジスタの BFA ビットには“0”を書いてください。

TGRC レジスタを持たない MTU1、MTU2 では、このビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、[図 22.40](#)を参照してください。

BFB ビット (バッファ動作 B ビット)

TGRB レジスタを通常動作にするか、TGRB レジスタと TGRD レジスタを組み合わせるバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD レジスタのインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD レジスタのコンペアマッチが発生します。また、コンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、MTU3.TIER.TGIED ビット、MTU4.TIER.TGIED ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モードの MTU3 および MTU4 のバッファ動作は、MTU3 の設定に従います。MTU4 の TMDR.BFB ビットには“0”にしてください。

TGRD レジスタを持たない MTU1、MTU2 では、このビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、[図 22.40](#)を参照してください。

BFE ビット (バッファ動作 E ビット)

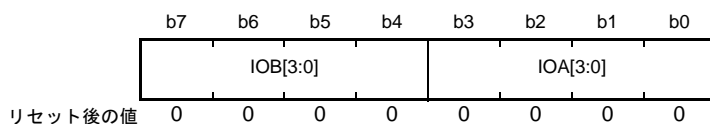
MTU0.TGRE レジスタと MTU0.TGRF レジスタを通常動作またはバッファ動作させるかどうかを選択します。TGRF レジスタをバッファレジスタとして使用した場合も、TGRF レジスタのコンペアマッチは発生します。

MTU1 ~ MTU4 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

22.2.3 タイマ I/O コントロールレジスタ (TIOR)

- MTU0.TIORH、MTU1.TIOR、MTU2.TIOR、MTU3.TIORH、MTU4.TIORH

アドレス MTU0.TIORH 0008 8702h, MTU1.TIOR 0008 8782h, MTU2.TIOR 0008 8802h,
MTU3.TIORH 0008 8604h, MTU4.TIORH 0008 8606h

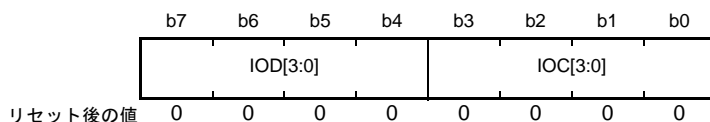


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/OコントロールAビット	下記の表を参照してください (注1) MTU0.TIORH、: 表22.20 MTU1.TIOR : 表22.22 MTU2.TIOR : 表22.23 MTU3.TIORH : 表22.24 MTU4.TIORH : 表22.26	R/W
b7-b4	IOB[3:0]	I/OコントロールBビット	下記の表を参照してください (注1) MTU0.TIORH : 表22.12 MTU1.TIOR : 表22.14 MTU2.TIOR : 表22.15 MTU3.TIORH : 表22.16 MTU4.TIORH : 表22.18	R/W

注1. コンペアマッチでLow/High/トグル出力中に、IO[n:3:0]ビット (n=A、B) の値を出力禁止 ("0000b"または"0100b") へ変更するとHi-Zになります。

- MTU0.TIORL、MTU3.TIORL、MTU4.TIORL

アドレス MTU0.TIORL 0008 8703h, MTU3.TIORL 0008 8605h, MTU4.TIORL 0008 8607h

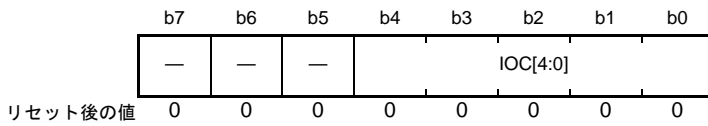


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/OコントロールCビット	下記の表を参照してください (注1) MTU0.TIORL : 表22.21 MTU3.TIORL : 表22.25 MTU4.TIORL : 表22.27	R/W
b7-b4	IOD[3:0]	I/OコントロールDビット	下記の表を参照してください (注1) MTU0.TIORL : 表22.13 MTU3.TIORL : 表22.17 MTU4.TIORL : 表22.19	R/W

注1. コンペアマッチでLow/High/トグル出力中に、IO[n:3:0]ビット (n=C、D) の値を出力禁止 ("0000b"または"0100b") へ変更するとHi-Zになります。

• MTU5.TIORU、MTU5.TIORV、MTU5.TIORW

アドレス MTU5.TIORU 0008 8886h, MTU5.TIORV 0008 8896h, MTU5.TIORW 0008 88A6h



ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/OコントロールCビット	下記の表を参照してください MTU5.TIORU、MTU5.TIORV、MTU5.TIORW : 表22.28	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU0、MTU3、MTU4に各2本、MTU1、MTU2に各1本、MTU5にはMTU5.TIORU/V/Wの3本、計11本のTIORレジスタがあります。

TIORレジスタはTMDRレジスタの設定が、ノーマルモード、PWMモード、位相計数モードの場合に設定します。

TIORレジスタで指定した初期出力はカウンタ停止した（TSTR.CSTビットを“0”にした）状態で有効になります。また、PWMモード2の場合にはカウンタが“0”になった時点での出力を指定します。

TGRCレジスタあるいはTGRDレジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表22.12 TIORH (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU0.TGRBの機能	MTIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ

x : Don't care

表22.13 TIORL (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU0.TGRDの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ

x : Don't care

注1. MTU0.TMDR.BFBビットを“1”にしてMTU0.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.14 TIOR (MTU1)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU1.TGRBの機能	MTIOC1B端子の機能
0	0	0	0	MTU1.TGRBはアウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRCのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

表22.15 TIOR (MTU2)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU2.TGRBの機能	MTIOC2B端子の機能
0	0	0	0	MTU2.TGRBはアウト プットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャ レジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表22.16 TIORH (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU3.TGRBの機能	MTIOC3B端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャ レジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表22.17 TIORL (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU3.TGRDの機能	MTIOC3D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ (注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU3.TMDR.BFBビットを"1"にしてMTU3.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.18 TIORH (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU4.TGRBの機能	MTIOC4B端子の機能
0	0	0	0	MTU4.TGRBはアウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表22.19 TIORL (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU4.TGRDの機能	MTIOC4D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR.BFBビットを“1”にして、MTU4.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ/アウトプットコンペアは発生しません。

表22.20 TIORH (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU0.TGRAの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ

x : Don't care

表22.21 TIORL (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU0.TGRCの機能	MTIOC0Cの端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ

x : Don't care

注1. MTU0.TMDR.BFAビットを“1”にしてMTU0.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.22 TIOR (MTU1)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU1.TGRAの機能	MTIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRAのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

表22.23 TIOR (MTU2)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU2.TGRAの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表22.24 TIORH (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU3.TGRAの機能	MTIOC3A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表22.25 TIORL (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU3.TGRCの端子	MTIOC3C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU3.TMDR.BFAビットを“1”にしてMTU3.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.26 TIORH (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU4.TGRAの機能	MTIOC4A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.27 TIORL (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU4.TGRCの機能	MTIOC4C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ (注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU4.TMDR.BFAビットを“1”にして、MTU4.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.28 TIORU、TIORV、TIORW (MTU5)

ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC4	IOC3	IOC2	IOC1	IOC0	MTU5.TGRU、MTU5.TGRV、 MTU5.TGRWの機能	MTIC5U、MTIC5V、MTIC5W 端子の機能
0	0	0	0	0	コンペアマッチレジスタ	コンペアマッチ
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャレジスタ (注1)	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定しないでください
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ

x : Don't care

注1. IOC[4:0]ビットへの“19h”、“1Ah”、“1Bh”、“1Dh”、“1Eh”、“1Fh”の設定は、外部パルス幅測定機能使用時か、MTU3、MTU4と連動したデッドタイム補償機能使用時のみとしてください。詳細は「22.3.10 外部パルス幅測定機能」、「22.3.11 デッドタイム補償機能」を参照してください。

22.2.4 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

アドレス MTU5.TCNTCMPCLR 0008 88B6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0 : MTU5.TCNTWカウンタとMTU5.TGRWレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWカウンタの0000hクリアを禁止 1 : MTU5.TCNTWカウンタとMTU5.TGRWレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWカウンタの0000hクリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0 : MTU5.TCNTVカウンタとMTU5.TGRVレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVカウンタの0000hクリアを禁止 1 : MTU5.TCNTVカウンタとMTU5.TGRVレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVカウンタの0000hクリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0 : MTU5.TCNTUカウンタとMTU5.TGRUレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUカウンタの0000hクリアを禁止 1 : MTU5.TCNTUカウンタとMTU5.TGRUレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUカウンタの0000hクリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは、MTU5.TCNTU、TCNTV、TCNTW カウンタのクリア要求を設定するレジスタです。

22.2.5 タイマ割り込み許可レジスタ (TIER)

- TIER (MTU0 ~ MTU4)

アドレス MTU0.TIER 0008 8704h, MTU1.TIER 0008 8784h, MTU2.TIER 0008 8804h,
MTU3.TIER 0008 8608h, MTU4.TIER 0008 8609h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR 割り込み許可 A ビット	0: 割り込み要求 (TGIA) を禁止 1: 割り込み要求 (TGIA) を許可	R/W
b1	TGIEB	TGR 割り込み許可 B ビット	0: 割り込み要求 (TGIB) を禁止 1: 割り込み要求 (TGIB) を許可	R/W
b2	TGIEC	TGR 割り込み許可 C ビット	0: 割り込み要求 (TGIC) を禁止 1: 割り込み要求 (TGIC) を許可	R/W
b3	TGIED	TGR 割り込み許可 D ビット	0: 割り込み要求 (TGID) を禁止 1: 割り込み要求 (TGID) を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0: 割り込み要求 (TCIV) を禁止 1: 割り込み要求 (TCIV) を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0: 割り込み要求 (TCIU) を禁止 1: 割り込み要求 (TCIU) を許可	R/W
b6	TTGE2	A/D変換開始要求許可2ビット	0: MTU4.TCNTカウンタのアンダフロー (谷) によるA/D変換要求を禁止 1: MTU4.TCNTカウンタのアンダフロー (谷) によるA/D変換要求を許可	R/W
b7	TTGE	A/D変換開始要求許可ビット	0: A/D変換開始要求の発生を禁止 1: A/D変換開始要求の発生を許可	R/W

MTU には、MTU0 に 2 本、MTU1 ~ MTU5 に各 1 本、計 7 本の TIER レジスタがあります。
TIER レジスタは、各チャネルの割り込み要求の許可、禁止を設定するレジスタです。

TGIEA、TGIEB ビット (TGR 割り込み許可 A、B ビット)

割り込み要求 (TGIn) を許可または禁止します。(n = A、B)

TGIEC、TGIED ビット (TGR 割り込み許可 C、D ビット)

MTU0、MTU3、MTU4 で割り込み要求 (TGIn) を許可または禁止します。(n = C、D)
MTU1、MTU2 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TCIEV ビット (オーバフロー割り込み許可ビット)

割り込み要求 (TCIV) を許可または禁止します。

TCIEU ビット (アンダフロー割り込み許可ビット)

MTU1、MTU2 で割り込み要求 (TCIU) を許可または禁止します。

MTU0、MTU3、MTU4 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

相補 PWM モードで、MTU4.TCNT カウンタのアンダフロー (谷) による A/D 変換要求の発生を許可または禁止します。

MTU0 ~ MTU3 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE ビット (A/D 変換開始要求許可ビット)

TGRA レジスタのインプットキャプチャ/コンペアマッチによる A/D コンバータ開始要求の発生を許可または禁止します。

- TIER2 (MTU0)

アドレス MTU0.TIER2 0008 8724h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TGIEF	TGIEE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR 割り込み許可 E ビット	0 : 割り込み要求 (TGIE) を禁止 1 : 割り込み要求 (TGIE) を許可	R/W
b1	TGIEF	TGR 割り込み許可 F ビット	0 : 割り込み要求 (TGIF) を禁止 1 : 割り込み要求 (TGIF) を許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIEE、TGIEF ビット (TGR 割り込み許可 E、F ビット)

MTU0.TCNT カウンタと MTU0.TGRn レジスタのコンペアマッチによる割り込み要求の発生を許可または禁止します。(n = E、F)

- TIER (MTU5)

アドレス MTU5.TIER 0008 88B2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TGIE5 U	TGIE5V	TGIE5 W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR 割り込み許可5W ビット	0 : TGIE5W 割り込み要求を禁止 1 : TGIE5W 割り込み要求を許可	R/W
b1	TGIE5V	TGR 割り込み許可5V ビット	0 : TGIE5V 割り込み要求を禁止 1 : TGIE5V 割り込み要求を許可	R/W
b2	TGIE5U	TGR 割り込み許可5U ビット	0 : TGIE5U 割り込み要求を禁止 1 : TGIE5U 割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIE5W、TGIE5V、TGIE5U ビット (TGR 割り込み許可 5n ビット)

割り込み要求 (TGI5n) を許可または禁止します。(n = W、V、U)

22.2.6 タイマステータスレジスタ (TSR)

- TSR (MTU0 ~ MTU4)

アドレス MTU0.TSR 0008 8705h, MTU1.TSR 0008 8785h, MTU2.TSR 0008 8805h,
MTU3.TSR 0008 862Ch, MTU4.TSR 0008 862Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—

リセット後の値 1 1 x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0 : TCNTカウンタはダウンカウント 1 : TCNTカウンタはアップカウント	R

MTU には、MTU0 ~ MTU4 に各 1 本、計 5 本の TSR レジスタがあります。

TSR レジスタは、各チャンネルのステータスを表示するレジスタです。

TCFD フラグ (カウント方向フラグ)

MTU1 ~ MTU4 の TCNT カウンタのカウント方向を示すステータスフラグです。

MTU0 では予約ビットです。読むと“1”が読めます。書く場合、“1”としてください。

22.2.7 タイマバッファ動作転送モードレジスタ (TBTM)

アドレス MTU0.TBTM 0008 8726h, MTU3.TBTM 0008 8638h, MTU4.TBTM 0008 8639h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TTSE	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0: TGRCレジスタからTGRAレジスタへの転送タイミングは各チャンネルのコンペアマッチA発生時 1: TGRCレジスタからTGRAレジスタへの転送タイミングは各チャンネルのTCNTカウンタクリア時	R/W
b1	TTSB	タイミング選択Bビット	0: TGRDレジスタからTGRBレジスタへの転送タイミングは各チャンネルのコンペアマッチB発生時 1: TGRDレジスタからTGRBレジスタへの転送タイミングは各チャンネルのTCNTカウンタクリア時	R/W
b2	TTSE	タイミング選択Eビット	0: MTU0.TGRFレジスタからMTU0.TGREレジスタへの転送タイミングは各チャンネルのMTU0のコンペアマッチE発生時 1: MTU0.TGRFレジスタからMTU0.TGREレジスタへの転送タイミングは各チャンネルのMTU0.TCNTカウンタクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU0、MTU3、MTU4に各1本、計3本のTBTMレジスタがあります。

TBTMレジスタは、PWMモード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定するレジスタです。

TTSA ビット (タイミング選択 A ビット)

各チャンネルのバッファ動作時のTGRCレジスタからTGRAレジスタへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSAビットを“1”に設定しないでください。

TTSB ビット (タイミング選択 B ビット)

各チャンネルのバッファ動作時のTGRDレジスタからTGRBレジスタへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSBビットを“1”に設定しないでください。

TTSE ビット (タイミング選択 E ビット)

バッファ動作時のMTU0.TGRFレジスタからMTU0.TGREレジスタへの転送タイミングを設定します。MTU3、MTU4では読むと“0”が読めます。書く場合、“0”としてください。なお、MTU0をPWMモード以外で使用する場合は、TTSEビットを“1”に設定しないでください。

22.2.8 タイムインプットキャプチャコントロールレジスタ (TICCR)

アドレス MTU1.TICCR 0008 8790h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0 : MTIOC1A端子をMTU2.TGRAレジスタのインプットキャプチャ条件に追加しない 1 : MTIOC1A端子をMTU2.TGRAレジスタのインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0 : MTIOC1B端子をMTU2.TGRBレジスタのインプットキャプチャ条件に追加しない 1 : MTIOC1B端子をMTU2.TGRBレジスタのインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0 : MTIOC2A端子をMTU1.TGRAレジスタのインプットキャプチャ条件に追加しない 1 : MTIOC2A端子をMTU1.TGRAレジスタのインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0 : MTIOC2B端子をMTU1.TGRBレジスタのインプットキャプチャ条件に追加しない 1 : MTIOC2B端子をMTU1.TGRBレジスタのインプットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU1に1本のTICCRレジスタがあります。

TICCRレジスタは、MTU1.TCNTカウンタとMTU2.TCNTカウンタのカスケード接続時のインプットキャプチャ条件を設定するレジスタです。

22.2.9 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

アドレス MTU4.TADCR 0008 8640h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	—	—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE	TCI4V 割り込み間引き連動許可ビット (注1、注2、注3)	0 : TCI4V 割り込み間引き機能と連動しない 1 : TCI4V 割り込み間引き機能と連動する	R/W
b1	ITB3AE	TGI3A 割り込み間引き連動許可ビット (注1、注2、注3)	0 : TGI3A 割り込み間引き機能と連動しない 1 : TGI3A 割り込み間引き機能と連動する	R/W
b2	ITA4VE	TCI4V 割り込み間引き連動許可ビット (注1、注2、注3)	0 : TCI4V 割り込み間引き機能と連動しない 1 : TCI4V 割り込み間引き機能と連動する	R/W
b3	ITA3AE	TGI3A 割り込み間引き連動許可ビット (注1、注2、注3)	0 : TGI3A 割り込み間引き機能と連動しない 1 : TGI3A 割り込み間引き機能と連動する	R/W
b4	DT4BE	ダウンカウント TRG4BN 許可ビット (注3)	0 : MTU4.TCNT カウンタのダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : MTU4.TCNT カウンタのダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b5	UT4BE	アップカウント TRG4BN 許可ビット	0 : MTU4.TCNT カウンタのアップカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : MTU4.TCNT カウンタのアップカウント時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b6	DT4AE	ダウンカウント TRG4AN 許可ビット (注3)	0 : MTU4.TCNT カウンタのダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : MTU4.TCNT カウンタのダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b7	UT4AE	アップカウント TRG4AN 許可ビット	0 : MTU4.TCNT カウンタのアップカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : MTU4.TCNT カウンタのアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/B 転送タイミング 選択ビット	詳細は表 22.29 を参照してください	R/W

注. TADCR レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引きが禁止のとき (TITCR.T3AEN, T4VEN ビットを“0”にしたとき、または TITCR の間引き回数設定ビット (T3ACOR, T4VCOR) を“0”にしたとき) は、割り込み間引き機能と連動しない (TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットを“0”) 設定にしてください。

注2. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。

注3. b6、b4~b0 は、相補 PWM モード以外では、“0”にしてください。

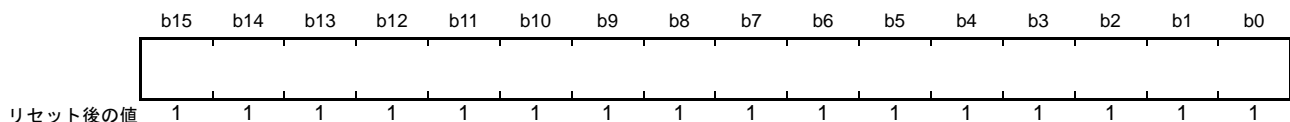
TADCR レジスタは、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定するレジスタです。

表22.29 BF[1:0]ビットによる転送タイミングの設定

ビット15	ビット14	説明			
		相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送しない
0	1	MTU4.TCNTの山で周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送する	MTU3.TCNTがMTU3.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送する
1	0	MTU4.TCNTの谷で周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU4.TCNTの山と谷で周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止

22.2.10 タイマ A/D 変換開始要求周期設定レジスタ A、B (TADCORA/B)

アドレス MTU4.TADCORA 0008 8644h, MTU4.TADCORB 0008 8646h

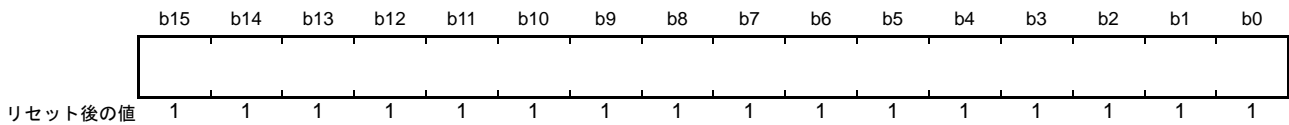


注. MTU4.TADCORA/Bの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TADCORA/B レジスタは、A/D 変換開始要求周期を設定するレジスタです。MTU4.TCNT カウンタと一致したとき、対応する A/D 変換開始要求を発生します。

22.2.11 タイマ A/D 変換開始要求周期設定バッファレジスタ A、B (TADCOBRA/B)

アドレス MTU4.TADCOBRA 0008 8648h, MTU4.TADCOBRB 0008 864Ah

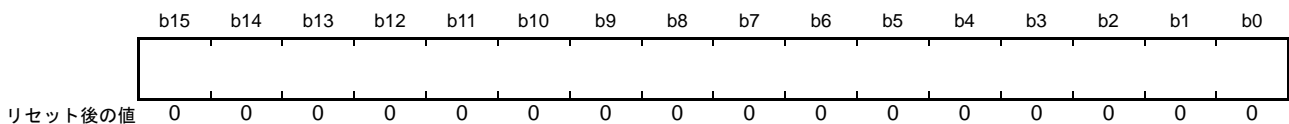


注. MTU4.TADCOBRA/Bの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TADCOBRA/B レジスタは、TADCORA/B レジスタのバッファレジスタで、A/D 変換開始要求周期を設定するレジスタです。TADCORA/B のバッファレジスタから山か谷で TADCORA/B に転送します。

22.2.12 タイマカウンタ (TCNT)

アドレス MTU0.TCNT 0008 8706h, MTU1.TCNT 0008 8786h, MTU2.TCNT 0008 8806h,
MTU3.TCNT 0008 8610h, MTU4.TCNT 0008 8612h, MTU5.TCNTU 0008 8880h,
MTU5.TCNTV 0008 8890h, MTU5.TCNTW 0008 88A0h



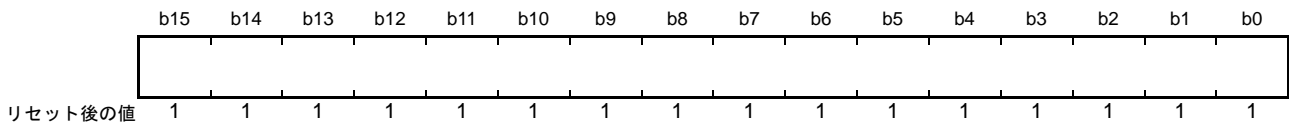
注. TCNTカウンタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

MTU には、MTU0 ~ MTU4 に各 1 本、MTU5 に MTU5.TCNTU/V/W の 3 本、計 8 本の TCNT カウンタがあります。

TCNT カウンタは、読み出し / 書き込み可能なカウンタです。

22.2.13 タイマジェネラルレジスタ (TGR)

アドレス MTU0.TGRA 0008 8708h, MTU0.TGRB 0008 870Ah, MTU0.TGRC 0008 870Ch,
MTU0.TGRD 0008 870Eh, MTU0.TGRE 0008 8720h, MTU0.TGRF 0008 8722h,
MTU1.TGRA 0008 8788h, MTU1.TGRB 0008 878Ah, MTU2.TGRA 0008 8808h,
MTU2.TGRB 0008 880Ah, MTU3.TGRA 0008 8618h, MTU3.TGRB 0008 861Ah,
MTU3.TGRC 0008 8624h, MTU3.TGRD 0008 8626h, MTU4.TGRA 0008 861Ch,
MTU4.TGRB 0008 861Eh, MTU4.TGRC 0008 8628h, MTU4.TGRD 0008 862Ah,
MTU5.TGRU 0008 8882h, MTU5.TGRV 0008 8892h, MTU5.TGRW 0008 88A2h



注. TGRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。
TGRの初期値は、“FFFFh”です。

MTU には、MTU0 に 6 本、MTU1、MTU2 に各 2 本、MTU3、MTU4 に各 4 本、MTU5 に 3 本、計 21 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD レジスタはアウトプットコンペア / インプットキャプチャ兼用のレジスタです。MTU0、MTU3、MTU4 の TGRC レジスタと TGRD レジスタは、バッファレジスタとして動作設定することができます。TGR レジスタとバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD

になります。

MTU0.TGRE、MTU0.TGRF レジスタはコンペアレジスタとして機能し、MTU0.TCNT カウンタと MTU0.TGRE レジスタが一致したとき、A/D 変換開始要求を発生することができます。TGRF レジスタは、バッファレジスタとして動作設定することができます。TGR レジスタとバッファレジスタの組み合わせは、TGRE – TGRF になります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRW レジスタはコンペアマッチ/インプットキャプチャ/外部パルス幅測定兼用のレジスタです。

22.2.14 タイマスタートレジスタ (TSTR)

- TSTR (MTU0 ~ MTU4)

アドレス MTU.TSTR 0008 8680h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST4	CST3	—	—	—	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0 : MTU0.TCNTカウンタはカウント停止 1 : MTU0.TCNTカウンタはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0 : MTU1.TCNTカウンタはカウント停止 1 : MTU1.TCNTカウンタはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0 : MTU2.TCNTカウンタはカウント停止 1 : MTU2.TCNTカウンタはカウント動作	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST3	カウンタスタート3ビット	0 : MTU3.TCNTカウンタはカウント停止 1 : MTU3.TCNTカウンタはカウント動作	R/W
b7	CST4	カウンタスタート4ビット	0 : MTU4.TCNTカウンタはカウント停止 1 : MTU4.TCNTカウンタはカウント動作	R/W

TSTR レジスタは MTU0 ~ MTU4 の TCNT カウンタの動作 / 停止を選択するレジスタです。

TMDR レジスタへ動作モードを設定する場合や TCR レジスタへ TCNT カウンタのカウントクロックを設定する場合は、TCNT カウンタのカウンタ動作を停止してから行ってください。

CSTn ビット (カウンタスタート n ビット) (n=0 ~ 4)

各チャネルの TCNT カウンタの動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタは停止しますが、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- TSTR (MTU5)

アドレス MTU5.TSTR 0008 88B4h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CSTU5	CSTV5	CSTW5

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0 : MTU5.TCNTWカウンタはカウント停止 1 : MTU5.TCNTWカウンタはカウント動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0 : MTU5.TCNTVカウンタはカウント停止 1 : MTU5.TCNTVカウンタはカウント動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0 : MTU5.TCNTUカウンタはカウント停止 1 : MTU5.TCNTUカウンタはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

22.2.15 タイマシンクロレジスタ (TSYR)

アドレス MTU.TSYR 0008 8681h

b7	b6	b5	b4	b3	b2	b1	b0
SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0: MTU0.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1: MTU0.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b1	SYNC1	タイマ同期1ビット	0: MTU1.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1: MTU1.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b2	SYNC2	タイマ同期2ビット	0: MTU2.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1: MTU2.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0: MTU3.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1: MTU3.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b7	SYNC4	タイマ同期4ビット	0: MTU4.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1: MTU4.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W

TSYR レジスタはMTU0～MTU4のTCNTカウンタの独立動作または同期動作を選択するレジスタです。対応するビットを“1”にしたチャンネルが同期動作を行います。

SYNCn ビット (タイマ同期 n ビット) (n=0～4)

独立動作または他のチャンネルとの同期動作を選択します。

同期動作を選択すると、複数のTCNTカウンタの同期セットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低2チャンネルのSYNCnビットを“1”にする必要があります。同期クリアの設定には、SYNCnビットの他にTCR.CCLR[2:0]ビットで、TCNTカウンタのクリア要因を設定する必要があります。

22.2.16 タイマリードライト許可レジスタ (TRWER)

アドレス MTU.TRWER 0008 8684h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0: レジスタの読み出し/書き込みを禁止する 1: レジスタの読み出し/書き込みを許可する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWER レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を設定するレジスタです。

RWE ビット (リードライト許可ビット)

誤書き込み防止のレジスタへの読み出し / 書き込みの許可 / 禁止を設定します。

[“0”になる条件]

- RWE ビット = “1” を読み出し後、RWE ビットに “0” を書いたとき

- 誤書き込み防止の対象レジスタおよび対象カウンタ

MTUn.TCR、MTUn.TMDR、MTUn.TIORH、MTUn.TIORL、MTUn.TIER、MTUn.TGRA、MTUn.TGRB、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR と MTUn.TCNT の計 22 レジスタです。(n = 3、4)

22.2.17 タイマアウトプットマスタ許可レジスタ (TOER)

アドレス MTU.TOER 0008 860Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0: MTU出力禁止 (注1) 1: MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0: MTU出力禁止 (注1) 1: MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0: MTU出力禁止 (注1) 1: MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0: MTU出力禁止 (注1) 1: MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0: MTU出力禁止 (注1) 1: MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0: MTU出力禁止 (注1) 1: MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、I/Oポートのデータ方向レジスタ (PDR)、ポート出力データレジスタ (PODR) にあらかじめ汎用入出力ポートに非アクティブレベルを出力する設定をした上で、ポートモードレジスタ (PMR) で汎用入出力ポート使用に切り替えてください。

TOER レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可 / 禁止を設定するレジスタです。

これらの端子は TOER レジスタの各ビットの設定をしないと正しく出力されません。MTU3、MTU4 において、TOER レジスタは MTU3、MTU4 の TIOR レジスタ設定の前に値を設定してください。

TOER レジスタは、TSTR.CST3、CST4 ビットを“0”にした後で設定してください (図 22.35、図 22.38 を参照)。

22.2.18 タイマアウトプットコントロールレジスタ 1 (TOCR1)

アドレス MTU.TOCR1 0008 860Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット(注2、注3)	表22.30を参照してください	R/W
b1	OLSN	出力レベル選択Nビット(注2、注3)	表22.31を参照してください	R/W
b2	TOCS	TOC選択ビット	0: TOCR1レジスタの設定を有効にする 1: TOCR2レジスタの設定を有効にする	R/W
b3	TOCL	TOCレジスタ書き込み禁止ビット(注1)	0: TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1: TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W (注4)
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSYE	PWM同期出力許可ビット	0: トグル出力を禁止 1: トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TOCR1.TOCLビットを“1”に設定することにより、CPU暴走時の誤書き込みを防止することができます。

注2. TOCR1.TOCSビットを“0”に設定することにより、本設定が有効になります。

注3. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。

注4. リセット後、1回だけ“1”を書き込むことができます。“1”書き込み後は、“0”を書き込むことはできません。

TOCR1レジスタは、相補PWMモード/リセット同期PWMモードのPWM周期に同期したトグル出力の許可/禁止、およびPWM出力の出力レベル反転の制御を設定するレジスタです。

OLSPビット (出力レベル選択Pビット)

リセット同期PWMモード/相補PWMモード時に、正相の出力レベルを選択します。

OLSNビット (出力レベル選択Nビット)

リセット同期PWMモード/相補PWMモード時に、逆相の出力レベルを選択します。

TOCSビット (TOC選択ビット)

相補PWMモード/リセット同期PWMモードの出力レベルの設定をTOCR1レジスタとTOCR2レジスタのどちらの設定を有効にするか選択します。

TOCLビット (TOCレジスタ書き込み禁止ビット)

TOCR1.TOCS, OLSN, OLSPビットへの書き込み禁止/許可の設定をします。

PSYEビット (PWM同期出力許可ビット)

PWM周期に同期したトグル出力の許可/禁止を設定します。

表 22.30 出力レベル選択機能

ビット0	機能			
OLSP	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 22.31 出力レベル選択機能

ビット1	機能			
OLSN	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN = 1、OLSP = 1 の場合の相補 PWM モードの出力例 (1 相分) を図 22.2 に示します。

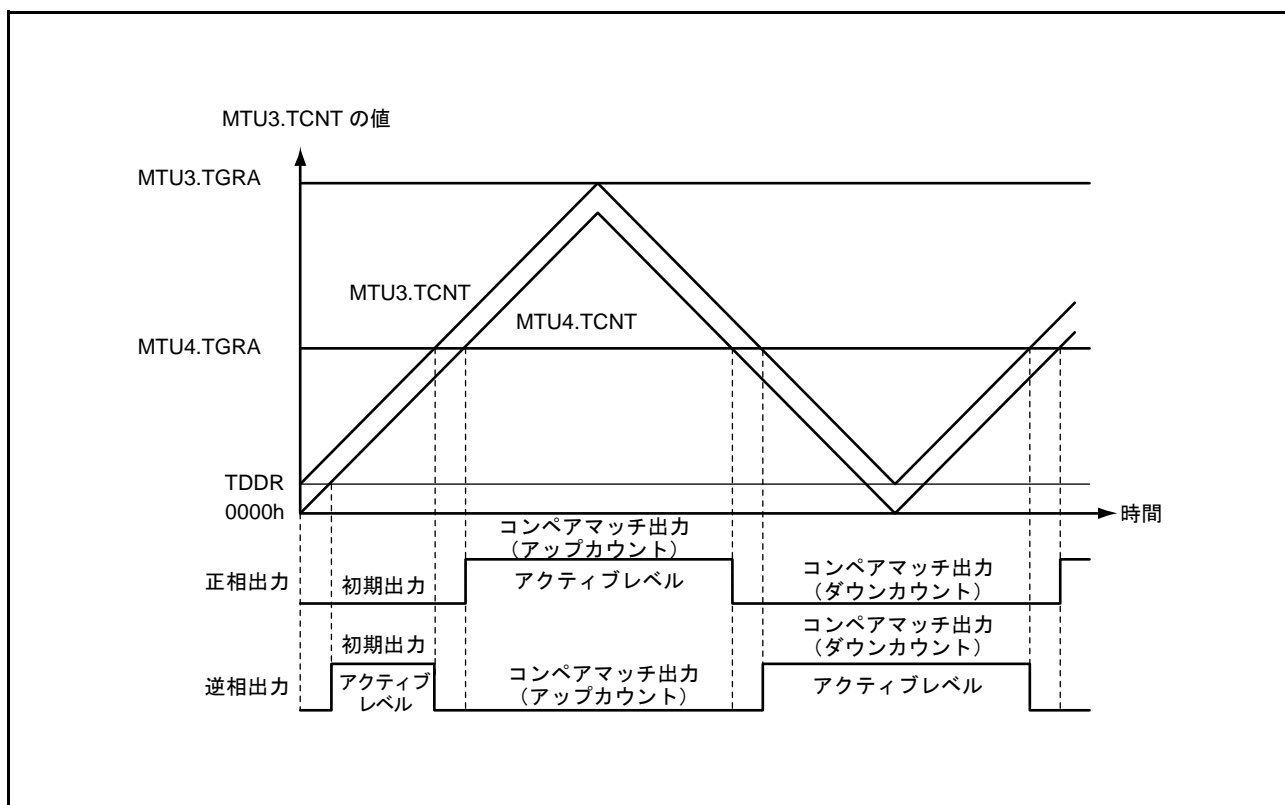


図 22.2 相補 PWM モードの出力レベルの例

22.2.19 タイマアウトプットコントロールレジスタ 2 (TOCR2)

アドレス MTU.TOCR2 0008 860Fh

b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3Bの出力レベルを選択します。表22.32を参照してください	R/W
b1	OLS1N	出力レベル選択1Nビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3Dの出力レベルを選択します。表22.33を参照してください	R/W
b2	OLS2P	出力レベル選択2Pビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Aの出力レベルを選択します。表22.34を参照してください	R/W
b3	OLS2N	出力レベル選択2Nビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Cの出力レベルを選択します。表22.35を参照してください	R/W
b4	OLS3P	出力レベル選択3Pビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Bの出力レベルを選択します。表22.36を参照してください	R/W
b5	OLS3N	出力レベル選択3Nビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Dの出力レベルを選択します。表22.37を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング選択ビット	TOLBRレジスタからTOCR2レジスタへのバッファ転送タイミングを選択します。詳細は表22.38を参照してください	R/W

注1. TOCR1.TOCSビットを“1”に設定することにより、本レジスタの設定が有効になります。

注2. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSiPビットのみ有効となります。(i=1~3)

TOCR2レジスタは、相補PWMモード/リセット同期PWMモードにおけるPWM出力の出力レベル反転の制御を設定するレジスタです。

表 22.32 MTIOC3B出力レベル選択機能

ビット0	機能			
OLS1P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 22.33 MTIOC3D出力レベル選択機能

ビット1	機能			
OLS1N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 22.34 MTIOC4A出力レベル選択機能

ビット2	機能			
OLS2P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 22.35 MTIOC4C出力レベル選択機能

ビット3	機能			
OLS2N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 22.36 MTIOC4B出力レベル選択機能

ビット4	機能			
OLS3P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 22.37 MTIOC4D出力レベル選択機能

ビット5	機能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 22.38 TOCR2.BF[1:0]ビットの設定

ビット7	ビット6	説明	
BF1	BF0	相補PWMモード時	リセットPWMモード時
0	0	TOLBRからTOCR2へ転送しない	TOLBRからTOCR2へ転送しない
0	1	MTU4.TCNTの山でTOLBRからTOCR2へ転送する	MTU4.TCNT、MTU3.TCNTカウンタクリア時にTOLBRからTOCR2へ転送する
1	0	MTU4.TCNTの谷でTOLBRからTOCR2へ転送する	設定しないでください
1	1	MTU4.TCNTの山と谷でTOLBRからTOCR2へ転送する	設定しないでください

22.2.20 タイマアウトプットレベルバッファレジスタ (TOLBR)

アドレス MTU.TOLBR 0008 8636h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット	TOCR2.OLS1Pビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択1Nビット	TOCR2.OLS1Nビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択2Pビット	TOCR2.OLS2Pビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択2Nビット	TOCR2.OLS2Nビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択3Pビット	TOCR2.OLS3Pビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択3Nビット	TOCR2.OLS3Nビットにバッファ転送する値を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TOLBR レジスタは TOCR2 レジスタのバッファレジスタで、相補 PWM モード/リセット同期 PWM モードにおける PWM 出力レベルを設定するレジスタです。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 22.3 に示します。

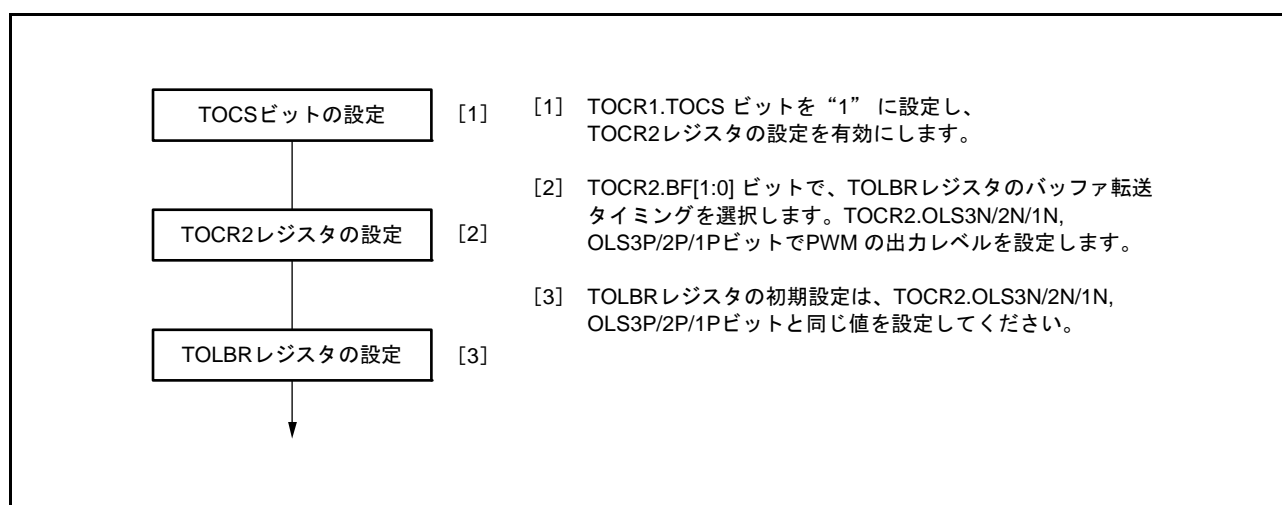


図 22.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

22.2.21 タイマゲートコントロールレジスタ (TGCR)

アドレス MTU.TGCR 0008 860Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BDC	N	P	FB	WF	VF	UF
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相/逆相の出力相のON/OFFを設定します。これらのビットの設定はTGCR.FBビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりにになります。表22.39を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り替え切り替えは、外部入力（入力元は、MTU0.TGRA, TGRB, TGRCレジスタのインプットキャプチャ信号） 1：出力の切り替えはソフトウェアで行う（TGCR.UF、VF、WFビットの設定値）	R/W
b4	P	正相出力（P）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b5	N	逆相出力（N）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能を有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

TGCR レジスタは、リセット同期 PWM モード/相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を設定するレジスタです。相補 PWM モード/リセット同期 PWM モード以外では、TGCR レジスタの設定は無効です。

UF、VF、WF ビット（出力相切り替えビット）

これらのビットの設定は TGCR.FB ビットが“1”のときのみ有効です。このときは、ビット 0～2 の設定が、外部入力の代わりにになります。表 22.39 を参照してください。

FB ビット（外部フィードバック信号許可ビット）

正相/逆相の出力の切り替えを MTU0.TGRA, TGRB, TGRC レジスタのインプットキャプチャ信号で自動的に行うか、TGCR レジスタのビット 2～0 に“0”または“1”を書き込むことによって行うかを選択します。

P ビット（正相出力（P）制御ビット）

正相端子の出力（MTIOC3B 端子、MTIOC4A 端子、MTIOC4B 端子）を出力時、レベル出力をするか、リセット同期 PWM/相補 PWM 出力するかを選択します。

N ビット（逆相出力（N）制御ビット）

逆相端子（MTIOC3D 端子、MTIOC4C 端子、MTIOC4D 端子）を出力時、レベル出力するか、リセット同期 PWM/相補 PWM 出力するかを選択します。

BDC ビット (ブラシレス DC モータビット)

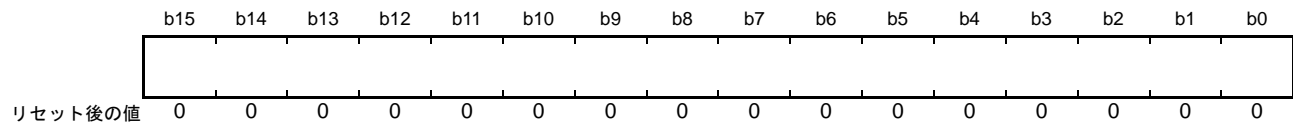
TGCR レジスタの機能を有効にするか、無効にするかを選択します。

表 22.39 出力レベル選択機能

ビット2 WF	ビット1 VF	ビット0 UF	機能					
			MTIOC3B U相	MTIOC4A V相	MTIOC4B W相	MTIOC3D U相	MTIOC4C V相	MTIOC4D W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

22.2.22 タイマサブカウンタ (TCNTS)

アドレス MTU.TCNTS 0008 8620h

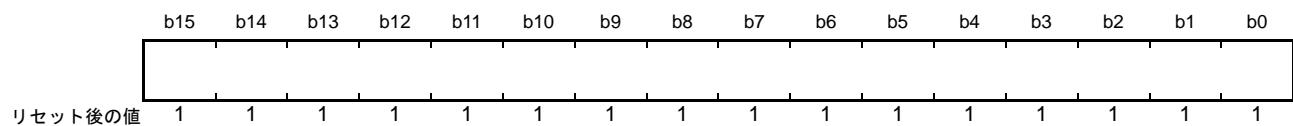


注. TCNTSカウンタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCNTS カウンタは、相補 PWM モードに設定したときのみ使用される読み出し専用カウンタです。

22.2.23 タイマデッドタイムデータレジスタ (TDDR)

アドレス MTU.TDDR 0008 8616h

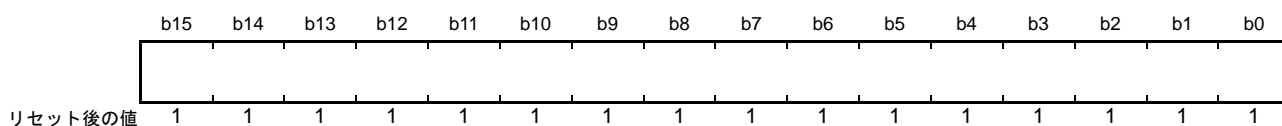


注. TDDRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TDDR レジスタは、相補 PWM モード時 MTU3.TCNT と MTU4.TCNT カウンタのオフセット値を設定するレジスタです。相補 PWM モード時に MTU3.TCNT、MTU4.TCNT カウンタをクリアして再スタートするときは、TDDR レジスタの値が MTU3.TCNT カウンタにロードされカウント動作を開始します。

22.2.24 タイマ周期データレジスタ (TCDR)

アドレス MTU.TCDR 0008 8614h

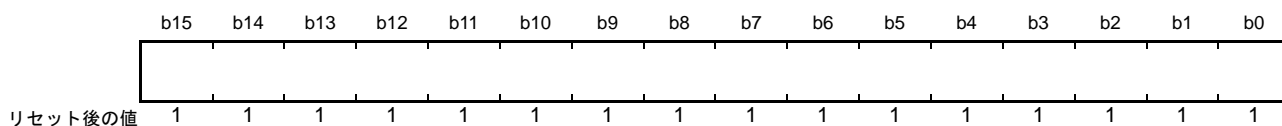


注. TCDRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCDR レジスタは、TCNTS カウンタのカウント方向を切り替えるカウント値を設定するレジスタです。相補 PWM モード時のみ使用します。TCDR レジスタの値は PWM 周期の 1/2 の値を設定してください。TCDR レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り替えます（ダウンカウント→アップカウント）。

22.2.25 タイマ周期バッファレジスタ (TCBR)

アドレス MTU.TCBR 0008 8622h

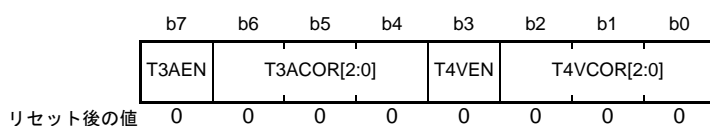


注. TCBRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCBR レジスタは TCDR レジスタのバッファレジスタで、TCNTS カウンタのカウント方向を切り替えるカウント値を設定するレジスタです。相補 PWM モード時のみ使用します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。

22.2.26 タイマ割り込み間引き設定レジスタ (TITCR)

アドレス MTU.TITCR 0008 8630h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4 割り込み間引き回数設定ビット	TCIV4 割り込みの間引き回数を0~7回で設定します。(注1) 詳細は表22.40を参照してください	R/W
b3	T4VEN	T4VENビット	0 : TCIV4 割り込みの間引きを禁止する 1 : TCIV4 割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3 割り込み間引き回数設定ビット	TGIA3 割り込みの間引き回数を0~7回で設定します。(注1) 詳細は表22.41を参照してください	R/W
b7	T3AEN	T3AENビット	0 : TGIA3 割り込みの間引きを禁止する 1 : TGIA3 割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数に“0”を設定すると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR.T3AEN、TITCR.T4VENビットを“0”に設定してTITCNTカウンタをクリアしてください。

表22.40 T4VCOR[2:0]ビットによる割り込み間引き回数の設定

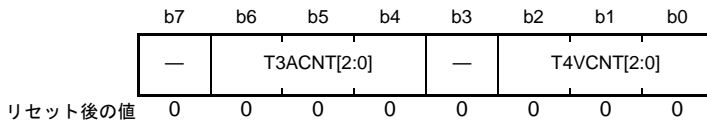
ビット2	ビット1	ビット0	説明
T4VCOR2	T4VCOR1	T4VCOR0	
0	0	0	TCIV4 の割り込み間引きを行わない
0	0	1	TCIV4 の割り込み間引き回数を 1 回に設定
0	1	0	TCIV4 の割り込み間引き回数を 2 回に設定
0	1	1	TCIV4 の割り込み間引き回数を 3 回に設定
1	0	0	TCIV4 の割り込み間引き回数を 4 回に設定
1	0	1	TCIV4 の割り込み間引き回数を 5 回に設定
1	1	0	TCIV4 の割り込み間引き回数を 6 回に設定
1	1	1	TCIV4 の割り込み間引き回数を 7 回に設定

表22.41 T3ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6 T3ACOR2	ビット5 T3ACOR1	ビット4 T3ACOR0	説明
0	0	0	TGIA3の割り込み間引きを行わない
0	0	1	TGIA3の割り込み間引き回数を1回に設定
0	1	0	TGIA3の割り込み間引き回数を2回に設定
0	1	1	TGIA3の割り込み間引き回数を3回に設定
1	0	0	TGIA3の割り込み間引き回数を4回に設定
1	0	1	TGIA3の割り込み間引き回数を5回に設定
1	1	0	TGIA3の割り込み間引き回数を6回に設定
1	1	1	TGIA3の割り込み間引き回数を7回に設定

22.2.27 タイマ割り込み間引き回数カウンタ (TITCNT)

アドレス MTU.TITCNT 0008 8631h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4割り込みカウンタビット	TITCR.T4VENビットに1を設定時、TCIV4割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	T3ACNT[2:0]	TGIA3割り込みカウンタビット	TITCR.T3AENビットに1を設定時、TGIA3割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. TITCNTカウンタの値をクリアするには、TITCR.T3AENビットとTITCR.T4VENビットを“0”にしてください。

TITCNTカウンタは、割り込み間引き対象の割り込み要因発生回数をカウントするカウンタです。TITCNTカウンタは、MTU3.TCNT および MTU4.TCNT カウンタのカウント動作停止後も、値を保持します。

T4VCNT[2:0] ビット (TCIV4 割り込みカウンタビット)

[0 になる条件]

- TITCR.T4VCOR[2:0] ビットと TITCNT.T4VCNT[2:0] ビットが一致したとき
- TITCR.T4VEN ビットが“0”のとき
- TITCR.T4VCOR[2:0] ビットが“000b”のとき

T3ACNT[2:0] ビット (TGIA3 割り込みカウンタビット)

[0 になる条件]

- TITCR.T3ACOR[2:0] ビットと TITCNT.T3ACNT[2:0] ビットが一致したとき
- TITCR.T3AEN ビットが“0”のとき
- TITCR.T3ACOR[2:0] ビットが“000b”のとき

22.2.28 タイマバッファ転送設定レジスタ (TBTER)

アドレス MTU.TBTER 0008 8632h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	BTE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能と連動する/しないを設定します。詳細は表22.42を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTER レジスタは、相補 PWM モードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能と連動する/しないを設定するレジスタです。

表22.42 TBTER.BTE[1:0]ビットの設定

ビット1	ビット0	説明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない (注1) また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する (注2)
1	1	設定しないでください

注. 対象バッファレジスタ : MTU3.TGRC、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD、MTU.TCBRAレジスタ

注1. TMDR.MD[3:0]ビットの設定に従い転送します。詳細は「22.3.8 相補PWMモード」を参照してください。

注2. 割り込み間引きが禁止のとき (TITCR.T3AEN、T4VENビットを0に設定したとき、またはTITCRレジスタの間引き回数設定ビット (T3ACOR、T4VCOR) を0に設定したとき) は、バッファ転送を割り込み間引きと連動しない設定 (TBTER.BTE1ビットを0に設定) にしてください。
割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

22.2.29 タイマデッドタイム許可レジスタ (TDER)

アドレス MTU.TDER 0008 8634h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイム許可レジスタビット	0: デッドタイムを生成しない 1: デッドタイムを生成する (注1)	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TDDR ≥ 1に設定してください。

TDER レジスタは、相補 PWM モードのデッドタイム生成を設定するレジスタです。TDER レジスタは MTU3 に 1 本あります。TDER レジスタの設定は、TCNT カウンタの動作が停止した状態で行ってください。

TDER ビット (デッドタイム許可レジスタビット)

デッドタイムの生成をする / しないを設定します。

[“0”になる条件]

- TDER = 1 を読み出し後、TDER ビットに“0”を書いたとき

22.2.30 タイマ波形コントロールレジスタ (TWCR)

アドレス MTU.TWCR 0008 8660h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCE	—	—	—	—	—	—	WRE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	初期出力抑止許可ビット	0 : TOCR レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する	R/(W) (注1)
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE	コンペアマッチクリア許可ビット	0 : MTU3.TGRA レジスタのコンペアマッチによるカウンタクリアをしない 1 : MTU3.TGRA レジスタのコンペアマッチによるカウンタクリアをする	R/(W) (注2)

注1. 相補PWMモードのとき以外は、“1”に設定しないでください。

注2. 相補PWMモード1のとき以外は、“1”に設定しないでください。

TWCR レジスタは、相補 PWM モードで MTU3.TNCT, MTU4.TNCT カウンタの同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRA レジスタのコンペアマッチによるカウンタクリアをする / しないを設定するレジスタです。

TWCR.CCE, WRE ビットの設定は、TCNT カウンタの動作が停止した状態で行ってください。

WRE ビット (初期出力抑止許可ビット)

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の T_b 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、MTU3.TCNT, MTU4.TCNT カウンタスタート直後の谷の T_b 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。

相補 PWM モードの谷の T_b 区間については、図 22.40 を参照してください。

[“1”になる条件]

- WRE = 0 を読み出し後、WRE ビットに“1”を書いたとき

CCE ビット (コンペアマッチクリア許可ビット)

相補 PWM モード1で、TGRA3 レジスタのコンペアマッチによるカウンタクリアをする / しないを設定します。

[“1”になる条件]

- CCE = 0 を読み出し後、CCE ビットに“1”を書いたとき

22.2.31 ノイズフィルタコントロールレジスタ (NFCR)

- NFCR (MTU0 ~ MTU4)

アドレス MTU0.NFCR 0008 8690h, MTU1.NFCR 0008 8691h, MTU2.NFCR 0008 8692h,
MTU3.NFCR 0008 8693h, MTU4.NFCR 0008 8694h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFC5[1:0]		NFDEN	NFCEN	NFBEN	NFAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ A 許可ビット	0 : MTIOCnA 端子のノイズフィルタは無効 1 : MTIOCnA 端子のノイズフィルタを有効	R/W
b1	NFBEN	ノイズフィルタ B 許可ビット	0 : MTIOCnB 端子のノイズフィルタは無効 1 : MTIOCnB 端子のノイズフィルタを有効	R/W
b2	NFCEN	ノイズフィルタ C 許可ビット	0 : MTIOCnC 端子のノイズフィルタは無効 1 : MTIOCnC 端子のノイズフィルタを有効	R/W (注1)
b3	NFDEN	ノイズフィルタ D 許可ビット	0 : MTIOCnD 端子のノイズフィルタは無効 1 : MTIOCnD 端子のノイズフィルタを有効	R/W (注1)
b5-b4	NFC5[1:0]	ノイズフィルタクロック選択ビット	00 : PCLK/1 01 : PCLK/8 10 : PCLK/32 11 : カウントソースを外部クロックに設定	R/W
b7-b6	—	予約ビット	読むと“0”が読みます。書く場合、“0”としてください	R/W

注1. MTU1.NFCR レジスタ、MTU2.NFCR レジスタでは予約ビットになります。読むと“0”が読みだされます。書き込み値は無効です。

MTUn.NFCR レジスタ (n=0 ~ 4) は、MTIOCnm 端子 (n=0 ~ 4, m=A ~ D) のノイズフィルタの有効/無効、ノイズフィルタのサンプリングクロックを設定するレジスタです。

NFAEN ビット (ノイズフィルタ A 許可ビット)

MTIOCnA 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFAEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR.MD[3:0] ビットでノーマルモード (0000b) 以外に設定した状態で、NFAEN ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ B 許可ビット)

MTIOCnB 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFBEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR.MD[3:0] ビットでノーマルモード (0000b) 以外に設定した状態で、NFBEN ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ C 許可ビット)

MTIOCnC 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFCEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定または、TMDR.MD[3:0] ビットでノーマルモード (0000b) 以外に設定した状態で、NFCEN ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ D 許可ビット)

MTIOcxD 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFDEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定または、TMDR.MD[3:0] ビットでノーマルモード (0000b) 以外に設定した状態で、NFDEN ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)

ノイズフィルタのサンプリング周期を設定します。NFCS ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。NFCS[1:0] ビットを“11b”に設定しカウントソースを外部クロックとした場合、NFCS ビット設定後外部クロックを2回入力した後インプットキャプチャ機能に設定してください。

- NFCR (MTU5)

アドレス MTU5.NFCR 0008 8695h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	—	NFWE N	NFVEN	NFUEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFUEN	ノイズフィルタU許可ビット	0 : MTIC5U端子のノイズフィルタは停止 1 : MTIC5U端子のノイズフィルタを許可	R/W
b1	NFVEN	ノイズフィルタV許可ビット	0 : MTIC5V端子のノイズフィルタは停止 1 : MTIC5V端子のノイズフィルタを許可	R/W
b2	NFWEN	ノイズフィルタW許可ビット	0 : MTIC5W端子のノイズフィルタは停止 1 : MTIC5W端子のノイズフィルタを許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	00 : PCLK/1 01 : PCLK/8 10 : PCLK/32 11 : カウントソースを外部クロックに設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTU5.NFCR レジスタは、8ビットの読み出し/書き込み可能なレジスタです。MTU5.NFCR レジスタは、MTIC5m 端子のノイズフィルタを許可/停止を制御します。また、ノイズフィルタのサンプリングクロックを設定します。(m = U、V、W)

NFUEN ビット (ノイズフィルタ U 許可ビット)

MTIC5U 端子の入力のノイズフィルタ機能の許可/停止を設定します。NFUEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFUEN ビットを切り替えてください。

NFVEN ビット (ノイズフィルタ V 許可ビット)

MTIC5V 端子の入力のノイズフィルタ機能の許可/停止を設定します。NFVEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFVEN ビットを切り替えてください。

NFWEN ビット (ノイズフィルタ W 許可ビット)

MTIC5W 端子の入力のノイズフィルタ機能の許可/停止を設定します。NFWEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFWEN ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。NFCS[1:0] ビットの設定後、設定したサンプリング周期の2周期分待った後インプットキャプチャ機能に設定してください。

22.2.32 バスマスタとのインタフェース

TCNT カウンタ、TGR レジスタ、TCNTS カウンタ、TCBR レジスタ、TDDR レジスタ、TCDR レジスタ、TADCR レジスタ、TADCORA/B レジスタ、および TADCOBRA/B レジスタは 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し/書き込みが可能です。8 ビット単位での読み出し/書き込みはできません。16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。8 ビット単位での読み出し/書き込みを行ってください。

22.3 動作説明

22.3.1 基本動作

各チャンネルには、TCNT カウンタと TGR レジスタがあります。TCNT カウンタは、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGR レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTR.CST0 ~ CST4 ビット、MTU5.TSTR.CSTU5, CSTV5, CSTW5 ビットを“1”にすると、対応するチャンネルの TCNT カウンタはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウンタ動作設定手順例を図 22.4 に示します。

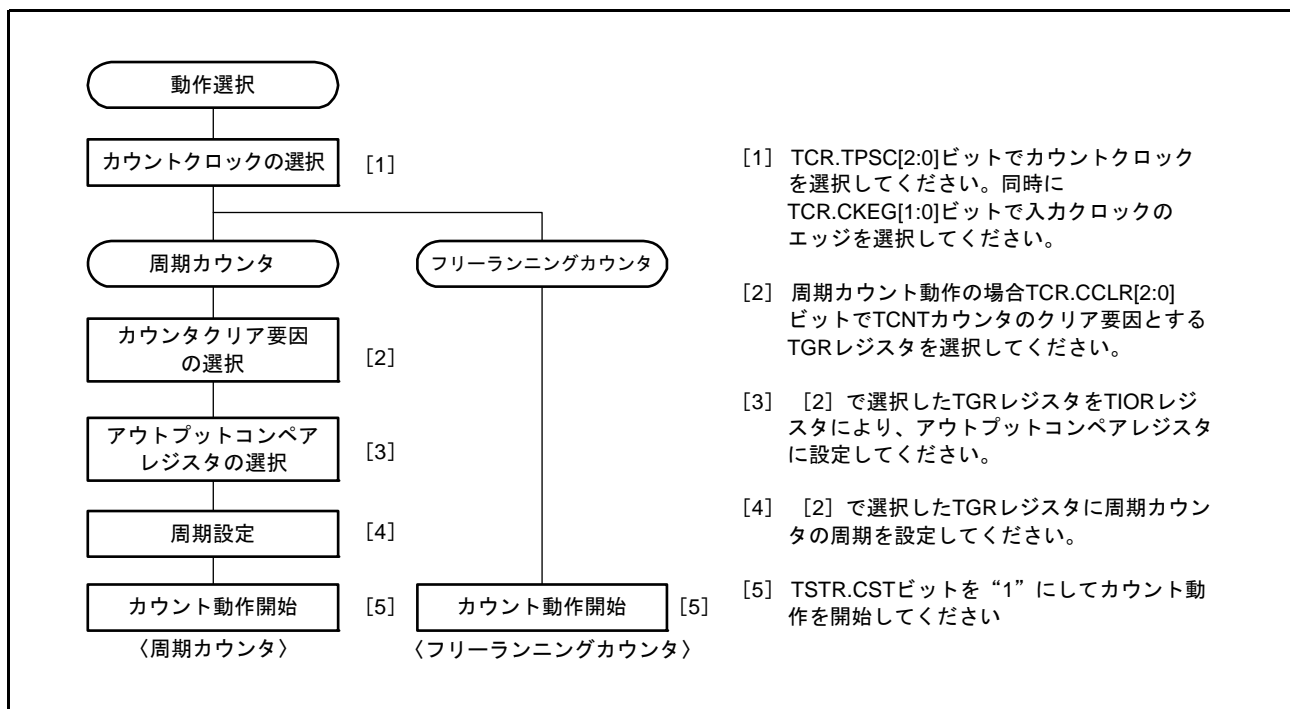


図 22.4 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

MTUのTCNTカウンタは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRレジスタの対応するCSTnビットを“1”にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTカウンタがオーバーフロー（“FFFFh”→“0000h”）すると、対応するTIER.TCIEVビットが“1”ならば、MTUは割り込みを要求します。TCNTカウンタはオーバーフロー後、“0000h”からアップカウント動作を継続します。

フリーランニングカウンタの動作を図22.5に示します。

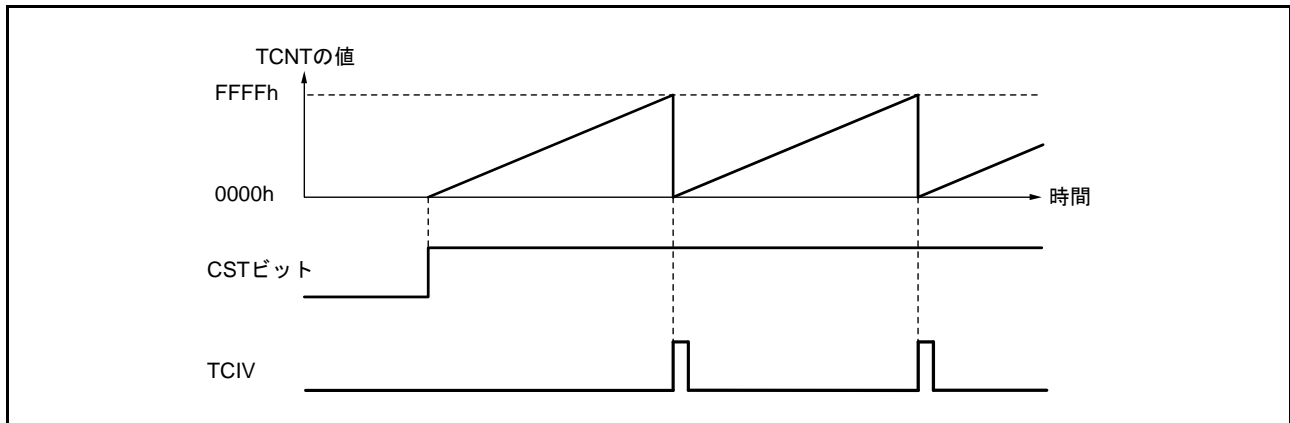


図 22.5 フリーランニングカウンタの動作

TCNTカウンタのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTカウンタは周期カウンタ動作を行います。周期設定用のTGRレジスタをアウトプットコンペアレジスタに設定し、TCR.CCLR[2:0]ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRレジスタの対応するビットを“1”にすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRレジスタの値と一致すると、TCNTカウンタは“0000h”になります。

このとき対応するTIER.TGIEビットが“1”ならば、MTUは割り込みを要求します。TCNTカウンタはコンペアマッチ後、“0000h”からアップカウント動作を継続します。

周期カウンタの動作を図22.6に示します。

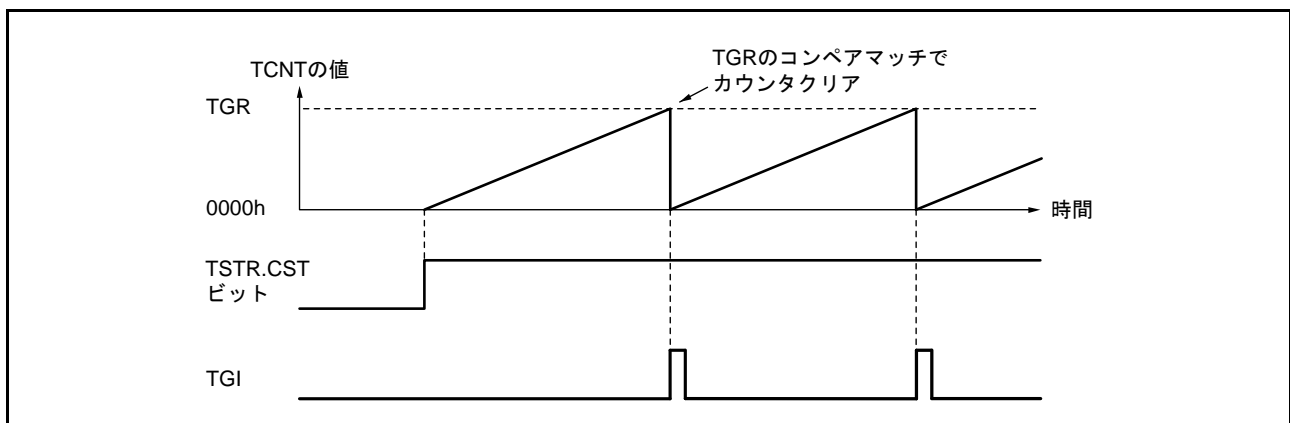


図 22.6 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTUは、コンペアマッチにより対応する出力端子から Low 出力 / High 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 22.7 に示します。

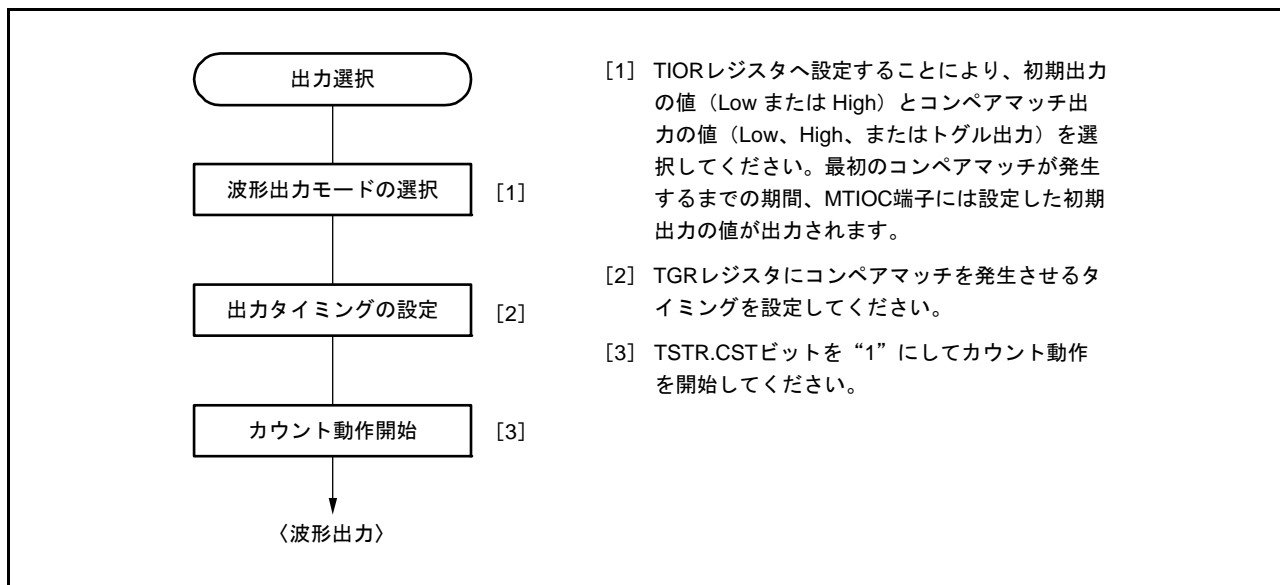


図 22.7 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

Low 出力 / High 出力例を図 22.8 に示します。

TCNT カウンタをフリーランニングカウント動作とし、コンペアマッチ A により High 出力、コンペアマッチ B により Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

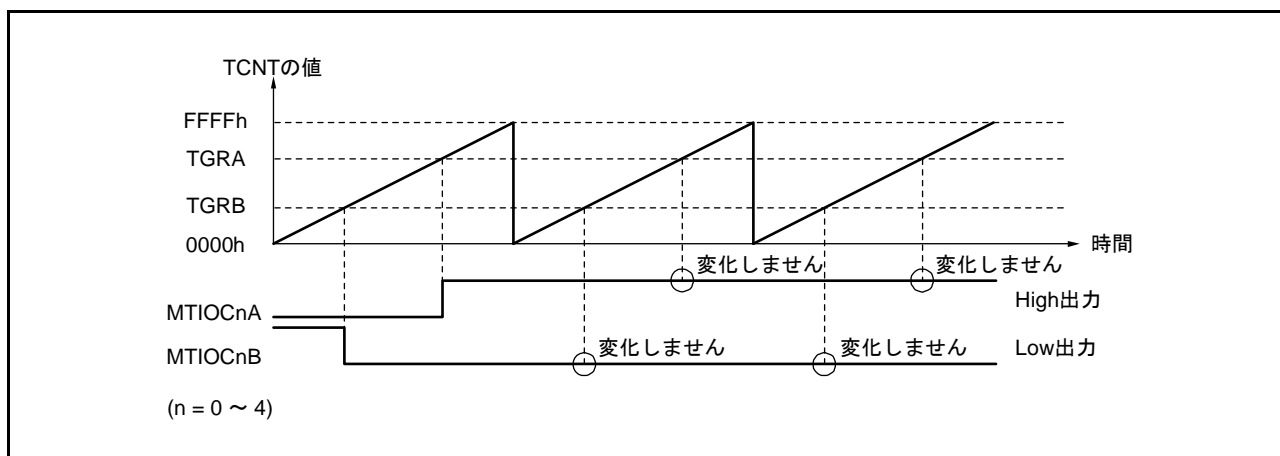


図 22.8 Low 出力 / High 出力の動作例

トグル出力の例を図 22.9 に示します。

TCNT カウンタを周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

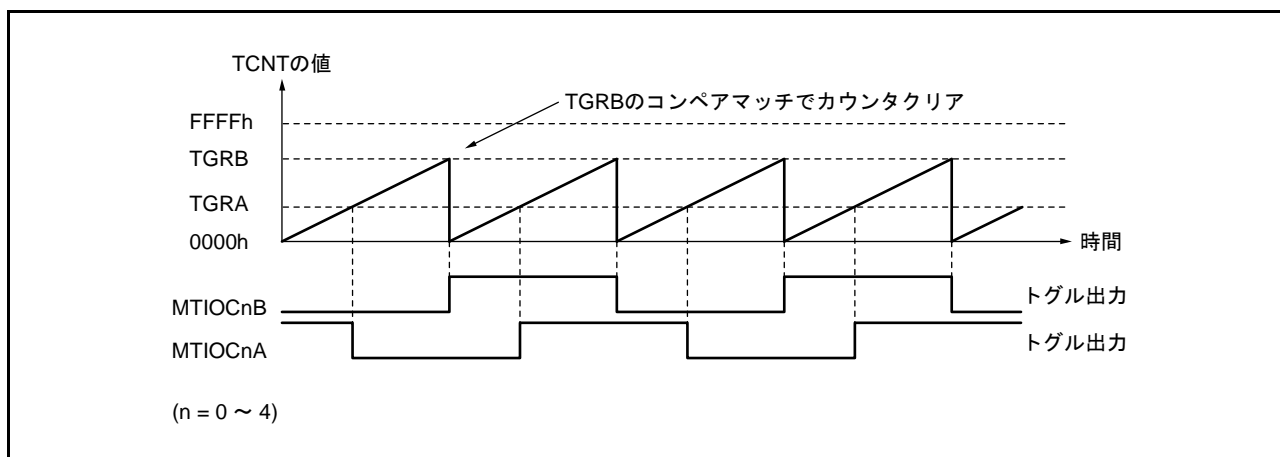


図 22.9 トグル出力の動作例

(3) インพุットキャプチャ機能

MTIOCnm 端子 (n = 0 ~ 4, m = A ~ D)、および MTIC5m 端子 (m = W, V, U) の入力エッジを検出して TCNT カウンタの値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、MTU0、MTU1 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

注. MTU0、MTU1 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに PCLK/1 クロックを選択しないでください。PCLK/1 クロックを選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 22.10 に示します。

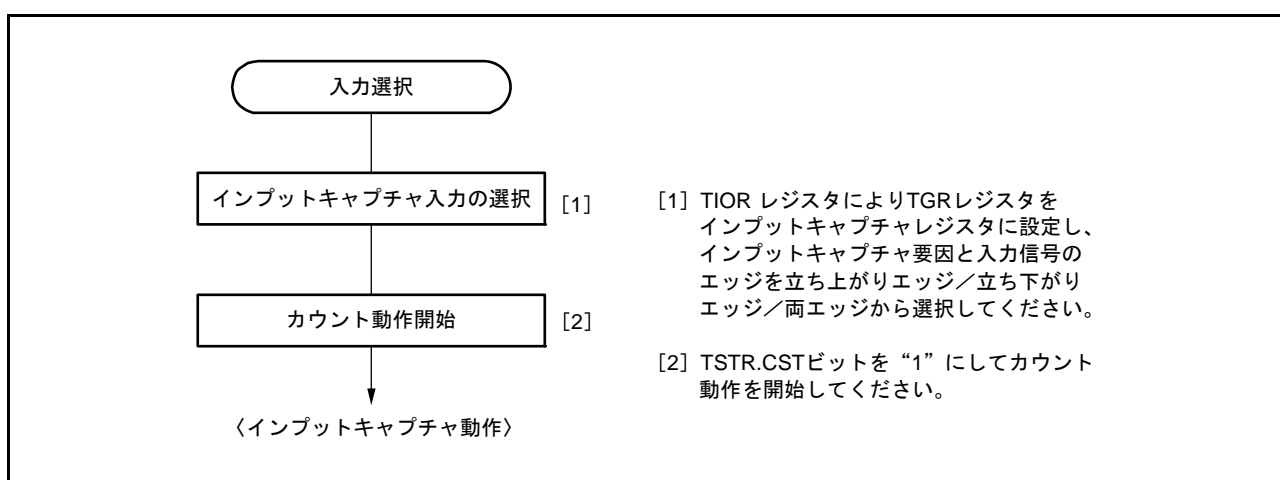


図 22.10 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 22.11 に示します。

MTIOCbA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また MTIOCbB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT カウンタは TGRB レジスタのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

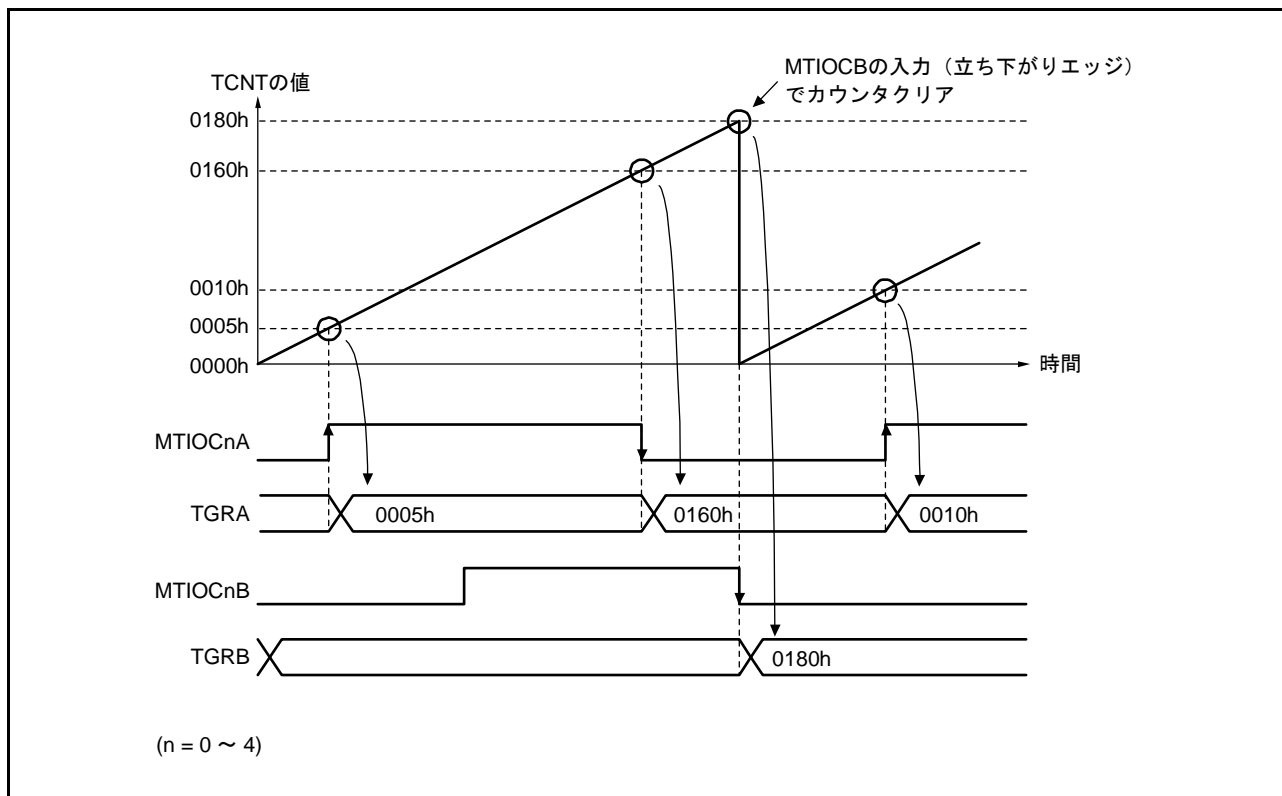


図 22.11 インพุットキャプチャ動作例

22.3.2 同期動作

同期動作は、複数の TCNT カウンタの値を同時に書き換えることができます（同期セット）。また、TCR の設定により複数の TCNT カウンタを同時にクリアすることができます（同期クリア）。

同期動作により、1つのタイムベースに対して動作する TGR レジスタの本数を増加することができます。

MTU0 ~ MTU4 はすべて同期動作の設定が可能です。

MTU5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 22.12 に示します。

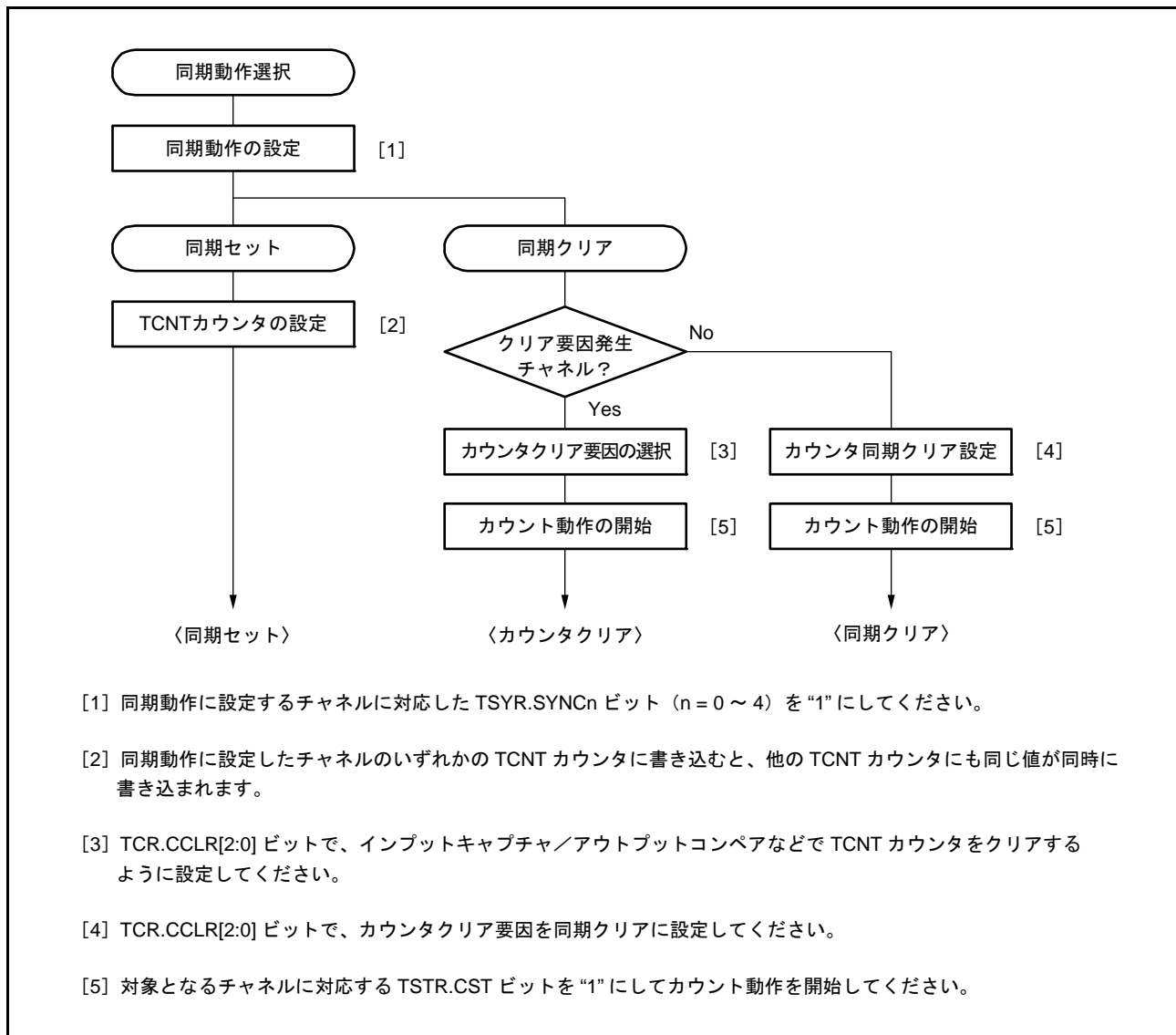


図 22.12 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 22.13 に示します。

MTU0 ~ 2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB レジスタのコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ~ MTU2 の TCNT カウンタは同期セット、MTU0.TGRB レジスタのコンペアマッチによる同期クリアを行い、MTU0.TGRB レジスタに設定したデータが PWM 周期となります。

PWM モードについては、「22.3.5 PWM モード」を参照してください。

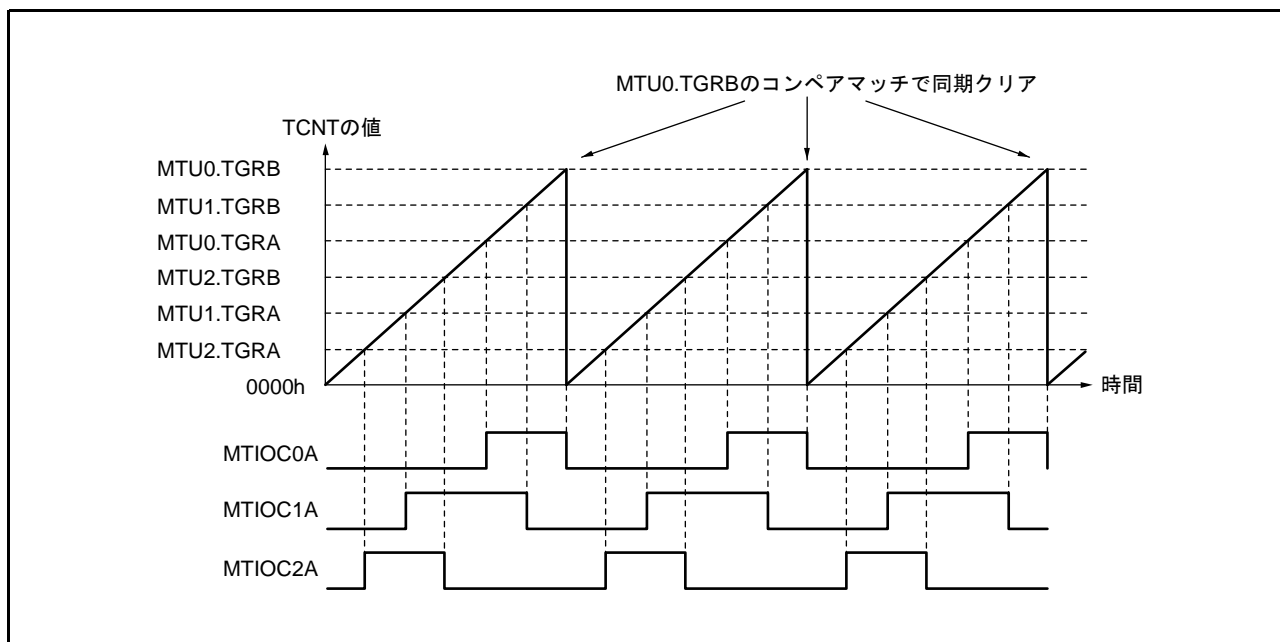


図 22.13 同期動作の動作例

22.3.3 バッファ動作

バッファ動作は、MTU0、MTU3、MTU4 が持つ機能です。TGRC レジスタと TGRD レジスタをバッファレジスタとして使用することができます。また、MTU0 は TGRF レジスタもバッファレジスタとして使用することができます。

バッファ動作は、TGR レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注． MTU0.TGRE レジスタはインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 22.43 にバッファ動作時のレジスタの組み合わせを示します。

表22.43 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD

- TGR レジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 22.14 に示します。

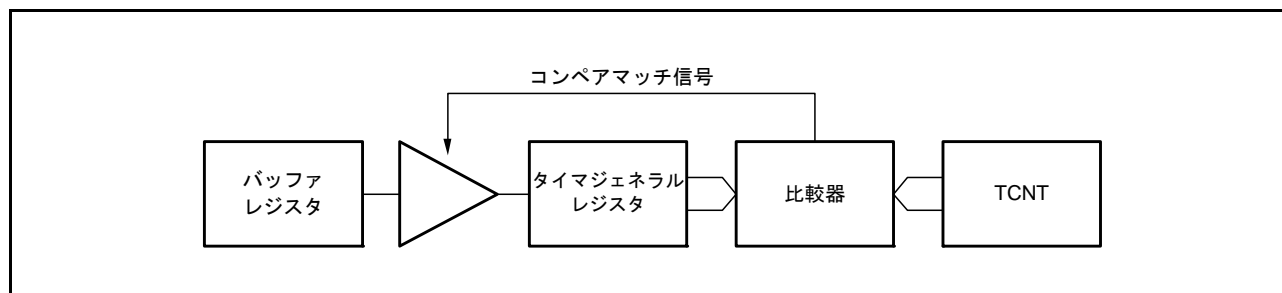


図 22.14 コンペアマッチバッファ動作

- TGRレジスタがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNTカウンタの値をTGRレジスタに転送すると同時に、それまで格納されていたTGRレジスタの値をバッファレジスタに転送します。

この動作を図22.15に示します。

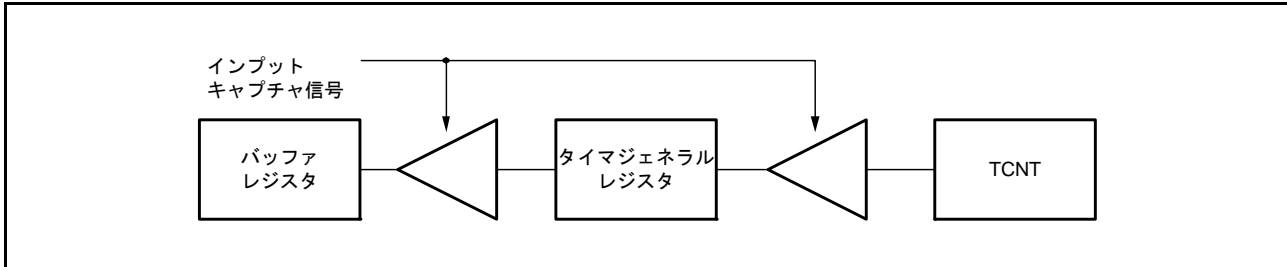


図 22.15 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図22.16に示します。

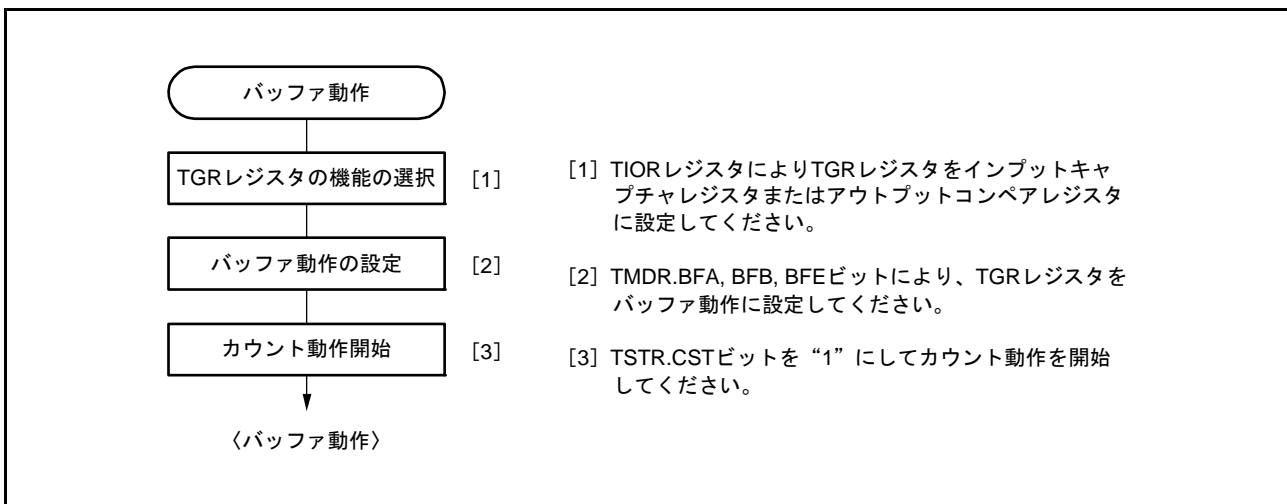


図 22.16 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR レジスタがアウトプットコンペアレジスタの場合

MTU0 を PWM モード 1 に設定し、TGRA レジスタと TGRC レジスタをバッファ動作に設定した場合の動作例を図 22.17 に示します。TCNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。この例では、TBTM.TTSA ビットは“0”に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「22.3.5 PWM モード」を参照してください。

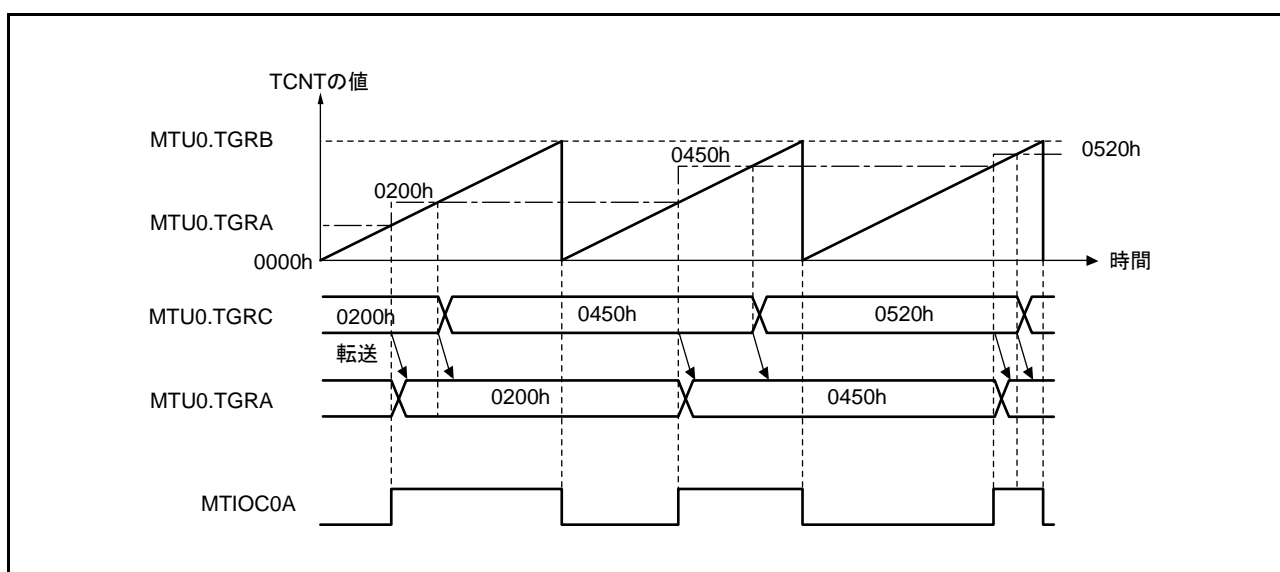


図 22.17 バッファ動作例 (1)

(b) TGR レジスタがインプットキャプチャレジスタの場合

TGRA レジスタをインプットキャプチャレジスタに設定し、TGRA レジスタと TGRC レジスタをバッファ動作に設定したときの動作例を図 22.18 に示します。

TCNT カウンタは TGRA レジスタのインプットキャプチャでカウンタクリア、MTIOCnA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT カウンタの値が TGRA レジスタに転送されると同時に、それまで TGRA レジスタに格納されていた値が TGRC レジスタに転送されます。

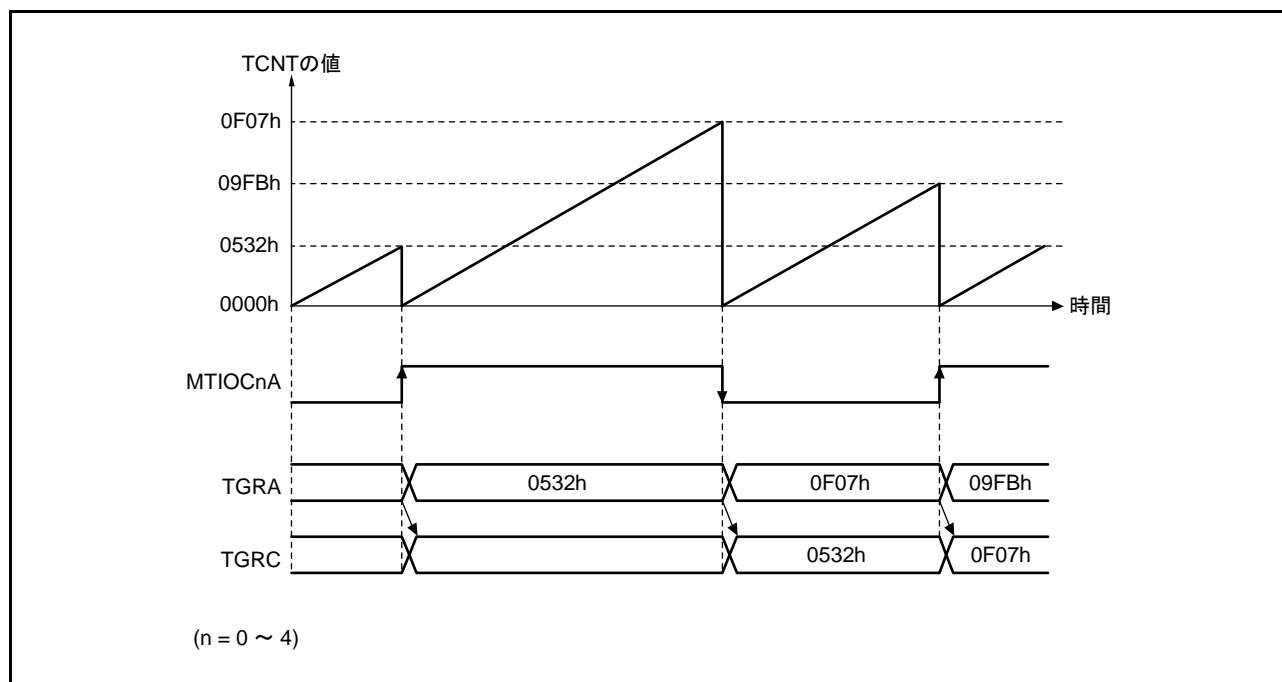


図 22.18 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

MTU0.TBTM, MTU3.TBTM, MTU4.TBTM レジスタを設定することで、MTU0 では PWM モード 1、2 時の、MTU3、MTU4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時（初期値）と TCNT カウンタクリア時のいずれか一方です。ここで TCNT カウンタのクリア時とは次の条件のいずれかが成立したときです。

- TCNT カウンタがオーバーフローしたとき (“FFFFh” → “0000h”)
- カウンタ動作中、TCNT カウンタに “0000h” が書き込まれたとき
- TCR.CCLR[2:0] ビットで設定したクリア要因で、TCNT カウンタが “0000h” になったとき

注． TBTM レジスタの設定は TCNT カウンタが停止した状態で行ってください。

MTU0 を PWM モード 1 に設定し、MTU0.TGRA レジスタと MTU0.TGRC レジスタをバッファ動作に設定した場合の動作例を図 22.19 に示します。MTU0.TCNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM.TTSA ビットは “1” に設定しています。

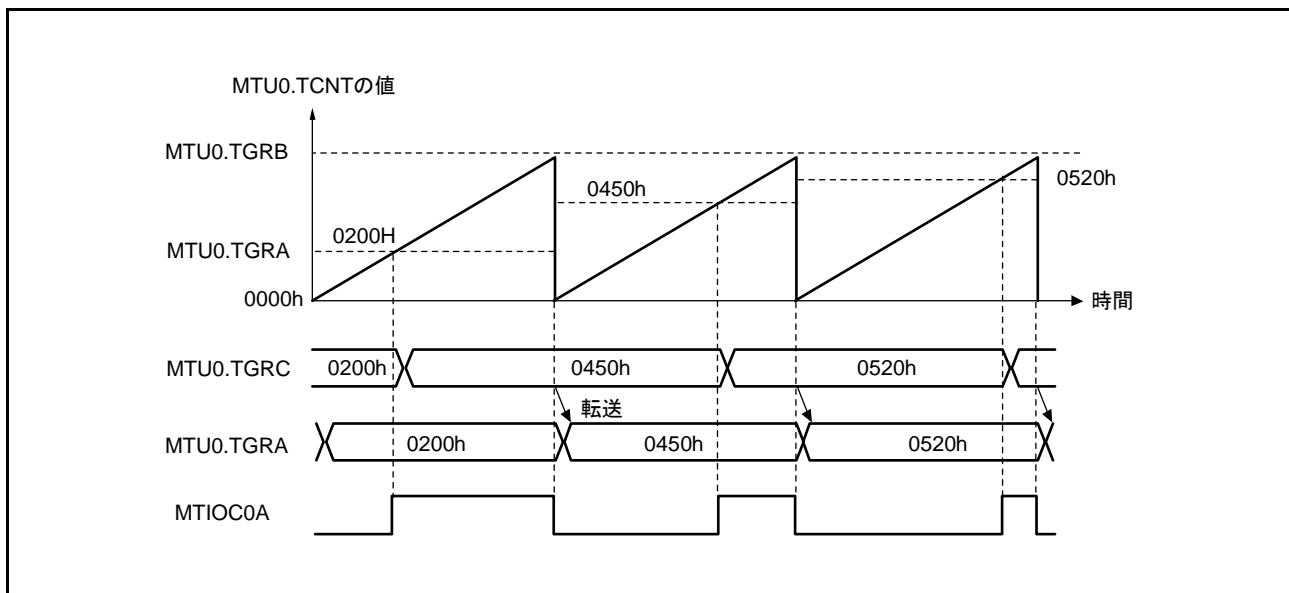


図 22.19 MTU0.TGRC レジスタから MTU0.TGRA レジスタのバッファ転送タイミングを MTU0.TCNT カウンタクリア時に選択した場合の動作例

22.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、MTU1のカウンタクロックをTCR.TPSC[2:0]ビットで(MTU2.TCNTカウンタ)のオーバーフロー/アンダフローでカウンタに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTカウンタが位相計数モードのときのみです。

表22.44にカスケード接続の組み合わせを示します。

注. MTU1、MTU2を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表22.44 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
MTU1とMTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNTカウンタとMTU2.TCNTカウンタの同時インプットキャプチャをする場合、TICCRレジスタで設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和をとった信号に対して行われます。したがって、いずれか一方がHighのとき、もう一方が変化してもエッジ検出は行われません。詳細は、「(4) カスケード接続動作例 (c)」を参照してください。カスケード接続時のインプットキャプチャについては「22.6.22 カスケード接続におけるMTU1.TCNT、MTU2.TCNTカウンタ同時インプットキャプチャ」を参照してください。

TICCRレジスタ設定値とインプットキャプチャ入力端子の対応を表22.45に示します。

表22.45 TICCRレジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCRレジスタ設定値	インプットキャプチャ入力端子
MTU1.TCNTからMTU1.TGRAへのインプットキャプチャ	I2AEビット=0(初期値)	MTIOC1A
	I2AEビット=1	MTIOC1A、MTIOC2A
MTU1.TCNTからMTU1.TGRBへのインプットキャプチャ	I2BEビット=0(初期値)	MTIOC1B
	I2BEビット=1	MTIOC1B、MTIOC2B
MTU2.TCNTからMTU2.TGRAへのインプットキャプチャ	I1AEビット=0(初期値)	MTIOC2A
	I1AEビット=1	MTIOC2A、MTIOC1A
MTU2.TCNTからMTU2.TGRBへのインプットキャプチャ	I1BEビット=0(初期値)	MTIOC2B
	I1BEビット=1	MTIOC2B、MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 22.20 に示します。

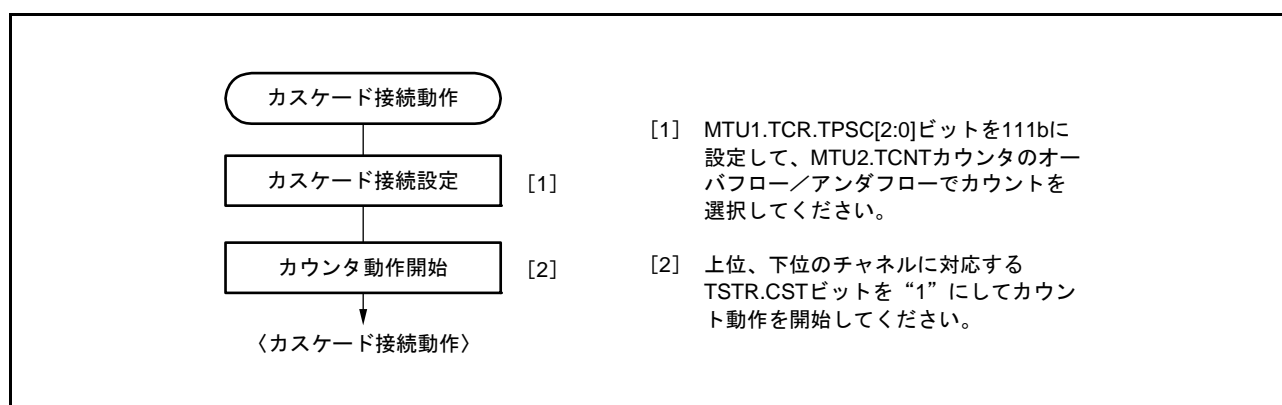


図 22.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、MTU1.TCNT カウンタは MTU2.TCNT カウンタのオーバフロー/アンダフローでカウント、MTU2 を位相計数モード 1 に設定したときの動作を図 22.21 に示します。

MTU1.TCNT カウンタは MTU2.TCNT カウンタのオーバフローでアップカウント、MTU2.TCNT カウンタのアンダフローでダウンカウントされます。

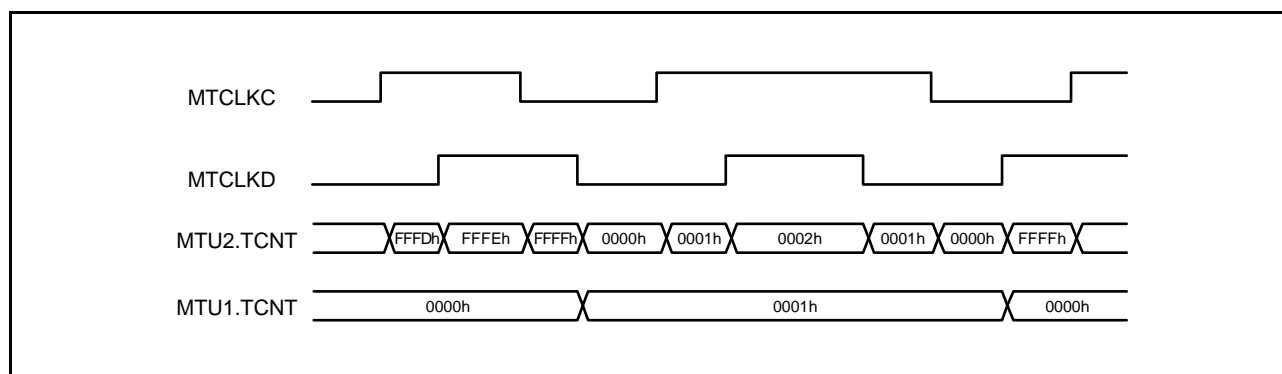


図 22.21 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA レジスタのインプットキャプチャ条件に追加した場合の動作を図 22.22 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、(MTIOC1A の) 立ち上がりエッジでインプットキャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、(MTIOC2A の) 立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA レジスタのインプットキャプチャ条件に設定されます。また、MTU2.TGRA レジスタのインプットキャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

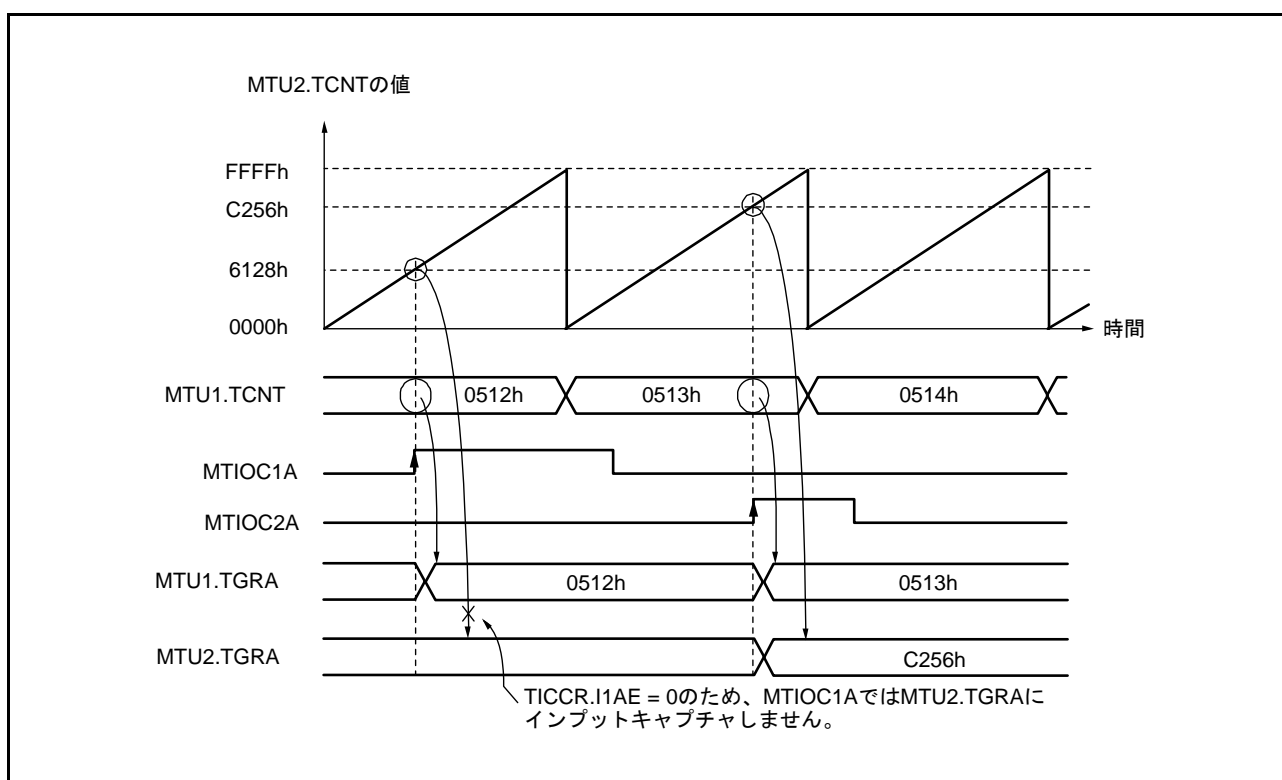


図 22.22 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、TICCR.I2AE ビットと TICCR.I1AE に“1”を設定して、MTIOC2A 端子を MTU1.TGRA レジスタのインプットキャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA レジスタのインプットキャプチャ条件に追加した場合の動作を図 22.23 に示します。この例では MTU1.TIOR レジスタ、MTU2.TIOR.IOA[3:0] ビットの設定は、どちらも両エッジでインプットキャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA レジスタおよび MTU2.TGRA レジスタのインプットキャプチャ条件となります。

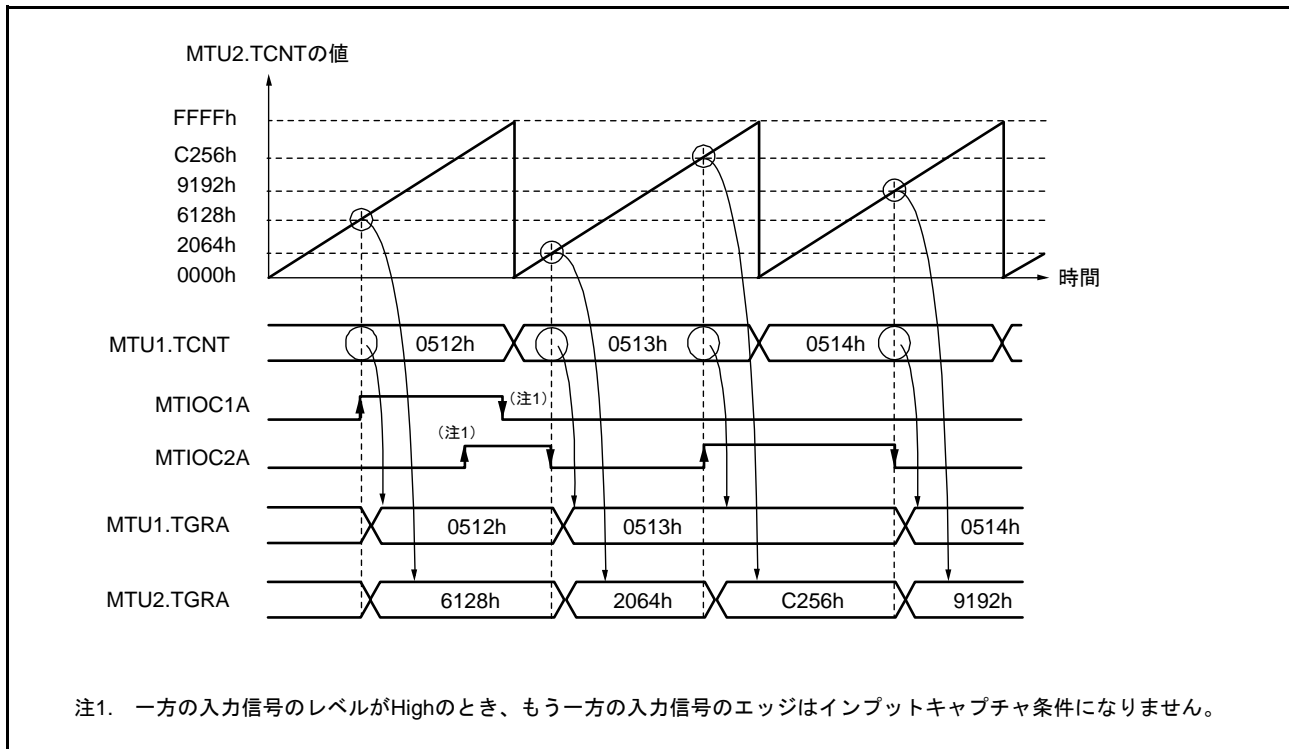


図 22.23 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA レジスタのインプットキャプチャ条件に追加した場合の動作を図 22.24 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、MTU0.TGRA レジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、(MTIOC2A の) 立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA レジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャのため、TICCR.I2AE ビットを“1”にしても MTIOC2A のエッジが MTU1.TGRA レジスタのインプットキャプチャ条件になることはありません。

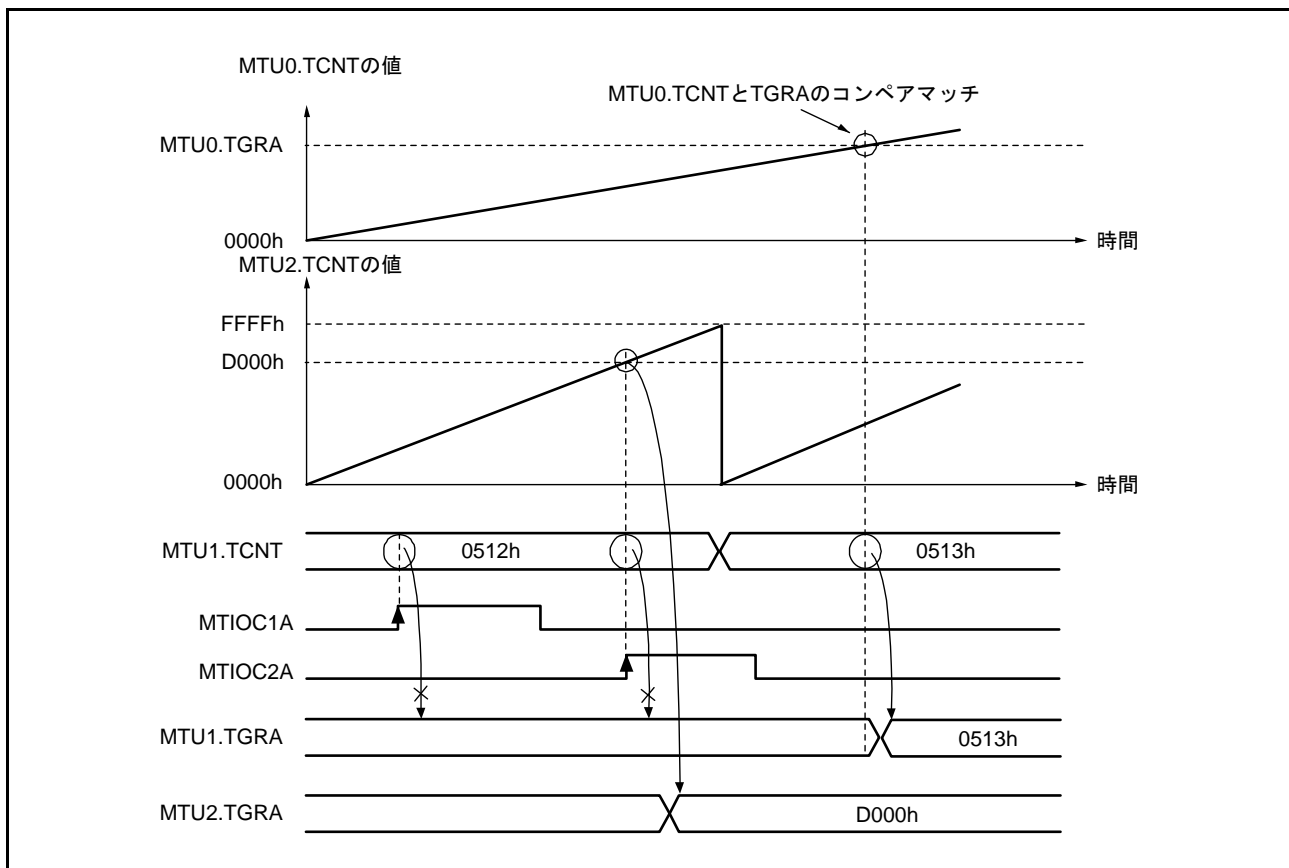


図 22.24 カスケード接続動作例 (d)

22.3.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGR レジスタの設定により、デューティ 0% ~ 100% の PWM 波形が出力できます。

TGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル個々に PWM モードに設定できます。PWM モードに設定したチャンネルの同期動作、および PWM モードに設定したチャンネルと他のモードに設定したチャンネルとの同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA レジスタと TGRB, TGRC レジスタと TGRD レジスタをペアで使用して、MTIOChA、MTIOChC 端子から PWM 出力を生成します。MTIOChA、MTIOChC 端子からコンペアマッチ A、C によって TIOR.IOA[3:0]、IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR.IOB[3:0]、IOD[3:0] ビットで指定した出力を行います。初期出力値は TGRA, TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 波形出力が可能です。

(b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他の TGR レジスタをデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 22.46 に示します。

表 22.46 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
MTU0	MTU0.TGRA	MTIOC0A	MTIOC0A
	MTU0.TGRB		MTIOC0B
	MTU0.TGRC	MTIOC0C	MTIOC0C
	MTU0.TGRD		MTIOC0D
MTU1	MTU1.TGRA	MTIOC1A	MTIOC1A
	MTU1.TGRB		MTIOC1B
MTU2	MTU2.TGRA	MTIOC2A	MTIOC2A
	MTU2.TGRB		MTIOC2B
MTU3	MTU3.TGRA	MTIOC3A	設定できません
	MTU3.TGRB	MTIOC3C	
	MTU3.TGRC		
	MTU3.TGRD		
MTU4	MTU4.TGRA	MTIOC4A	
	MTU4.TGRB	MTIOC4C	
	MTU4.TGRC		
	MTU4.TGRD		

注. PWM モード 2 のとき、周期を設定した TGR レジスタの PWM 出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 22.25 に示します。

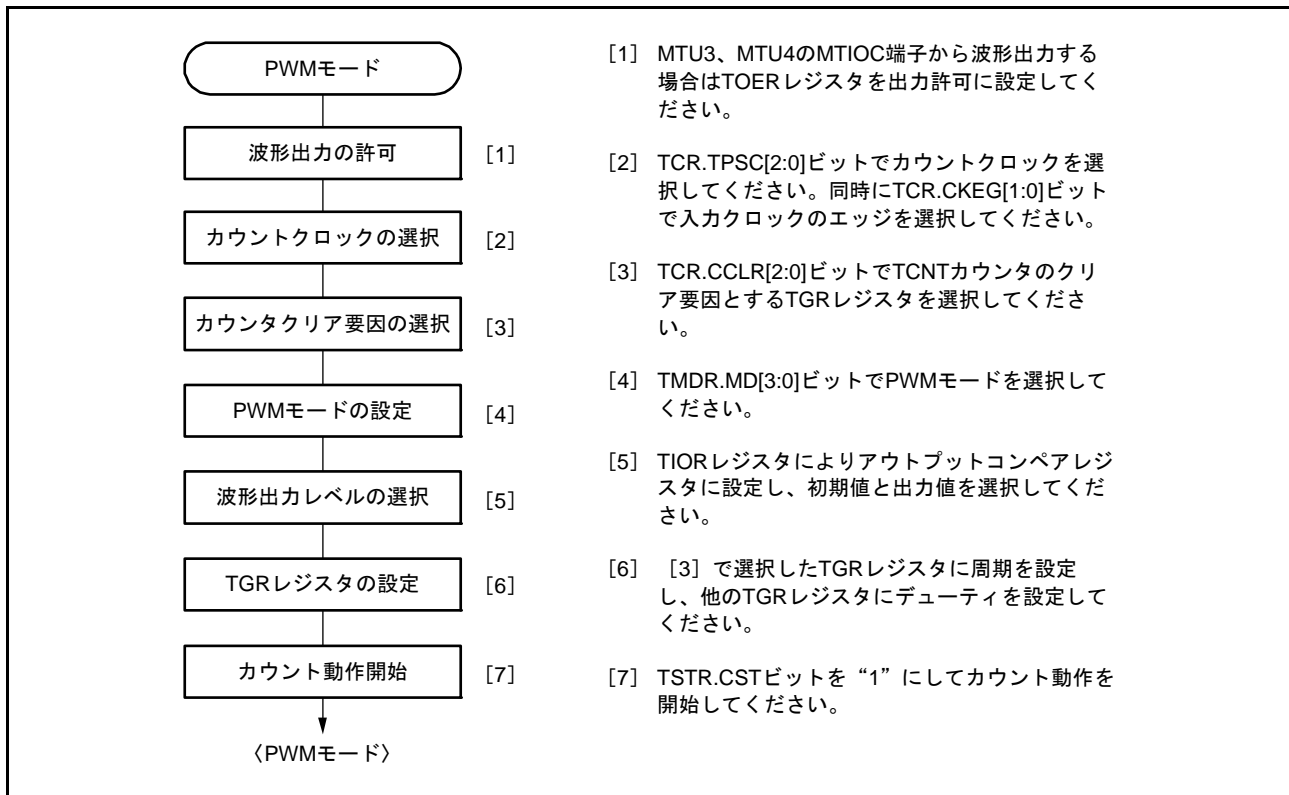


図 22.25 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 22.26 に示します。

この図は、TCNT カウンタのクリア要因を TGRA レジスタのコンペアマッチとし、TGRA レジスタの初期出力値と出力値を Low、TGRB レジスタの出力値を High に設定した場合の例です。

この場合、TGRA レジスタに設定した値が周期となり、TGRB レジスタに設定した値がデューティになります。

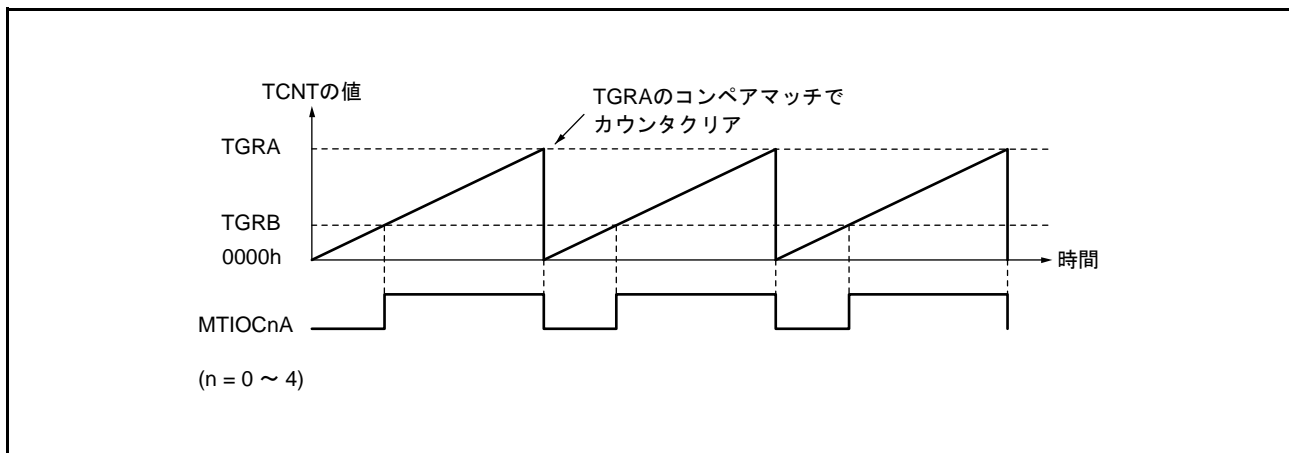


図 22.26 PWM モードの動作例

PWM モード2の動作例を図 22.27 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT カウンタのクリア要因を MTU1.TGRB レジスタのコンペアマッチとし、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) の初期出力値を Low、出力値を High に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、MTU1.TGRB レジスタに設定した値が周期となり、他の TGR レジスタに設定した値がデューティになります。

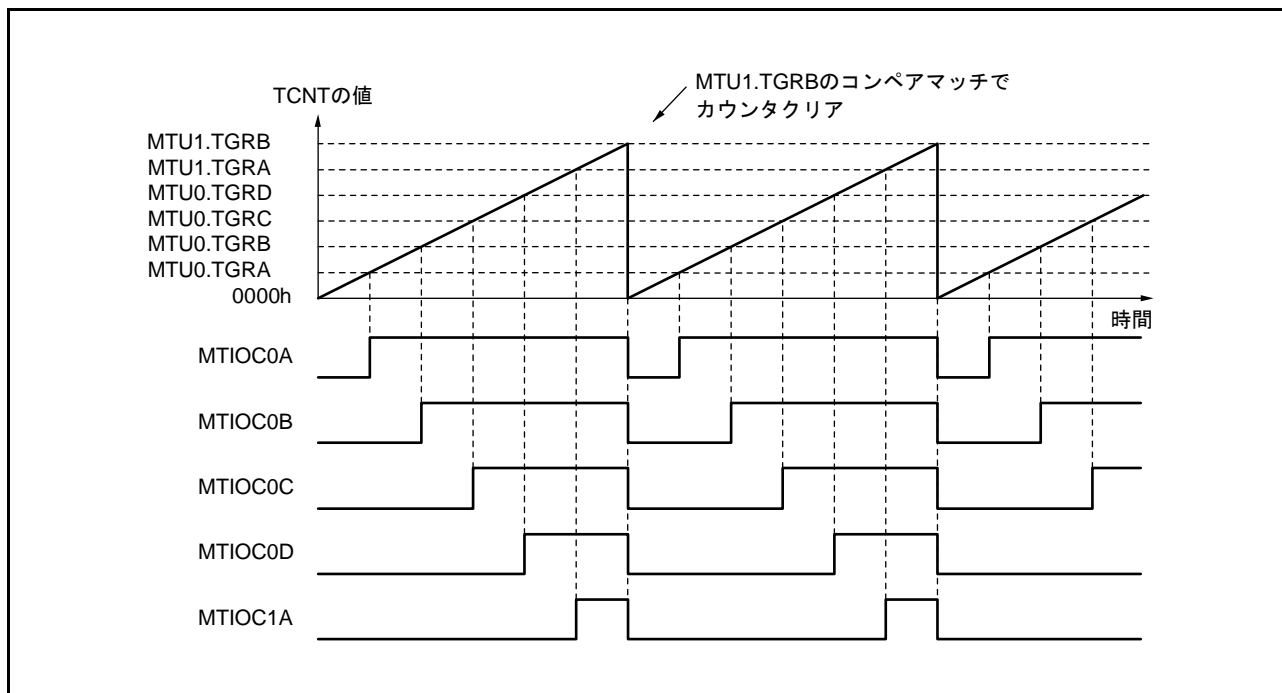


図 22.27 PWM モードの動作例

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 22.28 に示します。

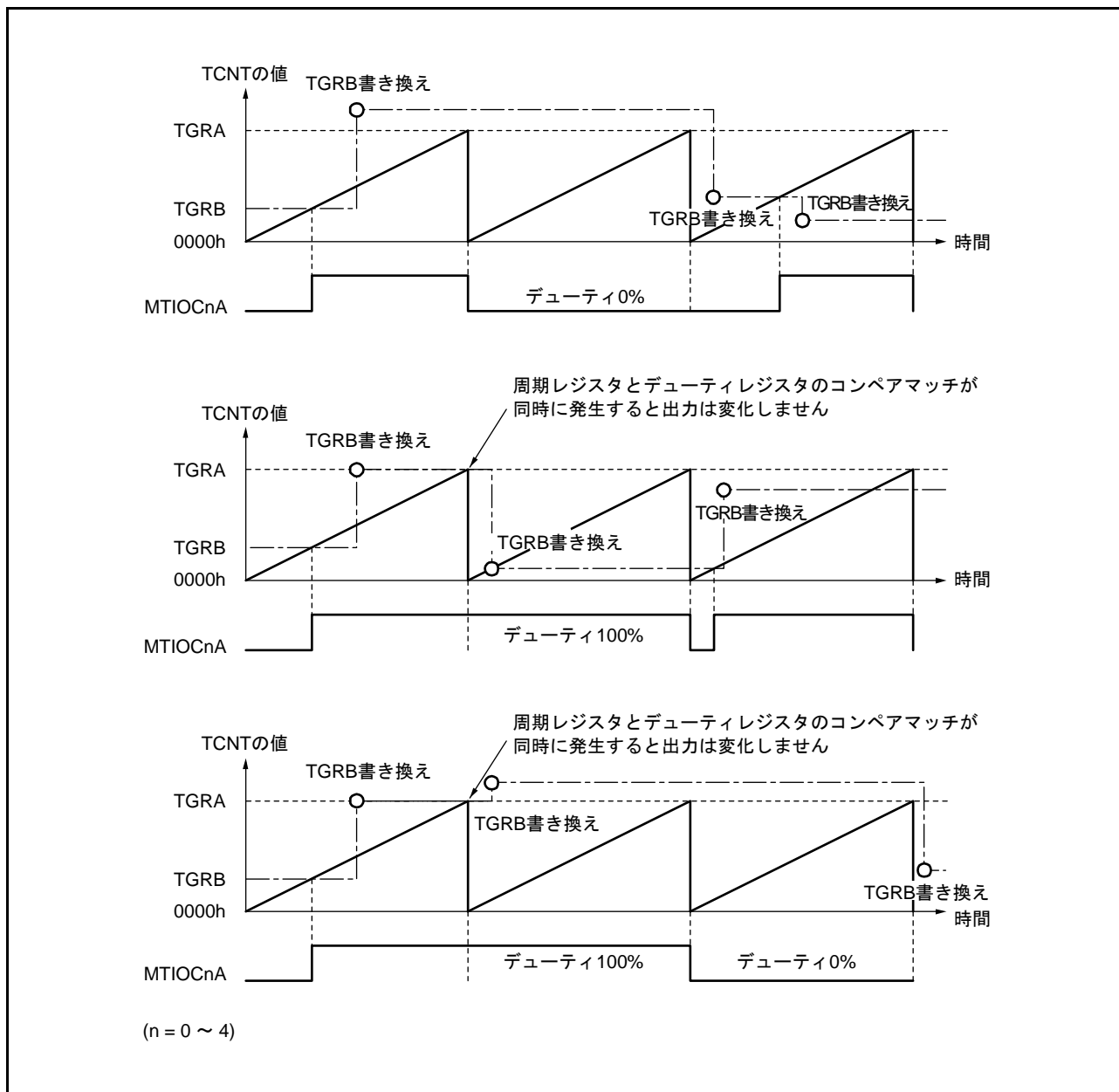


図 22.28 PWM モード動作例

22.3.6 位相計数モード

位相計数モードに設定すると、TCR.TPSC[2:0], CKEG[1:0] ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT カウンタはアップカウンタ/ダウンカウンタとして動作します。ただし、TCR.CCLR[1:0] ビット、TIOR, TIER, TGR レジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2相エンコーダパルスの入力として使用できます。

TCNT カウンタがアップカウント時、オーバフローが発生すると、対応する TIER.TCIEV ビットが“1”ならば、TCIV 割り込みが発生します。また、ダウンカウント時アンダフローが発生すると、対応する TIER.TCIEU ビットが“1”ならば TCIU 割り込みが発生します。

TSR.TCFD フラグはカウント方向フラグです。TCFD フラグの読み出しにより、TCNT カウンタがアップカウントしているかダウンカウントしているかを確認することができます。

位相計数モードでは、外部クロック端子 MTCLKA、MTCLKB、MTCLKC、MTCLKD を2相エンコーダパルスの入力端子として使用できます。表 22.47 に外部クロック端子とチャンネルの対応を示します。

表 22.47 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
MTU1	MTCLKA	MTCLKB
MTU2	MTCLKC	MTCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 22.29 に示します。

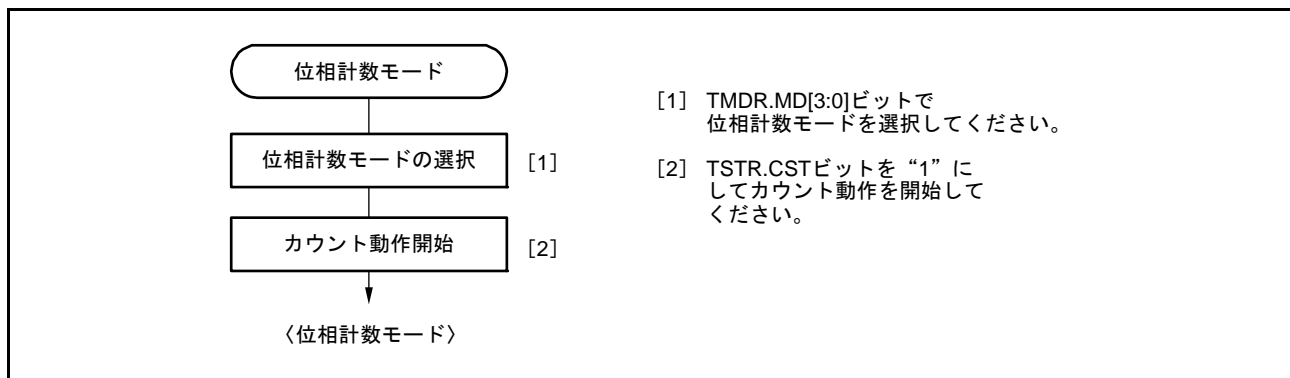


図 22.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTカウンタがアップカウント/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図22.30に、TCNTカウンタのアップカウント/ダウンカウント条件を表22.48に示します。

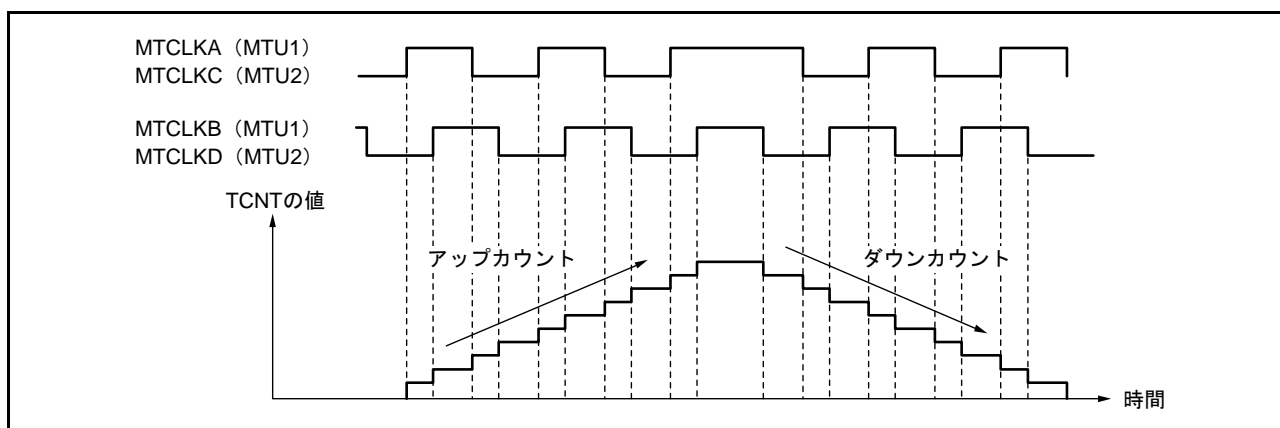


図 22.30 位相計数モード1の動作例

表22.48 位相計数モード1のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High		アップカウント
Low		
	Low	
	High	
High		ダウンカウント
Low		
	High	
	Low	

: 立ち上がりエッジ

: 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図22.31に、TCNTカウンタのアップカウント/ダウンカウント条件を表22.49に示します。

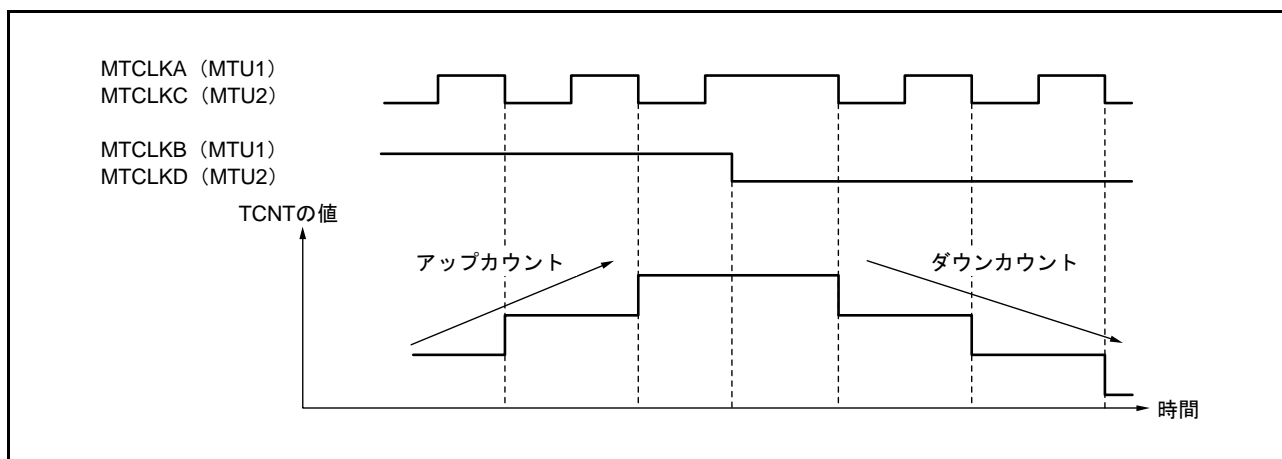


図 22.31 位相計数モード2の動作例

表22.49 位相計数モード2のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High		カウントしない (Don't care)
Low		カウントしない (Don't care)
	Low	カウントしない (Don't care)
	High	アップカウント
High		カウントしない (Don't care)
Low		カウントしない (Don't care)
	High	カウントしない (Don't care)
	Low	ダウンカウント

: 立ち上がりエッジ
 : 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図22.32に、TCNTカウンタのアップカウント/ダウンカウント条件を表22.50に示します。

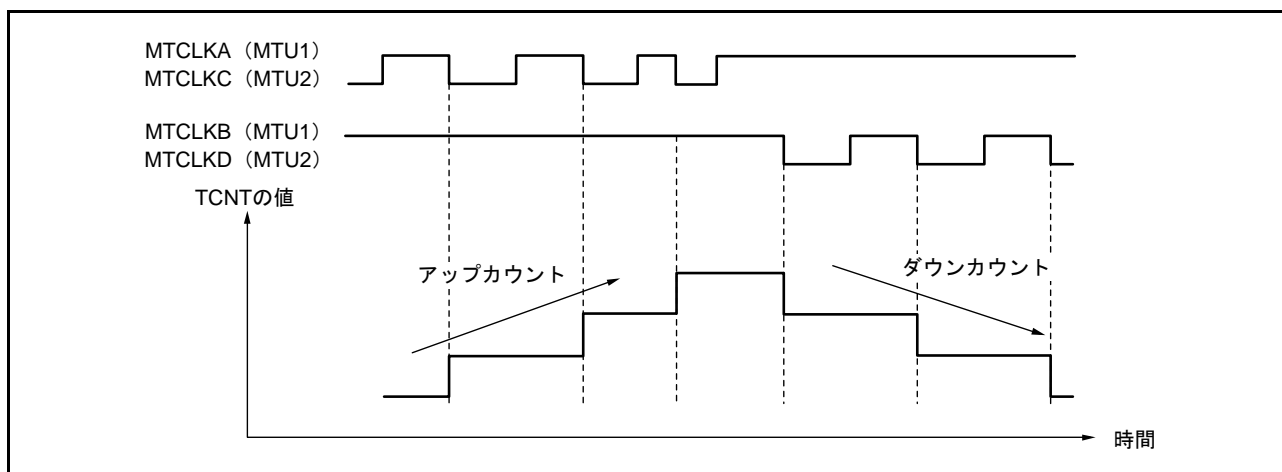


図 22.32 位相計数モード3の動作例

表 22.50 位相計数モード3のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	カウントしない (Don't care)
Low	↓	カウントしない (Don't care)
↑	Low	カウントしない (Don't care)
↓	High	アップカウント
High	↓	ダウンカウント
Low	↑	カウントしない (Don't care)
↑	High	カウントしない (Don't care)
↓	Low	カウントしない (Don't care)

↑ : 立ち上がりエッジ
 ↓ : 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図22.33に、TCNTカウンタのアップカウント/ダウンカウント条件を表22.51に示します。

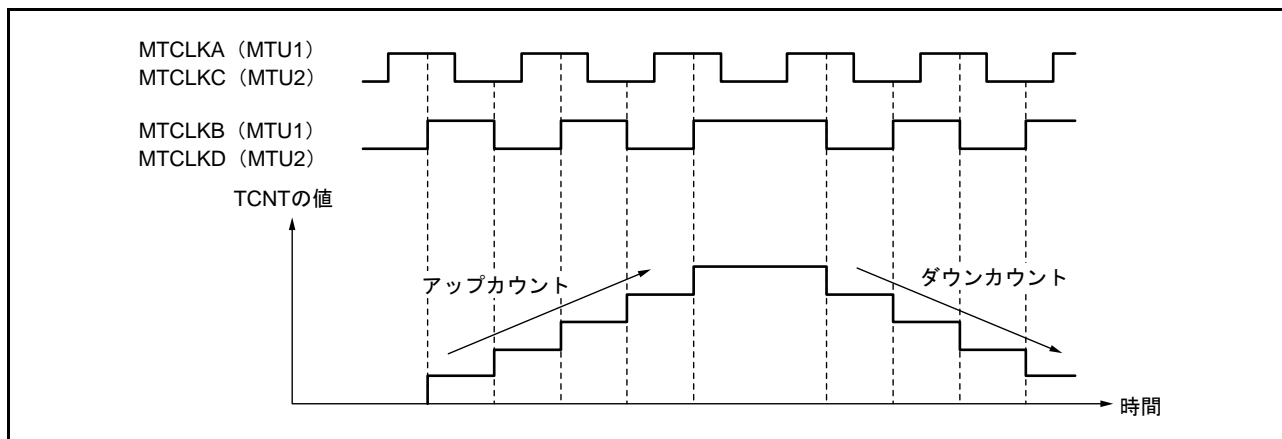


図 22.33 位相計数モード4の動作例

表 22.51 位相計数モード4のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない (Don't care)
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない (Don't care)
↓	Low	

↑ : 立ち上がりエッジ
↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

MTU1 を位相計数モードに設定し、MTU0 と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図 22.34 に示します。

MTU1 は位相計数モード1に設定し、MTCLKA と MTCLKB にエンコーダパルスのA相、B相を入力します。

MTU0.TCNT カウンタを MTU0.TGRC レジスタのコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRA レジスタと MTU0.TGRC レジスタはコンペアマッチ機能で使用する、速度制御周期と位置制御周期を設定します。MTU0.TGRB レジスタは入力キャプチャ機能で使用する、MTU0.TGRB レジスタと MTU0.TGRD レジスタをバッファ動作させます。MTU0.TGRB レジスタの入力キャプチャ要因は、MTU1 のカウンタ入力クロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

MTU1.TGRA レジスタと MTU1.TGRB レジスタは、入力キャプチャ機能に設定し、入力キャプチャ要因は MTU0.TGRA レジスタと MTU0.TGRC レジスタのコンペアマッチを選択し、それぞれの制御周期時のアップカウンタ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

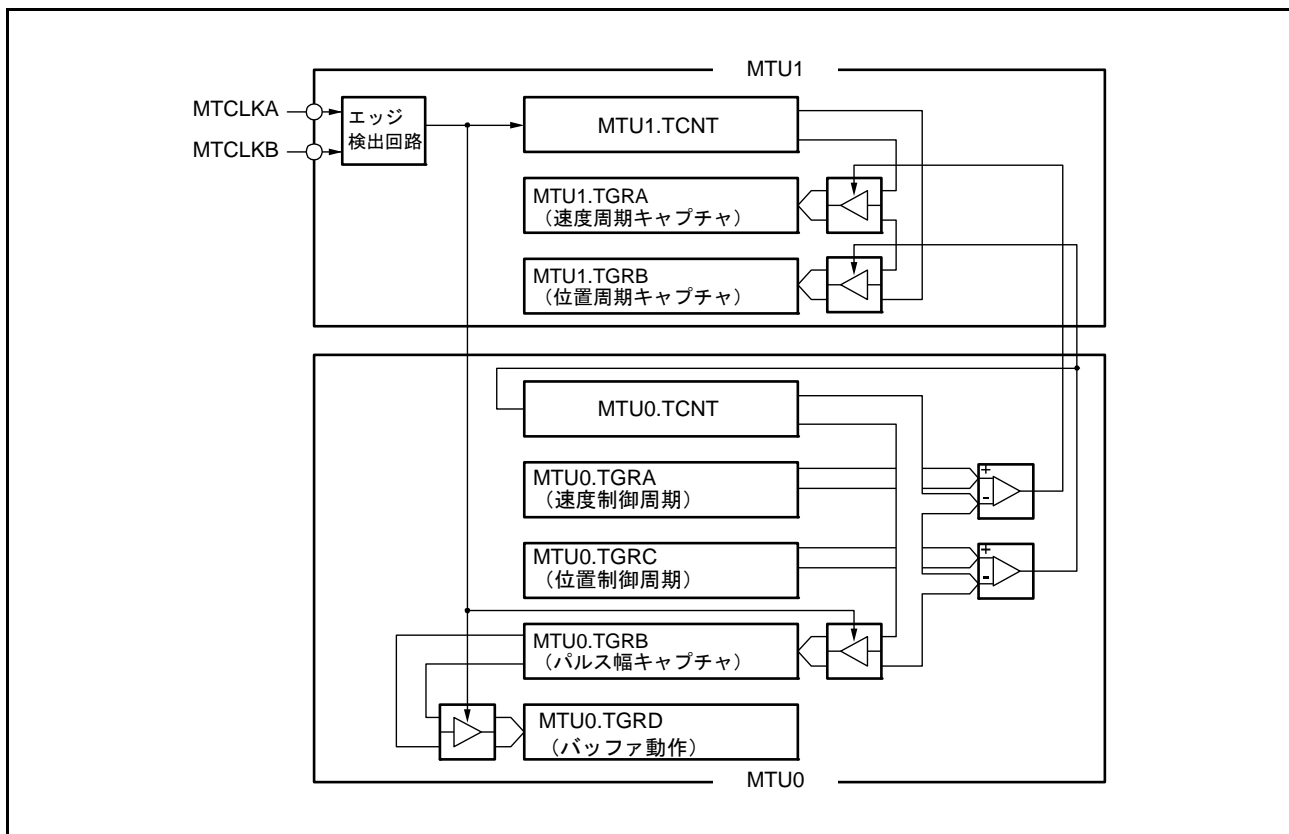


図 22.34 位相計数モードの応用例

22.3.7 リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、MTU4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 6 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、および MTIOC4D 端子は PWM 出力端子となり、MTU3.TCNT カウンタはアップカウンタとして機能します。

PWM 出力端子を表 22.52 に、レジスタの設定を表 22.53 に示します。

表22.52 リセット同期PWMモード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3B	PWM出力端子1
	MTIOC3D	PWM出力端子1' (PWM出力1の逆相波形)
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2' (PWM出力2の逆相波形)
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3' (PWM出力3の逆相波形)

表22.53 リセット同期PWMモード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	0000hを初期設定
MTU4.TCNT	0000hを初期設定
MTU3.TGRA	MTU3.TCNTのカウント周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D端子より出力されるPWM波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C端子より出力されるPWM波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D端子より出力されるPWM波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 22.35 に示します。

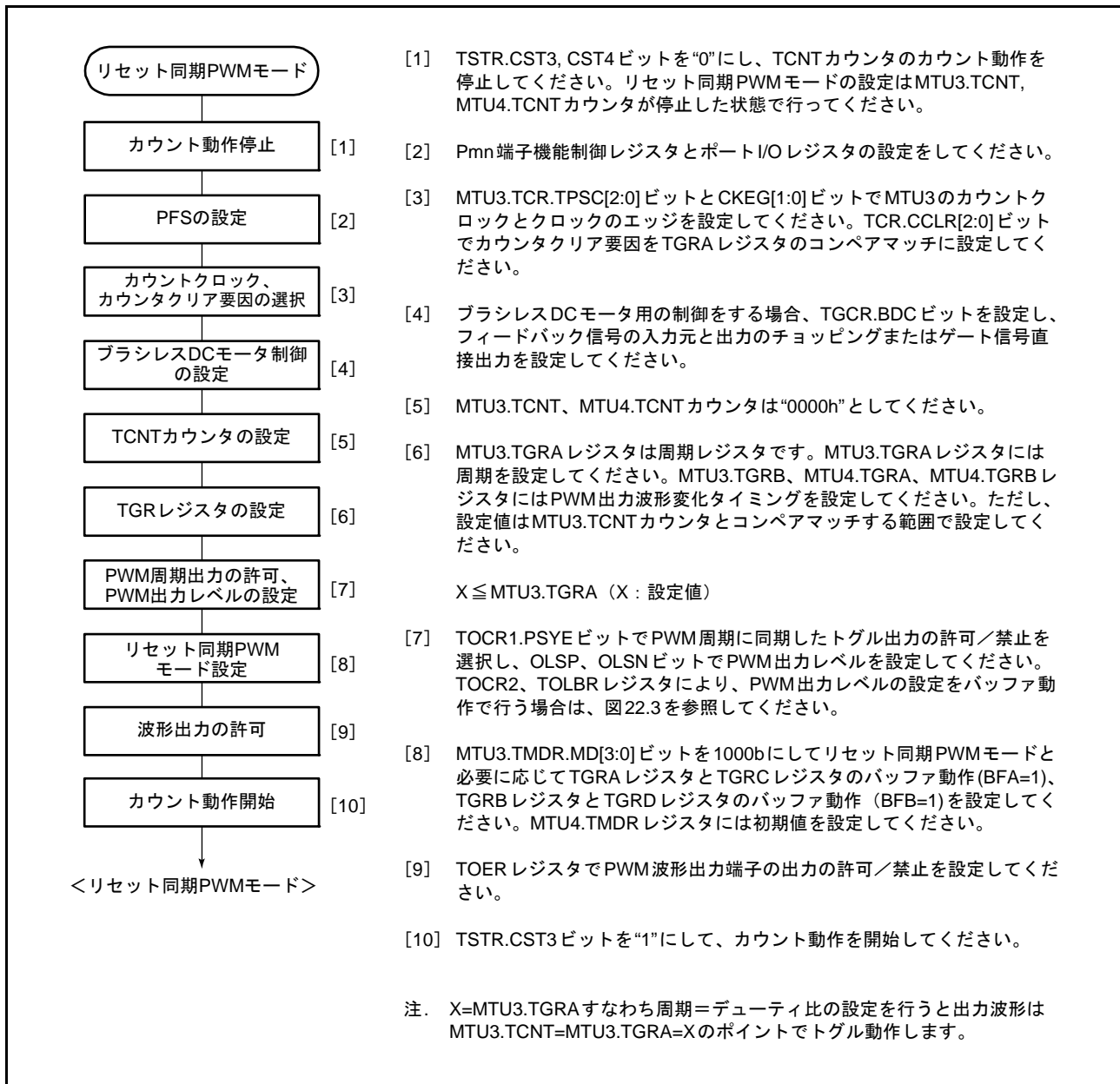


図 22.35 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 22.36 に示します。

リセット同期 PWM モードでは、MTU3.TCNT カウンタと MTU4.TCNT カウンタはアップカウンタとして動作します。MTU3.TCNT カウンタが MTU3.TGRA レジスタとコンペアマッチするとカウンタはクリアされ“0000h”からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB、MTU4.TGRA、MTU4.TGRB レジスタのコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

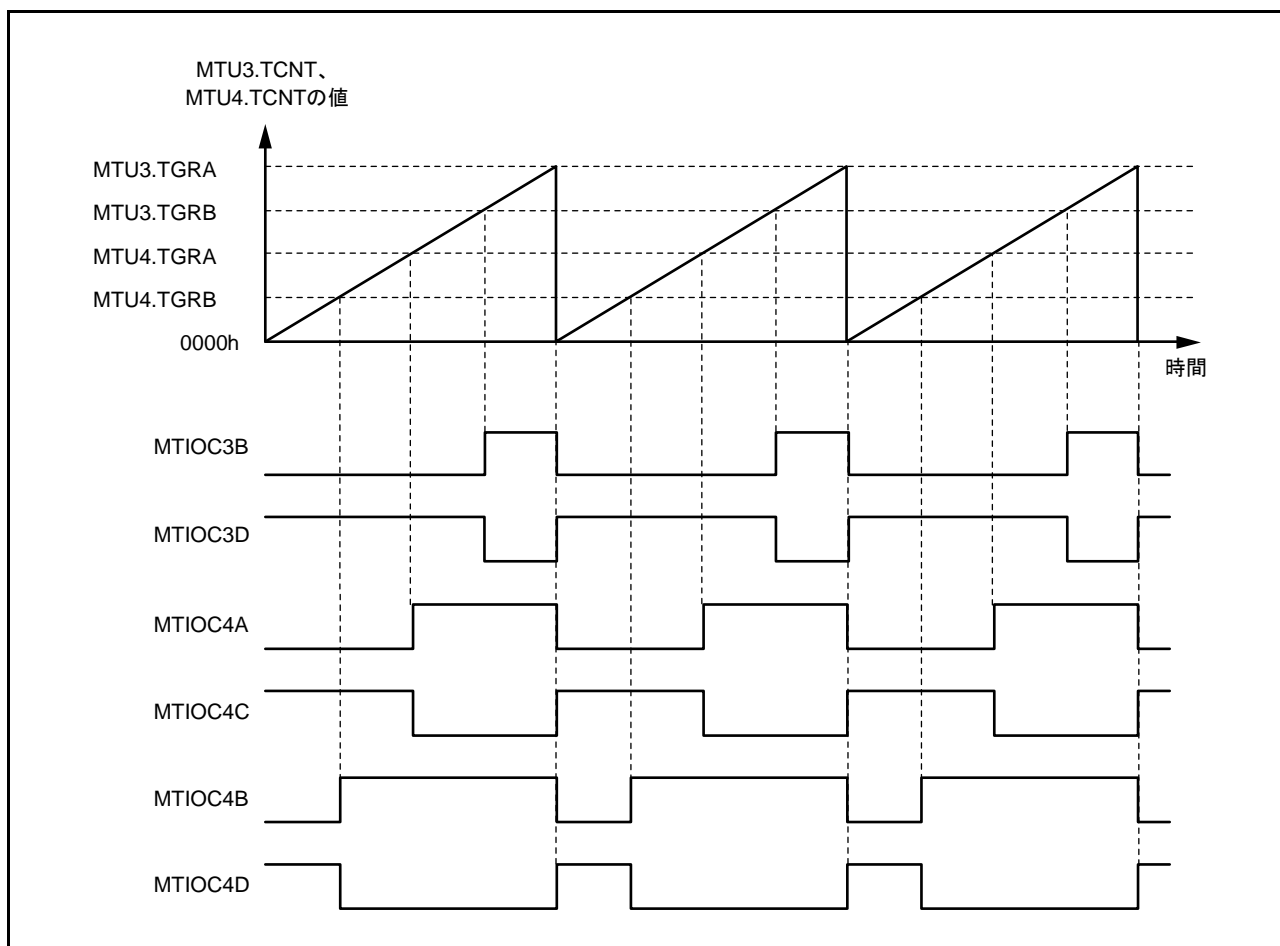


図 22.36 リセット同期 PWM モードの動作例 (TOCR1 レジスタの OLSN = 1、OLSP = 1 に設定した場合)

22.3.8 相補 PWM モード

相補 PWM モードでは、出力する PWM 波形にデッドタイムを設定できます。デッドタイムとは、アーム短絡を防止するために上下アームトランジスタを両方とも非アクティブレベルにする期間のことです。

MTU3、MTU4 を組み合わせることによりデッドタイムを設定した PWM 波形（正相・逆相）を 6 相出力します。また、デッドタイムがない PWM 波形を出力することもできます。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子は PWM 出力端子となり、MTIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT カウンタと MTU4.TCNT カウンタはアップ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 22.54 に、使用するレジスタの設定を表 22.55 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 22.54 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3A	PWM 周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM 出力端子 1
	MTIOC3C	入出力ポート（注1）
	MTIOC3D	PWM 出力端子 1'（PWM 出力 1 の逆相波形出力）
MTU4	MTIOC4A	PWM 出力端子 2
	MTIOC4C	PWM 出力端子 2'（PWM 出力 2 の逆相波形出力）
	MTIOC4B	PWM 出力端子 3
	MTIOC4D	PWM 出力端子 3'（PWM 出力 3 の逆相波形出力）

注 1. MTIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表22.55 相補PWMモード時のレジスタ設定

チャンネル	カウンタ/ レジスタ	説明	CPUからの 読み出し/書き込み
MTU3	MTU3. TCNT	デッドタイムレジスタに設定した値からカウント アップスタート	TRWERレジスタの設定 ^(注1) によりマスク可能
	MTU3. TGRA	MTU3.TCNTの上限値を設定 (キャリア周期の1/2 +デッドタイム)	TRWERレジスタの設定 ^(注1) によりマスク可能
	MTU3. TGRB	PWM出力1のコンペアレジスタ	TRWERレジスタの設定 ^(注1) によりマスク可能
	MTU3. TGRC	MTU3.TGRAのバッファレジスタ	読み出し/書き込み可能
	MTU3. TGRD	PWM出力1/MTU3.TGRBのバッファレジスタ	読み出し/書き込み可能
MTU4	MTU4. TCNT	0000hを初期設定しカウントアップスタート	TRWERレジスタの設定 ^(注1) によりマスク可能
	MTU4. TGRA	PWM出力2のコンペアレジスタ	TRWERレジスタの設定 ^(注1) によりマスク可能
	MTU4. TGRB	PWM出力3のコンペアレジスタ	TRWERレジスタの設定 ^(注1) によりマスク可能
	MTU4. TGRC	PWM出力2/MTU4.TGRAのバッファレジスタ	読み出し/書き込み可能
	MTU4. TGRD	PWM出力3/MTU4.TGRBのバッファレジスタ	読み出し/書き込み可能
タイマデッドタイムデータ レジスタ (TDDR)	MTU4.TCNTとMTU3.TCNTのオフセット値 (デッ ドタイムの値) を設定	TRWERレジスタの設定 ^(注1) によりマスク可能	
タイマ周期データレジスタ (TCDR)	MTU4.TCNTの上限値の値を設定 (キャリア周期の 1/2)	TRWERレジスタの設定 ^(注1) によりマスク可能	
タイマ周期バッファレジス タ (TCBR)	TCDRレジスタのバッファレジスタ	読み出し/書き込み可能	
サブカウンタ (TCNTS)	デッドタイム生成のためのサブカウンタ	読み出しのみ可能	
テンポラリレジスタ1 (TEMP1)	PWM出力1/MTU3.TGRBのテンポラリレジスタ	読み出し/書き込み不可	
テンポラリレジスタ2 (TEMP2)	PWM出力2/MTU4.TGRAのテンポラリレジスタ	読み出し/書き込み不可	
テンポラリレジスタ3 (TEMP3)	PWM出力3/MTU4.TGRBのテンポラリレジスタ	読み出し/書き込み不可	

注1. TRWERレジスタ (タイマリードライト許可レジスタ) の設定によりアクセスの許可/禁止が可能です。

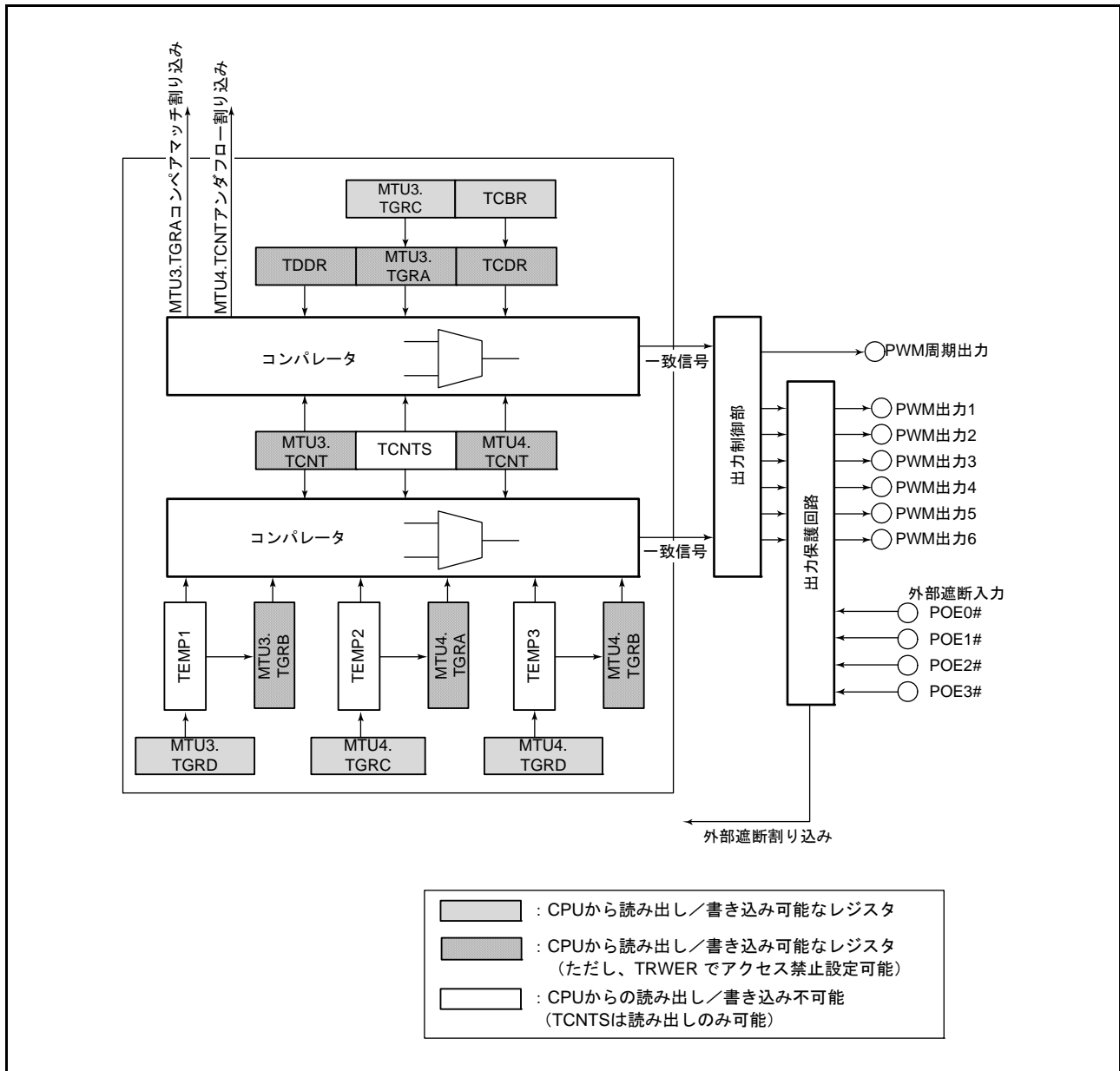


図 22.37 相補 PWM モード時の MTU3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 22.38 に示します。



図 22.38 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6相（正相3本、逆相3本）の PWM 出力が可能です。図 22.39 に相補 PWM モードのカウンタ動作を示します。図 22.40 に相補 PWM モード動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、MTU3.TCNT, MTU4.TCNT カウンタおよび TCNTS カウンタの3本のカウンタがアップダウンカウント動作を行います。

MTU3.TCNT カウンタは、相補 PWM モードに設定され TSTR.CST ビットが“0”のとき、TDDR レジスタに設定された値が自動的に初期値として設定されます。

CST ビットが“1”に設定されると、MTU3.TGRA レジスタに設定された値までアップカウント動作を行い、MTU3.TGRA レジスタと一致するとダウンカウントに切り替わります。その後、TDDR レジスタと一致するとアップカウントに切り替わり、この動作を繰り返します。

また、MTU4.TCNT カウンタは、初期値として“0000h”を設定します。

CST ビットが“1”に設定されると、MTU3.TCNT カウンタに同期して動作しアップカウントを行い、TCDR レジスタと一致するとダウンカウントに切り替わります。この後、“0000h”と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTS カウンタは、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

MTU3 と MTU4 の TCNT カウンタがアップダウンカウント時、MTU3.TCNT カウンタが TCDR レジスタと一致するとダウンカウントを開始し、TCNTS カウンタが TCDR レジスタと一致するとアップカウントに切り替わります。また、MTU3.TGRA レジスタと一致すると“0000h”になります。

MTU3.TCNT、MTU4.TCNT カウンタがダウンカウント時、MTU4.TCNT カウンタが TDDR レジスタと一致するとアップカウントを開始し、TCNTS カウンタが TDDR レジスタと一致するとダウンカウントに切り替わります。また、“0000h”に一致すると TCNTS カウンタは MTU3.TGRA レジスタの値が設定されます。

TCNTS カウンタは、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

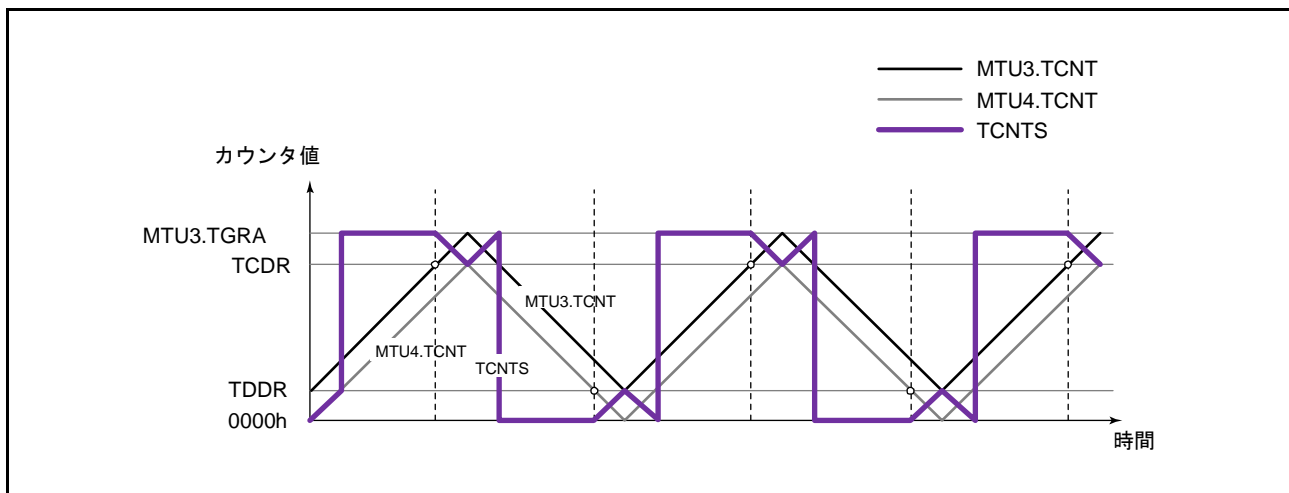


図 22.39 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの9本のレジスタを使用して PWM 出力のデューティ制御を行います。図 22.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと比較されているレジスタが、MTU3.TGRB, MTU4.TGRA, MTU4.TGRB レジスタです。これらのレジスタとカウンタが一致すると TOCR1.OLSN, OLSP ビットで設定した値が PWM 出力端子から出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD, MTU4.TGRC, MTU4.TGRD レジスタです。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し/書き込みが可能です。

バッファレジスタのデータを書き換える場合は、最後に必ず MTU4.TGRD レジスタへの書き込みを行い、バッファレジスタからテンポラリレジスタへのデータ転送を許可してください。このとき、タイマ周期レジスタのバッファレジスタとして動作する TCBR レジスタ、MTU3.TGRC レジスタからテンポラリレジスタへの転送も許可されます。転送は5本すべてのテンポラリレジスタ同時に行われます。

Ta 区間で転送を許可すると、バッファレジスタに書き込まれたデータはすぐにテンポラリレジスタに転送されます。また Tb1 区間と Tb2 区間では、テンポラリレジスタには転送されません。この区間で転送を許可されたデータは区間が終了後、テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb1 区間が終了したとき (TCNTS カウンタがアップカウント時に MTU3.TGRA レジスタと一致したとき)、または Tb2 区間が終了したとき (TCNTS カウンタがダウンカウント時に "0000h" と一致したとき) にコンペアレジスタに転送されます。テンポラリレジスタからコンペアレジスタに転送するタイミングは、TMDR.MD[3:0] ビットで選択できます。図 22.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 22.40 では Tb2) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1相の出力に対して2本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT, MTU4.TCNT カウンタおよび TCNTS カウンタの3本、カウンタとコンペアレジスタ、テンポラリレジスタの各2本のレジスタが比較され、PWM 出力を制御します。

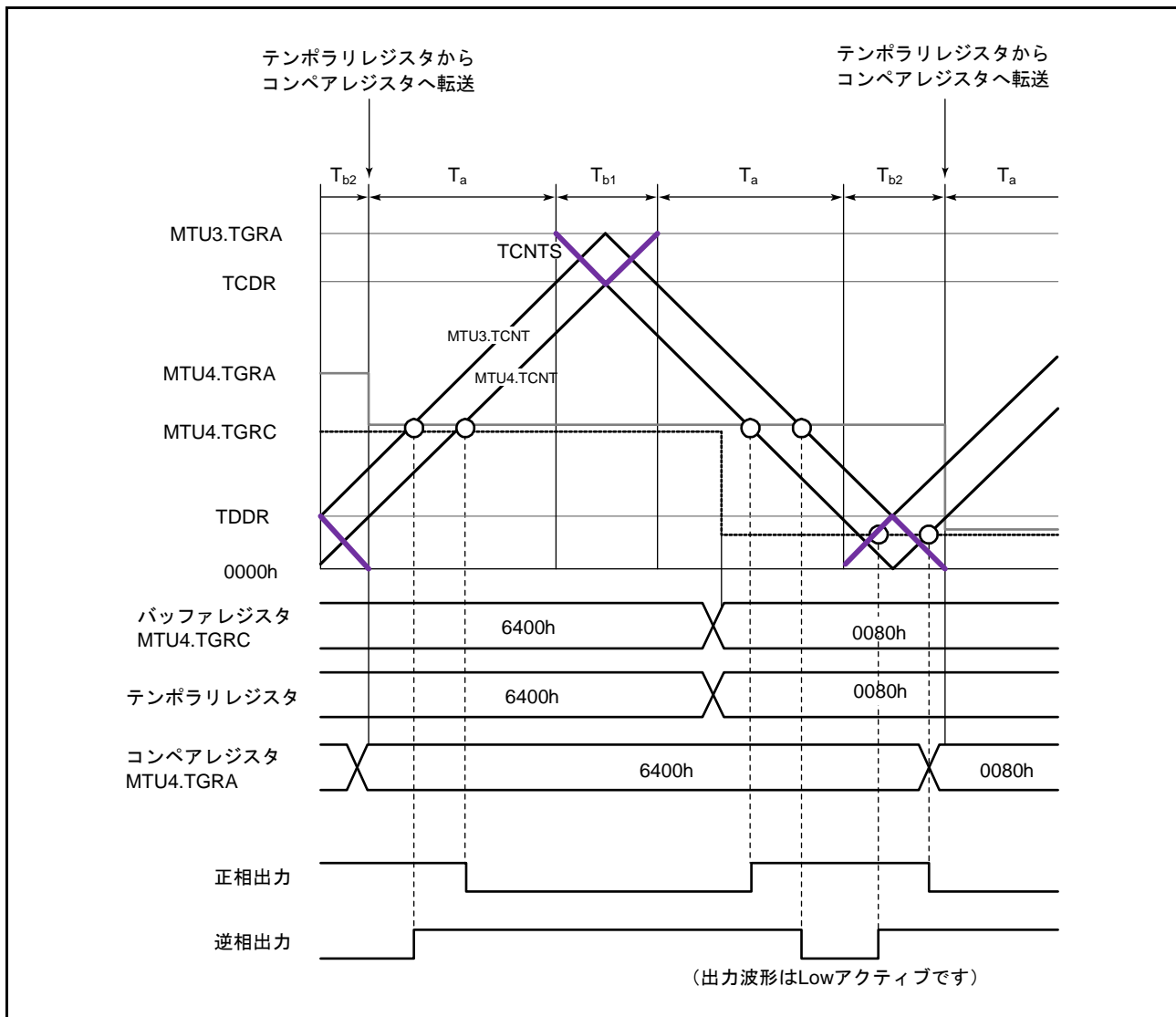


図 22.40 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

TMDR.MD[3:0] ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

MTU3.TGRC レジスタは MTU3.TGRA レジスタのバッファレジスタとして動作し、PWM 周期の $1/2 +$ デッドタイム T_d を設定します。TCBR レジスタは、TCDR レジスタのバッファレジスタとして動作し、PWM 周期の $1/2$ を設定します。また、TDDR レジスタには、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、TDER.TDER ビットを“0”に設定し、MTU3.TGRC、MTU3.TGRA レジスタには、PWM 周期の $1/2+1$ を、TDDR レジスタには“1”を設定します。

バッファレジスタ MTU3.TGRD、MTU4.TGRC、MTU4.TGRD レジスタの 3 本には、それぞれ PWM デューティの初期値を設定します。

TDDR レジスタを除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT カウンタは、相補 PWM モードに設定する前に“0000h”に設定してください。

表 22.56 初期設定の必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
MTU3.TGRC	PWM周期の1/2+デッドタイムTd (TDERでデッドタイム生成をなしに設定した場合はPWM周期の1/2+1)
TDDR	デッドタイムTd (TDERでデッドタイム生成をなしに設定した場合1)
TCBR	PWM周期の1/2
MTU3.TGRD、 MTU4.TGRC、 MTU4.TGRD	各相のPWMデューティの初期値
MTU4.TCNT	0000h

注. MTU3.TGRCレジスタの設定値は、TCBRレジスタに設定するPWM周期の1/2の値とTDDRレジスタに設定するデッドタイムTdの値の和としてください。ただし、TDERレジスタでデッドタイム生成をなしに設定した場合は、PWM周期の1/2+1としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM 出力の出力レベルを TOCR1.OLSN, OLSP ビット、または、TOCR2.OLS1P ~ OLS3P, OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、PWM 出力にデッドタイムを設定できます。

デッドタイムは、TDDR レジスタに設定します。TDDR レジスタに設定した値が、MTU3.TCNT カウンタのカウンタスタート値となり、MTU3.TCNT カウンタと MTU4.TCNT カウンタのデッドタイムを生成します。TDDR レジスタの内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、TDER.TDER ビットを“0”に設定します。TDER レジスタは、“1”を読み出し後、“0”を書いたときのみ、“0”に設定できます。

MTU3.TGRA, TGRC レジスタには PWM 周期の 1/2+1 を設定し、TDDR レジスタには“1”を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 22.41 にデッドタイムを生成しない場合の動作例を示します。

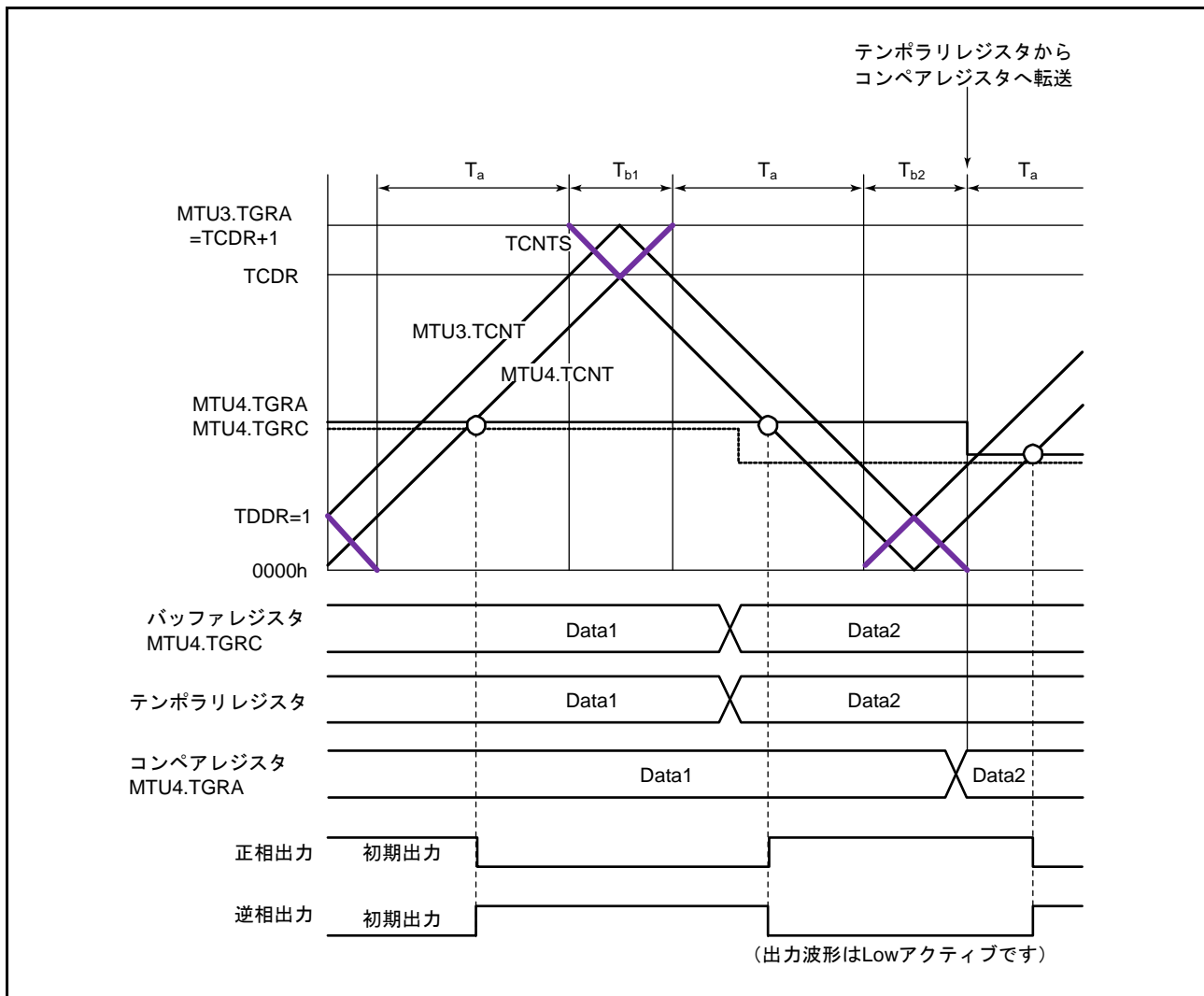


図 22.41 デッドタイムを生成しない場合の動作例

(g) PWM 周期の設定

相補 PWM モードでは、PWM 周期を MTU3.TCNT カウンタの上限値を設定する MTU3.TGRA レジスタと MTU4.TCNT カウンタの上限値を設定する TCDR レジスタの 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり : $\text{MTU3.TGRA の設定値} = \text{TCDR の設定値} + \text{TDDR の設定値}$

デッドタイム生成なし : $\text{MTU3.TGRA の設定値} = \text{TCDR の設定値} + 1$

TCDR レジスタと TDDR レジスタの関係が、次の関係になるように設定してください。

$\text{TCDR の設定値} > \text{TDDR の設定値} \times 2 + 2$

また、MTU3.TGRA, TCDR レジスタの設定は、バッファレジスタの MTU3.TGRC, TCBR レジスタに値を設定することで行ってください。MTU4.TGRD レジスタへの書き込みを行い転送を許可すると、MTU3.TGRC, TCBR レジスタに設定した値は、TMDR.MD[3:0] ビットで選択した転送タイミングで MTU3.TGRA, TCDR レジスタに同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 22.42 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h) レジスタデータの更新」の項を参照してください。

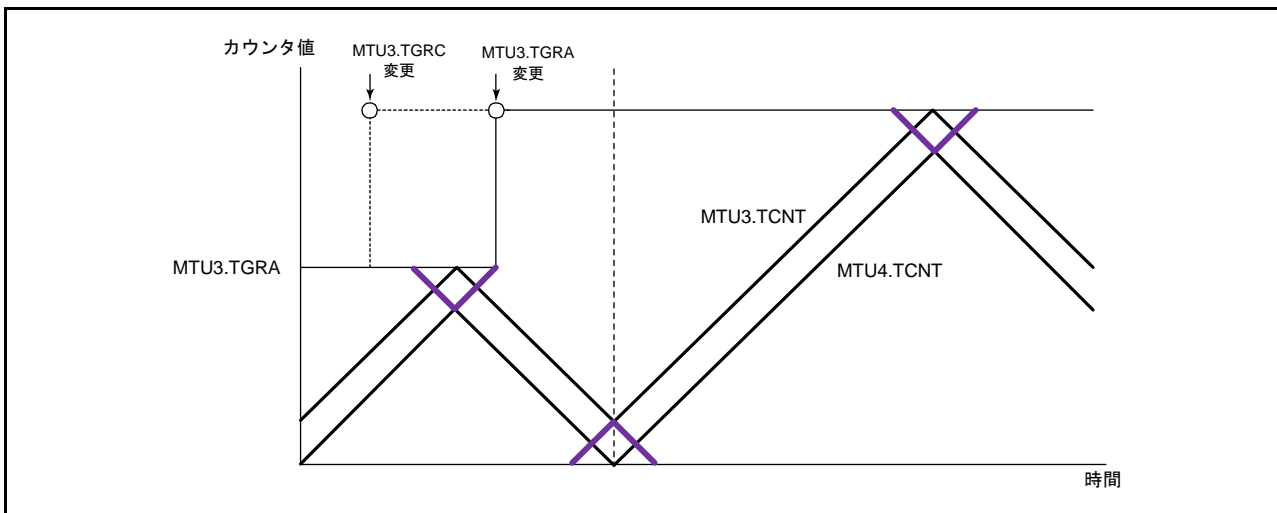


図 22.42 PWM 周期の変更例

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用および PWM 周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS カウンタがカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えます。TCNTS カウンタがカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS カウンタが停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、TMDR.MD[3:0] ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 22.43 に相補 PWM モードのデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に MTU4.TGRD レジスタへの書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD レジスタに書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD レジスタのデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD レジスタに書き込み動作を行ってください。またこのとき、MTU4.TGRD レジスタに書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

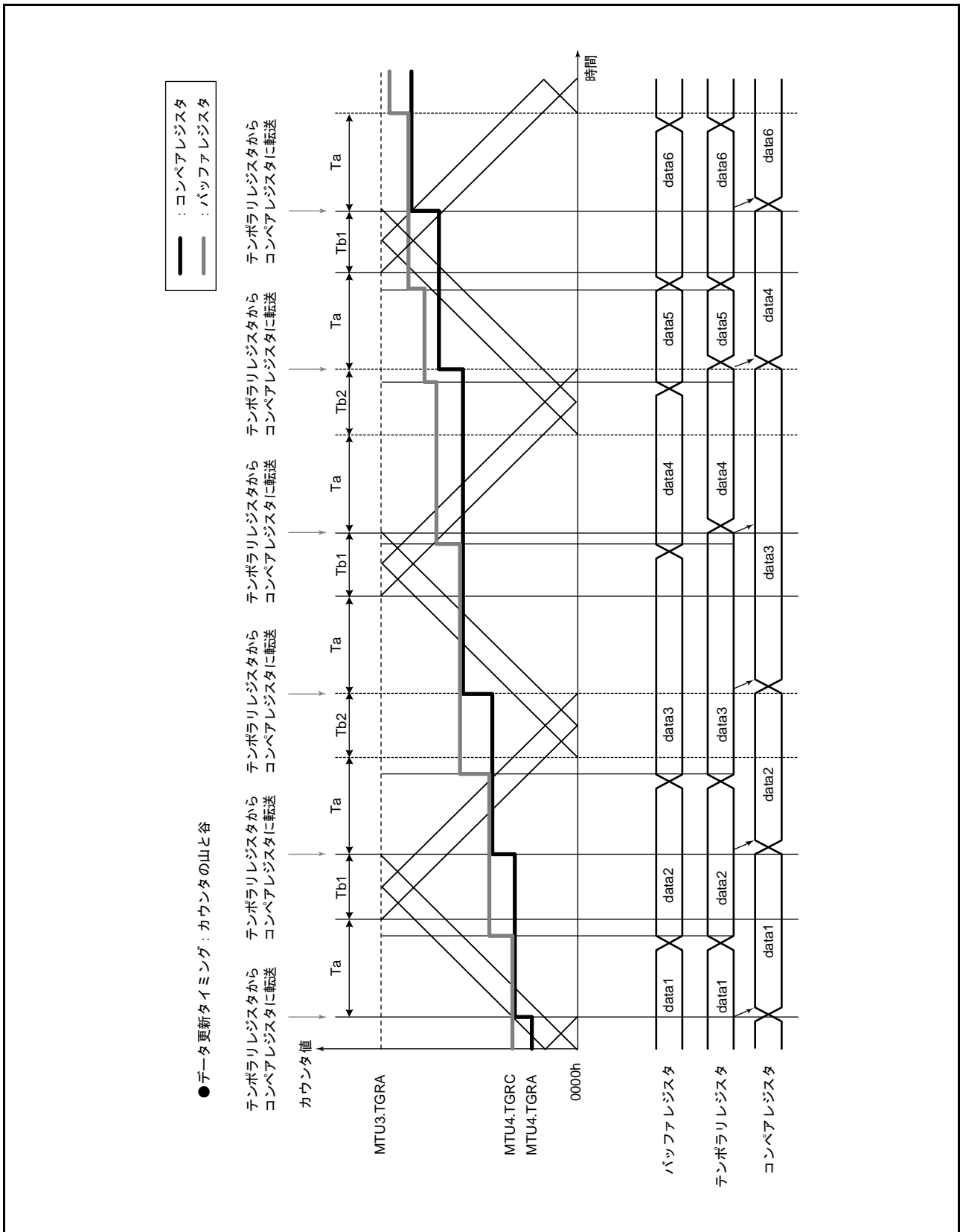


図 22.43 相補 PWM モードのデータ更新例

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、TOCR1.OLSN, OLSP ビットの設定または、TOCR2.OLS1N ~ OLS3N, OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM 出力の非アクティブレベルで、TMDR レジスタで相補 PWM モードを設定してから MTU4.TCNT カウンタが TDDR レジスタに設定された値より大きくなるまで出力されます。図 22.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR レジスタの値より小さい場合の波形例を図 22.45 に示します。

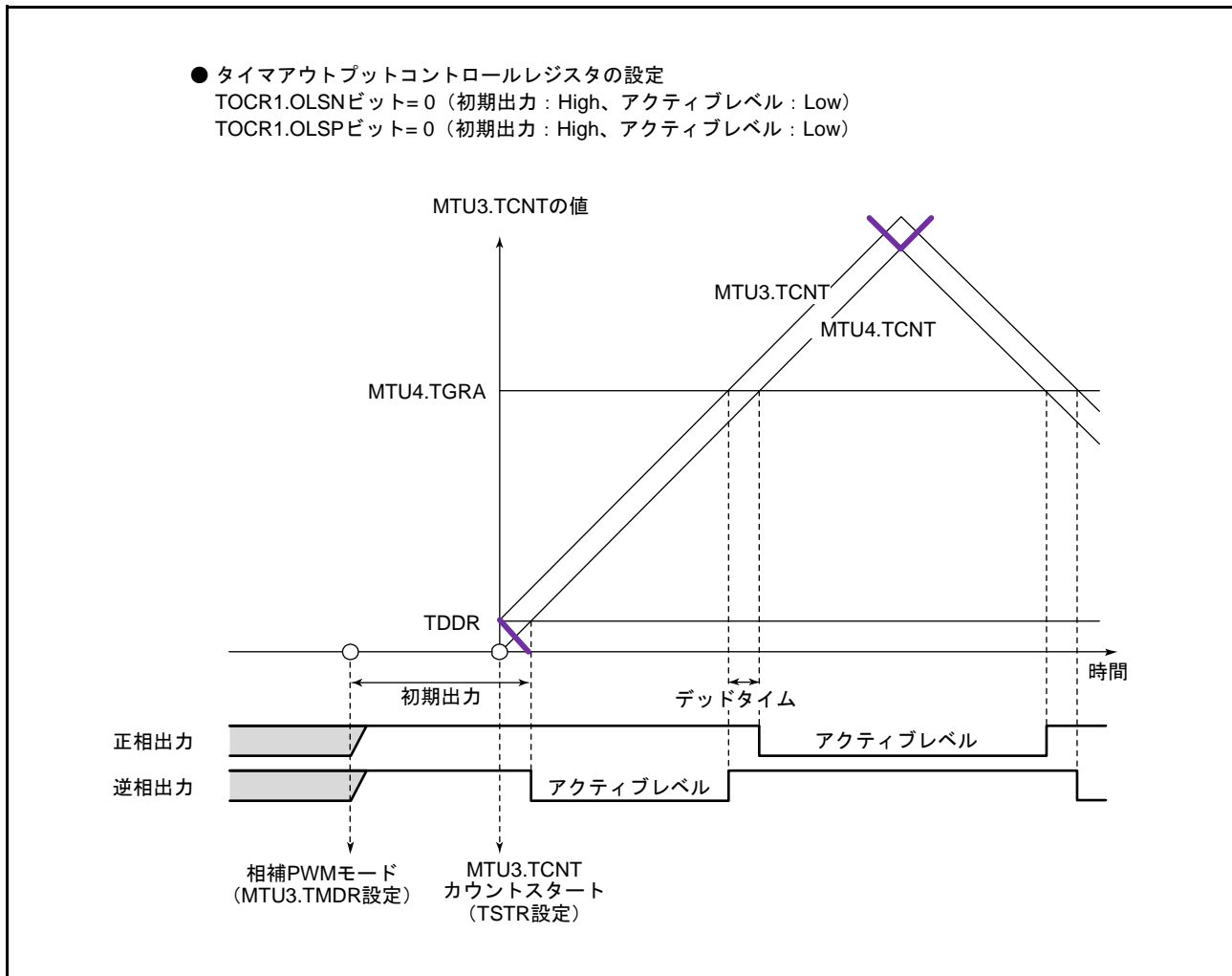


図 22.44 相補 PWM モードの初期出力例 (1)

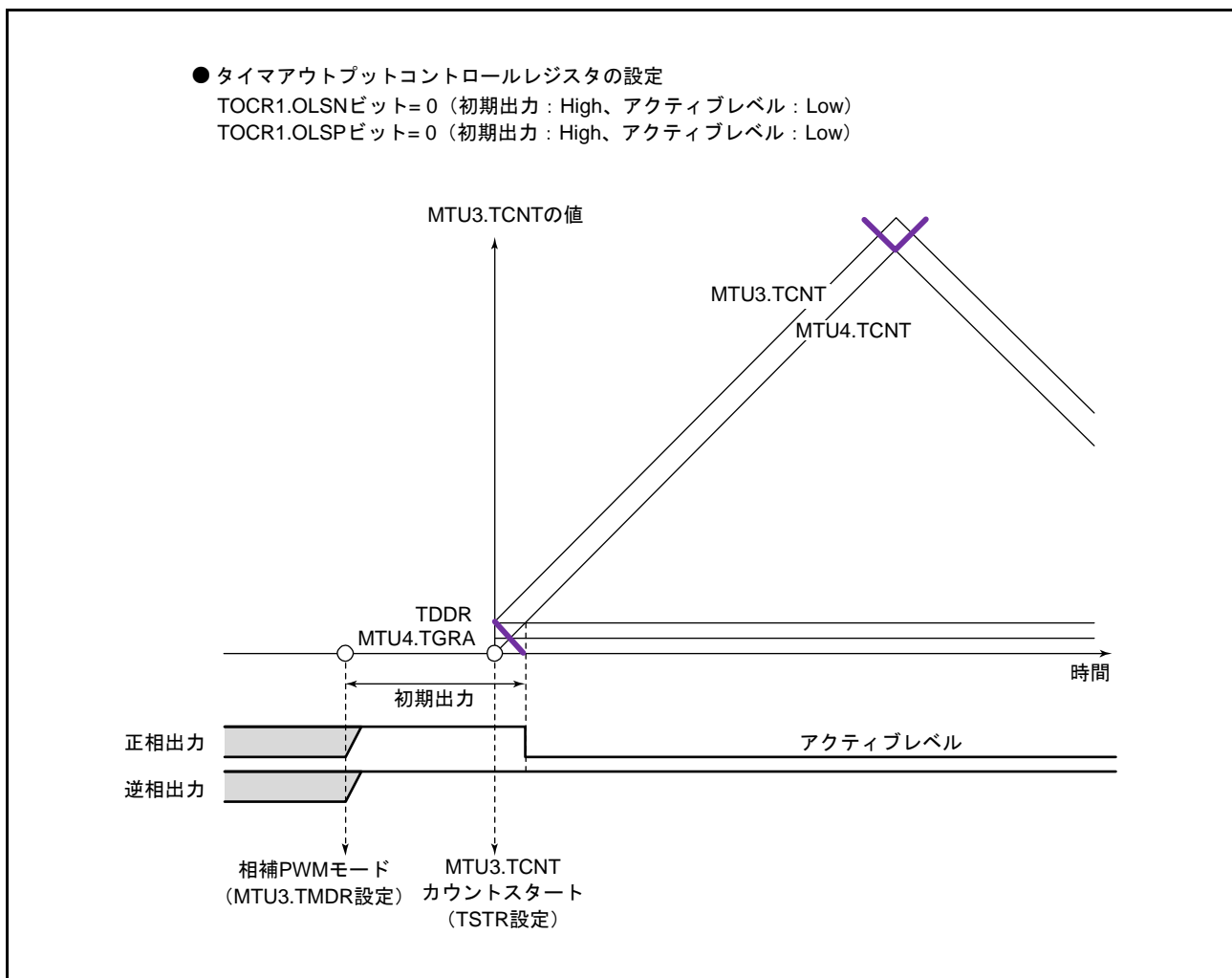


図 22.45 相補 PWM モードの初期出力例 (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、6相（正相3本、逆相3本）の PWM 波形を出力します。出力する PWM 波形にデッドタイムを設定できます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS カウンタがカウント動作する期間では、デューティ 0% ~ 100% まで連続した PWM 出力を作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 22.46 ~ 図 22.48 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは、実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 22.46 に示すように通常の場合のコンペアマッチは、a → b → c → d（または c → d → a' → b'）の順番で発生します。

コンペアマッチが a → b → c → d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c → d → a' → b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 22.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、図 22.48 に示す例では、逆相の ON タイミングである d のコンペアマッチより逆相の OFF である a' のコンペアマッチが先に発生することにより、逆相を OFF することが優先されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

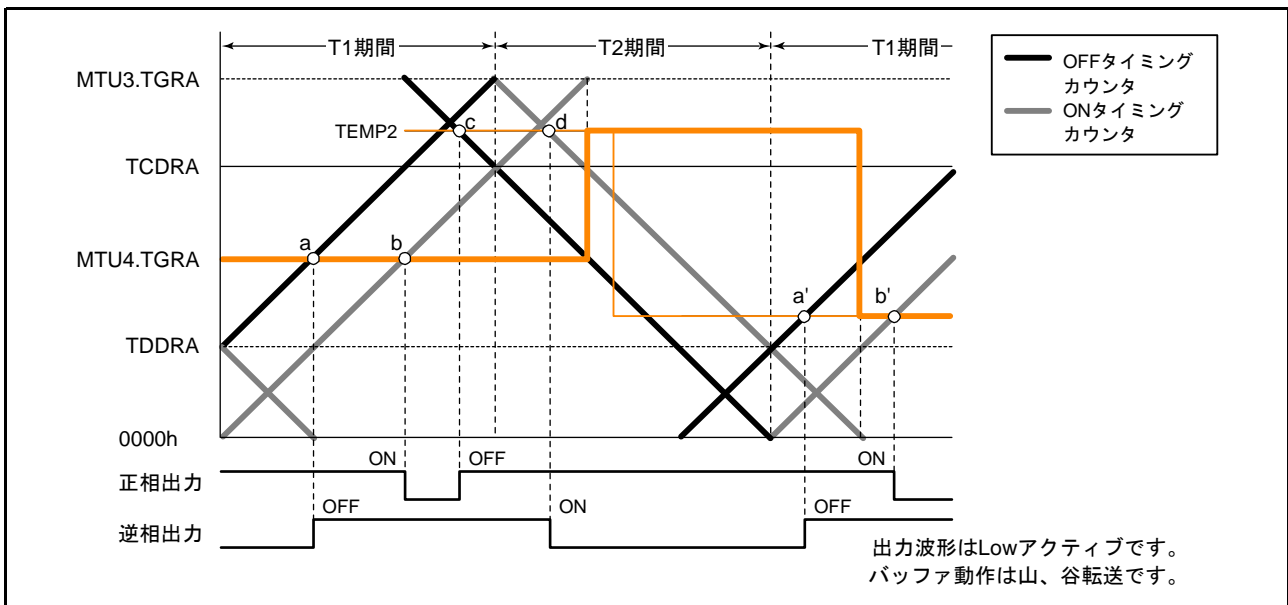


図 22.46 相補 PWM モード波形出力例 (1)

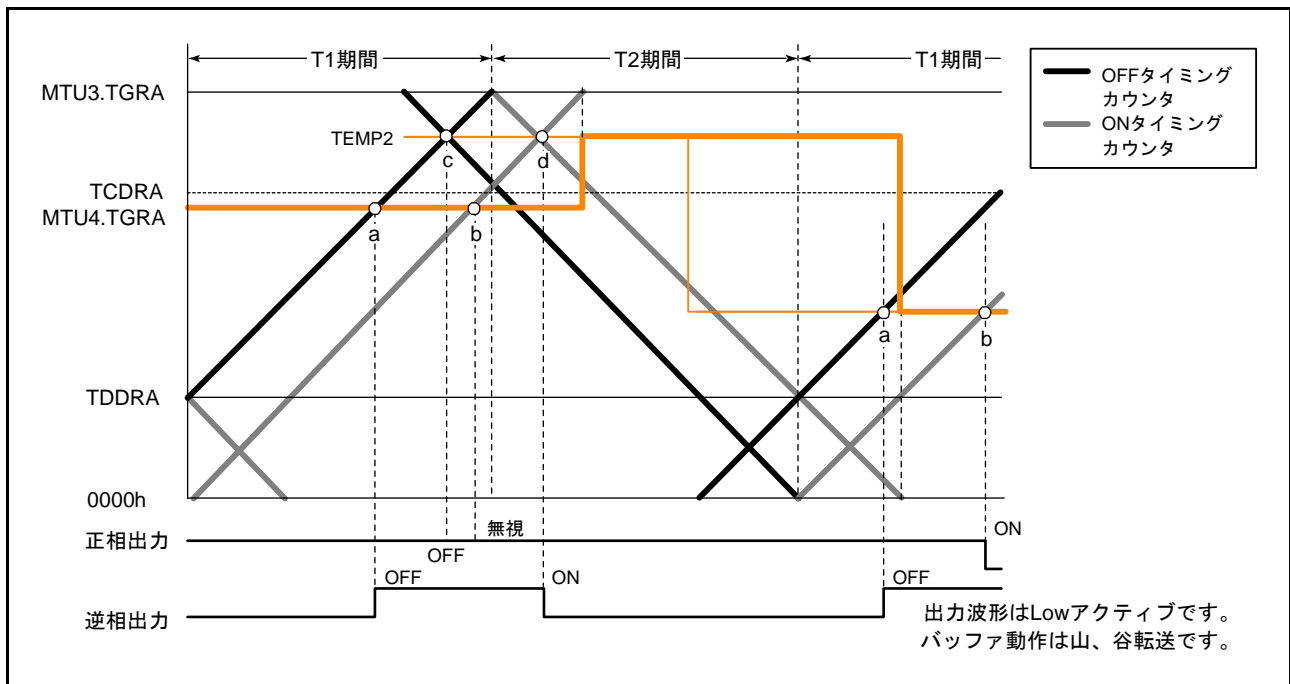


図 22.47 相補 PWM モード波形出力例 (2)

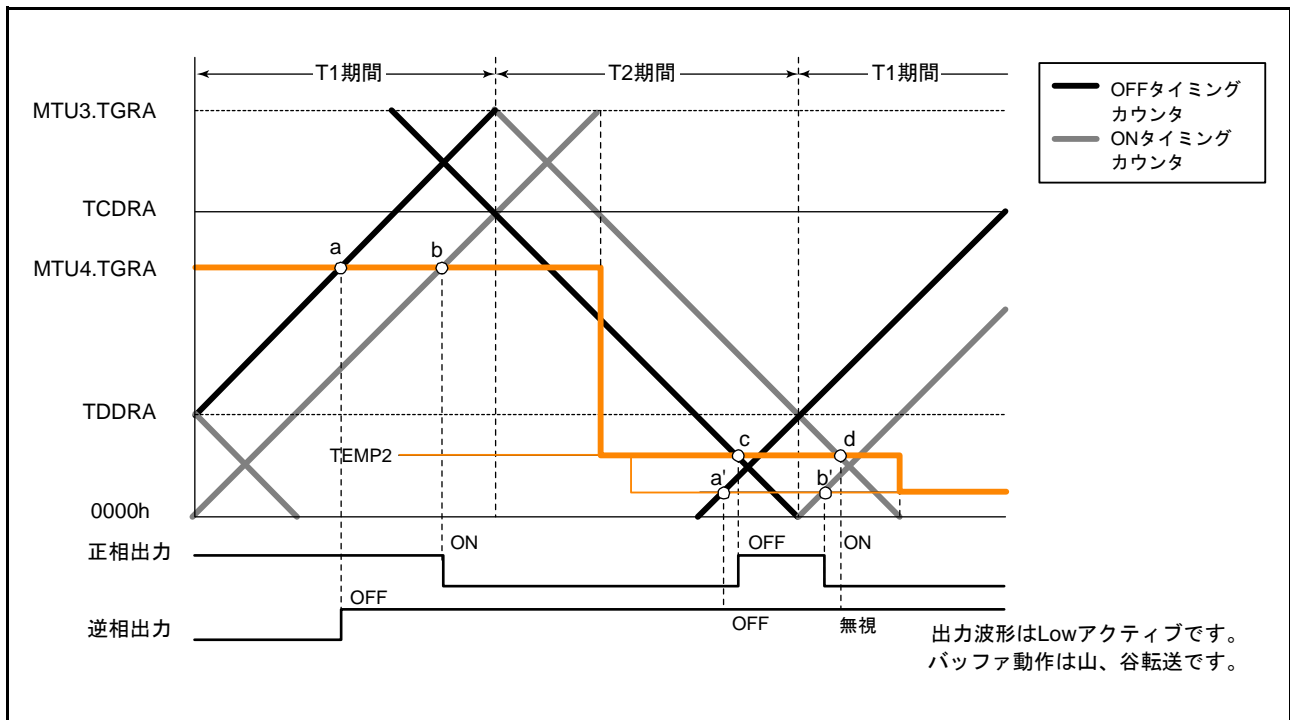


図 22.48 相補 PWM モード波形出力例 (3)

(k) 相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% の PWM 出力を任意に出力可能です。図 22.49 ~ 図 22.53 に出力例を示します。

デューティ比 100% 出力は、データレジスタの値を “0000h” に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、データレジスタの値を MTU3.TGRA レジスタの値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視され波形は変化しません。

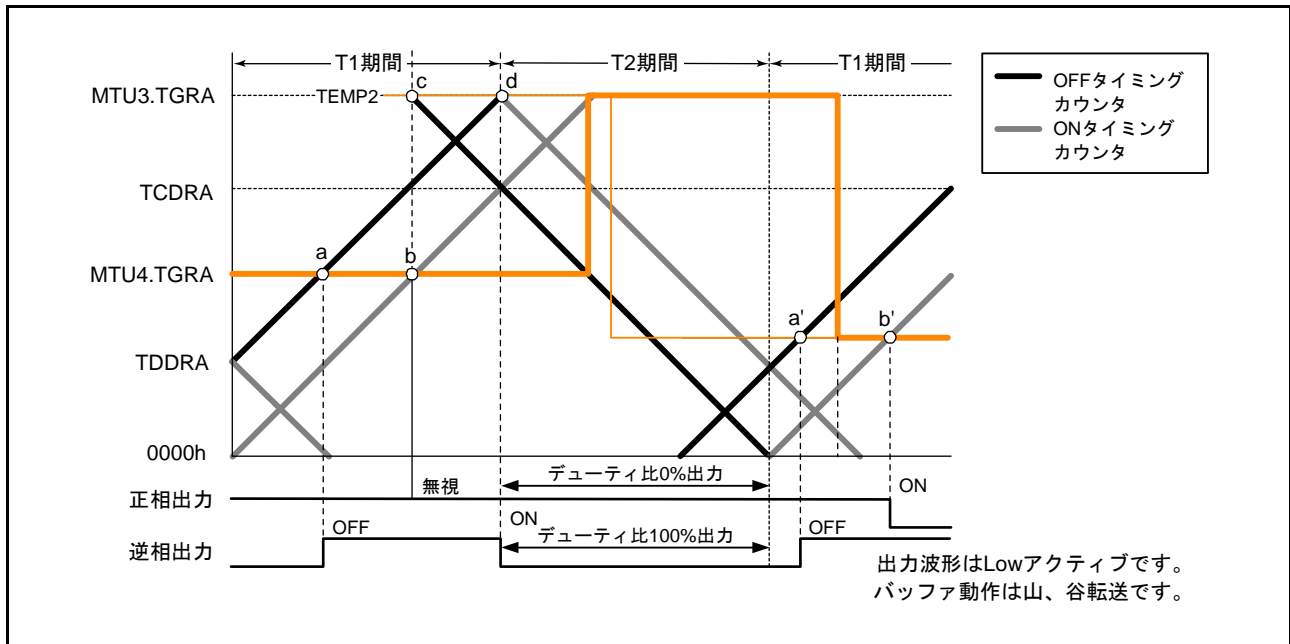


図 22.49 相補 PWM モード 0%、100% 波形出力例 (1)

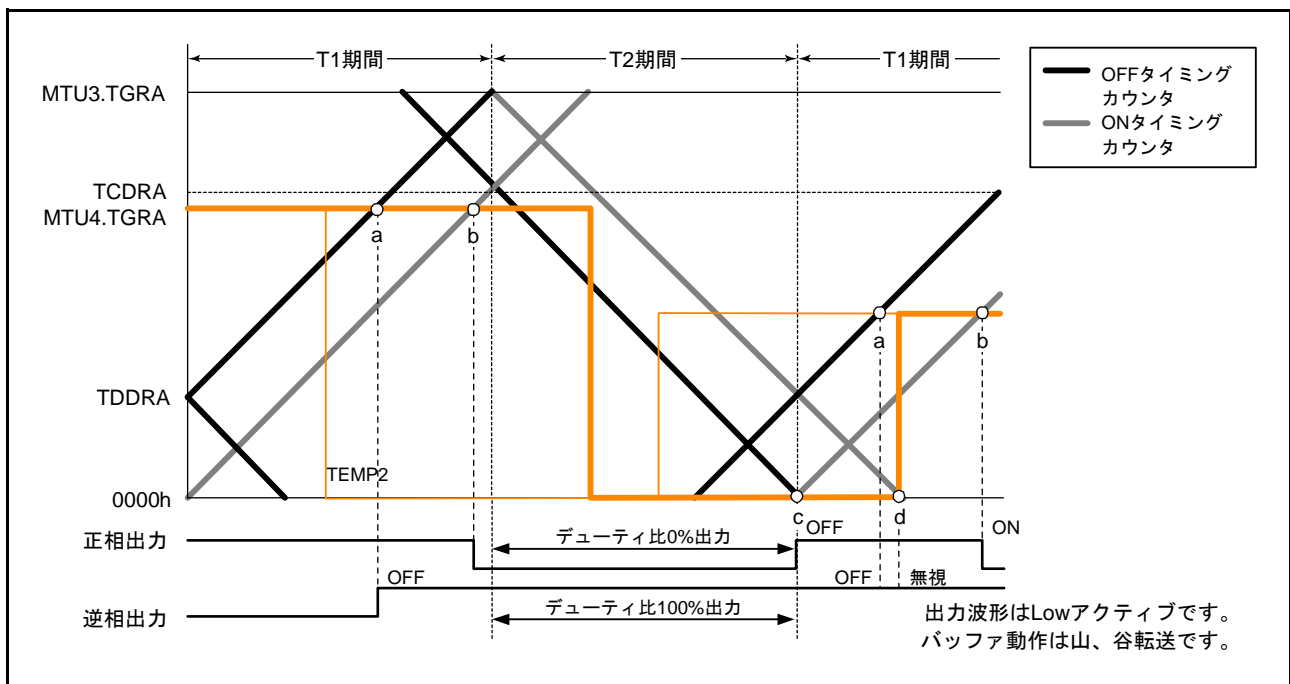


図 22.50 相補 PWM モード 0%、100% 波形出力例 (2)

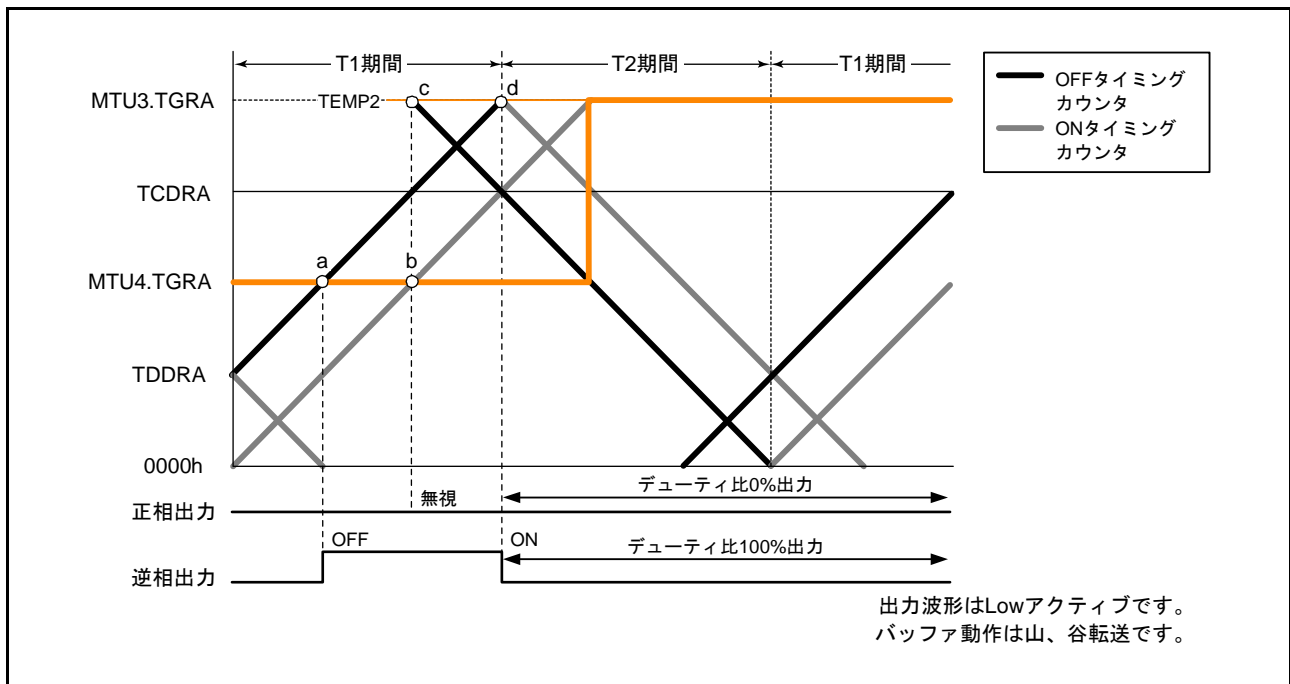


図 22.51 相補 PWM モード 0%、100% 波形出力例 (3)

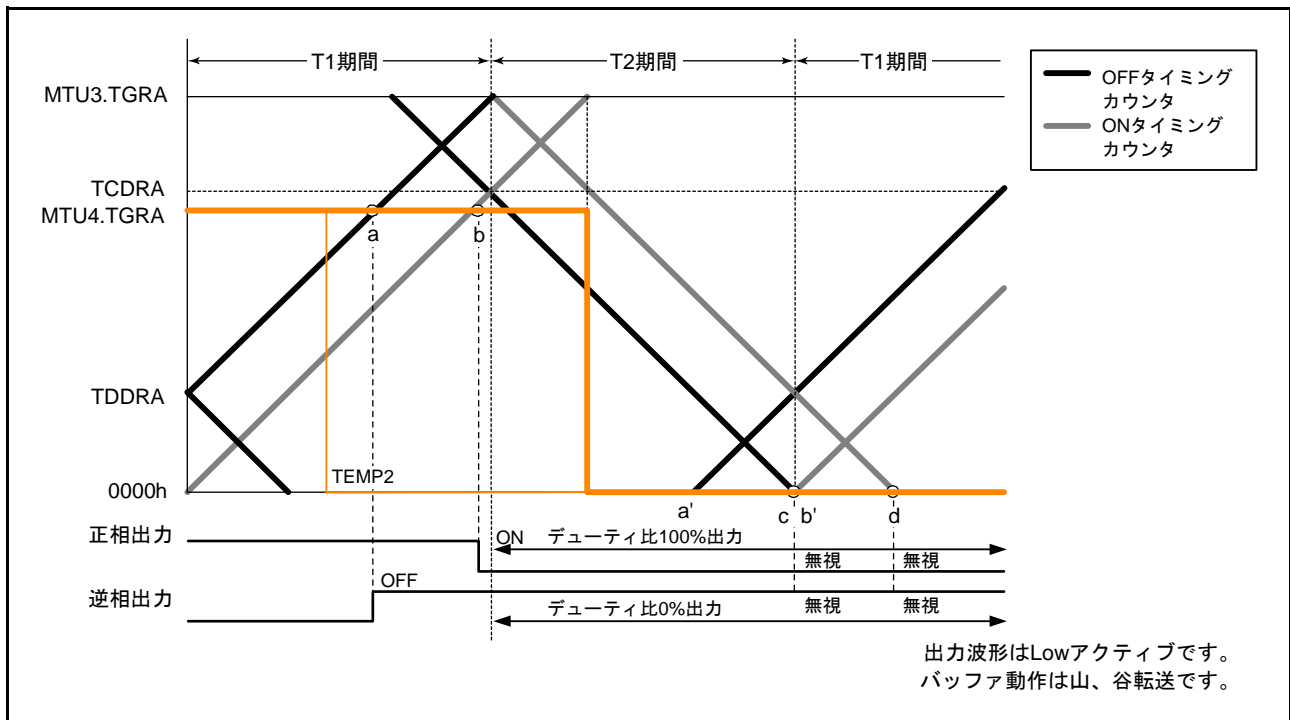


図 22.52 相補 PWM モード 0%、100% 波形出力例 (4)

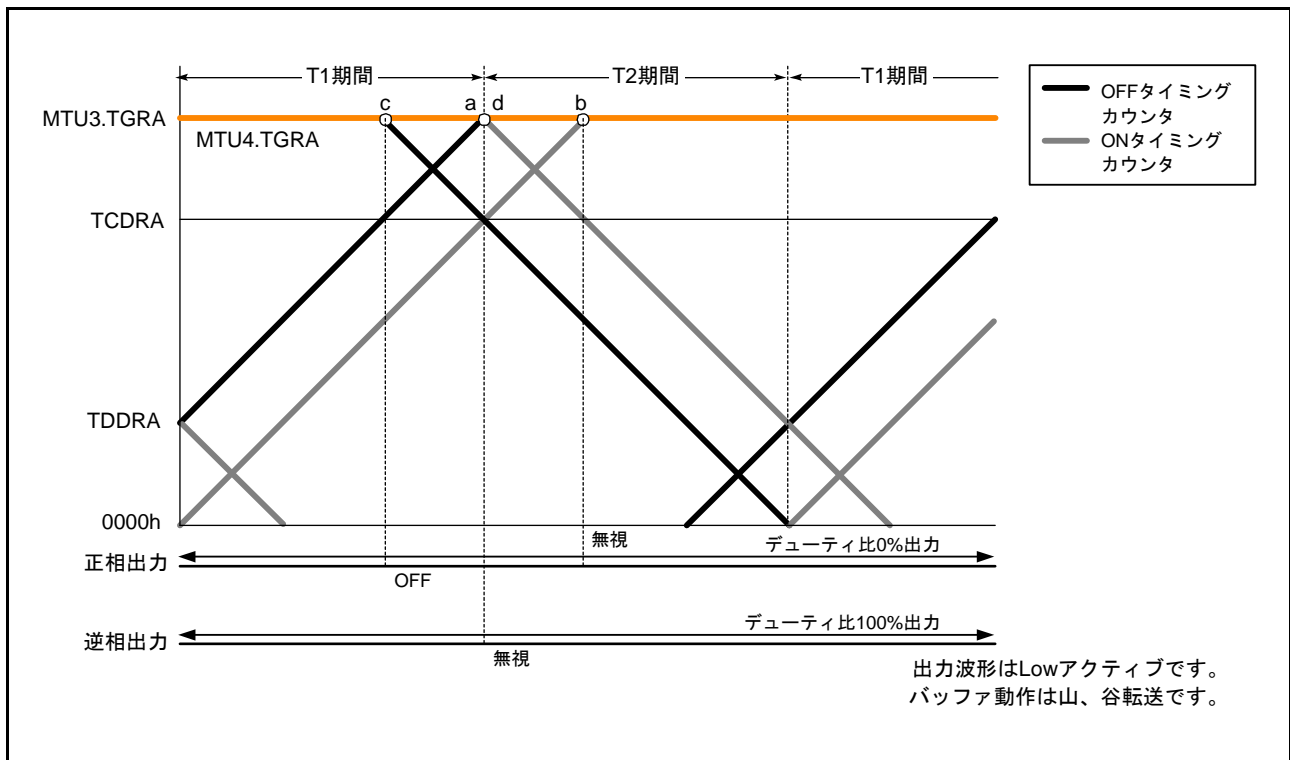


図 22.53 相補 PWM モード 0%、100% 波形出力例 (5)

(I) PWM 周期に同期したトグル出力

相補 PWM モードでは、TOCR1.PSYE ビットを“1”にすることにより PWM 出力端子から PWM 周期に同期したトグル出力が可能です。トグル出力の波形例を図 22.54 に示します。

この出力は、MTU3.TCNT カウンタと MTU3.TGRA レジスタのコンペアマッチと MTU4.TCNT カウンタと“0000h”のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A 端子です。また、初期出力は High 出力です。

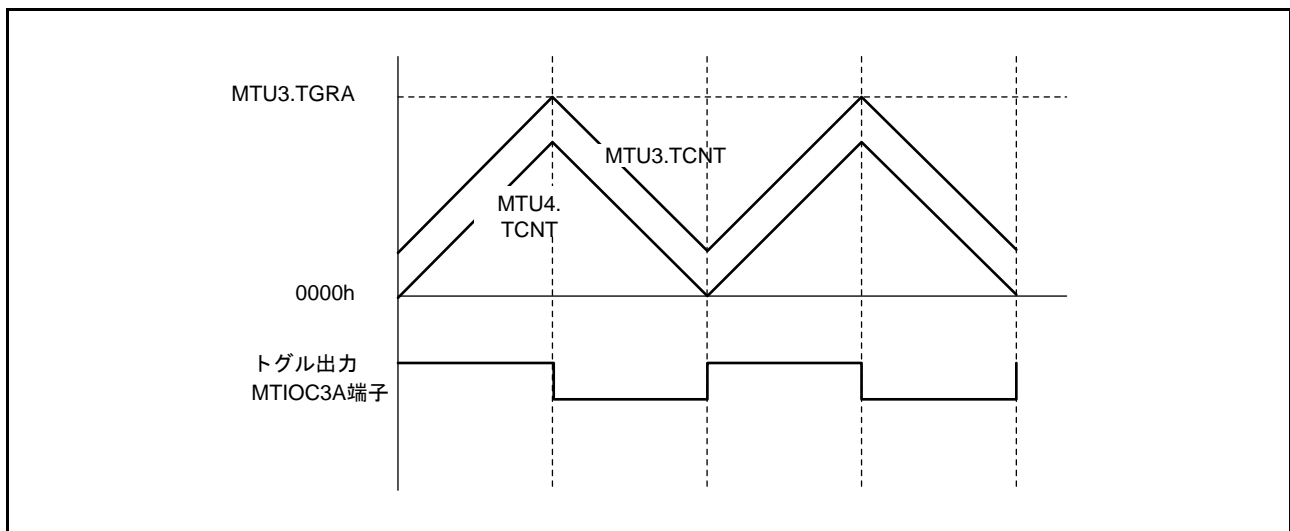


図 22.54 PWM 出力に同期したトグル出力波形例

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、TSYR レジスタにより他のチャネルとの同期モードに設定し、また MTU3.TCR.CCLR[2:0] ビットで同期クリアを選択することにより他のチャネルの要因で MTU3.TCNT, MTU4.TCNT カウンタおよび TCNTS カウンタをクリアすることが可能です。

図 22.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

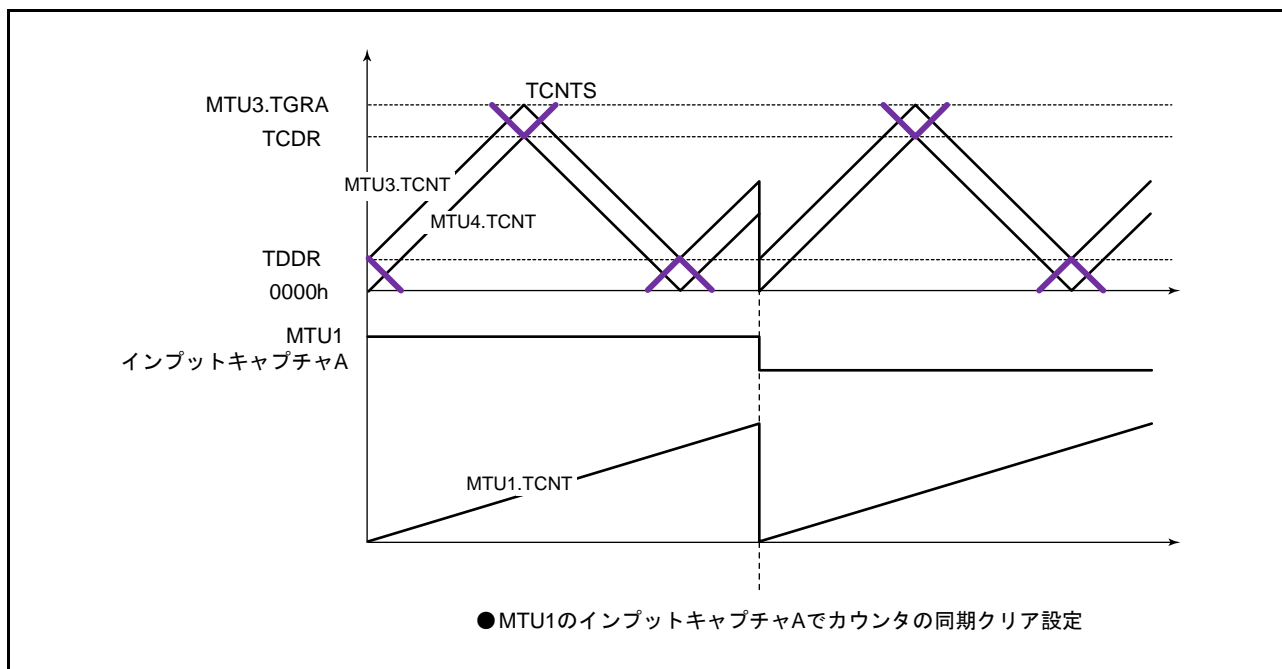


図 22.55 他のチャネルに同期したカウンタクリア

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR.WRE ビットを“1”に設定することにより、相補 PWM モードの谷の Tb 区間 (Tb2 区間) で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

TWCR.WRE ビットを“1”に設定することで初期出力を抑止することができるのは、同期クリアが図 22.56 の⑩、⑪のような Tb2 区間に入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1.OLSN, OLSP ビットで設定した初期値が出力されます。また、Tb2 区間であっても、図 22.56 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

MTU のカウンタクリア要因は MTU0 ~ MTU2 の同期クリアです。

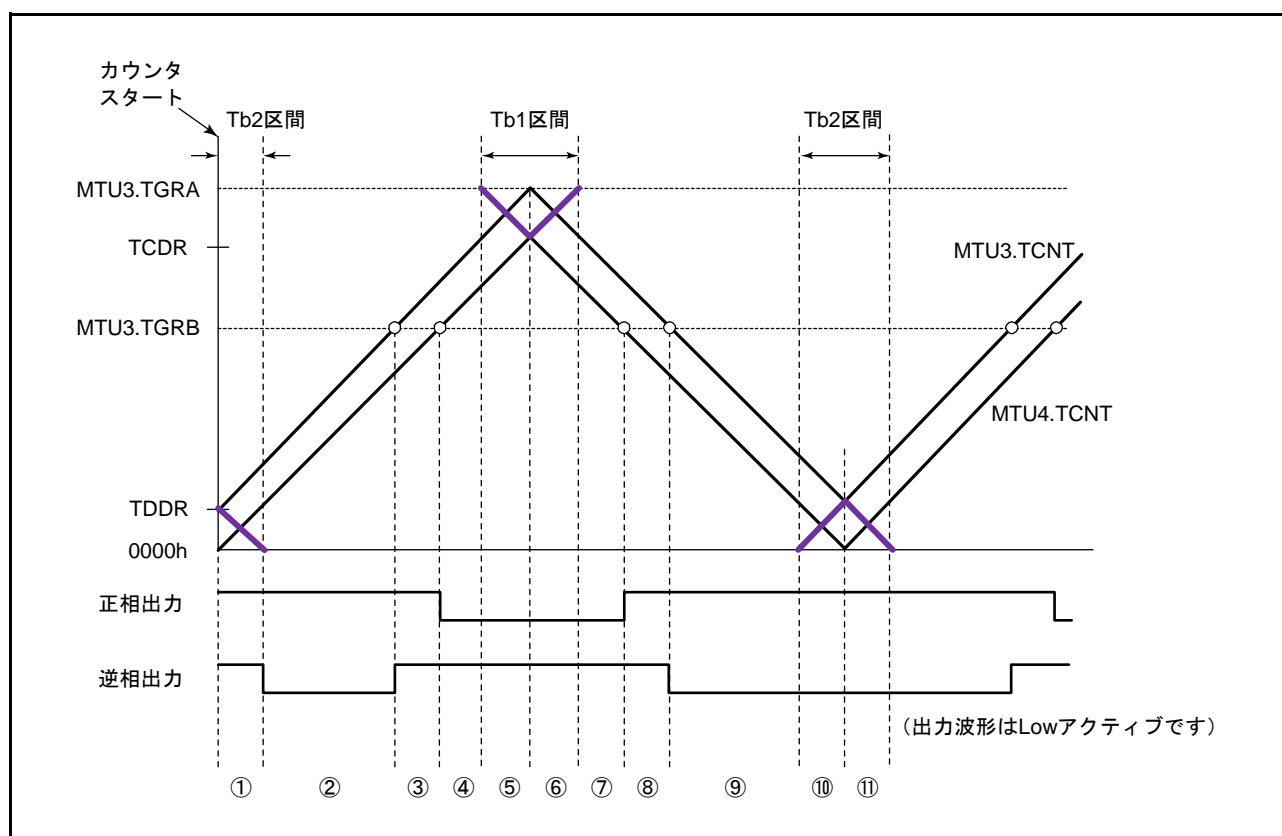


図 22.56 同期カウンタクリアタイミング

● 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 22.57 に示します。

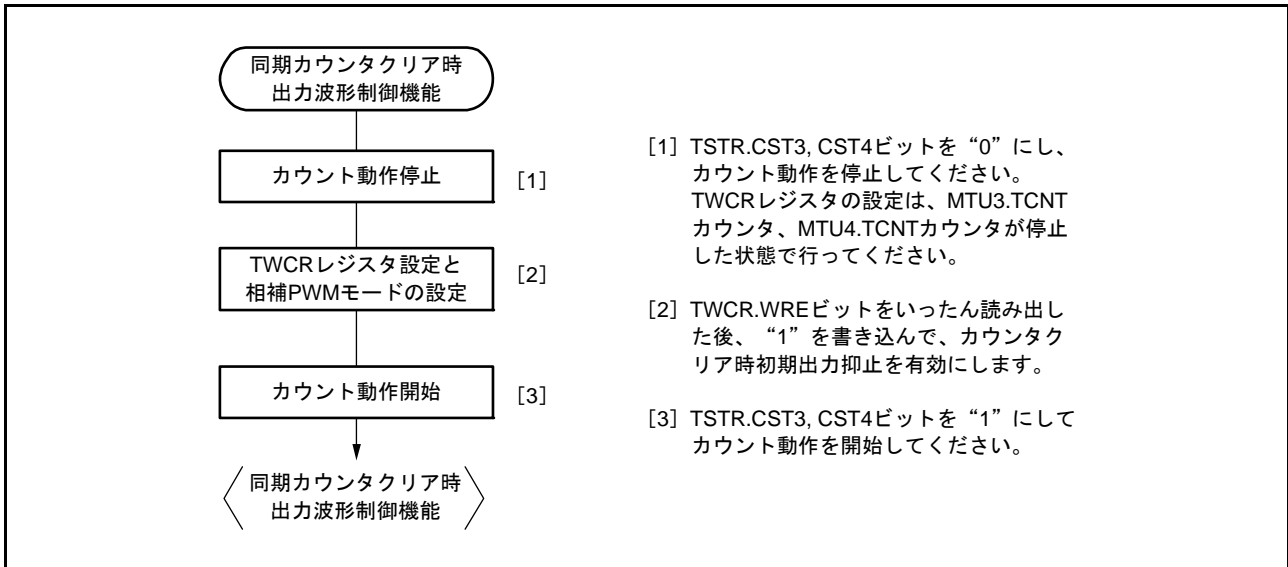


図 22.57 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

● 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 22.58 ~ 図 22.61 に、TWCR.WRE ビットを“1”に設定した状態で MTU を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 22.58 ~ 図 22.61 の同期カウンタクリアのタイミングは、それぞれ図 22.56 の③、⑥、⑧、⑪で示したタイミングです。

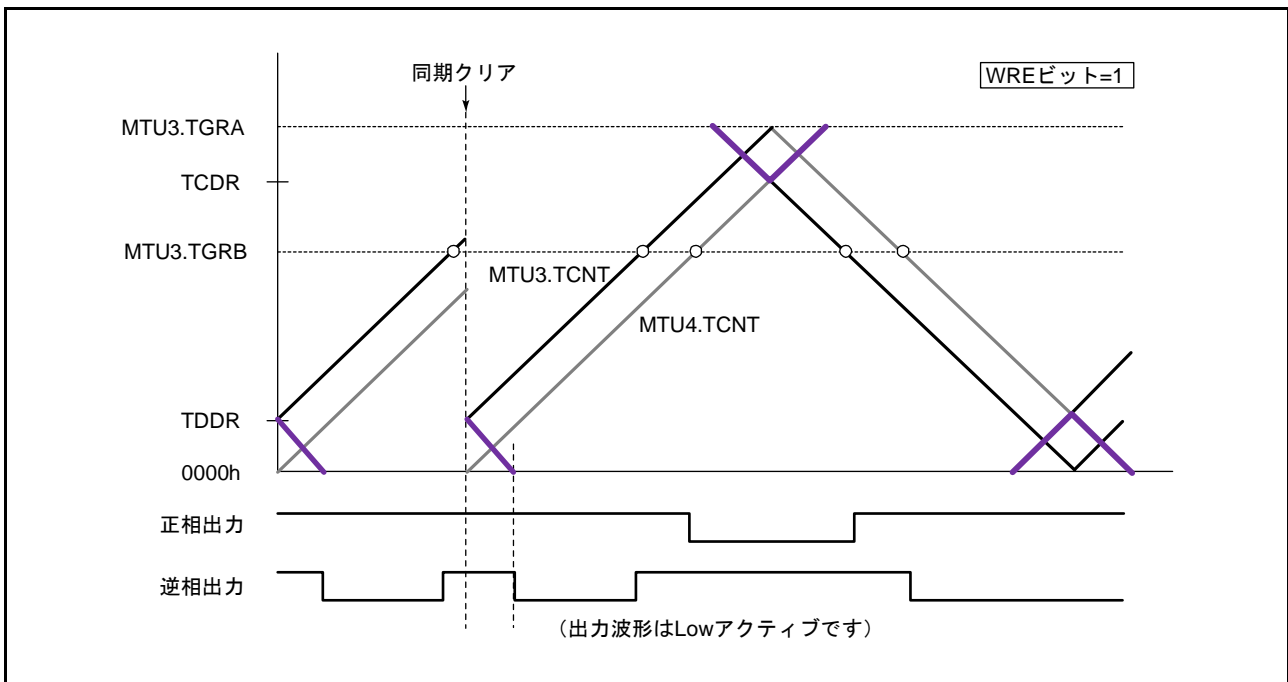


図 22.58 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 22.56 のタイミング③、TWCR.WRE ビット = 1)

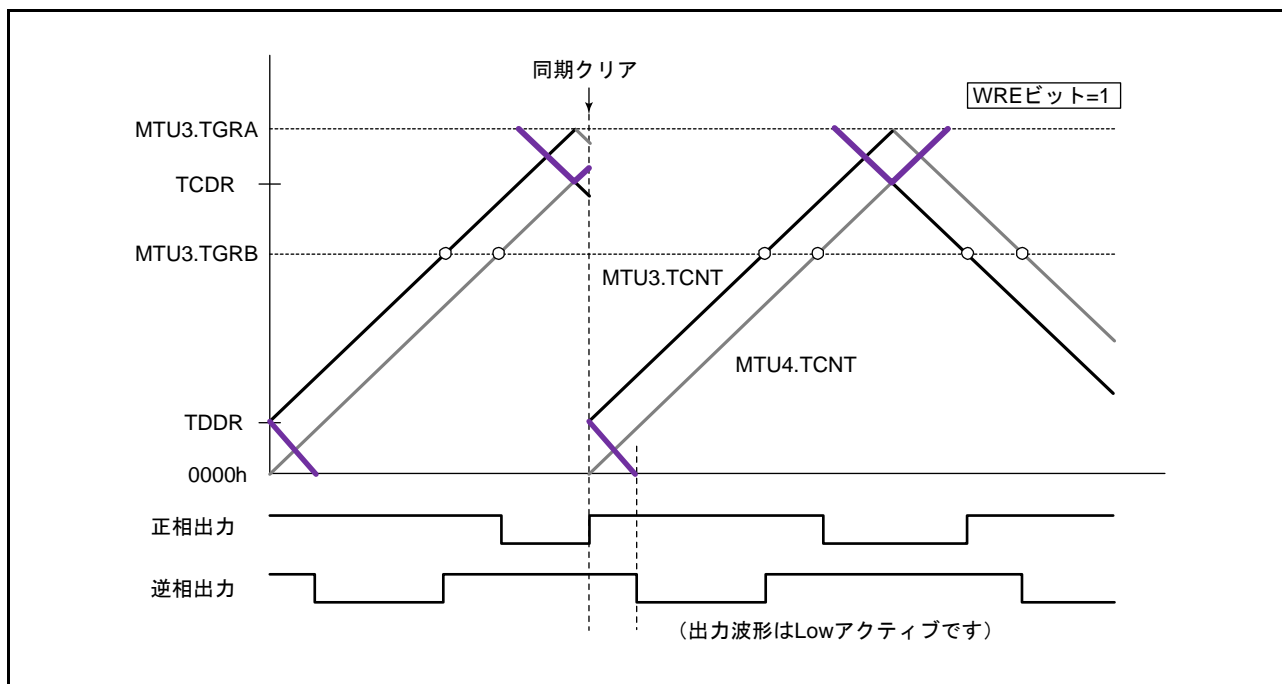


図 22.59 山のTb区間で同期クリアが発生した場合
 (図 22.56 のタイミング⑥、TWCR.WRE ビット = 1)

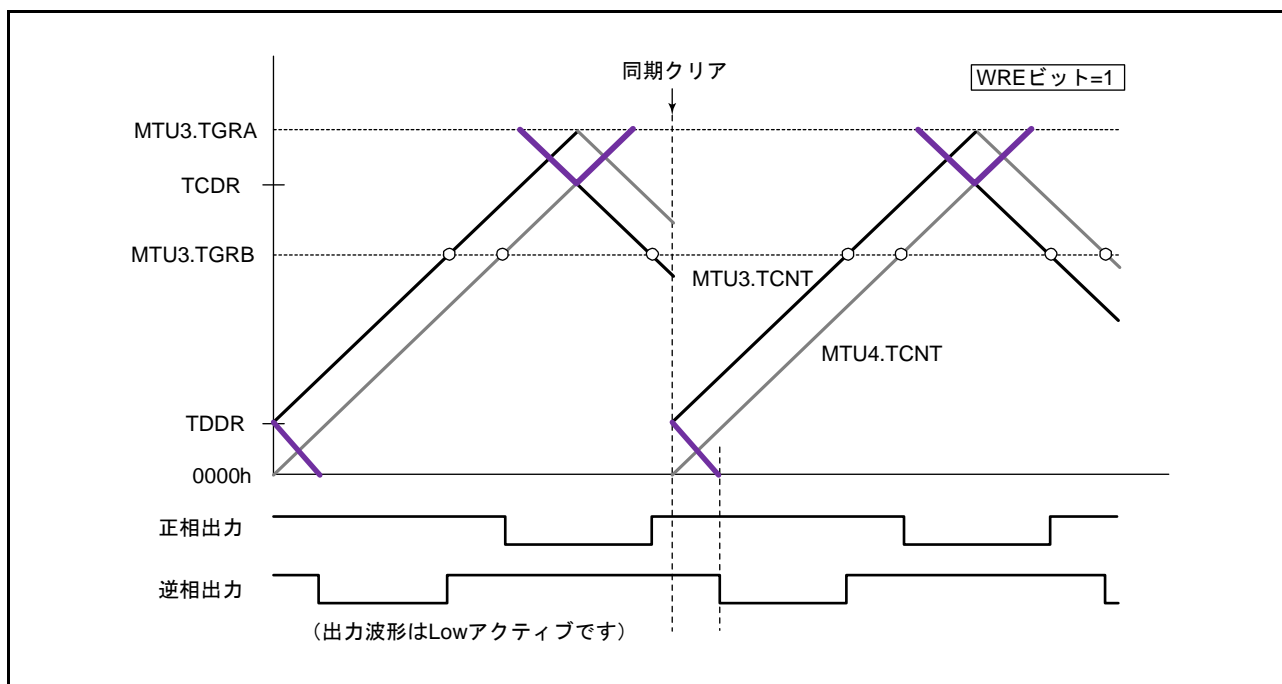


図 22.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
 (図 22.56 のタイミング⑧、TWCR.WRE ビット = 1)

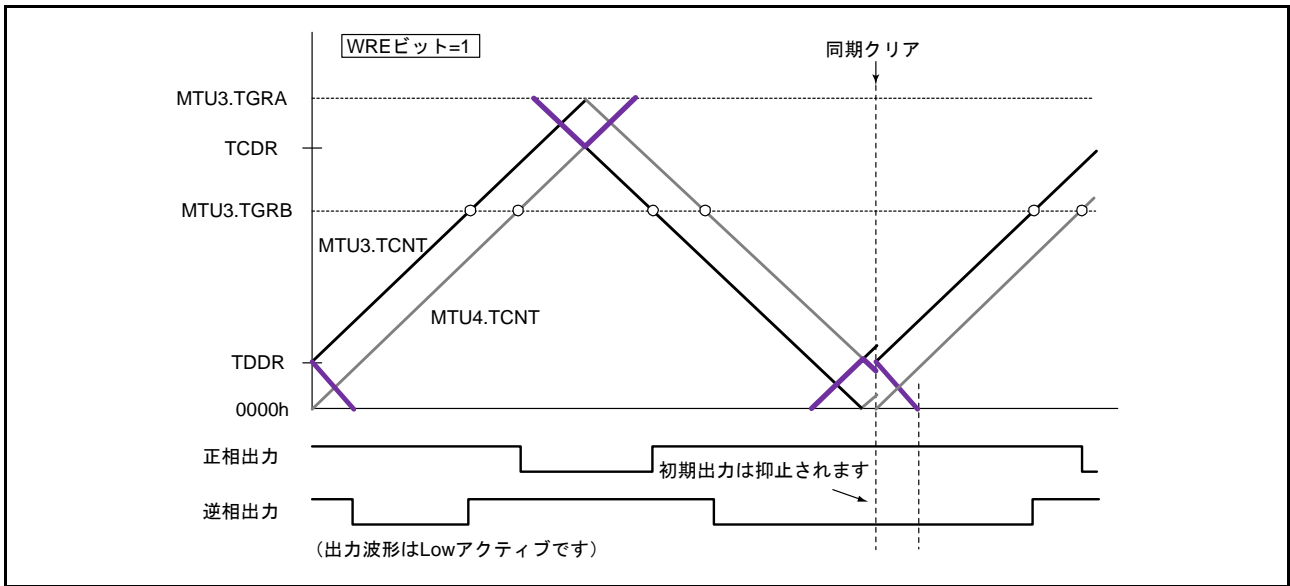


図 22.61 谷のTb区間で同期クリアが発生した場合
(図 22.56 のタイミング①、TWCR.WRE ビット = 1)

(o) MTU3.TGRA レジスタのコンペアマッチによるカウンタクリア

相補 PWM モードでは、TWCR.CCE ビットを設定することにより、MTU3.TGRA レジスタのコンペアマッチで MTU3.TCNT カウンタ、MTU4.TCNT カウンタおよび TCNTS カウンタをクリアすることが可能です。

図 22.62 に動作例を示します。

- 注． 相補 PWM モード 1 (山で転送) でのみ使用してください。
- 注． 他のチャンネルとの同期クリア機能に設定しないでください。(TSYR.SYNC0 ~ SYNC4 ビットを “1” に設定しないでください)
- 注． PWM デューティ比は、“0000h” を設定しないでください。
- 注． TOCR1.PSYE ビットを “1” に設定しないでください。

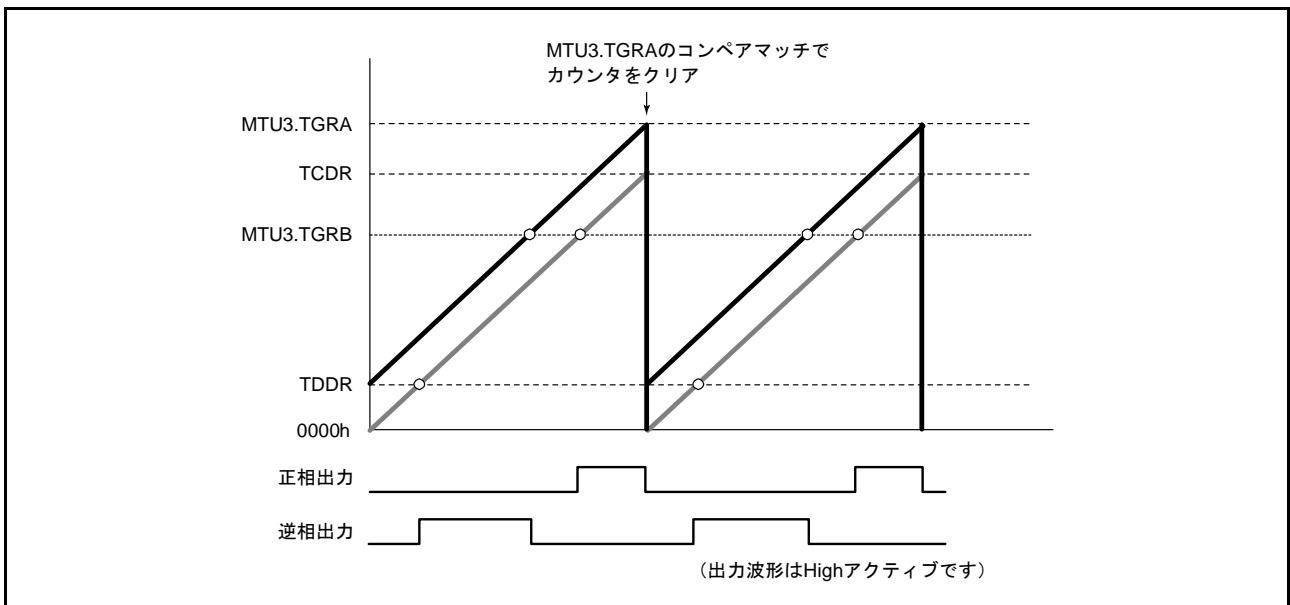


図 22.62 MTU3.TGRA レジスタのコンペアマッチにおけるカウンタクリアの動作例

(p) AC同期モータ（ブラシレスDCモータ）の駆動波形出力例

相補PWMモードでは、TGCRレジスタを使ってブラシレスDCモータを簡単に制御することができます。図22.63～図22.66にTGCRレジスタを使用したブラシレスDCモータの駆動波形例を示します。

3相ブラシレスDCモータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCR.FBビットを“0”に設定します。この場合、磁極位置を示す外部信号をMTU0のタイマ入力端子MTIOC0A、MTIOC0B、MTIOC0C端子に入力します。MTIOC0A、MTIOC0B、MTIOC0C端子の3つの端子にエッジが発生すると、出力のON/OFFが自動的に切り替わります。

TGCR.FBビットが“1”の場合は、TGCR.UF, VF, WFビットの各ビットに“0”または“1”を設定すると、出力のON/OFFが切り替わります。

駆動波形の出力は、相補PWMモードの6相PWM出力端子から出力されます。

この6相出力はTGCR.NビットまたはTGCR.Pビットを“1”に設定することにより、ON出力時、相補PWMモードの出力を使用し、チョッピング出力を行うことが可能です。TGCR.NビットまたはTGCR.Pビットが“0”の場合は、レベル出力になります。

また、6相出力のアクティブレベル（ON出力時レベル）は、TGCR.NビットまたはTGCR.Pビットの設定にかかわらず、TOCR1.OLSN, TOCR1.OLSPビットで設定できます。

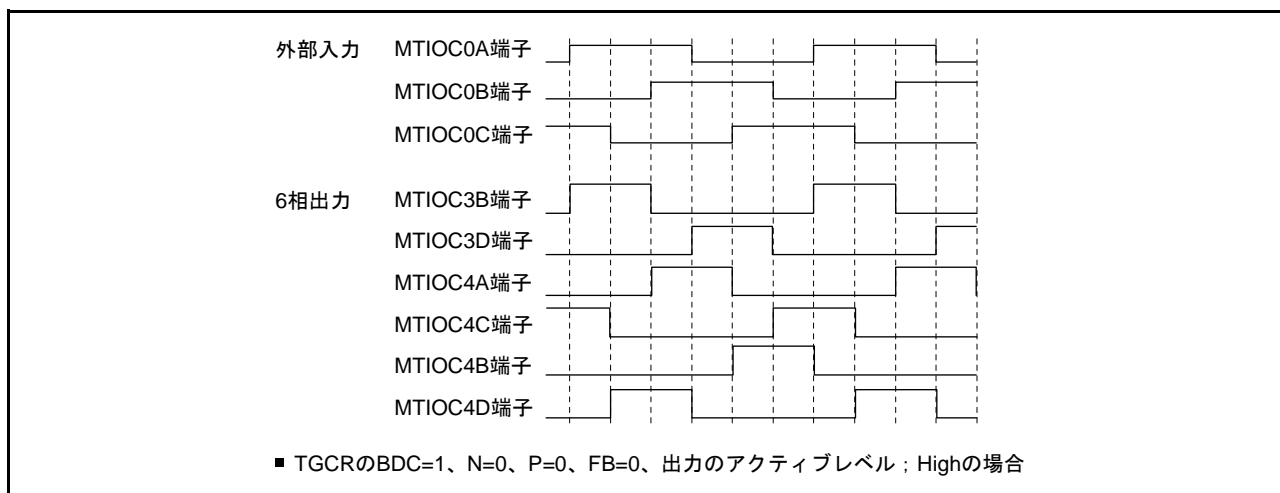


図 22.63 外部入力による出力相の切り替え動作例 (1)

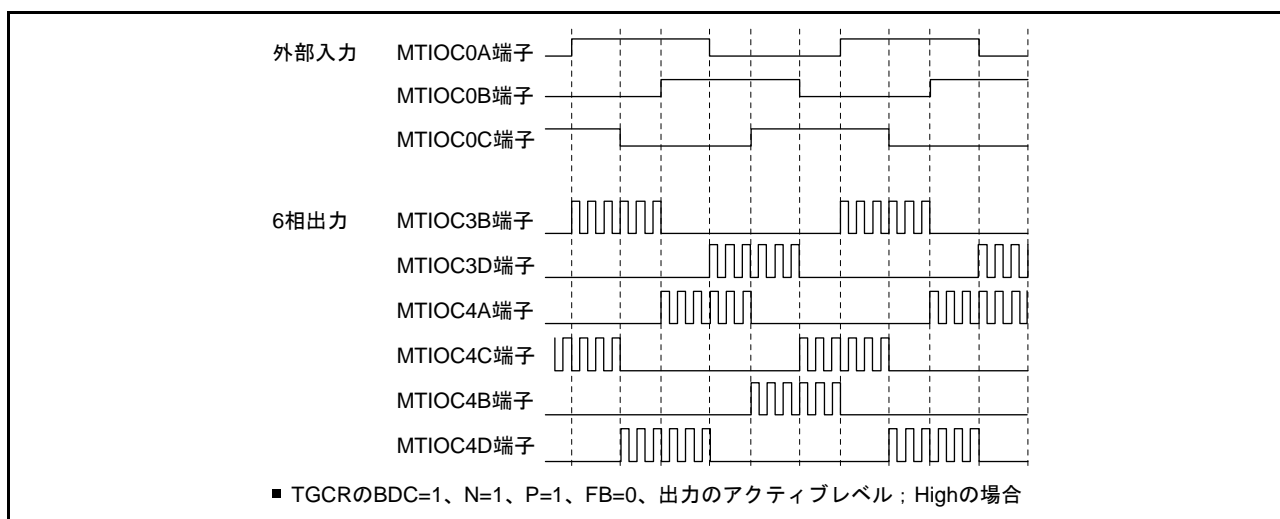


図 22.64 外部入力による出力相の切り替え動作例 (2)

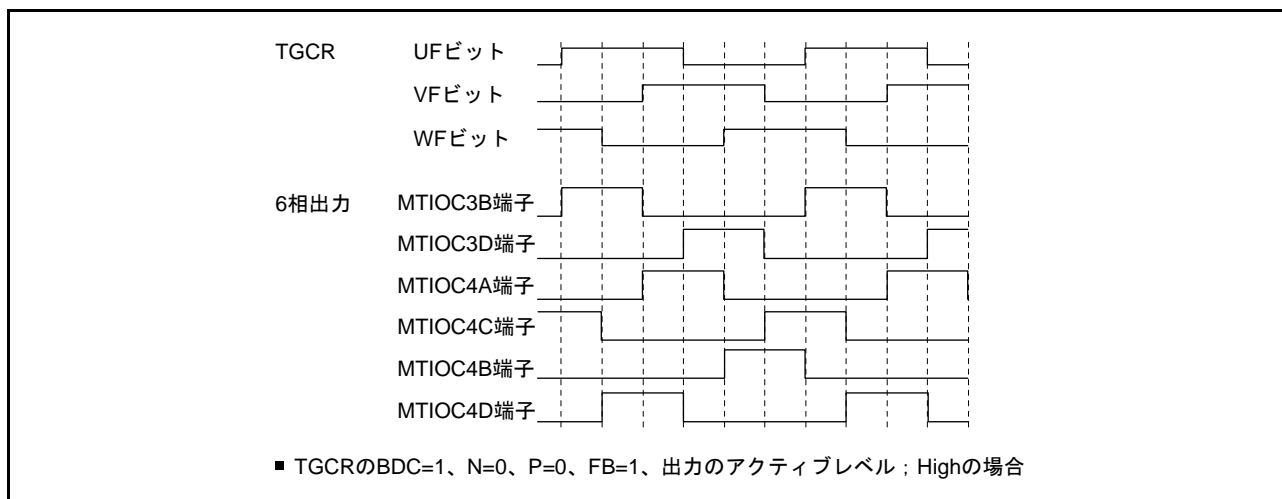


図 22.65 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

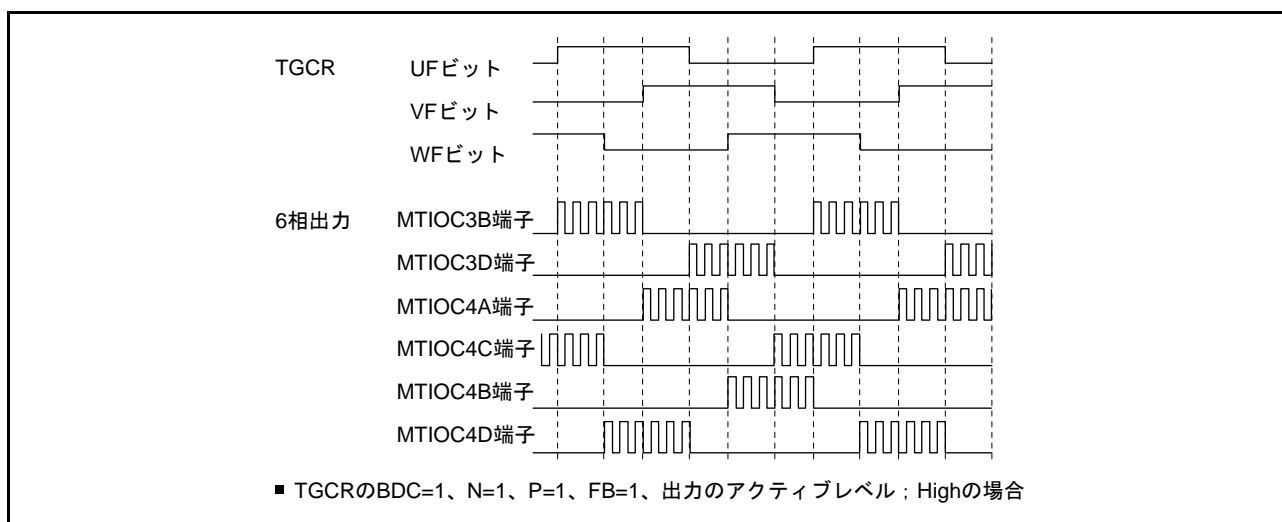


図 22.66 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(q) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA レジスタのコンペアマッチ、MTU4.TCNT カウンタのアンダフロー（谷）、MTU3、MTU4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA レジスタのコンペアマッチを使用して開始要求を設定すると、MTU3.TCNT カウンタの山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、TIER.TTGE ビットを“1”にすることで設定できます。MTU4.TCNT カウンタのアンダフロー（谷）の A/D 変換の開始要求は、MTU4.TIER.TTGE2 ビットを“1”にすることで設定できます。

(3) 相補 PWM モードの割り込み間引き機能

MTU3 と MTU4 の TGIA3（山の割り込み）、および TCIV4（谷の割り込み）は、TITCR レジスタを設定することにより、最大で7回まで割り込みを間引くことが可能です。

TBTER レジスタを設定することにより、バッファレジスタからテンポラリレジスタ/コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

TADCR レジスタを設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「22.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

TITCR レジスタの設定は、MTU3.TIER、MTU4.TIER レジスタの設定で TGIA3 と TCIV4 割り込み要求を禁止した状態、かつコンペアマッチが発生しない状態、かつコンペアマッチによる TGIA3、TGIA4 割り込み要求が発生しない状態で行ってください。また、間引き回数の変更前に、TITCR.T3AEN、T4VEN ビットを“0”にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を図 22.67 に示します。また、割り込み間引き回数の変更可能期間を図 22.68 に示します。

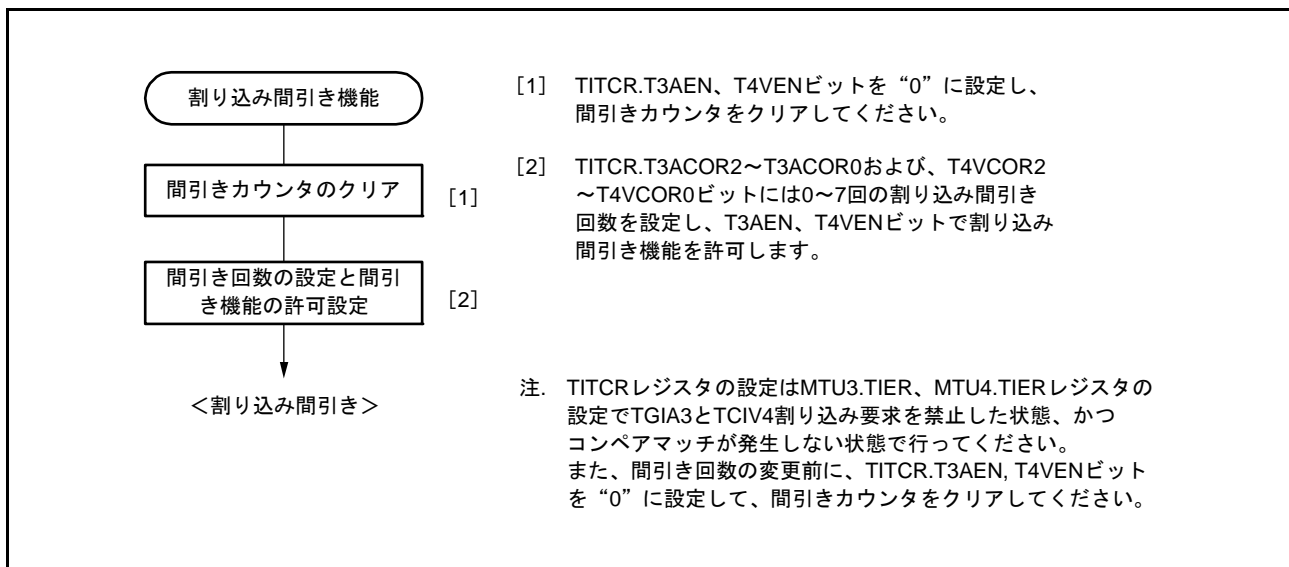


図 22.67 割り込み間引き機能の設定手順例

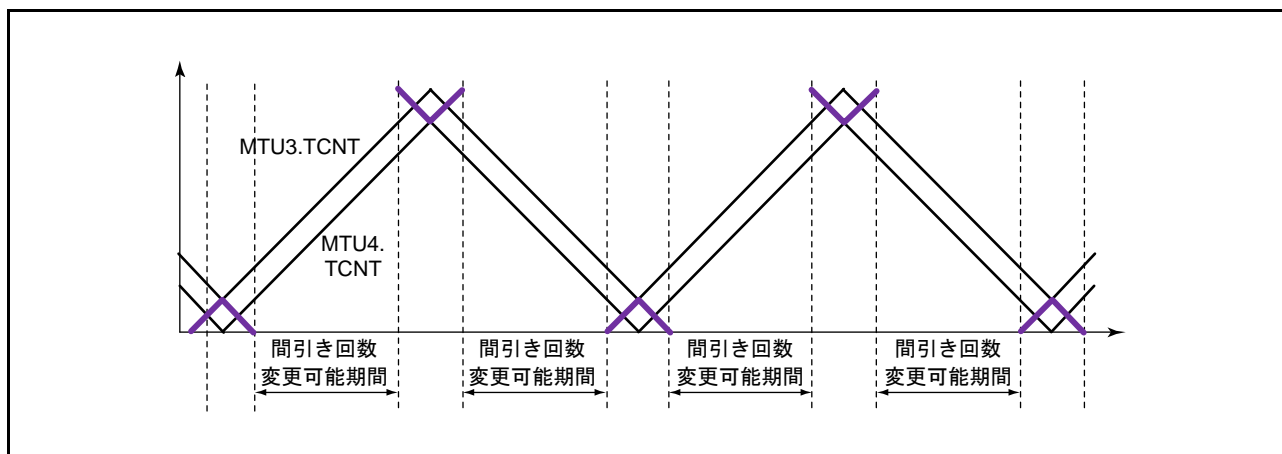


図 22.68 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能の動作例

TITCR.T3ACOR ビットで割り込みの間引き回数を3回に設定し、TITCR.T3AEN ビットを“1”に設定した場合の、MTU3.TGIA 割り込み間引きの動作例を図 22.69 に示します。

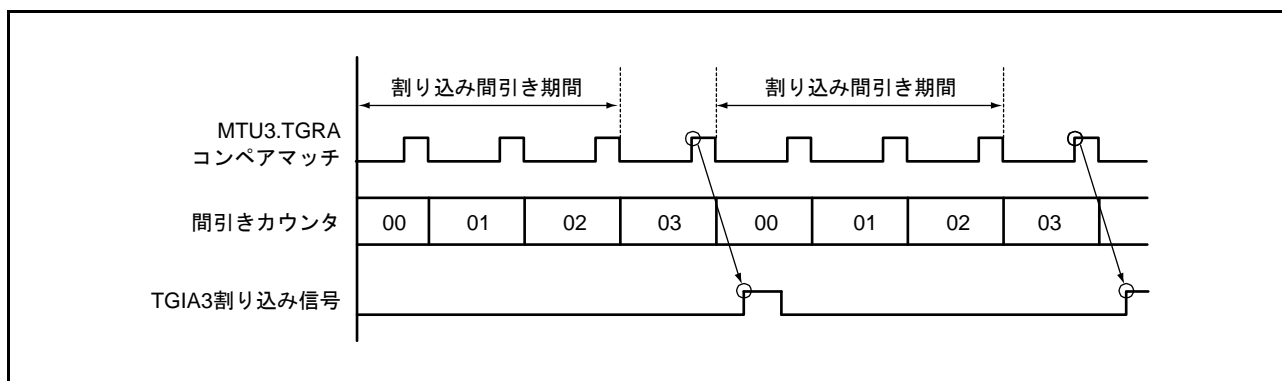


図 22.69 割り込み間引き機能の動作例

(c) 割り込み間引きと連動したバッファ転送制御

TBTER.BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑制する設定 (TBTER.BTE[1:0] = 01b) にした場合の動作例を図 22.70 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (TBTER.BTE[1:0] = 10b) にした場合の動作例を図 22.71 に示します。この設定にした場合、バッファ転送許可期間内にバッファレジスタへの書き込みを行った場合は、バッファレジスタからテンポラリレジスタへのバッファ転送を即時に行います。バッファ転送許可期間外でバッファレジスタへの書き込みを行った場合は、次のバッファ転送許可期間が始まるタイミングで、バッファレジスタからテンポラリレジスタへのバッファ転送を行います。

なお、TITCR.T3AEN ビットを“1”に設定した場合、TITCR.T4VEN ビットを“1”に設定した場合、TITCR.T3AEN ビットと TITCR.T4VEN ビットをとともに“1”に設定した場合で、それぞれバッファ転送許可期間が異なります。TITCR.T3AEN ビットと TITCR.T4VEN ビットの設定とバッファ転送許可期間の関係を図 22.72 に示します。

- 注. 本機能は、割り込み間引き機能と組み合わせて使用してください。
 割り込み間引きが禁止のとき (TITCR.T3AEN、T4VEN ビットを“0”に設定したとき、または TITCR レジスタの間引き回数設定ビット (T3ACOR、T4VCOR) を“0”に設定したとき) は、バッファ転送を割り込み間引きと連動しない設定 (TBTER.BTE1 ビットを“0”に設定) してください。
 割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

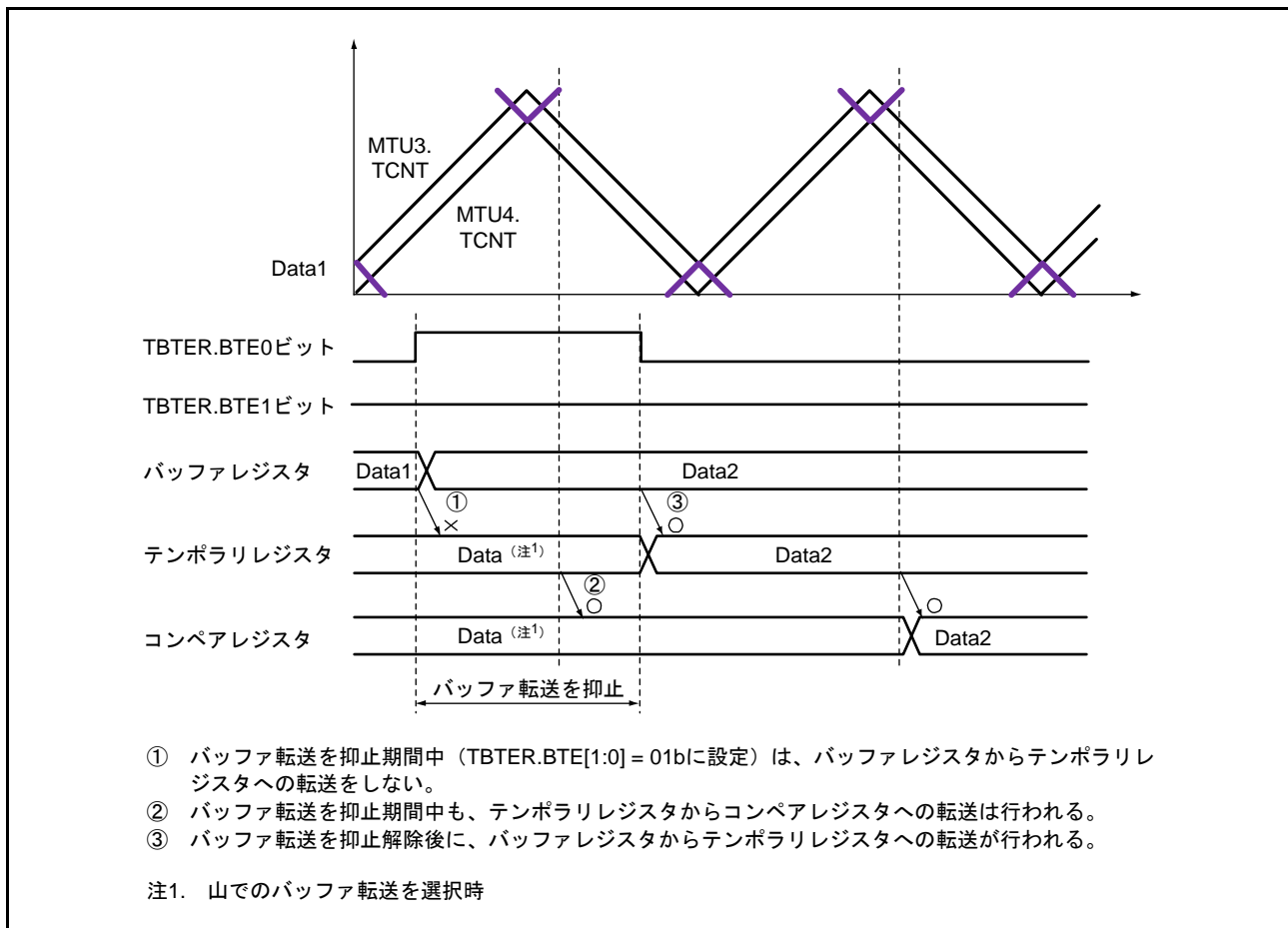


図 22.70 バッファ転送を抑制する設定 (TBTER.BTE[1:0] ビット = 01b) にした場合の動作例

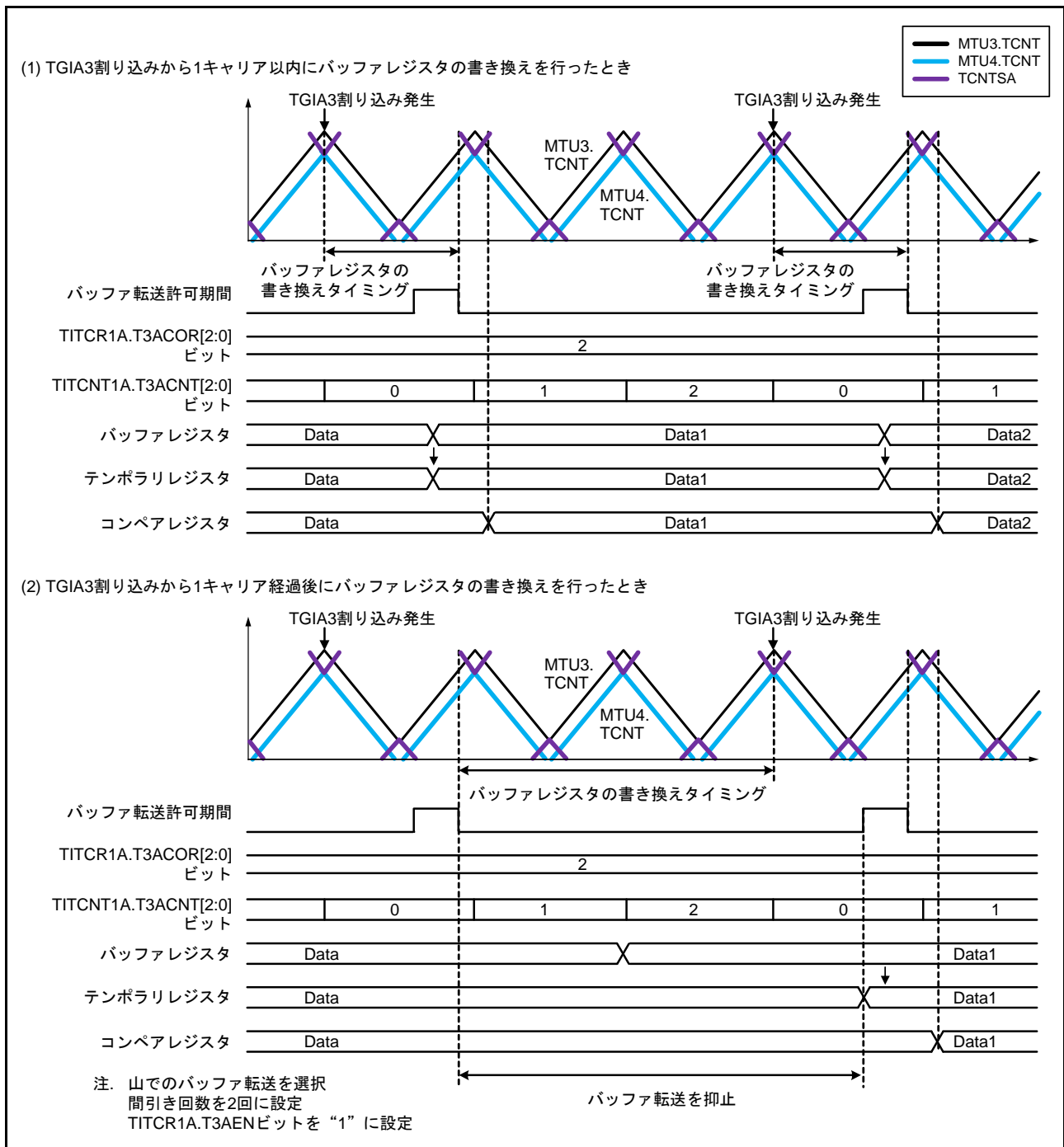


図 22.71 バッファ転送を割り込み間引きと連動する設定 (TBTER.BTE[1:0] ビット = 10b) にした場合の動作例

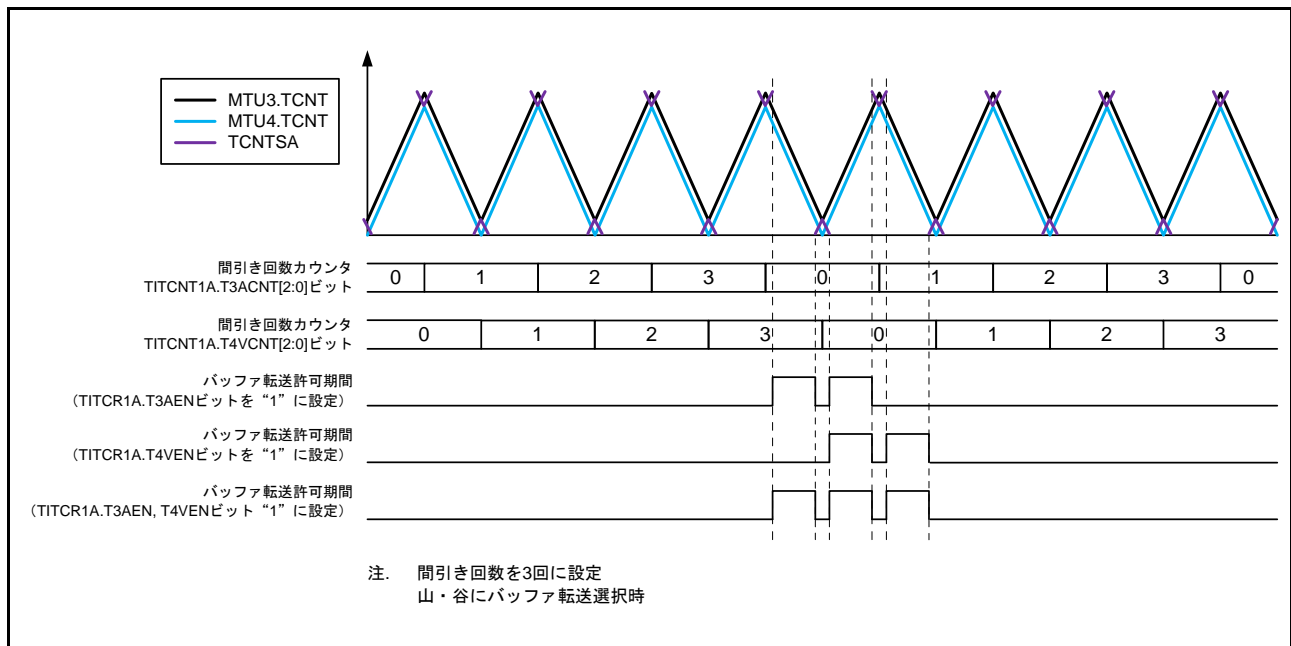


図 22.72 TITCR.T3AEN, T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

モードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、TRWER.RWE ビットの設定により CPU からのアクセスの許可/禁止を選択することが可能です。対象となるレジスタは MTU3 および MTU4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR および MTU4.TCR、MTU3.TMDR および MTU4.TMDR、MTU3.TIORH および MTU4.TIORH、MTU3.TIORL および MTU4.TIORL、MTU3.TIER および MTU4.TIER、MTU3.TCNT および MTU4.TCNT、MTU3.TGRA および MTU4.TGRA、MTU3.TGRB および MTU4.TGRB、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR

計 22 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効です。

(b) PWM 出力の停止機能

MTU0、MTU3、MTU4 の PWM 出力端子は、自動的にハイインピーダンス状態にすることが可能です。詳細は、「23. ポートアウトプットイネーブル 2 (POE2a)」を参照してください。

22.3.9 A/D 変換開始要求ディレイド機能

MTU4.TADCR, TADCORA, TADCORB, TADCOBRA, TADCOBRB レジスタを設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT カウンタと MTU4.TADCORA, TADCORB レジスタを比較し、これらが一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN) を行います。

また、TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を間引くことが可能です。

(1) A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 22.73 に示します。

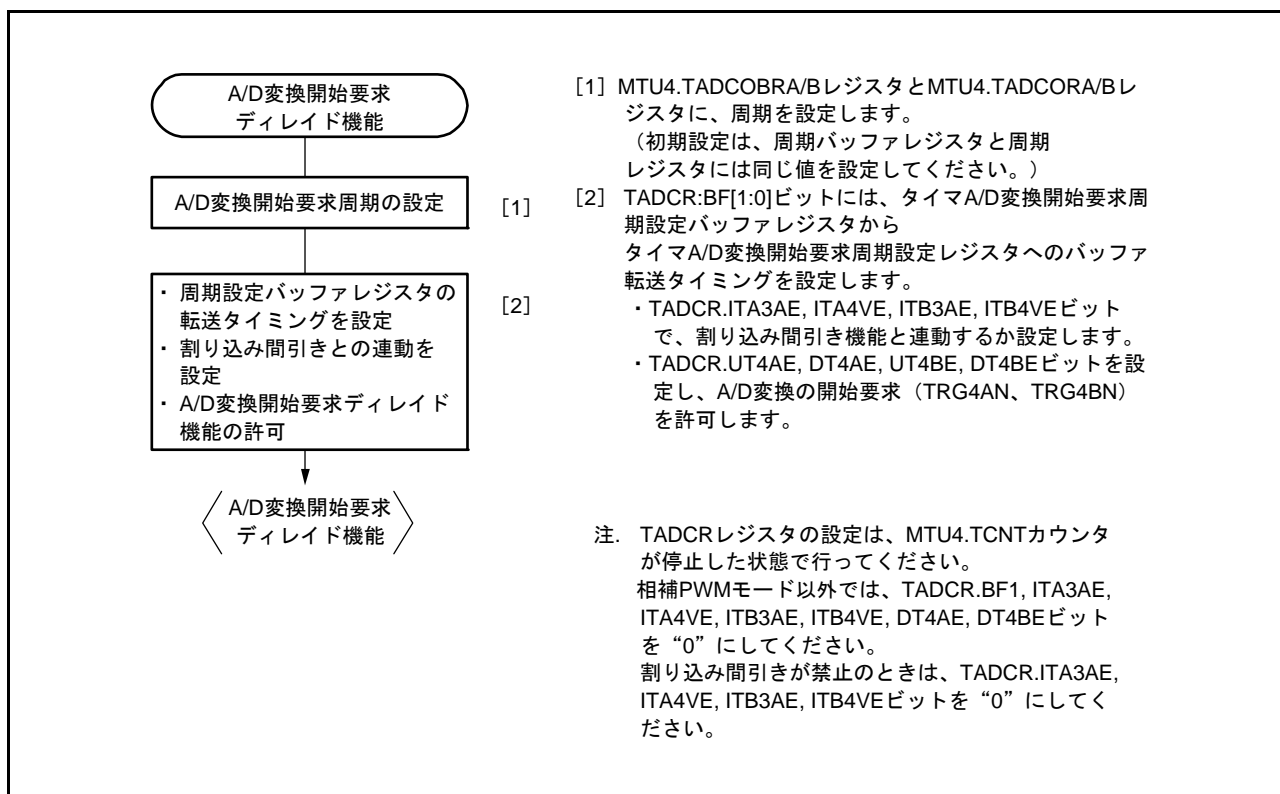


図 22.73 A/D 変換開始要求ディレイド機能の設定手順例

(2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT カウンタの谷に設定し、MTU4.TCNT カウンタのダウンカウント時に A/D 変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN) の基本動作例を図 22.74 に示します。

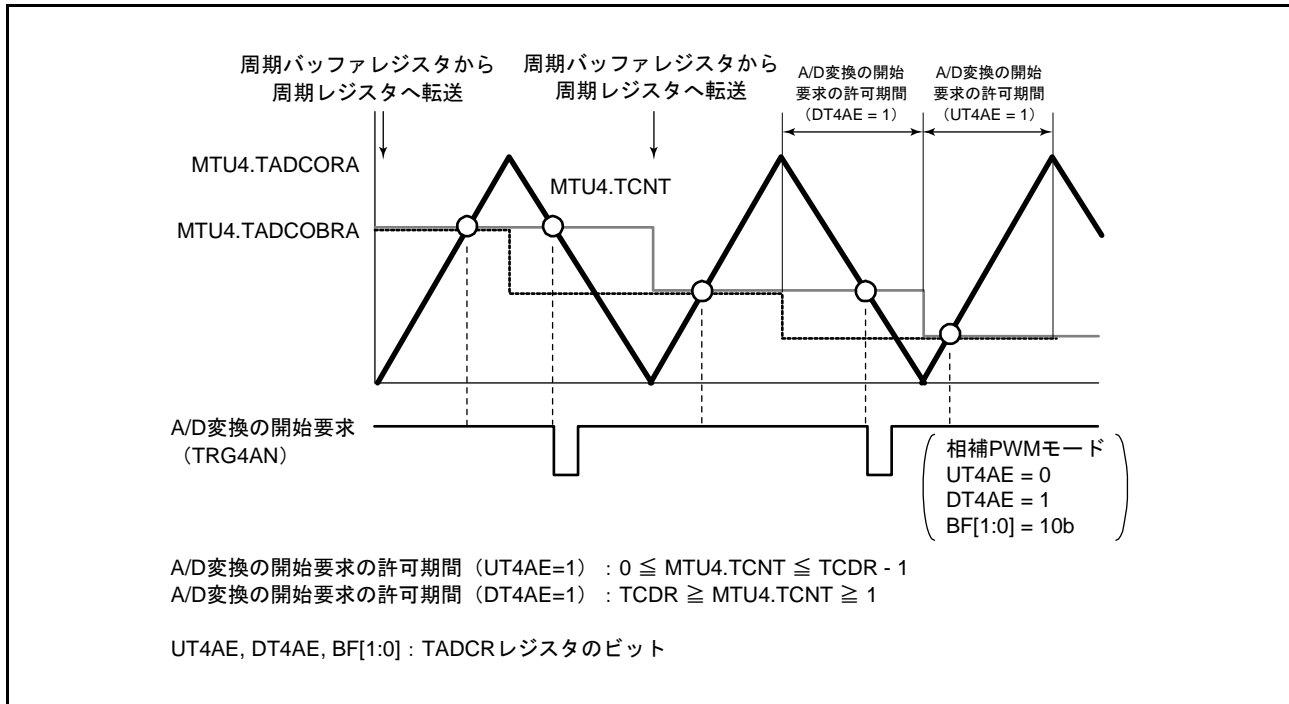


図 22.74 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(3) A/D 変換の開始要求の許可期間

MTU4.TADCR レジスタの UT4AE, UT4BE ビットで許可した期間内に MTU4.TCNT カウンタと MTU4.TADCORA, MTU4.TADCORB レジスタが一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN) を行います。

相補 PWM モードで MTU4.TADCR レジスタの UT4AE, UT4BE ビットを“1”にすると、MTU4.TCNT カウンタのアップカウント期間 ($0 \leq \text{MTU4.TCNT} \leq \text{TCDR} - 1$) に A/D 変換の開始要求を許可します。

MTU4.TADCR レジスタの DT4AE, DT4BE ビットを“1”にすると、MTU4.TCNT カウンタのダウンカウント期間 ($\text{TCDR} \geq \text{MTU4.TCNT} \geq 1$) に A/D 変換の開始要求を許可します (図 22.74)。

(4) バッファ転送

タイマ A/D 変換開始要求周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) のデータ更新は、タイマ A/D 変換開始要求周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) にデータを書き込むことにより行います。タイマ A/D 変換開始要求周期設定バッファレジスタからタイマ A/D 変換開始要求周期設定レジスタへの転送タイミングは、MTU4.TADCR.BF[1:0] ビットを設定することにより選択することができます。

相補 PWM モードでバッファ転送を使用する場合、バッファ転送のタイミングについて注意事項があります。詳細は、「22.6.27 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項」を参照してください。

また、相補 PWM モード以外のときは、MTU4.TADCR レジスタの BF1 ビットを“0”にしてください。

(5) 割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能

相補 PWM モードでは、TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を行うことが可能です。MTU4.TCNT カウンタのアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 22.75 に示します。

また、MTU4.TCNT カウンタのアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 22.76 に示します。

相補 PWM モード以外では、割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能は使用できません。

MTU4.TADCR レジスタの ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットを“0”にしてください。

注. 本機能は割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき (TITCR.T3AEN, T4VEN ビットを“0”にしたとき、または TITCR.T3ACOR, T4VCOR ビットを“0”にしたとき) は、割り込み間引き機能と連動しない (TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットを“0”) 設定にしてください。

A/D コンバータへの変換要求信号は、TRG4ABN (TRG4AN または TRG4BN) になりますので注意してください。また、本機能使用時、MTU4.TADCORA, MTU4.TADCORB レジスタには 0002h ~ TCOR - 2 を設定してください。

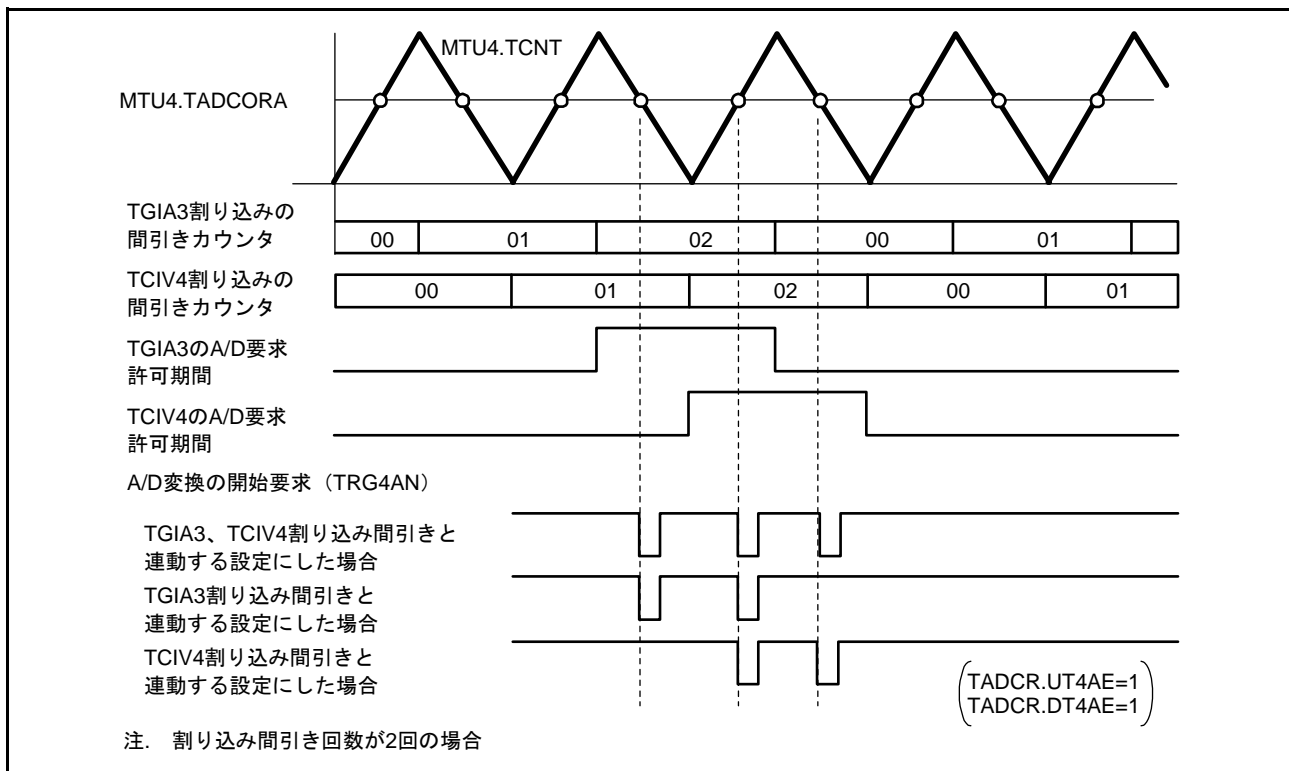


図 22.75 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (TCNT カウンタのアップカウント時およびダウンカウント時に TRG4AN 出力を許可したとき)

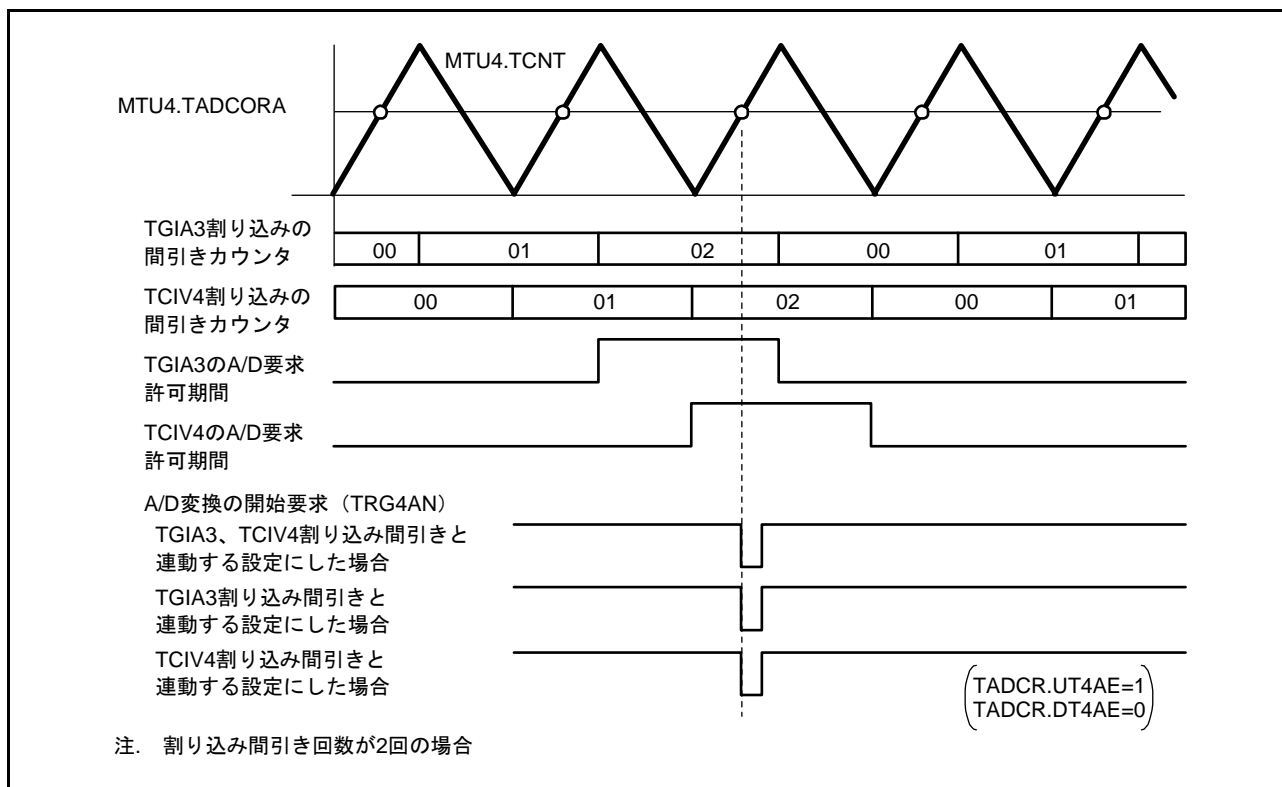


図 22.76 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (TCNT カウンタのアップカウント時に TRG4AN 出力を許可したとき)

22.3.10 外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

MTU5.TIORU, TIORV, TIORW レジスタの IOC[4:0] ビットにパルス幅測定を設定すると、MTIC5U 端子、MTIC5V 端子、MTIC5W 端子に入力された信号のパルス幅を測定します。IOC[4:0] ビットで指定したレベルが入力されている間、TCNTU, TCNTV, TCNTW カウンタはカウントアップします。

外部パルス幅測定の設定例を図 22.77、動作例を図 22.78 に示します。

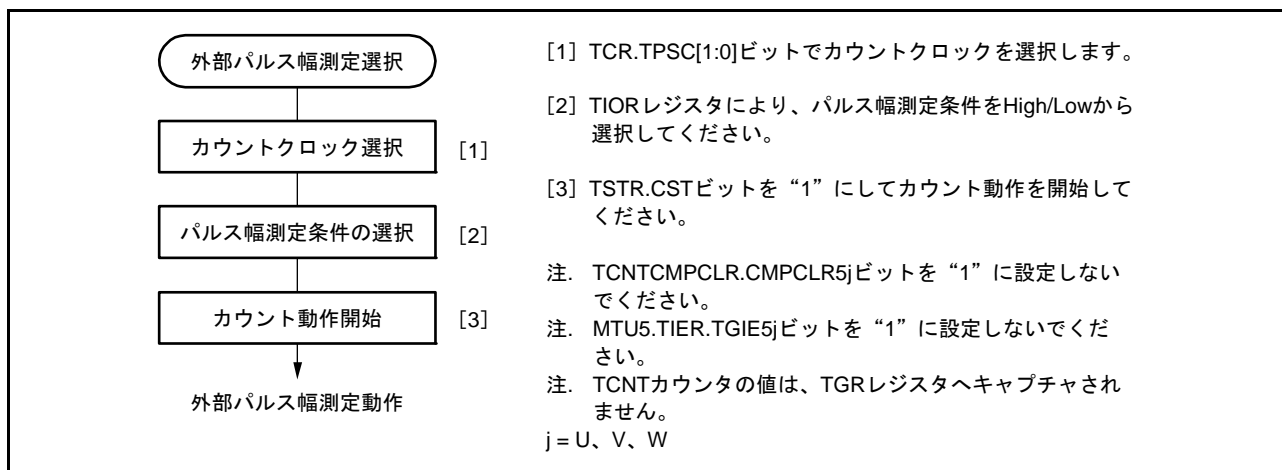


図 22.77 外部パルス幅測定の設定手順例

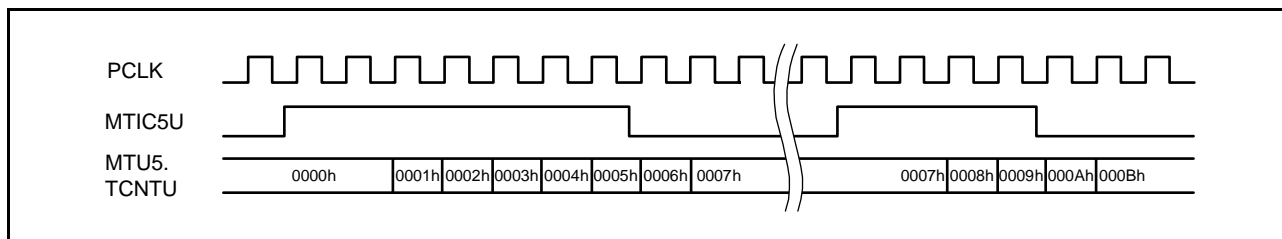


図 22.78 外部パルス幅測定の動作例 (High 幅測定)

22.3.11 デッドタイム補償機能

デッドタイム遅れ（相補 PWM 出力とインバータ出力間の遅延）を MTU5 にフィードバックするモータ制御回路を構成します（図 22.79）。MTU5 の外部パルス測定機能でデッドタイム遅れを測定してデューティ比に反映することで、MTU3、MTU4 を使用した相補 PWM 動作時の PWM 出力波形に対するデッドタイム補償として使用することができます（図 22.80）。MTU5 を使用したデッドタイム補償の設定手順を図 22.81 に示します。このときの MTU5 の動作については、(2) 相補 PWM の「山/谷」での TCNTU、TCNTV、TCNTW カウンタキャプチャ動作を参照してください。

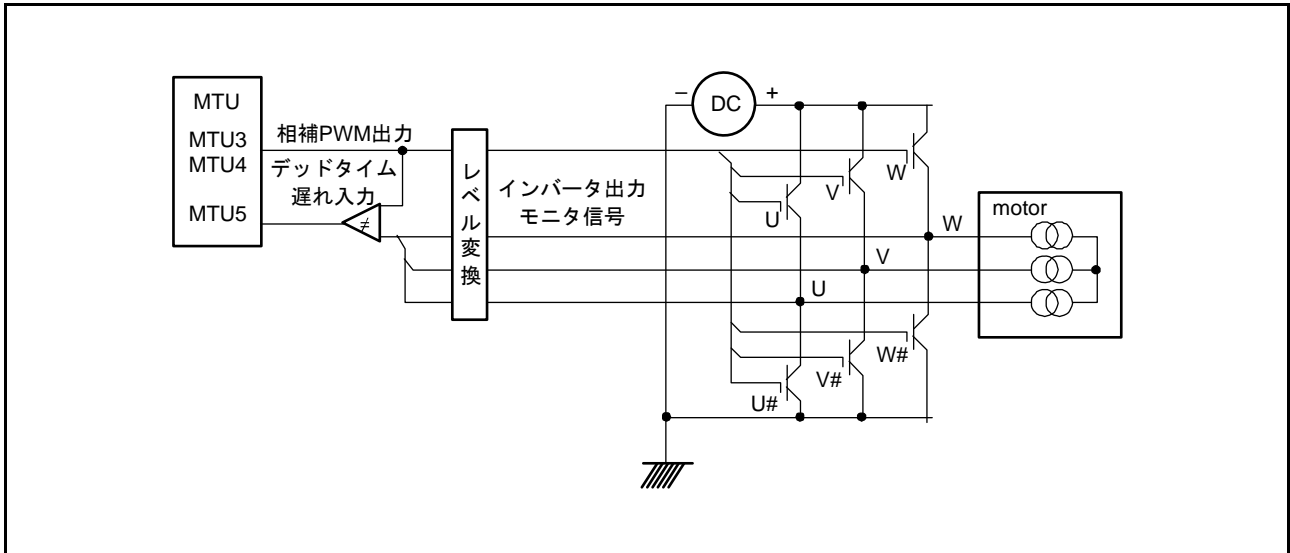


図 22.79 モータ制御回路構成例

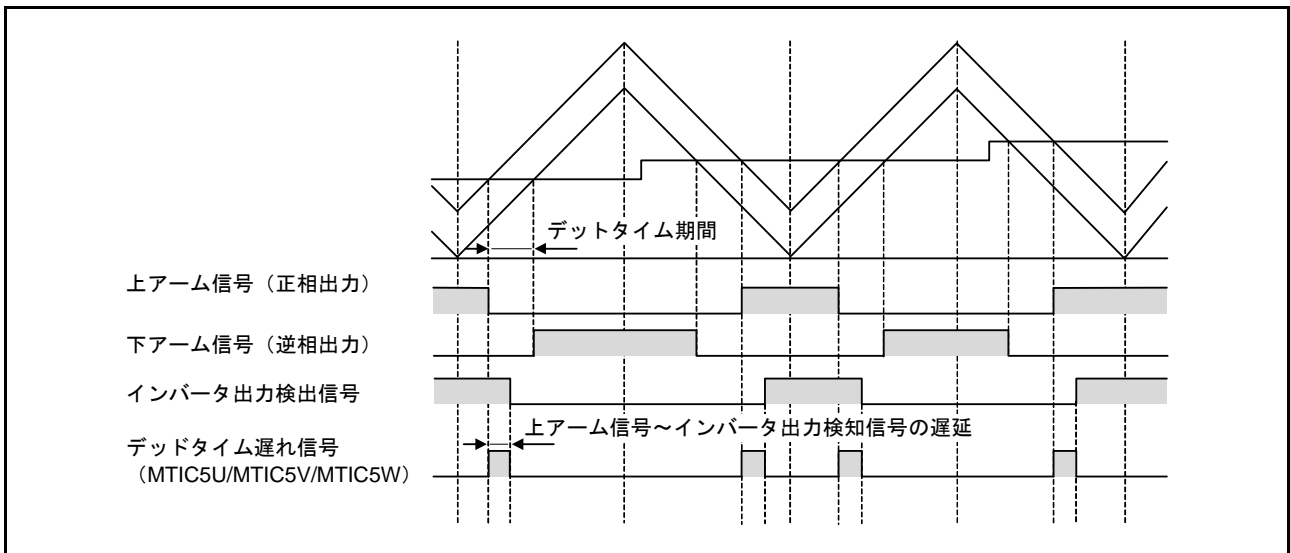


図 22.80 相補 PWM モード動作時のデッドタイム遅れ

(1) デッドタイム補償機能の設定手順例

MTU5の3本のカウンタを使用したデッドタイム補償機能の設定手順例を図22.81に示します。

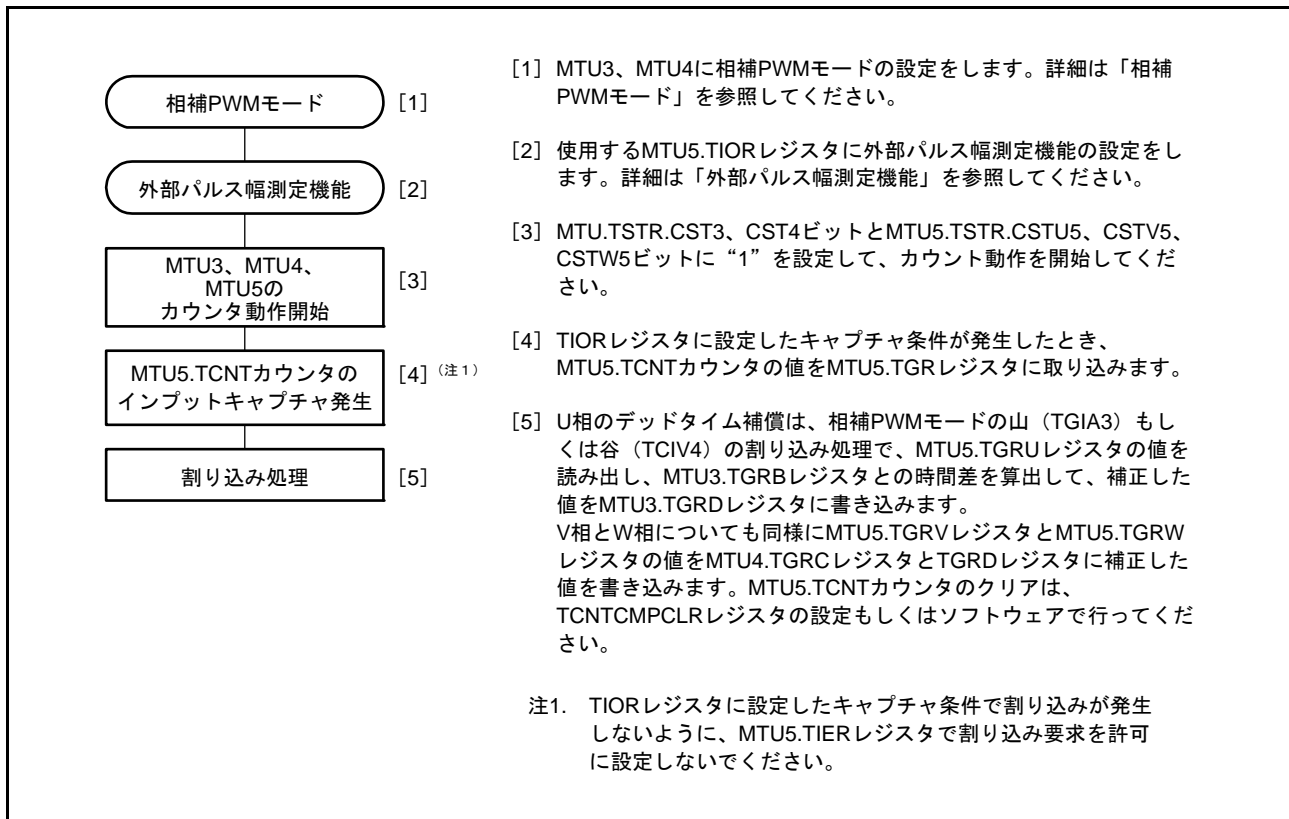


図 22.81 デッドタイム補償機能の設定手順例

(2) 相補 PWM の「山/谷」での TCNTU、TCNTV、TCNTW カウンタキャプチャ動作

MTU5 の外部パルス幅測定機能は、相補 PWM モードで動作時に相補 PWM の「山、谷、山/谷」で TCNTU、TCNTV、TCNTW カウンタの値を TGRU、TGRV、TGRW レジスタに転送します。転送タイミングは TIORU、TIORV、TIORW レジスタに設定します。また TCNTCNPCR.CMPCLR5U、CMPCLR5V、CMPCLR5W ビットを“1”にすると TGRU、TGRV、TGRW レジスタへの転送タイミングで TCNTU、TCNTV、TCNTW カウンタを“0”にします。

図 22.82 は TCNTU カウンタをフリーランでクリアせずに使用し、相補 PWM の「山、谷」で TGRU レジスタにキャプチャを行った動作例です。

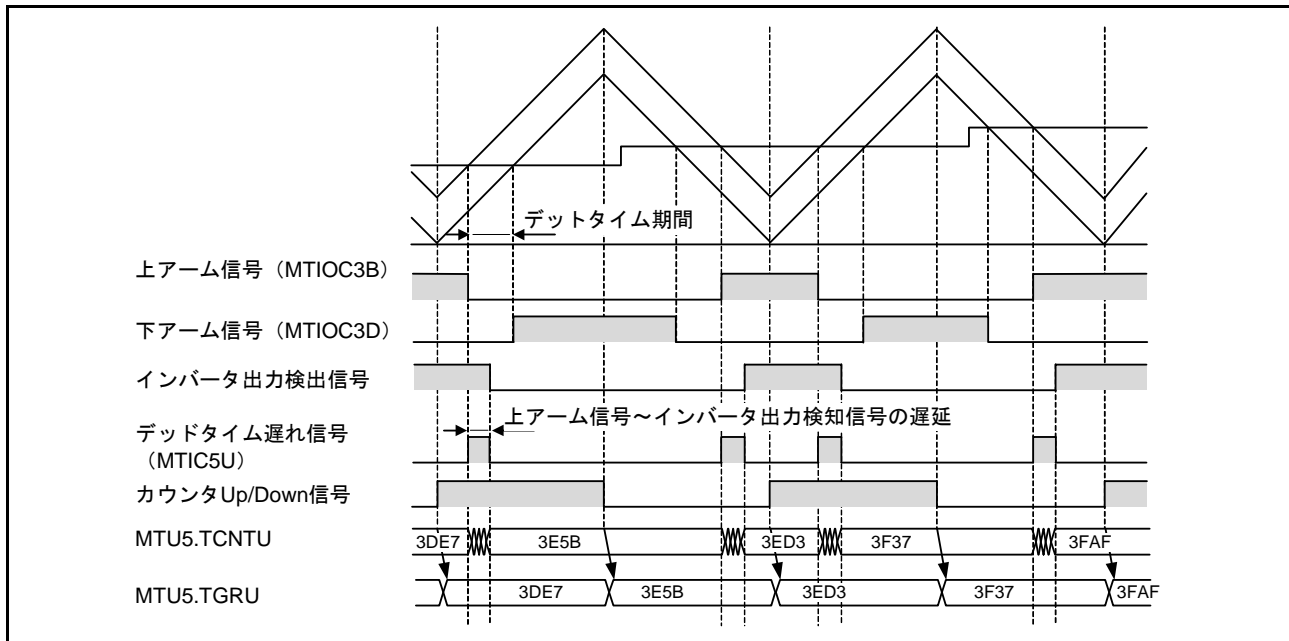


図 22.82 相補 PWM モード時の「山/谷」での MTU5.TCNTU カウンタキャプチャ動作

22.3.12 ノイズフィルタ機能

MTU のインプットキャプチャ入力端子または外部パルス入力端子には、ノイズフィルタ機能を持っています。ノイズフィルタ機能は、入力信号をサンプリングクロックでサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

ノイズフィルタ機能は端子ごとにノイズフィルタ機能の許可/停止が設定でき、サンプリングクロックは、チャンネルごとに設定が可能です。図 22.83 にノイズフィルタのタイミングを示します。

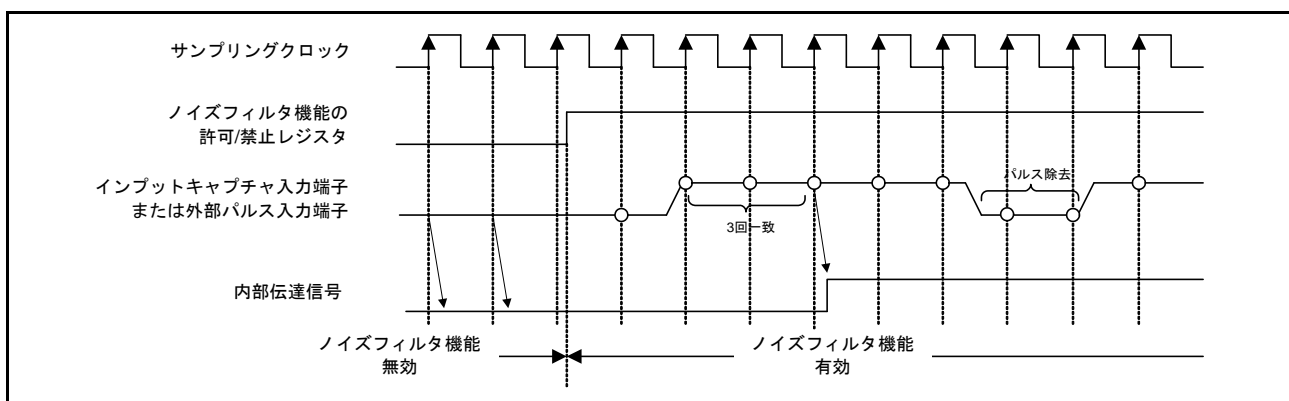


図 22.83 ノイズフィルタのタイミング

(1) インพุットキャプチャ/コンペアマッチ割り込み

TIER.TGIE ビットが“1”のとき、各チャネルの TGR レジスタのインพุットキャプチャ/コンペアマッチの発生により、割り込み要求を発生します。MTU には、MTU0 に 6 本、MTU3、MTU4 に各 4 本、MTU1、MTU2 に各 2 本、MTU5 に各 3 本、計 21 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

TIER.TCIEV ビットが“1”のとき、各チャネルの TCNT カウンタのオーバフローの発生により、割り込み要求を発生します。MTU には、各チャネルに 1 本、計 5 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

TIER.TCIEU ビットが“1”のとき、各チャネルの TCNT カウンタのアンダフローの発生により、割り込み要求を発生します。MTU には、MTU1、MTU2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

22.4.2 DTC/DMAC の起動

(1) DTC の起動

各チャンネルの TGR レジスタのインプットキャプチャ/コンペアマッチ割り込み、MTU4 のオーバフロー割り込みによって、DTC を起動することができます。詳細は「18. データトランスファコントローラ (DTCa)」を参照してください。

MTU では、MTU0、MTU3 が各 4 本、MTU1、MTU2 が各 2 本、MTU4 が 5 本、MTU5 が 3 本、計 20 本のインプットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みを DTC の起動要因とすることができます。

(2) DMAC の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「17. DMA コントローラ (DMACA)」を参照してください。

MTU では、MTU0 ~ MTU4 の各チャンネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

MTU による DMAC 起動時は、DMAC が内部バス権を要求するときに起動要因をクリアします。したがって、内部バスの状態によっては、起動要因がクリアされても DMAC 転送が開始待ち状態になる期間が発生します。

22.4.3 A/D コンバータの起動

MTU では、次の 5 種類の方法で A/D コンバータを起動できます。

各割り込み要因と A/D 変換開始要求の対応を、表 22.58 に示します。

(1) TGRA レジスタのインプットキャプチャ/コンペアマッチと、相補 PWM モード時の MTU4.TCNT カウンタの谷での A/D コンバータの起動

各チャンネルの TGRA レジスタのインプットキャプチャ/コンペアマッチによって、A/D コンバータを起動できます。また、MTU4.TIER.TTGE2 ビットを“1”にした状態で、相補 PWM モード動作をさせた場合は MTU4.TCNT カウンタが谷 (MTU4.TCNT = 0000h) になったときも A/D コンバータを起動できます。

次に示す条件で、A/D コンバータに対して A/D 変換開始要求 TRGAN を発生します。

- 各チャンネルの TGRA レジスタのインプットキャプチャ/コンペアマッチが発生したとき、TIER.TTGE2 ビットが“1”にされていた場合
- MTU4.TIER.TTGE2 ビットを“1”にした状態で、相補 PWM モード動作をさせ、MTU4.TCNT カウンタが谷 (MTU4.TCNT = 0000h) になった場合

これらのとき A/D コンバータ側で MTU の変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) MTU0.TCNT カウンタと MTU0.TGRE レジスタのコンペアマッチによる A/D コンバータの起動

MTU0.TCNT カウンタと MTU0.TGRE のコンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT カウンタと MTU0.TGRE のコンペアマッチの発生により、A/D 変換開始要求 TRGOEN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRGOEN が選択されていれば、A/D 変換が開始されます。

(3) MTU0.TCNT カウンタと MTU0.TGRF レジスタのコンペアマッチによる A/D コンバータの起動

MTU0.TCNT カウンタと MTU0.TGRF レジスタのコンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT カウンタと MTU0.TGRF レジスタのコンペアマッチの発生により、A/D 変換開始要求 TRG0FN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0FN が選択されていれば、A/D 変換が開始されます。

(4) MTU0.TGRA レジスタと MTU0.TGRB レジスタのインプットキャプチャ/コンペアマッチによる A/D コンバータの起動

MTU0.TCNT カウンタと MTU0.TGRA, MTU0.TGRB レジスタのインプットキャプチャ/コンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT カウンタと MTU0.TGRA, MTU0.TGRB レジスタのインプットキャプチャ/コンペアマッチの発生により、A/D 変換開始要求 TRG0AN, TRG0BN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0AN, TRG0BN が選択されていれば、A/D 変換が開始されます。

(5) A/D 変換開始要求ディレイド機能による A/D コンバータの起動

TADCR.UT4AE, DT4AE, UT4BE, DT4BE ビットを“1”にした場合、TADCORA, TADCORB レジスタと MTU4.TCNT カウンタの一致によって、TRG4AN, TRG4BN を発生し、A/D コンバータを起動できます。詳細は「22.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN または TRG4BN が発生したとき、TRG4ABN が発生します。A/D コンバータ側で MTU の変換開始トリガ TRG4ABN が選択されていれば、A/D 変換が開始されます。

表 22.58 各割り込み要因と A/D 変換開始要求の対応

対象	A/D コンバータ起動要因	A/D 変換開始要求	
MTU0.TGRA と MTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRGAN	
MTU1.TGRA と MTU1.TCNT			
MTU2.TGRA と MTU2.TCNT			
MTU3.TGRA と MTU3.TCNT			
MTU4.TGRA と MTU4.TCNT			
MTU4.TCNT	相補 PWM モード時の MTU4.TCNT の谷		
MTU0.TGRA と MTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRG0AN	
MTU0.TGRB と MTU0.TCNT		TRG0BN	
MTU0.TGRE と MTU0.TCNT	コンペアマッチ	TRG0EN	
MTU0.TGRF と MTU0.TCNT		TRG0FN	
TADCORA と MTU4.TCNT		TRG4AN	
TADCORB と MTU4.TCNT		TRG4BN	
TADCORA と MTU4.TCNT または TADCORB と MTU4.TCNT			TRG4ABN

22.5 動作タイミング

22.5.1 入出力タイミング

(1) TCNT カウンタのカウンタタイミング

内部クロック動作の場合の TGI 割り込みのカウンタタイミングを図 22.84、図 22.85 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT カウンタのカウンタタイミングを図 22.86 に、外部クロック動作（位相計数モード）の場合の TCNT カウンタのカウンタタイミングを図 22.87 に示します。

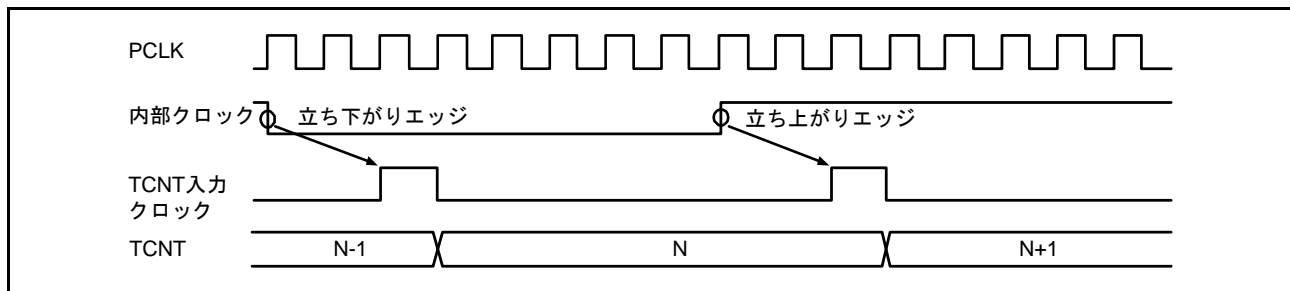


図 22.84 内部クロック動作時のカウンタタイミング (MTU0 ~ MTU4)

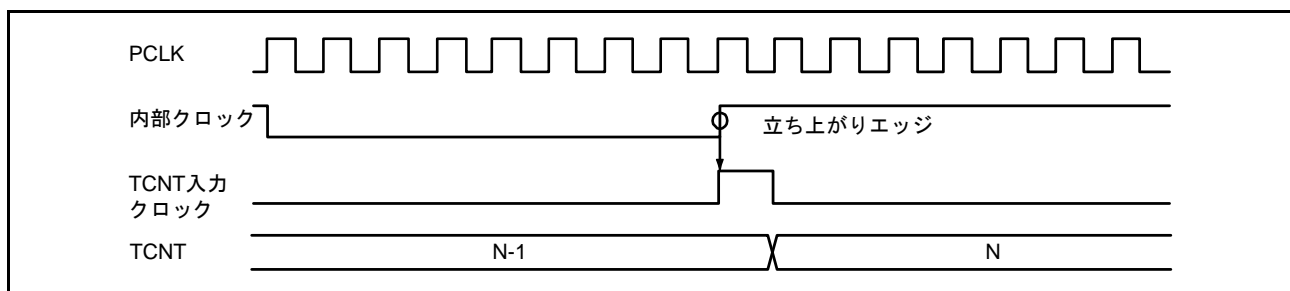


図 22.85 内部クロック動作時のカウンタタイミング (MTU5)

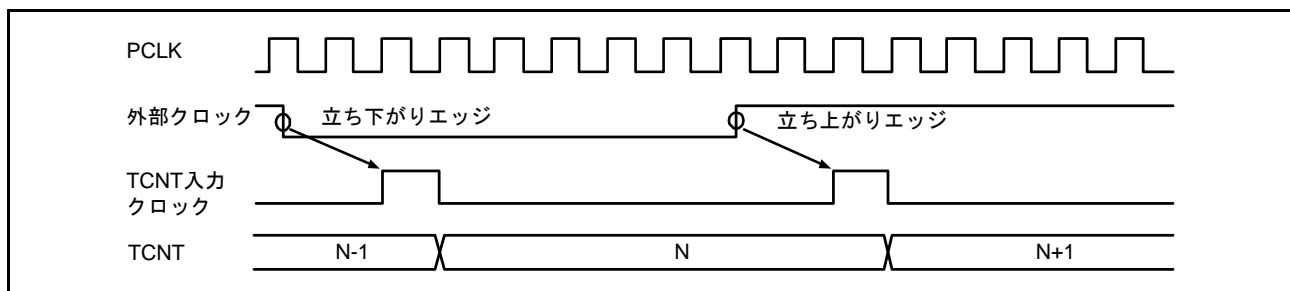


図 22.86 外部クロック動作時のカウンタタイミング (MTU0 ~ MTU4)

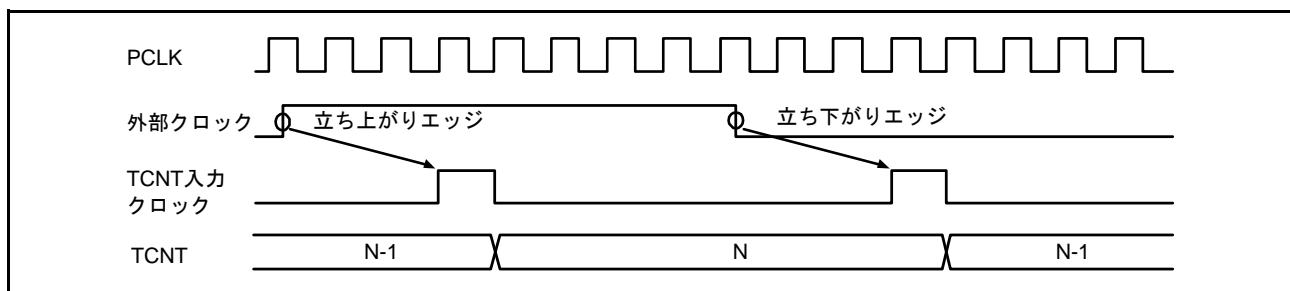


図 22.87 外部クロック動作時のカウンタタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT カウンタと TGR レジスタが一致した最後のステート（TCNT カウンタが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR レジスタで設定した出力値がアウトプットコンペア出力端子（MTIOC 端子）に出力されます。TCNT カウンタと TGR レジスタが一致した後、TCNT カウンタ入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 22.88 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 22.89 に示します。

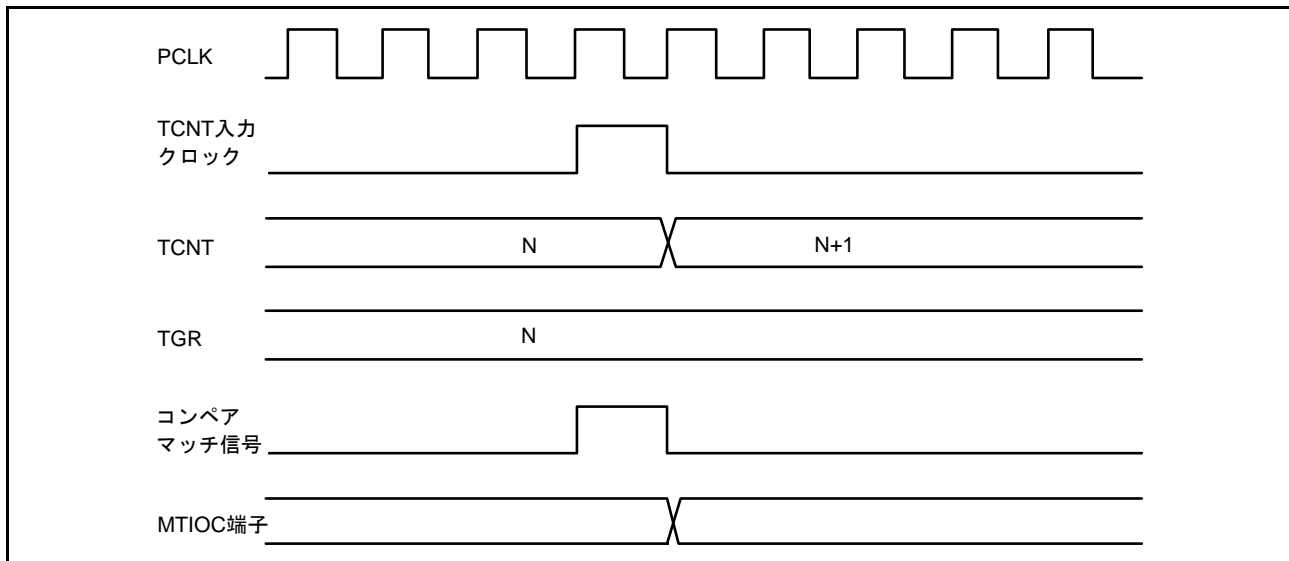


図 22.88 アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）

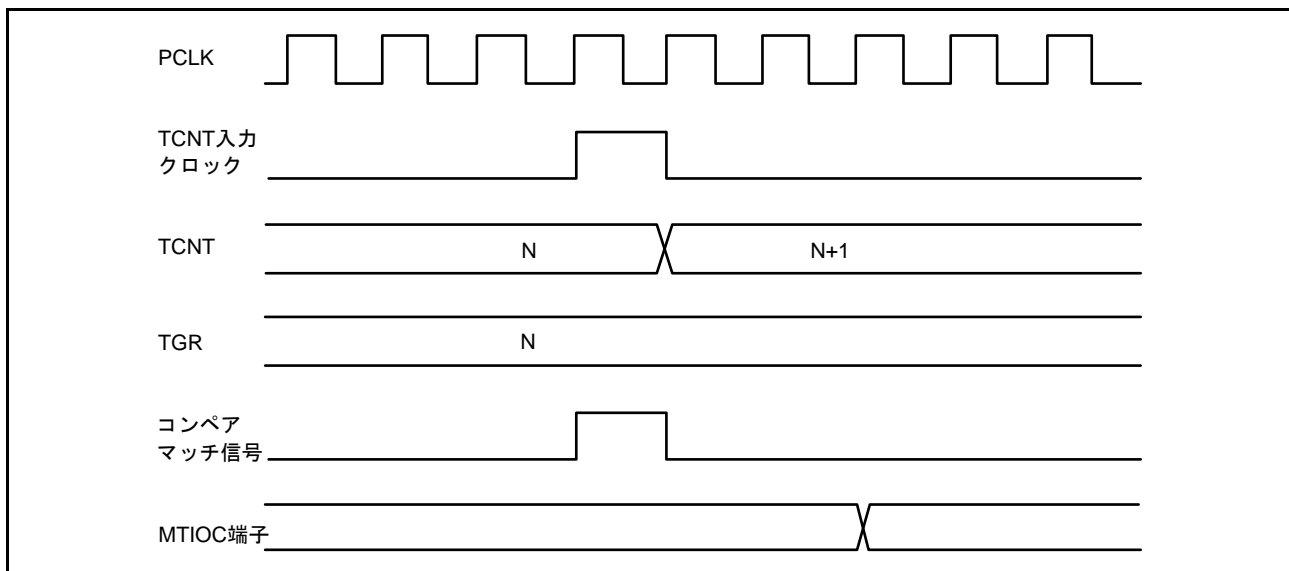


図 22.89 アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 22.90 に示します。

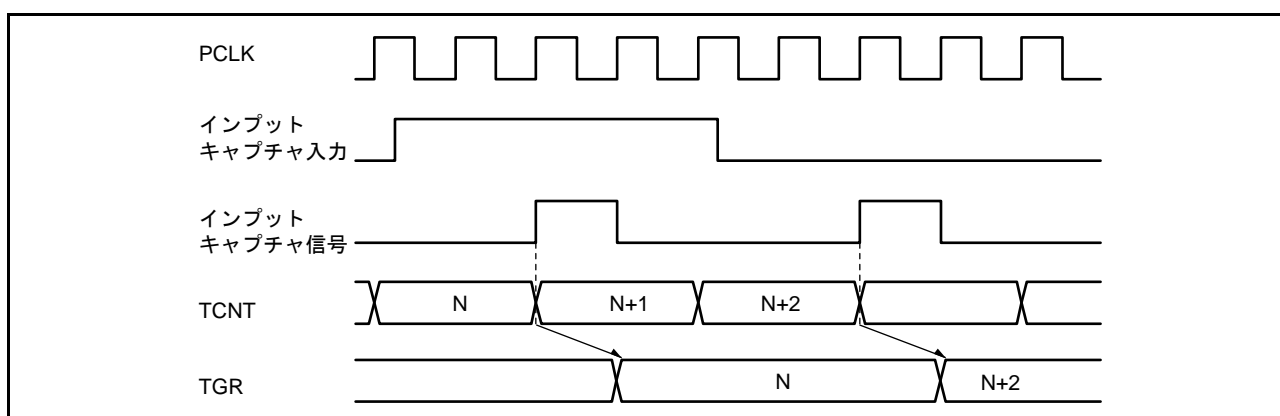


図 22.90 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インพุットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 22.91、図 22.92 に示します。

インพุットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 22.93 に示します。

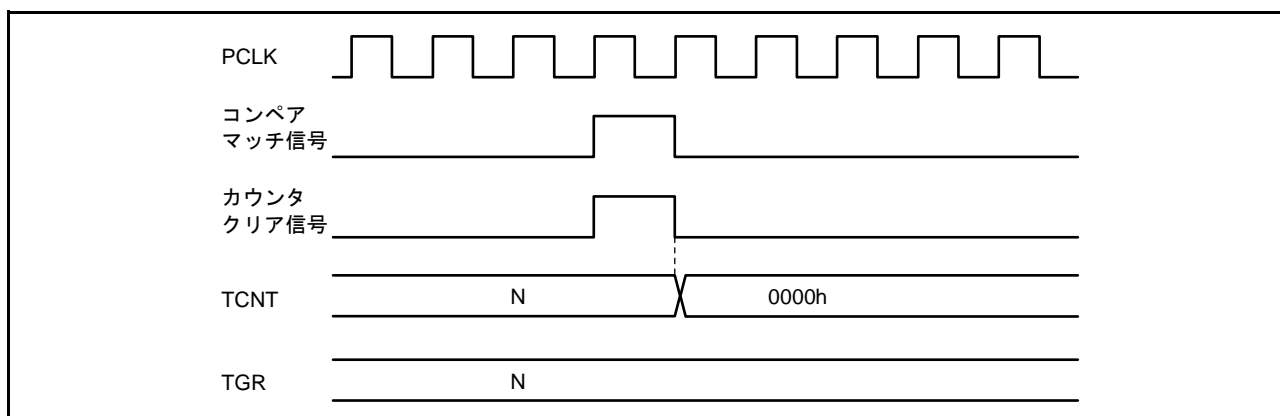


図 22.91 カウンタクリアタイミング (コンペアマッチ) (MTU0 ~ MTU4)

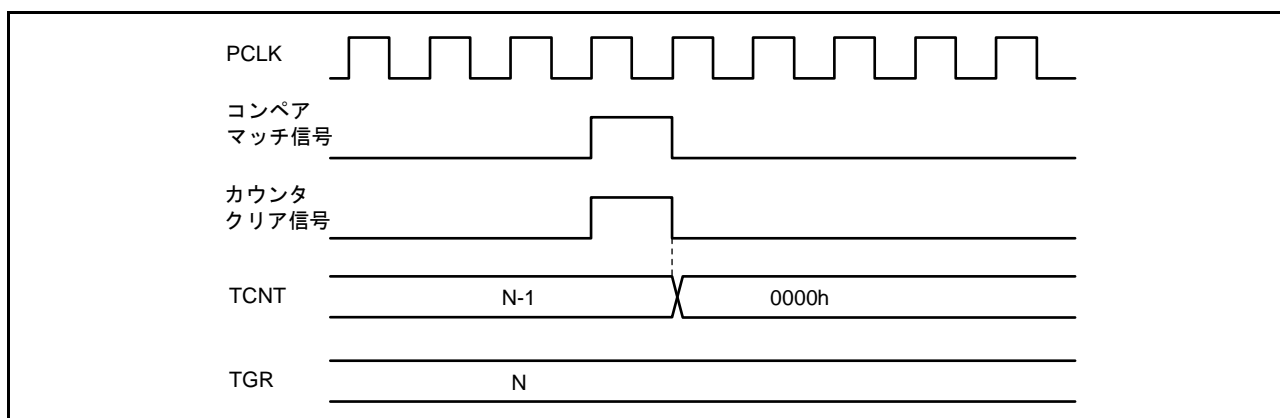


図 22.92 カウンタクリアタイミング (コンペアマッチ) (MTU5)

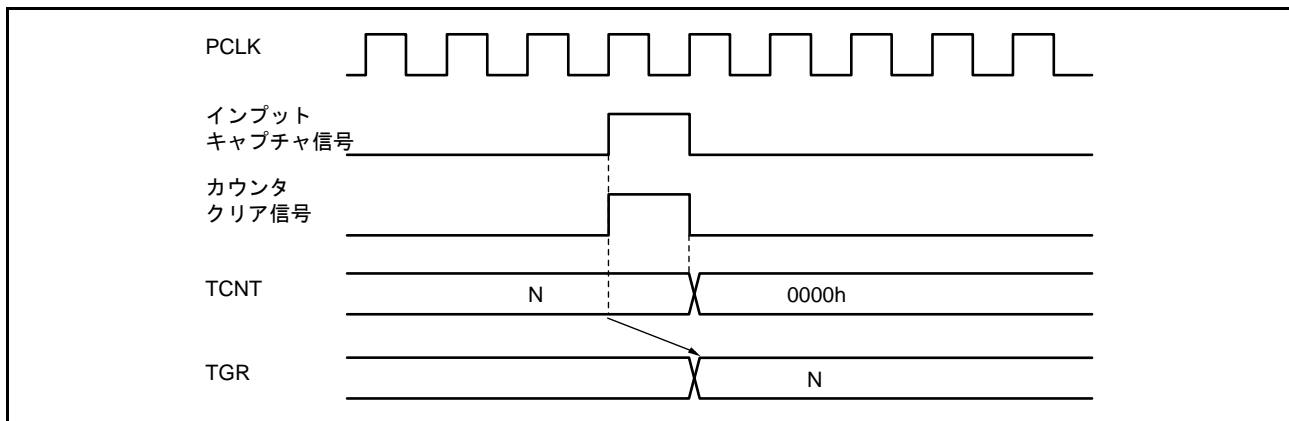


図 22.93 カウンタクリアタイミング (インプットキャプチャ) (MTU0 ~ MTU5)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 22.94 ~ 図 22.96 に示します。

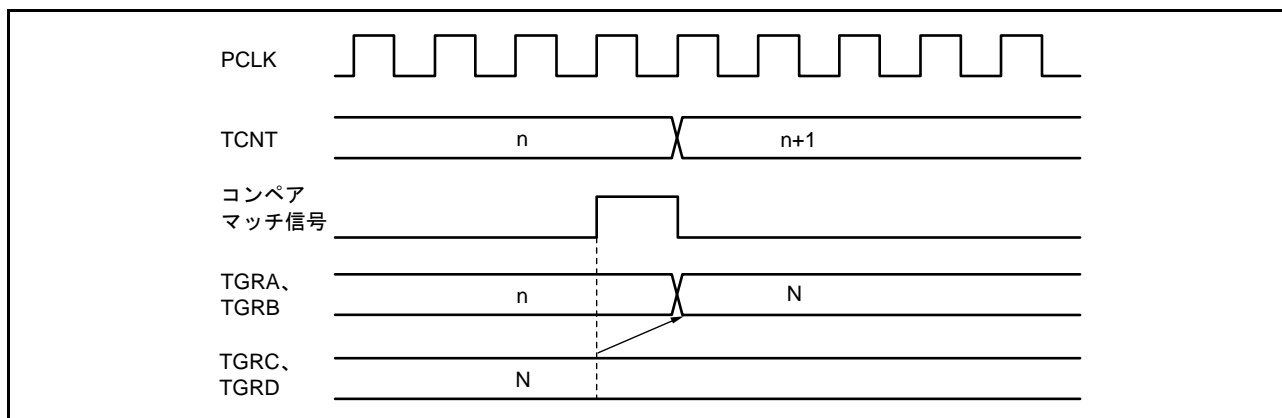


図 22.94 バッファ動作タイミング (コンペアマッチ)

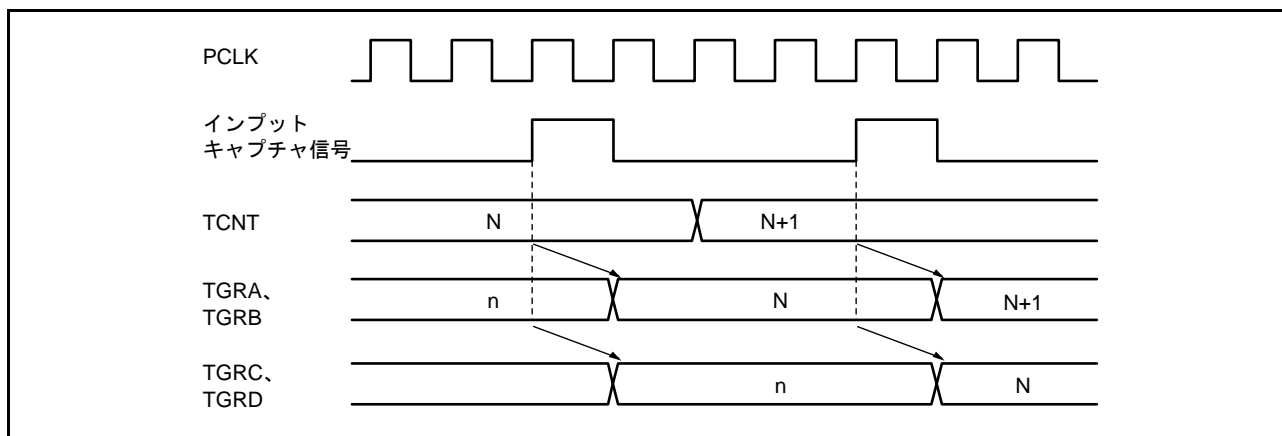


図 22.95 バッファ動作タイミング (インพุットキャプチャ)

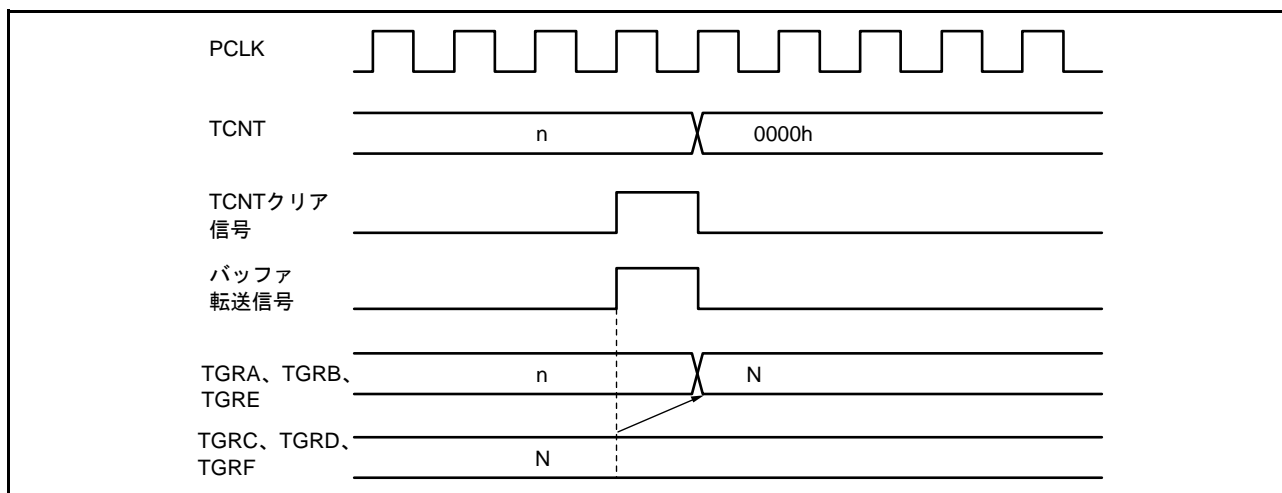


図 22.96 バッファ動作タイミング (TCNT カウンタクリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 22.97 ~ 図 22.99 に示します。

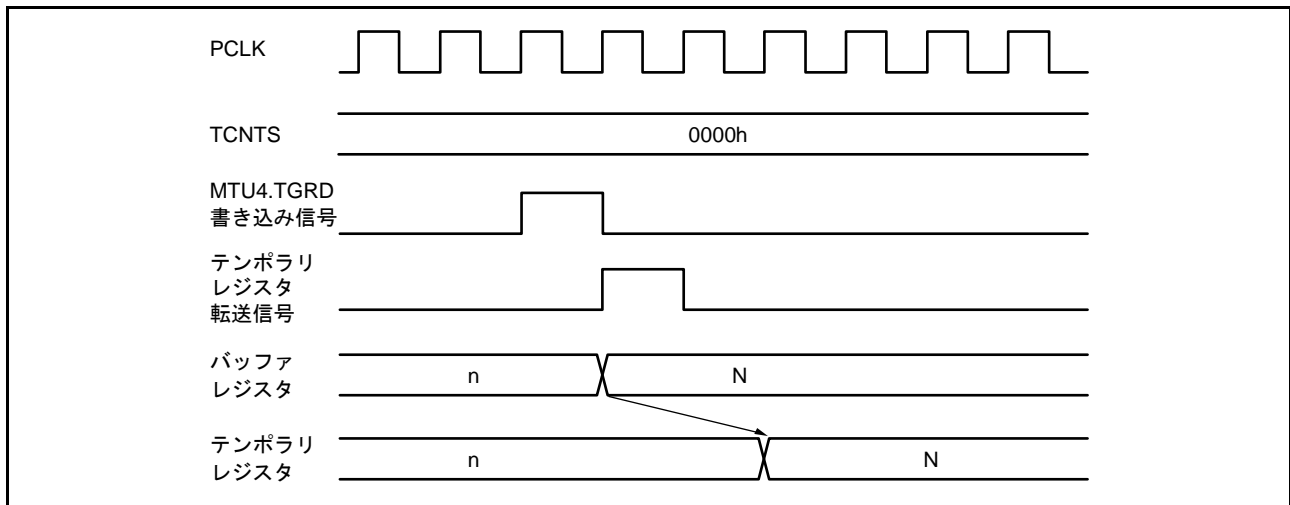


図 22.97 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS カウンタ停止中)

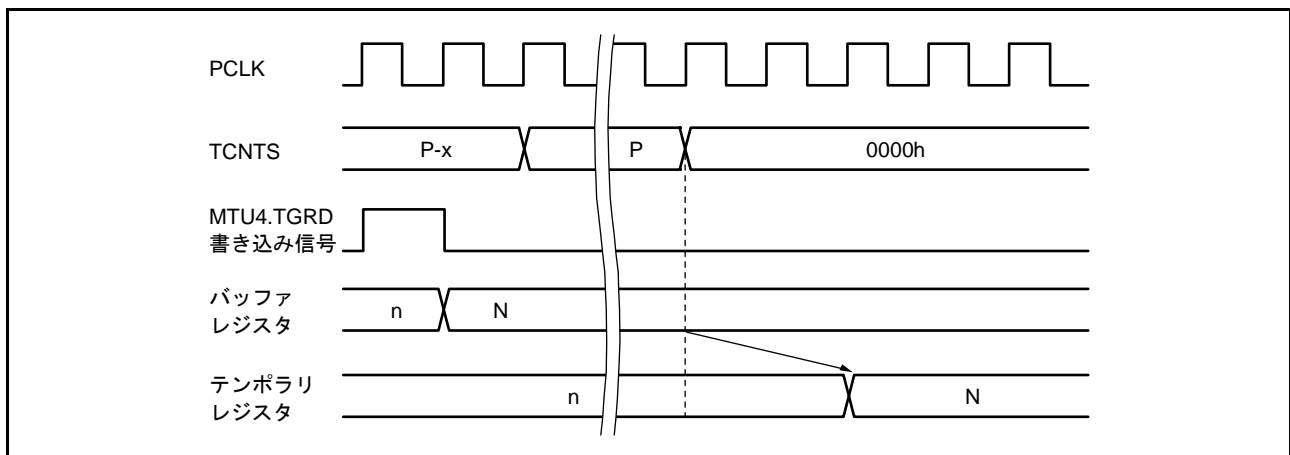


図 22.98 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS カウンタ動作中)

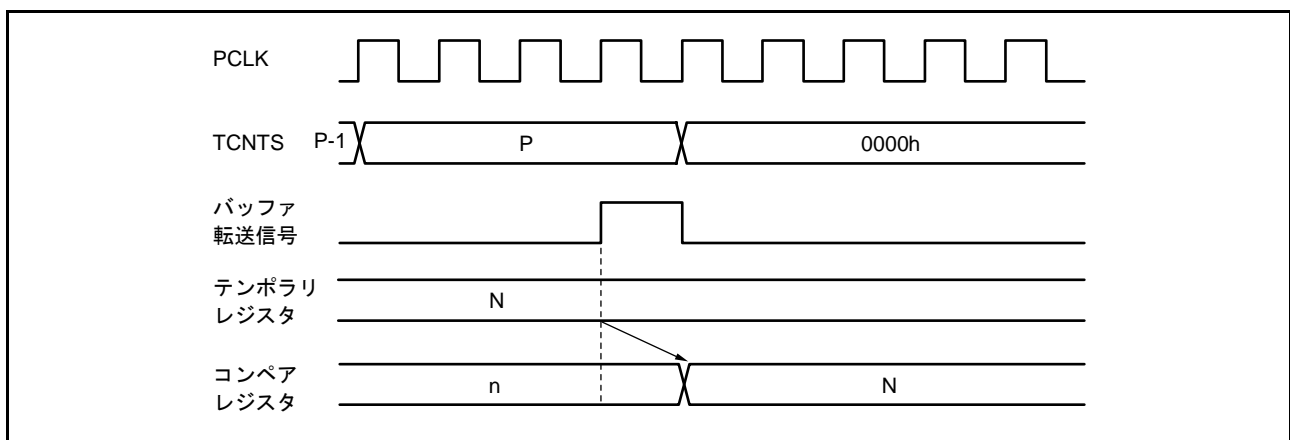


図 22.99 テンポラリレジスタからコンペアレジスタへの転送タイミング

22.5.2 割り込み信号タイミング

(1) コンペアマッチ時の TGI 割り込みタイミング

コンペアマッチの発生による TGI 割り込み要求信号のタイミングを図 22.100、図 22.101 に示します。

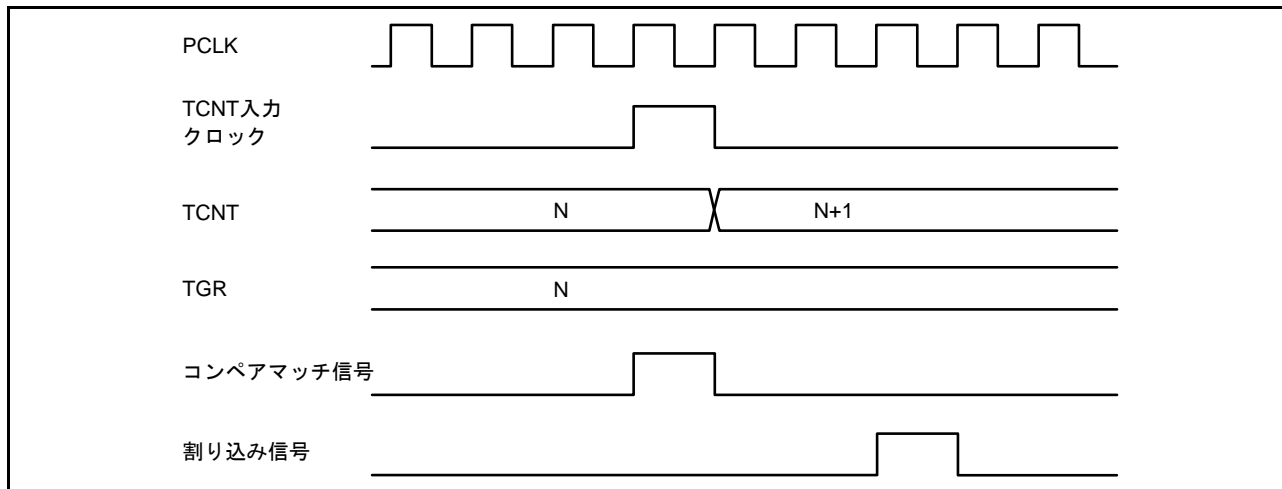
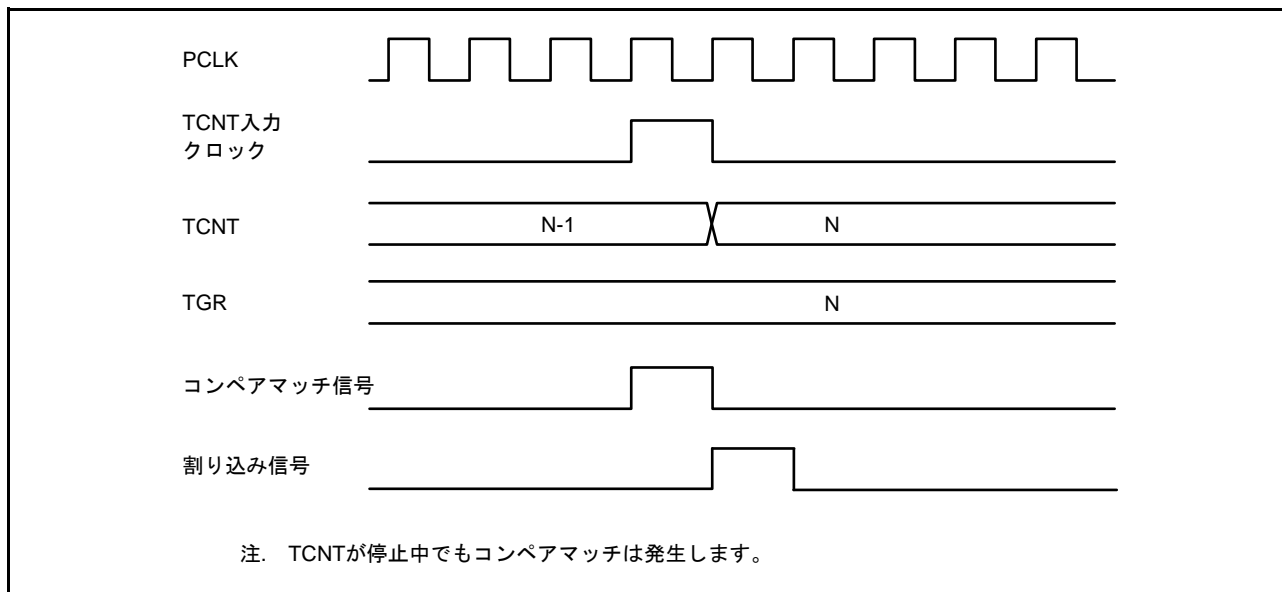


図 22.100 TGI 割り込みタイミング (コンペアマッチ) (MTU0 ~ MTU4)



注. TCNTが停止中でもコンペアマッチは発生します。

図 22.101 TGI 割り込みタイミング (コンペアマッチ) (MTU5)

(2) インพุットキャプチャ時の TGI 割り込みタイミング

インพุットキャプチャの発生による TGI 割り込み要求信号のタイミングを図 22.102、図 22.103 に示します。

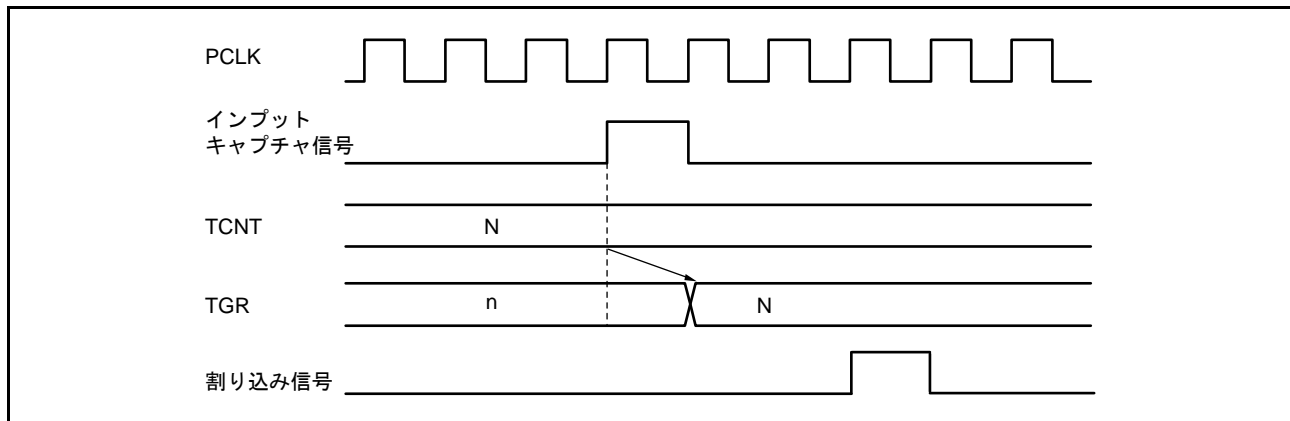


図 22.102 TGI 割り込みタイミング (インพุットキャプチャ) (MTU0 ~ MTU4)

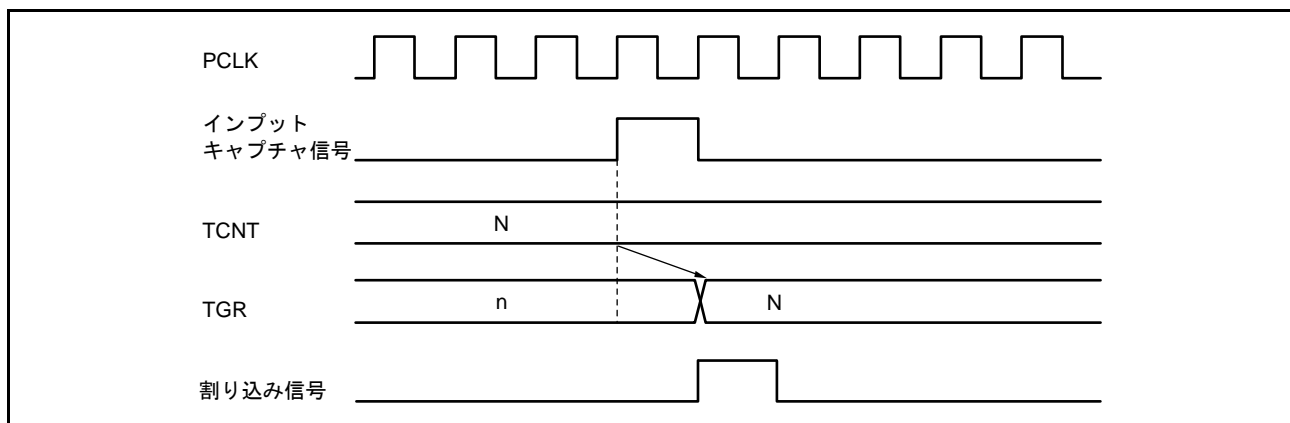


図 22.103 TGI 割り込みタイミング (インพุットキャプチャ) (MTU5)

(3) TCIV/TCIU 割り込みタイミング

オーバーフローの発生による TCIV 割り込み要求信号のタイミングを図 22.104 に示します。
アンダフローの発生による TCIU 割り込み要求信号のタイミングを図 22.105 に示します。

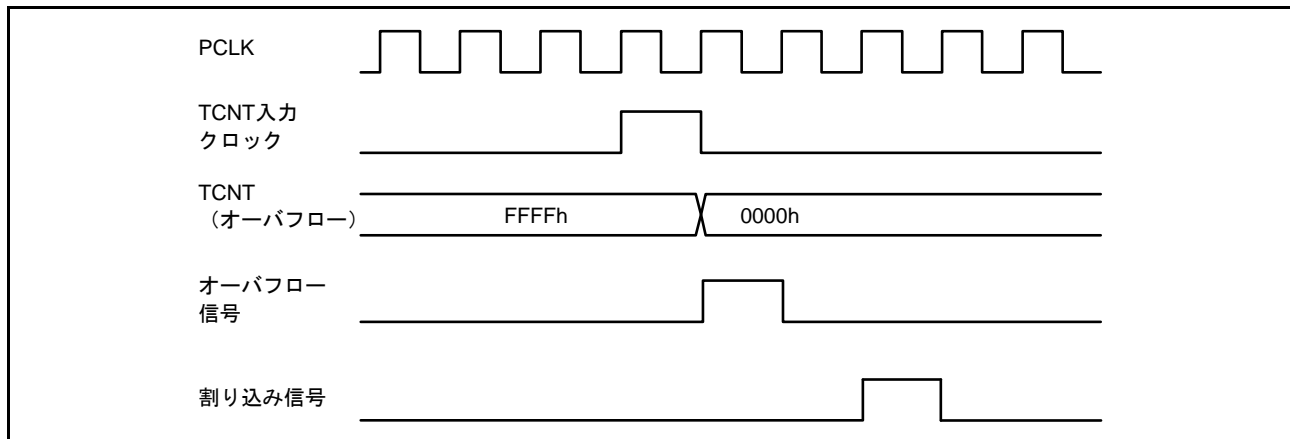


図 22.104 TCIV 割り込みタイミング

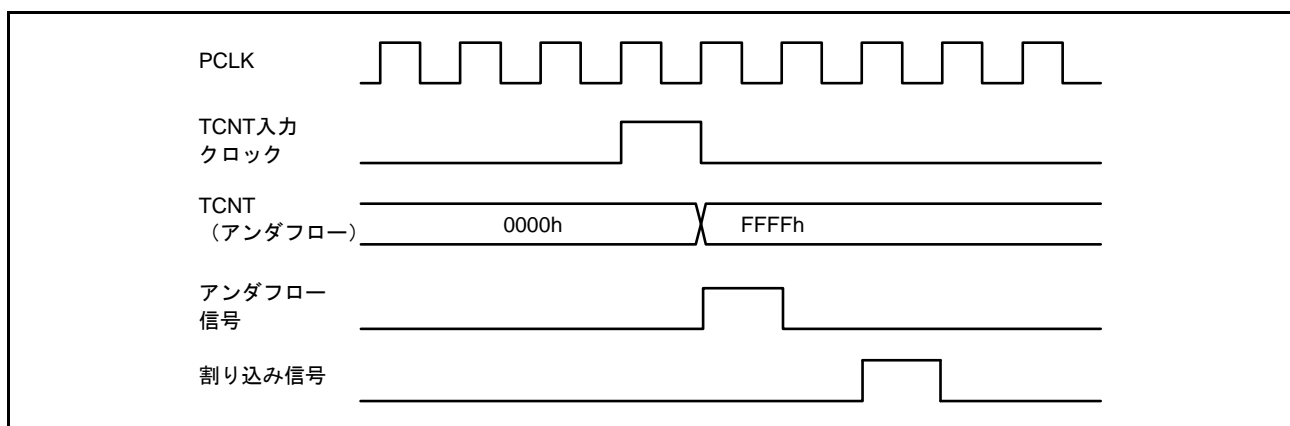


図 22.105 TCIU 割り込みタイミング

22.6 使用上の注意事項

22.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、MTUの動作禁止/許可を設定することが可能です。初期値では、MTUの動作は停止します。モジュールクロックストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

22.6.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は1.5PCLKクロック以上、両エッジの場合は2.5PCLKクロック以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入力クロックの位相差およびオーバーラップはそれぞれ1.5PCLKクロック以上、パルス幅は2.5PCLKクロック以上必要です。位相計数モードの入力クロックの条件を図22.106に示します。

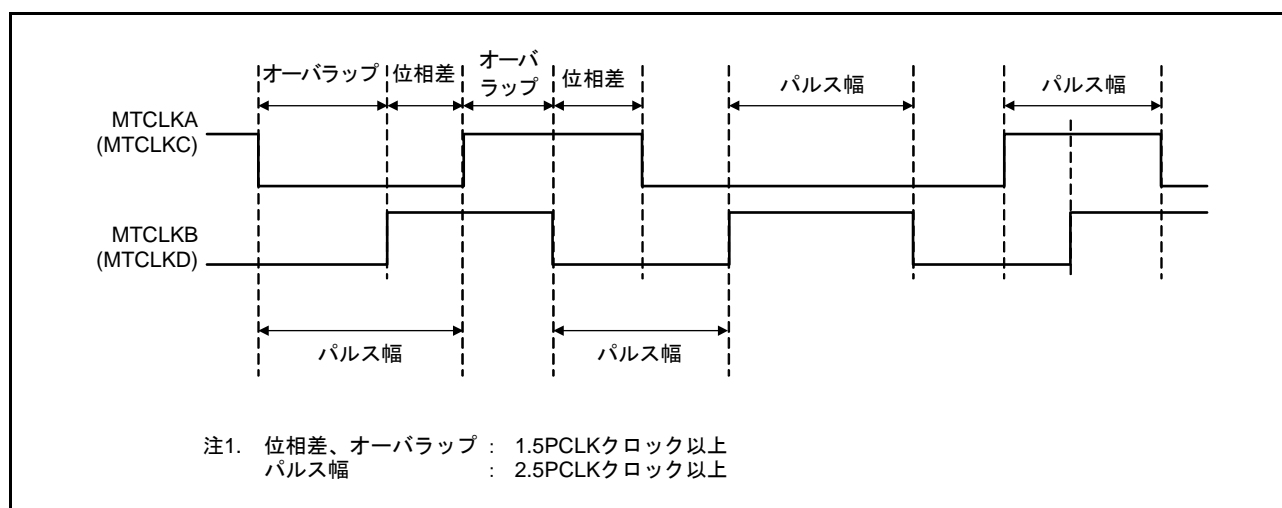


図 22.106 位相計数モード時の位相差、オーバーラップ、およびパルス幅

22.6.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT カウンタは TGR レジスタの値と一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式ようになります。

- MTU0 ~ 4 の場合

$$f = \frac{\text{CNTCLK}}{(N+1)}$$

- MTU5 の場合

$$f = \frac{\text{CNTCLK}}{N}$$

f : カウンタ周波数

CNTCLK : TCR.TPSC[2:0] ビットで設定したカウンタクロックの周波数

N : TGR レジスタの設定値

22.6.4 TCNT カウンタの書き込みとクリアの競合

TCNT カウンタの書き込みサイクル中で、カウンタクリア信号が発生すると、TCNT カウンタへの書き込みは行われず、TCNT カウンタのクリアが優先されます。

このタイミングを図 22.107 に示します。

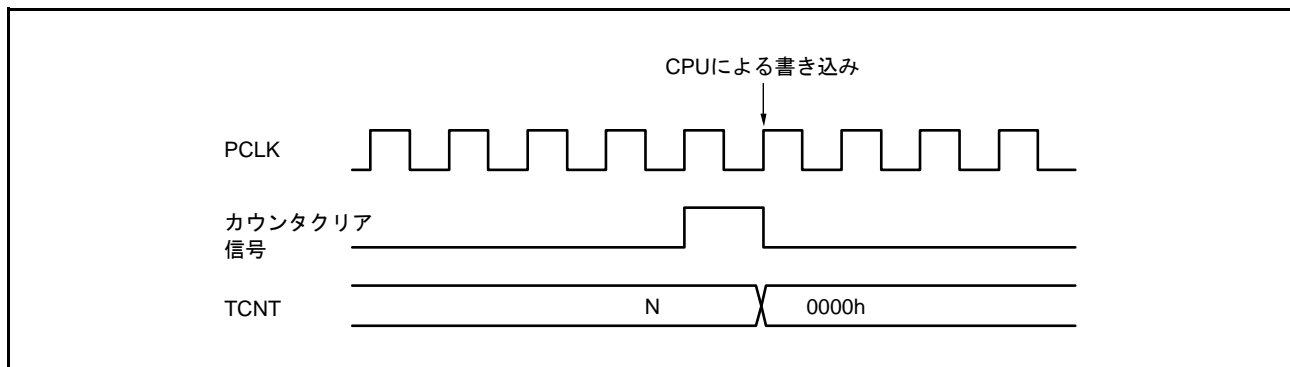


図 22.107 TCNT カウンタの書き込みとカウンタクリアの競合

22.6.5 TCNT カウンタの書き込みとカウントアップの競合

TCNT カウンタの書き込みサイクル中にカウントアップが発生しても、カウントアップされず、TCNT カウンタへの書き込みが優先されます。

このタイミングを図 22.108 に示します。

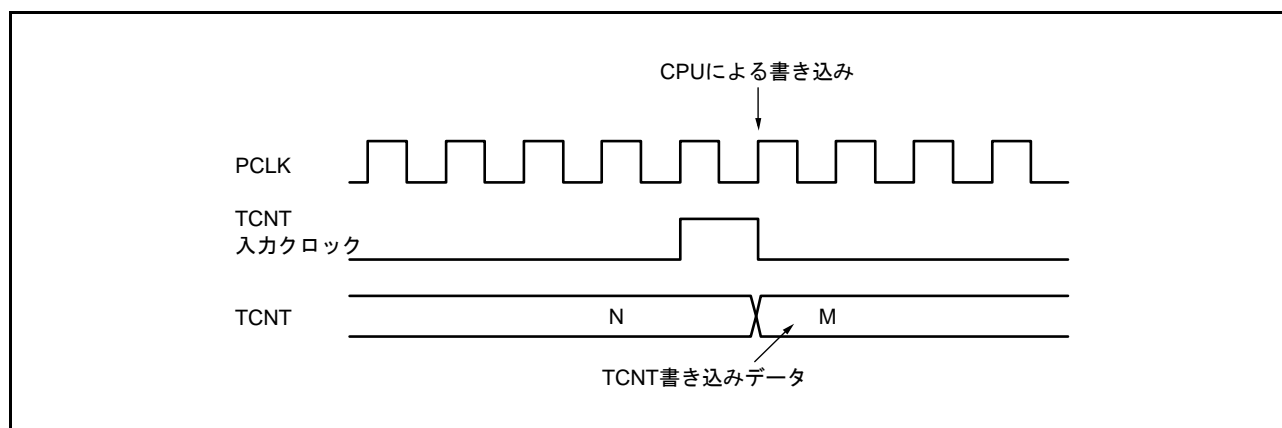


図 22.108 TCNT カウンタの書き込みとカウントアップの競合

22.6.6 TGR レジスタの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生した場合、TGR レジスタの書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 22.109 に示します。

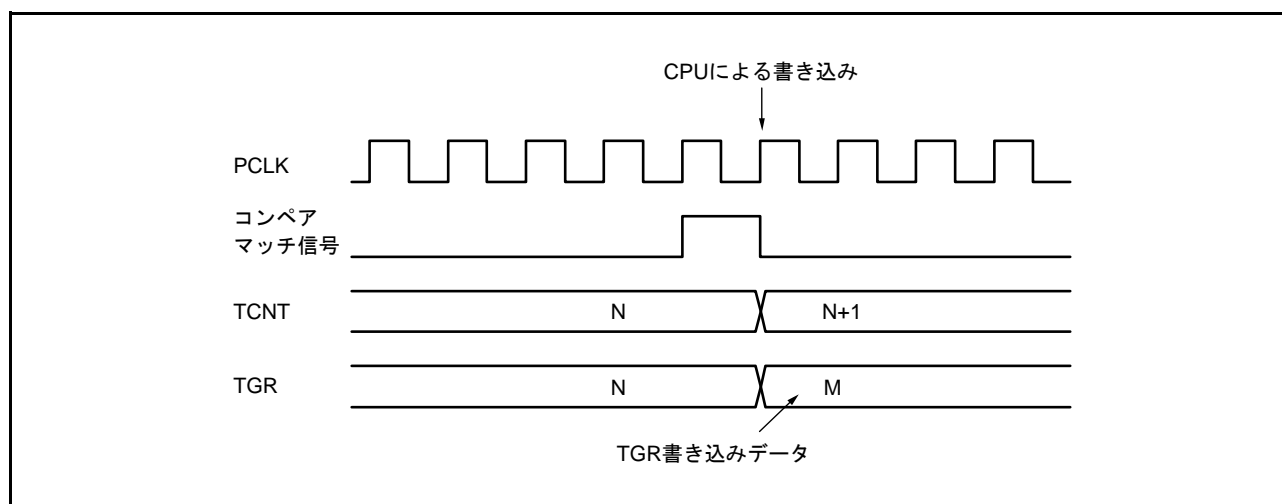


図 22.109 TGR レジスタの書き込みとコンペアマッチの競合

22.6.7 バッファレジスタの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 22.110 に示します。

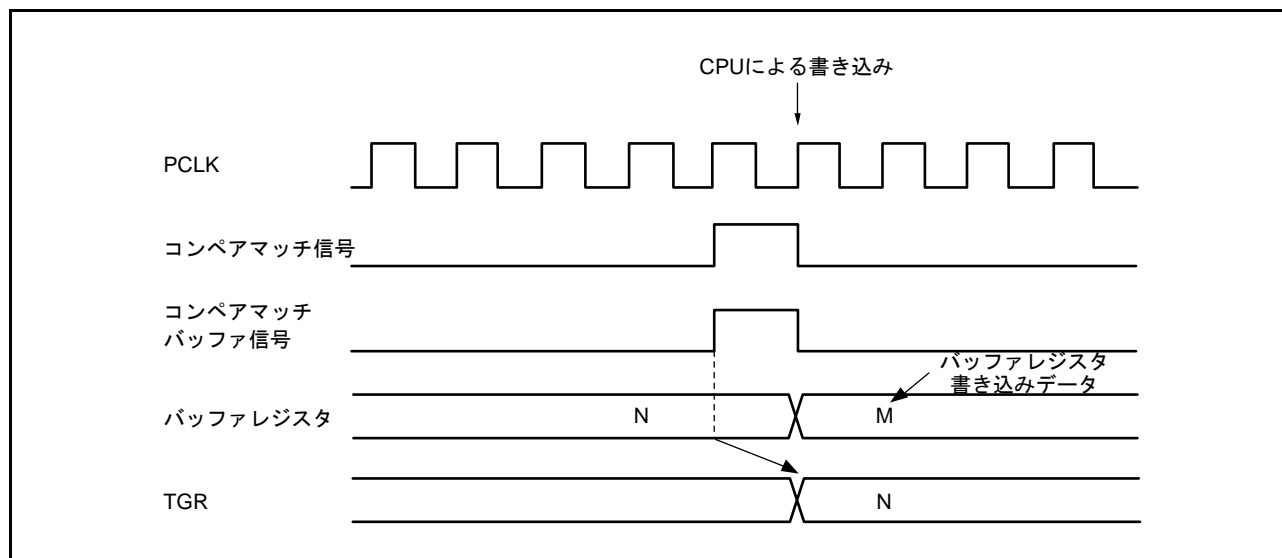


図 22.110 バッファレジスタの書き込みとコンペアマッチの競合

22.6.8 バッファレジスタの書き込みと TCNT カウンタクリアの競合

TBTM レジスタでバッファ転送タイミングを TCNT カウンタクリア時に設定した場合、TGR レジスタの書き込みサイクル中に TCNT カウンタクリアが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 22.111 に示します。

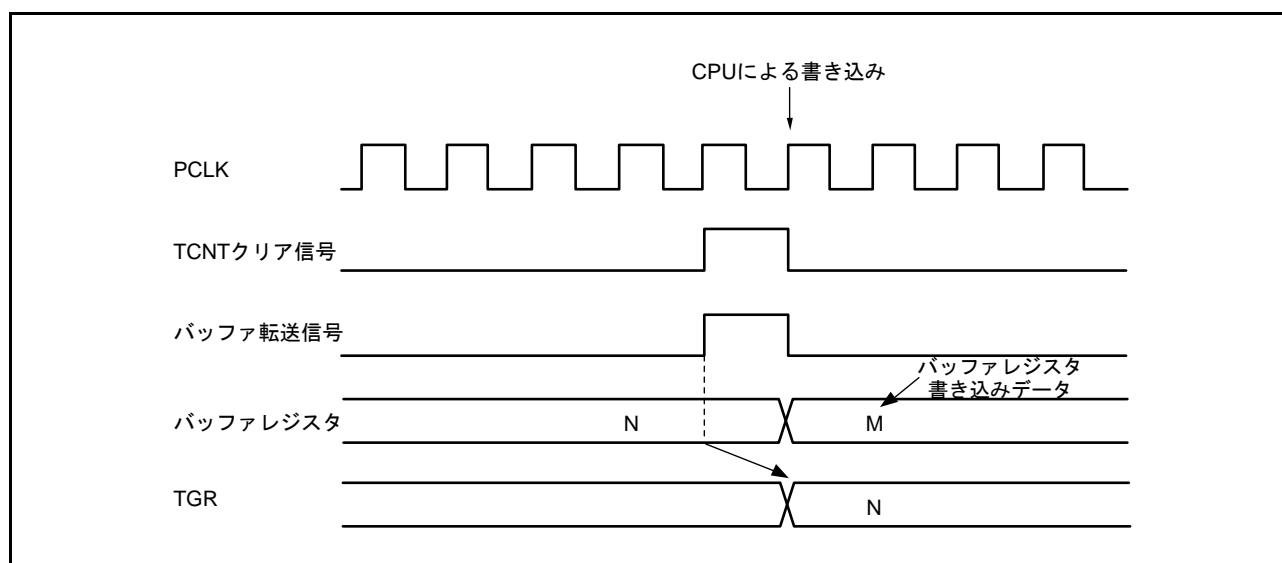


図 22.111 バッファレジスタの書き込みと TCNT カウンタクリアの競合

22.6.9 TGR レジスタの読み出しと入力キャプチャの競合

TGR レジスタの読み出しサイクル中に入力キャプチャ信号が発生すると、読み出しされるデータは、入力キャプチャ転送前のデータとなります。

このタイミングを図 22.112 に示します。

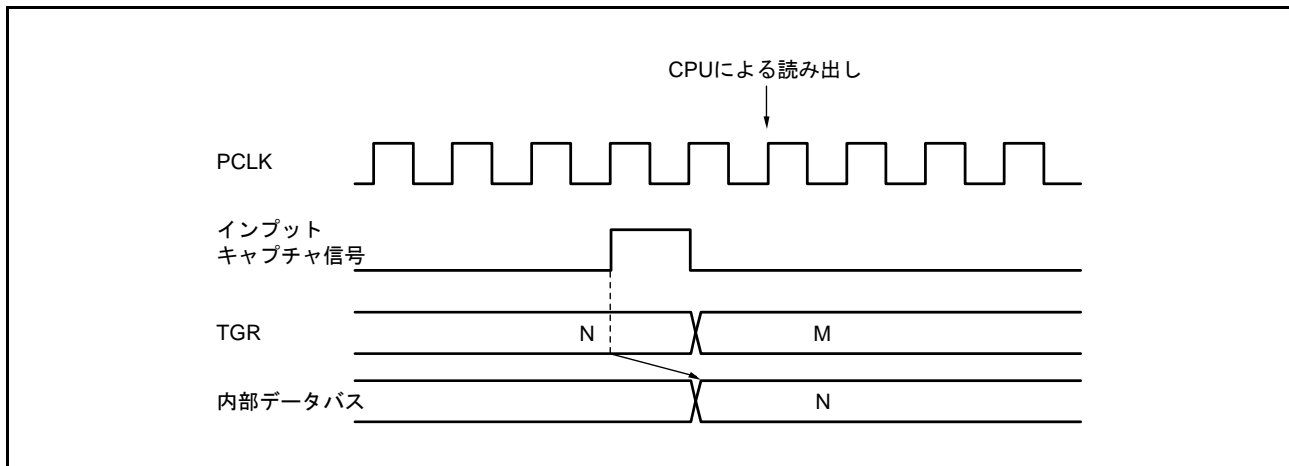


図 22.112 TGR レジスタの読み出しと入力キャプチャの競合 (MTU0 ~ MTU5)

22.6.10 TGR レジスタの書き込みと入力キャプチャの競合

TGR レジスタの書き込みサイクル中に入力キャプチャ信号が発生すると、MTU0 ~ MTU4 では TGR レジスタへの書き込みは行われず、入力キャプチャが優先され、MTU5 では TGR レジスタへの書き込みが実行され、入力キャプチャ信号も発生します。

このタイミングを図 22.113、図 22.114 に示します。

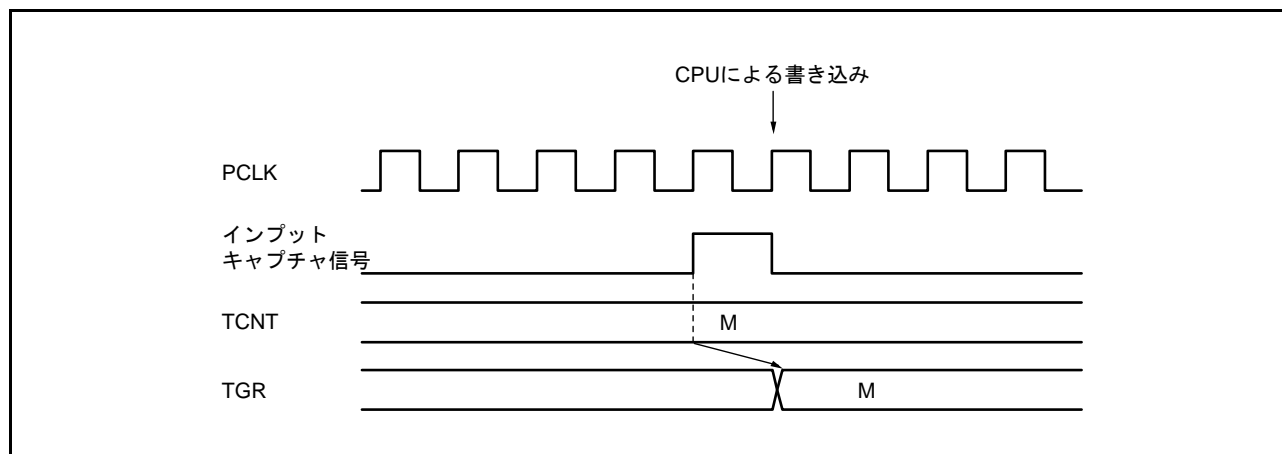


図 22.113 TGR レジスタの書き込みと入力キャプチャの競合 (MTU0 ~ MTU4)

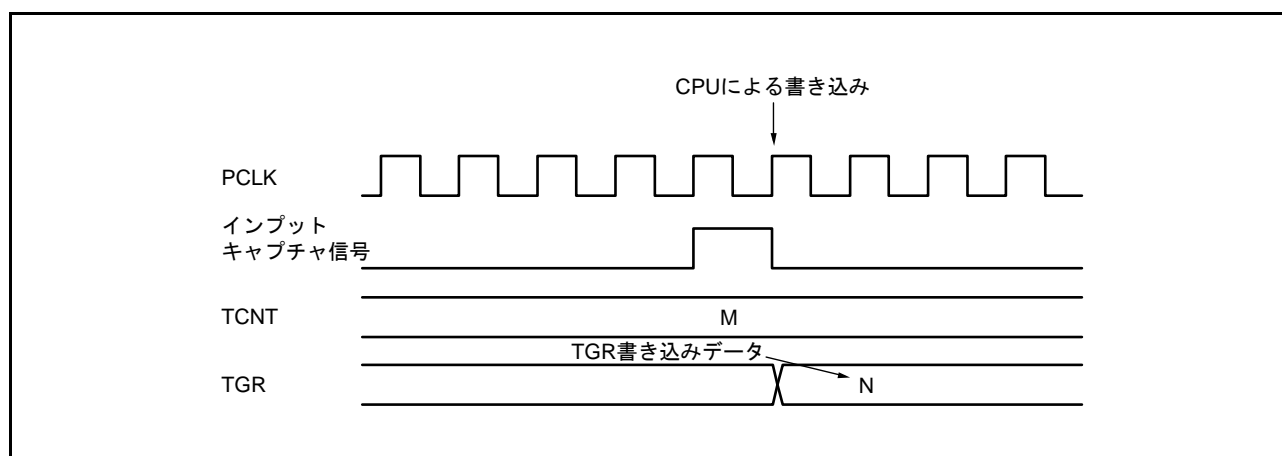


図 22.114 TGR レジスタの書き込みと入力キャプチャの競合 (MTU5)

22.6.11 バッファレジスタの書き込みと入力キャプチャの競合

バッファの書き込みサイクル中に入力キャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 22.115 に示します。

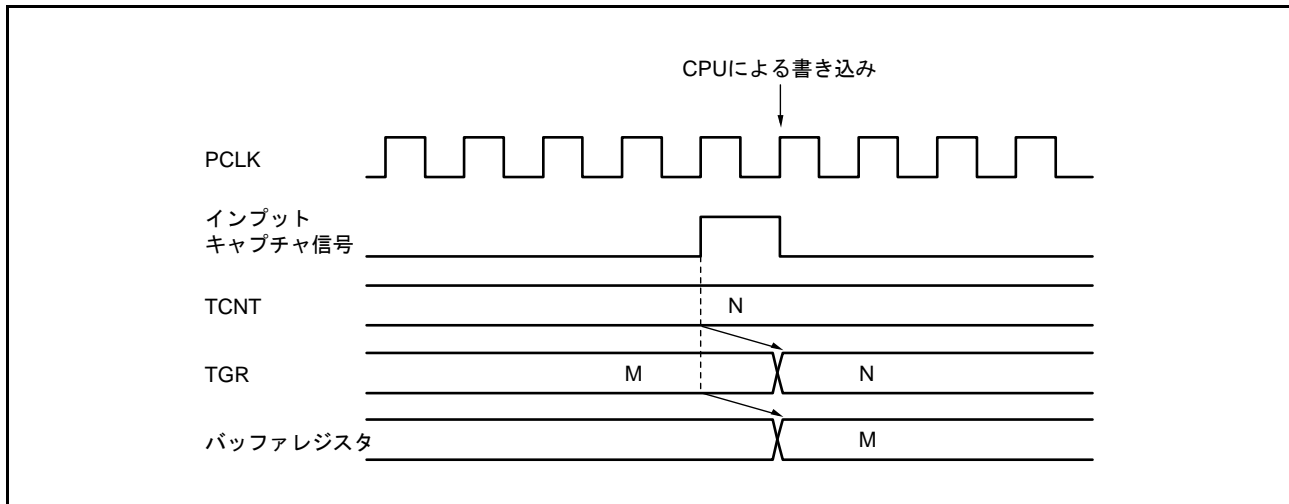


図 22.115 バッファレジスタの書き込みと入力キャプチャの競合

22.6.12 カスケード接続における MTU2.TCNT カウンタの書き込みとオーバフロー/アンダフローの競合

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、MTU1.TCNT カウンタがカウントする瞬間 (MTU2.TCNT カウンタがオーバフロー/アンダフローする瞬間) と MTU2.TCNT カウンタの書き込みが競合すると、MTU2.TCNT カウンタへの書き込みが行われ、MTU1.TCNT カウンタのカウント信号が禁止されます。このとき、MTU1.TGRA レジスタがコンペアマッチレジスタとして動作し MTU1.TCNT カウンタの値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0 の入力キャプチャ要因に MTU1.TCNT カウントクロックを選択した場合には、MTU0.TGRA ~ TGRD レジスタは入力キャプチャ動作します。さらに MTU1.TGRB レジスタの入力キャプチャ要因に MTU0.TGRC レジスタのコンペアマッチ/入力キャプチャを選択した場合には、MTU1.TGRB レジスタは入力キャプチャ動作します。

このタイミングを図 22.116 に示します。

また、カスケード接続動作で TCNT カウンタのクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

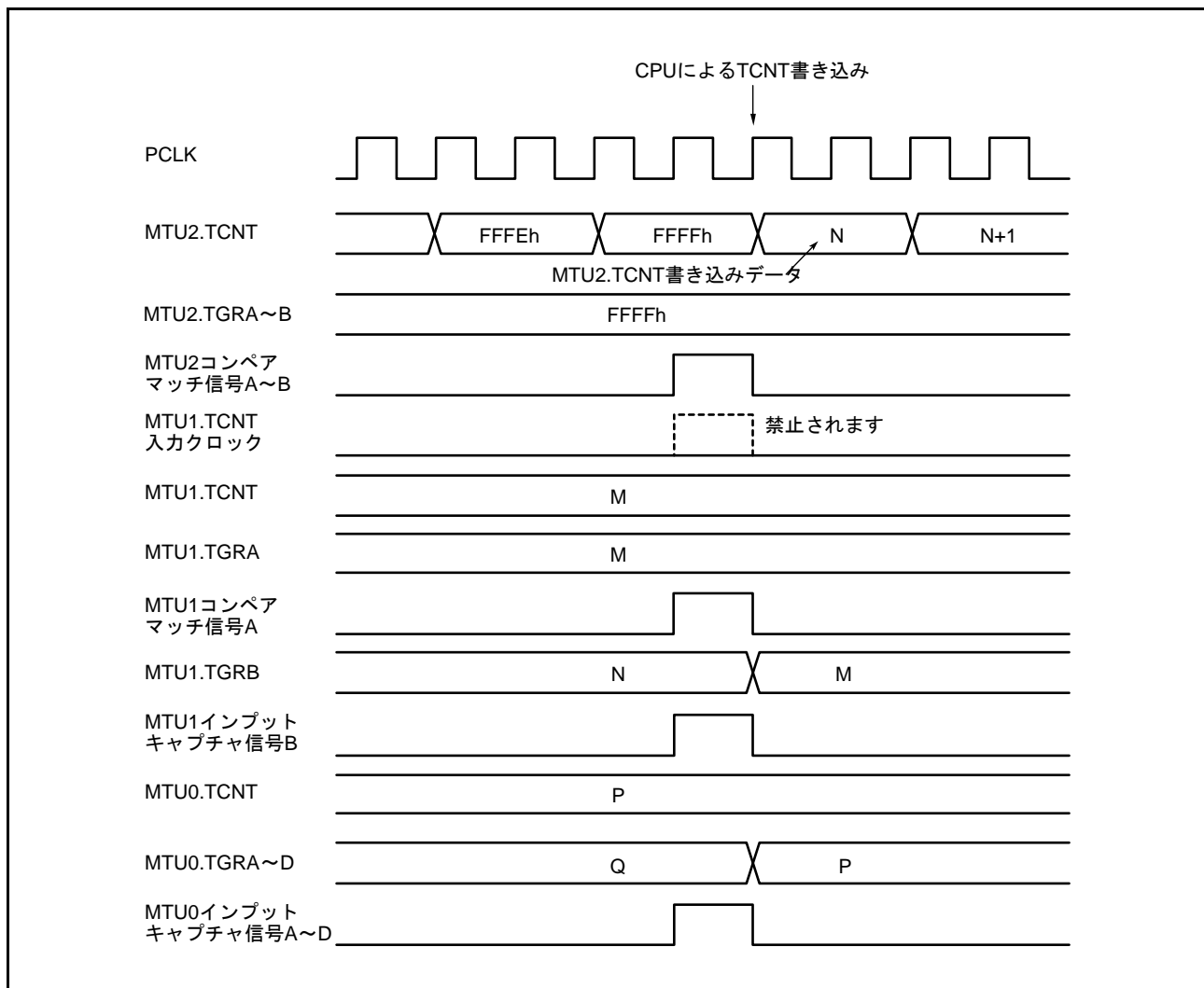


図 22.116 カスケード接続における MTU2.TCNT カウンタの書き込みとオーバフロー/アンダフローの競合

22.6.13 相補 PWM モードでのカウント動作停止時のカウンタ値

MTU3.TCNT, MTU4.TCNT カウンタが相補 PWM モードで動作している時にカウント動作を停止すると、MTU3.TCNT カウンタは TDDR レジスタの値、MTU4.TCNT カウンタは“0000h”になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 22.117 に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT, MTU4.TCNT カウンタにカウント初期値の設定を行ってください。

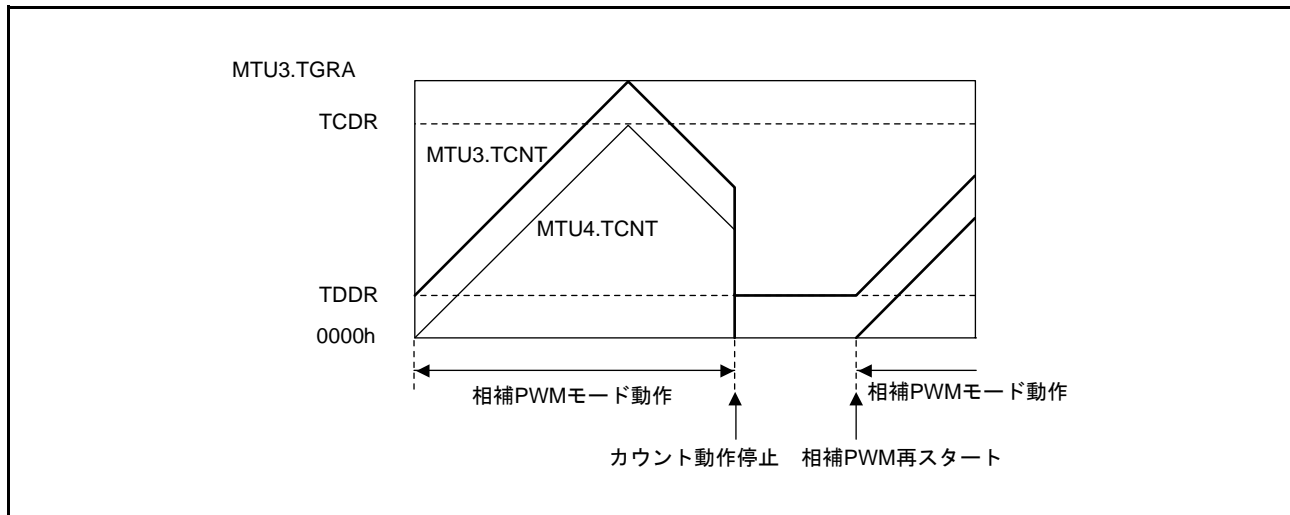


図 22.117 相補 PWM モード停止時のカウンタ値 (MTU3、MTU4 動作)

22.6.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (MTU3.TGRA)、タイマ周期データレジスタ (TCDR)、コンペアレジスタ (MTU3.TGRB、MTU4.TGRA、MTU4.TGRB) の書き替えは、バッファ動作で行ってください。また、MTU4.TMDR.BFA ビット、MTU4.TMDR.BFB ビットは“0”にしてください。

MTU4.TMDR.BFA ビットを“1”に設定すると MTIOC4C 端子の波形出力ができなくなります。同様に MTU4.TMDR.BFB ビットを“1”に設定すると MTIOC4D 端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および MTU4 のバッファ動作は、MTU3.TMDR.BFA ビット、MTU3.TMDR.BFB ビットの設定に従い動作します。MTU3.TMDR.BFA ビットを“1”にした場合、MTU3.TGRC レジスタは MTU3.TGRA レジスタのバッファレジスタとして機能します。同時に MTU4.TGRC レジスタは MTU4.TGRA レジスタのバッファレジスタとして機能し、さらに TCBR レジスタは TCDR レジスタのバッファレジスタとして機能します。

22.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR.BFA ビット、MTU4.TMDR.BFB ビットを“0”に設定してください。MTU4.TMDR.BFA ビットを“1”に設定すると、MTIOC4C 端子の波形出力ができなくなります。同様に MTU4.TMDR.BFB ビットを“1”に設定すると MTIOC4D 端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および MTU4 のバッファ動作は MTU3.TMDR.BFA ビット、MTU3.TMDR.BFB ビットの設定に従い動作します。たとえば、MTU3.TMDR.BFA ビットを“1”にした場合、MTU3.TGRC レジスタは MTU3.TGRA レジスタのバッファレジスタとして機能します。同時に MTU4.TGRC レジスタは MTU4.TGRA レジスタのバッファレジスタとして機能します。

MTU3.TGRC、MTU3.TGRD レジスタがバッファレジスタとして動作している場合、対応する TGIC、TGID 割り込み要求は発生しません。

MTU3.TMDR.BFA ビット、MTU3.TMDR.BFB ビットを“1”にし、MTU3.TMDR.BFA ビット、MTU3.TMDR.BFB ビットを“0”にした場合の MTU3.TGR、MTU4.TGR レジスタ、MTIOC3n、MTIOC4n の動作例を図 22.118 に示します。(n=A ~ D)

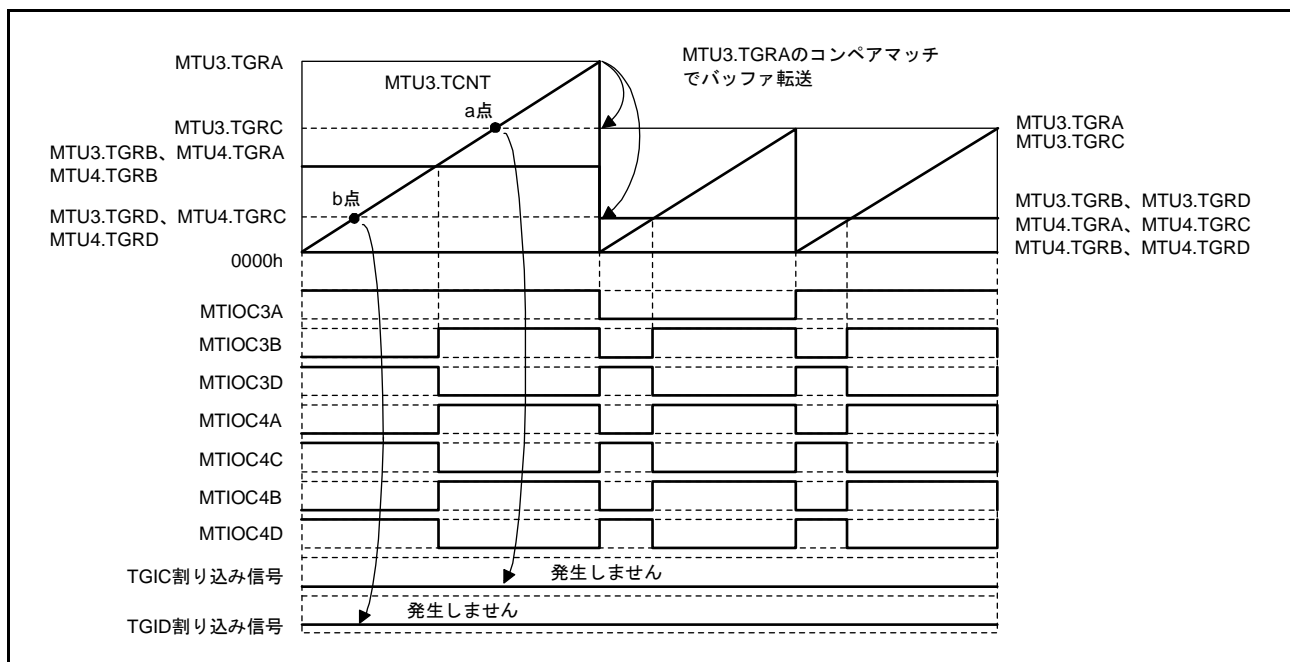


図 22.118 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

22.6.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR.CST3 ビットを“1”に設定すると、MTU3.TCNT カウンタと MTU4.TCNT カウンタのカウンタ動作が開始します。このとき、MTU4.TCNT カウンタのカウンタクロックソースとカウンタエッジは MTU3.TCR レジスタの設定に従います。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA レジスタの設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA レジスタのコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT カウンタがアップカウントし“FFFFh”になると、MTU3.TGRA レジスタとのコンペアマッチが発生し、MTU3.TCNT、MTU4.TCNT カウンタともにカウンタクリアされます。このとき、対応する TCIV 割り込み要求は発生しません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA レジスタの設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA レジスタのコンペアマッチを指定した場合の動作例を図 22.119 に示します。

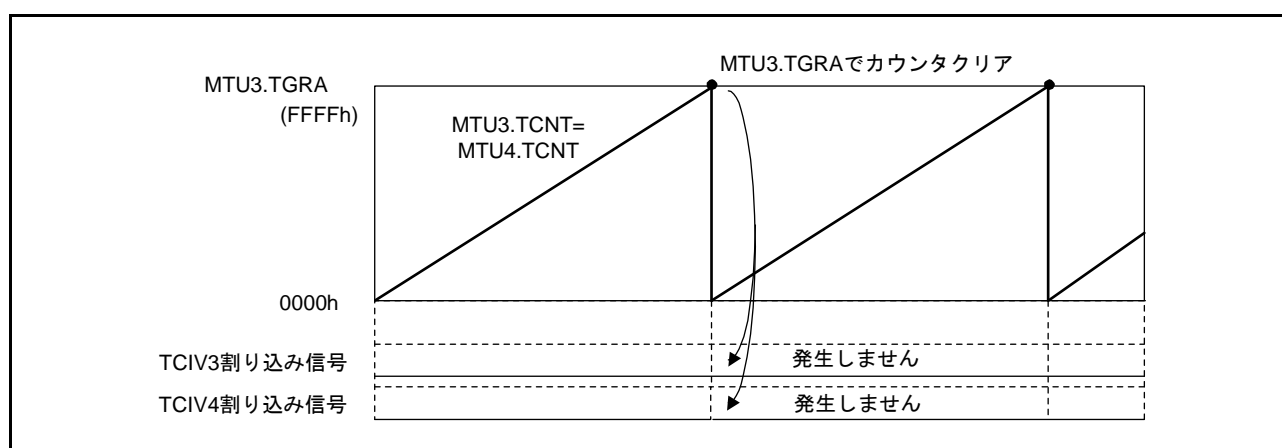


図 22.119 リセット同期 PWM モードのオーバーフローフラグ

22.6.17 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TCNT カウンタのクリアが優先されて、対応する TCIV 割り込みは発生しません。オーバフローとインプットキャプチャによるカウンタクリアが同時に発生すると、インプットキャプチャ割り込み信号が出力され、オーバフロー割り込み信号は出力されません。

TGR レジスタのコンペアマッチをクリア要因とし、TGR レジスタに“FFFFh”を設定した場合の動作タイミングを図 22.120 に示します。

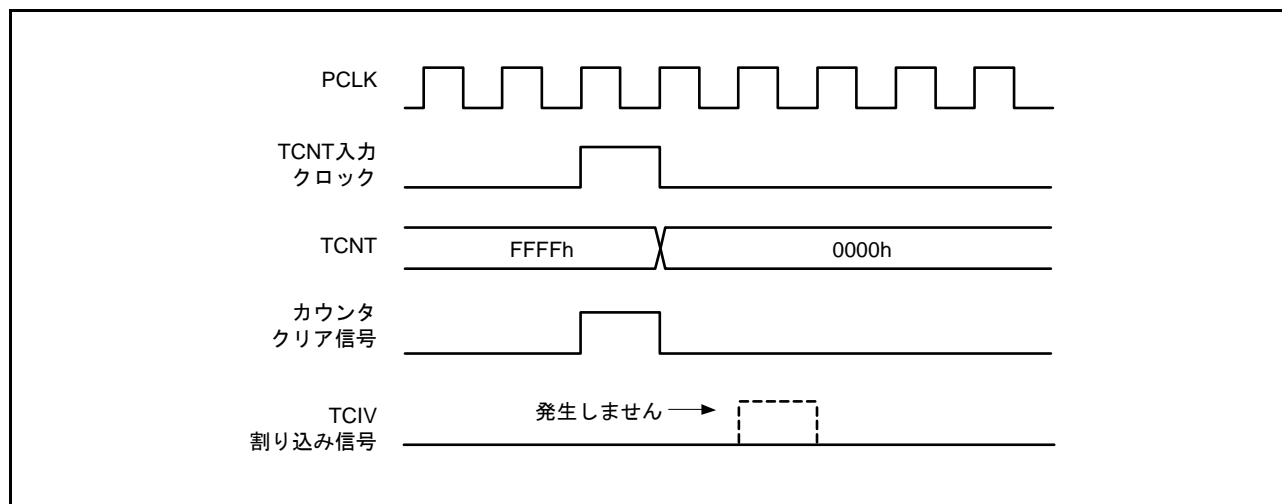


図 22.120 オーバフローとカウンタクリアの競合

22.6.18 TCNT カウンタの書き込みとオーバフロー/アンダフローの競合

TCNT カウンタの書き込みサイクルで、アップカウント/ダウンカウントが発生し、オーバフロー/アンダフローが発生しても、TCNT カウンタへの書き込みが優先されます。対応する割り込みは発生しません。

TCNT カウンタの書き込みとオーバフロー競合時の動作タイミングを図 22.121 に示します。

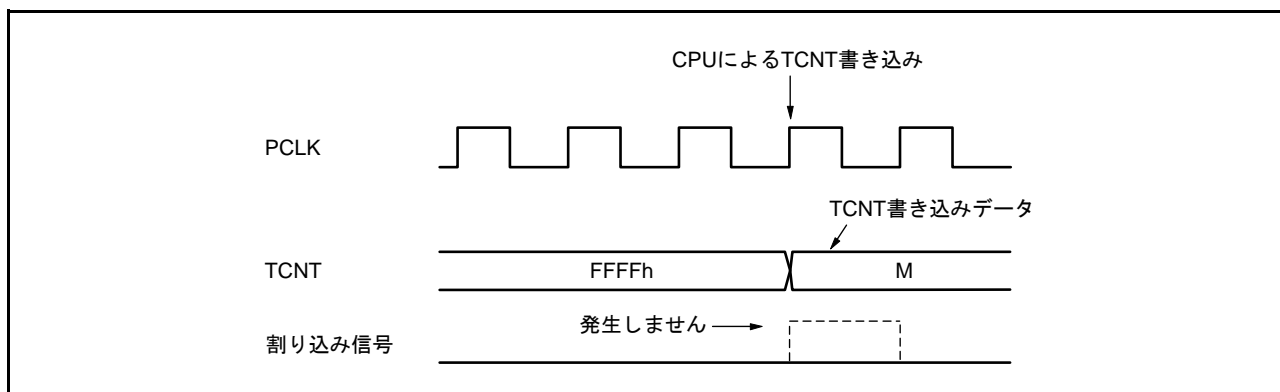


図 22.121 TCNT カウンタの書き込みとオーバフローの競合

22.6.19 ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

MTU3、MTU4 のノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合、出力端子 (MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D) を High の状態にしたままカウンタを止め、リセット同期 PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

ノーマルモードからリセット同期 PWM モードに遷移する場合には、MTU3.TIORH、MTU3.TIORL、MTU4.TIORH、MTU4.TIORL レジスタに 11h を書いて出力端子を Low に初期化した後、レジスタの初期値 “00h” を設定してからモード遷移を行ってください。

PWM モード 1 からリセット同期 PWM モードに遷移する場合には、いったんノーマルモードに遷移してから出力端子を Low へ初期化した後、レジスタの初期値 “00h” を設定してからリセット同期 PWM モードに遷移してください。

22.6.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

MTU3、MTU4 が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルは TOCR1.OLSP、OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIOCR レジスタは “00h” にしてください。相補 PWM モードで TDER.TDER ビットを “0” (デッドタイムを生成しない) に設定した場合の逆相の出力レベルは、TOCR1.OLSN ビットの設定によらず、TOCR1.OLSP ビットの設定による正相出力の反転レベルとなります。

22.6.21 モジュールストップ状態時の割り込み

割り込みが要求された状態でモジュールストップ状態になると、CPU の割り込み要因、または DTC/DMAC の起動要因のクリアができません。

事前に割り込みを無効にするなどしてからモジュールストップ状態に設定してください。

22.6.22 カスケード接続における MTU1.TCNT、MTU2.TCNT カウンタ同時インプットキャプチャ

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続して、32 ビットカウンタとして動作させている場合、MTIOC1A と MTIOC2A または MTIOC1B と MTIOC2B に同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNT カウンタに入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、または MTIOC1B と MTIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNT カウンタ（上位 16 ビットのカウンタ）が MTU2.TCNT カウンタ（下位 16 ビットのカウンタ）のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは MTU1.TCNT = FFF1h、MTU2.TCNT = 0000h の値を MTU1.TGRA レジスタと MTU2.TGRA レジスタ、もしくは MTU1.TGRB レジスタと MTU2.TGRB レジスタに転送すべきところを誤って MTU1.TCNT = FFF0h、MTU2.TCNT = 0000h の値を転送します。

1 本のインプットキャプチャ入力で MTU1.TCNT カウンタと MTU2.TCNT カウンタを同時にキャプチャできる機能を使用すれば、MTU1.TCNT カウンタと MTU2.TCNT カウンタのキャプチャタイミングのずれなく、32 ビットカウンタの取り込みを行うことができます。詳細は、「22.2.8 タイマインプットキャプチャコントロールレジスタ (TICCR)」を参照してください。

22.6.23 相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態では有効となっています。詳細は、「23. ポートアウトプットイネーブル 2 (POE2a)」を参照してください。

22.6.24 MTU5.TCNT カウンタと MTU5.TGR レジスタの注意事項

MTU5.TCNT_m カウンタ (m = U, V, W) のカウント動作を停止した状態で、MTU5.TGR_m レジスタ (m = U, V, W) に MTU5.TCNT_m カウンタ値 (m = U, V, W) + “1” の値を設定しないでください。MTU5.TCNT_m カウンタ (m = U, V, W) のカウント動作を停止した状態で、MTU5.TGR_m レジスタ (m = U, V, W) に MTU5.TCNT_m カウンタ値 (m = U, V, W) + “1” の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット (MTU5.TIER.TGIE5_m ビット (m = U, V, W) が “1” (許可) になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが “1” (許可) になっていると、MTU5.TCNT_m カウンタ (m = U, V, W) は、コンペアマッチ割り込みの禁止 / 許可にかかわらず、コンペアマッチが発生すると “0000h” に自動クリアされます。

22.6.25 相補 PWM モード同期クリアするときの異常動作防止について

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効 (TWCR.WRE ビット = 1) である状態で、条件 1、条件 2 のいずれかを満たすと、以下の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる (もしくは消失する)
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1 : 初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に同期クリアした場合 (図 22.122 参照)。

条件 2 : 初期出力の抑止期間⑩、⑪にて、 $MTU3.TGRB \leq TDDR$ 、 $MTU4.TGRA \leq TDDR$ 、 $MTU4.TGRB \leq TDDR$ のいずれかが成立する状態で、同期クリアした場合 (図 22.123 参照)。

本現象は以下の方法により、回避することができます。

- コンペアレジスタ $MTU3.TGRB$ 、 $MTU4.TGRA$ 、 $MTU4.TGRB$ レジスタのすべてが、デッドタイムデータレジスタ (TDDR) の 2 倍以上になるように設定した状態で、同期クリアする

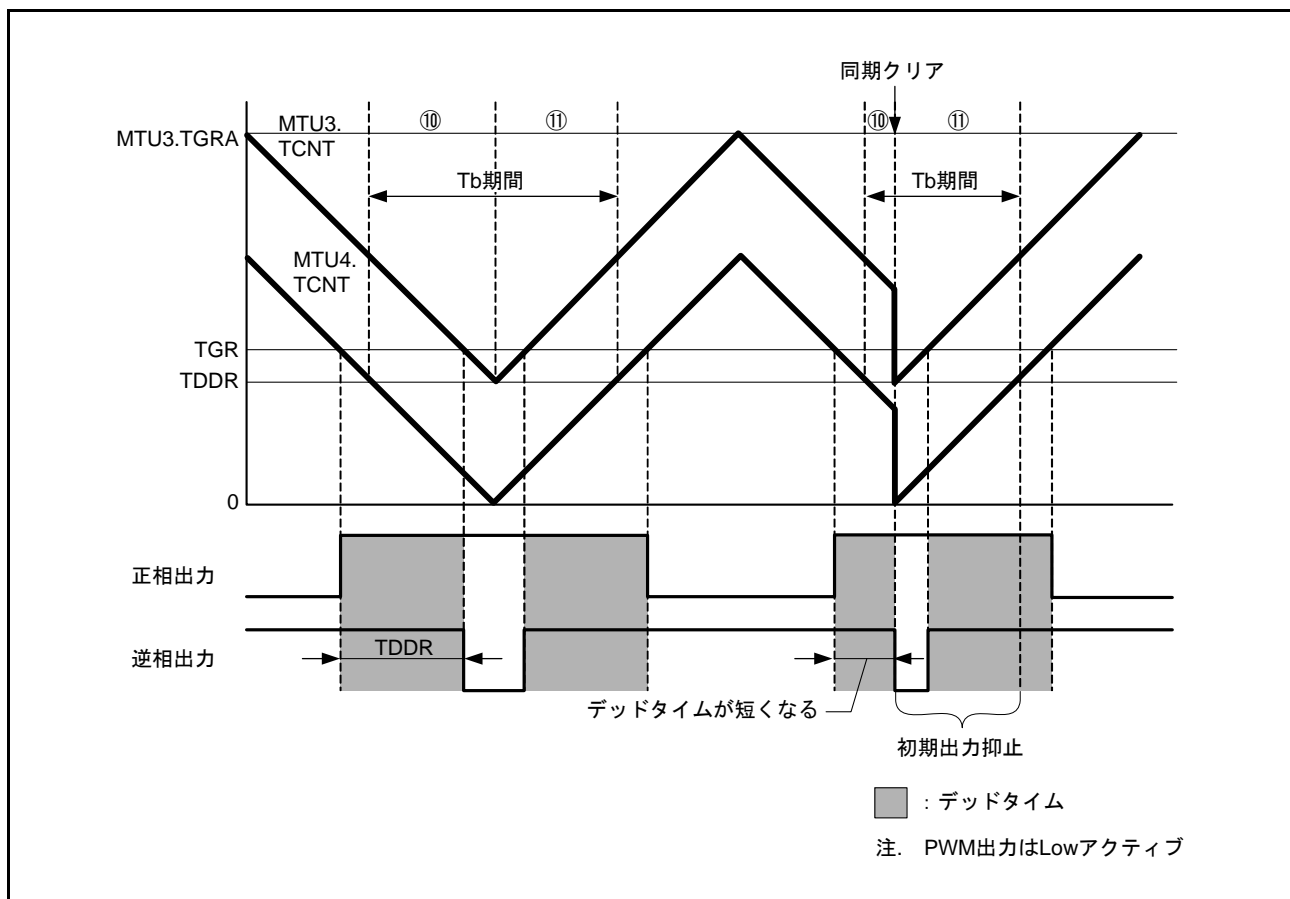


図 22.122 同期クリア例 (条件 1 の場合)

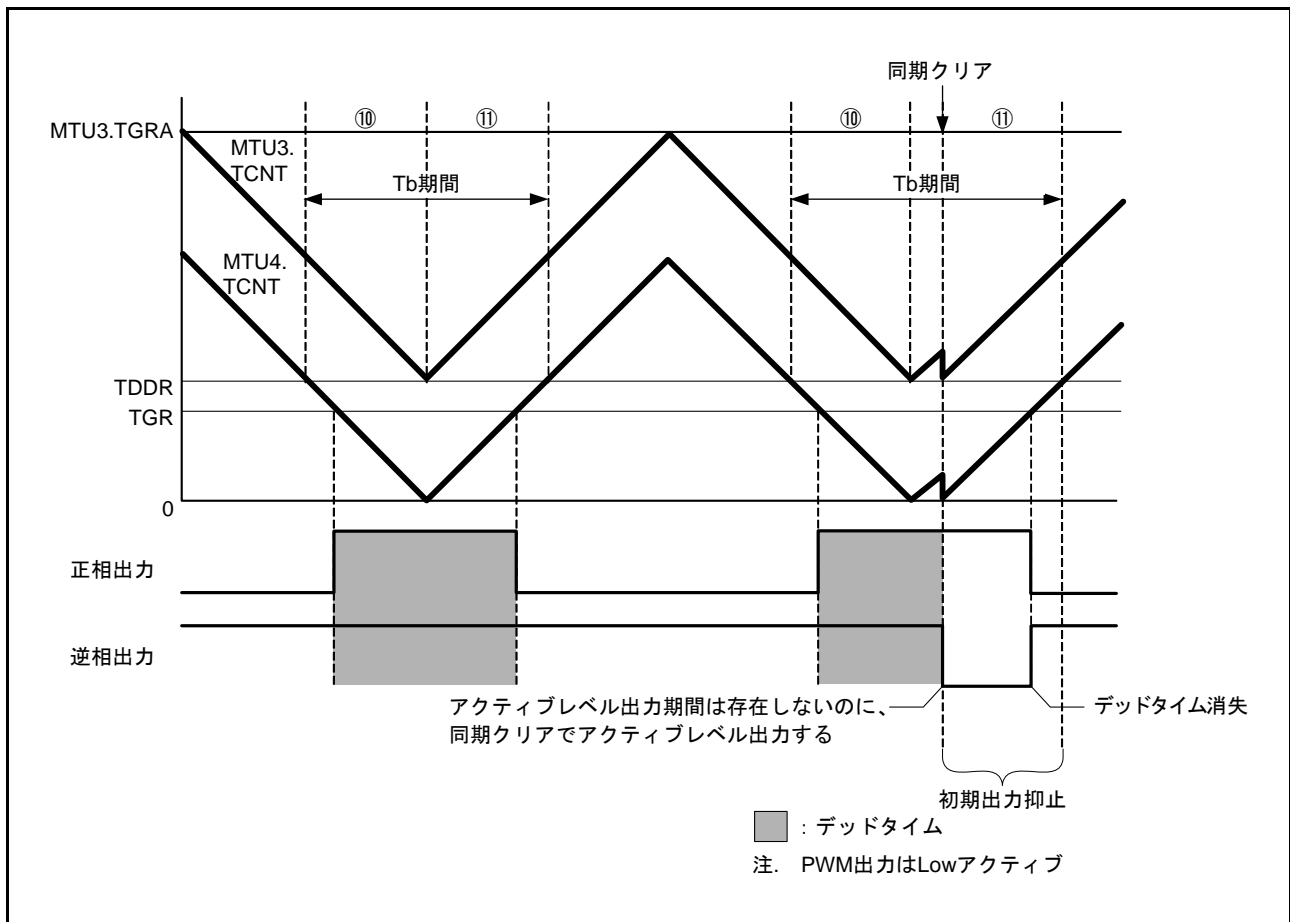


図 22.123 同期クリア例 (条件 2 の場合)

22.6.26 コンペアマッチによる割り込み信号の連続出力

TGR レジスタに“0000h”、カウントクロックを PCLK/1 クロック、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“0000h”のままとなり、割り込み信号は1サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

図 22.124 にコンペアマッチによる割り込み信号の連続出力タイミングを示します。

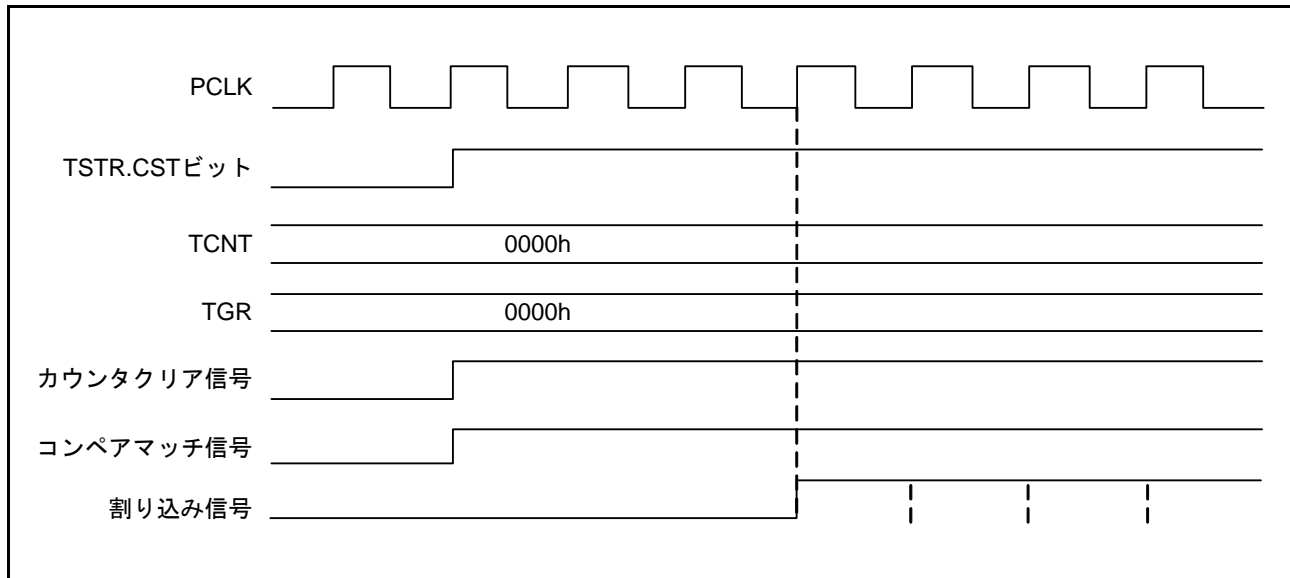


図 22.124 コンペアマッチによる割り込み信号の連続出力

22.6.27 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項

- MTU4.TADCOBRA, MTU4.TADCOBRB レジスタに“0”、かつ、MTU4.TADCR レジスタの UT4AE, UT4BE ビットに“1”を設定して、MTU4.TCNT カウンタの谷でバッファ転送したとき、転送直後のアップカウント期間については A/D 変換の開始要求を行いません (図 22.125)。
- MTU4.TADCOBRA, MTU4.TADCOBRB レジスタに TCDR レジスタと同じ値、かつ、MTU4.TADCR レジスタの DT4AE, DT4BE ビットに“1”を設定して、MTU4.TCNT カウンタの山でバッファ転送したとき、転送直後のダウンカウント期間については A/D 変換の開始要求を行いません (図 22.126)。
- 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、 $2 \leq \text{MTU4.TADCORA/B} \leq \text{TCDR} - 2$ を満たすように MTU4.TADCORA, MTU4.TADCORB レジスタを設定してください。

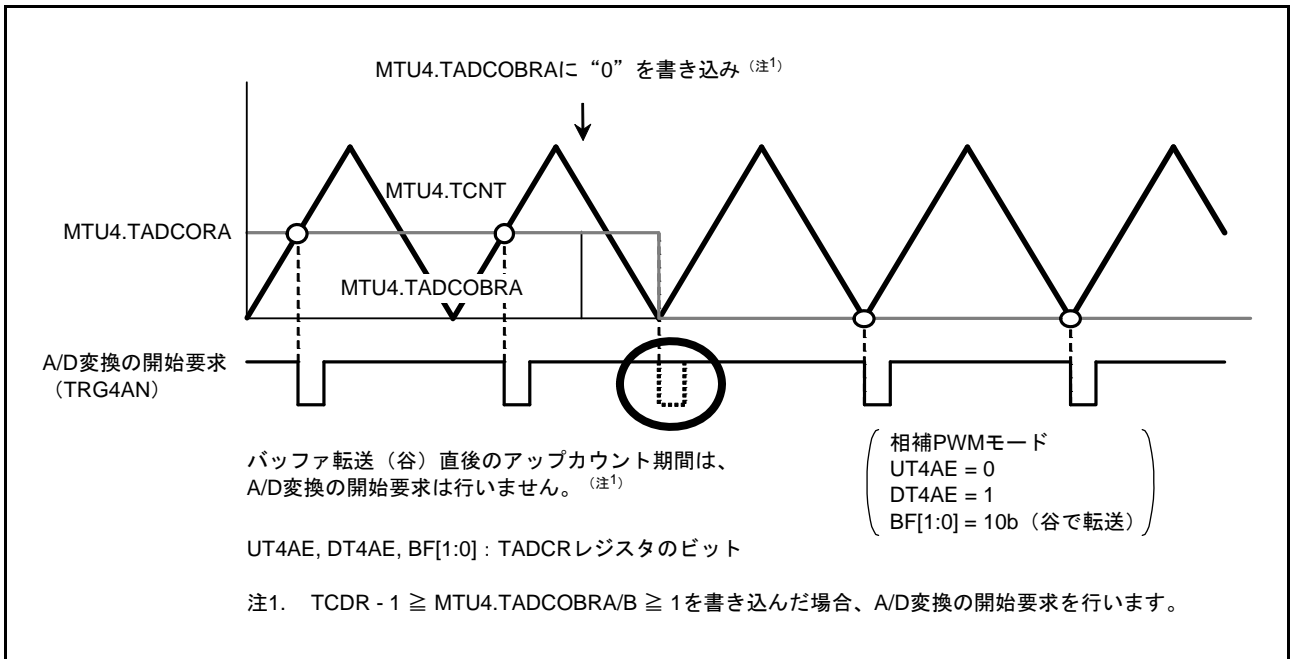


図 22.125 MTU4.TADCOBRA に“0”を書き込んだときの A/D 変換の開始要求

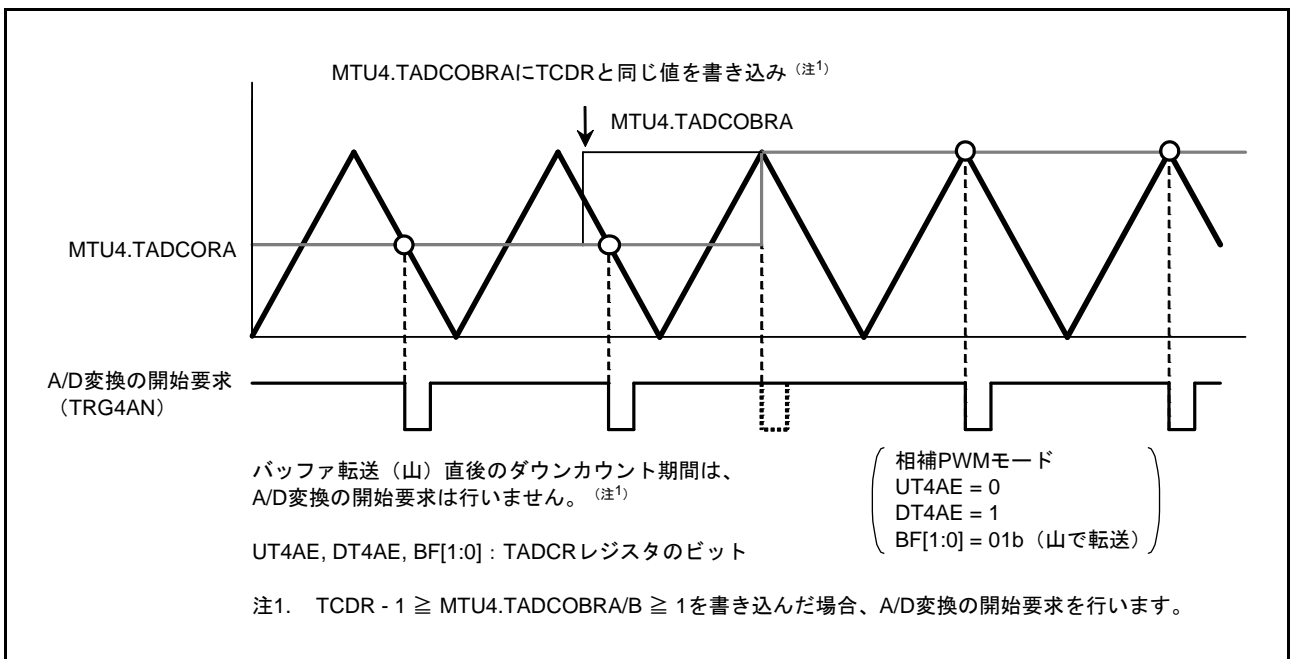


図 22.126 MTU4.TADCOBRA に TCDR と同じ値を書き込んだときの A/D 変換の開始要求

22.7 MTU 出力端子の初期化方法

22.7.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (MTU0 ~ MTU4)
- PWM モード 1 (MTU0 ~ MTU4)
- PWM モード 2 (MTU0 ~ MTU2)
- 位相計数モード 1 ~ 4 (MTU1、MTU2)
- 相補 PWM モード (MTU3、MTU4)
- リセット同期 PWM モード (MTU3、MTU4)

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

22.7.2 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力することにより行ってください。MTU 端子を出力禁止とするには TIOR レジスタで設定してください。相補 PWM 出力端子 (MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D) は、TOER レジスタで設定してください。また、PWM 出力端子に関してはポートアウトプットイネーブル 2 (POE) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 22.59 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1 ~ 4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 22.59 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

22.7.3 動作中の異常などによる端子の初期化手順、モード遷移の概要

- TIOR レジスタの設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に移行する場合は TIOR レジスタの設定により端子を初期化してください。
- PWM モード 1 では MTIOCnB/MTIOCnD (n=3、4) 端子に波形が出力されません。該当端子を出力している他のモジュールがなければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で汎用出力ポートの設定をしてください。
- PWM モード 2 では周期レジスタの端子に波形が出力されません。該当端子を出力している他のモジュールがなければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で汎用出力ポートの設定をしてください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD レジスタがバッファレジスタとして動作している場合、端子に波形が出力されません。該当端子を出力している他のモジュールがなければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で汎用出力ポートの設定をしてください。
- PWM モード 1 では TGRC、TGRD レジスタのいずれか一方がバッファレジスタとして動作している場合、該当端子を出力している他のモジュールがなければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で汎用出力ポートの設定をしてください。
- タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に移行する場合は、TOER レジスタで MTU3、MTU4 を 1 度出力禁止にしてください。このとき、該当端子を出力している他のモジュールがなければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で汎用出力ポートの設定をしてください。ノーマルモードに移行し TIOR レジスタで初期化、TIOR レジスタを初期値に戻した後、モード設定手順 (TOCR 設定、TMDR 設定、TOER 設定) に従い動作させてください。

注. 特に断りがない場合、本項記述中の n にはチャンネル番号が入ります。

以下、表 22.59 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.127 に示します。

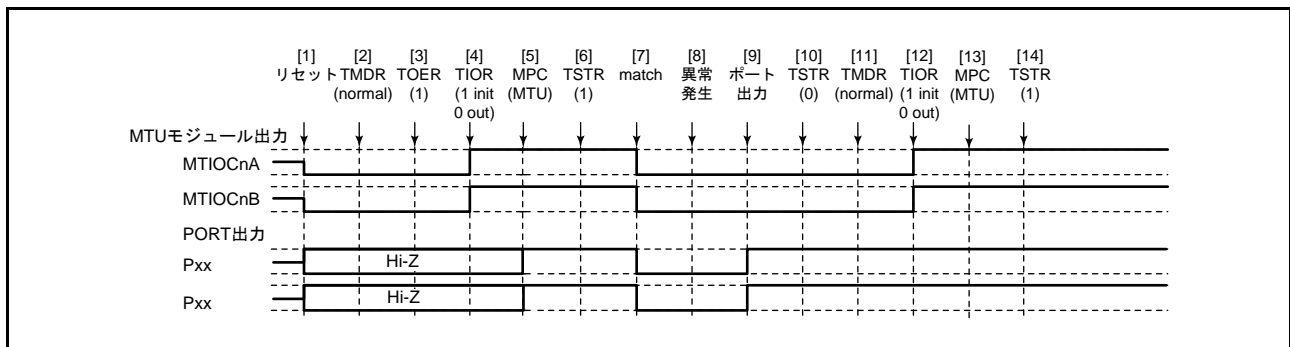


図 22.127 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- [1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- [2] リセットにより TMDR レジスタはノーマルモード設定になります。
- [3] MTU3、MTU4 では TIOR レジスタで端子を初期化する前に TOER レジスタで出力を許可してください。
- [4] TIOR レジスタで端子を初期化してください (例は初期出力が High、コンペアマッチで Low 出力です)。
- [5] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [6] TSTR レジスタでカウント動作を開始します。
- [7] コンペアマッチの発生により Low を出力します。
- [8] 異常が発生しました。
- [9] I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- [10] TSTR レジスタでカウント動作を停止します。
- [11] ノーマルモードで再スタートする場合は必要ありません。
- [12] TIOR レジスタで端子を初期化してください。
- [13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [14] TSTR レジスタで再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.128 に示します。

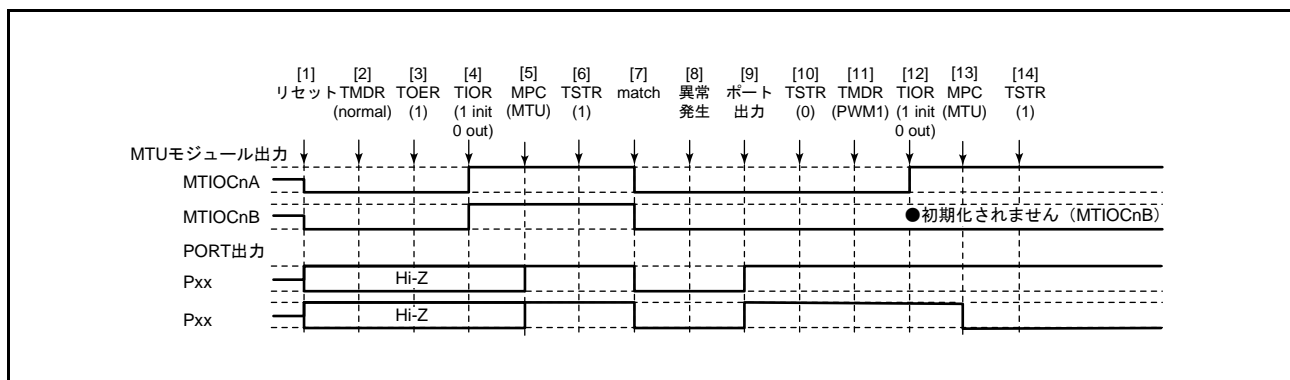


図 22.128 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

[1] ~ [10] は図 22.127 と共通です。

- [11] PWM モード 1 を設定します。
- [12] TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。
- [13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [14] TSTR レジスタで再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード2で再スタートする場合の説明図を図 22.129 に示します。

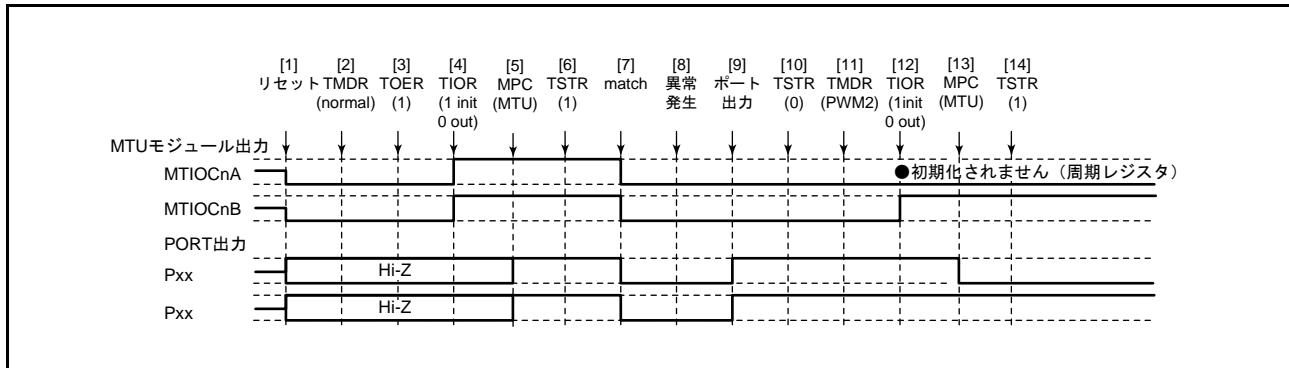


図 22.129 ノーマルモードで異常が発生し、PWM モード2で復帰する場合

[1] ~ [10] は図 22.127 と共通です。

[11] PWM モード2を設定します。

[12] TIOR レジスタで端子を初期化してください (PWM モード2では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード2に移行してください)。

[13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[14] TSTR レジスタで再スタートします。

注. PWM モード2は MTU0 ~ 2でのみ設定可能です。したがって TOER レジスタの設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.130 に示します。

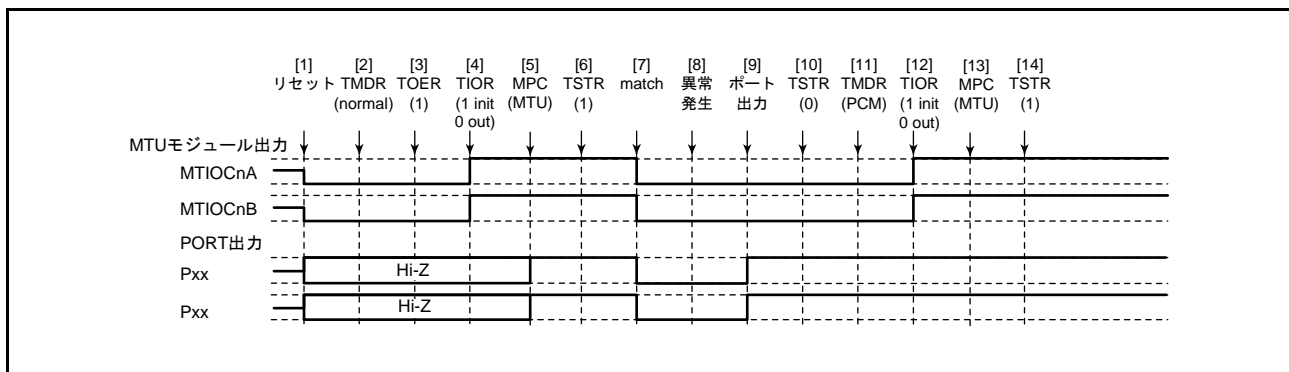


図 22.130 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

[1] ~ [10] は図 22.127 と共通です。

[11] 位相計数モードを設定します。

[12] TIOR レジスタで端子を初期化してください。

[13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[14] TSTR レジスタで再スタートします。

注. 位相計数モードは MTU1, 2でのみ設定可能です。したがって TOER レジスタの設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.131 に示します。

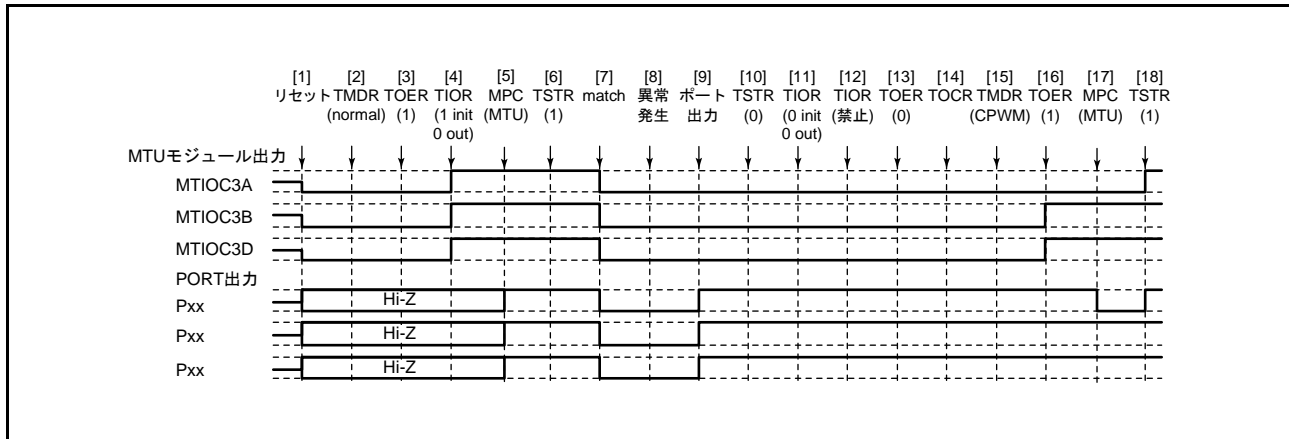


図 22.131 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

[1] ~ [10] は図 22.127 と共通です。

[11] TIOR レジスタでノーマルモードの波形生成部を初期化してください。

[12] TIOR レジスタでノーマルモードの波形生成部の動作を禁止してください。

[13] TOER レジスタで MTU3、MTU4 の出力を禁止してください。

[14] TOCR レジスタで相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

[15] 相補 PWM を設定します。

[16] TOER レジスタで MTU3、MTU4 の出力を許可してください。

[17] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[18] TSTR レジスタで再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.132 に示します。

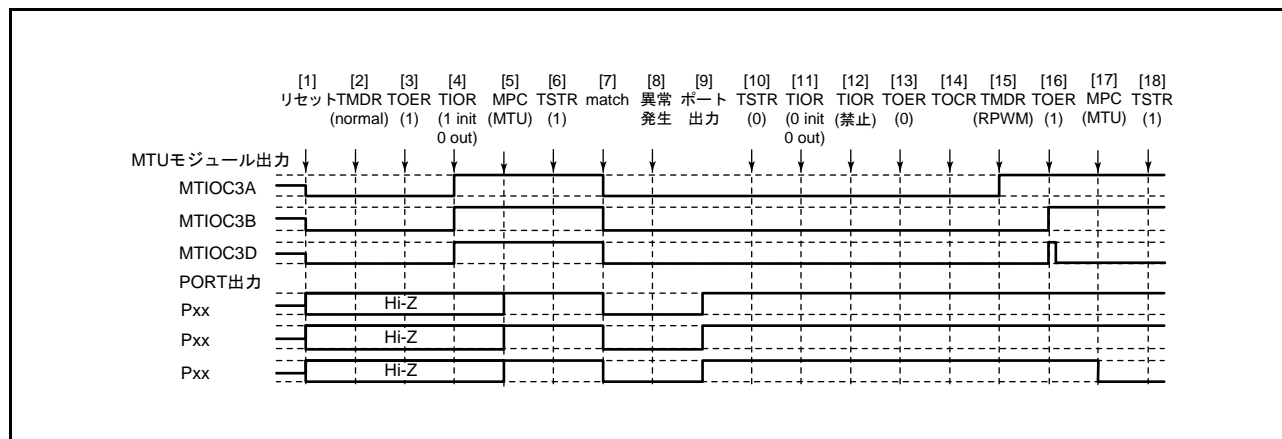


図 22.132 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

[1] ~ [13] は図 22.127 と共通です。

[14] TOCR レジスタでリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

[15] リセット同期 PWM を設定します。

[16] TOER レジスタで MTU3、MTU4 の出力を許可してください。

[17] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[18] TSTR レジスタで再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.133 に示します。

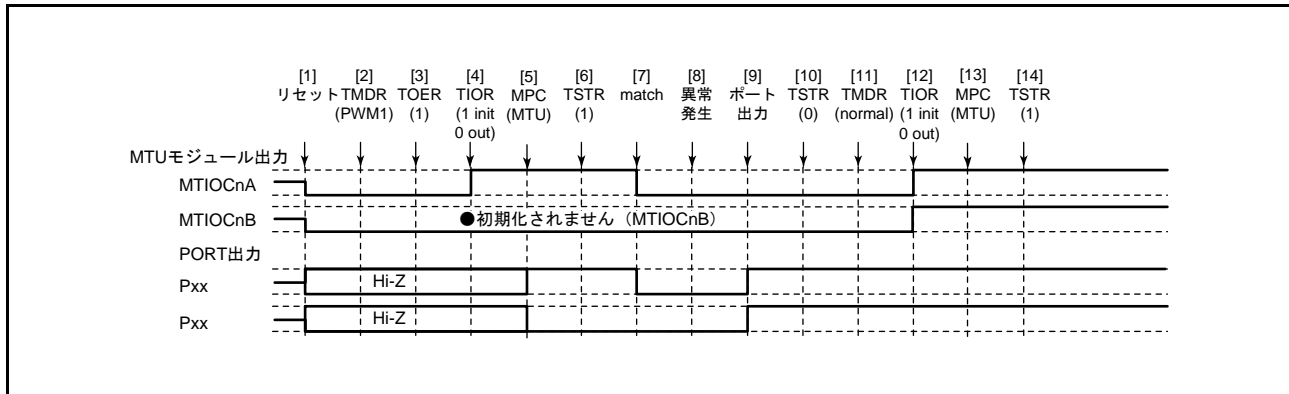


図 22.133 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- [1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- [2] PWM モード 1 を設定してください。
- [3] MTU3、MTU4 では TIOR レジスタで端子を初期化する前に TOER レジスタで出力を許可してください。
- [4] TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。（PWM モード 1 では MTIOCnB 側は初期化されません）。
- [5] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [6] TSTR レジスタでカウント動作を開始します。
- [7] コンペアマッチの発生により Low を出力します。
- [8] 異常が発生しました。
- [9] I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- [10] TSTR レジスタでカウント動作を停止します。
- [11] ノーマルモードを設定してください。
- [12] TIOR レジスタで端子を初期化してください。
- [13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [14] TSTR レジスタで再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.134 に示します。

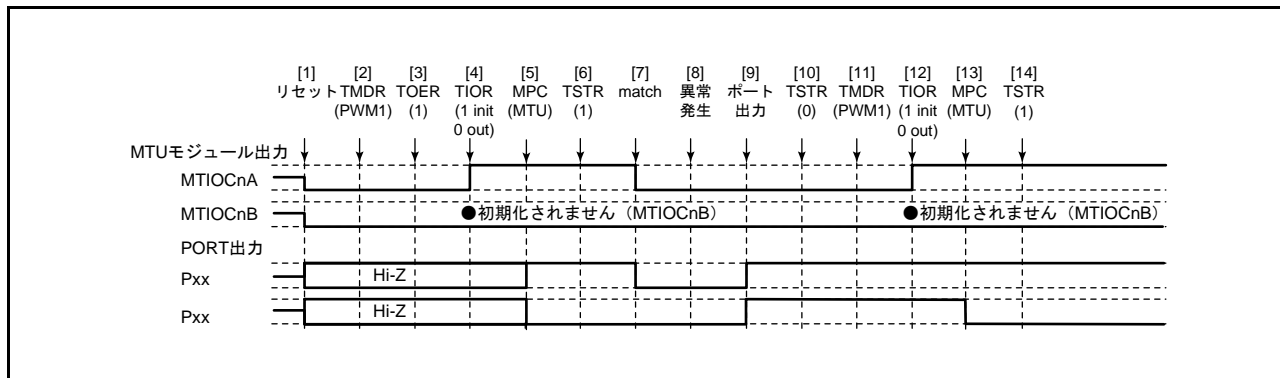


図 22.134 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

[1] ~ [10] は図 22.133 と共通です。

[11] PWM モード 1 で再スタートする場合には必要ありません。

[12] TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)

[13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[14] TSTR レジスタで再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 22.135 に示します。

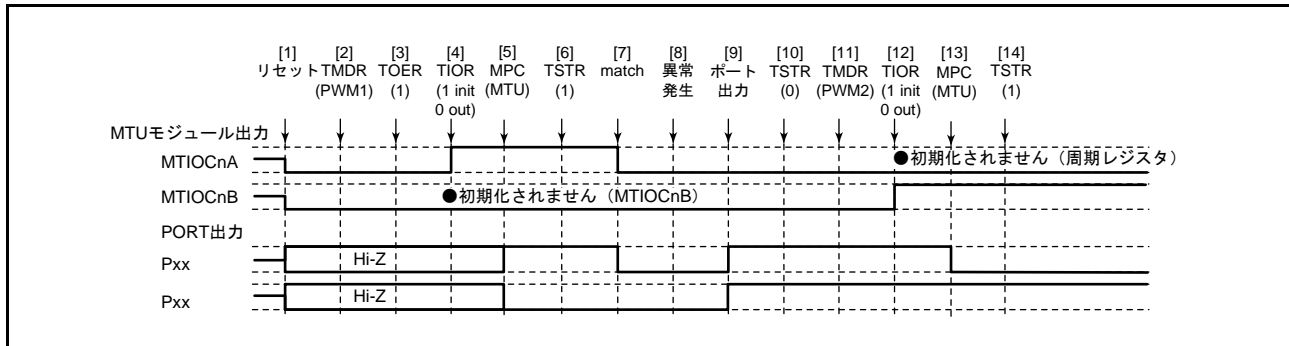


図 22.135 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

[1] ~ [10] は図 22.133 と共通です。

[11] PWM モード 2 を設定します。

[12] TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)

[13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[14] TSTR レジスタで再スタートします。

注. PWM モード 2 は MTU0 ~ 2 でのみ設定可能です。したがって TOER レジスタの設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.136 に示します。

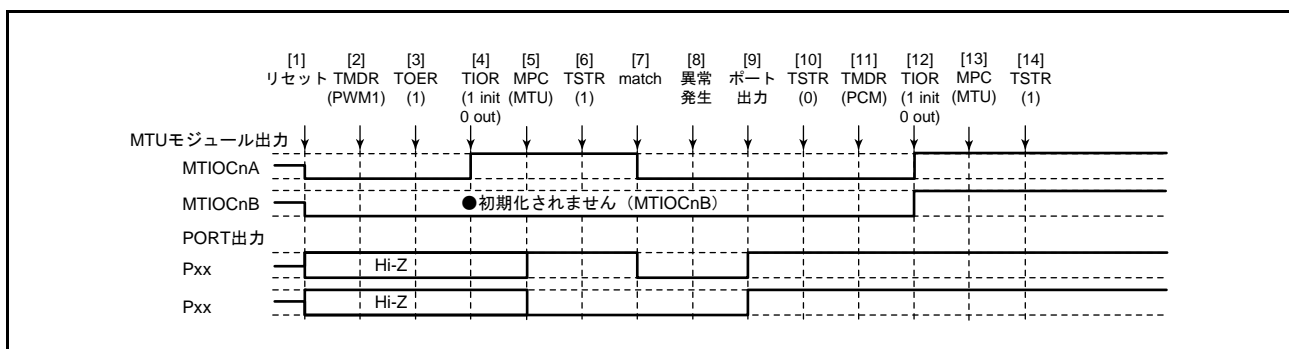


図 22.136 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

[1] ~ [10] は図 22.133 と共通です。

[11] 位相計数モードを設定します。

[12] TIOR レジスタで端子を初期化してください。

[13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[14] TSTR レジスタで再スタートします。

注. 位相計数モードは MTU1、2 でのみ設定可能です。したがって TOER レジスタの設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.137 に示します。

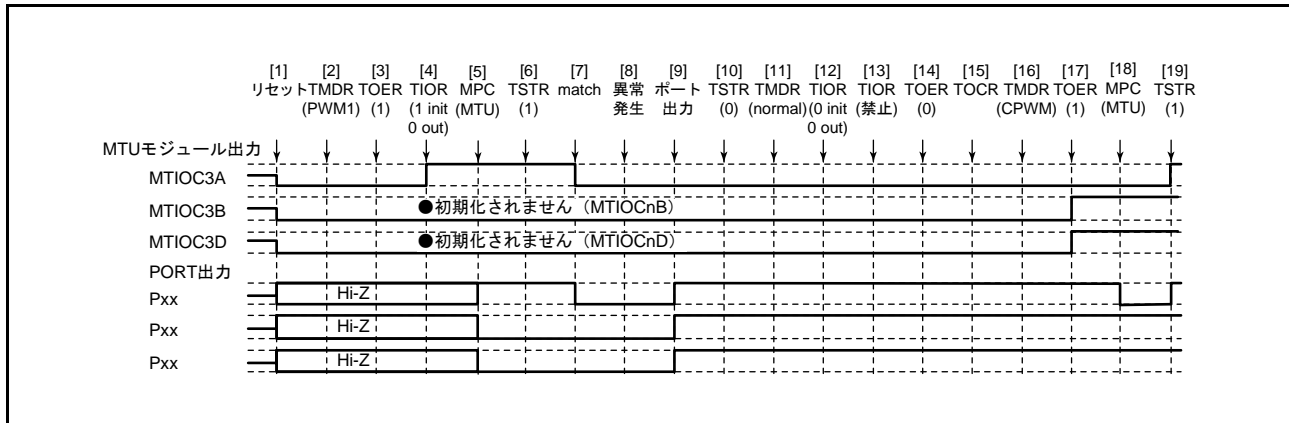


図 22.137 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

[1] ~ [10] は図 22.133 と共通です。

- [11] 波形生成部の初期化のためノーマルモードを設定してください。
- [12] TIOR レジスタで PWM モード 1 の波形生成部を初期化してください。
- [13] TIOR レジスタで PWM モード 1 の波形生成部の動作を禁止してください。
- [14] TOER レジスタで MTU3、MTU4 の出力を禁止してください。
- [15] TOCR レジスタで相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- [16] 相補 PWM を設定します。
- [17] TOER レジスタで MTU3、MTU4 の出力を許可してください。
- [18] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [19] TSTR レジスタで再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.138 に示します。

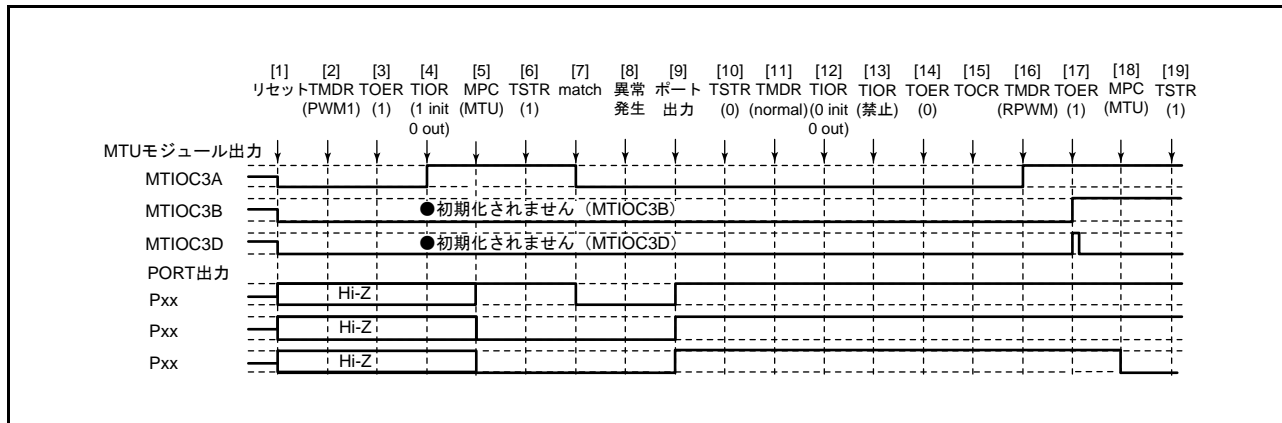


図 22.138 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

[1] ~ [14] は図 22.137 と共通です。

[15] TOCR レジスタでリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

[16] リセット同期 PWM を設定します。

[17] TOER レジスタで MTU3、MTU4 の出力を許可してください。

[18] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[19] TSTR レジスタで再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.139 に示します。

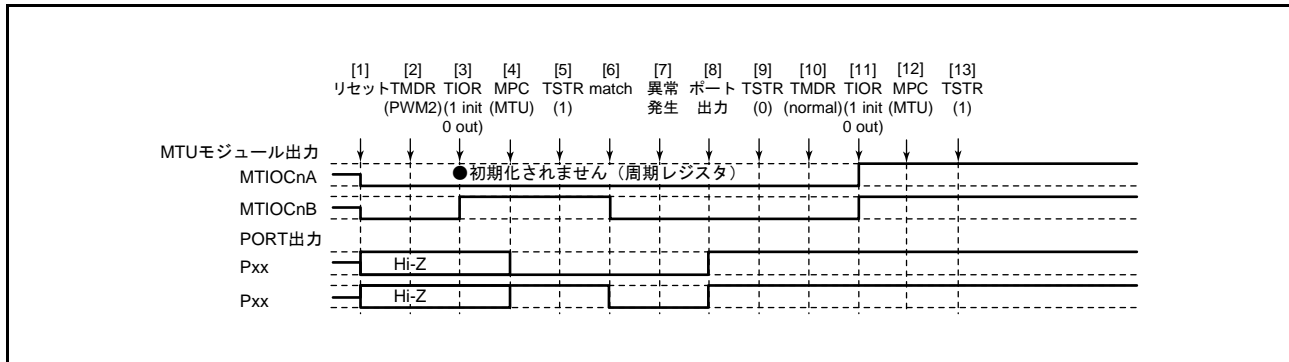


図 22.139 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- [1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- [2] PWM モード 2 を設定してください。
- [3] TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタの端子は初期化されません。例は MTIOCnA が周期レジスタの場合です）。
- [4] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [5] TSTR レジスタでカウント動作を開始します。
- [6] コンペアマッチの発生により Low を出力します。
- [7] 異常が発生しました。
- [8] I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- [9] TSTR レジスタでカウント動作を停止します。
- [10] ノーマルモードを設定してください。
- [11] TIOR レジスタで端子を初期化してください。
- [12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [13] TSTR レジスタで再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.140 に示します。

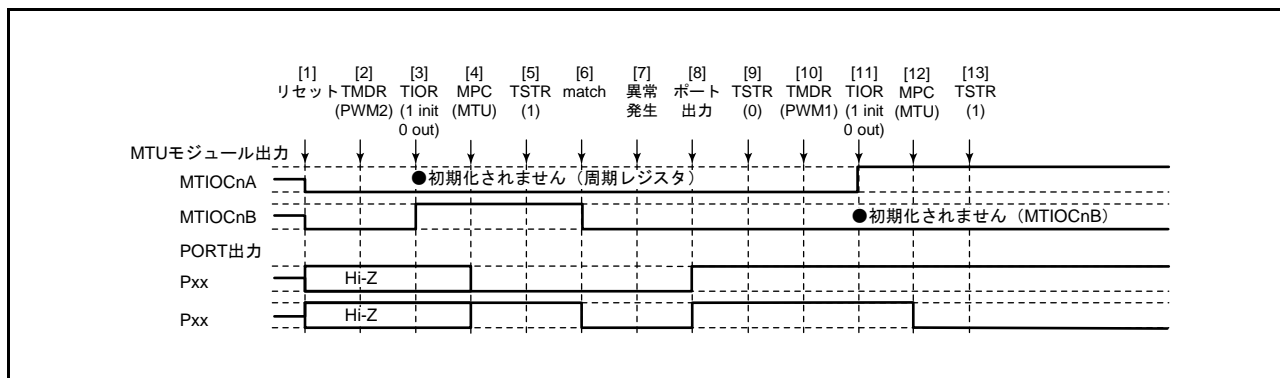


図 22.140 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

[1] ~ [9] は図 22.139 と共通です。

[10] PWM モード 1 を設定します。

[11] TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOcNB (MTIOcND) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 22.141 に示します。

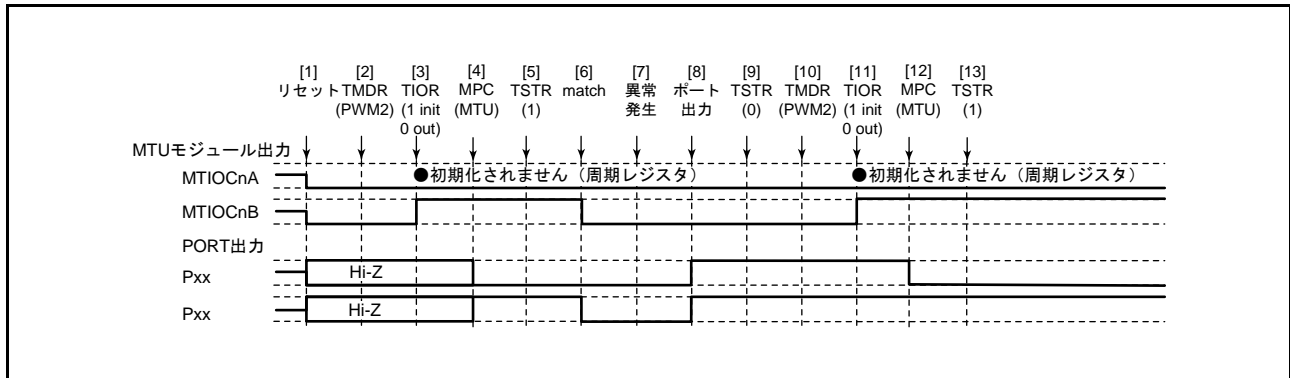


図 22.141 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

[1] ~ [9] は図 22.139 と共通です。

[10] PWM モード 2 で再スタートする場合には必要ありません。

[11] TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.142 に示します。

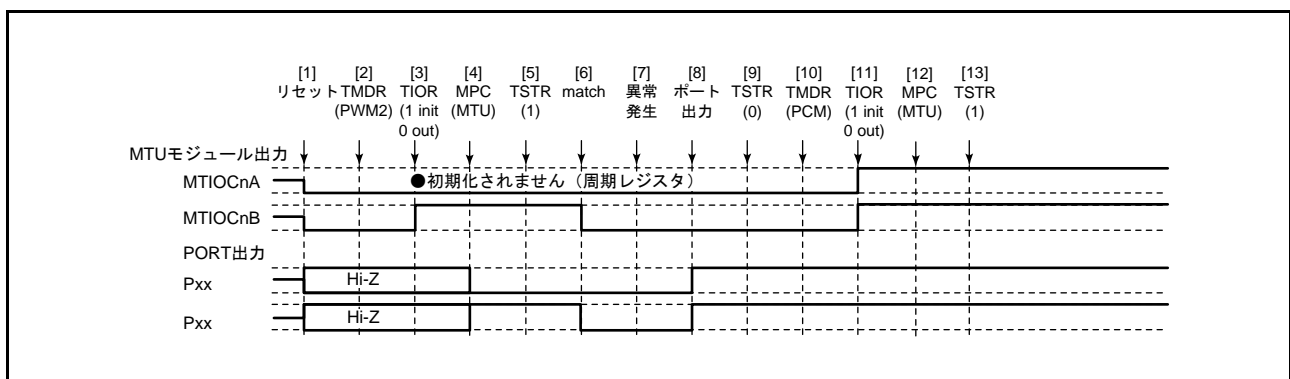


図 22.142 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

[1] ~ [9] は図 22.139 と共通です。

[10] 位相計数モードを設定します。

[11] TIOR レジスタで端子を初期化してください。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.143 に示します。

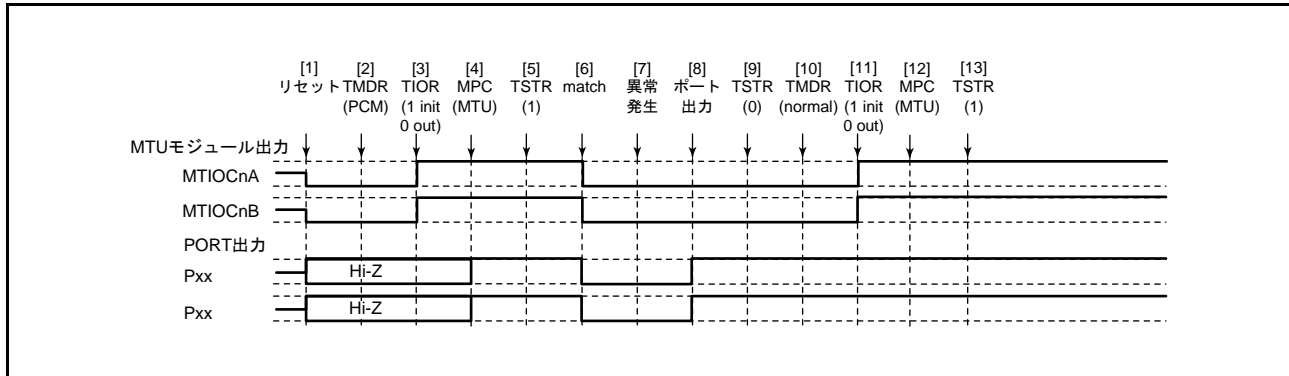


図 22.143 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- [1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- [2] 位相計数モードを設定してください。
- [3] TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- [4] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [5] TSTR レジスタでカウント動作を開始します。
- [6] コンペアマッチの発生により Low を出力します。
- [7] 異常が発生しました。
- [8] I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- [9] TSTR レジスタでカウント動作を停止します。
- [10] ノーマルモードで設定してください。
- [11] TIOR レジスタで端子を初期化してください。
- [12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [13] TSTR レジスタで再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード1で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード1で再スタートする場合の説明図を図 22.144 に示します。

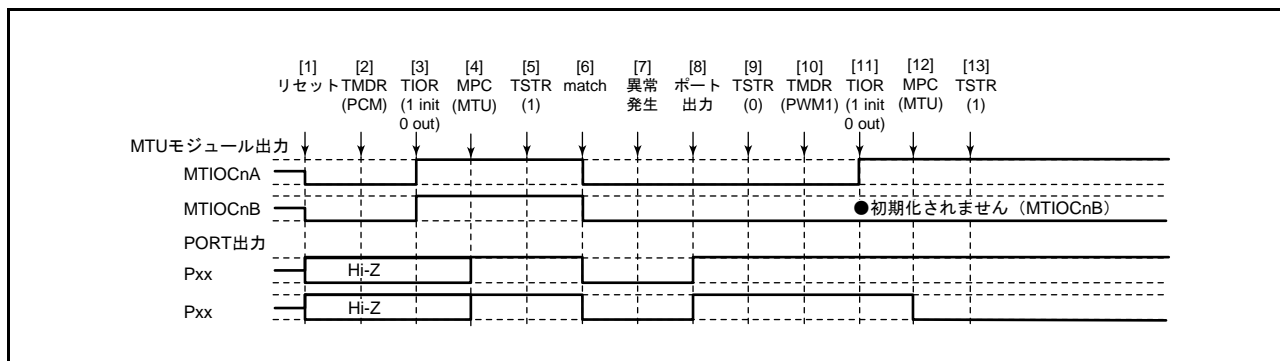


図 22.144 位相計数モードで異常が発生し、PWM モード1で復帰する場合

[1] ~ [9] は図 22.143 と共通です。

[10] PWM モード1を設定します。

[11] TIOR レジスタで端子を初期化してください (PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 22.145 に示します。

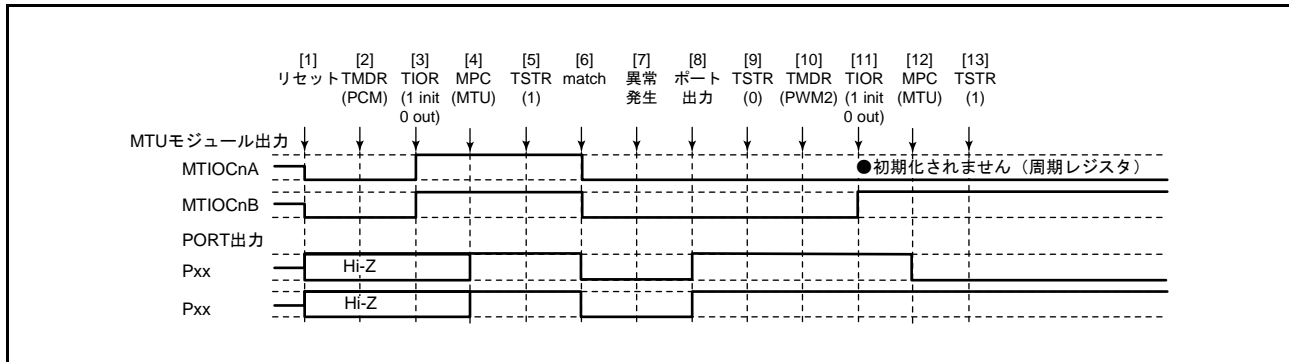


図 22.145 位相計数モードで異常が発生し、PWM モード2で復帰する場合

[1] ~ [9] は図 22.143 と共通です。

[10] PWM モード2を設定します。

[11] TIOR レジスタで端子を初期化してください (PWM モード1では MTIOcNB (MTIOcND) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.146 に示します。

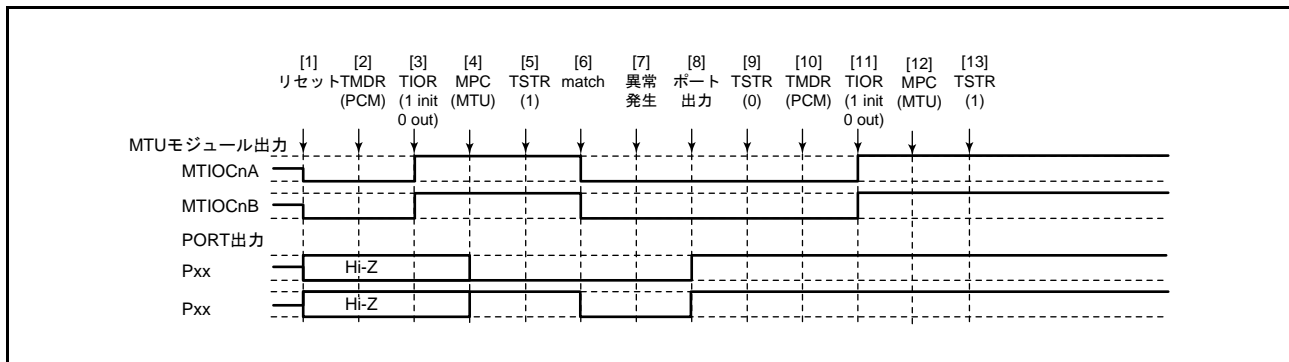


図 22.146 位相計数モードで異常が発生し、位相計数モードで復帰する場合

[1] ~ [9] は図 22.143 と共通です。

[10] 位相計数モードで再スタートする場合には必要ありません。

[11] TIOR レジスタで端子を初期化してください。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.147 に示します。

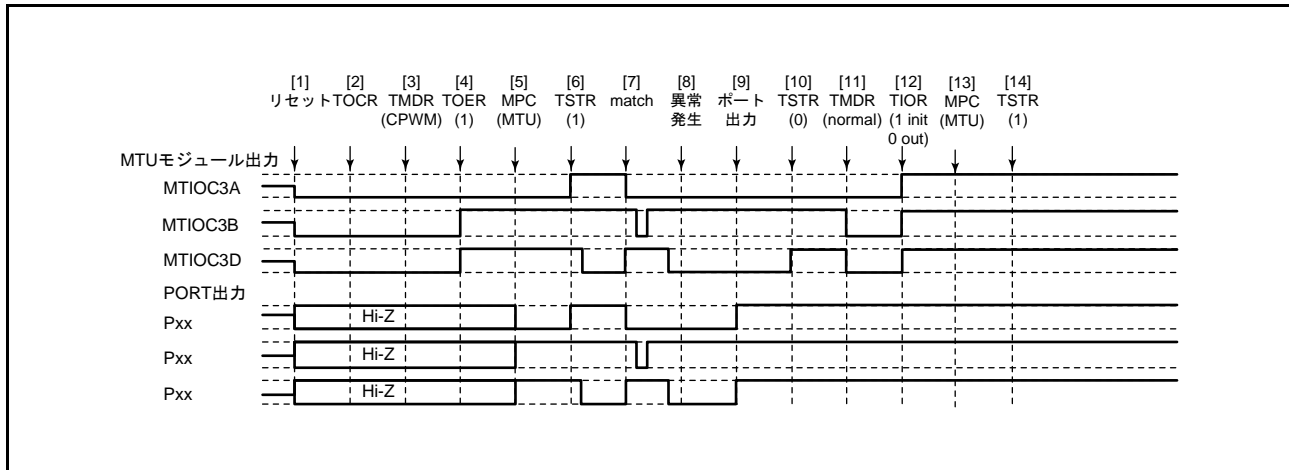


図 22.147 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- [1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- [2] TOCR レジスタで相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- [3] 相補 PWM を設定します。
- [4] TOER レジスタで MTU3、MTU4 の出力を許可してください。
- [5] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [6] TSTR レジスタでカウント動作を開始します。
- [7] コンペアマッチの発生により相補 PWM 波形を出力します。
- [8] 異常が発生しました。
- [9] I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- [10] TSTR レジスタでカウント動作を停止します (MTU 出力は相補 PWM 出力初期値となります)。
- [11] ノーマルモードを設定してください (MTU 出力は Low となります)。
- [12] TIOR レジスタで端子を初期化してください。
- [13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [14] TSTR レジスタで再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.148 に示します。

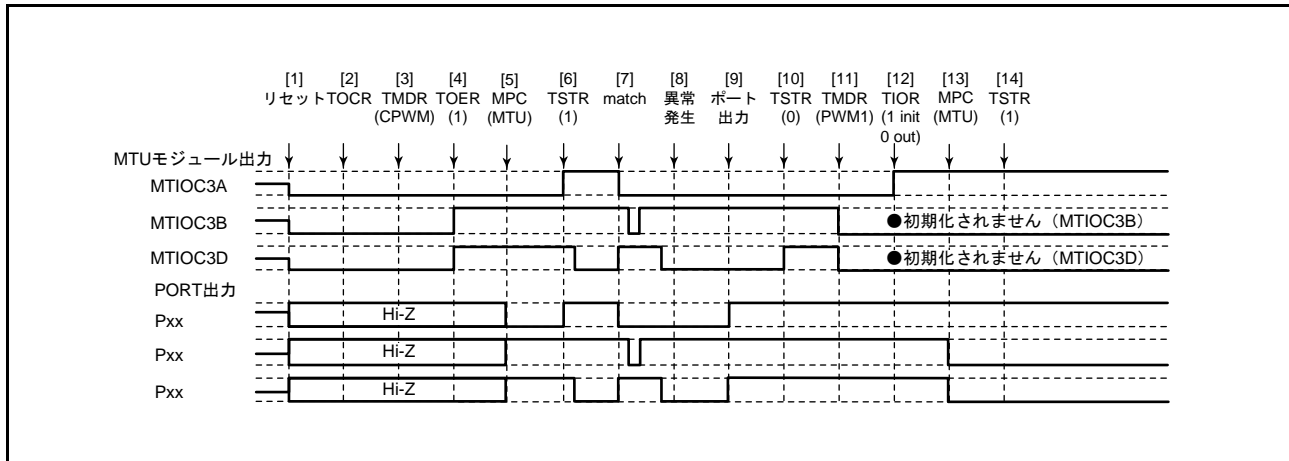


図 22.148 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

[1] ~ [10] は図 22.147 と共通です。

[11] PWM モード 1 を設定してください (MTU 出力は Low となります)。

[12] TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

[13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[14] TSTR レジスタで再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.149 に示します (周期、デューティ設定をカウンタを止めたときの値から再スタートする場合)。

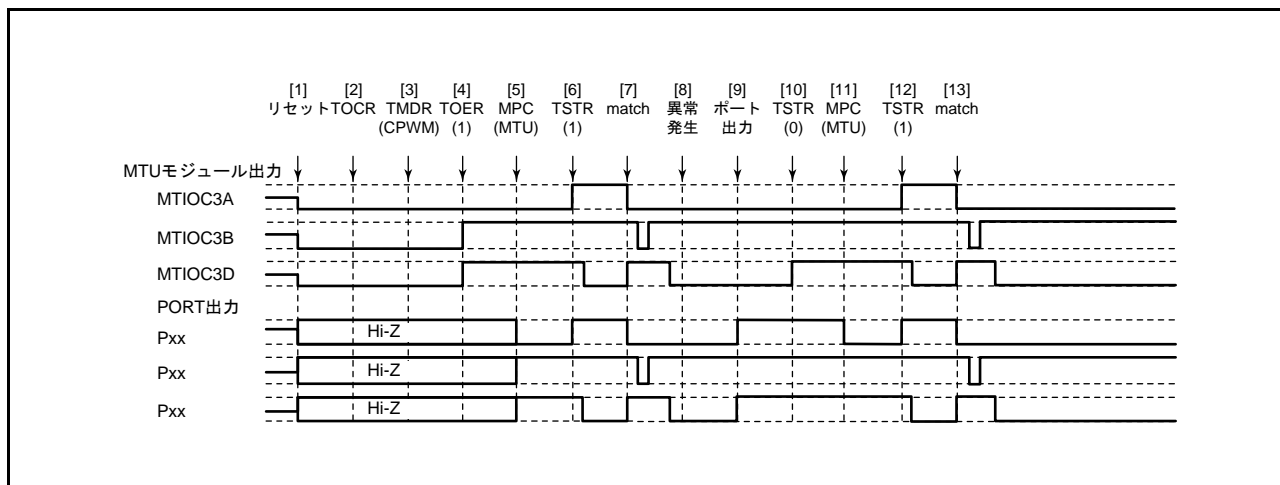


図 22.149 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

[1] ~ [10] は図 22.147 と共通です。

[11] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[12] TSTR レジスタで再スタートします。

[13] コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.150 に示します (周期、デューティ設定を全く新しい設定値で再スタートする場合)。

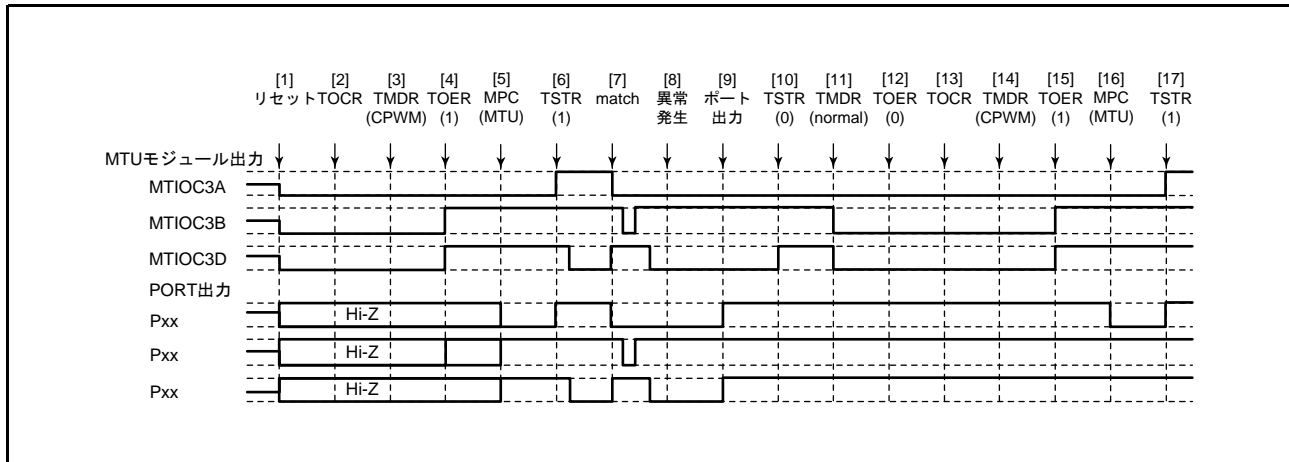


図 22.150 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

[1] ~ [10] は図 22.147 と共通です。

[11] ノーマルモードを設定し新しい設定値を設定してください (MTU 出力は Low となります)。

[12] TOER レジスタで MTU3、MTU4 の出力を禁止してください。

[13] TOCR レジスタで相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

[14] 相補 PWM を設定します。

[15] TOER レジスタで MTU3、MTU4 の出力を許可してください。

[16] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[17] TSTR レジスタで再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.151 に示します。

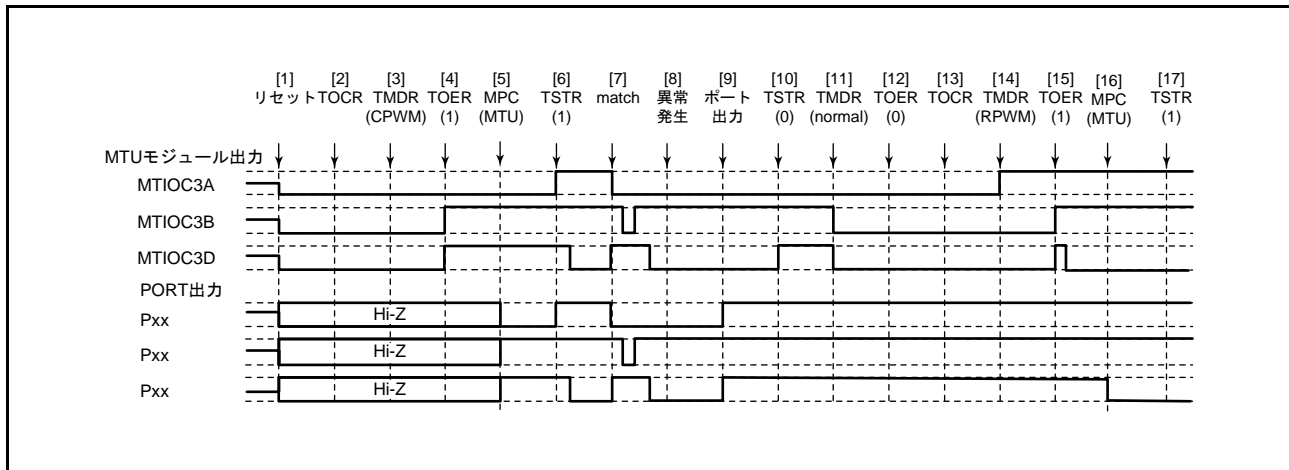


図 22.151 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

[1] ~ [10] は図 22.147 と共通です。

[11] ノーマルモードを設定してください (MTU 出力は Low となります)。

[12] TOER レジスタで MTU3、MTU4 の出力を禁止してください。

[13] TOCR レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

[14] リセット同期 PWM を設定します。

[15] TOER レジスタで MTU3、MTU4 の出力を許可してください。

[16] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[17] TSTR レジスタで再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.152 に示します。

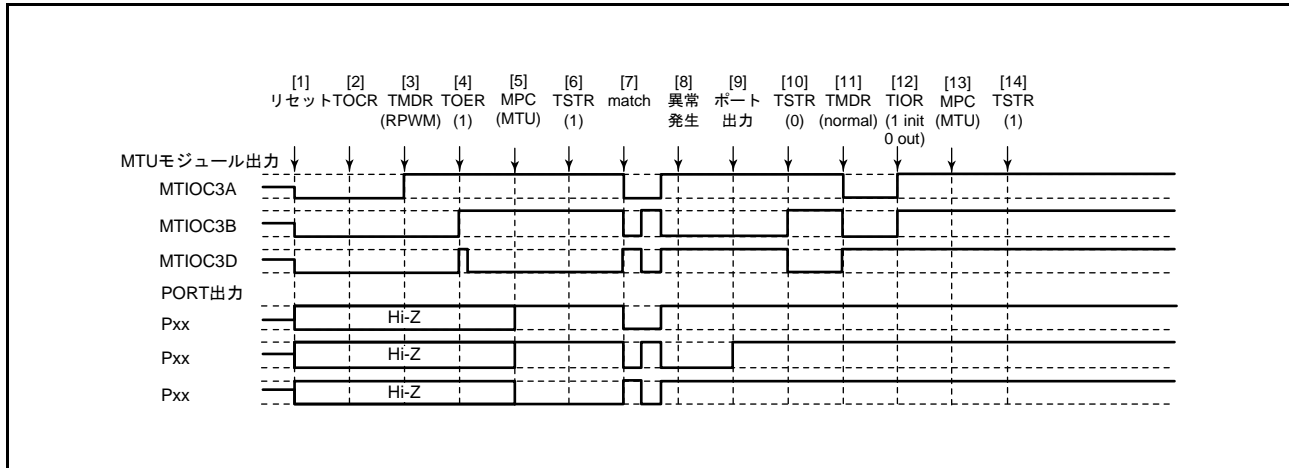


図 22.152 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- [1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- [2] TOCR レジスタでリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- [3] リセット同期 PWM を設定します。
- [4] TOER レジスタで MTU3、MTU4 の出力を許可してください。
- [5] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [6] TSTR レジスタでカウント動作を開始します。
- [7] コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- [8] 異常が発生しました。
- [9] I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- [10] TSTR レジスタでカウント動作を停止します (MTU 出力はリセット同期 PWM 出力初期値となります)。
- [11] ノーマルモードを設定してください (MTU 出力は正相側が Low、逆相側が High となります)。
- [12] TIOR レジスタで端子を初期化してください。
- [13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [14] TSTR レジスタで再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード1 で再スタートする場合の説明図を図 22.153 に示します。

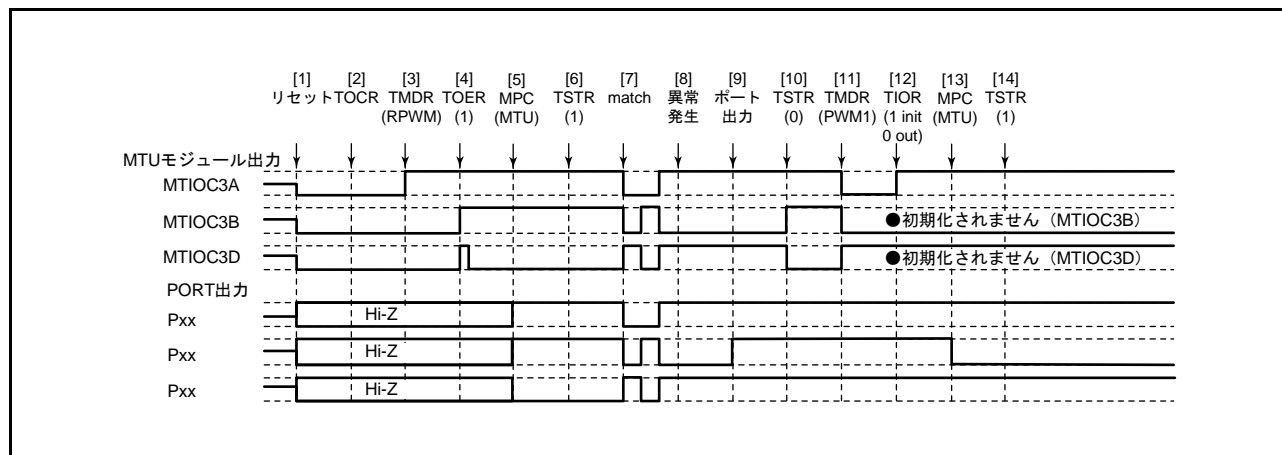


図 22.153 リセット同期 PWM モードで異常が発生し、PWM モード1 で復帰する場合

[1] ~ [10] は図 22.152 と共通です。

[11] PWM モード1 を設定してください (MTU 出力は正相側が Low、逆相側が High となります)。

[12] TIOR レジスタで端子を初期化してください (PWM モード1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

[13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[14] TSTR レジスタで再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.154 に示します。

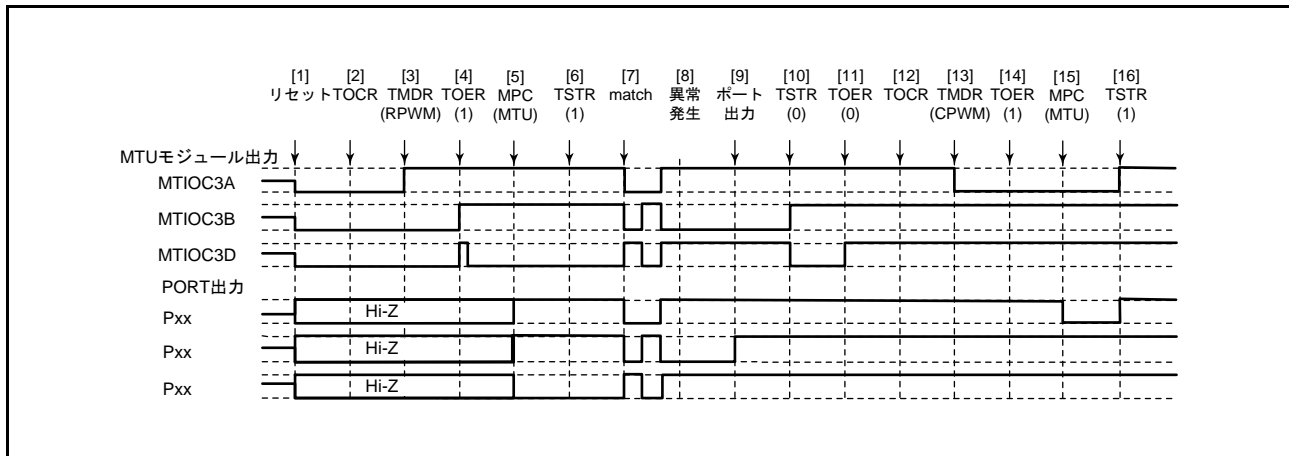


図 22.154 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

[1] ~ [10] は図 22.152 と共通です。

[11] TOER レジスタで MTU3、MTU4 の出力を禁止してください。

[12] TOCR レジスタで相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

[13] 相補 PWM を設定します (MTU の周期出力端子は Low になります)。

[14] TOER レジスタで MTU3、MTU4 の出力を許可してください。

[15] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[16] TSTR レジスタで再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.155 に示します。

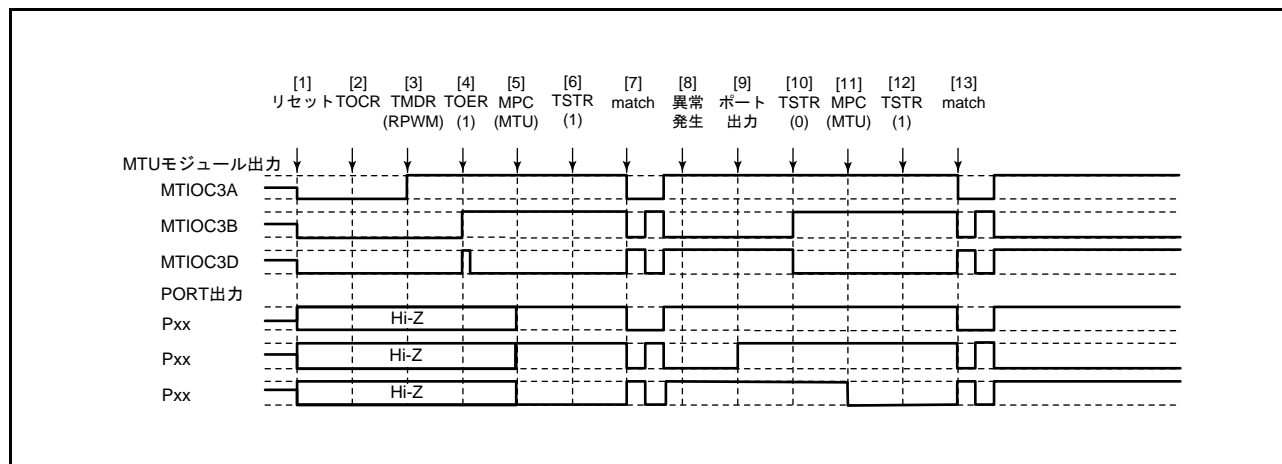


図 22.155 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

[1] ~ [10] は図 22.152 と共通です。

[11] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[12] TSTR レジスタで再スタートします。

[13] コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

22.8 ELCによるリンク動作

22.8.1 ELCへのイベント信号出力

MTUはイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

22.8.2 ELCからのイベント信号受信によるMTUの動作

MTUはELCのELSRnレジスタの設定により、あらかじめ設定したイベントによる次の動作が可能です。

(1) カウントスタート動作

ELCのELOPA、ELOPBレジスタでMTUのカウントスタート動作を選択します。ELOPAレジスタはチャンネル1～3、ELOPBレジスタはチャンネル4へ機能します。MTUの設定するチャンネルのTMDRレジスタはリセット後の値(00h)にしてください。ELSRnレジスタで指定したイベントが発生すると、表22.60に示したTSTR.CSTnビットが“1”にされ、MTUのカウントがスタートします。

ただし、TSTR.CSTnビットが“1”にされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。各チャンネルに対して使用するTSTRレジスタのビット名は表22.60を参照してください。

カウントスタート動作の設定手順の詳細については「22.3.1(1) カウンタの動作」を参照ください。

表22.60 ELCとリンク動作するタイマスタートレジスタ

チャンネル番号	タイマスタートレジスタ
チャンネル1	TSTR.CST1ビット
チャンネル2	TSTR.CST2ビット
チャンネル3	TSTR.CST3ビット
チャンネル4	TSTR.CST4ビット

(2) インพุットキャプチャ動作

ELCのELOPA、ELOPBレジスタでMTU2のインพุットキャプチャ動作を選択します。ELOPAレジスタはチャンネル1～3、ELOPBレジスタはチャンネル4へ対応します。MTUの設定するチャンネルのTMDRレジスタはリセット後の値(00h)にしてください。ELSRnレジスタで指定したイベントが発生すると、TCNTカウンタの値をTGRレジスタへキャプチャします。イベントリンクによるインพุットキャプチャ動作を使用する場合は、MTUのTIORレジスタのビットをインพุットキャプチャに設定し、TSTR.CSTnビットを“1”にしカウンタをスタートさせてください。

このときTIOcNA端子(インพุットキャプチャ端子)の入力は無効となります。

各チャンネルに対して使用するTGRレジスタ、TIORレジスタのビット名は表22.61を参照してください。

インพุットキャプチャの設定手順の詳細については「22.3.1(3) インพุットキャプチャ機能」を参照ください。

表22.61 ELC動作時のインพุットキャプチャ動作において使用する各チャンネルでのタイマジェネラルレジスタ、タイマI/Oコントロールレジスタ

チャンネル番号	レジスタ名	TIORレジスタのビット名
チャンネル1	TGRAレジスタ	TIOR.IOA[3:0]ビット
チャンネル2	TGRAレジスタ	TIOR.IOA[3:0]ビット
チャンネル3	TGRAレジスタ	TIORH.IOA[3:0]ビット
チャンネル4	TGRAレジスタ	TIORH.IOA[3:0]ビット

(3) カウントリスタート動作

ELC の ELOPA、ELOPB レジスタで MTU のカウントリスタート動作を選択します。ELOPA レジスタはチャンネル1～3、ELOPB レジスタはチャンネル4へ対応します。MTU の設定するチャンネルの TMDR レジスタはリセット後の値 (00h) にしてください。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値が初期値に書き換わります。TSTR レジスタの CSTn ビットが“1”にしていればカウント動作を継続することができます。対応する TSTR.CSTn ビットは表 22.60 を参照ください。

22.8.3 ELC からのイベント信号受信による MTU の注意事項

以下に MTU をイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

TSTR.CSTn ビットへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TSTR.CSTn ビットへの書き込みサイクルは行われずイベント発生による 1 セットが優先されます。

(2) カウントリスタート動作

TCNT カウンタへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタへの書き込みサイクルは行われずイベント発生によるカウント値の初期化が優先されます。

23. ポートアウトプットイネーブル2 (POE2a)

ポートアウトプットイネーブル2 (POE) は、POE0# ~ POE3#、POE8# 端子の入力変化、MTU 相補 PWM 出力端子 (MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D) の出力状態、クロック発生回路の発振停止検出、レジスタ設定 (SPOER レジスタ) またはイベントリンクコントローラ (ELC) からのイベント信号入力によって MTU 相補 PWM 出力端子および MTU0 出力端子 (MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D) をハイインピーダンスにすることができます。

また、同時に割り込み要求を発行することができます。

本章に記載している PCLK とは PCLKB を指します。

23.1 概要

表 23.1 に POE の仕様を、図 23.1 に POE のブロック図を示します。

表 23.1 POE の仕様

項目	内容
入力レベル検出による ハイインピーダンス制御	<ul style="list-style-type: none"> POE0# ~ POE3#、POE8# の各入力端子に立ち下がりエッジ、PCLK/8 クロックごとに 16 回、PCLK/16 クロックごとに 16 回、PCLK/128 クロックごとに 16 回の Low サンプリングが設定可能 POE0# ~ POE3# 端子の立ち下がりエッジまたは Low サンプリングによって、MTU 相補 PWM 出力端子をハイインピーダンスに設定可能 POE8# 端子の立ち下がりエッジまたは Low サンプリングによって、MTU0 出力端子をハイインピーダンスに設定可能
出力レベル比較による ハイインピーダンス制御	<ul style="list-style-type: none"> MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1PCLK クロック以上続いた場合、MTU 相補 PWM 出力端子をハイインピーダンスに設定可能
発振停止検出による ハイインピーダンス制御	<ul style="list-style-type: none"> クロック発生回路が発振停止した場合、MTU 相補 PWM 出力端子および MTU0 出力端子をハイインピーダンスに設定可能
ソフトウェア (レジスタ) による ハイインピーダンス制御	<ul style="list-style-type: none"> POE のレジスタ書き込みをすることで、MTU 相補 PWM 出力端子および MTU0 出力端子をハイインピーダンスに設定可能
イベント信号による ハイインピーダンス制御	<ul style="list-style-type: none"> イベントリンクコントローラ (ELC) からのイベント信号により、MTU 相補 PWM 出力端子および MTU0 出力端子をハイインピーダンスに設定可能
割り込み	<ul style="list-style-type: none"> POE0# ~ POE3#、POE8# の入力レベル検出結果または MTU 相補 PWM 出力端子の出力レベルの比較結果により、それぞれの割り込みを発生

POE は、図 23.1 のブロック図に示すように入力レベル検出回路、出力レベル比較回路、クロック発生回路の発振停止検出信号の入力、およびハイインピーダンス要求 / 割り込み要求生成回路から構成されます。

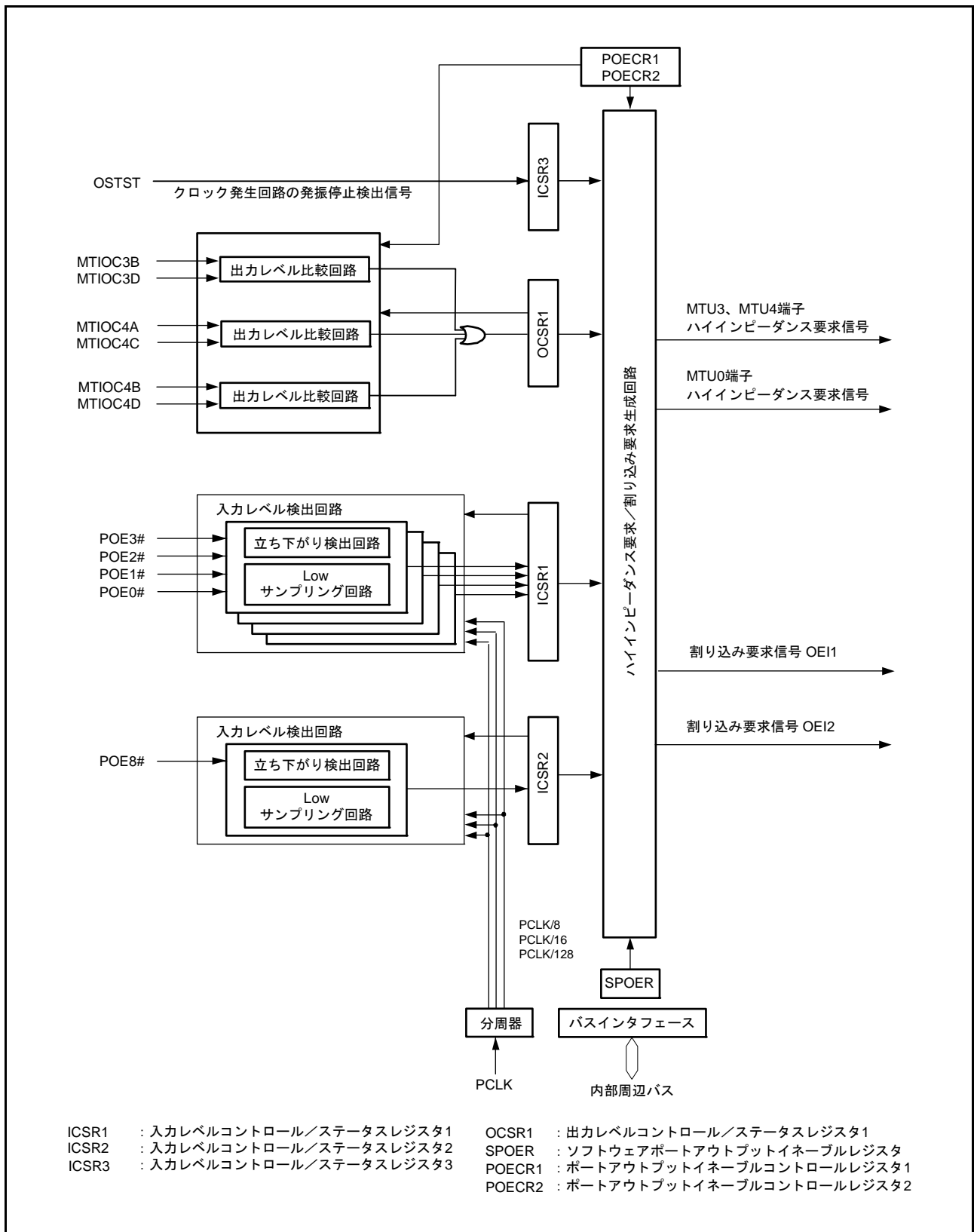


図 23.1 POE のブロック図

表 23.2 に POE で使用する入出力端子を示します。

表 23.2 POEの入出力端子

端子名	入出力	機能
POE0#～POE3#	入力	MTU相補PWM出力端子をハイインピーダンスにする要求信号
POE8#	入力	MTU0の出力端子をハイインピーダンスにする要求信号
MTIOC3B	出力	MTU3相補PWM出力端子
MTIOC3D	出力	MTU3相補PWM出力端子
MTIOC4A	出力	MTU4相補PWM出力端子
MTIOC4B	出力	MTU4相補PWM出力端子
MTIOC4C	出力	MTU4相補PWM出力端子
MTIOC4D	出力	MTU4相補PWM出力端子
MTIOC0A	出力	MTU0出力端子
MTIOC0B	出力	MTU0出力端子
MTIOC0C	出力	MTU0出力端子
MTIOC0D	出力	MTU0出力端子

表 23.3 に示す端子の組み合わせで出力レベルの比較を行います。

表 23.3 端子の組み合わせ

端子の組み合わせ	入出力	機能
MTIOC3BとMTIOC3D	出力	どの組み合わせに対して出力レベル比較を行いハイインピーダンス制御を行うかは、POEのレジスタで設定できます。 1PCLKクロック以上同時にアクティブレベル出力が続いた場合、MTU相補PWM出力端子をハイインピーダンスにします。 (MTU.TOCR1.TOCSビット="0"のときに、MTU.TOCR1.OLSP, OLSNビットが"0"の場合はLow出力、"1"の場合はHigh出力。 MTU.TOCR1.TOCSビット="1"のときに、MTU.TOCR2.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが"0"の場合はLow出力、"1"の場合はHigh出力)
MTIOC4AとMTIOC4C	出力	
MTIOC4BとMTIOC4D	出力	

23.2 レジスタの説明

23.2.1 入力レベルコントロール/ステータスレジスタ 1 (ICSR1)

アドレス 0008 8900h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	POE3F	POE2F	POE1F	POE0F	—	—	—	PIE1	POE3M[1:0]	POE2M[1:0]	POE1M[1:0]	POE0M[1:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE0M[1:0]	POE0モード選択ビット	b1 b0 0 0: POE0#端子入力の立ち下がりエッジでハイインピーダンス要求を受け付ける 0 1: POE0#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 0: POE0#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 1: POE0#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける	R/W (注1)
b3-b2	POE1M[1:0]	POE1モード選択ビット	b3 b2 0 0: POE1#端子入力の立ち下がりエッジでハイインピーダンス要求を受け付ける 0 1: POE1#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 0: POE1#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 1: POE1#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける	R/W (注1)
b5-b4	POE2M[1:0]	POE2モード選択ビット	b5 b4 0 0: POE2#端子入力の立ち下がりエッジでハイインピーダンス要求を受け付ける 0 1: POE2#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 0: POE2#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 1: POE2#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける	R/W (注1)
b7-b6	POE3M[1:0]	POE3モード選択ビット	b7 b6 0 0: POE3#端子入力の立ち下がりエッジでハイインピーダンス要求を受け付ける 0 1: POE3#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 0: POE3#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 1: POE3#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける	R/W (注1)
b8	PIE1	ポート割り込み許可1ビット	0: 入力レベル検出によるOE11割り込み要求を禁止 1: 入力レベル検出によるOE11割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0フラグ	0: POE0#端子にハイインピーダンス要求なし 1: POE0#端子にハイインピーダンス要求あり	R/(W) (注2)
b13	POE1F	POE1フラグ	0: POE1#端子にハイインピーダンス要求なし 1: POE1#端子にハイインピーダンス要求あり	R/(W) (注2)
b14	POE2F	POE2フラグ	0: POE2#端子にハイインピーダンス要求なし 1: POE2#端子にハイインピーダンス要求あり	R/(W) (注2)
b15	POE3F	POE3フラグ	0: POE3#端子にハイインピーダンス要求なし 1: POE3#端子にハイインピーダンス要求あり	R/(W) (注2)

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

POE0M[1:0] ~ POE3M[1:0] ビットで Low サンプリングを設定している場合、POE0F ~ POE3F フラグに“0”を書き込むには、POE0# ~ POE3# 端子に High を入力する必要があります。

詳細は「23.3.6 ハイインピーダンスからの解除」を参照してください。

PIE1 ビット (ポート割り込み許可 1 ビット)

POE3F ~ POE0F フラグのいずれかが“1”になったときに、OEI1 割り込みを要求するかどうかを指定します。

POE0F フラグ (POE0 フラグ)

POE0# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE0# 端子に POE0M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

POE1F フラグ (POE1 フラグ)

POE1# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE1# 端子に POE1M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

POE2F フラグ (POE2 フラグ)

POE2# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE2# 端子に POE2M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

POE3F フラグ (POE3 フラグ)

POE3# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE3# 端子に POE3M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

23.2.2 出力レベルコントロール/ステータスレジスタ 1 (OCSR1)

アドレス 0008 8902h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み許可1ビット	0: 出力レベル比較によるOIE1割り込み要求を禁止 1: 出力レベル比較によるOIE1割り込み要求を許可	R/W
b9	OCE1	出力短絡ハイインピーダンス許可1ビット	0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ1	0: 同時にアクティブレベルになっていない 1: 同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読んだ後に“0”のみ書けます。

OIE1 ビット (出力短絡割り込み許可 1 ビット)

OSF1 フラグが“1”のときに、OIE1 割り込みを要求するかどうかを指定します。

OCE1 ビット (出力短絡ハイインピーダンス許可 1 ビット)

OSF1 フラグが“1”のときに、MTU 相補 PWM 出力端子をハイインピーダンスにするかどうかを指定します。

OSF1 フラグ (出力短絡フラグ 1)

表 23.3 に示す MTU 相補 PWM 出力端子の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。POE2.PnCZEA (n=1,2,3) ビットが“0”のとき、または MTU のアウトプットコンペア機能を有効にしていないとき、対応する MTU 相補 PWM 出力端子が同時にアクティブレベルになっても OSF1 フラグは“1”になりません。

[“1”になる条件]

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

“0”を書くには、MTU 相補 PWM 出力端子から非アクティブを出力する必要があります。

詳細は「23.3.6 ハイインピーダンスからの解除」参照してください。

23.2.3 入力レベルコントロール/ステータスレジスタ 2 (ICSR2)

アドレス 0008 8908h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE8F	—	—	POE8E	PIE2	—	—	—	—	—	—	POE8M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE8M[1:0]	POE8モード選択ビット	b1 b0 0 0 : POE8#端子入力の立ち下がりエッジで要求を受け付ける 0 1 : POE8#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 0 : POE8#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 1 : POE8#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE2	ポート割り込み許可2ビット	0 : OEI2割り込み要求を禁止 1 : OEI2割り込み要求を許可	R/W
b9	POE8E	POE8ハイインピーダンス許可ビット	0 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D端子をハイインピーダンスにしない 1 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE8F	POE8フラグ	0 : POE8#端子にハイインピーダンス要求なし 1 : POE8#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

PIE2 ビット (ポート割り込み許可2ビット)

POE8Fフラグが“1”になったときに、OEI2割り込みを要求するかどうかを指定します。

POE8E ビット (POE8 ハイインピーダンス許可ビット)

POE8Fフラグが“1”になったときに、MTU0用端子をハイインピーダンスにするかどうかを指定します。

POE8F フラグ (POE8 フラグ)

POE8#端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE8#端子にPOE8M[1:0]ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

POE8M[1:0]ビットでLowサンプリングを設定している場合、“0”を書くには、POE8#端子にHighを入力する必要があります。

詳細は「23.3.6 ハイインピーダンスからの解除」参照してください。

23.2.4 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

アドレス 0008 890Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CH0HI Z	CH34HI Z
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH34HIZ	MTU3、MTU4出力ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W
b1	CH0HIZ	MTU0出力ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CH34HIZ ビット (MTU3、MTU4 出力ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子 (MTIOC3B/MTIOC3D/MTIOC4A/MTIOC4B/MTIOC4C/MTIOC4D) をハイインピーダンスにする制御を行うかどうかを選択します。

[“1”になる条件]

- “1”を書いたとき
- イベントリンクコントローラ (ELC) からのイベント信号を受信したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

CH0HIZ ビット (MTU0 出力ハイインピーダンス許可ビット)

MTU0 用端子 (MTIOC0A/MTIOC0B/MTIOC0C/MTIOC0D) をハイインピーダンスにする制御を行うかどうかを選択します。

[“1”になる条件]

- “1”を書いたとき
- イベントリンクコントローラ (ELC) からのイベント信号を受信したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

23.2.5 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

アドレス 0008 890Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	PE3ZE	PE2ZE	PE1ZE	PE0ZE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PE0ZE	MTIOC0Aハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b1	PE1ZE	MTIOC0Bハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b2	PE2ZE	MTIOC0Cハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b3	PE3ZE	MTIOC0Dハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

23.2.6 ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)

アドレス 0008 890Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	P1CZEA	P2CZEA	P3CZEA	—	—	—	—
	A	A	A				

リセット後の値 0 1 1 1 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	P3CZEA	MTUポート3ハイインピーダンス許可ビット	0: 出力レベル比較を行わず、ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b5	P2CZEA	MTUポート2ハイインピーダンス許可ビット	0: 出力レベル比較を行わず、ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b6	P1CZEA	MTUポート1ハイインピーダンス許可ビット	0: 出力レベル比較を行わず、ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

本機能を使用しない場合、“00h”を書いてください。

P3CZEA ビット (MTU ポート 3 ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子の MTIOC4B と MTIOC4D をハイインピーダンスするかどうかを許可します。また、MTIOC4B と MTIOC4D の出力レベル比較を行うかどうかを許可します。

P2CZEA ビット (MTU ポート 2 ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子の MTIOC4A と MTIOC4C をハイインピーダンスするかどうかを許可します。また、MTIOC4A と MTIOC4C の出力レベル比較を行うかどうかを許可します。

P1CZEA ビット (MTU ポート 1 ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子の MTIOC3B と MTIOC3D をハイインピーダンスするかどうかを許可します。また、MTIOC3B と MTIOC3D の出力レベル比較を行うかどうかを許可します。

23.2.7 入力レベルコントロール/ステータスレジスタ 3 (ICSR3)

アドレス 0008 890Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OSTST F	—	—	OSTST E	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OSTSTE	OSTSTハイインピーダンス許可ビット	0 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子をハイインピーダンスにしない 1 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	OSTSTF	OSTSTハイインピーダンスフラグ	0 : 発振停止ハイインピーダンス要求なし 1 : 発振停止ハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

OSTSTE ビット (OSTST ハイインピーダンス許可ビット)

発振停止検出時に MTU 相補 PWM 出力端子、MTU0 用端子をハイインピーダンスにするかどうかを許可します。

OSTSTF フラグ (OSTST ハイインピーダンスフラグ)

OSTSTF フラグは、発振停止ハイインピーダンス要求を示すステータスフラグです。発振停止状態になると“1”になります。OSTSTF フラグを“0”にするときは、発振停止検出信号がネゲート状態のときに“0”を書いてください。発振停止検出信号がアサート中に OSTSTF フラグに“0”を書いても“0”になりません。アサート中とは、発振停止を検出後、10PCLK クロック経過するまでの期間です。

[“1”になる条件]

- 発振停止状態を検出したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

23.3 動作説明

以下にハイインピーダンスの対象になる端子と条件を示します。

(1) MTU0 用端子 (MTIOC0A)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
POECR1.PE0ZE ビットと ICSR2.POE8E ビットが“1”の状態、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
POECR1.PE0ZE ビットが“1”の状態、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出
POECR1.PE0ZE ビットと ICSR3.OSTSTE ビットが“1”の状態、OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(2) MTU0 用端子 (MTIOC0B)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
POECR1.PE1ZE ビットと ICSR2.POE8E ビットが“1”の状態、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
POECR1.PE1ZE ビットが“1”の状態、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出
POECR1.PE1ZE ビットと ICSR3.OSTSTE ビットが“1”の状態、OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(3) MTU0 用端子 (MTIOC0C)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
POECR1.PE2ZE ビットと ICSR2.POE8E ビットが“1”の状態、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
POECR1.PE2ZE ビットが“1”の状態、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出
POECR1.PE2ZE ビットと ICSR3.OSTSTE ビットが“1”の状態、OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(4) MTU0 用端子 (MTIOC0D)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
POECR1.PE3ZE ビットと ICSR2.POE8E ビットが“1”の状態、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
POECR1.PE3ZE ビットが“1”の状態、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出
POECR1.PE3ZE ビットと ICSR3.OSTSTE ビットが“1”の状態、OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(5) MTU3 用端子 (MTIOC3B、MTIOC3D)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ~ POE3# 端子の入力レベル検出
POE2R.P1CZEA ビットが“1”の状態、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが“1”になったとき
- MTIOC3B 端子と MTIOC3D 端子の出力レベル比較
POE2R.P1CZEA ビットと OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
POE2R.P1CZEA ビットが“1”の状態、SPOER.CH34HIZ ビットを“1”にしたとき
- 発振停止検出
POE2R.P1CZEA ビットと ICSR3.OSTSTE ビットが“1”の状態、ICSR3.OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(6) MTU4 用端子 (MTIOC4A、MTIOC4C)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ~ POE3# 端子の入力レベル検出
POE2R.P2CZEA ビットが“1”の状態、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが“1”になったとき
- MTIOC4A 端子と MTIOC4C 端子の出力レベル比較
POE2R.P2CZEA ビットと OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
POE2R.P2CZEA ビットが“1”の状態、SPOER.CH34HIZ ビットを“1”にしたとき
- 発振停止検出
POE2R.P2CZEA ビットと ICSR3.OSTSTE ビットが“1”の状態、ICSR3.OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(7) MTU4 用端子 (MTIOC4B、MTIOC4D)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ~ POE3# 端子の入力レベル検出
POE2R.P3CZEA ビットが“1”の状態、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが“1”になったとき
- MTIOC4B 端子と MTIOC4D 端子の出力レベル比較
POE2R.P3CZEA ビットと OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
POE2R.P3CZEA ビットが“1”の状態、SPOER.CH34HIZ ビットを“1”にしたとき
- 発振停止検出
POE2R.P3CZEA ビットと ICSR3.OSTSTE ビットが“1”の状態、ICSR3.OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

23.3.1 入力レベル検出動作

ICSR1、ICSR2 レジスタで設定した入力条件が POE0# ~ POE3#、POE8# 端子に発生した場合、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンスにします。

(1) 立ち下がリエッジ検出

POE0# ~ POE3#、POE8# 端子に High から Low の変化が入力されたとき、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンスにします。

立ち下がリエッジは、PCLK でサンプリングを行った後、検出します。POE0# ~ POE3#、POE8# 端子に 1PCLK クロック未満の Low が入力された場合、立ち下がリエッジが検出できるかどうかは保証できません。

POE0# ~ POE3#、POE8# 端子入力から端子のハイインピーダンスまでのタイミング例を図 23.2 に示します。

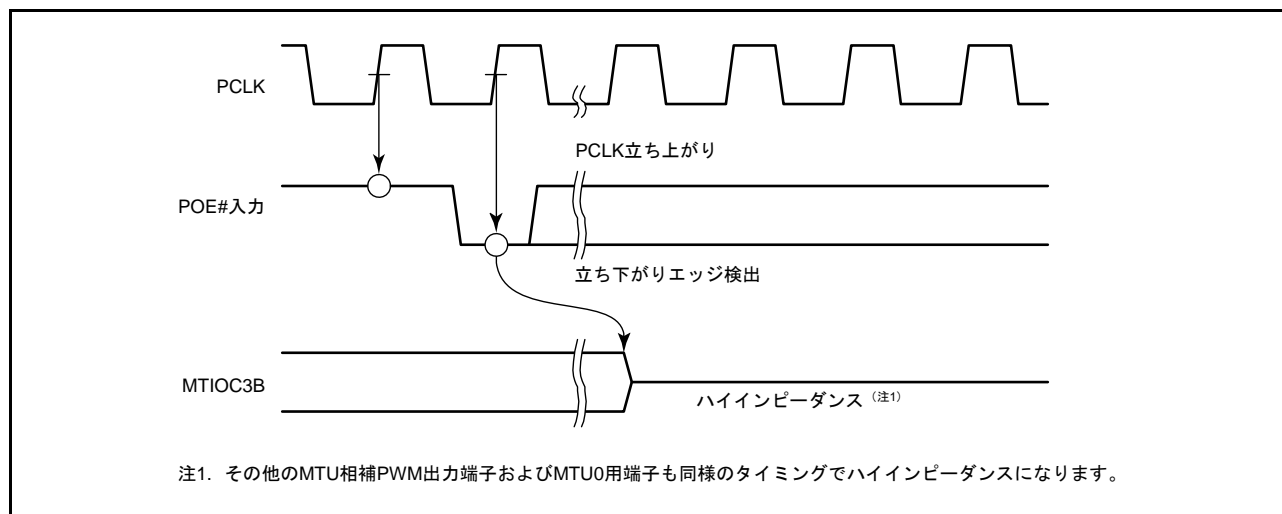


図 23.2 立ち下がリエッジ検出動作

(2) Low 検出

図 23.3 に Low 検出動作を示します。ICSR1、ICSR2 レジスタで設定したサンプリングクロックで、16回連続して Low を検出すると Low 検出とみなし、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンス状態にします。このとき、一度でも High を検出した場合は Low 検出とみなしません。また、サンプリングクロックが出力されていない期間は、POE0# ~ POE3#、POE8# 端子が変化しても無視されます。

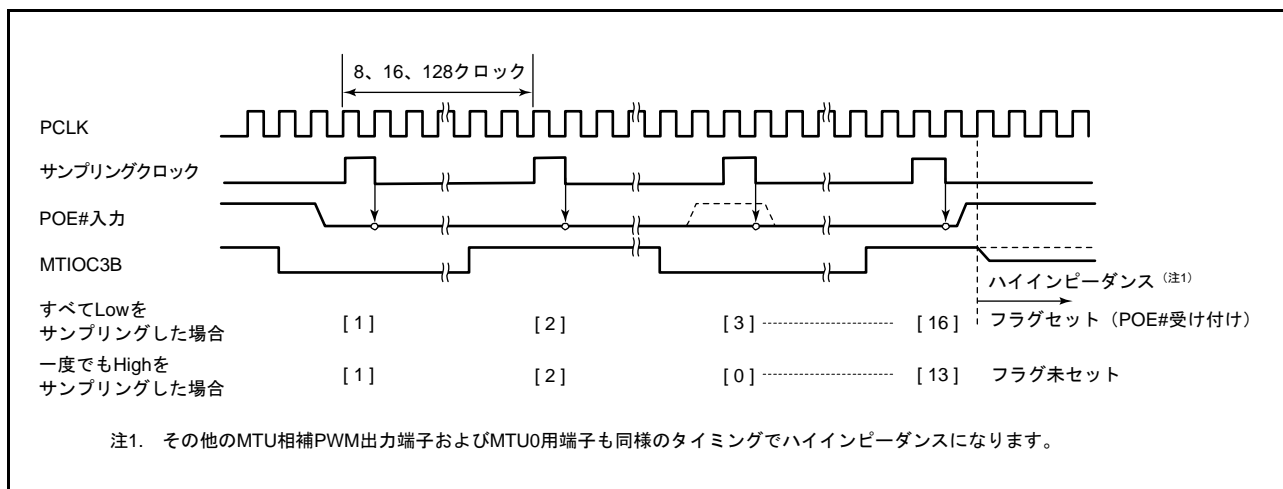


図 23.3 Low 検出動作

23.3.2 出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、MTU 相補 PWM 出力端子の出力レベル比較動作を図 23.4 に示します。他の端子の組み合わせについても同様です。

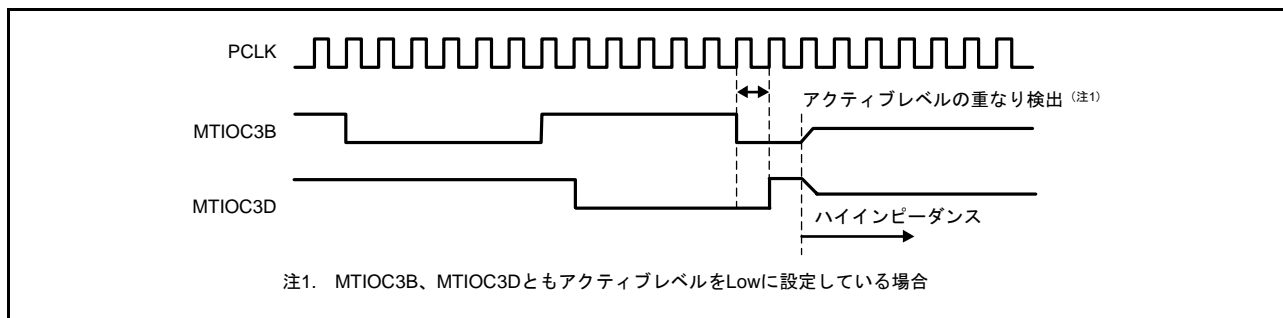


図 23.4 出力レベル比較動作

23.3.3 レジスタによるハイインピーダンス制御

ソフトウェアポートアウトプットイネーブルレジスタ (SPOER) への書き込みによって、MTU 相補 PWM 出力端子および MTU0 用端子のハイインピーダンス制御をします。

SPOER.CH34HIZ ビットを“1”にすることで、POECR2 レジスタで設定した MTU 相補 PWM 出力の端子 (MTU3、MTU4) をハイインピーダンスにします。

SPOER.CH0HIZ ビットを“1”にすることで、POECR1 レジスタで設定した MTU0 用出力端子をハイインピーダンスにします。

23.3.4 発振停止検出によるハイインピーダンス制御

ICSR3.OSTSTE ビットが“1”のとき、クロック発生回路の発振停止検出機能により発振停止が検出されると、POECR2 レジスタで設定した MTU 相補 PWM 出力端子および POECR1 レジスタで設定した MTU0 用端子をハイインピーダンスにします。

23.3.5 ELC からのイベント信号受信によるハイインピーダンス制御

ELC からのイベント信号により、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンス状態にすることができます。

ELC による MTU 相補 PWM 出力端子および MTU0 用端子のハイインピーダンス制御を行う場合は、対応するレジスタ (POECR1 または POECR2) をあらかじめ、ハイインピーダンス許可に設定してください。ELC からイベント信号を受信すると、対応するビット (SPOER.CH0HIZ または SPOER.CH34HIZ) が“1”となり、MTU 相補 PWM 出力端子または MTU0 用端子がハイインピーダンスとなります。

23.3.6 ハイインピーダンスからの解除

入力レベル検出でハイインピーダンスになった MTU 相補 PWM 出力端子および MTU0 用端子は、リセットで初期状態に戻るか、ICSR1.POE3F、POE2F、POE1F、POE0F フラグ、ICSR2.POE8F フラグを“0”にすることにより解除されます。ただし、ICSR1.POE3M[1:0]、POE2M[1:0]、POE1M[1:0]、POE0M[1:0] ビット、ICSR2.POE8M[1:0] ビットで Low サンプリングに設定している場合には、POE0# ~ POE3#、POE8# 端子から High を入力して High を検出した後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。

出力レベル比較でハイインピーダンスになった MTU 相補 PWM 出力端子は、リセットで初期状態に戻るか、OCSR1.OSF1 フラグを“0”にすることにより解除されます。ただし、MTU 相補 PWM 出力端子から非アクティブレベルを出力するようにした後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。非アクティブレベル出力は、MTU のレジスタを設定することで行うことができます。

クロック発生回路の発振停止によりハイインピーダンスになった MTU 相補 PWM 出力端子および MTU0 用端子は、ICSR3.OSTSTF ビットまたは ICSR3.OSTSTE ビットを“0”にすることによりハイインピーダンスが解除されます。

SPOER.CH34HIZ ビットまたは SPOER.CH0HIZ ビットによりハイインピーダンスになった MTU 相補 PWM 出力端子または MTU0 用端子は、端子に対応するビット (SPOER.CH34HIZ、SPOER.CH0HIZ) を“0”にすることによりハイインピーダンスが解除されます。

23.4 割り込み

POE は入力レベル検出動作、出力レベル比較動作、クロック発生回路の発振停止において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。表 23.4 に割り込みの種類と割り込み要求を出す条件を示します。OEI1 割り込みと OEI2 割り込みを受け付けたとき、当該割り込みの例外処理ルーチンの先頭で当該フラグが“1”になっていることを確認してください。

表 23.4 割り込み要求の種類と条件

名称	割り込み要因	該当フラグ	条件
OEI1	アウトプットイネーブル割り込み1	POE0F、POE1F、POE2F、POE3F、OSF1	ICSR1.PIE1ビットが“1”の状態(ICSR1.POE0F、POE1F、POE2F、またはPOE3Fフラグが“1”になったとき、もしくはOCSR1.OIE1ビットが“1”の状態(OCSR1.OSF1フラグが“1”になったとき)
OEI2	アウトプットイネーブル割り込み2	POE8F	ICSR2.PIE2ビットが“1”の状態(ICSR2.POE8Fフラグが“1”になったとき)

23.5 使用上の注意事項

23.5.1 ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへの移行について

POE を使用する場合は、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行しないでください。ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、POE の動作が停止するため、端子のハイインピーダンス制御はできません。

23.5.2 POE を使用しない場合について

POE を使用しない場合は、ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1) に“00h”を、ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2) に“00h”をそれぞれ書き込んでください。

23.5.3 端子の MTU 機能設定について

POE によるハイインピーダンス制御は、端子が PMR レジスタと PmnPFS レジスタによって MTU の該当端子に選択されている場合のみ機能します。汎用入出力ポートに選択されている場合は、ハイインピーダンス制御はできません。

23.5.4 ELC からのイベント信号受信によるハイインピーダンス制御の注意事項

SPOER.CH34HIZ ビットまたは SPOER.CH0HIZ ビットへの“0”書き込みとイベント信号の受信が競合すると、イベント信号が優先され、対応するビットが“1”になります。ELC からのイベント信号の受信により MTU 相補 PWM 出力端子および MTU0 用端子がハイインピーダンスになったときは、割り込み要求は発生しません。

24. 16ビットタイマパルスユニット (TPUa)

本MCUは、6チャンネルの16ビットタイマで構成される16ビットタイマパルスユニット (TPU) を内蔵しています。

本章に記載しているPCLKとはPCLKBを指します。

24.1 概要

表 24.1 に TPU の仕様を、表 24.2 に TPU の機能一覧を示します。

図 24.1 に TPU のブロック図を示します。

表 24.1 TPUの仕様

項目	内容
パルス入出力	最大16本
カウントクロック	各チャンネルに7種類または8種類
設定可能動作	<ul style="list-style-type: none"> • コンペアマッチによる波形出力 • インพุットキャプチャ機能 (ノイズフィルタ設定可能) • カウンタクリア動作 • 複数のタイマカウンタ (TCNT) への同時書き込み • コンペアマッチ/インพุットキャプチャによる同時クリア • カウンタの同期動作による各レジスタの同期入出力 • 同期動作と組み合わせることによる最大15相のPWM出力 • カスケード接続動作
TPU0, TPU3	バッファ動作を設定可能
TPU1, TPU2, TPU4, TPU5	位相計数モードを設定可能
割り込み要因	26種類
バッファ動作	レジスタデータの自動転送
トリガ生成	A/Dコンバータの変換開始トリガを生成可能
消費電力低減機能	ユニットごとにモジュールストップ状態の設定が可能

表 24.2 TPUの機能一覧

項目	TPU0	TPU1	TPU2	TPU3	TPU4	TPU5
カウントクロック	PCLK/1 PCLK/4 PCLK/16 PCLK/64 TCLKA TCLKB TCLKC TCLKD	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKA TCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKA TCLKB TCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 PCLK/4096 TCLKA	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKA TCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKA TCLKC TCLKD
位相計数モードの外部クロック	—	TCLKA TCLKB	TCLKC TCLKD	—	TCLKC TCLKD	TCLKA TCLKB
タイマジェネラルレジスタ	TGRA TGRB TGRC (注1) TGRD (注1)	TGRA TGRB	TGRA TGRB	TGRA TGRB TGRC (注1) TGRD (注1)	TGRA TGRB	TGRA TGRB
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア機能 (y = A~D)	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ
コンペアマッチ出力	Low出力	○	○	○	○	○
	High出力	○	○	○	○	○
	トグル出力	○	○	○	○	○
インプットキャプチャ機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	○
PWMモード	○	○	○	○	○	○
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DTCの起動 (y = A~D)	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ
DMACの起動	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ
A/D変換開始トリガ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	—
割り込み要因	5要因 ・コンペアマッチ /インプット キャプチャ 0A ・コンペアマッチ /インプット キャプチャ 0B ・コンペアマッチ /インプット キャプチャ 0C ・コンペアマッチ /インプット キャプチャ 0D ・オーバフロー	4要因 ・コンペアマッチ /インプット キャプチャ 1A ・コンペアマッチ /インプット キャプチャ 1B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッチ /インプット キャプチャ 2A ・コンペアマッチ /インプット キャプチャ 2B ・オーバフロー ・アンダフロー	5要因 ・コンペア マッチ /インプット キャプチャ 3A ・コンペア マッチ /インプット キャプチャ 3B ・コンペア マッチ /インプット キャプチャ 3C ・コンペア マッチ /インプット キャプチャ 3D ・オーバフロー	4要因 ・コンペアマッチ /インプット キャプチャ 4A ・コンペアマッチ /インプット キャプチャ 4B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッチ /インプット キャプチャ 5A ・コンペアマッチ /インプット キャプチャ 5B ・オーバフロー ・アンダフロー
モジュールストップの設定 (注2)	MSTPCRA.MSTPA13ビット					

○ : 可能
— : 不可能

注1. TGRCレジスタとTGRDレジスタは、バッファレジスタとして設定できます。

注2. 詳細は「11. 消費電力低減機能」を参照してください。

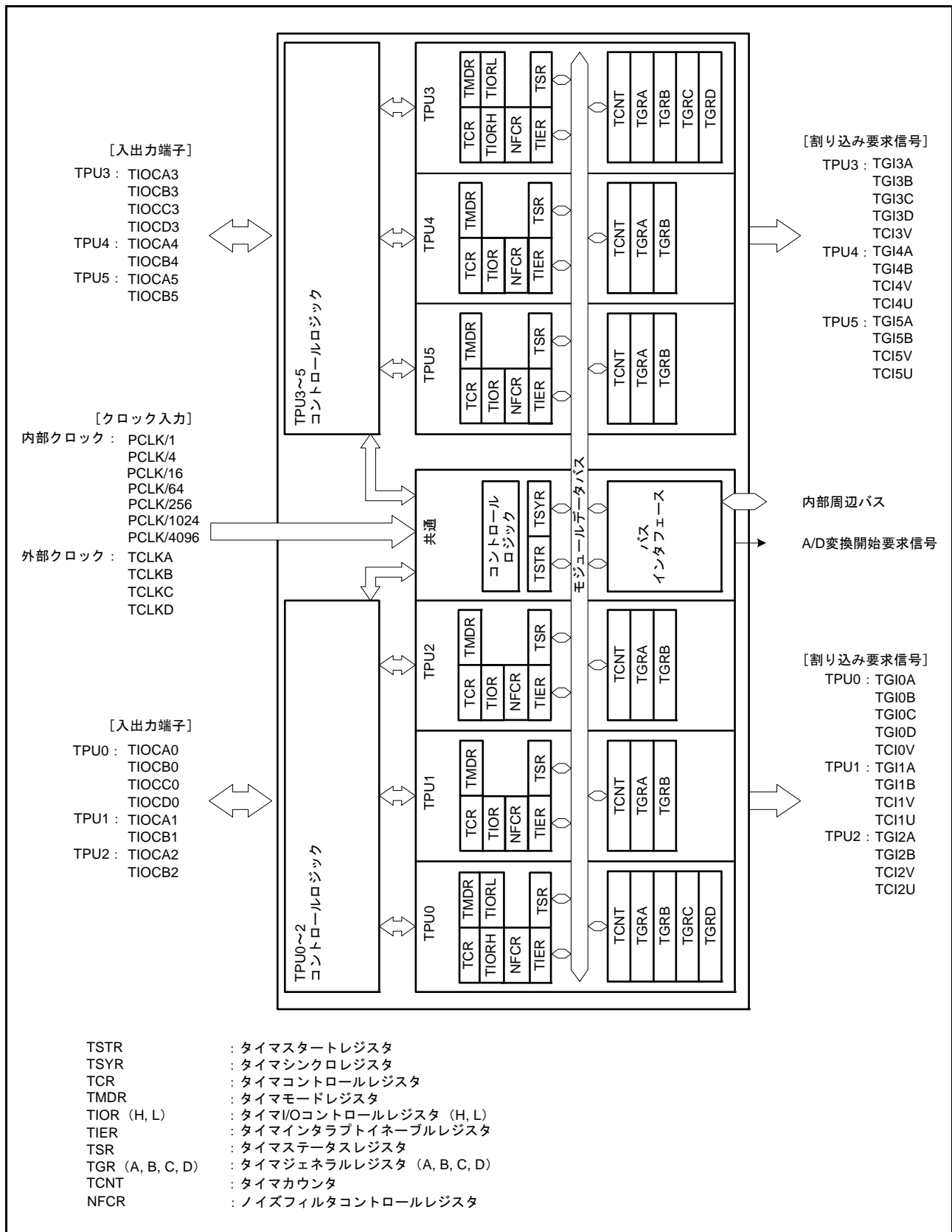


図 24.1 TPU のブロック図

表 24.3 に TPU で使用する入出力端子を示します。

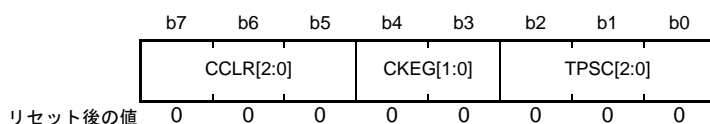
表 24.3 TPUの入出力端子

チャンネル	端子名	入出力	機能
共通	TCLKA	入力	外部クロックA入力端子 (TPU1, TPU5の位相計数モードA相入力)
	TCLKB	入力	外部クロックB入力端子 (TPU1, TPU5の位相計数モードB相入力)
	TCLKC	入力	外部クロックC入力端子 (TPU2, TPU4の位相計数モードA相入力)
	TCLKD	入力	外部クロックD入力端子 (TPU2, TPU4の位相計数モードB相入力)
TPU0	TIOCA0	入出力	TPU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB0	入出力	TPU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCC0	入出力	TPU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCD0	入出力	TPU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU1	TIOCA1	入出力	TPU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB1	入出力	TPU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU2	TIOCA2	入出力	TPU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB2	入出力	TPU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU3	TIOCA3	入出力	TPU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB3	入出力	TPU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCC3	入出力	TPU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCD3	入出力	TPU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU4	TIOCA4	入出力	TPU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB4	入出力	TPU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU5	TIOCA5	入出力	TPU5.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB5	入出力	TPU5.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

24.2 レジスタの説明

24.2.1 タイマコントロールレジスタ (TCR)

アドレス TPU0.TCR 0008 8110h, TPU1.TCR 0008 8120h, TPU2.TCR 0008 8130h,
TPU3.TCR 0008 8140h, TPU4.TCR 0008 8150h, TPU5.TCR 0008 8160h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケラ選択ビット	表 24.4～表 24.9を参照してください	R/W
b4-b3	CKEG[1:0]	入力クロックエッジ選択ビット	表 24.10を参照してください	R/W
b7-b5	CCLR[2:0] (注1)	カウンタクリア要因選択ビット	表 24.11、表 24.12を参照してください	R/W

注1. TPU1.TCR, TPU2.TCR, TPU4.TCR, TPU5.TCRレジスタのb7は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TPUm.TCR レジスタの設定は、TPUm.TCNT の動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケラ選択ビット)

TCNT のクロックを選択します。チャンネルごとにクロックソースを選択することができます。

クロックに外部クロックを選択する場合は、該当する端子のポート方向レジスタ (PDR) のビットを“0” (入力ポート) に、ポートモードレジスタ (PMR) のビットを“1” (周辺機能として使用) にしてください。詳細は、「20. I/O ポート」を参照してください。

CKEG[1:0] ビット (入力クロックエッジ選択ビット)

入力クロックのエッジを選択します。

内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: PCLK/4 クロックの両エッジ = PCLK/2 クロックの立ち上がりエッジ)。

内部クロックのエッジ選択は、入力クロックが PCLK/4 クロック、もしくはそれより遅い場合に有効です。入力クロックに PCLK/1 クロック、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、この設定は無視されます。

表24.4 TPSC[2:0]ビット (TPU0)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU0	0	0	0	内部クロック : PCLK/1クロックでカウント
	0	0	1	内部クロック : PCLK/4クロックでカウント
	0	1	0	内部クロック : PCLK/16クロックでカウント
	0	1	1	内部クロック : PCLK/64クロックでカウント
	1	0	0	外部クロック • TPU0 : TCLKA 端子入力でカウント
	1	0	1	外部クロック • TPU0 : TCLKB 端子入力でカウント
	1	1	0	外部クロック • TPU0 : TCLKC 端子入力でカウント
	1	1	1	外部クロック • TPU0 : TCLKD 端子入力でカウント

表24.5 TPSC[2:0]ビット (TPU1)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU1	0	0	0	内部クロック : PCLK/1クロックでカウント
	0	0	1	内部クロック : PCLK/4クロックでカウント
	0	1	0	内部クロック : PCLK/16クロックでカウント
	0	1	1	内部クロック : PCLK/64クロックでカウント
	1	0	0	外部クロック • TPU1 : TCLKA 端子入力でカウント
	1	0	1	外部クロック • TPU1 : TCLKB 端子入力でカウント
	1	1	0	内部クロック : PCLK/256クロックでカウント
	1	1	1	• TPU1 TPU2.TCNTのオーバフロー/アンダフローでカウント

注. TPU1が位相計数モード時、この設定は無効になります。

表24.6 TPSC[2:0]ビット (TPU2)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU2	0	0	0	内部クロック : PCLK/1クロックでカウント
	0	0	1	内部クロック : PCLK/4クロックでカウント
	0	1	0	内部クロック : PCLK/16クロックでカウント
	0	1	1	内部クロック : PCLK/64クロックでカウント
	1	0	0	外部クロック • TPU2 : TCLKA 端子入力でカウント
	1	0	1	外部クロック • TPU2 : TCLKB 端子入力でカウント
	1	1	0	外部クロック • TPU2 : TCLKC 端子入力でカウント
	1	1	1	内部クロック : PCLK/1024クロックでカウント

注. TPU2が位相計数モード時、この設定は無効になります。

表24.7 TPSC[2:0]ビット (TPU3)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU3	0	0	0	内部クロック : PCLK/1クロックでカウント
	0	0	1	内部クロック : PCLK/4クロックでカウント
	0	1	0	内部クロック : PCLK/16クロックでカウント
	0	1	1	内部クロック : PCLK/64クロックでカウント
	1	0	0	外部クロック • TPU3 : TCLKA 端子入力でカウント
	1	0	1	内部クロック : PCLK/1024クロックでカウント
	1	1	0	内部クロック : PCLK/256クロックでカウント
	1	1	1	内部クロック : PCLK/4096クロックでカウント

表24.8 TPSC[2:0]ビット (TPU4)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU4	0	0	0	内部クロック : PCLK/1クロックでカウント
	0	0	1	内部クロック : PCLK/4クロックでカウント
	0	1	0	内部クロック : PCLK/16クロックでカウント
	0	1	1	内部クロック : PCLK/64クロックでカウント
	1	0	0	外部クロック • TPU4 : TCLKA 端子入力でカウント
	1	0	1	外部クロック • TPU4 : TCLKC 端子入力でカウント
	1	1	0	内部クロック : PCLK/1024クロックでカウント
	1	1	1	• TPU4 TPU5.TCNT のオーバフロー/アンダフローでカウント

注. TPU4が位相計数モード時、この設定は無効になります。

表24.9 TPSC[2:0]ビット (TPU5)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU5	0	0	0	内部クロック : PCLK/1クロックでカウント
	0	0	1	内部クロック : PCLK/4クロックでカウント
	0	1	0	内部クロック : PCLK/16クロックでカウント
	0	1	1	内部クロック : PCLK/64クロックでカウント
	1	0	0	外部クロック • TPU5 : TCLKA 端子入力でカウント
	1	0	1	外部クロック • TPU5 : TCLKC 端子入力でカウント
	1	1	0	内部クロック : PCLK/256クロックでカウント
	1	1	1	外部クロック • TPU5 : TCLKD 端子入力でカウント

注. TPU5が位相計数モード時、この設定は無効になります。

表24.10 CKEG[1:0]ビット

CKEG[1:0]ビット		入力クロック	
b4	b3	内部クロック	外部クロック
0	0	立ち下がりエッジでカウント	立ち上がりエッジでカウント
0	1	立ち上がりエッジでカウント	立ち下がりエッジでカウント
1	0	両エッジでカウント	両エッジでカウント
1	1	両エッジでカウント	両エッジでカウント

表24.11 CCLR[2:0]ビット (TPU0, TPU3)

チャンネル	CCLR[2:0]ビット			機能
	b7	b6	b5	
TPU0, TPU3	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア (注2)
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア (注1)
	1	1	0	TGRDレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア (注1)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア (注2)

注1. TGRC、またはTGRDレジスタをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

注2. 同期動作の設定はTPU.TSYR.SYNCjビット (j=0, 3) を“1”にすることによって行います。

表24.12 CCLR[2:0]ビット (TPU1, TPU2, TPU4, TPU5)

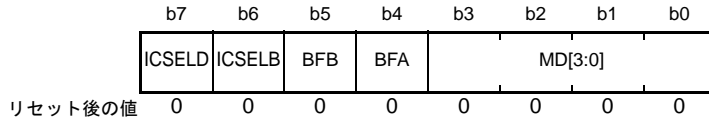
チャンネル	CCLR[2:0]ビット (注1)			機能
	b7	b6	b5	
TPU1, TPU2, TPU4, TPU5	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア (注2)
	1	0	0	設定しないでください
	1	0	1	設定しないでください
	1	1	0	設定しないでください
	1	1	1	設定しないでください

注1. TPU1.TCR, TPU2.TCR, TPU4.TCR, TPU5.TCRレジスタのb7は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注2. 同期動作の設定は、TPU.TSYR.SYNCjビット (j=1, 2, 4, 5) を“1”にすることによって行います。

24.2.2 タイマモードレジスタ (TMDR)

アドレス TPU0.TMDR 0008 8111h, TPU1.TMDR 0008 8121h, TPU2.TMDR 0008 8131h,
TPU3.TMDR 0008 8141h, TPU4.TMDR 0008 8151h, TPU5.TMDR 0008 8161h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	b3 b0 0 0 0 0 : 通常動作 0 0 0 1 : 設定しないでください 0 0 1 0 : PWMモード1 0 0 1 1 : PWMモード2 0 1 0 0 : 位相計数モード1 (注1) 0 1 0 1 : 位相計数モード2 (注1) 0 1 1 0 : 位相計数モード3 (注1) 0 1 1 1 : 位相計数モード4 (注1) 上記以外は設定しないでください	R/W
b4	BFA (注2)	バッファ動作Aビット	0 : TPUm.TGRAレジスタは通常動作 1 : TPUm.TGRAレジスタとTPUm.TGRCレジスタはバッファ動作 (m = 0, 3)	R/W
b5	BFB (注3)	バッファ動作Bビット	0 : TPUm.TGRBレジスタは通常動作 1 : TPUm.TGRBレジスタとTPUm.TGRDレジスタはバッファ動作 (m = 0, 3)	R/W
b6	ICSELB	TGRBインプットキャプチャ入力選択ビット	0 : インプットキャプチャ入力元はTIOCBn端子 1 : インプットキャプチャ入力元はTIOCA n端子 (n = 0~5)	R/W
b7	ICSELD (注3)	TGRDインプットキャプチャ入力選択ビット	0 : インプットキャプチャ入力元はTIOCDn端子 1 : インプットキャプチャ入力元はTIOCCn端子 (n = 0, 3)	R/W

注1. TPU0, TPU3では、位相計数モードの設定はできません。b2は“0”にしてください。

注2. TGRCレジスタを持たないTPU1, TPU2, TPU4, TPU5では、b4は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注3. TGRDレジスタを持たないTPU1, TPU2, TPU4, TPU5では、b5, b7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TPUm.TMDR レジスタの設定は、TPUm.TCNT の動作が停止した状態で行ってください。

BFA ビット (バッファ動作 A ビット)

TPUm.TGRA レジスタ (m = 0, 3) を通常動作させるか、TPUm.TGRA レジスタと TPUm.TGRC レジスタ (m = 0, 3) を組み合わせてバッファ動作させるかを選択します。

TGRC レジスタをバッファレジスタとして使用した場合は、TGRC レジスタのインプットキャプチャ / アウトプットコンペアは発生しません。

BFB ビット (バッファ動作 B ビット)

TPUm.TGRB レジスタ (m = 0, 3) を通常動作させるか、TPUm.TGRB レジスタと TPUm.TGRD レジスタ (m = 0, 3) を組み合わせてバッファ動作させるかを選択します。

TGRD レジスタをバッファレジスタとして使用した場合は、TGRD レジスタのインプットキャプチャ / アウトプットコンペアは発生しません。

ICSELB ビット (TGRB インพุットキャプチャ入力選択ビット)

TPUm.TGRB レジスタ (m=0~5) のインพุットキャプチャ入力を選択します。この機能を使用して1本の TIOCA_n 入力端子で入力パルスの High 幅と周期を測定できます。

ICSELD ビット (TGRD インพุットキャプチャ入力選択ビット)

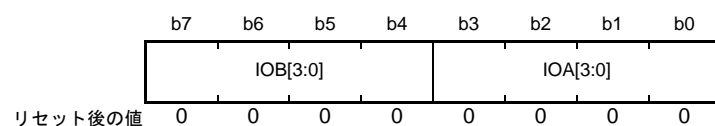
TPUm.TGRD レジスタ (m=0,3) のインพุットキャプチャ入力を選択します。

この機能を使用して1本の TIOCC_n 入力端子で入力パルスの High 幅と周期を測定できます。

24.2.3 タイマ I/O コントロールレジスタ (TIORH, TIORL, TIOR)

- TPU0.TIORH, TPU1.TIOR, TPU2.TIOR, TPU3.TIORH, TPU4.TIOR, TPU5.TIOR

アドレス TPU0.TIORH 0008 8112h, TPU1.TIOR 0008 8122h, TPU2.TIOR 0008 8132h,
TPU3.TIORH 0008 8142h, TPU4.TIOR 0008 8152h, TPU5.TIOR 0008 8162h

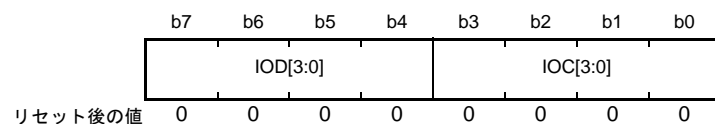


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	TGRAレジスタコントロールビット	表 24.13~表 24.18を参照してください (注1)	R/W
b7-b4	IOB[3:0]	TGRBレジスタコントロールビット	表 24.13~表 24.18を参照してください (注1)	R/W

注1. コンペアマッチでLow/High/トグル出力中に、IO_n[3:0]ビット (n = A, B) の値を出力禁止 ("0000b"または"0100b")へ変更するとHi-Zになります。

- TPU0.TIORL, TPU3.TIORL

アドレス TPU0.TIORL 0008 8113h, TPU3.TIORL 0008 8143h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	TGRCレジスタコントロールビット	表 24.19、表 24.20を参照してください (注1)	R/W
b7-b4	IOD[3:0]	TGRDレジスタコントロールビット	表 24.19、表 24.20を参照してください (注1)	R/W

注1. コンペアマッチでLow/High/トグル出力中に、IO_n[3:0]ビット (n = C, D) の値を出力禁止 ("0000b"または"0100b")へ変更するとHi-Zになります。

TPUには、TPU0, TPU3に各1本、計2本の TIORH レジスタ、TPU0, TPU3に各1本、計2本の TIORL レジスタ、TPU1, TPU2, TPU4, TPU5に各1本、計4本の TIOR レジスタがあります。総計8本のタイマ I/O コントロールレジスタがあります。

TIORH, TIORL, TIOR レジスタは、TGRA ~ TGRD レジスタを制御するレジスタです。

TIORH, TIORL, TIOR レジスタは、TMDR レジスタの設定の影響を受けますので注意してください。

詳細は表 24.13 ~ 表 24.20 を参照してください。

TIORH, TIORL, TIOR レジスタで指定した初期出力は、カウンタのカウント動作が停止した状態 (TPU.TSTR.CST_j ビット (j=0~5) が "0") で有効になります。また、PWM モード2の場合の初期出力には、TCNT が "0" になった時点での出力を指定します。

TGRC レジスタまたは TGRD レジスタをバッファ動作に設定した場合、IOC[3:0] ビットまたは IOD[3:0] ビットで設定したレジスタの機能は無効となり、TGRC レジスタまたは TGRD レジスタはバッファレジスタとして動作します。

TIORH, TIORL, TIOR レジスタでインプットキャプチャとしての機能を選択する場合は、該当する端子のポート方向レジスタ (PDR) のビットを“0” (入力ポート) に、ポートモードレジスタ (PMR) のビットを“1” (周辺機能として機能) にしてください。詳細は、「20. I/O ポート」を参照してください。

IOA[3:0] ビット (TGRA レジスタコントロールビット)

TPUm.TGRA レジスタ (m = 0 ~ 5) の機能を選択します。

IOB[3:0] ビット (TGRB レジスタコントロールビット)

TPUm.TGRB レジスタ (m = 0 ~ 5) の機能を選択します。

IOC[3:0] ビット (TGRC レジスタコントロールビット)

TPUm.TGRC レジスタ (m = 0, 3) の機能を選択します。

IOD[3:0] ビット (TGRD レジスタコントロールビット)

TPUm.TGRD レジスタ (m = 0, 3) の機能を選択します。

表24.13 TPU0.TIORH

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU0.TGRAレジスタの機能	TIOCA0端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA0端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA0端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA0端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ (注1)

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU0.TGRBレジスタの機能	TIOCB0端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB0/TIOCA0端子 ^(注2) 、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB0/TIOCA0端子 ^(注2) 、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB0/TIOCA0端子 ^(注2) 、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ (注1)

x : Don't care

注1. TPU1.TCR.TPSC[2:0]ビットを“000b”とし、TPU1.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません。

注2. TPU0.TMDR.ICSELBビットで選択します。

表24.14 TPU1.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU1.TGRAレジスタの機能	TIOCA1端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA1端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA1端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA1端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU0.TGRAレジスタのコンペアマッチ/インプットキャプチャ TPU0.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU1.TGRBレジスタの機能	TIOCB1端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB1/TIOCA1端子 ^(注1) 、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB1/TIOCA1端子 ^(注1) 、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB1/TIOCA1端子 ^(注1) 、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU0.TGRCレジスタのコンペアマッチ/インプットキャプチャ TPU0.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

注1. TPU1.TMDR.ICSELBビットで選択します。

表24.15 TPU2.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU2.TGRAレジスタの機能	TIOCA2端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA2端子、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCA2端子、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCA2端子、両エッジでインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU2.TGRBレジスタの機能	TIOCB2端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB2/TIOCA2端子 ^(注1) 、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCB2/TIOCA2端子 ^(注1) 、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCB2/TIOCA2端子 ^(注1) 、両エッジでインプットキャプチャ

x : Don't care

注1. TPU2.TMDR.ICSELBビットで選択します。

表 24.16 TPU3.TIORH

IOA[3:0] ビット				説明	
b3	b2	b1	b0	TPU3.TGRA レジスタの機能	TIOCA3 端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA3端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA3端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA3端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTのカウントアップ/カウントダウンでインプットキャプチャ (注1)

IOB[3:0] ビット				説明	
b7	b6	b5	b4	TPU3.TGRB レジスタの機能	TIOCB3 端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB3/TIOCA3端子 (注2)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB3/TIOCA3端子 (注2)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB3/TIOCA3端子 (注2)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTのカウントアップ/カウントダウンでインプットキャプチャ (注1)

x : Don't care

注1. TPU4.TCR.TPSC[2:0] ビットを“000b”とし、TPU4.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません。

注2. TPU3.TMDR.ICSELB ビットで選択します。

表24.17 TPU4.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU4.TGRAレジスタの機能	TIOCA4端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA4端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA4端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA4端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU3.TGRAレジスタのコンペアマッチ/インプットキャプチャ TPU3.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU4.TGRBレジスタの機能	TIOCB4端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB4/TIOCA4端子 (注1)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB4/TIOCA4端子 (注1)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB4/TIOCA4端子 (注1)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU3.TGRCレジスタのコンペアマッチ/インプットキャプチャ TPU3.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

注1. TPU4.TMDR.ICSELBビットで選択します。

表24.18 TPU5.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU5.TGRAレジスタの機能	TIOCA5端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA5端子、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCA5端子、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCA5端子、両エッジでインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU5.TGRBレジスタの機能	TIOCB5端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB5/TIOCA5端子 ^(注1) 、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCB5/TIOCA5端子 ^(注1) 、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCB5/TIOCA5端子 ^(注1) 、両エッジでインプットキャプチャ

x : Don't care

注1. TPU5.TMDR.ICSELBビットで選択します。

表24.19 TPU0.TIORL

IOC[3:0]ビット				説明	
b3	b2	b1	b0	TPU0.TGRCレジスタの機能	TIOCC0端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	キャプチャ入力元はTIOCC0端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCC0端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCC0端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ (注3)

IOD[3:0]ビット				説明	
b7	b6	b5	b4	TPU0.TGRDレジスタの機能	TIOCD0端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注2)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注2)	キャプチャ入力元はTIOCD0/TIOCC0端子 (注4)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCD0/TIOCC0端子 (注4)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCD0/TIOCC0端子 (注4)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ (注3)

x : Don't care

注1. TPU0.TMDR.BFAビットを“1” (TPU0.TGRAレジスタとTPU0.TGRCレジスタはバッファ動作) にして、TPU0.TGRCレジスタをバッ

ファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. TPU0.TMDR.BFBビットを“1” (TPU0.TGRBレジスタとTPU0.TGRDレジスタはバッファ動作) にして、TPU0.TGRDレジスタをバッ

ファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注3. TPU1.TCR.TPSC[2:0]ビットを“000b”とし、TPU1.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、

インプットキャプチャは発生しません。

注4. TPU0.TMDR.ICSELDビットの設定で選択します。

表 24.20 TPU3.TIORL

IOC[3:0]ビット				説明	
b3	b2	b1	b0	TPU3.TGRCレジスタの機能	TIOCC3端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	キャプチャ入力元はTIOCC3端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCC3端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCC3端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTのカウントアップ/カウントダウンでインプット キャプチャ (注3)

IOD[3:0]ビット				説明	
b7	b6	b5	b4	TPU3.TGRDレジスタの機能	TIOCD3端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注2)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注2)	キャプチャ入力元はTIOCD3/TIOCC3端子 (注4)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCD3/TIOCC3端子 (注4)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCD3/TIOCC3端子 (注4)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTのカウントアップ/カウントダウンでインプット キャプチャ (注3)

x : Don't care

- 注1. TPU3.TMDR.BFAビットを“1” (TPU3.TGRAレジスタとTPU3.TGRCレジスタはバッファ動作) にして、TPU3.TGRCレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注2. TPU3.TMDR.BFBビットを“1” (TPU3.TGRBレジスタとTPU3.TGRDレジスタはバッファ動作) にして、TPU3.TGRDレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注3. TPU4.TCR.TPSC[2:0]ビットを“000b”とし、TPU4.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません。
- 注4. TPU3.TMDR.ICSELDビットの設定で選択します。

24.2.4 タイマ割り込み許可レジスタ (TIER)

アドレス TPU0.TIER 0008 8114h, TPU1.TIER 0008 8124h, TPU2.TIER 0008 8134h,
TPU3.TIER 0008 8144h, TPU4.TIER 0008 8154h, TPU5.TIER 0008 8164h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	—	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA

リセット後の値 0 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGRA割り込み許可ビット	0: 割り込み (TGImA) を禁止 1: 割り込み (TGImA) を許可 (m = 0~5)	R/W
b1	TGIEB	TGRB割り込み許可ビット	0: 割り込み (TGImB) を禁止 1: 割り込み (TGImB) を許可 (m = 0~5)	R/W
b2	TGIEC (注1)	TGRC割り込み許可ビット	0: 割り込み (TGImC) を禁止 1: 割り込み (TGImC) を許可 (m = 0, 3)	R/W
b3	TGIED (注1)	TGRD割り込み許可ビット	0: 割り込み (TGImD) を禁止 1: 割り込み (TGImD) を許可 (m = 0, 3)	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0: 割り込み (TCImV) を禁止 1: 割り込み (TCImV) を許可 (m = 0~5)	R/W
b5	TCIEU (注2)	アンダフロー割り込み許可ビット	0: 割り込み (TCImU) を禁止 1: 割り込み (TCImU) を許可 (m = 1, 2, 4, 5)	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TTGE (注3)	A/D変換開始要求許可ビット	0: A/D変換開始要求の発生を禁止 1: A/D変換開始要求の発生を許可	R/W

注1. TPU1.TIER, TPU2.TIER, TPU4.TIER, TPU5.TIERレジスタのb3, b2は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注2. TPU0.TIER, TPU3.TIERレジスタのb5は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注3. TPU5.TIERレジスタのb7は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE ビット (A/D変換開始要求許可ビット)

TPUm.TGRA レジスタ (m = 0~4) のインプットキャプチャ/コンペアマッチによる A/D変換開始要求の発生を許可または禁止します。

24.2.5 タイマステータスレジスタ (TSR)

アドレス TPU0.TSR 0008 8115h, TPU1.TSR 0008 8125h, TPU2.TSR 0008 8135h,
TPU3.TSR 0008 8145h, TPU4.TSR 0008 8155h, TPU5.TSR 0008 8165h

b7	b6	b5	b4	b3	b2	b1	b0
TCFD	—	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGFA	インプットキャプチャ/ アウトプットコンペア フラグA	0 : TPUm.TGRAのインプットキャプチャまたはコンペアマッチが発生 していない 1 : TPUm.TGRAのインプットキャプチャまたはコンペアマッチが発生 (m = 0~5)	R/W (注2)
b1	TGFB	インプットキャプチャ/ アウトプットコンペア フラグB	0 : TPUm.TGRBのインプットキャプチャまたはコンペアマッチが発生 していない 1 : TPUm.TGRBのインプットキャプチャまたはコンペアマッチが発生 (m = 0~5)	R/W (注2)
b2	TGFC (注4)	インプットキャプチャ/ アウトプットコンペア フラグC	0 : TPUm.TGRCのインプットキャプチャまたはコンペアマッチが発生 していない 1 : TPUm.TGRCのインプットキャプチャまたはコンペアマッチが発生 (m = 0, 3)	R/W (注2)
b3	TGFD (注4)	インプットキャプチャ/ アウトプットコンペア フラグD	0 : TPUm.TGRDのインプットキャプチャまたはコンペアマッチが発生 していない 1 : TPUm.TGRDのインプットキャプチャまたはコンペアマッチが発生 (m = 0, 3)	R/W (注2)
b4	TCFV	オーバフローフラグ	0 : TPUm.TCNTのオーバフローが発生していない 1 : TPUm.TCNTのオーバフローが発生 (m = 0~5)	R/W (注2)
b5	TCFU (注3)	アンダフローフラグ	0 : TPUm.TCNTのアンダフローが発生していない 1 : TPUm.TCNTのアンダフローが発生 (m = 1, 2, 4, 5)	R/W (注2)
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD (注1)	カウント方向フラグ	0 : TPUm.TCNTはダウンカウント 1 : TPUm.TCNTはアップカウント (m = 1, 2, 4, 5)	R

- 注1. TPU0.TSR, TPU3.TSR レジスタのb7は、予約ビットです。読むと“1”が読めます。書く場合、“1”としてください。
- 注2. フラグをクリアするための“0”を書くことのみ可能です。
- 注3. TPU0.TSR, TPU3.TSR レジスタのb5は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
- 注4. TPU1.TSR, TPU2.TSR, TPU4.TSR, TPU5.TSR レジスタのb2, b3は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TGFA フラグ (インプットキャプチャ/アウトプットコンペアフラグ A)

TPUm.TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

(m = 0 ~ 5)

["1" になる条件]

- TPUm.TGRA がアウトプットコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRA になったとき
- TPUm.TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRA に転送されたとき

["0" になる条件]

- TGImA 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが "0" のとき
- TGFA = 1 を読んだ後、TGFA フラグに "0" を書いたとき

TGFB フラグ (インプットキャプチャ/アウトプットコンペアフラグ B)

TPUm.TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

(m = 0 ~ 5)

["1" になる条件]

- TPUm.TGRB がアウトプットコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRB になったとき
- TPUm.TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRB に転送されたとき

["0" になる条件]

- TGImB 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが "0" のとき
- TGFB = 1 を読んだ後、TGFB フラグに "0" を書いたとき

TGFC フラグ (インプットキャプチャ/アウトプットコンペアフラグ C)

TPUm.TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

(m = 0, 3)

["1" になる条件]

- TPUm.TGRC がアウトプットコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRC になったとき
- TPUm.TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRC に転送されたとき

["0" になる条件]

- TGImC 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが "0" のとき
- TGFC = 1 を読んだ後、TGFC フラグに "0" を書いたとき

TGFD フラグ (インプットキャプチャ/アウトプットコンペアフラグ D)

TPUm.TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

(m = 0, 3)

["1" になる条件]

- TPUm.TGRD がアウトプットコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRD になったとき
- TPUm.TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRD に転送されたとき

["0" になる条件]

- TGImD 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが "0" のとき
- TGFD = 1 を読んだ後、TGFD フラグに "0" を書いたとき

TCFV フラグ (オーバフローフラグ)

TPUm.TCNT (m = 0 ~ 5) のオーバフローの発生を示すステータスフラグです。

["1" になる条件]

- TPUm.TCNT の値がオーバフローしたとき (FFFFh → 0000h)

["0" になる条件]

- TCFV = 1 を読んだ後、TCFV フラグに "0" を書いたとき

TCFU フラグ (アンダフローフラグ)

TPUm.TCNT (m = 1, 2, 4, 5) のアンダフローの発生を示すステータスフラグです。

["1" になる条件]

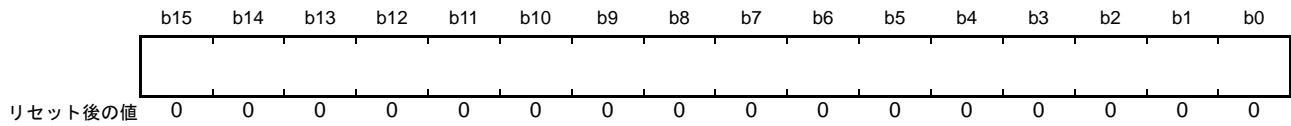
- TPUm.TCNT の値がアンダフローしたとき (0000h → FFFFh)

["0" になる条件]

- TCFU = 1 を読んだ後、TCFU フラグに "0" を書いたとき

24.2.6 タイマカウンタ (TCNT)

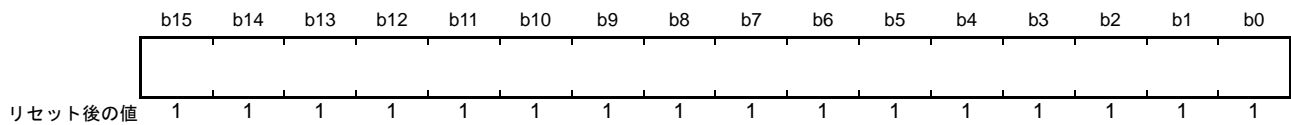
アドレス TPU0.TCNT 0008 8116h, TPU1.TCNT 0008 8126h, TPU2.TCNT 0008 8136h,
TPU3.TCNT 0008 8146h, TPU4.TCNT 0008 8156h, TPU5.TCNT 0008 8166h



TPUm.TCNT は、内部クロックまたは外部イベントをカウントする読み出し / 書き込み可能なカウンタです。

24.2.7 タイマジェネラルレジスタ A (TGRA) タイマジェネラルレジスタ B (TGRB) タイマジェネラルレジスタ C (TGRC) タイマジェネラルレジスタ D (TGRD)

アドレス TPU0.TGRA 0008 8118h, TPU0.TGRB 0008 811Ah, TPU0.TGRC 0008 811Ch, TPU0.TGRD 0008 811Eh,
TPU1.TGRA 0008 8128h, TPU1.TGRB 0008 812Ah,
TPU2.TGRA 0008 8138h, TPU2.TGRB 0008 813Ah,
TPU3.TGRA 0008 8148h, TPU3.TGRB 0008 814Ah, TPU3.TGRC 0008 814Ch, TPU3.TGRD 0008 814Eh,
TPU4.TGRA 0008 8158h, TPU4.TGRB 0008 815Ah,
TPU5.TGRA 0008 8168h, TPU5.TGRB 0008 816Ah



TPU には、TPU0, 3 に各 4 本、TPU1, 2, 4, 5 に各 2 本、計 16 本のタイマジェネラルレジスタがあります。

TPUm.TGRA ($m=0\sim 5$)、TPUm.TGRB ($m=0\sim 5$)、TPUm.TGRC ($m=0, 3$)、TPUm.TGRD ($m=0, 3$) レジスタは、アウトプットコンペア / インプットキャプチャ兼用のレジスタで、読み出し / 書き込みが可能です。

TPUm.TGRC レジスタと TPUm.TGRD レジスタは、バッファレジスタとして動作設定することができます。バッファ動作時のレジスタの組み合わせは、TPUm.TGRA レジスタと TPUm.TGRC レジスタ、TPUm.TGRB レジスタと TPUm.TGRD レジスタになります。

24.2.8 タイマスタートレジスタ (TSTR)

アドレス TPU.TSTR 0008 8100h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	CST5	CST4	CST3	CST2	CST1	CST0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0: TCNTのカウンタ動作は停止 1: TCNTはカウンタ動作	R/W
b1	CST1	カウンタスタート1ビット		R/W
b2	CST2	カウンタスタート2ビット		R/W
b3	CST3	カウンタスタート3ビット		R/W
b4	CST4	カウンタスタート4ビット		R/W
b5	CST5	カウンタスタート5ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPU.TSTR レジスタは、TPU0～5のTCNTの動作/停止を選択するレジスタです。

TPUm.TMDR レジスタで動作モードを設定する場合や、TPUm.TCR レジスタでTPUm.TCNTのカウンタクロックを設定する場合は、TPUm.TCNTのカウンタ動作を停止させてから行ってください。

CSTn ビット (カウンタスタート n ビット) (n = 0 ~ 5)

TCNTの動作/停止を選択します。

CSTn ビットが“1”で、対応するTIOCyn端子 (y = A ~ D, n = 0 ~ 5) が出力状態のときに、CSTn ビットを“0”にするとカウンタ動作は停止しますが、対応するTIOCyn端子のアウトプットコンペア出力レベルは保持されます。

CSTn ビットが“0”のとき、TIORH, TIORL, TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

24.2.9 タイマシンクロレジスタ (TSYR)

アドレス TPU.TSYR 0008 8101h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0: TCNTは単独動作 (TCNTのセット/クリアは、他のチャンネルとは無関係) 1: TCNTは同期動作 (注1) (TCNTの同期セット/同期クリアが可能)	R/W
b1	SYNC1	タイマ同期1ビット		R/W
b2	SYNC2	タイマ同期2ビット		R/W
b3	SYNC3	タイマ同期3ビット		R/W
b4	SYNC4	タイマ同期4ビット		R/W
b5	SYNC5	タイマ同期5ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 同期動作の設定には、最低2チャンネルのSYNCnビット (n=0~5) を“1”にする必要があります。同期クリアの設定には、SYNCnビットの他にTCR.CCLR[2:0]ビットで、TCNTのクリア要因を選択する必要があります。

TPU.TSYR レジスタは TPU0~5 の TCNT の単独動作または同期動作を選択するレジスタです。

SYNCn ビット (タイマ同期 n ビット) (n = 0 ~ 5)

TCNT が他のチャンネルの TCNT と同期動作をするか、単独動作にするかを選択します。

同期動作を選択すると、複数の TCNT の同期セットや、他のチャンネルのカウンタクリアによる同期クリアが可能となります。

24.2.10 ノイズフィルタコントロールレジスタ (NFCR)

アドレス TPU0.NFCR 0008 8108h, TPU1.NFCR 0008 8109h, TPU2.NFCR 0008 810Ah,
TPU3.NFCR 0008 810Bh, TPU4.NFCR 0008 810Ch, TPU5.NFCR 0008 810Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ許可Aビット	0 : TIOCAmのノイズフィルタは無効 1 : TIOCAmのノイズフィルタは有効 (m = 0 ~ 5)	R/W
b1	NFBEN	ノイズフィルタ許可Bビット	0 : TIOCBmのノイズフィルタは無効 1 : TIOCBmのノイズフィルタは有効 (m = 0 ~ 5)	R/W
b2	NFCEN (注1)	ノイズフィルタ許可Cビット	0 : TIOCCmのノイズフィルタは無効 1 : TIOCCmのノイズフィルタは有効 (m = 0, 3)	R/W
b3	NFDEN (注1)	ノイズフィルタ許可Dビット	0 : TIOCdmのノイズフィルタは無効 1 : TIOCdmのノイズフィルタは有効 (m = 0, 3)	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	b5 b4 0 0 : PCLK/1 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みはできません	R

注1. TPU1.NFCR, TPU2.NFCR, TPU4.NFCR, TPU5.NFCRレジスタのb2, b3は予約ビットです。読むと“0”が読めます。書き込みはできません。

TPUm.NFCR レジスタの設定は、TPUm.TCNT の動作が停止した状態で行ってください。

NFAEN ビット (ノイズフィルタ許可 A ビット)

TIOCAm 端子のノイズフィルタ機能の有効/無効を設定します。(m = 0 ~ 5)

NFAEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFAEN ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ許可 B ビット)

TIOCBm 端子のノイズフィルタ機能の有効/無効を設定します。(m = 0 ~ 5)

NFBEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFBEN ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ許可 C ビット)

TIOCC_m 端子のノイズフィルタ機能の有効/無効を設定します。(m = 0, 3)

NFCEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFCEN ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ許可 D ビット)

TIOCD_m 端子のノイズフィルタ機能の有効/無効を設定します。(m = 0, 3)

NFDEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFDEN ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)

ノイズフィルタのサンプリングクロックを選択します。

NFCS[1:0] ビットを“11b”としてカウントソースを選択した場合、サンプリングクロックの対象となるのは、TPSC[2:0] ビットで設定される PCLK/1 以外の内部クロックおよび外部クロックです。カウントクロックとサンプリングクロックを両方とも PCLK/1 にしたい場合は、NFCS[1:0] ビットを“00b”としてください。

選択されたクロックの立ち上がりエッジでインプットキャプチャ入力信号をサンプリングします。サンプリングしたレベルが 3 回連続して一致した場合に、そのレベルをインプットキャプチャ信号として通過し、一致しない場合は前のレベルを保持します。

NFCS[1:0] ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。

24.3 動作説明

24.3.1 概要

各チャンネルには、TPUm.TCNT と TPUm.TGRy レジスタ (y = A ~ D) があります。

TCNT は、16 ビットのアップカウンタで、フリーランカウンタ、周期カウンタ、またはイベントカウンタとして動作させることができます。

TGRy レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TPU.TSTR.CSTj ビット (j=0~5) を“1”にすると、対応するチャンネルの TCNT はカウント動作を開始します。

(a) カウント動作の設定手順例

カウント動作設定手順例を図 24.2 に示します。

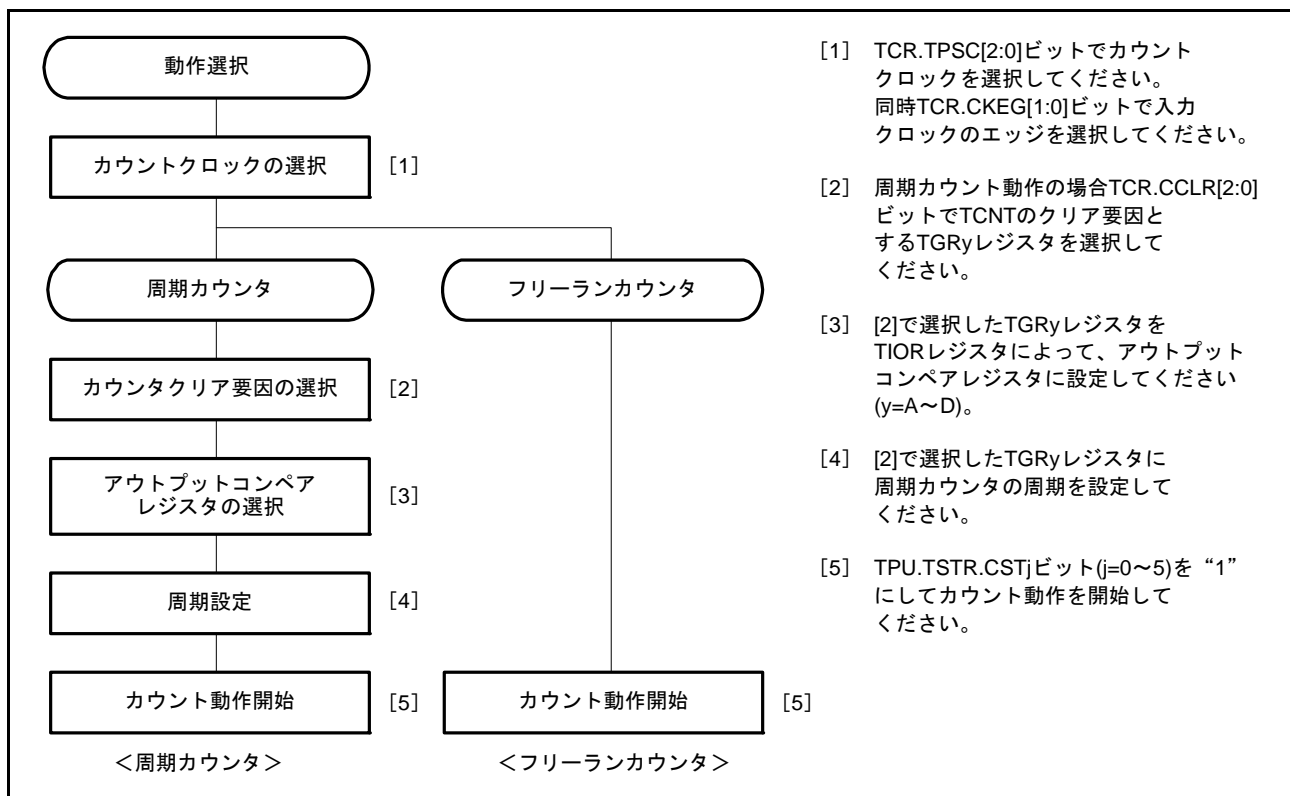


図 24.2 カウント動作設定手順例

(b) フリーランカウンタ動作と周期カウンタ動作

TPUm.TCNTは、リセット直後はすべてフリーランカウンタの設定となっており、TPU.TSTRレジスタの対応するビットを“1”にするとフリーランカウンタとしてアップカウントを開始します。TCNTがオーバーフロー（“FFFFh”→“0000h”）すると、TPUは割り込みを要求します。TCNTはオーバーフロー後、“0000h”からアップカウントを継続します。

フリーランカウンタの動作を図24.3に示します。

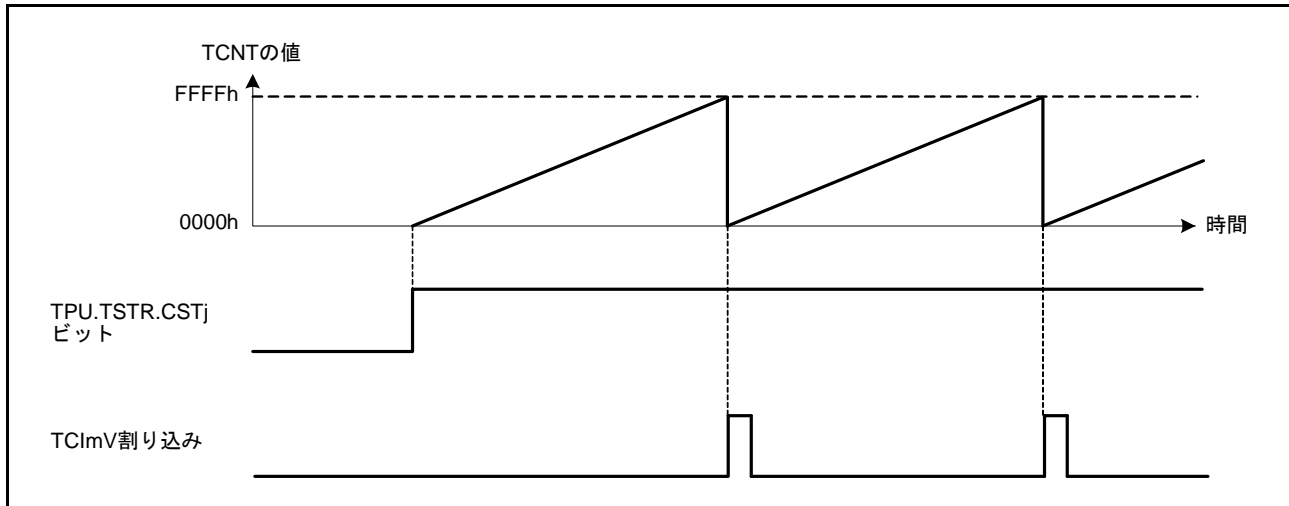


図 24.3 フリーランカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウンタ動作を行います。周期設定用のTPUm.TGRyレジスタをアウトプットコンペアレジスタに設定し、TPUm.TCR.CCLR[2:0]ビットでコンペアマッチによるカウンタクリアを選択します。設定後、TPU.TSTRレジスタの対応するビットを“1”にすると、周期カウンタとしてアップカウントを開始します。カウント値がTGRyレジスタの値と一致するとTCNTは“0000h”になります。

このとき、TPUは割り込みを要求します。TCNTはコンペアマッチ後、“0000h”からアップカウントを継続します。

周期カウンタの動作を図24.4に示します。

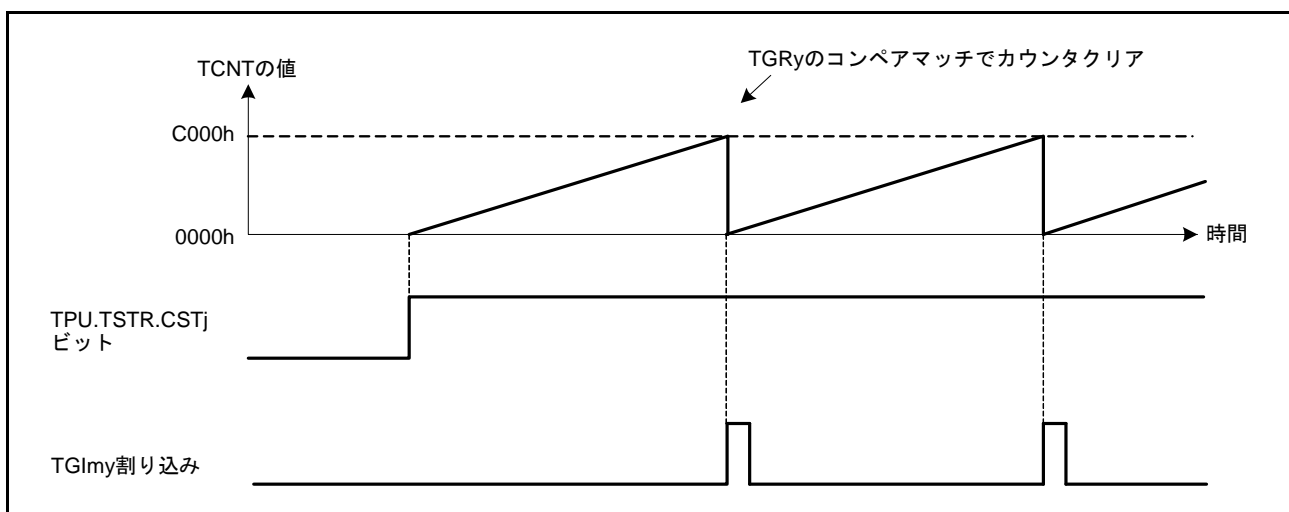


図 24.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPUは、コンペアマッチによって対応する出力端子からLow出力/High出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図24.5に示します。

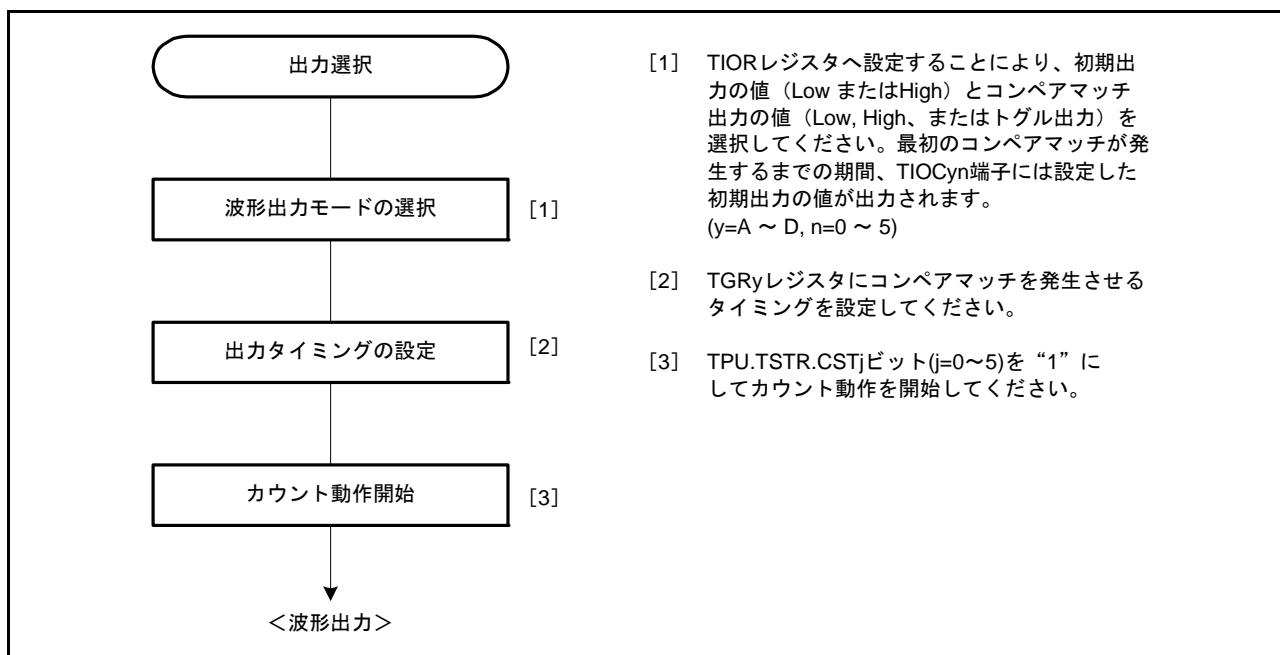


図 24.5 コンペアマッチによる波形出力動作の設定手順例

(b) 波形出力動作例

Low出力/High出力の動作例を図24.6に示します。

TPUm.TCNTをフリーランニングカウント動作とし、コンペアマッチAでHigh出力、コンペアマッチBでLow出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

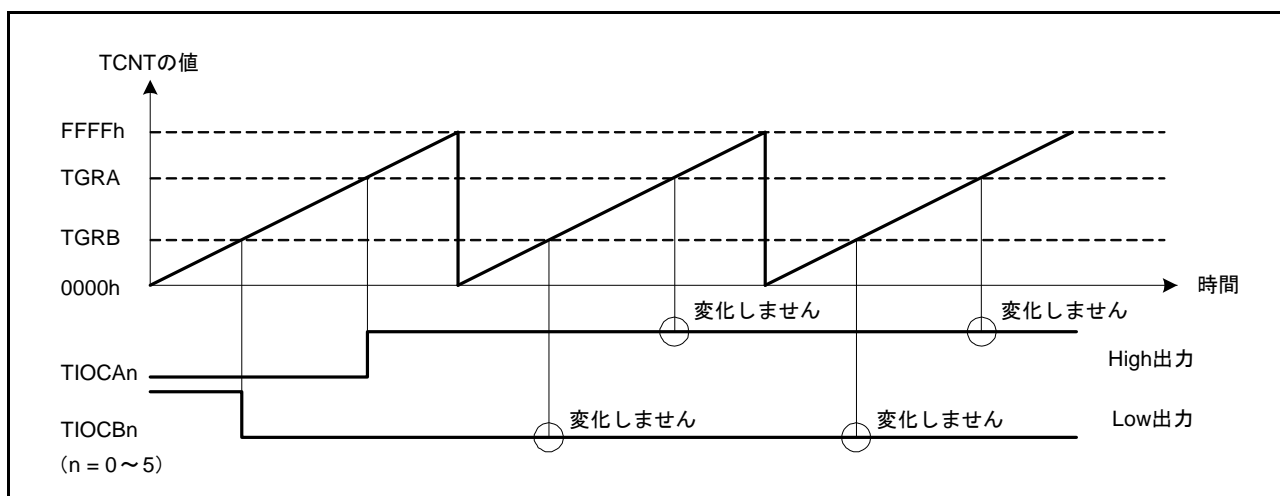


図 24.6 Low出力/High出力の動作例

トグル出力の動作例を図 24.7 に示します。

TPUm.TCNT を周期カウント動作 (コンペアマッチ B によってカウンタクリア) に、コンペアマッチ A, B ともトグル出力となるように設定した場合の例です。

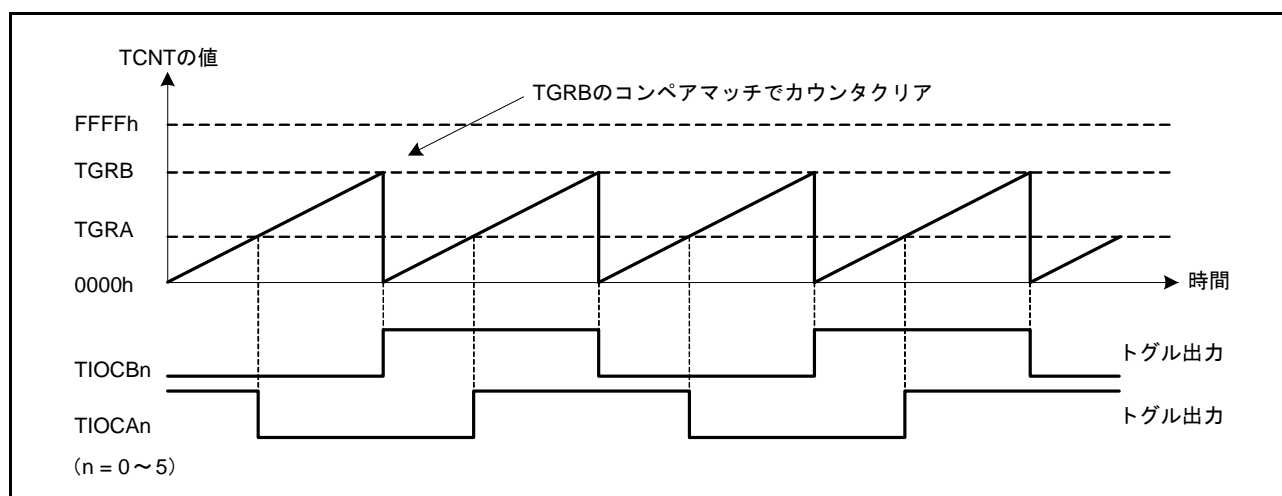


図 24.7 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOCyn 端子 (y = A ~ D, n = 0 ~ 5) の入力エッジを検出して TPUm.TCNT の値を TPUm.TGRy レジスタに転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、TPU0, 1, 3, 4 のカウントクロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。また、インพุットキャプチャ入力にノイズフィルタをかけることができます。

- 注. カウンタが停止していても、インพุットキャプチャは発生し、フラグおよび割り込み信号を生成します。
- 注. TPU0, 3 で別のチャンネルのカウントクロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウントクロックに PCLK/1 を選択しないでください。PCLK/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 24.8 に示します。

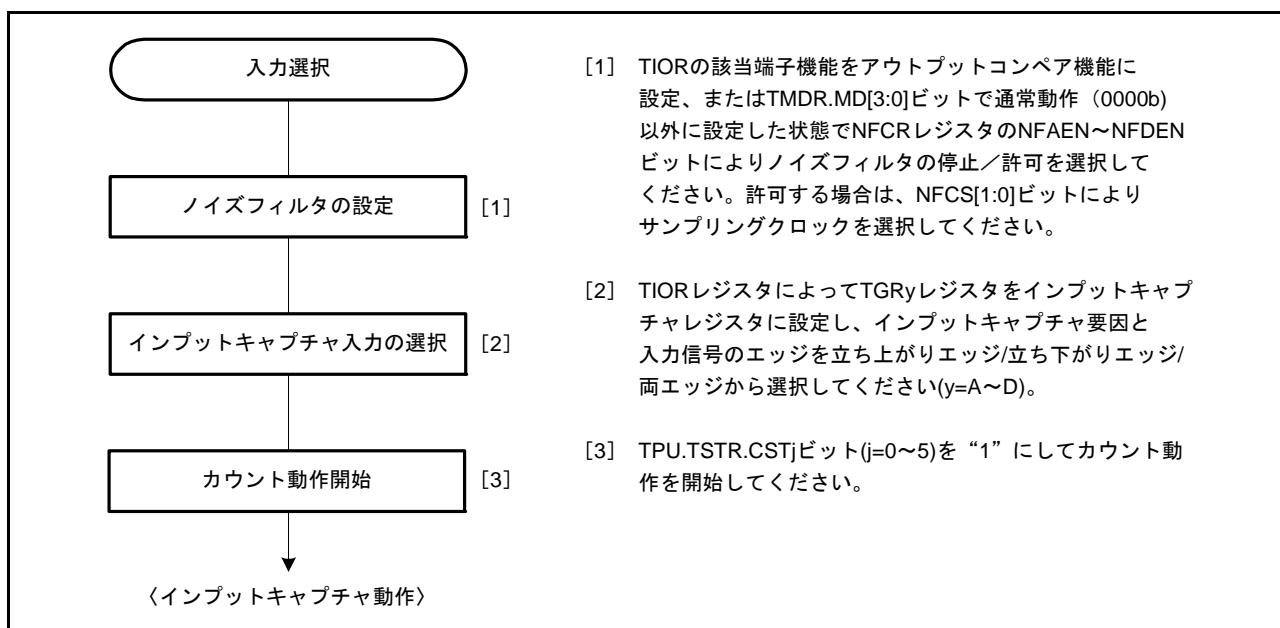


図 24.8 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

ノイズフィルタを停止した場合のインพุットキャプチャ動作例を図 24.9 に示します。

TIOCA_n 端子のインพุットキャプチャ入力エッジは立ち上がり/立ち下りの両エッジ、また TIOCB_n 端子のインพุットキャプチャ入力エッジは立ち下りエッジを選択し、TPUm.TCNT は TPUm.TGRB レジスタのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

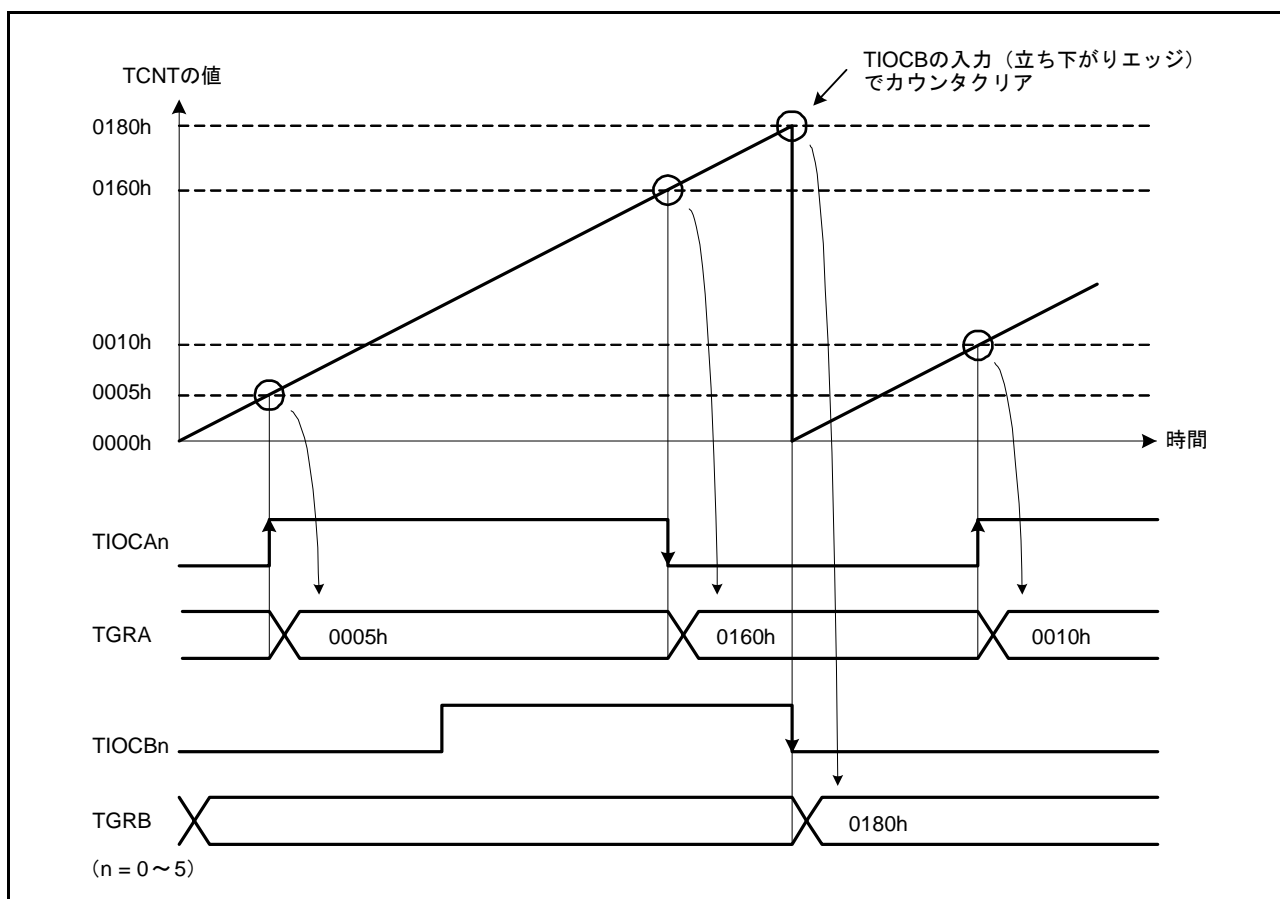


図 24.9 インพุットキャプチャ動作例 (ノイズフィルタ停止)

ノイズフィルタを許可した場合は、インพุットキャプチャ入力に対するノイズフィルタリングによって、「最短サンプリングサイクル×2 + PCLK」だけ遅延したノイズフィルタ後の信号のエッジに対してインพุットキャプチャ動作が行われます。

24.3.2 同期動作

同期動作を使って、複数の TPUm.TCNT の値を同時に書き換えることができます (同期セット)。また、TPUm.TCR レジスタの設定によって複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作によって、1つのタイムベースに対して TPUm.TGRy レジスタを増加させることができます。TPU0~5 は、すべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 24.10 に示します。

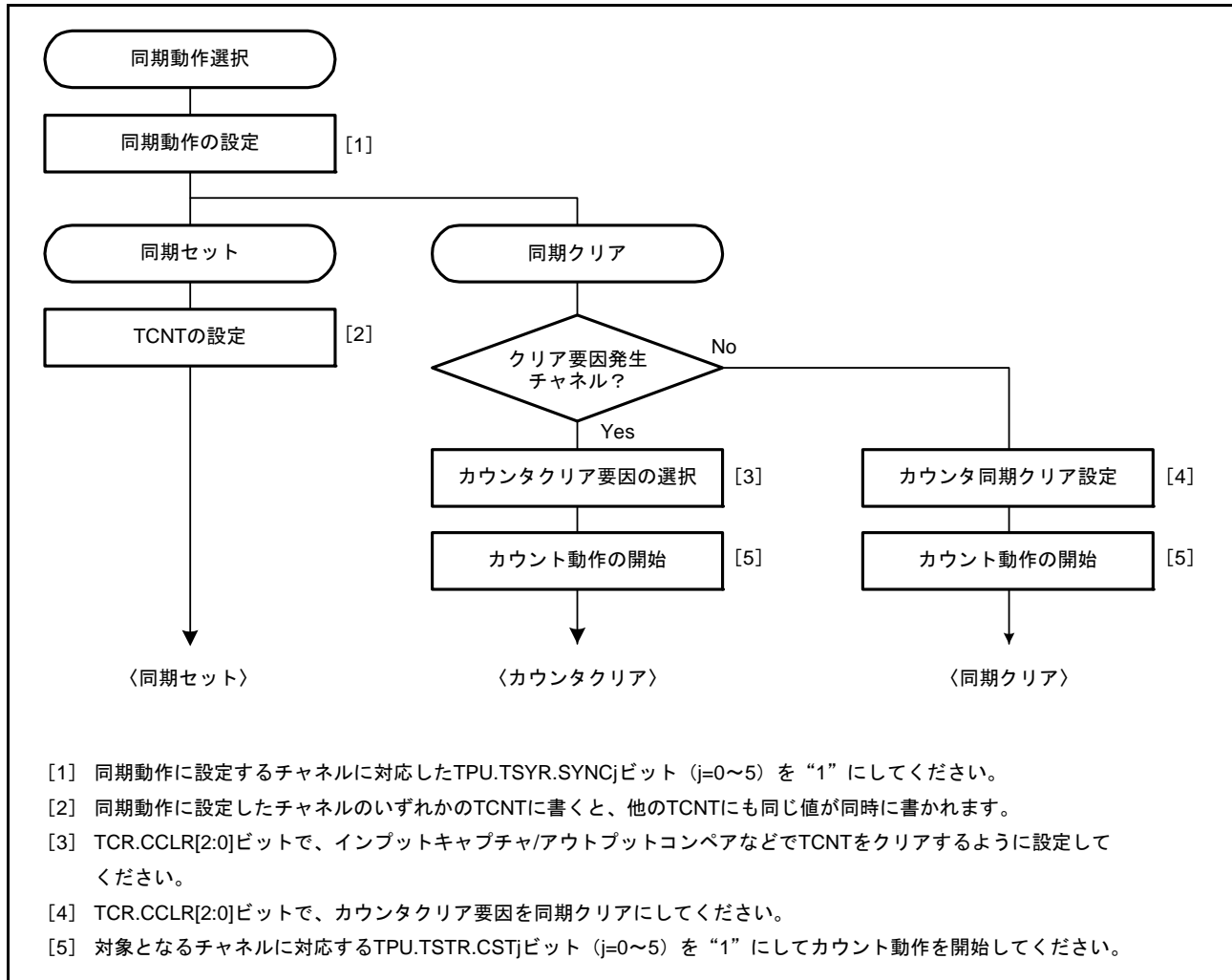


図 24.10 同期動作の設定手順例

(2) 同期動作の例

同期動作の動作例を図 24.11 に示します。

TPU0～2を同期動作かつPWMモード1に設定し、TPU0のカウントクリア要因をTPU0.TGRBレジスタのコンペアマッチ、またTPU1,2のカウントクリア要因を同期クリアに設定した場合の例です。

3相のPWM波形をTIOCA0, TIOCA1, TIOCA2端子から出力します。このとき、TPU0～2のTPUm.TCNTは同期セット、TPU0.TGRBレジスタのコンペアマッチによる同期クリアを行い、TPU0.TGRBレジスタに設定したデータがPWM周期となります。

PWMモードについては、「24.3.5 PWMモード」を参照してください。

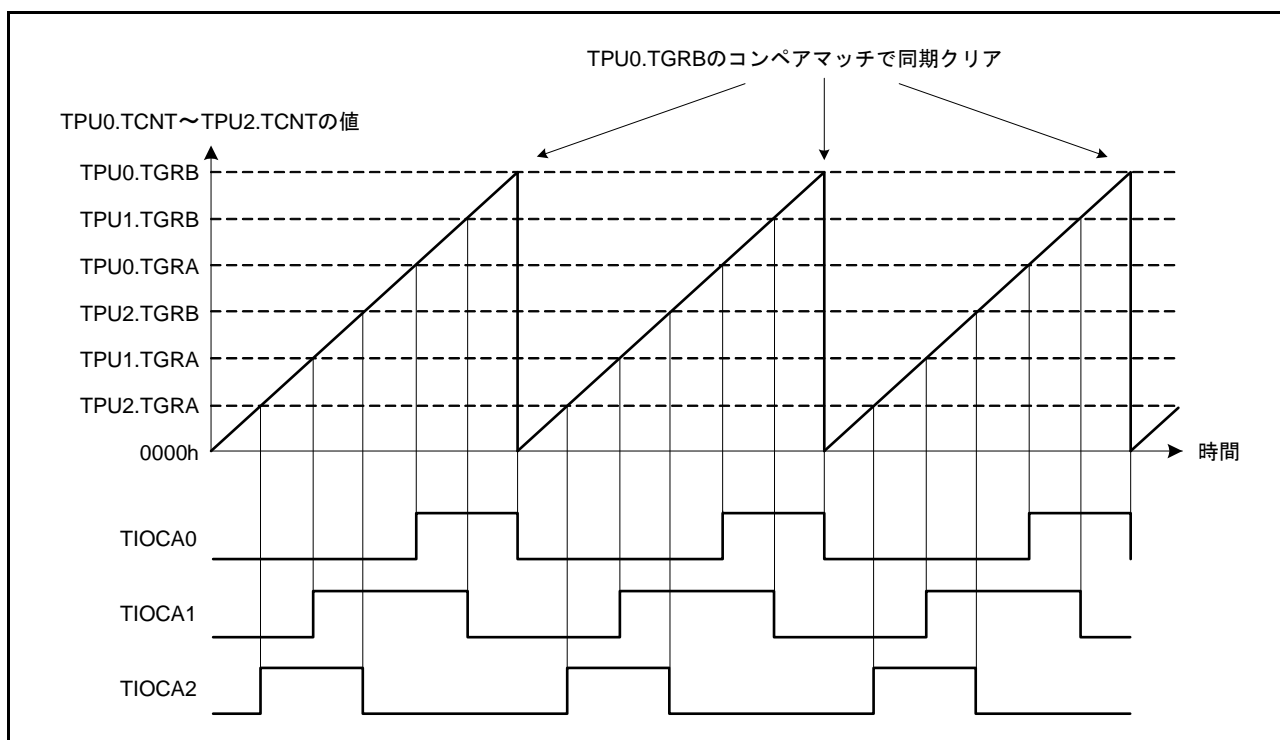


図 24.11 同期動作の動作例

24.3.3 バッファ動作

バッファ動作は、TPU0, 3 が持つ機能です。TPUm.TGRC レジスタと TPUm.TGRD レジスタをバッファレジスタとして使用することができます。

バッファ動作は、TPUm.TGRy レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合で動作内容が異なります。

表 24.21 にバッファ動作時のレジスタの組み合わせを示します。

表 24.21 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
TPU0	TPU0.TGRA	TPU0.TGRC
	TPU0.TGRB	TPU0.TGRD
TPU3	TPU3.TGRA	TPU3.TGRC
	TPU3.TGRB	TPU3.TGRD

- TPUm.TGRy レジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 24.12 に示します。

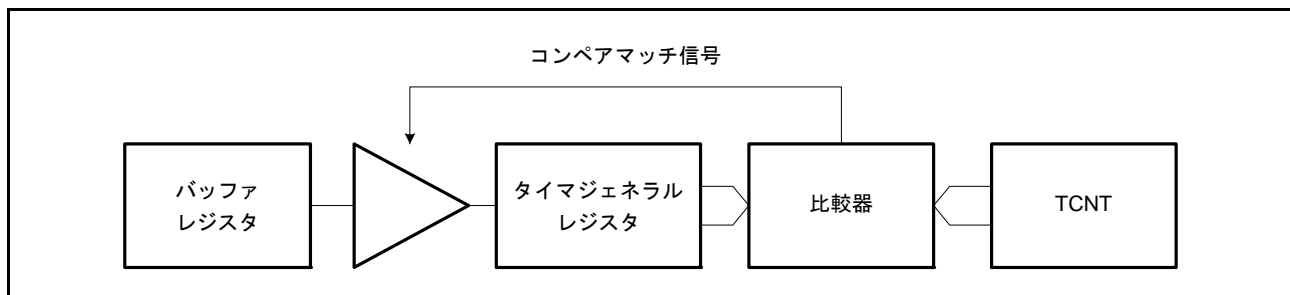


図 24.12 コンペアマッチバッファ動作

- TPUm.TGRy レジスタがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TPUm.TCNT の値を TGRy レジスタに転送すると同時に、それまで格納されていた TGRy レジスタの値をバッファレジスタに転送します。

この動作を図 24.13 に示します。

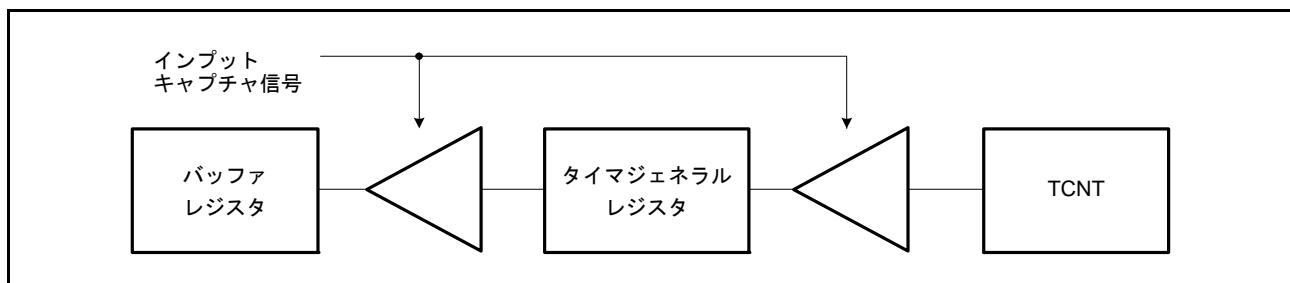


図 24.13 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 24.14 に示します。

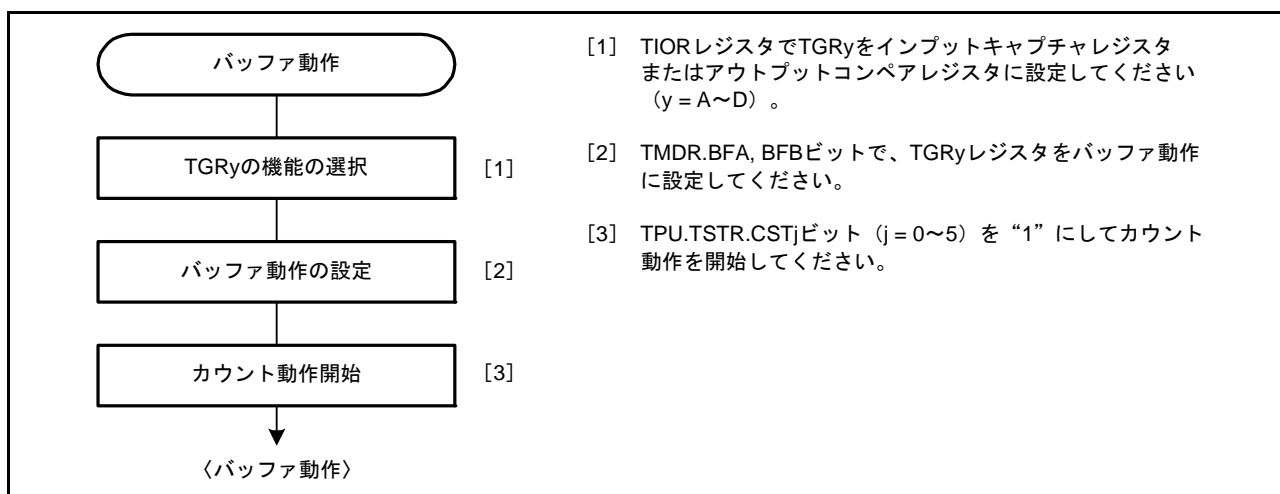


図 24.14 バッファ動作の設定手順例

(2) バッファ動作例

(a) TPUm.TGRy レジスタがアウトプットコンペアレジスタの場合

TPU0 を PWM モード 1 に設定し、TPU0.TGRA レジスタと TPU0.TGRC レジスタをバッファ動作に設定した場合の動作例を図 24.15 に示します。TPU0.TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、TPU0.TGRC レジスタの値が TPU0.TGRA レジスタに転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「24.3.5 PWM モード」を参照してください。

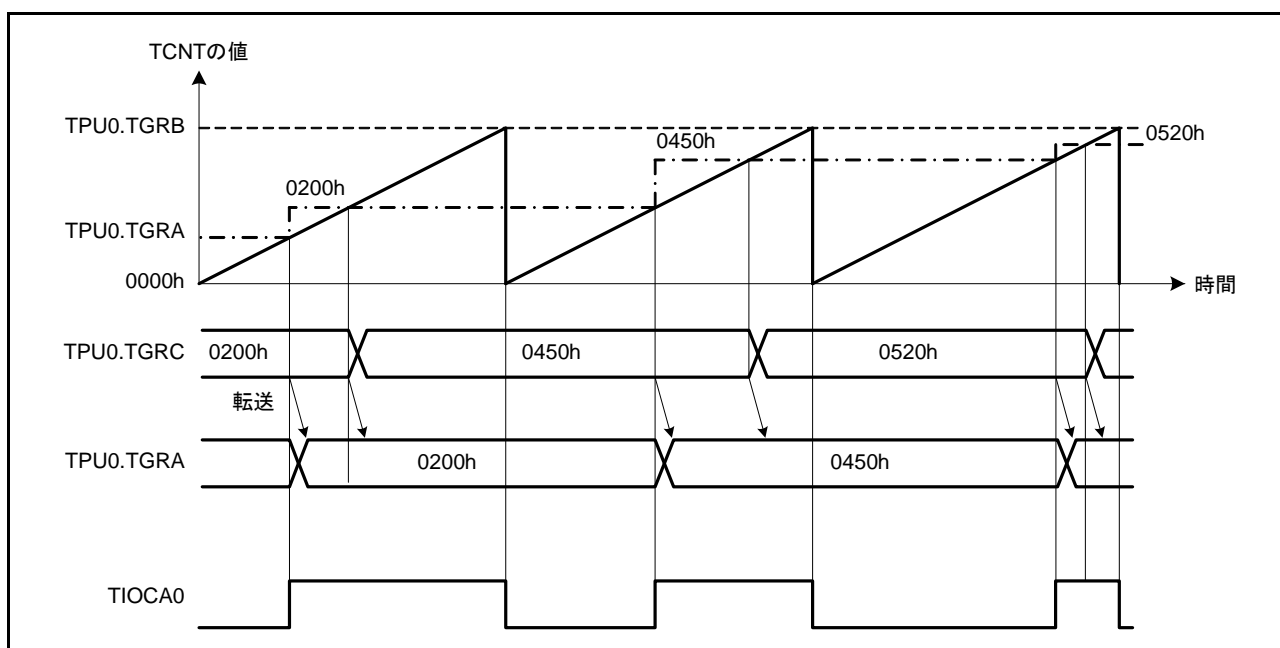


図 24.15 バッファ動作例 (1)

(b) TPUm.TGRy レジスタがインプットキャプチャレジスタの場合

TPUm.TGRA レジスタをインプットキャプチャレジスタに設定し、TGRA レジスタと TPUm.TGRC レジスタをバッファ動作に設定したときの動作例を図 24.16 に示します。

TPUm.TCNT は TGRA レジスタのインプットキャプチャでカウンタクリア、TIOCA_n 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA レジスタに格納されると同時に、それまで TGRA レジスタに格納されていた値が TGRC レジスタに転送されます。

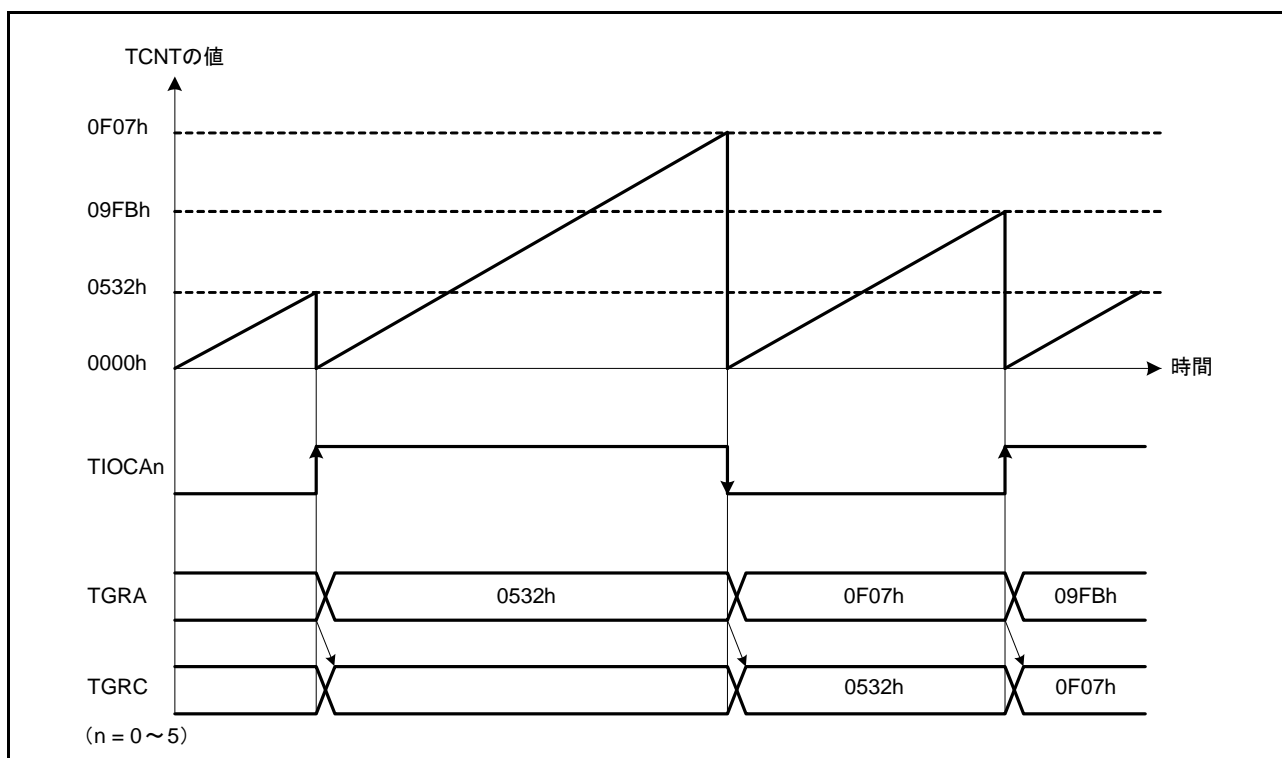


図 24.16 バッファ動作例 (2)

24.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

TPU1 (TPU4) のカウントクロックを TPU1.TCR.TPSC[2:0] (TPU4.TCR.TPSC[2:0]) ビットで、TPU2.TCNT (TPU5.TCNT) のオーバフロー/アンダフローでカウントに設定することによって動作します。アンダフローが発生するのは、下位16ビットの TPUm.TCNT が位相計数モードのときのみです。表 24.22 にカスケード接続組み合わせを示します。

注. TPU1, 4 を位相計数モードに設定した場合は、カウントクロックの設定は無効となり、独立して位相計数モードで動作します。

表 24.22 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
TPU1とTPU2	TPU1.TCNT	TPU2.TCNT
TPU4とTPU5	TPU4.TCNT	TPU5.TCNT

(1) カスケード接続動作の設定手順例

カスケード接続動作設定手順例を図 24.17 に示します。

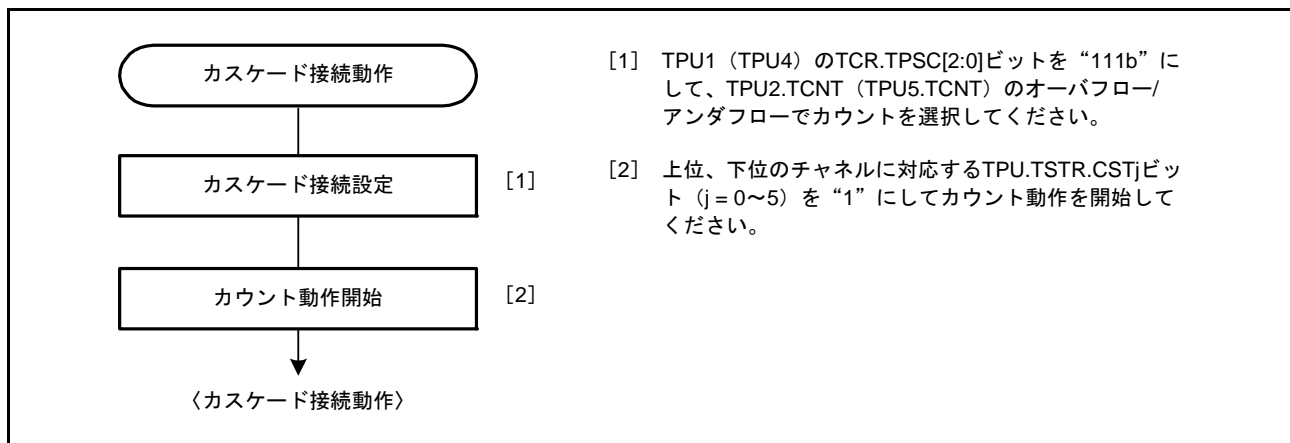


図 24.17 カスケード接続動作設定手順例

(2) カスケード接続動作例

TPU1.TCNTはTPU2.TCNTのオーバーフロー/アンダフローでカウント、TPU1.TGRAレジスタとTPU2.TGRAレジスタをインプットキャプチャレジスタに設定し、TIOCA1端子とTIOCA2端子の立ち上がりエッジを選択したときの動作を図24.18に示します。

TIOCA1端子とTIOCA2端子に立ち上がりエッジを同時に入力することにより、TPU1.TGRAレジスタに上位16ビット、TPU2.TGRAレジスタに下位16ビットの32ビットデータが転送されます。

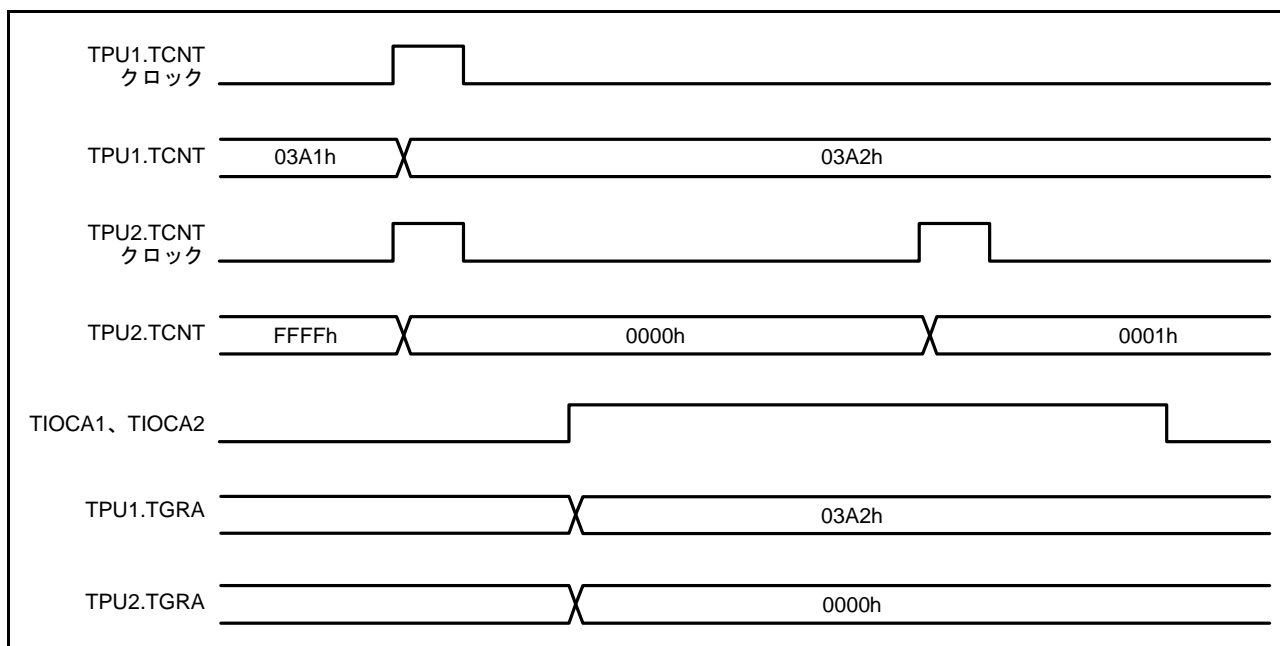


図 24.18 カスケード接続動作例 (1)

TPU1.TCNTはTPU2.TCNTのオーバーフロー/アンダフローでカウント、TPU2を位相計数モード1に設定したときの動作を図24.19に示します。

TPU1.TCNTは、TPU2.TCNTのオーバーフローでアップカウント、TPU2.TCNTのアンダフローでダウンカウントされます。

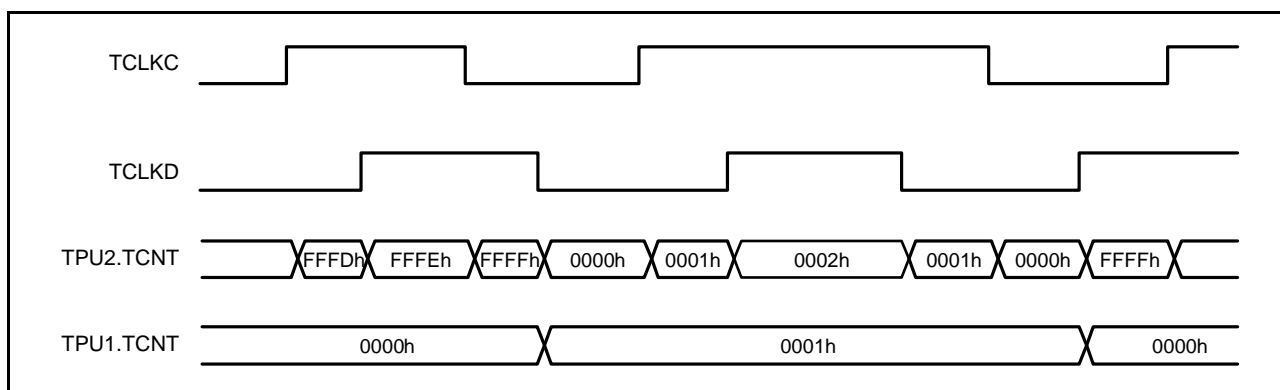


図 24.19 カスケード接続動作例 (2)

24.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TPUm.TGRy レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGRy レジスタの設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGRy レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル個々に PWM モードに設定できます。同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

1. PWM モード 1

TPUm.TGRA レジスタと TPUm.TGRB レジスタ、TPUm.TGRC レジスタと TPUm.TGRD レジスタをペアで使用して、TIOCA_n, TIOCC_n 端子から PWM 波形を出力します。TIOCA_n, TIOCC_n 端子からコンペアマッチ A, C によって TPUm.TIOR(H).IOA[3:0] ビット、TPUm.TIORL.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B, D によって TPUm.TIOR(H).IOB[3:0] ビット、TPUm.TIORL.IOD[3:0] ビットで指定した出力を行います。初期出力値は TGRA レジスタ、TGRC レジスタに設定した値になります。ペアで使用する TGRy レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

2. PWM モード 2

TPUm.TGRy レジスタの 1 本を周期レジスタ、他の TGRy レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TPUm.TIORH, TPUm.TIORL, TPUm.TIOR レジスタで指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIORH, TIORL, TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を表 24.23 に示します。

表 24.23 各PWM出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
TPU0	TPU0.TGRA	TIOCA0	TIOCA0
	TPU0.TGRB		TIOCB0
	TPU0.TGRC	TIOCC0	TIOCC0
	TPU0.TGRD		TIOCD0
TPU1	TPU1.TGRA	TIOCA1	TIOCA1
	TPU1.TGRB		TIOCB1
TPU2	TPU2.TGRA	TIOCA2	TIOCA2
	TPU2.TGRB		TIOCB2
TPU3	TPU3.TGRA	TIOCA3	TIOCA3
	TPU3.TGRB		TIOCB3
	TPU3.TGRC	TIOCC3	TIOCC3
	TPU3.TGRD		TIOCD3
TPU4	TPU4.TGRA	TIOCA4	TIOCA4
	TPU4.TGRB		TIOCB4
TPU5	TPU5.TGRA	TIOCA5	TIOCA5
	TPU5.TGRB		TIOCB5

注. PWMモード2のとき、周期を設定したTPUm.TGRyレジスタのPWM波形は出力できません。

(1) PWMモードの設定手順例

PWMモードの設定手順例を図24.20に示します。

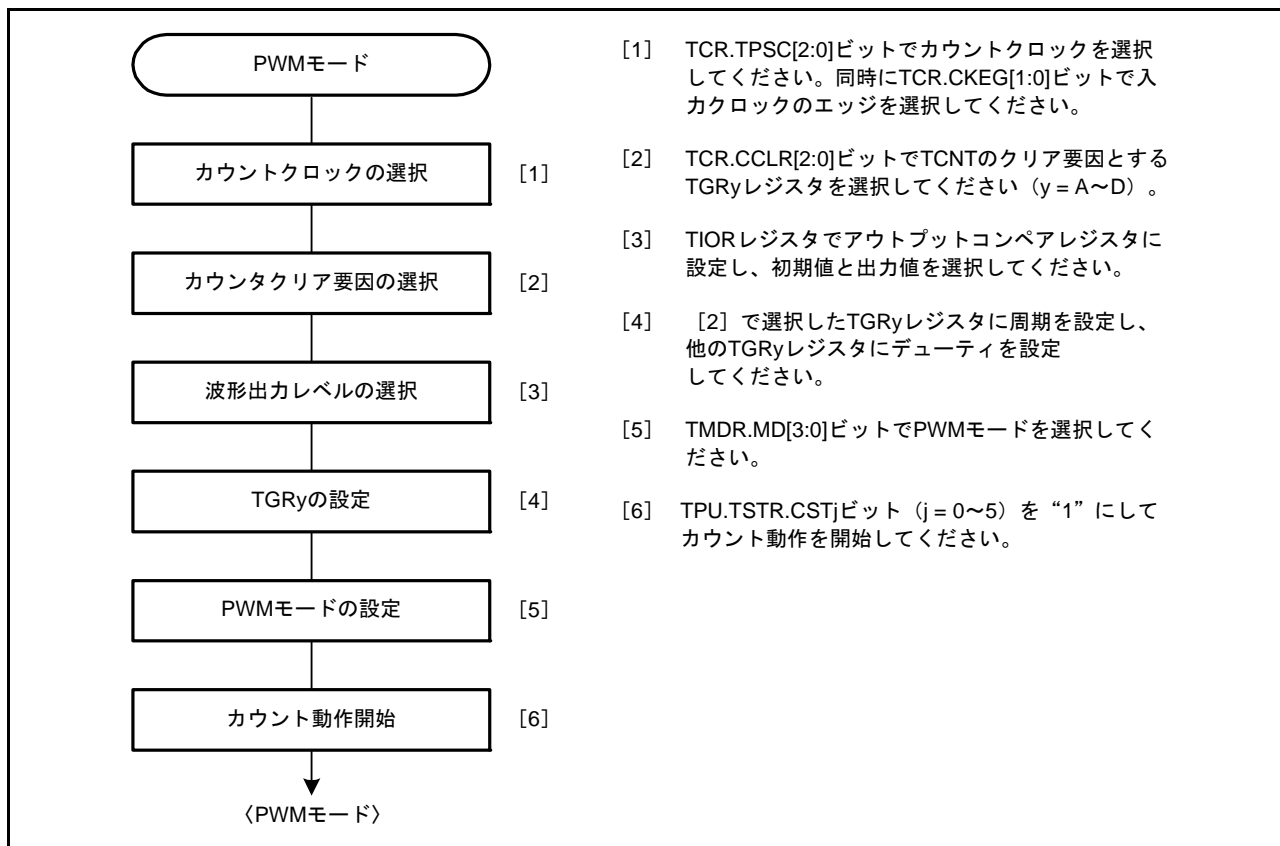


図 24.20 PWMモードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 24.21 に示します。

この図は、TPUm.TCNTのクリア要因をTPUm.TGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値をLow、TPUm.TGRBレジスタの出力値をHighに設定した場合の例です。

この場合、TGRAレジスタで周期を設定し、TGRBレジスタでデューティを設定しています。

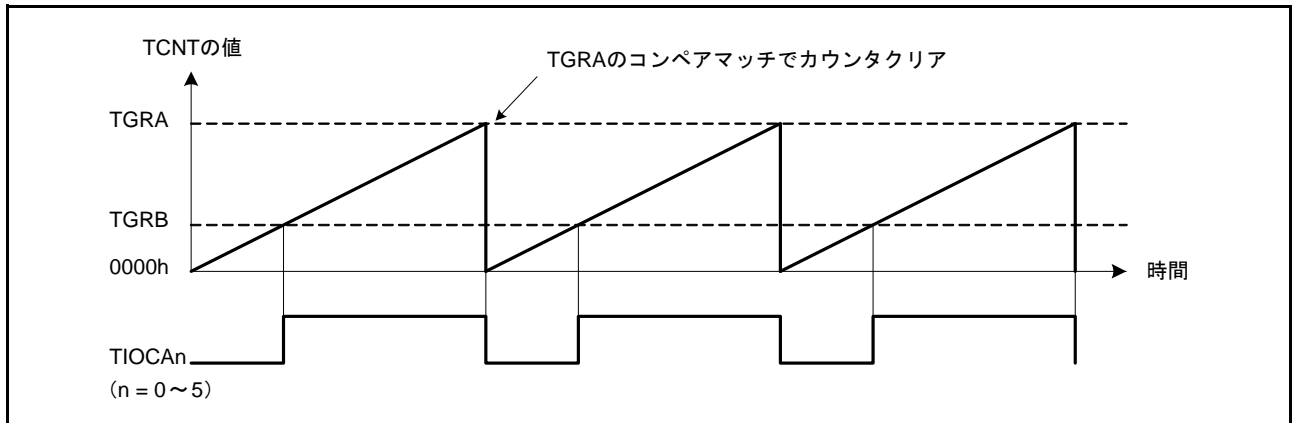


図 24.21 PWM モードの動作例 (1)

PWM モード2の動作例を図 24.22 に示します。

この図は、TPU0と1を同期動作させ、TPUm.TCNTのクリア要因をTPU1.TGRBのコンペアマッチとし、他のTPUm.TGRyレジスタ (TPU0.TGRA ~ TPU0.TGRD, TPU1.TGRA)の初期出力値をLow、出力値をHighにして5相のPWM波形を出力させた場合の例です。

この場合、TPU1.TGRBレジスタに設定した値が周期となり、他のTGRyレジスタに設定した値がデューティになります。

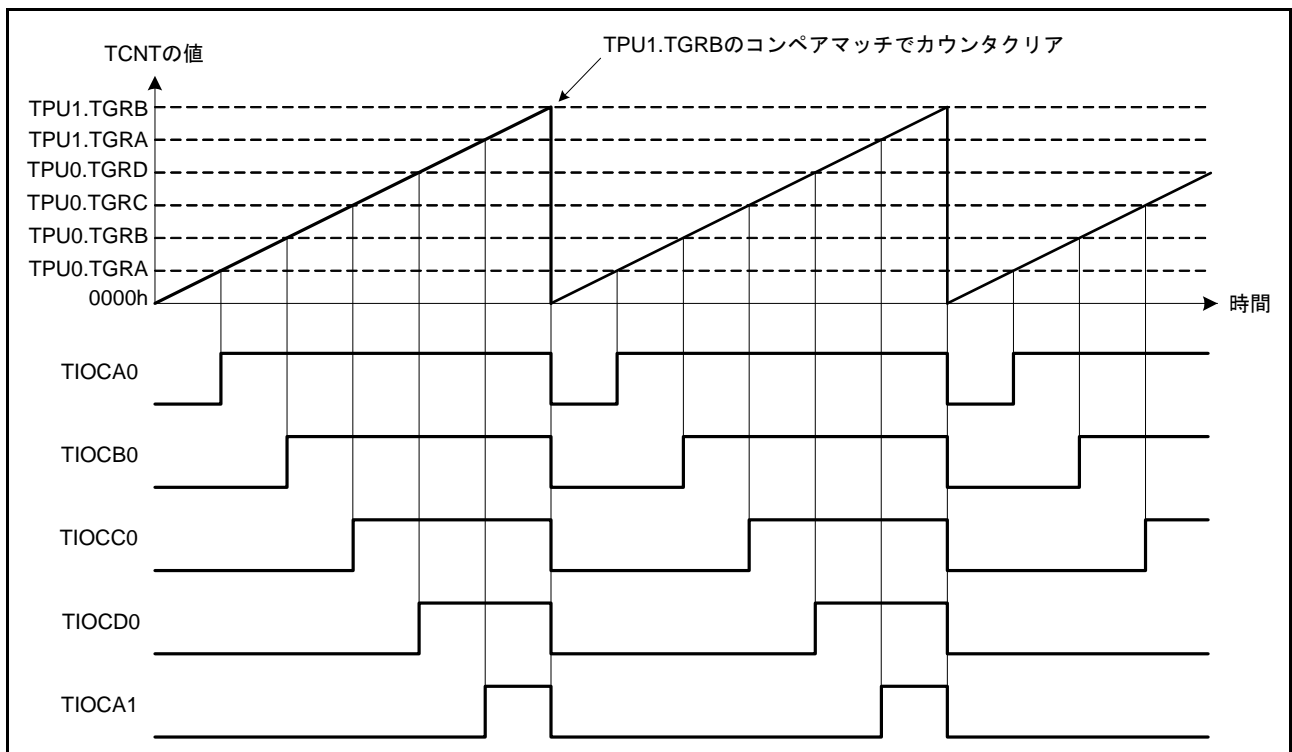


図 24.22 PWM モードの動作例 (2)

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 24.23 に示します。

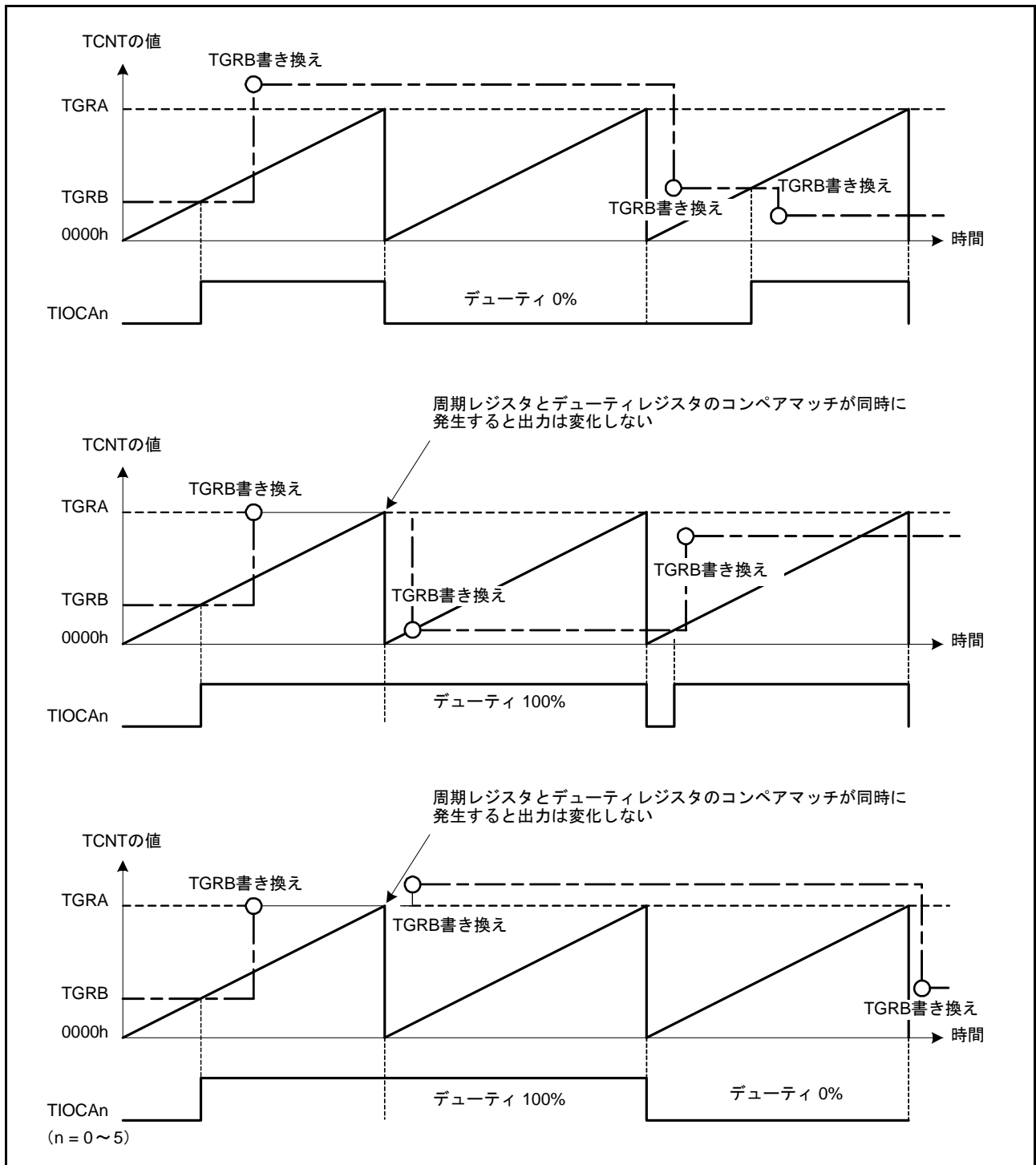


図 24.23 PWM モード動作例 (3)

24.3.6 位相計数モード

位相計数モードでは、チャンネル1, 2, 4, 5の設定によって、2本の外部クロック入力の位相差を検出し、TPUm.TCNTをアップ/ダウンカウントします。

位相計数モードに設定すると、TPUm.TCR.TPSC[2:0], CKEG[1:0]ビットの設定にかかわらずカウントクロックは外部クロックを選択し、TCNTはアップ/ダウンカウンタとして動作します。ただし、TPUm.TCR.CCLR[2:0]ビットの下位2ビット、TPUm.TIORH, TPUm.TIORL, TPUm.TIORレジスタ、TPUm.TIERレジスタ、TPUm.TGRyレジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

TCNTがアップカウント時、オーバフローが発生するとするとTCIV割り込み要求が発生します。また、ダウンカウント時にアンダフローが発生すると、TCIU割り込み要求が発生します。TPUm.TSR.TCFDフラグはカウント方向フラグです。TCFDフラグを読むことにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

位相計数モードでは、外部クロック端子TCLKA, TCLKB, TCLKC, TCLKDを2相エンコーダパルスの入力として使用できます。

表24.24に外部クロック端子とチャンネルの対応を示します。

表24.24 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
TPU1またはTPU5を位相計数モードとするとき	TCLKA	TCLKB
TPU2またはTPU4を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図24.24に示します。

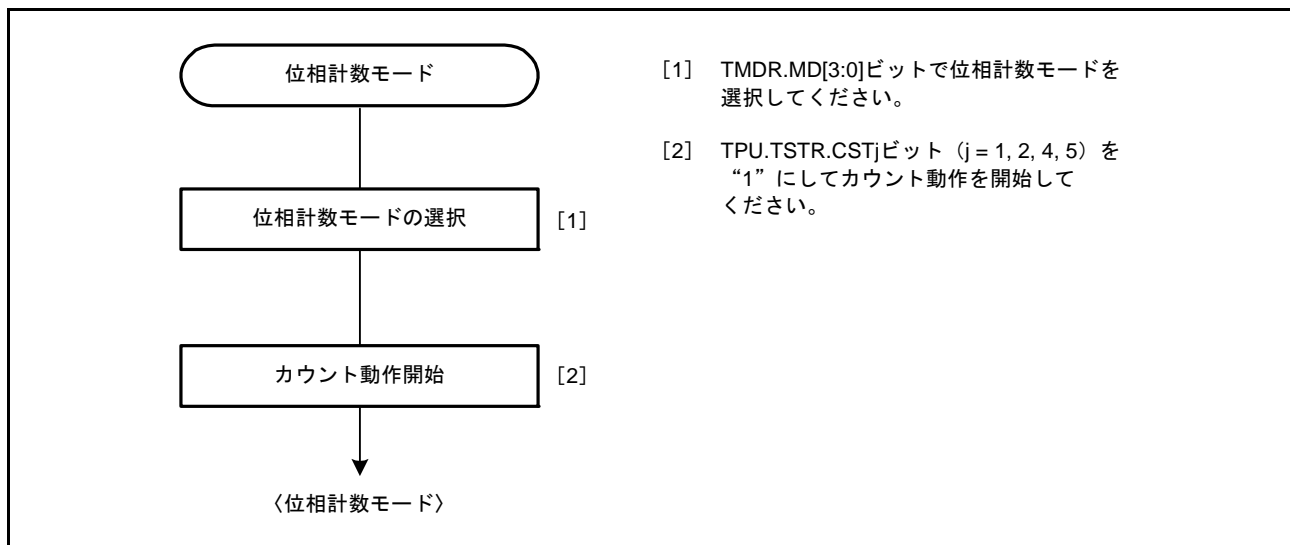


図24.24 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTPUm.TCNTがアップ/ダウンカウントします。なお、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図24.25に、TPUm.TCNTのアップ/ダウンカウント条件を表24.25に示します。

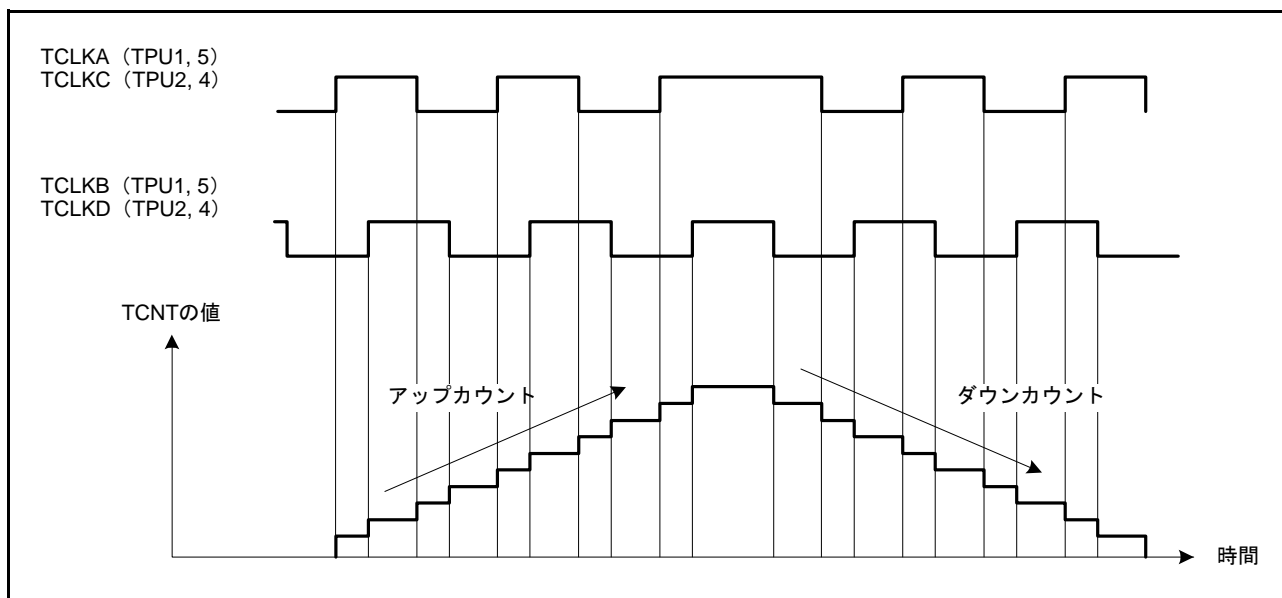


図 24.25 位相計数モード1の動作例

表24.25 位相計数モード1のアップ/ダウンカウント条件

TCLKA (TPU1, 5) TCLKC (TPU2, 4)	TCLKB (TPU1, 5) TCLKD (TPU2, 4)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図24.26に、TPUm.TCNTのアップ/ダウンカウント条件を表24.26に示します。

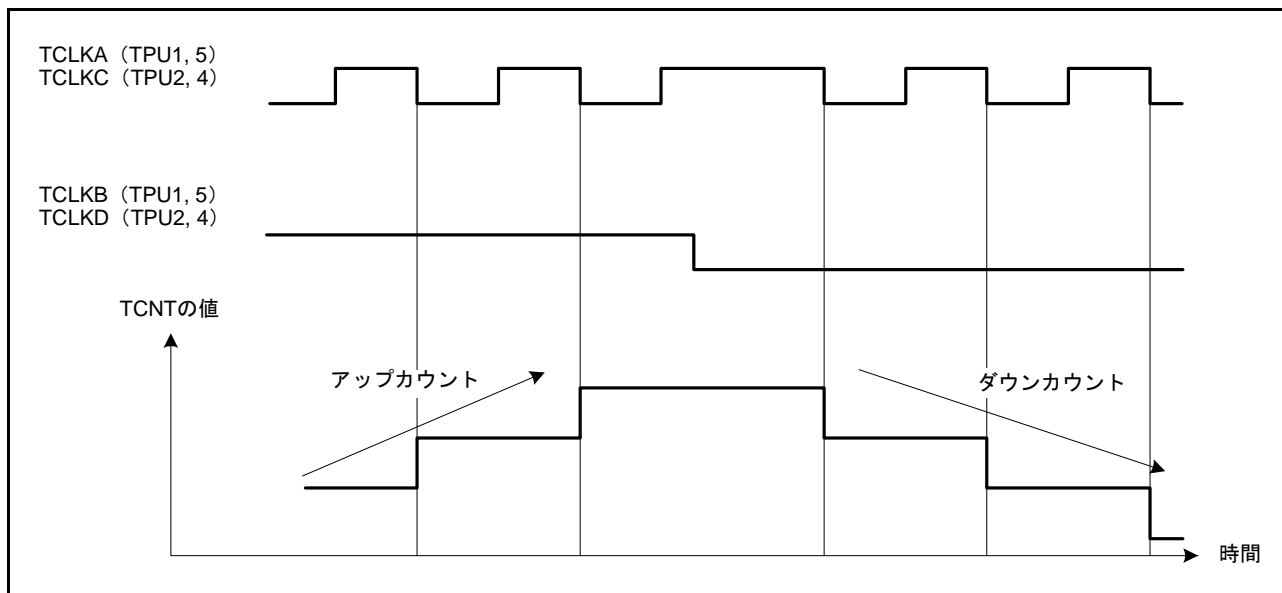


図 24.26 位相計数モード2の動作例

表24.26 位相計数モード2のアップ/ダウンカウント条件

TCLKA (TPU1, 5) TCLKC (TPU2, 4)	TCLKB (TPU1, 5) TCLKD (TPU2, 4)	動作内容
High		Don't care
Low		Don't care
	Low	Don't care
	High	アップカウント
High		Don't care
Low		Don't care
	High	Don't care
	Low	ダウンカウント

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図24.27に、TPUm.TCNTのアップ/ダウンカウント条件を表24.27に示します。

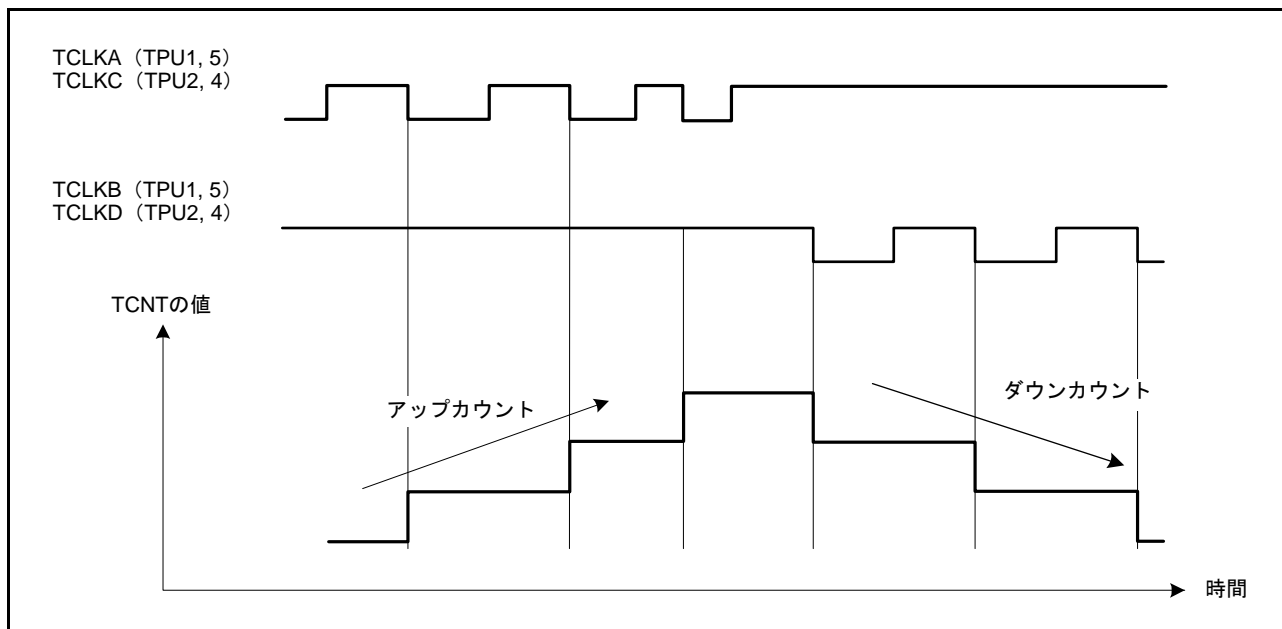


図 24.27 位相計数モード3の動作例

表 24.27 位相計数モード3のアップ/ダウンカウント条件

TCLKA (TPU1, 5) TCLKC (TPU2, 4)	TCLKB (TPU1, 5) TCLKD (TPU2, 4)	動作内容
High	↑	Don't care
Low	↓	Don't care
↑	Low	Don't care
↓	High	アップカウント
High	↓	ダウンカウント
Low	↑	Don't care
↑	High	Don't care
↓	Low	Don't care

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図24.28に、TPUm.TCNTのアップ/ダウンカウント条件を表24.28に示します。

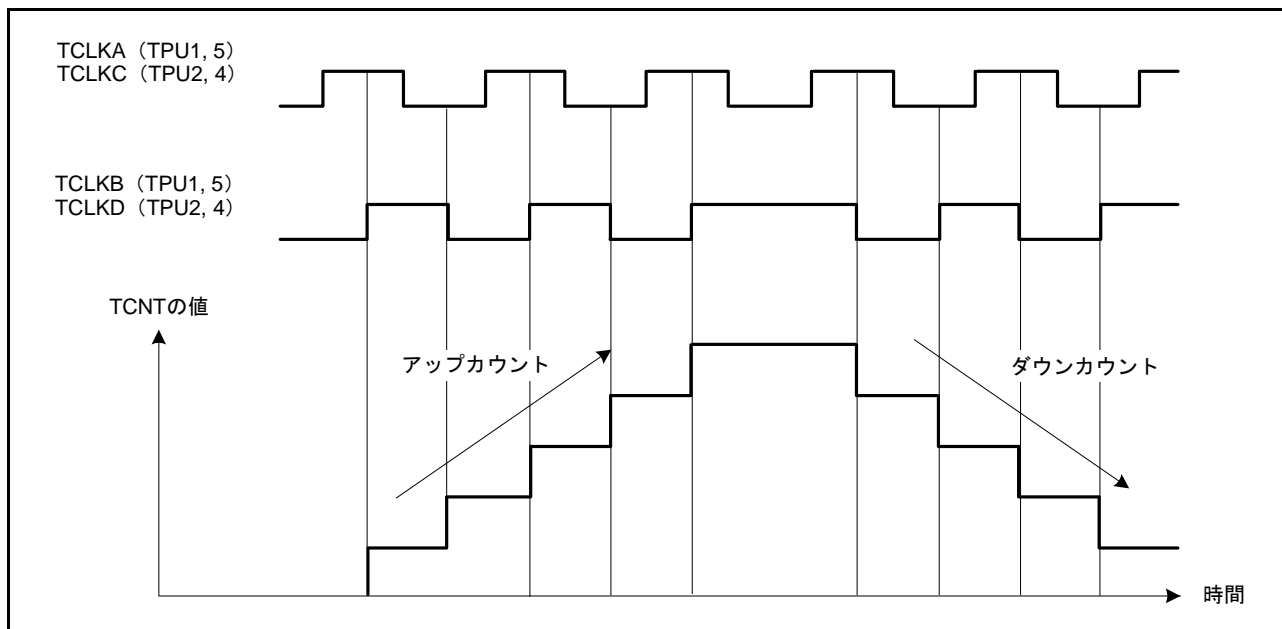


図 24.28 位相計数モード4の動作例

表 24.28 位相計数モード4のアップ/ダウンカウント条件

TCLKA (TPU1, 5) TCLKC (TPU2, 4)	TCLKB (TPU1, 5) TCLKD (TPU2, 4)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	Don't care
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	Don't care
↓	Low	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

24.3.6.1 位相計数モード応用例

TPU1 を位相計数モードに設定し、TPU0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 24.29 に示します。

TPU1 は位相計数モード 1 に設定し、TCLKA 端子と TCLKB 端子にエンコーダパルスの A 相、B 相を入力します。

TPU0 は TPU0.TCNT を TPU0.TGRC レジスタのコンペアマッチでカウンタクリアとして動作させ、TPU0.TGRA レジスタと TPU0.TGRC レジスタはコンペアマッチ機能で使用する、速度制御周期と位置制御周期を設定します。TPU0.TGRB レジスタは入力キャプチャ機能で使用する、TPU0.TGRB レジスタと TPU0.TGRD レジスタをバッファ動作させます。TPU0.TGRB レジスタの入力キャプチャ要因は、TPU1 のカウントクロックとし、2 相エンコーダの 4 通倍パルスのパルス幅を検出します。

TPU1 の TPU1.TGRA レジスタと TPU1.TGRB レジスタは、入力キャプチャ機能に設定し、入力キャプチャ要因は TPU0 の TPU0.TGRA レジスタと TPU0.TGRC レジスタのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

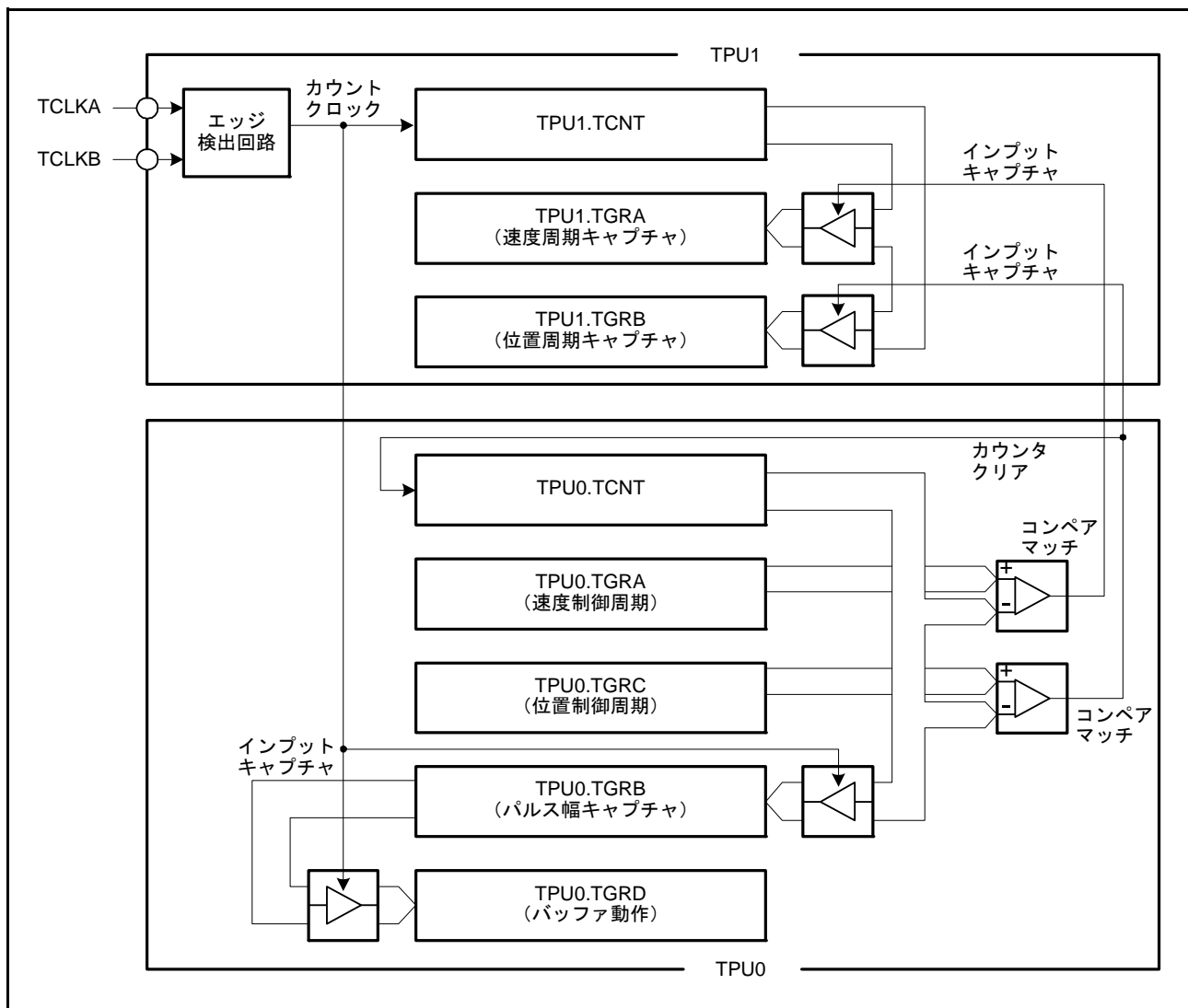


図 24.29 位相計数モードの応用例

24.3.7 ノイズフィルタ機能

TPUのインプットキャプチャ入力端子には、ノイズフィルタ機能があります。ノイズフィルタ機能は、設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで、内部へは同じレベルを伝達し続けます。

ノイズフィルタ機能は、端子ごとにノイズフィルタ機能の許可/停止が設定できます。また、サンプリングクロックは、チャンネル単位での設定が可能です。

図 24.30 にノイズフィルタのタイミングチャートを示します。

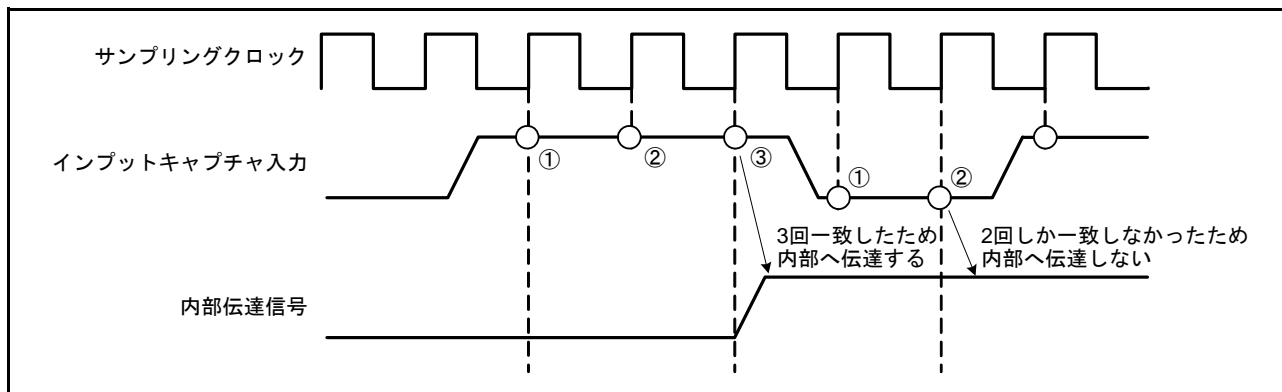


図 24.30 ノイズフィルタのタイミングチャート

24.4 割り込み要因

TPUの割り込み要因には、TPUm.TGRyレジスタのインプットキャプチャ/コンペアマッチ、TPUm.TCNTのオーバフロー、アンダフローの3種類があります。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は変更できません。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

表 24.29 に TPU の割り込み要因の一覧を示します。

表 24.29 TPU 割り込み一覧

チャンネル	名称	割り込み要因	DTCの起動	DMACの起動
TPU0	TGI0A	TPU0.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI0B	TPU0.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TGI0C	TPU0.TGRCのインプットキャプチャ/コンペアマッチ	可能	不可能
	TGI0D	TPU0.TGRDのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI0V	TPU0.TCNTのオーバフロー	不可能	不可能
TPU1	TGI1A	TPU1.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI1B	TPU1.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI1V	TPU1.TCNTのオーバフロー	不可能	不可能
	TCI1U	TPU1.TCNTのアンダフロー	不可能	不可能
TPU2	TGI2A	TPU2.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI2B	TPU2.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI2V	TPU2.TCNTのオーバフロー	不可能	不可能
	TCI2U	TPU2.TCNTのアンダフロー	不可能	不可能
TPU3	TGI3A	TPU3.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI3B	TPU3.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TGI3C	TPU3.TGRCのインプットキャプチャ/コンペアマッチ	可能	不可能
	TGI3D	TPU3.TGRDのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI3V	TPU3.TCNTのオーバフロー	不可能	不可能
TPU4	TGI4A	TPU4.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI4B	TPU4.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI4V	TPU4.TCNTのオーバフロー	不可能	不可能
	TCI4U	TPU4.TCNTのアンダフロー	不可能	不可能
TPU5	TGI5A	TPU5.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI5B	TPU5.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI5V	TPU5.TCNTのオーバフロー	不可能	不可能
	TCI5U	TPU5.TCNTのアンダフロー	不可能	不可能

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルのTPUm.TGRyレジスタのインพุットキャプチャ/コンペアマッチの発生により、TPUm.TIER.TGIEyビット (y = A, B, C, D) が“1”なら、割り込みを要求します。TPUには、TPU0, 3に各4本、TPU1, 2, 4, 5に各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルのTPUm.TCNTのオーバフローの発生により、TPUm.TIER.TCIEVビットが“1”なら、割り込みを要求します。TPUには、各チャンネルに1本、計6本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルのTPUm.TCNTのアンダフローの発生により、TPUm.TIER.TCIEUビットが“1”なら、割り込みを要求します。TPUには、TPU1, 2, 4, 5に各1本、計4本のアンダフロー割り込みがあります。

24.5 DTCの起動

各チャンネルのTPUm.TGRyレジスタのインพุットキャプチャ/コンペアマッチ割り込みによって、DTCを起動することができます。詳細は「18. データトランスファコントローラ (DTCa)」を参照してください。

TPUでは、TPU0, 3が各4本、TPU1, 2, 4, 5が各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みをDTCの起動要因とすることができます。

24.6 DMACの起動

各チャンネルのTPUm.TGRAレジスタのインพุットキャプチャ/コンペアマッチ割り込みによって、DMACを起動することができます。詳細は「17. DMAコントローラ (DMACA)」を参照してください。

TPUでは、各チャンネルに1本、計6本のTPUm.TGRAレジスタのインพุットキャプチャ/コンペアマッチ割り込みをDMACの起動要因とすることができます。

24.7 A/Dコンバータの起動

TPUは、各チャンネルのTPUm.TGRAレジスタのインพุットキャプチャ/コンペアマッチによって、A/Dコンバータを起動することができます。

各チャンネルのTPUm.TGRAレジスタのインพุットキャプチャ/コンペアマッチが発生したとき、TPUm.TIER.TTGEビットが“1”なら、TPUはA/Dコンバータに対してA/D変換の開始を要求します。

24.8 動作タイミング

24.8.1 入出力タイミング

(1) TPUm.TCNT のカウントタイミング

内部クロック動作の場合の TPUm.TCNT のカウントタイミングを図 24.31 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 24.32 に示します。

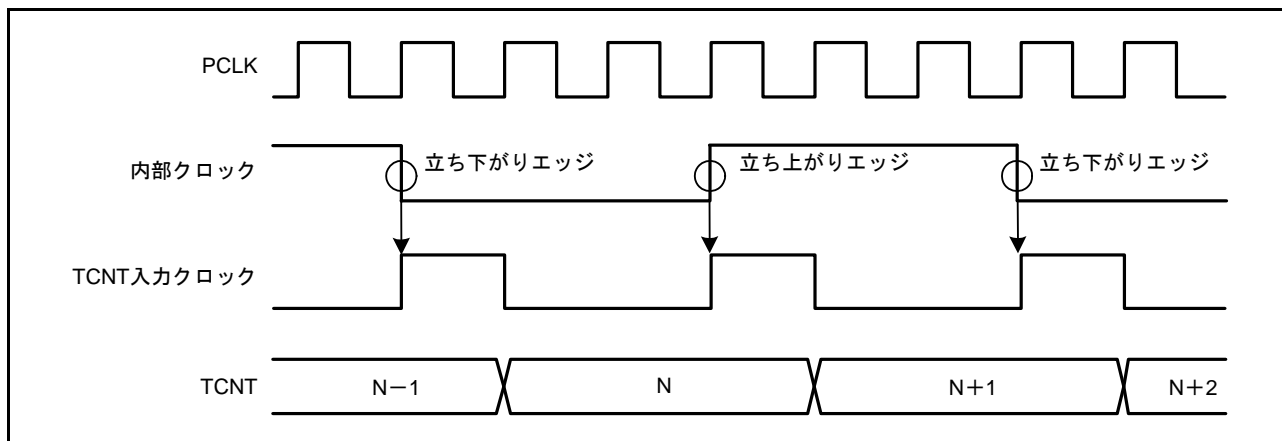


図 24.31 内部クロック動作時のカウントタイミング

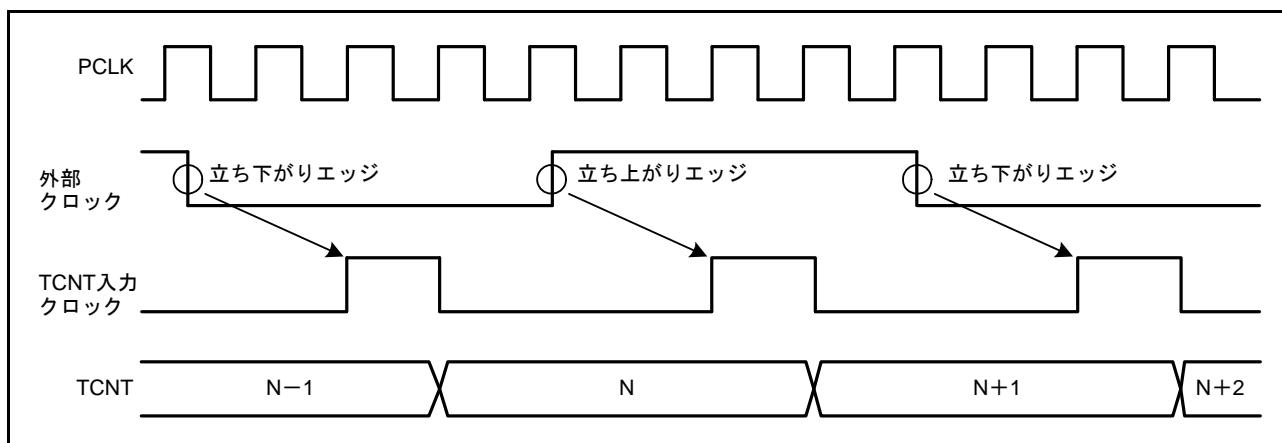


図 24.32 外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TPUm.TCNTとTPUm.TGRyレジスタが一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TPUm.TIORH、TPUm.TIORL、TPUm.TIORレジスタで設定した出力値がアウトプットコンペア出力端子（TIOCyn（y=A～D, n=0～11）端子）に出力されます。TCNTとTGRyレジスタが一致した後、TCNT入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図24.33に示します。

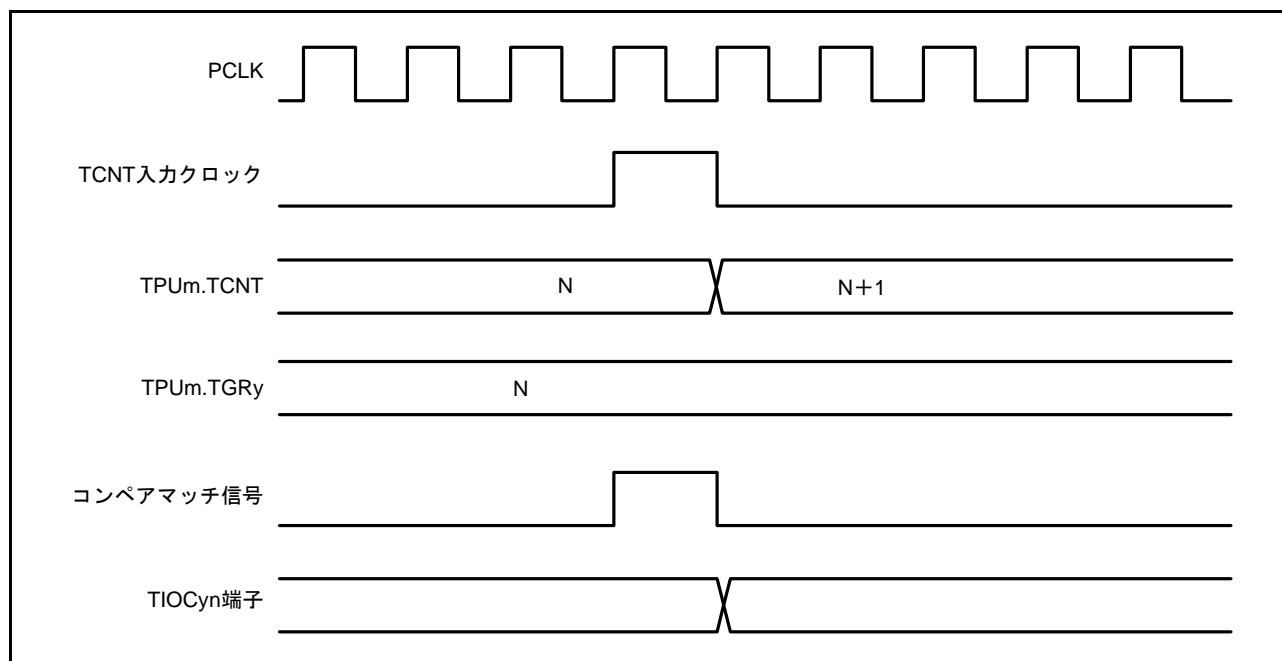


図 24.33 アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図24.34に示します。

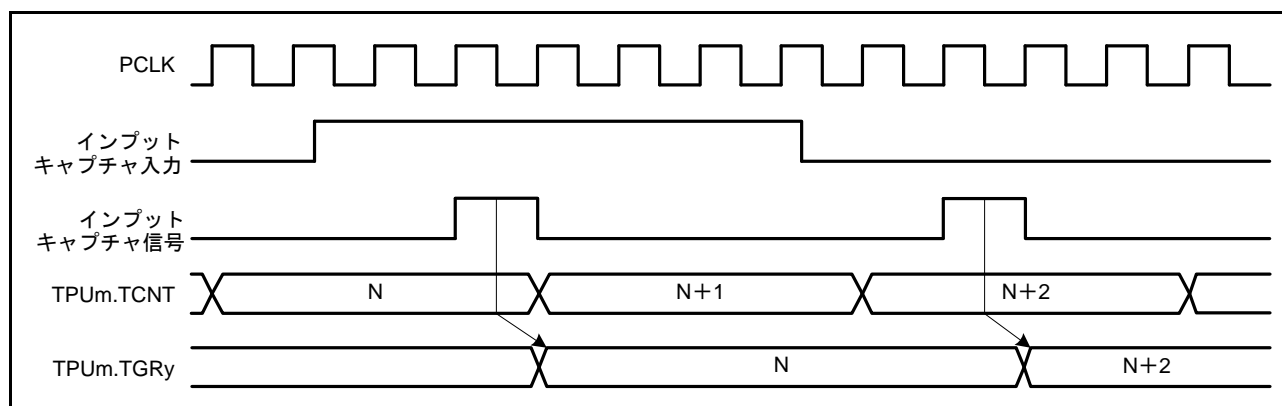


図 24.34 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 24.35 に示します。
 インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 24.36 に示します。

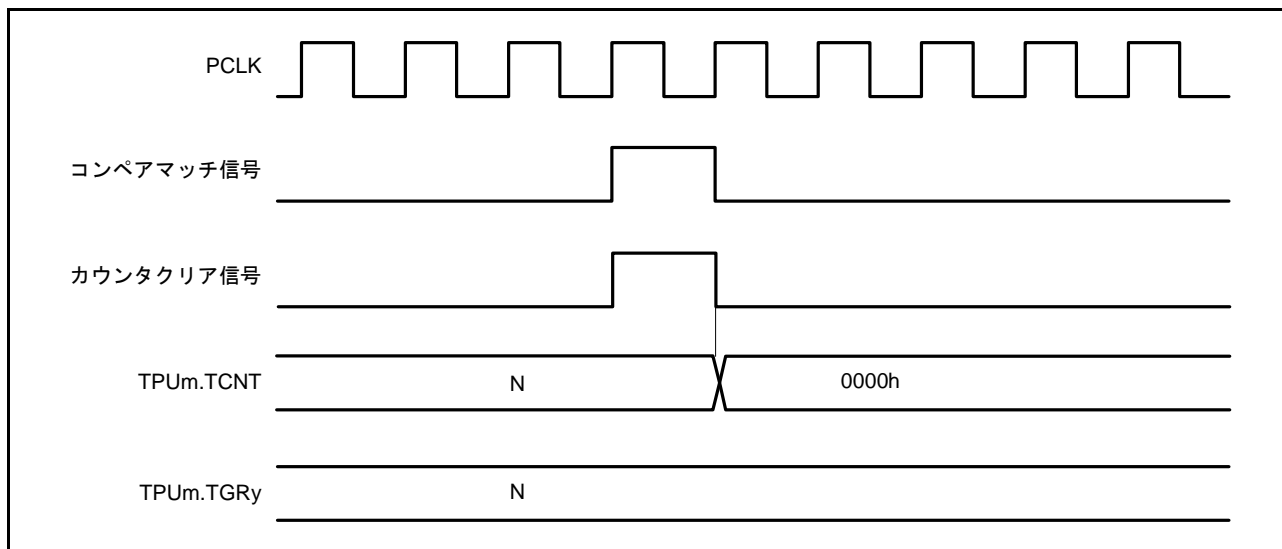


図 24.35 カウンタクリアタイミング (コンペアマッチ)

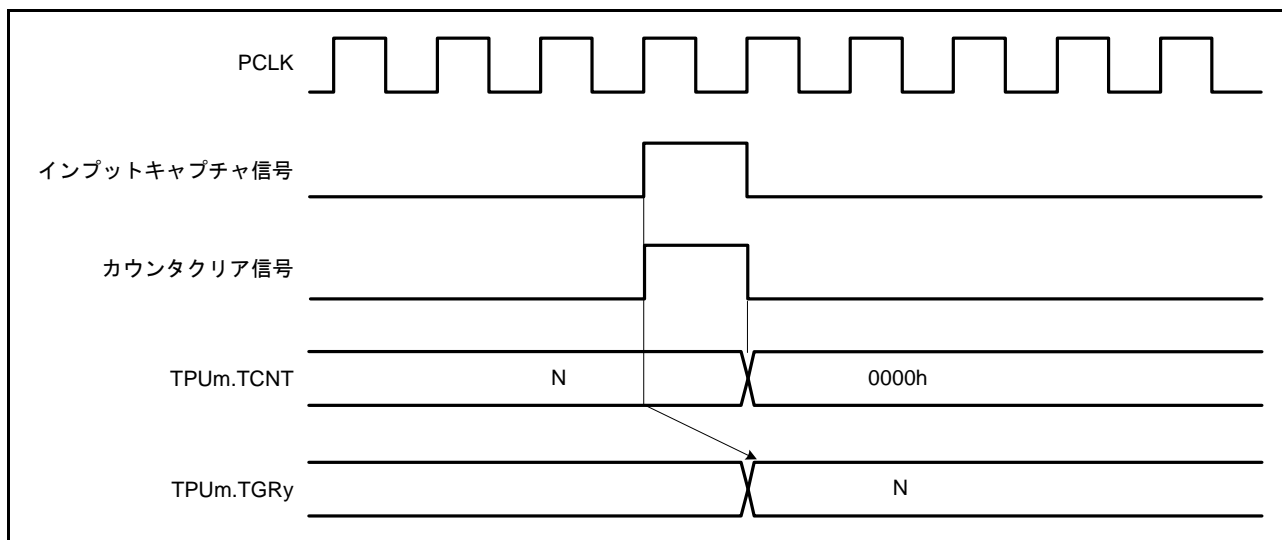


図 24.36 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 24.37、図 24.38 に示します。

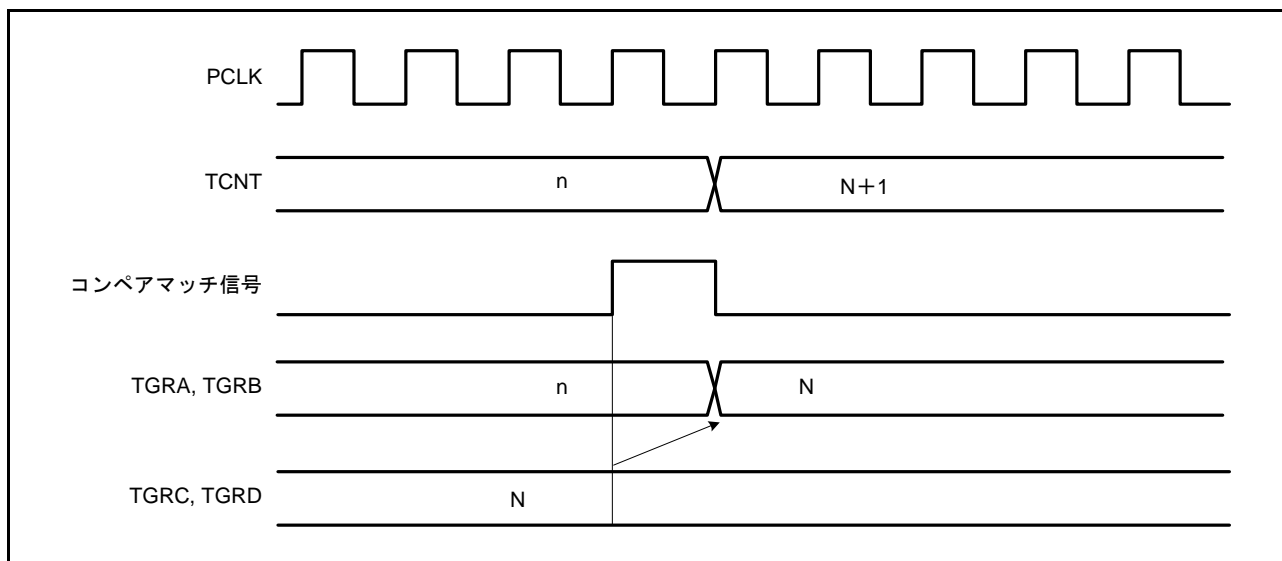


図 24.37 バッファ動作タイミング (コンペアマッチ)

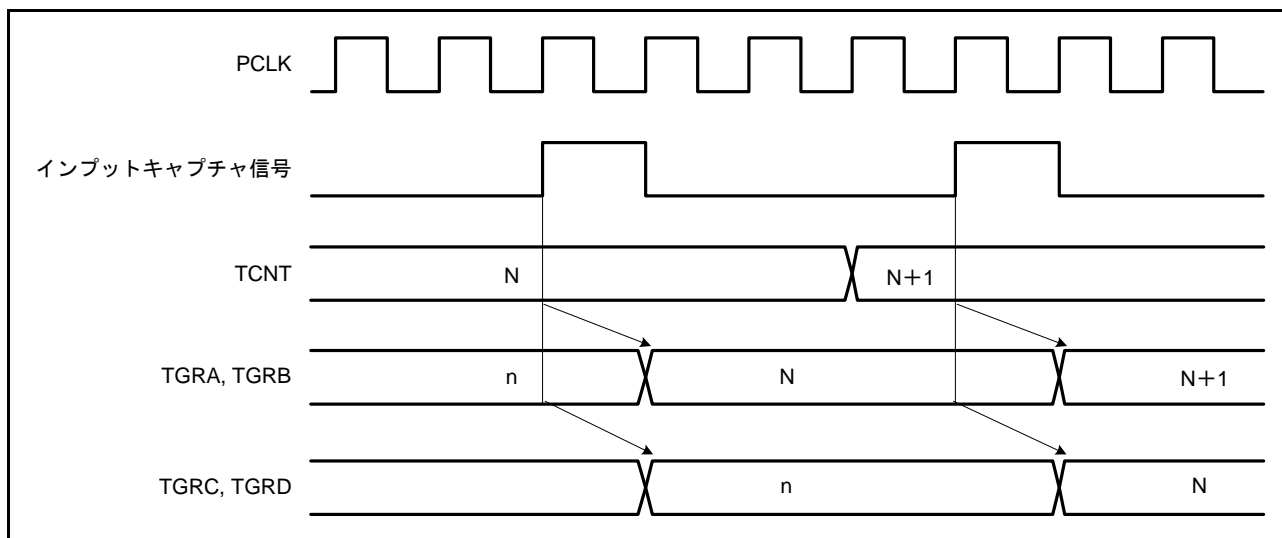


図 24.38 バッファ動作タイミング (インพุットキャプチャ)

24.8.2 割り込み信号タイミング

(1) コンペアマッチ時の割り込み信号のセットタイミング

コンペアマッチの発生による割り込み信号のタイミングを図 24.39 に示します。

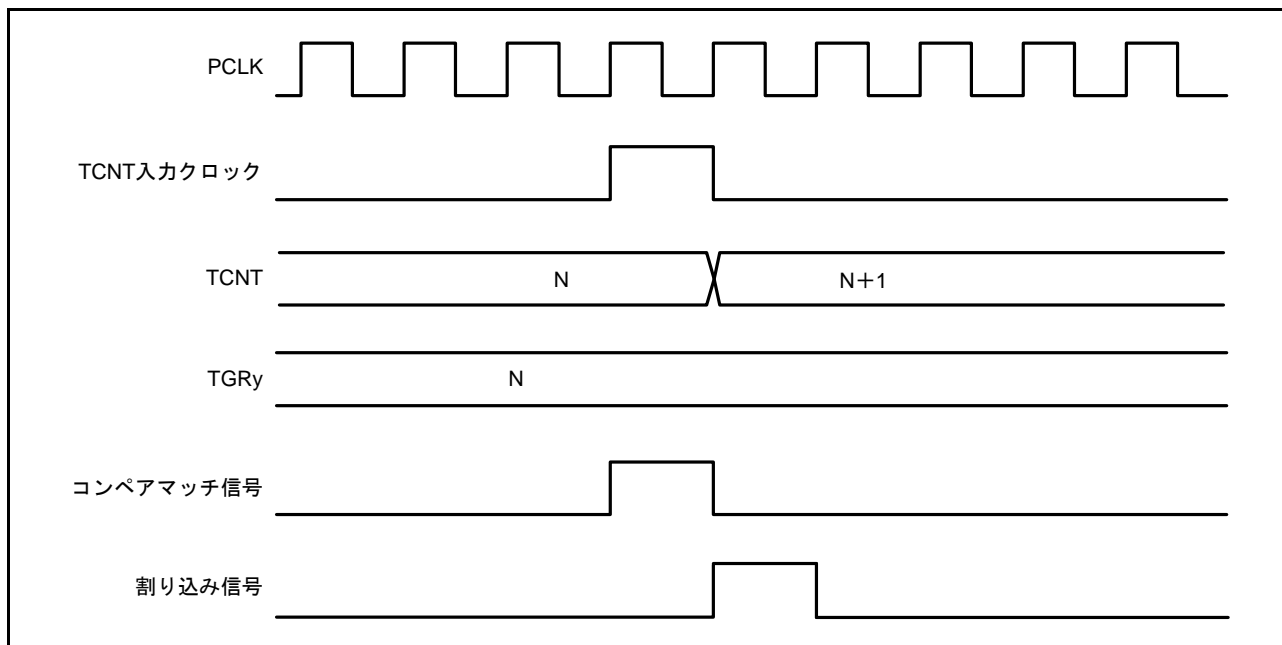


図 24.39 TGI_{my} 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の割り込み信号のセットタイミング

インพุットキャプチャの発生による割り込み信号のタイミングを図 24.40 に示します。

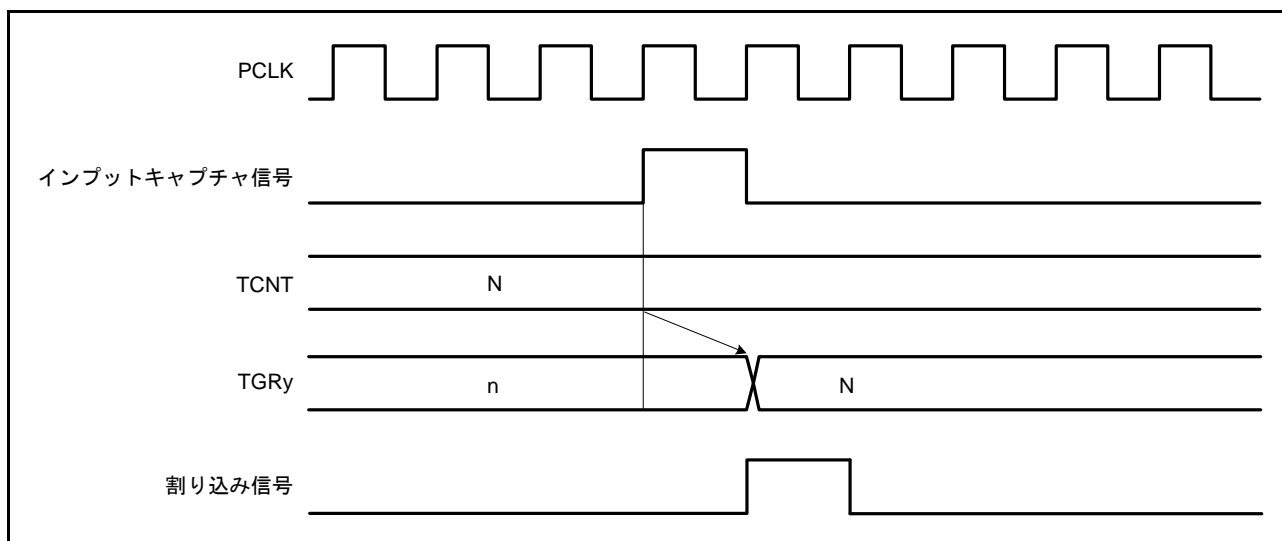


図 24.40 TGI_{my} 割り込みタイミング (インพุットキャプチャ)

(3) TCImV, TCImU 割り込み信号のセットタイミング

オーバフローの発生による TCImV 割り込み信号のタイミングを図 24.41 に示します。
 アンダフローの発生による TCImU 割り込み信号のタイミングを図 24.42 に示します。

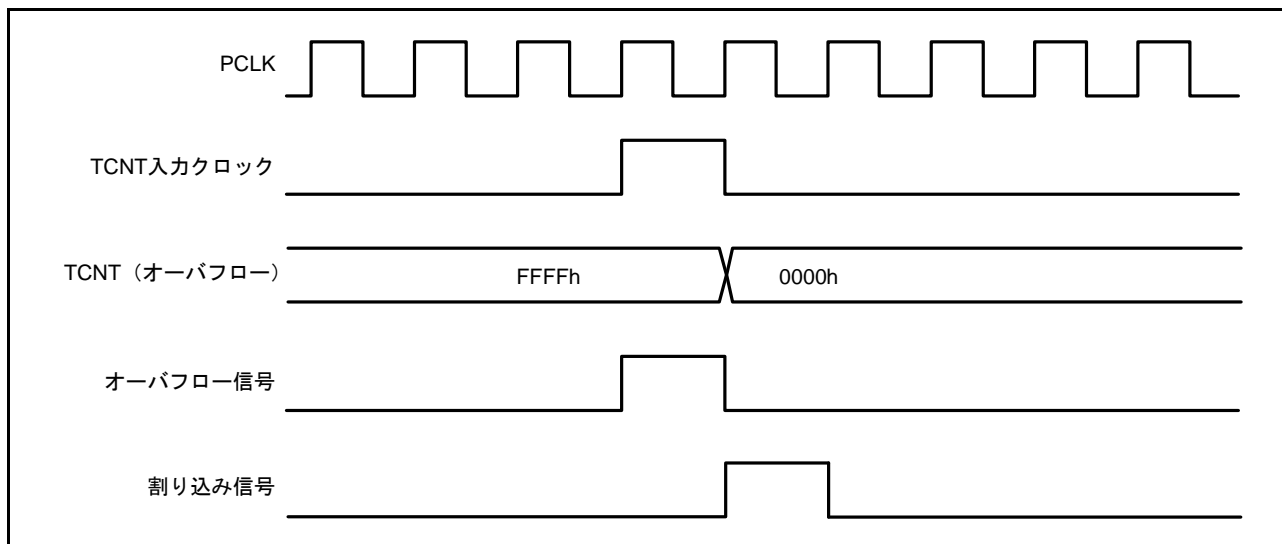


図 24.41 TCImV 割り込みのセットタイミング

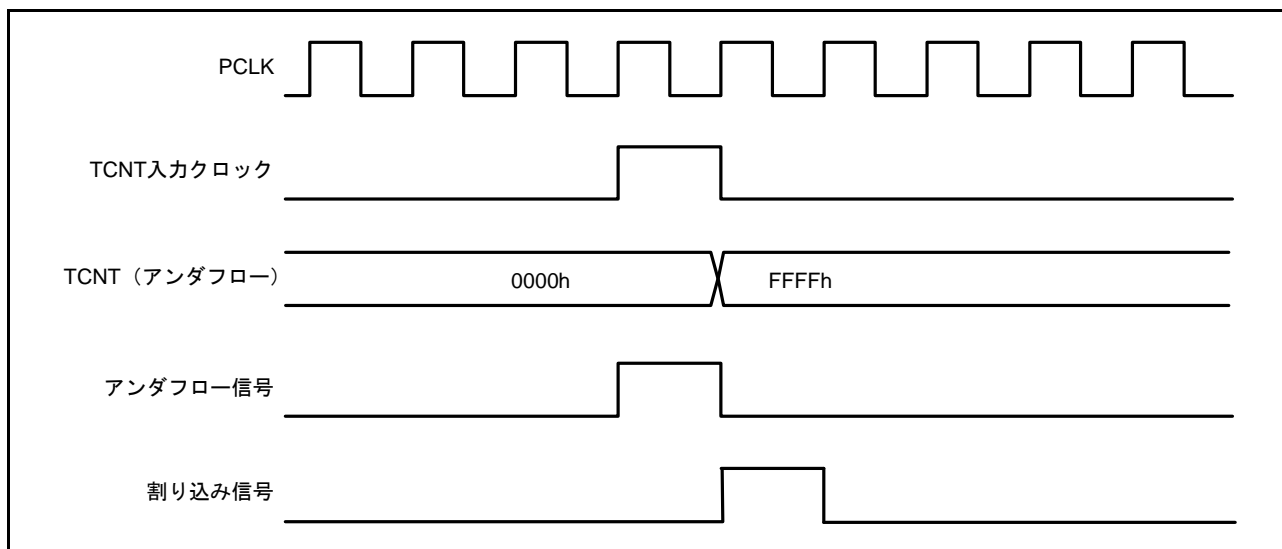


図 24.42 TCImU 割り込みのセットタイミング

24.9 使用上の注意事項

24.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、TPUの動作禁止/許可を設定することが可能です。初期値では、TPUの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

24.9.2 入力ロックの制限事項

入力クロックのパルス幅は、単エッジの場合は1.5PCLKクロック以上、両エッジの場合は2.5PCLKクロック以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入力クロックの位相差およびオーバーラップはそれぞれ1.5PCLKクロック以上、パルス幅は2.5PCLKクロック以上必要です。位相計数モードの入力クロックの条件を図24.43に示します。

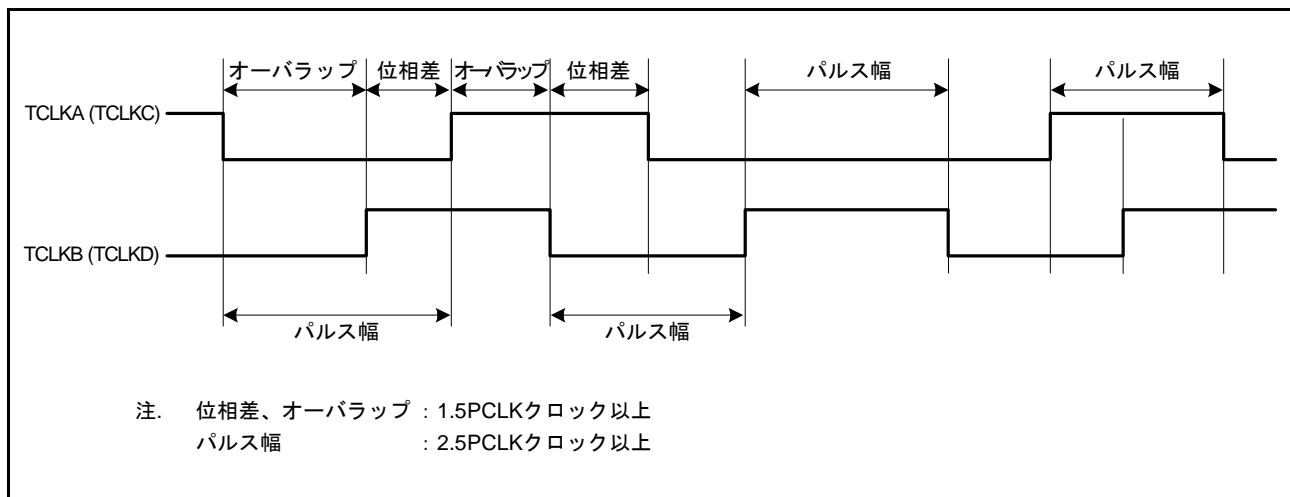


図 24.43 位相計数モード時の位相差、オーバーラップ、およびパルス幅

24.9.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TPUm.TCNTはTPUm.TGRyレジスタの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は以下の式ようになります。

$$f = \frac{f_{\text{TCNT_CLK}}}{(N+1)}$$

f : カウンタ周波数

$f_{\text{TCNT_CLK}}$: カウントクロックの周波数

N : TGRyレジスタの設定値

24.9.4 TPUm.TCNT への書き込みとクリアの競合

TCNT のライトサイクルでカウンタクリア信号が発生すると、TCNT への書き込みは行われずに TCNT のクリアが優先されます。このタイミングを図 24.44 に示します。

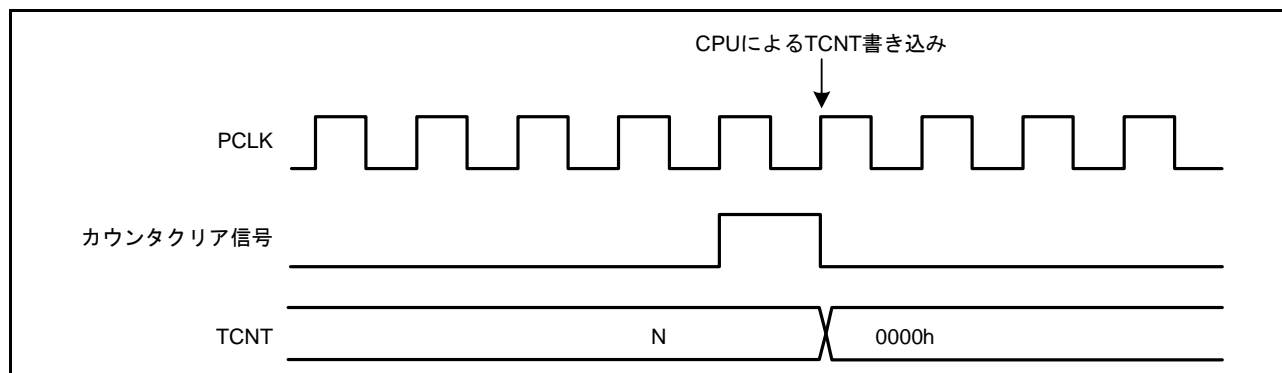


図 24.44 TPUm.TCNT への書き込みとクリアの競合

24.9.5 TPUm.TCNT への書き込みとカウントアップの競合

TCNT のライトサイクルでカウントアップが発生してもカウントアップされず、TCNT への書き込みが優先されます。このタイミングを図 24.45 に示します。

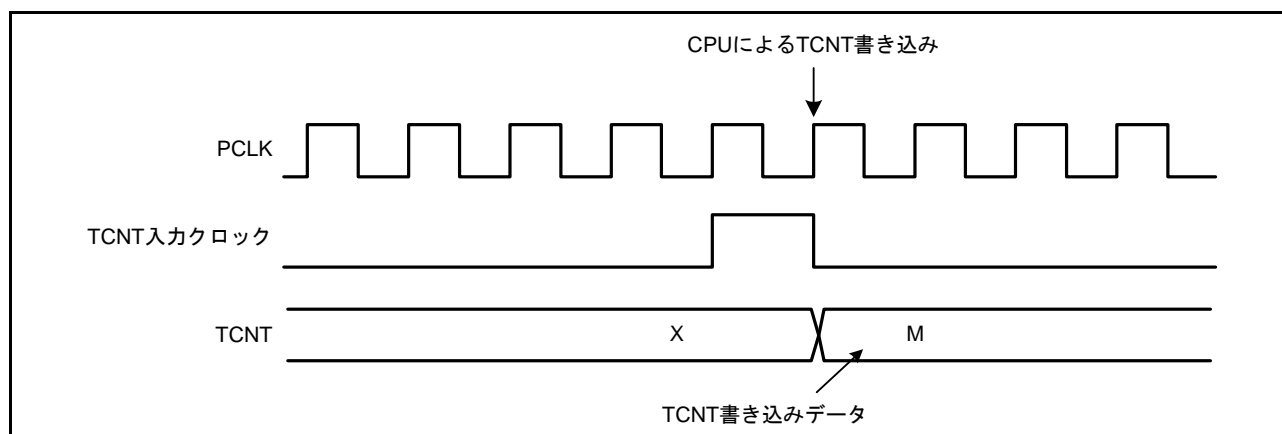


図 24.45 TPUm.TCNT への書き込みとカウントアップの競合

24.9.6 TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合

TGRy レジスタのライトサイクルでコンペアマッチが発生しても TGRy レジスタへの書き込みが優先され、コンペアマッチ信号は禁止されます。前回と同じ値を書いた場合でもコンペアマッチは発生しません。このタイミングを図 24.46 に示します。

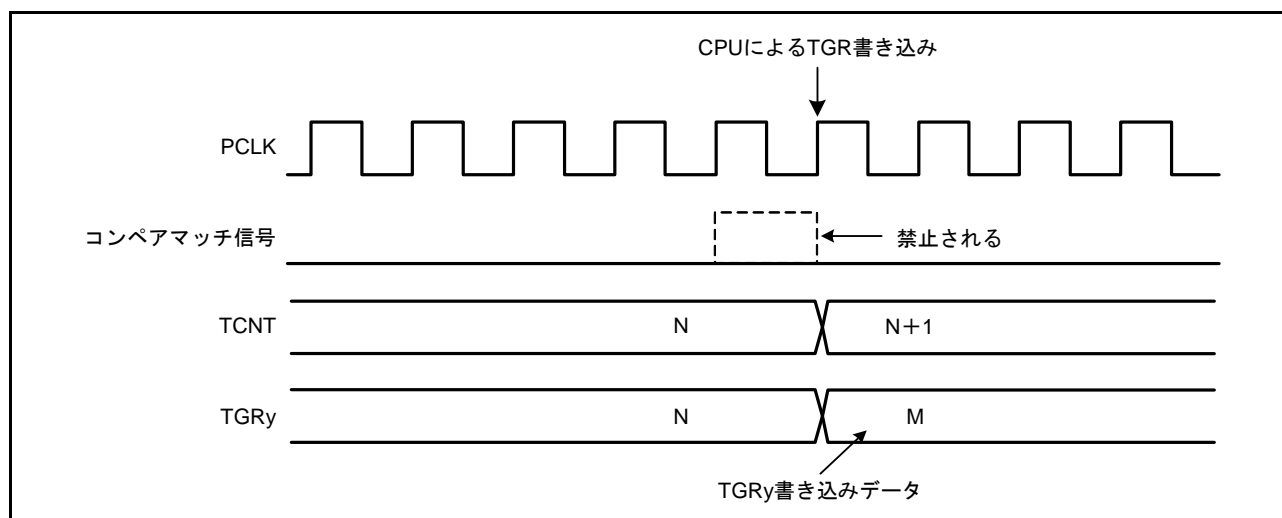


図 24.46 TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合

24.9.7 バッファレジスタへの書き込みとコンペアマッチの競合

TPUm.TGRy レジスタのライトサイクルでコンペアマッチが発生すると、バッファ動作によって TGRy レジスタに転送されるデータは書き込み前のデータとなります。このタイミングを図 24.47 に示します。

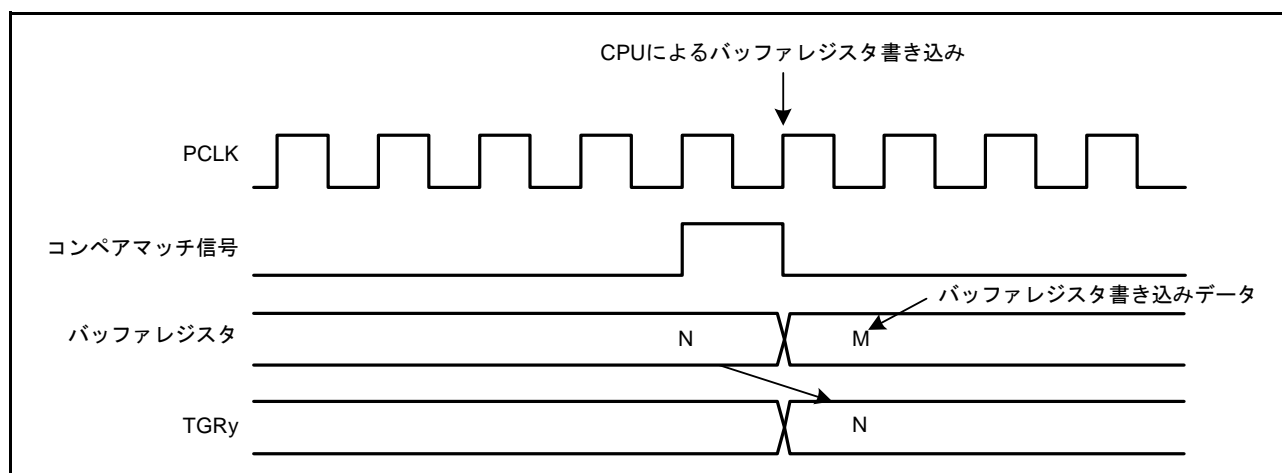


図 24.47 バッファレジスタへの書き込みとコンペアマッチの競合

24.9.8 TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合

TGRy レジスタのリードサイクルでインプットキャプチャ信号が発生すると、読み出しデータはインプットキャプチャ転送前のデータとなります。

このタイミングを図 24.48 に示します。

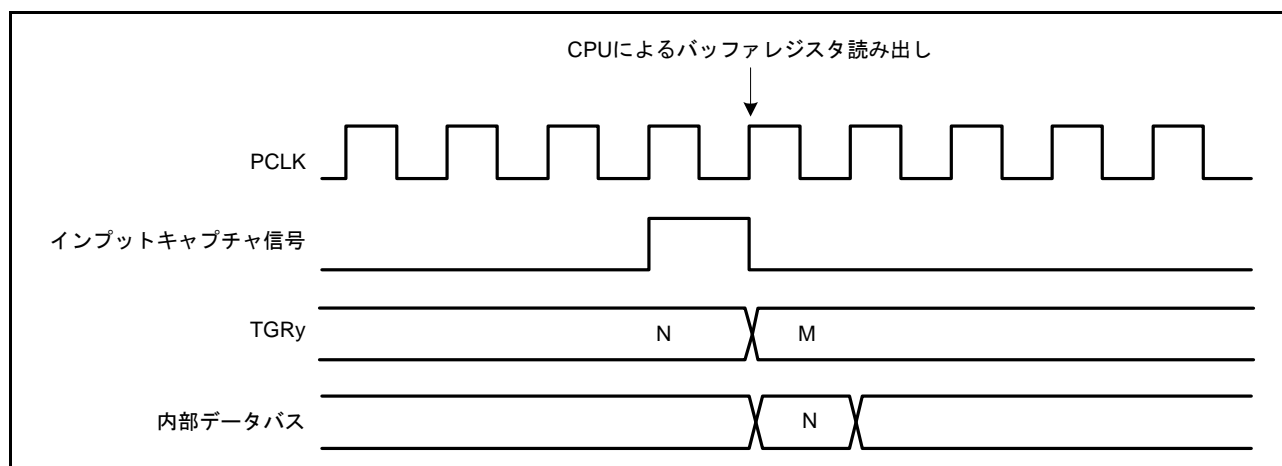


図 24.48 TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合

24.9.9 TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合

TGRy レジスタのライトサイクルでインプットキャプチャ信号が発生すると、TGRy レジスタへの書き込みは行われず、インプットキャプチャが優先されます。このタイミングを図 24.49 に示します。

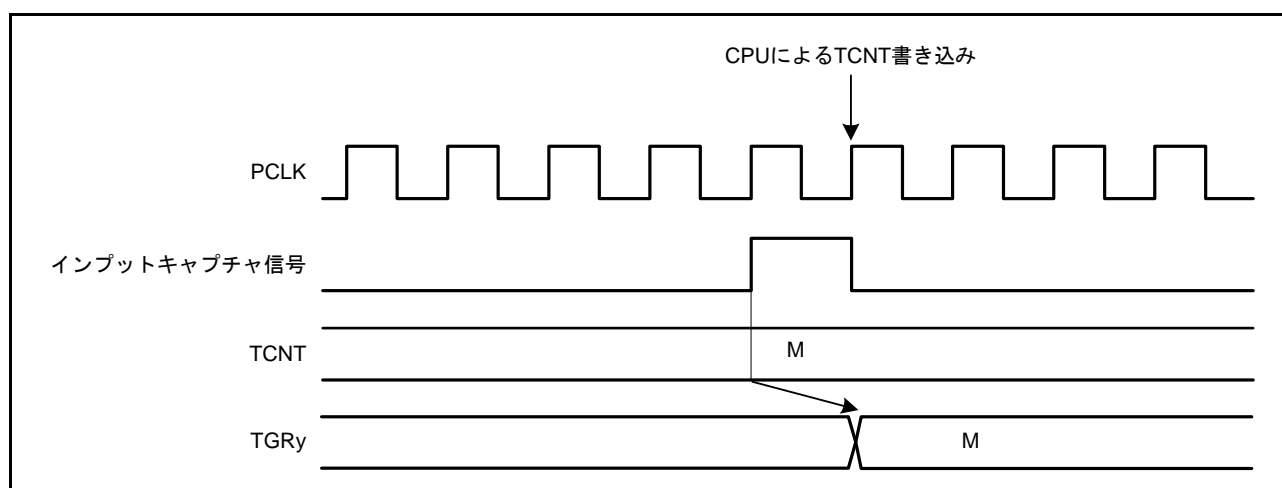


図 24.49 TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合

24.9.10 バッファレジスタへの書き込みとインプットキャプチャの競合

バッファレジスタのライトサイクルでインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。このタイミングを図 24.50 に示します。

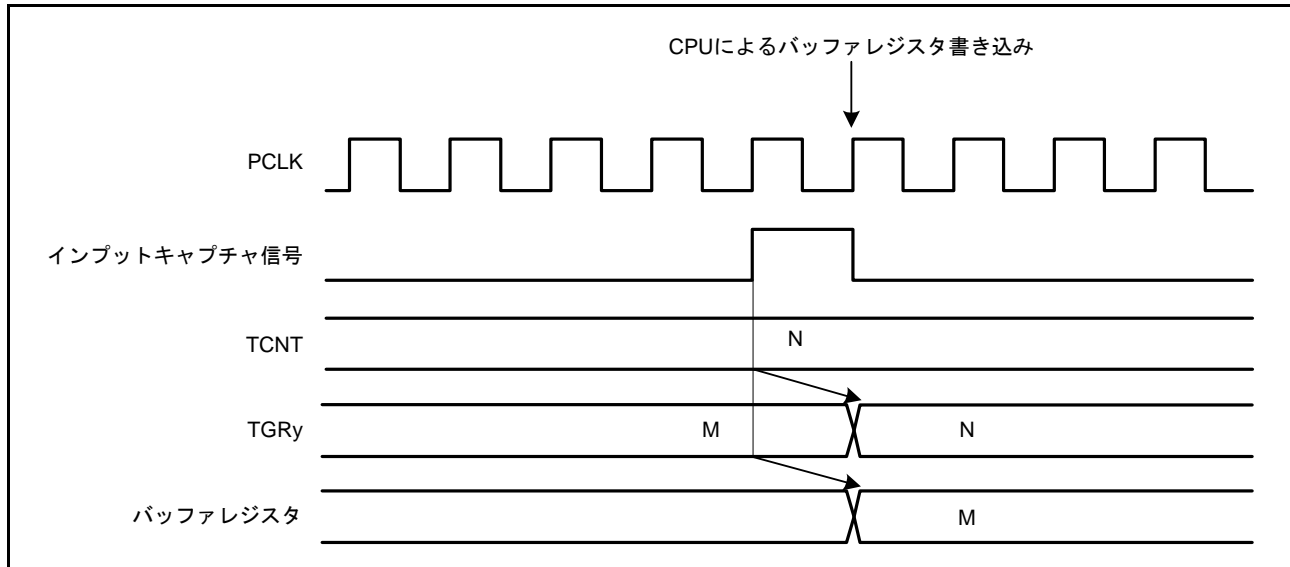


図 24.50 バッファレジスタへの書き込みとインプットキャプチャの競合

24.9.11 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、コンペアマッチ割り込みが発生するとともに、TPUm.TCNT のクリアが行われオーバフロー割り込みが発生します。

TPUm.TGRy レジスタのコンペアマッチをクリア要因とし、TGRy レジスタを“FFFFh”にした場合の動作タイミングを図 24.51 に示します。

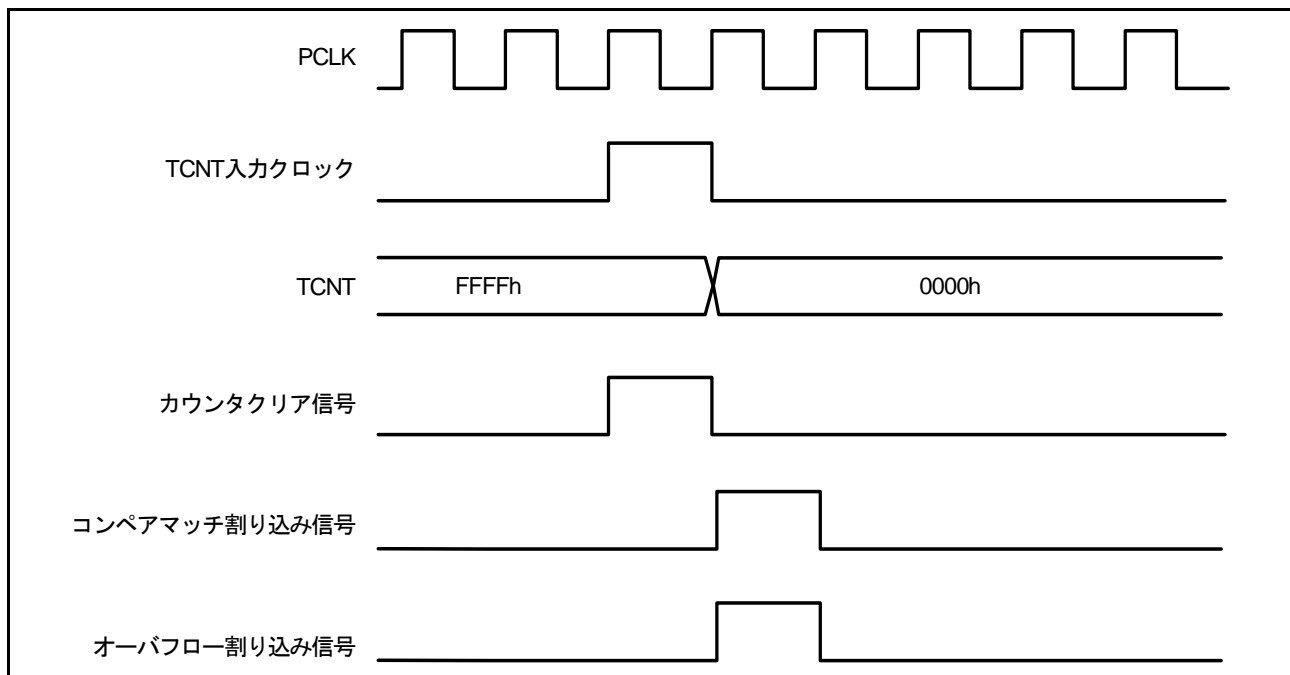


図 24.51 オーバフローとカウンタクリアの競合

24.9.12 TPUm.TCNT への書き込みとオーバフロー/アンダフローの競合

TCNT のライトサイクルでカウントアップ/カウントダウンが発生し、オーバフロー/アンダフローが発生しても TCNT への書き込みが優先されます。

TCNT への書き込みとオーバフロー競合時の動作タイミングを図 24.52 に示します。

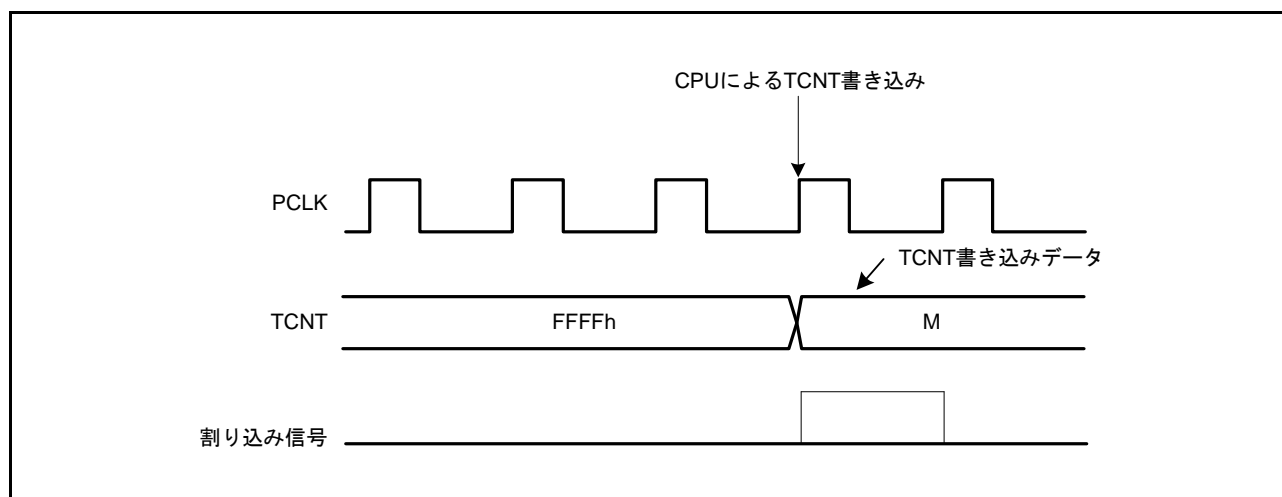


図 24.52 TPUm.TCNT への書き込みとオーバフローの競合

24.9.13 入出力端子の兼用

本 MCU では、TCLKA 入力と TIOCB5 入出力、TCLKB 入力と TIOCB2 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCC3 入出力、TCLKD 入力と TIOCD3 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

24.9.14 コンペアマッチパルス割り込みの連続出力

TGR を“0000h” に設定して、カウントクロックを PCLK/1 としたコンペアマッチでカウンタクリアすると、TCNT は“0000h”のまま更新されず、パルスのコンペアマッチ割り込みを連続してレベル状に出力します。

パルス割り込みを使用している場合、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

コンペアマッチパルス割り込みが連続出力する動作タイミングを図 24.53 に示します。

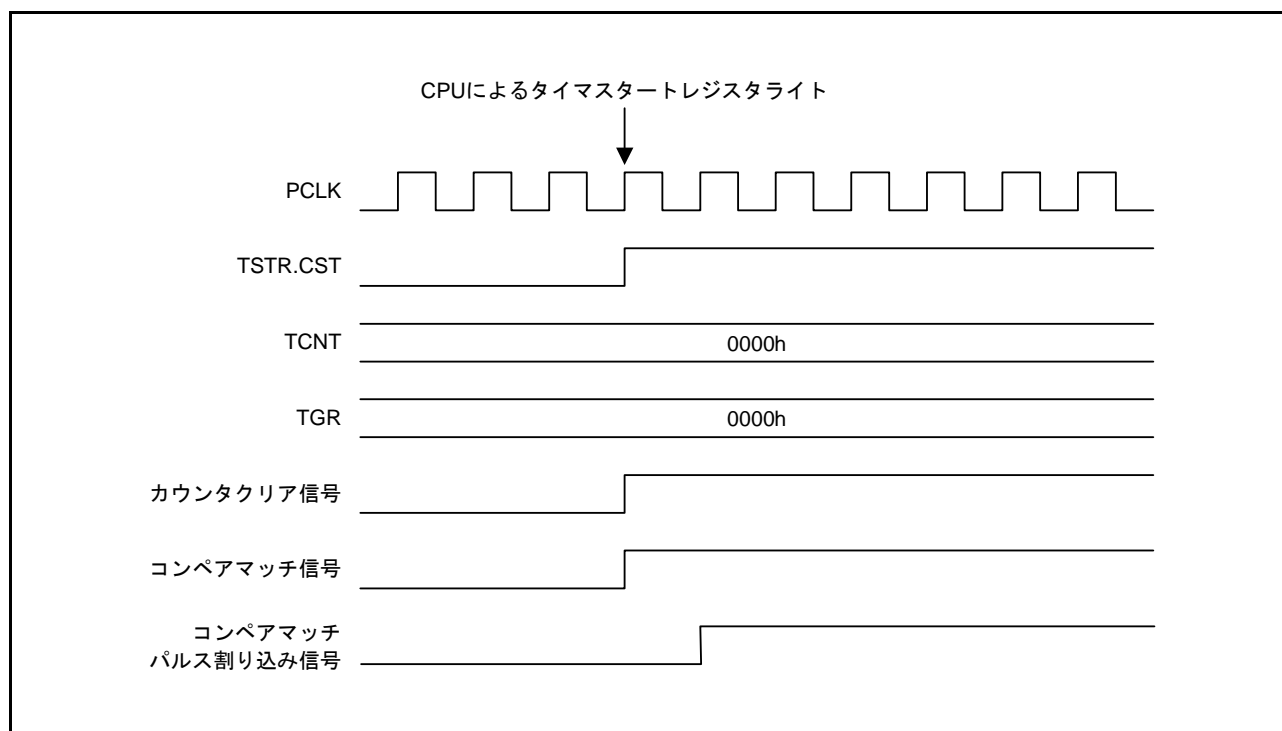


図 24.53 コンペアマッチパルス割り込みの連続出力

24.9.15 インพุットキャプチャパルス割り込みの連続出力

インพุットキャプチャを両エッジに指定し、インพุットキャプチャ入力が内部サンプリングによって1PCLK サイクルとして検出されるパルス幅の場合、立ち上がりエッジと立ち下がりエッジによるインพุットキャプチャが連続して発生するために、パルスのインพุットキャプチャ割り込みを連続してレベル状に出力します。

パルス割り込みを使用している場合、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

インพุットキャプチャパルス割り込みが連続出力する動作タイミングを図 24.54 に示します。

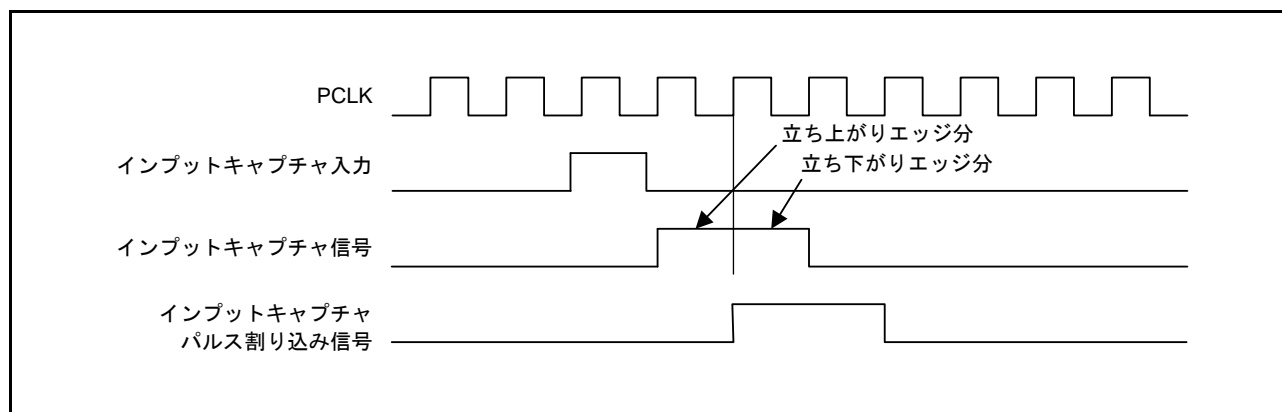


図 24.54 インพุットキャプチャパルス割り込みの連続出力

24.9.16 アンダフローパルス割り込みの連続出力

位相計数モード1で、TGRを“0000h”、カウンタクリア要因をコンペアマッチとして動作させ、TCNTが“0000h”のときに、位相計数の対象となる2本の外部クロックの同方向のエッジがPCLKの2サイクル内で発生した場合、TCNTは“0000h”のまま更新されず、パルスのコンペアマッチ割り込みとアンダフロー割り込みを連続してレベル状に出力します。

パルス割り込みを使用している場合、割り込みコントローラは連続する割り込みの2つ目を検出できなくなります。

アンダフローパルス割り込みが連続出力する動作タイミングを図24.55に示します。

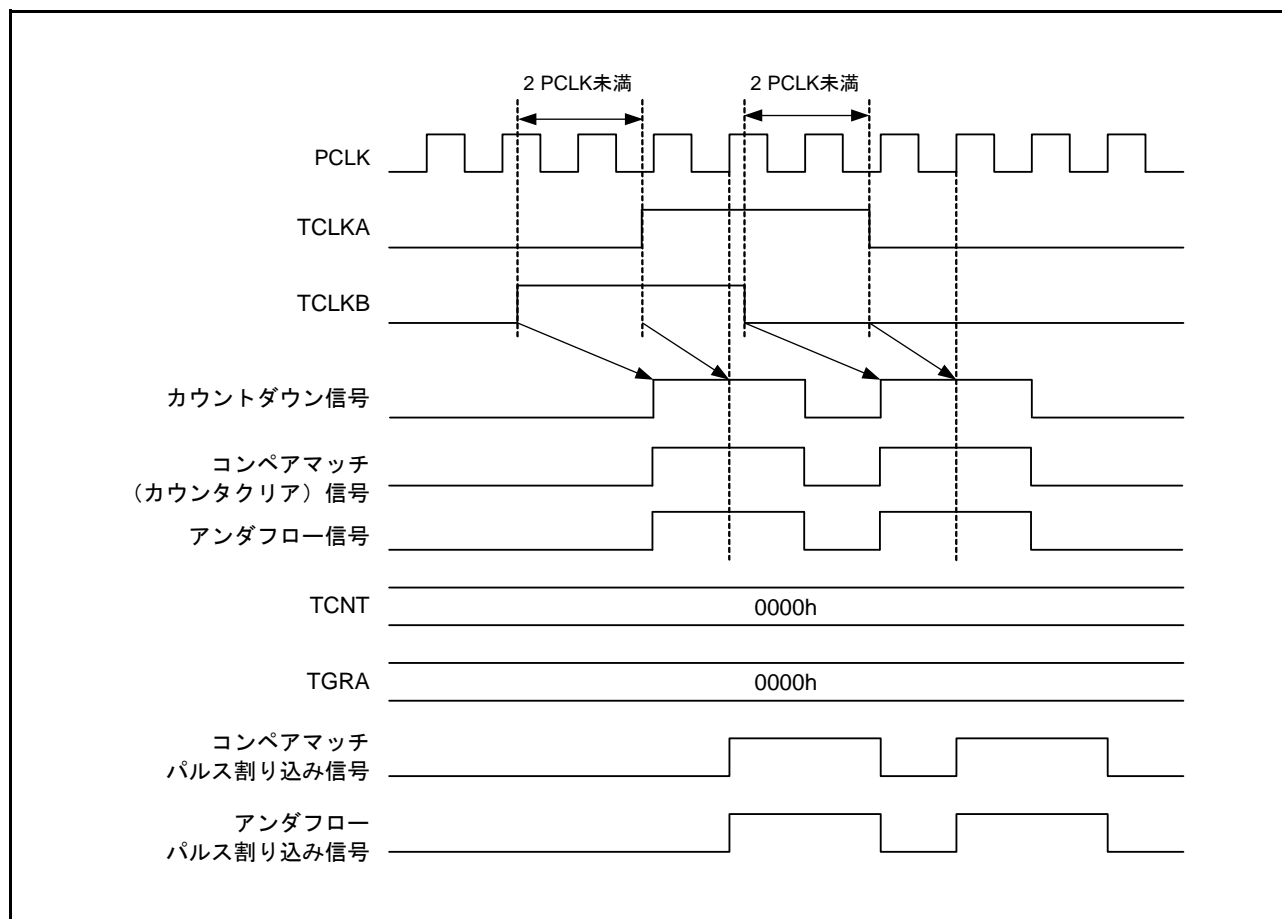


図 24.55 アンダフローパルス割り込みの連続出力

25. プログラマブルパルスジェネレータ (PPG)

プログラマブルパルスジェネレータ (PPG) は、マルチファンクションタイマパルスユニット 2 (MTU) をタイムベースとしてパルスを出力します。

本 MCU には 1 ユニットの PPG を内蔵しています。1 ユニットの PPG は、16 ビットのパルス出力端子を持ち、4 ビット単位を 1 つのパルス出力グループとして構成しています。各パルス出力グループは同時に動作させることも、個別に動作させることもできます。

25.1 概要

表 25.1 に PPG の仕様を、表 25.2 に PPG 機能一覧を示します。

図 25.1 に PPG のブロック図を示します。

表 25.1 PPG の仕様

項目	内容
出力ビット数	最大 16 ビット
パルス出力	<ul style="list-style-type: none"> 4 グループ×1 ユニットの出力可能 出力トリガ信号を選択可能 ノンオーバーラップ動作可能 反転出力の指定可能
出力データ転送	DTC、DMAC との連携動作可能 (MTU の割り込み機能を使用時)
消費電力低減機能	モジュールストップ状態への設定が可能

表 25.2 PPG 機能一覧

項目		PPG0	
PPG 出力トリガ	MTU のチャンネル 0~3 (MTU0~MTU3)	コンペアマッチ	○
		インプットキャプチャ	○
ノンオーバーラップ動作		○	
出力データ転送	DTC	○	
	DMAC	○	
反転出力の指定		○	
モジュールストップの設定 (注1)		MSTPCRA.MSTPA11 ビット	

○ : 可能
 — : 不可能

注1. 詳細は「11. 消費電力低減機能」を参照してください。

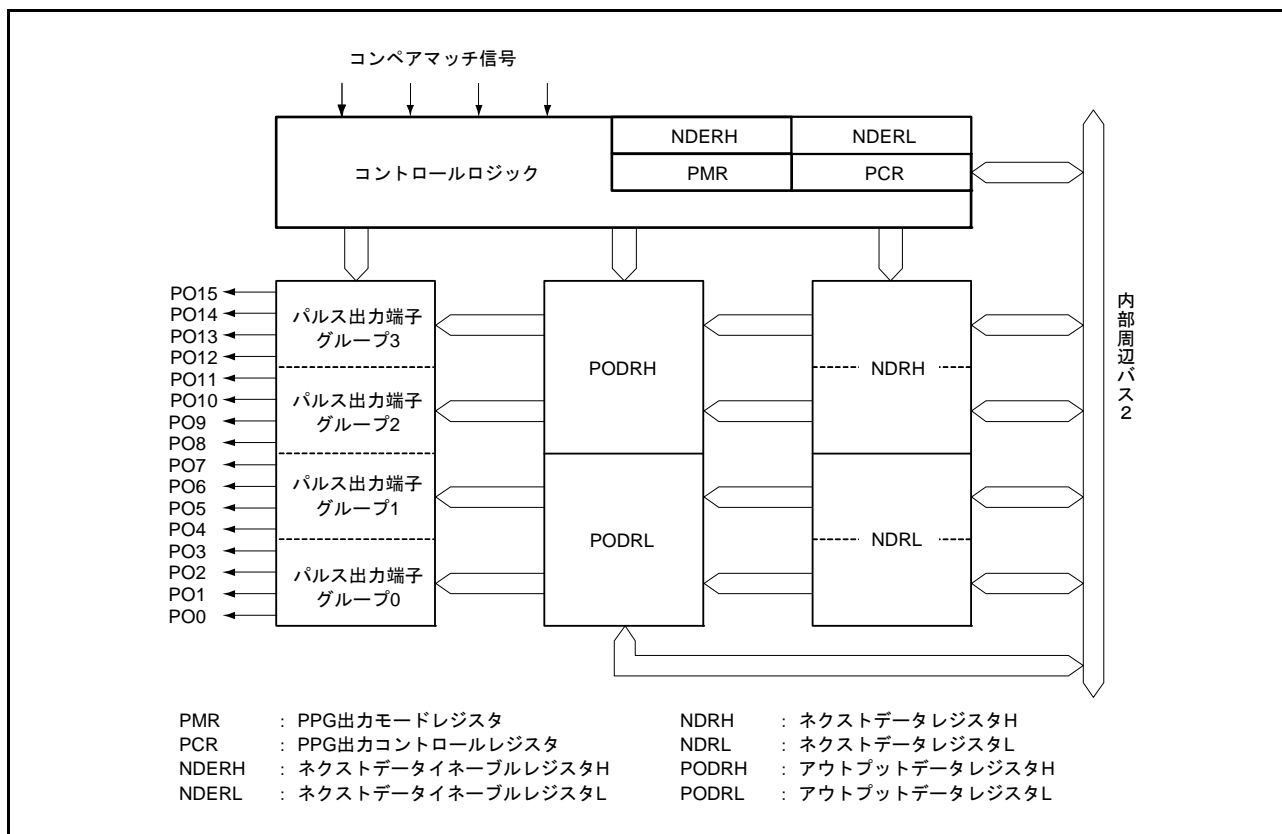


図 25.1 PPG0 のブロック図

表 25.3 に PPG の入出力端子を示します。

表 25.3 PPG の入出力端子

ユニット	端子名	入出力	機能
PPG0	PO0	出力	パルス出力グループ0のパルス出力
	PO1	出力	
	PO2	出力	
	PO3	出力	
	PO4	出力	パルス出力グループ1のパルス出力
	PO5	出力	
	PO6	出力	
	PO7	出力	
	PO8	出力	パルス出力グループ2のパルス出力
	PO9	出力	
	PO10	出力	
	PO11	出力	
	PO12	出力	パルス出力グループ3のパルス出力
	PO13	出力	
	PO14	出力	
PO15	出力		

25.2 レジスタの説明

25.2.1 ネクストデータイネーブルレジスタ H (NDERH)、 ネクストデータイネーブルレジスタ L (NDERL)

アドレス 0008 81E8h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
リセット後の値	0	0	0	0	0	0	0	0

アドレス 0008 81E9h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
リセット後の値	0	0	0	0	0	0	0	0

- PPG0.NDERH

ビット	シンボル	ビット名	機能	R/W
b0	NDER8	ネクストデータ転送許可ビット	0: データ転送禁止 1: データ転送許可	R/W
b1	NDER9	ネクストデータ転送許可ビット		R/W
b2	NDER10	ネクストデータ転送許可ビット		R/W
b3	NDER11	ネクストデータ転送許可ビット		R/W
b4	NDER12	ネクストデータ転送許可ビット		R/W
b5	NDER13	ネクストデータ転送許可ビット		R/W
b6	NDER14	ネクストデータ転送許可ビット		R/W
b7	NDER15	ネクストデータ転送許可ビット		R/W

PPG0.NDERH レジスタは、PPG による PO8 ~ PO15 へのパルス出力をビット単位で許可 / 禁止します。

NDER_i ビット (ネクストデータ転送許可ビット) (i = 15 ~ 8)

“1” にすると、PPG0.PCR レジスタで選択したトリガが発生したときに、PPG0.NDRH レジスタの対応するビットから PPG0.PODRH レジスタへデータが転送されます。“0” のビットは、PPG0.NDRH レジスタから PPG0.PODRH レジスタへのデータ転送は行われません。

- PPG0.NDERL

ビット	シンボル	ビット名	機能	R/W
b0	NDER0	ネクストデータ転送許可ビット	0: データ転送禁止 1: データ転送許可	R/W
b1	NDER1	ネクストデータ転送許可ビット		R/W
b2	NDER2	ネクストデータ転送許可ビット		R/W
b3	NDER3	ネクストデータ転送許可ビット		R/W
b4	NDER4	ネクストデータ転送許可ビット		R/W
b5	NDER5	ネクストデータ転送許可ビット		R/W
b6	NDER6	ネクストデータ転送許可ビット		R/W
b7	NDER7	ネクストデータ転送許可ビット		R/W

PPG0.NDERL レジスタは、PPG による PO0 ~ PO7 へのパルス出力をビット単位で許可/禁止します。

NDER_i ビット (ネクストデータ転送許可ビット) (i = 7 ~ 0)

“1” にすると、PPG0.PCR レジスタで選択したトリガが発生したときに、PPG0.NDRL レジスタの対応するビットから PPG0.PODRL レジスタへデータが転送されます。“0” のビットは、PPG0.NDRL レジスタから PPG0.PODRL レジスタへのデータ転送は行われません。

25.2.2 アウトプットデータレジスタ H (PODRH)、 アウトプットデータレジスタ L (PODRL)

アドレス 0008 81EAh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
リセット後の値	0	0	0	0	0	0	0	0

アドレス 0008 81EBh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
リセット後の値	0	0	0	0	0	0	0	0

• PPG0.PODRH

ビット	シンボル	ビット名	機能	R/W
b0	POD8	アウトプットデータレジスタビット	0 : POi端子からLowを出力 1 : POi端子からHighを出力 (i=15~8)	R/W
b1	POD9	アウトプットデータレジスタビット		R/W
b2	POD10	アウトプットデータレジスタビット		R/W
b3	POD11	アウトプットデータレジスタビット		R/W
b4	POD12	アウトプットデータレジスタビット		R/W
b5	POD13	アウトプットデータレジスタビット		R/W
b6	POD14	アウトプットデータレジスタビット		R/W
b7	POD15	アウトプットデータレジスタビット		R/W

PPG0.PODRH レジスタは、パルス出力値が格納されます。PPG0.NDERH レジスタによりパルス出力に設定されたビットは、出力トリガによって PPG0.NDRH レジスタの値がこのレジスタに転送されます。

PODi ビット (アウトプットデータレジスタビット) (i = 15 ~ 8)

PPG0.NDERH レジスタでデータ転送許可に設定されたビットのみ、PPG 動作中、出力トリガが発生すると PPG0.NDRH レジスタの値がこのレジスタに転送されます。PPG0.NDERH.NDERi(i=15~8) ビットのいずれかが“1”の期間、CPU からの書き込みはできません。PPG0.NDERH レジスタが“00h”の状態では、パルスの初期出力値を設定することができます。

- PPG0.PODRL

ビット	シンボル	ビット名	機能	R/W
b0	POD0	アウトプットデータレジスタビット	0 : POi端子からLowを出力 1 : POi端子からHighを出力 (i=7~0)	R/W
b1	POD1	アウトプットデータレジスタビット		R/W
b2	POD2	アウトプットデータレジスタビット		R/W
b3	POD3	アウトプットデータレジスタビット		R/W
b4	POD4	アウトプットデータレジスタビット		R/W
b5	POD5	アウトプットデータレジスタビット		R/W
b6	POD6	アウトプットデータレジスタビット		R/W
b7	POD7	アウトプットデータレジスタビット		R/W

PPG0.PODRL レジスタは、パルス出力値が格納されます。PPG0.NDERL レジスタによりパルス出力に設定されたビットは、出力トリガによって PPG0.NDRL レジスタの値がこのレジスタに転送されます。

PODi ビット (アウトプットデータレジスタビット) (i = 7 ~ 0)

PPG0.NDERL レジスタでデータ転送許可に設定されたビットのみ、PPG 動作中、出力トリガが発生すると PPG0.NDRL レジスタの値がこのレジスタに転送されます。PPG0.NDERL.NDERi(i=7~0) ビットのいずれかが“1”の期間、CPU からの書き込みはできません。PPG0.NDERL レジスタが“00h”の状態では、パルスの初期出力値を設定することができます。

25.2.3 ネクストデータレジスタ H (NDRH)、ネクストデータレジスタ L (NDRL)

アドレス 0008 81ECh, 0008 81EEh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDRH	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
リセット後の値	0	0	0	0	0	0	0	0

アドレス 0008 81EDh, 0008 81EFh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDRL	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
リセット後の値	0	0	0	0	0	0	0	0

- PPG0.NDRH

PPG0.NDRH レジスタは、パルス出力の次のデータを格納します。PPG0.NDRH レジスタのアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

(1) パルス出力グループ 2、3 の出力トリガが同一の場合

パルス出力グループ 2、3 の出力トリガを同一にすると、8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

- 0008 81ECh (パルス出力グループ 2 とパルス出力グループ 3 がマッピング)

ビット	シンボル	ビット名	機能	R/W
b0	NDR8	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG0.PODRH レジスタの対応するビットに転送されます	R/W
b1	NDR9	ネクストデータレジスタビット		R/W
b2	NDR10	ネクストデータレジスタビット		R/W
b3	NDR11	ネクストデータレジスタビット		R/W
b4	NDR12	ネクストデータレジスタビット		R/W
b5	NDR13	ネクストデータレジスタビット		R/W
b6	NDR14	ネクストデータレジスタビット		R/W
b7	NDR15	ネクストデータレジスタビット		R/W

注. PPG0.NDRHのアドレスが割り当てられていない番地 (0008 81EEh) を読み出したときの値はFFhです。書き込みはできません。

(2) パルス出力グループ 2 とパルス出力グループ 3 で出力トリガが異なる場合

パルス出力グループ 2 とパルス出力グループ 3 で異なる出力トリガを選択すると、上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

- 0008 81ECh (パルス出力グループ 3 がマッピング)

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR12	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG0.PODRH レジスタの対応するビットに転送されます	R/W
b5	NDR13	ネクストデータレジスタビット		R/W
b6	NDR14	ネクストデータレジスタビット		R/W
b7	NDR15	ネクストデータレジスタビット		R/W

- 0008 81EEh (パルス出力グループ 2 がマッピング)

ビット	シンボル	ビット名	機能	R/W
b0	NDR8	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG0.PODRH レジスタの対応するビットに転送されます	R/W
b1	NDR9	ネクストデータレジスタビット		R/W
b2	NDR10	ネクストデータレジスタビット		R/W
b3	NDR11	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

- PPG0.NDRL

PPG0.NDRL レジスタは、パルス出力の次のデータを格納します。PPG0.NDRL レジスタのアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

(1) パルス出力グループ 0、1 の出力トリガが同一の場合

パルス出力グループ 0、1 の出力トリガを同一にすると、8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

- 0008 81EDh (パルス出力グループ 0 とパルス出力グループ 1 がマッピング)

ビット	シンボル	ビット名	機能	R/W
b0	NDR0	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG0.PODRL レジスタの対応するビットに転送されます	R/W
b1	NDR1	ネクストデータレジスタビット		R/W
b2	NDR2	ネクストデータレジスタビット		R/W
b3	NDR3	ネクストデータレジスタビット		R/W
b4	NDR4	ネクストデータレジスタビット		R/W
b5	NDR5	ネクストデータレジスタビット		R/W
b6	NDR6	ネクストデータレジスタビット		R/W
b7	NDR7	ネクストデータレジスタビット		R/W

注. PPG0.NDRLのアドレスが割り当てられていない番地 (0008 81EFh) を読み出したときの値はFFhです。書き込みはできません。

(2) パルス出力グループ 0 とパルス出力グループ 1 で出力トリガが異なる場合

パルス出力グループ 0 とパルス出力グループ 1 で異なる出力トリガを選択すると、上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

- 0008 81EDh (パルス出力グループ 1 がマッピング)

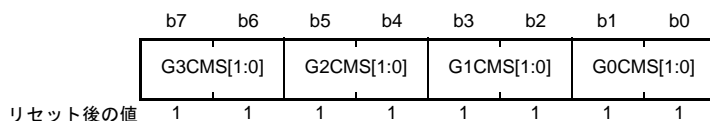
ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR4	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG0.PODRL レジスタの対応するビットに転送されます	R/W
b5	NDR5	ネクストデータレジスタビット		R/W
b6	NDR6	ネクストデータレジスタビット		R/W
b7	NDR7	ネクストデータレジスタビット		R/W

- 0008 81EFh (パルス出力グループ 0 がマッピング)

ビット	シンボル	ビット名	機能	R/W
b0	NDR0	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG0.PODRL レジスタの対応するビットに転送されます	R/W
b1	NDR1	ネクストデータレジスタビット		R/W
b2	NDR2	ネクストデータレジスタビット		R/W
b3	NDR3	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

25.2.4 PPG 出力コントロールレジスタ (PCR)

アドレス PPG0.PCR 0008 81E6h



• PPG0.PCR

ビット	シンボル	ビット名	機能	R/W
b1-b0	G0CMS[1:0]	グループ0コンペアマッチ選択ビット	b1 b0 0 0 : MTU0のコンペアマッチ 0 1 : MTU1のコンペアマッチ 1 0 : MTU2のコンペアマッチ 1 1 : MTU3のコンペアマッチ	R/W
b3-b2	G1CMS[1:0]	グループ1コンペアマッチ選択ビット	b3 b2 0 0 : MTU0のコンペアマッチ 0 1 : MTU1のコンペアマッチ 1 0 : MTU2のコンペアマッチ 1 1 : MTU3のコンペアマッチ	R/W
b5-b4	G2CMS[1:0]	グループ2コンペアマッチ選択ビット	b5 b4 0 0 : MTU0のコンペアマッチ 0 1 : MTU1のコンペアマッチ 1 0 : MTU2のコンペアマッチ 1 1 : MTU3のコンペアマッチ	R/W
b7-b6	G3CMS[1:0]	グループ3コンペアマッチ選択ビット	b7 b6 0 0 : MTU0のコンペアマッチ 0 1 : MTU1のコンペアマッチ 1 0 : MTU2のコンペアマッチ 1 1 : MTU3のコンペアマッチ	R/W

PPG0.PCR レジスタは、パルス出力トリガ信号をグループ単位で選択します。

出力トリガの選択については、「25.2.5 PPG 出力モードレジスタ (PMR)」を参照してください。

25.2.5 PPG 出力モードレジスタ (PMR)

アドレス PPG0.PMR 0008 81E7h

b7	b6	b5	b4	b3	b2	b1	b0
G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV

リセット後の値 1 1 1 1 0 0 0 0

• PPG0.PMR

ビット	シンボル	ビット名	機能	R/W
b0	G0NOV	グループ0ノンオーバーラップビット	0: 通常動作 (選択されたMTUnのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたMTUnのコンペアマッチA、Bで出力値を更新) (n = 0~3)	R/W
b1	G1NOV	グループ1ノンオーバーラップビット	0: 通常動作 (選択されたMTUnのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたMTUnのコンペアマッチA、Bで出力値を更新) (n = 0~3)	R/W
b2	G2NOV	グループ2ノンオーバーラップビット	0: 通常動作 (選択されたMTUnのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたMTUnのコンペアマッチA、Bで出力値を更新) (n = 0~3)	R/W
b3	G3NOV	グループ3ノンオーバーラップビット	0: 通常動作 (選択されたMTUnのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたMTUnのコンペアマッチA、Bで出力値を更新) (n = 0~3)	R/W
b4	G0INV	グループ0出力極性変更ビット	0: 反転出力 1: 直接出力	R/W
b5	G1INV	グループ1出力極性変更ビット	0: 反転出力 1: 直接出力	R/W
b6	G2INV	グループ2出力極性変更ビット	0: 反転出力 1: 直接出力	R/W
b7	G3INV	グループ3出力極性変更ビット	0: 反転出力 1: 直接出力	R/W

PPG0.PMR レジスタは、PPG のパルス出力モードをグループ単位で設定します。

反転出力に設定すると PPG0.PODRH レジスタ、PPG0.PODRL レジスタの値が“1”のとき端子に Low を、PPG0.PODRH レジスタ、PPG0.PODRL レジスタの値が“0”のとき端子に High を出力します。また、ノンオーバーラップ動作に設定すると PPG は、出力トリガとなる MTU または TPU のコンペアマッチ A、B で出力値を更新します。

詳細は、「25.3.4 パルス出力ノンオーバーラップ動作」を参照してください。

25.3 動作説明

PPG 概要図を図 25.2 に示します。

PPG は、PPG0.NDERH、PPG0.NDERL レジスタの対応するビットをそれぞれ“1”（データ転送許可）に設定することにより、パルス出力状態となります。

初期出力値は、対応する PPG0.PODRH、PPG0.PODRL レジスタの初期設定値に依存します。その後、PPG0.PCR レジスタで指定したコンペアマッチが発生すると、対応する PPG0.NDRH、PPG0.NDRL レジスタの値がそれぞれ PPG0.PODRH、PPG0.PODRL レジスタに転送されて出力値が更新されます。

次のコンペアマッチが発生するまでに PPG0.NDRH、PPG0.NDRL レジスタに出力データを書くことにより、コンペアマッチのたびに最大 16 ビットのデータを順次出力することができます。

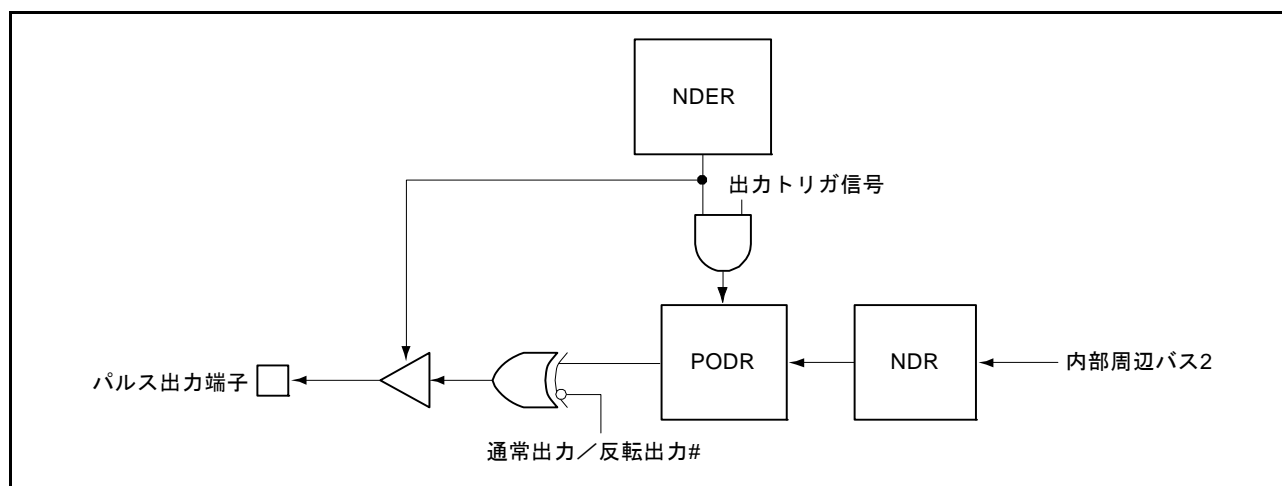


図 25.2 PPG 概要図

25.3.1 出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、PPG0.NDRH、PPG0.NDRL レジスタの値が PPG0.PODRH、PPG0.PODRL レジスタに転送され、出力されます。

このタイミングを図 25.3 に示します。コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

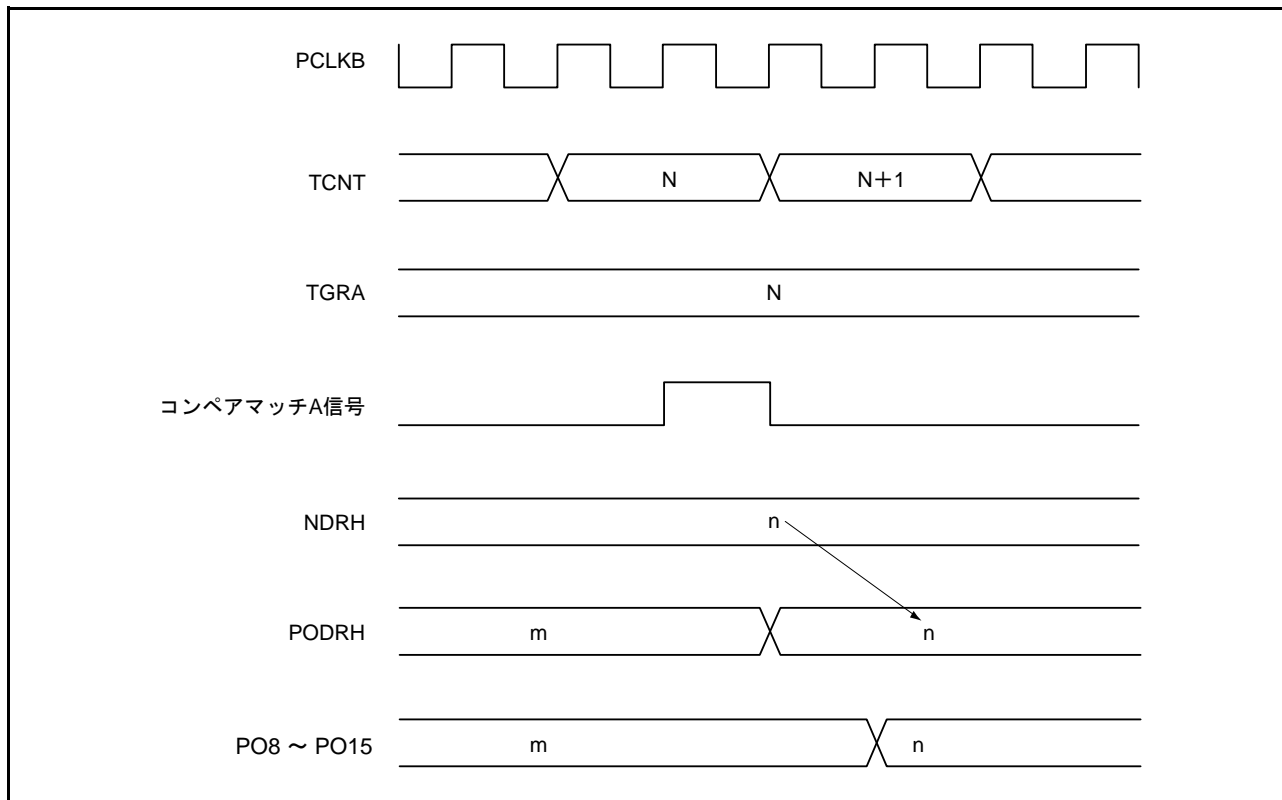


図 25.3 NDR の内容が転送・出力されるタイミング例

25.3.2 通常動作のパルス出力設定手順例

パルス出力通常動作の設定手順例を図 25.4 に示します。

(1) PPG0 の設定

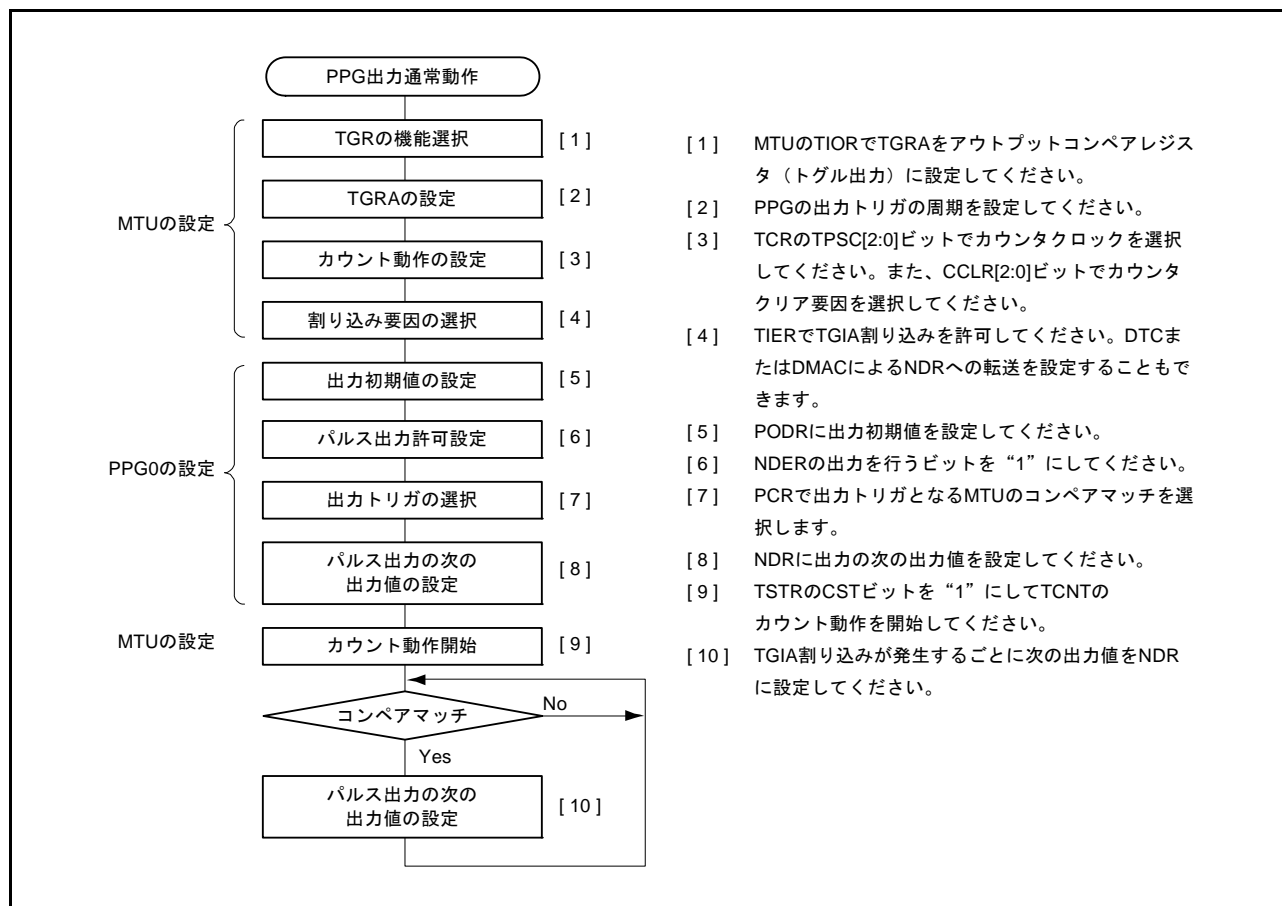


図 25.4 パルス出力通常動作の設定手順例（PPG0 の設定）

25.3.3 パルス出力通常動作例 (5相パルス出力例)

パルス出力を使用して一定周期で5相パルスを出力させた PPG0 の例を図 25.5 に示します。

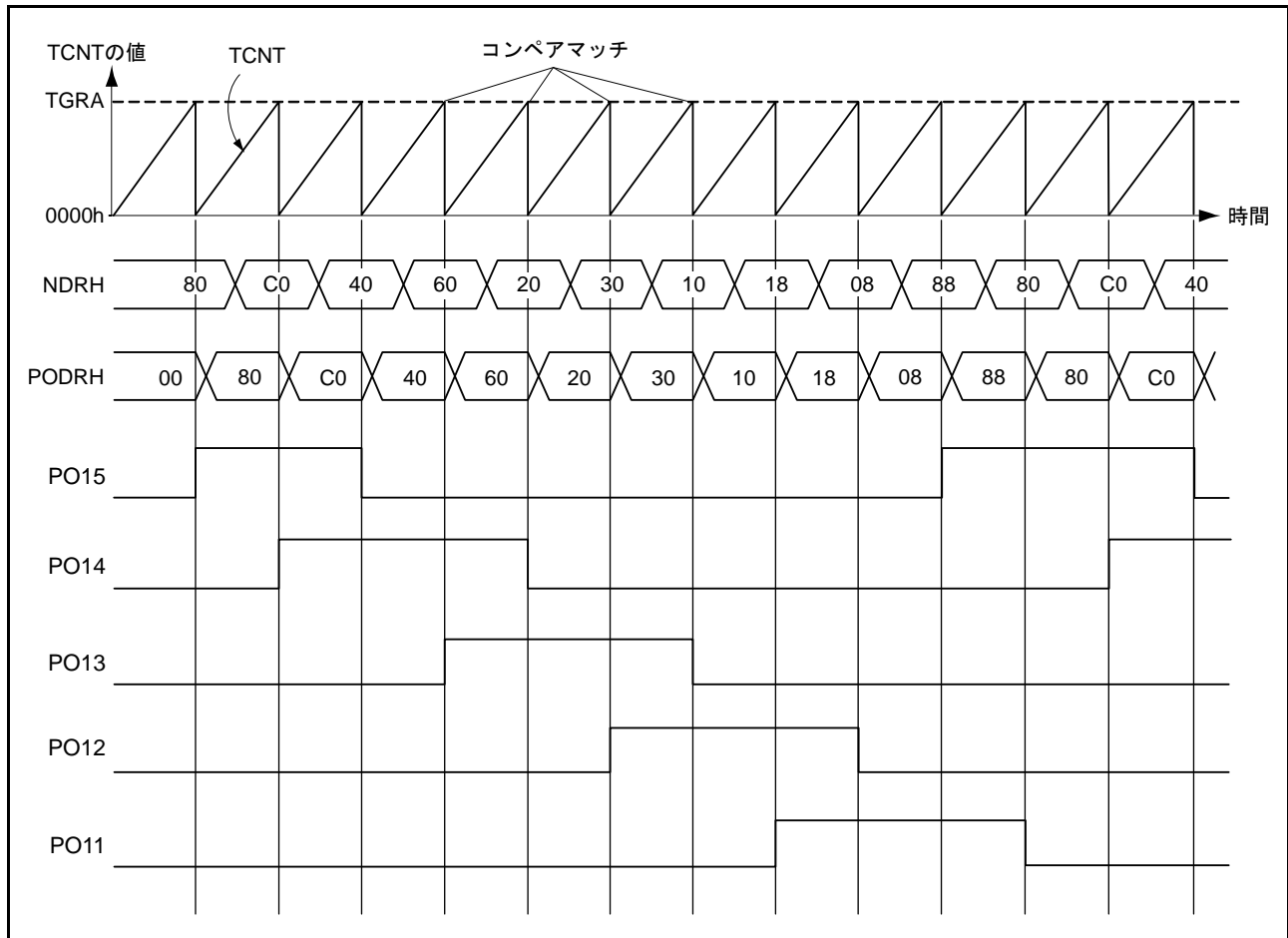


図 25.5 パルス出力通常動作例 (5相パルス出力例)

- 出力トリガとする MTU の MTUn.TGRA レジスタ (n=0 ~ 3) をアウトプットコンペアレジスタに設定します。TGRA レジスタには周期を設定し、コンペアマッチ A によるカウンタクリアを選択します。また、MTUn.TIER.TGIEA ビットを“1”にして、コンペアマッチ/インプットキャプチャ A (TGIA_n) 割り込み要求を許可します。
- PPG0.NDRH レジスタに F8h を書き、PPG0.PCR.G3CMS[1:0] ビットおよび G2CMS[1:0] ビットにより、上記 1. で選択した MTUn のコンペアマッチに出力トリガを設定します。PPG0.NDRH レジスタに出力データ 80h を書きます。
- MTU 当該チャンネルの動作を開始しコンペアマッチ A が発生すると、PPG0.NDRH レジスタの値が PPG0.PODRH レジスタに転送され出力されます。TGIA_n 割り込み処理で、PPG0.NDRH レジスタに次の出力データ C0h を書きます。
- 以後、TGIA_n 割り込みで順次 40h、60h、20h、30h、10h、18h、08h、88h... を書くことで、5相の 1 - 2 相パルス出力を行うことができます。
TGIA_n 割り込みで DTC または DMAC を起動するように設定すれば、CPU の負荷なくパルス出力を行うことができます。

25.3.4 パルス出力ノンオーバーラップ動作

ノンオーバーラップ動作時の PPG0.NDRH、PPG0.NDRL レジスタから PPG0.PODRH、PPG0.PODRL レジスタへの転送は、以下のようにになっています。

- コンペアマッチ A では PPG0.NDRH、PPG0.NDRL レジスタの値を PPG0.PODRH、PPG0.PODRL レジスタへ転送します。
- コンペアマッチ B では PPG0.NDRH、PPG0.NDRL レジスタの転送するビットの内容が“0”のときのみ転送を行います。“1”のときは転送を行いません。

ノンオーバーラップ時のパルス出力動作を図 25.6 に示します。

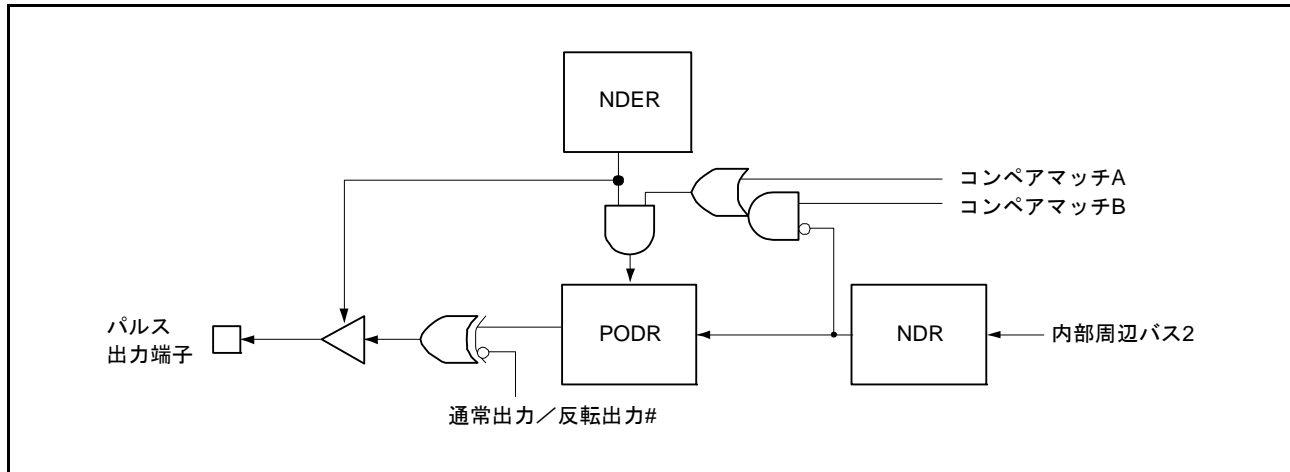


図 25.6 パルス出力ノンオーバーラップ動作

したがって、コンペアマッチ B をコンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことができます。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまでの間（ノンオーバーラップ期間）、PPG0.NDRH、PPG0.NDRL レジスタの値を変更しないようにしてください。そのためには TGIA 割り込みの割り込み処理ルーチンで、PPG0.NDRH、PPG0.NDRL レジスタに次のデータを書いてください。また、TGIA 割り込みで DTC または DMAC を起動することもできます。ただし、この書き込みは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 25.7 に示します。

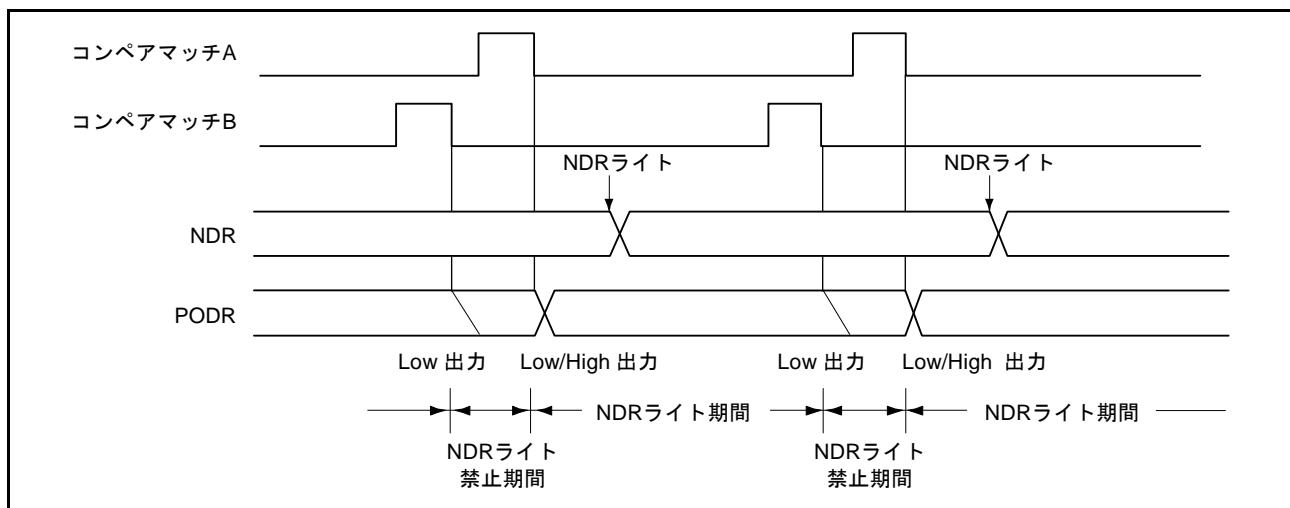


図 25.7 ノンオーバーラップ動作と PPG0.NDRH、PPG0.NDRL レジスタ書き込みタイミング

25.3.5 ノンオーバーラップ動作のパルス出力設定手順例

パルス出力ノンオーバーラップ動作の設定手順例を図 25.8 に示します。

(1) PPG0 の設定

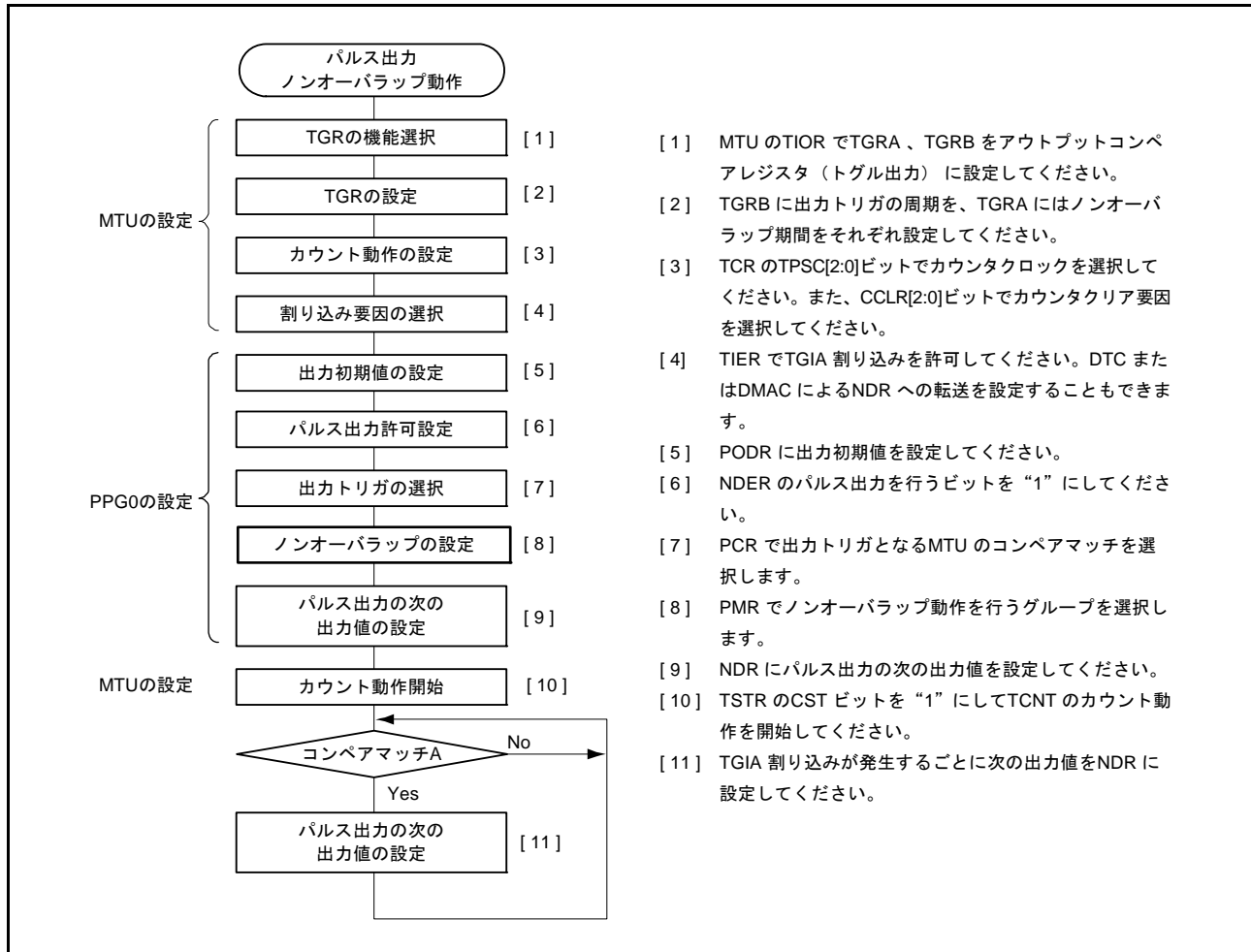


図 25.8 パルス出力ノンオーバーラップ動作の設定手順例 (PPG0 の設定)

25.3.6 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力例)

パルス出力を使用して4相の相補ノンオーバーラップのパルスを出力させた PPG0 の例を図 25.9 に示します。

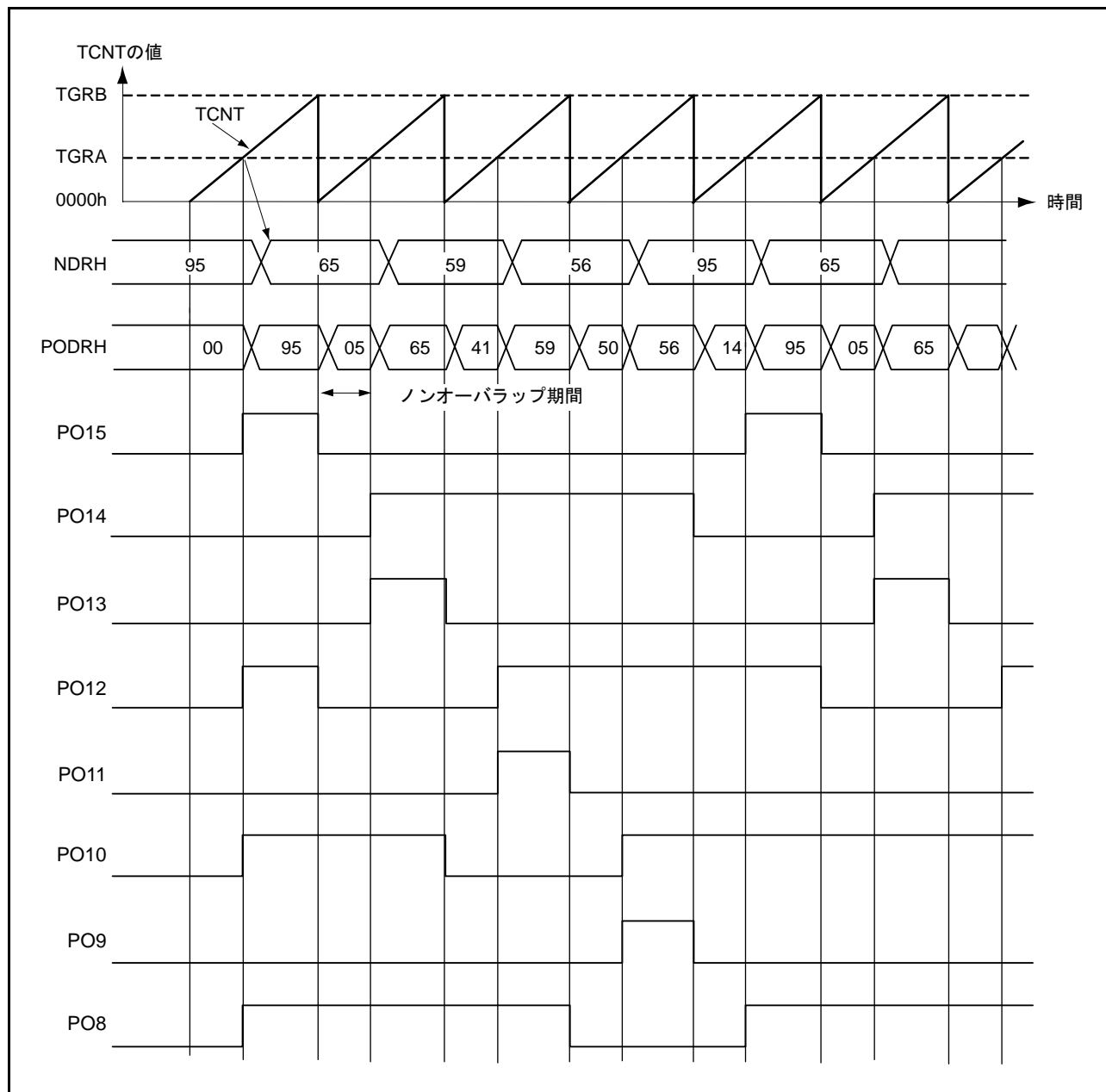


図 25.9 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力)

1. 出力トリガとする MTU の MTUn.TGRA、TGRB レジスタ (n=0 ~ 3) をアウトプットコンペアレジスタに設定します。TGRB レジスタには周期、TGRA レジスタにはノンオーバーラップ期間を設定し、コンペアマッチ B によるカウンタクリアを選択します。また、MTUn.TIER.TGIEA ビットを“1”にして、コンペアマッチ/インプットキャプチャ A (TGIA_n) 割り込み要求を許可します。
2. PPG0.NDERH に FFh を書き、PPG0.PCR.G3CMS[1:0] ビットおよび G2CMS[1:0] ビットにより、上記 1. で選択した MTUn のコンペアマッチに出力トリガを設定します。
PPG0.PMR.G3NOV,G2NOV ビットをそれぞれ“1”にして、ノンオーバーラップ動作を設定します。
PPG0.NDRH に出力データ 95h を書きます。
3. MTU 当該チャンネルの動作を開始すると、TGRB レジスタのコンペアマッチで High 出力→ Low 出力の変化、TGRA レジスタのコンペアマッチで Low 出力→ High 出力の変化を行います (Low 出力→ High 出力の変化は TGRA レジスタの設定値分遅延することになります)。
TGIA_n 割り込み処理で PPG0.NDRH に次の出力データ 65h を書きます。
4. 以後、TGIA_n 割り込みで順次 59h、56h、95h... を書くことで、4 相の相補ノンオーバーラップ出力を行うことができます。
TGIA_n 割り込みで DTC または DMAC を起動するように設定すれば、CPU の負荷なくパルス出力を行うことができます。

25.3.7 パルス反転出力

PPG0.PMR.G3INV, G2INV, G1INV, G0INV ビットを“0”にすると、PPG0.PODRH、PPG0.PODRL レジスタの値に対する反転値を端子出力することができます。

図 25.9 の設定で、さらに G3INV、G2INV ビットを“0”にしたときの端子出力の様子を図 25.10 に示します。

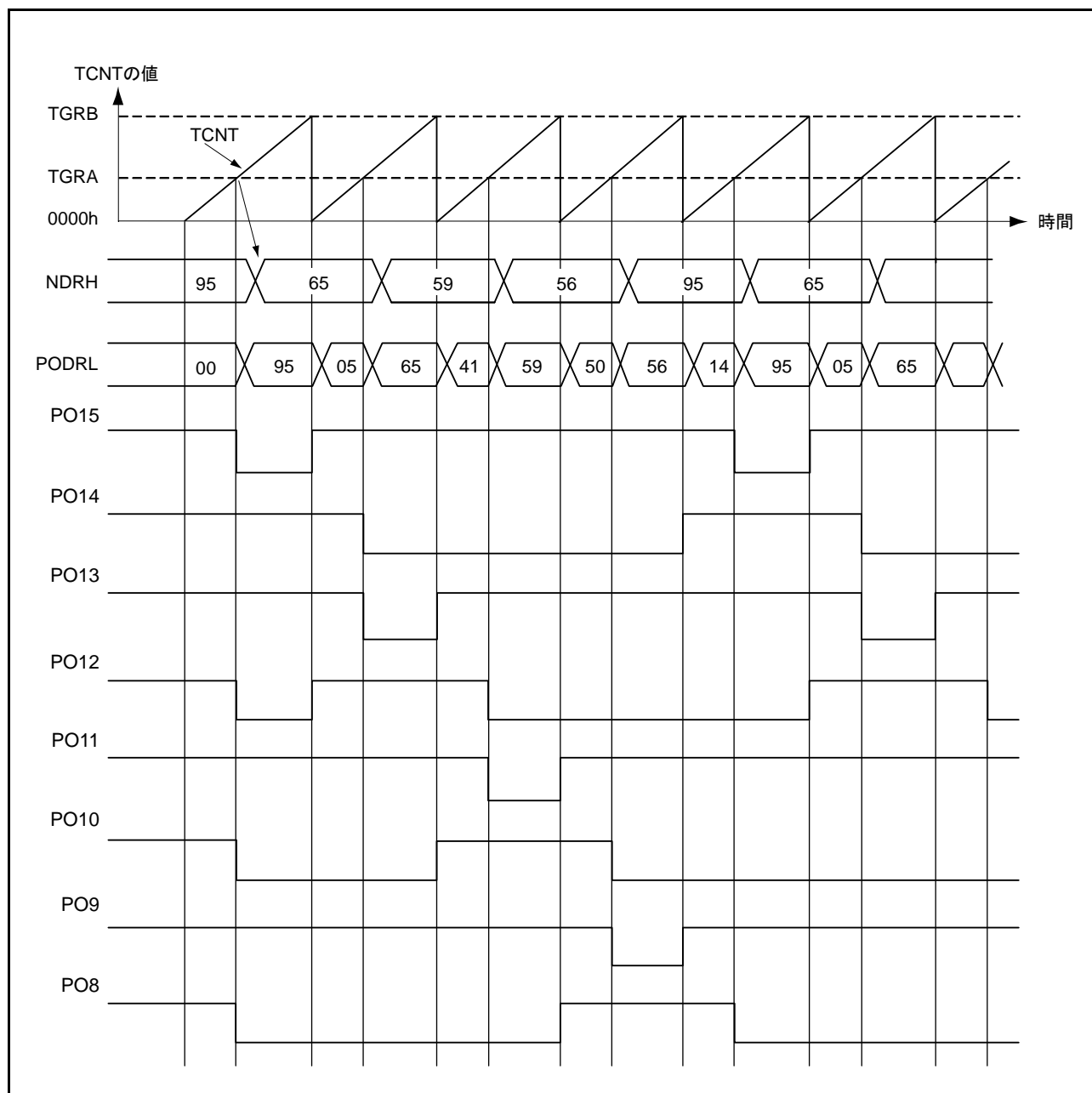


図 25.10 パルス反転出力例

25.3.8 インพุットキャプチャによるパルス出力

PPG0のパルス出力は、MTUのコンペアマッチだけでなく、インพุットキャプチャによっても可能です。PPG0.PCRレジスタによって選択されたMTUのMTUn.TGRAレジスタ (n=0～3)がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりパルス出力を行います。

このタイミングを図25.11に示します。

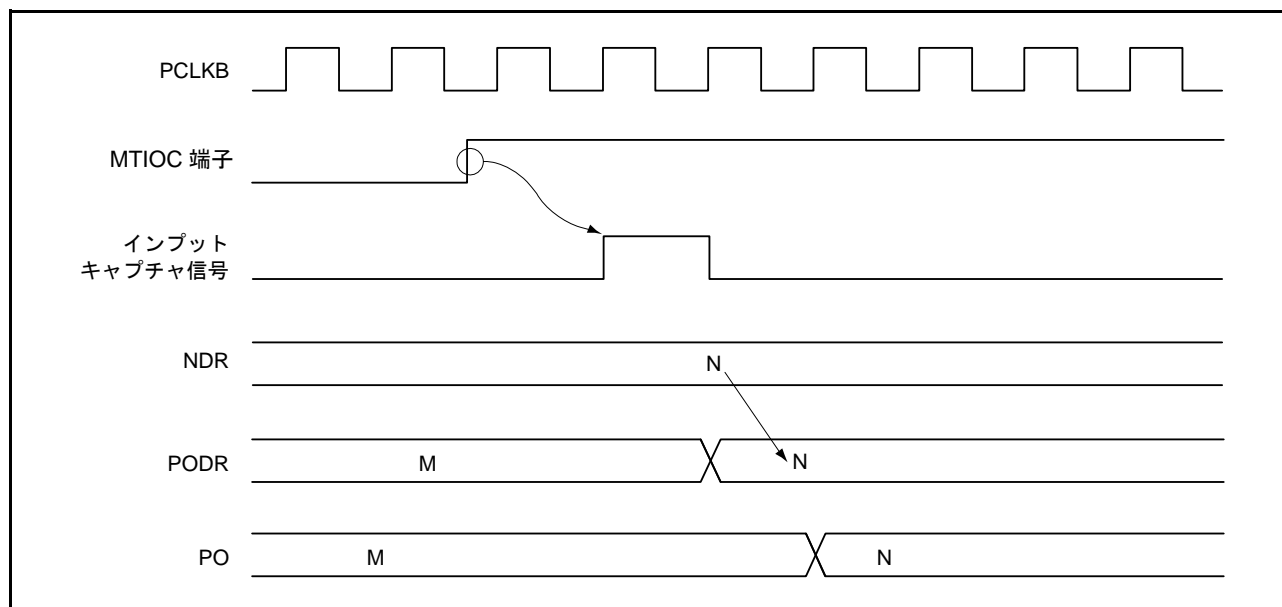


図 25.11 インพุットキャプチャによるパルス出力例

25.4 使用上の注意事項

25.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、PPGの動作を禁止/許可することができます。初期値では、PPGの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

26. 8ビットタイマ (TMR)

本MCUは、8ビットのカウンタをベースにした2チャンネルの8ビットタイマ (TMR) を2ユニット (ユニット0、ユニット1)、合計4チャンネル内蔵しています。外部イベントのカウントが可能なほか、2本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

ユニット0、ユニット1は同一機能で、SCIのボーレートクロックおよびRCR (リモコン信号受信機能) の動作クロックが生成可能です。

本章に記載しているPCLKとはPCLKBを指します。

26.1 概要

表26.1にTMRの仕様を示します。

図26.1にユニット0、図26.2にユニット1のブロック図を示します。

表26.1 TMRの仕様

項目	仕様
カウントクロック	<ul style="list-style-type: none"> 分周クロック : PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 外部クロック
チャンネル数	(8ビット×2チャンネル) ×2ユニット
コンペアマッチ	<ul style="list-style-type: none"> 8ビットモード (コンペアマッチA、コンペアマッチB) 16ビットモード (コンペアマッチA、コンペアマッチB)
カウンタクリア	コンペアマッチA、コンペアマッチB、外部リセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM出力
2チャンネルのカスケード接続	<ul style="list-style-type: none"> 16ビットカウントモード TMR0を上位、TMR1を下位 (TMR2を上位、TMR3を下位) とする16ビットタイマ コンペアマッチカウントモード TMR1はTMR0のコンペアマッチをカウント (TMR3はTMR2のコンペアマッチをカウント)
割り込み要因	コンペアマッチA、コンペアマッチB、オーバフロー
イベントリンク機能(出力)	コンペアマッチA、コンペアマッチB、オーバフロー (TMR0, 2)
イベントリンク機能(入力)	イベント受付により、3種類のうち1つの動作が可能 (1) カウントスタート動作 (TMR0, 2) (2) イベントカウンタ動作 (TMR0, 2) (3) カウントリスタート動作 (TMR0, 2)
DTCの起動	コンペアマッチA割り込み、コンペアマッチB割り込みにより起動可能
SCIのボーレートクロック生成	SCIのボーレートクロックを生成 (注1)
RCR受信クロック生成	RCR (リモコン信号受信機能) の動作クロックを生成 (注2)
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

注1. 詳細は「30. シリアルコミュニケーションインタフェース (SCIE、SCIF)」を参照してください。

注2. 詳細は「31. リモコン信号受信機能 (RCR)」を参照してください。

表26.2 TMRの機能一覧

項目		ユニット0			ユニット1		
		8ビット		16ビット	8ビット		16ビット
カウンタモード		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
チャンネル		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMC11	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMC11	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMC12	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMC13	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMC13
カウンタクリア		TMR0.TCORA TMR0.TCORB TMR10	TMR1.TCORA TMR1.TCORB TMR11	TMR0.TCORA + TMR1.TCORA TMR0.TCORB + TMR1.TCORB TMR10	TMR2.TCORA TMR2.TCORB TMR12	TMR3.TCORA TMR3.TCORB TMR13	TMR2.TCORA + TMR3.TCORA TMR2.TCORB + TMR3.TCORB TMR12
コンペア マッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA0	CMIA1	CMIA0	CMIA2	CMIA3	CMIA2
	コンペアマッチB	CMIB0	CMIB1	CMIB0	CMIB2	CMIB3	CMIB2
	TCNTのオーバフロー	OVI0	OVI1	OVI0	OVI2	OVI3	OVI2
カスケード接続		TMR1の オーバフロー	TMR0の コンペアマッチA	—	TMR3の オーバフロー	TMR2の コンペアマッチA	—
SCIのポーレートクロックの生成 (注1)		○		—	○		—
ELC出力 イベント	コンペアマッチA	○	—	○	○	—	○
	コンペアマッチB	○	—	○	○	—	○
	TCNTのオーバフロー	○	—	○	○	—	○
ELC入力 イベント	カウントスタート	○	—	—	○	—	—
	イベントカウンタ	○	—	—	○	—	—
	カウントリスタート	○	—	—	○	—	—
RCR受信クロック生成 (注2)		○	—	—	○	—	—
モジュールストップの設定 (注3)		(ユニット0) MSTPCRA.MSTPA5ビット、(ユニット1) MSTPCRA.MSTPA4ビット					

○: 可能

—: 不可能

注1. 詳細は「30. シリアルコミュニケーションインタフェース (SCIE、SCIF)」を参照してください。

注2. 詳細は「31. リモコン信号受信機能 (RCR)」を参照してください。

注3. 詳細は「11. 消費電力低減機能」を参照してください。

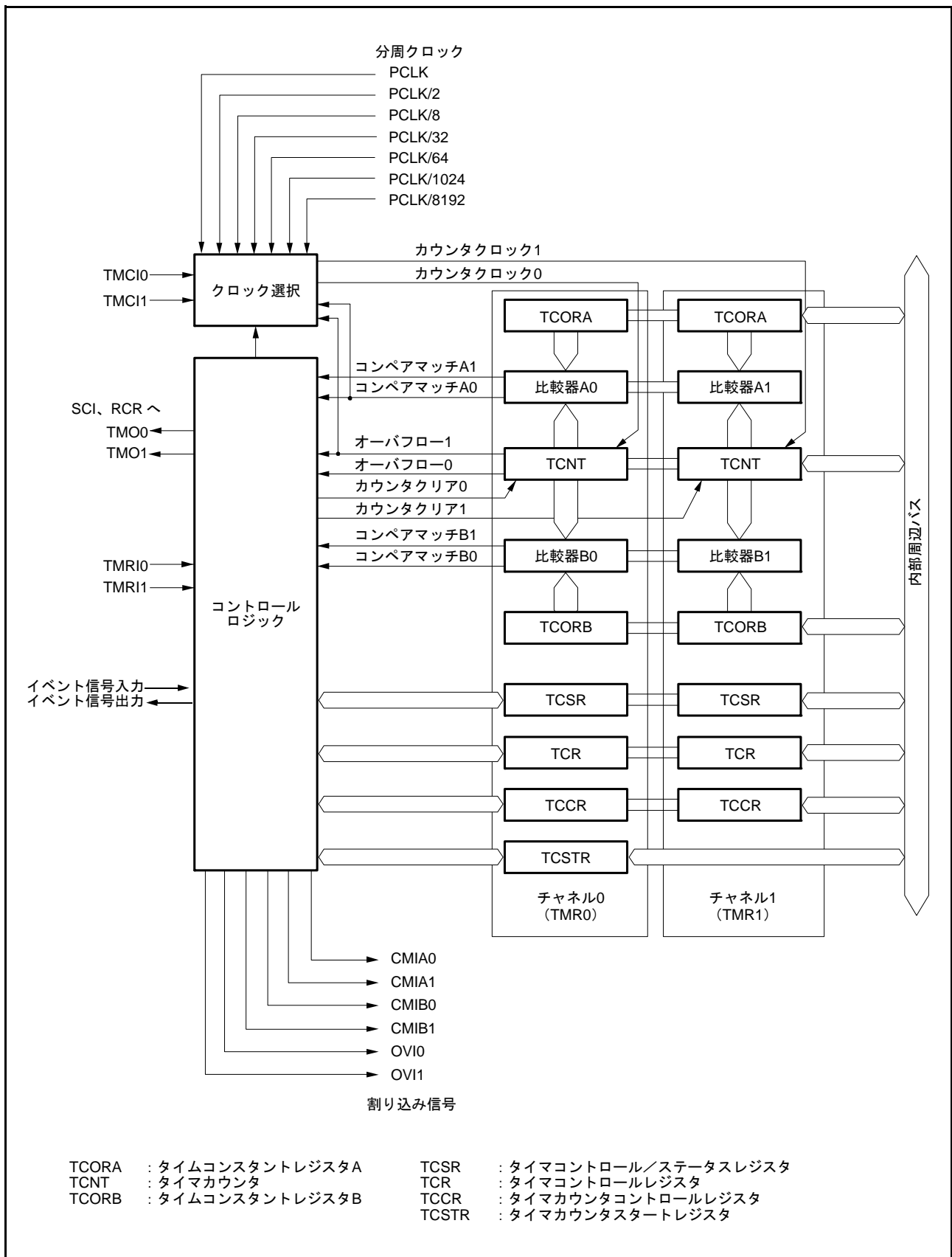


図 26.1 TMR (ユニット 0) のブロック図

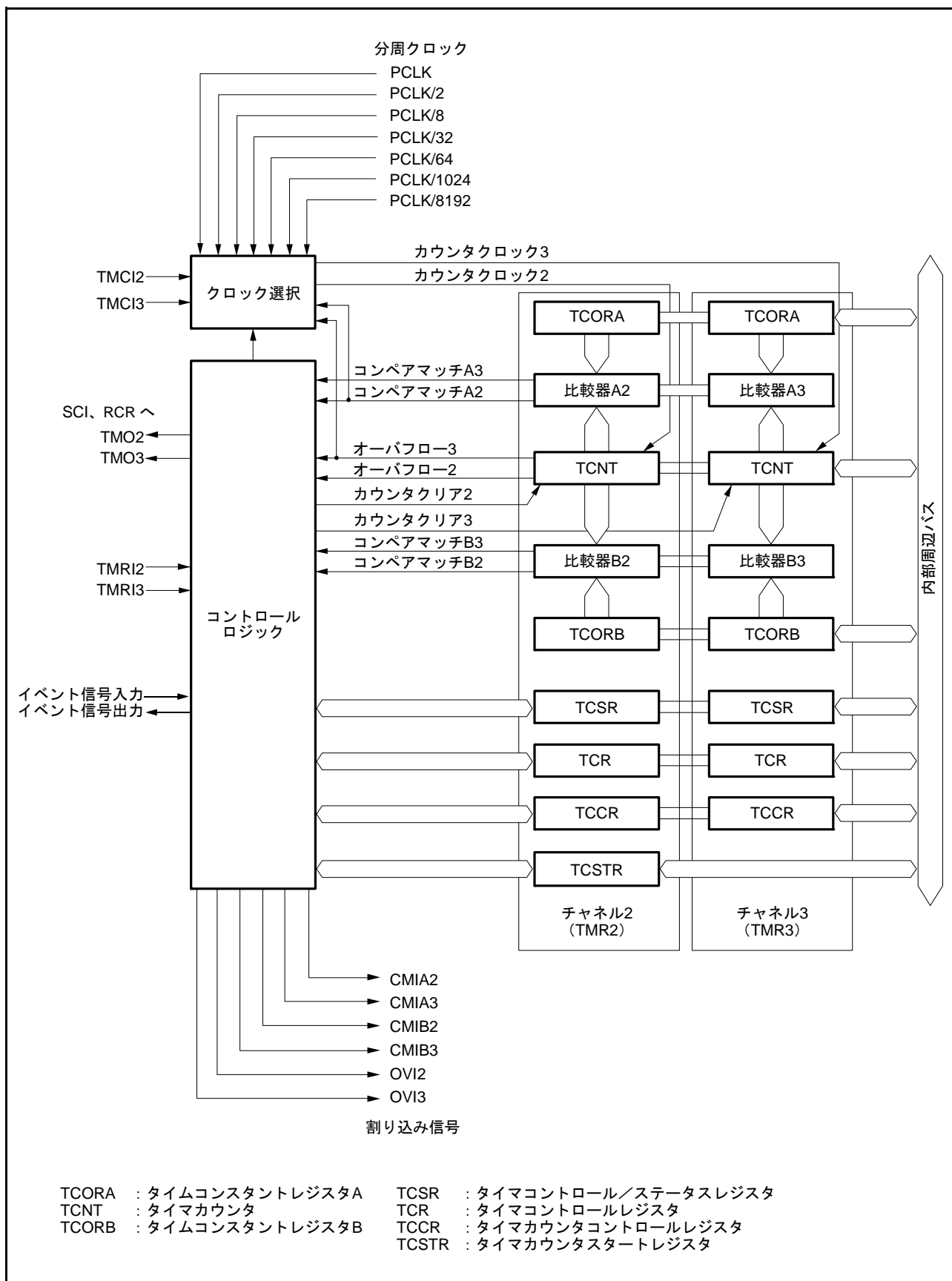


図 26.2 TMR (ユニット 1) のブロック図

表 26.3 に TMR で使用する入出力端子を示します。

表 26.3 TMRの入出力端子

ユニット	チャネル	端子名	入出力	機能
ユニット0	TMR0	TMO0	出力	コンペアマッチ出力
		TMCi0	入力	カウンタ外部クロック入力
		TMRi0	入力	カウンタ外部リセット入力
	TMR1	TMO1	出力	コンペアマッチ出力
		TMCi1	入力	カウンタ外部クロック入力
		TMRi1	入力	カウンタ外部リセット入力
ユニット1	TMR2	TMO2	出力	コンペアマッチ出力
		TMCi2	入力	カウンタ外部クロック入力
		TMRi2	入力	カウンタ外部リセット入力
	TMR3	TMO3	出力	コンペアマッチ出力
		TMCi3	入力	カウンタ外部クロック入力
		TMRi3	入力	カウンタ外部リセット入力

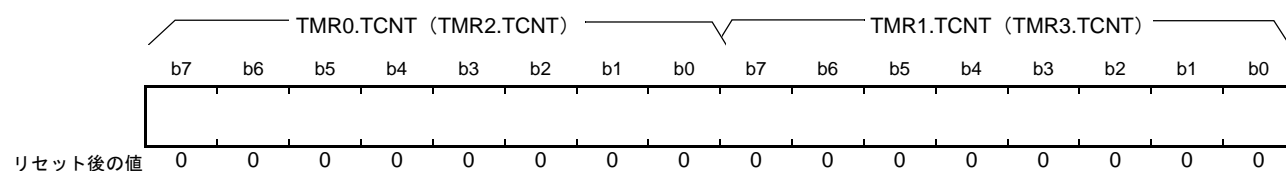
26.2 レジスタの説明

表 26.4 16ビットアクセスのレジスタ配置

アドレス	上位8ビット	下位8ビット
0008 8208h	TMR0.TCNT	TMR1.TCNT
0008 8204h	TMR0.TCORA	TMR1.TCORA
0008 8206h	TMR0.TCORB	TMR1.TCORB
0008 820Ah	TMR0.TCCR	TMR1.TCCR
0008 8218h	TMR2.TCNT	TMR3.TCNT
0008 8214h	TMR2.TCORA	TMR3.TCORA
0008 8216h	TMR2.TCORB	TMR3.TCORB
0008 821Ah	TMR2.TCCR	TMR3.TCCR

26.2.1 タイマカウンタ (TCNT)

アドレス TMR0.TCNT 0008 8208h, TMR1.TCNT 0008 8209h, TMR2.TCNT 0008 8218h, TMR3.TCNT 0008 8219h



TCNT カウンタは、8ビットのリード/ライト可能なアップカウンタです。

TMR0.TCNT カウンタと TMR1.TCNT カウンタ (TMR2.TCNT カウンタと TMR3.TCNT カウンタ) を 16ビットカウンタとしてワードアクセスすることも可能です。

カウントクロックは、TCCR.CSS[1:0], CKS[2:0] ビットで選択します。

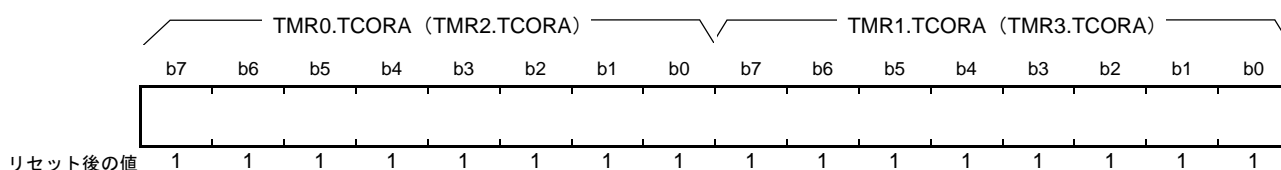
TCNT カウンタは、外部リセット入力信号、またはコンペアマッチ A、コンペアマッチ B によりクリアすることができます。どのコンペアマッチでクリアするかは、TCR.CCLR[1:0] ビットにより選択します。

TCNT カウンタのオーバーフロー (“FFh” → “00h”) が発生すると、TCR.OVIE ビットで割り込み要求が許可されていれば、オーバーフロー割り込み (Low パルス) を出力します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と「表 26.6 TMR の割り込み要因」を参照してください。

26.2.2 タイムコンスタントレジスタ A (TCORA)

アドレス TMR0.TCORA 0008 8204h, TMR1.TCORA 0008 8205h, TMR2.TCORA 0008 8214h, TMR3.TCORA 0008 8215h



TCORA レジスタは、8 ビットのリード/ライト可能なレジスタです。

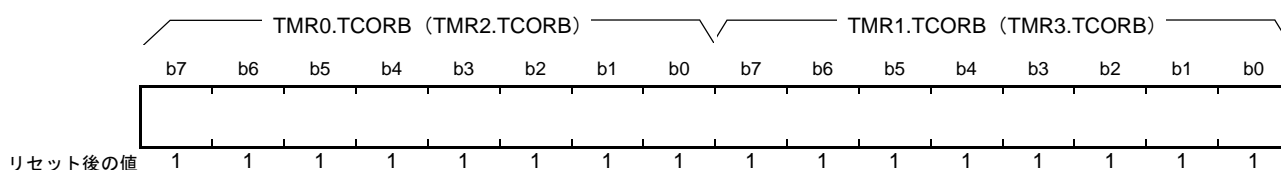
TMR0.TCORA レジスタと TMR1.TCORA レジスタ (TMR2.TCORA レジスタと TMR3.TCORA レジスタ) を 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ A が発生し、TCR.CMIEA ビットで割り込み要求が許可されていれば、コンペアマッチ A 割り込み (Low パルス) を出力します。

ただし、TCORA レジスタへの書き込み時には比較しません。また、このコンペアマッチ A と TCSR.OSA[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

26.2.3 タイムコンスタントレジスタ B (TCORB)

アドレス TMR0.TCORB 0008 8206h, TMR1.TCORB 0008 8207h, TMR2.TCORB 0008 8216h, TMR3.TCORB 0008 8217h



TCORB レジスタは、8 ビットのリード/ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ (TMR2.TCORB レジスタと TMR3.TCORB レジスタ) を 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ B が発生し TCR.CMIEB ビットで割り込み要求が許可されていれば、コンペアマッチ B 割り込み (Low パルス) を出力します。

ただし、TCORB レジスタへの書き込み時には比較しません。また、このコンペアマッチ B と TCSR.OSB[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

26.2.4 タイマコントロールレジスタ (TCR)

アドレス TMR0.TCR 0008 8200h, TMR1.TCR 0008 8201h, TMR2.TCR 0008 8210h, TMR3.TCR 0008 8211h

b7	b6	b5	b4	b3	b2	b1	b0
CMIEB	CMIEA	OVIE	CCLR[1:0]	—	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4-b3	CCLR[1:0]	カウンタクリアビット(注1)	b4 b3 0 0 : クリアを禁止 0 1 : コンペアマッチAによりクリア 1 0 : コンペアマッチBによりクリア 1 1 : 外部リセット入力によりクリア (TCCR.TMRISビットでエッジまたはレベルを選択)	R/W
b5	OVIE	タイマオーバーフロー割り込み許可ビット	0 : オーバフローによる割り込み要求 (OVIn) を禁止 1 : オーバフローによる割り込み要求 (OVIn) を許可	R/W
b6	CMIEA	コンペアマッチ割り込み許可Aビット	0 : コンペアマッチAによる割り込み要求 (CMIA _n) を禁止 1 : コンペアマッチAによる割り込み要求 (CMIA _n) を許可	R/W
b7	CMIEB	コンペアマッチ割り込み許可Bビット	0 : コンペアマッチBによる割り込み要求 (CMIB _n) を禁止 1 : コンペアマッチBによる割り込み要求 (CMIB _n) を許可	R/W

注1. カウンタ外部リセットを使用する場合は、該当する端子のPORT_n.PDR.B_nビットを“0”に、PORT_n.PMR.B_nビットを“1”にしてください。詳細については「20. I/Oポート」を参照してください。

CCLR[1:0] ビット (カウンタクリアビット)

TCNT カウンタのクリア条件を指定します。

OVIE ビット (タイマオーバーフロー割り込み許可ビット)

TCNT カウンタのオーバーフローによる割り込み要求 (OVIn) の許可または禁止を選択します。

CMIEA ビット (コンペアマッチ割り込み許可 A ビット)

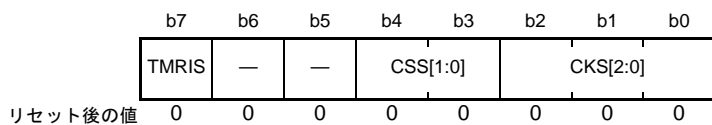
TCORA レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ A による割り込み要求 (CMIA_n) の許可または禁止を選択します。

CMIEB ビット (コンペアマッチ割り込み許可 B ビット)

TCORB レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ B による割り込み要求 (CMIB_n) の許可または禁止を選択します。

26.2.5 タイマカウンタコントロールレジスタ (TCCR)

アドレス TMR0.TCCR 0008 820Ah, TMR1.TCCR 0008 820Bh, TMR2.TCCR 0008 821Ah, TMR3.TCCR 0008 821Bh



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット (注1)	表26.5を参照してください	R/W
b4-b3	CSS[1:0]	クロックソース選択ビット	表26.5を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TMRIS	タイマリセット検出条件選択ビット	0: 外部リセットの立ち上がりでクリア 1: 外部リセットのHighでクリア	R/W

注1. カウンタ外部リセットを使用する場合は、該当する端子のPORTn.PDR.Bnビットを“0”に、PORTn.PMR.Bnビットを“1”にしてください。詳細については「20. I/Oポート」を参照してください。

CKS[2:0] ビット (クロック選択ビット)**CSS[1:0] ビット (クロックソース選択ビット)**

CKS[2:0] ビットおよび CSS[1:0] ビットは、クロックを選択します。詳細は、表 26.5 を参照してください。

TMRIS ビット (タイマリセット検出条件選択ビット)

TCR.CCLR[1:0] ビットが“11b” (外部リセット入力によりクリア) のとき有効となり、外部リセット検出条件 (レベルまたはエッジ) を選択します。

表26.5 TCNTカウンタに入力するクロックとカウント条件

チャンネル	TCCR レジスタ					機能		
	CSS[1:0]		CKS[2:0]					
	b4	b3	b2	b1	b0			
TMR0 (TMR2)	0	0	—	0	0	クロック入力を禁止		
					1	外部クロックの立ち上がりエッジでカウント (注1)		
					1	0	外部クロックの立ち下がりエッジでカウント (注1)	
					1	外部クロックの立ち上がり/立ち下がり両エッジでカウント (注1)		
	0	1	0	0	0	分周クロック : PCLKでカウント		
					1	分周クロック : PCLK/2でカウント		
					1	0	分周クロック : PCLK/8でカウント	
					1	分周クロック : PCLK/32でカウント		
				1	0	0	分周クロック : PCLK/64でカウント	
						1	分周クロック : PCLK/1024でカウント	
						1	0	分周クロック : PCLK/8192でカウント
						1	クロック入力を禁止	
	1	0	—	—	—	設定しないでください		
	1	1	—	—	—	TMR1.TCNT (TMR3.TCNT) のオーバフロー信号でカウント (注2)		
TMR1 (TMR3)	0	0	—	0	0	クロック入力を禁止		
					1	外部クロックの立ち上がりエッジでカウント (注1)		
					1	0	外部クロックの立ち下がりエッジでカウント (注1)	
					1	外部クロックの立ち上がり/立ち下がり両エッジでカウント (注1)		
	0	1	0	0	0	分周クロック : PCLKでカウント		
					1	分周クロック : PCLK/2でカウント		
					1	0	分周クロック : PCLK/8でカウント	
					1	分周クロック : PCLK/32でカウント		
			1	0	0	分周クロック : PCLK/64でカウント		
					1	分周クロック : PCLK/1024でカウント		
					1	0	分周クロック : PCLK/8192でカウント	
					1	クロック入力を禁止		
	1	0	—	—	—	設定しないでください		
	1	1	—	—	—	TMR0.TCNT (TMR2.TCNT) のコンペアマッチAでカウント (注2)		

注1. カウンタ外部リセットを使用する場合は、該当する端子のPORTn.PDR.Bnビットを“0”に、PORTn.PMR.Bnビットを“1”にしてください。詳細については「20. I/Oポート」を参照してください。

注2. TMR0 (TMR2) のクロック入力をTMR1.TCNT (TMR3.TCNT) カウンタのオーバフロー信号とし、TMR1 (TMR3) のクロック入力をTMR0.TCNT (TMR2.TCNT) カウンタのコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

26.2.6 タイマコントロール/ステータスレジスタ (TCSR)

- TMR0.TCSR、TMR2.TCSR レジスタ

アドレス TMR0.TCSR 0008 8202h, TMR2.TCSR 0008 8212h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力 (トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力 (トグル出力)	R/W
b4	—	予約ビット	読むと“0”が読めず。書く場合、“0”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”とすると、リセット後の最初のコンペアマッチが起こるまでのタイマ出力はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

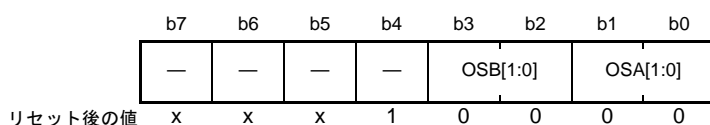
TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

- TMR1.TCSR、TMR3.TCSR レジスタ

アドレス TMR1.TCSR 0008 8203h, TMR3.TCSR 0008 8213h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力 (トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力 (トグル出力)	R/W
b4	—	予約ビット	読むと“1”が読めず。書く場合、“1”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”とすると、リセット後の最初のコンペアマッチが起こるまでのタイマ出力はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

26.2.7 タイムカウンタスタートレジスタ (TCSTR)

アドレス TMR0.TCSTR 0008 820Ch, TMR2.TCSTR 0008 821Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TCS
リセット後の値	x	x	x	x	x	x	x	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	TCS	タイマカウンタステータスビット	0: ELCによるカウント停止状態 1: ELCによるカウント開始状態	R/W
b7-b1	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

TCS ビット (タイマカウンタステータスビット)

ELC によるタイマカウンタの状態を確認できます。

読み出し値が“1”のとき、ELC によるタイマ開始状態で、“0”のとき、タイマカウンタ停止状態です。

このビットをクリアするには、“0”を書いてください。“1”の書き込みは無効です。

TCS ビットは、イベントリンクコントローラ (ELC) の ELOPD レジスタでカウントスタート動作が選択されたときのみに有効となります。

詳細は、「26.7 ELC によるリンク動作」および、「19. イベントリンクコントローラ (ELC)」を参照してください。

26.3 動作説明

26.3.1 パルス出力

任意のデューティパルスを出力させる例を図 26.3 に示します。

1. TCORA レジスタのコンペアマッチにより TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“01b” (コンペアマッチ A によりクリア) に設定します。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b” (High 出力)、TCSR.OSB[1:0] ビットを“01b” (Low 出力) にします。

以上の設定により周期が TCORA レジスタ、パルス幅が TCORB レジスタの波形をソフトウェアの介入なしに出力できます。

TCSR.OSA[1:0] ビットまたは TCSR.OSB[1:0] ビットを設定してから、リセット後の最初のコンペアマッチが起こるまでのタイマ出力は Low です。

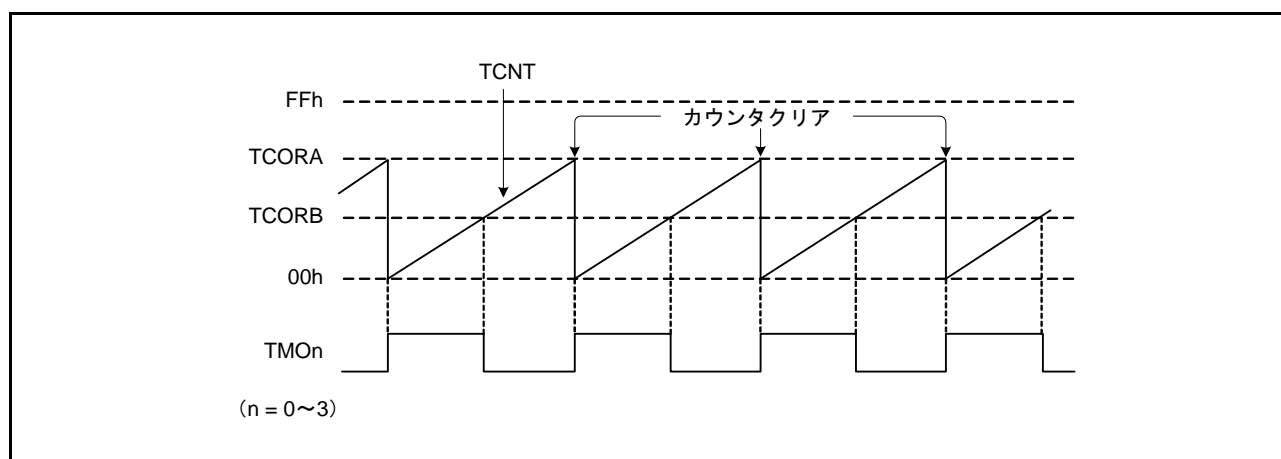


図 26.3 パルス出力例

26.3.2 リセット入力

TMRIn 入力に対する任意の遅延時間のパルスを出力させる例を図 26.4 に示します。

1. TMRIn 入力の High で TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“11b” (外部リセット入力によりクリア) にし、TCCR.TMRIS ビットを“1” (外部リセットの High でクリア) にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b” (High 出力)、TCSR.OSB[1:0] ビットを“01b” (Low 出力) にします。

以上の設定により TMRIn 入力からの遅延が TCORA レジスタ、パルス幅が (TCORB - TCORA) の波形を出力できます。

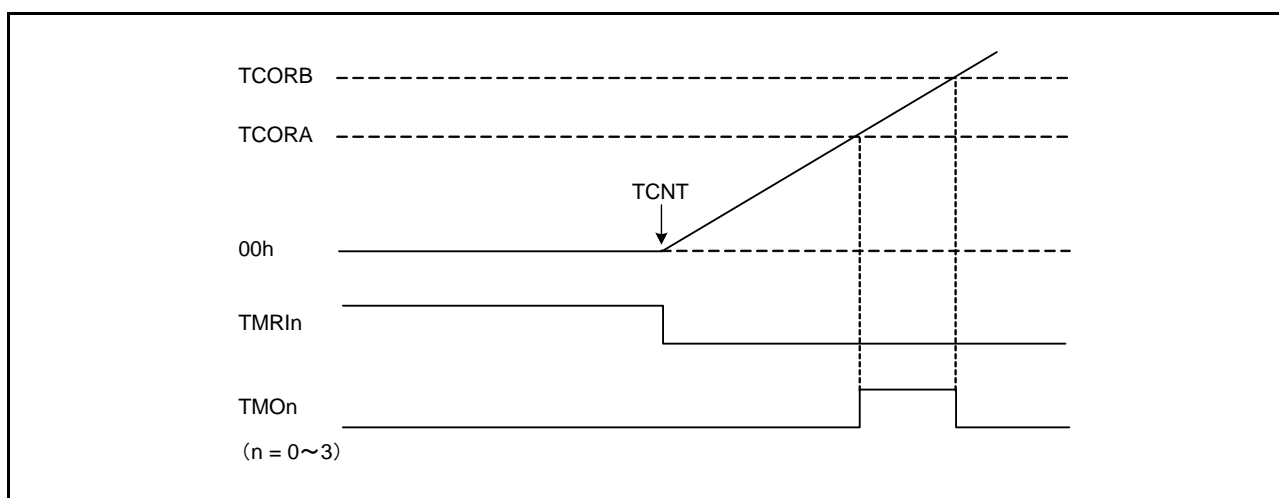


図 26.4 リセット入力例

26.4 動作タイミング

26.4.1 TCNT カウンタのカウントタイミング

分周クロック動作の場合の TCNT カウンタのカウントタイミングを図 26.5 に示します。また、外部クロック動作の場合の TCNT カウンタのカウントタイミングを図 26.6 に示します。

なお外部クロックのパルス幅は、単エッジの場合は $1.5PCLK$ 以上、両エッジの場合は $2.5PCLK$ 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

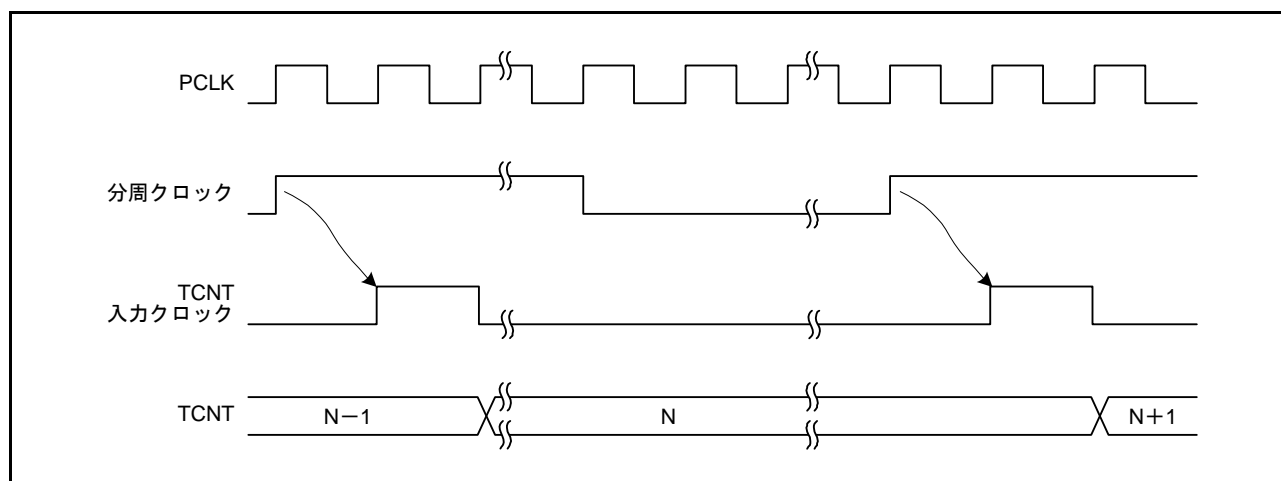


図 26.5 分周クロック動作時のカウントタイミング

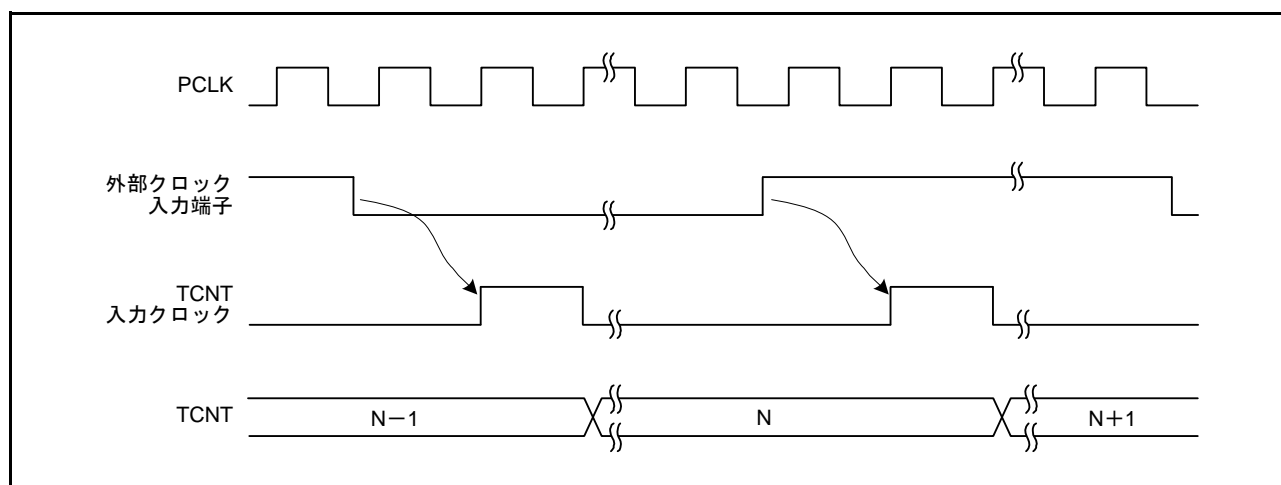


図 26.6 外部クロック動作時のカウントタイミング (両エッジの場合)

26.4.2 コンペアマッチ時の割り込みタイミング

TCORA または TCORB レジスタが TCNT カウンタの値と一致したときコンペアマッチが発生し、割り込み要求が許可されていればコンペアマッチ割り込み信号が出力されます。コンペアマッチは、一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、TCNT カウンタと TCORA、TCORB レジスタの値が一致した後、TCNT カウンタ入力クロックが発生するまでコンペアマッチは発生しません。割り込み信号の出力タイミングを図 26.7 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と表 26.6 を参照してください。

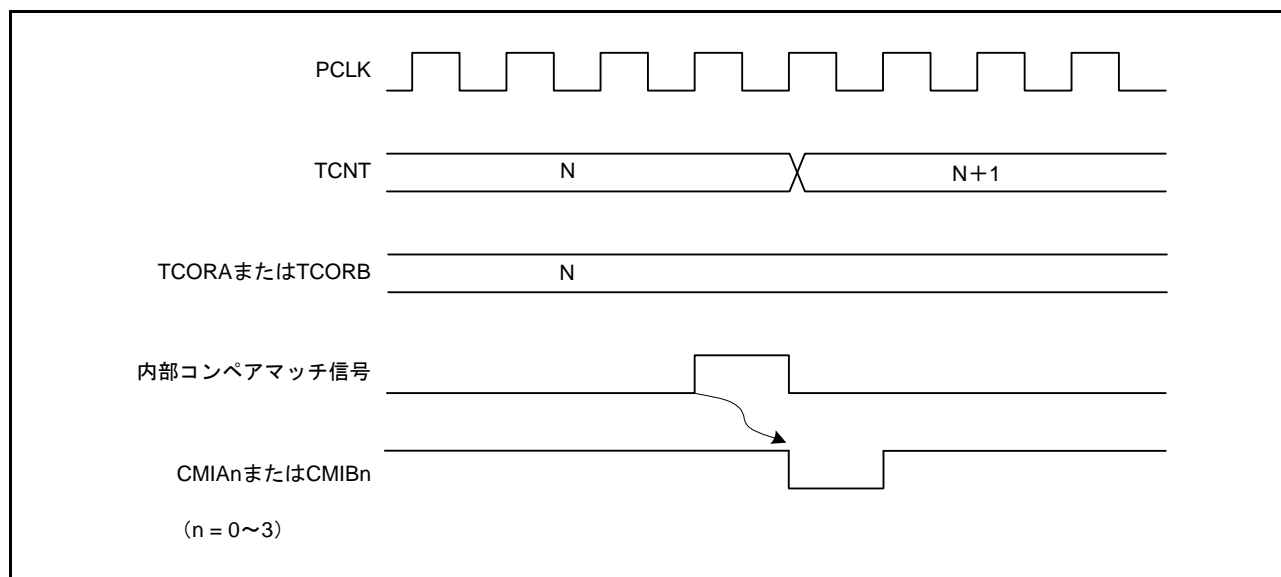


図 26.7 コンペアマッチ時の割り込みタイミング

26.4.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR.OSA[1:0], OSB[1:0] ビットで設定される出力値がタイマ出力端子 (TMO_n) に出力されます。

コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 26.8 に示します。

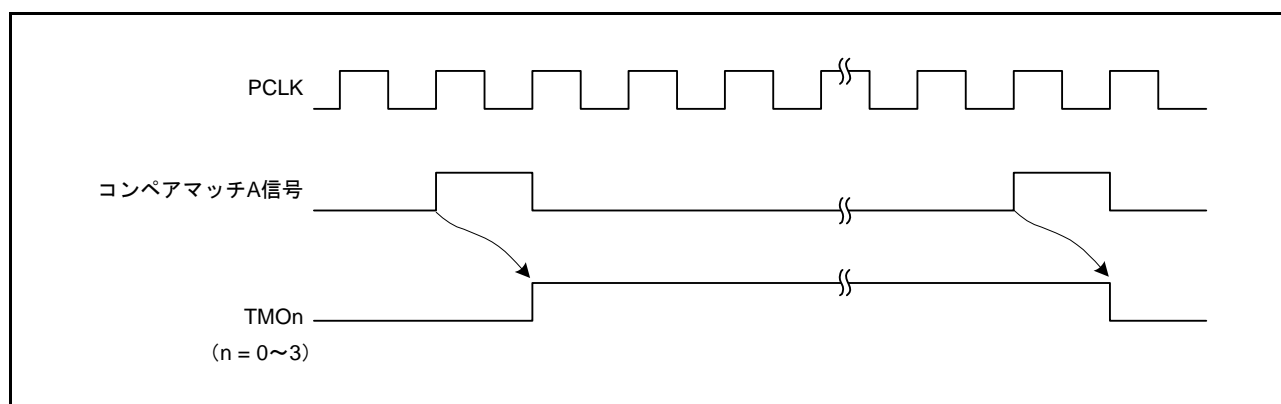


図 26.8 コンペアマッチ A 信号によるタイマ出力タイミング

26.4.4 コンペアマッチによるカウンタクリアタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。

コンペアマッチによるカウンタクリアタイミングを図 26.9 に示します。

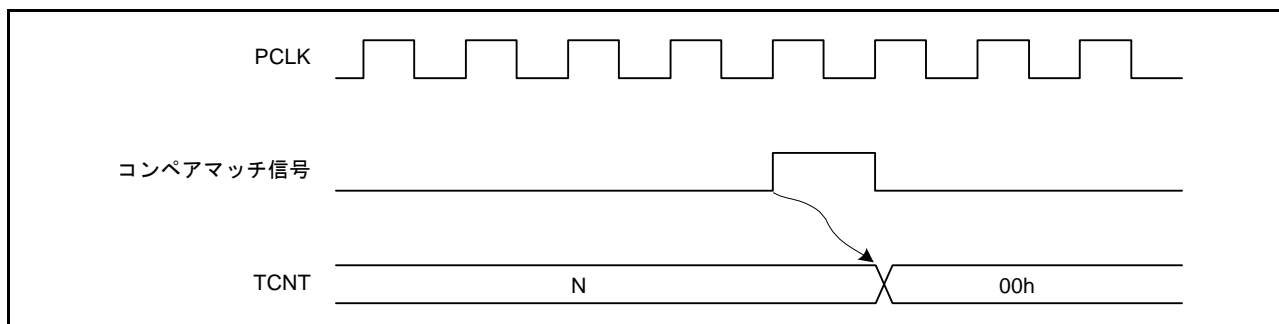


図 26.9 コンペアマッチによるカウンタクリアタイミング

26.4.5 TCNT カウンタの外部リセットタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択により外部リセット入力の立ち上がりエッジ、または High でクリアされます。外部リセットの入力から TCNT カウンタのクリアまでは $2PCLK$ 以上必要となります。

外部リセット入力によるクリアタイミングを図 26.10、図 26.11 に示します。

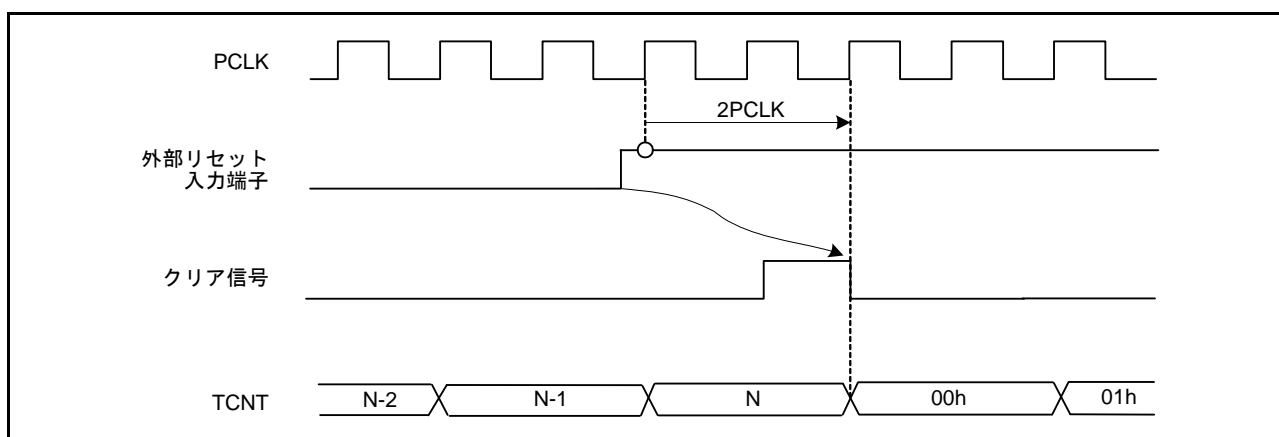


図 26.10 外部リセット入力によるクリアタイミング (立ち上がりエッジ)

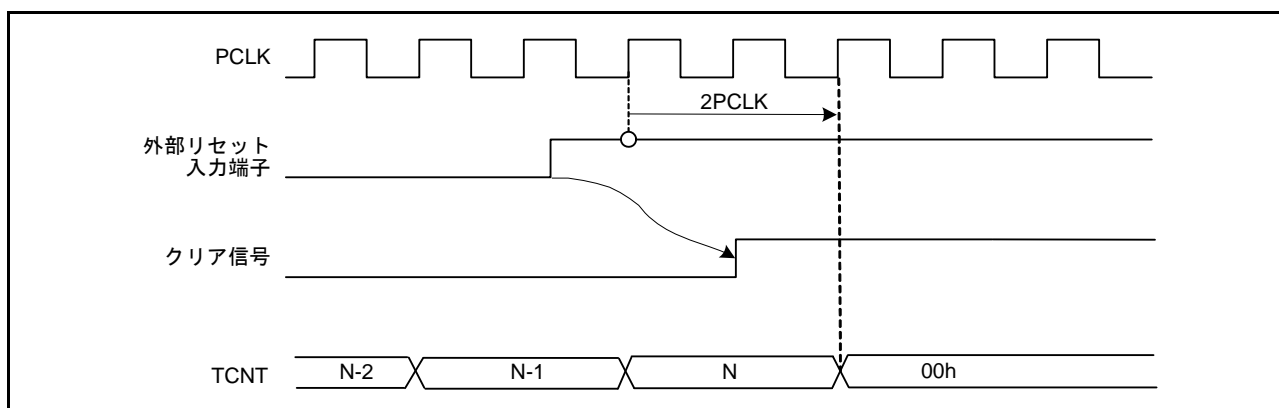


図 26.11 外部リセット入力によるクリアタイミング (High)

26.4.6 オーバフローによる割り込みタイミング

TCNT カウンタのオーバフロー (“FFh” → “00h”) が発生すると、割り込み要求が許可されていれば、オーバフロー割り込み信号が出力されます。

割り込み信号の出力タイミングを図 26.12 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と表 26.6 を参照してください。

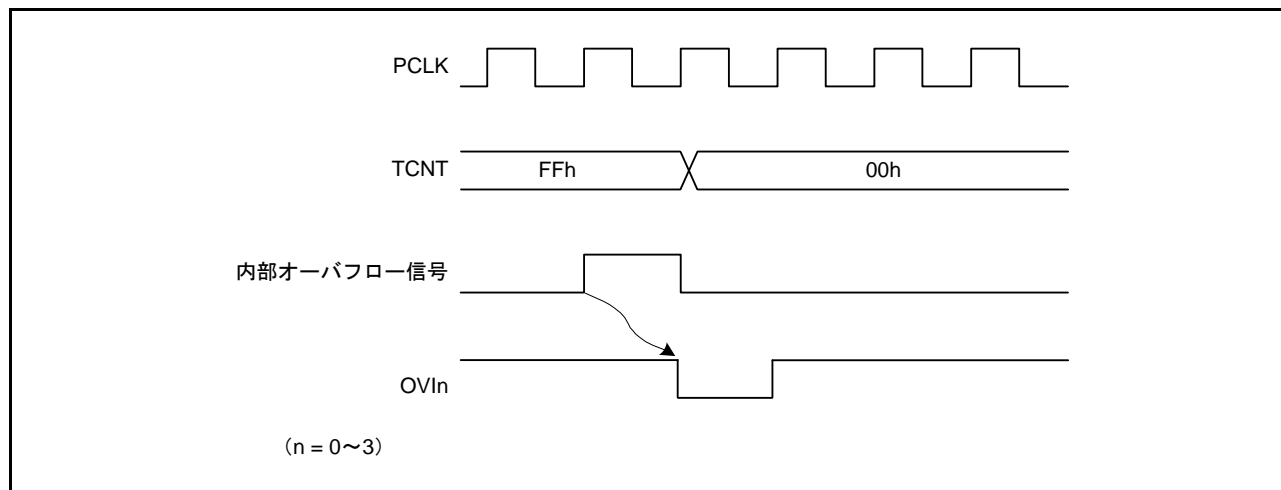


図 26.12 オーバフローによる割り込みタイミング

26.5 カスケード接続時の動作

TMR0.TCCR、TMR1.TCCR レジスタのいずれか一方の CSS[1:0] ビットを“11b”にすると、2チャンネルの TMR はカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、または TMR0 のコンペアマッチを TMR1 でカウントするコンペアマッチカウントモードにすることができます。

【補足】 「26.5 カスケード接続時の動作」は、ユニット0について説明しています。ユニット1のカスケード接続時の動作は、ユニット0と同様です。

26.5.1 16ビットカウントモード

TMR0.TCCR.CSS[1:0] ビットが“11b”のとき、TMR0 を上位8ビット、TMR1 を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(1) カウンタクリア指定

- TMR0.TCR.CCLR[1:0] ビットの設定が16ビットカウンタに対して有効になります。
TMR0.TCR.CCLR[1:0] ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生すると16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。また、TMR10 端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。
- TMR1.TCR.CCLR[1:0] ビットの設定は無効になります。

(2) 端子出力

- TMR0.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO0 端子の出力制御は、16ビットのコンペアマッチ条件に従います。
- TMR1.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO1 端子の出力制御は、下位8ビットのコンペアマッチ条件に従います。

26.5.2 コンペアマッチカウントモード

TMR1.TCCR.CSS[1:0] ビットが“11b”のとき、TMR1.TCNT カウンタは TMR0 のコンペアマッチ A の発生回数をカウントします。TMR0、TMR1 の制御はそれぞれ個別に行われ、割り込みの発生、TMO_n (n=0、1) 端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

26.6 割り込み要因

26.6.1 割り込み要因と DTC 起動

TMRn の割り込み要因は、CMIA_n、CMIB_n、OVIn の 3 種類があります。表 26.6 に各割り込み要因と優先順位を示します。

なお、CMIA_n、CMIB_n 割り込みにより DTC を起動することができます。

表 26.6 TMR の割り込み要因

名称	割り込み要因	DTC の起動	優先順位
CMIA0	TMR0.TCORA のコンペアマッチ	可能	高 ↑ ↓ 低
CMIB0	TMR0.TCORB のコンペアマッチ	可能	
OVI0	TMR0.TCNT のオーバーフロー	不可能	
CMIA1	TMR1.TCORA のコンペアマッチ	可能	
CMIB1	TMR1.TCORB のコンペアマッチ	可能	
OVI1	TMR1.TCNT のオーバーフロー	不可能	
CMIA2	TMR2.TCORA のコンペアマッチ	可能	
CMIB2	TMR2.TCORB のコンペアマッチ	可能	
OVI2	TMR2.TCNT のオーバーフロー	不可能	
CMIA3	TMR3.TCORA のコンペアマッチ	可能	
CMIB3	TMR3.TCORB のコンペアマッチ	可能	
OVI3	TMR3.TCNT のオーバーフロー	不可能	

26.7 ELCによるリンク動作

26.7.1 ELC へのイベント信号出力

TMR はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。TMR はコンペアマッチ A、コンペアマッチ B、および、オーバフローのイベント信号を出力します。対応するチャンネルは TMR0 と TMR2 です。

イベント信号は該当する割り込み要求許可ビット (TMR0.TCR.OVIE/TMR2.TCR.OVIE、TMR0.TCR.CMIEA/TMR2.TCR.CMIEA、TMR0.TCR.CMIEB/TMR2.TCR.CMIEB) の設定に関係なく出力することができます。詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。

カスケード接続の動作にも、イベント出力機能は対応しています。

26.7.2 ELC からのイベント信号受信による TMR 動作

TMR は ELC の ELSRn レジスタの設定により、あらかじめ設定したイベントによる次の動作が可能です。ただし、カスケード接続の動作には ELC は対応しておりません。

(1) カウントスタート動作

ELC の ELOPD レジスタで TMR のカウントスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCSTR.TCS ビットが“1”にセットされ、TMR のカウントがスタートします。カウントソースは、ELC の ELOPD レジスタで TMR のカウントスタート動作を選択した後、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定により選択してください。

TCS ビットが“1”にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

カウントを停止させるためには、TCSTR.TCS ビットへ“0”を書いてください。

カウント停止状態でカウントスタートのイベントが入力されると、再び CKS[2:0]、CSS[1:0] ビットに従ってカウントします。

TCS ビットは、ELC の ELOPD.TMR0MD、ELOPD.TMR2MD ビットにおいてカウントスタートが選択されたときのみ有効となります。

(2) イベントカウンタ動作

ELC の ELOPD レジスタで TMR のイベントカウンタ動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定に関係なくそのイベントをカウントソースとして、イベントカウンタ動作します。カウント値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウントリスタート動作

ELC の ELOPD レジスタで TMR のカウントリスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値が初期値に書き換わります。CKS[2:0] ビット、CSS[1:0] ビットの設定が「クロック入力禁止」以外になっていれば、カウンタ動作を継続することができます。

26.7.3 ELCからのイベント信号受信によるTMRの注意事項

以下にTMRをイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

TCSTR.TCSビットへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCSTR.TCSビットへの書き込みサイクルは行われずイベント発生による“1”の設定が優先されます。

(2) イベントカウンタ動作

TCNTカウンタへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCNTカウンタへの書き込みサイクルは行われずイベント発生によるカウント動作が優先されます。

(3) カウントリスタート動作

TCNTカウンタへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCNTカウンタへの書き込みサイクルは行われずイベント発生によるカウント値の初期化が優先されます。

26.8 使用上の注意事項

26.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMRの動作禁止/許可を設定することが可能です。初期値では、TMRの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

26.8.2 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNTカウンタはTCORA、TCORBレジスタの値と一致した最後のPCLK (TCNTカウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、カウンタの周波数は以下の式になります (f: カウンタ周波数、PCLK: 動作周波数、N: TCORA、TCORBレジスタの設定値)。

$$f = \text{PCLK}/(N+1)$$

26.8.3 TCNTカウンタへの書き込みとカウンタクリアの競合

図 26.13 のように CPU による TCNT カウンタへの書き込みと同時にカウンタクリアが発生すると、カウンタへの書き込みは行われずクリアが優先されます。

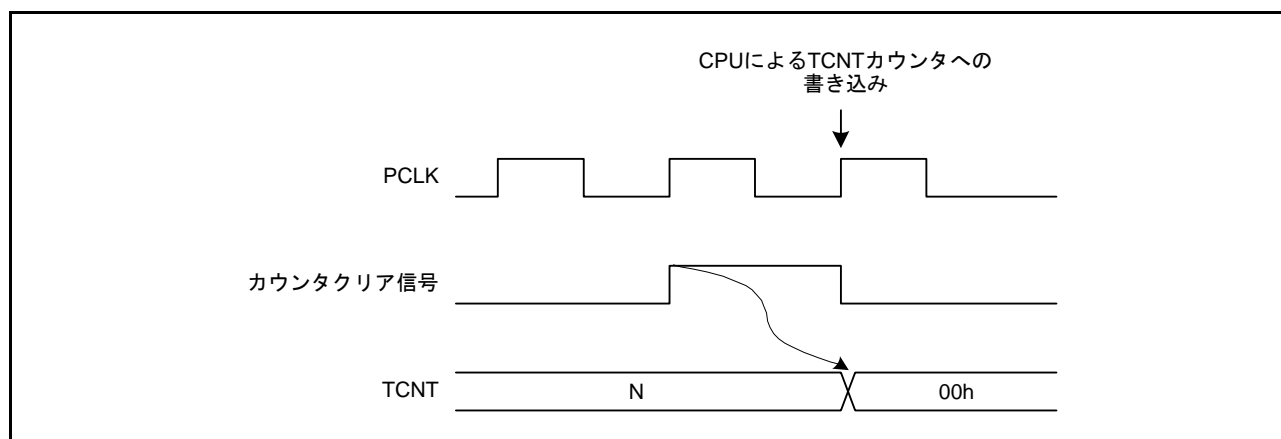


図 26.13 TCNT カウンタへの書き込みとカウンタクリアの競合

26.8.4 TCNT カウンタへの書き込みとカウントアップの競合

図 26.14 のように CPU による TCNT カウンタへの書き込みと同時にカウントアップが発生しても、カウントアップされず TCNT カウンタへの書き込みが優先されます。

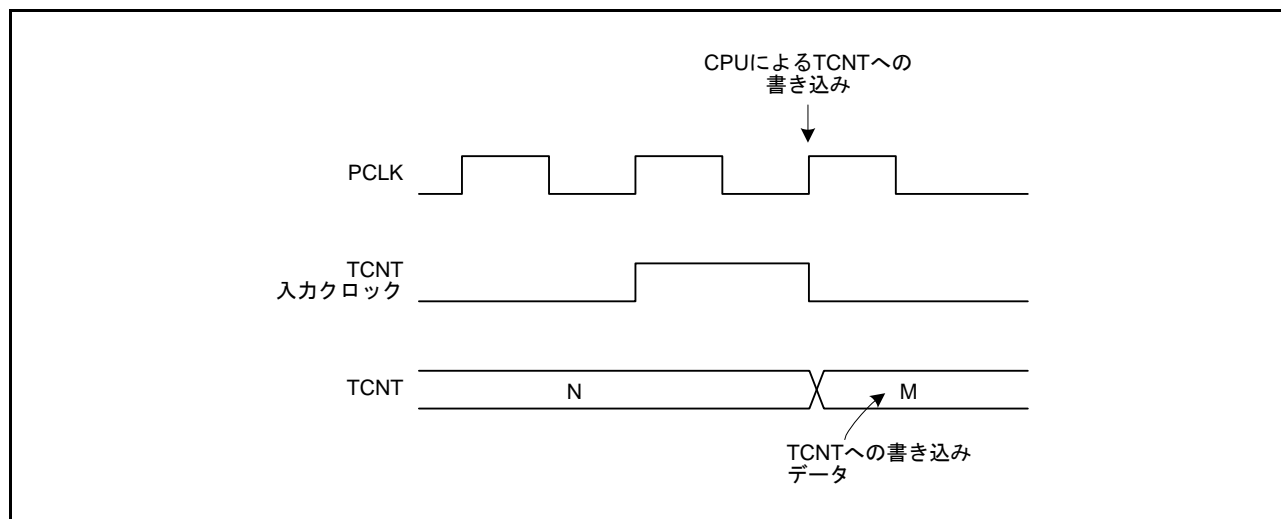


図 26.14 TCNT カウンタへの書き込みとカウントアップの競合

26.8.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

図 26.15 のように CPU による TCORA、TCORB レジスタへの書き込みと同時にコンペアマッチが発生するタイミングとなっても、TCORA、TCORB レジスタへの書き込みが優先されコンペアマッチ信号は High になりません。

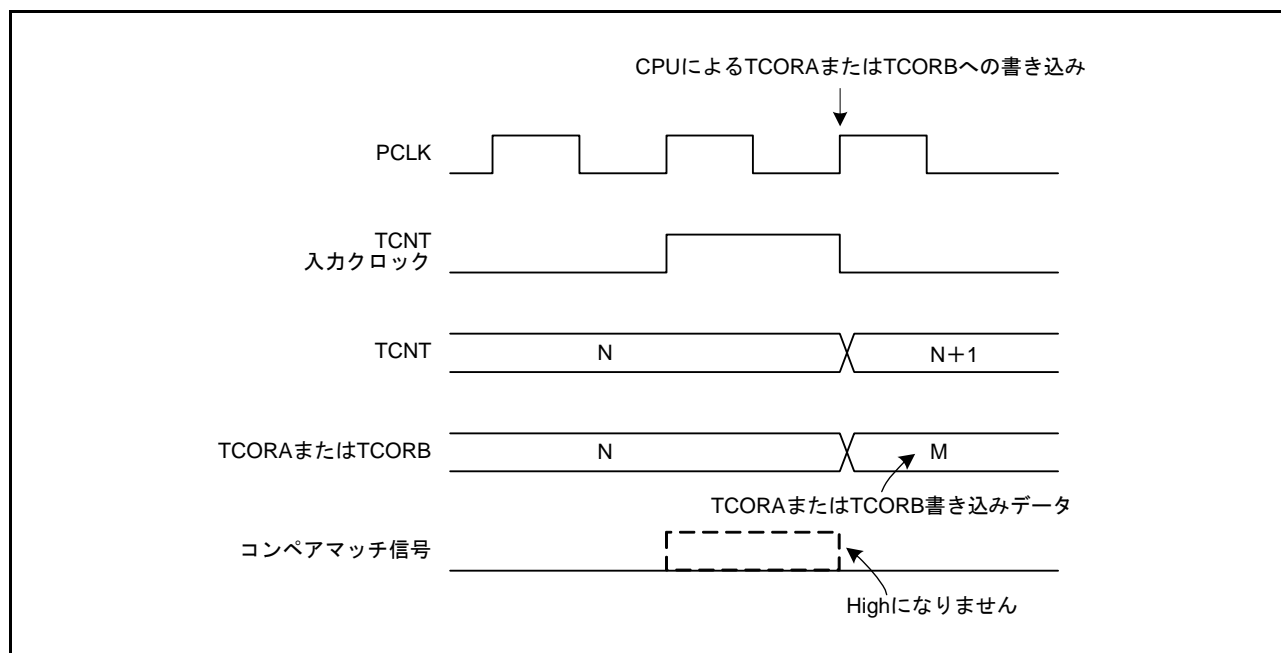


図 26.15 TCORA、TCORB レジスタのライトとコンペアマッチの競合

26.8.6 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 26.7 に示すタイマ出力の優先順位の高い方が出力されます。

表 26.7 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
High出力	
Low出力	
変化しない	

26.8.7 分周クロックの切り替えと TCNT カウンタの動作

分周クロックを切り替えるタイミングによっては、TCNT カウンタがカウントアップされてしまう場合があります。分周クロックの切り替えタイミング (TCCR.CKS[2:0] ビットの書き換え) と、TCNT カウンタ動作の関係を表 26.8 に示します。

分周クロックから TCNT カウンタのクロックを生成する場合、分周クロックの立ち上がりエッジを検出しています。そのため、たとえば表 26.8 の No.2 のように、Low → High になるようなクロックの切り替えを行うと、切り替えタイミングをエッジと見なして TCNT カウンタクロックが発生し、TCNT カウンタがカウントアップされてしまいます。

また、分周クロックと外部クロックを切り替えるときも、TCNT カウンタがカウントアップされることがあります。

表 26.8 分周クロックの切り替えと TCNT カウンタの動作 (1 / 2)

No.	TCCR.CKS[2:0]ビット書き換えタイミング	TCNTクロックの動作
1	Low→Low (注 ¹) の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT 入カクロック</p> <p>TCNT</p> <p>TCCR.CKS[2:0]ビット書き換え</p>

表 26.8 分周クロックの切り替えとTCNTカウンタの動作 (2 / 2)

No.	TCCR.CKS[2:0]ビット書き換えタイミング	TCNTクロックの動作
2	Low→High (注2) の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入カクロック</p> <p>TCNT N N+1 N+2 N+3</p> <p>TCCR.CKS[2:0]ビット書き換え</p> <p>(注3)</p>
3	High→Low (注4) の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入カクロック</p> <p>TCNT N N+1 N+2 N+3</p> <p>TCCR.CKS[2:0]ビット書き換え</p>
4	High→Highの切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入カクロック</p> <p>TCNT N N+1 N+2</p> <p>TCCR.CKS[2:0]ビット書き換え</p>

注1. Low→停止、および停止→Lowの場合を含みます。

注2. 停止→Highの場合を含みます。

注3. 切り替えのタイミングをエッジとみなすために発生し、TCNTはカウントアップされてしまいます。

注4. High→停止の場合を含みます。

26.8.8 カスケード接続時のクロックソース設定

16ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TMR0.TCNT、TMR1.TCNT カウンタ (TMR2.TCNT、TMR3.TCNT カウンタ) の入力クロックが発生しなくなるため、カウンタが停止して動作しません。この設定はしないでください。

26.8.9 コンペアマッチ割り込みの連続出力

TCORA または TCORB レジスタを“00h”に、分周クロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“00h”のままで更新されず、コンペアマッチ割り込みを連続してレベル状に出力します。

このとき、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

コンペアマッチ割り込みが連続出力する場合の動作タイミングを図 26.16 に示します。

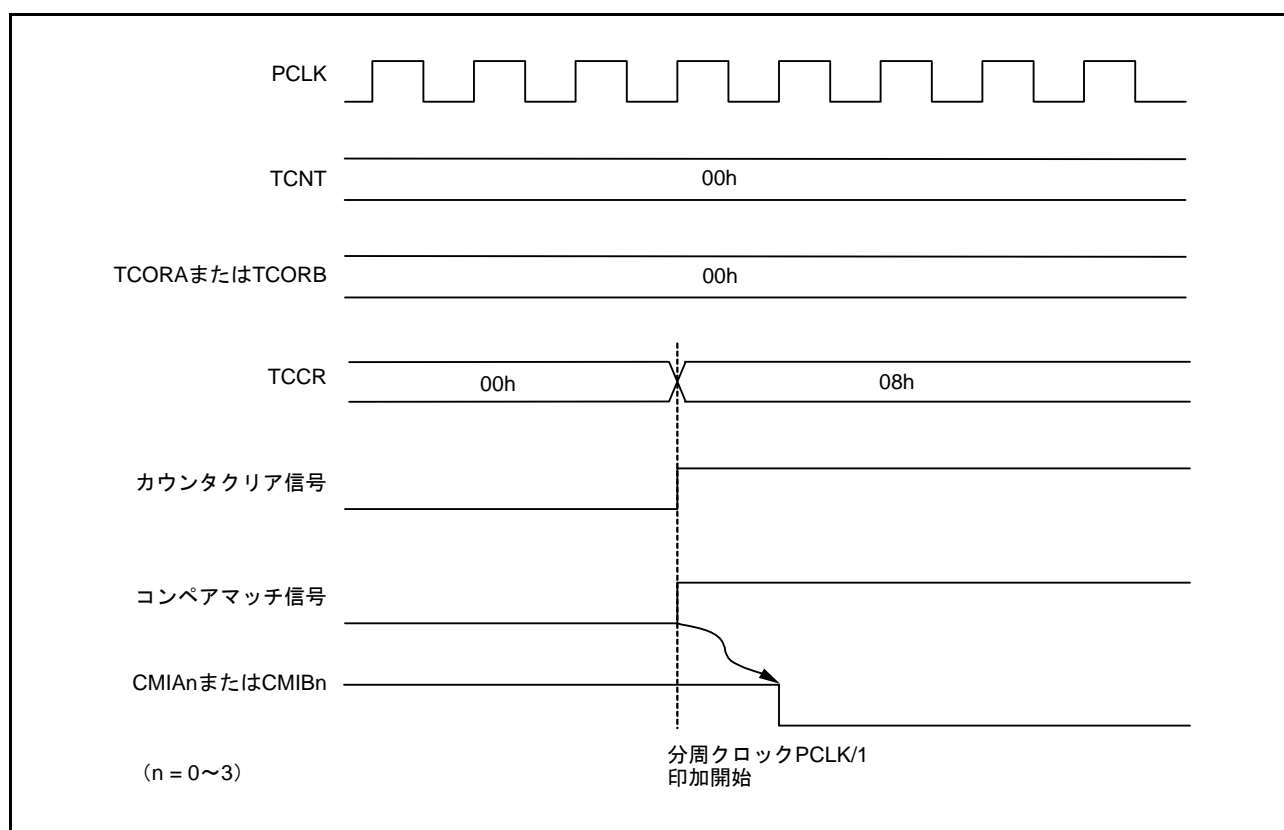


図 26.16 コンペアマッチ割り込みの連続出力

27. コンペアマッチタイマ (CMT)

本MCUは、2チャンネルの16ビットタイマにより構成されるコンペアマッチタイマ (CMT) を2ユニット (ユニット0、ユニット1)、合計4チャンネル内蔵しています。CMTは、16ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

本章に記載しているPCLKとはPCLKBを指します。

27.1 概要

表27.1にCMTの仕様を示します。

図27.1にCMT (ユニット0) のブロック図を示します。2チャンネルのCMTで1ユニットを構成し、ユニット0とユニット1は同じ仕様です。ユニット0のコンペアマッチタイマスタートレジスタ0 (CMSTR0)、コンペアマッチ割り込み (CMI0, CMI1) が、ユニット1ではコンペアマッチタイマスタートレジスタ1 (CMSTR1)、コンペアマッチ割り込み (CMI2, CMI3) に対応します。

表27.1 CMTの仕様

項目	機能
カウントクロック	<ul style="list-style-type: none"> 4種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中からチャンネルごとに選択可能
割り込み	コンペアマッチ割り込みをチャンネルごとに要求することが可能
イベントリンク機能 (出力)	CMT1のコンペアマッチによりイベント信号出力
イベントリンク機能 (入力)	設定したモジュールに対してリンク動作が可能 CMT1のカウントスタート、イベントカウンタ、カウントリスタート動作が可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

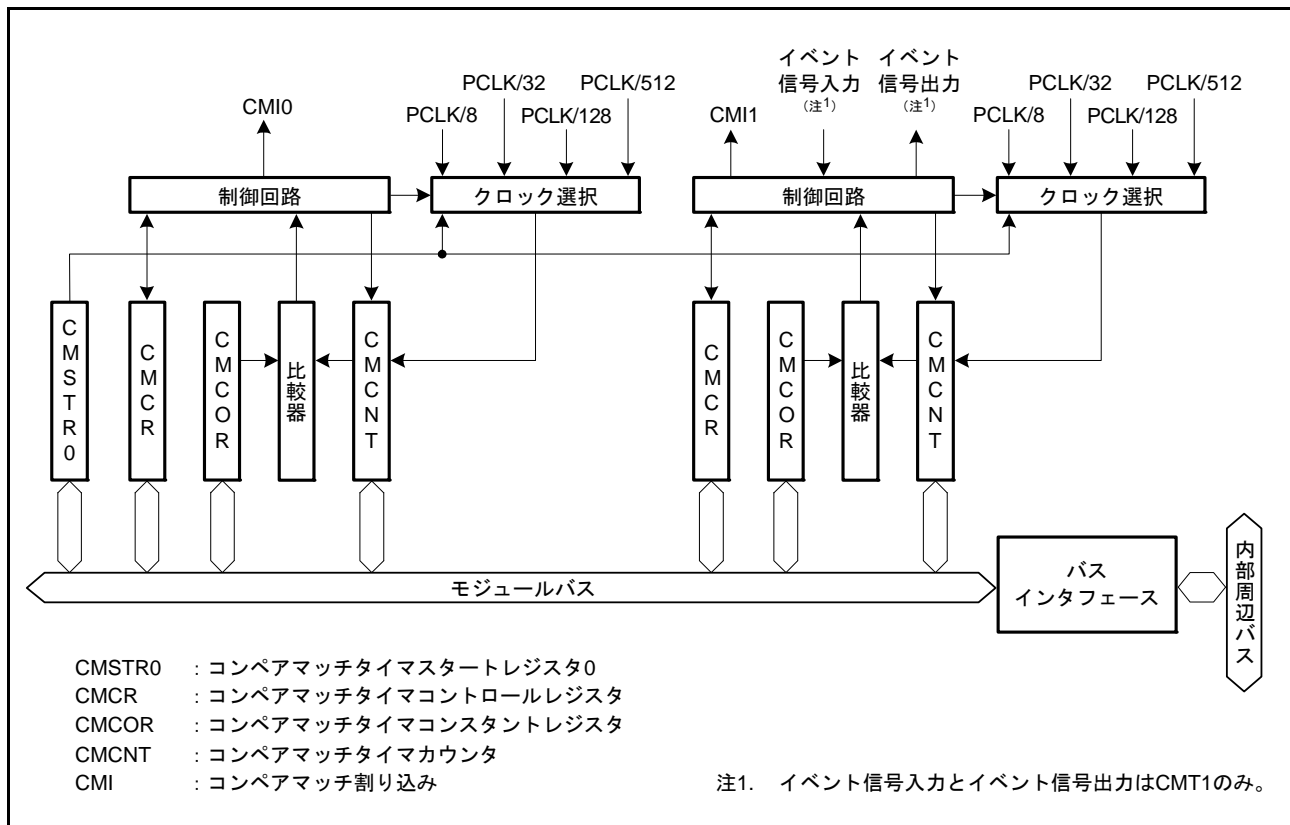


図27.1 CMT (ユニット0) のブロック図

27.2 レジスタの説明

27.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0 : CMT0.CMCNTカウンタのカウンタ動作停止 1 : CMT0.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR1	カウントスタート1ビット	0 : CMT1.CMCNTカウンタのカウンタ動作停止 1 : CMT1.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

27.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1)

アドレス 0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	0 : CMT2.CMCNTカウンタのカウンタ動作停止 1 : CMT2.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR3	カウントスタート3ビット	0 : CMT3.CMCNTカウンタのカウンタ動作停止 1 : CMT3.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

27.2.3 コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス CMT0.CMCR 0008 8002h, CMT1.CMCR 0008 8008h, CMT2.CMCR 0008 8012h, CMT3.CMCR 0008 8018h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLK/8 0 1 : PCLK/32 1 0 : PCLK/128 1 1 : PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み (CMIn) を禁止 1 : コンペアマッチ割り込み (CMIn) を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周して得られる 4 種類の分周クロックからカウントソースを選択します。

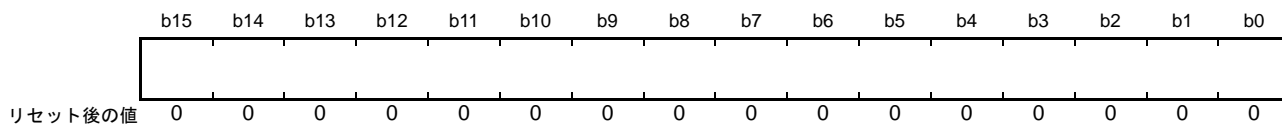
CMSTRm.STRn ビット (m=0, 1, n=0~3) を“1”に設定すると、CKS[1:0] ビットで選択されたクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット (コンペアマッチ割り込み許可ビット)

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIn) (n=0~3) の発生を許可するか禁止するかを選択します。

27.2.4 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h, CMT1.CMCNT 0008 800Ah, CMT2.CMCNT 0008 8014h, CMT3.CMCNT 0008 801Ah



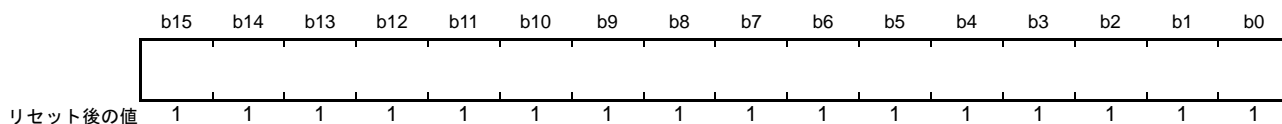
CMCNT カウンタは、読み出し / 書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットで分周クロックを選択して、CMSTRm.STRn ビット ($m = 0, 1$, $n = 0 \sim 3$) を“1”にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは“0000h”になります。このとき、コンペアマッチ割り込み (CMIn) ($n = 0 \sim 3$) が発生します。

27.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h, CMT1.CMCOR 0008 800Ch, CMT2.CMCOR 0008 8016h, CMT3.CMCOR 0008 801Ch



CMCOR レジスタは、CMCNT カウンタとのコンペアマッチする値を設定する読み出し / 書き込み可能なレジスタです。

27.3 動作説明

27.3.1 周期カウント動作

CMCR.CKS[1:0] ビットで分周クロックを選択し、CMSTRm.STRn ビット ($m=0, 1$, $n=0\sim 3$) を“1”にすると、選択したクロックによってCMCNTカウンタはカウントアップを開始します。

CMCNTカウンタの値がCMCORレジスタの値と一致すると、コンペアマッチ割り込み (CMI_n) ($n=0\sim 3$) が発生します。CMCNTカウンタは“0000h”からカウントアップを再開します。CMCNTカウンタの動作を図27.2に示します。

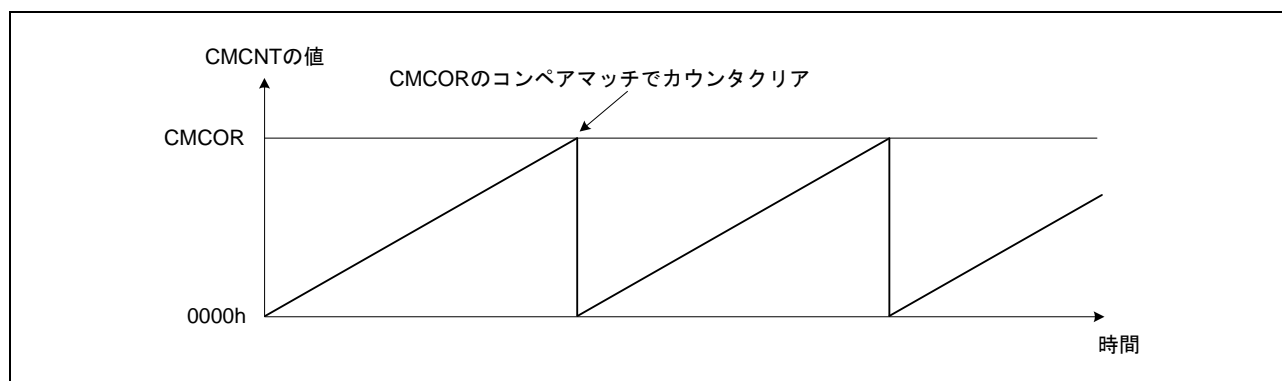


図 27.2 CMCNT カウンタの動作

27.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した4種類の分周クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) からCMCNTカウンタに入力するカウントクロックを選択できます。このときのCMCNTカウンタのカウントタイミングを図27.3に示します。

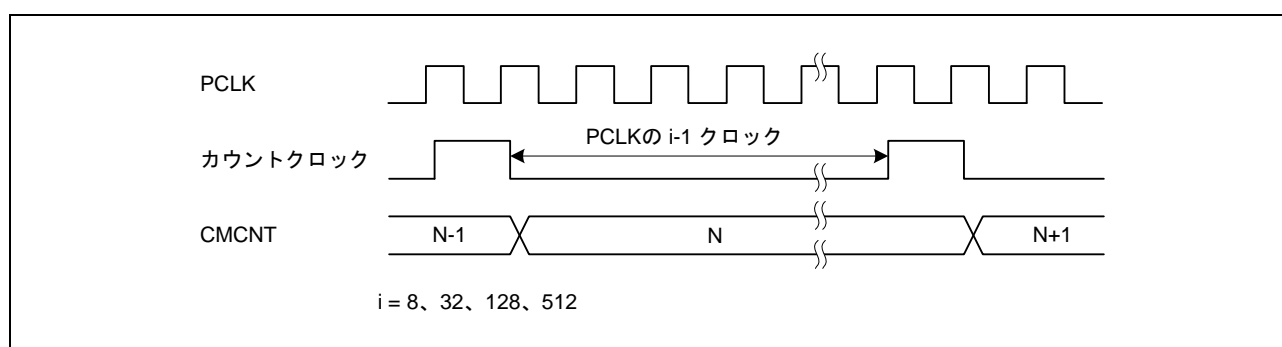


図 27.3 CMCNT カウンタのカウントタイミング

27.4 割り込み

27.4.1 割り込み要因

CMTは、チャンネルごとにコンペアマッチ割り込み (CMI_n) ($n=0\sim 3$) があり、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを発生させる場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「14. 割り込みコントローラ (ICUb)」を参照してください。

表27.2 CMTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
CMI0	CMT0のコンペアマッチ	可能	可能
CMI1	CMT1のコンペアマッチ	可能	可能
CMI2	CMT2のコンペアマッチ	可能	可能
CMI3	CMT3のコンペアマッチ	可能	可能

27.4.2 コンペアマッチ割り込みの発生タイミング

CMCNT カウンタの値と CMCOR レジスタの値が一致したときに、コンペアマッチ割り込み (CMI_n) ($n=0\sim 3$) が発生します。

コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタの値と CMCOR レジスタの値とが一致した後、CMCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのタイミングを図 27.4 に示します。

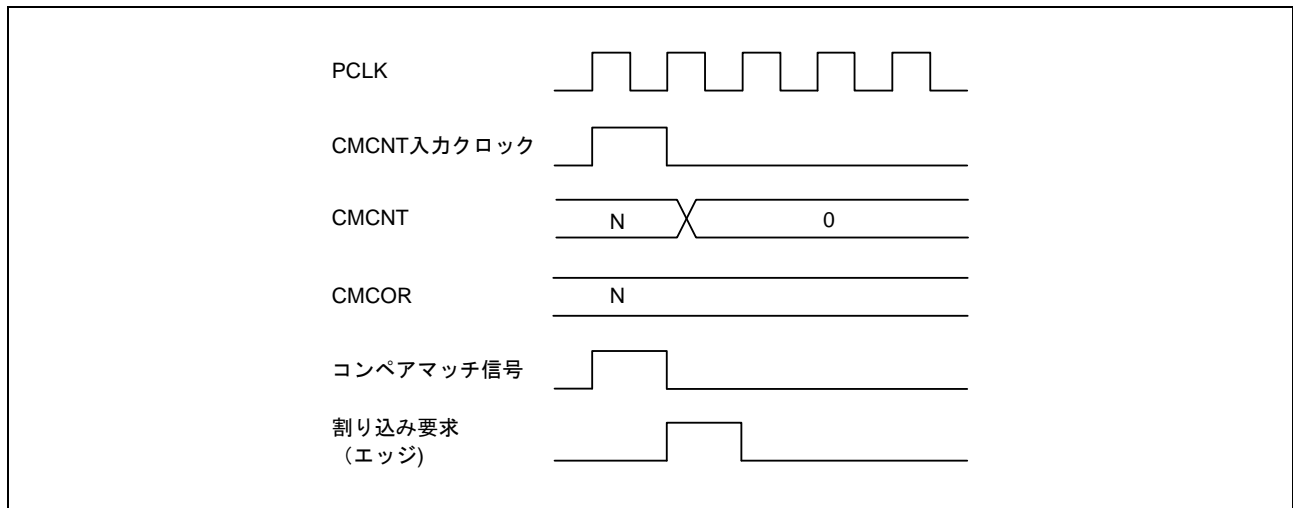


図 27.4 コンペアマッチ割り込みタイミング

27.5 ELC によるリンク動作

27.5.1 ELC へのイベント信号出力

CMT はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。CMT1 のコンペアマッチによりイベント信号を出力します。

イベント信号は該当する割り込み要求許可ビット (CMTn.CMCR.CMIE ビット) の設定に関係なく出力することができます。

27.5.2 ELC からのイベント信号受信による CMT の動作

CMT は ELC の ELSR7 レジスタにあらかじめ設定したイベントにより次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPC レジスタで CMT のカウントスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットが“1”になり、CMT のカウントがスタートします。

ただし、CMSTR0.STR1 ビットが“1”になった状態で指定したイベントが発生した場合は、そのイベントは無効となります。

(2) イベントカウンタ動作

ELC の ELOPC レジスタで CMT のイベントカウンタ動作を選択します。CMSTR0.STR1 ビットが“1”の状態、ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCR.CKS[1:0] ビットの設定に関係なくそのイベントをカウンタソースとして、イベントカウンタ動作を行います。カウンタ値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウンタリスタート動作

ELC の ELOPC レジスタで CMT のカウンタリスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタの値が初期値に書き換わります。CMSTR0.STR1 ビットが“1”の状態であればカウンタ動作を継続することができます。

27.5.3 ELC からのイベント信号受信による CMT の注意事項

以下に CMT をイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

CMSTR0.STR1 ビットへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットへの書き込みは行われずイベント発生による“1”の設定が優先されます。

(2) イベントカウンタ動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウンタ動作が優先されます。

(3) カウンタリスタート動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウンタ値の初期化が優先されます。

27.6 使用上の注意事項

27.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMTの動作を禁止/許可することが可能です。リセット後、CMTはモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

27.6.2 CMCNTカウンタへの書き込みとコンペアマッチの競合

CMCNTカウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNTカウンタへの書き込みは行われずCMCNTカウンタのクリアが優先されます。このタイミングを図27.5に示します。

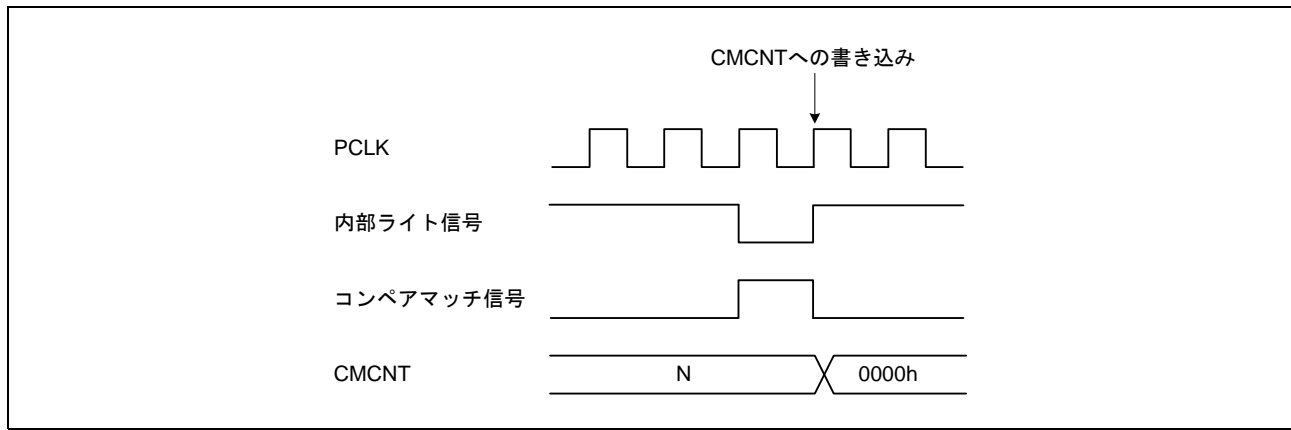


図 27.5 CMCNTカウンタへの書き込みとコンペアマッチの競合

27.6.3 CMCNTカウンタへの書き込みとカウントアップの競合

CMCNTカウンタへの書き込みと、カウントアップが競合した場合、CMCNTカウンタへの書き込みが優先されます。このタイミングを図27.6に示します。

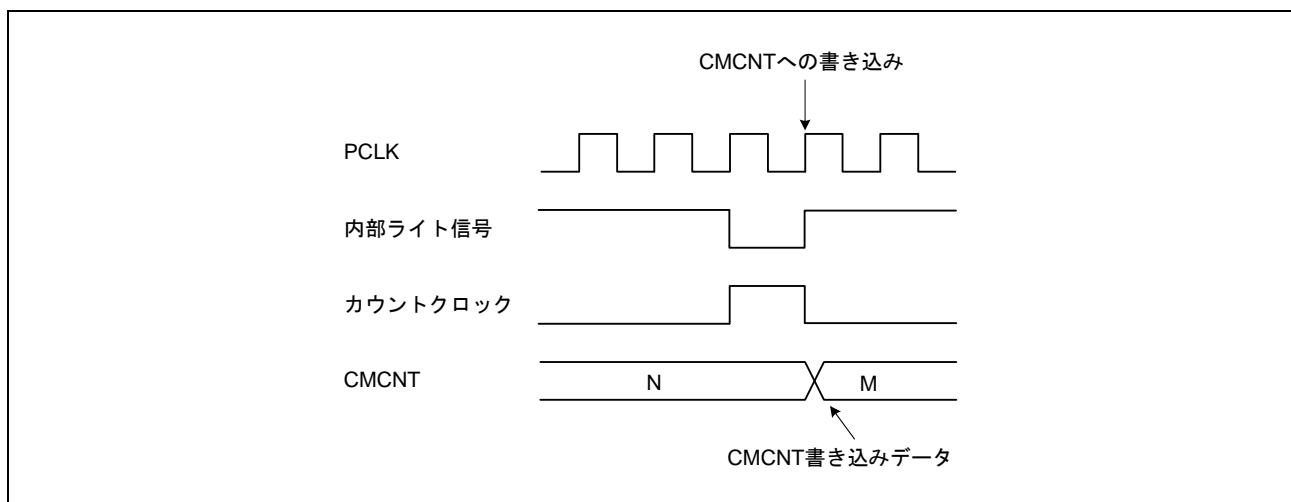


図 27.6 CMCNTカウンタへの書き込みとカウントアップの競合

28. ウォッチドッグタイマ (WDTA)

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタで、システムの暴走などによりカウンタの値のリフレッシュがされずにアンダフローすると、本 MCU のリセットをします。

また、アンダフローにより、ノンマスカブル割り込みを発生させることもできます。

カウンタのリフレッシュには、リフレッシュ許可期間を設定することができ、同許可期間を暴走検知の条件とすることができます。

本章に記載している PCLK とは PCLKB を指します。

28.1 概要

表 28.1 に WDT の仕様を示します。図 28.1 に WDT のブロック図を示します。

表 28.1 WDT の仕様

項目	内容
カウントソース	周辺クロック (PCLK)
クロック分周比	4分周/64分周/128分周/512分周/2048分周/8192分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> オートスタートモード：リセット後、およびアンダフロー、リフレッシュエラー発生後に自動的にカウント開始 レジスタスタートモード：リフレッシュ動作 (WDTRR レジスタへの書き込み) により、カウント開始
カウント停止条件	<ul style="list-style-type: none"> リセット (ダウンカウンタ、レジスタは初期値に戻ります) アンダフロー、リフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
ウォッチドッグタイマリセット発行要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
ノンマスカブル割り込み要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能

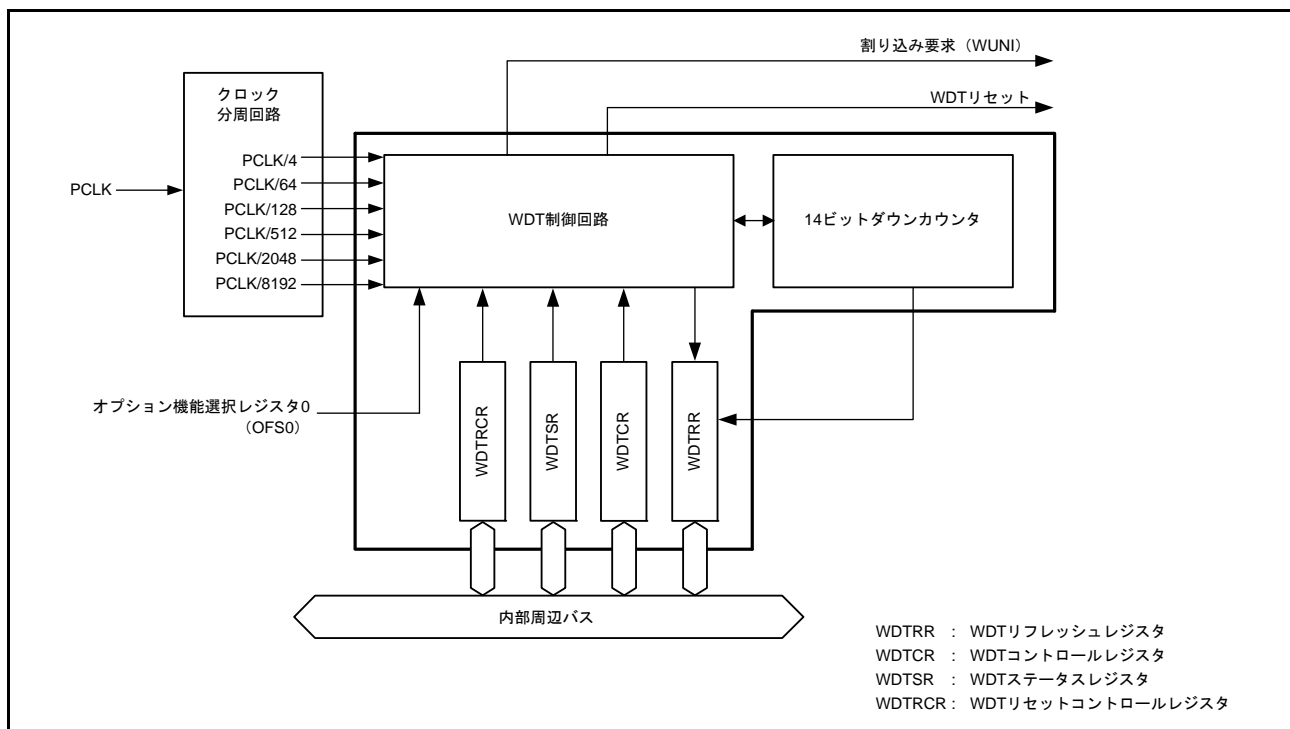
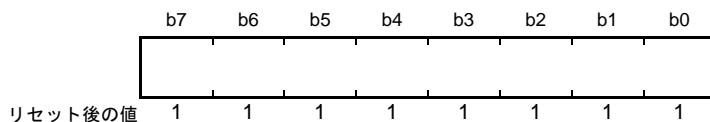


図 28.1 WDT のブロック図

28.2 レジスタの説明

28.2.1 WDT リフレッシュレジスタ (WDTRR)

アドレス 0008 8020h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、WDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む（リフレッシュ動作）ことにより WDT のダウンカウンタをリフレッシュします。

ダウンカウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の WDT タイムアウト期間選択ビット (OFS0.WDTPS[1:0]) で設定した値からダウンカウントを行います。レジスタスタートモードの場合、WDT コントロールレジスタのタイムアウト期間選択ビット (WDCR.TOPS[1:0]) で設定した値からダウンカウントを行います。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「28.3.3 リフレッシュ動作」を参照してください。

28.2.2 WDT コントロールレジスタ (WDTCR)

アドレス 0008 8022h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 1 : PCLK/4 0 1 0 0 : PCLK/64 1 1 1 1 : PCLK/128 0 1 1 0 : PCLK/512 0 1 1 1 : PCLK/2048 1 0 0 0 : PCLK/8192 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

WDTCR レジスタへの書き込みには制限があります。詳細については、「28.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、WDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、WDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「28.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (PCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 28.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および PCLK 数の関係を示します。

表 28.2 タイムアウト期間設定表

CKS[3:0] ビット				TOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	PCLK 数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	PCLK/4	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	PCLK/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	PCLK/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	PCLK/512	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	PCLK/2048	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	PCLK/8192	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

CKS[3:0] ビット (クロック分周比選択ビット)

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、周辺クロック (PCLK) の 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周から選択できます。TOPS[1:0] ビット設定と合わせて、WDT のカウント期間を PCLK の 4096 ~ 134217728 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

リフレッシュ許可期間を示すウィンドウの終了位置を設定します。ウィンドウの終了位置はタイムアウト期間の、75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

リフレッシュ許可期間を示すウィンドウの開始位置を設定します。ウィンドウの開始位置はタイムアウト期間の、75%、50%、25%、0% から選択します。

設定値は、ウィンドウ開始位置 > ウィンドウ終了位置となるように設定してください。

ウィンドウ開始位置 ≤ ウィンドウ終了位置と設定した場合、ウィンドウ終了位置は、0% になります。

RPSS[1:0]、RPES[1:0]、TOPS[1:0] ビットで設定されるウィンドウ開始、終了位置のカウンタ値を表 28.3 に、設定されるリフレッシュ許可期間を図 28.2 に示します。

表 28.3 ウィンドウ開始、終了位置とカウンタ値の対応表

TOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始、終了のカウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

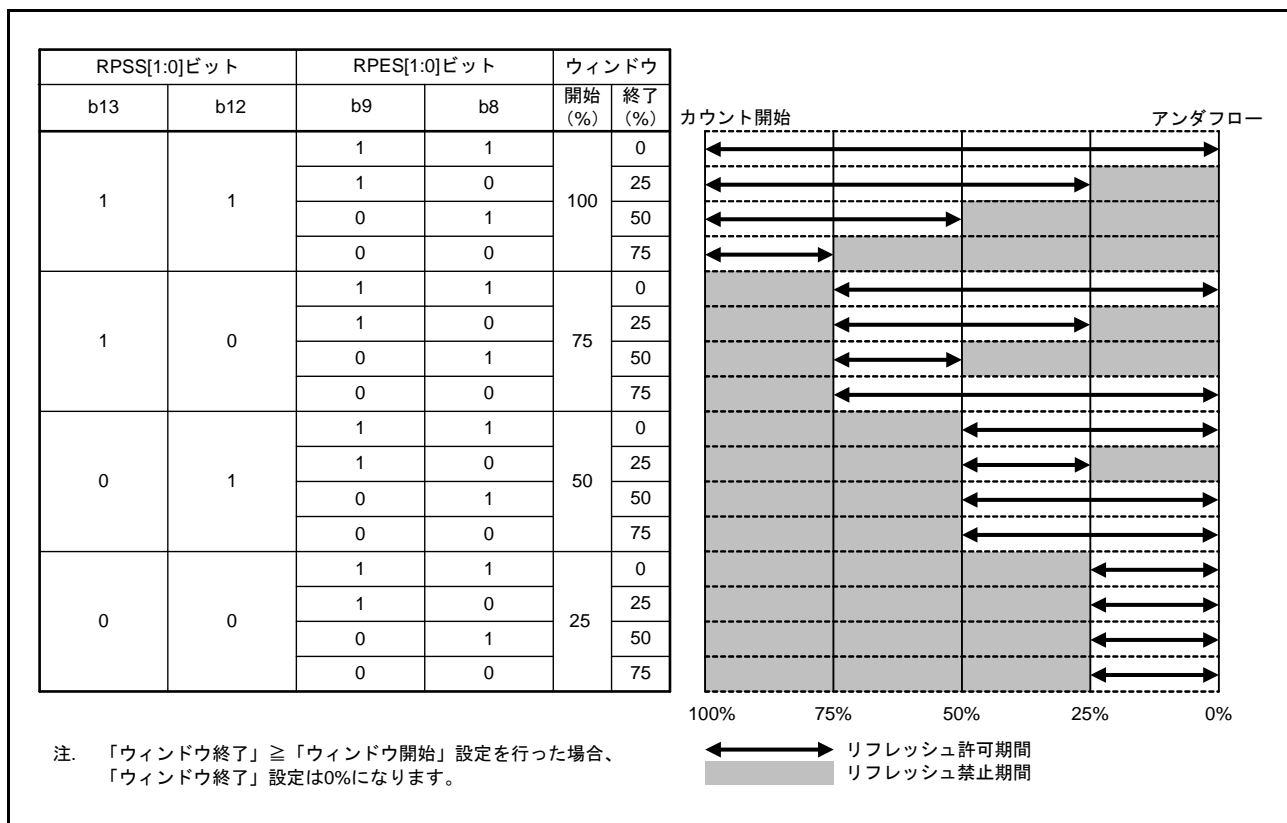
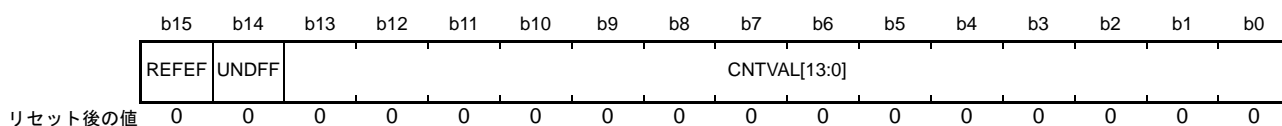


図 28.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

28.2.3 WDT ステータスレジスタ (WDTSR)

アドレス 0008 8024h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値ビット	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0 : アンダフローなし 1 : アンダフロー発生	R(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0 : リフレッシュエラーなし 1 : リフレッシュエラー発生	R(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

CNTVAL[13:0] ビット (ダウンカウンタ値ビット)

ダウンカウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

ダウンカウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、ダウンカウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

28.2.4 WDT リセットコントロールレジスタ (WDTRCR)

アドレス 0008 8026h

	b7	b6	b5	b4	b3	b2	b1	b0
RSTIR QS	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0: ノンマスクブル割り込み要求出力を許可 1: リセット出力を許可	R/W

WDTRCR レジスタへの書き込みには制限があります。詳細については、「28.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、WDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「28.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

28.2.5 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタについては、「28.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

28.3 動作説明

28.3.1 カウント開始条件別の各動作

WDTはリセット解除後、自動的にカウントを開始するオートスタートモードと、リフレッシュ（レジスタ書き込み）によりカウントを開始するレジスタスタートモードの2種類のモードがあります。

オートスタートモードは、リセット解除後、ROM上のオプション機能選択レジスタ0（OFS0）の設定に従い、自動的にカウントを開始します。

レジスタスタートモードは、リセット解除後に各レジスタの設定後、リフレッシュ（レジスタ書き込み）により、カウントを開始します。

オートスタートモード、もしくはレジスタスタートモードの選択は、OFS0レジスタのWDTスタートモード選択ビット（OFS0.WDTSTRT）で行います。

オートスタートモード選択時は、WDTコントロールレジスタ（WDTCR）、WDTリセットコントロールレジスタ（WDTRCR）の設定は無効となり、OFS0レジスタの設定が有効となります。

一方、レジスタスタートモード選択時は、OFS0レジスタの設定は無効となり、WDTCR、WDTRCRレジスタの設定が有効となります。

28.3.1.1 レジスタスタートモード

WDTスタートモード選択ビット（OFS0.WDTSTRT）が“1”の場合、レジスタスタートモードとなり、WDTコントロールレジスタ（WDTCR）、WDTリセットコントロールレジスタ（WDTRCR）が有効となります。

リセット解除後、WDTCRレジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、またWDTRCRレジスタにリセット出力/割り込み要求出力の設定を行います。その後、リフレッシュ動作でダウンカウンタは、タイムアウト期間選択ビット（WDTCR.TOPS[1:0]）で設定した値からダウンカウントを開始します。

以後、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDTはリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDTはリセットを出力するか、もしくはノンマスカブル割り込み要求（WUNI）を出力します。リセット出力、または割り込み要求出力の選択は、リセット割り込み要求選択ビット（WDTRCR.RSTIRQS）の設定により行います。

図 28.3 に以下の条件での動作例を示します。

- レジスタスタートモード（OFS0.WDTSTRT=“1”）
- リセット出力許可（WDTRCR.RSTIRQS=“1”）
- ウィンドウ開始位置 75%（WDTCR.RPSS[1:0]=“10b”）
- ウィンドウ終了位置 25%（WDTCR.RPES[1:0]=“10b”）

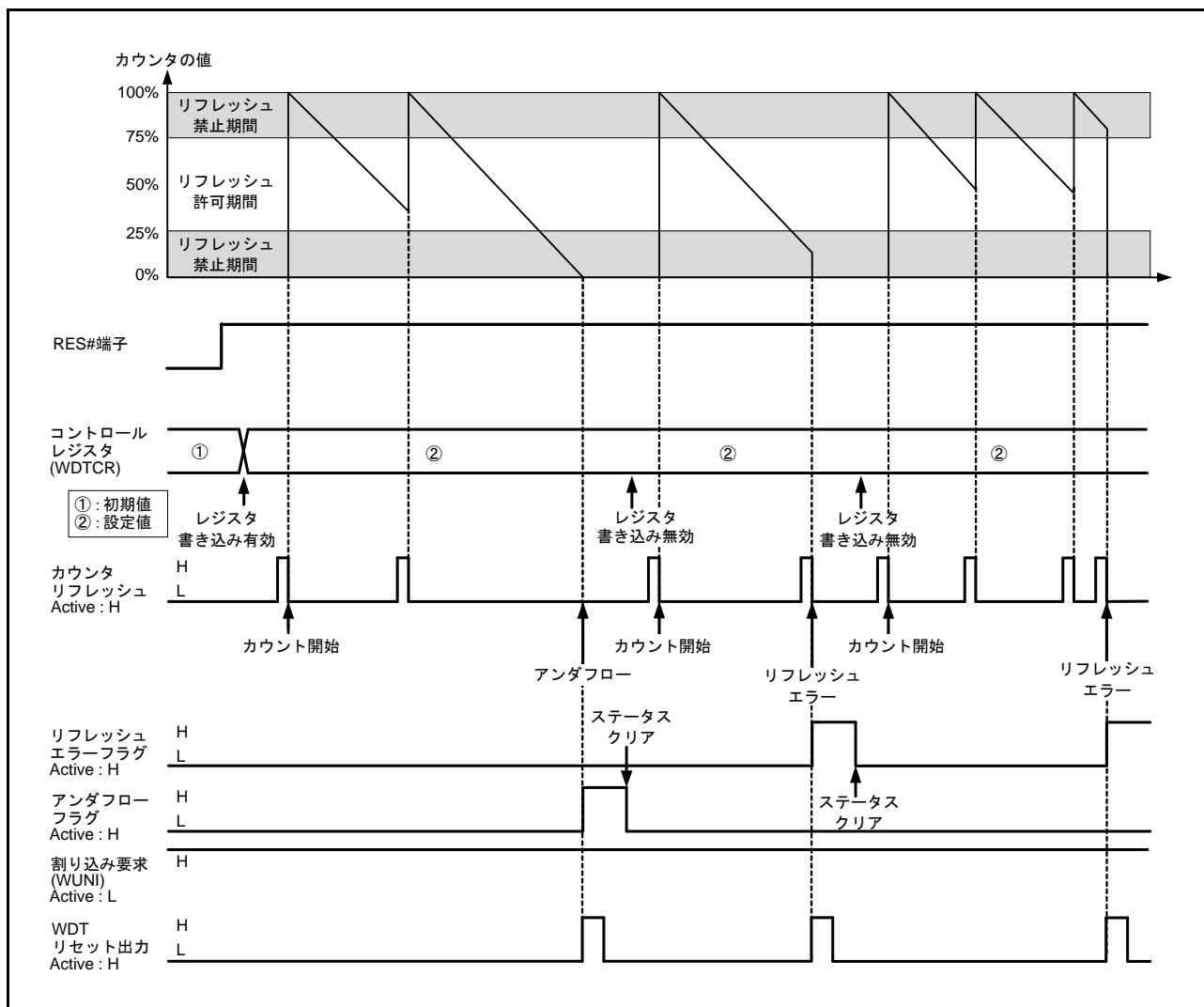


図 28.3 レジスタスタートモード動作例

28.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の WDT スタートモード選択ビット (OFS0.WDTSTRT) が “0” の場合、オートスタートモードとなり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) が無効となり、OFS0 レジスタの設定が有効になります。

リセット期間中にオプション機能選択レジスタ 0 (OFS0) の設定値 (クロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求) が WDT のレジスタに設定されます。その後、リセット解除でダウンカウンタに WDT タイムアウト期間選択ビット (OFS0.WDTPPS[1:0]) で設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。リセットまたはノンマスカブル割り込み要求を 1 カウントサイクル出力後、ダウンカウンタはタイムアウト期間の値がセットされ、カウント動作を再開します。リセット出力、または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) の設定により行います。

図 28.4 に以下の条件での動作例 (ノンマスカブル割り込み) を示します。

- オートスタートモード (OFS0.WDTSTRT=“0”)
- ノンマスカブル割り込み要求出力許可 (OFS0.WDTRSTIRQS=“0”)
- ウィンドウ開始位置 75% (OFS0.WDTRPSS[1:0]=“10b”)
- ウィンドウ終了位置 25% (OFS0.WDTRPES[1:0]=“10b”)

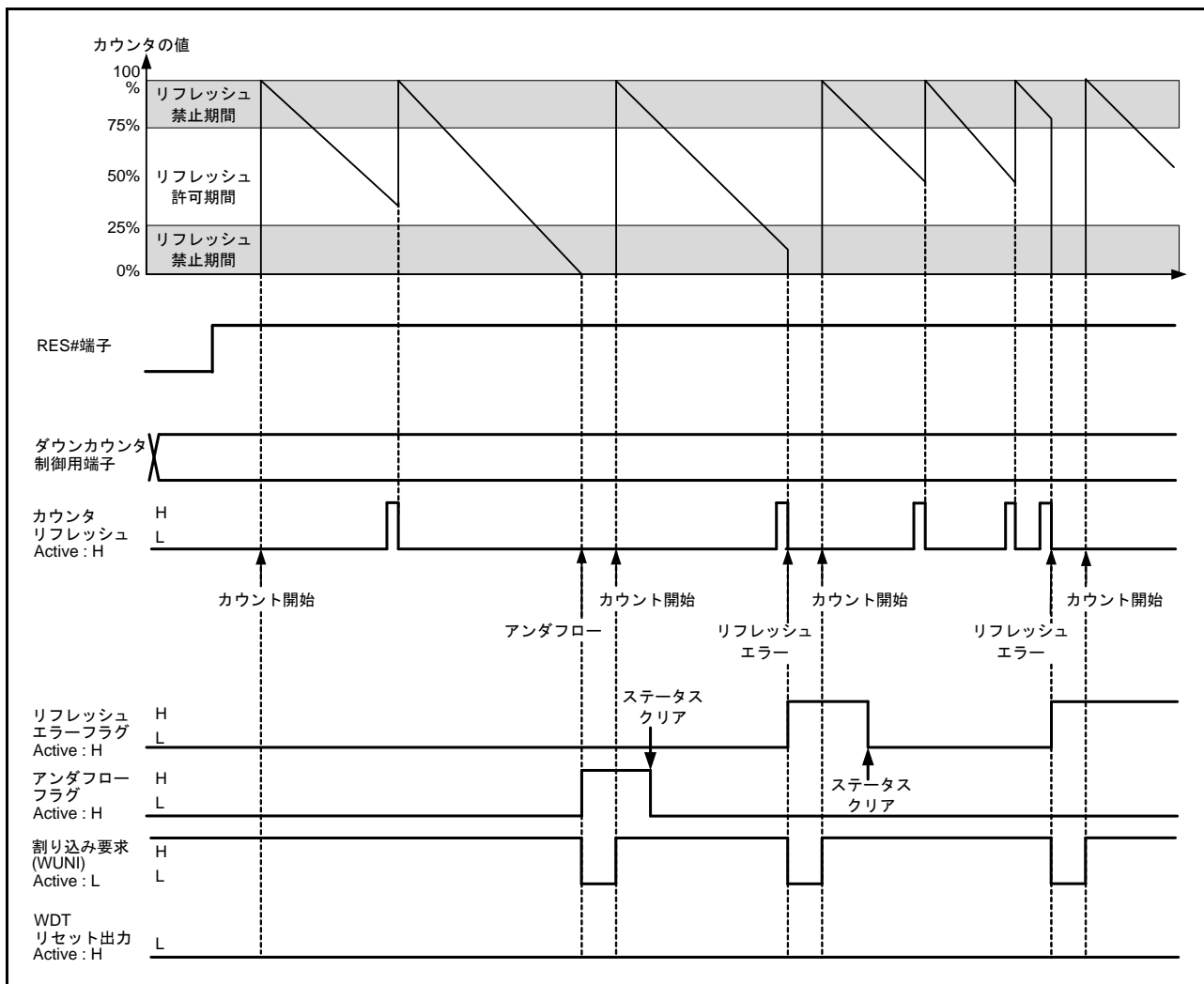


図 28.4 オートスタートモード動作例

28.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは WDTCR、WDTRCR レジスタへ書き込みを行うと、WDT 内部のプロテクト信号が“1”となり、以後 WDTCR、WDTRCR レジスタへの書き込みをプロテクトします。

WDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 28.5 に WDTCR レジスタ書き込み制御波形を示します。

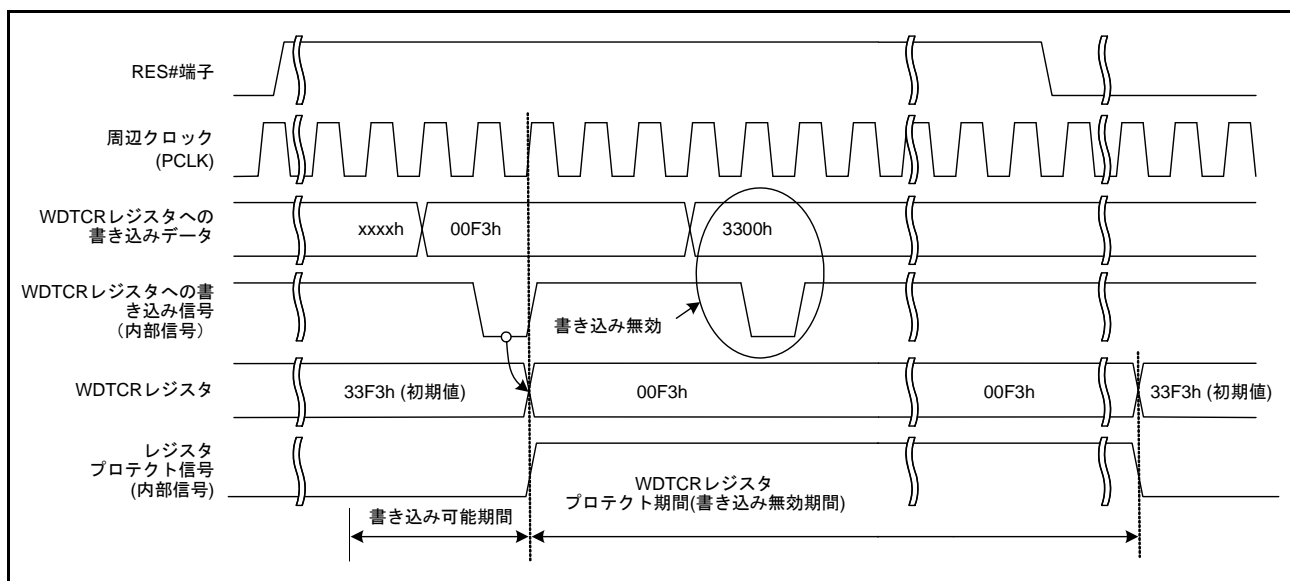


図 28.5 WDTCR レジスタ書き込み制御波形

28.3.3 リフレッシュ動作

ダウンカウンタのリフレッシュを行うには、WDT リフレッシュレジスタ (WDTRR) へ“00h”を書き込んだ後、続けて“FFh”書き込みを行ってください。“00h”の書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、WDTRR レジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

WDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、WDTRR レジスタ以外へのアクセス、または WDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

リフレッシュの書き込みは、リフレッシュ許可期間内に行う必要があります。書き込みが、リフレッシュ許可期間内かどうかの判定は、“FFh”の書き込み時に行っています。このため“00h”の書き込みがリフレッシュ許可期間外であってもリフレッシュは正常に行われます。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1 回目) → “00h” (n 回目) → “FFh”
- “00h” → 別レジスタアクセスまたは WDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h” 以外) → “FFh”
- “00h” → “54h” (“FFh” 以外)
- “00h” → “AAh” (“00h” および “FFh” 以外) → “FFh”

ダウンカウンタがリフレッシュされるタイミングは、WDT リフレッシュレジスタ (WDTRR) に “FFh” を書き込み後、カウントサイクル数で最大 4 サイクル必要となります。そのため、ダウンカウンタがアンダフローする 4 カウント前までに、WDTRR レジスタへの “FFh” 書き込みを完了してください。

図 28.6 にクロック分周比が PCLK/64 の場合の WDT リフレッシュ動作波形を示します。

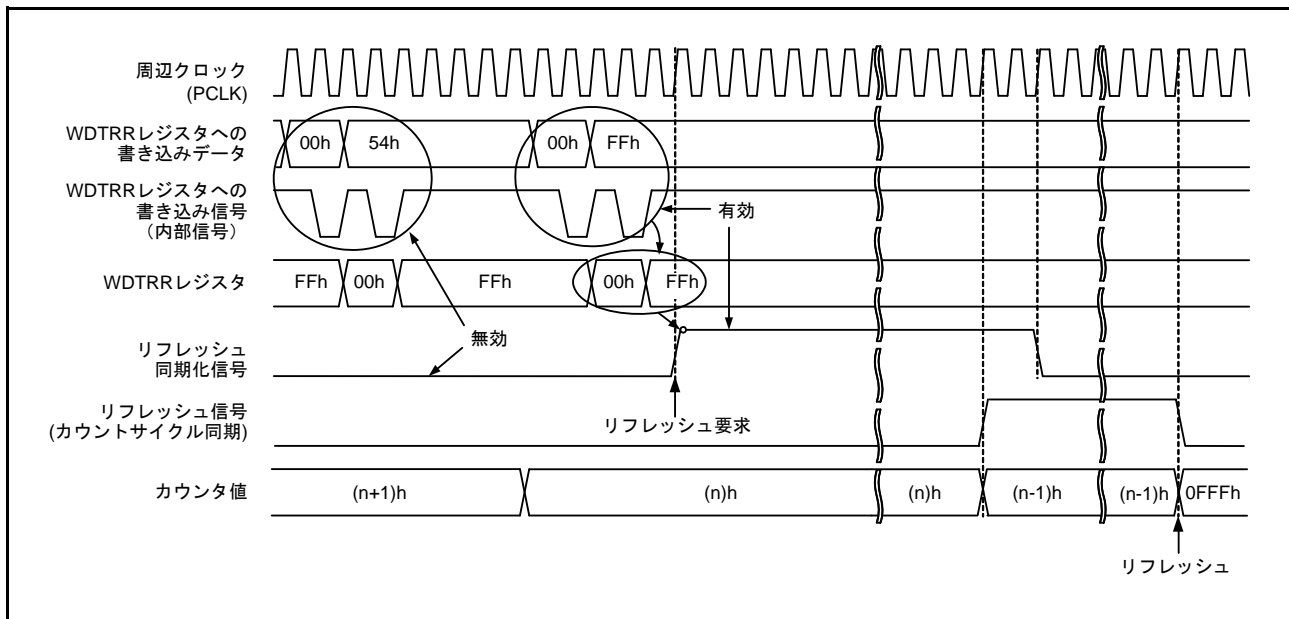


図 28.6 WDT リフレッシュ動作波形 (WDTA.CKS[3:0] = 0100b、WDTA.TOPS[1:0] = 01b)

28.3.4 リセット出力

レジスタスタートモード時、リセット割り込み選択ビット (WDTRCR.RSTIRQS) を “1” にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を “1” にした場合、ダウンカウンタのアンダフロー、またはリフレッシュエラーにより、1 カウントサイクル間リセットを出力します。

レジスタスタートモードでは、リセット出力後、ダウンカウンタは初期状態 (ALL“0”) で停止します。リセット解除後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット解除後、自動でダウンカウントを開始します。

28.3.5 割り込み要因

レジスタスタートモード時、リセット割り込み選択ビット (WDTRCR.RSTIRQS) を“0”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を“0”にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生したとき、割り込み (WUNI) が発生します。本割り込みはノンマスカブル割り込みに対応しています。詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

表 28.4 WDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
WUNI	ダウンカウンタのアンダフロー リフレッシュエラー	不可能	不可能

28.3.6 ダウンカウンタ値の読み出し

WDTはカウンタ値をWDTステータスレジスタのダウンカウンタ (WDTSR.CNTVAL[13:0] ビット) へ格納します。WDTSR.CNTVAL[13:0] ビットへ格納された値を読み出すことで、カウンタ値を確認することができます。

図 28.7 にクロック分周比が PCLK/64 の場合のダウンカウンタ値の読み出し処理を示します。

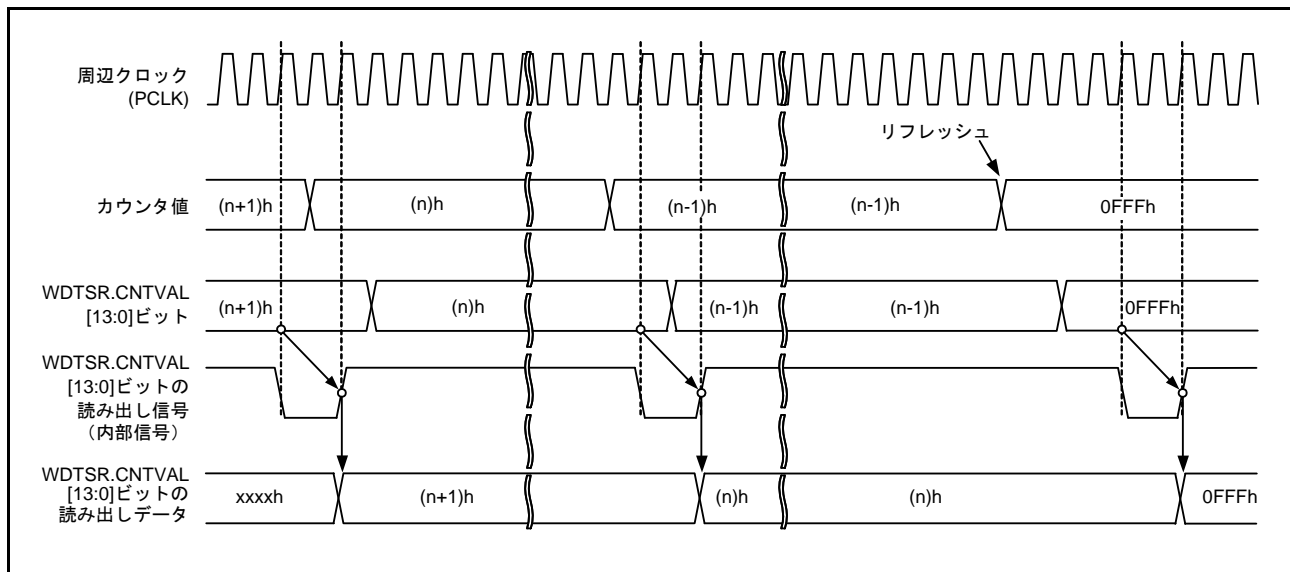


図 28.7 WDT ダウンカウンタ値の読み出し処理
(WDTCR.CKS[3:0] = 0100b, WDTCR.TOPS[1:0] = 01b)

28.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

表 28.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタの設定は、WDT 動作中は変更しないでください。

オプション機能選択レジスタ 0 (OFS0) については、「7.2.1 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表28.5 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.WDTSTRT = 0	WDT レジスタ (レジスタスタートモード時有効) OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTPPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.WDTRSTIRQS	WDTCR.RSTIRQS

29. 独立ウォッチドッグタイマ (IWDTa)

本章に記載している PCLK とは PCLKB を指します。

29.1 概要

独立ウォッチドッグタイマ (IWDT) は、プログラムの暴走を検知するために使用できます。IWDT のカウンタがアンダフローする前にリフレッシュするようプログラムを作成しておき、アンダフローが発生したら暴走したと判断できます。

WDT とは以下の点で機能が異なります。

- カウントソースは IWDT 専用低速クロック (IWDTCLK) を分周したもの (PCLK の影響を受けない)
- スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または、全モジュールクロックストップモードに遷移する場合に、カウンタを停止しない選択が可能 (IWDTCSTPR.SLCSTP ビットで選択)

表 29.1 に IWDT の仕様を、図 29.1 に IWDT のブロック図を示します。

表 29.1 IWDT の仕様

項目	内容
カウントソース (注1)	IWDT専用クロック (IWDTCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> • リセット後、自動的にカウント開始 (オートスタートモード) • リフレッシュ (IWDTRR レジスタに 00h を書き込み後、FFh を書き込む) により、カウント開始 (レジスタスタートモード)
カウント停止条件	<ul style="list-style-type: none"> • リセット (ダウンカウンタ、レジスタは初期値に戻る) • アンダフロー、リフレッシュエラー発生時 • カウント再開 (オートスタートモード: リセットもしくはノンマスカブル割り込み要求を出力後に自動でカウント再開、レジスタスタートモード: リフレッシュ後にカウント再開)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	<ul style="list-style-type: none"> • ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
ノンマスカブル割り込み要因	<ul style="list-style-type: none"> • ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
イベントリンク機能 (出力)	<ul style="list-style-type: none"> • ダウンカウンタのアンダフローイベント出力 • リフレッシュエラーイベント出力
出力信号 (内部信号)	<ul style="list-style-type: none"> • リセット出力 • 割り込み要求出力 • スリープモードカウント停止制御出力
オートスタートモード (オプション機能選択レジスタ 0 (OFS0) 制御)	<ul style="list-style-type: none"> • リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0] ビット) • リセット出力、または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット) • スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択 (OFS0.IWDTSLCSTP ビット)
レジスタスタートモード (IWDT レジスタ制御)	<ul style="list-style-type: none"> • リフレッシュ動作後のクロック分周比の選択 (IWDTCR.CKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCR.RPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCR.RPES[1:0] ビット) • リセット出力、または割り込み要求出力の選択 (IWDTCR.RSTIRQS ビット) • スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択 (IWDTCSTPR.SLCSTP ビット)

注1. 周辺モジュールクロック周波数 (PCLK) $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

IWDT 使用時は、周辺モジュールクロック (PCLK) が停止した場合に備え、IWDT 専用クロック (IWDTCLK) が必要です。バスインタフェース部とレジスタ部は PCLK で動作し、14 ビットのカウンタと制御回路は IWDTCLK で動作します。

図 29.1 に IWDT のブロック図を示します。

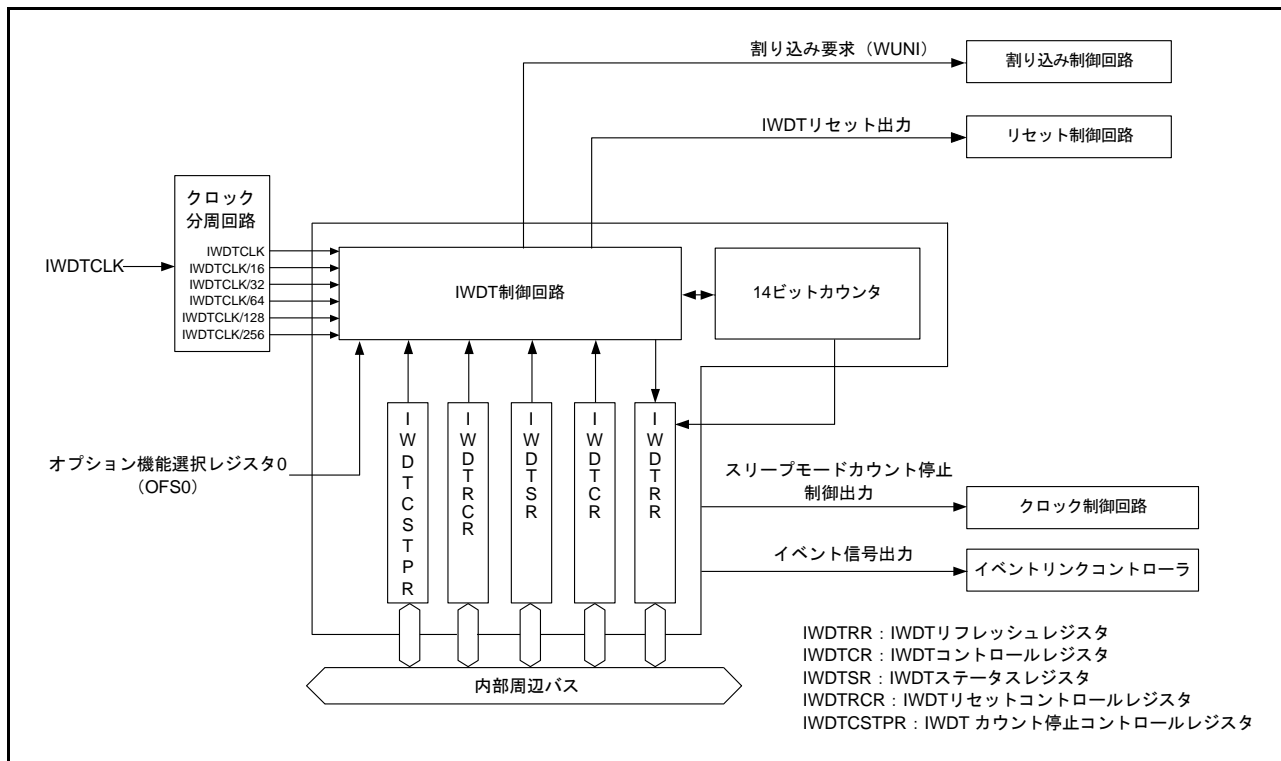
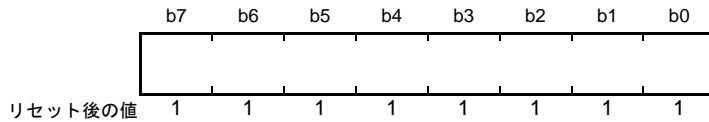


図 29.1 IWDT のブロック図

29.2 レジスタの説明

29.2.1 IWDt リフレッシュレジスタ (IWDtRR)

アドレス 0008 8030h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

IWDtRR レジスタは、IWDt のカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、IWDtRR レジスタに“00h”を書き込み後、“FFh”を書き込む（リフレッシュ動作）ことにより IWDt のカウンタをリフレッシュします。

カウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の IWDt タイムアウト期間選択ビット (OFS0.IWDtTOPS[1:0]) で設定した値からダウンカウントを行います。レジスタスタートモードの場合、IWDt コントロールレジスタのタイムアウト期間選択ビット (IWDtCR.TOPS[1:0]) で設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、IWDtCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「29.3.3 リフレッシュ動作」を参照してください。

29.2.2 IWDT コントロールレジスタ (IWDTCR)

アドレス 0008 8032h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0 : IWDTCLK 0 0 1 0 : IWDTCLK/16 0 0 1 1 : IWDTCLK/32 0 1 0 0 : IWDTCLK/64 1 1 1 1 : IWDTCLK/128 0 1 0 1 : IWDTCLK/256 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

IWDTCR レジスタへの書き込みには制限があります。詳細については、「29.3.2 IWDTCR レジスタ、IWDTCR レジスタ、IWDTCRSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「29.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

カウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを1サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDTCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 29.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および IWDTCLK 数の関係を示します。

表 29.2 タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK 数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	IWDTCLK	1024	1024
				0	1		4096	4096
				1	0		8192	8192
				1	1		16384	16384
0	0	1	0	0	0	IWDTCLK/16	1024	16384
				0	1		4096	65536
				1	0		8192	131072
				1	1		16384	262144
0	0	1	1	0	0	IWDTCLK/32	1024	32768
				0	1		4096	131072
				1	0		8192	262144
				1	1		16384	524288
0	1	0	0	0	0	IWDTCLK/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	IWDTCLK/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	0	1	0	0	IWDTCLK/256	1024	262144
				0	1		4096	1048576
				1	0		8192	2097152
				1	1		16384	4194304

CKS[3:0] ビット (クロック分周比選択ビット)

IWDT は、IWDTCLK を分周する分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。TOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDTCLK の 1024 ~ 4194304 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

カウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、TOPS[1:0] ビットの設定により変わります。

表 29.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始 / 終了位置のカウント値を示します。

表 29.3 タイムアウト期間とウィンドウ許可 / 終了カウンタ値対応表

TOPS[1:0] ビット		タイムアウト期間		リフレッシュ許可 / 終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

カウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 29.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可 / 禁止期間の関係を示します。

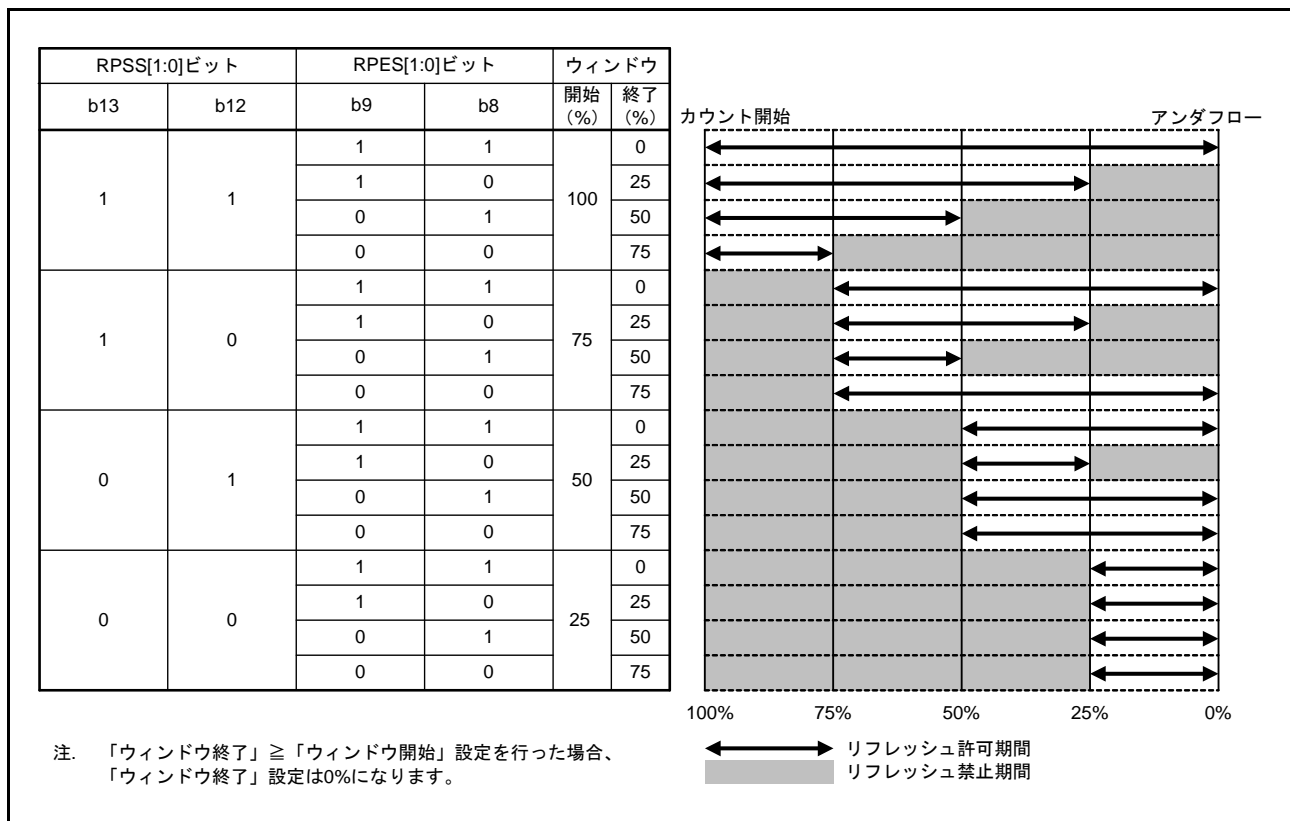
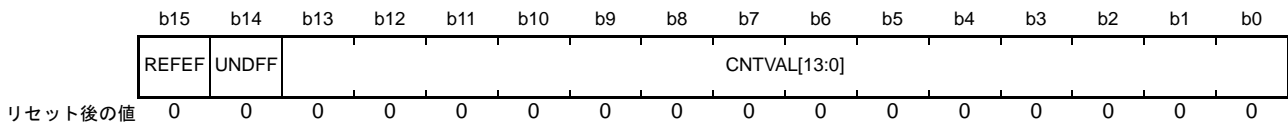


図 29.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

29.2.3 IWDT ステータスレジスタ (IWDTSR)

アドレス 0008 8034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

IWDTSR レジスタは、IWDT へのリセット要因により初期化されます。それ以外のリセット要因では初期化されません。

CNTVAL[13:0] ビット (カウンタ値ビット)

カウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、カウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

カウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、カウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

29.2.4 IWDt リセットコントロールレジスタ (IWDTRCR)

アドレス 0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0: ノンマスクブル割り込み要求出力を許可 1: リセット出力を許可	R/W

IWDTRCR レジスタへの書き込みには制限があります。詳細については、「29.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「29.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDt レジスタの対応」を参照してください。

29.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSTPR)

アドレス 0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
SLCSTP	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	SLCSTP	スリープモードカウント停止制御ビット	0: カウント停止無効 1: スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード遷移時のカウント停止有効	R/W

低消費電力状態時、IWDT のカウンタを停止させるかどうかを設定するレジスタです。なお、IWDTCSTPR レジスタへの書き込みには制限があります。詳細については、「29.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCSTPR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTCSTPR レジスタの各ビットと同様の設定が可能です。詳細については、「29.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

SLCSTP ビット (スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード遷移時のカウント停止を選択します。

29.2.6 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) については、「29.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

29.3 動作説明

29.3.1 カウント開始条件別の各動作

IWDT のスタートモードの選択は、オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) で行います。

OFS0.IWDTSTRT ビットが“1” (レジスタスタートモード) の場合、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、IWDT カウント停止コントロールレジスタ (IWDTCSTPR) の設定が有効となり、IWDT リフレッシュレジスタ (IWDTRR) へのリフレッシュ動作でカウントが開始されます。OFS0.IWDTSTRT ビットが“0” (オートスタートモード) の場合、オプション機能選択レジスタ 0 (OFS0) が有効となり、リセット後、自動的にカウントが開始されます。

29.3.1.1 レジスタスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が“1” の場合、レジスタスタートモードとなり、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSTPR) が有効となります。

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、IWDTRCR レジスタにリセット出力/割り込み要求出力、また IWDTCSTPR レジスタに低消費電力状態への遷移時での IWDT のカウンタのカウント停止制御の設定を行います。その後、リフレッシュ動作でカウンタにタイムアウト期間選択ビット (IWDTCR.TOPS[1:0]) で選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) で、リセット出力、または割り込み要求出力のいずれかを選択します。

図 29.3 に以下の条件での動作例を示します。

- IWDT スタートモード選択ビット (OFS0.IWDTSTRT) : “1” (レジスタスタートモード)
- IWDT リセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) : “1” (リセット出力許可)
- IWDT ウィンドウ開始位置選択ビット (IWDTCR.RPSS[1:0]) : “10b” (75%)
- IWDT ウィンドウ終了位置選択ビット (IWDTCR.RPES[1:0]) : “10b” (25%)

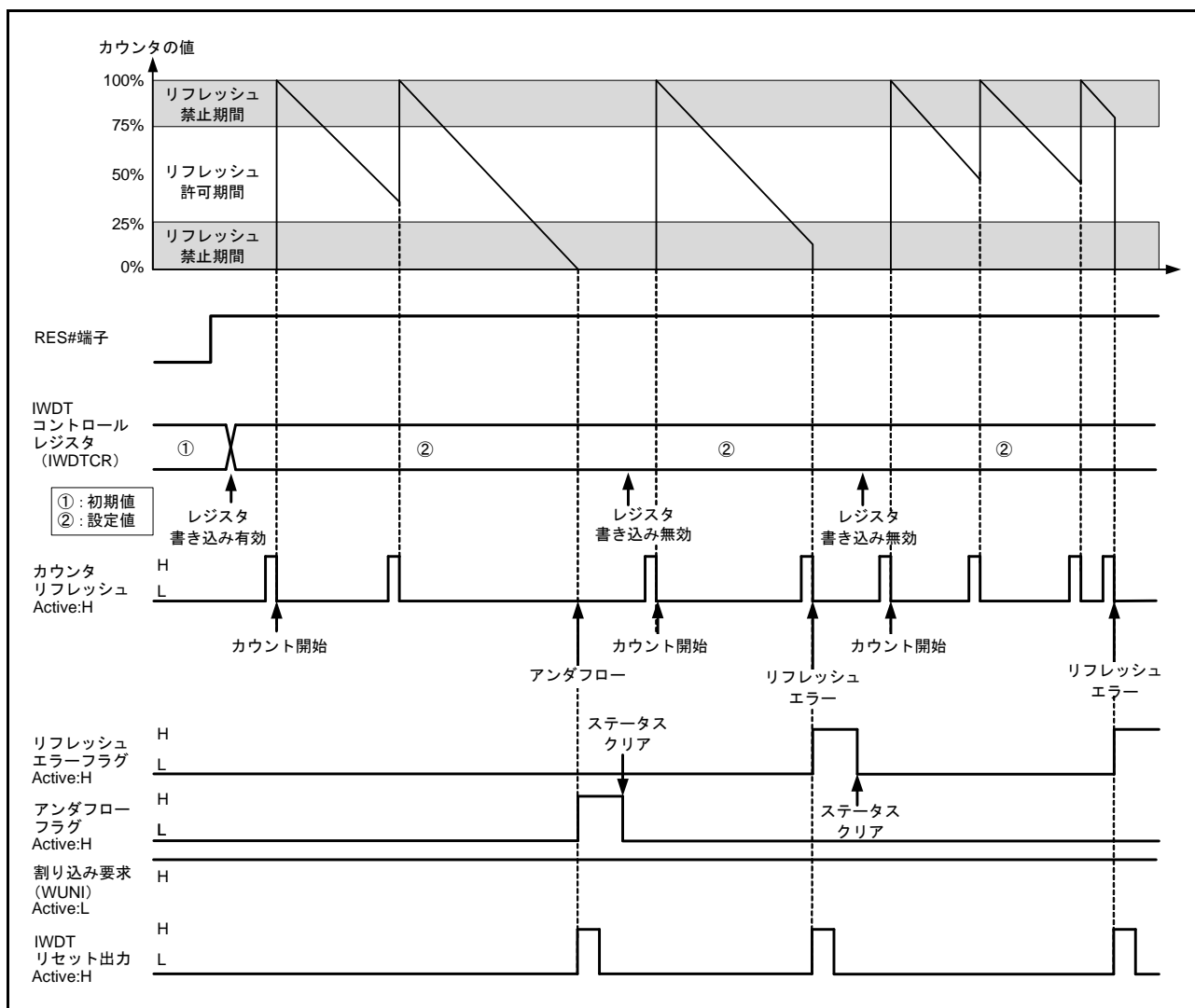


図 29.3 レジスタスタートモード動作例

29.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が “0” の場合、オートスタートモードとなり、IWDT コントロールレジスタ 0 (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSSTPR) が無効となります。

また、リセット期間中にオプション機能選択レジスタ 0 (OFS0) にクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求出力、また低消費電力状態への遷移時での IWDT のカウンタのカウント停止制御の設定を行います。その後、リセット解除でカウンタに IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。リセットまたはノンマスカブル割り込み要求 (WUNI) が発生後、1 サイクルカウント後にカウンタはタイムアウト期間をリロードし、カウント動作を再開します。IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) で、リセット出力、または割り込み要求出力のいずれかを選択します。

図 29.4 に以下の条件での動作例を示します。

- IWDT スタートモード選択ビット (OFS0.IWDTSTRT) : “0” (オートスタートモード)
- IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) : “0” (ノンマスカブル割り込み要求出力許可)
- IWDT ウィンドウ開始位置選択ビット (OFS0.IWDRPSS[1:0]) : “10b” (75%)
- IWDT ウィンドウ終了位置選択ビット (OFS0.IWDRPES[1:0]) : “10b” (25%)

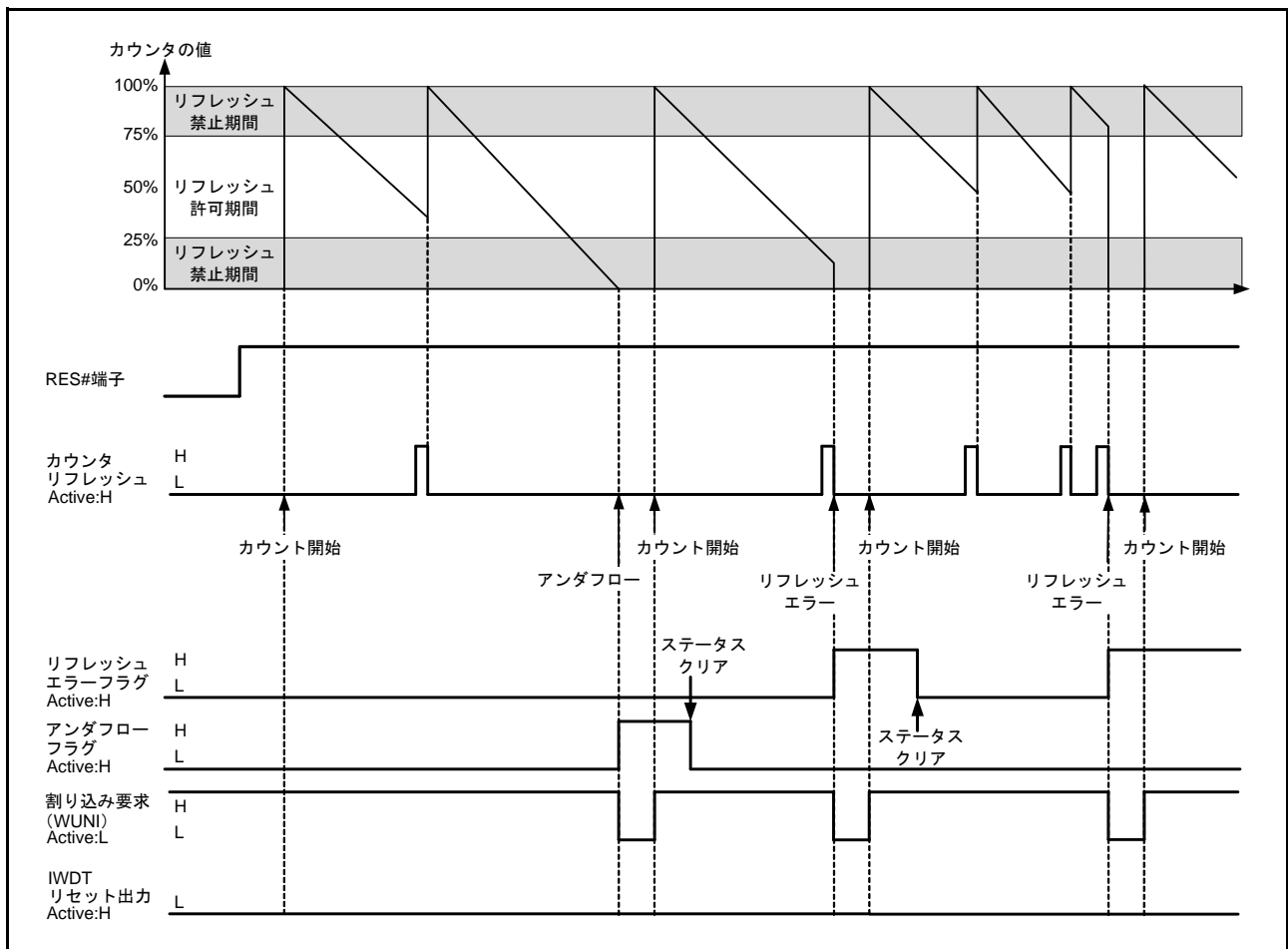


図 29.4 オートスタートモード動作例

29.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSPTPR レジスタ書き込み制御

IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSPTPR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは IWDTCR、IWDTRCR、または IWDTCSPTPR レジスタへ書き込みを行うと、IWDT 内部のプロテクト信号が“1”となり、以後 IWDTCR、IWDTRCR、および IWDTCSPTPR レジスタへの書き込みをプロテクトします。

IWDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 29.5 に IWDTCR レジスタ書き込み制御波形を示します。

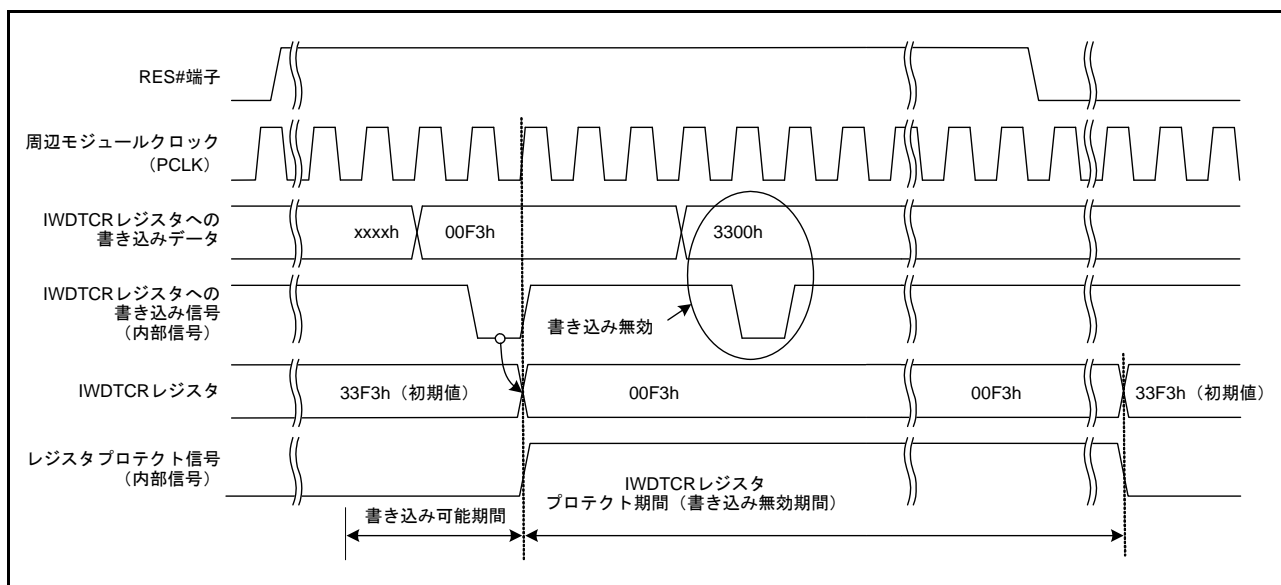


図 29.5 IWDTCR レジスタ書き込み制御波形

29.3.3 リフレッシュ動作

カウンタのリフレッシュ、およびカウンタ動作開始（リフレッシュによるカウント開始）を行うには、IWDTRR リフレッシュレジスタ (IWDTRR) へ “00h” 書き込みに続けて “FFh” 書き込みを行います。“00h” 書き込み後に “FFh” 以外を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタへ “00h” → “FFh” の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h” (1 回目) → “00h” (2 回目) の書き込みを行った場合でも、その後 “FFh” を書き込むことにより、“00h” → “FFh” 順の書き込み動作が成立するため、“00h” (n-1 回目) → “00h” (n 回目) → “FFh” のような書き込み動作も有効となり、リフレッシュを行います。“00h” 以前の書き込みが “00h” 以外でも同様に、“00h” → “FFh” 順の書き込み動作が成立すると、リフレッシュを行います。また、IWDTRR レジスタへの “00h” 書き込みと “FFh” 書き込みの間に、IWDTRR レジスタ以外へのアクセス、または IWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1 回目) → “00h” (n 回目) → “FFh”
- “00h” → 別レジスタアクセスまたは IWDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h” 以外) → “FFh”
- “00h” → “54h” (“FFh” 以外)
- “00h” → “AAh” (“00h” および “FFh” 以外) → “FFh”

リフレッシュ動作として、IWDTRR レジスタへの “00h” の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへの “FFh” の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、カウンタがリフレッシュされるタイミングは、IWDTRR レジスタに “FFh” を書き込み後、カウントサイクル数で最大 4 サイクル必要となります (1 サイクル間の IWDTRR 専用クロック (IWDTRRCLK) 数は、クロック分周比選択ビット (IWDTRR.CKS[3:0]) の設定値により異なります)。そのため、リフレッシュ許可期間終了位置から 4 カウント前、もしくはカウンタがアンダフローする 4 カウント前までに、IWDTRR レジスタへの “FFh” 書き込みを完了してください。カウンタの値はカウンタ値ビット (IWDTRR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置が “1FFFh” とした場合、IWDTRR レジスタへの “00h” の書き込みが “1FFFh” より前 (たとえば “2002h”) であっても、IWDTRR.CNTVAL[13:0] ビットの値が “1FFFh” になってから、IWDTRR レジスタへ “FFh” を書き込めばリフレッシュを行います。
- ウィンドウ終了位置が “1FFFh” とした場合、IWDTRR レジスタへ “00h” → “FFh” を書き込み直後に IWDTRR.CNTVAL[13:0] ビットの値を読み出して “2003h” (“1FFFh” の 4 カウント前) 以上であればリフレッシュを行います。
- “0000h” までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能となりますが、この場合 IWDTRR レジスタへ “00h” → “FFh” を書き込み直後に IWDTRR.CNTVAL[13:0] ビットの値を読み出して “0003h” (アンダフローの 4 カウント前) 以上であればアンダフローは発生せず、リフレッシュを行います。

図 29.6 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT リフレッシュ動作波形を示します。

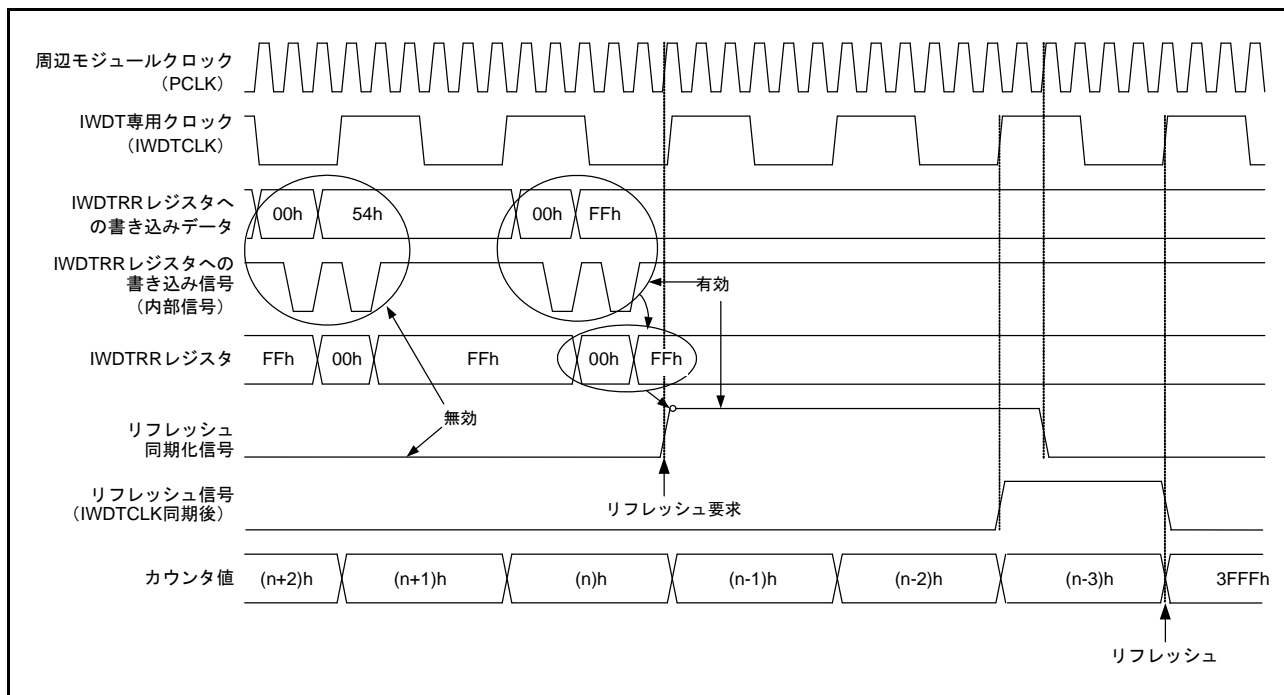


図 29.6 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

29.3.4 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF)、アンダフローフラグ (IWDTSR.UNDF) は、IWDT がリセットを出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に IWDTSR.REFEF フラグ、または IWDTSR.UNDF フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。“0”にしない場合は、次に IWDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に IWDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、各フラグに“0”を書いた後、その値が反映されるまでには、最大で IWDTCLK 3 クロックと PCLK 2 クロック必要です。

29.3.5 リセット出力

レジスタスタートモード時、リセット割り込み選択ビット (IWDTRCR.RSTIRQS) を“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を“1”にした場合、カウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、カウンタは初期状態 (ALL“0”) で保持されます。リセットを解除し再起動後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

29.3.6 割り込み要因

レジスタスタートモード時、リセット割り込み選択ビット (IWDTRCR.RSTIRQS) を“0”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を“0”にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生したとき、割り込み (WUNI) が発生します。本割り込みはノンマスクابل割り込みに対応していません。詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

表 29.4 IWDT の割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
WUNI	カウンタのアンダフロー リフレッシュエラー	不可能	不可能

29.3.7 カウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。そのため、IWDT はカウンタ値を周辺モジュールクロック (PCLK) で同期化し、IWDT ステータスレジスタのカウンタ (IWDTSR.CNTVAL[13:0] ビット) へ格納します。IWDTSR.CNTVAL[13:0] ビットへ格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLK で数クロック (最大4クロック) 必要となるため、読み出されるカウンタ値は、カウンタの実際の値に対し1カウントずれることがあります。

図 29.7 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT カウンタ値の読み出し処理を示します。

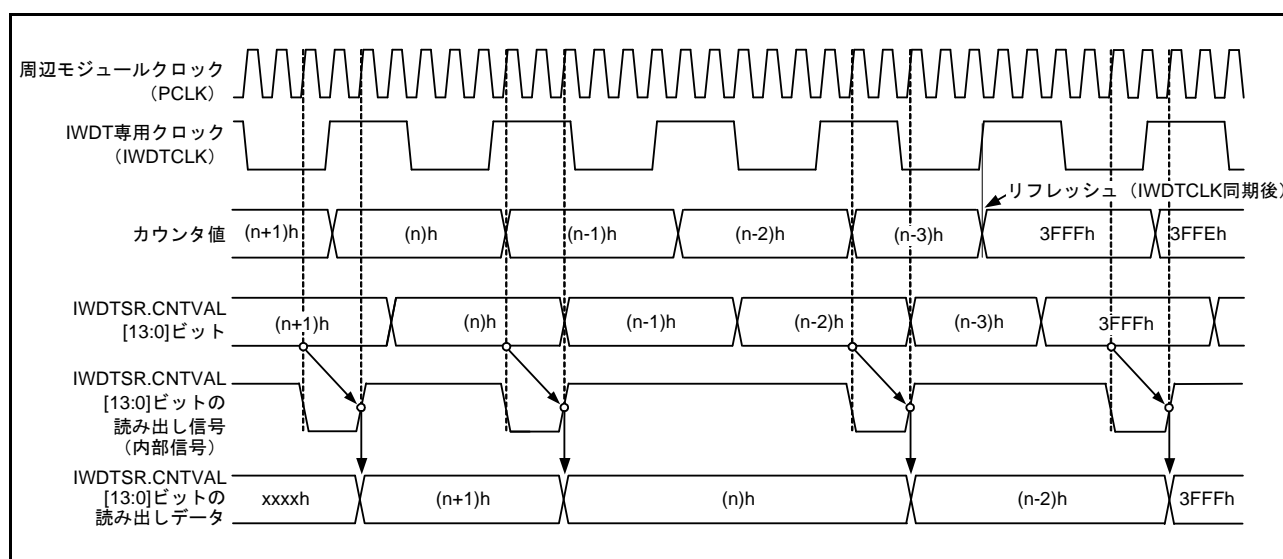


図 29.7 IWDT カウンタ値の読み出し処理
(IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

29.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

表 29.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタの設定は、IWDT 動作中は変更しないでください。

オプション機能選択レジスタ 0 (OFS0) については、「7.2.1 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表 29.5 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.IWDTSTRT = 0	IWDT レジスタ (レジスタスタートモード時有効) OFS0.IWDTSTRT = 1
カウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.IWDRSTIRQS	IWDTCR.RSTIRQS
カウンタ停止	スリープモードカウンタ停止制御	OFS0.IWDTSLCSTP	IWDTCTPR.SLCSTP

29.4 ELC によるリンク動作

IWDT は ELC により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。カウンタのアンダフローおよび、リフレッシュエラーによりイベント信号を出力します。

レジスタスタートモード時のリセット割り込み選択ビット (IWDTCR.RSTIRQS)、もしくはオートスタートモード時のリセット割り込み選択ビットの設定に関わらず、イベント信号を出力します。また、リフレッシュエラーフラグ (IWDTSR.REFEF)、またはアンダフローフラグ (IWDTSR.UNDF) が、“1” の状態で、次の割り込み要因が発生した場合でもイベント信号出力が可能です。

詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。

29.5 使用上の注意事項

29.5.1 リフレッシュ動作について

リフレッシュタイミングの設定においては、PCLK と IWDTCLK の精度を考慮し、誤差の範囲で周期が変化してもリフレッシュできる値を設定してください。

29.5.2 クロック分周比の設定

周辺モジュールクロック周波数 (PCLK) $\geq 4 \times$ (カウンタソースの分周後周波数) となるようにしてください。

30. シリアルコミュニケーションインタフェース (SCIE、SCIF)

本 MCU は、独立した 13 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communications Interface) を備えています。SCI は、SCIE モジュール (SCI0 ~ SCI11) と、SCIF モジュール (SCI12) から構成されています。

SCIE (SCI0 ~ SCI11) は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。さらに、簡易 I²C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。

SCIF (SCI12) は、SCIE の機能に加えて、Start Frame、Information Frame から構成される拡張シリアル通信プロトコルに対応しています。

本章に記載している PCLK とは PCLKB を指します。

30.1 概要

表 30.1 に SCIE の仕様を、表 30.2 に SCIF の仕様を、表 30.3 に SCI チャンネル別機能一覧を示します。

図 30.1 に SCI0 ~ SCI4, SCI7 ~ SCI11 のブロック図を、図 30.2 に SCI5、SCI6 のブロック図を、図 30.3 に SCI12 (SCIF) のブロック図を示します。

表 30.1 SCIE の仕様 (1/2)

項目	内容	
シリアル通信方式	<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス 	
転送速度	ボーレートジェネレータ内蔵により任意のビットレートを設定可能	
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能	
入出力端子	表 30.4 ~ 表 30.6 参照	
データ転送	LSB ファースト/MSB ファースト選択可能 (注1)	
割り込み要因	送信終了、送信データエンpty、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了 (簡易 I ² C モード用)	
消費電力低減機能	チャンネルごとにモジュールストップ状態への設定が可能	
調歩同期式モード	データ長	7ビット/8ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTS _n # 端子、RTS _n # 端子を用いた送受信制御が可能
	スタートビットの検出	Low または立ち下がりがエッジを選択可能
	ブ레이크検出	フレーミングエラー発生時、RXD _n 端子のレベルを直接リードすることでブ레이크を検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMR からの転送レートクロック入力が可能 (SCI5、SCI6)
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
ノイズ除去	RXD _n 端子入力経路にデジタルノイズフィルタを内蔵	

表 30.1 SCleの仕様 (2/2)

項目		内容
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカード インタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
	通信フォーマット	I ² Cバスフォーマット
簡易I ² Cモード	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	ファストモード対応 (転送速度は「30.2.9 ビットレートレジスタ (BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
	データ長	8ビット
簡易SPIモード	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
	イベントリンク機能 (SCI5のみ対応)	エラー (受信エラー・エラーシグナル検出) イベント出力 受信データフルイベント出力 送信データエンプティイベント出力 送信終了イベント出力

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表 30.2 SCIfの仕様 (1/2)

項目		内容
シリアル通信方式		<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易I²Cバス 簡易SPIバス
転送速度		ポーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表30.4～表30.7参照
データ転送		LSBファースト/MSBファースト選択可能 (注1)
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了 (簡易I ² Cモード用)
消費電力低減機能		モジュールストップ状態への設定が可能
調歩同期式モード	データ長	7ビット/8ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Lowまたは立ち下がリエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn端子のレベルを直接リードすることでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能 (SCI12)
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵	

表30.2 SCIfの仕様 (2/2)

項目		内容
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
	通信フォーマット	I ² Cバスフォーマット
簡易I ² Cモード	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	ファストモード対応 (転送速度は「30.2.9 ビットレイトレジスタ (BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
	データ長	8ビット
簡易SPIモード	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
	データ長	8ビット
拡張シリアルモード	Start Frame 送信	<ul style="list-style-type: none"> Break Field Low widthの出力が可能/出力完了割り込み機能あり バス衝突検出機能あり/検出割り込み機能あり
	Start Frame 受信	<ul style="list-style-type: none"> Break Field Low widthの検出が可能/検出完了割り込み機能あり Control Field 0、Control Field 1のデータ比較/一致割り込み機能あり Control Field 1にはプライマリ/セカンダリの2種類の比較データを設定可能 Control Field 1にプライオリティインタラプトビットを設定可能 Break FieldがないStart Frameにも対応可能 Control Field 0がないStart Frameにも対応可能 ビットレイト測定機能あり
	入出力制御機能	<ul style="list-style-type: none"> TXDX12/RXDX12信号の極性選択が可能 RXDX12信号にデジタルフィルタ機能を設定可能 RXDX12端子とTXDX12端子を兼用した半二重通信が可能 RXDX12端子受信データサンプリングタイミング選択可能 拡張シリアルモード制御部OFF時、RXDX12受信信号をSCleヘスルー出力可能
	タイマ機能	<ul style="list-style-type: none"> リロードタイマ機能として使用可能

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表30.3 SCIチャネル別機能一覧

項目	SCI0～SCI4、 SCI7～SCI11	SCI5	SCI6	SCI12
調歩同期式モード	○	○	○	○
クロック同期式モード	○	○	○	○
スマートカードインタフェースモード	○	○	○	○
簡易I ² Cモード	○	○	○	○
簡易SPIモード	○	○	○	○
拡張シリアルモード	—	—	—	○
TMRクロック入力	—	○	○	○
イベントリンク機能	—	○	—	—

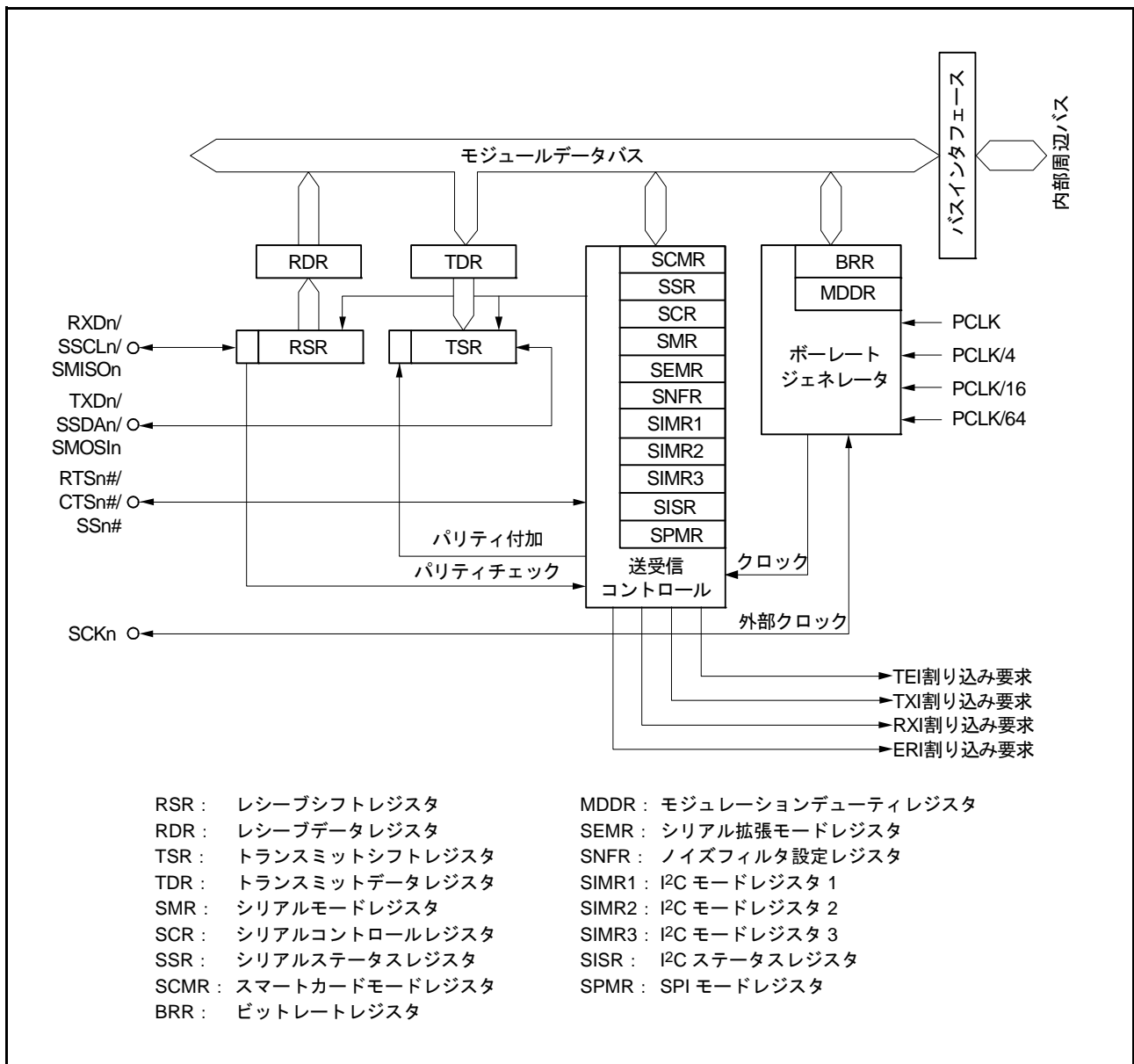


図 30.1 SCle (SCI0 ~ SCI4、SCI7 ~ SCI11) のブロック図

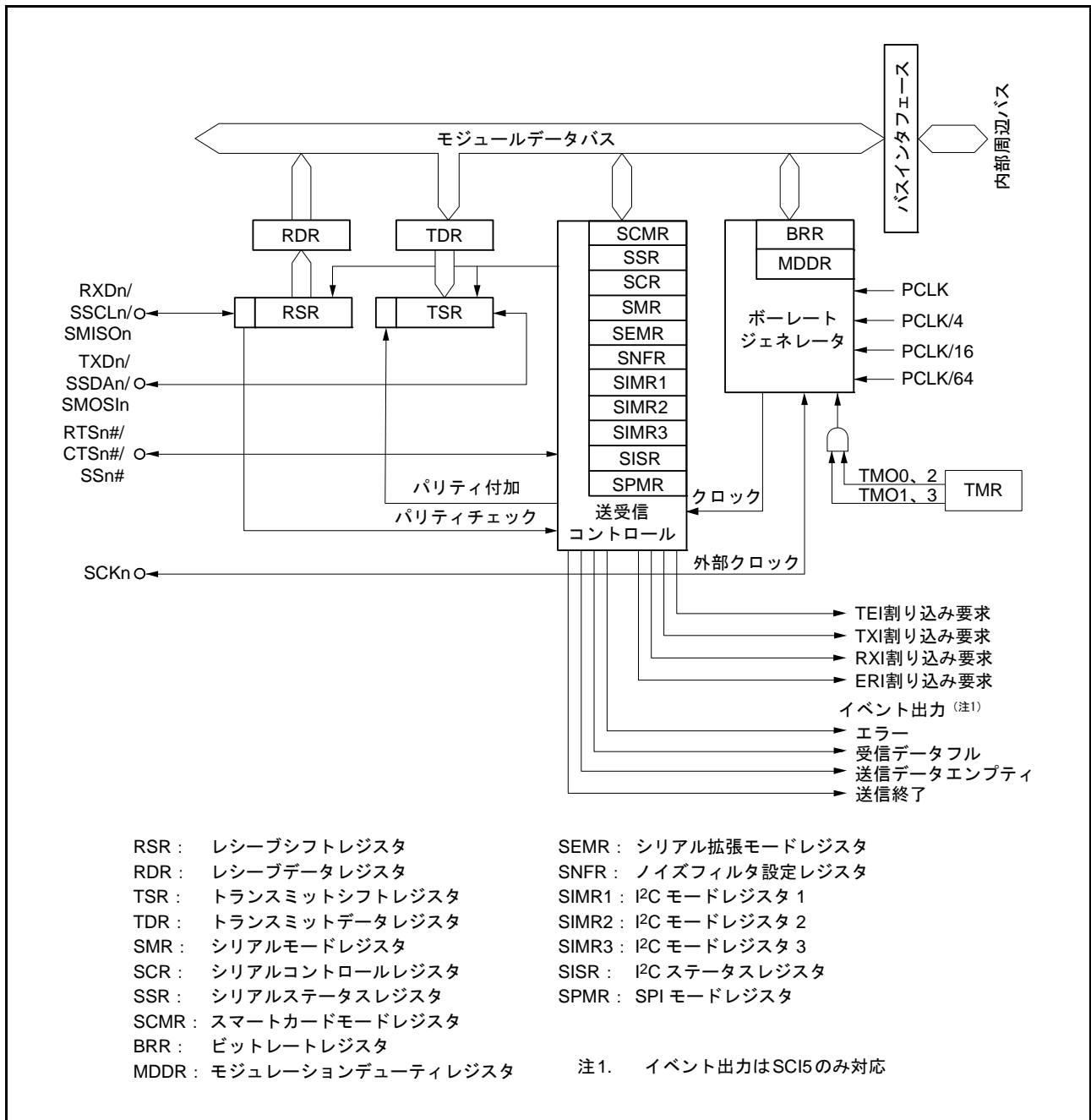


図 30.2 SCIE (SCI5、SCI6) のブロック図

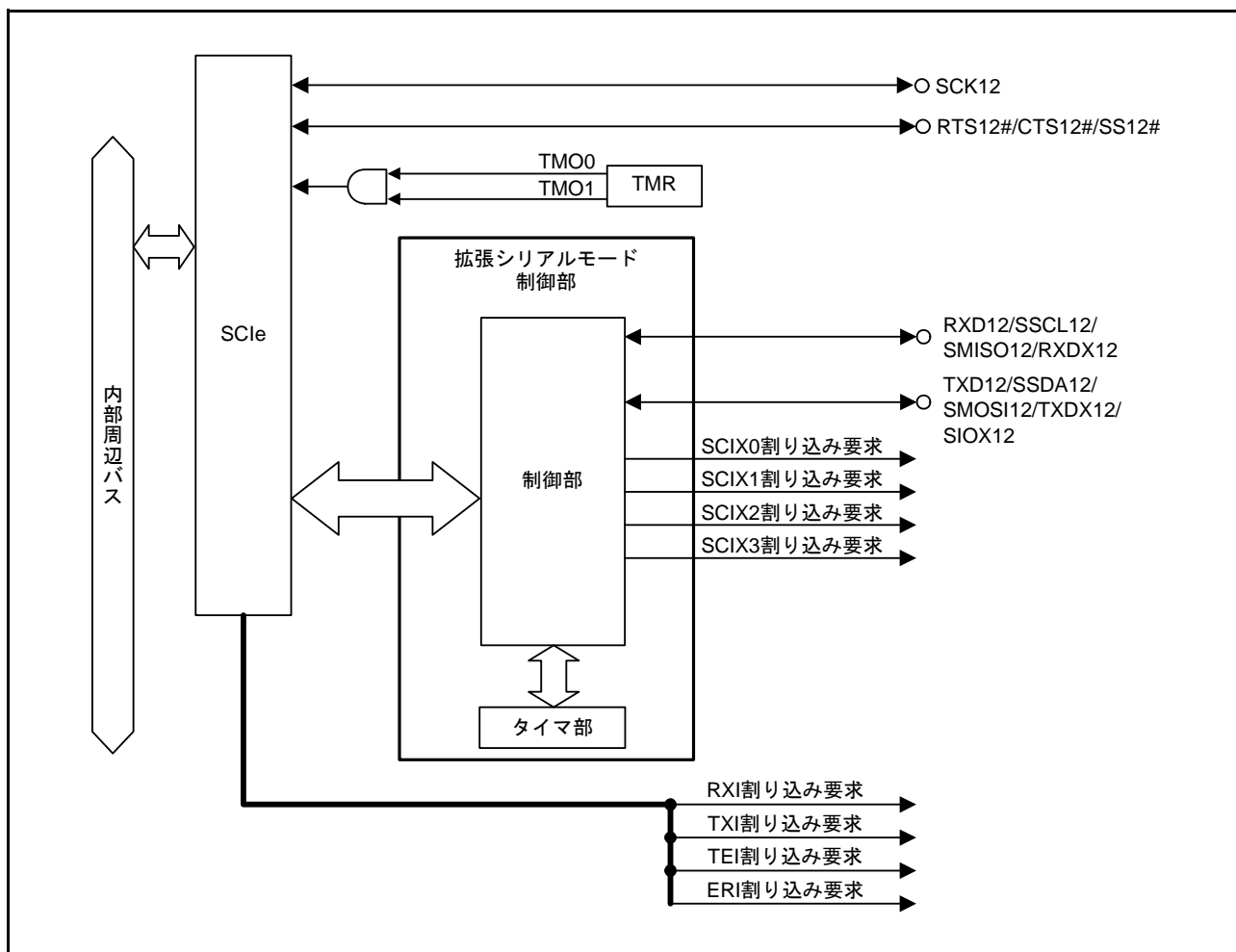


図 30.3 SCIf (SCI12) のブロック図

表 30.4 ~ 表 30.7 に SCI の入出力端子をモード別に示します。

表 30.4 SCI の入出力端子 (調歩同期式/クロック同期式モード) (1/2)

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	RXD0	入力	SCI0の受信データ入力端子
	TXD0	出力	SCI0の送信データ出力端子
	CTS0#/RTS0#	入出力	SCI0送受信開始制御用入出力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1	入力	SCI1の受信データ入力端子
	TXD1	出力	SCI1の送信データ出力端子
	CTS1#/RTS1#	入出力	SCI1送受信開始制御用入出力端子
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	RXD2	入力	SCI2の受信データ入力端子
	TXD2	出力	SCI2の送信データ出力端子
	CTS2#/RTS2#	入出力	SCI2送受信開始制御用入出力端子
SCI3	SCK3	入出力	SCI3のクロック入出力端子
	RXD3	入力	SCI3の受信データ入力端子
	TXD3	出力	SCI3の送信データ出力端子
	CTS3#/RTS3#	入出力	SCI3送受信開始制御用入出力端子
SCI4	SCK4	入出力	SCI4のクロック入出力端子
	RXD4	入力	SCI4の受信データ入力端子
	TXD4	出力	SCI4の送信データ出力端子
	CTS4#/RTS4#	入出力	SCI4送受信開始制御用入出力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RXD5	入力	SCI5の受信データ入力端子
	TXD5	出力	SCI5の送信データ出力端子
	CTS5#/RTS5#	入出力	SCI5送受信開始制御用入出力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	RXD6	入力	SCI6の受信データ入力端子
	TXD6	出力	SCI6の送信データ出力端子
	CTS6#/RTS6#	入出力	SCI6送受信開始制御用入出力端子
SCI7	SCK7	入出力	SCI7のクロック入出力端子
	RXD7	入力	SCI7の受信データ入力端子
	TXD7	出力	SCI7の送信データ出力端子
	CTS7#/RTS7#	入出力	SCI7送受信開始制御用入出力端子
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	RXD8	入力	SCI8の受信データ入力端子
	TXD8	出力	SCI8の送信データ出力端子
	CTS8#/RTS8#	入出力	SCI8送受信開始制御用入出力端子
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	RXD9	入力	SCI9の受信データ入力端子
	TXD9	出力	SCI9の送信データ出力端子
	CTS9#/RTS9#	入出力	SCI9送受信開始制御用入出力端子

表 30.4 SCIの入出力端子 (調歩同期式/クロック同期式モード) (2/2)

チャンネル	端子名	入出力	機能
SCI10	SCK10	入出力	SCI11のクロック入出力端子
	RXD10	入力	SCI11の受信データ入力端子
	TXD10	出力	SCI11の送信データ出力端子
	CTS10#/RTS10#	入出力	SCI11送受信開始制御用入出力端子
SCI11	SCK11	入出力	SCI11のクロック入出力端子
	RXD11	入力	SCI11の受信データ入力端子
	TXD11	出力	SCI11の送信データ出力端子
	CTS11#/RTS11#	入出力	SCI11送受信開始制御用入出力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	RXD12	入力	SCI12の受信データ入力端子
	TXD12	出力	SCI12の送信データ出力端子
	CTS12#/RTS12#	入出力	SCI12送受信開始制御用入出力端子

表 30.5 SCIの入出力端子 (簡易I²Cモード)

チャンネル	端子名	入出力	機能
SCI0	SSCL0	入出力	SCI0のI ² Cクロック入出力端子
	SSDA0	入出力	SCI0のI ² Cデータ入出力端子
SCI1	SSCL1	入出力	SCI1のI ² Cクロック入出力端子
	SSDA1	入出力	SCI1のI ² Cデータ入出力端子
SCI2	SSCL2	入出力	SCI2のI ² Cクロック入出力端子
	SSDA2	入出力	SCI2のI ² Cデータ入出力端子
SCI3	SSCL3	入出力	SCI3のI ² Cクロック入出力端子
	SSDA3	入出力	SCI3のI ² Cデータ入出力端子
SCI4	SSCL4	入出力	SCI4のI ² Cクロック入出力端子
	SSDA4	入出力	SCI4のI ² Cデータ入出力端子
SCI5	SSCL5	入出力	SCI5のI ² Cクロック入出力端子
	SSDA5	入出力	SCI5のI ² Cデータ入出力端子
SCI6	SSCL6	入出力	SCI6のI ² Cクロック入出力端子
	SSDA6	入出力	SCI6のI ² Cデータ入出力端子
SCI7	SSCL7	入出力	SCI7のI ² Cクロック入出力端子
	SSDA7	入出力	SCI7のI ² Cデータ入出力端子
SCI8	SSCL8	入出力	SCI8のI ² Cクロック入出力端子
	SSDA8	入出力	SCI8のI ² Cデータ入出力端子
SCI9	SSCL9	入出力	SCI9のI ² Cクロック入出力端子
	SSDA9	入出力	SCI9のI ² Cデータ入出力端子
SCI10	SSCL10	入出力	SCI10のI ² Cクロック入出力端子
	SSDA10	入出力	SCI10のI ² Cデータ入出力端子
SCI11	SSCL11	入出力	SCI11のI ² Cクロック入出力端子
	SSDA11	入出力	SCI11のI ² Cデータ入出力端子
SCI12	SSCL12	入出力	SCI12のI ² Cクロック入出力端子
	SSDA12	入出力	SCI12のI ² Cデータ入出力端子

表 30.6 SCIの入出力端子 (簡易SPIモード) (1/2)

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	SMISO0	入出力	SCI0のスレーブ送出データ入出力端子
	SMOSI0	入出力	SCI0のマスタ送出データ入出力端子
	SS0#	入力	SCI0チップセレクト入力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	SMISO1	入出力	SCI1のスレーブ送出データ入出力端子
	SMOSI1	入出力	SCI1のマスタ送出データ入出力端子
	SS1#	入力	SCI1チップセレクト入力端子
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	SMISO2	入出力	SCI2のスレーブ送出データ入出力端子
	SMOSI2	入出力	SCI2のマスタ送出データ入出力端子
	SS2#	入力	SCI2チップセレクト入力端子
SCI3	SCK3	入出力	SCI3のクロック入出力端子
	SMISO3	入出力	SCI3のスレーブ送出データ入出力端子
	SMOSI3	入出力	SCI3のマスタ送出データ入出力端子
	SS3#	入力	SCI3チップセレクト入力端子
SCI4	SCK4	入出力	SCI4のクロック入出力端子
	SMISO4	入出力	SCI4のスレーブ送出データ入出力端子
	SMOSI4	入出力	SCI4のマスタ送出データ入出力端子
	SS4#	入力	SCI4チップセレクト入力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	SMISO5	入出力	SCI5のスレーブ送出データ入出力端子
	SMOSI5	入出力	SCI5のマスタ送出データ入出力端子
	SS5#	入力	SCI5チップセレクト入力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	SMISO6	入出力	SCI6のスレーブ送出データ入出力端子
	SMOSI6	入出力	SCI6のマスタ送出データ入出力端子
	SS6#	入力	SCI6チップセレクト入力端子
SCI7	SCK7	入出力	SCI7のクロック入出力端子
	SMISO7	入出力	SCI7のスレーブ送出データ入出力端子
	SMOSI7	入出力	SCI7のマスタ送出データ入出力端子
	SS7#	入力	SCI7チップセレクト入力端子
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	SMISO8	入出力	SCI8のスレーブ送出データ入出力端子
	SMOSI8	入出力	SCI8のマスタ送出データ入出力端子
	SS8#	入力	SCI8チップセレクト入力端子
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	SMISO9	入出力	SCI9のスレーブ送出データ入出力端子
	SMOSI9	入出力	SCI9のマスタ送出データ入出力端子
	SS9#	入力	SCI9チップセレクト入力端子
SCI10	SCK10	入出力	SCI10のクロック入出力端子
	SMISO10	入出力	SCI10のスレーブ送出データ入出力端子
	SMOSI10	入出力	SCI10のマスタ送出データ入出力端子
	SS10#	入力	SCI10チップセレクト入力端子

表 30.6 SCIの入出力端子 (簡易SPIモード) (2/2)

チャンネル	端子名	入出力	機能
SCI11	SCK11	入出力	SCI11のクロック入出力端子
	SMISO11	入出力	SCI11のスレーブ送出データ入出力端子
	SMOSI11	入出力	SCI11のマスタ送出データ入出力端子
	SS11#	入力	SCI11チップセレクト入力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	SMISO12	入出力	SCI12のスレーブ送出データ入出力端子
	SMOSI12	入出力	SCI12のマスタ送出データ入出力端子
	SS12#	入力	SCI12チップセレクト入力端子

表 30.7 SCIの入出力端子 (拡張シリアルモード)

チャンネル	端子名	入出力	機能
SCI12	RXDX12	入力	SCI12の受信データ入力端子
	TXDX12	出力	SCI12の送信データ出力端子
	SIOX12	入出力	SCI12送受信データ入出力端子

30.2 レジスタの説明

30.2.1 レシーブシフトレジスタ (RSR)

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

30.2.2 レシーブデータレジスタ (RDR)

アドレス SC10.RDR 0008 A005h, SC11.RDR 0008 A025h, SC12.RDR 0008 A045h, SC13.RDR 0008 A065h,
SC14.RDR 0008 A085h, SC15.RDR 0008 A0A5h, SC16.RDR 0008 A0C5h, SC17.RDR 0008 A0E5h,
SC18.RDR 0008 A105h, SC19.RDR 0008 A125h, SC110.RDR 0008 A145h, SC111.RDR 0008 A165h,
SC112.RDR 0008 B305h



RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

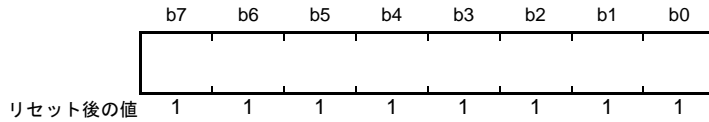
RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

30.2.3 トランスミットデータレジスタ (TDR)

アドレス SCI0.TDR 0008 A003h, SCI1.TDR 0008 A023h, SCI2.TDR 0008 A043h, SCI3.TDR 0008 A063h,
SCI4.TDR 0008 A083h, SCI5.TDR 0008 A0A3h, SCI6.TDR 0008 A0C3h, SCI7.TDR 0008 A0E3h,
SCI8.TDR 0008 A103h, SCI9.TDR 0008 A123h, SCI10.TDR 0008 A143h, SCI11.TDR 0008 A163h,
SCI12.TDR 0008 B303h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を続けます。

TDR レジスタは CPU からリード/ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

30.2.4 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

30.2.5 シリアルモードレジスタ (SMR)

注. SMRレジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット=0)

アドレス SCI0.SMR 0008 A000h, SCI1.SMR 0008 A020h, SCI2.SMR 0008 A040h, SCI3.SMR 0008 A060h, SCI4.SMR 0008 A080h, SCI5.SMR 0008 A0A0h, SCI6.SMR 0008 A0C0h, SCI7.SMR 0008 A0E0h, SCI8.SMR 0008 A100h, SCI9.SMR 0008 A120h, SCI10.SMR 0008 A140h, SCI11.SMR 0008 A160h, SCI12.SMR 0008 B300h

b7	b6	b5	b4	b3	b2	b1	b0
CM	CHR	PE	PM	STOP	MP	CKS[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0: PCLKクロック (n=0) (注1) 0 1: PCLK/4クロック (n=1) (注1) 1 0: PCLK/16クロック (n=2) (注1) 1 1: PCLK/64クロック (n=3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモードビット	(調歩同期式モードのみ有効) 0: マルチプロセッサ通信機能を禁止 1: マルチプロセッサ通信機能を許可	R/W (注4)
b3	STOP	ストップビットレングスビット	(調歩同期式モードのみ有効) 0: 1ストップビット 1: 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(PEビット=1のときのみ有効) 0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W (注4)
b5	PE	パリティイネーブルビット	(調歩同期式モードのみ有効) ● 送信時 0: パリティビットなし 1: パリティビットを付加 ● 受信時 0: パリティなしで受信 1: パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタレングスビット	(調歩同期式モードのみ有効) 0: データ長8ビットで送受信 (注2) 1: データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0: 調歩同期式モードで動作 1: クロック同期式モード、または簡易SPIモードで動作	R/W (注4)

注1. nは設定値の10進表示で、「30.2.9 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. 調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7) は送信されません。

注4. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「30.2.9 ビットレートレジスタ (BRR)」を参照してください。

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の許可/禁止を選択します。マルチプロセッサモードでは、PE、PMビットの設定は無効です。

STOP ビット (ストップビットレングスビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティイネーブルビット)

PE ビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット (キャラクタレングスビット)

送受信データのデータ長を選択します。

調歩同期式モード以外では、データ長は8ビット固定です。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SC10.SMR 0008 A000h, SC11.SMR 0008 A020h, SC12.SMR 0008 A040h, SC13.SMR 0008 A060h,
SC14.SMR 0008 A080h, SC15.SMR 0008 A0A0h, SC16.SMR 0008 A0C0h, SC17.SMR 0008 A0E0h,
SC18.SMR 0008 A100h, SC19.SMR 0008 A120h, SC110.SMR 0008 A140h, SC111.SMR 0008 A160h,
SC112.SMR 0008 B300h

	b7	b6	b5	b4	b3	b2	b1	b0
	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクト ビット	b1 b0 0 0 : PCLKクロック (n=0) (注1) 0 1 : PCLK/4クロック (n=1) (注1) 1 0 : PCLK/16クロック (n=2) (注1) 1 1 : PCLK/64クロック (n=3) (注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロック パルスビット	SCMR.BCP2ビットと組み合わせて選択します。 表30.8にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモード ビット	(PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注2)
b5	PE	パリティ イネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティ チェックを行います。スマートカードインタフェースモードでは、PEビットは “1”にして使用してください	R/W (注2)
b6	BLK	ブロック転送 モードビット	0 : 通常モードで動作します 1 : ブロック転送モードで動作します	R/W (注2)
b7	GM	GSMモードビット	0 : 通常モードで動作します 1 : GSMモードで動作します	R/W (注2)

注1. nは設定値の10進表示で、「30.2.9 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「30.2.9 ビットレートレジスタ (BRR)」を参照してください。

BCP[1:0] ビット (基本クロック パルスビット)

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2 ビットと組み合わせて選択します。

詳細は、「30.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。

表30.8 SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック (S=93) (注1)
0	0	1	128クロック (S=128) (注1)
0	1	0	186クロック (S=186) (注1)
0	1	1	512クロック (S=512) (注1)
1	0	0	32クロック (S=32) (注1) (初期値)
1	0	1	64クロック (S=64) (注1)
1	1	0	372クロック (S=372) (注1)
1	1	1	256クロック (S=256) (注1)

注1. Sは「30.2.9 ビットレートレジスタ (BRR)」中のSの値を表します。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「30.6.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。

PE ビット (パリティイネーブルビット)

PE ビットは“1”にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット (ブロック転送モードビット)

BLK ビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「30.6.3 ブロック転送モード」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”にすると、GSM モードで動作します。

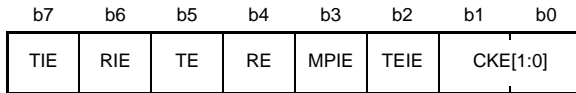
GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0etu (etu : Elementary Time Unit、1ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「30.6.6 シリアルデータの送信 (ブロック転送モードを除く)」、「30.6.8 クロック出力制御」を参照してください。

30.2.6 シリアルコントロールレジスタ (SCR)

注. SCRレジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI0.SCR 0008 A002h, SCI1.SCR 0008 A022h, SCI2.SCR 0008 A042h, SCI3.SCR 0008 A062h, SCI4.SCR 0008 A082h, SCI5.SCR 0008 A0A2h, SCI6.SCR 0008 A0C2h, SCI7.SCR 0008 A0E2h, SCI8.SCR 0008 A102h, SCI9.SCR 0008 A122h, SCI10.SCR 0008 A142h, SCI11.SCR 0008 A162h, SCI12.SCR 0008 B302h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> • SCI0～SCI4、SCI7～SCI11の場合 (調歩同期式の場合) b1 b0 0 0: 内蔵ポーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できません 0 1: 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x: 外部クロック SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください <ul style="list-style-type: none"> (クロック同期式の場合) b1 b0 0 x: 内部クロック SCKn端子はクロック出力端子となります 1 x: 外部クロック SCKn端子はクロック入力端子となります 	R/W (注1)
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> • SCI5、SCI6、SCI12の場合 (調歩同期式の場合) b1 b0 0 0: 内蔵ポーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できません 0 1: 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x: 外部クロックまたはTMRクロック ・外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。 SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください ・TMRクロックを使用可能 TMRクロック使用時は、I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます。 <ul style="list-style-type: none"> (クロック同期式の場合) b1 b0 0 x: 内部クロック: SCKn端子はクロック出力端子となります 1 x: 外部クロック SCKn端子はクロック入力端子となります 	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	0: TEI割り込み要求を禁止 1: TEI割り込み要求を許可	R/W

ビット	シンボル	ビット名	機能	R/W
b3	MPIE	マルチプロセッサインタラプトイネーブルビット	(調歩同期式モードで、SMR.MPビット="1"のとき有効) 0: 通常の受信動作 1: マルチプロセッサビットが"0"の受信データは読み飛ばし、SSR. ORER, FERの各ステータスフラグのセット("1")を禁止します。マルチプロセッサビットが"1"のデータを受信すると、MPIEビットは自動的にクリア("0")され、通常の受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブルビット	0: RXIおよびERI割り込み要求を禁止 1: RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプトイネーブルビット	0: TXI割り込み要求を禁止 1: TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. SMR.CMビットが"1"のときは、TEビット=0、REビット=0の場合のみ"1"を書き込み可能です。

一度、TE、REビットのいずれかを"1"にした後は、TEビット=0、REビット=0の書き込みのみ可能になります。SMR.CMビットが"0"かつSIMR1のICMビットが"0"のときは、任意のタイミングで書き込みが可能です。

CKE[1:0] ビット (クロックイネーブルビット)

クロックソースおよび SCKn 端子の機能を選択します。

内蔵 TMR クロックは SEMR.ACS0 ビットと組み合わせて設定します。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを"0"にすることで行うことができます。

簡易 I²C モードでは、開始/再開/停止条件生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も TEIE ビットにより STI 割り込み要求を許可、または禁止することができます。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

MPIE ビットを"1"にすると、マルチプロセッサビットが"0"の受信データは読み飛ばし、SSR. ORER、FER の各ステータスフラグは"1"にされません。マルチプロセッサビットが"1"のデータを受信すると、MPIE ビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は「30.4 マルチプロセッサ通信機能」を参照してください。

SSR.MPB ビット=0を含む受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、ORER、FER の各フラグのセット("1")は行いません。

MPB ビット=1を含む受信データを受信すると、MPB ビットを"1"にし、MPIE ビットを自動的に"0"にし、RXI、ERI 割り込み要求 (SCR の RIE ビットが"1"にされている場合) と、ORER、FER フラグのセット("1")が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには"0"を書き込んでください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを"1"にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを"1"にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを"0"にして受信動作を停止しても、SSR. ORER、FER、PER の各フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR.ORER, FER, PER の各フラグから“1”を読み出した後、“0”にするか、RIE ビットを“0”にすることで行うことができます。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SC10.SCR 0008 A002h, SC11.SCR 0008 A022h, SC12.SCR 0008 A042h, SC13.SCR 0008 A062h,
SC14.SCR 0008 A082h, SC15.SCR 0008 A0A2h, SC16.SCR 0008 A0C2h, SC17.SCR 0008 A0E2h,
SC18.SCR 0008 A102h, SC19.SCR 0008 A122h, SC110.SCR 0008 A142h, SC111.SCR 0008 A162h,
SC112.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> SMR.GMビット=0の場合 b1 b0 0 0 : 出カディセーブル (I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます) 0 1 : クロック出力 1 x : (設定しないでください) SMR.GMビット=1の場合 b1 b0 0 0 : Low出力固定 x 1 : クロック出力 1 0 : High出力固定 	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	0 : RXIおよびERI割り込み要求を禁止 1 : RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0 : TXI割り込み要求を禁止 1 : TXI割り込み要求を許可	R/W

x : Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. TEビット=0、REビット=0の場合のみ“1”を書き込みしてください。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ行ってください。

各割り込み要求については、「30.11 割り込み要因」を参照してください。

CKE[1:0] ビット (クロックイネーブルビット)

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「30.6.8 クロック出力制御」を参照してください。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR.ORER, FER, PER の各フラグから“1”を読み出した後、“0”にするか、RIE ビットを“0”にすることで行うことができます。

30.2.7 シリアルステータスレジスタ (SSR)

注. SSRレジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI0.SSR 0008 A004h, SCI1.SSR 0008 A024h, SCI2.SSR 0008 A044h, SCI3.SSR 0008 A064h, SCI4.SSR 0008 A084h, SCI5.SSR 0008 A0A4h, SCI6.SSR 0008 A0C4h, SCI7.SSR 0008 A0E4h, SCI8.SSR 0008 A104h, SCI9.SSR 0008 A124h, SCI10.SSR 0008 A144h, SCI11.SSR 0008 A164h, SCI12.SSR 0008 B304h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	ORER	FER	PER	TEND	MPB	MPBT

リセット後の値 x x 0 0 0 1 0 0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b7-b6	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

MPB ビット (マルチプロセッサビット)

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが“0”のときは変化しません。

TEND フラグ (トランスミットエンドフラグ)

送信が終了したことを表示します。

["1"になる条件]

- SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが "1" にされた状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1"の状態を読み出した後、"0"を書き込んだとき
PER フラグを "0" にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

["1"になる条件]

- ストップビットが "0" のとき
2ストップモードのときは、1ビット目のストップビットが "1" であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが "1" にされた状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1"の状態を読み出した後、"0"を書き込んだとき
FER フラグを "0" にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1"になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに "1" にされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

["0"になる条件]

- "1"の状態を読み出した後、"0"を書き込んだとき
ORER フラグを "0" にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、ORER フラグは影響を受けず以前の状態を保持します。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SC10.SSR 0008 A004h, SC11.SSR 0008 A024h, SC12.SSR 0008 A044h, SC13.SSR 0008 A064h,
SC14.SSR 0008 A084h, SC15.SSR 0008 A0A4h, SC16.SSR 0008 A0C4h, SC17.SSR 0008 A0E4h,
SC18.SSR 0008 A104h, SC19.SSR 0008 A124h, SC110.SSR 0008 A144h, SC111.SSR 0008 A164h,
SC112.SSR 0008 B304h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	ORER	ERS	PER	TEND	MPB	MPBT

リセット後の値 x x 0 0 0 1 0 0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは“0”としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。“0” としてください	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLow応答なし 1: エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b7-b6	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

TEND フラグ (トランスミットエンドフラグ)

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき“1”にされます。

["1"になる条件]

- SCR.TE ビット = 0 (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないとき
セットされるタイミングは、レジスタの設定により以下のように異なります。
SMR.GM ビット = 0、SMR.BLK ビット = 0 のとき、送信開始から 12.5etu 後
SMR.GM ビット = 0、SMR.BLK ビット = 1 のとき、送信開始から 11.5etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 0 のとき、送信開始から 11.0etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 1 のとき、送信開始から 11.0etu 後

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき

パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが“1”にされた状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
PER フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0”（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ（エラーシグナルステータスフラグ）

["1"になる条件]

- エラーシグナル Low をサンプリングしたとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ERS フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0”にしても、ERS フラグは影響を受けず以前の状態を保持します。

ORER フラグ（オーバランエラーフラグ）

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1"になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに“1”にされた状態では、以降のシリアル受信を続けることはできません。

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ORER フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0”にしても、ORER フラグは影響を受けず以前の状態を保持します。

30.2.8 スマートカードモードレジスタ (SCMR)

アドレス SC10.SCMR 0008 A006h, SC11.SCMR 0008 A026h, SC12.SCMR 0008 A046h, SC13.SCMR 0008 A066h, SC14.SCMR 0008 A086h, SC15.SCMR 0008 A0A6h, SC16.SCMR 0008 A0C6h, SC17.SCMR 0008 A0E6h, SC18.SCMR 0008 A106h, SC19.SCMR 0008 A126h, SC110.SCMR 0008 A146h, SC111.SCMR 0008 A166h, SC112.SCMR 0008 B306h

b7	b6	b5	b4	b3	b2	b1	b0
BCP2	—	—	—	SDIR	SINV	—	SMIF

リセット後の値 1 1 1 1 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモードセレクトビット	0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易I ² Cモード) 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインバートビット	0: TDRレジスタの内容をそのまま送信、受信データをそのままRDRレジスタに格納 1: TDRレジスタの内容を反転して送信、受信データを反転してRDRレジスタに格納	R/W (注1)
b3	SDIR	送受信データ転送方向ビット	以下のモードで使用可能です。 <ul style="list-style-type: none"> スマートカードインタフェースモード 調歩同期式モード (マルチプロセッサモード) クロック同期式モード 簡易SPIモード 簡易I ² Cモードで動作させる場合は、“1”にします 0: LSBファーストで送受信 1: MSBファーストで送受信	R/W (注1)
b6-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせて選択します 表30.9にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SMIF ビット (スマートカードインタフェースモードセレクトビット)

スマートカードインタフェースモードで動作させるときは、“1”を設定します。

非スマートカードインタフェースモードである調歩同期式 (マルチプロセッサモード含む)、クロック同期式モード、簡易SPIモード、および簡易I²Cモードで動作させるときは、“0”を設定します。

SINV ビット (送受信データインバートビット)

送受信データのロジックレベルを反転します。SINVビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PMビットを反転してください。

BCP2 ビット (基本クロックパルスビット2)

スマートカードインタフェースモードにおいて1ビット転送期間中の基本クロック数を、SMR.BCP[1:0]ビットと組み合わせて選択します。

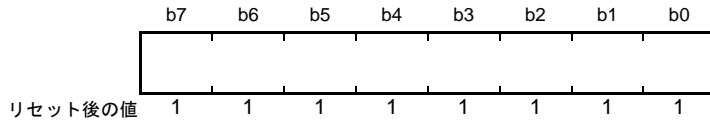
表30.9 SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック (S=93) (注1)
0	0	1	128クロック (S=128) (注1)
0	1	0	186クロック (S=186) (注1)
0	1	1	512クロック (S=512) (注1)
1	0	0	32クロック (S=32) (注1) (初期値)
1	0	1	64クロック (S=64) (注1)
1	1	0	372クロック (S=372) (注1)
1	1	1	256クロック (S=256) (注1)

注1. Sは「30.2.9 ビットレートレジスタ (BRR)」中のSの値を表します。

30.2.9 ビットレートレジスタ (BRR)

アドレス SCI0.BRR 0008 A001h, SCI1.BRR 0008 A021h, SCI2.BRR 0008 A041h, SCI3.BRR 0008 A061h,
SCI4.BRR 0008 A081h, SCI5.BRR 0008 A0A1h, SCI6.BRR 0008 A0C1h, SCI7.BRR 0008 A0E1h,
SCI8.BRR 0008 A101h, SCI9.BRR 0008 A121h, SCI10.BRR 0008 A141h, SCI11.BRR 0008 A161h,
SCI12.BRR 0008 B301h



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モードおよび簡易 I²C モードにおける BRR レジスタの設定値 N とビットレート B の関係を表 30.10 に示します。

BRR レジスタの初期値は FFh です。

BRR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 30.10 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR.ABCSビット	BRRレジスタの設定値	誤差
調歩同期式、 マルチプロ セッサ通信	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、 簡易SPI		$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカード インタフェース		$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易I ² C (注1)		$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B : ビットレート (bps)

N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

PCLK : 動作周波数 (MHz)

n と S : 下表のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C規格を満たすようビットレートを調整してください。

表 30.11 SCL High/Low幅算出式

モード	SCL	算出式 (秒(s))
I ² C	High幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表30.12 クロックソースの設定

SMR.CKS[1:0]ビットの設定	クロックソース	n
00	PCLKクロック	0
01	PCLK/4クロック	1
10	PCLK/16クロック	2
11	PCLK/64クロック	3

表30.13 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2ビットの設定	SMR.BCP[1:0]ビットの設定	1ビット期間中の基本クロックパルス数	S
0	00	93クロック	93
0	01	128クロック	128
0	10	186クロック	186
0	11	512クロック	512
1	00	32クロック	32
1	01	64クロック	64
1	10	372クロック	372
1	11	256クロック	256

通常の調歩同期式モードにおける **BRR** レジスタの値 **N** の設定例を表 30.14 に、各動作周波数における設定可能な最大ビットレートを表 30.15 に示します。また、クロック同期式モードおよび簡易 **SPI** モードにおける **BRR** レジスタの値 **N** の設定例を表 30.18 に、スマートカードインタフェースモードにおける **BRR** レジスタの値 **N** の設定例を表 30.18 に、簡易 **I²C** モードにおける **BRR** レジスタの値 **N** の設定例を表 30.22 に示します。スマートカードインタフェースモードでは1ビット転送期間の基本クロック数 **S** を選択できます。詳細は「30.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 30.16、表 30.19 に外部クロック入力時の最大ビットレートを示します。

調歩同期式モードでシリアル拡張モードレジスタ (**SEMR**) の調歩同期基本クロックセレクトビット (**ABCS**) を“1”にしたときのビットレートは表 30.14 の2倍になります。

表30.14 ビットレートに対するBRRの設定例 (調歩同期式モード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

ビット レート (bps)	動作周波数PCLK (MHz)								
	20			25			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13
150	3	64	0.16	3	80	0.47	3	97	-0.35
300	2	129	0.16	2	162	-0.15	2	194	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35
1200	1	129	0.16	1	162	-0.15	1	194	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35
4800	0	129	0.16	0	162	-0.15	0	194	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35
31250	0	19	0.00	0	24	0.00	0	29	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73

注. SEMR.ABCSビット=0のときの例です。
 ABCSビット=1にしたときは、ビットレートが2倍になります。

表 30.15 各動作周波数における最大ビットレート (調歩同期式モード)

PCLK (MHz)	最大ビットレート (bps)	n	N
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0
25	781250	0	0
30	937500	0	0

注. SEMR.ABCSビット=1にしたときは、ビットレートが2倍になります。

表 30.16 外部クロック入力時の最大ビットレート (調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)	
		SEMR.ABCSビット=0	SEMR.ABCSビット=1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500

表30.17 TMRクロック入力時の最大ビットレート (調歩同期式モード)

PCLK (MHz)	TMRクロック (MHz)	最大ビットレート (bps)	
		SEMR.ABCSビット=0	SEMR.ABCSビット=1
8	4	250000	500000
9.8304	4.9152	307200	614400
10	5	312500	625000
12	6	375000	750000
12.288	6.144	384000	768000
14	7	437500	875000
16	8	500000	1000000
17.2032	8.6016	537600	1075200
18	9	562500	1125000
19.6608	9.8304	614400	1228800
20	10	625000	1250000
25	12.5	781250	1562500
30	15	937500	1875000

表30.18 ビットレートに対するBRRの設定例 (クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数PCLK (MHz)											
	8		10		16		20		25		30	
	n	N	n	N	n	N	n	N	n	N	n	N
110												
250	3	124	—	—	3	249						
500	2	249	—	—	3	124	—	—			3	233
1k	2	124	—	—	2	249	—	—	3	97	3	116
2.5k	1	199	1	249	2	99	2	124	2	155	2	187
5k	1	99	1	124	1	199	1	249	2	77	2	93
10k	0	199	0	249	1	99	1	124	1	155	1	187
25k	0	79	0	99	0	159	0	199	0	249	1	74
50k	0	39	0	49	0	79	0	99	0	124	0	149
100k	0	19	0	24	0	39	0	49	0	62	0	74
250k	0	7	0	9	0	15	0	19	0	24	0	29
500k	0	3	0	4	0	7	0	9	—	—	0	14
1M	0	1			0	3	0	4	—	—	—	—
2M	0	0 (注1)	—	—	0	1	—	—	—	—	—	—
2.5M			0	0 (注1)			0	1	—	—	0	2
4M					0	0 (注1)	—	—	—	—	—	—
5M							0	0 (注1)	—	—	—	—
6.25M									0	0 (注1)	—	—
7.5M											0	0 (注1)

空欄：設定できません。

—：設定可能ですが誤差がでます。

注1. 連続送信／連続受信はできません。1フレームの送信／受信終了後、次のフレームの送信／受信を開始するまで1ビット期間の間隔が空きます (同期クロックの出力が1ビット期間停止します)。そのため、1フレーム (8ビット) のデータ転送に9ビット分の時間がかかり、平均した転送レートは $\frac{8}{9}$ 倍になります。

表30.19 外部クロック入力時の最大ビットレート (クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
8	1.3333	1.3333
10	1.6667	1.6667
12	2.0000	2.0000
14	2.3333	2.3333
16	2.6667	2.6667
18	3.0000	3.0000
20	3.3333	3.3333
25	4.1667	4.1667
30	5.0000	5.0000

表30.20 ビットレートに対するBRRの設定例 (スマートカードインタフェースモードでn=0、S=372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	30
	10.7136	0	1	25
	13.00	0	1	8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	15.99
	20.00	0	2	6.66
	25.00	0	3	12.49
	30.00	0	3	5.01

表30.21 各動作周波数における最大ビットレート (スマートカードインタフェースモードでS=32のとき)

PCLK (MHz)	最大ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0

表30.22 ビットレートに対するBRRの設定例 (簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	31	-2.3	1	12	-3.8	1	15	-2.3	1	19	-2.3
25k	0	9	0.0	0	12	-3.8	1	4	0.0	1	6	-10.7	1	7	-2.3
50k	0	4	0.0	0	6	-10.7	1	2	-16.7	1	3	-21.9	1	3	-2.3
100k	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	1	-37.5	0	1	0.0	0	2	-16.7	0	3	-21.9
350k										0	1	-10.7	0	2	-25.6

ビット レート (bps)	動作周波数PCLK (MHz)		
	30		
	n	N	誤差 (%)
10k	1	23	-2.3
25k	1	9	-6.3
50k	1	4	-6.3
100k	1	2	-21.9
250k	0	3	-6.3
350k	0	2	-10.7

表30.23 各ビットレート設定でのSCL High/Low幅最小値 (簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.5/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00	1	6	19.60/22.40
50k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00	1	3	11.20/12.80
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

ビット レート (bps)	動作周波数PCLK (MHz)					
	25			30		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	1	19	44.80/51.20	1	23	44.80/51.20
25k	1	7	17.92/20.48	1	9	18.66/21.33
50k	1	3	8.96/10.24	1	4	9.33/10.66
100k	1	1	4.48/5.12	1	2	5.60/6.40
250k	0	3	2.24/2.56	0	3	1.86/2.13
350k	0	2	1.68/1.92	0	2	1.40/1.60

30.2.10 シリアル拡張モードレジスタ (SEMR)

アドレス SCI0.SEMR 0008 A007h, SCI1.SEMR 0008 A027h, SCI2.SEMR 0008 A047h, SCI3.SEMR 0008 A067h, SCI4.SEMR 0008 A087h, SCI5.SEMR 0008 A0A7h, SCI6.SEMR 0008 A0C7h, SCI7.SEMR 0008 A0E7h, SCI8.SEMR 0008 A107h, SCI9.SEMR 0008 A127h, SCI10.SEMR 0008 A147h, SCI11.SEMR 0008 A167h, SCI12.SEMR 0008 B307h

b7	b6	b5	b4	b3	b2	b1	b0
RXDESEL	—	NFEN	ABCS	—	—	—	ACS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W												
b0	ACS0	調歩同期クロックソースセレクトビット	<p>(調歩同期式モードのみ有効)</p> <p>0: 外部クロック</p> <p>1: TMRから出力される2クロックの論理積 (SCI5、SCI6、SCI12のみ有効)</p> <p>SCIチャネルとコンペアマッチ出力の対応を示します</p> <table border="1"> <thead> <tr> <th>SCI</th> <th>TMR</th> <th>コンペアマッチ出力</th> </tr> </thead> <tbody> <tr> <td>SCI5</td> <td>ユニット0</td> <td>TMO0、TMO1</td> </tr> <tr> <td>SCI6</td> <td>ユニット1</td> <td>TMO2、TMO3</td> </tr> <tr> <td>SCI12</td> <td>ユニット0</td> <td>TMO0、TMO1</td> </tr> </tbody> </table>	SCI	TMR	コンペアマッチ出力	SCI5	ユニット0	TMO0、TMO1	SCI6	ユニット1	TMO2、TMO3	SCI12	ユニット0	TMO0、TMO1	R/W (注1)
SCI	TMR	コンペアマッチ出力														
SCI5	ユニット0	TMO0、TMO1														
SCI6	ユニット1	TMO2、TMO3														
SCI12	ユニット0	TMO0、TMO1														
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W												
b4	ABCS	調歩同期基本クロックセレクトビット	<p>(調歩同期式モードのみ有効)</p> <p>0: 基本クロック16サイクルの期間が1ビット期間の転送レートになります</p> <p>1: 基本クロック8サイクルの期間が1ビット期間の転送レートになります</p>	R/W (注1)												
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	<p>(調歩同期式モード)</p> <p>0: RXDn入力信号のノイズ除去機能無効</p> <p>1: RXDn入力信号のノイズ除去機能有効</p> <p>(簡易I²Cモード)</p> <p>0: SSCLn、SSDAn入力信号のノイズ除去機能無効</p> <p>1: SSCLn、SSDAn入力信号のノイズ除去機能有効</p> <p>上記以外のモードでは、NFENビットを“0”にしてください。</p>	R/W (注1)												
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W												
b7	RXDESEL	調歩同期スタートビットエッジ検出セレクトビット	<p>(調歩同期式モードのみ有効)</p> <p>0: RXDn端子入力のLowレベルでスタートビットを検出</p> <p>1: RXDn端子入力の立ち下がりがエッジでスタートビットを検出</p>	R/W (注1)												

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SEMRレジスタは、調歩同期式モード時の1ビット期間のクロックを選択するためのレジスタです。

SCI5、SCI6、SCI12では、TMRユニット0、1のTMO_n (n = 0 ~ 3) 出力をシリアル転送ベースクロックにすることができます。

TMRユニット0、1のTMO_n (n = 0 ~ 3) 出力を選択したときの設定例を図30.4に示します。

ACS0ビット (調歩同期クロックソースセレクトビット)

調歩同期式モードにおける、クロックソースを選択します。

ACS0ビットは、調歩同期式モード (SMR.CMビット=0) で、外部クロック入力 (SCR.CKE[1:0]ビット=10b、11b) のときに有効です。外部クロック入力または、内蔵TMRクロック入力を選択できます。

調歩同期式モード以外では、“0”としてください。

SCI5、SCI6、SCI12以外は予約ビットです。SCI5、SCI6、SCI12以外では書き込みは“0”にしてください。

NFEN ビット (デジタルノイズフィルタ機能イネーブルビット)

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXDn 入力信号のノイズを除去し、簡易 I²C モードの場合は SSDAn、SSCLn の入力信号のノイズを除去します。

上記以外のモードでは NFEN ビットを“0”にし、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

RXDESEL ビット (調歩同期スタートビットエッジ検出セレクトビット)

調歩同期式モード受信動作におけるスタートビットの検出方法を選択します。本ビットの設定によりブレイク時の動作が異なります。ブレイク中に受信動作を停止させたい場合、およびブレイク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せず受信を開始する場合は“1”を設定してください。

調歩同期式モード以外では“0”を設定してください。

SCI5 で TMR クロック入力を使用した例を示します。
PCLK=32MHz のときに、TMR による平均転送レート 187.5kbps を作る場合

- (1) TMO0 をベースクロックとし、4MHz を生成。
- (2) TMO1 を TMR0.TCNT のコンペアマッチカウントにし、3/4 のクロックイネーブルを生成して、平均転送レート = 3MHz/16 = 187.5kbps とする。

TMR と SCI の設定例

- ・ TMR0.TCR = 08h
(TMR0.TCORA のコンペアマッチで TMR0.TCNT クリア、PCLK/2 立ち上がりエッジでカウント)
- ・ TMR0.TCCR = 09h
- ・ TMR1.TCR = 08h
(TMR1.TCORA のコンペアマッチで TMR1.TCNT クリア、TMR0.TCNT のコンペアマッチ A でカウント)
- ・ TMR1.TCCR = 18h
- ・ TMR0.TCSR = 09h
(TMR0.TCORA のコンペアマッチで Low 出力、TMR0.TCORB のコンペアマッチで High 出力)
- ・ TMR1.TCSR = 09h
(TMR1.TCORA のコンペアマッチで Low 出力、TMR1.TCORB のコンペアマッチで High 出力)
- ・ TMR0.TCNT = TMR1.TCNT = 0
- ・ TMR0.TCORA = 03h、TMR0.TCORB = 01h
- ・ TMR1.TCORA = 03h、TMR1.TCORB = 00h
- ・ SCR.SCK[1:0] = 10h (外部クロックまたは TMR クロックの入力を選択)
- ・ SEMR = 01h (TMR クロック入力を選択、基本クロック 16 サイクルが 1 ビット期間)

SCI6 で行う場合、ベースクロックを TMO2、クロックイネーブルを TMO3 としてください。

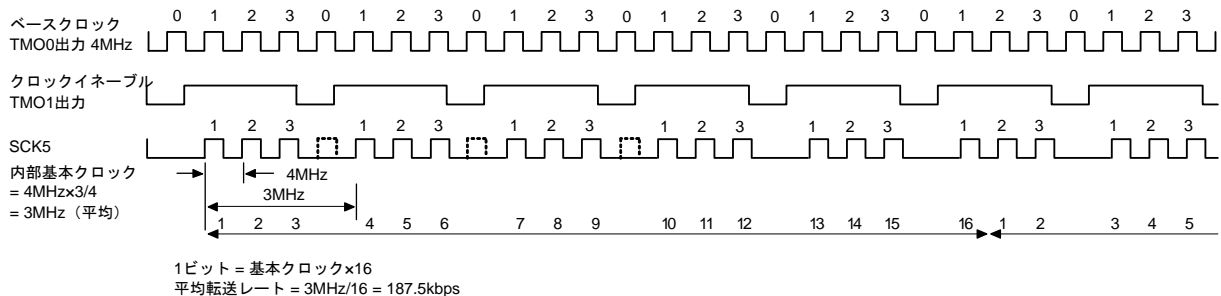
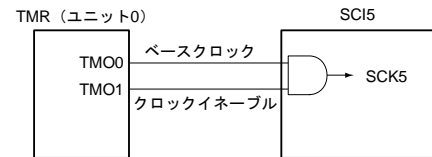
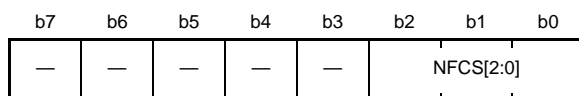


図 30.4 TMR クロック入力時の平均転送レート設定例

30.2.11 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI0.SNFR 0008 A008h, SCI1.SNFR 0008 A028h, SCI2.SNFR 0008 A048h, SCI3.SNFR 0008 A068h, SCI4.SNFR 0008 A088h, SCI5.SNFR 0008 A0A8h, SCI6.SNFR 0008 A0C8h, SCI7.SNFR 0008 A0E8h, SCI8.SNFR 0008 A108h, SCI9.SNFR 0008 A128h, SCI10.SNFR 0008 A148h, SCI11.SNFR 0008 A168h, SCI12.SNFR 0008 B308h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロックセレクトビット	調歩同期式モード時、基本クロック基準で b2 b0 0 0 0 : 1分周のクロックをノイズフィルタに使用 簡易I ² Cモード時、SMR.CKS[1:0]ビットで選択した内蔵 ポーレートジェネレータのクロックソース基準で b2 b0 0 0 1 : 1分周のクロックをノイズフィルタに使用 0 1 0 : 2分周のクロックをノイズフィルタに使用 0 1 1 : 4分周のクロックをノイズフィルタに使用 1 0 0 : 8分周のクロックをノイズフィルタに使用 上記以外は設定しないでください	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TEビット=0、SCR.REビット=0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

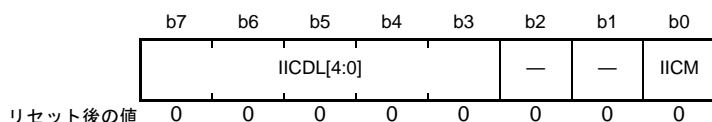
NFCS[2:0] ビット (ノイズフィルタクロックセレクトビット)

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b”を設定してください。簡易I²Cモード時は“001b”～“100b”の中で設定してください。

30.2.12 I²C モードレジスタ 1 (SIMR1)

アドレス SC10.SIMR1 0008 A009h, SC11.SIMR1 0008 A029h, SC12.SIMR1 0008 A049h, SC13.SIMR1 0008 A069h,
SC14.SIMR1 0008 A089h, SC15.SIMR1 0008 A0A9h, SC16.SIMR1 0008 A0C9h, SC17.SIMR1 0008 A0E9h,
SC18.SIMR1 0008 A109h, SC19.SIMR1 0008 A129h, SC110.SIMR1 0008 A149h, SC111.SIMR1 0008 A169h,
SC112.SIMR1 0008 B309h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易I ² Cモードセレクトビット	SMIF IICM 0 0: 調歩同期式モード、マルチプロセッサモード、 クロック同期式モード (調歩同期式、クロック同期式モードまたは簡易 SPIモード) 0 1: 簡易I ² Cモード 1 0: スマートカードインタフェースモード 1 1: 設定しないでください	R/W (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b3	IICDL[4:0]	SSDA出力遅延セレクトビット	(内蔵ポーレートジェネレータのクロックソース基準) b7 b3 0 0 0 0 0: 出力遅延なし 0 0 0 0 1: 0~1サイクル 0 0 0 1 0: 1~2サイクル 0 0 0 1 1: 2~3サイクル 0 0 1 0 0: 3~4サイクル 0 0 1 0 1: 4~5サイクル : 1 1 1 1 0: 29~30サイクル 1 1 1 1 1: 30~31サイクル	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

SIMR1 レジスタは、簡易I²Cモード、およびSSDA出力遅延段数を選択するためのレジスタです。

IICM ビット (簡易I²Cモードセレクトビット)

SCMR.SMIFビットとの組み合わせで、動作モードを選択します。

IICDL[4:0] ビット (SSDA出力遅延セレクトビット)

SSCLn端子出力の立ち上がりに対するSSDAn端子出力の遅延を選択します。内蔵ポーレートジェネレータのクロックソースを1サイクルとし、遅延なし~31サイクルまでの選択が可能です。内蔵ポーレートジェネレータのクロックソースとは、PCLKをSMR.CKS[1:0]ビットの設定により分周されたクロックを指します。簡易I²Cモード以外では“00000b”を設定してください。簡易I²Cモード時は、“00001b”~“11111b”のいずれかを設定してください。

30.2.13 I²C モードレジスタ 2 (SIMR2)

アドレス SCI0.SIMR2 0008 A00Ah, SCI1.SIMR2 0008 A02Ah, SCI2.SIMR2 0008 A04Ah, SCI3.SIMR2 0008 A06Ah, SCI4.SIMR2 0008 A08Ah, SCI5.SIMR2 0008 A0AAh, SCI6.SIMR2 0008 A0CAh, SCI7.SIMR2 0008 A0EAh, SCI8.SIMR2 0008 A10Ah, SCI9.SIMR2 0008 A12Ah, SCI10.SIMR2 0008 A14Ah, SCI11.SIMR2 0008 A16Ah, SCI12.SIMR2 0008 B30Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	IICACK T	—	—	—	IICCSC	IICINT M

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I ² C 割り込みモードセレクトビット	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化ビット	0 : クロック同期を行わない 1 : クロック同期を行う	R/W (注1)
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	IICACKT	ACK送信データビット	0 : ACK送信 1 : NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 I²C モードの送受信制御を選択するためのレジスタです。

IICINTM ビット (I²C 割り込みモードセレクトビット)

簡易 I²C モード時の割り込み要求の要因を選択します。

IICCSC ビット (クロック同期化ビット)

他のデバイスがウェイトを挿入するなどの目的で、SSCLn 端子を Low にしたとき、内部で生成する SSCLn クロックを同期化する場合は、IICCSC ビットに“1”を設定します。

IICCSC ビットに“0”を設定すると、SSCLn クロックの同期化は行いません。SSCLn 端子入力に関わらず、BRR レジスタで設定したビットレートにしたがって SSCLn クロックを生成します。

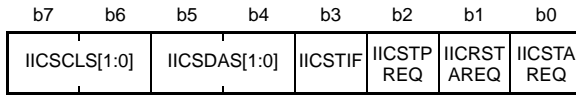
デバッグ時を除いて IICCSC ビットには“1”を設定してください。

IICACKT ビット (ACK 送信データビット)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は“1”を設定してください。

30.2.14 I²C モードレジスタ 3 (SIMR3)

アドレス SC10.SIMR3 0008 A00Bh, SC11.SIMR3 0008 A02Bh, SC12.SIMR3 0008 A04Bh, SC13.SIMR3 0008 A06Bh, SC14.SIMR3 0008 A08Bh, SC15.SIMR3 0008 A0ABh, SC16.SIMR3 0008 A0CBh, SC17.SIMR3 0008 A0EBh, SC18.SIMR3 0008 A10Bh, SC19.SIMR3 0008 A12Bh, SC110.SIMR3 0008 A14Bh, SC111.SIMR3 0008 A16Bh, SC112.SIMR3 0008 B30Bh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成ビット	0 : 開始条件を生成しない 1 : 開始条件を生成 (注1、注3、注4、注5)	R/W
b1	IICRSTAREQ	再開条件生成ビット	0 : 再開条件を生成しない 1 : 再開条件を生成 (注2、注3、注4、注5)	R/W
b2	IICSTPREQ	停止条件生成ビット	0 : 停止条件を生成しない 1 : 停止条件を生成 (注2、注3、注4、注5)	R/W
b3	IICSTIF	開始/再開/停止条件生成完了フラグ	0 : 各条件生成要求がない状態、または生成中の状態 1 : 各条件生成が完了した状態	R/W
b5-b4	IICSDAS[1:0]	SSDA出力セレクトビット	b5 b4 0 0 : シリアルデータ出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSDAn端子はLowを出力 1 1 : SSDAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SSCL出力セレクトビット	b7 b6 0 0 : シリアルクロック出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSCLn端子はLowを出力 1 1 : SSCLn端子はハイインピーダンス状態	R/W

注1. バスの状態を確認し、バスフリー状態のときに開始条件生成を行ってください。

注2. バスの状態を確認し、バスビジー状態のときに再開条件生成または停止条件生成を行ってください。

注3. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。

注4. IICSTIFフラグを“0”にしてから、各条件生成を行ってください。

注5. “1”の状態を“0”を書き込まないでください。“1”の状態を“0”を書きこむと、コンディション生成が中断します。

SIMR3 レジスタは、簡易 I²C モードの開始条件、停止条件生成、および、SSDAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット (開始条件生成ビット)

開始条件の生成を行うときは、IICSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット (再開条件生成ビット)

再開条件の生成を行うときは、IICRSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 再開始条件の生成が完了したとき

IICSTPREQ ビット (停止条件生成ビット)

停止条件の生成を行うときは、IICSTPREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ (開始 / 再開始 / 停止条件生成完了フラグ)

各条件生成実行後、生成完了した状態を示します。IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各条件の生成を行うときは、IICSTIF フラグを“0”にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可された状態で、IICSTIF フラグが“1”の場合に開始 / 再開始 / 停止条件生成完了割り込み (STI) 要求が出力されます。

[“1”になる条件]

- 開始 / 再開始 / 停止の各条件の生成が完了したとき (ただし“0”になる条件と競合した場合は“0”になる条件が優先されます。)

[“0”になる条件]

- “0”を書き込んだとき (IICSTIF フラグが“0”になったことを確認してください。)
- SIMR1.IICM ビットが“0”のとき (簡易 I²C モード以外の場合)
- SCR.TE ビットが“0”のとき

IICSDAS[1:0] ビット (SSDA 出力セレクトビット)

SSDAn 端子からの出力を制御します。

通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

IICSCLS[1:0] ビット (SSCL 出力セレクトビット)

SSCLn 端子からの出力を制御します。

通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

30.2.15 I²C ステータスレジスタ (SISR)

アドレス SCI0.SISR 0008 A00Ch, SCI1.SISR 0008 A02Ch, SCI2.SISR 0008 A04Ch, SCI3.SISR 0008 A06Ch,
SCI4.SISR 0008 A08Ch, SCI5.SISR 0008 A0ACh, SCI6.SISR 0008 A0CCh, SCI7.SISR 0008 A0ECh,
SCI8.SISR 0008 A10Ch, SCI9.SISR 0008 A12Ch, SCI10.SISR 0008 A14Ch, SCI11.SISR 0008 A16Ch,
SCI12.SISR 0008 B30Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACK R
リセット後の値	0	0	x	x	0	x	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0 : ACK受信 1 : NACK受信	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読み出し値は不定です	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読み出し値は不定です	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

SISR レジスタは、簡易 I²C モード関連のステータスをモニタします。

IICACKR フラグ (ACK 受信データフラグ)

受信された ACK/NACK ビットを読み出すことができます。

IICACKR フラグは、ACK/NACK を受信するビットの SSCL_n クロックの立ち上がりのタイミングで更新されます。

30.2.16 SPI モードレジスタ (SPMR)

アドレス SC10.SPMR 0008 A00Dh, SC11.SPMR 0008 A02Dh, SC12.SPMR 0008 A04Dh, SC13.SPMR 0008 A06Dh,
SC14.SPMR 0008 A08Dh, SC15.SPMR 0008 A0ADh, SC16.SPMR 0008 A0CDh, SC17.SPMR 0008 A0EDh,
SC18.SPMR 0008 A10Dh, SC19.SPMR 0008 A12Dh, SC110.SPMR 0008 A14Dh, SC111.SPMR 0008 A16Dh,
SC112.SPMR 0008 B30Dh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn# 端子機能イネーブルビット	0 : SSn# 端子機能禁止 1 : SSn# 端子機能許可	R/W (注1)
b1	CTSE	CTS イネーブルビット	0 : CTS 機能禁止 (RTS 出力機能有効) 1 : CTS 機能許可	R/W (注1)
b2	MSS	マスタスレーブセレクトビット	0 : TXDn 端子 : 送信, RXDn 端子 : 受信 (マスタモード) 1 : TXDn 端子 : 受信, RXDn 端子 : 送信 (スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MFF	モードフォルトフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CKPOL	クロック極性セレクトビット	0 : クロック極性反転なし 1 : クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相セレクトビット	0 : クロック遅れなし 1 : クロック遅れあり	R/W (注1)

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

注2. フラグをクリアするための“0”書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット (SSn# 端子機能イネーブルビット)

SSn# 端子を用いて送受信制御を行う場合 (簡易 SPI モード) は“1”を設定します。それ以外の通信モードでは“0”を設定してください。なお、簡易 SPI モードでも、マスタモード (SCR.CKE[1:0] ビット=“00b” かつ MSS ビット=“0”) かつシングルマスタで使用するとき、マスタ側の SSn# 端子を用いた送受信制御は不要であり、SSE ビットは“0”を設定します。SSE ビット、CTSE ビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

CTSE ビット (CTS イネーブルビット)

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は“1”を設定します。“0”を設定している状態では RTSn# 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I²C モード時は“0”を設定してください。CTSE ビット、SSE ビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

MSS ビット (マスタスレーブセレクトビット)

簡易 SPI モード時にマスタモード、スレーブモードを選択します。MSS ビットを“1”にすると、TXDn 端子、RXDn 端子の機能が逆になり、TXDn 端子から受信データを入力し、RXDn 端子から送信データを出力します。

簡易 SPI モード以外のモード時は“0”にしてください。

MFF フラグ (モードフォルトフラグ)

モードフォルトエラーが発生したことを表示します。

マルチマスタ時は MFF フラグの読み出しにより、モードフォルトエラーを判定してください。

["1"になる条件]

- 簡易 SPI モードのマスタモード設定時 (SSE ビット = "1" かつ MSS ビット = "0") に、SSn# 端子入力が Low になったとき

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき

CKPOL ビット (クロック極性セレクトビット)

SCKn 端子からのクロック出力の極性を選択します。詳細は、図 30.56 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“0”としてください。

CKPH ビット (クロック位相セレクトビット)

SCKn 端子からのクロック出力の位相設定を選択します。詳細は、図 30.56 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“0”としてください。

30.2.17 拡張シリアルモード有効レジスタ (ESMER)

アドレス SCI12.ESMER 0008 B320h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ESME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESME	拡張シリアルモード有効ビット	0 : 拡張シリアルモード無効 1 : 拡張シリアルモード有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ESME ビット (拡張シリアルモード有効ビット)

ESME ビットが“1”の場合、拡張シリアルモード制御部が有効となります。

ESME ビットを“0”にすると、以下の状態になります。

- 拡張シリアルモード制御部は初期化された状態になる

表 30.24 ESME ビットの設定とタイマ動作モードの動作保証

ESME ビット	タイマモード	Break Field Low width 判定モード	Break Field Low width 出力モード
0	○ (注 1)	×	×
1	○	○	○

○ : 動作保証必要、× : 動作保証不要

注 1. PCLK 選択時のみ動作します。

30.2.18 コントロールレジスタ 0 (CR0)

アドレス SCI12.CR0 0008 B321h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BRME	RXDSF	SFSF	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	SFSF	Start Frameステータスフラグ	0 : Start Frame 検出機能無効状態 1 : Start Frame 検出機能有効状態	R
b2	RXDSF	RXDX12入力ステータスフラグ	0 : RXDX12入力許可状態 1 : RXDX12入力禁止状態	R
b3	BRME	ビットレート測定イネーブルビット	0 : ビットレート測定無効 1 : ビットレート測定有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

30.2.19 コントロールレジスタ 1 (CR1)

アドレス SCI12.CR1 0008 B322h

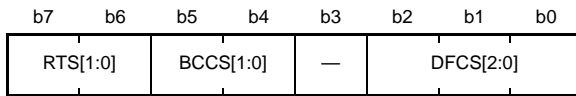
b7	b6	b5	b4	b3	b2	b1	b0
PIBS[2:0]			PIBE	CF1DS[1:0]	CF0RE	BFE	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFE	Break Fieldイネーブルビット	0 : Break Fieldの検出が無効 1 : Break Fieldの検出が有効	R/W
b1	CF0RE	Control Field 0受信イネーブルビット	0 : Control Field 0受信無効 1 : Control Field 0受信有効	R/W
b3-b2	CF1DS[1:0]	Control Field 1データレジスタ 選択ビット	b3 b2 00 : PCF1DRを比較データに選択 01 : SCF1DRを比較データに選択 10 : PCF1DRおよびSCF1DRを比較データに選択 11 : 設定しないでください	R/W
b4	PIBE	プライオリティインタラプト ビットイネーブルビット	0 : プライオリティインタラプトビット無効 1 : プライオリティインタラプトビット有効	R/W
b7-b5	PIBS[2:0]	プライオリティインタラプト ビットセレクトビット	b7 b5 000 : Control Field 1 0ビット目 001 : Control Field 1 1ビット目 010 : Control Field 1 2ビット目 011 : Control Field 1 3ビット目 100 : Control Field 1 4ビット目 101 : Control Field 1 5ビット目 110 : Control Field 1 6ビット目 111 : Control Field 1 7ビット目	R/W

30.2.20 コントロールレジスタ 2 (CR2)

アドレス SCI12.CR2 0008 B323h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DFCS[2:0]	RXDX12信号デジタルフィルタ クロック選択ビット	b2 b0 0 0 0 : フィルタ無効 0 0 1 : フィルタクロックはSCI基本クロック (注1) 0 1 0 : フィルタクロックはPCLK/8 0 1 1 : フィルタクロックはPCLK/16 1 0 0 : フィルタクロックはPCLK/32 1 0 1 : フィルタクロックはPCLK/64 1 1 0 : フィルタクロックはPCLK/128 1 1 1 : 設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BCCS[1:0]	バス衝突検出クロック選択 ビット	b5 b4 0 0 : SCI基本クロック 0 1 : SCI基本クロックの2分周 1 0 : SCI基本クロックの4分周 1 1 : 設定しないでください	R/W
b7-b6	RTS[1:0]	RXDX12受信サンプリング タイミング選択ビット	<ul style="list-style-type: none"> SCI12.SEMR.ABCSビット=0の場合 b7 b6 0 0 : SCI基本クロックの8クロック目の立ち上がり 0 1 : SCI基本クロックの10クロック目の立ち上がり 1 0 : SCI基本クロックの12クロック目の立ち上がり 1 1 : SCI基本クロックの14クロック目の立ち上がり <ul style="list-style-type: none"> SCI12.SEMR.ABCSビット=1の場合 b7 b6 0 0 : SCI基本クロックの4クロック目の立ち上がり 0 1 : SCI基本クロックの5クロック目の立ち上がり 1 0 : SCI基本クロックの6クロック目の立ち上がり 1 1 : SCI基本クロックの7クロック目の立ち上がり	R/W

注. SCI基本クロックとは、SCI12.SEMR.ABCS=0のとき、1データ期間の1/16の周期、SCI12.SEMR.ABCS=1のとき、1データ期間の1/8の周期です。

注1. SCI基本クロックを使用する場合、SCI12.SCR.TEビットを“1”にしてください。

30.2.21 コントロールレジスタ 3 (CR3)

アドレス SCI12.CR3 0008 B324h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SDST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SDST	Start Frame 検出開始ビット	0 : Start Frameの検出を行わない 1 : Start Frameの検出を行う	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDST ビット (Start Frame 検出開始ビット)

SDST ビットを“1”にすると Start Frame の検出を開始します。読むと“0”が読み出されます。

30.2.22 ポートコントロールレジスタ (PCR)

アドレス SCI12.PCR 0008 B325h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SHARPS	—	—	RXDXP S	TXDXP S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXDXPS	TXDX12信号極性選択ビット	0 : TXDX12信号極性を反転せずに出力 1 : TXDX12信号極性を反転して出力	R/W
b1	RXDXP S	RXD12信号極性選択ビット	0 : RXDX12極性を反転せずに入力 1 : RXDX12極性を反転して入力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SHARPS	TXDX12/RXD12端子兼用選択ビット	0 : TXDX12端子、RXDX12端子独立 1 : TXDX12/RXD12端子兼用	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SHARPS ビット (TXDX12/RXD12 端子兼用選択ビット)

SHARPS ビットが“1”の場合、TXDX12/RXD12 端子を兼用した半二重通信が可能となります。

30.2.23 割り込みコントロールレジスタ (ICR)

アドレス SCI12.ICR 0008 B326h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDIE	BCDIE	PIBDIE	CF1MIE	CF0MIE	BFDIE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFDIE	Break Field Low width 検出割り込み許可ビット	0 : Break Field Low width 検出割り込み禁止 1 : Break Field Low width 検出割り込み許可	R/W
b1	CF0MIE	Control Field 0一致割り込み許可ビット	0 : Control Field 0一致割り込み禁止 1 : Control Field 0一致割り込み許可	R/W
b2	CF1MIE	Control Field 1一致割り込み許可ビット	0 : Control Field 1一致割り込み禁止 1 : Control Field 1一致割り込み許可	R/W
b3	PIBDIE	プライオリティインタラプトビット検出割り込み許可ビット	0 : プライオリティインタラプトビット検出割り込み禁止 1 : プライオリティインタラプトビット検出割り込み許可	R/W
b4	BCDIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b5	AEDIE	有効エッジ検出割り込み許可ビット	0 : 有効エッジ検出割り込み禁止 1 : 有効エッジ検出割り込み許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

30.2.24 ステータスレジスタ (STR)

アドレス SCI12.STR 0008 B327h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDF	BCDF	PIBDF	CF1MF	CF0MF	BFDF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDF	Break Field Low width 検出フラグ	["1"になる条件] • Break Field Low width 検出したとき • Break Field Low width 出力完了したとき • タイマがアンダフローしたとき ["0"になる条件] • STCR.BFDCL ビットに"1"を書いたとき	R
b1	CF0MF	Control Field 0一致フラグ	["1"になる条件] • Control Field 0 受信データが設定データと一致したとき ["0"になる条件] • STCR.CF0MCL ビットに"1"を書いたとき	R
b2	CF1MF	Control Field 1一致フラグ	["1"になる条件] • Control Field 1 受信データが設定データと一致したとき ["0"になる条件] • STCR.CF1MCL ビットに"1"を書いたとき	R
b3	PIBDF	プライオリティインタラプト ビット検出フラグ	["1"になる条件] • プライオリティインタラプトビットを検出したとき ["0"になる条件] • STCR.PIBDCL ビットに"1"を書いたとき	R
b4	BCDF	バス衝突検出フラグ	["1"になる条件] • バス衝突を検出したとき ["0"になる条件] • STCR.BCDCL ビットに"1"を書いたとき	R
b5	AEDF	有効エッジ検出フラグ	["1"になる条件] • 有効エッジを検出したとき ["0"になる条件] • STCR.AEDCL ビットに"1"を書いたとき	R
b7-b6	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R

30.2.25 ステータスクリアレジスタ (STCR)

アドレス SCI12.STCR 0008 B328h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDCL	BCDCL	PIBDC L	CF1MC L	CF0MC L	BFDCCL

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFDCCL	BFDFクリアビット	BFDCCLビットを“1”にするとSTR.BFDFフラグをクリアします。読むと“0”が読み出されます	R/W
b1	CF0MCL	CF0MFクリアビット	CF0MCLビットを“1”にするとSTR.CF0MFフラグをクリアします。読むと“0”が読み出されます	R/W
b2	CF1MCL	CF1MFクリアビット	CF1MCLビットを“1”にするとSTR.CF1MFフラグをクリアします。読むと“0”が読み出されます	R/W
b3	PIBDCCL	PIBDFクリアビット	PIBDCCLビットを“1”にするとSTR.PIBDFフラグをクリアします。読むと“0”が読み出されます	R/W
b4	BCDCL	BCDFクリアビット	BCDCLビットを“1”にするとSTR.BCDFフラグをクリアします。読むと“0”が読み出されます	R/W
b5	AEDCL	AEDFクリアビット	AEDCLビットを“1”にするとSTR.AEDFフラグをクリアします。読むと“0”が読み出されます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

30.2.26 Control Field 0 データレジスタ (CF0DR)

アドレス SCI12.CF0DR 0008 B329h

b7	b6	b5	b4	b3	b2	b1	b0
[Empty Register Box]							

リセット後の値 0 0 0 0 0 0 0 0

CF0DR レジスタは、Control Field 0 の比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

30.2.27 Control Field 0 コンペアイネーブルレジスタ (CF0CR)

アドレス SCI12.CF0CR 0008 B32Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	CF0CE7	CF0CE6	CF0CE5	CF0CE4	CF0CE3	CF0CE2	CF0CE1	CF0CE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF0CE0	Control Field 0 0ビットコンペアイネーブルビット	0 : Control Field 0 ビット0コンペア無効 1 : Control Field 0 ビット0コンペア有効	R/W
b1	CF0CE1	Control Field 0 1ビットコンペアイネーブルビット	0 : Control Field 0 ビット1コンペア無効 1 : Control Field 0 ビット1コンペア有効	R/W
b2	CF0CE2	Control Field 0 2ビットコンペアイネーブルビット	0 : Control Field 0 ビット2コンペア無効 1 : Control Field 0 ビット2コンペア有効	R/W
b3	CF0CE3	Control Field 0 3ビットコンペアイネーブルビット	0 : Control Field 0 ビット3コンペア無効 1 : Control Field 0 ビット3コンペア有効	R/W
b4	CF0CE4	Control Field 0 4ビットコンペアイネーブルビット	0 : Control Field 0 ビット4コンペア無効 1 : Control Field 0 ビット4コンペア有効	R/W
b5	CF0CE5	Control Field 0 5ビットコンペアイネーブルビット	0 : Control Field 0 ビット5コンペア無効 1 : Control Field 0 ビット5コンペア有効	R/W
b6	CF0CE6	Control Field 0 6ビットコンペアイネーブルビット	0 : Control Field 0 ビット6コンペア無効 1 : Control Field 0 ビット6コンペア有効	R/W
b7	CF0CE7	Control Field 0 7ビットコンペアイネーブルビット	0 : Control Field 0 ビット7コンペア無効 1 : Control Field 0 ビット7コンペア有効	R/W

30.2.28 Control Field 0 受信データレジスタ (CF0RR)

アドレス SCI12.CF0RR 0008 B32Bh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CF0RR レジスタは、Control Field 0 の受信データを格納する 8 ビットのリード可能なレジスタです。CF0RR レジスタは CPU、DTC からライトできません。

30.2.29 プライマリ Control Field 1 データレジスタ (PCF1DR)

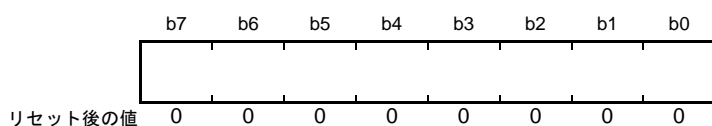
アドレス SCI12.PCF1DR 0008 B32Ch

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

PCF1DR レジスタは、Control Field 1 のプライマリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

30.2.30 セカンダリ Control Field 1 データレジスタ (SCF1DR)

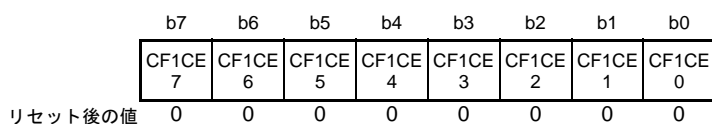
アドレス SCI12.SCF1DR 0008 B32Dh



SCF1DR レジスタは、Control Field 1 のセカンダリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

30.2.31 Control Field 1 コンペアイネーブルレジスタ (CF1CR)

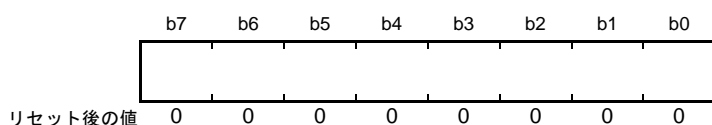
アドレス SCI12.CF1CR 0008 B32Eh



ビット	シンボル	ビット名	機能	R/W
b0	CF1CE0	Control Field 1 0ビットコンペアイネーブル	0 : Control Field 1 ビット0コンペア無効 1 : Control Field 1 ビット0コンペア有効	R/W
b1	CF1CE1	Control Field 1 1ビットコンペアイネーブル	0 : Control Field 1 ビット1コンペア無効 1 : Control Field 1 ビット1コンペア有効	R/W
b2	CF1CE2	Control Field 1 2ビットコンペアイネーブル	0 : Control Field 1 ビット2コンペア無効 1 : Control Field 1 ビット2コンペア有効	R/W
b3	CF1CE3	Control Field 1 3ビットコンペアイネーブル	0 : Control Field 1 ビット3コンペア無効 1 : Control Field 1 ビット3コンペア有効	R/W
b4	CF1CE4	Control Field 1 4ビットコンペアイネーブル	0 : Control Field 1 ビット4コンペア無効 1 : Control Field 1 ビット4コンペア有効	R/W
b5	CF1CE5	Control Field 1 5ビットコンペアイネーブル	0 : Control Field 1 ビット5コンペア無効 1 : Control Field 1 ビット5コンペア有効	R/W
b6	CF1CE6	Control Field 1 6ビットコンペアイネーブル	0 : Control Field 1 ビット6コンペア無効 1 : Control Field 1 ビット6コンペア有効	R/W
b7	CF1CE7	Control Field 1 7ビットコンペアイネーブル	0 : Control Field 1 ビット7コンペア無効 1 : Control Field 1 ビット7コンペア有効	R/W

30.2.32 Control Field 1 受信データレジスタ (CF1RR)

アドレス SCI12.CF1RR 0008 B32Fh



CF1RR レジスタは Control Field 1 の受信データを格納する 8 ビットのリード可能なレジスタです。CF1RR レジスタは CPU、DTC からライトできません。

30.2.33 タイマコントロールレジスタ (TCR)

アドレス SCI12.TCR 0008 B330h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCST	タイマカウント開始ビット	0 : タイマカウント停止 1 : タイマカウント開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

30.2.34 タイマモードレジスタ (TMR)

アドレス SCI12.TMR 0008 B331h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	TCSS[2:0]		TWRC	—	TOMS[1:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOMS[1:0]	タイマ動作モード選択ビット (注1)	b1 b0 0 0 : タイマモード 0 1 : Break Field Low width 判定モード 1 0 : Break Field Low width 出力モード 1 1 : 設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	TWRC	カウンタ書き込み制御ビット	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	R/W
b6-b4	TCSS[2:0]	タイマカウントクロックソース選択ビット (注1)	b6 b4 0 0 0 : PCLK 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

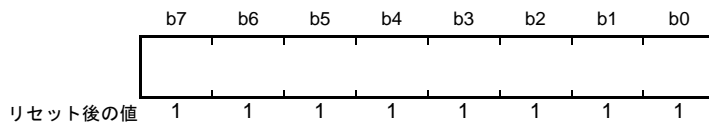
注1. TOMS[1:0]およびTCSS[2:0]ビットの書き換えは、タイマカウント停止時 (TCST=0) に行ってください。

TWRC ビット (カウンタ書き込み制御ビット)

TCNT、TPRE レジスタにライトしたときに、リロードレジスタのみ書き込むのか、リロードレジスタとカウンタに書き込むのか選択します。

30.2.35 タイムプリスケアラレジスタ (TPRE)

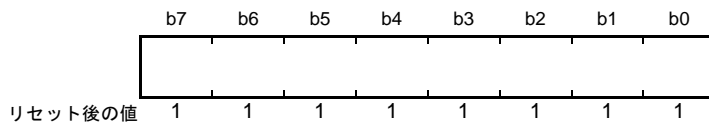
アドレス SCI12.TPRE 0008 B332h



TPRE レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TMR.TCSS[2:0] ビットで選択されたカウントクロックソースでダウンカウントを行い、アンダフローするとカウンタへリロードレジスタの値がロードされます。またアンダフローは TCNT レジスタのカウントクロックソースとなります。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、システム動作クロックの 1 クロックが必要です。

30.2.36 タイマカウントレジスタ (TCNT)

アドレス SCI12.TCNT 0008 B333h



TCNT レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TPRE レジスタのアンダフローをダウンカウントし、TCNT レジスタがアンダフローするとカウンタへリロードレジスタの値がロードされます。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

30.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 30.5 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、スペース (Low) を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

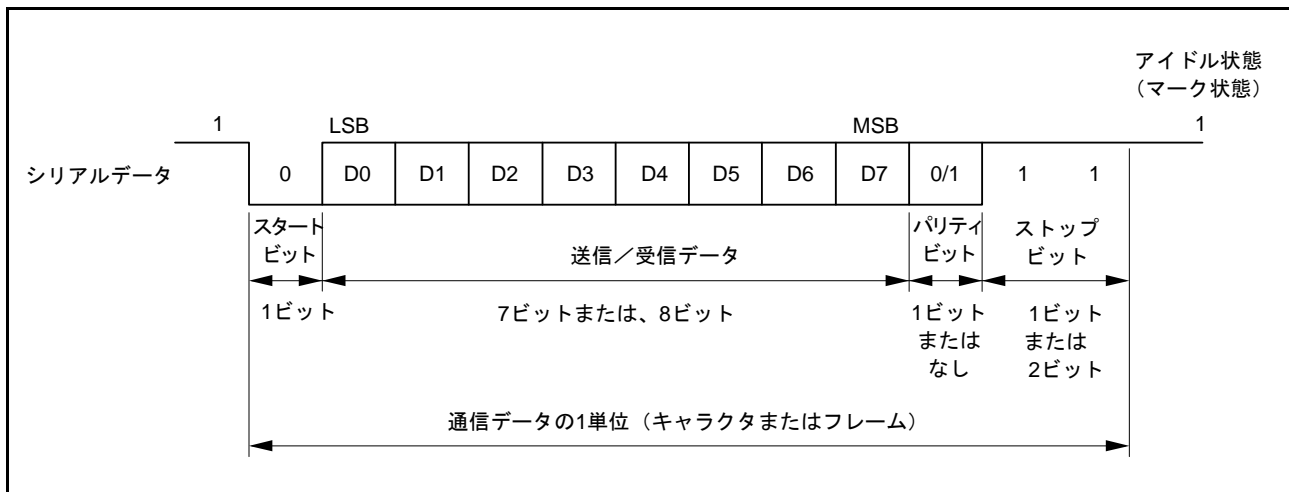


図 30.5 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

30.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 30.25 に示します。

フォーマットは 12 種類あり、SMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については「30.4 マルチプロセッサ通信機能」を参照してください。

表30.25 シリアル送信/受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	—	1	0	S	8ビットデータ								MPB	STOP		
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	—	1	0	S	7ビットデータ							MPB	STOP			
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP		

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセスビット

30.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍（注1）の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図30.6に示すように受信データを基本クロックの8サイクル目（注1）の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5)F - \frac{|D-0.5|}{N}(1+F) \right| \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

M : 受信マージン

N : クロックに対するビットレートの比

(SEMR.ABCSビット=0のときN=16、ABCSビット=1のときN=8)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~13)

F : クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値) = 0、D(クロックのデューティ) = 0.5とすると、

$$M = \left\{ 0.5 - \frac{1}{2 \times 16} \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

注1. SEMR.ABCSビット=0のときの例です。ABCSビット=1のときは、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4番目の立ち上がりエッジでサンプリングします。

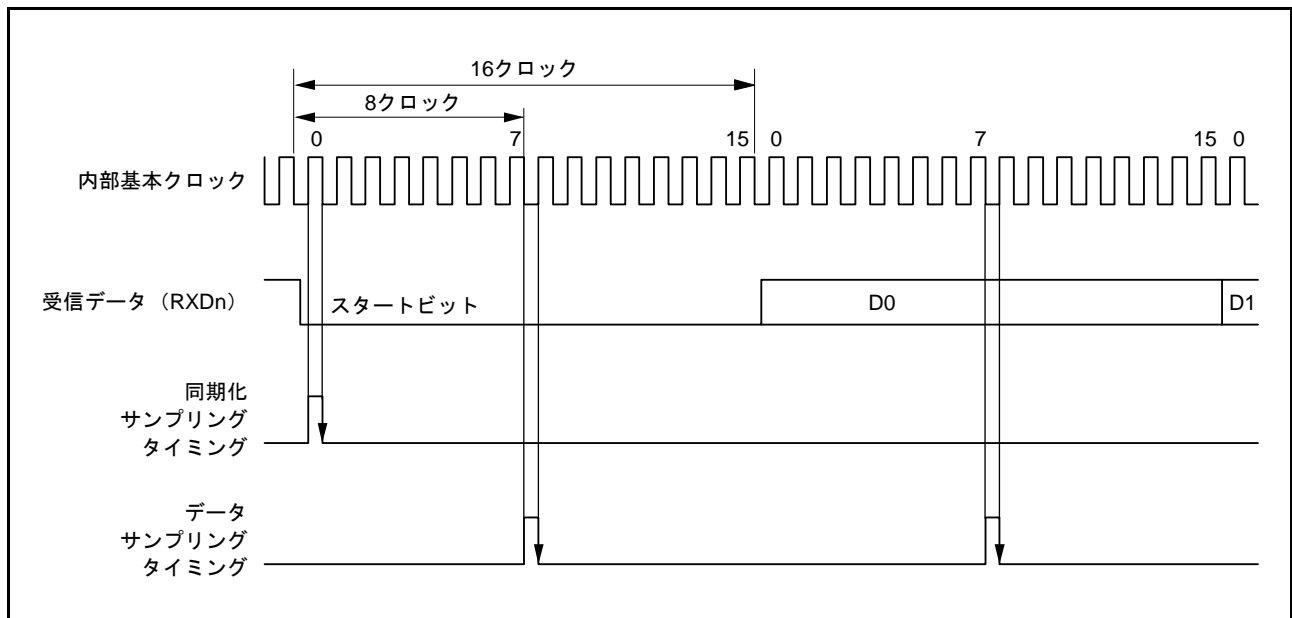


図 30.6 調歩同期式モードの受信データサンプリングタイミング

30.3.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたはSCKn端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍 (SEMR.ABCSビット=0のとき)、8倍 (SEMR.ABCSビット=1のとき)の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCIn.SEMR.ACS0ビット (n=5、6、12)の設定により、TMR0、TMR1からの基本クロックを選択することが可能です。

内部クロックで動作させるときはSCKn端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図30.7に示すように送信データの中央でクロックが立ち上がります。

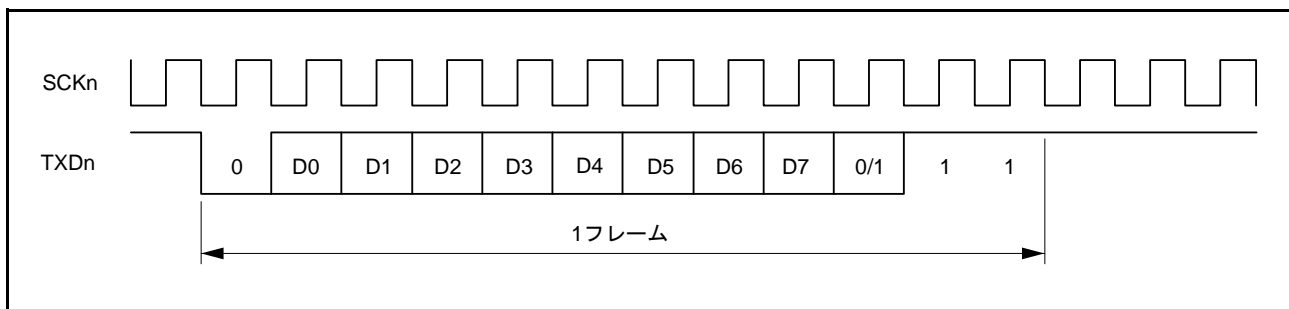


図 30.7 出カクロックと送信データの位相関係
(調歩同期式モード : SMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

30.3.4 CTS、RTS 機能

CTS機能は、CTS#端子入力を使用して送信制御を行う機能です。

SPMR.CTSEビットを“1”にするとCTS機能が有効になります。CTS機能が有効のとき、CTS#端子入力がLowのときのみ送信動作を開始します。

送信動作中にCTS#端子をHighにした場合、送信中のフレームは影響を受けず送信を継続します。

RTS機能は、RTS#端子出力を使用して受信要求を行う機能で、受信可能状態になるとLowを出力します。Low、Highを出力する条件は以下の通りです。

[Lowになる条件]

以下の条件をすべて満たす場合

- SCR.REビットが“1”
- 受信動作中でない
- 読み出し前の受信データがない
- SSR.ORER, FER, PERフラグがすべて“0”

[Highになる条件]

Lowになる条件を満たさない場合

なお、CTS/RTSはどちらかしか選択できません。

30.3.5 SCIの初期化（調歩同期式モード）

データの送受信前にSCRレジスタに初期値00hを書き込み、図30.8のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCRレジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.REビットを“0”にしても、SSR.ORER, FER, PERの各フラグおよびRDRレジスタは初期化されませんので注意してください。

SCR.TEビットを“1”から“0”、または“0”から“1”にすると、SCR.TIEビットが“1”の場合、TXI割り込み要求が発生しますので注意してください。

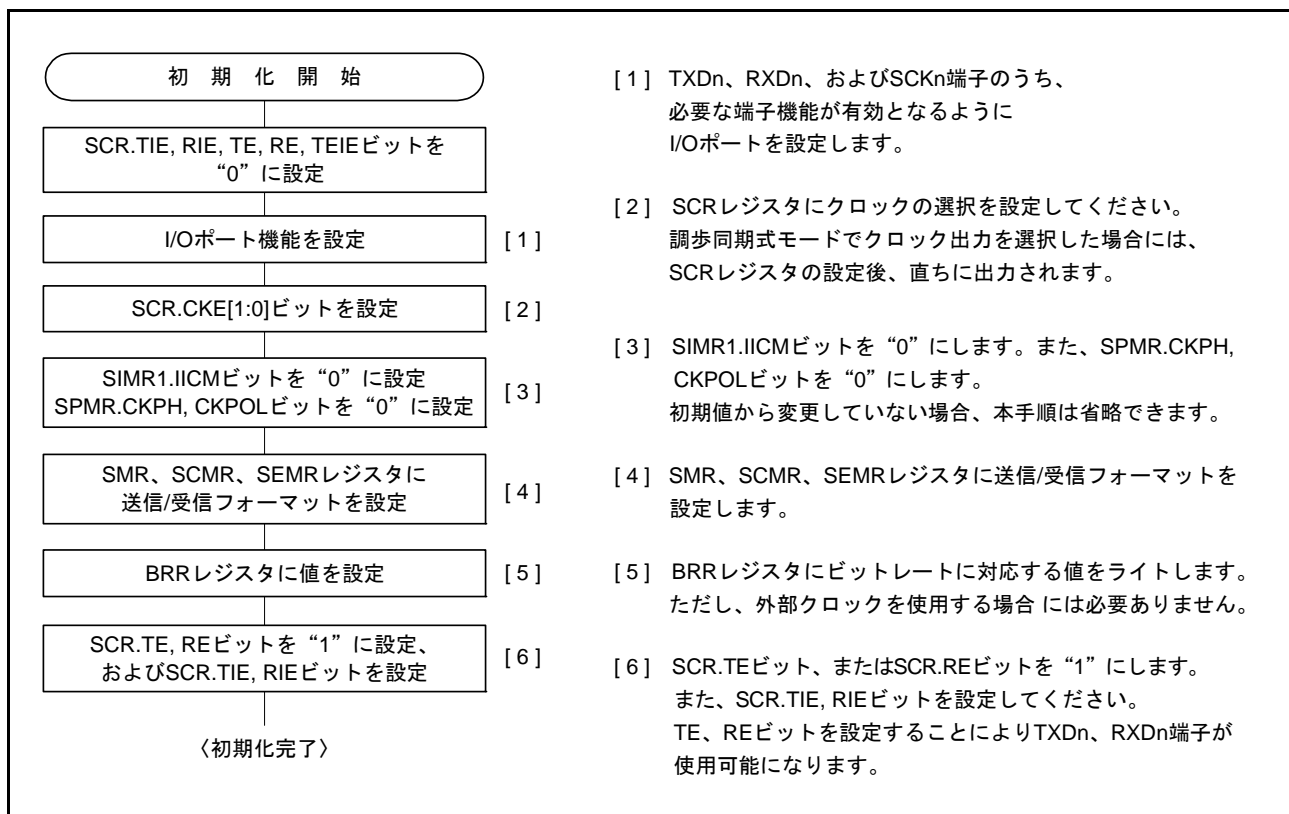


図 30.8 SCIの初期化フローチャートの例（調歩同期式モード）

30.3.6 シリアルデータの送信 (調歩同期式モード)

図 30.9 ~ 図 30.11 に調歩同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. SPMR.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力が Low で、TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”にされていると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタに書いた後、SCR.TIE ビットを“0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを“1” (TEI 割り込み要求を許可) にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていると、SPMR.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力が Low で、次の送信データを TDR レジスタから TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、ストップビット送出後、“1”を出力してマーク状態になります。このとき、SCR.TEIE ビットが“1”にされていると、SSR.TEND フラグが“1”にされ TEI 割り込み要求が発生します。

図 30.12 にシリアル送信のフローチャートの例を示します。

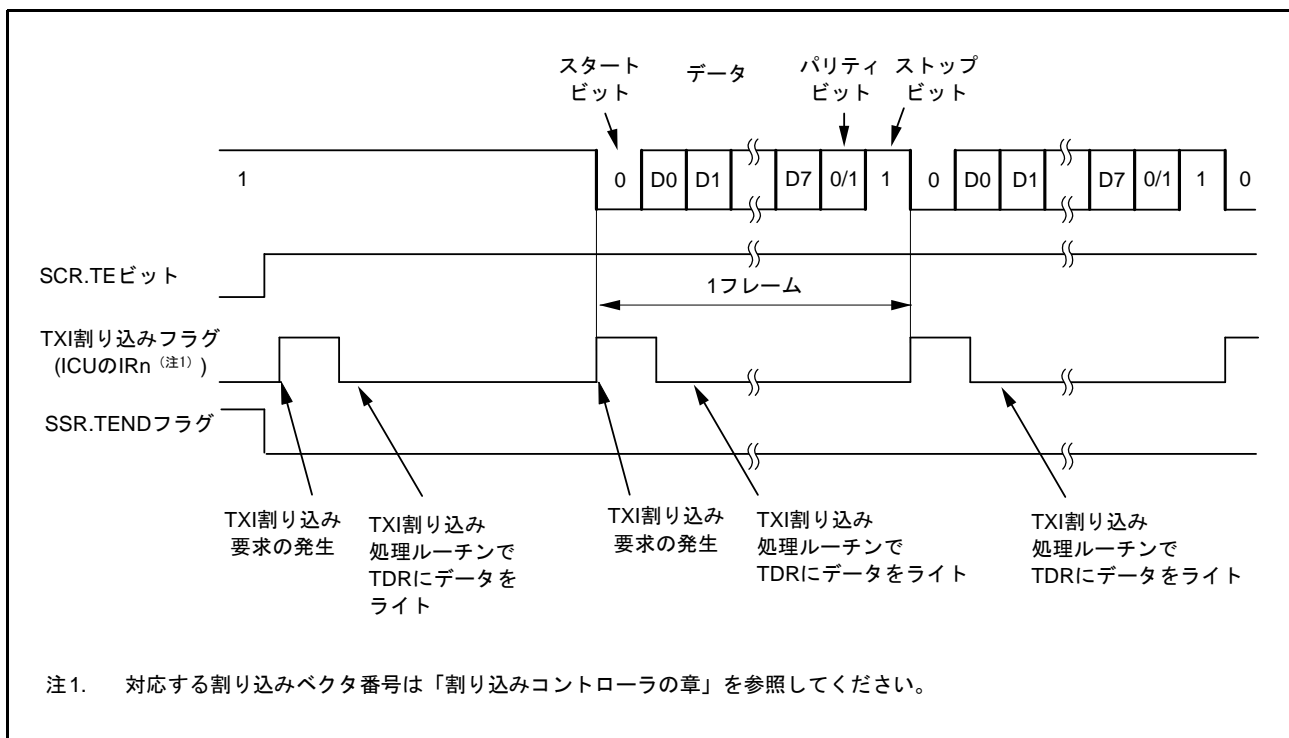


図 30.9 調歩同期式モードのシリアル送信の動作例 (1)
(8 ビットデータ / パリティあり / 1 ストップビット / CTS 機能使用しない / 送信開始時)

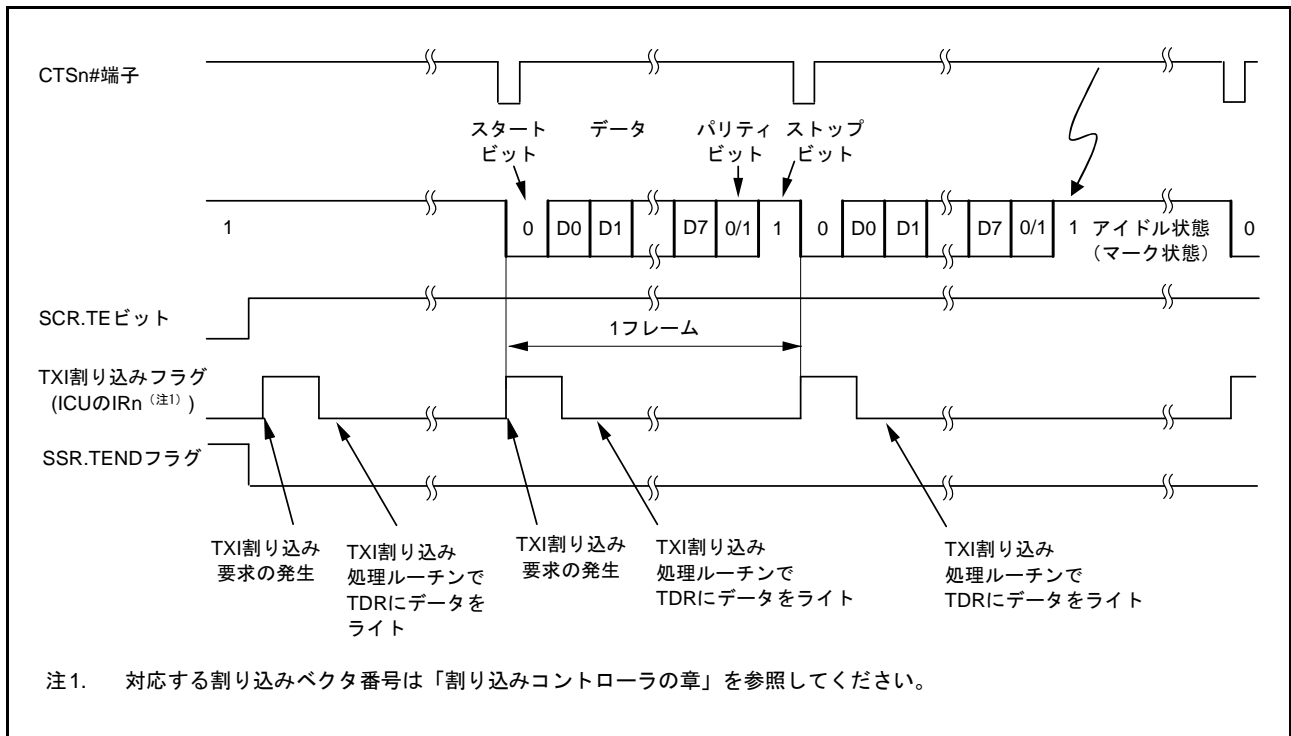


図 30.10 調歩同期式モードのシリアル送信の動作例 (2)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用する / 送信開始時)

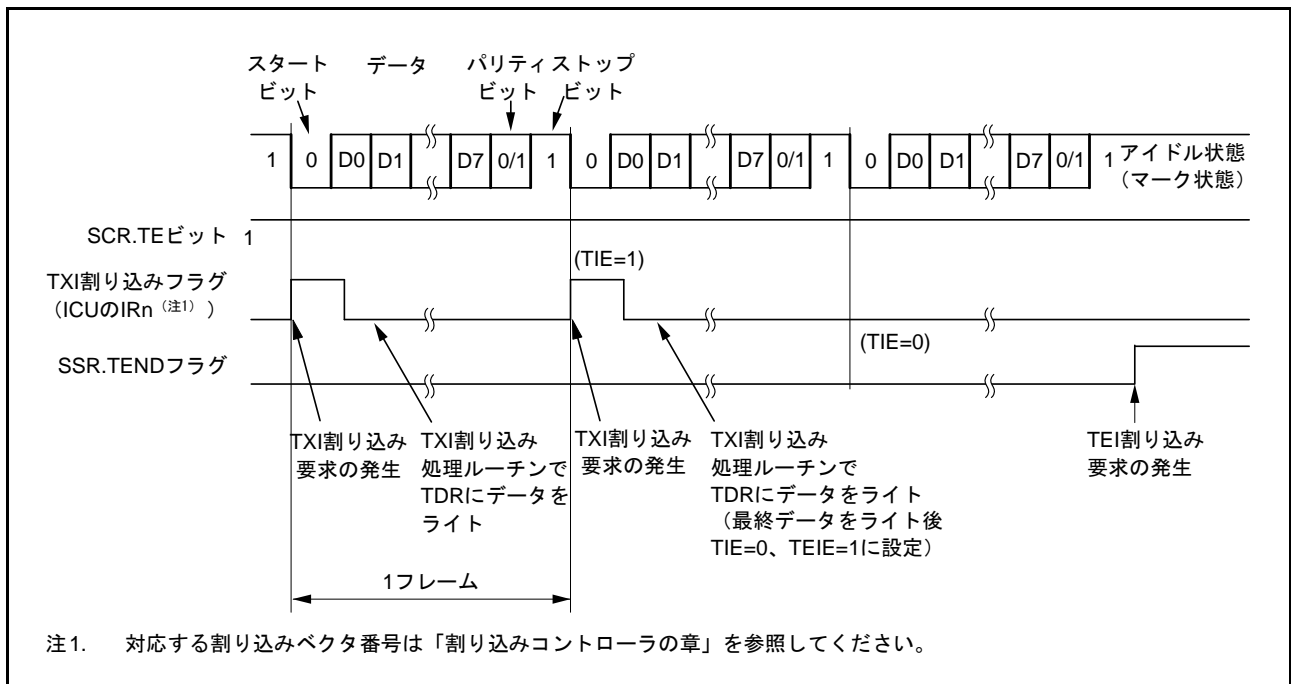


図 30.11 調歩同期式モードのシリアル送信の動作例 (3)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用しない / 送信中～送信終了時)

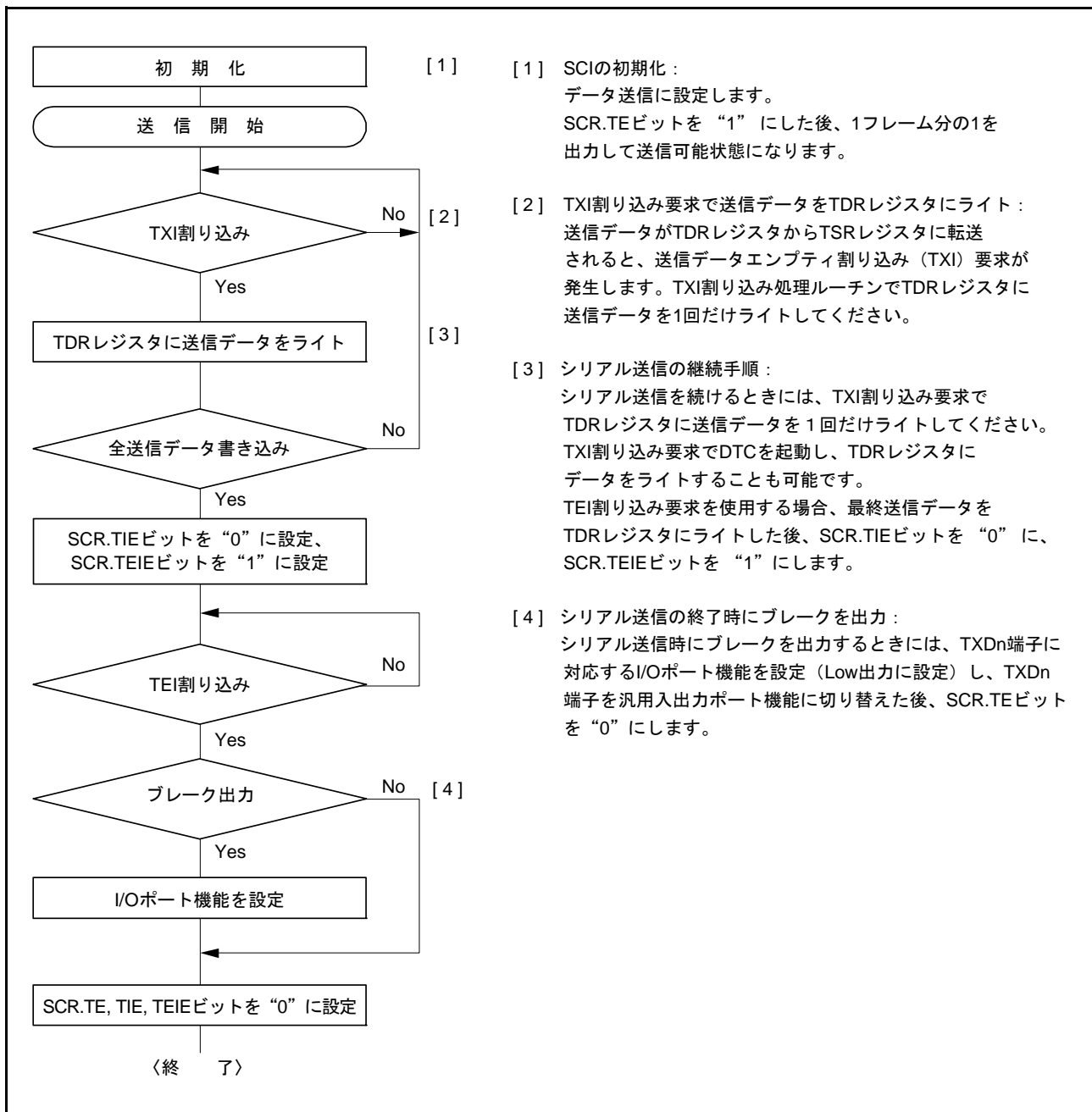


図 30.12 調歩同期式モードのシリアル送信のフローチャート例

30.3.7 シリアルデータの受信（調歩同期式モード）

図 30.13、図 30.14 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットを“1”にして、RTSn# 端子出力を Low にします。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.Overer フラグをセットします。このとき、SCR.RIE ビットが“1”にされていると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”にされていると、ERI 割り込み要求が発生します。
5. フレーミングエラー（ストップビットが“0”のとき）を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”にされていると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”にされていると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

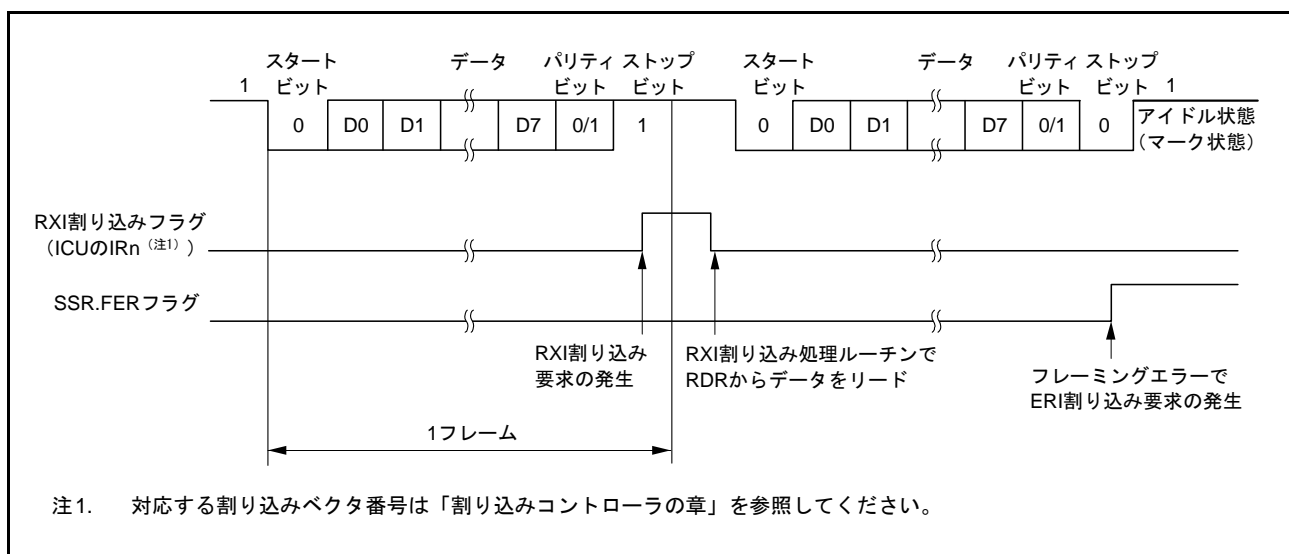


図 30.13 調歩同期式モードのシリアル受信時の動作例（1）（RTS 機能未使用時）
（8 ビットデータ / パリティあり / 1 ストップビットの例）

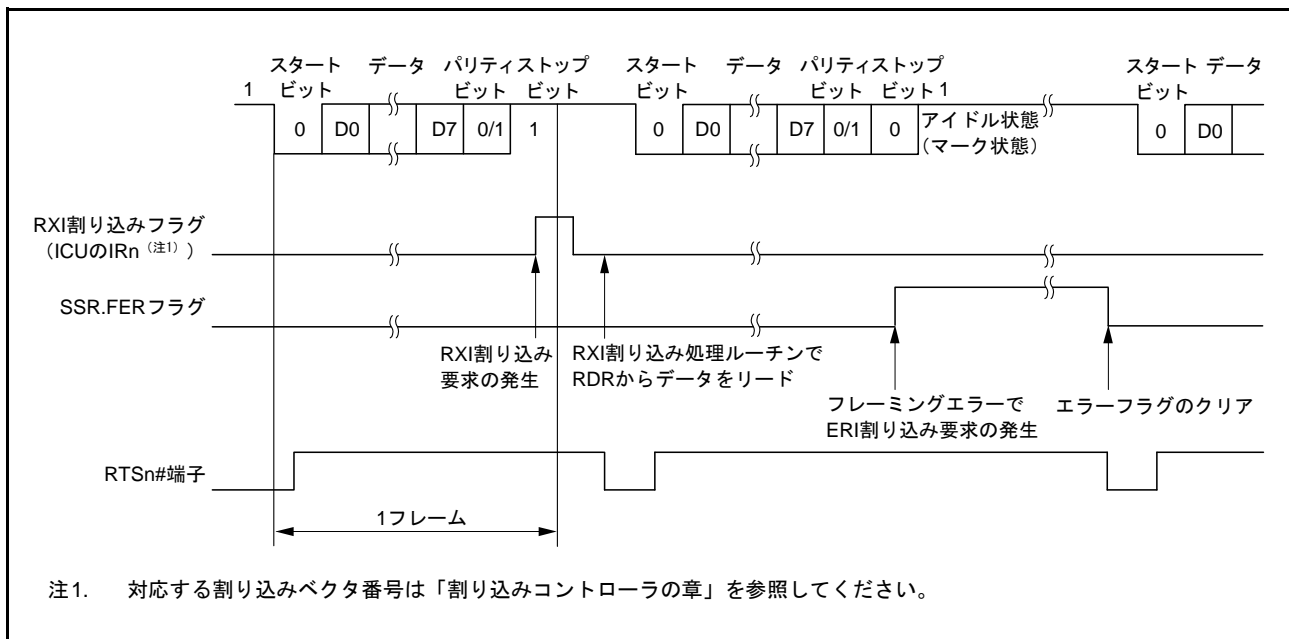


図 30.14 調歩同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)
(8ビットデータ / パリティあり / 1ストップビットの例)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 30.26 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 30.15、図 30.16 にシリアル受信のフローチャートの例を示します。

表 30.26 SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバランエラー + フレーミングエラー
1	0	1	消失	オーバランエラー + パリティエラー
0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

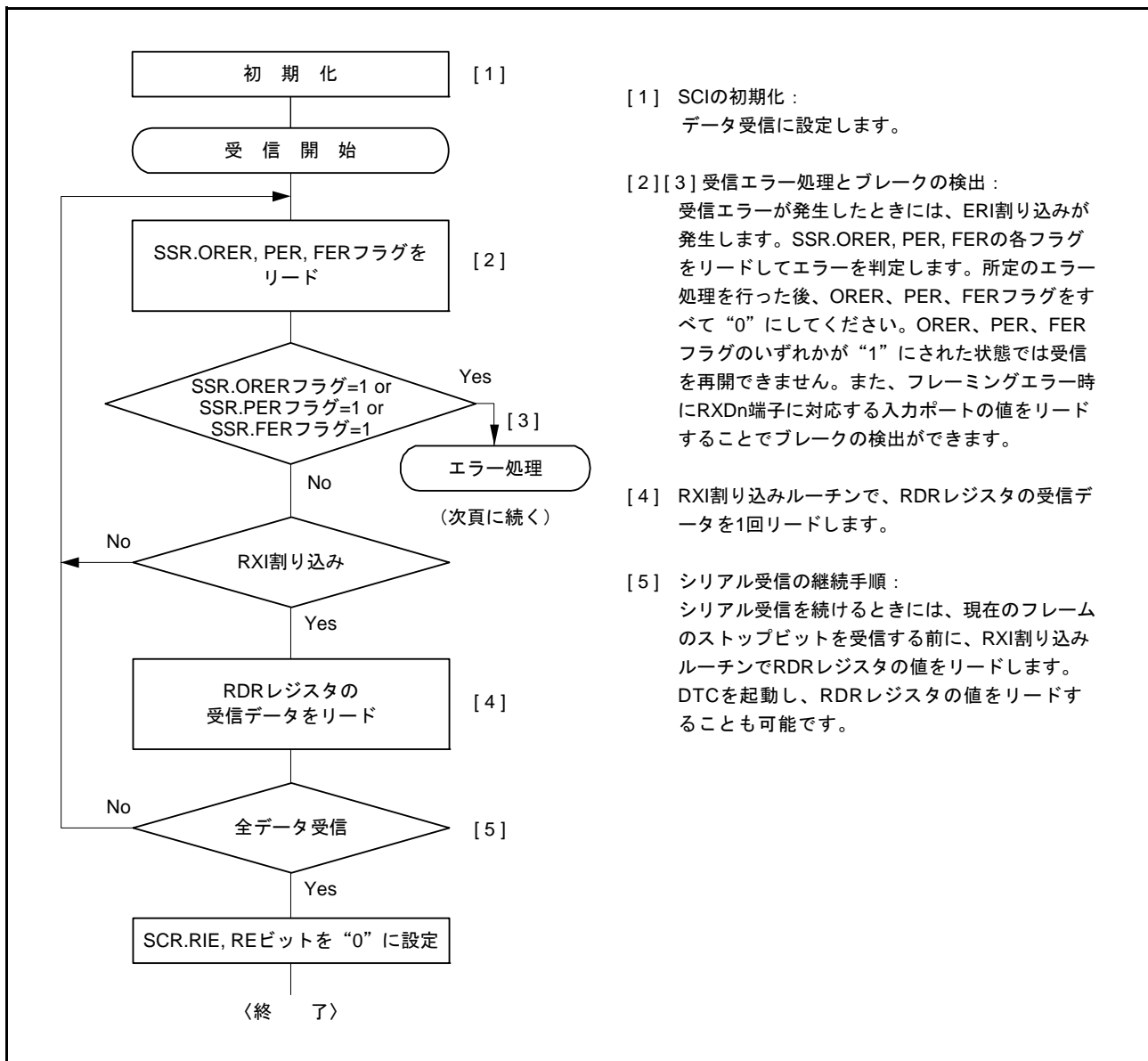


図 30.15 調歩同期式モードのシリアル受信のフローチャート例 (1)

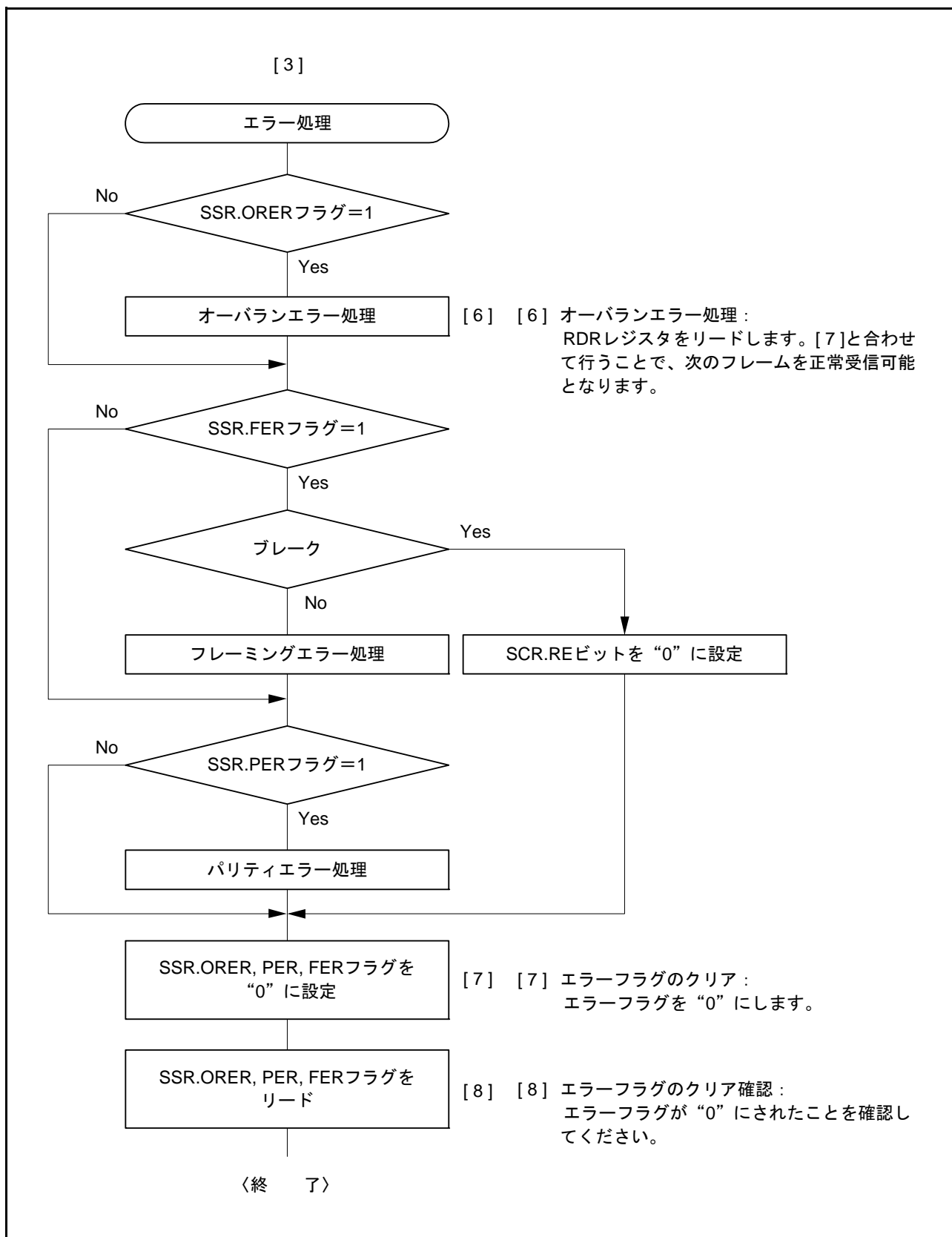


図 30.16 調歩同期式モードのシリアル受信のフローチャート例 (2)

30.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有のIDコードを割り付けます。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のときID送信サイクル、“0”のときデータ送信サイクルとなります。図30.17にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局のIDコードにマルチプロセッサビット1を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット0を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局のIDと比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCR.MPIEビットが設けてあります。MPIEビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまでRSRレジスタからRDRレジスタへの受信データの転送、および受信エラーの検出とSSR.ORER、FERの各ステータスフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、SSR.MPBTビットが“1”にされるとともにSCR.MPIEビットが自動的にクリアされて通常の受信動作に戻ります。このときSCR.RIEビットがセットされているとRXI割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

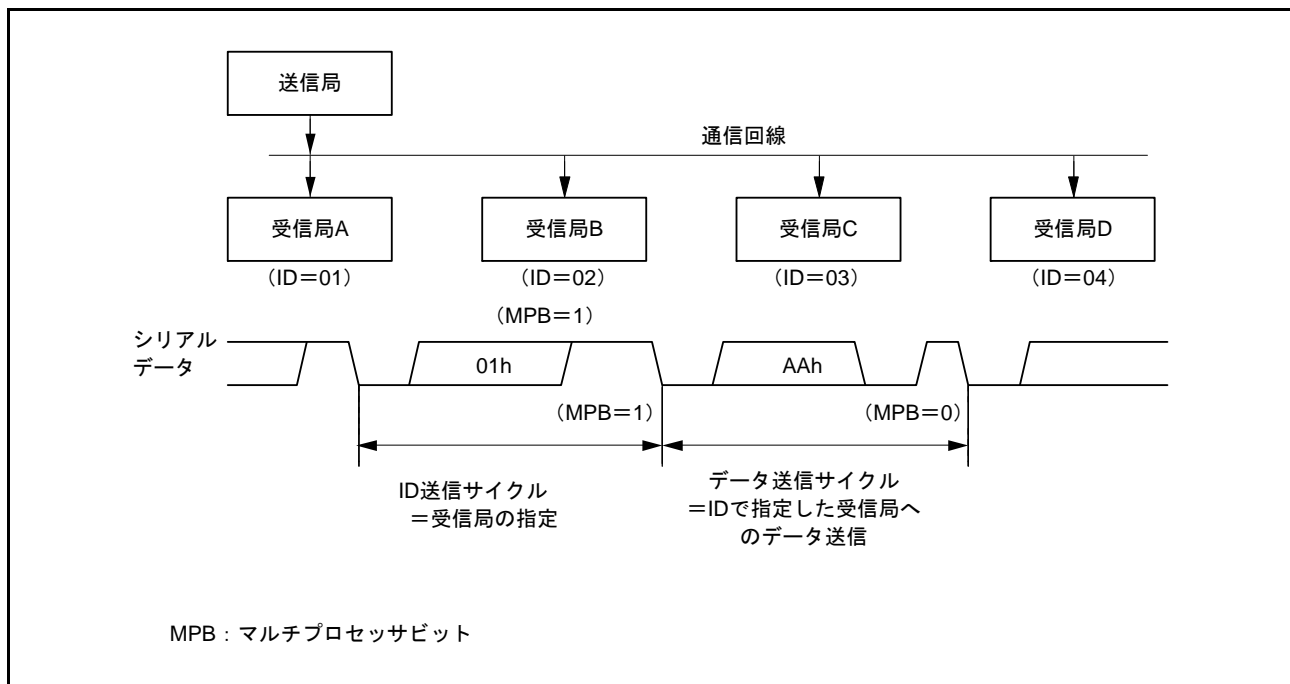


図 30.17 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ AAh の送信の例)

30.4.1 マルチプロセッサシリアルデータ送信

図 30.18 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは SSR.MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

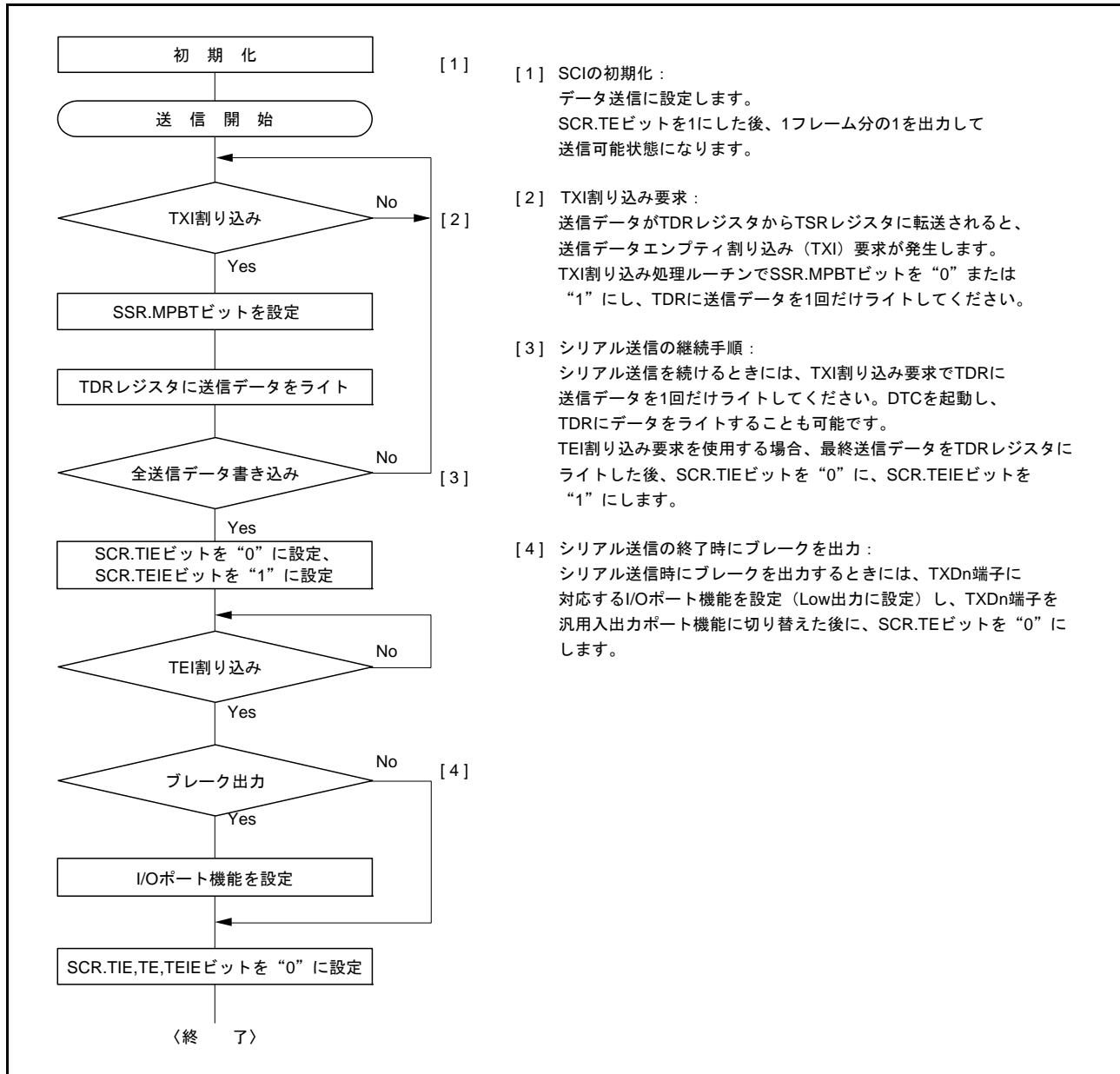


図 30.18 マルチプロセッサシリアル送信のフローチャートの例

30.4.2 マルチプロセッサシリアルデータ受信

図 30.20、図 30.21 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを“1”にするとマルチプロセッサビットが“1”の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが“1”の通信データを受信すると受信データを RDR レジスタに転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。

図 30.19 に受信時の動作例を示します。

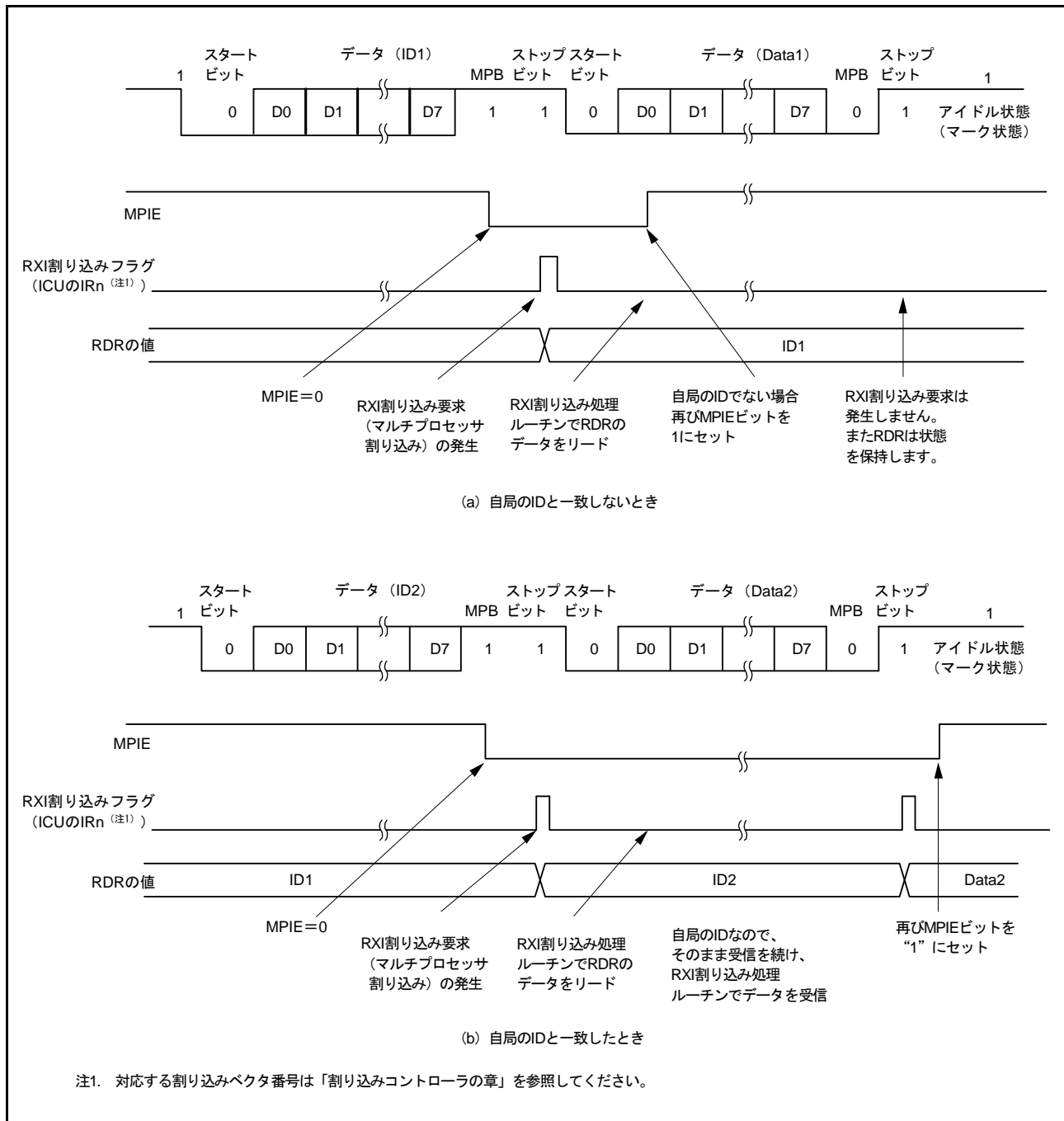
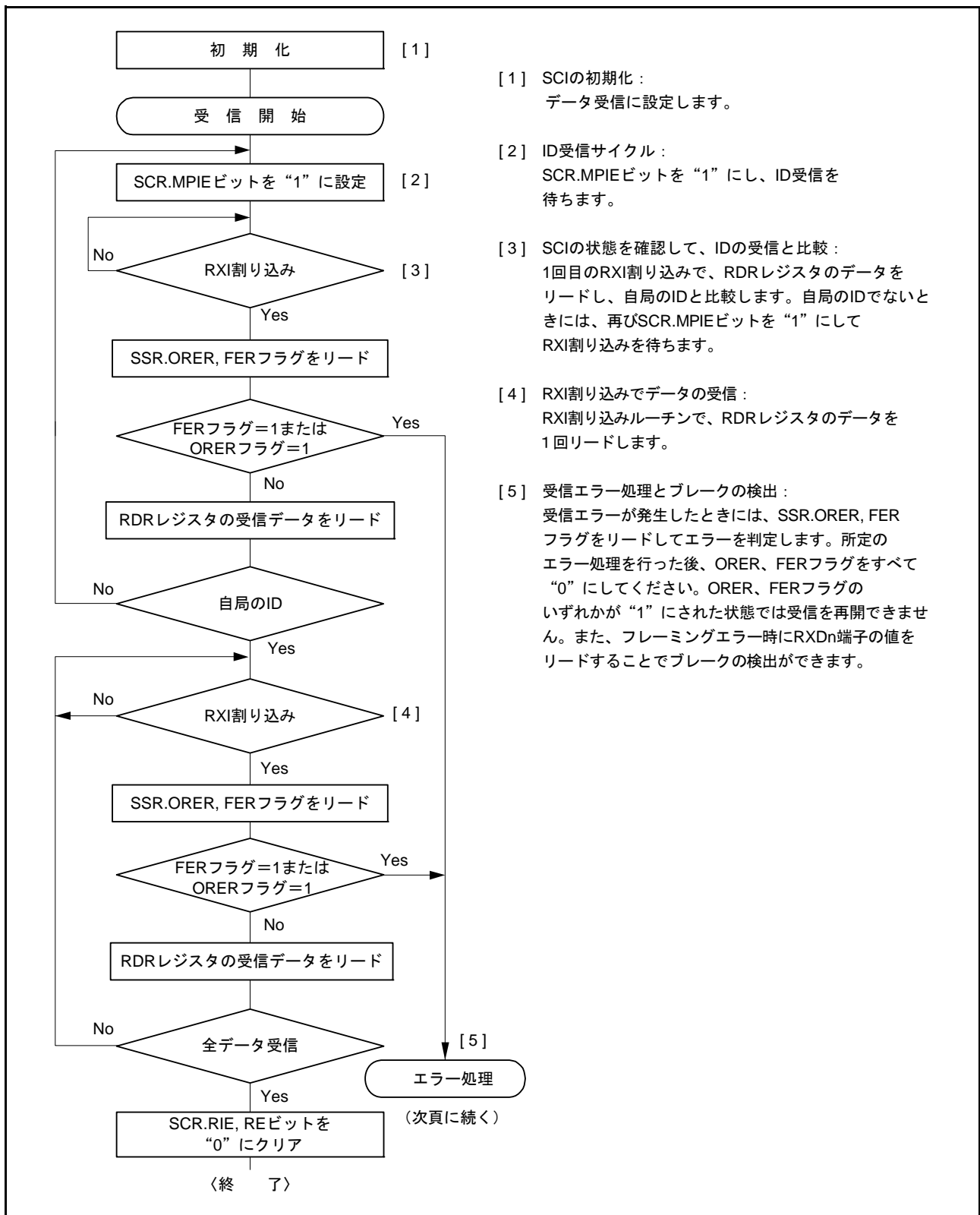


図 30.19 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)



- [1] SCIの初期化：
データ受信に設定します。
- [2] ID受信サイクル：
SCR.MPIEビットを“1”にし、ID受信を待ちます。
- [3] SCIの状態を確認して、IDの受信と比較：
1回目のRXI割り込みで、RDRレジスタのデータをリードし、自局のIDと比較します。自局のIDでないときには、再びSCR.MPIEビットを“1”にしてRXI割り込みを待ちます。
- [4] RXI割り込みでデータの受信：
RXI割り込みルーチンで、RDRレジスタのデータを1回リードします。
- [5] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、SSR.ORER, FERフラグをリードしてエラーを判定します。所定のエラー処理を行った後、ORER、FERフラグのいずれかが“1”にされた状態では受信を再開できません。また、フレーミングエラー時にRXDn端子の値をリードすることでブレークの検出ができます。

図 30.20 マルチプロセッサシリアル受信のフローチャートの例 (1)

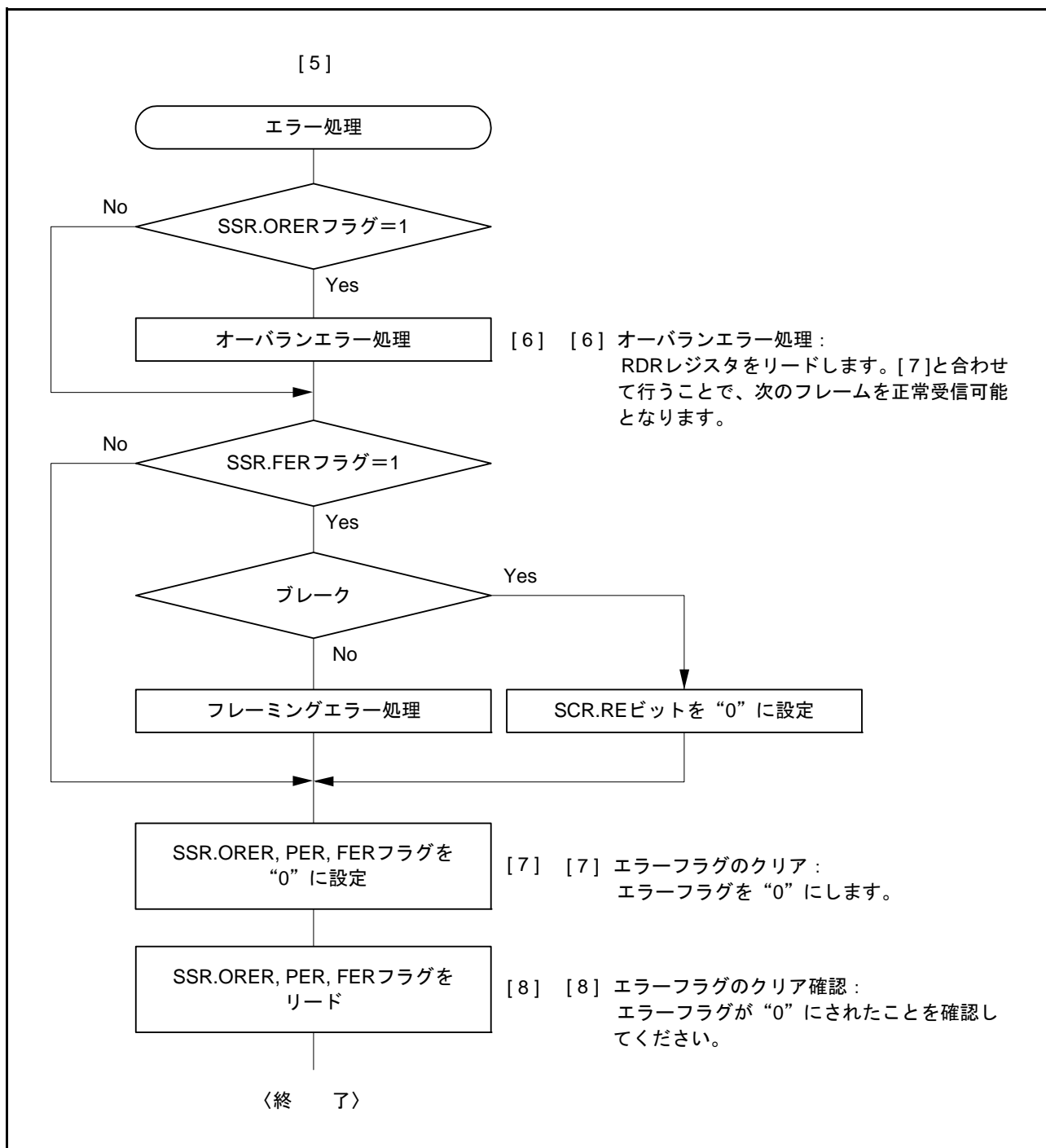


図 30.21 マルチプロセッサシリアル受信のフローチャートの例 (2)

30.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 30.22 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCIは、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

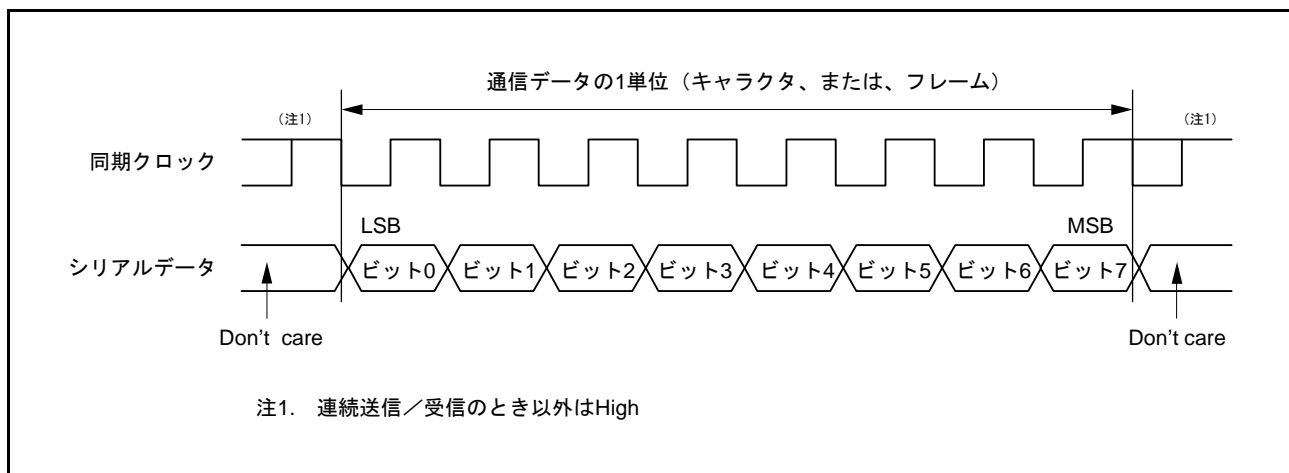


図 30.22 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

30.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは、CTS 機能が無効な場合は SCR.RE ビットを“1”にするとともに同期クロックの出力を開始し、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

受信動作のみでかつ CTS 機能が有効な場合は、SCR.RE ビットが“0”のときに CTSn# 端子入力が High であれば、SCR.RE ビットを“1”にしてもクロック出力を開始しません。SCR.RE ビットを“1”にしかつ CTSn# 端子入力が Low になると同期クロックの出力を開始します。その後、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を High レベルで停止します。CTSn# 端子入力が Low を継続のときは、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

30.5.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SPMR.CTSE ビット“1”にすると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが“1”
- 送受信動作中でない
- 読み出し前の受信データがない (SCR.RE ビットが“1”のとき)
- 送信データを書き込み済 (SCR.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

30.5.3 SCIの初期化（クロック同期式モード）

データの送受信前に SCR レジスタに初期値 00h を書き込み、図 30.23 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを“0”にしても、SSR.ORER, FER, PER の各フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを“1”から“0”、または“0”から“1”にすると、SCR.TIE ビットが“1”の場合、TXI 割り込みが発生しますので注意してください。

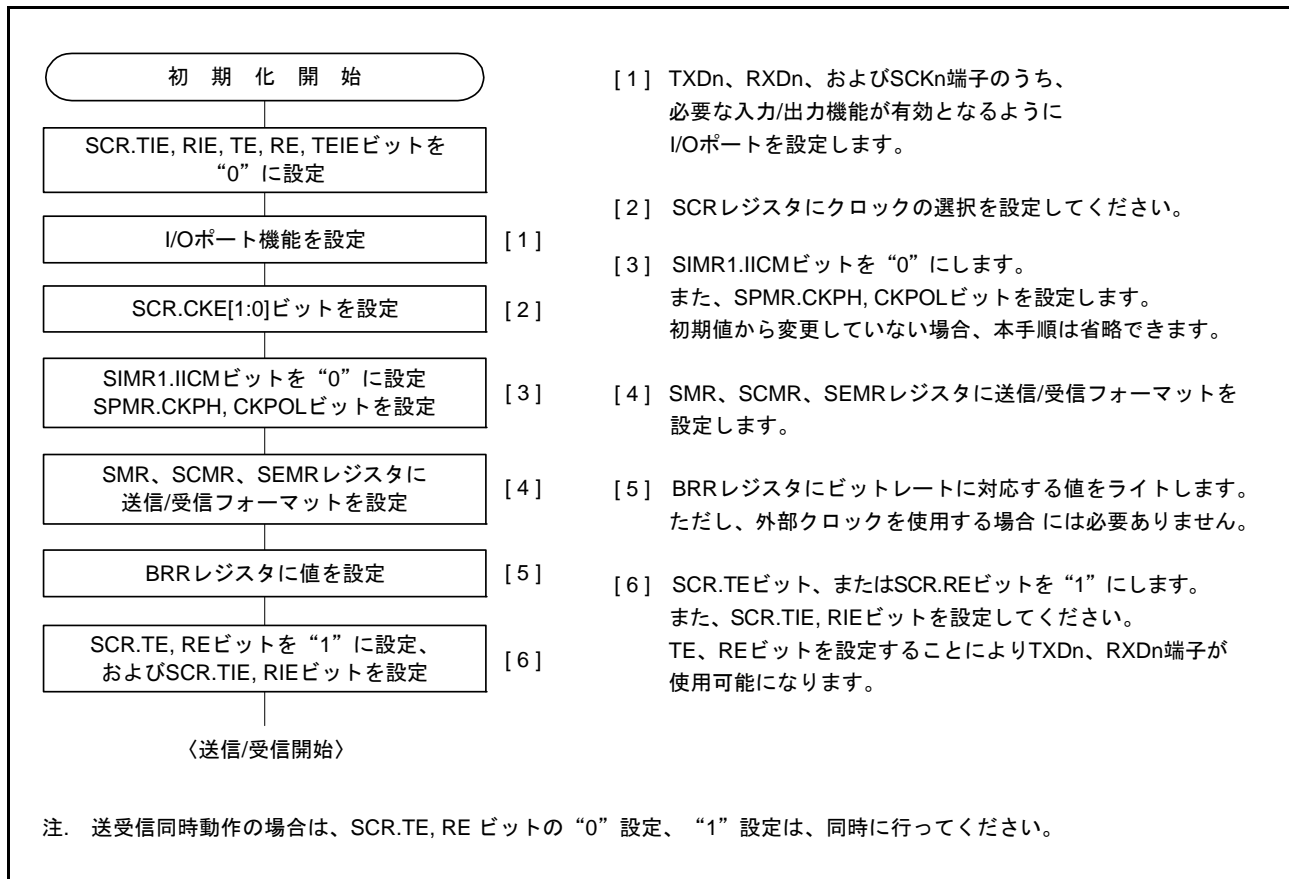


図 30.23 SCIの初期化フローチャートの例（クロック同期式モード）

30.5.4 シリアルデータの送信 (クロック同期式モード)

図 30.24、図 30.25、図 30.26 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”にされていると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを“0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを“1” (TEI 割り込み要求を許可) にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SPMR.CTSE ビットが“1” (CTS 機能許可) のとき、CTS 信号入力 Low になるまで待つてから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが“1”にされていると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 30.27 にシリアル送信のフローチャートの例を示します。

受信エラーフラグ (SSR.ORER, FER, PER) が“1”にされた状態では送信を開始しません。送信開始の前に、受信エラーフラグを“0”にしてください。また、受信エラーフラグは SCR.RE ビットを“0”にしただけではクリアされませんので注意してください。

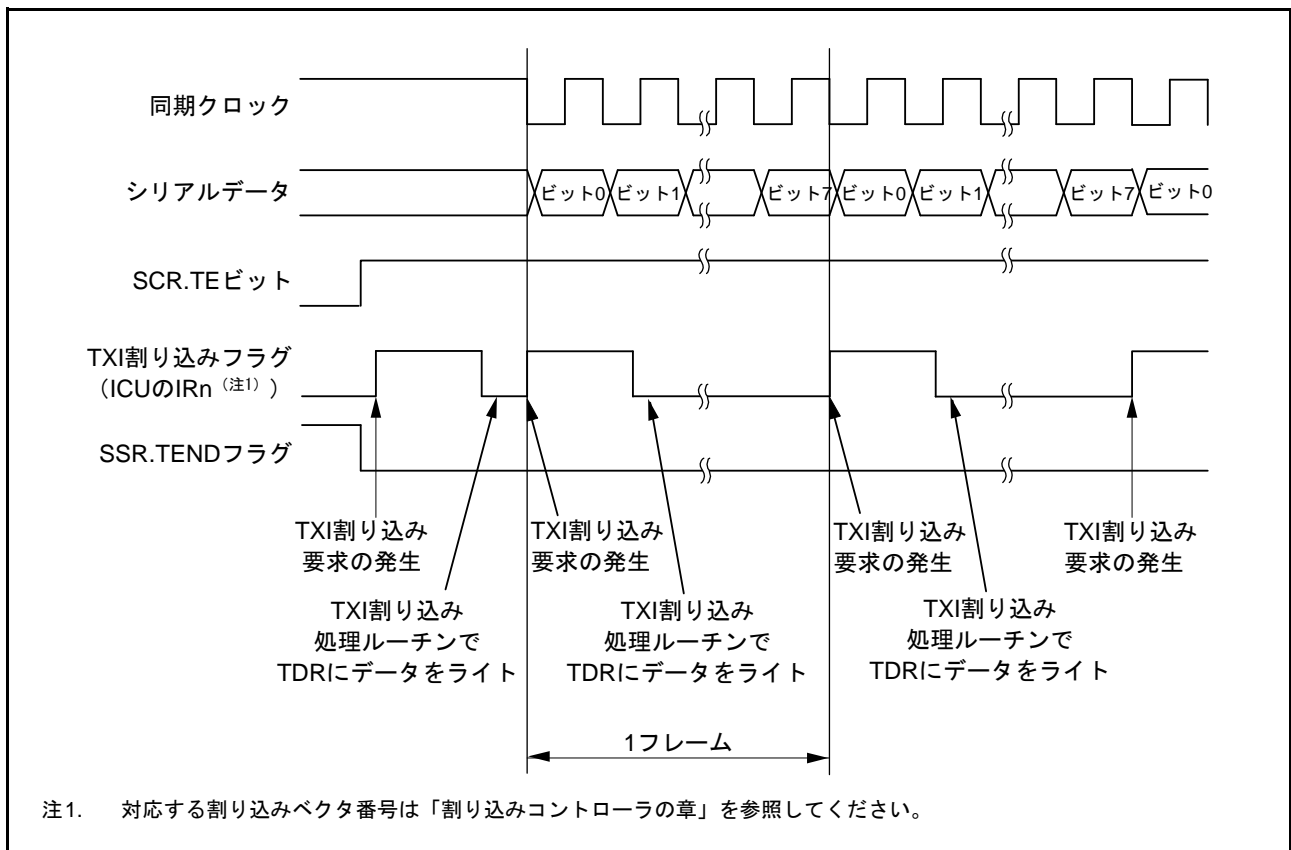


図 30.24 クロック同期式モードのシリアル送信の動作例 (1) (送信開始・CTS 機能使用しない)

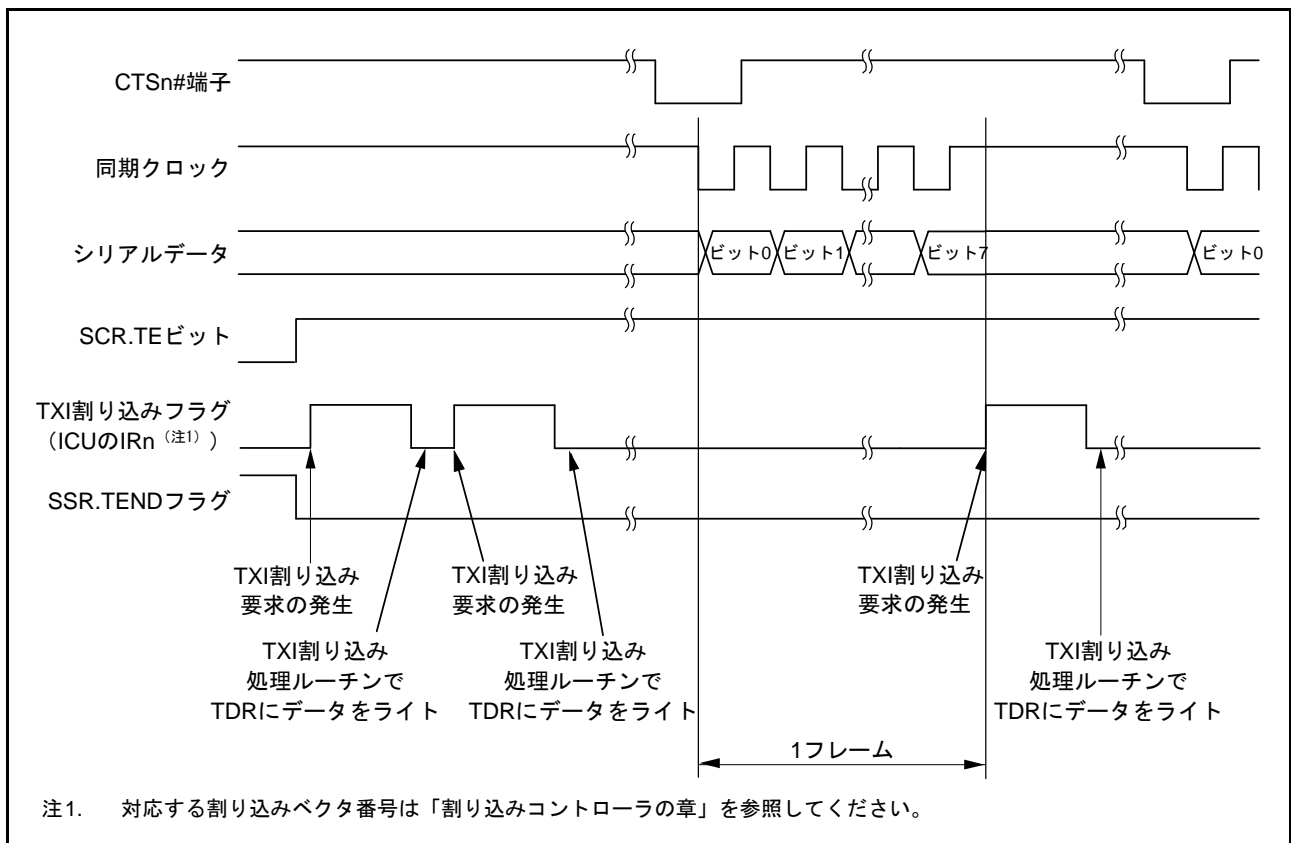


図 30.25 クロック同期式モードのシリアル送信の動作例 (2) (送信開始・CTS 機能使用する)

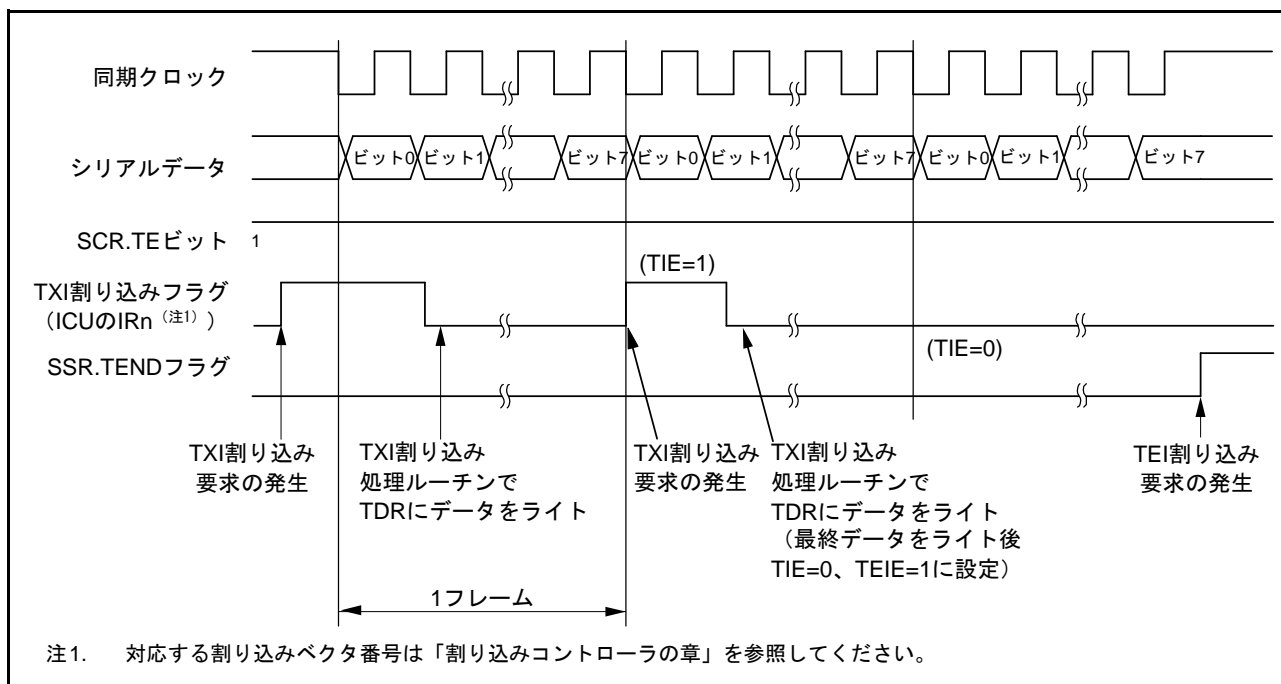


図 30.26 クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信終了時)

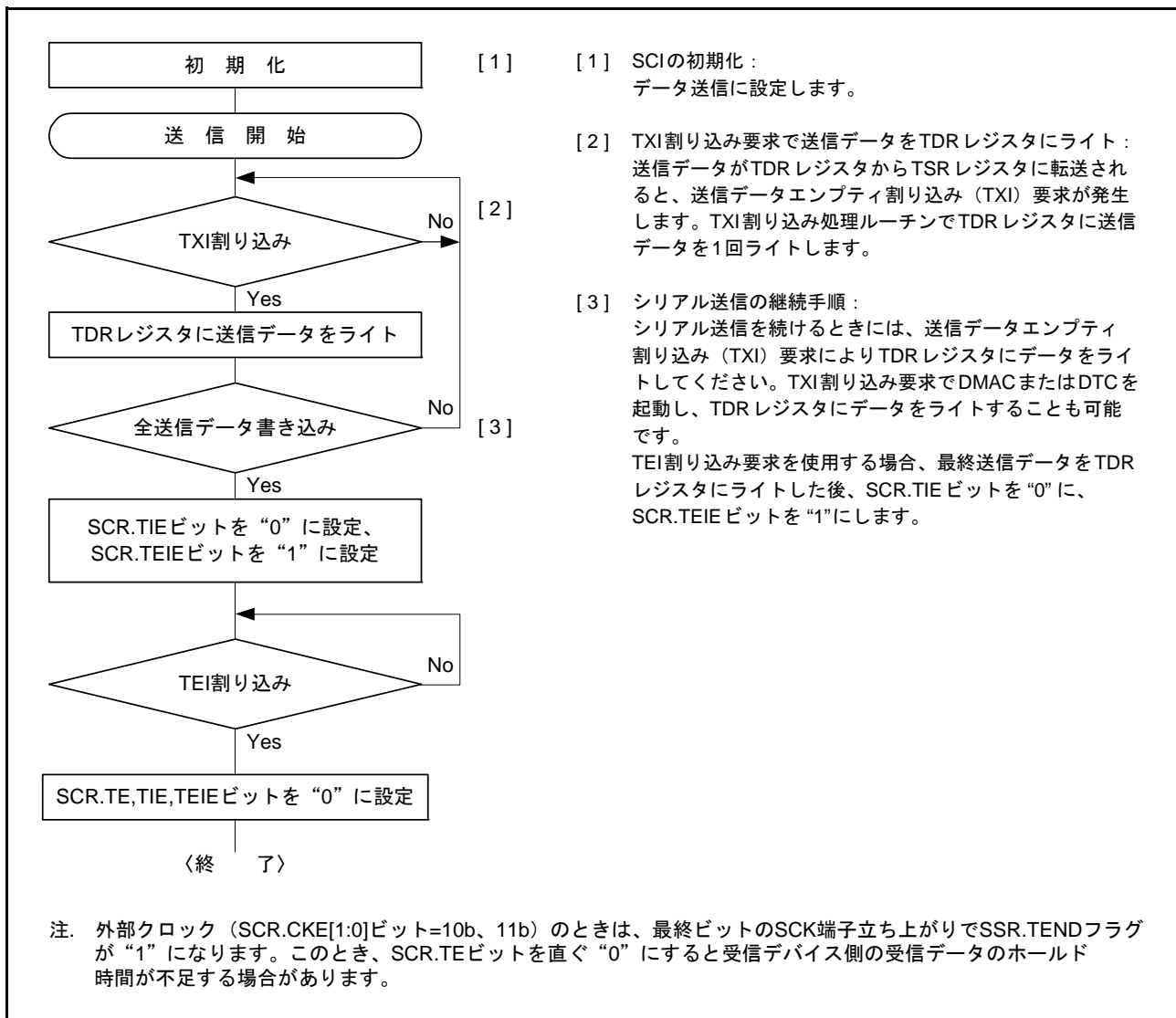


図 30.27 クロック同期式モードのシリアル送信のフローチャート例

30.5.5 シリアルデータの受信（クロック同期式モード）

図 30.28、図 30.29 にクロック同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 信号出力を Low にします（RTS 機能使用時）。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが“1”にされていると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”にされていると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 信号出力を Low にします（RTS 機能使用時）。

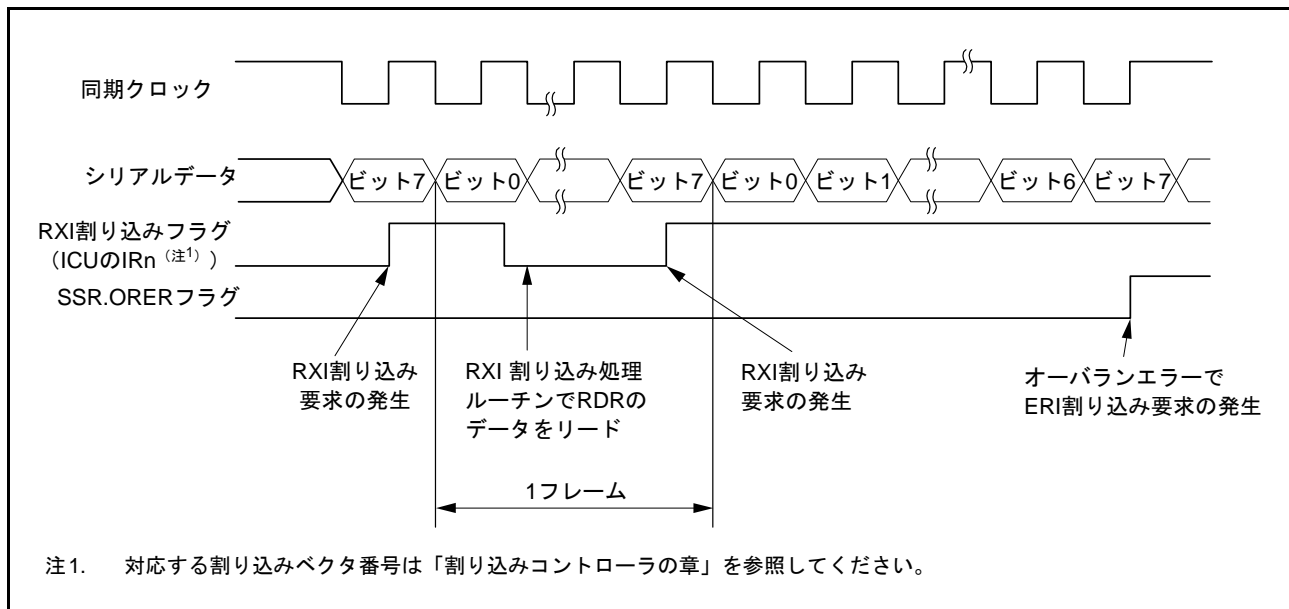


図 30.28 クロック同期式モードのシリアル受信時の動作例（1）（RTS 機能未使用時）

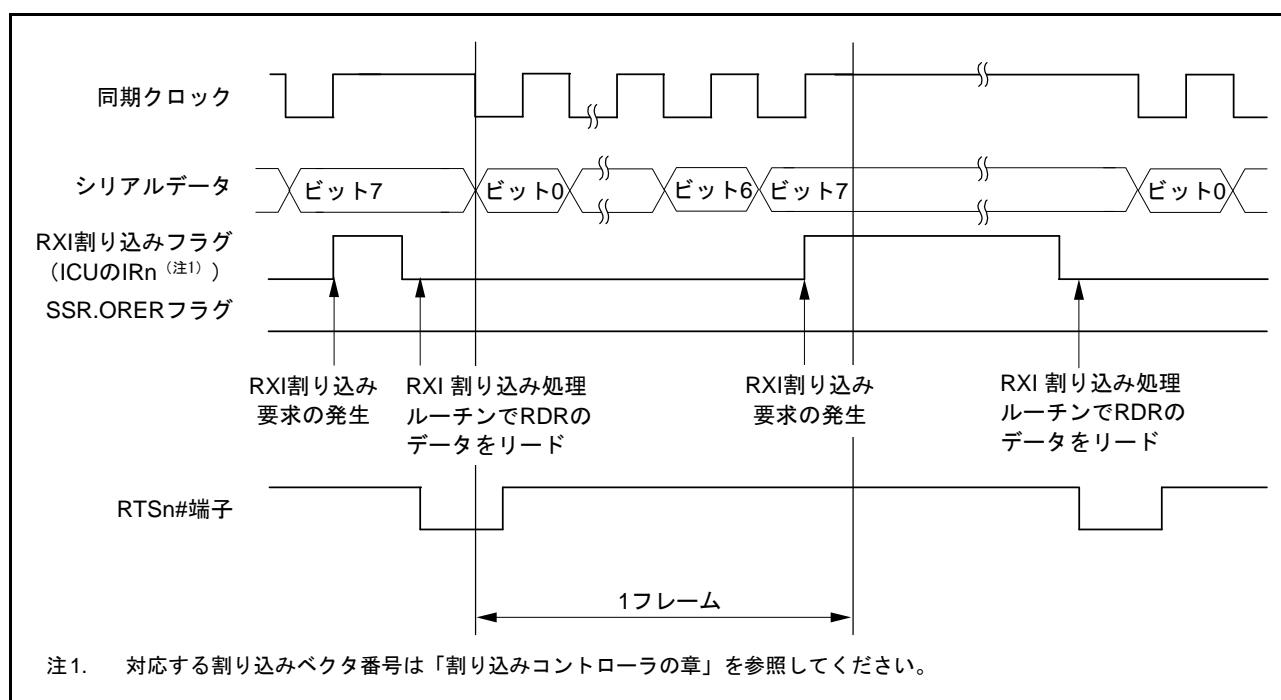


図 30.29 クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に **SSR.ORER**, **FER**, **PER** フラグを“0”にしてください。また、オーバランエラー処理では **RDR** レジスタをリードしてください。また、受信動作中に **SCR.RE** ビットを“0”にし受信動作を強制終了した場合、**RDR** レジスタに読み出し前の受信データが残る場合があるため、**RDR** レジスタをリードしてください。

図 30.30 にシリアル受信のフローチャートの例を示します。

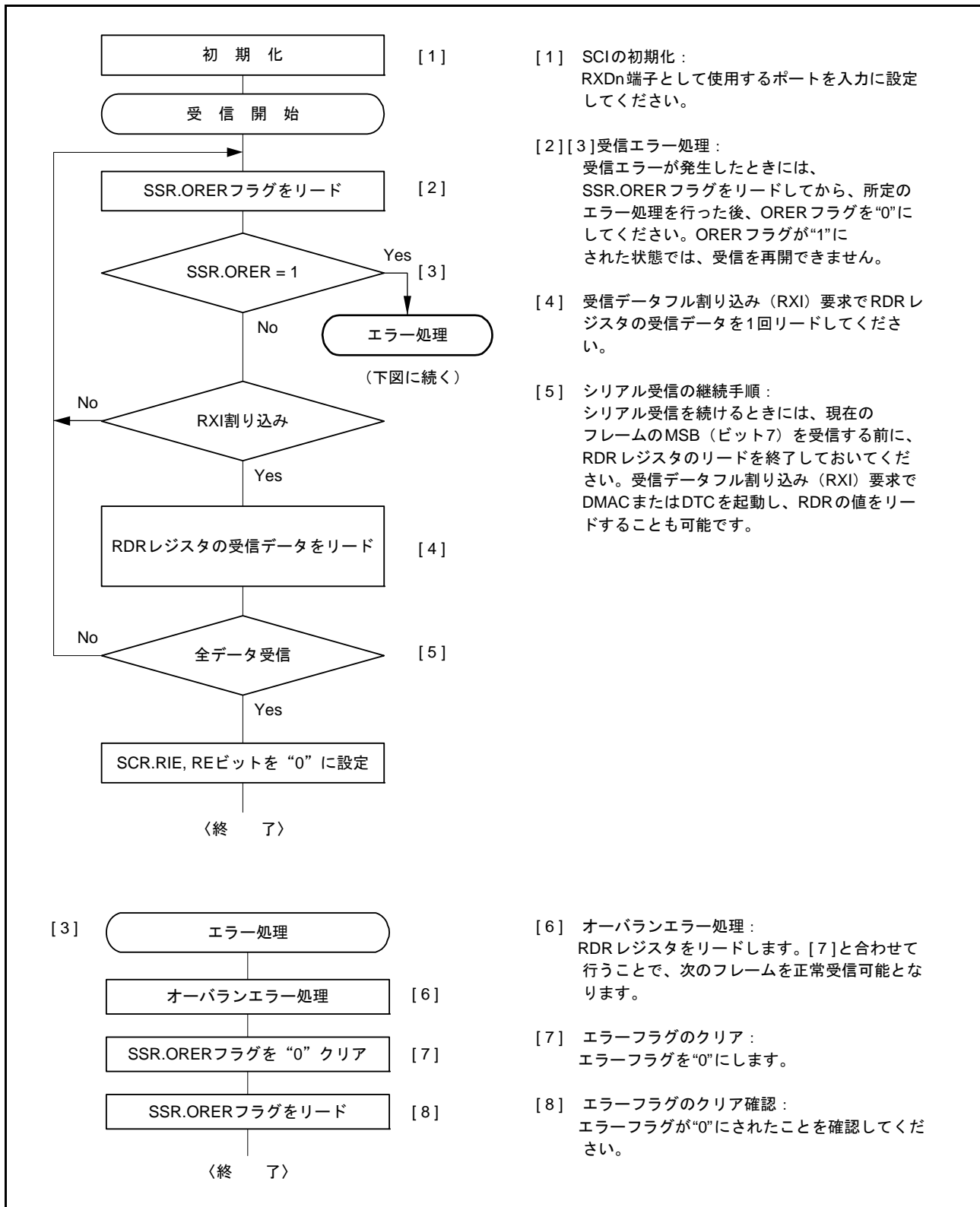


図 30.30 クロック同期式モードのシリアル受信のフローチャート例

30.5.6 シリアルデータの送受信同時動作 (クロック同期式モード)

図 30.31 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCIの初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCIが送信終了状態であることをSSR.TENDフラグが“1”にされていることで確認してください。その後、SCRレジスタを初期化してからSCR.TIE, RIE, TE, REビットを1命令で同時に“1”にしてください。

受信から同時送受信へ切り替えるときには、SCIが受信完了状態であることを確認した後、SCR.RIE, REビットを“0”にしてから、エラーフラグ(SSR.ORER, FER, PER)が“0”にされていることを確認した後、SCR.TIE, RIE, TE, REビットを1命令で同時に“1”にしてください。

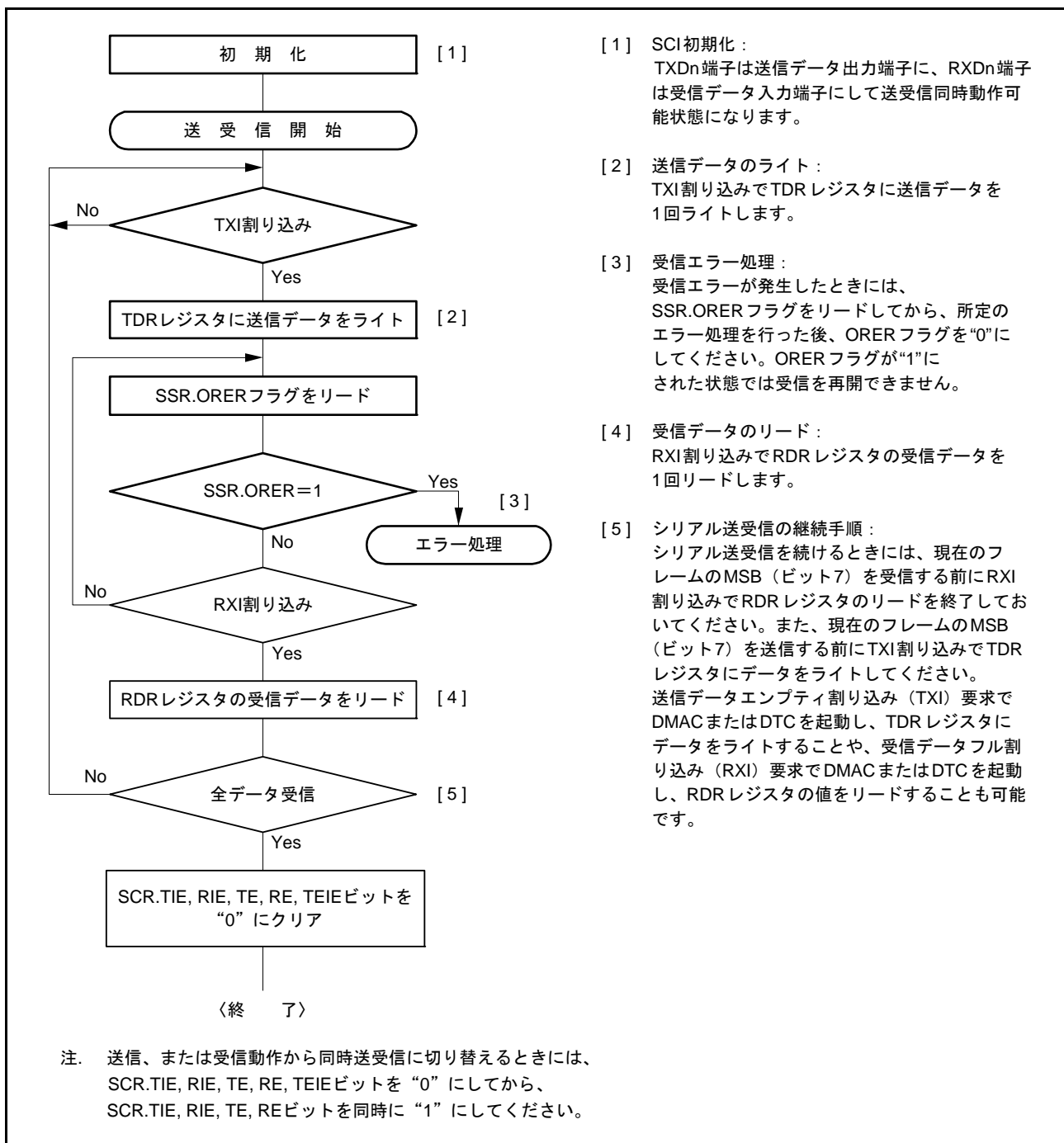


図 30.31 クロック同期式モードのシリアル送受信同時動作のフローチャート例

30.6 スマートカードインタフェースモードの動作

SCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (ICカード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

30.6.1 接続例

図 30.32 にスマートカード (ICカード) との接続例を示します。

ICカードとは1本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

ICカードを接続しない状態で SCR.TE ビット=1、SCR.RE ビット=1 に設定すると、閉じた送信/受信が可能となり自己診断をすることができます。

SCIで生成するクロックをICカードに供給する場合は、SCKn 端子出力をICカードのCLK 端子に入力してください。

リセット信号の出力には本MCUの出力ポートを使用できます。

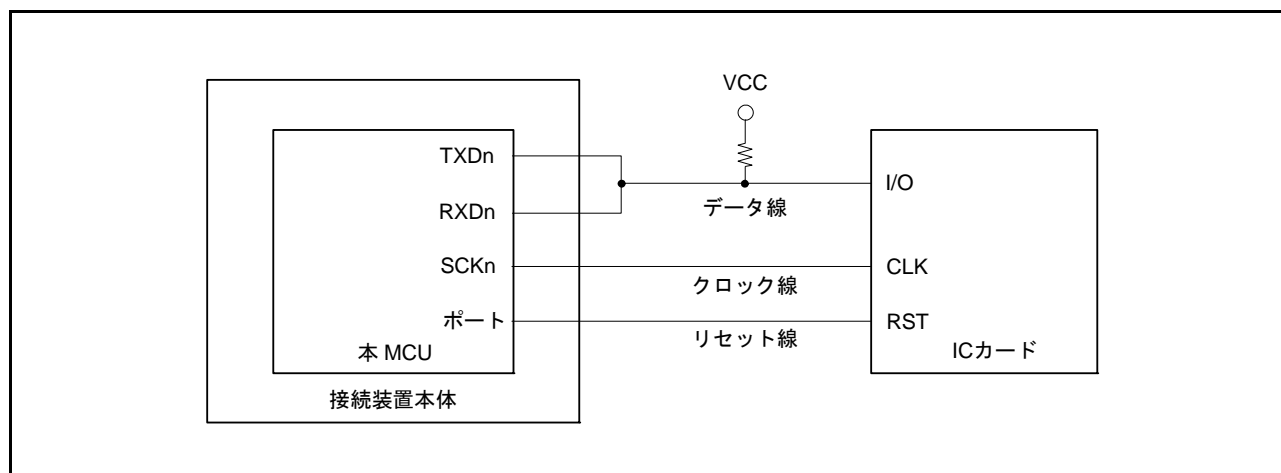


図 30.32 スマートカード (ICカード) との接続例

30.6.2 データフォーマット (ブロック転送モード時を除く)

図 30.33 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5etu 経過後、エラーシグナル (Low) を 1etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを再送信します。

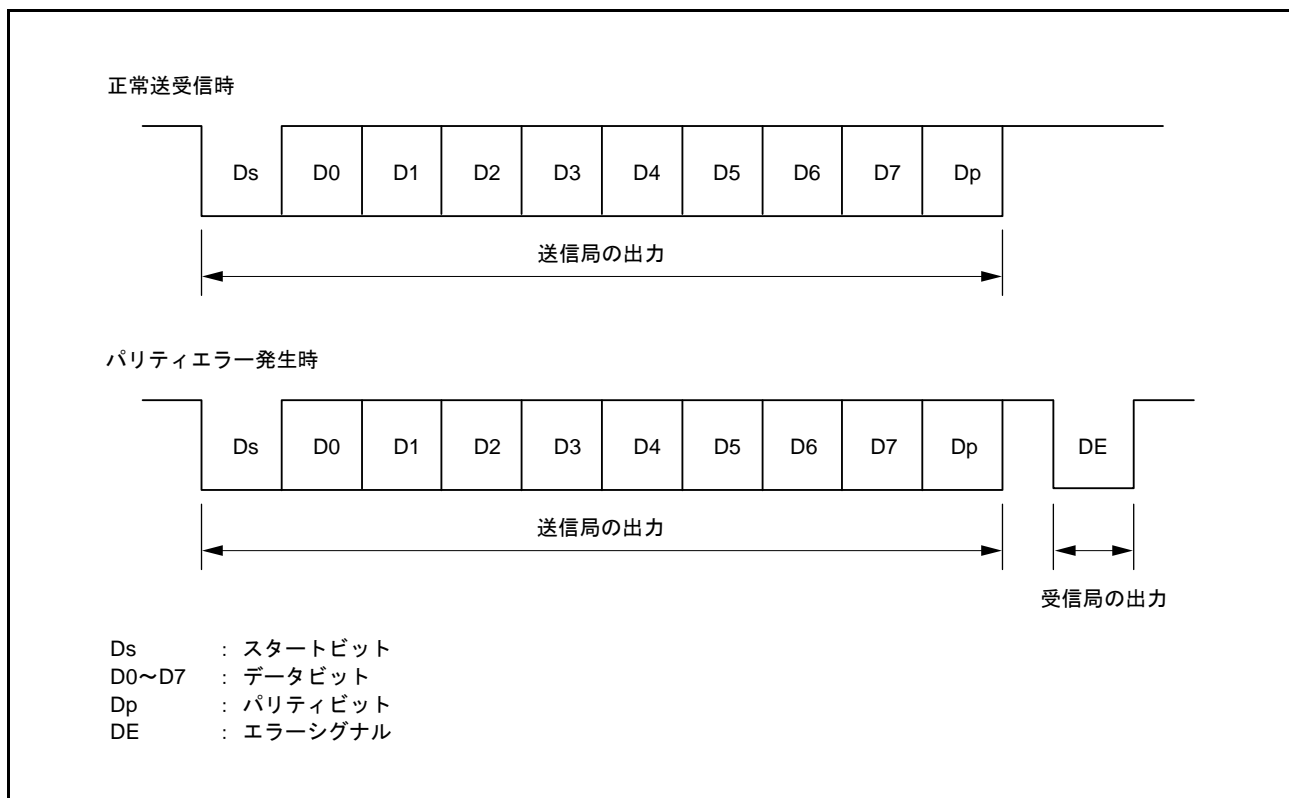


図 30.33 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図 30.34** に示す開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。**図 30.34** の開始キャラクタでは、データは3Bhとなります。

ダイレクトコンベンションタイプでは、SCMR.SDIR、SINVビットをともに“0”にしてください。また、スマートカードの規定により偶数パリティとなるようSMR.PMビットには“0”を設定してください。

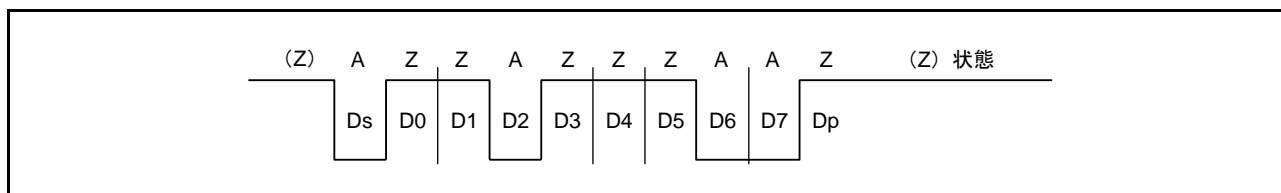


図 30.34 ダイレクトコンベンション
(SCMR.SDIR ビット= 0、SCMR.SINV ビット= 0、SMR.PM ビット= 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信します。**図 30.35** の開始キャラクタでは、データは3Fhとなります。

インバースコンベンションタイプでは、SCMR.SDIR、SINVビットをともに“1”にしてください。パリティビットはスマートカードの規定により偶数パリティで論理0となり、状態Zが対応します。

本MCUでは、SINVビットはデータビットD7～D0のみ反転させます。このため、送受信ともSMR.PMビットに“1”を設定してパリティビットを反転させてください。

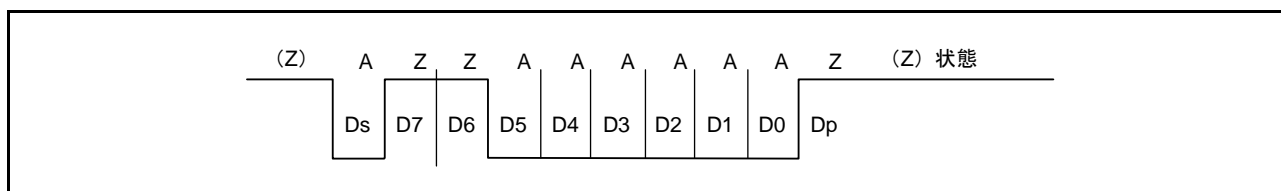


図 30.35 インバースコンベンション
(SCMR.SDIR ビット= 1、SCMR.SINV ビット= 1、SMR.PM ビット= 1)

30.6.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。
SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小1etu以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から11.5etu後にセットされます。
- SSR.ERS フラグは通常のスマートカードインタフェースモードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため“0”となります。

30.6.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックのみです。

スマートカードインタフェースモードでは、SCIはSCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定により、ビットレートの32倍、64倍、372倍、256倍、93倍、128倍、186倍、512倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、**図 30.36**に示すように、受信データを基本クロックのそれぞれ16、32、186、128、46、64、93、256サイクルの立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%]$$

- M : 受信マージン(%)
- N : クロックに対するビットレートの比(N = 32, 64, 372, 256)
- D : クロックデューティ (D = 0 ~ 1.0)
- L : フレーム長(L = 10)
- F : クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100[\%] = 49.866\%$$

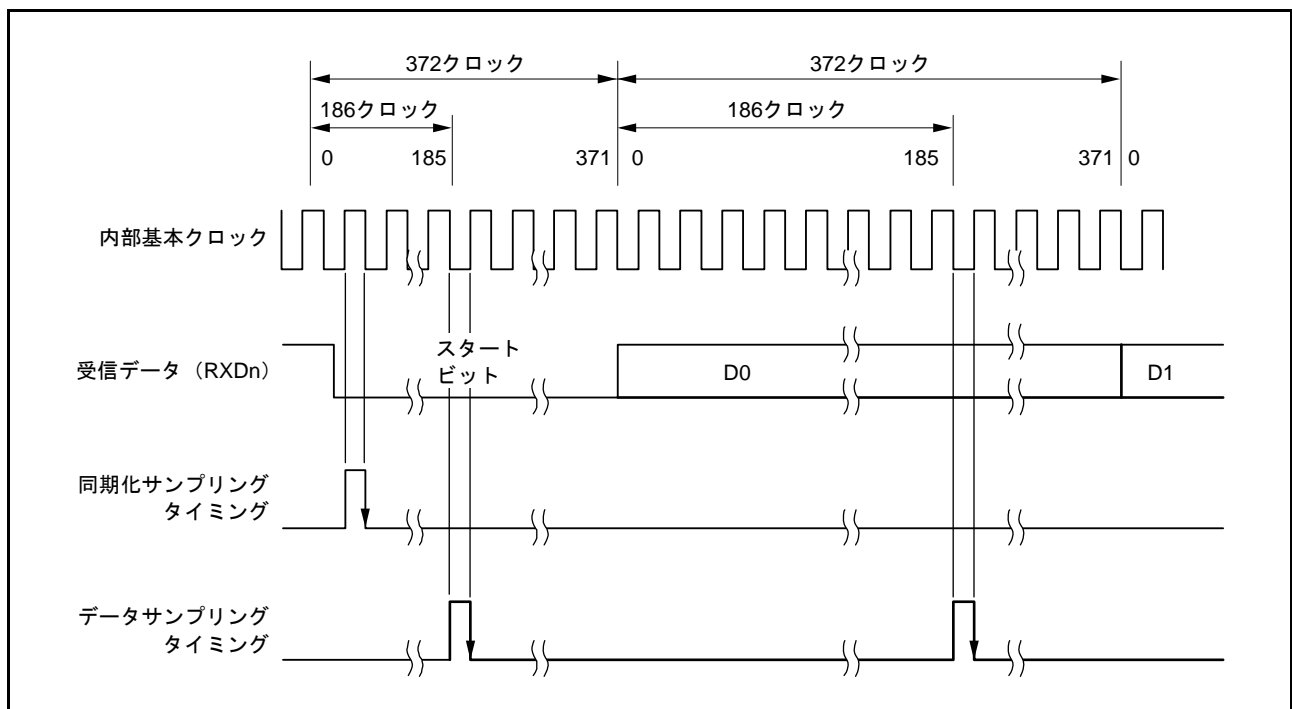


図 30.36 スマートカードインタフェースモード時の受信データサンプリングタイミング (372倍のクロック使用時)

30.6.5 SCIの初期化 (スマートカードインタフェースモード)

図 30.37 のフローチャートの例に従って初期化してください。

送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化してから変更してください。なお、RE ビットを“0”にしても RDR レジスタは初期化されません。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、TE ビット= 1、RE ビット= 0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、あるいは SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE ビット= 0、RE ビット= 1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

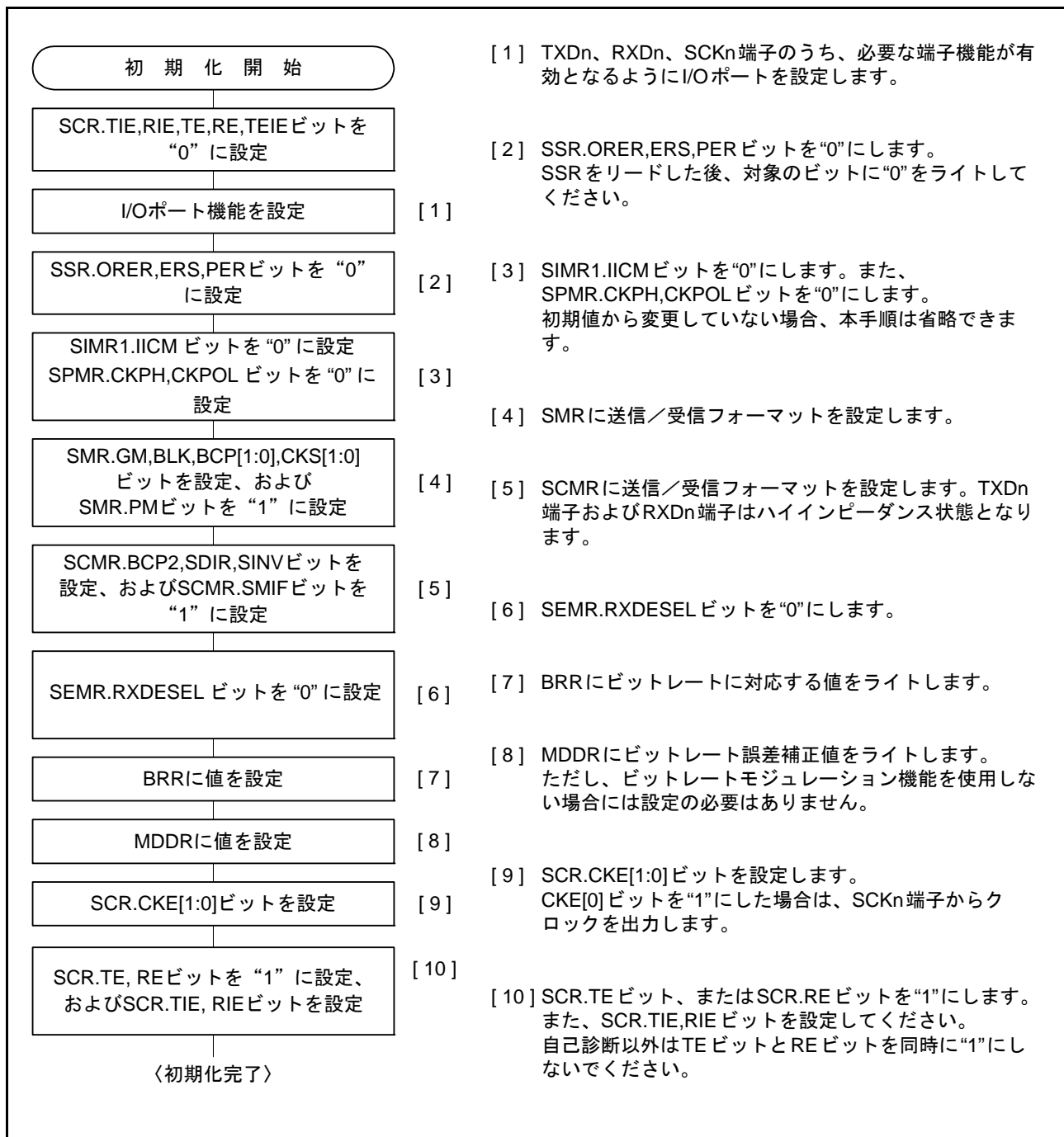


図 30.37 SCIの初期化フローチャートの例 (スマートカードインタフェースモード)

30.6.6 シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 30.38 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると **SSR.ERS** フラグが“1”にされます。このとき **SCR.RIE** ビットが“1”にされていると、**ERI** 割り込み要求が発生します。次のパリティビットのサンプリングまでに **ERS** フラグをクリアしてください。
- 2 エラーシグナルを受信したフレームでは、**SSR.TEND** フラグはセットされません。**TDR** レジスタから **TSR** レジスタに再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、**ERS** フラグはセットされません。
- 4 再転送を含む 1 フレームの送信が完了したと判断して、**SSR.TEND** フラグがセットされます。このとき、**SCR.TIE** ビットが“1”にされていれば、**TXI** 割り込み要求が発生します。送信データを **TDR** レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 30.40 に示します。これらの一連の処理は、**TXI** 割り込み要因によって **DTC** または **DMAC** を起動することで自動的に行うことができます。

送信動作では、**SSR.TEND** フラグが“1”にされると、**SCR.TIE** ビットを“1”にしておくと、**TXI** 割り込み要求が発生します。あらかじめ **DTC** または **DMAC** の起動要因に **TXI** 割り込み要求を設定しておけば、**TXI** 割り込み要求により **DTC** または **DMAC** が起動されて送信データの転送を行います。**TEND** フラグは、**DTC** または **DMAC** によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は **SCI** が自動的に同じデータを再送信します。この間、**TEND** フラグは“0”のまま保持され、**DTC** または **DMAC** は起動されません。したがって、エラー発生時の再送信を含め、**SCI** と **DTC** または **DMAC** が指定されたバイト数を自動的に送信します。ただし、エラー発生時、**ERS** フラグは自動的にクリアされませんので、**RIE** ビットを“1”にしておき、エラー発生時に **ERI** 割り込み要求が発生させ、**ERS** フラグをクリアしてください。

なお、**DTC** または **DMAC** を使って送受信を行う場合は、先に **DTC** または **DMAC** を設定し、許可状態にしてから **SCI** の設定を行ってください。

DTC または **DMAC** の設定方法は「17. DMA コントローラ (DMACA)」、 「18. データトランスファコントローラ (DTCa)」を参照してください。

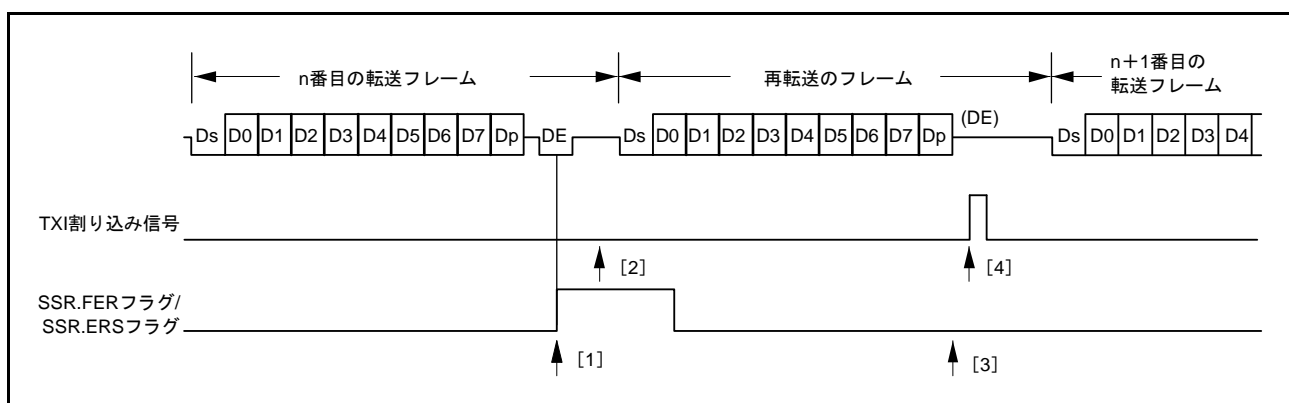


図 30.38 SCI 送信モードの場合の再転送動作（送信時の再転送動作）

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 30.39 に TEND フラグ発生タイミングを示します。

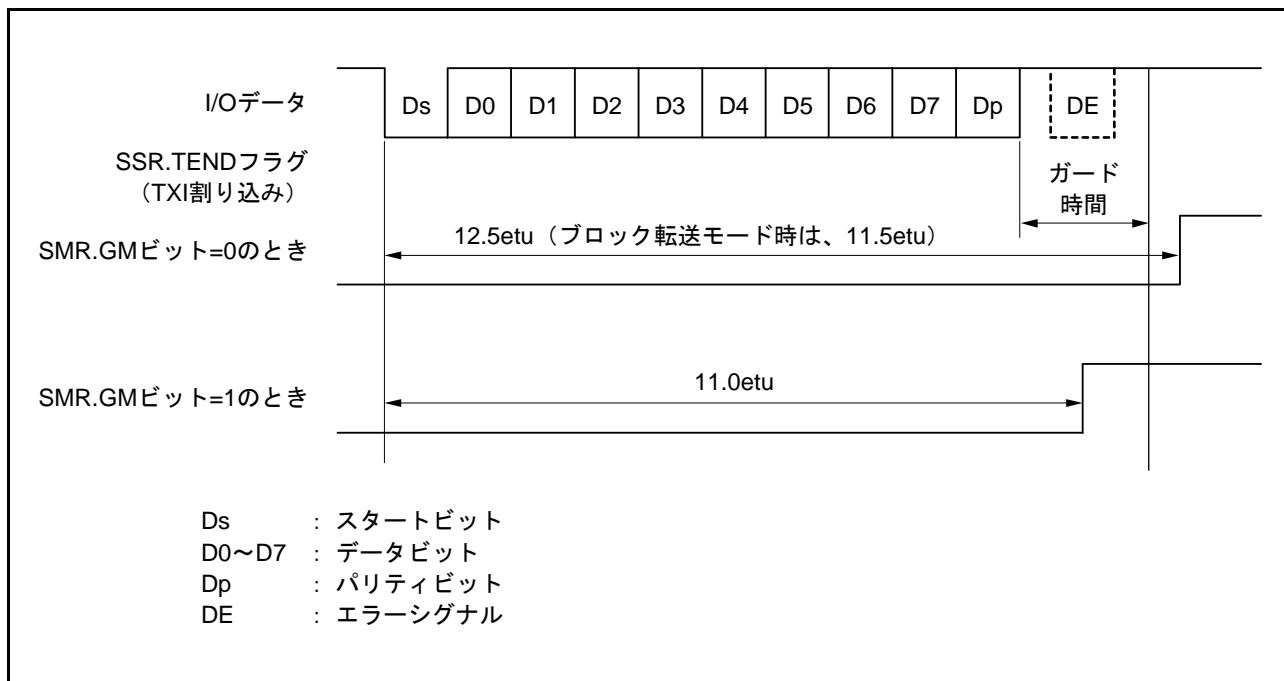


図 30.39 送信時の SSR.TEND フラグの発生タイミング

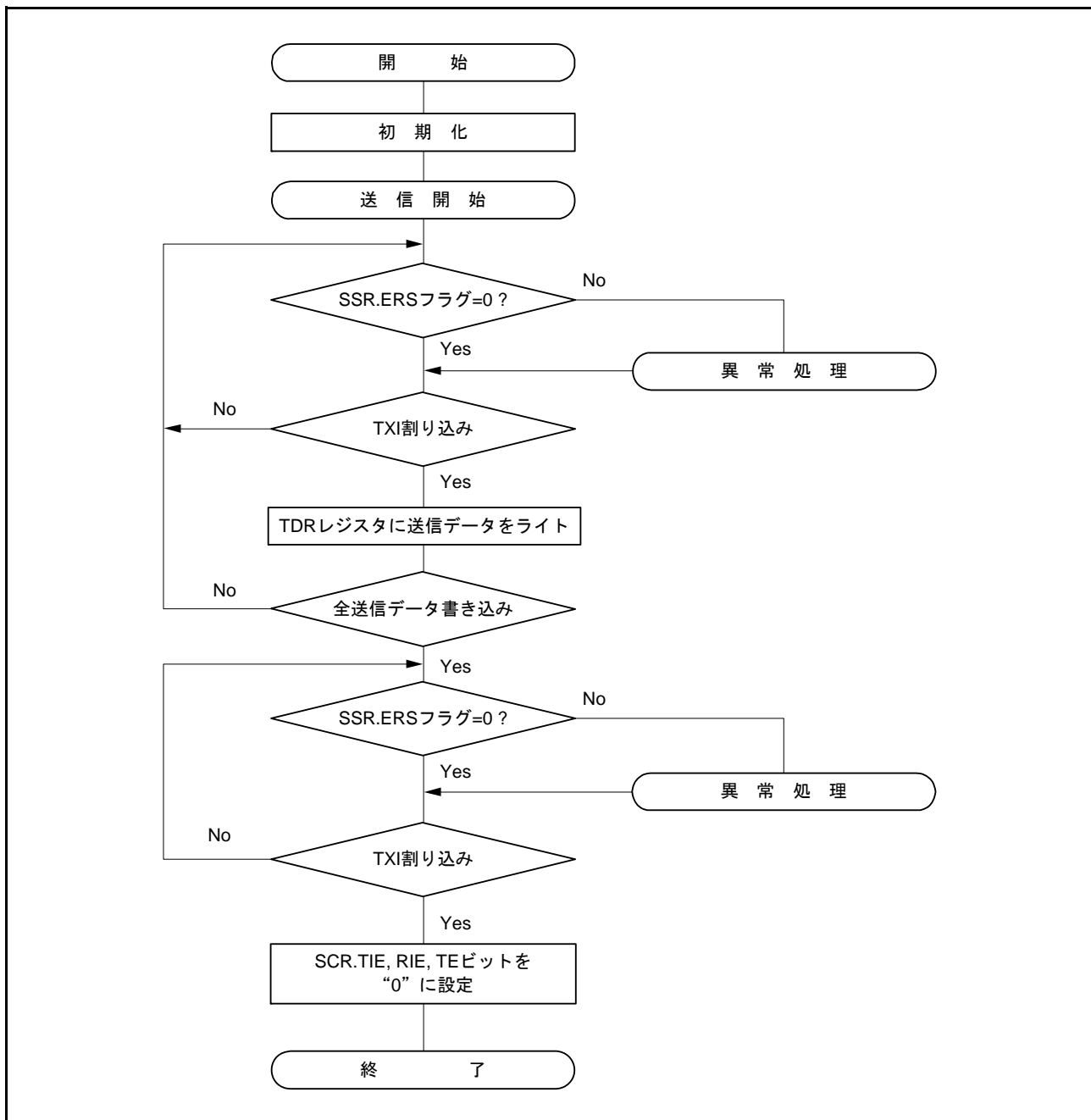


図 30.40 スマートカードインタフェース送信のフローチャート例

30.6.7 シリアル受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 30.41 に示します。

1. 受信データにパリティエラーを検出すると **SSR.PER** フラグが“1”にされます。このとき、**SCR.RIE** ビットが“1”にされていると、**ERI** 割り込み要求を発生します。次のパリティビットのサンプリングタイムまでに **PER** フラグをクリアしてください。
2. パリティエラーを検出したフレームでは **RXI** 割り込みは発生しません。
3. パリティエラーが検出されない場合は、**SSR.PER** フラグはセットされません。
4. 正常に受信を完了したと判断して、**RIE** ビットが“1”にされていれば、**RXI** 割り込み要求を発生しません。

シリアル受信のフローチャートの例を図 30.42 に示します。これらの一連の処理は、**RXI** 割り込み要求によって **DTC** または **DMAC** を起動することで自動的に行うことができます。

受信動作では、**RIE** ビットを“1”にしておくと、**RXI** 割り込み要求を発生します。あらかじめ **DTC** または **DMAC** の起動要因に **RXI** 割り込み要求を設定しておけば、**RXI** 割り込み要求により **DTC** または **DMAC** が起動されて受信データの転送を行います。

また、受信時にエラーが発生し **SSR.ORER**, **PER** フラグのいずれかが“1”にされると、受信エラー割り込み (**ERI**) 要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は **DTC** または **DMAC** は起動されず、受信データはスキップされるため **DTC** または **DMAC** に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し **PER** フラグが“1”にされた場合でも、受信したデータは **RDR** レジスタに転送されるのでこのデータをリードすることは可能です。

注． ブロック転送モードの場合は、「30.3 調歩同期式モードの動作」を参照してください。

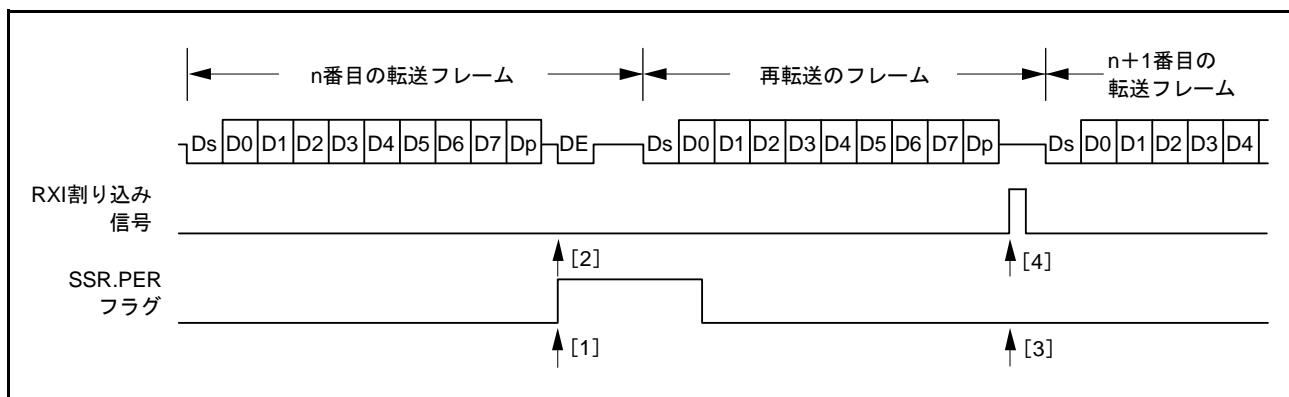


図 30.41 SCI 受信モードの場合の再転送動作（受信時の再転送動作）

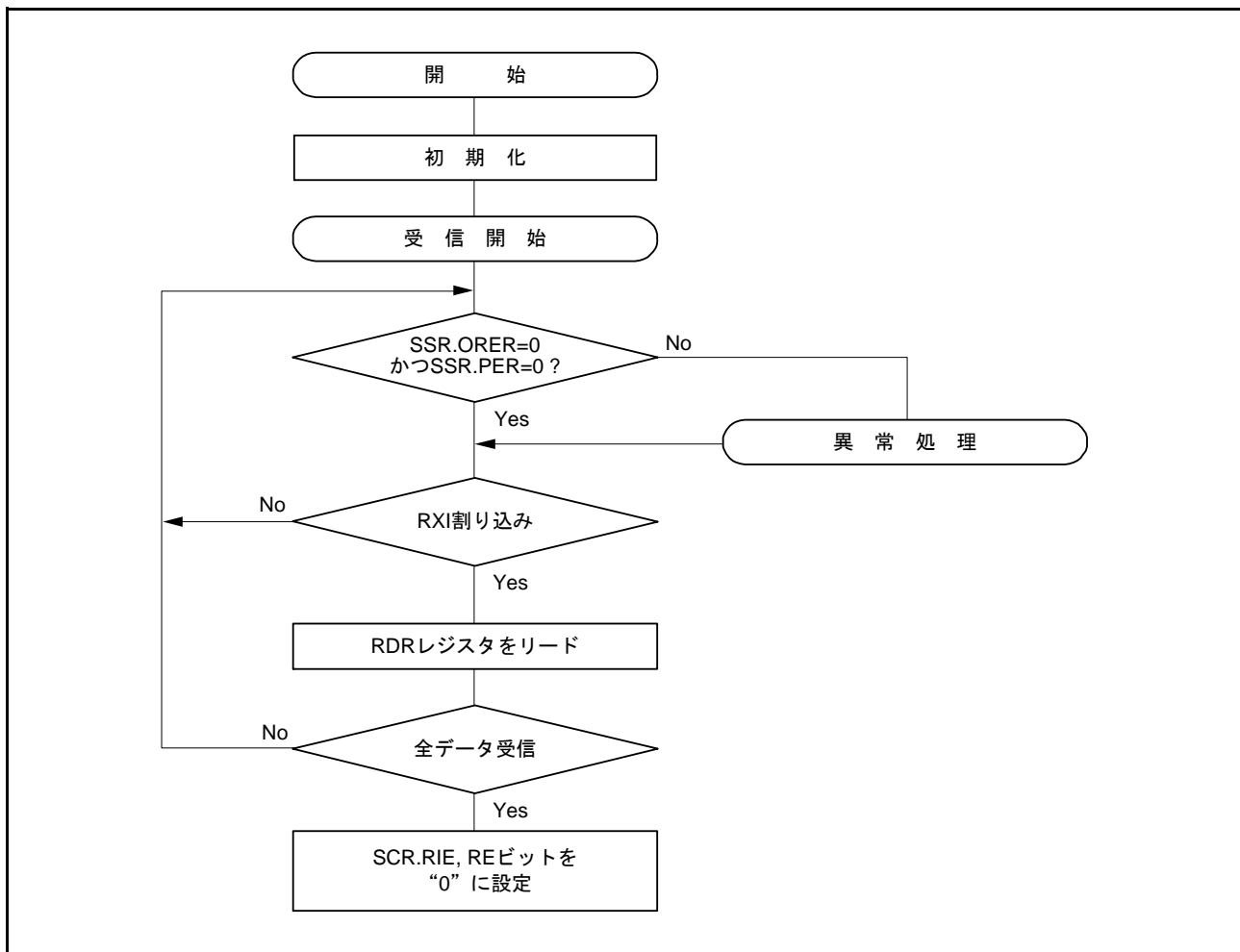


図 30.42 スマートカードインタフェース受信のフローチャート例

30.6.8 クロック出力制御

SMR.GM ビットが“1”にされているとき、SCR.CKE[1:0] ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 30.43 にクロック出力の固定タイミングを示します。GM ビット=1、CKE[1] ビット=0 とし、CKE[0] ビットを制御した場合の例です。

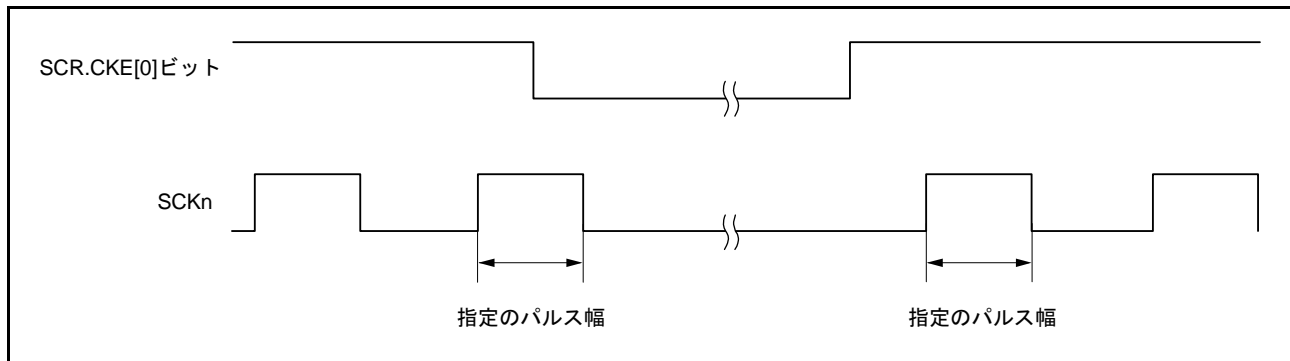


図 30.43 クロック出力固定タイミング

電源投入時は、クロックのデューティを確保するため、以下の手順で処理してください。

(1) 電源投入時

電源投入時からクロックデューティを確保するため、以下の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCR.CKE[1] ビットおよび I/O ポート機能を設定し、SCKn 端子を指定の出力に固定してください。
3. SMR レジスタと SCMR レジスタを設定し、スマートカードインタフェースモードの動作に切り替えてください。
4. SCR.CKE[0] ビットを“1”にして、クロック出力を開始させてください。

30.7 簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開条件に続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、停止条件まで有効です。各フレーム中の 8 ビットのデータは、**MSB** から順に送信されます。

図 30.44 に I²C バスフォーマットを、図 30.45 に I²C バスタイミングを示します。

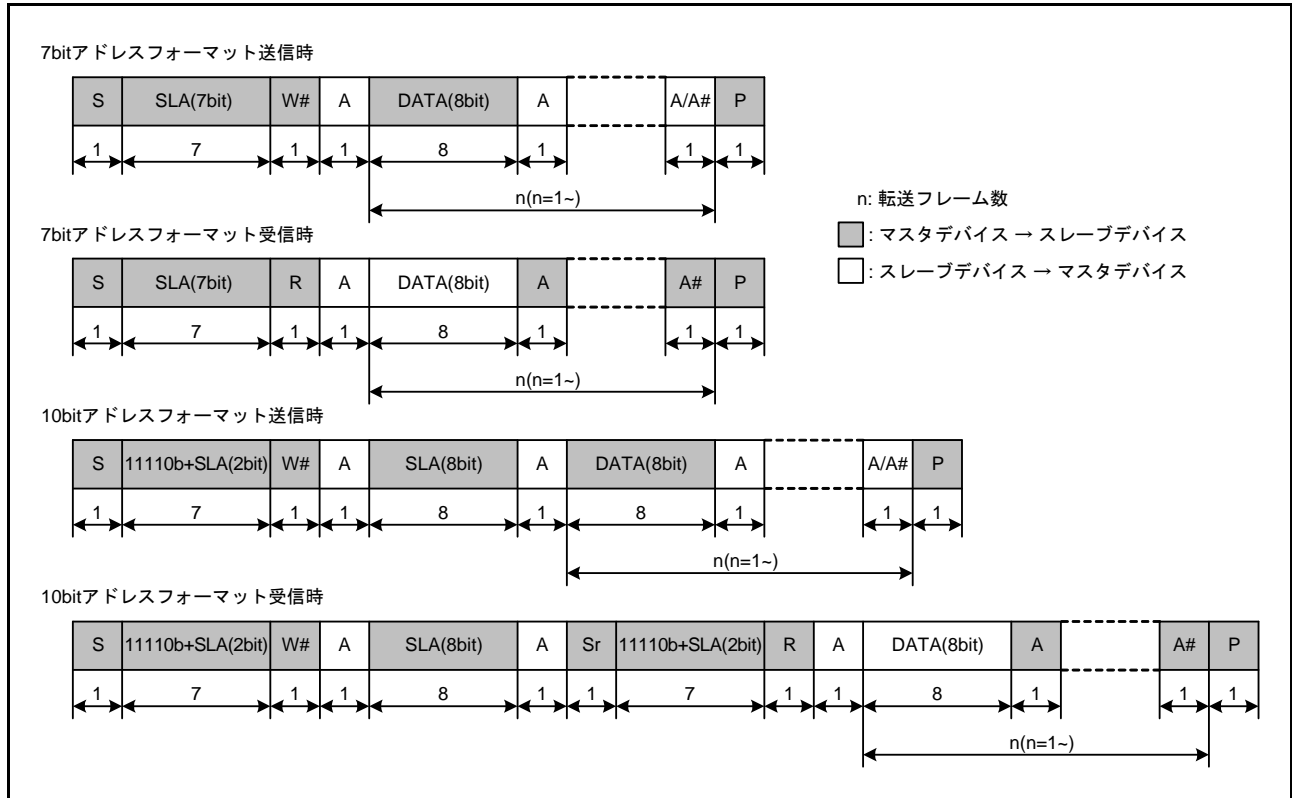


図 30.44 I²C バスフォーマット

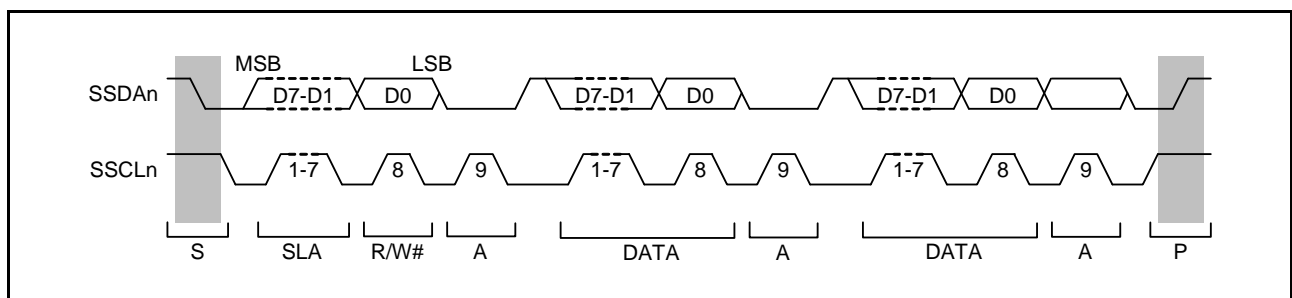


図 30.45 I²C バスタイミング (SLA = 7 ビットの場合)

S	: スタートコンディションを示します。マスタデバイスが、SSCLn ラインが High の状態で SSDAn ラインが High から Low に変化します。
SLA	: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W#	: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
A/A#	: アクノリッジを示します。(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Low を返すことを ACK、High を返すことを NACK と言います。
Sr	: リスタートコンディションを示します。マスタデバイスが、SSCLn ラインが High の状態でセットアップ時間経過後に SSDAn ラインが High から Low に遷移します。
DATA	: 送受信データを示します。
P	: ストップコンディションを示します。マスタデバイスが、SSCLn ラインが High の状態で SSDAn ラインが Low から High に変化します。

30.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに“1”を書き込むことにより、開始条件生成を行います。開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートの半分の時間、開始条件のホールド時間を確保
- SSCLn ラインの立ち下げ (High から Low に遷移)、SIMR3.IICSTAREQ ビットは“0”にし、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに“1”を書き込むことにより、再開条件生成を行います。再開条件の生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、再開条件のセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR レジスタで設定したビットレートの半分の時間、再開条件のホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR3.IICRSTAREQ ビットは“0”にし、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに“1”を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、停止条件のセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR3.IICSTPREQ ビットは“0”にし、停止条件生成割り込み要求を出力

図 30.46 に開始条件、再開条件、停止条件生成の動作タイミングを示します。

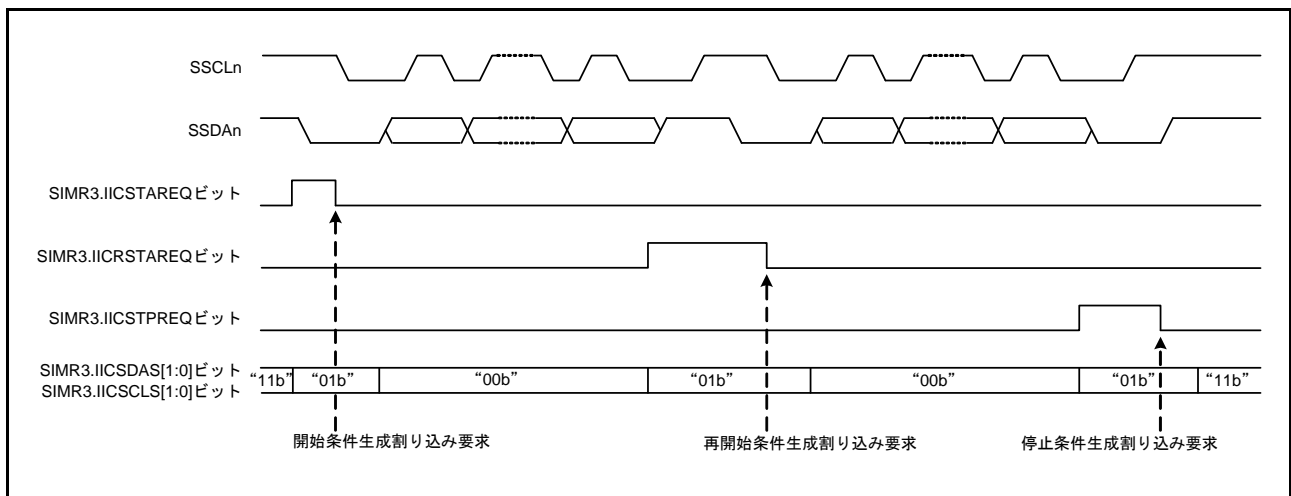


図 30.46 開始条件、再開条件、停止条件生成の動作タイミング

30.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR2.IICCSC ビットに“1”を設定すると、内部 SSCLn クロックが SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが“1”の場合、内部 SSCLn クロックが Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで2～3サイクル）、内部処理遅延（PCLK で1～2サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SSCLn クロックの High 期間は延長されます。

SIMR2.IICCSC ビットが“1”の場合、データ送信および受信は、SSCLn 端子入力と内部 SSCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが“0”の場合、データ受信および送信は、内部 SSCLn クロックに同期して行われます。

開始条件、再開条件および停止条件生成要求発行後、内部 SSCLn クロックが Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SSCLn クロックが High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 30.47 にクロック同期化の動作例を示します。

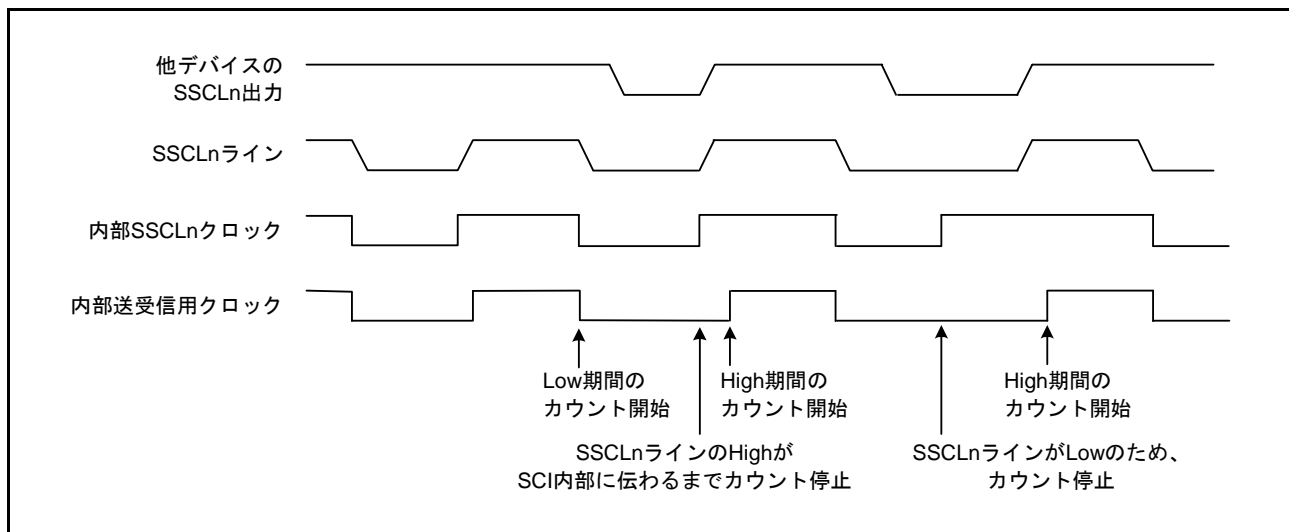


図 30.47 クロック同期化の動作例

30.7.3 SSDA 出力遅延

SIMR1.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ポーレートジェネレータのクロックソース基準（PCLK ベースに SMR.CKS[1:0] で選択された分周クロック）で 0～31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、開始条件 / 再開条件 / 停止条件信号と 8 ビットの送信データおよびアクノリッジです。

SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値（I²C の標準モード、ファストモードでは 300ns）より大きくなるように設定してください。

図 30.48 に SSDA 出力遅延のタイミングを示します。

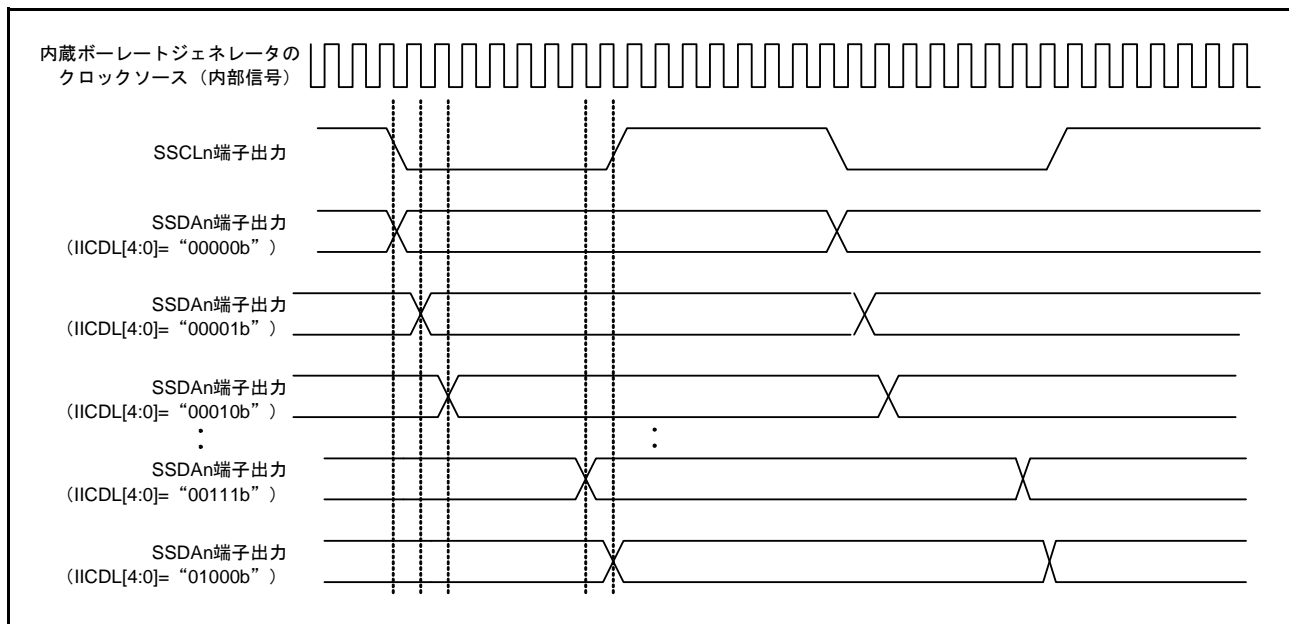


図 30.48 SSDA 出力遅延のタイミング

30.7.4 SCIの初期化 (簡易 I²C モード)

データの送受信前に、SCRレジスタに初期値“00h”を書き込み、図 30.49 のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCRレジスタを初期値にしてから変更してください。また、簡易 I²C モード時の通信ポートのオープンドレイン設定は、ポート側でしてください。

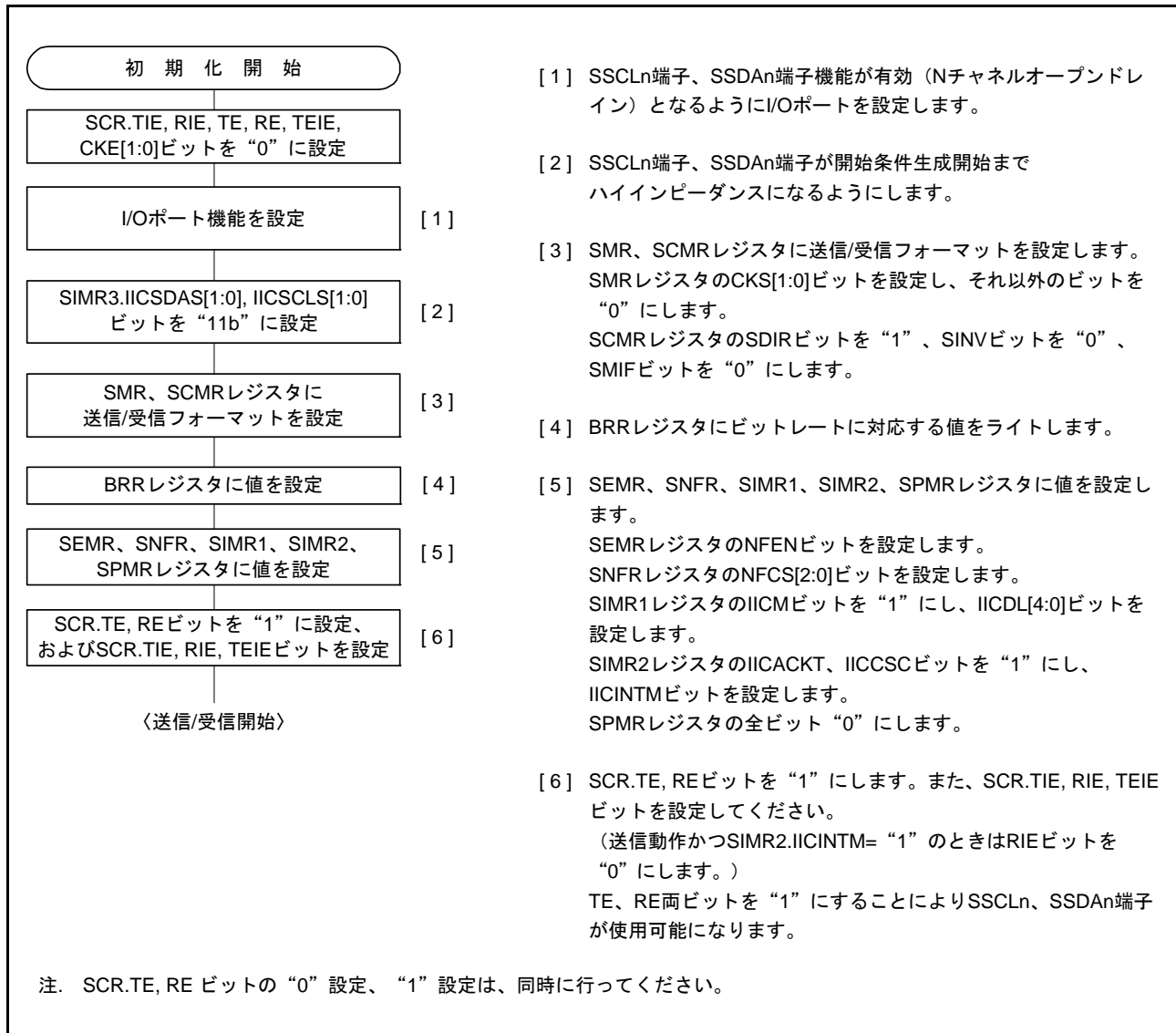


図 30.49 SCIの初期化フローチャート例 (簡易 I²C モード)

30.7.5 マスタ送信動作 (簡易 I²C モード)

図 30.50、図 30.51 に簡易 I²C モードのマスタ送信の動作例を、図 30.52 にデータ送信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用)、SCR.RIE ビットを“0” (受信割り込み要求を禁止) を想定しています。STI 割り込みについては、表 30.31 を参照してください。

10 ビットスレーブアドレス時は、図 30.52 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生とのタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

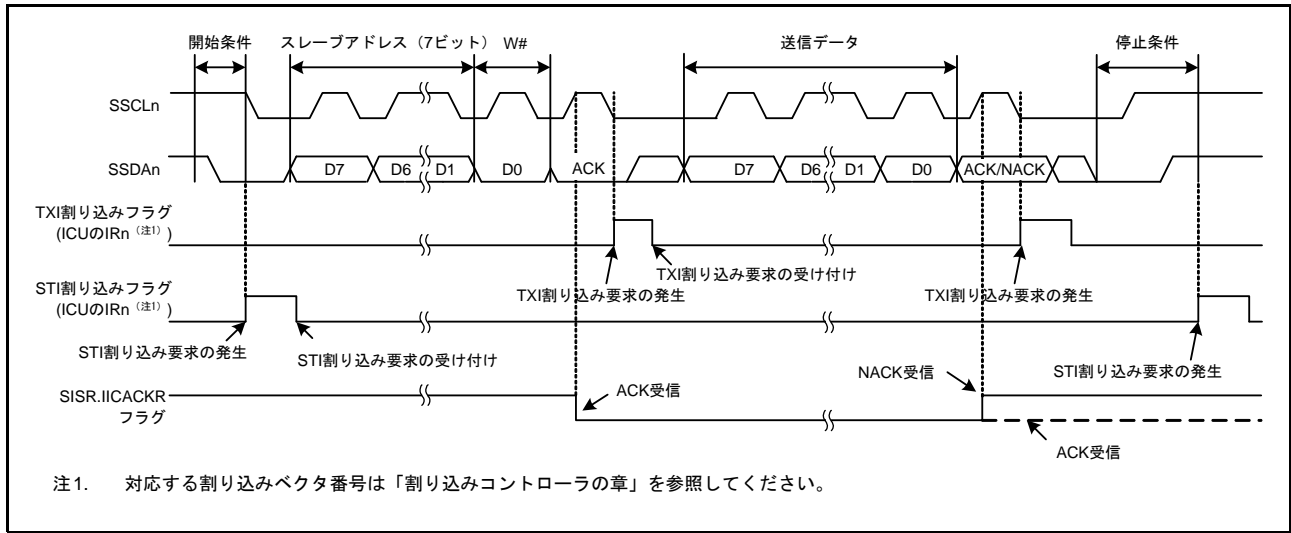


図 30.50 簡易 I²C バスモードのマスタ送信の動作例 1
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを“0” (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガに DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

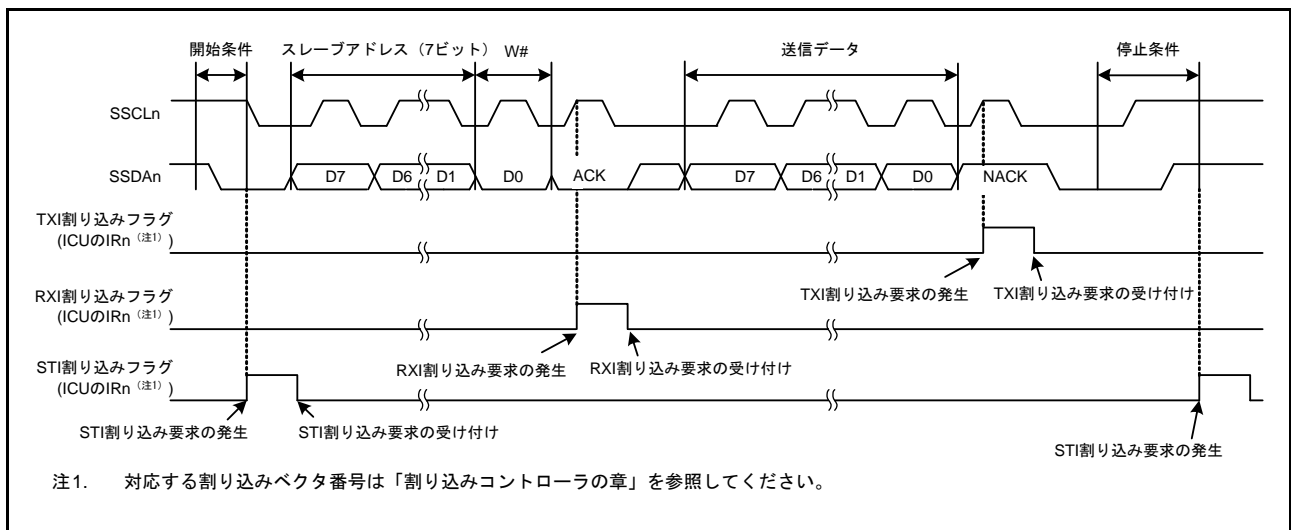


図 30.51 簡易 I²C バスモードのマスタ送信の動作例 2
(7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)

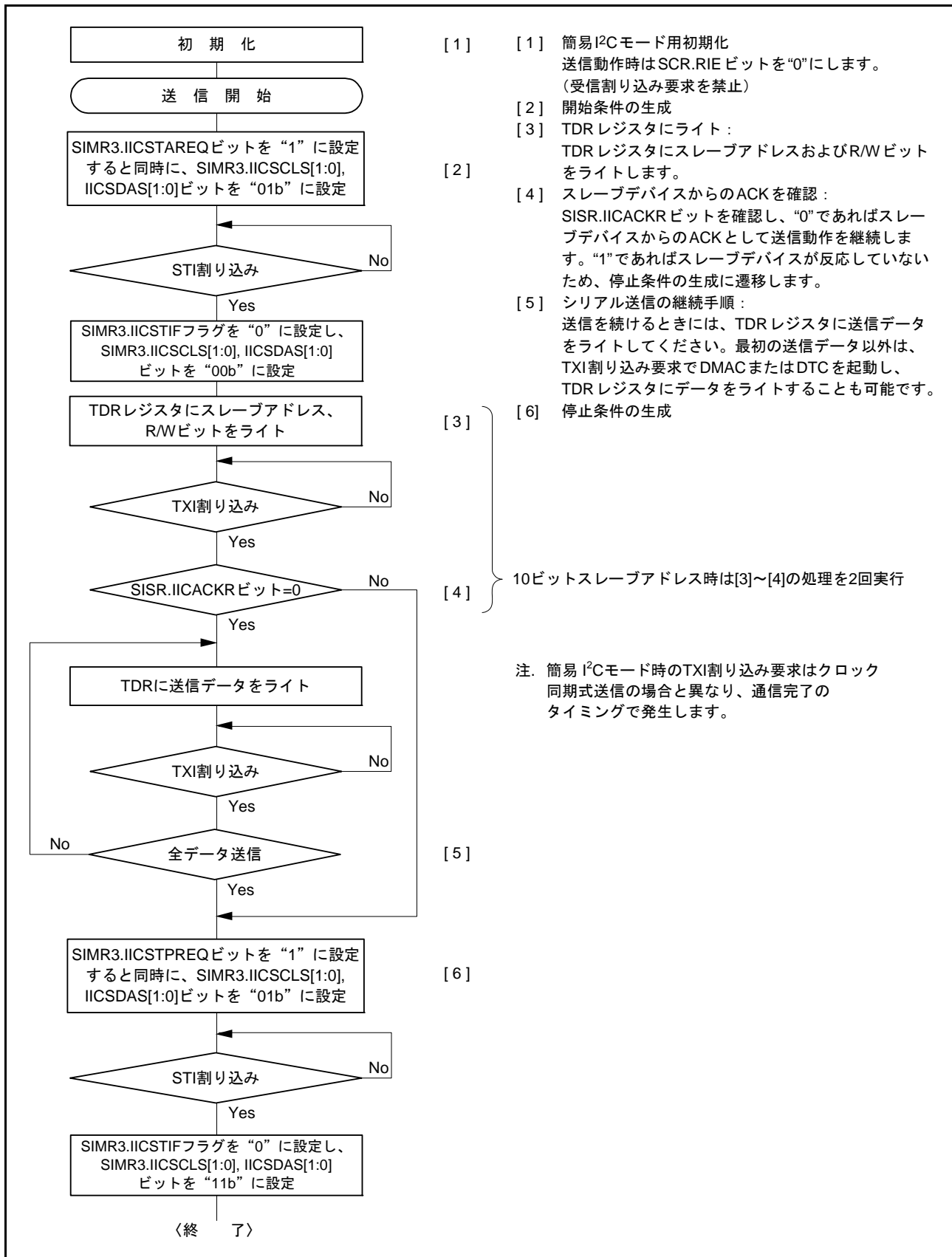


図 30.52 簡易 I²C モードのマスタ送信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

30.7.6 マスタ受信動作 (簡易 I²C モード)

図 30.53 に簡易 I²C モードのマスタ受信の動作例を、図 30.54 にマスタ受信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用) を想定しています。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

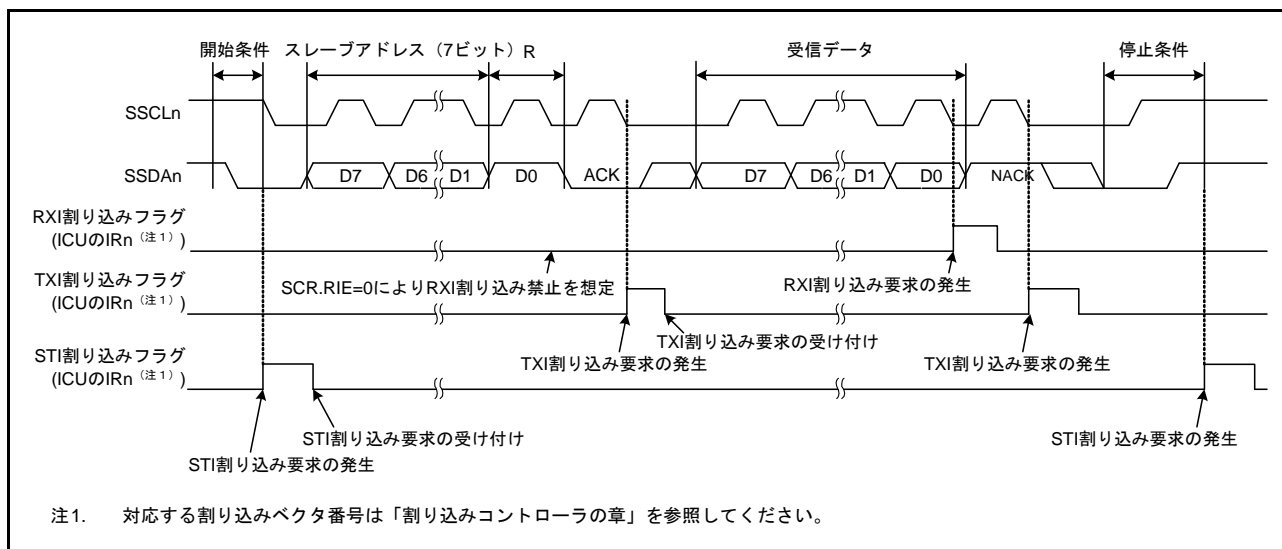


図 30.53 簡易 I²C バスモードのマスタ受信の動作例 (7ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

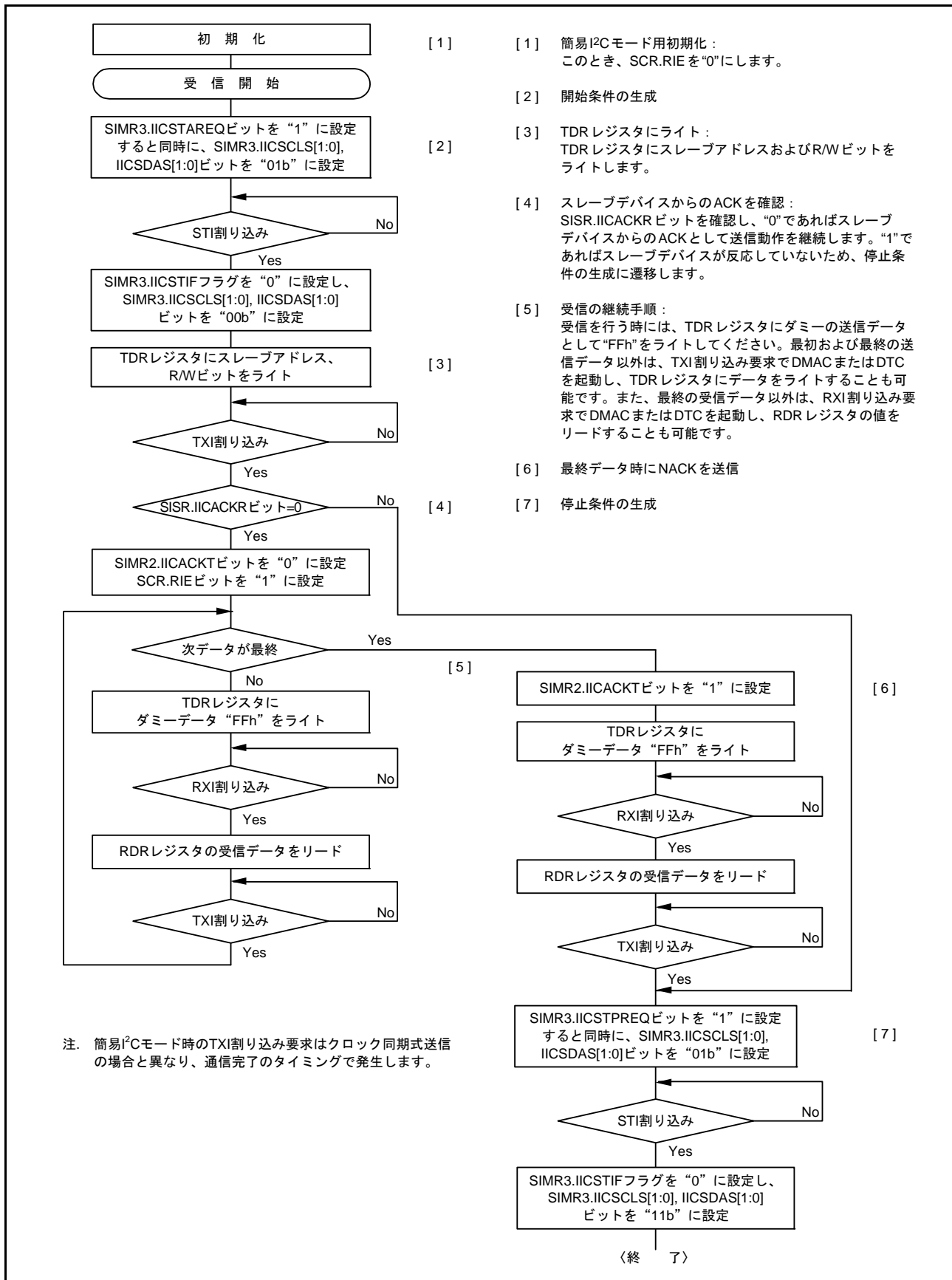


図 30.54 簡易 I²C モードのマスタ受信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

30.8 簡易 SPI モードの動作

SCI の拡張機能として、1 つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF ビット = “0”、SIMR1.IICM ビット = “0”、SMR.CM ビット = “1”)、かつ、SPMR.SSE ビットを “1” にすることにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SPMR.SSE ビットを “0” にします。

図 30.55 に簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを “1” にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部 / 受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

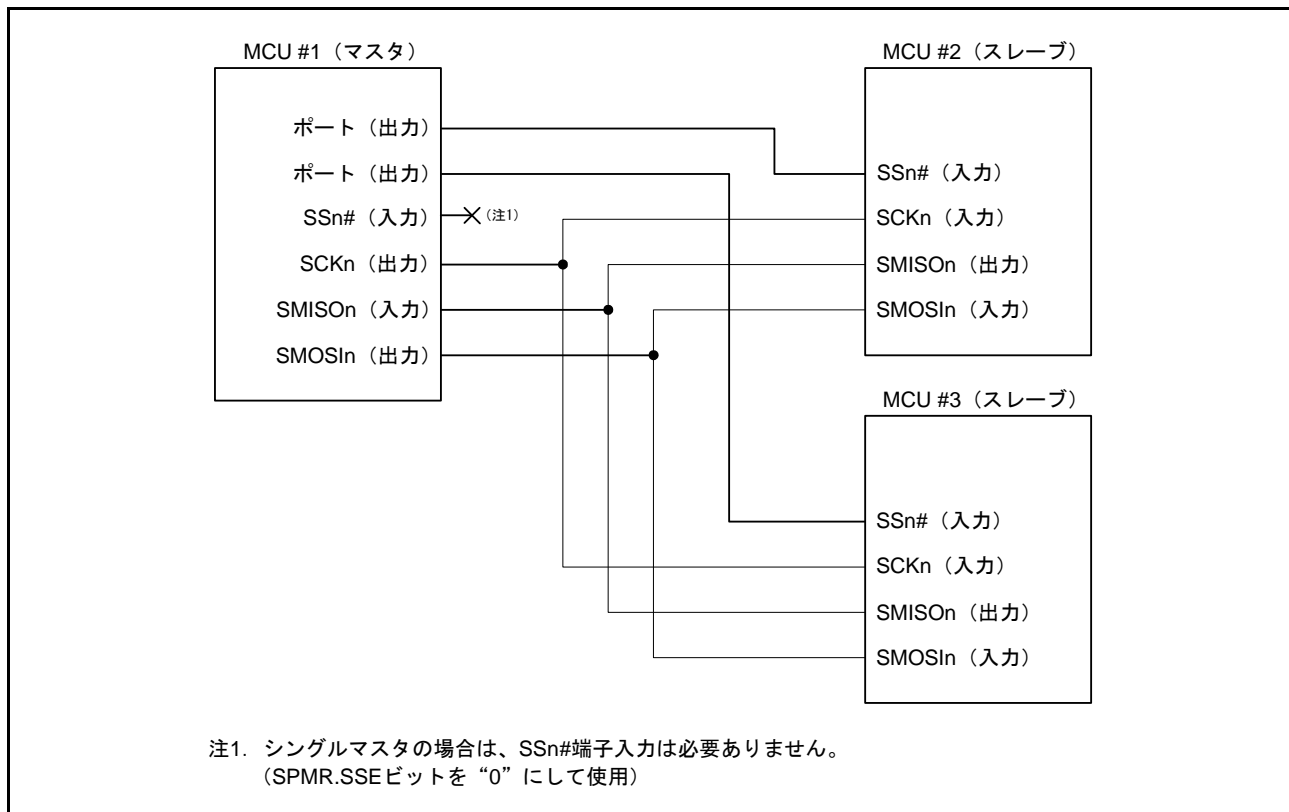


図 30.55 簡易 SPI モードの接続例 (シングルマスタ時 (SPMR.SSE ビット = 0))

30.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] ビット = “00b” または “01b”、かつ SPMR.MSS ビット = “0”) とスレーブモード (SCR.CKE[1:0] ビット = “10b” または “11b”、かつ SPMR.MSS ビット = “1”) で各端子の入出力方向が変わります。

表 30.27 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表 30.27 モードおよび SSn# 端子入力と各端子の状態の関係

モード	SSn#端子入力	SMOSIn端子状態	SMISOn端子状態	SCKn端子状態
マスタモード (注1)	High (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low (通信可能)	受信データ入力	送信データ出力	クロック入力

注1. シングルマスタ時 (SPMR.SSE ビット = “0”) は、SSn# 端子の入力レベルに関わらず通信可能 (SSn# 端子入力が High のときと等価) となります。SSn# 端子は未使用であり、別の用途として使用できます。

注2. 送信禁止時 (SCR.TE ビット = “0”) はハイインピーダンスです。

注3. マルチマスタ (SPMR.SSE ビット = “1”) かつ送受信禁止時 (SCR.TE, RE ビット = “00b”) はハイインピーダンスです。

30.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] = “00b” かつ SPMR.MSS = “0” を設定することで、マスタモードになります。

シングルマスタ時 (SPMR.SSE ビット = “0”) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。

マルチマスタ時 (SPMR.SSE ビット = “1”)、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を受信動作を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SPMR.SSE ビット = “1”)、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき SCI は SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SPMR.MFF フラグが “1” になります。マルチマスタ時は SPMR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

30.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] = “10b” かつ SPMR.MSS = “1” を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、SMISOn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、SMISOn 端子出力をハイインピーダンスにします。なお、内部の送受信動作は継続し、SCKn 端子からのクロック入力に従って 1 キャラクタ分の送受信動作完了後動作を停止します。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

30.8.4 クロックと送受信データの関係

SPMR.CKPOL,CKPH ビットにより、送受信に用いるクロックを4種類から選択可能です。クロックと送受信データの関係を図 30.56 に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。(SSn# 端子入力が High のときと等価) です。SSn# 端子は別用途で使用可能です。詳細は「30.8.2 マスタモード時の SS 機能」を参照してください。

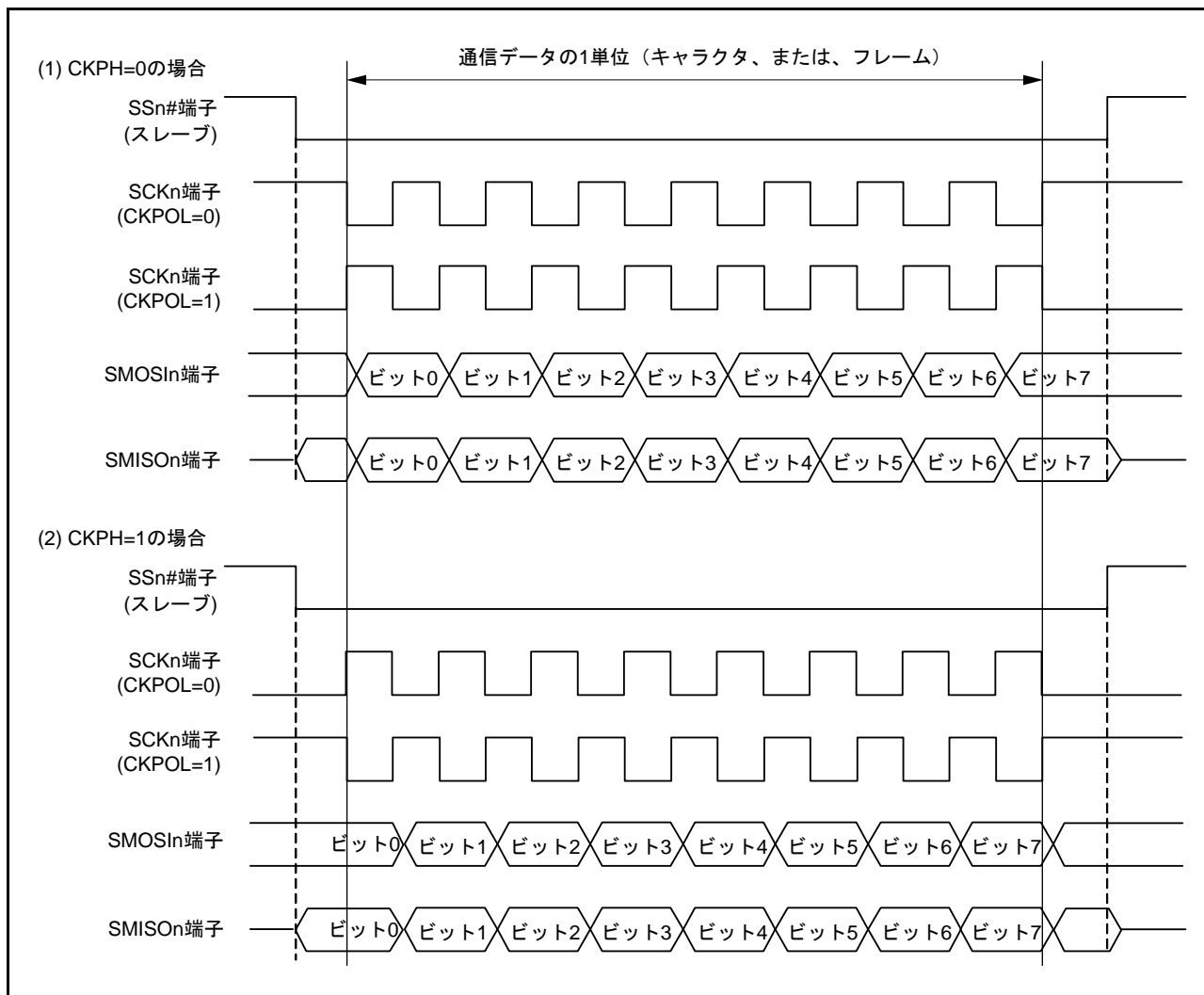


図 30.56 簡易 SPI モードのクロックと送受信データの関係

30.8.5 SCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順 (図 30.23 の SCI の初期化フローチャート例) と同様です。SPMR.CKPOL,CKPH ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、SCR レジスタを初期値にしてから変更してください。

RE ビットを“0”にしても、SSR.ORER, FER, PER の各フラグ、および RDR レジスタは初期化されませんので注意してください。

TE ビットを“1”から“0”または“0”から“1”にすると、SCR.TIE ビットが“1”の場合、TXI 割り込みが発生しますので注意してください。

30.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にし、送受信が終了すると送受信先のスレーブデバイスの SSn# 端子を High にします。それ以外の手順はクロック同期式モードと同様です。

30.9 拡張シリアルモード制御部の動作説明

30.9.1 シリアル通信プロトコル

SCIf の拡張シリアルモード制御部は、SCIE と連携し、図 30.57 に示すような Start Frame、Information Frame から構成されるシリアル通信プロトコルを実現します。

Start Frame は Break Field と Control Field 0、Control Field 1 で構成されています。また、Information Frame はいくつかの Data Field と CRC16 Upper Field、CRC16 Lower Field で構成することができます。

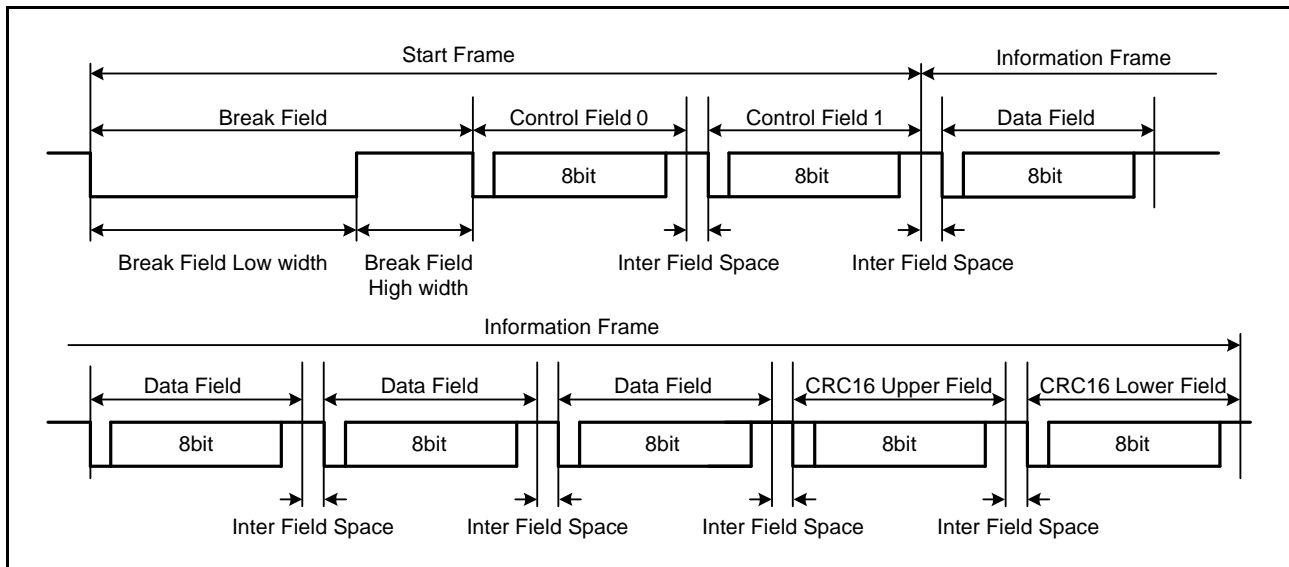


図 30.57 拡張シリアルモード制御部シリアル通信プロトコル

30.9.2 Start Frame 送信

図 30.58 に Break Field Low width、Control Field 0 および Control Filed 1 で構成される Start Frame の送信時の動作例を示します。また、図 30.59、図 30.60 に Start Frame の送信を行うためのフローチャートを示します。

拡張シリアルモード制御部は、Start Frame 送信時、以下のように動作します。なお、SCIf は調歩同期式モードで使用します。

- (1) タイマの動作モードを Break Field Low width 出力モードにした状態で、TCR の TCST に“1”を書き込むと、タイマがカウントを開始し、TCNT、TPRE に設定した期間、TXDX12 端子から Low を出力します。
- (2) タイマがアンダフローすると TXDX12 端子の出力を反転し、STR の BDFD が“1”になります。また、ICR の BFDIE を“1”にしている場合は、SCIf0 割り込みが発生します。
- (3) TCR の TCST に“0”を書き込みタイマのカウントを停止し、SCIf2 を使用して Control Field 0 のデータを送信します。Break Field Low width 出力後、次にアンダフローするまでにカウントを停止してください。
- (4) Control Field 0 のデータの送信が完了後、SCIf2 を使用して Control Field 1 のデータを送信します。
- (5) Control Field 1 のデータの送信が完了後、SCIf2 を使用して Information Frame の通信を行います。

Start Frame の構成にあわせて Break Field および Control Field 0 を省略してください。

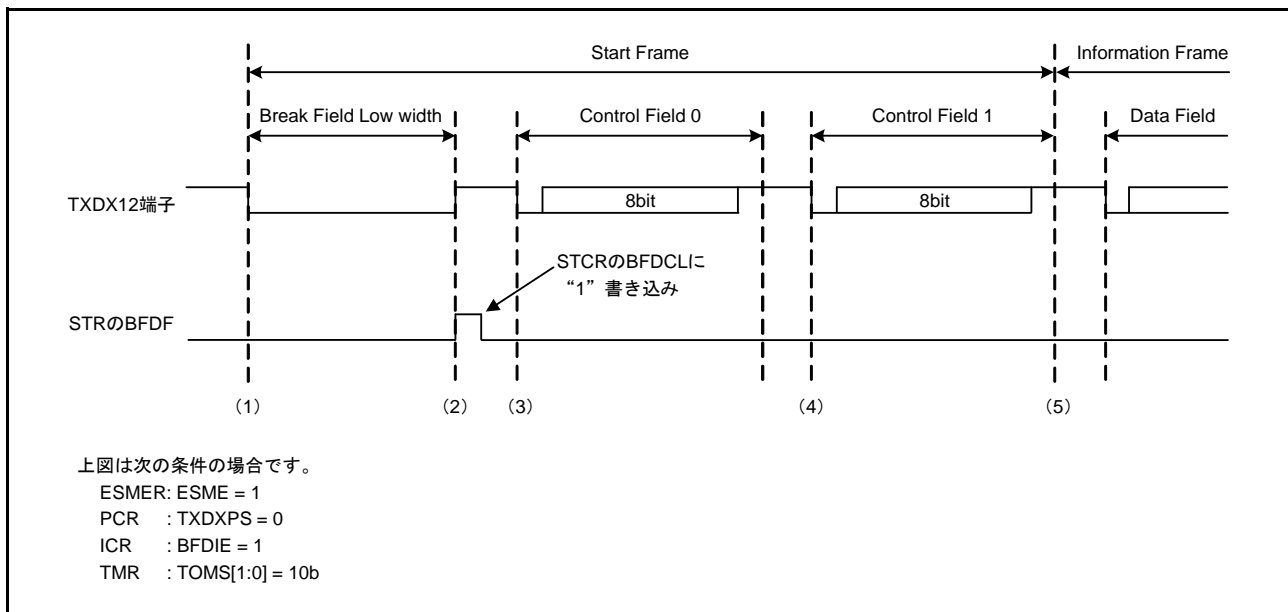


図 30.58 Start Frame 送信時の動作例

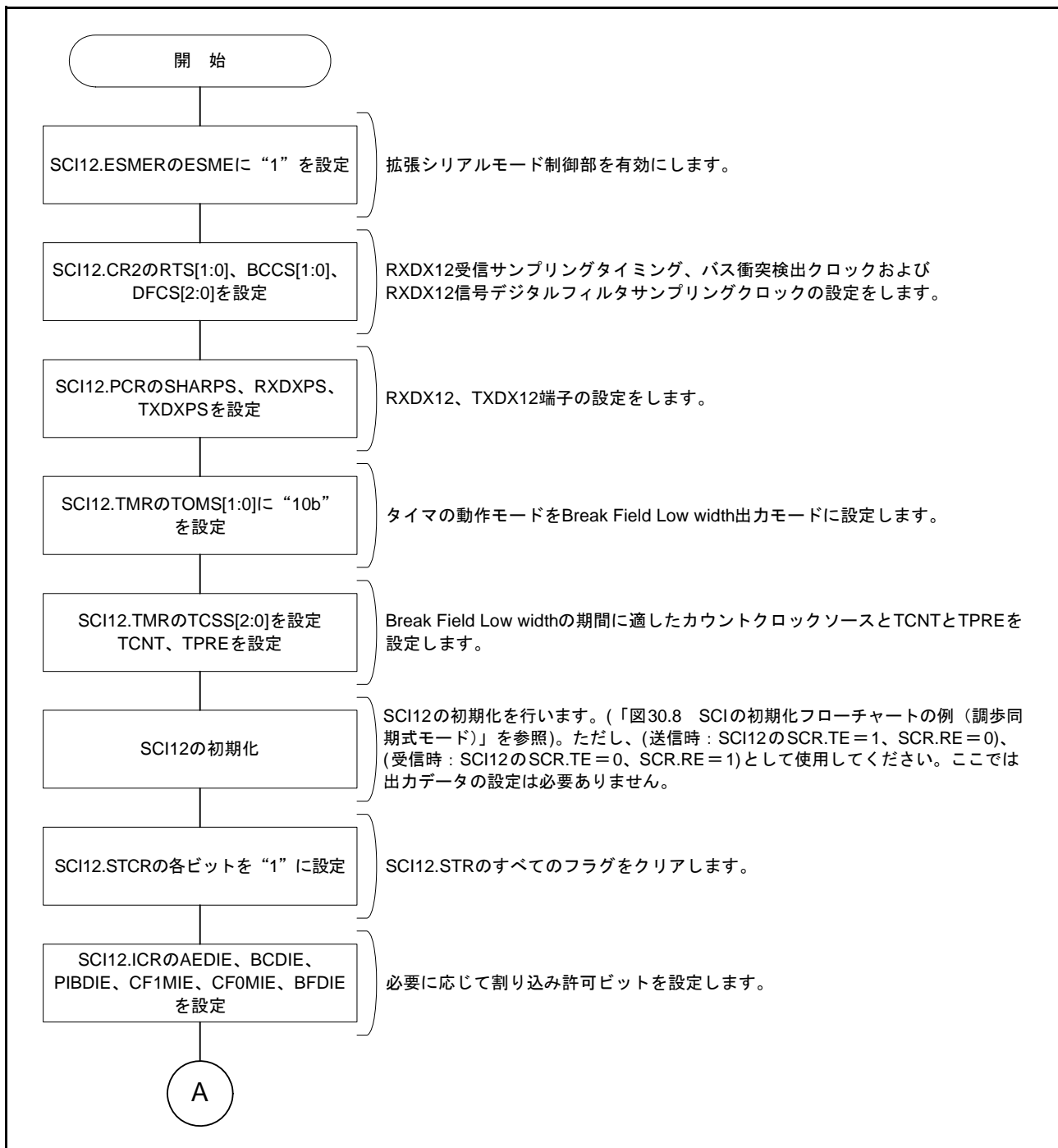


図 30.59 Start Frame 送信フローチャート例 (1)

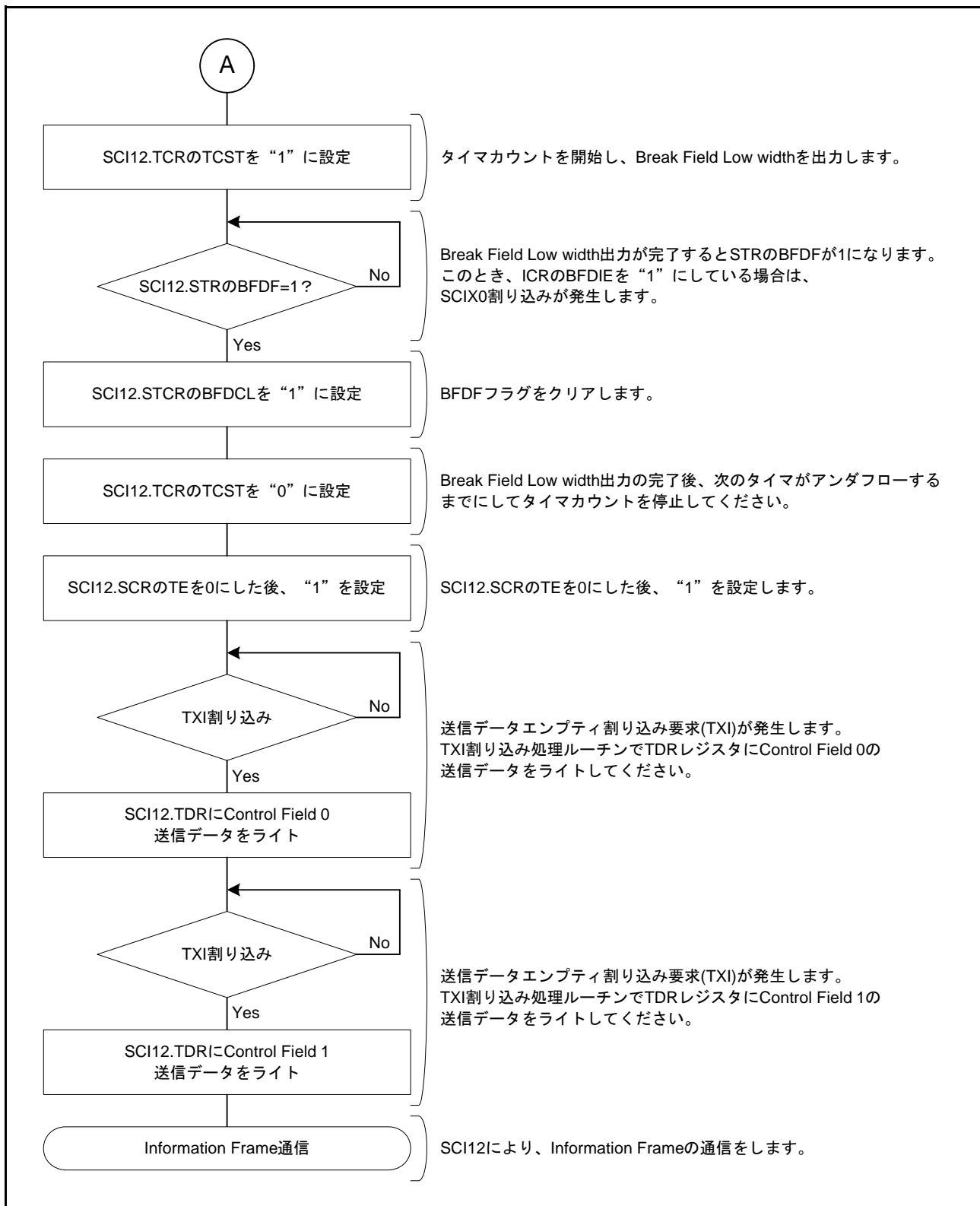


図 30.60 Start Frame 送信フローチャート例 (2)

30.9.3 Start Frame 受信

拡張シリアルモード制御部では、表 30.28 のような構成の Start Frame を検出することができます。

表 30.28 Start Frame の構成

ビットの設定		Start Frame の構成
BFE	CF0RE	
0	0	
0	1	
1	0	
1	1	

図 30.61 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の受信時の動作例を示します。また、図 30.62、図 30.63 に Start Frame の受信を行うためのフローチャート、図 30.64 に拡張シリアルモード制御部の状態遷移図を示します。

拡張シリアルモード制御部は、Start Frame 受信時、以下のように動作します。なお、SC112 は調歩同期式モードで使用します。

- (1) タイマの動作モードを Break Field Low width 検出モードに設定して、CR3 の SDST に“1”を書き込むと、Break Field Low width 検出が可能になります。このとき、SC112 への RXDX12 入力は禁止となります。
- (2) タイマの TCNT、TPRE に設定した期間以上の Low が RXDX12 端子から入力されると、Break Field Low width として検出します。このとき、STR の BFDL が“1”にされます。また、ICR の BFDIE を“1”にしている場合は、SCIX0 割り込みが発生します。
- (3) Break Field Low width 検出後、RXDX12 端子からの入力が High になると CR0 の RXDSF が“0”になり、SC112 により、Control Field 0 の受信を開始します。
- (4) Control Field 0 で受信したデータが CF0DR に設定したデータと一致した場合、STR の CF0MF が“1”になります。また、ICR の CF0MIE を“1”にしている場合は、SCIX1 割り込みが発生します。そして、SC112 により Control Field 1 の受信を開始します。Control Field 0 で受信したデータが CF0DR に設定したデータと一致しない場合は、Break Field Low width 検出前の状態に遷移します。
- (5) Control Field 1 で受信したデータが PCF1DR または SCF1DR に設定したデータと一致した場合、STR の CF1MF が“1”になります。また、ICR の CF1MIE を“1”にしている場合は、SCIX1 割り込みが発生します。そして、SC112 を使用して Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR または SCF1DR に設定したデータのどちらとも一致しない場合は、Break Field Low width 検出前の状態に遷移します。

Start Frame の構成にあわせ、Break Field および Control Field 0 の処理を省略してください。

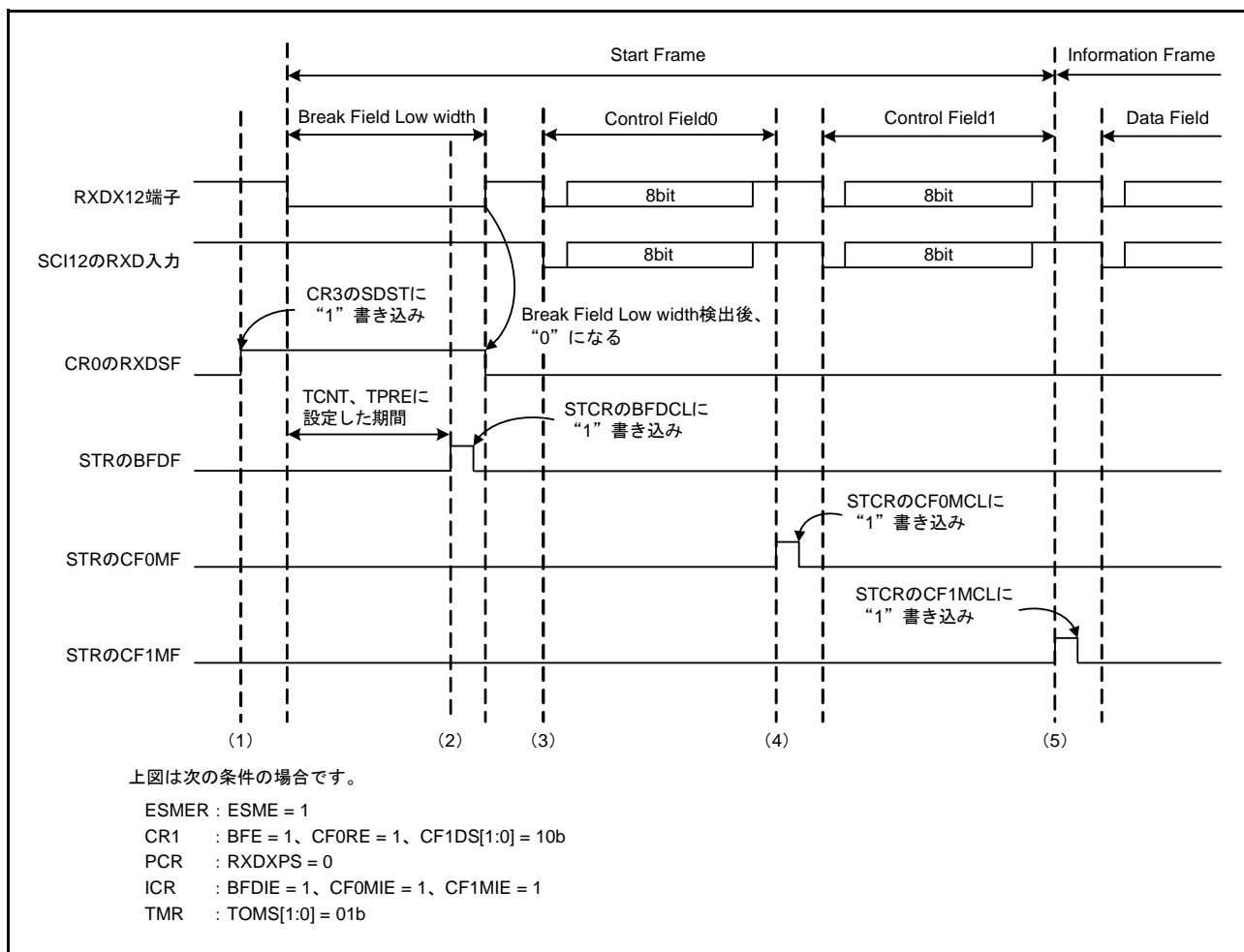


図 30.61 Start Frame 受信時の動作例



図 30.62 Start Frame 受信フローチャート例 (1)

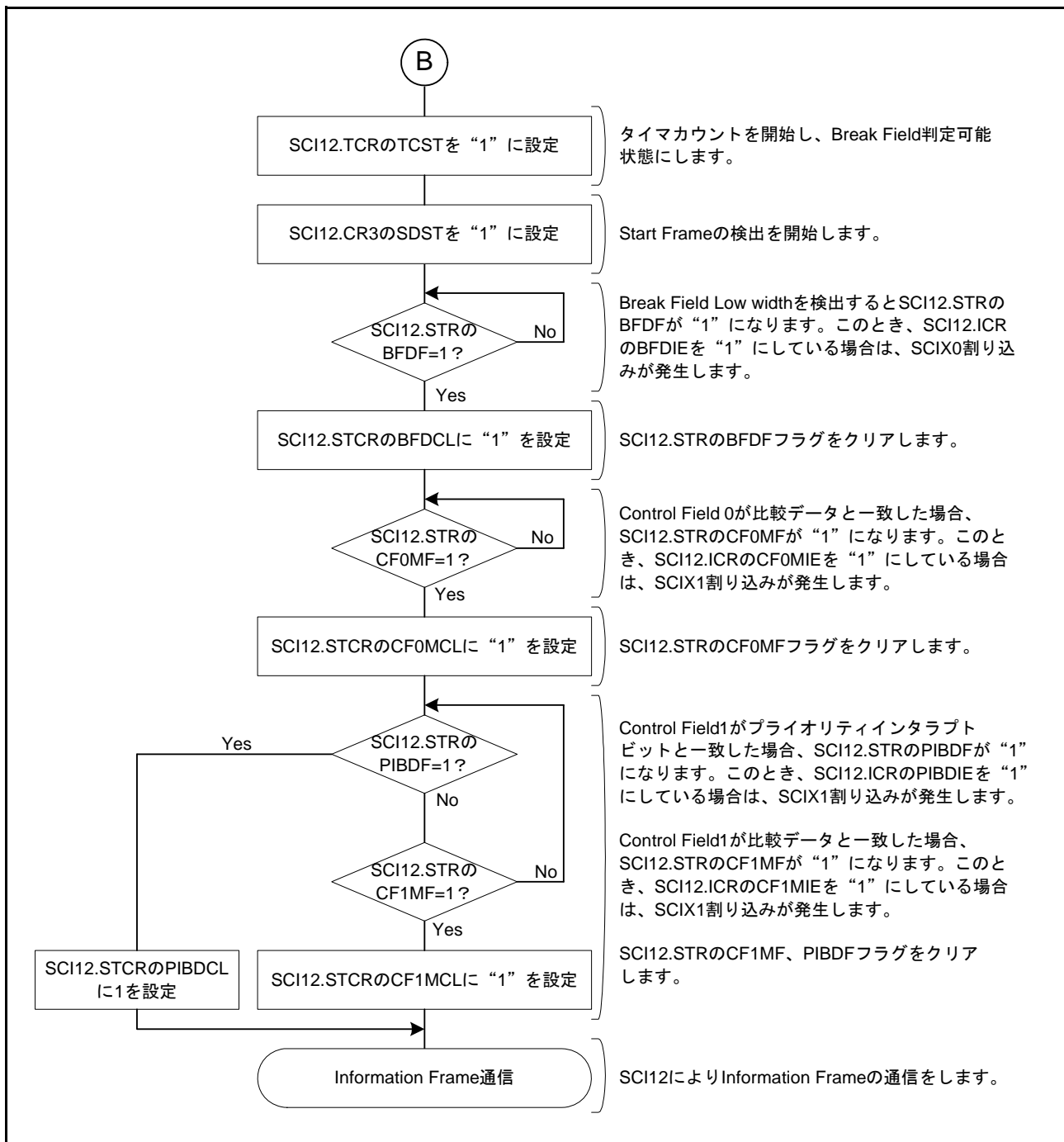


図 30.63 Start Frame 受信フローチャート例 (2)

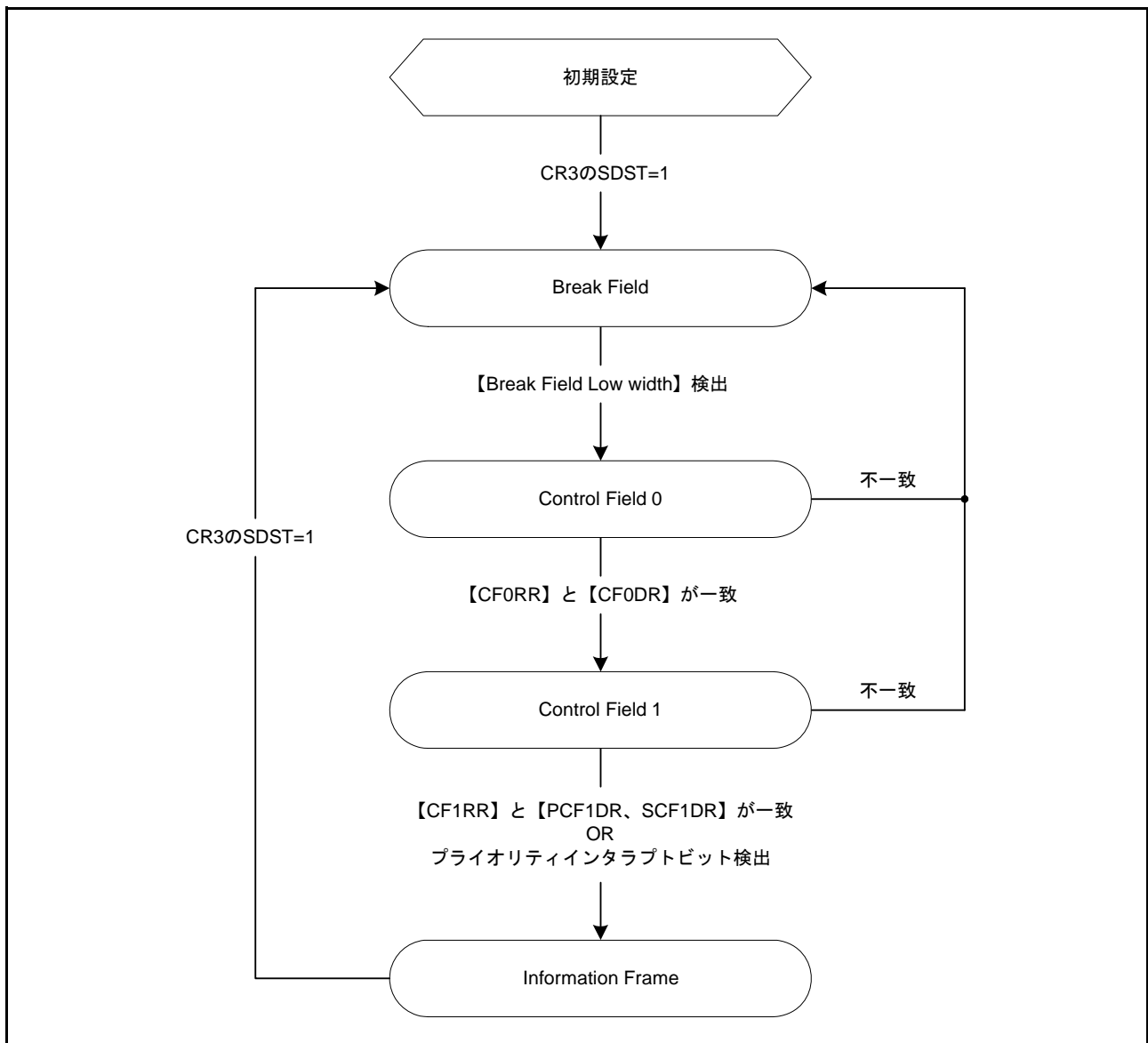


図 30.64 Start Frame 受信時の状態遷移図

30.9.3.1 プライオリティインタラプトビット

図 30.65 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは CR1 の PIBE を “1” にすることで有効となります。

拡張シリアルモード制御部は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のよう動作します。

(1) ~ (4) は図 30.61 の Start Frame 受信時の動作例 (1) ~ (4) と同様になります。

(5) CR1 の PIBS[2:0] で指定したビットのデータが PCF1DR に設定したデータと一致した場合、STR の PIBDF が “1” にされます。また、ICR の PIBDIE を “1” にしている場合は、SCIX1 割り込みが発生します。そして、SCII2 により、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR または SCF1DR に設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field Low width 検出前の状態に遷移します。

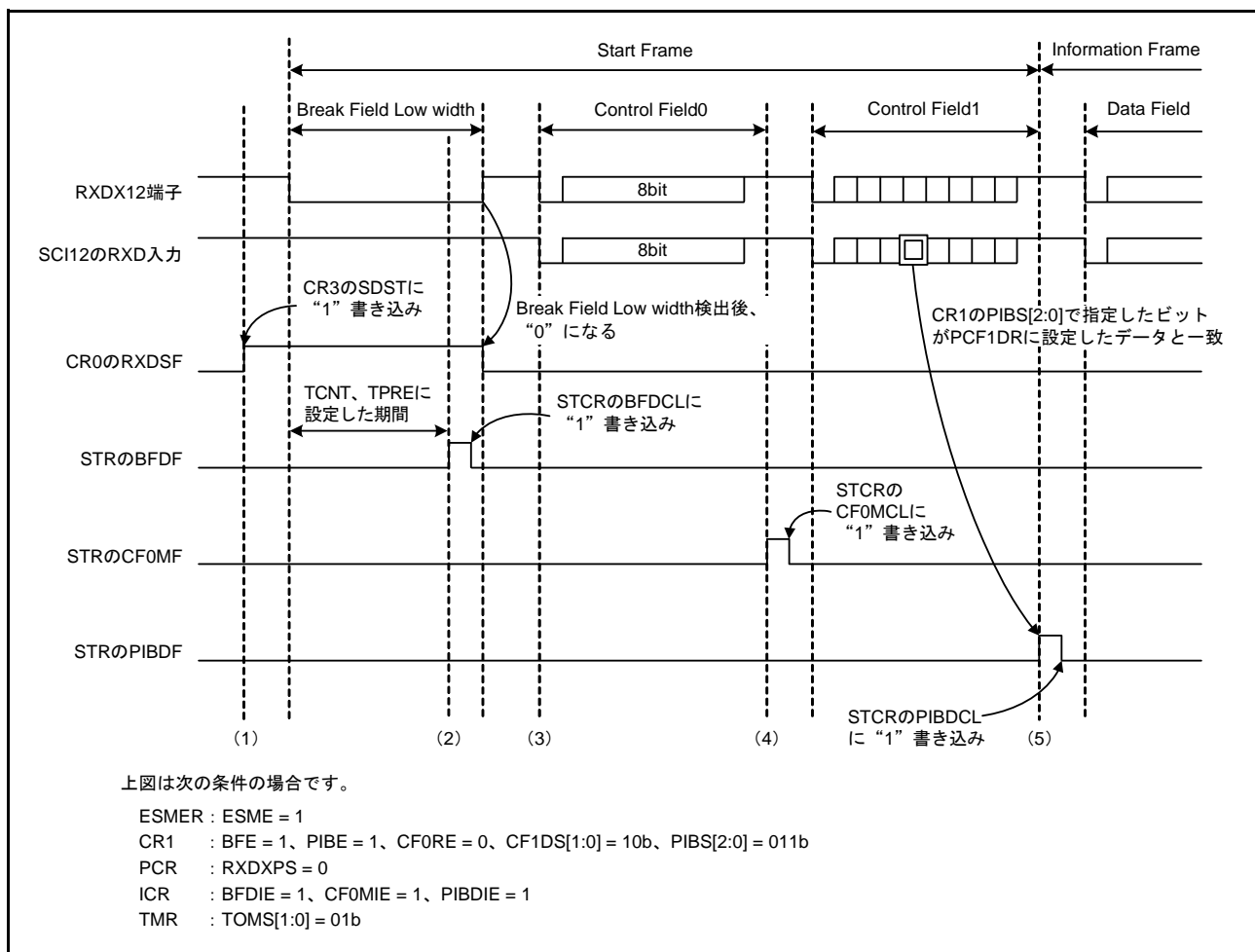


図 30.65 Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

30.9.4 バス衝突検出機能

ESMER の ESME = 1、かつ SCI12.SCR の TE = 1 の状態で、Break Field Low width 出力中および SCI12 に よりデータを送信中にバス衝突検出機能が働きます。

図 30.66 にバス衝突検出機能の動作例を示します。TXDX12 端子の出力と RXDX12 端子の入力を CR2 の BCCS[1:0] で設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると STR の BCDF が “1” になります。また、ICR の BCDIE を “1” にしている場合は、SCIX2 割り込みが発生します。

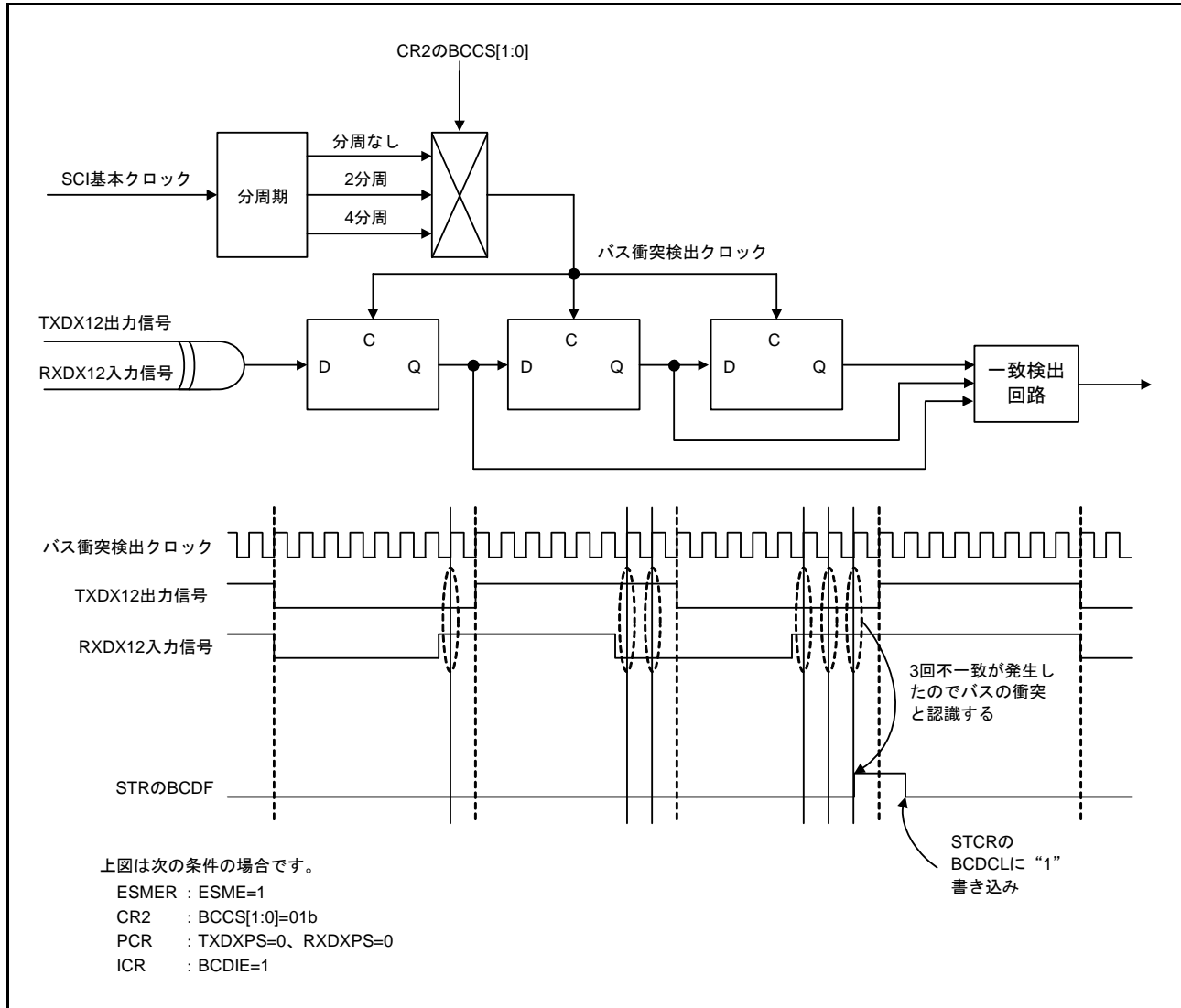


図 30.66 バス衝突検出機能の動作例

30.9.5 RXDX12 端子入力デジタルフィルタ機能

RXDX12 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3 段直列に接続されたフリップフロップ回路と一致検出回路で構成されます。RXDX12 端子入力信号は CR2 の DFCS[2:0] によって選択されたクロックでサンプリングされ、3 つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3 サンプルクロック以上同一のレベルを保持した場合は信号として認識しますが、3 サンプルクロック以下の信号変化はノイズとして判断し、信号変化として認識しません。図 30.67 にデジタルフィルタ機能の動作例を示します。

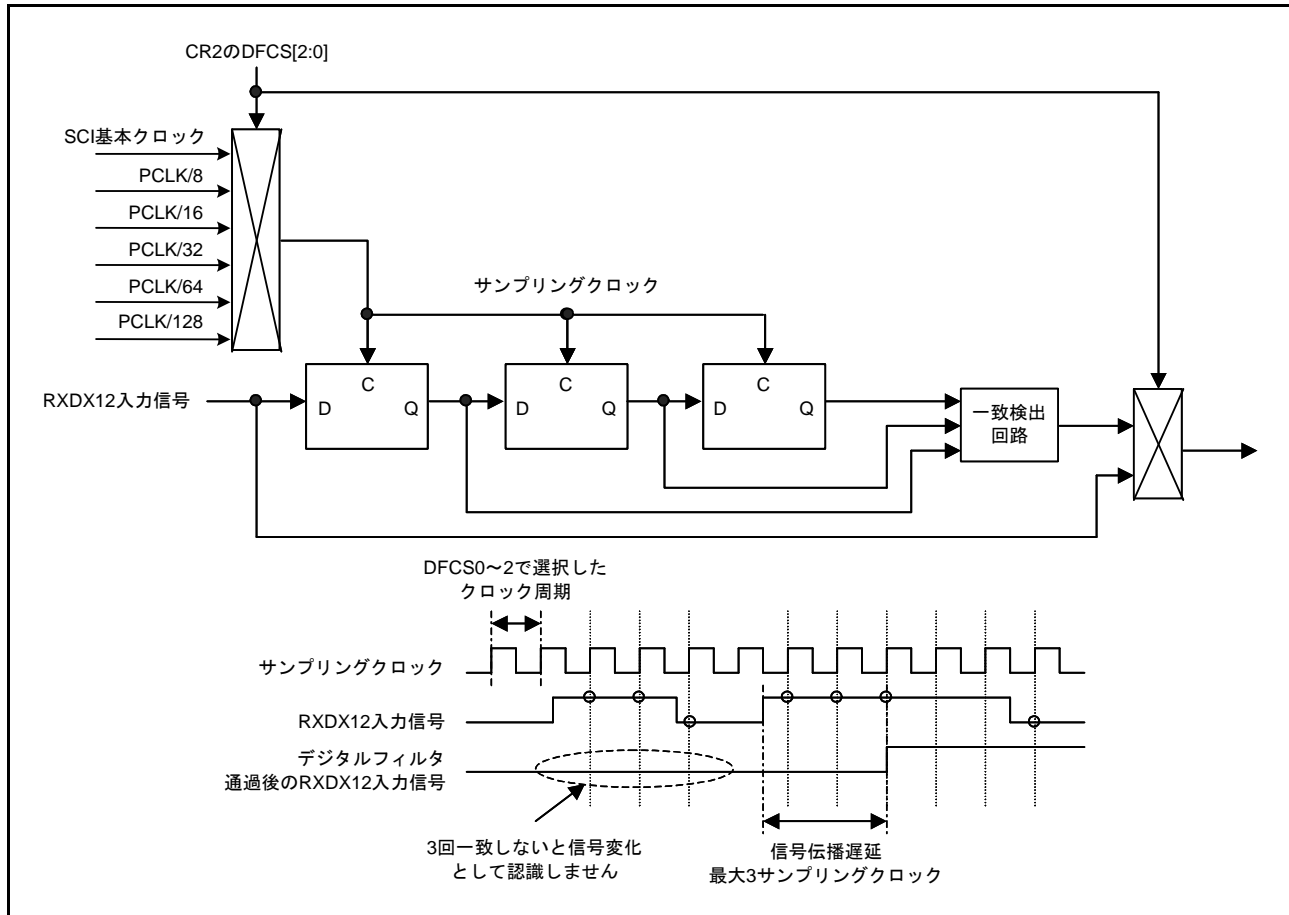


図 30.67 デジタルフィルタ機能の動作例

30.9.6 ビットレート測定機能

RXDX12 端子から入力される信号の立ち上がりー立ち下がり間または、立ち下がりー立ち上がり間を測定する機能です。図 30.68 にビットレート測定機能の動作例を示します。

- (1) CR0 の BRME に “1” を書き込むとビットレート測定が有効となります。BRME は、測定を行いたいときのみ “1” を設定してください。また、BRME を “1” にしても Break Field 中は、ビットレートの測定動作を行いません。
- (2) Break Field Low width を検出後、RXDX12 端子の入力が High になると、ビットレート測定が開始します。
- (3) ビットレート測定開始後、RXDX12 端子から有効エッジ (立ち上がりエッジおよび立ち下がりエッジ) が入力されるとタイマはそのときのカウンタ値をリードバッファに保持し、カウンタをリロードします。ICR の AEDIE を “1” にしている場合は、SCIX3 割り込みが発生します。TCNT、TPRE をリードすることで保持は解除されます。
- (4) 有効エッジ間のカウンタ値からビットレートを算出し、SCII2 の設定を変更することで、ビットレートを調整することができます。Control Field 1 一致後、ビットレート測定機能を無効にする場合は CR0 の BRME に “0” を書き込んでください。

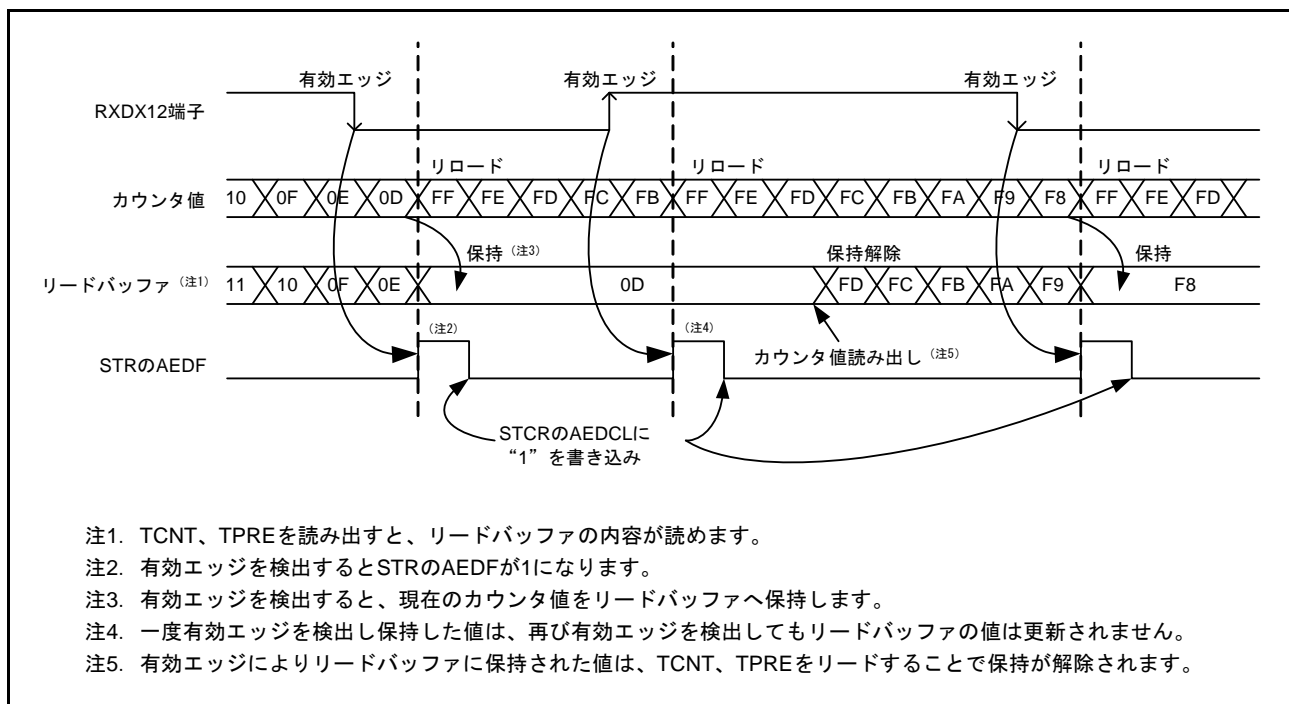


図 30.68 ビットレート測定機能動作例

30.9.7 RXDX12 受信データサンプリングタイミング選択機能

拡張シリアルモード制御部では、SCIF12のRXDX12受信データのサンプリングタイミングをCR2のRTS0およびRTS1により、SCI基本クロックの8クロックの立ち上がり、10クロックの立ち上がり、12クロックの立ち上がりおよび14クロックの立ち上がりから選択することができます。SCIF12のSEMRのABCSが“1”の場合はPCLKの4クロックの立ち上がり、5クロックの立ち上がり、6クロックの立ち上がりおよび7クロックの立ち上がりから選択することができます。図30.69にRXDX12受信データサンプリングタイミングを示します。

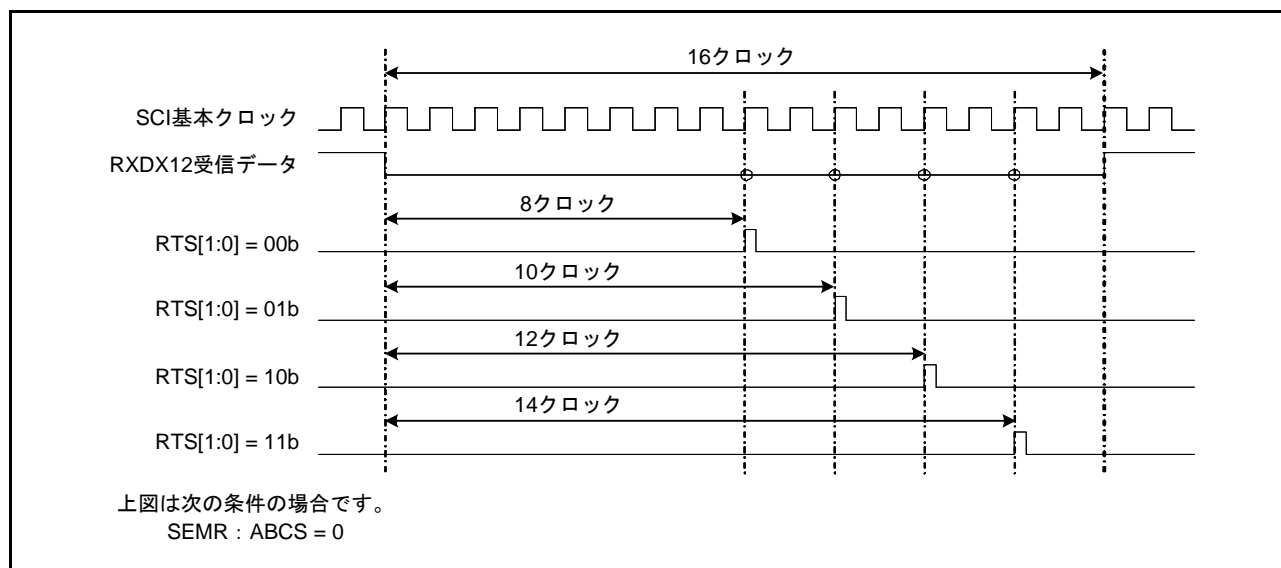


図 30.69 RXDX12 受信データサンプリングタイミング

30.9.8 タイマ

タイマには次の動作モードがあります。

(1) Break Field Low width 出力モード

Start Frame 送信時、Break Field Low width の Low を TXDX12 端子から出力するモードです。TMR の TOMS0 = 0、TOMS1 = 1 に設定すると、Break Field Low width 出力モード動作になります。カウントクロックソースは TMR の TCSS[2:0] で選択します。TCR の TCST に “1” を書き込むと、TXDX12 端子の出力を Low にし、カウントを開始します。タイマがアンダフローすると TXDX12 端子の出力を High にし、STR の BFDLに “1” になります。また、ICR の BFDIE を “1” にしている場合は、SCIX0 割り込みが発生します。TCR の TCST に “0” を書き込むと、TPRE および TCNT はリロード後カウントを停止します。Break Field Low width 出力完了後、タイマが再度アンダフローする前にカウントを停止してください。図 30.70 に Break Field Low width 出力モードの動作例を示します。

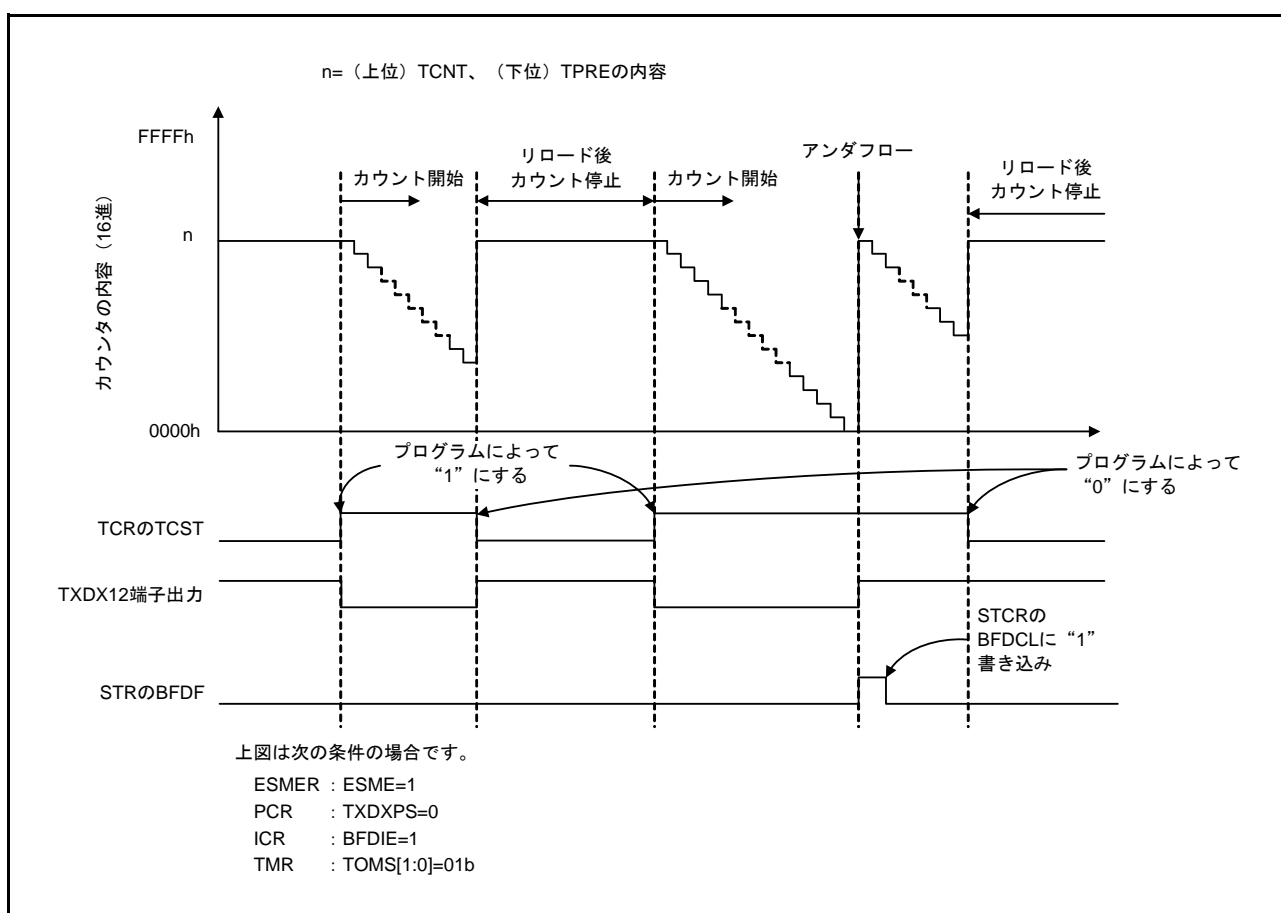


図 30.70 Break Field Low width 出力モードの動作例

(2) Break Field Low width 判定モード

Start Frame 受信時、RXDX12 端子から入力される Break Field Low width 判定するモードです。TMR の TOMS0 = 1、TOMS1 = 0 に設定すると、Break Field Low width 判定モード動作になります。カウントクロックソースは TMR の TCSS[2:0] で選択します。TCR の TCST に“1”を書き込むと、Break Field Low width 判定可能状態になります。RXDX12 端子から Low が入力されると判定を開始します。RXDX12 端子から High が入力されると TPRES および TCNT はリロードを行い Break Field Low width 判定可能状態になります。Break Field Low width 判定中にタイマがアンダフローすると STR の BDFD が“1”にされます。また、ICR の BFDIE を“1”にしている場合は、SCIX0 割り込みが発生します。データ通信中にタイマがアンダフローし、割り込みが発生することが問題となる場合は、Break Field Low width 判定後、タイマを停止してください。図 30.71 に Break Field Low width 判定モードの動作例を示します。

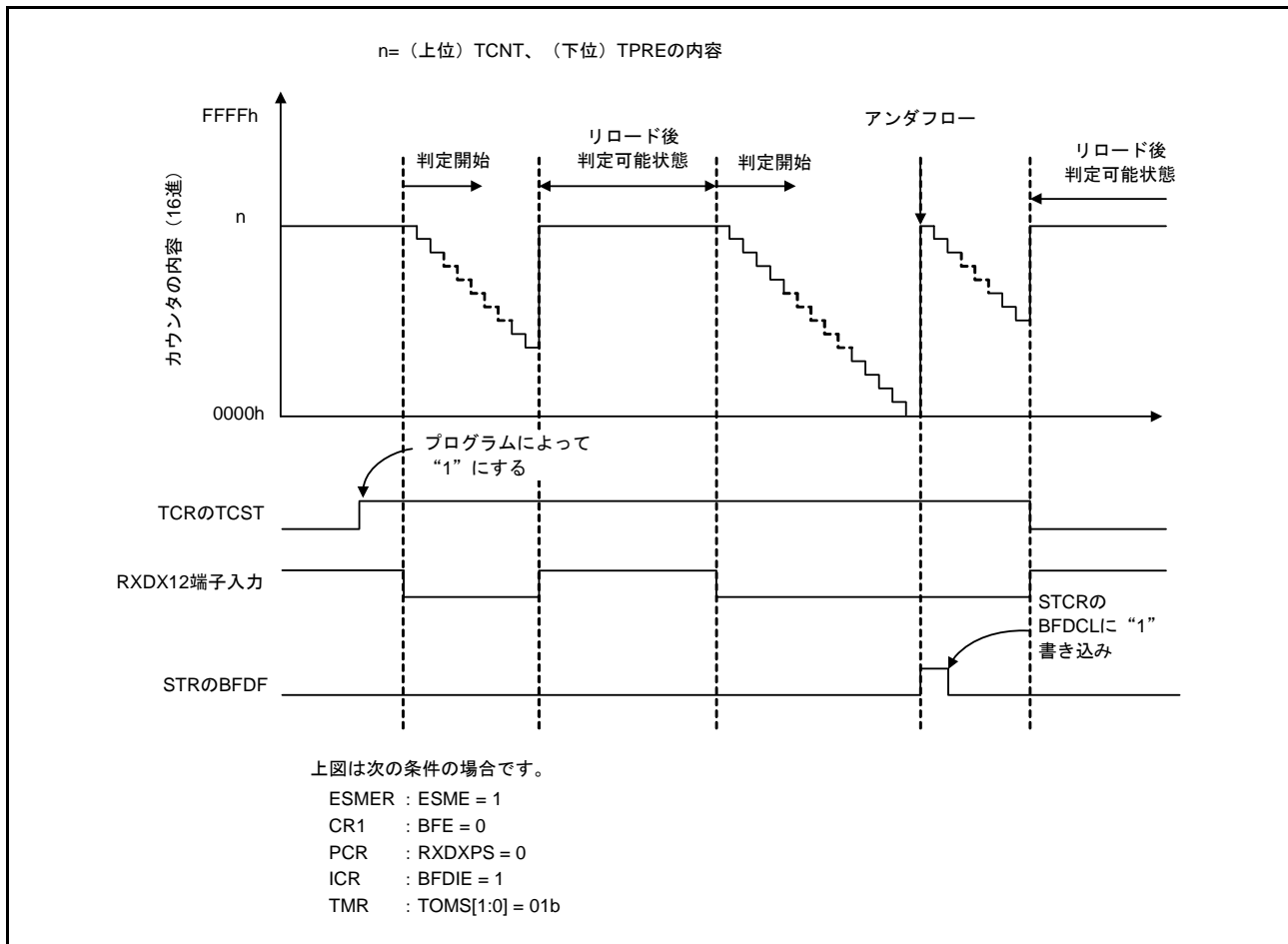


図 30.71 Break Field Low width 判定モードの動作例

(3) タイマモード

内部クロックをカウントクロックソースとしてカウントするモードです。TMR の TOMS0 = 0、TOMS1 = 0 に設定すると、タイマモード動作になります。カウントクロックソースは TMR の TCSS[2:0] で選択します。TCR の TCST に“1”を書き込むと、カウントを開始し、TCST に“0”を書き込むとカウントを停止します。TPRE に入力するカウントクロックソースの周期で TPRES がダウンカウントします。TPRES のアンダフローをカウントクロックソースにして、TCNT がダウンカウントします。タイマがアンダフローすると STR の BDFD が“1”になります。また、ICR の BFDIE を“1”にしている場合は、SCIX0 割り込みが発生します。

30.10 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 30.72 に示します。ノイズフィルタは2段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDnの入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期 (SEMR.ABCS = 0 のとき1ビット期間の1/16、SEMR.ABCS = 1 のとき1ビット期間の1/8) となります。

簡易 I²C モード時は SSDAn、SSCLnの入力信号に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ポーレートジェネレータのクロックソースの1/2/4/8分周クロックから SNFR.NFCS[2:0] ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.TE ビット = 0、SCR.RE ビット = 0 にした場合、ノイズフィルタのフリップフロップはすべて“1”に初期化され、受信再開時の入力データが“1”の場合は一致検出として内部信号に伝えられます。“0”の場合は3回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

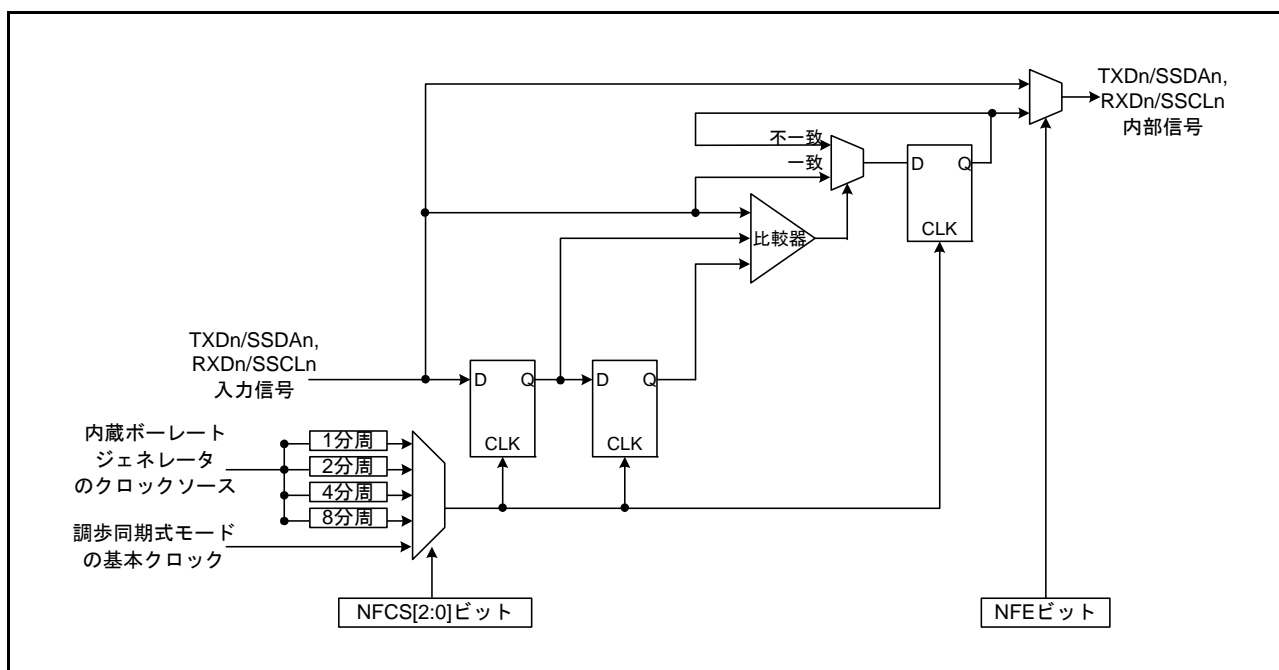


図 30.72 デジタルノイズフィルタ回路のブロック図

30.11 割り込み要因

30.11.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、割り込みコントローラの割り込みステータスフラグが“1”のときに割り込み発生条件となっても、割り込みコントローラに対して割り込み要求を出力せず内部で保持します (内部で保持できる容量は、1 要因ごとに 1 要求までです)。

割り込みコントローラの割り込みステータスフラグが“0”になると、割り込みコントローラに対して保持していた割り込み要求を出力します。保持していた割り込み要求を出力すると、その割り込みの内部の保持は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を“0”にすることでクリアが可能です。

30.11.2 調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

表 30.29 に調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR レジスタのイネーブルビットにより独立にイネーブルにすることができます。

SCR.TIE ビットが“1”のとき、送信データが TDR レジスタから TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを“1”にした後で SCR.TE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に“1”にすることで発生します。TXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが“0”の状態でも SCR.TE ビットを“1”にした場合、および SCR.TE ビットが“1”の状態でも SCR.TIE ビットを“1”にした場合には発生しません。(注 1)

SCR.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタに次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを“1”にしてから TDR レジスタに送信データをライトするまでの間は、SSR.TEND フラグは“1”を保持しており、SCR.TEIE ビットを“1”にすると TEI 割り込み要求が発生します。

TDR レジスタにデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが“1”のとき、受信データが RDR レジスタに格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

SCR.RIE ビットが“1”のとき、SSR.ORER, FER, PER フラグのいずれかが“1”にされると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR.ORER, FER, PER のすべてのビットをクリアすることにより ERI 割り込み要求を取り下げることができます。

- 注 1. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表 30.29 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位
ERI	受信エラー	ORER、FER、PER	不可能	不可能	高 ↑ 低
RXI	受信データフル	—	可能	可能	
TXI	送信データエンプティ	—	可能	可能	
TEI	送信終了	TEND	不可能	不可能	

30.11.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 30.30 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 30.30 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可能	不可能	高 ↑ 低
RXI	受信データフル	—	可能	可能	
TXI	送信データエンプティ	TEND	可能	可能	

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”にされると、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”にされます。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「17. DMA コントローラ (DMACA)」、「18. データトランスファコントローラ (DTCa)」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC または DMAC は起動されず、代わりに CPU に対し ERI 割り込み要求を発生しますのでエラーフラグをクリアしてください。

30.11.4 簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 30.31 の割り込み要因があります。STI 割り込みは、送信終了割り込み (TEI) 要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。

簡易 I²C モードも、DTC または DMAC を使って送受信を行うことができます。

SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCLn 端子立ち下がりで、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。また、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち下がりで、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。

SIMR2.IICINTM ビットが“0”のとき、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち上がりで、SSDAn 端子入力が Low だと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力が High だと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データまたは送信データの転送が可能です。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 30.31 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位
RXI	受信、ACK検出	—	可能	可能	高 ↑ 低
TXI	送信、NACK検出	—	可能 (注1)	可能 (注1)	
STI	開始条件、再開条件、 停止条件生成終了	IICSTIF	不可能	不可能	

注1. SIMR2.IICINTM ビット=“1” (受信割り込み、送信割り込みを選択) の場合のみ DTC、DMAC の起動が可能です。

30.11.5 拡張シリアルモード制御部の割り込み要求

SCIfの拡張シリアルモード制御部が生成する割り込み要求には、SCIX0割り込み（Break Field Low width検出）、SCIX1割り込み（Control Field 0一致、Control Field 1一致、プライオリティインタラプトビット検出）、SCIX2割り込み（バス衝突検出）およびSCIX3割り込み（有効エッジ検出）の計6種類があります。各割り込み要因が発生するとステータスフラグが“1”になります。表 30.32 に各割り込み要求の内容を示します。

表 30.32 拡張シリアルモード制御部の割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
SCIX0割り込み (Break Field Low width検出)	BFDF	<ul style="list-style-type: none"> • タイマに設定した期間より長いBreak Field Low widthを検出したとき • タイマに設定した期間、Break Field Low width出力が完了したとき • タイマがアンダフローしたとき
SCIX1割り込み (Control Field 0一致)	CF0MF	Control Field 0の受信データがCF0DRに設定したデータと一致したとき
SCIX1割り込み (Control Field 1一致)	CF1MF	Control Field 1の受信データがPCF1DRまたはSCF1DRに設定したデータと一致したとき
SCIX1割り込み (プライオリティ インタラプトビット検出)	PIBDF	プライオリティインタラプトビットに指定したビットのデータがPCF1DRに設定したデータと一致したとき
SCIX2割り込み (バス衝突検出)	BCDF	TXDX12端子の出力とRXDX12端子の入力をバス衝突検出クロックでサンプリングし、3回連続不一致が発生とき
SCIX3割り込み (有効エッジ検出)	AEDF	ビットレート測定中、有効エッジを検出したとき

30.12 イベントリンク機能

SCI5は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定していたモジュールを動作させることができます。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力することができます。また、割り込みステータスフラグが“1”の状態でもイベントは出力可能です。

(1) エラー (受信エラー・エラーシグナル検出) イベント出力

- 受信時にパリティエラーが発生して異常終了したことを示します。
- 受信時にフレーミングエラーが発生して異常終了したことを示します。
- 受信時にオーバランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで送信時にエラーシグナルを検出したことを示します。

(2) 受信データフルイベント出力

- 受信データが受信データレジスタ (RDR レジスタ) にセットされたことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“0”のとき、ACKを検出したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“1”のとき、8ビット目の SSCL5 端子立ち下がりを検出したことを示します。
- 簡易 I²C モードのマスタ送信かつ SIMR2.IICINTM ビットが“1”のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

(3) 送信データエンプティイベント出力

- SCR.TE ビットが“0”から“1”に変化したことを示します。
- 送信データレジスタ (TDR レジスタ) から送信シフトレジスタ (TSR レジスタ) に送信データを転送したことを示します。
- スマートカードインタフェースモードで送信が完了したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“0”のとき、NACKを検出したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“1”のとき、9ビット目の SSCL5 端子立ち下がりを検出したことを示します。

(4) 送信終了イベント出力

- 送信が完了したことを示します。
- 簡易 I²C モードで開始条件、再開条件、停止条件の生成が完了したことを示します。

30.13 使用上の注意事項

30.13.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) とモジュールストップコントロールレジスタ C (MSTPCRC) により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

30.13.2 ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて“0”になりますので、SSR.FER フラグが“1”（フレーミングエラーの発生あり）にされ、また SSR.PER フラグも“1”（パリティエラーの発生あり）に設定される可能性があります。SEMR.RXDESEL ビットが“0”のとき、SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを“0”（フレーミングエラーの発生なし）に設定しても、再び FER フラグが“1”にされますので注意してください。SEMR.RXDESEL ビットが“1”のとき、SCI は、SSR.FER フラグが“1”にされ、次のフレームのスタートビット検出待ちの状態を受信動作を停止します。このとき SSR.FER フラグを“0”にすれば、ブレーク中は SSR.FER フラグの“0”を保持します。RXDn 端子が“1”になりブレークが終了した後、最初の RXDn 端子の立ち下がりですtartビットの始まりを検出し、受信動作を開始します。

30.13.3 マーク状態とブレークの送出

SCR.TE ビットが“0”（シリアル送信動作を禁止）のとき、I/O ポート機能を設定することにより、TXDn 端子を入出力方向とレベルを選択できる I/O ポートとして使用できます。これを利用して TXDn 端子をマーク状態にしたりデータ送信時にブレークを送出することができます。SCR.TE ビットを“1”（シリアル送信動作を許可）にするまで、通信回線をマーク状態（“1”の状態）にするためには、I/O ポート機能により TXDn 端子を“1”を出力に設定し、端子モードを汎用入出力ポートに設定します。一方、データ送信時にブレークを送出したいときは、I/O ポート機能設定により TXDn 端子を“0”を出力に設定し、端子モードを汎用入出力ポートに設定します。SCR.TE ビットを“0”にすると現在の送信状態とは無関係に送信部は初期化されます。

30.13.4 受信エラーフラグと送信動作について（クロック同期式モードおよび簡易 SPI モード）

受信エラーフラグ (SSR.ORER) が“1”にされた状態では、TDR レジスタにデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを“0”にしておいてください。また、SCR.RE ビットを“0”（シリアル受信動作を禁止）にしても受信エラーフラグは“0”にされませんので注意してください。

30.13.5 TDR レジスタへのライトについて

TDR レジスタへのデータのライトを行うことができます。しかし、TDR レジスタに送信データが残っている状態で新しいデータを TDR レジスタにライトすると、TDR レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって、TDR レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

30.13.6 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

(1) 送信開始時

CPU、DMAC または DTC による TDR レジスタの更新後、PCLK で 5 クロック以上経過した後に送信クロックを入力してください (図 30.73 参照)。

(2) 連続送信時

- ビット7の送信クロックの立ち上がり以前に、TDR または TDRL レジスタに次の送信データを書き込んでください (図 30.73 参照)。
- ビット7送信開始以降に TDR を更新する場合は、同期クロックが Low の期間に TDR を更新し、かつビット7の送信クロックの High 幅を、4PCLK クロック以上にしてください (図 30.73 参照)。

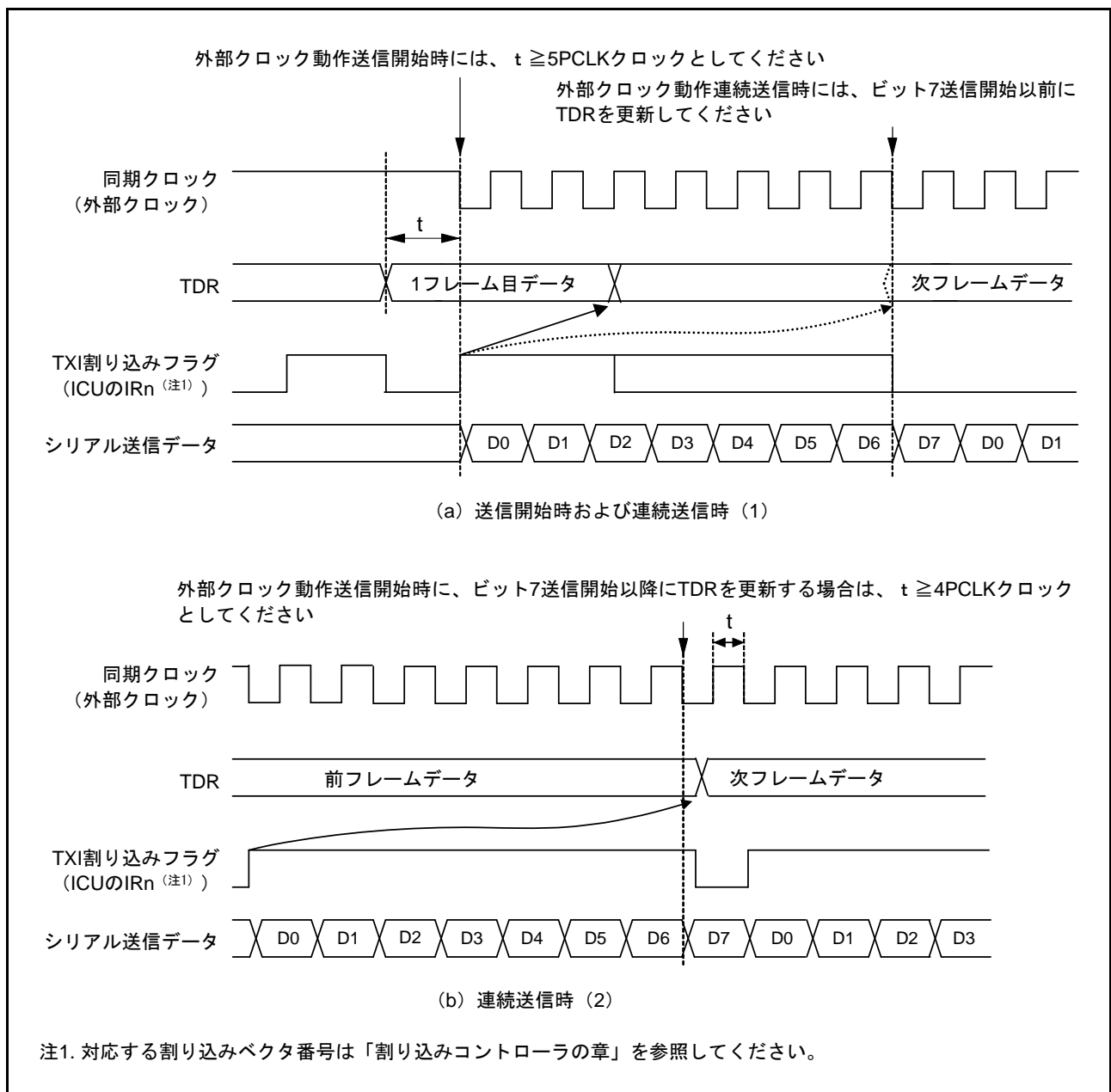


図 30.73 クロック同期式モード送信での外部クロック使用の制約事項

30.13.7 DMAC または DTC 使用上の制約事項

DMAC または DTC により、RDR レジスタのリードを行うときは起動要因を当該 SCI の受信データフル割り込み (RXI) に設定してください。

30.13.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) が“1”のときは、動作許可 (SCR.TE ビットを“1”に設定、または SCR.RE ビットを“1”に設定) 前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「14. 割り込みコントローラ (ICUb)」を参照してください。

- 通信が停止していること (SCR.TE ビットまたは SCR.RE ビットが“0”となっていること) を確認
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を“0”に設定
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を読み出し、“0”を確認
- 割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) に“0”を設定

30.13.9 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態への設定、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えた後、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) してから行ってください。TE ビットを“0”にすることによって、TSR レジスタおよび SSR.TEND フラグはリセットされます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後は低消費電力へ遷移前のレベルを出力します。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態からの解除の後、送信モードを変えないで送信する場合は、TE ビット=1 に設定し、SSR レジスタリード→TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 30.74 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。図 30.75、図 30.76 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

また、DTC 転送による送信からモジュールストップ状態への設定、または、ソフトウェアスタンバイモード遷移は、動作を停止 (TE ビット=0) してから行ってください。解除後 DTC による送信をする場合は、TE ビット=1 に設定すると TXI 割り込みフラグが立ち、DTC による送信が始まります。

(2) 受信

モジュールストップ状態への設定または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止 (SCR.RE ビット=0) してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 30.77 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

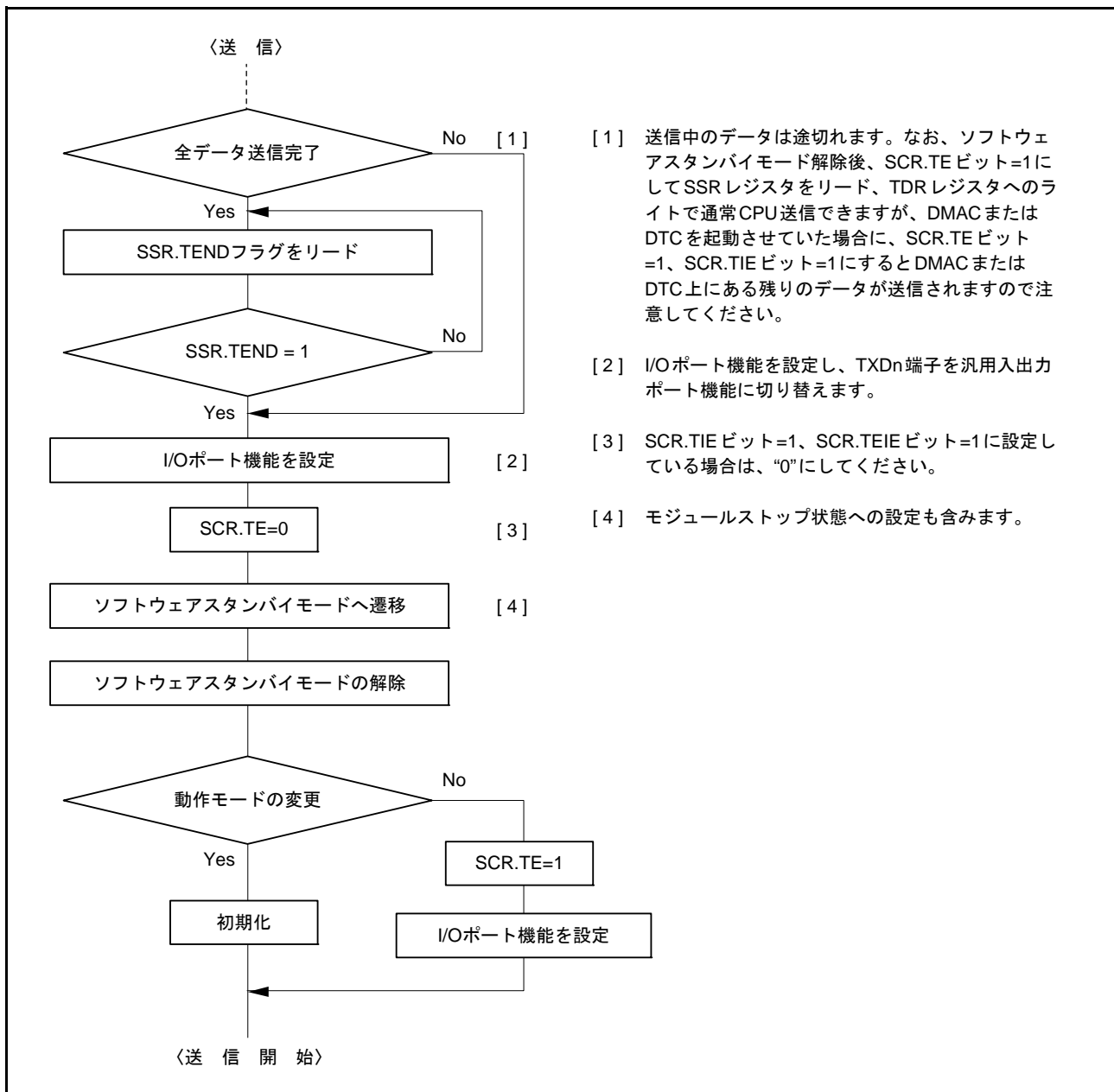


図 30.74 送信時のソフトウェアスタンバイモード遷移フローチャートの例

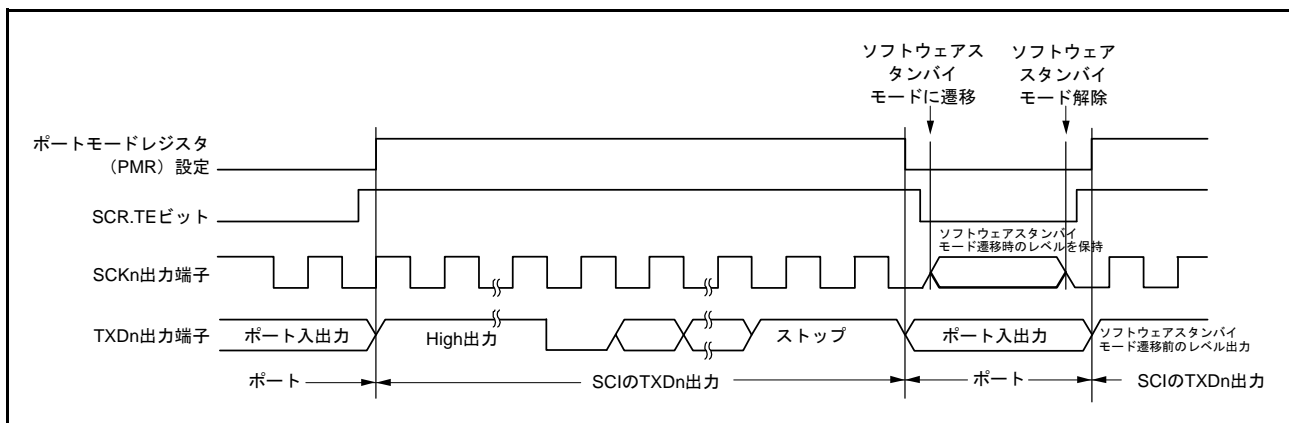


図 30.75 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

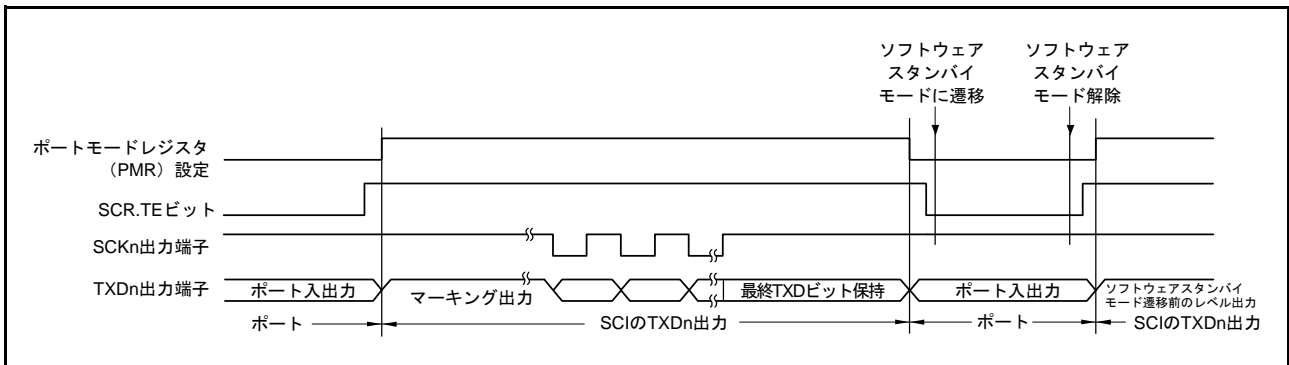


図 30.76 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

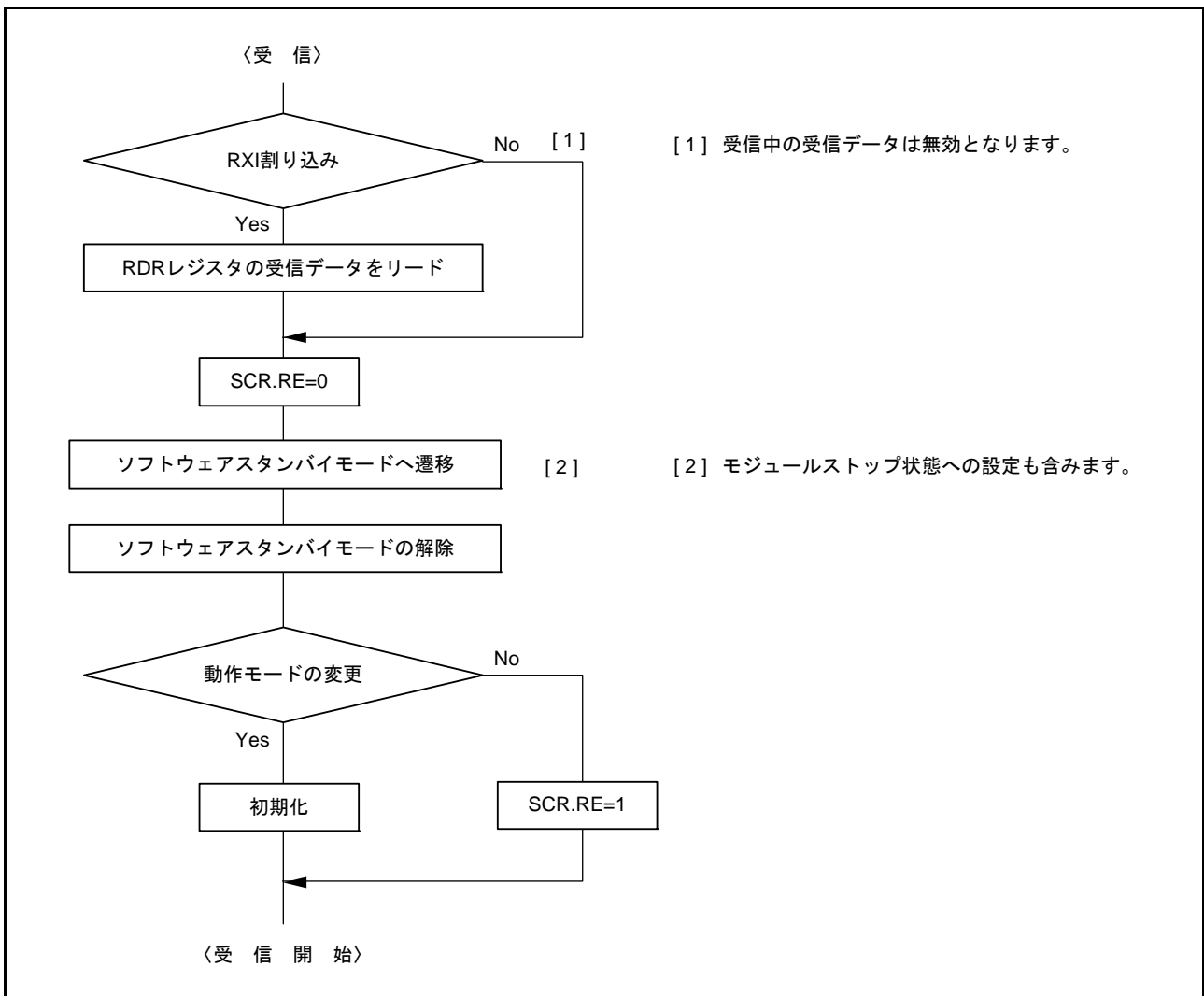


図 30.77 受信時のソフトウェアスタンバイモード遷移フローチャートの例

30.13.10 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードおよび簡易 SPI モード時、外部クロック SCKn 入力は、High パルス期間および Low パルス期間を 2PCLK 以上、周期を 6PCLK 以上としてください。

30.13.11 簡易 SPI モードの制約事項

(1) マスタモード

- SPMR.SSE ビットが“1”のとき、SPMR.CKPH、CKPOL ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ（プルダウン）してください。
SCR.TE ビットを“0”にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR.TE ビットを“0”から“1”にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SPMR.SSE ビットが“0”のときは、SCR.TE ビットを“0”にしてもクロック線はハイインピーダンスになりませんのでプルアップ（プルダウン）は不要です。
- クロック遅れあり設定（SPMR.CKPH ビット＝“1”）の場合、図 30.78 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み（RXI）が発生します。このとき、SCR.TE、RE ビットを SCKn 端子の最終クロックエッジより前に“0”に設定すると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SSn# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

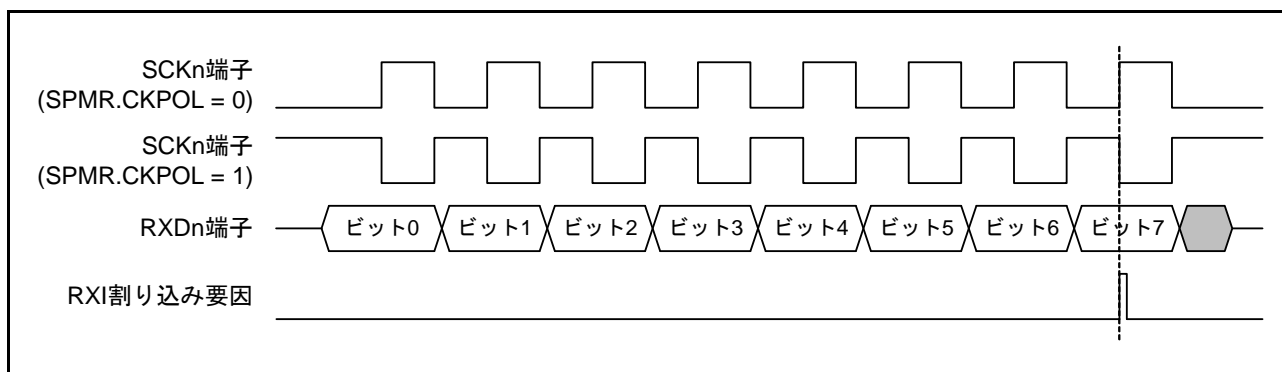


図 30.78 簡易 SPI モード（クロック遅れあり）RXI 割り込み発生タイミング

(2) スレーブモード

- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR.TE、RE ビットを“0”にし、再設定後、1 バイト目から転送をやり直してください。

30.13.12 拡張シリアルモード制御部の使用上の制約事項 1

PCR の SHARPS を“1”にした場合、TXDX12/RXDX12 端子は以下のときのみ出力となります。

- SCIF タイマを Break Field Low width 出力モードで TCR の TCST を“1”にしたとき
(TCR の TCST を“1”にし、Low が出力されるまで、最大でタイマカウントクロックソースの 1 サイクルの High が出力されます。)
- SCI12.SCR の TE が“1”のとき

30.13.13 拡張シリアルモード制御部の使用上の制約事項 2

拡張シリアルモードを有効にした場合も、SCIEの割り込み要求は生成されます。スタートフレーム受信中はSCIFがSCIEの割り込み要求イベントを使用するため、SCIEの割り込み要求は使用しないでください。この対応として下記2つがあります。なお、受信エラーを検出したときは、図30.79のフローチャートの例に従ってSCIEのエラーフラグのクリアおよびSCIF制御部を初期化してください。

- (1) SCIEのSCR.RIEビットを“0”にし、割り込み要求出力を禁止してください。この場合受信エラーが発生した場合にERI割り込みが発生しないため、スタートフレームの受信終了タイミングで、SCIEのSSRレジスタのエラーフラグをチェックしてください。スタートフレーム受信完了後インフォメーションフレームの第1バイト受信完了するまでの間に、SCIEのSCR.RIEビットを“1”に切り替えてください。
- (2) SCIEのSCR.RIEビットを“1”にし、ICUのRXI割り込みを禁止し、ICUのERI割り込みを許可してください。スタートフレーム受信完了後インフォメーションフレームの第1バイト受信完了するまでの間に、ICUのRXI割り込みに対応するIRn.IRフラグをクリアし、ICUのRXI割り込みを許可に切り替えてください。

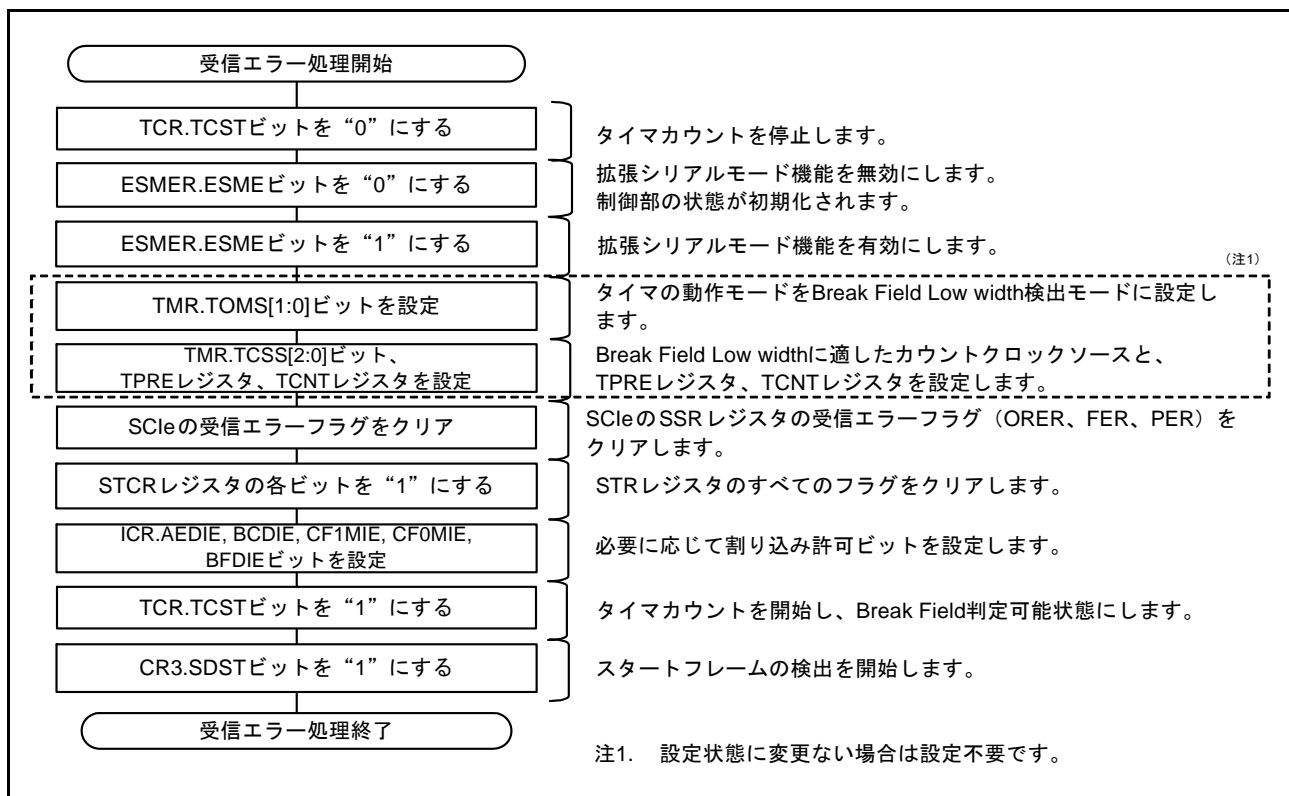


図 30.79 受信エラー処理のフローチャートの例 (スタートフレーム受信時)

30.13.14 トランスミットイネーブルビット (TE ビット) に関する注意事項

端子の機能を「TXDn」に設定した状態で、SCR.TEビットを“0” (シリアル送信動作を禁止) にすると、端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDnラインがハイインピーダンスにならないようにしてください。

- (1) TXDnラインにプルアップ抵抗を接続する。
- (2) SCR.TEビットを“0”にする前に、端子の機能を「汎用入出力ポート、出力」に変更する。
また、SCR.TEビットを“1”にしてから、端子の機能を「TXDn」に変更する。

31. リモコン信号受信機能 (RCR)

本 MCU は、2 チャンネルの RCR (Remote Control Signal Receiver) を内蔵しています。RCR は、リモコン信号などの外部パルス入力信号のパルス幅や周期を検査し、データを受信することができます。

31.1 概要

表 31.1 に RCR の仕様を示します。図 31.1 に RCR のブロック図を示します。

表31.1 RCRの仕様

項目	内容	
	RCR0	RCR1
外部パルス入力	PMC0	PMC1
カウントクロックソース	<ul style="list-style-type: none"> RCRILCLK (注1) RCRMCLK (注2) TMRコンペアマッチ出力 (TMO0) PCLKB 	<ul style="list-style-type: none"> RCRILCLK (注1) RCRMCLK (注2) TMRコンペアマッチ出力 (TMO2) PCLKB
カウント動作	アップカウント	
検査パターン	<ul style="list-style-type: none"> ヘッダパターン データ0パターン データ1パターン 特殊データパターン 	
受信バッファ	8バイト (64ビット)	
割り込み要求	RCRI0	RCRI1
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア一致 受信エラー データ受信完了 受信バッファフル ヘッダパターン一致 データ0パターンまたはデータ1パターンの一致 特殊データパターン一致 	
機能選択	<ul style="list-style-type: none"> 入力信号反転 デジタルフィルタ (3度または2度一致) パターンエンド設定 	
消費電力低減機能	<ul style="list-style-type: none"> チャンネル毎にモジュールストップ状態への設定が可能 低消費電力状態での信号受信、RCR割り込み要求による低消費電力状態からの復帰が可能 	

注1. RCRILCLKはIWDT専用オンチップオシレータから供給される動作クロックです。

注2. RCRMCLKはメインクロック発振器から供給される動作クロックです。

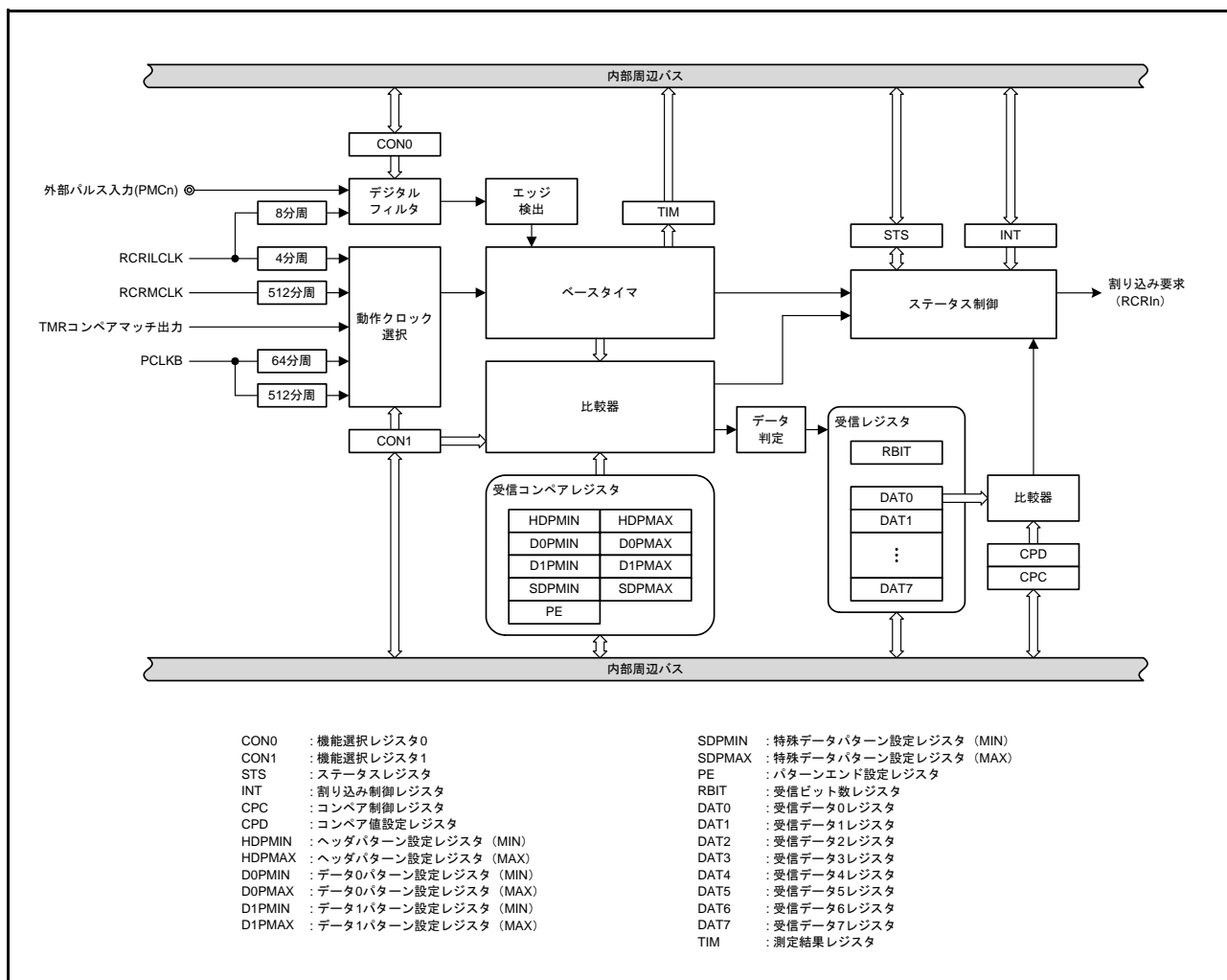


図 31.1 RCR のブロック図

表 31.2 に RCR で使用する入力端子を示します。

表 31.2 RCR の入出力端子

チャネル	端子名	入出力	機能
RCR0	PMC0	入力	外部パルス信号入力
RCR1	PMC1	入力	外部パルス信号入力

31.2 レジスタの説明

31.2.1 機能選択レジスタ 0 (CON0)

アドレス RCR0.CON0 000A 0B00h, RCR1.CON0 000A 0B80h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	FILSEL	—	EC	INFLG	FIL	INV	ENFLG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENFLG	リモコンステータスフラグ	0: 停止 1: 動作中	R (注2)
b1	INV	入力信号反転ビット	0: 反転なし 1: 反転あり	R/W (注1)
b2	FIL	デジタルフィルタ有効無効設定ビット	0: 3度または2度一致デジタルフィルタ無効 1: 3度または2度一致デジタルフィルタ有効	R/W (注1)
b3	INFLG	入力信号フラグ	0: リモコン信号受信機能の内部入力信号のレベルがLow 1: リモコン信号受信機能の内部入力信号のレベルがHigh	R (注2)
b4	EC	受信エラー取り込み動作選択ビット	0: エラーパターン受信後のデータを取り込む 1: エラーパターン受信後のデータを取り込まない	R/W (注1)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	FILSEL	デジタルフィルタ機能選択ビット	0: 3度一致デジタルフィルタ 1: 2度一致デジタルフィルタ	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはCON1.ENビットと、ENFLGフラグがともに“0” (RCR停止) のときに可能です。

注2. CON1.ENビットが“0”のときには、すべて初期化されます。

ENFLG フラグ (リモコンステータスフラグ)

リモコン信号受信機能が動作停止中か動作中か確認できます。

ENFLG フラグは CON1.EN ビットへの書き込み後、カウントソース 0 ~ 1 クロック後に変化します。

FIL ビット (デジタルフィルタ有効無効設定ビット)

デジタルフィルタの有効/無効を選択します。デジタルフィルタを有効にする場合、デジタルフィルタの動作クロックである RCRILCLK を供給する必要があります。動作クロックの供給方法については、「31.3.3 動作クロック」を参照してください。

INFLG フラグ (入力信号フラグ)

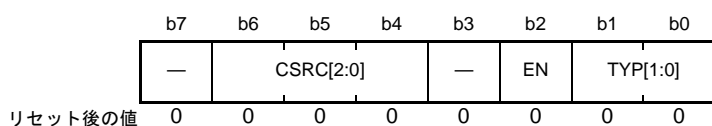
リモコン信号受信機能の内部入力信号のレベルが確認できます。リモコン信号受信機能の内部入力信号の確認できるレベルは INV ビットおよび FIL ビットで設定した結果です。

EC ビット (受信エラー取り込み動作選択ビット)

エラーパターンを受信した後の RBIT, DATj レジスタ (j = 0 ~ 7) への取り込み動作が設定できます。

31.2.2 機能選択レジスタ 1 (CON1)

アドレス RCR0.CON1 000A 0B01h, RCR1.CON1 000A 0B81h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TYP[1:0]	受信モード選択ビット	リモコン信号波形を取り込むフォーマットが選択できます。 b1 b0 0 0 : 「31.3.2 パターン設定」に示すフォーマットA 0 1 : 「31.3.2 パターン設定」に示すフォーマットB 1 0 : 「31.3.2 パターン設定」に示すフォーマットC 1 1 : 設定しないでください	R/W (注1)
b2	EN	リモコン制御ビット	0 : 動作停止 1 : 動作許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	CSRC[2:0]	カウントソースクロック選択ビット	b6 b4 x 0 0 : RCRILCLK/4 x 0 1 : TMR コンペアマッチ出力 x 1 0 : RCRMCLK/512 0 1 1 : PCLKB/64 1 1 1 : PCLKB/512	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

注1. ENビット、またはCON0.ENFLGフラグが“1” (RCR動作) のときにTYP[1:0]ビットを書き換える場合、1ビットずつ値を変更してください。

EN ビット (リモコン制御ビット)

RCR の動作許可、停止を制御するビットです。

動作を開始または停止したことは、CON0.ENFLG フラグで確認してください。

CSRC[2:0] ビット (カウントソースクロック選択ビット)

RCR の動作クロック源を選択するビットです。本ビットの書き換えは、EN ビットと CON0.ENFLG がともに“0” (RCR 停止) のときに可能です。

31.2.3 ステータスレジスタ (STS)

アドレス RCR0.STS 000A 0B02h, RCR1.STS 000A 0B82h

b7	b6	b5	b4	b3	b2	b1	b0
SDFLG	D1FLG	D0FLG	HDFLG	BFULFLG	DRFLG	REFLG	CPFLG

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPFLG	コンペアー致フラグ	0: 不一致 1: 一致	R
b1	REFLG	受信エラーフラグ(注2)	0: エラー発生なし 1: エラー発生あり	R
b2	DRFLG	データ受信中フラグ	0: データ待ち 1: データ受信中	R
b3	BFULFLG	受信バッファフルフラグ	0: 受信バッファ空き 1: 受信ビットフル (64ビット受信)	R/W (注1)
b4	HDFLG	ヘッダパターン一致フラグ	0: 不一致 1: 一致	R
b5	D0FLG	データ0パターン一致フラグ	0: 不一致 1: 一致	R
b6	D1FLG	データ1パターン一致フラグ	0: 不一致 1: 一致	R
b7	SDFLG	特殊データパターン一致フラグ	0: 不一致 1: 一致	R

注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「31.4.8 レジスタ読み出し手順」を参照してください。

注. STSレジスタに関しては、CON1.ENビットが“0”のときには、すべて初期化されます。

注1. フラグをクリアするための“0”を書くことのみ可能です。ただし、書き込みタイミングがCON0.INFLGフラグの切り替わり時の場合、不定となる場合があります。

注2. REFLGフラグが変化するのは、CON1.TYP[1:0]ビット（受信フォーマット選択）によって異なります。表31.3にREFLGフラグが変化する条件を示します。

CPFLG フラグ (コンペアー致フラグ)

CPC.CPN[2:0] ビットで指定された CPD レジスタの値と DAT0 に格納するデータの比較結果を示すフラグです。

[“1”になる条件]

- CPD レジスタと DAT0 レジスタに格納する値が一致するとき (CPC.CPN[2:0] ビットの設定値を n とすると、CPD レジスタのビット n ~ ビット 0 と、DAT0 レジスタのビット n ~ ビット 0 が一致)

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- HDFLG フラグが“0”から“1”になるとき

DRFLG フラグ (データ受信中フラグ)

リモコン信号の受信状態を示します。

[“1” になる条件]

- RCR 内部入力信号の立ち上がりエッジ (CON0.INV ビットが“0”の場合)

[“0” になる条件]

- ベースタイマの値が HDPMAX, D0PMAX, D1PMAX, SDPMAX, PE レジスタのどの値よりも大きい (ベースタイマの値がこれらのレジスタの値よりも大きくなると、カウントソースの 1 サイクル後に“0”になる)

BFULFLG フラグ (受信バッファフルフラグ)

[“1” になる条件]

- RBIT レジスタの値が“64”になるとき

[“0” になる条件]

- HDFLG フラグが“0”から“1”になるとき
- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- BFULFLG フラグに“0”を書き込んだ後、動作クロックの 1～2 サイクル後に“0”になる

HDFLG フラグ (ヘッダパターン一致フラグ)

[“1” になる条件]

- 「表 31.4 測定結果とフラグの関係」を参照

[“0” になる条件]

- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- REFLG フラグが“0”から“1”になるとき
- 「表 31.4 測定結果とフラグの関係」を参照

D0FLG フラグ (データ 0 パターン一致フラグ)

[“1” になる条件]

- 「表 31.4 測定結果とフラグの関係」を参照

[“0” になる条件]

- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- REFLG フラグが“0”から“1”になるとき
- 「表 31.4 測定結果とフラグの関係」を参照

D1FLG フラグ (データ 1 パターン一致フラグ)

[“1” になる条件]

- 「表 31.4 測定結果とフラグの関係」を参照

[“0” になる条件]

- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- REFLG フラグが“0”から“1”になるとき
- 「表 31.4 測定結果とフラグの関係」を参照

SDFLG フラグ (特殊データパターン一致フラグ)

[“1”になる条件]

- 「表 31.4 測定結果とフラグの関係」を参照

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- REFLG フラグが“0”から“1”になるとき
- 「表 31.4 測定結果とフラグの関係」を参照

表 31.3 REFLG フラグが変化する場合

CON1.TYP[1:0]	REFLG フラグが“1”になる条件
00b	<ul style="list-style-type: none"> ヘッダパターン受信前に、データ0パターン、データ1パターン、特殊データパターンを検出した場合 入力信号の立ち上がりから立ち上がりまでの幅が、データ0パターン、データ1パターン、ヘッダパターン、特殊データパターンのいずれでもない場合 (CON0.INV ビットが“0”の場合) データ受信完了 (DRFLG フラグが“1”から“0”になるタイミング) と新しい入力信号の変化が競合した場合
01b	<ul style="list-style-type: none"> ヘッダパターン受信前に、データ0パターン、データ1パターン、特殊データパターンを検出した場合 入力信号の立ち下がりから立ち下がりまでの幅が、データ0パターン、データ1パターン、特殊データパターンのいずれでもない場合 (CON0.INV ビットが“0”の場合) データ受信完了 (DRFLG フラグが“1”から“0”になるタイミング) と新しい入力信号の変化が競合した場合
10b	<ul style="list-style-type: none"> 入力信号の立ち上がりから立ち上がりまでの幅が、ヘッダパターン、データ0パターン、データ1パターン、特殊データパターンのいずれでもない場合 (CON0.INV ビットが“0”の場合) データ受信完了 (DRFLG フラグが“1”から“0”になるタイミング) と新しい入力信号の変化が競合した場合
11b	設定しないでください
CON1.TYP[1:0]	REFLG フラグが“0”になる条件
00b	<ul style="list-style-type: none"> ヘッダパターンの検出 DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
01b	
10b	
11b	設定しないでください

表 31.4 測定結果とフラグの関係

TIMレジスタの内容 (計測結果) と各レジスタとの比較結果	フラグの内容			
	HDFLG	D0FLG	D1FLG	SDFLG
HDPMIN以上 HDPMAX以下	1	0	0	0
D0PMIN以上 D0PMAX以下	0	1 (注1)	0	0
D1PMIN以上 D1PMAX以下	0	0	1 (注1)	0
SDPMIN以上 SDPMAX以下	0	0	0	1 (注1)
上記以外	0	0	0	0

注1. CON1.TYP[1:0] ビットが“00b”または“01b”の場合、ヘッダパターン検出より前なら、D0FLG, D1FLG, SDFLG フラグは変化しません。

31.2.4 割り込み制御レジスタ (INT)

アドレス RCR0.INT 000A 0B03h, RCR1.INT 000A 0B83h

b7	b6	b5	b4	b3	b2	b1	b0
SDINT	—	DINT	HDINT	BFULINT	DRINT	REINT	CPINT

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPINT	コンペアー一致割り込み許可ビット	0: 禁止 1: 許可	R/W (注1)
b1	REINT	受信エラー割り込み許可ビット	0: 禁止 1: 許可	R/W (注1)
b2	DRINT	データ受信完了割り込み許可ビット	0: 禁止 1: 許可	R/W
b3	BFULINT	受信バッファフル割り込み許可ビット	0: 禁止 1: 許可	R/W (注1)
b4	HDINT	ヘッダパターン一致割り込み許可ビット	0: 禁止 1: 許可	R/W (注1)
b5	DINT	データ0パターンまたはデータ1パターン一致割り込み許可ビット	0: 禁止 1: 許可	R/W
b6	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b7	SDINT	特殊データパターン一致割り込み許可ビット	0: 禁止 1: 許可	R/W (注1)

注1. ビットの書き換えはCON1.ENビットと、CON0.ENFLGフラグがともに“0” (RCR停止) のときに可能です。

31.2.5 コンペア制御レジスタ (CPC)

アドレス RCR0.CPC 000A 0B04h, RCR1.CPC 000A 0B84h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CPN[2:0]	—	—

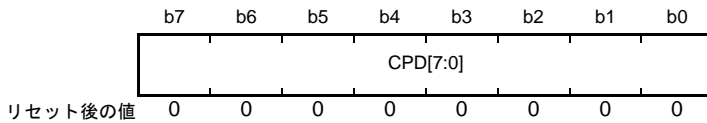
リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CPN[2:0]	コンペアビット数指定ビット	CPN[2:0]ビットの設定値をnとすると、ビットn~ビット0を比較します 例1) 設定値:0の場合 CPDレジスタのビット0と、DAT0レジスタのビット0を比較 例2) 設定値:7の場合 CPDレジスタのビット7~ビット0と、DAT0レジスタのビット7~ビット0を比較	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはCON1.ENビットと、CON0.ENFLGフラグがともに“0” (RCR停止) のときに可能です。

31.2.6 コンペア値設定レジスタ (CPD)

アドレス RCR0.CPD 000A 0B05h, RCR1.CPD 000A 0B85h

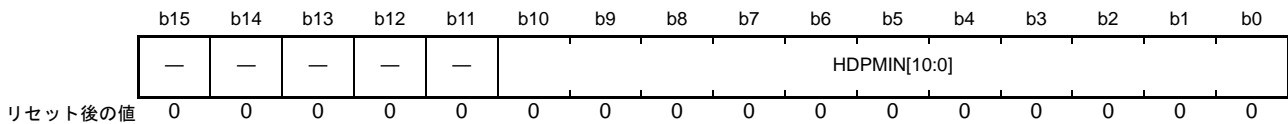


ビット	シンボル	ビット名	機能	R/W
b7-b0	CPD[7:0]	コンペア値設定ビット	コンペア機能使用時にDAT0レジスタの内容と比較する値を設定してください。 CPC.CPN[2:0]ビットで、比較するビット数を設定できます	R/W (注1)

注1. ビットの書き換えはCON1.ENビットと、CON0.ENFLGフラグがともに“0” (RCR停止) のときに可能です。

31.2.7 ヘッダパターン設定レジスタ (MIN) (HDPMIN)

アドレス RCR0.HDPMIN 000A 0B06h, RCR1.HDPMIN 000A 0B86h

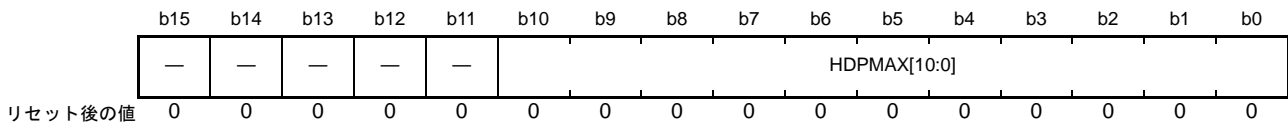


ビット	シンボル	ビット名	機能	R/W
b10-b0	HDPMIN[10:0]	ヘッダパターン最小幅設定ビット	ヘッダパターンの最小幅を設定してください 設定範囲“000h”~“7FFh”	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはCON1.ENビットと、CON0.ENFLGフラグがともに“0” (RCR停止) のときに可能です。

31.2.8 ヘッダパターン設定レジスタ (MAX) (HDPMAX)

アドレス RCR0.HDPMAX 000A 0B08h, RCR1.HDPMAX 000A 0B88h

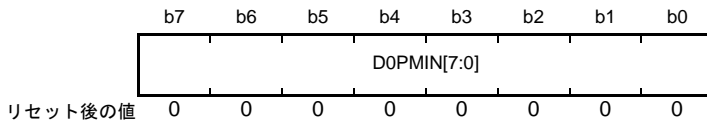


ビット	シンボル	ビット名	機能	R/W
b10-b0	HDPMAX[10:0]	ヘッダパターン最大幅設定ビット	ヘッダパターンの最大幅を設定してください 設定範囲“000h”~“7FFh”	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはCON1.ENビットと、CON0.ENFLGフラグがともに“0” (RCR停止) のときに可能です。

31.2.9 データ0パターン設定レジスタ (MIN) (D0PMIN)

アドレス RCR0.D0PMIN 000A 0B0Ah, RCR1.D0PMIN 000A 0B8Ah

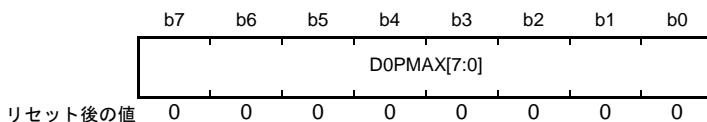


ビット	シンボル	ビット名	機能	R/W
b7-b0	D0PMIN[7:0]	データ0パターン最小幅設定ビット	データ0パターンの最小幅を設定してください 設定範囲“00h~FFh”	R/W (注1)

注1. ビットの書き換えはCON1.ENビットと、CON0.ENFLGフラグがともに“0” (RCR停止) のときに可能です。

31.2.10 データ0パターン設定レジスタ (MAX) (D0PMAX)

アドレス RCR0.D0PMAX 000A 0B0Bh, RCR1.D0PMAX 000A 0B8Bh

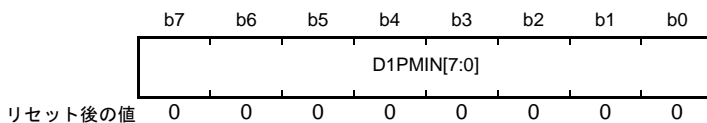


ビット	シンボル	ビット名	機能	R/W
b7-b0	D0PMAX[7:0]	データ0パターン最大幅設定ビット	データ0パターンの最大幅を設定してください 設定範囲“00h~FFh”	R/W (注1)

注1. ビットの書き換えはCON1.ENビットと、CON0.ENFLGフラグがともに“0” (RCR停止) のときに可能です。

31.2.11 データ1パターン設定レジスタ (MIN) (D1PMIN)

アドレス RCR0.D1PMIN 000A 0B0Ch, RCR1.D1PMIN 000A 0B8Ch

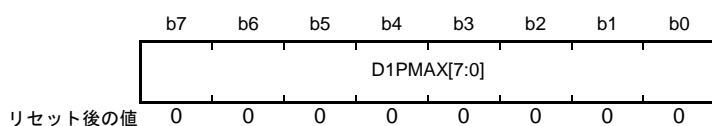


ビット	シンボル	ビット名	機能	R/W
b7-b0	D1PMIN[7:0]	データ1パターン最小幅設定ビット	データ1パターンの最小幅を設定してください 設定範囲“00h~FFh”	R/W (注1)

注1. ビットの書き換えはCON1.ENビットと、CON0.ENFLGフラグがともに“0” (RCR停止) のときに可能です。

31.2.12 データ1パターン設定レジスタ (MAX) (D1PMAX)

アドレス RCR0.D1PMAX 000A 0B0Dh, RCR1.D1PMAX 000A 0B8Dh

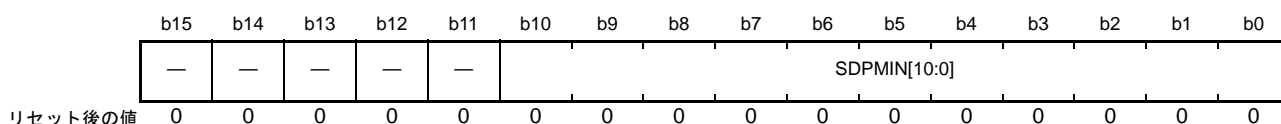


ビット	シンボル	ビット名	機能	R/W
b7-b0	D1PMAX[7:0]	データ1パターン最大幅設定ビット	データ1パターンの最大幅を設定してください 設定範囲“00h~FFh”	R/W (注1)

注1. ビットの書き換えはCON1.ENビットと、CON0.ENFLGフラグがともに“0” (RCR停止) のときに可能です。

31.2.13 特殊データパターン設定レジスタ (MIN) (SDPMIN)

アドレス RCR0.SDPMIN 000A 0B0Eh, RCR1.SDPMIN 000A 0B8Eh

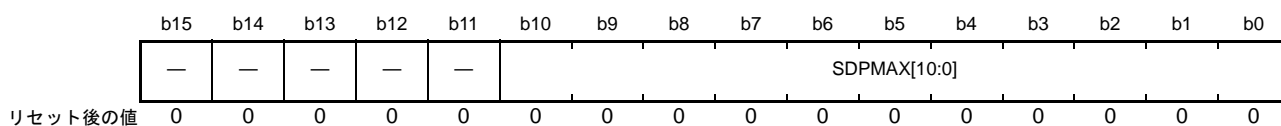


ビット	シンボル	ビット名	機能	R/W
b10-b0	SDPMIN[10:0]	特殊データパターン最小幅設定ビット	特殊データパターンの最小幅を設定してください 設定範囲“000h~7FFh”	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはCON1.ENビットと、CON0.ENFLGフラグがともに“0” (RCR停止) のときに可能です。

31.2.14 特殊データパターン設定レジスタ (MAX) (SDPMAX)

アドレス RCR0.SDPMAX 000A 0B10h, RCR1.SDPMAX 000A 0B90h

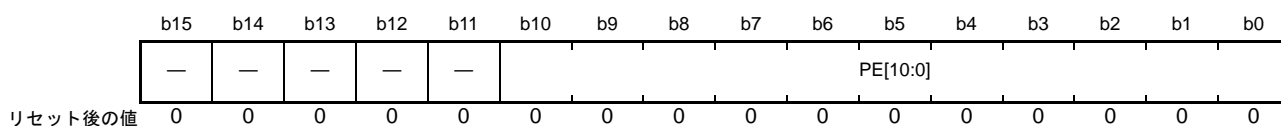


ビット	シンボル	ビット名	機能	R/W
b10-b0	SDPMAX[10:0]	特殊データパターン最大幅設定ビット	特殊データパターンの最大幅を設定してください 設定範囲“000h~7FFh”	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはCON1.ENビットと、CON0.ENFLGフラグがともに“0” (RCR停止) のときに可能です。

31.2.15 パターンエンド設定レジスタ (PE)

アドレス RCR0.PE 000A 0B12h, RCR1.PE 000A 0B92h

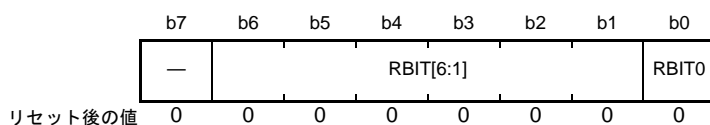


ビット	シンボル	ビット名	機能	R/W
b10-b0	PE[10:0]	パターンエンド幅設定ビット	パターンエンドの幅を設定してください 設定範囲“000h～7FFh” STS.DRFLGフラグが、“1”から“0”になるタイミングを設定できます。	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはCON1.ENビットと、CON0.ENFLGフラグがともに“0” (RCR停止) のときに可能です。

31.2.16 受信ビット数レジスタ (RBIT)

アドレス RCR0.RBIT 000A 0B15h, RCR1.RBIT 000A 0B95h



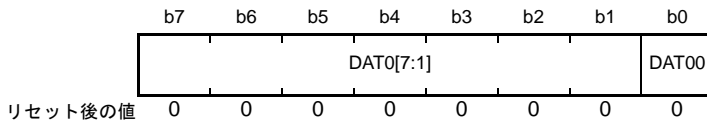
ビット	シンボル	ビット名	機能	R/W
b0	RBIT0	受信ビット数確認ビット0	受信ビット数が読めます。	R/W
b6-b1	RBIT[6:1]	受信ビット数確認ビット6～ビット1	検出したデータ0パターンまたはデータ1パターンの数をカウントし、格納するバッファのビット位置を示します。 <ul style="list-style-type: none"> “64”を超えると“1”に戻ります ヘッダパターン、特殊データパターンはカウントしません CON0.ECビットが“1”でエラーを検出した場合、データ0パターンまたはデータ1パターンを検出してもカウントアップしません STS.DRFLGフラグが“0”から“1”になるとき、RBITレジスタは“0”になります STS.HDFLGフラグが“0”から“1”になるとき、RBITレジスタは“0”になります RBIT.RBIT0ビットに“0”を書き込んだ場合、動作クロックの1～2サイクル後にRBITレジスタの値が“00h”になります。	R
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「31.4.8 レジスタ読み出し手順」を参照してください。

注. CON1.ENビットが“0”のときには、すべて初期化されます。

31.2.17 受信データ 0 レジスタ (DAT0)

アドレス RCR0.DAT0 000A 0B16h, RCR1.DAT0 000A 0B96h



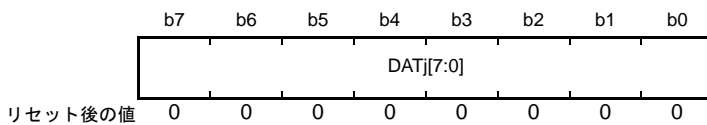
ビット	シンボル	ビット名	機能	R/W
b0	DAT00	受信データ0格納ビット0	受信データを格納します。	R/W
b7-b1	DAT0[7:1]	受信データ0格納ビット7～ビット1	DAT0レジスタのビット0へ“0”書き込みした後の動作クロック1～2サイクル後に、DAT0～DAT7レジスタの値はすべて“00h”になります	R

注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「31.4.8 レジスタ読み出し手順」を参照してください。

注. CON1.ENビットが“0”のときには、すべて初期化されます。

31.2.18 受信データ j レジスタ (DATj) j = 1 ~ 7

アドレス RCR0.DAT1 000A 0B17h, RCR0.DAT2 000A 0B18h, RCR0.DAT3 000A 0B19h, RCR0.DAT4 000A 0B1Ah, RCR0.DAT5 000A 0B1Bh, RCR0.DAT6 000A 0B1Ch, RCR0.DAT7 000A 0B1Dh, RCR1.DAT1 000A 0B97h, RCR1.DAT2 000A 0B98h, RCR1.DAT3 000A 0B99h, RCR1.DAT4 000A 0B9Ah, RCR1.DAT5 000A 0B9Bh, RCR1.DAT6 000A 0B9Ch, RCR1.DAT7 000A 0B9Dh



ビット	シンボル	ビット名	機能	R/W
b7-b0	DATj[7:0]	受信データj格納ビット	受信データを格納します	R

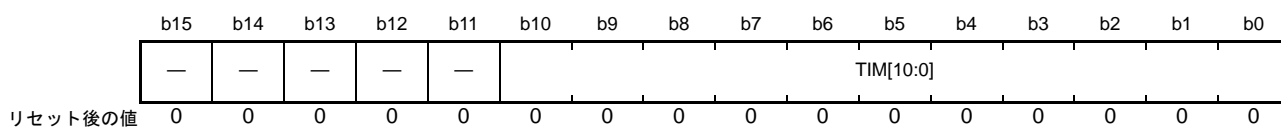
注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「31.4.8 レジスタ読み出し手順」を参照してください。

注. CON1.ENビットが“0”のときには、すべて初期化されます。

データ 0 パターンまたはデータ 1 パターンを検出すると、検出結果を 1 ビットずつ受信データとして格納します。受信データの格納動作についての詳細は、「31.3.7 受信データバッファ」を参照してください。

31.2.19 測定結果レジスタ (TIM)

アドレス RCR0.TIM 000A 0B1Eh, RCR1.TIM 000A 0B9Eh



ビット	シンボル	ビット名	機能	R/W
b10-b0	TIM[10:0]	測定結果ビット	各イベント幅の測定結果が読み出せます。 本ビットは以下のイベントが発生するとベースタイマの値がキャプチャされます。 <ul style="list-style-type: none"> • ヘッダパターン検出 • データ0パターン検出 • データ1パターン検出 • 特殊データパターン検出 • 上記以外のデータパターン検出 (受信エラー) 	R
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「31.4.8 レジスタ読み出し手順」を参照してください。

注. CON1.ENビットが“0”のときには、すべて初期化されます。

31.3 動作説明

31.3.1 RCR 動作の概要

リモコン信号例を図 31.2 に示します。リモコン信号は、ヘッダから始まり、その後データが続きます。このヘッダは、その後続くデータ部分とは波形が異なるため、ヘッダとデータとを区別することができます。データ部分には、カスタムコードやデータコードを含んでおり、ビットの長さで“0”、“1”を区別します。ストップビットの後は、信号変化の無いフレームスペース期間が続き、1フレームが形成されます。

RCR では、内蔵するベースタイマにより外部入力信号のエッジ-エッジ間の時間を計測し、その計測結果からリモコン信号のパターン検出、データの取り込みを行います。

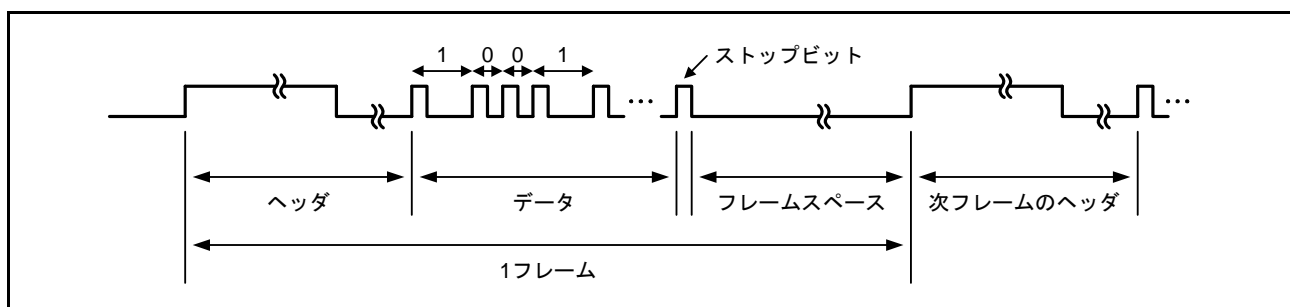


図 31.2 リモコン信号例

31.3.2 パターン設定

CON1.TYP[1:0] ビットを設定することでリモコン信号受信波形を取り込むフォーマットを設定できます。CON1.TYP[1:0] ビットの設定により取り込めるリモコン信号受信波形の例を図 31.3、図 31.4 に示します。

CON1.TYP[1:0] ビットが“00b”（フォーマット A）の場合

内部入力信号の立ち上がり時にヘッダパターン設定値と測定結果を判定します。

ヘッダパターンを受信した場合、内部入力信号の立ち上がり時にデータ 0 パターン設定値、データ 1 パターン設定値、特殊データパターン設定値と計測結果を判定します。

CON1.TYP[1:0] ビットが“01b”（フォーマット B）の場合

内部入力信号の立ち下がり時にヘッダパターン設定値と測定結果を判定します。

ヘッダパターンを受信した場合、内部入力信号の立ち下がり時にデータ 0 パターン設定値、データ 1 パターン設定値、特殊データパターン設定値と計測結果を判定します。

ヘッダパターンは 1 フレームで 1 回検出します。

CON1.TYP[1:0] ビットが“10b”（フォーマット C）の場合

内部入力信号の立ち上がり時にヘッダパターン設定値、データ 0 パターン設定値、データ 1 パターン設定値、特殊データパターン設定値と計測結果を判定します。

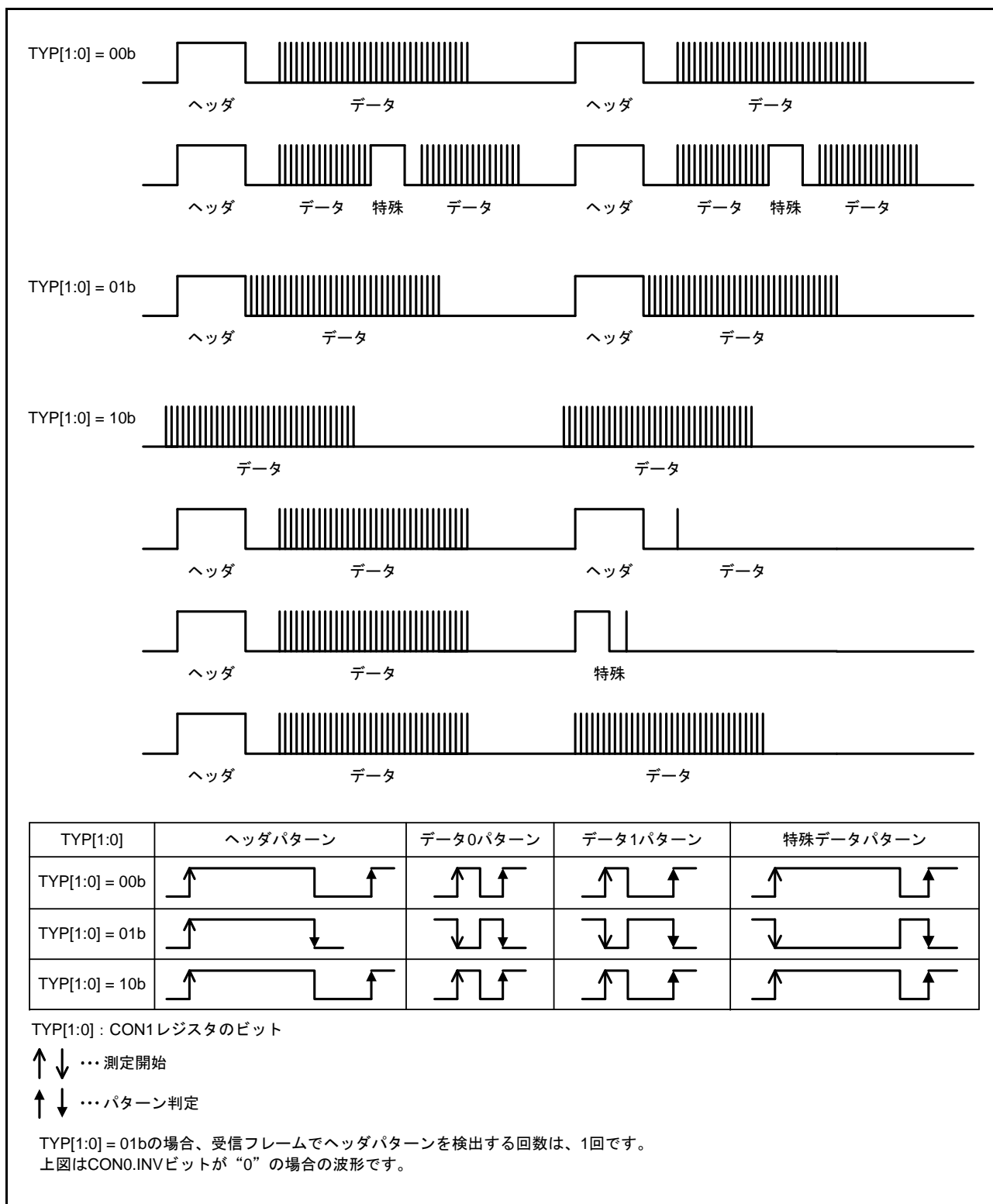


図 31.3 CON1.TYP[1:0] ビットの設定により取り込めるリモコン信号受信波形の例 (CON0.INV = 0 の場合)

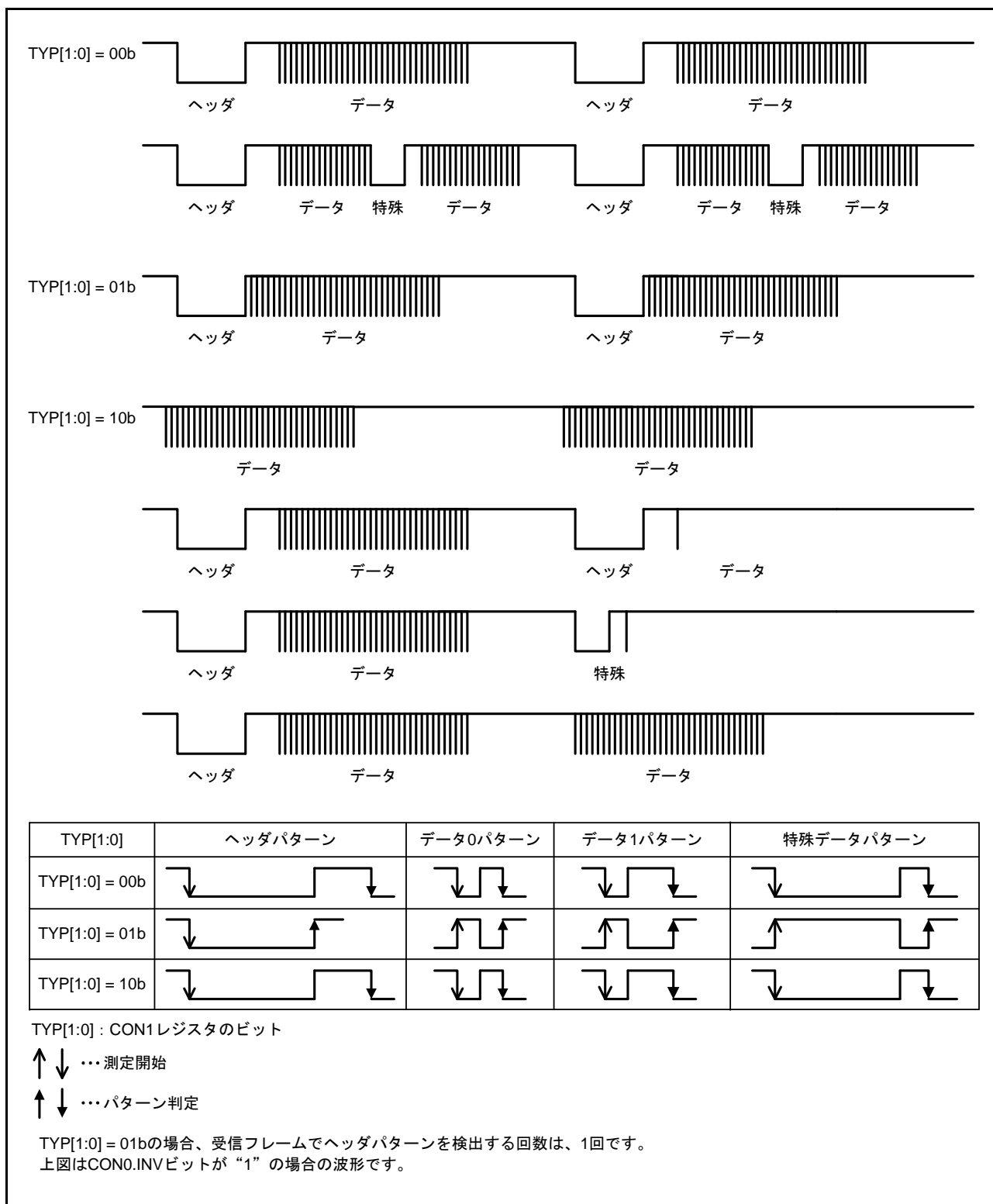


図 31.4 CON1.TYP[1:0] ビットの設定により取り込めるリモコン信号受信波形の例 (CON0.INV = 1 の場合)

31.3.3 動作クロック

RCR は動作クロックとして、周辺モジュールクロック (PCLKB) の分周クロック、IWDT 専用オンチップオシレータから供給される RCRILCLK の分周クロック、メインクロック発振器から供給される RCRMCLK の分周クロック、TMR コンペアマッチ出力を選択して使用することができます。また、デジタルフィルタを有効にする場合、動作クロックである RCRILCLK の供給が必要です。RCRILCLK、RCRMCLK を RCR へ供給する場合は、それぞれのクロック供給方法に注意が必要です。それぞれの動作クロック供給方法について説明します。

31.3.3.1 RCR 動作クロックとして RCRILCLK を使用する場合

RCR 動作クロックとして IWDT 専用オンチップオシレータから供給される RCRILCLK の分周クロックを使用する場合のフローを説明します。

ILOCOCR.ILCSTP ビットを“0”にすると、IWDT 専用オンチップオシレータの発振動作が開始します。発振開始後、発振安定待機時間経過後に RCR へ動作クロックが供給されます。ソフトウェアスタンバイ時、IWDT 専用オンチップオシレータの発振動作を継続する場合は、IWDTCSSTPR.SLCSTP ビットを“0”にしてください。ILOCOCR レジスタについては、「9.2.8 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)」を、IWDTCSSTPR レジスタについては、「29.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSSTPR)」を参照してください。

なお、IWDT 専用オンチップオシレータ発振動作中は、IWDT へも動作クロック供給が行われます。そのため、RCR 動作クロックとして RCRILCLK の分周クロックを使用する場合は、予期せぬリセット、割り込み発行を防ぐため、IWDT の機能は使用しないでください。

図 31.5 に RCR への RCRILCLK 供給開始フロー例を示します。

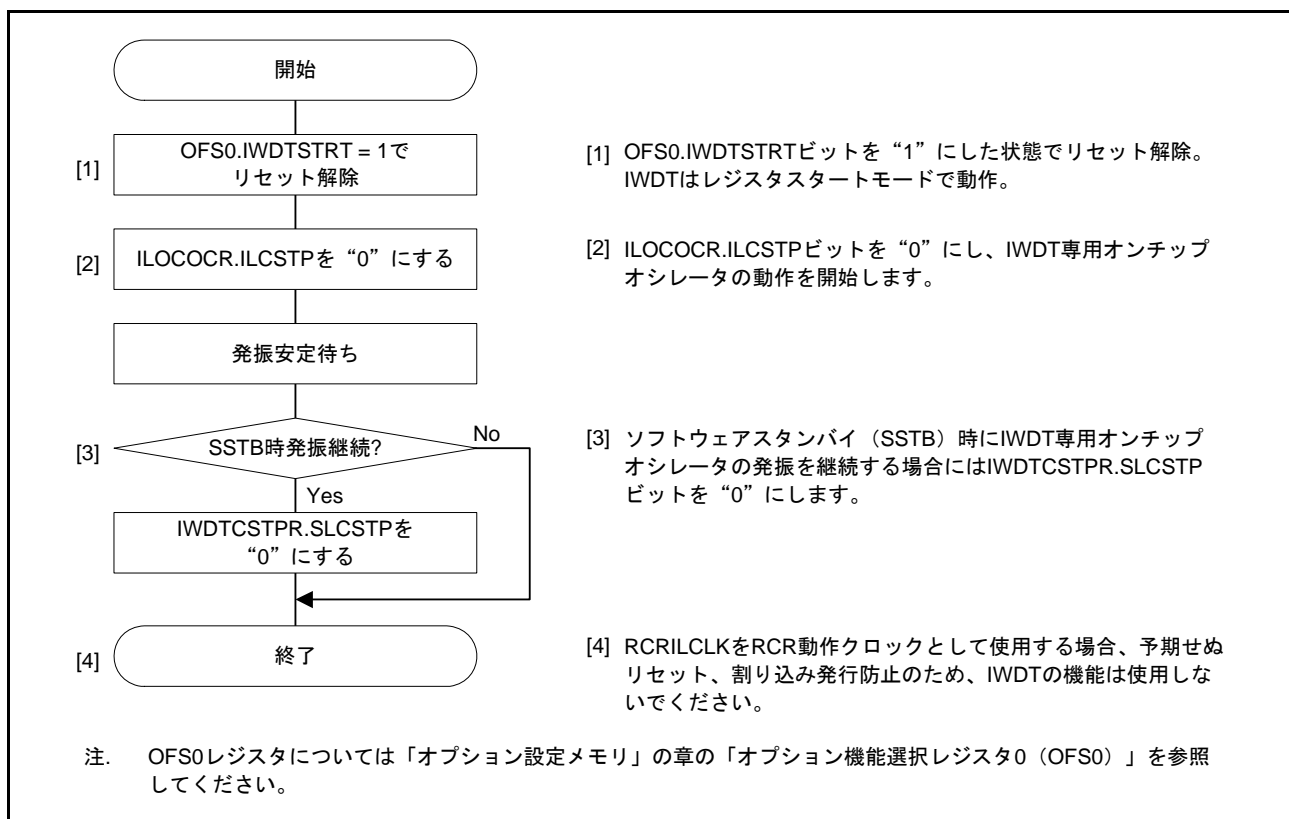


図 31.5 RCR への RCRILCLK 供給開始フロー例

31.3.3.2 RCR 動作クロックとして RCRMCLK を使用する場合

RCR 動作クロックとしてメインクロック発振器から供給される RCRMCLK の分周クロックを使用する場合のフローを説明します。

MOSCCR.MOSTP ビットを“0”にすると、メインクロック発振器の発振動作が開始します。MOFCR.MOFXIN ビットを“1”にしても、発振動作を開始することができますが、本ビットで発振動作を開始させた場合、システムクロックへのメインクロック供給が出来ないため、発振開始は MOSCCR.MOSTP ビットの制御で行ってください。MOFCR.MOFXIN ビットの設定はソフトウェアスタンバイ時の発振動作継続制御にのみ使用します。MOSCCR レジスタについては、「9.2.6 メインクロック発振器コントロールレジスタ (MOSCCR)」を、MOFCR レジスタについては、「9.2.11 メインクロック発振器強制発振コントロールレジスタ (MOFCR)」をそれぞれ参照してください。

メインクロック発振器の発振開始後、MOSCWTCR.MSTS[4:0] で設定したサイクル数分メインクロックをカウントした後、RCR へのメインクロックの供給が可能になります。なお、システム側へのメインクロック供給は、さらに 16384 サイクル分メインクロックをカウントした後に供給可能となります。MOSCWTCR レジスタについては、「11.2.7 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)」を参照してください。本発振安定待ち動作は、ソフトウェアスタンバイ時に発振を停止させた場合の復帰動作に関しても同様です。

メインクロックの発振安定時間が経過し、RCR へのメインクロック供給が可能となった後、MOSCR.MOSE ビットを“1”にし、メインクロックの供給を開始します。MOSCR レジスタについては、「9.2.12 メインクロック供給制御レジスタ (MOSCR)」を参照してください。

RCR へ供給するメインクロック経路には、ノイズフィルタを内蔵しています。このノイズフィルタの有効/無効の切り替えは MONFCR レジスタで行います。MONFCR レジスタについては、「9.2.13 メインクロックノイズフィルタ制御レジスタ (MONFCR)」を参照してください。なお、MONFCR レジスタを書き換える場合は、MOSCR.MOSE ビットを“0”にした状態 (RCR へのメインクロック供給を停止した状態) で行ってください。

ソフトウェアスタンバイ時、メインクロック発振器の発振動作を継続する場合は、MOSCCR.MOSTP ビットが“0”でメインクロックの発振が行われている時に、MOSCR.MOSE ビットを“0”にした状態 (RCR へのメインクロック供給を停止した状態) で MOFCR.MOFXIN ビットを“1”にしてください。

図 31.6 に RCR への RCRMCLK 供給開始フロー例を、図 31.7 に RCR へのメインクロック供給経路図を示します。

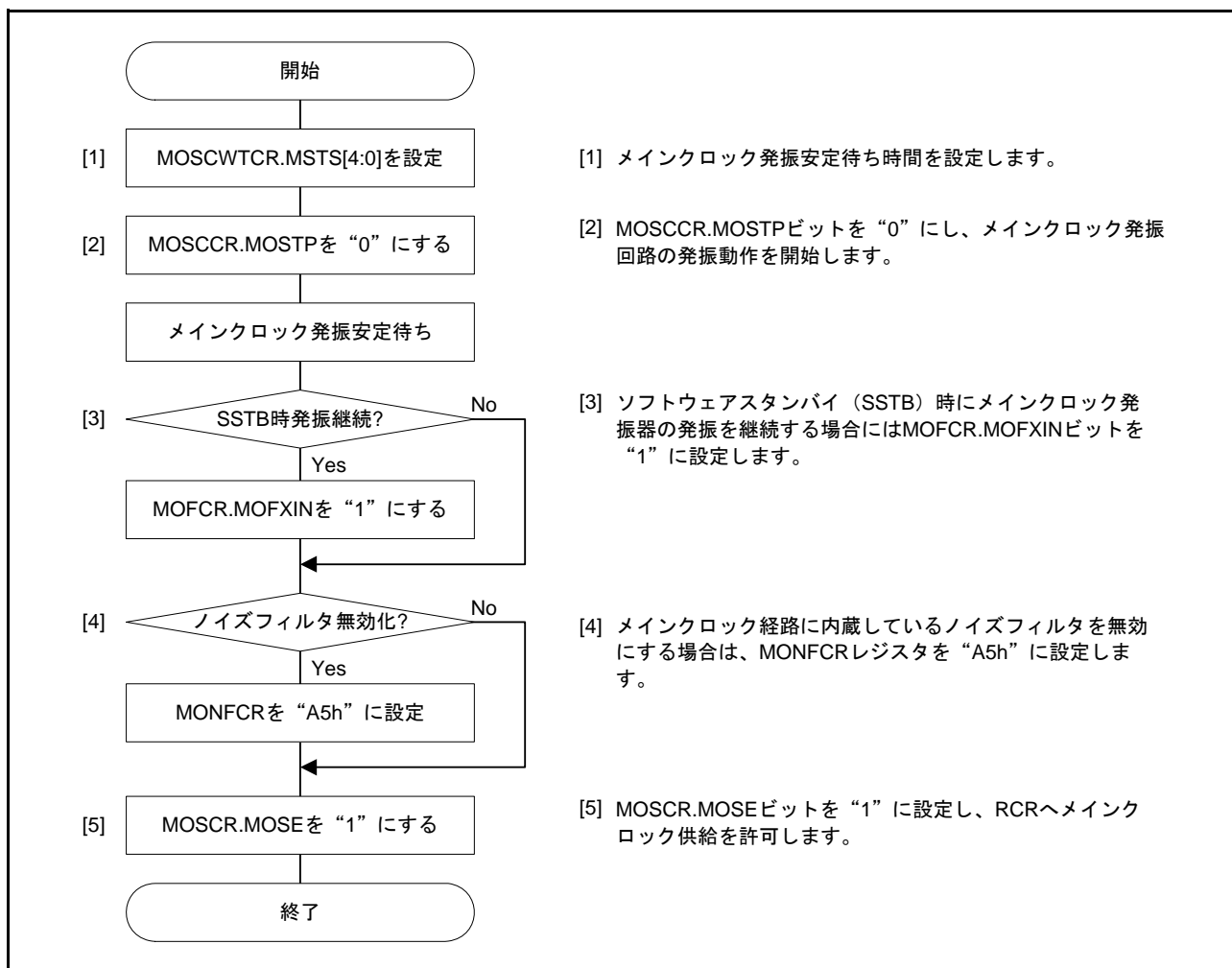


図 31.6 RCR への RCRMCLK 供給開始フロー例

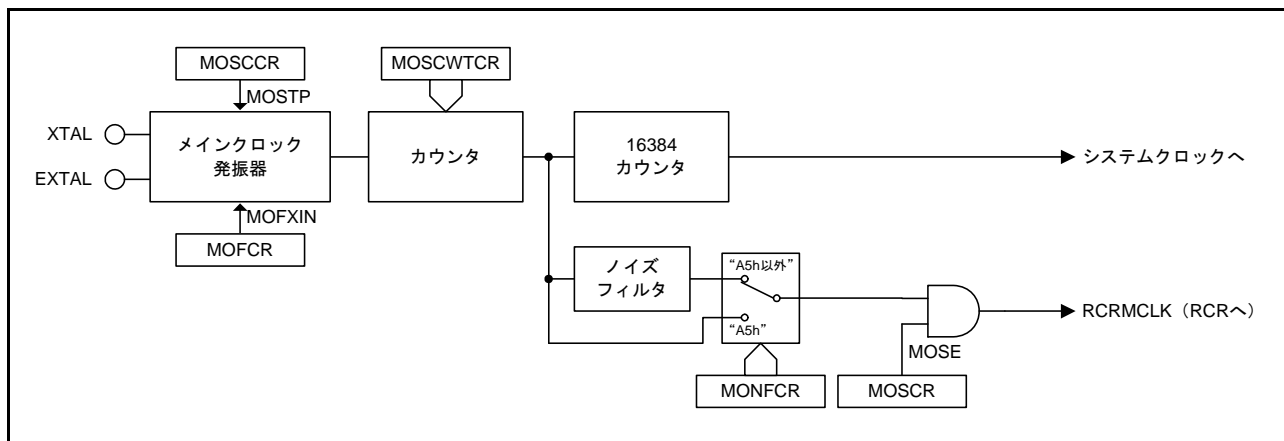


図 31.7 RCR へのメインロック供給経路図

31.3.3.3 RCR 動作クロックとして TMR コンペアマッチ出力を使用する場合

RCR 動作クロックとして、TMR コンペアマッチ出力を供給することができます。RCR0 には TMO0、RCR1 には TMO2 がそれぞれ供給可能です。TMR コンペアマッチ出力については、「26. 8 ビットタイマ (TMR)」を参照してください。

31.3.4 PMCN 入力

PMCN (n = 0, 1) 入力では、次の選択ができます。

- 入力極性
- デジタルフィルタ

図 31.8 に PMCN 内部入力信号生成を示します。

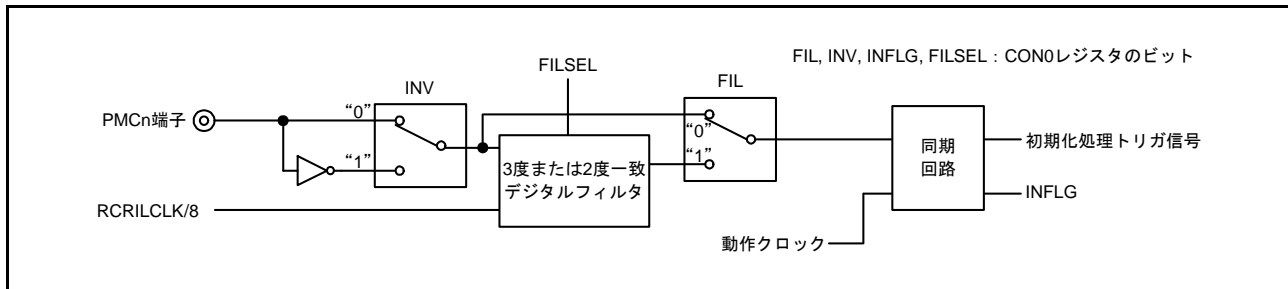


図 31.8 PMCN 内部入力信号生成

PMCN 端子の入力極性を反転できます。CON0.INV ビットで選択してください。

CON0.FIL ビットが“1”（デジタルフィルタ有効）の場合は、PMCN 端子の入力が k 度（k = 3 または 2、CON0.FILSEL ビットでの選択値）続けて一致したとき、そのレベルを内部回路に伝えます。これにより、サンプリングクロックの k サイクル分までのノイズを除去できます。デジタルフィルタのサンプリングクロックは、IWDWT 専用オンチップオシレータから供給される RCRILCLK の 8 分周クロックです。

なお、PMCN 端子の入力は、動作クロックに同期して内部回路に CON0.INFLG フラグ（入力信号フラグ）と初期化処理トリガ信号として伝わります。初期化処理トリガ信号とは内部ベースタイマを CON1.TYP[1:0] ビットの設定に応じたイベントにて初期化する信号です。PMCN 端子入力に変化してからこれらの信号を生成するまでには、内部処理による遅延があります。図 31.9 に PMCN 入力のデジタルフィルタ動作を示します。

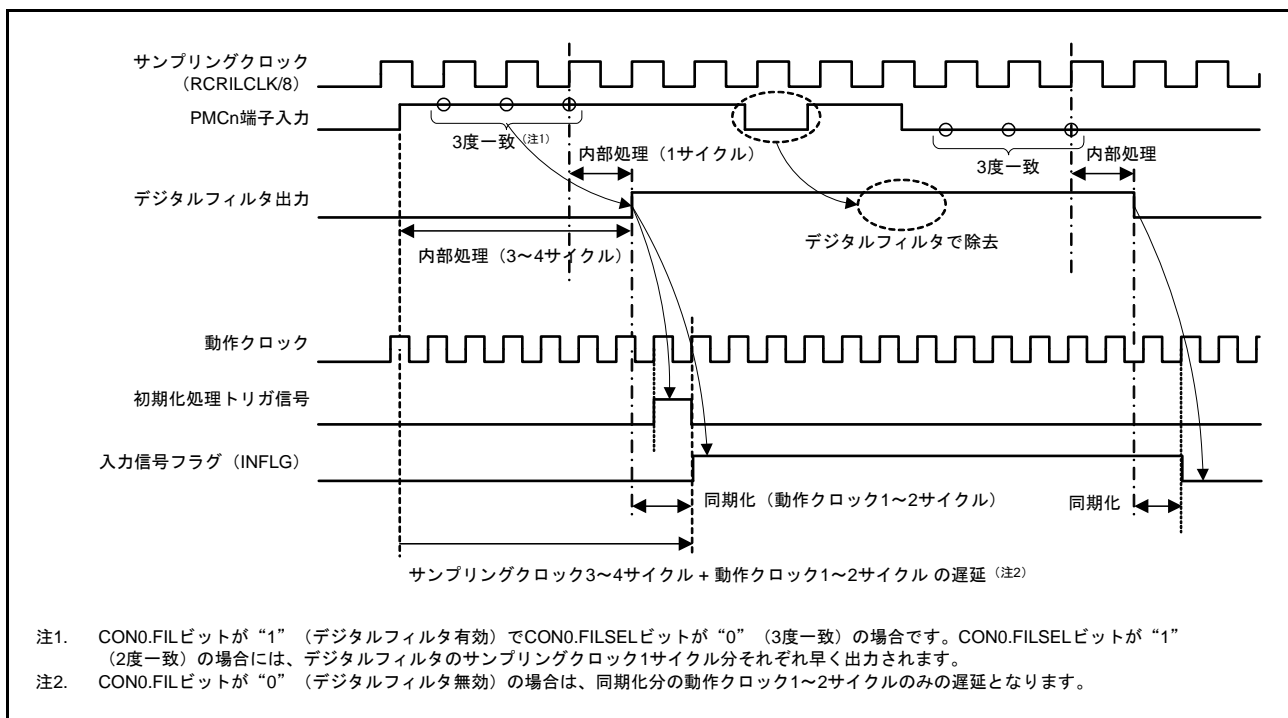


図 31.9 PMCN 入力のデジタルフィルタ動作

31.3.5 パターン検出

RCR は以下のパターンを検出する機能があります。

- ヘッダパターン
- データ0パターン
- データ1パターン
- 特殊データパターン

RCR が内蔵するベースタイマにより、外部入力信号のエッジ-エッジ間の時間を計測し、計測結果がどのパターンと一致するかを判定することで、リモコン信号の検出、データの取り込みを行います。各パターンの判定幅については、それぞれのパターン設定レジスタで任意に設定できます。図 31.10 に RCR の動作波形を示します。

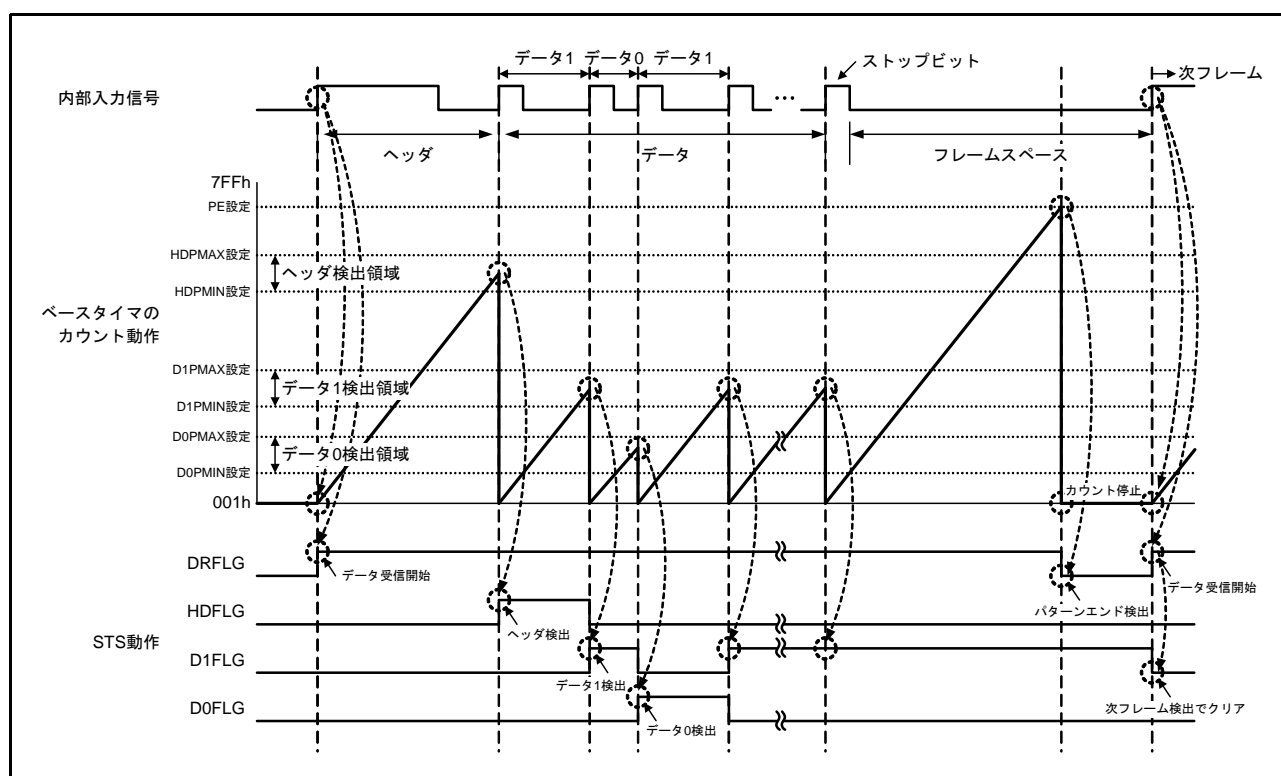


図 31.10 RCR の動作波形

31.3.5.1 ヘッダパターン検出

ヘッダパターンの最小幅を HDPMIN レジスタに、最大幅を HDPMAX レジスタに設定することで、ヘッダパターンが検出できます。

ヘッダパターンの最小幅、最大幅は、「 $1 < \text{HDPMIN レジスタの値} \leq \text{HDPMAX レジスタの値}$ 」にしてください。

$$\text{設定値}_n = \frac{\text{ヘッダパターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

ヘッダパターンを使用しない場合、HDPMIN レジスタ、HDPMAX レジスタは“000h”にしてください。

ヘッダパターンの設定値は、データ 0 パターン、データ 1 パターン、特殊データパターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

CON1.TYP[1:0] ビットが“00b”、“01b”の場合、

ヘッダパターンを検出する前に、データ 0 パターン、データ 1 パターンまたは特殊データパターンを検出すると次のようになります。

- STS.REFLG フラグが“1” (エラー発生) になる
- STS.D0FLG, STS.D1FLG, STS.SDFLG フラグは変化しない
- DAT0 ~ DAT7 レジスタは変化しない

CON1.TYP[1:0] ビットが、“01b”の場合、

ヘッダパターンを検出する回数は、DRFLG が“1”の間に 1 回になります。

31.3.5.2 データ 0 パターン検出

データ 0 パターンの最小幅を DOPMIN レジスタに、最大幅を DOPMAX レジスタに設定することで、データ 0 パターンが検出できます。

データ 0 パターンの最小幅、最大幅は、「 $1 < \text{DOPMIN レジスタの値} \leq \text{DOPMAX レジスタの値}$ 」にしてください。

$$\text{設定値}_n = \frac{\text{データ0パターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

データ 0 パターンを使用しない場合、DOPMIN, DOPMAX レジスタは“00h”にしてください。

データ 0 パターンの設定値は、ヘッダパターン、データ 1 パターン、特殊データパターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

CON1.TYP[1:0] ビットが“00b”、“01b”の場合、

ヘッダパターンを検出する前に、データ 0 パターン、またはデータ 1 パターンを検出すると次のようになります。

- STS.REFLG フラグが“1” (エラー発生) になる
- STS.D0FLG, STS.D1FLG, STS.SDFLG フラグは変化しない
- DAT0 ~ DAT7 レジスタは変化しない

31.3.5.3 データ 1 パターン検出

データ 1 パターンの最小幅を DIPMIN レジスタに、最大幅を DIPMAX レジスタに設定することで、データ 1 パターンが検出できます。

データ 1 パターンの最小幅、最大幅は、「 $1 < \text{DIPMIN レジスタの値} \leq \text{DIPMAX レジスタの値}$ 」にしてください。

$$\text{設定値}n = \frac{\text{データ1パターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

データ 1 パターンを使用しない場合、DIPMIN, DIPMAX レジスタは“00h”にしてください。

データ 1 パターンの設定値は、ヘッダパターン、データ 0 パターン、特殊データパターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

CON1.TYP[1:0] ビットが“00b”、“01b”の場合、

ヘッダパターンを検出する前に、データ 0 パターン、またはデータ 1 パターンを検出すると次のようになります。

- STS.REFLG ビットが“1” (エラー発生) になる
- STS.D0FLG, STS.D1FLG, STS.SDFLG フラグは変化しない
- DAT0 ~ DAT7 レジスタは変化しない

31.3.5.4 特殊データパターン検出

特殊データパターンの最小幅を SDPMIN レジスタに、最大幅を SDPMAX レジスタに設定することで特殊データパターンが検出できます。

特殊データパターンの最小幅、最大幅は、「 $1 < \text{SDPMIN レジスタの値} \leq \text{SDPMAX レジスタの値}$ 」にしてください。

$$\text{設定値}n = \frac{\text{特殊データパターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

特殊データパターンを使用しない場合、SDPMIN, SDPMAX レジスタは“000h”にしてください。

特殊データパターンの設定値は、ヘッダパターン、データ 0 パターン、データ 1 パターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

CON1.TYP[1:0] ビットが“00b”、“01b”の場合、

ヘッダパターンを認識する前に、特殊データパターンを検出すると次のようになります。

- STS.REFLG フラグが“1” (エラー発生) になる
- STS.SDFLG フラグは変化しない
- DAT0 ~ DAT7 レジスタは変化しない

31.3.5.5 パターン設定レジスタの設定例

ヘッダパターン、データ0パターン、データ1パターン、特殊データパターンのパターン設定レジスタについて、各パターンの最小値から最大値までの範囲は、図 31.11 に示すように、他のパターンの最小値から最大値までと重複しない値に設定してください。

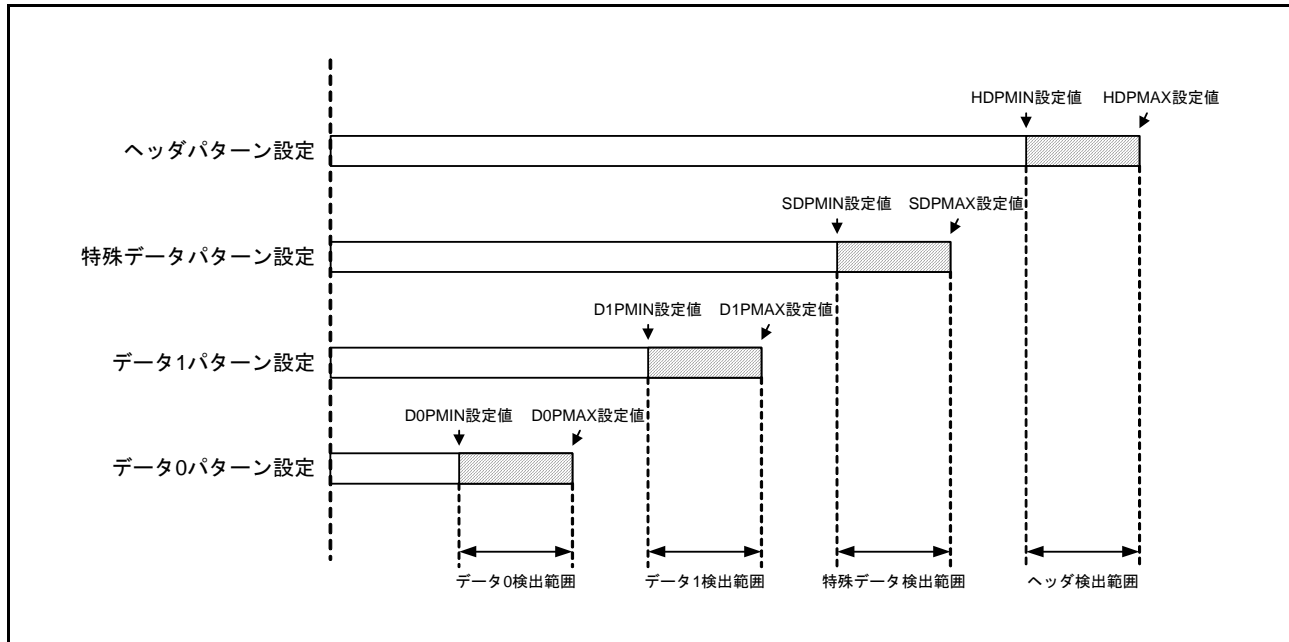


図 31.11 パターン設定レジスタの設定例

31.3.5.6 パターン検出によるステータスフラグ更新動作

検出したパターンについては、ヘッダパターン一致フラグ (STS.HDFLG)、データ0パターン一致フラグ (STS.D0FLG)、データ1パターン一致フラグ (STS.D1FLG)、特殊データパターン一致フラグ (STS.SDFLG) にて確認できます。これらのフラグは異なるパターンを検出したらネゲートされます。ヘッダパターン、データ0パターン、データ1パターン、特殊データパターン以外を検出した場合、エラーパターンとして検出されます。これは受信エラーフラグ (STS.REFLG) にて確認できます。受信エラーフラグに関しては、次のフレーム受信時にネゲートされます。パターン検出、ならびにフラグ動作例を図 31.12 に示します。

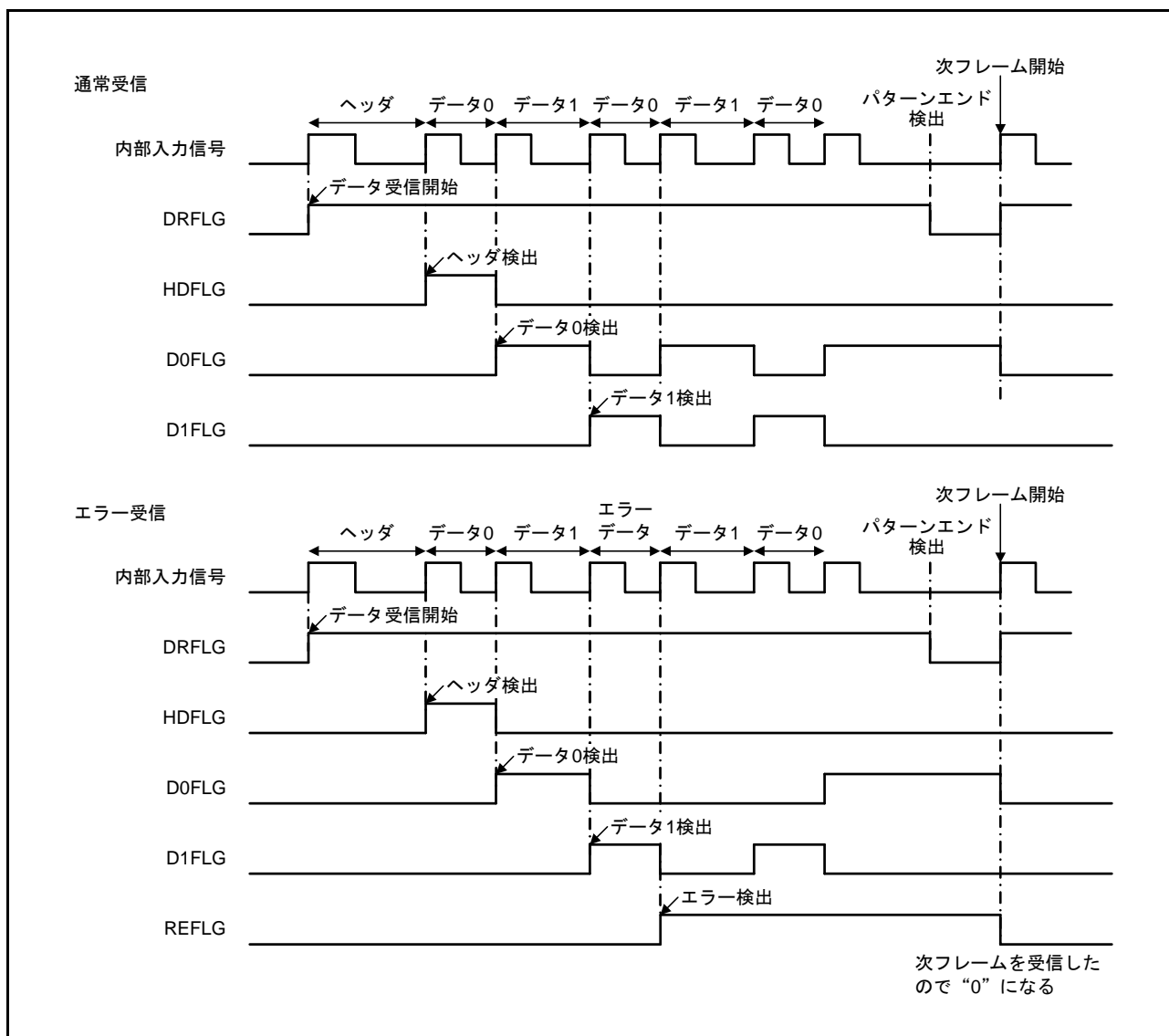


図 31.12 フラグ動作例

31.3.6 パターンエンド

STS.DRFLG フラグが“0”になるタイミングを設定できます。

PE レジスタを設定する場合は、

PE の値 > HDPMAX, D0PMAX, D1PMAX, SDPMAX の値
となるようにしてください。

PE の値 ≤ HDPMAX, D0PMAX, D1PMAX, SDPMAX の値

となる場合、PE レジスタで STS.DRFLG フラグが“0”になるタイミングを設定できません。この場合、HDPMAX, D0PMAX, D1PMAX, SDPMAX レジスタの内、最も大きい値に設定されたタイミングでデータ受信完了となります。

図 31.13 に、それぞれのパターンエンド設定時のデータ受信完了フラグ動作について説明します。

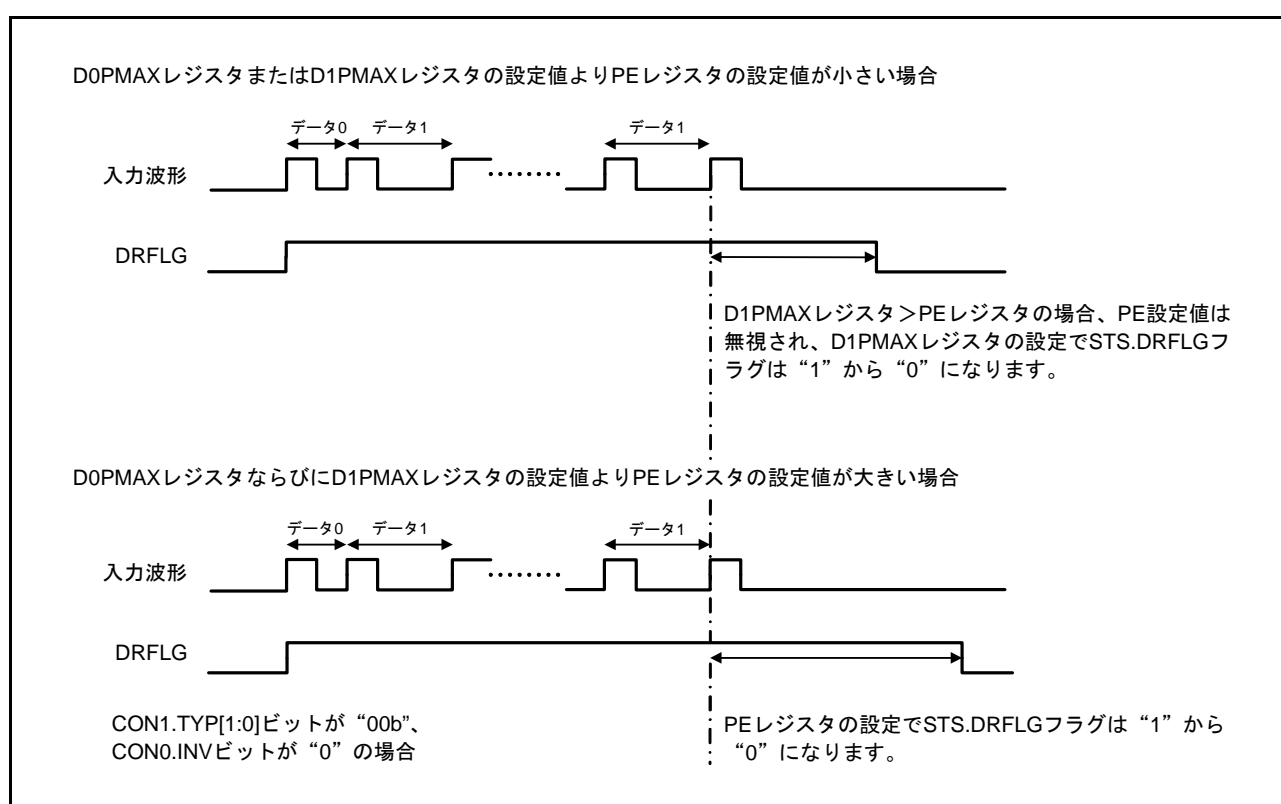


図 31.13 パターンエンド設定時のデータ受信完了フラグ動作説明

31.3.7 受信データバッファ

受信データjレジスタ (DATj) (j=0~7) は、受信したデータを格納する8バイト (64ビット) のバッファです。データ0パターンまたはデータ1パターンを検出すると、図31.14に示すように DAT0.DAT00ビットから順番に検出結果を格納します。同時に RBIT はカウントアップされるため、RBIT を読み出すことで現在の受信ビット数を知ることができます。受信ビット数とデータ格納場所の関係は表31.5を参照してください。なお、DATj、RBIT はヘッダパターン、特殊データパターンを受信しても変化しません。また、DATj、RBIT については、データ更新と読み出しが重なった場合、不定値を読み出すことがあります。

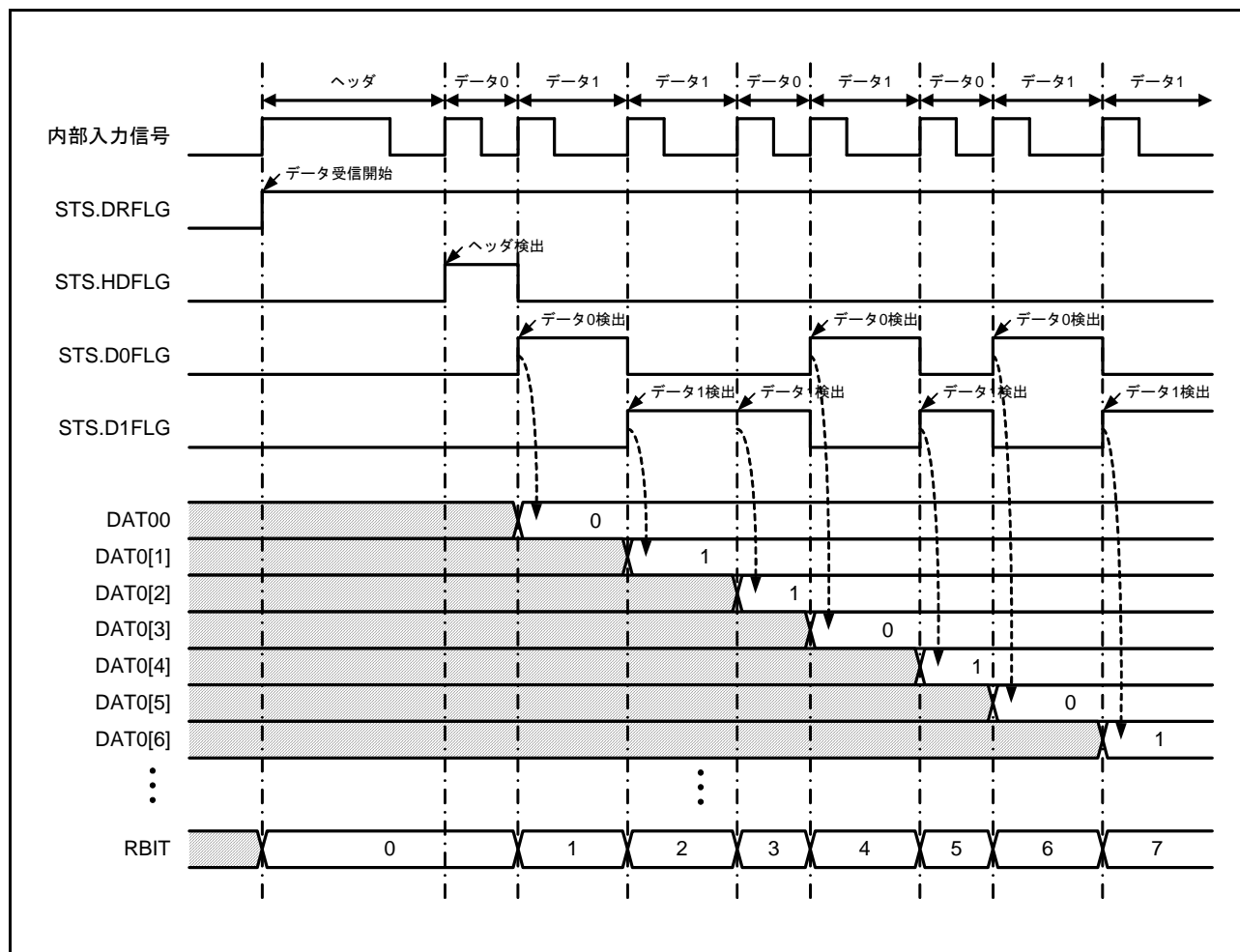


図 31.14 受信データバッファ動作

表31.5 受信ビット数とデータ格納場所の関係

受信ビット数	格納場所	
	レジスタ名	ビット名
1	DAT0	DAT00
2		DAT0[1]
3		DAT0[2]
4		DAT0[3]
5		DAT0[4]
6		DAT0[5]
7		DAT0[6]
8		DAT0[7]
9	DAT1	DAT1[0]
10		DAT1[1]
11		DAT1[2]
12		DAT1[3]
13		DAT1[4]
14		DAT1[5]
15		DAT1[6]
16		DAT1[7]
17	DAT2	DAT2[0]
18		DAT2[1]
19		DAT2[2]
20		DAT2[3]
21		DAT2[4]
22		DAT2[5]
23		DAT2[6]
24		DAT2[7]
25	DAT3	DAT3[0]
26		DAT3[1]
27		DAT3[2]
28		DAT3[3]
29		DAT3[4]
30		DAT3[5]
31		DAT3[6]
32		DAT3[7]

受信ビット数	格納場所	
	レジスタ名	ビット名
33	DAT4	DAT4[0]
34		DAT4[1]
35		DAT4[2]
36		DAT4[3]
37		DAT4[4]
38		DAT4[5]
39		DAT4[6]
40		DAT4[7]
41	DAT5	DAT5[0]
42		DAT5[1]
43		DAT5[2]
44		DAT5[3]
45		DAT5[4]
46		DAT5[5]
47		DAT5[6]
48		DAT5[7]
49	DAT6	DAT6[0]
50		DAT6[1]
51		DAT6[2]
52		DAT6[3]
53		DAT6[4]
54		DAT6[5]
55		DAT6[6]
56		DAT6[7]
57	DAT7	DAT7[0]
58		DAT7[1]
59		DAT7[2]
60		DAT7[3]
61		DAT7[4]
62		DAT7[5]
63		DAT7[6]
64		DAT7[7]

注. 65ビット目以降は、1ビット目から順に上書きされます。

DAT0.DAT00 ビットに“0”を書き込んだ場合、動作クロックの1～2サイクル後に DAT0～7レジスタの値が“00h”になります。DAT0レジスタに“00h”を書き込んだ際の DAT/RBIT レジスタの動作説明を図 31.15 に示します。

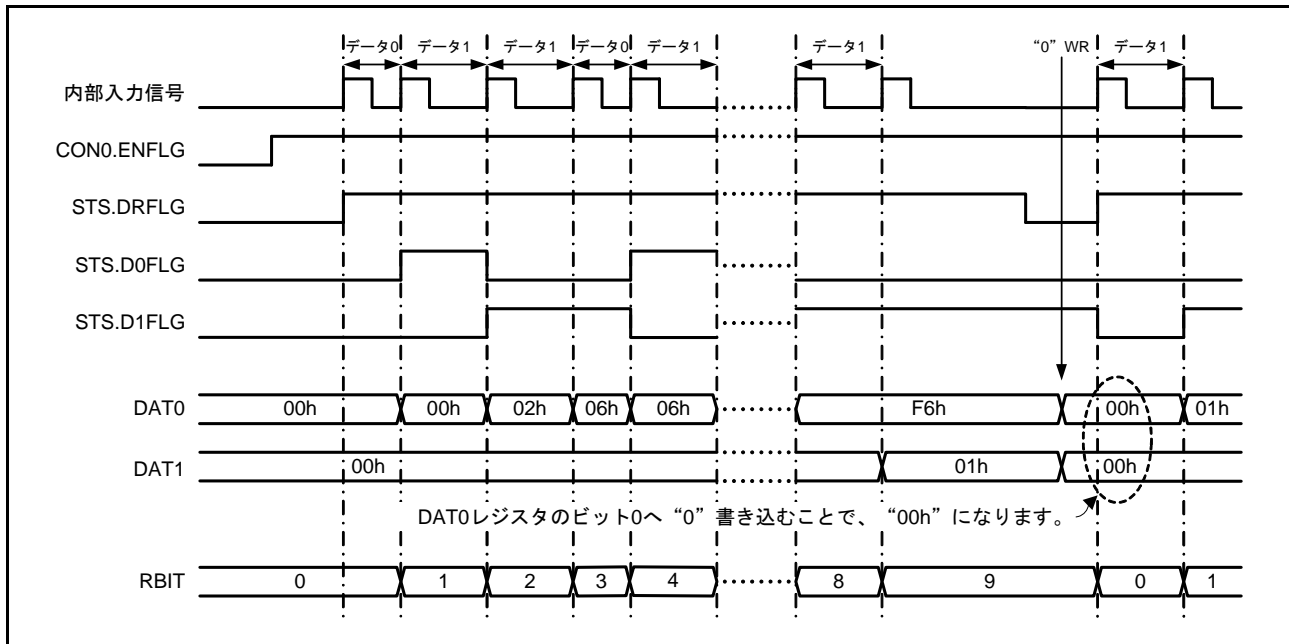


図 31.15 DAT/RBIT 動作説明 (DAT0 レジスタに“00h”書き込み)

RBIT.RBIT0 ビットに“0”を書き込んだ場合、動作クロックの1～2サイクル後に RBIT の値が“00h”になります。また、CON1.TYP[1:0] ビットが“00b”、“01b”の場合、データ受信中にヘッダパターンを検出すると、RBIT は“00h”に初期化され、以降の受信データは DAT0.DAT00 から順番に上書きされます。図 31.16 にデータ受信中のヘッダパターン検出動作を示します。

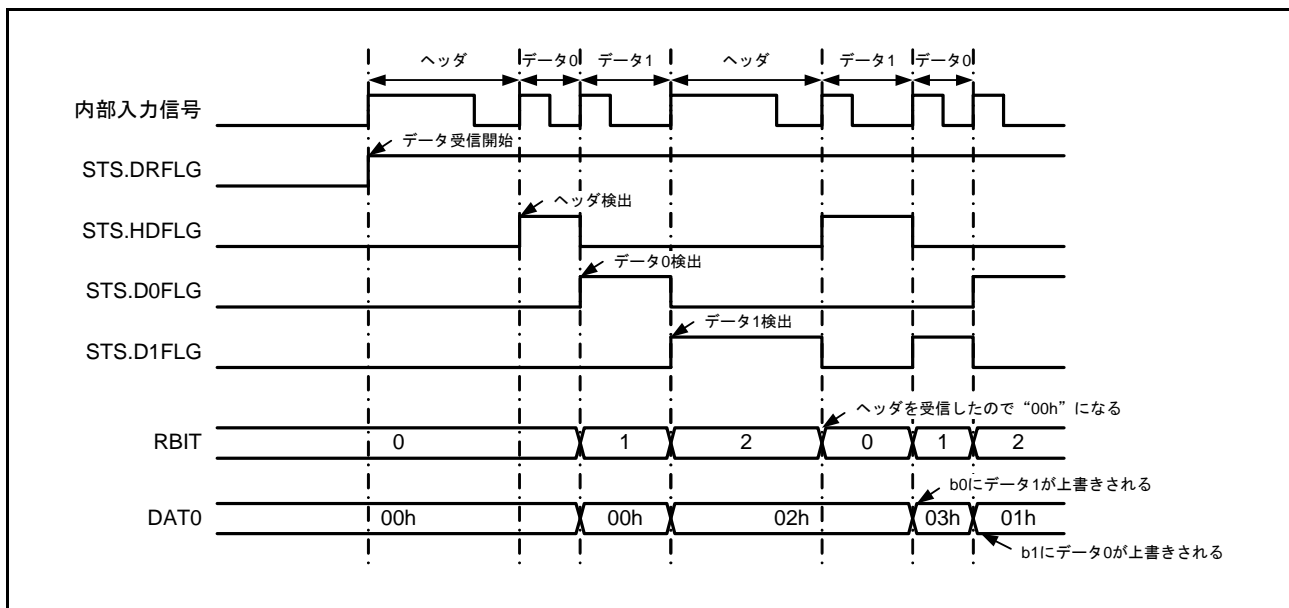


図 31.16 データ受信中のヘッダパターン検出動作

データが 64 ビットを超えると 1 ビット目のデータから順次上書きします。STS.BFULFLG フラグが “1” となるときの RBIT レジスタの動作説明を図 31.17 に示します。

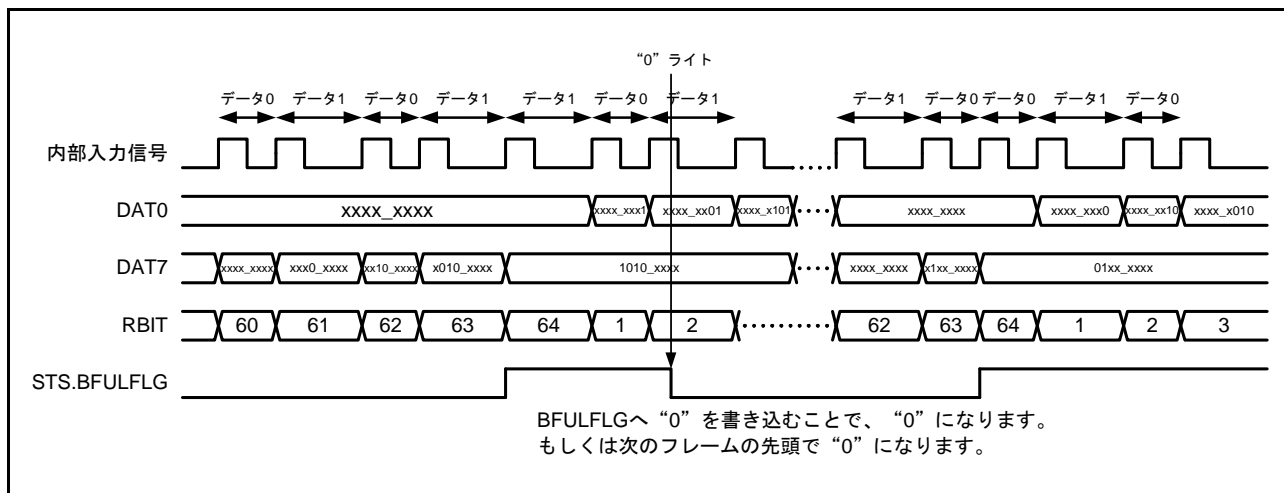


図 31.17 RBIT 動作説明 (STS.BFULFLG フラグが “1” になるとき)

31.3.8 コンペア機能

CPD レジスタと DAT0 レジスタの内容を比較します。その結果、リモコン信号の最初の 1～8 ビットが特定の値であることを検出できます。図 31.18 に受信バッファとコンペア機能の動作タイミングを示します。

コンペア機能を使用する場合は次のように設定してください。

- CPC.CPN[2:0] ビットで比較するビットを選択
(設定値を n とすると、ビット n～ビット 0 を比較。n : 0～7)
- CPD レジスタに比較データを設定
RBIT レジスタが CPC.CPN[2:0] で設定したビットになるとき、CPD レジスタと DAT0 レジスタの比較結果が一致すると STS.CPFLG フラグが“1” (コンペアー一致) になります。

64 ビット以上の受信で RBIT レジスタが CPC.CPN[2:0] ビットで設定したビットになるとき、CPD レジスタと DAT0 レジスタの比較結果が一致しても STS.CPFLG フラグは“1” (コンペアー一致) になりません。

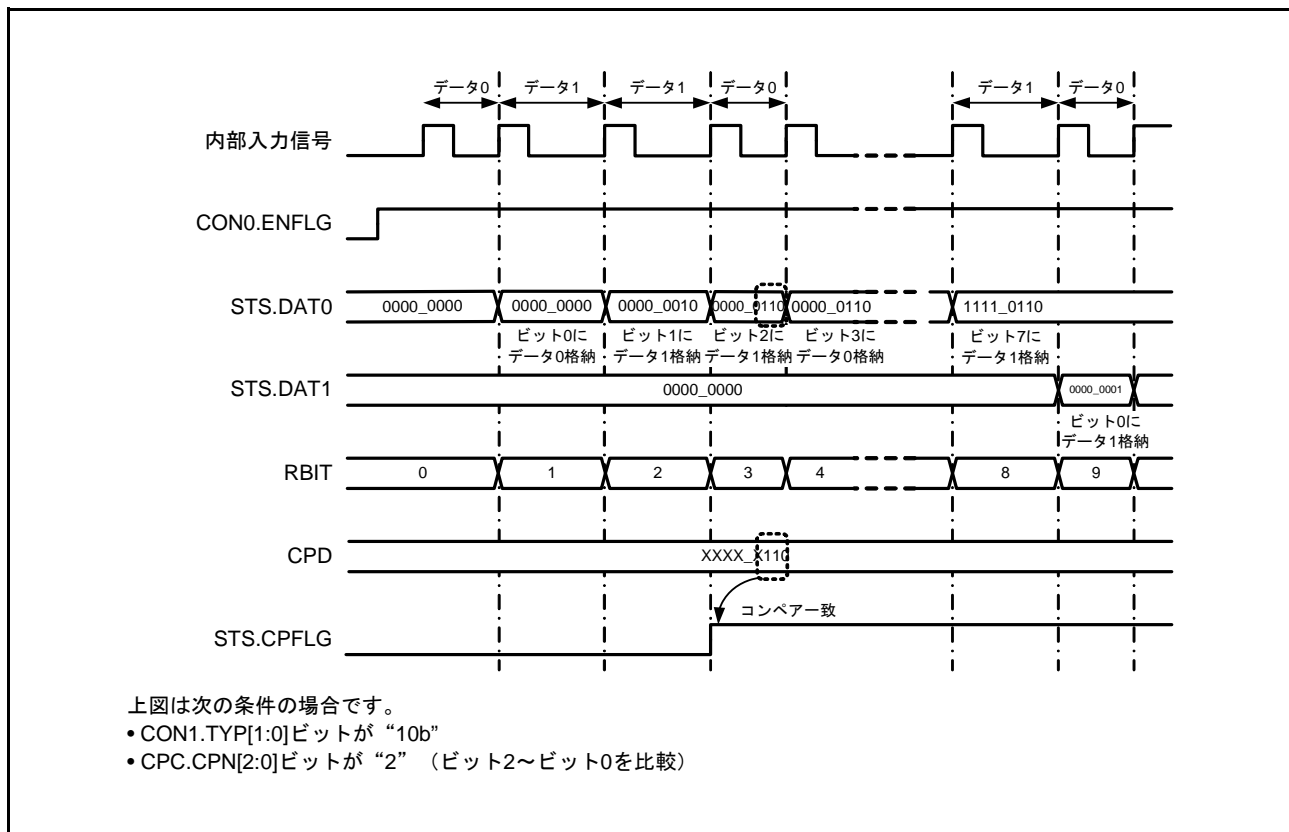


図 31.18 受信バッファとコンペア機能

31.3.9 エラーパターン受信

データ受信中にエラーパターンを検出した場合、CON0.EC ビットの設定により、以降の動作が異なります。

CON0.EC ビットを“0”にした場合の DAT レジスタ、RBIT レジスタの動作を図 31.19 に示します。CON0.EC ビットが“0”でエラーを検出した場合、エラー検出時のデータ取り込みは行いませんが、以降のデータ 0 パターンまたはデータ 1 パターン検出でデータを取り込みます。

CON0.EC ビットを“1”にした場合の DAT レジスタ、RBIT レジスタの動作を図 31.20 に示します。CON0.EC ビットが“1”でエラーを検出した場合、それ以降のデータ 0 パターンまたはデータ 1 パターンを検出しても、RBIT レジスタおよび DAT0 ~ 7 レジスタの値を更新しません。いったん STS.DRFLG がクリアされ、データ受信が完了した後、再度データ受信が開始した場合、STS.REFLG はクリアされ、データ取り込みが行われます。

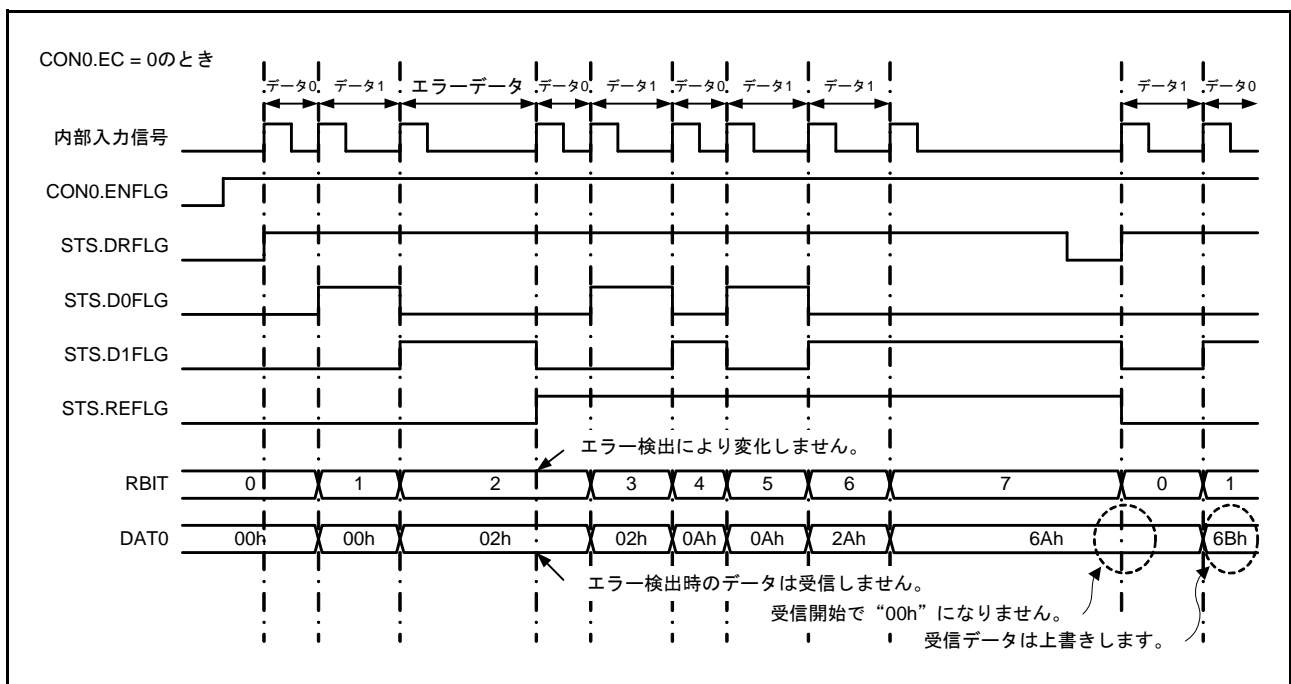


図 31.19 エラー検出時の DAT、RBIT 動作説明 (CON0.EC ビット = 0)

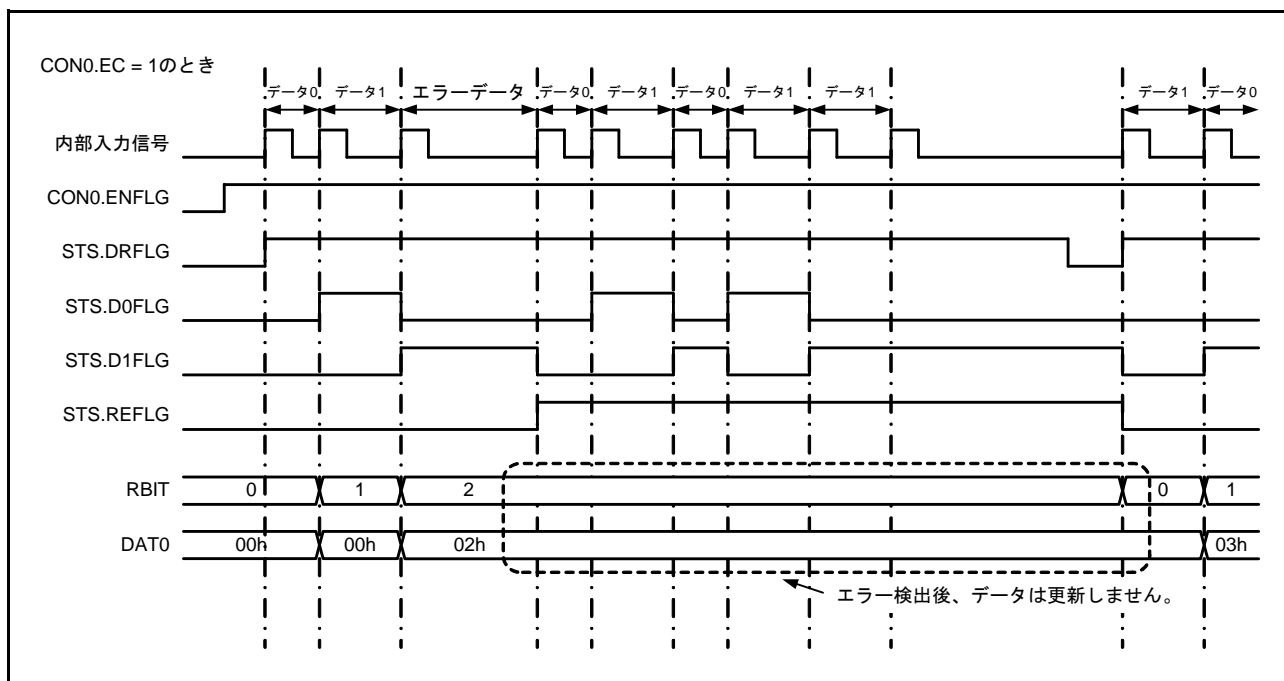


図 31.20 エラー検出時の DAT、RBIT 動作説明 (CON0.EC ビット = 1)

31.3.10 イベント発生時のベースタイマ値格納

測定結果レジスタ (TIM) には、以下のイベント発生時のベースタイマの値が格納されます。これにより、各イベント幅を測定することができます。測定機能の動作例を図 31.21 に示します。

- ヘッダパターン検出
- データ 0 パターン検出
- データ 1 パターン検出
- 特殊データパターン検出
- 上記以外のデータパターン検出 (受信エラー)

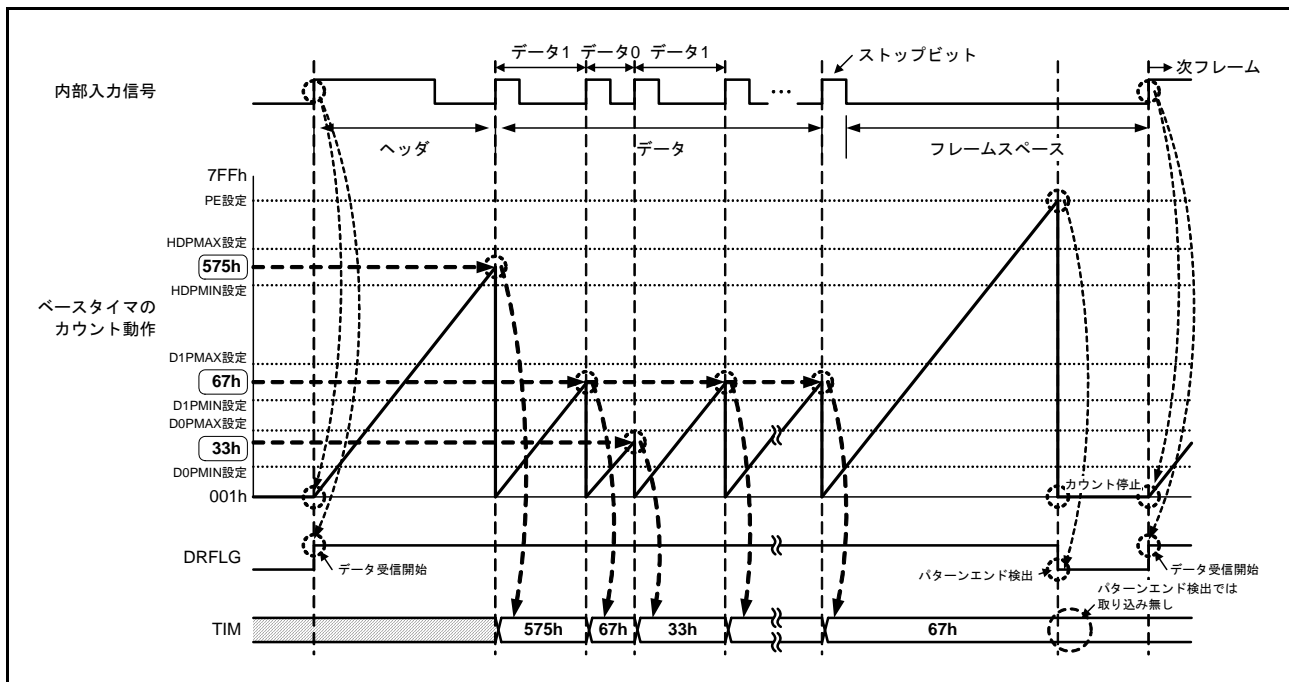


図 31.21 測定機能の動作例

31.3.11 割り込み

RCR の割り込み要求には、コンペアー一致、受信エラー、データ受信完了、受信バッファフル、ヘッダパターン一致、データ 0 パターンまたはデータ 1 パターン一致、特殊データパターン一致割り込みがあります。これらの割り込み要求は、チャンネル毎にすべて 1 つのベクタアドレスに割り付けられており、条件が揃うたびに毎回発生します。INT レジスタの割り込み許可ビットが“1”の場合、それに対応する発生条件が成立すると、割り込み要求を出力します。

表 31.6 に RCR の割り込み要因を示します。割り込み制御の詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

表31.6 RCRの割り込み要因

割り込み要因	割り込み要求発生条件	割り込みステータスフラグ	割り込み許可ビット
コンペアー一致	STS.CPFLGが“0”から“1”になるとき	STS.CPFLG	INT.CPINT
受信エラー	STS.REFLGが“0”から“1”になるとき (受信エラーを検出したとき)	STS.REFLG	INT.REINT
データ受信完了	STS.DRFLGが“1”から“0”になるとき	STS.DRFLG	INT.DRINT
受信バッファフル	STS.BFULFLGが“0”から“1”になるとき	STS.BFULFLG	INT.BFULINT
ヘッダパターン一致	STS.HDFLGが“0”から“1”になるとき (ヘッダパターンを検出したとき)	STS.HDFLG	INT.HDINT
データ 0 パターンまたは データ 1 パターン一致	<ul style="list-style-type: none"> • STS.D0FLGが“0”から“1”になるとき (データ 0 パターンを検出したとき) • STS.D1FLGが“0”から“1”になるとき (データ 1 パターンを検出したとき) 	STS.D0FLG, STS.D1FLG	INT.DINT
特殊データパターン一致	STS.SDFLGが“0”から“1”になるとき (特殊データパターンを検出したとき)	STS.SDFLG	INT.SDINT

31.3.12 低消費電力状態でのデータ受信動作

本製品では、低消費電力状態（スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード）中にデータ受信を行うことができます。

低消費電力状態でデータ受信を行う場合は、低消費電力状態遷移前に RCR 通信設定を行う必要があります。その際、CON1.CSRC[1:0] ビットは“00”または“10”を設定し、動作クロックに RCRILCLK 分周クロック、または RCRMCLK 分周クロックを選択してください。

31.3.12.1 RCR 割り込み要求による低消費電力状態からの復帰

データ受信時に出力する RCR 割り込み要求を低消費電力状態からの復帰要因として使用することで、データ受信待機時の消費電力を低減することができます（図 31.22 参照）。パターン検出、コンペア機能などにより、特定のデータ受信時にのみ低消費電力状態から復帰することが可能です。なお、RCR 割り込みによって低消費電力状態から復帰させる場合、RCR 動作クロックとして RCRILCLK 分周クロックを使用する場合は IWDTCSYPR.SLCSTP ビット、RCRMCLK 分周クロックを使用する場合は MOFCR.MOFXIN ビットの設定により、常時 RCR 動作クロックを供給する必要があります。

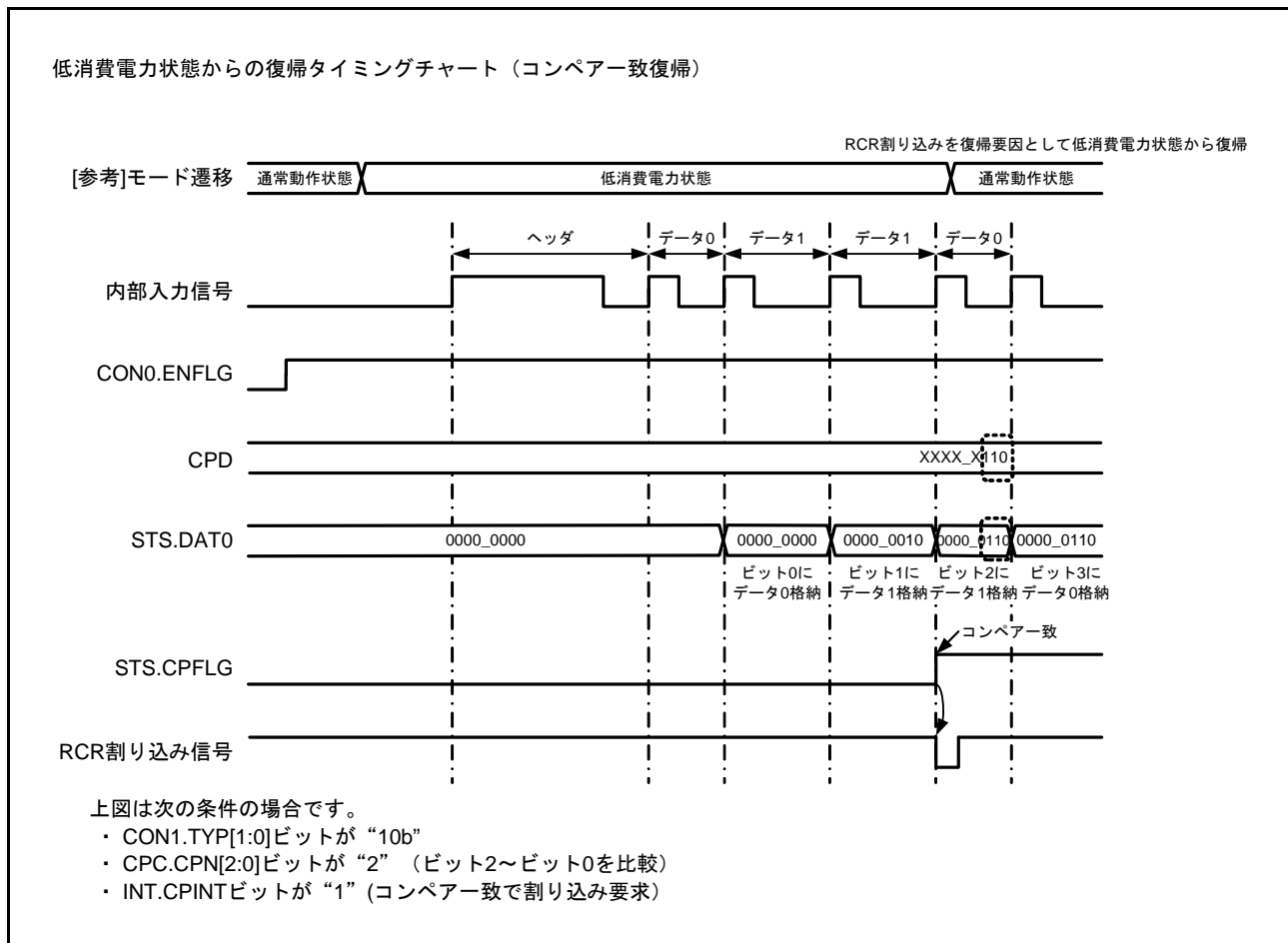


図 31.22 RCR 割り込みによる低消費電力状態からの復帰動作

31.4 使用上の注意事項

31.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、RCR の動作禁止 / 許可を設定することが可能です。初期値では、RCR の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

31.4.2 クロック分周比の設定

周辺モジュールクロック周波数 (PCLKB) > RCR 動作クロック周波数となるように設定してください。

31.4.3 IWDT 機能の使用制限

RCR 動作クロックとして、RCRILCLK 分周クロックを使用する場合、およびデジタルフィルタを使用する場合、IWDT の機能は使用しないでください。

31.4.4 リモコン信号受信機能の動作開始、停止

CON1.EN ビットは、リモコン信号受信機能の動作開始または停止を制御するビットです。CON0.ENFLG フラグは動作の開始・停止したことを示すフラグです。CON1.EN ビットを“1” (動作許可) にすると RCR 回路が動作を開始し、CON0.ENFLG フラグが“1”になるまで、最大でカウントソースの 0 ~ 1 サイクルかかります。この間、CON0.ENFLG フラグを除く RCR 関連レジスタ (31.2.1 ~ 31.2.19 に示したレジスタ) をアクセスしないでください。

31.4.5 レジスタアクセス

以下のレジスタは CON1.EN ビットと、CON0.ENFLG フラグがともに“0” (RCR 停止) のときに変更してください。

- CON0 レジスタ
- CON1 レジスタ (ビット 0 ~ 2 を除く)
- INT レジスタ (ビット 2, 5 を除く)
- CPC レジスタ
- CPD レジスタ
- ヘッダパターン、データ 0 パターン、データ 1 パターン、特殊データパターンのパターン幅設定レジスタ
- パターンエンド設定レジスタ

CON1.EN ビット、または CON0.ENFLG フラグが“1” (RCR 動作) のときに CON1.TYP[1:0] ビットを書き換える場合、1 ビットごとに値を変更してください。また CON0.INFLG フラグの切り替わり時に本ビットを書き換えるとリモコン信号受信機能に取り込まれる信号は不定となる場合があります。

DAT0, RBIT レジスタのビット 0 もしくは STS.BFULFLG フラグに“0”を書き込んだ後に、再度同一ビットに“0”を書き込む際には動作クロック 2 サイクル間は書き込まないでください。CON0.INFLG フラグの切り替わり時に“0”を書き込んだ場合は、DATj, RBIT レジスタ、STS.BFULFLG フラグは不定となる場合があります。

31.4.6 PMCN 入力制御

CON0.FILSEL, FIL ビットおよび、CON0.INV ビットを書き換えた場合、デジタルフィルタのサンプリングクロックの3サイクルの間、リモコン信号受信機能に取り込まれる信号は不定です。

31.4.7 動作クロック

CON1.CSRC[2:0] ビットを書き換えた場合、CON0, CON1, INT, CPC, CPD, PE レジスタ、ヘッダパターン・データ0パターン・データ1パターン・特殊データパターン幅設定レジスタを再度設定してください。

31.4.8 レジスタ読み出し手順

次のレジスタのデータが変化するタイミングで読み出すと、不定値を読み出すことがあります。
CON0, STS レジスタの各フラグ (STS.DRFLG フラグ除く)、TIM, DAT0 ~ DAT7, RBIT レジスタ

このタイミングを避けるため、これらのレジスタは以下に示す方法で読み出してください。

- 割り込みを使用する方法
INT.DRINT ビットを“1” (データ受信完了割り込み許可) にしておき、RCR 割り込みルーチン内で読み出す
- プログラムで監視する方法1
INT.DRINT ビットを“1” (データ受信完了割り込み許可) にしておき、プログラムでICU.IRn.IR フラグを監視し、“1” (割り込み要求発生) になったら読み出す
- プログラムで監視する方法2
 - (1) STS.DRFLG フラグを監視する
 - (2) STS.DRFLG フラグが“1”になったら、“0”になるまで監視する
 - (3) STS.DRFLG フラグが“0”になったら、必要な内容を読み出す

31.4.9 動作クロックとして RCRMCLK を使用する場合の注意事項

CON1.CSRC[2:0] ビットの設定で動作クロックとして RCRMCLK を選択した場合、MONFCR レジスタによるノイズフィルタの有効/無効設定で、メインクロックとして入力可能な周波数範囲、パルス幅範囲が異なります。詳細は「41. 電気的特性」を参照してください。

32. CEC 送受信回路 (CEC)

32.1 概要

CEC 送受信回路は、CEC (Consumer Electronics Control) 規格に対応した CEC 信号の生成と受信ができ、さらに通信状態の検出を CEC が自動的に行います。これらの機能により、CEC 送受信の制御を簡単に行うことができます。

表 32.1 に CEC の仕様を示します。

表 32.1 CECの仕様

項目	内容
通信方式	HDMI (High-Definition Multimedia Interface Ver1.4b) の CEC (Consumer Electronics Control) 規格に準拠したシリアル通信が可能
CEC クロック	PCLKB/32、PCLKB/64、PCLKB/128、PCLKB/256、PCLKB/512、PCLKB/1024、CECILCLK ^(注1) /4、CECMCLK ^(注2) /256 から選択可能
割り込み要因	3種類、2系統 ^(注3) <ul style="list-style-type: none"> データ割り込み (INTDA、INTDAA) 通信完了割り込み (INTCE、INTCEA) エラー割り込み (INTERR、INTERRA) (送信エラー、ACKエラー、アービトレーションエラー、タイミングエラー、アンダランエラー、オーバランエラー、バスロックエラー)
その他の機能	<ul style="list-style-type: none"> 通信ビット幅調整機能 送信時 CEC データフレームを構成するスタートビットとデータビットの Low 幅およびビット幅を設定可能 シグナルフリータイムのカウント機能 CEC の規格で規定されているシグナルフリータイム (送信禁止期間) のカウントおよびカウント期間を設定可能 エラーハンドリング機能 データビットのタイミングエラー検出によるエラーハンドリングパルスの出力 受信中のスタートビット検知による再受信機能 低消費電力状態でのデータ受信、受信アドレスと自局アドレス一致による低消費電力状態からの復帰が可能

注1. CECILCLKはIWDT専用オンチップオシレータから供給される動作クロックです。

注2. CECMCLKはメインクロック発振器から供給される動作クロックです。

注3. 3種類の割り込み要因には、それぞれの発生要因は同じ2系統の割り込み要求を出力することができます。割り込み要求の使用用途に応じて、2系統を排他的に使用してください。なお、本章内の説明文中では、1系統のみ記載します。

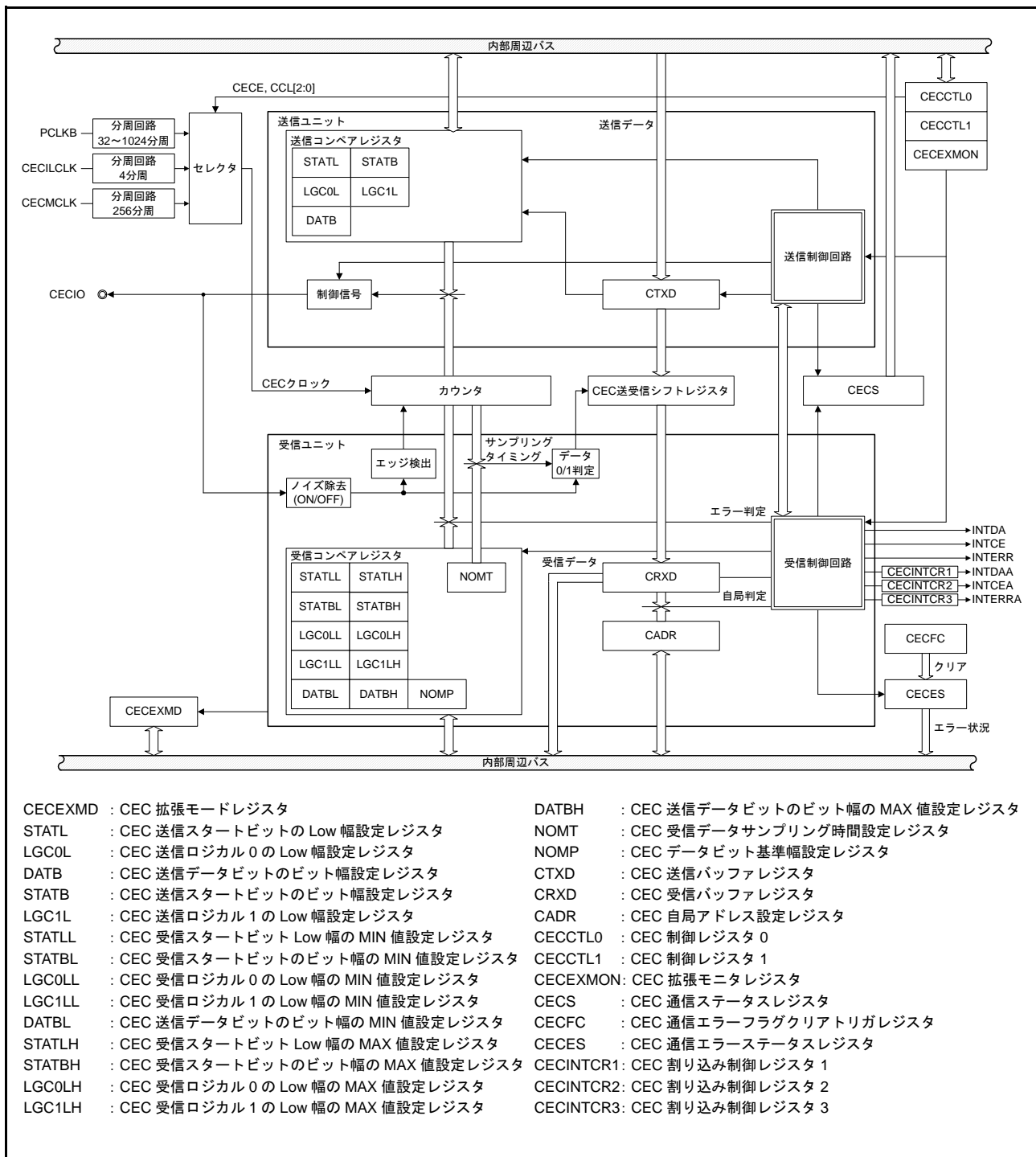


図 32.1 CEC のブロック図

図 32.2 に入出力端子の外部回路接続例を、表 32.2 に CEC で使用する入出力端子を示します。

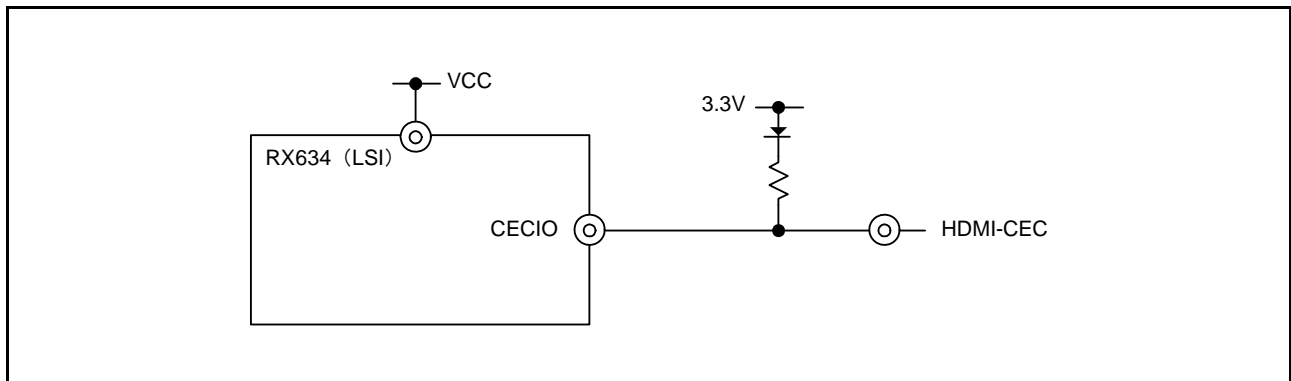


図 32.2 入出力端子の外部回路接続例

表 32.2 CECの入出力端子

端子名	入出力	機能
CECIO	入出力	CEC データ通信

32.1.1 用語説明

- イニシエータ (Initiator) : CEC メッセージを送信する、または送信中のデバイス
- フォロワ (Follower) : CEC メッセージを受信する、または受信中のデバイス
- メッセージ (Message) : スタートビットからオペランドまでのすべてのデータ
- イニシエータアドレス (Initiator Address) : 送り元アドレス
- デスティネーションアドレス (Destination Address) : 送り先アドレス
- ダイレクトアドレス通信 (ダイレクトアドレスメッセージ) : フォロワが1つの通信
- ブロードキャスト通信 (ブロードキャストメッセージ) : フォロワが複数の通信
- アービトレーション: 複数のイニシエータがある場合、CEC ラインに Low を出力したデバイスを優先すること
- アービトレーション負け: 競合デバイスが優先された状態。このとき、自局は送信を停止する。
- バスフリー: 通信が行われていない状態。送信可能状態。
- バスビジー: 通信中
- エラーハンドリング: 設定したデータビットのビット幅よりも短いビット幅を受信した場合、エラーハンドリングパルス (ビット幅 $\times 1.5$ 倍の幅の Low) を出力し、通信待機状態に遷移する。
- ACK/NACK : ACK ビットのタイミングで受信する論理レベルは次のように表記します。
ACK : ロジカル 0 を出力
NACK : ロジカル 1 を出力

(例) ACK ビット期間にイニシエータがロジカル 1 を、フォロワがロジカル 0 を出力する場合
イニシエータ : NACK を送信
フォロワ : ACK を送信

図 32.3 に ACK ビット出力例を示します。

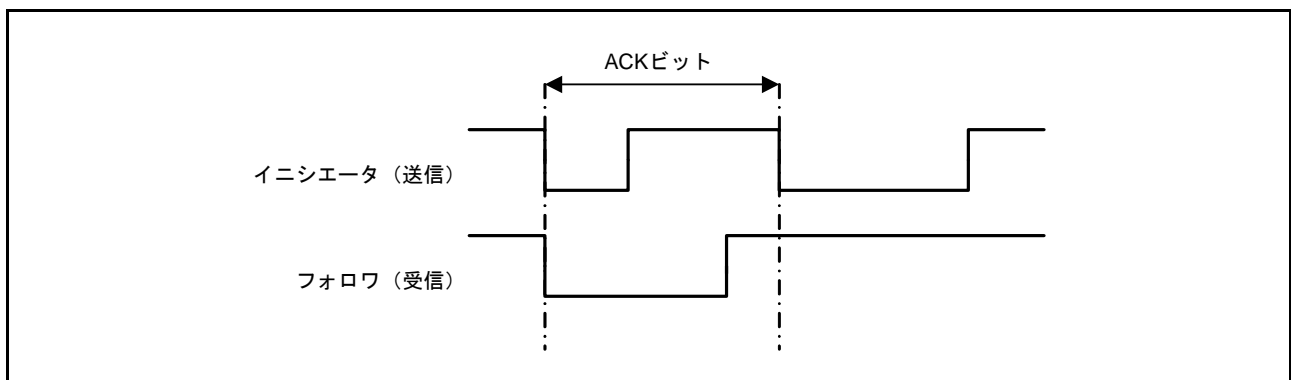


図 32.3 イニシエータ / フォロワ ACK ビット出力例

32.2 レジスタの説明

32.2.1 CEC 自局アドレス設定レジスタ (CADR)

アドレス 000A 0A00h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADR14	ADR13	ADR12	ADR11	ADR10	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02	ADR01	ADR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADR00	アドレス0 (TV) の自局アドレス設定ビット	0 : 自局アドレスに設定しない 1 : 自局アドレスに設定する	R/W
b1	ADR01	アドレス1 (Recording Device1) の自局アドレス設定ビット	0 : 自局アドレスに設定しない 1 : 自局アドレスに設定する	R/W
b2	ADR02	アドレス2 (Recording Device2) の自局アドレス設定ビット	0 : 自局アドレスに設定しない 1 : 自局アドレスに設定する	R/W
b3	ADR03	アドレス3 (Tuner1) の自局アドレス設定ビット	0 : 自局アドレスに設定しない 1 : 自局アドレスに設定する	R/W
b4	ADR04	アドレス4 (Playback Device1) の自局アドレス設定ビット	0 : 自局アドレスに設定しない 1 : 自局アドレスに設定する	R/W
b5	ADR05	アドレス5 (Audio System) の自局アドレス設定ビット	0 : 自局アドレスに設定しない 1 : 自局アドレスに設定する	R/W
b6	ADR06	アドレス6 (Tuner2) の自局アドレス設定ビット	0 : 自局アドレスに設定しない 1 : 自局アドレスに設定する	R/W
b7	ADR07	アドレス7 (Tuner3) の自局アドレス設定ビット	0 : 自局アドレスに設定しない 1 : 自局アドレスに設定する	R/W
b8	ADR08	アドレス8 (Playback Device2) の自局アドレス設定ビット	0 : 自局アドレスに設定しない 1 : 自局アドレスに設定する	R/W
b9	ADR09	アドレス9 (Recording Device3) の自局アドレス設定ビット	0 : 自局アドレスに設定しない 1 : 自局アドレスに設定する	R/W
b10	ADR10	アドレス10 (Tuner4) の自局アドレス設定ビット	0 : 自局アドレスに設定しない 1 : 自局アドレスに設定する	R/W
b11	ADR11	アドレス11 (Playback Device3) の自局アドレス設定ビット	0 : 自局アドレスに設定しない 1 : 自局アドレスに設定する	R/W
b12	ADR12	アドレス12 (Reserved) の自局アドレス設定ビット	0 : 自局アドレスに設定しない 1 : 自局アドレスに設定する	R/W
b13	ADR13	アドレス13 (Reserved) の自局アドレス設定ビット	0 : 自局アドレスに設定しない 1 : 自局アドレスに設定する	R/W
b14	ADR14	アドレス14 (Specific Use) の自局アドレス設定ビット	0 : 自局アドレスに設定しない 1 : 自局アドレスに設定する	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

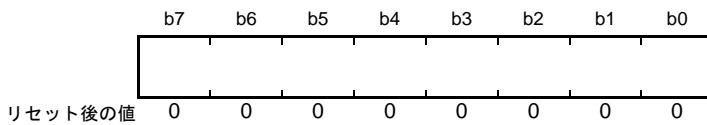
注. アドレス15 (Unregistered) を自局アドレスに設定する場合は、ADR00～ADR14ビットをすべて“0”に設定してください。
注. 通信中 (CECS.BUSST = 1) の設定値書き換えは禁止です。

CADR は自局アドレスを設定する 16 ビットのレジスタです。CADR は受信時にのみ有効となるレジスタで、ADR00～ADR14ビットがそれぞれ CEC のロジカルアドレス 0～14 に対応し、最大 15 個の自局アドレスを設定できます。アドレス 15 に設定する場合は、ADR00～ADR14ビットをすべて“0”にしてください。なお、ブロードキャストアドレスは自局アドレスとして動作します。

例えば、アドレス 0 を自局アドレスとして使用する場合は、ADR00 ビットを“1”にします。

32.2.2 CEC 送信バッファレジスタ (CTXD)

アドレス 000A 0A30h



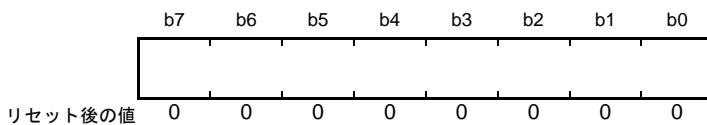
CTXD は送信データを設定する 8 ビットのレジスタです。MSB ファーストでビット 7 から順に 8 ビット分のデータを送信します。ヘッダブロック、データブロックの先頭のタイミングで送受信割り込み要求信号 (INTDA) が発生します。INTDA 発生後、送信が完了するまでに CTXD レジスタに次のデータを書き込むことで連続した送信が可能です。

アンダランエラーが発生 (UERR = 1) した場合、送信は継続しません。エラー割り込みを発生し送信待ち状態になります。

最終ブロック送信時のデータ割り込み (INTDA) 発生後、本レジスタへ送信データを書き込んだ場合、そのデータは無効となります。

32.2.3 CEC 受信バッファレジスタ (CRXD)

アドレス 000A 0A31h



CRXD は受信データを保持する 8 ビットのレジスタです。

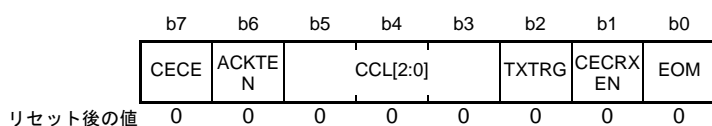
本レジスタをリードすることで、受信データをリードすることが可能です。

データを 1 バイト受信するごとに CEC 受信シフトレジスタから新たなデータが転送されます。

オーバランエラーが発生 (CECES.OERR = 1) した場合、受信バッファレジスタのデータは上書きされません。

32.2.4 CEC 制御レジスタ 0 (CECCTL0)

アドレス 000A 0A35h



ビット	シンボル	ビット名	機能	R/W
b0	EOM	EOM設定ビット	0: 送信継続 1: 最終フレーム	R/W
b1	CECRXEN	受信許可制御ビット	0: 受信禁止 1: 受信許可 表32.3に受信状態とACK/NACKタイミング出力を示します	R/W
b2	TXTRG	送信開始トリガビット	0: CEC送信を開始しない 1: CEC送信を開始する	R/W
b5-b3	CCL[2:0]	CECクロック (CECCLK) 選択ビット (注1)	b5 b3 0 0 0: PCLKB/32 0 0 1: PCLKB/64 0 1 0: PCLKB/128 0 1 1: PCLKB/256 1 0 0: PCLKB/512 1 0 1: PCLKB/1024 1 1 0: CECILCLK/4 1 1 1: CECMCLK/256	R/W
b6	ACKTEN	ACKビットタイミングエラー (ビット幅) チェック許可ビット(注1)	0: ACKビットのタイミングエラーを検出しない 1: ACKビットのタイミングエラーを検出する	R/W
b7	CECE	CEC動作イネーブルフラグ	0: CEC動作停止 1: CEC動作許可	R/W

注1. CEC動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

CECCTL0は、動作許可、送信開始、動作クロックの選択を行うレジスタです。

EOM ビット (EOM 設定ビット)

このビットに“1”を書いた次のフレームが最終フレームとなります。

EOMビットはCEC送信バッファレジスタ (CTXD) に送信データを書き込む前に設定してください。

CECCTL0.EOMビットおよびCEC送信バッファレジスタ (CTXD) の書き込みはデータ割り込み (INTDA) 発生から次のデータ割り込み (INTDA) 発生のタイミング (EOMビット送信完了タイミング) までに設定してください。ただし、最終ブロックのデータ割り込み (INTDA) 発生時は設定不要です。

CECRXEN ビット (受信許可制御ビット)

このビットを“1”にすることで、受信を許可します。自局アドレス決定後 (CADRレジスタ設定後)、このビットを“1”に設定してください。なお、通信中 (CECS.BUSST = 1) の設定値書き換えは禁止です。

表 32.3 受信許可制御ビット状態での受信状態と ACK/NACK タイミング出力

CECRXEN	受信許可制御ビット			
1 のとき	受信継続を許可または正常受信を通知する			
	受信状態		ACK/NACK タイミングの出力	
	ダイレクトアドレス受信時 (自局宛)	正常受信		ACK
		タイミングエラー発生		NACK
	ブロードキャスト受信	正常受信		NACK
		タイミングエラー発生		ACK
ダイレクトアドレス受信時 (他局宛)	通信不参加 (ハイインピーダンス)			
0 のとき	受信継続を中止または異常受信を通知する			
	受信状態		ACK/NACK タイミングの出力	
	ダイレクトアドレス受信時 (自局宛)	正常受信		NACK
		タイミングエラー発生		NACK
	ブロードキャスト受信	正常受信		ACK
		タイミングエラー発生		ACK
ダイレクトアドレス受信時 (他局宛)	通信不参加 (ハイインピーダンス)			

TXTRG ビット (送信開始トリガビット)

このビットを“1”にすることで、送信を開始します。

このビットはトリガビットです。リード値は“0”になります。

CECCTL0.TXTRG = 1 にセットするときは CEC 動作許可 (CECCTL0.CECE = 1) かつ、バスフリー状態 (CECS.BUSST = 0) のときに設定してください。CECCTL0.TXTRG = 1 にセット後、最大 3CECCLK 周期後に送信が始まります。

CCL[2:0] ビット (CEC クロック (CECCLK) 選択ビット)

CEC クロックを選択します。CEC クロックは 23.4375kHz ~ 78.125kHz の範囲で設定してください。設定例を表 32.4 ~ 表 32.6 に示します。

表 32.4 CEC クロックの設定例

CEC クロック 選択	CEC クロック (CECCLK)						
	PCLKB = 32 MHz 時	PCLKB = 20 MHz 時	PCLKB = 16 MHz 時	PCLKB = 12 MHz 時	PCLKB = 10 MHz 時	PCLKB = 8 MHz 時	PCLKB = 2 MHz 時
PCLKB/32	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	62.5 kHz
PCLKB/64	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	31.25 kHz
PCLKB/128	設定禁止	設定禁止	設定禁止	設定禁止	78.125 kHz	62.5 kHz	設定禁止
PCLKB/256	設定禁止	78.125 kHz	62.5 kHz	46.875 kHz	39.0625 kHz	31.25 kHz	設定禁止
PCLKB/512	62.5 kHz	39.0625 kHz	31.25 kHz	23.4375 kHz	設定禁止	設定禁止	設定禁止
PCLKB/1024	31.25 kHz	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

表 32.5 CEC クロックの設定例 (CECICLK 選択)

CEC クロック選択	CEC クロック (CECCLK)
CECICLK/4	31.25 kHz

表 32.6 CEC クロックの設定例 (CECMCLK 選択)

CEC クロック 選択	CEC クロック (CECCLK)				
	メインクロック = 20 MHz 時	メインクロック = 16 MHz 時	メインクロック = 12 MHz 時	メインクロック = 10 MHz 時	メインクロック = 8 MHz 時
CECMCLK/256	78.125 kHz	62.5 kHz	46.875 kHz	39.0625 kHz	31.25 kHz

ACKTEN ビット (ACK ビットタイミングエラー (ビット幅) チェック許可ビット)

このビットを“1”にすることで、ACK ビットの Low 幅 (LGC0LL/LGC0LH/LGC1LL/LGC1LH 設定値) に加え、ビット幅 (DATBL/DATBH 設定値) のタイミングエラーを検出します。ただし、最終フレーム (EOM=1) の ACK ビットは、ACKTEN=1 でもビット幅 MAX 値 (DATBH) のタイミングチェックを行いません。

CECE ビット (CEC 動作イネーブルフラグ)

このビットを“1”にすることで、CEC の動作を許可します。このビットを“0”にすると、内部はリセットされますが、制御レジスタはリセットされません。

32.2.5 CEC 制御レジスタ 1 (CECCTL1)

アドレス 000A 0A02h

	b7	b6	b5	b4	b3	b2	b1	b0
	CDFC	CINTMK	BLERRD	STERRD	CESEL[1:0]		SFT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SFT[1:0]	シグナルフリータイムデータビット幅選択ビット	b1 b0 0 0 : 3データビット幅 0 1 : 5データビット幅 1 0 : 7データビット幅 1 1 : シグナルフリータイムを検出ししない	R/W
b3-b2	CESEL[1:0]	通信完了割り込み (INTCE) 発生タイミング選択ビット(注1)	b3 b2 0 0 : 最終フレーム (EOM = 1) のACK送信 (受信) 完了後およびシグナルフリータイムの検出後の2回通信完了割り込みを発生 0 1 : 最終フレーム (EOM = 1) のACK送信 (受信) 完了後に通信完了割り込みを発生 1 0 : シグナルフリータイムの検出後に通信完了割り込みを発生 1 1 : 設定しないでください	R/W
b4	STERRD	スタートビットエラー検出選択ビット(注1)	0 : スタートビット受信中のタイミングエラーを検出ししない 1 : スタートビット受信中のタイミングエラーを検出する	R/W
b5	BLERRD	バスロック検出選択ビット(注1)	0 : 受信データのHighおよびLow張り付きを検出ししない 1 : 受信データのHighおよびLow張り付きを検出する	R/W
b6	CINTMK	CECデータ割り込み (INTDA) 発生選択ビット(注1)	0 : アドレス不一致の場合、割り込みを発生しない 1 : アドレス不一致の場合、割り込みを発生する	R/W
b7	CDFC	デジタルフィルタ選択ビット(注1)	0 : デジタルフィルタを使用しない 1 : デジタルフィルタを使用する	R/W

注1. CEC動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

CECCTL1 は、デジタルフィルタの選択、データ割り込み発生を選択、スタートビットのエラー割り込みの選択、通信完了割り込みの発生有無、および発生タイミングを選択するレジスタです。

SFT[1:0] ビット (シグナルフリータイムデータビット幅選択ビット)

SFT[1:0] ビットの設定によりシグナルフリータイムのビット幅を選択します。

シグナルフリータイムの1データビット幅は NOMP レジスタの設定値となります。

なお、本ビットの書き換えは、シグナルフリータイム書き換え禁止通知フラグ (CECS.SFTST) が“0”であることを確認してから行ってください。

CESEL[1:0] ビット (通信完了割り込み (INTCE) 発生タイミング選択ビット)

CESEL[1:0] ビットの設定により通信完了割り込み (INTCE) 発生のタイミングを選択します。

STERRD ビット (スタートビットエラー検出選択ビット)

STATLL/STATLH/STATBL/STATBH 各レジスタ設定値にしたがって、スタートビット受信時のタイミングエラーを検出することが可能です。

CECCTL1.STERRD = 1 に設定することで、STATLL/STATLH/STATBL/STATBH 各レジスタ設定値にしたがって、スタートビットのタイミングエラーを検出することが可能です。タイミングエラーが発生した場合、そのスタートビットを無効と判断し通信待機状態になります。CECCTL1.STERRD = 0 の場合、タイミングエラーを検出しません。すべてのパルススタートビットと判定します。

BLERRD ビット (バスロック検出選択ビット)

このビットを“1”に設定すると、CEC ラインのバスロック状態を検出できます。通信待機状態を除いた CEC ラインの立ち下がりエッジ待ち状態で、NOMP レジスタで設定した 1 データビット幅の 2.5 倍の期間、次の立ち下がりエッジが入力されない場合、エラー割り込み (INTERR) を発生し、バスロックエラー検出フラグ (BLERR) をセットします。その後、通信待機状態に遷移します。

CINTMK ビット (CEC データ割り込み (INTDA) 発生選択ビット)

受信時においてデスティネーションアドレスが自局アドレスと不一致の場合のヘッダブロックの INTDA、通信完了時の INTCE 発生有無を選択します。

CDFC ビット (デジタルフィルタ選択ビット)

デジタルフィルタにより 1CECCLK 周期分のノイズを除去します。

32.2.6 CEC 通信ステータスレジスタ (CECS)

アドレス 000A 0A33h

	b7	b6	b5	b4	b3	b2	b1	b0
	SFTST	—	—	ITCEF	EOMF	TXST	BUSST	ADRF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADRF	アドレス一致検出フラグ	0: 他局間通信中、もしくは通信停止中、もしくは自局送信中 1: 自局宛の受信中	R
b1	BUSST	バスビジー検出フラグ	0: バスフリー状態 1: バスビジー状態	R
b2	TXST	送信ステータスフラグ	0: 通信待機中、もしくは受信動作中 (フォロワー動作中) 1: 送信動作中 (イニシエータ動作中)	R
b3	EOMF	EOM フラグ	0: 直前に受信した EOM ビットがロジカル 0 1: 直前に受信した EOM ビットがロジカル 1	R
b4	ITCEF	INTCE 発生要因フラグ	0: シグナルフリータイムのカウント完了で通信完了割り込み (INTCE) が発生 1: 通信完了またはエラー検出で INTCE が発生	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SFTST	シグナルフリータイム書き換え禁止通知フラグ	0: CECCTL1.SFT[1:0]書き換え許可 1: CECCTL1.SFT[1:0]書き換え禁止	R

CECS は、CEC の通信状態を示すレジスタです。

ADRF フラグ (アドレス一致検出フラグ)

自局宛の通信か否かを確認できます。

["1" になる条件]

- 自局アドレスと受信デスティネーションアドレスが一致したとき
- ブロードキャストアドレスを受信したとき

["0" になる条件]

- CEC 動作停止 (CECCTL0.CECE = 0) としたとき
- 受信が完了したとき

BUSST フラグ (バスビジー検出フラグ)

CEC バスの状態が確認できます。

["1" になる条件]

- CEC ラインの立ち下がりを検出したとき
- CEC 動作停止から CEC 動作許可 (CECCTL0.CECE = 0 から 1) にしたとき

["0" になる条件]

- CEC 動作停止 (CECCTL0.CECE = 0) としたとき
- 通信終了後、シグナルフリータイムを経過したとき

TXST フラグ (送信ステータスフラグ)

送信中か否かを判断できます。

EOMF フラグ (EOM フラグ)

直前に受信した EOM ビットの値が確認できます。データ割り込み (INTDA) 発生タイミングごとに値が更新されます。

ITCEF フラグ (INTCE 発生要因フラグ)

INTCE 発生後に ITCEF を確認することで、シグナルフリータイムのカウント完了での割り込み発生か、通信完了またはエラー検出での割り込み発生かを判定できます。CECCTL1.CESEL[1:0] = 00b のときのみこのフラグの値は有効です。

SFTST フラグ (シグナルフリータイム書き換え禁止通知フラグ)

CECCTL1.SFT[1:0] の書き換え許可、禁止状態を確認することができます。

["1" になる条件]

- CECCTL1 へのライトアクセス時

["0" になる条件]

- CEC 動作停止 (CECCTL0.CECE = 0) としたとき
- CECCTL1.SFT[1:0] の書き換え禁止期間を経過したとき

32.2.7 CEC 通信エラーステータスレジスタ (CECES)

アドレス 000A 0A32h

b7	b6	b5	b4	b3	b2	b1	b0
—	BLERR	AERR	TXERR	TERR	ACKERR	UERR	OERR

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OERR	オーバランエラー検出フラグ	0: オーバランエラーが発生していない 1: オーバランエラーが発生	R
b1	UERR	アンダランエラー検出フラグ	0: アンダランエラーが発生していない 1: アンダランエラーが発生	R
b2	ACKERR	ACKエラー検出フラグ	0: ACKエラーが発生していない 1: ACKエラーが発生	R
b3	TERR	タイミングエラー検出フラグ	0: タイミングエラー発生していない 1: タイミングエラー発生	R
b4	TXERR	送信エラー検出フラグ(注1)	0: 送信エラーが発生していない 1: 送信エラーが発生	R
b5	AERR	アービトレーション負け検出フラグ	0: アービトレーション負けが発生していない 1: アービトレーション負けが発生	R
b6	BLERR	バスロックエラー検出フラグ	0: バスロックエラーが発生していない 1: バスロックエラーが発生	R
b7	—	予約ビット	読むと“0”が読めず書く場合、“0”としてください	R/W

注1. スタートビット、ACKビットの期間は送信エラーを検出しません。

CECES は、バスロックエラー検出、アービトレーション負け検出、送信エラー検出、タイミングエラー検出、ACK エラー検出、アンダランエラー検出、オーバランエラー検出を示すレジスタです。

OERR フラグ (オーバランエラー検出フラグ)

オーバランエラー発生の有無を確認できます。

[“1”になる条件]

- 受信バッファレジスタ (CRXD) に格納された受信データを読み出す前に、次の受信動作が完了したとき

[“0”になる条件]

- CECF.C.OCTRG に“1”を書き込んだとき

UERR フラグ (アンダランエラー検出フラグ)

アンダランエラー発生の有無を確認できます。

[“1”になる条件]

- データ割り込み (INTDA) 発生後、次のデータ割り込み (INTDA) が発生するまでに、送信バッファレジスタ (CTXD) に送信データを書かなかったとき

[“0”になる条件]

- CECF.C.UCTRG に“1”を書き込んだとき

ACKERR フラグ (ACK エラー検出フラグ)

ACK エラー発生の有無を確認できます。

["1" になる条件]

- ダイレクトアドレス通信時に、ACK ビットでロジカル 1 を受信したとき
- ブロードキャスト通信時に、ACK ビットでロジカル 0 を受信したとき
- ロジカルアドレスアロケーション送信時に、ACK ビットでロジカル 1 を受信したとき

["0" になる条件]

- CECFC.ACKCTRG に "1" を書き込んだとき

TERR フラグ (タイミングエラー検出フラグ)

タイミングエラー発生の有無を確認できます。

["1" になる条件]

- 受信したデータのタイミングチェックで違反が検出されたとき

["0" になる条件]

- CECFC.TCTRG に "1" を書き込んだとき

TXERR フラグ (送信エラー検出フラグ)

送信エラー発生の有無を確認できます。

["1" になる条件]

- イニシエータ動作時、送信データと受信データの論理比較を行い異なった場合

["0" になる条件]

- CECFC.TXCTRG に "1" を書き込んだとき

AERR フラグ (アービトレーション負け検出フラグ)

アービトレーション負けの有無を確認できます。

["1" になる条件]

- スタートビット送信中からイニシエータアドレス送信中の期間に、アービトレーション負けしたとき

["0" になる条件]

- CECFC.ACTRG に "1" を書き込んだとき

BLERR フラグ (バスロックエラー検出フラグ)

バスロックエラー発生の有無を確認できます。

["1" になる条件]

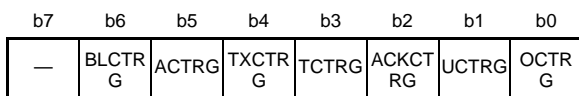
- フレームの途中で CEC 受信信号が Low、または High に固定された状態で、CEC 受信信号立ち下がりエッジから、NOMP レジスタで設定した 1 データビット幅の 2.5 倍の時間、次の立ち下がりエッジが入力されないとき

["0" になる条件]

- CECFC.BLCTRG に "1" を書き込んだとき

32.2.8 CEC 通信エラーフラグクリアトリガレジスタ (CECFC)

アドレス 000A 0A34h



リセット後の値 0 0 0 0 0 0 0 0

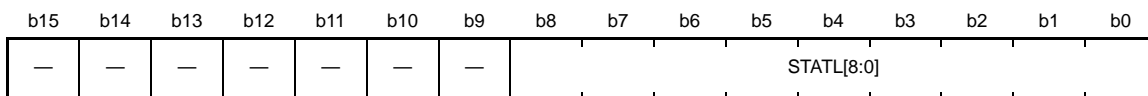
ビット	シンボル	ビット名	機能	R/W
b0	OCTRG	オーバランエラー検出フラグクリアトリガ (注1)	0: オーバランエラー検出フラグをクリアしない 1: オーバランエラー検出フラグをクリアする	W
b1	UCTRG	アンダランエラー検出フラグクリアトリガ (注1)	0: アンダランエラー検出フラグをクリアしない 1: アンダランエラー検出フラグをクリアする	W
b2	ACKCTRG	ACKエラー検出フラグクリアトリガ (注1)	0: ACKエラー検出フラグをクリアしない 1: ACKエラー検出フラグをクリアする	W
b3	TCTRG	タイミングエラー検出フラグクリアトリガ (注1)	0: タイミングエラー検出フラグをクリアしない 1: タイミングエラー検出フラグをクリアする	W
b4	TXCTRG	送信エラー検出フラグクリアトリガ (注1)	0: 送信エラー検出フラグをクリアしない 1: 送信エラー検出フラグをクリアする	W
b5	ACTRG	アービトレーション負け検出フラグクリアトリガ (注1)	0: アービトレーション負け検出フラグをクリアしない 1: アービトレーション負け検出フラグをクリアする	W
b6	BLCTRG	バスロックエラー検出フラグクリアトリガ (注1)	0: バスロックエラー検出フラグをクリアしない 1: バスロックエラー検出フラグをクリアする	W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リード値は“0”になります。

CECFC は、通信エラーステータスレジスタ (CECES) に書かれたエラー検出フラグをクリアするレジスタです。各フラグに“1”をセットすることで、セットされたビットのみクリアすることができます。

32.2.9 CEC 送信スタートビットの Low 幅設定レジスタ (STATL)

アドレス 000A 0A06h



リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b8-b0	STATL[8:0]	CEC送信スタートビットLow幅設定用ビット (注1)	送信時のスタートビットのLow幅 Low幅 = (STATL[8:0]ビットの設定値 + 1) × CECCLKのクロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CEC動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

32.2.10 CEC 送信スタートビットのビット幅設定レジスタ (STATB)

アドレス 000A 0A04h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0			
—	—	—	—	—	—	—	STATB[8:0]								—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

ビット	シンボル	ビット名	機能	R/W
b8-b0	STATB[8:0]	CEC送信スタートビットのビット幅設定用ビット (注1)	送信時のスタートビットのビット幅 ビット幅 = (STATB[8:0] ビットの設定値 + 1) × CECCLK のクロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CEC動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

32.2.11 CEC 送信ロジカル0のLow幅設定レジスタ (LGC0L)

アドレス 000A 0A08h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0			
—	—	—	—	—	—	—	LGC0L[8:0]								—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

ビット	シンボル	ビット名	機能	R/W
b8-b0	LGC0L[8:0]	CEC送信ロジカル0 Low幅設定用ビット (注1)	送信時のロジカル0のLow幅 Low幅 = (LGC0L[8:0] ビットの設定値 + 1) × CECCLK のクロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CEC動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

32.2.12 CEC 送信ロジカル1のLow幅設定レジスタ (LGC1L)

アドレス 000A 0A0Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0			
—	—	—	—	—	—	—	LGC1L[8:0]								—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

ビット	シンボル	ビット名	機能	R/W
b8-b0	LGC1L[8:0]	CEC送信ロジカル1 Low幅設定用ビット (注1)	送信時のロジカル1のLow幅 Low幅 = (LGC1L[8:0] ビットの設定値 + 1) × CECCLK のクロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CEC動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

32.2.13 CEC 送信データビットのビット幅設定レジスタ (DATB)

アドレス 000A 0A0Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0			
—	—	—	—	—	—	—	DATB[8:0]								—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

ビット	シンボル	ビット名	機能	R/W
b8-b0	DATB[8:0]	CEC送信データビットのビット幅設定用ビット (注1)	送信時のデータビットのビット幅 1データビット幅 = (DATB[8:0]ビットの設定値 + 1) × CECCLKのクロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CEC動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

32.2.14 CEC 受信スタートビットの Low 幅の MIN 値設定レジスタ (STATLL)

アドレス 000A 0A10h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0			
—	—	—	—	—	—	—	STATLL[8:0]								—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

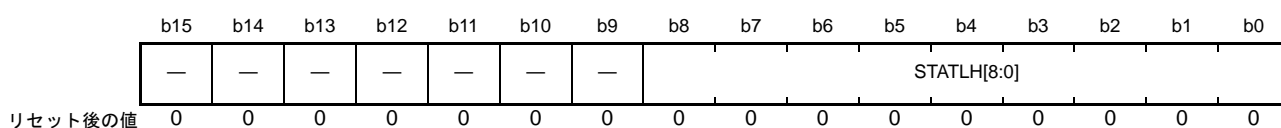
ビット	シンボル	ビット名	機能	R/W
b8-b0	STATLL[8:0]	CEC受信スタートビットのLow幅のMIN値設定用ビット (注1)	受信時のスタートビットのLow幅のMIN値 Low幅 = (STATLL[8:0]ビットの設定値 + 1) × CECCLKのクロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. スタートビットのタイミングチェックをしない (CECCTL1.STERRD = 0)、かつスタート検出再受信許可しない (CECEXMOD.RERCVEN = 0) のときは、本レジスタ値は使用しません。設定値は無効となります。

注1. CEC動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

32.2.15 CEC 受信スタートビットの Low 幅の MAX 値設定レジスタ (STATLH)

アドレス 000A 0A12h



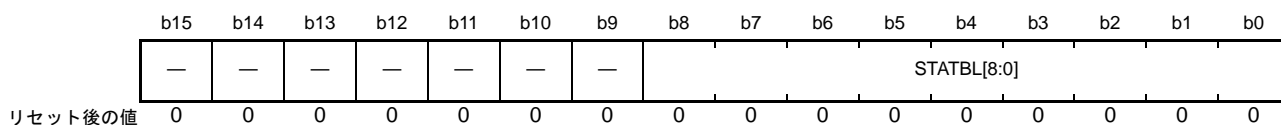
ビット	シンボル	ビット名	機能	R/W
b8-b0	STATLH[8:0]	CEC 受信スタートビットの Low 幅の MAX 値設定用ビット (注1)	受信時のスタートビットの Low 幅の MAX 値 Low 幅 = (STATLH[8:0] ビットの設定値 + 1) × CECCLK のクロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. スタートビットのタイミングチェックをしない (CECCTL1.STERRD = 0)、かつスタート検出再受信許可しない (CECEXMOD.RERCVEN = 0) のときは、本レジスタ値は使用しません。設定値は無効となります。

注1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

32.2.16 CEC 受信スタートビットのビット幅の MIN 値設定レジスタ (STATBL)

アドレス 000A 0A14h



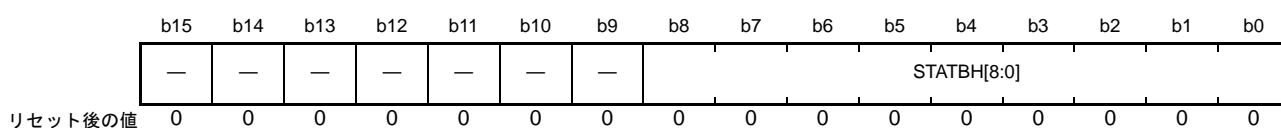
ビット	シンボル	ビット名	機能	R/W
b8-b0	STATBL[8:0]	CEC 受信スタートビットのビット幅の MIN 値設定用ビット (注1)	受信時のスタートビットのビット幅の MIN 値 ビット幅 = (STATBL[8:0] ビットの設定値 + 1) × CECCLK のクロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. スタートビットのタイミングチェックをしない (CECCTL1.STERRD = 0)、かつスタート検出再受信許可しない (CECEXMOD.RERCVEN = 0) のときは、本レジスタ値は使用しません。設定値は無効となります。

注1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

32.2.17 CEC 受信スタートビットのビット幅の MAX 値設定レジスタ (STATBH)

アドレス 000A 0A16h



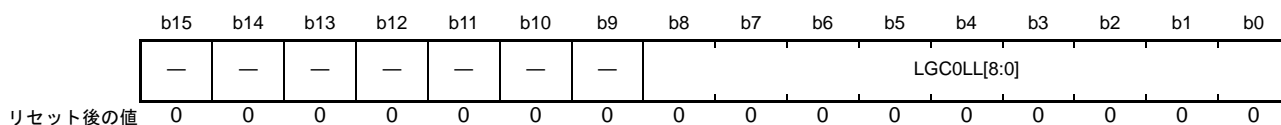
ビット	シンボル	ビット名	機能	R/W
b8-b0	STATBH[8:0]	CEC 受信スタートビットのビット幅 MAX 値設定用ビット (注1)	受信時のスタートビットのビット幅の MAX 値 ビット幅 = (STATBH[8:0] ビットの設定値 + 1) × CECCLK のクロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. スタートビットのタイミングチェックをしない (CECCTL1.STERRD = 0)、かつスタート検出再受信許可しない (CECEXMOD.RERCVEN = 0) のときは、本レジスタ値は使用しません。設定値は無効となります。

注1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

32.2.18 CEC 受信ロジカル 0 の Low 幅の MIN 値設定レジスタ (LGCOLL)

アドレス 000A 0A18h

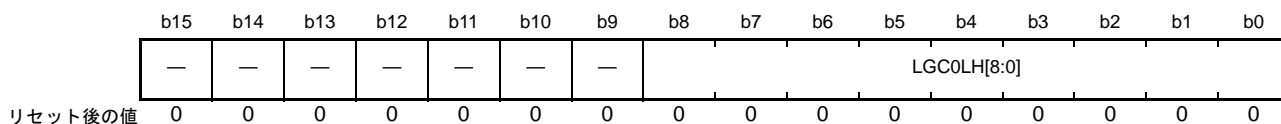


ビット	シンボル	ビット名	機能	R/W
b8-b0	LGCOLL[8:0]	CEC 受信ロジカル 0 Low 幅 MIN 値設定用ビット (注1)	受信時のロジカル 0 の Low 幅の MIN 値 Low 幅 = (LGCOLL[8:0] ビットの設定値 + 1) × CECCLK のクロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

32.2.19 CEC 受信ロジカル 0 の Low 幅の MAX 値設定レジスタ (LGCOLH)

アドレス 000A 0A1Ah

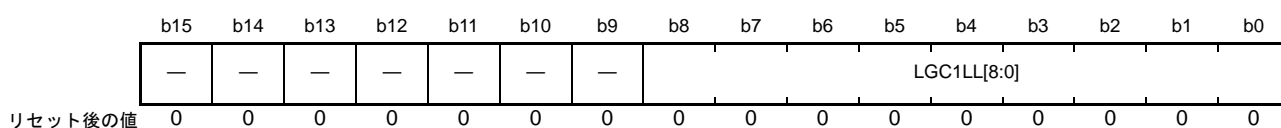


ビット	シンボル	ビット名	機能	R/W
b8-b0	LGCOLH[8:0]	CEC 受信ロジカル 0 Low 幅 MAX 値設定用ビット (注1)	受信時のロジカル 0 の Low 幅の MAX 値 Low 幅 = (LGCOLH[8:0] ビットの設定値 + 1) × CECCLK のクロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

32.2.20 CEC 受信ロジカル 1 の Low 幅の MIN 値設定レジスタ (LGC1LL)

アドレス 000A 0A1Ch

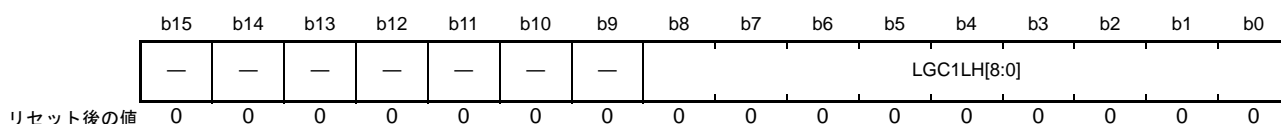


ビット	シンボル	ビット名	機能	R/W
b8-b0	LGC1LL[8:0]	CEC 受信ロジカル 1 Low 幅 MIN 値設定用ビット (注1)	受信時のロジカル 1 の Low 幅の MIN 値 Low 幅 = (LGC1LL[8:0] ビットの設定値 + 1) × CECCLK のクロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

32.2.21 CEC 受信ロジカル 1 の Low 幅の MAX 値設定レジスタ (LGC1LH)

アドレス 000A 0A1Eh

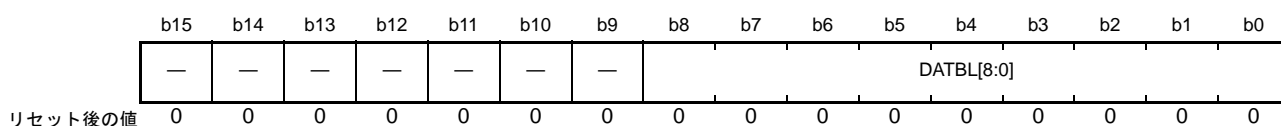


ビット	シンボル	ビット名	機能	R/W
b8-b0	LGC1LH[8:0]	CEC 受信ロジカル 1 Low 幅 MAX 値設定用ビット (注1)	受信時のロジカル 1 の Low 幅の MAX 値 Low 幅 = (LGC1LH[8:0] ビットの設定値 + 1) × CECCLK のクロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

32.2.22 CEC 受信データビットのビット幅の MIN 値設定レジスタ (DATBL)

アドレス 000A 0A20h



ビット	シンボル	ビット名	機能	R/W
b8-b0	DATBL[8:0]	CEC 受信データビットのビット幅 MIN 値設定用ビット (注1)	受信時のデータビットのビット幅の MIN 値 ビット幅 = (DATBL[8:0] ビットの設定値 + 1) × CECCLK のクロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

32.2.23 CEC 受信データビットのビット幅の MAX 値設定レジスタ (DATBH)

アドレス 000A 0A22h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0			
—	—	—	—	—	—	—	DATBH[8:0]								—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

ビット	シンボル	ビット名	機能	R/W
b8-b0	DATBH[8:0]	CEC 受信データビットのビット幅 MAX 値設定用ビット (注1)	受信時のデータビットのビット幅の MAX 値 ビット幅 = (DATBH[8:0] ビットの設定値 + 1) × CECCLK のクロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

32.2.24 CEC 受信データサンプリング時間設定レジスタ (NOMT)

アドレス 000A 0A0Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0			
—	—	—	—	—	—	—	NOMT[8:0]								—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

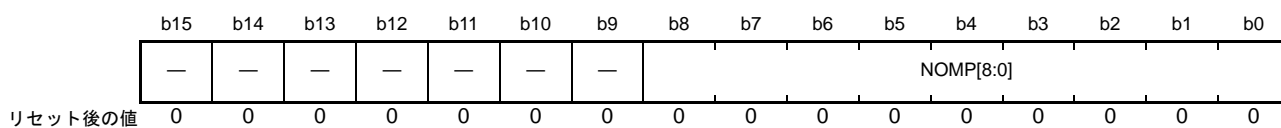
ビット	シンボル	ビット名	機能	R/W
b8-b0	NOMT[8:0]	CEC 受信データサンプリング時間設定用ビット (注1、注2)	受信データのサンプリング時間 サンプリング時間 = (NOMT[8:0] ビットの設定値 + 1) × CECCLK のクロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

注2. $LGC1LH < NOMT < LGC0LL$ となるように設定してください。

32.2.25 CEC データビット基準幅設定レジスタ (NOMP)

アドレス 000A 0A24h



ビット	シンボル	ビット名	機能	R/W
b8-b0	NOMP[8:0]	CEC データビット基準幅設定用ビット (注1)	1データビット幅 ビット幅 = (NOMP[8:0] ビットの設定値 + 1) × CECCLK の クロック周期	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CEC動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

この1データビット幅は、エラーハンドリング、シグナルフリータイム、バスロック検出でビット数をカウントする際に使用します。

32.2.26 CEC 拡張モードレジスタ (CECEXMD)

アドレス 000A 0A28h

	b7	b6	b5	b4	b3	b2	b1	b0
	RCVIN TDSEL	—	RERCV EN	LERPL EN	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	LERPLEN	長ビット幅エラーによるパルス出力機能許可ビット(注1)	0: 長ビット幅エラー検出のみ 1: 長ビット幅エラー検出し、エラーハンドリングパルス出力をする	R/W
b5	RERCVEN	スタート検出再受信許可ビット(注1)	0: 受信中のスタートビット検出で再受信しない 1: 受信中のスタートビット検出で再受信する	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RCVINTDSEL	INTDA 受信割り込みタイミング変更ビット(注1)	0: EOMタイミング (データ9ビット目) 1: ACKタイミング (データ10ビット目)	R/W

注1. CEC動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

長ビットエラー検出時のエラーハンドリング制御、スタートビット検出による再受信制御、受信割り込み発生タイミング制御の選択を行うレジスタです。

LERPLEN ビット (長ビット幅エラーによるパルス出力機能許可ビット)

長ビット幅エラー検出によるエラーハンドリングパルスを出力するか制御します。

RERCVEN ビット (スタート検出再受信許可ビット)

スタートビット検出により再度受信開始するか制御します。

RCVINTDSEL ビット (INTDA 受信割り込みタイミング変更ビット)

受信の割り込み発生タイミングを変更します。

32.2.27 CEC 拡張モニタレジスタ (CECEXMON)

アドレス 000A 0A2Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	ACKF	CECLN MON
リセット後の値	0	0	0	0	0	0	0	x

ビット	シンボル	ビット名	機能	R/W
b0	CECLNMON	CEC Line モニタビット (注1)	CEC端子の状態が読み出されます 0 : Low レベル 1 : High レベル	R
b1	ACKF	ACKフラグ(注2)	受信したACKビットの値が読み出されます。 送信/受信や受信時のアドレス一致/不一致に関わらず、ACK受信のタイ ミングで値が更新されます。ただし、ACK受信までにエラーを検出 した場合は更新されません。次の通信のACK受信にて更新されます	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CECEXMON.CECLNMON ビットの値を使用する場合は2度一致または3度一致にて値を判定してください。

注2. CECEXMON.ACKF ビットを使用する場合は、CECEXMD.RCVINTDSEL ビットの値により読み出しタイミングと読み出し値の関係が変わります。

CEC ラインの読み出し、ACK フラグの読み出しを行うレジスタです。

CECLNMON ビット (CEC Line モニタビット)

このビットをリードすると、CEC 端子の状態が読み出されます。このビットの値を使用する場合は、2 度一致または 3 度一致にて値を判定してください。

ACKF フラグ (ACK フラグ)

このビットをリードすると、受信した ACK ビットの値が読み出されます。このビットの値を使用する場合は、CECEXMD.RCVINTDSEL ビットの値により読み出しタイミングと読み出し値の関係が変わります。

図 32.4 に ACKF 更新タイミングと受信割り込み発生タイミングの関係を示します。

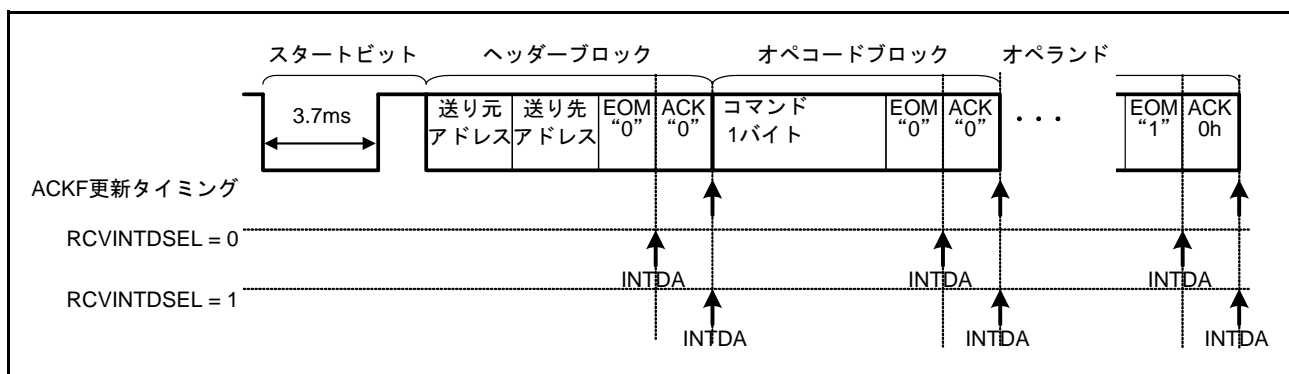


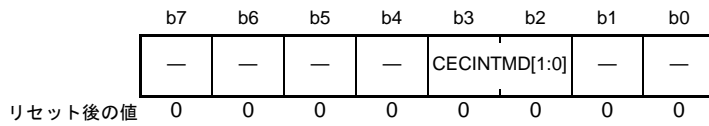
図 32.4 ACKF 更新タイミングと受信割り込みの発生タイミング

RCVINTDSEL = 0 で ACKF ビットを読み出す場合は受信割り込み発生後、1 ビット時間 WAIT をおいて読み出すことで、受信した ACK 状態が読み出せます。(受信割り込み後に読み出した場合、1 つ前に受信したデータの ACK が読み出されます。)

RCVINTDSEL = 1 で ACKF ビットを読み出す場合は、受信割り込み発生後、読み出してください。最新の受信データの ACK を読み出すことができます。

32.2.28 CEC 割り込み制御レジスタ i (CECINTCRi) (i = 1 ~ 3)

アドレス 0008 750Dh~0008 750Fh



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	CECINTMD[1:0]	CEC 割り込み検出設定ビット	b3 b2 0 0 : Low 0 1 : 立ち下がりエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

INTDAA、INTCEA、INTERRA の検出方法を設定するレジスタです。CECINTCR1 が INTDAA、CECINTCR2 が INTCEA、CECINTCR3 が INTERRA に該当します。該当する割り込み要求許可ビットが割り込み要求禁止 (IERm.IENj ビットが“0”) の状態でこのレジスタの設定変更を行ってください。レジスタ変更後は IR フラグをクリアし、その後割り込み要求許可ビットを許可に設定してください。

CECINTMD[1:0] ビット (CEC 割り込み検出設定ビット)

CEC から発行される割り込み要求信号は Low アクティブ信号のため、立ち下がりエッジに設定してください。

32.3 動作説明

32.3.1 CEC送受信回路の動作

32.3.1.1 CEC送受信データフォーマット

図 32.5 に CEC 通信の基本フォーマットを示します。CEC データフレームは、スタートビット、ヘッダブロック、データブロック 1 (オペコード)、データブロック 2 (オペランド) の 4 つで構成されています。スタートビット以外の 3 つのブロックは 10 ビットで構成されています。

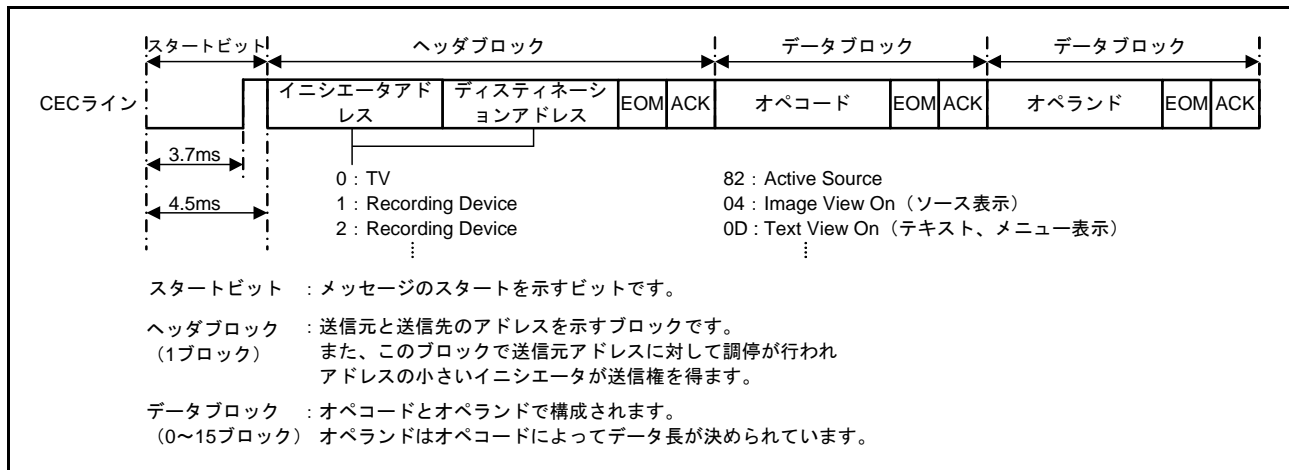


図 32.5 CEC 通信フォーマット

32.3.1.2 通信種別

CEC 送受信には、ダイレクトアドレスメッセージとブロードキャストメッセージの 2 つの通信状態があります。CEC 通信において送信側はスタートビットを含むメッセージ (データ) を送信し、受信側はメッセージを受け取り、所望のアクノリッジを送信側に返信します。CEC 送受信は、スタートビットとデータビットの 2 種類のビットで構成され、CEC のすべての送受信を行います。

32.3.1.3 ビットタイミング

図 32.6 にスタートビットのパルスフォーマット例を示します。スタートビットは Low 期間 (a) とビット期間 (b) でスタートビットの有効/無効を判断します。

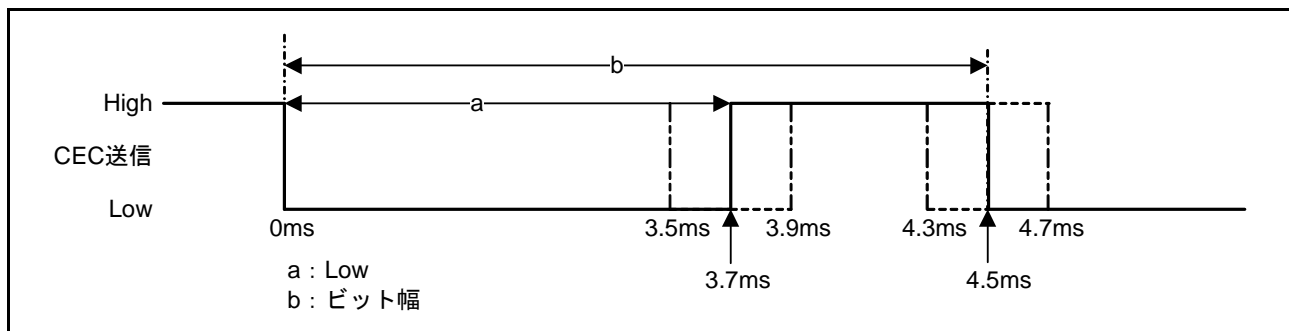


図 32.6 スタートビットのフォーマット例

図 32.7 にデータビットタイミングのパルスフォーマット例を示します。データビットは CEC 受信データ サンプリグ時間設定レジスタ (NOMT) で設定したサンプリグタイミングでサンプリグされます。その結果が Low だった場合はロジカル 0、High だったらロジカル 1 となります。データビットの最後の High から Low への変化は、次のデータビットのスタートとなります。よって、最後のデータビットは、High のままです。

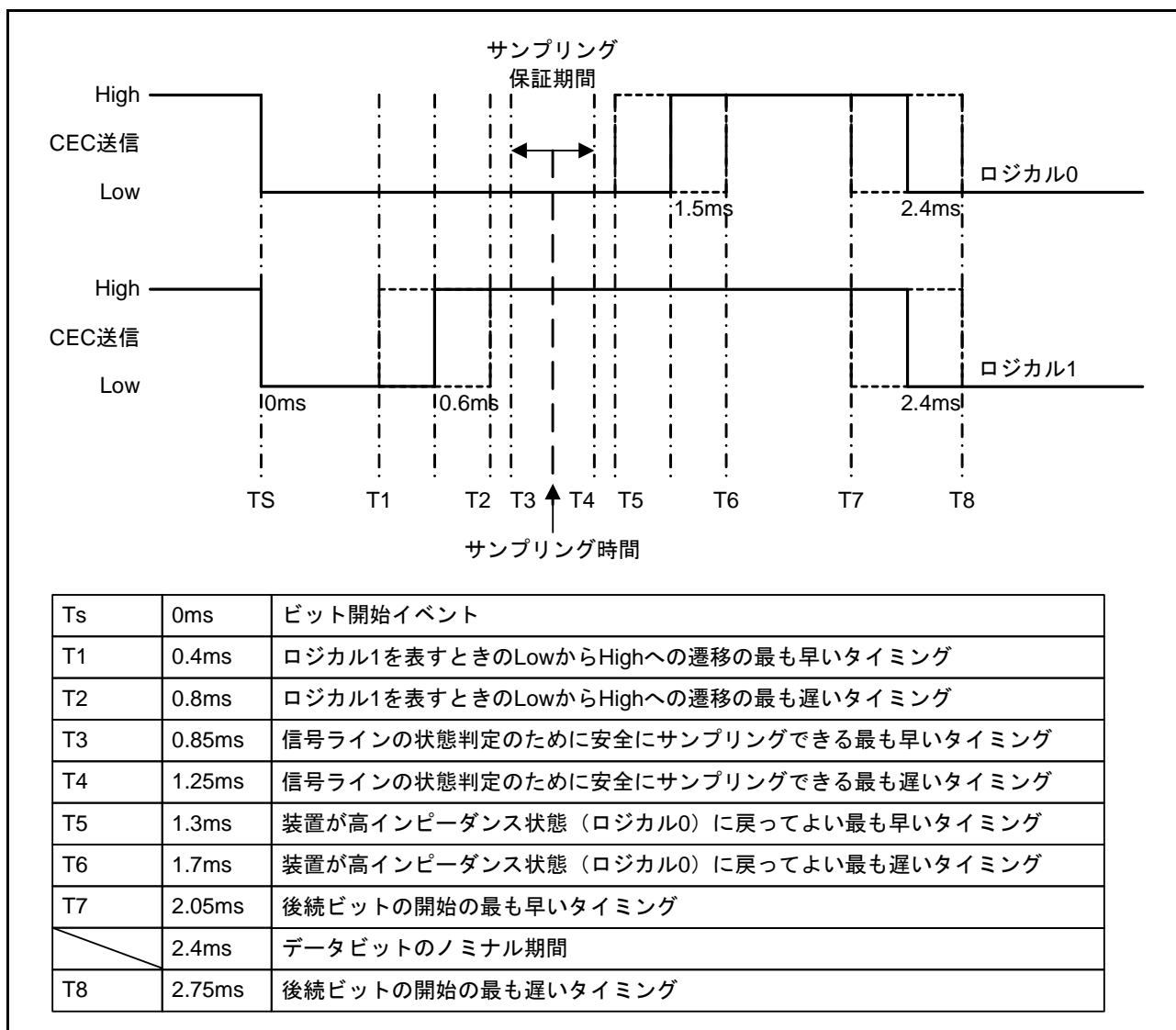


図 32.7 データビットのフォーマット例

32.3.1.4 ヘッダブロック / データブロック

すべてのデータブロックは 10 ビットで構成され、同じ構造です。図 32.8 にヘッダブロック、データブロックのフォーマットを示します。インフォメーションビットはヘッダブロックとデータブロックでは意味が異なり、データ、オペコード、アドレスを示しています。EOM (End of Message) と ACK (Acknowledge) はコントロールビットであり、ヘッダブロックとデータブロックでは、同じ意味を持ちます。

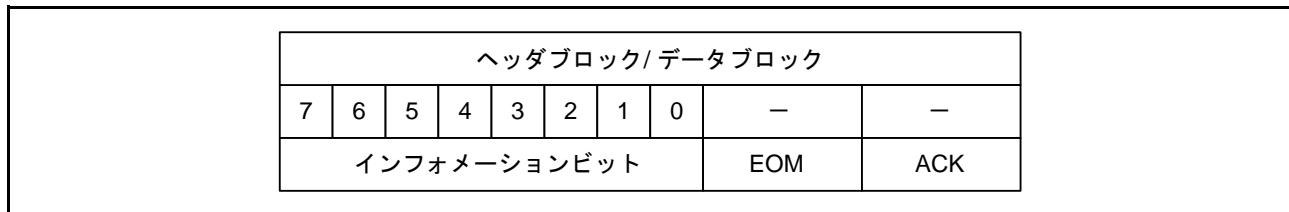


図 32.8 ヘッダブロック、データブロックのフォーマット

ヘッダブロックは、送信元ロジカルアドレス (Initiator logical Address) と送信先ロジカルアドレス (Destination logical Address)、EOM (End of Message)、ACK (Acknowledge) の 4 つで構成されます。インフォメーションビットの 7 ~ 4 ビットが送信元ロジカルアドレス (Initiator logical Address) を示し、3 ~ 0 ビットが送信先ロジカルアドレス (Destination logical Address) を示します。ヘッダブロックでの EOM は、他のデバイスとの 'ping' に使用されます (他のデバイスが、電源オン状態であるかを確認)。EOM = 1 としてヘッダブロックのみを送信 (データブロックなしのメッセージを送信) することによって確認できます。ダイレクトアドレス送信の場合、ACK が返ってくれば、送信先のデバイスは電源オン状態であることがわかります。

32.3.1.5 EOM (End of Message)

送信したブロックが、メッセージの最終ブロックか最終ブロックではないかを示します。インフォメーションビットに付加され出力します。

EOM ビット = 0 : 1 つ、または複数のブロックが続くとき

EOM ビット = 1 : 最終ブロックのとき

32.3.1.6 ACK (Acknowledge)

ACK は送信相手がダイレクトアドレスメッセージかブロードキャストメッセージかによって意味が異なります。受信したデータと CEC ラインのデータを比較した結果を送信側に、ACK または NACK 送信します。

ACK ビットのタイミングでイニシエータは、ロジカル 1 を出力します。よって、フォロワが ACK ビットの論理レベルを決定します。

- ダイレクトアドレスメッセージの場合、ACK (ACK = ロジカル 0) が正常の値です。
 - (1) ヘッダブロックでエラーなし、かつ自アドレスのとき → ACK ビットはロジカル 0
 - (2) データブロックでエラーなしのとき → ACK ビットはロジカル 0
 - (3) ヘッダブロックで、エラーあり、または他のアドレスのとき → ACK ビットはロジカル 1
 - (4) データブロックで、エラーありのとき → ACK ビットはロジカル 1
- ブロードキャストメッセージの場合、NACK (ACK = ロジカル 1) が正常の値です。
 - (1) 1 つ以上のフォロワがメッセージを破棄したとき → ACK ビットはロジカル 0
 - (2) すべてのフォロワがメッセージを破棄しないとき → ACK ビットはロジカル 1

32.3.2 動作クロック

CECは動作クロックとして、周辺モジュールクロック (PCLKB) の分周クロック、IWDT専用オンチップオシレータから供給されるCECILCLKの分周クロック、メインクロック発振器から供給されるCECMCLKの分周クロックを選択して使用することができます。CECILCLK、CECMCLKをCEC動作クロックとして使用する場合は、それぞれのクロック供給方法に注意が必要です。それぞれの動作クロック供給方法について説明します。

32.3.2.1 CEC動作クロックとしてCECILCLKを使用する場合

CEC動作クロックとしてIWDT専用オンチップオシレータから供給されるCECILCLKの分周クロックを使用する場合のフローを説明します。

ILOCOCR.ILCSTPビットを“0”にすると、IWDT専用オンチップオシレータの発振動作が開始します。発振開始後、発振安定待機時間経過後にCECへ動作クロックが供給されます。ソフトウェアスタンバイ時、IWDT専用オンチップオシレータの発振動作を継続する場合は、IWDTCSSTPR.SLCSTPビットを“0”にしてください。ILOCOCRレジスタについては、「9.2.8 IWDT専用オンチップオシレータコントロールレジスタ (ILOCOCR)」を、IWDTCSSTPRレジスタについては、「29.2.5 IWDTカウント停止コントロールレジスタ (IWDTCSSTPR)」を参照してください。

なお、IWDT専用オンチップオシレータ発振動作中は、IWDTへも動作クロック供給が行われます。そのため、CEC動作クロックとしてCECILCLKの分周クロックを使用する場合は、予期せぬリセット、割り込み発行を防ぐため、IWDTの機能は使用しないでください。

図 32.9 に CEC への CECILCLK 供給開始フロー例を示します。

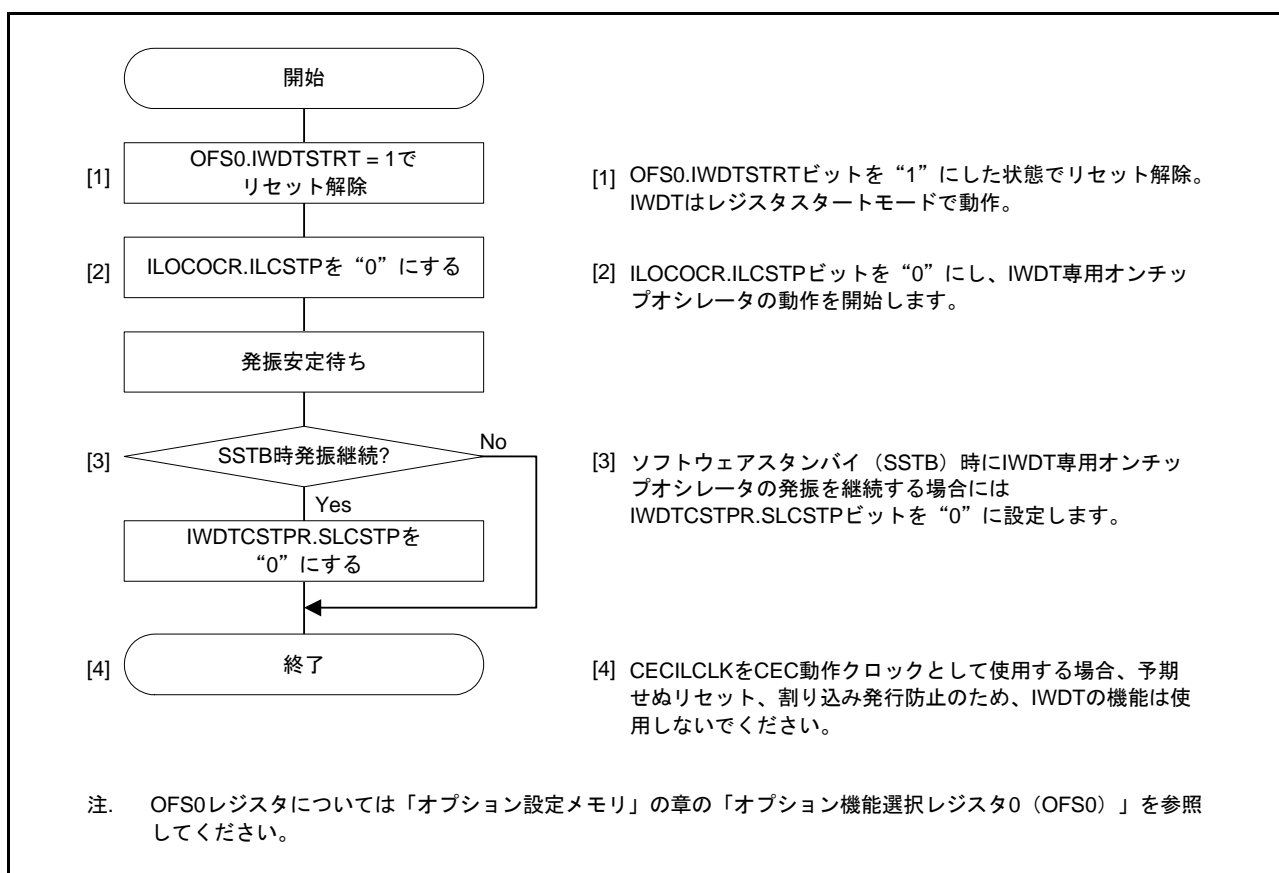


図 32.9 CEC への CECILCLK 供給開始フロー例

32.3.2.2 CEC 動作クロックとして CECMCLK を使用する場合

CEC 動作クロックとしてメインクロック発振器から供給される CECMCLK の分周クロックを使用する場合のフローを説明します。

MOSCCR.MOSTP ビットを“0”にすると、メインクロック発振器の発振動作が開始します。

MOFCR.MOFXIN ビットを“1”にしても、発振動作を開始することができますが、本ビットで発振動作を開始させた場合、システムクロックへのメインクロック供給が出来ないため、発振開始は MOSCCR.MOSTP ビットの制御で行ってください。MOFCR.MOFXIN ビットの設定はソフトウェアスタンバイ時の発振動作継続制御にのみ使用します。MOSCCR レジスタについては、「9.2.6 メインクロック発振器コントロールレジスタ (MOSCCR)」を、MOFCR レジスタについては、「9.2.11 メインクロック発振器強制発振コントロールレジスタ (MOFCR)」をそれぞれ参照してください。

メインクロック発振器の発振開始後、MOSCWTCR.MSTS[4:0] で設定したサイクル数分メインクロックをカウントした後、CEC へのメインクロックの供給が可能になります。なお、システム側へのメインクロック供給は、さらに 16384 サイクル分メインクロックをカウントした後に供給可能となります。MOSCWTCR レジスタについては、「11.2.7 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)」を参照してください。本発振安定待ち動作は、ソフトウェアスタンバイ時に発振を停止させた場合の復帰動作に関しても同様です。

メインクロックの発振安定時間が経過し、CEC へのメインクロック供給が可能となった後、MOSCR.MOSE ビットを“1”にし、メインクロックの供給を開始します。MOSCR レジスタについては、「9.2.12 メインクロック供給制御レジスタ (MOSCR)」を参照してください。

CEC へ供給するメインクロック経路には、ノイズフィルタを内蔵しています。このノイズフィルタの有効/無効の切り替えは MONFCR レジスタで行います。MONFCR レジスタについては、「9.2.13 メインクロックノイズフィルタ制御レジスタ (MONFCR)」を参照してください。なお、MONFCR レジスタを書き換える場合は、MOSCR.MOSE ビットを“0”にした状態 (CEC へのメインクロック供給を停止した状態)で行ってください。

ソフトウェアスタンバイ時、メインクロック発振器の発振動作を継続する場合は、MOSCCR.MOSTP ビットが“0”でメインクロックの発振が行われている時に、MOSCR.MOSE ビットを“0”にした状態 (CEC へのメインクロック供給を停止した状態)で MOFCR.MOFXIN ビットを“1”にしてください。

図 32.10 に CEC への CECMCLK 供給開始フロー例を、図 32.11 に CEC へのメインクロック供給経路図を示します。

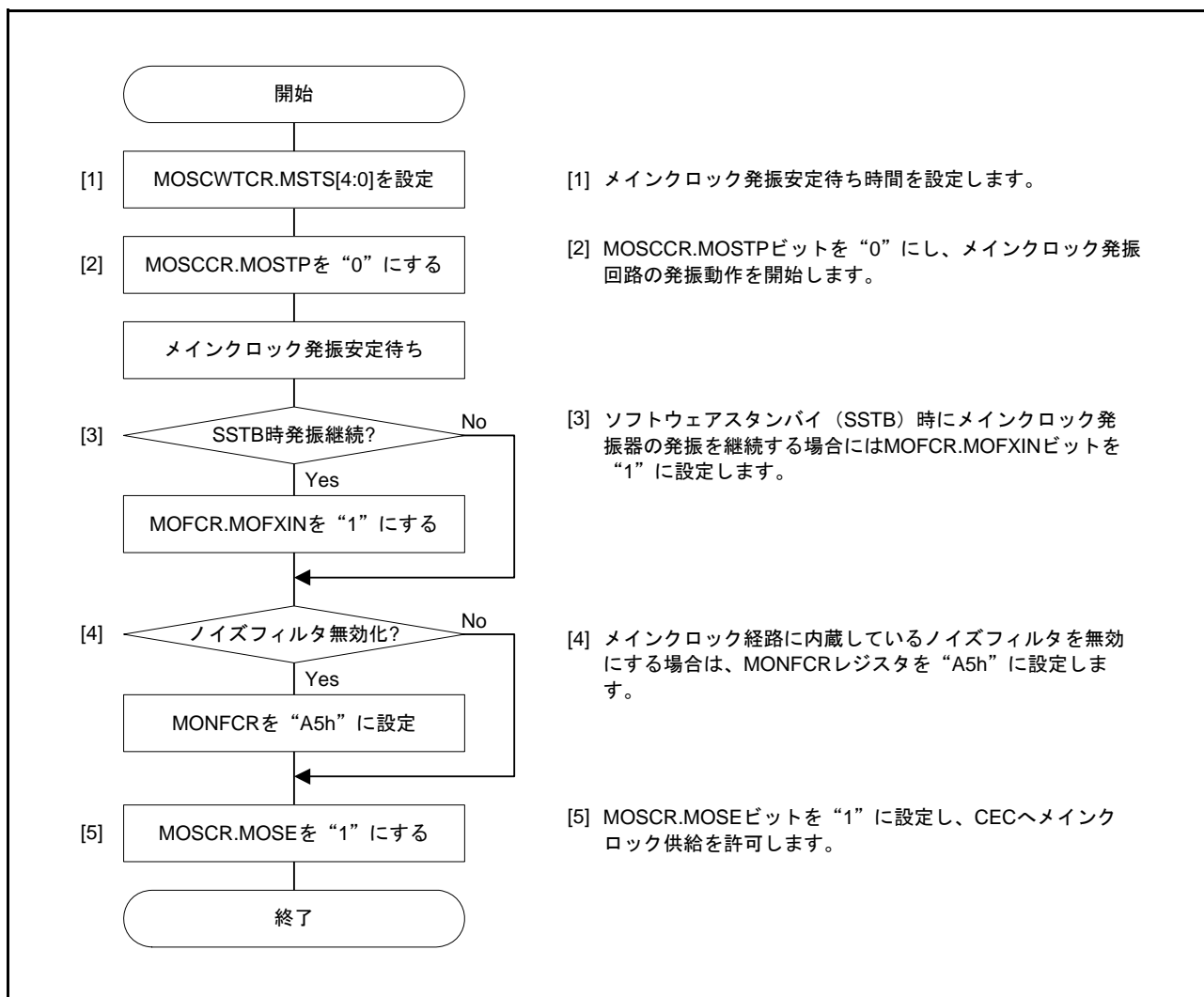


図 32.10 CEC への CECMCLK 供給開始フロー例

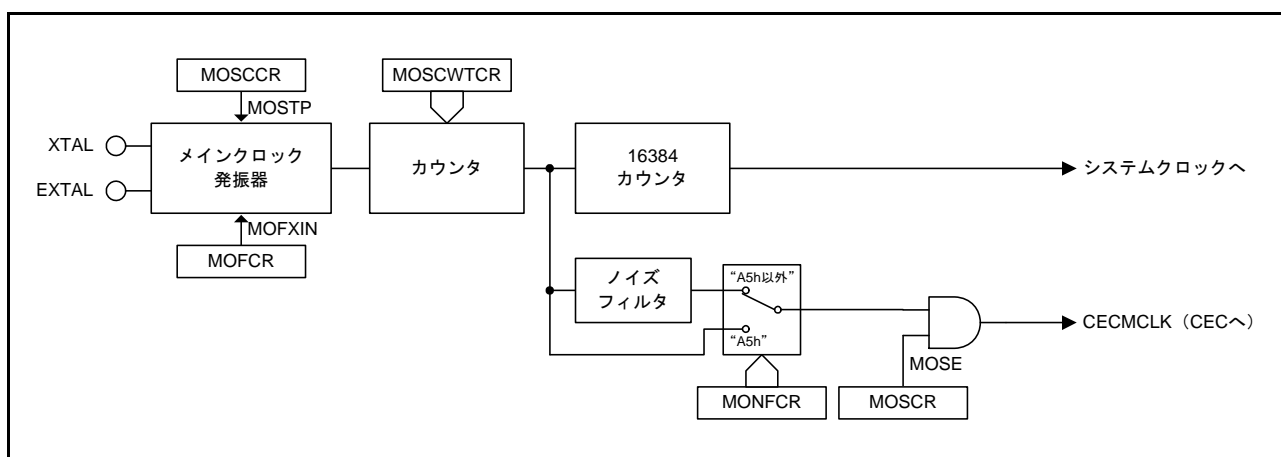


図 32.11 CEC へのメインクロック供給経路図

32.3.3 CEC 通信機能

32.3.3.1 通信ビット幅調整機能

送信時のスタートビット、データビットのLow幅、ビット幅を設定できます。

それぞれのレジスタ設定値には、大小関係が必須のレジスタが存在します。以下の関係を守るようにレジスタ設定してください。

- $STATL < STATB$
- $LGC1L < LGC0L < DATB$

(1) ~ (3) に各種幅設定レジスタ (32.2.9 ~ 32.2.13 参照) とビットタイミングの関係を示します。

(1) スタートビット

スタートビットは、STATL レジスタでLow幅を、STATB レジスタでビット幅を設定します。図 32.12 にスタートビットの出力波形を示します。

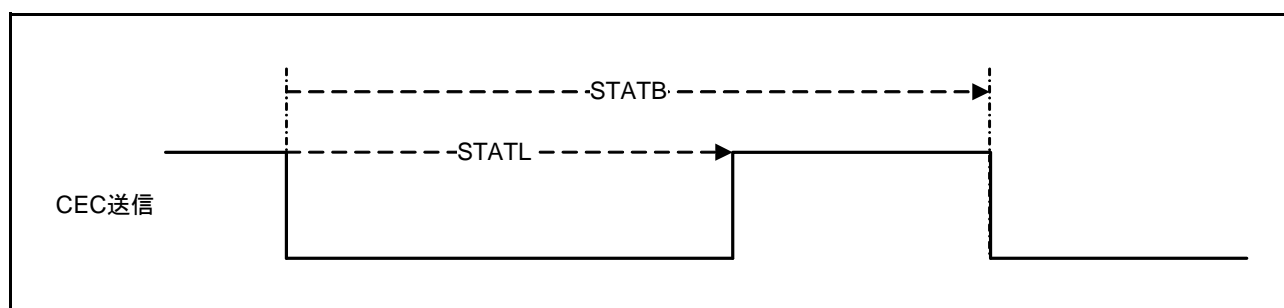


図 32.12 スタートビットの出力波形

(2) データビット (ロジカル 0)

ロジカル 0 のデータビットは、LGC0L レジスタでLow幅を、DATB レジスタでビット幅を設定します。

図 32.13 にデータビット (ロジカル 0) の出力波形を示します。

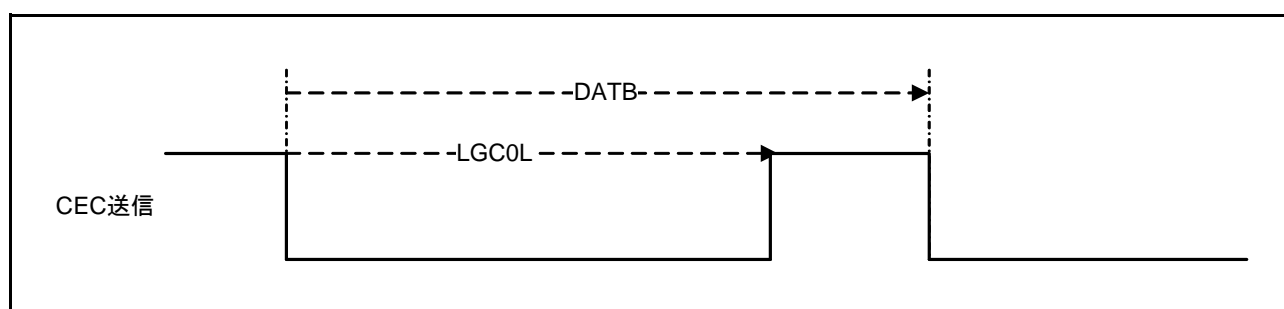


図 32.13 データビット (ロジカル 0) の出力波形

(3) データビット (ロジカル 1)

ロジカル 1 のデータビットは、LGC1L レジスタで Low 幅を、DATB レジスタでビット幅を設定します。

図 32.14 にデータビット (ロジカル 1) の出力波形を示します。

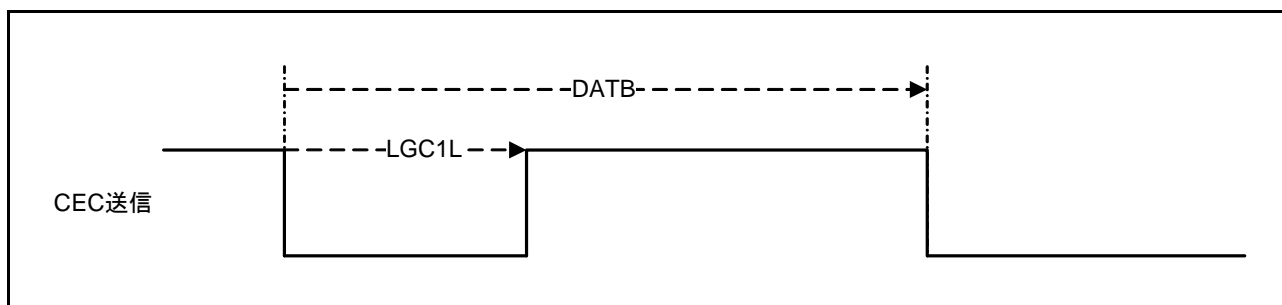


図 32.14 データビット (ロジカル 1) の出力波形

32.3.3.2 受信ビットタイミングチェック機能

CEC 送受信回路は、受信時のスタートビット、データビットの Low 幅、ビット幅が設定の範囲内であるか否かを判定するタイミングチェック機能を持ちます。タイミングチェック時間は各種タイミング判定レジスタ (32.2.14 ~ 32.2.23 参照) で設定できます。

それぞれのレジスタ設定値には、大小関係が必須のレジスタが存在します。以下の関係を守るようにレジスタ設定してください。

- STATLL < STATLH
- STATBL < STATBH
- LGC0LL < LGC0LH
- LGC1LL < LGC1LH
- DATBL < DATBH

(1) ~ (3) にタイミング判定レジスタとビットタイミングの関係を示します。

(1) スタートビット

スタートビットの Low 幅 MIN 値は STATLL レジスタ、Low 幅 MAX 値は STATLH レジスタ、スタートビット幅の MIN 値は STATBL レジスタ、スタートビット幅の MAX 値は STATBH レジスタで設定します。

図 32.15 にスタートビットの受信タイミングを示します。

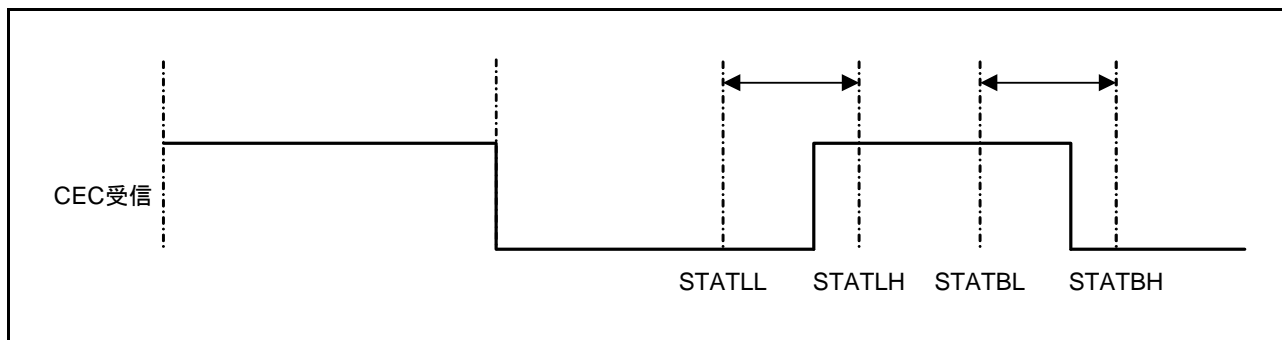


図 32.15 スタートビットの受信タイミング

(2) データビット (ロジカル 0)

データビット (ロジカル 0) の Low 幅 MIN 値は LGC0LL レジスタ、Low 幅 MAX 値は LGC0LH レジスタ、ビット幅の MIN 値は DATBL レジスタ、ビット幅の MAX 値は DATBH レジスタで設定します。図 32.16 にデータビット (ロジカル 0) の受信タイミングを示します。

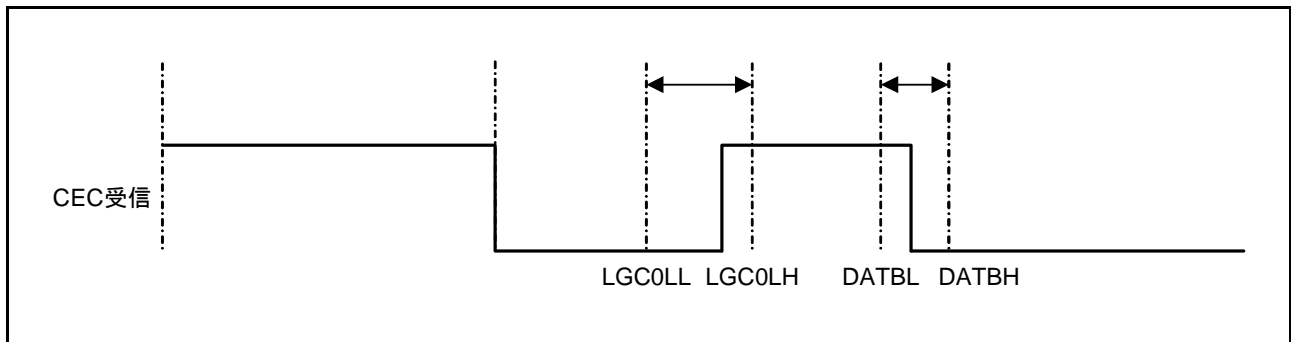


図 32.16 データビット (ロジカル 0) の受信タイミング

(3) データビット (ロジカル 1)

データビット (ロジカル 1) の Low 幅 MIN 値は LGC1LL レジスタ、Low 幅 MAX 値は LGC1LH レジスタ、ビット幅の MIN 値は DATBL レジスタ、ビット幅の MAX 値は DATBH レジスタで設定します。図 32.17 にデータビット (ロジカル 1) の受信タイミングを示します。

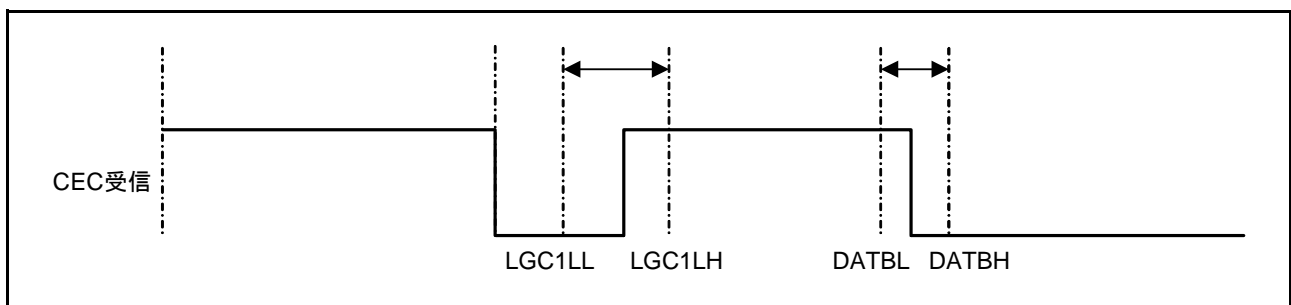


図 32.17 データビット (ロジカル 1) の受信タイミング

32.3.3.3 CEC 通信初期設定

CEC 通信の初期設定フローについて説明します。リセット後、各種制御レジスタの設定を行い、ダイレクトアドレス送信を利用して、ロジカルアドレスの取得フローを実行します。ロジカルアドレス取得送信では、送り元アドレスと送り先アドレスを同一に設定し、ヘッダブロックのみの送信となるため、EOM = 1 に設定します。また、自局アドレス確定前に誤ったアドレス一致が発生することを防ぐため、CADR 設定までは、CECRXEN = 0 に設定しておく必要があります。図 32.18 にロジカルアロケーションタイミング図を、表 32.7 に操作手順と動作説明を示します。

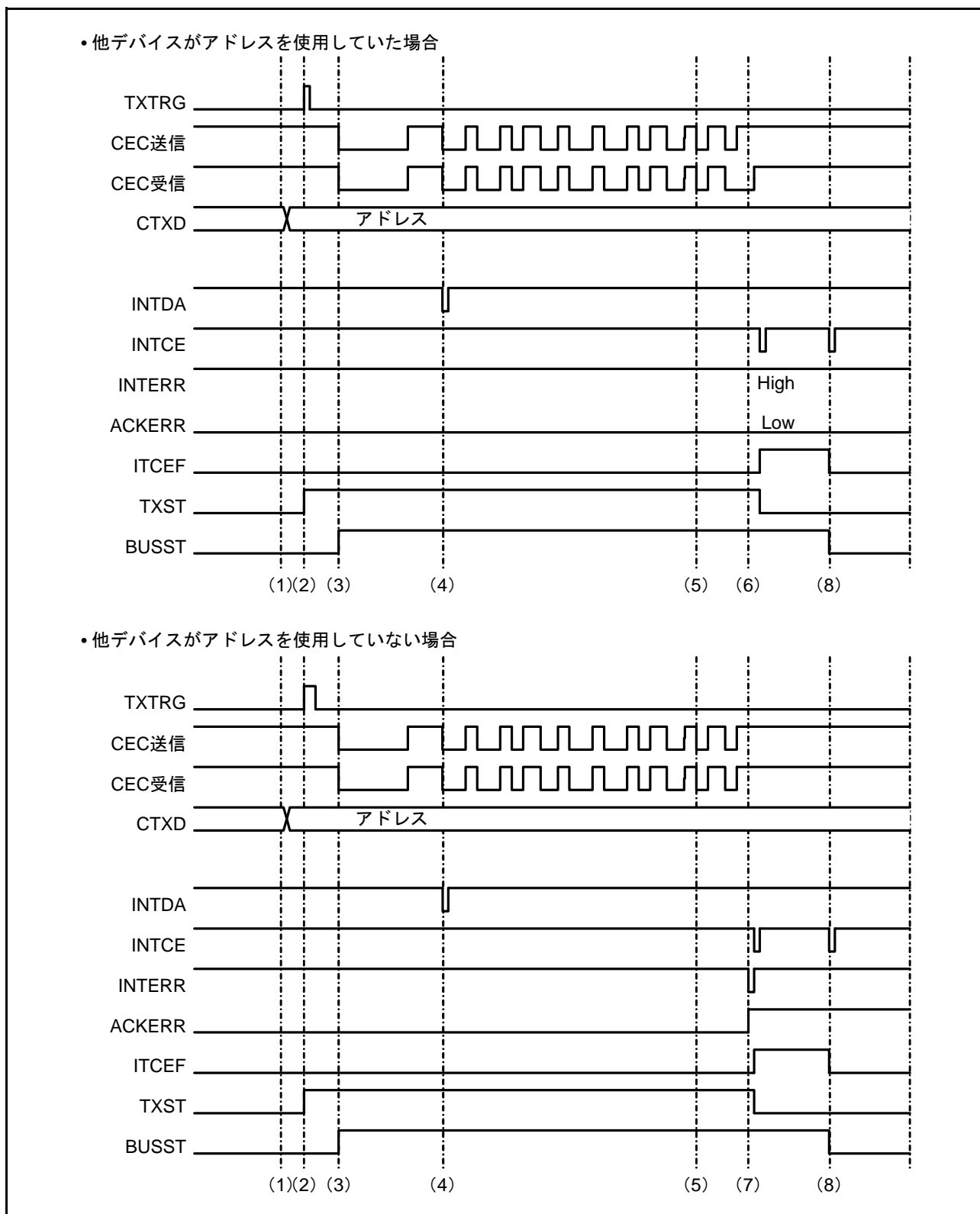


図 32.18 ロジカルアロケーション (CECCTL1.CESEL[1:0] = 00b のとき)

表 32.7 CEC通信の初期設定手順 (1 / 2)

	ソフトウェア操作	CECの状態
CEC初期設定	<p>[CECクロック (CECCLK) の設定] CCL[2:0]ビットを設定</p> <p>[受信拒否制御の設定] CECRXENを0に設定</p> <p>[アドレス不一致の場合の通知設定] CINTMKを設定</p> <p>[ノイズ除去の選択] CDFCを設定 (ノイズフィルタを使用するかを設定)</p> <p>[スタートビットのLow幅/ビット幅の設定] STATL/STATBを設定</p> <p>[ロジカル0/1のLow幅/ビット幅の設定] LGC0L/LGC1L/DATBを設定</p> <p>[サンプリング時間の設定] NOMTに受信データをサンプリングする時間を設定</p> <p>[データビットの1ビット幅設定] NOMPに1データビット幅を設定</p> <p>[タイミングチェック用レジスタの設定] STATLL/STATLHにスタートビットのLow幅タイミング チェック時間を設定 STATBL/STATBHにスタートビットのビット幅タイミング チェック時間を設定 LGC0LL/LGC0LHにデータビット (ロジカル0) のLow幅 タイミングチェック時間を設定 LGC1LL/LGC1LHにデータビット (ロジカル1) のLow幅 タイミングチェック時間を設定 DATBL/DATBHにデータビットのビット幅タイミング チェック時間を設定</p> <p>[バスロック検出の設定] BLERRDの設定 (バスロック検出するかを選択)</p> <p>[スタートビットのタイミングエラー検出の設定] STERRDの設定 (スタートビットのタイミングエラーを検出するか選択)</p> <p>[通信完了割り込みの設定] CESEL[1:0]ビットを設定</p> <p>[シグナルフリータイムの設定] SFT[1:0]ビットを設定 (シグナルフリータイムの検出時間を設定)</p> <p>[CECクロック (CECCLK) の供給] CECEを“1”に設定</p>	<p>CECクロック (CECCLK) 停止中</p> <p>CECクロック (CECCLK) を供給。送信可能状態。 シグナルフリータイムを開始。BUSSTが“1”とな る。SFT[1:0]ビットの設定値までカウント後、 BUSSTが“0”になり、通信待機状態となる</p>

表 32.7 CEC 通信の初期設定手順 (2 / 2)

	ソフトウェア操作	CEC の状態
ロジカル アドレス アロケーション	<p>[EOM の設定] EOM を 1 に設定</p> <p>[送信データの設定] (1) CTXD に送信データ (ロジカルアドレス) を設定</p> <p>[バスフリー状態の確認] BUSST が 0 になっていることを確認</p> <p>[送信動作の開始] (2) TXTRG を 1 に設定</p> <p>ヘッダブロックのみの送信であるため、次データの書き込みは行わない</p> <p>[自局アドレスの設定]</p> <ul style="list-style-type: none"> ACK の場合 送信したアドレスは他局が使用しているため、送信アドレスを変更して再送操作を行う NACK の場合 送信したアドレスは他局が使用していないため、送信したアドレスを自局アドレスとして使用する (CADR 設定) <p>[受信拒否制御の設定] CECRXEN を 1 に設定</p>	<p>送信開始 スタートビットを出力する (3)</p> <p>ヘッダブロック出力開始時に INTDA を出力、同時に、CTXD レジスタに設定された値の順次出力 (4)</p> <p>EOM ビットで 1 を出力する (5)</p> <p>ACK ビットを受信</p> <p>ロジカル 0 を受信した場合、INTERR を出力せず、ACKERR フラグをセットしない (6)</p> <p>ロジカル 1 を受信した場合、INTERR を出力し、ACKERR フラグをセットする (7)</p> <p>CESEL[1:0] ビット、SFT[1:0] ビット設定にしたがって INTCE を出力する (8)</p> <p>通信待機状態となる</p>

32.3.3.4 CEC送信

CEC送信は、送信時にも受信動作を行い、アービトレーションチェック、データチェック、タイミングチェックを行います。

ただし、送信動作時の受信バッファレジスタ (CRXD) の値は保証されません。

送信途中 (スタートビット検出完了から最終フレームのEOM受信完了まで) の新たなスタートビットは無視されタイミングエラーとして検出し、通信の再スタートは行いません。図 32.19 に送信基本タイミング図を、表 32.8 に CEC送信操作手順を示します。

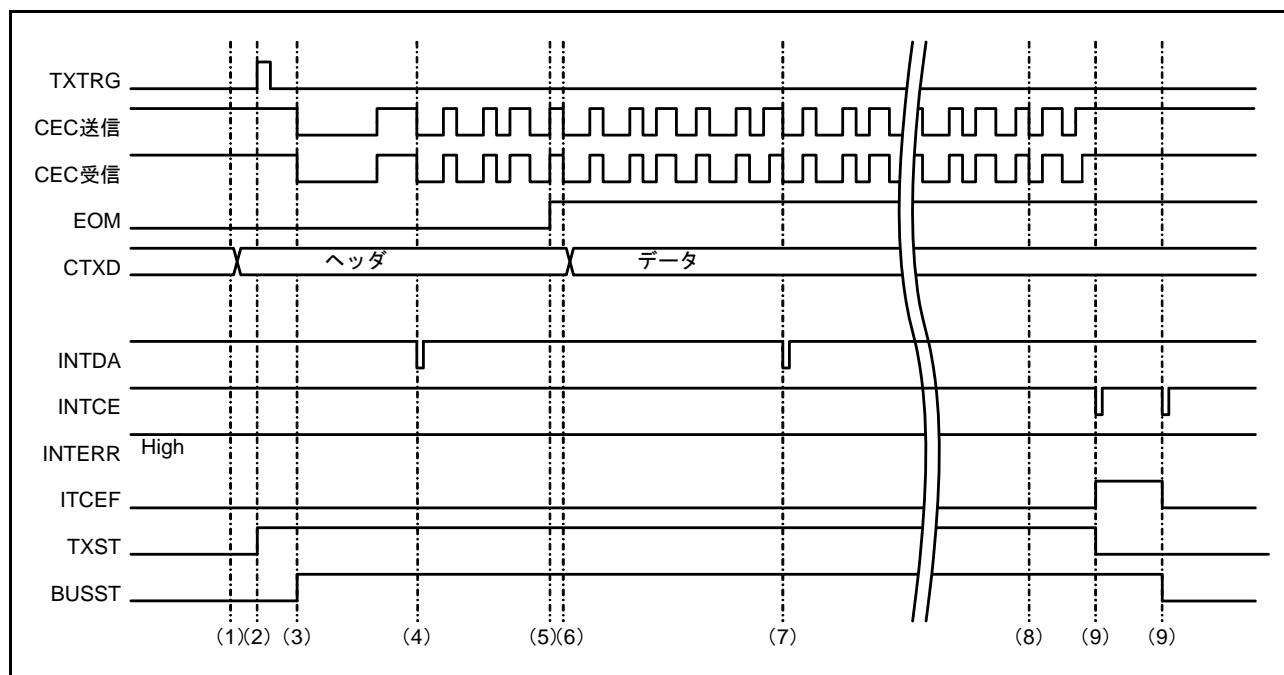


図 32.19 送信基本タイミング (ダイレクトアドレス送信) (CECCTL1.CESEL[1:0] = 00b のとき)

(1) CEC 送信操作手順

表 32.8 CEC送信操作手順

	ソフトウェア操作	CECの状態
CEC初期設定	表 32.7 参照	
CEC送信動作	<p>[シグナルフリータイムの設定] SFT[1:0]を設定 (シグナルフリータイムの検出時間を設定)</p> <p>[EOMの設定] (1) EOMを設定 (EOM = 0)</p> <p>[送信データの設定] (1) CTXDに送信データを設定</p> <p>[バスフリー状態の確認] BUSSTが0になっていることを確認</p> <p>[送信動作の開始] (2) TXTRGを1に設定</p> <p>[EOMの設定] (5) 次のフレーム開始 (7) までに次フレームのEOMを設定する (EOM = 1)</p> <p>[送信データの設定] (6) CTXDに送信データを設定</p>	<p>送信開始 スタートビットを出力する (3)</p> <p>ヘッダブロック出力開始時にINTDAを出力、同時に、CTXDレジスタに設定された値を順次出力 (4)</p> <p>2フレーム目のデータ出力を開始する (7)</p> <p>最終フレームなのでEOMビット位置で1を出力する (8)</p> <p>CESEL[1:0]ビット、SFT[1:0]ビット設定にしたがってINTCEを出力する (9)</p> <p>通信待機状態となる</p>

(2) ブロードキャスト送信

ヘッダブロック送信データ (CTXD) のディスティネーションアドレス (送り先アドレス) に “Fh” を設定すると、CEC は現在の送信をブロードキャスト送信と認識して動作します。通常は ACK ビットのタイミングでロジカル 0 を受信した場合に通信が成功したと判断しますが、ブロードキャスト通信時は ACK ビットのタイミングでロジカル 1 を受信した場合に通信成功と判断します。

CEC は、ヘッダブロックの送信データを見て、ダイレクト通信かブロードキャスト通信かを判断し、自動的にロジカル 0/ ロジカル 1 どちらが受信成功かを決定します。

(3) CEC 送信割り込み

CECは、データ割り込み (INTDA)、通信終了割り込み (INTCE)、エラー割り込み (INTERR) の3つの割り込み機能を有しています。図 32.20 に送信時の割り込み発生タイミングを示します。

データ割り込み (INTDA) は、各ブロックの先頭で発生します。

通信終了割り込み (INTCE) は、CECCTL1.CESEL[1:0] ビットの設定によって、EOM = 1 であるデータブロックの ACK 受信完了時に発生する場合と、CECCTL1.SFT[1:0] ビットで設定したシグナルフリータイム経過後に発生する場合と、その両方で発生する場合とが選択できます。

エラー割り込み (INTERR) は、通信期間全般において、タイミングエラー検出時、ACK エラー検出時、アンダランエラー検出時、送信エラー検出時に発生します。

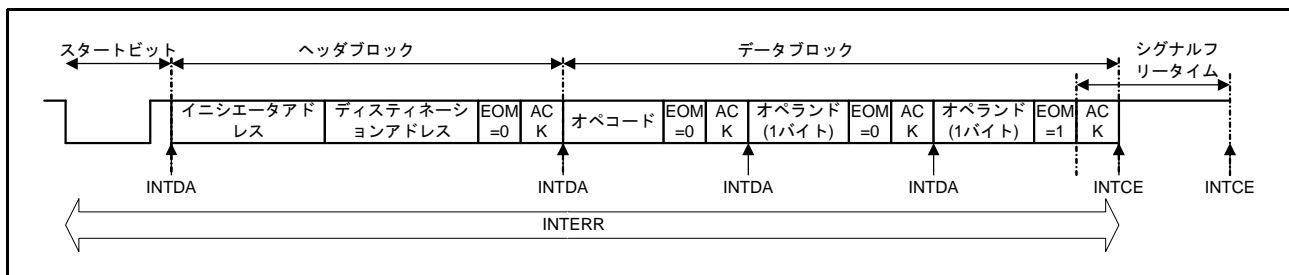


図 32.20 割り込み発生タイミング

EOM = 1 の ACK ビット受信途中 (ACK ビット完了前) に CEC ラインの立ち下がりエッジを検出した場合は、そのタイミングによって表 32.9 に示すように通常と異なる動作になります。

表 32.9 ACKビット完了前にCECラインの立ち下がりエッジを検出した場合の動作

CECラインの立ち下がりタイミング	CECCTL1.CESEL[1:0] ビットの設定	INTCEの発生	ACKビットの扱い	CECラインの立ち下がり以降の動作
データビットMIN値以降 (DATBL ≤ カウンタ) の場合	CESEL[1:0] = 00b、CESEL[1:0] = 01b のいずれかのとき	CECラインの立ち下がり時点で1回のみ発生する	既定のビット幅を満たしているため有効 (ACK/NACKは正しく判定される)	次の通信開始と認識して、スタートビット受信判定を開始します
	CESEL[1:0] = 10b のとき	発生しない		
データビットMIN値以前 (カウンタ < DATBL) の場合	CESEL[1:0] = 00b、CESEL[1:0] = 01b のいずれかのとき	CECラインの立ち下がり時点で1回のみ発生する	既定のビット幅を満たしていないため、ACKの判定が正しくできません (ACKTEN = 1設定時はタイミングエラーが発生します)	
	CESEL[1:0] = 10b のとき	発生しない		

(4) エラーハンドリングパルス受信

イニシエータ動作時、ロジカル0のLow幅MAX設定値に達したタイミングで、受信データがLowだった場合、図 32.21 に示すように、エラーハンドリングパルスを受信したと判断し、タイミングエラーを発生、送信動作を停止して通信待機状態に移移します。

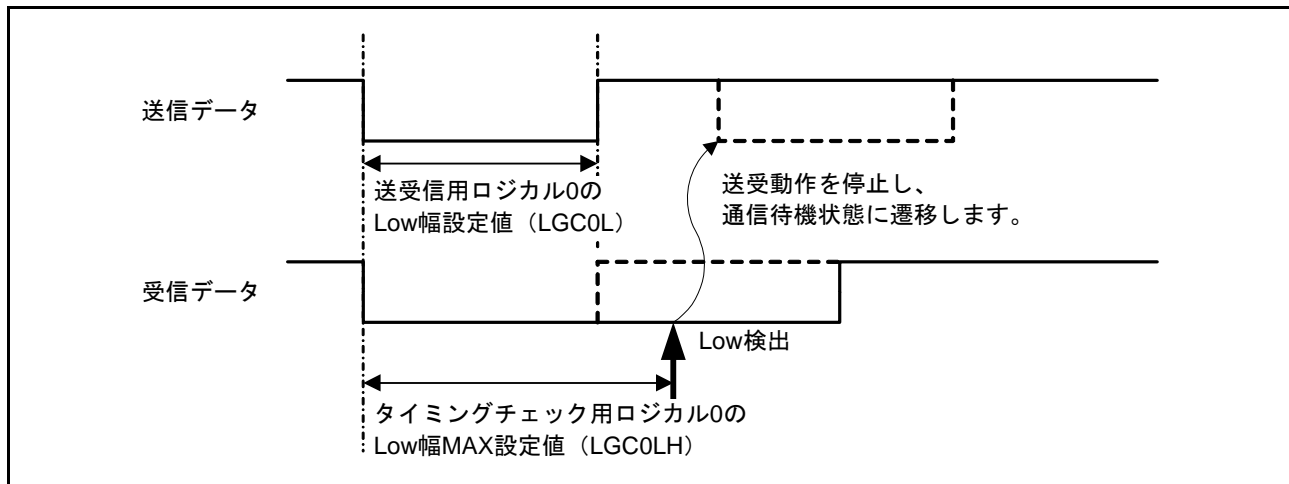


図 32.21 エラーハンドリングパルス受信動作

32.3.3.5 CEC 受信

受信時は、CEC 受信データサンプリング時間設定レジスタ (NOMT) にて設定した、サンプリングタイミングでデータを受信し、受信バッファレジスタ (CRXD) に格納します。

また、受信動作は、CECCTL0.CECRXEN ビット設定値、CECCTL1.CINTMK ビット設定値、通信種別 (ダイレクトアドレス通信 / ブロードキャスト通信)、受信アドレスと自局アドレスの一致 / 不一致によって異なります。

表 32.10 に各種条件と動作の対応表を示します。

受信途中 (スタートビット検出完了から最終フレームの EOM 受信完了まで) の新たなスタートビットは無視されタイミングエラーとして検出します。ただし、スタートビット検知での再受信機能使用時 (CECEXMOD.RERCVEN = 1) は、タイミングエラーは検知し、新たな受信開始と判断して再度受信動作を行います。

表 32.10 CEC 受信時の動作対応表

CEC RXEN	0		1						
	—	スタート ビット	ヘッダ		ダイレクト (データ)		ブロード キャスト (データ)		
アドレス一致/不一致	—	—	不一致		一致	不一致		一致	—
CINTMK ビット	—	—	0	1	—	0	1	—	—
BUSST 動作	○	○	○	○	○	○	○	○	○
INTDA 出力	×	×	×	○	○	×	○	○	○
INTCE 出力	×	○ (注3)	○ (注3)	○	○	×	○	○	○
INTERR 出力	×	×	○	○	○	×	○	○	○
エラーフラグ動作	×	×	○	○	○	×	○	○	○
エラー検出 (短いビット幅の検出以外)	×	○ (注4)	○	○	○	×	○	○	○
エラー検出 (短いビット幅の検出)	×	○ (注4)	○	○	○	○	○	○	○
エラーハンドリング出力	×	×	○	○	○	○	○	○	○
バスロック検出 (注1)	○ (注2)	○	○	○	○	○	○	○	○
ACK/NACK 出力	×	×	○	○	○	×	×	○	○
シグナルフリータイムカウント	×	○	○	○	○	○	○	○	○

○ : 対応、× : 非対応、— : don't care

注1. バスロックエラーはCECCTL1.BLERRDをセットすることで検出します。

注2. バスロックエラーを検出しますがフラグは立ちません。

注3. エラー検出時のみ発生します。

注4. スタートビットのタイミングエラーを検出する場合 (CECCTL1.STERRD = 1) のみ対応。エラーを検出しますがフラグは立ちません。

(1) CEC 受信操作手順

ダイレクトアドレスメッセージの受信動作について、図 32.22、表 32.11 にアドレスが一致した場合の動作を、図 32.23、表 32.12 にアドレスが不一致の場合の動作を示します。

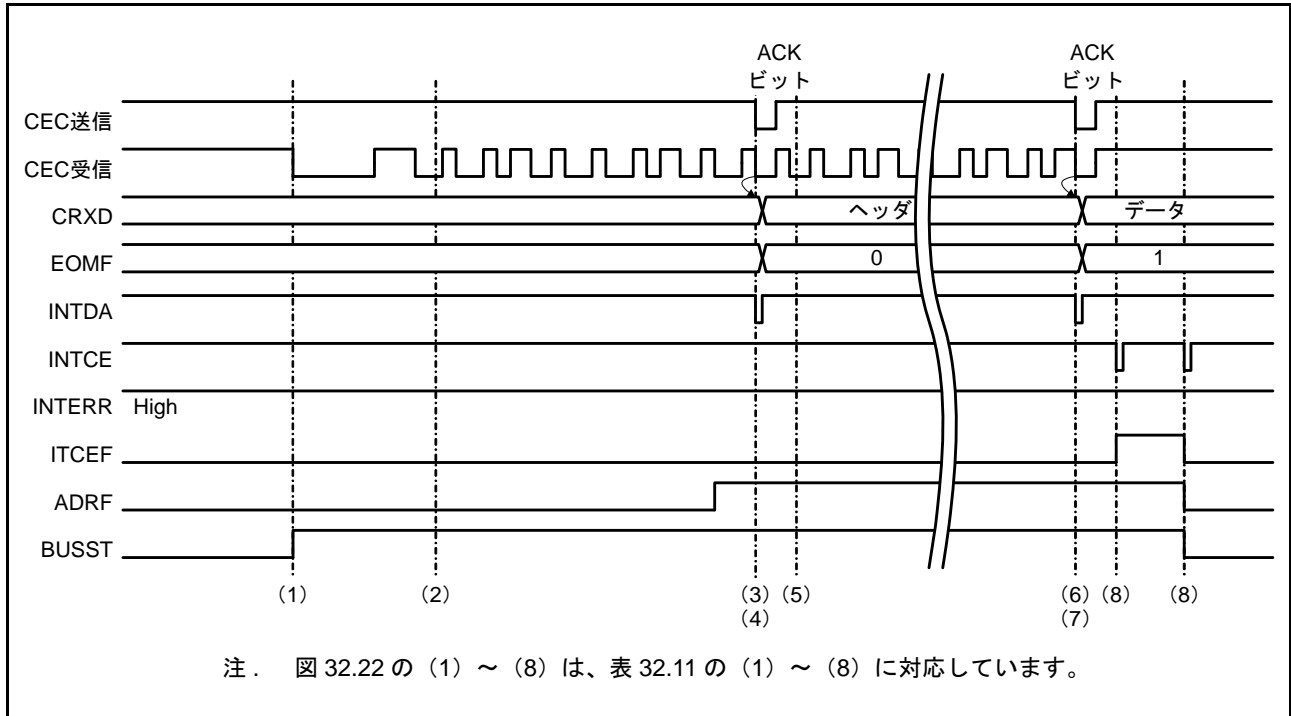


図 32.22 受信基本タイミング (1) (ダイレクトアドレス受信、CECCTL1.CESEL[1:0] = 00b のとき)

表 32.11 CEC 受信操作手順

	ソフトウェア操作	CECの状態
CEC 初期設定	表 32.8 参照	
CEC 受信動作	<p>INTDA 発生を受け、低消費電力モードからの復帰など ← 受信準備を行う。EOMFにより送信継続か最終フレームかを確認する。</p> <p>INTDA 発生を受け、CRXD から受信データを読み出す。 ← EOMFにより送信継続か最終フレームかを確認する。</p>	<p>[スタートビットの検出] CEC 受信信号の立ち下がりがエッジを検出し、受信動作を開始 (1)</p> <p>[サンプリング] NOMT の設定時間でデータをサンプリングし、順次シフトレジスタに格納 (2)</p> <p>[アドレス一致割り込み] ヘッダブロックで受信したアドレスと、自局アドレスが一致したので、INTDA を発生する (3)</p> <p>[ACK ビット送信] 受信が成功したので、ACK ビットタイミングでロジカル 0 を送信する (4)</p> <p>[受信継続] 続けて 2 フレーム目のデータを受信する (5)</p> <p>[受信データ割り込み] 8 ビットのデータ受信が完了すると、CRXD にデータを転送し、INTDA を発生する (6)</p> <p>[ACK ビット送信] 受信が成功したので、ACK ビットタイミングでロジカル 0 を送信する (7)</p> <p>[受信完了] EOM = 1 を受信したので、受信完了と判断し、CECCTL1.CESEL[1:0] ビット、CECCTL1.SFT[1:0] ビット設定にしたがって INTCE を出力する (8)</p>

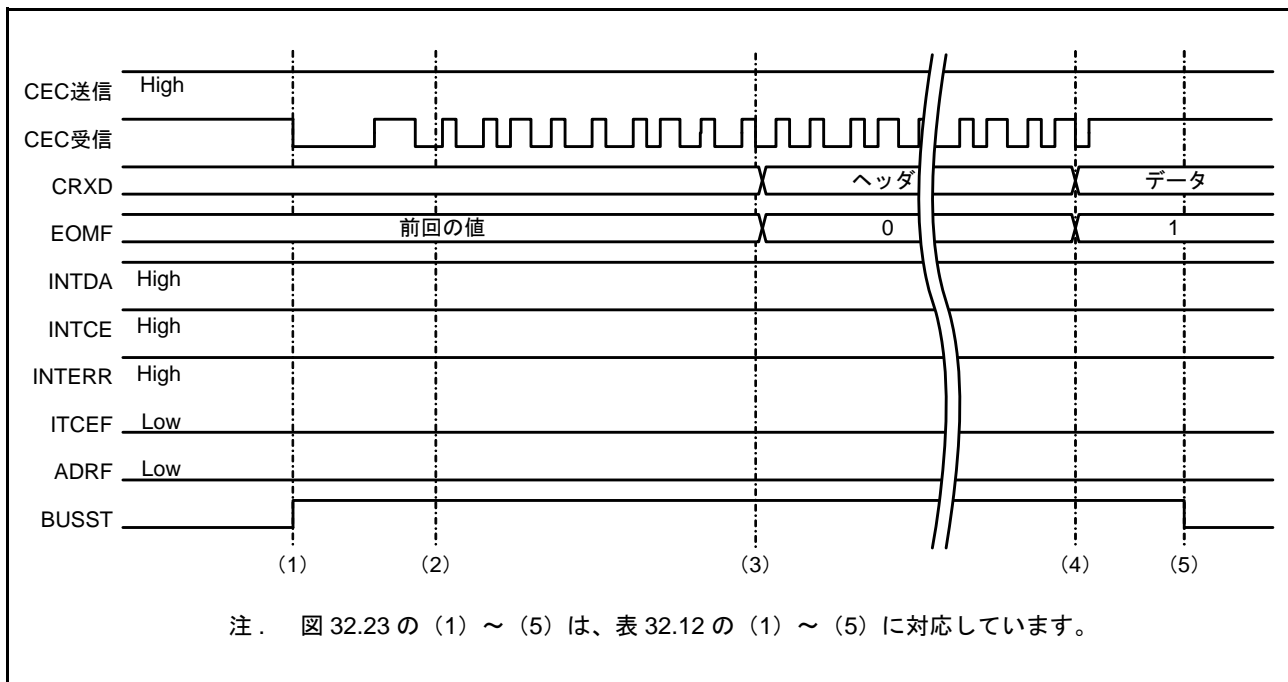


図 32.23 受信基本タイミング (2) (CECTL0.CECRXEN = 1、ダイレクトアドレス、アドレス不一致、CECTL1.CINTMK = 0)

表 32.12 CEC 受信操作手順 (2)

	ソフトウェア操作	CECの状態
CEC 受信動作		<p>[スタートビットの検出] CEC 受信信号の立ち下がりがエッジを検出し、受信動作を開始。BUSST フラグをセット (1)</p> <p>[サンプリング] NOMT の設定時間でデータをサンプリングし、順次シフトレジスタに格納 (2)</p> <p>[アドレス一致割り込み] ヘッダブロックで受信したアドレスと自局アドレスが不一致、CINTMK = 0 なので INTDA を発生せず、ACK/NACK も返さない (3) ただし、ビット長チェック、通信完了を検出するため、CEC ラインのモニタ動作は継続する。</p> <p>[ACK ビット送信] 他者間通信なので、ACK/NACK は返さない (4)</p> <p>[受信完了] EOM = 1 を受信したので、他者間通信完了と判断し、SFT[1:0] ビット設定にしたがってシグナルフリータイムをカウントし BUSST を "0" にする (5)</p>

(2) ブロードキャスト受信

受信フロー、タイミングチェック期間はダイレクトアドレス受信と同様です。イニシエータが送信した送り先アドレスが "Fh" であれば、ブロードキャスト受信として動作します。

ダイレクトアドレス受信との違いは、以下のとおりです。

- 正常動作の場合、ACK ビットのタイミングでロジカル 1 を送信します。
- 受信失敗、もしくは CECRXEN = 0 が設定されていた場合、ACK ビットのタイミングでロジカル 0 を送信します。

(3) CEC 受信割り込み

データ割り込み (INTDA)、通信終了割り込み (INTCE)、エラー割り込み (INTERR) の3つの割り込み機能を有しています。図 32.24 に CEC 受信時の割り込み発生タイミングを示します。

受信 (フォロウ) 時、データ割り込み (INTDA) は次のタイミングで出力します。

- ダイレクトアドレス通信のヘッダブロックで受信したアドレスと、自局アドレスが一致したとき
- CECCTL1.CINTMK = 1 設定時、ダイレクトアドレス通信のヘッダブロックでアドレス受信を完了したとき
- ヘッダブロックでブロードキャスト通信のアドレス受信を完了したとき
- データブロックでデータ受信を完了し、CRXD レジスタに受信データを格納したとき

受信 (フォロウ) 時、通信終了割り込み INTCE は次のタイミングで出力します。

- CECCTL1.CESEL[1:0] = 00b のとき
最終フレーム (EOM = 1) の ACK ビット完了時とシグナルフリータイムカウント完了時。
または、最終フレームの ACK ビットの High 期間からシグナルフリータイムカウント中に CEC ラインの立ち下がりエッジを検出したとき。
- CECCTL1.CESEL[1:0] = 01b のとき
最終フレーム (EOM = 1) の ACK ビット完了時。または、最終フレームの ACK ビットの High 期間からシグナルフリータイムカウント中に CEC ラインの立ち下がりエッジを検出したとき。
- CECCTL1.CESEL[1:0] = 10b のとき
シグナルフリータイムカウント完了時。

受信 (フォロウ) 時、エラー割り込み (INTERR) は以下のタイミングで出力します。

- タイミングエラーを検出したとき
- オーバランエラーを検出したとき
- CECCTL1.BLERRD = 1 設定時にバスロックエラーを検出したとき

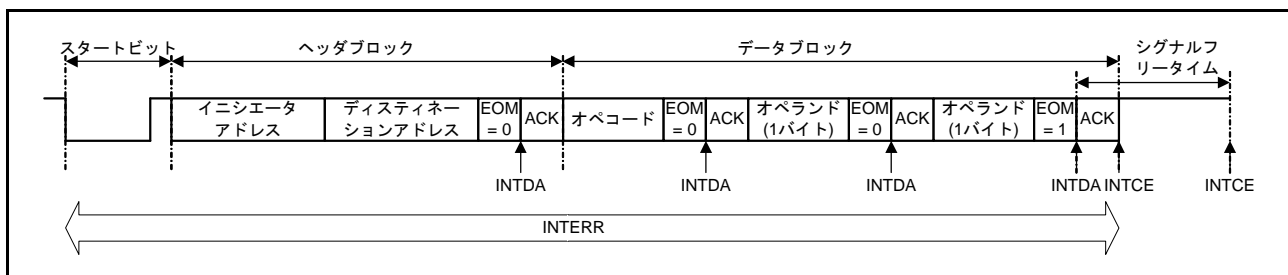


図 32.24 受信割り込みタイミング基本タイミング

32.3.3.6 ステータスフラグ機能

表 32.13 にステータスフラグの一覧を示します。

表 32.13 ステータスフラグの一覧

No.	ステータスフラグ	レジスタ.ビットシンボル
1	アドレス一致検出フラグ	CECS.ADRF
2	バスビジー検出フラグ	CECS.BUSST
3	送信ステータスフラグ	CECS.TXST
4	EOMフラグ	CECS.EOMF
5	INTCE発生要因フラグ	CECS.ITCEF
6	シグナルフリータイム書き換え禁止通知フラグ	CECS.SFTST
7	CEC Line モニタ	CECEXMON.CECLNMON
8	ACKフラグ	CECEXMON.ACKF

(1) アドレス一致検出フラグ

図 32.25 に示すように、フォロー動作時、ダイレクトアドレス通信時に受信したヘッダブロックのディスティネーションアドレスが、CEC 自局アドレス設定レジスタ (CADR) で設定したアドレスと一致した場合、またはブロードキャスト通信時にヘッダブロックのデータ割り込み (INTDA) 発生とともにアドレス一致フラグ (CECS.ADRF) がセットされます。

アドレス一致フラグは、最終フレーム (EOM = 1) 受信後、シグナルフリータイムカウント完了時に発生する通信完了割り込み (INTCE) のタイミングでクリアされます。

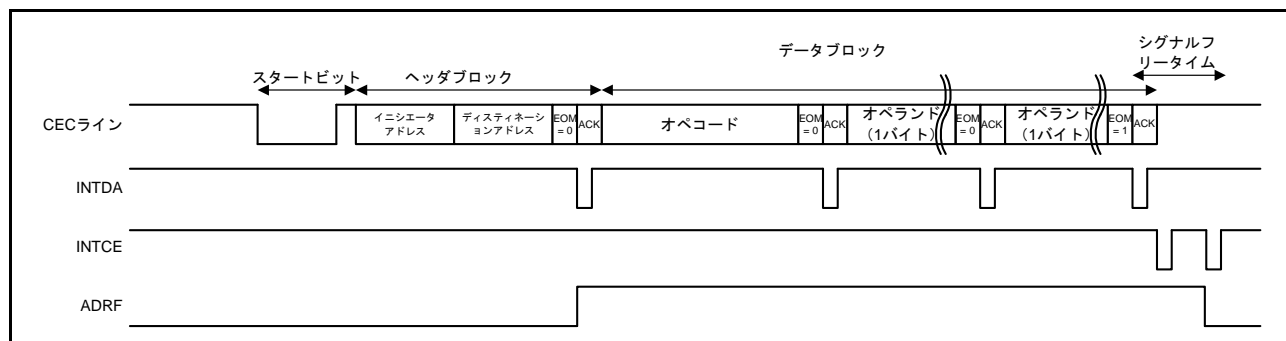


図 32.25 ADRF ビットの動作タイミング

(2) バスビジー検出フラグ

図 32.26 ~ 図 32.28 にバスビジーフラグ (CECS.BUSST) の動作タイミングを示します。CEC を動作許可したとき (CECCTL0.CECE = 0 → 1)、または CEC ラインの動作を検知したときにバスビジーフラグ (CECS.BUSST) がセットされます。

バスビジーフラグは通信が完了し、シグナルフリータイム経過後にクリアされます。

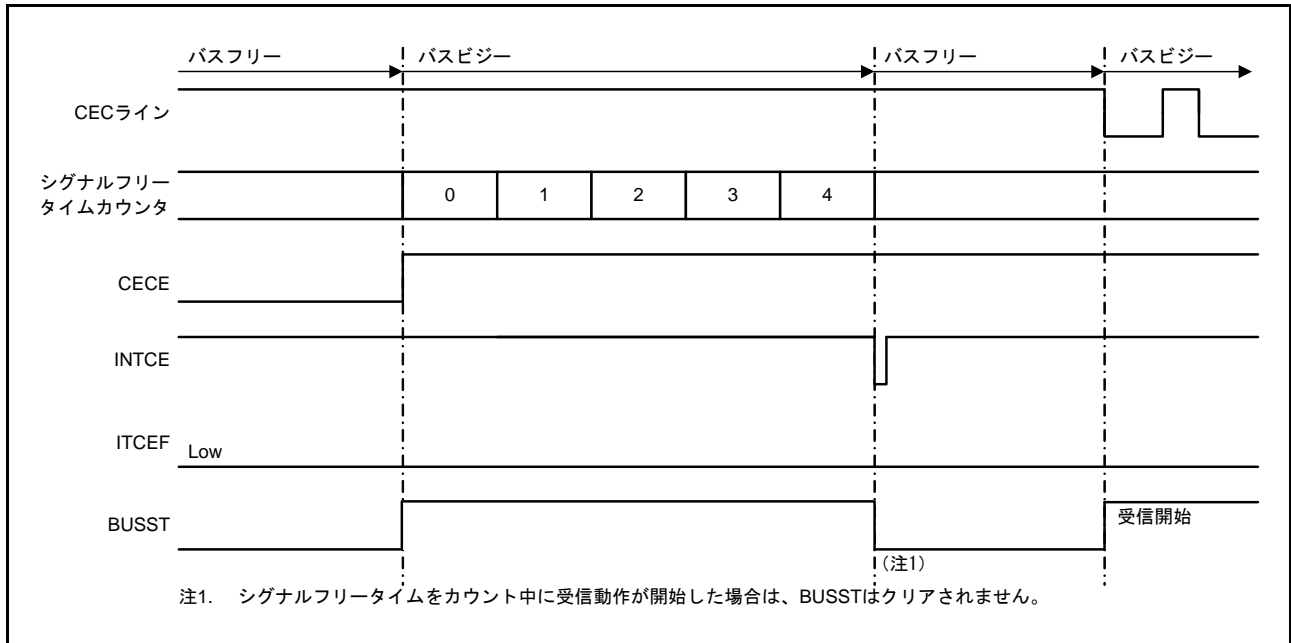


図 32.26 受信開始時の CECE = 1 にセットしたときのタイミング

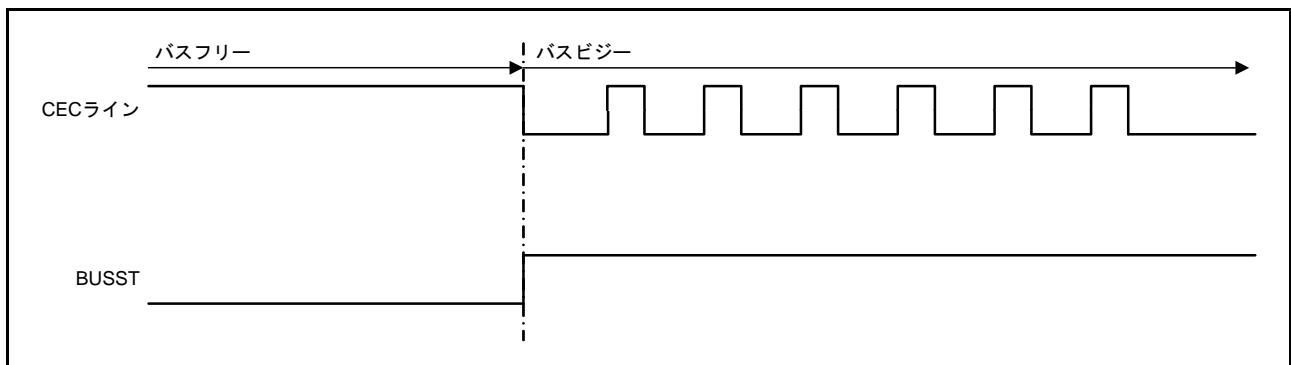


図 32.27 CEC ラインの立ち下がり検出タイミング

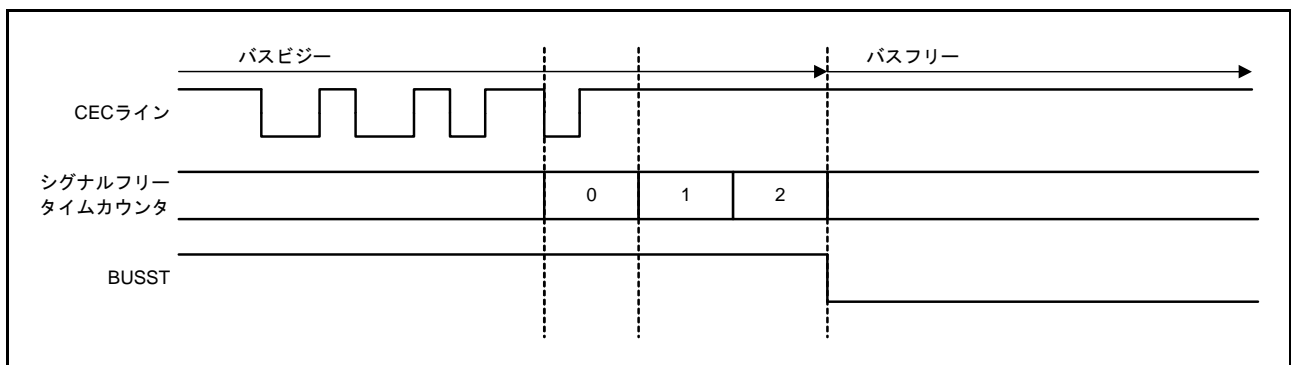


図 32.28 通信終了後、CECCTL1.SFT[1:0] ビットで設定したシグナルフリータイムを経過した場合のタイミング

(3) 送信ステータスフラグ

図 32.29 に示すように、イニシエータ動作時に送信開始トリガビット (CECTL0.TXTRG) への“1”書き込みしたときに、送信ステータスフラグ (CECS.TXST) がセットされます。

送信ステータスフラグは、EOM = 1 であるデータブロックの ACK 受信完了時に発生する通信完了割り込み (INTCE) のタイミングでクリアされます。ただし、図 32.30 に示すように、アービトレーション負けが発生した場合は、エラー割り込み (INTERR) を発生、アービトレーション負け検出フラグ (CECES.AERR) のセットとともに送信ステータスフラグがクリアされます。

アンダランエラーが発生した場合も同様に、エラー割り込み (INTERR) の発生とともに送信ステータスフラグがクリアされます。

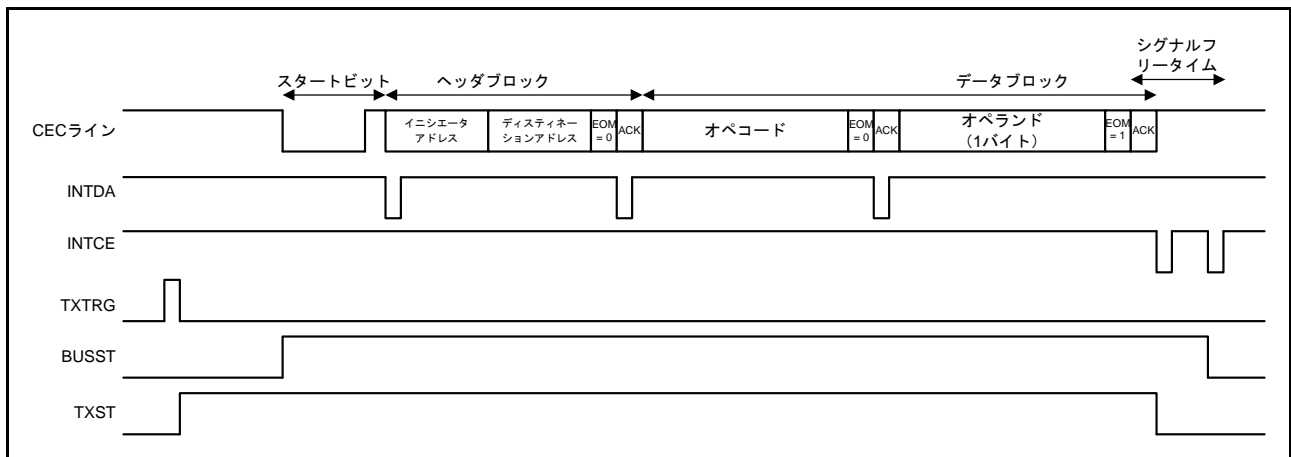


図 32.29 通常送信動作時の送信ステータスフラグタイミング

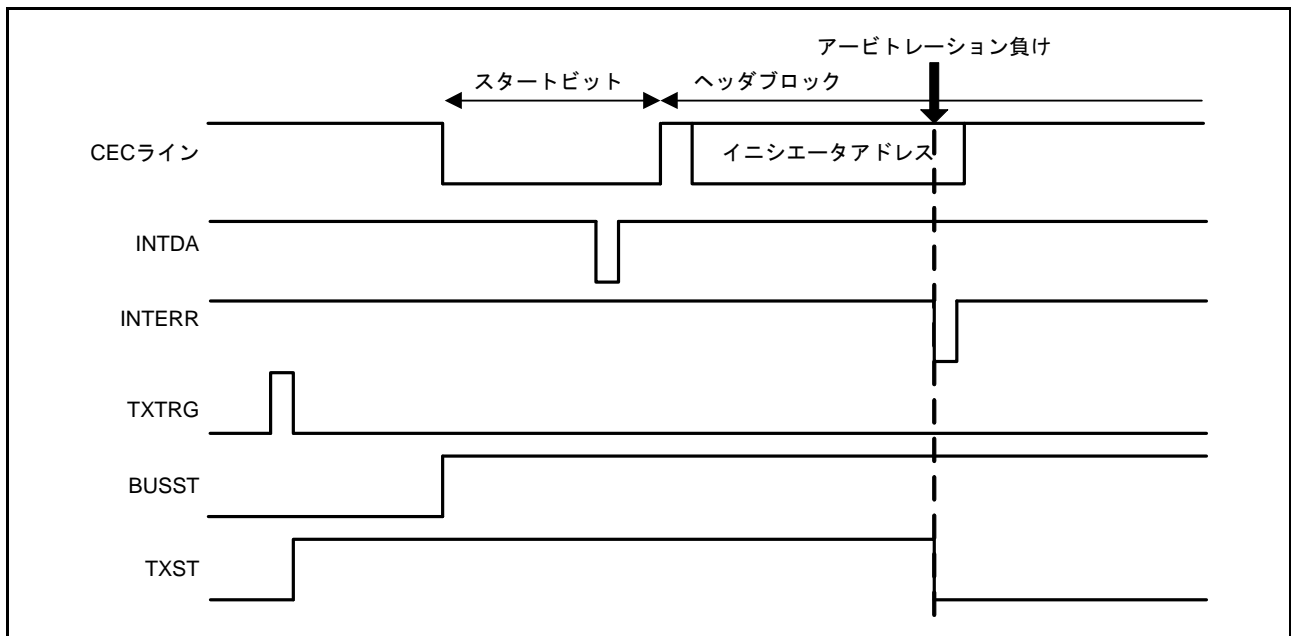


図 32.30 アービトレーション負け時の送信ステータスフラグタイミング

(4) EOM フラグ

図 32.31 に示すように、フォロー動作時、データ割り込み (INTDA) 発生とともに EOM フラグ (CECS.EOMF) が更新されます。

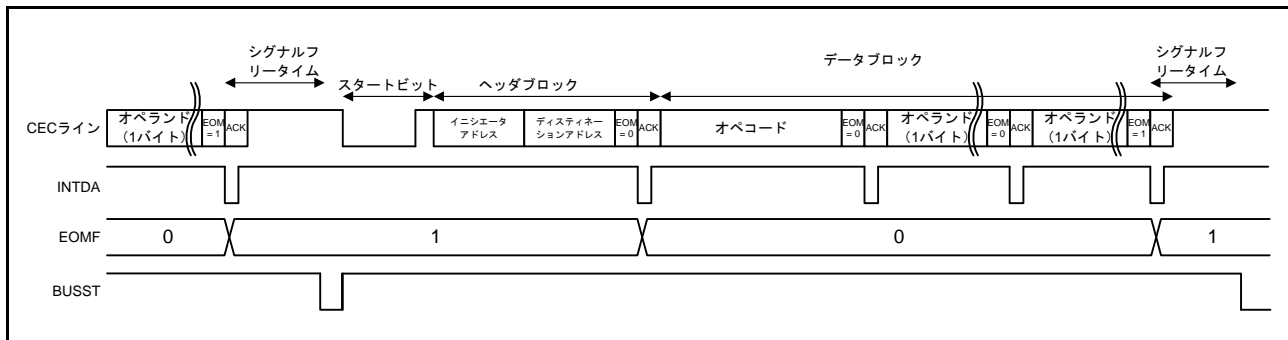


図 32.31 EOMF ビット動作タイミング

(5) INTCE 発生要因フラグ

通信完了割り込み (INTCE) 発生時に発生要因を示すフラグです。最終ブロックの ACK 受信タイミングまたはエラー発生時に通信完了割り込み (INTCE) とともに INTCE 発生要因フラグ (CECS.ITCEF) がセットされます。

通信完了後、シグナルフリータイム経過により、INTCE 発生要因フラグはクリアされます。ただし、シグナルフリータイム中に受信動作が始まった場合は、INTCE 発生要因フラグはクリアされず、“1”の状態を継続します。図 32.32 に、INTCE 発生要因フラグ (CECS.ITCEF) による INTCE 発生要因確認例を示します。

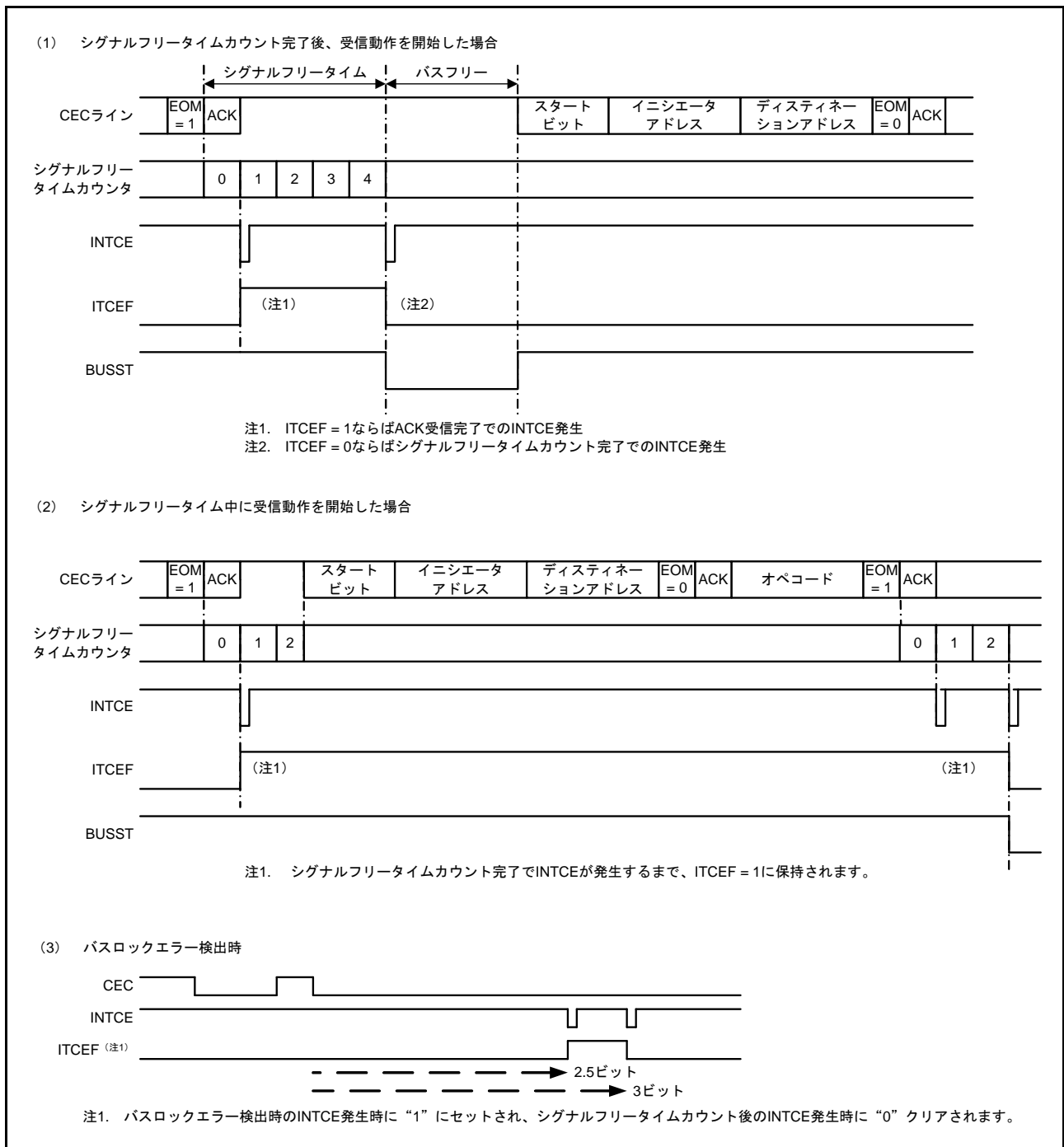


図 32.32 CECCTL1.CESEL[1:0] = 00b のときの ITCEF による INTCE 発生要因確認

(6) シグナルフリータイム書き換え禁止通知フラグ

シグナルフリータイムデータビット幅選択ビット (CECCTL1.SFT[1:0]) の書き換え動作禁止期間を示すフラグです。図 32.33 に示すように、CECCTL1.SFT[1:0] レジスタへのアクセス時にシグナルフリータイム書き換え禁止通知フラグ (CECS.SFTST) がセットされます。

CECCTL1.SFT[1:0] レジスタ設定値が CEC 内部制御回路へ反映された後、シグナルフリータイム書き換え禁止通知フラグはクリアされます。

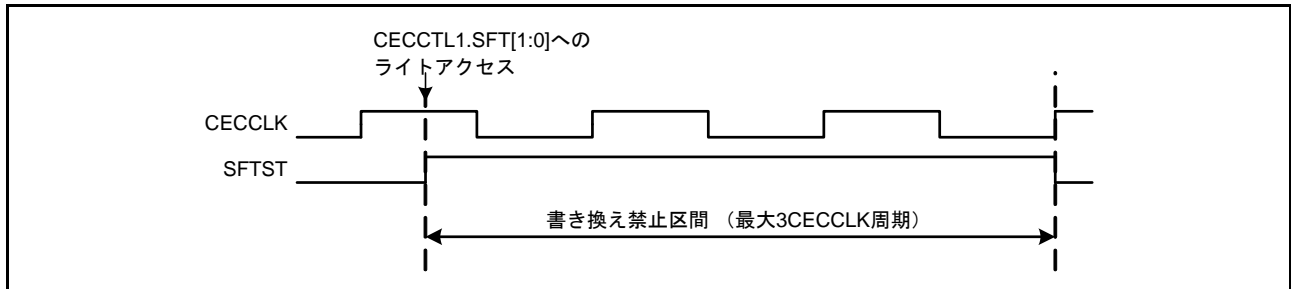


図 32.33 SFTST ビットの動作タイミング

(7) CEC Line モニタ

図 32.34 に、CECEXMON.CECLNMON ビットの動作タイミングを示します。

CECEXMON.CECLNMON ビットをリードすると、CEC 端子の状態が読めます。

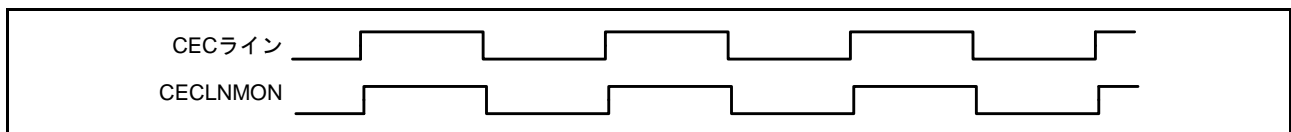


図 32.34 CECLNMON ビット動作タイミング

(8) ACK フラグ

フォロワ動作時、ACK ビット受信のタイミングで ACK フラグ (CECEXMON.ACKF) が更新されます。

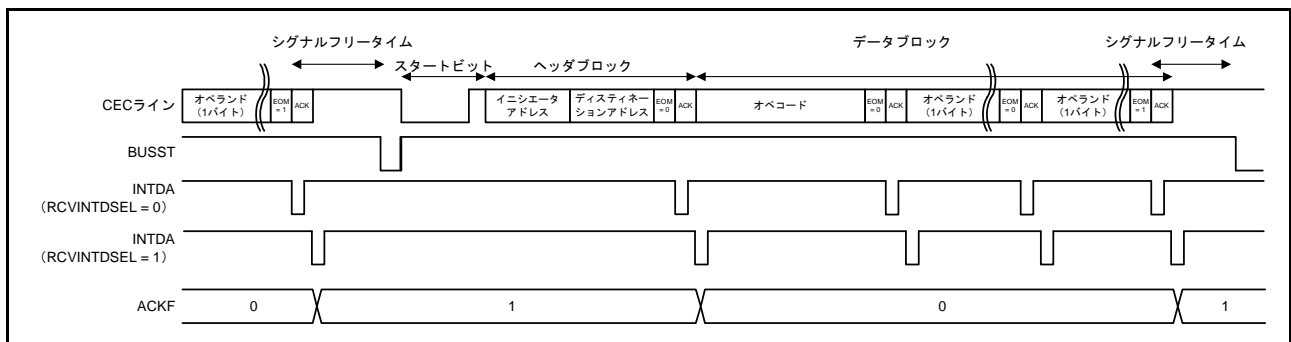


図 32.35 ACKF ビット動作タイミング

図 32.35 に示すように、CECEXMD.RCVINTDSEL = 0 で ACKF ビットを読み出す場合はデータ割り込み (INTDA) 発生後、1 ビット時間 WAIT をおいて読み出すことで、受信した ACK 状態が読み出せます。(データ割り込み後に読み出した場合、1 つ前に受信したデータの ACK が読み出されます。)

CECEXMD.RCVINTDSEL = 1 で ACKF ビットを読み出す場合は、データ割り込み (INTDA) 発生後、読み出してください。最新の受信データの ACK を読み出すことができます。

32.3.3.7 CEC 割り込み

CEC 送受信回路は 3 種類の割り込み要求を発生します。

- データ割り込み (INTDA、INTDAA)
 - 送信時は各ブロック送信開始のタイミングで発生します。
 - 受信時は受信割り込みタイミング変更ビットの値により、CECEXMD.RCVINTDSEL = 0 の場合は各 EOM ビット受信完了のタイミング、CECEXMD.RCVINTDSEL = 1 の場合は各 ACK ビット送信完了タイミングで発生します。
- 通信完了割り込み (INTCE、INTCEA)
 - 送信 / 受信共にメッセージ完了およびシグナルフリータイム完了で割り込みが発生します。通信完了割り込み発生タイミング変更ビット (CECTL1.CESEL[1:0]) によりいずれかのみとすることも可能です。
- エラー割り込み (INTERR、INTERRA)
 - エラー発生時に割り込みが発生します。

各割り込みの発生タイミングを図 32.36 に示します。

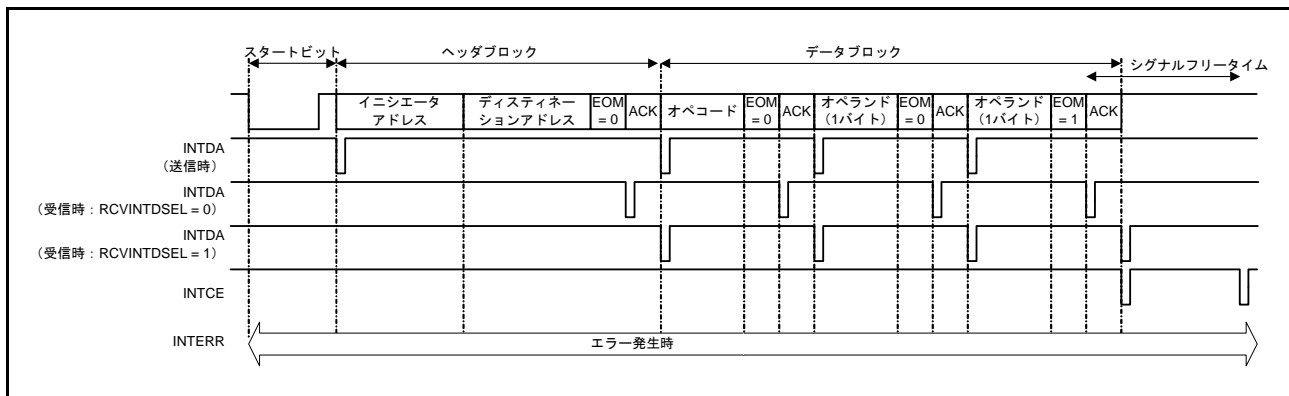


図 32.36 割り込み発生タイミング

なお、3 種類の割り込み要求には、それぞれ 2 系統の割り込み要求を出力することができます。割り込み要求の使用用途に応じて、2 系統を排他的に使用してください。それぞれの CEC 割り込み要求が対応する使用用途については表 32.14 を参照してください。

表 32.14 CEC 割り込み対応要因一覧

割り込み名称	対応する要因				
	CPU 割り込み	DTC 起動	DMAC 起動	ソフトウェアスタンバイモードからの復帰	全モジュールクロックストップモードからの復帰
INTDAA	○	○	×	○	○
INTCEA	○	○	×	○	○
INTERRA	○	○	×	○	○
INTDA	○	○	○	×	×
INTCE	○	○	○	×	×
INTERR	○	×	×	×	×

32.3.3.7.1 エラー割り込み要因

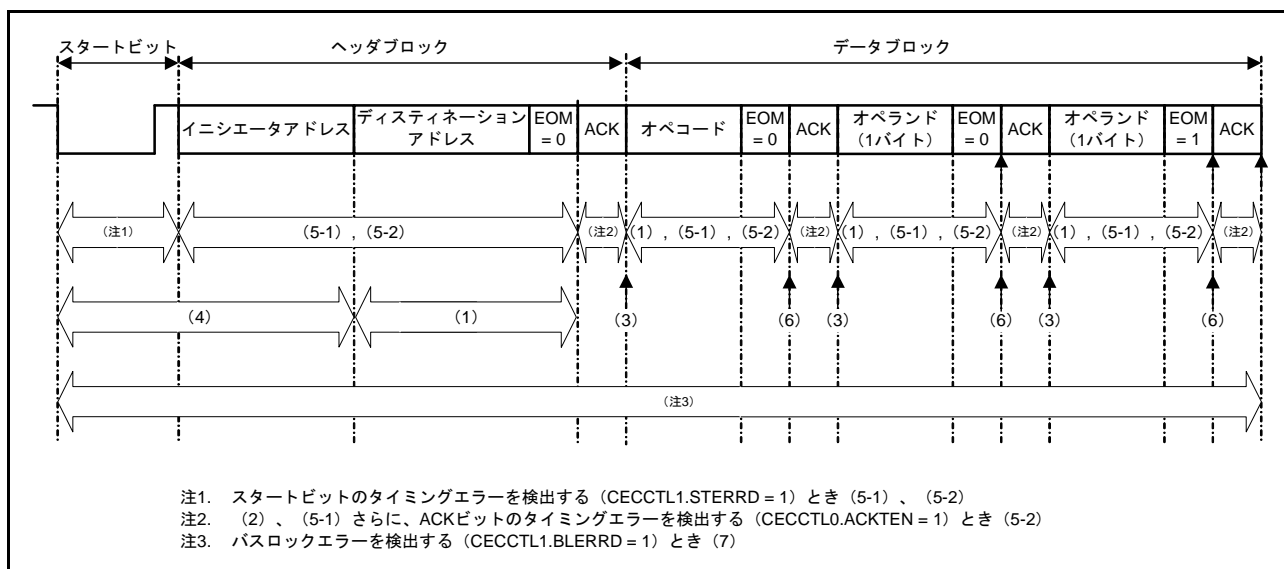
CECは以下の7つのエラーを検出します。

表 32.15 にイニシエータ/フォロワ別の検出可能エラーを、図 32.37 にエラー検出期間を示します。

表32.15 イニシエータ/フォロワ別の検出可能エラー

エラー	イニシエータ	フォロワ
(1) 送信エラー	○	×
(2) ACKエラー	○	×
(3) アンダランエラー	○	×
(4) アービトレーションエラー	○	×
(5-1) タイミングエラー (Low幅)	○	○
(5-2) タイミングエラー (ビット幅)	○	○
(6) オーバランエラー	×	○
(7) バスロックエラー	×	○

○ : 検出 × : 未検出



以降に各エラーの詳細を示します。

(1) 送信エラー

図 32.38 に示すように、イニシエータ動作時、自身が送信したデータと、CEC ラインの受信データの論理比較を行い、異なる場合に送信エラーとなります。CEC 受信データサンプリング時間設定レジスタ (NOMT) の設定値のタイミングでエラー判定をします。エラー判定区間は、EOM ビットを含むフレームのデータビット期間でエラー判定を行います。エラー検出後、エラー割り込み (INTERR) を発生させ、送信エラー検出フラグ (CECES.TXERR) をセットし、そのビットで送信を停止します。通信完了割り込み (INTCE) は CECCTL1.CESEL[1:0] の設定により、停止したビットの最後および、シグナルフリータイムカウント後で発生します。

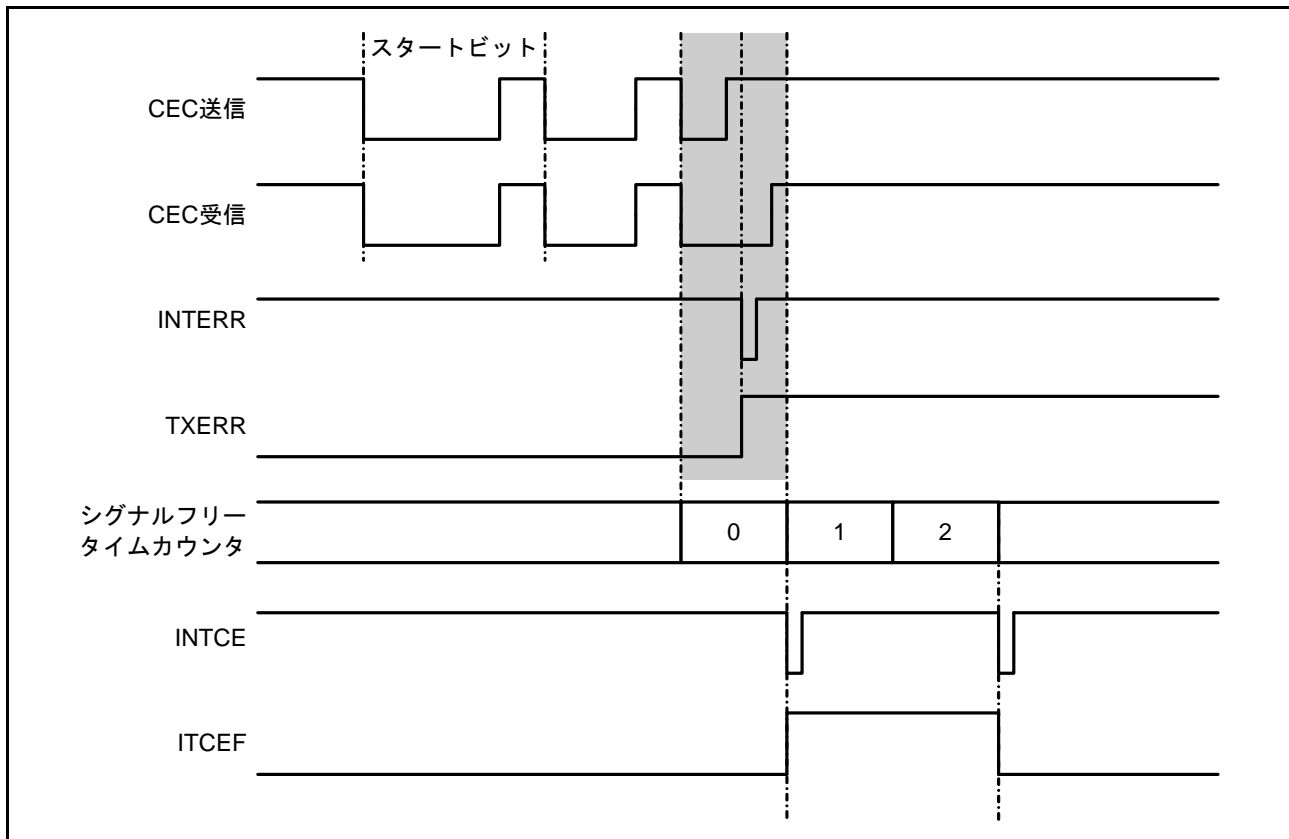


図 32.38 送信エラー検出波形 (シグナルフリータイム 3 ビット設定時)

送信エラーを検出すると、CECCTL0.EOM ビット設定値に関わらず、エラーを検出したビットで送信動作を停止します。

イニシエータが EOM = 1 を送信しているにも関わらず、EOM = 0 を受信した場合、送信エラーと判断して送信を停止します。フォロワは EOM = 0 なので送信が継続すると判断します。そのため、データ受信待ちとなります。CECCTL1.BLERRD = 1 に設定している場合は、受信データの High および Low 張り付きを検出できます。

(2) ACKエラー

ダイレクトアドレス送信時は、ACK ビットタイミングでイニシエータがロジカル 1 を受信した場合 ACK エラーとなります。ブロードキャスト送信時は、ACK ビットタイミングでイニシエータがロジカル 0 を受信した場合に ACK エラーとなります。図 32.39 に ACK エラー検出タイミングを示します。

CEC 受信データサンプリング時間設定レジスタ (NOMT) の設定値のタイミングでエラー判定をします。エラー検出後、エラー割り込み (INTERR) を発生させ、ACK エラー検出フラグ (CECES.ACKERR) をセットします。ACK ビット終了後、通信待機状態になり、シグナルフリータイムをカウントします。通信完了割り込み (INTCE) は CECCTL1.CESEL[1:0] の設定値により、1 回もしくは 2 回発生します。

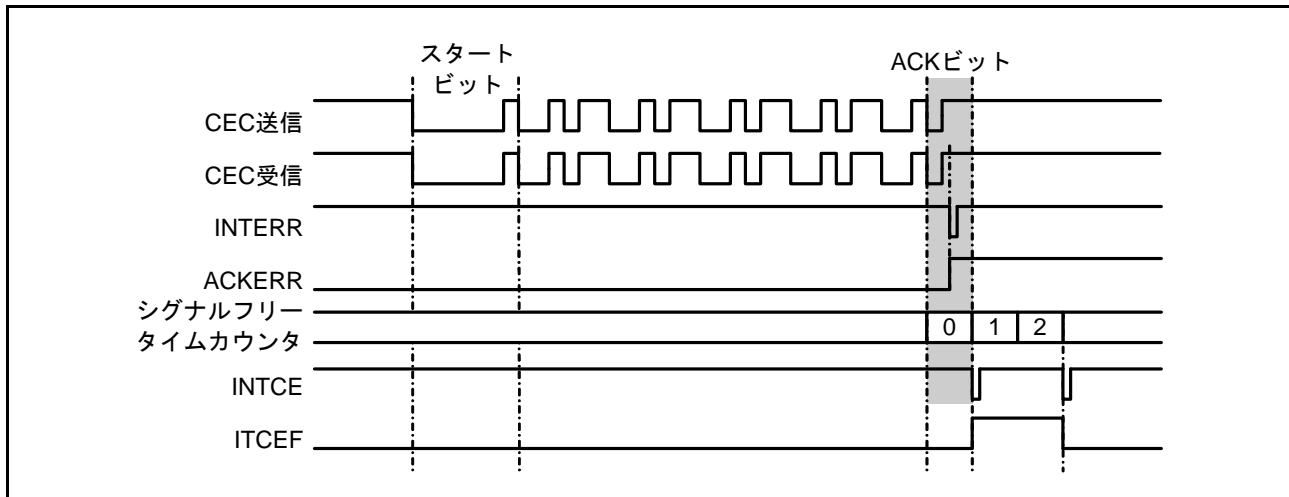


図 32.39 ダイレクトアドレス通信時の ACK エラー (シグナルフリータイム 3 ビットタイム設定時)

(3) アンダランエラー

次のデータ送信を開始するタイミングで、送信バッファにデータが設定されていない場合にアンダランエラーとなります。図 32.40 に示すようにアンダランエラーを検出した場合、エラー割り込み (INTERR) を発生させ、アンダランエラー検出フラグ (CECES.UERR) をセットし、送信を中断し通信待機状態となります。通信完了割り込み (INTCE) は CECCTL1.CESEL[1:0] の設定値に依存して 1 回もしくは 2 回発生します。

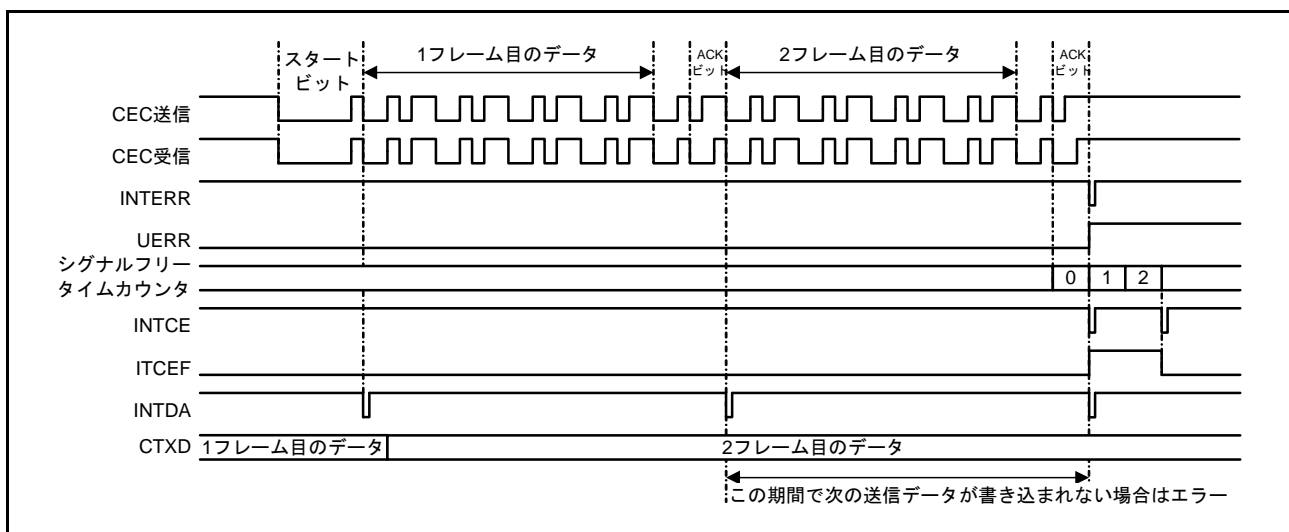


図 32.40 アンダランエラータイミング

(4) アービトレーションエラー

図 32.41 に示すように、送信開始トリガ (CECTL0.TXTRG) の設定から送り元アドレス送信中の期間に、ロジカル 1 送信に対して、ロジカル 0 を受信した場合は、アービトレーションエラーとなります。送信開始トリガ設定からスタートビット出力までのエラー判定は、CEC 送信信号に Low を出力するタイミングでエラー判定をします。送り元アドレス送信中は CEC 受信データサンプリング時間設定レジスタ (NOMT) の設定値のタイミングでエラー判定をします。エラー検出後、エラー割り込み (INTERR) を発生させ、アービトレーション負け検出フラグ (CECES.AERR) をセットします。このとき、送信は中断しますが、受信動作は継続します。送り元アドレス検出期間までは、図 32.42 に示すように、複数同時にエラーフラグを検出する場合があります。

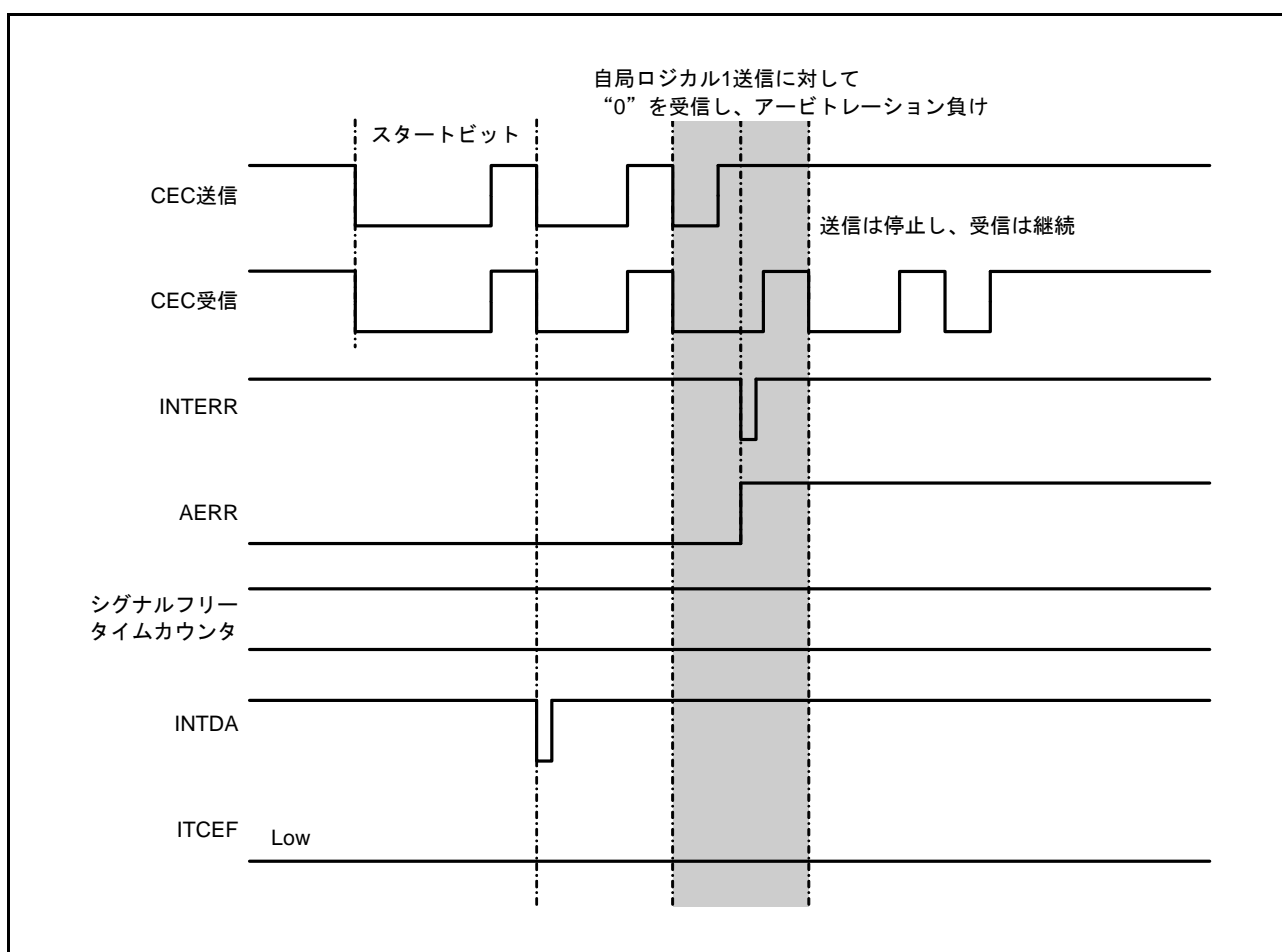


図 32.41 アービトレーションタイミング

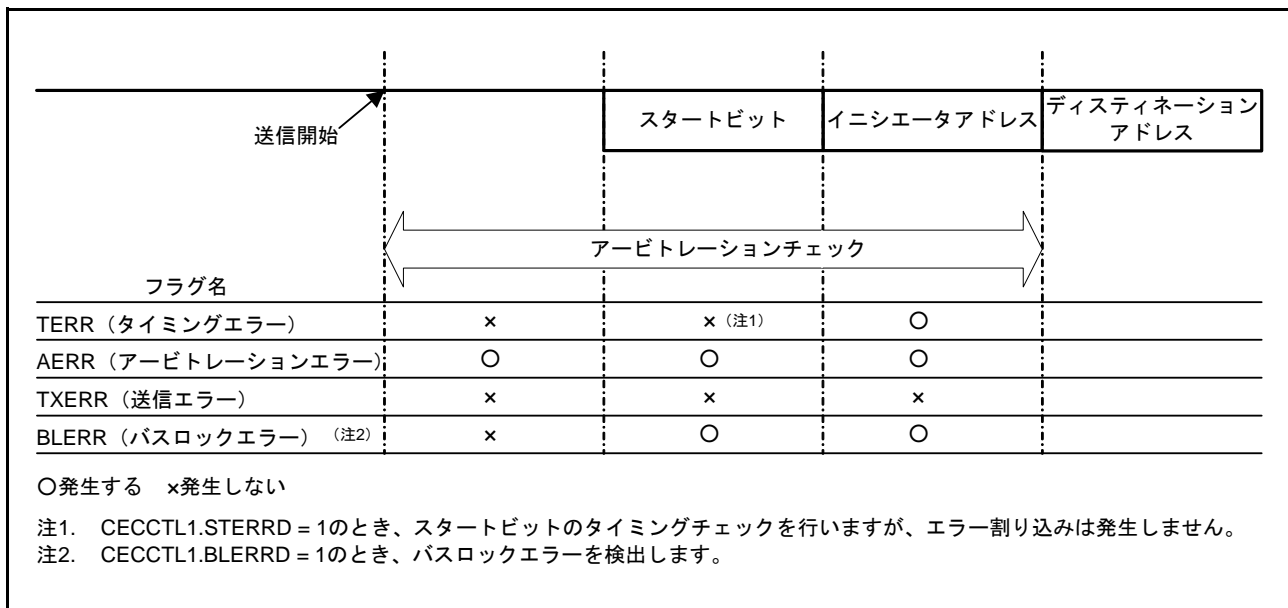


図 32.42 アービトレーションエラーと他のエラーの関係

【アービトレーションエラー詳細説明】

送信開始トリガ (CECCTL0.TXTRG) をセットしてから、イニシエータアドレス出力期間までのアービトレーションチェックの詳細を次に示します。

(a) 送信開始トリガ (CECCTL0.TXTRG) セットでのアービトレーションチェック

送信開始トリガ (CECCTL0.TXTRG) をセットしてから、2CECCLK 周期後にアービトレーションチェックをします。アービトレーション負けと判断すると、エラー割り込み (INTERR) を発生し、アービトレーション負け検出フラグ (CECES.AERR) をセットし、受信モードに切り変わります。

(b) スタートビット出力期間

送信開始トリガ (CECCTL0.TXTRG) をセットして、実際にスタートビットが出力される際に、受信ラインに Low を検出するとアービトレーション負け検出フラグ (CECES.AERR) をセットし、受信モードに切り変わります。また、STATLH で設定したスタートビットの Low 幅 MAX 値を越えて、受信ラインの立ち上がりエッジを検出した場合、アービトレーション負け検出フラグ (CECES.AERR) をセットし、受信モードに切り変わります。

(c) イニシエータアドレス出力期間

スタートビット送信完了後、イニシエータアドレス送信開始と同時に論理チェックを行います。自局アドレスよりも若いアドレスを検出した場合、エラー割り込み (INTERR) を発生し、アービトレーション負け検出フラグ (CECES.AERR) をセットし、受信モードに切り変わります。

(5) タイミングエラー

イニシエータ/フォロワの動作時でも、CEC受信信号のタイミングエラーチェックを行います。設定したレジスタの範囲外であればタイミングエラーとなります。図 32.43 に示すように、Low 幅のタイミングエラーの場合は、立ち上がりエッジを検出したタイミングで検出し、ビット幅のタイミングエラーの場合は、MIN 側は立ち下がりエッジを検出したタイミングでエラーを検出し、MAX 側はビット幅 MAX 設定値を越えても立ち下がりエッジが来ない場合にエラーを検出します。ACK ビットのタイミングチェックを行うか否かは CECCTL0.ACKTEN ビットで選択できます。ただし、CECCTL0.ACKTEN = 1 に設定したときでも、最終データブロック (EOM = 1 のとき) の ACK ビットのみビット幅 MAX 側のチェックを行いません。ビット幅の MIN 側はチェックを行います。図 32.44 に示すように、ビット幅が短いタイミングエラーを検出すると、フォロワ動作時は NOMP レジスタで設定した 1 ビット幅の 1.5 倍の期間 Low パルス (エラーハンドリングパルス) を送信し、イニシエータ動作時は即座に送信を停止し通信待機状態に遷移します。

エラーハンドリングパルスの送信はスタートビットのタイミングエラー検出では行いません。

ビット幅が短い以外のタイミングエラーを検出した場合、イニシエータ動作時は送信を停止します。フォロワ動作時は、図 32.45 に示すように受信を継続し ACK ビットタイミングでダイレクトアドレス通信時はロジカル 1、ブロードキャスト通信時はロジカル 0 を送信します。

通信完了割り込み (INTCE) の発生タイミングは CECCTL1.CESEL[1:0] の設定値に依存します。

最終 ACK ビット幅 MIN のタイミングエラーを検出したら、エラー割り込み (INTERR) と同時に通信完了割り込み (INTCE) も出力します。

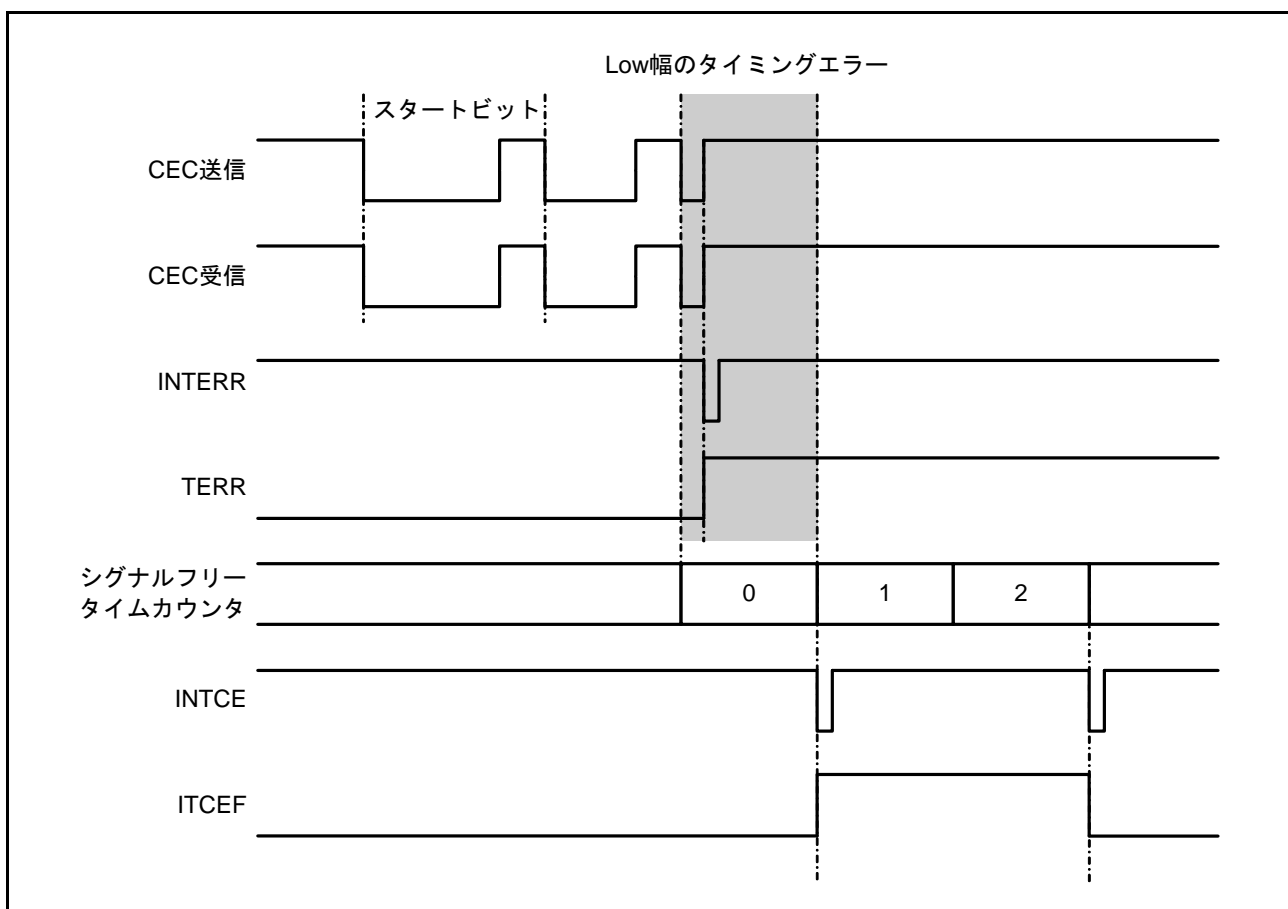


図 32.43 イニシエータ動作時のタイミングエラー

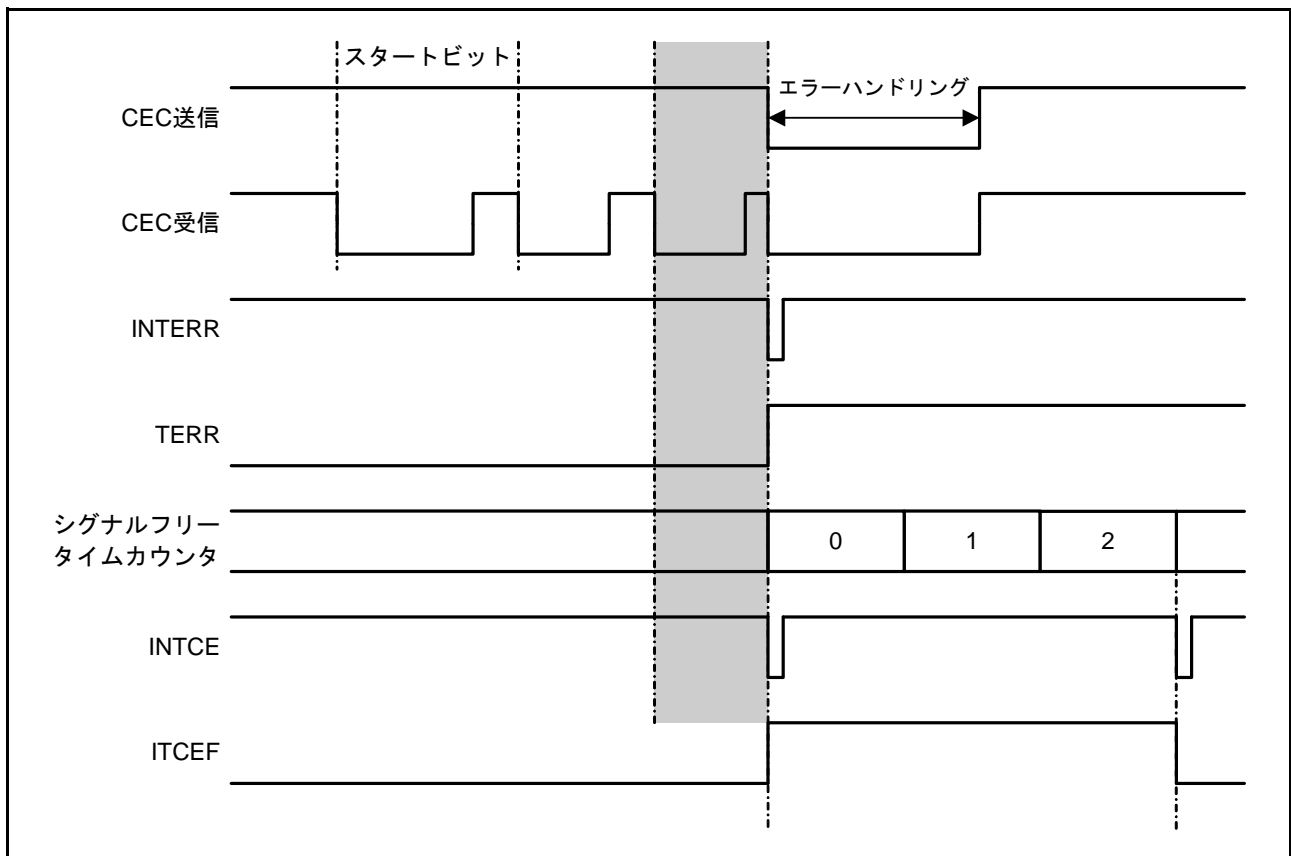


図 32.44 フォロワ動作時のビット幅が短い場合のタイミングエラー

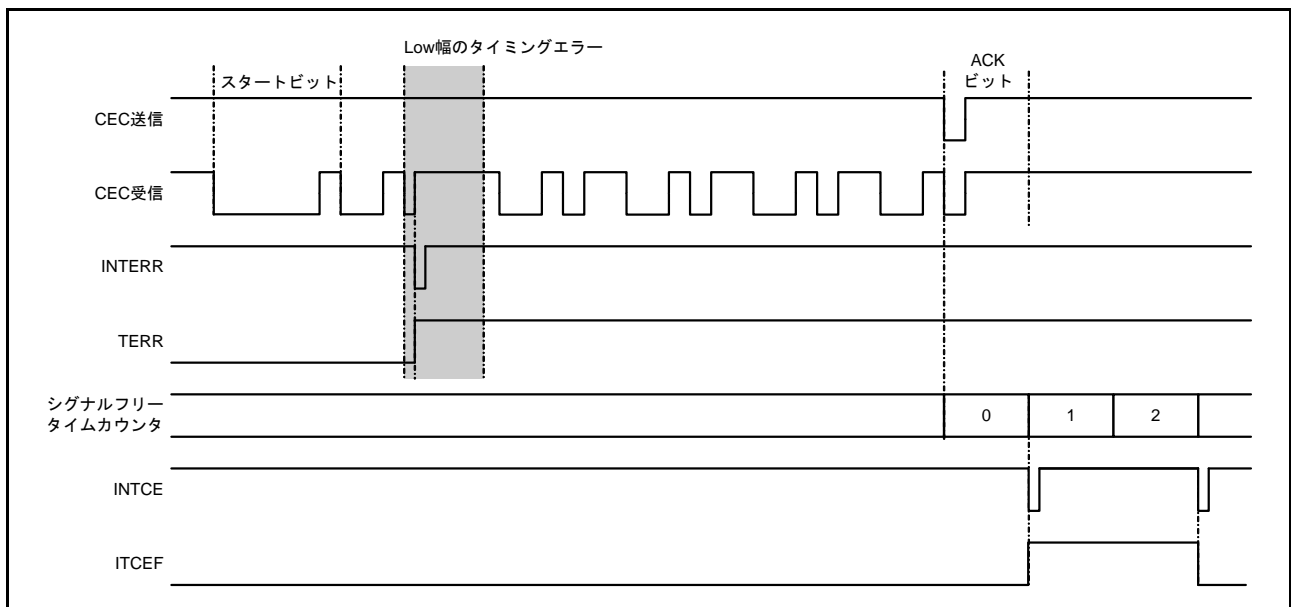


図 32.45 フォロワ動作時のビット幅が短い場合以外のタイミングエラー

(6) オーバランエラー

フォロー動作時に、受信バッファレジスタ (CRXD) からデータをリードする前に、次のデータ受信が完了した場合にオーバランエラーとなります。図 32.46 に示すように、エラー割り込み (INTERR) を発生させ、オーバランエラー検出フラグ (CECES.OERR) をセットします。受信バッファレジスタ (CRXD) の値は新しい値に上書きされます。その後、オーバランエラーが発生したブロックの ACK 送信タイミングで、ダイレクトアドレス通信時はロジカル 1、ブロードキャスト通信時はロジカル 0 を返信し、イニシエータに受信が失敗したことを伝え受信待機状態に遷移します。通信完了割り込み (INTCE) は CECCTL1.CESEL[1:0] の設定に依存して動作します。

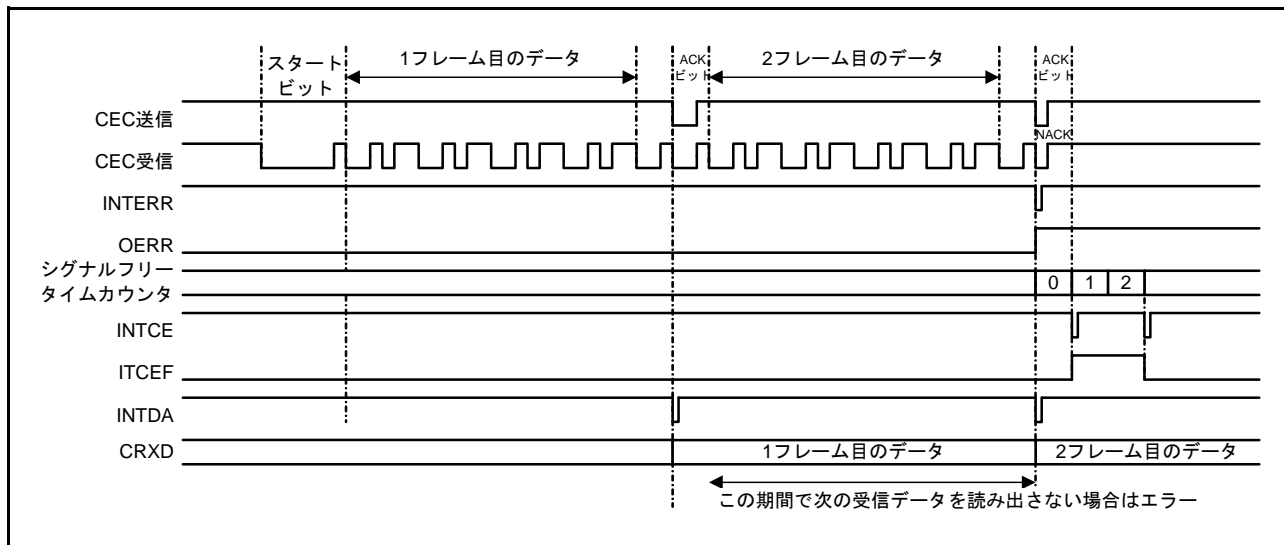


図 32.46 オーバランエラー (シグナルフリータイム 3 ビット設定時)

(7) バスロックエラー

バスロックエラーを検出する (CECCTL1.BLERRD = 1) 設定とした場合、通信状態 (CECS.BUSST = 1) で、NOMP で設定した 1 データビット幅の 2.5 倍の期間、CEC 受信信号が High/Low に張り付いている場合にバスロックエラーとなります。図 32.47 にバスロックエラー検出タイミングを示します。

エラーを検出すると、エラー割り込み (INTERR) を発生させバスロックエラー検出フラグ (CECES.BLERR) をセットし、通信待機状態となり、シグナルフリータイムをカウントします。通信完了割り込み (INTCE) は CECCTL1.CESEL[1:0] の設定に依存して動作します。

バスロックエラーの検出はフォロワのみとなります。

バスロックエラーを検出しない (CECCTL1.BLERRD = 0) 設定とした場合はバスロックエラーを検出しません。バスロックの判定は CECEXMON.CECLNMON ビットをモニタし、ソフトウェアにてバスロックの判定、および処理を行ってください。

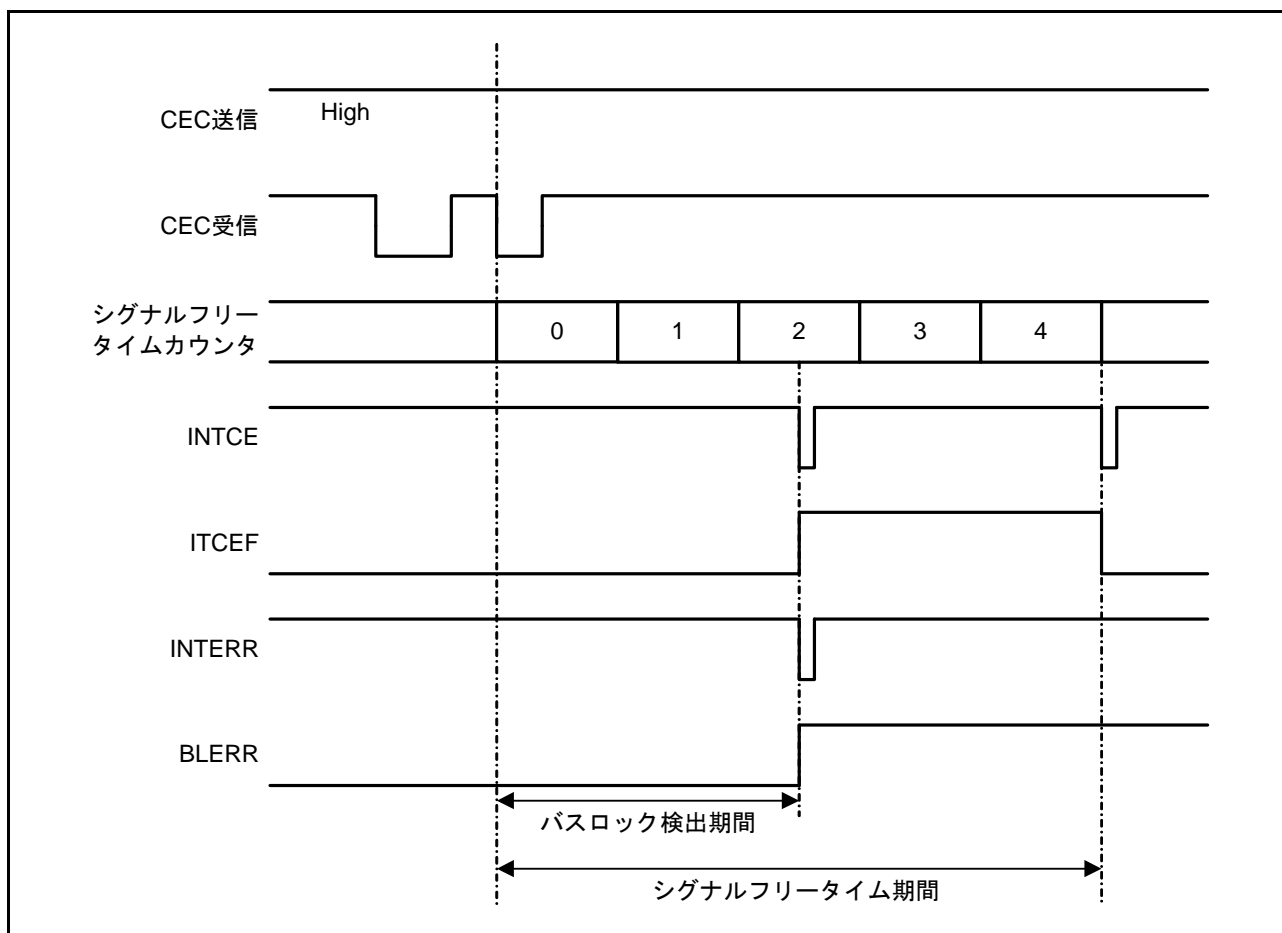


図 32.47 フォロワ動作時 (シグナルフリータイム 5 ビット設定時)

32.3.3.7.2 エラーフラグのクリア方法

CEC 通信エラーステータスレジスタ (CECES) にセットされたエラーフラグは、CEC 通信エラーフラグクリアトリガレジスタ (CECF) の対象ビットに 1 をセットすることでクリアが可能です。図 32.48 はアービトレーションエラーが発生した場合を示しています。CECF レジスタに 20h を設定することで、アービトレーション負け検出フラグをクリアできます。

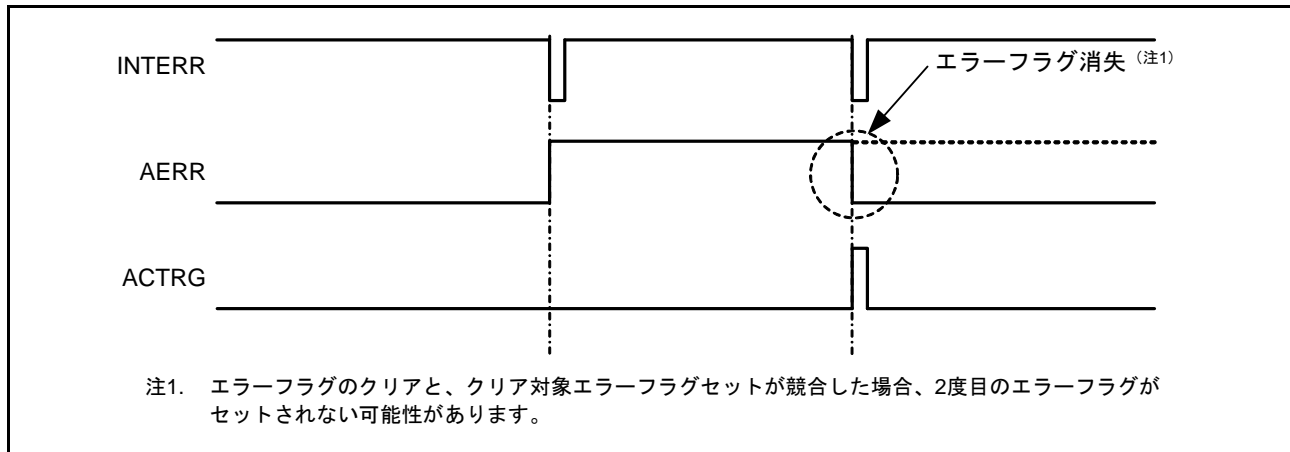


図 32.48 同一エラーが 2 回発生し、クリアトリガと競合したとき

32.3.3.8 シグナルフリータイム

シグナルフリータイムの完了は、設定した時間 (NOMP レジスタで設定した 1 ビット幅の 3/5/7 ビット分) との一致検出により、通信完了割り込みを発生することで通知します。シグナルフリータイムのビット数は CECCTL1.SFT[1:0] で設定し、通信完了割り込みは CECCTL1.CESEL[1:0] を設定することで割り込み発生タイミングを選択できます。カウント開始タイミングは受信データの立ち下がり検出時です。通常の通信では、EOM=1 の ACK ビット立ち下がりエッジ検出後にシグナルフリータイムのカウントを開始します。

エラーが発生した場合も、通信停止後にシグナルフリータイムのカウントを開始します。

エラーハンドリングパルス (ビット幅 1.5 倍の Low パルス) を受け付けた場合は、エラーハンドリングパルスの立ち下がりエッジからカウント動作を開始します。図 32.49 は CECCTL1.CESEL[1:0] = 00b、CECCTL1.SFT[1:0] = 10b に設定し、7 データビット幅のシグナルフリータイム検出とした場合の動作例です。

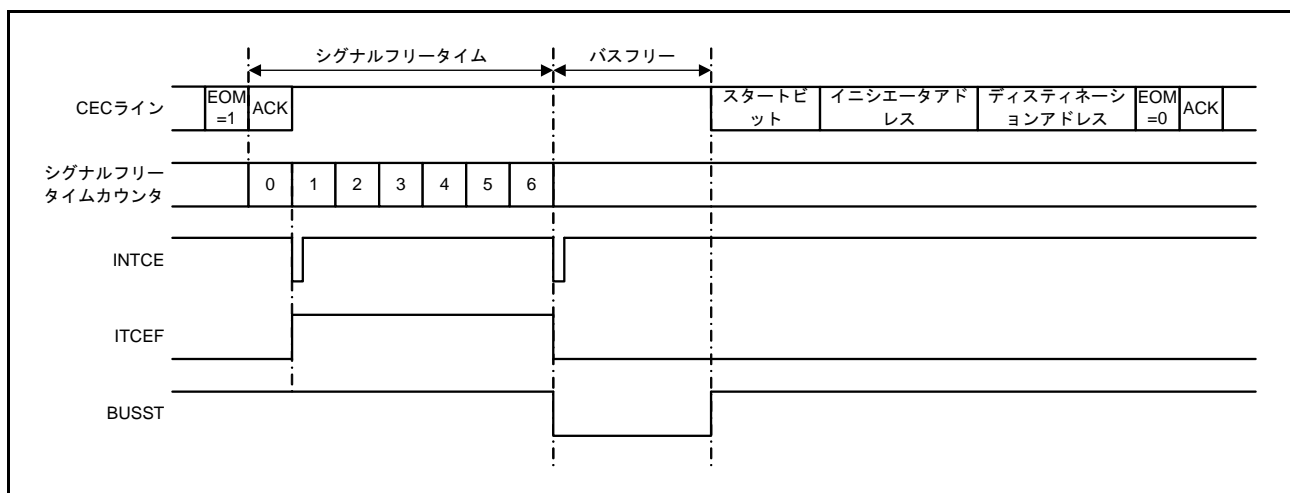


図 32.49 シグナルフリータイムの動作

シグナルフリータイムカウント中に CECCTL1.SFT[1:0] レジスタの値を、現在のビット数より小さく書き換える場合、書き換え後のビットカウント値までに書き換えを完了してください。書き換えが間に合わなかった場合、カウンタがオーバーフローして、再度ビット数が一致するまで、シグナルフリータイム期間となります。図 32.50 に 5 データビット幅から 3 データビット幅に変更する場合の例を示します。

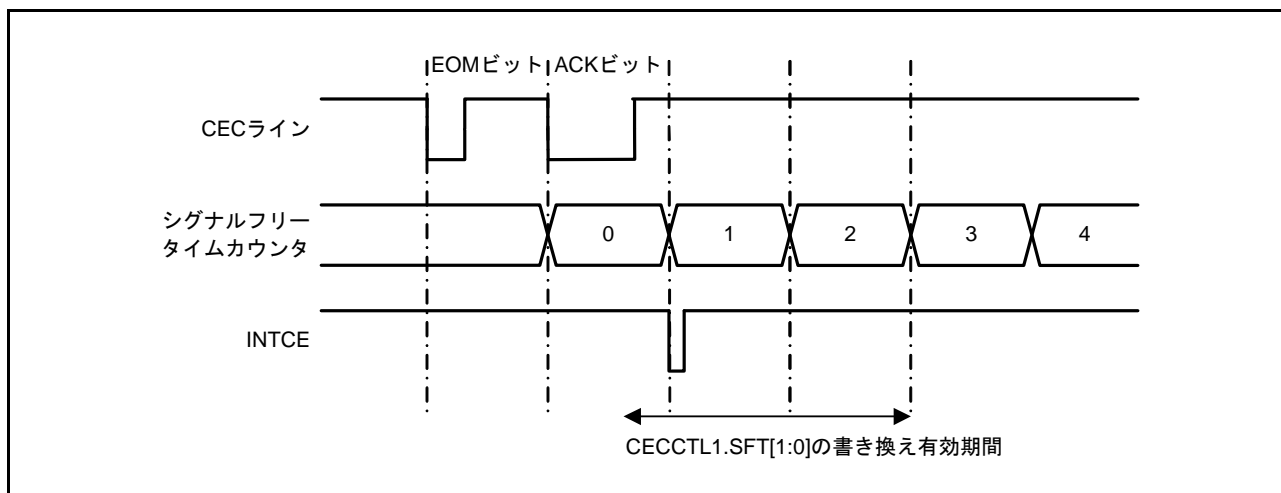


図 32.50 シグナルフリータイムカウント中の CECCTL1.SFT[1:0] レジスタ書き換え有効期間

<シグナルフリータイム中の受信動作開始>

シグナルフリータイムカウント中に、CEC 受信信号に立ち下がりエッジを検出した場合、図 32.51 に示すように受信動作を開始します。このときシグナルフリータイムカウンタのカウント動作は停止するので、シグナルフリータイムカウント後に通信完了割り込み (INTCE) を出力する設定でも通信完了割り込み (INTCE) は出力されません。

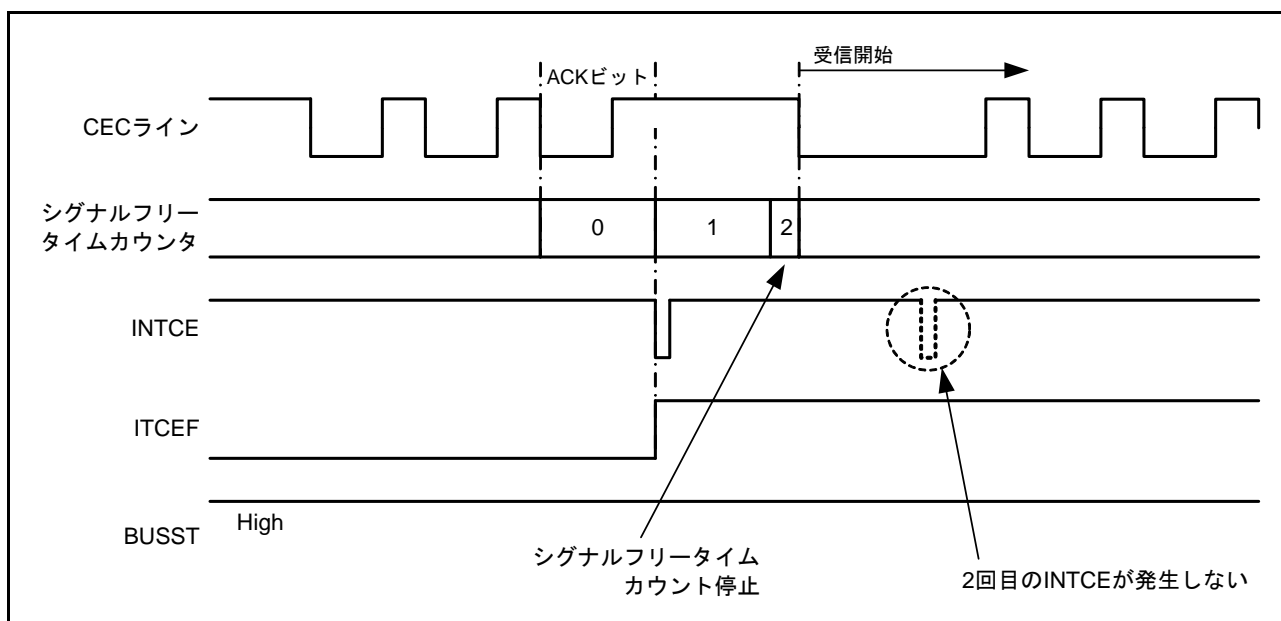


図 32.51 シグナルフリータイム中の受信動作開始

32.3.3.9 受信中のスタートビット検知による再受信機能

受信中のスタートビット検知による再受信機能とは、図 32.52 に示すように受信動作中（フォロワ動作中）に新しいスタートビットを検知した場合、検知したスタートビットから再度受信を開始する機能です。

本機能はスタート検出再受信許可ビットを許可（EXCECMD.RERCVEN = 1）することで有効となります。

スタートビットの検知は受信スタートビット幅の各レジスタ（STATLL、STATLH、STATBL、STATBH）の設定値に一致するデータを受信したときにスタートビットと判断し、再受信を行います。

受信中のスタートビット受信のため、タイミングエラーが発生します。エラー発生タイミングはスタートビット開始の立ち下がりタイミングまたは、ヘッダブロック開始の立ち下がりタイミングとなります。

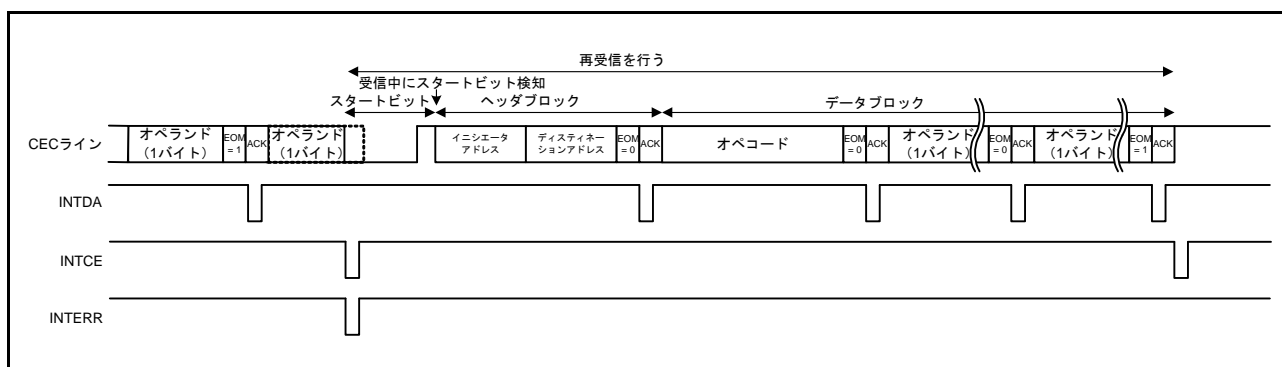


図 32.52 再受信機能動作

32.3.4 低消費電力状態でのデータ受信動作

本製品では、低消費電力状態（スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード）中にデータ受信を行うことができます。

低消費電力状態でデータ受信を行う場合は、低消費電力状態遷移前に CEC 通信初期設定を行う必要があります。CEC 通信初期設定については、「32.3.3.3 CEC 通信初期設定」を参照してください。その際、CECCTL0 の CCL[2:0] ビットは“110b”または“111b”を設定し、CEC 動作クロック (CECCLK) に CECILCLK 分周クロック、または CECMCLK 分周クロックを選択してください。

ヘッダブロック受信時に出力するデータ受信割り込み (INTDAA) を低消費電力状態からの復帰要因として使用します (図 32.53)。なお、CEC 割り込みによって低消費電力状態から復帰させる場合、CEC 動作クロック (CECCLK) として CECILCLK 分周クロックを選択している場合は IWDTCSTPR.SLCSTP ビット、CECMCLK 分周クロックを選択している場合は MOFCR.MOFOXIN ビットの設定により、常時 CEC 動作クロックを供給する必要があります。また、CEC 割り込みは全モジュールクロックストップモード、ソフトウェアスタンバイモードからの復帰要因として設定可能な INTDAA、INTCEA、INTERRA を使用します。

ダイレクトアドレス受信で自局アドレス以外のデータを受信した場合、CECCTL1.CINTMK を“0”にした状態であれば、CEC 割り込みは発生しないため、低消費電力状態を継続します。低消費電力状態中の自局以外のデータ受信動作を図 32.54 に示します。

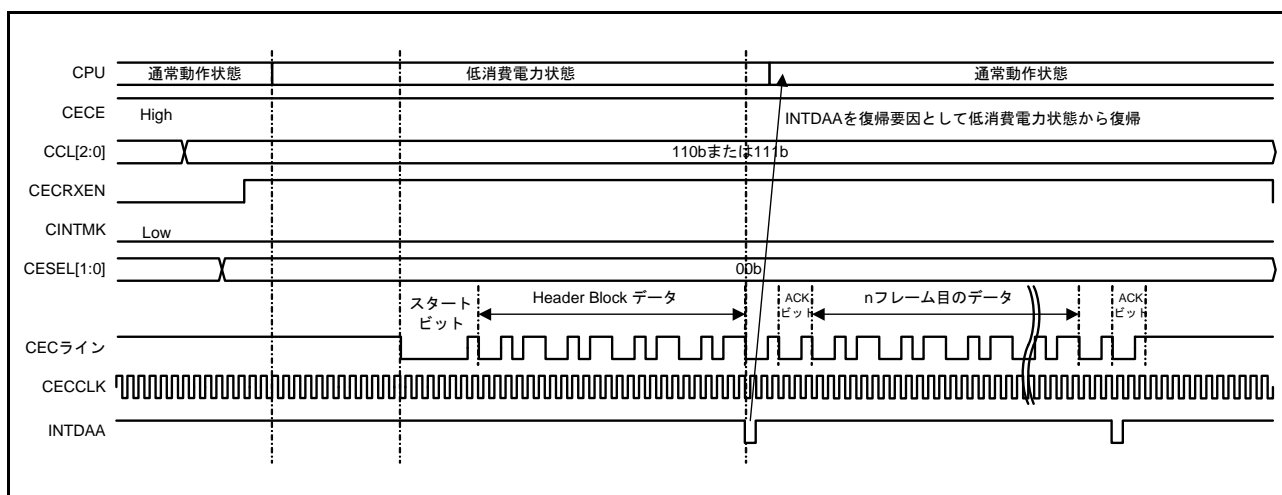


図 32.53 CEC 割り込みによる低消費電力状態からの復帰動作

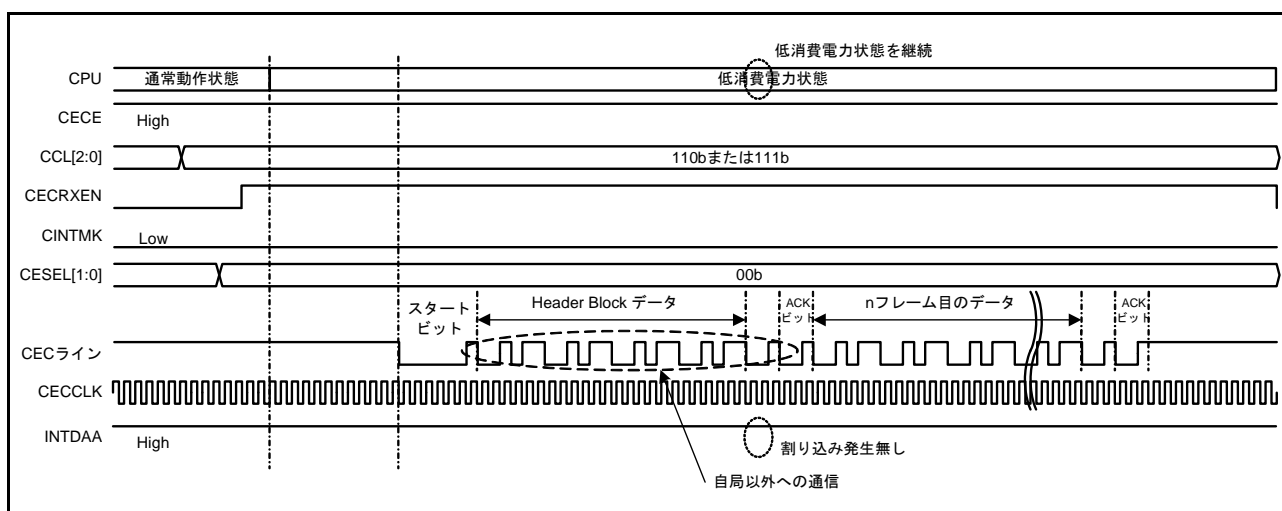


図 32.54 低消費電力状態中の自局以外のデータ受信動作

32.4 使用上の注意事項

32.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、CEC の動作禁止 / 許可を設定することが可能です。初期値では、CEC の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

32.4.2 クロック分周比の設定

周辺モジュールクロック周波数 (PCLKB) > CEC 動作クロック周波数 (CECCLK) となるように設定してください。

32.4.3 IWDT 機能の使用制限

CEC 動作クロック (CECCLK) として、CECILCLK 分周クロックを使用する場合、IWDT の機能は使用しないでください。

32.4.4 動作クロックとして CECMCLK を使用する場合の注意事項

CECCTL0.CCL[2:0] ビットの設定で動作クロックとして CECMCLK を選択した場合、MONFCR レジスタによるノイズフィルタの有効 / 無効設定で、メインクロックとして入力可能な周波数範囲、パルス幅範囲が異なります。詳細は「41. 電気的特性」を参照してください。

33. I²Cバスインタフェース (RIIC)

本MCUは、3チャンネルのI²Cバスインタフェース (RIIC) を内蔵しています。

RIICは、NXP社が提唱するI²Cバス (Inter-IC-Bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

本章に記載しているPCLKとはPCLKBを指します。

33.1 概要

表33.1にRIICの仕様を、図33.1にRIICのブロック図を、図33.2に入出力端子の外部回路接続例 (I²Cバス構成例) を示します。表33.2にRIICで使用する入出力端子を示します。

表33.1 RIICの仕様 (1/2)

項目	内容
通信フォーマット	<ul style="list-style-type: none"> I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応 (~400kbps)
SCLクロック	マスタ時、SCLクロックのデューティ比を4%~96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション (リスタートコンディション含む) /ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> 異なるスレーブアドレスを3種類まで設定可能 7ビット/10ビットアドレスフォーマット対応 (混在可能) ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクリッジ応答	<ul style="list-style-type: none"> 送信時、アクリッジビットの自動ロード ノットアクリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクリッジビットの自動送出 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクリッジビット応答のソフトウェア制御が可能
ウェイト機能	<ul style="list-style-type: none"> 受信時、SCLクロックのLowホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト
SDA出力遅延機能	アクリッジ送信を含むデータ送信の出カタイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> マルチマスタ対応 他のマスタとのSCLクロック衝突時、SCLクロックの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能 (スタートコンディションの二重発行防止) ノットアクリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLクロックの長時間停止を検出可能
ノイズ除去	SCL、SDA入口にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能
割り込み要因	4種類 <ul style="list-style-type: none"> 通信エラー/イベント発生 アービトレーション検出 NACK検出 タイムアウト検出 スタートコンディション検出 (リスタートコンディション含む) ストップコンディション検出 受信データフル (スレーブアドレス一致時含む) 送信データエンプティ (スレーブアドレス一致時含む) 送信終了
消費電力低減機能	モジュールストップ状態への設定が可能

表 33.1 RIICの仕様 (2/2)

項目	内容
RIICの動作モード	<ul style="list-style-type: none"> 4種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード
イベントリンク機能 (出力)	4種類 (RIIC0) <ul style="list-style-type: none"> 通信エラー/イベント発生 アービトレーション検出 NACK検出 タイムアウト検出 スタートコンディション検出 (リスタートコンディション含む) ストップコンディション検出) 受信データフル (スレーブアドレス一致時含む) 送信データエンpty (スレーブアドレス一致時含む) 送信終了

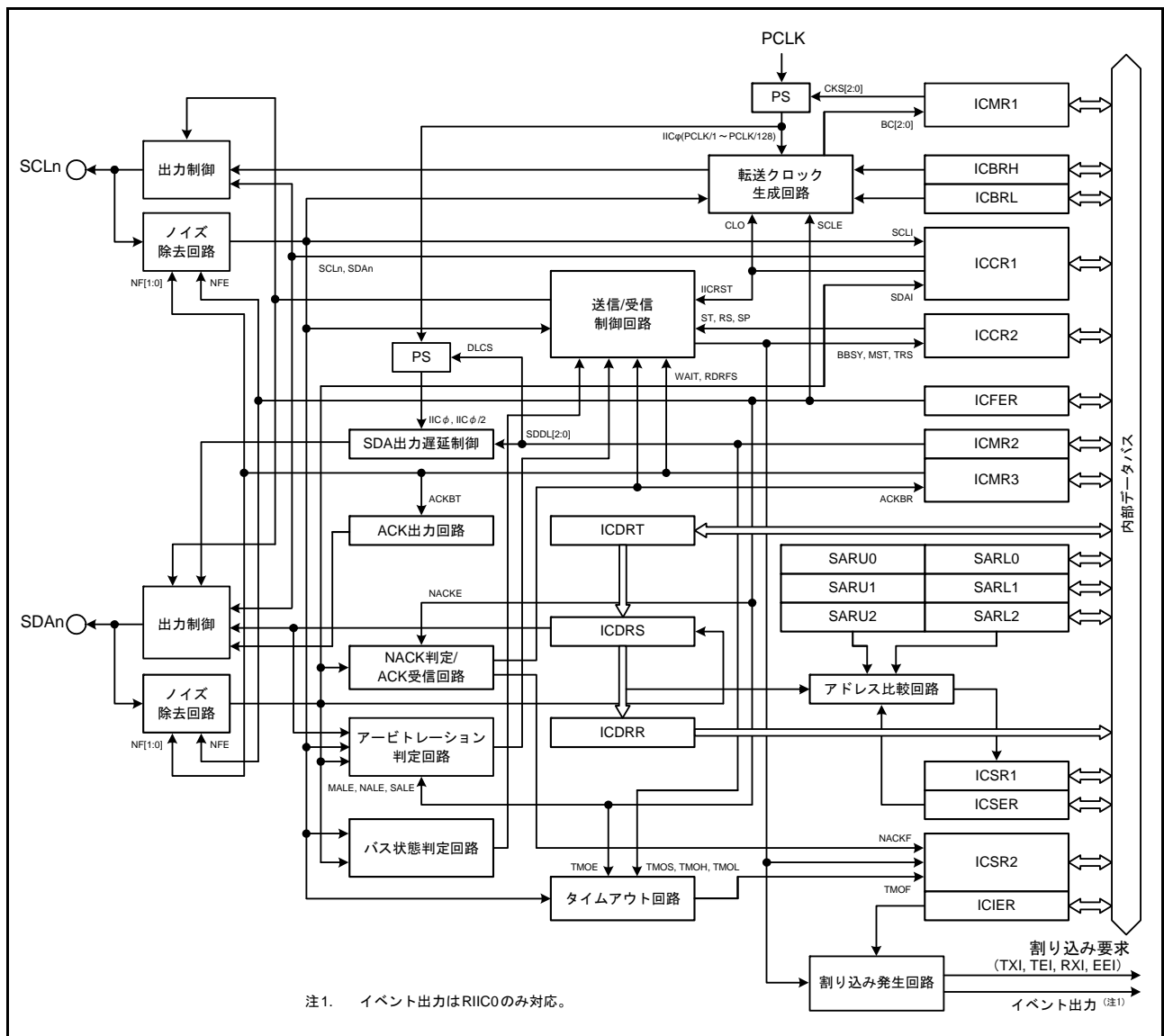


図 33.1 RIICのブロック図

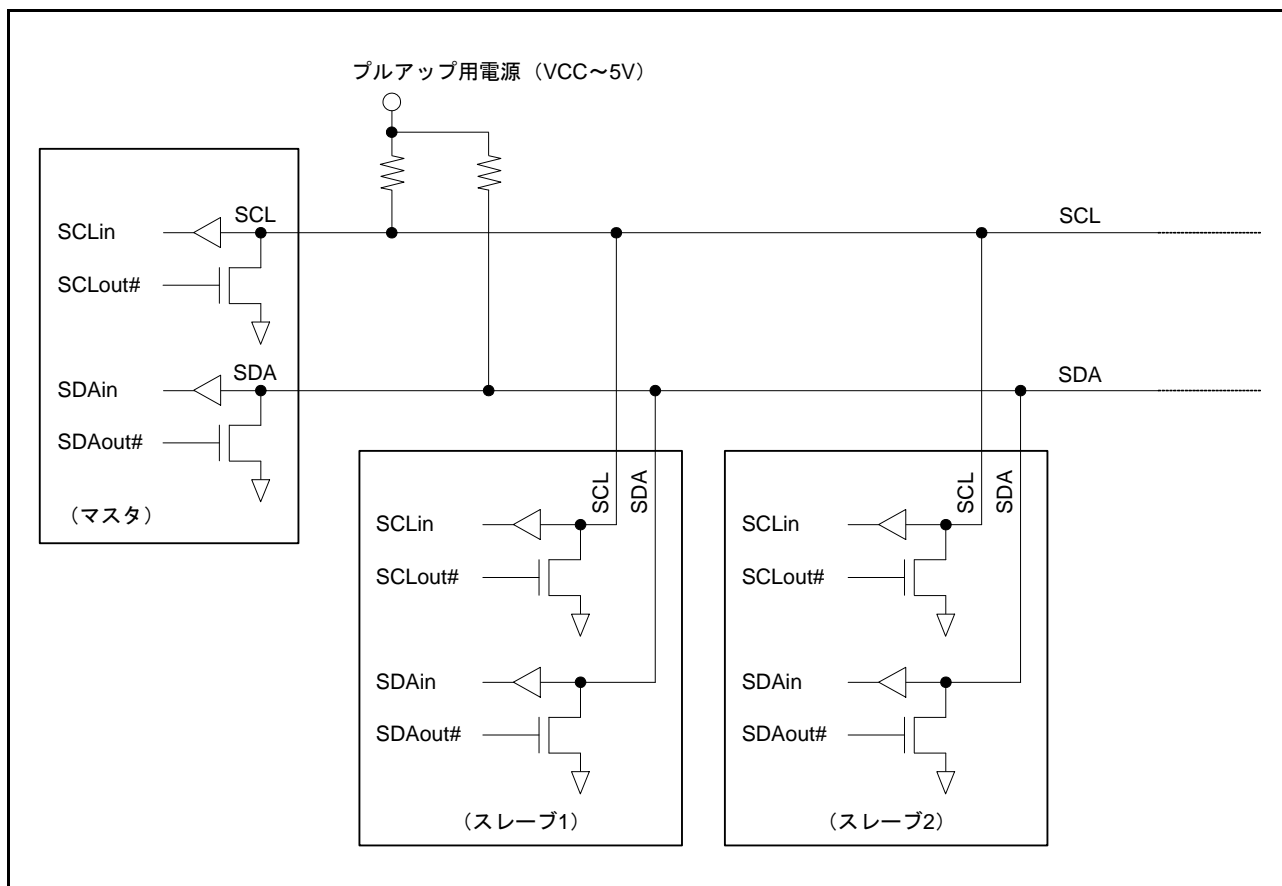


図 33.2 入出力端子の外部回路接続例 (I²C バス構成例)

RIIC の各信号の入力レベルは、I²C バス選択時 (ICMR3.SMBS ビット =0)、CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS ビット =1)、TTL レベルです。

表 33.2 RIICの入出力端子

チャンネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0シリアルクロック入出力端子
	SDA0	入出力	RIIC0シリアルデータ入出力端子
RIIC1	SCL1	入出力	RIIC1シリアルクロック入出力端子
	SDA1	入出力	RIIC1シリアルデータ入出力端子
RIIC3	SCL3	入出力	RIIC3シリアルクロック入出力端子
	SDA3	入出力	RIIC3シリアルデータ入出力端子

33.2 レジスタの説明

33.2.1 I²Cバスコントロールレジスタ 1 (ICCR1)

アドレス RIIC0.ICCR1 0008 8300h, RIIC1.ICCR1 0008 8320h, RIIC3.ICCR1 0008 8360h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0 : SDA _n ラインはLow 1 : SDA _n ラインはHigh	R
b1	SCLI	SCLラインモニタビット	0 : SCL _n ラインはLow 1 : SCL _n ラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0 : SDA_n端子をLowにしている 1 : SDA_n端子を解放している ライト時 0 : SDA_n端子をLowにする 1 : SDA_n端子を解放する 	R/W
b3	SCLO	SCL出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0 : SCL_n端子をLowにしている 1 : SCL_n端子を解放している ライト時 0 : SCL_n端子をLowにする 1 : SCL_n端子を解放する (外部プルアップ抵抗によりHigh出力) 	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0 : SCLO、SDAOビットの書き換え許可 1 : SCLO、SDAOビットを保護 (読むと“1”が読めます)	R/W
b5	CLO	SCLクロック追加出力ビット	0 : SCLクロックを追加で出力しない (通常状態) 1 : SCLクロックを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I ² Cバスインタフェース内部リセットビット	0 : RIICリセット、内部リセット解除 1 : RIICリセット、内部リセット状態 (ビットカウンタのクリア、SCL _n /SDA _n 出力ラッチを解除)	R/W
b7	ICE	I ² Cバスインタフェース許可ビット	0 : 禁止 (SCL _n 、SDA _n 端子非駆動状態) 1 : 許可 (SCL _n 、SDA _n 端子駆動状態) (IICRSTビットとの組み合わせで、RIICリセット、内部リセットを選択)	R/W

SDAO ビット (SDA 出力制御 / モニタビット)、SCLO ビット (SCL 出力制御 / モニタビット)

RIIC が出力する SDA_n 信号、SCL_n 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOWP ビットにも “0” を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えないうでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

CLO ビット (SCL クロック追加出力ビット)

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。

通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。
本機能の詳細については、「33.11.2 SCL クロック追加出力機能」を参照してください。

IICRST ビット (I²C バスインタフェース内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 33.3 に RIIC のリセットの種類を示します。

RIIC リセットでは全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1、ICSR2) および内部状態をリセットします。各レジスタのリセット状況については、「33.14 リセットと各コンディション発行時のレジスタおよび機能の状態」を参照してください。

動作中 (ICE ビット =1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCLn 端子 / SDAn 端子をハイインピーダンスにしてバスを解放することができます。

- 注. スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態 (主に双方のビットカウンタ情報に差異が生じる) になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCLn ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 33.3 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

SCLn、SDAn 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については「表 33.3 RIIC のリセットの種類」を参照してください。

RIIC を使用するときは、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、SCLn、SDAn 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、SCLn、SDAn 端子非駆動状態になります。また、マルチファンクションピンコントローラ (MPC) の設定で SCLn、SDAn 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレス比較動作を行いますので注意してください。

33.2.2 I²C バスコントロールレジスタ 2 (ICCR2)

アドレス RIIC0.ICCR2 0008 8301h, RIIC1.ICCR2 0008 8321h, RIIC3.ICCR2 0008 8361h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² Cバスが解放状態 (バスフリー状態) 1: I ² Cバスが占有状態 (バスビジー状態)	R

注1. ICMR1.MTWPビットが“1”のとき、MST、TRSビットへの書き込みができます。

ST ビット (スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

ST ビットが“1”になるとスタートコンディションの発行を要求し、BBSY フラグが“0” (バスフリー) のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「33.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- “1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- スタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ST ビットは、BBSY フラグが“0” (バスフリー) のとき、“1” (スタートコンディション発行要求) にしてください。

BBSY フラグが“1” (バスビジー) のとき、ST ビットを“1” (スタートコンディション発行要求) にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット (リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが“1”になるとリスタートコンディションの発行を要求し、BBSY フラグが“1” (バスビジー) でかつ MST ビットが“1” (マスタモード) のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「33.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1" になる条件]

- ICCR2.BBSY フラグが "1" の状態で、"1" を書いたとき

["0" になる条件]

- "0" を書いたとき
- リスタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが "1" になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

注. ストップコンディション発行中に RS ビットを "1" にしないでください。

注. スレーブモードでは RS ビットに "1" (リスタートコンディション発行要求) を書いた場合、リスタートコンディションは発行されずに RS ビットは "1" のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット (ストップコンディション 発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが "1" になるとストップコンディションの発行を要求し、BBSY フラグが "1" (バスビジー) がかつ MST ビットが "1" (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「33.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1" になる条件]

- ICCR2.BBSY フラグが "1" がかつ ICCR2.MST ビットが "1" の状態で、"1" を書いたとき

["0" になる条件]

- "0" を書いたとき
- ストップコンディションの発行が完了したとき (ストップコンディションを検出したとき)
- ICSR2.AL フラグが "1" になったとき (アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

注. BBSY フラグ = 0 (バスフリー) のとき書き込みはできません。

注. リスタートコンディション発行中に SP ビットを "1" にしないでください。

TRS ビット (送信 / 受信モードビット)

送信 / 受信モードを示すビットです。

TRS ビットが "0" のとき受信モード、TRS ビットが "1" のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行 / 検出および R/W# ビットの値で "1" または "0" になり、RIIC の動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが "1" のとき書き込みはできますが、通常では書き込みの必要はありません。

["1" になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (ST ビットが "1" の状態で、スタートコンディションを検出したとき)
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき (RS ビットが "1" の状態で、リスタートコンディションを検出したとき)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが "0" のとき

- スレーブモード時、受信したスレーブアドレスが ICSE_R レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “1” を受信したとき
- ICMR1.MTWP ビットが “1” の状態で “1” を書いたとき

["0" になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “1” のとき
- スレーブモード時、受信したスレーブアドレスが ICSE_R レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “0” を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY=1、ICCR2.MST=0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

MST ビット (マスタ/スレーブモードビット)

マスタモード/スレーブモードを示すビットです。

MST ビットが “0” のときスレーブモード、MST ビットが “1” のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行/検出などで “1” または “0” になり、RIIC の動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが “1” のとき書き込みはできますが、通常では書き込みの必要はありません。

["1" になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが “1” の状態で、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが “1” の状態で “1” を書いたとき

["0" になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスの占有 (バスビジー) / 解放状態 (バスフリー) を示します。

SCL_n ラインが High の状態で SDA_n ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して “1” になります。

SCL_n ラインが High の状態で SDA_n ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき “0” になります。

["1" になる条件]

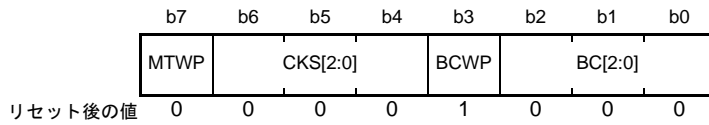
- スタートコンディションを検出したとき

["0" になる条件]

- ストップコンディションを検出後、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき
- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき (RIIC リセット)

33.2.3 I²Cバスモードレジスタ 1 (ICMR1)

アドレス RIIC0.ICMR1 0008 8302h, RIIC1.ICMR1 0008 8322h, RIIC3.ICMR1 0008 8362h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可 (読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	RIICの内部基準クロックソース (IICφ) を選択します b6 b4 0 0 0 : PCLK/1クロック 0 0 1 : PCLK/2クロック 0 1 0 : PCLK/4クロック 0 1 1 : PCLK/8クロック 1 0 0 : PCLK/16クロック 1 0 1 : PCLK/32クロック 1 1 0 : PCLK/64クロック 1 1 1 : PCLK/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRSビットへの書き込み禁止 1 : ICCR2.MST, TRSビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にするのと同時に書き換えてください。

BC[2:0] ビット (ビットカウンタ)

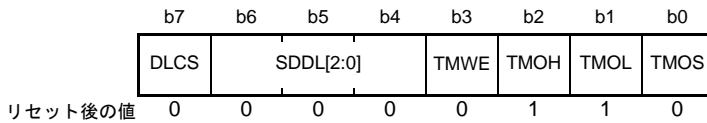
SCL_n ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできませんが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数+1を指定し (データにアクノリッジ1ビットが付加されて転送される)、転送フレーム間でかつ SCL_n ラインが Low の状態で行ってください。

BC[2:0] ビットはアクノリッジを含むデータ転送終了時、またはスタートコンディション検出 (リスタートコンディション含む) で自動的に“000b”に戻ります。

33.2.4 I²C バスモードレジスタ 2 (ICMR2)

アドレス RIIC0.ICMR2 0008 8303h, RIIC1.ICMR2 0008 8323h, RIIC3.ICMR2 0008 8363h



ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0: ロングモードを選択 1: ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0: SCLnラインがLow期間中のカウントアップを禁止 1: SCLnラインがLow期間中のカウントアップを許可	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0: SCLnラインがHigh期間中のカウントアップを禁止 1: SCLnラインがHigh期間中のカウントアップを許可	R/W
b3	TMWE	タイムアウト内部カウンタ書き込み許可ビット	0: タイムアウト機能の内部カウンタへの書き込み禁止 1: タイムアウト機能の内部カウンタへの書き込み許可	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> ICMR2.DLCS=0 (IICφ) のとき b6 b4 0 0 0: 出力遅延なし 0 0 1: IICφの1サイクル 0 1 0: IICφの2サイクル 0 1 1: IICφの3サイクル 1 0 0: IICφの4サイクル 1 0 1: IICφの5サイクル 1 1 0: IICφの6サイクル 1 1 1: IICφの7サイクル ICMR2.DLCS=1 (IICφ/2) のとき b6 b4 0 0 0: 出力遅延なし 0 0 1: IICφの1~2サイクル 0 1 0: IICφの3~4サイクル 0 1 1: IICφの5~6サイクル 1 0 0: IICφの7~8サイクル 1 0 1: IICφの9~10サイクル 1 1 0: IICφの11~12サイクル 1 1 1: IICφの13~14サイクル 	R/W
b7	DLCS	SDA出力遅延クロックソース選択ビット	0: SDA出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1: SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周 (IICφ/2) を選択 (注1)	R/W

注1. SCLがLowのときのみDLCS=1 (IICφ/2) の設定が有効になります。SCL=HighのときDLCS=1の設定は無効となり内部基準クロック (IICφ) となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが16ビットカウンタとして、またショートモードでは14ビットカウンタとして動作し、SCLnラインがTMOH、TMOLビットで選択された状態になったとき、内部基準クロック (IICφ) をカウンタソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「33.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウトLカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) にSCLnラインがLow期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMOH ビット (タイムアウト H カウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) に SCLn ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウンタアップを許可するか禁止するかを選択するビットです。

TMWE ビット (タイムアウト内部カウンタ書き込み許可ビット)

スレーブアドレスレジスタ (SARL0/SARU0) のアドレスにタイムアウト内部カウンタ (TMOCNTL/TMOCNTU) を割り当てるかどうかを選択するビットです。

本ビットを 1 にすると、SARL0/SARU0 のアドレスにタイムアウト内部カウンタ (TMOCNTL/U) のアドレスが割り当てられます。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

SDA 出力遅延の設定は、I²C バス規格 (データ有効時間 / アクノリッジ有効時間 (注 1) 内) または SMBus 規格 (データホールド時間 : 300ns 以上、かつ SCL クロックの Low 幅 - データセットアップ時間 : 250ns の範囲内) に収まるようにしてください。規格外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

本機能の詳細については、「33.5 SDA 出力遅延機能」を参照してください。

- 注 1. データ有効時間 / アクノリッジ有効時間
3,450ns (~ 100kbps : スタンダードモード [Sm])
900ns (~ 400kbps : ファストモード [Fm])

33.2.5 I²C バスモードレジスタ 3 (ICMR3)

アドレス RIIC0.ICMR3 0008 8304h, RIIC1.ICMR3 0008 8324h, RIIC3.ICMR3 0008 8364h

b7	b6	b5	b4	b3	b2	b1	b0
SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1IICφ以下のノイズを除去 (フィルタは1段) 0 1 : 2IICφ以下のノイズを除去 (フィルタは2段) 1 0 : 3IICφ以下のノイズを除去 (フィルタは3段) 1 1 : 4IICφ以下のノイズを除去 (フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0 : アクノリッジビットに“0”を受信 (ACK受信) 1 : アクノリッジビットに“1”を受信 (NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0 : アクノリッジビットに“0”を送出 (ACK送信) 1 : アクノリッジビットに“1”を送出 (NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	R/W (注1)
b5	RDRFS	RDRFフラグセット タイミング選択ビット	0 : SCLクロックの9クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりでもSCLnラインをLowにホールドしない) 1 : SCLクロックの8クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりでもSCLnラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAITビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I ² Cバス選択ビット	0 : I ² Cバス選択 1 : SMBus選択	R/W

注1. ACKBTビットに書く場合には、ACKWPビットが“1”の状態で行ってください。ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。

注2. WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「33.6 デジタルノイズフィルタ回路」を参照してください。

注. ノイズフィルタで除去するノイズ幅の設定は、SCLnラインのHigh/Low幅よりも狭くしてください。
(SCLクロックの幅 : High幅またはLow幅のいずれか短い方) - {1.5内部基準クロック同期 (IICφ) +アナログノイズフィルタ : 120ns (参考値)} と同じか、それ以上に設定した場合は、RIICのノイズフィルタ機能によりSCLクロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

["1"になる条件]

- ICCR2.TRS ビットが“1”の状態でもアクノリッジビットに“1”を受信したとき

["0"になる条件]

- ICCR2.TRS ビットが“1”の状態でもアクノリッジビットに“0”を受信したとき

- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKBT ビット (送信アクリッジビット)

受信モード時にアクリッジのタイミングで送出するビットを設定します。

[“1”になる条件]

- ACKWP ビットが“1”の状態では“1”を書いたとき

[“0”になる条件]

- ACKWP ビットが“1”の状態では“0”を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが“1”の状態では ストップコンディションを検出したとき)
- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセット タイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりでは SCLn ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8 クロック目の立ち下がりでは SCLn ラインの Low ホールドは行わず、9 クロック目の立ち上がりでは RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは 8 クロック目の立ち上がりでは“1”にし、8 クロック目の立ち下がりでは SCLn ラインを Low にホールドします。この SCLn ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクリッジビット送出前に SCLn ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが“0”) または NACK (ACKBT ビットが“1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに I²C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCLn ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注. WAIT ビットを“0”にする場合は、ICDRR レジスタを先に読んでから“0”にしてください。

SMBS ビット (SMBus/I²C バス選択ビット)

SMBS ビットを“1”にすると、SMBus が選択され ICSSER.HOAE ビットが有効になります。

33.2.6 I²C バスファンクション許可レジスタ (ICFER)

アドレス RIIC0.ICFER 0008 8305h, RIIC1.ICFER 0008 8325h, RIIC3.ICFER 0008 8365h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0: タイムアウト検出機能無効 1: タイムアウト検出機能有効	R/W
b1	MALE	マスタアービトレーションロスト検出許可ビット	0: マスタアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生による ICCR2.MST, TRS ビットの自動クリアを行わない) 1: マスタアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生による ICCR2.MST, TRS ビットの自動クリアを行う)	R/W
b2	NALE	NACK 送信アービトレーションロスト検出許可ビット	0: NACK 送信アービトレーションロスト検出禁止 1: NACK 送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK 受信転送中断許可ビット	0: NACK 受信時、転送を中断しない (転送中断禁止) 1: NACK 受信時、転送を中断する (転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ回路有効ビット	0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL 同期回路有効ビット	0: SCL 同期回路無効 1: SCL 同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効 / 無効を選択します。

タイムアウト検出機能の詳細については、「33.11.1 タイムアウト検出機能」を参照してください。

MALE ビット (マスタアービトレーションロスト検出許可ビット)

マスタモード時にアービトレーションロスト検出機能の有効 / 無効を決定します。通常は“1”にしてください。

NALE ビット (NACK 送信アービトレーションロスト検出許可ビット)

受信モード時、NACK 送中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット (NACK 受信転送中断許可ビット)

送信モード時、スレーブデバイスから NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACKE ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0”のとき、受信アクリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「33.8.2 NACK 受信転送中断機能」を参照してください。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIIC は SCL_n ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

33.2.7 I²C バスステータス許可レジスタ (ICSER)

アドレス RIIC0.ICSER 0008 8306h, RIIC1.ICSER 0008 8326h, RIIC3.ICSER 0008 8366h

b7	b6	b5	b4	b3	b2	b1	b0
HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E

リセット後の値 0 0 0 0 1 0 0 1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0 : SARL0、SARU0の設定値は無効 1 : SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0 : SARL1、SARU1の設定値は無効 1 : SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0 : SARL2、SARU2の設定値は無効 1 : SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0 : デバイスIDアドレス検出は無効 1 : デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ~ 2)

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを“1”にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを“0”にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0[W] : All“0”)を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第1フレームにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第1フレームがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0”[W] のとき第2フレーム目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第1フレームがデバイス ID アドレスと一致しても無視され、第1フレームを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「33.7.3 デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが“1”の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが“1”でかつHOAE ビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y=0 ~ 2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが“0”またはHOAE ビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

33.2.8 I²C バス割り込み許可レジスタ (ICIER)

アドレス RIIC0.ICIER 0008 8307h, RIIC1.ICIER 0008 8327h, RIIC3.ICIER 0008 8367h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可ビット	0: タイムアウト割り込み (TMOI) 要求の禁止 1: タイムアウト割り込み (TMOI) 要求の許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可ビット	0: アービトレーションロスト割り込み (ALI) 要求の禁止 1: アービトレーションロスト割り込み (ALI) 要求の許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可ビット	0: スタートコンディション検出割り込み (STI) 要求の禁止 1: スタートコンディション検出割り込み (STI) 要求の許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可ビット	0: ストップコンディション検出割り込み (SPI) 要求の禁止 1: ストップコンディション検出割り込み (SPI) 要求の許可	R/W
b4	NAKIE	NACK 受信割り込み要求許可ビット	0: NACK 受信割り込み (NAKI) 要求の禁止 1: NACK 受信割り込み (NAKI) 要求の許可	R/W
b5	RIE	受信データフル割り込み要求許可ビット	0: 受信データフル割り込み (RXI) 要求の禁止 1: 受信データフル割り込み (RXI) 要求の許可	R/W
b6	TEIE	送信終了割り込み要求許可ビット	0: 送信終了割り込み (TEI) 要求の禁止 1: 送信終了割り込み (TEI) 要求の許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可ビット	0: 送信データエンプティ割り込み (TXI) 要求の禁止 1: 送信データエンプティ割り込み (TXI) 要求の許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可ビット)

ICSR2.TMOF フラグが“1”になったとき、タイムアウト割り込み (TMOI) 要求の許可/禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み 要求許可ビット)

ICSR2.AL フラグが“1”になったとき、アービトレーションロスト割り込み (ALI) 要求の許可/禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み 要求許可ビット)

ICSR2.START フラグが“1”になったとき、スタートコンディション検出割り込み (STI) 要求の許可/禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み 要求許可ビット)

ICSR2.STOP フラグが“1”になったとき、ストップコンディション検出割り込み (SPI) 要求の許可/禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み要求許可ビット)

ICSR2.NACKF フラグが“1”になったとき、NACK 受信割り込み (NAKI) 要求の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信データフル割り込み要求許可ビット)

ICSR2.RDRF フラグが“1”になったとき、受信データフル割り込み (RXI) 要求の許可 / 禁止を選択します。

TEIE ビット (送信終了割り込み要求許可ビット)

ICSR2.TEND フラグが“1”になったとき、送信終了割り込み (TEI) 要求の許可 / 禁止を選択します。TEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンプティ割り込み要求許可ビット)

ICSR2.TDRE フラグが 1”になったとき、送信データエンプティ割り込み (TXI) 要求の許可 / 禁止を選択します。

33.2.9 I²C バスステータスレジスタ 1 (ICSR1)

アドレス RIIC0.ICSR1 0008 8308h, RIIC1.ICSR1 0008 8328h, RIIC3.ICSR1 0008 8368h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0: スレーブアドレス0未検出 1: スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0: スレーブアドレス1未検出 1: スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0: スレーブアドレス2未検出 1: スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスIDアドレス検出フラグ	0: デバイスIDアドレス未検出 1: デバイスIDアドレス検出 • スタートコンディション直後の第1フレームがデバイスIDアドレス (1111 100b) + 0[W] と一致した場合	R/(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0: ホストアドレス未検出 1: ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス (0001 000b) と一致した場合	R/(W) (注1)

注1. “0”のみ書けます。

AASy フラグ (スレーブアドレス y 検出フラグ) (y=0 ~ 2)

[“1”になる条件]

[7ビットアドレスフォーマット選択時: SARUy.FS ビット=0]

- ICSER.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] と一致したとき、そのフレームの SCL クロックの9クロック目の立ち上がり

[10ビットアドレスフォーマット選択時: SARUy.FS ビット=1]

- ICSER.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] と一致し、それに続くアドレスが SARLy レジスタと一致したとき、そのフレームの SCL クロックの9クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

[7ビットアドレスフォーマット選択時: SARUy.FS ビット=0]

- ICSER.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] と不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり

[10ビットアドレスフォーマット選択時: SARUy.FS ビット=1]

- ICSER.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] と不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり

- ICSE.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] と一致し、それに続くアドレスが SARLy レジスタと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1" になる条件]

- ICSE.GCAE ビットが“1” (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSE.GCAE ビットが“1” (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

["1" になる条件]

- ICSE.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス (1111 100b) + 0[W] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSE.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス (1111 100b) と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICSE.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス (1111 100b) + 0[W] と一致し、続く第 2 フレームがスレーブアドレス 0 ~ 2 のすべてと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ (ホストアドレス検出フラグ)

["1" になる条件]

- ICSE.HOAE ビットが“1” (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICMR3.SMBS ビットに“0” または ICSE.HOAE ビットに“0” を書いたとき
- ICSE.HOAE ビットが“1” (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホスト

アドレス (0001 000b) と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

33.2.10 I²C バスステータスレジスタ 2 (ICSR2)

アドレス RIIC0.ICSR2 0008 8309h, RIIC1.ICSR2 0008 8329h, RIIC3.ICSR2 0008 8369h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロストの発生なし 1: アービトレーションロストの発生あり	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK 検出フラグ	0: NACK 未検出 1: NACK 検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRR レジスタに受信データなし 1: ICDRR レジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信終了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: ICDRT レジスタに送信データあり 1: ICDRT レジスタに送信データなし	R

注1. “0”のみ書けます。

TMOF フラグ (タイムアウト検出フラグ)

SCL_n ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

["1"になる条件]

- ICFER.TMOE ビットが“1” (タイムアウト検出機能有効) で、かつマスタモードまたはスレーブモードで受信スレーブアドレスが一致した状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL_n ラインの状態に変化がないとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失 (アービトレーションロスト) したことを示します。RIIC は送信中に SDA_n ラインのレベルを監視し、出力データと SDA_n ラインのレベルが一致しない場合 AL フラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定によりマスタモード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

["1" になる条件]

【マスタアービトレーションロスト検出有効時：ICFER.MALE ビット = 1】

- マスタ送信モード時のデータ送信（スレーブアドレス送信含む）において、ACK 期間を除く SCL クロックの立ち上がりで出力した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき（内部 SDA 出力が High 出力（SDA_n 端子はハイインピーダンス）で、SDA_n ラインに Low を検出したとき）
- ICCR2.ST ビットが "1"（スタートコンディション発行要求）の状態ですタートコンディションを検出したとき、出力した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき
- ICCR2.BBSY フラグが "1" の状態で ICCR2.ST ビットが "1"（スタートコンディション発行要求）に設定したとき

【NACK アービトレーションロスト検出有効時：ICFER.NALE ビット = 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで出力した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時：ICFER.SALE ビット = 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで出力した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

表 33.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST=1 の状態でスタートコンディション検出時に出力した SDA 信号と SDA _n ライン上の信号の状態が不一致のとき ICCR2.BBSY=1 の状態で ICCR2.ST=1 にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ（スレーブアドレス送信含む）とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x : Don't care

START フラグ（スタートコンディション検出フラグ）

["1" になる条件]

- スタートコンディション（リスタートコンディション含む）を検出したとき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ（ストップコンディション検出フラグ）

["1" になる条件]

- ストップコンディションを検出したとき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき

- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ (NACK 検出フラグ)

["1" になる条件]

- ICFER.NACKF ビットが“1” (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジがなかった (NACK を受信した) とき

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. NACKF フラグが“1”になると RIIC は通信動作を中断します。NACKF フラグが“1”の状態では送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0”にしてください。

RDRF フラグ (受信データフルフラグ)

["1" になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がりで“1”になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが“0”のとき

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

["1" になる条件]

- TDRE フラグが“1”の状態では、SCL クロックの 9 クロック目の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

["1" になる条件]

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1”になったとき
- 受信したスレーブアドレスが一致し、TRS ビットが“1”のとき

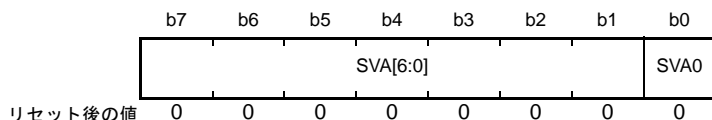
["0" になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが“0”になったとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ICFER.NACKF ビットが“1”の状態、NACKF フラグが“1”になると RIIC は通信動作を中断します。このとき、TDRE フラグが“0”の状態（次の送信データが既書き込まれている状態）の場合、9 クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われ ICDRT レジスタが空になりますが、TDRE フラグは“1”になりません。

33.2.11 スレーブアドレスレジスタ Ly (SARLy) (y=0 ~ 2)

アドレス RIIC0.SARL0 0008 830Ah, RIIC1.SARL0 0008 832Ah, RIIC3.SARL0 0008 836Ah,
RIIC0.SARL1 0008 830Ch, RIIC1.SARL1 0008 832Ch, RIIC3.SARL1 0008 836Ch,
RIIC0.SARL2 0008 830Eh, RIIC1.SARL2 0008 832Eh, RIIC3.SARL2 0008 836Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。	R/W
b7-b1	SVA[6:0]	7ビットアドレス/ 10ビットアドレス下位ビット	スレーブアドレスを設定してください。	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10 ビットアドレスフォーマット選択時 (SARUy.FS ビット=1)、10 ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて 10 ビットアドレス下位 8 ビットを設定します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“1”のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0”のとき設定値は無視されます。

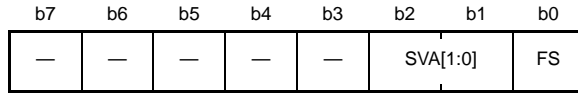
SVA[6:0] ビット (7 ビットアドレス / 10 ビットアドレス下位ビット)

7 ビットアドレスフォーマット選択時 (SARUy.FS ビット=0)、7 ビットアドレスとして機能し、10 ビットアドレスフォーマット選択時 (SARUy.FS ビット=1)、SVA0 ビットと合わせて 10 ビットアドレス下位 8 ビットとして機能します。

ICSER.SARyE ビットが“0”のとき設定値は無視されます。

33.2.12 スレーブアドレスレジスタ Uy (SARUy) (y=0 ~ 2)

アドレス RIIC0.SARU0 0008 830Bh, RIIC1.SARU0 0008 832Bh, RIIC3.SARU0 0008 836Bh,
RIIC0.SARU1 0008 830Dh, RIIC1.SARU1 0008 832Dh, RIIC3.SARU1 0008 836Dh,
RIIC0.SARU2 0008 830Fh, RIIC1.SARU2 0008 832Fh, RIIC3.SARU2 0008 836Fh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレス フォーマット選択ビット	0: 7ビットアドレスフォーマット選択 1: 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FS ビット (7ビット/10ビットアドレスフォーマット選択ビット)

スレーブアドレス y (SARLy、SARUy レジスタ) を 7ビットアドレスにするか、10ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“0”のとき、スレーブアドレス y は 7ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“1”のとき、スレーブアドレス y は 10ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (SARLy、SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

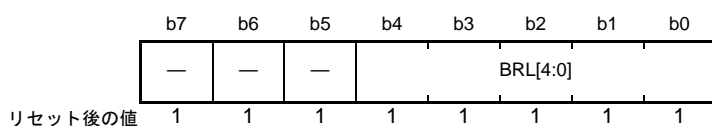
SVA[1:0] ビット (10ビットアドレス上位ビット)

10ビットアドレスフォーマット選択時 (FS ビット=1)、10ビットアドレスの上位2ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“1”のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0”のとき設定値は無視されます。

33.2.13 I²Cバスビットレート Low レジスタ (ICBRL)

アドレス RIIC0.ICBRL 0008 8310h, RIIC1.ICBRL 0008 8330h, RIIC3.ICBRL 0008 8370h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLクロックのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL クロックの Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時（「33.8 SCL の自動 Low ホールド機能」参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間（注1）以上の値を設定してください。

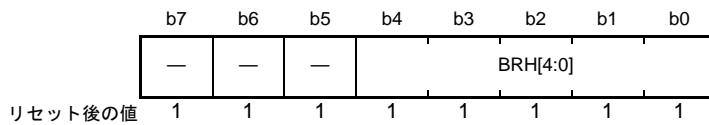
ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロックソース（IICφ）で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可（ICFER.NFE ビット=1）した場合、ICBRL レジスタは、ノイズフィルタの段数+1以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

- 注1. データセットアップ時間 (tSU:DAT)
- 250ns (～ 100kbps : スタンダードモード [Sm])
 - 100ns (～ 400kbps : ファストモード [Fm])

33.2.14 I²C バスビットレート High レジスタ (ICBRH)

アドレス RIIC0.ICBRH 0008 8311h, RIIC1.ICBRH 0008 8331h, RIIC3.ICBRH 0008 8371h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレート High 幅設定ビット	SCL クロックの High 幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”として下さい。	R/W

ICBRH レジスタは SCL クロックの High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

ICBRH レジスタは ICMR1.CKS[2:0] ビットで選択された内部基準クロックソース (IICφ) で High 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRH レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

I²C 転送速度および SCL クロックのデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ [(ICBRH+1) + (ICBRL+1)] / IIC\phi \text{ (注1)} + \text{SCLn ライン立ち上がり時間 [tr]} + \text{SCLn ライン立ち下がり時間 [tf]} \}$$

$$\text{デューティ比} = \{ \text{SCLn ライン立ち上がり時間 [tr]} \text{ (注2)} + (ICBRH+1) / IIC\phi \} / \{ \text{SCLn ライン立ち下がり時間 [tf]} \text{ (注2)} + (ICBRL+1) / IIC\phi \}$$

注 1. IICφ = PCLK × 分周比

注 2. SCLn ライン立ち上がり時間 [tr]、SCLn ライン立ち下がり時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細については NXP 社の I²C バス規格書を参照してください。

ICBRH、ICBRL レジスタの値の設定例を表 33.5 に示します。

表 33.5 転送速度に対する ICBRH、ICBRL レジスタの設定例

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)

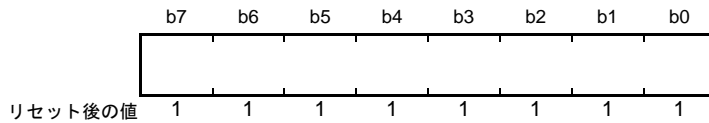
転送速度 (kbps)	動作周波数 PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)

転送速度 (kbps)	動作周波数 PCLK (MHz)			動作周波数 PCLK (MHz)		
	30			32		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	25 (F9h)
50	100b	15 (EFh)	18 (F2h)	100b	16 (F0h)	19 (F3h)
100	010b	2 (E2h)	3 (E3h)	011b	15 (EFh)	18 (F2h)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	20 (F4h)

注. SCLn ラインの立ち上がり時間 (tr) を ~100kbps 以下 [Sm] は 1000ns、~400kbps [Fm] は 300ns、SCLn ラインの立ち下がり時間 (tf) を ~400kbps 以下 [Sm/Fm] は 300ns として計算した場合の設定例です。
SCLn ライン立ち上がり時間 (tr)、SCLn ライン立ち下がり時間 (tf) の規格値については NXP 社の I²C バス規格書を参照してください。

33.2.15 I²C バス送信データレジスタ (ICDRT)

アドレス RIIC0.ICDRT 0008 8312h, RIIC1.ICDRT 0008 8332h, RIIC3.ICDRT 0008 8372h



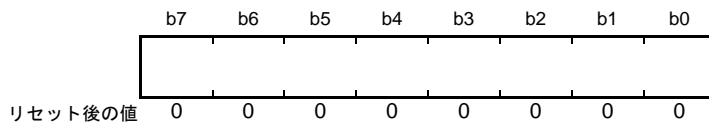
I²C バスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データが ICDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し / 書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

33.2.16 I²C バス受信データレジスタ (ICDRR)

アドレス RIIC0.ICDRR 0008 8313h, RIIC1.ICDRR 0008 8333h, RIIC3.ICDRR 0008 8373h



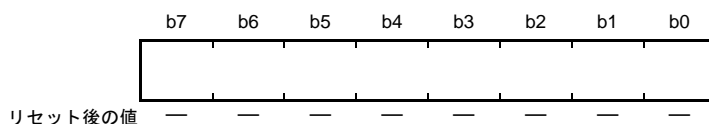
1 バイトのデータの受信が終了すると、受信したデータは I²C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出ししないまま (ICSR2.RDRF フラグが“1”の状態のまま) 次の受信データを受け取ると、RIIC は RDRF フラグを次に“1”になるタイミングの 1 つ手前の SCL_n クロックで自動的に Low ホールドを行います。

33.2.17 I²C バスシフトレジスタ (ICDRS)



ICDRS レジスタは、データを送信 / 受信するためのシフトレジスタです。

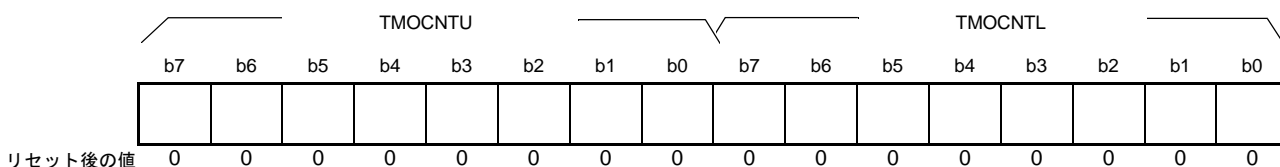
送信時は ICDRT レジスタから送信データが ICDRS レジスタに転送され、SDA_n 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDRR レジスタへ転送されます。

ICDRS レジスタは直接アクセスすることはできません。

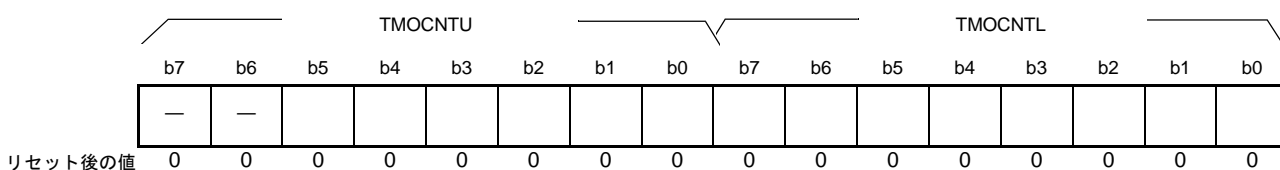
33.2.18 タイムアウト内部カウンタ (TMOCNT)

アドレス RIIC0.TMOCNTL 0008 830Ah, RIIC0.TMOCNTU 0008 830Bh,
RIIC1.TMOCNTL 0008 832Ah, RIIC1.TMOCNTU 0008 832Bh,
RIIC3.TMOCNTL 0008 836Ah, RIIC3.TMOCNTU 0008 836Bh

・ICMR2.TMOS=0 (ロングモード) 時



・ICMR2.TMOS=1 (ショートモード) 時



注. 本レジスタはSARL0、SARU0レジスタと同一です。ご注意ください。

● TMOCNTL レジスタ

ビット	シンボル	ビット名	機能	R/W
b7-b0	TMOCNTL	タイムアウト内部カウンタ	タイムアウト内部カウンタ下位	W (注1)

注1. タイムアウト内部カウンタの値は読み出しできません。読み出しを行った場合、FFhが読み出されます。

● TMOCNTU レジスタ

ビット	シンボル	ビット名	機能	R/W
b7-b0	TMOCNTU	タイムアウト内部カウンタ	タイムアウト内部カウンタ上位 (注1)	W (注2)

注1. TMOS = 1 (ショートモード) 時、b7-b6は予約ビットになります。書き込み可能ですが、書き込み値は無効です。

注2. タイムアウト内部カウンタの値は読み出しできません。読み出しを行った場合、FFhが読み出されます。

タイムアウト内部カウンタ (TMOCNTL/TMOCNTU) は、リセット時、ICCR1.IICRST=1にしたとき、もしくはICFER.TMOE=1でかつ、ICMR1.CKS[2:0]=000bのPCLK/1の場合に、ICMR2のTMOH/TMOLビットで設定したカウンタクリア条件 (SCL立ち上がり/立ち下がりエッジ検出) が成立したとき、初期化 (TMOCNTL=00h, TMOCNTU=00h) されます。

ICMR1.CKS[2:0]ビットが“000b” (PCLK/1) 以外は、自動で初期化されませんので、必要に応じてTMOCNTLカウンタとTMOCNTUカウンタに00hを書いて初期化してください。

TMOCNTLカウンタとTMOCNTUカウンタは、16ビットレジスタとして16ビットアクセスすることもできます。

16ビットアクセスする場合は、下表に記載のアドレスへアクセスしてください。

表33.6 16ビットアクセスのレジスタ配置

アドレス	上位8ビット	下位8ビット
0008 830Ah	RIIC0.TMOCNTU	RIIC0.TMOCNTL

33.3 動作説明

33.3.1 通信データフォーマット

I²Cバスフォーマットは、8ビットのデータと1ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続くフレームは、アドレスフレームでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 33.3 に I²C バスフォーマットを、図 33.4 に I²C バスタイミングを示します。

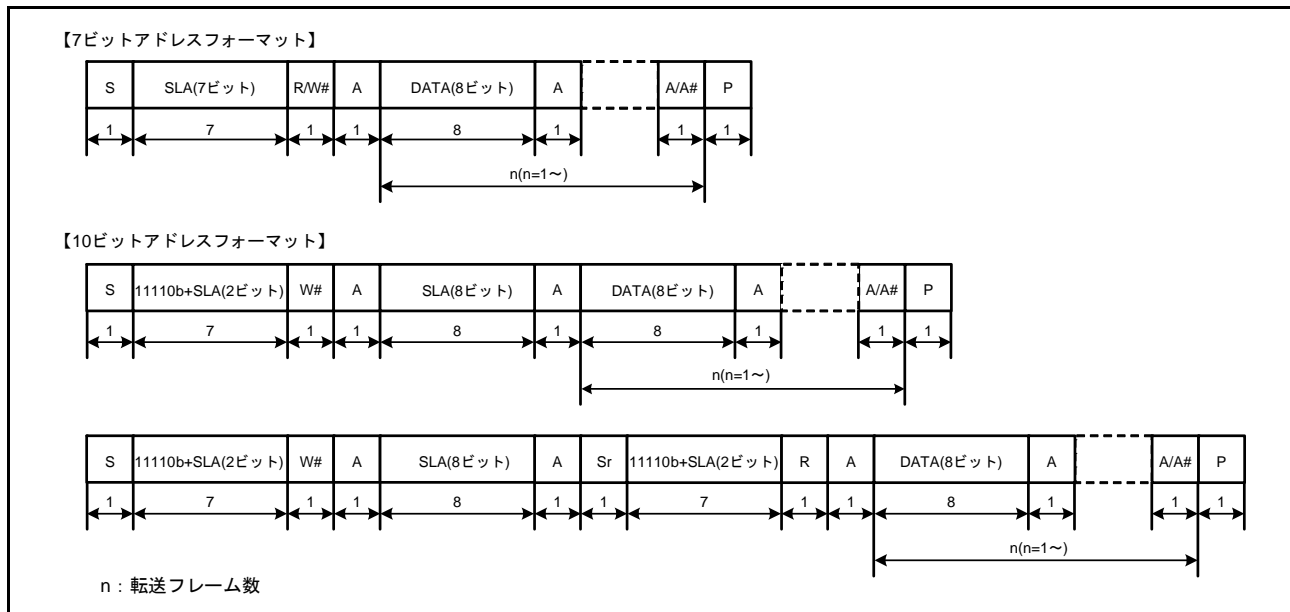


図 33.3 I²C バスフォーマット

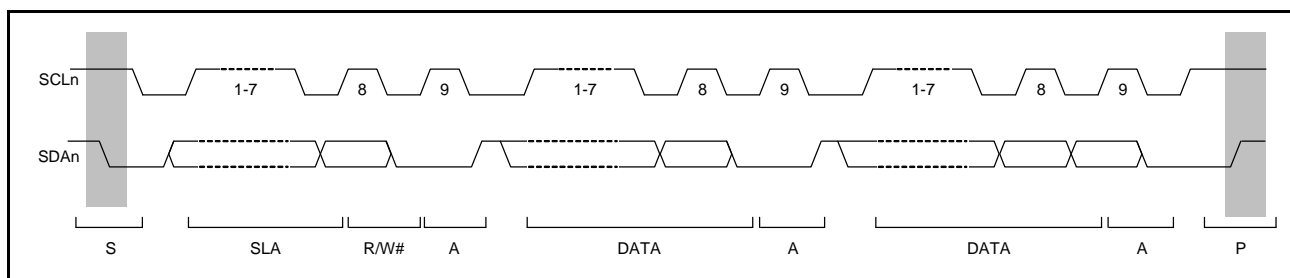


図 33.4 I²C バスタイミング (SLA=7 ビットの場合)

- S : スタートコンディションを示します。マスタデバイスが、SCLnラインがHighの状態からSDAnラインがHighからLowに変化します。
- SLA : スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W# : 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジを示します。受信デバイスがSDAnラインをLowにします (マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。
- A# : ノットアクノリッジを示します。受信デバイスがSDAnラインをHighにします。
- Sr : リスタートコンディションを示します。マスタデバイスが、SCLnラインがHighの状態からセットアップ時間経過後にSDAnラインがHighからLowに変化します。
- DATA : 送受信データを示します。
- P : ストップコンディションを示します。マスタデバイスが、SCLnラインがHighの状態からSDAnラインがLowからHighに変化します。

33.3.2 初期設定

データの送信/受信を開始する場合、**図 33.5** に示す手順に従って RIIC を初期化してください。

ICCR1.ICE ビットを“0” (SCLn、SDAn 端子非駆動状態) にしたまま ICCR1.IICRST ビットを“1” (RIIC リセット) にした後、ICCR1.ICE ビットを“1” (内部リセット) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y=0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については**図 33.5** 参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを“0” (RIIC リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

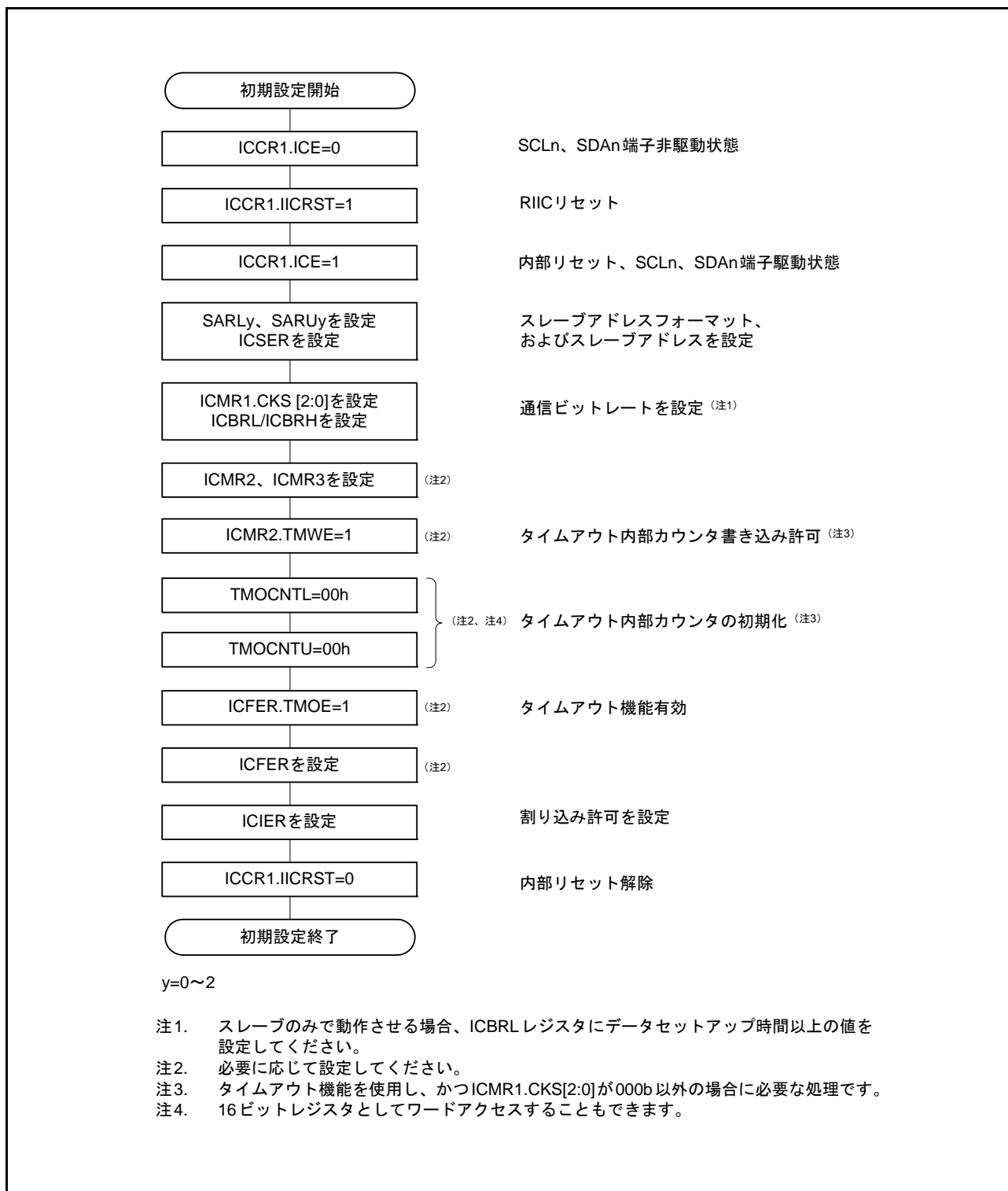


図 33.5 RIIC の初期化フローチャート例

33.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 33.6 にマスタ送信の使用例を、図 33.7 ~ 図 33.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「33.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも出力した SDA 信号と SDA_n ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビット = 0 を受信すると、引き続きマスタ送信モードの状態を継続します。
このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。
なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b+ スレーブアドレスの上位 2 ビット + W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL_n ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが“1”になるまで待つてから ICCR2.SP ビットに“1”を書いてください (ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

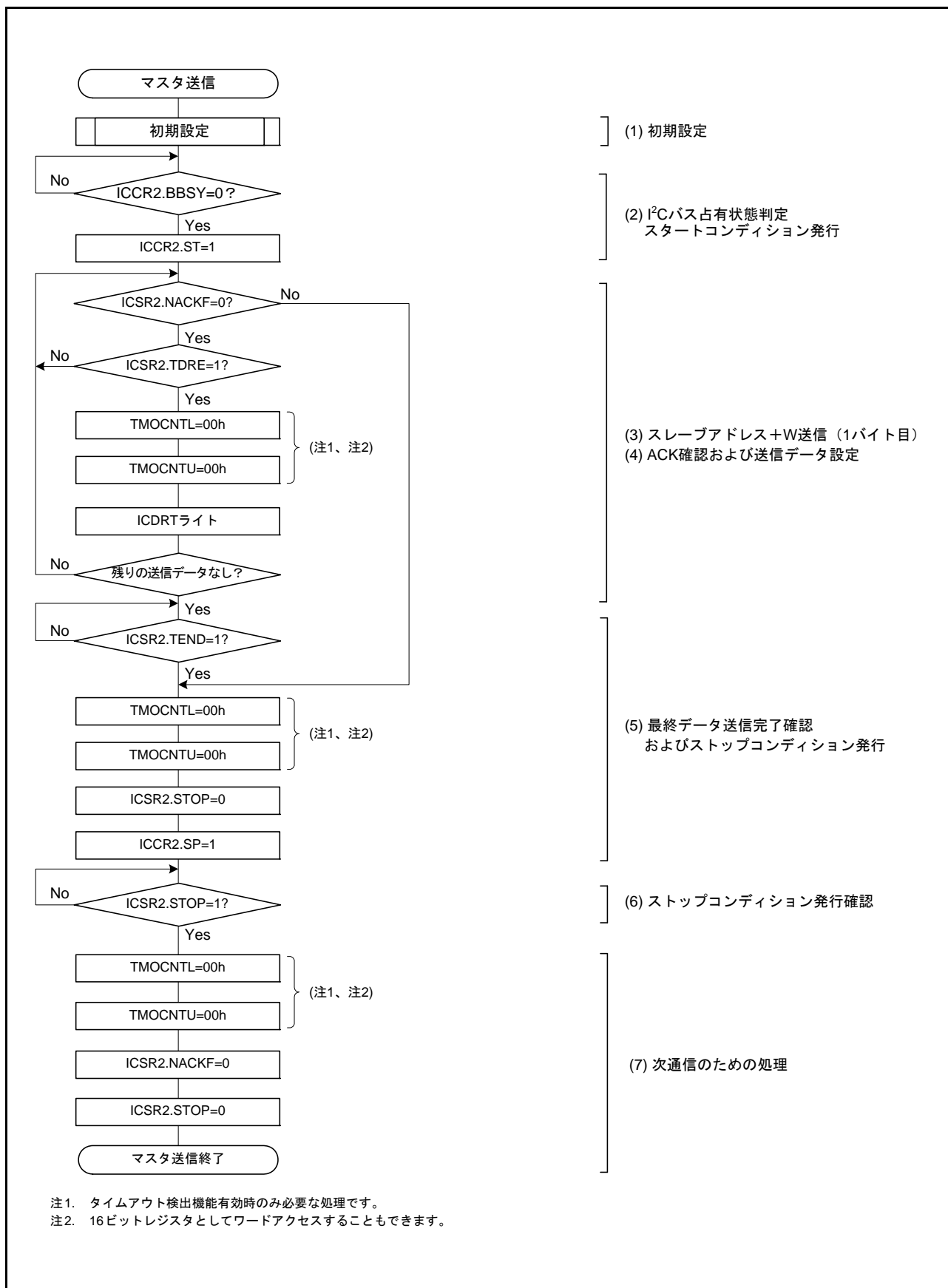


図 33.6 マスタ送信のフローチャート例

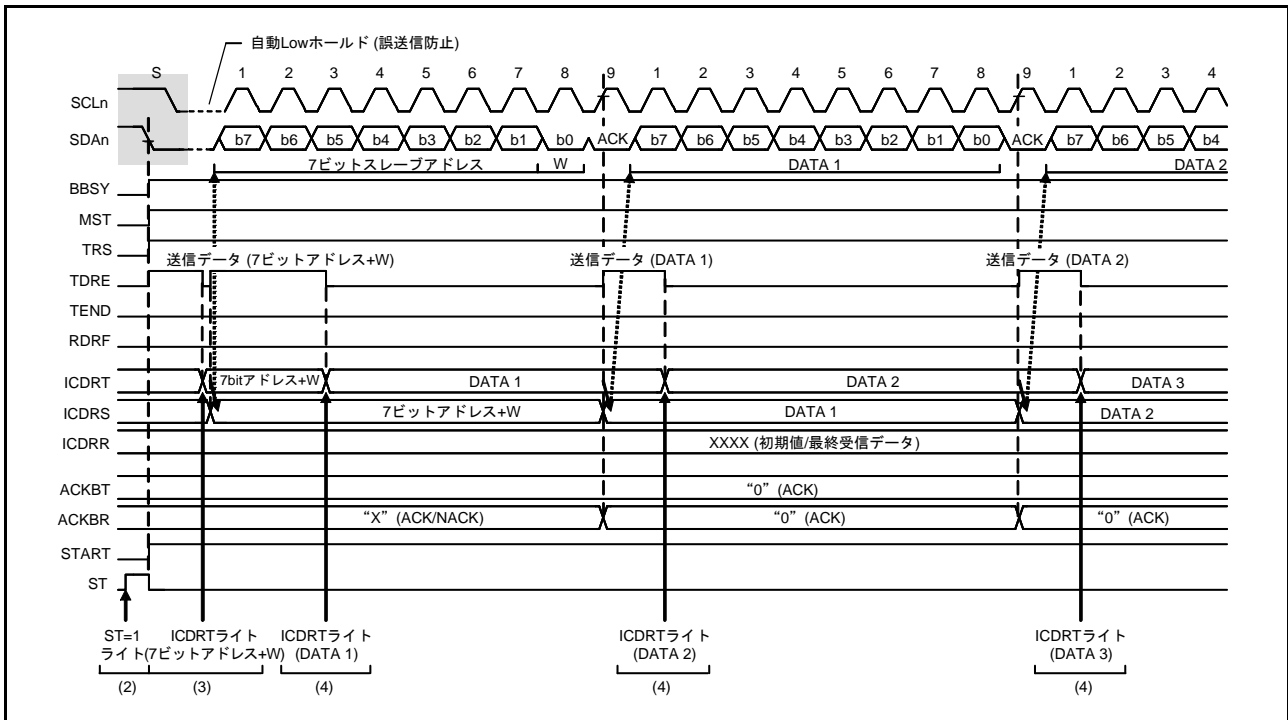


図 33.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

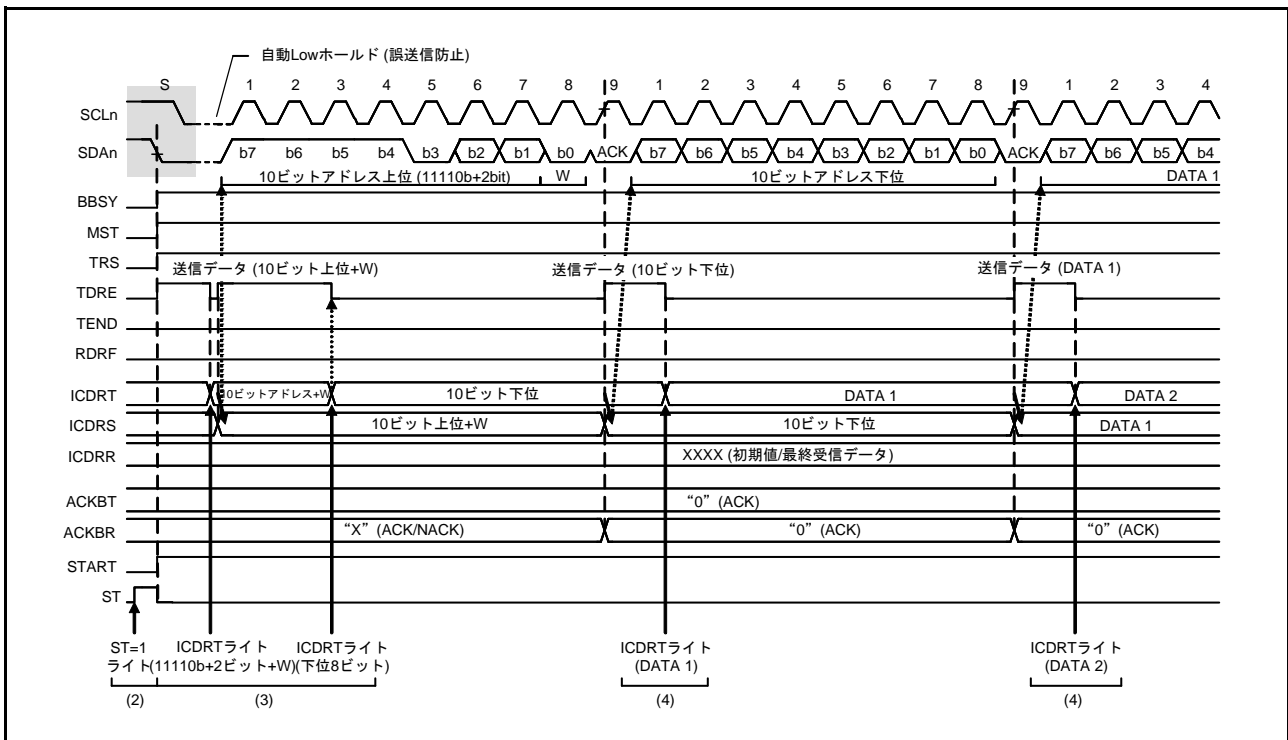


図 33.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットの時)

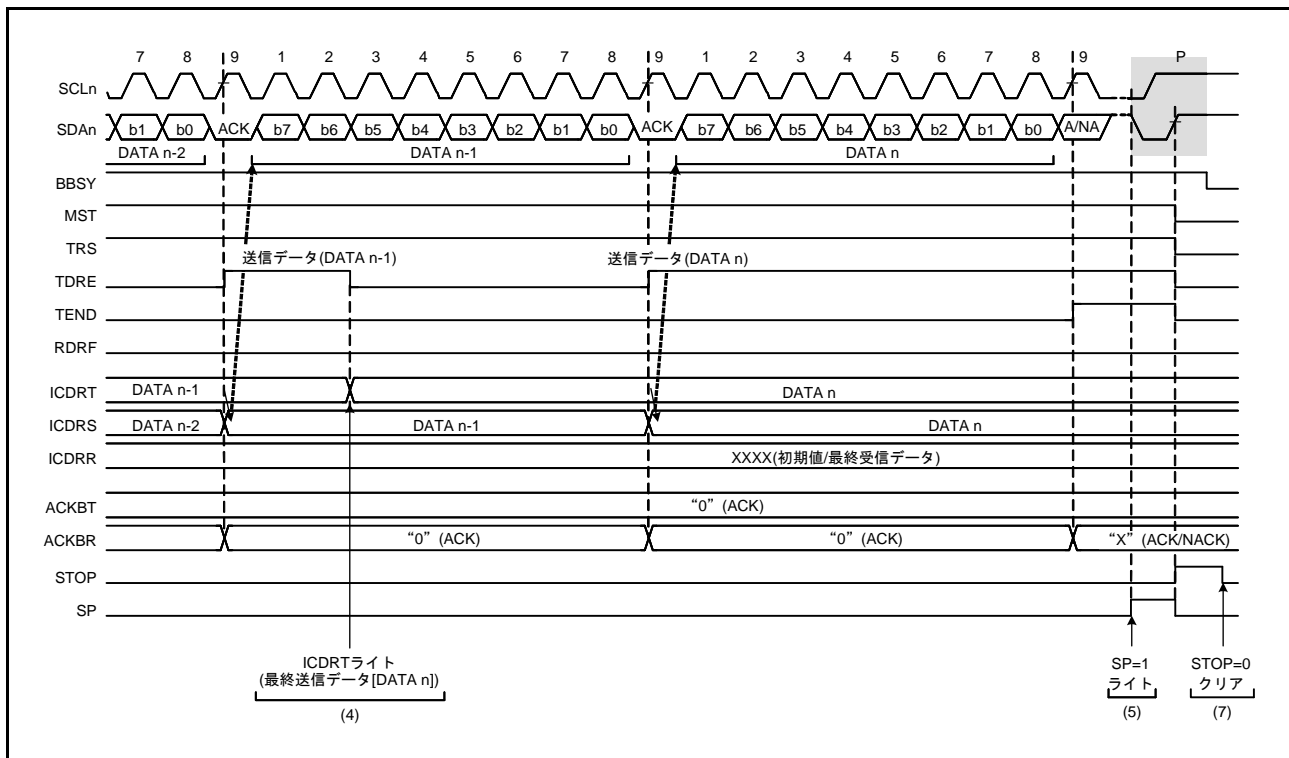


図 33.9 マスタ送信の動作タイミング (3)

33.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 33.10、図 33.11 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 33.12 ~ 図 33.14 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「33.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも出力した SDA 信号と SDA_n ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビット=1 により自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビット=1 を受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信モードに移行しま

す。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。

このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。

なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b+ スレーブアドレスの上位 2 ビット + R を送信することで、マスタ受信モードに移行します。

- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。
- (5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト - 1 の場合、ICDRR レジスタ（最終バイト - 2 バイト目）を読む前に ICMR3.WAIT ビットを“1”（WAIT あり）にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを“1”（NACK）にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするるとともに、最終バイトの受信時に 9 クロック目の立ち下がり で SCLn ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1”（NACK）にしてください。
- (7) ICDRR レジスタ（最終バイト - 1 バイト目）読み出し後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて（ストップコンディション発行要求）、ICDRR レジスタ（最終バイト）を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCLn ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

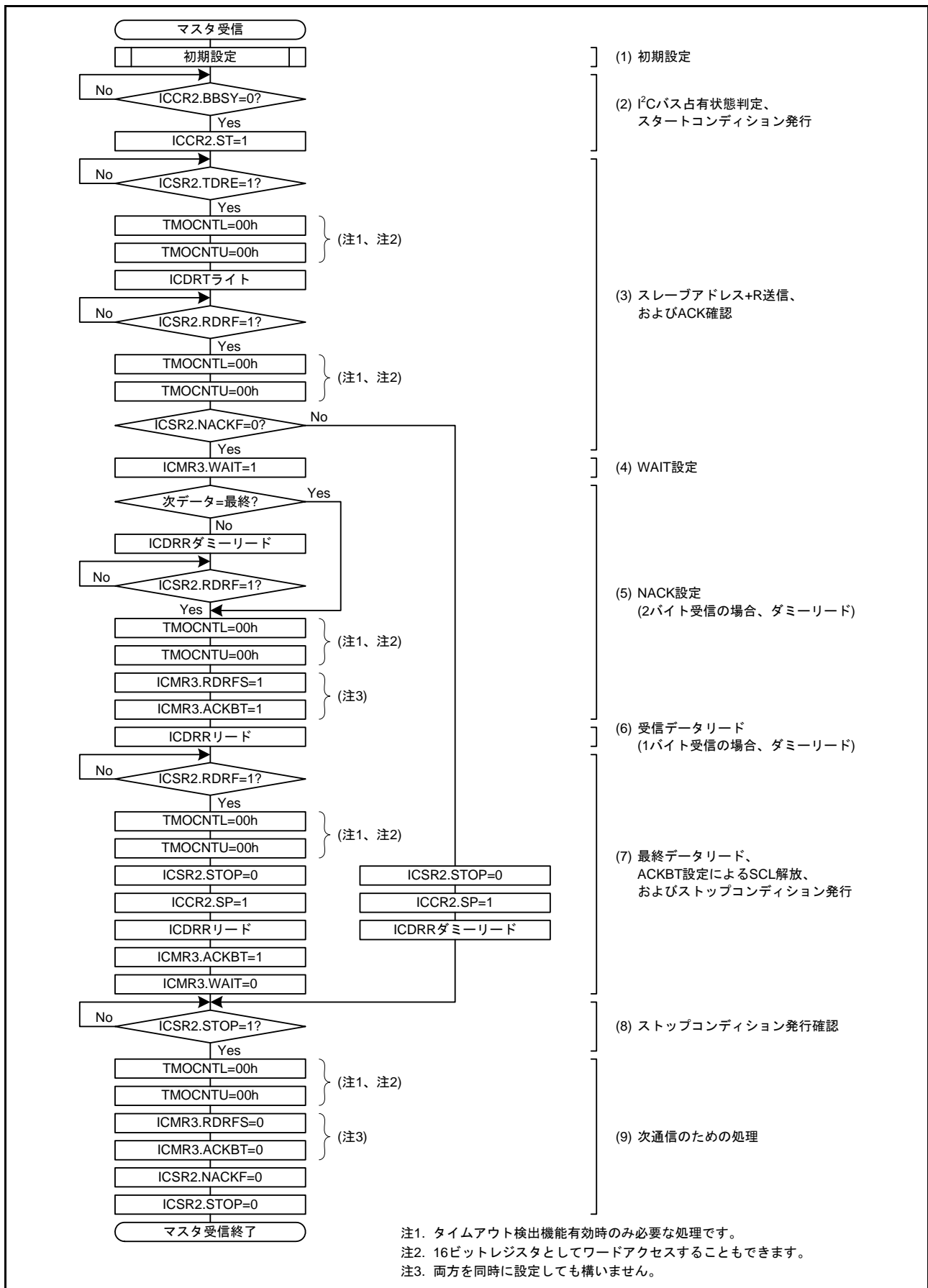


図 33.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマットの場合、2バイト以下の場合)

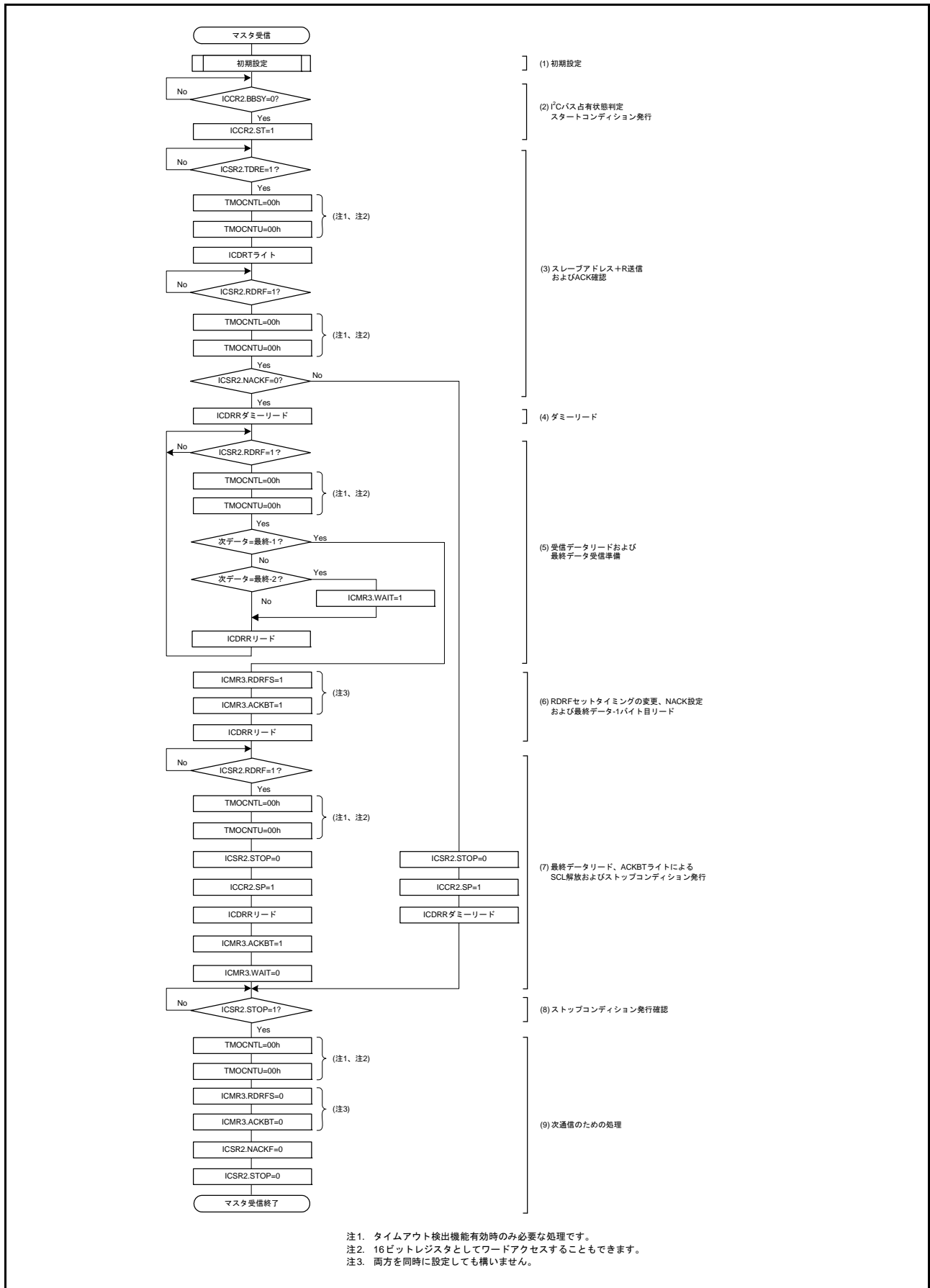


図 33.11 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、3バイト以上の場合)

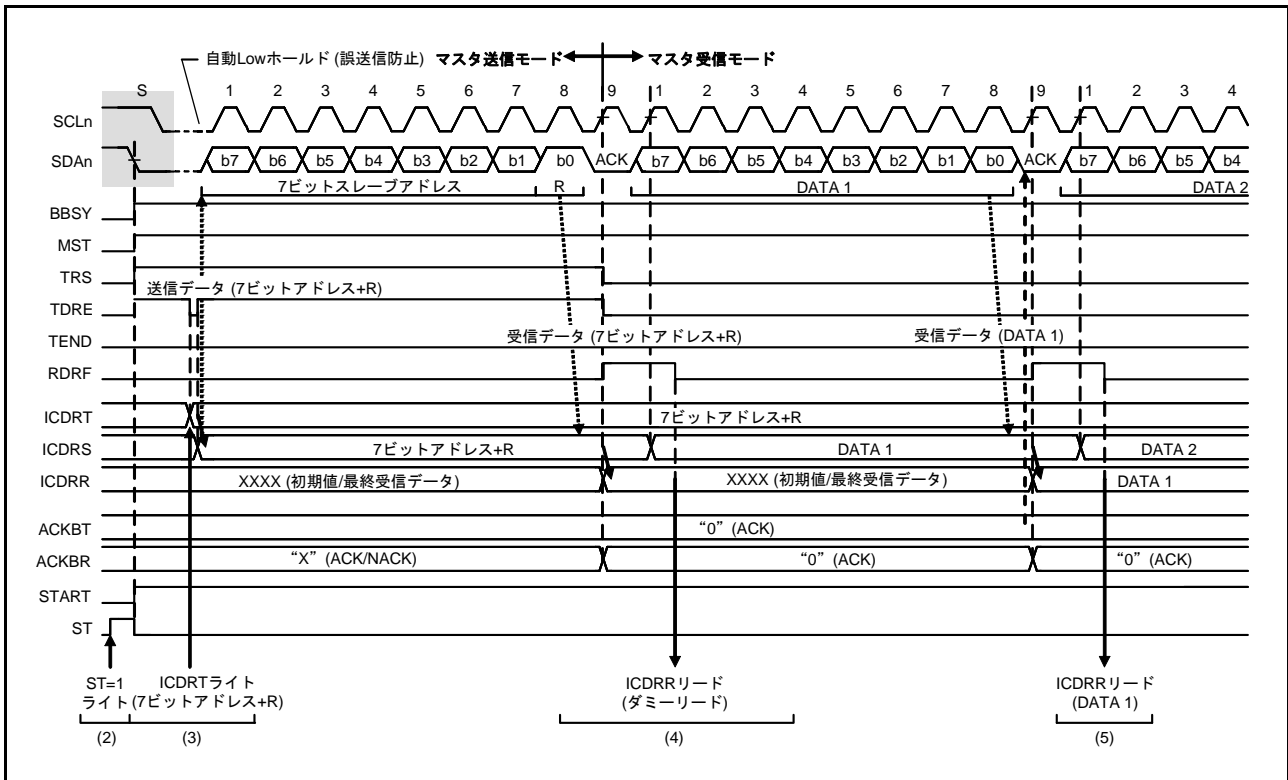


図 33.12 マスタ受信の動作タイミング (1) (7 ビットアドレスフォーマット、RDRFS=0 のとき)

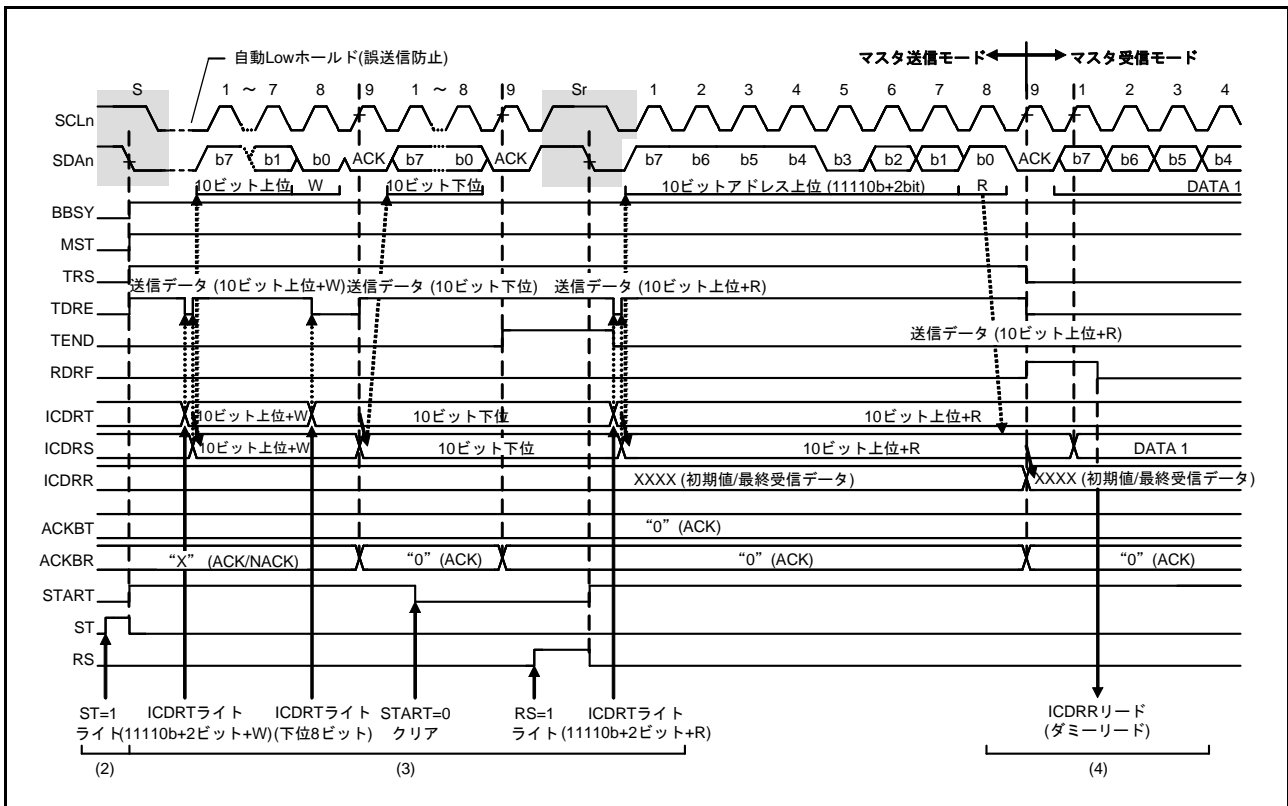


図 33.13 マスタ受信の動作タイミング (2) (10 ビットアドレスフォーマット、RDRFS=0 のとき)

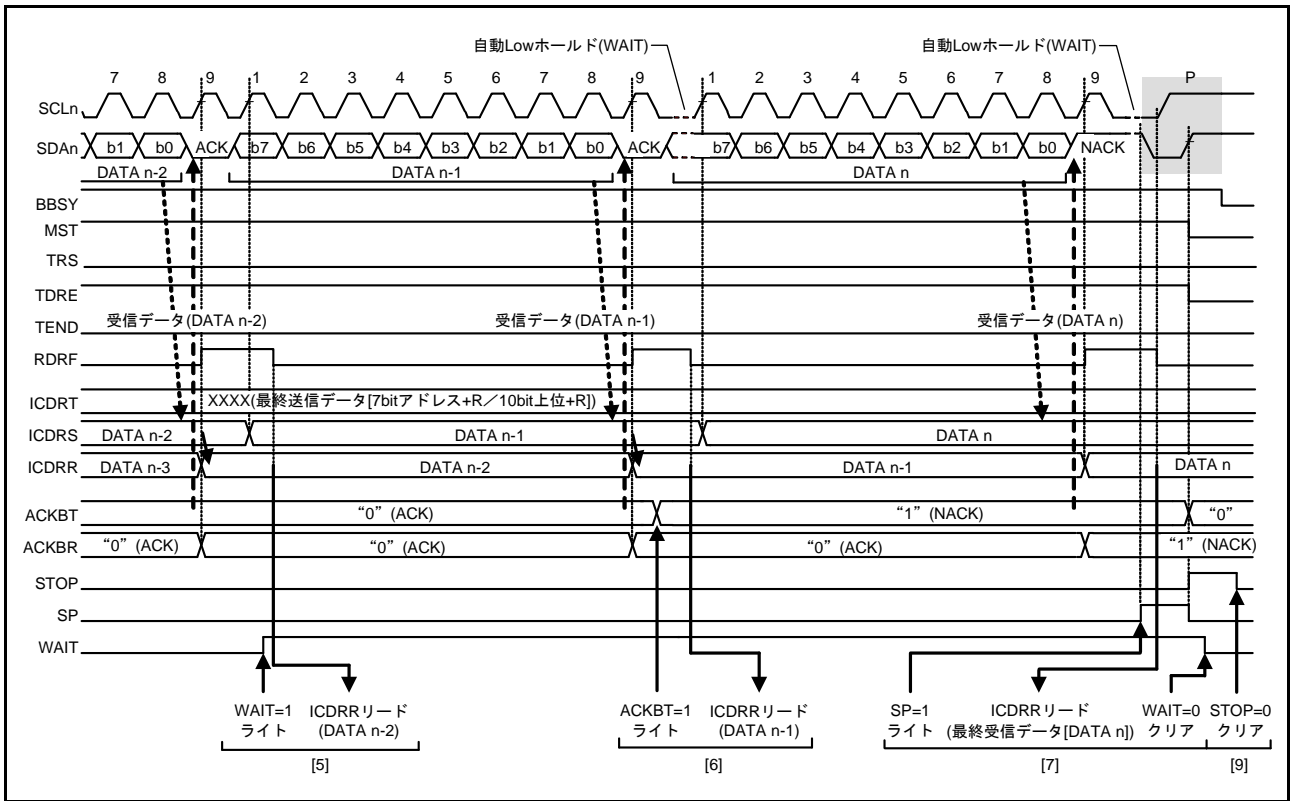


図 33.14 マスタ受信の動作タイミング (3) (RDRFS=0 のとき)

33.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 33.15 にスレーブ送信の使用例を示します。図 33.16、図 33.17 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「33.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “1” のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKF ビットが “1” の状態でマスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが “1” になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが “1” の状態で、ICSR2.TEND フラグが “1” になるまで待ってください。ICSR2.NACKF フラグが “1” または TEND フラグが “1” の場合、RIIC は 9 クロック目の立ち下がり以降 SCLn ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが “1” または ICSR2.TEND フラグが “1” の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCLn ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

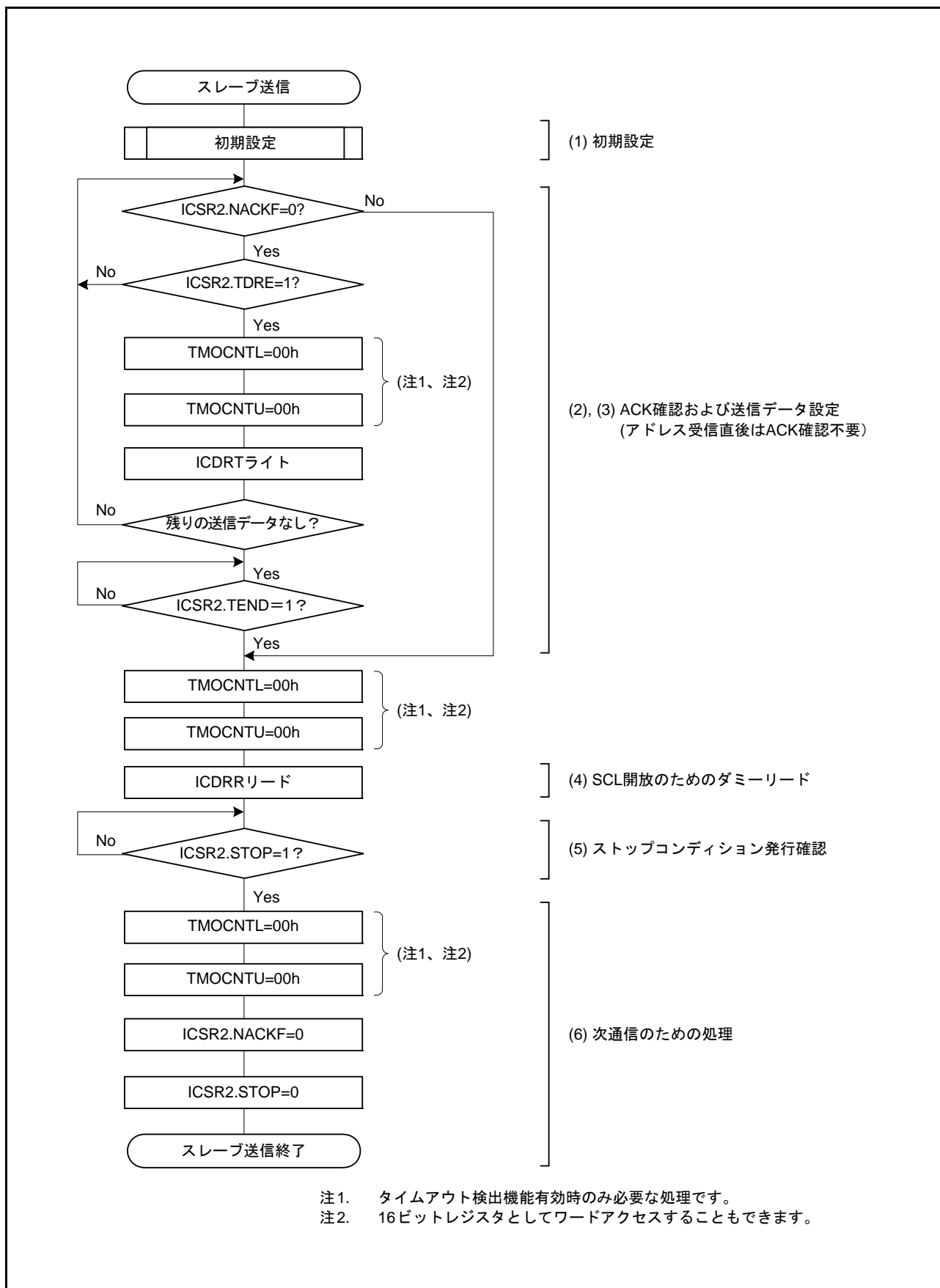


図 33.15 スレーブ送信のフローチャート例

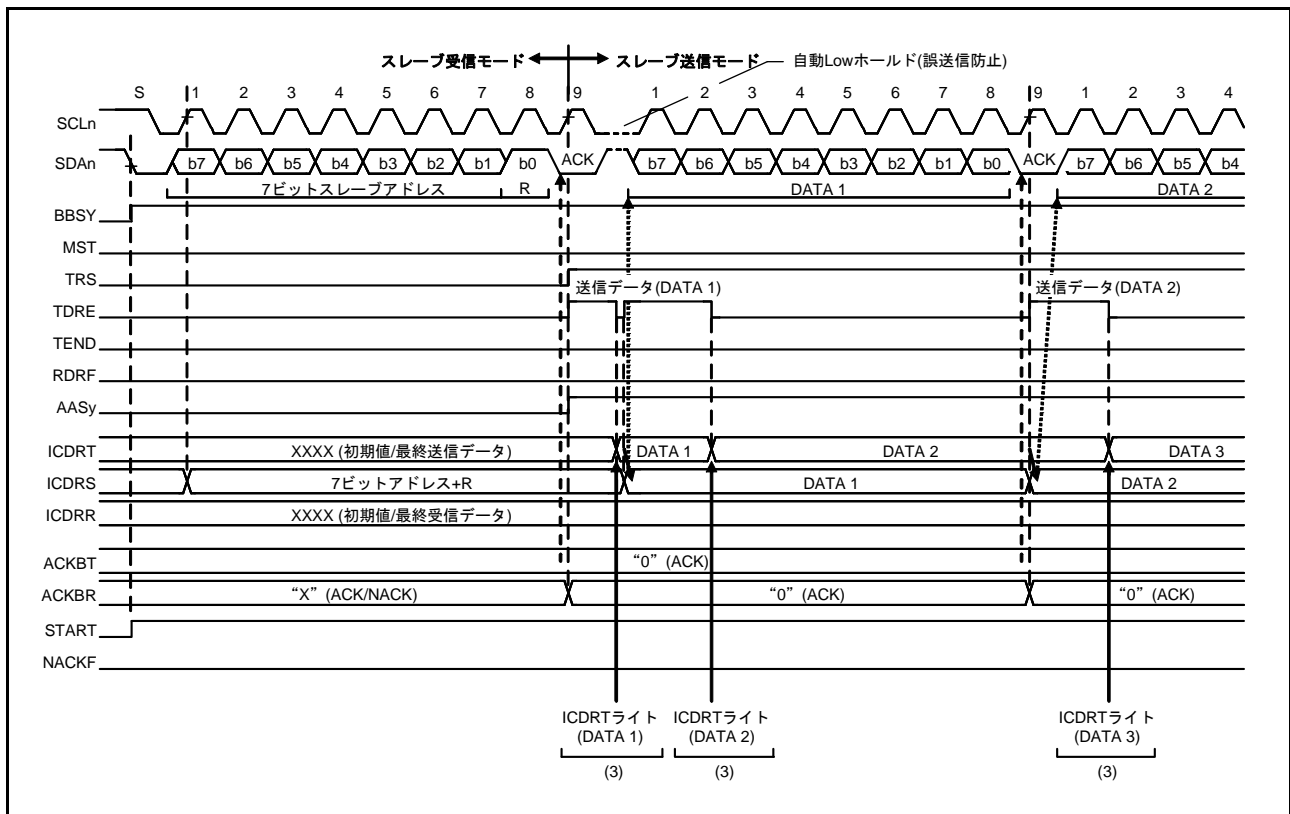


図 33.16 スレープ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

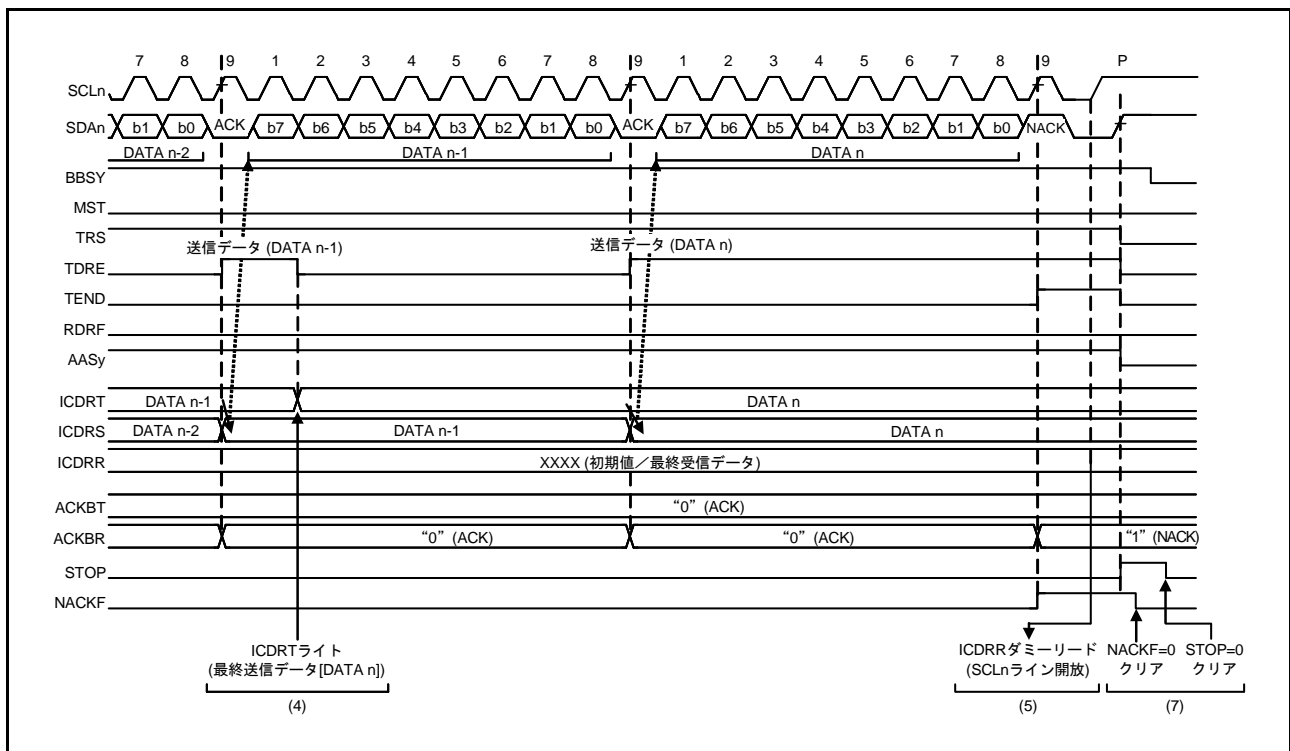


図 33.17 スレープ送信の動作タイミング (2)

33.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 33.18 にスレーブ受信の使用例を図 33.19、図 33.20 にスレーブ受信の動作タイミングを示します。以下にスレーブ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「33.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AAS_y ビット (y=0 ~ 2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを“1”にします。
- (3) ICSR2.STOP フラグが“0”で、かつ ICSR2.RDRF フラグが“1”であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。
- (4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に“0”にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIIC は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL クロック立ち下がり SCL_n ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCL_n ラインを開放します。ICSR2.STOP フラグが“1”で、かつ ICSR2.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AAS_y ビット (y=0 ~ 2) を自動的に“0”にします。
- (6) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.STOP フラグを“0”にしてください。

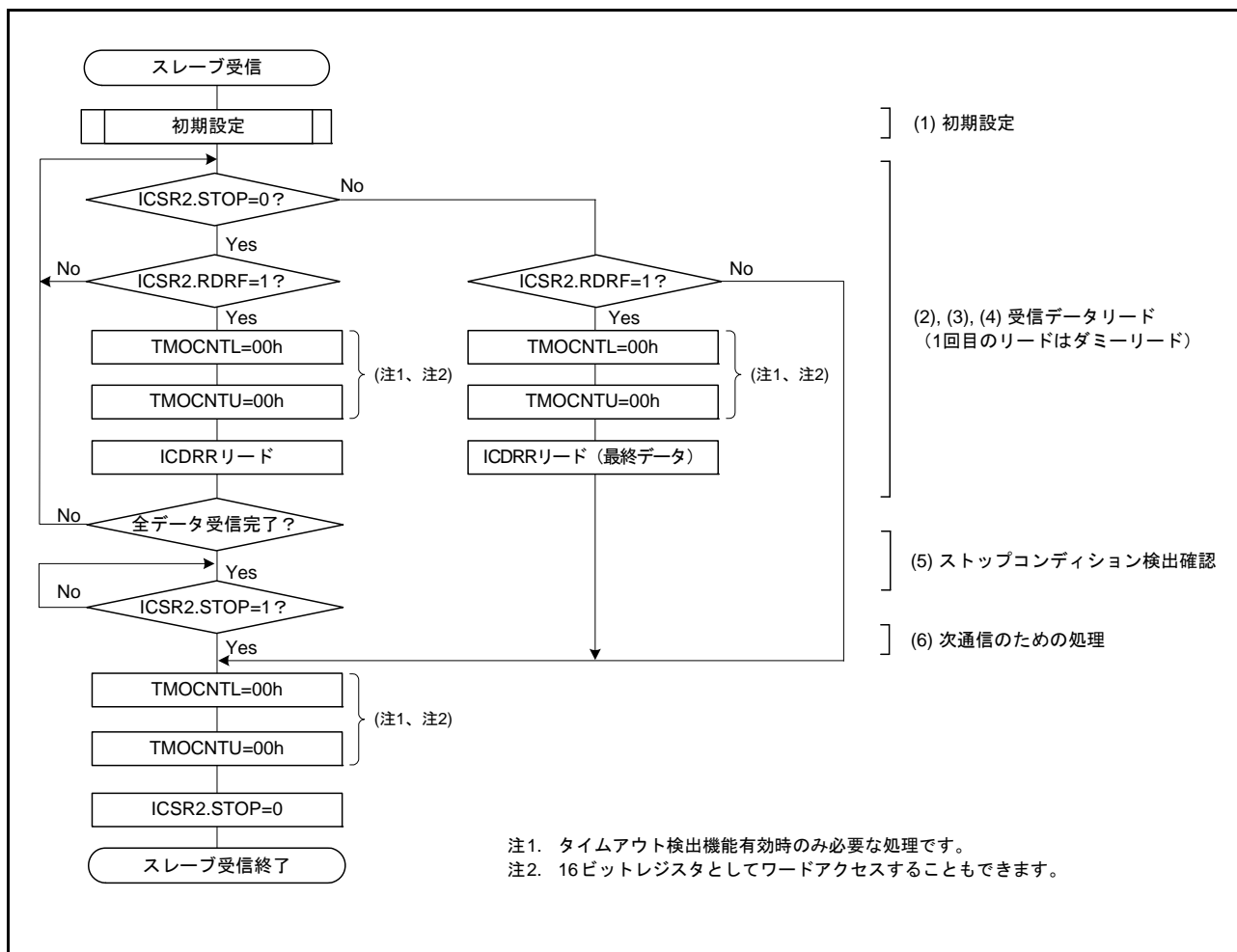


図 33.18 スレーブ受信のフローチャート例

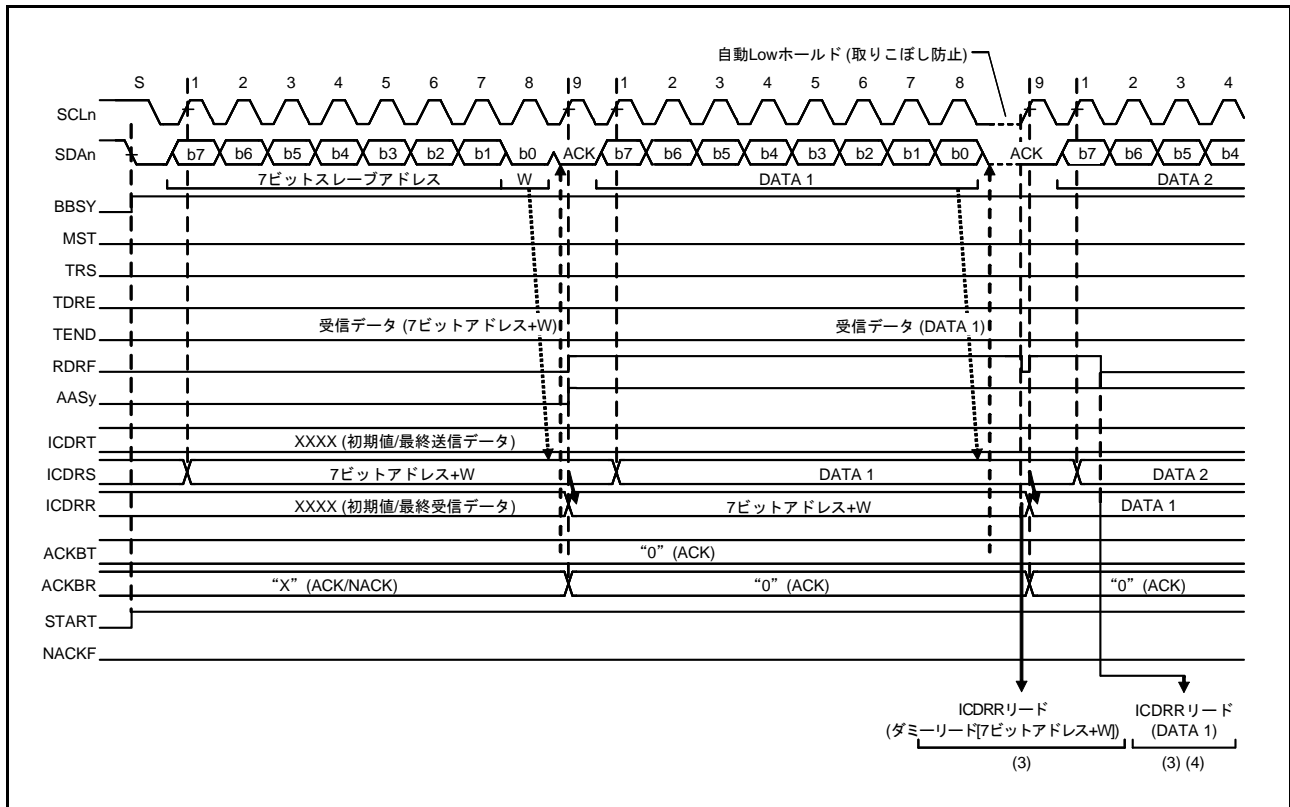


図 33.19 スレーブ受信の動作タイミング (1) (7 ビットアドレスフォーマット、RDRFS=0 のとき)

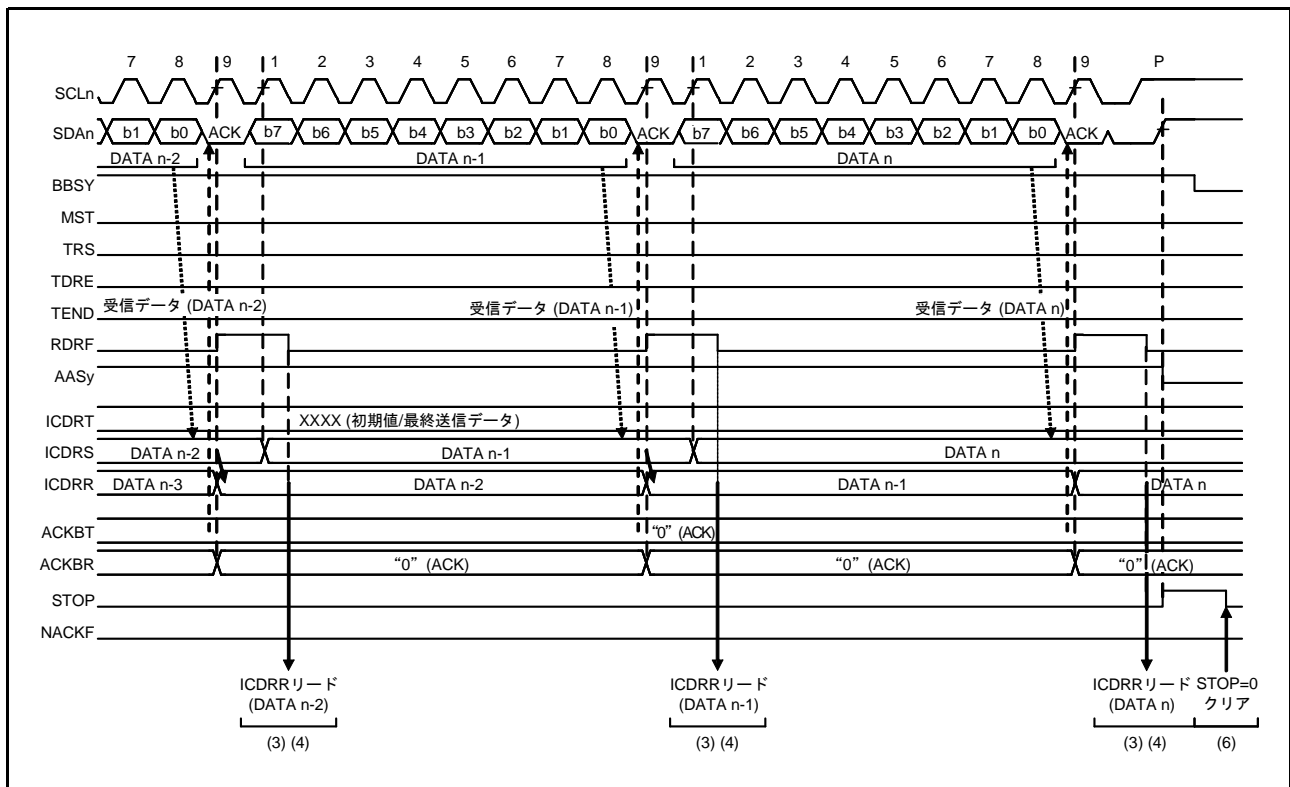


図 33.20 スレーブ受信の動作タイミング (2) (RDRFS=0 のとき)

33.4 SCL 同期回路

RIIC の SCL クロック生成は SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウンタを開始し、High 幅のカウンタが終了すると SCLn ラインを Low にドライブして立ち下げます。また SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウンタを開始し、Low 幅のカウンタが終了すると SCLn ラインの Low ドライブを終了して SCLn ラインを開放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があります。RIIC はマスタモード時に SCLn ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能 (SCL 同期回路) を備えています。

RIIC が SCLn ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウンタ中に他のマスタデバイスの SCL クロック出力により SCLn ラインが立ち下げられた場合、RIIC は SCLn ラインの立ち下がりを検出すると High 幅のカウンタアップ動作を中断し、SCLn ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウンタアップを開始します。Low 幅のカウンタが終了すると SCLn ラインの Low ドライブを終了して SCLn ラインを開放します。このとき他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインが開放され SCL クロックが立ち上がります。そのため SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが“1”のとき有効です。

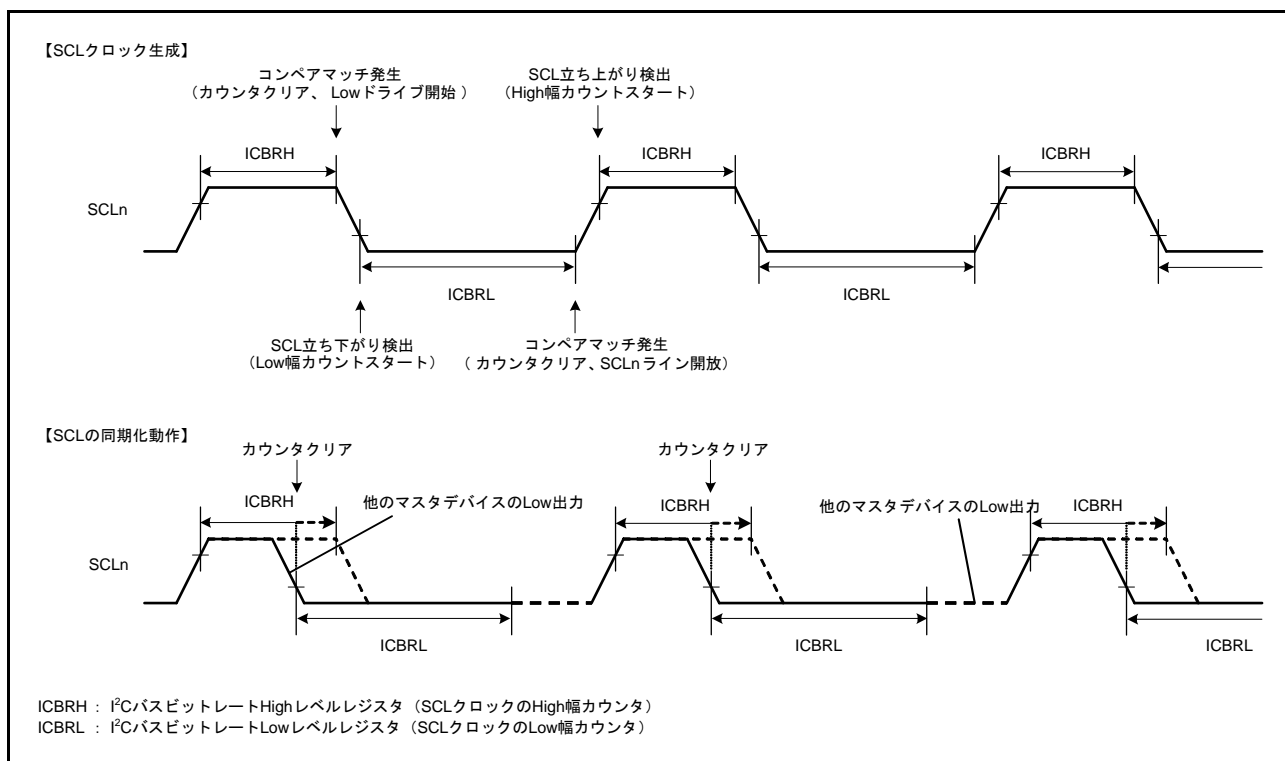


図 33.21 RIIC の SCL クロック生成および SCL 同期化動作

33.5 SDA 出力遅延機能

RIIC は SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング（発行動作（開始 / 再開始 / 停止）、データ出力、ACK/NACK 出力）を遅延させることができます。

SDA 出力遅延機能は、SCL クロックの立ち上がり検出から SDA 出力を遅延させ、確実に SCL クロックの Low 期間中に SDA 出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用する機能で、SMBus のデータホールド時間：300ns（min）の規格を満たす目的でも使用することができます。

この SDA 出力遅延機能は ICMR2.SDDL[2:0] ビットが “000b” 以外のとき有効で、SDDL[2:0] ビットが “000b” のとき無効です。

SDA 出力遅延機能が有効（SDDL[2:0] ビットが “000b” 以外）のとき、SDA 出力遅延カウンタは ICMR2.DLCS ビットで選択された内部基準クロック（IICφ）またはその 2 分周クロック（IICφ/2）をカウントソースとして SDDL[2:0] ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル数のカウントが終了した時点で RIIC は SDA 出力（発行動作（開始 / 再開始 / 停止）、データ出力、ACK/NACK 出力）を行います。

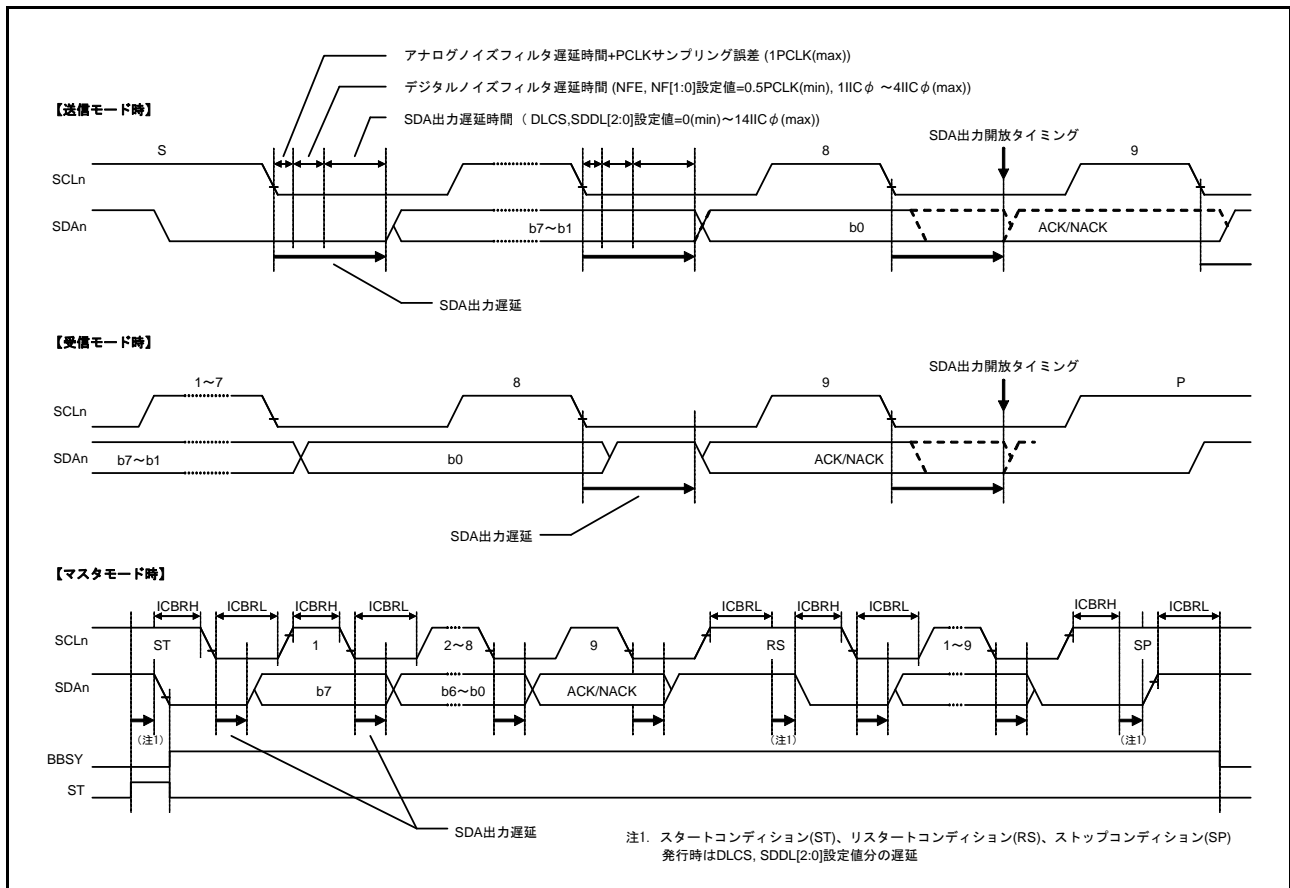


図 33.22 SDA 出力遅延タイミング

33.6 デジタルノイズフィルタ回路

SCLn 端子および SDA_n 端子の状態は、アナログノイズフィルタ回路およびデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 33.23 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1IIC_φ ~ 4IIC_φ サイクル分となります。

SCLn 端子入力信号（または SDA_n 端子入力信号）は IIC_φ の立ち下がりでサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLK = 4MHz 時の 400kbps 通信のような内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止 (ICFER.NFE ビット = 0) し、アナログノイズフィルタ回路のみを使用することが可能です。

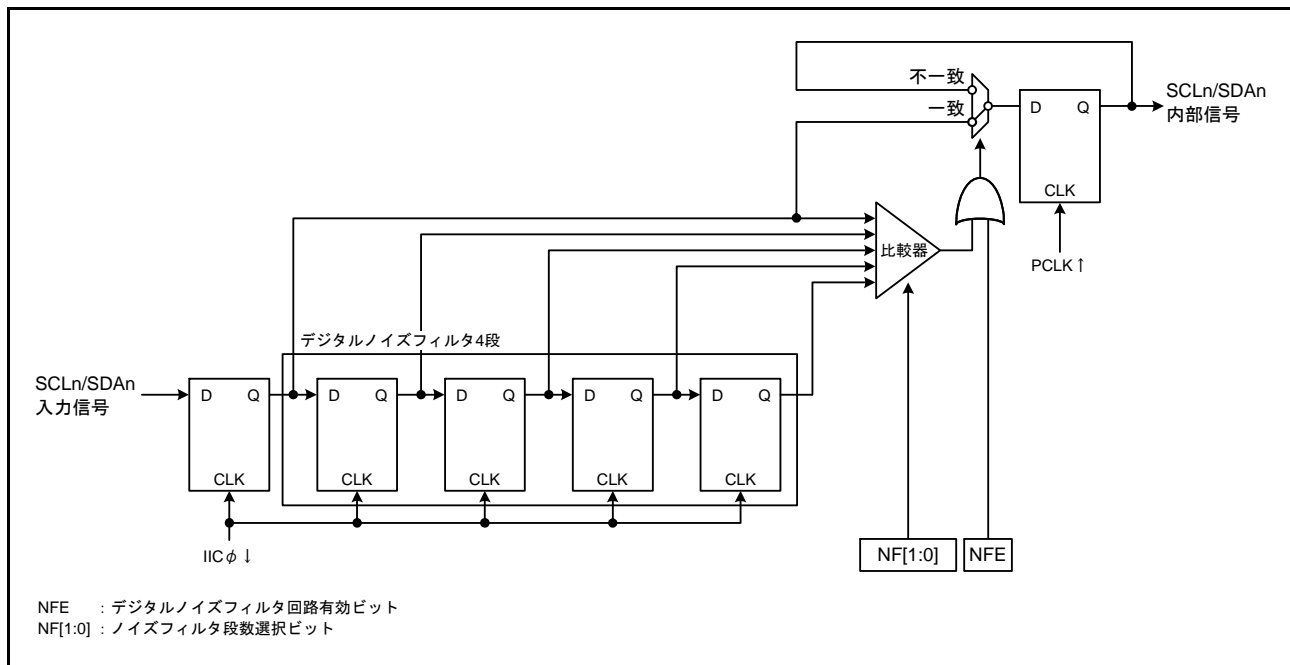


図 33.23 デジタルノイズフィルタ回路のブロック図

33.7 アドレス一致検出機能

RIICはジェネラルコールアドレス、ホストアドレスの他に3種類のスレーブアドレスを設定可能です。またスレーブアドレスには7ビットアドレスまたは10ビットアドレスの設定が可能です。

33.7.1 スレーブアドレス一致検出機能

RIICは3種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyEビット(y=0~2)が“1”のとき、SARUy/SARLyレジスタ(y=0~2)に設定されたスレーブアドレスを検出することができます。

RIICは設定されたスレーブアドレス一致を検出すると、SCLクロックの9クロック目の立ち上がりで該当するICSR1.AASyフラグ(y=0~2)を“1”にし、続くR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグを“1”にします。これにより受信データフル割り込み(RXI)または送信データエンpty割り込み(TXI)を発生させることができ、AASyフラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図33.24~図33.26にAASyフラグが“1”になるタイミングを示します。

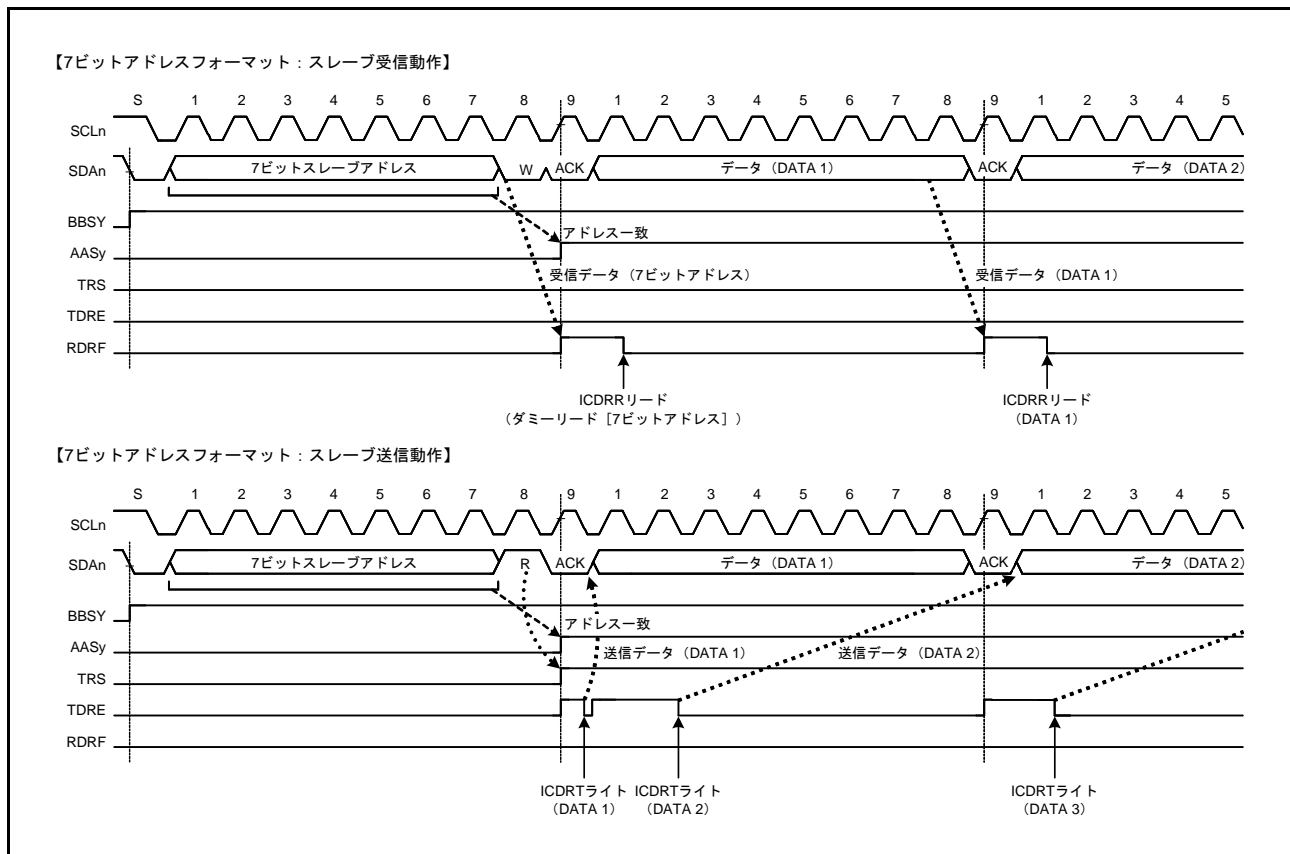


図 33.24 7ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

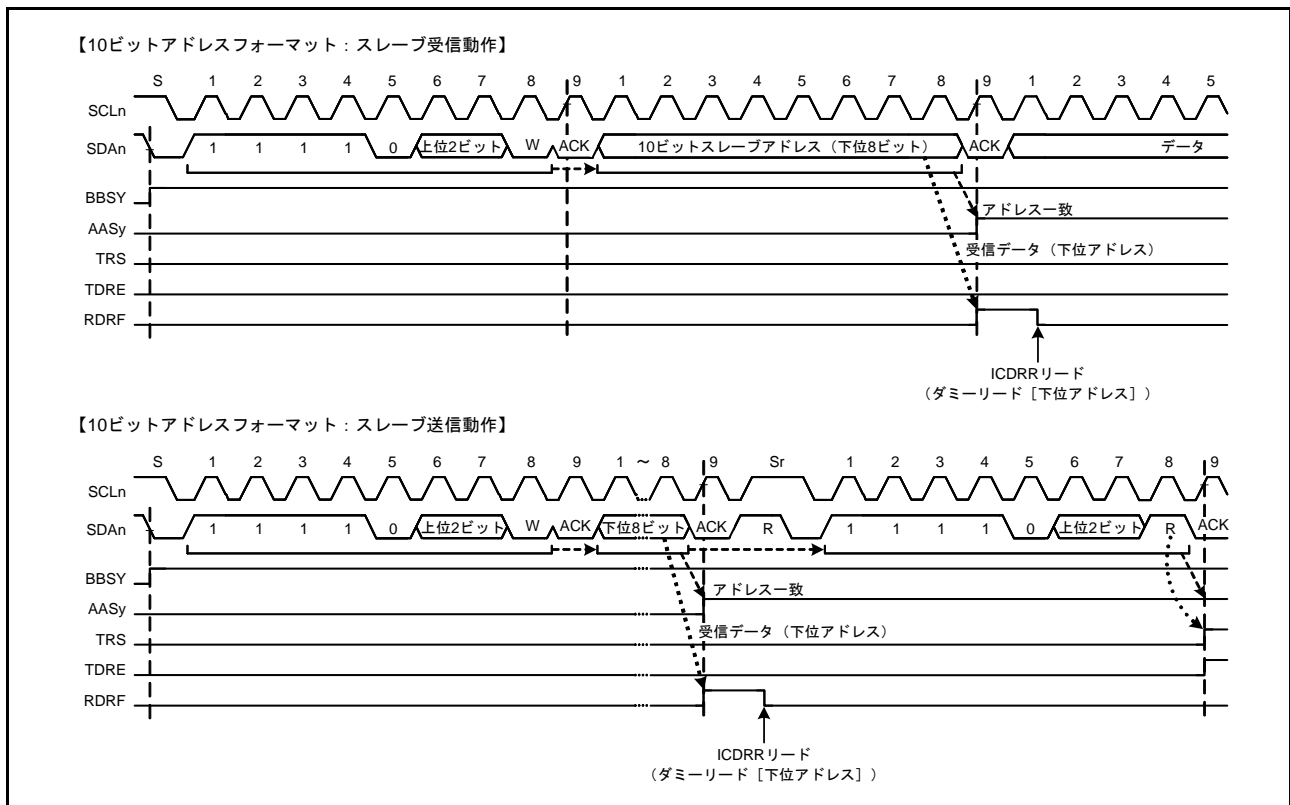


図 33.25 10ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

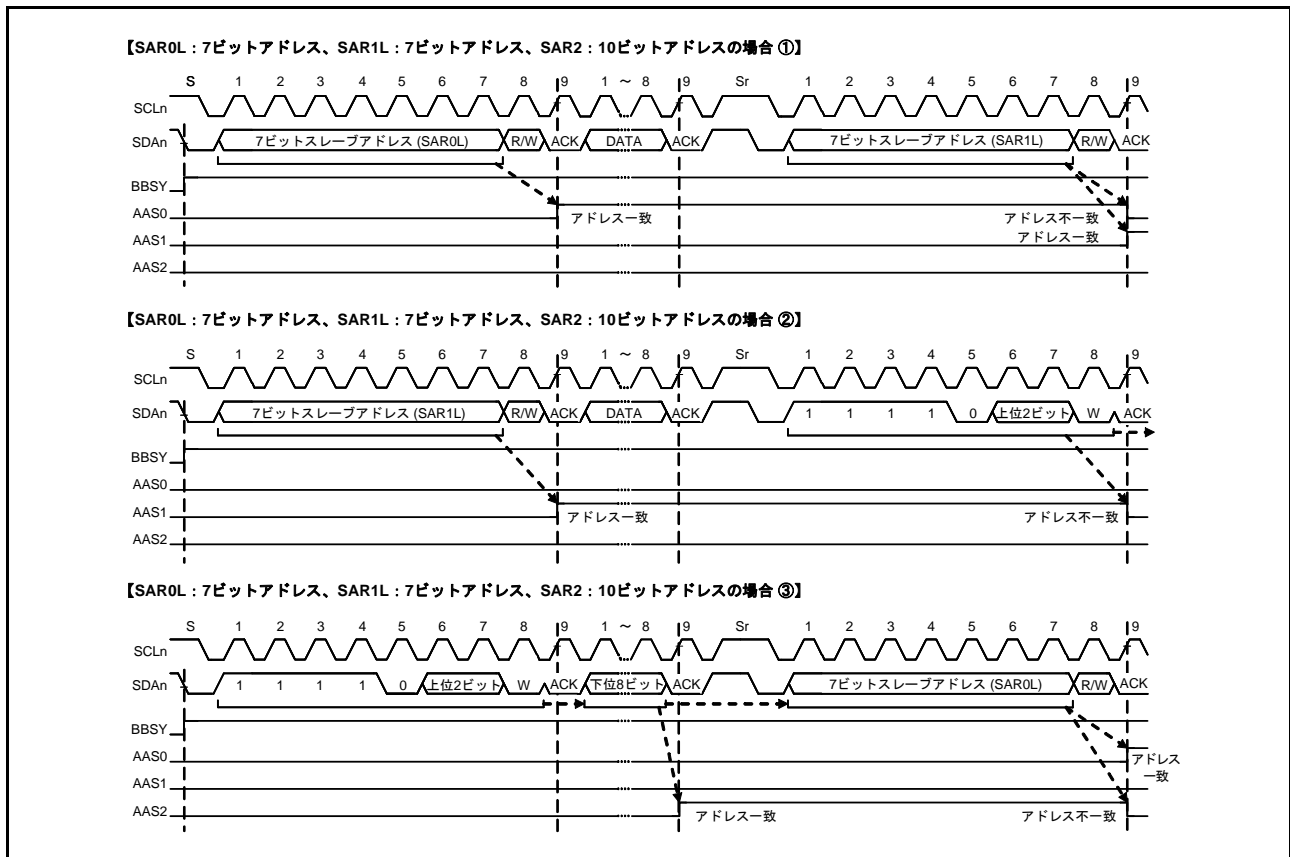


図 33.26 7ビット/10ビットアドレスフォーマット混在時に AASy フラグが“1”または“0”になるタイミング

33.7.2 ジェネラルコールアドレス検出機能

RIICはジェネラルコールアドレス (0000 000b + 0[W]) の検出機能を備えています。ICSR.GCAE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b + 1[R] (スタートバイト) だった場合、RIICはこのアドレスを All“0”のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIICはジェネラルコールアドレスを検出すると、SCLクロックの9クロック目の立ち上がりで ICSR1.GCA フラグを“1”にし、同時に ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

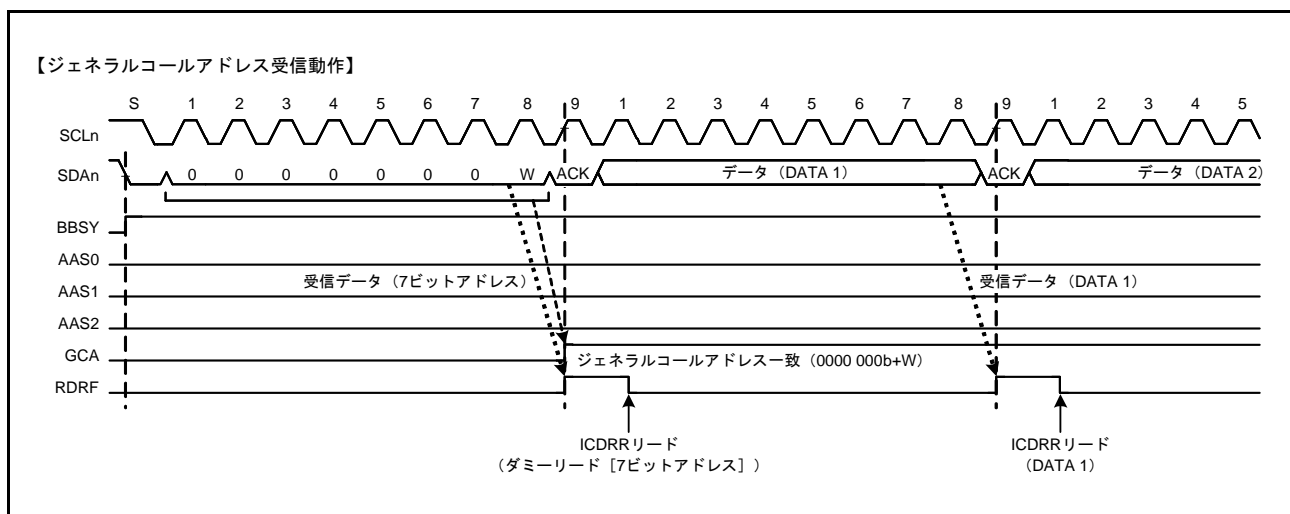


図 33.27 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

33.7.3 デバイス ID アドレス検出機能

RIICはI²Cバス(Rev.03)に準拠したデバイスIDアドレスの検出機能を備えています。ICSER.DIDEビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の1バイト目に1111 100bを受信すると、RIICはこのアドレスをデバイスIDアドレスと認識し、続くR/W#ビットが“0”のときSCLクロックの8クロック目の立ち上がりでICSR1.DIDフラグを“1”にした後、2バイト目以降と自スレーブアドレスとの比較動作を行います。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当するICSR1.AAS_yフラグ(y=0~2)が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の1バイト目が再びデバイスIDアドレス(1111 100b)と一致し、続くR/W#ビットが“1”のときRIICは続く2バイト目以降はアドレス比較動作を行わず、ICSR2.TDREフラグを“1”にします。

デバイスIDアドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイスIDアドレスと不一致の場合、DIDフラグを“0”にし、スタートコンディションまたはリスタートコンディション後の1バイト目がデバイスIDアドレス(1111 100b)と一致し、かつR/W#ビットが“0”のときDIDフラグを“1”にセットし、続く2バイト目以降をスレーブアドレスと比較します。R/W#ビットが“1”の場合、DIDフラグは前値の状態を継続し、2バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE=1確認後DIDフラグをチェックすることで、デバイスIDを受信したことを確認することができます。

なお、一連のデバイスID受信後にホストに送信するデバイスIDフィールドとして必要な情報(3バイト分: メーカー[12ビット]+部品識別[9ビット]+リビジョン[3ビット])は、通常の送信データと同様あらかじめ準備してください。また、デバイスIDフィールドに必要な情報の詳細についてはNXP社にお問い合わせください。

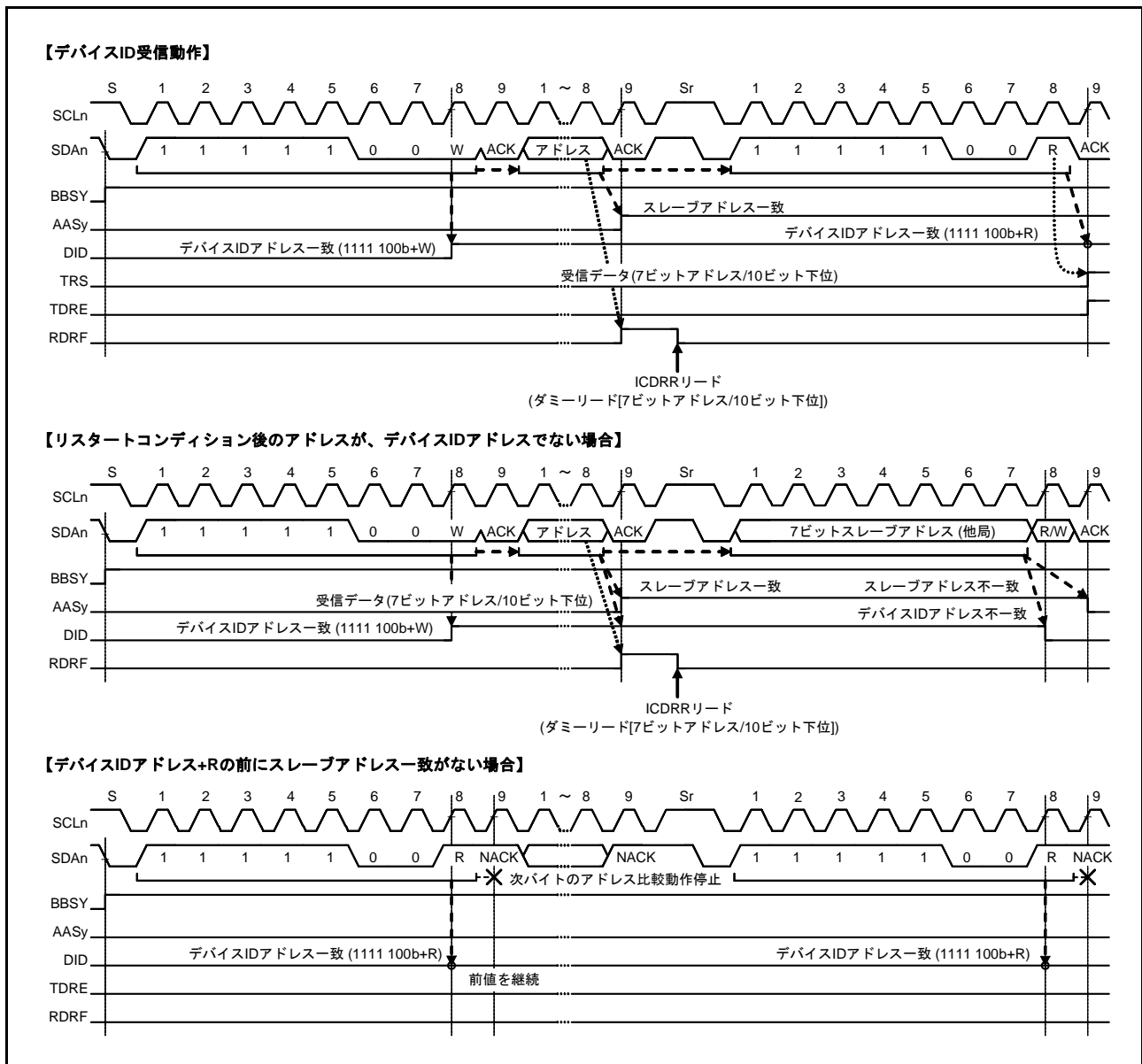


図 33.28 デバイス ID アドレス受信時の AASy、DID フラグセット/クリアタイミング

33.7.4 ホストアドレス検出機能

RIICにはSMBus動作時にホストアドレス検出機能を備えています。ICMR3.SMBSビットが“1”のときICSER.HOAEビットを“1”にすると、スレーブ受信モード (ICCR2.MST, TRSビット=00b) にホストアドレス (0001 000b) を検出することが可能です。

RIICはホストアドレスを検出すると、SCLクロックの9クロック目の立ち上がりでICSR1.HOAフラグを“1”にし、Wrビット (R/W#ビットに“0”を受信) のときICSR2.RDRFフラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、HOAフラグを確認することでスマートバッテリーなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス (0001 000b) に続くビットがRdビット (R/W#ビットに“1”を受信) の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

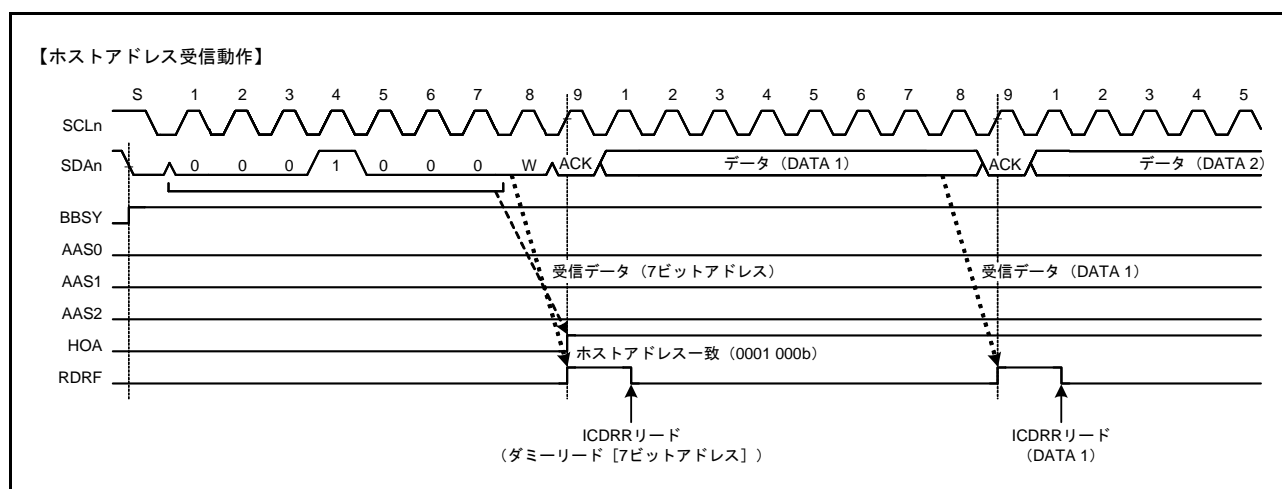


図 33.29 ホストアドレス受信時に HOA フラグが“1”になるタイミング

33.8 SCLの自動Lowホールド機能

33.8.1 送信データ誤送信防止機能

RIICは送信モード時 (ICCR2.TRS ビット=1)、シフトレジスタ (ICDRS レジスタ) が空の状態であつ送信データ (ICDRT レジスタ) が書かれていない場合、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の Low 区間

《スレーブ送信モード》

- 9クロック目と1クロック目の Low 区間

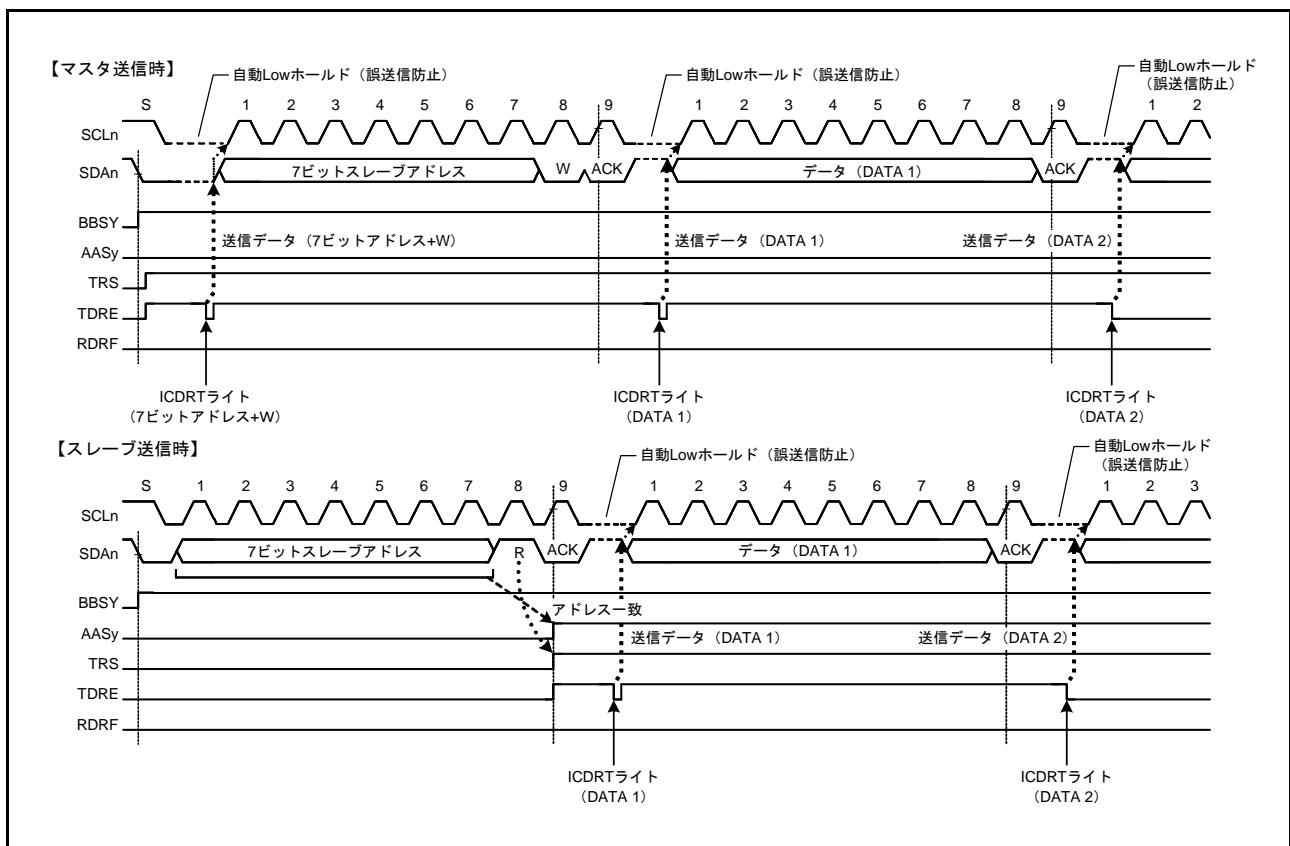


図 33.30 送信モードの自動 Low ホールド動作

33.8.2 NACK 受信転送中断機能

RIICは送信モード時 (ICCR2.TRS ビット=1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKC ビットが“1” (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ=0の状態)、SCL クロックの9クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が“0”のときの SDA_n ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ=1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを“0”にしてください。またマスタ送信モードの場合には NACKF フラグを“0”にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

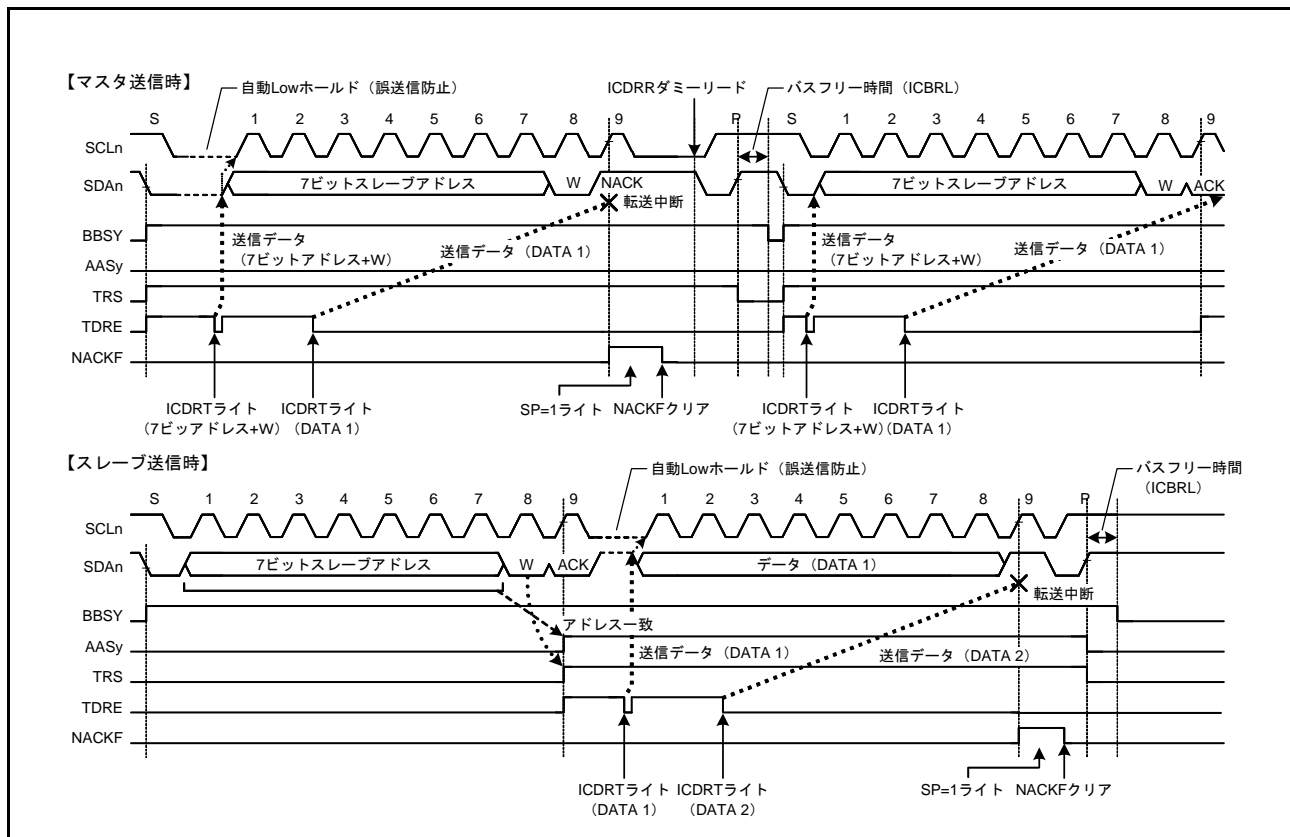


図 33.31 NACK 受信時の転送中断動作 (NACKC=1 のとき)

33.8.3 受信データ取りこぼし防止機能

RIICは受信モード時 (ICCR2.TRS ビット=0)、受信データフル (ICSR2.RDRF フラグ=1) の状態で受信データ (ICDRT レジスタ) の読み出しが1転送フレーム以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の1つ手前で自動的に SCL_n ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では ICMR3.WAIT, RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる1バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIICはWAIT ビット機能による1バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、RIICはSCLクロックの8クロック目の立ち下がりから9クロック目の立ち下がり期間のアクノリッジビットには自動的にICMR3.ACKBT ビットの内容が送出され、9クロック目立ち下がりを検出するとWAIT ビット機能により自動的にSCLn ラインをLowにホールドします。このLow ホールドはICDRR レジスタの読み出しによって解除されます。そのため1バイトごとの受信動作が可能となります。

なおWAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信フレームから有効になります。

(2) RDRFS ビットによる1バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIICはRDRFS ビット機能による1バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ (ICSR2.RDRF フラグ) が“1”になるタイミングがSCLクロックの8クロック目の立ち上がりに変更され、8クロック目の立ち下がりを検出すると自動的にSCLn ラインをLowにホールドします。このLow ホールドはICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため1バイトごとに受信したデータの内容に応じたACK/NACK 送出の受信動作が可能となります。

なおRDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信フレームから有効になります。

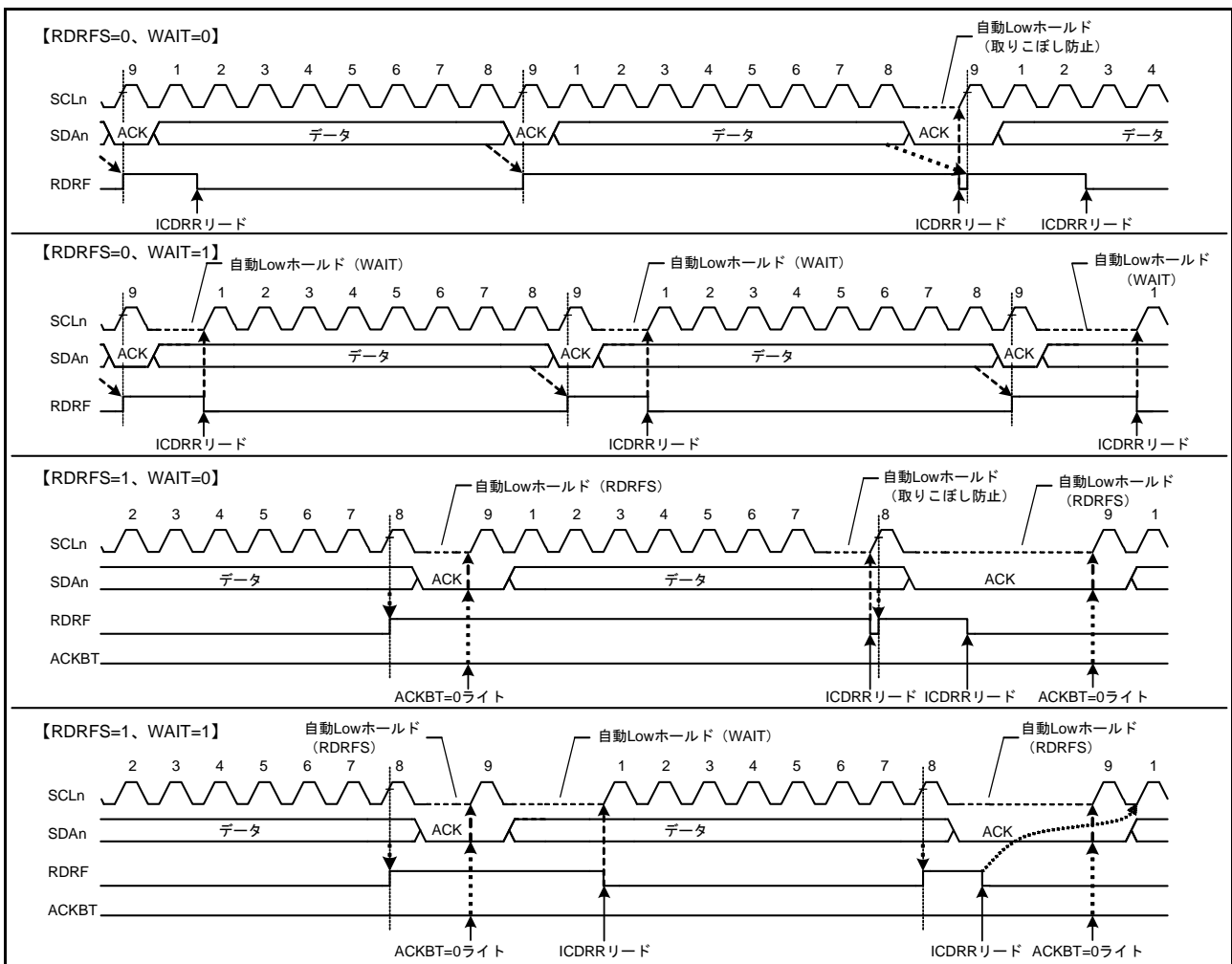


図 33.32 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

33.9 アービトレーションロスト検出機能

RIICにはI²Cバス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

33.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIICはスタートコンディション発行の際SDAnラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDAnラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2.BBSYフラグが“1”(バスビジー中)のときにICCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ(SDA信号)とSDAnラインに不一致が生じた場合(SDA出力がHigh出力(SDAn端子はハイインピーダンス)で、SDAラインにLowを検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICはスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、ICFER.MALEビットが“1”(マスタアービトレーションロスト検出許可)の状態以下に示す条件が成立したとき、アービトレーションロストを検出します。

[マスタアービトレーションロスト条件]

- ICCR2.BBSYフラグ=0の状態(ICCR2.STビット=1によるスタートコンディション発行時にSDA信号とSDAnライン上の信号の状態が不一致のとき(スタートコンディション発行エラー))
- ICCR2.BBSYフラグ=1でICCR2.STビットを“1”にしたとき(スタートコンディション二重発行エラー)
- マスタ送信モード時(ICCR2.MST, TRSビット=11b)、アクノリッジを除く送信データ(SDA信号)とSDAnライン上の信号の状態が不一致のとき

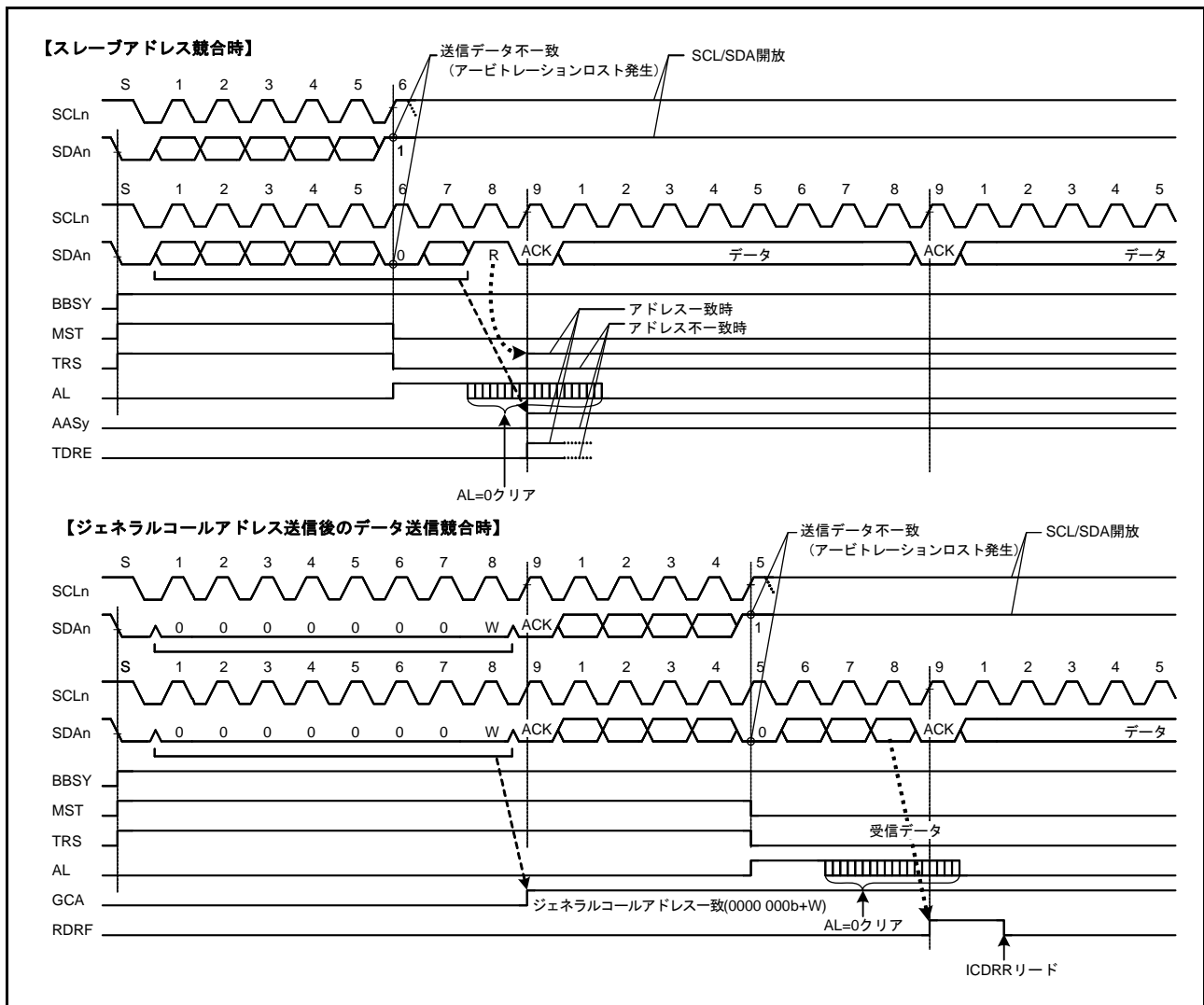


図 33.33 マスタアービトレーションロスト検出動作例 (MALE=1 のとき)

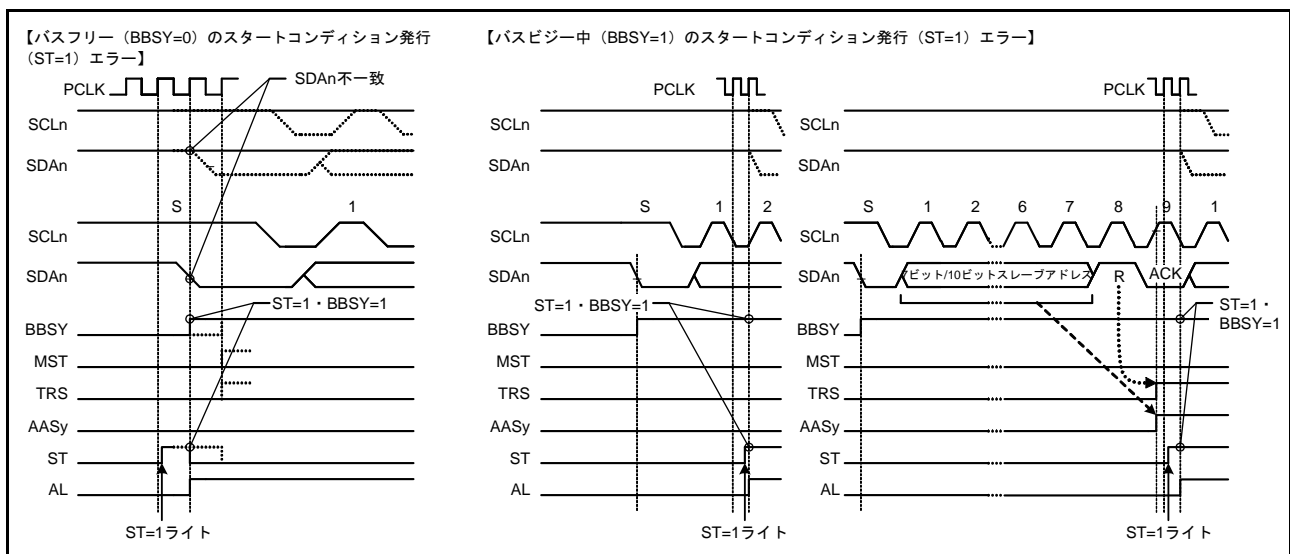


図 33.34 スタートコンディション発行時のアービトレーションロスト (MALE=1 のとき)

33.9.2 NACK 送信アービトレーションロス検出機能 (NALE ビット)

RIICは受信モード時でNACK送信時に出力したSDA信号とSDAnライン上の信号の状態が不一致の場合(SDA出力がHigh出力(SDAn端子はハイインピーダンス)で、SDAnラインにLowを検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロス機能は、主にマルチマスタのシステムにおいて2つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際にNACK送信とACK送信が衝突することで発生します。これは2つ以上のマスタデバイスが1つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図33.35にNACK送信アービトレーションロス検出動作例を示します。

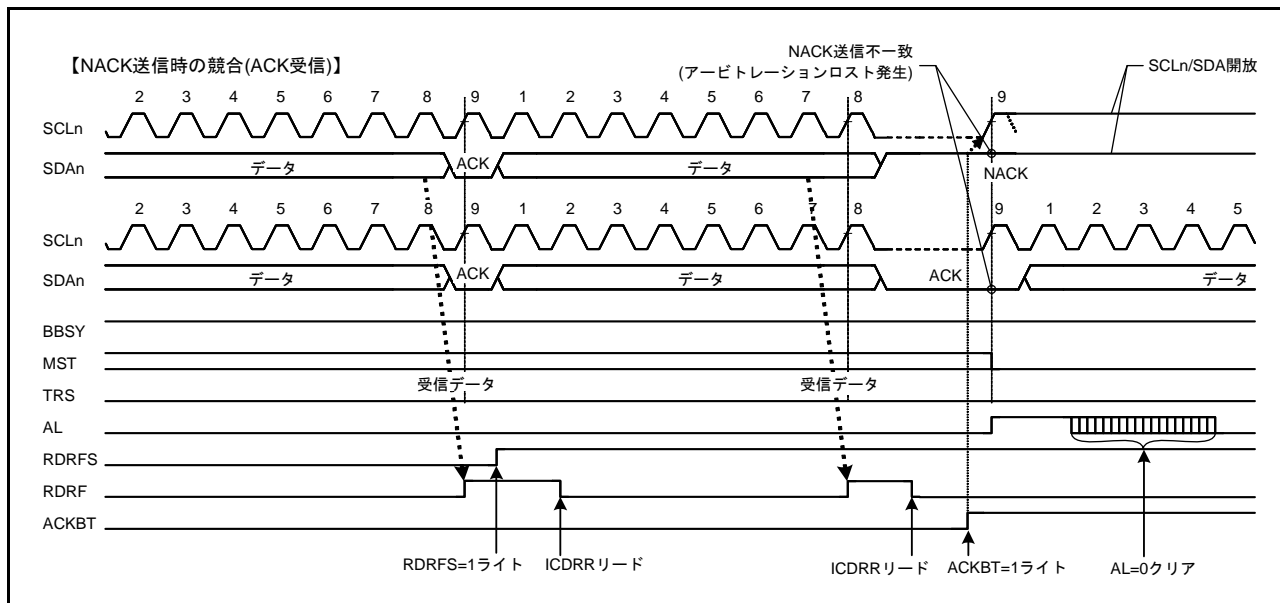


図 33.35 NACK 送信アービトレーションロス検出動作例 (NALE=1 のとき)

2つのマスタデバイス (マスタ A、マスタ B) と1つのスレーブデバイスがバス上に接続されている場合に例を挙げて説明します。マスタ A はスレーブデバイスから2バイト受信、マスタ B はスレーブデバイスから4バイト分のデータ受信を行うものとします。

このときマスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B ともスレーブデバイスアクセス時にアービトレーションロスが発生しません。そのためマスタ A、マスタ B ともどちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである2バイト分の受信が完了した時点でNACKを送信します。一方マスタ B は、スレーブデバイスから必要な4バイト受信に満たないためACK送信を行います。このときマスタ A のNACK送信とマスタ B のACK送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタ A はマスタ B が出したACK送信を検出できないままストップコンディション発行動作を行うため、マスタ B のSCLクロック出力と競合し通信を阻害します。

RIICはこのようなNACK送信時にACKを受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK送信アービトレーションロスが発生した場合、RIICはスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

またSMBusのARPコマンド処理において、アサインアドレスのUDID (ユニークデバイスアイデンティファイ) 不一致時のNACK送信以降、およびアサインアドレス確定後のGet UDID (汎用) のNACK送信以降の余剰処理 (FFh送信処理) を省くことができます。

なお NACK 送信アービトレーションロスト検出は、ICFER.NALE ビットが“1” (NACK 送信アービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[NACK 送信アービトレーションロスト条件]

- NACK 送信時 (ICMR3.ACKBT ビット =1)、出力した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき (ACK を受信したとき)

33.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (出力した SDA 信号) と SDA_n ライン上の信号の状態に不一致が生じた場合 (出力した SDA 出力が High 出力 (SDA_n 端子はハイインピーダンス) で、SDA_n ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID (ユニークデバイスアイデンティファイ) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理 (FFh 送信処理) を省くことができます。

なおスレーブアービトレーションロスト検出は、ICFER.SALE ビットが“1” (スレーブアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時 (ICCR2.MST, TRS ビット =01b)、アクノリッジを除く送信データ (出力した SDA 信号) と SDA_n ライン上の信号の状態が不一致のとき

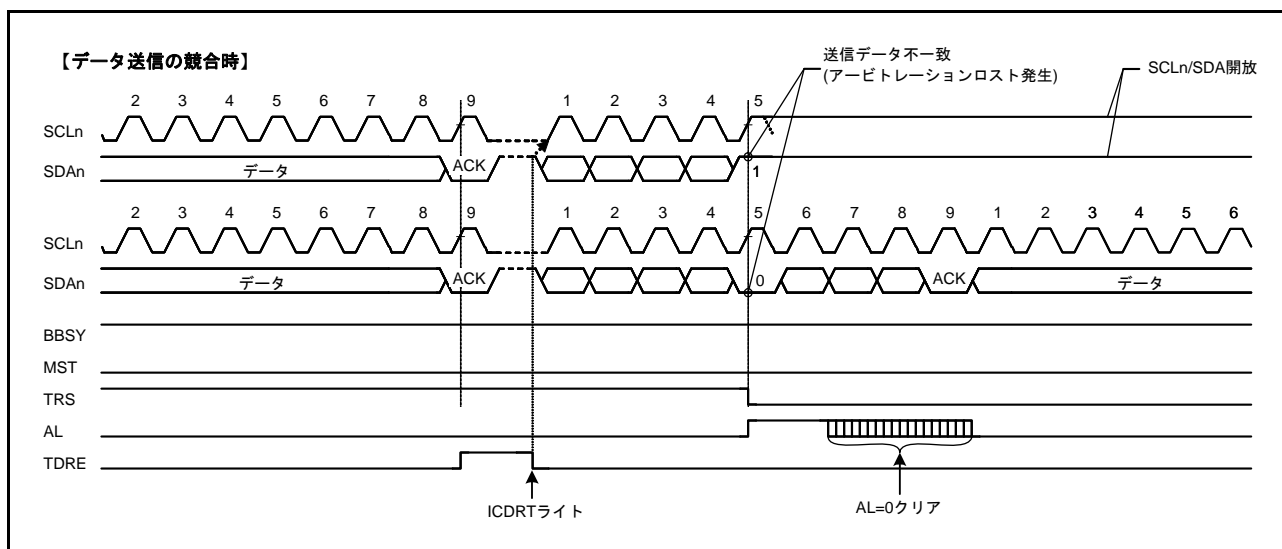


図 33.36 スレーブアービトレーションロスト検出動作例 (SALE=1 のとき)

33.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

33.10.1 スタートコンディション発行動作

RIICは、ICCR2.STビットによりスタートコンディションの発行を行います。

STビットを“1”にすると、スタートコンディション発行の要求が行われICCR2.BBSYフラグが“0”（バスフリー）の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIICは自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

[スタートコンディション発行動作]

- (1) SDA_nラインを立ち下げ（HighからLowに遷移）
- (2) ICBRHレジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCL_nラインを立ち下げ（HighからLowに遷移）
- (4) SCL_nラインのLowを検出後、ICBRLレジスタで設定した時間SCL_nラインのLow幅を確保

33.10.2 リスタートコンディション発行動作

RIICはICCR2.RSビットによりリスタートコンディションの発行を行います。

RSビットを“1”にするとリスタートコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”（バスビジー）の状態かつICCR2.MSTビットが“1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

[リスタートコンディション発行動作]

- (1) SDA_nラインを開放
- (2) ICBRLレジスタで設定した時間SCL_nラインのLow幅を確保
- (3) SCL_nラインを開放（LowからHighに遷移）
- (4) SCL_nラインのHigh検出後、ICBRLレジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDA_nラインを立ち下げ（HighからLowに遷移）
- (6) ICBRHレジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCL_nラインを立ち下げ（HighからLowに遷移）
- (8) SCL_nラインのLowを検出後、ICBRLレジスタで設定した時間SCL_nラインのLow幅を確保

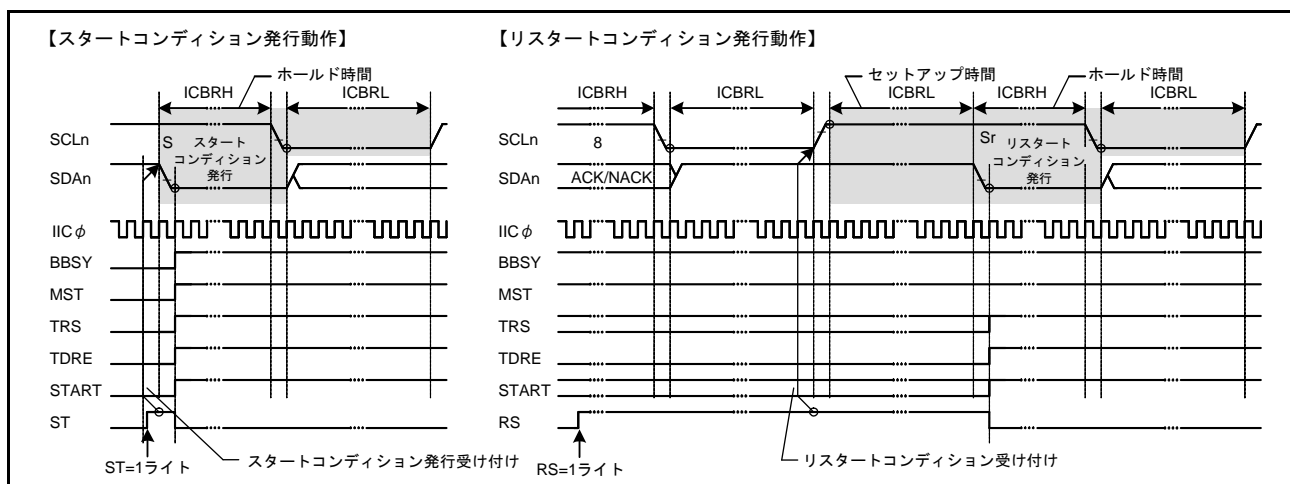


図 33.37 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

33.10.3 ストップコンディション発行動作

RIICはICCR2.SPビットによりストップコンディションの発行を行います。

SPビットを“1”にするとストップコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”（バスビジー）の状態であつICCR2.MSTビットが“1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

[ストップコンディション発行動作]

- SDA_n ラインを立ち下げ（High から Low に遷移）
- ICBRL レジスタで設定した時間 SCL_n ラインの Low 幅を確保
- SCL_n ラインを開放（Low から High に遷移）
- SCL_n ラインの High 検出後、ICBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDA_n ラインを開放（Low から High に遷移）
- ICBRL レジスタで設定した時間バスフリー時間を確保
- BBSY フラグクリア（バス権解放）

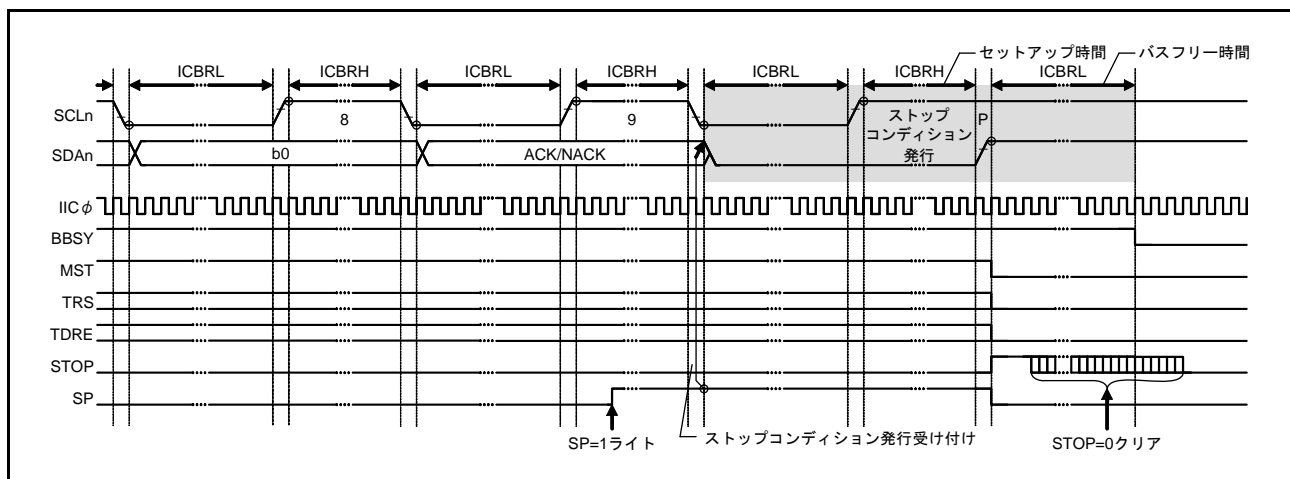


図 33.38 ストップコンディション発行動作タイミング (SP ビット)

33.11 バスハングアップ

I²C バスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLn ラインや SDA_n ラインが固定されたままバスハングアップを起こす場合があります。

RIIC は、このバスハングアップ状態に対し SCLn ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するための SCL クロック追加出力機能および RIIC リセット機能、内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAI ビットを確認することで、RIIC 自身が SCLn ライン / SDA_n ラインに Low 出力しているか、あるいは通信デバイス側が Low 出力しているかどうかを確認することが可能です。

33.11.1 タイムアウト検出機能

RIIC には SCLn ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIIC は、SCLn ラインが Low または High に固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能は SCLn ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は SCLn ラインに変化（立ち上がり / 立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLn ラインに変化がないまま内部カウンタがオーバーフローすると、RIIC はタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能は ICFER.TMOE ビットが“1”のとき有効で、以下の期間に SCLn ラインの Low 固定または High 固定のバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット = 1) で、バスビジー (ICCR2.BBSY フラグ = 1)
- スレーブモード (ICCR2.MST ビット = 0) で、自スレーブアドレス一致 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ = 1)
- スタートコンディション発行要求中 (ICCR2.ST ビット = 1) で、バスフリー (ICCR2.BBSY フラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0] ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOS ビット = 0) 16 ビットカウンタ、ショートモード選択時 (TMOS ビット = 1) 14 ビットカウンタとなります。

また内部カウンタのカウント動作は、SCLn ラインが Low のときカウントさせるか、High のときカウントさせるか、あるいはその両方をカウントさせるかを ICMR2.TMOH, TMOL ビットの設定により選択することが可能です。なお TMOH, TMOL ビットの両方を“0”にした場合は、内部カウント動作を行いません。

注. タイムアウト検出機能を使用するときは、「33.2.4 I²C バスモードレジスタ 2 (ICMR2)」、「33.2.18 タイムアウト内部カウンタ (TMOCNT)」、「33.3.2 初期設定」を参照してください。

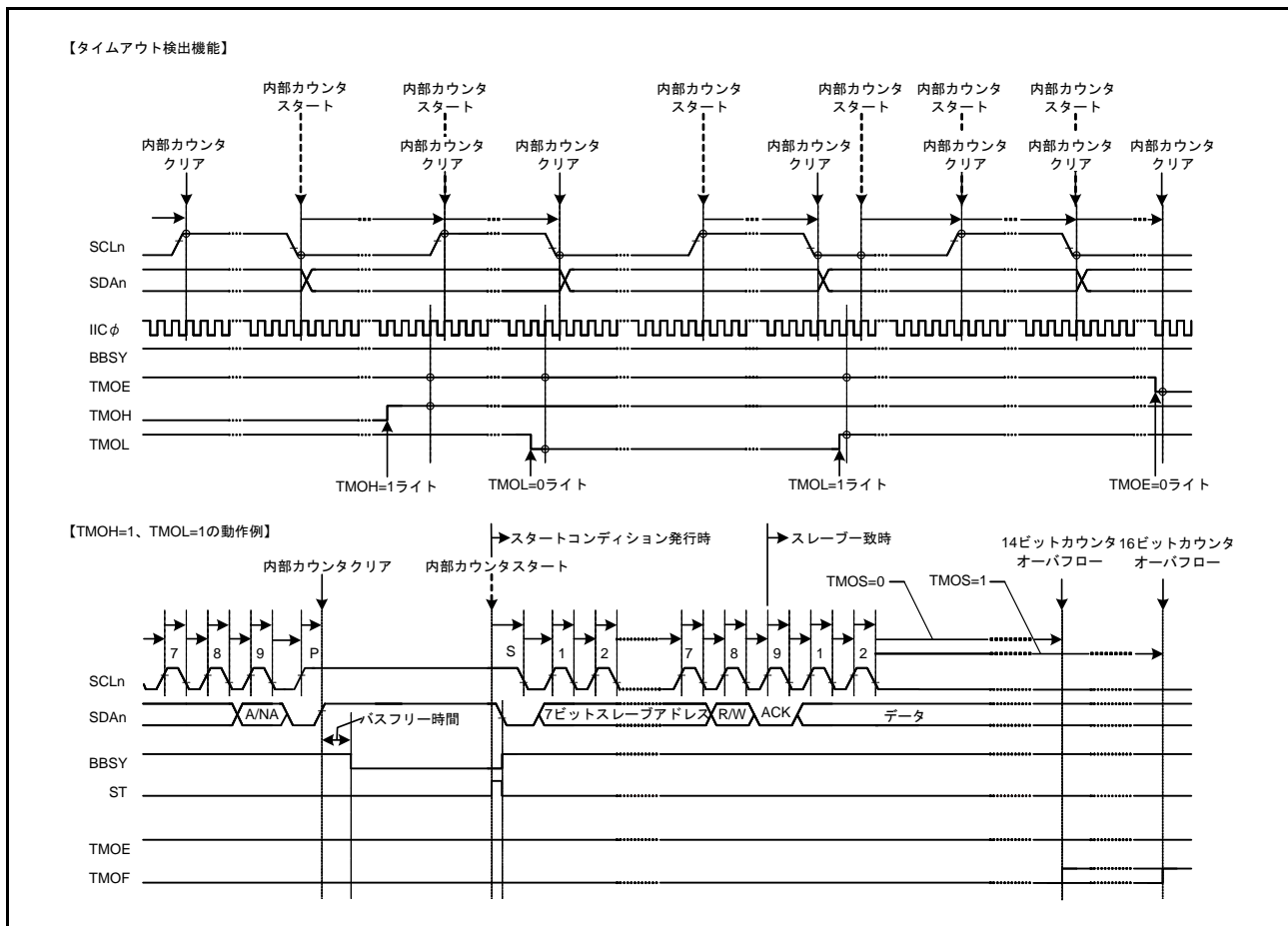


図 33.39 タイムアウト検出機能 (ICMR1.CKS[2:0] = 000b に設定した場合)

33.11.2 SCL クロック追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスの SDAn ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

SCL クロック追加出力機能は、SCL クロックを 1 クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスが SDAn ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDAn ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCL クロック追加出力は、ICCR1.CLO ビットを“1”にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された転送速度の SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に“0”になります。そのためソフトウェアで CLO ビットが“0”であることを確認後“1”を書くことにより、追加クロックを連続的に出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ズレが原因でスレーブデバイスが SDAn ラインを Low 固定状態のままストップコンディションを発行できないバスハングアップのとき、SCL クロック追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDAn ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDAn ライン開放は ICCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDAn ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は **ICFER.MALE** ビットを“0”（マスタアービトレーションロスト検出禁止）にして使用してください。MALE ビットが“1”（マスタアービトレーションロスト検出許可）の場合、**ICCR1.SDAO** ビットの値と **SDAn** ラインが不一致のときアービトレーションロストが発生しますので注意してください。

[ICCR1.CLO ビットの出力条件]

- バスフリー状態 (**ICCR2.BBSY** フラグ =0) またはマスタモード (**ICCR2.MST** ビット =1、**BBSY** フラグ =1 の状態) のとき
- 通信デバイスが **SCLn** ラインを Low ホールドにしていない状態のとき

図 33.40 に **SCL** クロック追加出力機能（**CLO** ビット）を示します。

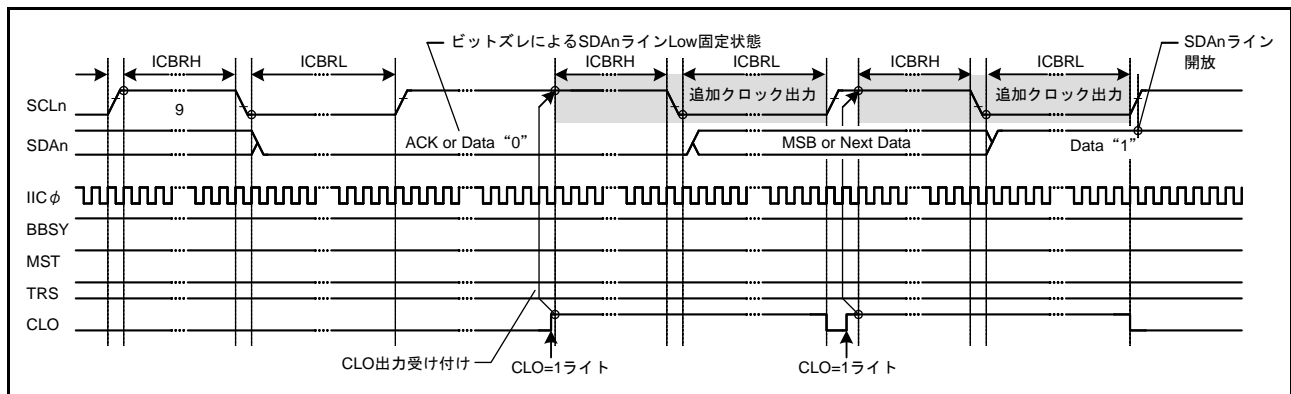


図 33.40 SCL クロック追加出力機能（CLO ビット）

33.11.3 RIIC リセット、内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは **ICCR2.BBSY** フラグを含めた全レジスタの初期化を行う **RIIC** リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は **ICCR1.IICRST** ビットを“0”にしてください。

いずれのリセットも **SCLn** 端子 / **SDAn** 端子の出力状態を解除しハイインピーダンスに戻すため、バスハンダアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になりますので使用は極力避けてください。また **RIIC** リセット (**ICCR1.ICE**, **IICRST** ビット =01b) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC リセット、内部リセットの詳細については、「33.14 リセットと各コンディション発行時のレジスタおよび機能の状態」を参照してください。

33.12 SMBus 動作

RIIC は SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを“1”にしてください。転送速度は SMBus 規格の 10kbps ~ 100kbps の範囲に収まるよう ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタを設定し、データホールド時間：300ns (min) の規格を守るよう ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスからのみの動作で使用する場合には、転送速度の設定は不要ですが、ICBRL はデータセットアップ時間 (250ns) 以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス (1100 001b) はスレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、該当する SARU_y.FS ビット (y=0 ~ 2) (7 ビット / 10 ビットアドレスフォーマット選択ビット) を“0” (7 ビットアドレスフォーマット) を選択してください。

また、UDID (ユニークデバイスアイデンティファイ) 送信時には、ICFER.SALE ビットを“1”にしてスレーブアービトラクションロスト検出機能を有効にしてください。

33.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間 (タイムアウト間隔：T_{LOW : SEXT}) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI) を利用してスタートコンディション検出からストップコンディション検出までの時間を MTU または TMR タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック Low の累積時間 (スレーブデバイス) T_{LOW : SEXT} : 25ms (max) 以内である必要があります。

MTU または TMR で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト T_{TIMEOUT} : 25ms (min) を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICCR1.IICRST ビットに“1”を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCL_n 端子 /SDA_n 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間 (タイムアウト間隔：T_{LOW : MEXT}) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI)、および送信終了割り込み (TEI) または受信データフル割り込み (RXI) を利用して、それぞれの区間を MTU または TMR タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック Low の累積時間 (マスタデバイス) T_{LOW : MEXT} : 10ms (max) 以内である必要があります。スタートコンディションからストップコンディションまでのすべての T_{LOW : MEXT} を加算した結果が T_{LOW : SEXT} : 25ms (max) 以内である必要があります。

ACK 受信タイミング (SCL の9クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見る必要があります。そのためマスタ送信時は1バイト送信動作を行い、マスタ受信時は最終バイト受信の1つ手前までは ICMR3.RDRFS ビットを“0”で使用してください。RDRFS ビットが“0”のとき、RDRF フラグは SCL の9クロック目の立ち上がりで“1”になります。

MTU または TMR で計測した時間が、SMBus 規格のクロック Low の累積時間 (マスタデバイス) TLOW : MEXT : 10ms (max) または各計測時間の加算した結果が、SMBus 規格のクロック Low 検出のタイムアウト T_{TIMEOUT} : 25ms (min) を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

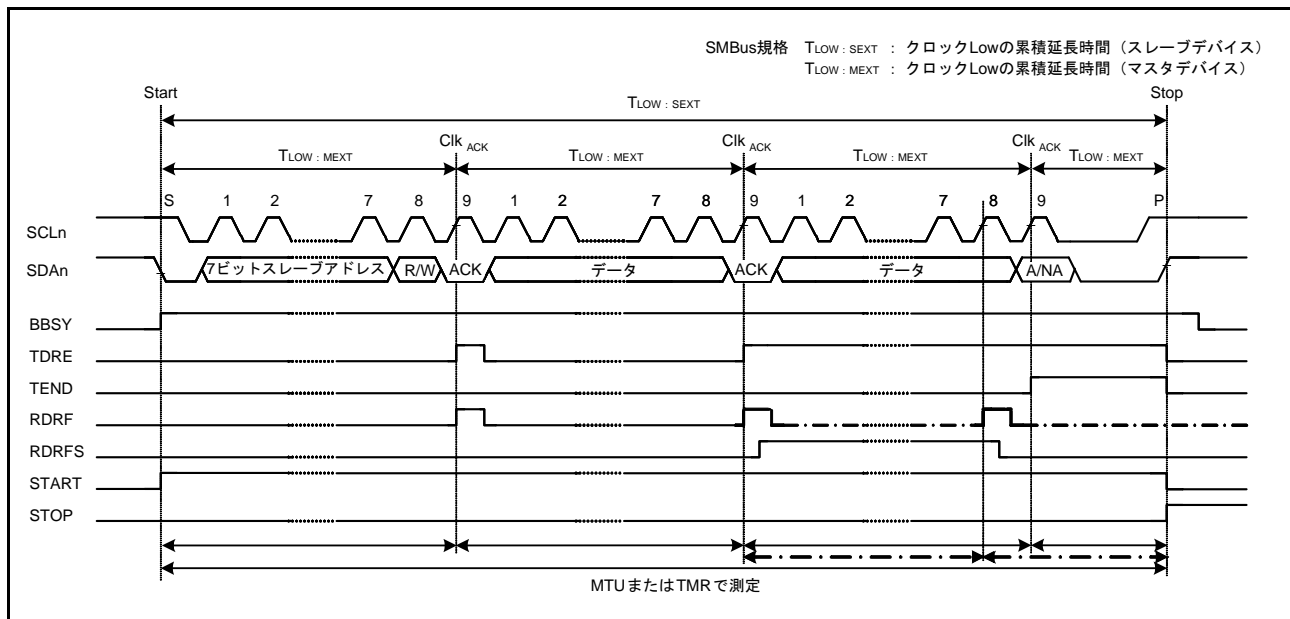


図 33.41 SMBus タイムアウト測定

33.12.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「35. CRC 演算器 (CRC)」を参照してください。

マスタ送信の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致/不一致に応じて ACK/NACK 送出を行う場合には、最終バイト受信の SCL の8クロック目の立ち上がりまでに ICMR3.RDRFS ビットを“1”にし、8クロック目の立ち下がり SCLn ラインを Low にホールドしてください。

33.12.3 SMBus ホスト通知プロトコル (Notify ARP master コマンド)

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

本 MCU を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを“1”、ICSER.HOAE ビットを“1”にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

33.13 割り込み要因

RIIC の割り込み要因には、通信エラー/イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信データフル、送信データエンプティ、送信終了の 4 種類があります。

表 33.7 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

表 33.7 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位	割り込み条件
EEI	通信エラー/ イベント発生	AL	不可能	不可能	高 ↑	AL=1 かつ ALIE=1
		NACKF				NACKF=1 かつ NAKIE=1
		TMOF				TMOF=1 かつ TMOIE=1
		START				START=1 かつ STIE=1
		STOP				STOP=1 かつ SPIE=1
RXI (注2)	受信データフル	RDRF	可能	可能		RDRF=1 かつ RIE=1
TXI (注1)	送信データ エンプティ	TDRE	可能	可能		TDRE=1 かつ TIE=1
TEI (注3)	送信終了	TEND	不可能	不可能	低	TEND=1 かつ TEIE=1

注. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延時間があります。割り込みフラグをクリアまたはマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1. TXI割り込みはエッジ割り込みのためクリアの必要はありません。またTXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2.STOPフラグ=1）で自動的に“0”になります。

注2. RXI割り込みはエッジ割り込みのためクリアの必要はありません。またRXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。

注3. TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2.STOPフラグ=1）で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

33.13.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、TXI 割り込みおよび RXI 割り込みに対応した IR フラグが“1”のときに割り込み発生の条件が整った場合、ICU に対して割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアします。

また、内部で保持している割り込み要求は、対応する周辺側の割り込み許可ビットを“0”にすることでクリアが可能です。

33.14 リセットと各コンディション発行時のレジスタおよび機能の状態

RIIC はリセット、RIIC リセットおよび内部リセットのリセット機能を持っています。表 33.8 にリセットと各コンディション発行時のレジスタおよび機能の状態を示します。

表 33.8 リセットと各コンディション発行時のレジスタおよび機能

		チップ リセット	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 検出	
ICCR1	ICE、 IICRST	リセット	保持	保持	保持	保持	
	SCLO、 SDAO		リセット	リセット			
	それ以外			保持			
ICCR2	BBSY	リセット	リセット	保持	保持	保持	
	ST			リセット	リセット	保持	
	それ以外					リセット	
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持	
	それ以外				保持		保持
ICMR2		リセット	リセット	保持	保持	保持	
ICMR3		リセット	リセット	保持	保持	保持	
ICFER		リセット	リセット	保持	保持	保持	
ICSER		リセット	リセット	保持	保持	保持	
ICIER		リセット	リセット	保持	保持	保持	
ICSR1		リセット	リセット	リセット	保持	リセット	
ICSR2	TDRE、 TEND	リセット	リセット	リセット	保持	リセット	
	START				保持		
	STOP				保持		保持
	それ以外				保持		保持
SARL0、1、2 SARU0、1、2		リセット	リセット	保持	保持	保持	
ICBRH、ICBRL		リセット	リセット	保持	保持	保持	
ICDRT		リセット	リセット	保持	保持	保持	
ICDRR		リセット	リセット	保持	保持	保持	
ICDRS		リセット	リセット	リセット	保持	保持	
タイムアウト検出機能		リセット	リセット	動作	動作	動作	
バスフリー時間計測		リセット	リセット	動作	動作	動作	

33.15 イベントリンク出力機能

RIIC0はイベントリンクコントローラ (ELC) に対して次の要因によってイベント出力を行います。

(1) 通信エラー/イベント

通信エラー/イベント発生すると、ELCを介して他のモジュールにイベント信号として出力します。

(2) 受信データフル

受信データフルになると、ELCを介して他のモジュールにイベント信号として出力します。

(3) 送信データエンプティ

送信データエンプティになると、ELCを介して他のモジュールにイベント信号として出力します。

(4) 送信終了

送信終了すると、ELCを介して他のモジュールにイベント信号として出力します。

33.15.1 割り込み処理とイベントリンクの関係

RIICの割り込みには、通信エラー/イベント発生 (アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の4種類があり、それぞれに割り込み許可/禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合にCPUに対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELCを介して他のモジュールにイベント信号として出力します。

割り込み要因については、表 33.7を参照してください。

33.16 使用上の注意事項

33.16.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) またはモジュールストップコントロールレジスタ C (MSTPCRC) により、モジュールストップ状態への遷移/解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B および C の詳細は、「11. 消費電力低減機能」を参照してください。

33.16.2 通信の開始に関する注意事項

通信開始 (ICCR1.ICE ビット = "1") 時点で RIIC の割り込みに対応した IR フラグが "1" のときは、動作許可前に下記の手順で割り込み要求をクリアしてください。IR フラグが "1" で通信を開始 (ICCR1.ICE ビット = "1") すると、通信開始後の割り込み要求が内部で保持されるため、IR フラグが予期しない挙動となる可能性があります。

- (1) ICCR1.ICE ビットが "0" であることを確認
- (2) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を "0" にする
- (3) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を読み出し、"0" を確認
- (4) IR フラグを "0" にする

34. シリアルペリフェラルインタフェース (RSPI)

本章に記載している PCLK とは PCLKB を指します。

34.1 概要

本 MCU は、2 チャンネルのシリアルペリフェラルインタフェース (RSPI) を内蔵しています。

RSPI は、全二重同期式のシリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 34.1 に RSPI の仕様を、図 34.1 に RSPI のブロック図を示します。

なお、本章では、端子名および信号名で使用している n は、A、B と規定し、 i は 0 ~ 3 と規定しています。また、RSPI コマンドレジスタ m (SPCMDm) で使用している m は、0 ~ 7 と規定しています。

表 34.1 RSPIの仕様 (1/2)

項目	内容
チャンネル数	2チャンネル
RSPI転送機能	<ul style="list-style-type: none"> • MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) / クロック同期式動作 (3線式) でシリアル通信が可能 • 送信のみの動作が可能 • 通信モード: 全二重または送信のみを選択可能 • RSPCKの極性を変更可能 • RSPCKの位相を変更可能
データフォーマット	<ul style="list-style-type: none"> • MSBファースト/LSBファーストの切り替え可能 • 転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32ビットから選択可能 • 送信/受信バッファは128ビット • 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット)
ビットレート	<ul style="list-style-type: none"> • マスタモード時、内蔵ポーレートジェネレータでPCLKを分周してRSPCKを生成 (分周比は2~4096分周) • スレーブ時は、PCLKの最小8分周のクロックを、RSPCKとして入力可能 (RSPCKの最大周波数はPCLKの8分周) • High幅: PCLKの4サイクル、Low幅: PCLKの4サイクル
バッファ構成	<ul style="list-style-type: none"> • 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは128ビット
エラー検出	<ul style="list-style-type: none"> • モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出
SSL制御機能	<ul style="list-style-type: none"> • 1チャンネルあたり4本のSSL端子 (SSLn0~SSLn3) • シングルマスタ設定時には、SSLn0~SSLn3端子を出力 • マルチマスタ設定時: SSLn0端子は入力、SSLn1~SSLn3端子は出力または未使用 • スレーブ設定時: SSLn0端子は入力、SSLn1~SSLn3端子は未使用 • SSL出力のアサートからRSPCK動作までの遅延 (RSPCK遅延) を設定可能 設定範囲: 1~8RSPCK 設定単位: 1RSPCK • RSPCK停止からSSL出力のネゲートまでの遅延 (SSLネゲート遅延) を設定可能 設定範囲: 1~8RSPCK 設定単位: 1RSPCK • 次アクセスのSSL出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲: 1~8RSPCK 設定単位: 1RSPCK • SSL極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> • 最大8コマンドで構成された転送を連続してループ実行可能 • 各コマンドに以下の項目を設定可能 SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、パースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSLネゲート時のMOSI信号値を設定可能
割り込み要因	<ul style="list-style-type: none"> • 割り込み要因 受信バッファフル割り込み 送信バッファエンpty割り込み RSPIエラー割り込み (モードフォルト、オーバラン、パリティエラー) RSPIアイドル割り込み (RSPIアイドル)

表 34.1 RSPIの仕様 (2/2)

項目	内容
イベントリンク機能 (出力)	<ul style="list-style-type: none"> 以下のイベントをイベントリンクコントローラへ出力可能 (RSPI0) 受信バッファフルイベント信号 送信バッファエンptyイベント信号 モードフォルト/オーバラン/パリティエラーのイベント信号 RSPIアイドルイベント信号 送信完了イベント信号
その他の機能	<ul style="list-style-type: none"> CMOS/オープンドレイン出力切り替え機能 RSPI初期化機能 ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能

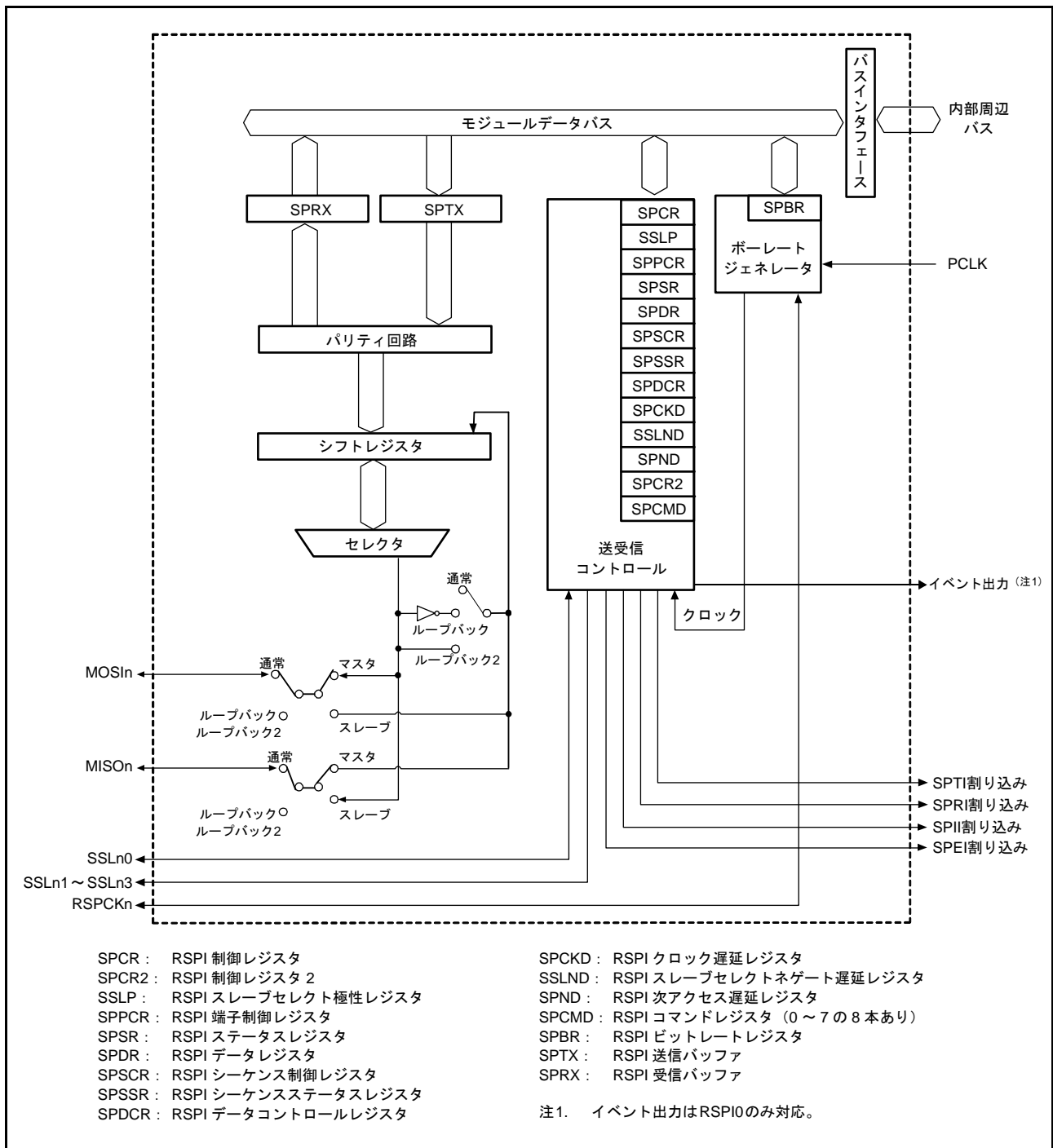


図 34.1 RSPIのブロック図

表 34.2 に RSPI で使用する入出力端子を示します。

SSLn0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKn、MOSIn、MISO_n 端子の入出力方向は、マスタ/スレーブ設定と SSLn0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「34.3.2 RSPI 端子の制御」を参照してください。

表 34.2 RSPIの入出力端子

チャンネル	端子名	入出力	機能
RSPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力
RSPI1	RSPCKB	入出力	クロック入出力
	MOSIB	入出力	マスタ送出データ入出力
	MISOB	入出力	スレーブ送出データ入出力
	SSLB0	入出力	スレーブセレクト入出力
	SSLB1	出力	スレーブセレクト出力
	SSLB2	出力	スレーブセレクト出力
	SSLB3	出力	スレーブセレクト出力

34.2 レジスタの説明

34.2.1 RSPI 制御レジスタ (SPCR)

アドレス RSPI0.SPCR 0008 8380h, RSPI1.SPCR 0008 83A0h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット	0: SPI動作 (4線式) 1: クロック同期式動作 (3線式)	R/W
b1	TXMD	通信動作モード選択ビット	0: 全二重同期式シリアル通信 1: 送信動作のみのシリアル通信	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPIマスタ/スレーブモード選択ビット	0: スレーブモード 1: マスタモード	R/W
b4	SPEIE	RSPIエラー割り込み許可ビット	0: RSPIエラー割り込み要求の発生を禁止 1: RSPIエラー割り込み要求の発生を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可ビット	0: 送信バッファエンプティ割り込み要求の発生を禁止 1: 送信バッファエンプティ割り込み要求の発生を許可	R/W
b6	SPE	RSPI機能許可ビット	0: RSPI機能は無効 1: RSPI機能は有効	R/W
b7	SPRIE	RSPI受信バッファフル割り込み許可ビット	0: RSPI受信バッファフル割り込み要求の発生を禁止 1: RSPI受信バッファフル割り込み要求の発生を許可	R/W

SPCR.SPE ビットが“1”の状態において、SPCR.MSTR ビット、SPCR.MODFEN ビット、SPCR.TXMD ビットの設定値を変更した場合は、以降の動作はしないでください。

SPMS ビット (RSPI モード選択ビット)

SPI 動作 (4線式) / クロック同期式動作 (3線式) を選択するためのビットです。

クロック同期式動作を行う場合は SSLn0 ~ 3 端子を使用せず、RSPCKn 端子、MOSIn 端子、MISO_n 端子の3端子を用いて通信を行います。また、マスタモード時 (SPCR.MSTR=1) でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを“0”、“1”どちらにも設定できます。スレーブモード時 (SPCR.MSTR=0) でクロック同期式動作を行う場合は CPHA ビットを“1”に設定してください。スレーブモード時 (SPCR.MSTR=0) でクロック同期式動作を行う場合に、CPHA ビットを“0”に設定した場合の動作はしないでください。

TXMD ビット (通信動作モード選択ビット)

全二重同期式のシリアル通信、送信のみの動作を選択するためのビットです。

TXMD ビットを“1”にして、通信を行う場合は、送信動作のみを行い、受信動作を行いません (「34.3.6 通信動作モード」参照)。

また、TXMD ビットを“1”に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可/禁止するためのビットです (「34.3.8 エラー検出」を参照)。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSLn0 ~ 3 端子の入出力方向を決定します (「34.3.2 RSPI 端子の制御」を参照)。

MSTR ビット (RSPI マスタ/スレーブモード選択ビット)

RSPI のマスタ/スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定に従って、RSPCKn、MOSIn、MISO_n、SSLn0 ~ 3 端子の方向を決定します。

SPEIE ビット (RSPI エラー割り込み許可ビット)

RSPI がモードフォルトエラーを検出して SPSR.MODF フラグを“1”にした場合、RSPI がオーバランエラーを検出して SPSR.OVRF フラグを“1”にした場合、またはパリティエラーを検出して SPSR.PERF フラグを“1”にした場合の RSPI エラー割り込み要求の発生を許可/禁止します。詳細については、「34.3.8 エラー検出」を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可ビット)

RSPI が送信バッファエンプティを検出し、送信バッファエンプティ割り込み要求の発生を許可/禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPTIE ビットと同時または後に、SPE ビットを“1”にすることで発生します。

RSPI 機能は無効 (SPE ビットが“0”) に遷移しても、SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生することに注意してください。

SPE ビット (RSPI 機能許可ビット)

RSPI 機能の有効/無効を選択します。

SPSR.MODF フラグが“1”の場合には、SPE ビットを“1”にすることはできません。詳細は「34.3.8 エラー検出」を参照してください。

SPE ビットを“0”にすると、RSPI 機能が無効化され、モジュール機能の一部が初期化されます。詳細は「34.3.9 RSPI の初期化」を参照してください。また、SPE ビットを“0”の状態から“1”または“1”の状態から“0”になることで送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (RSPI 受信バッファフル割り込み許可ビット)

RSPI がシリアル転送完了後の受信バッファフルを検出し、RSPI 受信バッファフル割り込み要求の発生を許可/禁止します。

34.2.2 RSPI スレーブセレクト極性レジスタ (SSLP)

アドレス RSPI0.SSLP 0008 8381h, RSPI1.SSLP 0008 83A1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0 : SSL0信号はアクティブLow 1 : SSL0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0 : SSL1信号はアクティブLow 1 : SSL1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット	0 : SSL2信号はアクティブLow 1 : SSL2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット	0 : SSL3信号はアクティブLow 1 : SSL3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SSLP レジスタを書き換えた場合には、以降の動作はしないでください。

34.2.3 RSPI 端子制御レジスタ (SPPCR)

アドレス RSPI0.SPPCR 0008 8382h, RSPI1.SPPCR 0008 83A2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPI ループバックビット	0 : 通常モード 1 : ループバックモード (データを反転して送信)	R/W
b1	SPLP2	RSPI ループバック2ビット	0 : 通常モード 1 : ループバックモード (データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSI アイドル固定値ビット	0 : MOSI アイドル時の MOSIn 端子の出力値は Low 1 : MOSI アイドル時の MOSIn 端子の出力値は High	R/W
b5	MOIFE	MOSI アイドル値固定許可ビット	0 : MOSI 出力値は前回転送の最終データ 1 : MOSI 出力値は MOIFV ビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SPPCR レジスタを書き換えた場合には、以降の動作はしないでください。

SPLP ビット (RSPI ループバックビット)

RSPI の端子モードを選択します。

SPLP ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISO_n 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIn 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路 (反転) を接続します。(ループバックモード)

SPLP2 ビット (RSPI ループバック 2 ビット)

RSPI の端子モードを選択します。

SPLP2 ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISO_n 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIn 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。(ループバックモード)

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが“1”の場合、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSIn 端子の出力値を選択します。

MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードの RSPI が、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) に MOSIn 出力値を固定するために使用するビットです。MOIFE が“0”の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIn に出力します。MOIFE が“1”の場合には、RSPI は MOIFV ビットに設定された固定値を MOSIn に出力します。

34.2.4 RSPI ステータスレジスタ (SPSR)

アドレス RSPI0.SPSR 0008 8383h, RSPI1.SPSR 0008 83A3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	PERF	MODF	IDLNF	OVRF

リセット後の値 x 0 x 0 0 0 0 0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0 : オーバランエラーなし 1 : オーバランエラー発生	R/(W) (注1)
b1	IDLNF	RSPIアイドルフラグ	0 : RSPIがアイドル状態 1 : RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0 : パリティエラーなし 1 : パリティエラー発生	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、受信バッファフル状態で次のシリアル受信が終了したとき

[“0”になる条件]

- OVRF フラグが“1”になったときの SPSR レジスタを読んだ後、OVRF フラグに“0”を書いたとき

IDLNF フラグ (RSPI アイドルフラグ)

RSPI の転送状況を示します。

["1" になる条件]

【マスタモード】

- 下記["0" になる条件]のマスタモード時の(条件1)と(条件2)の両方が満たされないとき

【スレーブモード】

- SPCR.SPE ビットが"1" (RSPI 機能が有効) のとき

["0" になる条件]

【マスタモード】

下記1. が満たされたとき (条件1)、または下記2. ~ 4. がすべて満たされたとき (条件2)

1. SPCR.SPE ビットが"0" (RSPI 初期化) のとき
2. 送信用バッファ (SPTX) が空 (次転送データがセットされていない) のとき
3. SPSSR.SPCP[2:0] ビットが"000b" (シーケンス制御の先頭) であるとき
4. RSPI 内部シーケンサがアイドル状態へ遷移したとき (次アクセス遅延までが動作完了された状態)

【スレーブモード】

- SPCR.SPE ビットが"0" (RSPI 初期化) のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーの発生を示します。

["1" になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが"1" (マスタモード)、SPCR.MODFEN ビットが"1" (モードフォルトエラー検出を許可) の状態で、SSLni 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが"0" (スレーブモード)、SPCR.MODFEN ビットが"1" (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLni 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき

なお、SSLni 信号のアクティブレベルは、SSLP.SSLiP ビット (SSL 信号極性設定ビット) によって決定されます。

["0" になる条件]

- MODF フラグが"1" の状態の SPSR レジスタを読んだ後、MODF フラグに"0" を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

["1" になる条件]

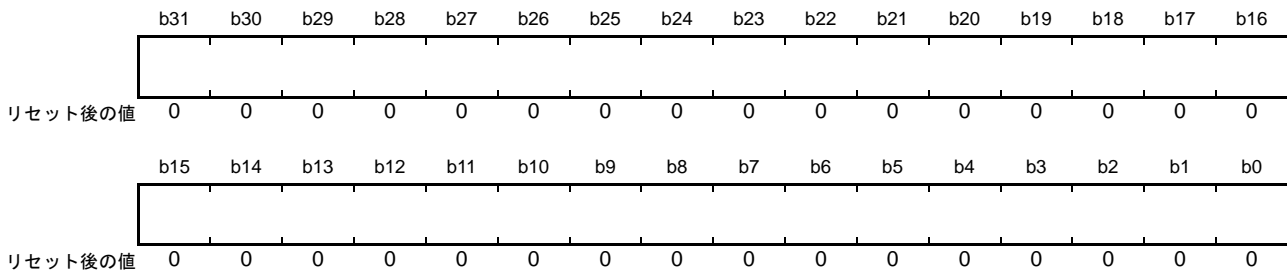
- SPCR.TXMD ビットが"0"、SPCR2.SPPE ビットが"1" の状態でシリアル転送が終了し、パリティエラーが検出されたとき

["0" になる条件]

- PERF フラグが"1" の状態の SPSR レジスタを読んだ後、PERF フラグに"0" を書いたとき

34.2.5 RSPI データレジスタ (SPDR)

アドレス RSPI0.SPDR 0008 8384h, RSPI1.SPDR 0008 83A4h



アドレス RSPI0.SPDR 0008 8384h, RSPI1.SPDR 0008 83A4h



SPDR レジスタは、RSPI 送受信のデータを格納するバッファです。

ロングワードアクセス (SPLW ビットが“1”) のときは、SPDR をアクセスしてください。

ワードアクセス (SPLW ビットが“0”) のときは、SPDR の上位側 16 ビット (H) をアクセスしてください。

送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 34.2 に示します。

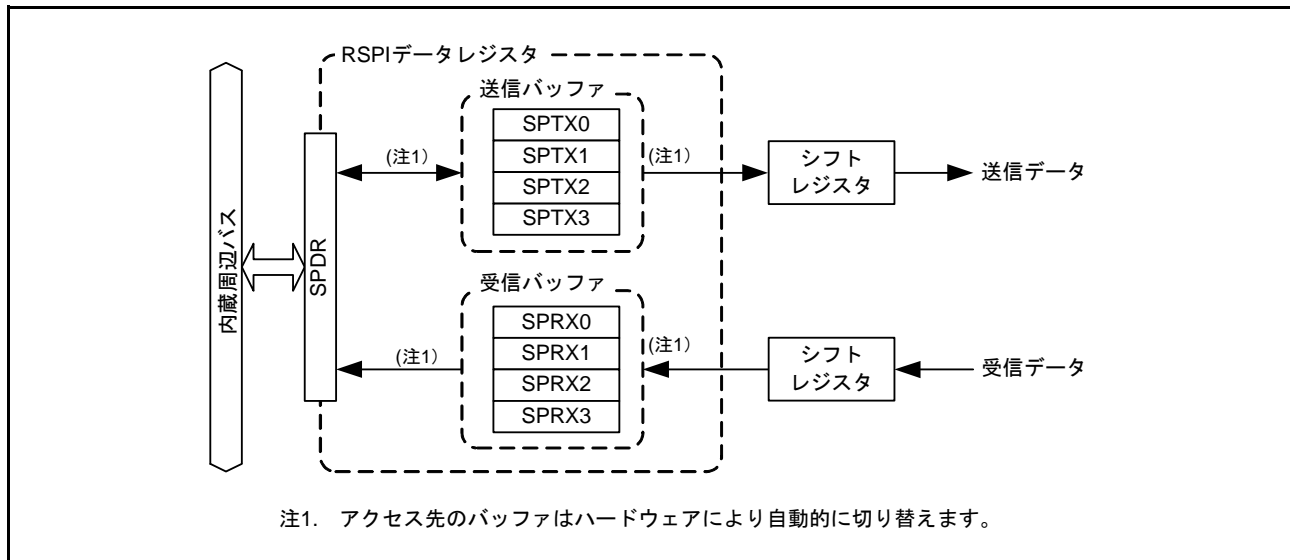


図 34.2 SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ 4 バッファあります。使用するバッファ数は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR レジスタには、これらの合計 8 バッファが 1 アドレスにマッピングされています。

送信バッファ SPTXn (n=0 ~ 3) は、SPDR レジスタへの書き込みによって送信バッファへ値を書きことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバーラン発生時は、受信バッファの値を更新しません。

また、データ長が 32 ビット以外の場合、SPRXn (n=0 ~ 3) の非参照ビットには、SPTXn (n=0 ~ 3) の非参照ビットが格納されます。

たとえば、データ長が 9 ビットのデータを受信した場合は SPRXn[8:0] には受信データが格納され、SPRXn[31:9] に SPTXn[31:9] が格納されます。

(1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファと受信バッファがそれぞれ 4 バッファ分、合計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。また、SPDR レジスタへのアクセスは、RSPI データコントロールレジスタの RSPI ロングワードアクセス/ワードアクセス設定ビット (SPDCR.SP1W) で設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTXn) に値を書くことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 34.3 に送信バッファのバスインタフェース (ライト時) の構成図を示します。

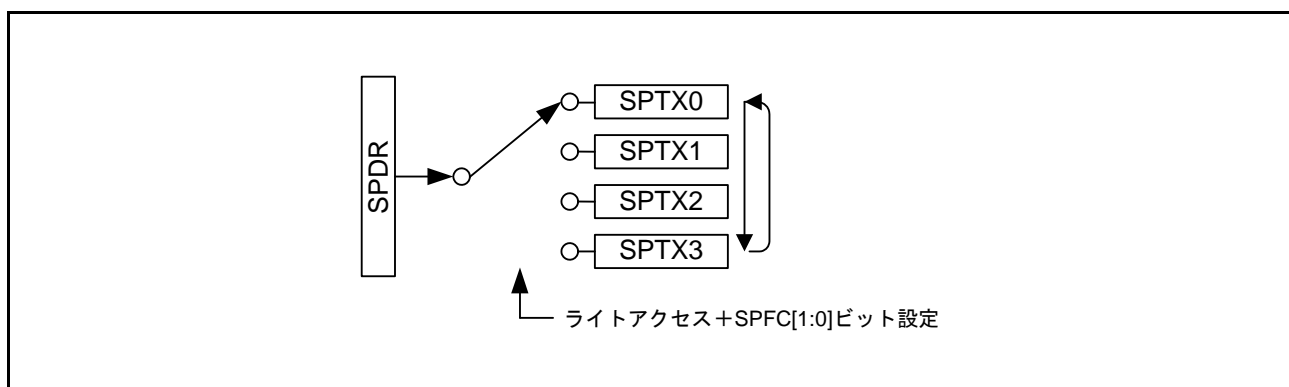


図 34.3 SPDR レジスタの構成図 (ライト時)

送信バッファライトポインタの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ~ 3 の切り替え順序
 - SPFC[1:0] ビットが “00b” のとき : SPTX0 → SPTX0 → SPTX0 → . . .
 - SPFC[1:0] ビットが “01b” のとき : SPTX0 → SPTX1 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “10b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “11b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → . . .

RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTXn) への書き込みは、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定したフレーム数分の送信データを書き込んでください。同書き込み完了から次の送信バッファエンプティ割り込み発生までの期間は、送信バッファ (SPTXn) に書き込みを行っても同バッファの値は更新されません。

(b) 読み出し

SPDR レジスタを読み出すことによって、受信バッファ (SPRXn)、または送信バッファ (SPTXn) の値を読み出すことができます。RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出し順は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 34.4 に受信バッファと送信バッファのバスインタフェース (リード時) の構成図を示します。

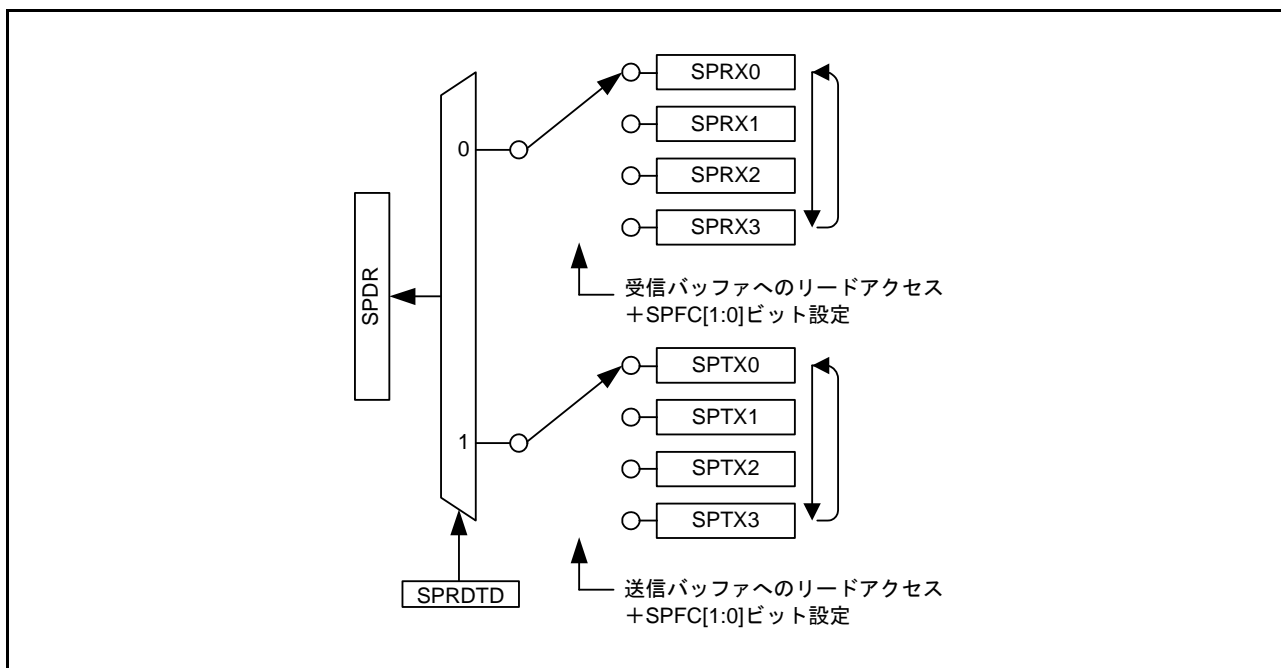


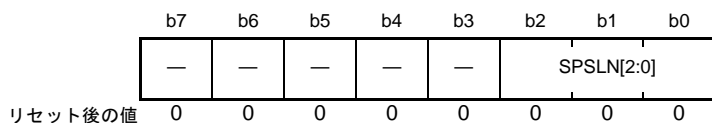
図 34.4 SPDR レジスタの構成図 (リード時)

受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。ただし、RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の読み出し先は SPRX0 になります。

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンプティ割り込みが発生するまでの期間は、送信バッファの読み出し値は、すべて “0” となります。

34.2.6 RSPI シーケンス制御レジスタ (SPSCR)

アドレス RSPI0.SPSCR 0008 8388h, RSPI1.SPSCR 0008 83A8h



ビット	シンボル	ビット名	機能	R/W																																				
b2-b0	SPSLN[2:0]	RSPIシーケンス長設定ビット	<table style="font-size: small; border: none;"> <tr> <td>b2</td> <td>b0</td> <td>シーケンス長</td> <td>参照するSPCMD0~7レジスタ (番号)</td> </tr> <tr> <td>0 0 0</td> <td>:</td> <td>1</td> <td>0→0→...</td> </tr> <tr> <td>0 0 1</td> <td>:</td> <td>2</td> <td>0→1→0→...</td> </tr> <tr> <td>0 1 0</td> <td>:</td> <td>3</td> <td>0→1→2→0→...</td> </tr> <tr> <td>0 1 1</td> <td>:</td> <td>4</td> <td>0→1→2→3→0→...</td> </tr> <tr> <td>1 0 0</td> <td>:</td> <td>5</td> <td>0→1→2→3→4→0→...</td> </tr> <tr> <td>1 0 1</td> <td>:</td> <td>6</td> <td>0→1→2→3→4→5→0→...</td> </tr> <tr> <td>1 1 0</td> <td>:</td> <td>7</td> <td>0→1→2→3→4→5→6→0→...</td> </tr> <tr> <td>1 1 1</td> <td>:</td> <td>8</td> <td>0→1→2→3→4→5→6→7→0→...</td> </tr> </table> <p>設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタの参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0~7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPIでは、SPCMD0レジスタが参照されません。</p>	b2	b0	シーケンス長	参照するSPCMD0~7レジスタ (番号)	0 0 0	:	1	0→0→...	0 0 1	:	2	0→1→0→...	0 1 0	:	3	0→1→2→0→...	0 1 1	:	4	0→1→2→3→0→...	1 0 0	:	5	0→1→2→3→4→0→...	1 0 1	:	6	0→1→2→3→4→5→0→...	1 1 0	:	7	0→1→2→3→4→5→6→0→...	1 1 1	:	8	0→1→2→3→4→5→6→7→0→...	R/W
b2	b0	シーケンス長	参照するSPCMD0~7レジスタ (番号)																																					
0 0 0	:	1	0→0→...																																					
0 0 1	:	2	0→1→0→...																																					
0 1 0	:	3	0→1→2→0→...																																					
0 1 1	:	4	0→1→2→3→0→...																																					
1 0 0	:	5	0→1→2→3→4→0→...																																					
1 0 1	:	6	0→1→2→3→4→5→0→...																																					
1 1 0	:	7	0→1→2→3→4→5→6→0→...																																					
1 1 1	:	8	0→1→2→3→4→5→6→7→0→...																																					
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																				

SPSCR レジスタは、RSPI がマスタ動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに“1”の状態において、SPSCR.SPSSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”の状態書き換えてください。

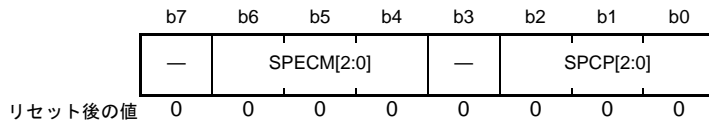
SPSLN[2:0] ビット (RSPI シーケンス長設定ビット)

マスタモードのRSPIがシーケンス動作する場合のシーケンス長を設定します。マスタモードのRSPIはSPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタと参照順を変更します。

スレーブモードでは、SPCMD0レジスタが参照されます。

34.2.7 RSPI シーケンスステータスレジスタ (SPSSR)

アドレス RSPI0.SPSSR 0008 8389h, RSPI1.SPSSR 0008 83A9h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPI がマスタ動作する場合のシーケンス制御の状態を示します。
 SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPI のシーケンス制御で、現在ポインタで指されている SPCMD_m レジスタを示します。
 なお、RSPI のシーケンス制御については、「34.3.10.1 マスタモード動作」を参照してください。

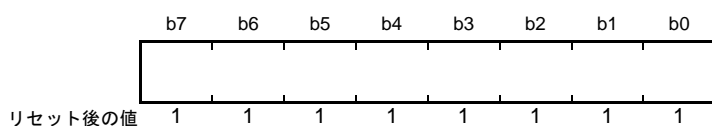
SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMD_m レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに“0”で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、「34.3.8 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「34.3.10.1 マスタモード動作」を参照してください。

34.2.8 RSPI ビットレートレジスタ (SPBR)

アドレス RSPI0.SPBR 0008 838Ah, RSPI1.SPBR 0008 83AAh



SPBR レジスタは、マスタモード時のビットレート設定に使用します。SPCR.MSTR, SPE ビットがともに“1”の状態において、SPBR レジスタを書き換えた場合には、以降の動作はしないでください。

RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット（ビットレート分周設定ビット）の設定に関係なく、入力クロックのビットレートに依存します。（電気的特性を満足するビットレートを使用してください）

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値（0、1、2、……、255）、N は BRDV[1:0] ビットの設定値（0、1、2、3）です。

$$\text{ビットレート} = \frac{f(\text{PCLK})}{2 \times (n + 1) \times 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 34.3 に示します。相手デバイスの AC スペックを考慮の上、電気的特性を満足するビットレートを使用してください。

表 34.3 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR レジスタの 設定値 (n)	BRDV[1:0] ビット の設定値 (N)	分周比	ビットレート
			PCLK = 32MHz
0	0	2	16.0 Mbps
1	0	4	8.00 Mbps
2	0	6	5.33 Mbps
3	0	8	4.00 Mbps
4	0	10	3.20 Mbps
5	0	12	2.67 Mbps
5	1	24	1.33 Mbps
5	2	48	667 kbps
5	3	96	333 kbps
255	3	4096	7.81 kbps

34.2.9 RSPI データコントロールレジスタ (SPDCR)

アドレス RSPI0.SPDCR 0008 838Bh, RSPI1.SPDCR 0008 83ABh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	SPLW	SPRDT D	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SPRDTD	RSPI受信/送信データ選択ビット	0 : SPDRは受信バッファを読み出す 1 : SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W
b5	SPLW	RSPIロングワードアクセス/ ワードアクセス設定ビット	0 : SPDRレジスタへはワードアクセス 1 : SPDRレジスタへはロングワードアクセス	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCMDm.SPB[3:0] ビット、SPSCR.SPSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから1回の送受信起動で最大4フレームを送受信できます。

SPCR.SPE ビットが“1”の状態において、SPDCR.SPFC[1:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”のときに書き換えてください。

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる (1回の転送起動) フレーム数を設定します。SPSCR.SPSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により1回の送受信起動で最大4フレームを送受信できます。また、SPFC[1:0] ビットの設定により、RSPI 受信バッファフル割り込みが発生と送信バッファエンpty割り込みが発生または送信開始するためのフレーム数も変更します。表 34.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定を行った場合、以後の動作はしないでください。

表 34.4 SPSLN[2:0] ビットと SPFC[1:0] ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで 転送するフレーム数	受信バッファフル割り込み発生、 送信バッファにデータありになるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット (RSPI 受信 / 送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前に行ってください。

詳細は、「34.2.5 RSPI データレジスタ (SPDR)」を参照してください。

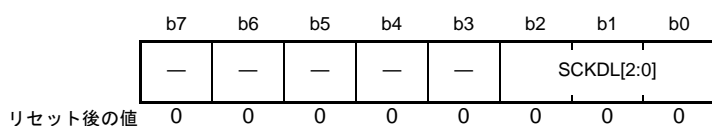
SPLW ビット (RSPI ロングワードアクセス / ワードアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが“0”のときはワードアクセス、SPLW ビットが“1”のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが“0”のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ~ 16 ビットに設定してください。20、24、32 ビットに設定した場合の動作はしないでください。

34.2.10 RSPI クロック遅延レジスタ (SPCKD)

アドレス RSPI0.SPCKD 0008 838Ch, RSPI1.SPCKD 0008 83ACh



ビット	シンボル	ビット名	説明	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSLni 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態において、SPCKD レジスタを書き換えた場合には、以降の動作はしないでください。

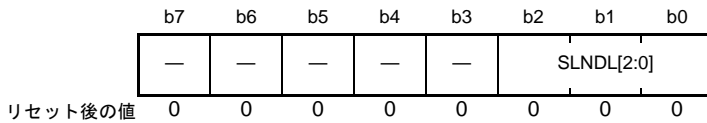
SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

SPCMDm.SCKDEN ビットが“1”の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを“000b”にしてください。

34.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス RSPI0.SSLND 0008 838Dh, RSPI1.SSLND 0008 83ADh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLNDレジスタは、マスタモードのRSPIがシリアル転送の最終RSPCKエッジを送出してからSSLni信号をネゲートするまでの期間（SSLネゲート遅延）を設定するためのレジスタです。SPCR.MSTRビットと、SPCR.SPEビットが“1”の状態において、SSLNDレジスタを書き換えた場合には、以降の動作はしないでください。

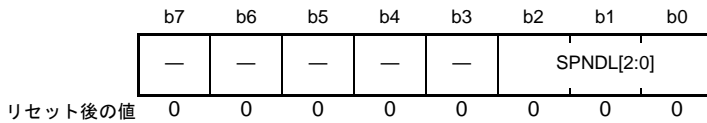
SLNDL[2:0] ビット (SSLネゲート遅延設定ビット)

マスタモードのRSPIのSSLネゲート遅延値を設定します。

RSPIをスレーブモードで使用する場合には、SLNDL[2:0]ビットを“000b”にしてください。

34.2.12 RSPI 次アクセス遅延レジスタ (SPND)

アドレス RSPI0.SPND 0008 838Eh, RSPI1.SPND 0008 83AEh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1RSPCK + 2PCLK 0 0 1 : 2RSPCK + 2PCLK 0 1 0 : 3RSPCK + 2PCLK 0 1 1 : 4RSPCK + 2PCLK 1 0 0 : 5RSPCK + 2PCLK 1 0 1 : 6RSPCK + 2PCLK 1 1 0 : 7RSPCK + 2PCLK 1 1 1 : 8RSPCK + 2PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが“1”の状態、シリアル転送終了後の SSLni 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態において、SPND レジスタを書き換えた場合には、以降の動作はしないでください。

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが“1”の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを“000b”にしてください。

34.2.13 RSPI 制御レジスタ 2 (SPCR2)

アドレス RSPI0.SPCR2 0008 838Fh, RSPI1.SPCR2 0008 83AFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット	0: 送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1: 送信データにパリティビットを付加し、受信データの パリティチェックを行う (SPCR.TXMD=0のとき) 送信データにパリティビットを付加するが、受信データ のパリティチェックは行わない (SPCR.TXMD=1のとき)	R/W
b1	SPOE	パリティモードビット	0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W
b2	SPIIE	RSPIアイドル割り込み許可ビット	0: アイドル割り込み要求の発生を禁止 1: アイドル割り込み要求の発生を許可	R/W
b3	PTE	パリティ自己診断ビット	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能が有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SPCR2 レジスタの SPPE、SPOE ビットの設定値を変更した場合には、以降の動作はしないでください。

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが“1”、SPCR2.SPPE ビットが“1”の場合、送信データにパリティビットを付加しますが、受信データのパリティチェックを行いません。

SPOE ビット (パリティモードビット)

偶数パリティ/奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが“1”のときのみ有効です。

SPIIE ビット (RSPI アイドル割り込み許可ビット)

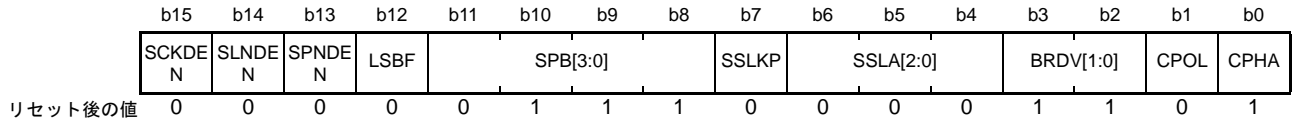
RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが“0”になった場合に、RSPI アイドル割り込み要求の発生を許可/禁止します。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

34.2.14 RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)

アドレス RSPI0.SPCMD0 0008 8390h, RSPI0.SPCMD1 0008 8392h, RSPI0.SPCMD2 0008 8394h, RSPI0.SPCMD3 0008 8396h, RSPI0.SPCMD4 0008 8398h, RSPI0.SPCMD5 0008 839Ah, RSPI0.SPCMD6 0008 839Ch, RSPI0.SPCMD7 0008 839Eh, RSPI1.SPCMD0 0008 83B0h, RSPI1.SPCMD1 0008 83B2h, RSPI1.SPCMD2 0008 83B4h, RSPI1.SPCMD3 0008 83B6h, RSPI1.SPCMD4 0008 83B8h, RSPI1.SPCMD5 0008 83BAh, RSPI1.SPCMD6 0008 83BCh, RSPI1.SPCMD7 0008 83BEh



ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0: 奇数エッジでデータサンプル、偶数エッジでデータ変化 1: 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0: アイドル時のRSPCKがLow 1: アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0: ベースのビットレートを選択 0 1: ベースのビットレートの2分周を選択 1 0: ベースのビットレートの4分周を選択 1 1: ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 1 x x: 設定しないでください	R/W
b7	SSLKP	SSL信号レベル保持ビット	0: 転送終了時に全SSL信号をネゲート 1: 転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100~0111 : 8ビット 1 0 0 0 : 9ビット 1 0 0 1 : 10ビット 1 0 1 0 : 11ビット 1 0 1 1 : 12ビット 1 1 0 0 : 13ビット 1 1 0 1 : 14ビット 1 1 1 0 : 15ビット 1 1 1 1 : 16ビット 0 0 0 0 : 20ビット 0 0 0 1 : 24ビット 0010、0011 : 32ビット	R/W
b12	LSBF	RSPI LSB ファーストビット	0: MSB ファースト 1: LSB ファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延許可ビット	0: 次アクセス遅延は1RSPCK+2PCLK 1: 次アクセス遅延はRSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0: SSLネゲート遅延は1RSPCK 1: SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0: RSPCK遅延は1RSPCK 1: RSPCK遅延はRSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

x : Don't care

SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを設定します。1 チャンネルの RSPI には、RSPI コマンドレジスタが 8 本あります (SPCMD0 ~ SPCMD7 レジスタ)。また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (次転送のデータがセットされていない) 状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが“0”、SPCR.SPE ビットが“1”の状態において、SPCMDm レジスタを書き換えた場合、以降の動作はしないでください。

CPHA ビット (RSPCK 位相設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します (「34.2.8 RSPI ビットレートレジスタ (SPBR)」を参照)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし /2 分周 /4 分周 /8 分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードの RSPI がシリアル転送する場合の SSLni 信号のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSLni 信号のアサートを制御します。SSLni 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットを“000b”にした場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSLn0 端子は入力になるため)。

なお、RSPI をスレーブモードで使用する場合には、SSLA[2:0] ビットを“000b”にしてください。

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSLni 信号レベルを保持するか、ネゲートするかを設定するビットです。

SSLKP ビットを“1”とすることによってバースト転送が可能となります。詳細は「34.3.10.1 マスタモード動作の (4) バースト転送」を参照してください。

RSPI をスレーブモードで使用する場合には、SSLKP ビットを“0”にしてください。

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード/スレーブモードの RSPI の転送データ長を設定します。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード/スレーブモードの RSPI のデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを選択します。

SPNDEN ビット (RSPI 次アクセス遅延許可ビット)

マスタモードの RSPI がシリアル転送を終了して SSLni 信号を非アクティブにしてから、次アクセスの SSLni 信号アサートが可能にするまでの期間 (次アクセス遅延) を設定します。SPNDEN ビットが“0”のとき、RSPI は次アクセス遅延を $1RSPCK+2PCLK$ にします。SPNDEN ビットが“1”のとき、RSPI は SPND レジスタの設定に従った次アクセス遅延を挿入します。

RSPI をスレーブモードで使用する場合には、SPNDEN ビットを“0”にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可ビット)

マスタモードの RSPI が、RSPCK を発振停止してから SSLni 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定します。SLNDEN ビットが“0”のとき、RSPI は SSL ネゲート遅延を $1RSPCK$ にします。SLNDEN ビットが“1”のとき、RSPI は SSLND レジスタの設定に従った RSPCK 遅延で SSL をネゲートします。

RSPI をスレーブモードで使用する場合には、SLNDEN ビットを“0”にしてください。

SCKDEN ビット (RSPCK 遅延設定許可ビット)

マスタモードの RSPI が、SSLni 信号をアクティブにしてから RSPCK を発振するまでの期間 (RSPCK 遅延) を設定します。SCKDEN ビットが“0”のとき、RSPI は RSPCK 遅延を $1RSPCK$ にします。SCKDEN ビットが“1”のとき、RSPI は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

RSPI をスレーブモードで使用する場合には、SCKDEN ビットを“0”にしてください。

34.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

34.3.1 RSPI 動作の概要

RSPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送ができます。RSPI のモードは、SPCR.MSTR, MODFEN, SPMS ビットによって設定できます。表 34.5 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表 34.5 RSPI のモードと SPCR レジスタの設定の関係および各モードの概要

モード	スレーブ (SPI動作)	シングルマスタ (SPI動作)	マルチマスタ (SPI動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0 or 1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
RSPCKn信号	入力	出力	出力/Hi-Z	入力	出力
MOSIn信号	入力	出力	出力/Hi-Z	入力	出力
MISO _n 信号	出力/Hi-Z	入力	入力	出力	入力
SSL _{n0} 信号	入力	出力	入力	Hi-Z (注1)	Hi-Z (注1)
SSL _{n1} ~ SSL _{n3} 信号	Hi-Z (注1)	出力	出力/Hi-Z	Hi-Z (注1)	Hi-Z (注1)
SSL 極性変更機能	あり	あり	あり	—	—
転送レート	~PCLK/8	~PCLK/2	~PCLK/2	~PCLK/8	~PCLK/2
クロックソース	RSPCK入力	内蔵ポーレート ジェネレータ	内蔵ポーレート ジェネレータ	RSPCK入力	内蔵ポーレート ジェネレータ
クロック極性	2種				
クロック位相	2種	2種	2種	1種 (CPHA=1)	2種
先頭転送ビット	MSB/LSB				
転送データ長	8 ~ 16、20、24、32ビット				
バースト転送	可能 (CPHA=1)	可能 (CPHA=0,1)	可能 (CPHA=0,1)	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL入力 アクティブ または RSPCK発振	送信バッファ エンプティ 割り込み要求で 送信バッファ書き込み	送信バッファ エンプティ 割り込み要求で 送信バッファ書き込み	RSPCK発振	送信バッファ エンプティ 割り込み要求で 送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ 検出	あり				
受信バッファフル検出	あり (注2)				
オーバランエラー検出	あり (注2)				
パリティエラー検出	あり (注2、注3)				
モードフォルトエラー 検出	あり (MODFEN=1)	なし	あり	なし	なし

注1. 本モードでは使用しません。

注2. SPCR.TXMD ビットが“1”のときは、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。

注3. SPCR2.SPPE ビットが“0”のときは、パリティエラー検出を行いません。

34.3.2 RSPI 端子の制御

RSPI は、SPCR.MSTR, MODFEN, SPMS ビットと I/O ポートの ODRn.Bi ビットの設定により、端子の状態を切り替えます。I/O ポートの ODRn.Bi ビットの設定値を“0”にすると CMOS 出力に、“1”にするとオープンドレイン出力となります。端子状態と各ビットの設定値の関係を表 34.6 に示します。I/O ポートの設定も同じとなるよう設定してください。

表 34.6 RSPI端子の状態と制御ビット設定値の関係

モード	端子	端子状態 (注2)	
		I/OポートのODRn.Biビット=0	I/OポートのODRn.Biビット=1
シングルマスタ (SPI動作) (MSTR=1、MODFEN=0、SPMS=0)	RSPCKn	CMOS出力	オープンドレイン出力
	SSLn0~3	CMOS出力	オープンドレイン出力
	MOSIn	CMOS出力	オープンドレイン出力
	MISO _n	入力	入力
マルチマスタ (SPI動作) (MSTR=1、MODFEN=1、SPMS=0)	RSPCKn (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	SSLn0	入力	入力
	SSLn1~3 (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	MOSIn (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
スレーブ (SPI動作) (MSTR=0、SPMS=0)	RSPCKn	入力	入力
	SSLn0	入力	入力
	SSLn1~3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIn	入力	入力
マスタ (クロック同期式動作) (MSTR=1、MODFEN=0、SPMS=1)	RSPCKn	CMOS出力	オープンドレイン出力
	SSLn0~3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIn	CMOS出力	オープンドレイン出力
	MISO _n	入力	入力
スレーブ (クロック同期式動作) (MSTR=0、SPMS=1)	RSPCKn	入力	入力
	SSLn0~3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIn	入力	入力
	MISO _n	CMOS出力	オープンドレイン出力

注1. 本モードでは使用しません。

注2. RSPI機能が選択されていないマルチファンクションピンには、RSPIの設定値は反映されません。

注3. SSLn0がアクティブレベルの場合、端子状態がHi-Zになります。

注4. SSLn0が非アクティブレベルまたはSPCR.SPEビットが“0”の場合、端子状態がHi-Zになります。

注5. I/Oポートとして使用できます。

シングルマスタモード (SPI動作)、マルチマスタモード (SPI動作) のRSPIは、SPPCR.MOIFE, MOIFV ビットの設定に従って、SSLネゲート期間 (バースト転送におけるSSL保持期間を含む) のMOSI信号値を表 34.7のように決定します。

表 34.7 SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSIn信号値
0	0、1	前回転送の最終データ
1	0	Low
1	1	High

34.3.3 RSPI システム構成例

34.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ)

図 34.5 に、本 MCU をマスタとして使用した場合のシングルマスタ / シングルスレーブの RSPI システムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本 MCU (マスタ) の SSLn0 ~ SSLn3 出力は使用しません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブを選択できる状態にします。(注1)

本 MCU (マスタ) は、RSPCKn と MOSIn をドライブします。SPI スレーブは、MISO をドライブします。

注1. SPCMDm.CPHA ビットが“0”の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 MCU の SSLni 出力をスレーブデバイスの SSL 入力に接続してください。

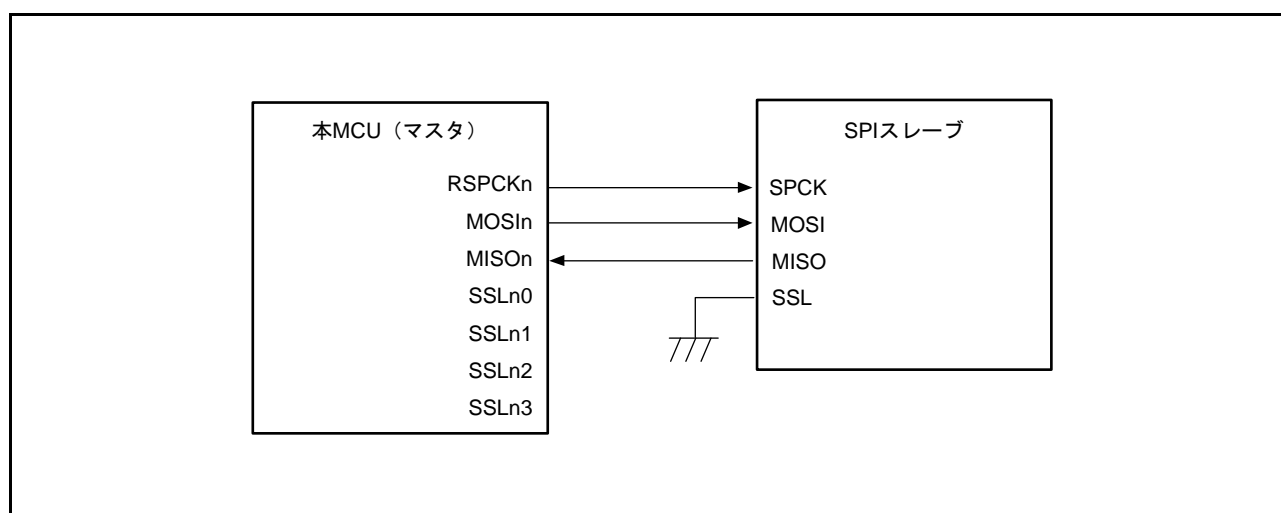


図 34.5 シングルマスタ / シングルスレーブの構成例 (本 MCU = マスタ)

34.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ)

図 34.6 に、本 MCU をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 MCU をスレーブとして使用する場合には、SSLn0 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI をドライブします。本 MCU (スレーブ) は、MISO_n をドライブします。

(注 1)

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合には、本 MCU (スレーブ) の SSLn0 入力を Low に固定して本 MCU (スレーブ) を選択できる状態とし、シリアル転送を実行することも可能です (図 34.7)。

注 1. SSLn0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

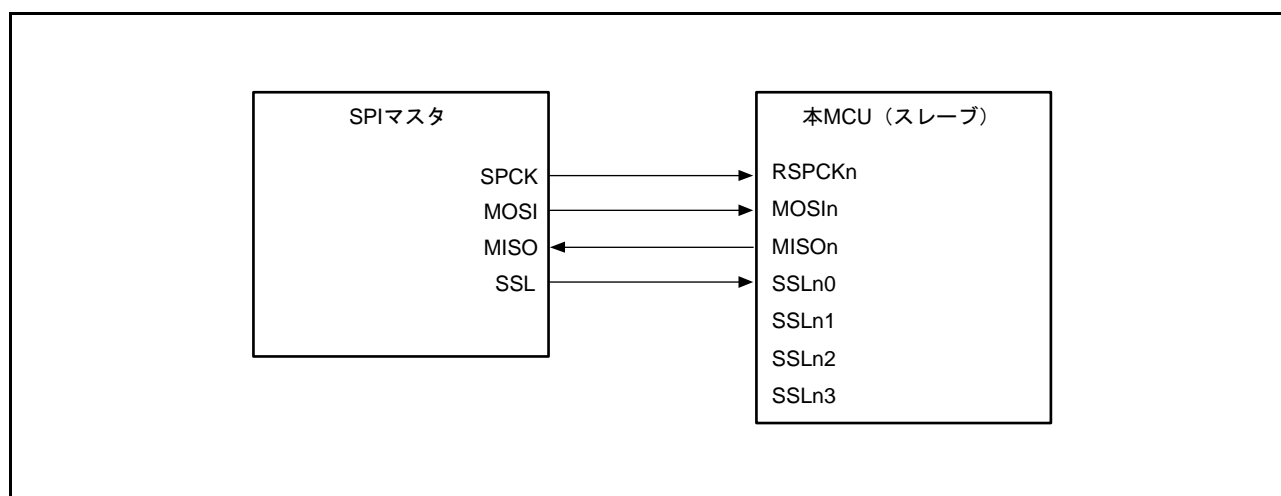


図 34.6 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 0)

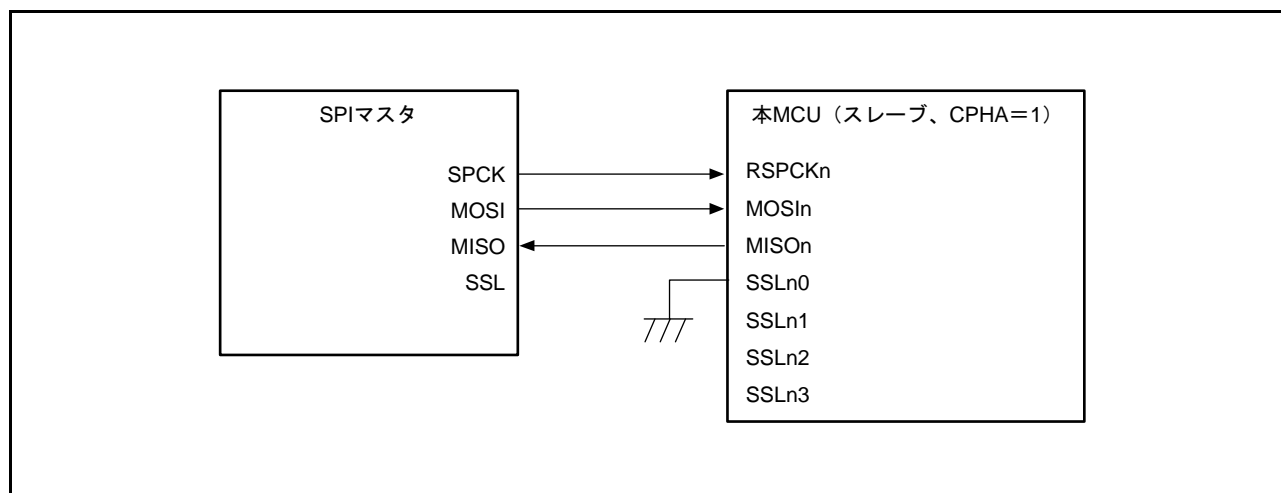


図 34.7 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 1)

34.3.3.3 シングルマスタ / マルチスレーブ (本 MCU = マスタ)

図 34.8 に、本 MCU をマスタとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 34.8 の例では、本 MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から RSPI システムを構成しています。

本 MCU (マスタ) の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて本 MCU (マスタ) の MISO_n 入力に接続します。本 MCU (マスタ) の SSLn0 ~ SSLn3 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

本 MCU (マスタ) は、RSPCK、MOSI、SSLn0 ~ SSLn3 をドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入りに Low を入力されているスレーブが、MISO をドライブします。

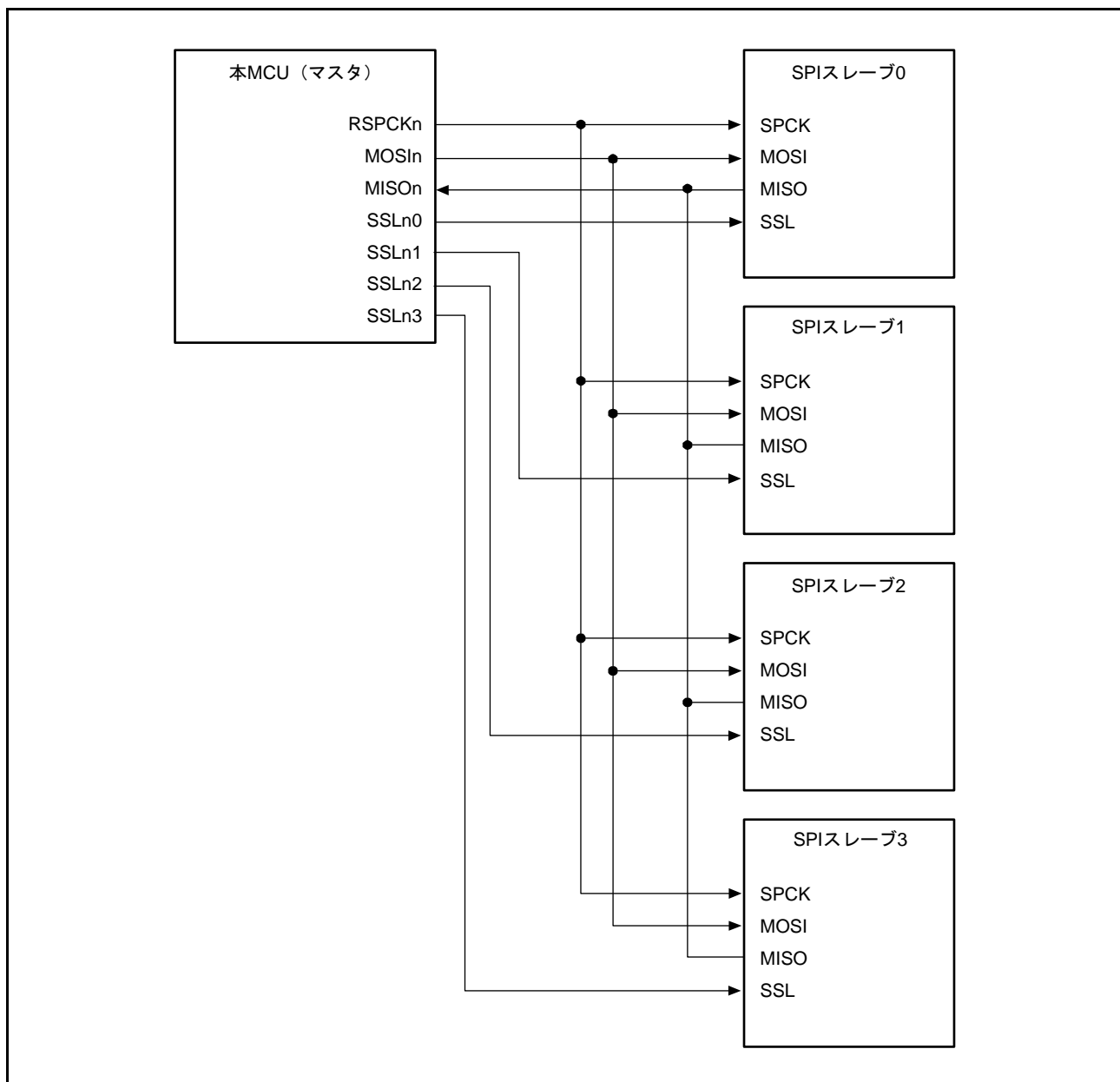


図 34.8 シングルマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

34.3.3.4 シングルマスタ / マルチスレーブ (本 MCU = スレーブ)

図 34.9 に、本 MCU をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 34.9 の例では、SPI マスタと 2 つの本 MCU (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 MCU (スレーブ X、スレーブ Y) の RSPCKn 入力と MOSIn 入力に接続します。本 MCU (スレーブ X、スレーブ Y) の MISO_n 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 MCU (スレーブ X、スレーブ Y) の SSL_{n0} 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。本 MCU (スレーブ X、スレーブ Y) のうち、SSL_{n0} 入力に Low を入力されているスレーブが、MISO_n をドライブします。

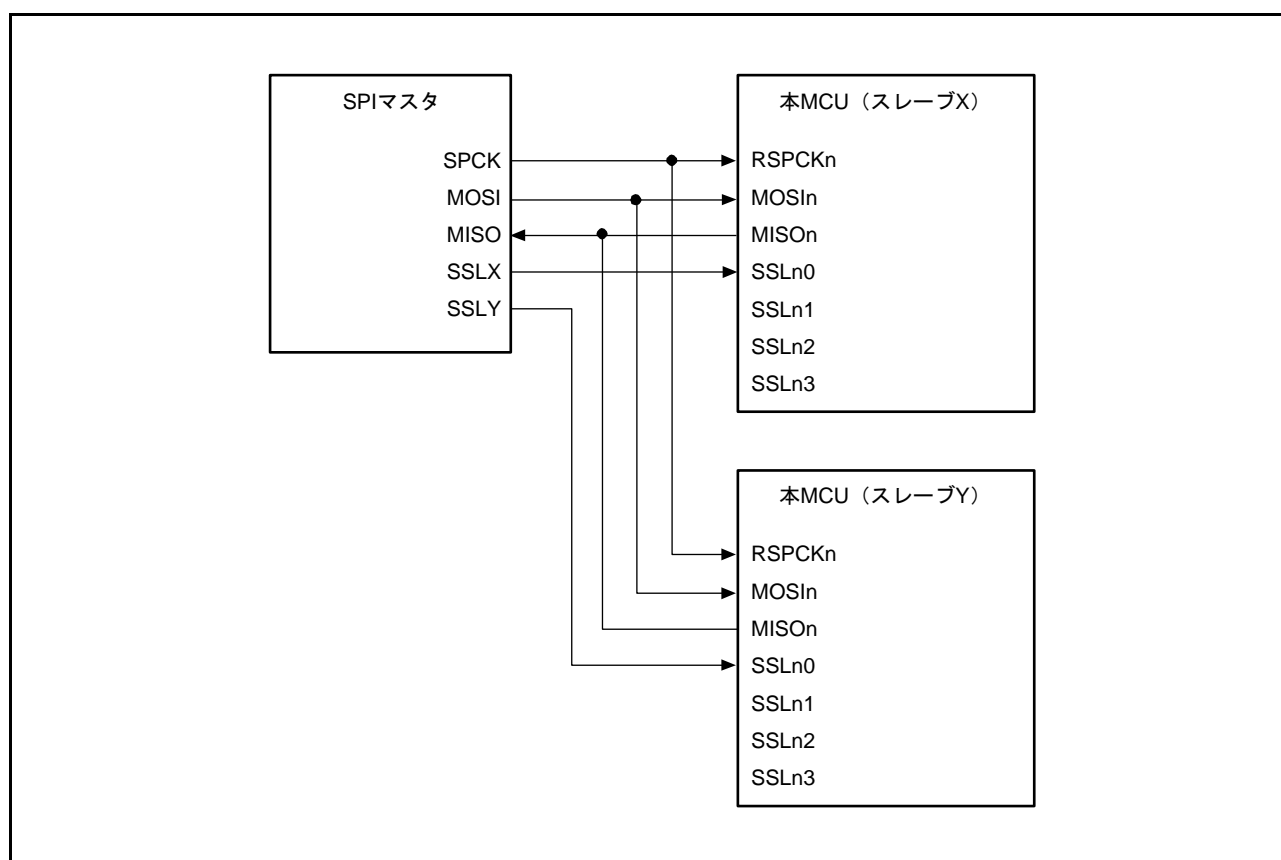


図 34.9 シングルマスタ / マルチスレーブの構成例 (本 MCU = スレーブ)

34.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ)

図 34.10 に、本 MCU をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPI システム構成例を示します。図 34.10 の例では、2つの本 MCU (マスタ X、マスタ Y) と2つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から RSPI システムを構成しています。

本 MCU (マスタ X、マスタ Y) の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 MCU (マスタ X、マスタ Y) の MISO_n 入力に接続します。本 MCU (マスタ X) の任意の汎用ポート Y 出力は、本 MCU (マスタ Y) の SSL_{n0} 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSL_{n0} 入力に接続します。本 MCU (マスタ X、マスタ Y) の SSL_{n1} 出力と SSL_{n2} 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL_{n0} 入力、スレーブ接続用の SSL_{n1} 出力、SSL_{n2} 出力のみでシステムを構成できるので、本 MCU の SSL_{n3} 出力を使用していません。

本 MCU は、SSL_{n0} 入力レベルが High の場合には、RSPCK_n、MOSIn、SSL_{n1}、SSL_{n2} をドライブします。SSL_{n0} 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCK_n、MOSIn、SSL_{n1}、SSL_{n2} を Hi-Z にして、他方のマスタに RSPI バス権を解放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

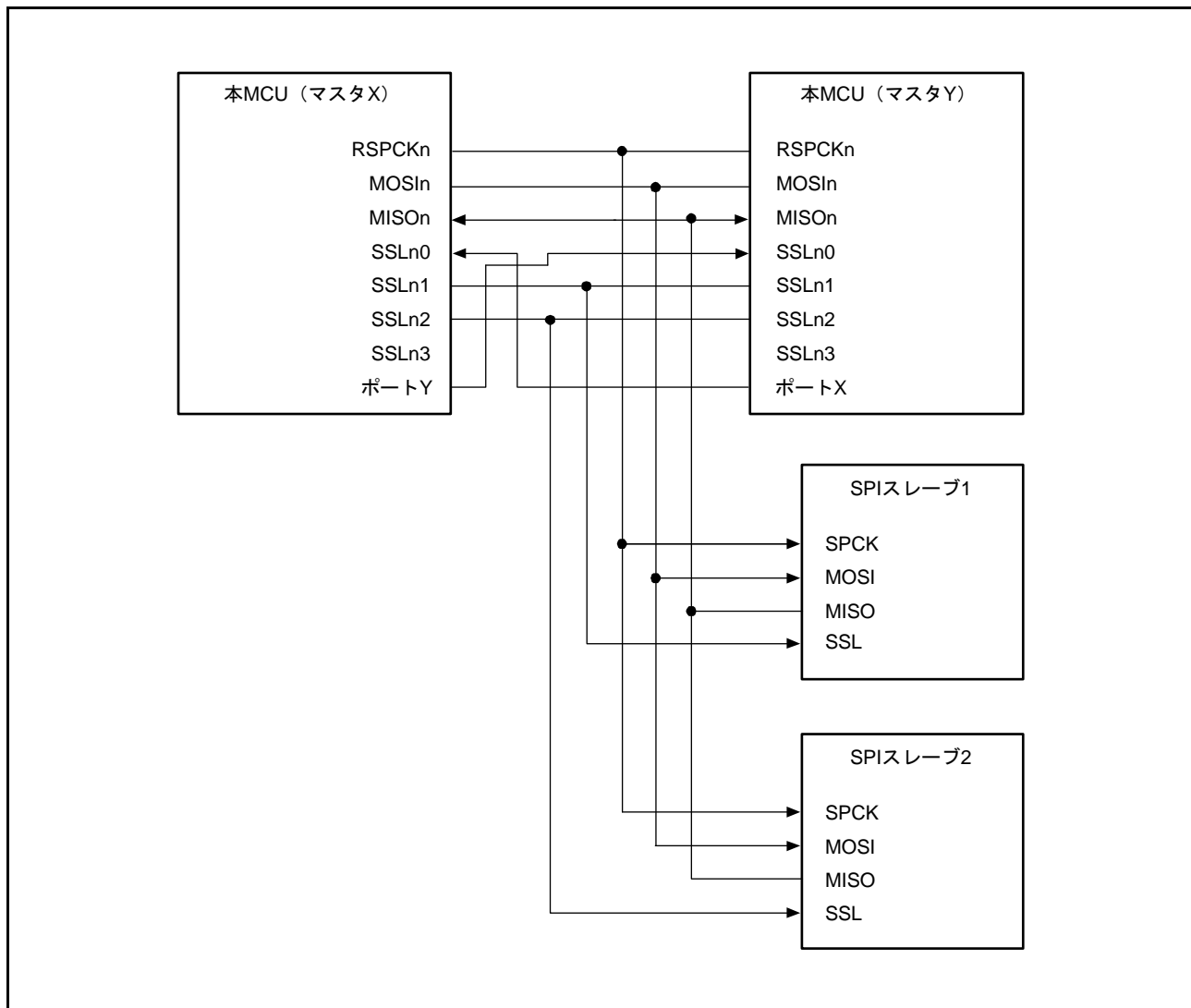


図 34.10 マルチマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

34.3.3.6 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)

図 34.11 に、本 MCU をマスタとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成では、本 MCU (マスタ) の SSLn0 ~ SSLn3 は使用しません。

本 MCU (マスタ) は、RSPCKn と MOSIn をドライブします。SPI スレーブは、MISO をドライブします。

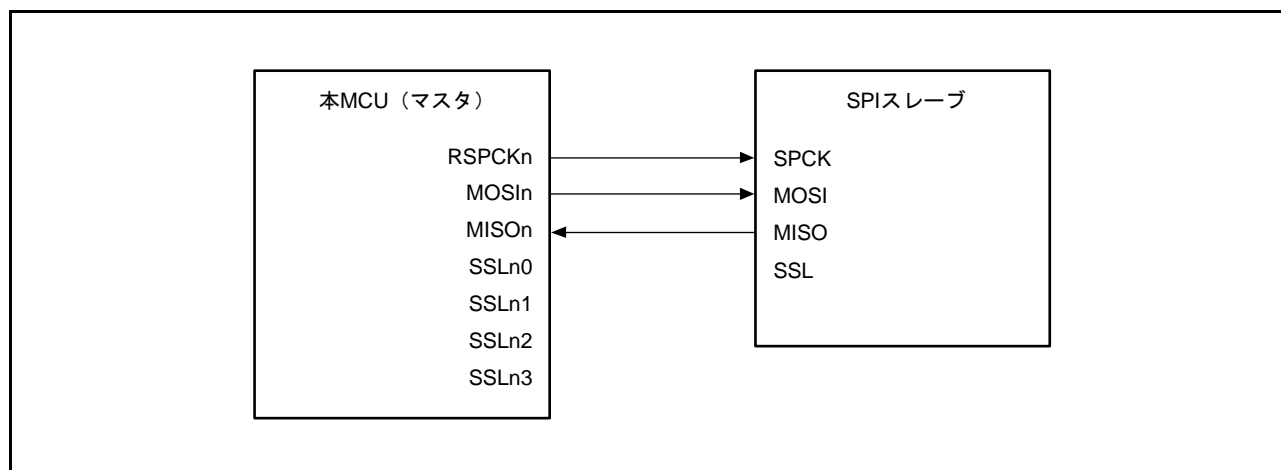


図 34.11 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 MCU = マスタ)

34.3.3.7 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)

図 34.12 に、本 MCU をスレーブとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 MCU をスレーブ (クロック同期式動作) として使用する場合には、本 MCU (スレーブ) は、MISO_n をドライブし、SPI マスタは、SPCK と MOSI をドライブします。また、本 MCU (スレーブ) の SSLn0 ~ SSLn3 は使用しません。

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合のみ、本 MCU (スレーブ) はシリアル転送を実行することが可能です。

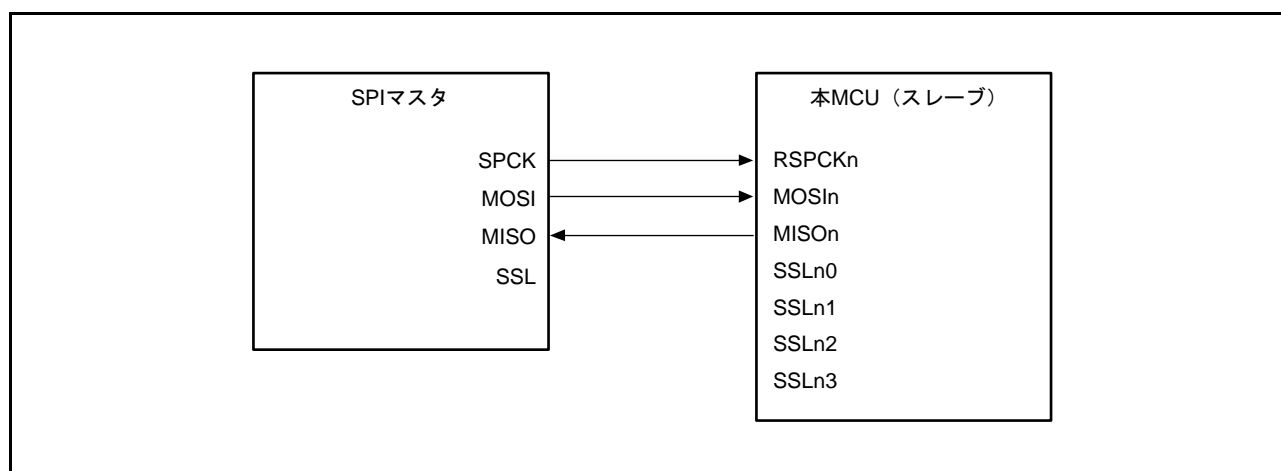


図 34.12 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例
(本 MCU = スレーブ、CPHA = 1)

34.3.4 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m (SPCMD m)、RSPI 制御レジスタ 2 のパリティ許可ビット (SPCR2.SPPE) の設定値に依存します。MSB/LSB ファーストに関わらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a) パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。

(b) パリティ機能有効時

パリティ機能有効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

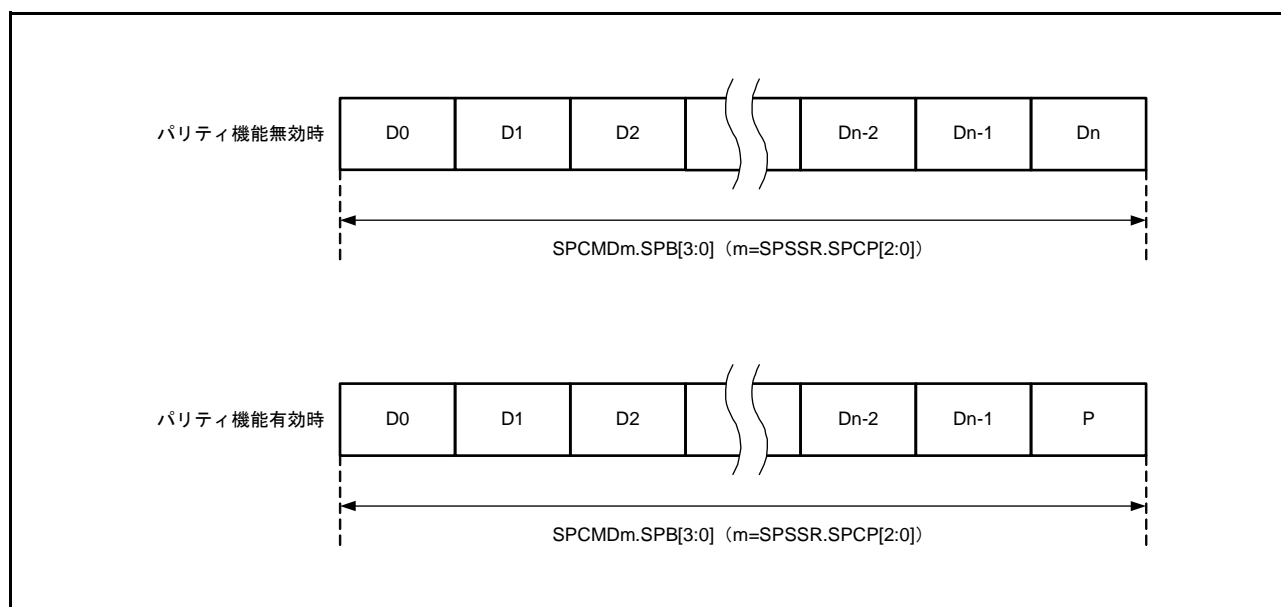


図 34.13 データフォーマット概要 (パリティ機能無効時 / 有効時)

34.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下にRSPIデータレジスタ (SPDR) とシフトレジスタの関係をMSB/LSBファーストとビット長の組み合わせで説明します。

(1) MSBファースト転送 (32ビットデータ)

図34.14に、パリティ機能無効時、RSPIがデータ長32ビットのMSBファースト転送を実施する場合のSPDRレジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファのT31～T00をシフトレジスタにコピーします。送信データは、T31→T30→・・・→T00の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット0に格納し、1データごとに受信データをシフトします。必要分のRSPCKが入力され、R31～R00までデータがたまと、シフトレジスタの値を受信バッファにコピーします。

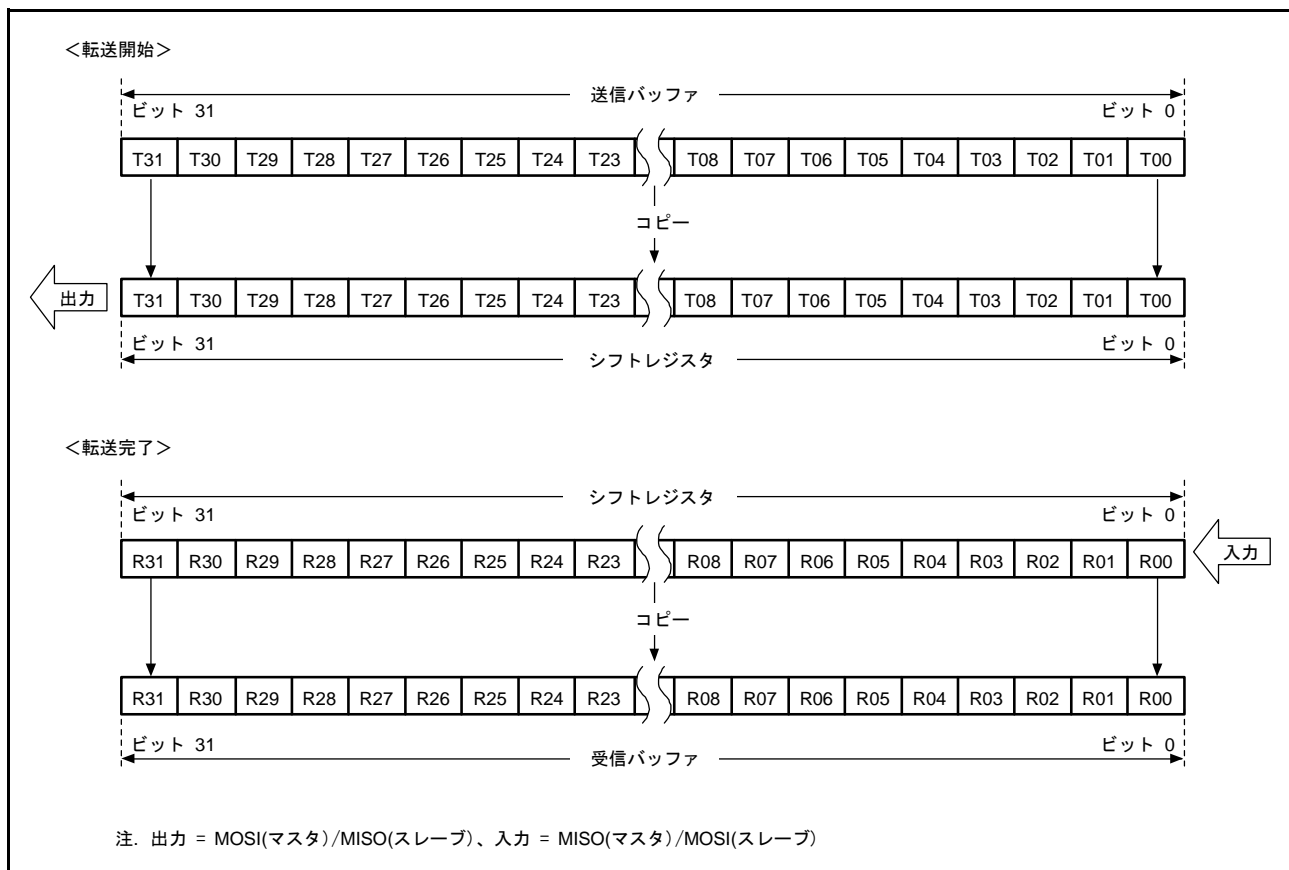


図 34.14 MSBファースト転送 (32ビットデータ / パリティ機能無効)

(2) MSB ファースト転送 (24 ビットデータ)

図 34.15 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

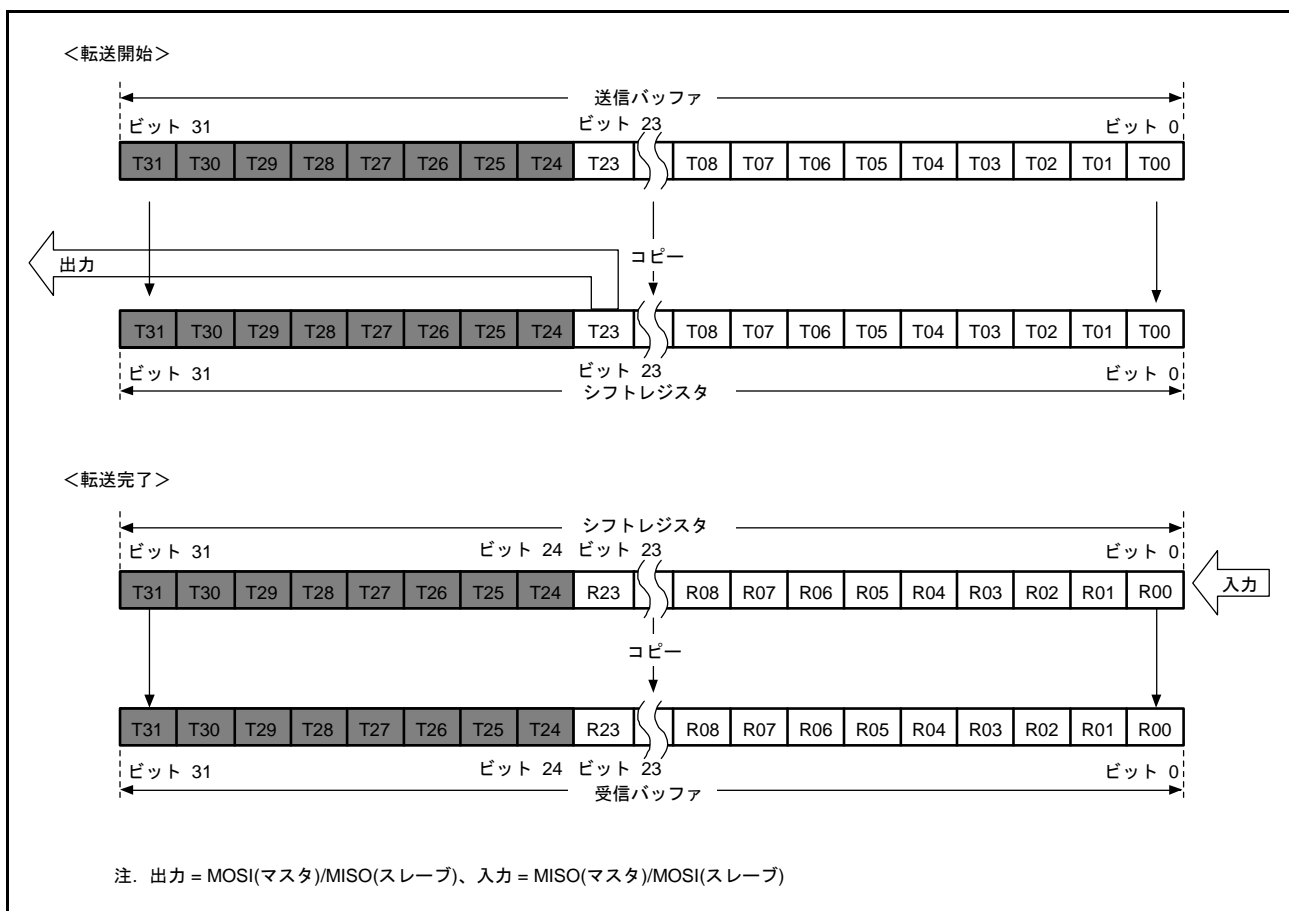


図 34.15 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3) LSB ファースト転送 (32 ビットデータ)

図 34.16 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ~ T00) をビット単位で入れ替え、シフトレジスタに T00 ~ T31 の順番に並び替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

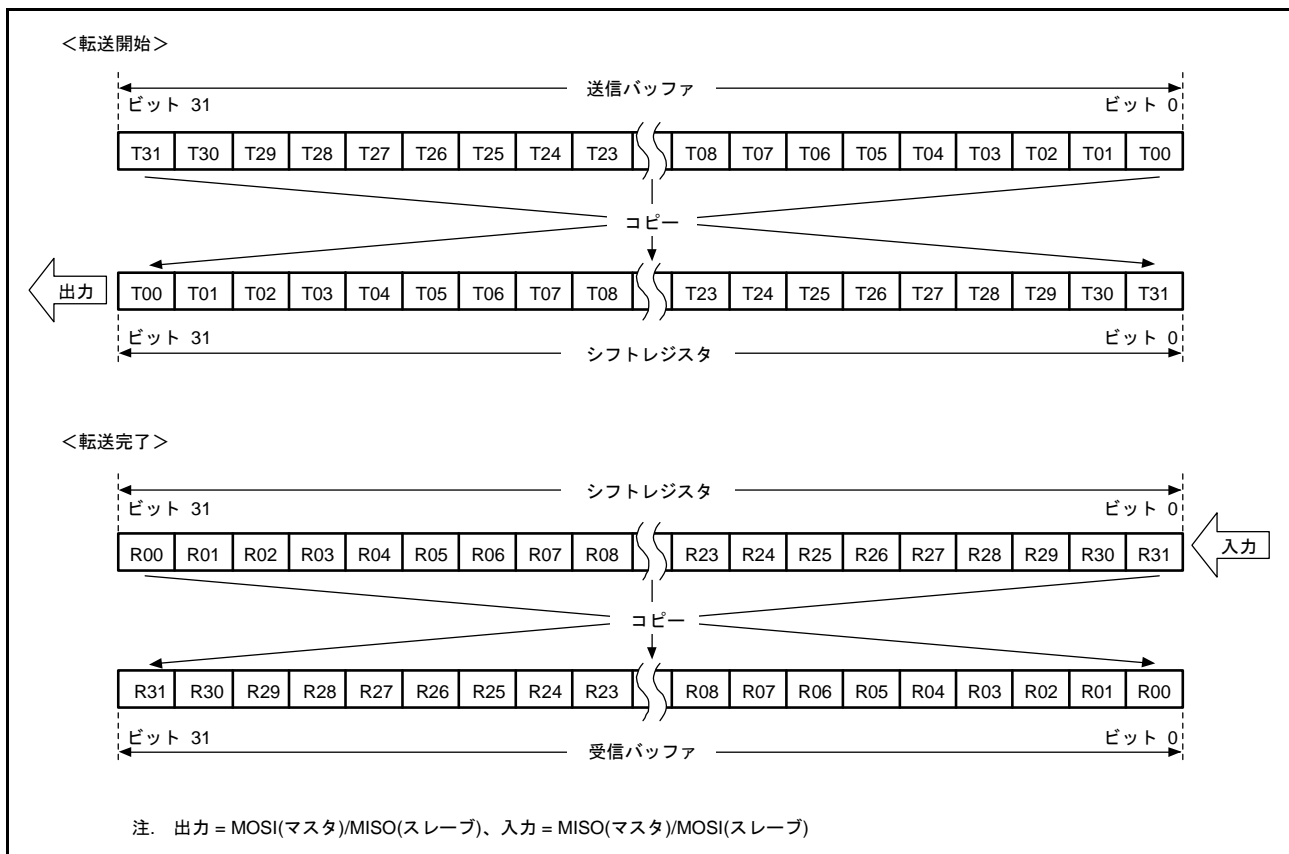


図 34.16 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) LSB ファースト転送 (24 ビットデータ)

図 34.17 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

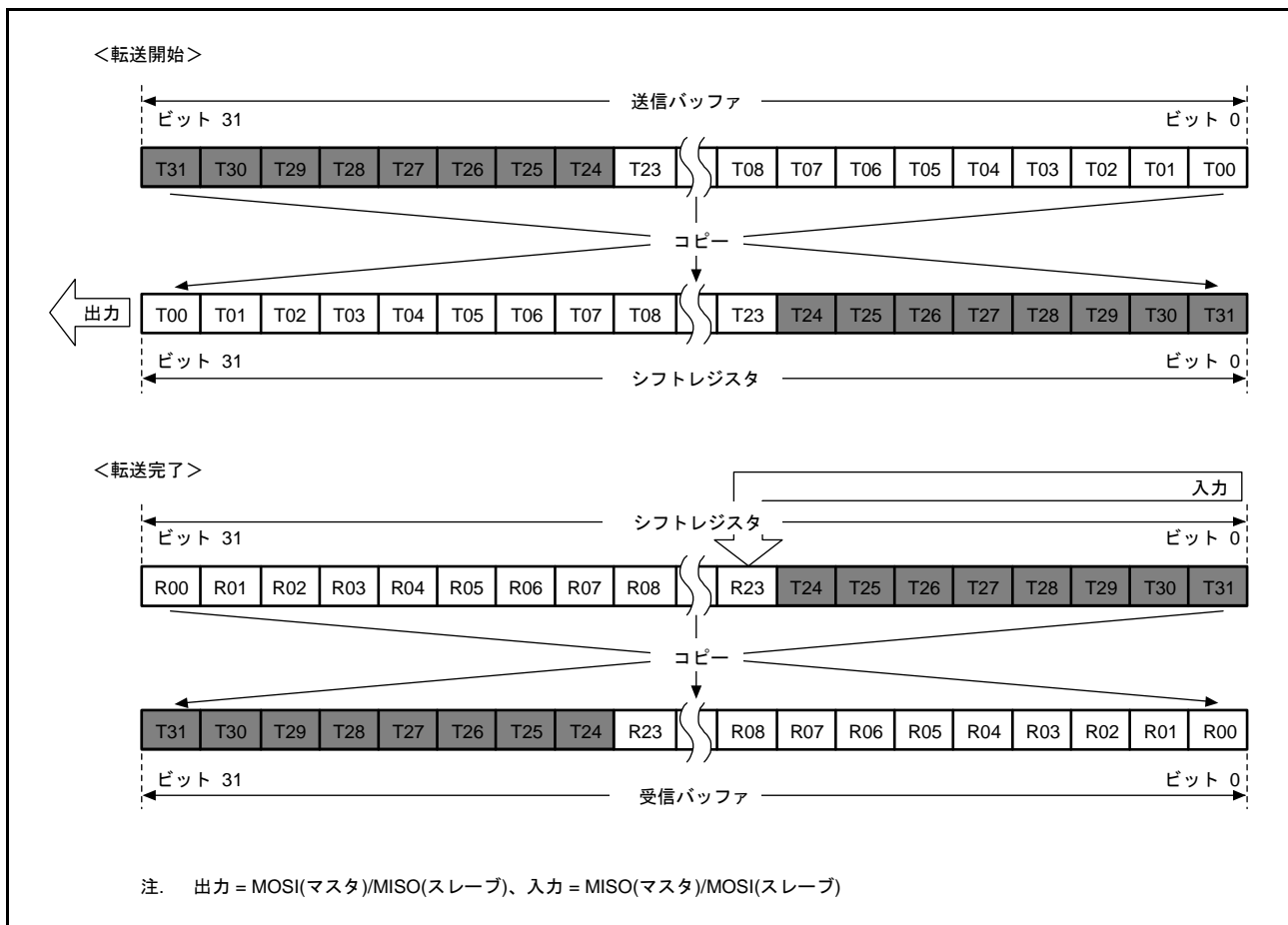


図 34.17 LSB ファースト (24 ビットデータ / パリティ機能無効)

34.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1) MSB ファースト転送 (32 ビットデータ)

図 34.18 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ~ P のデータをチェックし、パリティエラーの判定を行います。

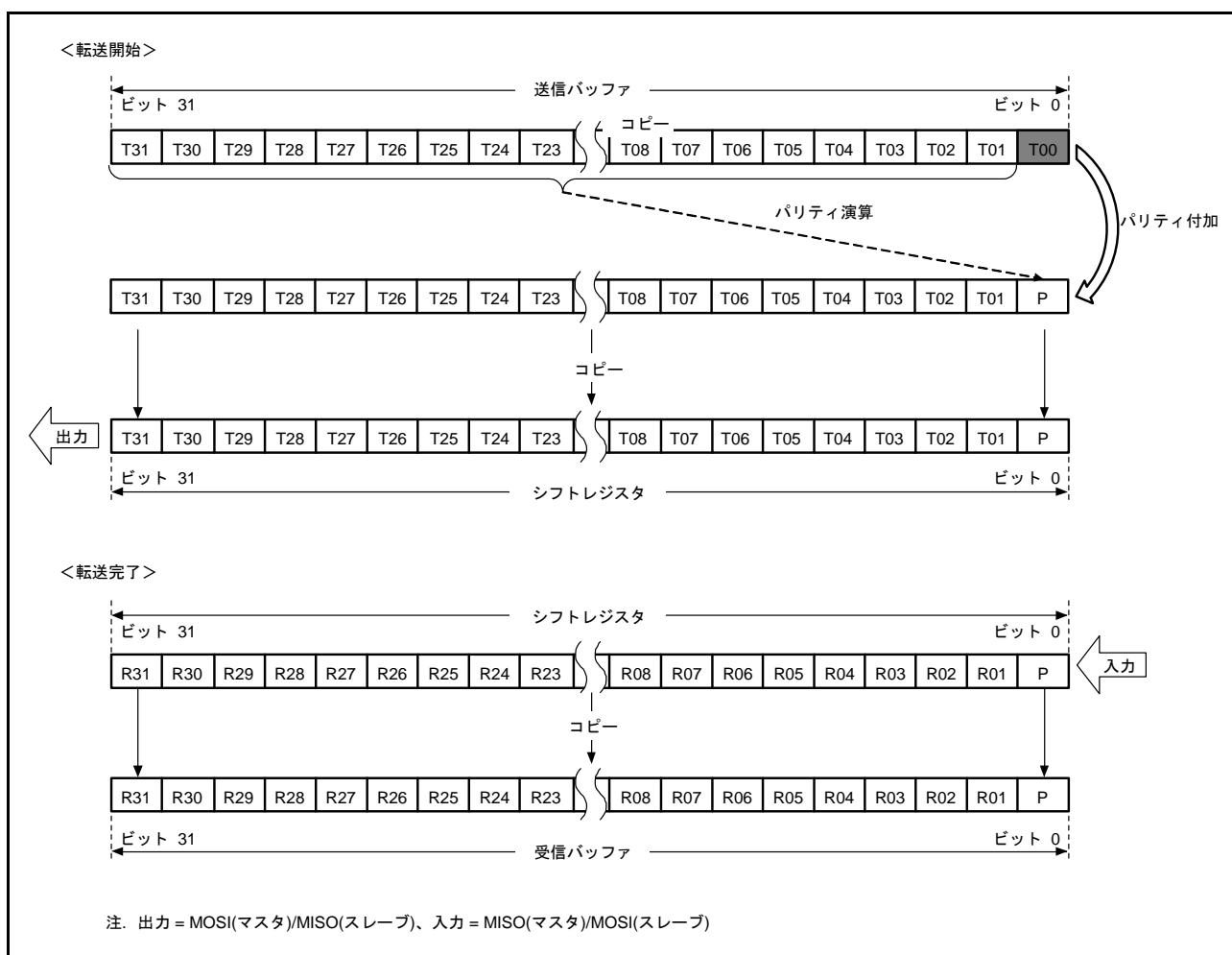


図 34.18 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 34.19 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

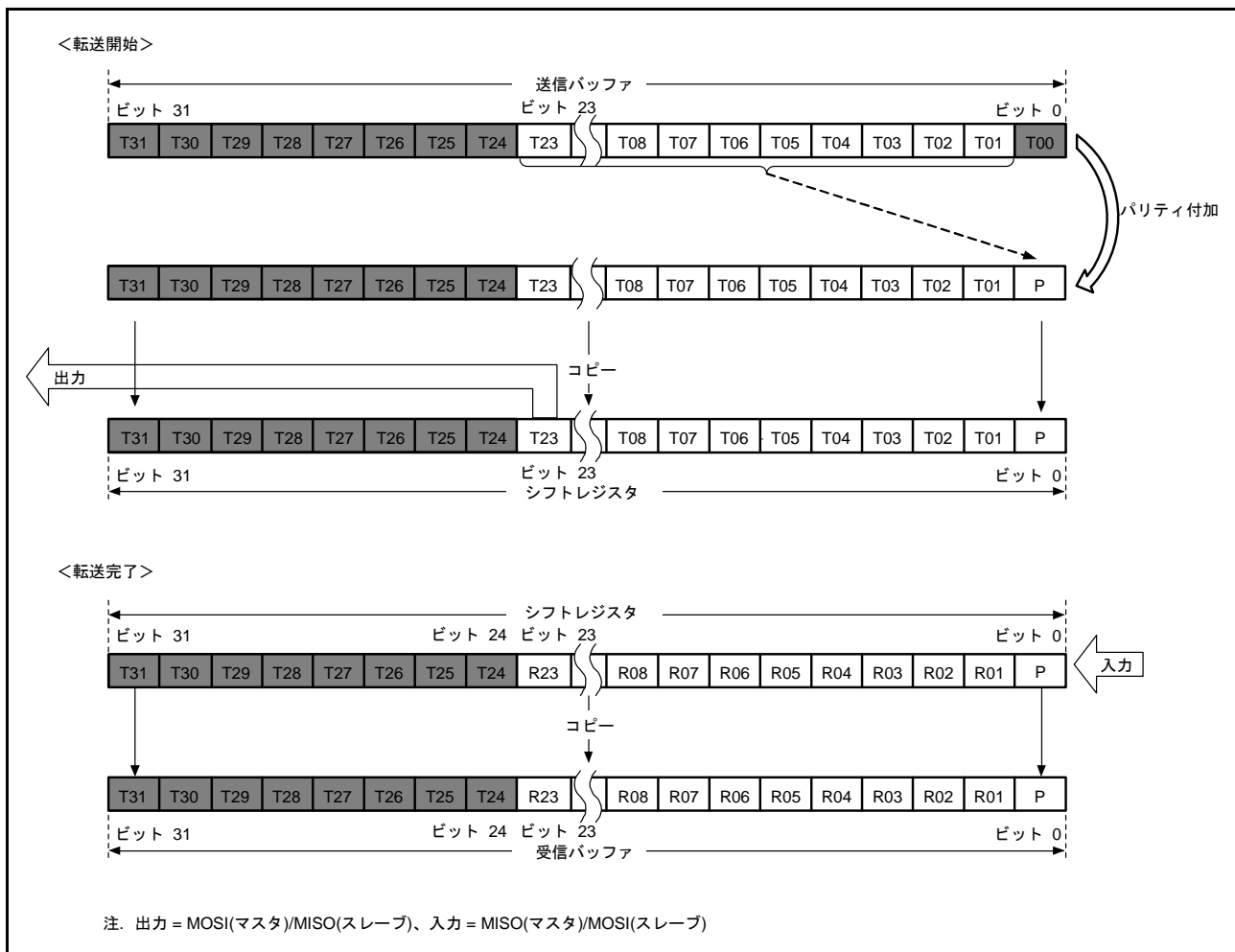


図 34.19 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビットデータ)

図 34.20 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。

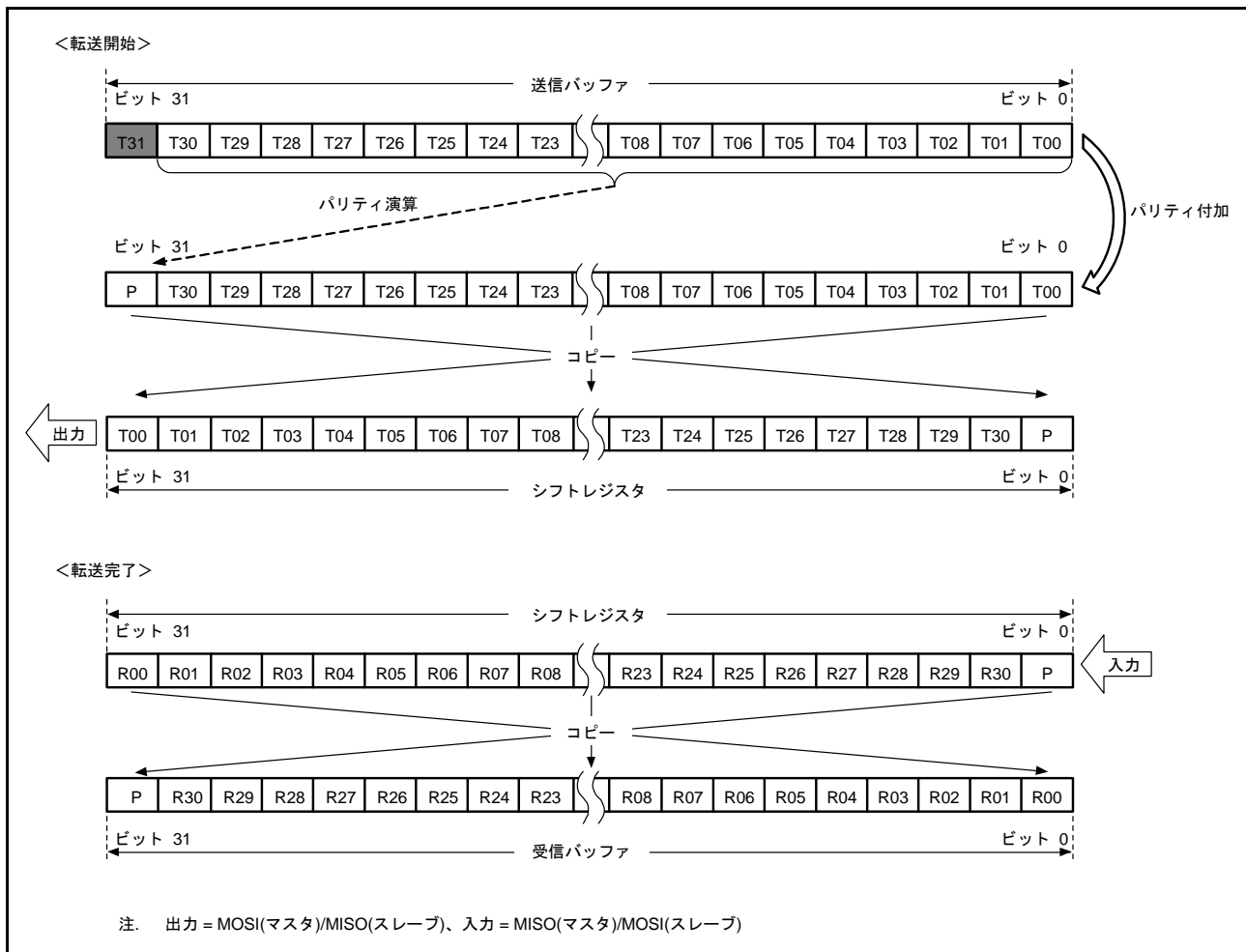


図 34.20 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 34.21 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

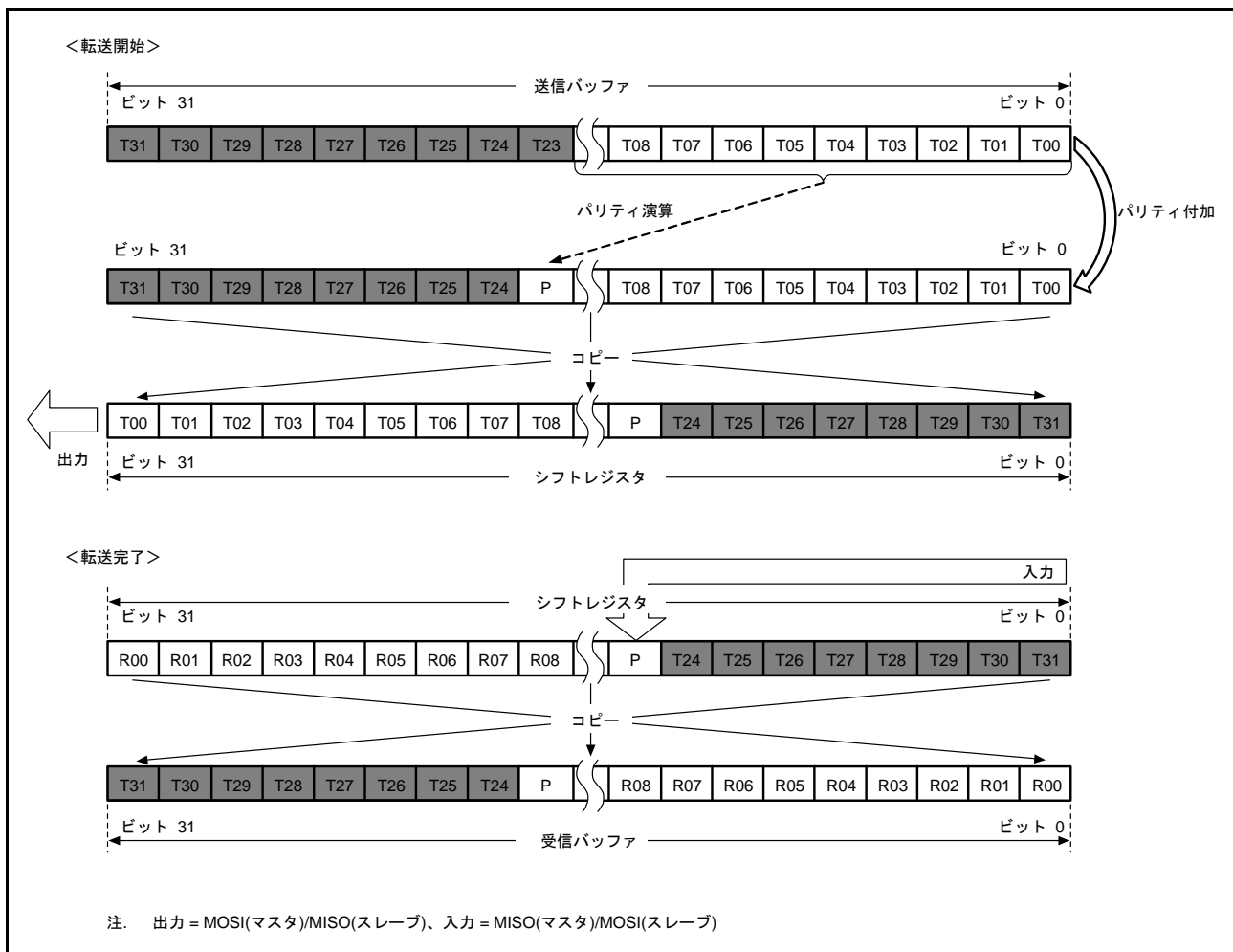


図 34.21 LSB ファースト (24 ビットデータ / パリティ機能有効)

34.3.5 転送フォーマット

34.3.5.1 CPHA ビット = 0 の場合

図 34.22 に SPCMDm.CPHA ビットが“0”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR=0) で CPHA ビットが“0”の場合のクロック同期式動作 (SPCR.SPMS ビットが“1”の場合) はしないでください。図 34.22 において、RSPCKn (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKn (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKn 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「34.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“0”の場合には、SSLni 信号のアサートタイミングで、MOSIn 信号と MISOOn 信号への有効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSIn 信号と MISOOn 信号の変化タイミングは、転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLni 信号のアサートから RSPCKn 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKn 発振停止から SSLni 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLni 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「34.3.10.1 マスタモード動作」を参照してください。

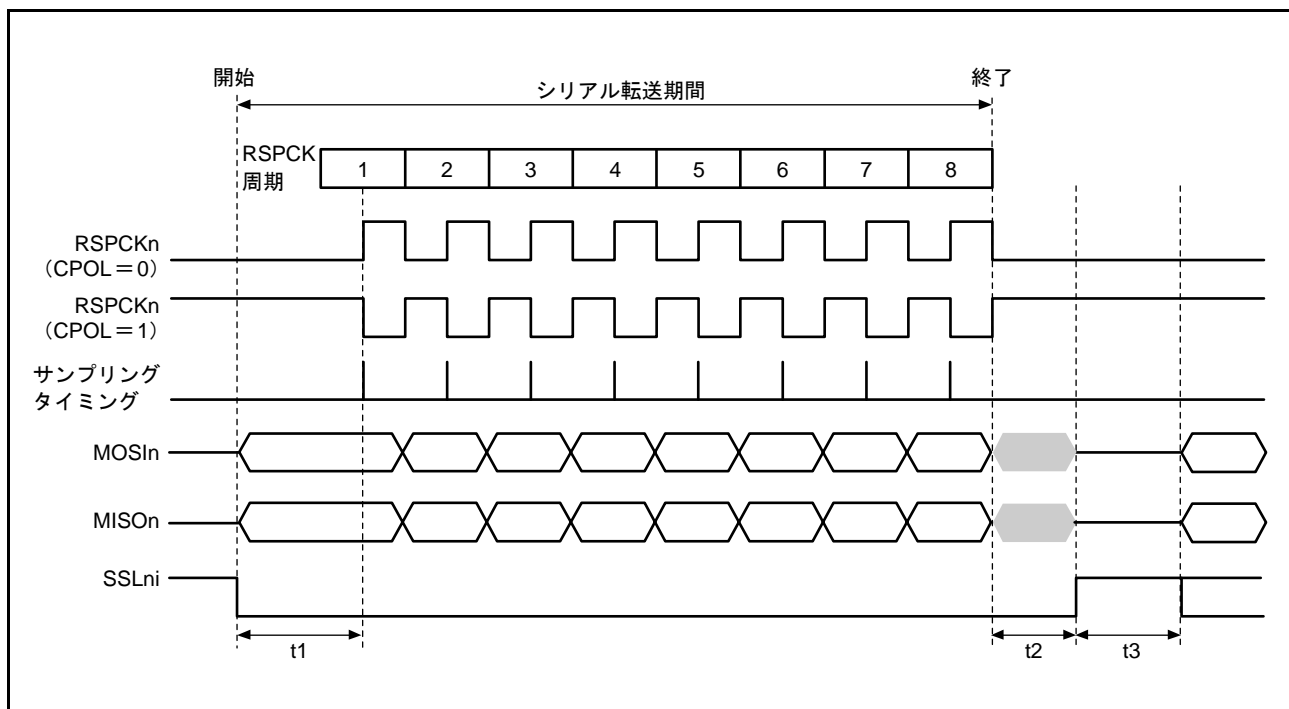


図 34.22 RSPI 転送フォーマット (CPHA ビット = 0)

34.3.5.2 CPHA ビット = 1 の場合

図 34.23 に SPCMDm.CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが“1”の場合は SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、MISOOn 信号のみで通信を行います。図 34.23 において、RSPCK (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCK (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKn 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード (マスタ/スレーブ) に依存します。詳細は「34.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“1”の場合には、SSLni 信号のアサートタイミングで、MISOOn 信号に無効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化タイミングで、MOSIn 信号と MISOOn 信号への有効データへの出力が開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このタイミングの 1/2RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCKn 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「34.3.10.1 マスタモード動作」を参照してください。

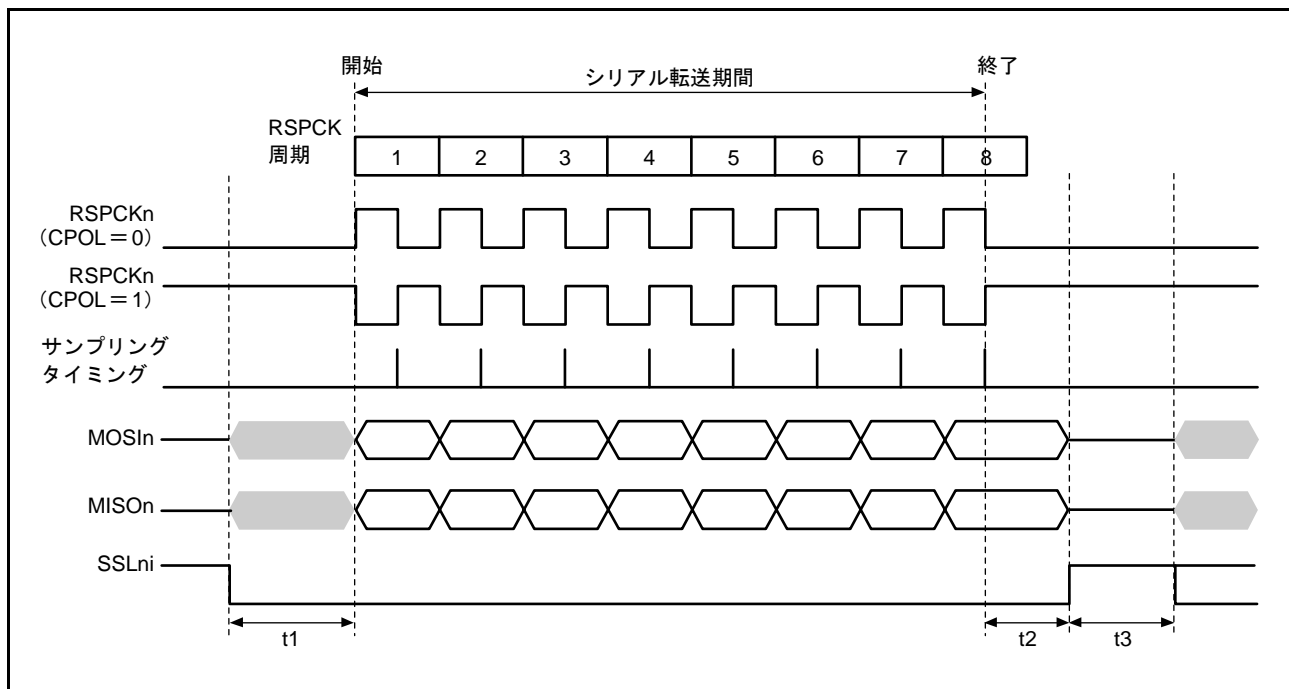


図 34.23 RSPI 転送フォーマット (CPHA ビット = 1)

34.3.6 通信動作モード

SPCR.TXMD ビットの設定により、全二重同期式シリアル通信または送信のみの動作を選択します。図 34.24、図 34.25 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。

34.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD=0)

図 34.24 に、SPCR.TXMD ビットを“0”にした場合の動作例を示します。図 34.24 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (=転送ビット数) を示しています。

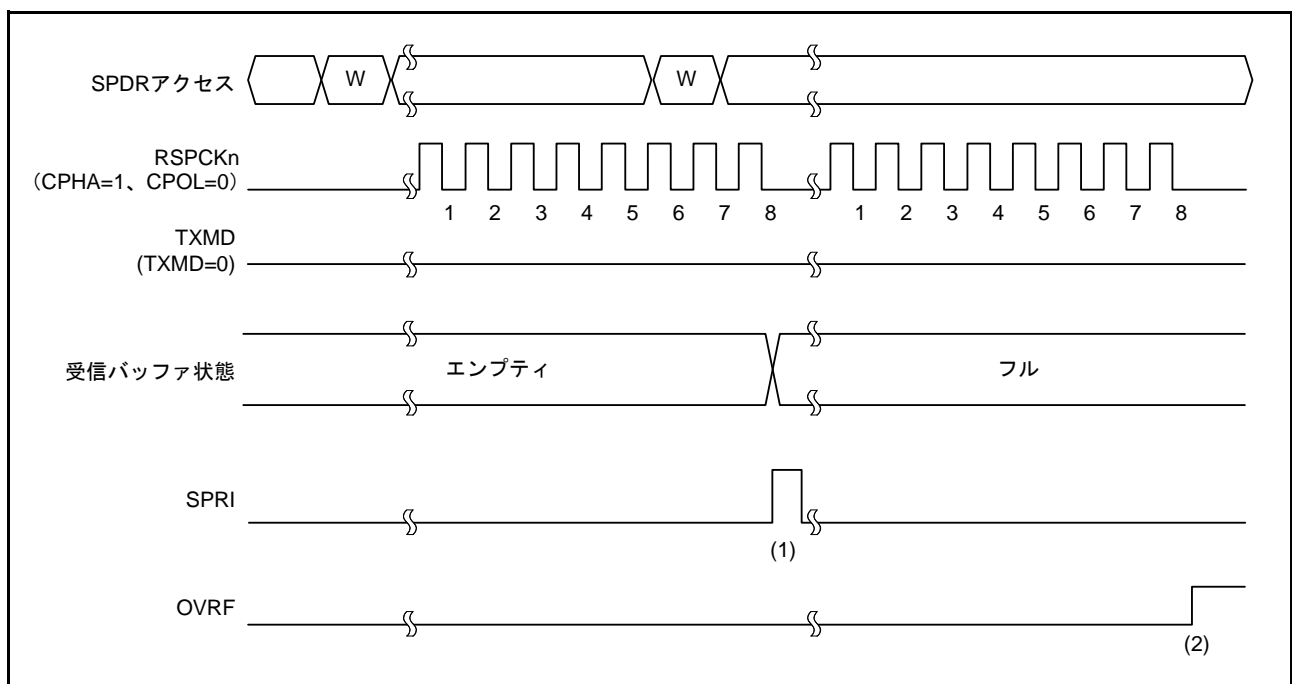


図 34.24 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を発生してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

34.3.6.2 送信のみ動作 (SPCR.TXMD=1)

図 34.25 に、SPCR.TXMD ビットを“1”に設定した場合の動作例を示します。図 34.25 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (=転送ビット数) を示しています。

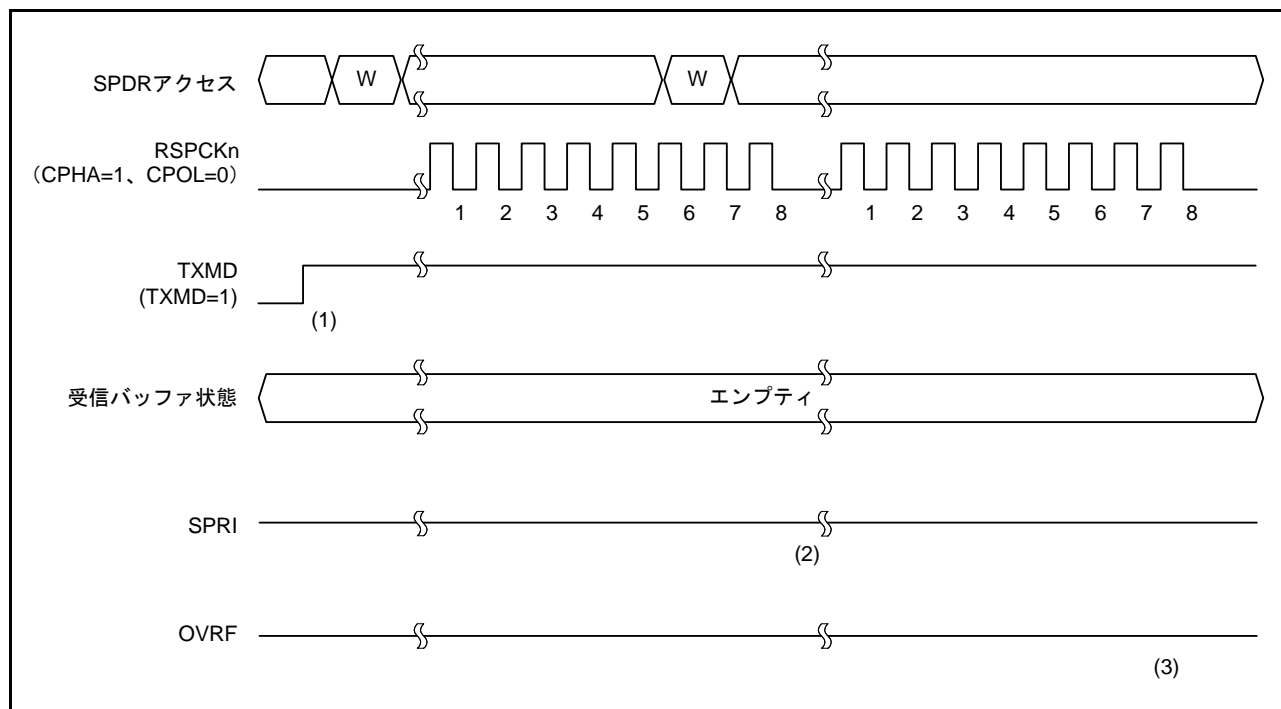


図 34.25 SPCR.TXMD = 1 の動作例

以下に、図中の (1) (2) (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみ動作 (SPCR.TXMD=1) への遷移は、受信バッファにデータが残っていないこと、SPSR.OVRF フラグが“0”であることを確認してから、行ってください。
- (2) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみ動作 (SPCR.TXMD=1) のときは、シフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作時 (SPCR.TXMD=1) は、送信データを送信し、受信データを受信しません。そのため、SPSR.OVRF フラグは (1) (2) (3) それぞれのタイミングで“0”を保持します。

34.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 34.26 に送信バッファエンプティ割り込み (SPTI) と受信バッファフル割り込み (SPRI) の動作例を示します。図 34.26 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 34.26 の例では、SPCR.TXMD ビットが“0”、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (=転送ビット数) を示しています。

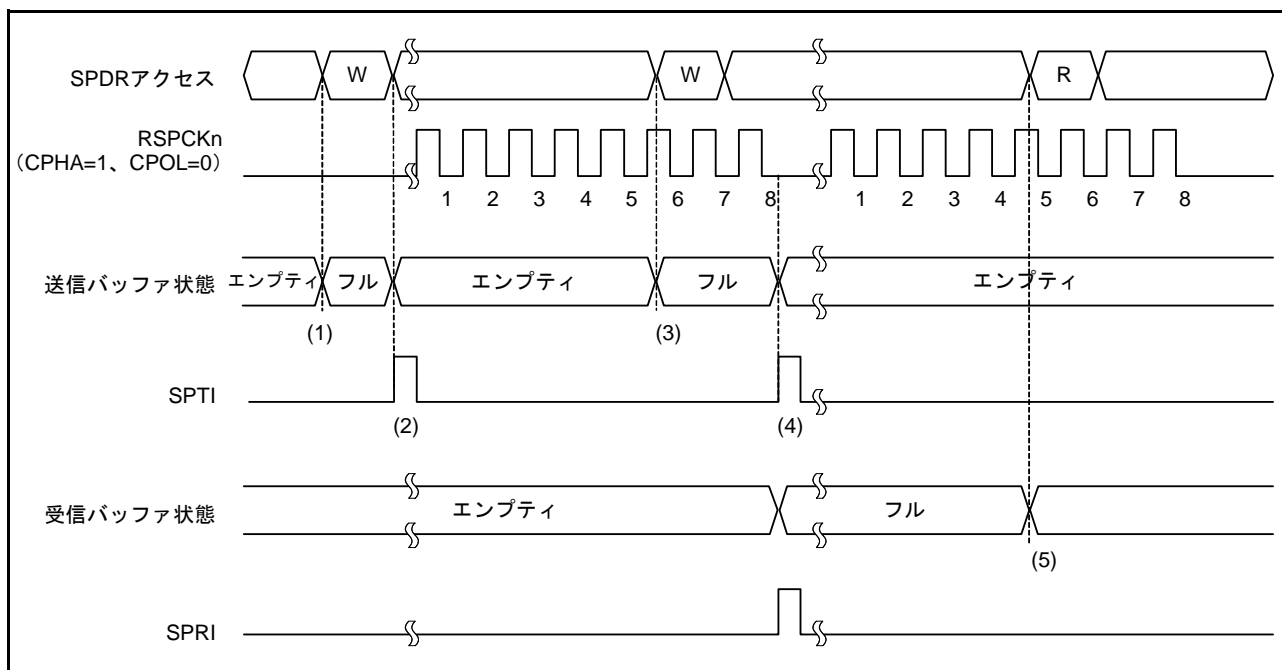


図 34.26 SPTI、SPRI 割り込みの動作例

以下に、図中の (1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

1. SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込みます。
2. シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPTI) を発生します。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(「34.3.10 SPI 動作」, 「34.3.11 クロック同期式動作」参照)
3. 送信バッファエンプティ割り込みルーチンで、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送されます。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を発生します。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
5. 受信バッファフル割り込みルーチンで、SPDR レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある状態で、SPDR レジスタを書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタを書き込む場合には、送信バッファエンpty割り込みルーチンで行ってください。また、送信バッファエンpty割り込みを利用する場合には、SPCR の SPTIE ビットを“1”にしてください。

RSPI 機能は無効 (SPCR.SPE ビットが“0”) の場合には、SPTIE ビットを“0”にしてください。

受信バッファフルの状態、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「34.3.8 エラー検出」参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また RSPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを“1”にしてください。

送信 / 受信バッファの状態は、送信 / 受信割り込み、または対応する ICU の IRn.IR フラグ (n = 割り込みベクタ番号) によって確認することができます。割り込みベクタ番号については、「14. 割り込みコントローラ (ICUb)」を参照してください。

34.3.8 エラー検出

通常のRSPIのシリアル転送では、SPDRレジスタの送信バッファに書き込んだデータが送信され、受信されたデータをSPDRレジスタの受信バッファから読み出すことができます。SPDRレジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始/終了時のRSPIの状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPIはオーバランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表34.8に、通常以外の転送動作とRSPIのエラー検出機能の関係を示します。

表34.8 通常以外の転送の発生条件とRSPIのエラー検出機能

	発生条件	RSPI動作	エラー検出
1	送信バッファフルの状態ですPDRレジスタを書き込み	<ul style="list-style-type: none"> 送信バッファ内容を保持 書き込みデータ欠落 	なし
2	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始	前回シリアル転送時の受信データを送信	なし
3	受信バッファエンプティの状態ですPDRレジスタを読み出し	前回受信データを出力	なし
4	受信バッファフルの状態です、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時にSSLn0入力信号アサート	<ul style="list-style-type: none"> RSPCKn、MOSIn、SSLn1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中にSSLn0入力信号アサート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 RSPCKn、MOSIn、SSLn1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
8	スレーブモードでシリアル転送中にSSLn0入力信号がネゲート	<ul style="list-style-type: none"> シリアル転送中断 送受信データ欠落 MISO出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出

表34.8の1に示した動作に対しては、RSPIはエラーを検出しません。SPDRレジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求でSPDRレジスタへの書き込みを実施してください。

2に示した動作に対しても、RSPIはエラーを検出しません。RSPIでは、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、2に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データはSPDRレジスタの受信バッファに保持されているので、正しく読み出されます（シリアル転送が終了する前にSPDRレジスタを読み出さないと、オーバランエラーが発生します）。

3に示した動作に対しても、RSPIはエラーを検出しません。不要なデータを読み出さないようにするためには、RSPI受信バッファフル割り込みでSPDRレジスタの読み出しを実行するようにしてください。

4に示したオーバランエラーについては「34.3.8.1 オーバランエラー」で、5に示したパリティエラーについては「34.3.8.2 パリティエラー」で説明します。また、6～8に示したモードフォルトエラーについては「34.3.8.3 モードフォルトエラー」で説明します。

なお、送受信の割り込みについては、「34.3.7 送信バッファエンプティ/受信バッファフル割り込み」を参照してください。

34.3.8.1 オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを“1”にします。OVRF フラグが“1”の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを“0”にするためには、OVRF フラグが“1”にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに“0”を書く必要があります。

図 34.27 に、OVRF フラグの動作を示します。図 34.27 に記載した SPSR アクセスと SPDR アクセスは、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 34.27 の例では、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (=転送ビット数) を示しています。

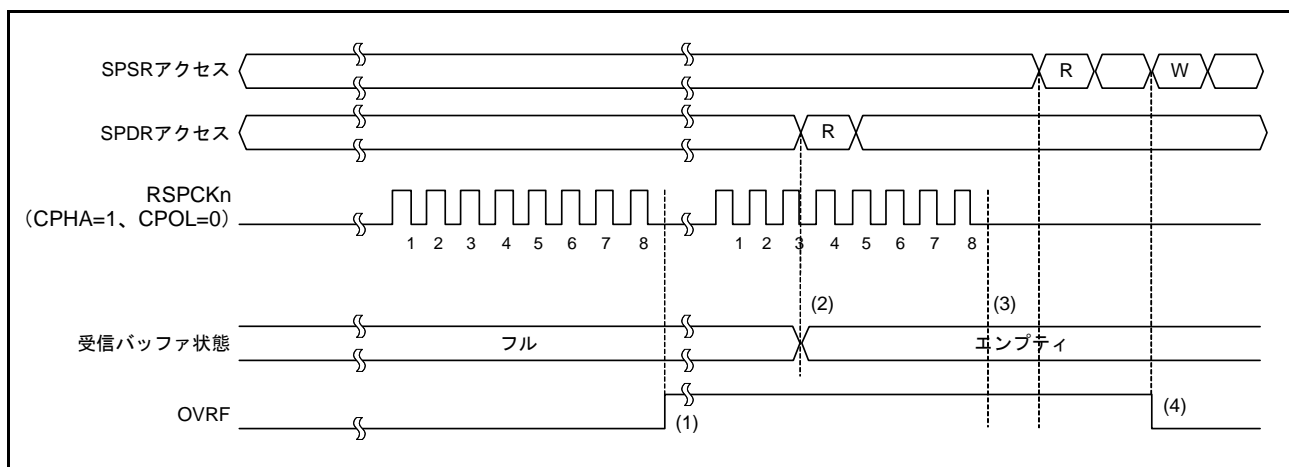


図 34.27 OVRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

1. 受信バッファフル状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを“1”にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
2. SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。受信バッファが空になっても、OVRF フラグは“0”になりません。
3. OVRF フラグが“1”の状態（オーバランエラー）でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません。受信バッファフル割り込みも発生しません。また、SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
4. OVRF フラグが“1”の状態で SPSR レジスタを読んだ後、OVRF フラグに“0”を書くと、RSPI は OVRF フラグを“0”にします。

オーバーランの発生は、SPSRレジスタの読み出しあるいはRSPIエラー割り込みとSPSRレジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPDRレジスタの読み出し直後にSPSRレジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。RSPIをマスターモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

オーバーランエラーが発生してOVRFフラグが“1”になると、OVRFフラグが“0”になるまで正常な受信動作ができなくなります。

34.3.8.2 パリティエラー

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態ですべて二重同期式シリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPIは、受信データにパリティエラーを検出すると、SPSR.PERF フラグを“1”にします。SPSR.OVRF フラグが“1”の状態では、RSPIはシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを“0”にするためには、PERF フラグが“1”の状態の SPSR レジスタを読んだ後、PERF フラグに“0”を書く必要があります。

図 34.28 に、OVRF フラグと PERF フラグの動作を示します。図 34.28 に記載した“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 34.28 の例では、SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態ですべて二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

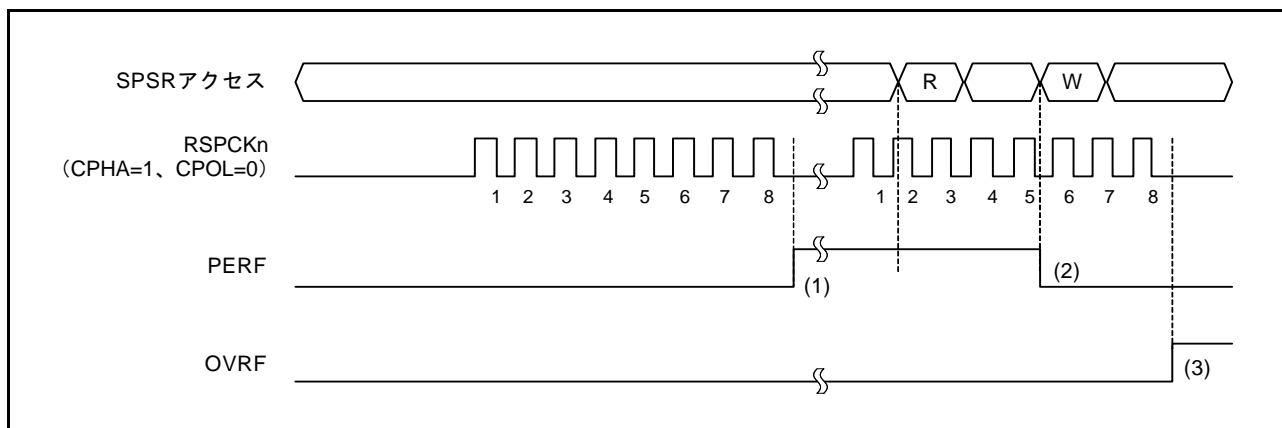


図 34.28 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

1. RSPI がオーバランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを“1”にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
2. PERF フラグが“1”の状態ですべて SPSR レジスタを読んだ後、PERF フラグに“0”を書くと、PERF フラグが“0”になります。
3. RSPI がオーバランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

34.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが“1”、SPCR.SPMS ビットが“0”、SPCR.MODFEN ビットが“1”の場合には、RSPIはマルチマスタモードで動作します。マルチマスタモードのRSPIのSSLn0入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPIはモードフォルトエラーを検出してSPSR.MODFフラグを“1”にします。モードフォルトエラーを検出すると、RSPIはSPSSR.SPECM[2:0]ビットに、SPCMDmレジスタに対するポインタの値をコピーします。なお、SSLn0信号のアクティブレベルは、SSLP.SSLOPビットによって決定されます。

MSTR ビットが“0”の場合には、RSPIはスレーブモードで動作します。スレーブモードのRSPIのMODFEN ビットが“1”、SPMS ビットが“0”の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）にSSLn0入力信号がネゲートされると、RSPIはモードフォルトエラーを検出します。

RSPIはモードフォルトエラーを検出すると、出力信号のドライブ停止およびSPCR.SPEビットのクリアを実施します（「34.3.9 RSPIの初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブとRSPI機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSRレジスタの読み出し、あるいはRSPIエラー割り込みとSPSRレジスタの読み出しによって確認できます。RSPIエラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSRレジスタをポーリングする必要があります。RSPIをマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

MODFフラグが“1”の状態では、RSPIはSPEビットへの“1”の書き込みを無視します。モードフォルトエラー検出後にRSPI機能を有効にするためには、MODFフラグを“0”にしてください。

34.3.9 RSPIの初期化

SPCR.SPE ビットに“0”を書いた場合、またはモードフォルトエラー検出によりRSPIがSPEビットを“0”にした場合には、RSPIはRSPI機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPIはモジュール機能をすべて初期化します。以下に、SPCR.SPEビットを“0”にすることによる初期化とシステムリセットによる初期化について説明します。

34.3.9.1 SPEビットのクリアによる初期化

SPCR.SPE ビットを“0”にしたとき、RSPIは以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部ステートの初期化
- RSPI 送信バッファを空にする

SPEビットを“0”にする初期化では、RSPIの制御ビットは初期化されません。このため、再度SPEビットを“1”にすれば初期化前と同じ転送モードでRSPIを起動できます。

SPSR.OVRF, MODF フラグの値は初期化されません。また、SPSSRレジスタの値も初期化されません。このため、RSPIの初期化後も受信バッファのデータの読み出し、RSPI転送時のエラー発生状況の確認ができません。

送信バッファは空の状態に初期化されます。このため、RSPI初期化後にSPCR.SPTIEビットを“1”にしていると、送信バッファエンプティ割り込みが発生します。CPUでRSPIを初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPEビットへの“0”書き込みと同時にSPTIEビットにも“0”を書いてください。モードフォルトエラー検出後の送信バッファエンプティ割り込みを禁止するためには、エラー処理ルーチンでSPTIEビットに“0”を書いてください。

34.3.9.2 システムリセット

システムリセットによる初期化では、「34.3.9.1 SPEビットのクリアによる初期化」に記載の事項に加え、RSPI制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPIが完全に初期化されます。

34.3.10 SPI 動作

34.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出（「34.3.8 エラー検出」を参照）のみです。シングルマスタモードのRSPIではモードフォルトエラーを検出しません。マルチマスタモードのRSPIではモードフォルトエラーを検出します。本節では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI 送信バッファが空き（次転送のデータがセットされていない）の状態、SPDR レジスタへデータを書き込むと、RSPIはSPDRレジスタの送信バッファ（SPTX）のデータを更新します。SPDRレジスタへSPDCR.SPFC[1:0]ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIの転送フォーマットの詳細については「34.3.5 転送フォーマット」を参照してください。SSLni 出力端子の極性は、SSLPレジスタの設定値に依存します。

(2) シリアル転送の終了

SPCMDm.CPHAビットにかかわらず、RSPIは最終サンプリングタイミングに対応するRSPCKnエッジを送出するとシリアル転送を終了します。受信バッファ（SPRX）が空の場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SPB[3:0]ビットの設定値に依存します。SSLni 出力端子の極性は、SSLPレジスタの設定値に依存します。RSPIの転送フォーマットの詳細については「34.3.5 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードのRSPIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLni 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタにはRSPIクロック遅延値、SSLND レジスタにはSSLネゲート遅延、SPND レジスタにはRSPI次アクセス遅延値が設定されています。

RSPIは、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPIには、シーケンスを構成しているSPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを“1”にしてRSPI機能を許可すると、RSPIはコマンドに対するポインタをSPCMD0 レジスタにセットし、シリアル転送の開始時にSPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIはポインタをSPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

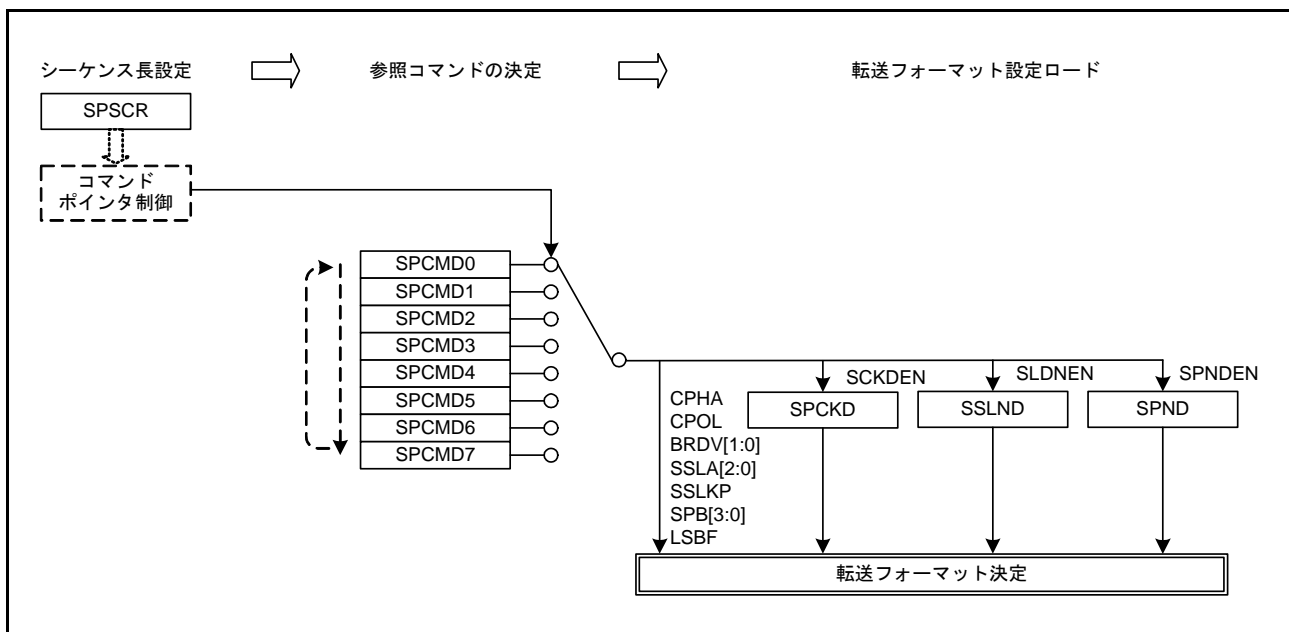


図 34.29 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

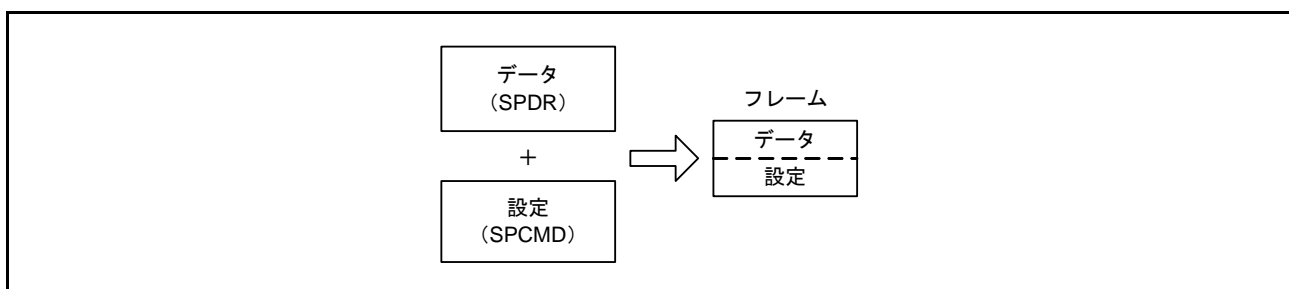


図 34.30 フレームの概念図

表 34.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 34.31 に示します。

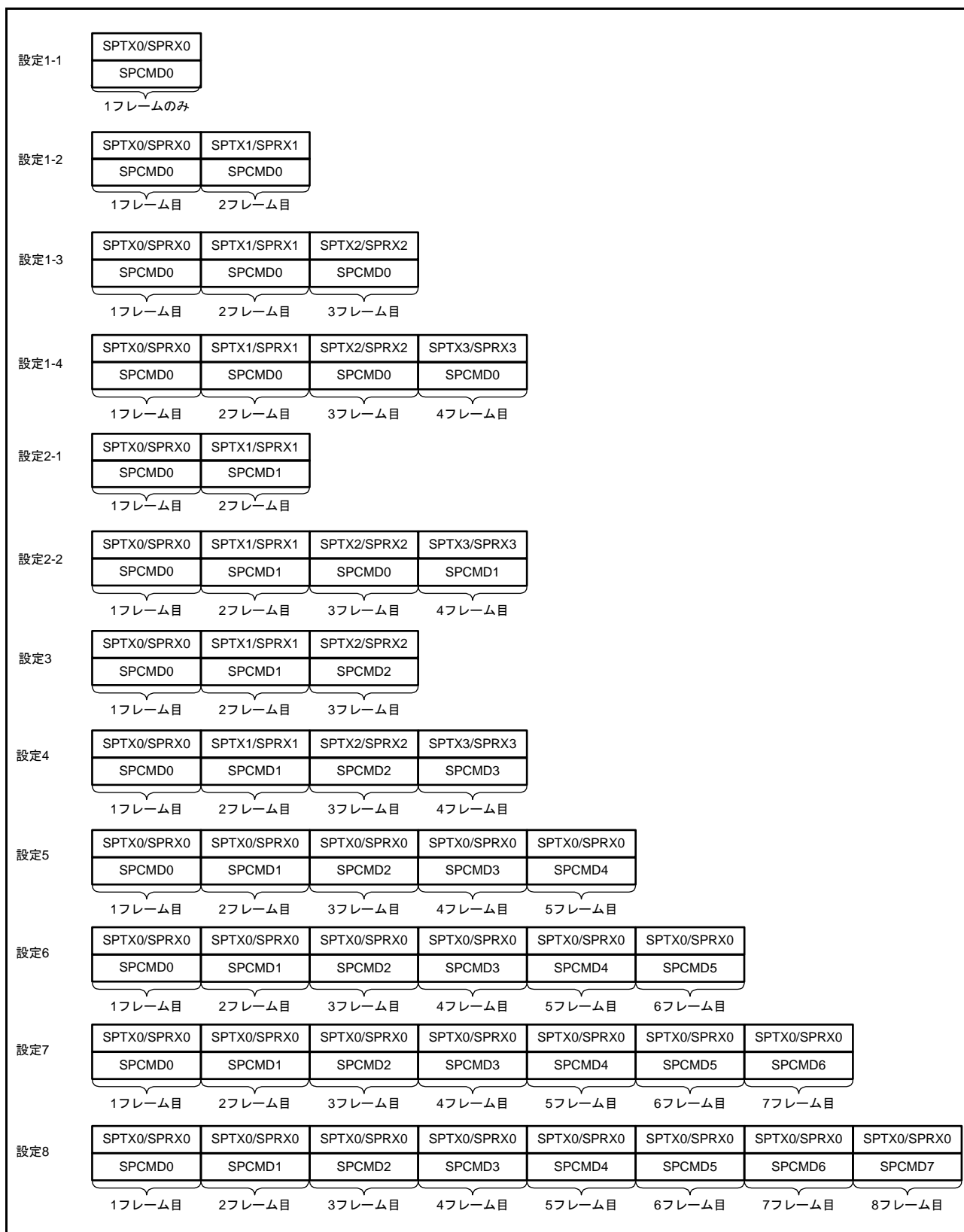


図 34.31 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) バースト転送

RSPIが現在のシリアル転送で参照しているSPCMDm.SSLKPビットが“1”の場合には、RSPIはシリアル転送中のSSLni信号レベルを次のシリアル転送のSSLni信号アサート開始まで保持します。次のシリアル転送でのSSLni信号レベルが、現在のシリアル転送でのSSLni信号レベルと同じであれば、RSPIはSSLni信号アサート状態を保持したまま連続的にシリアル転送を実行することができます（バースト転送）。

図34.32に、SPCMD0、1レジスタの設定を使用してバースト転送を実現した場合のSSLni信号動作例を示します。図34.32に記載した(1)～(7)のRSPI動作内容について、以下に説明します。なお、SSLni出力信号の極性は、SSLPレジスタの設定値に依存します。

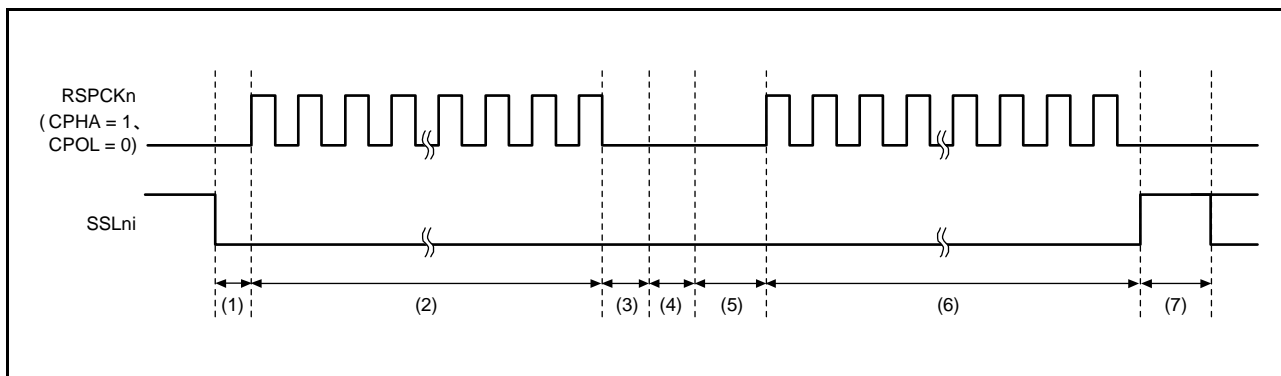


図 34.32 SSLKP ビットを利用したバースト転送動作の例

- (1) SPCMD0 レジスタに従った SSLni 信号のアサートと RSPCK 遅延の挿入を実施します。
- (2) SPCMD0 レジスタに従ったシリアル転送を実行します。
- (3) SSL ネゲート遅延を挿入します。
- (4) SPCMD0.SSLKP ビットが“1”であるため、SPCMD0 レジスタでの SSLni 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- (5) SPCMD1 レジスタに従った SSLni 信号のアサートと RSPCK 遅延の挿入を実施します。
- (6) SPCMD1 レジスタに従ったシリアル転送を実行します。
- (7) SPCMD1.SSLKP ビットが“0”であるため、SSLni 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを“1”にした SPCMDm レジスタでの SSLni 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLni 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSLni 信号のアサート時（図 34.32 の (5)）に SSLni 信号状態を切り替えます。このような SSLni 信号の切り替えが発生した場合、MISO_n をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP ビットを使用しない場合の SSLni 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが“0”の場合でも、RSPI は内部で検出した次転送の SSLni 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます。

(5) RSPCK 遅延 (t1)

マスタモードのRSPIのRSPCK遅延値は、SPCMDm.SCKDENビットの設定とSPCKDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SCKDENビットとSPCKDレジスタを使用して、表34.9のようにシリアル転送時のRSPCK遅延値を決定します。なお、RSPCK遅延の定義については、「34.3.5 転送フォーマット」を参照してください。

表34.9 SCKDENビット、SPCKDレジスタとRSPCK遅延値の関係

SPCMDm.SCKDENビット	SPCKD.SCKDL[2:0]ビット	RSPCK遅延値
0	000b ~ 111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

(6) SSLネゲート遅延 (t2)

マスタモードのRSPIのSSLネゲート遅延値は、SPCMDm.SLNDENビットの設定とSSLNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SLNDENビットとSSLNDレジスタを使用して、表34.10のようにシリアル転送時のSSLネゲート遅延値を決定します。なお、SSLネゲート遅延の定義については、「34.3.5 転送フォーマット」を参照してください。

表34.10 SLNDENビット、SSLNDレジスタとSSLネゲート遅延値の関係

SPCMDm.SLNDENビット	SSLND.SLNDL[2:0]ビット	SSLネゲート遅延値
0	000b ~ 111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

(7) 次アクセス遅延 (t3)

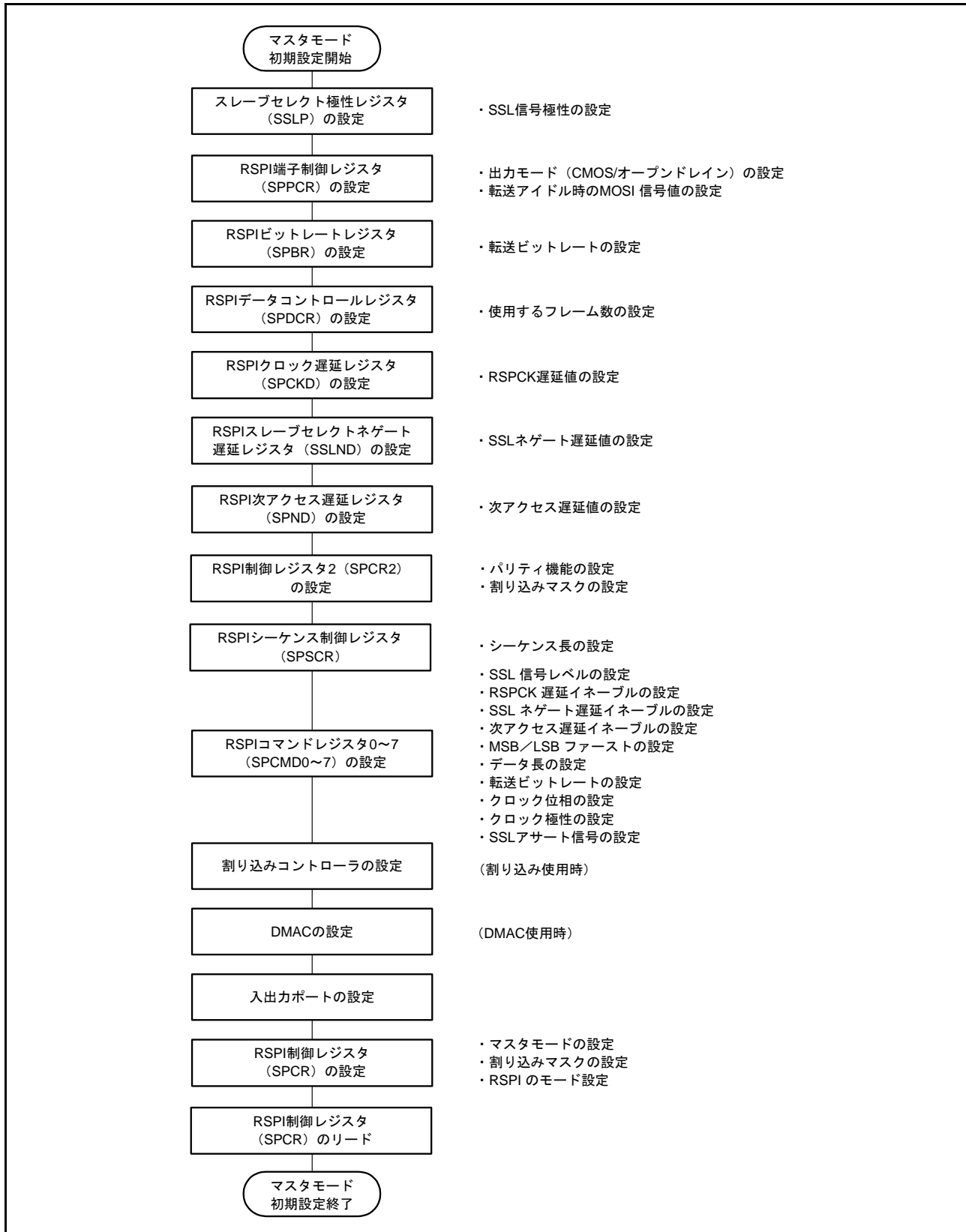
マスタモードのRSPIの次アクセス遅延は、SPCMDm.SPNDENビットの設定とSPNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SPNDENビットとSPNDレジスタを使用して、表34.11のようにシリアル転送時のRSPCK遅延を決定します。なお、次アクセス遅延の定義については、「34.3.5 転送フォーマット」を参照してください。

表34.11 SPNDENビット、SPNDレジスタと次アクセス遅延値の関係

SPCMDm.SPNDENビット	SPND.SPNDL[2:0]ビット	次アクセス遅延値
0	000b ~ 111b	1RSPCK + 2PCLK
1	000b	1RSPCK + 2PCLK
	001b	2RSPCK + 2PCLK
	010b	3RSPCK + 2PCLK
	011b	4RSPCK + 2PCLK
	100b	5RSPCK + 2PCLK
	101b	6RSPCK + 2PCLK
	110b	7RSPCK + 2PCLK
	111b	8RSPCK + 2PCLK

(8) 初期化フロー

図 34.33 に、SPI 動作時、RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。



(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 34.34 ~ 図 34.36 に示します。

(a) 送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みを許可することによって、全データ送信完了を CPU に通知することが可能です。

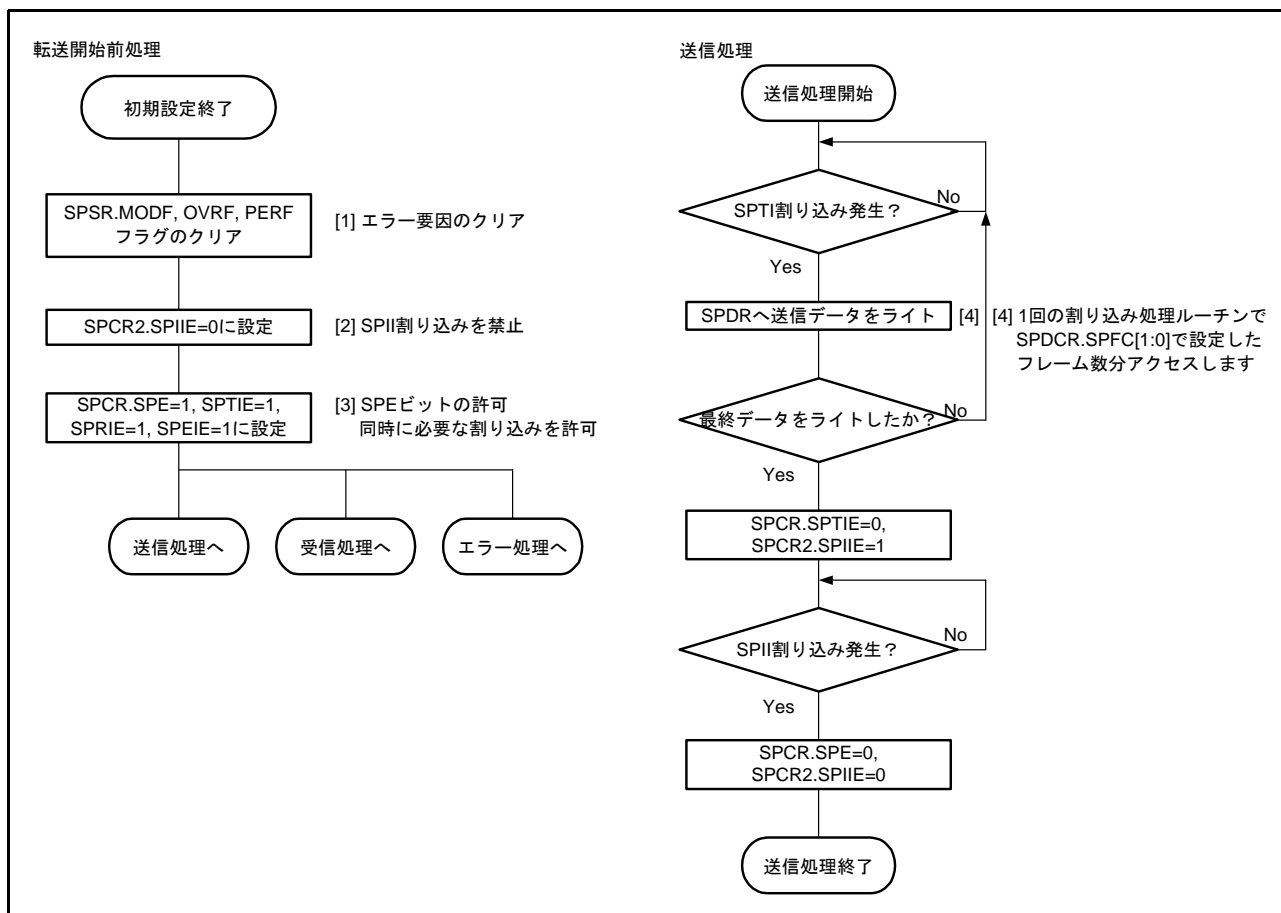


図 34.34 マスタモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの動作を持たないため、送信を必要とします。

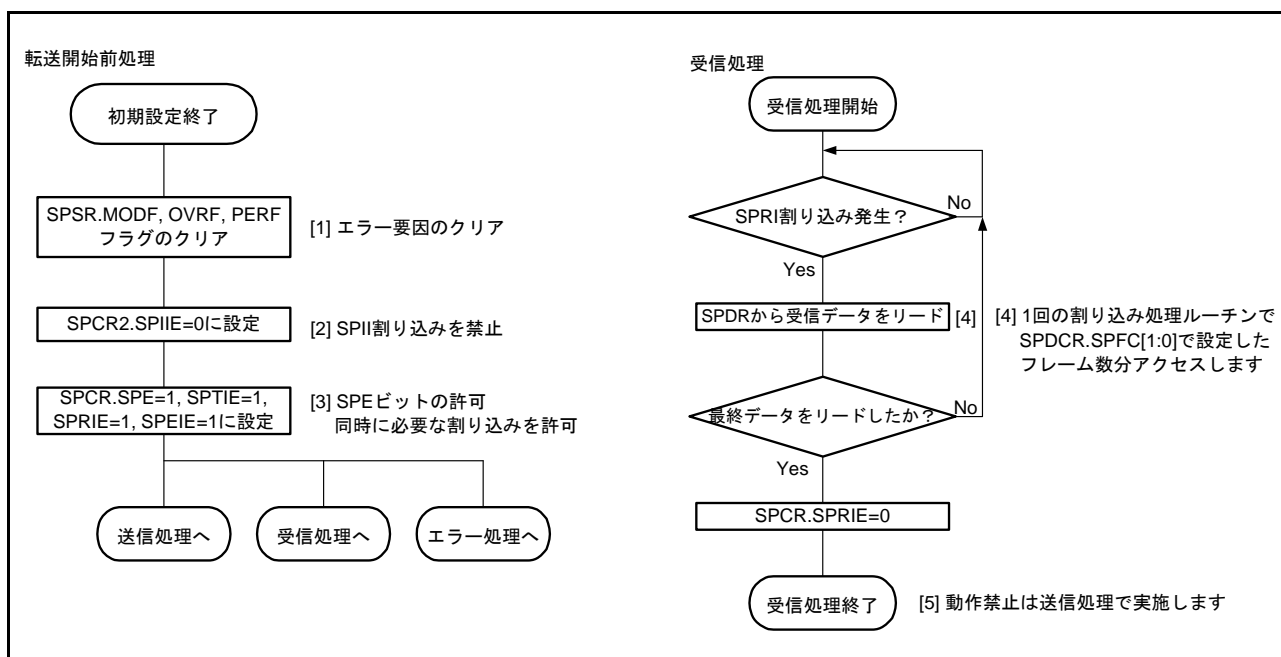


図 34.35 マスタモード時のフローチャート (受信)

(c) エラー処理フロー

RSPIは3種類のエラーを持ちます。モードフォルトエラー発生時は、SPCR.SPEビットが自動的にクリアされ、送信/受信動作を停止させます。しかし、その他のエラー要因ではSPCR.SPEビットはクリアされず送信/受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0]ビットが更新されてしまうため、SPCR.SPEビットをクリアし動作を停止することを推奨します。

エラー発生時は、ICU.IRn.IRフラグにSPTI割り込みまたはSPRI割り込み要求が保持されている可能性がありますので、エラー処理にてICU.IRn.IRフラグをクリアしてください。また、SPRI割り込み要求が保持されている場合、受信バッファを読み出してRSPIの内部シーケンサを初期化してください。

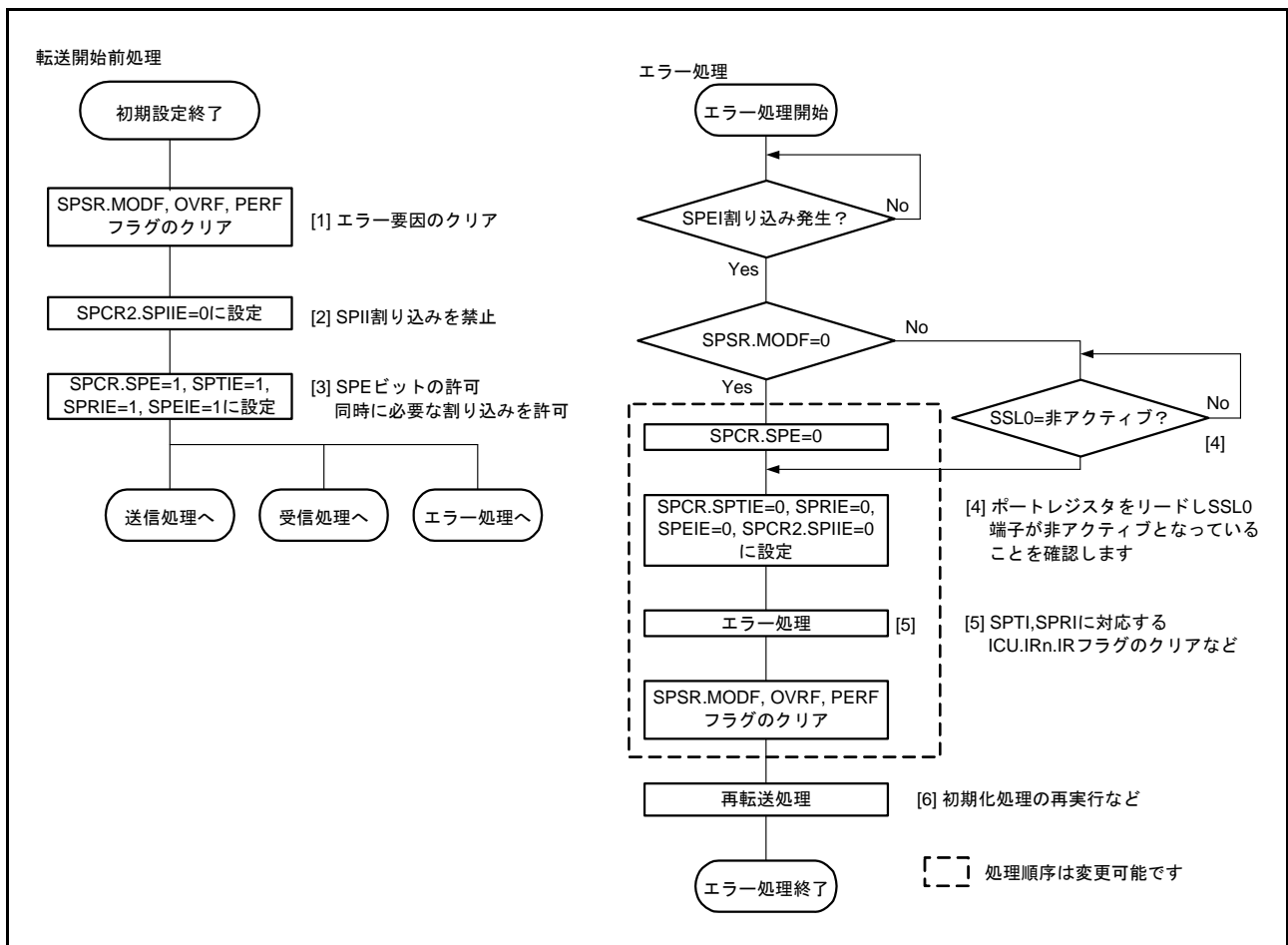


図 34.36 マスタモード時のフローチャート (エラー)

34.3.10.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが“0”の場合、RSPIはSSLn0入力信号のアサートを検出すると、MISO_n出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“0”の場合には、SSLn0入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが“1”の場合には、RSPIはSSLn0入力信号のアサート状態で最初のRSPCK_nエッジを検出すると、MISO_n出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“1”の場合には、SSLn0信号アサート状態における最初のRSPCK_nエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、RSPIがMISO_n出力信号のドライブを開始するタイミングは、SSLn0信号アサートタイミングです。CPHA ビットの設定によって、RSPIが出力するデータの有効/無効が異なります。

なお、RSPIの転送フォーマットの詳細については、「34.3.5 転送フォーマット」を参照してください。SSLn0入力信号の極性は、SSLP.SSLOP ビットの設定値に依存します。

(2) シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、RSPIは最終サンプリングタイミングに相当するRSPCK_nエッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態に関わらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間にRSPIがSSLn0入力信号のネゲートを検出するとモードフォルトエラーが発生します（「34.3.8 エラー検出」を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。SSLn0入力信号の極性は、SSLP.SSLOPビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「34.3.5 転送フォーマット」を参照してください。

(3) シングルスレーブ時の注意点

SPCMD0.CPHA ビットが“0”の場合には、RSPIはSSLn0入力信号のアサートエッジを検出するとシリアル転送を開始します。図34.7の例に示したような構成でRSPIをシングルスレーブで使用する場合には、SSLn0入力信号がアクティブ状態に固定されるため、CPHA ビットを“0”に設定したRSPIではシリアル転送を正しく開始できません。SSLn0入力信号をアクティブ状態に固定する構成で、スレーブモードRSPIの送受信を正しく実行するためには、CPHA ビットを“1”にしてください。CPHA ビットを“0”にする必要がある場合には、SSLn0入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが“1”の場合には、SSLn0 入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。CPHA ビットが“1”の場合には、SSLn0 入力信号アクティブ状態における最初の RSPCKn エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLn0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが“0”の場合には、バースト転送の2回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 34.37 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

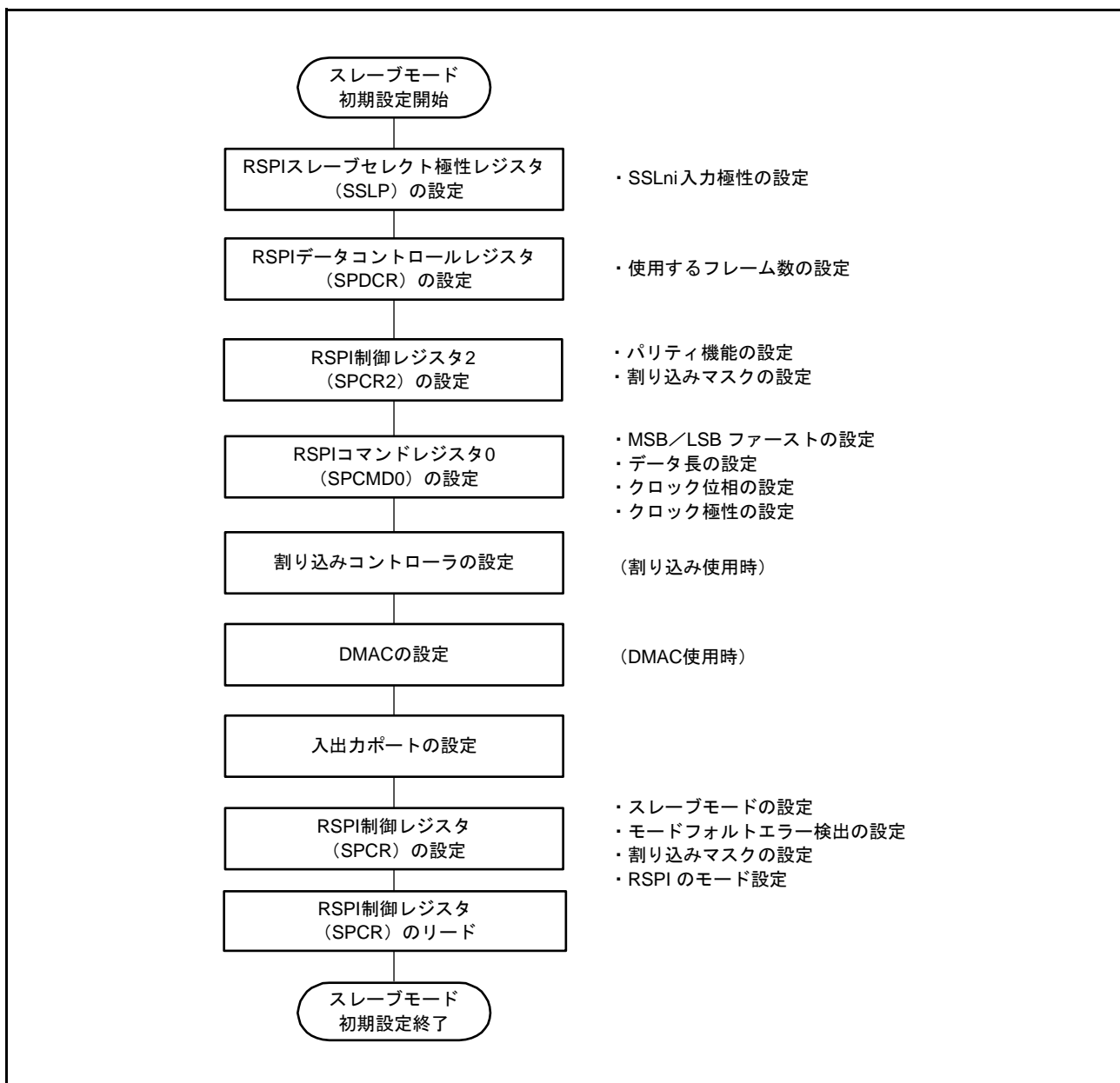


図 34.37 スレーブモード時の初期化フロー例 (SPI 動作)

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 34.38 ~ 図 34.40 に示します。

(a) 送信処理フロー

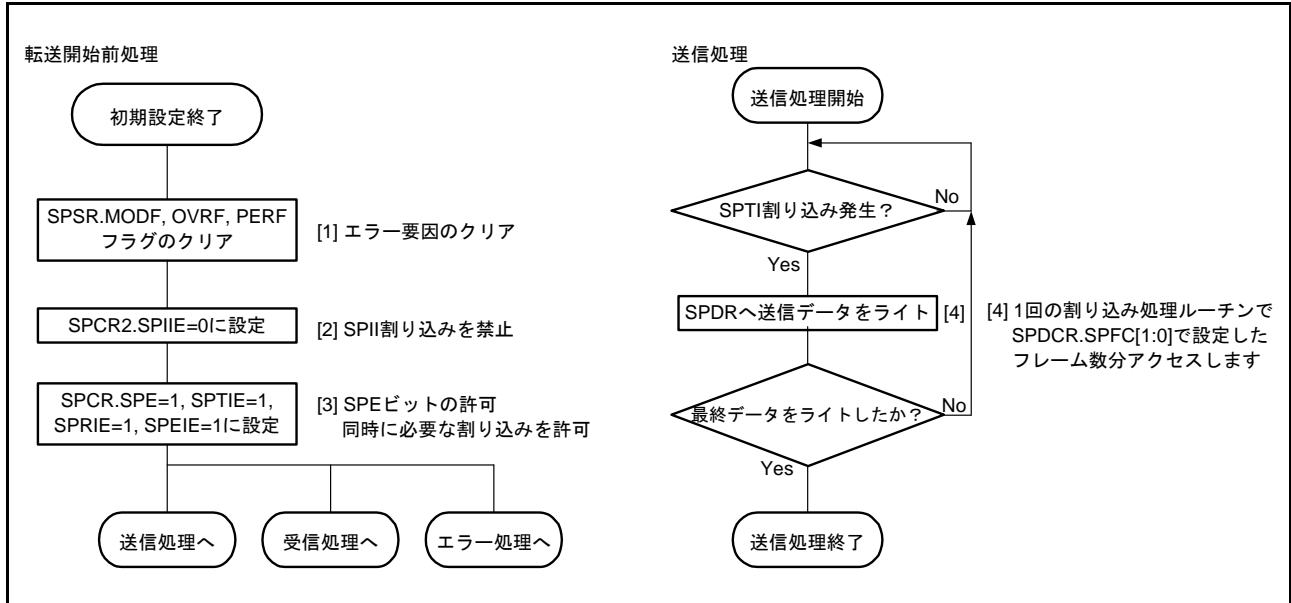


図 34.38 スレーブモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの動作を持たないため、送信を必要とします。

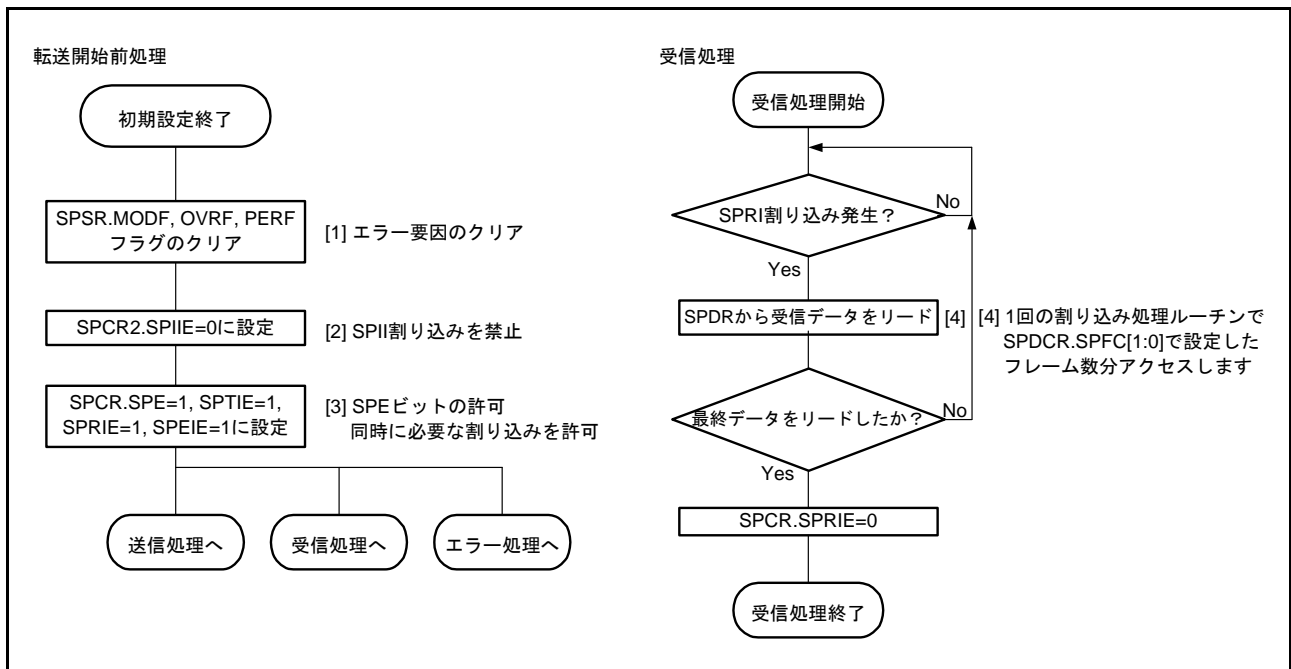


図 34.39 スレーブモード時のフローチャート (受信)

(c) エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても端子を非アサートにせず、SPSR.MODF フラグをクリアすることができます。

エラー発生時は、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

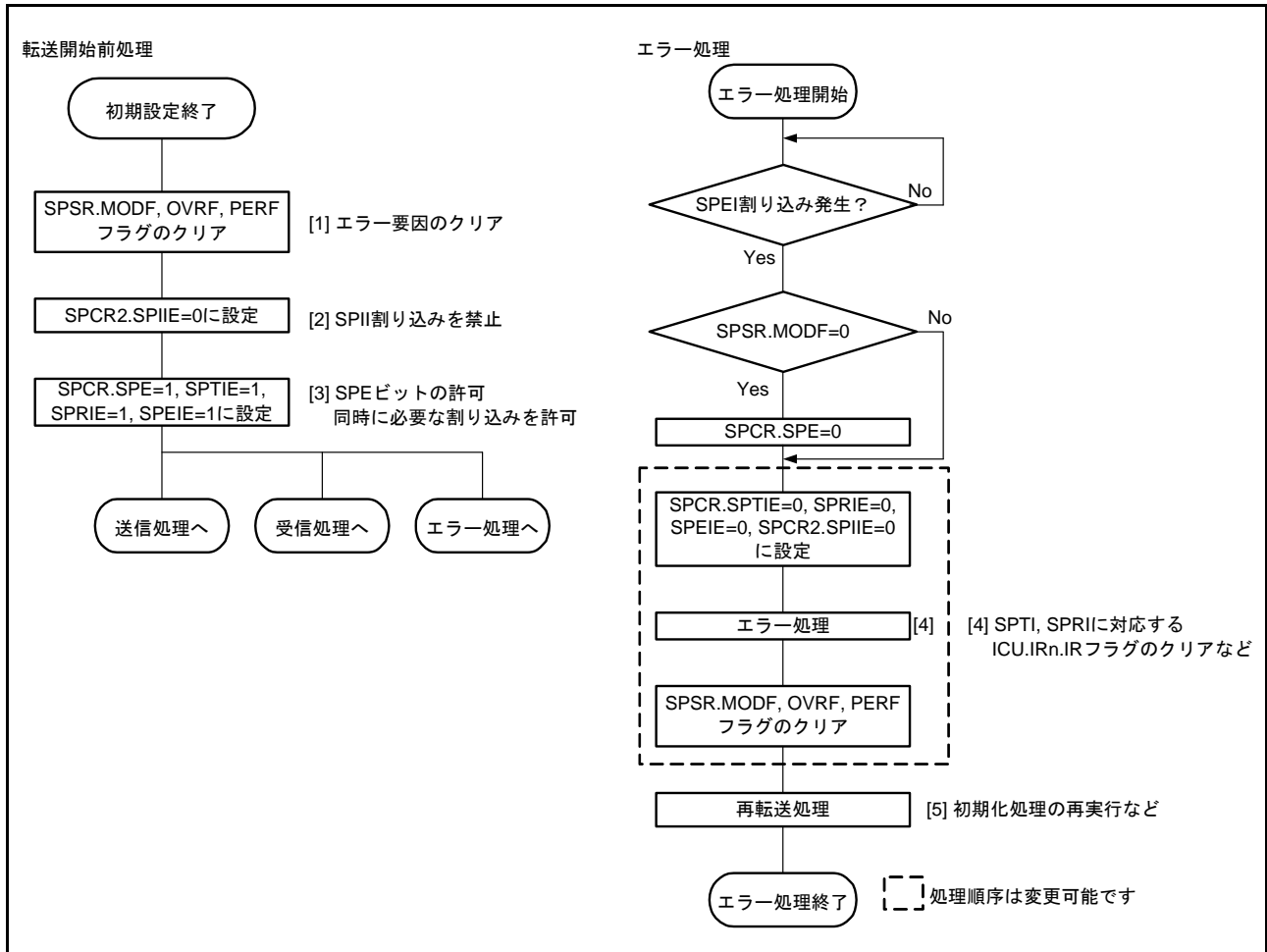


図 34.40 スレーブモード時のフローチャート (エラー処理)

34.3.11 クロック同期式動作

RSPI は、SPCR.SPMS ビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSLni 端子を使用せず、RSPCKn、MOSIn、MISOn の3本の端子を用いて通信を行い、SSLni 端子は I/O ポートとして使用することができます。

クロック同期式動作は、SSLni 端子を使用せず通信を行います。モジュール内部の動作は SPI 動作と同様の動作を行います。マスタ動作、スレーブ動作において、SPI 動作時と同様のフローで通信を行うことができますが、SSLni 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR=0) に SPCMDm.CPHA ビットを“0”にした場合の動作はしないでください。

34.3.11.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空 (次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書くと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については、「34.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLn0 出力信号を用いずに通信を行います。

(2) シリアル転送の終了

RSPI は最終サンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「34.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLn0 出力信号を用いずに通信を行います。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSLni 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLni 出力信号値、MSB/LSB フェースト、データ長、ビットレート設定の一部、RSPCKn 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットが“1”で RSPI 動作が許可された状態にすると、RSPI はコマンドに対するポインタを SPCMD0 レジ

スタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

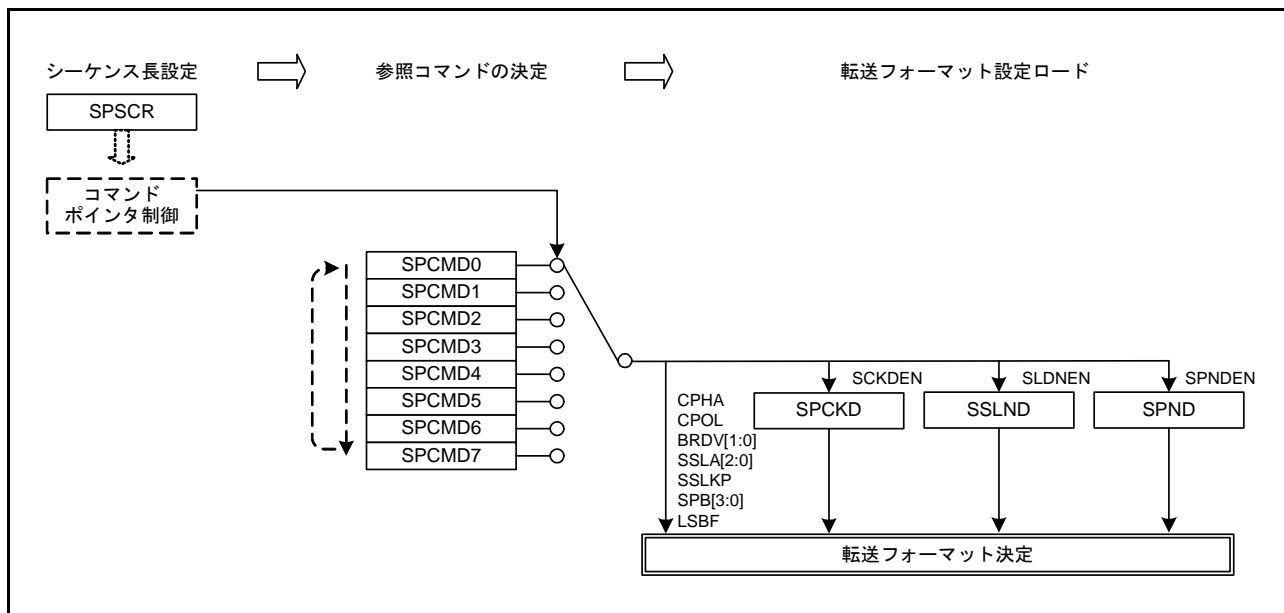


図 34.41 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

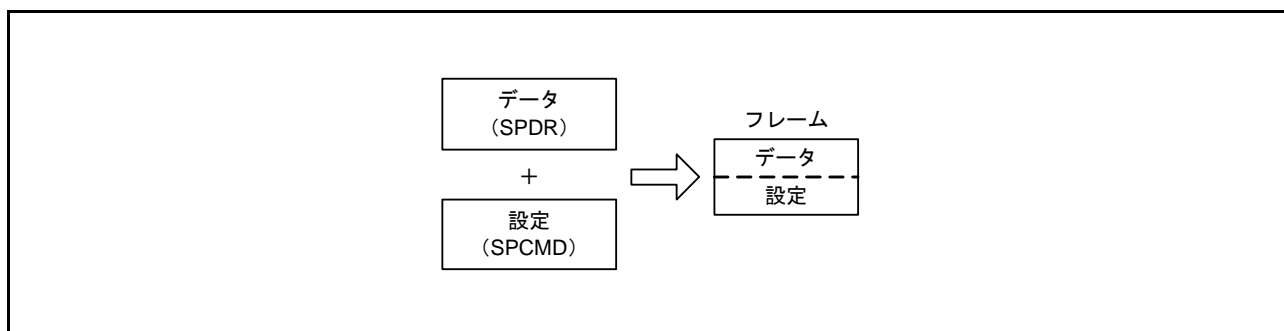


図 34.42 フレーム概念図

表 34.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 34.43 に示します。

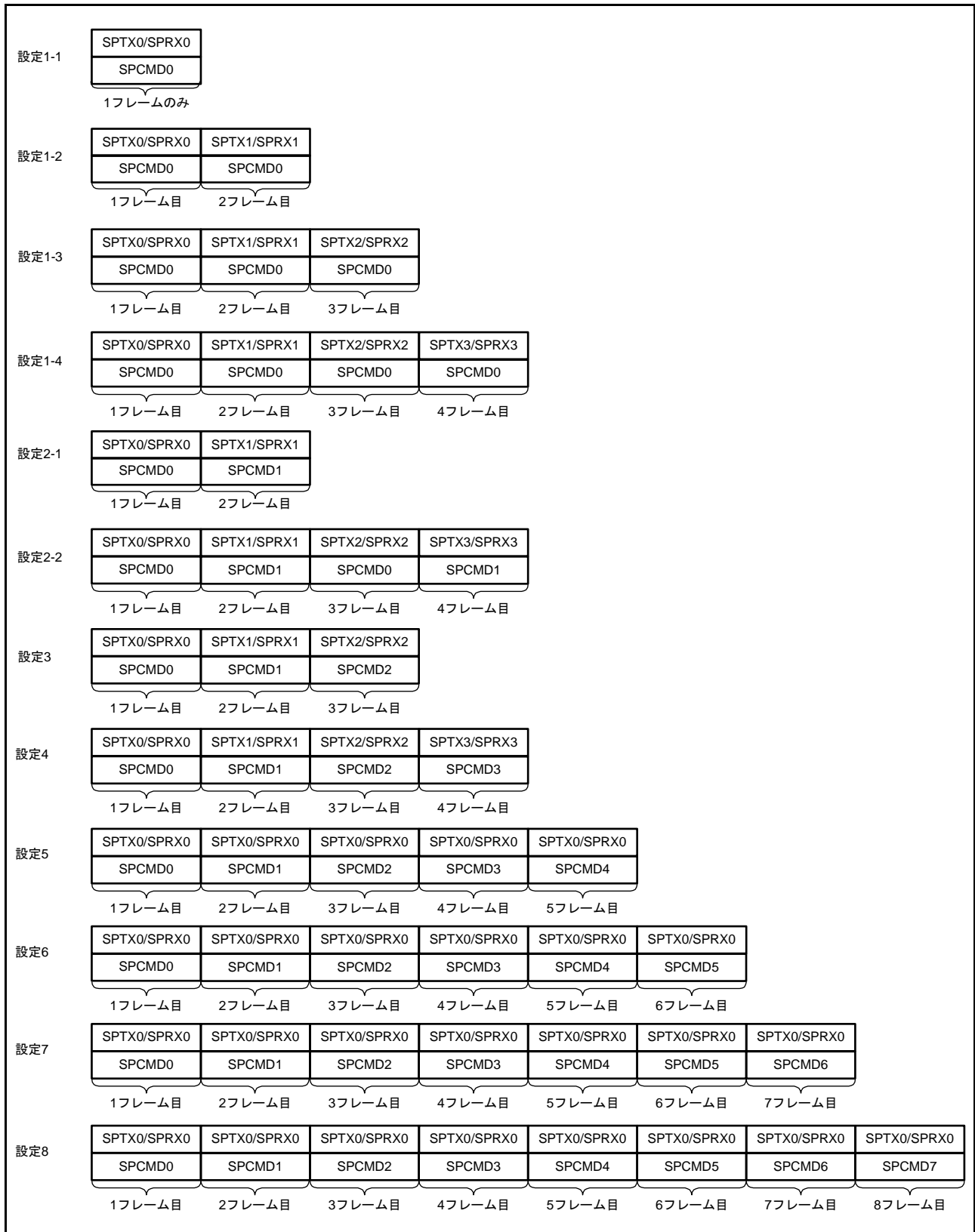


図 34.43 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) 初期化フロー

図 34.44 に、クロック同期式動作時の RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

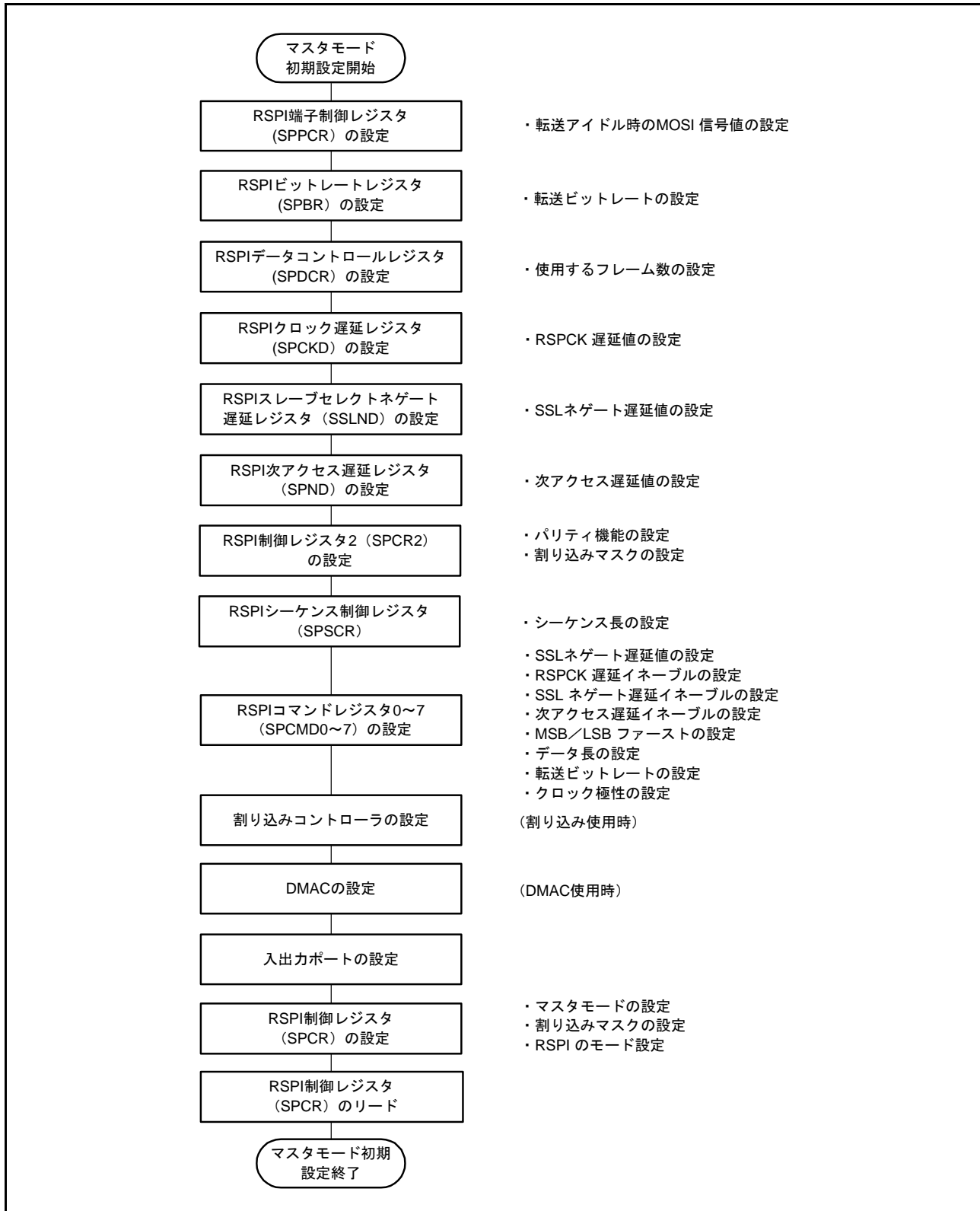


図 34.44 マスターモード時の初期化フロー例 (クロック同期式動作)

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「34.3.10.1 (9) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

34.3.11.2 スレーブモード動作

(1) シリアル転送の開始

RSPIは、SPCR.SPMSビットが“1”であるとき、最初のRSPCKnエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

SPMSビットが“1”であるときは、RSPIはMISO_n出力信号をドライブします。

なお、RSPIの転送フォーマットの詳細については、「34.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時はSSL0入力信号を使用しません。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに相当するRSPCKnエッジを検出するとシリアル転送を終了します。受信バッファが空の場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「34.3.5 転送フォーマット」を参照してください。

(3) 初期化フロー

図 34.45 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

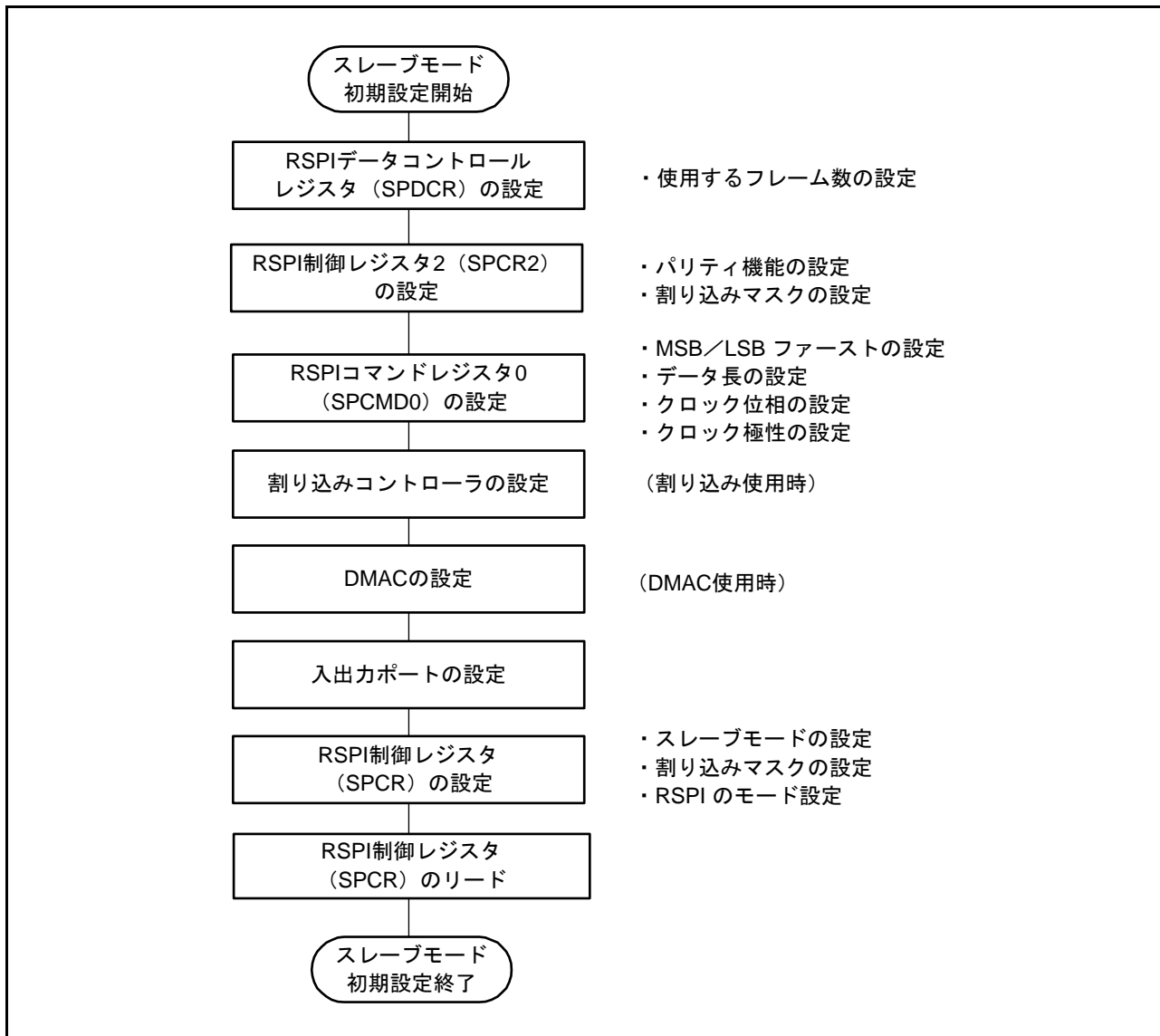


図 34.45 スレーブモード時の初期化フロー例 (クロック同期式動作)

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「34.3.10.2 (6) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

34.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに“1”を書くと、RSPIはSPCR.MSTR ビットが“1”ならば、MISO_n 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIn 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが“1”ならば、MOSIn 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MISO_n 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 34.12 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、図 34.46 に、マスターモードの RSPI をループバックモード (SPPCR.SPLP2 = 0、SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 34.12 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIn 端子または MISO _n 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

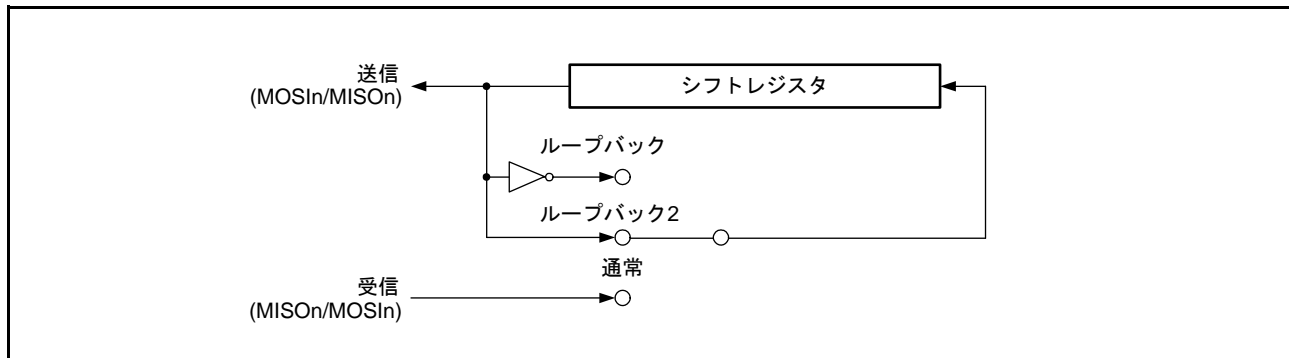


図 34.46 ループバックモード時のシフトレジスタ入出力構成 (マスターモード)

34.3.13 パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 34.47 に示すのフローに従い、パリティ回路の自己診断を行います。

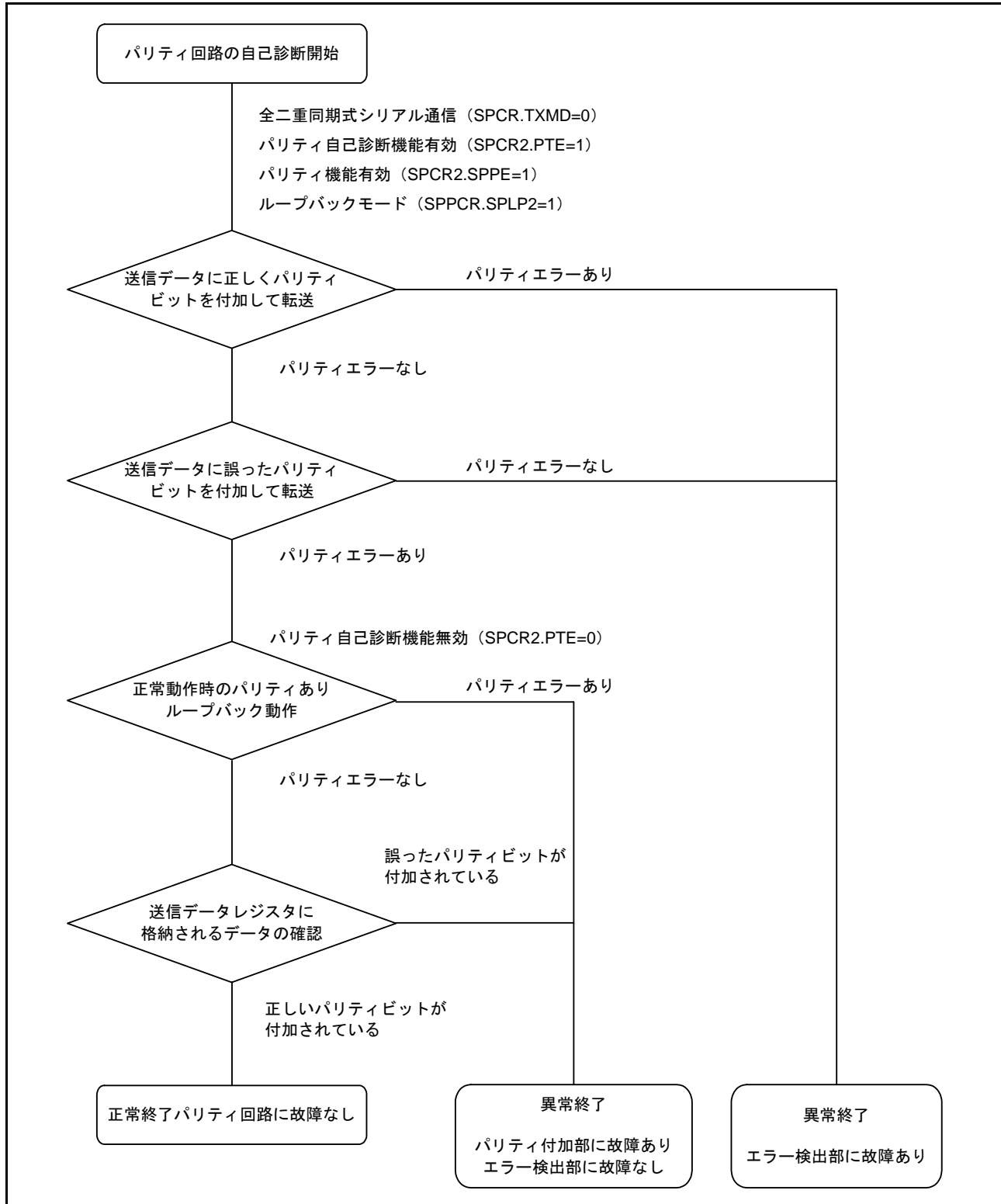


図 34.47 パリティ回路の自己判断フロー

34.3.14 割り込み要因

RSPIの割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバラン、パリティエラー、RSPIアイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求でDTC、DMACを起動し、データ転送を行うことができます。

モードフォルト、オーバラン、パリティエラーの割り込み要求がSPEIのベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表34.13にRSPIの割り込み要因を示します。表34.13の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTCまたはDMACを使って送受信を行う場合は、先にDTCまたはDMACを設定し、許可状態にしてからRSPIの設定を行ってください。DTCまたはDMACの設定方法は「17. DMAコントローラ (DMACA)」、「18. データトランスファコントローラ (DTCa)」を参照してください。

送信バッファエンプティ割り込み、および受信バッファフル割り込みは、ICU.IRn.IRフラグが“1”のときに割り込み発生条件となっても、ICUに対して割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1要因ごとに1要求までです）。ICU.IRn.IRフラグが“0”になると、ICUに対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると、保持している割り込み要求は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット (SPCR.SPTIEビットまたはSPCR.SPRIEビット) を“0”にすることでクリアが可能です。

表34.13 RSPIの割り込み要因

割り込み要因	略称	割り込み条件	DMAC/DTC起動
受信バッファフル	SPRI	SPCR.SPRIEビットが“1”の状態を受信バッファフルになったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIEビットが“1”の状態を送信バッファエンプティになったとき	可能
RSPIエラー (モードフォルト、オーバラン、パリティエラー)	SPEI	SPCR.SPEIEビットが“1”の状態でSPSR.MODF、OVRF、またはPERFフラグが“1”になったとき	不可能
RSPIアイドル	SPII	SPCR2.SPIIEビットが“1”の状態IDLNFフラグが“0”になったとき	不可能

34.4 イベントリンク機能によるリンク動作

RSPIO はイベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。イベントリンク出力信号は、割り込み許可ビットに依存せず出力します。

34.4.1 受信バッファフルイベント出力

シリアル転送が終了してシフトレジスタから SPDR レジスタに受信データを転送したときに、イベントを出力します。

34.4.2 送信バッファエンプティイベント出力

送信バッファからシフトレジスタに送信データが転送されたとき、また、SPCR.SPE ビットを“0”から“1”に変化させたときにイベントを出力します。

34.4.3 モードフォルト/オーバラン/パリティエラーイベント出力

(1) モードフォルト

表 34.14 にモードフォルトイベント出力の発生条件を示します。

表 34.14 モードフォルトイベント出力の発生条件

	SPCR.MODFEN ビット	SSLn0端子	備考
マスタ (SPCR.MSTR ビットが“1”)	1	アクティブ	MSTR ビットが“1”かつ SPCR.MODFEN ビットが“1”のとき、SPCR.SPMS ビットが“0”では、モードフォルトエラーおよびオーバランエラー、パリティエラーイベント出力は使用できません。ELSRn レジスタに“52h”を設定しないでください。
スレーブ (SPCR.MSTR ビットが“0”)	1	非アクティブ	通信動作中に SSL0 端子が非アクティブになった場合のみイベント出力

(2) オーバラン

オーバランイベント出力の発生条件として、SPCR.TXMD ビットが“0”、かつ受信用バッファに未リードのデータがある状態でシリアル転送が終了したとき、OVRF フラグが“1”となり、イベントを出力します。

(3) パリティエラー

パリティエラーイベント出力の発生条件として、SPCR の TXMD ビットが“0”、SPCR2 の SPPE ビットが“1”の状態ではシリアル転送が終了し、パリティエラーが検出されたとき、イベントを出力します。

34.4.4 RSPI アイドルイベント出力

(1) マスタモード時

マスタモードのときは、IDLNF フラグ (RSPI アイドルフラグ) が “0” になる条件が成立したときイベントを出力します。

(2) スレーブモード時

スレーブモードのときは、SPCR.SPE ビットが “0” (RSPI 初期化) のとき、イベントを出力します。

34.4.5 送信完了イベント出力

SPI 動作、クロック同期式動作ともマスタモードのときは、IDLNF フラグ (RSPI アイドルフラグ) が “1” から “0” になる条件でイベントを出力します。

表 34.15 送信完了イベント出力の発生条件 (スレーブ)

	送信バッファ状態	シフトレジスタ状態	その他
SPI動作 (SPMS=0)	エンプティ	エンプティ	SSL0入力ネゲート
クロック同期式動作 (SPMS=1)	エンプティ	エンプティ	最終RSPCKのエッジ検出

マスタ/スレーブに関わらず、送信動作中に SPCR.SPE ビットへの “0” の書き込み時、またはモードフォルトエラー発生による SPCR.SPE ビットのクリア時はイベントを出力しません。

34.5 使用上の注意事項

34.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、RSPI の動作禁止/許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

34.5.2 消費電力低減機能の注意事項

モジュールストップ機能の使用、およびスリープモードを除く低消費電力モードに遷移する場合は、あらかじめ SPCR.SPE ビットを“0”に設定し通信を終了させてください。

34.5.3 通信の開始に関する注意事項

ICU.IRn.IR フラグが“1”で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが“1”のときは、動作許可 (SPCR.SPE ビットを“1”にする) 前に下記の手順で割り込み要求をクリアしてください。

- (1) 通信が停止していること (SPCR.SPE ビットが“0”となっていること) を確認
- (2) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にする
- (3) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出し、“0”を確認
- (4) ICU.IRn.IR フラグを“0”にする

35. CRC 演算器 (CRC)

CRC (Cyclic Redundancy Check) 演算器は、CRC コード生成を行います。

35.1 概要

表 35.1 に CRC 演算器の仕様を示します。図 35.1 に CRC 演算器のブロック図を示します。

表 35.1 CRC 演算器の仕様

項目	内容
CRC 演算対象データ (注1)	8n ビットのデータに対して CRC コードを生成 (n = 自然数)
CRC 演算処理方式	8 ビット並列実行
CRC 生成多項式	3つの多項式から選択可能 <ul style="list-style-type: none"> 8ビットCRC $X^8 + X^2 + X + 1$ 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることが可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. 演算対象データを CRC 演算の単位に分割する機能はありません。8 ビット単位で書いてください。

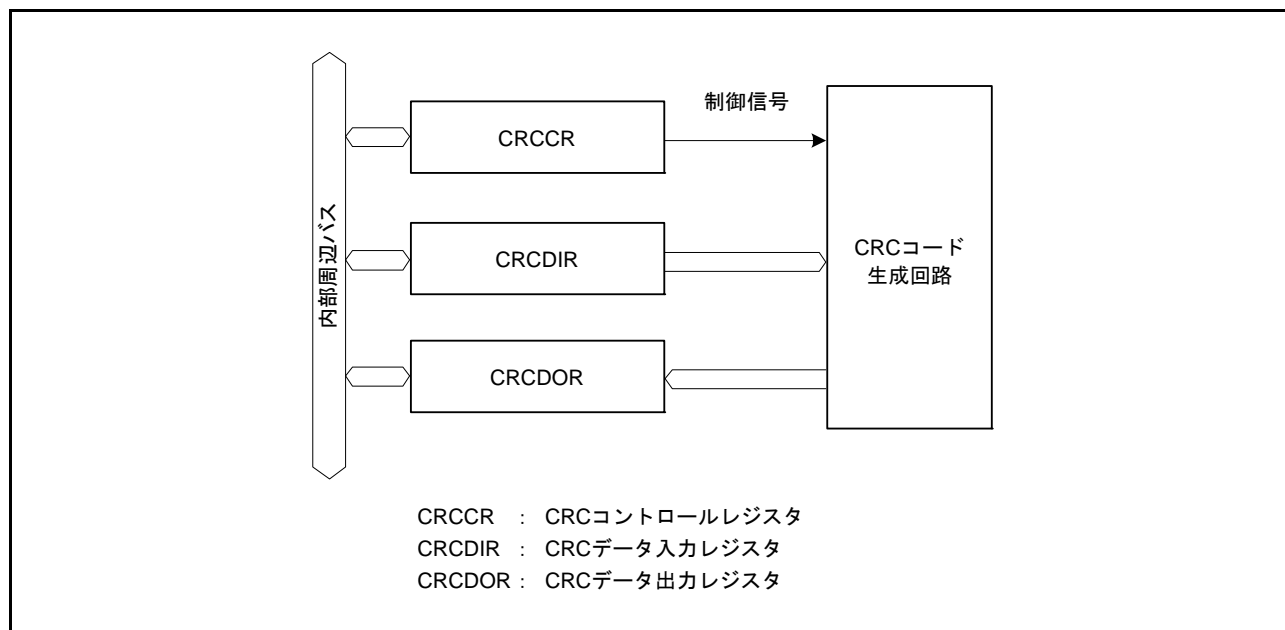
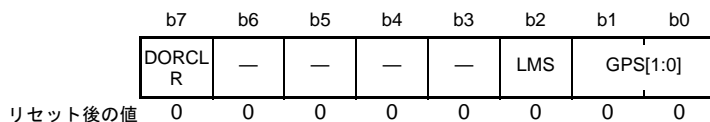


図 35.1 CRC 演算器のブロック図

35.2 レジスタの説明

35.2.1 CRC コントロールレジスタ (CRCCR)

アドレス 0008 8280h



ビット	シンボル	ビット名	機能	R/W
b1-b0	GPS[1:0]	CRC 生成多項式切り替えビット	b1 b0 0 0 : 演算しません 0 1 : 8ビットCRC ($X^8 + X^2 + X + 1$) 1 0 : 16ビットCRC ($X^{16} + X^{15} + X^2 + 1$) 1 1 : 16ビットCRC ($X^{16} + X^{12} + X^5 + 1$)	R/W
b2	LMS	CRC 演算切り替えビット	0 : LSB ファースト通信用にCRCを生成 1 : MSB ファースト通信用にCRCを生成	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DORCLR	CRCDOR レジスタクリアビット	1 : CRCDOR レジスタをクリア 読むと“0”が読めます	R/W (注1)

注1. “1”のみ書けます。

LMS ビット (CRC 演算切り替えビット)

生成した 16 ビットの CRC コードのビットオーダを選択します。LSB ファーストで通信を行う場合は CRC コードの下位バイト (b7 ~ b0) から先に、MSB ファーストで通信を行う場合は CRC コードの上位バイト (b15 ~ b8) から先に送信してください。CRC コードの送信および受信については、「35.3 CRC 演算器の動作説明」を参照してください。

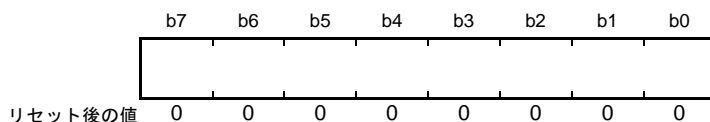
DORCLR ビット (CRCDOR レジスタクリアビット)

DORCLR ビットを“1”にすると、CRCDOR レジスタが“0000h”になります。

読むと“0”が読めます。“1”のみ書けます。

35.2.2 CRC データ入力レジスタ (CRCDIR)

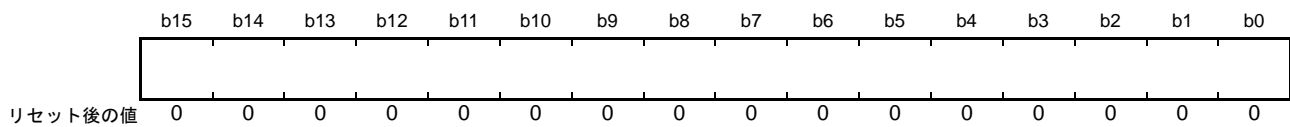
アドレス 0008 8281h



CRCDIR レジスタは、読み出し／書き込み可能なレジスタです。CRC 演算対象となるデータを書いてください。

35.2.3 CRC データ出力レジスタ (CRCDOR)

アドレス 0008 8282h



CRCDOR レジスタは、読み出し／書き込み可能なレジスタです。

初期値は "0000h" ですので、初期値以外を用いて演算する場合は、CRCDOR を書き換えてください。

データを CRCDIR レジスタに書くと、演算結果が CRCDOR レジスタに格納されます。また、通信データに続いて CRC コードを CRC 演算し、結果が "0000h" の場合、誤りがないと判断できます。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、下位バイト (b7 ~ b0) に有効な CRC コードが得られます。上位バイト (b15 ~ b8) は、更新されません。

35.3 CRC 演算器の動作説明

CRC 演算器は、LSB ファースト / MSB ファースト通信用 CRC コードを生成します。

16 ビットの CRC 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (“F0h”) の CRC コードを生成する例を以下に示します。この例では CRC 演算の前に、CRC データ出力レジスタ (CRCDOR) の値をクリアします。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、CRCDOR レジスタの下位バイトに有効な CRC コードが得られます。

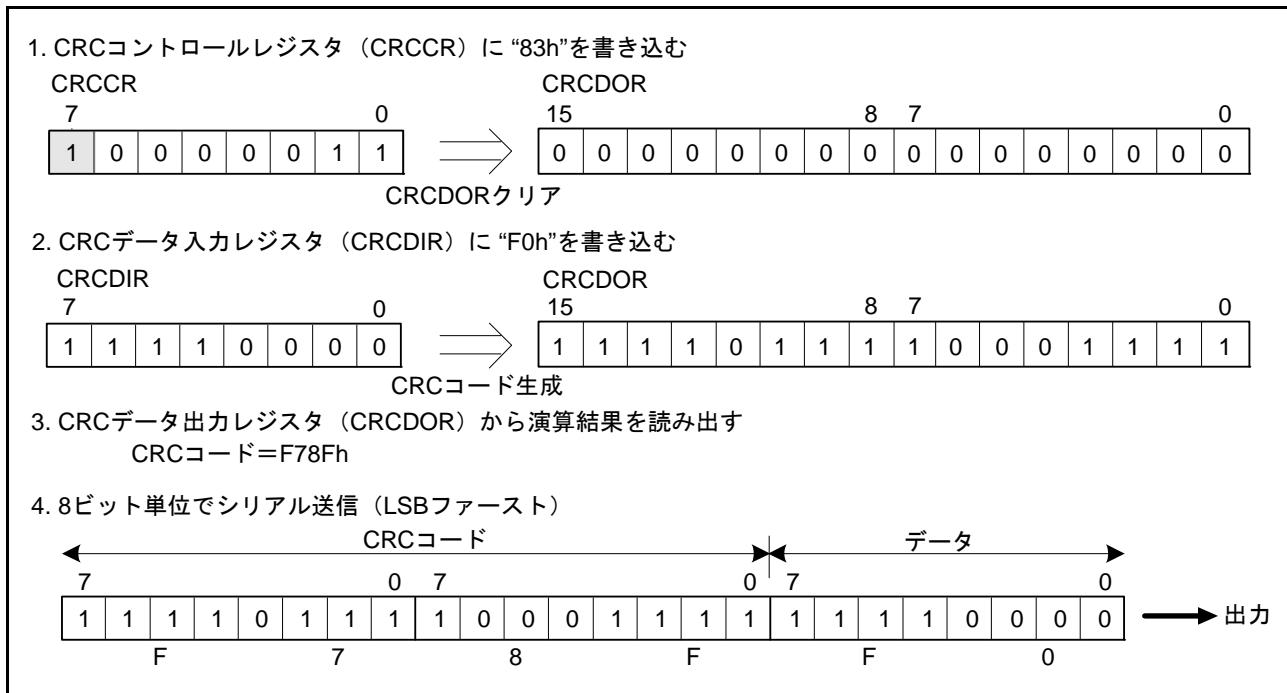


図 35.2 LSB ファーストでのデータ送信

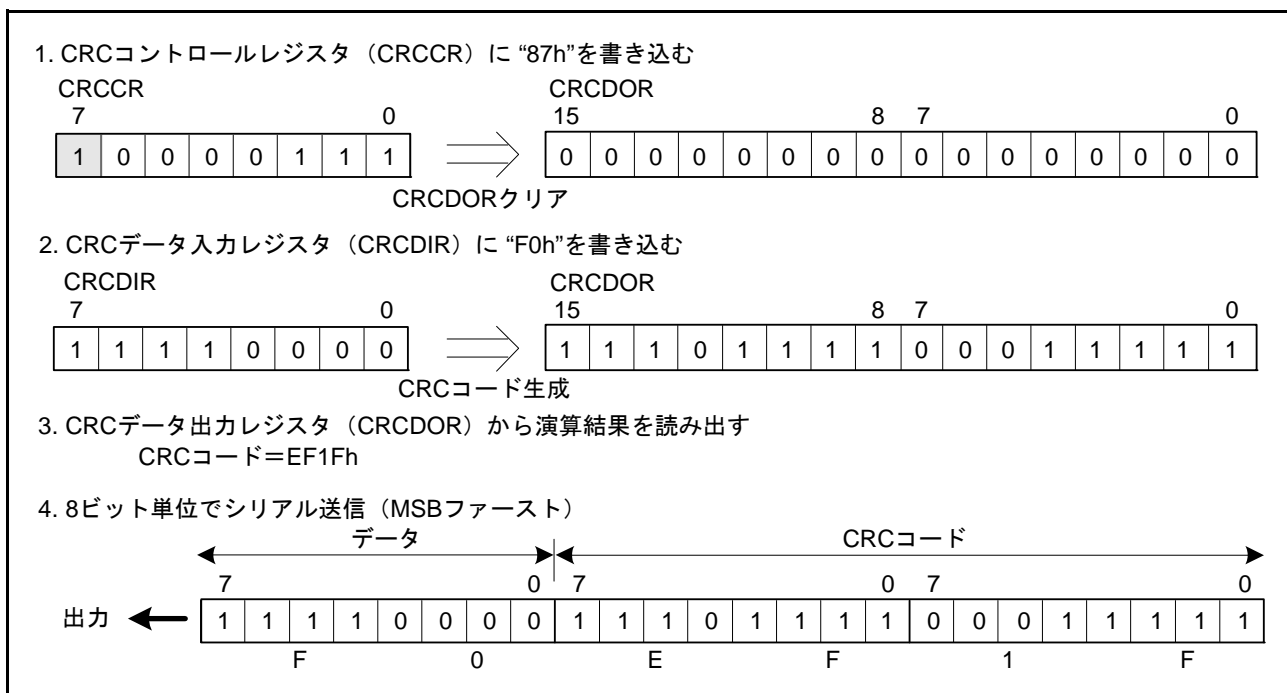


図 35.3 MSB ファーストでのデータ送信

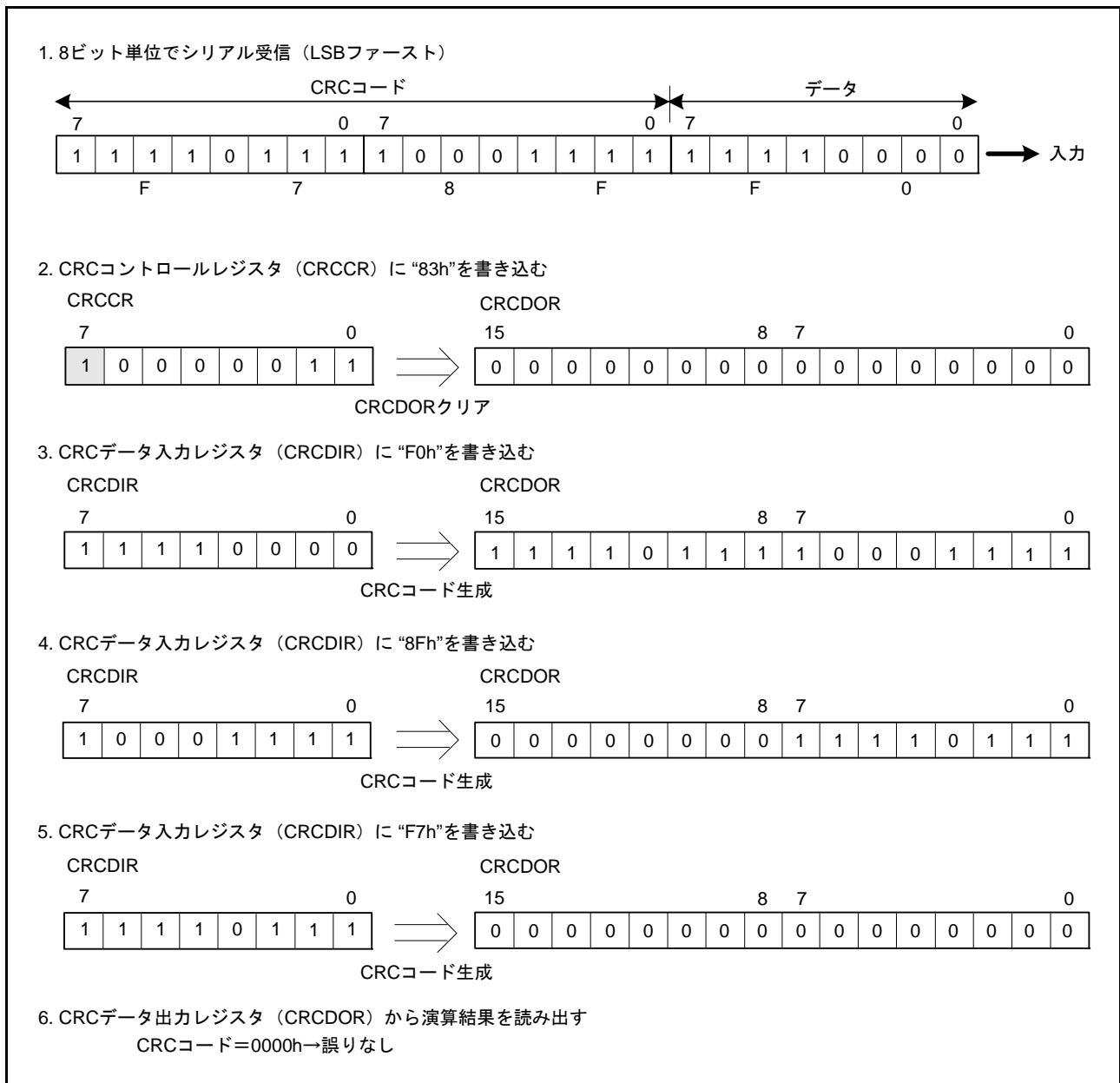


図 35.4 LSBファーストでのデータ受信

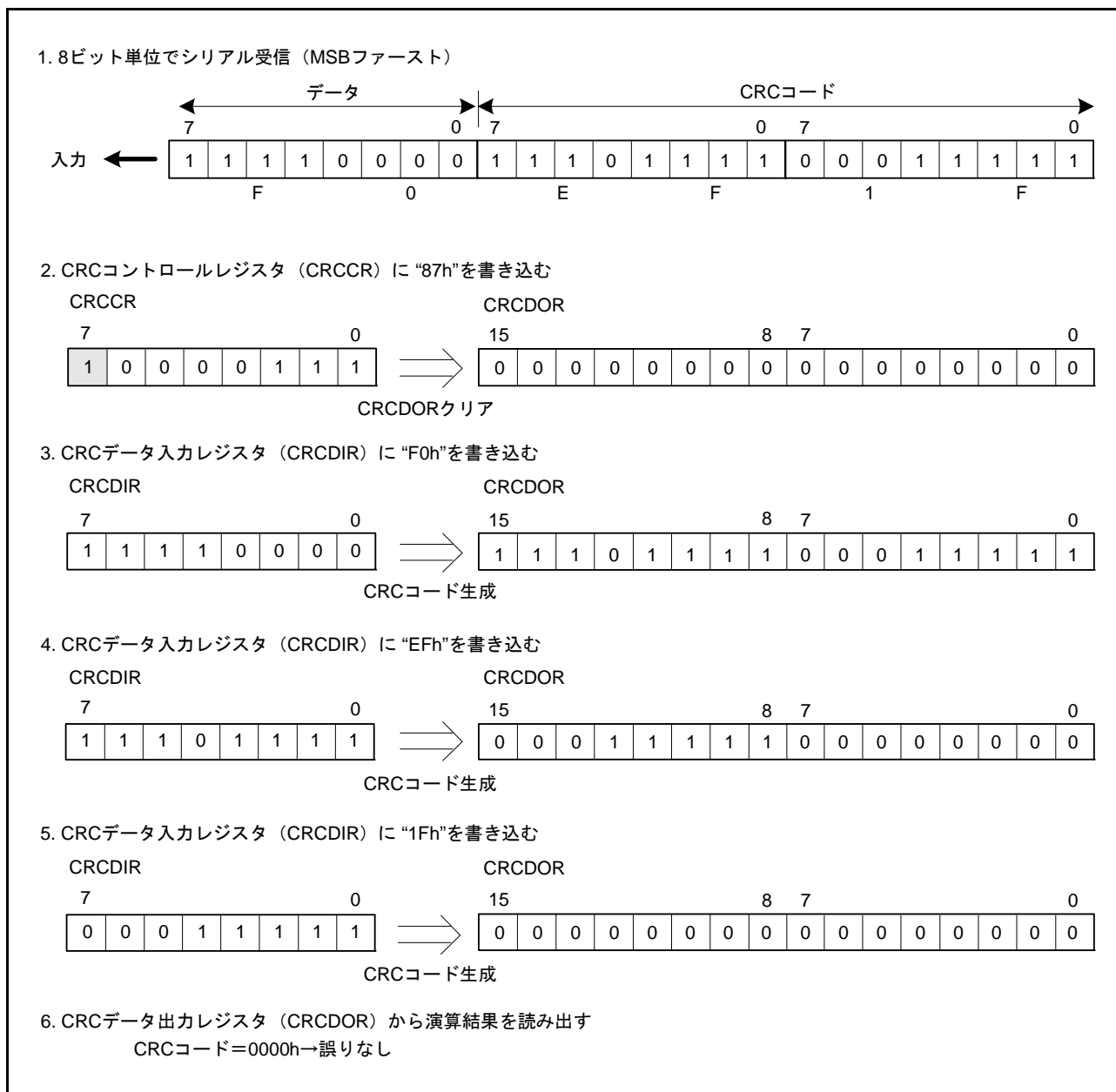


図 35.5 MSB ファーストでのデータ受信

35.4 使用上の注意事項

35.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作を禁止/許可することが可能です。リセット後、CRC はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。

詳細は「11. 消費電力低減機能」を参照してください。

35.4.2 転送時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードを送る順序が異なりますので注意してください。

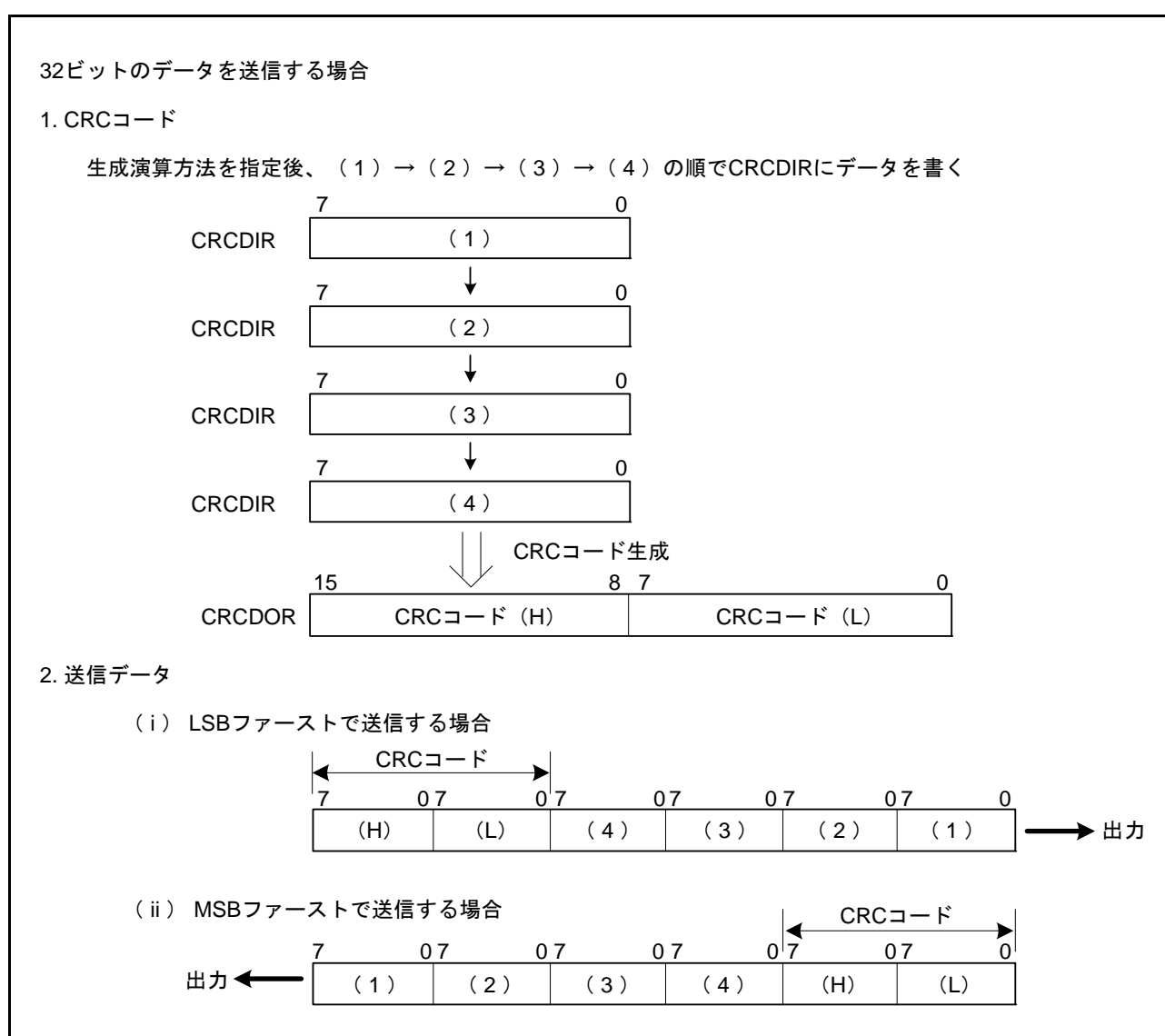


図 35.6 LSB ファーストと MSB ファーストの送信データ

36. 12ビットA/Dコンバータ (S12ADB)

36.1 概要

本MCUは、逐次比較方式の12ビットのA/Dコンバータを1ユニット内蔵しています。最大16チャンネルのアナログ入力、内部基準電圧を選択できます。

12ビットA/Dコンバータは、選択した最大16チャンネルのアナログ入力か、内部基準電圧を逐次比較方式で12ビットのデジタル値に変換します。動作モードは、任意に選択した最大16チャンネルのアナログ入力か、若しチャンネル番号順に1回のみ変換するシングルスキャンモードと、任意に選択した最大16チャンネルのアナログ入力を順次若しチャンネル番号順に連続して変換する連続スキャンモードと、最大16チャンネルのアナログ入力を任意に選択して2つのグループ（グループAとグループB）に分け、グループ単位で選択したチャンネルのアナログ入力を若しチャンネル番号順に変換するグループスキャンモードがあります。

グループスキャンモードでは、グループAとグループBのスキャン開始条件を個別に選択することで、グループAとグループBは異なるタイミングでA/D変換を開始することができます。

ダブルトリガモードは、任意に選択した1チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード（グループA）で変換し、1回目のA/D変換開始トリガで変換したデータと2回目のA/D変換開始トリガで変換したデータを別々のレジスタに格納（A/D変換データの2重化）します。

自己診断は、スキャンごとの最初に1回実施され、12ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

内部基準電圧は、単独でA/D変換を行います。

表36.1に12ビットA/Dコンバータの仕様を、表36.2に12ビットA/Dコンバータの機能概要を示します。図36.1に12ビットA/Dコンバータのブロック図を示します。

表36.1 12ビットA/Dコンバータの仕様 (1 / 2)

項目	内容
ユニット数	1ユニット
入力チャンネル	16チャンネル
拡張アナログ入力	内部基準電圧
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャンネル当たり1.0μs (A/D変換クロック ADCLK = 50MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLKB ^(注1) とA/D変換クロックADCLK ^(注1) を以下の分周比で設定可能 PCLKB : ADCLK分周比 = 1 : 1, 1 : 2, 1 : 4, 1 : 8, 2 : 1, 4 : 1 ADCLKの設定はクロック発生回路で行います
データレジスタ	アナログ入力用16本、ダブルトリガモードでのA/D変換データ2重化用1本 内部基準電圧用1本 A/D変換結果を12ビットA/Dデータレジスタに保持 A/D変換結果の8, 10, 12ビット精度出力対応 (変換結果出力の2ビット、または4ビット右シフト選択対応) 加算モード時はA/D変換結果の加算値を14ビットでA/Dデータレジスタに保持 A/D変換データの2重化 <ul style="list-style-type: none"> • 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目はA/Dデータレジスタyに保持、2回目のA/Dデータは2重化レジスタに保持 • シングルスキャンモードとグループスキャンモードでダブルトリガモード選択時のみ2重化が可能
動作モード	<ul style="list-style-type: none"> • シングルスキャンモード : 任意に選択した最大16チャンネルのアナログ入力を1回のみA/D変換 内部基準電圧を1回のみA/D変換 • 連続スキャンモード : 任意に選択した最大16チャンネルのアナログ入力を繰り返しA/D変換^(注2) • グループスキャンモード : 最大16チャンネルのアナログ入力をグループAとグループBに分け、グループ単位で選択した全チャンネルのアナログ入力を1回のみ変換 グループAとグループBは、各々の変換開始条件を選択することで異なるタイミングで変換開始可能

表 36.1 12ビットA/Dコンバータの仕様 (2 / 2)

項目	内容
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ MTU、TPU、ELCからのトリガ 非同期トリガ ADTRG0#端子によるA/D変換の開始が可能
機能	<ul style="list-style-type: none"> サンプル&ホールド機能 チャンネル専用サンプル&ホールド機能 (0.25V ≤ アナログ電圧入力 ≤ AVCC0-0.25V) サンプリングステート数可変機能 12ビットA/Dコンバータの自己診断機能 A/D変換値加算モード アナログ入力断線検出アシスト機能 ダブルトリガモード (A/D変換データ2重化機能)
割り込み要因	<ul style="list-style-type: none"> ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生 ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生 グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (GBADI) を発生 グループスキャンモードでダブルトリガモードの設定では、グループAの2回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (GBADI) を発生。 S12ADI0 またはGBADI割り込みでDMAコントローラ (DMAC)、データトランスファコントローラ (DTC) を起動可能
イベントリンク機能	<ul style="list-style-type: none"> グループスキャンモードでのグループBのスキャン終了を除くスキャン終了時にELCイベント発生可能 ELCからのトリガによりA/D変換開始可能
消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ状態への設定が可能 (注3)

注1. 周辺モジュールクロック PCLKBはSCKCR.PCKB[3:0]ビットで設定した周波数、A/D変換クロックADCLKはSCKCR.PCKD[3:0]ビットで設定した周波数になります。

注2. 内部基準電圧を選択した場合は、連続スキャンモードおよびグループスキャンモードを使用しないでください。

注3. 詳細は、「11. 消費電力低減機能」を参照してください。

表 36.2 12ビットA/Dコンバータの機能概要

項目		機能	
アナログ入力チャンネル		AN000～AN015、内部基準電圧	
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能
	非同期トリガ	ADTRG0#	可能
	同期トリガ	MTU0のTRGAのコンペアマッチ/インプットキャプチャ	TRG0AN
		MTU0のTRGBのコンペアマッチ/インプットキャプチャ	TRG0BN
		MTU0～MTU4のTRGAのコンペアマッチ/インプットキャプチャ または相補PWMモード時のMTU4.TCNTのアンダフロー (谷)	TRGAN
		MTU0のTRGEのコンペアマッチ	TRG0EN
		MTU0のTRGFのコンペアマッチ	TRG0FN
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ (割り込み間引き機能1)	TRG4AN
		MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能1)	TRG4BN
		MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNTコンペアマッチ (割り込み間引き機能1)	TRG4ABN
TPU0～TPU4のTRGAのコンペアマッチ/インプットキャプチャ またはTPU0のTRGAのコンペアマッチ/インプットキャプチャ	TRGAN1 TRG4ABN1		
ELCからのトリガ	可能		
割り込み		S12ADI0、GBADI割り込み	
モジュールストップ機能の設定 (注1)		MSTPCRA.MSTPA17ビット	

注1. 詳細は「11. 消費電力低減機能」を参照してください。

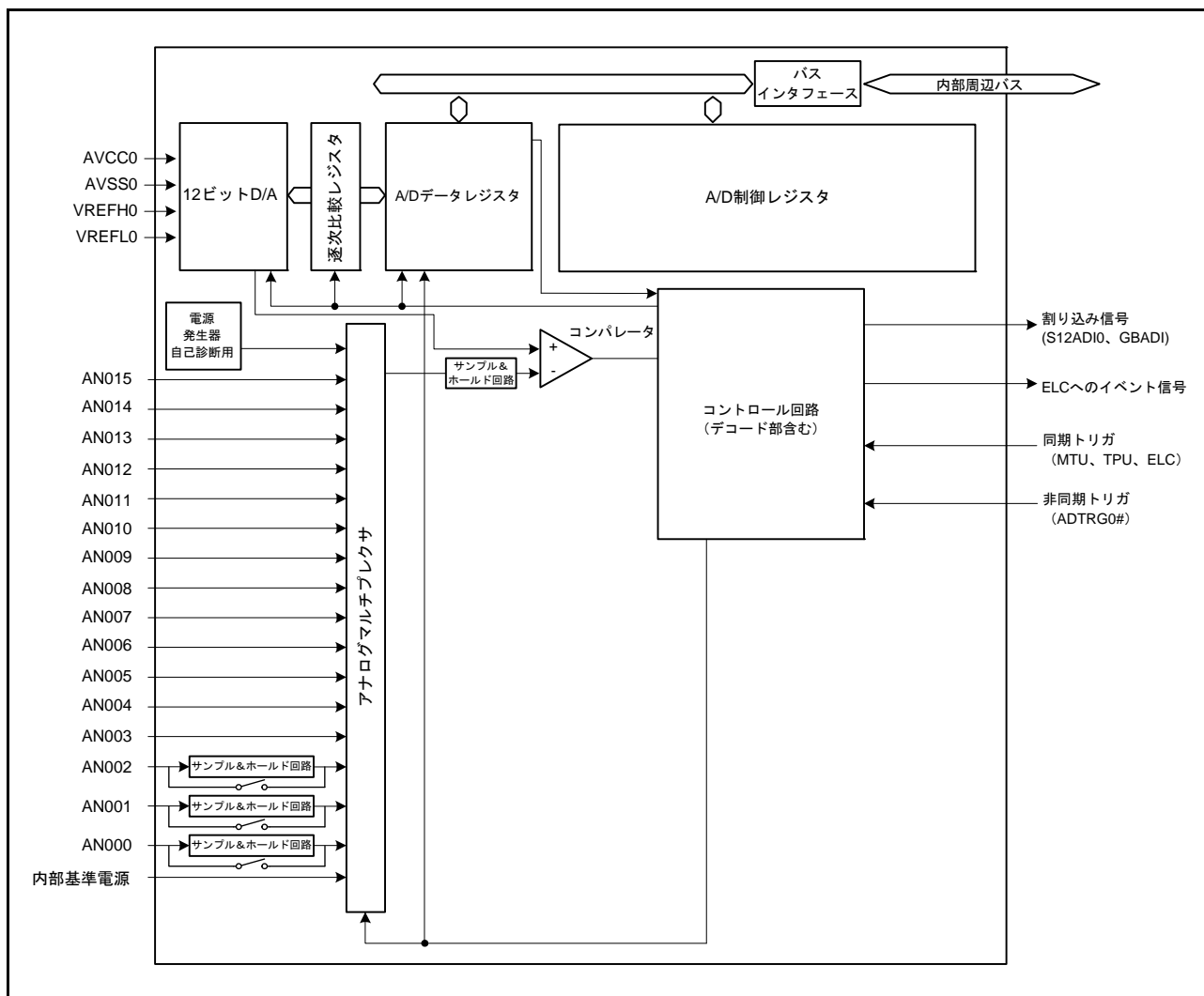


図 36.1 12ビットA/Dコンバータのブロック図

表 36.3 に 12ビットA/Dコンバータで使用する入力端子を示します。

表 36.3 12ビットA/Dコンバータの入力端子

端子名	入力	機能
AVCC0	入力	アナログ部の電源端子
AVSS0	入力	アナログ部のグランド端子
VREFH0	入力	基準電源端子
VREFL0	入力	基準グランド端子
AN000~AN015	入力	アナログ入力端子 (AN000、AN001、AN002はチャンネル専用サンプル&ホールド機能あり)
ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子

36.2 レジスタの説明

36.2.1 A/D データレジスタ y (ADDRy) (y = 0 ~ 15)、A/D データ 2 重化レジスタ (ADDBLDR)

ADDRy レジスタは、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

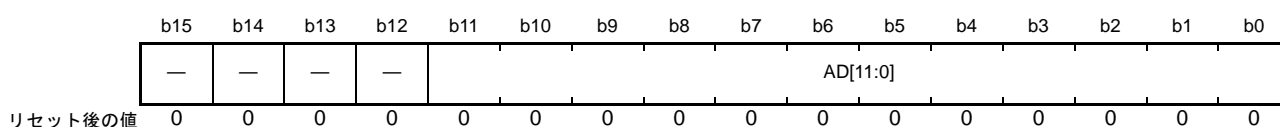
ADDRy、ADDBLDR レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰または左詰)
- A/D データレジスタビット精度指定ビットの設定値 (12 ビット、10 ビット、または 8 ビット)
- A/D 変換値加算モード選択レジスタの設定値 (A/D 変換値加算モード選択または非選択)

以下、条件ごとのフォーマットを示します。

- 右詰めフォーマット、12 ビット精度に設定した場合

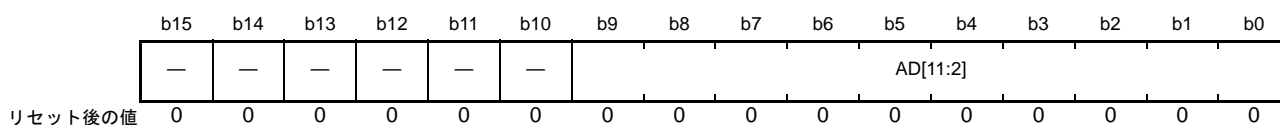
アドレス ADDR0 0008 9020h ~ ADDR15 0008 903Eh, ADDBLDR 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	変換値 11~0	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 右詰めフォーマット、10 ビット精度に設定した場合

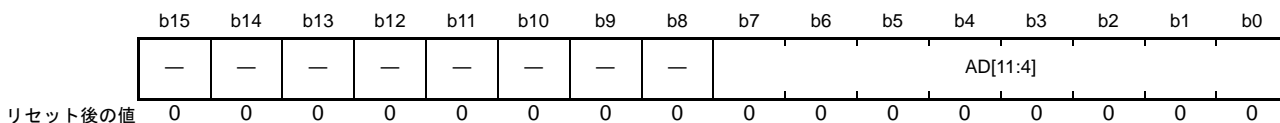
アドレス ADDR0 0008 9020h ~ ADDR15 0008 903Eh, ADDBLDR 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[11:2]	変換値 11~2	12ビットA/D変換値の上位10ビット	R
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

• 右詰めフォーマット、8ビット精度に設定した場合

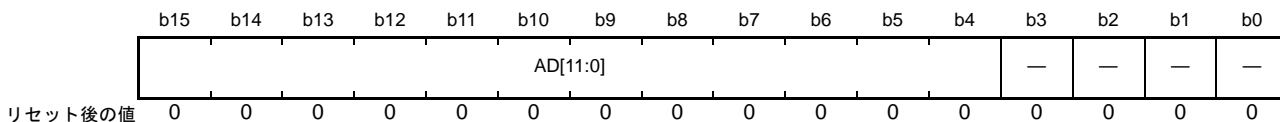
アドレス ADDR0 0008 9020h ~ ADDR15 0008 903Eh, ADDBLDR 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b7-b0	AD[11:4]	変換値 11~4	12ビットA/D変換値の上位8ビット	R
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

• 左詰めフォーマット、12ビット精度に設定した場合

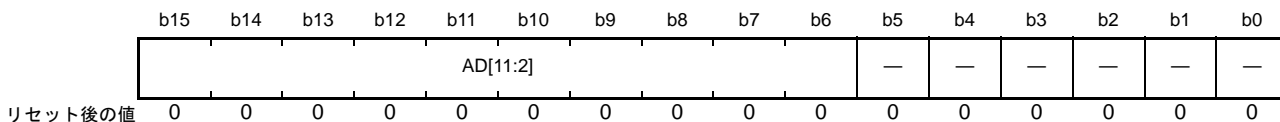
アドレス ADDR0 0008 9020h ~ ADDR15 0008 903Eh, ADDBLDR 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください	R
b15-b4	AD[11:0]	変換値 11~0	12ビットA/D変換値	R/W

• 左詰めフォーマット、10ビット精度に設定した場合

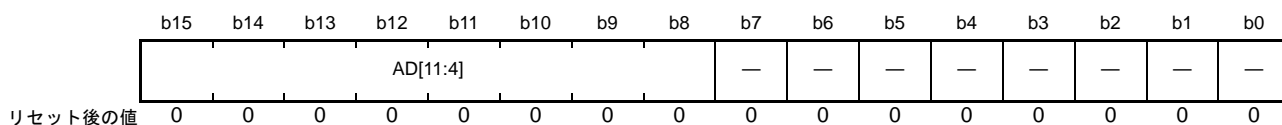
アドレス ADDR0 0008 9020h ~ ADDR15 0008 903Eh, ADDBLDR 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください	R
b15-b6	AD[11:2]	変換値 11~2	12ビットA/D変換値の上位10ビット	R/W

- 左詰めフォーマット、8ビット精度に設定した場合

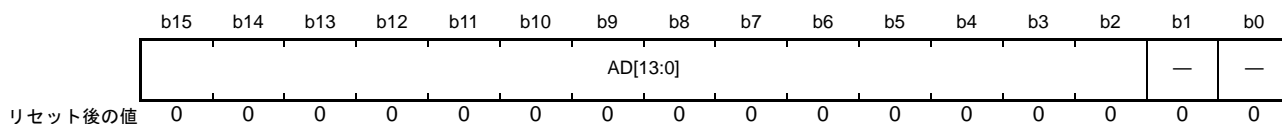
アドレス ADDR0 0008 9020h ~ ADDR15 0008 903Eh, ADDBLDR 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください	R
b15-b8	AD[11:4]	変換値 11~4	12ビットA/D変換値の上位8ビット	R/W

- A/D 変換値加算モードを選択した場合

アドレス ADDR0 0008 9020h ~ ADDR15 0008 903Eh, ADDBLDR 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください	R
b15-b2	AD[13:0]	—	14ビットA/D変換値加算結果	R/W

A/D 変換値加算モードに設定した場合、AD[13:0] ビットは同一チャンネルの A/D 変換値を加算した値を示します。A/D 変換値加算モードに設定すると、A/D 変換結果の加算値を、14 ビットで左詰めに A/D データレジスタに保持し、ADCER.ADPRC[1:0] ビット、ADCER.ADRFMT ビットの設定は無効となります。

A/D 変換値加算モードを選択したチャンネルに対しての最小値と最大値を以下に示します。

1 回変換時 : $0000h \leq ADDRy (y=0 \sim 15) \leq 3FFCh$

ADDRy (y=0 ~ 15) : ビット 15, 14 = 00b、ビット 13 ~ 2 = AD[11:0]、ビット 1, 0 = 00b

2 回変換時 : $0000h \leq ADDRy (y=0 \sim 15) \leq 7FF8h$

ADDRy (y=0 ~ 15) : ビット 15 = 0、ビット 14 ~ 2 = AD[12:0]、ビット 1, 0 = 00b

3 回変換時 : $0000h \leq ADDRy (y=0 \sim 15) \leq BFF4h$

ADDRy (y=0 ~ 15) : ビット 15 ~ 2 = AD[13:0]、ビット 1, 0 = 00b

4 回変換時 : $0000h \leq ADDRy (y=0 \sim 15) \leq FFF0h$

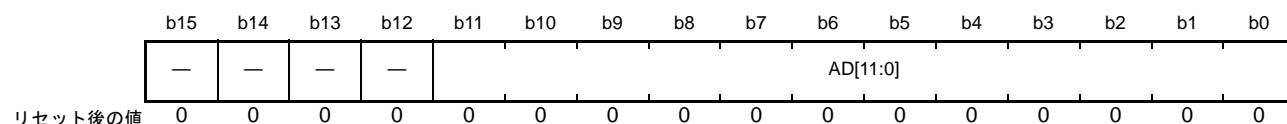
ADDRy (y=0 ~ 15) : ビット 15 ~ 2 = AD[13:0]、ビット 1, 0 = 00b

36.2.2 A/D 内部基準電圧データレジスタ (ADOCADR)

ADOCADR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT)、A/D 変換値加算モードの設定によって、以下に示すフォーマットとなります。

- ADCER.ADRFMT = 0 (右詰めフォーマットに設定)

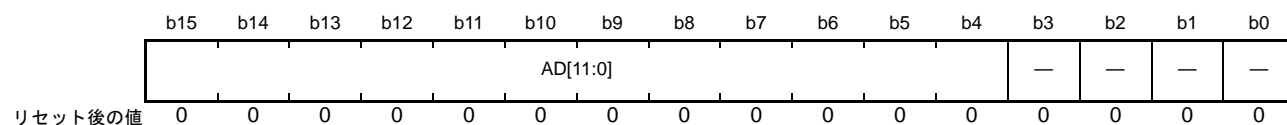
アドレス 0008 901Ch



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADRFMT = 1 (左詰めフォーマットに設定)

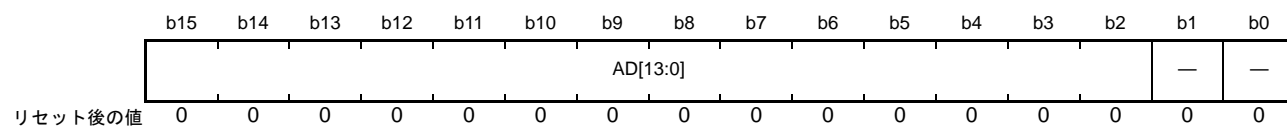
アドレス 0008 901Ch



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

- A/D 変換値加算モードを選択した場合

アドレス 0008 901Ch



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b2	AD[13:0]	—	14ビットA/D変換値加算結果	R

A/D 変換値加算モードに設定した場合、ADOCADR.AD[13:0] ビットは内部基準電圧の A/D 変換値を加算した値を示します。A/D 変換値加算モードに設定すると、ADCER.ADRFMT ビットの設定は無効となり、左詰めフォーマットになります。

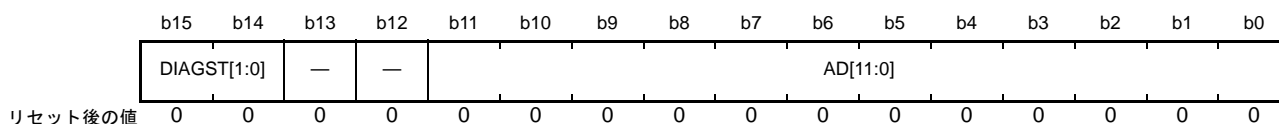
36.2.3 A/D 自己診断データレジスタ (ADRD)

ADRD レジスタは、12ビットA/Dコンバータの自己診断でA/D変換した結果を格納する16ビットの読み出し専用レジスタです。

A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定によって、以下に示すフォーマットになります。ADRDレジスタは、A/D変換加算モードには設定できません。

- ADCER.ADRFMT = 0 (右詰めフォーマットに設定)

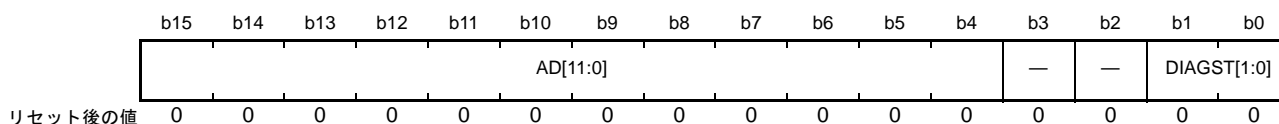
アドレス 0008 901Eh



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	DIAGST[1:0]	自己診断ステータスビット	b15 b14 0 0 : パワーオンから一度も自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : VREFH0×1/2の電圧値の自己診断を実施したことを示す 1 1 : VREFH0の電圧値の自己診断を実施したことを示す 自己診断の詳細については「36.2.9 A/Dコントロール拡張レジスタ (ADCER)」を参照してください	R

- ADCER.ADRFMT = 1 (左詰めフォーマットに設定)

アドレス 0008 901Eh



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータスビット	b1 b0 0 0 : パワーオンから一度も自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : VREFH0×1/2の電圧値の自己診断を実施したことを示す 1 1 : VREFH0の電圧値の自己診断を実施したことを示す 自己診断の詳細については「36.2.9 A/Dコントロール拡張レジスタ (ADCER)」を参照してください	R
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

36.2.4 A/D コントロールレジスタ (ADCSR)

アドレス 0008 9000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADST	ADCS[1:0]	ADIE	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	A/D 変換データ 2 重化チャンネル選択ビット	A/D 変換データを 2 重化するアナログ入力を 16 チャンネルから 1 チャンネル選択します。ダブルトリガモード選択時のみ有効です	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GBADIE	グループ B スキャン終了割り込み許可ビット	0: グループ B のスキャン終了後に GBADI 割り込み発生を禁止 1: グループ B のスキャン終了後に GBADI 割り込み発生を許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット (注1)	0: 同期トリガ (MTU, TPU, ELC) による A/D 変換の開始を選択 1: 非同期トリガ (ADTRG0#) による A/D 変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0: 同期、非同期トリガによる A/D 変換の開始を禁止 1: 同期、非同期トリガによる A/D 変換の開始を許可	R/W
b10-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0: スキャン終了後の S12ADI0 割り込み発生を禁止 1: スキャン終了後の S12ADI0 割り込み発生を許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D 変換スタートビット	0: A/D 変換停止 1: A/D 変換開始	R/W

注1. 外部端子 (非同期トリガ) で A/D 変換を開始する方法
外部端子 (ADTRG0#) に High を入力した状態で、ADCSR.TRGE ビットを“1”、ADCSR.EXTRG ビットを“1”にします。その後、ADTRG0#の信号を Low に変化させると、ADTRG0#の立ち下がりエッジを検出し、スキャン変換を開始します。このときの Low 入力のパルス幅は、1.5PCLKB クロック以上が必要です。

DBLANS[4:0] ビット (A/D 変換データ 2 重化チャンネル選択ビット)

ダブルトリガモードで A/D 変換データを 2 重化する 1 チャンネルを選択します。DBLANS[4:0] ビットで選択したチャンネルのアナログ入力を、ダブルトリガモードの 1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ 2 重化レジスタに格納されます。表 36.4 に A/D 変換データ 2 重化チャンネルの選択表を示します。ダブルトリガモードでの加算モードは、DBLANS[4:0] ビットで選択したチャンネルを ADADS レジスタで選択することで可能です。ダブルトリガモードを選択した場合は、ADANSA レジスタで選択したチャンネルは無効になり、DBLANS[4:0] ビットで選択した 1 チャンネルが A/D 変換を行うチャンネルとなります。チャンネルのアナログ入力を A/D 変換する場合は、内部基準電圧の A/D 変換は選択しないでください。DBLANS[4:0] ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時に設定もしないでください)。

表 36.4 DBLANS ビット設定値とダブルトリガ有効チャンネルの関係

DBLANS[4:0]	2重化チャンネル	DBLANS[4:0]	2重化チャンネル
00000	AN000	01000	AN008
00001	AN001	01001	AN009
00010	AN002	01010	AN010
00011	AN003	01011	AN011
00100	AN004	01100	AN012
00101	AN005	01101	AN013
00110	AN006	01110	AN014
00111	AN007	01111	AN015

GBADIE ビット (グループ B スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B のスキャン終了割り込み (GBADI) の発生を許可 / 禁止します。

DBLE ビット (ダブルトリガモード選択ビット)

ダブルトリガモードは、ADSTRGR.TRSA[3:0] ビットで選択した MTU、TPU、ELC からのトリガでスキャンを開始したことを条件に以下 1 と 2 の動作となります。

1. ADIE ビットが“1”に設定されている場合に、1 回目のスキャン終了時はスキャン終了割り込みを出力せず、2 回目のスキャン終了時にスキャン終了割り込みを出力します。
2. DBLANS[4:0] ビットで選択したアナログ入力のアナログデータの A/D 変換データを、1 回目は A/D データレジスタ y に格納し、2 回目は A/D データ 2 重化レジスタに格納します。

DBLE ビットを“1”にすると ADANSA レジスタで選択したチャンネルは無効になります。連続スキャンモードではダブルトリガモードを選択しないでください。また、内部基準電圧の A/D 変換は選択しないでください。ダブルトリガモード選択中はソフトウェアトリガは使用しないでください。DBLE ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時設定もしないでください)。

TRGE ビット (トリガ開始許可ビット)

同期トリガ、非同期トリガによる A/D 変換の開始を許可 / 禁止します。

グループスキャンモードでは、このビットを“1”にしてください。

ADIE ビット (スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B を除く、A/D スキャン変換終了割り込み (S12ADI0) の発生を許可 / 禁止します。

ダブルトリガモードを非選択に設定した場合は、1 回目のスキャンが終了したときに、ADIE ビットが“1”にセットされていれば、S12ADI0 割り込みが発生します。

内部基準電圧を選択した場合も A/D 変換が終了したときに、ADIE ビットが“1”にセットされていれば S12ADI0 割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[3:0] ビットで選択した MTU、TPU、ELC からのトリガで開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが“1”にセットされていれば S12ADI0 割り込みが発生します。

ADCS[1:0] ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA レジスタで選択した最大 16 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADST ビットが“1”の間、ADANSA レジスタで選択した最大 16 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。ADCSR.ADST ビットを“0”にすると A/D 変換を停止します。

グループスキャンモードは ADSTRGR.TRSA[3:0] ビットで選択した MTU、TPU、ELC からのトリガを開始条件として、ADANSA レジスタで選択した最大 16 チャンネルのアナログ入力 (グループ A) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。また同様に ADSTRGR.TRSA[3:0] ビットで選択した MTU、TPU、ELC からのトリガを A/D 変換開始条件として、ADANSA レジスタで選択した最大 16 チャンネルのアナログ入力 (グループ B) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。グループスキャンモードを選択する場合は、グループ A とグループ B で異なるチャンネルと異なるトリガを選択してください。

内部基準電圧を選択した場合は、シングルスキャンモードを選択し、ADANSA レジスタで選択したチャンネルをすべて非選択としてから A/D 変換を行います。選択した内部基準電圧の A/D 変換が終了すると停止します。

ADCS ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時に設定もしないでください)。

ADST ビット (A/D 変換スタートビット)

A/D 変換の開始 / 停止を制御します。

ADST ビットを“1”に設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[“1”になる条件]

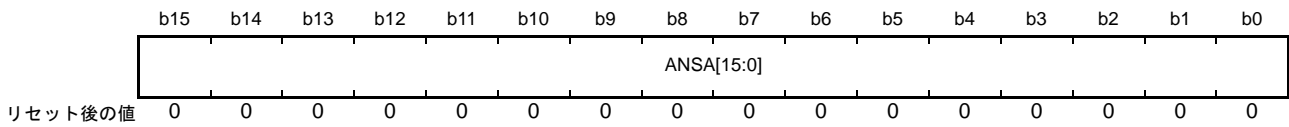
- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRG に“0”、ADCSR.TRGE ビットに“1”を設定し、ADSTRGR.TRSA[3:0] ビットで選択した同期トリガ (MTU、TPU、ELC) を検出したとき
- グループスキャンモードで ADCSR.TRGE ビットに“1”を設定し ADSTRGR.TRSA[3:0] ビットで選択した同期トリガ (MTU、TPU、ELC) を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを“1”、ADSTRGR.TRSA[3:0] ビットを“0000b”に設定し、非同期トリガを検出したとき

[“0”になる条件]

- ソフトウェアで“0”を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネルの A/D 変換が終了したとき
- シングルスキャンモードで、内部基準電圧の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき

36.2.5 A/D チャンネル選択レジスタ A (ADANSA)

アドレス 0008 9004h



ビット	シンボル	ビット名	機能	R/W
b15-b0	ANSA[15:0]	A/D変換チャンネル選択ビット	0 : AN000～AN015を変換対象から外す 1 : AN000～AN015を変換対象とする	R/W

ADANSA レジスタは、A/D 変換を行うチャンネルのアナログ入力 AN000～AN015 を選択するレジスタです。グループスキャンモードでは、グループ A のチャンネルを選択します。

ANSA[15:0] ビット (A/D 変換チャンネル選択ビット)

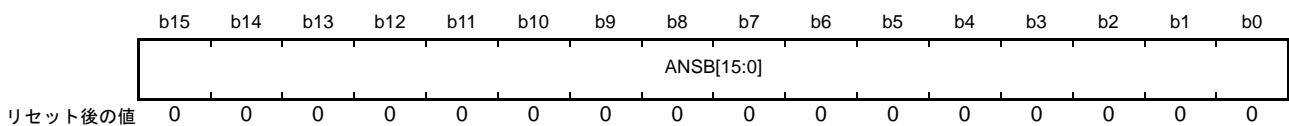
A/D 変換を行うチャンネルのアナログ入力 AN000～AN015 の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA[0] ビットが AN000、ANSA[15] ビットが AN015 に対応します。チャンネルのアナログ入力を A/D 変換する場合は、内部基準電圧の A/D 変換は行わないでください。

ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA[15:0] ビットの設定は無効になります。

ANSA[15:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

36.2.6 A/D チャンネル選択レジスタ B (ADANSB)

アドレス 0008 9014h



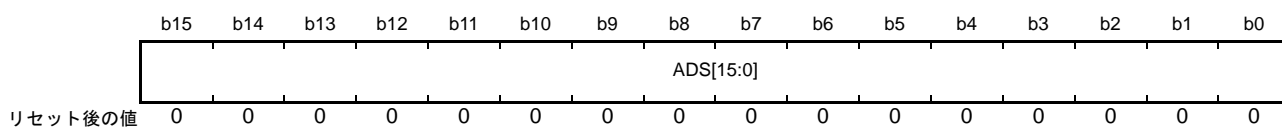
ビット	シンボル	ビット名	機能	R/W
b15-b0	ANSB[15:0]	A/D変換チャンネル選択ビット	0 : AN000～AN015を変換対象から外す 1 : AN000～AN015を変換対象とする	R/W

ADANSB レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネル AN000～AN015 の選択を行います。ADANSB レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、ADANSA レジスタまたはダブルトリガモードでの ADCSR.DBLANS[4:0] ビットで選択したグループ A のチャンネル以外から設定します。ANSB[0] ビットが AN000、ANSB[15] ビットが AN015 に対応します。チャンネルのアナログ入力を A/D 変換する場合は、内部基準電圧の A/D 変換はしないでください。

ANSB[15:0] ビットは、ADST ビットが“0”のときに設定してください。

36.2.7 A/D 変換値加算モード選択レジスタ (ADADS)

アドレス 0008 9008h



ビット	シンボル	ビット名	機能	R/W
b15-b0	ADS[15:0]	A/D変換値加算チャンネル選択ビット	0 : AN000 ~ AN015のA/D変換値加算モード非選択 1 : AN000 ~ AN015のA/D変換値加算モード選択	R/W

ADADS レジスタは、A/D 変換を連続 2 ~ 4 回実施して加算（積算）する A/D 変換チャンネル 0 ~ 15 を選択します。

ADS[15:0] ビット (A/D 変換値加算チャンネル選択ビット)

ADANSA.ANSA[n] ビット (n=0 ~ 15) または ADCSR.DBLANS[4:0] ビットと ADANSB.ANSB[n] ビット (n=0 ~ 15) で選択した A/D 変換チャンネルと同一番号の ADS[n] ビットを“1”にすると、ADADC.ADC[1:0] ビットで設定した回数 (2 ~ 4 回) 分、選択したチャンネルのアナログ入力を連続して A/D 変換し、加算（積算）した値を A/D データレジスタに返します。加算モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を返します。

ADS[15:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

図 36.2 にビット ADS[2] と ADS[6] を “1” にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (ADCSR.ADCS[1:0] = 10b) で、加算回数は 3 回に設定 (ADADC.ADC[1:0] = 11b)、AN000 ~ AN007 が選択 (ADANSA.ANSA[15:0] = 00FFh) されているものとします。AN000 から変換を開始します。AN002 の変換は 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 2 に返します。その後、AN003 の変換を開始し、AN006 の変換で 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 6 に返します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

加算モードを選択しないチャンネルの A/D データレジスタのフォーマットは、ADCER.ADRFMT ビット (右詰め / 左詰め) の設定により決定されます。

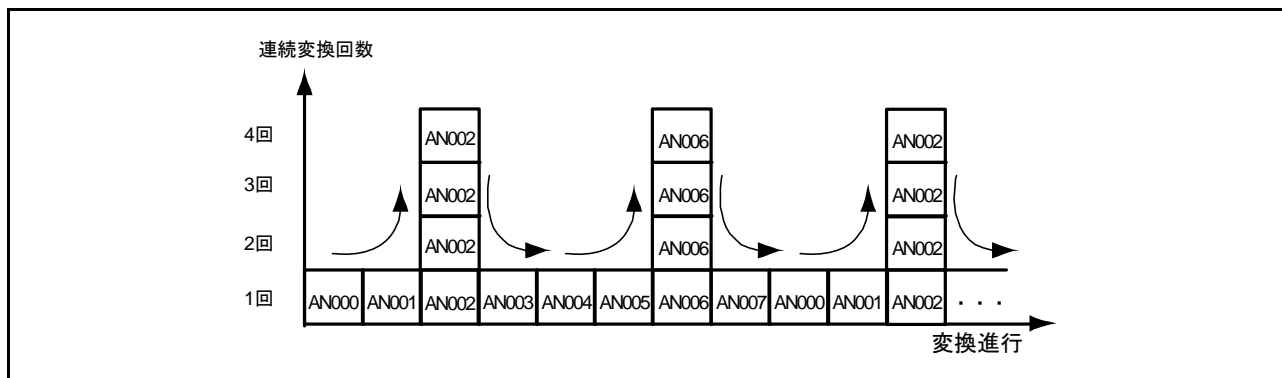
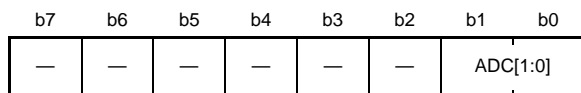


図 36.2 ADADC.ADC[1:0] = 11b、ADS[2] = 1、ADS[6] = 1 選択時のスキャン変換シーケンス

36.2.8 A/D 変換値加算回数選択レジスタ (ADADC)

アドレス 0008 900Ch



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADC[1:0]	加算回数選択ビット	b1 b0 0 0 : 1回変換 (加算なし。通常変換と同じ) 0 1 : 2回変換 (1回加算を行う) 1 0 : 3回変換 (2回加算を行う) 1 1 : 4回変換 (3回加算を行う)	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADC レジスタは、A/D 変換値加算モードが選択されたチャンネル、内部基準電圧の A/D 変換に対して加算回数の設定を行います。

ADC[1:0] ビット (加算回数選択ビット)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算モードが選択されたチャンネル、内部基準電圧の A/D 変換に対して共通の加算回数を設定します。ADC[1:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

36.2.9 A/D コントロール拡張レジスタ (ADCER)

アドレス 0008 900Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	ADPRC[1:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2-b1	ADPRC[1:0]	A/D データレジスタビット精度指定ビット	b2 b1 0 0 : A/D データレジスタに12ビット精度で格納する 0 1 : A/D データレジスタに10ビット精度で格納する 1 0 : A/D データレジスタに8ビット精度で格納する 1 1 : 設定しないでください	R/W
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	自動クリアイネーブルビット	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0 : 自己診断有効時は設定禁止 0 1 : 0Vの電圧を使って自己診断を行う 1 0 : VREFH0×1/2の電圧を使って自己診断を行う 1 1 : VREFH0の電圧を使って自己診断を行う	R/W
b10	DIAGLD	自己診断モード選択ビット	0 : 自己診断電圧ローテーションモード 1 : 自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット	0 : 12ビットA/Dコンバータの自己診断を実施しない 1 : 12ビットA/Dコンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/D データレジスタフォーマット選択ビット	0 : A/D データレジスタのフォーマットを右詰めにする 1 : A/D データレジスタのフォーマットを左詰めにする	R/W

ADCER レジスタは、自己診断モード、A/D データレジスタ y (ADDRy) のフォーマット、自動クリアの設定を行うレジスタです。

ADPRC[1:0] ビット (A/D データレジスタビット精度指定ビット)

A/D 変換結果を、ADDRy, ADDBLDR に 8 ビット精度で格納するか、10 ビット精度で格納するか、12 ビット精度で格納するかを選択します。

ACE ビット (自動クリアイネーブルビット)

CPU、DTC および DMAC によって ADDRy、ADRD、ADOCDR、ADDBLDR レジスタを読み出した後、当該レジスタの自動クリア (All“0”) を行うか行わないかを選択します。自動クリアにより ADDRy、ADRD、ADOCDR、ADDBLDR レジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット (自己診断変換電圧選択ビット)

詳細は ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが“00b”の状態では ADCER.DIAGLD ビットを“1”に設定して、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。ADCER.DIAGLD ビットを“0”にすると $0V \rightarrow VREFH0 \times 1/2 \rightarrow VREFH0$ の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は $0V$ から自己診断を行います。自己診断電圧固定モードを選択した場合は ADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても $0V$ に戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADST が“0”のときに行ってください。

DIAGM ビット (自己診断イネーブルビット)

自己診断を実施するかしないかを選択します。

自己診断は、12ビットA/Dコンバータの故障を検出するための機能です。内部で生成する $0V$ 、 $VREFH0 \times 1/2$ 、 $VREFH0$ の3つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアで ADRD レジスタを読み出し、変換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。自己診断の実行時間は、1チャンネルのA/D変換時間と同じです。自己診断を実施する場合は、内部基準電圧のA/D変換は選択しないでください。選択した場合、自己診断は実施されません。グループスキャンモードで自己診断を選択した場合は、グループAとグループBのそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADST ビットが“0”のときに行ってください。

ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

ADDR_y、ADRD、ADOCDR、ADDBLDR レジスタに格納するデータの右詰め/左詰めを選択します。

A/D変換値加算モードが選択されている場合、各データレジスタのフォーマットは、ADCER.ADRFMT ビットの設定によらず左詰め固定です。

データレジスタのフォーマットの詳細は、「36.2.1 A/D データレジスタ y (ADDR_y) ($y = 0 \sim 15$)、A/D データ2重化レジスタ (ADDBLDR)」、「36.2.2 A/D 内部基準電圧データレジスタ (ADOCDR)」、「36.2.3 A/D 自己診断データレジスタ (ADRD)」を参照してください。

36.2.10 A/D 開始トリガ選択レジスタ (ADSTRGR)

アドレス 0008 9010h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	TRSA[3:0]				—	—	—	—	TRSB[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	TRSB[3:0]	グループB専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループBのA/D変換開始トリガを選択します	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	TRSA[3:0]	A/D変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRSB[3:0] ビット (グループ B 専用 A/D 変換開始トリガ選択ビット)

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[3:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループスキャンモードでは、TRSB[3:0] ビットを“0000”以外に設定し、ADCSR.TRGE ビットを“1”に設定してください。

表 36.5 に TRSB[3:0] ビットでの A/D 起動要因選択一覧を示します。

TRSA[3:0] ビット (A/D 変換開始トリガ選択ビット)

シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガの選択を行います。グループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ソフトウェアトリガと非同期トリガは使用できません。

- 同期トリガ (MTU、TPU、ELC) の A/D 変換起動要因を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつ ADCSR.EXTRG ビットを“0”に設定してください。
- 非同期トリガ (ADTRG0#) を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつ ADCSR.EXTRG ビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[3:0] ビットの設定値にかかわらず有効です。

表 36.6 に TRSA[3:0] ビットでの A/D 起動要因選択一覧を示します。

表 36.5 TRSB[3:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
MTU	TRG0AN	MTU0のTRGAのインプットキャプチャ/コンペアマッチ	0	0	0	1
	TRG0BN	MTU0のTRGBのインプットキャプチャ/コンペアマッチB	0	0	1	0
	TRGAN	MTU0～MTU4のTRGAのインプットキャプチャ/コンペアマッチまたは相補PWMモード時のMTU4.TCNTのアンダフロー (谷)	0	0	1	1
	TRG0EN	MTU0のTRGEのコンペアマッチ	0	1	0	0
	TRG0FN	MTU0のTRGFのコンペアマッチ	0	1	0	1
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ (割り込み間引き機能1)	0	1	1	0
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能1)	0	1	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNTコンペアマッチ (割り込み間引き機能1)	1	0	0	0
ELC	ELC	ELCからのトリガ	1	0	0	1
TPU	TRGAN1	TPU0～TPU4のTRGAのコンペアマッチ/インプットキャプチャ	1	0	1	1
	TRG4ABN1	TPU0のTRGAのコンペアマッチ/インプットキャプチャ	1	1	0	0

表 36.6 TRSA[3:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
ADC	ADST	ソフトウェアトリガ	—	—	—	—
外部入力	ADTRG0#	A/D変換起動トリガ端子	0	0	0	0
MTU	TRG0AN	MTU0のTRGAのインプットキャプチャ/コンペアマッチ	0	0	0	1
	TRG0BN	MTU0のTRGBのインプットキャプチャ/コンペアマッチB	0	0	1	0
	TRGAN	MTU0～MTU4のTRGAのインプットキャプチャ/コンペアマッチまたは相補PWMモード時のMTU4.TCNTのアンダフロー (谷)	0	0	1	1
	TRG0EN	MTU0のTRGEのコンペアマッチ	0	1	0	0
	TRG0FN	MTU0のTRGFのコンペアマッチ	0	1	0	1
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ (割り込み間引き機能1)	0	1	1	0
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能1)	0	1	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNTコンペアマッチ (割り込み間引き機能1)	1	0	0	0
ELC	ELC	ELCからのトリガ	1	0	0	1
TPU	TRGAN1	TPU0～TPU4のTRGAのコンペアマッチ/インプットキャプチャ	1	0	1	1
	TRG4ABN1	TPU0のTRGAのコンペアマッチ/インプットキャプチャ	1	1	0	0

36.2.11 A/D 変換拡張入力コントロールレジスタ (ADEXICR)

アドレス 0008 9012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCS	—	—	—	—	—	—	—	OCSAD	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	OCSAD	内部基準電圧A/D変換値加算モード選択ビット	0：内部基準電圧A/D変換値加算モード非選択 1：内部基準電圧A/D変換値加算モード選択	R/W
b8-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OCS	内部基準電圧A/D変換選択ビット	0：内部基準電圧をA/D変換しない 1：内部基準電圧をA/D変換する	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

OCSAD ビット (内部基準電圧 A/D 変換値加算モード選択ビット)

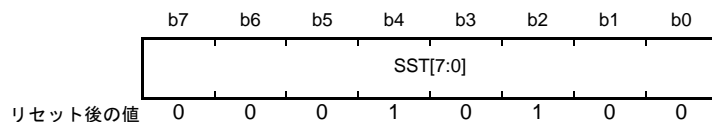
内部基準電圧の A/D 変換を選択し、OCSAD ビットを“1”にすると、ADADC.ADC[1:0] ビットで設定した回数 (2 ~ 4 回) 分、内部基準電圧を連続して A/D 変換し、積算した値を A/D 内部基準電圧データレジスタ (ADOCADR) に返します。OCSAD ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

OCS ビット (内部基準電圧 A/D 変換選択ビット)

内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換を行う場合は、シングルスキャンモードを選択し、ADANSA レジスタの全ビットを“0”にしてください。OCS ビットの設定は、ADST ビットが“0”のときに行ってください。

36.2.12 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 7、L、O)

ADSSTR0 0008 9060h, ADSSTR1 0008 9073h, ADSSTR2 0008 9074h, ADSSTR3 0008 9075h,
 アドレス ADSSTR4 0008 9076h, ADSSTR5 0008 9077h, ADSSTR6 0008 9078h, ADSSTR7 0008 9079h,
 ADSSTRL 0008 9061h, ADSSTRO 0008 9071h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SST[7:0]	サンプリング時間設定ビット	12~255ステートの間でサンプリング時間を設定します	R/W

ADSSTRn は、アナログ入力のサンプリング時間の設定を行うレジスタです。

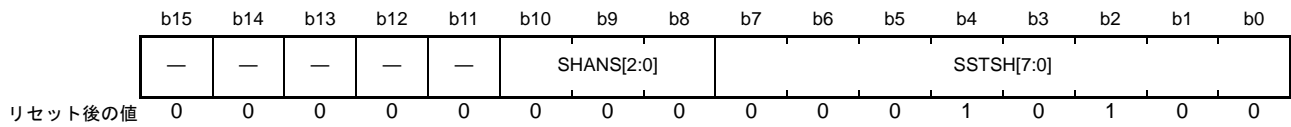
1 ステート = 1ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 50MHz であれば 1 ステート = 20ns になります。初期値は 20 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。本ビットの設定は ADCSR.ADST が “0” のときに行ってください。サンプリング時間の設定値は、12 ステート以上 255 ステート以下の値を設定してください。また、サンプリング時間が 0.4μs 以上となるように設定してください。表 36.7 に A/D サンプリングステートレジスタと対象チャンネルの関係を示します。

表 36.7 A/D サンプリングステートレジスタと対象チャンネルの関係

ビット名	対象チャンネル
ADSSTR0.SST[7:0]ビット	AN000/自己診断
ADSSTR1.SST[7:0]ビット	AN001
ADSSTR2.SST[7:0]ビット	AN002
ADSSTR3.SST[7:0]ビット	AN003
ADSSTR4.SST[7:0]ビット	AN004
ADSSTR5.SST[7:0]ビット	AN005
ADSSTR6.SST[7:0]ビット	AN006
ADSSTR7.SST[7:0]ビット	AN007
ADSSTRL.SST[7:0]ビット	AN008 ~ AN015
ADSSTRO.SST[7:0]ビット	内部基準電圧

36.2.13 サンプル & ホールド回路コントロールレジスタ (ADSHCR)

アドレス 0008 9066h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SSTSH[7:0]	サンプリング時間サンプル&ホールド回路設定ビット	4～255ステートの間でサンプリング時間を設定します	R/W
b10-b8	SHANS[2:0]	チャンネル専用サンプル&ホールド回路バイパス選択ビット	AN000～AN002のチャンネル専用サンプル&ホールド回路を使用するか、使用せずバイパスするかを選択します。 0：チャンネル専用サンプル&ホールド回路をバイパス 1：チャンネル専用サンプル&ホールド回路を使用	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSHCR レジスタは、チャンネル専用サンプル & ホールド回路のを設定するレジスタです。

SSTSH[7:0] ビット (サンプリング時間サンプル & ホールド回路設定ビット)

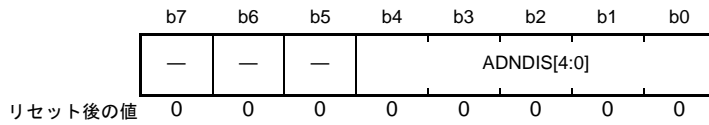
チャンネル専用サンプル&ホールド回路のサンプリング時間設定をします。1ステート=1ADCLKクロック(A/D変換クロック)幅でADCLKクロックが50MHzであれば1ステート=20nsになります。初期値は20ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLKクロックが低速な場合に、サンプリング時間を調整することができます。SSTSH[7:0]ビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。サンプリング時間の設定値は、4ステート以上255ステート以下の値を設定してください。また、サンプリング時間が0.4μs以上となるように設定してください。例えば、ADCLKが25MHzであれば、サンプリングステート設定値の下限は10ステートとなります。

SHANS[2:0] ビット (チャンネル専用サンプル & ホールド回路バイパス選択ビット)

アナログ入力AN000～AN002のチャンネル専用サンプル&ホールド回路を使用するか、使用しないでバイパスするかを選択します。SHANS[0]ビットがAN000、SHANS[1]ビットがAN001、SHANS[2]ビットがAN002のチャンネル専用サンプル&ホールド回路の選択ビットになります。SHANS[2:0]ビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

36.2.14 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス 0008 907Ah



ビット	シンボル	ビット名	機能	R/W
b4-b0	ADNDIS[4:0]	断線検出アシスト設定ビット	断線検出アシスト機能を設定します	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADDISCR レジスタは、断線検出アシスト機能を設定するレジスタです。

ADNDIS[4:0] ビット (断線検出アシスト設定ビット)

A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定、プリチャージ/ディスチャージ期間を設定します。ADNDIS[4] ビット = 1 でプリチャージ、ADNDIS[4] ビット = 0 でディスチャージが選択されます。ADNDIS[3:0] ビットで、プリチャージ/ディスチャージ期間を設定します。ADNDIS[3:0] ビット = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] ビット = 0000b 以外では、設定した値が、プリチャージ/ディスチャージ期間のステート数となります。(ただし ADNDIS[3:0] ビット = 00001b, 00010b は設定禁止です。)

内部基準電圧を変換する場合は、断線検出アシスト機能は使用できません。ADNDIS[4:0] ビット = 00000b としてください。

また、断線検出アシスト機能は、ADNDIS[4:0] ビット設定後 550ns 経過後に有効になるため、断線検出アシスト機能を使用する場合、ADNDIS[4:0] ビットを設定した後、550ns 経過後に A/D 変換を開始してください。

36.3 動作説明

36.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードとグループスキャンモードの3種類の動作モードがあります。シングルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを“0” (“1”の状態から“0”) にクリアするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループ A とグループ B のスキャンをそれぞれ選択したトリガで開始し、グループ A とグループ B で選択したチャンネルのスキャンをそれぞれ1回ずつ実施して終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。グループスキャンモードは、グループ A が ADANSA レジスタで選択した ANn の n が小さい番号順から、グループ B が ADANSB レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。

自己診断を選択した場合は、スキャンごとの最初に1回実施され、12ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

内部基準電圧を選択する場合は、シングルスキャンモードでA/D変換を行ってください。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると、ADSTRGR.TRSA[3:0] ビットで選択した、MTU、TPU、ELCからのトリガでのスキャン起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルのA/D変換データを2重化します。

ADSHCR.SHANS[2:0] ビットで AN000 ~ AN002 のいずれかをチャンネル専用サンプル&ホールド回路使用に設定すると、スキャンごとに最初のA/D変換開始前に対象となるアナログ入力のサンプル&ホールドを行います。

36.3.2 シングルスキャンモード

36.3.2.1 基本動作 (チャンネル専用サンプル&ホールドなし)

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。チャンネル選択でのスキャン時は、内部基準電圧A/D変換選択ビット (ADEXICR.OCS) に“0” (非選択) を設定します。

- (1) ソフトウェア、同期トリガ (MTU、TPU、ELC) または非同期トリガ入力によって、ADCSR.ADSTビットが“1” (A/D変換開始) になると、ADANSAレジスタで選択したANnのnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるS12ADI0割り込み許可) に設定されていると、S12ADI0割り込み要求を発生します。
- (4) ADCSR.ADSTビットはA/D変換中は“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

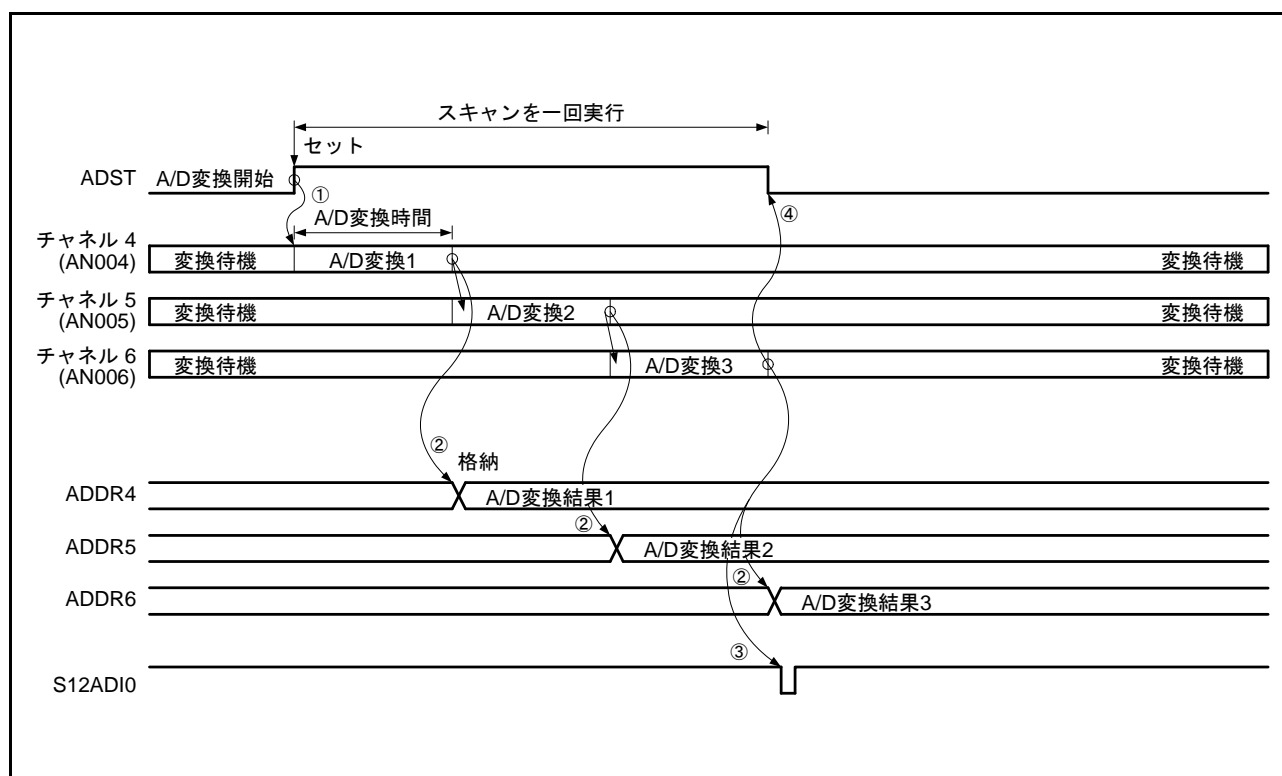


図 36.3 シングルスキャンモードの動作例 (基本動作 : AN004 ~ AN006 選択)

36.3.2.2 基本動作 (チャンネル専用サンプル&ホールドあり)

チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に選択したすべてのチャンネルのアナログ入力を 1 回のみ A/D 変換します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[2:0] ビットで選択します。

チャンネル選択でのスキャン時は、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCS) に“0” (非選択) を設定します。

- (1) ソフトウェア、同期トリガ (MTU、TPU、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、ADANSA レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (3) チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
- (4) 選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
- (5) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

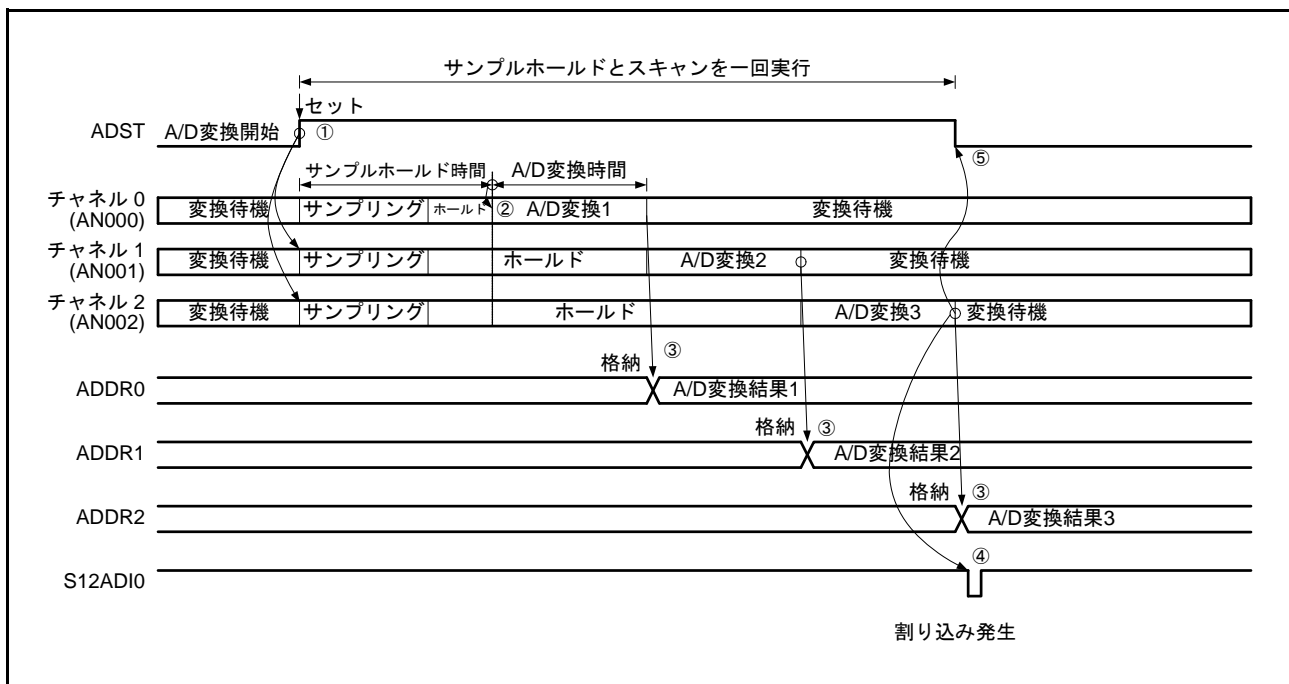


図 36.4 シングルスキャンモードの動作例 (チャンネル専用サンプル & ホールド回路あり)

36.3.2.3 チャネル選択と自己診断 (チャネル専用サンプル&ホールドなし)

チャネル選択と共に自己診断を選択すると、以下のように 12 ビット A/D コンバータに供給される基準電圧 (VREFH0) から生成された自己診断電圧 (VREFH0×0、VREFH0×1/2、VREFH0×1 のいずれか) の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

チャネル選択でのスキャン時は、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCS) に “0” (非選択) を設定します。

- (1) ソフトウェア、同期トリガ (MTU、TPU、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
- (2) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
- (3) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
- (4) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了による S12ADI0 割り込み許可) に設定されていれば、S12ADI0 割り込み要求を発生します。
- (5) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

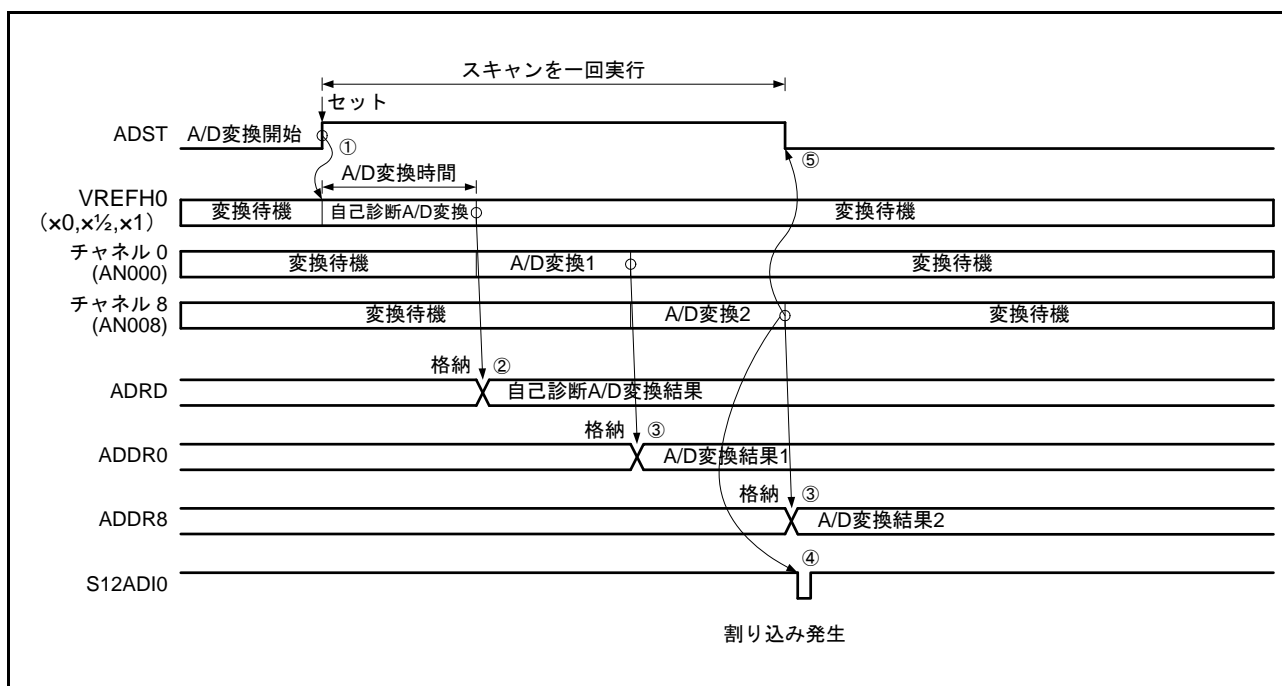


図 36.5 シングルスキャンモードの動作例 (基本動作+自己診断)

36.3.2.4 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)

チャンネル選択と共に自己診断を選択し、チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に 12 ビット A/D コンバータに供給される基準電源電圧 (VREFH0) から生成された自己診断電圧 (VREFH0×0、VREFH0×1/2、VREFH0×1 のいずれか) の A/D 変換を行い、その後選択したチャンネルのアナログ入力を 1 回のみ A/D 変換します。

チャンネル選択でのスキャン時は、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCS) に“0” (非選択) を設定します。

- (1) ソフトウェア、同期トリガ (MTU、TPU、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に自己診断での A/D 変換を開始します。
- (3) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA レジスタで選択したチャンネル AN_n の n が小さい番号順に A/D 変換を開始します。
- (4) チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) へ格納されます。
- (5) 選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
- (6) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

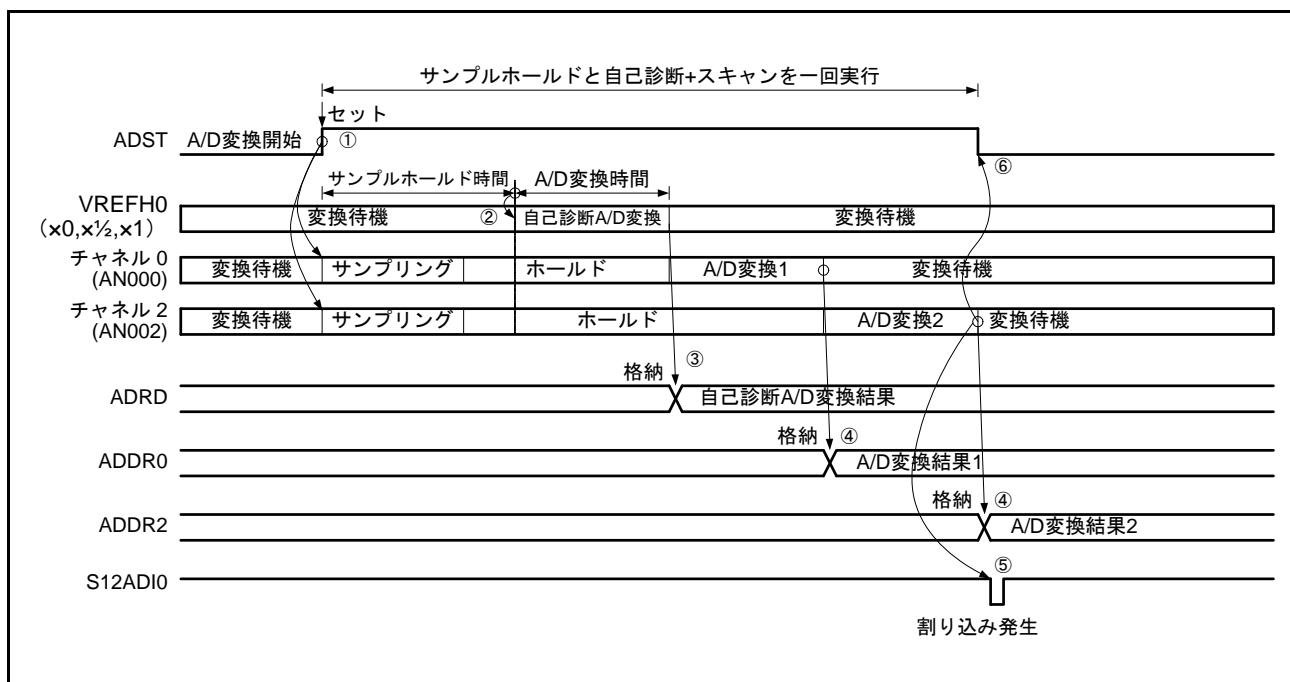


図 36.6 シングルスキャンモードの動作例 (チャンネル専用サンプル&ホールド回路あり+自己診断)

36.3.2.5 内部基準電圧選択時の A/D 変換動作

内部基準電圧の A/D 変換は、シングルスキャンモードで実行してください。動作は以下のようになります。

チャンネル選択はすべて非選択 (ADANSA.ANSA[15:0] ビットは “0000h” かつ ADCSR.DBLE ビットを “0”) にし、自己診断も非選択に設定してください。

- (1) ソフトウェア、同期トリガ (MTU、TPU、ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、内部基準電圧の A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D 内部基準電圧データレジスタ (ADOCDR) に格納され、ADCSR.ADIE ビットが “1” (スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
- (3) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

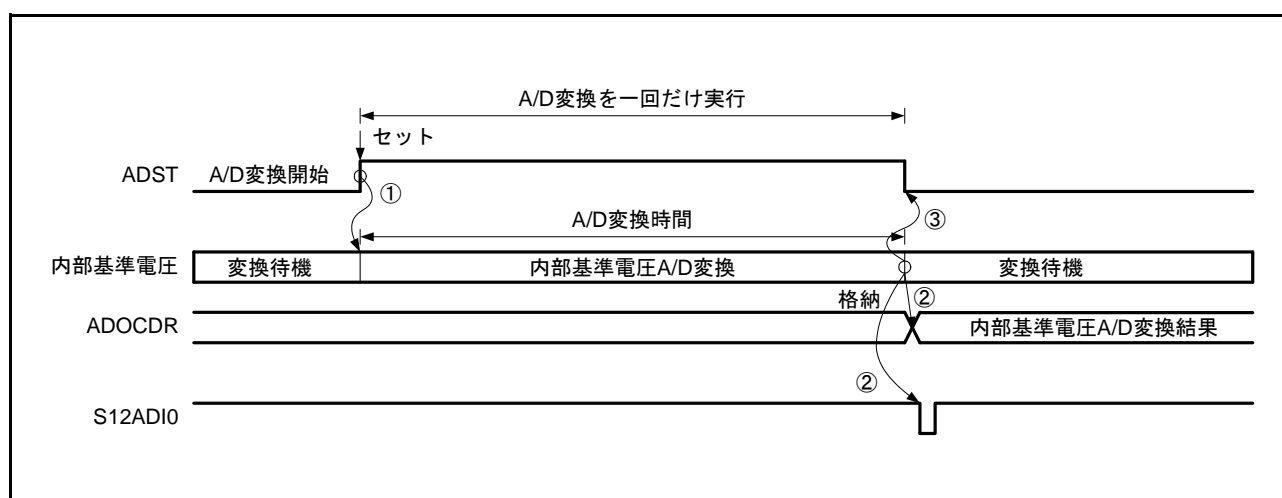


図 36.7 シングルスキャンモードの動作例 (内部基準電圧選択)

36.3.2.6 ダブルトリガモード選択時の動作

シングルスキャンモードでダブルトリガモードを選択した場合は、以下のように MTU、TPU、ELC からのトリガで開始するシングルスキャンモードを 2 回行います。

自己診断は非選択とし、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCS) に “0” を設定してください。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを “1” にすると有効となります。ADCSR.DBLE を “1” にした場合は ADANSA レジスタのチャンネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[3:0] ビットで MTU、TPU、ELC からのトリガを選択し、ADCSR.EXTRG ビットを “0” に、ADCSR.TRGE ビットを “1” に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) MTU、TPU、ELC からのトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) にセットされると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
- (3) ADST は自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了による S12ADIO 割り込み許可) の設定に関わらず、S12ADIO 割り込みは発生しません。
- (4) 2 回目のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ 2 重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIE ビットが “1” (スキャン終了による S12ADIO 割り込み許可) に設定されていれば、S12ADIO 割り込み要求を発生します。
- (7) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

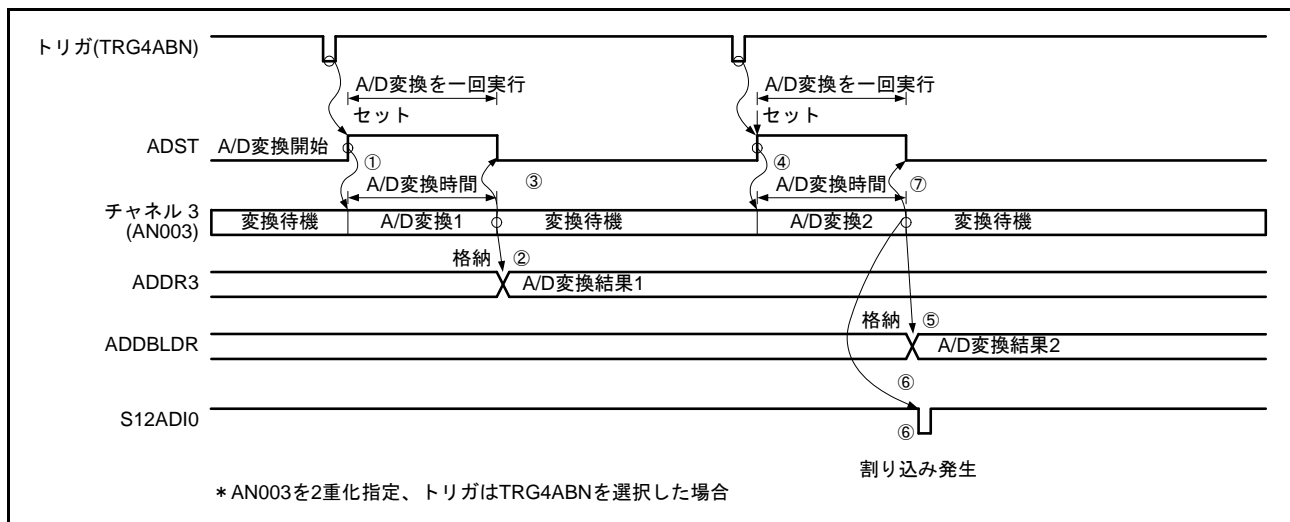


図 36.8 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を 2 重化)

36.3.3 連続スキャンモード

36.3.3.1 基本動作 (チャンネル専用サンプル&ホールドなし)

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を以下のように繰り返しA/D変換します。

連続スキャンモード時は、内部基準電圧A/D変換選択ビット (ADEXICR.OCs) に“0” (非選択) を設定します。

- (1) ソフトウェア、同期トリガ (MTU、TPU、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D変換開始) になると、ADANSAレジスタで選択した AN_n の n が小さい番号順に A/D 変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDR_y) に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
また12ビットA/Dコンバータは、継続してADANSAレジスタで選択した AN_n の n が小さい番号順にA/D変換を開始します。
- (4) ADCSR.ADST ビットは自動的にクリアされず、“1” (A/D変換開始) の間は (2) ~ (3) を繰り返します。ADCSR.ADST ビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (5) その後、ADCSR.ADST ビットを“1” (A/D変換開始) にセットすると再びADANSAレジスタで選択した AN_n の n が小さい番号順にA/D変換を開始します。

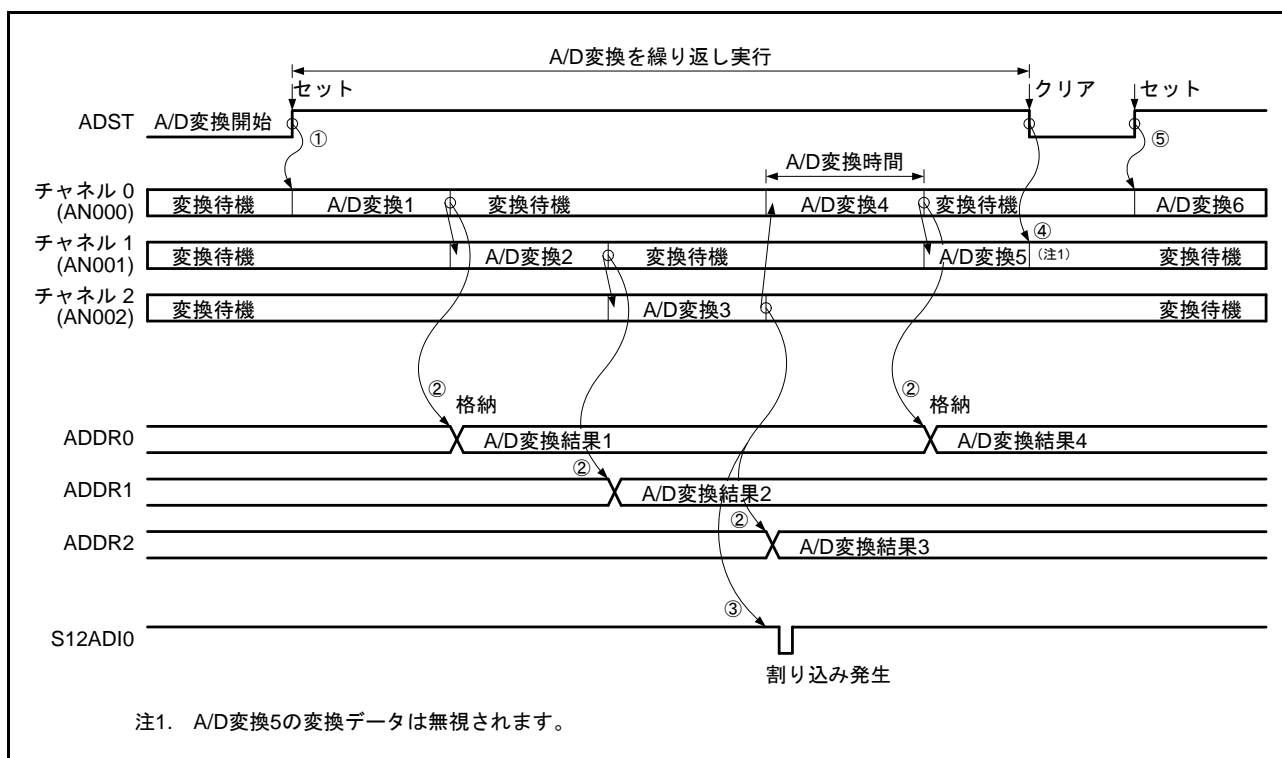


図 36.9 連続スキャンモードの動作例 (基本動作 : AN000 ~ AN002 選択)

36.3.3.2 基本動作 (チャンネル専用サンプル&ホールドあり)

チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に、選択したすべてのチャンネルのアナログ入力を A/D 変換する動作を繰り返します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[2:0] ビットで選択します。

連続スキャンモード時は、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCS) に“0” (非選択) を設定します。

- (1) ソフトウェア、同期トリガ (MTU、TPU、ELC) 入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、ADANSA レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (3) チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
- (4) 選択したすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADIO 割り込み許可) に設定されていると、S12ADIO 割り込み要求が発生します。また、チャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。
- (5) ADCSR.ADST ビットは自動的にクリアされず、“1” にセットされている間は (2) ~ (4) を繰り返します。ADCSR.ADST ビットを“0” (A/D 変換停止) に設定すると A/D 変換を中止し、12ビット A/D コンバータは待機状態になります。
- (6) その後、ADCSR.ADST ビットが“1” (A/D 変換開始) になると、再びチャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。

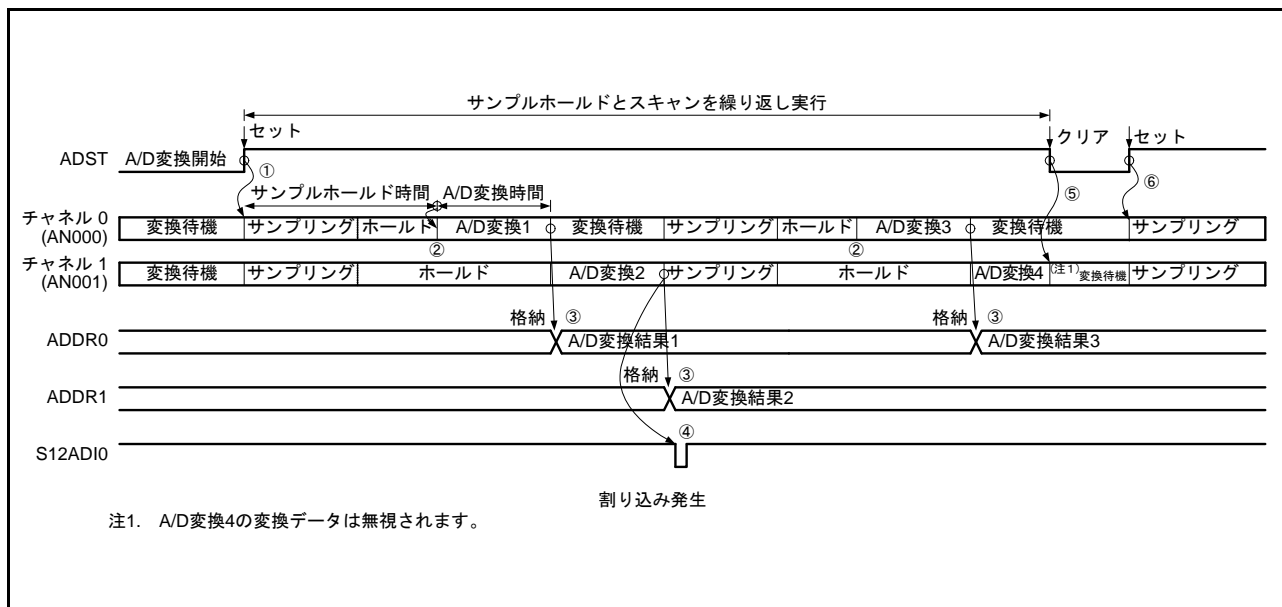


図 36.10 連続スキャンモードの動作例 (チャンネル専用サンプル&ホールド回路あり)

36.3.3.3 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)

チャンネル選択と共に自己診断を選択すると、以下のように 12 ビット A/D コンバータに供給される基準電源電圧 (VREFH0) から生成された自己診断電圧 (VREFH0×0、VREFH0×1/2、VREFH0×1 のいずれか) の A/D 変換を行い、その後選択したチャンネルのアナログ入力を A/D 変換する動作を繰り返します。

連続スキャンモード時は、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCS) に “0” (非選択) を設定します。

- (1) ソフトウェア、同期トリガ (MTU、TPU、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
- (2) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA レジスタで選択したチャンネル ANn の n が小さい順に A/D 変換を開始します。
- (3) チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
- (4) 選択したすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了による S12ADI0 割り込み許可) に設定されていれば、S12ADI0 割り込み要求を発生します。また、12 ビット A/D コンバータは継続して自己診断での A/D 変換を開始し、終了後に ADANSA レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (5) ADST ビットは自動的にクリアされず、“1” にセットされている間は (2) ~ (4) を繰り返します。ADST ビットを “0” (A/D 変換停止) に設定すると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
- (6) その後、ADST ビットが “1” (A/D 変換開始) にセットされると、再び自己診断での A/D 変換から開始します。

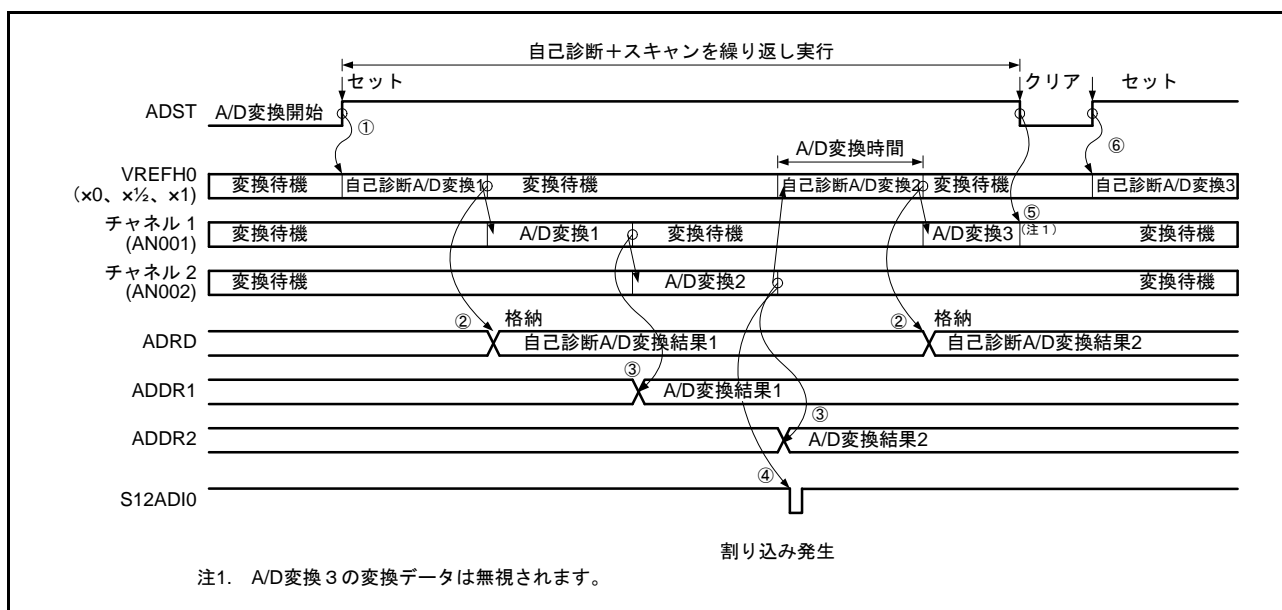


図 36.11 連続スキャンモードの動作 (基本動作+自己診断)

36.3.3.4 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)

チャンネル選択と共に自己診断を選択し、チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に、12ビット A/D コンバータに供給される基準電源電圧 (VREFH0) から生成された自己診断電圧 (VREFH0×0、VREFH0×1/2、VREFH0×1 のいずれか) の A/D 変換を行い、その後選択したチャンネルのアナログ入力を A/D 変換する動作を繰り返し行います。

連続スキャンモード時は、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCS) に“0” (非選択) を設定します。

- (1) ソフトウェア、同期トリガ (MTU、TPU、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、自己診断での A/D 変換を開始します。
- (3) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA レジスタで選択したチャンネル AN_n の n が小さい順に A/D 変換を開始します。
- (4) チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) へ格納されます。
- (5) 選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADIO 割り込み許可) に設定されていると、S12ADIO 割り込み要求を発生します。また、チャンネル専用サンプル&ホールド回路を使用する全てのチャンネルのアナログ入力のサンプリングが開始されます。
- (6) ADST ビットは自動的にクリアされず、“1” にセットされている間は (2) ~ (5) を繰り返します。ADST ビットを“0” (A/D 変換停止) に設定すると A/D 変換を中止し、12ビット A/D コンバータは待機状態になります。
- (7) その後、ADST ビットが“1” (A/D 変換開始) にセットされると、再びチャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。

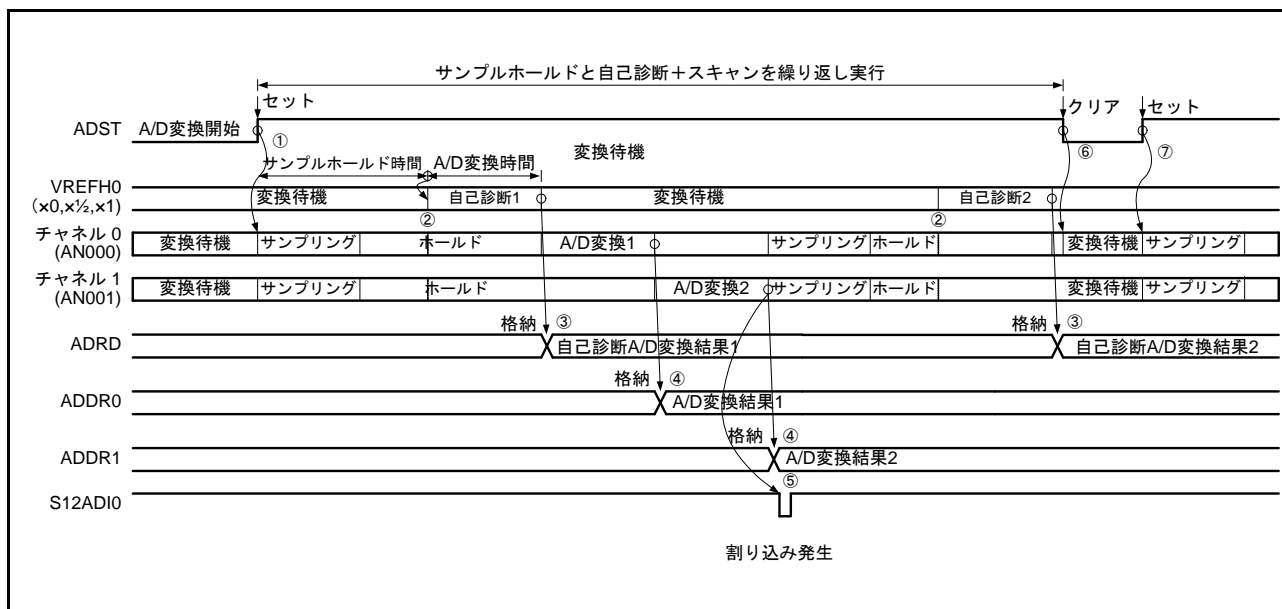


図 36.12 連続スキャンモードの動作 (チャンネル専用サンプル&ホールド回路動作+自己診断)

36.3.4 グループスキャンモード

36.3.4.1 基本動作

グループスキャンモードの基本動作は、MTU、TPU、ELCからのトリガをスキャン開始条件とし、グループAとグループBのそれぞれで選択したすべてのチャンネルのアナログ入力を以下のように1回のみA/D変換します。グループAとグループBのそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[3:0]ビットでグループAのトリガを選択し、ADSTRGR.TRSB[3:0]ビットでグループBのトリガを選択します。グループAとグループBのA/D変換が同時に起こらないように、グループAとグループBのトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

A/D変換対象とするチャンネルは、ADANSAレジスタでグループAのチャンネルを選択し、ADANSBレジスタでグループBのチャンネルを選択します。グループAとグループBで同一のチャンネルを選択することはできません。

グループスキャンモード時は、内部基準電圧A/D変換選択ビット(ADEXICR.OCS)に“0”(非選択)を設定します。

グループスキャンモードで自己診断を選択した場合は、グループAとグループBそれぞれで自己診断を実施します。

以下にMTUからのトリガによるグループスキャンモードの動作例を示します。グループAはMTUからのTRG4ANトリガで変換開始し、グループBはMTUからのTRG4BNトリガで変換開始する設定です。

- (1) MTUからのTRG4ANトリガでグループAのスキャンを開始します。
- (2) グループAのスキャン終了時にADCSR.ADIEビットが“1”(S12ADI0割り込み許可)に設定されていると、S12ADI0割り込みを出力します。
- (3) MTUからのTRG4BNトリガでグループBのスキャンを開始します。
- (4) グループBのスキャン終了時にADCSR.GBADIEビットが“1”(GBADI割り込み許可)に設定されていると、GBADI割り込みを出力します。

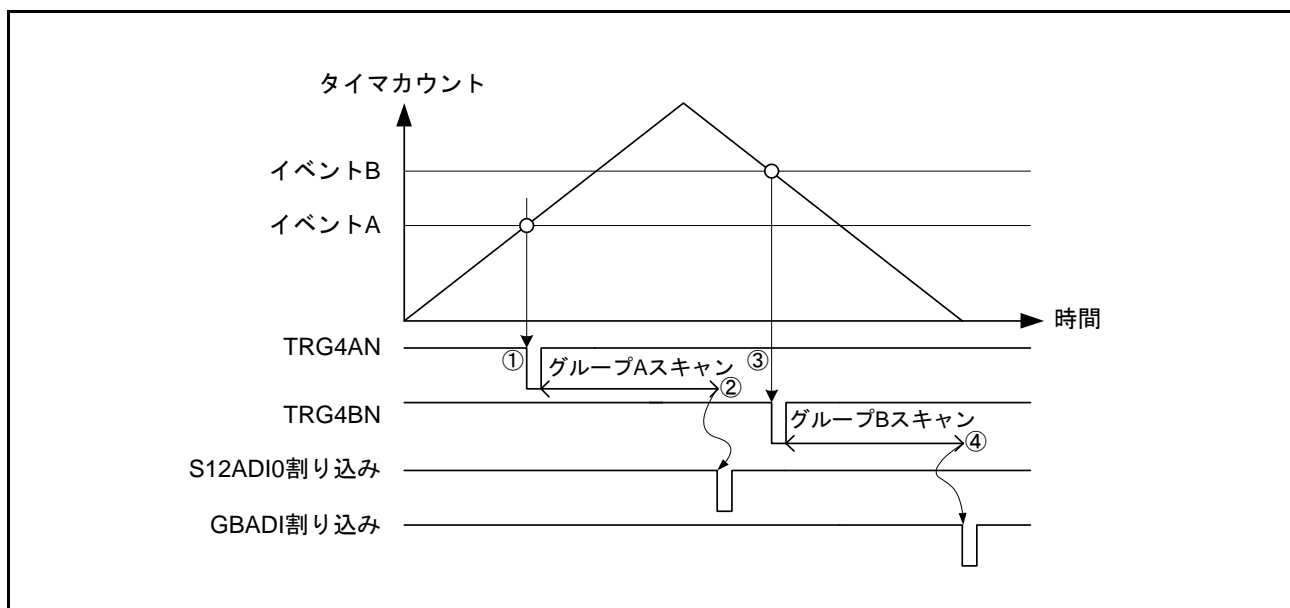


図 36.13 グループスキャンモードの動作 (MTUからのトリガ発生による基本動作)

36.3.4.2 ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は MTU、TPU、ELC からのトリガで開始するシングルスキャンモードを 2 回行います。グループ B は MTU、TPU、ELC からのトリガで開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[3:0] ビットでグループ A のトリガを選択し、ADSTRGR.TRSB[3:0] ビットでグループ B のトリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。また、ソフトウェアトリガ、および非同期トリガ (ADTRG0#) は使用しないでください。

A/D 変換対象とするチャンネルは、ADCSR.DBLANS[4:0] ビットでグループ A のチャンネルを選択し、ADANSB レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモード時は、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCS) に“0” (非選択) を設定してください。

グループスキャンモードでダブルトリガモード選択時は自己診断は選択できません。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。

以下に MTU からのトリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。グループ A は MTU からの TRG4ABN トリガで変換開始し、グループ B は MTU からの TRG0AN トリガで変換開始する設定です。

- (1) MTU からの TRG0AN トリガでグループ B のスキャンを開始します。
- (2) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1” (GBADI 割り込み許可) に設定されていると、GBADI 割り込みを出力します。
- (3) MTU からの 1 回目の TRG4ABN トリガでグループ A の 1 回目のスキャンを開始します。
- (4) グループ A の 1 回目のスキャン終了時は、変換データを ADDRy に格納し、ADCSR.ADIE ビットの設定に関わらず S12ADI0 割り込み要求は発生しません。
- (5) MTU からの 2 回目の TRG4ABN トリガでグループ A の 2 回目のスキャンを開始します。
- (6) グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR に格納し、ADCSR.ADIE ビットが“1” (S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込みを出力します。

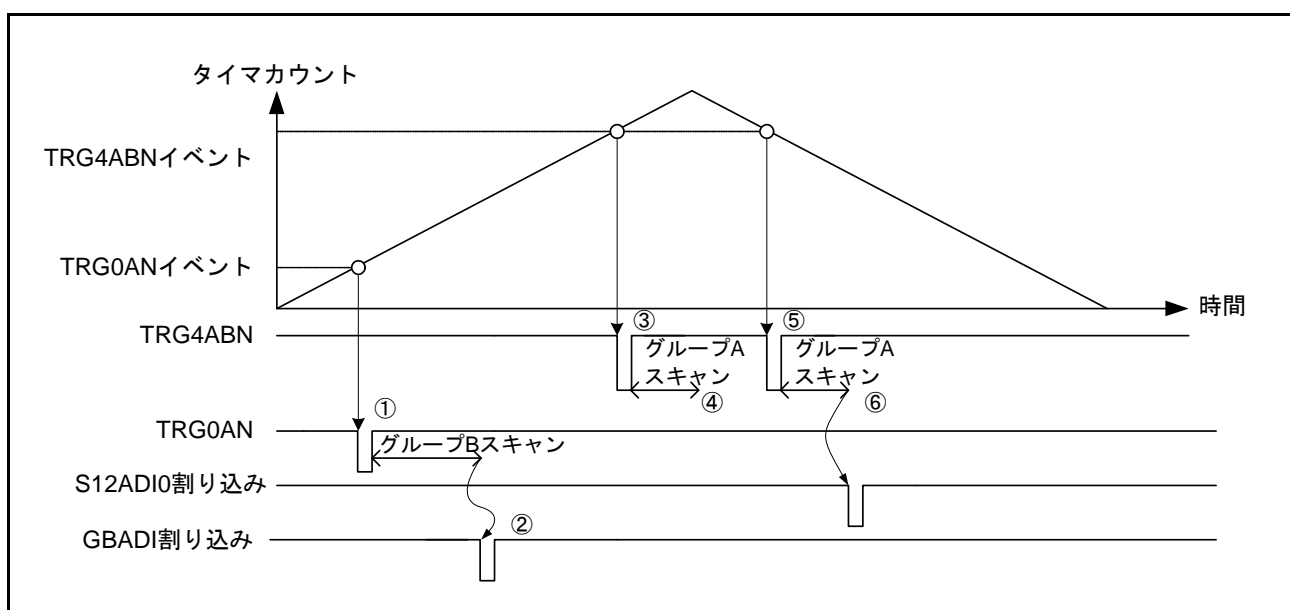


図 36.14 グループスキャンモードでダブルトリガモード選択時の動作 (MTU からのトリガ発生による基本動作)

36.3.5 アナログ入力のサンプリングとスキャン変換時間

スキャン変換は、ソフトウェア起動、MTU、TPU、ELC による起動および ADTRG0# (外部トリガ) による起動が選択できます。スキャン変換開始遅延時間 (t_D) の後に、チャンネル専用サンプル&ホールド回路のサンプリング、断線検出アシスト処理、自己診断変換処理を行い、この後に A/D 変換処理が開始されます。

図 36.15 にシングルスキャンモード、ソフトウェア起動と MTU、TPU、ELC 起動によるスキャン変換を行う場合のタイミングを示します。また、図 36.16 にシングルスキャンモード、ADTRG0# (外部トリガ) 要因によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、チャンネル専用サンプル&ホールド回路サンプリング時間 (t_{SH}) (注1)、断線検出アシスト処理時間 (t_{DIS}) (注2)、自己診断変換時間 (t_{DIAG}) (注3)、A/D 変換処理時間 (t_{CONV})、チャンネル専用サンプル&ホールド回路終了処理時間 (t_{SHED}) (注4)、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。スキャン変換時間を表 36.8 に示します。

選択チャンネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + t_{SH} + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) + t_{ED}$$

連続スキャンの1サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省き t_{SHED} を加えた時間です。

連続スキャンの2サイクル目以降は、 $t_{SH} + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) + t_{SHED}$ 固定となります。

断線検出アシスト処理時間 (t_{DIS}) は、ADNDIS[3:0] 設定値となります。

チャンネル専用サンプル&ホールド回路サンプリング時間 (t_{SH}) は、10 ステート (固定) + ADSHCR.SSTSH[7:0] 設定値となります。

自己診断変換処理時間 (t_{DIAG}) と A/D 変換処理時間 (t_{CONV}) は、以下となります。

自己診断変換処理時間 (t_{DIAG}) : 30 ステート (固定) + ADSSTR0.SST[7:0] 設定値

A/D 変換処理時間 (t_{CONV}) : 30 ステート (固定) + ADSSTRn.SST[7:0] (注5) 設定値

注 1. チャンネル専用サンプル&ホールド回路を使用しない場合は、 $t_{SH} = 0$ となります。

注 2. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$ となります。

注 3. 自己診断を設定しない場合は、 $t_{DIAG} = 0$ となります。

注 4. チャンネル専用サンプル&ホールド回路を使用しない場合は、 $t_{SHED} = 0$ となります。

連続スキャンモード実行時の所要時間です。シングルスキャンとグループスキャンモード実行時は、スキャン終了処理時間 (t_{ED}) に含まれます。

注 5. 表 36.7 の各レジスタを示しています。

表 36.8 スキャン変換時間 (PCLKBとADCLKのサイクル数で示す)

項目	記号	種類/条件	サイクル
スキャン変換開始遅延時間 (注1)	t_D	MTU、TPU、ELC、ソフトウェアトリガ	2 PCLKB + 4 ADCLK
		外部トリガ	4 PCLKB + 4 ADCLK
チャンネル専用サンプル&ホールド回路サンプリング時間	t_{SPL}	ADSHCR.SSTSH[7:0]ビット (初期設定値 14h)	30ADCLK
断線検出アシスト処理時間	t_{DIS}	ADNDIS[3:0]ビット (初期設定値 00h)	0 ADCLK
自己診断変換処理時間 (注1)	t_{DIAG}	ADSSTR0.SST[7:0]ビット (初期設定値 14h)	50 ADCLK
A/D変換処理時間 (注1)	t_{CONV}	ADSSTRn.SST[7:0]ビット (初期設定値 14h)	50 ADCLK
チャンネル専用サンプル&ホールド回路終了処理時間	t_{SHED}	—	2ADCLK
スキャン変換終了遅延時間 (注1)	t_{ED}	—	1 PCLKB + 3 ADCLK
スキャン変換時間 (注2)	t_{SCAN}	—	5 PCLKB + (50n + 87) ADCLK

注1. t_D 、 t_{DIAG} 、 t_{CONV} 、 t_{ED} の各タイミングについては図36.15、図36.16を参照してください。

注2. 非同期トリガ起動、チャンネル専用サンプル&ホールド回路選択、断線検出アシスト非選択、自己診断変換選択、シングルスキャンモード選択した場合です。nはチャンネル数です。

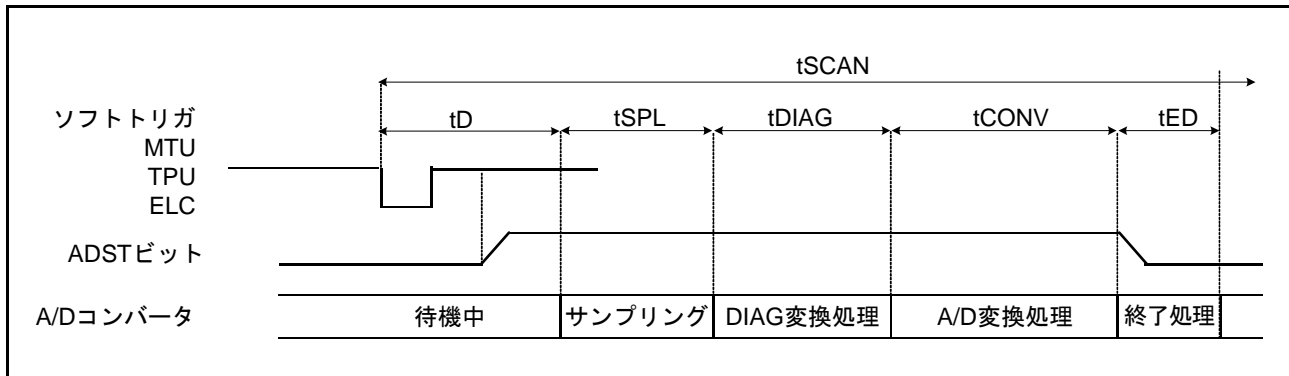


図 36.15 スキャン変換のタイミング (ソフトウェア起動、MTU、TPU、ELC 起動の場合)

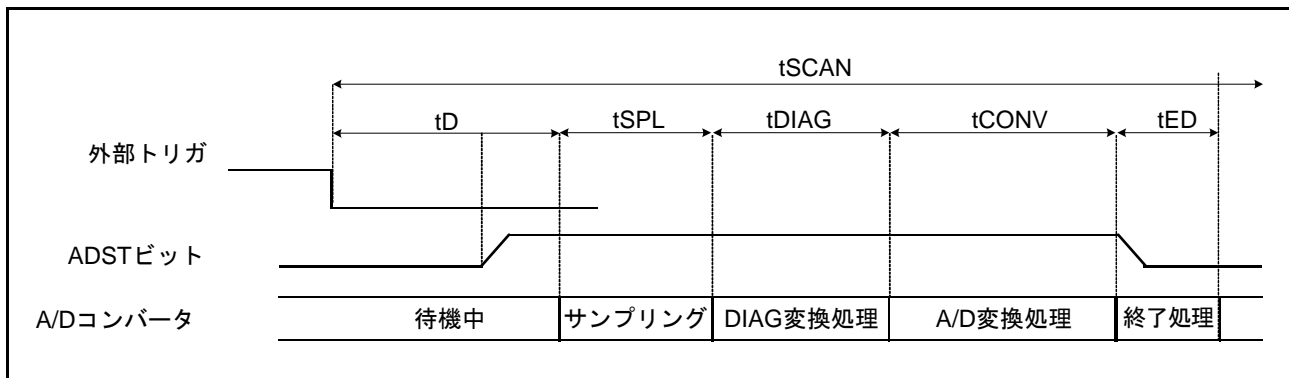


図 36.16 スキャン変換のタイミング (ADTRG0# 要因の場合)

36.3.6 レジスタのオートクリア機能の使用例

ADCER.ACE ビットを“1”にすることにより、CPU、DTC および DMAC によって A/D データレジスタ (ADDR_y、ADRD、ADOC_{DR}、ADDBLDR) を読み出す際、自動的に ADDR_y、ADRD、ADOC_{DR}、ADDBLDR レジスタを 0000h にクリアできます。

この機能を使うことにより、ADDR_y、ADRD、ADOC_{DR}、ADDBLDR レジスタの未更新故障を検出することができます。以下に ADDR_y レジスタの自動クリア機能が無効/有効時の例を示します。

ADCER.ACE ビットが“0” (自動クリア禁止) の場合、A/D 変換結果 (0222h) が何らかの原因で ADDR_y レジスタに書き込みされなかったとき、古いデータ (0111h) が ADDR_y レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDR_y レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタなどに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが“1” (自動クリア許可) の場合には、ADDR_y = 0111h を CPU、DTC および DMAC により読み出す際、ADDR_y レジスタは自動的に 0000h にクリアされます。その後、A/D 変換結果の 0222h が ADDR_y レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDR_y レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDR_y レジスタの値を汎用レジスタなどに読み出した場合、0000h が汎用レジスタなどに保持されます。読み出されたデータ値が 0000h であることをチェックするだけで、ADDR_y レジスタの未更新故障があったことを判断できます。

36.3.7 A/D 変換値加算機能

同じチャンネルを 2～4 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算機能は、チャンネル選択アナログ入力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。

36.3.8 断線検出アシスト機能

A/D 変換開始前に、サンプリング容量の電荷を所定の状態 (VREFH0 または VREFL0) に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 36.17 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。また、図 36.18 に VREFH0 側での断線検出例 (プリチャージを選択) を、図 36.19 に VREFL0 側での断線検出例 (ディスチャージを選択) を示します。

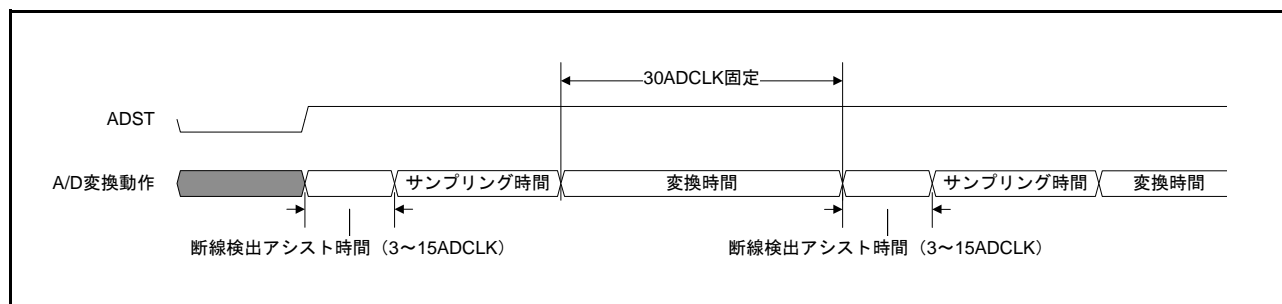


図 36.17 断線検出アシスト機能を使用した場合の A/D 変換動作図

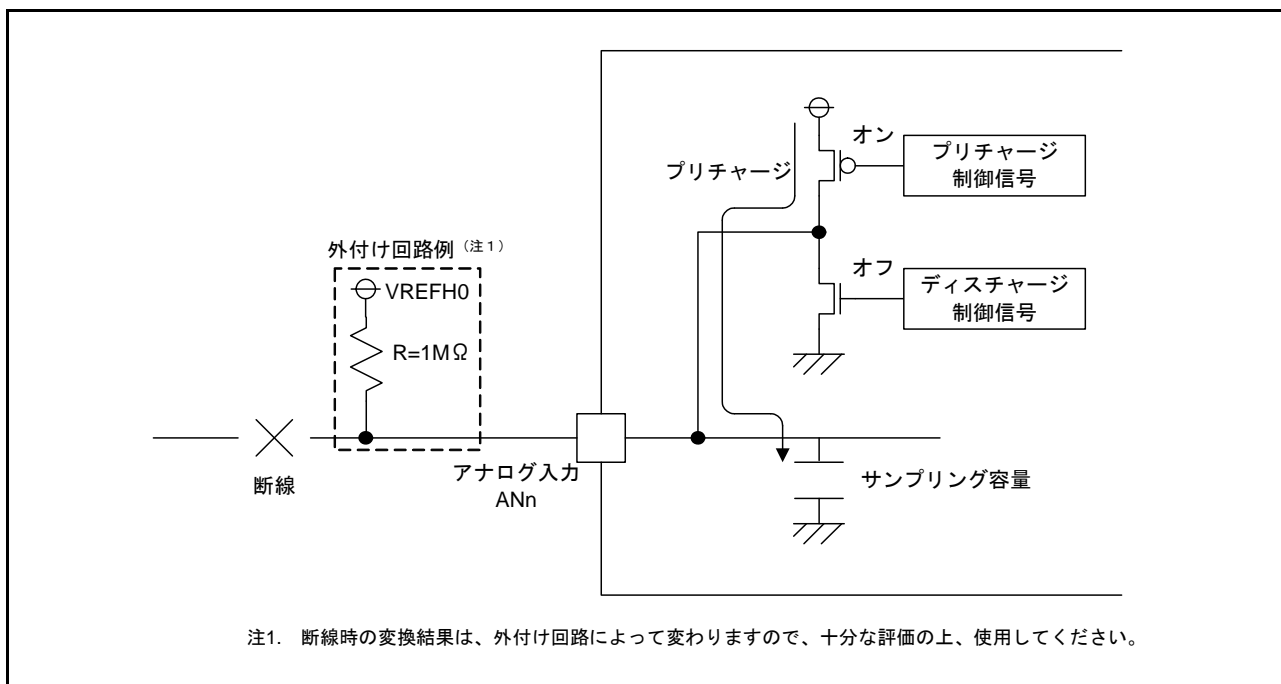


図 36.18 VREFH0 側での断線検出例 (プリチャージを選択)

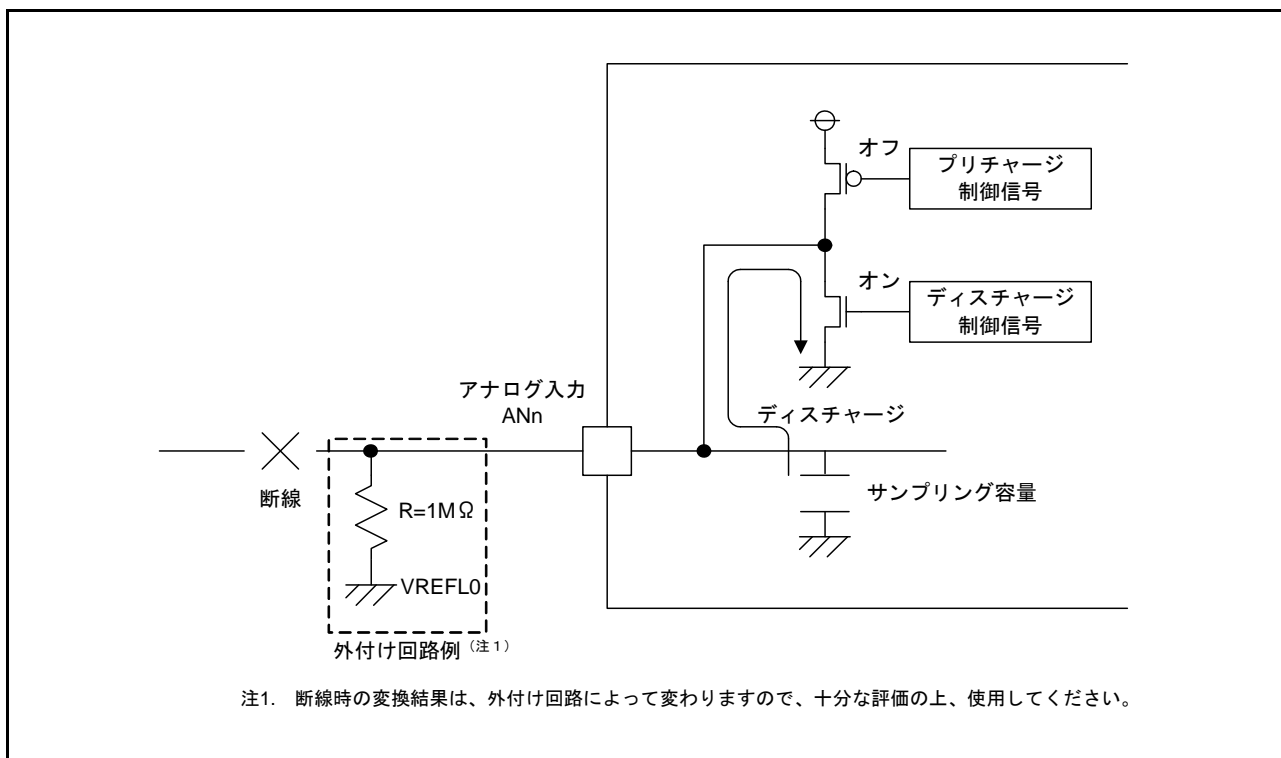


図 36.19 VREFL0 側での断線検出 (ディスチャージを選択)

36.3.9 非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[3:0]) を “0000b” に設定し、非同期トリガ (ADTRG0# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 36.20 に非同期トリガ入力タイミングを示します。

ADST ビットがセットされてから A/D 変換が開始するまでの時間は、「36.6.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。

グループスキャンモードで使用するグループ B 専用 A/D 変換開始トリガ選択ビット (ADSTRGR.TRSB[3:0]) は、非同期トリガを選択できません。

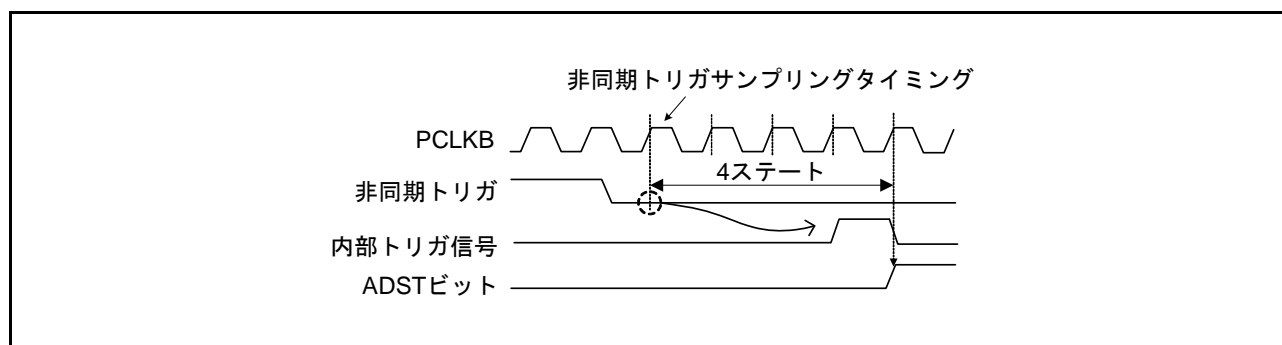


図 36.20 非同期トリガ入力タイミング

36.3.10 周辺モジュールからの同期トリガによる A/D 変換の開始

MTU、TPU、ELC からの同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.TRSA[3:0]、TRSB[3:0] ビットで該当の起動要因にセットします。

36.4 割り込み要因と DMA 転送要求

36.4.1 スキャン終了時の割り込み要求

12ビットA/Dコンバータは、CPUへのスキャン終了割り込み要求であるS12ADI0、GBADI割り込みを発生することができます。

ADCSR.ADIEビットを“1”にするとS12ADI0を許可、“0”にするとS12ADI0を禁止できます。

ADCSR.GBADIEビットを“1”にするとGBADIを許可、“0”にするとGBADIを禁止できます。

また、S12ADI0、GBADI発生時にDTCまたはDMACを起動できます。S12ADI0、GBADI割り込みで変換されたデータの読み出しをDTCまたはDMACで行うと、連続変換がソフトウェアの負担なく実現できます。DTCの設定は「18. データトランスファコントローラ (DTCa)」を、DMACの設定は「17. DMAコントローラ (DMACA)」を参照してください。

36.5 イベントリンク機能

36.5.1 ELC へのイベント出力動作

ELCでは、S12ADI0割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。GBADI割り込み要求信号をイベント信号として使用することはできません。イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。12ビットA/Dコンバータは、A/D変換終了イベントを出力します。

36.5.2 ELC からのイベントによる 12 ビット A/D コンバータの動作

12ビットA/DコンバータはELCのELSRnの設定により、あらかじめ設定したイベントによるA/D変換開始動作が可能です。

36.5.3 ELC からのイベントによる 12 ビット A/D コンバータの注意事項

A/D変換中にイベントが発生した場合は、イベントは無効になります。

36.6 使用上の注意事項

36.6.1 データレジスタの読み出し注意事項

A/D データレジスタ、A/D データ2重化レジスタ、A/D 内部基準電圧データレジスタ、およびA/D 自己診断データレジスタの読み出しは、ワード単位で行ってください。バイト単位で上位バイト/下位バイトの2回に分けて読み出すことにより、1回目に読み出したA/D変換値と2回目に読み出したA/D変換値が変化するのを避けるため、バイト単位の読み出しは行わないでください。

36.6.2 A/D変換停止時の注意事項

A/D変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D変換を停止させるためには、ADCSR.TRGEビットを“0”に設定し、A/D変換開始条件をソフトウェアトリガにした後、ADCSR.ADSTビットを“0”（A/D変換停止）に設定してください。

36.6.3 A/D変換強制停止と開始時の動作タイミング

12ビットA/Dコンバータのアナログ部が停止した状態でADCSR.ADSTビットを“1”に設定し12ビットA/Dコンバータのアナログ部が動作を開始するのにADCLKで最大4クロックの時間を必要とします。ADCSR.ADSTビットを“0”に設定してA/D変換を強制停止させると、12ビットA/Dコンバータのアナログ部が動作を停止するのに、ADCLKで最大2クロックの時間を必要とします。

36.6.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合などで、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

36.6.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、12ビットA/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、12ビットA/Dコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

36.6.6 低消費電力状態への遷移時の注意

全モジュールクロックストップモードやソフトウェアスタンバイモードへ移行する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADSTビットを“0”に設定後、12ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

ADCSR.TRGEビットを“0”（ソフトウェアトリガ）に設定し、ADCSR.ADSTビットを“0”に設定してください。その後、A/D変換が停止していることを確認した後、全モジュールクロックストップモードやソフトウェアスタンバイモードへ遷移させてください。

また、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ遷移するときは、12ビットA/Dコンバータの一部が動作待機状態となっています。12ビットA/Dコンバータを完全にスタンバイ状態にする場合は、MSTPCRA.MSTPA24ビットを“1”にしてください。この場合、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード解除後MSTPCRA.MSTPA24ビットを“0”にし、さらに10ms待ってからA/D変換を開始してください。

36.6.7 許容信号源インピーダンスについて

本LSIのアナログ入力は、高速変換1.0 μ sを実現するために、信号源インピーダンスが1k Ω 以下の入力信号に対し、変換精度が保証される設計となっています。シングルスキャンモードで1端子のみ変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の10k Ω だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば5mV/ μ s以上）には追従できないことがあります（図36.21）。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

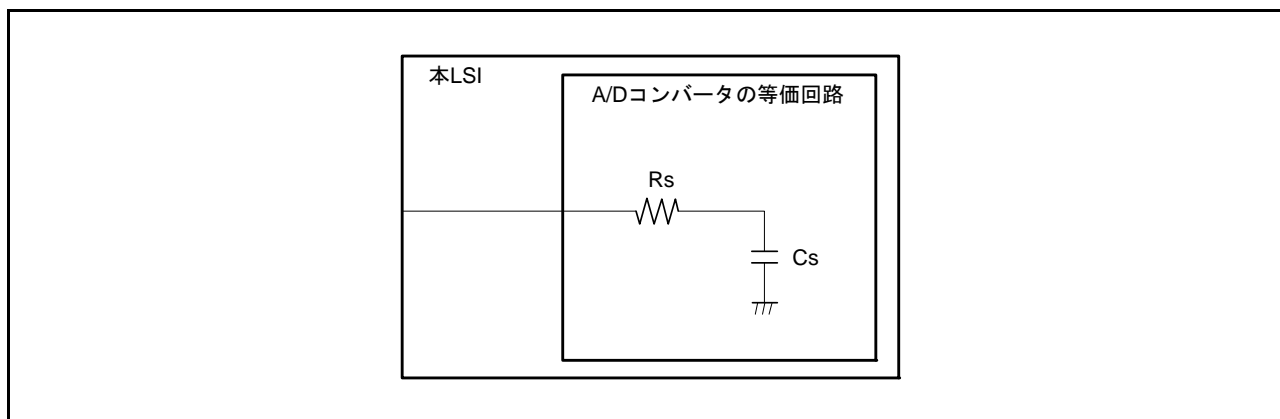


図 36.21 アナログ入力端子の内部等価回路

表 36.9 アナログ端子の規格

項目	min	max	単位
許容信号源インピーダンス (注1)	—	1	k Ω
端子の内部等価回路	Rs	10	k Ω
	Cs	10	pF

注1. 高速変換1.0 μ sを実現するための値です。アナログ電源電圧とアナログ入力端子により異なります。詳細は「41. 電気的特性」を参照してください。

36.6.8 絶対精度への影響

容量を付加することにより、GND とのカップリングを受け、ノイズがある GND だと絶対精度が悪化する可能性がありますので、AVSS0 などの電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

36.6.9 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合は、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

アナログ入力端子 AN_n に印加する電圧は、 $VREFL0 \leq VAN \leq VREFH0$ の範囲としてください。

- 各電源端子 (AVCC0 – AVSS0、VREFH0 – VREFL0、VCC – VSS) の関係

図 36.22 に示すように各々の電源間に最短で閉ループが形成できるように 0.1 μ F のコンデンサを接続し、供給元で $VREFH0 = AVCC0 = VCC$ 、 $VREFL0 = AVSS0 = VSS$ になるように接続してください。12ビット A/D コンバータを使用しない場合も、 $VREFH0 = AVCC0 = VCC$ 、 $VREFL0 = AVSS0 = VSS$ としてください。

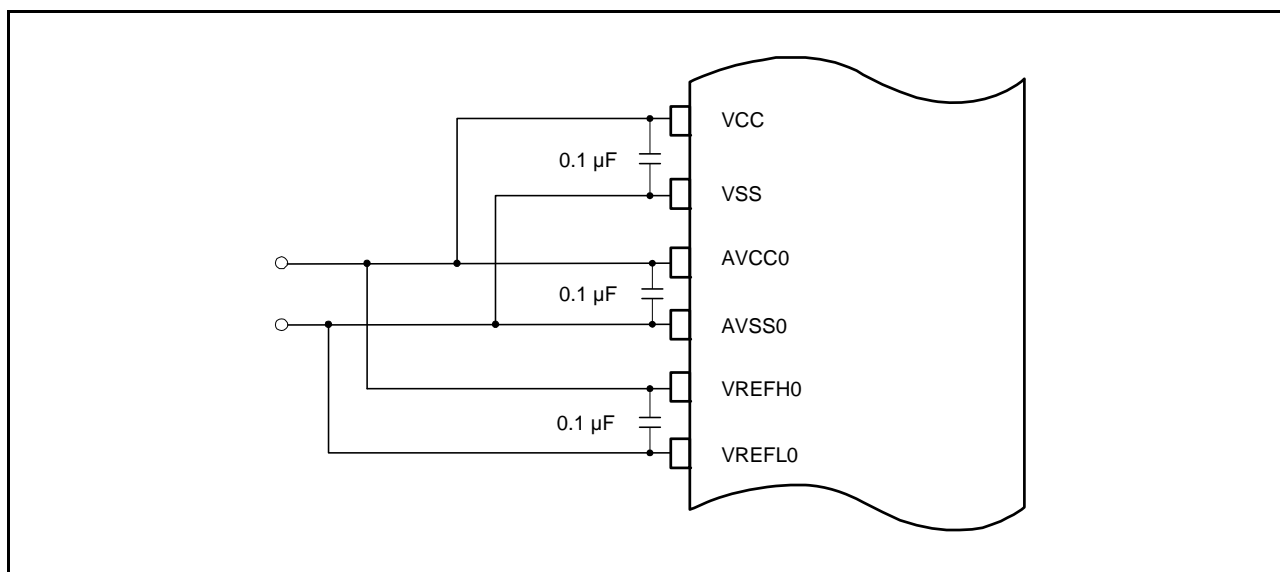


図 36.22 各電源端子の接続例

36.6.10 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D 変換値の精度に悪影響を及ぼします。アナログ入力端子 (AN000 ~ AN015)、基準電源端子 (VREFH0)、基準グランド端子 (VREFL0)、アナログ電源 (AVCC0) は、アナロググランド (AVSS0) で、デジタル回路と分離してください。さらにアナロググランド (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

36.6.11 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN000 ~ AN015) の破壊を防ぐために、図 36.23 に示すように AVCC0 と AVSS0 間、VREFH0 と VREFL0 間に容量を、またアナログ入力端子 (AN000 ~ AN015) を基準に保護回路を接続してください。

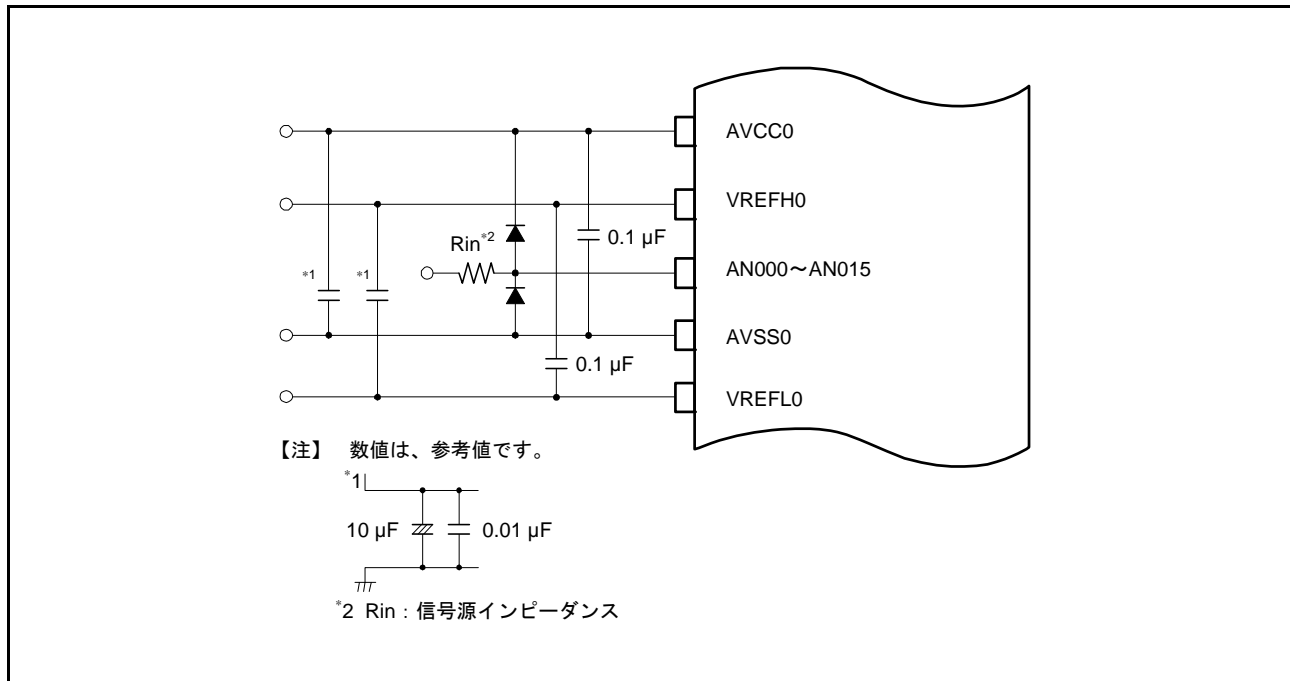


図 36.23 アナログ入力保護回路の例

36.6.12 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、アナログ入力端子にプルアップ/プルダウン抵抗 (R_p) と信号源抵抗 (R_s) の抵抗分圧分の誤差電圧が入力され、A/D コンバータの絶対精度誤差が生じます。絶対精度の誤差は下式で表されます。断線検出アシスト機能は、十分な評価の上、使用してください。

$$\text{最大絶対精度誤差 (LSB)} = 4095 \times R_s / R_p$$

36.6.13 外部バス使用時の注意事項

外部バスをアクセス中に A/D 変換をする場合、精度が悪化する可能性があります。

このような場合は、複数回の変換を実施し、最大値・最小値を除いた A/D 変換値の平均をとるなどのソフト対策を実施してください。

37. D/Aコンバータ (DA)

本章に記載しているPCLKとはPCLKBを指します。

37.1 概要

本MCUは、10ビットのD/Aコンバータを2チャンネル内蔵しています。

表37.1に10ビットD/Aコンバータの仕様を示します。図37.1に10ビットD/Aコンバータのブロック図を示します。

表37.1 10ビットD/Aコンバータの仕様

項目	内容
分解能	10ビット
出力チャンネル	2チャンネル
消費電力低減機能	モジュールストップ状態への設定が可能
イベントリンク機能 (入力)	イベント信号の入力により、DA0変換開始が可能

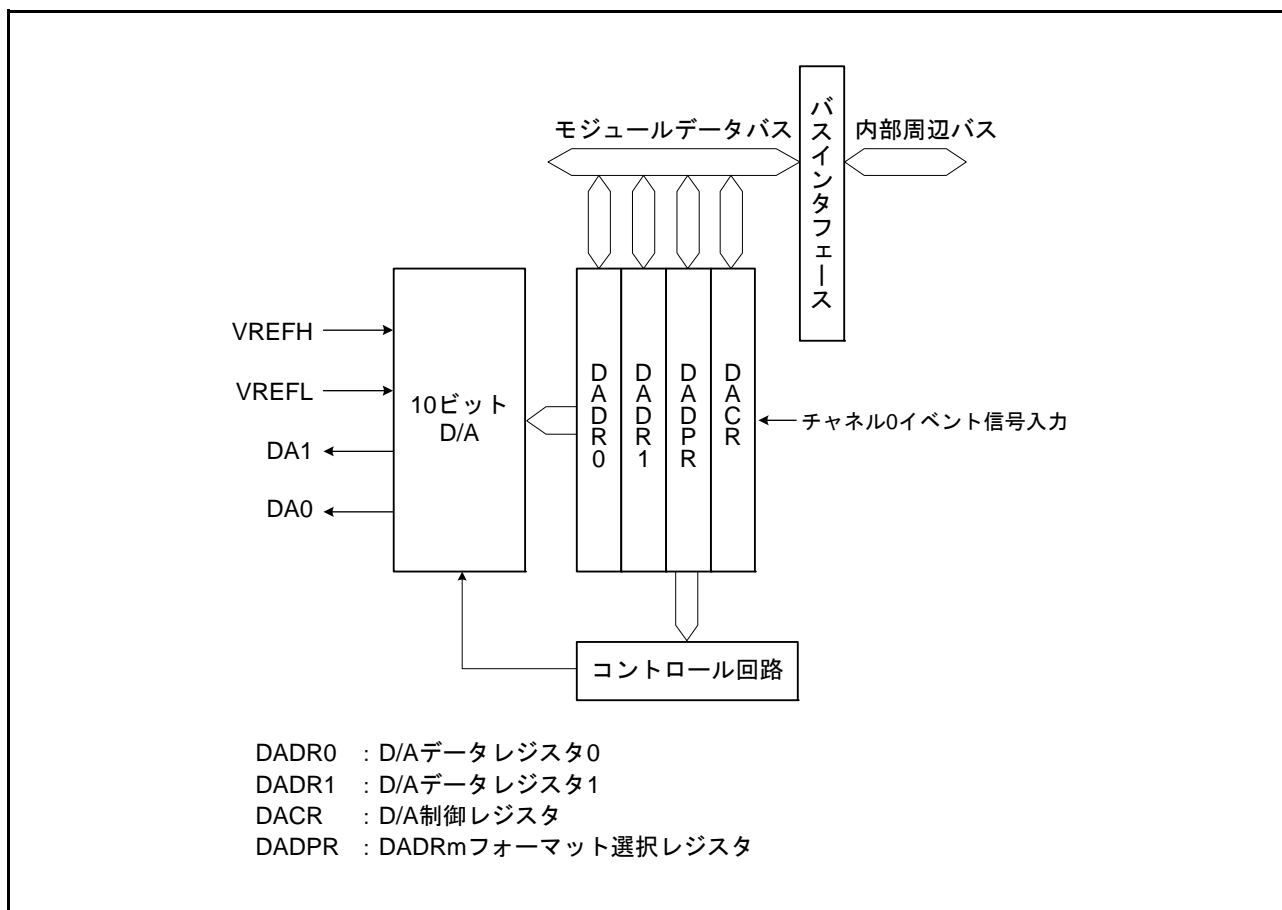


図 37.1 10ビットD/Aコンバータのブロック図

表 37.2 に 10 ビット D/A コンバータで使用する入出力端子を示します。

表 37.2 10 ビット D/A コンバータの入出力端子

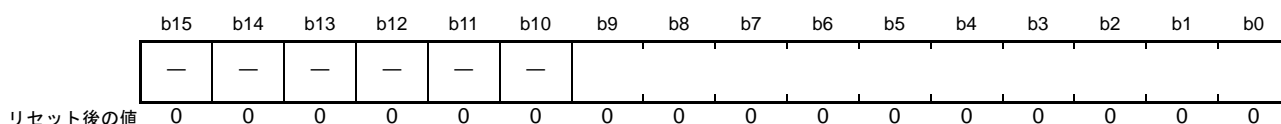
端子名	入出力	機能
VREFH	入力	D/A コンバータの基準電圧入力端子。アナログ電源としても使用します。D/A コンバータを使用しない場合は、VCC に接続してください。
VREFL	入力	D/A コンバータの基準電圧入力端子。アナロググランドとしても使用します。VSS 端子と同電位にしてください。
DA0	出力	チャンネル 0 のアナログ出力
DA1	出力	チャンネル 1 のアナログ出力

37.2 レジスタの説明

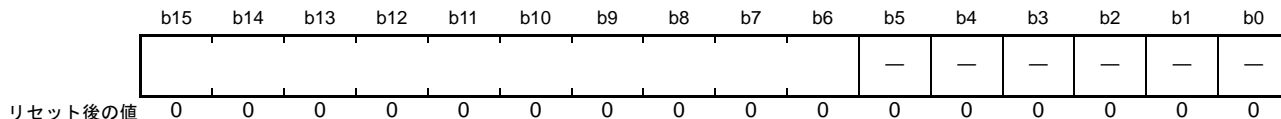
37.2.1 D/A データレジスタ m (DADRm) (m = 0, 1)

アドレス DADR0 0008 80C0h, DADR1 0008 80C2h

- ・ DADPR.DPSEL ビット = 0 (データは右詰め)



- ・ DADPR.DPSEL ビット = 1 (データは左詰め)



DADRm レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し / 書き込み可能なレジスタです。アナログ出力を許可すると、DADRm レジスタの値が変換されアナログ出力端子に出力されます。

DADPR.DPSEL ビットの設定によって 10 ビットのデータの配置を変更できます。“—” のビットは、読むと“0”が読めます。書く場合、“0”としてください。

37.2.2 D/A 制御レジスタ (DACR)

アドレス 0008 80C4h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAOE1	DAOE0	DAE	—	—	—	—	—
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	DAE	D/A 許可ビット (注1)	0 : チャネル0, 1のD/A変換を個別制御 1 : チャネル0, 1のD/A変換を一括許可	R/W
b6	DAOE0	D/A出力許可0ビット	0 : チャネル0のアナログ出力 (DA0) を禁止 1 : チャネル0のD/A変換を許可 チャネル0のアナログ出力 (DA0) を許可	R/W
b7	DAOE1	D/A出力許可1ビット	0 : チャネル1のアナログ出力 (DA1) を禁止 1 : チャネル1のD/A変換を許可 チャネル1のアナログ出力 (DA1) を許可	R/W

注1. DAOEiビット (i = 0, 1) との組み合わせで、D/A変換を制御します。変換結果の出力は、DAOEiビットにより制御されます。表37.3を参照してください。

表 37.3 D/A変換の制御

b5	b7	b6	説明
DAE	DAOE1	DAOE0	
0	0	0	D/A変換とアナログ出力 (DA0, DA1) を禁止 (注1)
		1	チャネル0のD/A変換を許可、チャネル1のD/A変換を禁止 チャネル0のアナログ出力 (DA0) を許可、チャネル1のアナログ出力 (DA1) を禁止 (注1)
	1	0	チャネル0のD/A変換を禁止、チャネル1のD/A変換を許可 チャネル0のアナログ出力 (DA0) を禁止 (注1)、チャネル1のアナログ出力 (DA1) を許可
		1	チャネル0, 1のD/A変換を許可 チャネル0, 1のアナログ出力 (DA0, DA1) を許可
1	0	0	チャネル0, 1のD/A変換を許可 チャネル0, 1のアナログ出力 (DA0, DA1) を禁止 (注1)
		1	チャネル0, 1のD/A変換を許可 チャネル0のアナログ出力 (DA0) を許可、チャネル1のアナログ出力 (DA1) を禁止 (注1)
	1	0	チャネル0, 1のD/A変換を許可 チャネル0のアナログ出力 (DA0) を禁止 (注1)、チャネル1のアナログ出力 (DA1) を許可
		1	チャネル0, 1のD/A変換を許可 チャネル0, 1のアナログ出力 (DA0, DA1) を許可

注1. アナログ出力禁止時、アナログ出力はHi-Zになります。

DAE ビット (D/A 許可ビット)

DAOEiビット (i = 0, 1) との組み合わせで、D/A変換を制御します。

DAEビットが“0”のとき、チャネル0, 1のD/A変換は個別に制御されます。DAEビットが“1”のとき、チャネル0, 1のD/A変換は一括して制御されます。変換結果の出力は、DAOEiビット (i = 0, 1) により制御されます。

DAOE0 ビット (D/A出力許可0ビット)

D/A変換とアナログ出力を制御します。

イベントリンク機能により、DAOE0ビットを“1”にできます。ELCのELSR16レジスタで設定されたイベントが発生すると、DAOE0ビットが“1”になり、D/A変換出力を開始します。

DAOE1 ビット (D/A 出力許可 1 ビット)

D/A 変換とアナログ出力を制御します。

37.2.3 DADRm フォーマット選択レジスタ (DADPR)

アドレス 0008 80C5h

b7	b6	b5	b4	b3	b2	b1	b0
DPSEL	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSEL	DADRm フォーマット選択ビット	0 : D/A データレジスタは右詰め 1 : D/A データレジスタは左詰め	R/W

37.3 動作説明

2チャンネルの10ビットD/Aコンバータは、それぞれ独立して変換を行うことができます。

DACR.DA0Enビット (n=0, 1) を“1”にすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図37.2に示します。

1. DADPR.DPSELビットとDADR0レジスタにD/A変換を行うためのデータを設定します。
2. DACR.DA0E0ビットを“1”にすると、D/A変換を開始します。tDCONV時間経過後、変換結果をアナログ出力端子DA0より出力します。DADR0レジスタを書き換えるか、DA0E0ビットを“0”にするまで、この変換結果が出力され続けます。出力値(参考)は以下の式で計算します。

$$\frac{\text{DADRmレジスタ}}{1024} \times \text{VREFH}$$

3. DADR0レジスタを書き換えると変換を開始します。tDCONV時間経過後、変換結果が出力されます。
4. DA0E0ビットを“0”に設定するとアナログ出力を禁止します。

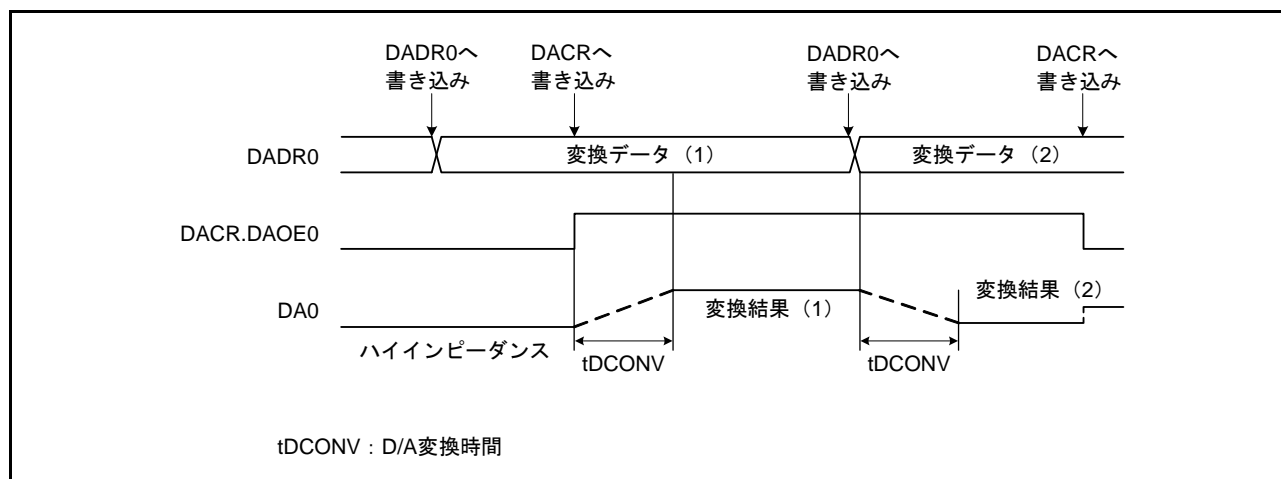


図 37.2 10ビットD/Aコンバータの動作例

37.4 イベントリンクの動作設定手順

以下にイベントリンク動作手順を示します。

1. DADPR.DPSEL ビットの設定と DADR0 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC の ELSR16 レジスタにリンクする ELS16 設定イベント信号のビットの値を設定します。
3. ELCR.ELCON ビットを“1”にします。これによりイベントリンクが設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、起動します。モジュールから出力されるイベントにより、DACR.DAOE0 ビットが“1”になり、チャンネル0のD/A変換が開始されます。
5. 10ビットD/Aコンバータのチャンネル0のイベントリンク動作を停止するときは、ELSR16ELS[7:0] ビットに“0000 0000b”を設定してください。また ELCR.ELCON ビットを“0”にすることにより、全モジュールのイベントリンク動作が停止します。

37.5 イベントリンク動作における注意事項

1. イベントリンク機能を使用する場合、DACR.DAE ビットは“0”に設定してください。
2. DACR.DAOE0 ビットへの書き込みサイクル中に ELSR16 レジスタで設定されたイベントが発生すると、DACR.DAOE0 ビットへの書き込みサイクルは行われず、イベント発生による“1”設定が優先されます。

37.6 使用上の注意事項

37.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、10ビットD/Aコンバータの動作禁止/許可を設定することが可能です。初期値では、10ビットD/Aコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

37.6.2 モジュールストップ時のD/Aの動作

D/A変換を許可した状態でモジュールストップ状態になるとD/A出力は保持され、アナログ電源電流はD/A変換中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAEビットをすべて“0”にしてD/A出力を禁止してください。

37.6.3 ソフトウェアスタンバイモード時のD/Aの動作

D/A変換を許可した状態でソフトウェアスタンバイモードになるとD/A出力は保持され、アナログ電源電流はD/A変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAEビットをすべて“0”にしてD/A出力を禁止してください。

37.6.4 ディープソフトウェアスタンバイモード時の注意事項

D/A変換を許可した状態で本MCUがディープソフトウェアスタンバイモードに移行すると、D/A出力はハイインピーダンスとなります。

38. データ演算回路 (DOC)

38.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算または減算をする機能です。

表 38.1 にデータ演算回路 (DOC) の仕様を示します。データ演算回路のブロック図を図 38.1 に示します。

16 ビットのデータを比較し、選択した条件に該当する場合に割り込みを発生させることができます。

表 38.1 データ演算回路 (DOC) の仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への設定が可能
割り込み	<ul style="list-style-type: none"> データ比較の結果が一致または不一致のとき データ加算の結果が“FFFFh”より大きくなったとき データ減算の結果が“0000h”より小さくなったとき

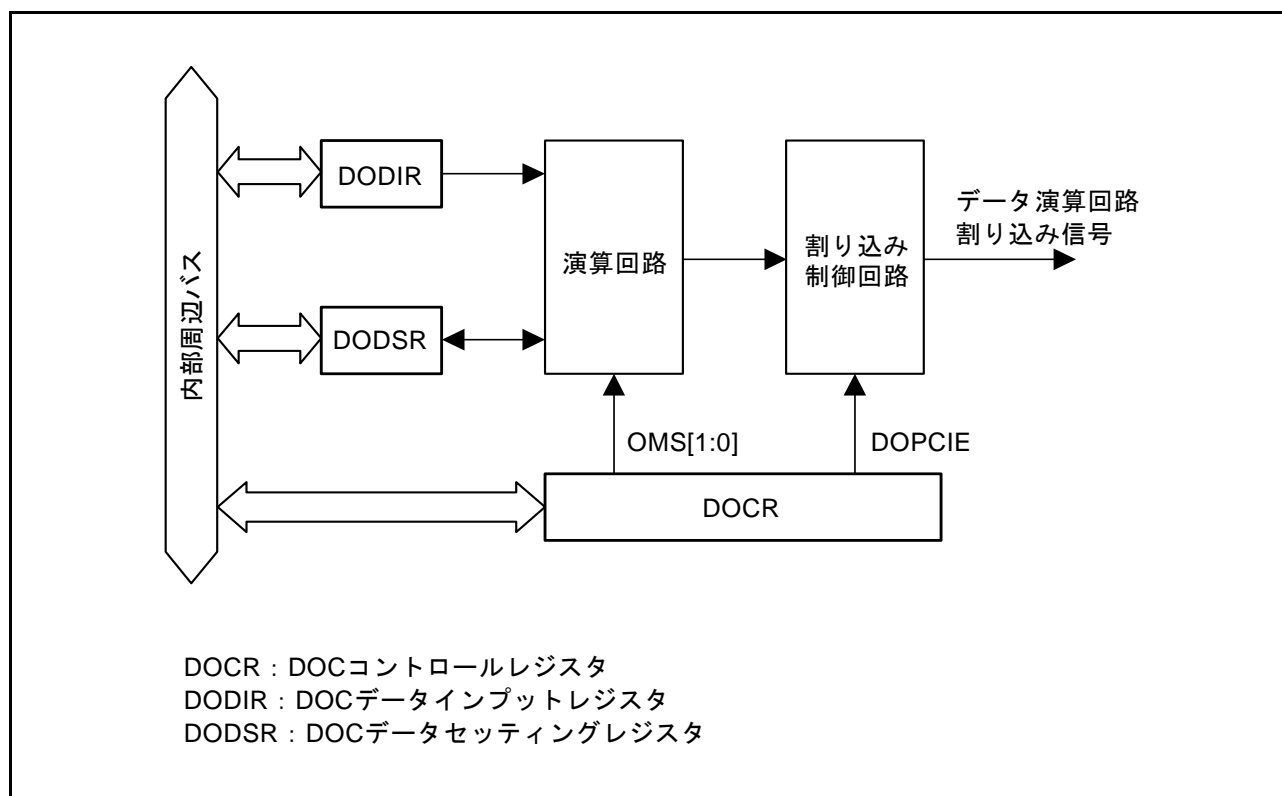


図 38.1 データ演算回路のブロック図

38.2 レジスタの説明

38.2.1 DOC コントロールレジスタ (DOCR)

アドレス 0008 B080h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCF CL	DOPCF	DOPCI E	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択ビット	b1 b0 0 0 : データ比較モード 0 1 : データ加算モード 1 0 : データ減算モード 1 1 : 設定しないでください	R/W
b2	DCSEL (注1)	検出条件選択ビット	データ比較の結果 0 : 不一致を検出する 1 : 一致を検出する	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DOPCIE	データ演算回路割り込み許可ビット	0 : データ演算回路割り込み無効 1 : データ演算回路割り込み有効	R/W
b5	DOPCF	データ演算回路フラグ	演算結果を示します	R
b6	DOPCFCL	DOPCFクリアビット	0 : DOPCFフラグ状態を保持 1 : DOPCFフラグをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	RW

注1. データ比較モード選択時のみ有効

OMS[1:0] ビット (動作モード選択ビット)

本ビットの設定によりデータ演算回路の動作モードを選択します。

DCSEL ビット (検出条件選択ビット)

データ比較モード選択時のみ有効です。

本ビットの設定によりデータ比較モード時の結果の検出条件を選択します。

DOPCIE ビット (データ演算回路割り込み許可ビット)

本ビットが“1”の場合、データ演算回路割り込みを許可します。

DOPCF フラグ (データ演算回路フラグ)

["1"になる条件]

- DCSEL ビットで選択した条件になったとき
- データ加算の結果が“FFFFh”より大きくなったとき
- データ減算の結果が“0000h”より小さくなったとき

["0"になる条件]

- DOPCFCL ビットに“1”を書き込んだとき

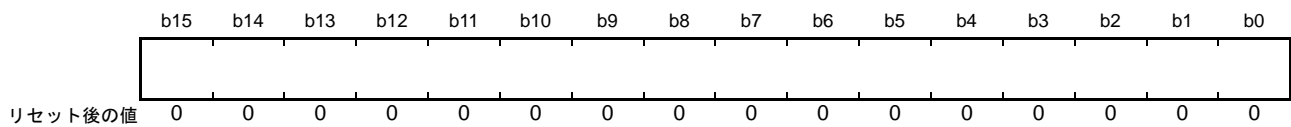
DOPCFCL ビット (DOPCF クリアビット)

本ビットを“1”にすると DOPCF フラグをクリアします。

読むと“0”が読めます。

38.2.2 DOC データインプットレジスタ (DODIR)

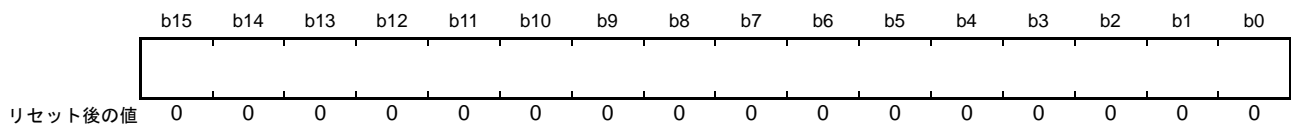
アドレス 0008 B082h



DODIR は、演算対象の 16 ビットのデータを格納する 16 ビットの読み出し／書き込み可能なレジスタです。

38.2.3 DOC データセッティングレジスタ (DODSR)

アドレス 0008 B084h



DODSR は、16 ビットの読み出し／書き込み可能なレジスタです。データ比較モードでは、基準となる 16 ビットのデータを格納します。また、データ加算モードおよびデータ減算モードでは、演算結果を格納します。

38.3 動作説明

38.3.1 データ比較モード

図 38.2 にデータ比較モードの動作例を示します。

データ演算回路は、データ比較モード時、以下のように動作します。

以下は DCSEL=0 (データ比較の結果、不一致を検出) 設定時の動作例です。

- (1) DOCR.OMS[1:0] ビットに “00b” を書き込むと、データ比較モードになります。
- (2) DODSR レジスタに基準となる 16 ビットのデータを設定します。
- (3) DODIR レジスタに比較する 16 ビットのデータを書き込みます。
- (4) すべての比較するデータの書き込みが完了するまで、DODIR レジスタに比較する 16 ビットのデータを
書き込みます。
- (5) DODIR レジスタに書き込まれたデータが DODSR レジスタに設定されているデータと一致しなかった
(注 1) とき DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCIE ビットが “1” の場合は、データ演算回路割り込みが発生します。

注 1. DOCR.DCSEL=0 の場合

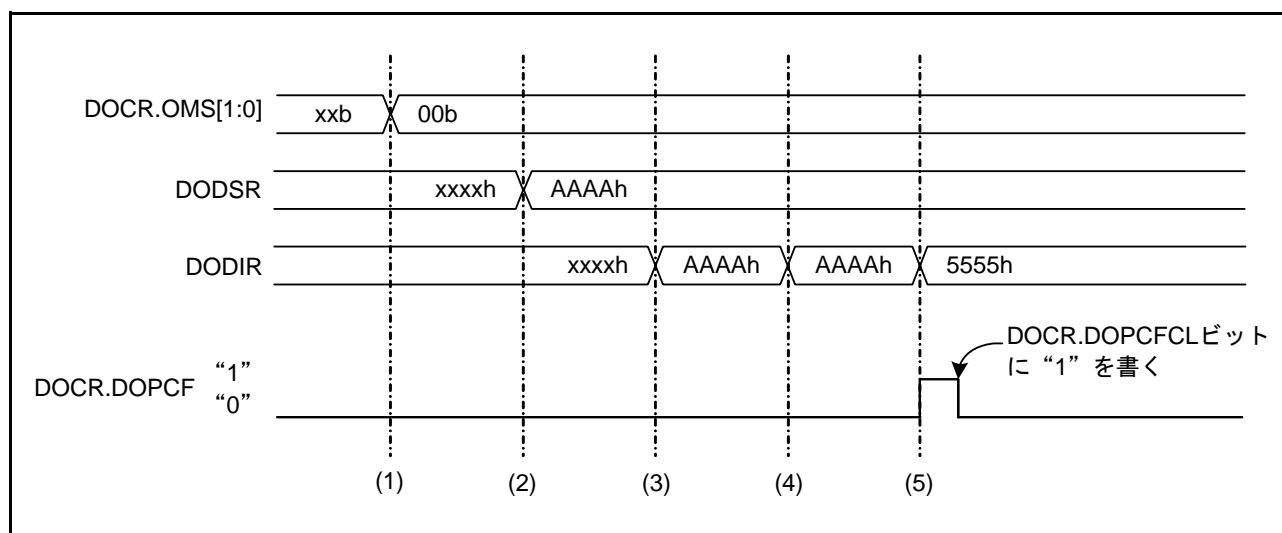


図 38.2 データ比較モードの動作例

38.3.2 データ加算モード

図 38.3 にデータ加算モードの動作例を示します。

データ演算回路は、データ加算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“01b”を書き込むと、データ加算モードになります。
- (2) DODSR レジスタに初期値として 16 ビットのデータを設定します。
- (3) DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべての加算するデータの書き込みが完了するまで、DODIR レジスタに加算する 16 ビットのデータを書き込みます。
- (5) 演算結果が“FFFFh”よりも大きくなったとき DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

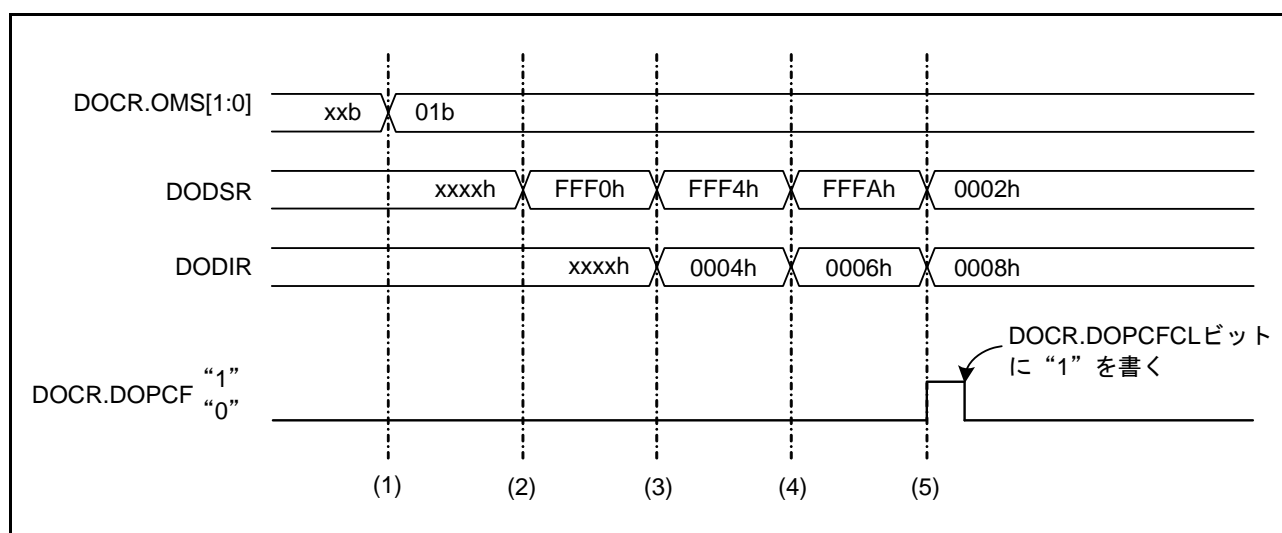


図 38.3 データ加算モードの動作例

38.3.3 データ減算モード

図 38.4 にデータ減算モードの動作例を示します。

データ演算回路は、データ減算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“10b”を書き込むと、データ減算モードになります。
- (2) DODSR レジスタに初期値として 16 ビットのデータを設定します。
- (3) DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべての減算するデータの書き込みが完了するまで、DODIR レジスタに減算する 16 ビットのデータを書き込みます。
- (5) 演算結果が“0000h”よりも小さくなったとき DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

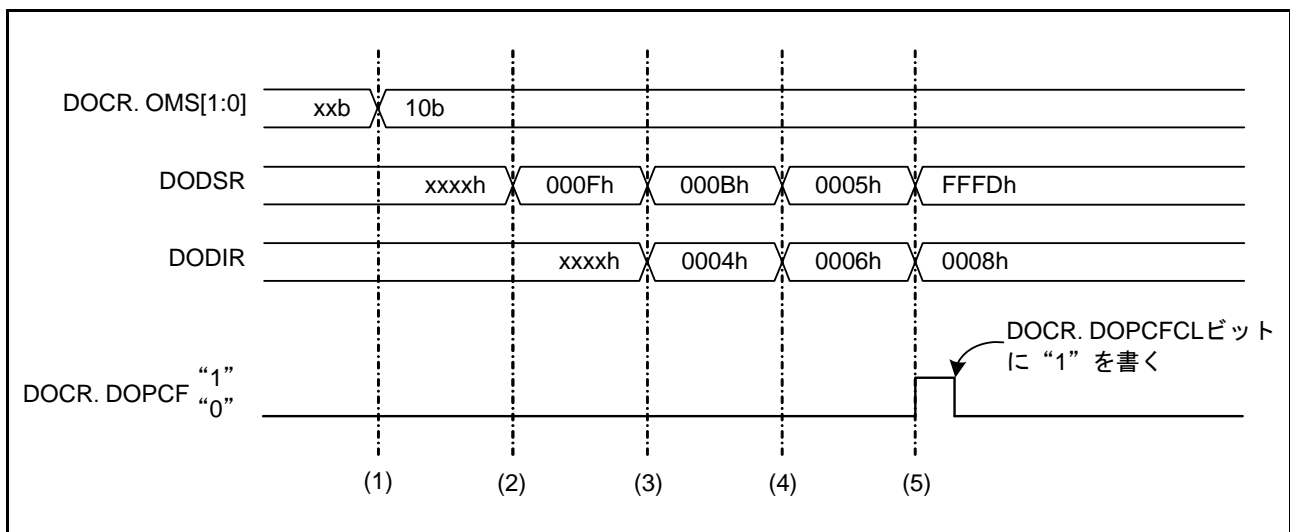


図 38.4 データ減算モードの動作例

38.4 割り込み要求

データ演算回路が生成する割り込み要求には、データ演算回路割り込みがあります。割り込み要因が発生するとデータ演算回路フラグが“1”になります。表 38.2 に割り込み要求の内容を示します。

表 38.2 データ演算回路割り込み要求

割り込み要求	データ演算回路フラグ	割り込み発生タイミング
データ演算回路割り込み	DOPCF	<ul style="list-style-type: none"> • データ比較の結果が一致または不一致のとき • データ加算の結果が“FFFFh”より大きくなったとき • データ減算の結果が“0000h”より小さくなったとき

38.5 使用上の注意事項

38.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、データ演算回路の動作を禁止/許可することが可能です。初期値では、データ演算回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

39. RAM

本 MCU は、高速スタティック RAM を内蔵しています。

39.1 概要

表 39.1 に RAM の仕様を示します。

表 39.1 RAM の仕様

項目	内容
RAM容量	128Kバイト (RAM0 : 64Kバイト、RAM1 : 64Kバイト)
RAMアドレス	RAM0 : 0000 0000h ~ 0000 FFFFh (64Kバイト) RAM1 : 0001 0000h ~ 0001 FFFFh (64Kバイト)
アクセス	<ul style="list-style-type: none"> 読み出し、書き込みともに1サイクルで動作 RAM有効/無効選択可能 (注1)
データ保持機能	ディープソフトウェアスタンバイモード時、RAM0のデータを保持可能
消費電力低減機能	RAM0、RAM1 個別にモジュールストップ状態への設定が可能

注1. SYSCR1.RAME ビットにより選択可能です。SYSCR1レジスタについては、「3.2.4 システムコントロールレジスタ1 (SYSCR1)」を参照してください。

39.2 動作説明

39.2.1 データ保持

RAM のアドレス空間は、RAM0 と RAM1 の領域に分かれており、ディープソフトウェアスタンバイモード時に内部電源を供給できるかどうか異なります。

DPSBYCR.DEEPCUT[1:0] ビットの設定により、ディープソフトウェアスタンバイモード時に RAM0 へ内部電源を供給するかどうかを選択できます。

ディープソフトウェアスタンバイモード時、RAM0 へ内部電源を供給することによって、RAM0 のデータを保持できます。このとき、RAM1 への内部電源の供給は停止しますので、RAM1 のデータを保持できません。

DPSBYCR.DEEPCUT[1:0] の詳細については、「11. 消費電力低減機能」を参照してください。

39.2.2 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM へのクロック供給を停止させることで、消費電力を低減ができます。

MSTPCRC.MSTPC0 ビットを“1”にすると RAM0 に供給されるクロックが停止し、MSTPCRC.MSTPC1 ビットを“1”にすると RAM1 に供給されるクロックが停止します。

クロック供給の停止により、RAM0、RAM1 はそれぞれモジュールストップ状態になります。リセット後は、RAM は動作しています。

モジュールストップ状態になると、RAM へのアクセスができなくなります。RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRC レジスタの詳細については、「11. 消費電力低減機能」を参照してください。

40. フラッシュメモリ

本 MCU は、最大 2M バイトのコード格納用フラッシュメモリ（ROM）と 32K バイトのデータ格納用フラッシュメモリ（E2 データフラッシュ）を内蔵しています。本章において P/E はプログラム / イレーズを示します。

40.1 概要

表 40.1 に ROM / E2 データフラッシュの仕様を、図 40.1 に ROM / E2 データフラッシュ周りのブロック図を示します。

ROM のメモリ領域構成については「40.1.1 ROM の領域構成」を、E2 データフラッシュのメモリ領域構成については「40.1.3 E2 データフラッシュの領域構成」を参照してください。

表 40.1 ROM / E2 データフラッシュの仕様

項目	ROM	E2 データフラッシュ
メモリ空間	<ul style="list-style-type: none"> ユーザ領域：最大 2M バイト ユーザブート領域：16K バイト 	データ領域：32K バイト
リードサイクル	ICLK 1 サイクルの高速読み出し	ワード、バイトアクセス時には FCLK 6 サイクルでの読み出し
P/E 方式	<ul style="list-style-type: none"> ROM / E2 データフラッシュの書き換えを行う専用のシーケンサ（FCU）を内蔵 FCU ヘコマンドを発行することにより、ROM / E2 データフラッシュへ P/E を実行可能 	
イレーズ後の値	FFh	不定値
BGO (バックグラウンドオペレーション) 機能	E2 データフラッシュへの P/E を実行している期間、CPU は ROM 領域のプログラムを実行可能	
サスペンド/レジューム機能	<ul style="list-style-type: none"> ROM への P/E を中断し、CPU は ROM 領域のプログラムを実行可能（サスペンド） E2 データフラッシュへの P/E を中断し、CPU は E2 データフラッシュ領域の読み出しを実行可能（サスペンド） 中断した後、ROM / E2 データフラッシュへの P/E を再開可能（レジューム） 	
P/E 単位	<ul style="list-style-type: none"> ユーザ領域およびユーザブート領域へのプログラム：128 バイト ユーザ領域のイレーズ：ブロック ユーザブート領域のイレーズ：16K バイト 	<ul style="list-style-type: none"> データ領域へのプログラム：2 バイト データ領域のイレーズ：32 バイト（1024/256 ブロック）
オンボードプログラミング（3種類）	ブートモードによる書き換え <ul style="list-style-type: none"> 調歩同期式シリアルインタフェース（SC11）を使用 通信速度は自動調整 ユーザブート領域も書き換え可能 ユーザブートモードによる書き換え <ul style="list-style-type: none"> ユーザ独自のブートプログラムを作成可能 ユーザプログラム中の ROM/E2 データフラッシュ書き換えルーチンによる書き換え <ul style="list-style-type: none"> システムをリセットすることなく ROM/E2 データフラッシュの書き換えが可能 	
オフボードプログラミング	フラッシュライタを使用して、ユーザ領域 / ユーザブート領域の書き換えが可能	フラッシュライタを使用したデータ領域の書き換えはできません
プロテクト機能	ソフトウェアプロテクト機能	レジスタ設定やロックビットにより意図しない書き換えを防ぐことが可能 <ul style="list-style-type: none"> レジスタ設定により意図しない書き換え / 読み出しを防ぐことが可能 レジスタ設定によるプロテクトの単位は 2K バイト
	FCU のコマンドロック機能	P/E 中に異常を検出した場合、以後の P/E 処理を禁止

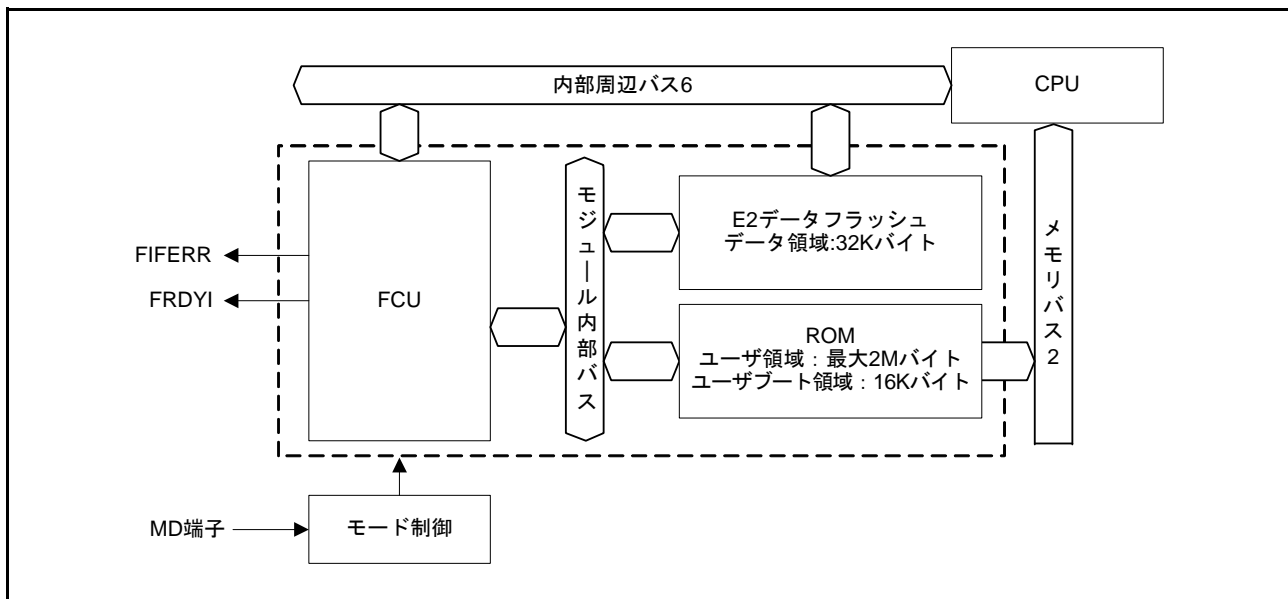


図 40.1 ROM / E2 データフラッシュのブロック図

40.1.1 ROMの領域構成

本MCUのROMは、最大2Mバイトのユーザ領域と16Kバイトのユーザブート領域から構成されています。それぞれの領域のアドレスを図40.2に示します。

ユーザ領域のアドレスは、リード時とP/E時で異なりますので注意してください。

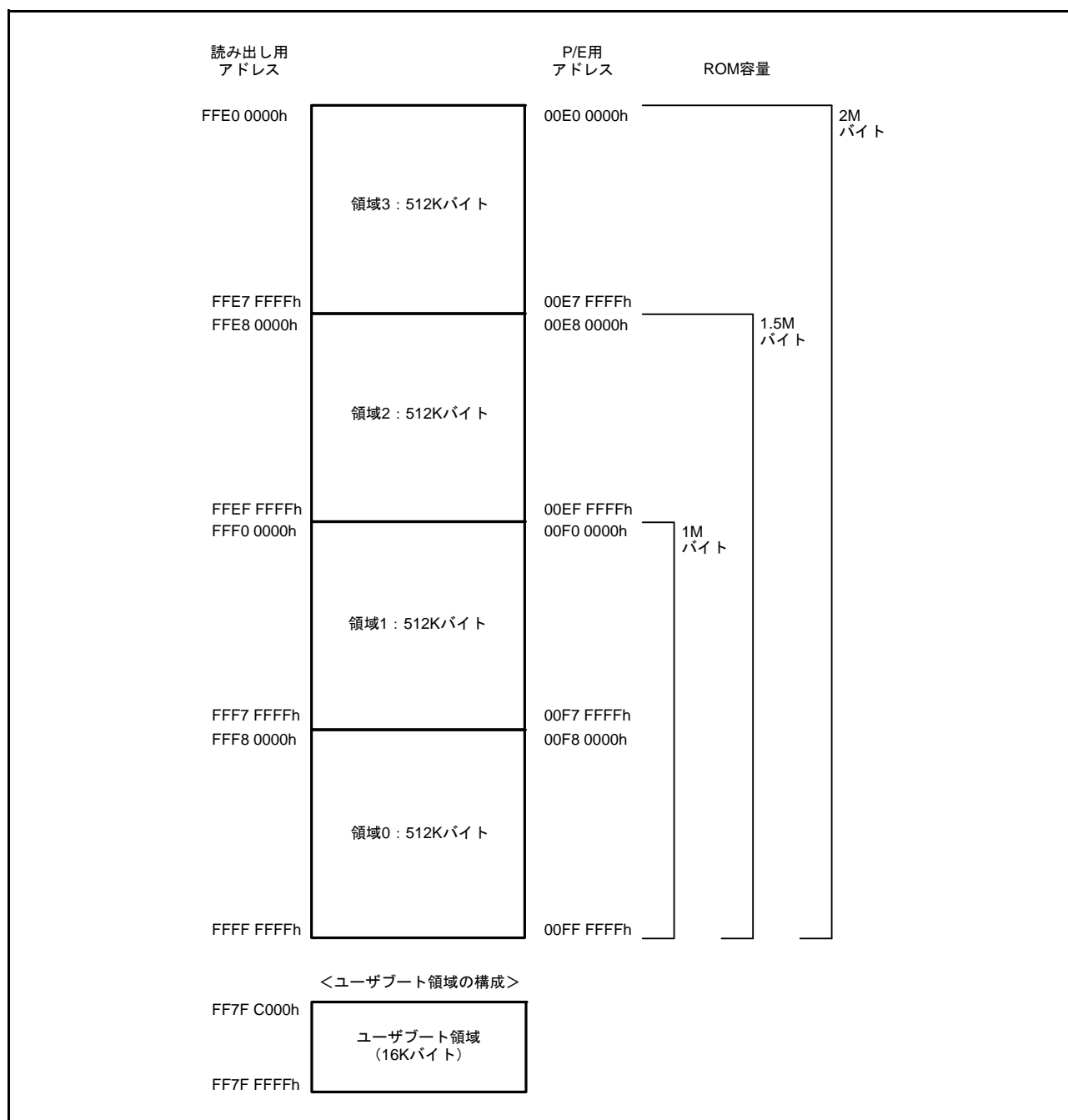


図 40.2 ROMのメモリ領域構成

40.1.2 ROMのブロック構成

ユーザ領域（領域0～領域3）は、異なるサイズのブロックに分割されており、イレーズはこのブロック単位で行います。ユーザ領域のブロックの構成を図40.3に、ブロックとアドレスの関係を表40.2に示します。

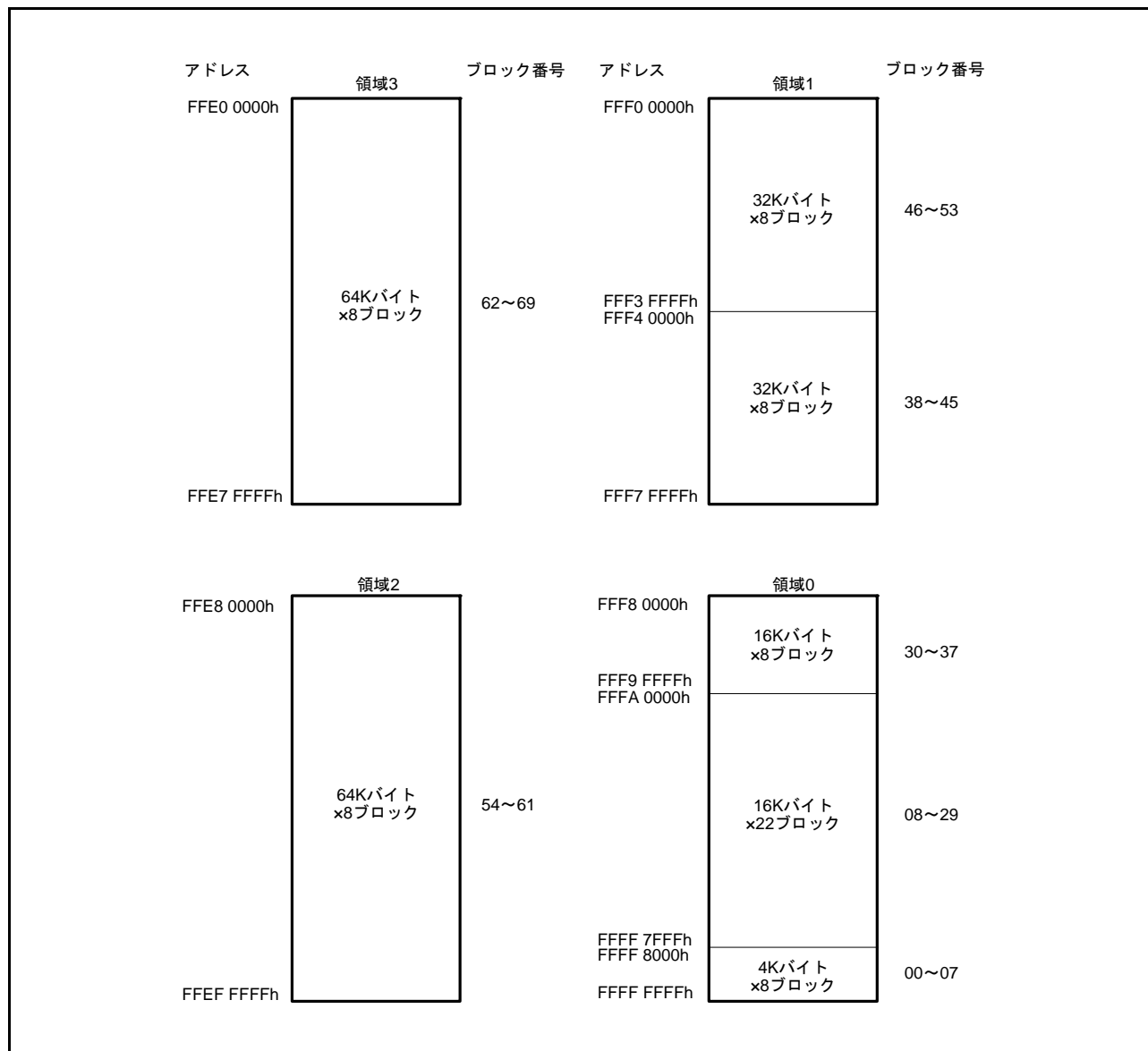


図 40.3 ユーザ領域のブロック構成

表 40.2 ユーザ領域のブロックとアドレスの関係

ブロック番号	開始アドレス	ブロック構成	領域
69	FFE0 0000h	64K x8ブロック	領域3
68	FFE1 0000h		
67	FFE2 0000h		
66	FFE3 0000h		
65	FFE4 0000h		
64	FFE5 0000h		
63	FFE6 0000h		
62	FFE7 0000h		
61	FFE8 0000h	64K x8ブロック	領域2
60	FFE9 0000h		
59	FFEA 0000h		
58	FFEB 0000h		
57	FFEC 0000h		
56	FFED 0000h		
55	FFEE 0000h		
54	FFEF 0000h		
53	FFF0 0000h	32K x8ブロック	領域1
52	FFF0 8000h		
51	FFF1 0000h		
50	FFF1 8000h		
49	FFF2 0000h		
48	FFF2 8000h		
47	FFF3 0000h		
46	FFF3 8000h		
45	FFF4 0000h	32K x8ブロック	領域1
44	FFF4 8000h		
43	FFF5 0000h		
42	FFF5 8000h		
41	FFF6 0000h		
40	FFF6 8000h		
39	FFF7 0000h		
38	FFF7 8000h		

ブロック番号	開始アドレス	ブロック構成	領域
37	FFF8 0000h	16K x8ブロック	領域0
36	FFF8 4000h		
35	FFF8 8000h		
34	FFF8 C000h		
33	FFF9 0000h		
32	FFF9 4000h		
31	FFF9 8000h		
30	FFF9 C000h		
29	FFFA 0000h	16K x22ブロック	領域0
28	FFFA 4000h		
27	FFFA 8000h		
26	FFFA C000h		
25	FFFB 0000h		
24	FFFB 4000h		
23	FFFB 8000h		
22	FFFB C000h		
21	FFFC 0000h		
20	FFFC 4000h		
19	FFFC 8000h		
18	FFFC C000h		
17	FFFD 0000h		
16	FFFD 4000h		
15	FFFD 8000h		
14	FFFD C000h		
13	FFFE 0000h	4K x8ブロック	領域0
12	FFFE 4000h		
11	FFFE 8000h		
10	FFFE C000h		
9	FFFF 0000h		
8	FFFF 4000h		
7	FFFF 8000h		
6	FFFF 9000h		
5	FFFF A000h		
4	FFFF B000h		
3	FFFF C000h		
2	FFFF D000h		
1	FFFF E000h		
0	FFFF F000h		

40.1.3 E2 データフラッシュの領域構成

本 MCU の E2 データフラッシュは、0010 0000h 番地から 0010 7FFFh 番地までの 32K バイトのデータ領域で構成されています。

ユーザ領域とは異なり、データ領域のアドレスはリード時と P/E で同一です。

40.1.4 E2 データフラッシュのブロック構成

データ領域は 1024 ブロックに分割されていて、イレーズはこのブロック単位で行います。データ領域のブロックとアドレスの関係と対応する読み出しおよび P/E 許可ビットの一覧を表 40.3 に示します。

ブロック N のアドレスは $(N \times 32) + \text{データ領域の先頭番地} ("0010\ 0000h")$ で算出できます。

表40.3 データ領域のブロック構成

ブロック番号	開始アドレス	読み出しおよびP/E許可ビット	ブロック番号	開始アドレス	読み出しおよびP/E許可ビット
0000	0010 0000h	DFLRE0.DBRE00 DFLWE0.DBWE00	0512	0010 4000h	DFLRE1.DBRE08 DFLWE1.DBWE08
⋮	⋮		⋮	⋮	
0063	0010 07E0h		0575	0010 47E0h	
0064	0010 0800h	DFLRE0.DBRE01 DFLWE0.DBWE01	0576	0010 4800h	DFLRE1.DBRE09 DFLWE1.DBWE09
⋮	⋮		⋮	⋮	
0127	0010 0FE0h		0639	0010 4FE0h	
0128	0010 1000h	DFLRE0.DBRE02 DFLWE0.DBWE02	0640	0010 5000h	DFLRE1.DBRE10 DFLWE1.DBWE10
⋮	⋮		⋮	⋮	
0191	0010 17E0h		0703	0010 57E0h	
0192	0010 1800h	DFLRE0.DBRE03 DFLWE0.DBWE03	0704	0010 5800h	DFLRE1.DBRE11 DFLWE1.DBWE11
⋮	⋮		⋮	⋮	
0255	0010 1FE0h		0767	0010 5FE0h	
0256	0010 2000h	DFLRE0.DBRE04 DFLWE0.DBWE04	0768	0010 6000h	DFLRE1.DBRE12 DFLWE1.DBWE12
⋮	⋮		⋮	⋮	
0319	0010 27E0h		0831	0010 67E0h	
0320	0010 2800h	DFLRE0.DBRE05 DFLWE0.DBWE05	0832	0010 6800h	DFLRE1.DBRE13 DFLWE1.DBWE13
⋮	⋮		⋮	⋮	
0383	0010 2FE0h		0895	0010 6FE0h	
0384	0010 3000h	DFLRE0.DBRE06 DFLWE0.DBWE06	0896	0010 7000h	DFLRE1.DBRE14 DFLWE1.DBWE14
⋮	⋮		⋮	⋮	
0447	0010 37E0h		0959	0010 77E0h	
0448	0010 3800h	DFLRE0.DBRE07 DFLWE0.DBWE07	0960	0010 7800h	DFLRE1.DBRE15 DFLWE1.DBWE15
⋮	⋮		⋮	⋮	
0511	0010 3FE0h		1023	0010 7FE0h	

40.2 レジスタの説明

ROM と E2 データフラッシュで共用するレジスタと、それぞれ専用のレジスタがあります。

40.2.1 フラッシュ P/E プロテクトレジスタ (FWEPROR)

アドレス 0008 C296h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FLWE[1:0]	
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FLWE[1:0]	フラッシュ P/E ビット	b1 b0 0 0 : P/E、ロックビットのP/E、ロックビットの読み出し、 ブランクチェックの禁止 0 1 : P/E、ロックビットのP/E、ロックビットの読み出し、 ブランクチェックの許可 1 0 : P/E、ロックビットのP/E、ロックビットの読み出し、 ブランクチェックの禁止 1 1 : P/E、ロックビットのP/E、ロックビットの読み出し、 ブランクチェックの禁止	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ROM / E2 データフラッシュに対する P/E、ロックビットの P/E、ロックビットの読み出し、ブランクチェックをソフトウェアによって禁止します。

FWEPROR レジスタは、RES# 端子からのリセット、ソフトウェアスタンバイモード移行時、ディープソフトウェアスタンバイモード移行時、電源電圧低下時にリセット後の値となります。

40.2.2 フラッシュモードレジスタ (FMODR)

アドレス 007F C402h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	FRDMD	—	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FRDMD	FCUリード方式選択ビット	0x71 コマンドを発行したときのFCUの処理内容を選択するビットです。詳細は「FRDMD ビット (FCUリード方式選択ビット)」を参照してください。	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FMODR レジスタはFCUに対して0x71 コマンドを発行したときのFCUの処理内容を選択するレジスタです。0x71 コマンドの発行先アドレス (ROM あるいは E2 データフラッシュ) により、FCU の処理内容が異なります。

このレジスタはROM/E2 データフラッシュ共用です。内蔵ROM無効時に、このレジスタを読むと“00h”が読み、書き込みはできません。

FRDMD ビット (FCU リード方式選択ビット)

FRDMD ビットの状態と0x71 コマンドを発行したときのFCUの処理内容の関係を表40.4に示します。

表40.4 FRDMD ビットと0x71 コマンドの対応

0x71 コマンド発行先	FRDMD ビットの状態	機能	FCUの処理内容
ROM	0	メモリ領域リード方式でロックビットリード (ロックビットリード1)	ROMロックビットリードモードへ移行
	1	レジスタリード方式でロックビットリード (ロックビットリード2)	継続して0xD0 コマンドを発行することにより、ロックビットリード2コマンドを実行
E2データフラッシュ	0	E2データフラッシュロックビットリードモードへ移行	E2データフラッシュにはロックビットが存在しません。そのため、E2データフラッシュロックビットリードモードへ移行してE2データフラッシュ領域を読んだ場合、不定値が読めます。
	1	ブランクチェックコマンド	継続して0xD0 コマンドを発行することにより、ブランクチェックコマンドを実行

40.2.3 フラッシュアクセスステータスレジスタ (FASTAT)

アドレス 007F C410h

b7	b6	b5	b4	b3	b2	b1	b0
ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPE	E2データフラッシュ P/E プロテクト違反フラグ	0 : P/E プロテクト違反なし 1 : P/E プロテクト違反あり	R/(W) (注1)
b1	DFLRPE	E2データフラッシュリードプロテクト違反フラグ	0 : リードプロテクト違反なし 1 : リードプロテクト違反あり	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFLAE	E2データフラッシュアクセス違反フラグ	0 : E2データフラッシュアクセス違反なし 1 : E2データフラッシュアクセス違反あり	R/(W) (注1)
b4	CMDLK	FCUコマンドロックフラグ	0 : FCUはコマンドを受け付ける 1 : FCUはコマンドを受け付けない	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAE	ROMアクセス違反フラグ	0 : ROMアクセス違反なし 1 : ROMアクセス違反あり	R/(W) (注1)

注1. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。

このレジスタはROM/E2データフラッシュ共用です。内蔵ROM無効時に、このレジスタを読むと“00h”が読め、書き込みはできません。

FASTAT.DFLWPE, DFLRPE, DFLAE, ROMAE ビットのいずれかのビットが“1”になると、FSTAT0.ILGLERR ビットが“1”になり、FCUはコマンドロック状態になります。

DFLWPE ビット (E2 データフラッシュ P/E プロテクト違反フラグ)

DFLWE_y レジスタ (y = 0, 1) で設定した P/E プロテクトに対する違反の有無を示すビットです。DFLWPE ビットが“1”になると、FSTAT0.ILGLERR ビットは“1”になり、CMDLK ビットは“1” (コマンドロック状態) になります。

["1" になる条件]

- DFLWE_y レジスタ (y = 0, 1) で P/E 禁止に設定した E2 データフラッシュ領域に対して、P/E 系コマンドを発行したとき

["0" になる条件]

- “1”を読んだ後、“0”を書いたとき

DFLRPE ビット (E2 データフラッシュリードプロテクト 違反フラグ)

DFLRE_y レジスタ (y = 0, 1) で設定した読み出しプロテクトに対する違反の有無を示すビットです。

DFLRPE ビットが“1”になると、FSTATR0.ILGLERR ビットは“1”になり、CMDLK ビットは“1” (コマンドロック状態) になります。

[“1”になる条件]

- DFLRE_y レジスタ (y = 0, 1) で読み出し禁止に設定した E2 データフラッシュ領域を読み出したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

DFLAE ビット (E2 データフラッシュアクセス違反フラグ)

E2 データフラッシュに対するアクセス違反の有無を示すビットです。

DFLAE ビットが“1”になると、FSTATR0.ILGLERR ビットは“1”になり、CMDLK ビットは“1” (コマンドロック状態) になります。

[“1”になる条件]

- FENTRYR.FENTRYD ビットが“1”、かつ E2 データフラッシュ P/E ノーマルモードで、E2 データフラッシュ領域を読み出したとき
- FENTRYD ビットが“0”の状態、E2 データフラッシュ領域に対して FCU コマンドを発行したとき
- FENTRYR.FENTRY_n (n = 0 ~ 3) ビットのいずれかが“1”の状態、E2 データフラッシュ領域に対して FCU コマンドを発行、あるいは読み出しを行ったとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

CMDLK ビット (FCU コマンドロックフラグ)

FCU がコマンドを受け付けるかどうかを示すビットです。

FASTAT レジスタのいずれかのビットが“1”になると、CMDLK ビットが“1”になり、FCU はコマンドを受け付けません (「40.6.2 コマンドロック状態」を参照)。コマンドを受け付けられるようにするには、FASTAT レジスタを“10h”に設定した後、FCU にステータスレジスタクリアコマンドを発行する必要があります。

[“1”になる条件]

- FCU がエラーを検出して CMDLK ビットが“1” (コマンドロック状態) になったとき

[“0”になる条件]

- FASTAT レジスタが“10h”の状態、ステータスレジスタクリアコマンドを発行した後

ROMAE ビット (ROM アクセス違反フラグ)

ROM に対するアクセス違反の有無を示すビットです。

ROMAE ビットが“1”になると、FSTATR0.ILGLERR ビットは“1”になり、CMDLK ビットは“1” (コマンドロック状態) になります。

[“1”になる条件]

- ROM P/E ノーマルモードの状態、以下の ROM P/E 用アドレスを読み出したとき (注1)

ROM容量	ROM P/E 用アドレス			
	FENTRY0 ビットが“1”	FENTRY1 ビットが“1”	FENTRY2 ビットが“1”	FENTRY3 ビットが“1”
1Mバイト	00F8 0000h~00FF FFFFh	00F0 0000h~00F7 FFFFh	—	—
1.5Mバイト	00F8 0000h~00FF FFFFh	00F0 0000h~00F7 FFFFh	00E8 0000h~00EF FFFFh	—
2Mバイト	00F8 0000h~00FF FFFFh	00F0 0000h~00F7 FFFFh	00E8 0000h~00EF FFFFh	00E0 0000h~00E7 FFFFh

- 以下の ROM P/E 用アドレスに対して FCU コマンドを発行、あるいは読み出しを行ったとき (注1)

ROM容量	ROM P/E 用アドレス			
	FENTRY0 ビットが“0”	FENTRY1 ビットが“0”	FENTRY2 ビットが“0”	FENTRY3 ビットが“0”
1Mバイト	00F8 0000h~00FF FFFFh	00F0 0000h~00F7 FFFFh	—	—
1.5Mバイト	00F8 0000h~00FF FFFFh	00F0 0000h~00F7 FFFFh	00E8 0000h~00EF FFFFh	—
2Mバイト	00F8 0000h~00FF FFFFh	00F0 0000h~00F7 FFFFh	00E8 0000h~00EF FFFFh	00E0 0000h~00E7 FFFFh

注1. FENTRY2 ビットはユーザ領域の容量が1M バイトを超える場合、FENTRY3 ビットはユーザ領域の容量が1.5M バイトを超える場合に存在します。

- FENTRYR レジスタを設定して ROM P/E モードに移行した状態で、以下の ROM 読み出し用アドレスに対して読み出しを行ったとき

ROM容量	ROM 読み出し用アドレス
1Mバイト	FFF0 0000h~FFFF FFFFh
1.5Mバイト	FFE8 0000h~FFFF FFFFh
2Mバイト	FFE0 0000h~FFFF FFFFh

[“0”になる条件]

“1”を読んだ後、“0”を書いたとき

40.2.4 フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)

アドレス 007F C411h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE
リセット後の値	1	0	0	1	1	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPEIE	E2データフラッシュ P/E プロテクト違反割り込み許可ビット	P/E プロテクト違反発生時のFIFERR割り込み要求 0: 発生しない 1: 発生する	R/W
b1	DFLRPEIE	E2データフラッシュリードプロテクト違反割り込み許可ビット	リードプロテクト違反発生時のFIFERR割り込み要求 0: 発生しない 1: 発生する	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFLAEIE	E2データフラッシュアクセス違反割り込み許可ビット	E2データフラッシュアクセス違反発生時のFIFERR割り込み要求 0: 発生しない 1: 発生する	R/W
b4	CMDLKIE	FCUコマンドロック割り込み許可ビット	FASTAT.CMDLKビットが“1”（コマンドロック状態）になったときのFIFERR割り込み要求 0: 発生しない 1: 発生する	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAEIE	ROMアクセス違反割り込み許可ビット	ROMアクセス違反発生時のFIFERR割り込み要求 0: 発生しない 1: 発生する	R/W

このレジスタはROM/E2データフラッシュ共用です。内蔵ROM無効時に、このレジスタを読むと“00h”が読め、書き込みはできません。

DFLWPEIE ビット (E2データフラッシュ P/E プロテクト違反割り込み許可ビット)

E2データフラッシュ P/E プロテクト違反が発生し、FASTAT.DFLWPE ビットが“1”になった場合のFIFERR割り込み要求の発生を許可/禁止するためのビットです。

DFLRPEIE ビット (E2データフラッシュリードプロテクト違反割り込み許可ビット)

E2データフラッシュリードプロテクト違反が発生し、FASTAT.DFLRPE ビットが“1”になった場合のFIFERR割り込み要求の発生を許可/禁止するためのビットです。

DFLAEIE ビット (E2データフラッシュアクセス違反割り込み許可ビット)

E2データフラッシュアクセス違反が発生し、FASTAT.DFLAE ビットが“1”になった場合のFIFERR割り込み要求の発生を許可/禁止するためのビットです。

CMDLKIE ビット (FCUコマンドロック割り込み許可ビット)

FASTAT.CMDLK ビットが“1”（コマンドロック状態）になった場合のFIFERR割り込み要求の発生を許可/禁止するためのビットです。

ROMAEIE ビット (ROMアクセス違反割り込み許可ビット)

ROMアクセス違反が発生し、FASTAT.ROMAE ビットが“1”になった場合のFIFERR割り込み要求の発生を許可/禁止するためのビットです。

40.2.5 フラッシュレディ割り込み許可レジスタ (FRDYIE)

アドレス 007F C412h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	FRDYIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRDYIE	フラッシュレディ割り込み許可ビット	0 : FRDYI割り込み要求の発生を禁止 1 : FRDYI割り込み要求の発生を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

このレジスタはROM/E2データフラッシュ共用です。内蔵ROM無効時に、このレジスタを読むと“00h”が読め、書き込みはできません。

FRDYIE ビット (フラッシュレディ割り込み許可ビット)

P/E処理が終了した場合のフラッシュレディ割り込み要求の発生を許可/禁止するためのビットです。

FRDYIEビットが“1”の設定で、FCUコマンドの実行が完了した場合 (FSTATR0.FRDYビットが“0”から“1”になったとき)、フラッシュレディ割り込み要求 (FRDYI) が発生します。

40.2.6 E2データフラッシュ読み出し許可レジスタ 0 (DFLRE0)

アドレス 007F C440h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
KEY[7:0]								DBRE0	DBRE0	DBRE0	DBRE0	DBRE0	DBRE0	DBRE0	DBRE0
リセット後の値								7	6	5	4	3	2	1	0
0								0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBRE00	0000-0063ブロック読み出し許可ビット	0 : 読み出し禁止 1 : 読み出し許可	R/W
b1	DBRE01	0064-0127ブロック読み出し許可ビット		R/W
b2	DBRE02	0128-0191ブロック読み出し許可ビット		R/W
b3	DBRE03	0192-0255ブロック読み出し許可ビット		R/W
b4	DBRE04	0256-0319ブロック読み出し許可ビット		R/W
b5	DBRE05	0320-0383ブロック読み出し許可ビット		R/W
b6	DBRE06	0384-0447ブロック読み出し許可ビット		R/W
b7	DBRE07	0448-0511ブロック読み出し許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DFLRE0レジスタの書き換えの可否を制御します。 DFLRE0レジスタを書き換える場合、上位8ビットに“2Dh”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

DFLRE0レジスタは、データ領域の0000～0511ブロック (表 40.3 を参照) の読み出しを許可/禁止するためのレジスタです。読み出しの許可/禁止は、2Kバイト (64ブロック) 単位で行います。

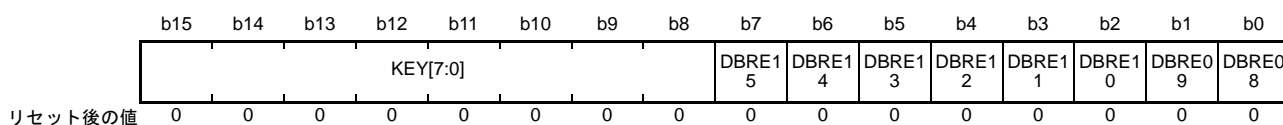
このレジスタはE2データフラッシュ専用です。内蔵ROM無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。

DBREj ビット (ブロック読み出し許可ビット) (j = 00 ~ 07)

データ領域の0000 ~ 0511ブロックに対する読み出しの許可/禁止を設定するビットです。

40.2.7 E2 データフラッシュ読み出し許可レジスタ 1 (DFLRE1)

アドレス 007F C442h



ビット	シンボル	ビット名	機能	R/W
b0	DBRE08	0512-0575ブロック読み出し許可ビット	0: 読み出し禁止 1: 読み出し許可	R/W
b1	DBRE09	0576-0639ブロック読み出し許可ビット		R/W
b2	DBRE10	0640-0703ブロック読み出し許可ビット		R/W
b3	DBRE11	0704-0767ブロック読み出し許可ビット		R/W
b4	DBRE12	0768-0831ブロック読み出し許可ビット		R/W
b5	DBRE13	0832-0895ブロック読み出し許可ビット		R/W
b6	DBRE14	0896-0959ブロック読み出し許可ビット		R/W
b7	DBRE15	0960-1023ブロック読み出し許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DFLRE1レジスタの書き換えの可否を制御します。 DFLRE1レジスタを書き換える場合、上位8ビットに“D2h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

DFLRE1レジスタは、データ領域の0512 ~ 1023ブロック (表 40.3 を参照) の読み出しを許可/禁止するためのレジスタです。読み出しの許可/禁止は、2K バイト (64 ブロック) 単位で行います。

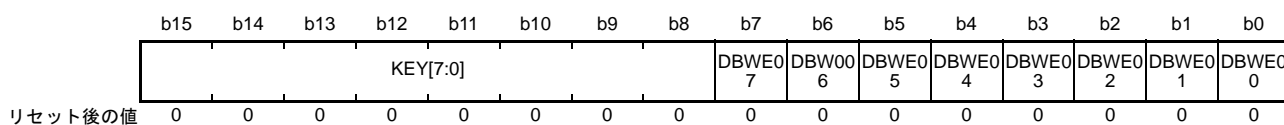
このレジスタはE2データフラッシュ専用です。内蔵ROM無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。

DBREj ビット (ブロック読み出し許可ビット) (j = 08 ~ 15)

データ領域の0512 ~ 1023ブロックに対する読み出しの許可/禁止を設定するビットです。

40.2.8 E2 データフラッシュ P/E 許可レジスタ 0 (DFLWE0)

アドレス 007F C450h



ビット	シンボル	ビット名	機能	R/W
b0	DBWE00	0000-0063 ブロック P/E 許可ビット	0 : P/E 禁止 1 : P/E 許可	R/W
b1	DBWE01	0064-0127 ブロック P/E 許可ビット		R/W
b2	DBWE02	0128-0191 ブロック P/E 許可ビット		R/W
b3	DBWE03	0192-0255 ブロック P/E 許可ビット		R/W
b4	DBWE04	0256-0319 ブロック P/E 許可ビット		R/W
b5	DBWE05	0320-0383 ブロック P/E 許可ビット		R/W
b6	DBW006	0384-0447 ブロック P/E 許可ビット		R/W
b7	DBWE07	0448-0511 ブロック P/E 許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DFLWE0 レジスタの書き換えの可否を制御します。DFLWE0 レジスタを書き換える場合、上位8ビットに“1Eh”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

DFLWE0 レジスタは、データ領域の 0000 ~ 0511 ブロック（表 40.3 を参照）の P/E を許可 / 禁止するためのレジスタです。P/E の許可 / 禁止は、2K バイト（64 ブロック）単位で行います。

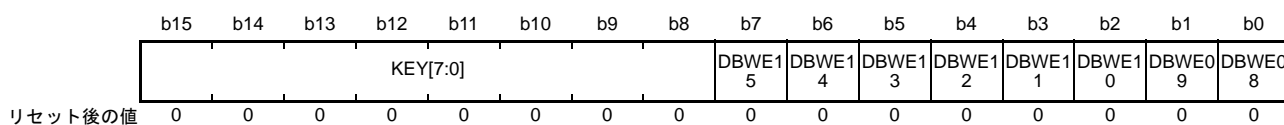
このレジスタは E2 データフラッシュ専用です。内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読み、書き込みはできません。

DBWEj ビット（ブロック P/E 許可ビット）（j = 00 ~ 07）

データ領域の 0000 ~ 0511 ブロックに対する P/E の許可 / 禁止を設定するビットです。

40.2.9 E2 データフラッシュ P/E 許可レジスタ 1 (DFLWE1)

アドレス 007F C452h



ビット	シンボル	ビット名	機能	R/W
b0	DBWE08	0512-0575 ブロック P/E 許可ビット	0 : P/E 禁止 1 : P/E 許可	R/W
b1	DBWE09	0576-0639 ブロック P/E 許可ビット		R/W
b2	DBWE10	0640-0703 ブロック P/E 許可ビット		R/W
b3	DBWE11	0704-0767 ブロック P/E 許可ビット		R/W
b4	DBWE12	0768-0831 ブロック P/E 許可ビット		R/W
b5	DBWE13	0832-0895 ブロック P/E 許可ビット		R/W
b6	DBWE14	0896-0959 ブロック P/E 許可ビット		R/W
b7	DBWE15	0960-1023 ブロック P/E 許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DFLWE1 レジスタの書き換えの可否を制御します。DFLWE1 レジスタを書き換える場合、上位8ビットに“E1h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

DFLWE1 レジスタは、データ領域の 0512 ~ 1023 ブロック（表 40.3 を参照）の P/E を許可 / 禁止するためのレジスタです。P/E の許可 / 禁止は、2K バイト（64 ブロック）単位で行います。

このレジスタは E2 データフラッシュ専用です。内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読み、書き込みはできません。

DBWEj ビット（ブロック P/E 許可ビット）（j = 08 ~ 15）

データ領域の 0512 ~ 1023 ブロックに対する P/E の許可 / 禁止を設定するビットです。

40.2.10 フラッシュステータスレジスタ 0 (FSTAT0)

アドレス 007F FFB0h

b7	b6	b5	b4	b3	b2	b1	b0
FRDY	ILGLER R	ERSER R	PRGER R	SUSR DY	—	ERSSP D	PRGSP D

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PRGSPD	プログラムサスペンドステータスフラグ	0: 下記以外の状態 1: プログラムの中断処理中、またはプログラムサスペンド中	R
b1	ERSSPD	イレーズサスペンドステータスフラグ	0: 下記以外の状態 1: イレーズの中断処理中、またはイレーズサスペンド中	R
b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b3	SUSRDY	サスペンドレディフラグ	0: P/E サスペンドコマンド受け付け不可能 1: P/E サスペンドコマンド受け付け可能	R
b4	PRGERR	プログラムエラーフラグ	0: プログラムは正常終了 1: プログラム中にエラー発生	R
b5	ERSERR	イレーズエラーフラグ	0: イレーズは正常終了 1: イレーズ中にエラー発生	R
b6	ILGLERR	イリーガルコマンドエラーフラグ	0: FCUは不正なコマンドや不正なROM/E2データフラッシュアクセスを検出していない 1: FCUは不正なコマンドや不正なROM/E2データフラッシュアクセスを検出	R
b7	FRDY	フラッシュレディフラグ	0: P/E 処理中、 P/E の中断処理中、 ロックビットリード2コマンド処理中、 周辺クロック通知コマンド処理中、 E2データフラッシュのブランクチェック処理中 1: 上記の処理を実行していない	R

FSTAT0 レジスタは、FRESETR.FRESET ビットを“1”にすることによってもリセットされます。内蔵ROM 無効時に、このレジスタを読むと“00h”が読め、書き込みはできません。このレジスタはROM/E2データフラッシュ共用です。

PRGSPD ビット (プログラムサスペンドステータスフラグ)

FCU がプログラムの中断処理中、またはプログラムサスペンド状態に遷移したことを示すビットです。詳細は「40.5 サスペンド動作」を参照してください。

[“1”になる条件]

- プログラムの中断処理を開始したとき

[“0”になる条件]

- レジュームコマンドを受け付けたとき

ERSSPD ビット (イレーズサスペンドステータスフラグ)

FCU がイレーズの中断処理中またはイレーズサスペンド状態に遷移したことを示すビットです。詳細は「40.5 サスペンド動作」を参照してください。

["1" になる条件]

- イレーズの中断処理を開始したとき

["0" になる条件]

- レジュームコマンドを受け付けたとき

SUSRDY ビット (サスペンドレディフラグ)

FCU が P/E サスペンドコマンドを受け付け可能であるかどうかを示すビットです。

["1" になる条件]

- P/E 処理を開始後、P/E サスペンドコマンドの受け付けが可能な状態に遷移したとき

["0" になる条件]

- P/E サスペンドコマンドを受け付けたとき
- P/E 処理中に、FASTAT.CMDLK ビットが "1" (コマンドロック状態) になったとき

PRGERR ビット (プログラムエラーフラグ)

FCU による ROM/E2 データフラッシュへのプログラムの結果を示すビットです。

PRGERR ビットが "1" の場合には、FASTAT.CMDLK ビットは "1" (コマンドロック状態) になります。

["1" になる条件]

- プログラム中にエラーが発生したとき
- ロックビットでプロテクトされた領域に対してプログラムコマンドを発行したとき

["0" になる条件]

- ステータスレジスタクリアコマンドを発行した後

ERSERR ビット (イレーズエラーフラグ)

FCU による ROM/E2 データフラッシュのイレーズの結果を示すビットです。

ERSERR ビットが "1" の場合には、FASTAT.CMDLK ビットは "1" (コマンドロック状態) になります。

["1" になる条件]

- イレーズ中にエラーが発生したとき
- ロックビットでプロテクトされた領域に対するブロックイレーズコマンドを発行したとき

["0" になる条件]

- ステータスレジスタクリアコマンドを発行した後

ILGLERR ビット (イリーガルコマンドエラーフラグ)

FCU が不正なコマンドや、不正な ROM / E2 データフラッシュアクセスなどを検出したことを示すビットです。

ILGLERR ビットが“1”の場合には、FASTAT.CMDLK ビットは“1” (コマンドロック状態) になります。

["1" になる条件]

- FCU が不正なコマンドを検出した
- FCU が不正な ROM / E2 データフラッシュアクセスを検出したとき (FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビットのいずれかが“1”)
- FENTRYR レジスタの設定が不正

["0" になる条件]

- FASTAT レジスタが“10h”の状態、ステータスレジスタクリアコマンドを発行した後

40.2.11 フラッシュステータスレジスタ 1 (FSTATR1)

アドレス 007F FFB1h

b7	b6	b5	b4	b3	b2	b1	b0
FCUER R	—	—	FLOCK ST	—	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	FLOCKST	ロックビットステータスビット	0: プロテクト状態 1: 非プロテクト状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	FCUERR	FCUエラーフラグ	0: FCUの処理でエラー未発生 1: FCUの処理でエラー発生	R

FSTATR1 レジスタは、FRESETR.FRESET ビットを“1”にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと“00h”が読め、書き込みはできません。このレジスタは ROM / E2 データフラッシュ共用です。

FLOCKST ビット (ロックビットステータスビット)

ロックビットリード2 コマンドを使用した場合に、読み出されたロックビットのデータが反映されるビットです。

ロックビットリード2 コマンド発行後に、FSTATR0.FRDY ビットが“1”になった時点で、FLOCKST ビットにロックビットステータスの値が格納されます。FLOCKST ビットの値は、次のロックビットリード2 コマンドの終了まで保持されます。

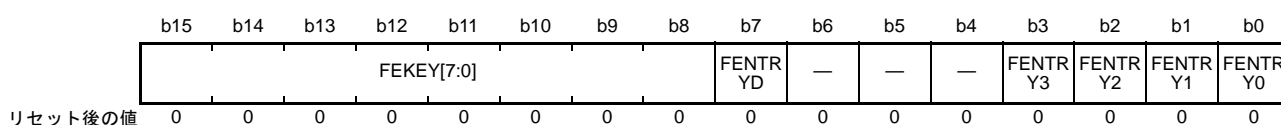
FCUERR ビット (FCU エラーフラグ)

FCU 内部の処理においてエラーが発生したことを示すビットです。

FCUERR ビットが“1”の場合には、FRESETR.FRESET ビットを“1”にして、FCU を初期化してください。

40.2.12 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス 007F FFB2h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/E モードエントリビット0	0: 領域0はROMリードモード 1: 領域0はROM P/Eモード	R/W
b1	FENTRY1	ROM P/E モードエントリビット1 (注1)	0: 領域1はROMリードモード 1: 領域1はROM P/Eモード	R/W
b2	FENTRY2	ROM P/E モードエントリビット2 (注1)	0: 領域2はROMリードモード 1: 領域2はROM P/Eモード	R/W
b3	FENTRY3	ROM P/E モードエントリビット3 (注1)	0: 領域3はROMリードモード 1: 領域3はROM P/Eモード	R/W
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	E2データフラッシュ P/Eモード エントリビット	0: E2データフラッシュはリードモード 1: E2データフラッシュはP/Eモード	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYRレジスタの書き換えの可否を制御します。 FENTRYRレジスタを書き換える場合、上位8ビットに “AAh”、下位8ビットに任意の値を、16ビット単位で書いて ください	R/(W) (注1)

注1. 書き込みデータは保持されません。

ROM/E2データフラッシュをP/EモードにしてFCUのコマンド受け付けを可能にするためには、FENTRYD、FENTRY_n (n=0~3) ビットのいずれかのビットを“1”にする必要があります。ただし、FENTRYRレジスタに“AA01h”、“AA02h”、“AA04h”、“AA08h”、“AA80h”以外の値を設定した場合、FSTATR0.ILGLERRビットが“1”になって、FSATAT.CMDLKビットは“1”(コマンドロック状態)になります。

ROMは領域0から最大で領域3まで存在し、それぞれFENTRY0ビットからFENTRY3ビットが対応しています。存在しない領域のFENTRY_nビット (n=0~3) を“1”とすることはできません。ROM容量と領域の関係については「[図 40.2 ROMのメモリ領域構成](#)」を参照してください。

FENTRYRレジスタは、FRESETR.FRESETビットを“1”にすることによってもリセットされます。内蔵ROM無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。このレジスタはROM/E2データフラッシュ共用です。

FENTRYn ビット (ROM P/E モード エントリ ビット n (n = 0 ~ 3))

領域 n (n = 0 ~ 3) を P/E モード に設定するためのビットです。

[書き込み有効条件 (以下の全条件を満たす場合)]

- 内蔵 ROM 有効時
- FSTATR0.FRDY ビットが “1”
- ワードアクセスで FEKEY[7:0] ビットに “AAh” を書き込み

[“1” になる条件]

- 書き込み有効条件を満たし、かつ FENTRYR レジスタが “0000h” の状態で、FENTRYn ビット (n = 0 ~ 3) に “1” を書いた場合

[“0” になる条件]

- バイトアクセスで書いた場合
- ワードアクセスで FEKEY[7:0] ビットが “AAh” 以外の状態で書いた場合
- 書き込み有効条件を満たした状態で、FENTRYn ビット (n = 0 ~ 3) に “0” を書いた場合
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが “0000h” 以外の状態で、FENTRYR レジスタに書いた場合

FENTRYD ビット (E2 データフラッシュ P/E モード エントリ ビット)

FENTRYD ビットは、E2 データフラッシュを P/E モード に設定するためのビットです。

[書き込み有効条件 (以下の全条件を満たす場合)]

- 内蔵 ROM 有効時
- FSTATR0.FRDY ビットが “1”
- ワードアクセスで FEKEY[7:0] ビットに “AAh” を書き込み

[“1” になる条件]

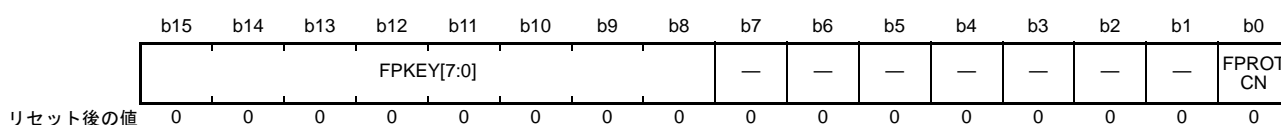
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが “0000h” の状態で、FENTRYD ビットに “1” を書いた場合

[“0” になる条件]

- バイトアクセスで書いた場合
- ワードアクセスで FEKEY[7:0] ビットが “AAh” 以外の状態で書いた場合
- 書き込み有効条件を満たした状態で、FENTRYD ビットに “0” を書いた場合
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが “0000h” 以外の状態で、FENTRYR レジスタを書いた場合

40.2.13 フラッシュプロテクトレジスタ (FPROTR)

アドレス 007F FFB4h



ビット	シンボル	ビット名	機能	R/W
b0	FPROTCN	ロックビットプロテクトキャンセルビット	0 : ロックビットによるプロテクト有効 1 : ロックビットによるプロテクト無効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	FPKEY[7:0]	キーコード	FPROTRレジスタの書き換えの可否を制御します。 FPROTRレジスタを書き換える場合、上位8ビットに “55h”、下位8ビットに任意の値を、16ビット単位で書いて ください	R/(W) (注1)

注1. 書き込みデータは保持されません。

FPROTR レジスタは、FRESETR.FRESET ビットを“1”にすることによってもリセットされます。内蔵ROM 無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。このレジスタはROM 専用です。

FPROTCN ビット (ロックビットプロテクトキャンセルビット)

ロックビットによる P/E プロテクトを有効 / 無効にするためのビットです。

[“1”になる条件]

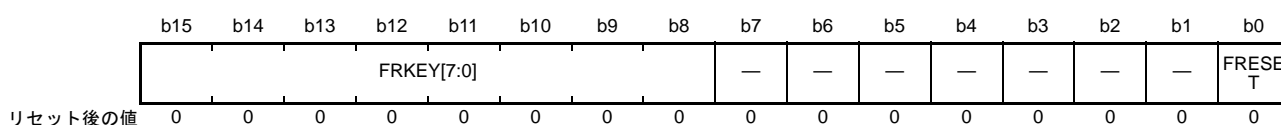
- FENTRYR レジスタの値が“0000h”以外の状態で、ワードアクセスで FPKEY[7:0] ビットに“55h”、FPROTCN ビットに“1”を書いた場合

[“0”になる条件]

- バイトアクセスで書いた場合
- ワードアクセスで FPKEY[7:0] ビットが“55h”以外の状態で書いた場合
- ワードアクセスで FPKEY[7:0] ビットに“55h”、FPROTCN ビットに“0”を書いた場合
- FENTRYR レジスタの値が“0000h”の場合

40.2.14 フラッシュリセットレジスタ (FRESETR)

アドレス 007F FFB6h



ビット	シンボル	ビット名	機能	R/W
b0	FRESET	フラッシュリセットビット	0 : FCUはリセットされない 1 : FCUはリセットされる	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	FRKEY[7:0]	キーコード	FRESETRレジスタの書き換えの可否を制御します。 FRESETRレジスタを書き換える場合、上位8ビットに“CCh”、 下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

内蔵ROM無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。このレジスタはROM/E2データフラッシュ共用です。

FRESET ビット (フラッシュリセットビット)

FRESET ビットを“1”にすると、ROM/E2データフラッシュのP/E動作が強制終了され、FCUが初期化されます。

P/E中のROM/E2データフラッシュのメモリには、高電圧が印加されています。メモリに印加された電圧の降下に必要な期間を確保するために、FCUを初期化する場合には、FRESETビットを“1”にした状態をFCUR (FCUリセット時間、「41. 電気的特性」を参照) 保持してください。FRESETビットを“1”にしている期間は、ROM/E2データフラッシュへの読み出しを禁止してください。また、FRESETビットが“1”の状態では、FENTRYRレジスタが初期化されているため、FCUコマンドを使用することはできません。

40.2.15 FCU コマンドレジスタ (FCMDR)

アドレス 007F FFBAh



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCMDR[7:0]	プレコマンド	FCUが受け付けた1つ前のコマンドを格納します	R
b15-b8	CMDR[7:0]	コマンド	FCUが受け付けた最新のコマンドを格納します	R

FCMDR レジスタは、FRESETR.FRESET ビットを“1”にすることによっても初期化されます。

表 40.5 に各コマンド受け付け後の FCMDR レジスタの状態を示します。

内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読み、書き込みはできません。このレジスタは ROM / E2 データフラッシュ共用です。

表 40.5 各コマンド受け付け後の FCMDR レジスタの状態

コマンド	CMDR[7:0]	PCMDR[7:0]
ノーマルモード移行	FFh	前回コマンド
ステータスリードモード移行	70h	前回コマンド
ロックビットリードモード移行 (ロックビットリード1)	71h	前回コマンド
周辺クロック通知	E9h	前回コマンド
プログラム	E8h	前回コマンド
ブロックイレーズ	D0h	20h
P/E サスペンド	B0h	前回コマンド
P/E レジューム	D0h	前回コマンド
ステータスレジスタクリア	50h	前回コマンド
ロックビットリード2/ブランクチェック	D0h	71h
ロックビットプログラム	D0h	77h

40.2.16 FCU 処理切り替えレジスタ (FCPSR)

アドレス 007F FFC8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUSP MD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESUSPMD	イレーズサスペンドモードビット	0: サスペンド優先モード 1: イレーズ優先モード	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FCPSR レジスタは、FRESETR.FRESET ビットを“1”にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。このレジスタは ROM / E2 データフラッシュ共用です。

ESUSPMD ビット (イレーズサスペンドモードビット)

FCU が ROM / E2 データフラッシュのイレーズを実行中に、P/E サスペンドコマンドが発行された場合のイレーズ中断処理モードを選択するためのビットです。詳細は「40.5 サスペンド動作」を参照してください。

40.2.17 E2 データフラッシュブランクチェック制御レジスタ (DFLBCCNT)

アドレス 007F FFCAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BCSIZE	—	—	—	—	BCADR[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	BCADR[10:0]	ブランクチェックアドレス設定ビット	チェック対象領域のアドレスを設定	R/W
b14-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	BCSIZE	ブランクチェックサイズ設定ビット	0: ブランクチェック対象領域は2バイト 1: ブランクチェック対象領域は2Kバイト	R/W

DFLBCCNT レジスタは、FRESETR.FRESET ビットを“1”にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。このレジスタは E2 データフラッシュ専用です。

BCADR[10:0] ビット (ブランクチェックアドレス設定ビット)

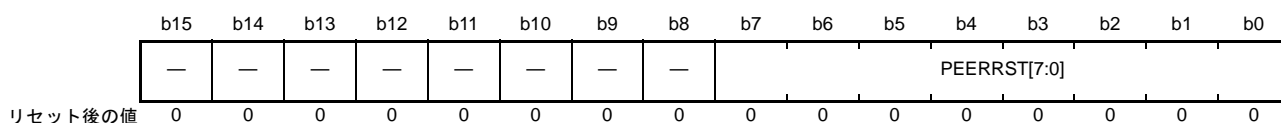
ブランクチェックコマンドのチェック対象領域のサイズが2バイト (BCSIZE ビットが“0”) の場合に、チェック対象領域のアドレスを設定するためのビットです。BCADR[0] は、“0”を指定してください。

BCSIZE ビットが“0”の場合には、DFLBCCNT レジスタの設定値と、ブランクチェックコマンド発行時に指定したブロック先頭アドレス (2K バイト単位) を加算した値がチェック対象領域の先頭アドレスになります。

BCSIZE ビットが“1”の場合には、BCADR[10:0] ビットの値は無視されます。

40.2.18 フラッシュ P/E ステータスレジスタ (FPESTAT)

アドレス 007F FFCCh



ビット	シンボル	ビット名	機能	R/W
b7-b0	PEERRST[7:0]	P/E エラーステータスビット	00h : エラーなし 01h : ロックビットでプロテクトされた領域に対するプログラムエラー 02h : ロックビットプロテクト以外の要因によるプログラムエラー 11h : ロックビットでプロテクトされた領域に対するイレーズによるエラー 12h : ロックビットプロテクト以外の要因によるイレーズエラー (上記以外は予約)	R
b15-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

FPESTAT レジスタは、FRESETR.FRESET ビットを“1”にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。このレジスタは ROM 専用です。

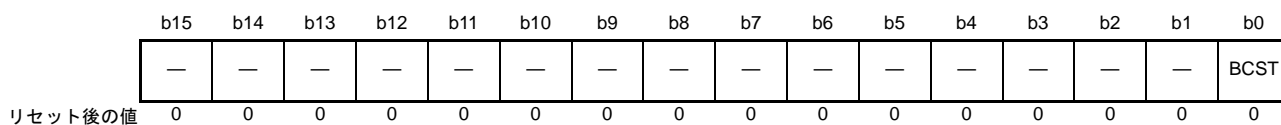
PEERRST[7:0] ビット (P/E エラーステータスビット)

ROM の P/E 処理中にエラーが発生した場合のエラー原因を示すビットです。

PEERRST[7:0] ビットの値は、FSTATR0.ERSERR ビット、または FSTATR0.PRGERR ビットが“1”の状態、かつ FSTATR0.FRDY ビットが“1”になったときのみ有効です。ERSERR ビットと PRGERR ビットが“0”の場合の PEERRST[7:0] ビットには、過去に発生したエラー原因の値が保持されます。

40.2.19 E2 データフラッシュブランクチェックステータスレジスタ (DFLBCSTAT)

アドレス 007F FFCEh

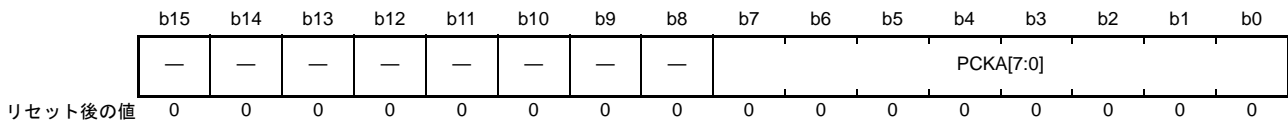


ビット	シンボル	ビット名	機能	R/W
b0	BCST	ブランクチェックステータスビット	0 : ブランクチェック対象領域はイレーズされた状態 (ブランク) 1 : ブランクチェック対象領域は“0”か“1”書き込まれた状態	R
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DFLBCSTAT レジスタは、FRESETR.FRESET ビットを“1”にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。このレジスタは E2 データフラッシュ専用です。

40.2.20 周辺クロック通知レジスタ (PCKAR)

アドレス 007F FFE8h



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCKA[7:0]	周辺クロック通知ビット	ROM / E2データフラッシュへのP/E時にFlashIFクロック (FCLK)を設定するためのビットです	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

この設定は、P/E時間の制御に使用します。

PCKARレジスタは、FRESETR.FRESETビットを“1”にすることによってもリセットされます。内蔵ROM無効時に、このレジスタを読むと“0000h”が読み、書き込みはできません。このレジスタはROM/E2データフラッシュ共用です。

PCKA[7:0] ビット (周辺クロック通知ビット)

ROM / E2データフラッシュのP/E時に、FlashIFクロック (FCLK)を設定するためのビットです。

P/Eを行う前にPCKA[7:0]ビットにFCLKの周波数を設定して、周辺クロック通知コマンドを発行してください。ROM / E2データフラッシュのP/E中は、周波数を変更しないでください。

PCKA[7:0]ビットにはMHz単位で表現した動作周波数を2進数に変換した値を書き込んでください。FlashIFクロックの動作周波数が31.9MHzの場合の設定例を以下に示します。

- 31.9の小数第1位を切り上げ
- 32を2進数変換し、“20h” (0010 0000b)をPCKA[7:0]ビットに設定する。

- 注1. PCKA[7:0]ビットを4MHz～32MHzの範囲外に設定した場合は、ROM / E2データフラッシュに対する書き換えコマンドを発行しないでください。
- 注2. FCLKと異なる周波数をPCKA[7:0]ビットに設定した場合、ROM / E2データフラッシュのデータが破壊される可能性があります。
- 注3. PCKA[7:0]ビットを活用しても、書き換え時間はある程度周波数に依存することをご了承ください。

40.3 フラッシュメモリ関連の動作モード

MD 端子の設定値と本 MCU の動作モードの関係については、「3. 動作モード」を参照してください。ブートモード/ユーザブートモード/シングルチップモード（内蔵 ROM 有効）/内蔵 ROM 有効拡張モードでは、オンボードで ROM/E2 データフラッシュの読み出しおよび P/E を実施できます。

各モードで、P/E 可能領域、リセット時の起動領域、起動時にイレーズされる領域などが異なります。モードの相違点を表 40.6 に示します。

表 40.6 各モードの相違点

項目	ブートモード	ユーザブートモード	シングルチップモード (内蔵 ROM 有効) / 内蔵 ROM 有効拡張モード
プログラム/イレーズ環境	オンボードプログラミング		
プログラム/ イレーズ可能領域	ユーザ領域/ユーザブート領域/ データ領域	ユーザ領域/データ領域	ユーザ領域/データ領域
ブロック分割消去	○ (注1)	○	○
リセット時の起動プログラム	ブートプログラム	ユーザブートプログラム	ユーザプログラム

注1. 起動時に全面消去される場合があります。その後、特定ブロックの消去ができます。詳細は「40.8.4 IDコードプロテクト（ブートモード）」、「40.8.2 ブートモードの状態遷移」を参照してください。

- ユーザブート領域の P/E は、ブートモードでのみ可能です。
- ブートモードでは、ホストから SCI 経由でのユーザ領域/ユーザブート領域/データ領域への P/E/読み出しが可能になります。
- ブートモードではブートプログラムで内蔵 RAM を使用します。このため、内蔵 RAM のデータは保持されません。
- ユーザブートモードは、ユーザブート領域から起動します。また、ブートモードでユーザブート領域を書き換えることにより、任意のインタフェースでユーザ領域/データ領域のプログラム/読み出しが可能になります。

40.3.1 IDコードプロテクト機能による領域のイレーズ

起動時の動作モードと ID コードプロテクトの有無および ID コードの照合結果により、イレーズされる領域があります。ID コードプロテクトについては「40.8.4 ID コードプロテクト（ブートモード）」を参照してください。

表 40.7 起動時の動作モードおよび ID コードプロテクトとイレーズされる領域の関係

起動時の動作モード	IDコードプロテクトの 制御コード	IDコードの 一致/不一致	ユーザ領域	ユーザブート 領域	データ領域
ブートモード	45h	一致	—	—	—
		3回連続不一致	イレーズ	イレーズ	イレーズ
	52h	一致/不一致	—	—	—
	45h、52h以外 (IDコードプロテクトが無効)	—	イレーズ	イレーズ	イレーズ
ユーザブートモード	ユーザブートプログラムの仕様に依存します				
シングルチップモード	シングルチップモード起動時にはイレーズされません				

40.4 FCU

ROM/E2データフラッシュに対する操作は、専用シーケンサ（FCU）にコマンド（FCUコマンド）を発行することで行います。FCUのモード移行とコマンド体系について以下に説明します。これらはブートモード、ユーザブートモード、シングルチップモード（内蔵ROM有効）モード、内蔵ROM有効拡張モードで共通です。

40.4.1 FCUのモード

FCUには、5種類のモードがあります。モードの移行は、FENTRYRレジスタへの書き込み、およびFCUコマンドで行います。E2データフラッシュP/EモードはROMリードモードに含まれるため、E2データフラッシュP/Eモード時はROMの高速読み出しが可能です。図40.4にFCUのモード遷移図を示します。

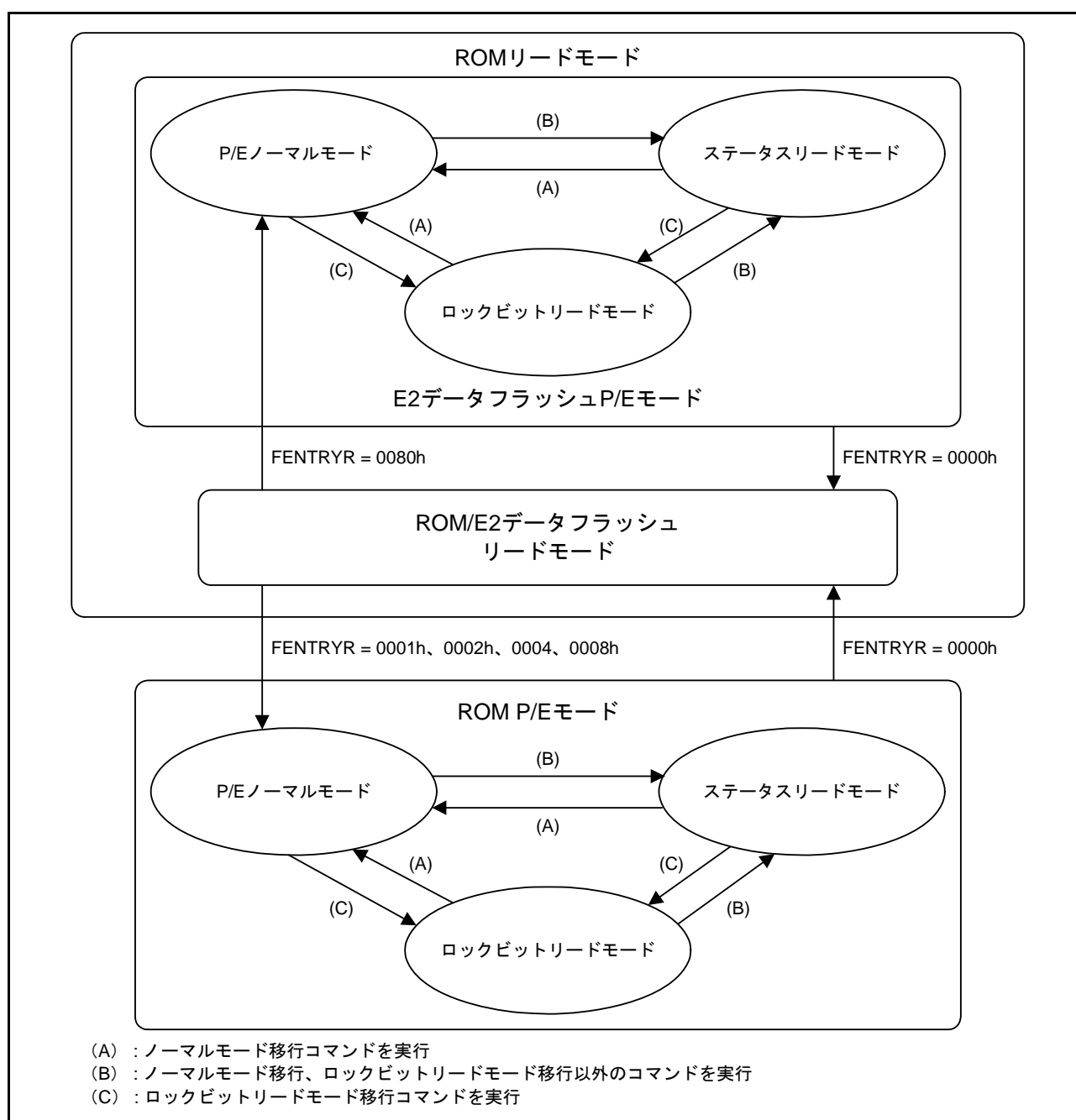


図 40.4 FCUのモード遷移図

40.4.1.1 ROM リードモード

ROM の高速読み出しを行うためのモードです。ROM の読み出し用アドレスに対して読み出しを行った場合、ICLK 1 サイクルの高速読み出しが可能です。

ROM リードモードには、ROM/E2 データフラッシュリードモードと、E2 データフラッシュ P/E モードの 2 種類があります。

40.4.1.2 ROM/E2 データフラッシュリードモード

ROM および E2 データフラッシュの読み出しが可能なモードです。FCU コマンドは受け付けられません。FENTRYR.FENTRYn ビット (n=0~3) をすべて“0”、かつ FENTRYR.FENTRYD ビットを“0”にした場合にこのモードに移行します。

40.4.1.3 ROM P/E モード

ROM へ P/E を行うモードです。ROM の高速読み出しはできません。読み出し用アドレスに対して読み出しを行った場合、ROM アクセス違反が発生して FASTAT.CMDLK ビットは“1” (コマンドロック状態) になります (「40.6.2 コマンドロック状態」を参照)。ROM P/E モードには、3 種類のモードがあります。

(1) ROM P/E ノーマルモード

ROM へ P/E をする上で最初に移行するモードです。ROM リードモード時に FENTRYR.FENTRYD ビットを“0”、かつ FENTRYR.FENTRYn ビット (n=0~3) のいずれかを“1”にした場合、または ROM P/E モードでノーマルモード移行コマンドを受け付けた場合に移行します。表 40.11 に受け付け可能なコマンドを示します。

FENTRYR.FENTRYn ビット (n=0~3) のいずれかが“1”の状態では P/E 用のアドレスに対して読み出しを行った場合は、ROM アクセス違反が発生して FASTAT.CMDLK ビットは“1” (コマンドロック状態) になります (「40.6.2 コマンドロック状態」を参照)。

(2) ROM ステータスリードモード

ROM のステータスが読み出せるモードです。ROM P/E モードでステータスリードモード移行コマンドを受け付けた場合、またはノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に移行します。FSTATR0.FRDY ビットが“0”の状態や、エラー発生後に FASTAT.CMDLK ビットが“1” (コマンドロック状態) になったときも、ROM ステータスリードモード中の状態です。表 40.11 に受け付け可能なコマンドを示します。FENTRYR.FENTRYn ビット (n=0~3) のいずれかが“1”の状態では、対応する P/E 用のアドレスに対して読み出しを行った場合は、FSTATR0 レジスタの値が読めます。

(3) ROM ロックビットリードモード

ROM の読み出しでロックビットが読み出せるモードです。ROM P/E モードでロックビットリードモード移行コマンドを受け付けた場合に移行します。表 40.11 に受け付け可能なコマンドを示します。

FENTRYR.FENTRYn ビット (n=0~3) のいずれかが“1”の状態では、対応する P/E 用のアドレスに対して読み出しを行った場合は、読み出しデータの全ビットがアクセス先のブロックのロックビット値になります。

40.4.1.4 E2 データフラッシュ P/E モード

E2 データフラッシュに対する P/E を行うモードです。ROM の高速読み出しは可能ですが、E2 データフラッシュの読み出しは実行できません。このモードは E2 データフラッシュに対する FCU コマンドは受け付けませんが、ROM に対する FCU コマンドは受け付けません。FENTRYR.FENTRYn ビット (n=0~3) をすべて“0”、かつ FENTRYR.FENTRYD ビットを“1”にした場合にこのモードに移行します。E2 データフラッシュ P/E モードには 3 種類のモードがあります。

(1) E2 データフラッシュ P/E ノーマルモード

E2 データフラッシュへの P/E をする上で最初に移行するモードです。ROM / E2 データフラッシュリードモード時に FENTRYR.FENTRYD ビットを“1”、かつ FENTRYR.FENTRYn ビット (n=0~3) をすべて“0”にした場合、または E2 データフラッシュ P/E モードでノーマルモード移行コマンドを受け付けた場合に移行します。表 40.11 に受け付け可能なコマンドを示します。

(2) E2 データフラッシュステータスリードモード

E2 データフラッシュのステータスが読み出せるモードです。E2 データフラッシュ P/E モードでステータスリードモード移行コマンドを受け付けた場合、またはノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に移行します。FSTATR0.FRDY ビットが“0”の状態やエラー発生後に FASTAT.CMDLK ビットが“1” (コマンドロック状態) になったときも、E2 データフラッシュステータスリードモード中の状態です。表 40.11 に受け付け可能なコマンドを示します。

E2 データフラッシュ領域に対して読み出しを行った場合には、FSTATR0 レジスタの値が読み出されます。ROM に対する高速読み出しは可能です。

(3) E2 データフラッシュロックビットリードモード

E2 データフラッシュにはロックビットが存在しないので、このモードに移行してもロックビットは読み出せません。このモードに移行して E2 データフラッシュ領域を読み出した場合、E2 データフラッシュアクセス違反は発生しませんが、不定値が読めます。ROM に対する高速読み出しは可能です。

このモードには E2 データフラッシュ P/E モードでロックビットリードモード移行コマンドを受け付けた場合に移行します。表 40.11 に受け付け可能なコマンドを示します。

40.4.2 FCU コマンド一覧

FCU コマンドには、FCU のモードを移行させるためのコマンドと、P/E を行うためのコマンドがあります。表 40.8 に ROM / E2 データフラッシュで使用可能な FCU コマンドの一覧を示します。

表 40.8 FCU コマンド一覧

コマンド	ROM	E2 データフラッシュ
P/E ノーマルモード移行	ノーマルモードに移行（「40.4.3 FCU のモードとコマンドの関係」を参照）	
ステータスリードモード移行	ステータスリードモードに移行（「40.4.3 FCU のモードとコマンドの関係」を参照）	
ロックビットリードモード移行 (ロックビットリード1)	ロックビットリードモードに移行（「40.4.3 FCU のモードとコマンドの関係」を参照）	
周辺クロック通知	FlashIF クロック (FCLK) を設定	
プログラム	ROM へのプログラム (128 バイト単位)	E2 データフラッシュへのプログラム (2 バイト)
ブロックイレーズ	ROM のイレーズ (ブロック単位、ロックビットも同時にイレーズ)	E2 データフラッシュのイレーズ (ブロック単位)
P/E サスペンド	P/E の中断	
P/E レジューム	P/E の再開	
ステータスレジスタクリア	FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FASTAT.CMDLK ビット (FCU コマンドロックビット) のクリア	
ロックビットリード2	指定したブロックのロックビット読み出し (FSTATR1.FLOCKST ビットにロックビットを反映)	—
ロックビットプログラム	指定したブロックのロックビットをプログラム	—
ブランクチェック	—	E2 データフラッシュのブランクチェック

ROM のロックビットリード2 コマンドは、E2 データフラッシュのブランクチェックコマンドを兼ねています。E2 データフラッシュに対してロックビットリード2 コマンドを発行した場合は、E2 データフラッシュのブランクチェックが実行されます。

FCU コマンドの発行は、ROM P/E 用のアドレス、あるいは E2 データフラッシュのアドレスに対し、FCU コマンドを書き込むことにより行います。表 40.9 に FCU コマンドのフォーマットを示します。表 40.9 に示したアドレスへのデータの書き込みを FCU の特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。FCU コマンドフォーマット一覧の凡例を表 40.10 に示します。また、FCU コマンドは、バイト単位でデータを書き込むものが殆どですが、一部コマンドはワード単位でデータ書き込みを行う必要があります。

FCU の特定条件については「40.4.3 FCU のモードとコマンドの関係」を、各 FCU コマンドの使用方法については「40.4.4 FCU コマンド使用方法」を参照してください。

表40.9 FCUコマンドのフォーマット

コマンド	バス サイクル数	アドレス	1サイクル 目	2サイクル 目	3サイクル 目	4サイクル 目	5サイクル 目	6サイクル 目	7~66サ イクル目	67サイク ル目
		データ								
P/Eノーマルモード移行	1	アドレス	RA	—	—	—	—	—	—	—
		データ	FFh	—	—	—	—	—	—	—
ステータスリードモード移行	1	アドレス	RA	—	—	—	—	—	—	—
		データ	70h	—	—	—	—	—	—	—
ロックビットリードモード移行 (ロックビットリード1)	1	アドレス	RA	—	—	—	—	—	—	—
		データ	71h	—	—	—	—	—	—	—
周辺クロック通知	6	アドレス	RA	RA	RA	RA	RA	RA	—	—
		データ	E9h	03h	0F0Fh (注1)	0F0Fh (注1)	0F0Fh (注1)	D0h	—	—
プログラム (ROM)	67	アドレス	RA	RA	WA	RA	RA	RA	RA	RA
		データ	E8h	40h	WDn (注1)	WDn (注1)	WDn (注1)	WDn (注1)	WDn (注1)	D0h
プログラム (E2データフラッシュ)	4	アドレス	RA	RA	WA	RA	—	—	—	—
		データ	E8h	01h	WDn (注1)	D0h	—	—	—	—
ブロックイレーズ	2	アドレス	RA	BA	—	—	—	—	—	—
		データ	20h	D0h	—	—	—	—	—	—
P/Eサスペンド	1	アドレス	RA	—	—	—	—	—	—	—
		データ	B0h	—	—	—	—	—	—	—
P/Eレジューム	1	アドレス	RA	—	—	—	—	—	—	—
		データ	D0h	—	—	—	—	—	—	—
ステータスレジスタクリア	1	アドレス	RA	—	—	—	—	—	—	—
		データ	50h	—	—	—	—	—	—	—
ロックビットリード2 (ROM)	2	アドレス	RA	BA	—	—	—	—	—	—
		データ	71h	D0h	—	—	—	—	—	—
ブランクチェック (E2データフラッシュ)	2	アドレス	RA	BA	—	—	—	—	—	—
		データ	71h	D0h	—	—	—	—	—	—
ロックビットプログラム (ROM)	2	アドレス	RA	BA	—	—	—	—	—	—
		データ	77h	D0h	—	—	—	—	—	—

注1. ワードサイズでデータを書き込んでください。

表40.10 FCUコマンドのフォーマットの凡例

凡例		ROM	E2データフラッシュ
アドレス	RA	対象ROM領域内の任意P/E用アドレス (注1)	E2データフラッシュ内の任意アドレス
	WA	プログラム先のP/E用アドレス (128バイトアライメント)	プログラム先のアドレス (2バイトアライメント)
	BA	イレーズ対象ブロック内の任意P/E用アドレス	イレーズ対象ブロック内の任意アドレス
データ	WDn	プログラムするデータのnワード目 (n=1~64)	プログラムするデータのnワード目 (n=1)
	その他	対象アドレスへ発行するコマンド	

注1. 指定可能なP/E用アドレスは、ROM容量およびFENTRYRレジスタの値により異なります。ROM容量については「40.1.1 ROMの領域構成」を、FENTRYRレジスタについては「40.2.12 フラッシュP/Eモードエントリレジスタ (FENTRYR)」を参照してください。

40.4.3 FCU のモードとコマンドの関係

受け付け可能な FCU コマンドは FCU のモードごとに決められています。また、それらモードにおける FCU の状態によっても受け付け可能なコマンドは変わります。

FCU コマンドの発行は、FCU のモードを移行させた後、FCU の状態を確認してから発行する必要があります。表 40.11 に FCU のモードおよび状態で受け付け可能なコマンドを示します。受け付け不可能なコマンドが発行された場合には、FASTAT.CMDLK ビットは“1”（コマンドロック状態）になります（「40.6.2 コマンドロック状態」を参照）。FCU コマンドの発行は、受け付け可能なモードに移行した後、FSTATR0.FRDY, ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットの値を確認してから行ってください。なお、FASTAT.CMDLK ビットの値により、エラーの発生有無を確認することもできます。FASTAT.CMDLK ビットの値は、FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットの値の論理和です。

表 40.11 FCU のモード/状態と受け付け可能なコマンドの関係（ROM P/E モードおよび E2 データフラッシュ P/E モード）

	P/E ノーマルモード			ステータスリードモード										ロックビットリードモード		
	プログラムサスペンド中	イレーズサスペンド中	その他の状態	P/E の処理中	イレーズサスペンド中のプログラム処理中	P/E の中断処理中	ロックビットリード2 処理中 (ROM)	ブランクチェック処理中 (E2 データフラッシュ)	プログラムサスペンド中	イレーズサスペンド中	コマンドロック状態 (FRDY=0)	コマンドロック状態 (FRDY=1)	その他の状態	プログラムサスペンド中	イレーズサスペンド中	その他の状態
FSTATR0.FRDY ビット	1	1	1	0	0	0	0	0	1	1	0	1	1	1	1	1
FSTATR0.SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
FSTATR0.ERSSPD ビット	0	1	0	0	1	0/1	0/1	0/1	0	1	0/1	0/1	0	0	1	0
FSTATR0.PRGSPD ビット	1	0	0	0	0	0/1	0/1	0/1	1	0	0/1	0/1	0	1	0	0
FASTAT.CMDLK ビット	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
ノーマルモード移行	○	○	○	×	×	×	×	×	○	○	×	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットリードモード移行 (ロックビットリード1)	○	○	○	×	×	×	×	×	○	○	×	×	○	○	○	○
周辺クロック通知	×	×	○	×	×	×	×	×	×	×	×	×	○	×	×	○
プログラム	×	△	○	×	×	×	×	×	×	△	×	×	○	×	△	○
ブロックイレーズ	×	×	○	×	×	×	×	×	×	×	×	×	○	×	×	○
P/E サスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×	×	×	×
P/E レジューム	○	○	×	×	×	×	×	×	○	○	×	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	×	×	○	○	×	○	○	○	○	○
ロックビットリード2 (ROM)	○	○	○	×	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットプログラム (ROM)	×	△	○	×	×	×	×	×	×	△	×	×	○	×	△	○
ブランクチェック (E2 データフラッシュ)	○	○	○	×	×	×	×	×	○	○	×	×	○	○	○	○

○：受け付け可能、△：イレーズを中断したブロック以外へのプログラムのみ受け付け可能、×：受け付け不可能

40.4.4 FCU コマンド使用方法

FCU コマンドには、FCU のモードを移行するコマンド、実際に ROM/E2 データフラッシュに P/E を行うコマンド、エラー処理のコマンド、サスペンド/レジュームのコマンドがあります。以下に各コマンドの説明をします。それぞれのコマンドの受け付け可能モードおよび状態については、「40.4.3 FCU のモードとコマンドの関係」を参照してください。

40.4.4.1 モード移行

ここではモード移行に関するコマンドを説明します。各モード移行の関係は、図 40.4 を参照してください。

(1) ROM リードモードおよび ROM/E2 データフラッシュリードモード移行方法

ROM の高速読み出しを行うためには、FENTRYR.FENRTYn ビット (n=0~3) を“0”にして、FCU を ROM リードモードに設定し、FEWPROR レジスタにバイトで“02h”を書き込み、P/E 不可能状態にする必要があります（「40.2.1 フラッシュ P/E プロテクトレジスタ (FEWPROR)」を参照）。ROM P/E モードから ROM リードモードへの移行は、FCU のコマンド処理が完了し、かつ FCU がエラー検出していない状態で実施してください。

また、ROM/E2 データフラッシュリードモードへ移行するためには、FENTRYR.FENRTYn ビット (n=0~3) と FENTRYD ビットを“0”にする必要があります。

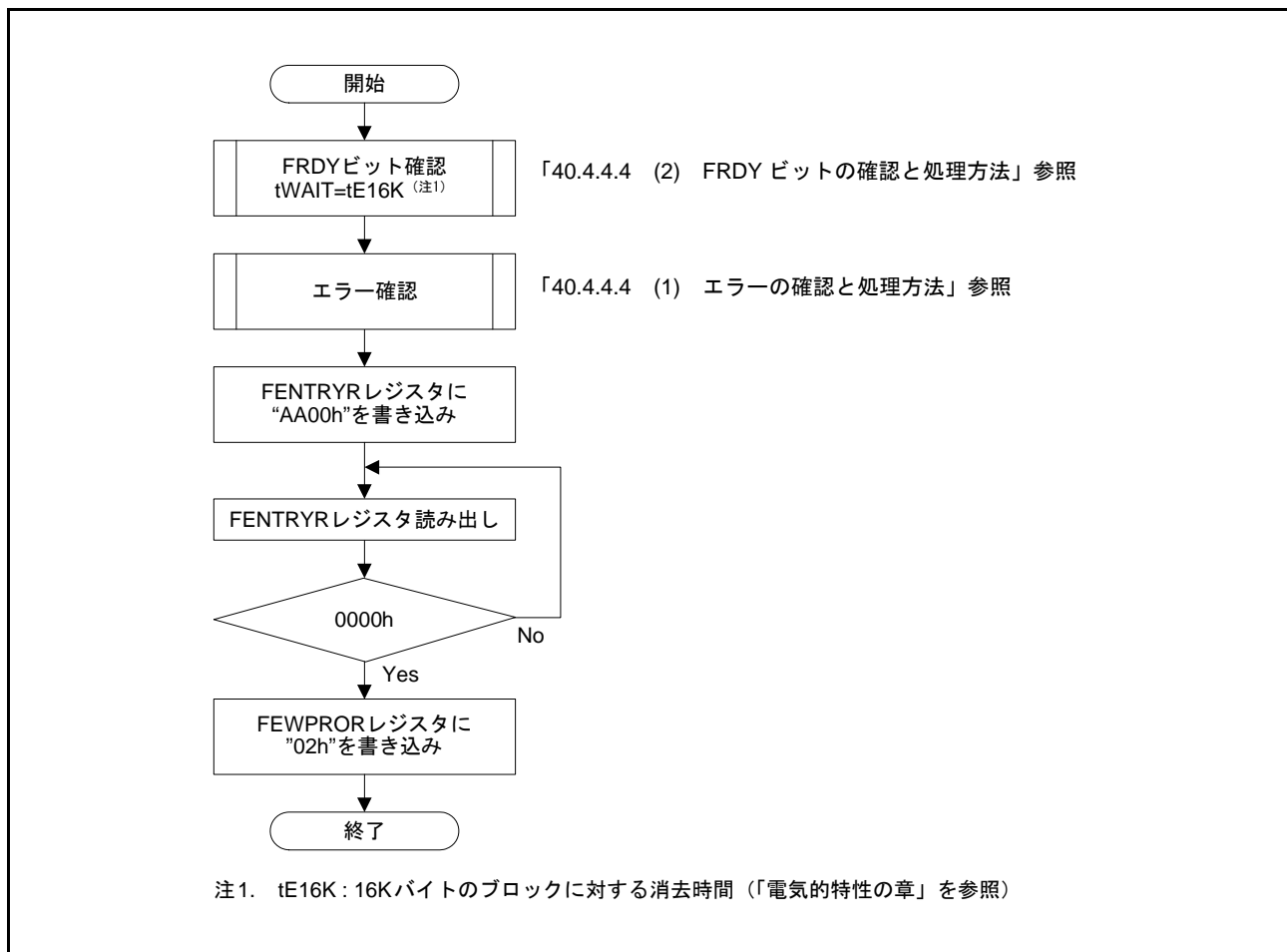


図 40.5 ROM リードモードおよび ROM/E2 データフラッシュリードモード移行フロー

(2) P/E モード移行方法

ROM の P/E 関連の FCU コマンドを実行するためには、ROM P/E モードに移行する必要があります。ROM P/E モードに移行するためには、P/E を行う ROM のアドレスに対応した FENTRYR.FENTRYn ビット (n=0~3) のいずれかを“1”にします。

E2 データフラッシュの P/E 関連の FCU コマンドを実行するためには、E2 データフラッシュ P/E モードに移行する必要があります。E2 データフラッシュ P/E モードに移行するためには、FENTRYR.FENTRYD ビットを“1”にします。

P/E を行う場合は、FWEPROR レジスタにバイトで“01h”を書き込み、P/E 可能状態にしてください (「40.2.1 フラッシュ P/E プロテクトレジスタ (FWEPROR)」を参照)。

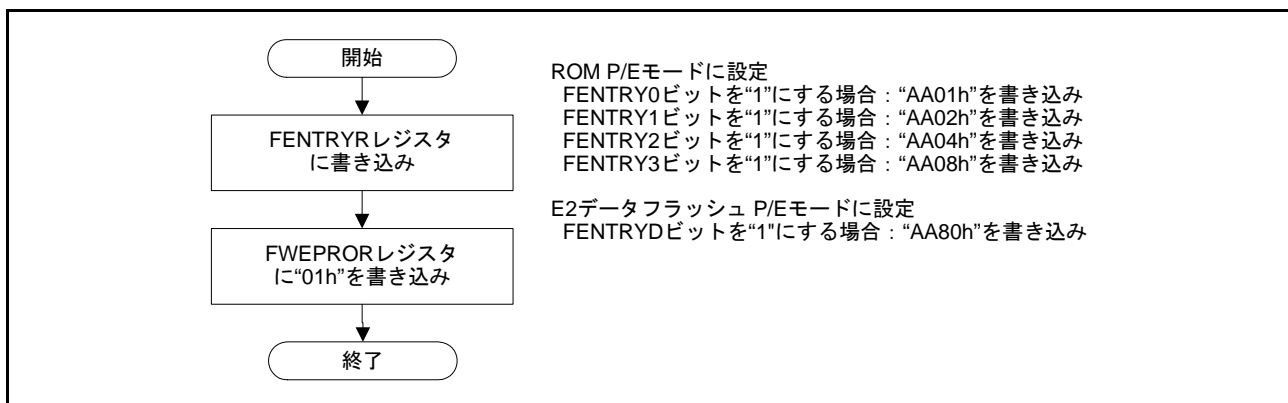


図 40.6 ROM P/E モードおよび E2 データフラッシュ P/E モード移行フロー

(3) P/E ノーマルモード移行方法

P/E ノーマルモードへの移行方法には、ROM/E2 データフラッシュリードモード時に FENTRYR レジスタを設定する方法 (「40.4.1 FCU のモード」を参照) と、P/E モード時にノーマルモード移行コマンドを発行する方法 (図 40.7) があります。ノーマルモード移行コマンドを発行するには、ROM P/E 用のアドレスあるいは E2 データフラッシュのアドレスに“FFh”を書いてください。

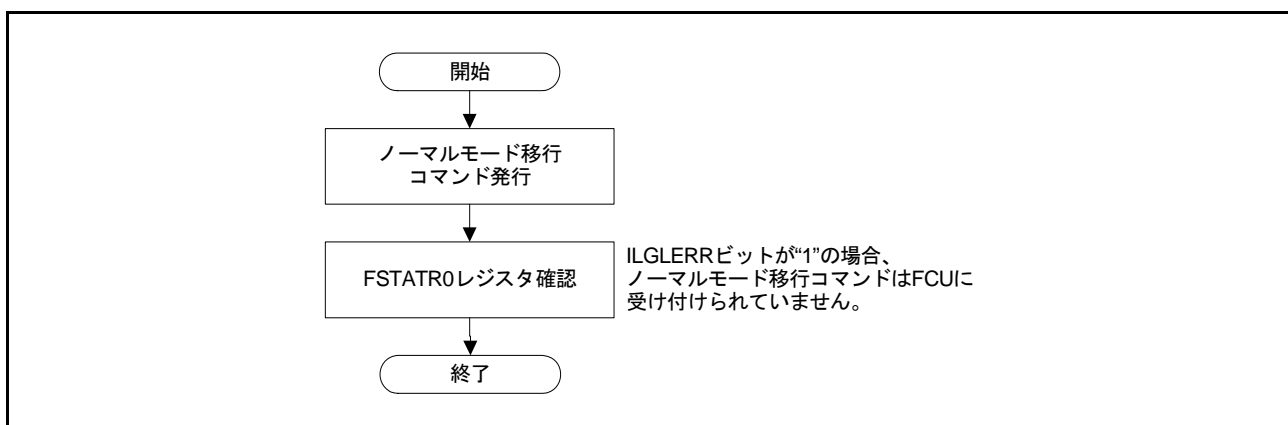


図 40.7 ROM P/E ノーマルモード移行フロー

(4) ステータスリードモード移行方法

ステータスリードモード移行コマンドを発行した場合、またはノーマルモード移行、ロックビットリードモード移行以外のFCUコマンドを発行した場合に、FCUはステータスリードモードに移行します。図40.8にFSTATR0レジスタの確認の例を示します。この例はステータスリードモード移行コマンドを発行してROMステータスリードモードに移行した後で、ROM P/E用あるいはE2データフラッシュのアドレスに対して読み出しを行い、FSTATR0の内容を確認しています。

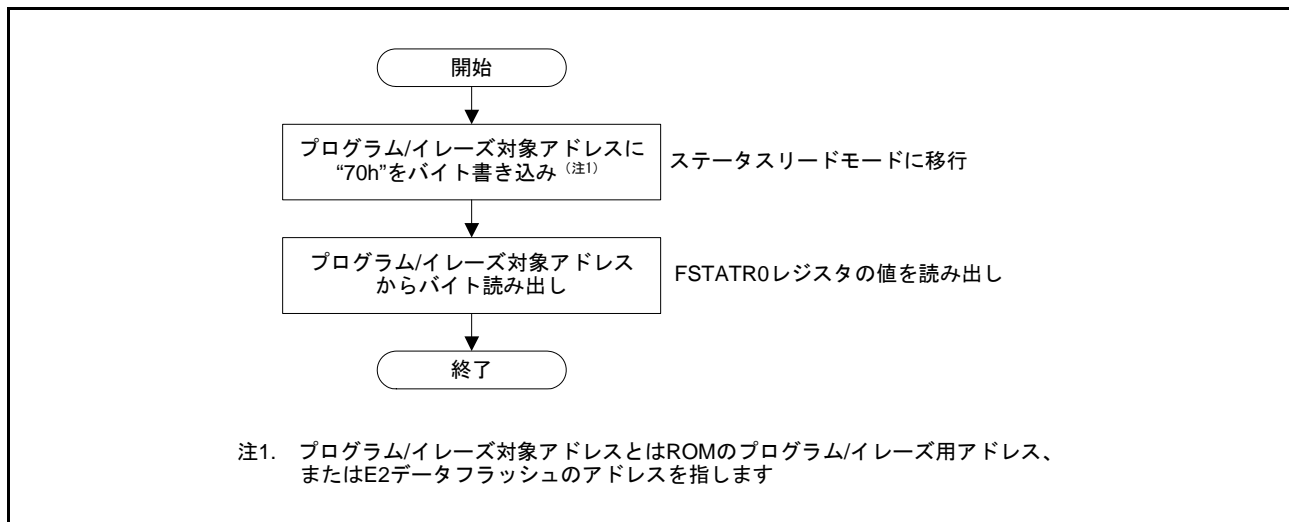


図 40.8 ROM ステータスリードモード移行フローおよびステータスの確認方法

(5) ロックビットリードモード移行方法

FMODR.FRDMMD ビットが“0”（メモリ領域リード方式）で、ロックビットリードモード移行コマンド（ロックビットリード1）を発行することで移行します。ロックビットリードモードに移行後にROM P/E用のアドレスに対して読み出しを行うと、アクセス先に対応するブロックのロックビットが読み出され、読み出しデータの全ビットにコピーされます（図40.9）。

E2データフラッシュにはロックビットが存在しないため、ロックビットリードモードに移行後にE2データフラッシュ領域に対して読み出しを行った場合には、読み出しデータは不定値になります

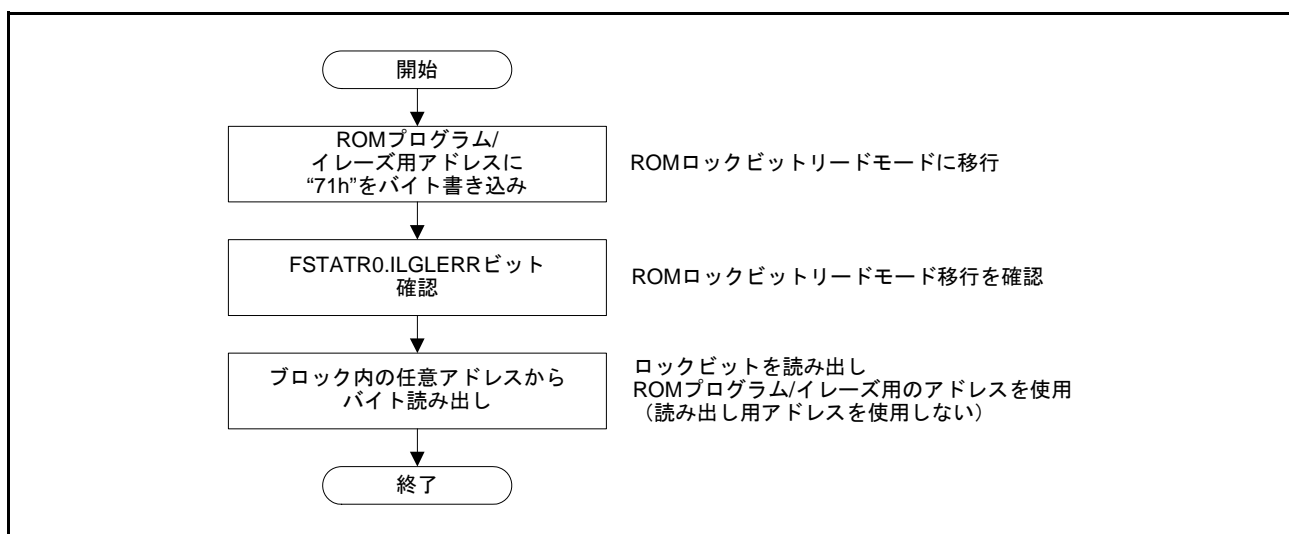


図 40.9 ROM ロックビットリードモード移行フローおよびロックビットを読む方法

40.4.4.2 P/E 方法手順

ここではROM/E2データフラッシュへのP/Eのフローについて説明します。FCUのコマンド受け付け条件については、「40.4.3 FCUのモードとコマンドの関係」を参照してください。

図40.10にFCUコマンドの概略フローを示します。

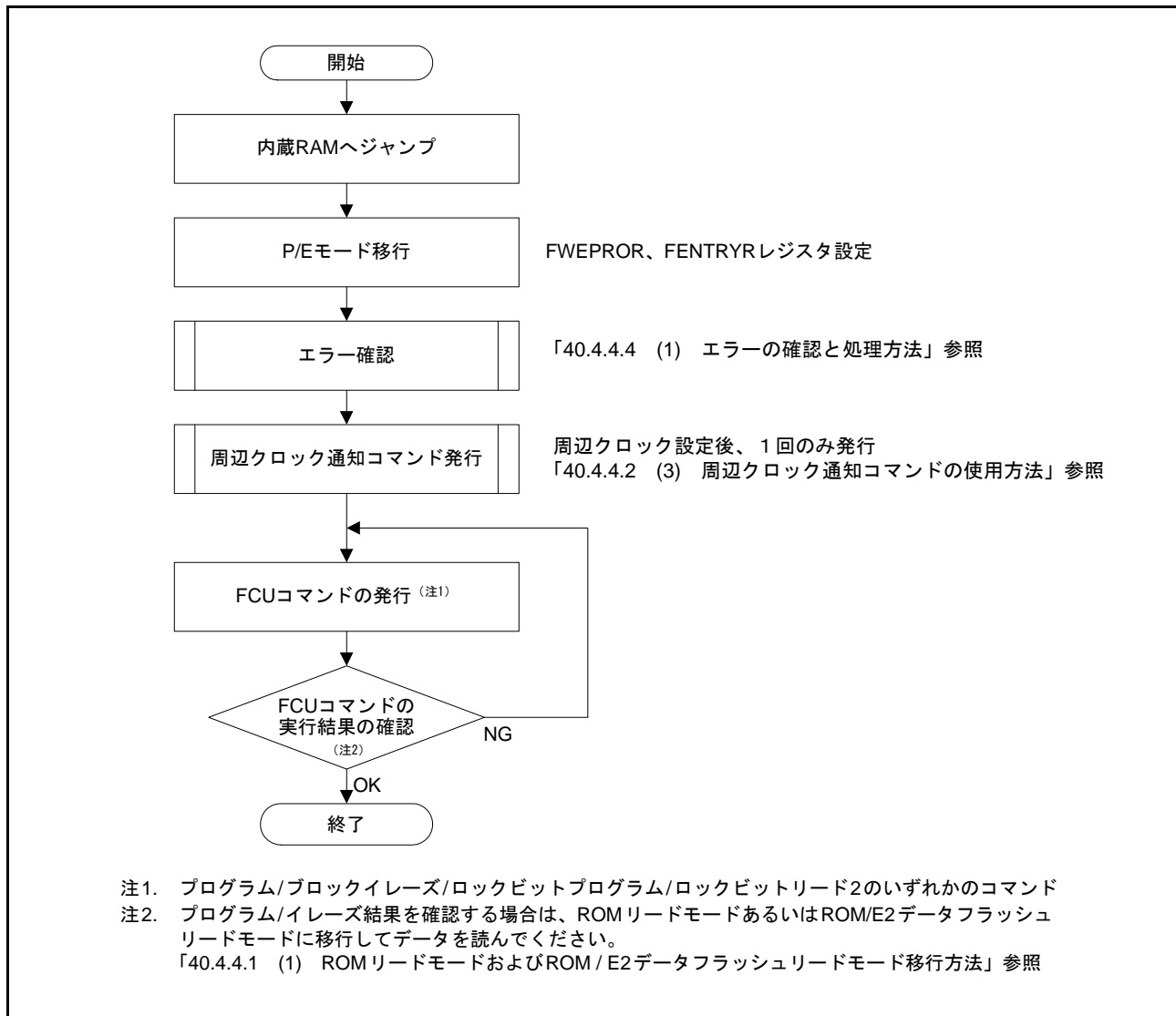


図 40.10 P/E 処理の概略フロー

(1) 内蔵 RAM へのジャンプ

ROM への P/E を行う場合、ROM に対する命令フェッチを実行させないため、命令フェッチ番地を ROM 以外の領域に移す必要があります。必要な命令コードを内蔵 RAM へコピーして内蔵 RAM へジャンプしてください。

(2) P/E モード移行

FENTRYR.FENTRY_n, FENTRYD ビット (n=0~3)、FWEPROR レジスタを設定して、FCU を P/E モードに設定する必要があります。詳細は「40.4.4.1 (2) P/E モード移行方法」を参照してください。

(3) 周辺クロック通知コマンドの使用法

ROM/E2 データフラッシュへの P/E 前に、使用している FlashIF クロック (FCLK) の周波数を PCKAR レジスタに設定する必要があります。設定可能な周波数の範囲は 4 ~ 32MHz です。この範囲に設定しなかった場合には、FCU はエラーを検出し、FASTAT.CMDLK ビットは“1” (コマンドロック状態) になります (「40.6.2 コマンドロック状態」を参照)。なお、PCKAR.PCKA[7:0] ビットが 4MHz ~ 32MHz の範囲外に設定された場合は、ROM/E2 データフラッシュに対する書き換えコマンドを発行しないでください。

PCKAR レジスタの設定後に周辺クロック通知コマンドを使用します。周辺クロック通知コマンドの第 1 サイクルでは“E9h”を、第 2 サイクルでは“03h”を ROM P/E 用あるいは E2 データフラッシュのアドレスに書きます。コマンドの第 3 サイクル~第 5 サイクルでは、“0F0Fh”を ROM P/E 用あるいは E2 データフラッシュのアドレスにワードサイズで 3 回書きます。ROM P/E 用あるいは E2 データフラッシュのアドレスに対して“0F0Fh”データの 3 回ワード書き込みを実行後、第 6 サイクルで ROM P/E 用あるいは E2 データフラッシュのアドレスに対して“D0h”を書くと、FCU が周辺クロックの周波数設定処理を開始します。設定完了は、FSTATR0.FRDY ビットで確認可能です。

ROM の場合、第 1 サイクル~第 6 サイクルで指定可能なアドレスは、FENTRYR.FENTRYn ビット (n=0 ~ 3) の設定によって異なります。FENTRYR.FENTRYn ビットに対応したアドレスを指定してください。FENTRYR レジスタで P/E モードに指定されていない領域のアドレスに対してコマンドを発行した場合には、FCU はエラーを検出し、FASTAT.CMDLK ビットは“1” (コマンドロック状態) になります (「40.6.2 コマンドロック状態」を参照)。なお、周辺クロック通知コマンドによる設定は、使用している周辺クロックを変更しない限り、リセット後 1 回の実行で後続の FCU コマンドで有効となります。

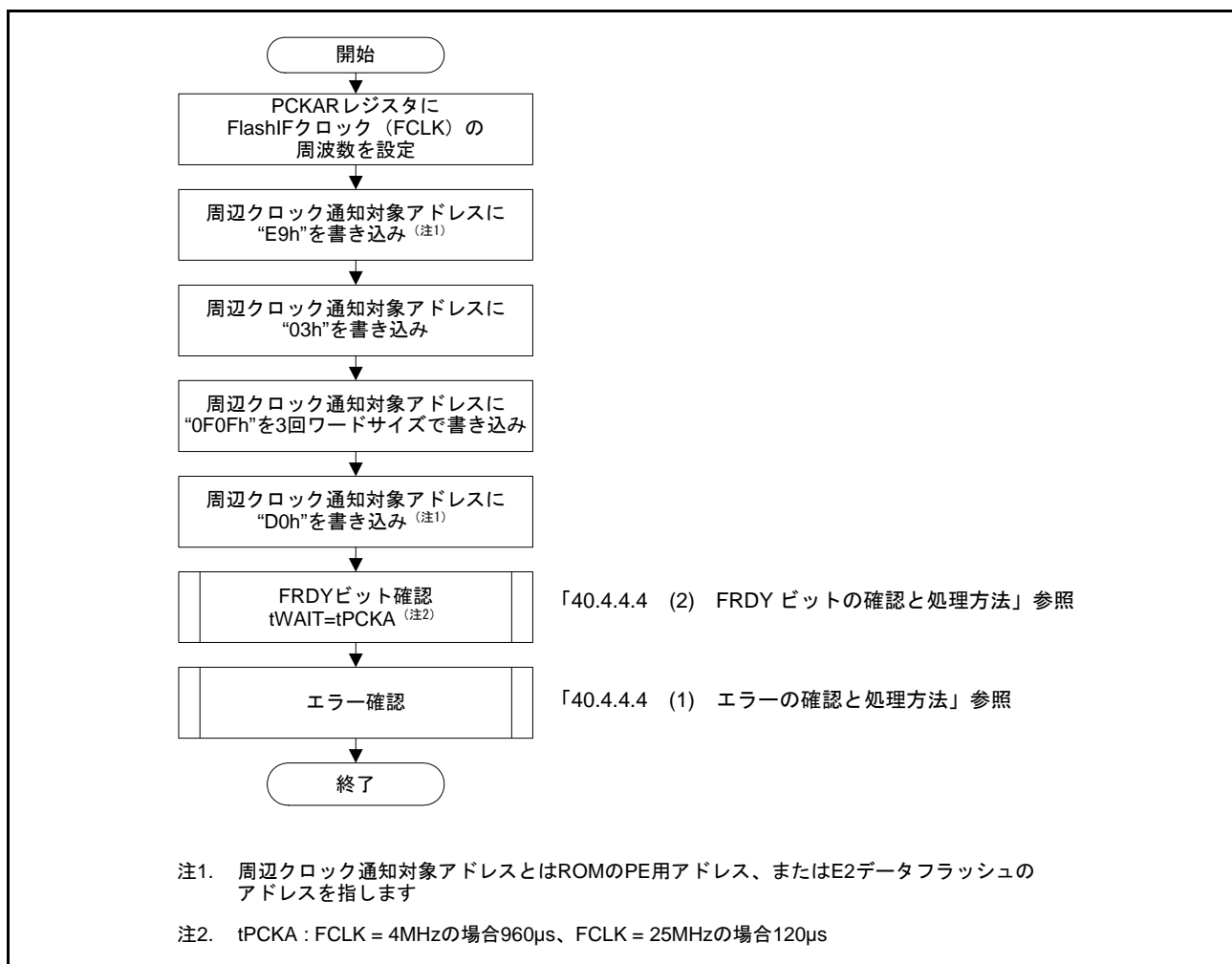


図 40.11 周辺クロック通知コマンドの使用法

(4) プログラム方法

ROM/E2 データフラッシュへプログラムを行うには、プログラムコマンドを使用します。

- ROM へのプログラム方法

プログラムコマンドの第1サイクルでは“E8h”を、第2サイクルでは“40h”をROM P/E用のアドレスに書きます。第3サイクルでは、プログラム対象領域の先頭アドレスに対してプログラムデータをワードサイズで書いてください。この際、先頭アドレスは128バイト境界にアラインしたアドレスを使用してください。第4サイクル～第66サイクルでは、ROM P/E用のアドレスに対してプログラムデータをワードサイズで63回書いてください。第67サイクルでROM P/E用のアドレスに対して“D0h”を書くと、FCUがROMへのプログラムを開始します。プログラムの完了は、FSTATR0.FRDYビットで確認可能です。

第1サイクル～第67サイクルで指定可能なアドレスは、FENTRYR.FENTRYnビット（n=0～3）の設定によって異なります。FENTRYR.FENTRYnビットに対応したアドレスを指定してください。FENTRYRレジスタでP/Eモードに指定されていない領域のアドレスに対してコマンドを発行した場合には、FCUはエラーを検出し、FASTAT.CMDLKビットは“1”（コマンドロック状態）になります（「40.6.2 コマンドロック状態」を参照）。

第3サイクル～第66サイクルでアクセスする領域にプログラムが不要なアドレスが含まれる場合は、該当アドレスに対するプログラムデータを“FFFFh”にしてください。また、ロックビットによるプロテクトが有効となっているブロックにプログラムする場合、FPROTR.FPROTCNビットを“1”にする必要があります。

- E2 データフラッシュへのプログラム方法

プログラムコマンドの第1サイクルでは“E8h”を、第2サイクルでは“01h”をE2データフラッシュ領域のアドレスに書きます。第3サイクルでは、プログラム対象領域の先頭アドレスに対してプログラムデータをワードサイズで書いてください。この際、先頭アドレスは、2バイト境界にアラインしてください。E2データフラッシュ領域のアドレスに対して1回のプログラムを実行後、第4サイクルでE2データフラッシュ領域のアドレスに対して“D0h”を書くと、FCUがE2データフラッシュへのプログラムを開始します。プログラムの完了は、FSTATR0.FRDYビットで確認可能です。また、DFLWEyレジスタ（y=0,1）の設定により、P/Eが禁止となっているブロックにプログラムをする場合、DFLWEyレジスタ（y=0,1）の該当するビットを“1”にする必要があります。

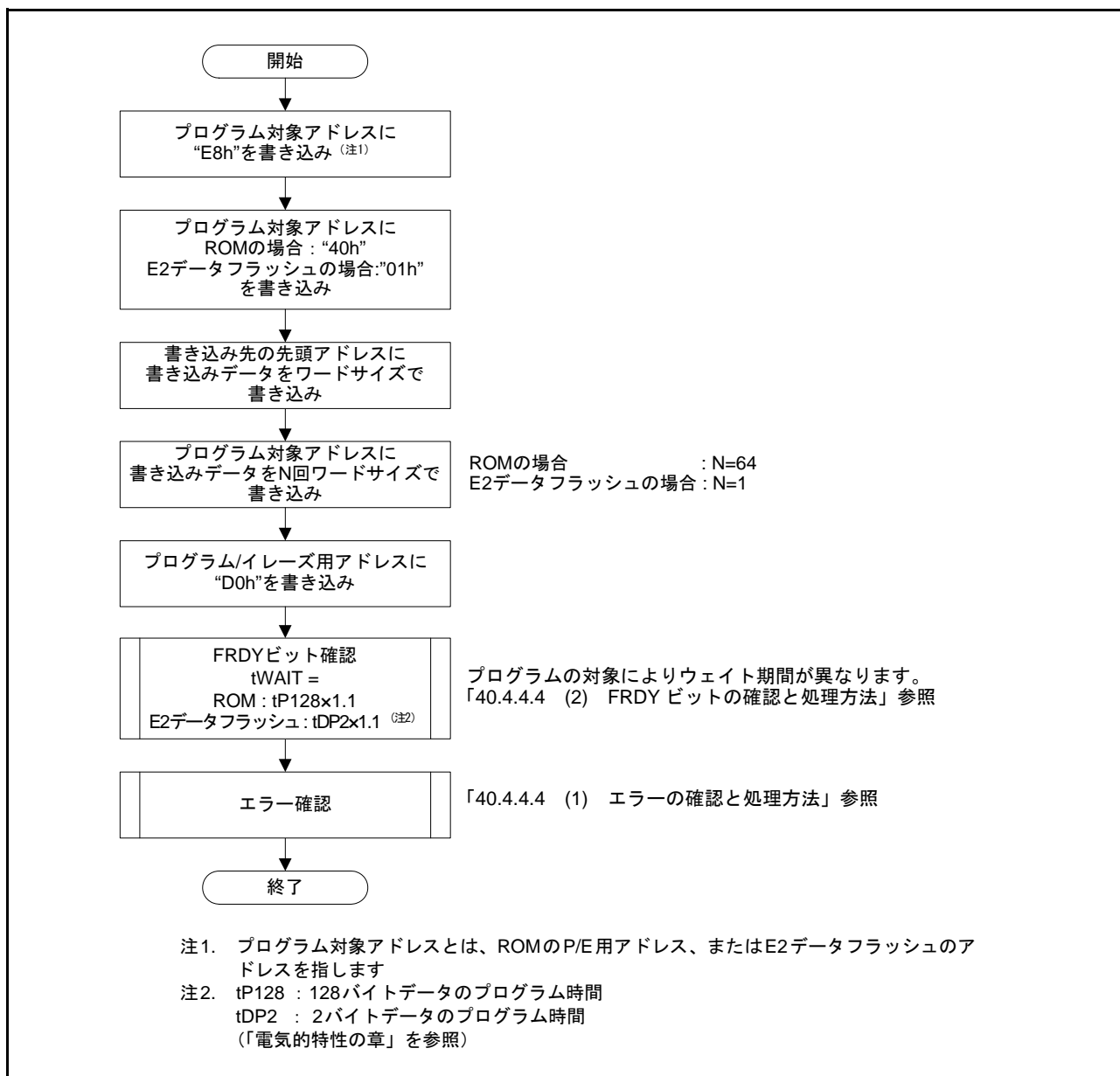


図 40.12 ROM / E2 データフラッシュへのプログラム方法

(5) イレーズ方法

ROM/E2 データフラッシュのイレーズには、ブロックイレーズコマンドを使用します。

ブロックイレーズコマンドの第1サイクルでは、“20h”をROM P/E用あるいはE2 データフラッシュのアドレスに書きます。第2サイクルで“D0h”をイレーズ対象ブロック内の任意アドレスに書くと、FCUがROM/E2 データフラッシュのイレーズ処理を開始します。イレーズの完了は、FSTATR0.FRDY ビットで確認可能です。CPU でイレーズされた状態のROM を読むと32ビットで“FFFF FFFFh”が読めます。E2 データフラッシュの場合は不定値が読めます。ROM の場合、ロックビットによるプロテクトが有効となっているブロックをイレーズするには、FPROTR.FPROTCN ビットを“1”にする必要があります。

E2 データフラッシュには、DFLWEy レジスタ (y=0, 1) によるP/Eプロテクト機能があることに注意してください。DFLWEy レジスタ (y=0, 1) の設定により、P/Eが禁止となっているブロックをイレーズする場合、DFLWEy レジスタ (y=0, 1) の該当するビットを“1”にする必要があります。

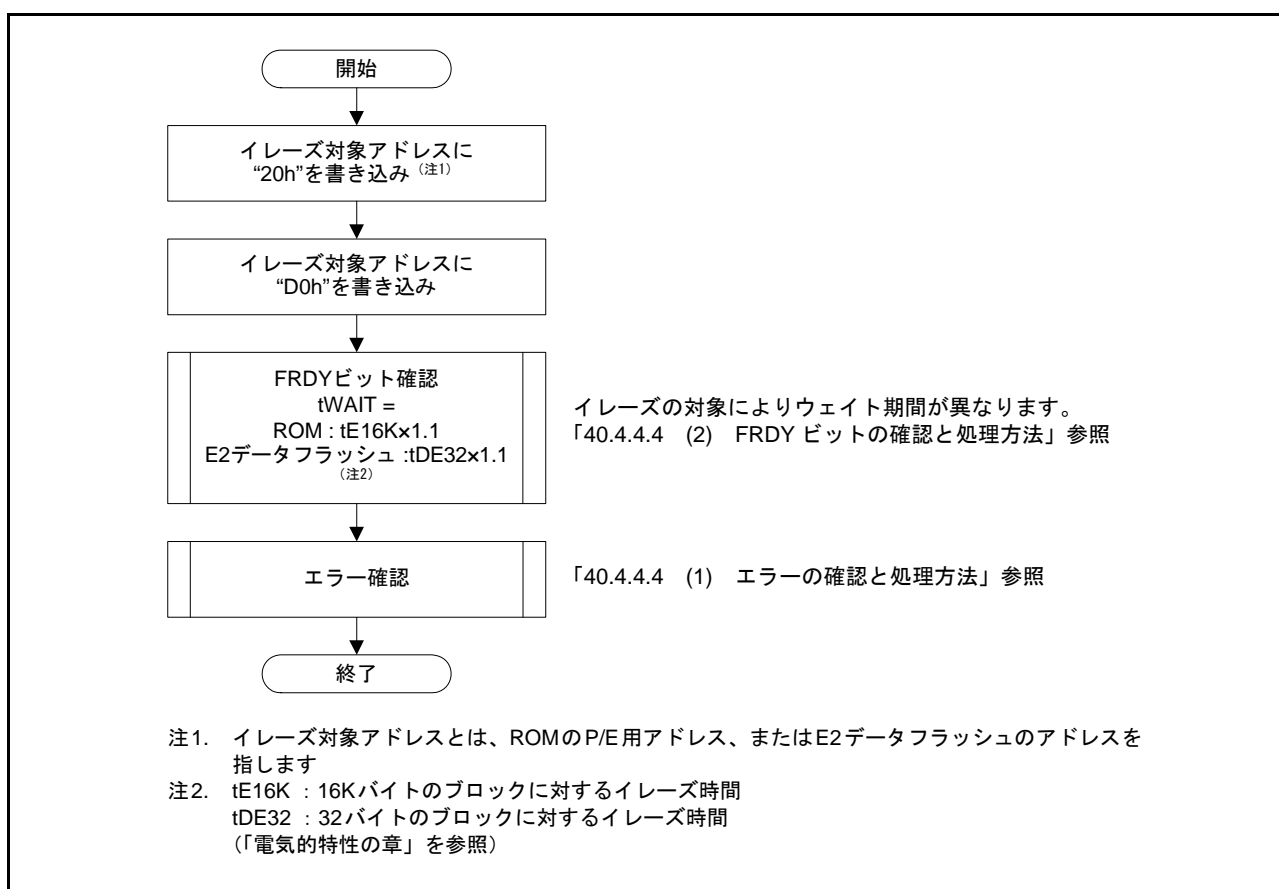


図 40.13 ROM/E2 データフラッシュのイレーズ方法

(6) ロックビットの P/E 方法

ロックビットプログラムはROMに対してのみ実行可能です。ユーザ領域の各ブロックにはロックビットが内蔵されています。ロックビットプログラムを行いたい場合には、ロックビットプログラムコマンドを使用します。ロックビットプログラムコマンドの第1サイクルでは、“77h”をROM P/E用アドレスに書き込みます。第2サイクルでロックビットをプログラムするブロック内の任意アドレスに対して“D0h”を書くと、FCUがロックビットプログラムを開始します。ロックビットプログラムの完了は、FSTATR0.FRDYビットで確認可能です。

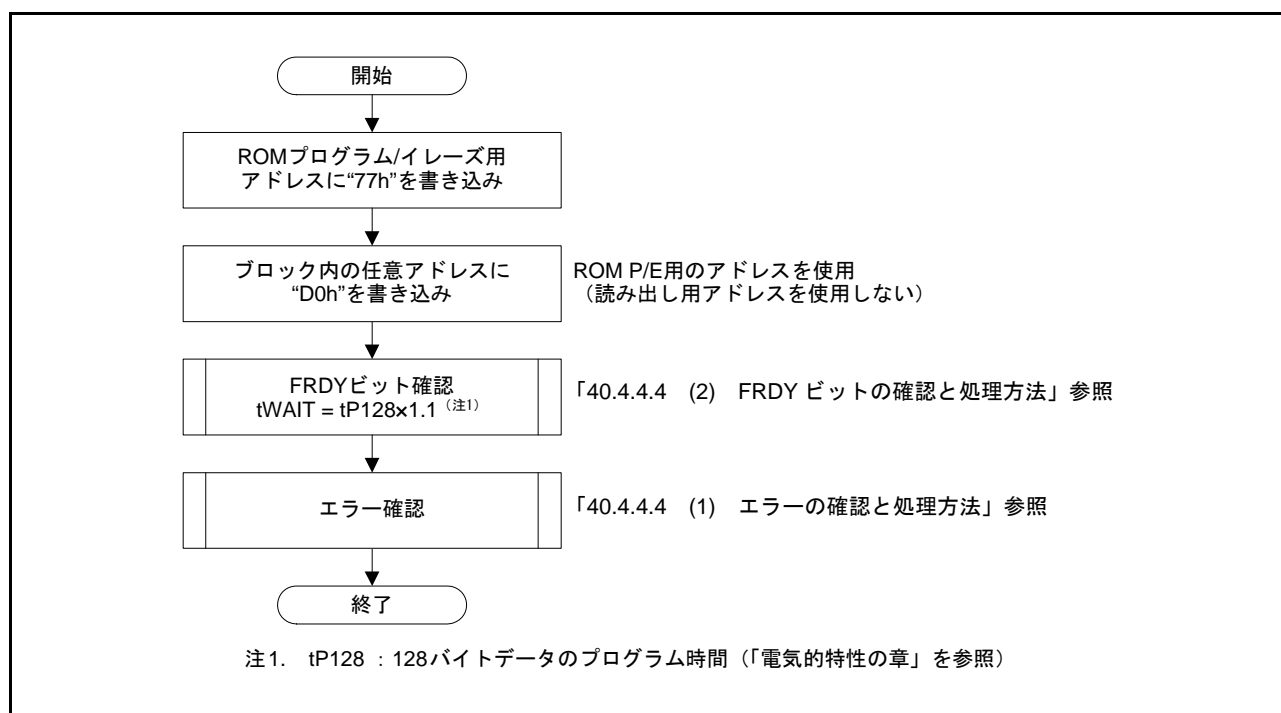


図 40.14 ロックビットのプログラムの設定方法

ロックビットの解除には、ブロックイレーズコマンドを使用します。

FPROTR.FPROTCN ビットが“0”の状態では、ロックビットが“0”になったブロックをイレーズすることができません。ロックビットを解除する場合には、FPROTCN ビットを“1”にした状態でブロックイレーズコマンドを発行してください。ブロックイレーズコマンドを使用するとブロック内の全データがイレーズされます。ロックビットのみをイレーズすることはできません。

(7) ロックビットの読み出し方法

ロックビットの読み出しはROMに対してのみ実行可能です。ロックビットの読み出し方法には、メモリ領域リード方式とレジスタリード方式があります。

レジスタリード方式（FMODR.FRDMMD ビットが“1”）の場合には、ロックビットリード2コマンドを使用します。ロックビットリード2コマンドは、ロックビットを読み出すブロックのP/E用アドレスに発行します。ロックビットリード2コマンドの第1サイクルでは“71h”を、第2サイクルでは“D0h”を書くと、対応するブロックのロックビットがFSTATR1.FLOCKST ビットにコピーされます。

メモリ領域リード方式（FMODR.FRDMMD ビットが“0”）の場合には、ロックビットリードモードに移行し、ROMのP/E用アドレスを読むことを行います。詳細については、「[図 40.9 ROM ロックビットリードモード移行フローおよびロックビットを読む方法](#)」を参照してください。

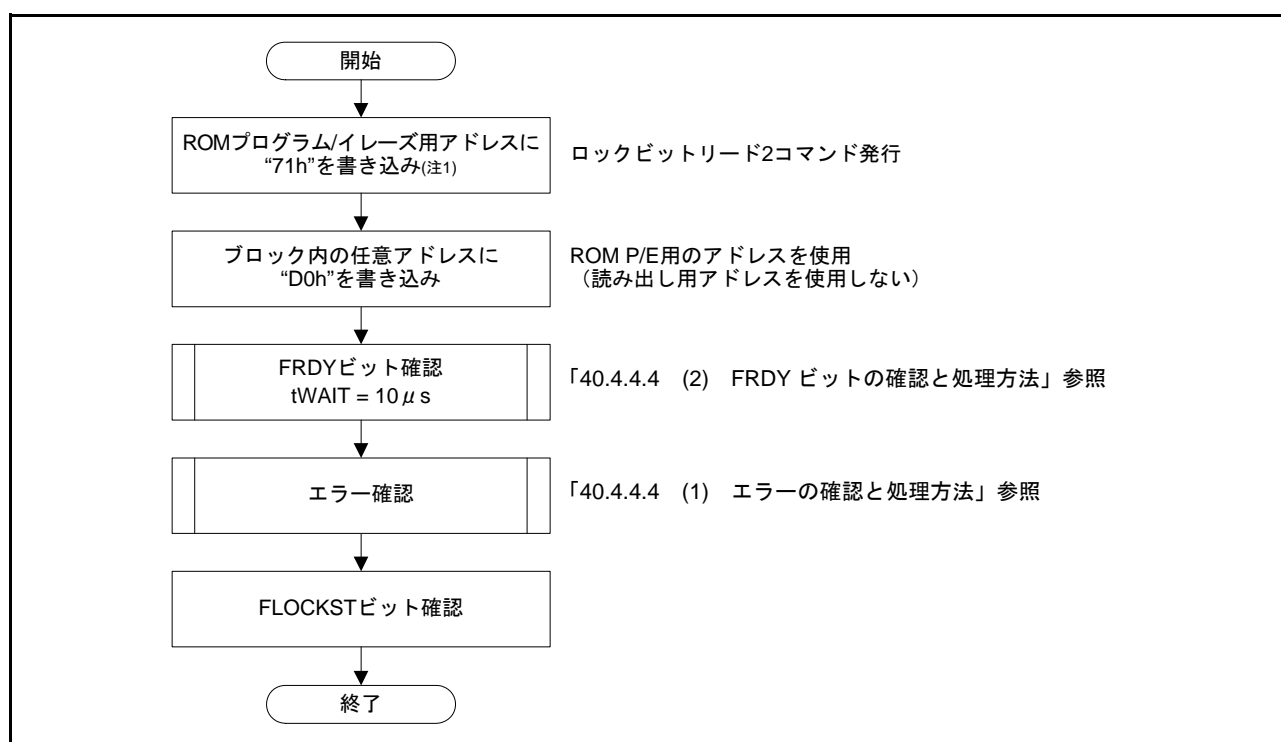


図 40.15 レジスタリード方式でロックビットを読み出す方法

(8) ブランクチェック

ブランクチェックはE2データフラッシュに対してのみ実行可能です。イレーズされたE2データフラッシュ領域をCPUで読んだ場合、その値は不定なので、イレーズされていることを確認するにはブランクチェックコマンドを使用する必要があります。ブランクチェックコマンドを使用する場合には、事前にFMODR.FRDMMDビットを“1”にしてブランクチェックコマンドが使用可能な状態にし、DFLBCCNTレジスタにチェック対象領域のサイズとアドレスを設定してください。DFLBCCNT.BCSIZEビットが“1”の場合、ブランクチェックコマンドの第2サイクルで指定したブロック全体(2Kバイト)のブランクチェックを実行できます。BCSIZEビットが“0”の場合、ブランクチェックコマンドの第2サイクルで指定したブロックの先頭アドレスと、DFLBCCNTレジスタの値を加算したアドレスから2バイト分の領域のブランクチェックを実行できます。ブランクチェックコマンドの第1サイクルでは、“71h”をE2データフラッシュ領域のアドレスに書き込みます。コマンドの第2サイクルでブランクチェック対象領域を含むブロック内の任意アドレスに“D0h”を書くと、FCUがE2データフラッシュのブランクチェック処理を開始します。ブランクチェックの完了は、FSTATR0.FRDYビットで確認できます。ブランクチェックの完了後にDFLBCSTAT.BCSTビットの値を確認すると、チェック対象領域がイレーズされているか、あるいは“0”か“1”が書かれているかを確認することができます。

図 40.16 に E2 データフラッシュのブランクチェック方法を示します。

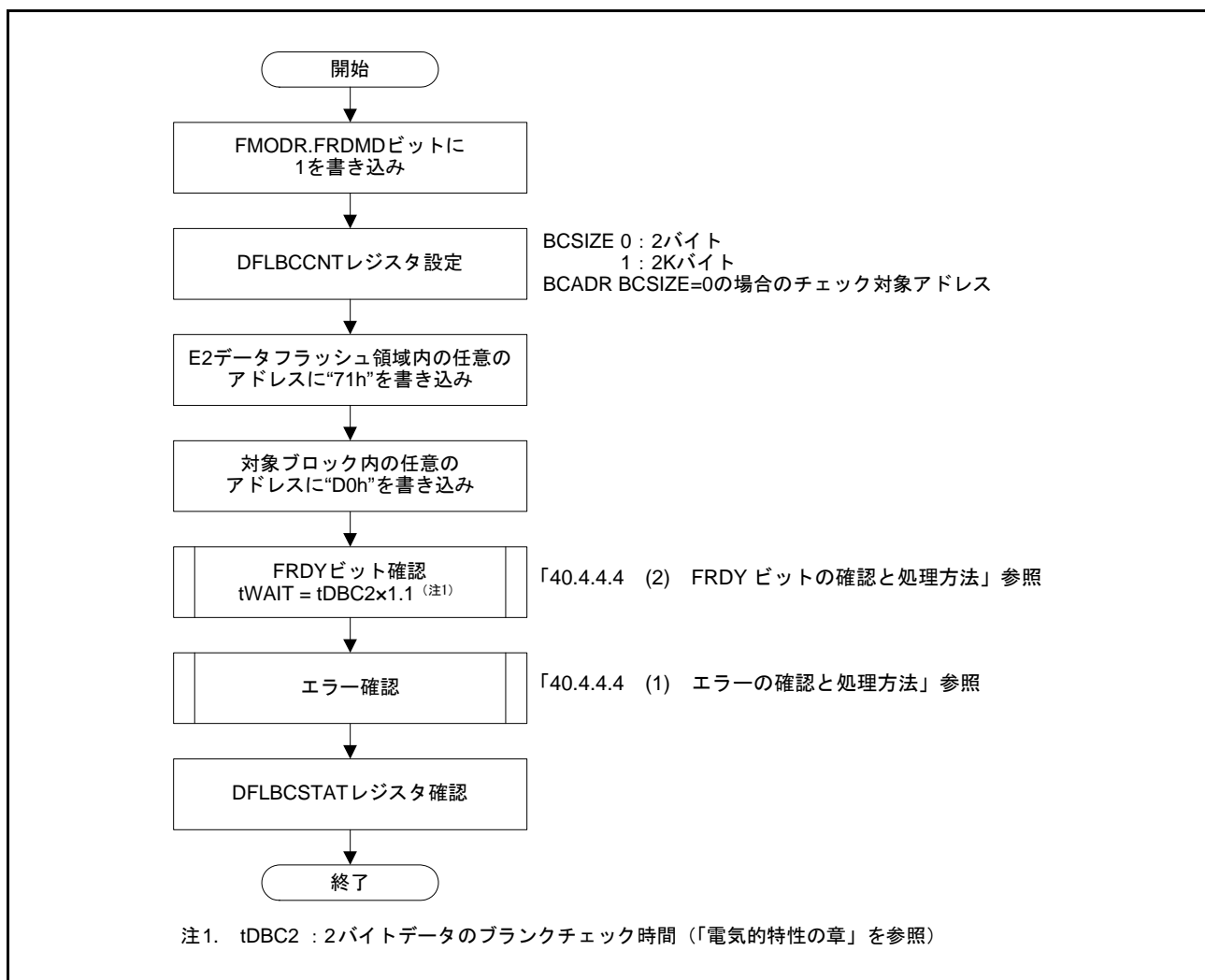


図 40.16 E2 データフラッシュのブランクチェック

40.4.4.3 サスペンド/レジューム

(1) P/E のサスペンド方法

ROM/E2 データフラッシュへの P/E の中断には、P/E サスペンドコマンドを使用します。

P/E サスペンドコマンドを発行する場合には、事前に FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットが“0”で P/E 処理が正常に実行されていることを確認してください。また、サスペンドコマンドが受け付け可能であることを確認するために、FSTATR0.SUSRDY ビットが“1”であることも確認してください。P/E サスペンドコマンドの発行後は、FSTATR0 レジスタと FSTATR1 レジスタを読んでエラーが発生していないことを確認してください。

P/E 処理中に異常が発生した場合には、ILGLERR、PRGERR、ERSERR、FCUERR ビットのうち少なくとも 1 つのビットが“1”になります。また、SUSRDY ビットが“1”であることを確認してから P/E サスペンドコマンドが受け付けられるまでの間に P/E 処理が完了していた場合には、発行した P/E サスペンドコマンドが不正コマンドとして検出されるため ILGLERR ビットが“1”になります。

P/E サスペンドコマンドの受け付けと P/E 処理の完了が同時であった場合にはエラーは発生せず、サスペンド状態にも遷移しません (FSTATR0.FR DY ビットが“1”、かつ FSTATR0.ERSSPD, PRGSPD ビットが“0”)。P/E サスペンドコマンドが受け付けられて、P/E の中断処理が正常に終了した場合には、FCU がサスペンド状態に遷移して FRDY ビットが“1”、かつ ERSSPD ビットまたは PRGSPD ビットが“1”になります。P/E サスペンドコマンド発行後には、FRDY ビットが“1”、かつ ERSSPD ビットまたは PRGSPD ビットが“1”で、サスペンド状態に遷移していることを確認した後に、後続するフローを決定してください。サスペンド状態に遷移していないにも関わらず、後続するフローで P/E レジュームコマンドを発行すると、不正コマンドエラーが発生し、FSTAT.CMDLK ビットは“1” (コマンドロック状態) になります (「40.6.2 コマンドロック状態」を参照)。

イレーズサスペンド状態に遷移した場合には、イレーズ対象外のブロックにプログラムできます。また、P/E サスペンド状態ともに、FENTRYR レジスタをクリアすることにより、ROM リードモードに移行することも可能です。

P/E サスペンドコマンド受け付け時の FCU 動作の内容については、「40.5 サスペンド動作」を参照してください。

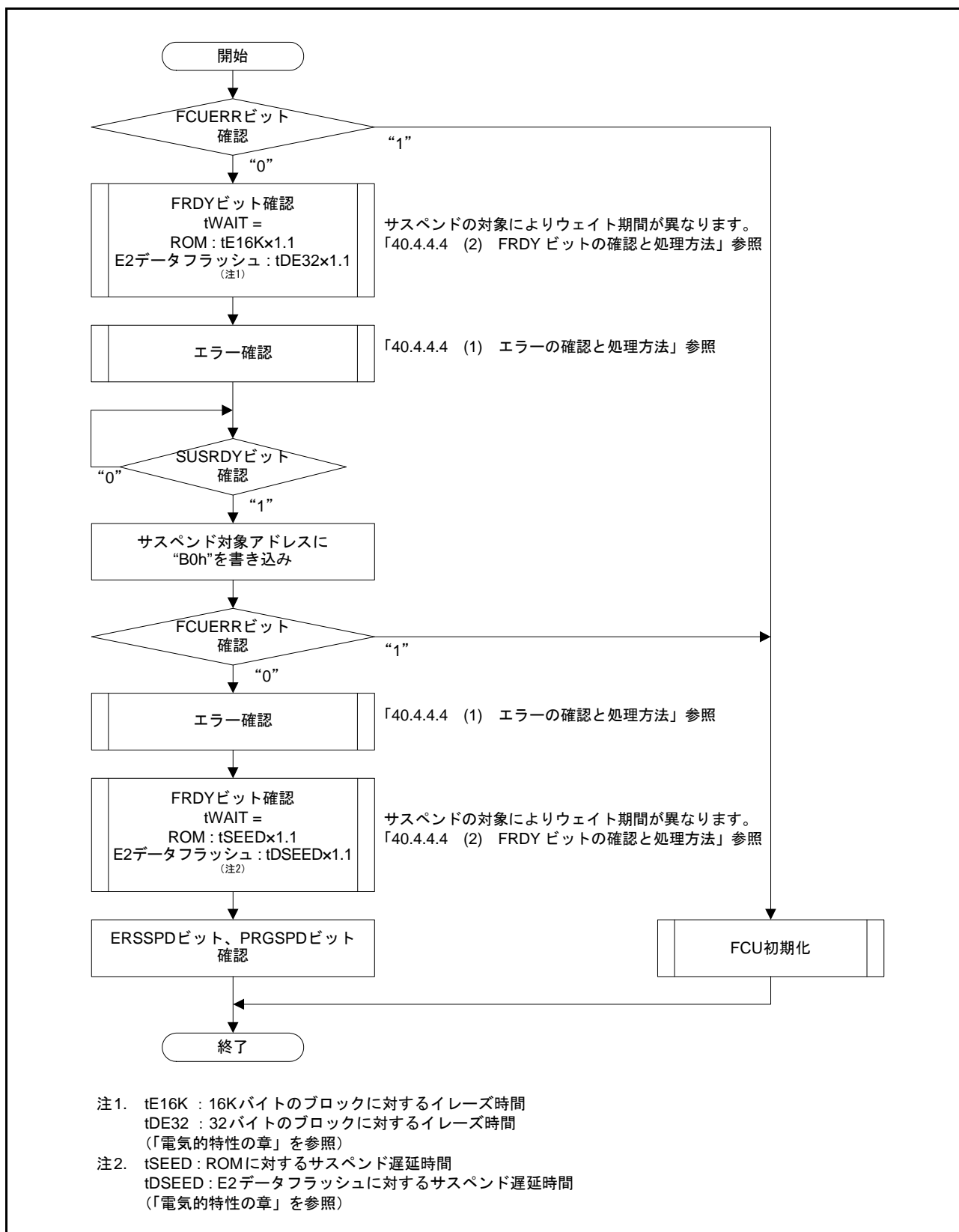


図 40.17 P/E のサスペンド方法

(2) P/E のレジューム方法

サスペンドした P/E 処理を再開する場合には、P/E レジュームコマンドを使用します。サスペンド中に FENTRYR レジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前に FENTRYR レジスタを P/E サスペンドコマンド発行直前の値に再設定してください。

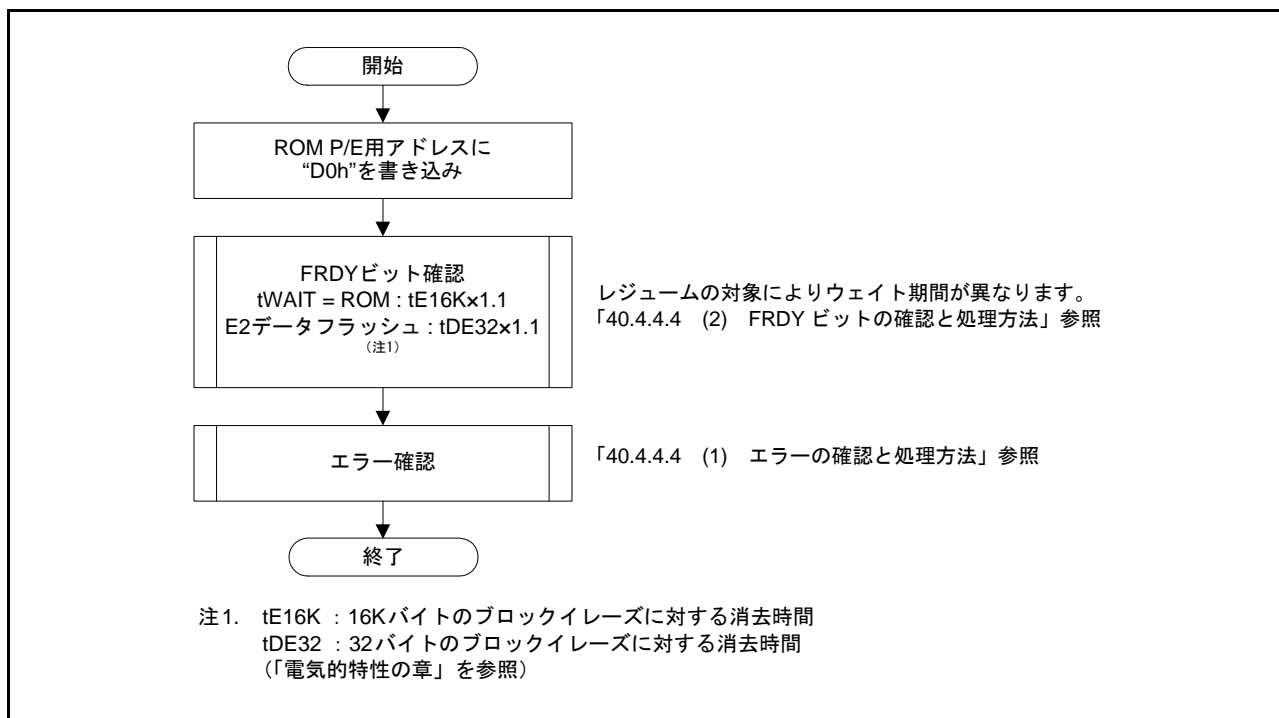


図 40.18 P/E のレジューム方法

40.4.4.4 エラーおよびFRDYビットの確認と処理方法

エラーおよびFRDYビットの確認と処理方法を説明します。各種エラーの内容は「40.6 プロテクト」を参照してください。

(1) エラーの確認と処理方法

- フラッシュステータスレジスタ0 (FSTATR0) の確認方法

FSTATR0レジスタの確認方法には、FSTATR0レジスタを直接読み出す方法と、ROMステータスリードモードでROM P/E用アドレスを読み出す方法があります。ROMステータスリードモードで読み出す方法は、「40.4.4.1 (4) ステータスリードモード移行方法」を参照してください。

- フラッシュステータスレジスタ0 (FSTATR0) のクリア方法

FSTATR0.ILGLERR, ERSERR, PRGERR ビットを“0”にする場合には、ステータスレジスタクリアコマンドを使用します。FSTATR0.ILGLERR, ERSERR, PRGERR ビットのいずれかが“1”の場合には、FASTAT.CMDLK ビットは“1” (コマンドロック状態) になり、ステータスレジスタクリアコマンド以外のFCU コマンドを受け付けません。ILGLERR ビットが“1”の場合には、FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビットの値も確認してください。これらのビットをクリアせずにステータスレジスタクリアコマンドを発行しても、ILGLERR ビットは“0”になりません。

図 40.19 にエラー発生の確認とその後の処理方法について示します。

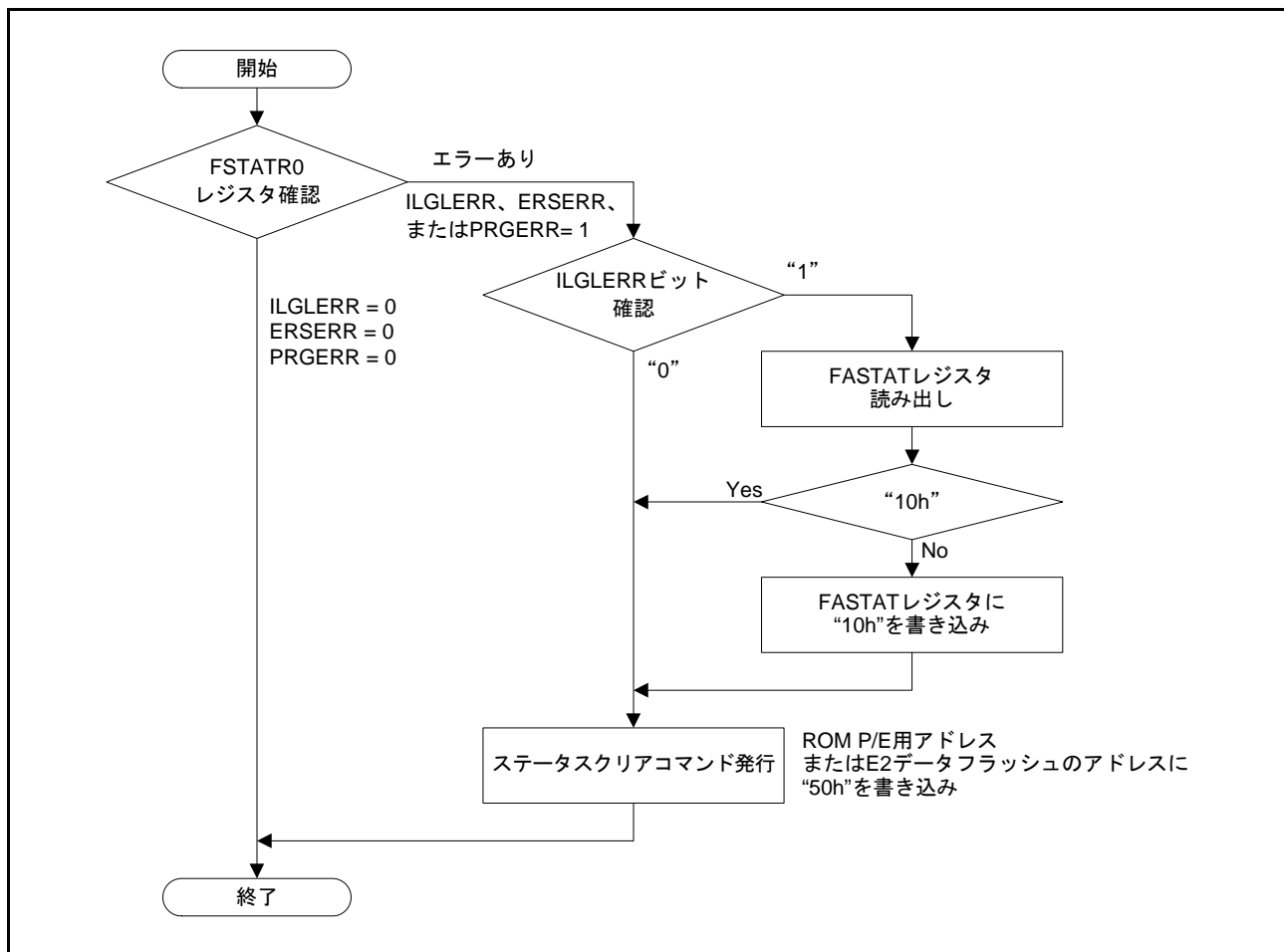


図 40.19 エラーの確認と処理方法

(2) FRDY ビットの確認と処理方法

FCU コマンド発行後、それぞれの処理に応じてウェイト期間を設ける必要があります。ウェイト期間については「41. 電気的特性」を参照してください。タイムアウトにより FSTATR0.FRDY ビットが“1”にならない場合、FRESETR レジスタによる FCU の初期化が必要です。FCU の初期化については「(3) FCU 初期化の方法」を参照してください。

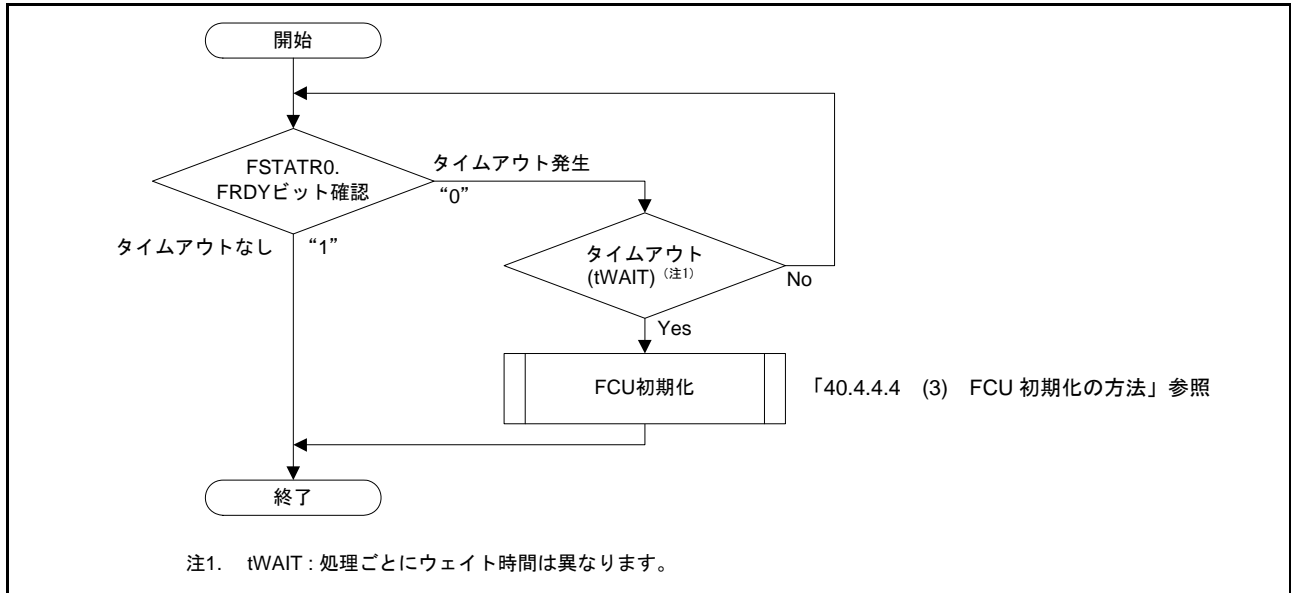


図 40.20 FRDY ビットの確認と処理方法

(3) FCU 初期化の方法

FCU コマンド発行後にタイムアウトが発生したとき、また、FSTATR1.FCUERR ビットが“1”の場合、FRESETR レジスタによる FCU 初期化が必要です。いずれの場合も FRESETR.FRESET ビットが“1”の状態を tFCUR 期間 (FCU リセット時間、「41. 電気的特性」を参照) 保持してください。FRESET ビットを“1”に保持している期間は、ROM/E2 データフラッシュへの読み出しを禁止してください。また、FRESET ビットが“1”の状態では、FENTRYR レジスタが初期化されているため、FCU コマンドを使用することはできません。図 40.10 の処理を先頭からやり直してください。

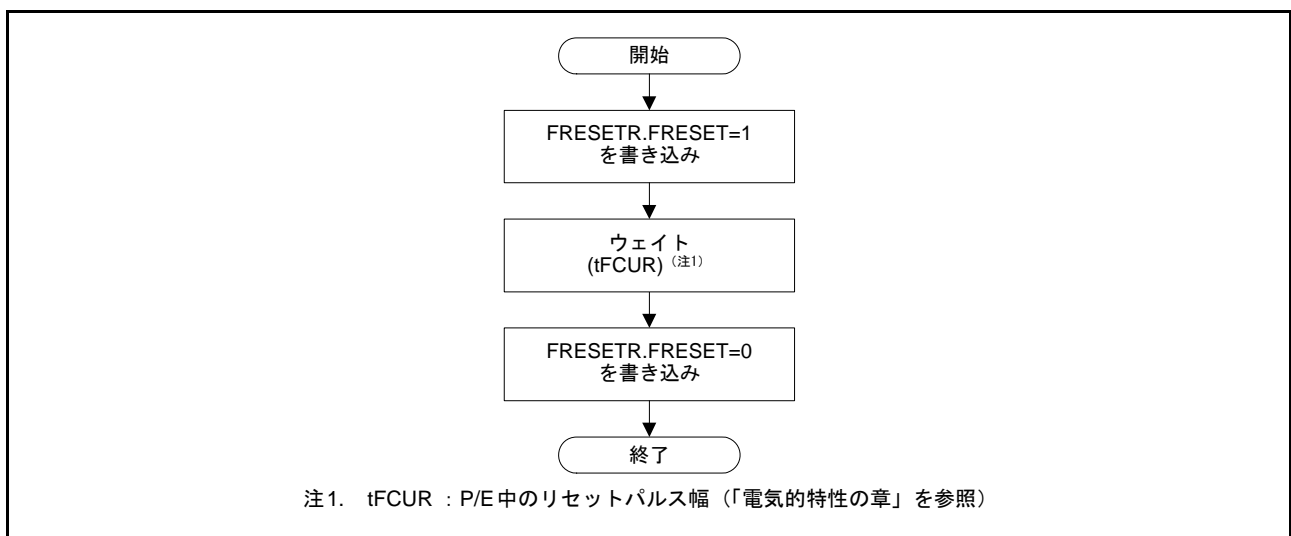


図 40.21 FCU の初期化フロー

40.5 サスペンド動作

P/E 処理中はROM/E2 データフラッシュの読み出しはできません。P/E サスペンドコマンドを発行し、ROM/E2 データフラッシュへのP/E 処理を中断させることによって、ROM/E2 データフラッシュの読み出しができるようになります。P/E サスペンドコマンドには、プログラムに対するサスペンドが1種類とイレーズに対するサスペンドが2種類（サスペンド優先モード、イレーズ優先モード）存在します。また、中断したP/E 処理を再開するP/E レジュームコマンドも用意しています。

40.5.1 プログラム中のサスペンド

ROM/E2 データフラッシュへのプログラム中にP/E サスペンドコマンドを発行すると、FCUはプログラムを中断します。図40.22にプログラムの中断動作を示します。

FCUはプログラム系のコマンドを受け付けると、FSTATR0.FRDY ビットを“0”にしてプログラムを開始します。プログラムの開始後にFCUがP/E サスペンドコマンドを受け付け可能な状態に移行すると、FCUはFSTATR0.SUSRDY ビットを“1”にします。P/E サスペンドコマンドが発行されると、FCUはサスペンドコマンドを受け付けてSUSRDY ビットを“0”にします。プログラムのパルス印加中にFCUがP/E サスペンドコマンドを受け付けた場合には、FCUはパルスの印加を継続します。所定のパルス印加時間を経過するとFCUはパルスの印加を完了し、プログラムの中断処理を開始してFSTATR0.PRGSPD ビットを“1”にします。中断処理が完了すると、FCUはFRDY ビットを“1”にしてプログラムサスペンド状態に移行します。プログラムサスペンド状態でFCUがP/E レジュームコマンドを受け付けた場合には、FCUはFRDY ビットとPRGSPD ビットを“0”にしてプログラムを再開します。

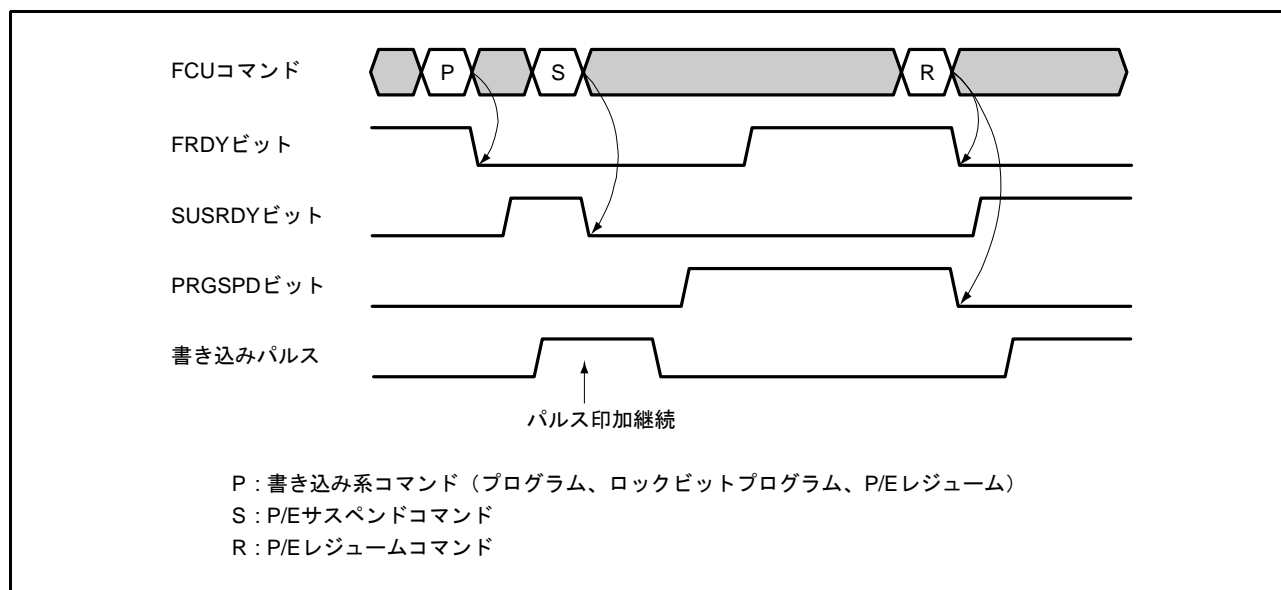


図 40.22 プログラムの中断動作

40.5.2 イレーズ中のサスペンド（サスペンド優先モード）

本 MCU では、イレーズのサスペンドにおいてサスペンド優先モードがあります。

図 40.23 にサスペンド優先モード（FCPSR.ESUSPMD ビットが“0”）の場合のイレーズの中断動作を示します。

FCU はイレーズコマンドを受け付けると、FSTAT0.FRDY ビットを“0”にクリアしてイレーズを開始します。イレーズの開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に遷移すると、FCU は FSTAT0.SUSRDY ビットを“1”にします。P/E サスペンドコマンドが発行されると、FCU はサスペンドコマンドを受け付けて SUSRDY ビットを“0”にします。イレーズ中にサスペンドコマンドを受け付けた場合には、FCU はイレーズのパルス印加中でも中断処理を開始して FSTAT0.ERSSPD ビットを“1”にします。中断処理が完了すると、FCU は FRDY ビットを“1”にして、イレーズサスペンド状態に遷移します。イレーズサスペンド状態で、FCU が P/E レジュームコマンドを受け付けた場合には、FCU は FRDY ビットと ERSSPD ビットを“0”にして、イレーズ処理を再開します。イレーズ処理の中断/再開時の FRDY、SUSRDY、ERSSPD ビットの挙動は、FCPSR.ESUSPMD ビットの値に依存せず同じです。

FCPSR.ESUSPMD ビットの値は、イレーズのパルスの制御方式に影響を与えます。サスペンド優先モードでは、過去に中断されたことのないパルス A を印加中に FCU が P/E サスペンドコマンドを受け付けた場合には、パルス A の印加を中断してイレーズサスペンド状態に遷移します。P/E レジュームコマンドによりイレーズが再開され、パルス A を再印加している期間に、FCU が P/E サスペンドコマンドを受け付けた場合には、FCU はパルス A の印加を継続します。所定のパルス印加時間を経過すると、FCU はパルスの印加を完了してイレーズサスペンド状態に遷移します。次に FCU が P/E レジュームコマンドを受け付けて、新たなパルス B の印加が開始された後に、再び FCU が P/E サスペンドコマンドを受け付けた場合には、パルス B の印加は中断されます。サスペンド優先モードでは、1 パルスあたり 1 回の割合でパルスの印加を中断してサスペンド処理を優先するため、サスペンドの遅延を小さくできます。

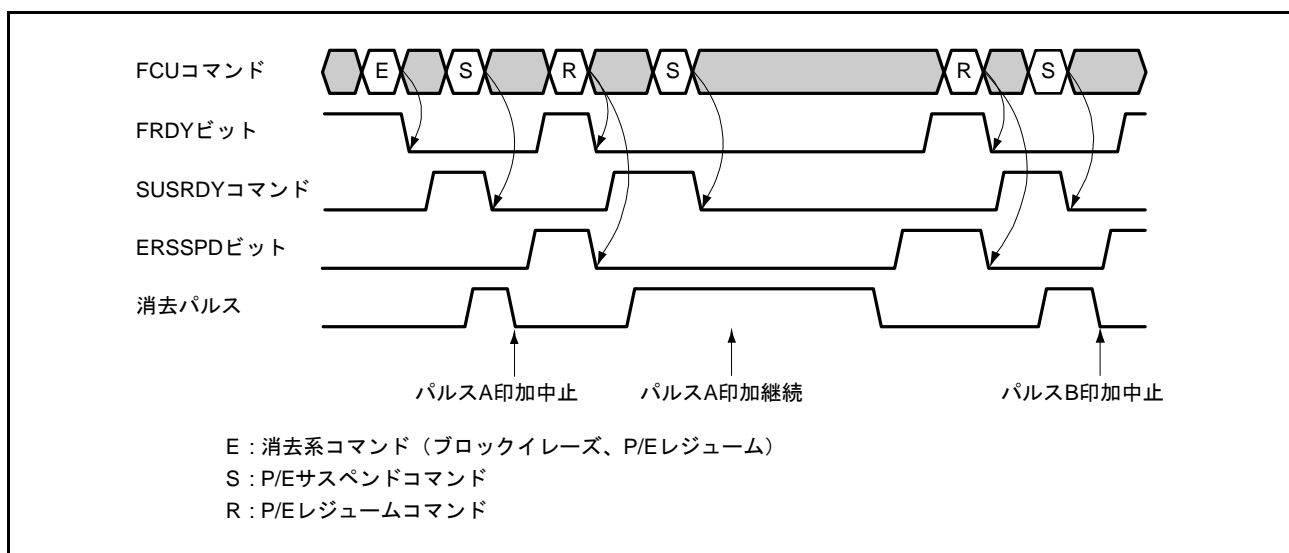


図 40.23 イレーズ処理の中断動作（サスペンド優先モード）

40.5.3 イレーズ中のサスペンド（イレーズ優先モード）

本 MCU では、イレーズのサスペンドにおいてイレーズ優先モードがあります。

図 40.24 にイレーズ優先モード（FCPSR.ESUSPMD ビットが“1”）の場合のイレーズの中断動作を示します。イレーズ優先モードのパルス制御方式は、プログラムの中断処理のパルス制御方式と同様です。

FCU がパルス印加中に P/E サスペンドコマンドを受け付けた場合には、パルスの印加を継続します。このモードでは P/E レジュームコマンド発行時にパルスの再印加が発生しないため、サスペンド優先モードと比較してイレーズ全体に必要な時間を短縮可能です。

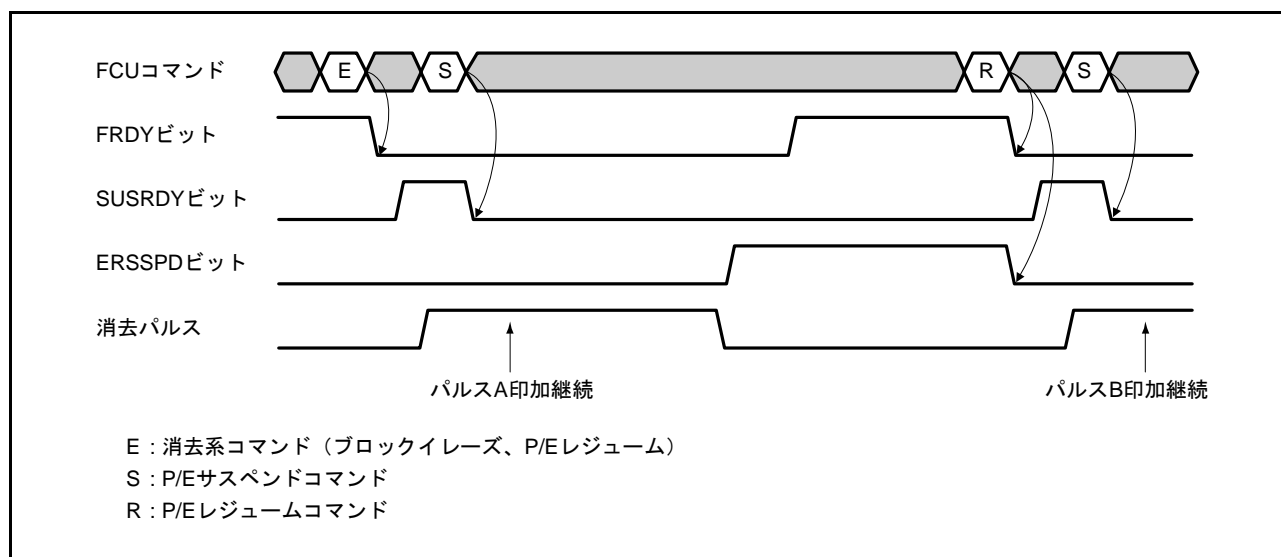


図 40.24 イレーズの中断動作（イレーズ優先モード）

40.6 プロテクト

ROM/E2 データフラッシュに対する P/E のプロテクトには、ソフトウェアプロテクト、コマンドロックの 2 種類があります。

40.6.1 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定やユーザ領域のロックビット設定によって ROM/E2 データフラッシュに対する P/E を禁止する機能です。ソフトウェアプロテクトに違反して、ROM/E2 データフラッシュに対する P/E 系コマンドを発行した場合には、FCU がエラーを検出して、FASTAT.CMDLK ビットは“1”（コマンドロック状態）になります。

(1) FWEPROR レジスタによるプロテクト

FWEPROR.FLWE[1:0] ビットを“01b”にしないと、いずれのモードにおいても書き換えできません。

(2) FENTRYR レジスタによるプロテクト

FENTRYR.FENTRY3, FENTRY2, FENTRY1, FENTRY0, FENTRYD ビットがすべて“0”の場合には、ROM/E2 データフラッシュリードモードになります。ROM/E2 データフラッシュリードモードでは FCU コマンドが受け付けられないため、ROM/E2 データフラッシュへの P/E は禁止状態になります。ROM/E2 データフラッシュリードモードで FCU コマンドを発行すると、FCU は不正コマンドエラーを検出して、FASTAT.CMDLK ビットは“1”（コマンドロック状態）になります（「40.6.2 コマンドロック状態」を参照）。

(3) ロックビットによるプロテクト

ユーザ領域の各ブロックにはロックビットが内蔵されています。FPROTR.FPROTCN ビットが“0”の場合には、ロックビットが“0”のブロックに対する P/E は禁止状態になります。ロックビットが“0”のブロックを P/E したい場合には、FPROTCN ビットを“1”にしてください。ロックビットによるプロテクトに違反して ROM に対する P/E 系コマンドを発行すると、FCU は P/E エラーを検出して、FASTAT.CMDLK ビットは“1”（コマンドロック状態）になります（「40.6.2 コマンドロック状態」を参照）。

(4) DFLWEy レジスタによるプロテクト

DFLWEy.DBWEj ($y=0, 1, j=00 \sim 15$) ビットが“0”の場合には、データ領域の DBj ブロックの P/E が禁止状態になります。DBWEj ビットが“0”の状態では DBj ブロックに対する P/E を実行すると、FCU は P/E プロテクト違反を検出して、FASTAT.CMDLK ビットは“1”（コマンドロック状態）になります（「40.6.2 コマンドロック状態」を参照）。

(5) DFLREy レジスタによるプロテクト

DFLREy.DBREj ($y=0, 1, j=00 \sim 15$) ビットが“0”の場合には、データ領域の DBj ブロックの読み出しが禁止状態になります。DBREj ビットが“0”の状態では DBj ブロックに対する読み出しを実行すると、FCU はリードプロテクト違反を検出して、FASTAT.CMDLK ビットは“1”（コマンドロック状態）になります（「40.6.2 コマンドロック状態」を参照）。

40.6.2 コマンドロック状態

コマンドロック状態とは、FCU コマンドの誤発行、禁止アクセスの発生により、FCU が誤動作を検知して FCU コマンドを受け付けない状態です。

ステータスビット（FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、

FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビット）のいずれか、もしくはこれらのビットに複数“1”がセットされると、FCU がコマンドロック状態（FASTAT.CMDLK ビットが“1”）になり、ROM/E2 データフラッシュへの P/E が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが“10h”の状態ではステータスレジスタクリアコマンドを発行する必要があります。

FAEINT レジスタの割り込み許可ビットが“1”の場合には、FASTAT レジスタの対応するビットが“1”になるとフラッシュインタフェースエラー（FIFERR）割り込みが発生します。表 40.12 にエラーの内容とエラー検出時のステータスビット値（FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビット）の関係を示します。P/E 処理中にサスペンド以外のコマンドを発行するとコマンドロック状態に遷移しますが、FCU は P/E 処理を続けます。この状態で P/E サスペンドコマンドを発行して P/E を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビットが“1”になります。

表 40.12 エラーとステータスビットの一覧

分類	内容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE	DFLAE	DFLRPE	DFLWPE
FENTRYR 設定エラー	FENTRYR レジスタに“0001h”、“0002h”、“0004h”、“0008h”、“0080h”以外の値を設定	1	0	0	0	0	0	0	0
	サスペンド/レジューム時でFENTRYR レジスタ設定が不一致	1	0	0	0	0	0	0	0
不正コマンドエラー (ROM/E2データフラッシュ共通)	FCUコマンドの1サイクル目で未定義コードを指定	1	0	0	0	0	0	0	0
	複数サイクルのFCUコマンド最終サイクルで“D0h”以外を指定	1	0	0	0	0	0	0	0
	PCKARレジスタに周辺クロック1~100MHz以外を設定(1~4MHz、32~100MHzの設定ではエラー検出しません)	1	0	0	0	0	0	0	0
	P/E処理中にサスペンド以外のコマンドを発行	1	0	0	0	0	0	0	0
	P/E以外の処理中にサスペンドコマンドを発行	1	0	0	0	0	0	0	0
	サスペンド状態でサスペンドコマンドを発行	1	0	0	0	0	0	0	0
	サスペンド以外の状態でレジュームコマンドを発行	1	0	0	0	0	0	0	0
	プログラムサスペンド状態でP/E系(プログラム/ロックビットプログラム/ブロックイレーズ)コマンドを発行	1	0	0	0	0	0	0	0
	イレーズサスペンド状態でブロックイレーズコマンド発行	1	0	0	0	0	0	0	0
	イレーズサスペンド状態でイレーズサスペンド対象領域へのプログラム/ロックビットプログラムコマンドを発行	1	0	0	0	0	0	0	0
不正コマンドエラー (ROM)	FASTAT.CMDLKビットが“1”(コマンドロック状態)のときでコマンド発行	1	0/1	0/1	0/1	0/1	0	0	0
不正コマンドエラー (ROM)	プログラムコマンドの2サイクル目で“40h”以外を指定	1	0	0	0	0	0	0	0
不正コマンドエラー (E2データフラッシュ)	プログラムコマンドの2サイクル目で“01h”以外を指定	1	0	0	0	0	0	0	0
	FENTRYR.FENTRYDビットが“1”の状態、E2データフラッシュ領域に対してロックビットプログラムコマンドを発行	1	0	0	0	0	0	0	0
イレーズエラー	イレーズ中のエラー発生	0	1	0	0	0	0	0	0
	FPROTR.FPROTCNビットが“0”の場合に、ロックビットが“0”に設定されたブロックに対してブロックイレーズコマンドを発行	0	1	0	0	0	0	0	0
プログラムエラー	プログラム中のエラー発生	0	0	1	0	0	0	0	0
	FPROTR.FPROTCNビットが“0”の場合に、ロックビットが“0”に設定されたブロックに対してプログラム/ロックビットプログラムコマンドを発行	0	0	1	0	0	0	0	0
FCUエラー	FCU内部の処理でエラー発生	0	0	0	1	0	0	0	0
ROMアクセス違反	領域n (n=0~3) がROM/P/Eモード(FENTRYR.FENTRYnビット=1)の場合に、領域nの読み出し用アドレスに対する読み出しを実行(注1)	1	0	0	0	1	0	0	0
	領域n (n=0~3) がリードモード(FENTRYR.FENTRYnビット=0)の場合に領域nのP/E用アドレスに対してFCUコマンドを発行	1	0	0	0	1	0	0	0
	FENTRYRレジスタを設定してROM P/Eモードに移行した状態で、領域n (n=0~3) に対して読み出しを実行	1	0	0	0	1	0	0	0
E2データフラッシュ アクセス違反	E2データフラッシュ P/Eノーマルモード(FENTRYR.FENTRYDビット=1)の場合、E2データフラッシュ領域に対して読み出しを実行	1	0	0	0	0	1	0	0
	FENTRYR.FENTRYDビットが“0”の状態、E2データフラッシュ領域に対してFCUコマンドを発行	1	0	0	0	0	1	0	0
	FENTRYR.FENTRYnビット (n=0~3) のいずれかが“1”の状態、E2データフラッシュ領域に対してFCUコマンドを発行	1	0	0	0	0	1	0	0
E2データフラッシュ リードプロテクト違反	DFLREyレジスタ (y=0,1) で読み出し禁止に設定したE2データフラッシュ領域に対して読み出しを実行	1	0	0	0	0	0	1	0
E2データフラッシュ ライトプロテクト違反	DFLWEyレジスタ (y=0,1) でP/E禁止に設定したE2データフラッシュ領域に対して、P/Eコマンドを発行	1	0	0	0	0	0	0	1

注1. ROM容量と領域の関係については「40.1.1 ROMの領域構成」を参照してください。

40.7 ユーザブートモード

MD 端子を Low、PC7 端子を High にしてリセットを解除すると、ユーザブートモードで起動します。このときのリセットベクタは、ユーザブート領域の“FF7F FFFCh”番地になります。その他のベクタテーブルは、通常のベクタテーブルを参照します（「14. 割り込みコントローラ (ICUb)」の章を参照）。

ユーザブートモードでは、任意のインタフェースを使ったプログラムを作成でき、FCU コマンドを発行してユーザ領域/データ領域への P/E を実行できます。なお、ユーザブート領域へのプログラムは、ブートモードで実施してください。

40.8 ブートモード

40.8.1 システム構成

ブートモードでは、ホストから制御コマンドやプログラムデータを送信してユーザ領域/データ領域/ユーザブート領域への P/E を実行可能です。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU をブートモードで起動すると、ブート領域上のプログラムが実行されます。ブート領域上のプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、P/E の制御をします。

図 40.25 にブートモード時のシステム構成を示します。

表 40.13 に ROM / E2 データフラッシュ関連の入出力端子を示します。

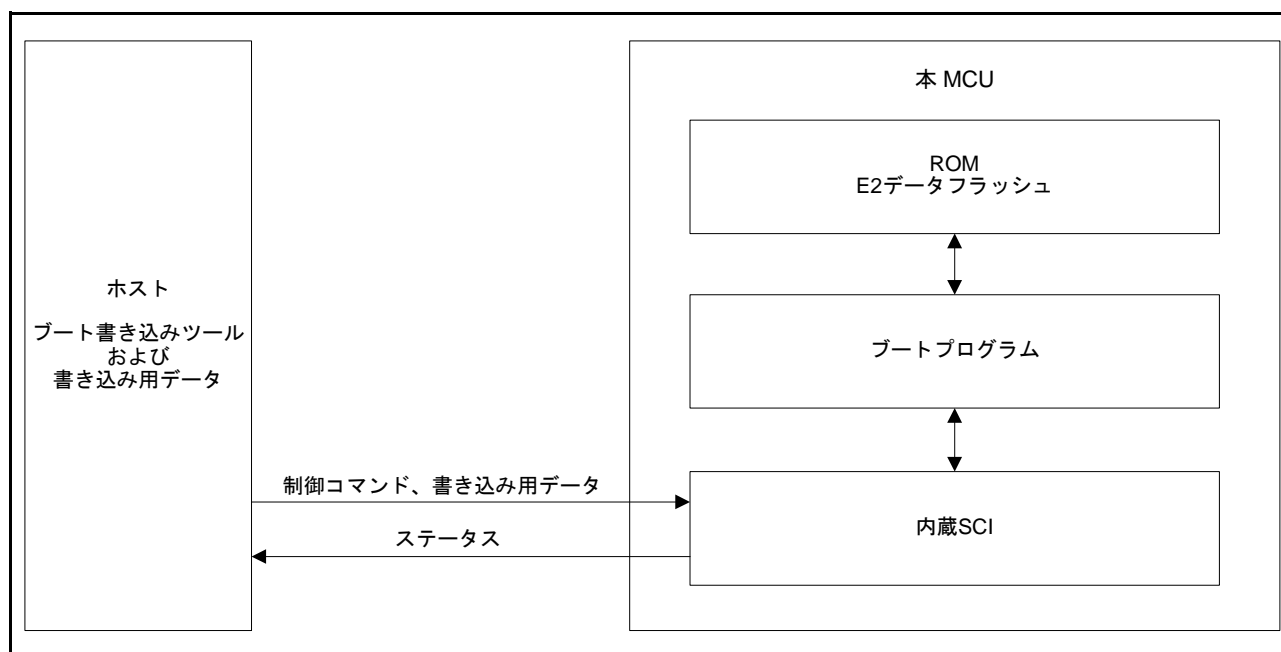


図 40.25 ブートモード時のシステム構成

表 40.13 ROM / E2 データフラッシュ関連の入出力端子

端子名	入出力	使用するモード	用途
MD	入力	ブートモード	動作モードを選択
PC7	入力	ユーザブートモード	ブートモード (SCIブート)、ユーザブートモードを選択
P30/RXD1	入力	ブートモード	ホスト通信用 (SCIデータ受信用)
P26/TXD1	出力		ホスト通信用 (SCIデータ送信用)

40.8.2 ブートモードの状態遷移

図 40.26 にブートモードの状態遷移図を示します。

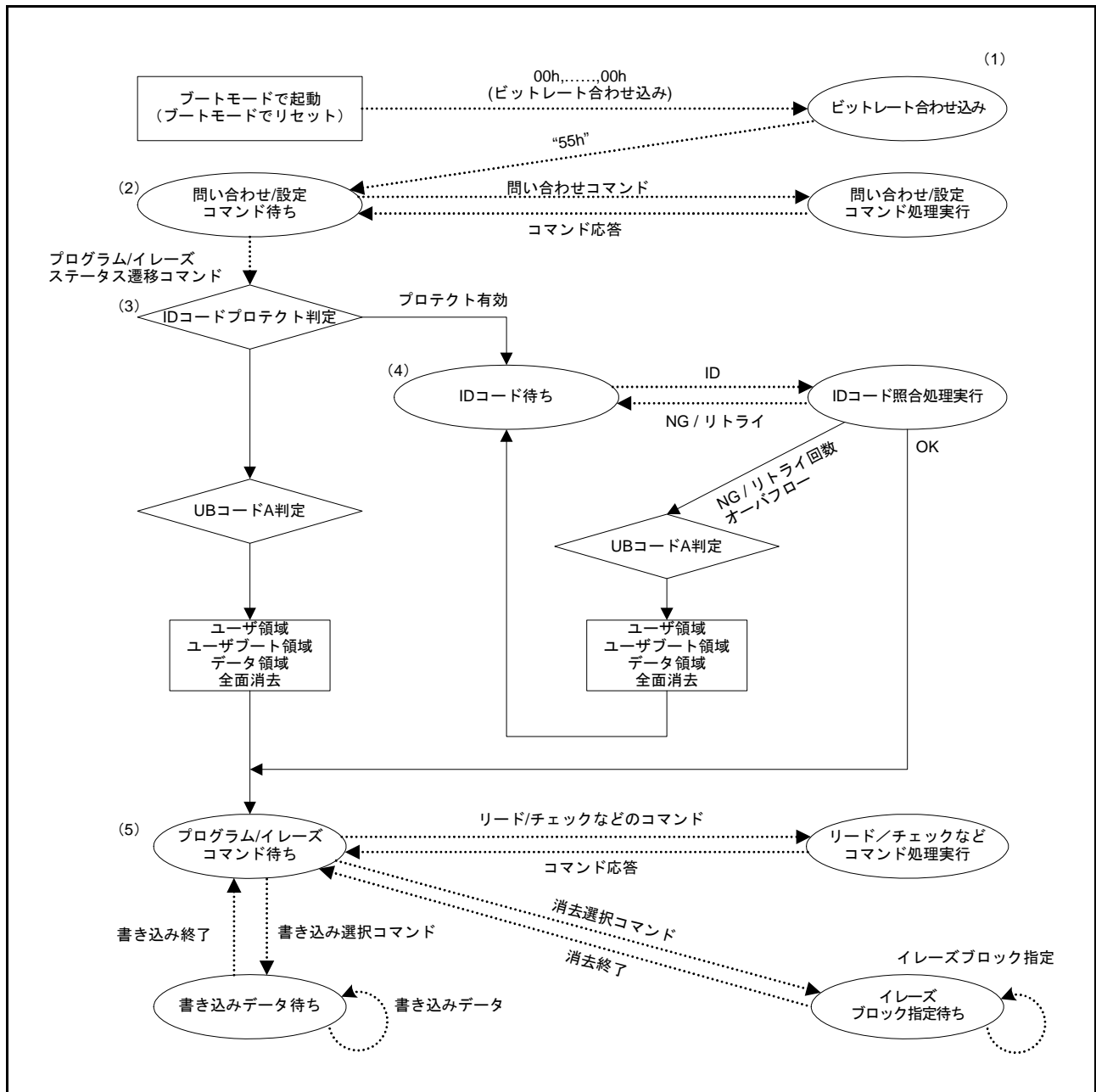


図 40.26 ブートモードの状態遷移図

(1) ビットレート合わせ込み

本 MCU をブートモードで起動すると、ホストと SCI 通信用のビットレートの自動調整を実行します。ビットレートの自動調整が終了すると、本 MCU からホストへ“00h”を送信します。その後、ホストから送信された“55h”を本 MCU が正しく受信すると問い合わせ / 設定コマンド待ちに遷移します。ビットレート合わせ込みの詳細は「40.8.3 ビットレートの自動調整」を参照してください。

(2) 問い合わせ / 設定コマンド待ち

領域サイズ、領域構成、領域先頭アドレス、サポート状況などの問い合わせや、デバイス、クロックモード、ビットレートを選択するための状態です。ホストから P/E ステータス遷移コマンドを発行すると、ID コードプロテクトの有効 / 無効判定に遷移します。問い合わせ / 設定コマンドの詳細は「40.8.7 問い合わせ / 設定コマンド待ち」を参照してください。

(3) ID コードプロテクト判定

ID コードプロテクトの有効 / 無効を判定します。ROM 上に書かれている制御コードおよび ID コードから ID コードプロテクトの有効 / 無効を判定し、有効時は ID コード待ちへ、無効時はユーザ領域 / データ領域の全面イレーズを実行し、P/E コマンド待ちに遷移します。制御コードおよび ID コードの詳細は「40.8.4 ID コードプロテクト (ブートモード)」を参照してください。

(4) ID コード待ち

ホストから制御コードおよび ID コードが送られてくるのを待ちます。ホストから送られてくる制御コードおよび ID コードと ROM 上のコードを比較し、一致していれば P/E コマンド待ちに遷移します。一致しなければ ID コード待ちに戻りますが、3 回不一致が続いた場合かつプロテクト状態が認証方法 1 の場合、全面イレーズし、再び ID コード待ちに戻ります。電源を落とした後、最初からやり直してください。制御コードおよび ID コードの詳細は「40.8.4 ID コードプロテクト (ブートモード)」を参照してください。

(5) P/E コマンド待ち

ホストからのコマンドにしたがって、P/E を実行する状態です。本 MCU が受信したコマンドに応じて、プログラムデータ待ち、イレーズブロック指定待ち、リード / チェックなどコマンド処理実行状態に遷移します。

本 MCU がプログラム選択コマンドを受信した場合には、プログラムデータ待ちに遷移します。ホストからプログラム選択コマンドに続けて、プログラム先頭アドレス、プログラムデータを送信してください。プログラム先頭アドレスを“FFFF FFFFh”と設定すると、プログラムが終了してプログラムデータ待ちから P/E コマンド待ちに遷移します。

本 MCU がイレーズ選択コマンドを受信すると、イレーズブロック指定待ちに遷移します。ホストからイレーズ選択コマンドに続けて、イレーズするブロック番号を送信してください。イレーズブロック番号を“FFh”と設定すると、イレーズが終了してイレーズブロック指定待ちから P/E コマンド待ちに遷移します。ブートモードで起動してから P/E コマンドに遷移する間にユーザ領域 / ユーザブート領域 / データ領域の全面がイレーズされていますので、ブートモードで新たにプログラムしたデータをリセットせずにイレーズしたい場合以外にはイレーズを実行する必要はありません。

P/E 以外に、ユーザ領域 / ユーザブート領域 / データ領域のチェックサム、ブランクチェック、メモリリード、ステータス情報取得のためのコマンドもあります。

40.8.3 ビットレートの自動調整

本 MCU をブートモードで起動すると、ホストから連続送信される調歩同期式 SCI 通信のデータ “00h” の Low 期間を測定します。Low 期間測定時のホストの SCI 送受信フォーマットは 8 ビットデータ、1 ストップビット、パリティなし、ビットレートは 9, 600bps または 19, 200bps に設定してください。本 MCU は測定した Low 期間からホストの SCI のビットレートを計算し、ビットレート調整が終了すると “00h” をホストへ送信します。

ホストが “00h” を正常に受信した場合には、ホストから本 MCU に “55h” を送信してください。“00h” を正常に受信できなかった場合には、本 MCU をブートモードで再起動し、ビットレートの自動調整を再実行してください。本 MCU は “55h” を正常に受信すると “E6h” を送信し、“55h” を正常に受信できなかった場合には “FFh” を送信します。

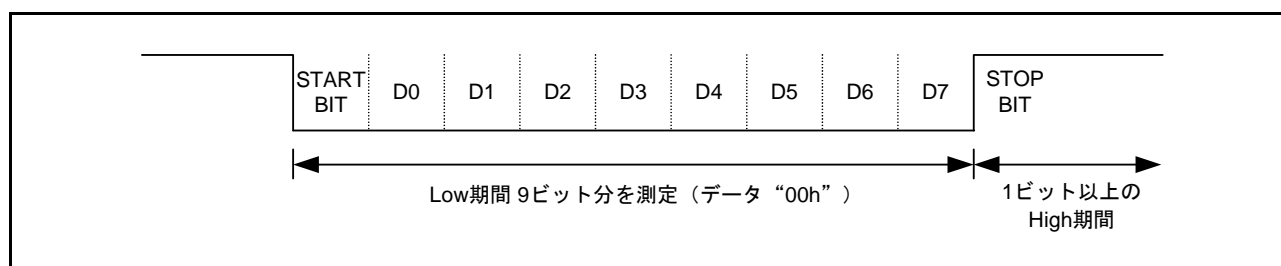


図 40.27 ビットレート自動調整時の SCI 送受信フォーマット

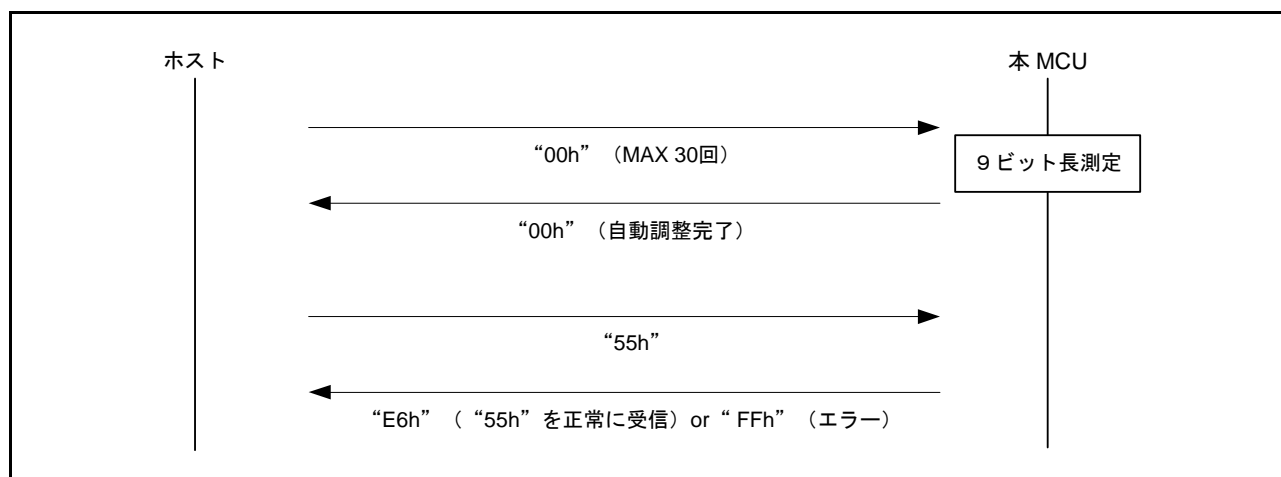


図 40.28 ホストと本 MCU 間の通信シーケンス

SCI 通信時のビットレートや本 MCU の周辺クロックの周波数によってはビットレートを正常に調整できない場合がありますので、表 40.14 に示した条件で SCI の通信を行うようにしてください。

表 40.14 ビットレート自動調整が可能な条件

ホストのSCIのビットレート	EXTALの周波数範囲
9, 600bps	4 ~ 20MHz (注1)
19, 200bps	8 ~ 20MHz (注1)

注1. ただし、発振子周波数は最小8MHzです。

40.8.4 IDコードプロテクト（ブートモード）

PCなどのホストからの読み出し/プログラム/イレーズを禁止するための機能です。

ブートモードで起動し、ビットレートを自動調整した後、ホストから送信されるIDコードとROM上に書かれている制御コードおよびIDコードを使い、IDコードプロテクトの有効/無効と、IDコードプロテクトの判定を行います。IDコードプロテクトが有効の場合、ホストから送られてくるコードとROM上の制御コードおよびIDコードの一致を判定し、一致した場合のみ読み出し/プログラム/イレーズを許可します。

ROM上の制御コードおよびIDコードは、32ビット長4ワードのデータです。図40.29に制御コードおよびIDコードの構成を示します。IDコードは32ビット単位で設定してください。

	31	24	23	16	15	8	7	0
FFFF FFA0h	制御コード		IDコード1	IDコード2	IDコード3			
FFFF FFA4h	IDコード4	IDコード5	IDコード6	IDコード7				
FFFF FFA8h	IDコード8	IDコード9	IDコード10	IDコード11				
FFFF FFACh	IDコード12	IDコード13	IDコード14	IDコード15				

図 40.29 ROM上の制御コードおよびIDコードの構成

(1) 制御コード

制御コードは、IDコードプロテクトの有効/無効とホストとの認証方法を決定します。表40.15に制御コードと認証方法を示します。

表40.15 IDコードプロテクト仕様

制御コード	IDコード	プロテクト状態	SCI接続時の動作
45h	任意	プロテクト有効 (認証方法1)	IDコード一致 : コマンド待ちへ遷移 IDコード不一致 : 再度IDコード待ち状態へ遷移。ただし、連続3回IDコード不一致の場合、全面消去を行う
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, ..., FFh以外	プロテクト有効 (認証方法2)	IDコード一致 : コマンド待ちへ遷移 IDコード不一致 : 再度IDコード待ちへ遷移
	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, ..., FFh	プロテクト有効 (認証方法3)	IDコード不一致として判定する。
上記以外	—	プロテクト無効	全ブロックイレーズ

(2) IDコード

IDコードは任意の値が設定できます。ただし、制御コードが52h、IDコード1から順に50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, ..., FFhを設定した場合は、IDコード一致判定をせず、不一致とし、ホストからの読み出し/プログラム/イレーズを禁止します。

(3) ID コードを設定するプログラム例

制御コードが 45h、ID コードが ID コード 1 から順に 01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h, 0Ah, 0Bh, 0Ch, 0Dh, 0Eh, 0Fh を設定する場合のプログラム例を示します。

```
.SECTION ID_CODE, CODE
.ORG 0FFFFFFFA0h
.LWORD 45010203h
.LWORD 04050607h
.LWORD 08090A0Bh
.LWORD 0C0D0E0Fh
```

40.8.5 UB コード A

UB コード A については、「7.3 UB コード」を参照してください。

40.8.6 コマンドとレスポンスの構成

ブートモードにおけるホストと本 MCU の通信は、ホストから送信する“コマンド”と本 MCU からの応答である“レスポンス”とで構成されています。

コマンドの説明文中において、“SUM”はチェックサムを意味し、本 MCU が送信した各バイトを合計した場合に、“00h”になるように計算されたバイトデータを指します。“サイズ”はコマンド（先頭 1 バイト）、サイズ、SUM を除いた送受信データのバイト数を指します。

また、ホストが未定義のコマンドを送信した場合、本 MCU はコマンドエラーのレスポンスを返します。

コマンドエラーのレスポンスの内容は以下の通りです。コマンドには、ホストが送信したコマンドの先頭バイトが格納されています。

エラーレスポンス

80h	コマンド
-----	------

40.8.7 問い合わせ / 設定コマンド待ち

表 40.16 に問い合わせ / 設定コマンド待ちで使用可能なコマンドの一覧を示します。ブートプログラムステータス問い合わせコマンドは、P/E コマンド待ちでも使用可能です。その他のコマンドは、問い合わせ / 設定コマンド待ちでのみ使用可能です。

表 40.16 問い合わせ/設定コマンド

コマンド名	機能
サポートデバイス問い合わせ	デバイスコードとシリーズ名の問い合わせ
デバイス選択	デバイスコードの選択
クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
クロックモード選択	選択されているクロックモードの通知
逡倍比問い合わせ	クロック種類、逡倍比/分周比の種類、逡倍比/分周比の問い合わせ
動作周波数問い合わせ	クロック種類、最大/最低動作周波数の問い合わせ
ユーザブート領域情報問い合わせ	ユーザブート領域の個数、先頭/最終アドレスの問い合わせ
ユーザ領域情報問い合わせ	ユーザ領域の個数、先頭/最終アドレスの問い合わせ
ブロック情報問い合わせ	ブロック数、先頭/最終アドレスの問い合わせ
プログラムサイズ問い合わせ	プログラム時のデータ長の問い合わせ
データ領域有無問い合わせ	データ領域有無の問い合わせ
データ領域情報問い合わせ	データ領域の個数、先頭/最終アドレスの問い合わせ
新ビットレート選択	ホスト⇄本MCU間のSCI通信のビットレートを変更
P/E ステータス遷移	IDコードプロテクト判定に遷移
ブートプログラムステータス問い合わせ	処理状態の問い合わせ

問い合わせ / 設定コマンド待ちでは、問い合わせコマンドのレスポンスを参考にして、デバイス選択→クロックモード選択→新ビットレート選択の順にホストから選択コマンドを送信し、本MCUの設定を行ってください。また、サポートデバイス問い合わせ / クロックモード問い合わせ以外の問い合わせコマンドは、クロックモード選択コマンドを発行前には使用できません。誤った順番でコマンドを送信した場合には、本MCUがコマンドエラーのレスポンスを送信します。図 40.30 に問い合わせ / 設定コマンド待ちでのコマンド使用例を示します。

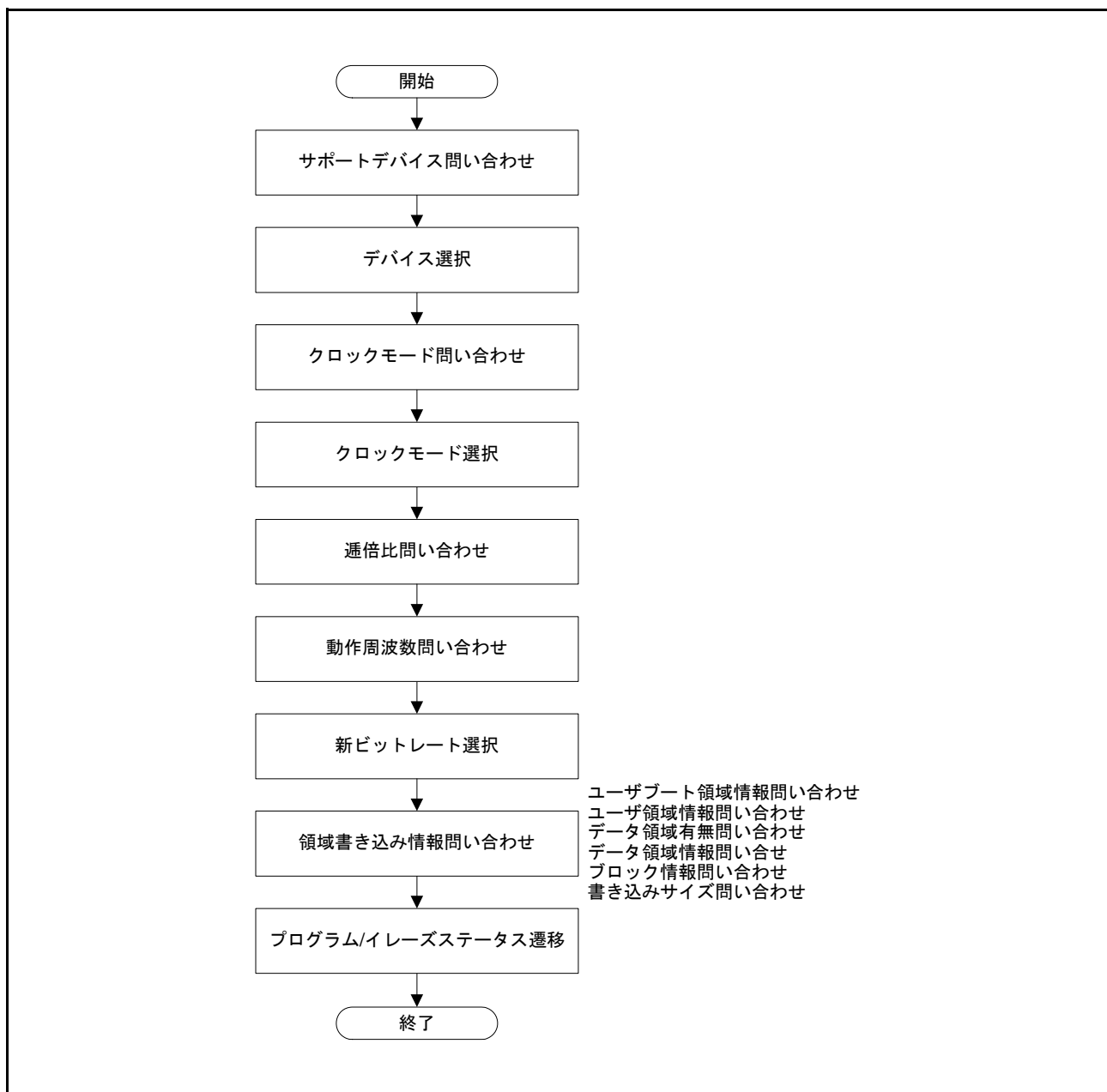


図 40.30 問い合わせ / 設定コマンドの使用例

(1) サポートデバイス問い合わせ

ホストがサポートデバイス問い合わせコマンドを送信すると、ブートプログラムでサポート可能なデバイス情報を本MCUが送信します。ホストがデバイスを選択した後に、サポートデバイス問い合わせコマンドを送信した場合には、本MCUは選択したデバイスの情報のみ送信します。

本MCUはサポートデバイス問い合わせコマンドのレスポンスとして、リトルエンディアン指定とビッグエンディアン指定の2つのデバイス情報をそれぞれ順に送信します。

コマンド

20h

レスポンス	30h	サイズ	デバイス数	
	文字数	デバイスコード (リトルエンディアン指定)		シリーズ名
	文字数	デバイスコード (ビッグエンディアン指定)		シリーズ名
	SUM			

サイズ (1バイト)	: デバイス数、文字数、デバイスコード、シリーズ名のデータの総バイト数
デバイス数 (1バイト)	: ブートプログラムがサポートする品種数
文字数 (1バイト)	: デバイスコードとシリーズ名の文字数
デバイスコード (4バイト)	: チップ認識コード
シリーズ名 (nバイト)	: サポートデバイス名のASCIIコード
SUM (1バイト)	: チェックサム

(2) デバイス選択

ホストがデバイス選択コマンドを送信すると、本MCUは指定されたデバイスがサポート可能なデバイスかチェックします。サポート可能なデバイスの場合、レスポンス (06h) を送信します。サポート可能なデバイスでなかった場合や、送信されたコマンドが不正であった場合には、本MCUはエラーレスポンス (90h) を送信します。

サポートデバイス問い合わせコマンドが送信する2つのデバイス情報から、プログラムするデータに応じて、いずれかのエンディアン指定のデバイスコードを選択してください。

コマンド

10h	サイズ	デバイスコード	SUM
-----	-----	---------	-----

レスポンス

06h

エラー
レスポンス

90h	エラー
-----	-----

サイズ (1バイト)	: デバイスコードの文字数 (固定値で4)
デバイスコード (4バイト)	: チップシリーズ名のASCIIコード (サポートデバイス問い合わせコマンドの応答と同一のコード)
SUM (1バイト)	: チェックサム
エラー (1バイト)	: エラーコード 11h: チェックサムエラー (コマンドが不正) 21h: デバイスコードエラー

(3) クロックモード問い合わせ

ホストがクロックモード問い合わせコマンドを送信すると、選択可能なクロックモードを本MCUが送信します。ホストがクロックモードを選択した後に、クロックモード問い合わせコマンドを送信した場合には、本MCUは選択したクロックモードの情報のみ送信します。

コマンド	21h	
レスポンス	31h	サイズ
	モード	
	SUM	

サイズ (1バイト) : モード数、モードの総バイト数

モード (1バイト) : 選択可能なクロックモード (例: 01h クロックモード1)

SUM (1バイト) : チェックサム

(4) クロックモード選択

ホストがクロックモード選択コマンドを送信すると、本MCUは指定されたクロックモードがサポート可能なモードかをチェックします。サポート可能なモードの場合、本MCUはクロックモードを指定したモードに変更し、レスポンス (“06h”)を送信します。サポート可能なモードでなかった場合や、送信されたコマンドが不正であった場合には、本MCUはエラーレスポンス (“91h”)を送信します。

クロックモード選択コマンドは、デバイス選択コマンドを送信した後に送信してください。クロックモード問い合わせの結果、クロックモード数が “00h” または “01h” であった場合も、クロックモード選択コマンドで、問い合わせ結果のモードの値を設定してください。

コマンド	11h	サイズ	モード	SUM
レスポンス	06h			
エラー レスポンス	91h	エラー		

サイズ (1バイト) : モードの文字数 (固定値で1)

モード (1バイト) : クロックモード (クロックモード問い合わせコマンドの応答と同一のモード)

SUM (1バイト) : チェックサム

エラー (1バイト) : エラーコード
 11h : チェックサムエラー (コマンドが不正)
 22h : クロックモードエラー

(5) 通倍比問い合わせ

ホストが通倍比問い合わせコマンドを送信すると、クロック種類、通倍比/分周比の種類、通倍比/分周比の情報を本MCUが送信します。

コマンド

22h

レスポンス	32h	サイズ	クロック数		
	通倍比種類	通倍比	通倍比	...	通倍比
	通倍比種類	通倍比	通倍比	...	通倍比
	SUM				

サイズ (1バイト) : クロック数、通倍比種類、通倍比のデータの総バイト数

クロック数 (1バイト) : クロックの種類 (例: 02h システムクロックと周辺クロックの2種類)

通倍比種類 (1バイト) : 選択可能な通倍比/分周比の種類
(例: 04h システムクロックは1通倍、2通倍、4通倍、8通倍の4種類)

通倍比 (1バイト) : 通倍比 (例: 04h = 4 4通倍) ← 正の数で指定
分周比 (例: FEh = -2 2分周) ← 負の数で指定

SUM (1バイト) : チェックサム

(6) 動作周波数問い合わせ

ホストが動作周波数問い合わせコマンドを送信すると、各クロックの動作周波数の最小値と最大値の情報を本MCUが送信します。

コマンド

23h

レスポンス	33h	サイズ	クロック数
	最小周波数		最大周波数
	最小周波数		最大周波数
	SUM		

サイズ (1バイト) : クロック数、最小周波数、最大周波数のデータの総バイト数

クロック数 (1バイト) : クロックの種類 (例: 02h システムクロックと周辺クロックの2種類)

最小周波数 (2バイト) : 動作周波数の最小値 (例: 07D0h 20.00MHz)
周波数 (MHz) の小数点第2位までの値を100倍した値

最大周波数 (2バイト) : 動作周波数の最大値
書式は最小周波数と同様

SUM (1バイト) : チェックサム

(7) ユーザブート領域情報問い合わせ

ホストがユーザブート領域情報を問い合わせると、ユーザブート領域の領域数とアドレスの情報を本MCUが送信します。

コマンド	24h		
レスポンス	34h	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ (1バイト) : 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数

領域数 (1バイト) : ユーザブート領域の領域数 (連続した領域は1領域と数えます。)

領域先頭アドレス (4バイト) : ユーザブート領域の先頭アドレス

領域最終アドレス (4バイト) : ユーザブート領域の最終アドレス

SUM (1バイト) : チェックサム

(8) ユーザ領域情報問い合わせ

ホストがユーザ領域情報を問い合わせると、ユーザ領域の領域数とアドレスの情報を本MCUが送信します。

コマンド	25h		
レスポンス	35h	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ (1バイト) : 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数

領域数 (1バイト) : ユーザ領域の領域数 (連続した領域は1領域と数える)

領域先頭アドレス (4バイト) : ユーザ領域の先頭アドレス

領域最終アドレス (4バイト) : ユーザ領域の最終アドレス

SUM (1バイト) : チェックサム

(9) ブロック情報問い合わせ

ホストがブロック情報を問い合わせると、ユーザ領域とデータ領域を合計したブロック数とアドレスの情報を本MCUが送信します。

コマンド	26h		
レスポンス	36h	サイズ	ブロック数
	ブロック先頭アドレス		
	ブロック最終アドレス		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	...		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	SUM		

サイズ (2バイト) : ブロック数、ブロック先頭アドレス、ブロック最終アドレスのデータの総バイト数
 ブロック数 (1バイト) : ユーザ領域のブロック数
 ブロック先頭アドレス (4バイト) : ブロックの先頭アドレス
 ブロック最終アドレス (4バイト) : ブロックの最終アドレス
 SUM (1バイト) : チェックサム

(10) プログラムサイズ問い合わせ

ホストがプログラムサイズを問い合わせると、本MCUがプログラムサイズの情報を送信します。

コマンド	27h			
レスポンス	37h	サイズ	プログラムサイズ	SUM

サイズ (1バイト) : プログラムサイズの文字数 (固定値で2)
 プログラムサイズ (2バイト) : プログラム単位 (バイト単位)
 SUM (1バイト) : チェックサム

(11) データ領域有無問い合わせ

ホストがデータ領域有無問い合わせコマンドを送信すると、データ領域が有ることを示す情報を本MCUが送信します。

コマンド	2Ah			
レスポンス	3Ah	サイズ	領域有無	SUM

サイズ (1バイト) : 領域有無の文字数 (固定値で1)
 領域有無 (1バイト) : データ領域の有無 (固定値で21h)
 21h : データ領域あり
 SUM (1バイト) : チェックサム

(12) データ領域情報問い合わせ

ホストがデータ領域情報問い合わせコマンドを送信すると、データ領域の領域数とアドレスの情報を本MCUが送信します。

コマンド	2Bh		
レスポンス	3Bh	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ (1バイト)	: 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数
領域数 (1バイト)	: データ領域の領域数 (連続した領域は1領域と数えます。)
領域先頭アドレス (4バイト)	: データ領域の先頭アドレス
領域最終アドレス (4バイト)	: データ領域の最終アドレス
SUM (1バイト)	: チェックサム

データ領域のブロック構成の情報は、ブロック情報問い合わせコマンド (「40.8.7 問い合わせ / 設定コマンド待ち」を参照) のレスポンスに含まれます。

(13) 新ビットレート選択

ホストが新ビットレート選択コマンドを送信すると、本MCUは内蔵SCIを指定された新ビットレートに設定可能かをチェックします。新ビットレートの設定が可能な場合、本MCUはレスポンス (“06h”) を送信し、SCIを新ビットレートに設定します。新ビットレートの設定ができない場合や、送信されたコマンドが不正であった場合には、本MCUはエラーレスポンス (“BFh”) を送信します。ホストはレスポンス (“06h”) を受信すると、新ビットレート選択コマンド送信時のビットレートでウェイトし、ホストのビットレートを新ビットレートに変更します。その後、ホストは新ビットレートで確認用のデータ (“06h”) を送信し、本MCUは確認データのレスポンス (“06h”) を送信します。

新ビットレート選択コマンドは、クロックモード選択コマンドを送信した後に送信してください。

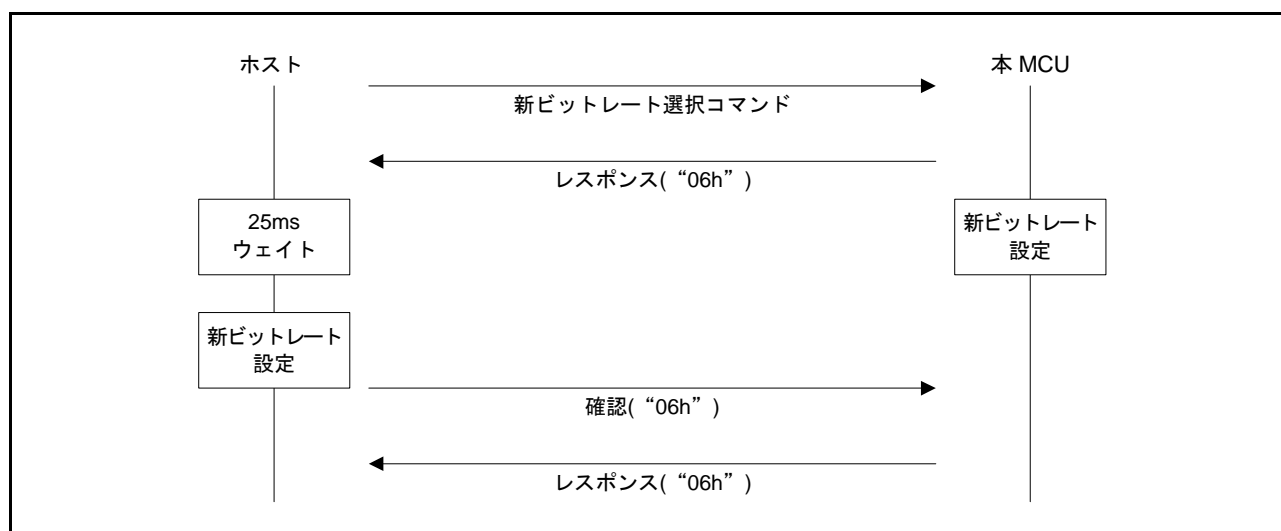


図 40.31 新ビットレート選択のシーケンス

コマンド	3Fh	サイズ	ビットレート		入力周波数
	クロック数	逡倍比1	逡倍比2		
	SUM				
レスポンス	06h				
エラー					
レスポンス	BFh	エラー			
確認	06h				
レスポンス	06h				

- サイズ (1バイト) : ビットレート、入力周波数、クロック数、逡倍比のデータの総バイト数
- ビットレート (2バイト) : 新ビットレート (例: 00C0h 19200bps)
ビットレート値を1/100した値を設定
- 入力周波数 (2バイト) : 本MCUの入力周波数 (例: 04E2h 12.50MHz)
入力周波数の小数点第2位までを100倍した値を設定
- クロック数 (1バイト) : クロックの種類 (固定値: 02h システムクロックと周辺クロックの2種類)
- 逡倍比1 (1バイト) : 入力周波数に対するシステムクロック (ICLK) の逡倍比/分周比
逡倍比 (例: 04h = 4 4逡倍) ← 正の数で指定
分周比 (例: FEh = -2 2分周) ← 負の数で指定
- 逡倍比2 (1バイト) : 入力周波数に対する周辺クロック (PCLKB) の逡倍比/分周比
逡倍比1と同じフォーマット
- SUM (1バイト) : チェックサム
- エラー : エラーコード
11h : チェックサムエラー
24h : ビットレート選択不可エラー
25h : 入力周波数エラー
26h : 逡倍比エラー
27h : 動作周波数エラー

- ビットレート選択不可エラー

新ビットレート選択コマンドで指定したビットレートを、本MCUのSCIが誤差4%未満で設定できない場合にビットレート選択不可エラーが発生します。新ビットレート選択コマンドで指定したビットレートをB、入力周波数を f_{EX} 、通倍比2を $M_{P\phi}$ 、SCIのビットレートレジスタ(BRR)の設定値をN、シリアルモードレジスタ(SMR)のCKS[1:0]ビットの設定値をnとした場合のビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{f_{EX} \times M_{P\phi} \times 10^6}{B \times 64 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$$

- 入力周波数エラー

新ビットレート選択コマンドで指定した入力周波数が、クロックモード選択コマンドで指定したクロックモードに対応する入力周波数の最小値から最大値の範囲外であった場合に入力周波数エラーが発生します。

- 通倍比エラー

新ビットレート選択コマンドで指定した通倍比が、クロックモード選択コマンドで指定したクロックモードに対応する通倍比でなかった場合に通倍比エラーが発生します。選択可能な通倍比を確認するためには通倍比問い合わせコマンドを使用してください。

- 動作周波数エラー

新ビットレート選択コマンドで指定した動作周波数で本MCUが動作できない場合に動作周波数エラーが発生します。本MCUは、新ビットレート選択コマンドで指定された入力周波数、通倍比から動作周波数を計算し、計算結果が各クロックの動作周波数の最小値から最大値の範囲内であるかをチェックします。各クロックの動作周波数の最小値と最大値を確認するためには、動作周波数問い合わせコマンドを使用してください。

(14) P/E ステータス遷移

ホストがP/Eステータス遷移コマンドを送信すると、本MCUはROM上に書かれている制御コードおよびIDコードにより、IDコードプロテクトの有効/無効を判定します。IDコードプロテクト有効時は、レスポンス (“16h”) を送信し、IDコード待ちへ遷移し、IDコードプロテクト無効時はユーザ領域/ユーザブート領域/データ領域を全面イレーズします。全面イレーズが完了すると、本MCUはレスポンス (“26h”) を送信し、P/Eコマンド待ちに遷移します。エラーが発生してイレーズが完了しなかった場合には、本MCUはエラーレスポンス (“C0h”、“51h”) を送信します。

デバイス選択、クロックモード選択、新ビットレート選択を実行する前に、P/Eステータス遷移コマンドを発行しないでください。

コマンド	40h
レスポンス	ACK
エラー レスポンス	C0h 51h

ACK (1バイト) : ACKコード
 26h : IDコードプロテクト無効の場合
 16h : IDコードプロテクト有効の場合

(15) ブートプログラムステータス問い合わせ

ホストがブートプログラムステータス問い合わせコマンドを送信すると、本MCUは現在のステータスを送信します。ブートプログラムステータス問い合わせコマンドは、問い合わせ/設定コマンド待ちとP/Eコマンド待ちで使用可能です。

コマンド	4Fh			
レスポンス	5Fh	サイズ	ステータス	エラー

サイズ (1バイト) : ステータス、エラーのデータの総バイト数 (固定値で2)

ステータス (1バイト) : 本MCUの状態 (表40.17を参照)

エラー (1バイト) : 本MCUのエラー発生状況 (表40.18を参照)

表40.17 ステータスの内容

コード	内容
11h	デバイス選択待ち
12h	クロックモード選択待ち
13h	ビットレート選択待ち
1Fh	P/Eコマンド待ちへの遷移待ち (ビットレート選択完了)
31h	ユーザ領域のイレーズ中/ユーザブート領域のイレーズ中
3Fh	P/Eコマンド待ち
4Fh	プログラムデータ受信待ち
5Fh	イレーズブロック指定待ち

表40.18 エラーの内容

コード	内容
00h	エラーなし
11h	チェックサムエラー
21h	デバイスコードエラー
22h	クロックモードエラー
24h	ビットレート選択不可エラー
25h	入力周波数エラー
26h	逡倍比エラー
27h	動作周波数エラー
29h	ブロック番号エラー
2Ah	アドレスエラー
2Bh	データ長エラー
51h	イレーズエラー
52h	未イレーズエラー
53h	プログラムエラー
54h	選択処理エラー
80h	コマンドエラー
FFh	ビットレート合わせ込み確認エラー

40.8.8 IDコード待ち

表 40.19 に ID コード待ちで使用可能なコマンドの一覧を示します。

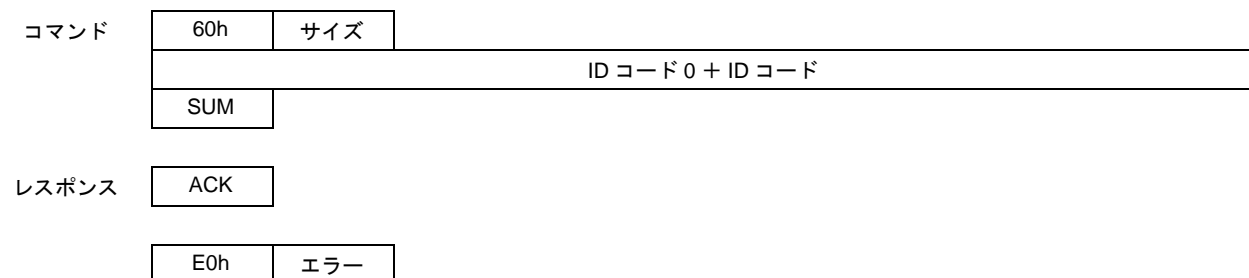
表40.19 IDコードチェックコマンド

コマンド名	機能
IDコードチェック	IDコードチェックを実施

ホストが未定義のコマンドを送信した場合は、本 MCU がコマンドエラーのレスポンスを送信します。コマンドエラーの内容は、「40.8.7 問い合わせ / 設定コマンド待ち」を参照してください。

(1) IDコードチェック

ホストが ID コードチェックコマンドを送信すると、本 MCU は ROM 上の制御コードおよび ID コードとホストから送られてきたコードを比較し、結果を返信します。



- サイズ (1バイト) : IDコードのバイト数 (固定値で16)
- IDコード (16バイト) : IDコード0 (1バイト) + IDコード (15バイト)
- SUM (1バイト) : チェックサム
- ACK (1バイト) : ACKコード
26h : P/Eコマンド待ち遷移に対する応答
- エラー (1バイト) : エラーコード
11h : チェックサムエラー
61h : IDコード不一致
63h : IDコード不一致[イレーズエラー]
IDコード不一致でイレーズ実行の結果、エラーとなった場合

40.8.9 P/E コマンド待ち

表 40.20 に P/E コマンド待ちで使用可能なコマンドの一覧を示します。

表 40.20 P/E コマンド

コマンド名	機能
ユーザブート領域プログラム選択	ユーザブート領域プログラムを選択
ユーザ/データ領域書き込み選択	ユーザ領域プログラムを選択
256バイトプログラム	256バイトプログラム
イレーズ選択	イレーズを選択
ブロックイレーズ	ブロックデータのイレーズ
メモリリード	メモリの読み出し
ユーザブート領域チェックサム	ユーザブート領域のチェックサム
ユーザ領域チェックサム	ユーザ領域のチェックサム
データ領域チェックサム	データ領域のチェックサム
ユーザブート領域ブランクチェック	ユーザブート領域のブランクチェック
ユーザ領域ブランクチェック	ユーザ領域のブランクチェック
データ領域ブランクチェック	データ領域のブランクチェック
リードロックビットステータス	ロックビットの読み出し
ロックビットプログラム	ロックビットのプログラム
ロックビット有効	ロックビットプロテクト有効設定
ロックビット無効	ロックビットプロテクト無効設定
ブートプログラムステータス問い合わせ	本MCUの状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、本 MCU がコマンドエラーのレスポンスを送信します。コマンドエラーの内容は、「40.8.7 問い合わせ / 設定コマンド待ち」を参照してください。

ROM のプログラムを実行する場合には、ホストからプログラム選択コマンド（ユーザ/データ領域書き込み選択/ユーザブート領域プログラム選択）を送信後、256 バイトプログラムコマンドを送信します。E2 データフラッシュのプログラムを実行する場合は、ユーザ/データ領域書き込み選択コマンドを発行後、256 バイトプログラムコマンドでプログラムするアドレスにデータ領域のアドレスを指定します。ホストがプログラム選択コマンドを送信すると、本 MCU はプログラムデータ待ちになります（「40.8.2 ブートモードの状態遷移」を参照）。プログラムデータ待ちの状態では、ホストが 256 バイトプログラムコマンドを送信すると、本 MCU は ROM / E2 データフラッシュにデータをプログラムします。ホストがプログラム先のアドレスを“FFFF FFFFh”に設定して 256 バイトプログラムコマンドを送信すると、本 MCU はプログラム終了と判定し、P/E コマンド待ちに遷移します。

ROM / E2 データフラッシュのイレーズを実行する場合には、ホストからイレーズ選択コマンドを送信後、ブロックイレーズコマンドを送信します。ホストがイレーズ選択コマンドを送信すると、本 MCU はイレーズブロック指定待ちになります（「40.8.2 ブートモードの状態遷移」を参照）。イレーズブロック指定待ちの状態では、ホストがブロックイレーズコマンドを送信すると、本 MCU は ROM / E2 データフラッシュをブロックイレーズします。ホストがブロック番号に“FFh”を設定してブロックイレーズコマンドを送信すると、本 MCU はイレーズ終了と判定し、P/E コマンド待ちに遷移します。

データ領域の読み出しを行う場合は、メモリリードコマンドでユーザ領域を選択し、読み出し対象アドレスにデータ領域のアドレスを指定します。

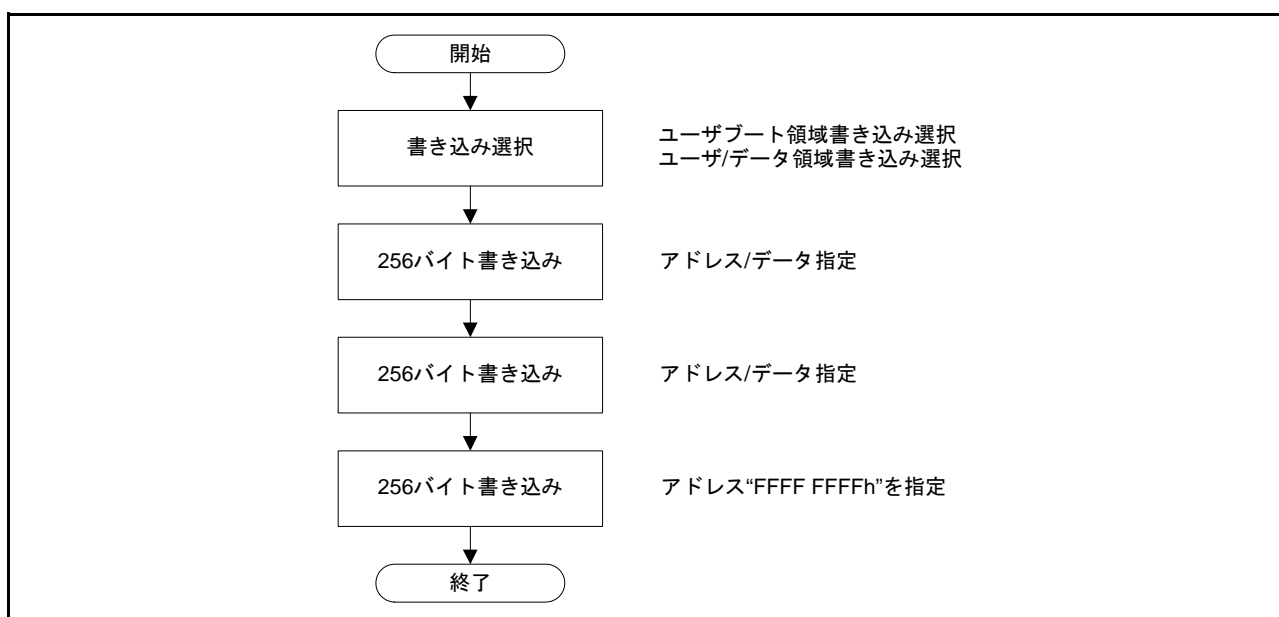


図 40.32 ブートモードでのROM / E2 データフラッシュのプログラム方法

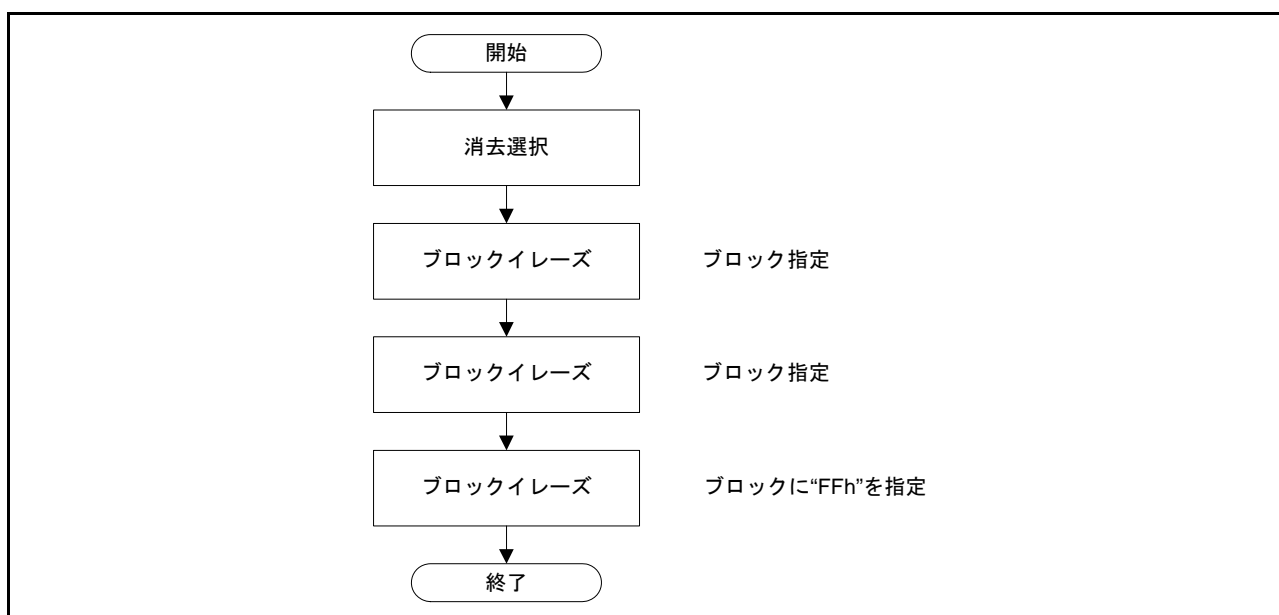


図 40.33 ブートモードでのROM / E2 データフラッシュのイレーズ方法

各コマンドの詳細を以下に説明します。説明文中の“コマンド”はホストから本MCUに送信するコマンド、“レスポンス”は本MCUからホストに送信する応答です。“チェックサム”は、送信した各バイトを合計した場合に、“00h”になるように計算されたバイトデータを指します。

(1) ユーザブート領域プログラム選択

ホストがユーザブート領域プログラム選択コマンドを送信すると、本 MCU はユーザブート領域書き込みプログラムを選択し、プログラムデータ待ちになります。

コマンド

42h

レスポンス

06h

(2) ユーザ/データ領域書き込み選択

ホストがユーザ/データ領域書き込み選択コマンドを送信すると、本 MCU はユーザ/データ領域書き込みプログラムを選択し、プログラムデータ待ちになります。E2 データフラッシュにプログラムを実行する前にはユーザ/データ領域書き込み選択コマンドを送信する必要があります。

コマンド

43h

レスポンス

06h

(3) 256 バイトプログラム

ホストが 256 バイトプログラムコマンドを送信すると、本 MCU は ROM / E2 データフラッシュのプログラムを実行します。ROM / E2 データフラッシュのプログラムが正常に終了すると、本 MCU はレスポンス (“06h”) を送信します。プログラム処理中にエラーが発生すると、本 MCU はエラーレスポンス (“D0h”) を送信します。

コマンド

50h	プログラムアドレス		
データ	データ	...	データ
SUM			

レスポンス

06h

エラー
レスポンス

D0h	エラー
-----	-----

- プログラムアドレス (4 バイト) : プログラム先のアドレス
プログラム実行時には 256 バイト境界にアラインしたアドレス
プログラム終了を指定する場合には FFFF FFFFh を送信
- データ (256 バイト) : プログラムデータ
プログラム不要なバイトには FFh を指定
プログラム終了を指定する場合にはデータの送信は不要 (プログラムアドレス → SUM の順で送信する)
- SUM (1 バイト) : チェックサム
- エラー (1 バイト) : エラーコード
11h : チェックサムエラー
2Ah : アドレスエラー (アドレスが指定の領域内でない)
53h : プログラムエラーが発生し書き込めない

(4) イレーズ選択

ホストがイレーズ選択コマンドを送信すると、本MCUはイレーズを選択し、イレーズブロック指定待ちになります。

コマンド

48h

レスポンス

06h

(5) ブロックイレーズ

ホストがブロックイレーズコマンドを送信すると、本MCUはROM/E2データフラッシュのイレーズを実行します。ユーザブート領域をイレーズする場合は、ブロック番号に“80h”を設定してください。ROM/E2データフラッシュのイレーズが正常に終了すると、本MCUはレスポンス (“06h”)を送信します。イレーズ処理中にエラーが発生すると、本MCUはエラーレスポンス (“D8h”)を送信します。

コマンド

58h	サイズ	ブロック	SUM
-----	-----	------	-----

レスポンス

06h

エラー

レスポンス

D8h	エラー
-----	-----

- サイズ (1バイト) : ブロックのデータのバイト数 (固定値で1)
- ブロック (1バイト) : イレーズするブロックの番号
ユーザブート領域を指定する場合には“80h”を設定
イレーズ終了を指定する場合にはFFhを送信
- SUM (1バイト) : チェックサム
- エラー (1バイト) : エラーコード
11h : チェックサムエラー
29h : ブロック番号エラー (ブロック番号が正しくない)
51h : イレーズエラーが発生しイレーズできない

(6) メモリリード

ホストがメモリリードコマンドを送信すると、本MCUはROM/E2データフラッシュに対するリードを実行します。正常にリードが実行された場合には、本MCUはメモリリードコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、本MCUはエラーレスポンス (“D2h”)を送信します。

コマンド	52h	サイズ	領域	読み出し先頭アドレス	
	読み出しサイズ			SUM	
レスポンス	52h	読み出しサイズ			
	データ	データ	...	データ	
	SUM				
エラー レスポンス	D2h	エラー			

サイズ (1バイト)	: 領域、読み出しアドレス、読み出しサイズのデータの総バイト数
領域 (1バイト)	: 読み出し対象の領域 00h: ユーザブート領域 01h: ユーザ領域、データ領域
読み出し先頭アドレス (4バイト)	: 読み出し対象領域の先頭アドレス
読み出しサイズ (4バイト)	: 読み出すデータのサイズ (バイト単位)
SUM (1バイト)	: チェックサム
データ (読み出しサイズ)	: ROM/E2データフラッシュから読み出したデータ
エラー (1バイト)	: エラーコード 11h: チェックサムエラー 2Ah: アドレスエラー ・領域の選択で00h、01h以外を指定 ・読み出し先頭アドレスが指定した領域の領域外 2Bh: サイズエラー ・読み出しサイズの選択で00hを指定 ・読み出しサイズが領域のサイズを超えている ・読み出し先頭アドレスと読み出しサイズから計算されたアドレスが指定された領域の範囲外

(7) ユーザブート領域チェックサム

ホストがユーザブート領域チェックサムコマンドを送信すると、本MCUはユーザブート領域のデータをバイト単位で加算した結果 (チェックサム) を送信します。

コマンド	4Ah			
レスポンス	5Ah	サイズ	領域のチェックサム	SUM

サイズ (1バイト)	: 領域のチェックサムのバイト数 (固定値で4)
領域のチェックサム (4バイト)	: ユーザブート領域のチェックサム結果
SUM (1バイト)	: チェックサム (レスポンスデータのチェックサム)

(8) ユーザ領域チェックサム

ホストがユーザ領域チェックサムコマンドを送信すると、本MCUはユーザ領域のデータをバイト単位で加算した結果（チェックサム）を送信します。

コマンド

4Bh

レスポンス

5Bh	サイズ	領域のチェックサム	SUM
-----	-----	-----------	-----

- サイズ (1バイト) : 領域のチェックサムのバイト数 (固定値で4)
- 領域のチェックサム (4バイト) : ユーザ領域のチェックサム結果
ユーザ領域にはデバッグ機能認証用のキーコードも含まれています。
加算結果にキーコード値が含まれることに注意してください。
- SUM (1バイト) : チェックサム (レスポンスデータのチェックサム)

(9) データ領域チェックサム

ホストがデータ領域チェックサムコマンドを送信すると、本MCUはデータ領域のデータをバイト単位で加算した結果（チェックサム）を送信します。

コマンド

61h

レスポンス

71h	サイズ	領域のチェックサム	SUM
-----	-----	-----------	-----

- サイズ (1バイト) : 領域のチェックサムのバイト数 (固定値で4)
- 領域のチェックサム (4バイト) : データ領域のチェックサム結果
- SUM (1バイト) : チェックサム (レスポンスデータのチェックサム)

(10) ユーザブート領域ブランクチェック

ホストがユーザブート領域ブランクチェックコマンドを送信すると、本MCUはユーザブート領域がすべてイレーズされた状態であるかをチェックします。ユーザブート領域がすべてイレーズされた状態であった場合には、本MCUはレスポンス (“06h”)を送信します。ユーザブート領域にイレーズされていない領域が存在した場合には、本MCUはエラーレスポンス (“CCh”、“52h”)を送信します。

コマンド

4Ch

レスポンス

06h

エラー
レスポンス

CCh	52h
-----	-----

(11) ユーザ領域ブランクチェック

ホストがユーザ領域ブランクチェックコマンドを送信すると、本MCUはユーザ領域がすべてイレーズされた状態であるかをチェックします。ユーザ領域がすべてイレーズされた状態であった場合には、本MCUはレスポンス (“06h”) を送信します。ユーザ領域にイレーズされていない領域が存在した場合には、本MCUはエラーレスポンス (“CDh”、“52h”) を送信します。

コマンド

4Dh

レスポンス

06h

エラー
レスポンス

CDh	52h
-----	-----

(12) データ領域ブランクチェック

ホストがデータ領域ブランクチェックコマンドを送信すると、本MCUはデータ領域がすべてイレーズされた状態であるかをチェックします。データ領域がすべてイレーズされた状態であった場合には、本MCUはレスポンス (“06h”) を送信します。データ領域にイレーズされていない領域が存在した場合には、本MCUはエラーレスポンス (“E2h”、“52h”) を送信します。

コマンド

62h

レスポンス

06h

エラー
レスポンス

E2h	52h
-----	-----

(13) リードロックビットステータス

ホストがリードロックビットステータスコマンドを送信すると、本MCUはロックビットに対するリードを実行します。正常にリードが実行された場合には、本MCUはリードロックビットステータスコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、本MCUはエラーレスポンス (“F1h”) を送信します。

コマンド	71h	サイズ	領域	A15 ~ A8	A23 ~ A16	A31 ~ A24	SUM
------	-----	-----	----	----------	-----------	-----------	-----

A15~A8 (1バイト) : 指定ブロックの最後尾のアドレス (15~8ビット)
 A23~A16 (1バイト) : 指定ブロックの最後尾のアドレス (23~16ビット)
 A31~A24 (1バイト) : 指定ブロックの最後尾のアドレス (31~24ビット)

レスポンス

ステータス

エラー
 レスポンス

F1h	エラー
-----	-----

サイズ (1バイト) : 領域、A15~A8、A23~A16、A31~A24のデータの総バイト数
 (本MCUでは固定値で4)

領域 (1バイト) : 読み出し対象の領域
 01h : ユーザ領域

A15~A8 (1バイト) : 指定ブロックの最後尾のアドレスのA15~A8 (8~15ビット)
 A23~A16 (1バイト) : 指定ブロックの最後尾のアドレスのA23~A16 (16~23ビット)
 A31~A24 (1バイト) : 指定ブロックの最後尾のアドレスのA31~A24 (24~31ビット)

SUM (1バイト) : チェックサム
 ステータス (1バイト) : ビット6が“0”でロック状態
 ビット6が“1”でアンロック状態

エラー (1バイト) : エラーコード
 11h : チェックサムエラー
 2Ah : アドレスエラー (アドレスが指定の領域内でない)

(14) ロックビットプログラム

ホストがロックビットプログラムコマンドを送信すると、本MCUはロックビットのプログラムを行い、指定ブロックをロック状態にします。正常にロックされた場合には、本MCUはレスポンス (“06h”) を送信します。ロックされなかった場合には、本MCUはエラーレスポンス (“F7h”) を送信します。

コマンド	77h	サイズ	領域	中位アドレス	上位アドレス	最上位アドレス	SUM
------	-----	-----	----	--------	--------	---------	-----

レスポンス	06h
-------	-----

エラー レスポンス	F7h	エラー
--------------	-----	-----

サイズ (1バイト)	: 領域、中位アドレス、上位アドレス、最上位アドレスのデータの総バイト数 (本MCUでは固定値で4)
領域 (1バイト)	: ロック対象の領域 01h : ユーザ領域
中位アドレス (1バイト)	: 指定ブロックの最後尾のアドレスの中位アドレス (8~15ビット)
上位アドレス (1バイト)	: 指定ブロックの最後尾のアドレスの上位アドレス (16~23ビット)
最上位アドレス (1バイト)	: 指定ブロックの最後尾のアドレスの最上位アドレス (24~31ビット)
SUM (1バイト)	: チェックサム
エラー (1バイト)	: エラーコード 11h : チェックサムエラー 2Ah : アドレスエラー (アドレスが指定の領域内がない) 53h : プログラムエラーが発生しロック状態にできない

(15) ロックビット有効

ホストがロックビット有効コマンドを送信すると、本MCUはロックビットを有効にします。

コマンド	7Ah
------	-----

レスポンス	06h
-------	-----

(16) ロックビット無効

ホストがロックビット無効コマンドを送信すると、本MCUはロックビットを無効にします。

コマンド	75h
------	-----

レスポンス	06h
-------	-----

(17) ブートプログラムステータス問い合わせ

「40.8.7 問い合わせ / 設定コマンド待ち」を参照してください。

40.9 オンチップデバッグ ID コードプロテクト

オンチップデバッグとの接続を禁止するための機能です。オンチップデバッグを接続する場合、ROM 上に書かれている制御コードおよび ID コードを使い、オンチップデバッグ ID コードプロテクトの有効/無効と、オンチップデバッグ ID コードプロテクトの判定を行います。ID コードプロテクトが有効の場合、オンチップデバッグから送られてくるコードと、ROM 上の制御コードおよび ID コードの一致を判定し、一致した場合、オンチップデバッグとの接続を許可します。一致しない場合、オンチップデバッグとの接続はできません。ただし、制御コードが“52h”、ID コード 1 から ID コード 7 に 50h, 72h, 6Fh, 74h, 65h, 63h, 74h を設定した場合、ID コード判定をせずに不一致とし、オンチップデバッグとの接続を禁止します。また、制御コードおよび ID コードがすべて“FFh”の場合、ID コード判定をせずに一致とし、オンチップデバッグとの接続を許可します。フラッシュメモリ上の ID コードの構成は、図 40.29 と同じです。

表40.21 オンチップデバッグIDコードプロテクト仕様

制御コード	IDコード	プロテクト状態	オンチップデバッグ接続時の動作
FFh	FFh, ..., FFh (すべてFFh)	プロテクト無効	IDコード一致とし、オンチップデバッグとの接続を許可する
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, ..., FFh	プロテクト有効	IDコード不一致とし、オンチップデバッグとの接続を禁止する
上記以外	上記以外	プロテクト有効	IDコード一致：オンチップデバッグ認証を完了し、オンチップデバッグとの接続を許可する。 IDコード不一致：再度、IDコード待ちに遷移する

40.10 ROM コードプロテクト

ROM コードプロテクトは、フラッシュライタを使用する場合にフラッシュメモリの読み出し、書き換えを禁止する機能です。フラッシュメモリ上の ROM コードは、32 ビット長のデータです。図 40.34 に ROM コードの構成を示します。ROM コードは 32 ビット単位で設定してください。

ROM コードプロテクトを解除する場合、ブートモードもしくはユーザプログラミングで ROM コードを含むユーザ領域のブロック EB00 をイレーズしてください。

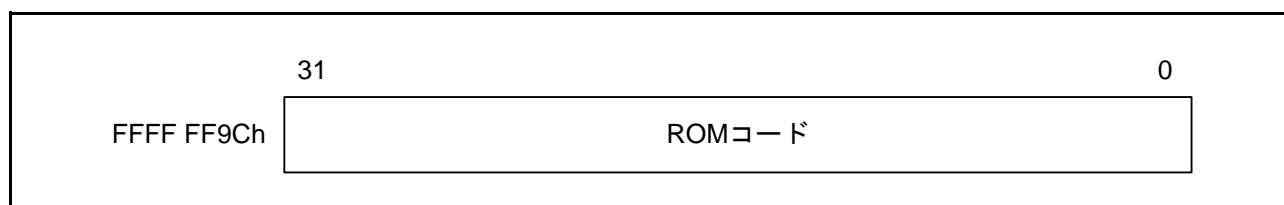


図 40.34 ROM コードの構成

表40.22 ROMコードプロテクト仕様

ROMコード	プロテクト状態	フラッシュライタ接続時の動作
0000 0000h	ROMコードプロテクト有効 (ROMコードプロテクト1)	ユーザ領域/ユーザブート領域の読み出し、書き換えを禁止する
0000 0001h	ROMコードプロテクト有効 (ROMコードプロテクト2)	ユーザ領域/ユーザブート領域の読み出しを禁止する
上記以外	ROMコードプロテクト無効	ユーザ領域/ユーザブート領域の読み出し、書き換えを許可する

40.11 使用上の注意事項 (ROM / E2 データフラッシュ共通)

(1) P/E サスペンド対象領域

P/E サスペンド中の領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、P/E サスペンド対象領域の命令実行や、データ読み出しが発生しないように注意してください。

(2) P/E サスペンドによる中断

P/E サスペンドコマンドによって P/E 処理を中断した場合は、レジュームコマンドにより動作を完了させてください。

(3) 追加プログラム禁止

同一領域に 2 回以上のプログラムを行うことはできません。プログラム済みの領域を再度プログラムする場合には、当該領域をイレーズしてください。

(4) P/E またはブランクチェック中のリセット

P/E またはブランクチェック中に RES# 端子からのリセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、 t_{RESWF} (「41. 電気的特性」を参照) 以上のリセット入力期間の後にリセットを解除してください。

P/E またはブランクチェック中に FRESETR.FRESET ビットにより FCU をリセットする場合は、リセット状態を t_{FCUR} (「41. 電気的特性」を参照) の時間保持してください。

FCU をリセットしている期間は、P/E またはブランクチェック対象の ROM の読み出しを行わないでください。

P/E またはブランクチェック中の WDT リセット、IWDT リセット、ソフトウェアリセットについては、上記の時間保持に関係なく使用できます。

(5) P/E 中のノンマスカブル割り込み禁止

P/E 中にノンマスカブル割り込み (NMI 端子割り込み、発振停止検出割り込み、WDT アンダフロー / リフレッシュエラー、IWDT アンダフロー / リフレッシュエラー、電圧監視 1 割り込み、電圧監視 2 割り込み) が発生すると、ROM からのベクタのフェッチが発生し、不定データが読み出されます。このため、ROM への P/E 中にノンマスカブル割り込みが発生しないようにしてください。

(本禁止事項は、ROM にのみ適用されます。)

(6) P/E またはブランクチェック中の割り込みベクタの配置

P/E またはブランクチェック中に割り込みが発生すると ROM からのベクタのフェッチが発生する場合があります。ROM からのベクタのフェッチを回避するには、CPU の割り込みテーブルレジスタ (INTB) により割り込みベクタのフェッチ先を ROM 以外に設定する方法があります。

(7) 低速動作モード 1、低速動作モード 2 での P/E

動作電力コントロールレジスタ (OPCCR) で低速動作モード 1、低速動作モード 2 を選択した場合は、フラッシュへの P/E を行わないでください。

(8) P/E またはブランクチェック中の異常終了

P/E またはブランクチェック中の動作電圧範囲を超える電圧変動、リセット、FRESETR.FRESET ビットによる FCU リセット、エラー検出によるコマンドロック状態、および次項 (9) の禁止事項によって、P/E またはブランクチェックが正常に終了しなかった場合、ロックビットが“0” (プロテクト状態) になっている場合があります。この場合、FPROTR.FPROTCN ビットを“1”にした状態でブロックイレーズコマンドを発行し、ロックビットを消去してください。

その後、正常終了しなかった書き込みを再度やり直してください。

(9) P/E またはブランクチェック中の禁止事項

P/E またはブランクチェック中はフラッシュメモリ内に高電圧が印加されています。フラッシュメモリへのダメージを防ぐため、以下の禁止事項を守ってください。

- ELSR28 レジスタにより「クロックソースを LOCO へ切り替え」を設定し、このイベントを発生させないでください。
- OPCCR.OPCM[2:0] ビットの値を更新しないでください。
- RSTCKCR.RSTCKEN ビットの設定により、スリープモードからの復帰時のクロックソース切り替えを有効にしないでください。
- FCLK と異なる周波数を PCKAR レジスタに設定しないでください。
- 本 MCU への入力電圧は動作電圧未満にしないでください。
- FWEPROR.FLWE[1:0] ビットの値を更新しないでください。
- SYSCR0.ROME ビットの設定により、動作モードを変更しないでください。
- SCKCR3.CKSEL[2:0] ビットの設定により、クロックソースを変更しないでください。
- FlashIF クロック (FCLK) の分周比を変更しないでください。
- 全モジュールクロックストップモード、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行しないでください。

(10) ブートモードでフラッシュ書き換えを実施する場合の注意事項

ブートモードでフラッシュ書き換えを実施する場合は、メインクロックの入力が必要です。ブートモードの場合は、XTAL 端子、EXTAL 端子間には「41.3.1 クロックタイミング」に示す範囲の発振子を接続してください。

(11) ブートモードでの EXTAL 端子の扱い

ブートモードを使用するときは、EXTAL 端子に外部から入力するか、発振子を接続してクロックを供給してください。

40.12 使用上の注意事項 (E2 データフラッシュ)

(1) リセット後のデータ領域プロテクト状態

DFLRE_y、DFLWE_y レジスタ (y = 0, 1) の初期値が“0000h”であるため、リセット後のデータ領域の読み出し/P/E は禁止状態です。データ領域の読み出しが必要な場合には DFLRE_y レジスタを設定してからデータ領域にアクセスしてください。また、データ領域の P/E が必要な場合には、DFLWE_y レジスタを設定してから P/E 用の FCU コマンドを発行してください。レジスタを設定せずに読み出し/P/E を実行しようとする、FCU がエラーを検出して、FASTAT.CMDLK ビットは“1” (コマンドロック状態) になります。

(2) 低速動作モード 2 での読み出し

低速動作モード 2 での E2 データフラッシュの読み出しはできません。

読み出す場合は、低速動作モード

2 以外に移行してください。

41. 電気的特性

41.1 絶対最大定格

表 41.1 絶対最大定格

条件：VSS = AVSS0 = VREFL = VREFL0 = 0V

項目	記号	定格値	単位
電源電圧	VCC	-0.3 ~ +6.5	V
アナログ電源電圧	AVCC0 (注1)	-0.3 ~ +6.5	V
リファレンス電源電圧	VREFH0 (注1)	-0.3 ~ AVCC0+0.3	V
	VREFH (注1)	-0.3 ~ +6.5	V
入力電圧 (ポート4、ポート03, 05, 07以外)	V _{in}	-0.3 ~ VCC+0.3	V
入力電圧 (ポート4、ポート07)	V _{in}	-0.3 ~ AVCC0+0.3	V
入力電圧 (ポート03, 05)	V _{in}	-0.3 ~ VREFH+0.3	V
アナログ入力電圧 (ポート4、ポートE)	V _{AN}	-0.3 ~ AVCC0+0.3	V
動作温度	T _{opr}	-40 ~ +85	°C
保存温度	T _{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、VREFH0端子とVREFL0間には周波特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近傍に配置し、最短距離かつできる限り太いパターンを使用して接続してください。

注1. A/DおよびD/Aコンバータ未使用時にAVCC0、VREFH、VREFH0、AVSS0、VREFL、VREFL0端子を開放しないでください。AVCC0、VREFH、VREFH0端子はVCCに、AVSS0、VREFL、VREFL0端子はVSSにそれぞれ接続してください。

41.2 DC 特性

表 41.2 DC 特性 (1)

条件1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、

 $T_a = -40 \sim +85^\circ\text{C}$

条件2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、

 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	RIIC入力端子 (SMbusを除く)	V_{IH}	$VCC \times 0.7$	—	$VCC + 0.3$	V	
	ポート4、ポート07		$AVCC0 \times 0.8$	—	$AVCC0 + 0.3$		
	ポート03, 05		$VREFH \times 0.8$	—	$VREFH + 0.3$		
	ポートL5		$VCC \times 0.8$	—	3.9		
	RIIC入力端子、ポート4、ポート03, 05, 07、ポートL5以外		$VCC \times 0.8$	—	$VCC + 0.3$		
	RIIC入力端子 (SMbusを除く)	V_{IL}	-0.3	—	$VCC \times 0.3$		
	ポート4、ポート07		-0.3	—	$AVCC0 \times 0.2$		
	ポート03, 05		-0.3	—	$VREFH \times 0.2$		
	ポートL5		-0.3	—	$VCC \times 0.2$		
	RIIC入力端子、ポート4、ポート03, 05, 07、ポートL5以外		-0.3	—	$VCC \times 0.2$		
	RIIC入力端子 (SMbusを除く)	ΔV_T	$VCC \times 0.05$	—	—		
	ポート4、ポート07		$AVCC0 \times 0.06$	—	—		
	ポート03, 05		$VREFH \times 0.06$	—	—		
	ポートL5		$VCC \times 0.06$	—	—		
	RIIC入力端子、ポート4、ポート03, 05, 07、ポートL5以外		$VCC \times 0.06$	—	—		
入力レベル電圧 (シュミットトリガ 入力端子を除く)	MD、EMLE	V_{IH}	$VCC \times 0.9$	—	$VCC + 0.3$	V	
	EXTAL、WAIT#、TCK、RSPI入力端子		$VCC \times 0.8$	—	$VCC + 0.3$		
	D0 ~ D15		$VCC \times 0.7$	—	$VCC + 0.3$		
	RIIC入力端子 (SMbus)		2.1	—	$VCC + 0.3$		
	CEC入力端子		2.0	—	3.9		
	MD、EMLE	V_{IL}	-0.3	—	$VCC \times 0.1$		
	EXTAL、WAIT#、TCK、RSPI入力端子		-0.3	—	$VCC \times 0.2$		
	D0 ~ D15		-0.3	—	$VCC \times 0.3$		
	RIIC入力端子 (SMbus)		-0.3	—	0.8		
	CEC入力端子		-0.3	—	0.8		
	CEC入力端子	ΔV_T	—	0.3	—		条件1

表 41.3 DC 特性 (2)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#、MD 端子、P35/NMI、EXTAL、ポート 4	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0\text{V}$ 、VCC
スリープスタートリーク電流 (オフ状態)	ポート 12, 13, 16, 17, 20, 21, C0, C1	$ I_{TSI} $	—	—	5.0	μA	$V_{in} = 0\text{V}$ 、VCC
	ポート 12, 13, 16, 17, 20, 21, C0, C1 以外		—	—	1.0		
	ポート L5		—	—	1.8		
入力容量	全入力端子 (ポート 12, 13, 16, 17, 20, 21, C0, C1 以外)	C_{in}	—	—	15	pF	$V_{in} = 0\text{V}$ 、 $f = 1\text{MHz}$ 、 $T_a = 25^\circ\text{C}$
	ポート 12, 13, 16, 17, 20, 21, C0, C1		—	—	30		

表 41.4 DC 特性 (3)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	VCC				単位	測定条件	
		2.7 ~ 3.6V		4.0 ~ 5.5V				
		min	max	min	max			
入力プルアップ MOS 電流	全ポート (ポート 03, 05、ポート 35 ~ 37、ポート 4、ポート L5 を除く)	I_p	-200	-10	-400	-50	μA	$V_{in} = 0\text{V}$

表 41.5 DC 特性 (4)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目				記号	typ	max	単位	測定条件
消費電流 (注 1)	高速動作モード	通常動作モード	周辺動作なし (注 2)	I_{CC}	20	—	mA	ICLK = 54MHz PCLKB = 27MHz PCLKD = 54MHz FCLK = 27MHz BCLK = 54MHz
			全周辺動作通常動作 (注 3)		24	—		
			全周辺動作最大動作 (注 3)		—	55		
		スリープモード	周辺動作なし		15.5	—		
			全周辺動作通常動作		19.5	—		
		全モジュールクロックストップモード			14	—		
	BGO 動作時の増加分 (注 4)			12	—			

注 1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

注 2. 周辺機能はクロック停止状態。BGO 動作は除きます。

注 3. 周辺機能はクロック供給状態。BGO 動作は除きます。

注 4. プログラム実行中に、ROM、または E2 データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

表 41.6 DC 特性 (5)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目				記号	typ	max	単位	測定条件	
消費電流 (注1)	低速動作モード1	通常動作モード	周辺動作なし (注2)	I _{CC}	4	—	mA		
			全周辺動作通常動作 (注3)						ICLK = 1MHz
			全周辺動作最大動作 (注3)						ICLK = 1MHz
		スリープモード	周辺動作なし						ICLK = 1MHz
			全周辺動作通常動作						ICLK = 1MHz
		全モジュールクロックストップモード							3.7
	低速動作モード2	通常動作モード	周辺動作なし (注4)	I _{CC}	0.4	—			
			全周辺動作通常動作 (注5)				ICLK = 125kHz		
			全周辺動作最大動作 (注5)				ICLK = 125kHz		
		スリープモード	周辺動作なし				ICLK = 125kHz		
			全周辺動作通常動作				ICLK = 125kHz		
		全モジュールクロックストップモード					0.28		—

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOS をオフ状態にした場合の値です。

注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはメインクロックです。

注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはメインクロックです。

注4. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはLOCOです。

注5. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはLOCOです。

注6. メインクロックが13.5MHzで発振継続している場合の値です。

表 41.7 DC 特性 (6)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目				記号	typ	max	単位	測定条件	
消費電力 (注1)	ソフトウェアスタンバイモード			I _{CC}	40	1000	μA		
	ディープソフトウェアスタンバイモード	RAM電源給電あり							
		RAM電源給電なし	パワーオンリセット回路低消費電力機能無効						
			パワーオンリセット回路低消費電力機能有効						

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOS をオフ状態にした場合の値です。

表 41.8 DC 特性 (7)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	360	mW	

注1. チップ全体 (出力電流を含む) の総電力です。

表 41.9 DC 特性 (8)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件
アナログ 電源電流	A/D 変換中	I_{AVCC0}	—	1.9	4.2	mA	条件 1
			—	2.5	4.2	mA	条件 2
	A/D 変換待機時	—	0.1	4	μA		
	D/A 変換中 (1チャンネルあたり)	I_{VREFH} (注1)	—	0.3	1	mA	条件 1
			—	0.46	1	mA	条件 2
A/D、D/A 変換待機時 (全ユニット) (注2)		—	—	23	40	μA	
リファレンス 電源電流	A/D 変換中	I_{VREFH0}	—	0.44	1.5	mA	条件 1
			—	0.66	1.5	mA	条件 2
	A/D 変換待機時	—	0.1	1	μA		

注. A/D コンバータは、サンプル&ホールドなしの値です。

注1. D/A コンバータの電源電流の値はリファレンス電源電流も含まれます。

注2. 数値は I_{AVCC0} と I_{VREFH} の合計値です。

表 41.10 DC 特性 (9)

条件 : VCC = AVCC0 = 0 ~ 5.5V、VREFH = 0 ~ AVCC0、VREFH0 = 0 ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
VCC 立ち上がり勾配	SrVCC	—	—	20	ms/V	コールドスタート時

表 41.11 出力許容電流値

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	max	単位
出力 Low レベル許容電流 (1端子あたりの平均値)	通常出力時	I_{OL}	2.0	mA
出力 Low レベル許容電流 (1端子あたりの最大値)	通常出力時		4.0	mA
出力 Low レベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}	80	mA
出力 High レベル許容電流 (1端子あたりの平均値)	通常出力時	I_{OH}	-2.0	mA
出力 High レベル許容電流 (1端子あたりの最大値)	通常出力時		-4.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	ΣI_{OH}	-80	mA

表 41.12 出力電圧値 (1)

条件 : $VCC = AVCC0 = VREFH0 = 2.7 \sim 3.6V$ 、 $VREFH = 2.7V \sim AVCC0$ 、 $VSS = AVSS0 = VREFL = VREFL0 = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目			記号	min	max	単位	測定条件
出力Low レベル	全出力端子 (RIIC、CEC以外)	通常出力時	V_{OL}	—	0.5	V	$I_{OL} = 1.0mA$
		高駆動出力時		—	0.5		$I_{OL} = 2.0mA$
	RIIC端子			—	0.4		$I_{OL} = 3.0mA$
				—	0.6		$I_{OL} = 6.0mA$
	CEC端子			—	0.6		$I_{OL} = 2.1mA$
出力High レベル	全出力端子	通常出力時	V_{OH}	$VCC - 0.5$	—	V	$I_{OH} = -1.0mA$
		高駆動出力時		$VCC - 0.5$	—		$I_{OH} = -2.0mA$

表 41.13 出力電圧値 (2)

条件 : $VCC = AVCC0 = VREFH0 = 4.0 \sim 5.5V$ 、 $VREFH = 4.0V \sim AVCC0$ 、 $VSS = AVSS0 = VREFL = VREFL0 = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目			記号	min	max	単位	測定条件
出力Low レベル	全出力端子 (RIIC以外)	通常出力時	V_{OL}	—	0.8	V	$I_{OL} = 2.0mA$
		高駆動出力時		—	0.8		$I_{OL} = 4.0mA$
	RIIC端子			—	0.4		$I_{OL} = 3.0mA$
				—	0.6		$I_{OL} = 6.0mA$
出力High レベル	全出力端子	通常出力時	V_{OH}	$VCC - 0.8$	—	V	$I_{OH} = -2.0mA$
		高駆動出力時		$VCC - 0.8$	—		$I_{OH} = -4.0mA$

41.3 AC 特性

表 41.14 動作周波数 (高速動作モード)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f_{\max}	—	—	54	MHz
	FlashIFクロック (FCLK) (注1)		—	—	32	
	周辺モジュールクロック (PCLKB)		—	—	32	
	周辺モジュールクロック (PCLKD) (注2)		—	—	54	
	外部バスクロック (BCLK)		—	—	54	
	BCLK端子出力		—	—	27	

注1. フラッシュメモリ P/E 時の FCLK の下限周波数は 4MHz です。

注2. A/D コンバータ 使用時の PCLKD の下限周波数は 1MHz です。

表 41.15 動作周波数 (低速動作モード1)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f_{\max}	—	—	1	MHz
	FlashIFクロック (FCLK) (注1)		—	—	1	
	周辺モジュールクロック (PCLKB)		—	—	1	
	周辺モジュールクロック (PCLKD) (注2)		—	—	1	
	外部バスクロック (BCLK)		—	—	1	
	BCLK端子出力		—	—	1	

注1. フラッシュメモリの P/E はできません。

注2. A/D コンバータ 使用時の PCLKD の下限周波数は 1MHz です。

表 41.16 動作周波数 (低速動作モード2)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f_{\max}	—	—	143.75	kHz
	FlashIFクロック (FCLK) (注1)		—	—	143.75	
	周辺モジュールクロック (PCLKB)		—	—	143.75	
	周辺モジュールクロック (PCLKD) (注2)		—	—	143.75	
	外部バスクロック (BCLK)		—	—	143.75	
	BCLK端子出力		—	—	143.75	

注1. フラッシュメモリの P/E はできません。

注2. A/D コンバータ は使用できません。

41.3.1 クロックタイミング

表41.17 BCLKタイミング

条件1: VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C

条件2: VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C

項目	記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	t _{Bcyc}	37	—	—	ns	図41.1
BCLK端子出力Highレベルパルス幅 (注1)	t _{CH}	5	—	—	ns	
BCLK端子出力Lowレベルパルス幅 (注1)	t _{CL}	5	—	—	ns	
BCLK端子出力立ち上がり時間	t _{Cr}	—	—	5	ns	
BCLK端子出力立ち下がり時間	t _{Cf}	—	—	5	ns	

注1. EXTAL外部クロック入力を使用して、BCLK端子から1分周で出力する場合は、デューティ比45~55%で上記を満たします。

表41.18 クロックタイミング

条件1: VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C

条件2: VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C

項目	記号	min	typ	max	単位	測定条件	
EXTAL外部クロック入力サイクル時間	t _{EXcyc}	50 (62.5) (注1)	—	—	ns	図41.2	
EXTAL外部クロック入力パルス幅Highレベル	t _{EXH}	20 (25) (注1)	—	—	ns		
EXTAL外部クロック入力パルス幅Lowレベル	t _{EXL}	20 (25) (注1)	—	—	ns		
EXTAL外部クロック立ち上がり時間	t _{EXr}	—	—	5	ns		
EXTAL外部クロック立ち下がり時間	t _{EXf}	—	—	5	ns		
EXTAL外部クロック入力待機時間 (注2)	t _{EXWT}	1	—	—	ms		
メインクロック発振器発振周波数 (注3)	f _{MAIN}	8	—	20 (16) (注1)	MHz		
メインクロック発振安定時間 (水晶)	f _{MAINOSC}	—	—	(注3)	ms	図41.3	
メインクロック発振安定待機時間 (水晶)	f _{MAINOSCWT}	—	—	(注4)	ms		
LOCOクロックサイクル時間	t _{LOCOCYC}	6.96	8	9.4	μs		
LOCOクロックサイクル時間	t _{LOCOCYC}	7.27	8	8.89	μs	T _a = 0 ~ +60°C	
LOCOクロック発振周波数	f _{LOCO}	106.25	125	143.75	kHz		
LOCOクロック発振周波数	f _{LOCO}	112.5	125	137.5	kHz	T _a = 0 ~ +60°C	
LOCOクロック発振安定待機時間	t _{LOCOWT}	—	—	20	μs	図41.4	
PLL入力周波数	f _{PLLIN}	4	—	20	MHz		
PLL回路発振周波数	t _{LOCOWT}	104	—	200	MHz		
PLLクロック発振安定時間	メインクロック発振安定後にPLL動作開始	t _{PLL1}	—	—	500	μs	図41.5
PLLクロック発振安定待機時間		t _{PLLWT1}	—	—	(注5)	ms	
PLLクロック発振安定時間	メインクロック発振安定前にPLL動作開始	t _{PLL2}	—	—	t _{MAINOSC} + t _{PLL1}	ms	図41.6
PLLクロック発振安定待機時間		t _{PLLWT2}	—	—	(注5)	ms	

注1. () 内の数値は、CECの動作クロックとしてCECMCLKを選択、またはRCRの動作クロックとしてRCRMCLKを選択し、MONFCRレジスタ設定値が“A5h”以外 (ノイズフィルタ有効) とした場合を示します。

注2. メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) に設定してから、使用できるまでの時間です。

注3. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注4. MOSCWTCR.MSTS[4:0]ビットで選択したサイクル数をnとすると、以下の式で算出されます。

$$t_{\text{MAINOSCWT}} = t_{\text{MAINOSC}} + \frac{n + 16384}{f_{\text{MAIN}}}$$

注5. PLLWTCR.PSTS[4:0]ビットで選択したサイクル数をnとすると、以下の式で算出されます。

$$t_{\text{PLLWT1}} = t_{\text{PLL1}} + \frac{n + 131072}{f_{\text{PLL}}}$$

$$t_{\text{PLLWT2}} = t_{\text{PLL2}} + \frac{n + 131072}{f_{\text{PLL}}} = t_{\text{MAINOSC}} + t_{\text{PLL1}} + \frac{n + 131072}{f_{\text{PLL}}}$$

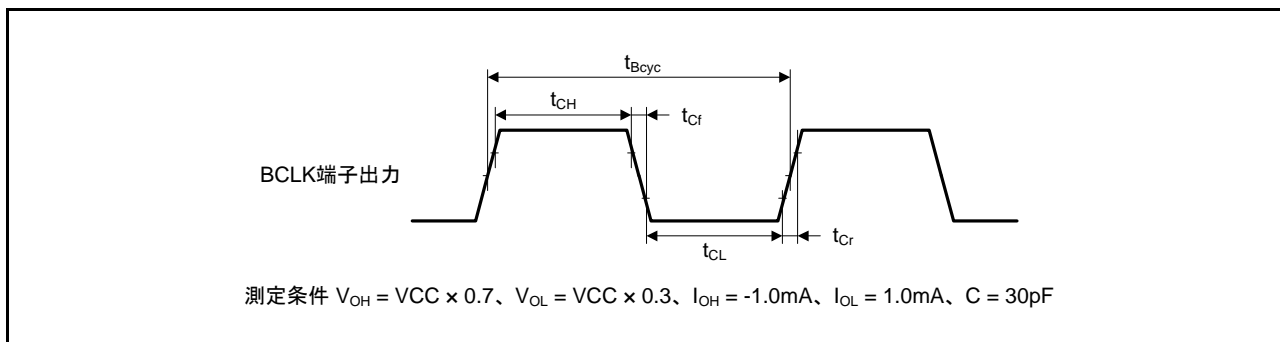


図 41.1 BCLK 端子出力タイミング

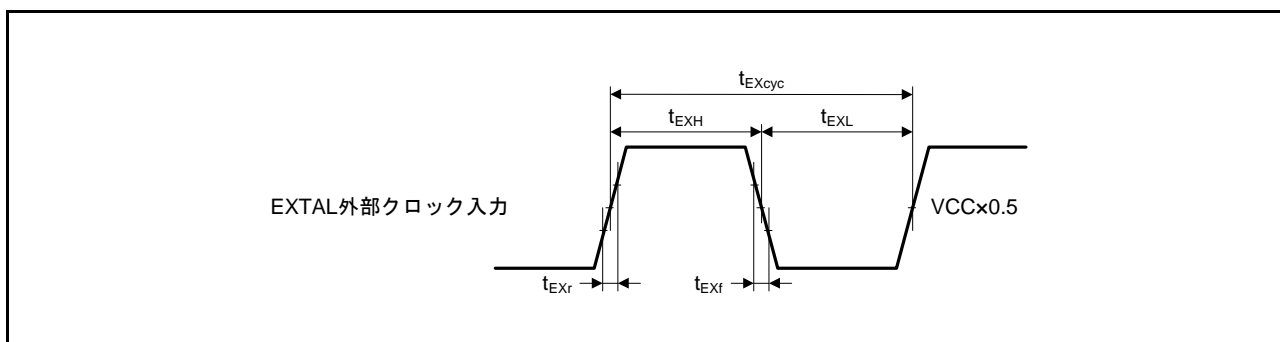


図 41.2 EXTAL 外部クロック入力タイミング

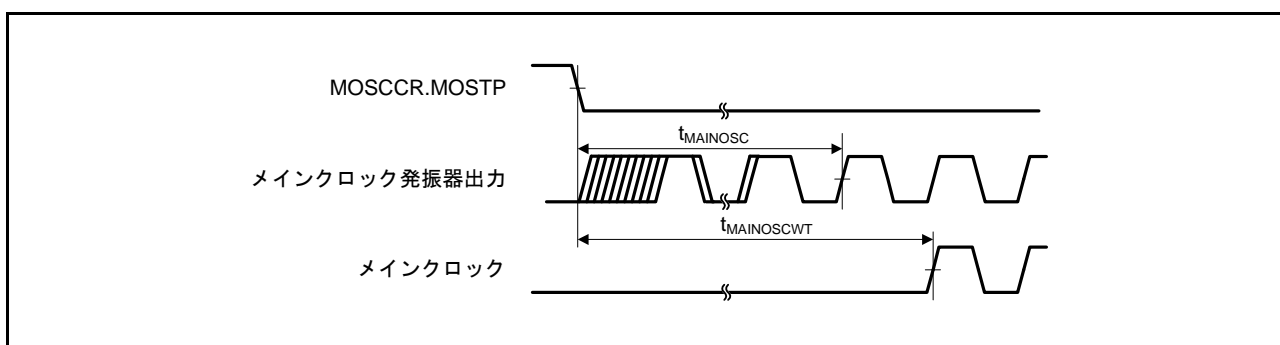


図 41.3 メインクロック発振開始タイミング

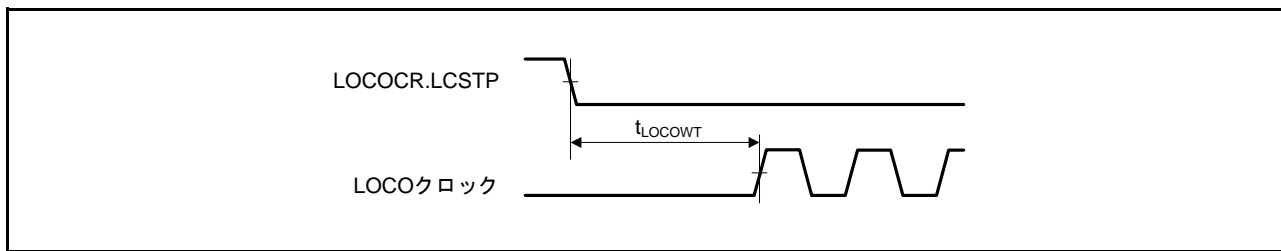


図 41.4 LOCO クロック発振開始タイミング

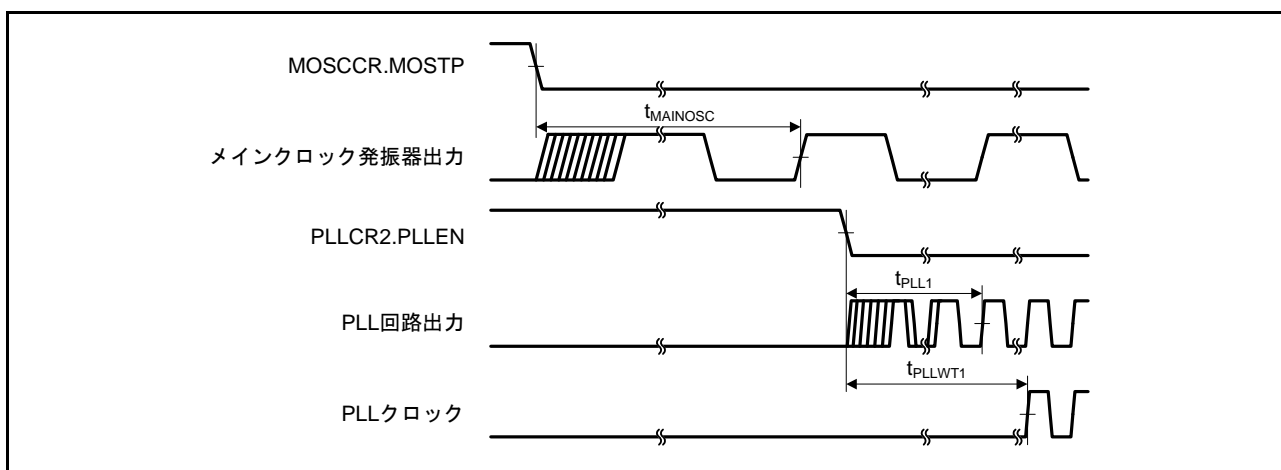


図 41.5 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

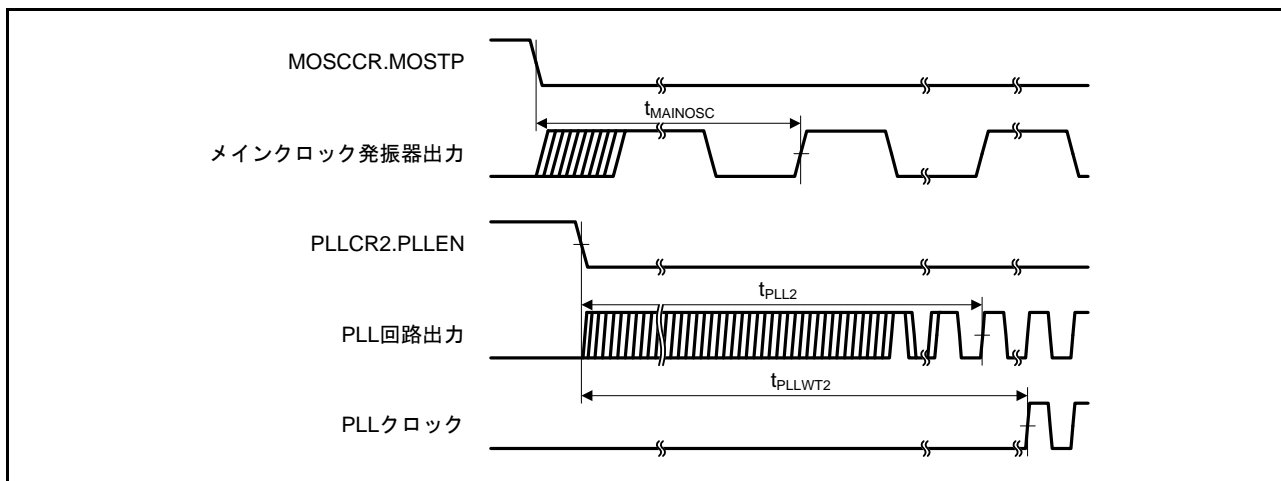


図 41.6 PLL クロック発振開始タイミング (メインクロック発振安定を待たずに PLL を動作させたとき)

41.3.2 リセットタイミング

表41.19 リセットタイミング

条件1 : VCC = AVCC0 = VREFH0 = 2.7~3.6V、VREFH = 2.7V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件2 : VCC = AVCC0 = VREFH0 = 4.0~5.5V、VREFH = 4.0V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件	
RES#パルス幅	電源投入時	t_{RESWP}	2	—	—	ms	図 41.7
	ディープソフトウェアスタンバイモード	t_{RESWD}	1	—	—	ms	
	ソフトウェアスタンバイモード、 低速動作モード1、2	t_{RESWS}	1	—	—	ms	
	ROMプログラム/イレーズ中、E2データフラッシュのプログラム/イレーズ/ブランクチェック中	t_{RESWF}	200	—	—	μs	
	上記以外	t_{RESW}	200	—	—	μs	
RES#解除後待機時間	t_{RESWT}	59	—	60	t_{CYC}	図 41.7	
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット)	t_{RESW2}	112	—	120	t_{CYC}		

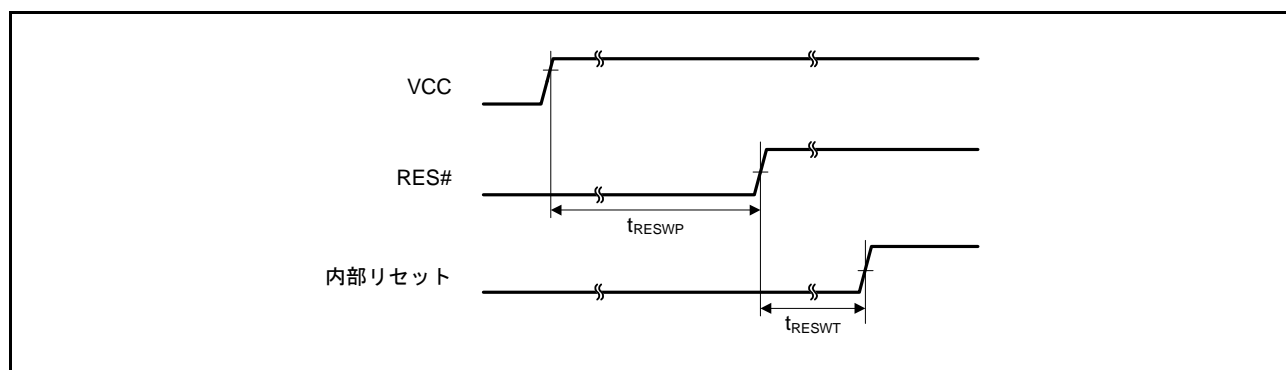


図 41.7 電源投入時リセット入力タイミング

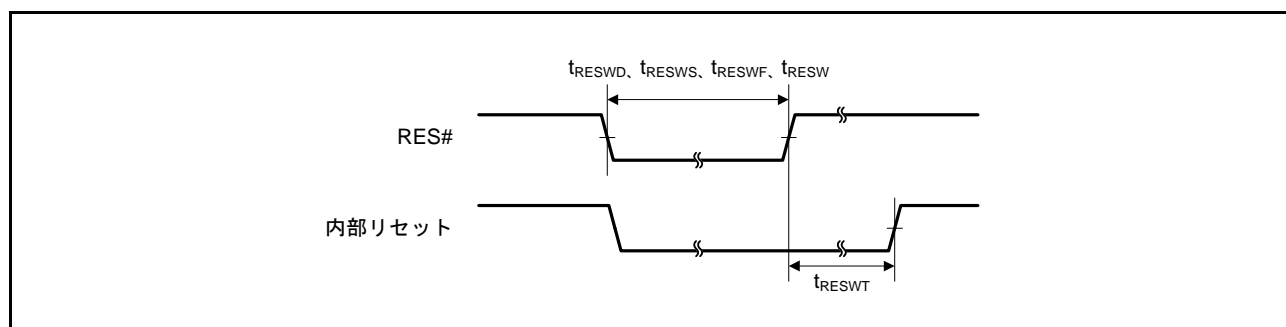


図 41.8 リセット入力タイミング

41.3.3 低消費電力状態からの復帰タイミング

表41.20 低消費電力状態からの復帰タイミング

条件1 : VCC = AVCC0 = VREFH0 = 2.7~3.6V、VREFH = 2.7V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件2 : VCC = AVCC0 = VREFH0 = 4.0~5.5V、VREFH = 4.0V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t_{SBYMC}	10	—	—	ms	図 41.9
		メインクロック発振器、PLL回路動作	t_{SBYPC}	10	—	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t_{SBYEX}	1	—	—	ms	
		メインクロック発振器、PLL回路動作	t_{SBYPE}	1	—	—	ms	
	低速オンチップオシレータ、またはIWDWT専用低速クロック発振器	t_{SBYLO}	—	—	800	μs		
ディープソフトウェアスタンバイモード解除後復帰時間		t_{DSBY}	—	—	1	ms	図 41.10	
ディープソフトウェアスタンバイモード解除後待機時間		t_{DSBYWT}	45	—	46	t_{CYC}		

注. WAIT命令実行時の各発振器の状態によって待ち時間が異なります。複数の発振器が動作している場合の復帰時間は、動作している発振器の中で復帰に最も時間がかかるものが単独で動作しているときと同じ時間になります。

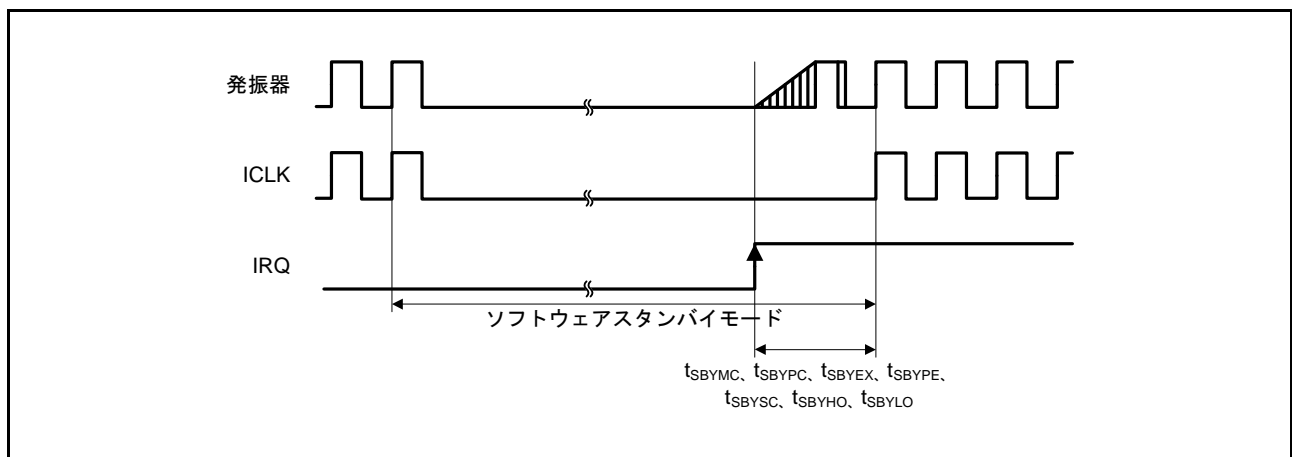


図 41.9 ソフトウェアスタンバイモード解除タイミング

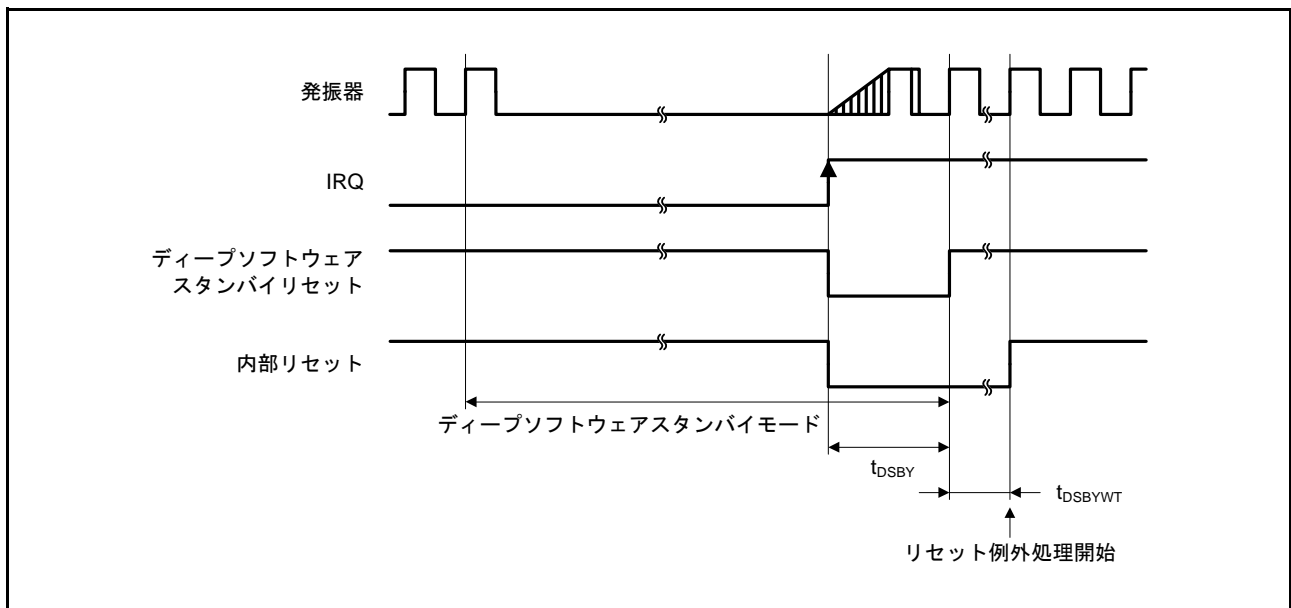


図 41.10 ディープソフトウェアスタンバイモード解除タイミング

41.3.4 制御信号タイミング

表41.21 制御信号タイミング

条件1: VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85 °C

条件2: VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85 °C

項目	記号	min	typ	max	単位	測定条件
NMIパルス幅	t _{NMIW}	200	—	—	ns	t _c (PCLKB) × 2 ≤ 200ns、図 41.11
		t _c (PCLKB) × 2	—	—	ns	t _c (PCLKB) × 2 > 200ns、図 41.11
IRQパルス幅	t _{IRQW}	200	—	—	ns	t _c (PCLKB) × 2 ≤ 200ns、図 41.12
		t _c (PCLKB) × 2	—	—	ns	t _c (PCLKB) × 2 > 200ns、図 41.12

注. ディープソフトウェアスタンバイおよびソフトウェアスタンバイ時は、最小200nsです。

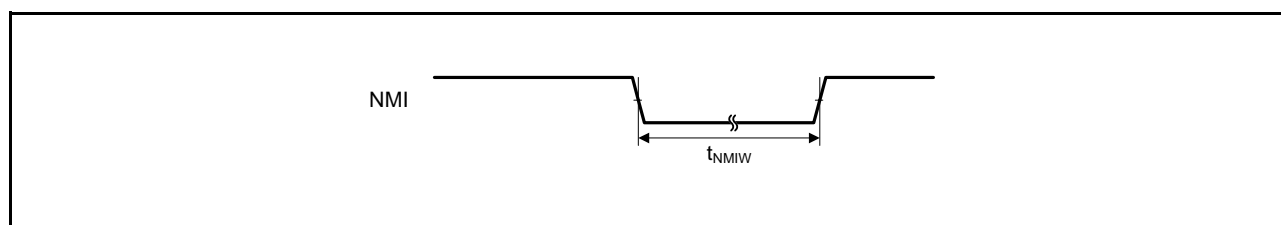


図 41.11 NMI 割り込み入カタイミング

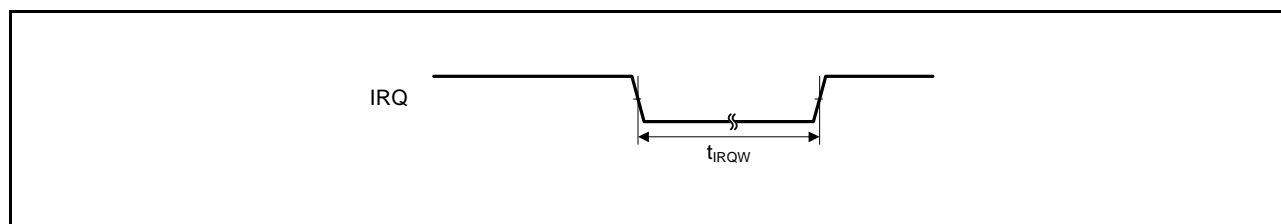


図 41.12 IRQ 割り込み入カタイミング

41.3.5 バスタイミング

表41.22 バスタイミング (1)

条件1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C

条件2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C
fBCLK ≤ 54MHz (BCLK端子出力周波数 ≤ 27MHz)、V_{OH} = VCC × 0.5、V_{OL} = VCC × 0.5、I_{OH} = -1.0mA、
I_{OL} = 1.0mA、CL = 30pF

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t _{AD}	—	30	ns	図41.13 ~ 図41.16
バイトコントロール遅延時間	t _{BCD}	—	30	ns	
CS#遅延時間	t _{CSD}	—	30	ns	
RD#遅延時間	t _{RSD}	—	30	ns	
リードデータセットアップ時間	t _{RDS}	20	—	ns	
リードデータホールド時間	t _{RDH}	0	—	ns	
WR#遅延時間	t _{WRD}	—	30	ns	
ライトデータ遅延時間	t _{WDD}	—	30	ns	
ライトデータホールド時間	t _{WDH}	0	—	ns	
WAIT#セットアップ時間	t _{WTS}	20	—	ns	図41.17
WAIT#ホールド時間	t _{WTH}	0	—	ns	

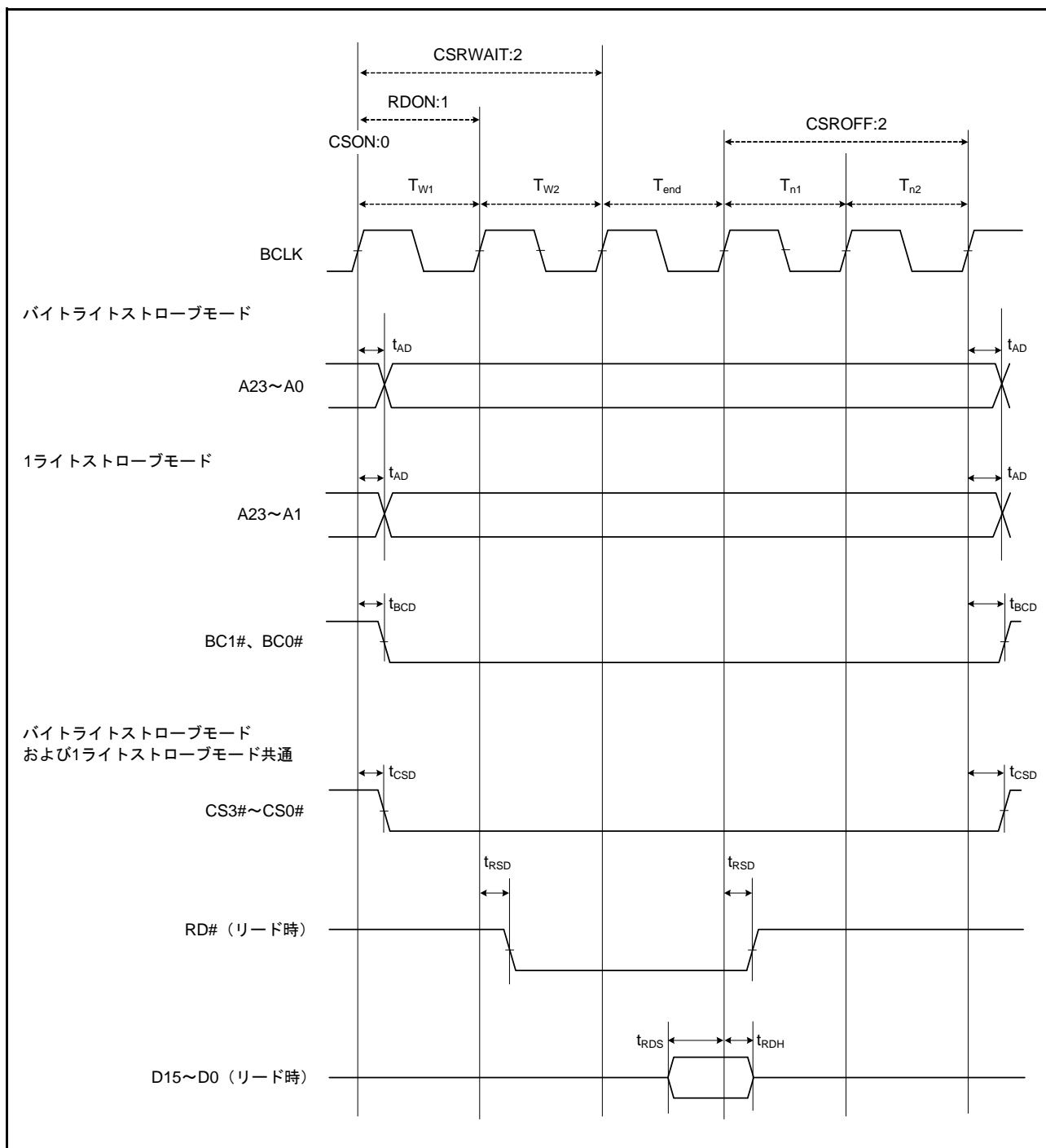


図 41.13 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

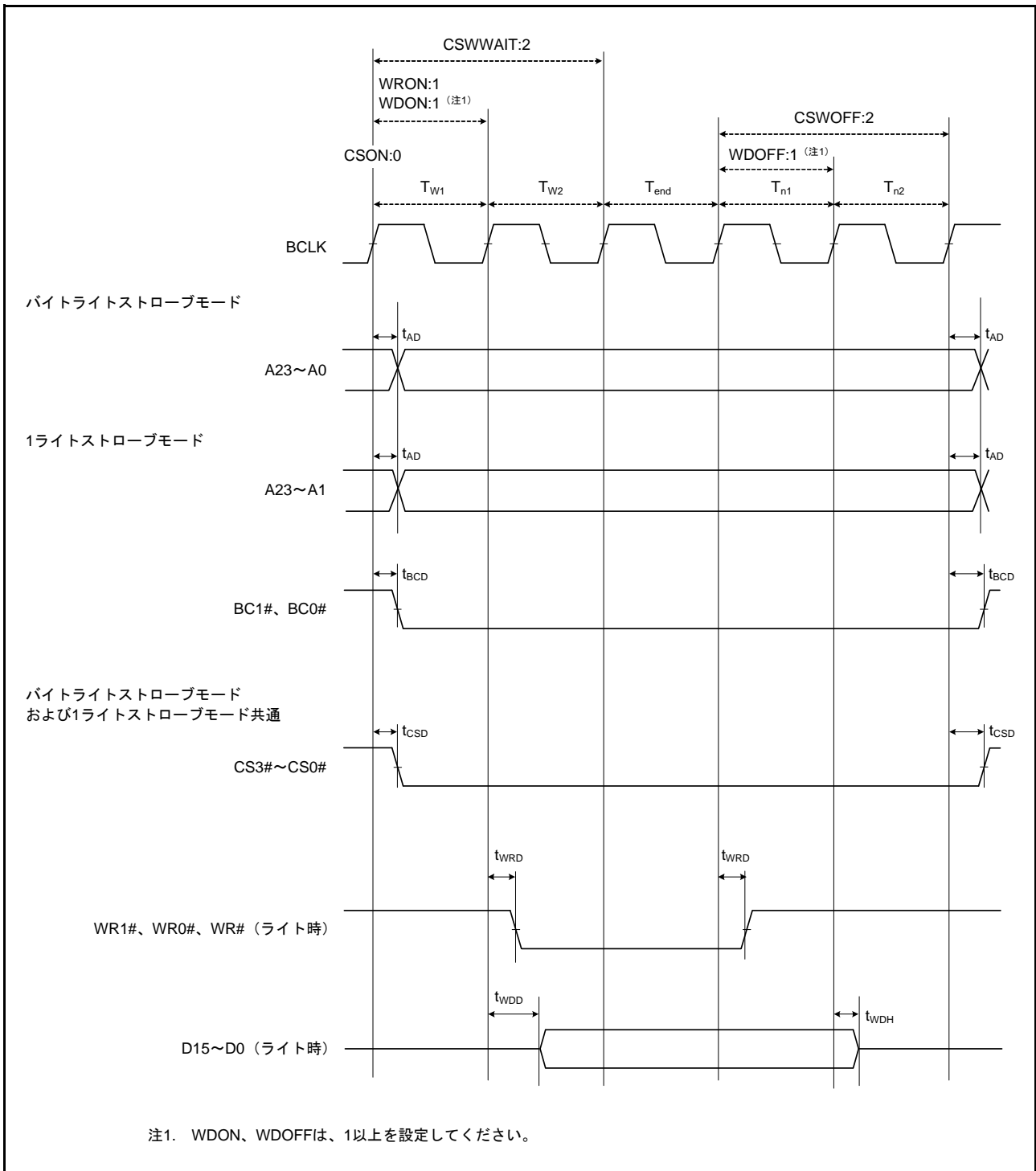


図 41.14 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

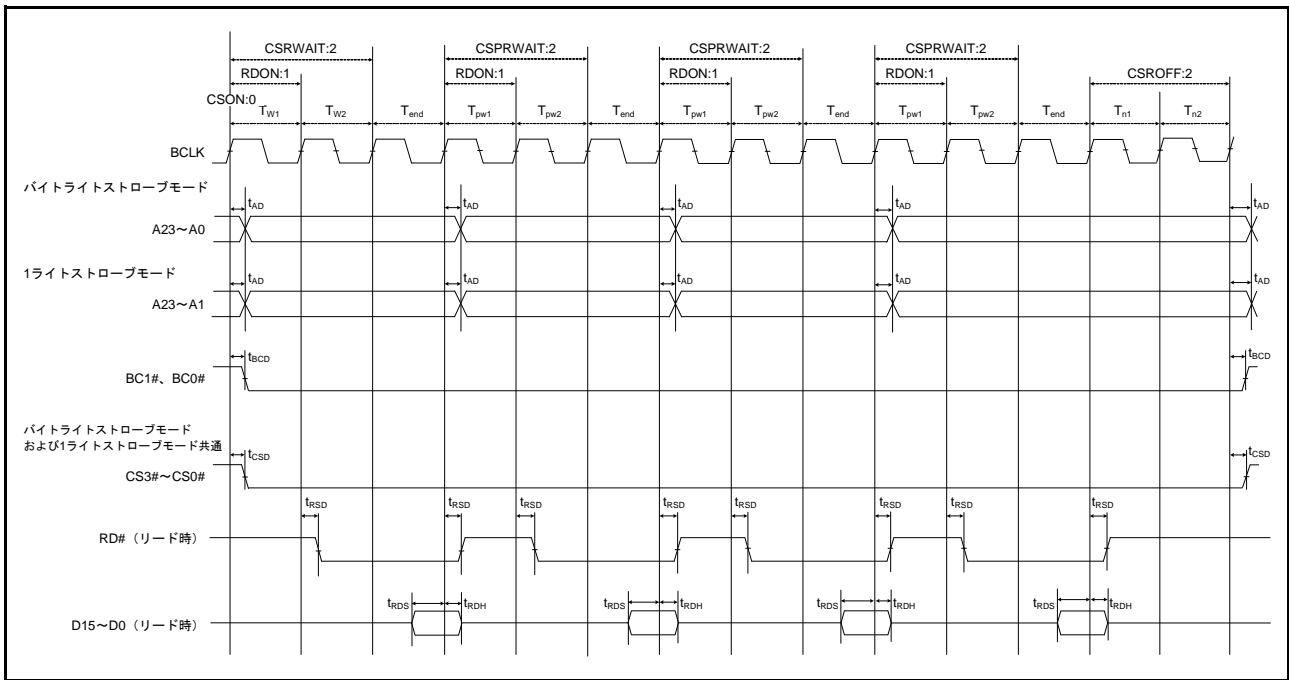


図 41.15 外部バスタイミング / ページリードサイクル (バスクロック同期)

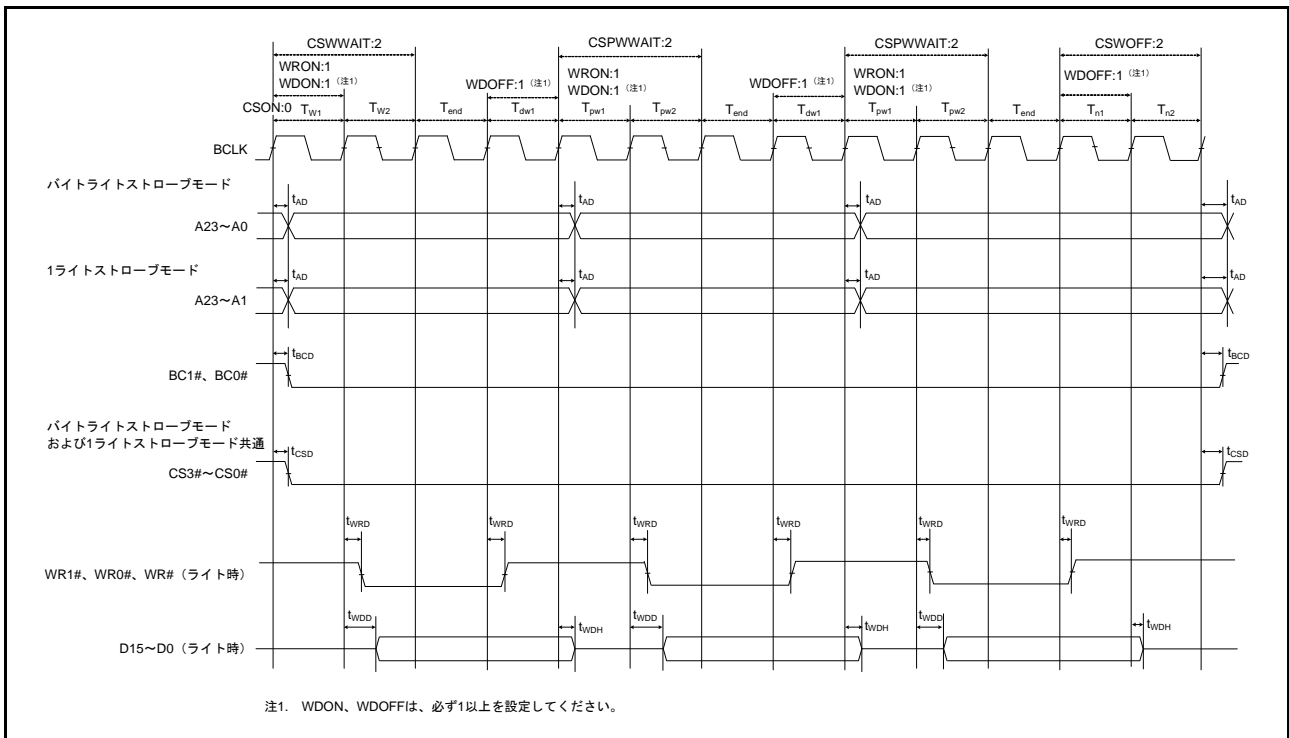


図 41.16 外部バスタイミング / ページライトサイクル (バスクロック同期)

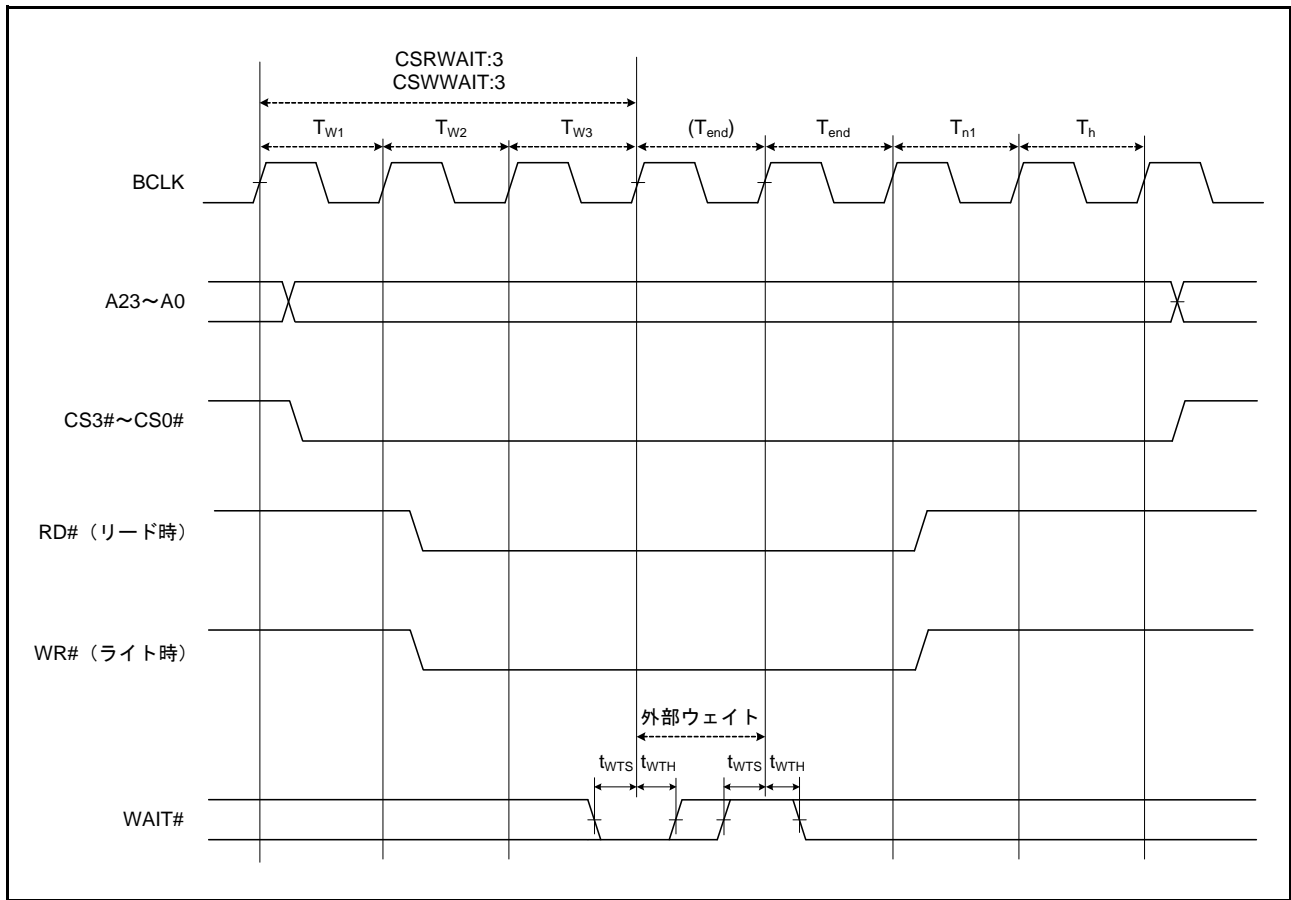


図 41.17 外部バスタイミング / 外部ウェイト制御

表 41.23 バスタイミング (マルチプレクスバス)

条件 1 : $V_{CC} = AV_{CC0} = V_{REFH0} = 2.7 \sim 3.6V$, $V_{REFH} = 2.7V \sim AV_{CC0}$, $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$, $T_a = -40 \sim +85^\circ C$

条件 2 : $V_{CC} = AV_{CC0} = V_{REFH0} = 4.0 \sim 5.5V$, $V_{REFH} = 4.0V \sim AV_{CC0}$, $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$, $T_a = -40 \sim +85^\circ C$

$f_{BCLK} \leq 54MHz$ (BCLK 端子出力周波数 $\leq 27MHz$)、 $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $I_{OH} = -1.0mA$, $I_{OL} = 1.0mA$, $CL = 30pF$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	30	ns	図 41.18、 図 41.19
バイトコントロール遅延時間	t_{BCD}	—	30	ns	
CS#遅延時間	t_{CSD}	—	30	ns	
RD#遅延時間	t_{RSD}	—	30	ns	
ALE 遅延時間	t_{ALED}	—	30	ns	
リードデータセットアップ時間	t_{RDS}	20	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	30	ns	
ライトデータ遅延時間	t_{WDD}	—	30	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	20	—	ns	
WAIT#ホールド時間	t_{WTH}	0	—	ns	

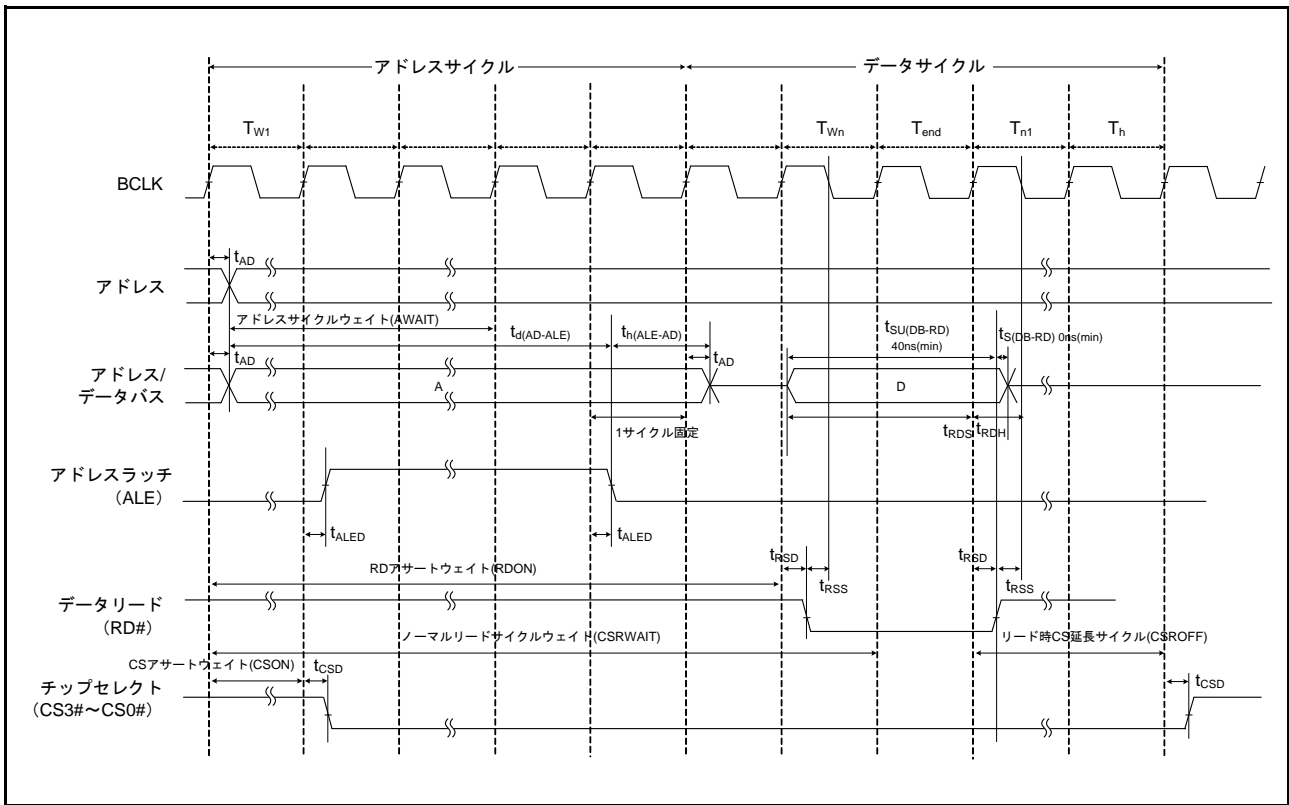


図 41.18 外部バスタイミング/リードアクセスの動作例 (マルチプレクス)

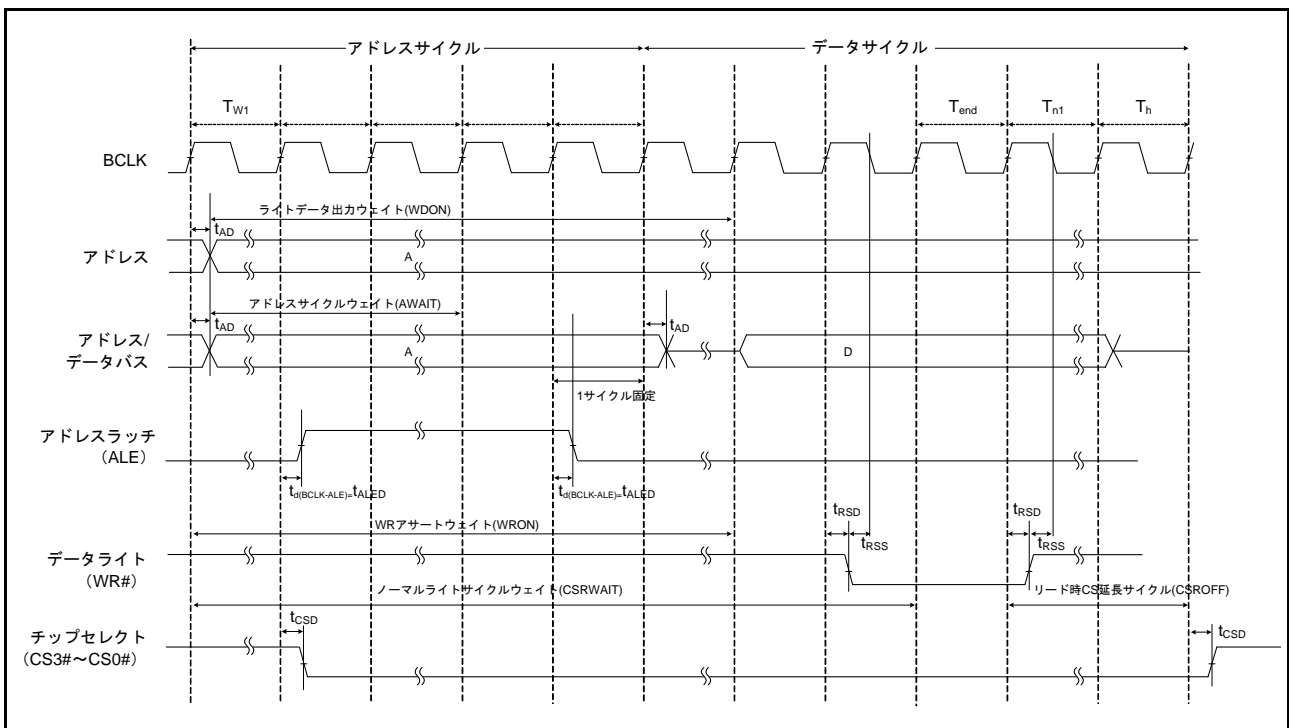


図 41.19 外部バスタイミング/ライトアクセスの動作例 (マルチプレクス)

41.3.6 内蔵周辺モジュールタイミング

表41.24 内蔵周辺モジュールタイミング (1)

条件1: VCC = AVCC0 = VREFH0 = 2.7~3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C

駆動能力選択制御レジスタは高駆動出力を選択時

条件2: VCC = AVCC0 = VREFH0 = 4.0~5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C

駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	t _{PRW}	1.5	—	t _{Pcyc}	図41.20	
MTU/TPU	インプットキャプチャ入力 パルス幅	単エッジ指定	1.5	—	t _{Pcyc}	図41.21	
		両エッジ指定	2.5	—			
	タイムクロックパルス幅	単エッジ指定	1.5	—	t _{Pcyc}	図41.22	
両エッジ指定	2.5	—					
位相計測モード	2.5	—					
POE	POE#入力パルス幅	t _{POEW}	1.5	—	t _{Pcyc}	図41.23	
TMR	タイムクロックパルス幅	単エッジ指定	1.5	—	t _{Pcyc}	図41.24	
		両エッジ指定	2.5	—			
SCI	入力クロックサイクル	調歩同期	4	—	t _{Pcyc}	図41.25	
		クロック同期	6	—			
	入力クロックパルス幅	t _{SCKW}	0.4	0.6	t _{Scyc}		
	入力クロック立ち上がり時間	t _{SCKr}	—	20	ns		
	入力クロック立ち下がり時間	t _{SCKf}	—	20	ns		
	出力クロックサイクル	調歩同期	t _{Scyc}	16	—	t _{Pcyc}	図41.26
		クロック同期		4	—		
	出力クロックパルス幅	t _{SCKW}	0.4	0.6	t _{Scyc}		
	出力クロック立ち上がり時間	t _{SCKr}	—	20	ns		
	出力クロック立ち下がり時間	t _{SCKf}	—	20	ns		
送信データ遅延時間	クロック同期	t _{TXD}	—	40	ns		
受信データセットアップ時間	クロック同期	t _{RXS}	40	—	ns		
受信データホールド時間	クロック同期	t _{RXH}	40	—	ns		
A/Dコンバータ	トリガ入力パルス幅	t _{TRGW}	1.5	—	t _{Pcyc}	図41.27	
CAC	CACREF入力パルス幅	t _{Pcyc} ≤ t _{cac} (注2)	4.5 t _{cac} + 3 t _{Pcyc}	—	ns		
		t _{Pcyc} > t _{cac} (注2)	5 t _{cac} + 6.5 t _{Pcyc}	—	ns		

注1. t_{Pcyc}: PCLKBの周期

注2. t_{cac}: CACカウントクロックソースの周期

表 41.25 内蔵周辺モジュールタイミング (2)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C

駆動能力選択制御レジスタは高駆動出力を選択時

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C

駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件		
RSPI	RSPCKクロックサイクル	マスタ	t _{SPCyc}	2	4096	t _{Pcyc}	図 41.28	
		スレーブ		8	4096			
	RSPCKクロック High レベルパルス幅	マスタ	t _{SPCKWH}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
		スレーブ		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—			
	RSPCKクロック Low レベルパルス幅	マスタ	t _{SPCKWL}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
		スレーブ		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—			
	RSPCKクロック 立ち上がり/立ち下がり時間	出力	t _{SPCKr}	—	5	ns		
		入力	t _{SPCKf}	—	1	μs		
	データ入力セットアップ 時間	マスタ	t _{SU}	15	—	ns		図 41.29 ~ 図 41.34
		スレーブ		20 - t _{Pcyc}	—			
	データ入力ホールド時間	マスタ	PCLKB を 2 分周以外に設定	t _H	t _{Pcyc}	—		ns
				PCLKB を 2 分周に設定	0	—		
		スレーブ		20 + 2 × t _{Pcyc}	—			
	SSL セットアップ時間	マスタ	t _{LEAD}	1	8	t _{SPCyc}		
		スレーブ		4	—	t _{Pcyc}		
	SSL ホールド時間	マスタ	t _{LAG}	1	8	t _{SPCyc}		
スレーブ			4	—	t _{Pcyc}			
データ出力遅延時間	マスタ	t _{OD}	—	18	ns			
	スレーブ		—	3 × t _{Pcyc} + 40				
データ出力ホールド時間	マスタ	t _{OH}	0	—	ns			
	スレーブ		0	—				
連続送信遅延時間	マスタ	t _{TD}	t _{SPCyc} + 2 × t _{Pcyc}	8 × t _{SPCyc} + 2 × t _{Pcyc}	ns			
	スレーブ		4 × t _{Pcyc}	—				
MOSI、MISO 立ち上がり/立ち下がり時間	出力	t _{Dr} 、t _{Df}	—	5	ns			
	入力		—	1	μs			
SSL 立ち上がり/立ち下がり時間	出力	t _{SSLr} 、t _{SSLf}	—	5	ns			
	入力		—	1	μs			
スレーブアクセス時間		t _{SA}	—	4	t _{Pcyc}	図 41.33、 図 41.34		
スレーブ出力開放時間		t _{REL}	—	3	t _{Pcyc}			

注 1. t_{Pcyc} : PCLKB の周期

表 41.26 内蔵周辺モジュールタイミング (3)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$
 駆動能力選択制御レジスタは高駆動出力を選択時

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
簡易 SPI	SCKクロックサイクル出力 (マスタ)	t_{SPCyc}	4	65536	t_{Pcyc}	図 41.28
	SCKクロックサイクル入力 (スレーブ)		8	65536		
	SCKクロック High レベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPCyc}	
	SCKクロック Low レベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPCyc}	
	SCK クロック立ち上がり/立ち下がり時間	t_{SPCKr} , t_{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t_{SU}	40	—	ns	図 41.29 ~ 図 41.34
	データ入力ホールド時間	t_H	40	—	ns	
	SS 入力セットアップ時間	t_{LEAD}	6	—	t_{Pcyc}	
	SS 入力ホールド時間	t_{LAG}	6	—	t_{Pcyc}	
	データ出力遅延時間	t_{OD}	—	40	ns	
	データ出力ホールド時間	t_{OH}	-10	—	ns	
	データ立ち上がり/立ち下がり時間	t_{Dr} , t_{Df}	—	20	ns	
	SS 入力立ち上がり/立ち下がり時間	t_{SSLr} , t_{SSLf}	—	20	ns	
	スレーブアクセス時間	t_{SA}	—	5	t_{Pcyc}	図 41.33、 図 41.34
	スレーブ出力開放時間	t_{REL}	—	5	t_{Pcyc}	

注 1. t_{Pcyc} : PCLKB の周期

表41.27 内蔵周辺モジュールタイミング (4)

条件1: VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C

条件2: VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (Standard-mode)	SCL入力サイクル時間	t _{SCL}	6 (12) × t _{IICcyc} + 1300	—	ns	図41.35
	SCL入力Highパルス幅	t _{SCLH}	3 (6) × t _{IICcyc} + 300	—	ns	
	SCL入力Lowパルス幅	t _{SCLL}	3 (6) × t _{IICcyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t _{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IICcyc}	ns	
	SDA入力バスフリー時間	t _{BUF}	3 (6) × t _{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t _{STAH}	t _{IICcyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t _{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	1000	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	
RIIC (Fast-mode)	SCL入力サイクル時間	t _{SCL}	6 (12) × t _{IICcyc} + 600	—	ns	
	SCL入力Highパルス幅	t _{SCLH}	3 (6) × t _{IICcyc} + 300	—	ns	
	SCL入力Lowパルス幅	t _{SCLL}	3 (6) × t _{IICcyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t _{Sr}	20 + 0.1C _b	300	ns	
	SCL、SDA入力立ち下がり時間	t _{Sf}	20 + 0.1C _b	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IICcyc}	ns	
	SDA入力バスフリー時間	t _{BUF}	3 (6) × t _{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t _{STAH}	t _{IICcyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t _{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	300	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	

注. t_{IICcyc}: RIICの内部基準クロック (IICφ) の周期

注1. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_bはバスラインの容量総計です。

表 41.28 内蔵周辺モジュールタイミング (5)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C

項目		記号	min (注1、注2)	max (注3)	単位	測定条件
簡易 IIC (Standard-mode)	SCL、SDA 入力立ち上がり時間	t _{sr}	—	1000	ns	図 41.35
	SCL、SDA 入力立ち下がり時間	t _{sf}	—	300	ns	
	SCL、SDA 入力カスパイクパルス除去時間	t _{sp}	0	4 × t _{pcyc}	ns	
	データ入力セットアップ時間	t _{sdas}	250	—	ns	
	データ入力ホールド時間	t _{sdaH}	0	—	ns	
	SCL、SDA の容量性負荷	C _b	—	400	pF	
簡易 IIC (Fast-mode)	SCL、SDA 入力立ち上がり時間	t _{sr}	20 + 0.1C _b	300	ns	図 41.35
	SCL、SDA 入力立ち下がり時間	t _{sf}	20 + 0.1C _b	300	ns	
	SCL、SDA 入力カスパイクパルス除去時間	t _{sp}	0	4 × t _{pcyc}	ns	
	データ入力セットアップ時間	t _{sdas}	100	—	ns	
	データ入力ホールド時間	t _{sdaH}	0	—	ns	
	SCL、SDA の容量性負荷	C _b	—	400	pF	

注 1. () 内の数値は、ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 11b の場合を示します。

注 2. C_b はバスラインの容量総計です。

注 3. t_{pcyc} : PCLKB の周期

表 41.29 内蔵周辺モジュールタイミング (6)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C

項目	記号	min	max	単位	測定条件
CEC 立ち下がり時間	t _{cf}	—	50	μs	C _b = 1600pF、R _b = 27kΩ
					C _b = 7700pF、R _b = 3kΩ

注 1. C_b : 通信ライン負荷容量値、R_b : 通信ライン外部プルアップ抵抗値

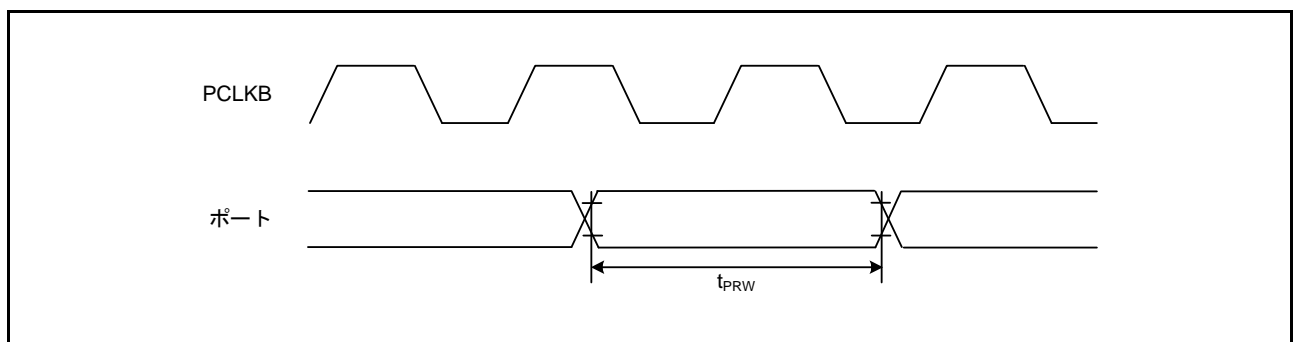


図 41.20 I/O ポート入力タイミング

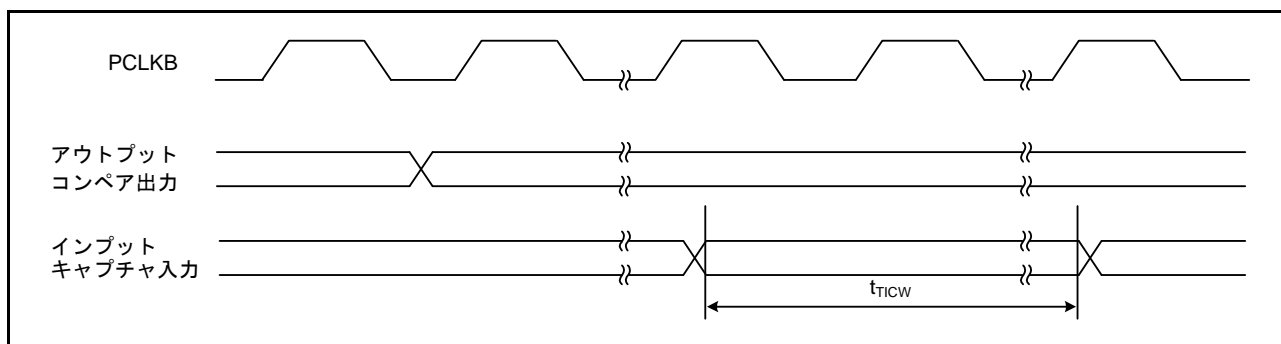


図 41.21 MTU/TPU 入出力タイミング

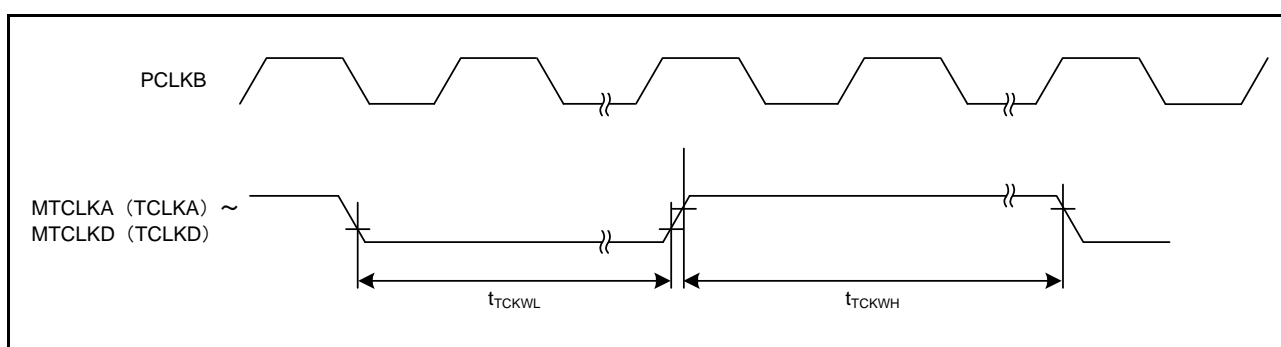


図 41.22 MTU/TPU クロック入力タイミング

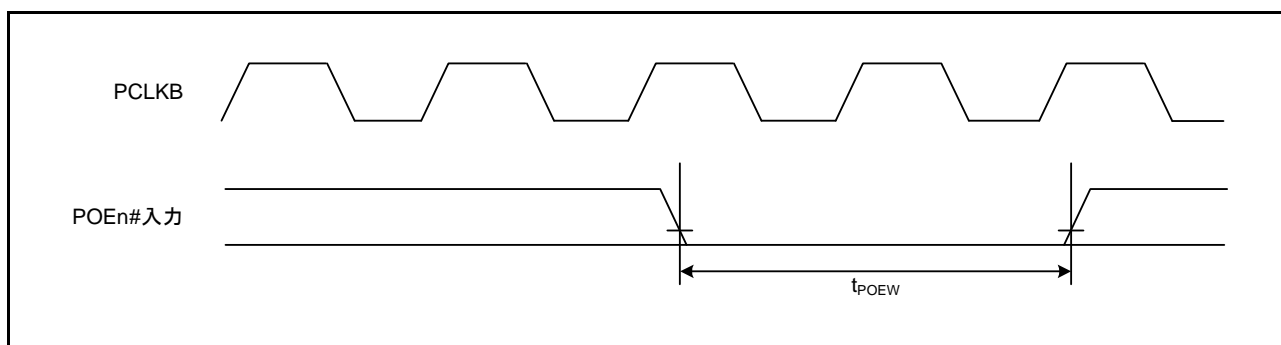


図 41.23 POE# 入力タイミング

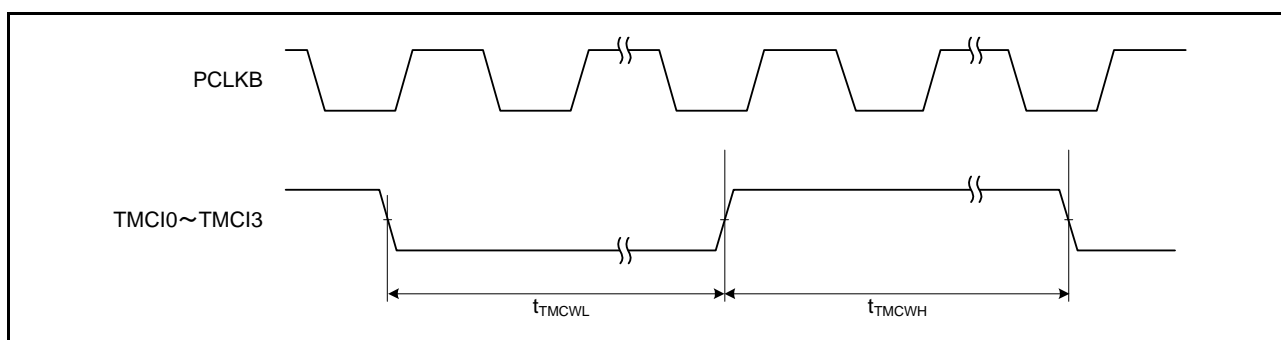


図 41.24 8ビットタイマクロック入力タイミング

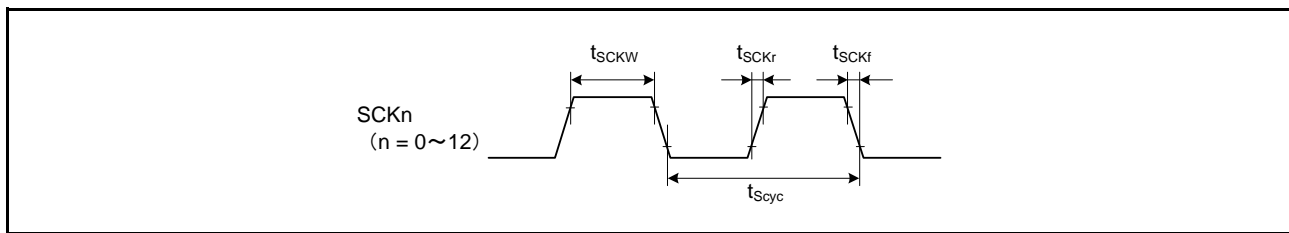


図 41.25 SCK クロック入力タイミング

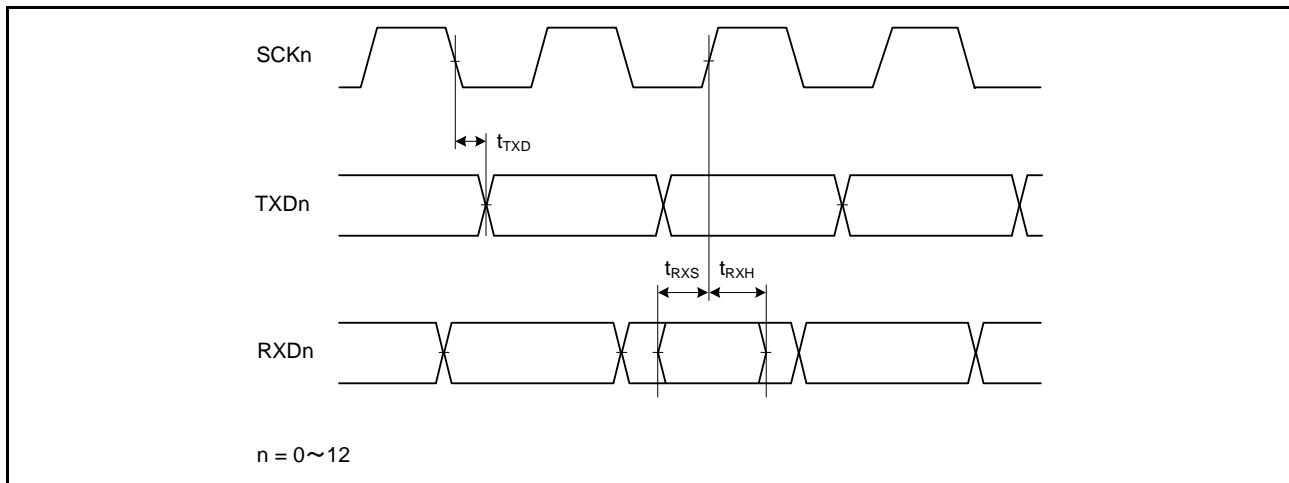


図 41.26 SCI 入出力タイミング / クロック同期式モード

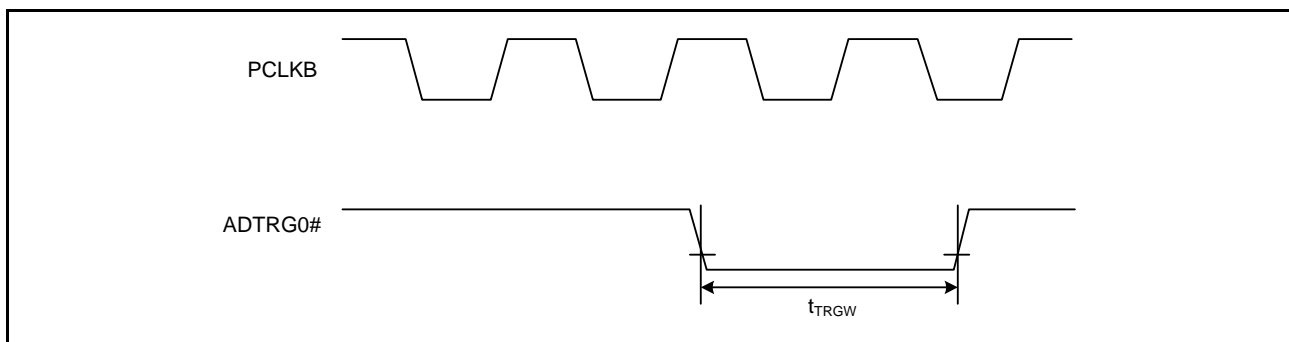


図 41.27 A/D コンバータ外部トリガ入力タイミング

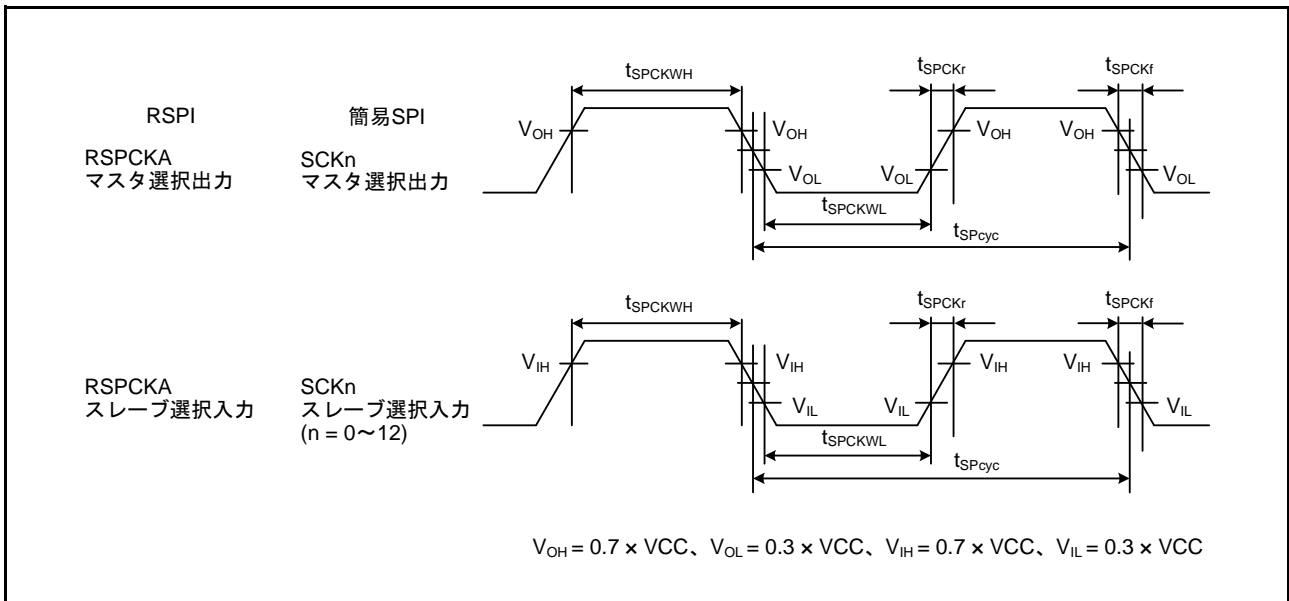


図 41.28 RSPI クロックタイミング / 簡易 SPI クロックタイミング

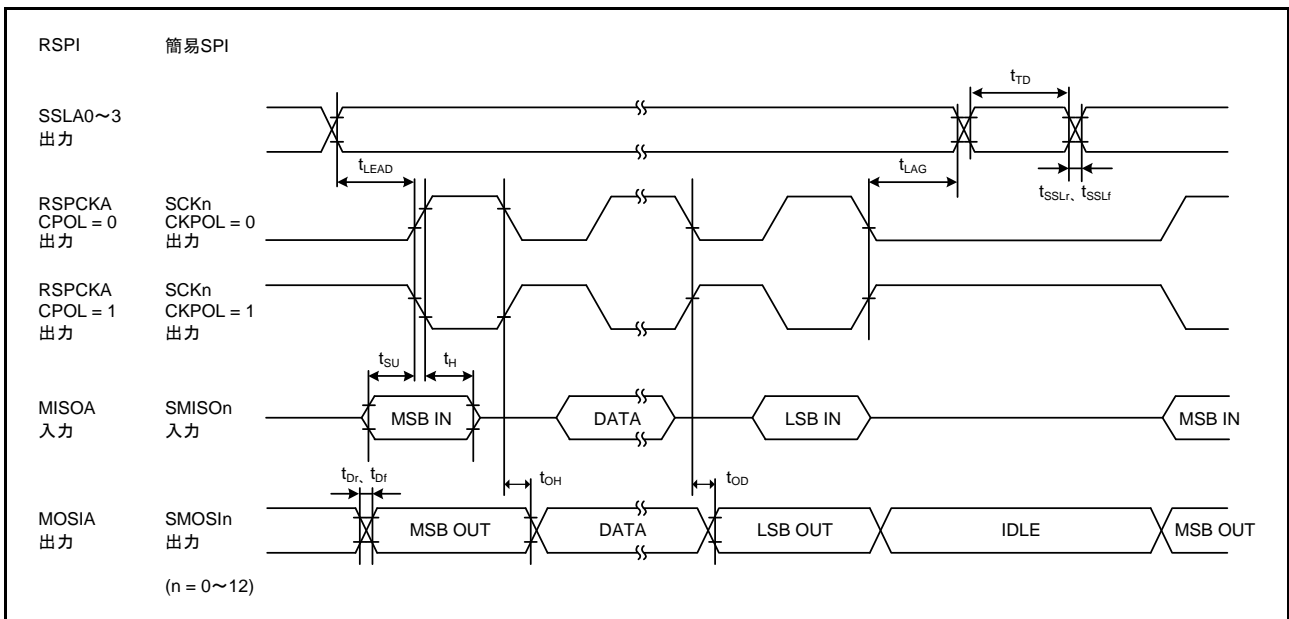


図 41.29 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 1)

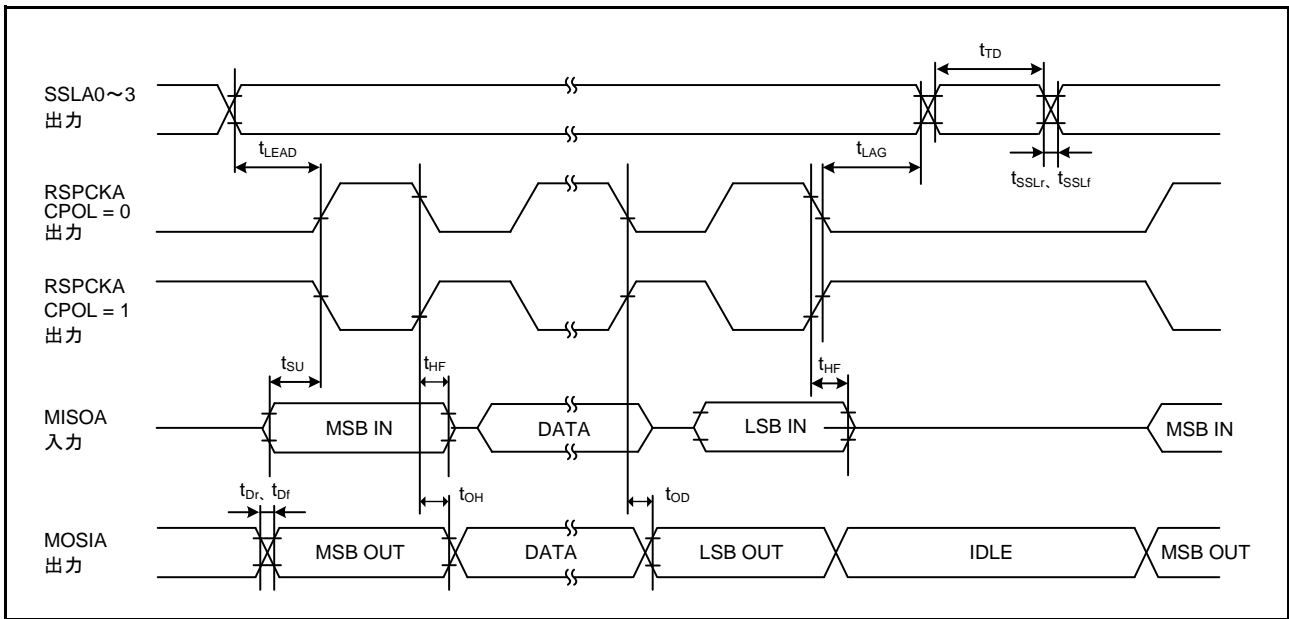


図 41.30 RSPi タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

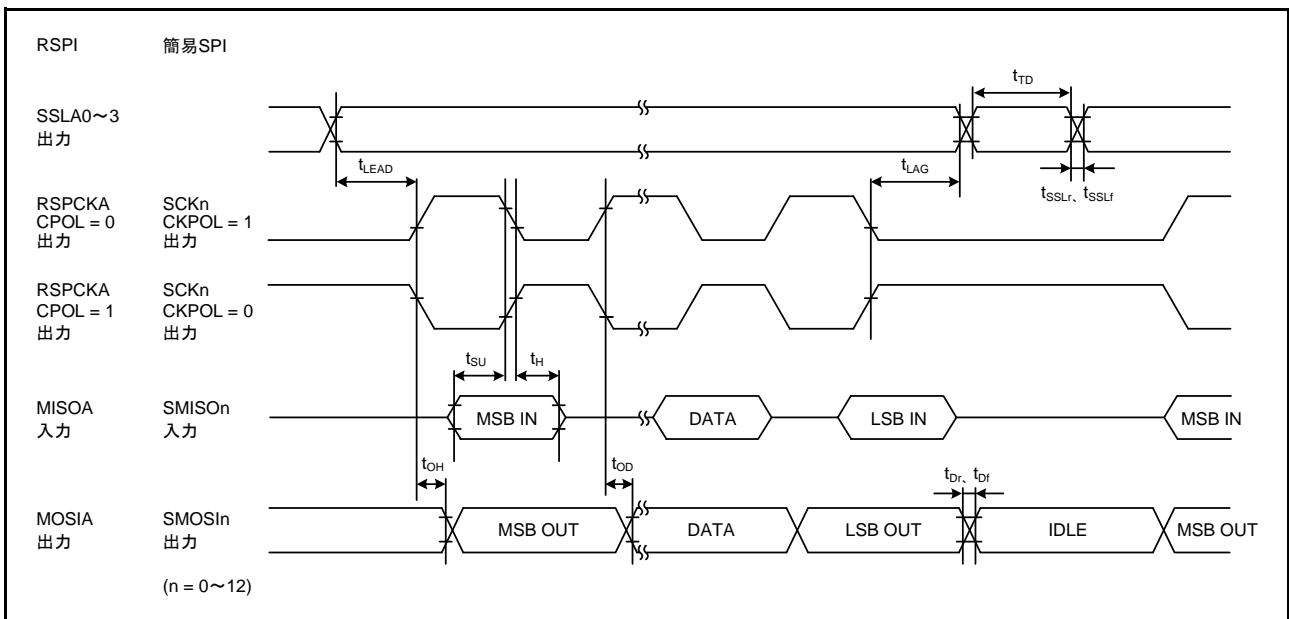


図 41.31 RSPi タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 0)

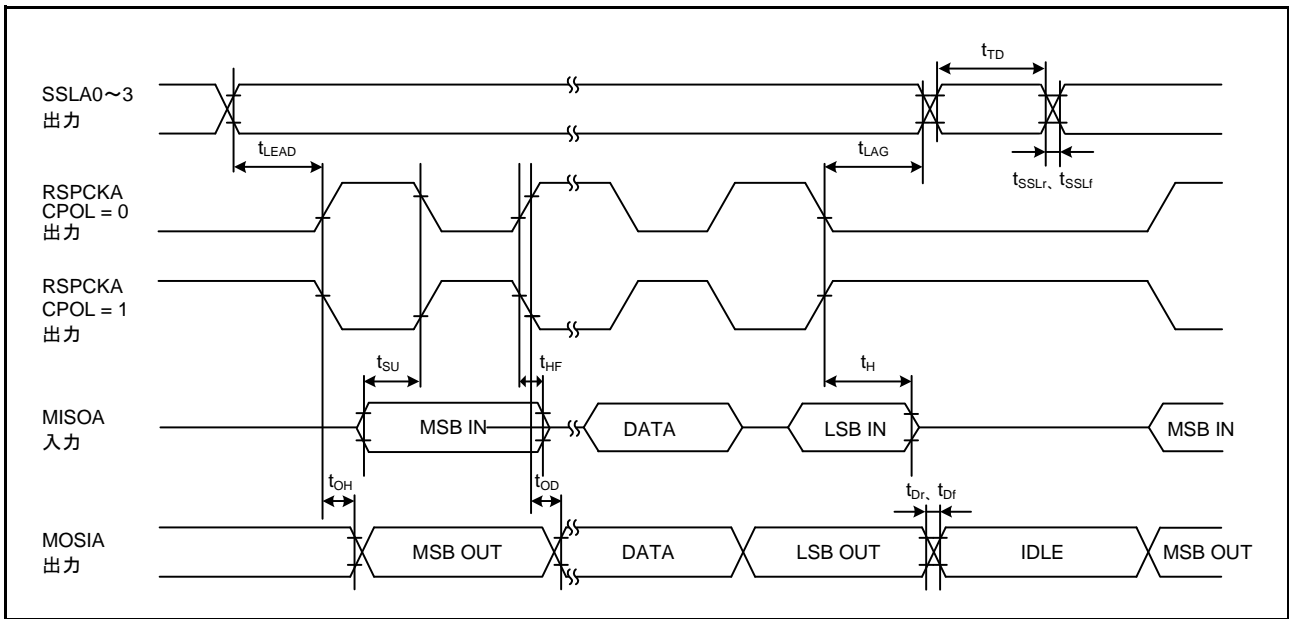


図 41.32 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

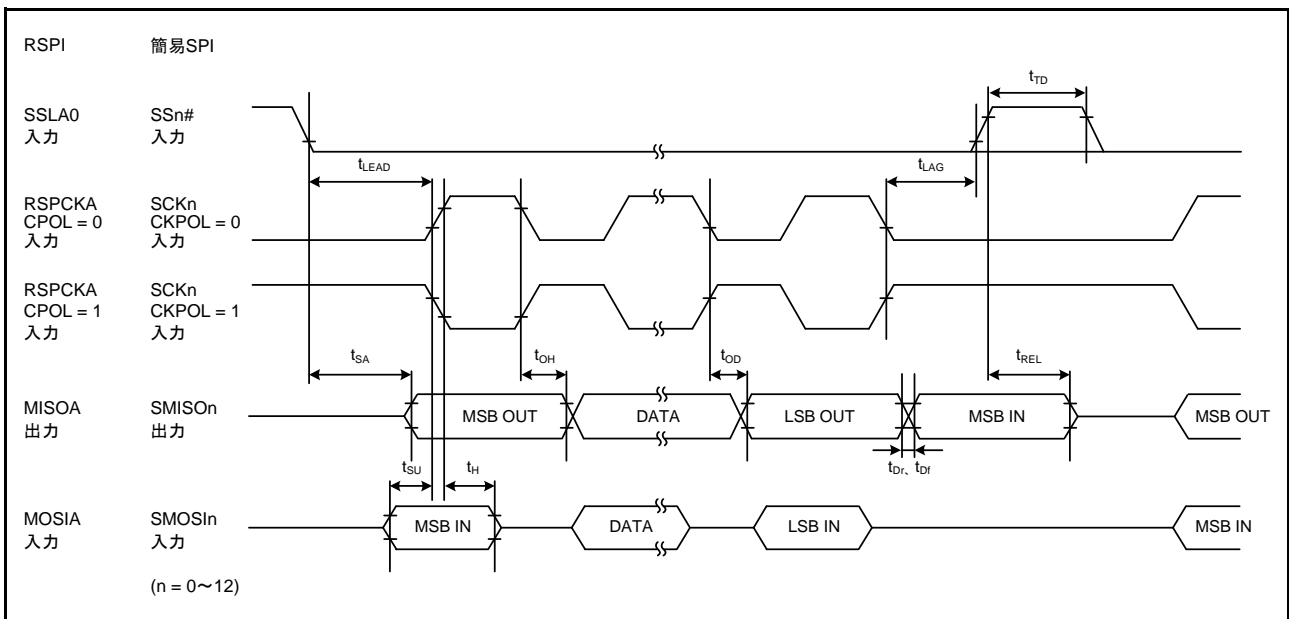


図 41.33 RSPI タイミング (スレーブ、CPHA = 0) / 簡易 SPI タイミング (スレーブ、CKPH = 1)

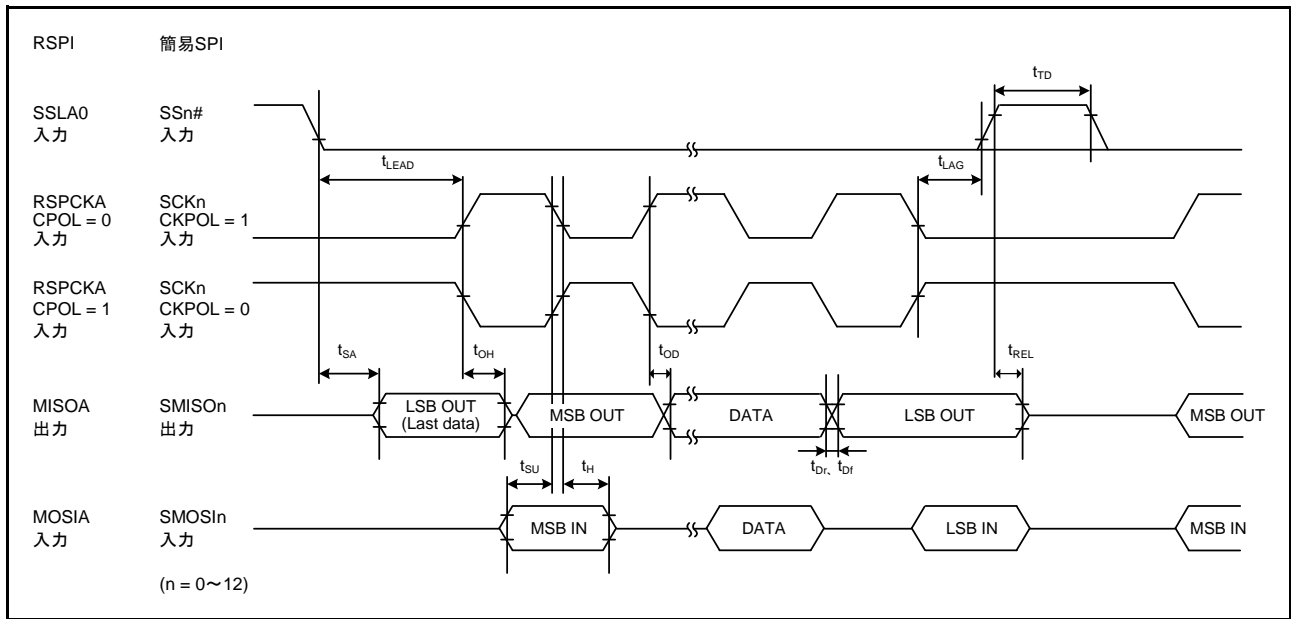


図 41.34 RSPI タイミング (スレーブ、CPHA = 1) / 簡易 SPI タイミング (スレーブ、CKPH = 0)

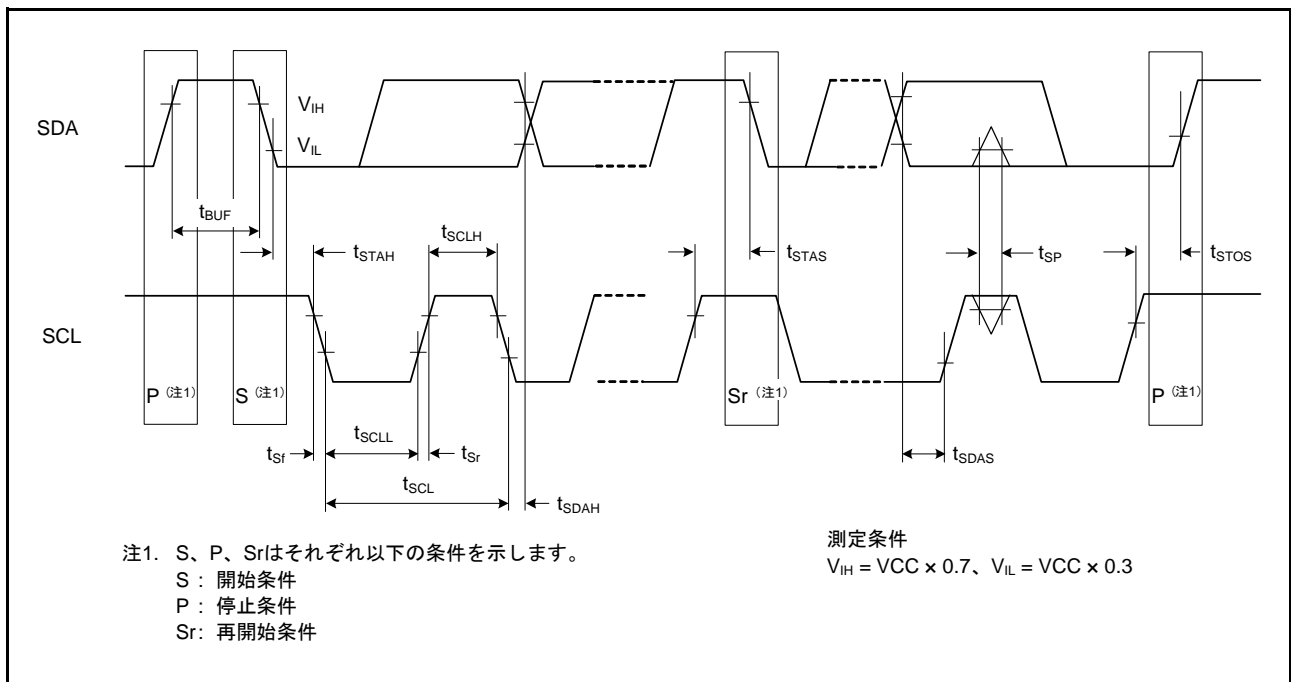


図 41.35 I2C バスインタフェース入出力タイミング / 簡易 I2C バスインタフェース入出力タイミング

41.4 A/D 変換特性

表 41.30 A/D 変換特性

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目	min	typ	max	単位	測定条件
A/D 変換クロック周波数 (fPCLKD)	1	—	54	MHz	
分解能	—	—	12	ビット	
変換時間 (注1) (AD クロック = 54MHz 時)	許容信号源インピーダンス 1.0k Ω	1 (0.4) (注2)	—	μs	高精度チャネル
	許容信号源インピーダンス 1.0k Ω , AVCC \geq 4.0V	1.9 (1.3) (注2)	—		通常精度チャネル
	許容信号源インピーダンス 1.0k Ω , AVCC \geq 2.7V	2.5 (1.9) (注2)	—		
アナログ入力容量	—	—	30	pF	
オフセット誤差	—	± 2.0	± 6.0	LSB	高精度チャネル (SH 使用)
	—	± 1.5	± 3.0		高精度チャネル (SH 未使用)
	—	± 2.0	± 7.5		通常精度チャネル
フルスケール誤差	—	± 2.0	± 6.0	LSB	高精度チャネル (SH 使用)
	—	± 1.5	± 3.0		高精度チャネル (SH 未使用)
	—	± 2.0	± 7.5		通常精度チャネル
量子化誤差	—	± 0.5	—	LSB	
絶対精度	—	± 4.0	± 8.0	LSB	高精度チャネル (SH 使用)
	—	± 2.0	± 6.0		高精度チャネル (SH 未使用)
	—	± 2.5	± 8.0		通常精度チャネル
DNL 微分非直線性誤差	—	± 2.0	± 6.0	LSB	高精度チャネル (SH 使用)
	—	± 1.5	± 3.0		高精度チャネル (SH 未使用)
	—	± 2.0	± 4.0		通常精度チャネル
INL 積分非直線性誤差	—	± 2.0	± 6.0	LSB	高精度チャネル (SH 使用)
	—	± 1.5	± 3.0		高精度チャネル (SH 未使用)
	—	± 2.0	± 4.0		通常精度チャネル

注. A/D コンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注. チャネル専用サンプル&ホールド回路使用時は、AN000 ~ AN002 のアナログ入力電圧 (V_{AN}) を、
 $0.25\text{V} \leq V_{AN} \leq \text{AVCC0} - 0.25\text{V}$ 、かつ $V_{AN} \leq \text{VREFH0}$
の範囲で、かつ $\text{AVCC0} \geq 2.7\text{V}$ でご使用ください。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

表 41.31 サンプリング時間

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	typ	単位	測定条件
サンプリング時間	Ts	$0.2 + 0.16 \times R0$ (K Ω)	μs	図 41.36
		$0.3 + 0.16 \times R0$ (K Ω)		

表41.32 A/Dコンバータチャンネル分類表

分類	対象チャンネル	チャンネル専用 サンプル& ホールド回路	条件
高精度チャンネル	AN000 ~ AN002	使用	AVCC0 = VREFH0 = 2.7 ~ 3.6V (3V版) AVCC0 = VREFH0 = 4.0 ~ 5.5V (5V版) AVSS0 = VREFL0 = 0V $0.25V \leq V_{AN} \leq AVCC0 - 0.25V$ $V_{AN} \leq VREFH0$
	AN003 ~ AN007	—	AVCC0 = VREFH0 = 2.7 ~ 3.6V (3V版) AVCC0 = VREFH0 = 4.0 ~ 5.5V (5V版) AVSS0 = VREFL0 = 0V
通常精度チャンネル	AN008 ~ AN015	—	$0V \leq V_{AN} \leq VREFH0$

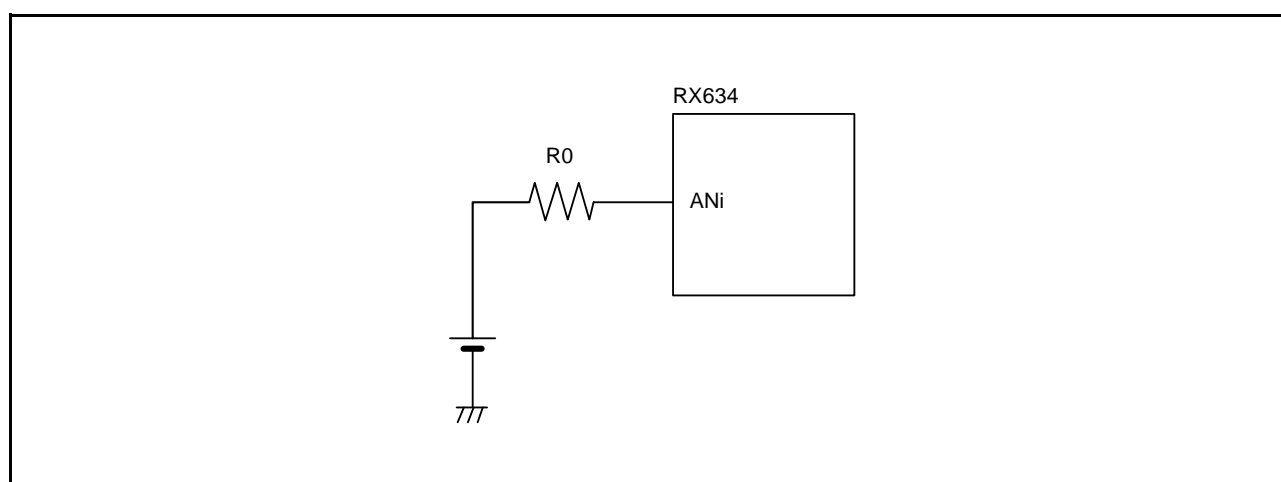


図 41.36 アナログ入力端子の内部等価回路

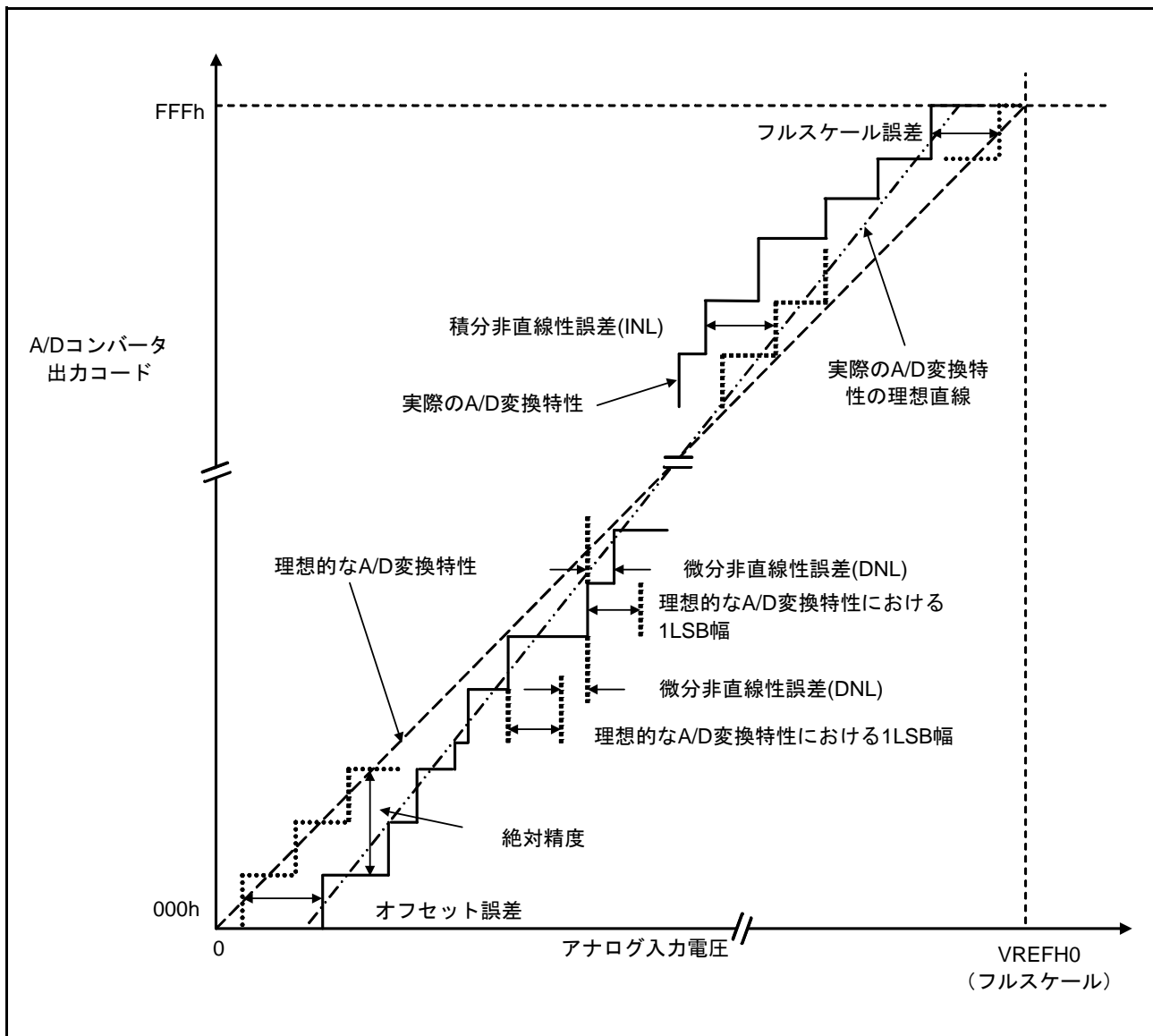


図 41.37 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧（VREFH0 = 5.12V）の場合、1LSB 幅は 1.25mV で、アナログ入力電圧には 0mV、1.25mV、2.5mV... を使用します。

絶対精度 $\pm 5\text{LSB}$ とは、アナログ入力電圧が 10mV の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “003h” ~ “00Dh” になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

41.5 D/A 変換特性

表 41.33 D/A 変換特性 (1)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目	min	typ	max	単位	測定条件
分解能	—	—	10	ビット	
変換時間	—	—	±3.0	μs	負荷容量 20pF
絶対精度	—	±3.0	±5.0	LSB	負荷抵抗 4MΩ
	—	—	±4.0	LSB	負荷抵抗 8MΩ
RO出力抵抗	—	3.6	—	kΩ	

41.6 パワーオンリセット回路、電圧検出回路特性

表 41.34 パワーオンリセット回路、電圧検出回路特性 (1)

条件 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V _{POR}	2.46	2.58	2.7	V	図 41.38
	電圧検出回路 (LVD0)	V _{DET0}	2.7	2.82	2.94		図 41.39
	電圧検出回路 (LVD1) (注1)	V _{DET1_8}	2.75	2.90	3.05		図 41.40
		V _{DET1_9}	2.70	2.85	3.00		
		V _{DET1_A}	2.73	2.88	3.03		
	電圧検出回路 (LVD2) (注2)	V _{DET2_8}	2.75	2.90	3.05		図 41.41
		V _{DET2_9}	2.70	2.85	3.00		
V _{DET2_A}		2.73	2.88	3.03			
内部リセット時間	パワーオンリセット (POR)	t _{POR}		9.7	ms	図 41.38	
	電圧検出回路 (LVD0)	t _{LVO0}		9.7		図 41.39	
	電圧検出回路 (LVD1)	t _{LVO1}		0.9		図 41.40	
	電圧検出回路 (LVD2)	t _{LVO2}		0.9		図 41.41	
最小VCC低下時間 (注3)	t _{VOFF}	200	—	—	μs	図 41.39 ~ 図 41.41	
応答遅延時間	t _{DET}			200	μs		
LVD動作安定時間 (LVD有効切り替え時)	T _{d(E-A)}			3	μs	図 41.40、図 41.41	
ヒステリシス幅 (LVD1、LVD2)	V _{LVH}		80		mV		

注1. 記号V_{DET1_#}の#は、LVDLVLR.LVD1LVL[3:0]ビットの値です。

注2. 記号V_{DET2_#}の#は、LVDLVLR.LVD2LVL[3:0]ビットの値です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV_{POR}、V_{DET1}、V_{DET2}のmin値を下回っている時間です。

表 41.35 パワーオンリセット回路、電圧検出回路特性 (2)

条件 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
T_a = -40 ~ +85°C

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V _{POR}	3.6	3.8	4.0	V	図 41.38
	電圧検出回路 (LVD0)	V _{DET0}	4.0	4.2	4.4		図 41.39
	電圧検出回路 (LVD1) (注1)	V _{DET1_8}	4.59	4.77	4.95		図 41.40
		V _{DET1_9}	4.05	4.23	4.41		
		V _{DET1_A}	4.32	4.50	4.68		
	電圧検出回路 (LVD2) (注2)	V _{DET2_8}	4.59	4.77	4.95		図 41.41
		V _{DET2_9}	4.05	4.23	4.41		
V _{DET2_A}		4.32	4.50	4.68			
内部リセット時間	パワーオンリセット (POR)	t _{POR}		9.7	ms	図 41.38	
	電圧検出回路 (LVD0)	t _{LVO0}		9.7		図 41.39	
	電圧検出回路 (LVD1)	t _{LVO1}		0.9		図 41.40	
	電圧検出回路 (LVD2)	t _{LVO2}		0.9		図 41.41	
最小VCC低下時間 (注3)	t _{VOFF}	200	—	—	μs	図 41.39 ~ 図 41.43	
応答遅延時間	t _{DET}			200	μs		
LVD動作安定時間 (LVD有効切り替え時)	T _{d(E-A)}			3	μs	図 41.40、図 41.41	
ヒステリシス幅 (LVD1、LVD2)	V _{LVH}		80		mV		

注1. 記号V_{DET1_#}の#は、LVDLVLR.LVD1LVL[3:0]ビットの値です。

注2. 記号V_{DET2_#}の#は、LVDLVLR.LVD2LVL[3:0]ビットの値です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV_{POR}、V_{DET1}、V_{DET2}のmin値を下回っている時間です。

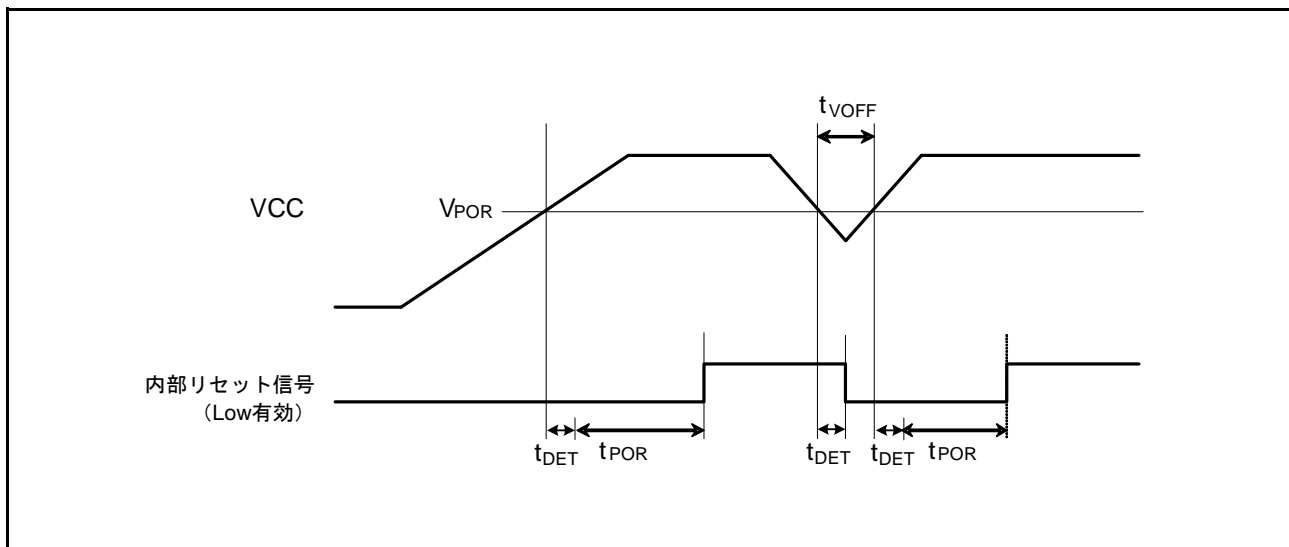
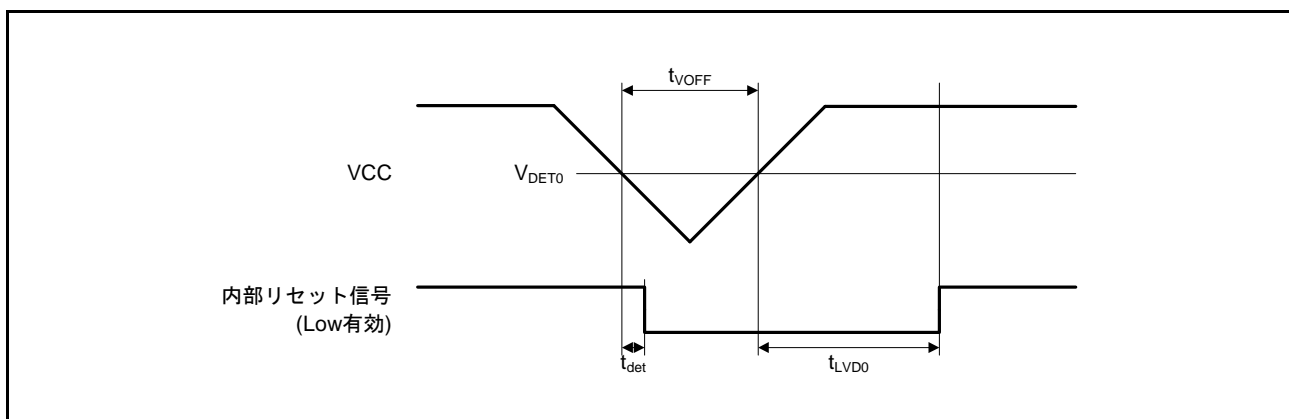


図 41.38 パワーオンリセットタイミング

図 41.39 電圧検出回路タイミング (V_{DET0})

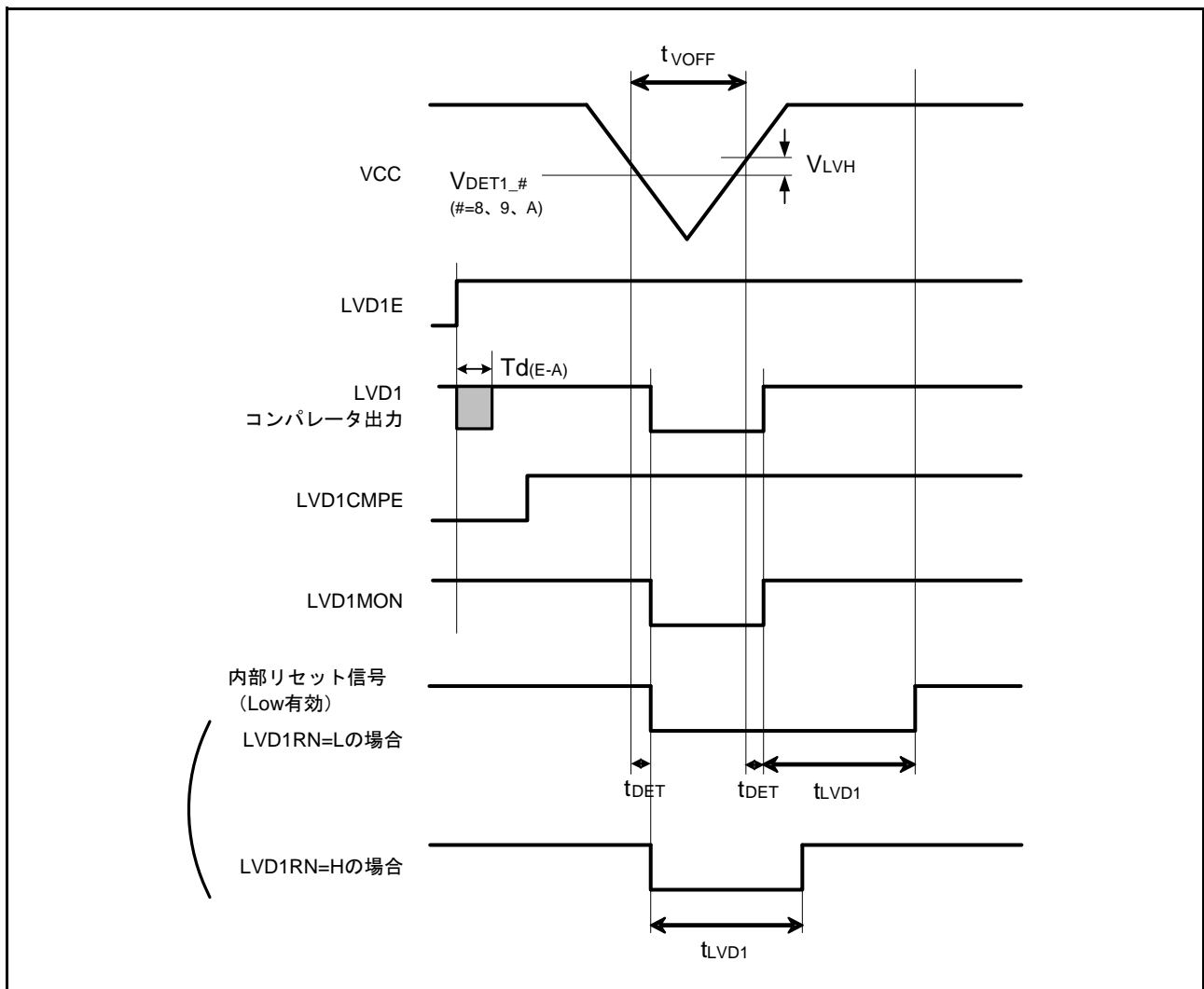


図 41.40 電圧検出回路タイミング (V_{DET1})

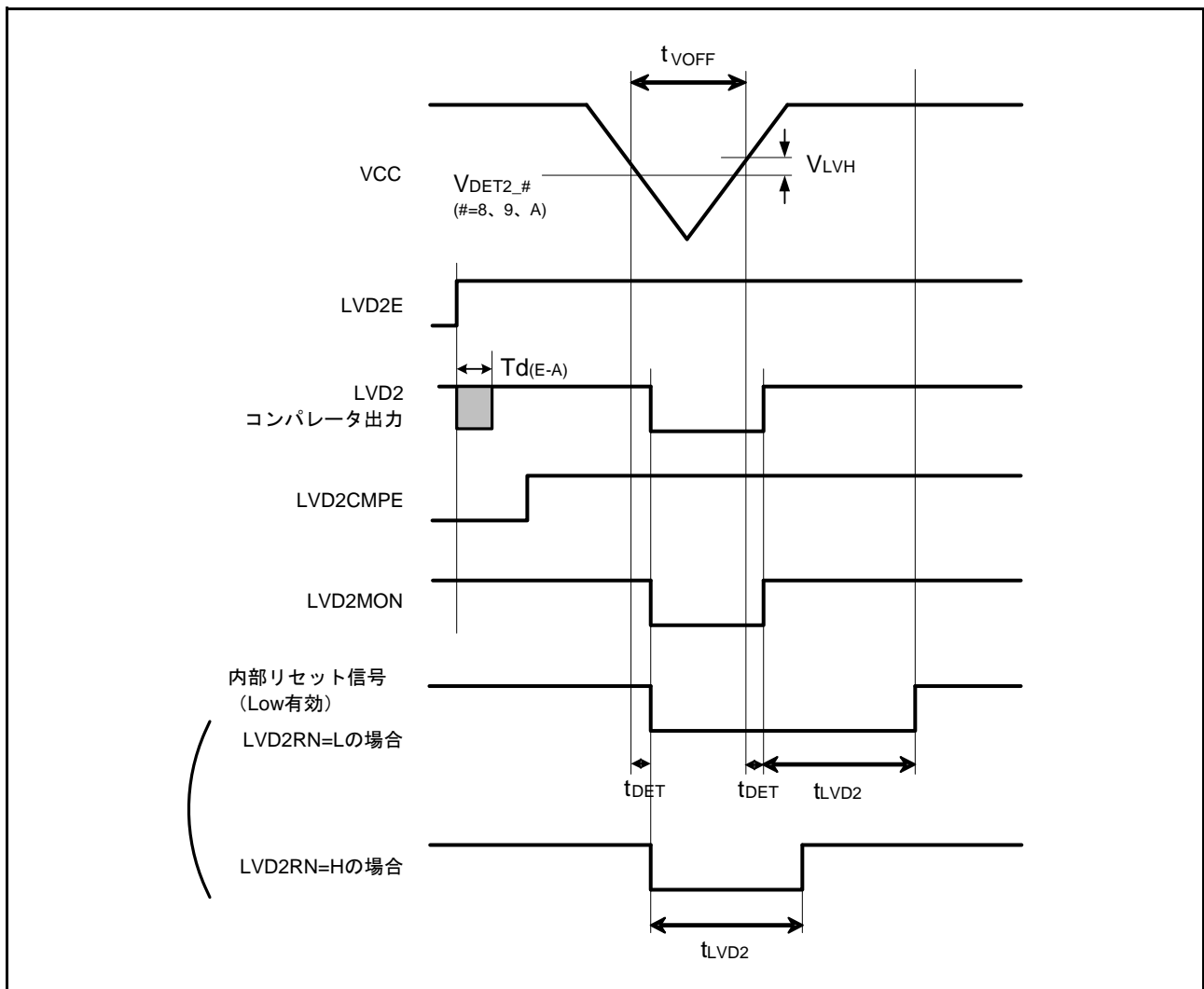


図 41.41 電圧検出回路タイミング (V_{DET2})

41.7 発振停止検出タイミング

表41.36 発振停止検出タイミング

条件1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

条件2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 41.42

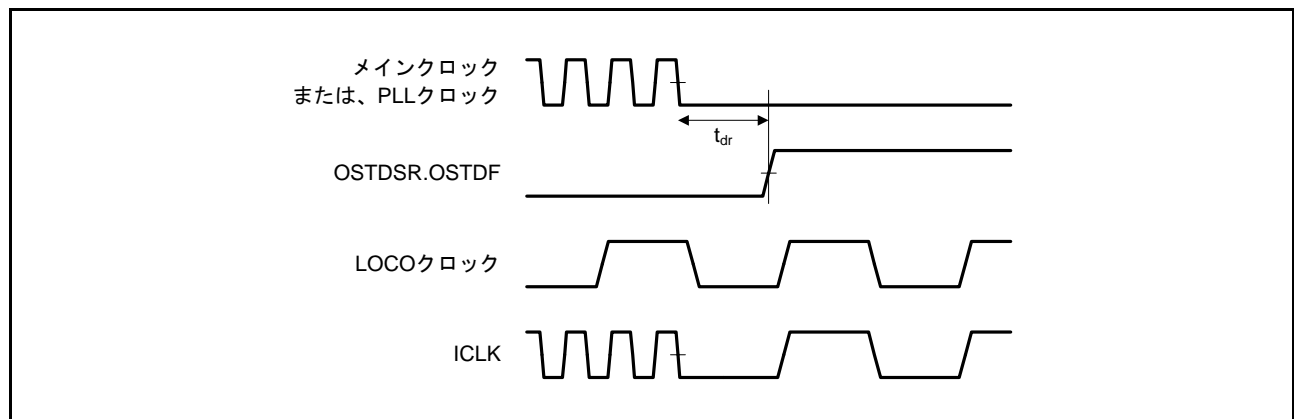


図 41.42 発振停止検出タイミング

41.8 ROM (コード格納用フラッシュメモリ) 特性

表41.37 ROM (コード格納用フラッシュメモリ) 特性 (1)

条件1: VCC = AVCC0 = VREFH0 = 2.7~3.6V, VREFH = 2.7V ~ AVCC0, VSS = AVSS0 = VREFL = VREFL0 = 0V
 条件2: VCC = AVCC0 = VREFH0 = 4.0~5.5V, VREFH = 4.0V ~ AVCC0, VSS = AVSS0 = VREFL = VREFL0 = 0V
 プログラム/イレーズ時の動作温度範囲: $T_a = -40 \sim +85^\circ\text{C}$ T_a は条件1、2で共通です。

項目	記号	min	typ	max	単位	測定条件
再プログラム/イレーズサイクル (注1)	N_{pec}	1000	—	—	回	
データ保持期間	t_{DRP}	30 (注2)	—	—	年	$T_a = +85^\circ\text{C}$

注1. 再プログラム/イレーズサイクルの定義: 再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回 (n=1000) の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

注2. 信頼性試験から得られた結果です。

表41.38 ROM (コード格納用フラッシュメモリ) 特性 (2)

(注) 表中に条件の記載がない項目の規格値は条件1、2で共通です。
 条件1: VCC = AVCC0 = VREFH0 = 2.7~3.6V, VREFH = 2.7V ~ AVCC0, VSS = AVSS0 = VREFL = VREFL0 = 0V
 条件2: VCC = AVCC0 = VREFH0 = 4.0~5.5V, VREFH = 4.0V ~ AVCC0, VSS = AVSS0 = VREFL = VREFL0 = 0V
 プログラム/イレーズ時の動作温度範囲: $T_a = -40 \sim +85^\circ\text{C}$ T_a は条件1、2で共通です。

項目	記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間 $N_{PEC} \leq 100$ 回のとき	128バイト	t_{P128}	—	2.8	28	—	1	10	ms
	4Kバイト	t_{P4K}	—	63	140	—	23	50	ms
	16Kバイト	t_{P16K}	—	252	560	—	90	200	ms
プログラム時間 $N_{PEC} > 100$ 回のとき	128バイト	t_{P128}	—	3.4	33.6	—	1.2	12	ms
	4Kバイト	t_{P4K}	—	75.6	168	—	27.6	60	ms
	16Kバイト	t_{P16K}	—	302.4	672	—	108	240	ms
イレーズ時間 $N_{PEC} \leq 100$ 回のとき	4Kバイト	t_{E4K}	—	50	120	—	25	60	ms
	16Kバイト	t_{E16K}	—	200	480	—	100	240	ms
イレーズ時間 $N_{PEC} > 100$ 回のとき	4Kバイト	t_{E4K}	—	60	144	—	30	72	ms
	16Kバイト	t_{E16K}	—	240	576	—	120	288	ms
プログラム中のサスペンド遅延時間	t_{SPD}	—	—	400	—	—	—	120	μs
イレーズ中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	t_{SESD1}	—	—	300	—	—	—	120	μs
イレーズ中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	t_{SESD2}	—	—	1.7	—	—	—	1.7	ms
イレーズ中のサスペンド遅延時間 (イレーズ優先モード時)	t_{SEED}	—	—	1.7	—	—	—	1.7	ms
FCUリセット時間	t_{FCUR}	35	—	—	35	—	—	—	μs

41.9 E2 データフラッシュ（データ格納用フラッシュメモリ）特性

表41.39 E2データフラッシュ特性（1）

条件1：VCC = AVCC0 = VREFH0 = 2.7~3.6V、VREFH = 2.7V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V
 条件2：VCC = AVCC0 = VREFH0 = 4.0~5.5V、VREFH = 4.0V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V
 プログラム/イレーズ時の動作温度範囲：T_a = -40~+85℃ T_aは条件1、2で共通です。

項目	記号	min	typ	max	単位	測定条件
再プログラム/イレーズサイクル (注1)	N _{DPEC}	100000	—	—	回	
データ保持期間	t _{DDRP}	30 (注2)	—	—	年	T _a = +85℃

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n=100000）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、128バイトのブロックについて、それぞれ異なる番地に8バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. 信頼性試験から得られた結果です。

表41.40 E2データフラッシュ特性（2）

(注) 表中に条件の記載がない項目の規格値は条件1、2で共通です。
 条件1：VCC = AVCC0 = VREFH0 = 2.7~3.6V、VREFH = 2.7V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V
 条件2：VCC = AVCC0 = VREFH0 = 4.0~5.5V、VREFH = 4.0V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V
 プログラム/イレーズ時の動作温度範囲：T_a = -40~+85℃ T_aは条件1、2で共通です。

項目		記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 32MHz			単位
			min	typ	max	min	typ	max	
プログラム時間 N _{PFC} ≤ 100回のとき	2バイト	t _{DP2}	—	0.7	6	—	0.25	2	ms
プログラム時間 N _{PFC} > 100回のとき	2バイト	t _{DP2}	—	0.7	6	—	0.25	2	ms
イレーズ時間 N _{PFC} ≤ 100回のとき	32バイト	t _{DE32}	—	4	40	—	2	20	ms
イレーズ時間 N _{PFC} > 100回のとき	32バイト	t _{DE32}	—	7	40	—	4	20	ms
ブランクチェック時間	2バイト	t _{DBC2}	—	—	100	—	—	30	μs
プログラム中のサスペンド遅延時間		t _{DSPD}	—	—	250	—	—	120	μs
イレーズ中の1回目のサスペンド 遅延時間（サスペンド優先モード時）		t _{DSESD1}	—	—	250	—	—	120	μs
イレーズ中の2回目のサスペンド 遅延時間（サスペンド優先モード時）		t _{DSESD2}	—	—	500	—	—	300	μs
イレーズ中のサスペンド遅延時間 （イレーズ優先モード時）		t _{DSEED}	—	—	500	—	—	300	μs

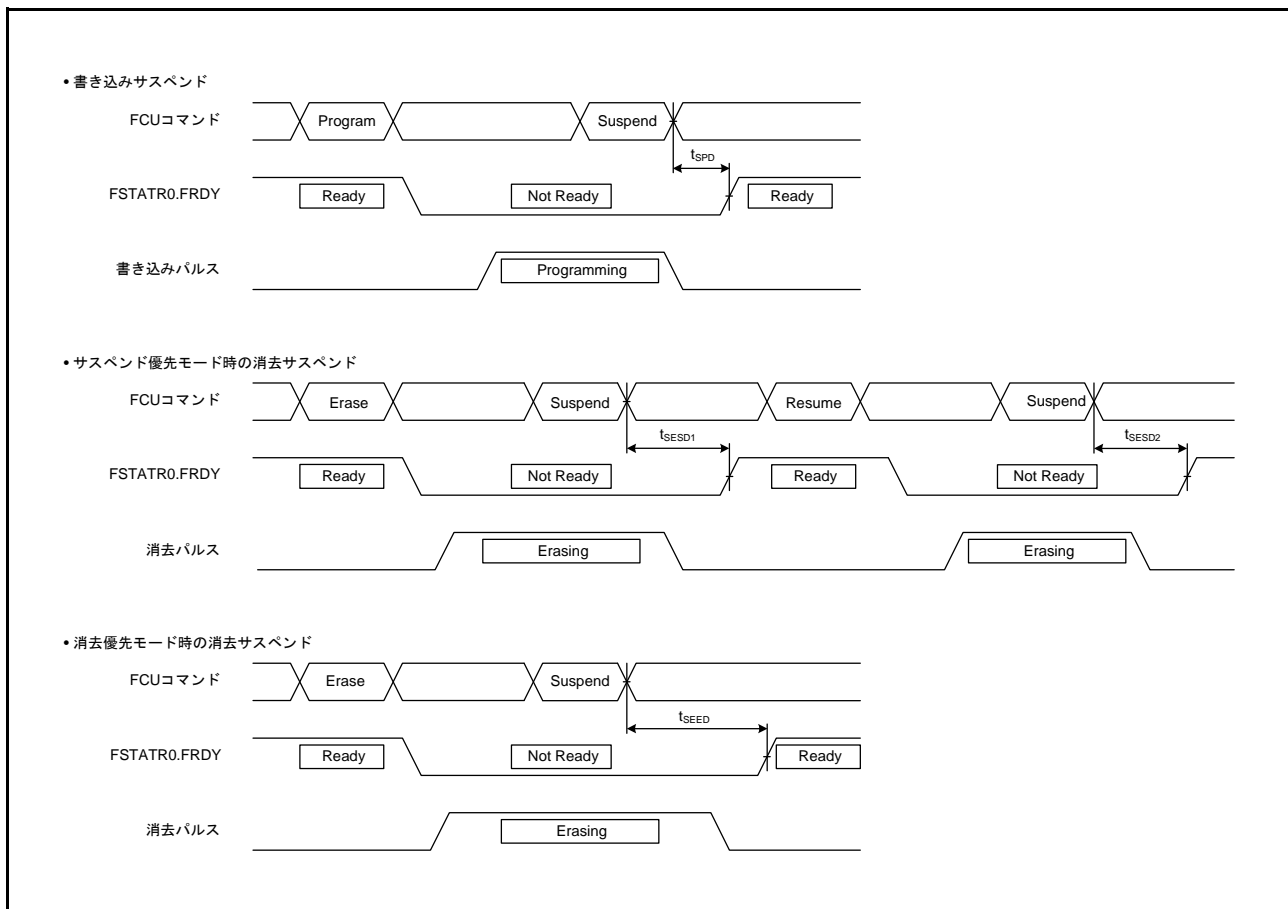


図 41.43 フラッシュメモリプログラム/イレーズサスペンドタイミング

付録1. 各動作モードにおけるポートの状態

表 1.1 各動作モードにおけるポートの状態 (1 / 3)

ポート名 端子名	レジスタ設定による動作モード		リセット	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイ モード IOKEEP = 1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
				OPE = 1	OPE = 0		IOKEEP = 1 (注1)	IOKEEP = 0
P00~P02 (PMC0/IRQ8、PMC1/ IRQ9、IRQ10)	全モード		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P03 (DA0/IRQ11)	全モード	DA0出力時 (DAOE0 = 1)	Hi-Z	DA出力保持		Hi-Z	Hi-Z	Hi-Z
		上記以外 (DAOE0 = 0)		Keep-O (注2)		Keep	Keep	
P05 (DA1)	全モード	DA1出力時 (DAOE1 = 1)	Hi-Z	DA出力保持		Hi-Z	Hi-Z	Hi-Z
		上記以外 (DAOE1 = 0)		Keep-O		Keep	Keep	
P07	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
P12~P15 (IRQ2~IRQ5)	全モード		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P16、P17 (IRQ6/SCL0_DS、 IRQ7/SDA0_DS)	全モード		Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
P20、P21 (IRQ8、IRQ9)	全モード		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P22、P23	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
P24~P27 (CS0#、CS1#、CS2#、 CS3#)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	CS出力時		H	Hi-Z			
		上記以外		Keep-O				
P30~P33 (IRQ0_DS、IRQ1_DS、 IRQ2_DS、IRQ3_DS)	全モード		Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
P34 (IRQ4)	全モード		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P35 (NMI)	全モード		Hi-Z	Keep-O (注2)		Keep (注3)	Keep	Hi-Z
P40~P47	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
P50 (WR0#/WR#)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)			H	Hi-Z			
P51 (WR1#/BC1#)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	WR1#/BC1#出力時		H	Hi-Z			
		上記以外		Keep-O				
P52 (RD#)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)			H	Hi-Z			
P53 (BCLK)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)			H				
P54 (ALE/TRDATA2)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	ALE出力時		L	Hi-Z			
		上記以外		Keep-O				
P55 (TRDATA3/IRQ10)	全モード		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P56	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
P60~P67	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
P70~P72	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
P73 (IRQ12)	全モード		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P74~P77	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
P80、P81 (TRDATA0、TRDATA1)	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
P82、P83、P86、P87	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
P90~P93	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z

表 1.1 各動作モードにおけるポートの状態 (2 / 3)

ポート名 端子名	レジスタ設定による動作モード		リセット	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイ モード IOKEEP = 1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
				OPE = 1	OPE = 0		IOKEEP = 1 (注1)	IOKEEP = 0
PA0 (A0/BC0#)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	アドレス出力時		出力保持	Hi-Z			
		BC0#出力時		H	Hi-Z			
		上記以外		Keep-O				
PA1 (A1/IRQ11)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	アドレス出力時		出力保持	Hi-Z			
		上記以外		Keep-O (注2)				
		Keep-O						
PA2 (A2)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	アドレス出力時		出力保持	Hi-Z			
		上記以外		Keep-O				
		Keep-O						
PA3, PA4 (A3/IRQ6_DS, A4/ IRQ5_DS)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	アドレス出力時		出力保持	Hi-Z			
		上記以外		Keep-O (注2)				
		Keep-O						
PA5~PA7 (A5~A7)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	アドレス出力時		出力保持	Hi-Z			
		上記以外		Keep-O				
		Keep-O						
PB0 (A8/IRQ12)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	アドレス出力時		出力保持	Hi-Z			
		上記以外		Keep-O (注2)				
		Keep-O						
PB1 (A9/IRQ4_DS)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	アドレス出力時		出力保持	Hi-Z			
		上記以外		Keep-O (注2)				
		Keep-O						
PB2~PB7 (A10~A15)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	アドレス出力時		出力保持	Hi-Z			
		上記以外		Keep-O				
		Keep-O						
PC0 (A16)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	アドレス出力時		出力保持	Hi-Z			
		上記以外		Keep-O				
		Keep-O						
PC1 (A17/IRQ12)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	アドレス出力時		出力保持	Hi-Z			
		上記以外		Keep-O (注2)				
		Keep-O						
PC2, PC3 (A18, A19)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	アドレス出力時		出力保持	Hi-Z			
		上記以外		Keep-O				
		Keep-O						
PC4, PC5, PC6, PC7 (A20/CS3#, A21/ CS2#, A22/CS1#, A23/CS0#)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	アドレス出力時		出力保持	Hi-Z			
		CS出力時		H	Hi-Z			
		上記以外		Keep-O				
PD0~PD7 (D0/IRQ0~D7/IRQ7)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)			Hi-Z				
PE0, PE1 (D8, D9)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	バス幅8ビット		Keep-O				
		バス幅16ビット		Hi-Z				
PE2 (D10/IRQ7_DS)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	バス幅8ビット		Keep-O (注2)				
		バス幅16ビット		Hi-Z				
PE3, PE4 (D11, D12)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	バス幅8ビット		Keep-O				
		バス幅16ビット		Hi-Z				

表 1.1 各動作モードにおけるポートの状態 (3 / 3)

ポート名 端子名	レジスタ設定による動作モード		リセット	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイ モード IOKEEP = 1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
				OPE = 1	OPE = 0		IOKEEP = 1 (注1)	IOKEEP = 0
PE5～PE7 (D13/IRQ5～D15/ IRQ7)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵ROM有効/無効 拡張モード (EXBE = 1)	バス幅8ビット		Keep-O (注2)				
		バス幅16ビット		Hi-Z				
PF5 (IRQ4)	全モード		Hi-Z	Keep-O (注2)	Keep	Keep	Hi-Z	
PH0	全モード		Hi-Z	Keep-O	Keep	Keep	Hi-Z	
PH1、PH2 (IRQ0、IRQ1)	全モード		Hi-Z	Keep-O (注2)	Keep	Keep	Hi-Z	
PH3	全モード		Hi-Z	Keep-O	Keep	Keep	Hi-Z	
PJ1～PJ5	全モード		Hi-Z	Keep-O	Keep	Keep	Hi-Z	
PK2～PK5	全モード		Hi-Z	Keep-O	Keep	Keep	Hi-Z	
PL0、PL1	全モード		Hi-Z	Keep-O	Keep	Keep	Hi-Z	
PL5 (CECIO (注4))	全モード		Hi-Z	Keep-O	Keep	Keep	Hi-Z	

H : High レベル

L : Low レベル

Keep-O : 出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス

Keep : ソフトウェアスタンバイモードでの端子状態を保持 (プルアップ、オープンドレイン設定も保持されます)

Hi-Z : ハイインピーダンス

注1. DPSBYCR.IOKEEPビットを“0”にするまで、I/Oポートの状態を保持します。

注2. 外部割り込み端子として使用時は、ソフトウェアスタンバイ解除要求として設定されている場合、入力できます。

注3. ディープソフトウェアスタンバイ解除要求として設定されている場合、入力できます。

注4. この機能を使用時は、ソフトウェアスタンバイモードでも入力できます。

付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

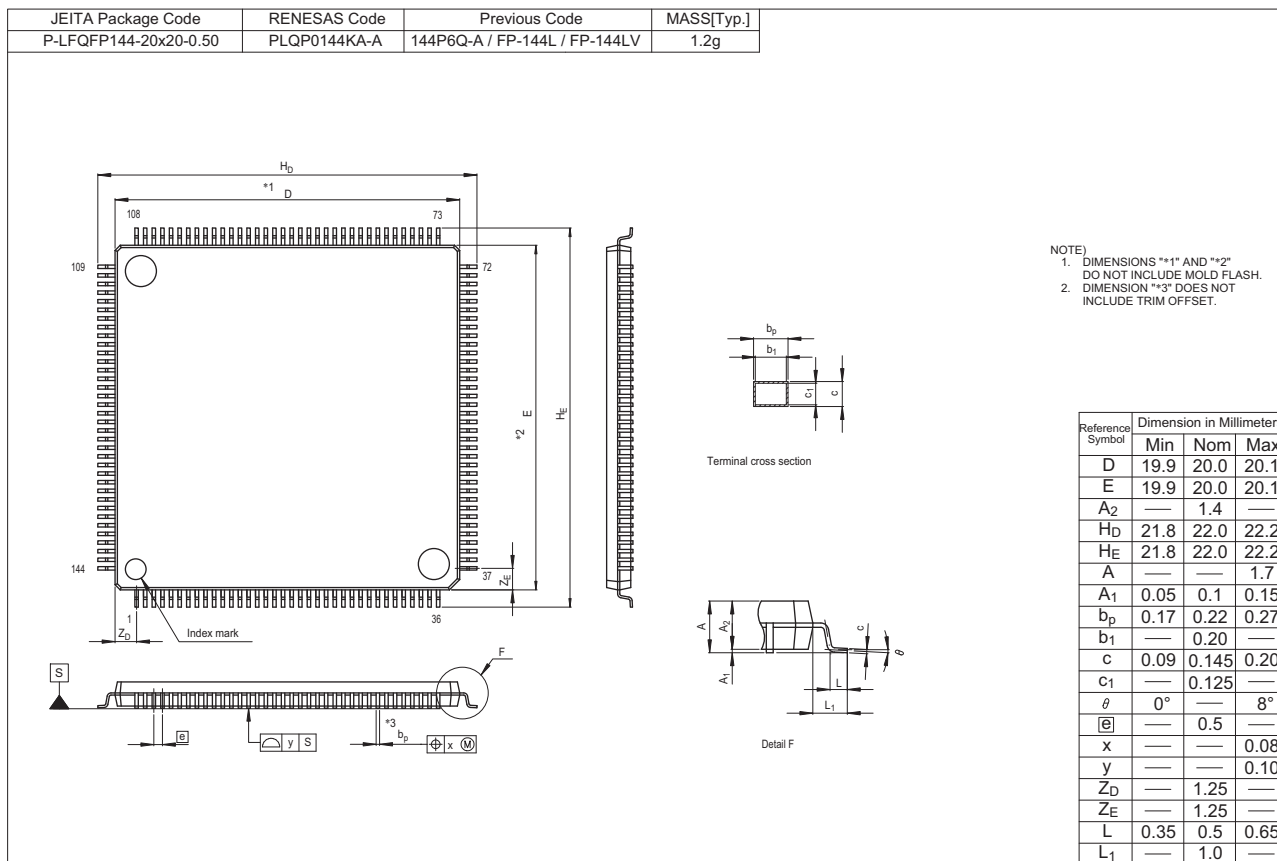


図 A. 144 ピン LQFP (PLQP0144KA-A)

改訂記録	RX634 グループ ユーザーズマニュアル ハードウェア編
------	-------------------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2015.01.30	—	初版発行	

RX634グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2015年1月30日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

RX634 グループ