

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

R8C/20 群、 R8C/21 群

瑞萨单片机

R8C 族 / R8C/2x 系列

Notes regarding these materials

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guarantees regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
 - (1) artificial life support devices or systems
 - (2) surgical implantations
 - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
 - (4) any other purposes that pose a direct threat to human lifeRenesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.

注意

本文只是参考译文，前页所载英文版“Cautions”具有正式效力。

关于利用本资料时的注意事项

1. 本资料是为了让用户根据用途选择合适的本公司产品的参考资料，对于本资料中所记载的技术信息，并非意味着对本公司或者第三者的知识产权及其他权利做出保证或对实施权力进行的承诺。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法及其他应用电路例而引起的损害或者对第三者的知识产权及其他权利造成侵犯，本公司不承担任何责任。
3. 不能将本资料所记载的产品和技术用于大规模破坏性武器的开发等目的、军事目的或其他的军需用途方面。另外，在出口时必须遵守日本的《外汇及外国贸易法》及其他出口的相关法令并履行这些法令中规定的必要手续。
4. 本资料所记载的产品数据、图、表、程序、算法以及其他应用电路例等所有信息均为本资料发行时的内容，本公司有可能在未做事先通知的情况下，对本资料所记载的产品或者产品规格进行更改。所以在购买和使用本公司的半导体产品之前，请事先向本公司的营业窗口确认最新的信息并经常留意本公司通过公司主页 (<http://www.renesas.com>) 等公开的最新信息。
5. 对于本资料中所记载的信息，制作时我们尽力保证出版时的精确性，但不承担因本资料的叙述不当而致使顾客遭受损失等的任何相关责任。
6. 在使用本资料所记载的产品数据、图、表等所示的技术内容、程序、算法及其他应用电路例时，不仅要对所使用的技术信息进行单独评价，还要对整个系统进行充分的评价。请顾客自行负责，进行是否适用的判断。本公司对于是否适用不负任何责任。
7. 本资料中所记载的产品并非针对万一出现故障或是错误运行就会威胁到人的生命或给人体带来危害的机器、系统(如各种安全装置或者运输交通用的、医疗、燃烧控制、航天器械、核能、海底中继用的机器和系统等)而设计和制造的, 特别是对于品质和可靠性要求极高的机器和系统等(将本公司指定用于汽车方面的产品用于汽车时除外)。如果要用于上述的目的, 请务必事先向本公司的营业窗口咨询。另外, 对于用于上述目的而造成的损失等, 本公司概不负责。
8. 除上述第7项内容外, 不能将本资料中记载的产品用于以下用途。如果用于以下用途而造成的损失, 本公司概不负责。
 - 1) 生命维持装置。
 - 2) 植埋于人体使用的装置。
 - 3) 用于治疗(切除患部、给药等)的装置。
 - 4) 其他直接影响到人的生命的装置。
9. 在使用本资料所记载的产品时, 对于最大额定值、工作电源电压的范围、放热特性、安装条件及其他条件请在本公司规定的保证范围内使用。如果超出了本公司规定的保证范围使用时, 对于由此而造成的故障和出现的事故, 本公司将不承担任何责任。
10. 本公司一直致力于提高产品的质量和可靠性, 但一般来说, 半导体产品总会以一定的概率发生故障、或者由于使用条件不同而出现错误运行等。为了避免因本公司的产品发生故障或者错误运行而导致人身事故和火灾或造成社会性的损失, 希望客户能自行负责进行冗余设计、采取延烧对策及进行防止错误运行等的安全设计(包括硬件和软件两方面的设计)以及老化处理等, 这是作为机器和系统的出厂保证。特别是单片机的软件, 由于单独进行验证很困难, 所以要求在顾客制造的最终的机器及系统上进行安全检验工作。
11. 如果把本资料所记载的产品从其载体设备上卸下, 有可能造成婴儿误吞的危险。顾客在将本公司产品安装到顾客的设备上时, 请顾客自行负责将本公司产品设置为不容易剥落的安全设计。如果从顾客的设备上剥落而造成事故时, 本公司将不承担任何责任。
12. 在未得到本公司的事先书面认可时, 不可将本资料的一部分或者全部转载或者复制。
13. 如果需要了解关于本资料的详细内容, 或者有其他关心的问题, 请向本公司的营业窗口咨询。

产品使用时的注意事项

本文对适用于单片机所有产品的“使用时的注意事项”进行说明。有关个别的使用时的注意事项请参照正文。此外，如果在记载上有与本手册的正文有差异之处，请以正文为准。

1. 未使用的引脚的处理

【注意】将未使用的引脚按照正文的“未使用引脚的处理”进行处理。

CMOS产品的输入引脚的阻抗一般为高阻抗。如果在开路的状态下运行未使用的引脚，由于感应现象，外加LSI周围的噪声，在LSI内部产生穿透电流，有可能被误认为是输入信号而引起误动作。未使用的引脚，请按照正文的“未使用引脚的处理”中的指示进行处理。

2. 通电时的处理

【注意】通电时产品处于不定状态。

通电时，LSI内部电路处于不确定状态，寄存器的设定和各引脚的状态不定。通过外部复位引脚对产品进行复位时，从通电到复位有效之前的期间，不能保证引脚的状态。

同样，使用内部上电复位功能对产品进行复位时，从通电到达到复位产生的一定电压的期间，不能保证引脚的状态。

3. 禁止存取保留地址（保留区）

【注意】禁止存取保留地址（保留区）

在地址区域中，有被分配将来用作功能扩展的保留地址（保留区）。因为无法保证存取这些地址时的运行，所以不能对保留地址（保留区）进行存取。

4. 关于时钟

【注意】复位时，请在时钟稳定后解除复位。

在程序运行中切换时钟时，请在要切换成的时钟稳定之后进行。复位时，在通过使用外部振荡器（或者外部振荡电路）的时钟开始运行的系统中，必须在时钟充分稳定后解除复位。另外，在程序运行中，切换成使用外部振荡器（或者外部振荡电路）的时钟时，在要切换成的时钟充分稳定后再进行切换。

5. 关于产品间的差异

【注意】在变更不同型号的产品时，请对每一个产品型号进行系统评价测试。

即使是同一个群的单片机，如果产品型号不同，由于内部ROM、版本模式等不同，在电特性范围内有时特性值、动作容限、噪声耐量、噪声辐射量等不同。因此，在变更不同型号的产品时，请对每一个型号的产品进行系统评价测试。

本手册的使用方法

1 目的和对象

本手册是一本帮助用户理解本单片机的硬件功能和电特性的手册。它以使用本手册来设计应用系统的用户为对象。在使用本手册时，需要具备电路、逻辑电路以及单片机的基础知识。

本手册由产品概要、CPU、系统控制功能、外围功能、电特性、使用时的注意事项几大部分组成。

必须在充分确认注意事项后使用本单片机。注意事项记录在各章的正文中、各章的最后和注意事项章节中。

修订记录归纳了对旧版本记载内容的更正或追加的主要位置。并不是修订内容的全部记载。详情请确认本手册的正文。

R8C/20、R8C/21 群准备了以下的文献。请使用最新的文献。最新版本刊登在瑞萨科技的主页上。

文献的种类	记载内容	资料名	资料号
数据表	硬件的概要和电特性	R8C/20、R8C/21Group Datasheet	REJ03B0144
硬件手册	硬件的说明（引脚配置、存储器映像、外围功能的说明、电特性、时序）和工作说明 ※外围功能的使用方法必须参照应用注意事项。	R8C/20、R8C21 群 硬件手册	本硬件手册
软件手册	CPU 指令设定的说明	R8C/TINY 系列软件说明	RCJ09B0006
应用注意事项	外围功能的使用方法、应用例子 参考程序 应用汇编语言、C 语言编成方法	刊登在瑞萨科技的主页上	
RENESAS TECHNICAL UPDATE	相关产品说明、文献等的快速公告		

2 数字、符号的表示

本手册使用的寄存器名或位名、数字或符号的表示范例如下所示。

1. 寄存器名、位名、引脚名

在正文中用符号表示。符号后面带有寄存器、位、引脚字样加以区别。

（例）PM0 寄存器的 PM03 位

P3_5 引脚、VCC 引脚
2. 数字的表示

2 进制数的后面带有“b”。不过，只有 1 位时数字后面什么也没有。16 进制数后面带有“h”。

十进制数后面什么也没有。

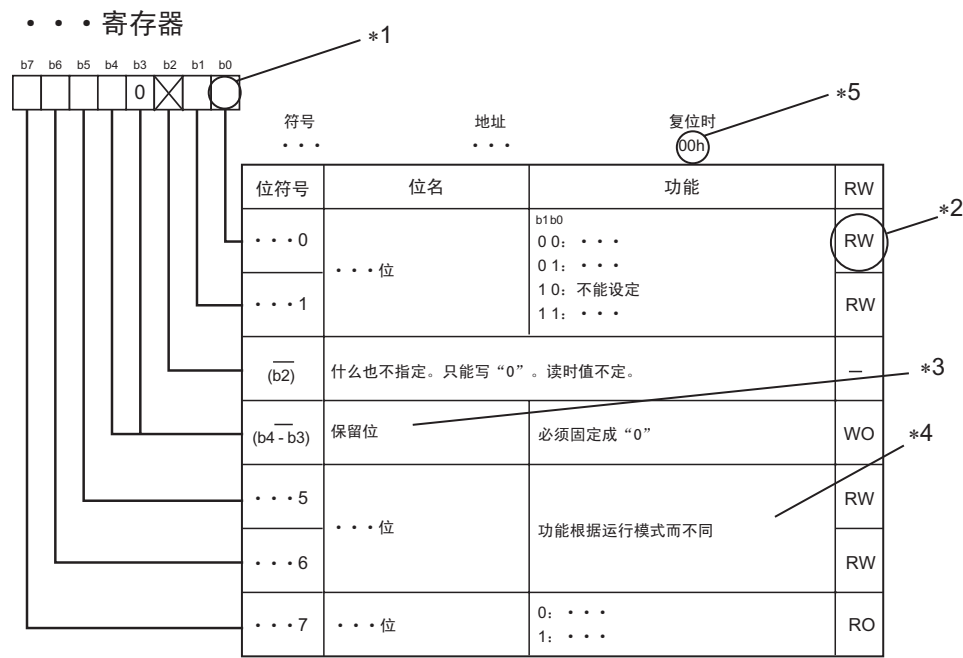
（例）2 进制数：11b

16 进制数：EEA0h

10 进制数：1234

3 寄存器图表的阅读方法

说明在寄存器图表中使用的符号和用语



- *1
空白：按用途，置“0”或“1”。
0：置“0”。
1：置“1”。
×：什么也不指定。
- *2
RW：可读，可写。
RO：可读，写数据无效。
WO：可写，不能读取位的状态。
—：什么也不指定。
- *3
• 保留位
保留位，必须写指定值。
- *4
• 什么也不指定
对该位，什么也不指定。根据将来外围功能的发展，可能出现新的功能。写数据时只能写“0”。
• 不能设定
不保证设定后的运行。
• 功能根据运行模式而不同
位功能根据外围功能的模式发生变化，请参照各模式的寄存器图表。
- *5
2 进制或者 16 进制的记数法按各手册而定。

4 省略语及简称的说明

省略 / 简称	全称	备注
ACIA	Asynchronous Communication Interface Adapter	异步通信接口适配器
bps	bits per second	位 / 秒；每秒传送位数
CRC	Cyclic Redundancy Check	循环冗余校验
DMA	Direct Memory Access	直接存储器存取
DMAC	Direct Memory Access Controller	DMA 控制器
GSM	Global System for Mobile Communications	全球数字移动电话系统
Hi-Z	High Impedance	高阻抗
IEBus	Inter Equipment bus	NEC 电子公司提倡的通信方式
I/O	Input/Output	输入 / 输出
IrDA	Infrared Data Association	红外线数据协会
LSB	Least Significant Bit	最低有效位
MSB	Most Significant Bit	最高有效位
NC	Non-Connection	未连接引脚
PLL	Phase Locked Loop	锁相环路
PWM	Pulse Width Modulation	脉宽调制
SFR	Special Function Registers	特殊功能寄存器
SIM	Subscriber Identity Module	ISO-7816 规定的 IC 卡
UART	Universal Asynchronous Receiver/Transmitter	通用异步收发器
VCO	Voltage Controlled Oscillator	电压控制振荡器

目 录

地址 - 页速查表.....	速查表 -1
1. 概要	1
1.1 应用	1
1.2 性能概要	2
1.3 框图	4
1.4 产品一览	5
1.5 引脚连接图	7
1.6 引脚的功能说明	8
2. 使用时的注意事项	10
2.1 时钟产生电路使用时的注意事项	10
2.1.1 停止模式	10
2.1.2 等待模式	10
2.1.3 振荡停止检测功能	10
2.1.4 振荡电路常数	10
2.2 中断使用时的注意事项	11
2.2.1 地址 00000h 的读取	11
2.2.2 SP 的设定	11
2.2.3 外部中断和键输入中断	11
2.2.4 中断源的更改	11
2.2.5 中断控制寄存器的更改	12
2.3 定时器	13
2.3.1 定时器 RA 使用时的注意事项	13
2.3.2 定时器 RB 使用时的注意事项	14
2.3.3 定时器 RD 使用时的注意事项	17
2.3.4 定时器 RE 使用时的注意事项	23
2.4 串行接口使用时的注意事项	24
2.5 时钟同步串行接口	25
2.5.1 带片选的时钟同步串行 I/O 使用时的注意事项	25
2.5.2 I ² C 总线接口使用时的注意事项	25
2.6 硬件 LIN 使用时的注意事项	25
2.7 A/D 转换器使用时的注意事项	26
2.8 闪存使用时的注意事项	27
2.8.1 CPU 改写模式	27
2.9 有关噪声的注意事项	29
2.9.1 作为噪声和闩锁对策, 在 VCC 和 VSS 布线之间插入旁路电容	29
2.9.2 端口控制寄存器的噪声误动作对策	29
3. 中央处理器 (CPU)	30
3.1 数据寄存器 (R0、R1、R2、R3)	31
3.2 地址寄存器 (A0、A1)	31
3.3 帧基址寄存器 (FB)	31
3.4 中断表寄存器 (INTB)	31
3.5 程序计数器 (PC)	31
3.6 用户堆栈指针 (USP) 和中断堆栈指针 (ISP)	31
3.7 静态基址寄存器 (SB)	31
3.8 标志寄存器 (FLG)	31

3.8.1	进位标志 (C 标志)	31
3.8.2	调试标志 (D 标志)	31
3.8.3	零标志 (Z 标志)	31
3.8.4	符号标志 (S 标志)	31
3.8.5	寄存器组指定标志 (B 标志)	31
3.8.6	上溢标志 (O 标志)	32
3.8.7	中断允许标志 (I 标志)	32
3.8.8	堆栈指针指定标志 (U 标志)	32
3.8.9	处理器中断优先级 (IPL)	32
3.8.10	保留区	32
4.	存储器	33
4.1	R8C/20 群	33
4.2	R8C/21 群	34
5.	SFR	35
6.	复位	41
6.1	硬件复位	43
6.1.1	电源稳定的情况	43
6.1.2	接通电源的情况	43
6.2	上电复位功能 (注 1)	44
6.3	电压监视 1 复位	45
6.4	电压监视 2 复位	46
6.5	看门狗定时器复位	46
6.6	软件复位	46
7.	电压检测电路	47
7.1	VCC 输入电压的监视	51
7.1.1	Vdet1 的监视	51
7.1.2	Vdet2 的监视	51
7.2	电压监视 1 复位	52
7.3	电压监视 2 中断和电压监视 2 复位	53
8.	可编程输入 / 输出端口	55
8.1	可编程输入 / 输出端口的功能	55
8.2	对外围功能的影响	56
8.3	可编程输入 / 输出端口以外的引脚	56
8.4	端口的设定	65
8.5	未使用引脚的处理	79
9.	处理器模式	80
9.1	处理器模式的种类	80
10.	总线控制	81
11.	时钟产生电路	82
11.1	XIN 时钟	87
11.2	内部振荡器时钟	88
11.2.1	低速内部振荡器时钟	88
11.2.2	高速内部振荡器时钟	88
11.3	CPU 时钟和外围功能时钟	89

11.3.1	系统时钟	89
11.3.2	CPU 时钟	89
11.3.3	外围功能时钟 (f1、f2、f4、f8、f32)	89
11.3.4	fOCO	89
11.3.5	fOCO40M	89
11.3.6	fOCO-F	89
11.3.7	fOCO-S	89
11.3.8	fOCO128	89
11.4	功率控制	90
11.4.1	标准运行模式	90
11.4.2	等待模式	91
11.4.3	停止模式	94
11.5	振荡停止检测功能	96
11.5.1	振荡停止检测功能的使用方法	96
11.6	时钟产生电路使用时的注意事项	98
11.6.1	停止模式	98
11.6.2	等待模式	98
11.6.3	振荡停止检测功能	98
11.6.4	振荡电路常数	98
12.	保护	99
13.	中断	100
13.1	中断概要	100
13.1.1	中断分类	100
13.1.2	软件中断	100
13.1.3	特殊中断	101
13.1.4	外围功能中断	101
13.1.5	中断和中断向量	101
13.1.6	中断控制	104
13.2	INT 中断	111
13.2.1	INT _i 中断 (i=0 ~ 3)	111
13.2.2	INT _i 输入滤波器 (i=0 ~ 3)	112
13.3	键输入中断	113
13.4	地址匹配中断	114
13.5	定时器 RD 中断、带片选的时钟同步串行 I/O 中断、I ² C 总线接口中断 (带有多个中断请求源的中断)	115
13.6	中断使用时的注意事项	117
13.6.1	地址 00000h 的读取	117
13.6.2	SP 的设定	117
13.6.3	外部中断和键输入中断	117
13.6.4	中断源的更改	117
13.6.5	中断控制寄存器的更改	118
14.	看门狗定时器	119
14.1	计数源保护模式无效时	122
14.2	计数源保护模式有效时	123

15. 定时器	124
15.1 定时器 RA	126
15.1.1 定时器模式	129
15.1.2 脉冲输出模式	131
15.1.3 事件计数器模式	132
15.1.4 脉宽测定模式	134
15.1.5 脉冲周期测定模式	136
15.1.6 定时器 RA 使用时的注意事项	138
15.2 定时器 RB.....	139
15.2.1 定时器模式	143
15.2.2 可编程波形产生模式	146
15.2.3 可编程单触发产生模式	148
15.2.4 可编程等待单触发产生模式	151
15.2.5 定时器 RB 使用时的注意事项	153
15.3 定时器 RD	156
15.3.1 计数源	160
15.3.2 缓冲器运行	161
15.3.3 同步运行	163
15.3.4 脉冲输出强制截止	164
15.3.5 输入捕捉功能	166
15.3.6 输出比较功能	177
15.3.7 PWM 模式	189
15.3.8 复位同步 PWM 模式	199
15.3.9 互补 PWM 模式	209
15.3.10 PWM3 模式	219
15.3.11 定时器 RD 中断	228
15.3.12 定时器 RD 使用时的注意事项	229
15.4 定时器 RE.....	235
15.4.1 输出比较模式	235
15.4.2 定时器 RE 使用时的注意事项	239
16. 串行接口	240
16.1 时钟同步串行 I/O 模式.....	245
16.1.1 极性选择功能	248
16.1.2 选择 LSB first 或 MSB first	248
16.1.3 连续接收模式	249
16.2 时钟异步串行 I/O (UART) 模式.....	249
16.2.1 位速率	252
16.3 串行接口使用时的注意事项	253
17. 时钟同步串行接口	254
17.1 模式的选择	254
17.2 带片选的时钟同步串行 I/O (SSU)	255
17.2.1 传送时钟	261
17.2.2 SS 移位寄存器 (SSTRSR)	263
17.2.3 中断请求	264
17.2.4 各通信模式和引脚功能	265
17.2.5 时钟同步通信模式	266
17.2.6 4 线方式总线通信模式	272
17.2.7 SCS 引脚控制和仲裁	277
17.2.8 带片选的时钟同步串行 I/O 使用时的注意事项	277

17.3	I ² C 总线接口	278
17.3.1	传送时钟	286
17.3.2	中断请求	287
17.3.3	I ² C 总线接口模式	288
17.3.4	时钟同步串行模式	298
17.3.5	噪声消除电路	301
17.3.6	位同步电路	301
17.3.7	寄存器的设定例子	302
17.3.8	I ² C 总线接口使用时的注意事项	306
18.	硬件 LIN	307
18.1	特点	307
18.2	输入 / 输出引脚	308
18.3	寄存器构成	308
18.4	运行说明	309
18.4.1	主模式	309
18.4.2	从属模式	312
18.4.3	总线冲突检测功能	315
18.4.4	LIN 的结束处理	316
18.5	中断请求	316
18.6	硬件 LIN 使用时的注意事项	316
19.	A/D 转换器	317
19.1	单次模式	321
19.2	重复模式	323
19.3	采样和保持	325
19.4	A/D 转换周期数	325
19.5	模拟输入内部等效电路	326
19.6	A/D 转换时的传感器的输出阻抗	327
19.7	A/D 转换器使用时的注意事项	328
20.	闪存	329
20.1	概要	329
20.2	存储器的配置	330
20.3	闪存改写的禁止功能	333
20.3.1	ID 码检查功能	333
20.3.2	ROM 码保护功能	334
20.4	CPU 改写模式	335
20.4.1	EW0 模式	336
20.4.2	EW1 模式	336
20.4.3	软件命令	342
20.4.4	状态寄存器	347
20.4.5	全状态检查	348
20.5	标准串行输入 / 输出模式	350
20.5.1	ID 码检查功能	350
20.6	并行输入 / 输出模式	353
20.6.1	ROM 码保护功能	353
20.7	闪存使用时的注意事项	353
20.7.1	CPU 改写模式	353

21. 电特性	355
22. On-chip 调试器的注意事项	374
23. 仿真调试器的注意事项	375
附 录	376
附录 1.封装尺寸图	376
附录 2.串行编程器和 on-chip 调试仿真器的连接例子	377
附录 3.振荡评价电路例子	378
索引	379

地址 - 页速查表

地址	寄存器	符号	记载页
0000h			
0001h			
0002h			
0003h			
0004h	处理器模式寄存器 0	PM0	80
0005h	处理器模式寄存器 1	PM1	80
0006h	系统时钟控制寄存器 0	CM0	84
0007h	系统时钟控制寄存器 1	CM1	84
0008h			
0009h			
000Ah	保护寄存器	PRCR	99
000Bh			
000Ch	振荡停止检测寄存器	OCD	85
000Dh	看门狗定时器复位寄存器	WDTR	121
000Eh	看门狗定时器开始寄存器	WDTS	121
000Fh	看门狗定时器控制寄存器	WDC	120
0010h	地址匹配中断寄存器 0	RMAD0	115
0011h			
0012h			
0013h	地址匹配中断允许寄存器	AIER	115
0014h	地址匹配中断寄存器 1	RMAD1	115
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	计数源保护模式寄存器	CSPR	121
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速内部振荡器控制寄存器 0	FRA0	85
0024h	高速内部振荡器控制寄存器 1	FRA1	86
0025h	高速内部振荡器控制寄存器 2	FRA2	86
0026h			
0027h			
0028h			
0029h			
002Ah			
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			
0030h			
0031h	电压检测寄存器 1	VCA1	49
0032h	电压检测寄存器 2	VCA2	49、86
0033h			
0034h			
0035h			
0036h	电压监视 1 电路控制寄存器	VW1C	50
0037h	电压监视 2 电路控制寄存器	VW2C	51
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注 1. 空白部分全部为保留区，不能存取。

地址	寄存器	符号	记载页
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h	定时器 RD0 中断控制寄存器	TRD0IC	104
0049h	定时器 RD1 中断控制寄存器	TRD1IC	104
004Ah	定时器 RE 中断控制寄存器	TREIC	104
004Bh			
004Ch			
004Dh	键输入中断控制寄存器	KUPIC	104
004Eh	A/D 转换中断控制寄存器	ADIC	104
004Fh	SSU 中断控制寄存器/IIC 中断控制寄存器	SSUIC/ IICIC	104
0050h			
0051h	UART0 发送中断控制寄存器	S0TIC	104
0052h	UART0 接收中断控制寄存器	S0RIC	104
0053h	UART1 发送中断控制寄存器	S1TIC	104
0054h	UART1 接收中断控制寄存器	S1RIC	104
0055h	INT2 中断控制寄存器	INT2IC	105
0056h	定时器 RA 中断控制寄存器	TRAIC	104
0057h			
0058h	定时器 RB 中断控制寄存器	TRBIC	104
0059h	INT1 中断控制寄存器	INT1IC	105
005Ah	INT3 中断控制寄存器	INT3IC	105
005Bh			
005Ch			
005Dh	INT0 中断控制寄存器	INT0IC	105
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

地址	寄存器	符号	记载页
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0 发送 / 接收模式寄存器	U0MR	243
00A1h	UART0 位速率寄存器	U0BRG	252
00A2h	UART0 发送缓冲寄存器	U0TB	242
00A3h			
00A4h	UART0 发送 / 接收控制寄存器 0	U0C0	243
00A5h	UART0 发送 / 接收控制寄存器 1	U0C1	244
00A6h	UART0 接收缓冲寄存器	U0RB	242
00A7h			
00A8h	UART1 发送 / 接收模式寄存器	U1MR	243
00A9h	UART1 位速率寄存器	U1BRG	252
00AAh	UART1 发送缓冲寄存器	U1TB	242
00ABh			
00ACh	UART1 发送 / 接收控制寄存器 0	U1C0	243
00ADh	UART1 发送 / 接收控制寄存器 1	U1C1	244
00AEh	UART1 接收缓冲寄存器	U1RB	242
00AFh			
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS控制寄存器H/IIC总线控制寄存器 1	SSCRH/ICCR1	257、280
00B9h	SS控制寄存器L/IIC总线控制寄存器 2	SSCRL/ICCR2	257、281
00BAh	SS 模式寄存器 /IIC 总线模式寄存器	SSMR/ICMR	258、282
00BBh	SS 允许寄存器 /IIC 中断允许寄存器	SSER/ICIER	258、283
00BCh	SS 状态寄存器 /IIC 总线状态寄存器	SSSR/ICSR	259、284
00BDh	SS 模式寄存器 2/ 从属地址寄存器	SSMR2/SAR	260、285
00BEh	SS 发送数据寄存器 /IIC 总线发送数据寄存器	SSTDR/ICDRT	260、285
00BFh	SS 接收数据寄存器 /IIC 总线接受数据寄存器	SSRDR/ICDRR	260、285

注 1. 空白部分全部为保留区，不能存取。

地址	寄存器	符号	记载页
00C0h	A/D 寄存器	AD	320
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D 控制寄存器 2	ADCON2	320
00D5h			
00D6h	A/D 控制寄存器 0	ADCON0	319、322、324
00D7h	A/D 控制寄存器 1	ADCON1	320、322、324
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h	端口 P0 寄存器	P0	63
00E1h	端口 P1 寄存器	P1	63
00E2h	端口 P0 方向寄存器	PD0	63
00E3h	端口 P1 方向寄存器	PD1	63
00E4h	端口 P2 寄存器	P2	63
00E5h	端口 P3 寄存器	P3	63
00E6h	端口 P2 方向寄存器	PD2	63
00E7h	端口 P3 方向寄存器	PD3	63
00E8h	端口 P4 寄存器	P4	63
00E9h			
00EAh	端口 P4 方向寄存器	PD4	63
00EBh			
00ECh	端口 P6 寄存器	P6	63
00EDh			
00EEh	端口 P6 方向寄存器	PD6	63
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h	UART1 功能选择寄存器	U1SR	244
00F6h			
00F7h			
00F8h	端口模式寄存器	PMR	64、244、261、285
00F9h	外部输入允许寄存器	INTEN	111
00FAh	INT 输入滤波器选择寄存器	INTF	111
00FBh	键输入允许寄存器	KIEN	113
00FCh	上拉控制寄存器 0	PUR0	64
00FDh	上拉控制寄存器 1	PUR1	64
00FEh			
00FFh			

地址	寄存器	符号	记载页
0100h	定时器 RA 控制寄存器	TRACR	127
0101h	定时器 RA I/O 控制寄存器	TRAIOC	127、131、133、135、137、129
0102h	定时器 RA 模式寄存器	TRAMR	128
0103h	定时器 RA 预分频器	TRAPRE	128
0104h	定时器 RA 寄存器	TRA	128
0105h			
0106h	LIN 控制寄存器	LINCR	308
0107h	LIN 状态寄存器	LINST	308
0108h	定时器 RB 控制寄存器	TRBCR	140
0109h	定时器 RB 单触发控制寄存器	TRBOCR	140
010Ah	定时器 RB I/O 控制寄存器	TRBIOC	141、143、147、149、152
010Bh	定时器 RB 模式寄存器	TRBMR	141
010Ch	定时器 RB 预分频器	TRBPRE	142
010Dh	定时器 RB 从寄存器	TRBSC	142
010Eh	定时器 RB 主寄存器	TRBPR	142
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	定时器 RE 计数器数据寄存器	TRESEC	236
0119h	定时器 RE 比较数据寄存器	TREMIN	236
011Ah			
011Bh			
011Ch	定时器 RE 控制寄存器 1	TRECR1	237
011Dh	定时器 RE 控制寄存器 2	TRECR2	237
011Eh	定时器 RE 时钟源选择寄存器	TRECSR	238
011Fh			
0130h			
0131h			
0132h			
0133h			
0134h			
0135h			
0136h			
0137h	定时器 RD 开始寄存器	TRDSTR	168、179、191、211、221、201
0138h	定时器 RD 模式寄存器	TRDMR	168、179、191、201、211、221
0139h	定时器 RD PWM 模式寄存器	TRDPMR	169、180、192
013Ah	定时器 RD 功能控制寄存器	TRDFCR	169、180、192、202、212、222
013Bh	定时器 RD 输出主允许寄存器 1	TRDOER1	181、193、203、213、222
013Ch	定时器 RD 输出主允许寄存器 2	TRDOER2	181、193、203、213、222
013Dh	定时器 RD 输出控制寄存器	TRDOCR	182、194、223
013Eh	定时器 RD 数字滤波器功能选择寄存器 0	TRDDF0	170
013Fh	定时器 RD 数字滤波器功能选择寄存器 1	TRDDF1	170

注 1. 空白部分全部为保留区，不能存取。

地址	寄存器	符号	记载页
0140h	定时器 RD 控制寄存器 0	TRDCR0	170、182、194、204、214、223
0141h	定时器 RD I/O 控制寄存器 A0	TRDIORA0	171、183
0142h	定时器 RD I/O 控制寄存器 C0	TRDIORC0	172、183
0143h	定时器 RD 状态寄存器 0	TRDSR0	173、184、195、205、214、224
0144h	定时器 RD 中断允许寄存器 0	TRDIER0	174、184、195、205、215、224
0145h	定时器 RD PWM 模式输出电平控制寄存器 0	TRDPCR0	196
0146h	定时器 RD 计数器 0	TRD0	174、185、196、206、215、225
0147h			
0148h	定时器 RD 通用寄存器 A0	TRDGRA0	174、185、196、206、215、225
0149h			
014Ah	定时器 RD 通用寄存器 B0	TRDGRB0	174、185、196、206、215、225
014Bh			
014Ch	定时器 RD 通用寄存器 C0	TRDGRC0	174、185、196、206、225
014Dh			
014Eh	定时器 RD 通用寄存器 D0	TRDGRD0	174、185、196、206、215、225
014Fh			
0150h	定时器 RD 控制寄存器 1	TRDCR1	170、182、194、214
0151h	定时器 RD I/O 控制寄存器 A1	TRDIORA1	171、183
0152h	定时器 RD I/O 控制寄存器 C1	TRDIORC1	172、183
0153h	定时器 RD 状态寄存器 1	TRDSR1	173、184、195、205、214、224
0154h	定时器 RD 中断允许寄存器 1	TRDIER1	174、184、195、205、215、224
0155h	定时器 RD PWM 模式输出电平控制寄存器 1	TRDPCR1	196
0156h	定时器 RD 计数器 1	TRD1	174、185、196、215
0157h			
0158h	定时器 RD 通用寄存器 A1	TRDGRA1	174、185、196、206、215、225
0159h			
015Ah	定时器 RD 通用寄存器 B1	TRDGRB1	174、185、196、206、215、225
015Bh			
015Ch	定时器 RD 通用寄存器 C1	TRDGRC1	174、185、196、206、215、225
015Dh			
015Eh	定时器 RD 通用寄存器 D1	TRDGRD1	174、185、196、206、215、225
015Fh			
01B0h			
01B1h			
01B2h			
01B3h	闪存控制寄存器 4	FMR4	339
01B4h			
01B5h	闪存控制寄存器 1	FMR1	339
01B6h			
01B7h	闪存控制寄存器 0	FMR0	338
01B8h			
01B9h			
01BAh			
01BBh			
FFFFh	任选功能寄存器	OFS	43、120、334

1. 概要

本单片机是采用高性能硅栅 CMOS 工艺以及搭载 R8C CPU 内核的单芯片微型计算机，封装于 48 引脚塑模 LQFP。该单芯片微型计算机既有高功能指令又有高效率指令，并且具有 1M 字节的地址空间和高速执行指令的能力。

R8C/21 群还内置数据闪存（1KB×2 块）。

R8C/20 群和 R8C/21 群的不同点只在有无数据闪存，外围功能相同。

1.1 应用

汽车及其他。

1.2 性能概要

R8C/20 群的性能概要如表 1.1、R8C/21 群的性能概要如表 1.2 所示。

表 1.1 R8C/20 群的性能概要

项目		性能
CPU	基本指令数	89 条指令
	最短指令执行时间	50ns (f(XIN)=20MHz、VCC=3.0 ~ 5.5V) 100ns (f(XIN)=10MHz、VCC=2.7 ~ 5.5V)
	运行模式	单芯片
	地址空间	1M 字节
	存储器容量	参照表 1.3
外围功能	端口	输入 / 输出：41 个，输入：3 个
	定时器	定时器 RA：8 位 ×1 个通道 定时器 RB：8 位 ×1 个通道（各定时器：带 8 位预分频器） 定时器 RD：16 位 ×2 个通道（输入捕捉电路、输出比较电路） 定时器 RE：带比较匹配功能
	串行接口	1 个通道 (UART0) 时钟同步串行 I/O、时钟异步串行 I/O 1 个通道 (UART1) 时钟异步串行 I/O
	时钟同步串行接口	1 个通道 I ² C 总线接口（注 2）、带片选的时钟同步串行 I/O
	LIN 模块	硬件 LIN：1 个通道 （使用定时器 RA、UART0）
	A/D 转换器	10 位 A/D 转换器：1 个电路、12 个通道
	看门狗定时器	15 位 ×1 个通道（带预分频器） 可选择复位启动功能
	中断	内部：11 个中断源、外部：5 个中断源、软件：4 个中断源、 中断优先级：7 级
	时钟产生电路	2 个电路 • XIN 时钟振荡电路（内置反馈电阻） • 内部振荡器（高速、低速） 高速内部振荡器带频率调整功能
	振荡停止检测功能	XIN 时钟振荡停止检测功能
	电压检测电路	内置
	上电复位电路	内置
电特性	电源电压	VCC=3.0 ~ 5.5V (f(XIN)=20MHz) (J 版) VCC=3.0 ~ 5.5V (f(XIN)=16MHz) (K 版) VCC=2.7 ~ 5.5V (f(XIN)=10MHz)
	消耗电流	典型值 11.0mA (VCC=5V、f(XIN)=20MHz、高速内部振荡器振荡停止时) 典型值 5.3mA (VCC=3V、f(XIN)=10MHz、高速内部振荡器振荡停止时)
闪存	编程和擦除电压	VCC=2.7 ~ 5.5V
	编程和擦除次数	100 次
工作环境温度		-40°C ~ 85°C
		-40°C ~ 125°C（任选（注 1））
封装		48 引脚塑模 LQFP

注 1. 使用任选功能时，请查询规格。

注 2. I²C bus 为荷兰 PHILIPS 公司的注册商标。

表 1.2 R8C/21 群的性能概要

项目		性能
CPU	基本指令数	89 条指令
	最短指令执行时间	50ns（f(XIN)=20MHz、VCC=3.0 ~ 5.5V） 100ns（f(XIN)=10MHz、VCC=2.7 ~ 5.5V）
	运行模式	单芯片
	地址空间	1M 字节
	存储器容量	参照表 1.4
外围功能	端口	输入 / 输出：41 个，输入：3 个
	定时器	定时器 RA：8 位×1 个通道、 定时器 RB：8 位×1 个通道（各定时器：带 8 位预分频器） 定时器 RD：16 位×2 个通道（输入捕捉电路、输出比较电路） 定时器 RE：带比较匹配功能
	串行接口	1 个通道 (UART0) 时钟同步串行 I/O、时钟异步串行 I/O 1 个通道 (UART1) 时钟异步串行 I/O
	时钟同步串行接口	1 个通道 I ² C 总线接口（注 2）、带片选的时钟同步串行 I/O
	LIN 模块	硬件 LIN：1 个通道 （使用定时器 RA、UART0）
	A/D 转换器	10 位 A/D 转换器：1 个电路、12 个通道
	看门狗定时器	15 位×1 个通道（带预分频器） 可选择复位启动功能
	中断	内部：11 个中断源、外部：5 个中断源、软件：4 个中断源、 中断优先级：7 级
	时钟产生电路	2 个电路 • XIN 时钟振荡电路（内置反馈电阻） • 内部振荡器（高速、低速） 高速内部振荡器带频率调整功能
	振荡停止检测功能	XIN 时钟振荡停止检测功能
	电压检测电路	内置
	上电复位电路	内置
电特性	电源电压	VCC=3.0 ~ 5.5V（f(XIN)=20MHz）（J 版） VCC=3.0 ~ 5.5V（f(XIN)=16MHz）（K 版） VCC=2.7 ~ 5.5V（f(XIN)=10MHz）
	消耗电流	标准 11.0mA（VCC=5V、f(XIN)=20MHz、高速内部振荡器振荡停止时） 标准 5.3mA（VCC=3V、f(XIN)=10MHz、高速内部振荡器振荡停止时）
闪存	编程和擦除电压	VCC=2.7 ~ 5.5V
	编程和擦除次数	10,000 次（数据闪存） 1,000 次（可编程 ROM）
工作环境温度		-40°C ~ 85°C
		-40°C ~ 125°C（任选（注 1））
封装		48 引脚塑模 LQFP

注 1. 使用任选功能时, 请查询规格。

注 2. I²C bus 为荷兰 PHILIPS 公司的注册商标。

1.3 框图

框图如图 1.1 所示。

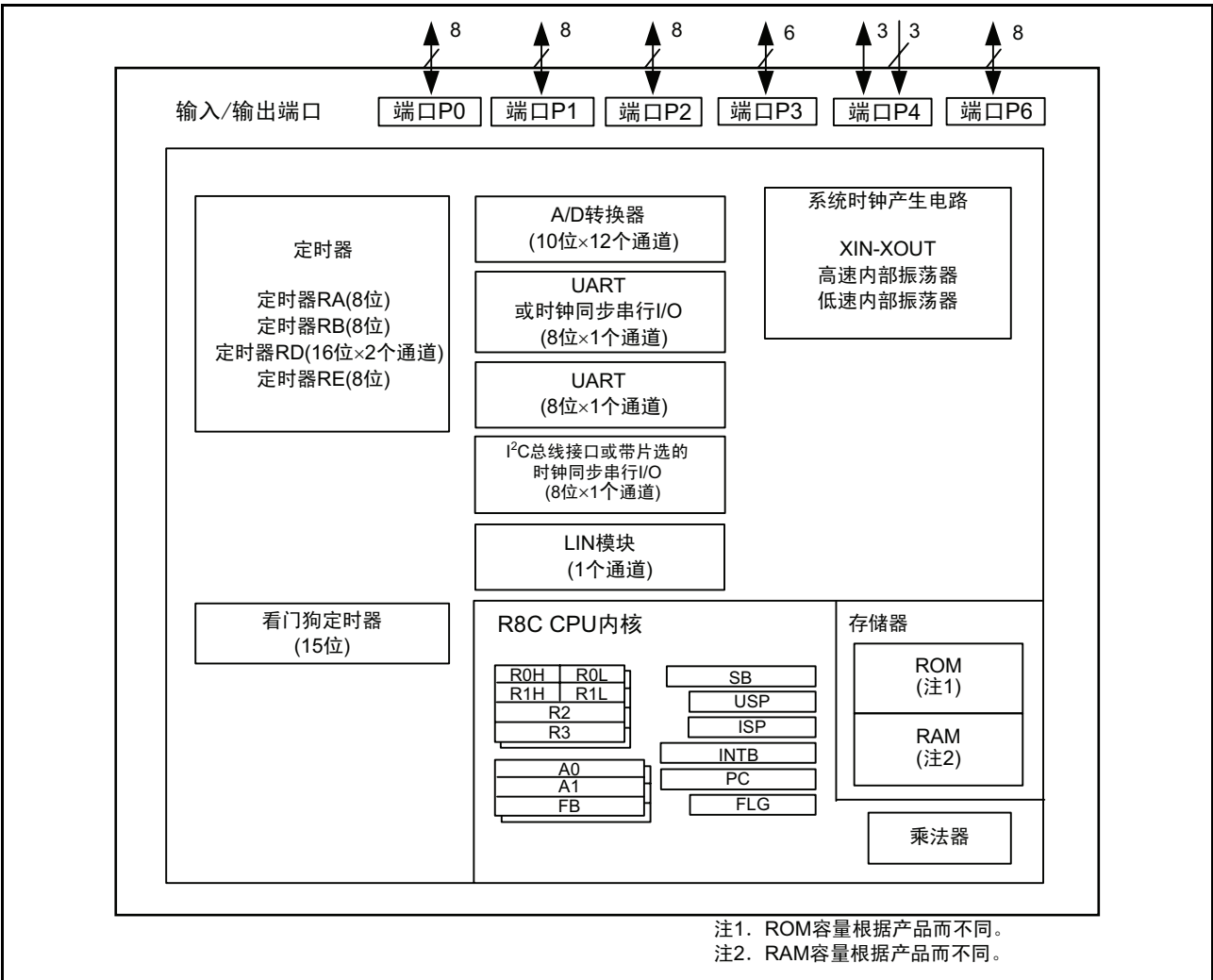


图 1.1 框图

1.4 产品一览

R8C/20 群产品一览表如表 1.3、R8C/21 群产品一览表如表 1.4 所示。

表 1.3 R8C/20 群产品一览表

2008 年 8 月

型号	ROM 容量	RAM 容量	封装	备注	
R5F21206JFP	32K 字节	2K 字节	PLQP0048KB-A	J 版	闪存版
R5F21207JFP	48K 字节	2.5K 字节	PLQP0048KB-A		
R5F21208JFP	64K 字节	3K 字节	PLQP0048KB-A		
R5F2120AJFP	96K 字节	5K 字节	PLQP0048KB-A		
R5F2120CJFP	128K 字节（注 1）	6K 字节	PLQP0048KB-A		
R5F21206KFP	32K 字节	2K 字节	PLQP0048KB-A	K 版	
R5F21207KFP	48K 字节	2.5K 字节	PLQP0048KB-A		
R5F21208KFP	64K 字节	3K 字节	PLQP0048KB-A		
R5F2120AKFP	96K 字节	5K 字节	PLQP0048KB-A		
R5F2120CKFP	128K 字节（注 1）	6K 字节	PLQP0048KB-A		

注 1. 从地址 20000h 到地址 23FFFh 不能使用仿真调试器。
请参照“23. 仿真调试器的注意事项”。

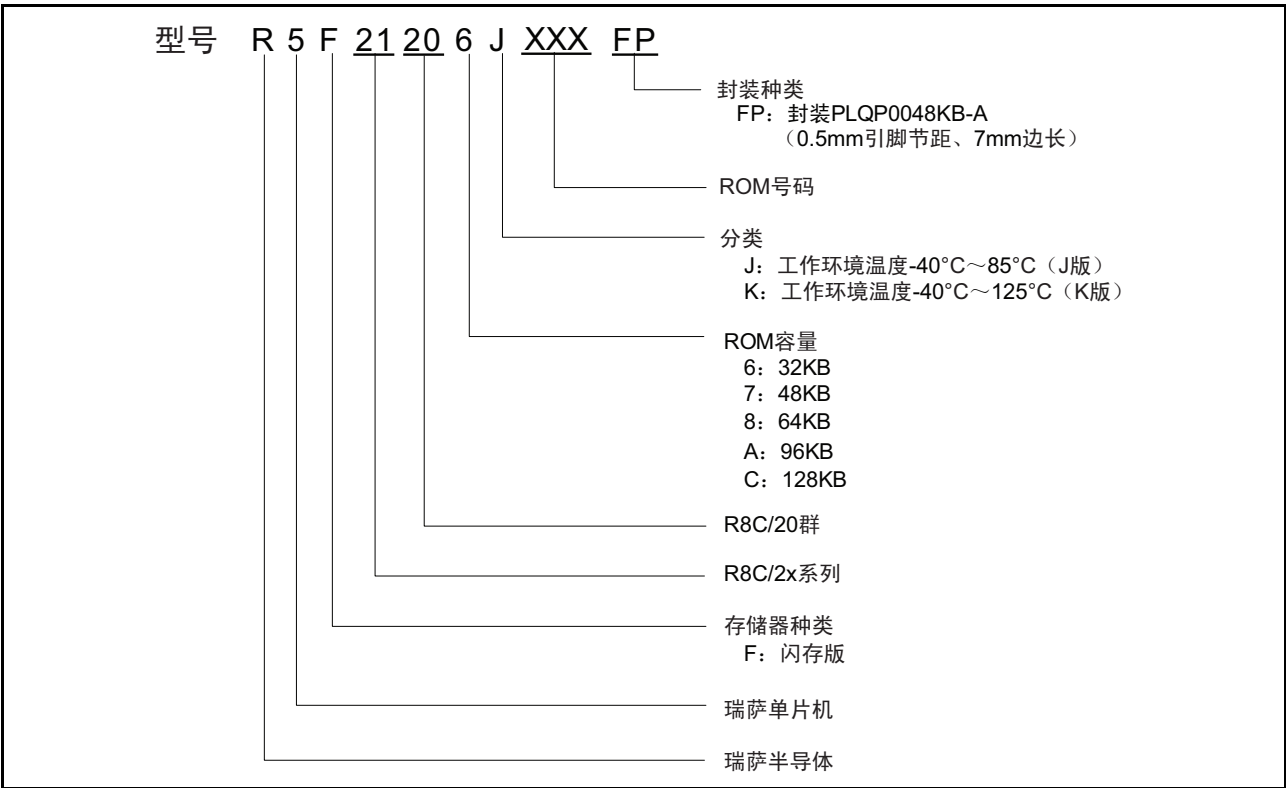


图 1.2 R8C/20 群的型号、存储器容量以及封装

表 1.4 R8C/21 群产品一览表

2008 年 8 月

型号	ROM 容量		RAM 容量	封装	备注	
	可编程 ROM	数据闪存				
R5F21216JFP	32K 字节	1K 字节 ×2	2K 字节	PLQP0048KB-A	J 版	闪存版
R5F21217JFP	48K 字节	1K 字节 ×2	2.5K 字节	PLQP0048KB-A		
R5F21218JFP	64K 字节	1K 字节 ×2	3K 字节	PLQP0048KB-A		
R5F2121AJFP	96K 字节	1K 字节 ×2	5K 字节	PLQP0048KB-A		
R5F2121CJFP	128K 字节（注 1）	1K 字节 ×2	6K 字节	PLQP0048KB-A		
R5F21216KFP	32K 字节	1K 字节 ×2	2K 字节	PLQP0048KB-A	K 版	
R5F21217KFP	48K 字节	1K 字节 ×2	2.5K 字节	PLQP0048KB-A		
R5F21218KFP	64K 字节	1K 字节 ×2	3K 字节	PLQP0048KB-A		
R5F2121AKFP	96K 字节	1K 字节 ×2	5K 字节	PLQP0048KB-A		
R5F2121CKFP	128K 字节（注 1）	1K 字节 ×2	6K 字节	PLQP0048KB-A		

注 1. 从地址 20000h 到地址 23FFFh 不能使用仿真调试器。
请参照“23. 仿真调试器的注意事项”。

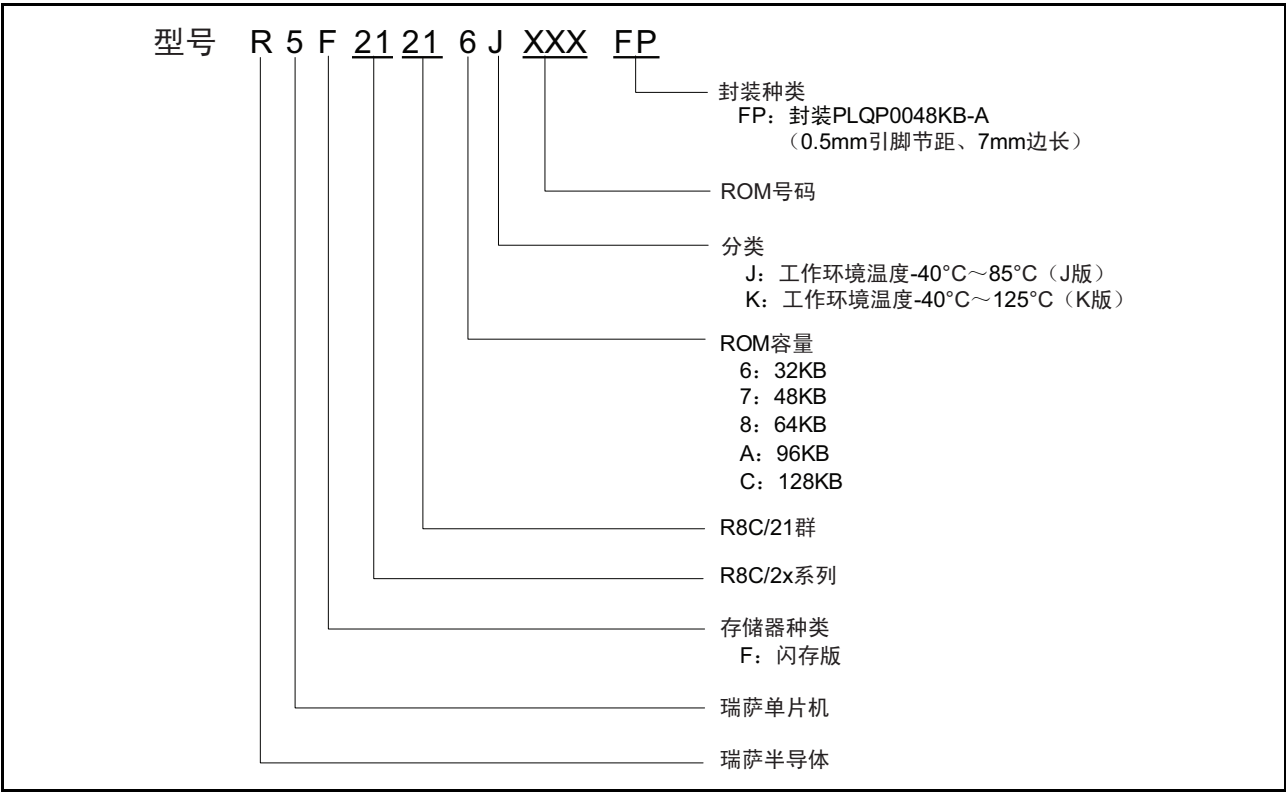


图 1.3 R8C/21 群的型号、存储器容量以及封装

1.5 引脚连接图

引脚连接图（俯视图）如图 1.4 所示。

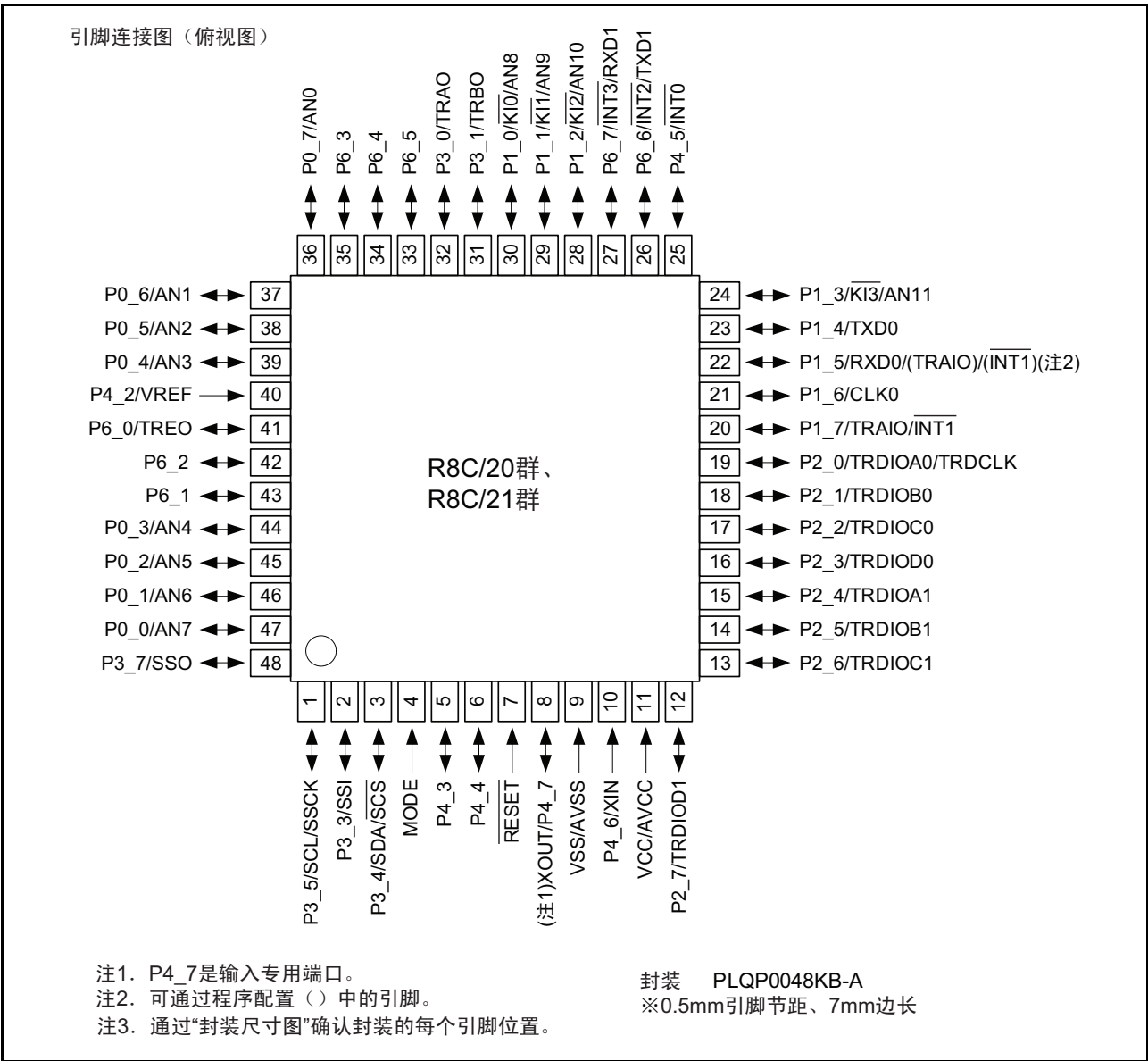


图 1.4 引脚连接图

1.6 引脚的功能说明

引脚的功能说明如表 1.5、引脚序号 - 引脚名一览表如表 1.6 所示。

表 1.5 引脚的功能说明

分类	引脚名	输入 / 输出	功能
电源输入	VCC、VSS	输入	必须给 VCC 输入 2.7V ~ 5.5V，给 VSS 输入 0V。
模拟电源输入	AVCC、AVSS	输入	A/D 转换器的电源输入。必须在 AVCC 和 AVSS 之间连接电容器。
复位输入	$\overline{\text{RESET}}$	输入	如果给该引脚输入 “L” 电平，单片机就变为复位状态。
MODE	MODE	输入	必须通过电阻连接到 VCC。
XIN 时钟输入	XIN	输入	XIN 时钟振荡电路的输入 / 输出。必须在 XIN 和 XOUT 之间连接陶瓷谐振器或者晶体振荡器。在输入外部生成的时钟时，必须从 XIN 输入时钟，而将 XOUT 开路。
XIN 时钟输出	XOUT	输出	
INT 中断输入	$\overline{\text{INT0}} \sim \overline{\text{INT3}}$	输入	$\overline{\text{INT}}$ 中断的输入。 $\overline{\text{INT0}}$ 是定时器 RD 的输入。 $\overline{\text{INT1}}$ 是定时器 RA 的输入。
键输入中断输入	$\overline{\text{KI0}} \sim \overline{\text{KI3}}$	输入	键输入中断的输入。
定时器 RA	TRAIO	输入 / 输出	定时器 RA 的输入 / 输出。
	TRA0	输出	定时器 RA 的输出。
定时器 RB	TRBO	输出	定时器 RB 的输出。
定时器 RD	TRDIOA0、TRDIOA1 TRDIOB0、TRDIOB1 TRDIOC0、TRDIOC1 TRDIOD0、TRDIOD1	输入 / 输出	定时器 RD 的输入 / 输出。
	TRDCLK	输入	外部时钟的输入。
定时器 RE	TREO	输出	分频时钟的输出。
串行接口	CLK0	输入 / 输出	传送时钟输入 / 输出。
	RXD0、RXD1	输入	串行数据输入。
	TXD0、TXD1	输出	串行数据输出。
I ² C 总线接口	SCL	输入 / 输出	时钟输入 / 输出。
	SDA	输入 / 输出	数据输入 / 输出。
带片选时钟同步串行 I/O	SSI	输入 / 输出	数据输入 / 输出。
	$\overline{\text{SCS}}$	输入 / 输出	片选输入 / 输出。
	SSCK	输入 / 输出	时钟输入 / 输出。
	SSO	输入 / 输出	数据输入 / 输出。
基准电压输入	VREF	输入	A/D 转换器的基准电压输入。
A/D 转换器	AN8 ~ AN11	输入	A/D 转换器的模拟输入。
输入 / 输出端口	P0_0 ~ P0_7、 P1_0 ~ P1_7、 P2_0 ~ P2_7、 P3_0、P3_1、 P3_3 ~ P3_5、P3_7、 P4_3 ~ P4_5、 P6_0 ~ P6_7	输入 / 输出	CMOS 的 8 位输入 / 输出端口。具有用于选择输入 / 输出的方向寄存器，每个引脚能设定成输入端口或者输出端口。 输入端口能通过程序选择有无上拉电阻。
输入端口	P4_2、P4_6、P4_7	输入	输入专用端口。

表 1.6 引脚序号 - 引脚名一览表

引脚 序号	控制引脚	端口	外围功能的输入 / 输出引脚					
			中断	定时器	串行 接口	带片选时钟 同步串行接口	I ² C 总线 接口	A/D 转换器
1		P3_5				SSCK	SCL	
2		P3_3				SSI		
3		P3_4				SCS	SDA	
4	MODE							
5		P4_3						
6		P4_4						
7	RESET							
8	XOUT	P4_7						
9	VSS/AVSS							
10	XIN	P4_6						
11	VCC/AVCC							
12		P2_7		TRDIOD1				
13		P2_6		TRDIOC1				
14		P2_5		TRDIOB1				
15		P2_4		TRDIOA1				
16		P2_3		TRDIOD0				
17		P2_2		TRDIOC0				
18		P2_1		TRDIOB0				
19		P2_0		TRDIOA0/TRDCLK				
20		P1_7	INT1	TRAIO				
21		P1_6			CLK0			
22		P1_5	(INT1)(注 1)	(TRAIO)(注 1)	RXD0			
23		P1_4			TXD0			
24		P1_3	KI3					AN11
25		P4_5	INT0	INT0				
26		P6_6	INT2		TXD1			
27		P6_7	INT3		RXD1			
28		P1_2	KI2					AN10
29		P1_1	KI1					AN9
30		P1_0	KI0					AN8
31		P3_1		TRBO				
32		P3_0		TRA0				
33		P6_5						
34		P6_4						
35		P6_3						
36		P0_7						AN0
37		P0_6						AN1
38		P0_5						AN2
39		P0_4						AN3
40	VREF	P4_2						
41		P6_0		TRE0				
42		P6_2						
43		P6_1						
44		P0_3						AN4
45		P0_2						AN5
46		P0_1						AN6
47		P0_0						AN7
48		P3_7				SSO		

注 1. 可通过程序指定 () 中的引脚。

2. 使用时的注意事项

2.1 时钟产生电路使用时的注意事项

2.1.1 停止模式

转移到停止模式时，必须在将 FMR0 寄存器的 FMR01 位清 “0”（CPU 改写模式无效）后，将 CM1 寄存器的 CM10 位置 “1”（停止模式）。指令队列从将 CM10 位置 “1”（停止模式）的指令开始，预读 4 个字节，然后程序停止。

必须在将 CM10 位置 “1” 的指令后立即插入 JMP.B 指令，然后至少插入 4 条 NOP 指令。

- 转移到停止模式的程序例子

```

BCLR      1, FMR0      ; CPU 改写模式无效
BSET      0, PRCR      ; 解除保护
FSET      I            ; 允许中断
BSET      0, CM1       ; 停止模式
JMP.B     LABEL_001

LABEL_001:
NOP
NOP
NOP
NOP

```

2.1.2 等待模式

转移到等待模式时，必须在将 FMR0 寄存器的 FMR01 位清 “0”（CPU 改写模式无效）后执行 WAIT 指令。指令队列从 WAIT 指令开始，预读 4 个字节，然后程序停止。必须在 WAIT 指令之后，至少插入 4 条 NOP 指令。

- 执行 WAIT 指令的程序例子

```

BCLR      1, FMR0      ; CPU 改写模式无效
FSET      I            ; 允许中断
WAIT      ; 等待模式
NOP
NOP
NOP
NOP

```

2.1.3 振荡停止检测功能

在 XIN 时钟频率低于 2MHz 时不能使用振荡停止检测功能，所以必须将 OCD1 ~ OCD0 位置 “00b”。

2.1.4 振荡电路常数

有关用户系统的最佳振荡电路常数，请在向振荡器厂家询问后决定。

2.2 中断使用时的注意事项

2.2.1 地址 00000h 的读取

不能通过程序读地址 00000h。在接受到可屏蔽中断的中断请求时，CPU 在中断响应顺序中从地址 00000h 读取中断信息（中断序号和中断请求级）。此时，被接受的中断的 IR 位变为“0”。

如果通过程序读地址 00000h，就在被允许的中断中优先权最高的中断 IR 位变为“0”。因此，中断可能被取消或者产生预想外的中断。

2.2.2 SP 的设置

必须在接受中断前给 SP 设定值。在复位后，SP 为“0000h”。因此，如果在给 SP 设定值前接受中断，程序就会失控。

2.2.3 外部中断和键输入中断

输入到 $\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 引脚和 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 引脚的信号，与 CPU 的运行时钟无关，需要电特性的外部中断 $\overline{\text{INTi}}$ 输入 (i=0 ~ 3) 显示的“L”电平宽度或者“H”电平宽度（详细情况请参照“表 21.19 外部中断 $\overline{\text{INTi}}$ 输入 (i=0 ~ 3)”、表 21.25 外部中断 $\overline{\text{INTi}}$ 输入 (i=0 ~ 3)”。

2.2.4 中断源的更改

如果更改中断源，中断控制寄存器的 IR 位就可能变为“1”（有中断请求）。使用中断时，必须在更改中断源后，将 IR 位清“0”（无中断请求）。

另外，在此所说的更改中断源，包括改变被分配到各软件中断序号的中断源、极性和时序等全部要素。因此，在外围功能的模式更改等关系到中断源、极性和时序的情况下，必须在更改后将 IR 位清“0”（无中断请求）。外围功能的中断请参照各外围功能。

中断源更改步骤的例子如图 2.1 所示。

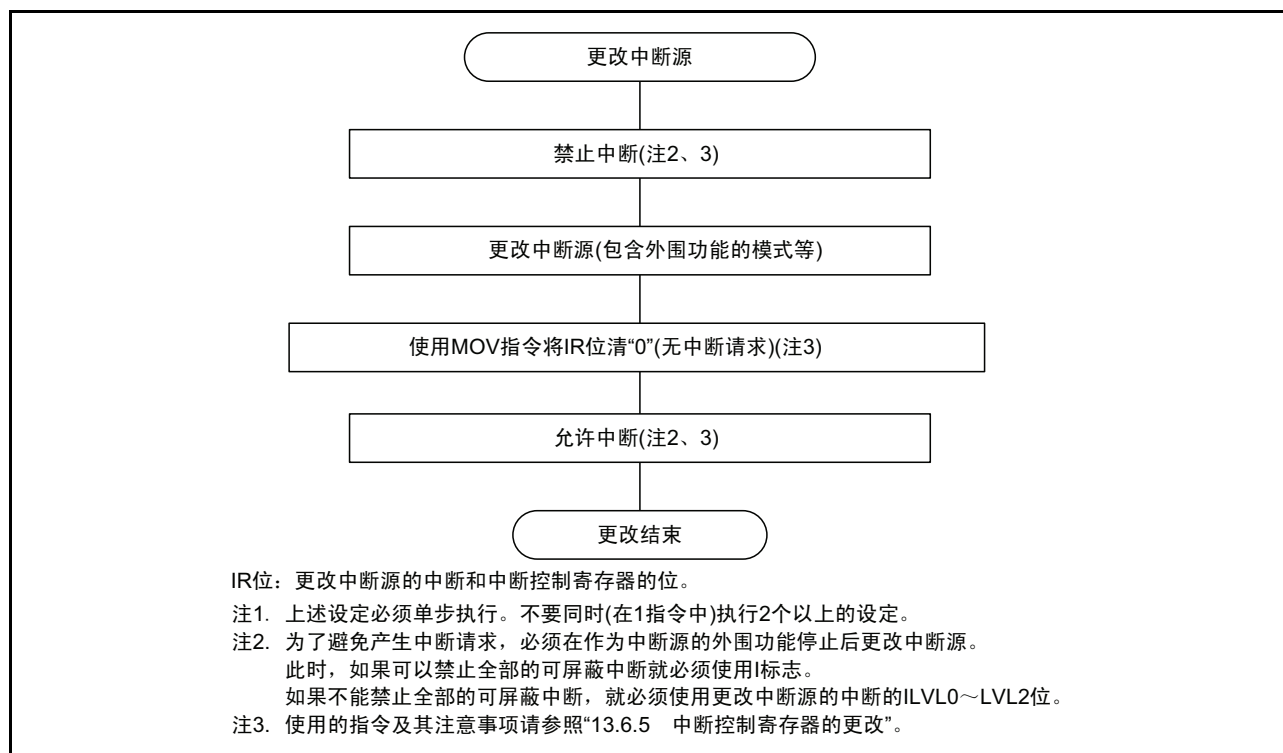


图 2.1 中断源更改步骤的例子

2.2.5 中断控制寄存器的更改

(a) 必须在不产生对应中断控制寄存器的中断请求的位置更改中断控制寄存器。在有可能产生中断请求时，必须在禁止中断后更改中断控制寄存器。

(b) 在禁止中断后更改中断控制寄存器时，必须注意使用的指令。

更改 IR 位以外的位

在执行指令期间，当产生对应该寄存器的中断请求时，IR 位可能不变为“1”（有中断请求），且中断被忽视。当在此情况出现问题时，必须使用以下指令更改寄存器：

对象指令AND、OR、BCLR、BSET

更改 IR 位

在将 IR 位清“0”（无中断请求）时，根据使用的指令，IR 位可能不变为“0”。必须用 MOV 指令将 IR 位清“0”。

(c) 在使用 I 标志禁止中断时，必须按照以下的程序例子设定 I 标志（程序例子的中断控制寄存器的更改请参照（b））。

例 1～例 3 是防止由于受内部总线和指令队列缓冲器的影响而更改中断控制寄存器前 I 标志变为“1”（允许中断）的方法。

例 1: 通过 NOP 指令，等待更改中断控制寄存器的例子

INT_SWITCH1:

FCLR	I	;	禁止中断
AND.B	#00H, 0056H	;	将 TRAIC 寄存器置“00h”
NOP		;	
NOP		;	
FSET	I	;	允许中断

例 2: 通过虚读，使 FSET 指令等待的例子

INT_SWITCH2:

FCLR	I	;	禁止中断
AND.B	#00H, 0056H	;	将 TRAIC 寄存器置“00h”
MOV.W	MEM, R0	;	虚读
FSET	I	;	允许中断

例 3: 通过 POPC 指令，更改 I 标志的例子

INT_SWITCH3:

PUSHC	FLG		
FCLR	I	;	禁止中断
AND.B	#00H, 0056H	;	将 TRAIC 寄存器置“00h”
POPC	FLG	;	允许中断

2.3 定时器

2.3.1 定时器 RA 使用时的注意事项

- 在复位后，定时器停止计数。必须在对定时器和预分频器设定值后，开始计数。
- 即使以 16 位单位读取预分频器和定时器，在单片机内部也按字节顺序读取。因此，在读取这 2 个寄存器期间，定时器值可能会更新。
- 如果通过程序对在脉宽测定模式和脉冲周期测定模式使用的 TRACR 寄存器的 TEDGF 位和 TUNDF 位写“0”，这些位就变为“0”；写“1”时，这些位不变化。在对 TRACR 寄存器使用读 / 修改 / 写指令时，即使 TEDGF 位和 TUNDF 位为“1”，在指令执行中这些位也有可能被清“0”。此时，必须用 MOV 指令对不想被清“0”的 TEDGF 位和 TUNDF 位写“1”。
- 在从其他模式转换到脉宽测定模式和脉冲周期测定模式时，TEDGF 位和 TUNDF 位不定。必须在给 TEDGF 位和 TUNDF 位写“0”后，开始定时器 RA 的计数。
- 计数开始后，由最初产生的定时器 RA 预分频器的下溢信号，TEDGF 位可能变为“1”。
- 当使用脉冲周期测定模式时，必须在计数刚开始后间隔至少 2 个定时器 RA 预分频器周期的时间，再将 TEDGF 位清“0”，然后使用。
- 在计数停止中，对 TSTART 位写“1”后，且在 0 ~ 1 个计数源周期之间，TCSTF 位为“0”。在 TCSTF 位为“1”前，不要存取 TCSTF 位以外的与定时器 RA 相关的寄存器（注 1）。从 TCSTF 位为“1”后的最初的计数源的有效边沿开始计数。在计数过程中，对 TSTART 位写“0”后，且在 0 ~ 1 个计数源周期之间，TCSTF 位为“1”。在 TCSTF 位为“0”时停止计数。在 TCSTF 位为“0”前，不要存取 TCSTF 位以外的与定时器 RA 相关的寄存器（注 1）。

注 1. 与定时器 RA 相关的寄存器：TRACR、TRAI0C、TRAMR、TRAPRE、TRA。

- 在计数中（TCSTF 位为“1”），连续写 TRAPRE 寄存器时，各写间隔至少空出 3 个计数源时钟周期。
- 在计数中（TCSTF 位为“1”），连续写 TRA 寄存器时，各写间隔至少空出 3 个预分频器下溢周期。

2.3.2 定时器 RB 使用时的注意事项

- 在复位后，定时器停止计数。必须在对定时器和预分频器设定值后，开始计数。
- 即使以 16 位单位读取预分频器和定时器，在单片机内部也按字节顺序读取。因此，在读取这 2 个寄存器期间，定时器值可能会更新。
- 可编程单触发产生模式和可编程等待单触发产生模式时，如果在 TRBCR 寄存器的 TSTART 位清“0”后停止计数，或者在 TRBOCR 寄存器的 TOSSP 位写“1”后停止单触发，定时器就重新装入重加载寄存器的值后停止。定时器的计数值必须在定时器停止前读取。
- 在计数停止中，对 TSTART 位写“1”后，且在 1～2 个计数源周期之间，TCSTF 位为“0”。在 TCSTF 位为“1”前，不要存取 TCSTF 位以外的与定时器 RB 相关的寄存器（注 1）。在计数过程中，对 TSTART 位写“0”后，且在 1～2 个计数源周期之间，TCSTF 位为“1”。在 TCSTF 位为“0”时停止计数。在 TCSTF 位为“0”前，不要存取 TCSTF 位以外的与定时器 RB 相关的寄存器（注 1）。

注 1. 与定时器 RB 相关的寄存器: TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPPE、TRBSC、TRBPR

- 如果在计数中对 TRBCR 寄存器的 TSTOP 位写“1”，定时器 RB 将立即停止。
- 对 TRBOCR 寄存器的 TOSST 位或 TOSSP 位写入“1”时，在 1～2 个计数源周期后，TOSSTF 位发生变化。在对 TOSST 位写入“1”后到 TOSSTF 位变为“1”前的期间内对 TOSSP 位写入“1”时，根据内部状态 TOSSTF 位有时为“0”有时为“1”。在对 TOSSP 位写入“1”后到 TOSSTF 位变为“0”前的期间内对 TOSST 位写入“1”时也一样，TOSSTF 位有时为“0”有时为“1”。

2.3.2.1 定时器模式

在定时器模式中，必须采取以下对策。

在计数中（TCSTF 位为“1”）写 TRBPPE 寄存器和 TRBPR 寄存器时，必须注意以下几点。

- 当连续写 TRBPPE 寄存器时，各写间隔至少空出 3 个计数源时钟周期。
- 当连续写 TRBPR 寄存器时，各写间隔至少空出 3 个预分频器下溢周期。

2.3.2.2 可编程波形产生模式

在可编程波形产生模式中，必须采取以下 3 个对策。

(1) 在计数中（TCSTF 位为“1”）写 TRBPPE 寄存器和 TRBPR 寄存器时，必须注意以下几点。

- 当连续写 TRBPPE 寄存器时，各写间隔至少空出 3 个计数源时钟周期。
- 当连续写 TRBPR 寄存器时，各写间隔至少空出 3 个预分频器下溢周期。

(2) 在计数中（TCSTF 位为“1”）更改 TRBSC 寄存器和 TRBPR 寄存器时，必须通过定时器 RB 中断等，对 TRBO 输出周期取得同步。在相同输出周期内只能进行一次同步。另外，在图 2.2 以及图 2.3 的区间 A 中，必须确认没有写 TRBPR 寄存器。

具体的对策例如下所示：

- 对策例 (a)

如图 2.2 所示，通过定时器 RB 中断程序写 TRBSC 寄存器和 TRBPR 寄存器。必须在区间 A 之前结束写操作。

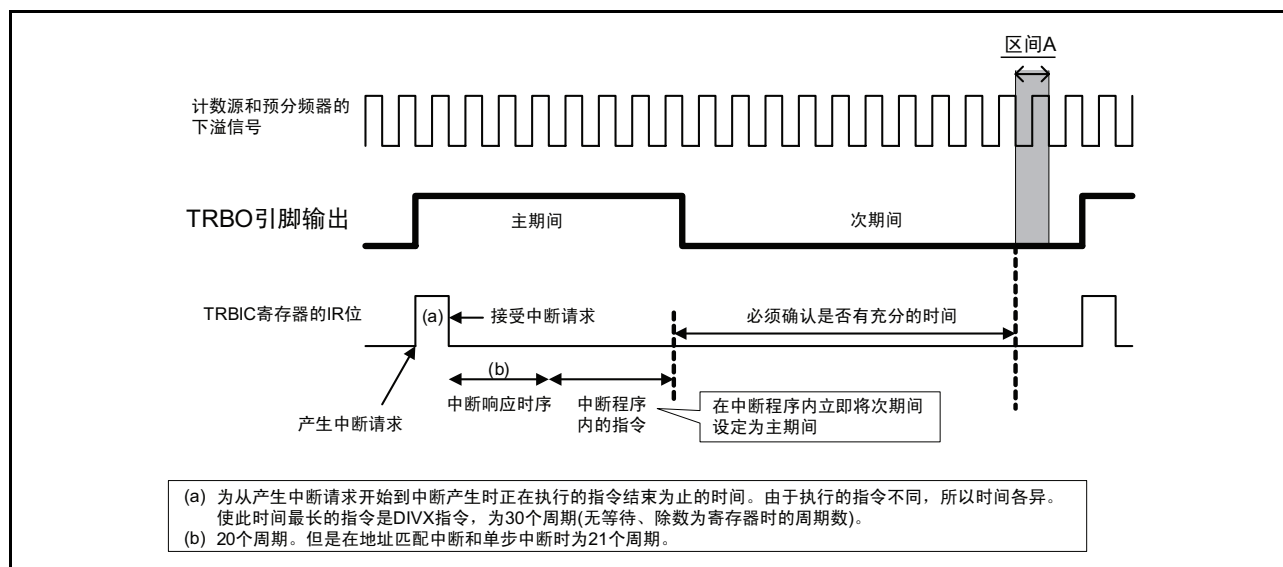


图 2.2 使用对策 (a) 的定时器 RB 中断的例

- 对策例 (b)

如图 2.3 所示，从 TRBO 引脚的输出电平检测主期间的开始，并在主期间开始后立即写 TRBSC 寄存器和 TRBPR 寄存器。必须在区间 A 之前结束写操作。另外，将 TRBO 引脚对应的端口寄存器的位设定为“0”（输入模式）后，读端口寄存器的位的值，读取值就为 TRBO 引脚的输出值。

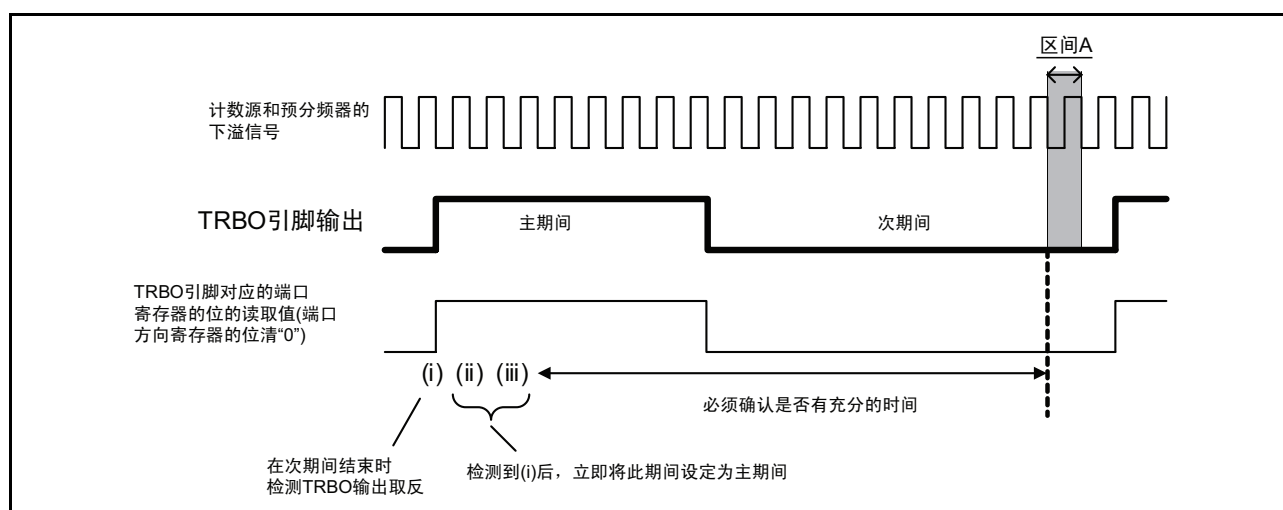


图 2.3 读对策 (b) 的 TRBO 引脚输出值的例

(3) 在主期间停止定时器计数时，必须使用 TRBCR 寄存器的 TSTOP 位。此时，TRBPRE 寄存器和 TRBPR 寄存器被初始化，变为复位后的值。

2.3.2.3 可编程单触发产生模式

在可编程单触发产生模式中，必须采取以下 2 个对策。

- (1) 在计数中（TCSTF 位为“1”）写 TRBPRES 寄存器和 TRBPR 寄存器时，必须注意以下几点。
 - 当连续写 TRBPRES 寄存器时，各写间隔至少空出 3 个计数源时钟周期。
 - 当连续写 TRBPR 寄存器时，各写间隔至少空出 3 个预分频器下溢周期。
- (2) TRBPRES 寄存器和 TRBPR 寄存器不能同时置“00h”。

2.3.2.4 可编程等待单触发产生模式

在可编程等待单触发产生模式中，必须采取以下 3 个对策。

- (1) 在计数中（TCSTF 位为“1”）写 TRBPRES 寄存器和 TRBPR 寄存器时，必须注意以下几点。
 - 当连续写 TRBPRES 寄存器时，各写间隔至少空出 3 个计数源时钟周期。
 - 当连续写 TRBPR 寄存器时，各写间隔至少空出 3 个预分频器下溢周期。
- (2) TRBPRES 寄存器和 TRBPR 寄存器不能同时置“00h”。
- (3) 必须按照以下所示的步骤设定 TRBSC 寄存器和 TRBPR 寄存器。
 - (a) 在计数开始条件为“INT0 引脚单触发”时
必须按照 TRBSC 寄存器 → TRBPR 寄存器的顺序进行设定。此时，必须从写 TRBPR 寄存器开始，到经过至少 0.5 个计数源周期后，向 INT0 引脚输入有效触发。
 - (b) 在计数开始条件为“对 TOSST 位写“1””时
必须按照 TRBSC 寄存器 → TRBPR 寄存器 → TOSST 位的顺序进行设定。此时，必须从写 TRBPR 寄存器开始，到经过至少 0.5 个计数源周期后，写 TOSST 位。

2.3.3 定时器 RD 使用时的注意事项

2.3.3.1 TRDSTR 寄存器

- 必须使用 MOV 指令写 TRDSTR 寄存器。
- CSELi (i=0 ~ 1) 位为 “0” (在 TRDi 寄存器和 TRDGRAi 寄存器的比较匹配时, 停止计数) 时, 即使对 TSTARTi 位写入 “0” (停止计数), 计数也不会停止, TSTARTi 位也不变化。
因此, 在 CSELi 位为 “0” 时, 如果不改变 TSTARTi 位而更改其他位, 就必须对 TSTARTi 位写入 “0”。
另外, 如果要通过程序使计数停止, 就必须对 CSELi 位写入 “1” 后, 对 TSTARTi 位写入 “0”。即使同时 (通过 1 条指令) 对 CSELi 位写入 “1”, 对 TSTARTi 位写入 “0” 也不能停止计数。
- 通过定时器 RD 输出使用 TRDIOji (j=A、B、C、D) 引脚时, 计数停止时的输出电平如表 2.1 所示。

表 2.1 计数器停止时的 TRDIOji (j=A、B、C、D) 引脚输出电平

停止计数的方法	计数停止时的 TRDIOji 引脚输出
CSELi 位为 “1” 时, 对 TSTARTi 写入 “0” 停止计数	保持以前的输出电平
CSELi 位为 “0” 时, 由 TRDi 寄存器和 TRDGRAi 寄存器的比较匹配, 停止计数	保持通过比较匹配输出变化后的电平

2.3.3.2 TRDi 寄存器 (i=0 ~ 1)

- 在 TRDSTR 寄存器的 TSTARTi 位为 “1” (开始计数) 的状态下, 如果要通过程序对 TRDi 寄存器写入数值, 就必须在与 TRDi 寄存器变为 “0000h” 的时序不重叠时写入。
TRDi 寄存器变为 “0000h” 的时序和对 TRDi 寄存器写入的时序重叠时, 数值不会被写入, TRDi 寄存器变为 “0000h”。
该注意事项在通过 TRDCRi 寄存器的 CCLR2 ~ CCLR0 位做以下选择时适用。
 - “001b” (在与 TRDGRAi 寄存器的比较匹配时, 通过 TRDi 清除)
 - “010b” (在和 TRDGRBi 寄存器的比较匹配时, 通过 TRDi 清除)
 - “011b” (同步清零)
 - “101b” (在与 TRDGRCi 寄存器的比较匹配时, 通过 TRDi 清除)
 - “110b” (在与 TRDGRDi 寄存器的比较匹配时, 通过 TRDi 清除)
- 写入 TRDi 寄存器后, 如果连续读取相同的寄存器, 有时会读取写入前的值。此时, 在写入和读取之间必须使用 JMP.B 指令。

程序例子 MOV.W #XXXXh, TRD0 ; 写入
 JMP.B L1 ; JMP.B 指令
 L1: MOV.W TRD0, DATA ; 读取

2.3.3.3 TRDSR_i 寄存器 (i=0 ~ 1)

写入 TRDSR_i 寄存器后，如果连续读取相同的寄存器，有时会读取写入前的值。此时，在写入和读取之间必须使用 JMP.B 指令。

```

程序例子          MOV.B    #XXh,TRDSR0      ; 写入
                   JMP.B    L1                ; JMP.B 指令
                   L1:      MOV.B    TRDSR0,DATA    ; 读取

```

2.3.3.4 切换计数源

- 必须在停止计数后切换计数源。

更改步骤

- (1) 将 TRDSTR 寄存器的 TSTART_i (i=0 ~ 1) 位清 “0” (停止计数)
- (2) 更改 TRDCR_i 寄存器的 TCK2 ~ TCK0 位

- 把计数源由 fOCO40M 切换到其他时钟，并且停止 fOCO40M 时，必须在设定切换时钟后，并且至少等待 2 个 f1 周期，再停止 fOCO40M。

更改步骤

- (1) 将 TRDSTR 寄存器的 TSTART_i (i=0 ~ 1) 位清 “0” (停止计数)
- (2) 更改 TRDCR_i 寄存器的 TCK2 ~ TCK0 位
- (3) 至少等待 2 个 f1 周期
- (4) 将 FRA0 寄存器的 FRA00 位清 “0” (停止高速内部振荡器)

2.3.3.5 输入捕捉功能

- 输入捕捉信号的脉宽必须设定为不低于 3 个定时器 RD 运行时钟 (参照“表 15.11 定时器 RD 的运行时钟”) 周期。
- 输入捕捉信号输入到 TRDIO_{ji} (i=0 ~ 1、j=A、B、C、D) 引脚，并且经过 2 ~ 3 个定时器 RD 运行时钟周期后，TRD_i 寄存器的值传送到 TRDGR_{ji} 寄存器 (在无数字滤波器时)。

2.3.3.6 复位同步 PWM 模式

- 用于马达控制时，必须在 OLS0=OLS1 条件下使用。
- 设定为复位同步 PWM 模式时，必须按照以下步骤设定。

更改步骤

- (1) 将 TRDSTR 寄存器的 TSTART0 位清 “0” (停止计数)
- (2) 将 TRDFCR 寄存器的 CMD1 ~ CMD0 位置 “00b” (定时器模式、PWM 模式、PWM3 模式)
- (3) 将 CMD1 ~ CMD0 置 “01b” (复位同步 PWM 模式)
- (4) 再次设定其他与定时器 RD 相关的寄存器

2.3.3.7 互补 PWM 模式

- 用于马达控制时，必须在 OLS0=OLS1 条件下使用。
 - 更改 TRDFCR 寄存器的 CMD1 ~ CMD0 时，必须按照以下步骤。
更改步骤：选择互补 PWM 模式时（包括再次设定）或者在互补 PWM 模式下更改从缓冲寄存器向通用寄存器传送的时序
 - (1) 将 TRDSTR 寄存器的 TSTART0 位和 TSTART1 位都清“0”（停止计数）
 - (2) 将 TRDFCR 寄存器的 CMD1 ~ CMD0 位都置“00b”（定时器模式、PWM 模式、PWM3 模式）
 - (3) 将 CMD1 ~ CMD0 位置“10b”或“11b”（互补 PWM 模式）
 - (4) 再次设定其他与定时器 RD 相关的寄存器
- 更改步骤：中止互补 PWM 模式时
- (1) 将 TRDSTR 寄存器的 TSTART0 位和 TSTART1 位都清“0”（停止计数）
 - (2) 将 CMD1 ~ CMD0 位置“00b”（定时器模式、PWM 模式、PWM3 模式）
- 运行过程中不要写入 TRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1 寄存器。
更改 PWM 波形时，必须把写入 TRDGRD0、TRDGRC1、TRDGRD1 寄存器的数值，通过缓冲器传送到 TRDGRB0、TRDGRA1、TRDGRB1 寄存器。
但是，写入 TRDGRD0、TRDGRC1、TRDGRD1 寄存器时，先将 BFD0、BFC1、BFD1 位清“0”（通用寄存器），然后将 BFD0、BFC1、BFD1 位置“1”（缓冲寄存器）。
不能更改 PWM 周期。
 - 如果设定 TRDGRA0 寄存器的设定值为 m，TRD0 寄存器在从递增计数变为递减计数时，如下计数：
m-1→m→m+1→m→m-1。
m→m+1 时，IMFA 位变为“1”。另外，TRDFCR 寄存器的 CMD1 ~ CMD0 位为“11b”（互补 PWM 模式、在 TRD0 和 TRDGRA0 寄存器比较匹配时传送缓冲数据）时，缓冲寄存器（TRDGRD0、TRDGRC1、TRDGRD1）的内容传送到通用寄存器（TRDGRB0、TRDGRA1、TRDGRB1）。
在 m+1→m→m-1 运行过程中 IMFA 位不变化，也不向 TRDGRA0 寄存器等传送数据。

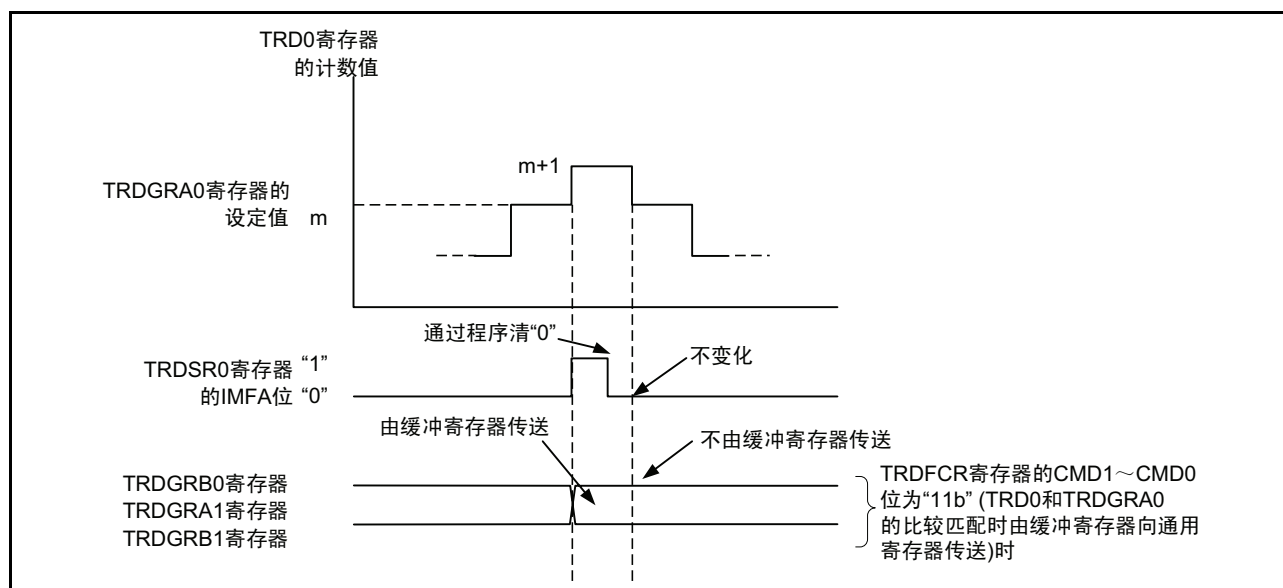


图 2.4 互补 PWM 模式时的 TRD0 和 TRDGRA0 寄存器比较匹配时的运行

- TRD1 在从递增计数变为递减计数时，如下计数：1→0→FFFFh→0→1。
因 1→0→FFFFh 的运行，UDF 位变为“1”。另外，TRDFCR 寄存器的 CMD1 ~ CMD0 位为“10b”（互补 PWM 模式，在 TRD1 下溢时传送缓冲数据）时，缓冲寄存器（TRDGRD0、TRDGRC1、TRDGRD1）的内容传送到通用寄存器（TRDGRB0、TRDGRA1、TRDGRB1）。在 FFFFh→0→1 的运行过程中，不向 TRDGRB0 寄存器等传送数据。另外，此时 OVF 位不变化。

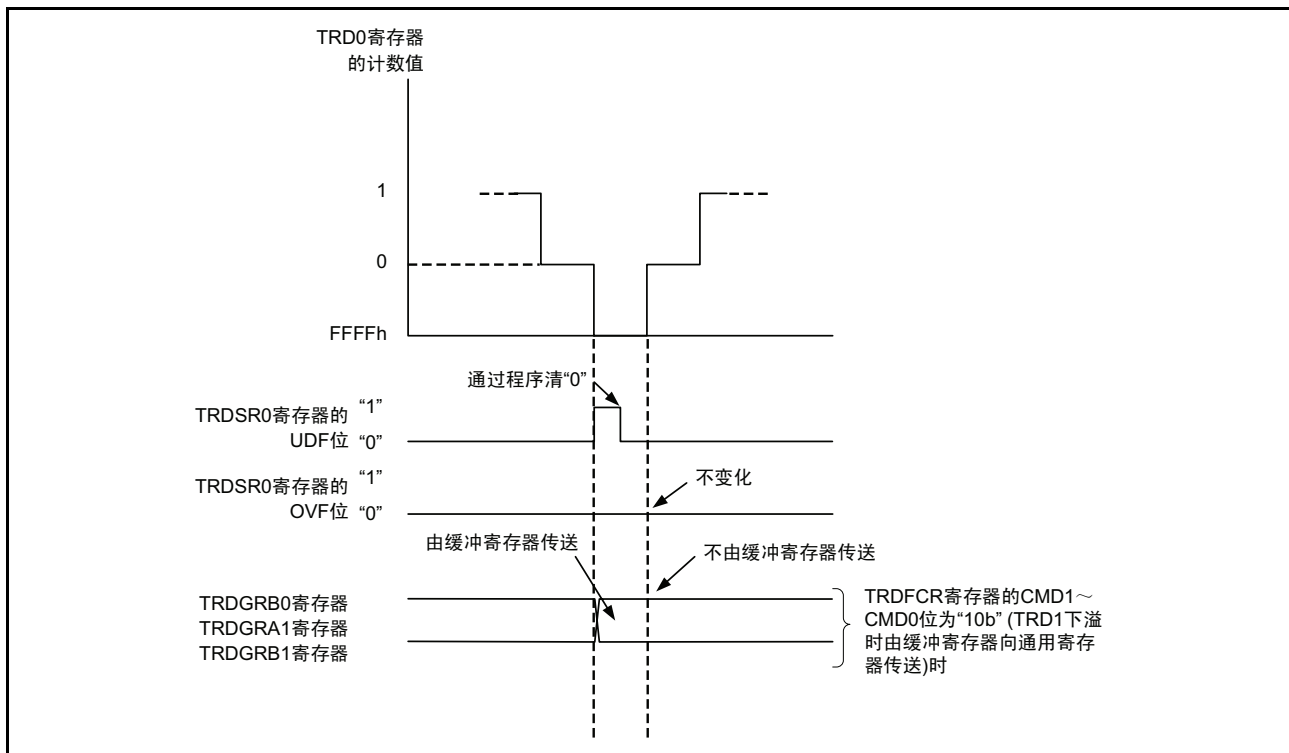


图 2.5 互补 PWM 模式时的 TRD1 下溢时的运行

- 必须通过 TRDFCR 寄存器的 CMD1 ~ CMD0 位选择由缓冲寄存器向通用寄存器传送数据的时序。但是，在以下情况中，与 CMD1 ~ CMD0 位的值无关，按以下时序传送。

缓冲寄存器的值 $\geq$ TRDGRA0 寄存器的值时

在 TRD1 寄存器下溢时传送。

然后，如果把大于等于“0001h”且小于 TRDGRA0 寄存器的值写入缓冲寄存器，则在第一次设定后的 TRD1 寄存器下溢时，向通用寄存器传送数据。此后，以由 CMD1 ~ CMD0 位选择的时序传送数据。

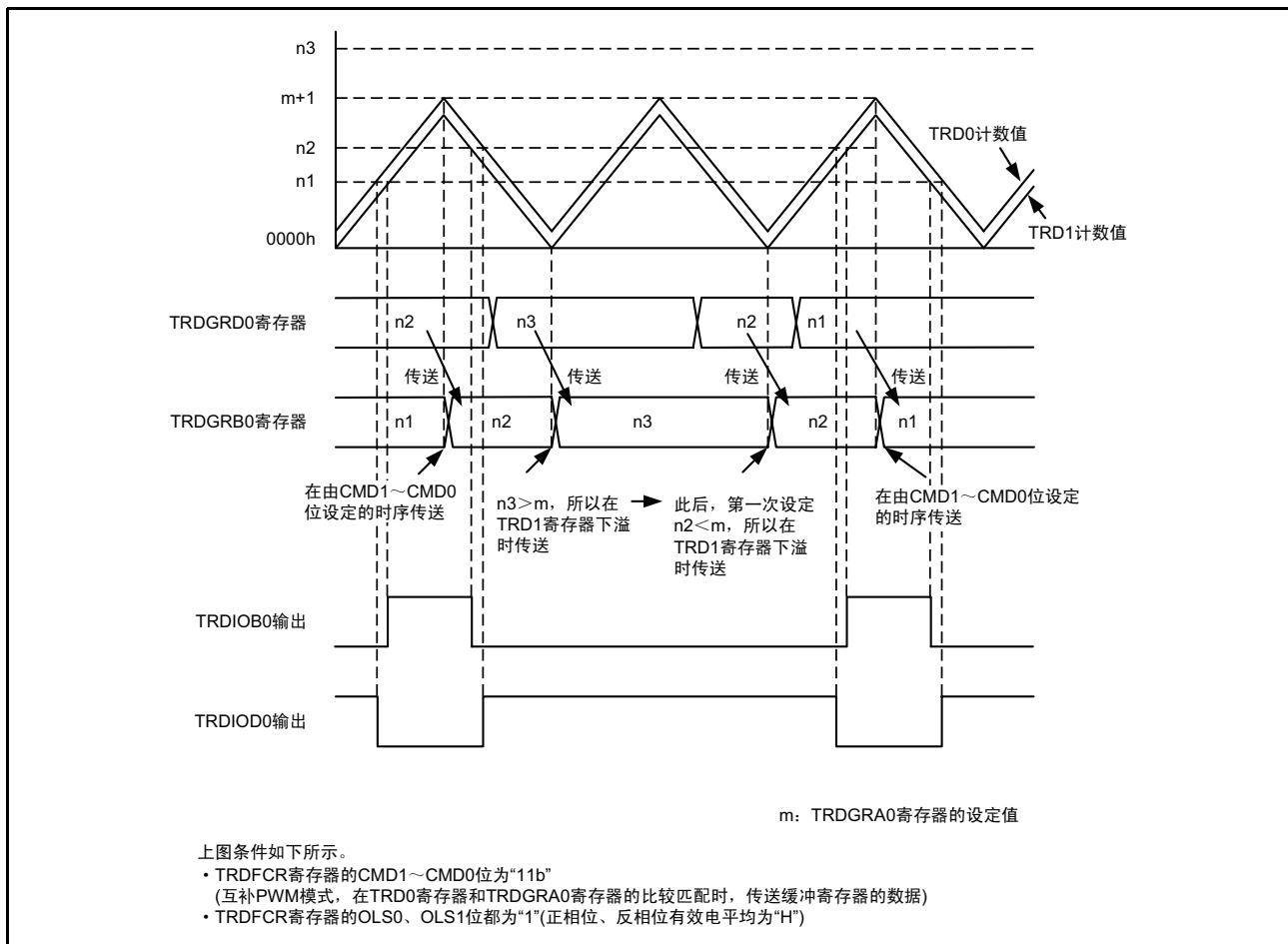


图 2.6 互补 PWM 模式时的缓冲寄存器的值 $\geq$ TRDGRA0 寄存器的值时的运行例子

缓冲寄存器的值为“0000h”时

在 TRD0 和 TRDGRA0 寄存器比较匹配时传送。

然后，如果将大于等于“0001h”且小于 TRDGRA0 寄存器的值设定到缓冲寄存器，则在第一次设定后的 TRD0 和 TRDGRA0 寄存器比较匹配时，向通用寄存器传送数据。此后，在通过由 CMD1 ~ CMD0 位选择的时序传送数据。

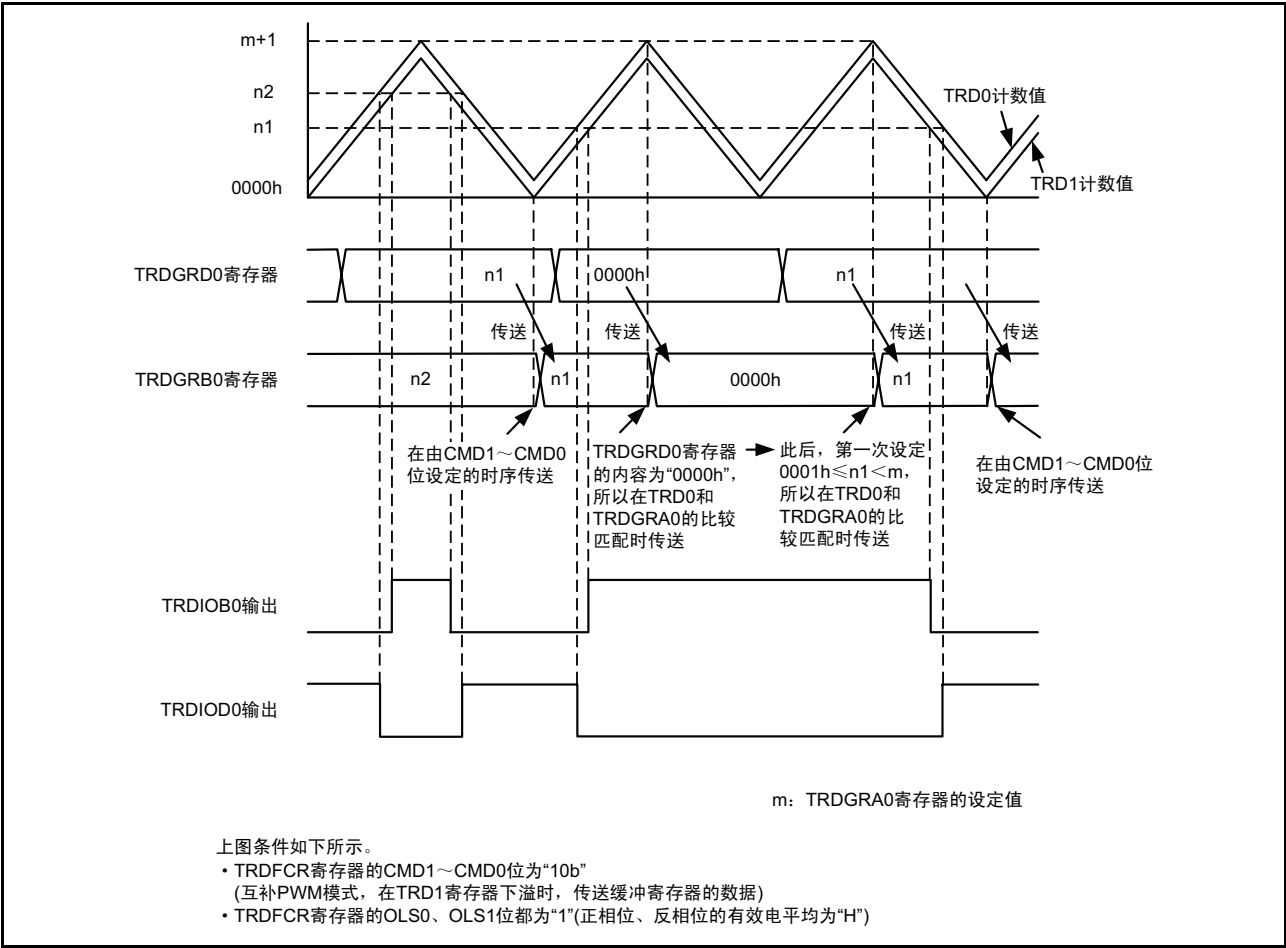


图 2.7 互补 PWM 模式时的缓冲寄存器的值为“0000h”时的运行例子

2.3.3.8 计数源 fOCO40M

关于计数源 fOCO40M，能够在电源电压 VCC=3.0 ~ 5.5V 的范围内使用。在此外的电压上，不要将 TRDCR0、TRDCR1 寄存器的 TCK2 ~ TCK0 位置“110b”（选择 fOCO40M 为计数源）。

2.3.4 定时器 RE 使用时的注意事项

2.3.4.1 开始、停止计数

在定时器 RE 上有指示开始或停止计数的 TSTART 位和显示开始或停止计数的 TCSTF 位。TSTART 位和 TCSTF 位都在寄存器 TRECR1 上。

将 TSTART 位置“1”（开始计数），定时器 RE 开始计数，TCSTF 位变为“1”（开始计数）。从将 TSTART 位置“1”后，到 TCSTF 位变为“1”之前，最多花费 2 个计数源周期。其间，不要存取 TCSTF 位以外的与定时器 RE 相关的寄存器（注 1）。

同样，如果将 TSTART 位清“0”（停止计数），定时器 RE 就停止计数，TCSTF 位变为“0”（停止计数）。从将 TSTART 位清“0”后，到 TCSTF 位变为“0”之前，最多花费 2 个计数源周期。其间，不要存取 TCSTF 位以外的与定时器 RE 相关的寄存器。

注 1. 与定时器 RE 相关的寄存器：TRESEC、TREMIN、TRECR1、TRECR2、TRECSR

2.3.4.2 设定寄存器

在定时器 RE 停止时，必须写入以下的寄存器或位。

- TRESEC、TREMIN、TRECR2 寄存器
- TRECR1 寄存器的 INT 位
- TRECSR 寄存器的 RCS0 ~ RCS2 位

定时器 RE 停止是指 TRECR1 寄存器的 TSTART 位和 TCSTF 位都为“0”（定时器 RE 停止）的状态。

另外，必须在设定上述寄存器或位的最后设定 TRECR2 寄存器（定时器 RE 开始计数之前）。

2.4 串行接口使用时的注意事项

- 与时钟同步串行 I/O 模式和时钟异步串行 I/O 模式无关，在读取 UiRB(i=0 ~ 1) 寄存器时，必须以 16 位单位进行。

在读取 UiRB 寄存器的高位字节时，UiRB 寄存器的 PER、FER 位和 UiC1 寄存器的 RI 位变为“0”。

读取 UiRB 寄存器后，通过读取的值确认接收错误。

<读取接收缓冲寄存器的程序例子>

```
MOV.W    00A6H, R0      ; 读取 U0RB 寄存器
```

- 在传送数据位长度为 9 位的时钟异步串行 I/O 模式中写 UiTB 寄存器时，必须以 8 位单位按高位字节 → 低位字节的顺序进行。

<写入发送缓冲寄存器的程序例子>

```
MOV.B    #XXH, 00A3H    ; 写入 U0TB 寄存器的高位字节
MOV.B    #XXH, 00A2H    ; 写入 U0TB 寄存器的低位字节
```

2.5 时钟同步串行接口

2.5.1 带片选的时钟同步串行 I/O 使用时的注意事项

使用带片选的时钟同步串行 I/O 时，必须将 PMR 寄存器的 IICSEL 位清 “0”（选择带片选的时钟同步串行 I/O 功能）。

2.5.2 I²C 总线接口使用时的注意事项

在使用 I²C 总线接口时，必须将 PMR 寄存器的 IICSEL 位置 “1”（选择 I²C 总线接口功能）。

2.5.2.1 多主器件

在多主器件使用 I²C 总线接口时，必须执行以下的对策。

- 传送速率的对策
必须将传送速率设定为大于等于其他主器件的最快传送速率的 1/1.8。例如，当其他主器件的最快速率是 400kbps 时，本单片机的 I²C 总线的传送速率必须设定在大于等于 223kbps（= 400/1.8）。
- 设定 ICCR1 寄存器的 MST 位、TRS 位时的对策
 - A. 设定 MST 位、TRS 位时，必须使用 MOV 指令。
 - B. 如果仲裁失败，请确认 MST 位、TRS 位的内容。如果 MST 位不为 “0” 且 TRS 位也不为 “0”（从属接收模式）时，必须将 MST 位和 TRS 位都设定为 “0”。

2.5.2.2 主接收模式

当 I²C 总线接口在主接收模式时，必须执行以下对策中的任何一个。

1. 在主接收模式中，ICSR 寄存器的 RDRF 位为 “1” 时，必须读 ICDRR 寄存器直到第 8 个时钟开始上升为止。
2. 在主接收模式中，将 ICCR1 寄存器的 RCVD 位置 “1”（禁止下一个接收运行），通过每 1 个字节的通信进行处理。

2.6 硬件 LIN 使用时的注意事项

头字段和应答字段的超时处理，必须以检测 Synch Break 中断为起点，使用其他定时器进行时间测量。

2.7 A/D 转换器使用时的注意事项

- 对 ADCON0 寄存器的各位 (bit6 除外)、ADCON1 寄存器的各位以及 ADCON2 寄存器的 SMP 位的写操作, 必须在 A/D 转换停止时 (产生触发前) 进行。
尤其在将 VCUT 位从 “0” (未连接 VREF) 置 “1” (连接 VREF) 时, 必须在至少经过 1 μ s 后开始 A/D 转换。
- 在更改 A/D 运行模式后, 必须重新选择模拟输入引脚。
- 在单次模式使用时
必须在确认 A/D 转换结束后, 读 AD 寄存器 (能通过 ADIC 寄存器的 IR 位或者 ADCON0 寄存器的 ADST 位判断 A/D 转换的结束)。
- 在重复模式使用时
对 A/D 转换中的 CPU 时钟选择大于等于 A/D 转换器运行时钟 ϕ AD 的频率。
对 ϕ AD 不能选择 fOCO-F。
- 在 A/D 转换运行期间, 当通过程序将 ADCON0 寄存器的 ADST 位清 “0” (停止 A/D 转换) 来强制结束时, A/D 转换器的转换结果不定。在通过程序将 ADST 位清 “0” 的情况下, 不能使用 AD 寄存器的值。
- 必须在 P4_2/VREF 引脚和 AVSS 引脚之间连接 0.1 μ F 的电容。
- A/D 转换中不能转移到停止模式。
- A/D 转换中, 在 CM0 寄存器的 CM02 位为 “1” (等待模式时, 外围功能时钟停止) 的状态下, 不能转移到等待模式。

2.8 闪存使用时的注意事项

2.8.1 CPU 改写模式

2.8.1.1 运行速度

在进入 CPU 改写模式（EW0 模式）前，必须通过 CM0 寄存器的 CM06 位、CM1 寄存器的 CM16 ~ CM17 位将 CPU 时钟设定在小于等于 5MHz。

EW1 模式不需要此注意事项。

2.8.1.2 使用禁止指令

在 EW0 模式中，因为以下的指令参照闪存内的数据，所以不能使用：

UND 指令、INTO 指令、BRK 指令

2.8.1.3 中断

EW0 模式时的中断如表 2.2、EW1 模式时的中断如表 2.3 所示。

表 2.2 EW0 模式时的中断

模式	状态	在接受可屏蔽的中断请求时	在接受看门狗定时器、振荡停止检测、电压监视 2 的中断请求时
EW0	自动擦除中	通过将向量分配到 RAM 后可使用。	如果接受中断请求，就立即强制停止自动擦除或者自动编程，复位闪存。在一定时间后重新启动闪存，然后开始中断处理。 因为强制停止，可能从自动擦除中的块或者自动编程中的地址不能读取正常值，所以必须在重新启动闪存后再次执行自动擦除，并确认正常结束。 因为看门狗定时器即使在命令运行中也不停止，所以有可能产生中断请求。必须定期初始化看门狗定时器。
	自动编程		

注 1. 因为地址匹配中断的向量被分配在 ROM 中，所以不能在执行命令中使用。

注 2. 因为给块 0 分配了固定向量，所以不能在自动擦除块 0 中使用非屏蔽中断。

表 2.3 EW1 模式的中断

模式	状态	在接受可屏蔽的中断请求时	在接受看门狗定时器、振荡停止检测、电压监视 2 的中断请求时
EW1	自动擦除中 (擦除挂起功能有效)	在经过 td(SR-SUS) 时间后, 停止自动擦除, 执行中断处理。在结束中断处理后, 能通过将 FMR4 寄存器的 FMR41 位清 “0” (重新启动擦除), 重新开始自动擦除。	如果接受中断请求, 就立即强制停止自动擦除或者自动编程, 复位闪存。在一定时间后重新启动闪存, 然后开始中断处理。 因为强制停止, 可能从自动擦除中的块或者自动编程中的地址不能读取正常值, 所以必须在重新启动闪存后再次执行自动擦除, 并确认正常结束。因为看门狗定时器即使在命令运行中也不停止, 所以有可能产生中断请求。必须使用擦除挂起功能定期初始化看门狗定时器。
	自动擦除中 (擦除挂起功能无效)	优先自动擦除, 让中断请求等待。在自动擦除结束后, 执行中断处理。	
	自动编程中 (编程挂起功能有效)	在经过 td(SR-SUS) 时间后, 停止自动编程, 执行中断处理。在中断处理结束后, 能通过将 FMR4 寄存器的 FMR42 位清 “0” (重新启动编程), 重新开始自动编程。	
	自动编程中 (编程挂起功能无效)	优先自动编程, 让中断请求等待。在自动编程结束后, 执行中断处理。	

注 1. 因为地址匹配中断的向量被分配在 ROM 中, 所以不能在执行命令中使用。

注 2. 因为给块 0 分配了固定向量, 所以不能在自动擦除块 0 中使用非屏蔽中断。

2.8.1.4 存取方法

在将 FMR01 位、FMR02 位、FMR11 位置 “1” 时, 必须在给对象位写 “0” 后连续写 “1”。另外, 在写入 “0” 后到写 “1” 前, 不能产生中断。

2.8.1.5 用户 ROM 区的改写

如果在使用 EW0 模式对保存改写控制程序的块进行改写中途电源电压下降, 改写控制程序就不能被正常改写, 所以此后就可能无法改写闪存。此块的改写必须使用标准串行输入 / 输出模式。

2.8.1.6 编程

不能对已编程的地址进行追加写入。

2.8.1.7 转移到停止模式、等待模式

不能在擦除挂起中转移到停止、等待模式。

2.9 有关噪声的注意事项

2.9.1 作为噪声和门锁对策，在 VCC 和 VSS 布线之间插入旁路电容

必须在 VCC 引脚和 VSS 引脚之间以最短距离使用较粗的布线连接旁路电容（0.1 μ F 左右）。

2.9.2 端口控制寄存器的噪声误动作对策

在严格的噪声等试验中，如果受到外部噪声（主要是电源方面的噪声），即使 IC 内部的噪声对策电路也可能无法完全对应。此时，和端口有关的寄存器值可能发生变化。

作为此时的程序对策，建议定期重新设定端口寄存器、端口方向寄存器以及上拉控制寄存器。但是，如果在中断处理中进行转换端口输出等控制时，由于与重新设定处理之间可能会产生竞争，因此必须在充分探讨控制处理的基础上，进行重新设定处理。

3. 中央处理器（CPU）

CPU 的寄存器如图 3.1 所示。CPU 有 13 个寄存器，其中 R0、R1、R2、R3、A0、A1、FB 构成寄存器组。寄存器组有 2 组。

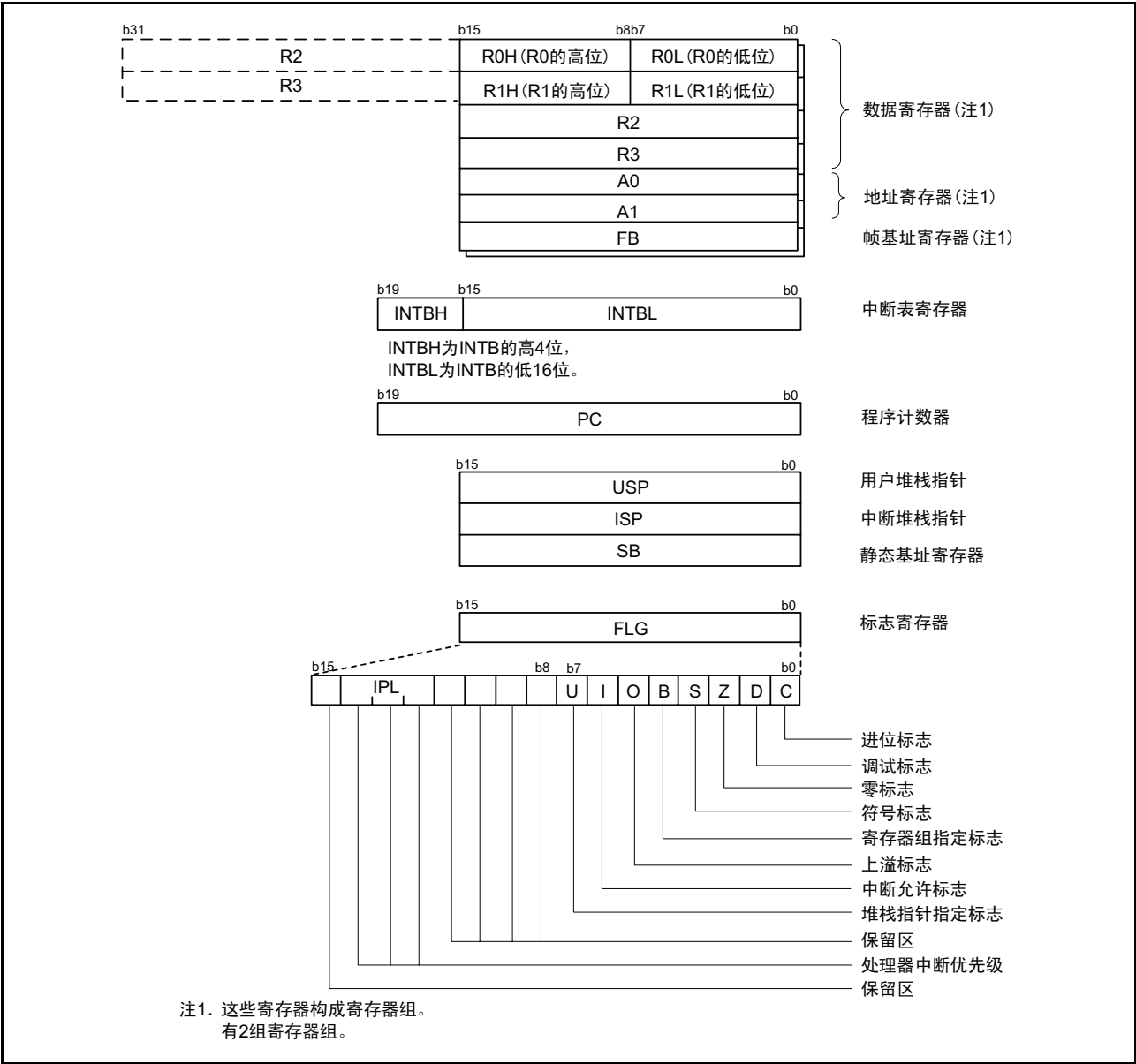


图 3.1 CPU 的寄存器

3.1 数据寄存器 (R0、R1、R2、R3)

R0 由 16 位构成，主要用于传送、算术和逻辑运算。R1 ~ R3 和 R0 相同。

能将 R0 的高位 (R0H) 和低位 (R0L) 分别作为 8 位数据寄存器使用，R1H、R1L 和 R0H、R0L 相同。能将 R2 和 R0 组合作为 32 位数据寄存器 (R2R0) 使用，R3R1 和 R2R0 同样。

3.2 地址寄存器 (A0、A1)

A0 由 16 位构成，用于地址寄存器间接寻址和地址寄存器相对寻址。另外，还用于传送、算术和逻辑运算。A1 和 A0 相同。

能将 A1 和 A0 组合作为 32 位地址寄存器 (A1A0) 使用。

3.3 帧基址寄存器 (FB)

FB 由 16 位构成，用于 FB 相对寻址。

3.4 中断表寄存器 (INTB)

INTB 由 20 位构成，表示可变中断向量表的起始地址。

3.5 程序计数器 (PC)

PC 由 20 位构成，表示下次执行的指令的地址。

3.6 用户堆栈指针 (USP) 和中断堆栈指针 (ISP)

堆栈指针 (SP) 有 USP 和 ISP 两种，都由 16 位构成。

能通过 FLG 的 U 标志，选择 USP 和 ISP。

3.7 静态基址寄存器 (SB)

SB 由 16 位构成，用于 SB 相对寻址。

3.8 标志寄存器 (FLG)

FLG 由 11 位构成，表示 CPU 状态。

3.8.1 进位标志 (C 标志)

保存由算术逻辑运算器产生的进位、借位和移出位等。

3.8.2 调试标志 (D 标志)

D 标志是调试专用标志，必须清 “0”。

3.8.3 零标志 (Z 标志)

在运算结果为 0 时为 “1”，否则为 “0”。

3.8.4 符号标志 (S 标志)

在运算结果为负时为 “1”，否则为 “0”。

3.8.5 寄存器组指定标志 (B 标志)

在 B 标志为 “0” 时，指定寄存器组 0；在 B 标志为 “1” 时，指定寄存器组 1。

3.8.6 上溢标志 (O 标志)

在运算结果上溢时为 “1”，否则为 “0”。

3.8.7 中断允许标志 (I 标志)

它是允许屏蔽中断的标志。

在 I 标志为 “0” 时，禁止可屏蔽中断；在 I 标志为 “1” 时，允许可屏蔽中断。

如果接受中断请求，I 标志就变为 “0”。

3.8.8 堆栈指针指定标志 (U 标志)

在 U 标志为 “0” 时，指定 ISP；在 U 标志为 “1” 时，指定 USP。

在接受硬件中断请求或者执行软件中断号 0 ~ 31 的 INT 指令时，U 标志变为 “0”。

3.8.9 处理器中断优先级 (IPL)

IPL 由 3 位构成，指定 0 ~ 7 级的 8 个处理器中断优先级。

如果请求的中断优先级高于 IPL，就允许该中断请求。

3.8.10 保留区

只能写 “0”，读时值不定。

4. 存储器

4.1 R8C/20 群

R8C/20群的存储器分配图如图4.1所示。地址空间为从地址00000h到地址FFFFFFh的1M字节。内部ROM分配在从地址0FFFFh向低位地址方向延伸的区域。例如，48K字节的内部ROM分配在地址04000h到地址0FFFFh之间。

固定中断向量表分配在地址0FFDCh到地址0FFFFh之间，在这里，保存中断程序的起始地址。

内部RAM分配在从地址00400h向高位地址方向延伸的区域。例如，2.5K字节的内部RAM分配在地址00400h到地址00DFFh之间。内部RAM除了保存数据以外，还作为子程序调用和中断时的堆栈使用。

SFR分配在地址00000h到地址002FFh之间。在这里，分配了外围功能的控制寄存器。由于在SFR中未被分配的区域全部为保留区，因此用户不能使用。

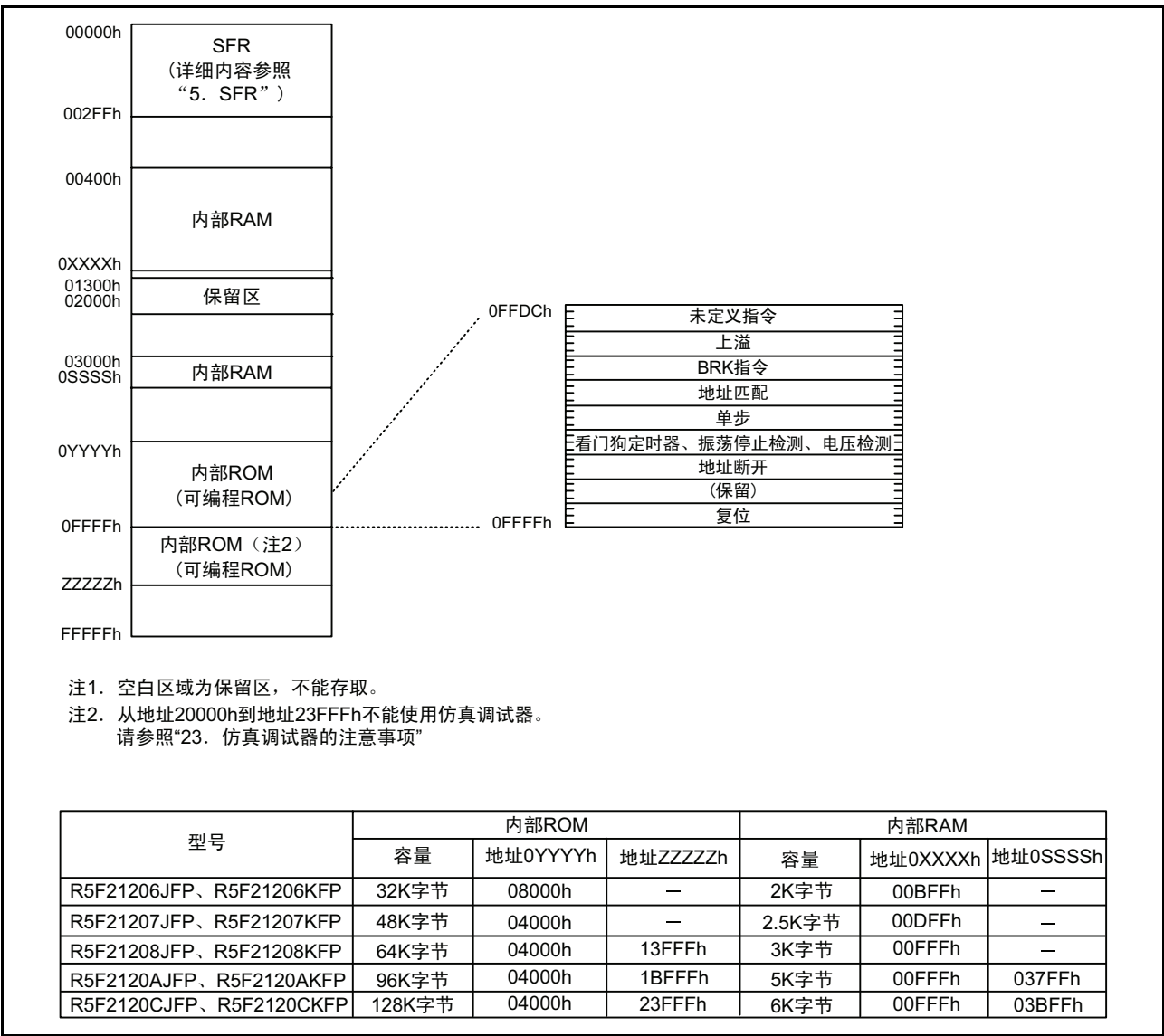


图 4.1 R8C/20 群的存储器分配图

4.2 R8C/21 群

R8C/21 群的存储器分配图如图 4.2 所示。地址空间为从地址 00000h 到地址 FFFFFh 的 1M 字节。内部 ROM(可编程 ROM) 分配在从地址 0FFFFh 向低位地址方向延伸的区域。例如，48K 字节的内部 ROM 分配在地址 04000h 到地址 0FFFFh 之间。

固定中断向量表分配在地址 0FFDCh 到地址 0FFFFh 之间，在这里，保存中断程序的起始地址。

内部 ROM(数据闪存) 分配在地址 02400h 到地址 02BFFh 之间。

内部 RAM 分配在从地址 00400h 向高位地址方向延伸的区域。例如，2.5K 字节的内部 RAM 分配在地址 00400h 到地址 00DFFh。内部 RAM 除了保存数据以外，还作为子程序调用和中断时的堆栈使用。

SFR 分配在地址 00000h 到地址 002FFh 之间。在这里，分配了外围功能的控制寄存器。由于在 SFR 中未被分配的区域全部为保留区，因此用户不能使用。

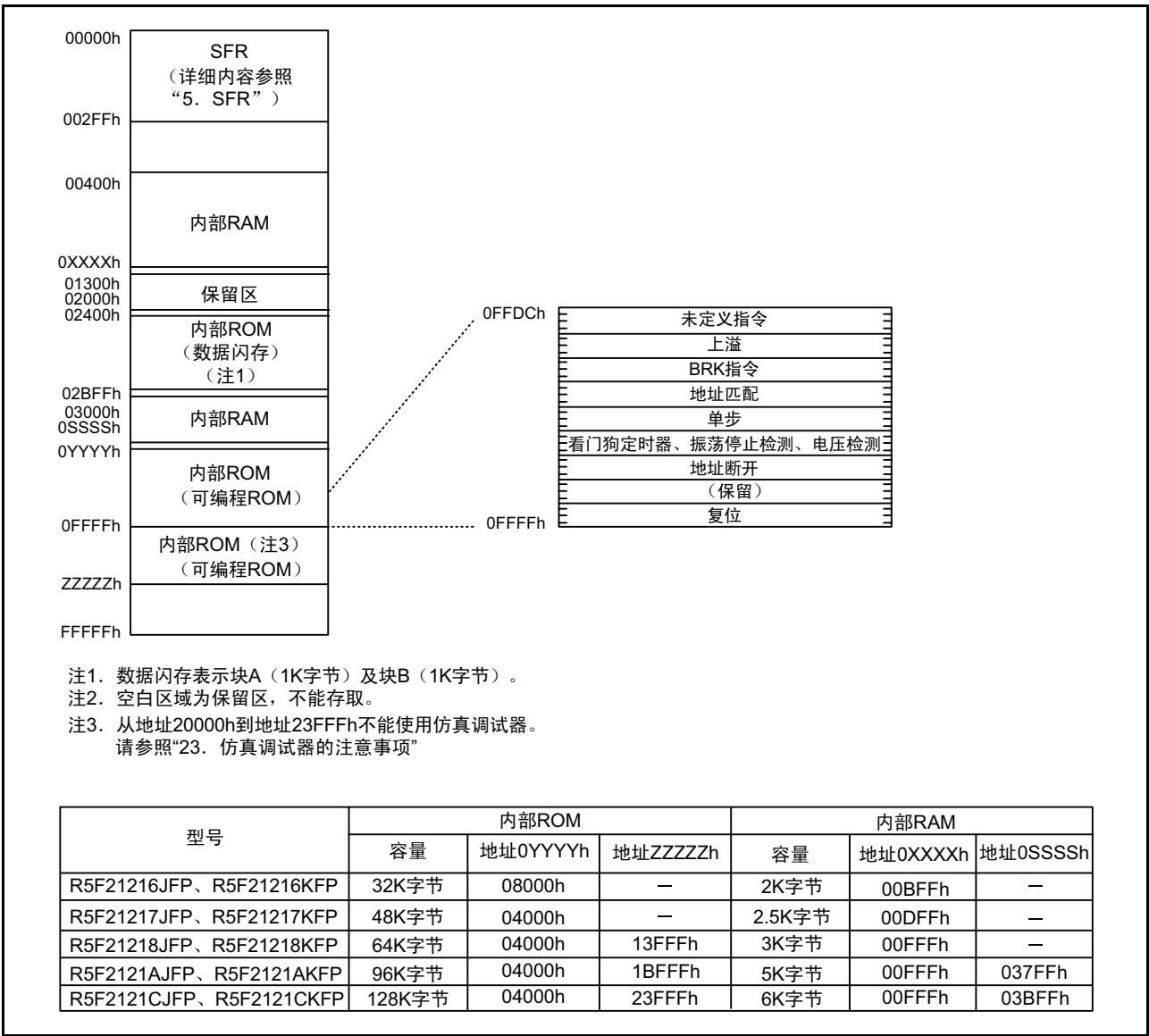


图 4.2 R8C/21 群的存储器分配图

5. SFR

SFR(Special Function Register) 是外围功能控制寄存器。SFR 一览表如表 5.1 ~ 表 5.6 所示。

表 5.1 SFR 一览表 (1) (注 1)

地址	寄存器	符号	复位后的值
0000h			
0001h			
0002h			
0003h			
0004h	处理器模式寄存器 0	PM0	00h
0005h	处理器模式寄存器 1	PM1	00h
0006h	系统时钟控制寄存器 0	CM0	01101000b
0007h	系统时钟控制寄存器 1	CM1	00100000b
0008h			
0009h			
000Ah	保护寄存器	PRCR	00h
000Bh			
000Ch	振荡停止检测寄存器	OCD	0000100b
000Dh	看门狗定时器复位寄存器	WDTR	XXh
000Eh	看门狗定时器开始寄存器	WDTS	XXh
000Fh	看门狗定时器控制寄存器	WDC	00X11111b
0010h	地址匹配中断寄存器 0	RMAD0	00h
0011h			00h
0012h			00h
0013h	地址匹配中断允许寄存器	AIER	00h
0014h	地址匹配中断寄存器 1	RMAD1	00h
0015h			00h
0016h			00h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	计数源保护模式寄存器	CSPR	00h 10000000b (注 8)
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速内部振荡器控制寄存器 0	FRA0	00h
0024h	高速内部振荡器控制寄存器 1	FRA1	出厂值
0025h	高速内部振荡器控制寄存器 2	FRA2	00h
0026h			
0030h			
0031h	电压检测寄存器 1 (注 2)	VCA1	00001000b
0032h	电压检测寄存器 2 (注 6)	VCA2	00h (注 3) 01000000b (注 4)
0033h			
0034h			
0035h			
0036h	电压监视 1 电路控制寄存器 (注 7)	VW1C	0000X000b (注 3) 0100X001b (注 4)
0037h	电压监视 2 电路控制寄存器 (注 5)	VW2C	00h
0038h			
0039h			
003Fh			

注 1. 空白部分为保留区，不能存取。

注 2. 在软件复位、看门狗定时器复位、电压监视 2 复位时不变。

注 3. 在 OFS 寄存器的 LVD1ON 位为 “1” 时。

注 4. 在上电复位、电压监视 1 复位、或 OFS 寄存器的 LVD1ON 位为 “0” 时。

注 5. 在软件复位、看门狗定时器复位、电压监视 2 复位时，b2 和 b3 不变。

注 6. 在软件复位、看门狗定时器复位、电压监视 2 复位时，b7 不变。

注 7. 在软件复位、看门狗定时器复位、电压监视 2 复位时，除了 b0 和 b6 以外都不变。

注 8. OFS 寄存器的 CSPOINI 位为 “0” 时。

X: 不定。

表 5.2 SFR 一览表 (2) (注 1)

地址	寄存器	符号	复位后的值
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h	定时器 RD0 中断控制寄存器	TRD0IC	XXXXX000b
0049h	定时器 RD1 中断控制寄存器	TRD1IC	XXXXX000b
004Ah	定时器 RE 中断控制寄存器	TREIC	XXXXX000b
004Bh			
004Ch			
004Dh	键输入中断控制寄存器	KUPIC	XXXXX000b
004Eh	A/D 转换中断控制寄存器	ADIC	XXXXX000b
004Fh	SSU 中断控制寄存器 / IIC 总线中断控制寄存器 (注 2)	SSUIC/IICIC	XXXXX000b
0050h			
0051h	UART0 发送中断控制寄存器	S0TIC	XXXXX000b
0052h	UART0 接收中断控制寄存器	S0RIC	XXXXX000b
0053h	UART1 发送中断控制寄存器	S1TIC	XXXXX000b
0054h	UART1 接收中断控制寄存器	S1RIC	XXXXX000b
0055h	INT2 中断控制寄存器	INT2IC	XX00X000b
0056h	定时器 RA 中断控制寄存器	TRAIC	XXXXX000b
0057h			
0058h	定时器 RB 中断控制寄存器	TRBIC	XXXXX000b
0059h	INT1 中断控制寄存器	INT1IC	XX00X000b
005Ah	INT3 中断控制寄存器	INT3IC	XX00X000b
005Bh			
005Ch			
005Dh	INT0 中断控制寄存器	INT0IC	XX00X000b
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注 1. 空白部分为保留区，不能存取。

注 2. 能用 PMR 寄存器的 IICSEL 位选择。

X: 不定。

表 5.3 SFR 一览表 (3) (注 1)

地址	寄存器	符号	复位后的值
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			XXh
0097h			
0098h			
0099h			XXh
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0 发送 / 接收模式寄存器	U0MR	00h
00A1h	UART0 位速率寄存器	U0BRG	XXh
00A2h	UART0 发送缓冲寄存器	U0TB	XXh
00A3h			XXh
00A4h	UART0 发送 / 接收控制寄存器 0	U0C0	00001000b
00A5h	UART0 发送 / 接收控制寄存器 1	U0C1	00000010b
00A6h	UART0 接收缓冲寄存器	U0RB	XXh
00A7h			XXh
00A8h	UART1 发送 / 接收模式寄存器	U1MR	00h
00A9h	UART1 位速率寄存器	U1BRG	XXh
00AAh	UART1 发送缓冲寄存器	U1TB	XXh
00ABh			XXh
00ACh	UART1 发送 / 接收控制寄存器 0	U1C0	00001000b
00ADh	UART1 发送 / 接收控制寄存器 1	U1C1	00000010b
00AEh	UART1 接收缓冲寄存器	U1RB	XXh
00AFh			XXh
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS 控制寄存器 H/IIC 总线控制寄存器 1 (注 2)	SSCRH/ICCR1	00h
00B9h	SS 控制寄存器 L/IIC 总线控制寄存器 2 (注 2)	SSCRL/ICCR2	01111101b
00BAh	SS 模式寄存器 /IIC 总线模式寄存器 (注 2)	SSMR/ICMR	00011000b
00BBh	SS 允许寄存器 /IIC 总线中断允许寄存器 (注 2)	SSER/CIER	00h
00BCh	SS 状态寄存器 /IIC 总线状态寄存器 (注 2)	SSSR/ICSR	00h/0000X000b
00BDh	SS 模式寄存器 2/ 从属地址寄存器 (注 2)	SSMR2/SAR	00h
00BEh	SS 发送数据寄存器 /IIC 总线发送数据寄存器 (注 2)	SSTD/ICDRT	FFh
00BFh	SS 接收数据寄存器 /IIC 总线接收数据寄存器 (注 2)	SSDR/ICDRR	FFh

注 1. 空白部分为保留区，不能存取。

注 2. 能用 PMR 寄存器的 IICSEL 位选择。

X: 不定。

表 5.4 SFR 一览表 (4) (注 1)

地址	寄存器	符号	复位后的值
00C0h	A/D 寄存器	AD	XXh
00C1h			XXh
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D 控制寄存器 2	ADCON2	00h
00D5h			
00D6h	A/D 控制寄存器 0	ADCON0	00h
00D7h	A/D 控制寄存器 1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h	端口 P0 寄存器	P0	XXh
00E1h	端口 P1 寄存器	P1	XXh
00E2h	端口 P0 方向寄存器	PD0	00h
00E3h	端口 P1 方向寄存器	PD1	00h
00E4h	端口 P2 寄存器	P2	XXh
00E5h	端口 P3 寄存器	P3	XXh
00E6h	端口 P2 方向寄存器	PD2	00h
00E7h	端口 P3 方向寄存器	PD3	00h
00E8h	端口 P4 寄存器	P4	XXh
00E9h			
00EAh	端口 P4 方向寄存器	PD4	00h
00EBh			
00ECh	端口 P6 寄存器	P6	XXh
00EDh			
00EEh	端口 P6 方向寄存器	PD6	00h
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h	UART1 功能选择寄存器	U1SR	XXh
00F6h			
00F7h			
00F8h	端口模式寄存器	PMR	00h
00F9h	外部输入允许寄存器	INTEN	00h
00FAh	INT 输入滤波器选择寄存器	INTF	00h
00FBh	键输入允许寄存器	KIEN	00h
00FCh	上拉控制寄存器 0	PUR0	00h
00FDh	上拉控制寄存器 1	PUR1	XX00XX00b
00FEh			
00FFh			

注 1. 空白部分为保留区，不能存取。

X: 不定。

表 5.5 SFR 一览表 (5) (注 1)

地址	寄存器	符号	复位后的值
0100h	定时器 RA 控制寄存器	TRACR	00h
0101h	定时器 RA I/O 控制寄存器	TRAIOC	00h
0102h	定时器 RA 模式寄存器	TRAMR	00h
0103h	定时器 RA 预分频器寄存器	TRAPRE	FFh
0104h	定时器 RA 寄存器	TRA	FFh
0105h			
0106h	LIN 控制寄存器	LINCR	00h
0107h	LIN 状态寄存器	LINST	00h
0108h	定时器 RB 控制寄存器	TRBCR	00h
0109h	定时器 RB 单触发控制寄存器	TRBOCR	00h
010Ah	定时器 RB I/O 控制寄存器	TRBIOC	00h
010Bh	定时器 RB 模式寄存器	TRBMR	00h
010Ch	定时器 RB 预分频器寄存器	TRBPPE	FFh
010Dh	定时器 RB 从寄存器	TRBSC	FFh
010Eh	定时器 RB 主寄存器	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	定时器 RE 计数器数据寄存器	TRESEC	00h
0119h	定时器 RE 比较数据寄存器	TREMIN	00h
011Ah			
011Bh			
011Ch	定时器 RE 控制寄存器 1	TRECR1	00h
011Dh	定时器 RE 控制寄存器 2	TRECR2	00h
011Eh	定时器 RE 时钟源选择寄存器	TRECSR	00001000b
011Fh			
0120h			
0121h			
0122h			
0123h			
0124h			
0125h			
0126h			
0127h			
0128h			
0129h			
012Ah			
012Bh			
012Ch			
012Dh			
012Eh			
012Fh			
0130h			
0131h			
0137h			
0135h			
0137h			
0135h			
0136h			
0137h	定时器 RD 开始寄存器	TRDSTR	11111100b
0138h	定时器 RD 模式寄存器	TRDMR	00001110b
0139h	定时器 ED PWM 模式寄存器	TRDPMR	10001000b
013Ah	定时器 RD 功能控制寄存器	TRDFCR	10000000b
013Bh	定时器 RD 输出主允许寄存器 1	TRDOER1	FFh
013Ch	定时器 RD 输出主允许寄存器 2	TRDOER2	01111111b
013Dh	定时器 RD 输出控制寄存器	TRDOCR	00h
013Eh	定时器 RD 数字滤波器功能选择寄存器 0	TRDDF0	00h
013Fh	定时器 RD 数字滤波器功能选择寄存器 1	TRDDF1	00h

注 1. 空白部分为保留区，不能存取。

X: 不定。

表 5.6 SFR 一览表 (6) (注 1)

地址	寄存器	符号	复位后的值
0140h	定时器 RD 控制寄存器 0	TRDCR0	00h
0141h	定时器 RD I/O 控制寄存器 A0	TRDIORA0	10001000b
0142h	定时器 RD I/O 控制寄存器 C0	TRDIORC0	10001000b
0143h	定时器 RD 状态寄存器 0	TRDSR0	11100000b
0144h	定时器 RD 中断允许寄存器 0	TRDIER0	11100000b
0145h	定时器 RD PWM 模式输出电平控制寄存器 0	TRDPOCR0	11111000b
0146h	定时器 RD 计数器 0	TRD0	00h
0147h			00h
0148h	定时器 RD 通用寄存器 A0	TRDGRA0	FFh
0149h			FFh
014Ah	定时器 RD 通用寄存器 B0	TRDGRB0	FFh
014Bh			FFh
014Ch	定时器 RD 通用寄存器 C0	TRDGRC0	FFh
014Dh			FFh
014Eh	定时器 RD 通用寄存器 D0	TRDGRD0	FFh
014Fh			FFh
0150h	定时器 RD 控制寄存器 1	TRDCR1	00h
0151h	定时器 RD I/O 控制寄存器 A1	TRDIORA1	10001000b
0152h	定时器 RD I/O 控制寄存器 C1	TRDIORC1	10001000b
0153h	定时器 RD 状态寄存器 1	TRDSR1	11000000b
0154h	定时器 RD 中断允许寄存器 1	TRDIER1	11100000b
0155h	定时器 RD PWM 模式输出电平控制寄存器 1	TRDPOCR1	11111000b
0156h	定时器 RD 计数器 1	TRD1	00h
0157h			00h
0158h	定时器 RD 通用寄存器 A1	TRDGRA1	FFh
0159h			FFh
015Ah	定时器 RD 通用寄存器 B1	TRDGRB1	FFh
015Bh			FFh
015Ch	定时器 RD 通用寄存器 C1	TRDGRC1	FFh
015Dh			FFh
015Eh	定时器 RD 通用寄存器 D1	TRDGRD1	FFh
015Fh			FFh
01B0h			
01B1h			
01B2h			
01B3h	闪存控制寄存器 4	FMR4	01000000b
01B4h			
01B5h	闪存控制寄存器 1	FMR1	1000000Xb
01B6h			
01B7h	闪存控制寄存器 0	FMR0	00000001b
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
FFFFh	任选功能选择寄存器	OFS	(注 2)

注 1. 空栏为保留区。不能存取。

注 2. 不能通过程序改变 OFS 寄存器。必须通过闪存编程器写。

X: 不定。

6. 复位

复位有硬件复位、上电复位、电压监视 1 复位、电压监视 2 复位、看门狗定时器复位和软件复位。
复位名称和复位源如表 6.1 所示。

表 6.1 复位名称和复位源

复位名称	复位源
硬件复位	$\overline{\text{RESET}}$ 引脚的输入电压为 “L” 电平
上电复位 (注 1)	VCC 的上升
电压监视 1 复位 (注 1)	VCC 的下降 (监视电压: Vdet1)
电压监视 2 复位 (注 1)	VCC 的下降 (监视电压: Vdet2)
看门狗定时器复位	看门狗定时器的下溢
软件复位	给 PM0 寄存器的 PM03 位写 “1”

注 1. 本产品在设计中，规格有可能变更。

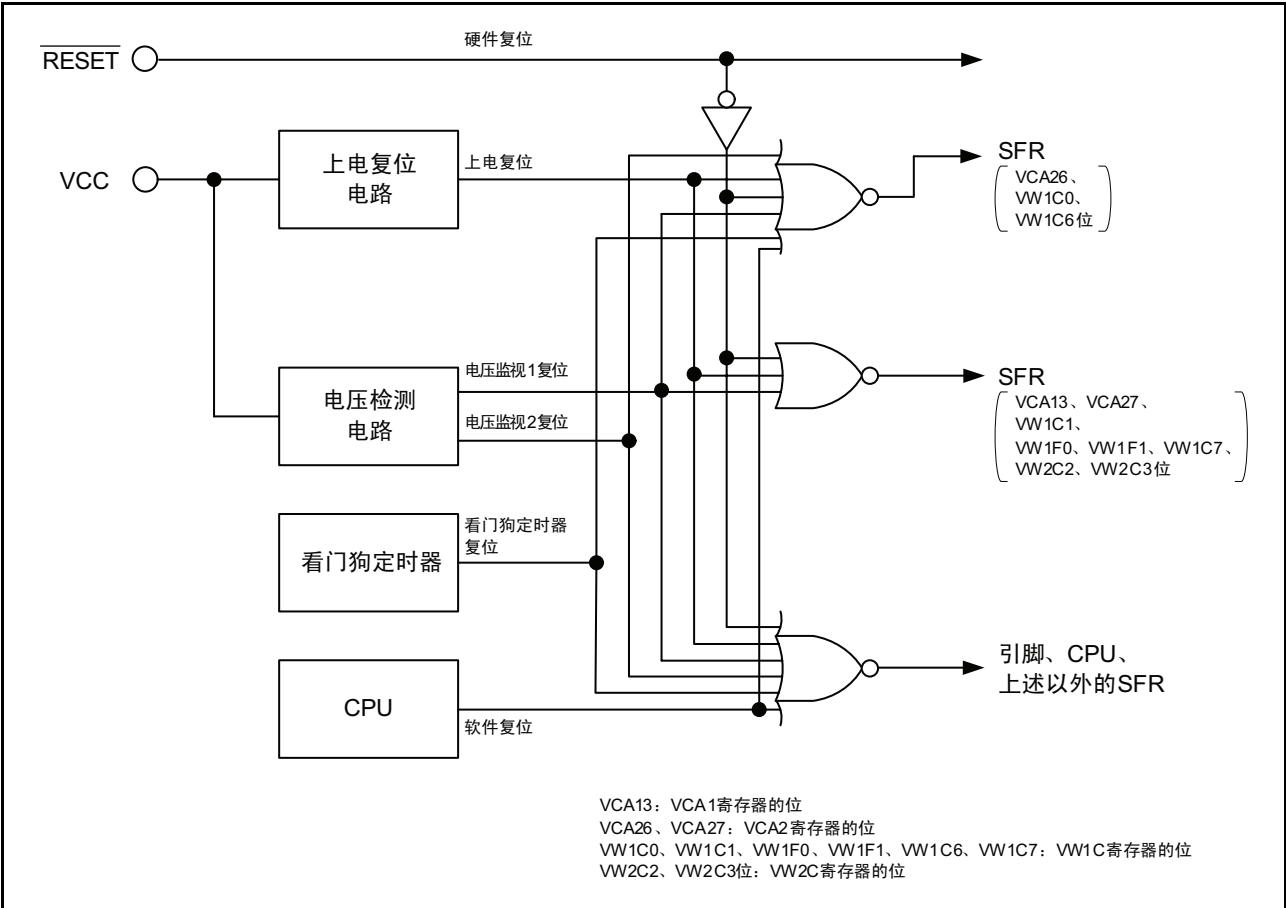


图 6.1 复位电路的框图

$\overline{\text{RESET}}$ 引脚的电平为“L”期间的引脚状态如表 6.2、复位后的 CPU 寄存器状态如图 6.2、复位顺序如图 6.3、OFS 寄存器如图 6.4 所示。

表 6.2 $\overline{\text{RESET}}$ 引脚的电平为“L”期间的引脚状态

引脚名	引脚状态
P0、P1、P2	输入端口
P3_0、P3_1、P3_3 ~ P3_5、P3_7	输入端口
P4_2 ~ P4_7	输入端口
P6	输入端口

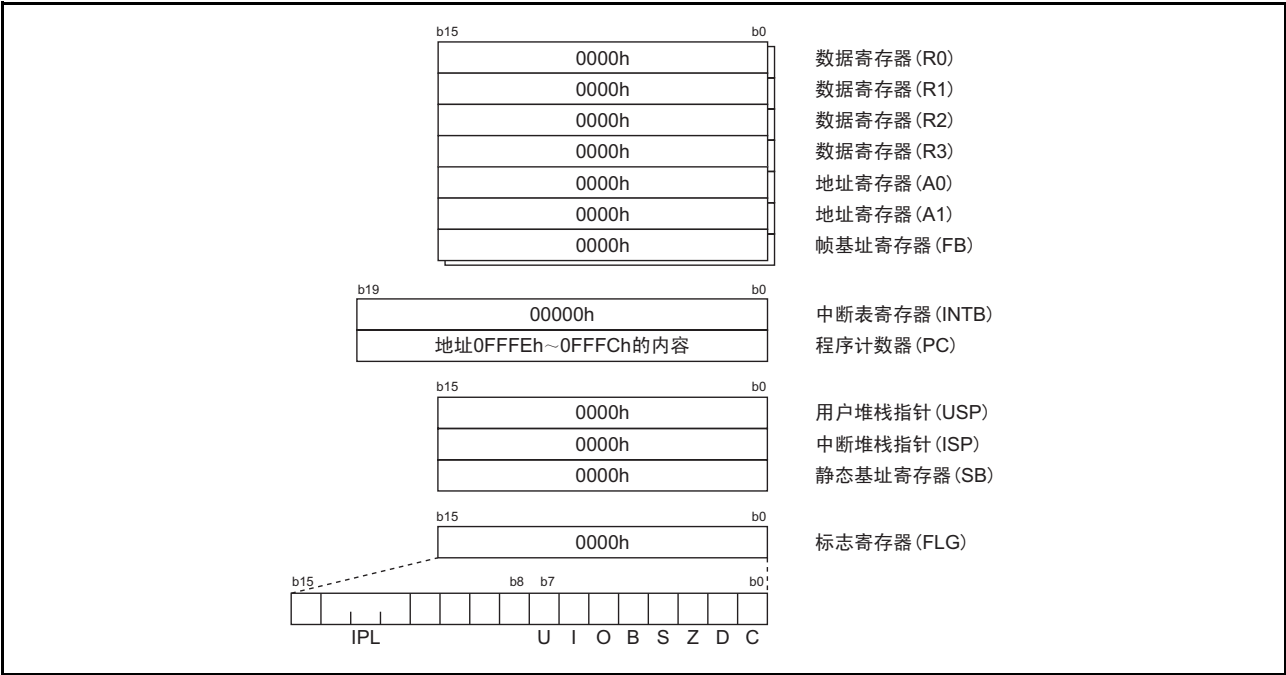


图 6.2 复位后的 CPU 寄存器状态

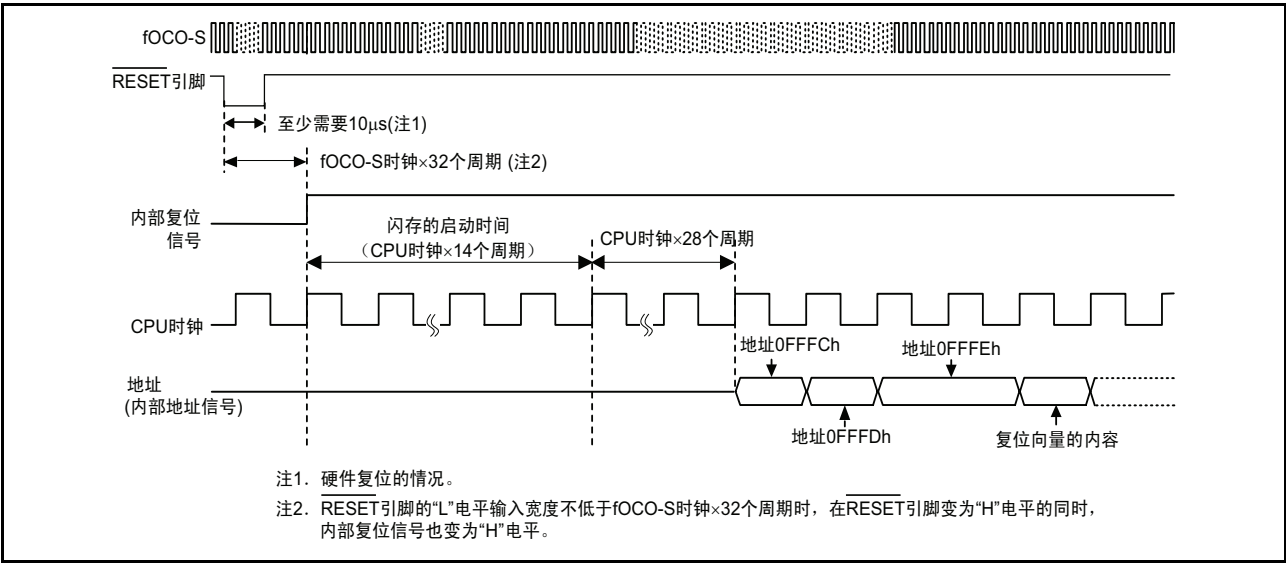


图 6.3 复位顺序

任选功能选择寄存器(注1)							
b7	b6	b5	b4	b3	b2	b1	b0
1	1	1	1	1	1	1	1
符号 OFS	地址 地址0FFFFh	出厂值 FFh(注3)					
位符号	位名	功能				RW	
WDTON	看门狗定时器启动选择位	0: 复位后, 看门狗定时器自动启动 1: 复位后, 看门狗定时器为停止状态				RW	
— (b1)	保留位	必须置“1”。				RW	
ROMCR	ROM码保护解除位	0: ROM码保护解除 1: ROMCP1有效				RW	
ROMCP1	ROM码保护位	0: ROM码保护有效 1: ROM码保护解除				RW	
— (b5-b4)	保留位	必须置“1”。				RW	
LVD1ON	电压检测电路启动位 (注2)	0: 复位后, 电压监视1复位有效 1: 复位后, 电压监视1复位无效				RW	
CSPROINI	复位后计数源保护模式 选择位	0: 复位后, 计数源保护模式有效 1: 复位后, 计数源保护模式无效				RW	

注1. OFS寄存器在闪存上。必须和程序一起写入。写入后, 就不能对OFS寄存器进行追加写入。
 注2. 使用上电复位时, 必须将LVD1ON位清“0”(复位后, 电压监视1复位有效)。
 注3. 在擦除包含OFS寄存器的块时, OFS寄存器值变为“FFh”。

图 6.4 OFS 寄存器

6.1 硬件复位

硬件复位是由 RESET 引脚引起的复位。当电源电压满足推荐运行条件时, 如果将 “L” 电平输入到 RESET 引脚, 引脚、CPU 和 SFR 就被初始化 (参照 “表 6.2 RESET 引脚的电平为 “L” 期间的引脚状态)。

如果将 RESET 引脚的输入电平从 “L” 电平变为 “H” 电平, 就从复位向量所示的地址开始执行程序。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

复位后的 SFR 状态参照 “5. SFR”。

不初始化内部 RAM。另外, 如果在写内部 RAM 中 RESET 引脚变为 “L” 电平, 内部 RAM 就不定。

硬件复位的电路例子和运行如图 6.5、硬件复位的电路例子 (外接电源电压检测电路的使用例) 以及运行如图 6.6 所示。

6.1.1 电源稳定的情况

1. 将 “L” 电平输入到 RESET 引脚
2. 至少等待 10μs
3. 将 “H” 电平输入到 RESET 引脚

6.1.2 接通电源的情况

1. 将 “L” 电平输入到 RESET 引脚
2. 使电源电压上升到满足推荐运行条件的电平为止
3. 等待 td(P-R) 直到内部电源稳定为止 (参照 “21. 电特性”)
4. 至少等待 10μs
5. 将 “H” 电平输入到 RESET 引脚

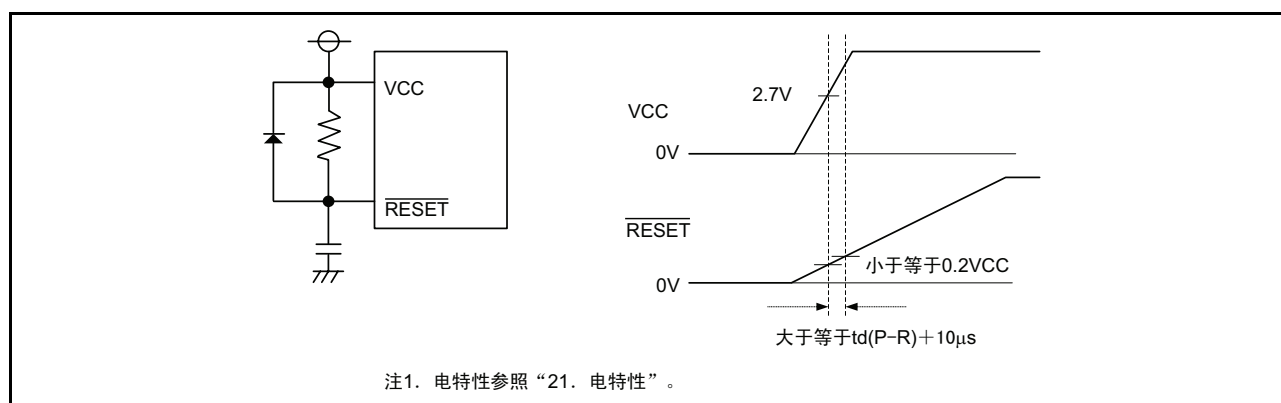


图 6.5 硬件复位的电路例子和运行

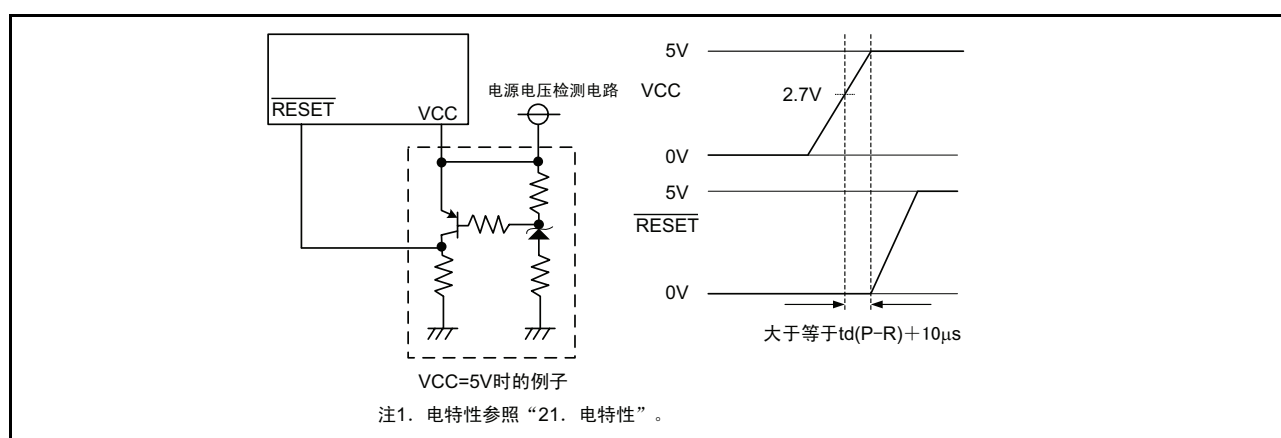


图 6.6 硬件复位的电路例子 (外接电源电压检测电路的使用例) 和运行

6.2 上电复位功能 (注 1)

通过电阻将 $\overline{\text{RESET}}$ 引脚连接到 VCC，当上升 VCC 时，上电复位功能有效，引脚、CPU 和 SFR 被初始化。必须注意当 $\overline{\text{RESET}}$ 引脚连接电容时， $\overline{\text{RESET}}$ 引脚的电压也总是大于等于 $0.8V_{CC}$ 。

当输入到 VCC 引脚的电压不低于 V_{det1} 时，就开始低速内部振荡器时钟的计数。当进行了 32 次低速内部振荡器时钟的计数时，内部复位信号就变为“H”电平，进入复位顺序 (参照图 6.3)。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

上电复位后的 SFR 状态参照“5. SFR”。

上电复位后，电压监视 1 复位有效。

上电复位的电路例子和运行如图 6.7 所示。

注 1. 使用上电复位功能时，必须将 LVD1ON 位清“0”使电压监视 1 复位有效。

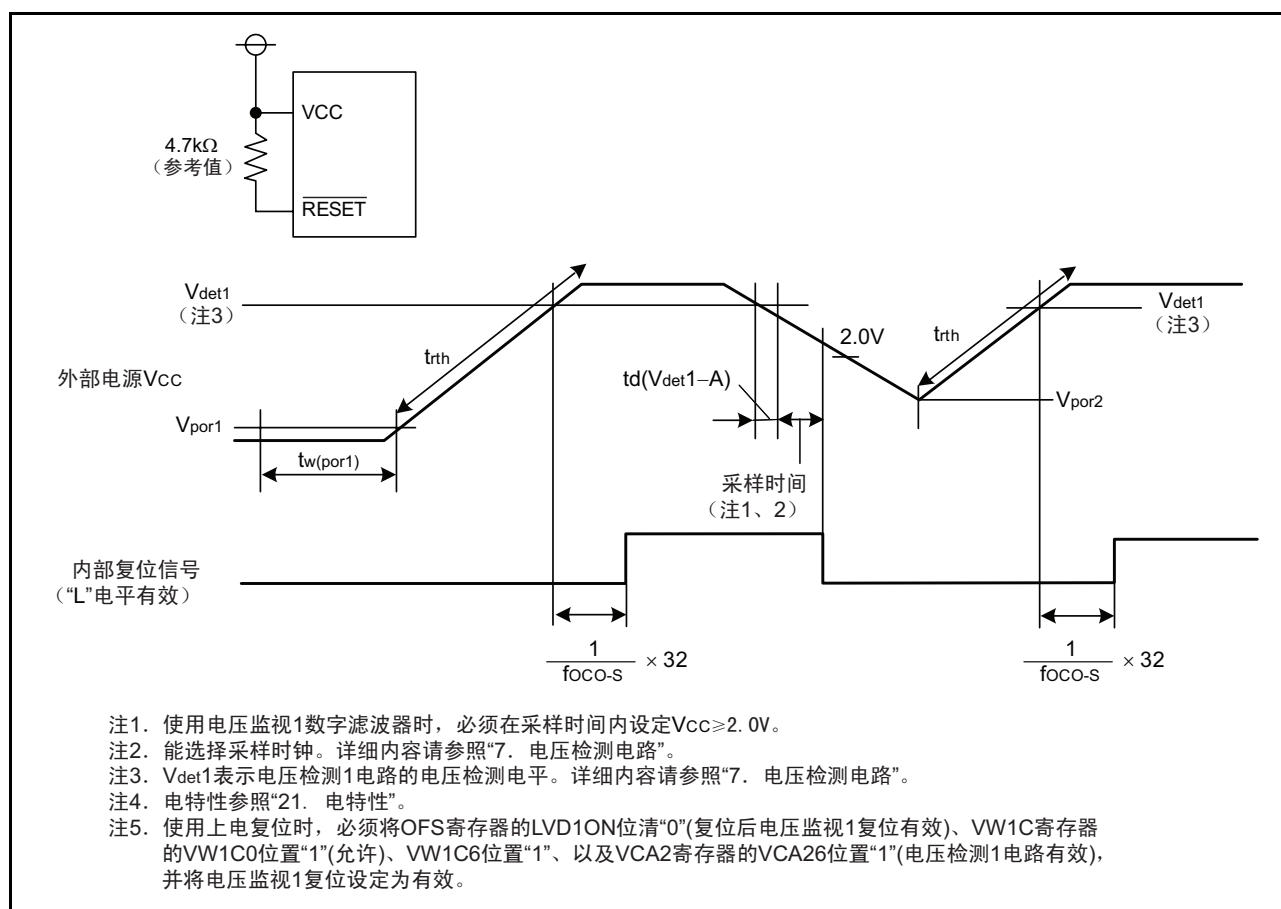


图 6.7 上电复位的电路例子和运行

6.3 电压监视 1 复位

电压监视 1 复位是由内置在单片机内的电压检测 1 电路引起的复位。电压检测 1 电路监视 VCC 引脚的输入电压, 监视电压为 V_{det1} 。

当输入到 VCC 引脚的电压下降到 V_{det1} 以下时, 引脚、CPU 和 SFR 就被初始化。

其次, 当输入到 VCC 引脚的电压达到 V_{det1} 以上时, 就开始低速内部振荡器时钟的计数。当进行了 32 次低速内部振荡器时钟的计数时, 内部复位信号就变为“H”电平, 进入复位顺序(参照图 6.3)。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

通过 OFS 寄存器的 LVD1ON 位复位后, 可选择电压监视 1 复位的有效或无效。

使用上电复位时, 必须将 OFS 寄存器的 LVD1ON 位清“0”, 将 VW1C 寄存器的 VW1C0 位和 VW1C6 位、以及 VCA2 寄存器的 VCA26 位置“1”, 并将电压监视 1 复位设定为有效。

LVD1ON 不能由程序来改变。在设定 LVD1ON 位时, 通过闪存编程器在地址 0FFFF 的 b6 上写入“0”(复位后, 电压监视 1 复位有效)或“1”(复位后, 电压监视 1 复位无效)。OFS 寄存器的详细内容请参照“图 6.4 OFS 寄存器”。

电压监视 1 复位后的 SFR 的状态参照“5. SFR”

不初始化内部 RAM。另外, 如果在写内部 RAM 中 VCC 引脚的输入电压下降到 V_{det1} 以下, 内部 RAM 就不定。

电压监视 1 复位的详细内容请参照“7. 电压检测电路”。

6.4 电压监视 2 复位

电压监视 2 复位是由内置在单片机内的电压检测 2 电路引起的复位。电压检测 2 电路监视 VCC 引脚的输入电压，监视电压为 Vdet2。

当输入到 VCC 引脚的电压下降到 Vdet2 以下时，引脚、CPU 和 SFR 就被初始化，从复位向量指示的地址开始执行程序。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

电压监视 2 复位中的一部分 SFR 不会被初始化。详细内容请参照“5. SFR”。

不初始化内部 RAM。另外，如果在写内部 RAM 中 VCC 引脚的输入电压下降到 Vdet2 以下，内部 RAM 就不定。

电压监视 2 复位的详细内容请参照“7. 电压检测电路”。

6.5 看门狗定时器复位

在 PM1 寄存器的 PM12 位为“1”（在看门狗定时器下溢时复位）时，如果看门狗定时器下溢，单片机就初始化引脚、CPU 和 SFR。然后，从复位向量所示的地址开始执行程序。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

看门狗定时器复位不初始化部分 SFR，详细内容请参照“5. SFR”。

不初始化内部 RAM。另外，如果在写内部 RAM 中看门狗定时器下溢，内部 RAM 就不定。

看门狗定时器的详细内容请参照“14. 看门狗定时器”。

6.6 软件复位

如果将 PM0 寄存器的 PM03 位设定为“1”（单片机复位），单片机就初始化引脚、CPU 和 SFR。然后，从复位向量所示的地址开始执行程序。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

软件复位不初始化部分 SFR，详细内容请参照“5. SFR”。

不初始化内部 RAM。

7. 电压检测电路

电压检测电路是监视 VCC 引脚的输入电压的电路。能通过程序监视 VCC 输入电压。另外，能使用电压监视 1 复位、电压监视 2 中断、电压监视 2 复位。

电压检测电路的规格如表 7.1 所示，框图如图 7.1 ~ 图 7.3 所示，另外，关联寄存器如图 7.4 ~ 图 7.6 所示。

表 7.1 电压检测电路的规格

项目		电压检测 1	电压检测 2
VCC 监视	监视电压	Vdet1	Vdet2
	检测对象	上升或者下降过程中是否通过 Vdet1	上升或者下降过程中是否通过 Vdet2
	监视	无	VCA1 寄存器的 VCA13 位 高于或者低于 Vdet2
电压检测时的处理	复位	电压监视 1 复位	电压监视 2 复位
		当 Vdet1 > VCC 时复位、 当 VCC > Vdet1 时重新开始运行	当 Vdet2 > VCC 时复位、 一定时间后重新开始 CPU 的运行
	中断	无	电压监视 2 中断 数字滤波器有效时：在 Vdet2 > VCC 时和 VCC > Vdet2 时都产生中断请求 数字滤波器无效时：只在 Vdet2 > VCC 时或者只在 VCC > Vdet2 时产生中断请求
数字滤波器	有效 / 无效的转换	有	有
	采样时间	(fOCO-S 的 n 分频) × 4 n: 1、2、4、8	(fOCO-S 的 n 分频) × 4 n: 1、2、4、8

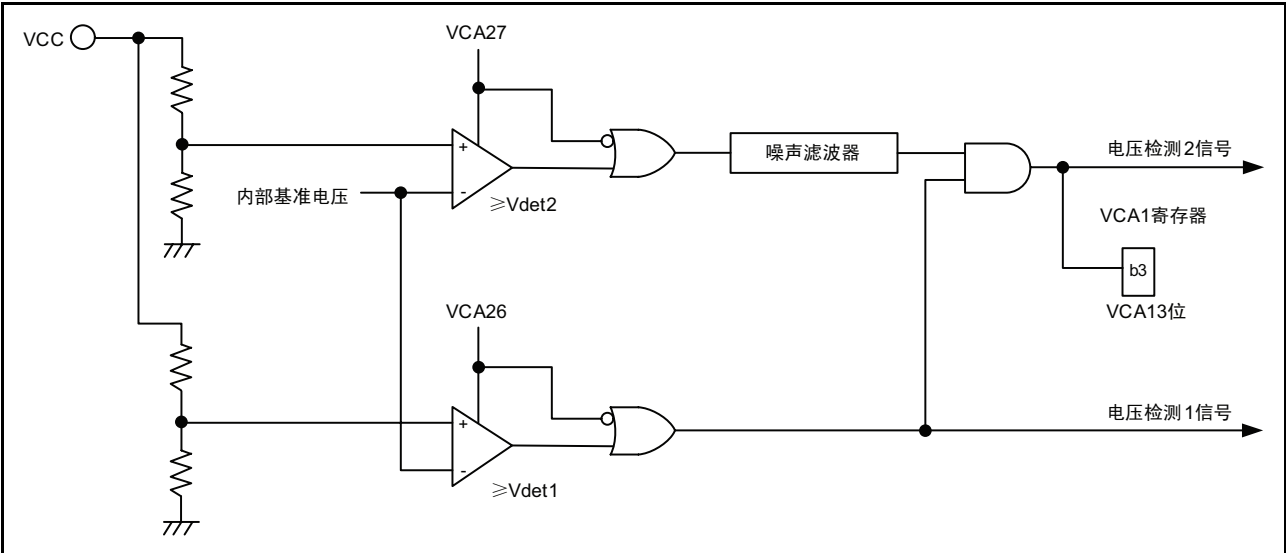


图 7.1 电压检测电路的框图

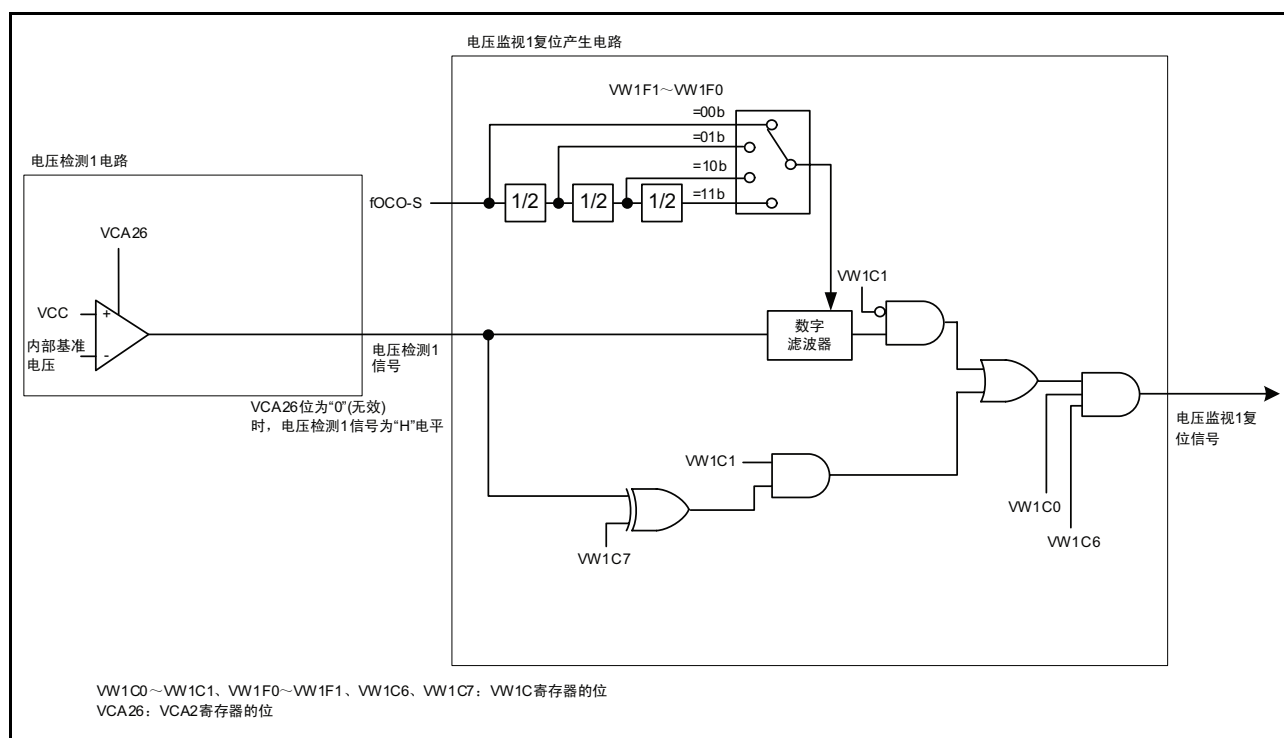


图 7.2 电压监视 1 复位产生电路的框图

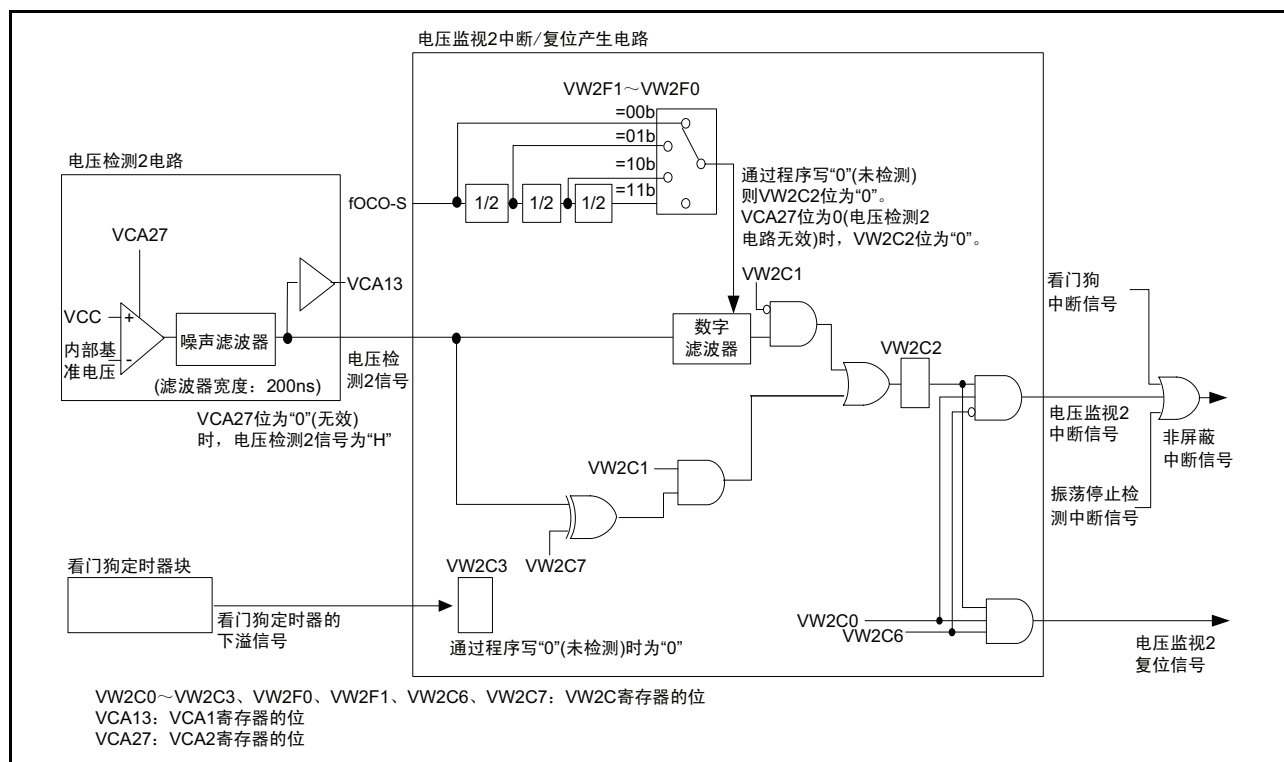


图 7.3 电压监视 2 中断 / 复位产生电路的框图

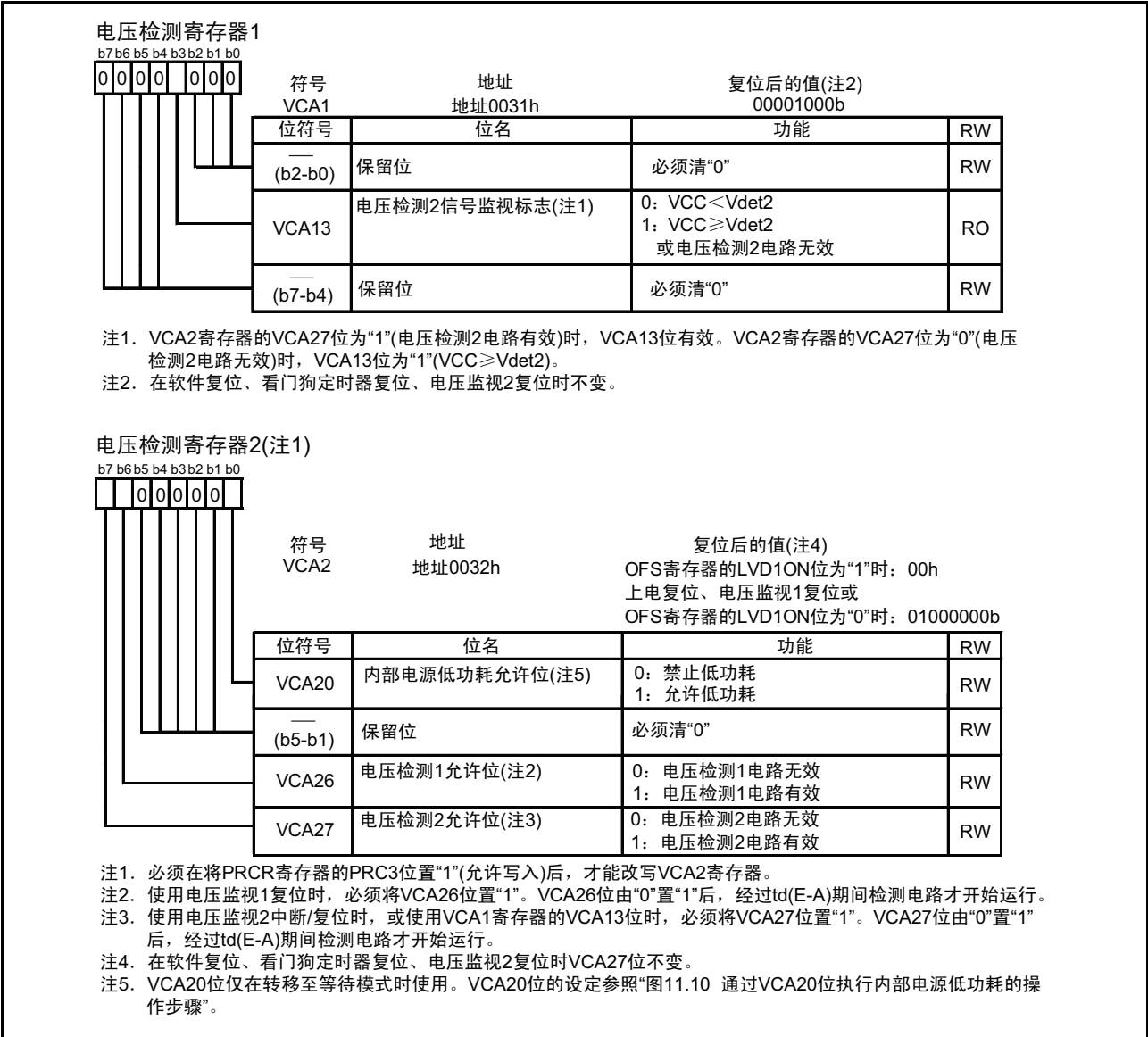


图 7.4 VCA1、VCA2 寄存器

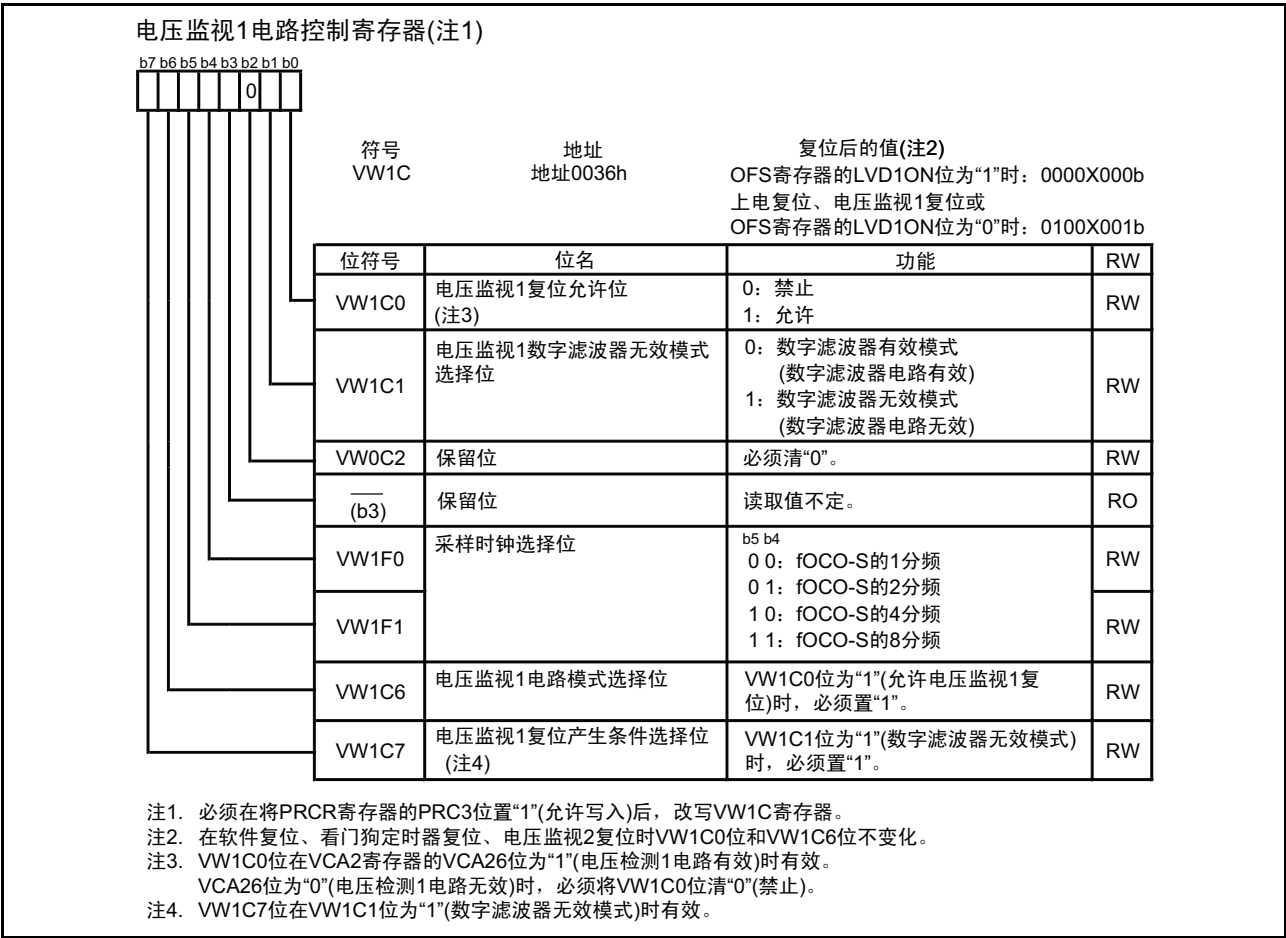


图 7.5 VW1C 寄存器

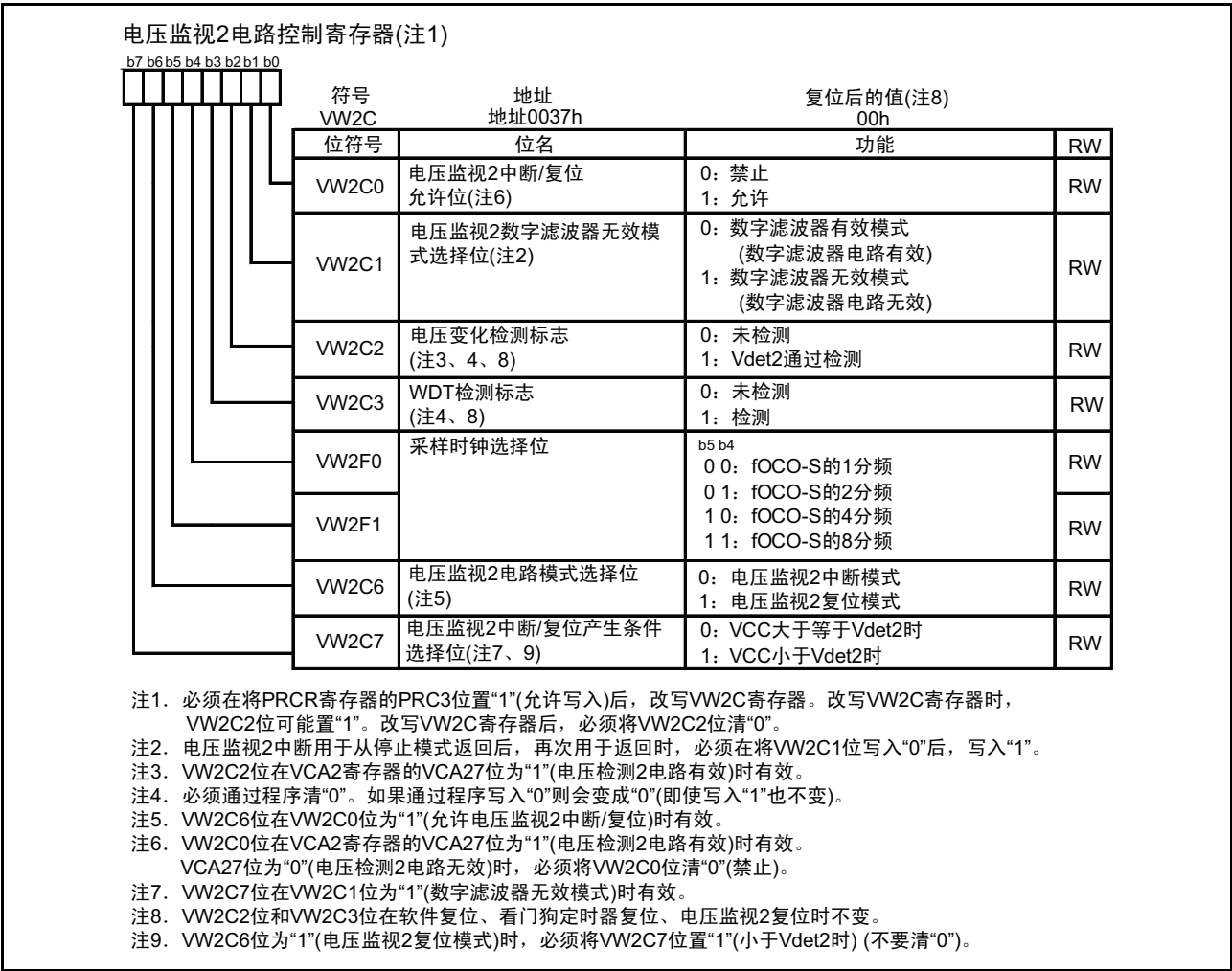


图 7.6 VW2C 寄存器

7.1 VCC 输入电压的监视

7.1.1 Vdet1 的监视

不能监视 Vdet1。

7.1.2 Vdet2 的监视

必须将 VCA2 寄存器的 VCA27 位设定为 “1” (电压检测 2 电路有效)。经过 $t_{d(E-A)}$ 期间 (参照 “21. 电特性”) 后, 能通过 VCA1 寄存器的 VCA13 位监视 Vdet2。

7.2 电压监视 1 复位

电压监视 1 复位相关位的设定步骤如表 7.2 所示，电压监视 1 复位的运行例子如图 7.7 所示。

另外，在将电压监视 1 复位用于从停止模式的返回时，必须将 VW1C 寄存器的 VW1C1 位设定为 “1”（数字滤波器无效）。

表 7.2 电压监视 1 复位相关位的设定步骤

步骤	使用数字滤波器的情况	不使用数字滤波器的情况
1	将 VCA2 寄存器的 VCA26 位设定为 “1”（电压检测 1 电路有效）。	
2	等待 td(E-A)。	
3	通过 VW1C 寄存器的 VW1F0 ~ VW1F1 位选择数字滤波器的采样时钟。	将 VW1C 寄存器的 VW1C7 位设定为 “1”。
4（注 1）	将 VW1C 寄存器的 VW1C1 位设定为 “0”（数字滤波器有效）。	将 VW1C 寄存器的 VW1C1 位设定为 “1”（数字滤波器无效）。
5（注 1）	将 VW1C 寄存器的 VW1C6 位设定为 “1”（电压监视 1 复位模式）。	
6	将 VW1C 寄存器的 VW1C2 位设定为 “0”。	
7	将 CM1 寄存器的 CM14 位设定为 “0”（低速内部振荡器振荡）。	—
8	等待 “数字滤波器的采样时钟 ×4 个周期”。	—（无等待时间）
9	将 VW1C 寄存器的 VW1C0 位设定为 “1”（电压监视 1 复位允许）。	

注 1. 当 VW1C0 位为 “0” 时，可以同时（用 1 条指令）执行步骤 3、4、5。

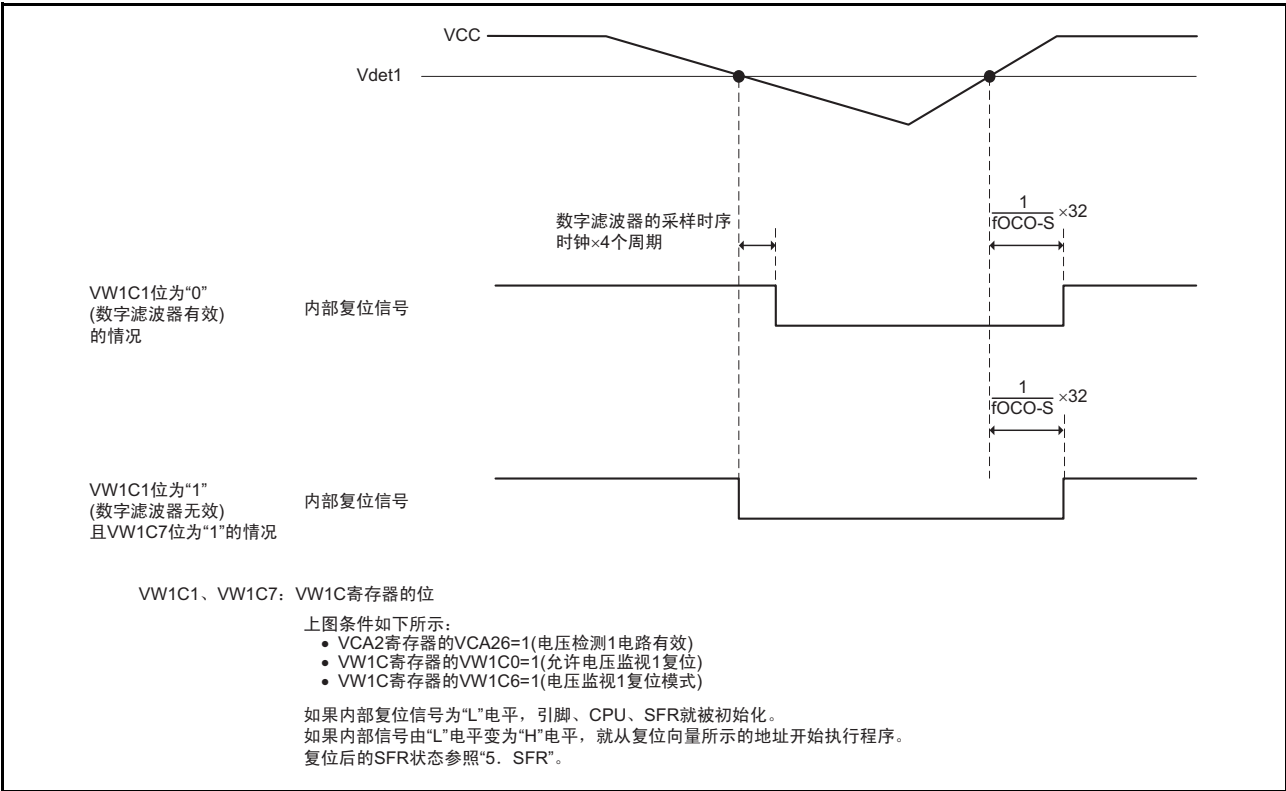


图 7.7 电压监视 1 复位的运行例子

7.3 电压监视 2 中断和电压监视 2 复位

电压监视 2 中断和电压监视 2 复位相关位的设定步骤如表 7.3 所示，电压监视 2 中断和电压监视 2 复位的运行例子如图 7.8 所示。

另外，在将电压监视 2 中断或者电压监视 2 复位用于从停止模式的返回时，必须将 VW2C 寄存器的 VW2C1 位设定为“1”（数字滤波器无效）。

表 7.3 电压监视 2 中断和电压监视 2 复位相关位的设定步骤

步骤	使用数字滤波器的情况		不使用数字滤波器的情况	
	电压监视 2 中断	电压监视 2 复位	电压监视 2 中断	电压监视 2 复位
1	将 VCA2 寄存器的 VCA27 位设定为 “1”（电压检测 2 电路有效）。			
2	等待 td(E-A)。			
3	通过 VW2C 寄存器的 VW2F0 ～ VW2F1 位选择数字滤波器的采样时钟。		通过 VW2C 寄存器的 VW2C7 位选择中断和复位请求的时序（注 1）。	
4（注 2）	将 VW2C 寄存器的 VW2C1 位设定为 “0”（数字滤波器有效）。		将 VW2C 寄存器的 VW2C1 位设定为 “1”（数字滤波器无效）。	
5（注 2）	将 VW2C 寄存器的 VW2C6 位设定为 “0”（电压监视 2 中断模式）。	将 VW2C 寄存器的 VW2C6 位设定为 “1”（电压监视 2 复位模式）。	将 VW2C 寄存器的 VW2C6 位设定为 “0”（电压监视 2 中断模式）。	将 VW2C 寄存器的 VW2C6 位设定为 “1”（电压监视 2 复位模式）。
6	将 VW2C 寄存器的 VW2C2 位设定为 “0”（未检测到 “通过 Vdet2”）。			
7	将 CM1 寄存器的 CM14 位设定为 “0”（低速内部振荡器振荡）。		—	
8	等待 “数字滤波器的采样时钟×4 个周期”。		—（无等待时间）	
9	将 VW2C 寄存器的 VW2C0 位设定为 “1”（允许电压监视 2 中断 / 复位）。			

注 1. 在电压监视 2 复位时，必须将 VW2C7 位设定为“1”（在小于 Vdet2 时）。

注 2. 当 VW2C0 位为“0”时，可以同时（用 1 条指令）执行步骤 3、4、5。

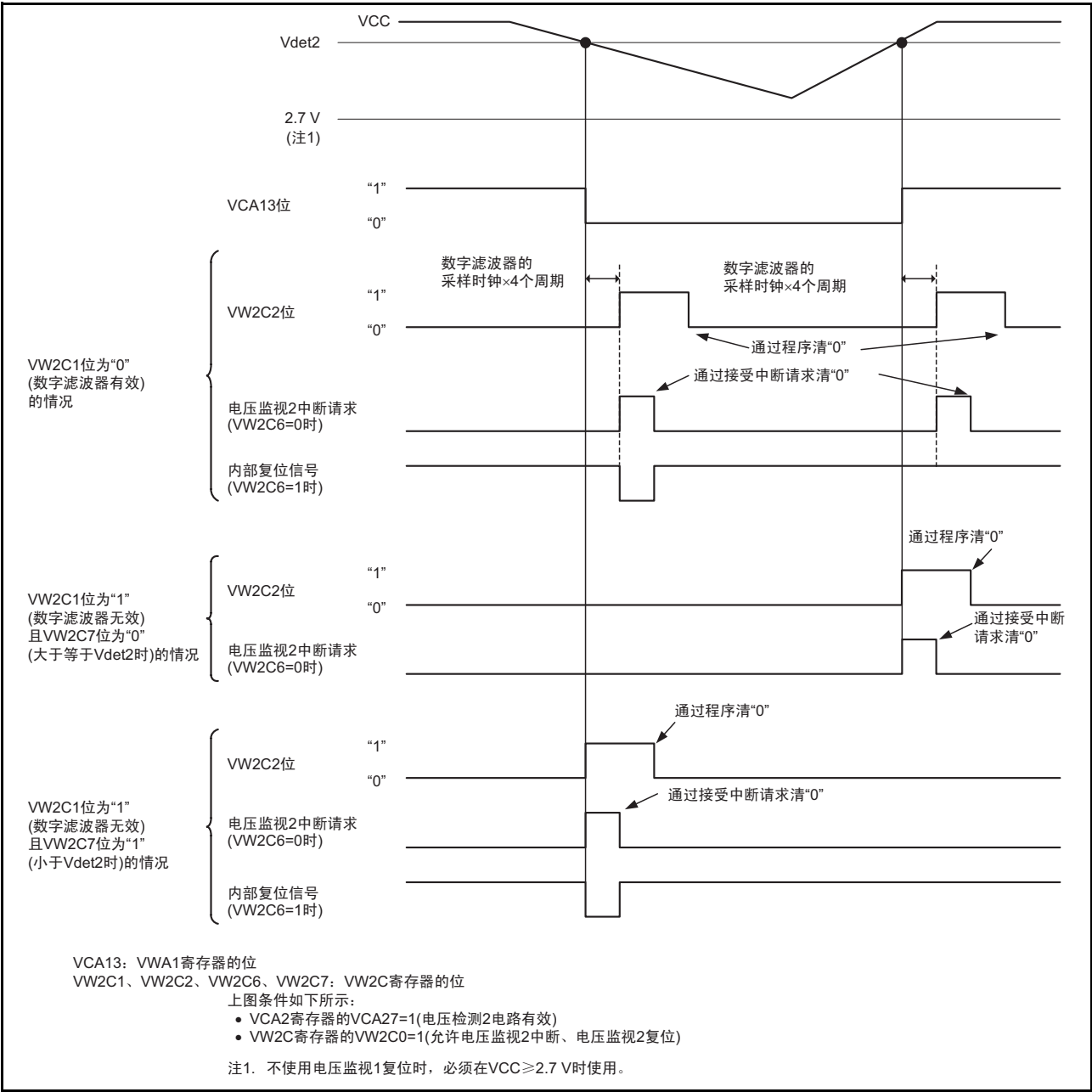


图 7.8 电压监视 2 中断、电压监视 2 复位的运行例子

8. 可编程输入 / 输出端口

可编程输入 / 输出端口（以下称为输入 / 输出端口）有 P0 ~ P2、P3_0、P3_1、P3_3 ~ P3_5、P3_7、P4_3 ~ P4_5、P6 等 41 个端口。另外，在不使用 XIN 时钟振荡电路的情况下，能将 P4_6、P4_7 用作输入专用端口；在不使用 A/D 转换器的情况下，能将 P4_2 用作输入专用端口。

可编程输入 / 输出端口的概要如表 8.1 所示。

表 8.1 可编程输入 / 输出端口的概要

端口名	输入 / 输出	输出格式	输入 / 输出的设定	内部上拉电阻
P0 ~ P2、P6	输入 / 输出	CMOS 三态	以 1 位为单位进行设定	以 4 位为单位进行设定 (注 1)
P3_0、P3_1、P3_3、 P3_4、P3_5、P3_7	输入 / 输出	CMOS 三态	以 1 位为单位进行设定	以 3 位为单位进行设定 (注 1)
P4_3	输入 / 输出	CMOS 三态	以 1 位为单位进行设定	以 1 位为单位进行设定 (注 1)
P4_4、P4_5、	输入 / 输出	CMOS 三态	以 1 位为单位进行设定	以 2 位为单位进行设定 (注 1)
P4_2 (注 2) P4_6、P4_7 (注 3)	输入	(无输出功能)	无	无

注 1. 能在输入模式中选择是否通过 PUR0 寄存器和 PUR1 寄存器连接内部上拉电阻。

注 2. 在不使用 A/D 转换器的情况下，能用作输入专用端口。

注 3. 在不使用 XIN 时钟振荡电路的情况下，能用作输入专用端口。

8.1 可编程输入 / 输出端口的功能

端口 P0 ~ P2、P3_0、P3_1、P3_3 ~ P3_5、P3_7、P4_3 ~ P4_5、P6 的输入 / 输出由 PDi (i=0 ~ 4、6) 寄存器的 PDi_j (j=0 ~ 7) 位控制。Pi 寄存器由保持输出数据的端口锁存器和读引脚状态的电路构成。

可编程输入 / 输出端口的结构如图 8.1 ~ 图 8.7 所示，可编程输入 / 输出端口的功能如表 8.2 所示，PDi 寄存器如图 8.9、Pi 寄存器如图 8.10、PUR0 和 PUR1 寄存器如图 8.11 以及 PMR 寄存器如图 8.12 所示。

表 8.2 可编程输入 / 输出端口的功能

存取 Pi 寄存器时的运行	PDi 寄存器的 PDi_j 位的值 (注 1)	
	“0” (输入模式) 时	“1” (输出模式) 时
读	读引脚的输入电平	读端口锁存器
写	写到端口锁存器	写到端口锁存器。从引脚输出已写到端口锁存器的值。

i=0 ~ 4、6、j=0 ~ 7

注 1. 对于 PD3_2 位、PD3_6 位、PD4_0 ~ PD4_2 位、PD4_6 位、PD4_7 位，什么也不指定。

8.2 对外围功能的影响

可编程输入 / 输出端口有时用作外围功能的输入 / 输出（参照“表 1.6 引脚序号 - 引脚名一览表”）。
用作外围功能的输入 / 输出时的 PDi_j 位的设定（i= 0 ~ 4、6、j=0 ~ 7）如表 8.3 所示。
外围功能的设定方法参照各功能说明。

表 8.3 用作外围功能的输入 / 输出时的 PDi_j 位的设定（i=0 ~ 4、6、j=0 ~ 7）

外围功能 / 输出的输入	引脚复用的端口 PDi _j 位的设定
输入	必须设定为“0”（输入模式）
输出	置“0”或者置“1”（与端口的设定无关，为输出）

8.3 可编程输入 / 输出端口以外的引脚

引脚的结构如图 8.8 所示。

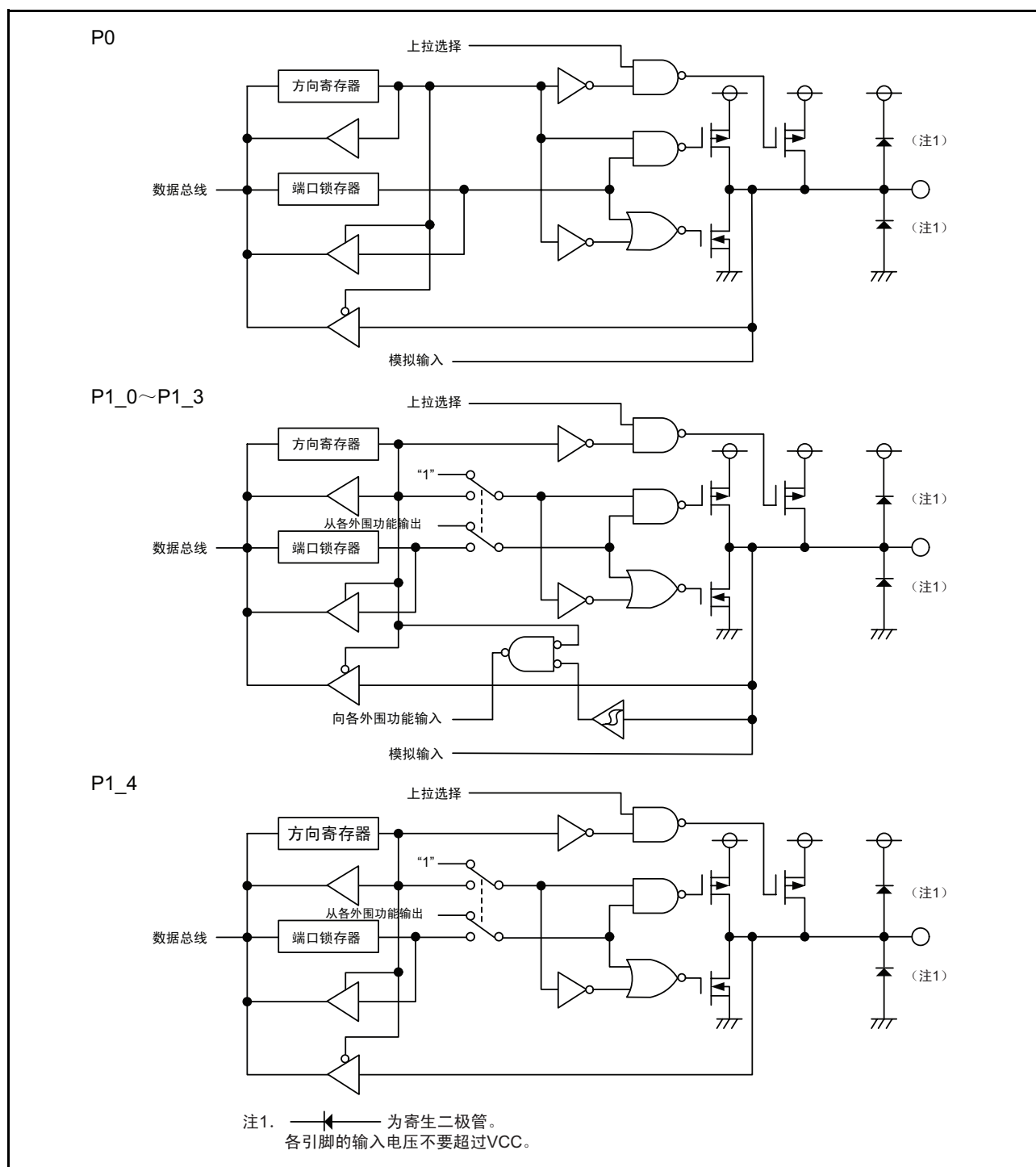


图 8.1 可编程输入 / 输出端口的结构 (1)

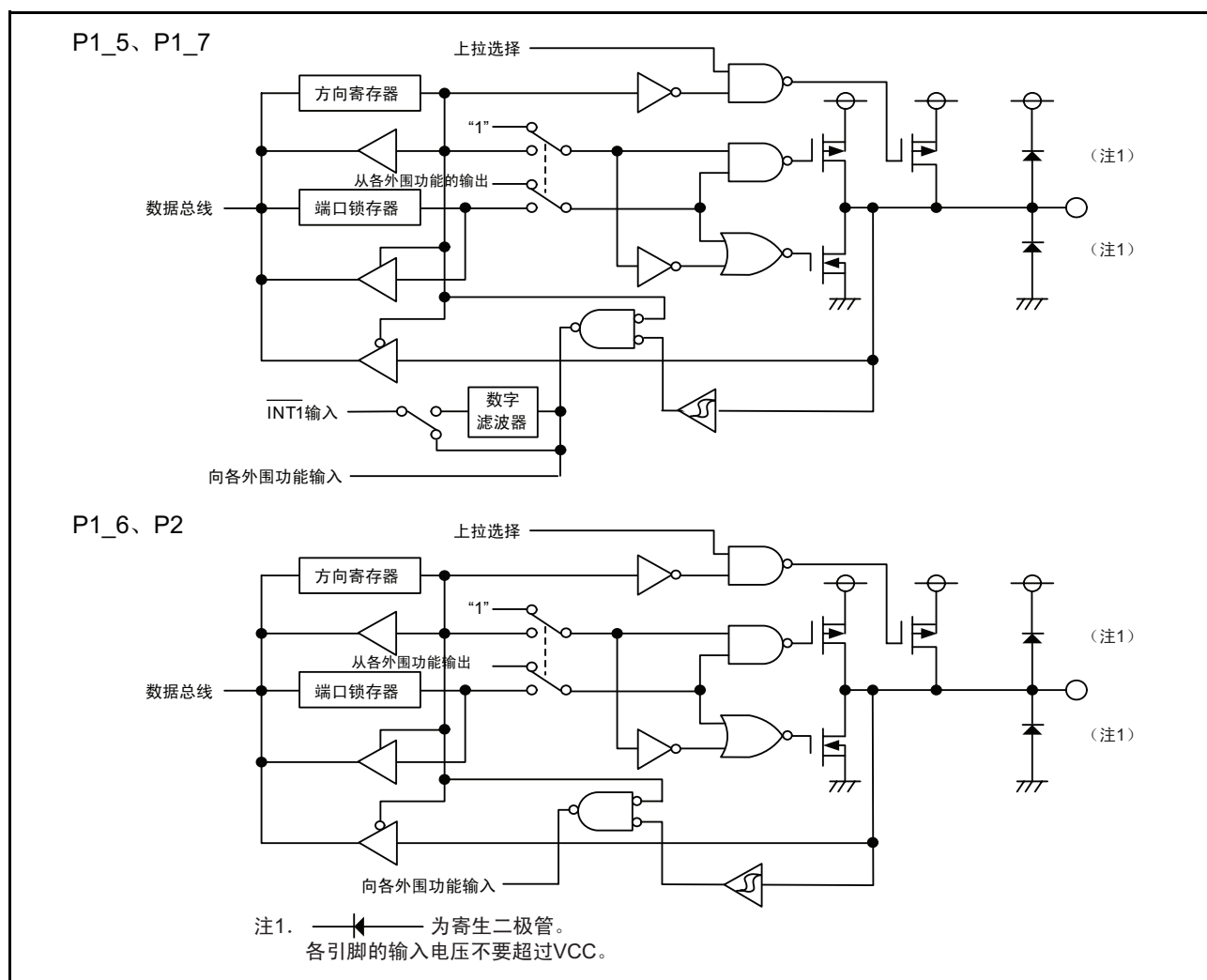


图 8.2 可编程输入 / 输出端口的结构 (2)

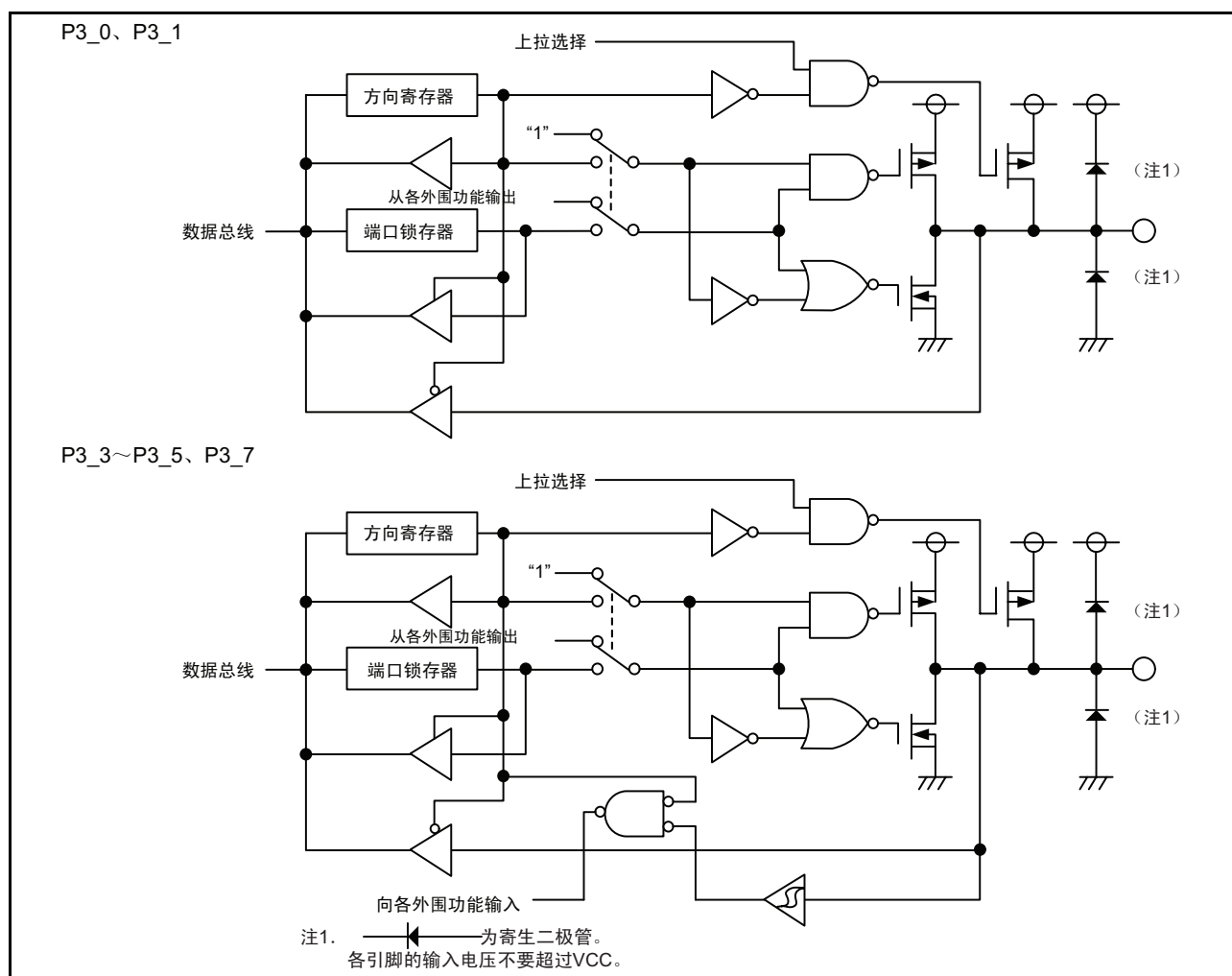


图 8.3 可编程输入 / 输出端口的结构 (3)

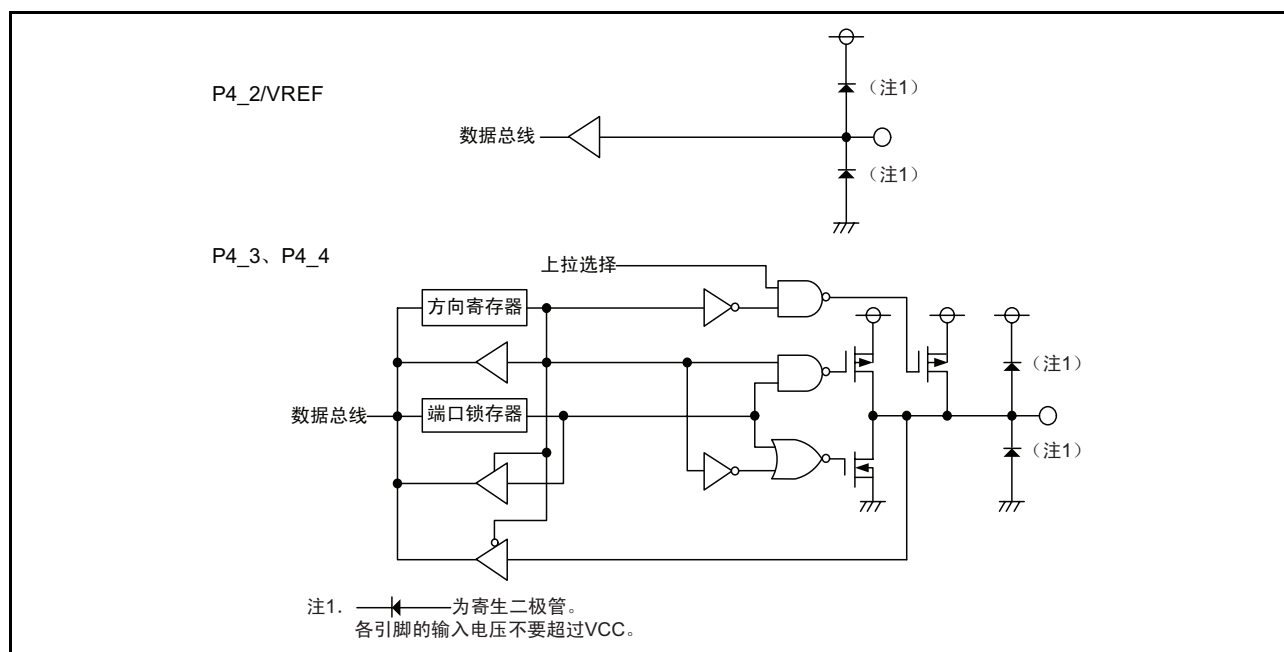


图 8.4 可编程输入 / 输出端口的结构 (4)

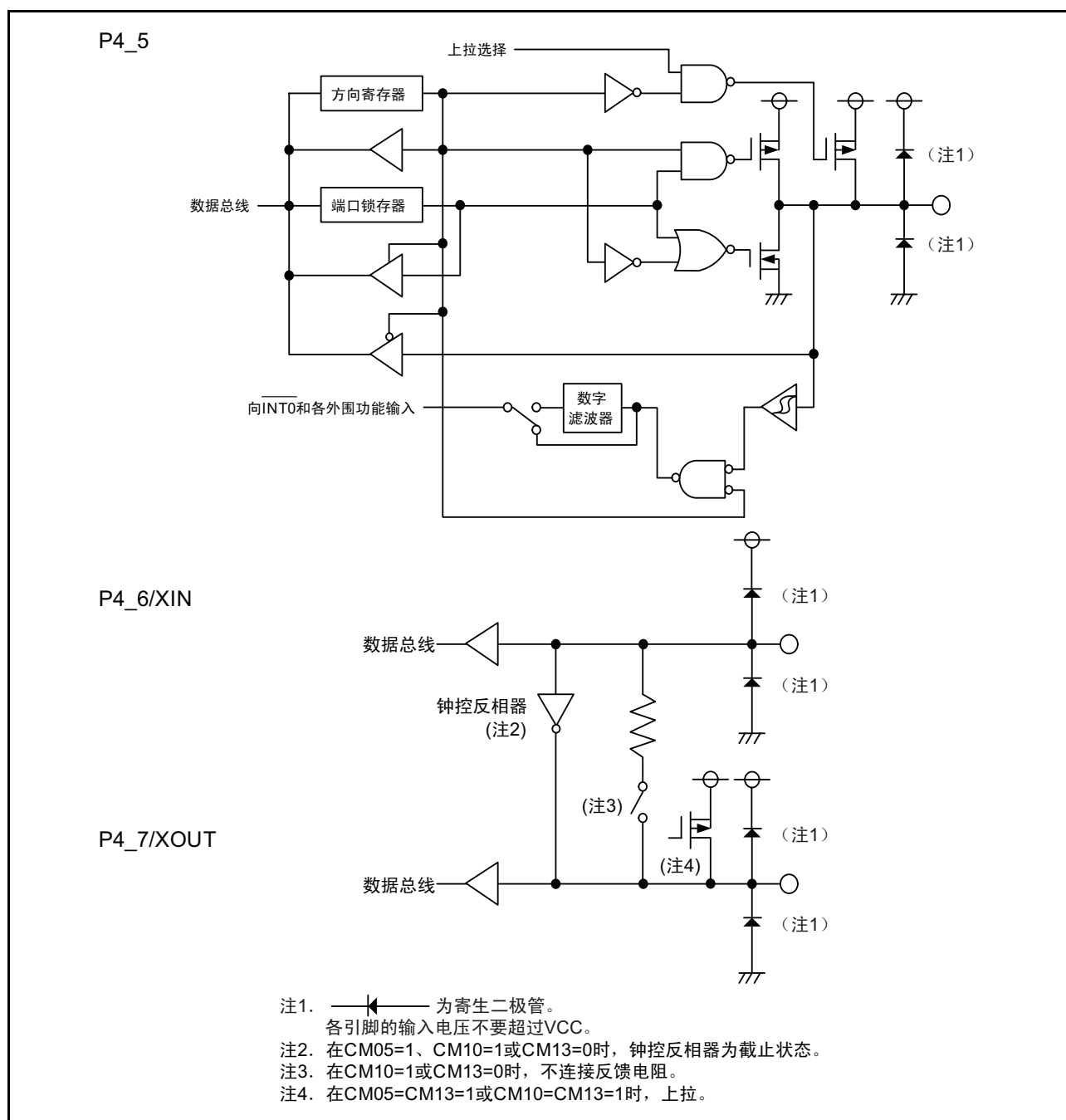


图 8.5 可编程输入 / 输出端口的结构 (5)

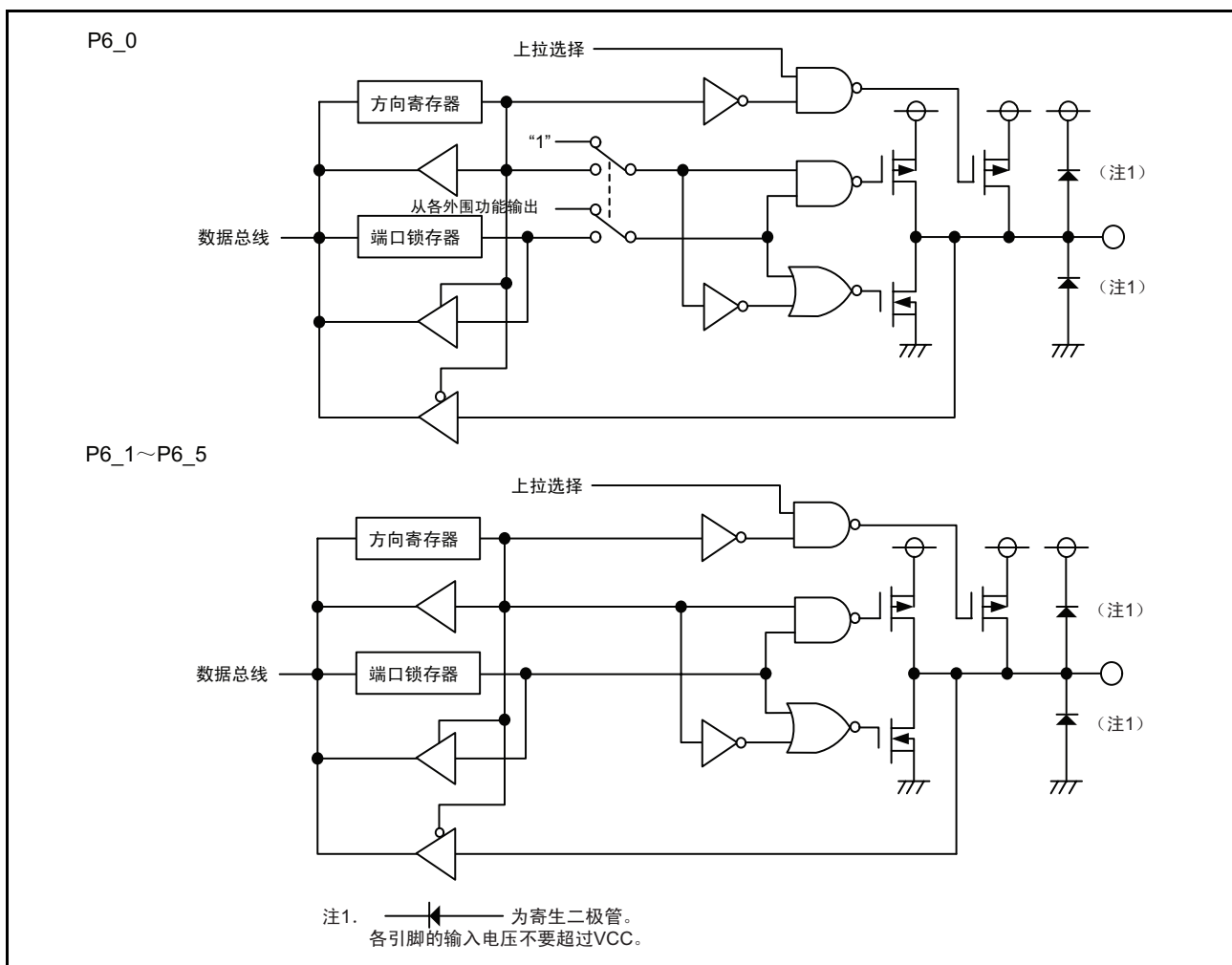


图 8.6 可编程输入 / 输出端口的结构 (6)

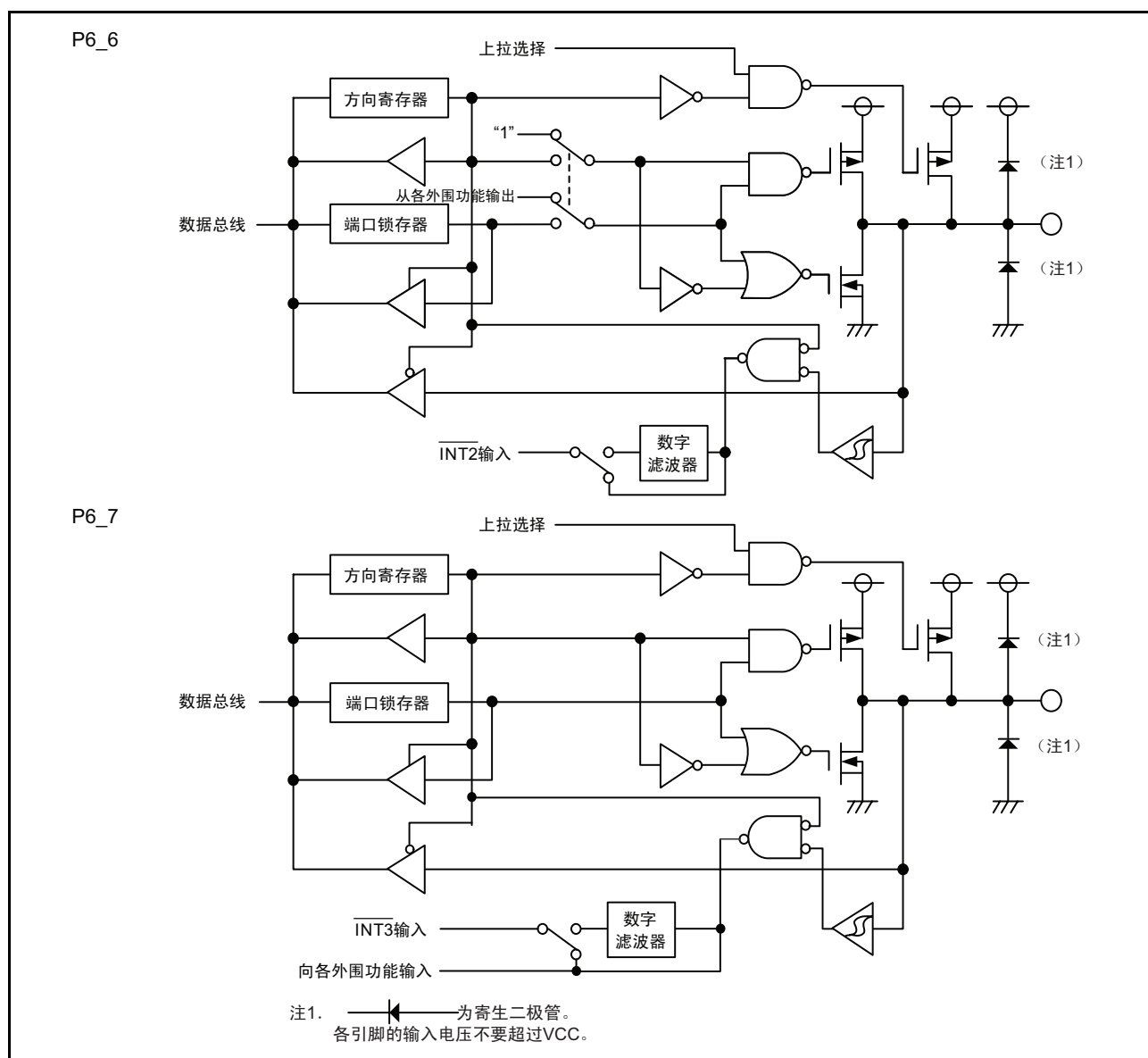


图 8.7 可编程输入 / 输出端口的结构 (7)

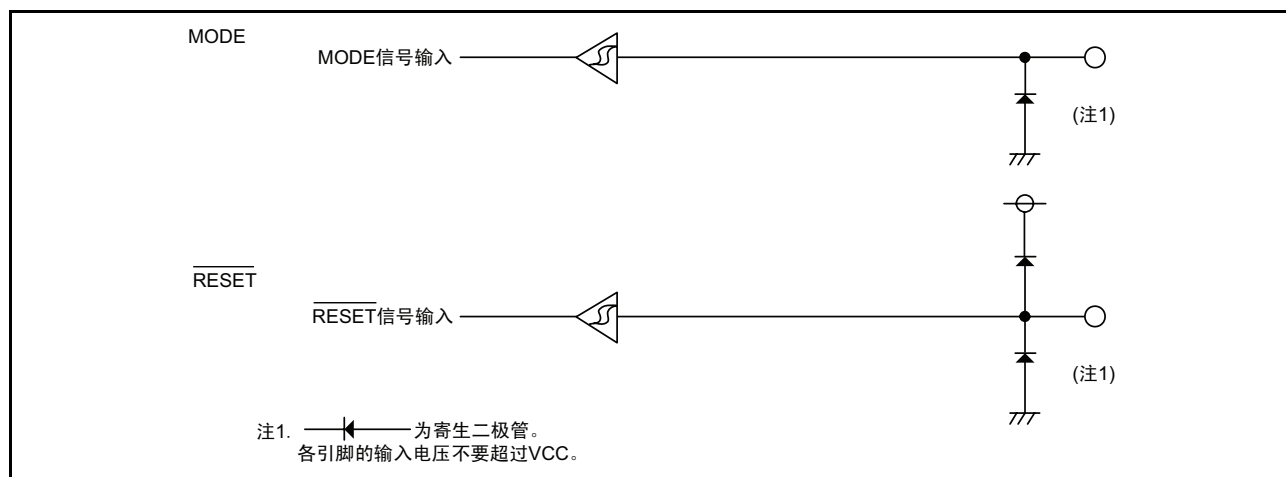


图 8.8 引脚的结构

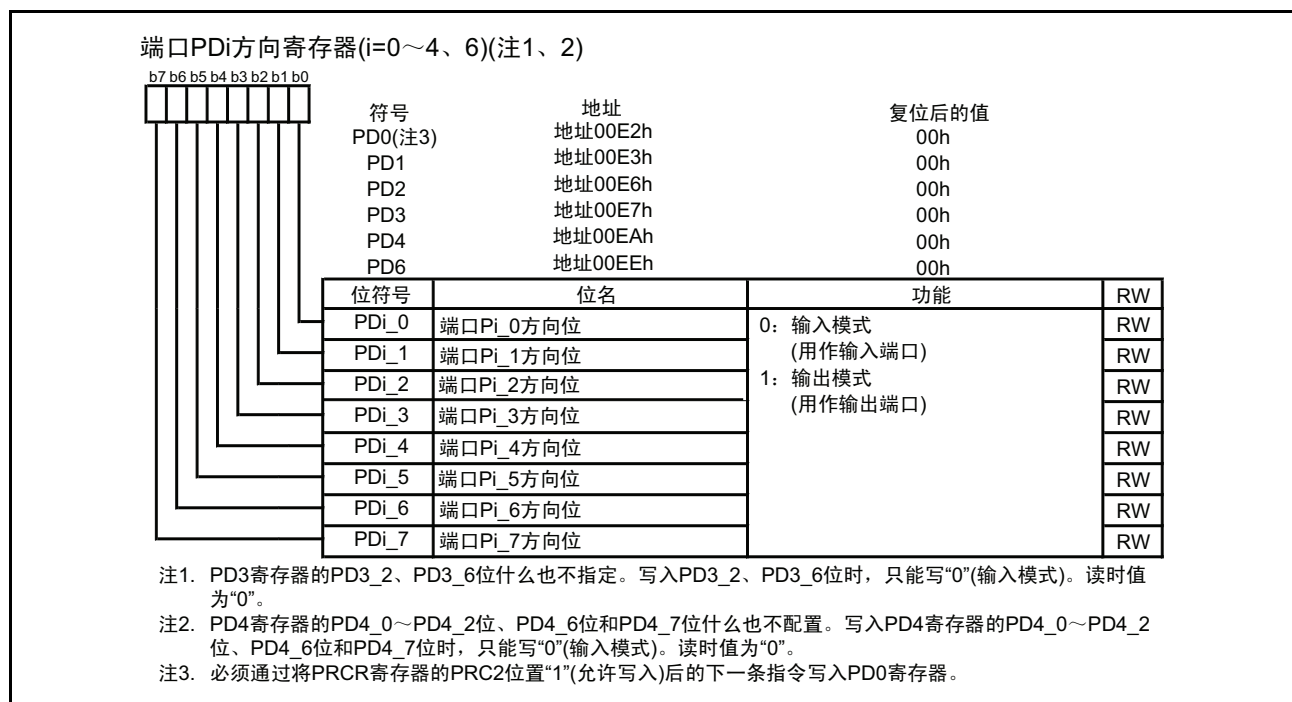


图 8.9 PDi 寄存器

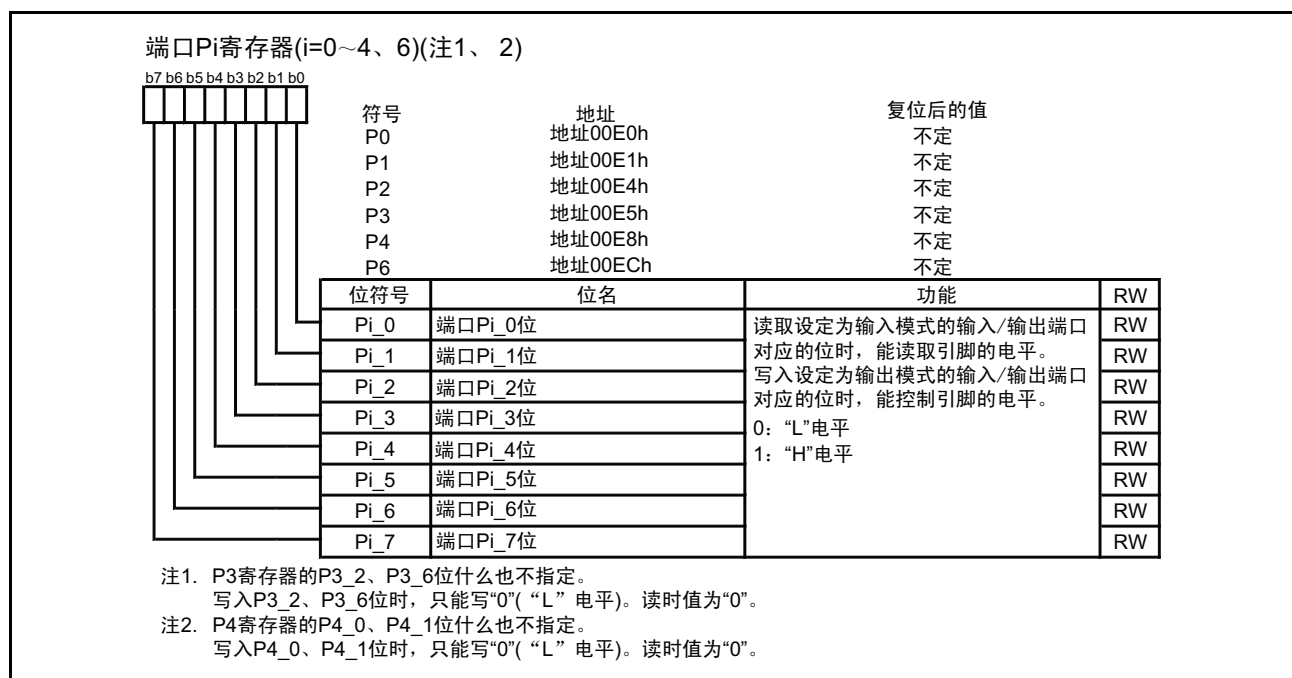


图 8.10 Pi 寄存器

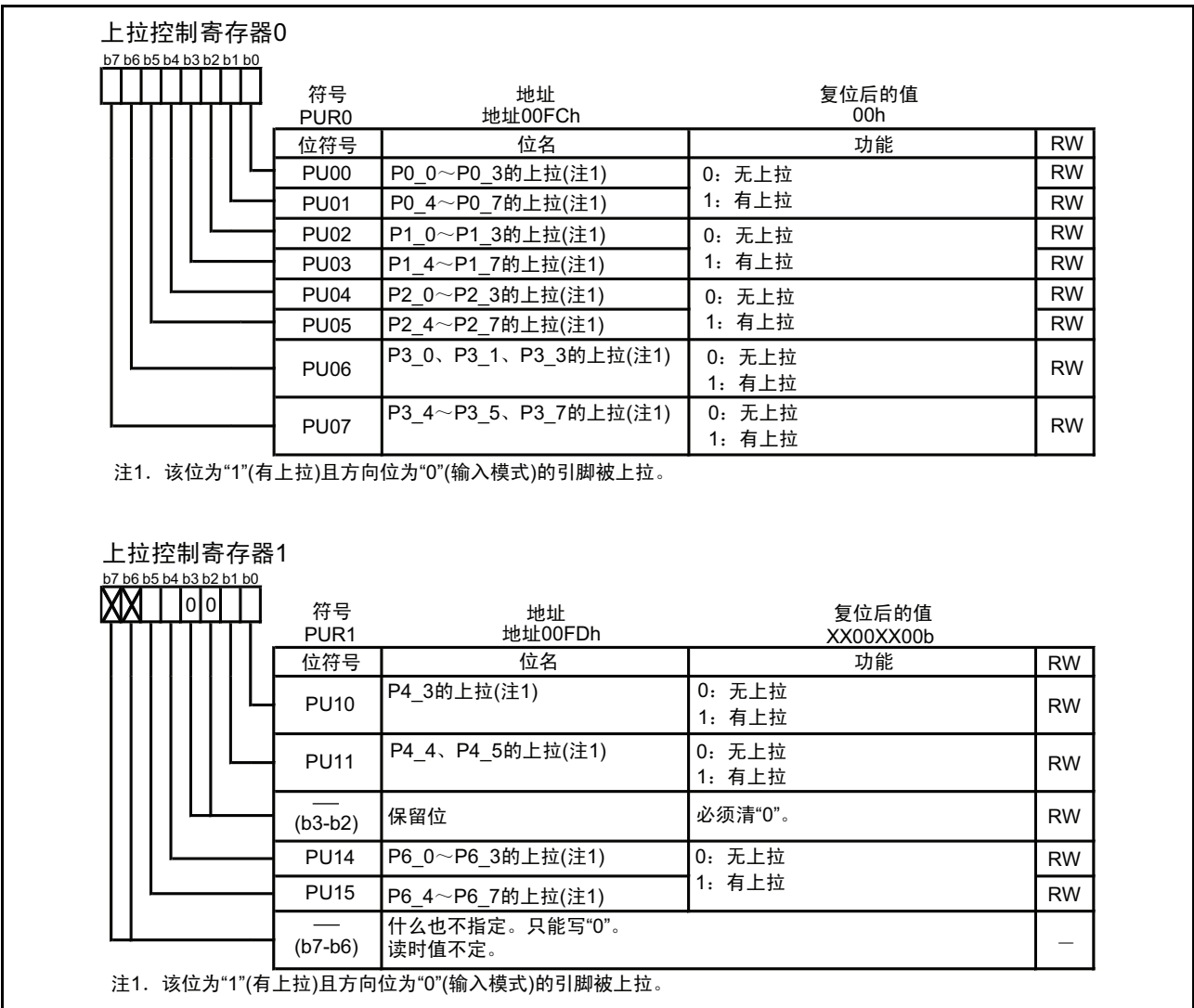


图 8.11 PUR0、PUR1 寄存器



图 8.12 PMR 寄存器

8.4 端口的设定

端口的设定如表 8.4 ～表 8.47 所示。

表 8.4 端口 P0_0/AN7

寄存器	PD0	ADCON0				功能
位	PD0_0	CH2	CH1	CH0	ADGSEL0	
设定值	0	X	X	X	X	输入端口（注 1）
	1	X	X	X	X	输出端口
	0	1	1	1	0	A/D 转换器输入（AN7）

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU00 位置 “1” 则有上拉。

表 8.5 端口 P0_1/AN6

寄存器	PD0	ADCON0				功能
位	PD0_1	CH2	CH1	CH0	ADGSEL0	
设定值	0	X	X	X	X	输入端口（注 1）
	1	X	X	X	X	输出端口
	0	1	1	0	0	A/D 转换器输入（AN6）

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU00 位置 “1” 则有上拉。

表 8.6 端口 P0_2/AN5

寄存器	PD0	ADCON0				功能
位	PD0_2	CH2	CH1	CH0	ADGSEL0	
设定值	0	X	X	X	X	输入端口（注 1）
	1	X	X	X	X	输出端口
	0	1	0	1	0	A/D 转换器输入（AN5）

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU00 位置 “1” 则有上拉。

表 8.7 端口 P0_3/AN4

寄存器	PD0	ADCON0				功能
位	PD0_3	CH2	CH1	CH0	ADGSEL0	
设定值	0	X	X	X	X	输入端口（注 1）
	1	X	X	X	X	输出端口
	0	1	0	0	0	A/D 转换器输入（AN4）

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU00 位置 “1” 则有上拉。

表 8.8 端口 P0_4/AN3

寄存器	PD0	ADCON0				功能
位	PD0_4	CH2	CH1	CH0	ADGSEL0	
设定值	0	X	X	X	X	输入端口（注 1）
	1	X	X	X	X	输出端口
	0	0	1	1	0	A/D 转换器输入（AN3）

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU01 位置 “1” 则有上拉。

表 8.9 端口 P0_5/AN2

寄存器	PD0	ADCON0				功能
位	PD0_5	CH2	CH1	CH0	ADGSEL0	
设定值	0	X	X	X	X	输入端口（注 1）
	1	X	X	X	X	输出端口
	0	0	1	0	0	A/D 转换器输入（AN2）

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU01 位置 “1” 则有上拉。

表 8.10 端口 P0_6/AN1

寄存器	PD0	ADCON0				功能
位	PD0_6	CH2	CH1	CH0	ADGSEL0	
设定值	0	X	X	X	X	输入端口（注 1）
	1	X	X	X	X	输出端口
	0	0	0	1	0	A/D 转换器输入（AN1）

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU01 位置 “1” 则有上拉。

表 8.11 端口 P0_7/AN0

寄存器	PD0	ADCON0				功能
位	PD0_7	CH2	CH1	CH0	ADGSEL0	
设定值	0	X	X	X	X	输入端口（注 1）
	1	X	X	X	X	输出端口
	0	0	0	0	0	A/D 转换器输入（AN0）

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU01 位置 “1” 则有上拉。

表 8.12 端口 P1_0/ $\overline{\text{KI0}}$ /AN8

寄存器	PD1	KIEN	ADCON0				功能
位	PD1_0	KI0EN	CH2	CH1	CH0	ADGSEL0	
设定值	0	X	X	X	X	X	输入端口（注 1）
	1	X	X	X	X	X	输出端口
	0	1	X	X	X	X	$\overline{\text{KI0}}$ 输入
	0	X	1	0	0	1	A/D 转换器输入（AN8）

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU02 位置 “1” 则有上拉。

表 8.13 端口 P1_1/ $\overline{\text{KI1}}$ /AN9

寄存器	PD1	KIEN	ADCON0				功能
位	PD1_1	KI1EN	CH2	CH1	CH0	ADGSEL0	
设定值	0	X	X	X	X	X	输入端口（注 1）
	1	X	X	X	X	X	输出端口
	0	1	X	X	X	X	$\overline{\text{KI1}}$ 输入
	0	X	1	0	1	1	A/D 转换器输入（AN9）

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU02 位置 “1” 则有上拉。

表 8.14 端口 P1_2/ $\overline{\text{KI2}}$ /AN10

寄存器	PD1	KIEN	ADCON0				功能
位	PD1_2	KI2EN	CH2	CH1	CH0	ADGSEL0	
设定值	0	X	X	X	X	X	输入端口（注 1）
	1	X	X	X	X	X	输出端口
	0	1	X	X	X	X	$\overline{\text{KI2}}$ 输入
	0	X	1	1	0	1	A/D 转换器输入（AN10）

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU02 位置 “1” 则有上拉。

表 8.15 端口 P1_3/ $\overline{\text{KI3}}$ /AN11

寄存器	PD1	KIEN	ADCON0				功能
位	PD1_3	KI3EN	CH2	CH1	CH0	ADGSEL0	
设定值	0	X	X	X	X	X	输入端口（注 1）
	1	X	X	X	X	X	输出端口
	0	1	X	X	X	X	$\overline{\text{KI3}}$ 输入
	0	X	1	1	1	1	A/D 转换器输入（AN11）

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU02 位置 “1” 则有上拉。

表 8.16 端口 P1_4/TXD0

寄存器	PD1	U0MR			功能
位	PD1_4	SMD2	SMD1	SMD0	
设定值	0	0	0	0	输入端口（注 1）
	1	0	0	0	输出端口
	X	0	0	1	TXD0 输出（注 2）
		1	0	0	
		1	0	1	
		1	1	0	

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU03 位置 “1” 则有上拉。

注 2. 如果将 U0C0 寄存器的 NCH 位置 “1”，则为 N 沟道漏极开路输出。

表 8.17 端口 P1_5/RXD0/（TRAIO）/（ $\overline{\text{INT1}}$ ）

寄存器	PD1	TRAIOC		TRAMR			INTEN	功能
位	PD1_5	TIOSEL	TOPCR	TMOD2	TMOD1	TMOD0	INT1EN	
设定值	0	0	X	X	X	X	X	输入端口 （注 1）
		X	1	X	X	X		
		X	X	001b 以外				
	1	0	X	X	X	X	X	输出端口
		X	1	X	X	X	X	
		X	X	001b 以外			X	
	0	X	X	001b 以外			X	RXD0 输入
		0	X	0	0	1	X	
	0	1	X	001b 以外			X	TRAIO 输入
	0	1	X	001b 以外			1	TRAIO/ $\overline{\text{INT1}}$ 输入
	X	1	0	0	0	1	X	TRAIO 脉冲输出

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU03 位置 “1” 则有上拉。

表 8.18 端口 P1_6/CLK0

寄存器	PD1	U0MR				功能
位	PD1_6	SMD2	SMD1	SMD0	CKDIR	
设定值	0	001b 以外			X	输入端口（注 1）
		X	X	X	1	
	1	001b 以外			X	输出端口
	0	X	X	X	1	CLK0（外部时钟）输入
	X	0	0	1	0	CLK0（内部时钟）输出

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU03 位置 “1” 则有上拉。

表 8.19 端口 P1_7/TRAIO/ $\overline{\text{INT1}}$

寄存器	PD1	TRAIOC		TRAMR			INTEN	功能
位	PD1_7	TIOSEL	TOPCR	TMOD2	TMOD1	TMOD0	INT1EN	
设定值	0	0	X	X	X	X	X	输入端口 （注 1）
		X	1	X	X	X		
		X	X	001b 以外				
	1	1	X	X	X	X	X	输出端口
		X	1	X	X	X	X	
		X	X	001b 以外			X	
	0	0	X	001b 以外			X	TRAIO 输入
	0	0	X	001b 以外			1	TRAIO/ $\overline{\text{INT1}}$ 输入
X	0	0	0	0	1	X	TRAIO 脉冲输出	

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU03 位置 “1” 则有上拉。

表 8.20 端口 P2_0/TRDIOA0/TRDCLK

寄存器	PD2	TRDOER1	TRDFCR				TRDIOA0			功能
位	PD2_0	EA0	CMD1	CMD0	STCLK	PWM3	IOA2	IOA1	IOA0	
设定值	0	1	X	X	X	X	X	X	X	输入端口（注 1）
	1	1	X	X	X	X	X	X	X	输出端口
	0	X	0	0	0	1	1	X	X	定时器模式（输入捕捉功能）
	0	X	X	X	1	1	0	0	0	外部时钟输入（TRDCLK）
	X	0	0	0	0	0	X	X	X	PWM3 模式波形输出
	X	0	0	0	0	1	0	0	1	定时器模式波形输出（输出比较功能）
							0	1	X	

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU04 位置 “1” 则有上拉。

表 8.21 端口 P2_1/TRDIOB0

寄存器	PD2	TRDOER1	TRDFCR			TRDPMR	TRDIOA0			功能
位	PD2_1	EB0	CMD1	CMD0	PWM3	PWMB0	IOB2	IOB1	IOB0	
设定值	0	1	X	X	X	X	X	X	X	输入端口（注 1）
	1	1	X	X	X	X	X	X	X	输出端口
	0	X	0	0	1	0	1	X	X	定时器模式 （输入捕捉功能）
	X	0	1	0	X	X	X	X	X	互补 PWM 模式波形输出
			1	1						
	X	0	0	1	X	X	X	X	X	复位同步 PWM 模式波形输出
	X	0	0	0	0	X	X	X	X	PWM3 模式波形输出
	X	0	0	0	1	1	X	X	X	PWM 模式波形输出
	X	0	0	0	1	0	0	0	1	定时器模式波形输出 （输出比较功能）
							0	1	X	

X: “0” 或者 “1”

注 2. 如果将 PUR0 寄存器的 PU04 位置 “1” 则有上拉。

表 8.22 端口 P2_2/TRDIOC0

寄存器	PD2	TRDOER1	TRDFCR			TRDPMR	TRDIORC0			功能
位	PD2_2	EC0	CMD1	CMD0	PWM3	PWMC0	IOC2	IOC1	IOC0	
设定值	0	1	X	X	X	X	X	X	X	输入端口（注 1）
	1	1	X	X	X	X	X	X	X	输出端口
	0	X	0	0	1	0	1	X	X	定时器模式 （输入捕捉功能）
	X	0	1	0	X	X	X	X	X	互补 PWM 模式波形输出
			1	1						
	X	0	0	1	X	X	X	X	X	复位同步 PWM 模式波形输出
	X	0	0	0	1	1	X	X	X	PWM 模式波形输出
	X	0	0	0	1	0	0	0	1	定时器模式波形输出（输出比较功能）
							0	1	X	

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU04 位置 “1” 则有上拉。

表 8.23 端口 P2_3/TRDIOD0

寄存器	PD2	TRDOER1	TRDFCR			TRDPMR	TRDIORC0			功能
位	PD2_3	ED0	CMD1	CMD0	PWM3	PWMD0	IOD2	IOD1	IOD0	
设定值	0	1	X	X	X	X	X	X	X	输入端口（注 1）
	1	1	X	X	X	X	X	X	X	输出端口
	0	X	0	0	1	0	1	X	X	定时器模式（输入捕捉功能）
	X	0	1	0	X	X	X	X	X	互补 PWM 模式波形输出
			1	1						
	X	0	0	1	X	X	X	X	X	复位同步 PWM 模式波形输出
	X	0	0	0	1	1	X	X	X	PWM 模式波形输出
	X	0	0	0	1	0	0	0	1	定时器模式波形输出（输出比较功能）
							0	1	X	

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU04 位置 “1” 则有上拉。

表 8.24 端口 P2_4/TRDIOA1

寄存器	PD2	TRDOER1	TRDFCR			TRDIOA1			功能
位	PD2_4	EA1	CMD1	CMD0	PWM3	IOA2	IOA1	IOA0	
设定值	0	1	X	X	X	X	X	X	输入端口（注 1）
	1	1	X	X	X	X	X	X	输出端口
	0	X	0	0	1	1	X	X	定时器模式（输入捕捉功能）
	X	0	1	0	X	X	X	X	互补 PWM 模式波形输出
			1	1					
	X	0	0	1	X	X	X	X	复位同步 PWM 模式波形输出
	X	0	0	0	1	0	0	1	定时器模式波形输出（输出比较功能）
						0	1	X	

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU05 位置 “1” 则有上拉。

表 8.25 端口 P2_5/TRDIOB1

寄存器	PD2	TRDOER1	TRDFCR			TRDPMR	TRDIOA1			功能
位	PD2_5	EB1	CMD1	CMD0	PWM3	PWMB1	IOB2	IOB1	IOB0	
设定值	0	1	X	X	X	X	X	X	X	输入端口（注 1）
	1	1	X	X	X	X	X	X	X	输出端口
	0	X	0	0	1	0	1	X	X	定时器模式（输入捕捉功能）
	X	0	1	0	X	X	X	X	X	互补 PWM 模式波形输出
			1	1						
	X	0	0	1	X	X	X	X	X	复位同步 PWM 模式波形输出
	X	0	0	0	1	1	X	X	X	PWM 模式波形输出
	X	0	0	0	1	0	0	0	1	定时器模式波形输出（输出比较功能）
							0	1	X	

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU05 位置 “1” 则有上拉。

表 8.26 端口 P2_6/TRDIOC1

寄存器	PD2	TRDOER1	TRDFCR			TRDPMR	TRDIOC1			功能
位	PD2_6	EC1	CMD1	CMD0	PWM3	PWMC1	IOC2	IOC1	IOC0	
设定值	0	1	X	X	X	X	X	X	X	输入端口（注 1）
	1	1	X	X	X	X	X	X	X	输出端口
	0	X	0	0	1	0	1	X	X	定时器模式（输入捕捉功能）
	X	0	1	0	X	X	X	X	X	互补 PWM 模式波形输出
			1	1						
	X	0	0	1	X	X	X	X	X	复位同步 PWM 模式波形输出
	X	0	0	0	1	1	X	X	X	PWM 模式波形输出
	X	0	0	0	1	0	0	0	1	定时器模式波形输出（输出比较功能）
							0	1	X	

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU05 位置 “1” 则有上拉。

表 8.27 端口 P2_7/TRDIOD1

寄存器	PD2	TRDOER1	TRDFCR			TRDPMR	TRDIORD1			功能
位	PD2_7	ED1	CMD1	CMD0	PWM3	PWMD1	IOD2	IOD1	IOD0	
设定值	0	1	X	X	X	X	X	X	X	输入端口（注 1）
	1	1	X	X	X	X	X	X	X	输出端口
	0	X	0	0	1	0	1	X	X	定时器模式（输入捕捉功能）
	X	0	1	0	X	X	X	X	X	互补 PWM 模式波形输出
			1	1						
	X	0	0	1	X	X	X	X	X	复位同步 PWM 模式波形输出
	X	0	0	0	1	1	X	X	X	PWM 模式波形输出
	X	0	0	0	1	0	0	0	1	定时器模式波形输出（输出比较功能）
							0	1	X	

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU05 位置 “1” 则有上拉。

表 8.28 端口 P3_0/TRAO

寄存器	PD3	TRAIOC	功能
位	PD3_0	TOENA	
设定值	0	0	输入端口（注 1）
	1	0	输出端口
	X	1	TRA0 输出

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU06 位置 “1” 则有上拉。

表 8.29 端口 P3_1/TRBO

寄存器	PD3	TRBMR		TRBIOC	功能
位	PD3_1	TMOD1	TMOD0	TOCNT	
设定值	0	0	0	X	输入端口（注 1）
	1	0	0	X	输出端口
	X	01b		1	
	X	00b 以外		0	TRBO 输出

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU06 位置 “1” 则有上拉。

表 8.30 端口 P3_3/SSI

寄存器	PD3	带片选的时钟同步串行 I/O (参照“表 17.4 通信模式和输入 / 输出引脚的关系”)		PMR	功能
位	PD3_3	SSI 输出控制	SSI 输入控制	IICSEL	
设定值	0	0	0	0	输入端口 (注 1)
	0	X	X	1	
	1	0	0	0	输出端口 (注 2)
	1	X	X	1	
	X	0	1	0	SSI 输入
	X	1	0	0	SSI 输出 (注 2)

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU06 位置 “1” 则有上拉。

注 2. 用作输出功能时, 将 SSMR2 寄存器的 SOOS 位置 “1”, 则为 N 沟道漏极开路输出。

表 8.31 端口 P3_4/SDA/SCS

寄存器	PD3	SSMR2		PMR	ICCR1	功能
位	PD3_4	CSS1	CSS0	IICSEL	ICE	
设定值	0	0	0	0	X	输入端口 (注 1)
	0	0	0	X	0	
	1	0	0	0	X	输出端口 (注 2)
	1	0	0	X	0	
	X	0	1	0	X	SCS 输入
	X	1	0	0	X	SCS 输出 (注 2)
		1	1			
	X	X	X	1	1	SDA 输入 / 输出

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU07 位置 “1” 则有上拉。

注 2. 用作输出功能时, 将 SSMR2 寄存器的 CSOS 位置 “1”, 则为 N 沟道漏极开路输出。

表 8.32 端口 P3_5/SCL/SSCK

寄存器	PD3	带片选的时钟同步串行 I/O (参照“表 17.4 通信模式和输入 / 输出引脚的关系”)		PMR	ICCR1	功能
位	PD3_5	SSCK 输出控制	SSCK 输入控制	IICSEL	ICE	
设定值	0	0	0	0	X	输入端口 (注 1)
	0	0	0	X	0	
	1	0	0	0	X	输出端口 (注 2)
	1	0	0	X	0	
	X	0	1	0	0	SSCK 输入
	X	1	0	0	0	SSCK 输出 (注 2)
	X	1	0	1	1	SCL 输入 / 输出

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU07 位置 “1” 则有上拉。

注 2. 用作输出功能时, 将 SSMR2 寄存器的 SCKOS 位置 “1”, 则为 N 沟道漏极开路输出。

表 8.33 端口 P3_7/SSO

寄存器	PD3	带片选的时钟同步串行 I/O (参照“表 17.4 通信模式和输入 / 输出引脚的关系”)		SSMR2	PMR	功能
位	PD3_7	SSO 输出控制	SSO 输入控制	SOOS	IICSEL	
设定值	0	0	0	X	0	输入端口 (注 1)
	0	X	X	X	1	
	1	0	0	0	0	输出端口
	1	X	X	0	1	
	X	0	1	0	0	SSO 输入
	X	1	0	0	0	SSO 输出 (CMOS 输出)
	X	1	0	1	0	SSO 输出 (N 沟道漏极开路输出)

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU07 位置 “1” 则有上拉。

表 8.34 端口 P4_2/VREF

寄存器	ADCON1	功能
位	VCUT	
设定值	0	输入端口
	1	输入端口 / VREF 输入

表 8.35 端口 P4_3

寄存器	PD4	功能
位	PD4_3	
设定值	0	输入端口（注 1）
	1	输出端口

注 1. 如果将 PUR0 寄存器的 PU10 位置“1”则有上拉。

表 8.36 端口 P4_4

寄存器	PD4	功能
位	PD4_4	
设定值	0	输入端口（注 1）
	1	输出端口

注 1. 如果将 PUR0 寄存器的 PU11 位置“1”则有上拉。

表 8.37 端口 P4_5/ $\overline{\text{INT0}}$

寄存器	PD4	INTEN	功能
位	PD4_5	INT0EN	
设定值	0	X	输入端口（注 1）
	1	X	输出端口
	0	1	$\overline{\text{INT0}}$ 输入

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU11 位置“1”则有上拉。

表 8.38 端口 P4_6/XIN

寄存器	CM1		CM0	电路规格		功能
	CM13	CM10	CM05	振荡缓冲器	反馈电阻	
设定值	0	X	X	OFF	OFF	输入端口
	1	0	0	ON	ON	XIN-XOUT 振荡
	1	0	1	OFF	ON	外部 XIN 输入
	1	1	0	OFF	OFF	XIN-XOUT 振荡停止
	1	1	1	OFF	OFF	XIN-XOUT 振荡停止

X: “0” 或者 “1”

表 8.39 端口 P4_7/XOUT

寄存器	CM1		CM0	电路规格		功能
位	CM13	CM10	CM05	振荡缓冲器	反馈电阻	
设定值	0	X	X	OFF	OFF	输入端口
	1	0	0	ON	ON	XIN-XOUT 振荡
	1	0	1	OFF	ON	XOUT 为“H”上拉
	1	1	0	OFF	OFF	XIN-XOUT 振荡停止
	1	1	1	OFF	OFF	XIN-XOUT 振荡停止

X: “0” 或者 “1”

表 8.40 端口 P6_0/TREO

寄存器	PD6	TRECR1	功能
位	PD6_0	TOENA	
设定值	0	0	输入端口（注 1）
	1	0	输出端口
	X	1	TREO 输出

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU14 位置 “1” 则有上拉。

表 8.41 端口 P6_1

寄存器	PD6	功能
位	PD6_1	
设定值	0	输入端口（注 1）
	1	输出端口

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU14 位置 “1” 则有上拉。

表 8.42 端口 P6_2

寄存器	PD6	功能
位	PD6_2	
设定值	0	输入端口（注 1）
	1	输出端口

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU14 位置 “1” 则有上拉。

表 8.43 端口 P6_3

寄存器	PD6	功能
位	PD6_3	
设定值	0	输入端口（注 1）
	1	输出端口

注 1. 如果将 PUR0 寄存器的 PU14 位置“1”则有上拉。

表 8.44 端口 P6_4

寄存器	PD6	功能
位	PD6_4	
设定值	0	输入端口（注 1）
	1	输出端口

注 1. 如果将 PUR0 寄存器的 PU15 位置“1”则有上拉。

表 8.45 端口 P6_5

寄存器	PD6	功能
位	PD6_5	
设定值	0	输入端口（注 1）
	1	输出端口

注 1. 如果将 PUR0 寄存器的 PU15 位置“1”则有上拉。

表 8.46 端口 P6_6/INT2/TXD1

寄存器	PD6	PMR	U1MR			U1C0	INTEN	功能
位	PD6_6	U1PINSEL	SMD2	SMD1	SMD0	NCH	INT2EN	
设定值	0	X	0	0	0	X	X	输入端口（注 1）
		0	X	X	X			
	1	X	0	0	0	X	X	输出端口
		0	X	X	X			
	0	X	X	X	X	X	1	INT2 输入
	X	1	0	0	1	0	X	TXD1 输出（COMS 输出）
			1	0	0			
			1	0	1			
			1	1	0			
	X	1	0	0	1	1	X	TXD1 输出（N 沟道漏极开路输出）
			1	0	0			
			1	0	1			
			1	1	0			

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU15 位置“1”则有上拉。

表 8.47 端口 P6_7/INT3/RXD1

寄存器	PD6	PMR	INTEN	功能
位	PD6_7	U1PINSEL	INT3EN	
设定值	0	X	X	输入端口（注 1）
	1	X	X	输出端口
	0	X	1	$\overline{\text{INT3}}$ 输入
	0	1	X	RXD1 输入

X: “0” 或者 “1”

注 2. 如果将 PUR0 寄存器的 PU15 位置 “1” 则有上拉。

8.5 未使用引脚的处理

未使用引脚的处理例子如表 8.48 所示。

表 8.48 未使用引脚的处理例子

引脚名	处理内容
端口 P0 ~ P2、P3_0、 P3_1、P3_3 ~ P3_7、 P4_3 ~ P4_5、P6	- 设定为输入模式，每个引脚通过电阻连接到 VSS（下拉）或者 VCC（上拉）（注 2） - 设定为输出模式，使引脚开路（注 1、2）
端口 P4_6、P4_7	通过电阻连接到 VCC（上拉）（注 2）
端口 P4_2/VREF	连接到 VCC
$\overline{\text{RESET}}$ （注 3）	通过电阻连接到 VCC（上拉）（注 2）

注 1. 设定为输出模式且引脚开路时，在通过程序将端口转换为输出模式前，端口为输入状态。因此，引脚的电压电平不定，在端口为输入模式期间，电源电流有可能增加。另外，考虑到噪声或者由于噪声引起的失控等使方向寄存器的内容发生变化的情况，建议通过程序定期地重新设定方向寄存器的内容，提高程序的可靠性。

注 2. 必须尽量用短的布线（2cm 以内）处理单片机的未使用引脚。

注 3. 在使用上电复位功能时。

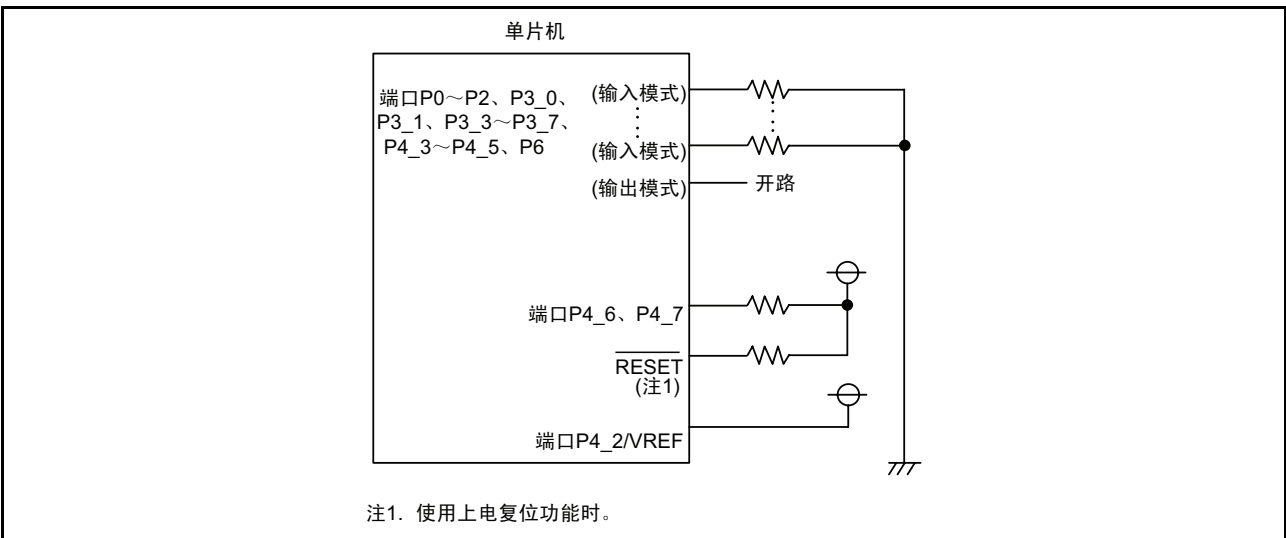


图 8.13 未使用引脚的处理例子

9. 处理器模式

9.1 处理器模式的种类

处理器模式为单芯片模式。
处理器模式的特点如表 9.1 所示，PM0 寄存器如图 9.1、PM1 寄存器如图 9.2 所示。

表 9.1 处理器模式的特点

处理器模式	存取空间	分配为输入 / 输出端口的引脚
单芯片模式	SFR、内部 RAM、内部 ROM	全部引脚为输入 / 输出端口或者外围功能输入 / 输出引脚

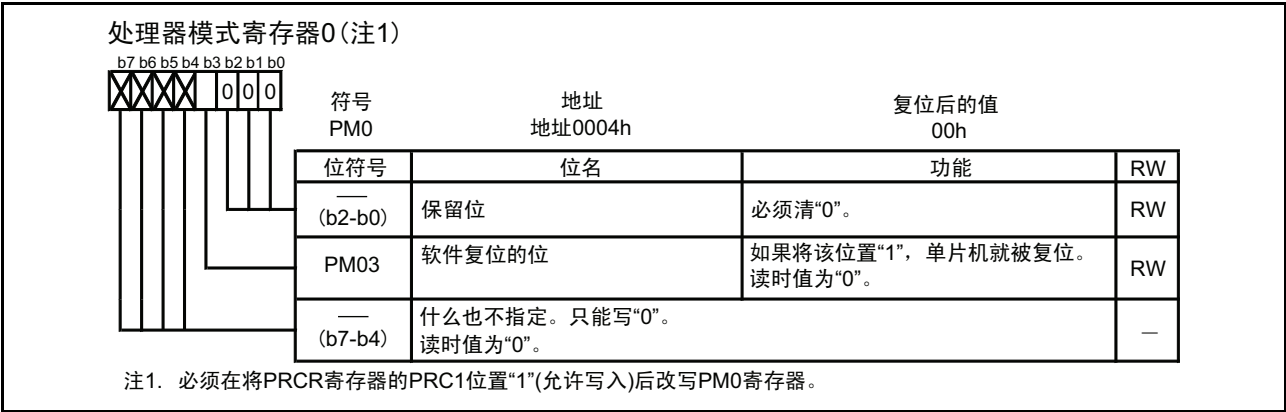


图 9.1 PM0 寄存器

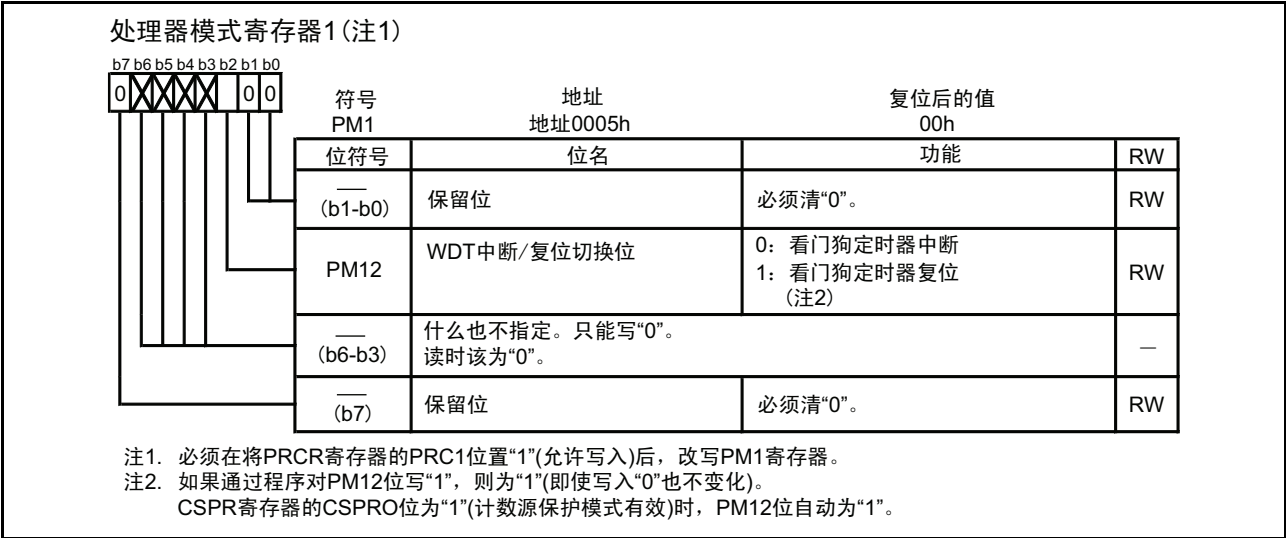


图 9.2 PM1 寄存器

10. 总线控制

ROM、RAM 与 SFR 存取时的总线周期不同。

R8C/20 群的存取区的总线周期如表 10.1 所示，R8C/21 群的存取区的总线周期如表 10.2 所示。

ROM、RAM 和 SFR 通过 8 位总线和 CPU 连接。因此，在以字（16 位）单位存取时，以 8 位单位进行 2 次存取。存取单位和总线的运行如表 10.3 所示。

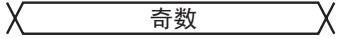
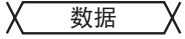
表 10.1 R8C/20 群的存取区的总线周期

存取区	总线周期
SFR	2 个 CPU 时钟周期
ROM/RAM	1 个 CPU 时钟周期

表 10.2 R8C/21 群的存取区的总线周期

存取区	总线周期
SFR/ 数据闪存	2 个 CPU 时钟周期
可编程 ROM/RAM	1 个 CPU 时钟周期

表 10.3 存取单位和总线的运行

区域	SFR、数据闪存	ROM（可编程 ROM）、RAM
偶数地址 字节存取	CPU 时钟  地址  偶数 数据 	CPU 时钟  地址  偶数 数据 
奇数地址 字节存取	CPU 时钟  地址  奇数 数据 	CPU 时钟  地址  奇数 数据 
偶数地址 字存取	CPU 时钟  地址  偶数 偶数+1 数据 	CPU 时钟  地址  偶数 偶数+1 数据 
奇数地址 字存取	CPU 时钟  地址  奇数 奇数+1 数据 	CPU 时钟  地址  奇数 奇数+1 数据 

不过，只有下一个 SFR 通过 16 位总线和 CPU 连接。

定时器 RD: TRDi (i=0、1)、TRDGRai、TRDGRBi、TRDGRci、TRDGRDi 寄存器

因此，以 16 位单位进行一次存取。总线的运行与“表 10.3 存取单位和总线的运行”的“区域：SFR、数据闪存、偶数地址字节存取”相同，一次存取 16 位数据。

11. 时钟产生电路

时钟产生电路内置 3 个电路：

- XIN 时钟振荡电路
- 低速内部振荡器
- 高速内部振荡器

时钟产生电路的概要规格如表 11.1 所示，时钟产生电路如图 11.1 所示，与时钟相关的寄存器如图 11.2 ～ 图 11.7 所示。

表 11.1 时钟产生电路的概要规格

项目	XIN 时钟振荡电路	内部振荡器	
		高速内部振荡器	低速内部振荡器
用途	• CPU 的时钟源 • 外围功能的时钟源	• CPU 的时钟源 • 外围功能的时钟源 • XIN 时钟振荡停止时的 CPU 和外围功能的时钟源	• CPU 的时钟源 • 外围功能的时钟源 • XIN 时钟振荡停止时的 CPU 和外围功能的时钟源
时钟频率	0 ~ 20MHz	约 40MHz（注 3）	约 125kHz
能连接的振荡器	• 陶瓷谐振器 • 晶体振荡器	—	—
振荡器的连接引脚	XIN、XOUT（注 1）	—（注 1）	—（注 1）
振荡开始和停止	有	有	有
复位后的状态	停止	停止	振荡
其他	可输入外部产生的时钟（注 2）	—	—

注 1. 在不使用 XIN 时钟振荡电路而将内部振荡器时钟用于 CPU 时钟时，该引脚能作为 P4_6 和 P4_7 使用。

注 2. 在输入外部时钟时，必须将 CM0 寄存器的 CM05 位置“1”（XIN 时钟停止），CM1 寄存器的 CM13 位置“1”（XIN-XOUT 引脚）。

注 3. 作为 CPU 时钟源使用时，分频器最大频率：约 20MHz。

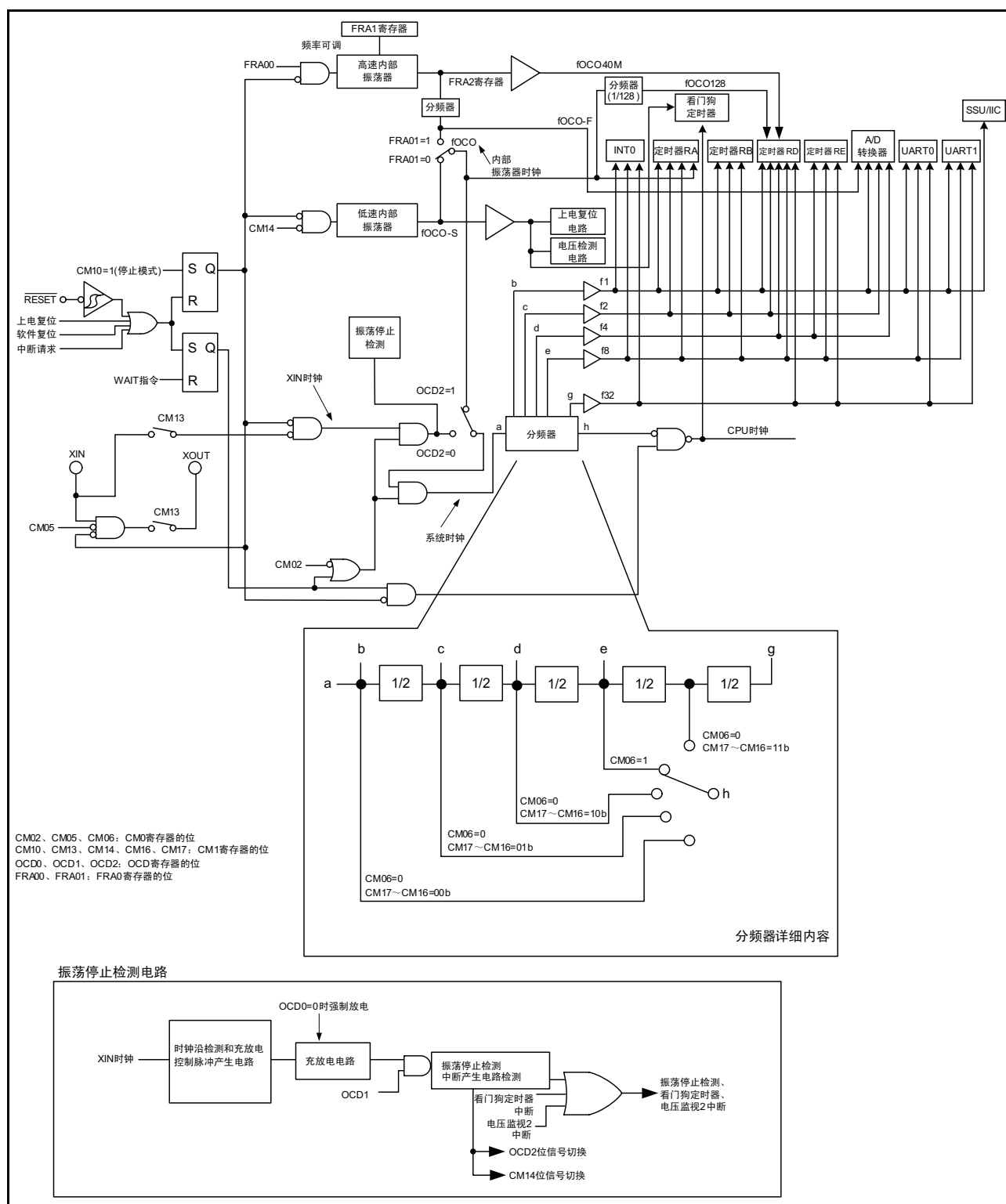


图 11.1 时钟产生电路

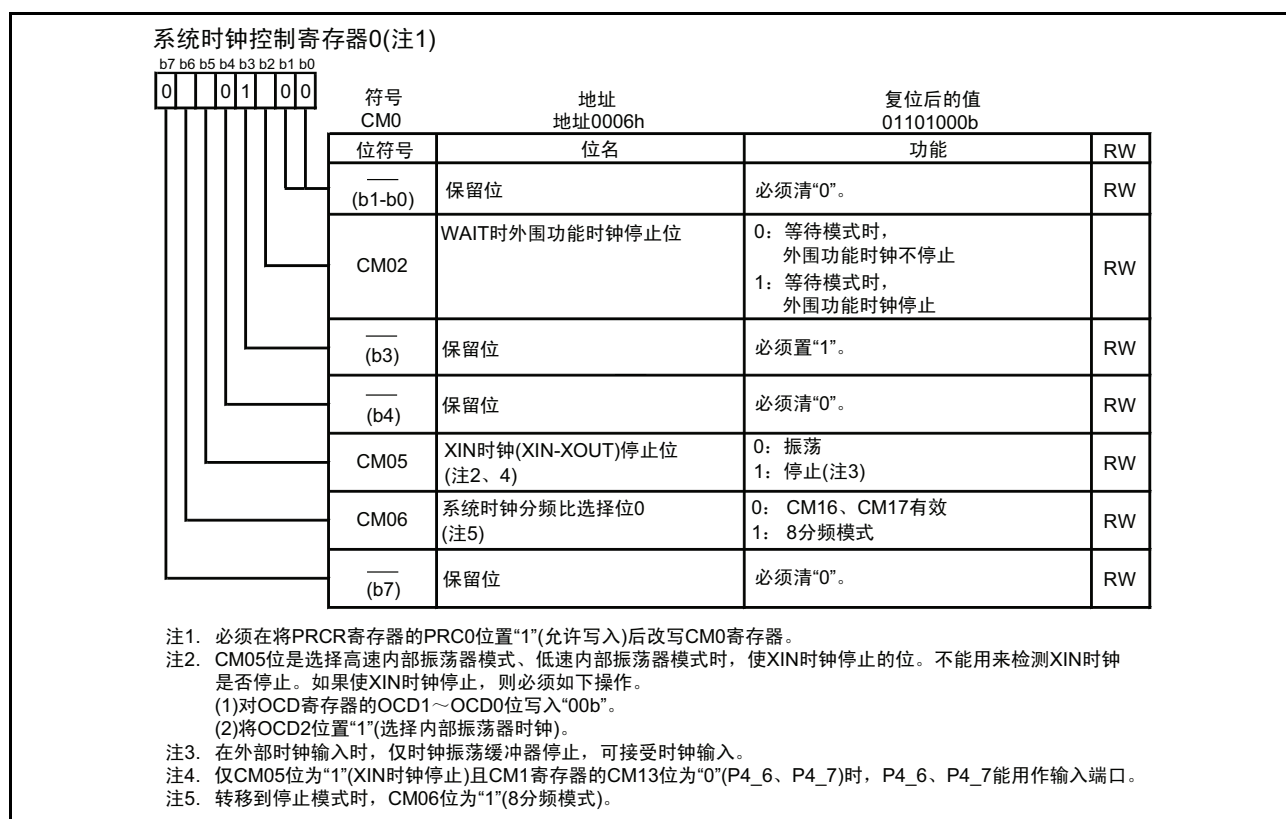


图 11.2 CM0 寄存器

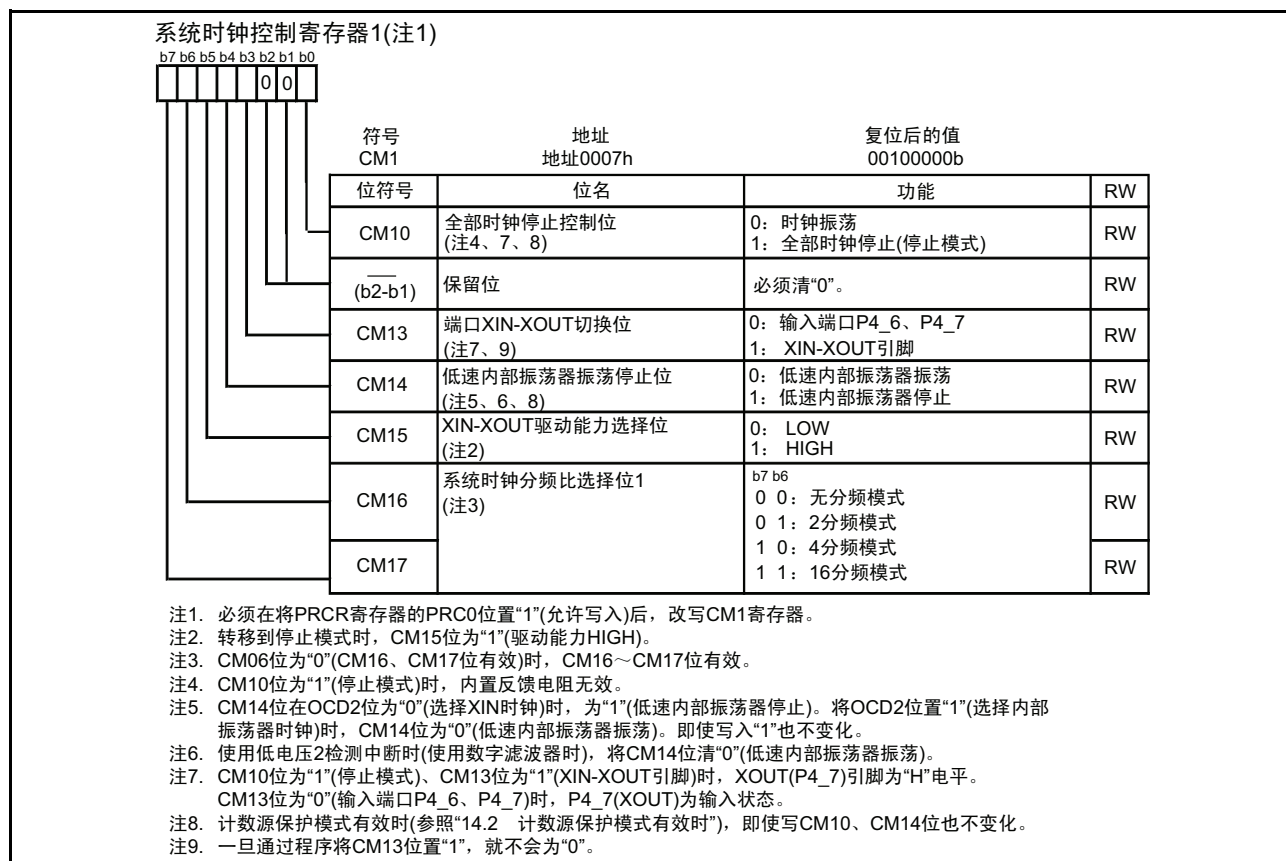


图 11.3 CM1 寄存器

振荡停止检测寄存器(注1)

b7 b6 b5 b4 b3 b2 b1 b0	符号 OCD	地址 地址000Ch	复位后的值 00000100b	
0 0 0 0	位符号	位名	功能	RW
	OCD0	振荡停止检测有效位 (注7)	0: 振荡停止检测功能无效(注2) 1: 振荡停止检测功能有效	RW
	OCD1	振荡停止检测中断允许位	0: 禁止(注2) 1: 允许	RW
	OCD2	系统时钟选择位 (注4)	0: 选择XIN时钟(注7) 1: 选择内部振荡器时钟 (注3)	RW
	OCD3	时钟监视位 (注5、6)	0: XIN时钟振荡 1: XIN时钟停止	RO
	(b7-b4)	保留位	必须清“0”。	RW

- 注1. 必须在将PRCR寄存器的PRC0位置“1”(允许写入)后, 改写OCD寄存器。
 注2. 转换到停止模式、高速内部振荡器模式、低速内部振荡器模式(XIN时钟停止)前, 必须对OCD1~OCD0位写入“00b”。
 注3. 将OCD2位置“1”(选择内部振荡器时钟)时, CM14位为“0”(低速内部振荡器振荡)。
 注4. 如果OCD1~OCD0位为“11b”时检测到XIN时钟振荡停止, OCD2位自动切换为“1”(选择内部振荡器时钟)。
 另外, 在OCD3位为“1”(XIN时钟停止)时, 即使对OCD2位写“0”(选择XIN时钟)也不变化。
 注5. OCD3位在OCD0位为“1”(振荡停止检测功能有效)时有效。
 注6. OCD1~OCD0位为“00b”时, OCD3位为“0”(XIN时钟振荡), 并且不变化。
 注7. 振荡停止检测后, XIN时钟再次振荡时的切换步骤参照“图11.13 从低速内部振荡器切换到XIN时钟的步骤”。

图 11.4 OCD 寄存器

高速内部振荡器控制寄存器0(注1)

b7 b6 b5 b4 b3 b2 b1 b0	符号 FRA0	地址 地址0023h	复位后的值 00h	
0 0 0 0 0 0	位符号	位名	功能	RW
	FRA00	高速内部振荡器允许位	0: 高速内部振荡器停止 1: 高速内部振荡器振荡	RW
	FRA01	高速内部振荡器选择位(注2)	0: 选择低速内部振荡器 (注3) 1: 选择高速内部振荡器	RW
	(b7-b2)	保留位	必须清“0”。	RW

- 注1. 必须在将PRCR寄存器的PRC0位置“1”(允许写入)后, 改写FRA0寄存器。
 注2. 在以下条件时, 必须改变FRA01位。
 • FRA00=1(高速内部振荡器振荡)
 • CM1寄存器的CM14=0(低速内部振荡器振荡)
 • FRA2寄存器的FRA22~FRA20位
 VCC=3.0V~5.5V时(J版)可设定全分频模式“000b”~“111b”
 VCC=2.7V~5.5V时和K版时为不低于4分频的分频比“010b”~“111b”
 注3. 对FRA01位写“0”(选择低速内部振荡器)时, 不要同时对FRA00位写“0”(高速内部振荡器停止)。
 必须将 FRA01位清“0”后, 将FRA00位清“0”。

图 11.5 FRA0 寄存器

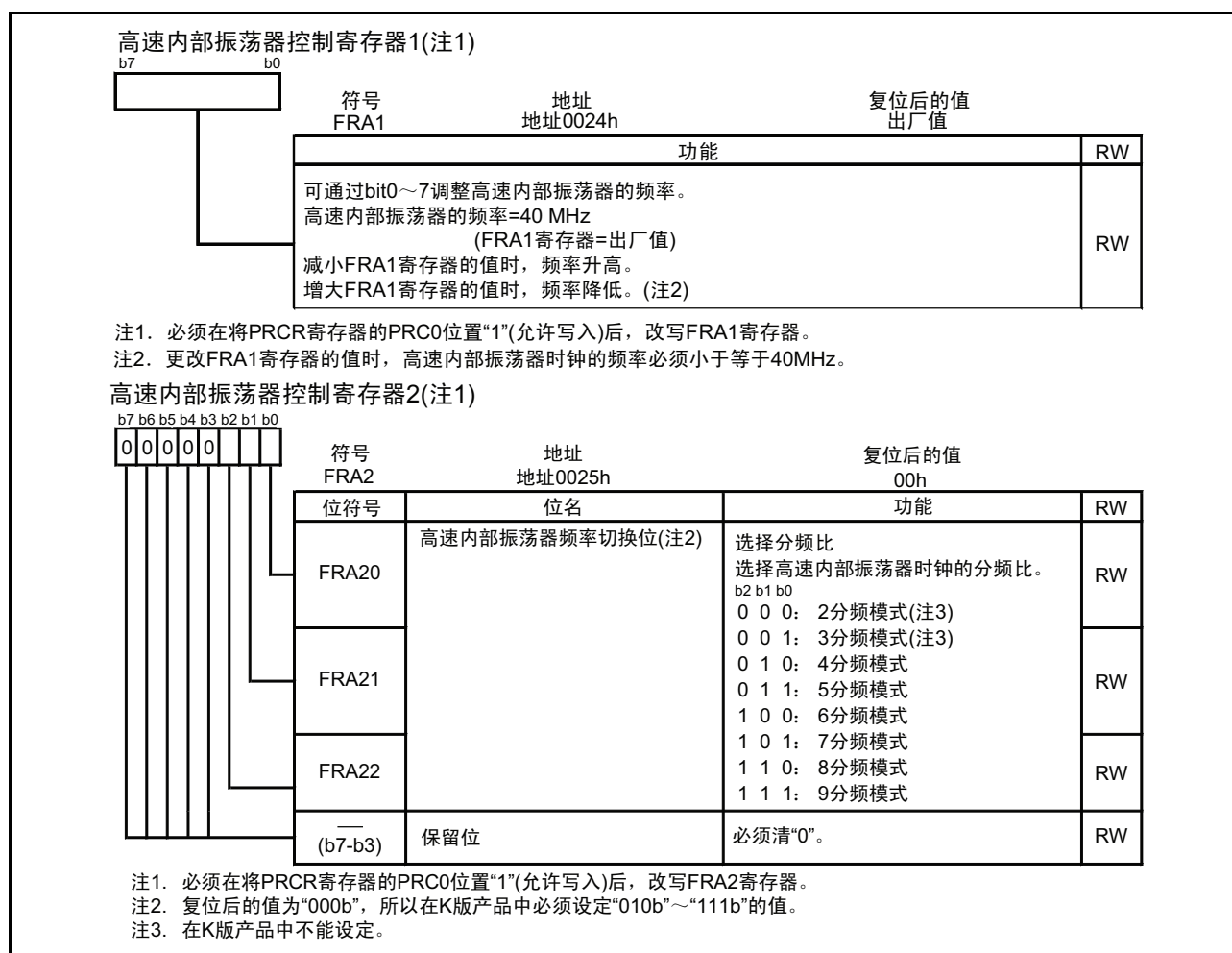


图 11.6 FRA1、FRA2 寄存器

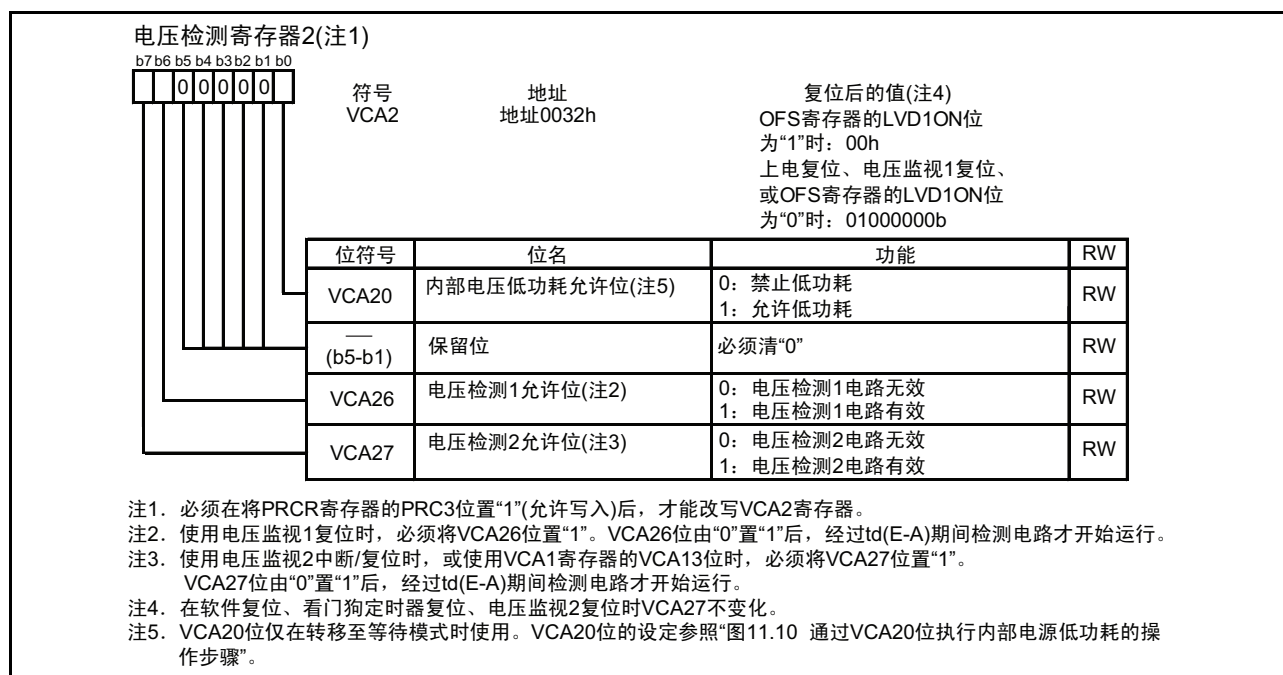


图 11.7 VCA2 寄存器

以下说明由时钟产生电路生成的时钟。

11.1 XIN 时钟

是 XIN 时钟振荡电路提供的时钟，为 CPU 时钟和外围功能时钟的时钟源。XIN 时钟振荡电路通过在 XIN-XOUT 引脚之间连接振荡器构成振荡电路。XIN 时钟振荡电路内置反馈电阻，为了在停止模式时降低功耗，将反馈电阻从振荡电路分离。对于 XIN 时钟振荡电路，也能将外部生成的时钟输入到 XIN 引脚。

XIN 时钟的连接电路例子如图 11.8 所示。

在复位中和在复位后，XIN 时钟停止。

如果在将 CM1 寄存器的 CM13 位置“1”（XIN-XOUT 引脚）后，将 CM0 寄存器的 CM05 位清“0”（XIN 时钟振荡），XIN 时钟就开始振荡。如果在 XIN 时钟振荡稳定后，将 OCD 寄存器的 OCD2 位清“0”（选择 XIN 时钟），XIN 时钟就成为 CPU 的时钟源。

在将 OCD2 位置“1”（选择内部振荡器时钟）使用时，如果将 CM0 寄存器的 CM05 位置“1”（XIN 时钟停止），就能降低功耗。另外，在将外部生成的时钟输入到 XIN 引脚时，即使将 CM05 位置“1”，XIN 时钟也不停止，因此，必要时需从外部停止时钟。

在停止模式时，包括 XIN 时钟在内的全部时钟都停止。详细内容请参照“11.4 功率控制”。

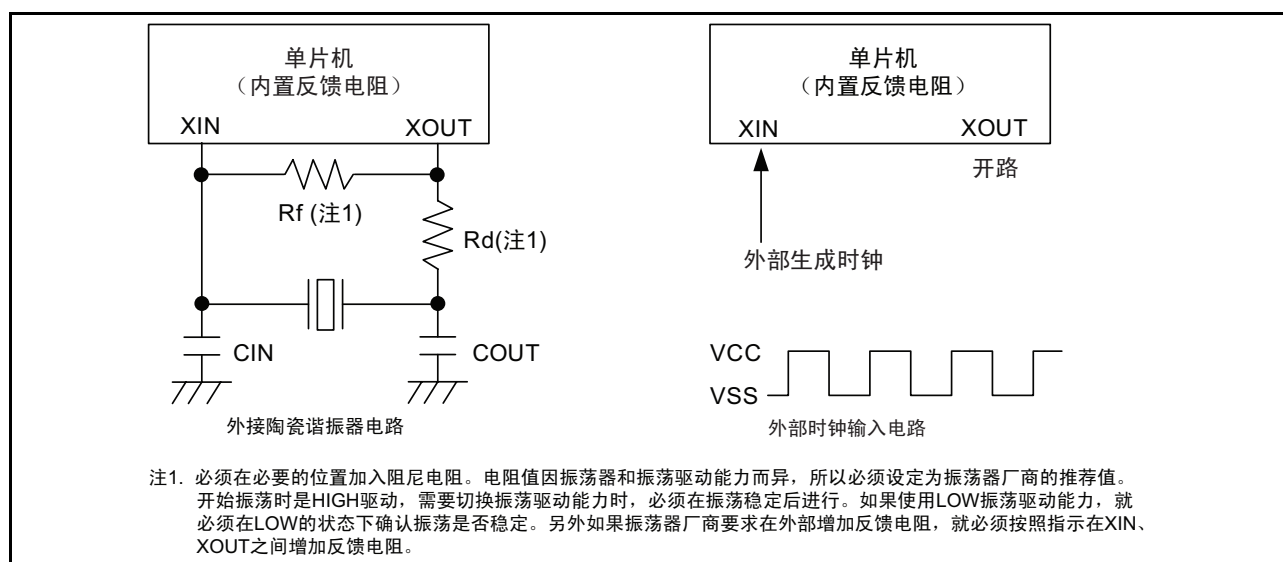


图 11.8 XIN 时钟的连接电路例子

11.2 内部振荡器时钟

是内部振荡器提供的时钟，内部振荡器有高速内部振荡器和低速内部振荡器。由 FRA0 寄存器的 FRA01 位选择的内部振荡器的时钟为内部振荡器时钟。

11.2.1 低速内部振荡器时钟

由低速内部振荡器生成的时钟成为 CPU 时钟、外围功能时钟、fOCO、fOCO-S 的时钟源。

在复位后，由低速内部振荡器生成的内部振荡器时钟的 8 分频成为 CPU 时钟。

另外，如果 OCD 寄存器的 OCD1 ~ OCD0 位为“11b”，就在 XIN 时钟停止时低速内部振荡器自动开始运行，供给时钟。

由于低速内部振荡器的频率根据电源电压和工作环境温度波动很大，因此在设计应用产品时必须对频率波动留有充分的容限。

11.2.2 高速内部振荡器时钟

由高速内部振荡器生成的时钟成为 CPU 时钟、外围功能时钟、fOCO、fOCO-F、fOCO40M 的时钟源。

作为 CPU 时钟、外围时钟、fOCO、fOCO-F 的时钟源使用时，必须通过 FRA2 寄存器的 FRA20 ~ FRA22 位，做以下设定。

VCC=3.0V ~ 5.5V 时 (J 版)，可设定全部分频模式“000b” ~ “111b”

VCC=2.7V ~ 5.5V 时和 K 版中为不低于 4 分频模式的分频比“010b” ~ “111b”

由高速内部振荡器生成的内部振荡器时钟在复位后停止。如果将 FRA0 寄存器的 FRA00 位置“1”（高速内部振荡器振荡），就开始振荡，并且能使用 FRA1 寄存器和 FRA2 寄存器调整频率。

FRA1 寄存器各个位的频率调整量有偏差，所以必须变化各个位来进行调整。调整 FRA1 寄存器时，必须将高速内部振荡器时钟的频率设定为小于等于 40MHz。

11.3 CPU 时钟和外围功能时钟

有使 CPU 运行的 CPU 时钟和使外围功能运行的时钟（请参照“图 11.1 时钟产生电路”）。

11.3.1 系统时钟

系统时钟是 CPU 时钟和外围功能时钟的时钟源，能选择 XIN 时钟或者内部振荡器时钟。

11.3.2 CPU 时钟

CPU 时钟是 CPU 和看门狗定时器的运行时钟。

对系统时钟进行 1 分频（不分频）或者 2、4、8、16 分频后的时钟成为 CPU 时钟。能通过 CM0 寄存器的 CM06 位和 CM1 寄存器的 CM16 ~ CM17 位选择分频。

在复位后，低速内部振荡器时钟的 8 分频成为 CPU 时钟。

另外，转移到停止模式时，CM06 位变为“1”（8 分频模式）。

11.3.3 外围功能时钟（f1、f2、f4、f8、f32）

是外围功能的运行时钟。

f_i ($i=1, 2, 4, 8, 32$) 是对系统时钟进行 i 分频后的时钟，用于定时器 RA、定时器 RB、定时器 RD、定时器 RE、串行接口、A/D 转换器。

如果在 CM0 寄存器的 CM02 位置“1”（在等待模式时，停止外围功能时钟）后执行 WAIT 指令， f_i 就停止。

11.3.4 fOCO

是外围功能的运行时钟。

fOCO 是和内部振荡器时钟相同频率的时钟，用于定时器 RA。在执行 WAIT 指令时，fOCO 不停止。

11.3.5 fOCO40M

是定时器 RD 的计数源。

fOCO40M 是由高速内部振荡器生成的时钟。如果将 FRA00 位置“1”，就供给 fOCO40M。

在执行 WAIT 指令时，fOCO40M 不停止。

该时钟能够在电源电压 $V_{CC}=3.0 \sim 5.5V$ 的范围内使用。

11.3.6 fOCO-F

是 A/D 转换器的计数源。

fOCO-F 是由高速内部振荡器生成的时钟。如果将 FRA00 位置“1”，就供给 fOCO-F。

在执行 WAIT 指令时，fOCO-F 不停止。

11.3.7 fOCO-S

是看门狗定时器和电压检测电路的运行时钟。

fOCO-S 是由低速内部振荡器产生的时钟。如果将 CM14 位清“0”（低速内部振荡器振荡），就供给 fOCO-S。

在执行 WAIT 指令时或者在看门狗定时器的计数源保护模式时，fOCO-S 不停止。

11.3.8 fOCO128

是将 fOCO 进行 128 分频后的时钟。

是用于定时器 RD 的通道 0 的捕捉信号。

11.4 功率控制

功率控制有 3 种模式。在此将除了等待模式和停止模式以外的状态称为标准运行模式。

11.4.1 标准运行模式

标准运行模式又分为 3 种模式。

在标准运行模式，由于供给 CPU 时钟和外围功能时钟，因此 CPU 和外围功能都运行。通过控制 CPU 时钟的频率进行功率控制。CPU 时钟的频率越高处理能力就越强，频率越低功耗就越小。另外，如果使不需要的振荡电路停止，功耗就更小。

在切换 CPU 时钟的时钟源时，需要使切换后的时钟稳定振荡。在切换后的时钟为 XIN 时钟时，必须先通过程序取得振荡稳定的等待时间后再进行切换。

表 11.2 时钟相关位的设定和模式

模式		OCD 寄存器	CM1 寄存器			CM0 寄存器		FRA0 寄存器	
		OCD2	CM17、CM16	CM14	CM13	CM06	CM05	FRA01	FRA00
高速时钟模式	无分频	0	00b	—	1	0	0	—	—
	2 分频	0	01b	—	1	0	0	—	—
	4 分频	0	10b	—	1	0	0	—	—
	8 分频	0	—	—	1	1	0	—	—
	16 分频	0	11b	—	1	0	0	—	—
高速内部振荡器模式	无分频	1	00b	—	—	0	—	1	1
	2 分频	1	01b	—	—	0	—	1	1
	4 分频	1	10b	—	—	0	—	1	1
	8 分频	1	—	—	—	1	—	1	1
	16 分频	1	11b	—	—	0	—	1	1
低速内部振荡器模式	无分频	1	00b	0	—	0	—	0	—
	2 分频	1	01b	0	—	0	—	0	—
	4 分频	1	10b	0	—	0	—	0	—
	8 分频	1	—	0	—	1	—	0	—
	16 分频	1	11b	0	—	0	—	0	—

—: “0” 和 “1” 都没有影响

11.4.1.1 高速时钟模式

XIN 时钟的 1 分频（无分频）、2 分频、4 分频、8 分频或 16 分频为 CPU 时钟。转移到高速内部振荡器模式、低速内部振荡器模式时，必须将 CM06 位设为“1”（8 分频模式）。在 CM14 位为“0”（低速内部振荡器振荡）或者 FRA0 寄存器的 FRA00 位为“1”（高速内部振荡器振荡）时，fOCO 能用于定时器 RA。

另外，RAF00 位为“1”时，fOCO40M 能用于定时器 RD。

在 CM14 位为“0”（低速内部振荡器振荡）时，fOCO-S 能用于看门狗定时器和电压检测电路。

11.4.1.2 高速内部振荡器模式

FRA0 寄存器的 FRA00 位为“1”（高速内部振荡器振荡）且 FRA0 寄存器的 FRA01 位为“1”时，高速内部振荡器为内部振荡器时钟。此时，内部振荡器时钟的 1 分频（无分频）、2 分频、4 分频、8 分频或 16 分频为 CPU 时钟。转移到高速时钟模式时，必须将 CM06 位设为“1”（8 分频模式）。FRA00 位为“1”时，fOCO40M 能用于定时器 RD。

另外，CM14 位为“0”（低速内部振荡器振荡）时，fOCO-S 能用于看门狗定时器和电压检测电路。

11.4.1.3 低速内部振荡器模式

当 CM1 寄存器的 CM14 位为“0”（低速内部振荡器振荡）且 FRA0 寄存器的 FRA01 位为“0”时，低速内部振荡器为内部振荡器时钟。此时，内部振荡器时钟的 1 分频（无分频）、2 分频、4 分频、8 分频或 16 分频为 CPU 时钟。另外，内部振荡器时钟成为外围功能时钟的时钟源。在转移到高速时钟模式时，必须将 CM06 位设定为“1”（8 分频模式）。在 FRA00 位为“1”时，fOCO40M 能用于定时器 RD。

另外，在 CM14 位为“0”（低速内部振荡器振荡）时，fOCO-S 能用于看门狗定时器和电压检测电路。

在该模式下，使 XIN 时钟和高速内部振荡器停止，通过将 FMR4 寄存器的 FMR47 位设为“1”（允许闪存低消耗电流读模式），可进行低消耗运行。

另外，从该模式进入等待模式时，通过将 VCA2 寄存器的 VCA20 位设定为“1”（允许内部电源低功耗），可以使等待模式中的电流消耗更低。

通过 VCA20 位允许内部电源低功耗时，必须按照“图 11.10 通过 VCA20 位执行内部电源低功耗的操作步骤”执行。

11.4.2 等待模式

在等待模式时，CPU 时钟停止，所以用 CPU 时钟运行的 CPU 和计数源保护模式无效时的看门狗定时器停止运行。XIN 时钟和内部振荡器时钟不停止，因此使用这些时钟的外围功能处于运行状态。

11.4.2.1 外围功能时钟停止功能

在 CM02 位为“1”（在等待模式时，停止外围功能时钟）的情况下，由于在等待模式时 f1、f2、f4、f8、f32 停止，因此能降低功耗。

11.4.2.2 转移到等待模式

如果执行 WAIT 指令，就变为等待模式。

OSD 寄存器的 OCD2 位为“1”（选择内部振荡器为系统时钟）时，必须在将 OCD 寄存器的 OCD1 位清“0”（禁止振荡停止检测中断）后，执行 WAIT 指令。

OCD1 位为“1”（允许振荡停止检测中断）的状态时，如果转移到等待模式，CPU 时钟不停止，所以消耗电流不会减少。

11.4.2.3 等待模式时的引脚状态

输入 / 输出端口保持进入等待模式前的状态。

11.4.2.4 从等待模式的返回

通过复位或者外围功能中断，从等待模式返回。

外围功能中断受 CM02 位的影响。在 CM02 位为“0”（在等待模式时，不停止外围功能时钟）时，所有外围功能中断都能用于从等待模式的返回。在 CM02 位为“1”（在等待模式时，停止外围功能时钟）时，由于使用外围功能时钟的外围功能停止，因此通过外部信号或者内部振荡器时钟运行的外围功能的中断能用于从等待模式的返回。

能用于从等待模式返回的中断和使用条件如表 11.3 所示。

表 11.3 能用于从等待模式返回的中断和使用条件

中断	在 CM02=0 时	在 CM02=1 时
串行接口中断	能用于内部时钟和外部时钟	能用于外部时钟
带片选的时钟同步串行 I/O 中断 /I ² C 总线接口中断	能用于全部模式	—（不能使用）
键输入中断	能使用	能使用
A/D 转换中断	能用于单次模式	—（不能使用）
定时器 RA 中断	能用于全部模式	无滤波器时能用于事件计数器模式 可选择 fOCO 为计数源来使用
定时器 RB 中断	能用于全部模式	—（不能使用）
定时器 RD 中断	能用于全部模式	可选择 fOCO40M 为计数源来使用
定时器 RE 中断	能用于全部模式	—（不能使用）
INT 中断	能使用	能使用（INT0 ~ INT3 能在没有滤波器的情况下使用）
电压监视 2 中断	能使用	能使用
振荡停止检测中断	能使用	—（不能使用）

从等待模式到执行中断程序前的时间如图 11.9 所示。

如果在从等待模式返回时使用外围功能中断，必须在执行 WAIT 指令前进行以下设定。

- （1）对从等待模式返回时使用外围功能中断的中断控制寄存器的 ILVL2 ~ ILVL0 位设定中断优先级。
另外，将从等待模式返回时不使用的外围功能中断的 ILVL2 ~ ILVL0 位全部设定为“000b”（禁止中断）。
- （2）对 I 标志置“1”。
- （3）启动从等待模式返回时使用的外围功能。

通过外围中断返回时，从产生中断请求到执行中断程序前的时间（周期数），根据 FMR0 寄存器的 FMSTP 位的设定如图 11.9 所示。

通过外围功能中断从等待模式返回时的 CPU 时钟，与执行 WAIT 指令时的 CPU 时钟相同。

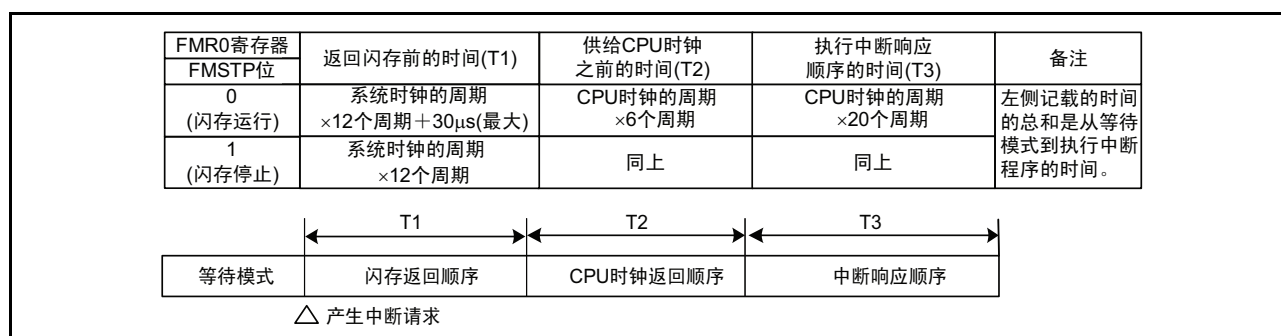


图 11.9 从等待模式到执行中断程序前的时间

11.4.2.5 内部电源的功耗降低

低速内部振荡器模式时，能够减少内部电源的功耗。

通过 VCA20 位执行内部电源低功耗的操作步骤如图 11.10 所示。

通过 VCA20 位允许内部电源低功耗时，必须按照“图 11.10 通过 VCA20 位执行内部电源低功耗的操作步骤”执行。

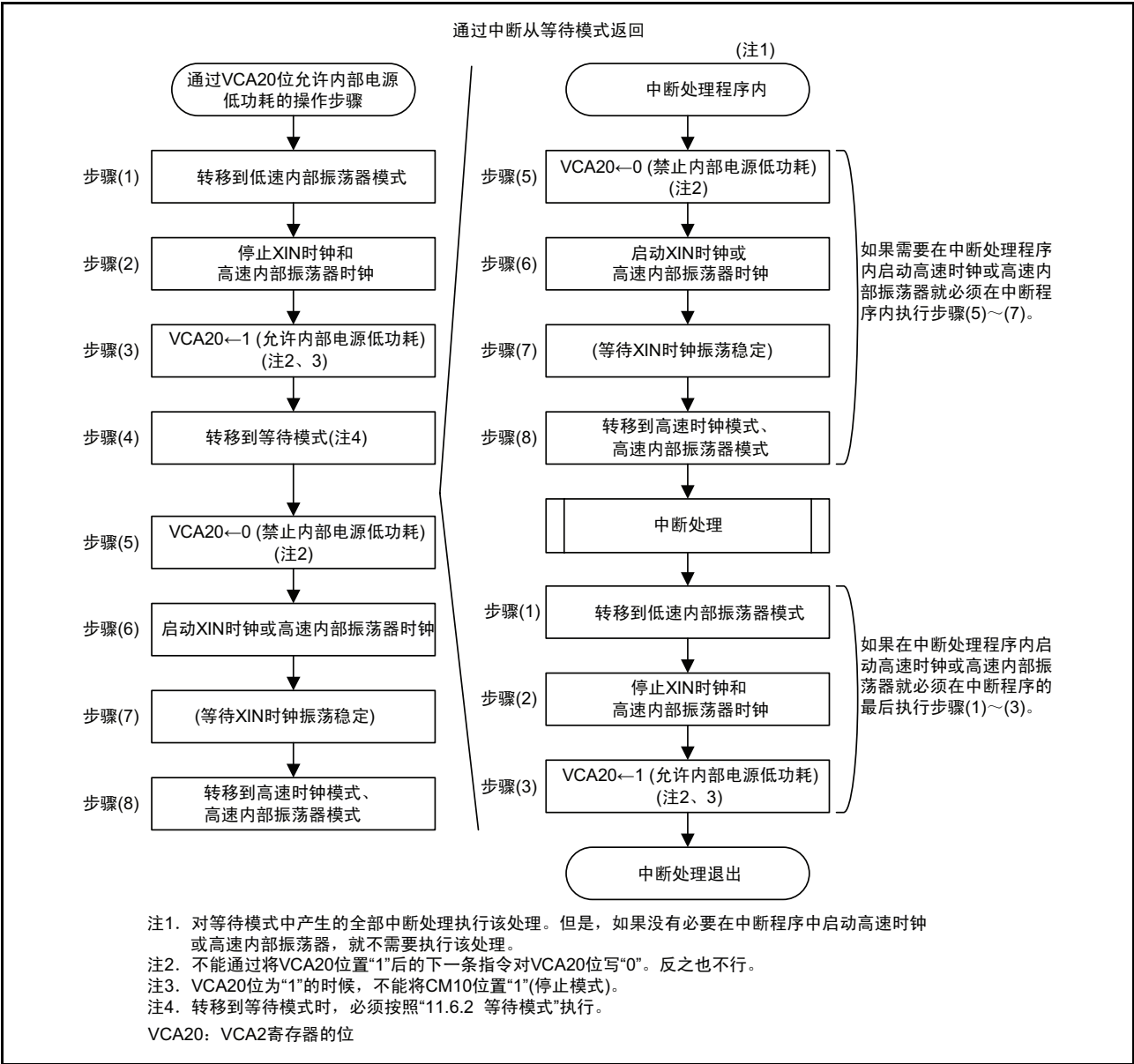


图 11.10 通过 VCA20 位执行内部电源低功耗的操作步骤

11.4.3 停止模式

在停止模式，停止所有振荡。因此，CPU 时钟和外围功能时钟也停止，通过这些时钟运行的 CPU 和外围功能都停止运行。停止模式是功耗最小的模式。

另外，在外加给 VCC 引脚的电压不低于 V_{RAM} 时，保持内部 RAM 的内容。

另外，通过外部信号运行的外围功能运行。能用于从停止模式返回的中断和使用条件如表 11.4 所示。

表 11.4 能用于从停止模式返回的中断和使用条件

中断	使用条件
键输入中断	—
$\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 中断	能在没有滤波器的情况下使用
定时器 RA 中断	无滤波器的情况下在事件计数器模式对外部脉冲计数器条件下
串行接口中断	在选择外部时钟时
电压监视 2 中断	能在数字滤波器无效模式（VW2C 寄存器的 VW2C1 位为“1”）的情况下使用

11.4.3.1 停止模式的转移

如果将 CM1 寄存器的 CM10 位置“1”（停止所有时钟），就变为停止模式。同时 CM0 寄存器的 CM06 位变为“1”（8 分频模式），并且 CM10 寄存器的 CM15 位变为“1”（XIN 时钟振荡电路的驱动能力 HIGH）。

在使用停止模式时，必须在 OCD1 ~ OCD0 位置“00b”后设定为停止模式。

11.4.3.2 停止模式时的引脚状态

保持进入停止模式前的状态。

但是，CM1 寄存器的 CM13 位为“1”（XIN-XOUT 引脚）时，XOUT（P4_7）引脚为“H”电平。CM13 位为“0”（输入端口 P4_6 和 P4_7）时，P4_7（XOUT）为输入状态。

11.4.3.3 从停止模式的返回

通过复位或者外围功能中断，从停止模式返回。

从停止模式到执行中断程序前的时间如图 11.11 所示。

在通过外围功能中断返回时，必须在进行如下设定后将 CM10 位置“1”：

(1) 给用于从停止模式返回的外围功能中断的 ILVL2 ~ ILVL0 位设定中断优先级。

另外，将不用于从停止模式返回的外围功能中断的 ILVL2 ~ ILVL0 位置“000b”（禁止中断）。

(2) 将 I 标志置“1”。

(3) 让用于从停止模式返回的外围功能运行。

在通过外围功能中断返回的情况下，如果在产生中断请求后开始供给 CPU 时钟，就执行中断顺序。

如果停止模式前使用的时钟是系统时钟，则通过外围功能中断从停止模式返回后的 CPU 时钟，变为该时钟的 8 分频时钟。

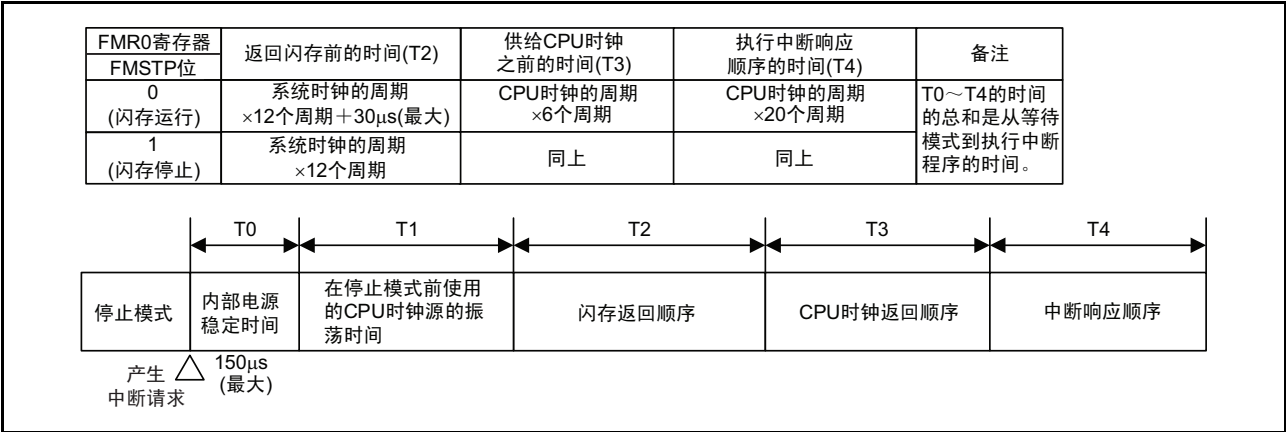


图 11.11 从停止模式到执行中断程序前的时间

功率控制的状态转移如图 11.12 所示。

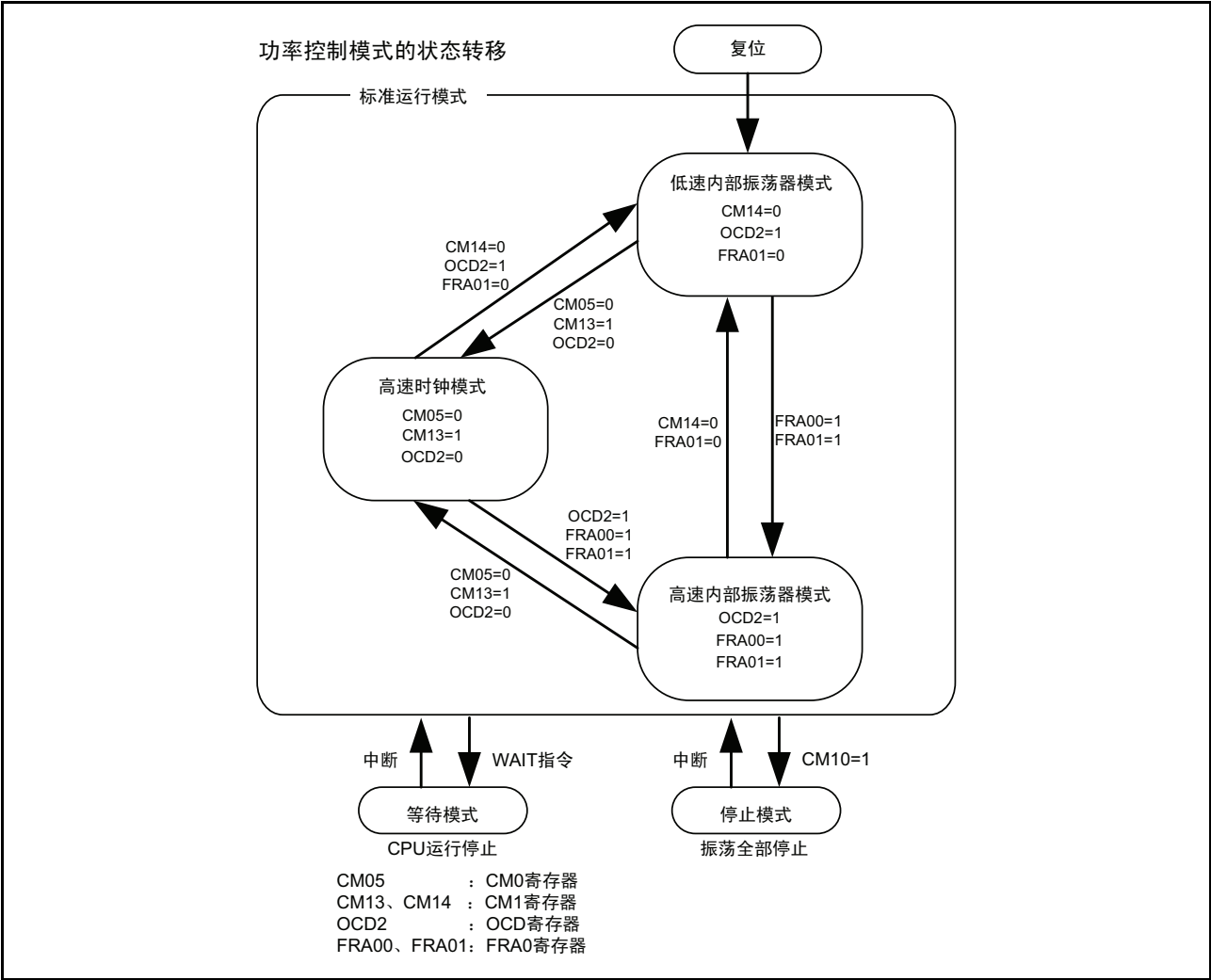


图 11.12 功率控制模式的状态转移

11.5 振荡停止检测功能

振荡停止检测功能是检测 XIN 时钟振荡电路停止的功能。

振荡停止检测功能可通过 OCD 寄存器的 OCD0 位，选择有效或者无效。

振荡停止检测功能的规格如表 11.5 所示。

在 XIN 时钟为 CPU 时钟源并且 OCD1 ~ OCD0 位为 “11b” 的情况下，如果 XIN 时钟停止，就进入如下状态：

- OCD 寄存器的 OCD2 位 =1（选择内部振荡器时钟）
- OCD 寄存器的 OCD3 位 =1（XIN 时钟停止）
- CM1 寄存器的 CM14 位 =0（低速内部振荡器振荡）
- 产生振荡停止检测中断请求

表 11.5 振荡停止检测功能的规格

项目	规格
能检测振荡停止的时钟和频率范围	$f(XIN) \geq 2MHz$
振荡停止检测功能的有效条件	将 OCD1 ~ OCD0 位置 “11b”
振荡停止检测时的运行	产生振荡停止检测中断

11.5.1 振荡停止检测功能的使用方法

- 振荡停止检测中断和看门狗定时器中断、电压监视 2 中断共用向量。在同时使用振荡停止检测中断和看门狗定时器中断的情况下，必须判断中断源。

振荡停止检测中断、看门狗定时器中断和电压监视 2 中断的中断源判断如表 11.6 所示。振荡停止检测中断、看门狗定时器中断和电压监视 2 中断的中断源判断方法的例子如图 11.14 所示。

- 在振荡停止后 XIN 时钟重新开始振荡时，必须通过程序将 XIN 时钟恢复到 CPU 时钟或者外围功能的时钟源。

从低速内部振荡器转换到 XIN 时钟的步骤如图 11.13 所示。

- 在使用振荡停止检测功能期间转移到等待模式时，必须将 CM02 位清 “0”（在等待模式时，不停止外围功能时钟）。
- 振荡停止检测功能是防止由外部因素引起的 XIN 时钟停止的功能，因此在通过程序使 XIN 时钟停止或者振荡时（设定为停止模式或者改变 CM05 位），必须将 OCD1 ~ OCD0 位置 “00b”。
- 由于在 XIN 时钟的频率低于 2MHz 时不能使用该功能，因此必须将 OCD1 ~ OCD0 位置 “00b”。
- 检测出振荡停止后，如果将低速内部振荡器时钟用作 CPU 时钟和外围功能的时钟源，就必须在 FRA0 寄存器的 FRA01 位清 “0”（选择低速内部振荡器）后，将 OCD1 ~ OCD0 位置 “11b”。

检测出振荡停止后，如果将高速内部振荡器时钟用作 CPU 时钟和外围功能的时钟源，就必须在 FRA00 位置 “1”（高速内部振荡器振荡）并且 FRA01 位置 “1”（选择高速内部振荡器）后，将 OCD1 ~ OCD0 位置 “11b”。

表 11.6 振荡停止检测中断、看门狗定时器中断和电压监视 2 中断的中断源判断

产生的中断源	表示中断源的位
振荡停止检测（在 (a) 或者 (b) 时）	(a)OCD 寄存器的 OCD3=1
	(b)OCD 寄存器的 OCD1 ~ OCD0=11b 并且 OCD2=1
看门狗定时器	VW2C 寄存器的 VW2C3=1
电压监视 2	VW2C 寄存器的 VW2C2=1

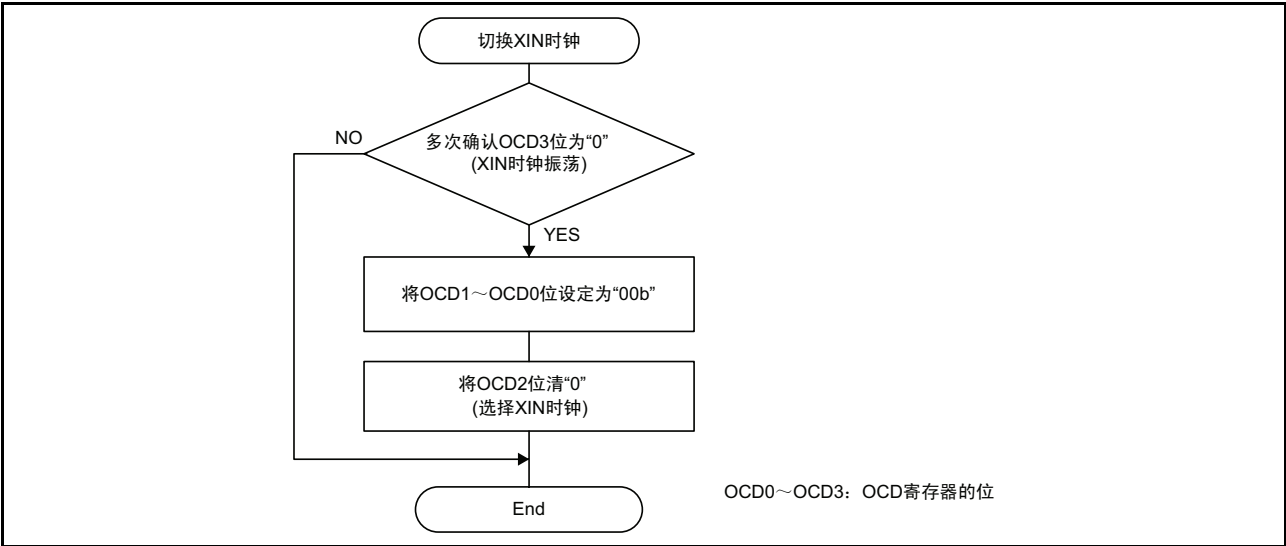


图 11.13 从低速内部振荡器切换到 XIN 时钟的步骤

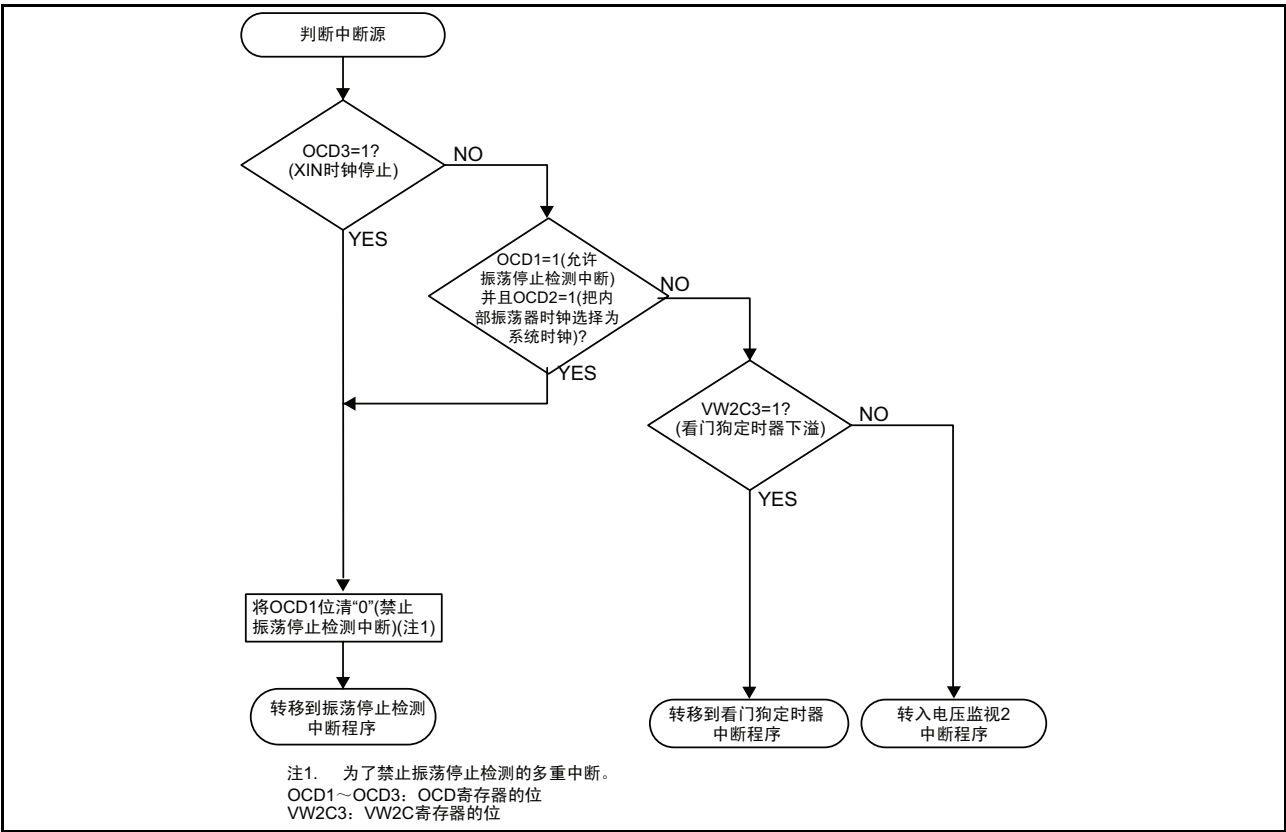


图 11.14 振荡停止检测中断、看门狗定时器中断和电压监视 2 中断的中断源判断方法的例子

11.6 时钟产生电路使用时的注意事项

11.6.1 停止模式

转移到停止模式时，必须在将 FMR0 寄存器的 FMR01 位清 “0”（CPU 改写模式无效）后，将 CM1 寄存器的 CM10 位置 “1”（停止模式）。指令队列从将 CM10 位置 “1”（停止模式）的指令开始，预读 4 个字节，然后程序停止。

必须在将 CM10 位置 “1” 的指令后立即插入 JMP.B 指令，然后至少插入 4 条 NOP 指令。

- 转移到停止模式的程序例子

```

BCLR      1,FMR0      ; CPU 改写模式无效
BSET      0,PRCR      ; 解除保护
FSET      I           ; 允许中断
BSET      0,CM1       ; 停止模式
JMP.B     LABEL_001

LABEL_001:
NOP
NOP
NOP
NOP

```

11.6.2 等待模式

转移到等待模式时，必须在将 FMR0 寄存器的 FMR01 位清 “0”（CPU 改写模式无效）后执行 WAIT 指令。指令队列从 WAIT 指令开始，预读 4 个字节，然后程序停止。必须在 WAIT 指令之后，至少插入 4 条 NOP 指令。

- 执行 WAIT 指令的程序例子

```

BCLR      1,FMR0      ; CPU 改写模式无效
FSET      I           ; 允许中断
WAIT      ; 等待模式
NOP
NOP
NOP
NOP

```

11.6.3 振荡停止检测功能

在 XIN 时钟频率低于 2MHz 时不能使用振荡停止检测功能，所以必须将 OCD1 ~ OCD0 位置 “00b”。

11.6.4 振荡电路常数

有关用户系统的最佳振荡电路常数，请在向振荡器厂家询问后决定。

12. 保护

保护是为了在程序失控时，重要的寄存器不被轻易改写的保护功能。

PRCR 寄存器如图 12.1 所示。PRCR 寄存器保护的寄存器如下：

- 由 PRC0 位保护的寄存器：CM0、CM1、OCD、FRA0、FRA1 和 FRA2 寄存器
- 由 PRC1 位保护的寄存器：PM0 和 PM1 寄存器
- 由 PRC2 位保护的寄存器：PD0 寄存器
- 由 PRC3 位保护的寄存器：VCA2、VW1C、VW2C 寄存器



图 12.1 PRCR 寄存器

13. 中断

13.1 中断概要

13.1.1 中断分类

中断分类如图 13.1 所示。

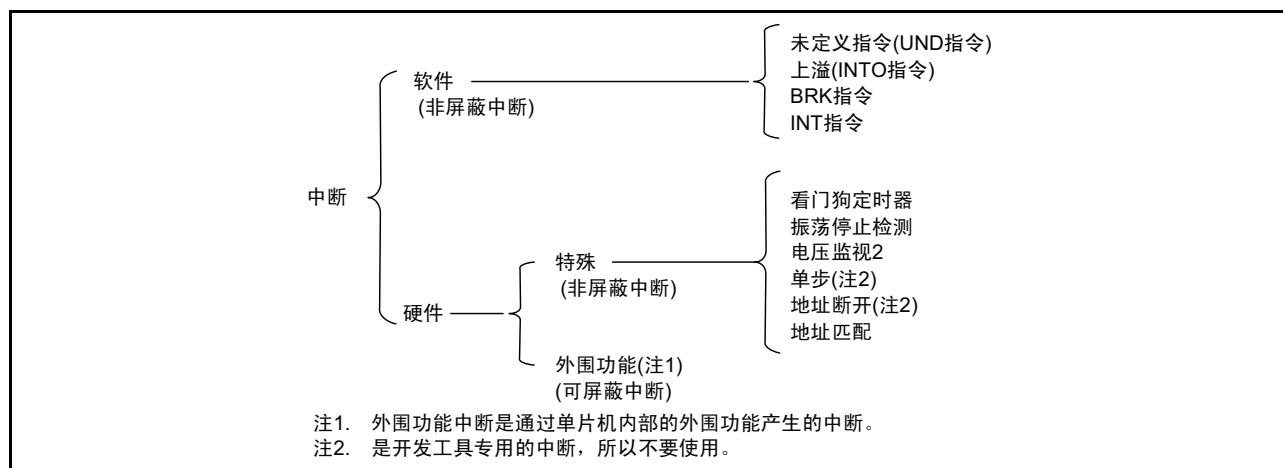


图 13.1 中断分类

- 可屏蔽中断：**能**通过中断允许标志（I 标志）控制中断的允许 / 禁止或者**能**通过中断优先级改变中断优先权
- 非屏蔽中断：**不能**通过中断允许标志（I 标志）控制中断的允许 / 禁止并且**不能**通过中断优先级改变中断优先权

13.1.2 软件中断

通过执行指令产生软件中断。软件中断是非屏蔽中断。

13.1.2.1 未定义指令中断

如果执行 UND 指令，就产生未定义指令中断。

13.1.2.2 上溢中断

在 O 标志为“1”（运算结果上溢）时，如果执行 INTO 指令，就产生上溢中断。根据运算 O 标志变化的指令如下：

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

13.1.2.3 BRK 中断

如果执行 BRK 指令，就产生 BRK 中断。

13.1.2.4 INT 指令中断

如果执行 INT 指令，就产生 INT 指令中断。能用 INT 指令指定的软件中断序号是 0 ~ 63。由于软件中断序号 3 ~ 31 分配给外围功能中断，因此能通过执行 INT 指令，执行和外围功能中断相同的中断程序。

软件中断序号 0 ~ 31 在执行指令时将 U 标志压栈，然后在 U 标志清“0”（选择 ISP）后，执行中断响应顺序。在从中断程序返回时，恢复被压栈的 U 标志。软件中断序号 32 ~ 63 在执行指令时 U 标志不变，使用当时选择的 SP。

13.1.3 特殊中断

特殊中断是非屏蔽中断。

13.1.3.1 看门狗定时器中断

是由看门狗定时器产生的中断。看门狗定时器的详细内容请参照“14. 看门狗定时器”。

13.1.3.2 振荡停止检测中断

是由振荡停止检测功能产生的中断。振荡停止检测功能的详细内容请参照“11. 时钟产生电路”。

13.1.3.3 电压监视 2 中断

是由电压检测电路产生的中断。电压检测电路的详细内容请参照“7. 电压检测电路”。

13.1.3.4 单步中断、地址断开中断

是开发工具专用的中断，不能使用。

13.1.3.5 地址匹配中断

在 AIER 寄存器的 AIER0 位和 AIER1 位中的任意一位为“1”（允许地址匹配中断）时，在执行由对应的 RMAD0 ~ RMAD1 寄存器所示的地址的指令前，产生地址匹配中断。

地址匹配中断的详细内容请参照“13.4 地址匹配中断”。

13.1.4 外围功能中断

外围功能中断是由单片机内部的外围功能产生的中断，是可屏蔽中断。外围功能中断的中断源请参照分配在“表 13.2 可变量表”中的中断和向量表的地址。另外，外围功能的详细内容请参照各外围功能的说明。

13.1.5 中断和中断向量

1 个向量为 4 个字节。必须在各中断向量中设定中断程序的起始地址。如果接受中断请求，就转移到设定在中断向量中的地址。

中断向量如图 13.2 所示。

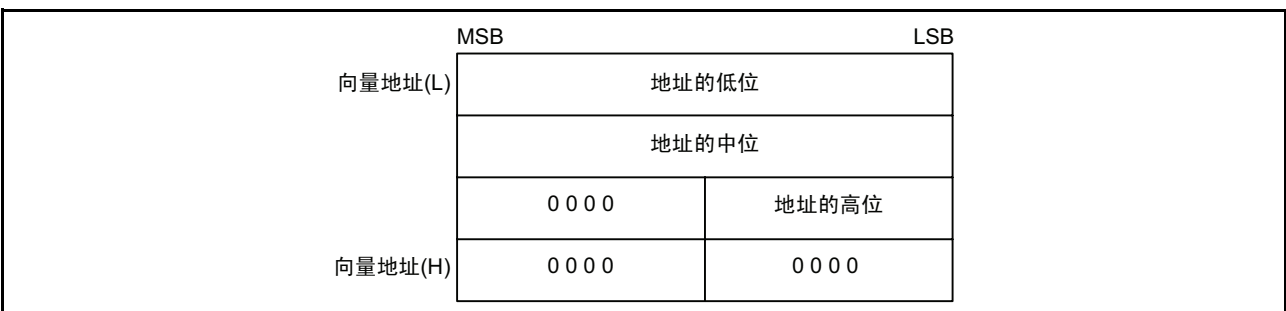


图 13.2 中断向量

13.1.5.1 固定向量表

固定向量表分配在地址 0FFDCh 到地址 0FFFFh 中。

固定向量表如表 13.1 所示。固定向量的向量地址（H）用于检验 ID 码功能。详细内容请参照“20.3 闪存改写的禁止功能”。

表 13.1 固定向量表

中断源	向量地址 地址 (L) ~ 地址 (H)	备注	参照
未定义指令	0FFDCh ~ 0FFDFh	通过 UND 指令中断	R8C/Tiny 系列软件手册
上溢	0FFE0h ~ 0FFE3h	通过 INTO 指令中断	
BRK 指令	0FFE4h ~ 0FFE7h	在地址 0FFE7h 的内容为 FFh 时，从可变向量表内的向量所示地址开始执行	
地址匹配	0FFE8h ~ 0FFEBh		13.4 地址匹配中断
单步 (注 1)	0FFEC h ~ 0FFEFh		
看门狗定时器、 振荡停止检测、 电压监视 2	0FFF0h ~ 0FFF3h		14. 看门狗定时器、 11. 时钟产生电路、 7. 电压检测电路
地址断开 (注 1)	0FFF4h ~ 0FFF7h		
(保留)	0FFF8h ~ 0FFFBh		
复位	0FFFC h ~ 0FFFFh		6. 复位

注 1. 是开发工具专用的中断，不能使用。

13.1.5.2 可变向量表

从设定在 INTB 寄存器中的起始地址开始的 256 字节为可变向量表的区域。
可变向量表如表 13.2 所示。

表 13.2 可变向量表

中断源	向量地址 (注 1) 地址 (L) ~ 地址 (H)	软件中断序号	中断控制寄存器	参照
BRK 指令 (注 3)	+0 ~ +3(0000h ~ 0003h)	0	—	R8C/Tiny 系列软件手册
—(保留)		1 ~ 7	—	
定时器 RD(通道 0)	+32 ~ +35(0020h ~ 0023h)	8	TRD0IC	15.3 定时器 RD
定时器 RD(通道 1)	+36 ~ +39(0024h ~ 0027h)	9	TRD1IC	
定时器 RE	+40 ~ +43(0028h ~ 002Bh)	10	TREIC	15.4 定时器 RE
—(保留)		11 ~ 12	—	—
键输入	+52 ~ +55(0034h ~ 0037h)	13	KUPIC	13.3 键输入中断
A/D 转换	+56 ~ +59(0038h ~ 003Bh)	14	ADIC	19. A/D 转换器
带片选的时钟同步串行 I/O/I ² C 总线接口 (注 2)	+60 ~ +63(003Ch ~ 003Fh)	15	SSUIC/IICIC	17.2 带片选的时钟同步串行 I/O (SSU) 17.3 I ² C 总线接口
—(保留)		16	—	—
UART0 发送	+68 ~ +71(0044h ~ 0047h)	17	S0TIC	16. 串行接口
UART0 接收	+72 ~ +75(0048h ~ 004Bh)	18	S0RIC	
UART1 发送	+76 ~ +79(004Ch ~ 004Fh)	19	S1TIC	
UART1 接收	+80 ~ +83(0050h ~ 0053h)	20	S1RIC	
INT2	+84 ~ +87(0054h ~ 0057h)	21	INT2IC	13.2 INT 中断
定时器 RA	+88 ~ +91(0058h ~ 005Bh)	22	TRAIC	15.1 定时器 RA
—(保留)		23	—	—
定时器 RB	+96 ~ +99(0060h ~ 0063h)	24	TRBIC	15.2 定时器 RB
INT1	+100 ~ +103(0064h ~ 0067h)	25	INT1IC	13.2 INT 中断
INT3	+104 ~ +107(0068h ~ 006Bh)	26	INT3IC	
—(保留)		27	—	—
—(保留)		28	—	—
INT0	+116 ~ +119(0074h ~ 0077h)	29	INT0IC	13.2 INT 中断
—(保留)		30	—	—
—(保留)		31	—	—
软件 (注 3)	+128 ~ +131(0080h ~ 0083h) ~ +252 ~ +255(00FCh ~ 00FFh)	32 ~ 63	—	R8C/Tiny 系列软件手册

注 1. 是从 INTB 寄存器所示地址开始的相对地址。

注 2. 能通过 PMR 寄存器的 IICSEL 位选择。

注 3. 不能通过 I 标志禁止。

13.1.6 中断控制

说明允许或者禁止可屏蔽中断以及设定接受的优先权。在此说明的内容不适用非屏蔽中断。

通过 FLG 寄存器的 I 标志、IPL 以及各中断控制寄存器的 ILVL2 ~ ILVL0 位，允许或者禁止可屏蔽中断。另外，各中断控制寄存器的 IR 位表示有无中断请求。

中断控制寄存器如图 13.3 所示，TRD0IC、TRD1IC、SSUIC/IICIC 寄存器如图 13.4 所示，INT0IC ~ INT3IC 寄存器如图 13.5 所示。

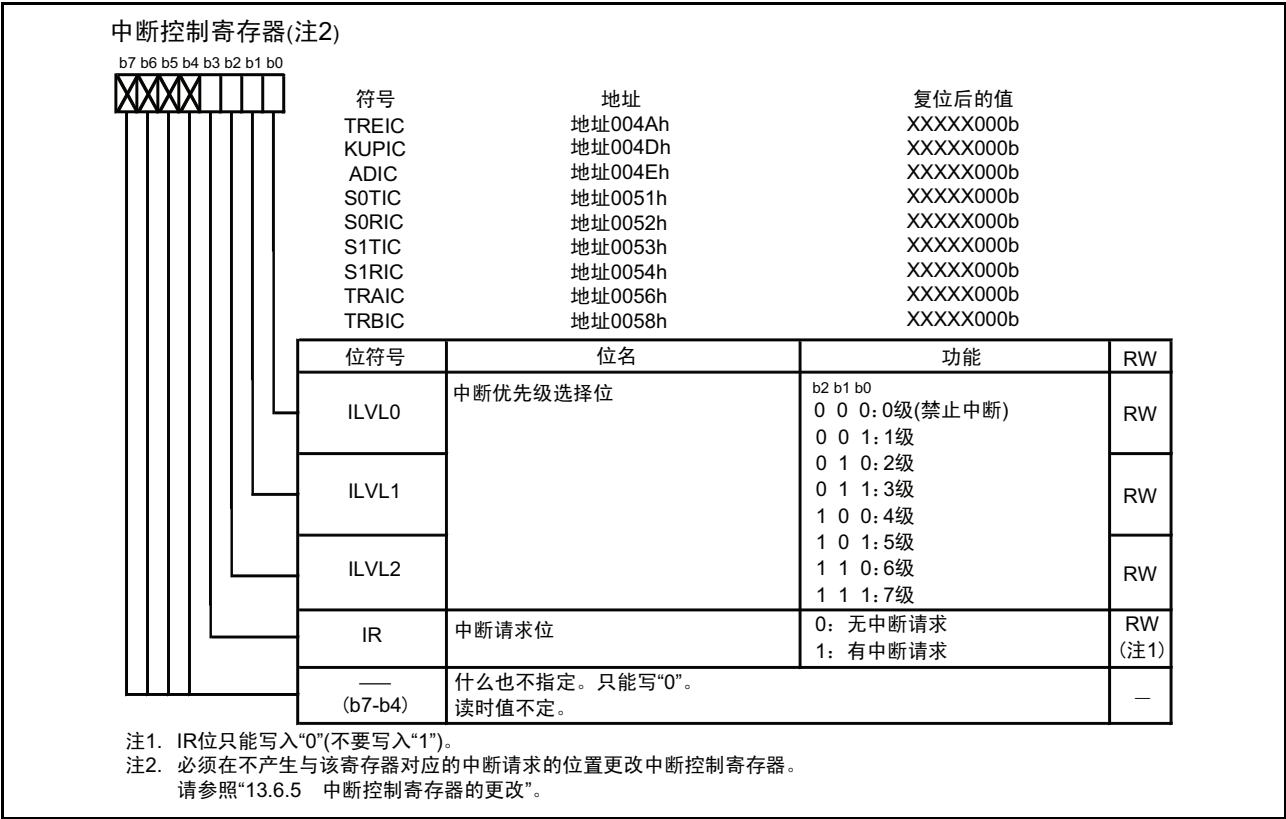


图 13.3 中断控制寄存器

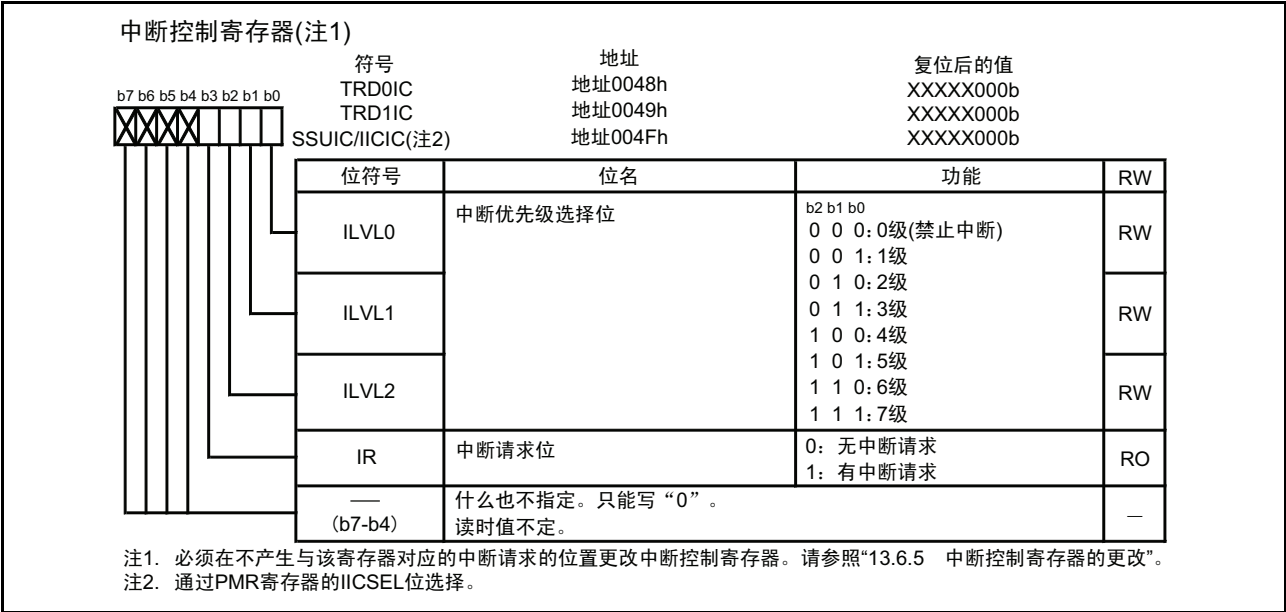


图 13.4 TRD0IC、TRD1IC、SSUIC/IICIC 寄存器

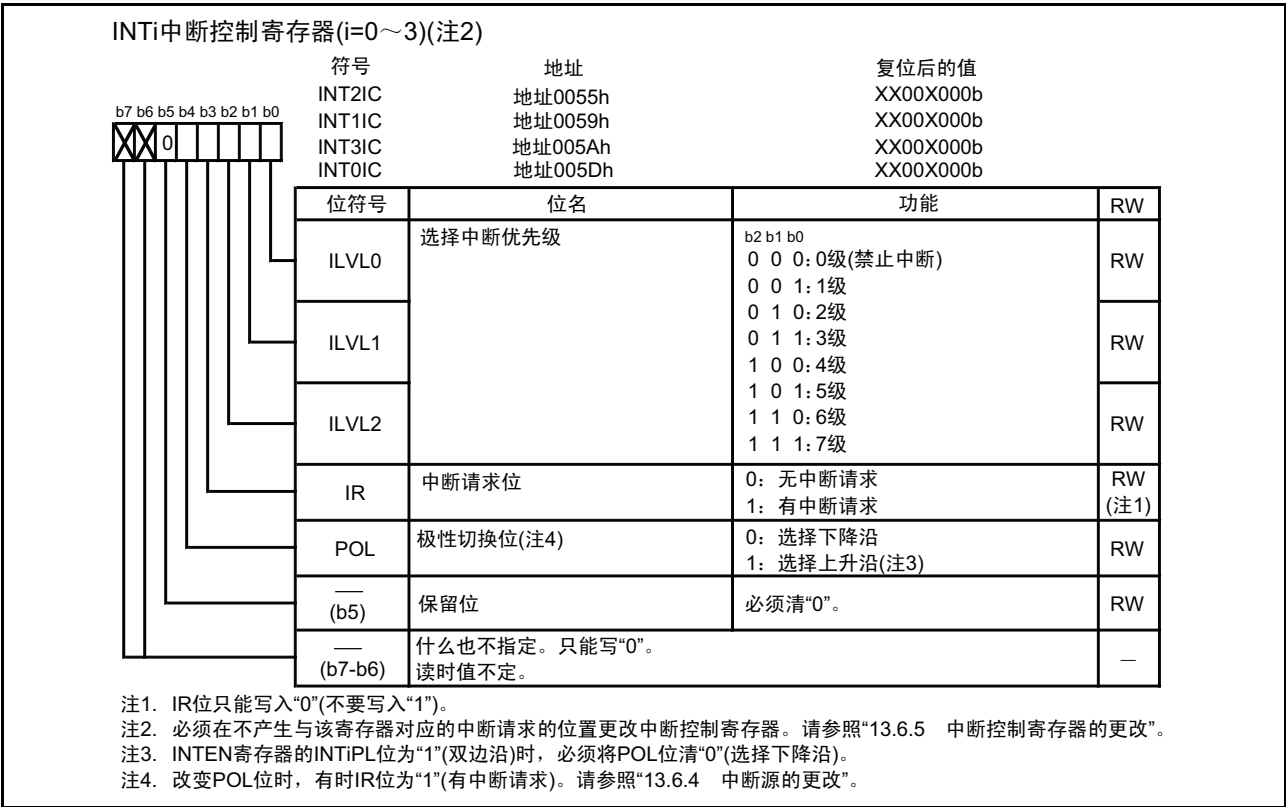


图 13.5 INT0IC ~ INT3IC 寄存器

13.1.6.1 I 标志

I 标志允许或者禁止可屏蔽中断。如果将 I 标志置 “1” (允许), 就允许可屏蔽中断; 如果清 “0” (禁止), 就禁止所有可屏蔽中断。

13.1.6.2 IR 位

如果产生中断请求, IR 位就变为 “1” (有中断请求)。在接受中断请求并转移到对应的中断向量后, IR 位变为 “0” (无中断请求)。

IR 位能通过程序清 “0”, 不能写 “1”。

但是, 在定时器 RD 中断、带片选的时钟同步串行 I/O 中断、I²C 总线接口中断, IR 位的运行不同。请参照 “13.5 定时器 RD 中断、带片选的时钟同步串行 I/O 中断、I²C 总线接口中断 (带有多个中断请求源的中断)”。

13.1.6.3 ILVL2 ~ ILVL0 位和 IPL

中断优先级能通过 ILVL2 ~ ILVL0 位设定。

中断优先级的设定如表 13.3 所示, 由 IPL 允许的中断优先级如表 13.4 所示。

接受中断请求的条件如下所示:

- I 标志 = 1
- IR 位 = 1
- 中断优先级 > IPL

I 标志、IR 位、ILVL2 ~ ILVL0 位以及 IPL 各自独立互不影响。

表 13.3 中断优先级的设定

ILVL2 ~ ILVL0	中断优先级	优先权
000b	0 级 (禁止中断)	—
001b	1 级	低 ↓ 高
010b	2 级	
011b	3 级	
100b	4 级	
101b	5 级	
110b	6 级	
111b	7 级	

表 13.4 由 IPL 允许的中断优先级

IPL	允许的中断优先级
000b	允许 1 级以上
001b	允许 2 级以上
010b	允许 3 级以上
011b	允许 4 级以上
100b	允许 5 级以上
101b	允许 6 级以上
110b	允许 7 级以上
111b	禁止所有可屏蔽中断

13.1.6.4 中断响应顺序

以下说明关于在接受中断请求后到执行中断程序为止的中断响应顺序。

如果在指令执行中产生中断请求，就在该指令执行结束后判定优先权，并且从下一个周期转移到中断响应顺序。但是，对于 SMOVB、SMOVB、SSTR 以及 RMPA 各指令，如果在指令执行中产生中断请求，就暂时中断指令的运行，转移到中断响应顺序。

中断响应顺序运行如下。

中断响应顺序的执行时间如图 13.6 所示。

- (1) 通过读地址 00000h，CPU 获得中断信息（中断序号、中断请求级）。此后，对应中断的 IR 位变为“0”（无中断请求）（注 2）。
- (2) 将中断响应顺序前的 FLG 寄存器保存到 CPU 内部的暂存器（注 1）。
- (3) FLG 寄存器中的 I 标志、D 标志、U 标志变为：
 - I 标志为“0”（禁止中断）
 - D 标志为“0”（禁止单步中断）
 - U 标志为“0”（指定 ISP）
 但是，在执行软件中断序号 32 ~ 63 的 INT 指令时，U 标志不变。
- (4) 将 CPU 内部的暂存器（注 1）压栈。
- (5) 将 PC 压栈。
- (6) 给 IPL 设定已接受中断的中断优先级。
- (7) 中断向量所设定的中断程序的起始地址存入 PC。

在中断响应顺序结束后，从中断程序的起始地址执行指令。

注 1. 用户不能使用。

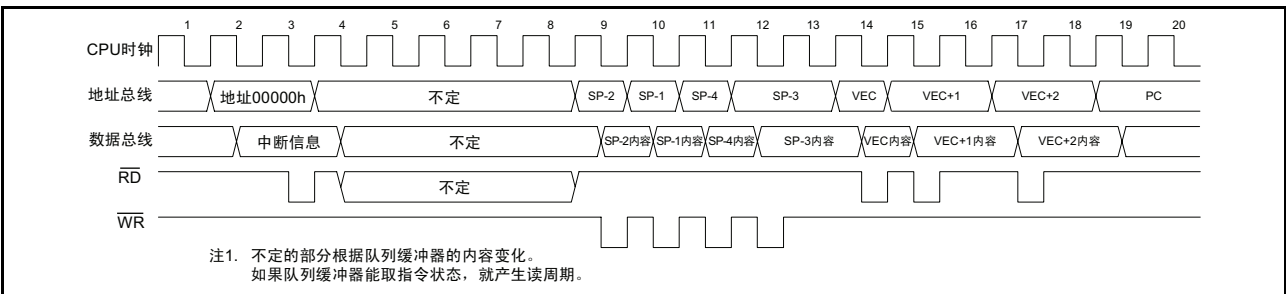


图 13.6 中断响应顺序的执行时间

注 2. 定时器 RD 中断、带片选的时钟同步串行 I/O 中断、I²C 总线接口中断的 IR 位的运行，请参照“13.5 定时器 RD 中断、带片选的时钟同步串行 I/O 中断、I²C 总线接口中断（带有多个中断请求源的中断）”。

13.1.6.5 中断响应时间

中断响应时间如图 13.7 所示。中断响应时间是指从产生中断请求到执行中断程序内的最初指令为止的时间。该时间由从中断请求产生时开始到当时正在执行的指令结束为止的时间（图 13.7 的 (a)）和执行中断响应顺序的时间（20 个周期 (b)）构成。

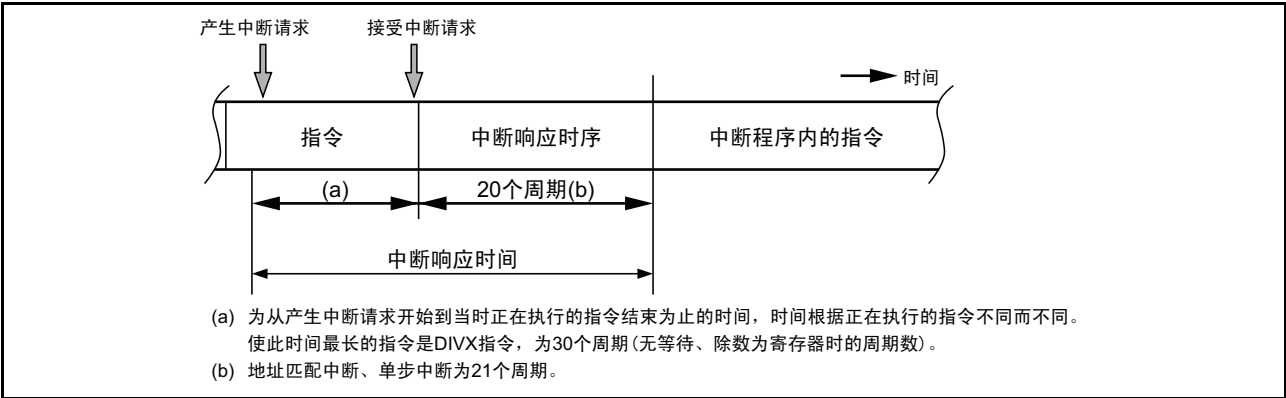


图 13.7 中断响应时间

13.1.6.6 接受中断请求时的 IPL 变化

如果接受可屏蔽中断的中断请求，就给 IPL 设定已接受中断的中断优先级。

如果接受软件中断或者特殊中断请求，就给 IPL 设定如表 13.5 所示的值。

接受软件中断和特殊中断时的 IPL 值如表 13.5 所示。

表 13.5 接受软件中断和特殊中断时的 IPL 值

没有中断优先级的中断源	被设定的 IPL 值
看门狗定时器、振荡停止检测、电压监视 2、地址断开	7
软件、地址匹配、单步	无变化

13.1.6.7 寄存器的保存

在中断响应顺序，将 FLG 寄存器和 PC 压栈。

首先将 PC 的高 4 位、FLG 寄存器的高 4 位（IPL）和低 8 位压栈（全部为 16 位），然后将 PC 的低 16 位压栈。接受中断请求前后的堆栈状态如图 13.8 所示。

其他必要的寄存器必须通过程序在中断程序的最初保存。如果使用 PUSHM 指令，就能用 1 条指令保存正在使用的寄存器组的多个寄存器（注 1）。

注 1. 能从 R0、R1、R2、R3、A0、A1、SB、FB 寄存器选择。

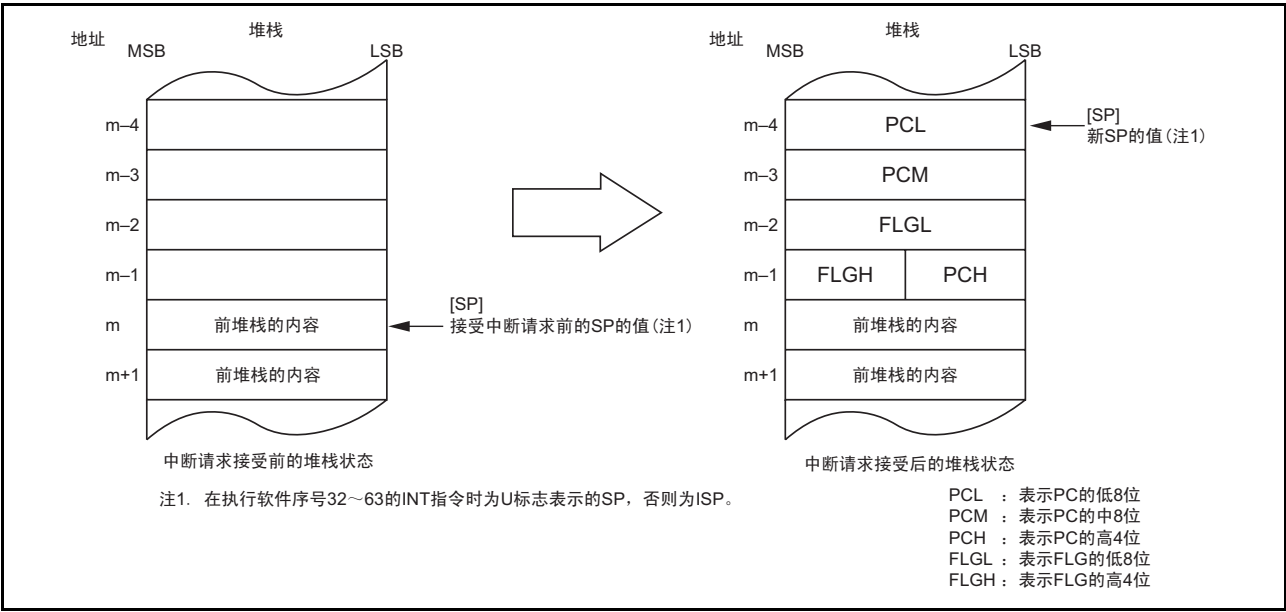


图 13.8 中断请求接受前后的堆栈状态

在中断响应顺序进行的寄存器保存运行按 8 位分 4 次进行。
寄存器保存运行如图 13.9 所示。

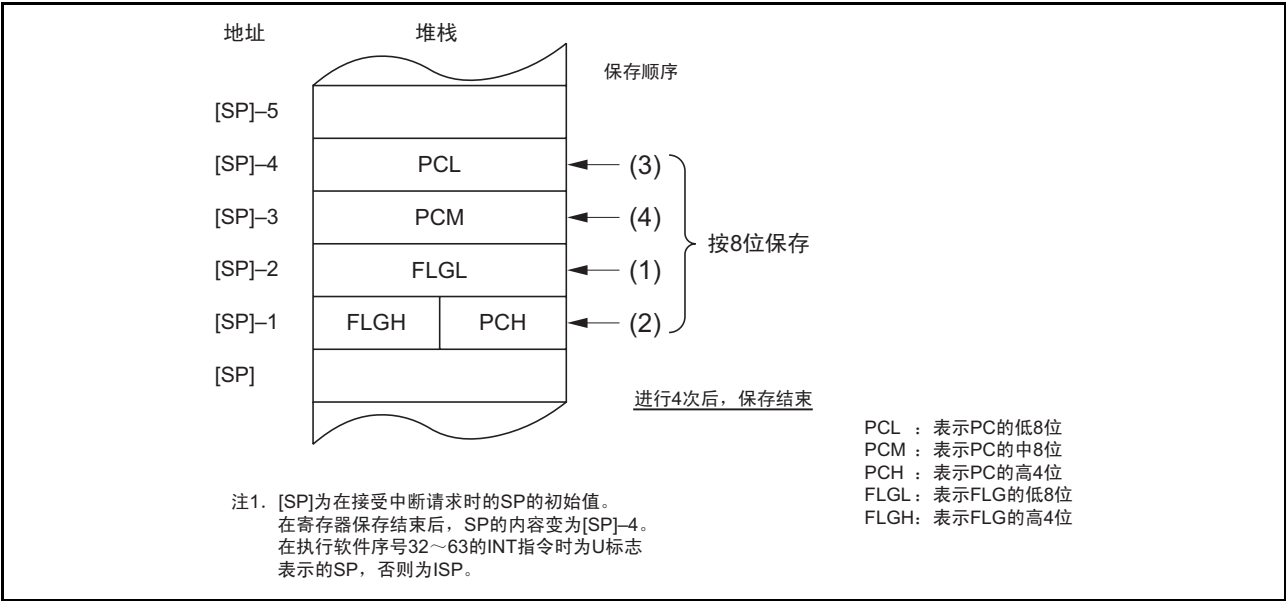


图 13.9 寄存器保存运行

13.1.6.8 从中断程序返回

如果在中断程序的最后执行 REIT 指令，就恢复被压栈的中断响应顺序前的 FLG 寄存器和 PC。然后，返回到在接受中断请求前执行的程序。

在中断程序内，通过程序保存的寄存器，必须在 REIT 指令执行前用 POPM 指令等恢复。

13.1.6.9 中断优先权

如果在 1 条指令执行中产生 2 个以上的中断请求，就接受优先权高的中断。

能通过 ILVL2 ~ ILVL0 位任意选择可屏蔽中断（外围功能）的优先级。但是，在中断优先级为相同设定值的情况下，接受由硬件设定的优先权高的中断。

看门狗定时器中断等特殊中断的优先权由硬件设定。硬件中断的中断优先权如图 13.10 所示。

软件中断不受中断优先权的影响。如果执行指令，就执行中断程序。

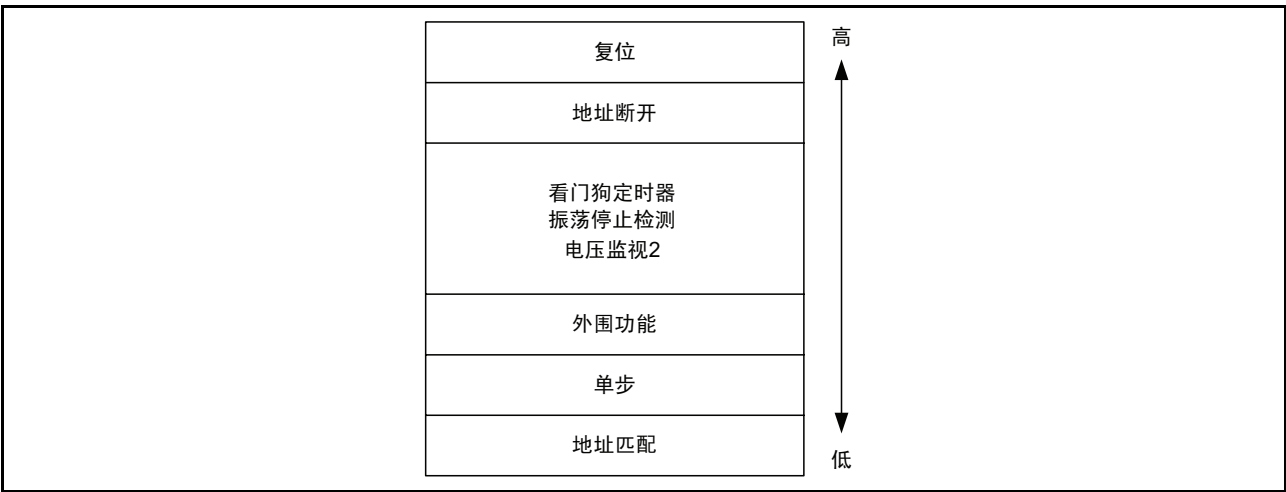


图 13.10 硬件中断的中断优先权

13.1.6.10 中断优先级判定电路

中断优先级判定电路是用于选择优先权最高的中断的电路。

中断优先级判定电路如图 13.11 所示。

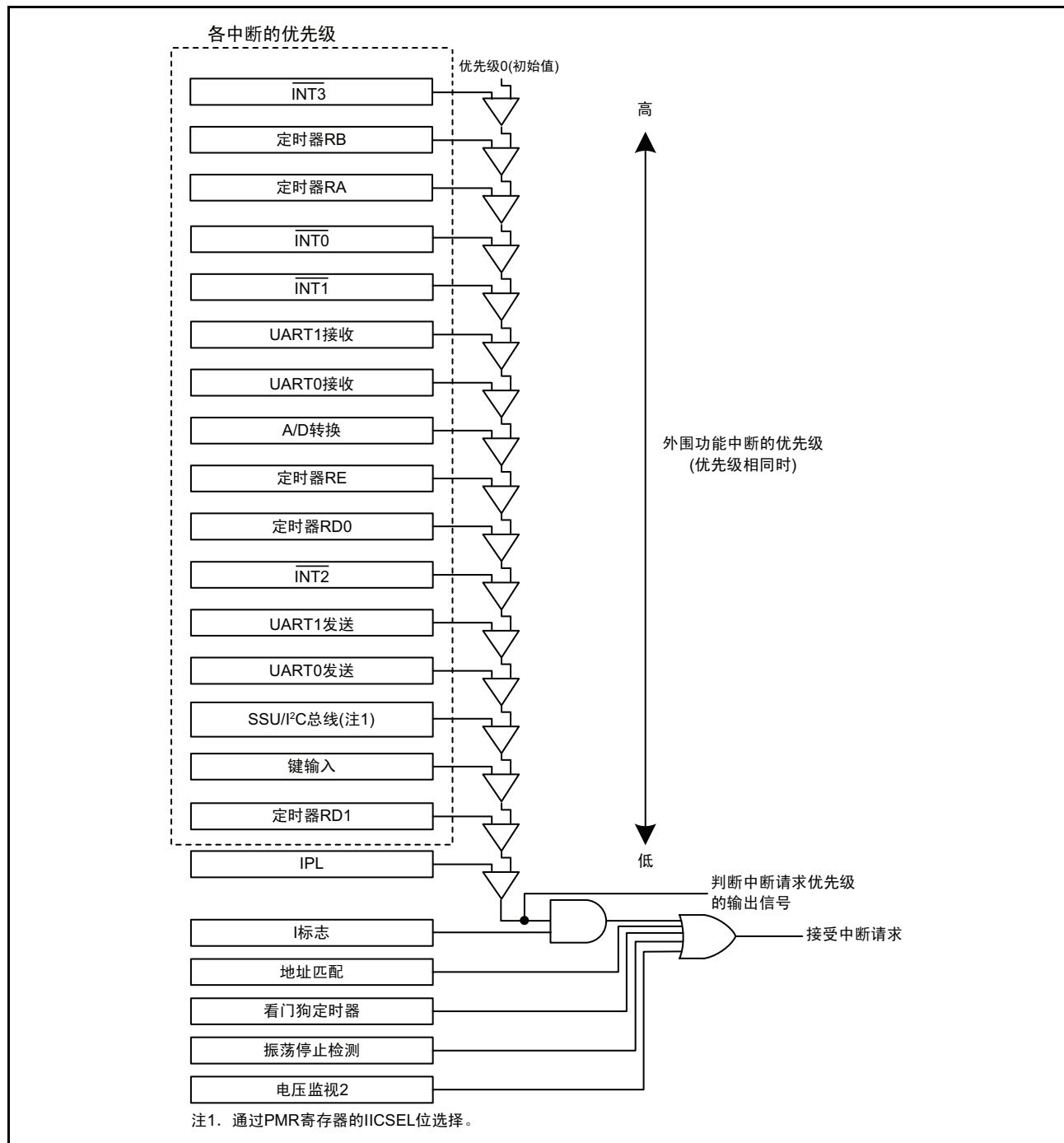


图 13.11 中断优先级判定电路

13.2 INT 中断

13.2.1 INTi 中断 (i=0 ~ 3)

INTi 中断是由 INTi 输入产生的中断。在使用 INTi 中断时，必须将 INTEN 寄存器的 INTiEN 位置 “1”（允许）。能通过 INTEN 寄存器的 INTiPL 位和 INTiIC 寄存器的 POL 位选择极性。

另外，也能通过具有 3 种采样时钟的数字滤波器进行输入。

INT0 引脚和定时器 RD 的脉冲输出强制截止输入、定时器 RB 的外部触发输入引脚复用。

INTEN 寄存器如图 13.12 所示，INTF 寄存器如图 13.13 所示。



图 13.12 INTEN 寄存器

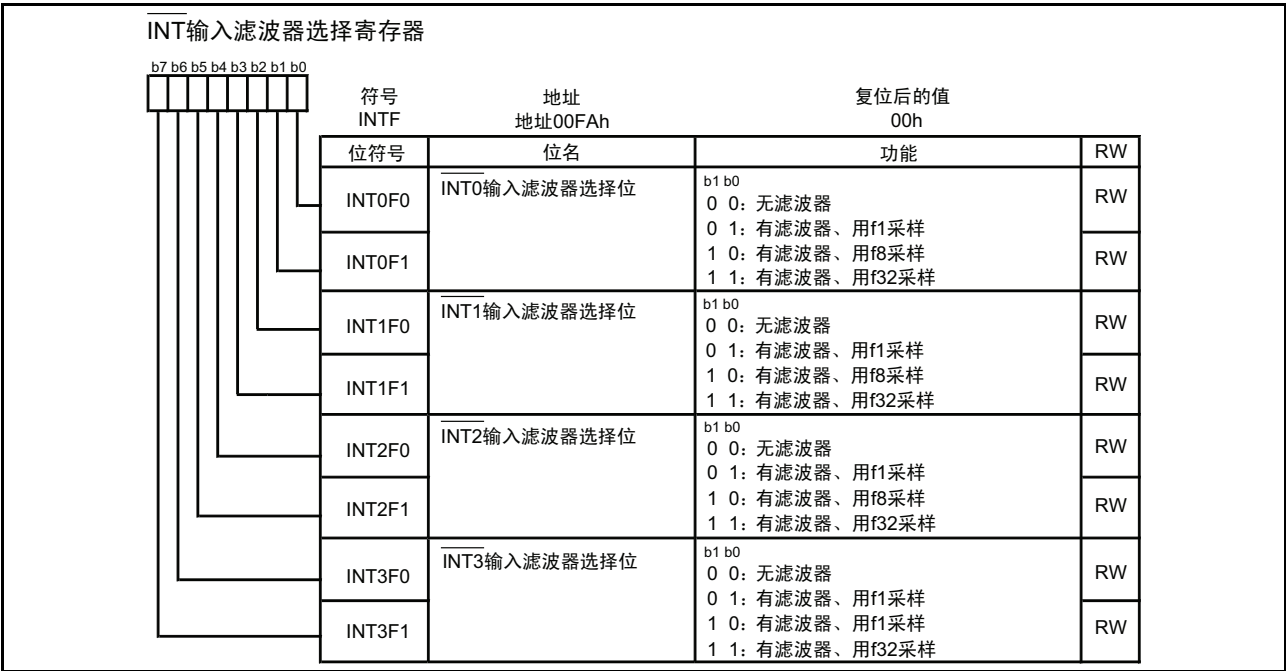


图 13.13 INTF 寄存器

13.2.2 $\overline{\text{INTi}}$ 输入滤波器 (i=0 ~ 3)

$\overline{\text{INTi}}$ 输入具有数字滤波器。能通过 INTF 寄存器的 INTiF0 ~ INTiF1 位选择采样时钟。在每个采样时钟采样 $\overline{\text{INTi}}$ 的电平，在电平 3 次匹配时，INTiIC 寄存器的 IR 位变为“1”（有中断请求）。

$\overline{\text{INTi}}$ 输入滤波器的结构如图 13.14 所示， $\overline{\text{INTi}}$ 输入滤波器运行例子如图 13.15 所示。

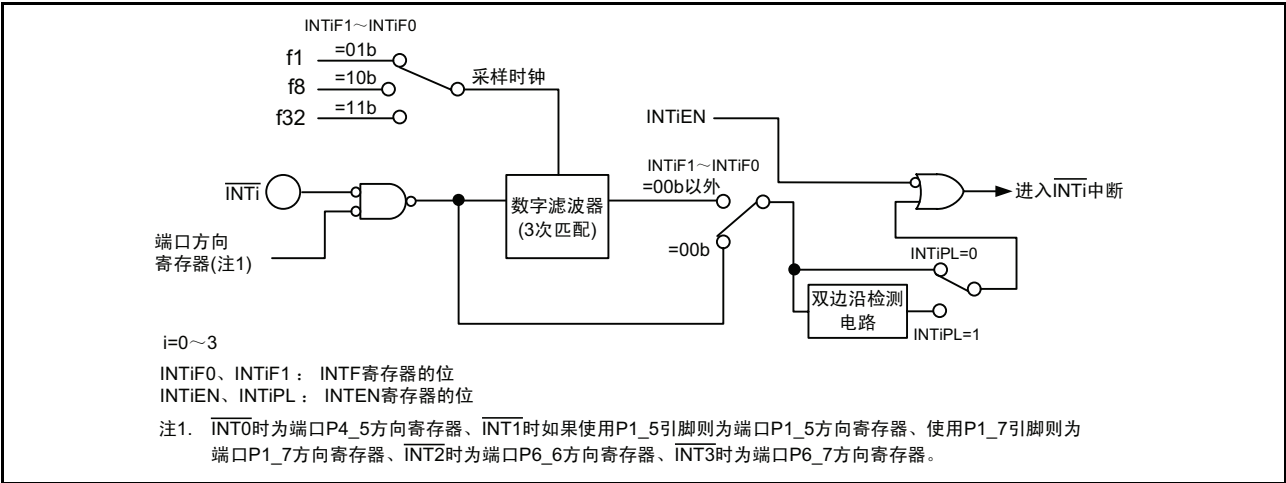


图 13.14 $\overline{\text{INTi}}$ 输入滤波器的结构

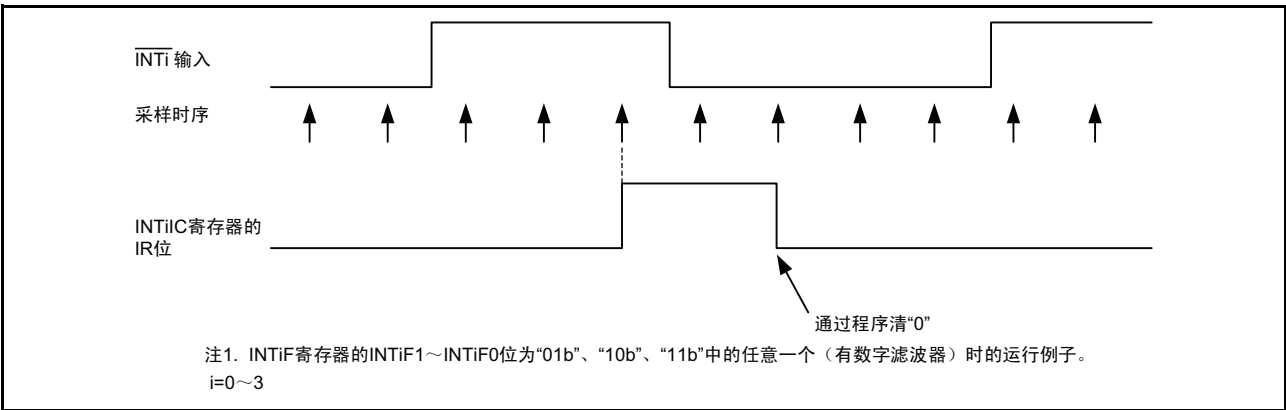


图 13.15 $\overline{\text{INTi}}$ 输入滤波器的运行例子

13.3 键输入中断

在 $\overline{KI0} \sim \overline{KI3}$ 引脚中的任何一个输入边沿都会产生键输入中断请求。键输入中断也能作为解除等待模式或者停止模式的键唤醒功能使用。

能通过 **KIEN** 寄存器的 $KIiEN$ 位 ($i=0 \sim 3$)，选择是否将引脚作为 $\overline{KIi}$ 输入使用。另外，能通过 **KIEN** 寄存器的 $KIiPL$ 位选择输入极性。

另外，如果向 $KIiPL$ 位为“0”（下降沿）的 $\overline{KIi}$ 引脚输入“L”，其他的 $\overline{KI0} \sim \overline{KI3}$ 引脚输入就不被作为中断检测。同样，如果向 $KIiPL$ 位为“1”（上升沿）的 $\overline{KIi}$ 引脚输入“H”，其他的 $\overline{KI0} \sim \overline{KI3}$ 引脚输入就不被作为中断检测。

键输入中断的框图如图 13.16 所示。

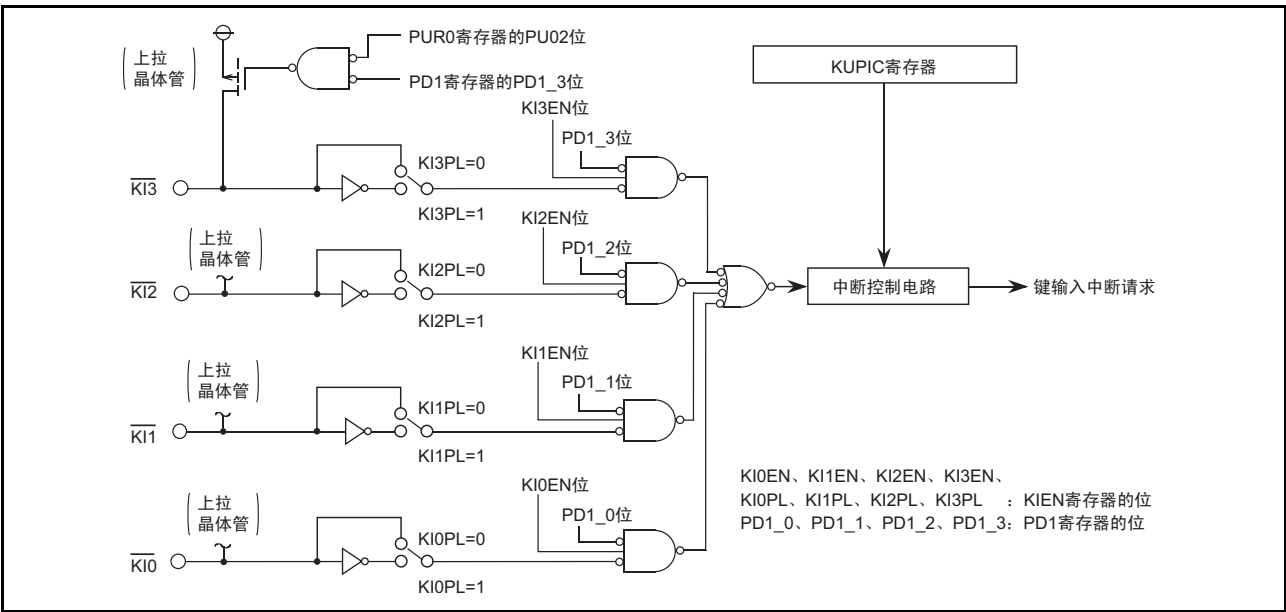


图 13.16 键输入中断的框图

键输入允许寄存器(注1)

符号	地址	复位后的值	
位符号	位名	功能	RW
KI0EN	KI0输入允许位	0: 禁止 1: 允许	RW
KI0PL	KI0输入极性选择位	0: 下降沿 1: 上升沿	RW
KI1EN	KI1输入允许位	0: 禁止 1: 允许	RW
KI1PL	KI1输入极性选择位	0: 下降沿 1: 上升沿	RW
KI2EN	KI2输入允许位	0: 禁止 1: 允许	RW
KI2PL	KI2输入极性选择位	0: 下降沿 1: 上升沿	RW
KI3EN	KI3输入允许位	0: 禁止 1: 允许	RW
KI3PL	KI3输入极性选择位	0: 下降沿 1: 上升沿	RW

注1. 更改KIEN寄存器时，KUPIC寄存器的IR位可能变为“1”(有中断请求)。请参照“13.6.4 中断源的更改”。

图 13.17 KIEN 寄存器

13.4 地址匹配中断

在执行由 RMADi (i=0 ~ 1) 寄存器所示地址的指令前, 会产生地址匹配中断请求。用于调试器的暂停功能。另外, 在使用 on-chip 调试器时, 用户系统不能设定地址匹配中断 (AIER、RMAD0、RMAD1 寄存器和固定向量表)。

必须给 RMADi (i=0 ~ 1) 设定指令的起始地址。能通过 AIER0 寄存器的 AIER0 位和 AIER1 位, 选择禁止或者允许中断。地址匹配中断不受 I 标志和 IPL 的影响。

在接受了地址匹配中断请求时, 被压栈的 PC 值 (参照 “13.1.6.7 寄存器的保存”) 根据由 RMADi 寄存器所示地址的指令不同而不同 (正确的返回目标地址没有保存在堆栈)。因此, 在从地址匹配中断返回时, 必须通过以下的任何一种方法进行:

- 改写堆栈内容, 用 REIT 指令返回
- 在使用 POP 等指令将堆栈恢复到中断请求接受前的状态后, 用跳转指令返回

在接受地址匹配中断请求时被压栈的 PC 值, 如表 13.6 所示, AIER 和 RMAD0 ~ RMAD1 寄存器如图 13.18 所示。

表 13.6 在接受地址匹配中断请求时被压栈的 PC 值

由 RMADi 寄存器 (i=0 ~ 1) 指示的地址的指令	被压栈的 PC 值
• 操作码为 2 字节的指令 (注 2) • 操作码为 1 字节的指令 (注 2) ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest(其中 dest=A0 或者 A1)	由 RMADi 寄存器指示的地址 +2
上述除外	由 RMADi 寄存器指示的地址 +1

注 1. 被压栈的 PC 值, 参照 “13.1.6.7 寄存器的保存”。

注 2. 操作码: 参照 “R8C/Tiny 系列软件手册 (RCJ09B0006)”
“第 4 章指令码/周期数” 内, 有表示指令码的图。这些图的粗线框就是操作码。

表 13.7 地址匹配中断源和关联寄存器的对应

地址匹配中断源	地址匹配中断允许位	地址匹配中断寄存器
地址匹配中断 0	AIER0	RMAD0
地址匹配中断 1	AIER1	RMAD1

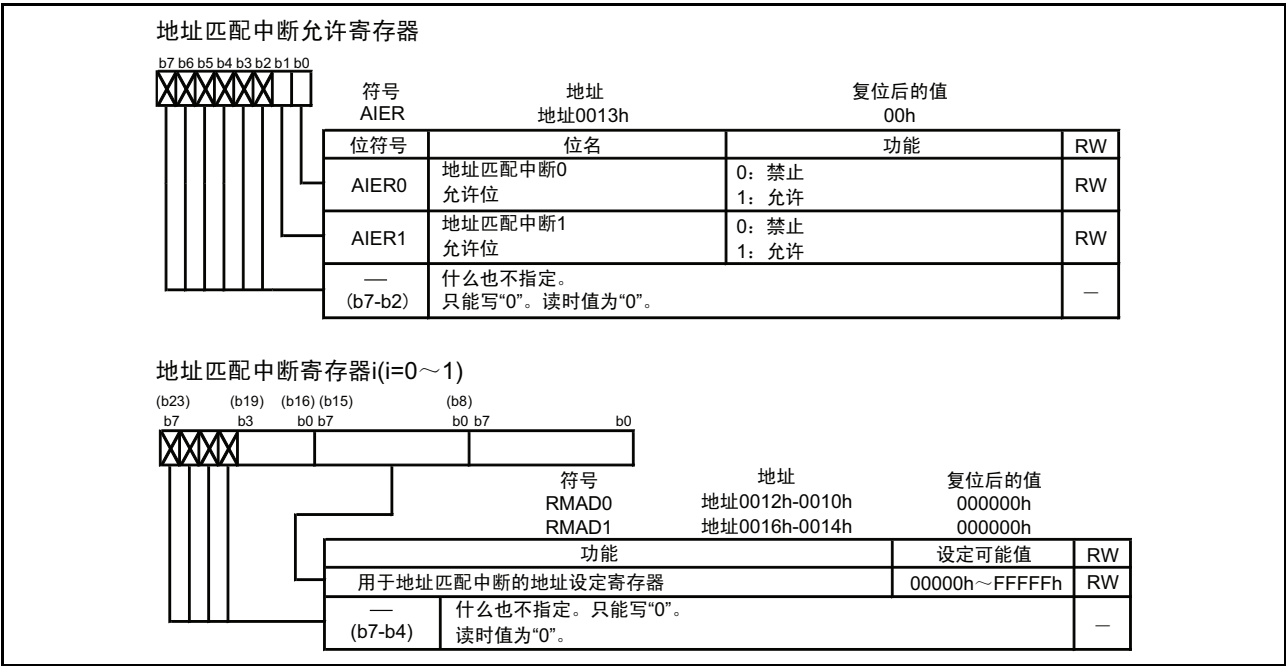


图 13.18 AIER 和 RMAD0 ~ RMAD1 寄存器

13.5 定时器 RD 中断、带片选的时钟同步串行 I/O 中断、I²C 总线接口中断 (带有多个中断请求源的中断)

定时器 RD (通道 0)、定时器 RD (通道 1)、带片选的时钟同步串行 I/O、I²C 总线接口, 各自带有多个中断请求源, 各逻辑和成为中断请求, 反映在中断控制寄存器的 IR 位。因此, 这些外围功能各自带有独立的中断请求源的状态寄存器 (以下称做状态寄存器) 和中断请求源的允许寄存器 (以下称做允许寄存器), 控制着中断请求的产生 (通过中断控制寄存器的 IR 位的变化)。定时器 RD 中断、带片选的时钟同步串行 I/O 中断、I²C 总线接口中断的相关寄存器如表 13.8 所示, 定时器 RD 中断的框图如图 13.19 所示。

表 13.8 定时器 RD 中断、带片选的时钟同步串行 I/O 中断、I²C 总线接口中断的相关寄存器

外围功能名		中断请求源的状态寄存器	中断请求源的允许寄存器	中断控制寄存器
定时器 RD	通道 0	TRDSR0	TRDIER0	TRD0IC
	通道 1	TRDSR1	TRDIER1	TRD1IC
带片选的时钟同步串行 I/O		SSSR	SSER	SSUIC
I ² C 总线接口		ICSR	ICIER	IICIC

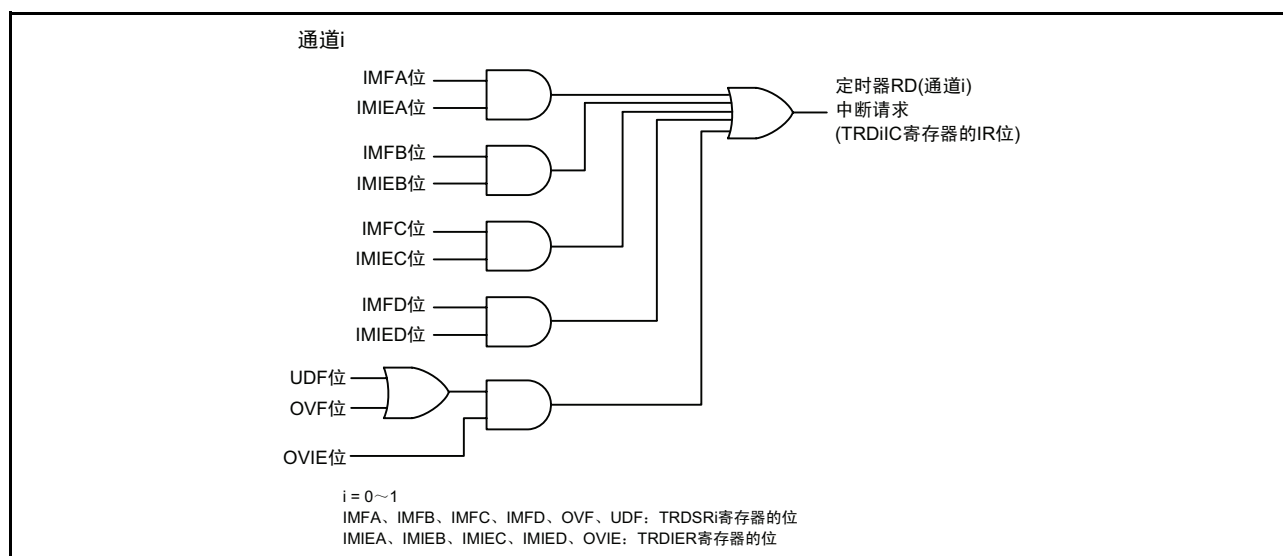


图 13.19 定时器 RD 中断的框图

定时器 RD（通道 0）、定时器 RD（通道 1）、带片选的时钟同步串行 I/O、I²C 总线接口的中断，通过 I 标志、IR 位、ILVL0 ~ ILVL2 位与 IPL 的关系进行中断控制，这与其他可屏蔽中断相同。但是，由于从多个中断请求源中产生的一个中断请求，所以和其他可屏蔽中断有如下的不同。

- 当状态寄存器的位为“1”，并且与其对应的允许寄存器的位为“1”（允许中断）时，中断控制寄存器的 IR 位为“1”（有中断请求）。
- 如果状态寄存器的位和与其对应的允许寄存器的位中的任何一个为“0”或者两者都为“0”，则 IR 位为“0”（无中断请求）。
即，IR 位一旦为“1”，即使中断请求未被接受，也不会保持中断请求。
另外，即使把“0”写入 IR 位，IR 位也不会为“0”。
- 即使中断被接受，状态寄存器的各个位也不会自动变成“0”。
因此，在中断被接受时 IR 位不会自动变成“0”。
必须在中断程序中把状态寄存器的各个位清“0”。把状态寄存器的各个位清“0”的方法请参照状态寄存器的图。
- 在将允许寄存器多个位置“1”时，IR 位变为“1”后，其他请求源有效时，IR 位保持“1”不变。
- 在将允许寄存器多个位置“1”时，由哪一个请求源产生中断，通过状态寄存器判定。

状态寄存器和允许寄存器参照外围功能的章节（“15.3 定时器 RD”、“17.2 带片选的时钟同步串行 I/O（SSU）”、“17.3 I²C 总线接口”）。

中断控制寄存器参照“13.1.6 中断控制”。

13.6 中断使用时的注意事项

13.6.1 地址 00000h 的读取

不能通过程序读地址 00000h。在接受到可屏蔽中断的中断请求时，CPU 在中断响应顺序中从地址 00000h 读取中断信息（中断序号和中断请求级）。此时，被接受的中断的 IR 位变为“0”。

如果通过程序读地址 00000h，就在被允许的中断中优先权最高的中断 IR 位变为“0”。因此，中断可能被取消或者产生预想外的中断。

13.6.2 SP 的设置

必须在接受中断前给 SP 设定值。在复位后，SP 为“0000h”。因此，如果在给 SP 设定值前接受中断，程序就会失控。

13.6.3 外部中断和键输入中断

输入到 $\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 引脚和 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 引脚的信号，与 CPU 的运行时钟无关，需要电特性的外部中断 $\overline{\text{INTi}}$ 输入 (i=0 ~ 3) 显示的“L”电平宽度或者“H”电平宽度（详细情况请参照“21.19 外部中断 $\overline{\text{INTi}}$ 输入 (i=0 ~ 3)”、“21.25 外部中断 $\overline{\text{INTi}}$ 输入 (i=0 ~ 3)”）。

13.6.4 中断源的更改

如果更改中断源，中断控制寄存器的 IR 位就可能变为“1”（有中断请求）。使用中断时，必须在更改中断源后，将 IR 位清“0”（无中断请求）。

另外，在此所说的更改中断源，包括改变被分配到各软件中断序号的中断源、极性和时序等全部要素。因此，在外围功能的模式更改等关系到中断源、极性和时序的情况下，必须在更改后将 IR 位清“0”（无中断请求）。外围功能的中断请参照各外围功能。

中断源更改步骤的例子如图 13.20 所示。

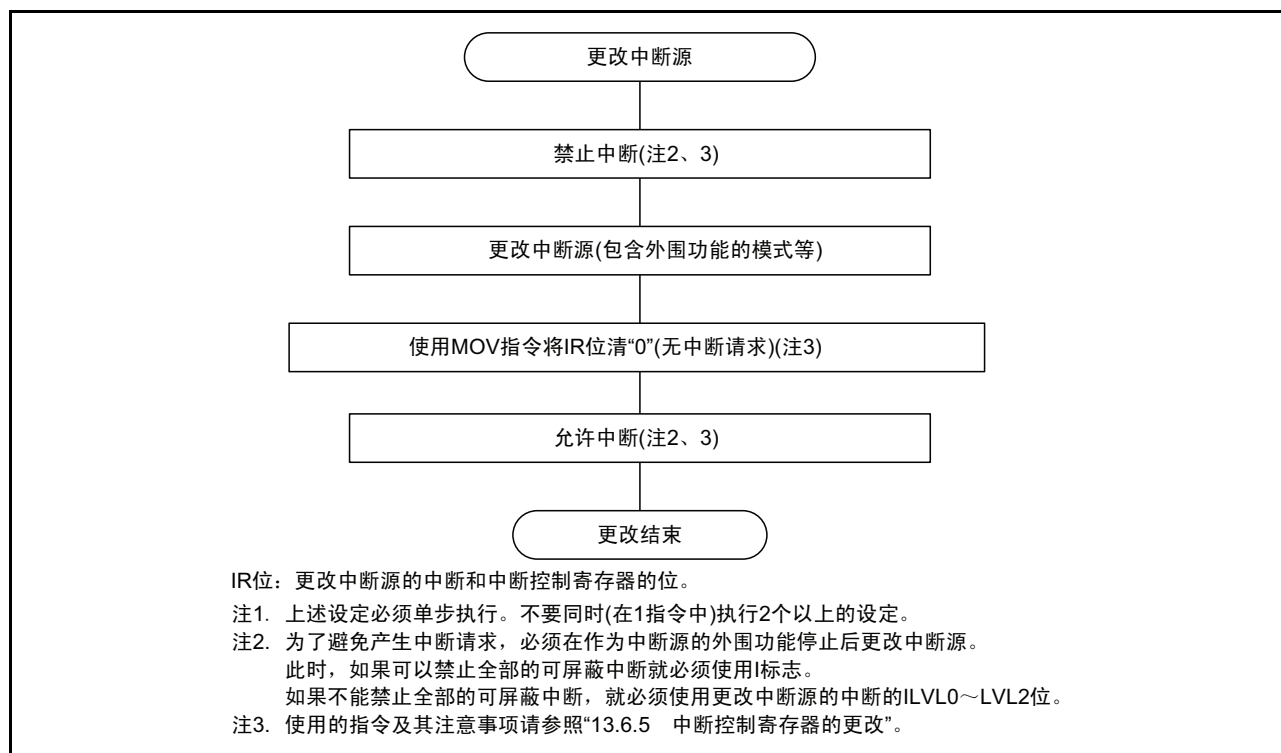


图 13.20 中断源更改步骤的例子

13.6.5 中断控制寄存器的更改

(a) 必须在不产生对应中断控制寄存器的中断请求的位置更改中断控制寄存器。在有可能产生中断请求时，必须在禁止中断后更改中断控制寄存器。

(b) 在禁止中断后更改中断控制寄存器时，必须注意使用的指令。

更改 IR 位以外的位

在执行指令期间，当产生对应该寄存器的中断请求时，IR 位可能不变为“1”（有中断请求），且中断被忽视。当在此情况出现问题时，必须使用以下指令更改寄存器：

对象指令AND、OR、BCLR、BSET

更改 IR 位

在将 IR 位清“0”（无中断请求）时，根据使用的指令，IR 位可能不变为“0”。必须用 MOV 指令将 IR 位清“0”。

(c) 在使用 I 标志禁止中断时，必须按照以下的程序例子设定 I 标志（程序例子的中断控制寄存器的更改请参照（b））。

例 1～例 3 是防止由于受内部总线和指令队列缓冲器的影响而更改中断控制寄存器前 I 标志变为“1”（允许中断）的方法。

例 1：通过 NOP 指令，等待更改中断控制寄存器的例子

INT_SWITCH1:

FCLR	I	；禁止中断
AND.B	#00H, 0056H	；将 TRAIC 寄存器置“00h”
NOP		；
NOP		；
FSET	I	；允许中断

例 2：通过虚读，使 FSET 指令等待的例子

INT_SWITCH2:

FCLR	I	；禁止中断
AND.B	#00H, 0056H	；将 TRAIC 寄存器置“00h”
MOV.W	MEM, R0	；虚读
FSET	I	；允许中断

例 3：通过 POPC 指令，更改 I 标志的例子

INT_SWITCH3:

PUSHC	FLG	
FCLR	I	；禁止中断
AND.B	#00H, 0056H	；将 TRAIC 寄存器置“00h”
POPC	FLG	；允许中断

14. 看门狗定时器

看门狗定时器有检测程序失控的功能。因此，为了提高系统的可靠性，建议使用看门狗定时器。

看门狗定时器具有 15 位计数器，可选择计数源保护模式是否有效。

计数源保护模式的有效 / 无效如表 14.1 所示。

看门狗定时器复位的详细内容请参照“6.5 看门狗定时器复位”。

看门狗定时器的框图如图 14.1 所示，OFS、WDC 寄存器如图 14.2、WDTR、WDTS、CSPR 寄存器如图 14.3 所示。

表 14.1 计数源保护模式的有效 / 无效

项目	计数源保护模式无效时	计数源保护模式有效时
计数源	CPU 时钟	低速内部振荡器时钟
计数运行	递减计数	
计数开始条件	可选择以下的任意一项 • 复位后自动开始计数 • 通过写 WDTS 寄存器，开始计数	
计数停止条件	停止模式、等待模式	无
看门狗定时器的初始条件	• 复位 • 将“00h”、“FFh”连续写到 WDTR 寄存器 • 下溢	
下溢时的运行	看门狗定时器中断或者看门狗定时器复位	看门狗定时器复位

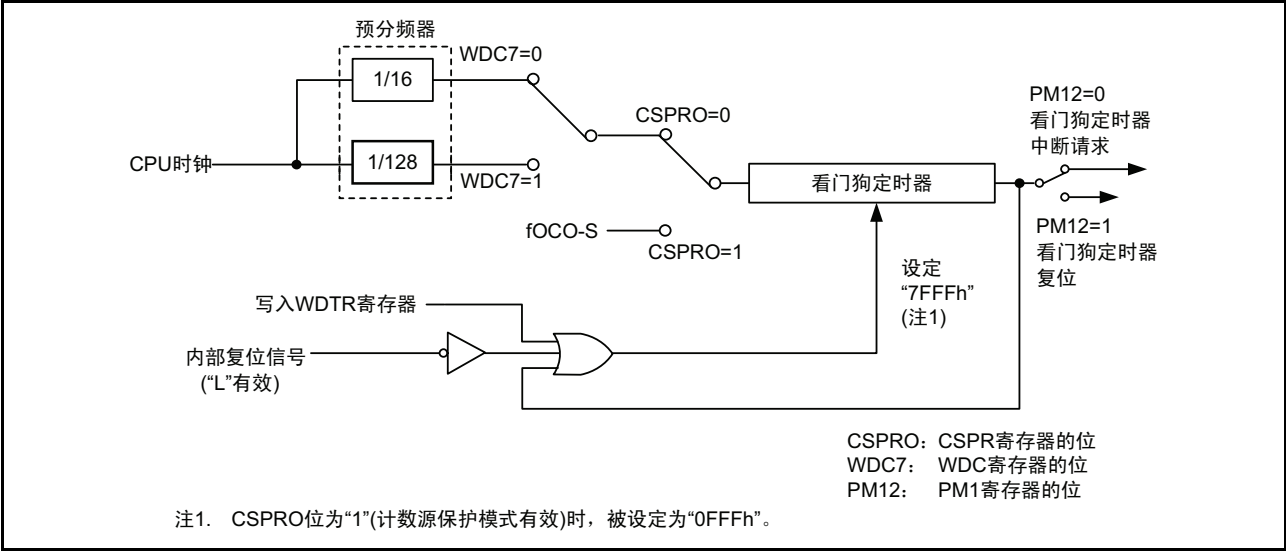


图 14.1 看门狗定时器的框图

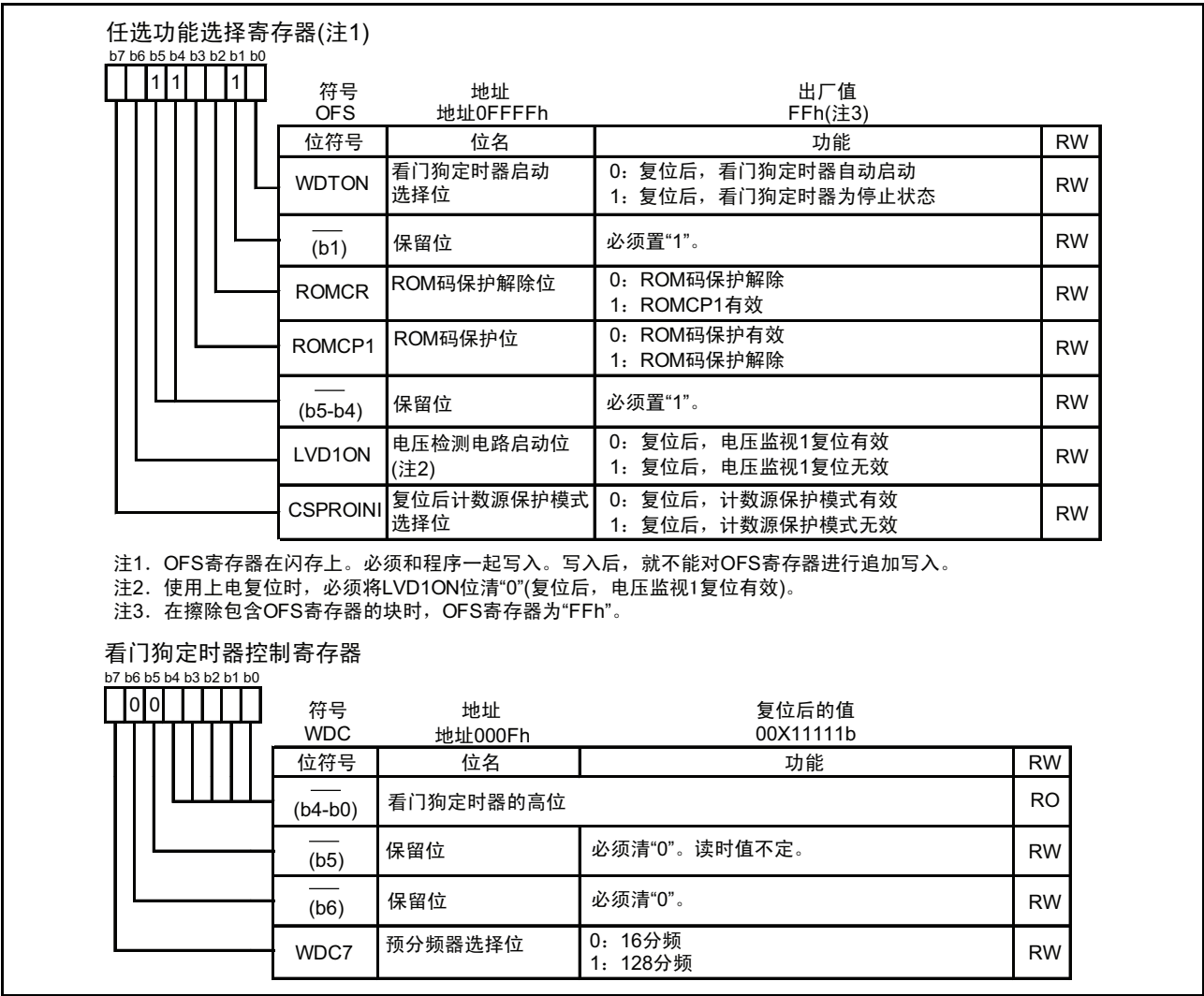


图 14.2 OFS、WDC 寄存器

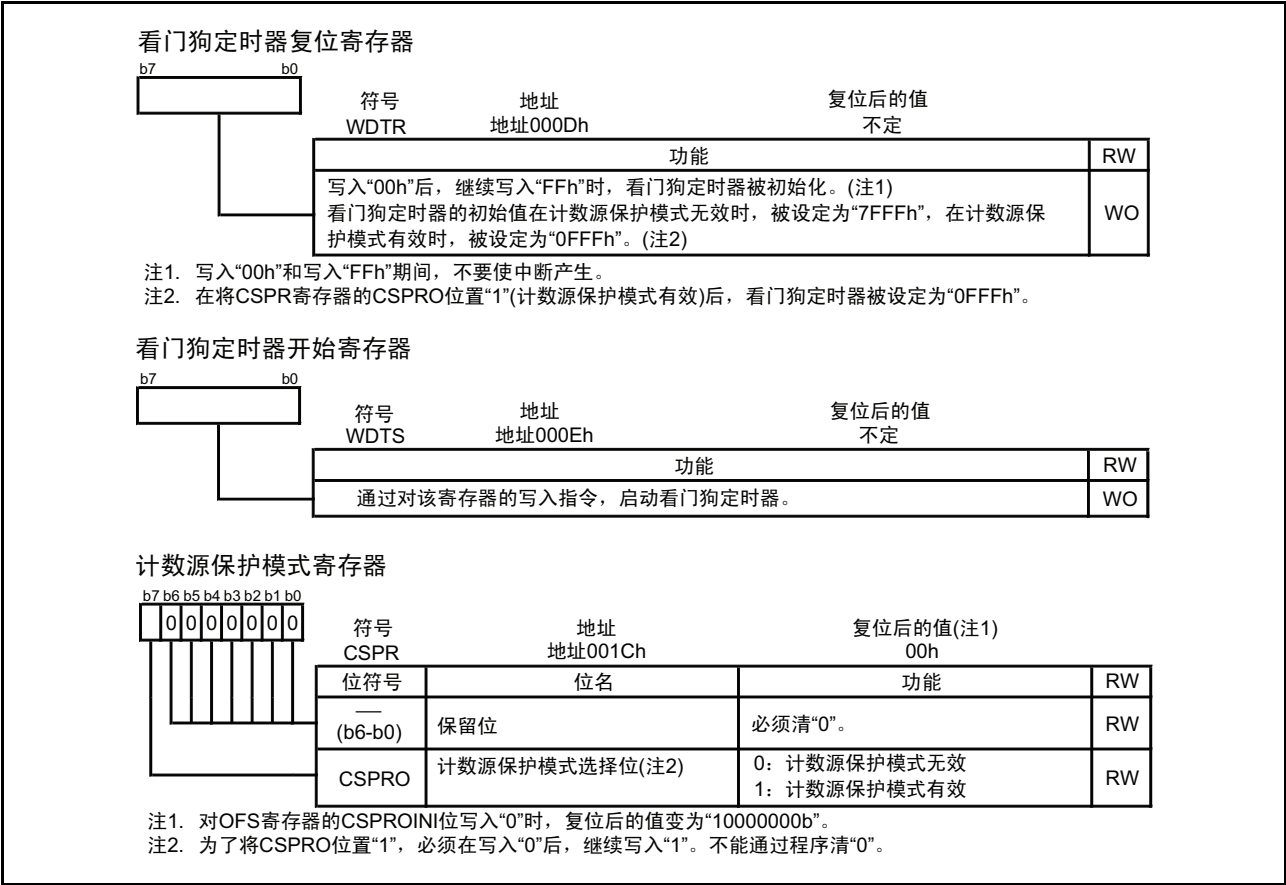


图 14.3 WDTR、WDTS、CSPR 寄存器

14.1 计数源保护模式无效时

当计数源保护模式无效时，看门狗定时器的计数源为 CPU 时钟。

看门狗定时器的规格（计数源保护模式无效时）如表 14.2 所示。

表 14.2 看门狗定时器的规格（计数源保护模式无效时）

项目	规格
计数源	CPU 时钟
计数运行	递减计数
周期	预分频器的分频比 (n) × 看门狗定时器的计数值 (32768) （注 1） CPU 时钟 n: 16 或者 128 （由 WDC 寄存器的 WDC7 位选择） 例：当 CPU 时钟为 16MHz 并且预分频器为 16 分频时，周期约为 32.8ms
计数开始条件	通过 OFS 寄存器（地址 0FFFFh）的 WDTON 位（注 2）选择复位后的看门狗定时器运行 - 当 WDTON 位为 “1”（复位后，看门狗定时器处于停止状态）时 复位后，看门狗定时器和预分频器停止，通过写 WDTS 寄存器开始计数 - 当 WDTON 位为 “0”（复位后，看门狗定时器自动启动）时 复位后，看门狗定时器和预分频器自动开始计数
看门狗定时器的初始化条件	- 复位 - 将 “00h”、“FFh” 连续写到 WDTR 寄存器 - 下溢
计数停止条件	停止模式、等待模式（解除后，从被保持的值开始继续计数）
下溢时的运行	- 当 PM1 寄存器的 PM12 位为 “0” 时 看门狗定时器中断 - 当 PM1 寄存器的 PM12 位为 “1” 时 看门狗定时器复位（参照“6.5 看门狗定时器复位”）

注 1. 在将 “00h” 和 “FFh” 连续写到 WDTR 寄存器时，看门狗定时器被初始化。预分频器在复位后被初始化。因此，看门狗定时器的周期将产生由预分频器引起的误差。

注 2. 不能通过程序更改 WDTON 位。在设定 WDTON 位时，必须通过闪存编程器将 “0” 写到地址 0FFFFh 的 b0。

14.2 计数源保护模式有效时

当计数源保护模式有效时，看门狗定时器的计数源为低速内部振荡器时钟。在程序失控时，即使 CPU 时钟停止，也能给看门狗定时器提供时钟。

看门狗定时器的规格（计数源保护模式有效时）如表 14.3 所示。

表 14.3 看门狗定时器的规格（计数源保护模式有效时）

项目	规格
计数源	低速内部振荡器时钟
计数运行	递减计数
周期	看门狗定时器的计数值 (4096) 低速内部振荡器时钟 例：当低速内部振荡器时钟为 125kHz 时，周期约为 32.8ms
计数开始条件	通过 OFS 寄存器（地址 0FFFFh）的 WDTON 位（注 1）选择复位后的看门狗定时器的运行 - 当 WDTON 位为“1”（复位后，看门狗定时器处于停止状态）时 复位后，看门狗定时器和预分频器停止，通过写 WDTS 寄存器开始计数 - 当 WDTON 位为“0”（复位后，看门狗定时器自动启动）时 复位后，看门狗定时器和预分频器自动开始计数
看门狗定时器的初始化条件	- 复位 - 将“00h”、“FFh”连续写到 WDTR 寄存器 - 下溢
计数停止条件	无（在开始计数后，即使在等待模式也不停止。不变为停止模式。）
下溢时的运行	看门狗定时器复位（参照“6.5 看门狗定时器复位”）
寄存器、位	- 将 CSPR 寄存器的 CSPRO 位设定为“1”（计数源保护模式有效）时（注 2），自动进行如下设定： - 给看门狗定时器设定 0FFFFh - 将 CM1 寄存器的 CM14 位设定为“0”（低速内部振荡器振荡） - 将 PM1 寄存器的 PM12 位设定为“1”（在看门狗定时器下溢时，看门狗定时器复位） - 在计数源保护模式时进入以下状态： - 禁止写 CM1 寄存器的 CM10 位（即使写“1”也不变化，不转移到停止模式） - 禁止写 CM1 寄存器的 CM14 位（即使写“1”也不变化，低速内部振荡器不停止）

注 1. 不能通过程序更改 WDTON 位。在设定 WDTON 位时，必须通过闪存编程器将“0”写到地址 0FFFFh 的 b0。

注 2. 即使将“0”写到 OFS 寄存器的 CSPROINI 位，CSPRO 位也为“1”。不能通过程序更改 CSPROINI 位。在设定 CSPROINI 位时，必须通过闪存编程器将“0”写到地址 0FFFFh 的 b7。

15. 定时器

定时器内置 2 个带 8 位预分频器的 8 位定时器、2 个 16 位定时器、1 个带有 4 位计数器和 8 位计数器的定时器。带 8 位预分频器的 8 位定时器有定时器 RA 和定时器 RB。这些定时器含有记忆计数器初始值的重加载寄存器。16 位定时器为具有输入捕捉和输出比较功能的定时器 RD。4 位计数器、8 位计数器是带有输出比较功能的定时器 RE。所有定时器各自独立运行。

各定时器的功能比较如表 15.1 所示。

表 15.1 各定时器的功能比较

项目		定时器 RA	定时器 RB	定时器 RD	定时器 RE
结构		带 8 位预分频器的 8 位定时器 (带重加载寄存器)	带 8 位预分频器的 8 位定时器 (带重加载寄存器)	16 位定时器 ×2 (带输入捕捉和输出比较)	4 位计数器 8 位计数器
计数		递减计数	递减计数	递增计数 / 递减计数	递增计数
计数源		- f1 - f2 - f8 - fOCO	- f1 - f2 - f8 - 定时器 RA 下溢	- f1 - f2 - f4 - f8 - f32 - fOCO40M - TRDIOA0	- f4 - f8 - f32
功能	定时器模式	有	有	有 (输入捕捉功能、输出比较功能)	无
	脉冲输出模式	有	无	无	无
	事件计数器模式	有	无	无	无
	脉宽测定模式	有	无	无	无
	脉冲周期测定模式	有	无	无	无
	可编程波形产生模式	无	有	无	无
	可编程单触发生模式	无	有	无	无
	可编程等待单触发生模式	无	有	无	无
	输入捕捉	无	无	有	无
	输出比较	无	无	有	有
	PWM 模式	无	无	有	无
	复位同步 PWM 模式	无	无	有	无
	互补 PWM 模式	无	无	有	无
	PWM3 模式	无	无	有	无
输入引脚		TRAIO	INT0	INT0、TRDCLK、 TRDIOA0、TRDIOA1、 TRDIOB0、TRDIOB1、 TRDIOC0、TRDIOC1、 TRDIOD0、TRDIOD1	—
输出引脚引脚		TRA0 TRAIO	TRBO	TRDIOA0、TRDIOA1、 TRDIOB0、TRDIOB1、 TRDIOC0、TRDIOC1、 TRDIOD0、TRDIOD1	TRE0
相关中断		定时器 RA 中断 INT1 中断	定时器 RB 中断 INT0 中断	比较匹配 / 输入捕捉 A0 ~ D0 中断 比较匹配 / 输入捕捉 A1 ~ D1 中断 上溢中断 下溢中断 (注 1) INT0 中断	定时器 RE 中断
定时器停止		有	有	有	有

注 1. 下溢中断只能设定通道 1。

15.1 定时器 RA

定时器 RA 是带 8 位预分频器的 8 位定时器。预分频器和定时器分别由重加载寄存器和计数器构成，重加载寄存器和计数器分配在相同地址。如果对 TRAPRE 寄存器和 TRA 寄存器进行存取，就能存取重加载寄存器和计数器（参照表 15.2～表 15.6 的各模式规格）。

定时器 RA 的计数源是计数、重加载等的定时器运行的运行时钟。

定时器 RA 的框图如图 15.1 所示, 和定时器 RA 相关的寄存器如图 15.2 ~ 图 15.3 所示。定时器 RA 有以下 5 种模式:

- 定时器模式 对内部计数源计数的模式
- 脉冲输出模式 对内部计数源计数，在定时器下溢时输出极性取反的脉冲模式
- 事件计数器模式 对外部脉冲计数的模式
- 脉宽测定模式 测定外部脉冲的脉宽的模式
- 脉冲周期测定模式 测定外部脉冲的脉冲周期的模式

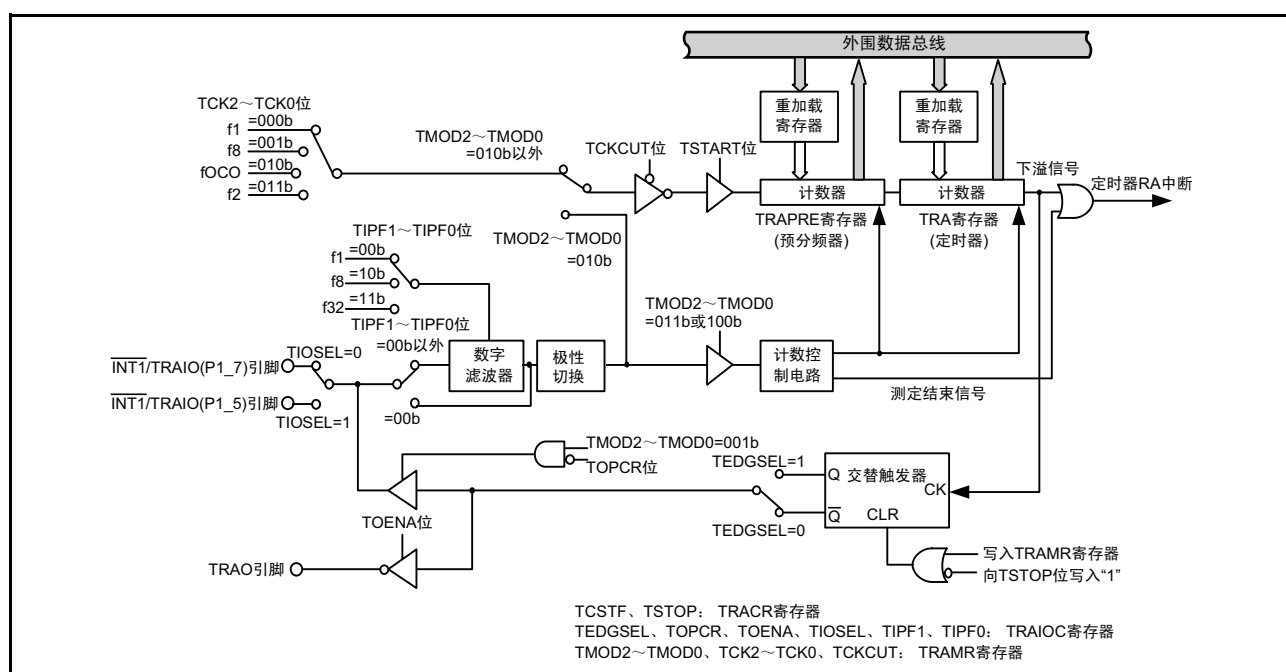


图 15.1 定时器 RA 框图

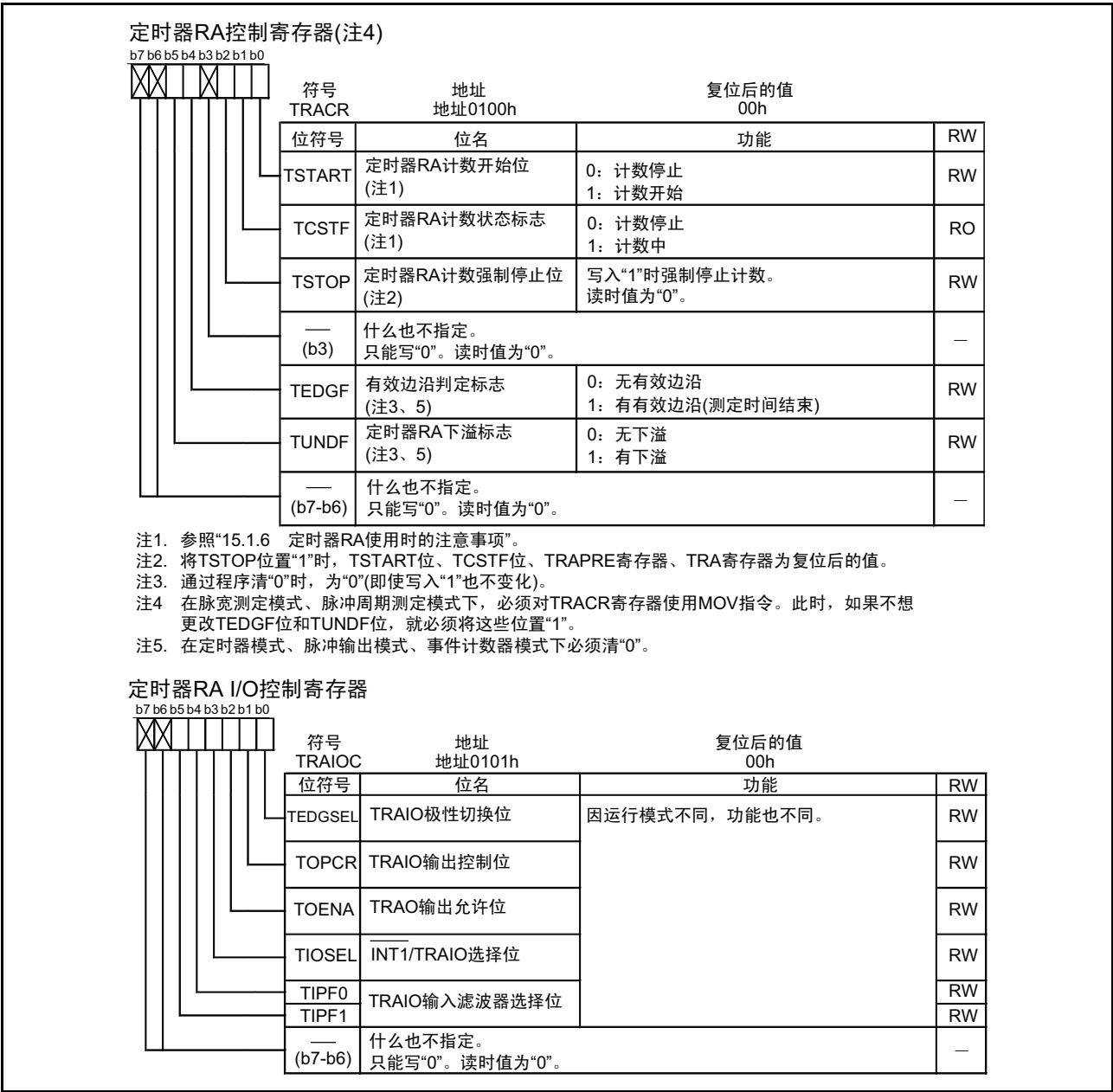


图 15.2 TRACR、TRAIOC 寄存器

定时器RA模式寄存器(注1)

b7 b6 b5 b4 b3 b2 b1 b0							
符号 TRAMR		地址 地址0102h		复位后的值 00h			
位符号		位名		功能		RW	
TMOD0		定时器RA运行模式选择位		b2 b1 b0		RW	
TMOD1				0 0 0: 定时器模式		RW	
TMOD2				0 0 1: 脉冲输出模式			
				0 1 0: 事件计数器模式			
				0 1 1: 脉宽测定模式			
				1 0 0: 脉冲周期测定模式		RW	
				1 0 1: }			
				1 1 0: } 不要设定			
				1 1 1: }			
— (b3)		什么也不指定。 只能写“0”。读时值为“0”。				—	
TCK0		定时器RA计数源选择位		b6 b5 b4		RW	
TCK1				0 0 0: f1		RW	
				0 0 1: f8			
				0 1 0: fOCO			
				1 0 0: }			
				1 0 1: }			
				1 1 0: } 不要设定			
				1 1 1: }			
TCKCUT		定时器RA计数源截止位		0: 供给计数源 1: 截止计数源		RW	

注1. TRACR寄存器的TSTART位和TCSTF位都为“0”(停止计数)时必须更改。

定时器RA预分频器寄存器

b7 b0		符号 TRAPRE	地址 地址0103h	复位后的值 FFh(注1)		
		模式	功能	设定范围	RW	
		定时器模式	对内部计数源计数	00h~FFh	RW	
		脉冲输出模式	对内部计数源计数	00h~FFh	RW	
		事件计数器模式	对外部计数源计数	00h~FFh	RW	
		脉宽测定模式	对内部计数源计数	00h~FFh	RW	
		脉冲周期测定模式	对内部计数源计数	00h~FFh	RW	

注1. 对TRACR寄存器的TSTOP位写“1”时，TRAPRE寄存器为“FFh”。

定时器RA寄存器

b7 b0		符号 TRA	地址 地址0104h	复位后的值 FFh(注1)		
		模式	功能	设定范围	RW	
		全部模式	对定时器RA预分频器寄存器的下溢计数	00h~FFh	RW	

注1. 对TRACR寄存器的TSTOP位写“1”时，TRA寄存器为“FFh”。

图 15.3 TRAMR、TRAPRE、TRA 寄存器

15.1.1 定时器模式

它是对内部生成的计数源计数的模式（表 15.2）。
定时器模式时的 TRAIOC 寄存器如图 15.4 所示。

表 15.2 定时器模式的规格

项目	规格
计数源	f1、f2、f8、fOCO
计数运行	- 递减计数 - 下溢时重新装入重加载寄存器的内容，然后继续计数
分频比	$1/(n+1)(m+1)$ n: TRAPRE 寄存器的设定值、m: TRA 寄存器的设定值
计数开始条件	对 TRACR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	对 TRACR 寄存器的 TSTART 位写“0”（停止计数） 对 TRACR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	在定时器 RA 下溢时 [定时器 RA 中断]
$\overline{\text{INT1}}$ /TRAIO 引脚功能	可编程输入 / 输出端口或者 $\overline{\text{INT1}}$ 中断输入
TRA0 引脚功能	可编程输入 / 输出端口
读定时器	如果读 TRA 寄存器和 TRAPRE 寄存器，就读取各自的计数值
写定时器	- 如果在计数停止时对 TRAPRE 寄存器和 TRA 寄存器写数据，数据就被写入各自的重加载寄存器和计数器 - 如果在计数中对 TRAPRE 寄存器和 TRA 寄存器写数据，数据就被写入各自的重加载寄存器和计数器（参照“15.1.1.1 计数中的定时器写入控制”）

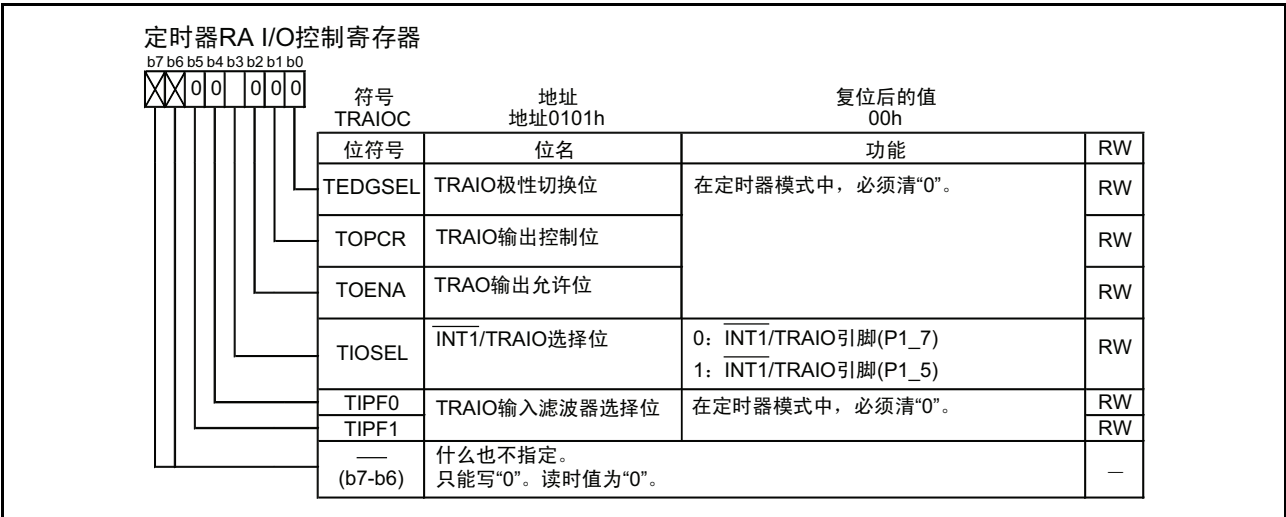


图 15.4 定时器模式时的 TRAIOC 寄存器

15.1.1.1 计数中的定时器写入控制

定时器 RA 带有预分频器和定时器（对预分频器的下溢进行计数的狭义的定时器），各自具有重加载寄存器和计数器。写入预分频器或定时器时，值就会被写入重加载寄存器和计数器。

但是，从预分频器的重加载寄存器向计数器传送值时与计数源同步传送。另外，从定时器的重加载寄存器向计数器传送值时与预分频器的下溢同步传送。因此，在计数中写入预分频器或定时器时，执行写入指令后计数器的值不会立即被更新。

定时器 RA 计数中改写计数值的运行例子如图 15.5 所示。

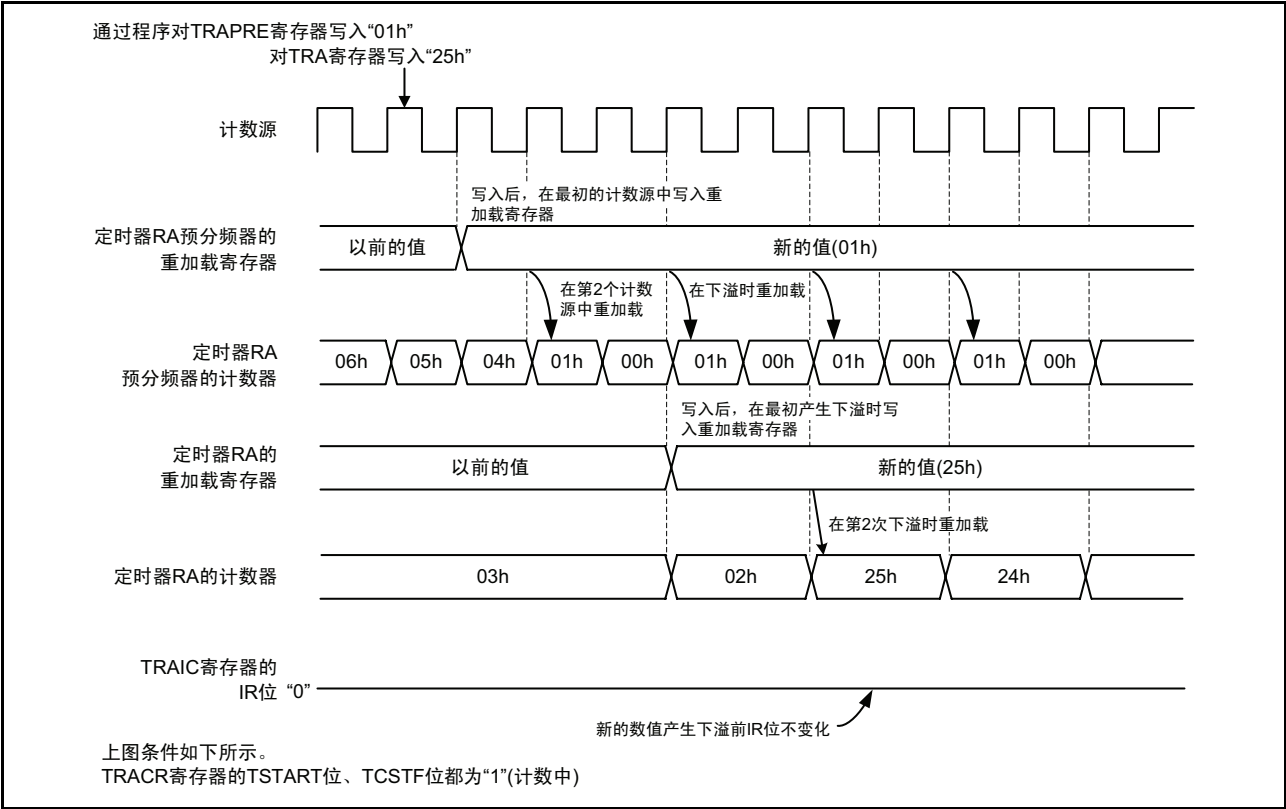


图 15.5 定时器 RA 计数中改写计数值的运行例子

15.1.2 脉冲输出模式

对内部生成的计数源计数，每当定时器下溢时，从 TRAIO 引脚输出极性取反的脉冲的模式（表 15.3）。
脉冲输出模式时的 TRAIOC 寄存器如图 15.6 所示。

表 15.3 脉冲输出模式的规格

项目	规格
计数源	f1、f2、f8、fOCO
计数运行	- 递减计数 - 下溢时重新装入重加载寄存器的内容，然后继续计数
分频比	$1/(n+1)(m+1)$ n: TRAPRE 寄存器的设定值、m: TRA 寄存器的设定值
计数开始条件	对 TRACR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	- 对 TRACR 寄存器的 TSTART 位写“0”（停止计数） - 对 TRACR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	在定时器 RA 下溢时 [定时器 RA 中断]
INT1/TRAIO 引脚功能	脉冲输出、或可编程输出端口、INT1 中断输入（注 1）
TRAIO 引脚功能	可编程输入 / 输出端口或者输出 TRAIO 的输出取反（注 1）
读定时器	如果读 TRAPRE 寄存器和 TRA 寄存器，就读取各自的计数值
写定时器	- 如果在计数停止时对 TRAPRE 寄存器和 TRA 寄存器写数据，数据就被写入各自的重加载寄存器和计数器 - 如果在计数中对 TRAPRE 寄存器和 TRA 寄存器写数据，数据就会被写入各自的重加载寄存器和计数器。详细内容请参照“15.1.1.1 计数中的定时器写入控制”
选择功能	- TRAIO 输出极性切换功能 能通过 TEDGSEL 位选择脉冲输出开始时的电平（注 1） - 取反脉冲输出功能 从 TRAIO 引脚输出 TRAIO 的输出极性取反脉冲（通过 TOENA 位选择） - 脉冲输出停止功能 通过 TOPCR 位停止从 TRAIO 引脚输出脉冲 - INT1/TRAIO 引脚选择功能 通过 TIOSEL 位选择 P1_7 或 P1_5

注 1. 通过写入 TRAMR 寄存器，输出脉冲变为输出开始时的电平。

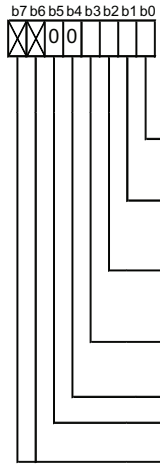
定时器RA I/O控制寄存器 				复位后的值 00h
位符号	位名	功能	RW	
TEDGSEL	TRAIO极性切换位	0: 从“H”电平开始TRAIO输出 1: 从“L”电平开始TRAIO输出	RW	
TOPCR	TRAIO输出控制位	0: TRAIO输出 1: 端口P1_7或端口P1_5	RW	
TOENA	TRAIO输出允许位	0: 端口P3_0 1: TRAIO输出 (TRAIO输出取反后从P3_0输出)	RW	
TIOSEL	INT1/TRAIO选择位	0: INT1/TRAIO引脚(P1_7) 1: INT1/TRAIO引脚(P1_5)	RW	
TIPF0	TRAIO输入滤波器选择位	在脉冲输出模式中，必须清“0”。	RW	
TIPF1			RW	
(b7-b6)	什么也不指定。 只能写“0”。读时值为“0”。		—	

图 15.6 脉冲输出模式时的 TRAIOC 寄存器

15.1.3 事件计数器模式

是对从 $\overline{\text{INT1}}$ /TRAIO 引脚输入的外部信号计数的模式（表 15.4）。

事件计数器模式时的 TRAIOC 寄存器如图 15.7 所示。

表 15.4 事件计数器模式的规格

项目	规格
计数源	TRAIO 引脚输入的外部信号（能通过程序选择有效边沿）
计数运行	- 递减计数 - 下溢时重新装入重加载寄存器的内容，然后继续计数
分频比	$1/(n+1)(m+1)$ n: TRAPRE 寄存器的设定值、m: TRA 寄存器的设定值
计数开始条件	对 TRACR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	对 TRACR 寄存器的 TSTART 位写“0”（停止计数） 对 TRACR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	在定时器 RA 下溢时 [定时器 RA 中断]
$\overline{\text{INT1}}$ /TRAIO 引脚功能	计数源输入（ $\overline{\text{INT1}}$ 中断输入）
TRA0 引脚功能	可编程输入 / 输出端口，或者脉冲输出（注 1）
读定时器	如果读 TRA 寄存器和 TRAPRE 寄存器，就读取各自的计数值
写定时器	- 如果在计数停止时对 TRAPRE 寄存器和 TRA 寄存器写数据，数据就被写入各自的重加载寄存器和计数器 - 如果在计数中对 TRAPRE 寄存器和 TRA 寄存器写数据，数据就会被写入各自的重加载寄存器和计数器。详细内容请参照“15.1.1.1 计数中的定时器写入控制”
选择功能	$\overline{\text{INT1}}$ 输入极性切换功能 通过 TEDGSEL 位选择计数源的有效边沿 - 计数源输入引脚选择功能 通过 TIOSEL 位选择 P1_7 或 P1_5 - 脉冲输出功能 每当定时器下溢时，从 TRA0 引脚输出极性取反的脉冲（由 TONEA 位选择）（注 1） - 数字滤波器功能 有无数字滤波器和采样频率由 TIPF0 ~ TIPF1 位选择

注 1. 通过写入 TRAMR 寄存器，输出脉冲变为输出开始时的电平。

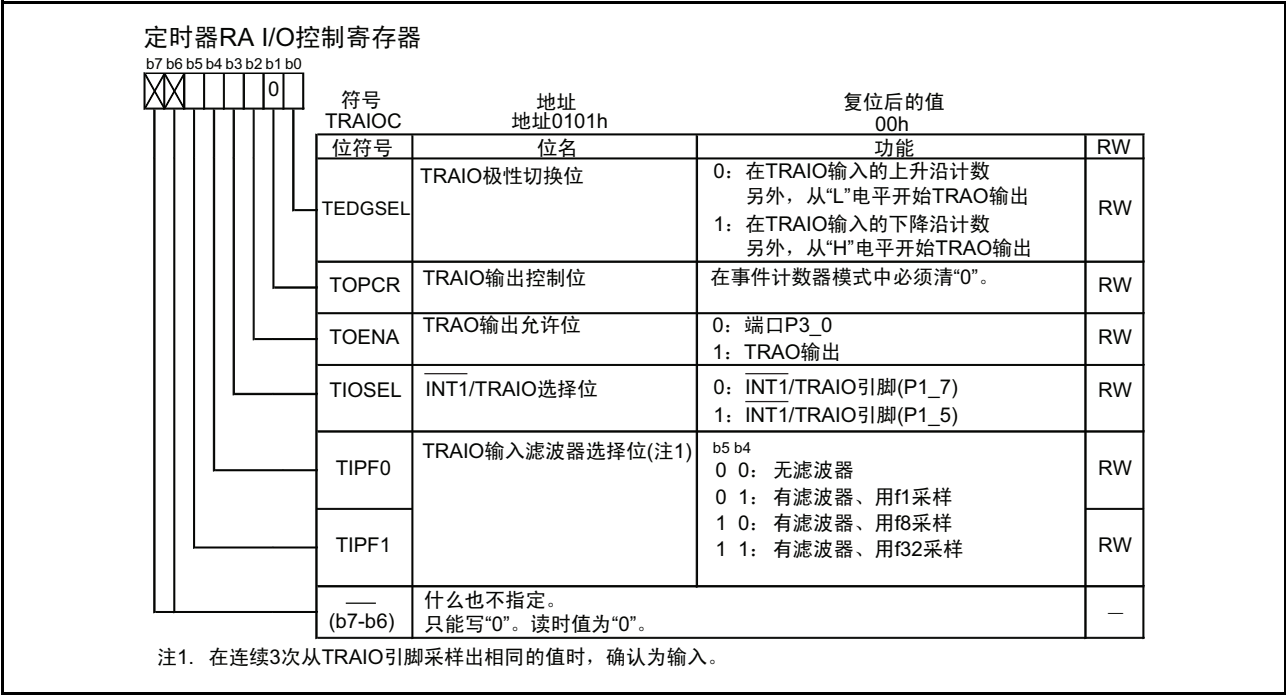


图 15.7 事件计数器模式时的 TRAIOC 寄存器

15.1.4 脉宽测定模式

是测定从 $\overline{\text{INT1}}$ /TRAIO 引脚输入的外部信号的脉宽的模式（表 15.5）。

脉宽测定模式时的 TRAI0C 寄存器如图 15.8、脉宽测定模式时的运行例所示如图 15.9。

表 15.5 脉宽测定模式的规格

项目	规格
计数源	f1、f2、f8、fOCO
计数运行	• 递减计数 • 只有在测定脉冲为“H”电平或者“L”电平的期间继续计数 • 下溢时重新装入重加载寄存器的内容，然后继续计数
计数开始条件	对 TRACR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	对 TRACR 寄存器的 TSTART 位写“0”（停止计数） 对 TRACR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	• 在定时器 RA 下溢时 [定时器 RA 中断] • 在 TRAI0 输入的上升沿或者下降沿（测定期间结束）[定时器 RA 中断]
$\overline{\text{INT1}}$ /TRAIO 引脚功能	测定脉冲输入（ $\overline{\text{INT1}}$ 中断输入）
TRA0 引脚功能	可编程输入 / 输出端口
读定时器	如果读 TRA 寄存器和 TRAPRE 寄存器，就读取各自的计数值
写定时器	• 如果在计数停止时对 TRAPRE 寄存器和 TRA 寄存器写数据，数据就被写入各自的重加载寄存器和计数器 • 如果在计数中对 TRAPRE 寄存器和 TRA 寄存器写数据，数据就会被写入各自的重加载寄存器和计数器。详细内容请参照“15.1.1.1 计数中的定时器写入控制”
选择功能	• 选择测定电平 通过 TEDGSEL 位选择“H”电平期间或者“L”电平期间 • 测定脉冲输入引脚选择功能 通过 TIOSEL 位选择 P1_7 或者 P1_5 • 数字滤波器功能 通过 TIPF0 ~ TIPF1 位选择数字滤波器的有无和采样频率

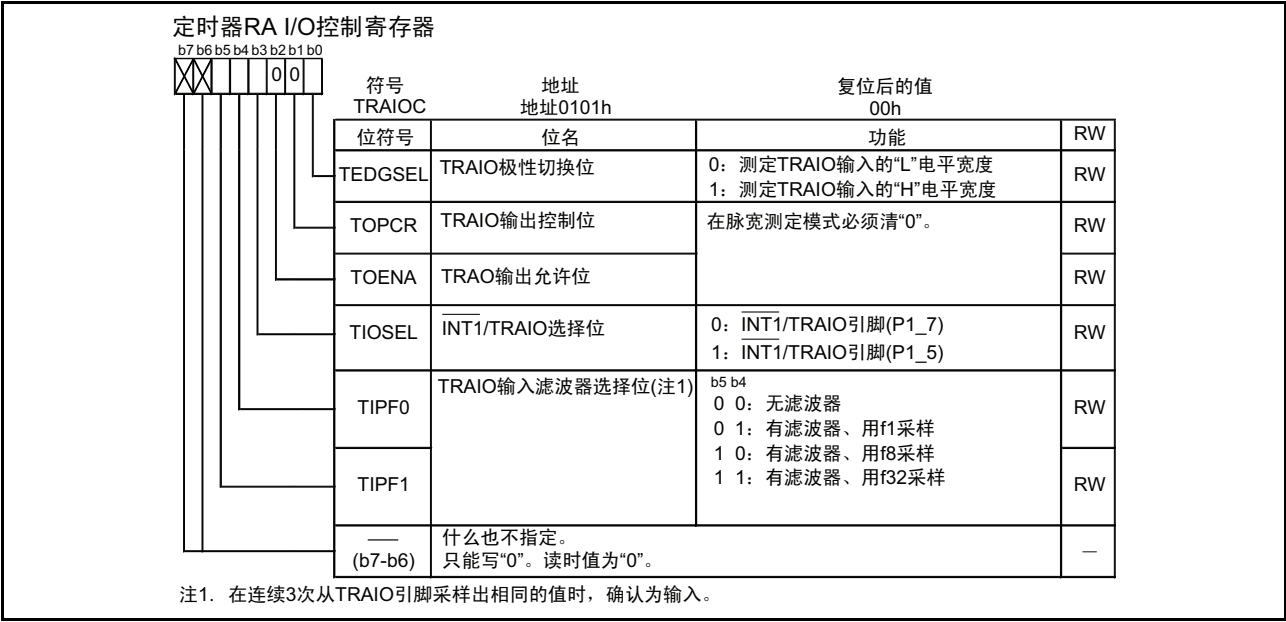


图 15.8 脉宽测定模式时的 TRAIOC 寄存器

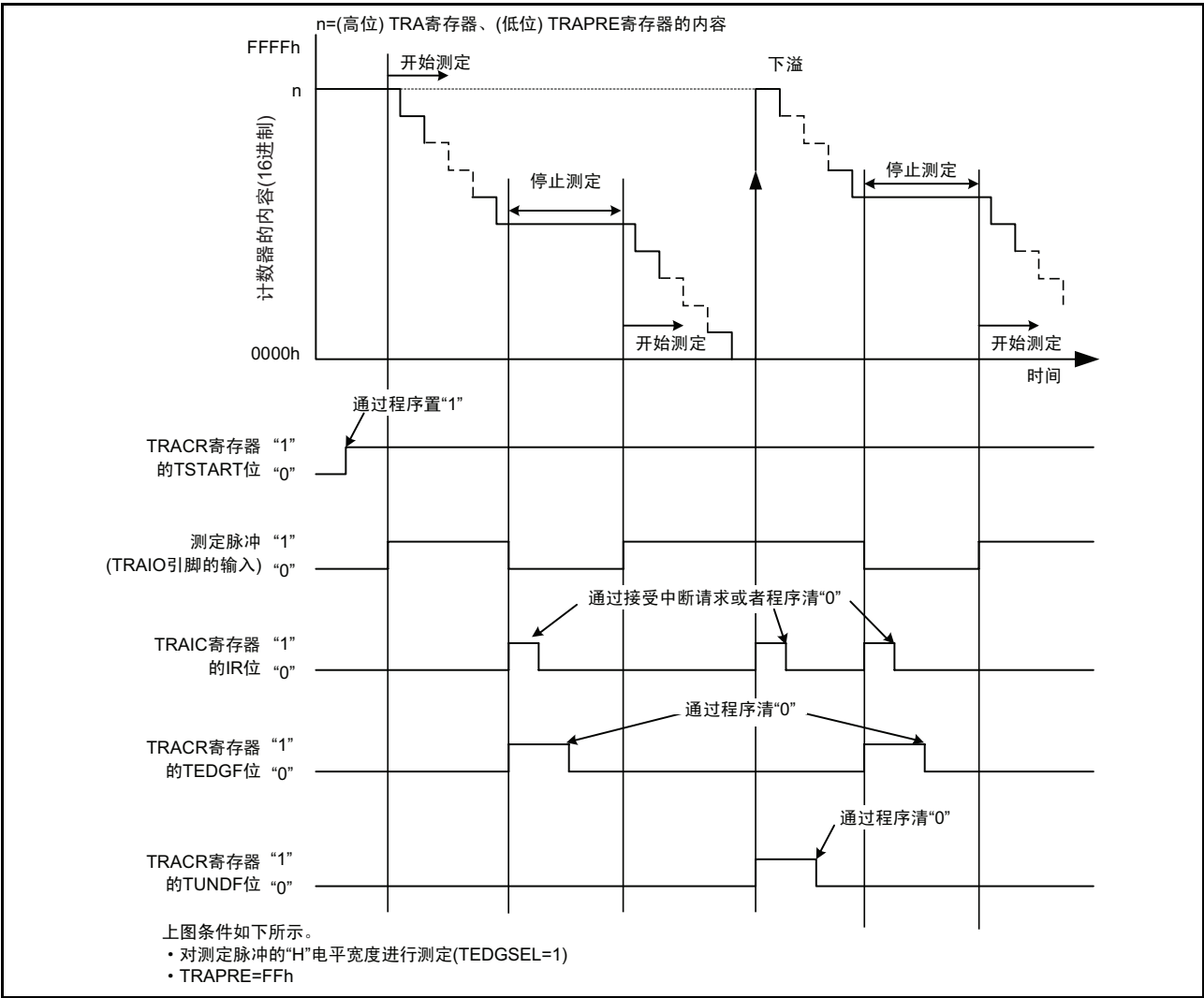


图 15.9 脉宽测定模式时的运行例子

15.1.5 脉冲周期测定模式

是测定从 $\overline{\text{INT1}}$ /TRAIO 引脚输入的外部信号的脉冲周期的模式（表 15.6）。

脉冲周期测定模式时的 TRAI0C 寄存器如图 15.10 脉冲周期测定模式时的运行例子如图 15.11 所示。

表 15.6 脉冲周期测定模式的规格

项目	规格
计数源	f1、f2、f8、fOCO
计数运行	- 递减计数 - 输入测定脉冲的有效边沿后，在定时器 RA 预分频器第 1 次下溢时保持读缓冲器的内容，在定时器 RA 预分频器第 2 次下溢时，通过定时器 RA 重新装入重加载寄存器的内容，然后继续计数
计数开始条件	对 TRACR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	对 TRACR 寄存器的 TSTART 位写“0”（停止计数） 对 TRACR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	- 在定时器 RA 下溢时或者重加载时 [定时器 RA 中断] - 在 TRAI0 输入的上升沿或者下降沿（测定期间结束）[定时器 RA 中断]
$\overline{\text{INT1}}$ /TRAIO 引脚功能	测定脉冲输入（注 1）（ $\overline{\text{INT1}}$ 中断输入）
TRA0 引脚功能	可编程输入 / 输出端口
读定时器	如果读 TRA 寄存器、TRAPRE 寄存器，就读取各自计数器值。
写定时器	- 如果在计数停止时对 TRAPRE 寄存器和 TRA 寄存器写数据，数据就被写入各自的重加载寄存器和计数器 - 如果在计数中对 TRAPRE 寄存器和 TRA 寄存器写数据，数据就会被写入各自的重加载寄存器和计数器。详细内容请参照“15.1.1.1 计数中的定时器写入控制”
选择功能	- 选择测定时间 通过 TEDGSEL 位选择输入脉冲的测定期间 - 测定脉冲输入引脚选择功能 通过 TIOSEL 选择 P1_7 或者 P1_5 - 数字滤波器功能 通过 TIPF0 ~ TIPF1 选择数字滤波器的有无和采样频率

注 1. 必须输入长于 2 倍定时器 RA 预分频器周期的脉冲。另外，对于“H”电平宽度和“L”电平宽度，必须输入长于定时器 RA 预分频器周期的脉冲，如果输入短于定时器 RA 预分频器周期的脉冲，其输入可能被忽略。

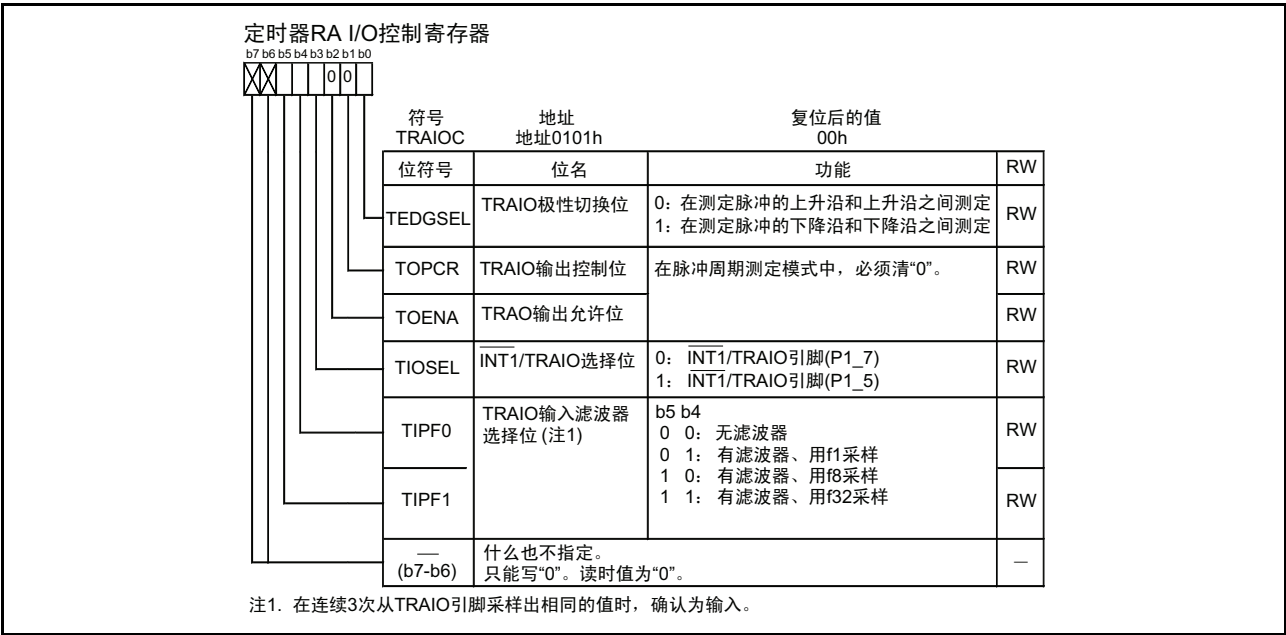


图 15.10 脉冲周期测定模式时的 TRAIIOC 寄存器

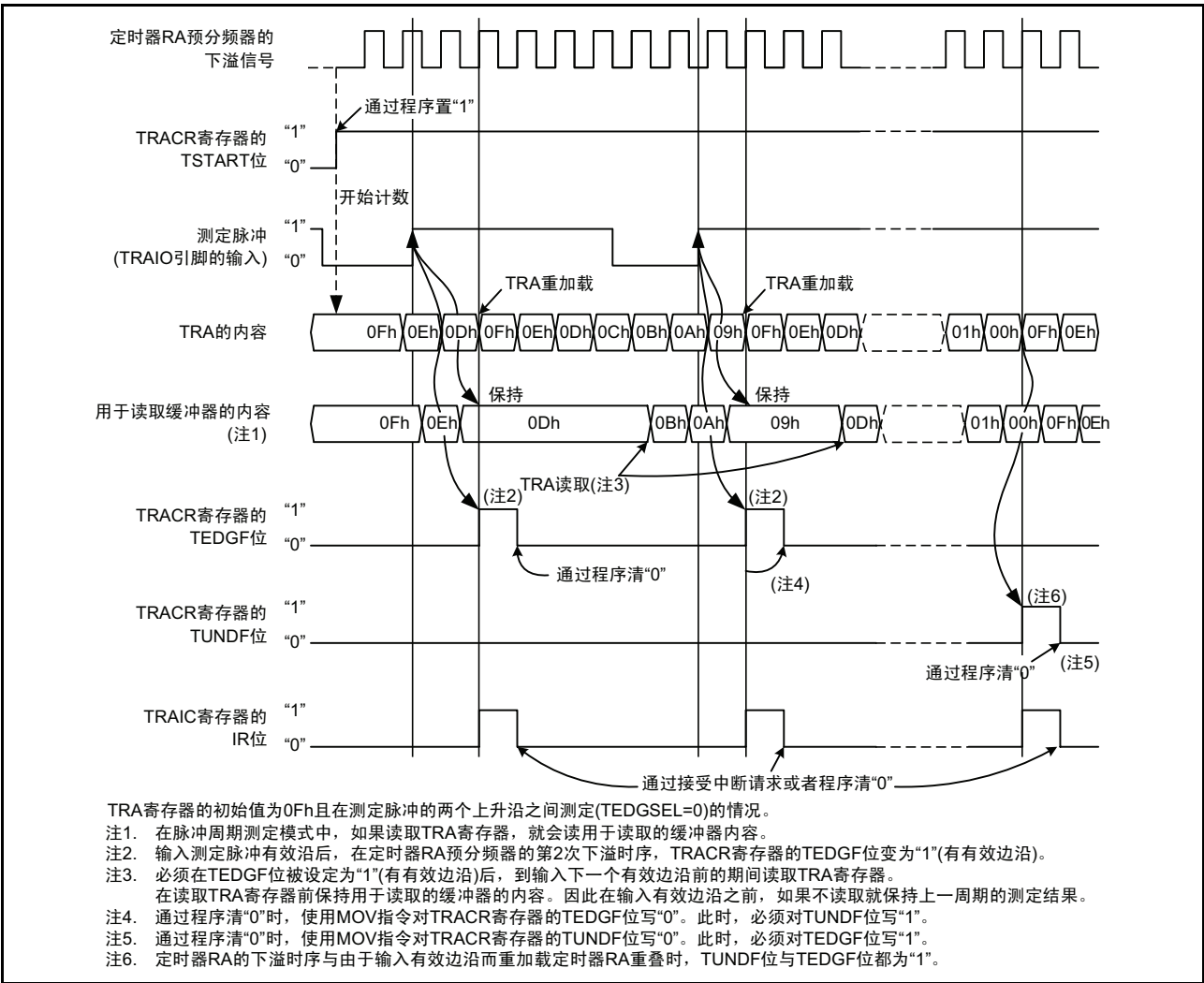


图 15.11 脉冲周期测定模式时的运行例子

15.1.6 定时器 RA 使用时的注意事项

- 在复位后，定时器停止计数。必须在对定时器和预分频器设定值后，开始计数。
- 即使以 16 位单位读取预分频器和定时器，在单片机内部也按字节顺序读取。因此，在读取这 2 个寄存器期间，定时器值可能会更新。
- 如果通过程序对在脉宽测定模式和脉冲周期测定模式使用的 TRACR 寄存器的 TEDGF 位和 TUNDF 位写“0”，这些位就变为“0”；写“1”时，这些位不变化。在对 TRACR 寄存器使用读 / 修改 / 写指令时，即使 TEDGF 位和 TUNDF 位为“1”，在指令执行中这些位也有可能被清“0”。此时，必须用 MOV 指令对不想被清“0”的 TEDGF 位和 TUNDF 位写“1”。
- 在从其他模式转换到脉宽测定模式和脉冲周期测定模式时，TEDGF 位和 TUNDF 位不定。必须在给 TEDGF 位和 TUNDF 位写“0”后，开始定时器 RA 的计数。
- 计数开始后，由最初产生的定时器 RA 预分频器的下溢信号，TEDGF 位可能变为“1”。
- 当使用脉冲周期测定模式时，必须在计数刚开始后间隔至少 2 个定时器 RA 预分频器周期的时间，再将 TEDGF 位清“0”，然后使用。
- 在计数停止中，对 TSTART 位写“1”后，且在 0 ~ 1 个计数源周期之间，TCSTF 位为“0”。在 TCSTF 位为“1”前，不要存取 TCSTF 位以外的与定时器 RA 相关的寄存器（注 1）。从 TCSTF 位为“1”后的最初的计数源的有效边沿开始计数。在计数过程中，对 TSTART 位写“0”后，且在 0 ~ 1 个计数源周期之间，TCSTF 位为“1”。在 TCSTF 位为“0”时停止计数。在 TCSTF 位为“0”前，不要存取 TCSTF 位以外的与定时器 RA 相关的寄存器（注 1）。

注 1. 与定时器 RA 相关的寄存器：TRACR、TRAIOC、TRAMR、TRAPRE、TRA。

- 在计数中（TCSTF 位为“1”），连续写 TRAPRE 寄存器时，各写间隔至少空出 3 个计数源时钟周期。
- 在计数中（TCSTF 位为“1”），连续写 TRA 寄存器时，各写间隔至少空出 3 个预分频器下溢周期。

15.2 定时器 RB

定时器 RB 是带 8 位预分频器的 8 位定时器。预分频器和定时器分别由重加载寄存器和计数器构成（有关重加载寄存器和计数器的存取，请参照表 15.7 ~ 表 15.10 的各模式的规格）。作为重加载寄存器，定时器 RB 具有定时器 RB 主寄存器和定时器 RB 次寄存器。

定时器 RB 的计数源是计数、重加载等定时器运行的运行时钟。

定时器 RB 的框图如图 15.12 所示，TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC 以及 TRBPR 寄存器如图 15.13 ~ 图 15.15 所示。

定时器 RB 具有以下 4 种模式：

- | | |
|----------------|--------------------------------|
| • 定时器模式 | 对内部计数源（外围功能时钟或定时器 RA 的下溢）计数的模式 |
| • 可编程波形产生模式 | 连续输出任意脉宽的模式 |
| • 可编程单触发产生模式 | 输出单触发脉冲的模式 |
| • 可编程等待单触发产生模式 | 输出延迟单触发脉冲的模式 |

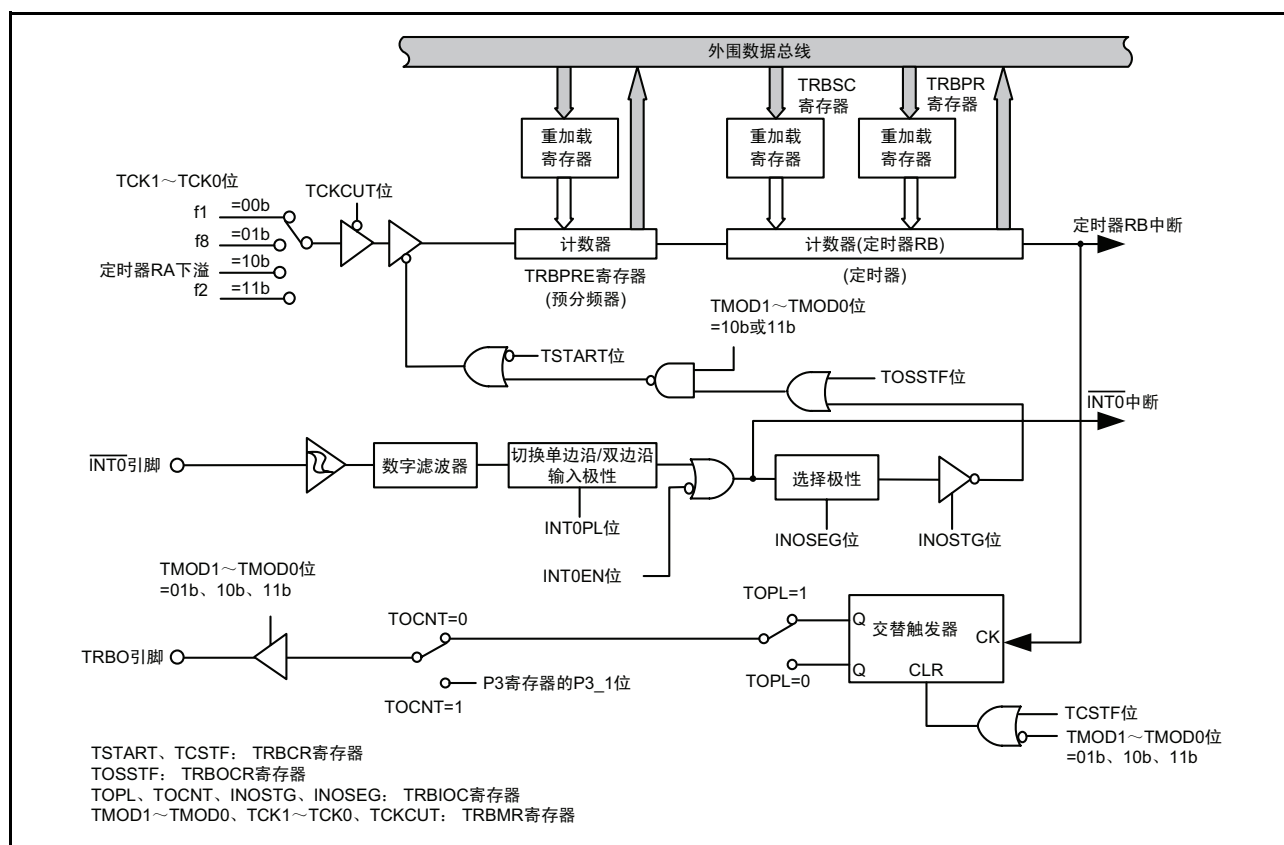


图 15.12 定时器 RB 框图

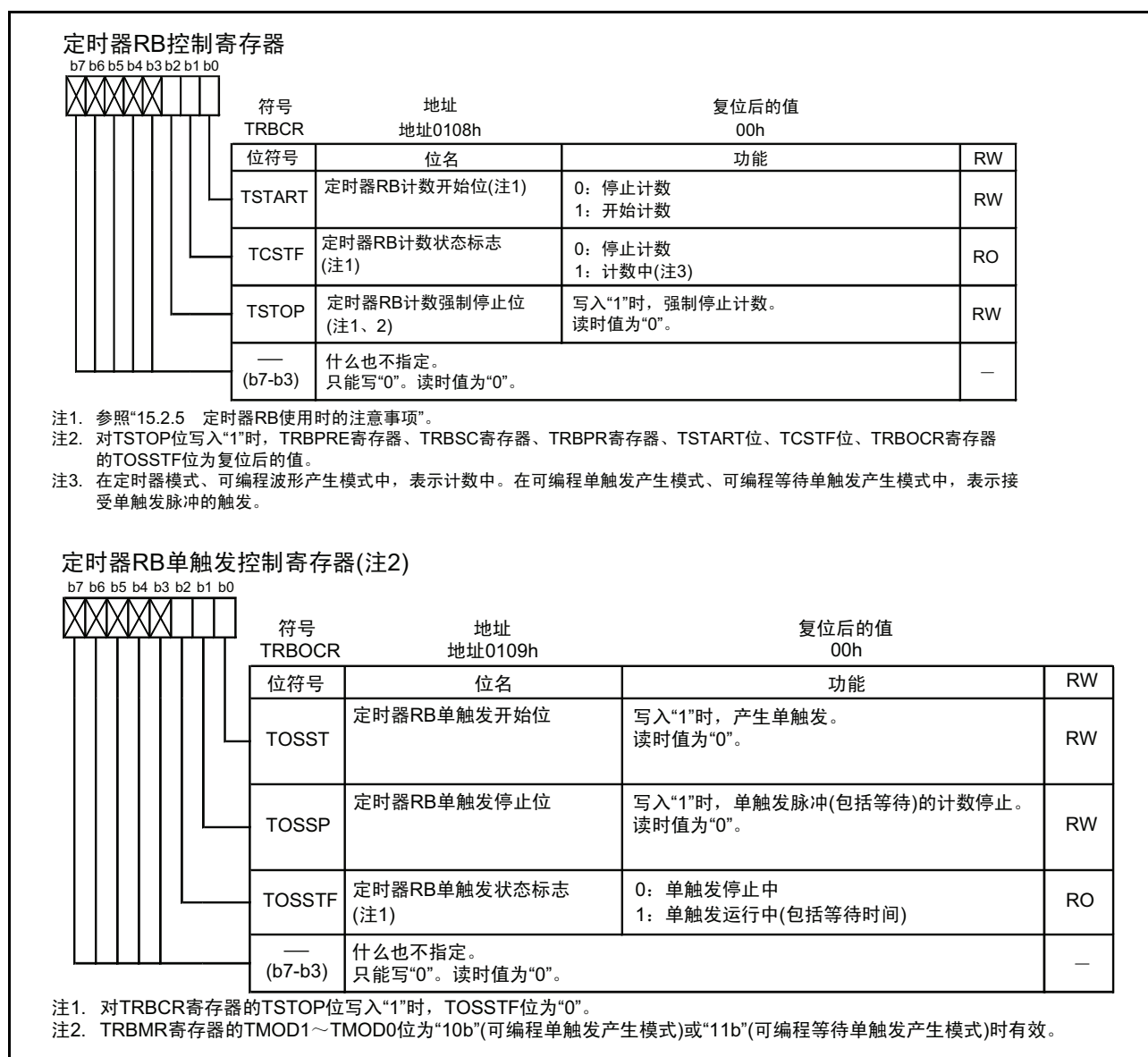


图 15.13 TRBCR、TRBOCR 寄存器

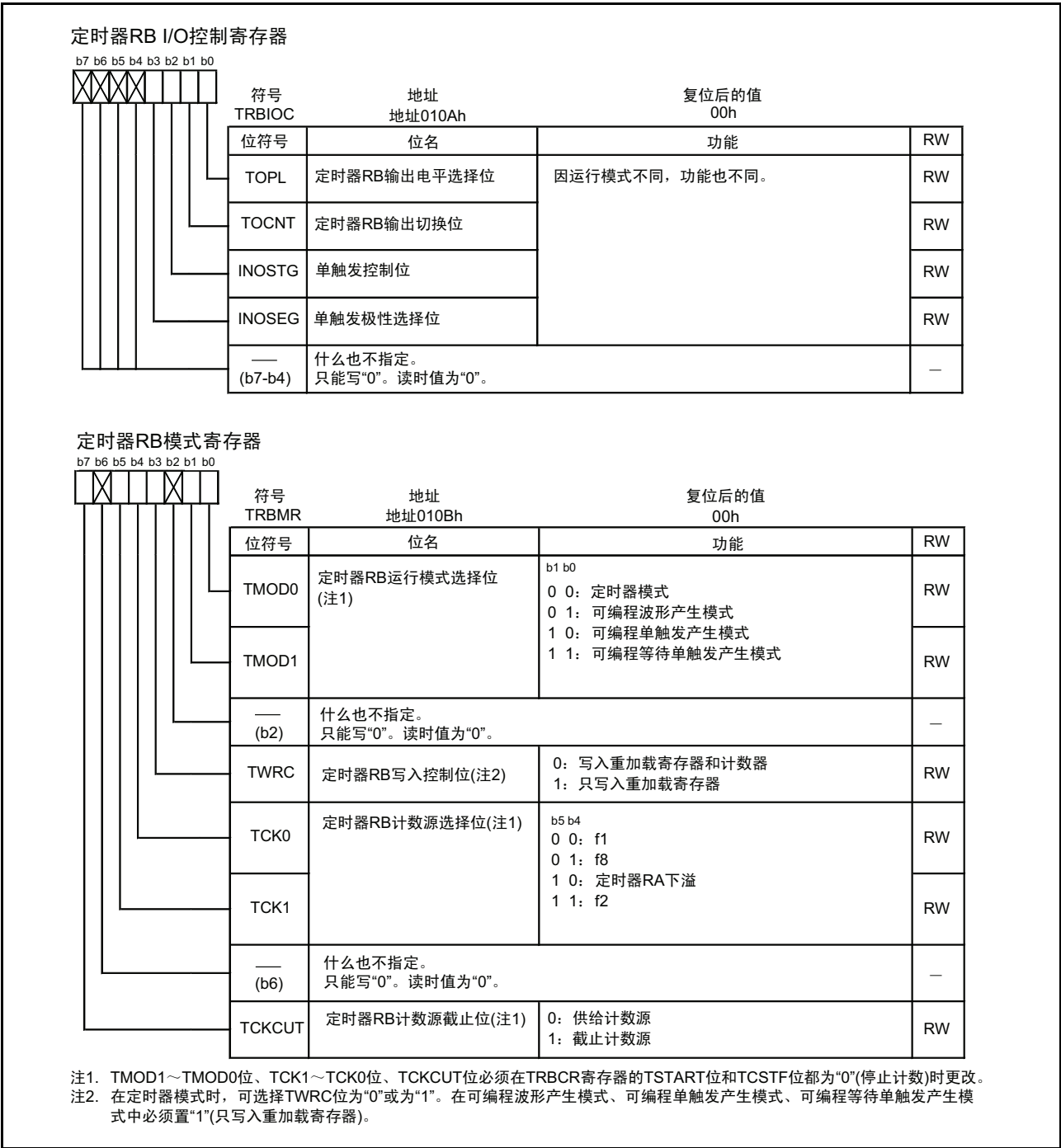


图 15.14 TRBIOC、TRBMR 寄存器



图 15.15 TRBPFE、TRBSC、TRBPR 寄存器

15.2.1 定时器模式

它是对内部生成的计数源或者定时器 RA 的下溢计数的模式（表 15.7）。在定时器模式时，不使用 TRBOCR 和 TRBSC 寄存器。

定时器模式时的 TRBIOC 寄存器如图 15.16 所示。

表 15.7 定时器模式的规格

项目	规格
计数源	f1、f2、f8、定时器 RA 的下溢
计数运行	- 递减计数 - 下溢时重新装入重加载寄存器的内容，然后继续计数 (在定时器 RB 下溢时，重新装入定时器 RB 主重加载寄存器的内容)
分频比	$1/(n+1)(m+1)$ n: TRBPRES 寄存器的设定值、m: TRBPR 寄存器的设定值
计数开始条件	对 TRBCR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	- 对 TRBCR 寄存器的 TSTART 位写“0”（停止计数） - 对 TRBCR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	在定时器 RB 下溢时 [定时器 RB 中断]
TRBO 引脚功能	可编程输入 / 输出端口
INT0 引脚功能	可编程输入 / 输出端口或者 $\overline{\text{INT0}}$ 中断输入
读定时器	如果读 TRBPR 寄存器和 TRBPRES 寄存器，就读取各自的计数值
写定时器	- 如果在计数停止时对 TRBPRES 寄存器和 TRBPR 寄存器写数据，数据就被写入各自的重加载寄存器和计数器 - 在计数中对 TRBPRES 寄存器和 TRBPR 寄存器写数据时，如果 TRBMR 寄存器的 TWRC 位为“0”，数据就被写入到各自的重加载寄存器和计数器。 如果 TWRC 位为“1”，数据就会被写入各自的重加载寄存器。请参照“15.2.1.1 计数中的定时器写入控制”。

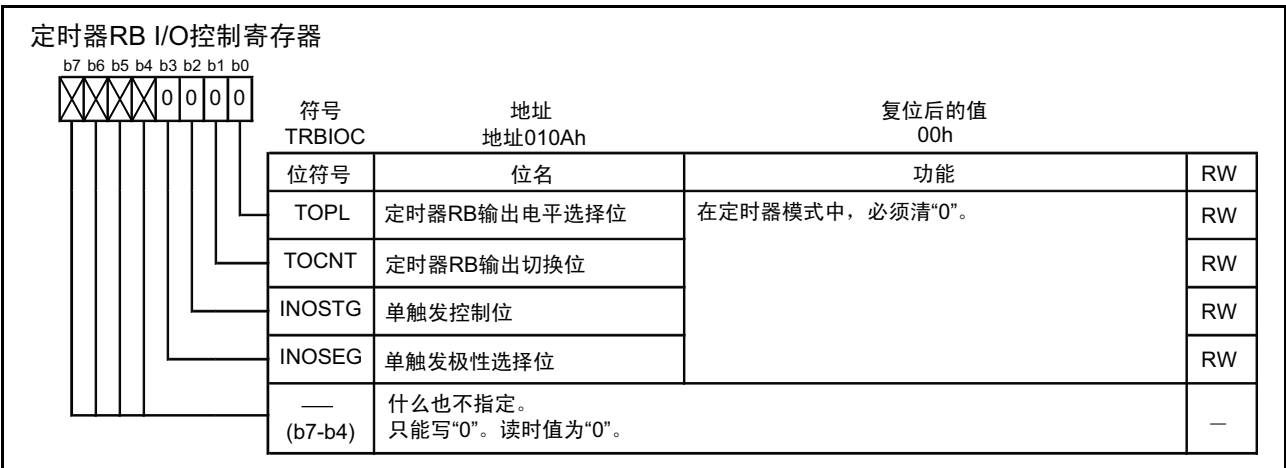


图 15.16 定时器模式时的 TRBIOC 寄存器

15.2.1.1 计数中的定时器写入控制

定时器 RB 带有预分频器和定时器（对预分频器的下溢进行计数的狭义的定时器），各自具有重加载寄存器和计数器。在定时器模式中，写入计数中的预分频器或定时器时，能通过 TRBMR 寄存器的 TWRC 位，选择写入重加载寄存器和定时器或只写入重加载寄存器。

但是，从预分频器的重加载寄存器向计数器传送值时与计数源同步传送。另外，从定时器的重加载寄存器向计数器传送值时与预分频器的下溢同步传送。因此，通过 TWRC 位选择写入重加载寄存器和计数器时，执行写入指令后不能立即更新计数器的值。另外，选择只写入重加载寄存器时，如果更改预分频器的值，就和写入时的周期就会错开。定时器 RB 计数中改写计数值的运行例如图 15.17 所示。

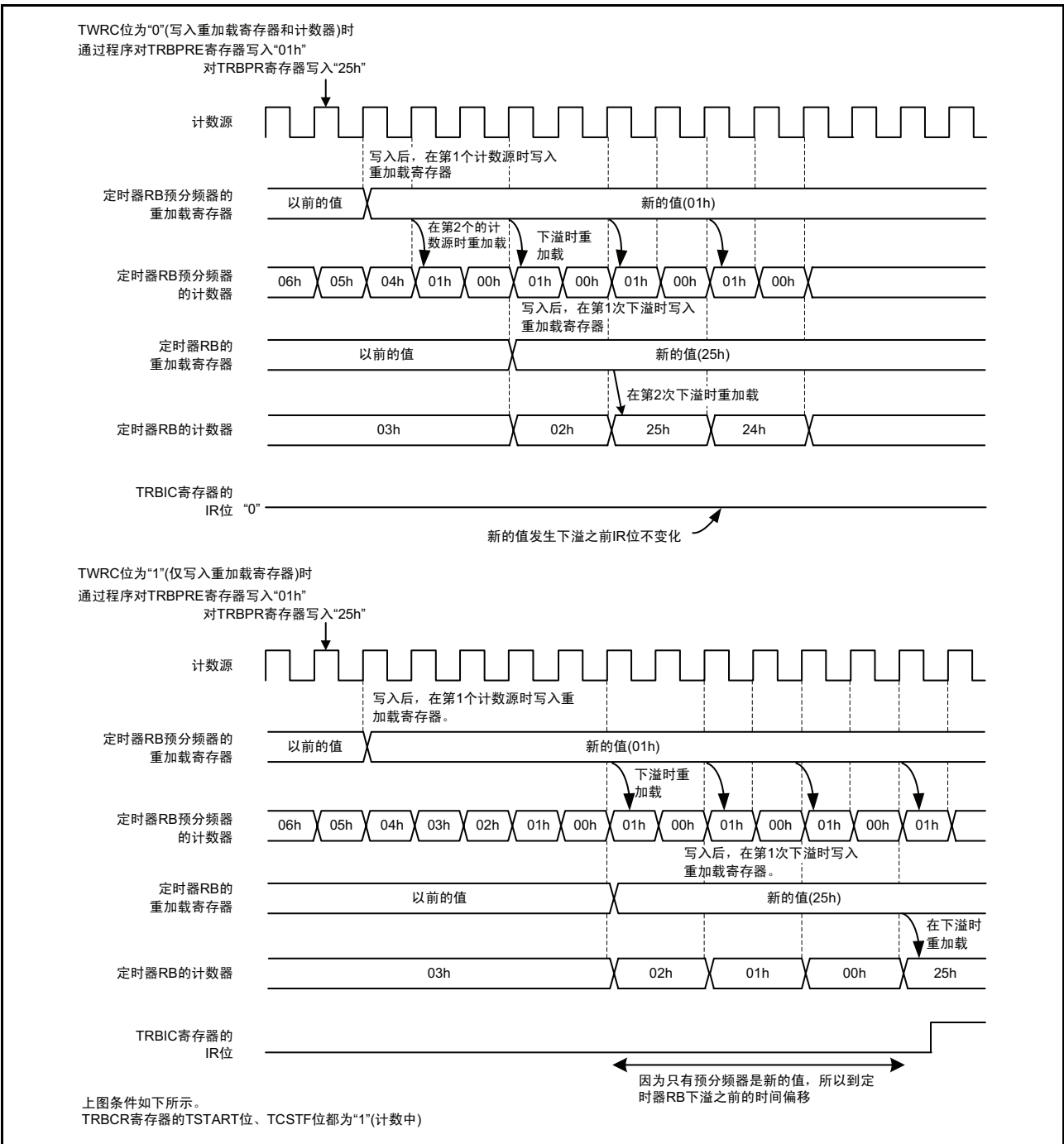


图 15.17 定时器 RB 计数中写入计数值时的运行例子

15.2.2 可编程波形产生模式

是对 TRBPR 寄存器和 TRBSC 寄存器的值交替计数，每当计数器下溢时，从 TRBO 引脚输出的信号的取反模式（表 15.8）。在计数开始时，从设定在 TRBPR 寄存器的值开始计数。可编程波形产生模式时，不使用 TRBOCR 寄存器。

可编程波形产生模式时的 TRBIOC 寄存器如图 15.18 所示，可编程波形产生模式时的定时器 RB 的运行例子如图 15.19 所示。

表 15.8 可编程波形产生模式的规格

项目	规格
计数源	f1、f2、f8、定时器 RA 下溢
计数运行	- 递减计数 - 下溢时交替重新装入主重加载寄存器和次重加载寄存器的内容，然后继续计数
输出波形的宽度和周期	主期间: $(n+1)(m+1)/f_i$ 次期间: $(n+1)(p+1)/f_i$ 周期: $(n+1)\{(m+1)+(p+1)\}/f_i$ f_i : 计数源频率 n : TRBPRES 寄存器的设定值、 m : TRBPR 寄存器的设定值 p : TRBSC 寄存器的设定值
计数开始条件	对 TRBCR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	对 TRBCR 寄存器的 TSTART 位写“0”（停止计数） 对 TRBCR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	在从次期间的定时器 RB 的下溢开始经过计数源的 1/2 周期后（和 TRBO 输出变化同时）[定时器 RB 中断]
TRBO 引脚功能	可编程输出端口或脉冲输出
INT0 引脚功能	可编程输入 / 输出端口或者 INT0 中断输入
读定时器	如果读 TRBPR 寄存器和 TRBPRES 寄存器，就读取各自的计数值（注 1）
写定时器	- 如果在计数停止中对 TRBPRES 寄存器、TRBSC 寄存器和 TRBPR 寄存器写数据，数据就被写入各自的重加载寄存器和计数器 - 如果在计数中对 TRBPRES 寄存器、TRBSC 寄存器和 TRBPR 寄存器写数据，数据就被写入各自的重加载寄存器。（注 2）
选择功能	- 输出电平选择功能 通过 TOPL 位选择主期间和次期间的输出电平 - TRBO 引脚输出切换功能 通过 TRBIOC 寄存器的 TOCNT 位，选择定时器 RB 脉冲输出或 P3_1 锁存器输出（注 3）

注 1. 即使在对次期间计数中，也必须读 TRBPR 寄存器。

注 2. 波形的输出在写入 TRBPR 寄存器后，从下一个主期间反映其设定值。

注 3. 对 TOCNT 位写入的值在以下时序有效：

- 在开始计数时
- 在产生定时器 RB 中断请求时

所以在更改 TOCNT 位后从下一个主期间的输出反映其设定值。

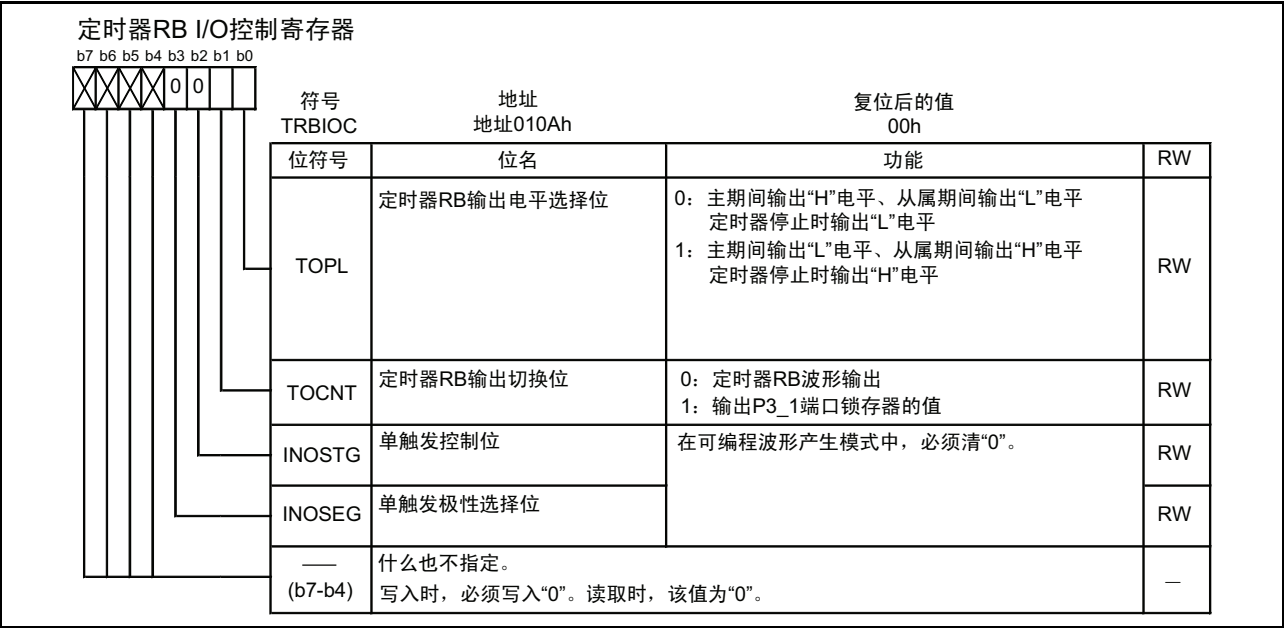


图 15.18 可编程波形产生模式时的 TRBIOC 寄存器

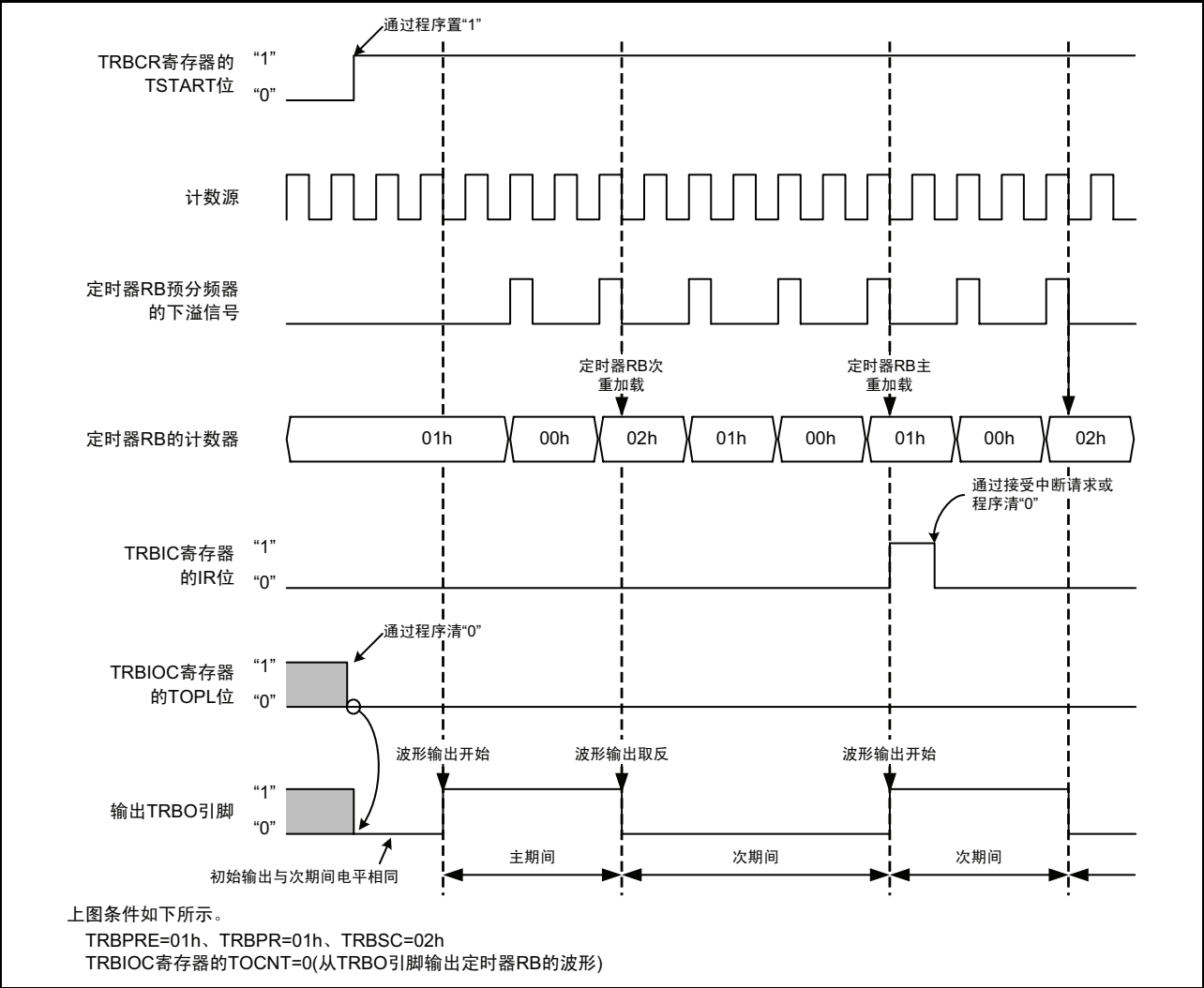


图 15.19 可编程波形产生模式时的定时器 RB 的运行例子

15.2.3 可编程单触发产生模式

是通过程序或者外部触发（ $\overline{\text{INT0}}$ 引脚的输入）从 TRBO 引脚输出单触发脉冲的模式（表 15.9）。如果产生触发，就从此时起在任意时间（TRBPR 寄存器的设定值）内，定时器只运行 1 次。在可编程单触发产生模式时，不使用 TRBSC 寄存器。

可编程单触发产生模式时的 TRBIOC 寄存器如图 15.20 所示，可编程单触发产生模式时的运行例子如图 15.21 所示。

表 15.9 可编程单触发产生模式的规格

项目	规格
计数源	f1、f2、f8、定时器 RA 下溢
计数运行	- 对 TRBPR 寄存器的设定值递减计数 - 下溢时重新装入主重加载寄存器的内容，然后结束计数，TOSSTF 位变为“0”（停止单触发） - 计数停止时重新装入重加载寄存器的内容，然后计数
单触发脉冲输出时间	$(n+1)(m+1)/f_i$ f_i : 计数源频率、n: TRBPRES 寄存器的设定值、m: TRBPR 寄存器的设定值（注 2）
计数开始条件	- 对 TRBCR 寄存器的 TSTART 位写“1”（开始计数），且产生下一个触发。 - 对 TRBOCR 寄存器的 TOSST 位写“1”（开始单触发） - 给 $\overline{\text{INT0}}$ 引脚输入触发
计数停止条件	- 定时器 RB 主计数器时的计数器值下溢并且重加载后 - 对 TRBOCR 寄存器的 TOSSP 位写“1”（停止单触发） - 对 TRBCR 寄存器的 TSTART 位写“0”（停止计数） - 对 TRBCR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	在从下溢开始经过计数源的 1/2 周期后 (和结束从 TRBO 引脚的波形输出同时) [定时器 RB 中断]
TRBO 引脚功能	脉冲输出
$\overline{\text{INT0}}$ 引脚功能	- 在 TRBIOC 寄存器的 INOSTG 位为“0”（$\overline{\text{INT0}}$ 单触发无效）时，为可编程输入 / 输出端口或者 $\overline{\text{INT0}}$ 中断输入 - 在 TRBIOC 寄存器的 INOSTG 位为“1”（$\overline{\text{INT0}}$ 单触发有效）时，为外部触发输入（$\overline{\text{INT0}}$ 中断输入）
读定时器	如果读 TRBPR 寄存器和 TRBPRES 寄存器，就读取各自的计数值
写定时器	- 如果在计数停止时对 TRBPR 寄存器和 TRBPRES 寄存器写数据，数据就被写入各自的重加载寄存器和计数器 - 如果在计数中对 TRBPRES 寄存器和 TRBPR 寄存器写数据，数据就只被写入各自的重加载寄存器（注 1）
选择功能	- 输出电平选择功能 通过 TOPL 位选择单触发脉冲波形的输出电平 - 单触发选择功能 参照“15.2.3.1 单触发选择”

注 1. 写入 TRBPR 寄存器的值，在从下一个单触发脉冲开始被反映。

注 2. TRBPRES 寄存器和 TRBPR 寄存器不能同时置“00h”。

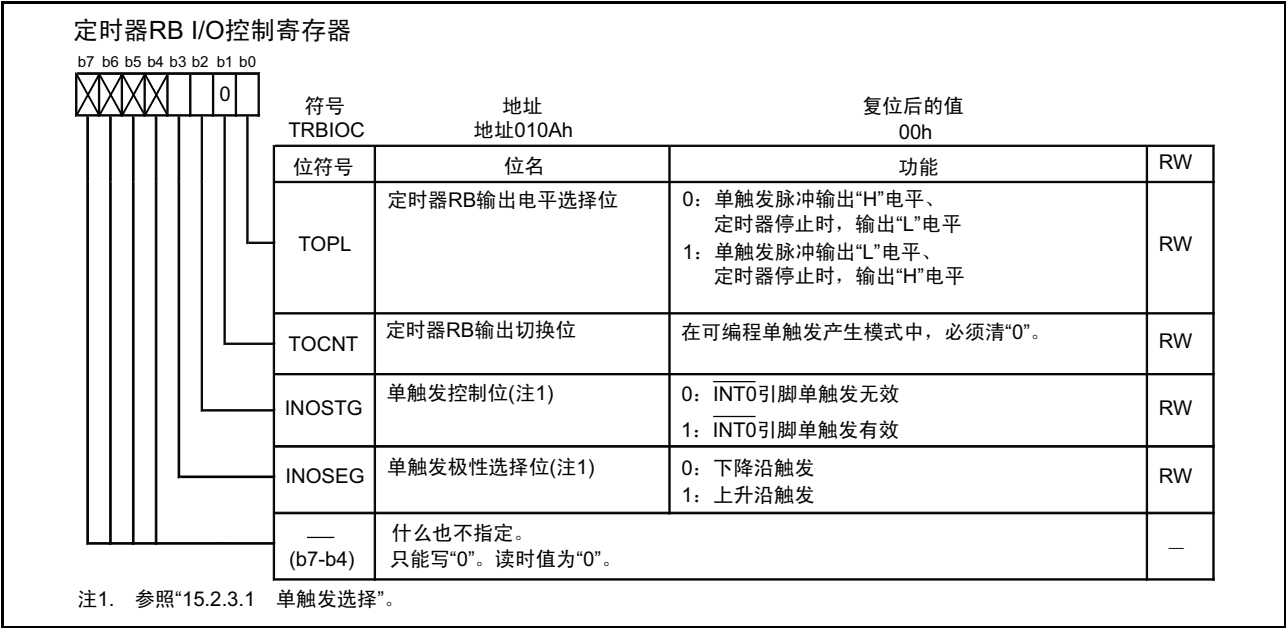


图 15.20 可编程单触发产生模式时的 TRBIOC 寄存器

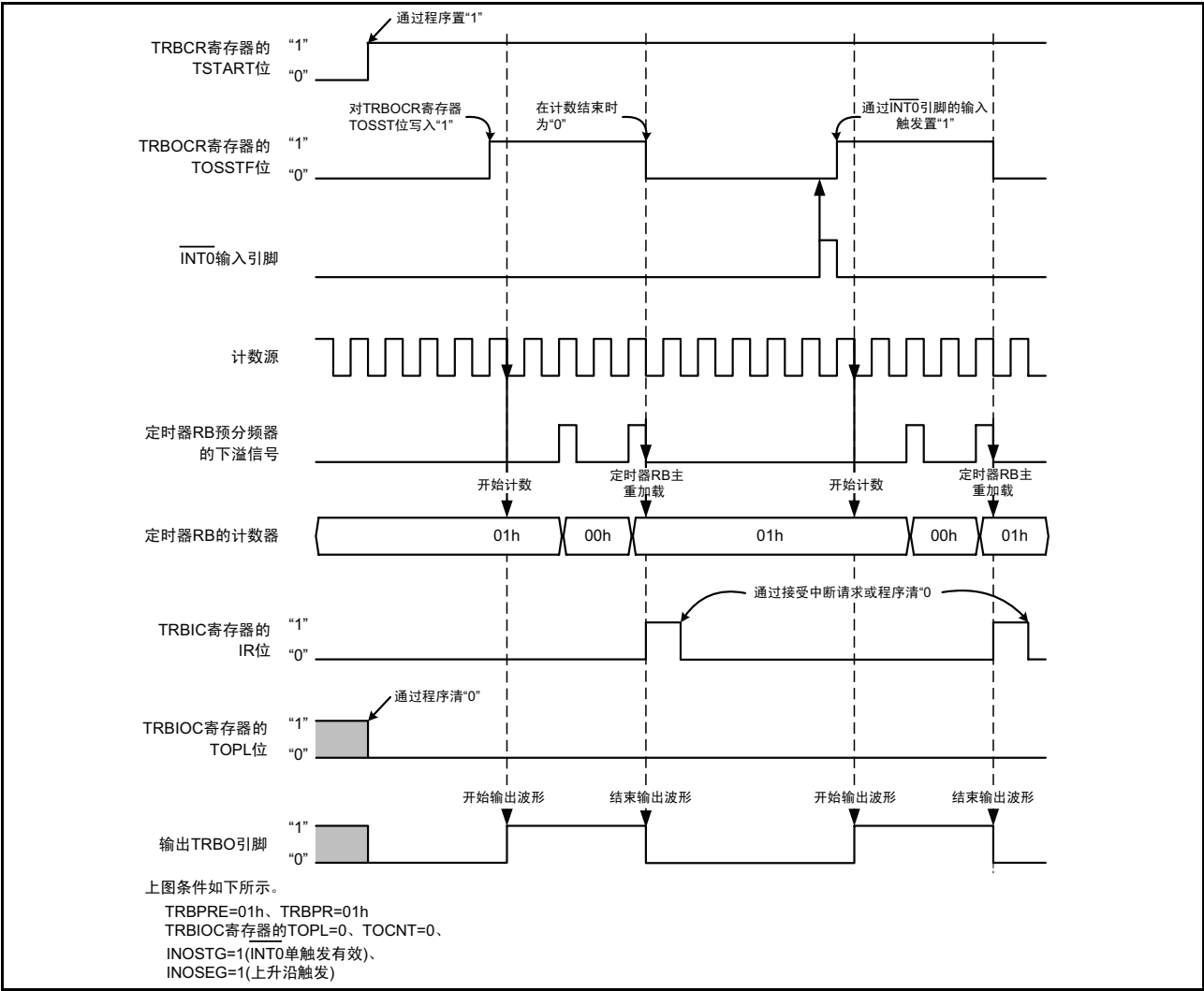


图 15.21 可编程单触发产生模式时的运行例子

15.2.3.1 单触发选择

在可编程单触发产生模式和可编程等待单触发产生模式中，TRBCR 寄存器的 TCSTF 位为“1”（开始计数）时，产生单触发就开始运行。

通过以下的某个源产生单触发。

- 通过程序对 TRBOCR 寄存器的 TOSST 位写“1”
- 从 $\overline{\text{INT0}}$ 引脚输入触发

单触发产生后，经 1～2 个周期后 TRBOCR 寄存器的 TOSSTF 位为“1”（单触发运行中）。然后开始计数，在可编程单触发产生模式中，开始输出单触发波形（在可编程等待单触发产生模式中，开始等待期间的计数）。在 TOSSTF 位为“1”的期间，即使产生单触发也不再次触发。

使用从 $\overline{\text{INT0}}$ 引脚的输入触发时，必须在执行以下设定后，输入触发。

- 将 PD4 寄存器的 PD4_5 位清“0”（输入端口）
- 通过 INTF 寄存器的 INT0F1～INT0F0 位选择 $\overline{\text{INT0}}$ 的数字滤波器
- 通过 INTEN 寄存器的 INTOPL 位选择双边沿或单边沿。选择单边沿模式时，可通过 TRBIOC 寄存器的 INOSEG 位选择上升沿或下降沿。
- 将 INTEN 寄存器的 INTOEN 清“0”（允许）
- 在上述设定后，对 TRBIOC 寄存器的 INOSTG 位置“1”（ $\overline{\text{INT}}$ 引脚单触发有效）

并且，通过 $\overline{\text{INT0}}$ 引脚的触发输入产生中断请求时，必须注意以下几点。

- 使用中断所需的处理请参照“13. 中断”。
- 选择单边沿时，必须通过 INTOIC 寄存器的 POL 位选择下降沿或上升沿（TRBIOC 寄存器的 INOSEG 位与 $\overline{\text{INT0}}$ 中断无关）。
- 在 TOSSTF 位为“1”期间，即使产生单触发也不会影响定时器 RB 的运行，但 INTOIC 寄存器的 IR 位发生变化。

15.2.4 可编程等待单触发产生模式

是通过程序或者从外部触发（ $\overline{\text{INT0}}$ 引脚的输入），在经过一定时间后从 TRBO 引脚输出单触发脉冲的模式（表 15.10）。如果产生触发，就从此时开始，在经过任意时间（TRBPR 寄存器的设定值）后，只输出 1 次任意时间（TRBSC 寄存器的设定值）的脉冲。

可编程等待单触发产生模式时的 TRBIOC 寄存器如图 15.22 所示，可编程等待单触发产生模式时的运行例子如图 15.23 所示。

表 15.10 可编程等待单触发产生模式的规格

项目	规格
计数源	f1、f2、f8、定时器 RA 下溢
计数运行	- 对定时器 RB 主寄存器的设定值递减计数 - 在定时器 RB 主寄存器的计数下溢时，重加载定时器 RB 次寄存器的内容，然后继续计数 - 在定时器 RB 次寄存器的计数下溢时，重加载定时器 RB 主寄存器的内容，然后结束计数，TOSSTF 位变为“0”（停止单触发） - 计数停止时重新装入重加载寄存器的内容，然后停止计数
等待时间	$(n+1)(m+1)/f_i$ f_i : 计数源频率、n: TRBPRES 寄存器的设定值、m: TRBPR 寄存器的设定值（注 2）
单触发脉冲输出时间	$(n+1)(p+1)/f_i$ f_i : 计数源频率、n: TRBPRES 寄存器的设定值、p: TRBSC 寄存器的设定值
计数开始条件	- TRBCR 寄存器的 TSTART 位为“1”（开始计数）且产生下一个触发 - 对 TRBOCR 寄存器的 TOSST 位写“1”（开始单触发） $\overline{\text{INT0}}$ 引脚的触发输入
计数停止条件	- 在定时器 RB 次寄存器计数时的计数值下溢且重加载后 - 对 TRBOCR 寄存器的 TOSSP 位写“1”（停止单触发） - 对 TRBCR 寄存器的 TSTART 位写“0”（停止计数） - 对 TRBCR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	从次期间的定时器 RB 下溢开始经过 1/2 计数源周期后（和从 TRBO 引脚的波形输出结束同时）[定时器 RB 中断]
TRBO 引脚功能	脉冲输出
$\overline{\text{INT0}}$ 引脚功能	- 在 TRBIOC 寄存器的 INOSTG 位为“0”（$\overline{\text{INT0}}$ 单触发无效）时，为可编程输入 / 输出端口或者 $\overline{\text{INT0}}$ 中断输入 - 在 TRBIOC 寄存器的 INOSTG 位为“1”（$\overline{\text{INT0}}$ 单触发有效）时，为外部触发输入（$\overline{\text{INT0}}$ 中断输入）
读定时器	如果读 TRBPR 寄存器和 TRBPRES 寄存器，就读取各自的计数值
写定时器	- 如果在计数停止时对 TRBPRES 寄存器、TRBSC 寄存器和 TRBPR 写数据，数据就被写入各自的重加载寄存器和计数器 - 如果在计数中对 TRBPRES 寄存器、TRBSC 寄存器和 TRBPR 寄存器写数据，数据就只被写入各自的重加载寄存器（注 1）
选择功能	- 选择输出电平功能 通过 TOPL 位选择单触发脉冲波形的输出电平 - 选择单触发功能 参照“15.2.3.1 单触发选择”。

注 1. 从下一个单触发脉冲反映写入 TRBSC 寄存器和 TRBPR 寄存器的值。

注 2. TRBPRES 寄存器和 TRBPR 寄存器不能同时置“00h”。



图 15.22 可编程等待单触发生模式时的 TRBIOC 寄存器

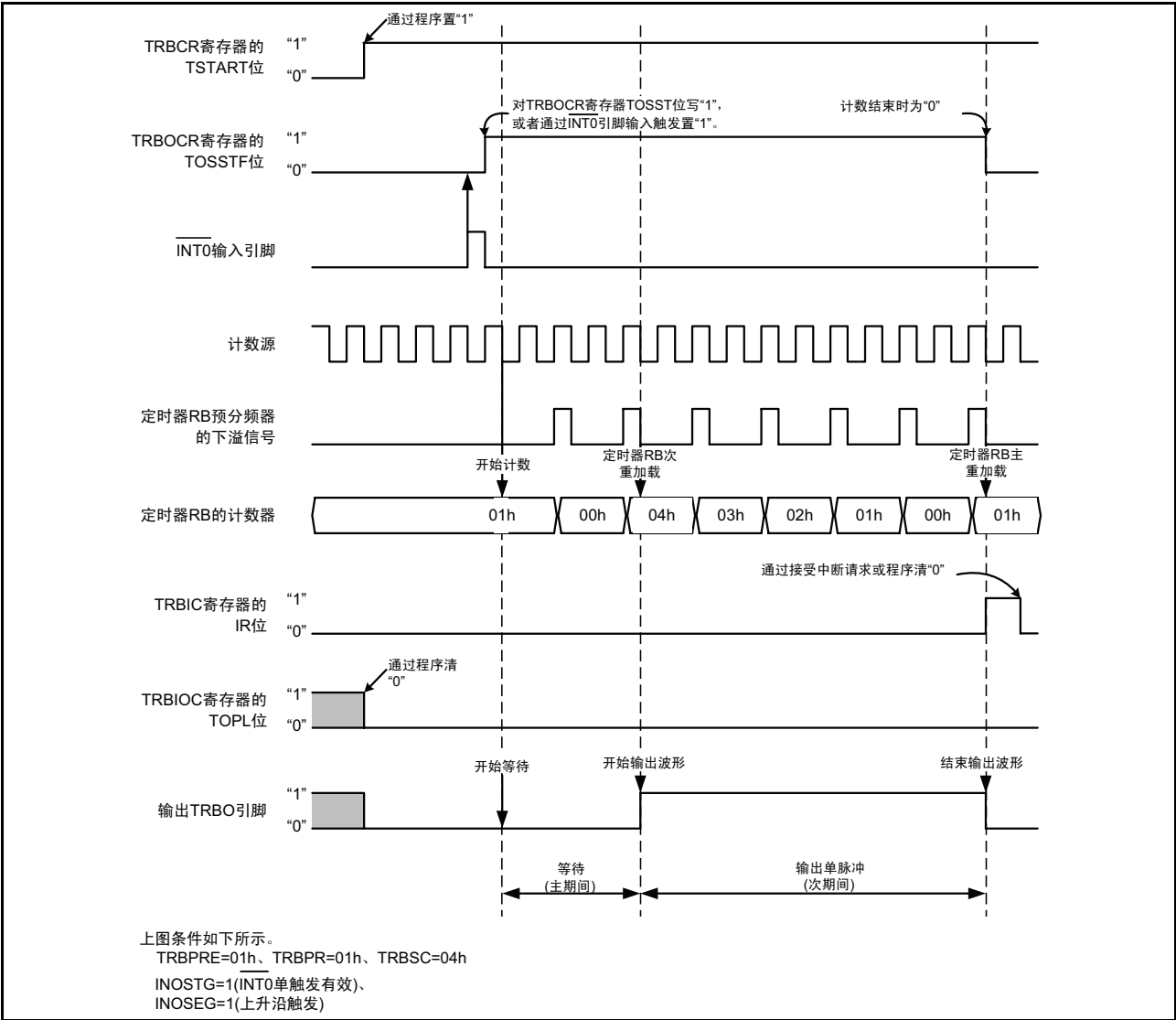


图 15.23 可编程等待单触发生模式时的运行例子

15.2.5 定时器 RB 使用时的注意事项

- 在复位后，定时器停止计数。必须在对定时器和预分频器设定值后，开始计数。
- 即使以 16 位单位读取预分频器和定时器，在单片机内部也按字节顺序读取。因此，在读取这 2 个寄存器期间，定时器值可能会更新。
- 可编程单触发产生模式和可编程等待单触发产生模式时，如果在 TRBCR 寄存器的 TSTART 位清“0”后停止计数，或者在 TRBOCR 寄存器的 TOSSP 位写“1”后停止单触发，定时器就重新装入重加载寄存器的值后停止。定时器的计数值必须在定时器停止前读取。
- 在计数停止中，对 TSTART 位写“1”后，且在 1～2 个计数源周期之间，TCSTF 位为“0”。在 TCSTF 位为“1”前，不要存取 TCSTF 位以外的与定时器 RB 相关的寄存器（注 1）。在计数过程中，对 TSTART 位清“0”后，且在 1～2 个计数源周期之间，TCSTF 位为“1”。在 TCSTF 位为“0”时停止计数。在 TCSTF 位为“0”前，不要存取 TCSTF 位以外的与定时器 RB 相关的寄存器（注 1）。

注 1. 与定时器 RB 相关的寄存器: TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPPE、TRBSC、TRBPR

- 如果在计数中对 TRBCR 寄存器的 TSTOP 位写“1”，定时器 RB 将立即停止。
- 对 TRBOCR 寄存器的 TOSST 位或 TOSSP 位写入“1”时，在 1～2 个计数源周期后 TOSSTF 位发生变化。在对 TOSST 位写入“1”后到 TOSSTF 位变为“1”前的期间内对 TOSSP 位写入“1”时，根据内部状态 TOSSTF 位有时为“0”有时为“1”。在对 TOSSP 位写入“1”后到 TOSSTF 位变为“0”前的期间内对 TOSST 位写入“1”时也一样，TOSSTF 位有时为“0”有时为“1”。

15.2.5.1 定时器模式

在定时器模式中，必须采取以下对策。

在计数中（TCSTF 位为“1”）写 TRBPPE 寄存器和 TRBPR 寄存器时，必须注意以下几点。

- 当连续写 TRBPPE 寄存器时，各写间隔至少空出 3 个计数源时钟周期。
- 当连续写 TRBPR 寄存器时，各写间隔至少空出 3 个预分频器下溢周期。

15.2.5.2 可编程波形产生模式

在可编程波形产生模式中，必须采取以下 3 个对策。

(1) 在计数中（TCSTF 位为“1”）写 TRBPPE 寄存器和 TRBPR 寄存器时，必须注意以下几点。

- 当连续写 TRBPPE 寄存器时，各写间隔至少空出 3 个计数源时钟周期。
- 当连续写 TRBPR 寄存器时，各写间隔至少空出 3 个预分频器下溢周期。

(2) 在计数中（TCSTF 位为“1”）更改 TRBSC 寄存器和 TRBPR 寄存器时，必须通过定时器 RB 中断等，对 TRBO 输出周期取得同步。在相同输出周期内只能进行一次同步。另外，在图 15.24 以及图 15.25 的区间 A 中，必须确认没有写 TRBPR 寄存器。

具体的对策例如下所示：

- 对策例 (a)

如图 15.24 所示，通过定时器 RB 中断程序写 TRBSC 寄存器和 TRBPR 寄存器。必须在区间 A 之前结束写操作。

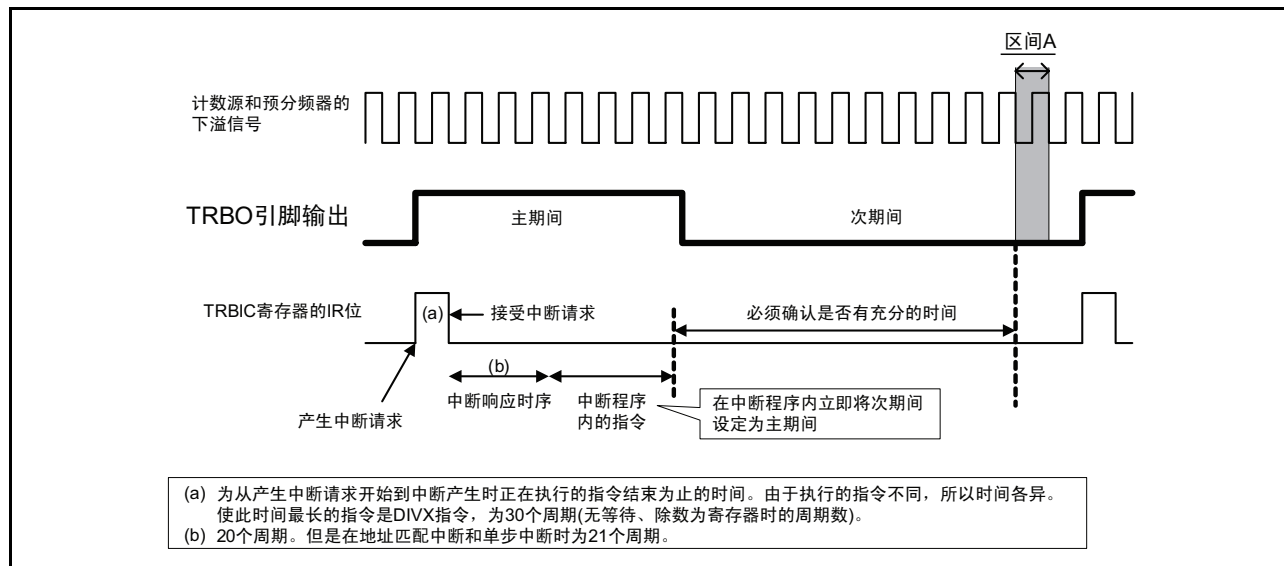


图 15.24 使用对策 (a) 的定时器 RB 中断的例

- 对策例 (b)

如图 15.25 所示，从 TRBO 引脚的输出电平检测主期间的开始，并在主期间开始后立即写 TRBSC 寄存器和 TRBPR 寄存器。必须在区间 A 之前结束写操作。另外，将 TRBO 引脚对应的端口寄存器的位设定为“0”（输入模式）后，读端口寄存器的位的值，读取值就为 TRBO 引脚的输出值。

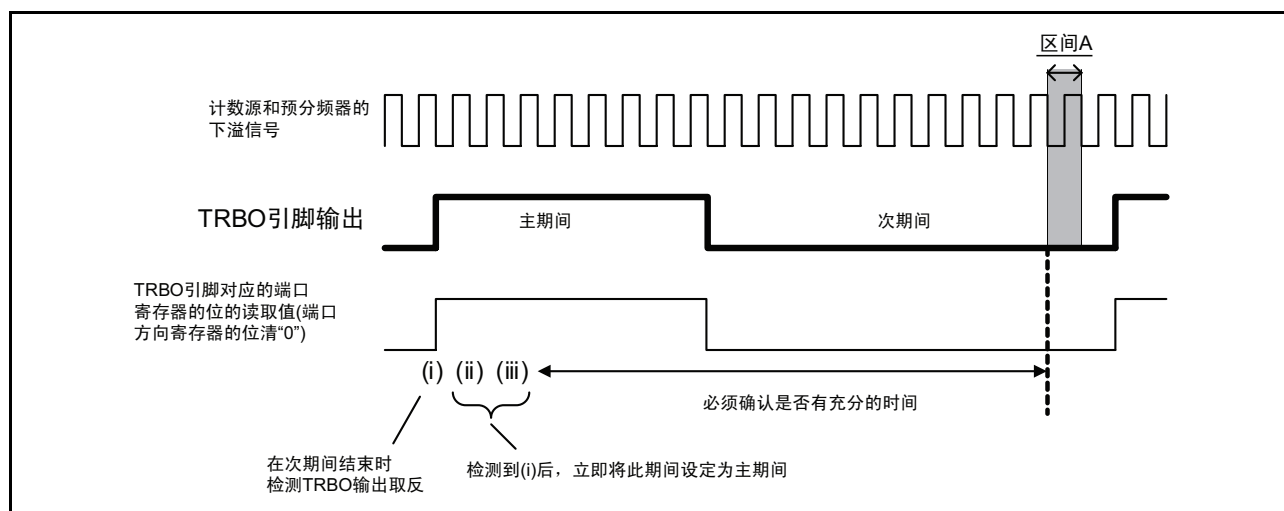


图 15.25 读对策 (b) 的 TRBO 引脚输出值的例

(3) 在主期间停止定时器计数时，必须使用 TRBCR 寄存器的 TSTOP 位。此时，TRBPRE 寄存器和 TRBPR 寄存器被初始化，变为复位后的值。

15.2.5.3 可编程单触发产生模式

在可编程单触发产生模式中，必须采取以下 2 个对策。

- (1) 在计数中（TCSTF 位为“1”）写 TRBPRES 寄存器和 TRBPR 寄存器时，必须注意以下几点。
 - 当连续写 TRBPRES 寄存器时，各写间隔至少空出 3 个计数源时钟周期。
 - 当连续写 TRBPR 寄存器时，各写间隔至少空出 3 个预分频器下溢周期。
- (2) TRBPRES 寄存器和 TRBPR 寄存器不能同时置“00h”。

15.2.5.4 可编程等待单触发产生模式

在可编程等待单触发产生模式中，必须采取以下 3 个对策。

- (1) 在计数中（TCSTF 位为“1”）写 TRBPRES 寄存器和 TRBPR 寄存器时，必须注意以下几点。
 - 当连续写 TRBPRES 寄存器时，各写间隔至少空出 3 个计数源时钟周期。
 - 当连续写 TRBPR 寄存器时，各写间隔至少空出 3 个预分频器下溢周期。
- (2) TRBPRES 寄存器和 TRBPR 寄存器不能同时置“00h”。
- (3) 必须按照以下所示的步骤设定 TRBSC 寄存器和 TRBPR 寄存器。
 - (a) 在计数开始条件为“INT0 引脚单触发”时
必须按照 TRBSC 寄存器 → TRBPR 寄存器的顺序进行设定。此时，必须从写 TRBPR 寄存器开始，到经过至少 0.5 个计数源周期后，向 INT0 引脚输入有效触发。
 - (b) 在计数开始条件为“对 TOSST 位写“1””时
必须按照 TRBSC 寄存器 → TRBPR 寄存器 → TOSST 位的顺序进行设定。此时，必须从写 TRBPR 寄存器开始，到经过至少 0.5 个计数源周期后，写 TOSST 位。

15.3 定时器 RD

定时器 RD 是有 2 个通道（通道 0、通道 1）的 16 位定时器。各通道有 4 个输入 / 输出引脚。

定时器 RD 的运行时钟是 f1 或 fOCO40M。定时器 RD 的运行时钟如表 15.11 所示。

表 15.11 定时器 RD 的运行时钟

条件	定时器 RD 的运行时钟
计数源是 f1、f2、f4、f8、f32、TRDCLK 的输入 (TRDCR0 寄存器、TRDCR1 寄存器的 TCK2 ~ TCK0 位为 “000b” ~ “101b”)	f1
计数源是 fOCO40M (TRDCR0 寄存器、TRDCR1 寄存器的 TCK2 ~ TCK0 位为 “110b”)	fOCO40M

定时器 RD 的框图如图 15.26 所示。定时器 RD 有 5 种模式

- 定时器模式
 - 输入捕捉功能 是将外部信号作为触发并将计数器的值装入寄存器的功能。
 - 输出比较功能 检测计数器与寄存器的值是否匹配的功能
(检测时可更改引脚输出)

以下 4 种模式用于输出比较功能。

- PWM 模式 连续输出任意脉宽的模式
- 复位同步 PWM 模式 输出锯齿波调制、无死区时间的三态波形（6 个）的模式
- 互补 PWM 模式 输出三角波调制、有死区时间的三态波形（6 个）的模式
- PWM3 模式 输出相同周期的 PWM 波形（2 个）的模式

输入捕捉功能、输出比较功能、PWM 模式，在通道 0 和通道 1 上具有相同的功能，能够选择每个引脚的功能和模式。而且，能在各通道中组合使用这些功能和模式。

复位同步 PWM 模式、互补 PWM 模式、PWM3 模式，可以组合通道 0 和通道 1 的计数器和寄存器，输出波形。引脚的功能由模式来决定。

定时器 RD 的引脚功能如表 15.12 ~ 表 15.20 所示。

表 15.12 TRDIOA0/TRDCLK (P2_0) 引脚的功能

寄存器	TRDOER1	TRDFCR			TRDIORA0		功能
位	EA0	PWM3	STCLK	CMD1、CMD0	IOA3	IOA2 ~ IOA0	
设定值	0	0	0	00b	X	XXXb	PWM3 模式波形输出
	0	1	0	00b	1	001b、01Xb	定时器模式波形输出（输出比较功能）
	X	1	0	00b	X	1XXb	定时器模式触发输入（输入捕捉功能） (注 1)
		1	1	XXb	X	000b	外部时钟输入（TRDCLK）（注 1）
	上述以外						输入 / 输出端口

X: “0”、“1” 均无影响

注 1. 在定时器模式触发输入（输入捕捉功能）、外部时钟输入（TRDCLK）时，将 PD2 寄存器的 PD2_0 位清 “0”（输入模式）。

表 15.13 TRDIOB0 (P2_1) 引脚的功能

寄存器	TRDOER1	TRDFCR		TRDPMR	TRDIORA0	功能
位	EB0	PWM3	CMD1、CMD0	PWMB0	IOB2 ~ IOB0	
设定值	0	X	1Xb	X	XXXb	互补 PWM 模式波形输出
	0	X	01b	X	XXXb	复位同步 PWM 模式波形输出
	0	0	00b	X	XXXb	PWM3 模式波形输出
	0	1	00b	1	XXXb	PWM 模式波形输出
	0	1	00b	0	001b、01Xb	定时器模式波形输出 (输出比较功能)
	X	1	00b	0	1XXb	定时器模式触发输入 (输入捕捉功能) (注 1)
	上述以外					输入 / 输出端口

X: “0”、“1” 均无影响

注 1. 在定时器模式触发输入 (输入捕捉功能) 时, 将 PD2 寄存器的 PD2_1 位清 “0” (输入模式)。

表 15.14 TRDIOC0 (P2_2) 引脚的功能

寄存器	TRDOER1	TRDFCR		TRDPMR	TRDIORC0	功能
位	EC0	PWM3	CMD1、CMD0	PWMC0	IOC2 ~ IOC0	
设定值	0	X	1Xb	X	XXXb	互补 PWM 模式波形输出
	0	X	01b	X	XXXb	复位同步 PWM 模式波形输出
	0	1	00b	1	XXXb	PWM 模式波形输出
	0	1	00b	0	001b、01Xb	定时器模式波形输出 (输出比较功能)
	X	1	00b	0	1XXb	定时器模式触发输入 (输入捕捉功能) (注 1)
	上述以外					输入 / 输出端口

X: “0”、“1” 均无影响

注 1. 在定时器模式触发输入 (输入捕捉功能) 时, 将 PD2 寄存器的 PD2_2 位清 “0” (输入模式)。

表 15.15 TRDIOD0 (P2_3) 引脚的功能

寄存器	TRDOER1	TRDFCR		TRDPMR	TRDIORC0	功能
位	ED0	PWM3	CMD1、CMD0	PWMD0	IOD2 ~ IOD0	
设定值	0	X	1Xb	X	XXXb	互补 PWM 模式波形输出
	0	X	01b	X	XXXb	复位同步 PWM 模式波形输出
	0	1	00b	1	XXXb	PWM 模式波形输出
	0	1	00b	0	001b、01Xb	定时器模式波形输出 (输出比较功能)
	X	1	00b	0	1XXb	定时器模式触发输入 (输入捕捉功能) (注 1)
	上述以外					输入 / 输出端口

X: “0”、“1” 均无影响

注 1. 在定时器模式触发输入 (输入捕捉功能) 时, 将 PD2 寄存器的 PD2_3 位清 “0” (输入模式)。

表 15.16 TRDIOA1 (P2_4) 引脚的功能

寄存器	TRDOER1	TRDFCR		TRDIORA1	功能
位	EA1	PWM3	CMD1、CMD0	IOA2 ~ IOA0	
设定值	0	X	1Xb	XXXb	互补 PWM 模式波形输出
	0	X	01b	XXXb	复位同步 PWM 模式波形输出
	0	1	00b	001b、01Xb	定时器模式波形输出 (输出比较功能)
	X	1	00b	1XXb	定时器模式触发输入 (输入捕捉功能) (注 1)
	上述以外				输入 / 输出端口

X: “0”、“1” 均无影响

注 1. 在定时器模式触发输入 (输入捕捉功能) 时, 将 PD2 寄存器的 PD2_4 位清 “0” (输入模式)。

表 15.17 TRDIOB1 (P2_5) 引脚的功能

寄存器	TRDOER1	TRDFCR		TRDPMR	TRDIORA1	功能
位	EB1	PWM3	CMD1、CMD0	PWMB1	IOB2 ~ IOB0	
设定值	0	X	1Xb	X	XXXb	互补 PWM 模式波形输出
	0	X	01b	X	XXXb	复位同步 PWM 模式波形输出
	0	1	00b	1	XXXb	PWM 模式波形输出
	0	1	00b	0	001b、01Xb	定时器模式波形输出 (输出比较功能)
	X	1	00b	0	1XXb	定时器模式触发输入 (输入捕捉功能) (注 1)
	上述以外					输入 / 输出端口

X: “0”、“1” 均无影响

注 1. 在定时器模式触发输入 (输入捕捉功能) 时, 将 PD2 寄存器的 PD2_5 位清 “0” (输入模式)。

表 15.18 TRDIOC1 (P2_6) 引脚的功能

寄存器	TRDOER1	TRDFCR		TRDPMR	TRDIORC1	功能
位	EC1	PWM3	CMD1、CMD0	PWMC1	IOC2 ~ IOC0	
设定值	0	X	1Xb	X	XXXb	互补 PWM 模式波形输出
	0	X	01b	X	XXXb	复位同步 PWM 模式波形输出
	0	1	00b	1	XXXb	PWM 模式波形输出
	0	1	00b	0	001b、01Xb	定时器模式波形输出 (输出比较功能)
	X	1	00b	0	1XXb	定时器模式触发输入 (输入捕捉功能) (注 1)
	上述以外					输入 / 输出端口

X: “0”、“1” 均无影响

注 1. 在定时器模式触发输入 (输入捕捉功能) 时, 将 PD2 寄存器的 PD2_6 位清 “0” (输入模式)。

表 15.19 TRDIOD1 (P2_7) 引脚的功能

寄存器	TRDOER1	TRDFCR		TRDPMR	TRDIORC1	功能
位	ED1	PWM3	CMD1、CMD0	PWMD1	IOD2 ~ IOD0	
设定值	0	X	1Xb	X	XXXb	互补 PWM 模式波形输出
	0	X	01b	X	XXXb	复位同步 PWM 模式波形输出
	0	1	00b	1	XXXb	PWM 模式波形输出
	0	1	00b	0	001b、01Xb	定时器模式波形输出 (输出比较功能)
	X	1	00b	0	1XXb	定时器模式触发输入 (输入捕捉功能) (注1)
	上述以外					输入 / 输出端口

X: “0”、“1” 均无影响

注 1. 在定时器模式触发输入 (输入捕捉功能) 时, 将 PD2 寄存器的 PD2_7 位清 “0” (输入模式)。

表 15.20 $\overline{\text{INT0}}$ (P4_5) 引脚的功能

寄存器	TRDOER2	INTEN		PD4	功能
位	PTO	INT0PL	INT0EN	PD4_5	
设定值	1	0	1	0	脉冲输出强制截止信号输入
	上述以外				输入 / 输出端口或 $\overline{\text{INT0}}$ 中断输入

X: “0”、“1” 均无影响

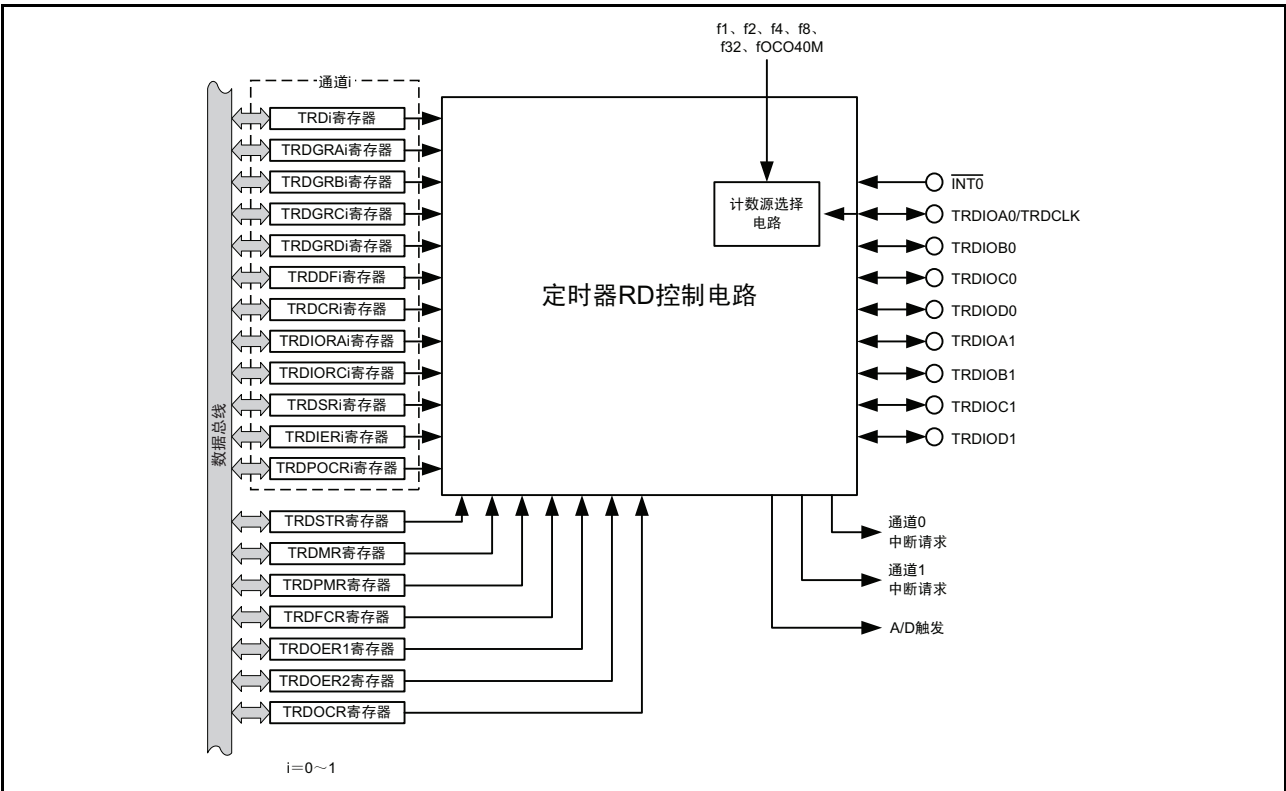


图 15.26 定时器 RD 的框图

15.3.1 计数源

所有模式的计数源选择方法相同。不过，PWM3 模式不能选择外部时钟。

表 15.21 计数源的选择

计数源	选择方法
f1、f2、f4、f8、f32	通过 TRDCR _i 寄存器的 TCK2 ~ TCK0 位选择计数源
fOCO40M（注 1）	FRA0 寄存器的 FRA00 位为 “1”（高速内部振荡器振荡） TRDCR _i 寄存器的 TCK2 ~ TCK0 位为 “110b”（fOCO40M）
输入到 TRDCLK 引脚的外部信号	TRDFCR 寄存器的 STCLK 位为 “1”（外部时钟输入有效） TRDCR _i 寄存器的 TCK2 ~ TCK0 位为 “101b”（计数源为外部时钟） 通过 TRDCR _i 寄存器的 CKEG1 ~ CKEG0 位选择有效边沿 PD2 寄存器的 PD2_0 位为 “0”（输入模式）

i = 0 ~ 1

注 1. 计数源 fOCO40M 能够在 VCC=3.0 ~ 5.5V 的范围内使用。

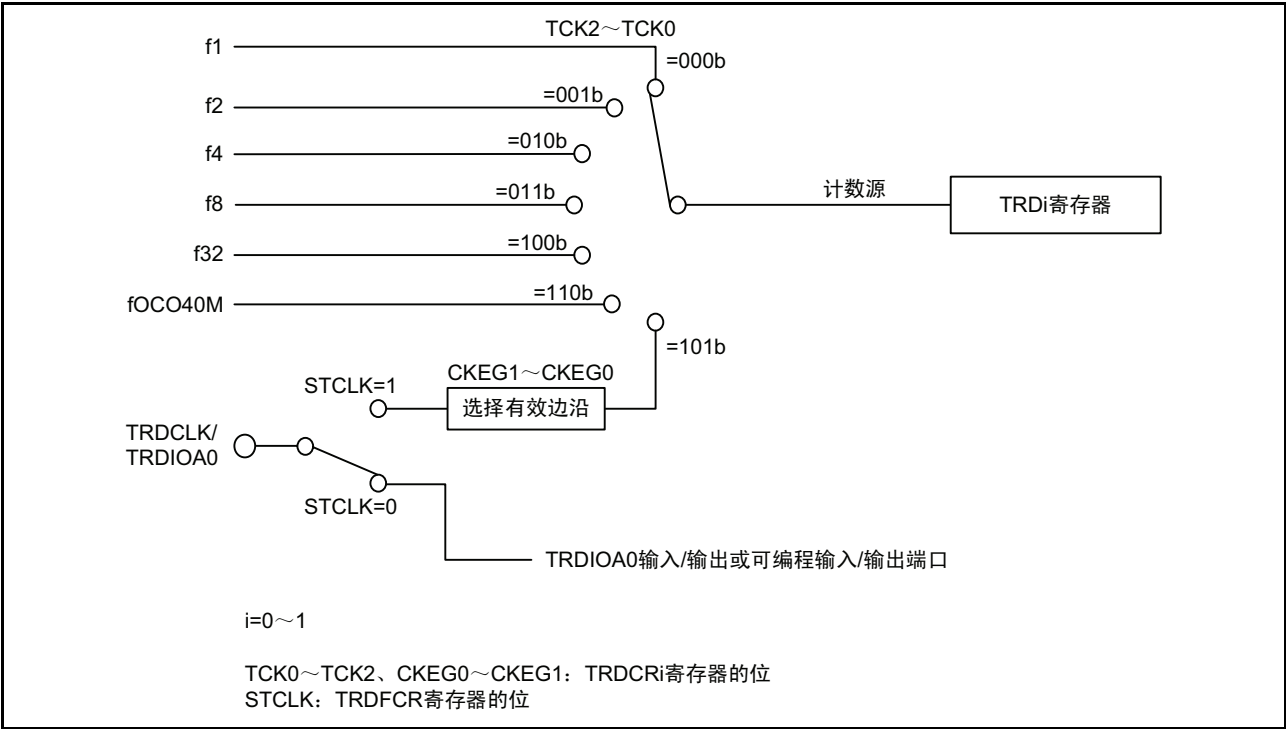


图 15.27 计数源的框图

输入到 TRDCLK 引脚的外部时钟脉宽，必须设定为大于等于 3 个定时器 RD 运行时钟（参照“表 15.11 定时器 RD 的运行时钟”）周期。

如果选择 fOCO40M 为计数源，那么必须在 FRA0 寄存器的 FRA00 位置 “1”（高速内部振荡器振荡）后，将 TRDCR_i 寄存器（i=0 ~ 1）的 TCK2 ~ TCK0 位置 “110b”（fOCO40M）。

15.3.2 缓冲器运行

能够通过 TRDMR 寄存器的 BFCi (i=0 ~ 1) 位、BFDi 位使 TRDGRCi、TRDGRDi 寄存器作为 TRDGRAi、TRDGRBi 寄存器的缓冲寄存器。

- TRDGRAi 的缓冲寄存器：TRDGRCi 寄存器
- TRDGRBi 的缓冲寄存器：TRDGRDi 寄存器

缓冲器的运行因模式而不同。各模式的缓冲器运行如表 15.22 所示。

输入捕捉功能的缓冲器运行如图 15.28、输出比较功能的缓冲器运行如图 15.29 所示。

表 15.22 各模式的缓冲器运行

功能、模式	传送时序	传送的寄存器
输入捕捉功能	输入捕捉信号输入	把 TRDGRAi (TRDGRBi) 寄存器的内容传送到缓冲寄存器
输出比较功能	TRDi 寄存器和 TRDGRAi (TRDGRBi) 寄存器的比较匹配	把缓冲寄存器的内容传送到 TRDGRAi (TRDGRBi) 寄存器
PWM 模式		
复位同步 PWM 模式	TRD0 寄存器和 TRDGRA0 寄存器的比较匹配	把缓冲寄存器的内容传送到 TRDGRAi (TRDGRBi) 寄存器
互补 PWM 模式	• TRD0 寄存器和 TRDGRA0 寄存器的比较匹配 • TRD1 寄存器下溢	把缓冲寄存器的内容传送到 TRDGRB0、TRDGRA1、TRDGRB1 寄存器
PWM3 模式	TRD0 寄存器和 TRDGRA0 寄存器的比较匹配	把缓冲寄存器的内容传送到 TRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1 寄存器

i=0 ~ 1

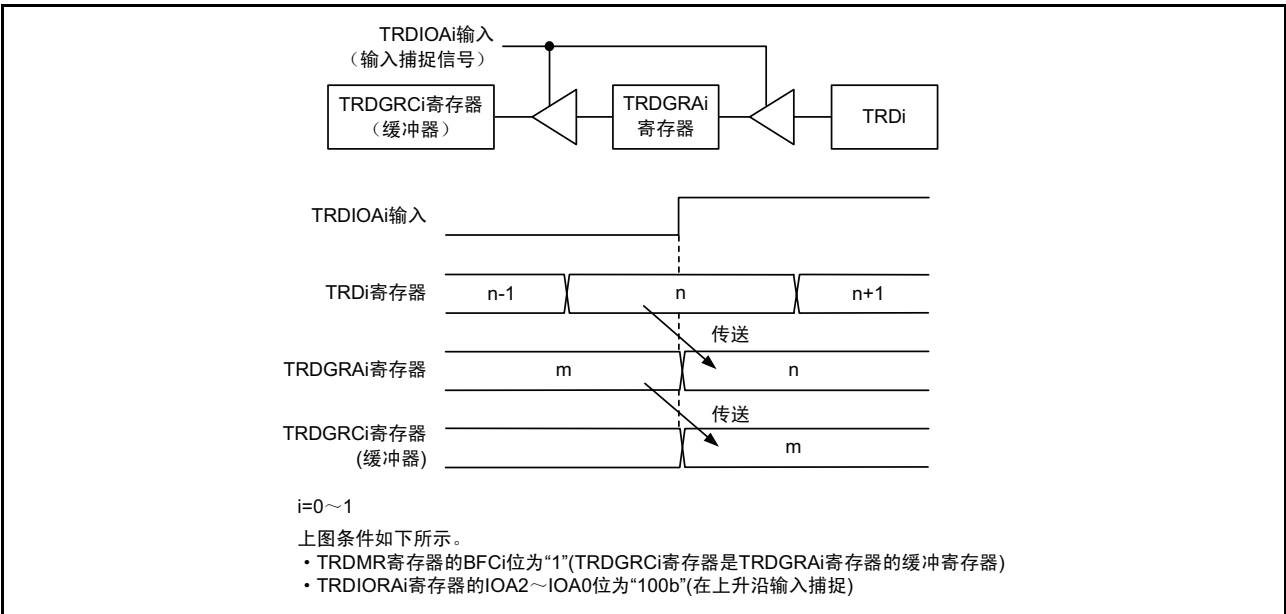


图 15.28 输入捕捉功能的缓冲器运行

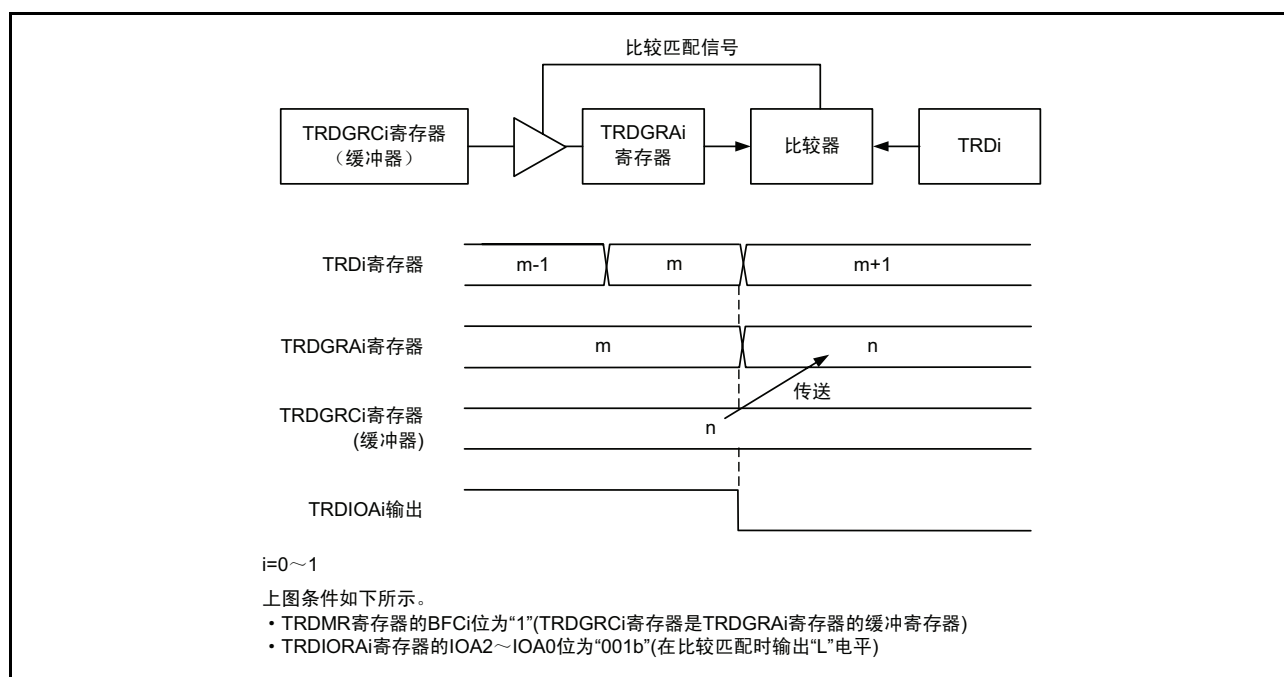


图 15.29 输出比较功能的缓冲器运行

必须如下设定定时器模式（输入捕捉功能、输出比较功能）。

TRDGRGi（ $i=0\sim1$ ）用作 TRDGRAi 寄存器的缓冲寄存器时

- 必须将 TRDIORCi 寄存器的 IOC3 位置 “1”（通用寄存器或缓冲寄存器）
- TRDORCi 寄存器的 IOC2 位的设定必须与 TRDIORAi 寄存器的 IOA2 位相同

TRDGRDi 寄存器用作 TRDGRBi 寄存器的缓冲寄存器时

- 必须将 TRDIORDi 寄存器的 IOD3 位置 “1”（通用寄存器或缓冲寄存器）
- TRDIORCi 寄存器的 IOD2 位的设定必须与 TRDIORAi 寄存器的 IOB2 位相同

在输入捕捉功能中，TRDGRGi、TRDGRDi 寄存器用作缓冲寄存器时，在 TRDIOCi 引脚的输入边沿 TRDSRi 寄存器的 IMFC、IMFD 位置 “1”。

在输出比较功能、PWM 模式、复位同步 PWM 模式、互补 PWM 模式、PWM3 模式中，TRDGRGi、TRDGRDi 寄存器用作缓冲寄存器时，与 TRDi 寄存器比较匹配时 TRDSRi 寄存器的 IMFC、IMFD 位为 “1”。

15.3.3 同步运行

使 TRD0 寄存器与 TRD1 寄存器同步。

- 同步预置

如果 TRDMR 寄存器的 SYNC 位为 “1”（同步运行），则写入 TRDi 寄存器时会写入 TRD0 寄存器和 TRD1 寄存器。

- 同步清除

如果 TRDMR 寄存器的 SYNC 位为 “1”，并且 TRDCR0 寄存器的 CCLR2 ~ CCLR0 位为 “011b”（同步清除），则 TRD0 寄存器在 TRD1 寄存器变为 “0000h” 时，同时变为 “0000h”。

同样，如果 TRDMR 寄存器的 SYNC 位为 “1” 并且 TRDCR1 寄存器的 CCLR2 ~ CCLR0 位为 “011b”（同步清除），则 TRD1 寄存器在 TRD0 寄存器变为 “0000h” 时，同时变为 “0000h”。

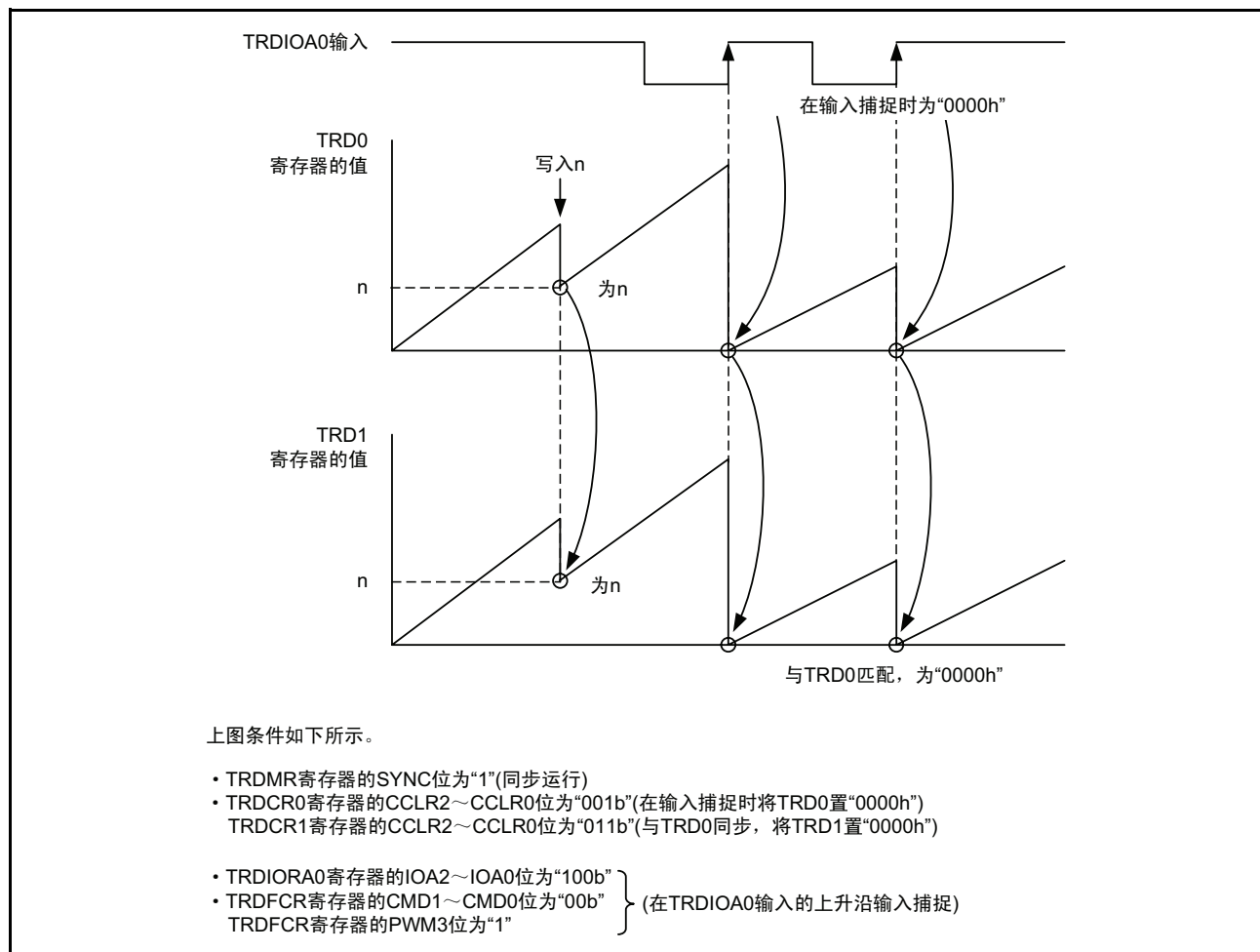


图 15.30 同步运行

15.3.4 脉冲输出强制截止

在输出比较功能、PWM 模式、复位同步 PWM 模式、互补 PWM 模式、PWM3 模式时，通过 $\overline{\text{INT0}}$ 引脚的输入，强制使 TRDIOj (i=0 ~ 1, j=A、B、C、D 的任何一个) 输出引脚成为可编程输入 / 输出端口，截止脉冲输出。

当 TRDOER1 寄存器的对应位清 “0” (允许定时器 RD 输出) 时，在这些功能 / 模式下用作输出的引脚，具有定时器 RD 的输出引脚功能。当 TRDOER2 寄存器的 PTO 位为 “1” (脉冲输出强制截止信号输入 $\overline{\text{INT0}}$ 有效) 时，如果向 $\overline{\text{INT0}}$ 引脚输入 “L” 电平，则 TRDOER1 寄存器的全部位将变为 “1” (禁止定时器 RD 输出、TRDIOj 输出引脚为可编程输入 / 输出端口)。从向 $\overline{\text{INT0}}$ 引脚输入 “L” 电平开始，到 1 ~ 2 个定时器 RD 运行时钟 (参照“表 15.11 定时器 RD 的运行时钟”) 周期后，TRDIOj 输出引脚变为可编程输入 / 输出端口。

使用该功能时，必须如下设定。

- 强制截止脉冲输出时的引脚状态 (高阻抗、“L” 电平输出或 “H” 电平输出) 通过 P2 寄存器和 PD2 寄存器来设定。
- INTEN 寄存器的 INT0EN 位置 “1” (允许 $\overline{\text{INT0}}$ 输入)、INT0PL 位清 “0” (单边沿)。
- PD4 寄存器的 PD4_5 位清 “0” (输入模式)。
- 通过 INTF 寄存器的 INT0F1 ~ INT0F0 位设定 $\overline{\text{INT0}}$ 的数字滤波器。
- TRDOER2 寄存器的 PTO 位置 “1” (脉冲输出强制截止信号输入 $\overline{\text{INT0}}$ 有效)。

另外，根据 INT0IC 寄存器的 POL 位的选择和 INT0 引脚输入的变化，INT0IC 寄存器的 IR 位变为 “1” (有中断请求)。

中断的详细内容请参照 “13. 中断”。

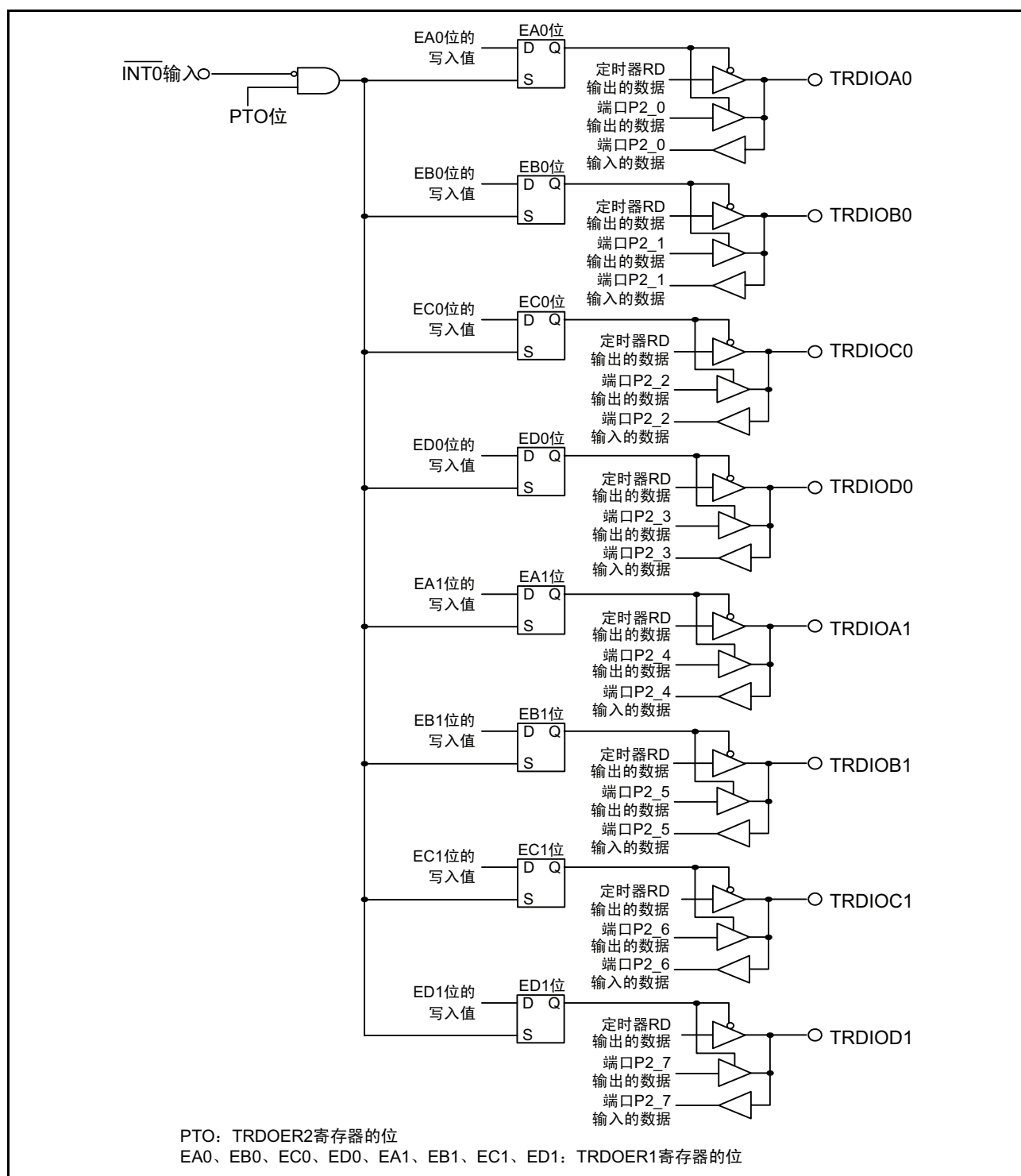


图 15.31 脉冲输出强制截断

15.3.5 输入捕捉功能

是测定外部信号的宽度和周期的功能。将 TRDIO_ji (i=0 ~ 1、j=A、B、C、D 的任何一个) 引脚的外部信号作为触发，并将 TRDi 寄存器（计数器）的内容传送到 TRDGR_ji 寄存器（输入捕捉）。通过 TRDIO_ji 引脚和 TRDGR_ji 寄存器的组合才能实现功能，所以对每一个引脚都能选择是用于输入捕捉或用于其他模式、功能。

并且，TRDGRA0 寄存器能选择 fOCO128 作为输入捕捉的触发输入。

输入捕捉功能的框图如图 15.32 所示，输入捕捉功能的规格如表 15.23 所示，输入捕捉功能相关寄存器如图 15.33 ~ 图 15.43 所示，输入捕捉功能的运行例子如图 15.44 所示。

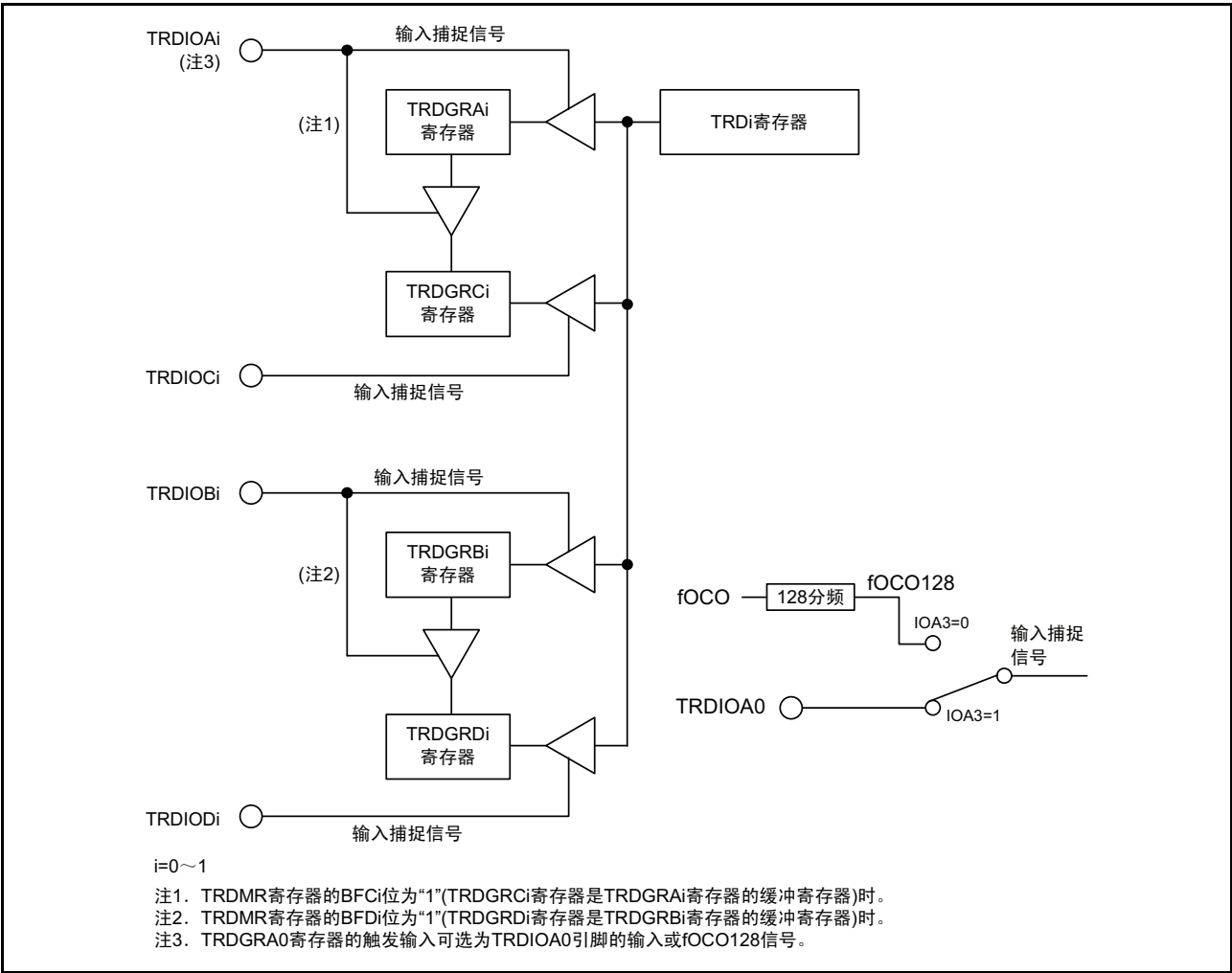


图 15.32 输入捕捉功能的框图

表 15.23 输入捕捉功能的规格

项目	规格
计数源	f1、f2、f4、f8、f32、fOCO40M 输入到 TRDCLK 引脚的外部信号（通过程序选择有效边沿）
计数运行	递增计数
计数周期	TRDCRi 寄存器的 CCLR2 ~ CCLR0 位为“000b”（自由运行）时 $1/f_k \times 65536$ f_k : 计数源的频率
计数开始条件	对 TRDSTR 寄存器的 TSTARTi 位写“1”（开始计数）
计数停止条件	TRDSTR 寄存器的 CSELi 位设定为“1”时，对 TSTARTi 位写“0”（停止计数）
中断请求产生时序	- 输入捕捉（TRDIOji 输入的有效边沿或 fOCO128 信号的边沿） - TRDi 上溢
TRDIOA0 引脚功能	可编程输入 / 输出端口、输入捕捉输入、或 TRDCLK（外部时钟）输入
TRDIOB0、TRDIOC0、 TRDIOD0、TRDIOA1 ~ TRDIOD1 引脚功能	可编程输入 / 输出端口或输入捕捉输入（对每个引脚选择）
INT0 引脚功能	可编程输入 / 输出端口或 INT0 中断输入
读定时器	如果读 TRDi 寄存器，就能读取计数值
写定时器	- TRDMR 寄存器的 SYNC 位为“0”（通道 0 和通道 1 独立运行）时能写入 TRDi 寄存器 - TRDMR 寄存器的 SYNC 位为“1”（通道 0 和通道 1 独立运行）时写入 TRDi 寄存器时，写入 TRD0 寄存器和 TRD1 寄存器
选择功能	- 选择输入捕捉输入引脚 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi 引脚的任何一个或多个 - 选择输入捕捉输入的有效边沿 上升沿有效、下降沿有效、或上升沿下降沿均有效 - TRDi 置“0000h”的时序 上溢或输入捕捉时 - 缓冲器运行（参照“15.3.2 缓冲器运行”） - 同步运行（参照“15.3.3 同步运行”） - 数字滤波器 对 TRDIOji 输入采样，如果 3 次匹配，就看作电平确定。 - 选择输入捕捉触发 能选择 fOCO128 作为 TRDGRA0 寄存器的输入捕捉触发输入

i=0 ~ 1、j=A、B、C、D 的任何一个

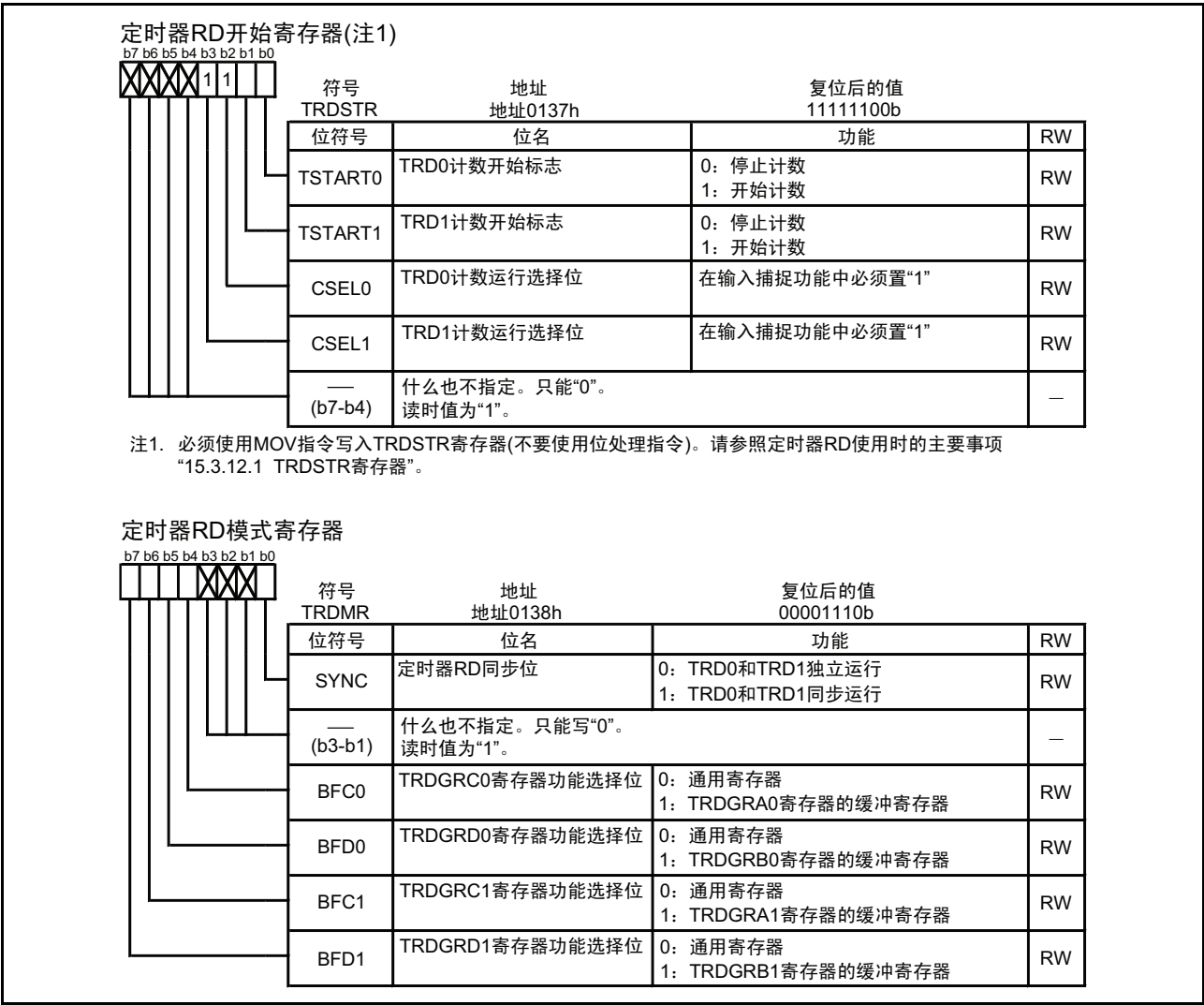


图 15.33 输入捕捉功能时的 TRDSTR、TRDMR 寄存器

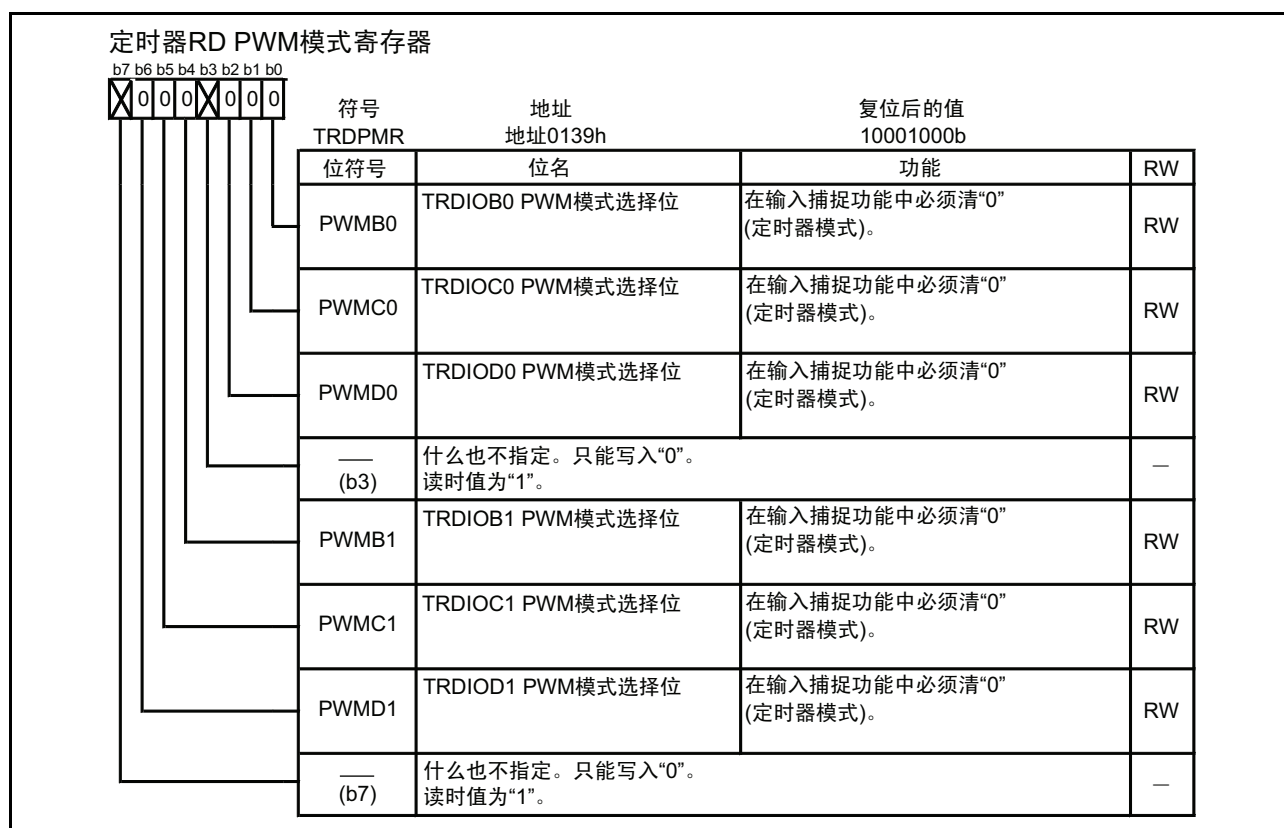


图 15.34 输入捕捉功能时的 TRDPMR 寄存器

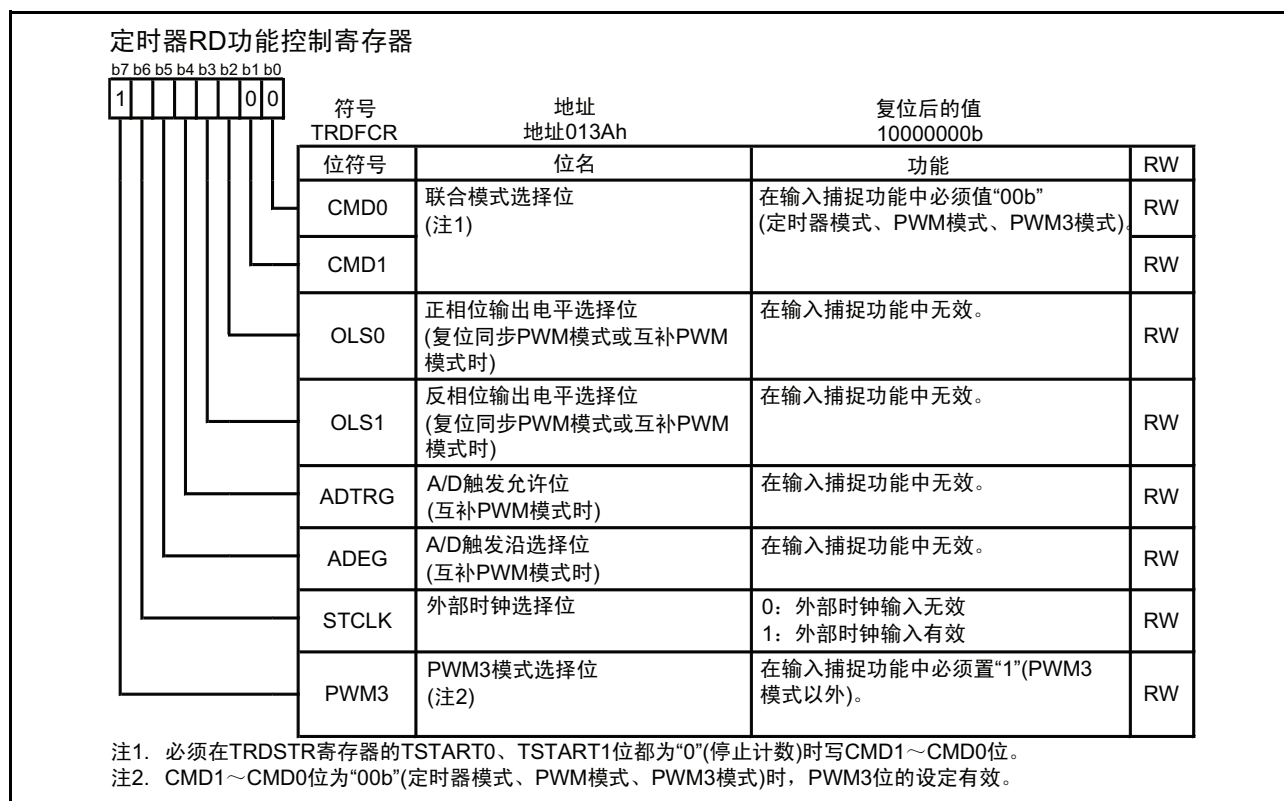


图 15.35 输入捕捉功能时的 TRDFCR 寄存器

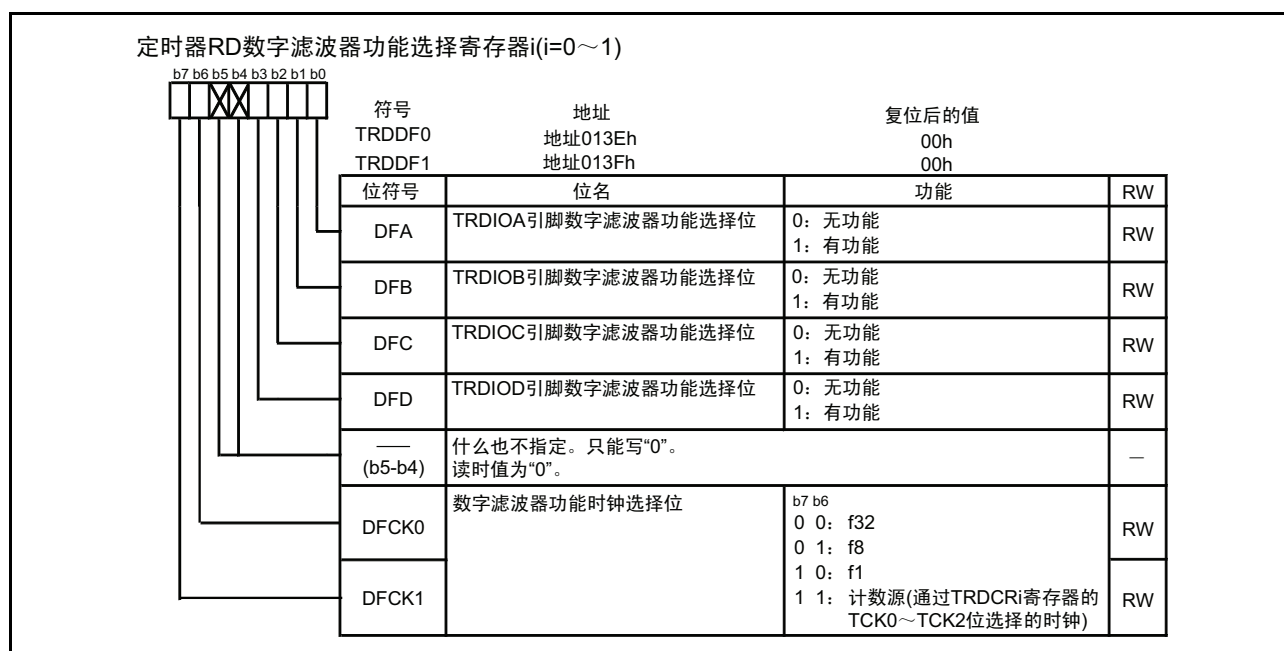


图 15.36 输入捕捉功能时的 TRDDF0 ~ TRDDF1 寄存器

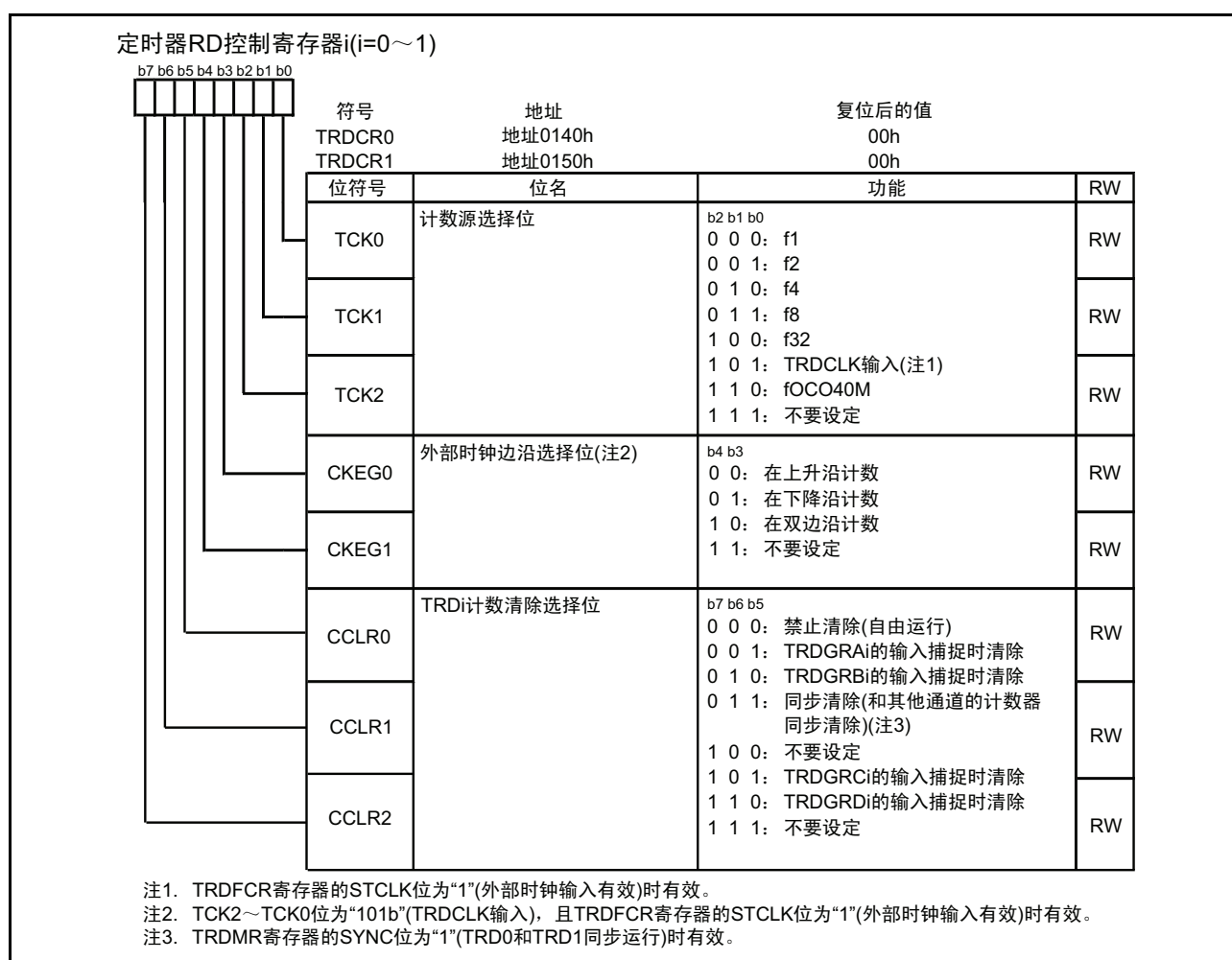


图 15.37 输入捕捉功能时的 TRDCR0 ~ TRDCR1 寄存器

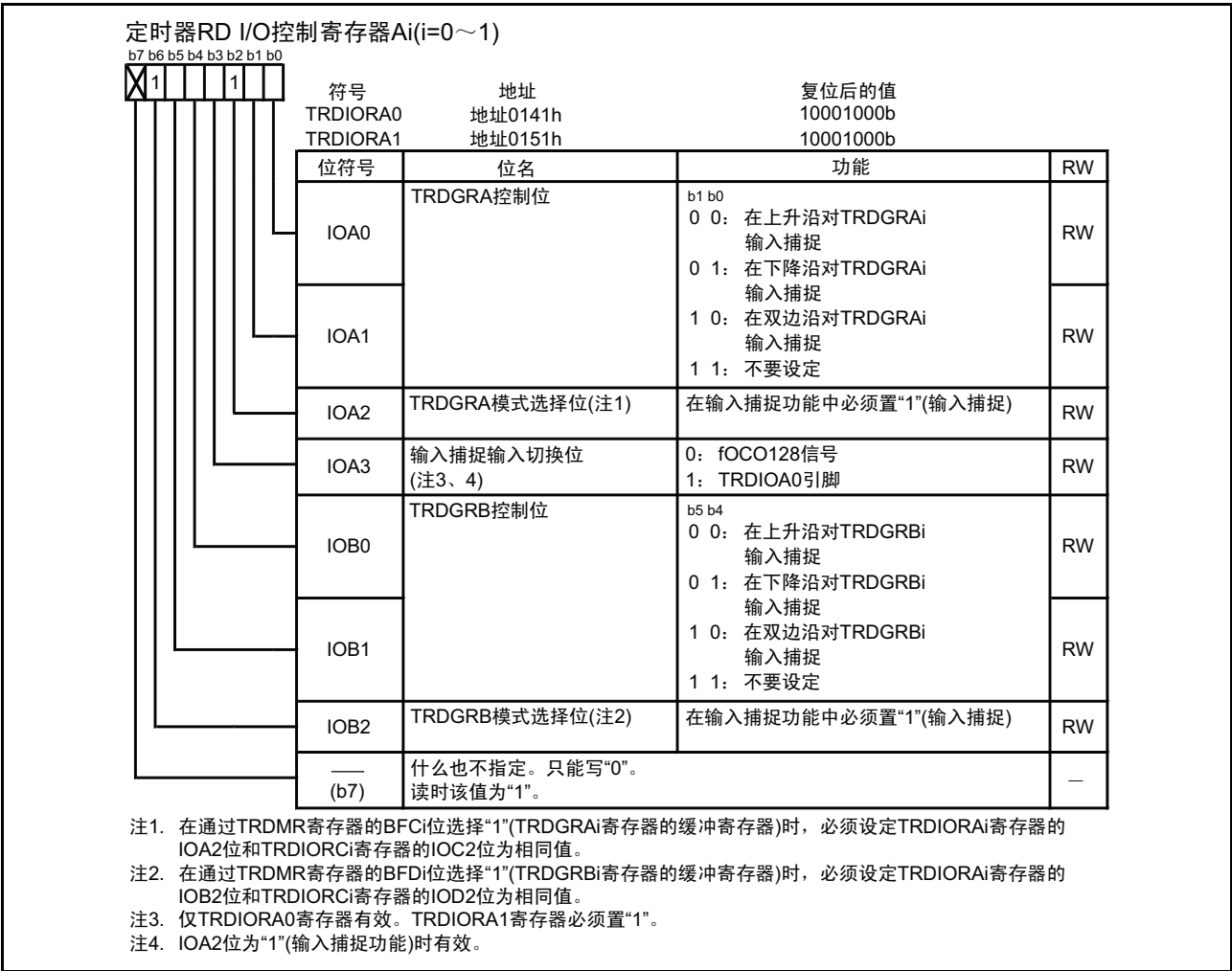


图 15.38 输入捕捉功能时的 TRDIORA0 ~ TRDIORA1 寄存器

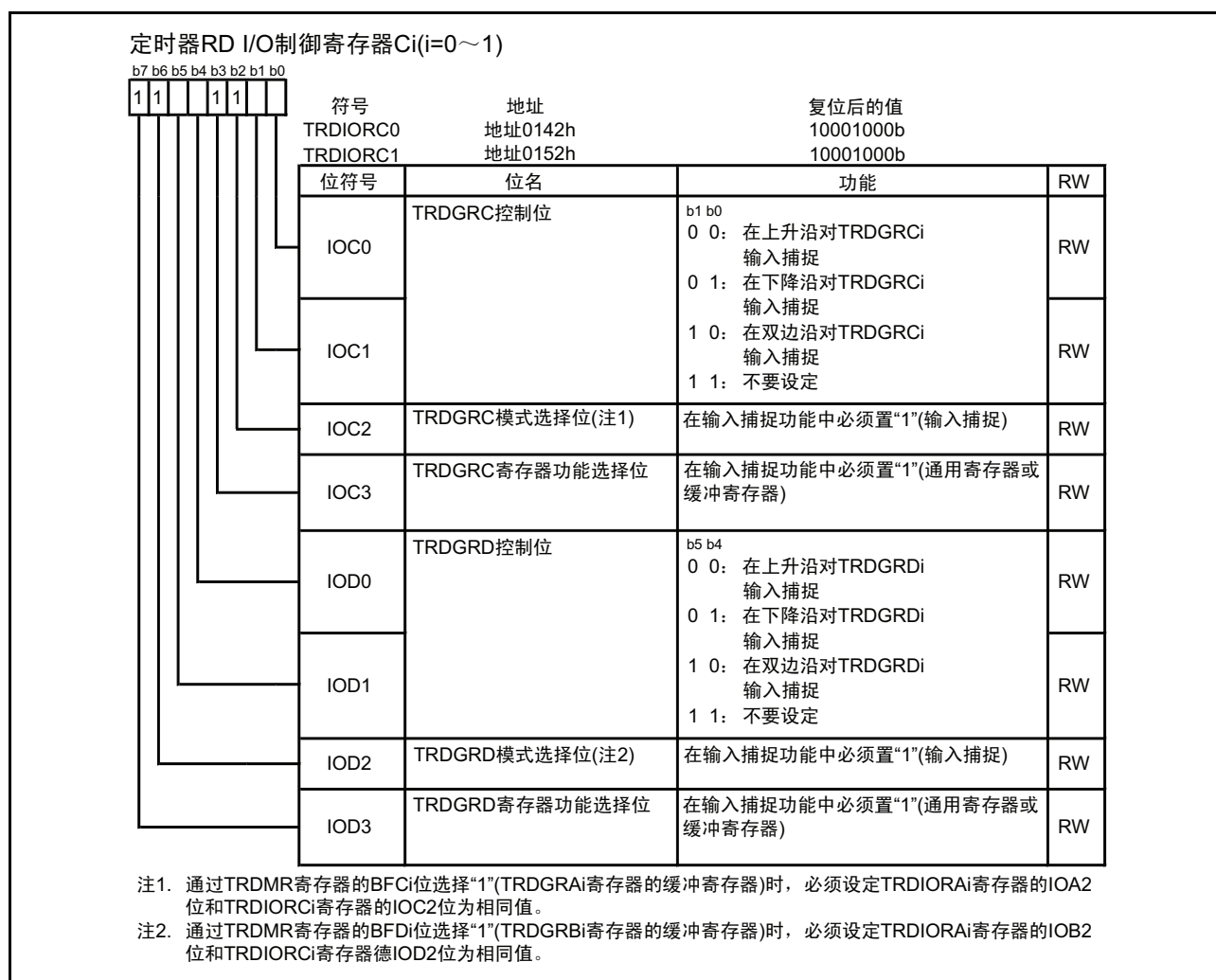


图 15.39 输入捕捉功能时的 TRDIORC0 ~ TRDIORC1 寄存器

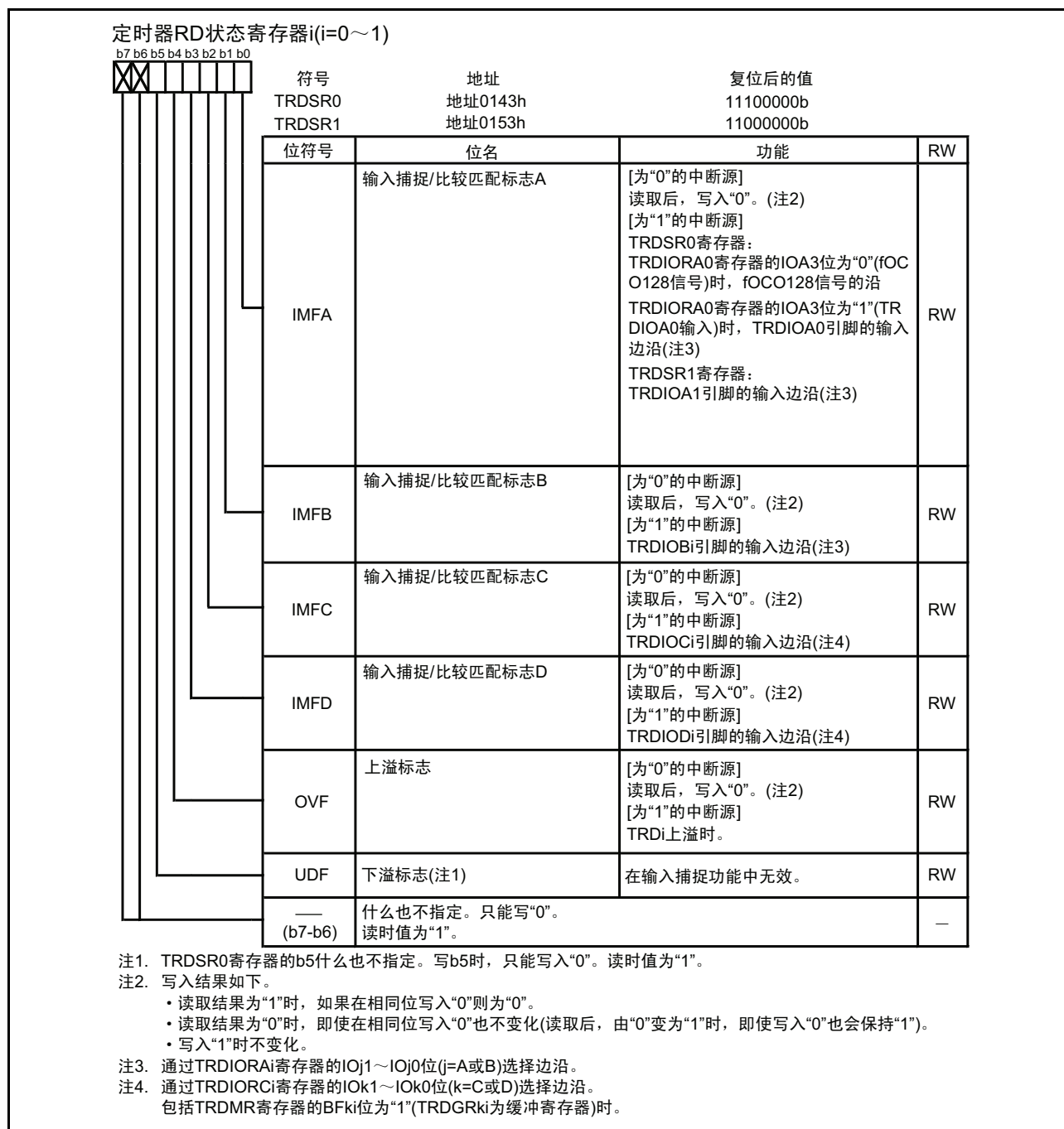


图 15.40 输入捕捉功能时的 TRDSR0 ~ TRDSR1 寄存器

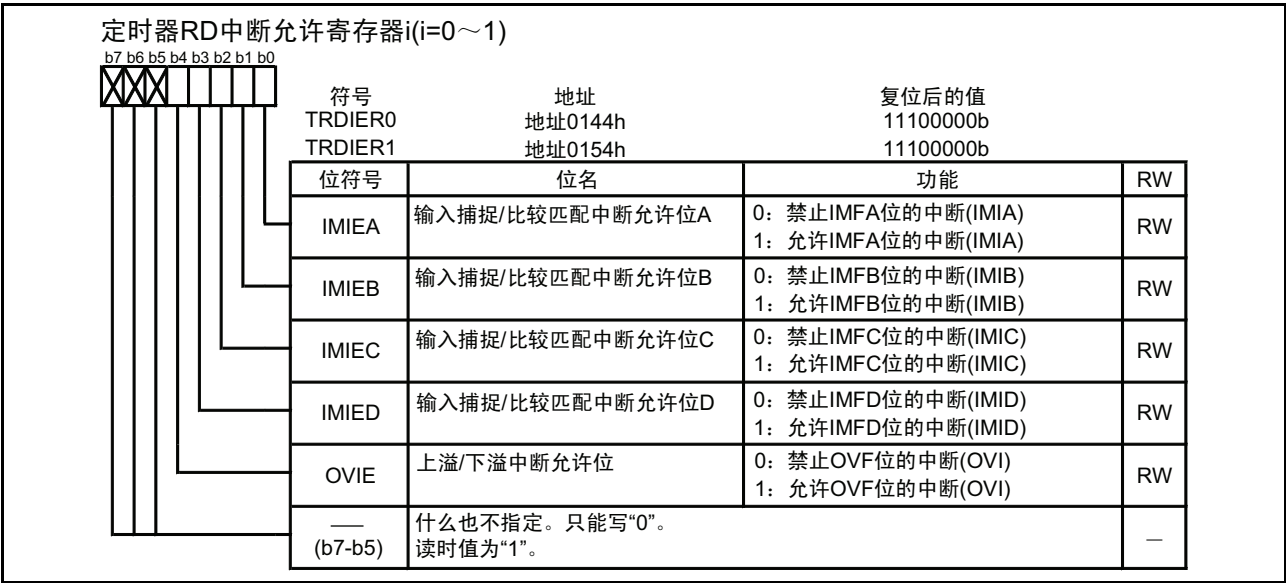


图 15.41 输入捕捉功能时的 TRDIER0 ~ TRDIER1 寄存器



图 15.42 输入捕捉功能时的 TRD0 ~ TRD1 寄存器

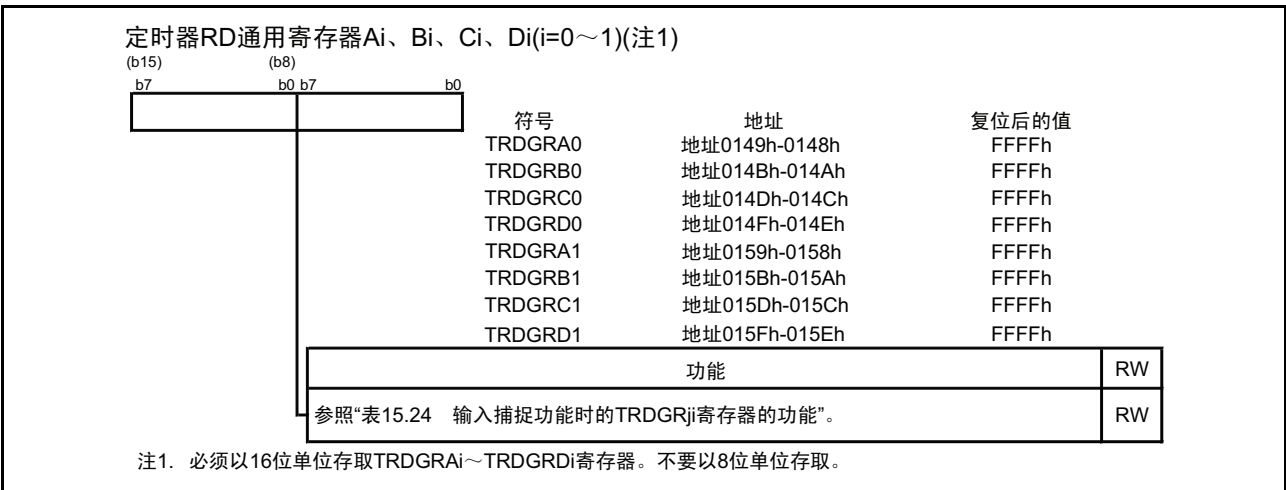


图 15.43 输入捕捉功能时的 TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi 寄存器

在输入捕捉功能中，以下的寄存器无效。

TRDOER1、TRDOER2、TRDOCR、TRDPOCR0、TRDPOCR1

表 15.24 输入捕捉功能时的 TRDGRji 寄存器的功能

寄存器	设定	寄存器的功能	输入捕捉输入引脚
TRDGRAi	—	通用寄存器。能读取输入捕捉时的 TRDi 寄存器的值	TRDIOAi
TRDGRBi			TRDIOBi
TRDGRCi	BFCi=0	通用寄存器。能读取输入捕捉时的 TRDi 寄存器的值	TRDIOCi
TRDGRDi	BFDi=0		TRDIODi
TRDGRCi	BFCi=1	缓冲寄存器。能读取输入捕捉时的 TRDi 寄存器的值 (参照“15.3.2 缓冲器运行”)	TRDIOAi
TRDGRDi	BFDi=1		TRDIOBi

i=0 ~ 1, j=A、B、C、D 的任何一个

BFCi、BFDi: TRDMR 寄存器的位

在无数字滤波器 (TRDDFi 寄存器的 DFj 位为“0”) 时, 输入到 TRDIOji 引脚的输入捕捉信号的脉宽, 必须设定为大于等于 3 个定时器 RD 运行时钟 (参照“表 15.11 定时器 RD 的运行时钟”) 周期。

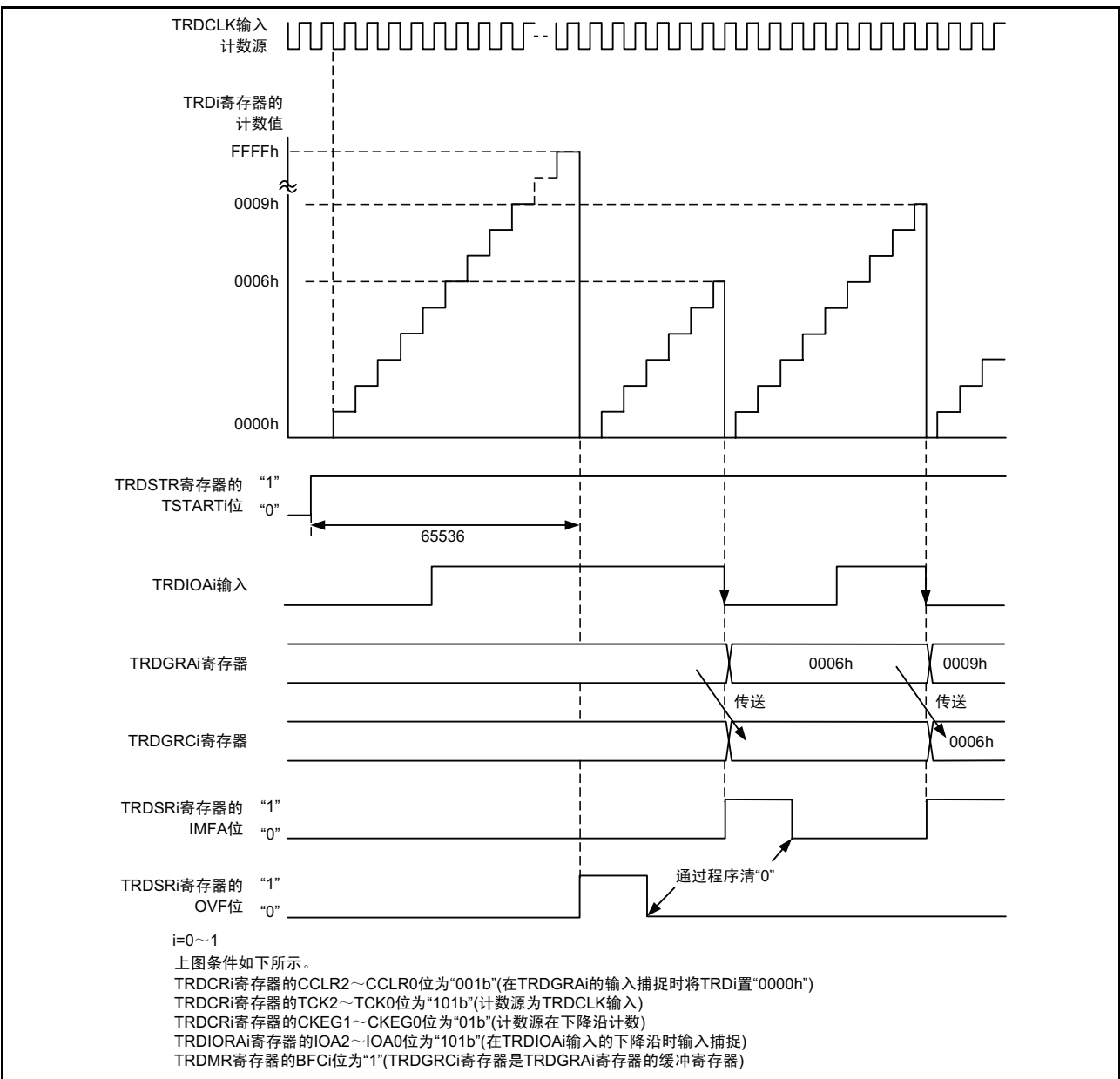


图 15.44 输入捕捉功能的运行例子

15.3.5.1 数字滤波器

对 TRDIO_ji (i=0 ~ 1, j=A、B、C、D 的任何一个) 输入采样, 如果 3 次匹配, 就看作电平确定。能通过 TRDDFi 寄存器选择数字滤波器的功能和采样时钟。

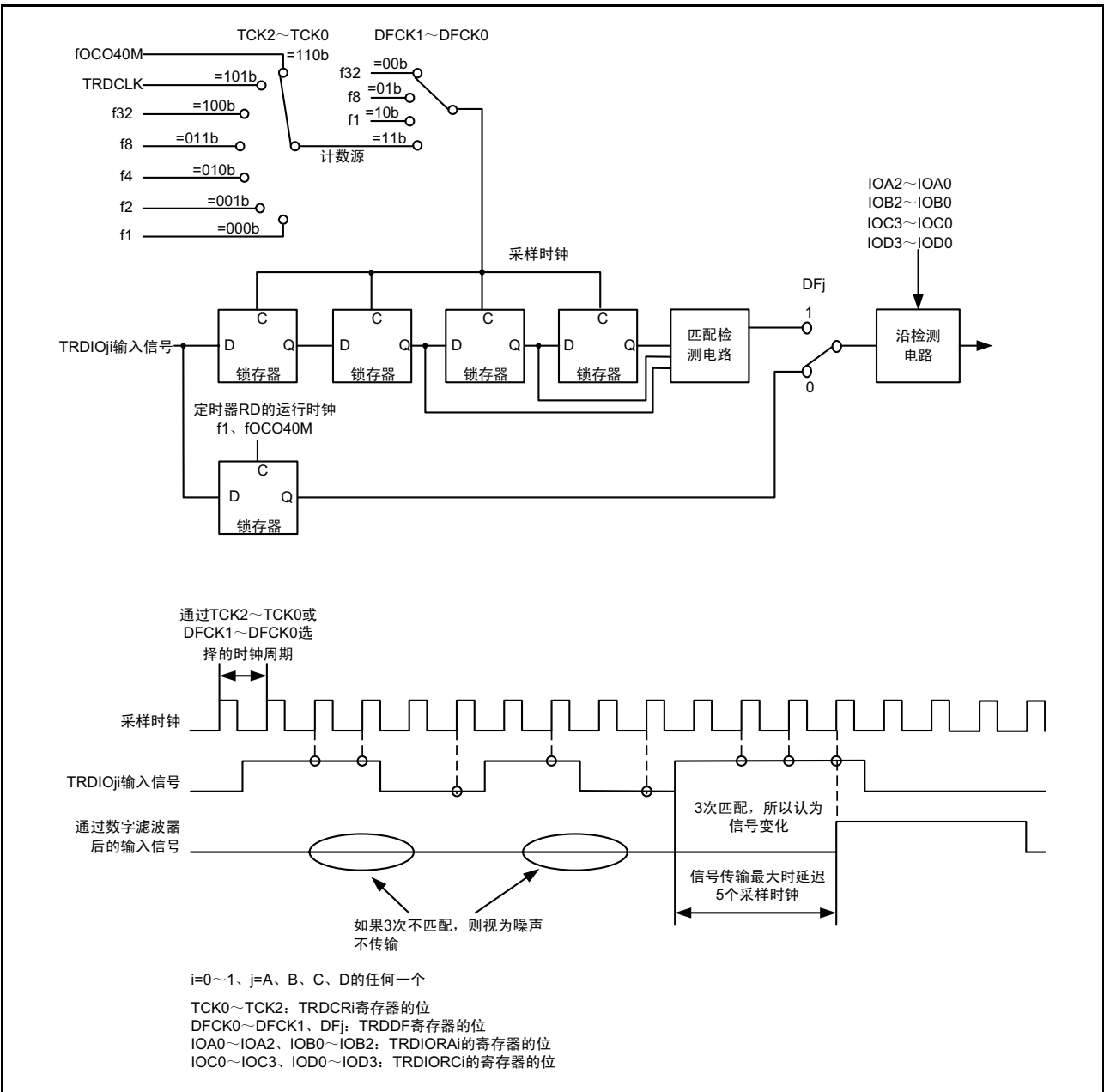


图 15.45 数字滤波器的框图

15.3.6 输出比较功能

检测 TRDi (i=0 ~ 1) 寄存器的内容和 TRDGRji (j=A、B、C、D 的任何一个) 寄存器的内容是否匹配 (比较匹配) 的模式。匹配时从 TRDIOji 引脚输出任意电平。通过 TRDIOji 引脚和 TRDGRji 寄存器的组合才能实现功能, 所以对每一个引脚都能选择用于输出比较或用于其他模式、功能。

输出比较功能的框图如图 15.46 所示, 输出比较功能的规格如表 15.25 所示, 输出比较功能相关寄存器如图 15.47 ~ 图 15.58 所示, 输出比较功能的运行例子如图 15.59 所示。

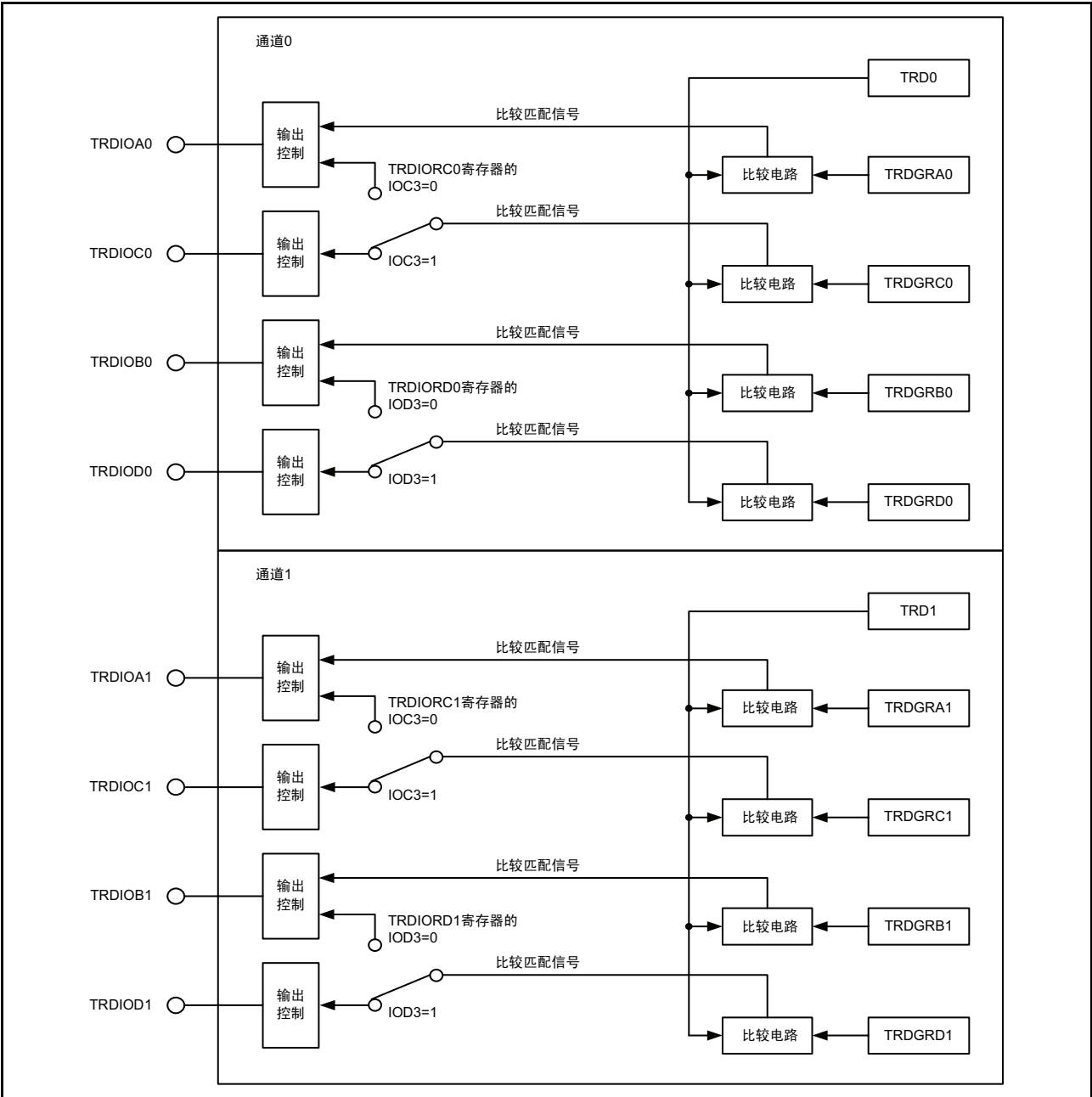


图 15.46 输出比较功能的框图

表 15.25 输出比较功能的规格

项目	规格
计数源	f1、f2、f4、f8、f32、fOCO40M 输入到 TRDCLK 引脚的外部信号（通过程序选择有效边沿）
计数运行	递增计数
计数周期	- TRDCRi 寄存器的 CCLR2 ~ CCLR0 位是“000b”（自由运行）时 $1/fk \times 65536$ fk: 计数源的频率 - TRDCRi 寄存器的 CCLR1 ~ CCLR0 位是“01b”、“10b”（TRDGRji 的比较匹配时将 TRDi 置“0000h”）时 计数源的周期 $\times (n+1)$ n: TRDGRji 寄存器的设定值
波形输出时序	比较匹配
计数开始条件	对 TRDSTR 寄存器的 TSTARTi 位写“1”（开始计数）
计数停止条件	- TRDSTR 寄存器的 CSELi 位设定为“1”时，对 TSTARTi 位写“0”（停止计数） 输出比较输出引脚保持停止计数前的输出电平 - 如果 TRDSTR 寄存器的 CSELi 位为“0”，在 TRDGRAi 的比较匹配时，停止计数 输出比较输出引脚保持输出通过比较匹配输出变化后的电平
中断请求产生时序	- 比较匹配（TRDi 寄存器和 TRDGRji 的内容匹配） - TRDi 溢出
TRDIOA0 引脚功能	可编程输入 / 输出端口、输出比较输出、或 TRDCLK（外部时钟）输入
TRDIOB0、TRDIOC0、 TRDIOD0、TRDIOA1 ~ TRDIOD1 引脚功能	可编程输入 / 输出端口或输出比较输出（对每个引脚选择）
INT0 引脚功能	可编程输入 / 输出端口、脉冲输出强制截止信号输入或 INT0 中断输入
读定时器	如果读 TRDi 寄存器，就能读取计数值
写定时器	- TRDMR 寄存器的 SYNC 位为“0”（通道 0 和通道 1 独立运行）时 能写入 TRDi 寄存器 - TRDMR 寄存器的 SYNC 位为“1”（通道 0 和通道 1 同步运行）时 写入 TRDi 寄存器时，写入 TRD0 寄存器和 TRD1 寄存器
选择功能	- 选择输出比较输出引脚 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi 引脚的任何一个或多个 - 选择比较匹配时的输出电平 “L”电平输出、“H”电平输出、或输出电平取反 - 选择初始输出电平 设定从开始计数到比较匹配期间的电平 - TRDi 置“0000h”的时序 上溢或 TRDGRAi 寄存器的比较匹配 - 缓冲器运行（参照“15.3.2 缓冲器运行”） - 同步运行（参照“15.3.3 同步运行”） - TRDGRCi、TRDGRDi 的输出引脚的更改 TRDGRCi 能用于 TRDIOAi 引脚的输出控制、TRDGRDi 能用于 TRDIOBi 的输出控制 - 脉冲输出强制截止信号输入（参照“15.3.4 脉冲输出强制截止”） - 定时器 RD 不输出则可作为内部定时器使用

i=0 ~ 1、j=A、B、C、D 的任何一个

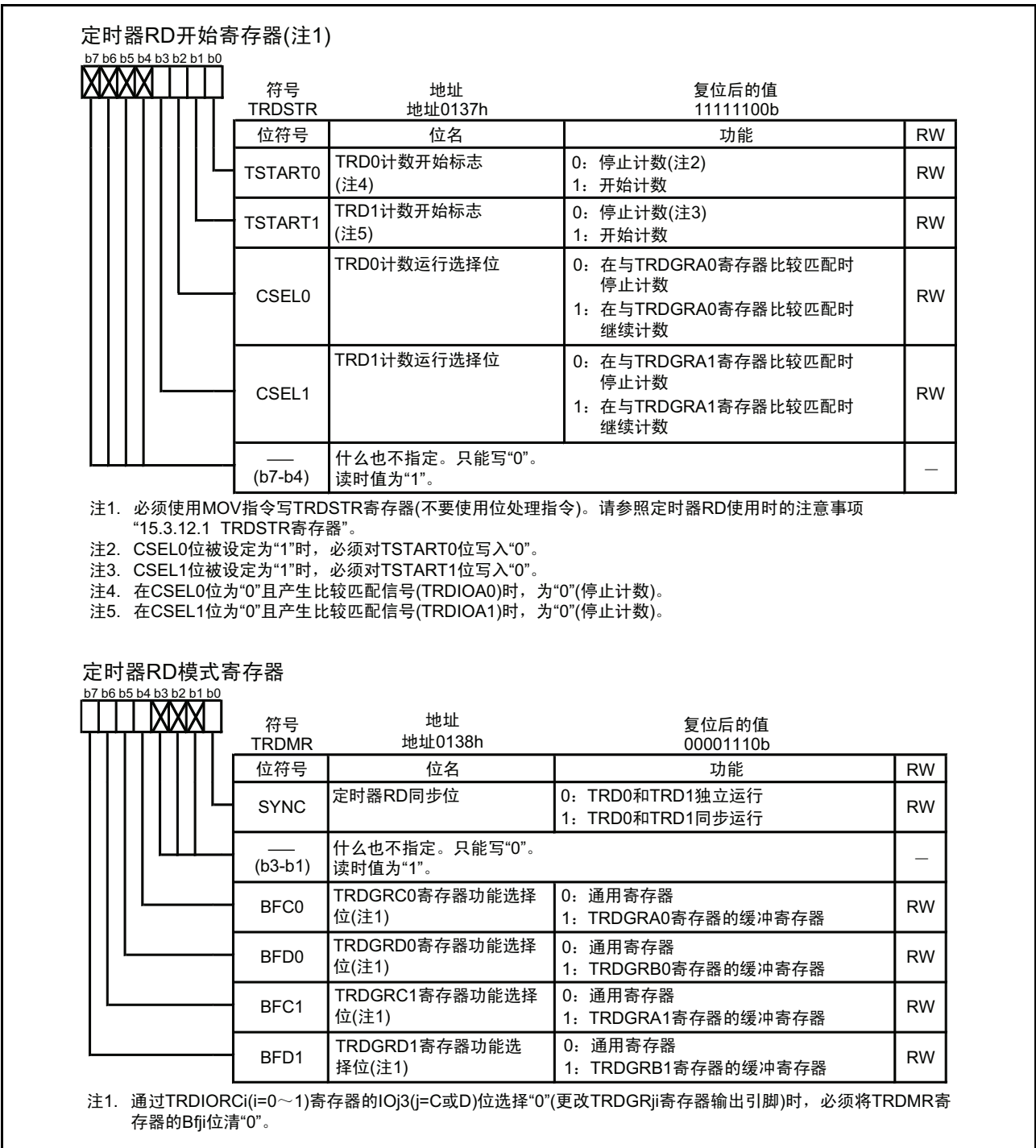


图 15.47 输出比较功能时的 TRDSTR、TRDMR 寄存器

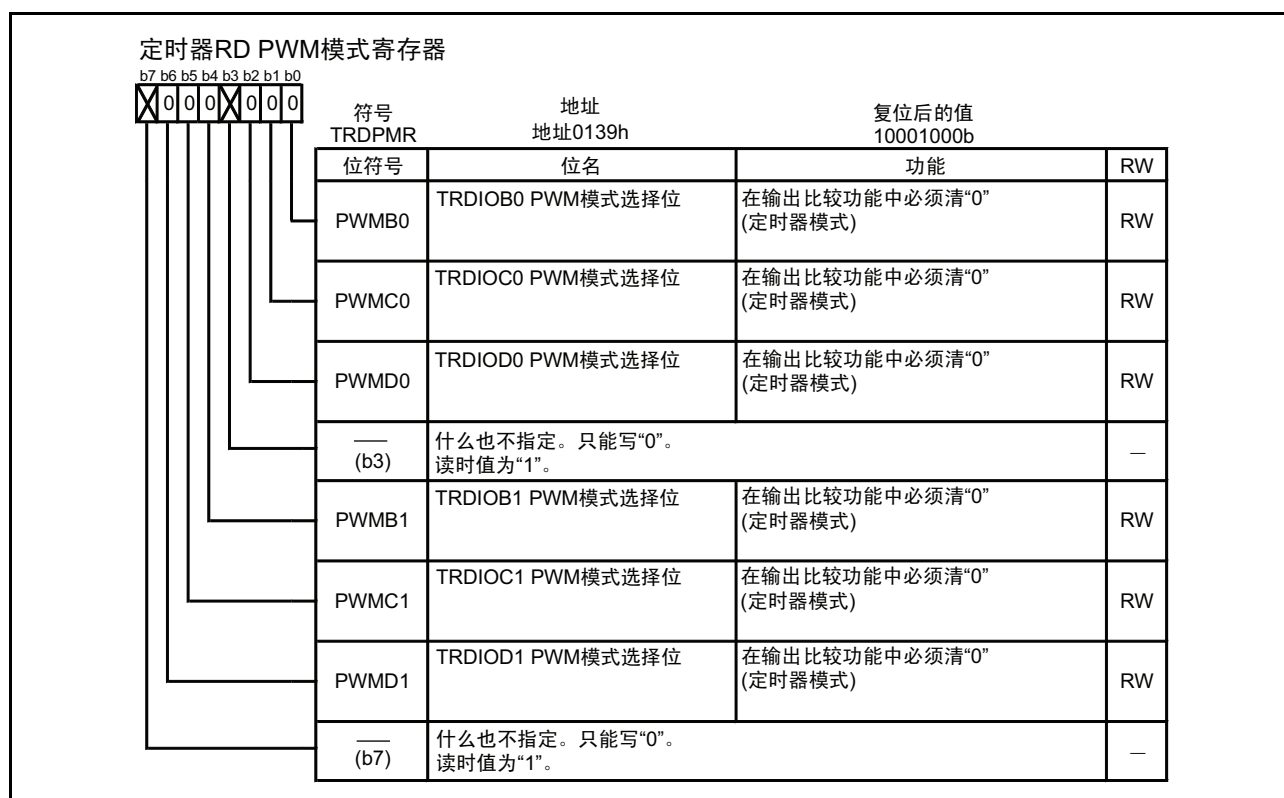


图 15.48 输出比较功能时的 TRDPMR 寄存器

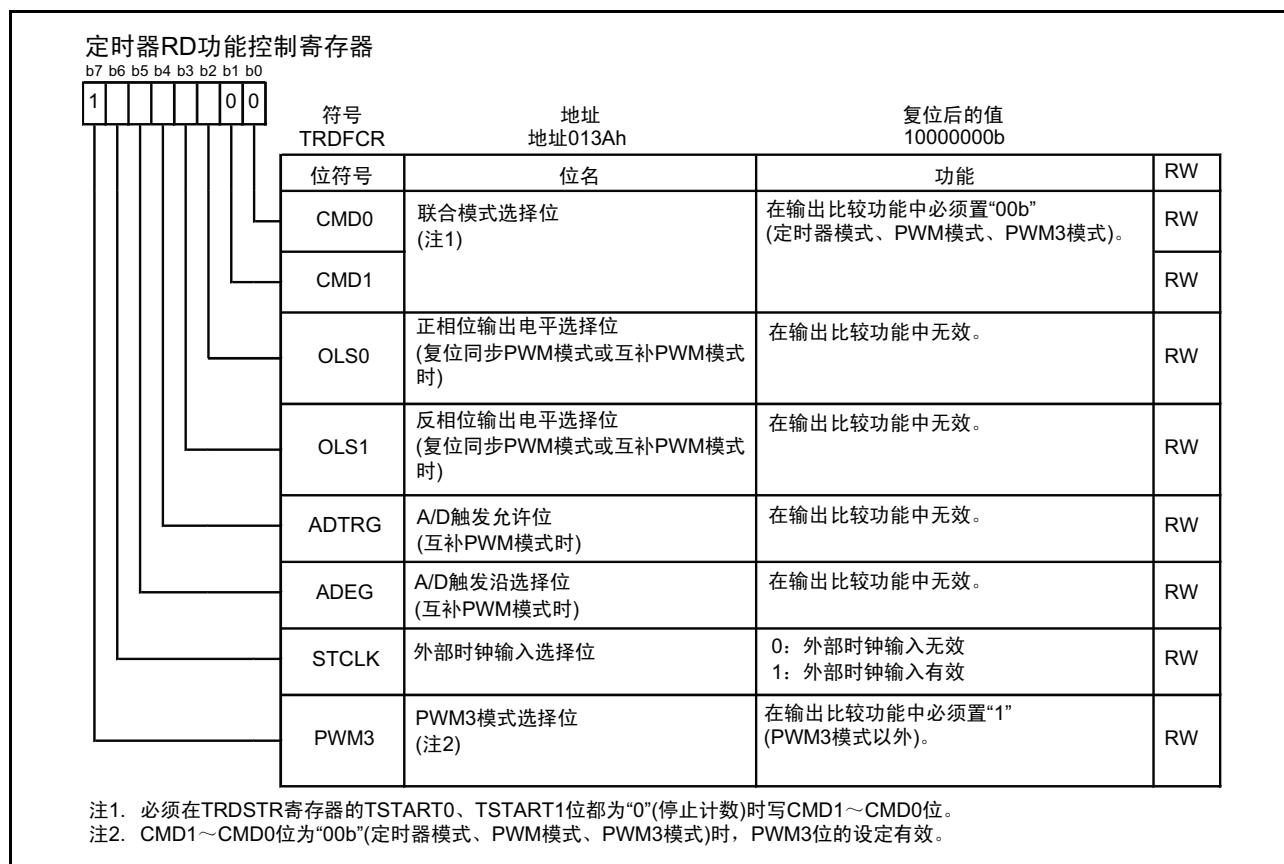


图 15.49 输出比较功能时 TRDFCR 寄存器

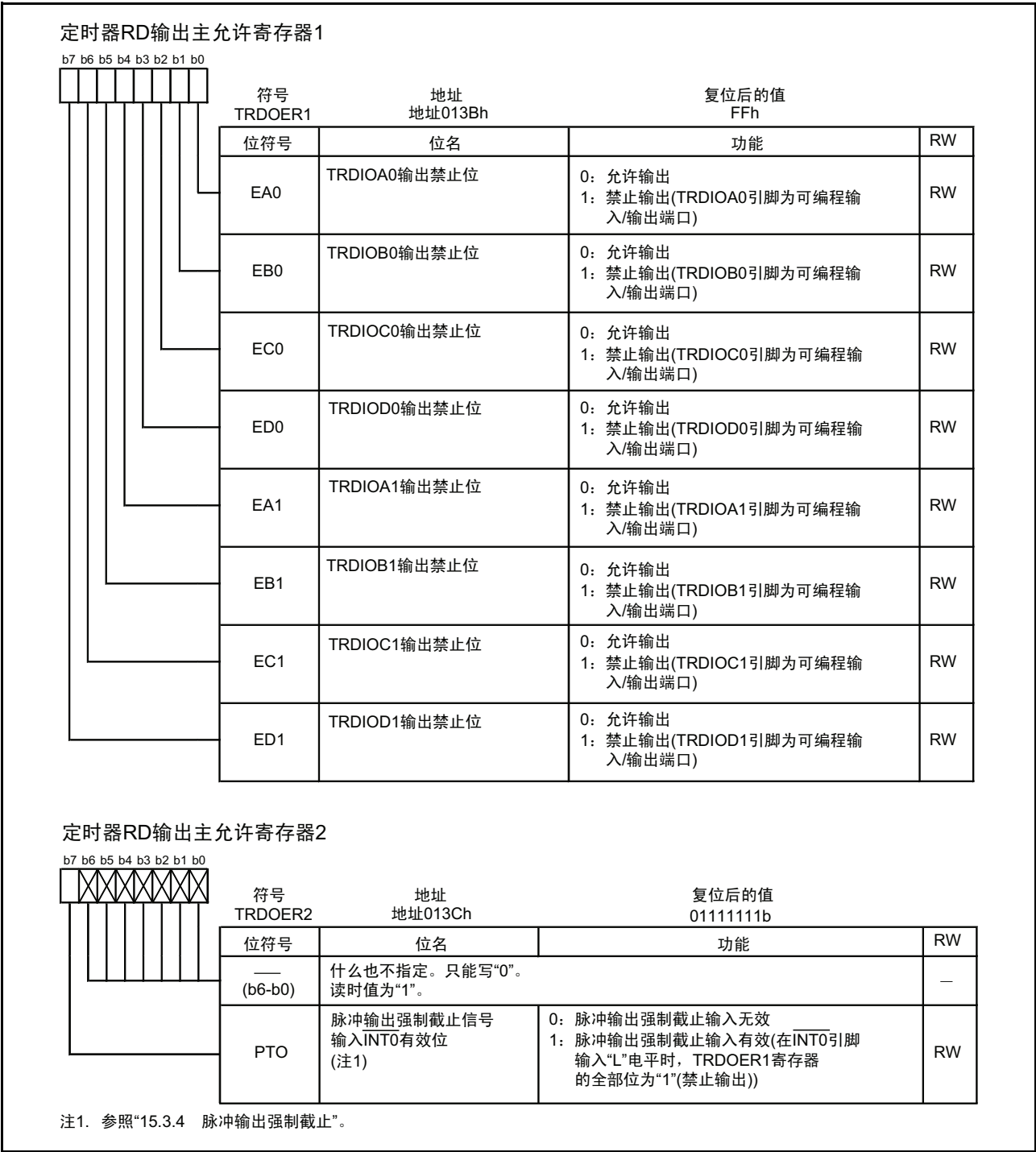


图 15.50 输出比较功能时的 TRDOER1 ~ TRDOER2 寄存器

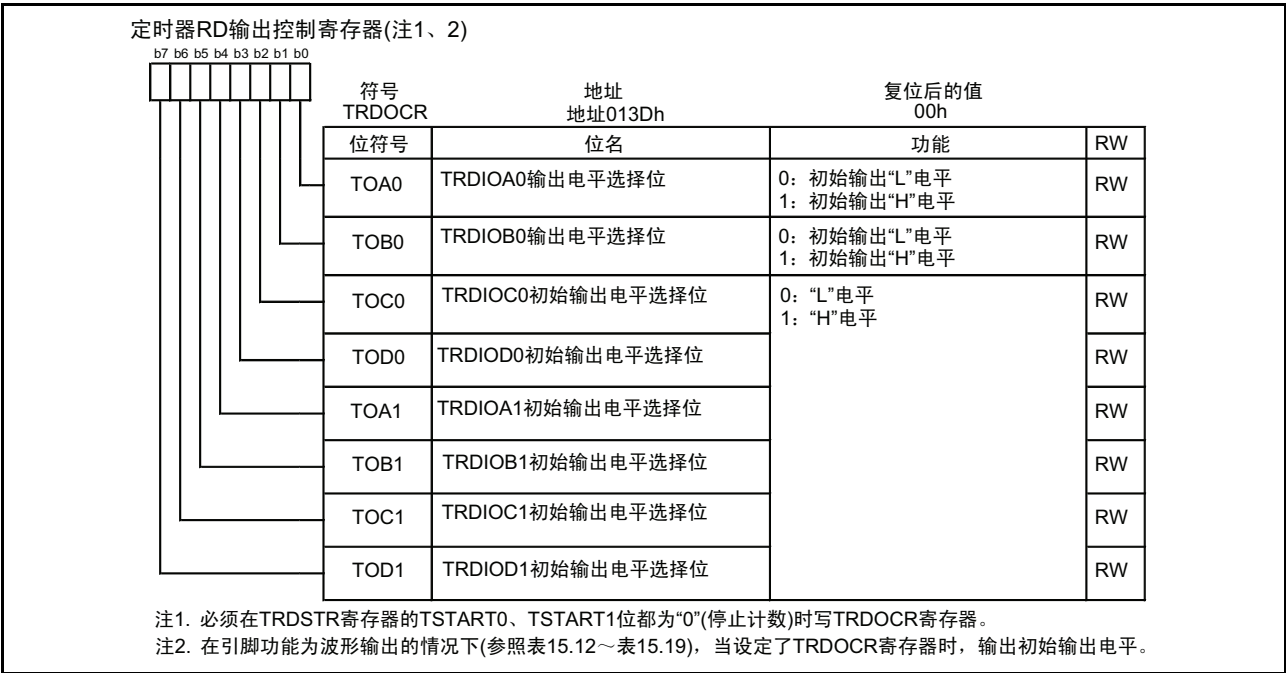


图 15.51 输出比较功能时的 TRDOCR 寄存器

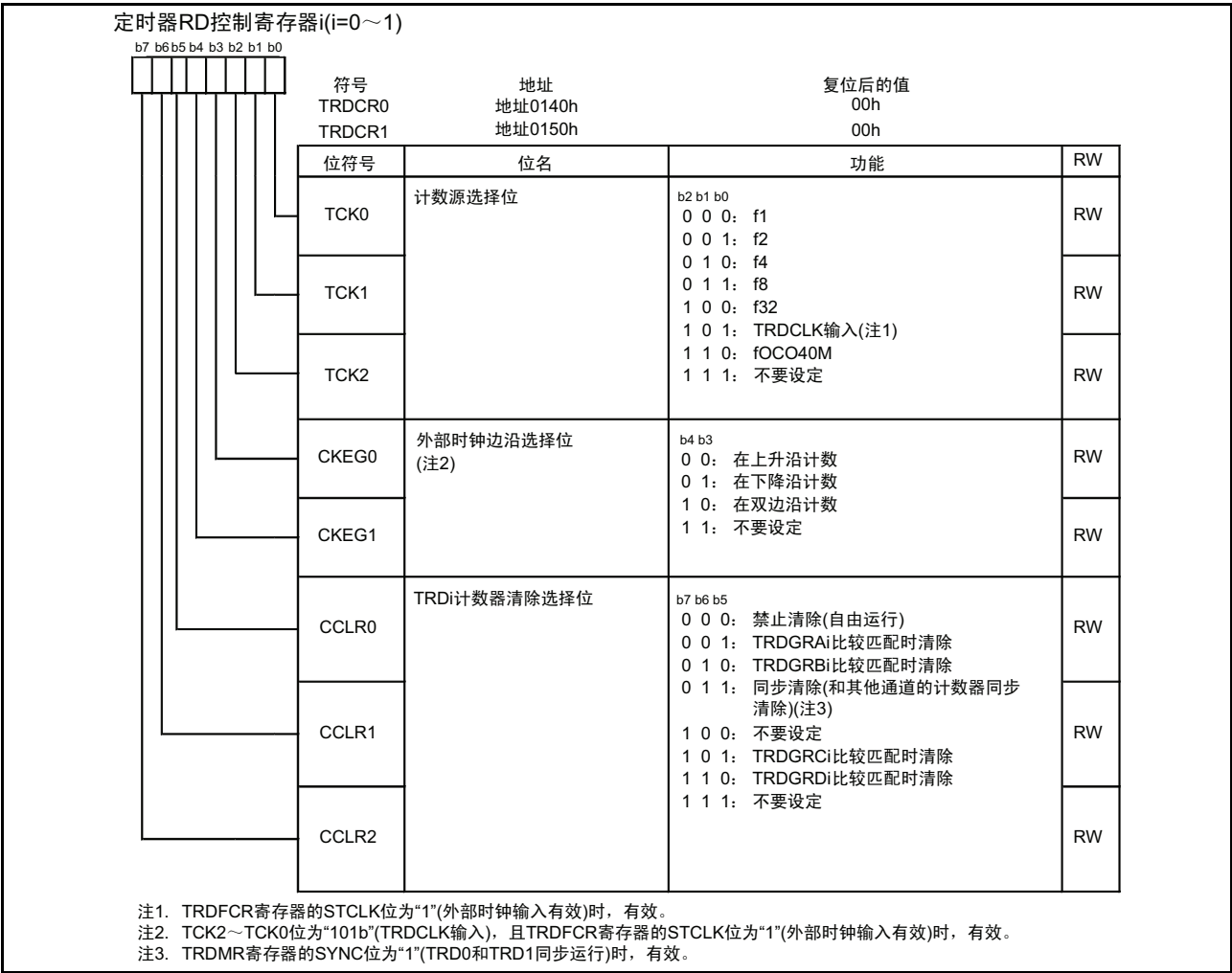


图 15.52 输出比较功能时的 TRDCR0 ~ TRDCR1 寄存器

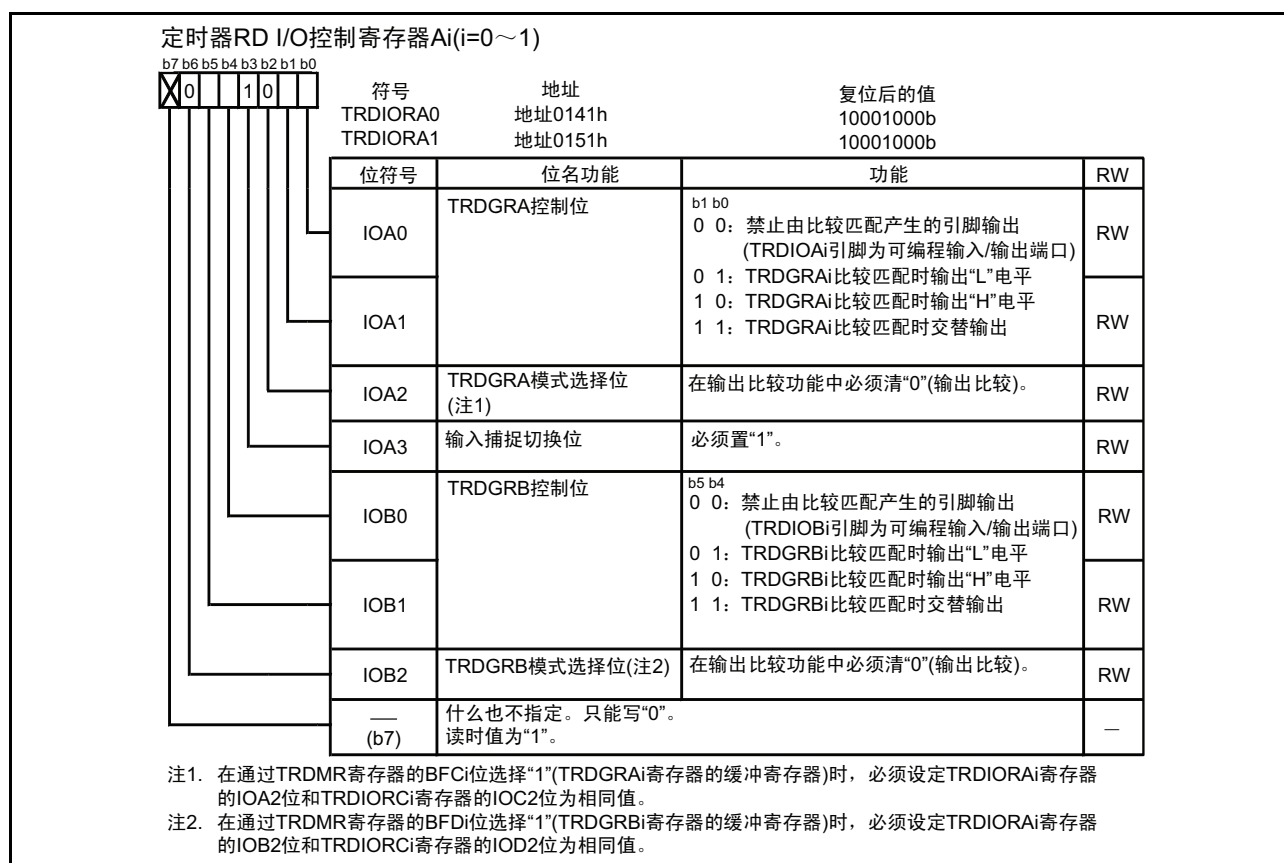


图 15.53 输出比较功能时的 TRDIORA0 ~ TRDIORA1 寄存器

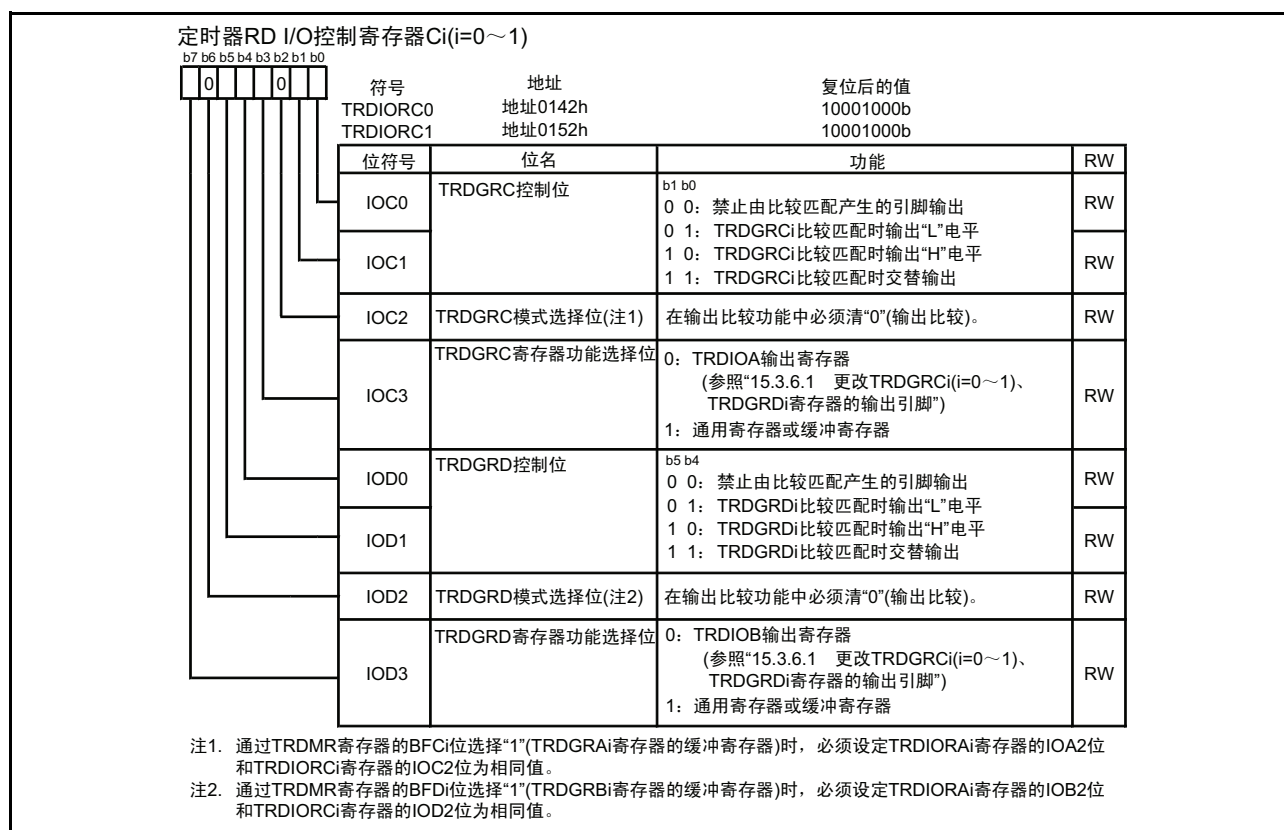


图 15.54 输出比较功能时的 TRDIORC0 ~ TRDIORC1 寄存器

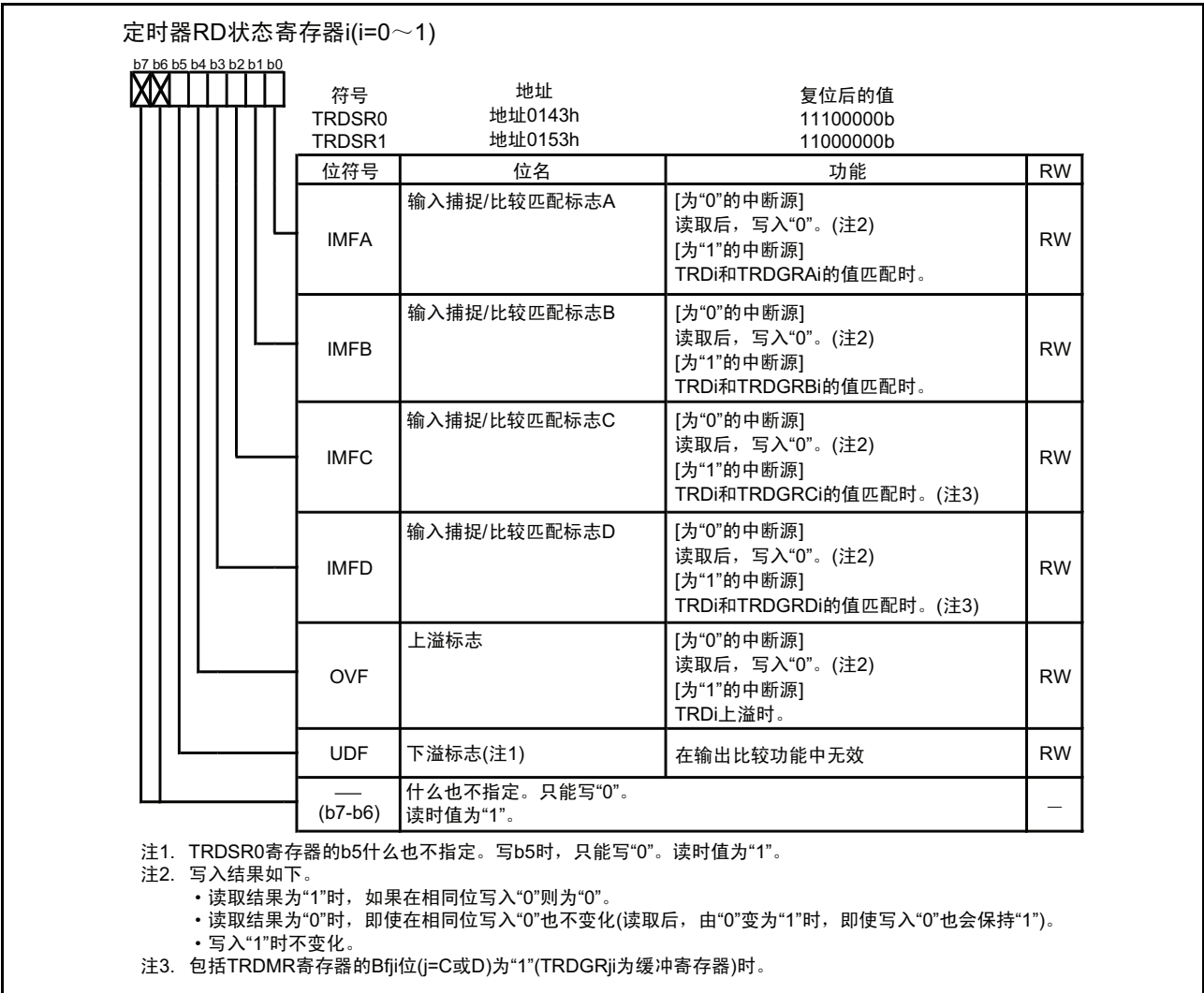


图 15.55 输出比较功能时的 TRDSR0 ~ TRDSR1 寄存器

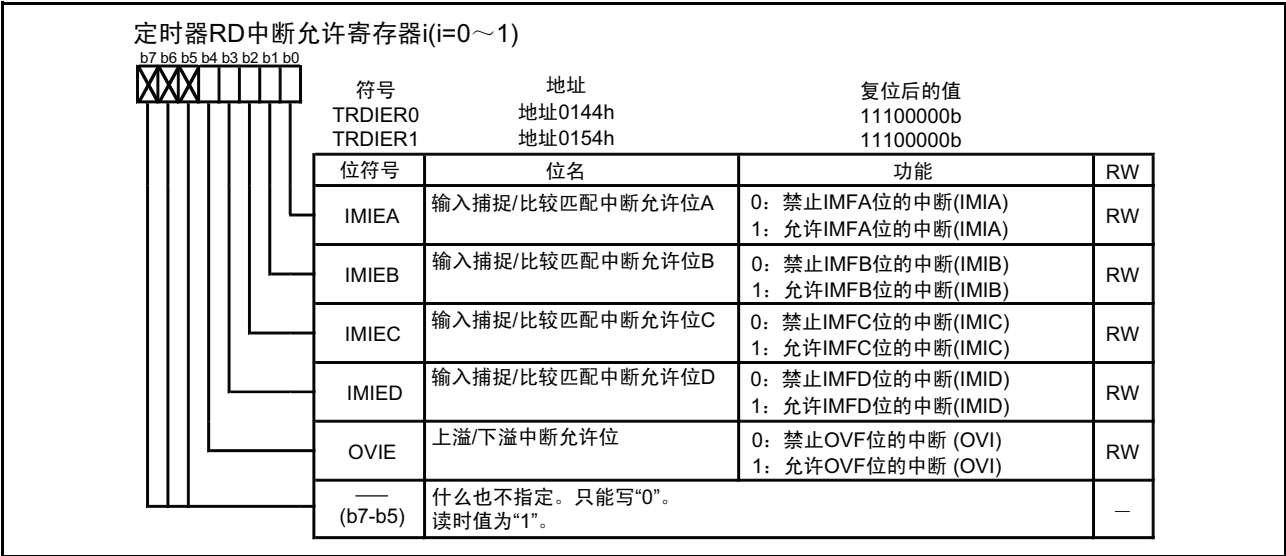


图 15.56 输出比较功能时的 TRDIER0 ~ TRDIER1 寄存器

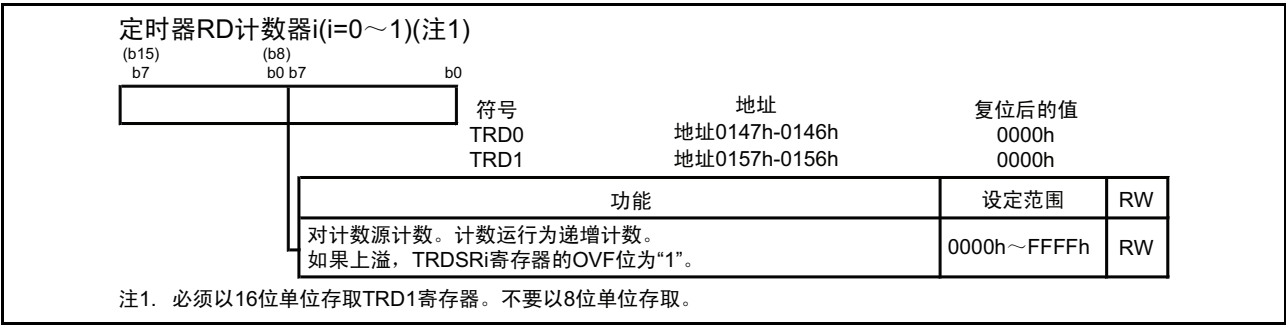


图 15.57 输出比较功能时的 TRD0 ~ TRD1 寄存器

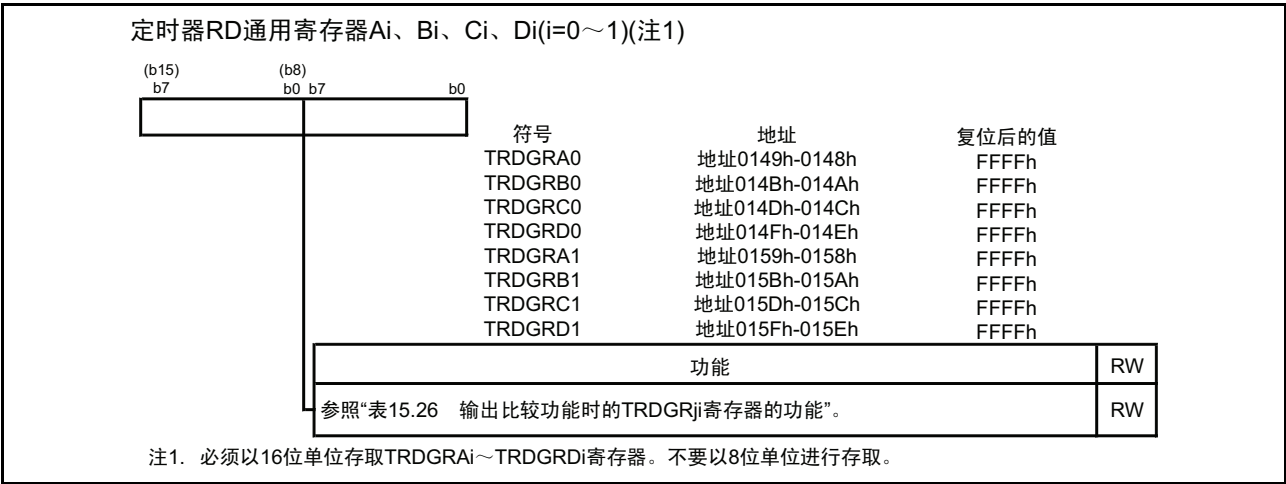


图 15.58 输出比较功能时的 TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi 寄存器

在输出比较功能中，以下寄存器无效
TRDDF0、TRDDF1、TRDPOCR0、TRDPOCR1

表 15.26 输出比较功能时的 TRDGR*j*i 寄存器的功能

寄存器	设定		寄存器的功能	输出比较 输出引脚
	BF <i>j</i> i	IOj3		
TRDGRAi	—	—	通用寄存器。必须写入比较值	TRDIOAi
TRDGRBi				TRDIOBi
TRDGRCi	0	1	通用寄存器。必须写入比较值	TRDIOCi
TRDGRDi				TRDIODi
TRDGRCi	1	1	缓冲寄存器。必须写入下一次的比较值 (参照“15.3.2 缓冲器运行”)	TRDIOAi
TRDGRDi				TRDIOBi
TRDGRCi	0	0	TRDIOAi 输出控制 (参照“15.3.6.1 更改 TRDGRCi (<i>i</i> =0~1)、TRDGRDi 寄存器的输出引脚”)	TRDIOAi
TRDGRDi				TRDIOBi

i=0~1、*j*=A、B、C、D 的任何一个

BF*j*i: TRDMR 寄存器的位 IOj3: TRDIORCi 寄存器的位

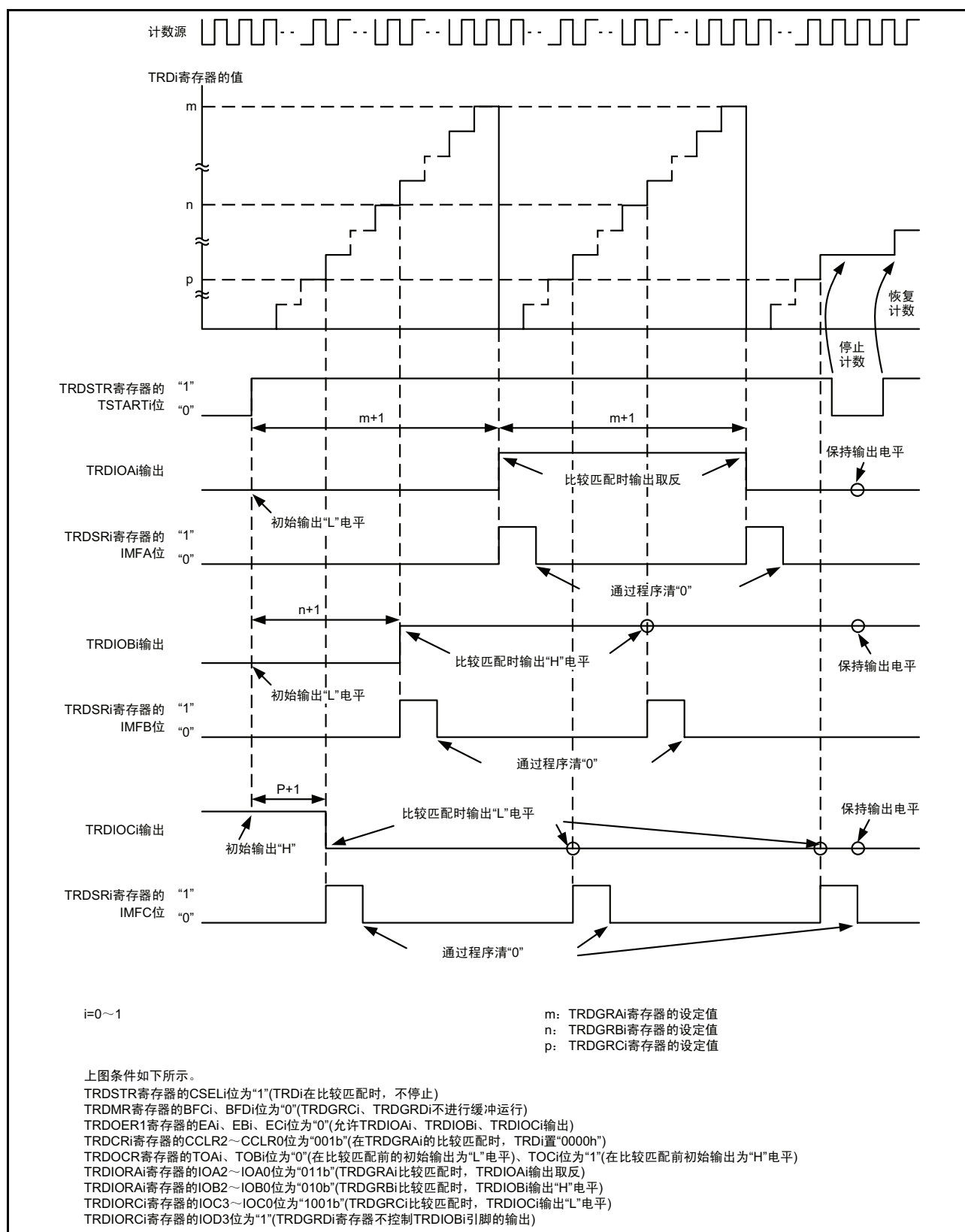


图 15.59 输出比较功能的运行例子

15.3.6.1 更改 TRDGRCi (i=0 ~ 1)、TRDGRDi 寄存器的输出引脚

TRDGRCi 寄存器能用于 TRDIOAi 引脚的输出控制、TRDGRDi 寄存器能用于 TRDIOBi 引脚的输出控制。因此各引脚的输出能如下控制。

- TRDIOAi 输出通过 TRDGRAi 寄存器的值和 TRDGRCi 寄存器的值两者来控制
- TRDIOBi 输出通过 TRDGRBi 寄存器的值和 TRDGRDi 寄存器的值两者来控制

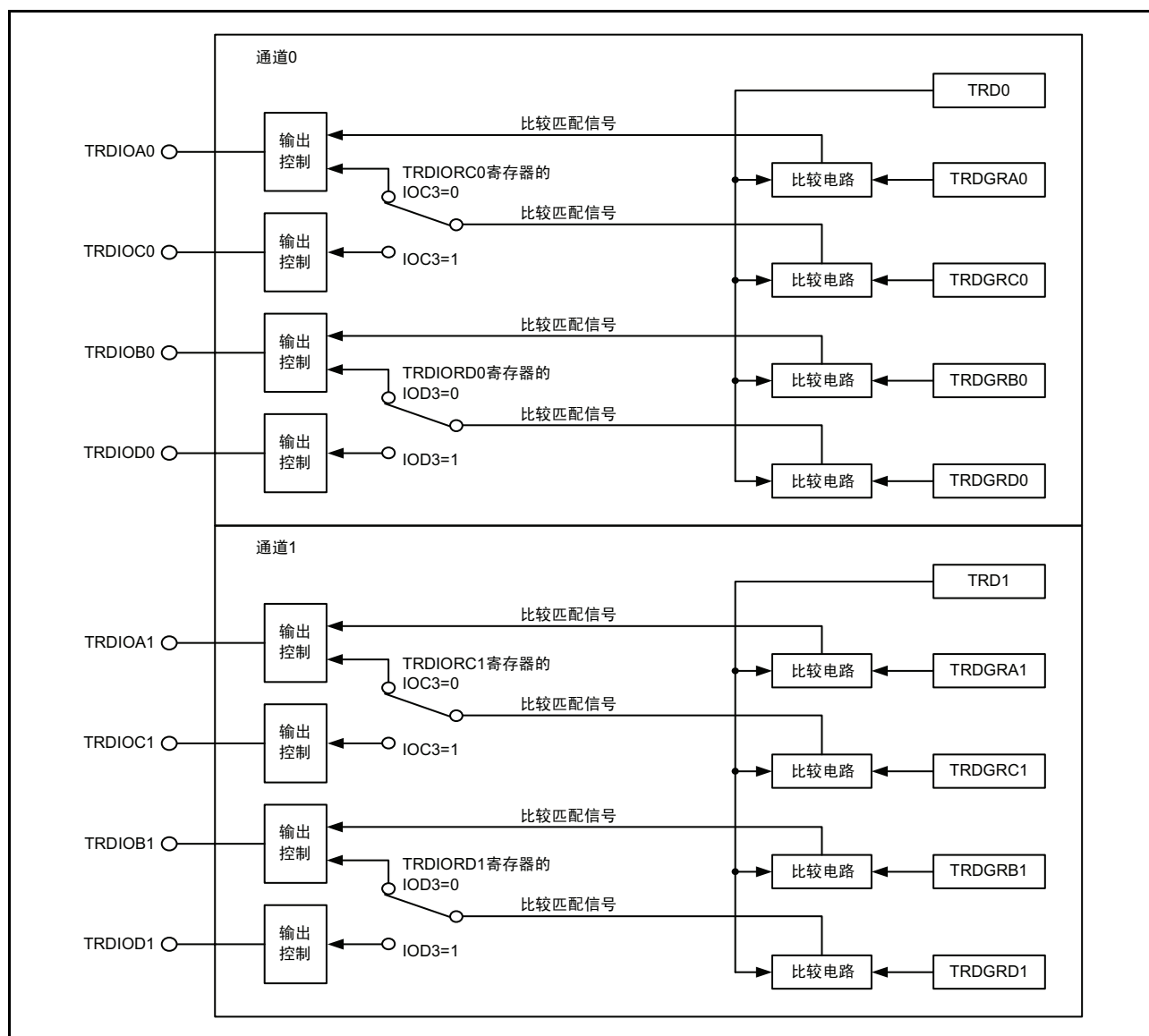


图 15.60 更改 TRDGRCi、TRDGRDi 的输出引脚

更改 TRDGRCi、TRDGRDi 寄存器的输出引脚时，必须如下操作

- 通过 TRDIORCi 寄存器的 IOj3 (j=C 或 D) 位选择 “0” (更改 TRDGRji 寄存器输出引脚)。
- 将 TRDMR 寄存器的 BFji 位清 “0” (通用寄存器)。
- TRDGRAi 寄存器和 TRDGRCi 寄存器设定不同值。另外 TRDGRBi 寄存器和 TRDGRDi 寄存器设定不同值。

TRDGRCi 寄存器用于 TRDIOAi 引脚的输出控制、TRDGRDi 寄存器用于 TRDIOBi 引脚的输出控制时的运行例子如图 15.61 所示。

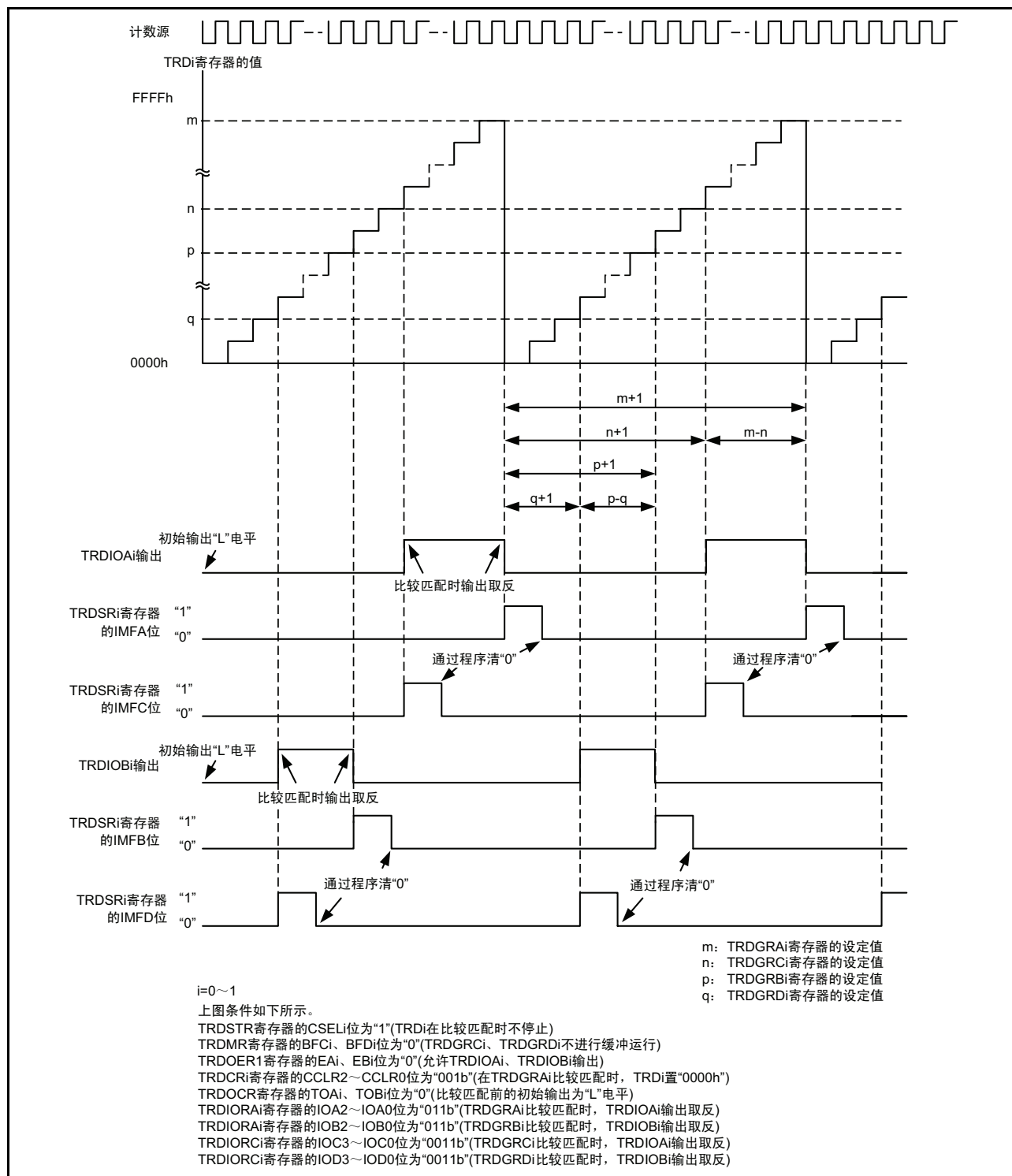


图 15.61 TRDGRCi 用作 TRDIOAi 引脚的输出控制，TRDGRDi 用作 TRDIOBi 引脚的输出控制时的运行例子

15.3.7 PWM 模式

是输出 PWM 波形模式。在 1 个通道中，最多能输出 3 个同周期的 PWM 波形。通过使通道 0、1 同步，最多可以输出 6 个同周期的 PWM 波形。

通过 TRDIOj_i (i=0 ~ 1、j=B、C、D) 引脚和 TRDGRj_i 寄存器的组合才能实现功能，所以对每一个引脚都能选择用于 PWM 模式或用于其他模式、功能（不过，任何引脚用于 PWM 模式时都要使用 TRDGRA_i 寄存器，所以 TRDGRA_i 寄存器不能用于其他模式）。

PWM 模式的框图如图 15.62 所示，PWM 模式的规格如表 15.27 所示，PWM 模式相关寄存器如图 15.63 ~ 图 15.71 所示，PWM 模式的运行例子如图 15.72 ~ 图 15.73 所示。

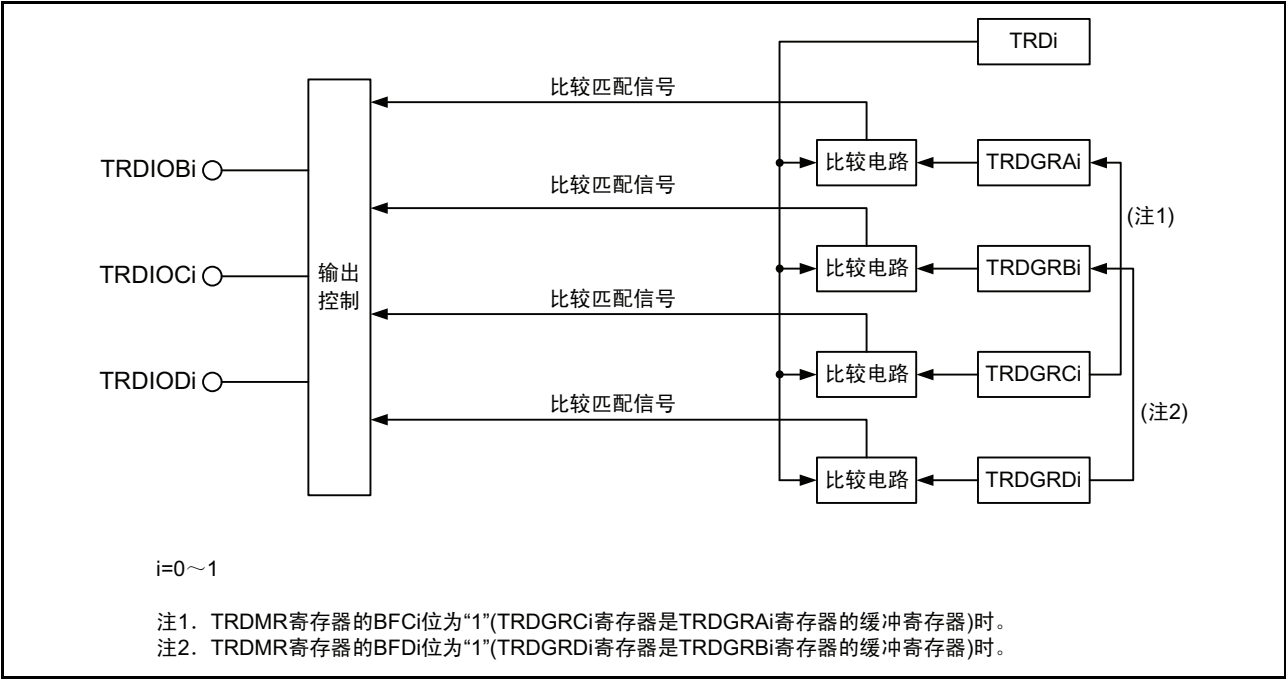
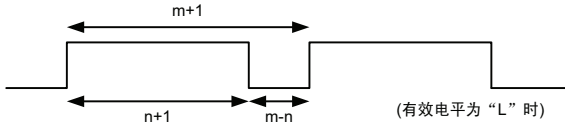


图 15.62 PWM 模式的框图

表 15.27 PWM 模式的规格

项目	规格
计数源	f1、f2、f4、f8、f32、fOCO40M 输入到 TRDCLK 引脚的外部信号（通过程序选择有效边沿）
计数运行	递增计数
PWM 波形	PWM 周期: $1/fk \times (m+1)$ 有效电平宽度: $1/fk \times (m-n)$ 无效电平宽度: $1/fk \times (n+1)$ fk: 计数源的频率 m: TRDGRAi 寄存器的设定值 n: TRDGRji 寄存器的设定值  (有效电平为“L”时)
计数开始条件	对 TRDSTR 寄存器的 TSTARTi 位写“1”（开始计数）
计数停止条件	- TRDSTR 寄存器的 CSELi 位设定为“1”时，对 TSTARTi 位写“0”（停止计数） PWM 输出引脚保持停止计数前的输出电平 - 如果 TRDSTR 寄存器的 CSELi 位为“0”，在 TRDGRAi 比较匹配时，停止计数 PWM 输出引脚保持通过比较匹配输出变化后的电平
中断请求产生时序	- 比较匹配（TRDi 寄存器和 TRDGRji 寄存器的内容匹配） - TRDi 上溢
TRDIOA0 引脚功能	可编程输入 / 输出端口或 TRDCLK（外部时钟）输入
TRDIOA1 引脚功能	可编程输入 / 输出端口
TRDIOB0、TRDIOC0、 TRDIOD0、TRDIOB1、 TRDIOC1、TRDIOD1 引脚功能	可编程输入 / 输出端口或 PWM 输出（对每个引脚选择）
INT0 引脚功能	可编程输入 / 输出端口、脉冲输出强制截止信号输入或 INT0 中断输入
读定时器	如果读 TRDi 寄存器，就能读取计数值
写定时器	能写入 TRDi 寄存器
选择功能	1 个通道选择 1 ~ 3 个 PWM 输出引脚 TRDIOBi、TRDIOCi、TRDIODi 引脚的任何一个或多个 - 对每个引脚选择有效电平 - 对每个引脚选择初始输出电平 - 同步运行（参照“15.3.3 同步运行”） - 缓冲器运行（参照“15.3.2 缓冲器运行”） - 脉冲输出强制截止信号输入（参照“15.3.4 脉冲输出强制截止”）

i=0 ~ 1、j=B、C、D 中的任何一个、h=A、B、C、D 中的任何一个

定时器RD开始寄存器(注1)

符号	地址	复位后的值
TRDSTR	地址0137h	11111100b
位符号	位名	功能
TSTART0	TRD0计数开始标志(注4)	0: 停止计数(注2) 1: 开始计数
TSTART1	TRD1计数开始标志(注5)	0: 停止计数(注3) 1: 开始计数
CSEL0	TRD0计数运行选择位	0: 在与TRDGRA0寄存器比较匹配时停止计数 1: 在与TRDGRA0寄存器比较匹配时继续计数
CSEL1	TRD1计数运行选择位	0: 在与TRDGRA1寄存器比较匹配时停止计数 1: 在与TRDGRA1寄存器比较匹配时继续计数
— (b7-b4)	什么也不指定。只能写“0”。 读时值为“1”。	—

注1. 必须使用MOV指令写TRDSTR寄存器(不要使用位处理指令)。请参照定时器RD使用时的注意事项“15.3.12.1 TRDSTR寄存器”。

注2. CSEL0位被设定为“1”时, 必须对TSTART0位写入“0”。

注3. CSEL1位被设定为“1”时, 必须对TSTART1位写入“0”。

注4. 在CSEL0位为“0”且产生比较匹配信号(TRDIOA0)时, 为“0”(停止计数)。

注5. 在CSEL1位为“0”且产生比较匹配信号(TRDIOA1)时, 为“0”(停止计数)。

定时器RD模式寄存器

符号	地址	复位后的值
TRDMR	地址0138h	00001110b
位符号	位名	功能
SYNC	定时器RD同步位	0: TRD0和TRD1独立运行 1: TRD0和TRD1同步运行
— (b3-b1)	什么也不指定。只能写“0”。 读时值为“1”。	—
BFC0	TRDGRC0寄存器功能选择位	0: 通用寄存器 1: TRDGRA0寄存器的缓冲寄存器
BFD0	TRDGRD0寄存器功能选择位	0: 通用寄存器 1: TRDGRB0寄存器的缓冲寄存器
BFC1	TRDGRC1寄存器功能选择位	0: 通用寄存器 1: TRDGRA1寄存器的缓冲寄存器
BFD1	TRDGRD1寄存器功能选择位	0: 通用寄存器 1: TRDGRB1寄存器的缓冲寄存器

图 15.63 PWM 模式时的 TRDSTR、TRDMR 寄存器

定时器RD PWM模式寄存器

b7 b6 b5 b4 b3 b2 b1 b0							
		符号		地址		复位后的值	
TRDPMR		地址0139h		10001000b			
位符号	位名	功能		RW			
PWMB0	TRDIOB0 PWM模式选择位	0: 定时器模式 1: PWM模式		RW			
PWMC0	TRDIOC0 PWM模式选择位	0: 定时器模式 1: PWM模式		RW			
PWMD0	TRDIOD0 PWM模式选择位	0: 定时器模式 1: PWM模式		RW			
— (b3)	什么也不指定。只能写“0”。 读时值为“1”。			—			
PWMB1	TRDIOB1 PWM模式选择位	0: 定时器模式 1: PWM模式		RW			
PWMC1	TRDIOC1 PWM模式选择位	0: 定时器模式 1: PWM模式		RW			
PWMD1	TRDIOD1 PWM模式选择位	0: 定时器模式 1: PWM模式		RW			
— (b7)	什么也不指定。只能写“0”。 读时值为“1”。			—			

定时器RD功能控制寄存器

b7 b6 b5 b4 b3 b2 b1 b0							
符号		地址		复位后的值			
TRDFCR		地址013Ah		10000000b			
位符号	位名	功能		RW			
CMD0	联合模式选择位 (注1)	在PWM模式中必须置“00b” (定时器模式、PWM模式、PWM3模式)。		RW			
CMD1				RW			
OLS0	正相位输出电平选择位 (复位同步PWM模式或互补PWM模式时)	在PWM模式中无效。		RW			
OLS1	反相位输出电平选择位 (复位同步PWM模式或互补PWM模式时)	在PWM模式中无效。		RW			
ADTRG	A/D触发允许位 (互补PWM模式时)	在PWM模式中无效。		RW			
ADEG	A/D触发边沿选择位 (互补PWM模式时)	在PWM模式中无效。		RW			
STCLK	外部时钟输入选择位	0: 外部时钟输入无效 1: 外部时钟输入有效		RW			
PWM3	PWM3模式选择位 (注2)	在PWM模式中必须置“1” (PWM3模式以外)。		RW			

注1. 必须在TRDSTR寄存器的TSTART0、TSTART1位都为“0”(停止计数)时写CMD1~CMD0位。

注2. CMD1~CMD0位为“00b”(定时器模式、PWM模式、PWM3模式)时，PWM3位的设定有效。

图 15.64 PWM 模式时的 TRDPMR、TRDFCR 寄存器

定时器RD输出主允许寄存器1

b7 b6 b5 b4 b3 b2 b1 b0	符号 TRDOER1	地址 地址013Bh	复位后的值 FFh	
	位符号	位名	功能	RW
	EA0	TRDIOA0输出禁止位	在PWM模式中，必须置“1”(TRDIOA0引脚为可编程输入/输出端口)。	RW
	EB0	TRDIOB0输出禁止位	0: 允许输出 1: 禁止输出(TRDIOB0引脚为可编程输入/输出端口)	RW
	EC0	TRDIOC0输出禁止位	0: 允许输出 1: 禁止输出(TRDIOC0引脚为可编程输入/输出端口)	RW
	ED0	TRDIOD0输出禁止位	0: 允许输出 1: 禁止输出(TRDIOD0引脚为可编程输入/输出端口)	RW
	EA1	TRDIOA1输出禁止位	在PWM模式中，必须置“1”(TRDIOA1引脚为可编程输入/输出端口)。	RW
	EB1	TRDIOB1输出禁止位	0: 允许输出 1: 禁止输出(TRDIOB1引脚为可编程输入/输出端口)	RW
	EC1	TRDIOC1输出禁止位	0: 允许输出 1: 禁止输出(TRDIOC1引脚为可编程输入/输出端口)	RW
	ED1	TRDIOD1输出禁止位	0: 允许输出 1: 禁止输出(TRDIOD1引脚为可编程输入/输出端口)	RW

定时器RD输出主允许寄存器2

b7 b6 b5 b4 b3 b2 b1 b0	符号 TRDOER2	地址 地址013Ch	复位后的值 01111111b	
	位符号	位名	功能	RW
	— (b6-b0)	什么也不指定。只能写“0”。 读时值为“1”。		—
	PTO	脉冲输出强制截止信号 输入INT0有效位 (注1)	0: 脉冲输出强制截止输入无效 1: 脉冲输出强制截止输入有效 (在INT0引脚输入“L”电平时，TRDOER1寄存器的全部位为“1”(禁止输出))	RW

注1. 参照“15.3.4 脉冲输出强制截止”。

图 15.65 PWM 模式时的 TRDOER1 ~ TRDOER2 寄存器

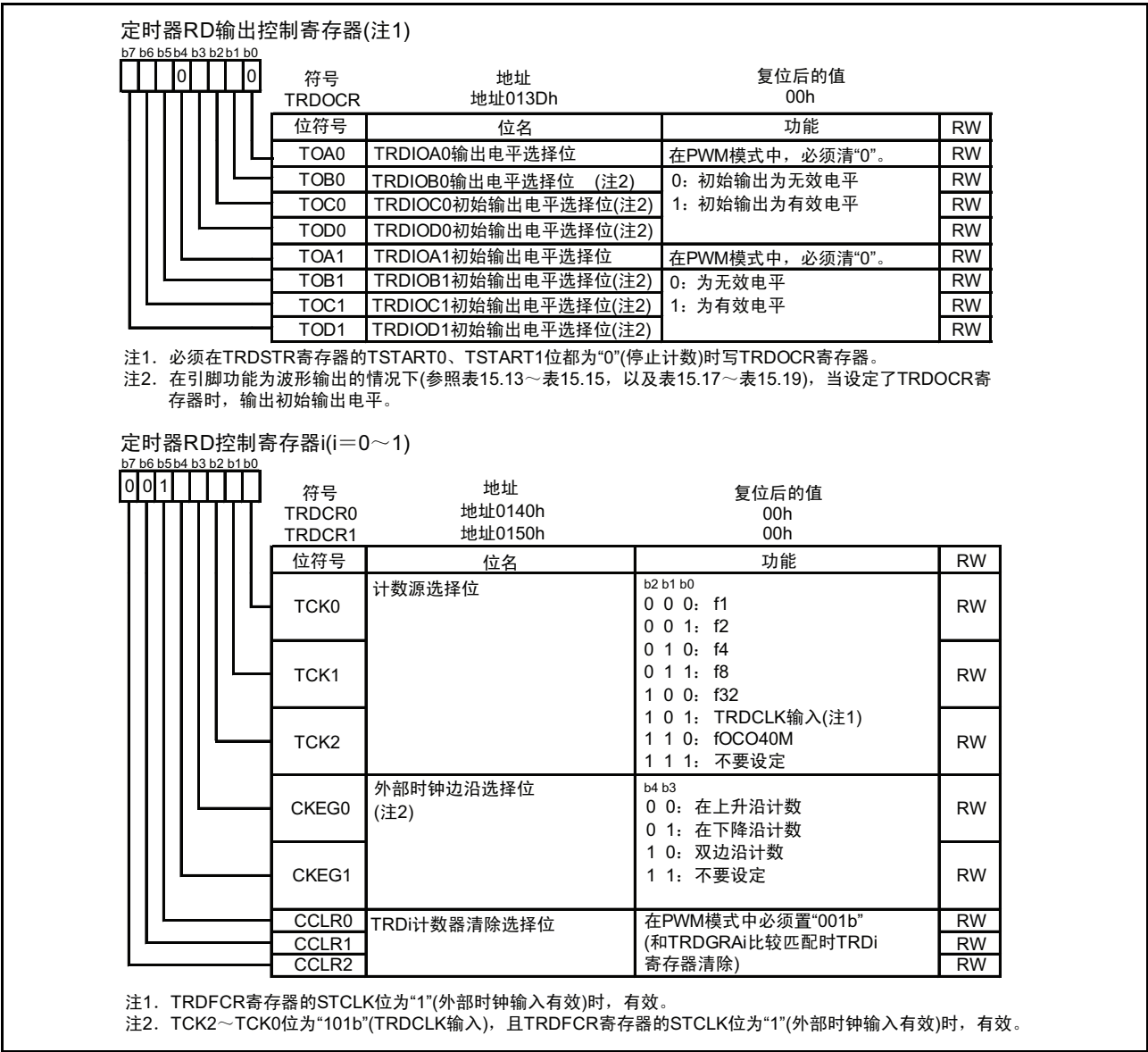


图 15.66 PWM 模式时的 TRDOCR、TRDCR0 ~ TRDCR1 寄存器

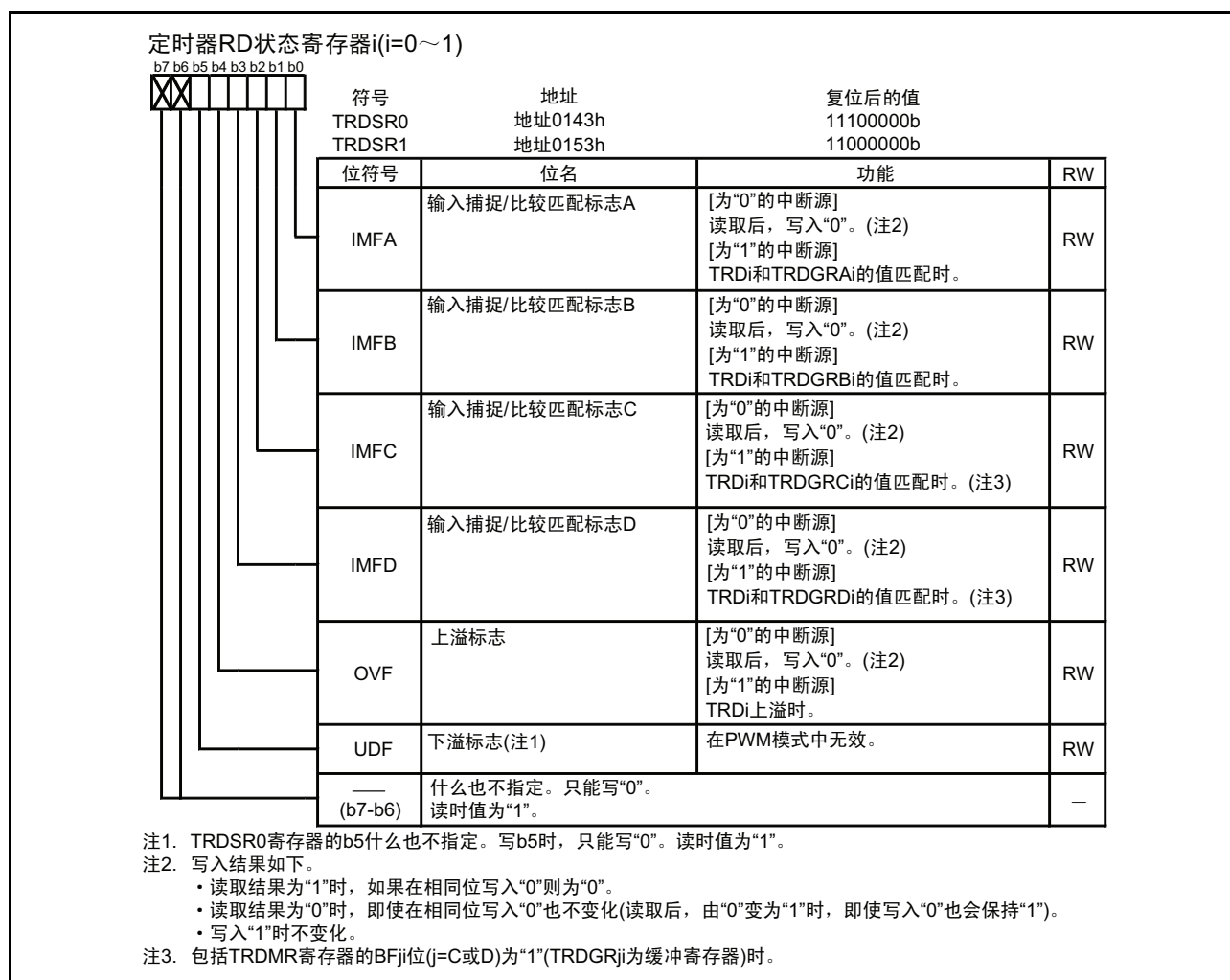


图 15.67 PWM 模式时的 TRDSR0 ~ TRDSR1 寄存器

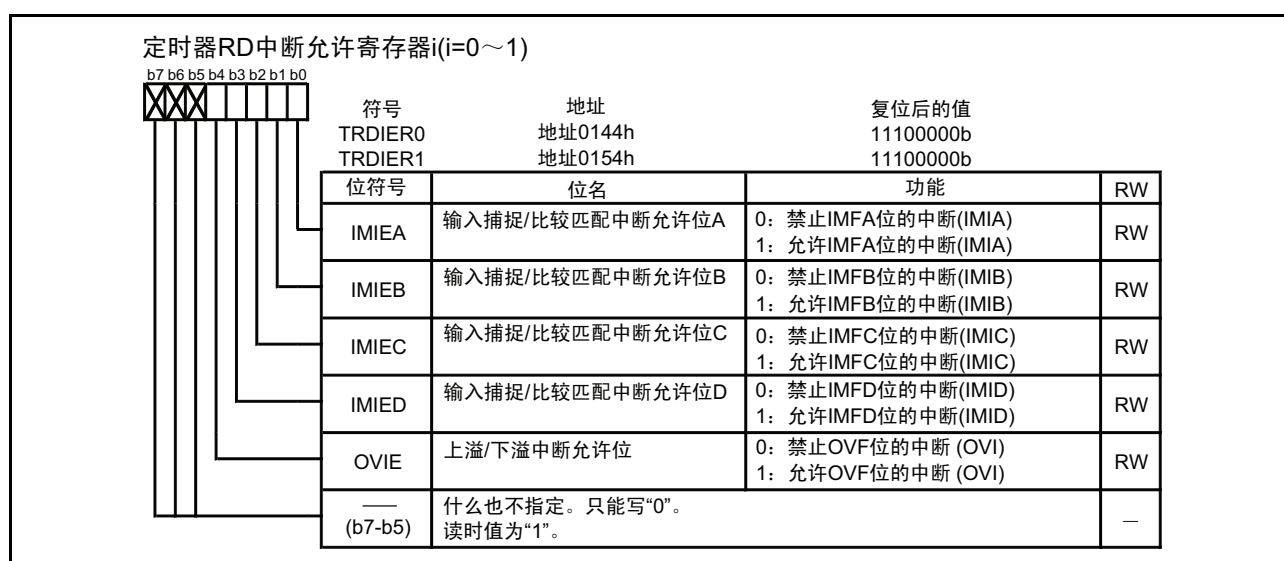


图 15.68 PWM 模式时的 TRDIER0 ~ TRDIER1 寄存器

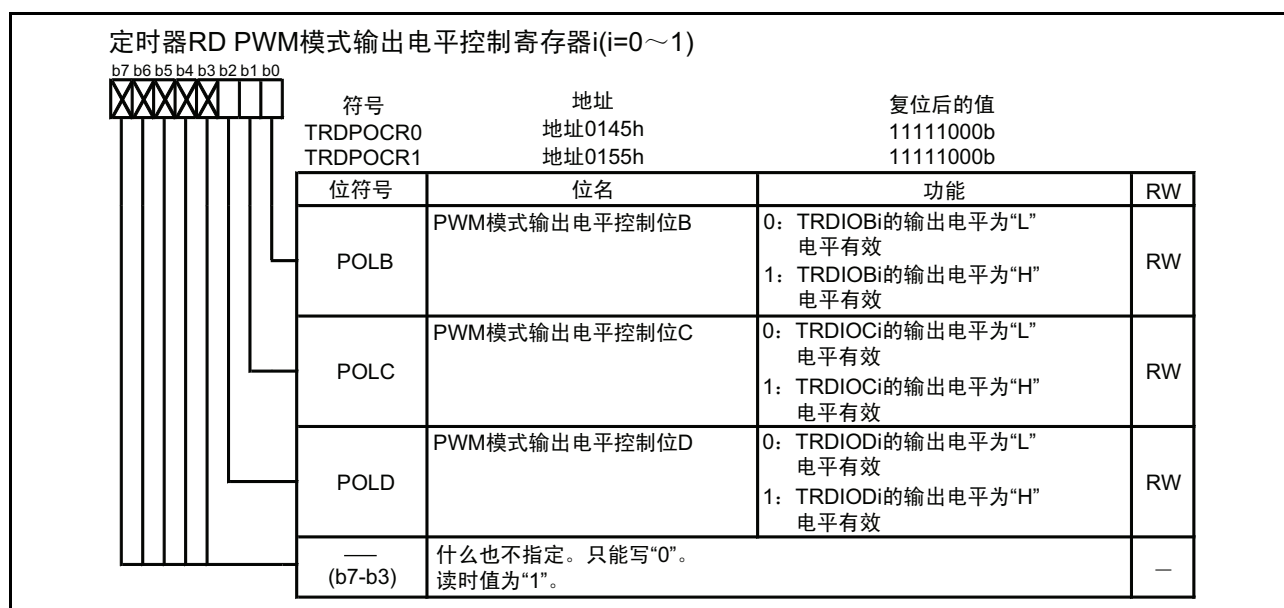


图 15.69 PWM 模式时的 TRDPOCR0 ~ TRDPOCR1 寄存器

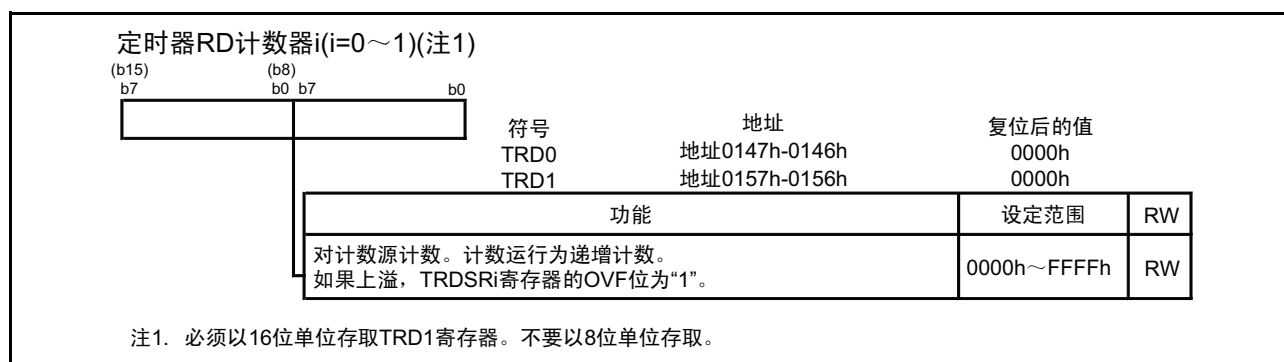


图 15.70 PWM 模式时的 TRD0 ~ TRD1 寄存器

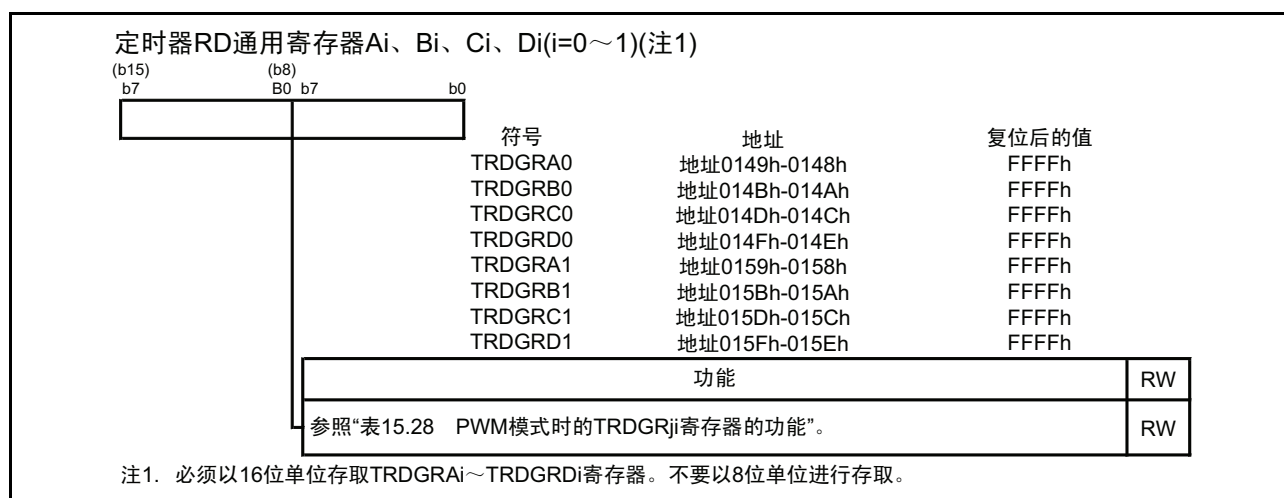


图 15.71 PWM 模式时的 TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi 寄存器

在 PWM 模式中，以下寄存器无效

TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDIORA1、TRDIORC1

表 15.28 PWM 模式时的 TRDGRji 寄存器的功能

寄存器	设定	功能	PWM 输出引脚
TRDGRAi	—	通用寄存器。必须设定 PWM 周期	—
TRDGRBi	—	通用寄存器。必须设定 PWM 输出的变化点	TRDIOBi
TRDGRCi	BFCi=0	通用寄存器。必须设定 PWM 输出的变化点	TRDIOCi
TRDGRDi	BFDi=0		TRDIODi
TRDGRCi	BFCi=1	缓冲寄存器。必须设定下一个 PWM 周期 (参照 “15.3.2 缓冲器运行”)	—
TRDGRDi	BFDi=1	缓冲寄存器。必须设定下一个 PWM 输出的变化点 (参照 “15.3.2 缓冲器运行”)	TRDIOBi

i=0 ~ 1

BFCi、BFDi: TRDMR 寄存器的位

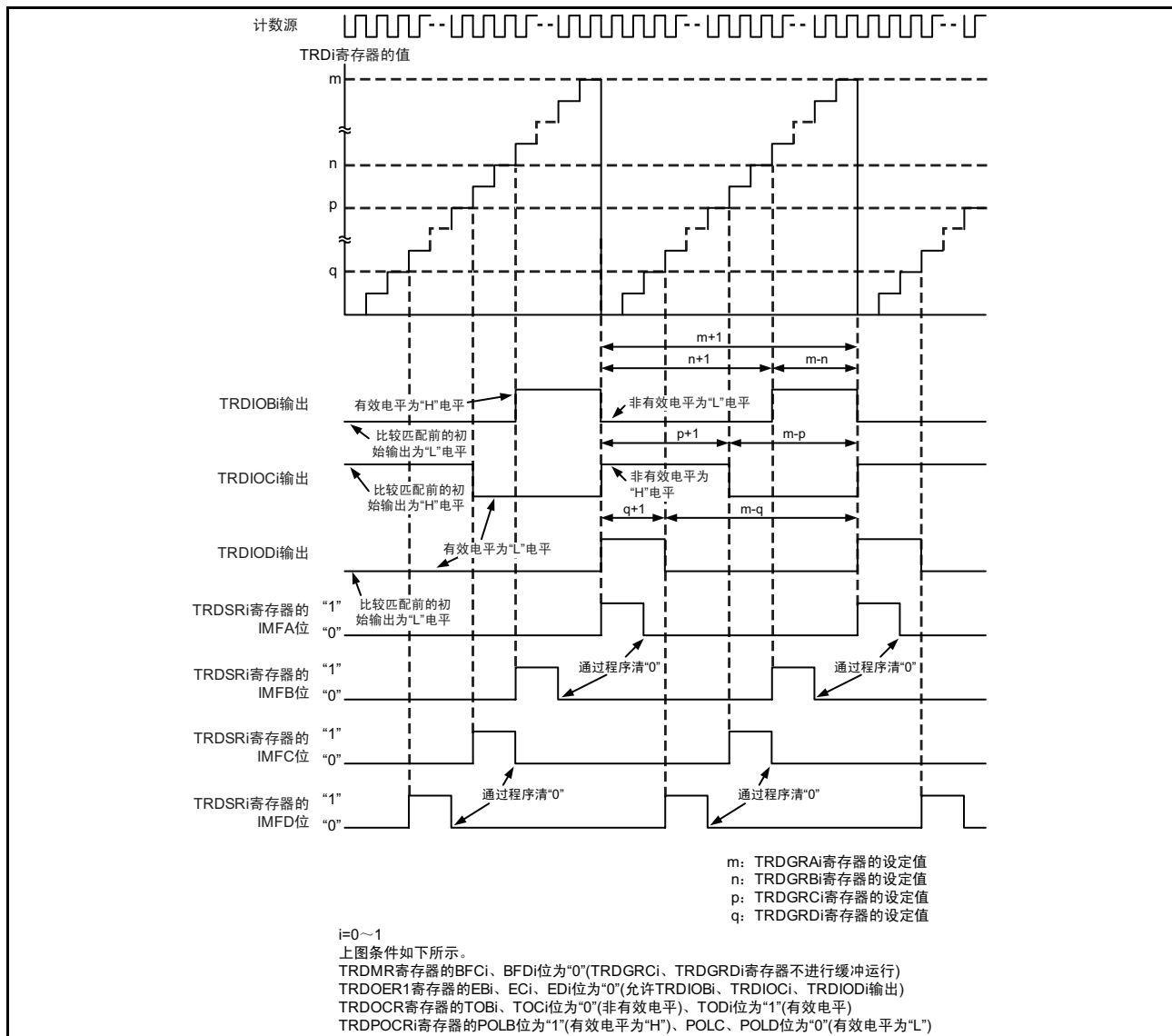


图 15.72 PWM 模式的运行例子

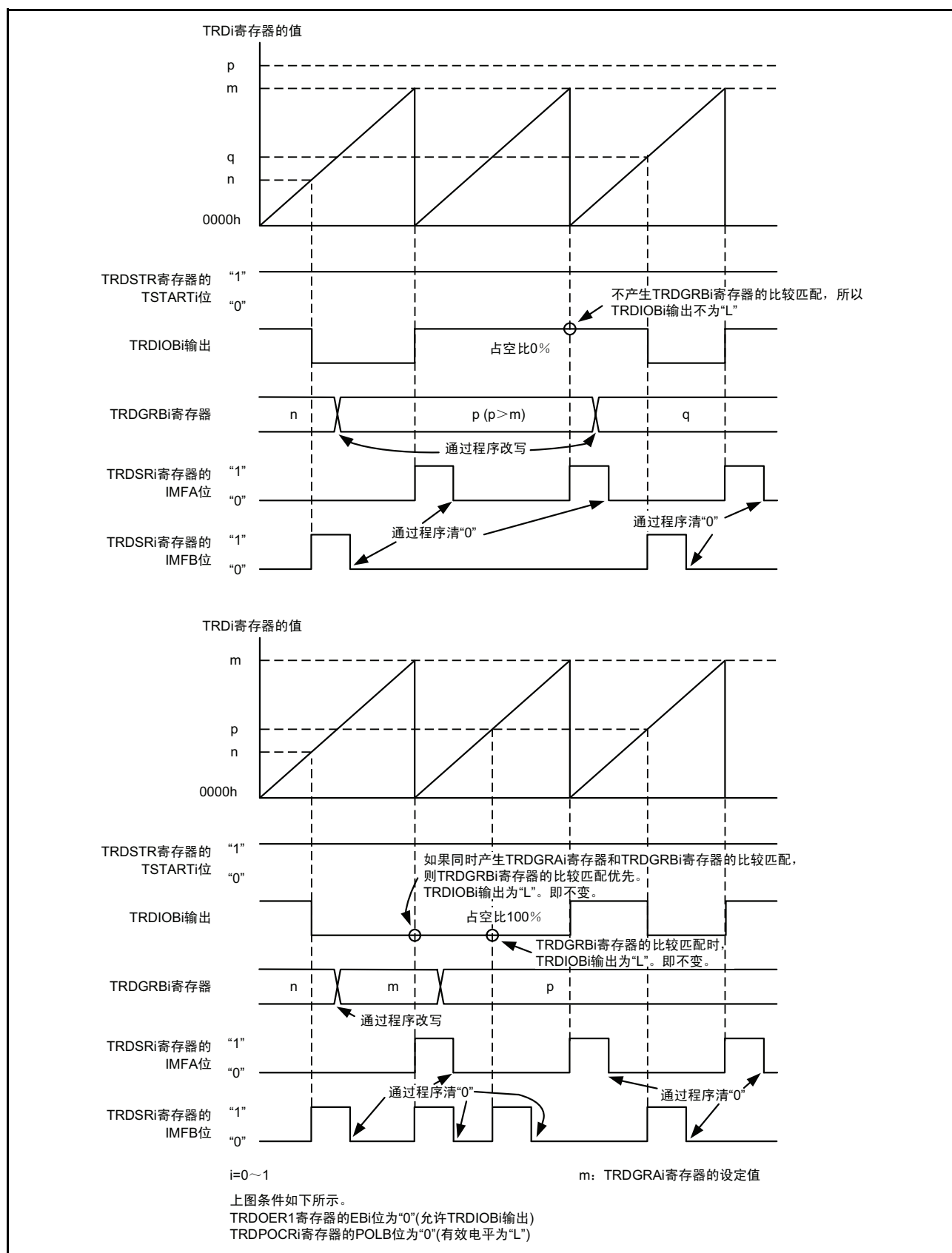


图 15.73 PWM 模式的运行例子 (占空比 0%、占空比 100%)

15.3.8 复位同步 PWM 模式

输出 3 个正相位 3 个反相位共 6 个同周期的 PWM 波形（三相、锯齿波调制、无死区时间）。

复位同步 PWM 模式的框图如图 15.74 所示，复位同步 PWM 模式的规格如表 15.29 所示，复位同步 PWM 模式相关寄存器如图 15.75 ~ 图 15.82 所示，复位同步 PWM 模式的运行实例如图 15.83 所示。

占空比 0%、100% 的 PWM 运行例子参照“图 15.73 PWM 模式的运行例子 (占空比 0%、占空比 100%)”。

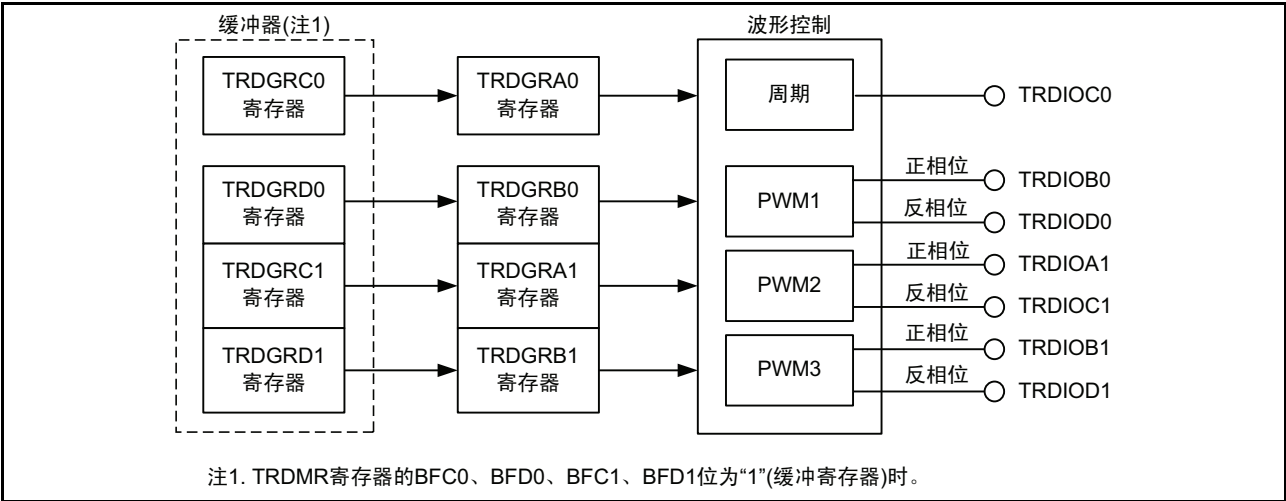


图 15.74 复位同步 PWM 模式的框图

表 15.29 复位同步 PWM 模式的规格

项目	规格
计数源	f1、f2、f4、f8、f32、fOCO40M 输入到 TRDCLK 引脚的外部信号（可通过程序选择有效边沿）
计数运行	TRD0 递增计数（不使用 TRD1）
PWM 波形	PWM 周期 : $1/f_k \times (m+1)$ 正相位有效电平宽度 : $1/f_k \times (m-n)$ 反相位有效电平宽度 : $1/f_k \times (n+1)$ f_k: 计数源的频率 m: TRDGRA0 寄存器的设定值 n: TRDGRB0 寄存器的设定值（PWM 输出 1） TRDGRA1 寄存器的设定值（PWM 输出 2） TRDGRB1 寄存器的设定值（PWM 输出 3） (有效电平为“L”时)
计数开始条件	对 TRDSTR 寄存器的 TSTART0 位写“1”（开始计数）
计数停止条件	- TRDSTR 寄存器的 CSEL0 位设定为“1”时，对 TSTART0 位写“0”（停止计数） PWM 输出引脚保持停止计数前的输出电平 - 如果 TRDSTR 寄存器的 CSEL0 位为“0”，在 TRDGRA0 比较匹配时，停止计数 PWM 输出引脚保持通过比较匹配输出变化后的电平
中断请求产生时序	- 比较匹配（TRD0 寄存器和 TRDGRj0、TRDGRA1、TRDGB1 寄存器的内容匹配） - TRD0 上溢
TRDIOA0 引脚功能	可编程输入 / 输出端口或 TRDCLK（外部时钟）输入
TRDIOB0 引脚功能	PWM 输出 1 正相位输出
TRDIOD0 引脚功能	PWM 输出 1 反相位输出
TRDIOA1 引脚功能	PWM 输出 2 正相位输出
TRDIOC1 引脚功能	PWM 输出 2 反相位输出
TRDIOB1 引脚功能	PWM 输出 3 正相位输出
TRDIOD1 引脚功能	PWM 输出 3 反相位输出
TRDIOC0 引脚功能	每个 PWM 周期输出取反
INT0 引脚功能	可编程输入 / 输出端口、脉冲输出强制截止信号输入或 INT0 中断输入
读定时器	如果读 TRD0 寄存器，就能读取计数值
写定时器	能写入 TRD0 寄存器
选择功能	- 分别选择正相位、反相位的有效电平和初始输出电平 - 缓冲器运行（参照“15.3.2 缓冲器运行”） - 脉冲输出强制截止信号输入（参照“15.3.4 脉冲输出强制截止”）

j=A、B、C、D 中的任何一个

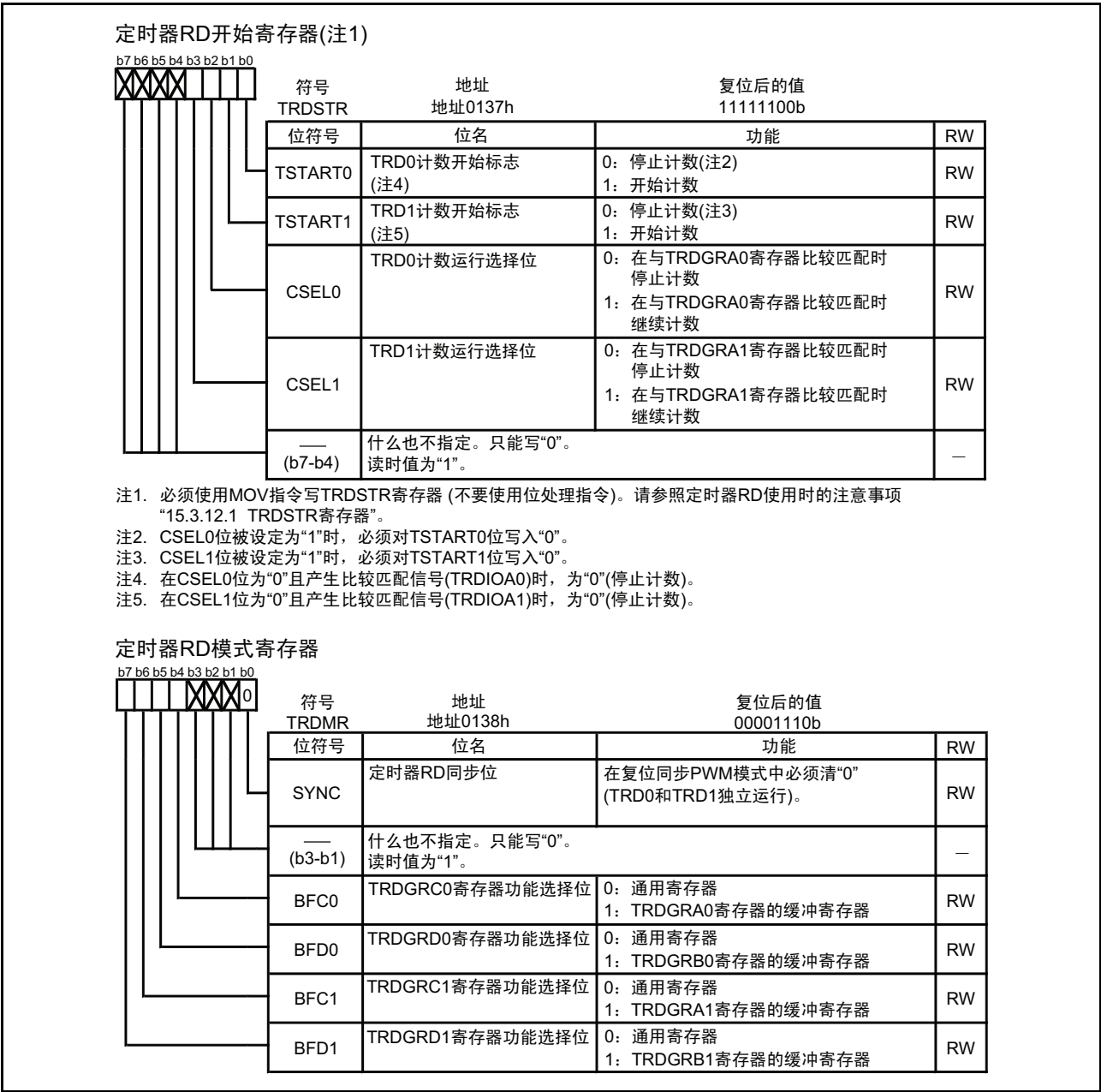


图 15.75 复位同步 PWM 模式时的 TRDSTR、TRDMR 寄存器

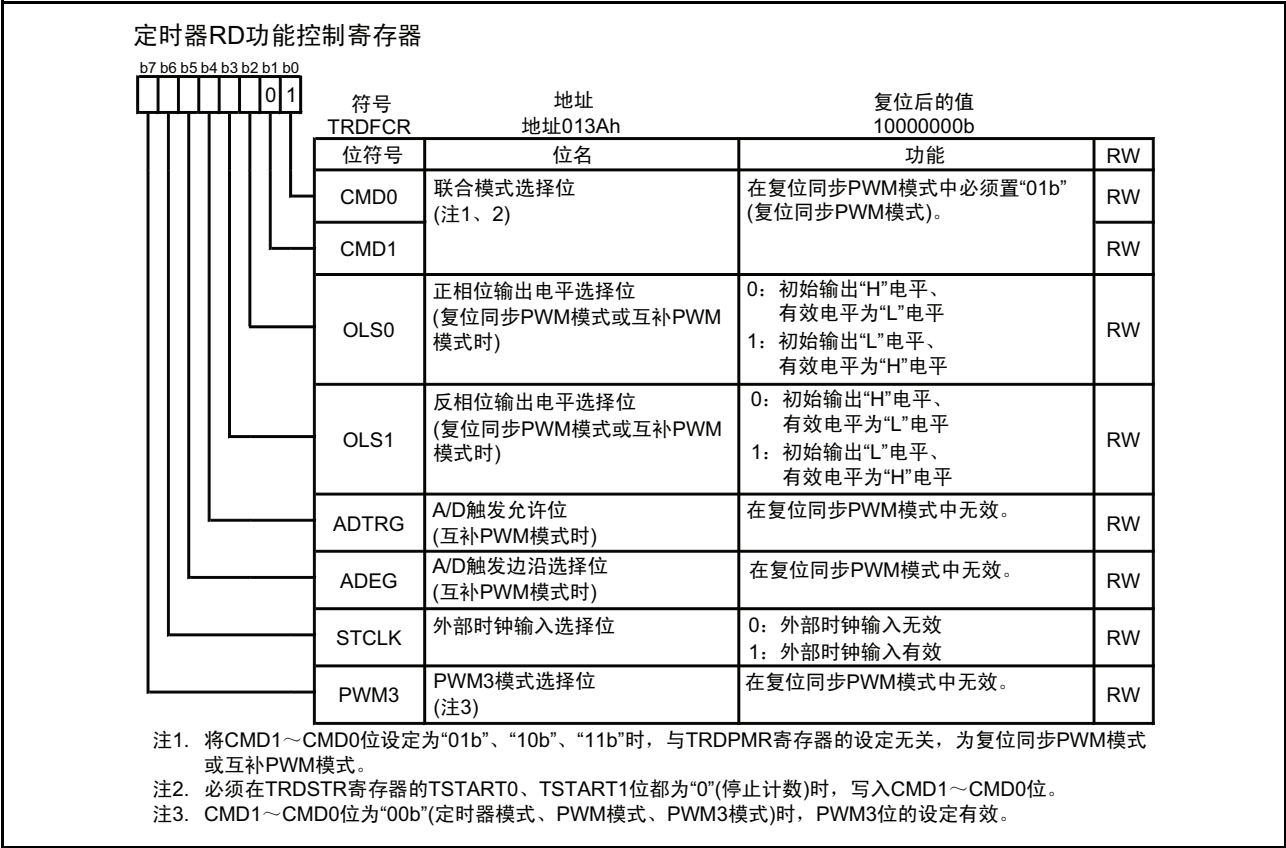


图 15.76 复位同步 PWM 模式时的 TRDFCR 寄存器

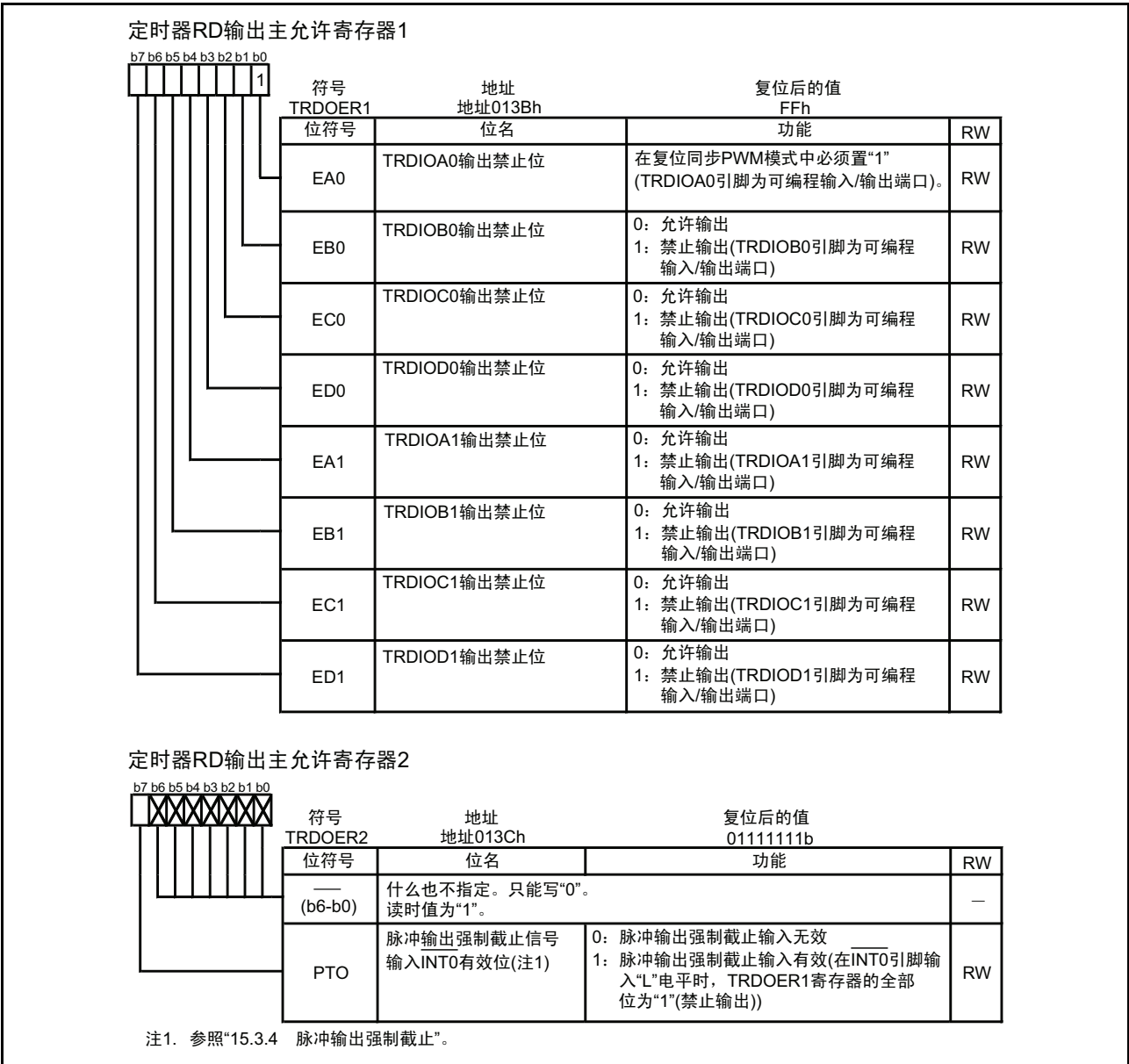


图 15.77 复位同步 PWM 模式时的 TRDOER1 ~ TRDOER2 寄存器

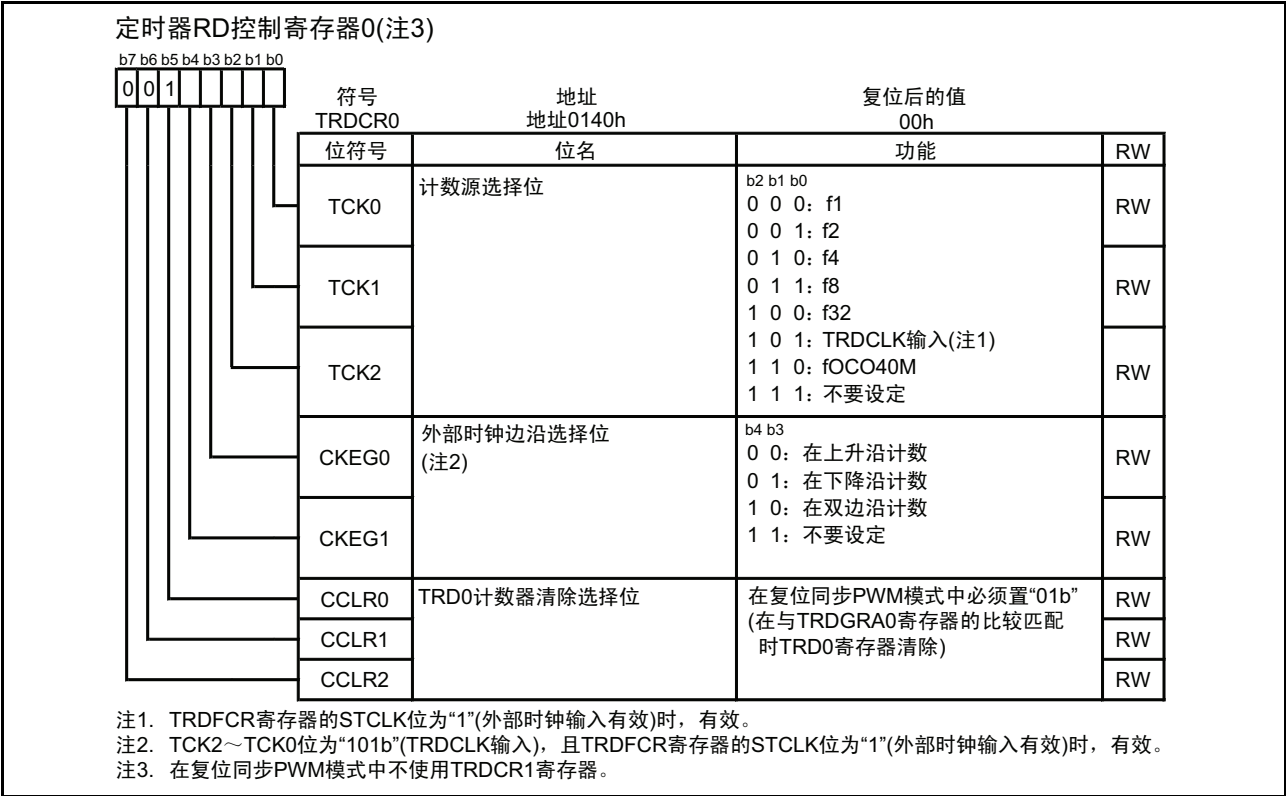


图 15.78 复位同步 PWM 模式时的 TRDCR0 寄存器

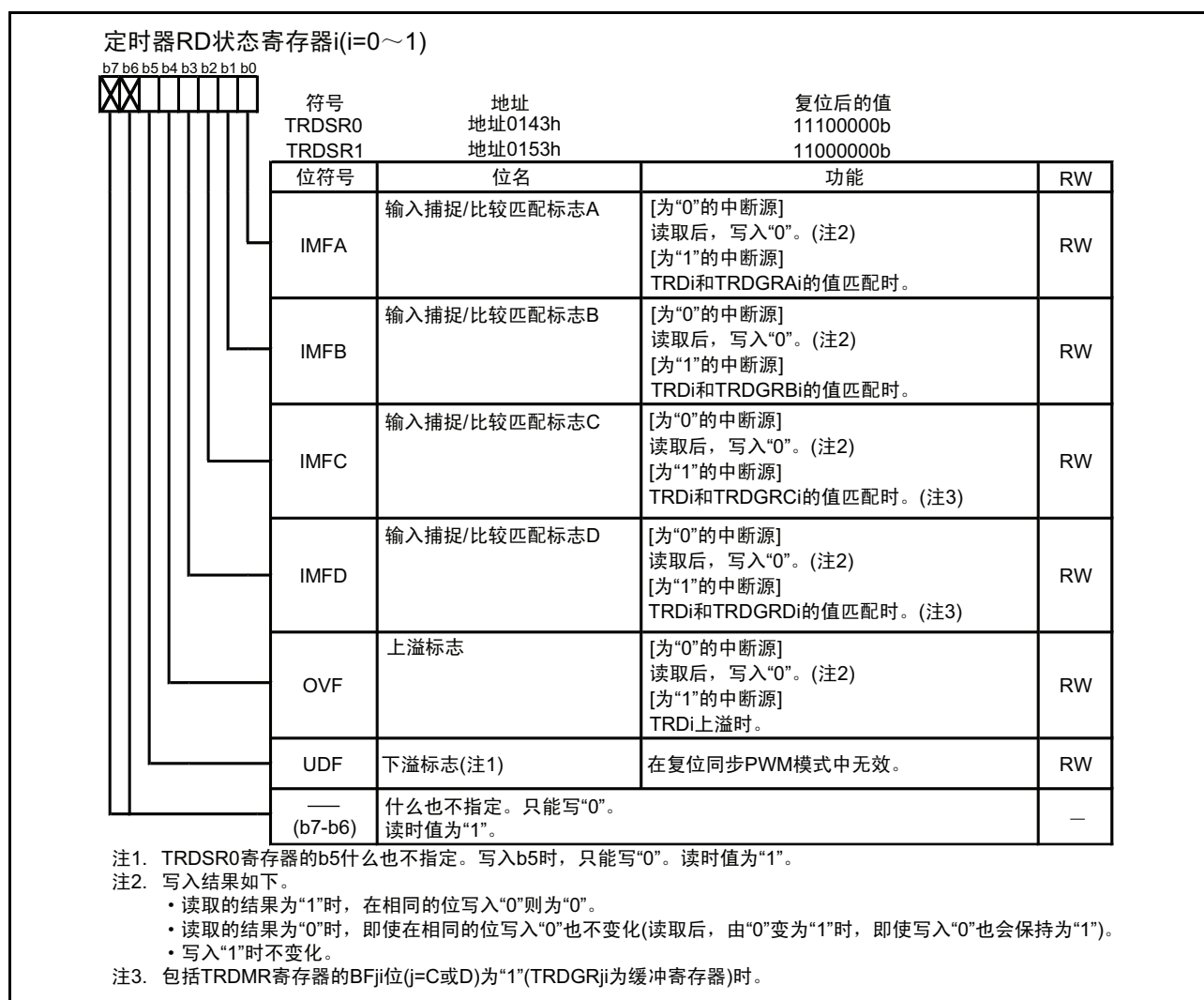


图 15.79 复位同步 PWM 模式时的 TRDSR0 ~ TRDSR1 寄存器

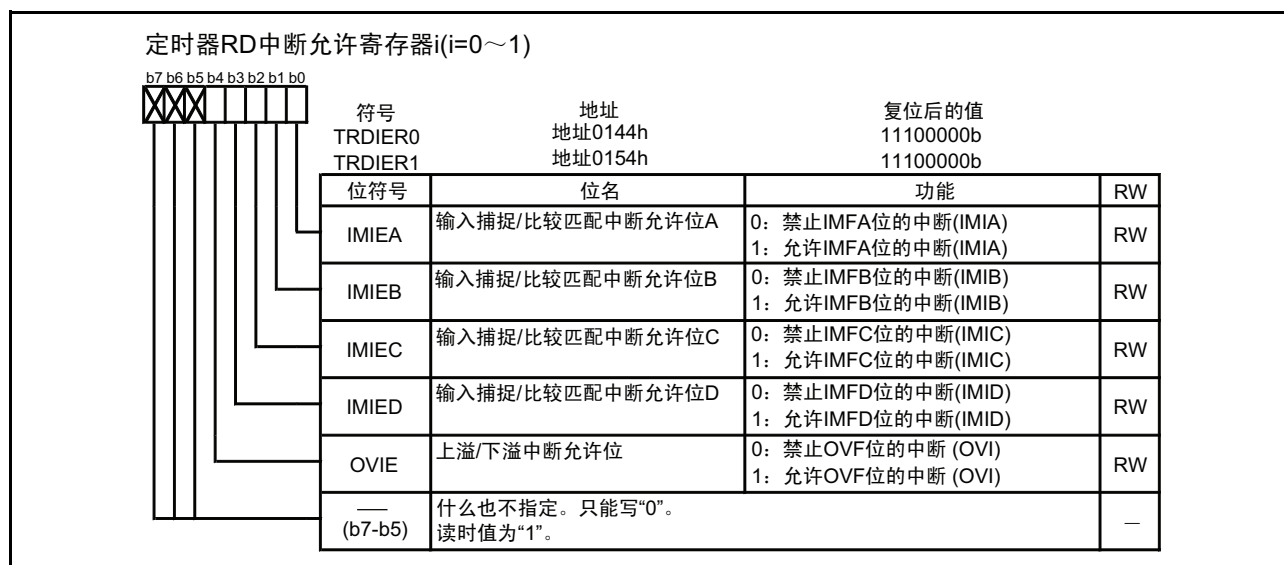


图 15.80 复位同步 PWM 模式时的 TRDIER0 ~ TRDIER1 寄存器

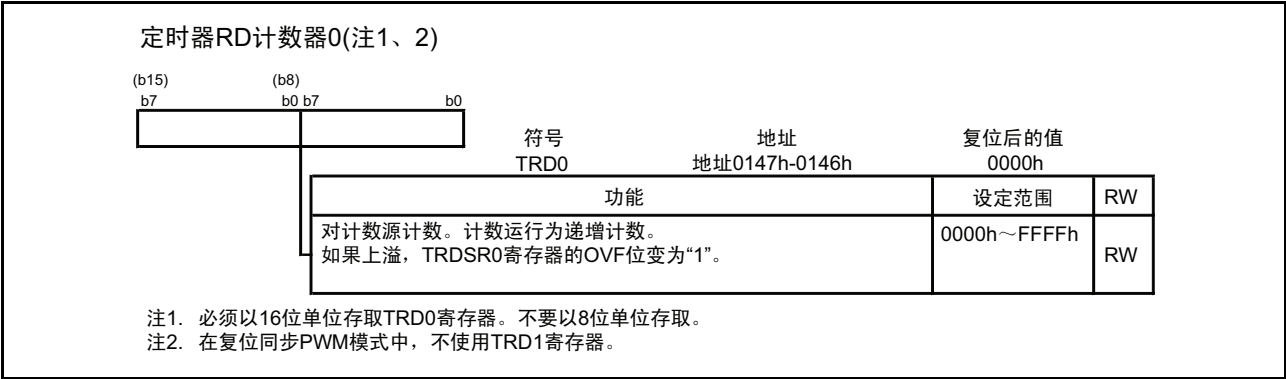


图 15.81 复位同步 PWM 模式时的 TRD0 寄存器

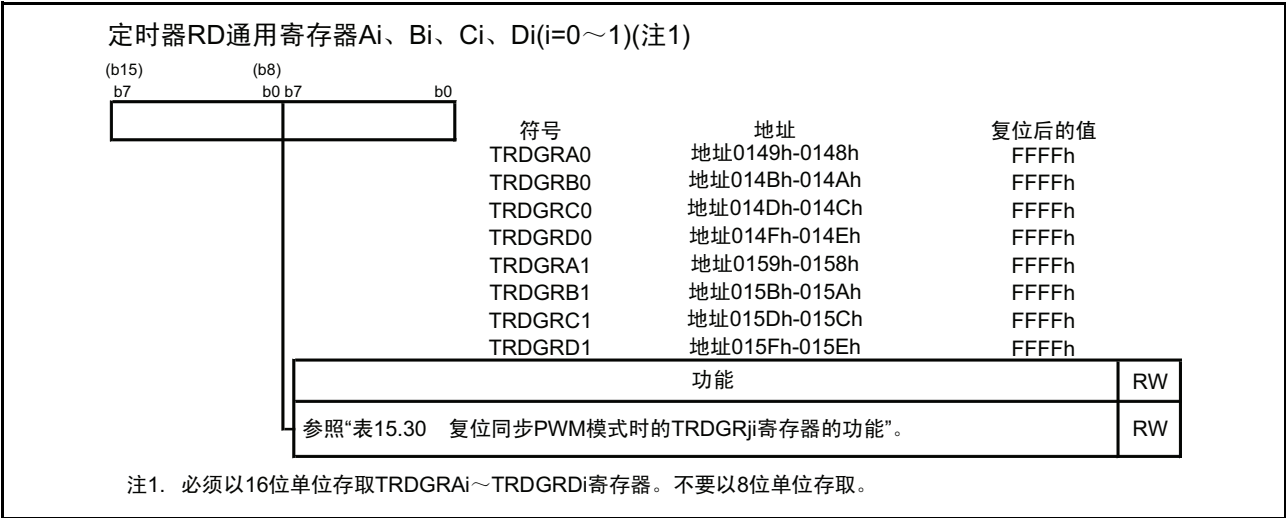


图 15.82 复位同步 PWM 模式时的 TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi 寄存器

在复位同步模式中，以下寄存器无效。

TRDPMR、TRDOCR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表 15.30 复位同步 PWM 模式时的 TRDGRji 寄存器的功能

寄存器	设定	寄存器的功能	PWM 输出引脚
TRDGRA0	—	通用寄存器。必须设定 PWM 周期。	(TRDIOC0、每隔 PWM 周期输出取反)
TRDGRB0	—	通用寄存器。必须设定 PWM1 输出的变化点。	TRDIOB0 TRDIOD0
TRDGRC0	BFC0=0	(不能在复位同步 PWM 模式中使用)	—
TRDGRD0	BFD0=0		
TRDGRA1	—	通用寄存器。必须设定 PWM2 输出的变化点。	TRDIOA1 TRDIOC1
TRDGRB1	—	通用寄存器。必须设定 PWM3 输出的变化点。	TRDIOB1 TRDIOD1
TRDGRC1	BFC1=0	(不能在复位同步 PWM 模式中使用)	—
TRDGRD1	BFD1=0		
TRDGRC0	BFC0=1	缓冲寄存器。必须设定下一个 PWM 周期。(参照“15.3.2 缓冲器运行”)。	(TRDIOC0、每隔 PWM 周期输出取反)
TRDGRD0	BFD0=1	缓冲寄存器。必须设定下一个 PWM1 输出的变化点(参照“15.3.2 缓冲器运行”)。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1=1	缓冲寄存器。必须设定下一个 PWM2 输出的变化点(参照“15.3.2 缓冲器运行”)。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1=1	缓冲寄存器。必须设定下一个 PWM3 输出的变化点(参照“15.3.2 缓冲器运行”)。	TRDIOB1 TRDIOD1

BFC0、BFD0、BFC1、BFD1: TRDMR 寄存器的位

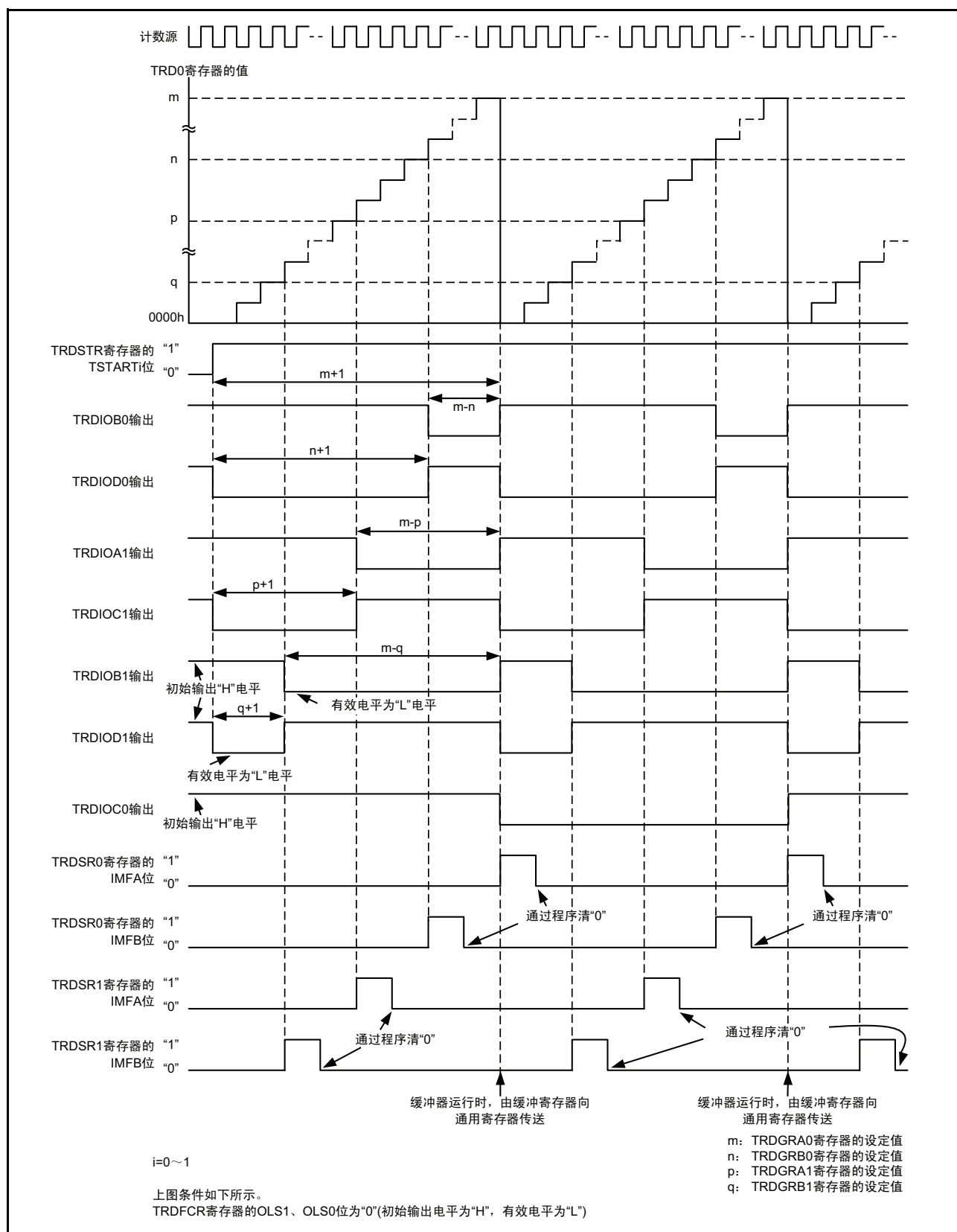


图 15.83 复位同步 PWM 模式的运行例子

15.3.9 互补 PWM 模式

输出 3 个正相位 3 个反相位共 6 个同周期的 PWM 波形（三相、三角波调制、有死区时间）

互补 PWM 模式的框图如图 15.84 所示，互补 PWM 模式的规格如表 15.31 所示，互补 PWM 模式相关寄存器如图 15.85 ～图 15.92 所示，互补 PWM 模式的输出模型如图 15.93 所示，互补 PWM 模式的运行例子如图 15.94 所示。

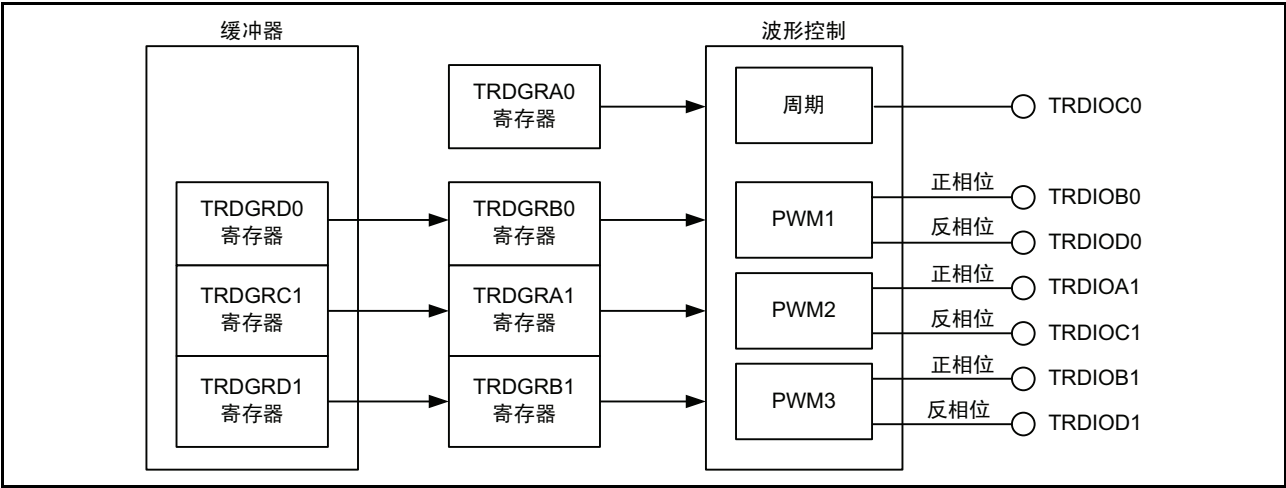


图 15.84 互补 PWM 模式的框图

表 15.31 互补 PWM 模式的规格

项目	规格
计数源	f1、f2、f4、f8、f32、fOCO40M 输入到 TRDCLK 引脚的外部信号（可过程序选择有效边沿） 必须将 TRDCR0 寄存器的 TCK2 ~ TCK0 位和 TRDCR1 寄存器的 TCK2 ~ TCK0 位设定为相同的值（相同计数源）。
计数运行	递增计数或递减计数。 递增计数中 TRD0 寄存器和 TRDGRA0 寄存器比较匹配时，TRD0、TRD1 都变成递减计数。递减计数中 TRD1 寄存器由“0000h”变为“FFFFh”时，TRD0、TRD1 都变成递增计数。
PWM 波形	PWM 周期: $1/f_k \times (m+2-p) \times 2$（注 1） 死区时间 : p 正相位有效电平宽度 : $1/f_k \times (m-n-p+1) \times 2$ 反相位有效电平宽度 : $1/f_k \times (n+1-p) \times 2$ f_k: 计数源的频率 m: TRDGRA0 寄存器的设定值 n: TRDGRB0 寄存器的设定值（PWM 输出 1） TRDGRA1 寄存器的设定值（PWM 输出 2） TRDGRB1 寄存器的设定值（PWM 输出 3） p: TRD0 寄存器的设定值 (有效电平为“L”时)
计数开始条件	对 TRDSTR 寄存器的 TSTART0 位和 TSTART1 位写“1”（开始计数）
计数停止条件	TRDSTR 寄存器的 CSEL0 位设定为“1”时，对 TSTART0 位和 TSTART1 位写“0”（停止计数）（PWM 输出引脚保持停止计数前的输出电平）
中断请求产生时序	- 比较匹配（TRDi 寄存器和 TRDGRji 寄存器的内容匹配） - TRD1 上溢
TRDIOA0 引脚功能	可编程输入 / 输出端口或 TRDCLK（外部时钟）输入
TRDIOB0 引脚功能	PWM 输出 1 正相位输出
TRDIOD0 引脚功能	PWM 输出 1 反相位输出
TRDIOA1 引脚功能	PWM 输出 2 正相位输出
TRDIOC1 引脚功能	PWM 输出 2 反相位输出
TRDIOB1 引脚功能	PWM 输出 3 正相位输出
TRDIOD1 引脚功能	PWM 输出 3 反相位输出
TRDIOC0 引脚功能	每隔 1/2 个 PWM 周期输出取反
INT0 引脚功能	可编程输入 / 输出端口、脉冲输出强制截止信号输入或 INT0 中断输入
读定时器	如果读 TRDi 寄存器，就能读取计数值
写定时器	写入 TRDi 寄存器
选择功能	- 脉冲输出强制截止信号输入（参照“15.3.4 脉冲输出强制截止”） - 分别选择正相位、反相位的有效电平和初始输出电平 - 选择从缓冲寄存器的传送时序 - 产生 A/D 触发

i=0 ~ 1、j=A、B、C、D 中的任何一个

注 1. 开始计数后，PWM 周期是固定的。

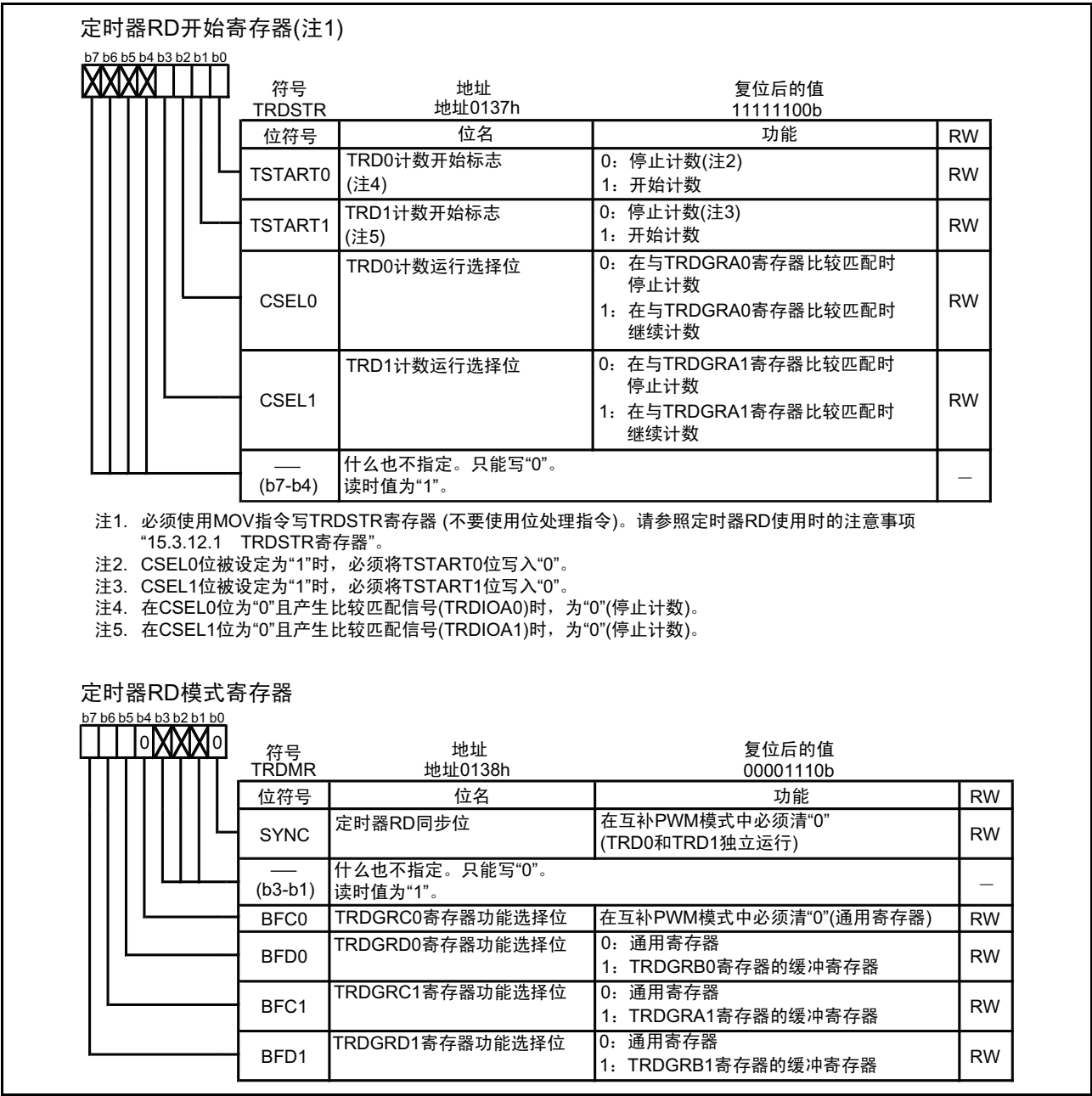


图 15.85 互补 PWM 模式的 TRDSTR、TRDMR 寄存器

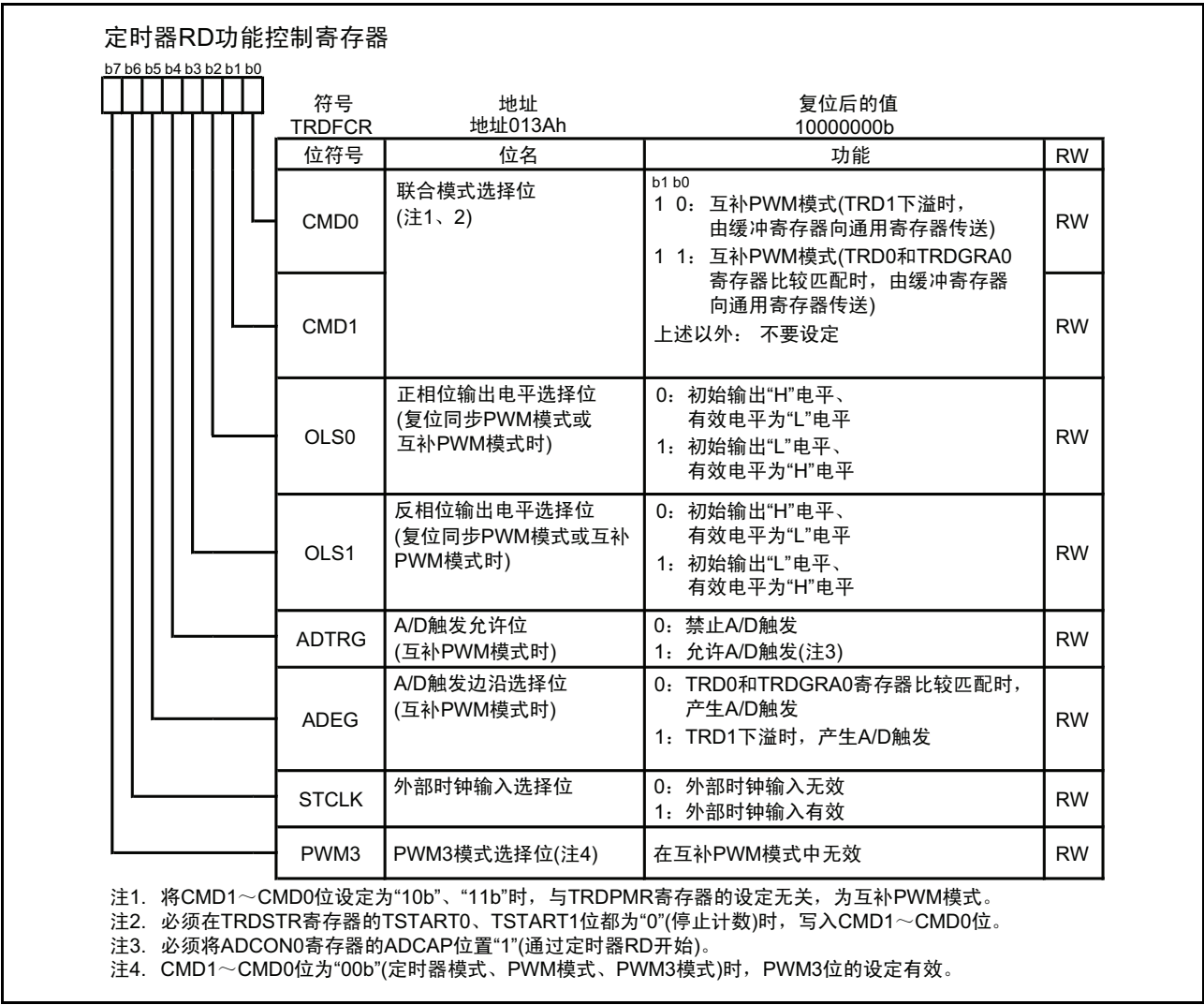


图 15.86 互补 PWM 模式时的 TRDFCR 寄存器

定时器RD输出主允许寄存器1

b7 b6 b5 b4 b3 b2 b1 b0	符号 TRDOER1	地址 地址013Bh	复位后的值 FFh	
	位符号	位名	功能	RW
	EA0	TRDIOA0输出禁止位	在互补PWM模式中必须置“1”(TRDIOA0引脚是可编程输入/输出端口)。	RW
	EB0	TRDIOB0输出禁止位	0: 允许输出 1: 禁止输出(TRDIOB0引脚为可编程输入/输出端口)	RW
	EC0	TRDIOC0输出禁止位	0: 允许输出 1: 禁止输出(TRDIOC0引脚为可编程输入/输出端口)	RW
	ED0	TRDIOD0输出禁止位	0: 允许输出 1: 禁止输出(TRDIOD0引脚为可编程输入/输出端口)	RW
	EA1	TRDIOA1输出禁止位	0: 允许输出 1: 禁止输出(TRDIOA1引脚为可编程输入/输出端口)	RW
	EB1	TRDIOB1输出禁止位	0: 允许输出 1: 禁止输出(TRDIOB1引脚为可编程输入/输出端口)	RW
	EC1	TRDIOC1输出禁止位	0: 允许输出 1: 禁止输出(TRDIOC1引脚为可编程输入/输出端口)	RW
	ED1	TRDIOD1输出禁止位	0: 允许输出 1: 禁止输出(TRDIOD1引脚为可编程输入/输出端口)	RW

定时器RD输出主允许寄存器2

b7 b6 b5 b4 b3 b2 b1 b0	符号 TRDOER2	地址 地址013Ch	复位后的值 01111111b	
	位符号	位名	功能	RW
	— (b6-b0)	什么也不指定。只能写“0”。 读时值为“1”。		—
	PTO	脉冲输出强制截止信号 输入INT0有效位(注1)	0: 脉冲输出强制截止输入无效 1: 脉冲输出强制截止输入有效 (在INT0引脚输入“L”电平时, TRDOER1寄存器的全部位为“1”(禁止输出))	RW

注1. 参照“15.3.4 脉冲输出强制截止”。

图 15.87 互补 PWM 模式时的 TRDOER1 ~ TRDOER2 寄存器

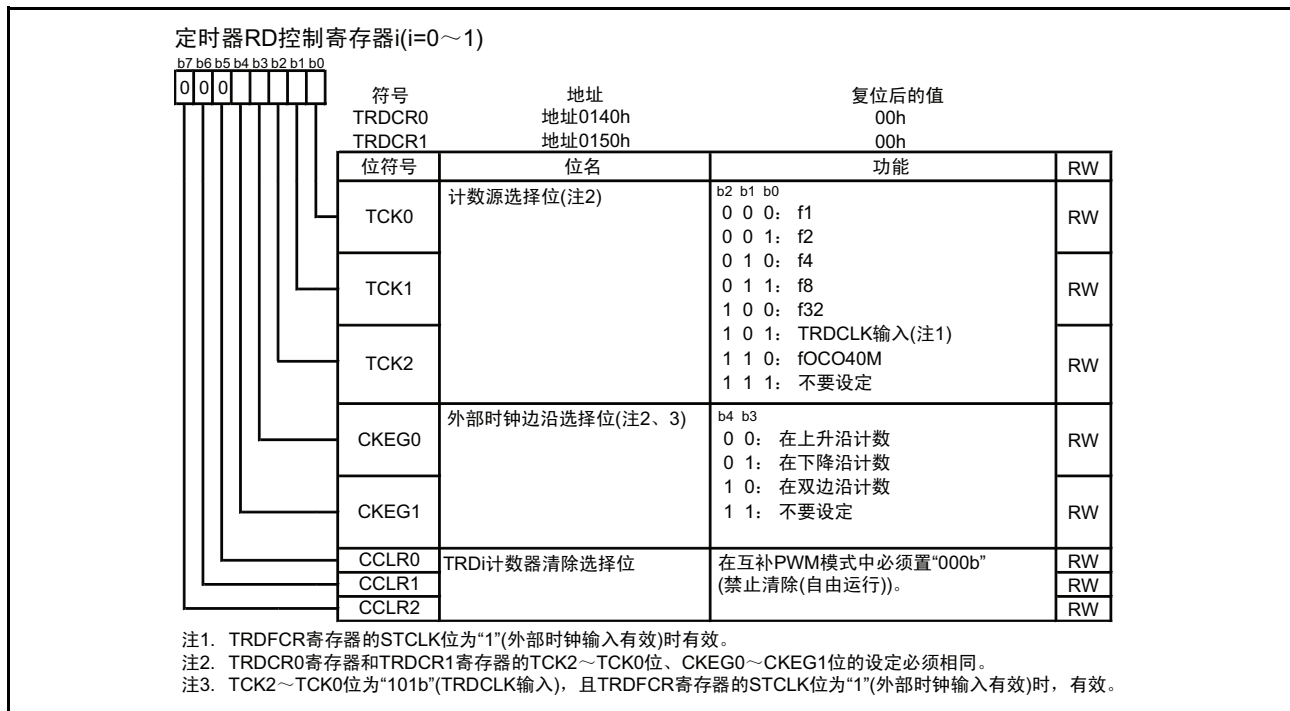


图 15.88 互补 PWM 模式时的 TRDCR0 ~ TRDCR1 寄存器

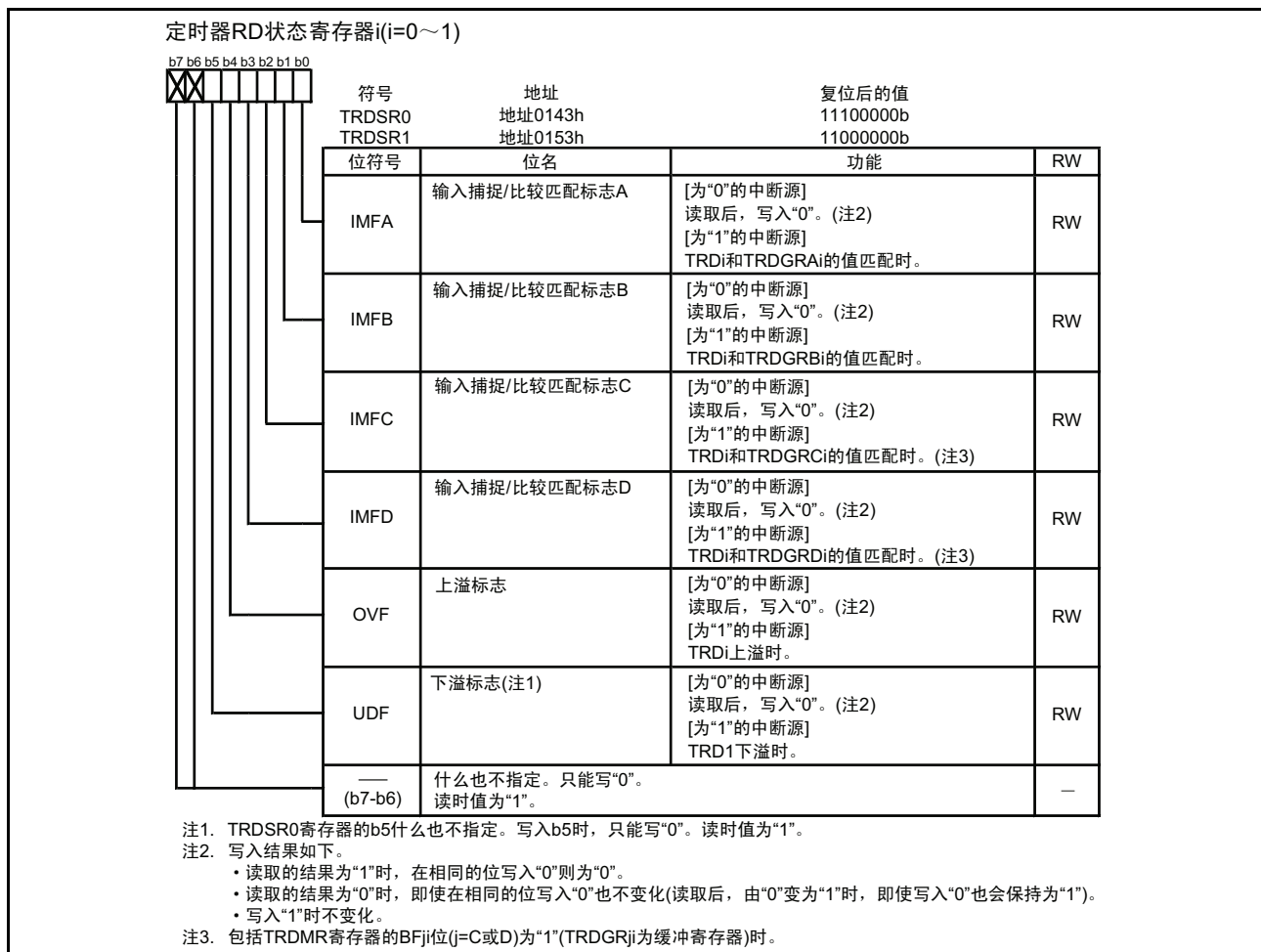


图 15.89 互补 PWM 模式时的 TRDSR0 ~ TRDSR1 寄存器

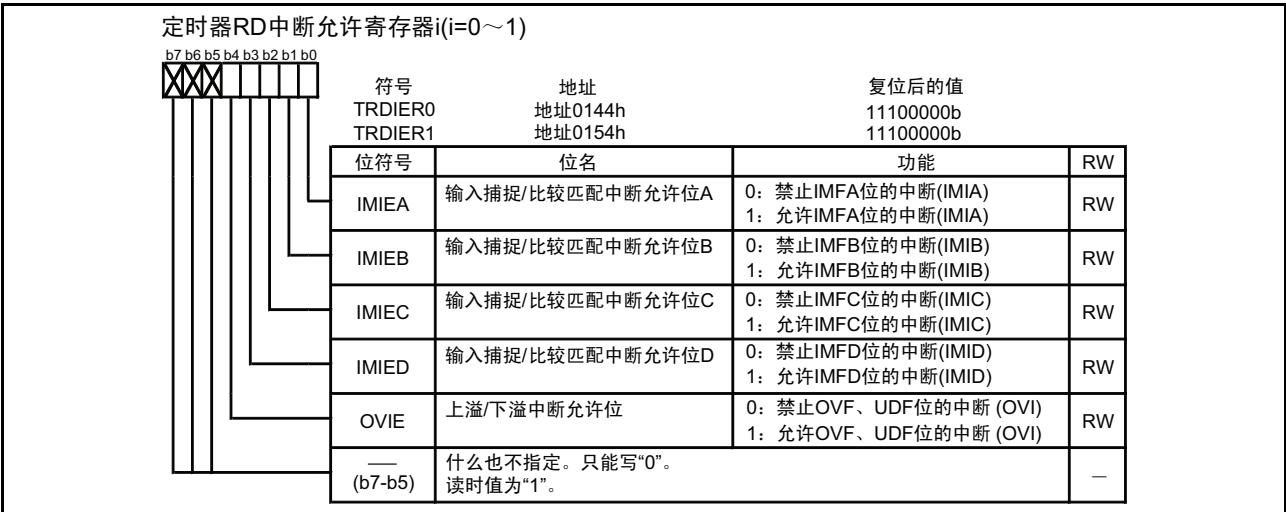


图 15.90 互补 PWM 模式时的 TRDIER0 ~ TRDIER1 寄存器

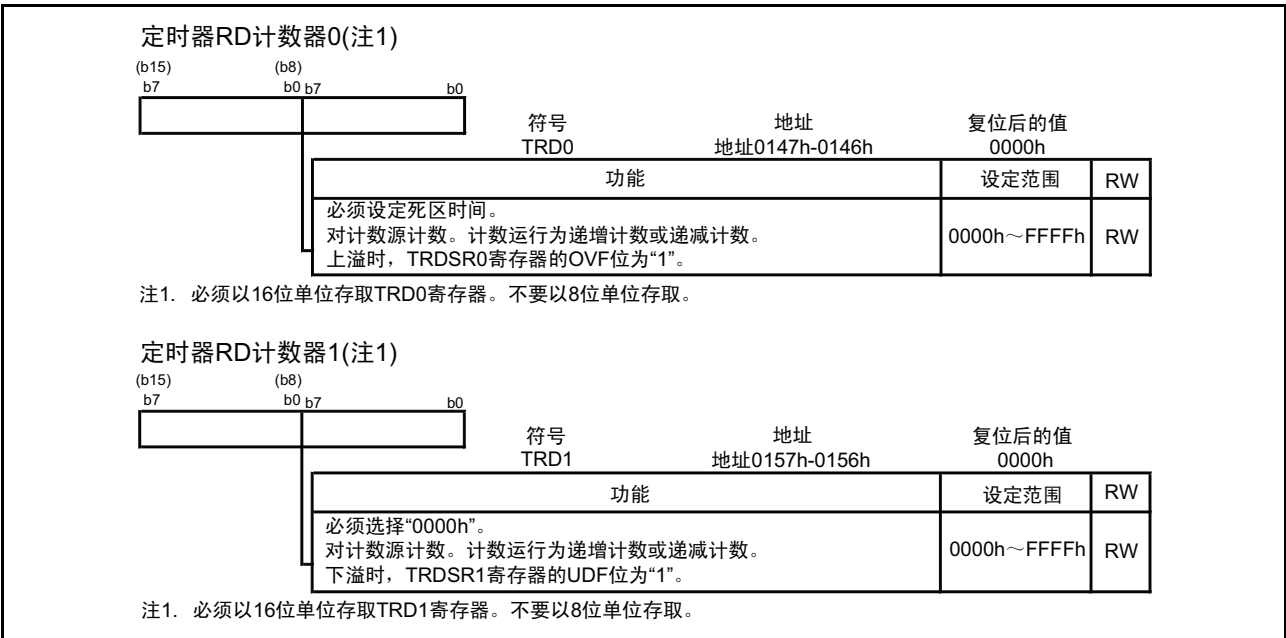


图 15.91 互补 PWM 模式时的 TRD0 ~ TRD1 寄存器

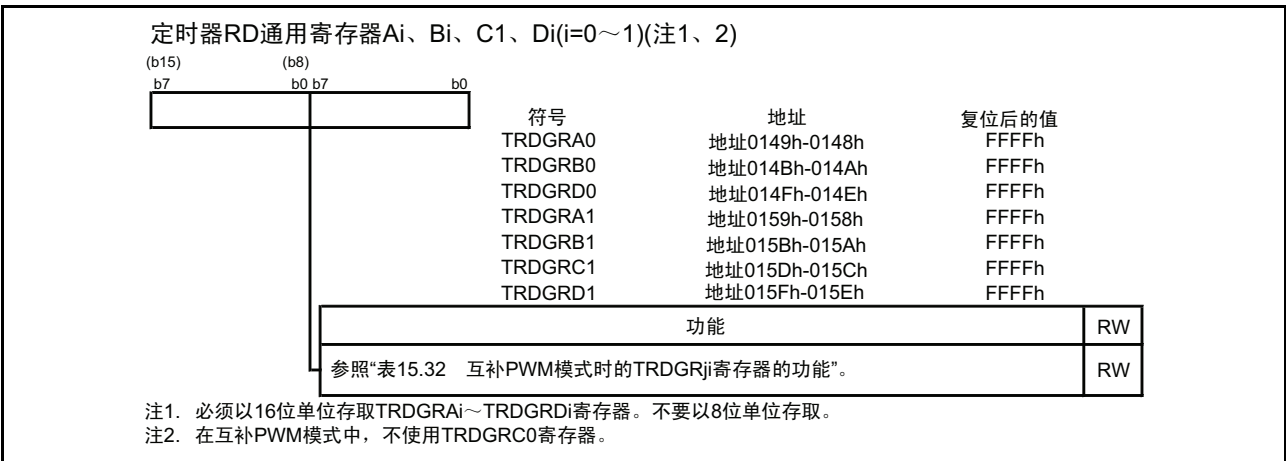


图 15.92 互补 PWM 模式时的 TRDGRAi、TRDGRBi、TRDGRC1、TRDGRDi 寄存器

在互补 PWM 模式中，以下寄存器无效

TRDPMR、TRDOCR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表 15.32 互补 PWM 模式时的 TRDGRji 寄存器的功能

寄存器	设定	寄存器功能	PWM 输出引脚
TRDGRA0	—	通用寄存器。初始设定时必须设定 PWM 周期。 设定范围：大于等于 TRD0 寄存器的设定值、 小于等于 FFFFh-TRD0 寄存器的设定值 不要在 TRDSTR 寄存器的 TSTART0、TSTART1 位为“1”（开始计数）时写入。	（TRDIOC0、每隔半周期输出取反）
TRDGRB0	—	通用寄存器。初始设定时必须设定 PWM1 输出的变化点。 设定范围：大于等于 TRD0 寄存器的设定值、 小于等于 TRDGRA0 的设定值 - TRD0 寄存器的设定值 不要在 TRDSTR 寄存器的 TSTART0、TSTART1 位为“1”（开始计数）时写入。	TRDIOB0 TRDIOD0
TRDGRA1	—	通用寄存器。初始设定时必须设定 PWM2 输出的变化点。 设定范围：大于等于 TRD0 寄存器的设定值、 小于等于 TRDGRA0 的设定值 - TRD0 寄存器的设定值 不要在 TRDSTR 寄存器的 TSTART0、TSTART1 位为“1”（开始计数）时写入。	TRDIOA1 TRDIOC1
TRDGRB1	—	通用寄存器。初始设定时必须设定 PWM3 输出的变化点。 设定范围：大于等于 TRD0 寄存器的设定值、 小于等于 TRDGRA0 的设定值 - TRD0 寄存器的设定值 不要在 TRDSTR 寄存器的 TSTART0、TSTART1 位为“1”（开始计数）时写入。	TRDIOB1 TRDIOD1
TRDGRC0	—	（在互补 PWM 模式中不使用）	—
TRDGRD0	BFD0=1	缓冲寄存器。必须设定下一个 PWM1 输出的变化点（参照“15.3.2 缓冲器运行”）。 设定范围：大于等于 TRD0 寄存器的设定值、 小于等于 TRDGRA0 的设定值 - TRD0 寄存器的设定值 初始设定必须设定为和 TRDGRB0 寄存器相同的值。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1=1	缓冲寄存器。必须设定下一个 PWM2 输出的变化点（参照“15.3.2 缓冲器运行”）。 设定范围：大于等于 TRD0 寄存器的设定值、 小于等于 TRDGRA0 的设定值 - TRD0 寄存器的设定值 初始设定必须设定为和 TRDGRA1 寄存器相同的值。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1=1	缓冲寄存器。必须设定下一个 PWM3 输出的变化点（参照“15.3.2 缓冲器运行”）。 设定范围：大于等于 TRD0 寄存器的设定值、 小于等于 TRDGRA0 的设定值 - TRD0 寄存器的设定值 初始设定必须设定为和 TRDGRB1 寄存器相同的值。	TRDIOB1 TRDIOD1

BFC0、BFD0、BFC1、BFD1: TRDMR 寄存器的位

开始计数后，不能对 TRDGRB0、TRDGRA1、TRDGRB1 寄存器写入直接值（禁止事项），所以必须把 TRDGRD0、TRDGRC1、TRDGRD1 用作缓冲寄存器。但是，写入 TRDGRD0、TRDGRC1、TRDGRD1 时，将 BFD0、BFC1、BFD1 位清“0”（通用寄存器），然后可以将 BFD0、BFC1、BFD1 位置“1”（缓冲寄存器）。

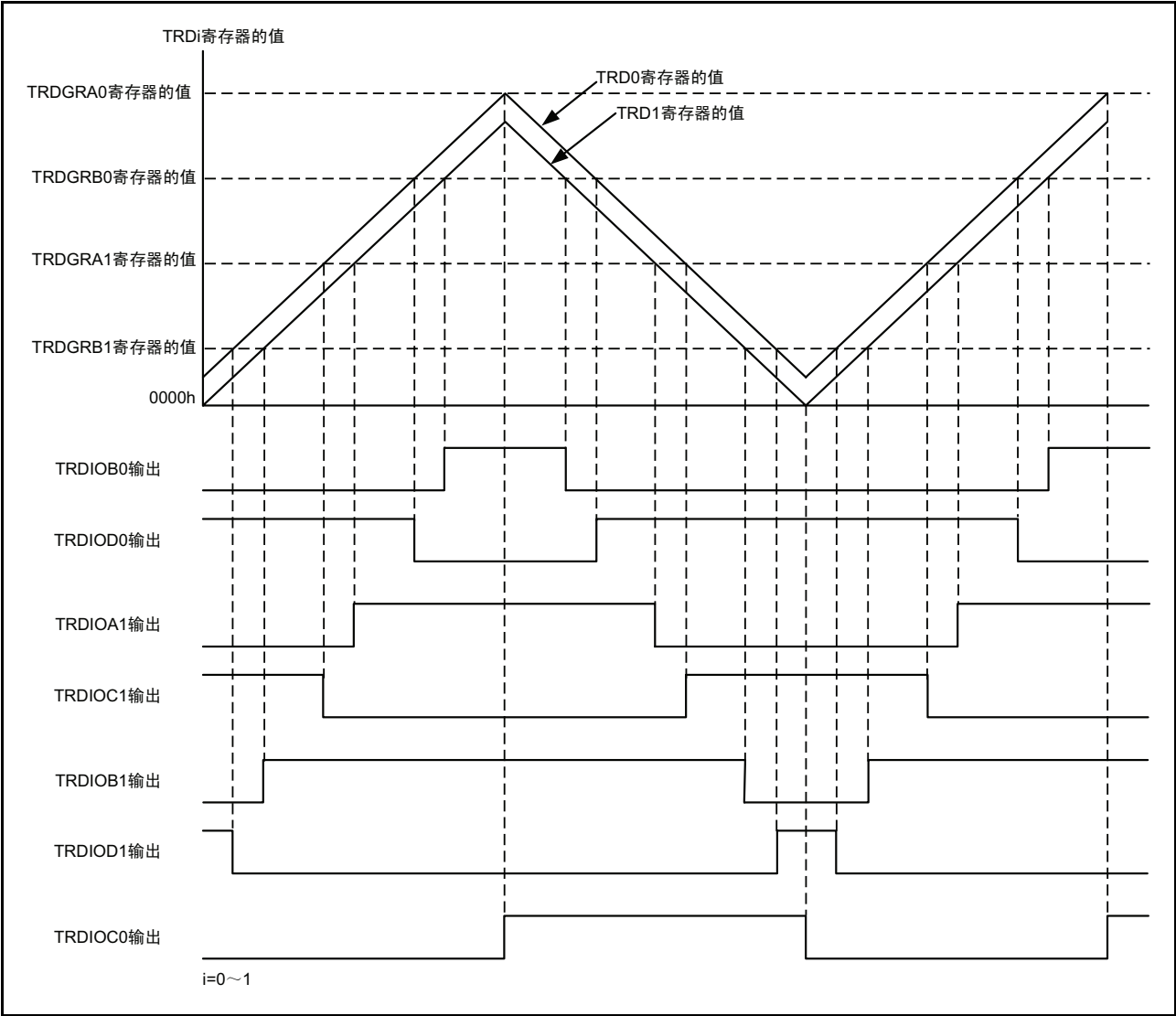


图 15.93 互补 PWM 模式的输出模型

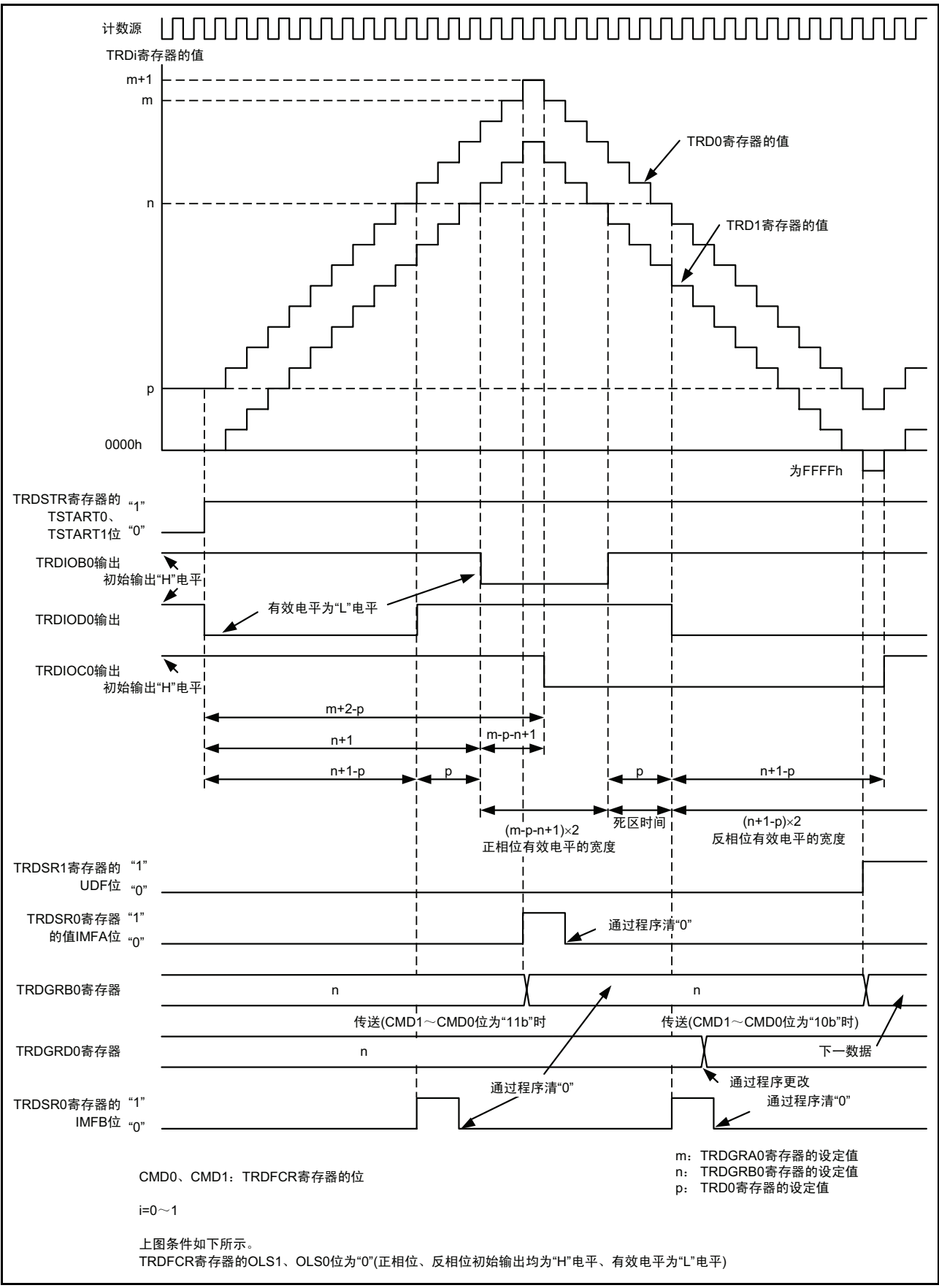


图 15.94 互补 PWM 模式的运行例

15.3.9.1 从缓冲寄存器传送的时序

- 从 TRDGRD0、TRDGRC1、TRDGRD1 寄存器向 TRDGRB0、TRDGRA1、TRDGRB1 寄存器传送。

如果 TRDFCR 寄存器的 CMD1 ~ CMD0 位为 “10b”，则在 TRD1 下溢时传送。

如果 CMD1 ~ CMD0 位为 “11b”，则在 TRD0 和 TRDGRA0 寄存器比较匹配时传送。

15.3.9.2 产生 A/D 触发

可将 TRD0 和 TRDGRA0 寄存器的比较匹配与 TRD1 下溢作为 A/D 转换器的转换开始触发使用。通过 TRDFCR 寄存器的 ADEG、ADTRG 位选择。

另外，必须将 ADCON0 寄存器的 ADCAP 位置 “1”（用定时器 RD 开始）。

15.3.10 PWM3 模式

输出两个同周期的 PWM 波形。

PWM3 模式的框图如图 15.95 所示，PWM3 模式的规格如表 15.33 所示，PWM3 模式相关寄存器如图 15.96 ~ 图 15.103 所示，PWM3 模式的运行例如图 15.104 所示。

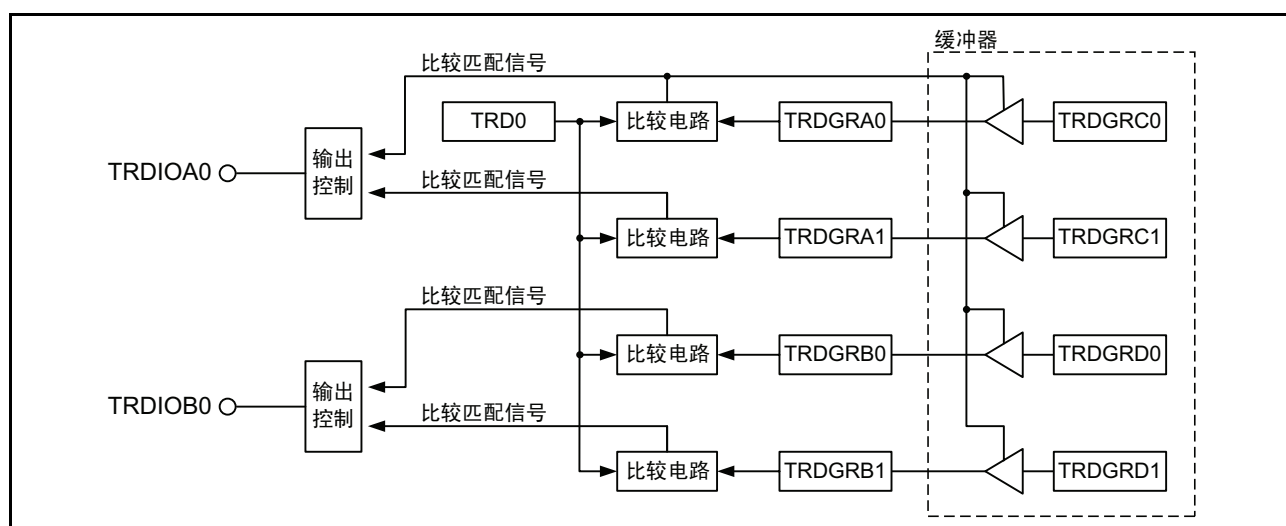
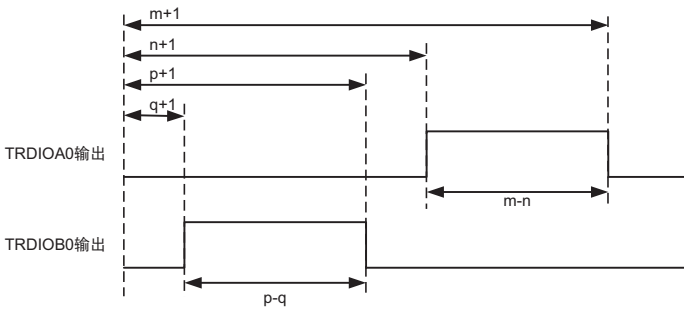


图 15.95 PWM3 模式的框图

表 15.33 PWM3 模式的规格

项目	规格
计数源	f1、f2、f4、f8、f32、fOCO40M
计数运行	TRD0 为递增计数（不使用 TRD1）
PWM 波形	PWM 周期: $1/fk \times (m+1)$ TRDIOA0 输出的有效电平宽度: $1/fk \times (m-n)$ TRDIOB0 输出的有效电平宽度: $1/fk \times (p-q)$ fk: 计数源的频率 m: TRDGRA0 寄存器的设定值 n: TRDGRA1 寄存器的设定值 p: TRDGRB0 寄存器的设定值 q: TRDGRB1 寄存器的设定值  (有效电平为“H”时)
计数开始条件	对 TRDSTR 寄存器的 TSTART0 位写“1”（开始计数）
计数停止条件	- TRDSTR 寄存器的 CSEL0 位设定为“1”时，对 TSTART0 位写“0”（停止计数） PWM 输出引脚保持停止计数前的输出电平 - 如果 TRDSTR 寄存器的 CSEL0 位为“0”，在 TRDGRA0 比较匹配时，停止计数 PWM 输出引脚保持通过比较匹配输出变化后的电平
中断请求产生时序	- 比较匹配（TRDi 寄存器和 TRDGRji 寄存器的内容匹配） - TRD0 上溢
TRDIOA0、TRDIOB0 引脚功能	PWM 输出
TRDIOC0、TRDIOD0、 TRDIOA1 ~ TRDIOD1 引脚功能	可编程输入 / 输出端口
INT0 引脚功能	可编程输入 / 输出端口、脉冲输出强制截止信号输入或 INT0 中断输入
读定时器	如果读 TRD0 寄存器，就能读取计数值
写定时器	能写入 TRD0 寄存器
选择功能	- 脉冲输出强制截止信号输入（参照“15.3.4 脉冲输出强制截止”） - 对每个引脚选择有效电平 - 缓冲器运行（参照“15.3.2 缓冲器运行”）

j=A、B、C、D 中的任何一个

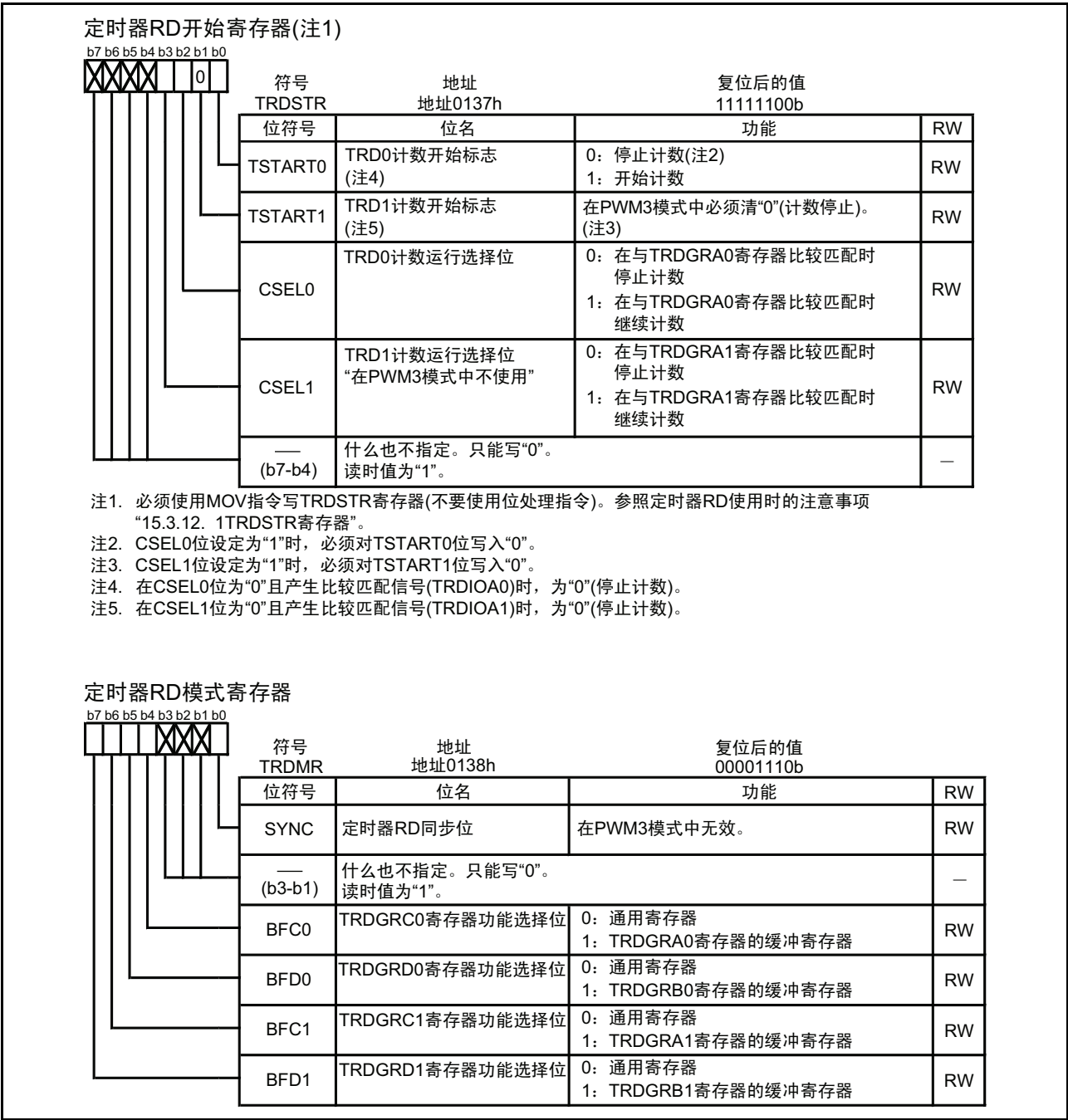


图 15.96 PWM3 模式时的 TRDSTR、TRDMR 寄存器

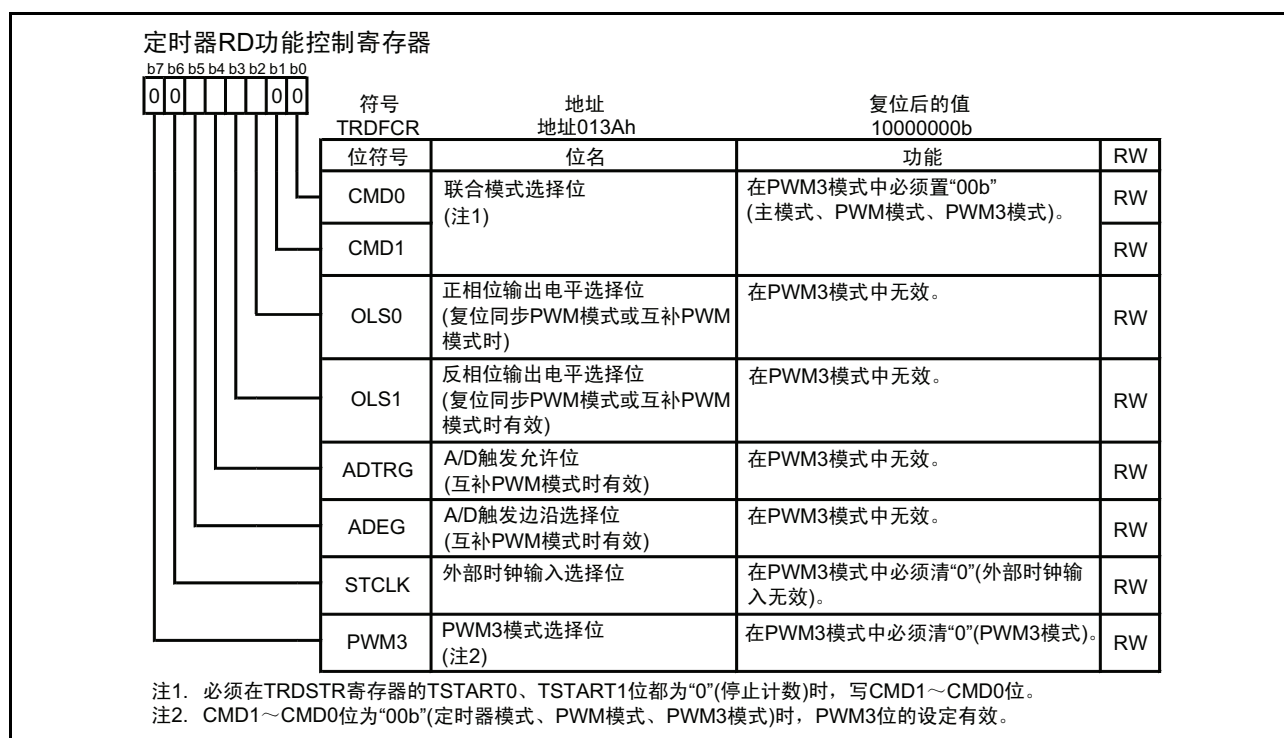


图 15.97 PWM3 模式时的 TRDFCR 寄存器

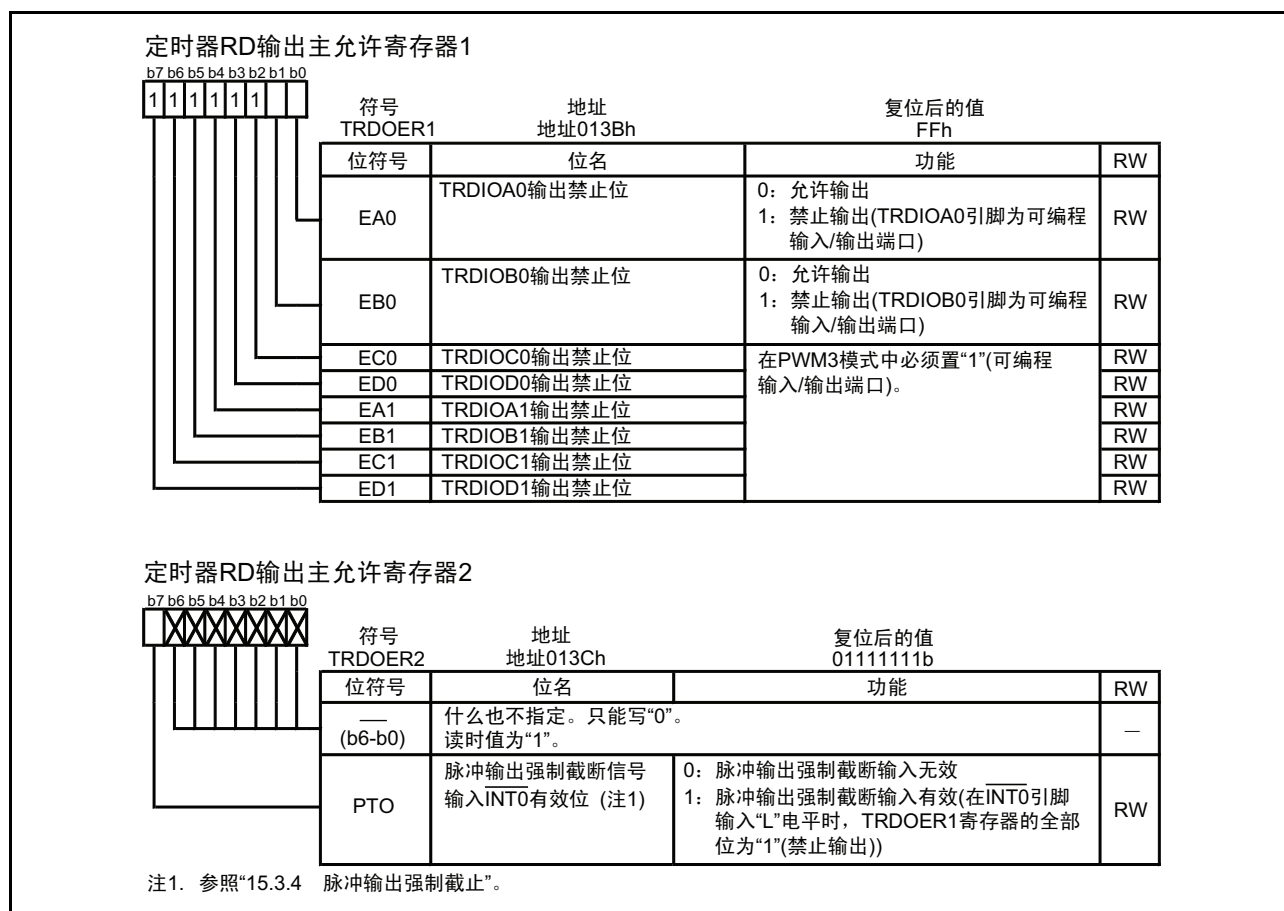


图 15.98 PWM3 模式时的 TRDOER1 ~ TRDOER2 寄存器

定时器RD输出控制寄存器(注1)

符号 TRDOCR	地址 地址013Dh	复位后的值 00h	
位符号	位名	功能	RW
TOA0	TRDIOA0输出电平选择位 (注2)	0: 有效电平为“H”电平 初始输出“L”电平; 在TRDGRA1的比较匹配时输出“H”电平、在TRDGRA0的比较匹配时输出“L”电平 1: 有效电平为“L”电平 初始输出“H”电平; 在TRDGRA1的比较匹配时输出“L”电平、在TRDGRA0的比较匹配时输出“H”电平	RW
TOB0	TRDIOB0输出电平选择位 (注2)	0: 有效电平为“H”电平 初始输出“L”电平; 在TRDGRB1的比较匹配时输出“H”电平、在TRDGRB0的比较匹配时输出“L”电平 1: 有效电平为“L”电平 初始输出“H”电平; 在TRDGRB1的比较匹配时输出“L”电平、在TRDGRB0的比较匹配时输出“H”电平	RW
TOC0	TRDIOC0初始输出电平选择位	在PWM3模式中无效。	RW
TOD0	TRDIOD0初始输出电平选择位		RW
TOA1	TRDIOA1初始输出电平选择位		RW
TOB1	TRDIOB1初始输出电平选择位		RW
TOC1	TRDIOC1初始输出电平选择位		RW
TOD1	TRDIOD1初始输出电平选择位		RW

注1. 必须在TRDSTR寄存器的TSTART0、TSTART1位都为“0”(停止计数)时写TRDOCR寄存器。

注2. 在引脚功能为波形输出的情况下(参照表15.12、15.13), 当设定了TRDOCR寄存器时, 输出初始输出电平。

定时器RD控制寄存器0(注2)

符号 TRDCR0	地址 地址0140h	复位后的值 00h	
位符号	位名	功能	RW
TCK0	计数源选择位	b2 b1 b0 0 0 0: f1 0 0 1: f2 0 1 0: f4 0 1 1: f8 1 0 0: f32 1 0 1: 不要设定 1 1 0: fOCO40M 1 1 1: 不要设定	RW
TCK1			RW
TCK2			RW
CKEG0		在PWM3模式中无效。	RW
CKEG1			RW
CCLR0	TRD0计数器清除选择位	在PWM3模式中必须置“001b”(在TRDGRA0寄存器比较匹配时TRD0寄存器清除)。	RW
CCLR1			RW
CCLR2			RW

注1. TCK2~TCK0位为“101b”(TRDCLK输入), 且TRDFCR寄存器的STCLK位为“1”(外部时钟输入有效)时, 有效。

注2. 在PWM3模式中, 不使用TRDCR1寄存器。

图 15.99 PWM3 模式时的 TRDOCR、TRDCR0 寄存器

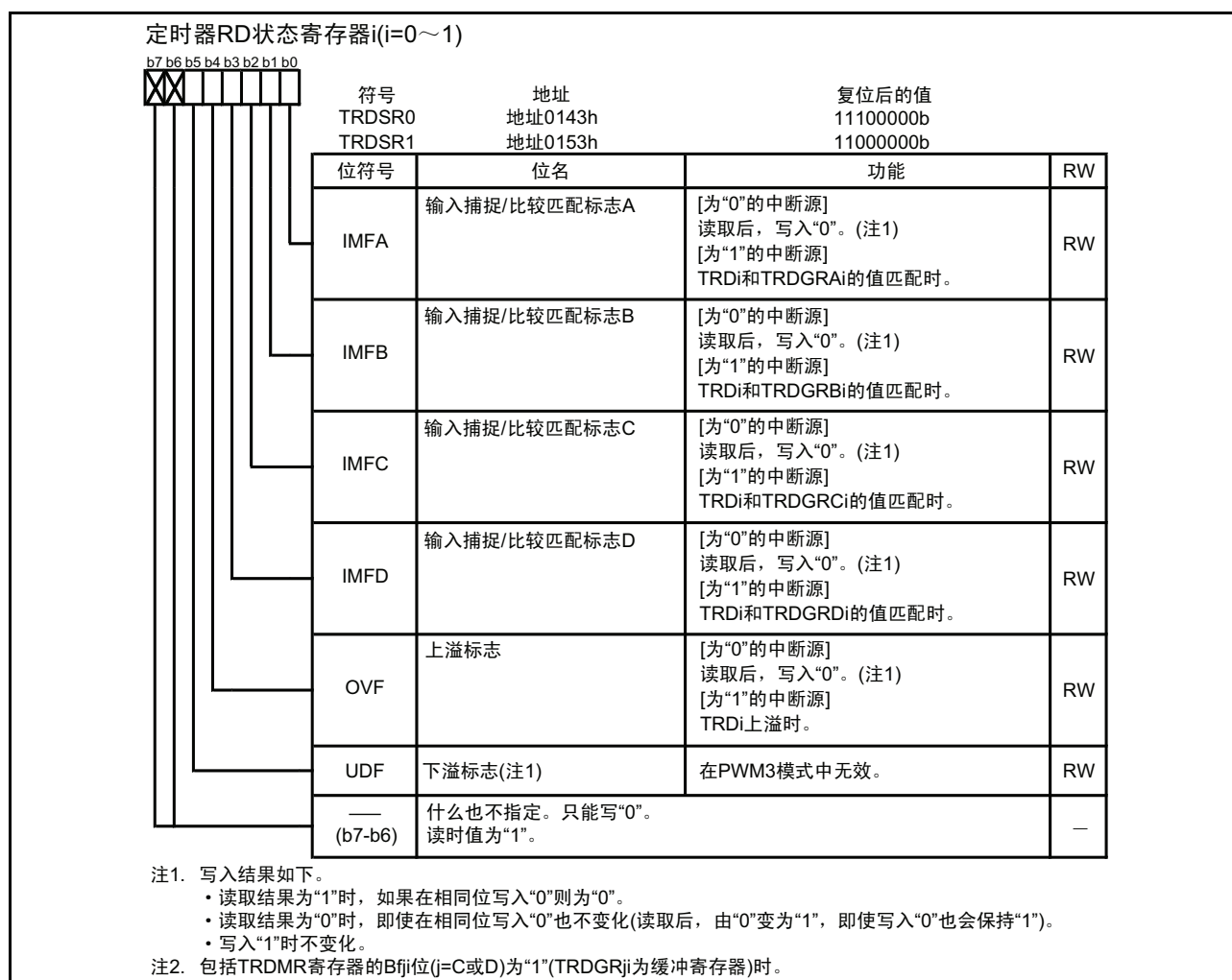


图 15.100 PWM3 模式时的 TRDSR0 ~ TRDSR1 寄存器

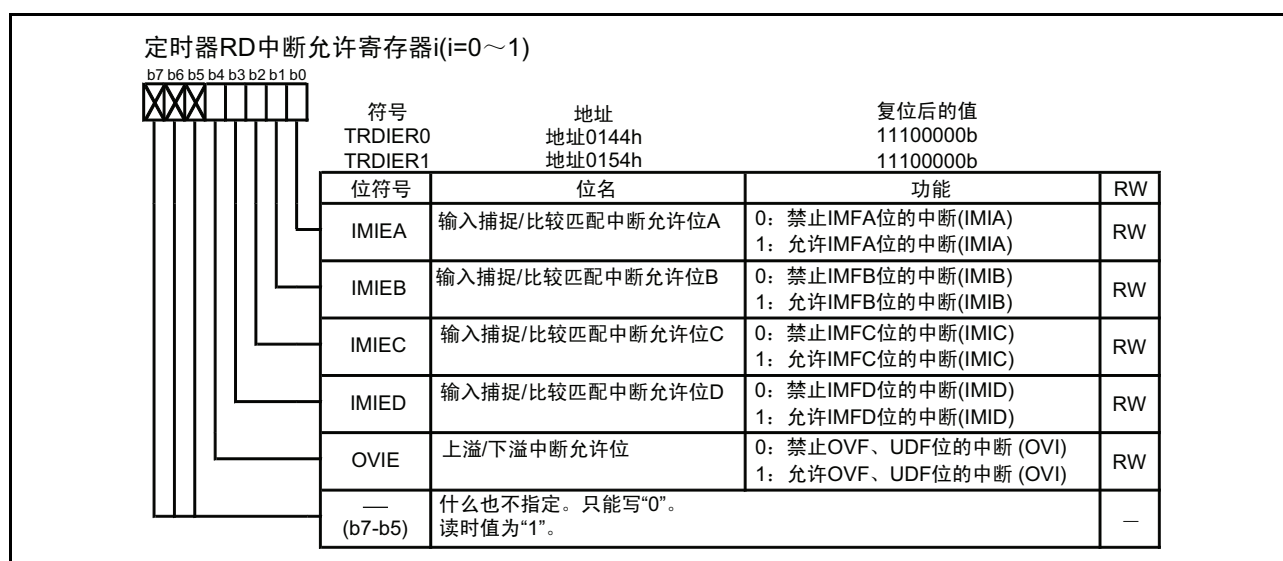


图 15.101 PWM3 模式时的 TRDIER0 ~ TRDIER1 寄存器

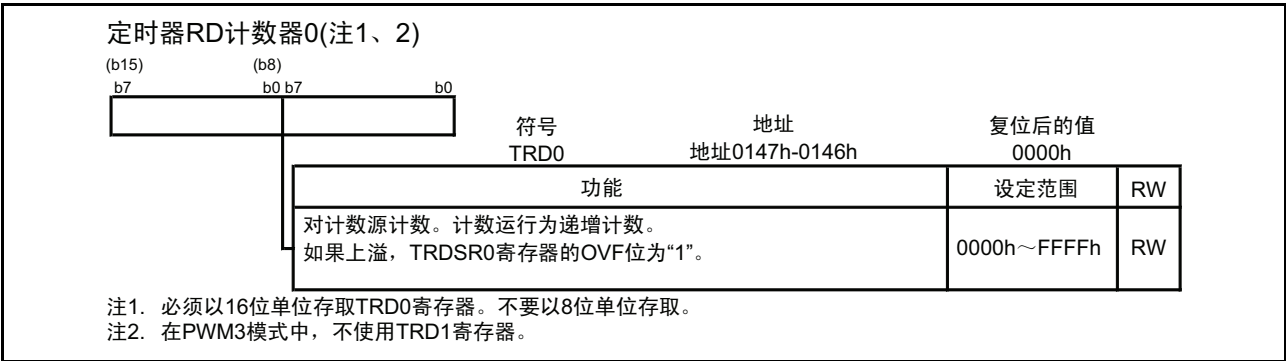


图 15.102 PWM3 模式时的 TRD0 寄存器

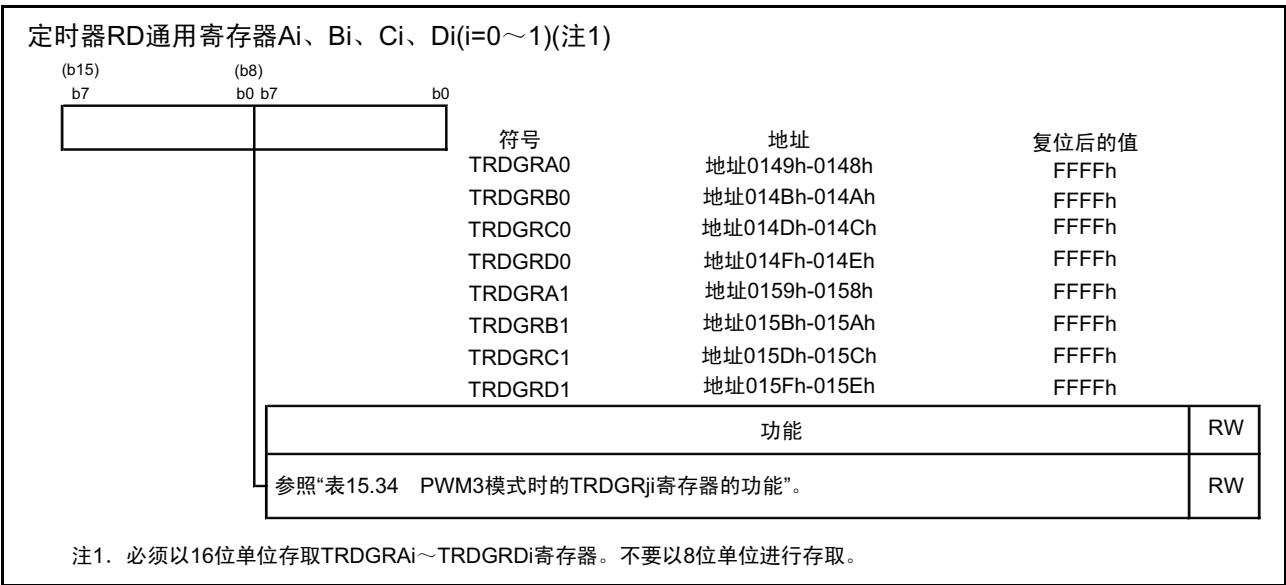


图 15.103 PWM3 模式时的 TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi 寄存器

在 PWM3 模式中，以下寄存器无效。

TRDPMR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表 15.34 PWM3 模式时的 TRDGRji 寄存器的功能

寄存器	设定	寄存器功能	PWM 输出引脚
TRDGRA0	—	通用寄存器。必须设定 PWM 周期。 设定范围：大于等于 TRDGRA1 寄存器的设定值	TRDIOA0
TRDGRA1		通用寄存器。必须设定 PWM 输出的变化点（变为有效电平的时序）。 设定范围：小于等于 TRDGRA0 寄存器的设定值	
TRDGRB0		通用寄存器。必须设定 PWM 输出的变化点（返回初始输出电平的时序）。 设定范围：大于等于 TRDGRB1 寄存器的设定值、小于等于 TRDGRA0 的设定值	TRDIOB0
TRDGRB1		通用寄存器。必须设定 PWM 输出的变化点（变为有效电平的时序）。 设定范围：小于等于 TRDGRB0 寄存器的设定值	
TRDGRC0	BFC0=0	（在 PWM3 模式中不使用）	—
TRDGRC1	BFC1=0		
TRDGRD0	BFD0=0		
TRDGRD1	BFD1=0		
TRDGRC0	BFC0=1	缓冲寄存器。必须设定下一个 PWM 的周期（参照“15.3.2 缓冲器运行”）。 设定范围：大于等于 TRDGRC1 寄存器的设定值	TRDIOA0
TRDGRC1	BFC1=1	缓冲寄存器。必须设定下一个 PWM 输出的变化点（参照“15.3.2 缓冲器运行”）。 设定范围：小于等于 TRDGRC0 寄存器的设定值	
TRDGRD0	BFD0=1	缓冲寄存器。必须设定下一个 PWM 输出的变化点（参照“15.3.2 缓冲器运行”）。 设定范围：大于等于 TRDGRD1 寄存器的设定值、小于 TRDGRC0 寄存器的设定值	TRDIOB0
TRDGRD1	BFD1=1	缓冲寄存器。必须设定下一个 PWM 输出的变化点（参照“15.3.2 缓冲器运行”）。 设定范围：小于等于 TRDGRD0 寄存器的设定值	

BFC0、BFD0、BFC1、BFD1：TRDMR 寄存器的位

虽然在 PWM3 模式中不使用，但是、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1 寄存器用作缓冲寄存器时，将 BFC0、BFC1、BFD0、BFD1 位清“0”（通用寄存器）后，对 TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1 寄存器写入数值，然后可以将 BFC0、BFC1、BFD0、BFD1 位置“1”（缓冲寄存器）。

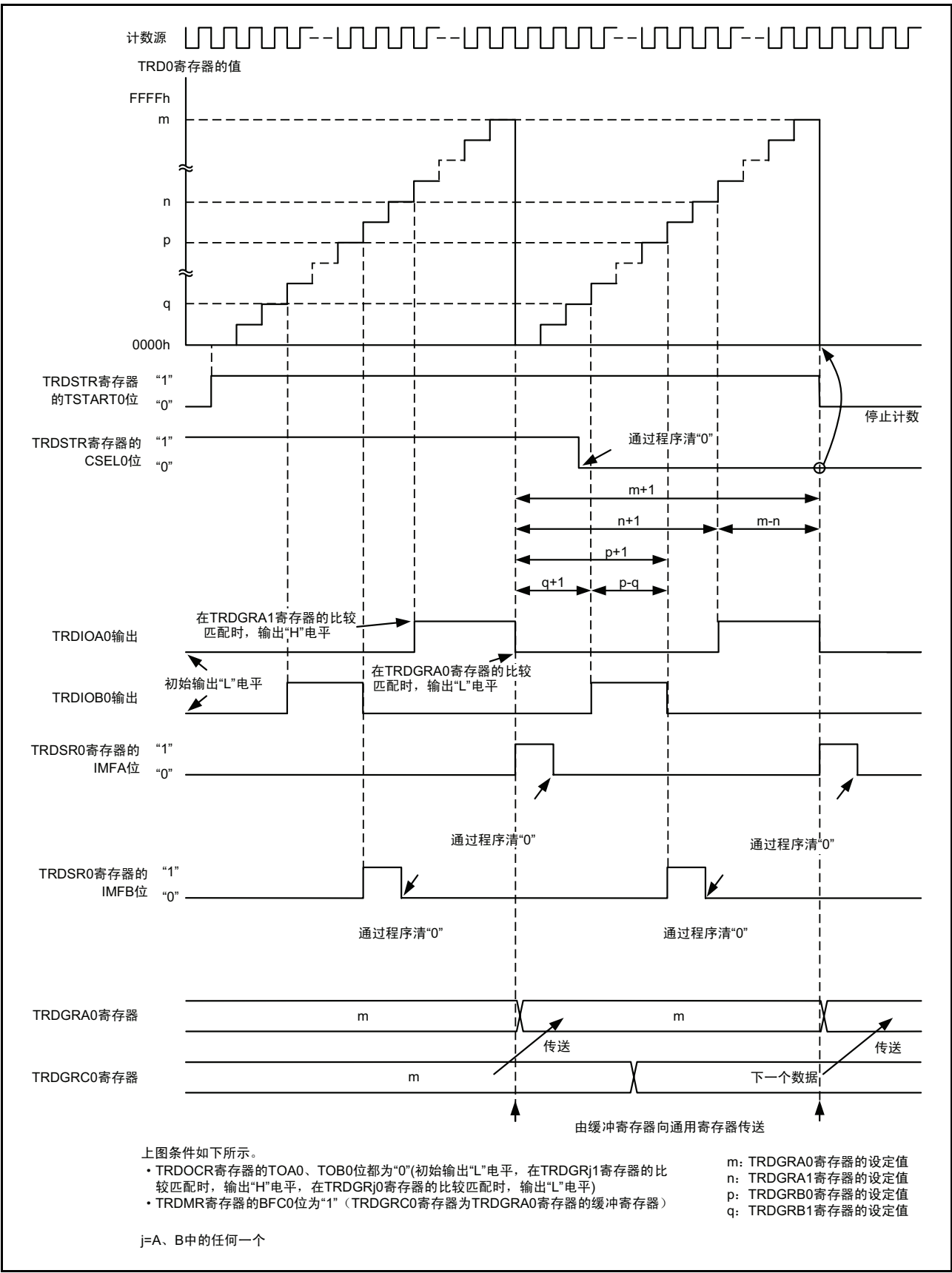


图 15.104 PWM3 模式的运行例子

15.3.11 定时器 RD 中断

定时器 RD 对每个通道由 6 个中断源产生定时器 RD 中断请求。定时器 RD 中断在每个通道上有一个 TRDiIC (i=0 ~ 1) 寄存器 (IR 位、ILVL0 ~ ILVL2 位) 和一个向量。

定时器 RD 中断的相关寄存器如表 15.35 所示，定时器 RD 中断的框图如图 15.105 所示。

表 15.35 定时器 RD 中断的相关寄存器

	定时器 RD 状态寄存器	定时器 RD 中断允许寄存器	定时器 RD 中断控制寄存器
通道 0	TRDSR0	TRDIER0	TRD0IC
通道 1	TRDSR1	TRDIER1	TRD1IC

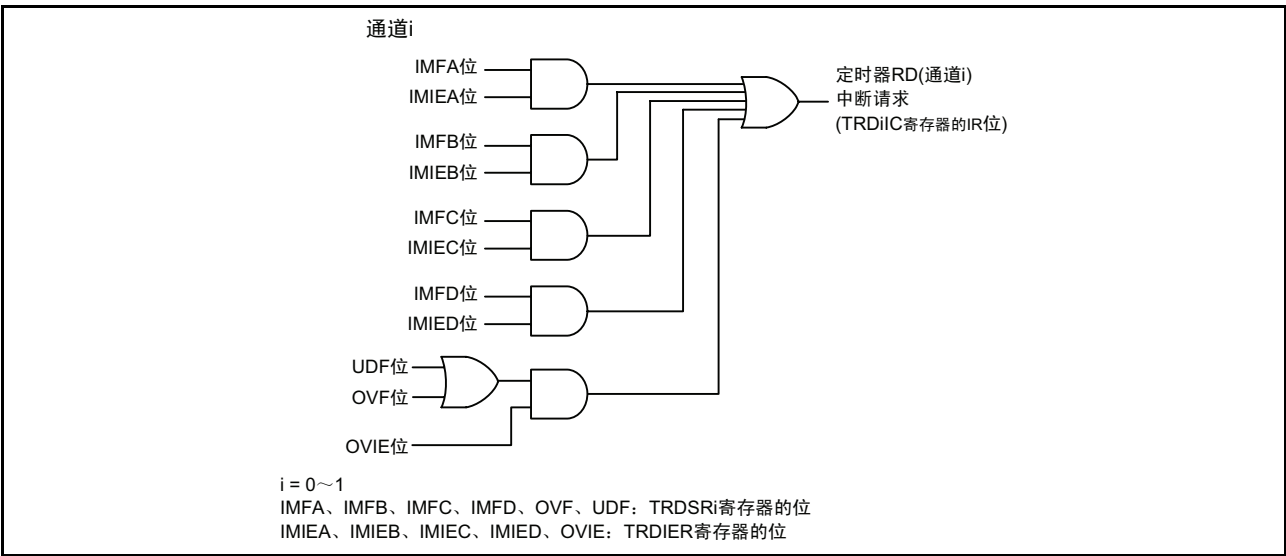


图 15.105 定时器 RD 中断的框图

定时器 RD 中断是通过 I 标志、IR 位、ILVL0 ~ ILVL2 位和 IPL 的关系进行中断控制的，这和其他可屏蔽中断相同。但是，定时器 RD 中断是从多个中断请求源中产生一个中断请求（定时器 RD 中断），因此和其他可屏蔽中断有如下不同。

- TRDSRi 寄存器的位为“1”，并且与其对应的 TRDIERi 寄存器的位为“1”（允许中断）时，TRDiIC 寄存器的 IR 位变成“1”（有中断请求）。
- TRDSRi 寄存器的位和与其对应的 TRDIERi 寄存器的位中的某一个或两个为“0”时，IR 位变成“0”（无中断请求）。即，一旦 IR 位变成“1”，即使中断未被接受，也不保持中断请求。
- IR 位变为“1”后，即使其他中断请求源成立，IR 位也会保持“1”不变。
- 对 TRDIERi 寄存器的多个位置“1”时，必须由 TRDSRi 寄存器判断由哪个中断请求源产生中断。
- 即使中断被接受 TRDSRi 寄存器的各个位也不会自动变为“0”，因此必须在中断程序中将 TRDSRi 寄存器的各个位清“0”。清“0”方法请参照“各模式的 TRDSR0 ~ TRDSR1 寄存器（图 15.40、图 15.55、图 15.67、图 15.79、图 15.89、图 15.100）”。

TRDSRi 寄存器参照“各模式的 TRDSR0 ~ TRDSR1 寄存器（图 15.40、图 15.55、图 15.67、图 15.79、图 15.89、图 15.100）”，TRDIERi 寄存器参照“各模式的每个 TRDIER0 ~ TRDIER1 寄存器（图 15.41、图 15.56、图 15.68、图 15.80、图 15.90、图 15.101）”。

TRDiIC 寄存器请参照“13.1.6 中断控制”，中断向量请参照“13.1.5.2 可变向量表”。

15.3.12 定时器 RD 使用时的注意事项

15.3.12.1 TRDSTR 寄存器

- 必须使用 MOV 指令写 TRDSTR 寄存器。
- CSELi (i=0 ~ 1) 位为 “0” (在 TRDi 寄存器和 TRDGRAi 寄存器的比较匹配时, 停止计数) 时, 即使对 TSTARTi 位写入 “0” (停止计数), 计数也不会停止, TSTARTi 位也不变化。
因此, 在 CSELi 位为 “0” 时, 如果不改变 TSTARTi 位而更改其他位, 就必须对 TSTARTi 位写入 “0”。
另外, 如果要通过程序使计数停止, 就必须对 CSELi 位写入 “1” 后, 对 TSTARTi 位写入 “0”。即使同时 (通过 1 条指令) 对 CSELi 位写入 “1”, 对 TSTARTi 位写入 “0” 也不能停止计数。
- 通过定时器 RD 输出使用 TRDIOji (j=A、B、C、D) 引脚时, 计数停止时的输出电平如表 15.36 所示。

表 15.36 计数器停止时的 TRDIOji (j=A、B、C、D) 引脚输出电平

停止计数的方法	计数停止时的 TRDIOji 引脚输出
CSELi 位为 “1” 时, 对 TSTARTi 写入 “0” 停止计数	保持以前的输出电平
CSELi 位为 “0” 时, 由 TRDi 寄存器和 TRDGRAi 寄存器的比较匹配, 停止计数	保持通过比较匹配输出变化后的电平

15.3.12.2 TRDi 寄存器 (i=0 ~ 1)

- 在 TRDSTR 寄存器的 TSTARTi 位为 “1” (开始计数) 的状态下, 如果要通过程序对 TRDi 寄存器写入数值, 就必须在与 TRDi 寄存器变为 “0000h” 的时序不重叠时写入。
TRDi 寄存器变为 “0000h” 的时序和对 TRDi 寄存器写入的时序重叠时, 数值不会被写入, TRDi 寄存器变为 “0000h”。
该注意事项在通过 TRDCRi 寄存器的 CCLR2 ~ CCLR0 位做以下选择时适用。
 - “001b” (在与 TRDGRAi 寄存器的比较匹配时, 通过 TRDi 清除)
 - “010b” (在和 TRDGRBi 寄存器的比较匹配时, 通过 TRDi 清除)
 - “011b” (同步清零)
 - “101b” (在与 TRDGRCi 寄存器的比较匹配时, 通过 TRDi 清除)
 - “110b” (在与 TRDGRDi 寄存器的比较匹配时, 通过 TRDi 清除)
- 写入 TRDi 寄存器后, 如果连续读取相同的寄存器, 有时会读取写入前的值。此时, 在写入和读取之间必须使用 JMP.B 指令。

```

程序例子      MOV.W      #XXXXh, TRD0      ; 写入
                JMP.B      L1                ; JMP.B 指令
                L1:        MOV.W      TRD0, DATA      ; 读取
    
```

15.3.12.3 TRDSR_i 寄存器 (i=0 ~ 1)

写入 TRDSR_i 寄存器后，如果连续读取相同的寄存器，有时会读取写入前的值。此时，在写入和读取之间必须使用 JMP.B 指令。

```

程序例子      MOV.B    #XXh,TRDSR0      ; 写入
                JMP.B    L1              ; JMP.B 指令
                L1:      MOV.B    TRDSR0,DATA      ; 读取

```

15.3.12.4 切换计数源

- 必须在停止计数后切换计数源。

更改步骤

- (1) 将 TRDSTR 寄存器的 TSTART_i (i=0 ~ 1) 位清 “0” (停止计数)
- (2) 更改 TRDCR_i 寄存器的 TCK2 ~ TCK0 位

- 把计数源由 fOCO40M 切换到其他时钟，并且停止 fOCO40M 时，必须在设定切换时钟后，并且至少等待 2 个 f1 周期，再停止 fOCO40M。

更改步骤

- (1) 将 TRDSTR 寄存器的 TSTART_i (i=0 ~ 1) 位清 “0” (停止计数)
- (2) 更改 TRDCR_i 寄存器的 TCK2 ~ TCK0 位
- (3) 至少等待 2 个 f1 周期
- (4) 将 FRA0 寄存器的 FRA00 位清 “0” (停止高速内部振荡器)

15.3.12.5 输入捕捉功能

- 输入捕捉信号的脉宽必须设定为不低于 3 个定时器 RD 运行时钟 (参照 “表 15.11 定时器 RD 的运行时钟”) 周期。
- 输入捕捉信号输入到 TRDIO_{ji} (i=0 ~ 1、j=A、B、C、D) 引脚，并且经过 2 ~ 3 个定时器 RD 运行时钟周期后，TRD_i 寄存器的值传送到 TRDGR_{ji} 寄存器 (在无数字滤波器时)。

15.3.12.6 复位同步 PWM 模式

- 用于马达控制时，必须在 OLS0=OLS1 条件下使用。
- 设定为复位同步 PWM 模式时，必须按照以下步骤设定。

更改步骤

- (1) 将 TRDSTR 寄存器的 TSTART0 位清 “0” (停止计数)
- (2) 将 TRDFCR 寄存器的 CMD1 ~ CMD0 位置 “00b” (定时器模式、PWM 模式、PWM3 模式)
- (3) 将 CMD1 ~ CMD0 置 “01b” (复位同步 PWM 模式)
- (4) 再次设定其他与定时器 RD 相关的寄存器

15.3.12.7 互补 PWM 模式

- 用于马达控制时，必须在 OLS0=OLS1 条件下使用。
 - 更改 TRDFCR 寄存器的 CMD1 ~ CMD0 时，必须按照以下步骤。
更改步骤：选择互补 PWM 模式时（包括再次设定）或者在互补 PWM 模式下更改从缓冲寄存器向通用寄存器传送的时序
 - (1) 将 TRDSTR 寄存器的 TSTART0 位和 TSTART1 位都清 “0”（停止计数）
 - (2) 将 TRDFCR 寄存器的 CMD1 ~ CMD0 位都置 “00b”（定时器模式、PWM 模式、PWM3 模式）
 - (3) 将 CMD1 ~ CMD0 位置 “10b” 或 “11b”（互补 PWM 模式）
 - (4) 再次设定其他与定时器 RD 相关的寄存器
- 更改步骤：中止互补 PWM 模式时
- (1) 将 TRDSTR 寄存器的 TSTART0 位和 TSTART1 位都清 “0”（停止计数）
 - (2) 将 CMD1 ~ CMD0 位置 “00b”（定时器模式、PWM 模式、PWM3 模式）
- 运行过程中不要写入 TRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1 寄存器。
更改 PWM 波形时，必须把写入 TRDGRD0、TRDGRC1、TRDGRD1 寄存器的数值，通过缓冲器传送到 TRDGRB0、TRDGRA1、TRDGRB1 寄存器。
但是，写入 TRDGRD0、TRDGRC1、TRDGRD1 寄存器时，先将 BFD0、BFC1、BFD1 位清 “0”（通用寄存器），然后将 BFD0、BFC1、BFD1 位置 “1”（缓冲寄存器）。
不能更改 PWM 周期。
 - 如果设定 TRDGRA0 寄存器的设定值为 m ，TRD0 寄存器在从递增计数变为递减计数时，如下计数：
 $m-1 \rightarrow m \rightarrow m+1 \rightarrow m \rightarrow m-1$ 。
 $m \rightarrow m+1$ 时，IMFA 位变为 “1”。另外，TRDFCR 寄存器的 CMD1 ~ CMD0 位为 “11b”（互补 PWM 模式、在 TRD0 和 TRDGRA0 寄存器比较匹配时传送缓冲数据）时，缓冲寄存器（TRDGRD0、TRDGRC1、TRDGRD1）的内容传送到通用寄存器（TRDGRB0、TRDGRA1、TRDGRB1）。
在 $m+1 \rightarrow m \rightarrow m-1$ 运行过程中 IMFA 位不变化，也不向 TRDGRA0 寄存器等传送数据。

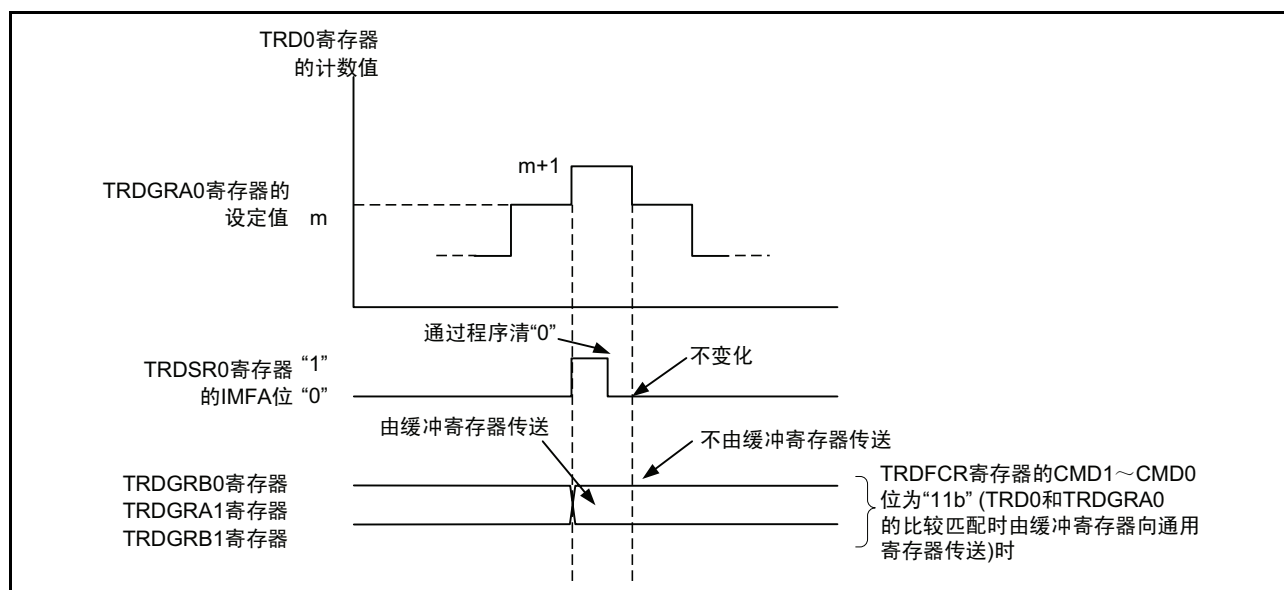


图 15.106 互补 PWM 模式时的 TRD0 和 TRDGRA0 寄存器比较匹配时的运行

- TRD1 在从递增计数变为递减计数时，如下计数：1→0→FFFFh→0→1。
因 1→0→FFFFh 的运行，UDF 位变为“1”。另外，TRDFCR 寄存器的 CMD1 ~ CMD0 位为“10b”（互补 PWM 模式，在 TRD1 下溢时传送缓冲数据）时，缓冲寄存器（TRDGRD0、TRDGRC1、TRDGRD1）的内容传送到通用寄存器（TRDGRB0、TRDGRA1、TRDGRB1）。在 FFFFh→0→1 的运行过程中，不向 TRDGRB0 寄存器等传送数据。另外，此时 OVF 位不变化。

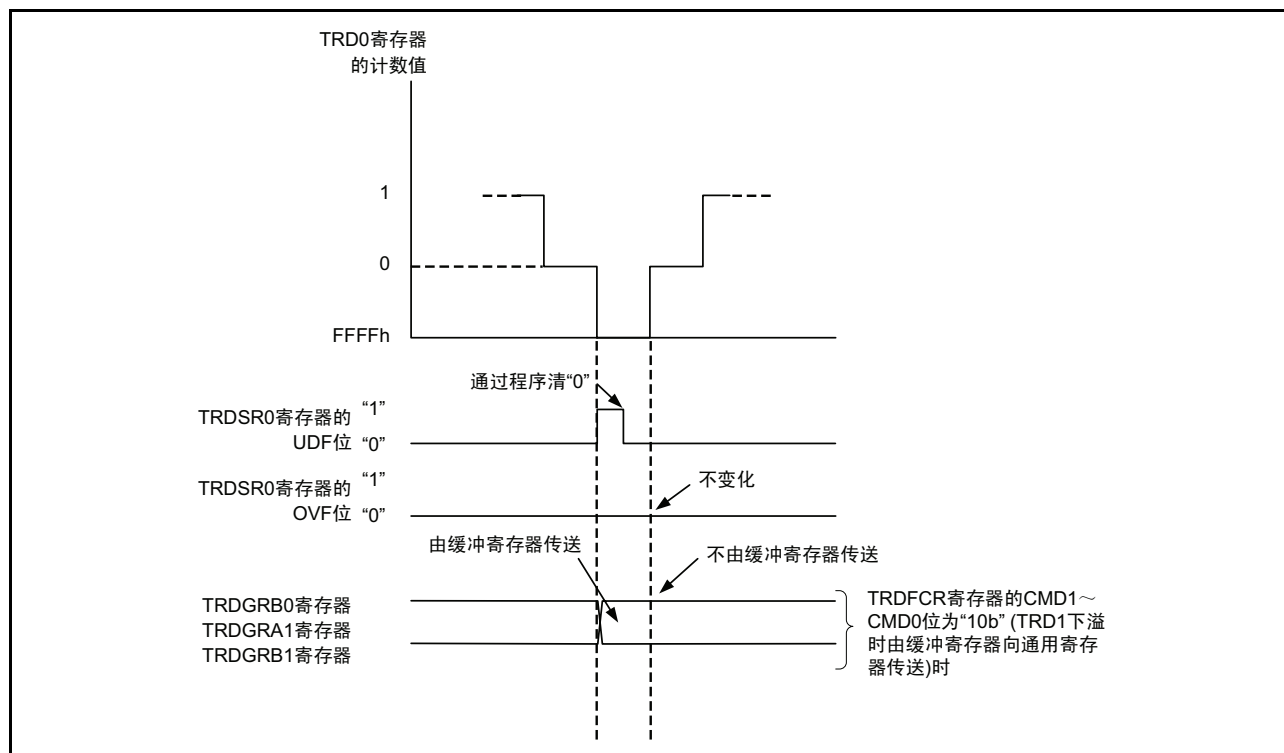


图 15.107 互补 PWM 模式时的 TRD1 下溢时的运行

- 必须通过 TRDFCR 寄存器的 CMD1 ~ CMD0 位选择由缓冲寄存器向通用寄存器传送数据的时序。但是，在以下情况中，与 CMD1 ~ CMD0 位的值无关，按以下时序传送。

缓冲寄存器的值 $\geq$ TRDGRA0 寄存器的值时

在 TRD1 寄存器下溢时传送。

然后，如果把大于等于 “0001h” 且小于 TRDGRA0 寄存器的值写入缓冲寄存器，则在第一次设定后的 TRD1 寄存器下溢时，向通用寄存器传送数据。此后，以由 CMD1 ~ CMD0 位选择的时序传送数据。

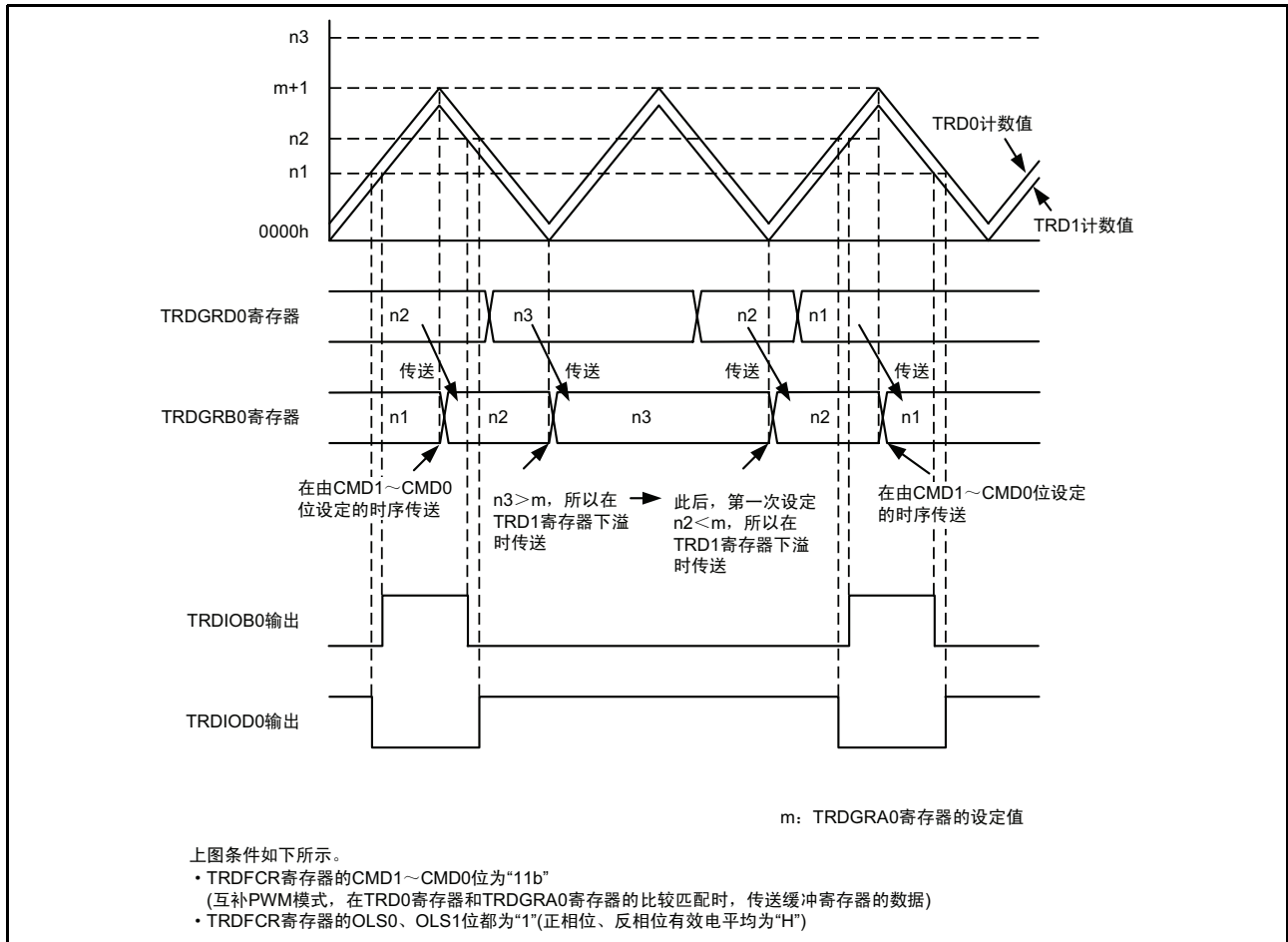


图 15.108 互补 PWM 模式时的缓冲寄存器的值 $\geq$ TRDGRA0 寄存器的值时的运行例子

缓冲寄存器的值为“0000h”时

在 TRD0 和 TRDGRA0 寄存器比较匹配时传送。

然后，如果将大于等于“0001h”且小于 TRDGRA0 寄存器的值设定到缓冲寄存器，则在第一次设定后的 TRD0 和 TRDGRA0 寄存器比较匹配时，向通用寄存器传送数据。此后，在通过由 CMD1 ~ CMD0 位选择的时序传送数据。

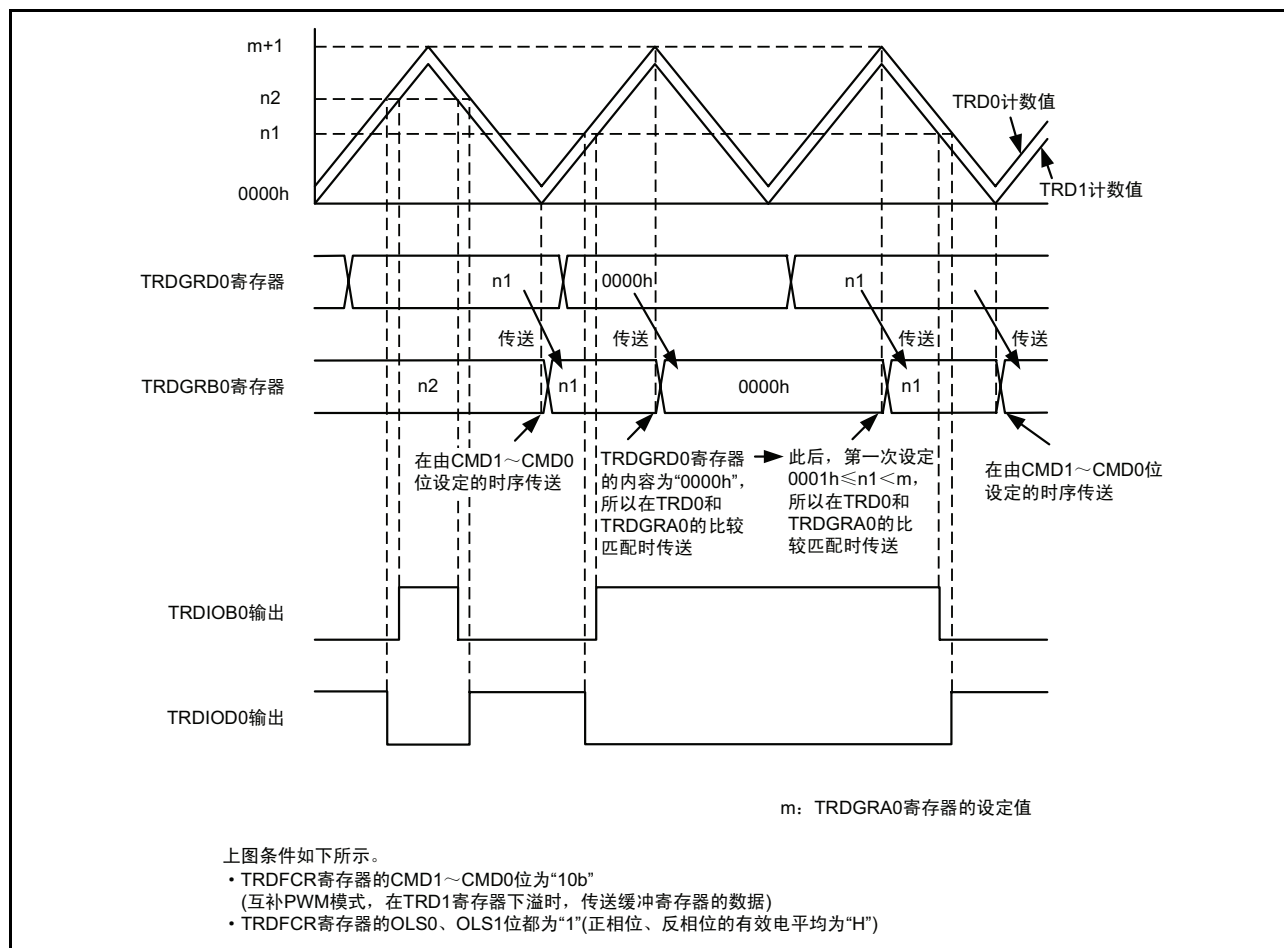


图 15.109 互补 PWM 模式时的缓冲寄存器的值为“0000h”时的运行例子

15.3.12.8 计数源 fOCO40M

关于计数源 fOCO40M，能够在电源电压 $V_{CC}=3.0 \sim 5.5V$ 的范围内使用。在此外的电压上，不要将 TRDCR0、TRDCR1 寄存器的 TCK2 ~ TCK0 位置“110b”（选择 fOCO40M 为计数源）。

15.4 定时器 RE

定时器 RE 是带有 4 位计数器和 8 位计数器的定时器。

定时器 RE 具有以下模式。

- **输出比较模式** 是对计数源计数，并检测比较匹配的模式

定时器 RE 的计数源是定时器运行的运行时钟。

15.4.1 输出比较模式

是使用 4 位计数器和 8 位计数器对计数源的 2 分频计数，并检测 8 位计数器与比较值匹配的模式。输出比较模式的框图如图 15.110 所示，输出比较模式的规格如表 15.37 所示，输出比较模式的相关寄存器如图 15.111～图 15.115 所示，输出比较模式的运行例子如图 15.116。

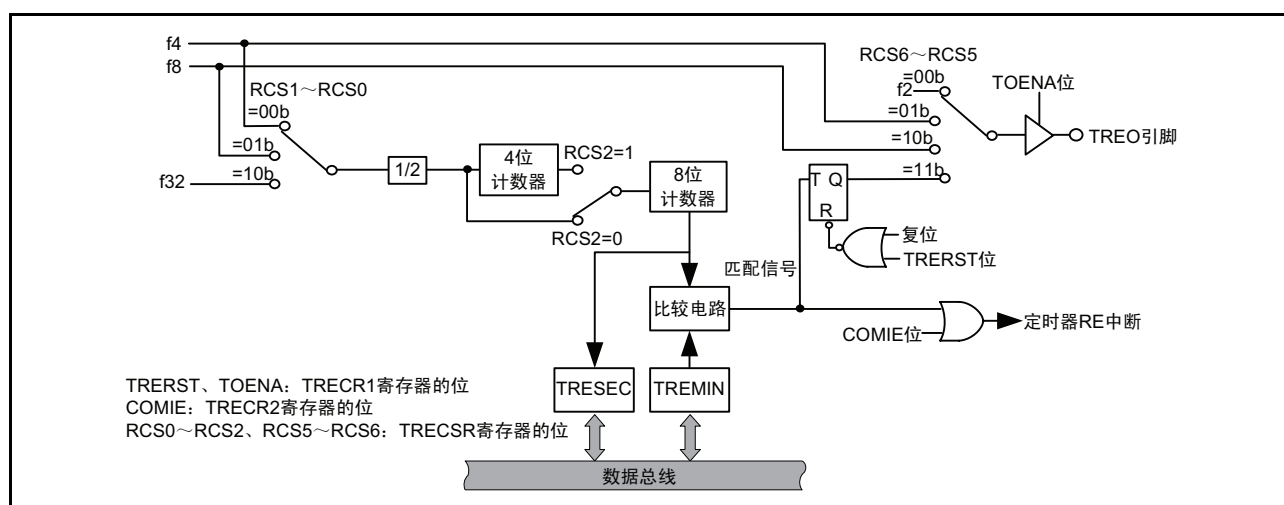


图 15.110 输出比较模式的框图

表 15.37 输出比较模式的规格

项目	规格
计数源	f4、f8、f32
计数运行	- 递增计数 8 位计数器的值与 TREMIN 寄存器的内容匹配时，数值返回 “00h”，继续计数。停止计数时保持计数值。
计数周期	- RCS2=0（不使用 4 位计数器）时 $1/f_i \times 2 \times (n+1)$ - RCS2=1（使用 4 位计数器）时 $1/f_i \times 32 \times (n+1)$ fi: 计数源的频率 n: TREMIN 寄存器的设定值
开始计数的条件	对 TRECR1 寄存器的 TSTART 位置 “1”（开始计数）
停止计数的条件	对 TRECR1 寄存器的 TSTART 位写 “0”（开始计数）
中断请求产生时序	8 位计数器的内容和 TREMIN 寄存器的内容匹配时
TREO 引脚功能	选择以下的任意一个 - 可编程输入 / 输出端口 - 输出 f2、f4、f8 中的任意一个 - 比较输出
读定时器	读 TRESEC 寄存器，就会读取 8 位计数器的值 读 TREMIN 寄存器，就会读取比较值
写定时器	不能写入 TRESEC 寄存器 TRECR1 寄存器的 TSTART 位和 TCSTF 位都为 “0”（定时器停止）时，能写入 TREMIN 寄存器
功能选择	- 选择使用 4 位计数器 - 比较输出功能 每当 8 位计数器的值和 TREMIN 寄存器的内容匹配时就对 TREO 输出极性取反。 复位解除后，定时器 RE 通过 TRECR1 的 TRERST 位复位后输出 “L” 电平。 将 TSTART 位清 “0”（停止计数）时保持输出电平。

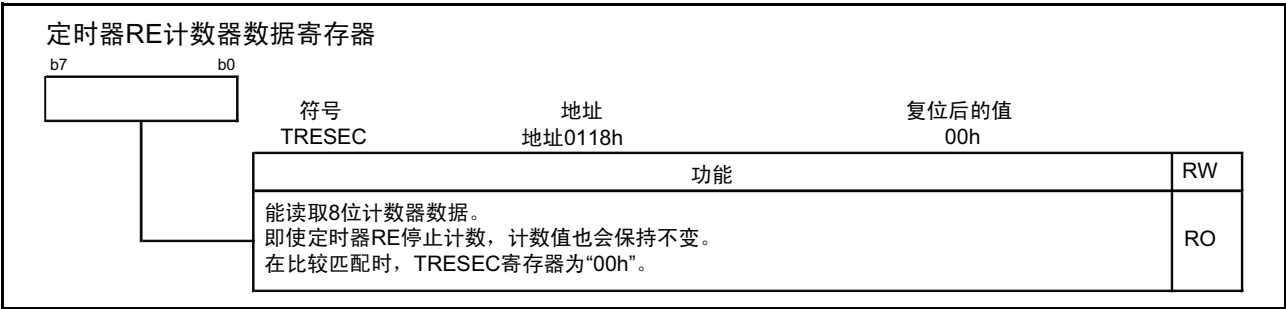


图 15.111 输出比较模式时的 TRESEC 寄存器



图 15.112 输出比较模式时的 TREMIN 寄存器

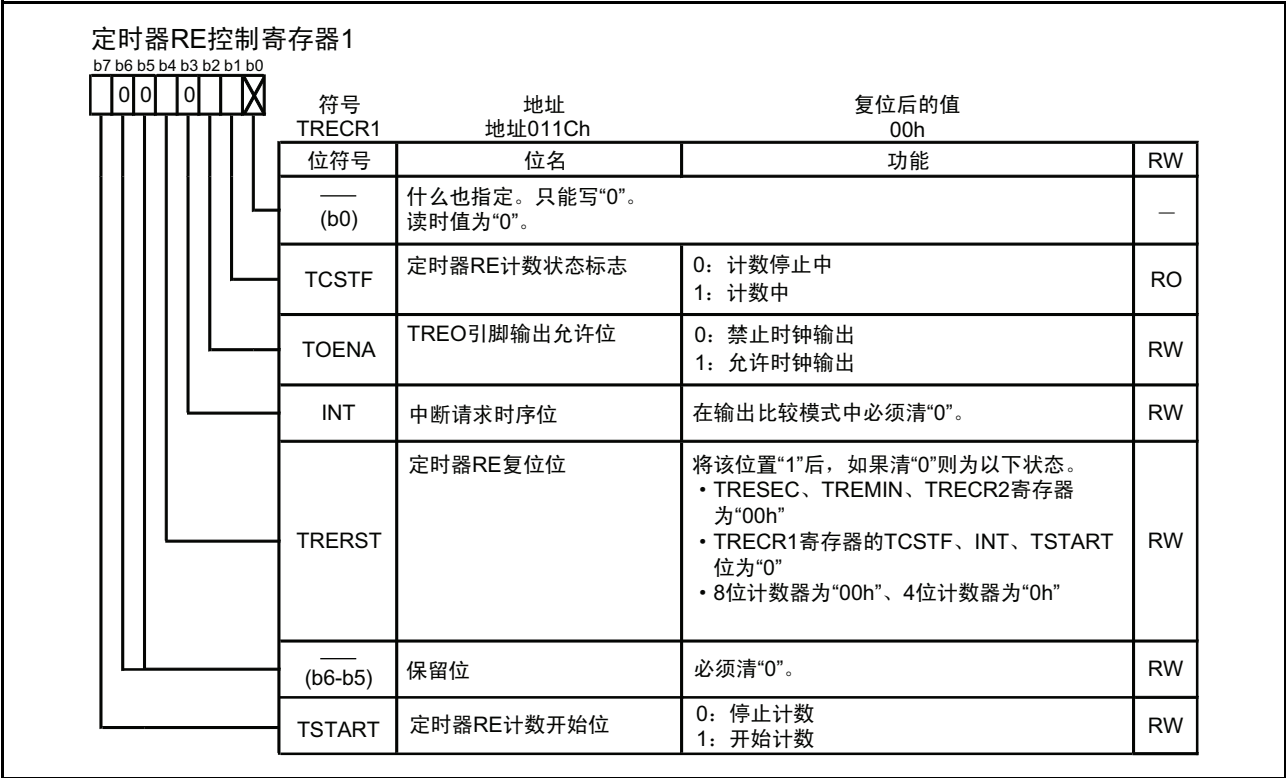


图 15.113 输出比较模式时的 TREC1 寄存器

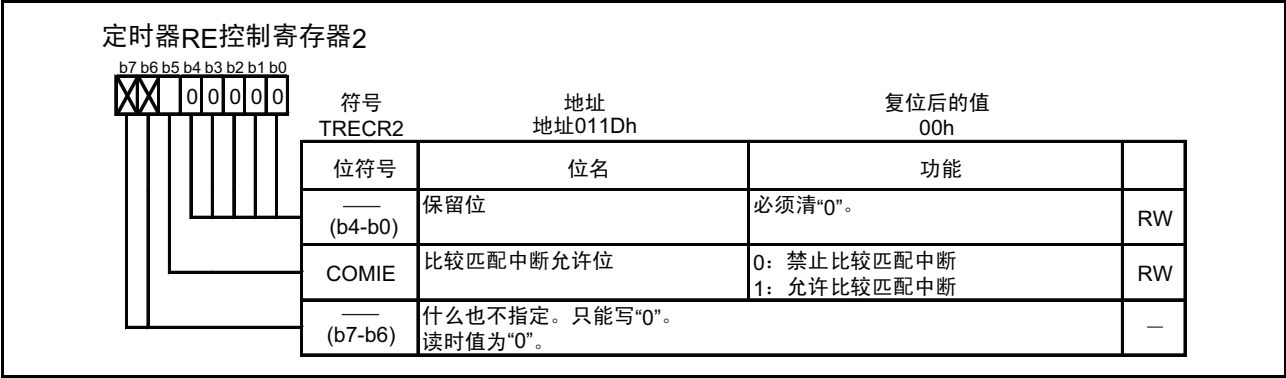


图 15.114 输出比较模式时的 TREC2 寄存器

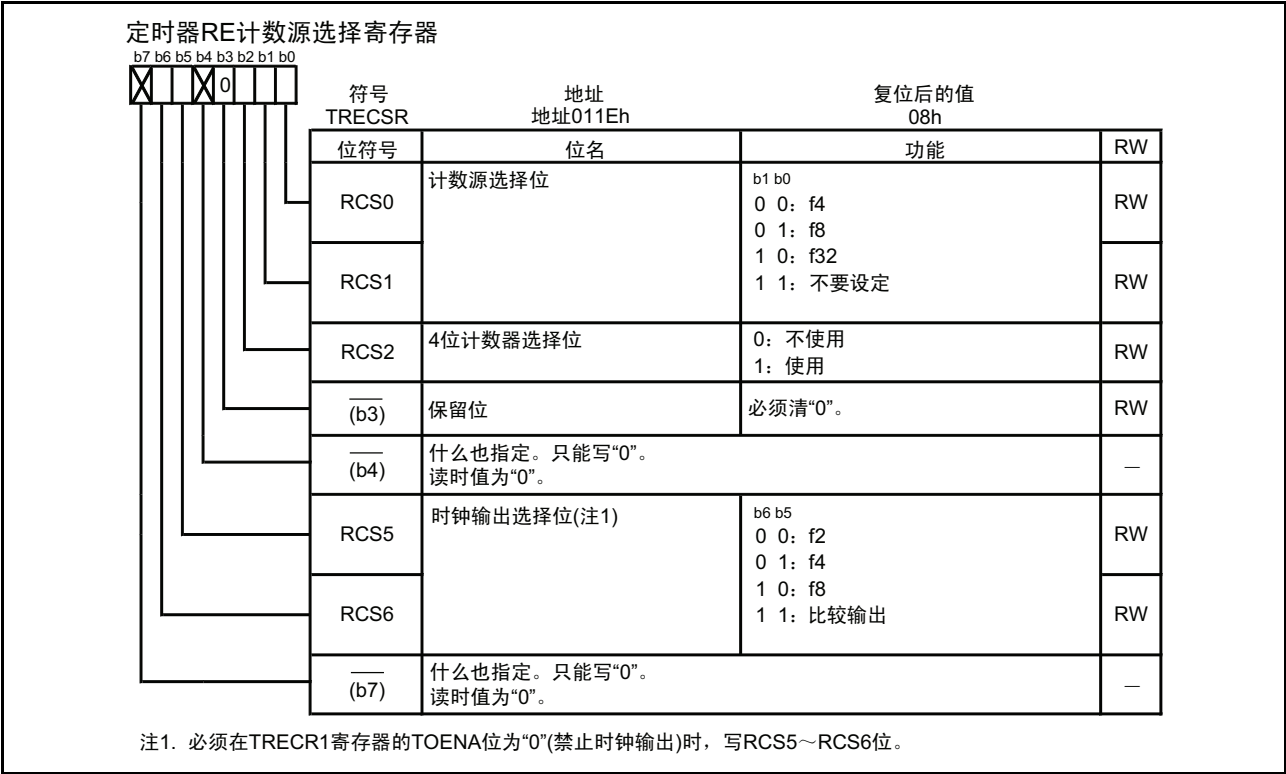


图 15.115 输出比较模式时的 TRECSR 寄存器

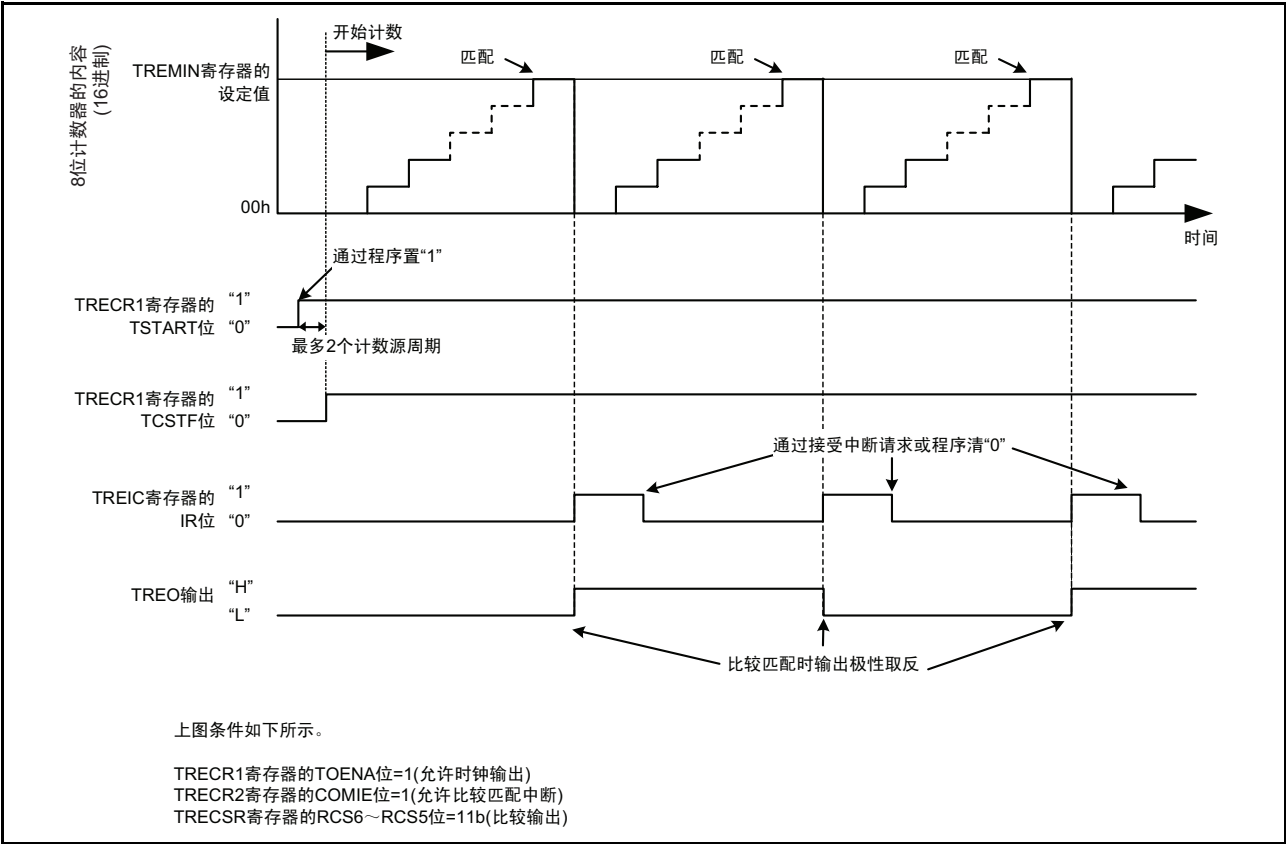


图 15.116 输出比较模式的运行例子

15.4.2 定时器 RE 使用时的注意事项

15.4.2.1 开始、停止计数

在定时器 RE 上有指示开始或停止计数的 TSTART 位和显示开始或停止计数的 TCSTF 位。TSTART 位和 TCSTF 位都在寄存器 TRECR1 上。

将 TSTART 位置“1”（开始计数），定时器 RE 开始计数，TCSTF 位变为“1”（开始计数）。从将 TSTART 位置“1”后，到 TCSTF 位变为“1”之前，最多花费 2 个计数源周期。其间，不要存取 TCSTF 位以外的与定时器 RE 相关的寄存器（注 1）。

同样，如果将 TSTART 位清“0”（停止计数），定时器 RE 就停止计数，TCSTF 位变为“0”（停止计数）。从将 TSTART 位清“0”后，到 TCSTF 位变为“0”之前，最多花费 2 个计数源周期。其间，不要存取 TCSTF 位以外的与定时器 RE 相关的寄存器。

注 1. 与定时器 RE 相关的寄存器：TRESEC、TREMIN、TRECR1、TRECR2、TRECSR

15.4.2.2 设定寄存器

在定时器 RE 停止时，必须写入以下的寄存器或位。

- TRESEC、TREMIN、TRECR2 寄存器
- TRECR1 寄存器的 INT 位
- TRECSR 寄存器的 RCS0 ~ RCS2 位

定时器 RE 停止是指 TRECR1 寄存器的 TSTART 位和 TCSTF 位都为“0”（定时器 RE 停止）的状态。

另外，必须在设定上述寄存器或位的最后设定 TRECR2 寄存器（定时器 RE 开始计数之前）。

16. 串行接口

串行接口由 UART0 和 UART1 二个通道构成。UART0 和 UART1 分别具有产生传送时钟的专用定时器，并独立运行。

UARTi (i=0 ~ 1) 的框图如图 16.1 所示，发送和接收部分的框图如图 16.2 所示。

UART0 具有时钟同步串行 I/O 模式和时钟异步串行 I/O 模式 (UART 模式) 2 种。

UART1 仅有时钟异步串行接口模式 (UART 模式)。

有关 UARTi 的寄存器如图 16.3 ~ 图 16.6 所示。

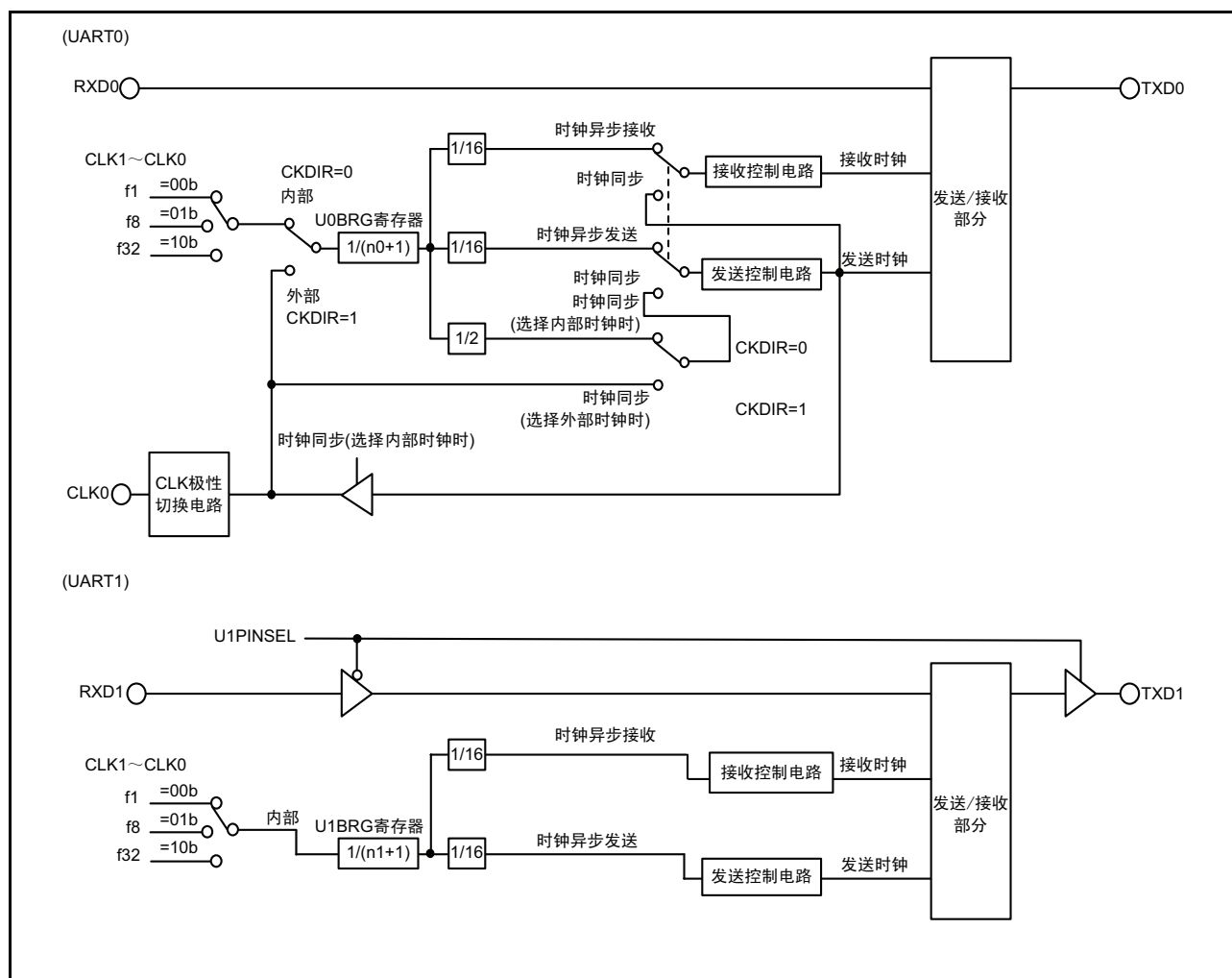


图 16.1 UARTi(i=0 ~ 1) 的框图

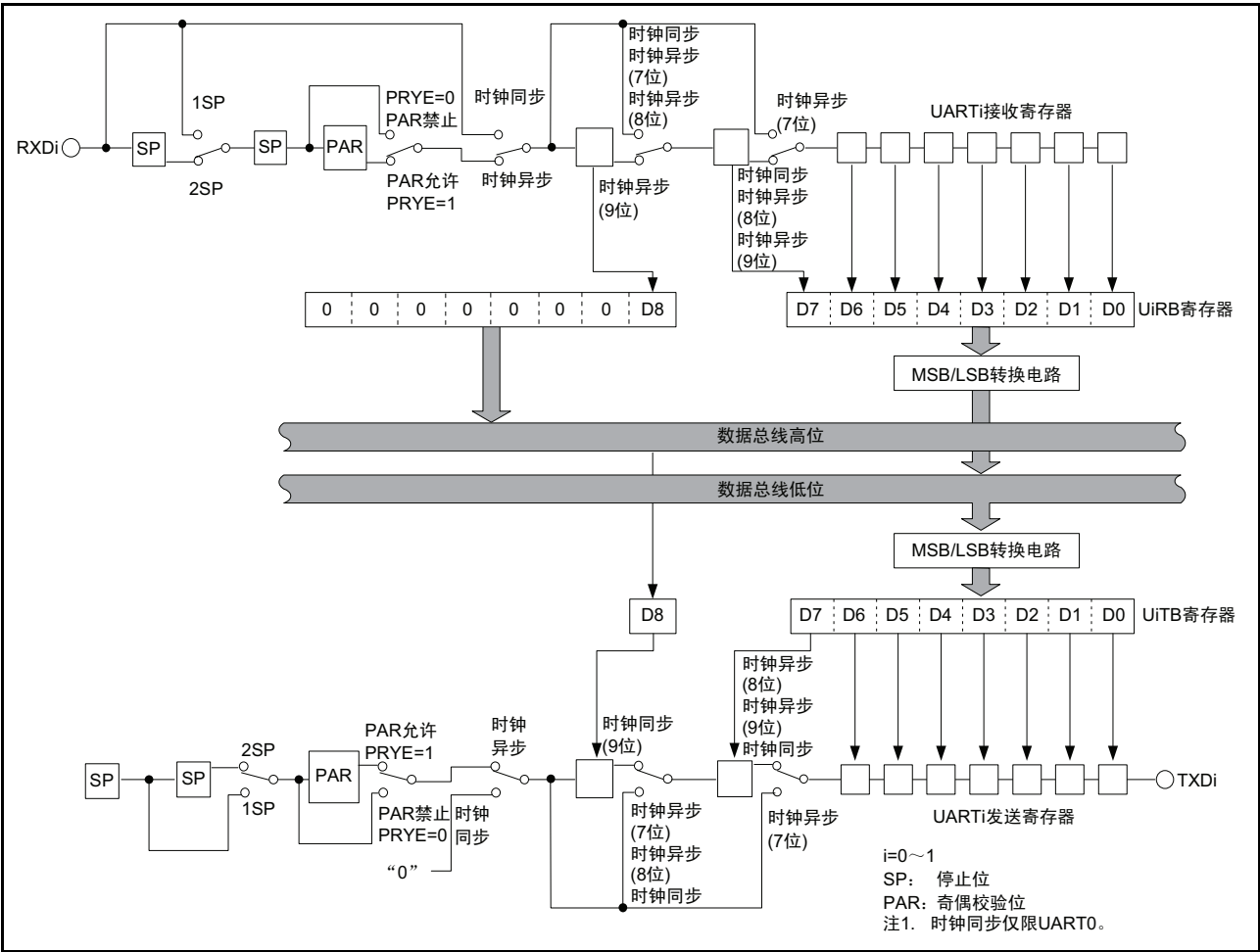
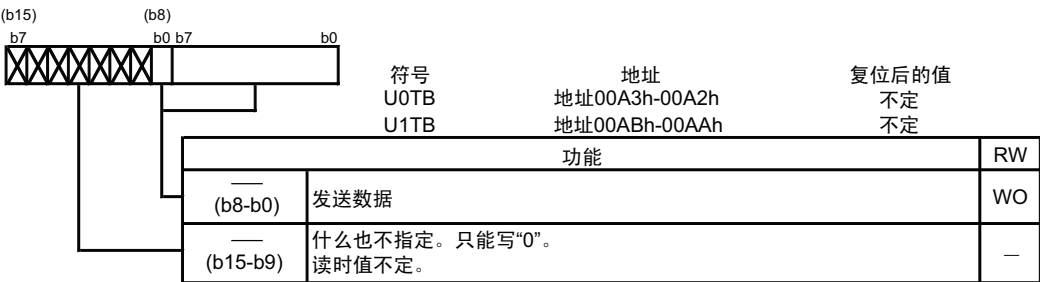


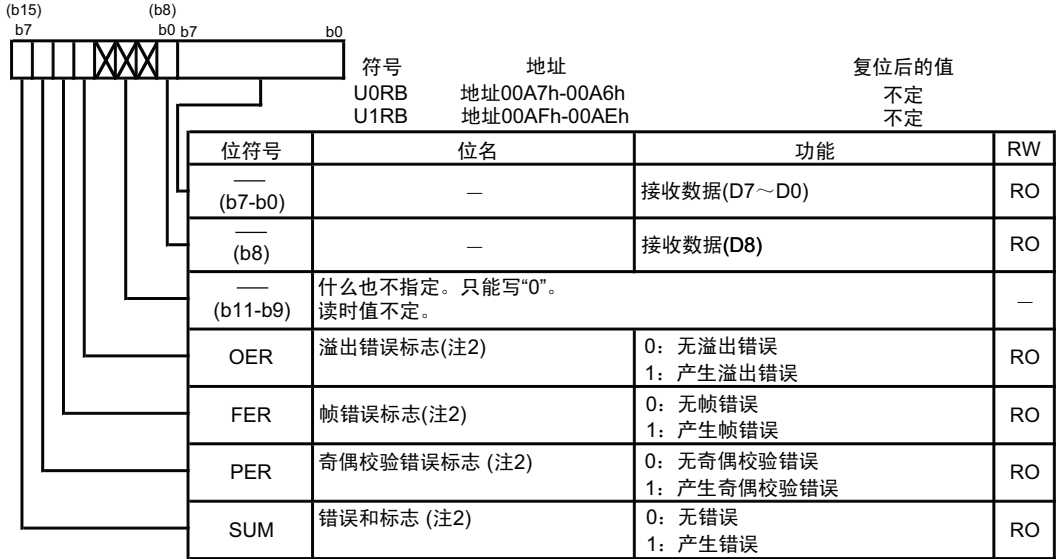
图 16.2 发送和接收部分的框图

UARTi发送缓冲寄存器(i=0~1)(注1、2)



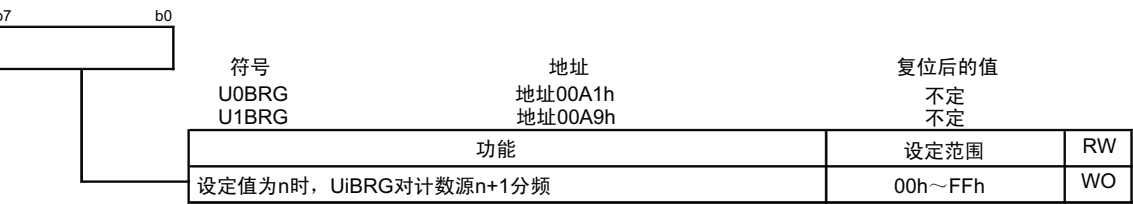
注1. 传送数据长度为9位时，必须按照高位字节→低位字节的顺序写入。
注2. 必须使用MOV指令写入。

UARTi接收缓冲寄存器(i=0~1)(注1)



注1. 必须以16位单位读取UiRB寄存器。
注2. SUM、PER、FER、OER位在将UiMR寄存器的SMD2~SMD0位置“000b”(串行接口无效)时，或将UiC1寄存器的RE位清“0”(禁止接收)时，为“0”(无错误)(SUM位在PER、FER、OER位全部为“0”(无错误)时，为“0”(无错误)。另外，PER、FER位在读取UiRB寄存器的高位字节时为“0”。

UARTi位速率寄存器(i=0~1)(注1、2、3)



注1. 必须在发送/接收停止时写入。
注2. 必须使用MOV指令写入。
注3. 必须在设定UiC0寄存器的CLK0~CLK1位后，写入UiBRG寄存器。

图 16.3 U0TB ~ U1TB、U0RB ~ U1RB 以及 U0BRG ~ U1BRG 寄存器

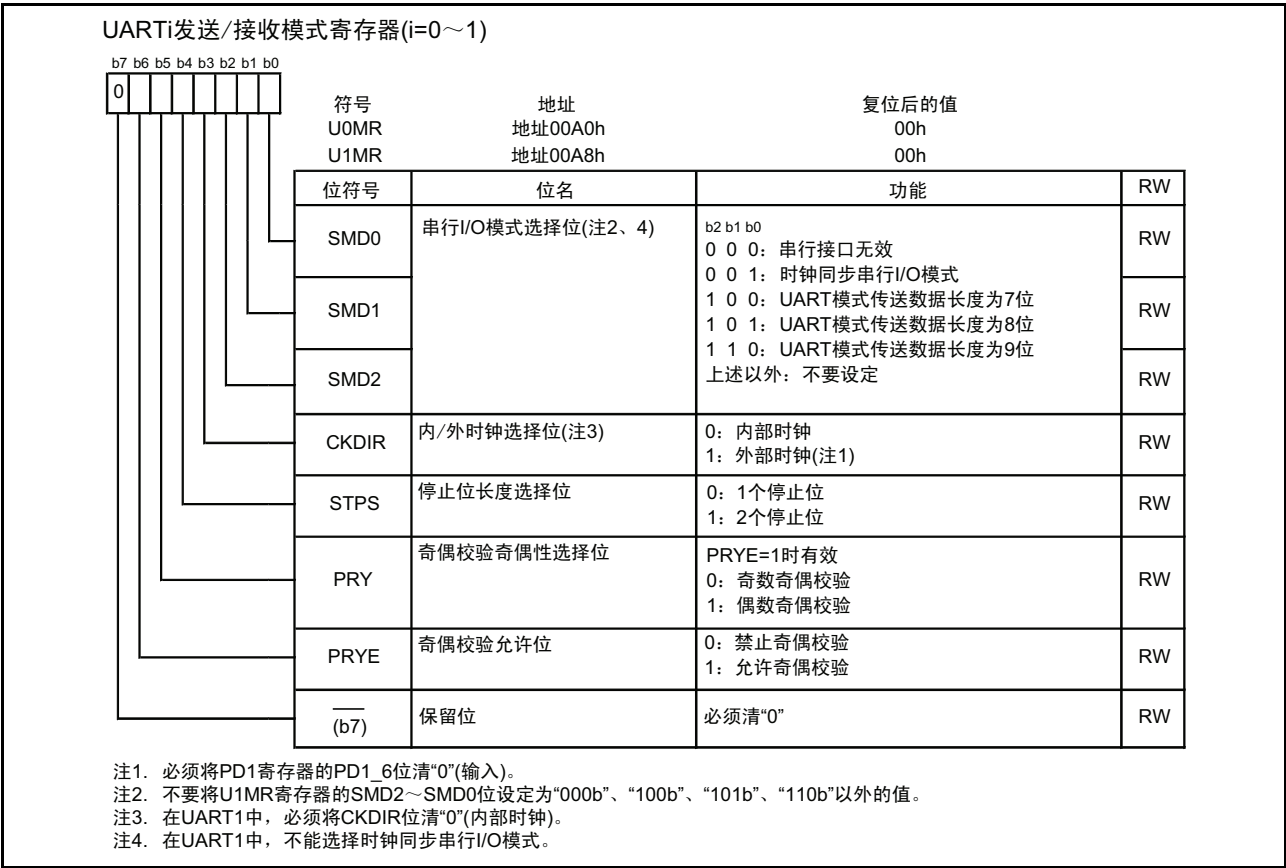


图 16.4 U0MR ~ U1MR 寄存器

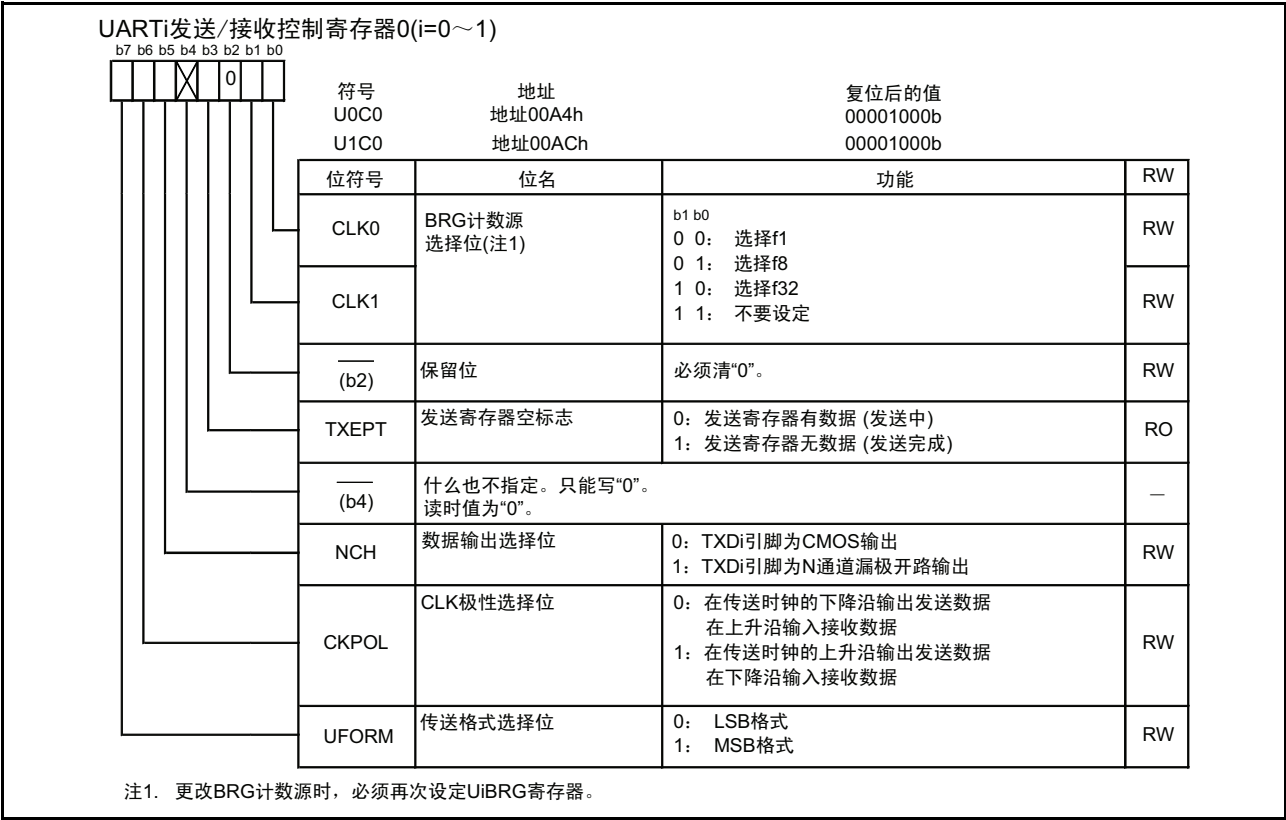


图 16.5 U0C0 ~ U1C0 寄存器

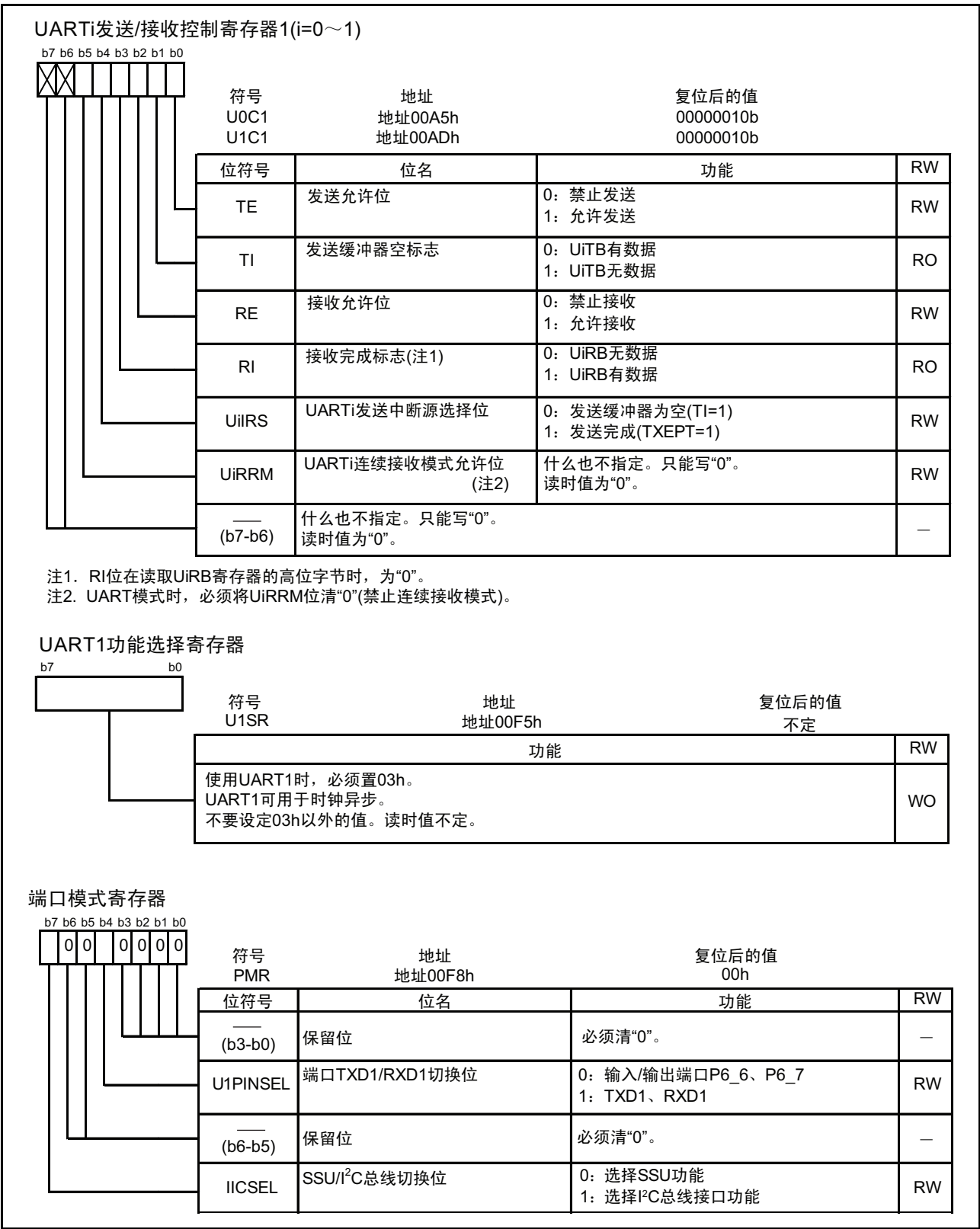


图 16.6 U0C1 ~ U1C1、U1SR、PMR 寄存器

16.1 时钟同步串行 I/O 模式

时钟同步串行 I/O 模式是用传送时钟进行发送和接收的模式。只能选择 UART0。时钟同步串行 I/O 模式的规格如表 16.1 所示，时钟同步串行 I/O 模式时使用的寄存器和设定值（注 1）如表 16.2 所示。

表 16.1 时钟同步串行 I/O 模式的规格

项目	规格
传送数据格式	传送数据长度 8 位
传送时钟	- U0MR 寄存器的 CKDIR 位为 “0”（内部时钟）：$f_i/2(n+1)$ $f_i=f_1$、f_8、f_{32} $n=U0BRG$ 寄存器的设定值 00h ~ FFh - CKDIR 位为 “1”（外部时钟）：从 CLK0 引脚输入
发送开始条件	发送开始需要以下条件（注 1）： U0C1 寄存器的 TE 位为 “1”（允许发送） U0C1 寄存器的 TI 位为 “0”（U0TB 寄存器中有数据）
接收开始条件	接收开始需要以下条件（注 1）： U0C1 寄存器的 RE 位为 “1”（允许接收） U0C1 寄存器的 TE 位为 “1”（允许发送） U0C1 寄存器的 TI 位为 “0”（U0TB 寄存器中有数据）
中断请求产生时序	- 在发送时，能选择以下的任何一个条件： - U0IRS 位为 “0”（发送缓冲器空）： 从 U0TB 寄存器给 UART0 发送寄存器传送数据时（在发送开始时） - U0IRS 位为 “1”（完成发送）：完成从 UART0 发送寄存器发送数据时 - 在接收时 从 UART0 接收寄存器给 U0RB 寄存器传送数据时（在完成接收时）
错误检测	溢出错误（注 2） 在读 U0RB 寄存器前，开始接收下一个数据，在接收下一个数据的第 7 个位时产生
选择功能	- CLK 极性选择 传送数据的输出和输入时序能选择产生在传送时钟的上升沿或者下降沿 - LSB first 和 MSB first 选择 选择是从 bit0 还是从 bit7 开始发送和接收 - 连续接收模式选择 通过读 U0RB 寄存器，同时变为接收允许状态

注 1. 在选择外部时钟的情况下，当 U0C0 寄存器的 CKPOL 位为 “0”（在传送时钟的下降沿输出发送数据，在上升沿输入接收数据）时，必须在外部时钟为 “H” 电平状态下满足条件；当 CKPOL 位为 “1”（在传送时钟的上升沿输出发送数据，在下降沿输入接收数据）时，必须在外部时钟为 “L” 电平状态下满足条件。

注 2. 当产生溢出错误时，U0RB 寄存器的接收数据（b0 ~ b8）不定。另外，S0RIC 寄存器的 IR 位不变化。

表 16.2 时钟同步串行 I/O 模式时使用的寄存器和设定值（注 1）

寄存器	位	功能
U0TB	0 ~ 7	设定发送数据
U0RB	0 ~ 7	能读取接收数据
	OER	溢出错误标志
U0BRG	0 ~ 7	设定位速率
U0MR	SMD2 ~ SMD0	必须设定为 “001b”
	CKDIR	选择内部时钟或者外部时钟
U0C0	CLK1 ~ CLK0	选择 U0BRG 寄存器的计数源
	TXEPT	发送寄存器空标志
	NCH	选择 TXD0 引脚的输出形式
	CKPOL	选择传送时钟的极性
	UFORM	选择 LSB first 或 MSB first
U0C1	TE	在允许发送和接收时，必须置 “1”
	TI	发送缓冲器空标志
	RE	在允许接收时，必须置 “1”
	RI	接收完成标志
	U0IRS	选择 UART0 发送中断源
	U0RRM	在使用连续接收模式时，必须置 “1”

注 1. 对此表中没有记载的位，在时钟同步串行 I/O 模式时只能写 “0”。

时钟同步串行 I/O 模式时的输入 / 输出引脚功能如表 16.3 所示。

在选择 UART0 的运行模式后到传送开始前，TXD0 引脚输出 “H” 电平（在 NCH 位为 “1”（N 沟道漏极开路输出）时，为高阻抗状态）。

表 16.3 时钟同步串行 I/O 模式时的输入 / 输出引脚功能

引脚名称	功能	选择方法
TXD0 (P1_4)	输出串行数据	（在只进行接收时，进行虚设数据的输出）
RXD0 (P1_5)	输入串行数据	PD1 寄存器的 PD1_5 位 =0 （在只进行发送时，能将 P1_5 作为输入端口使用）
CLK0 (P1_6)	输出传送时钟	U0MR 寄存器的 CKDIR 位 =0
	输入传送时钟	U0MR 寄存器的 CKDIR 位 =1 PD1 寄存器的 PD1_6 位 =0

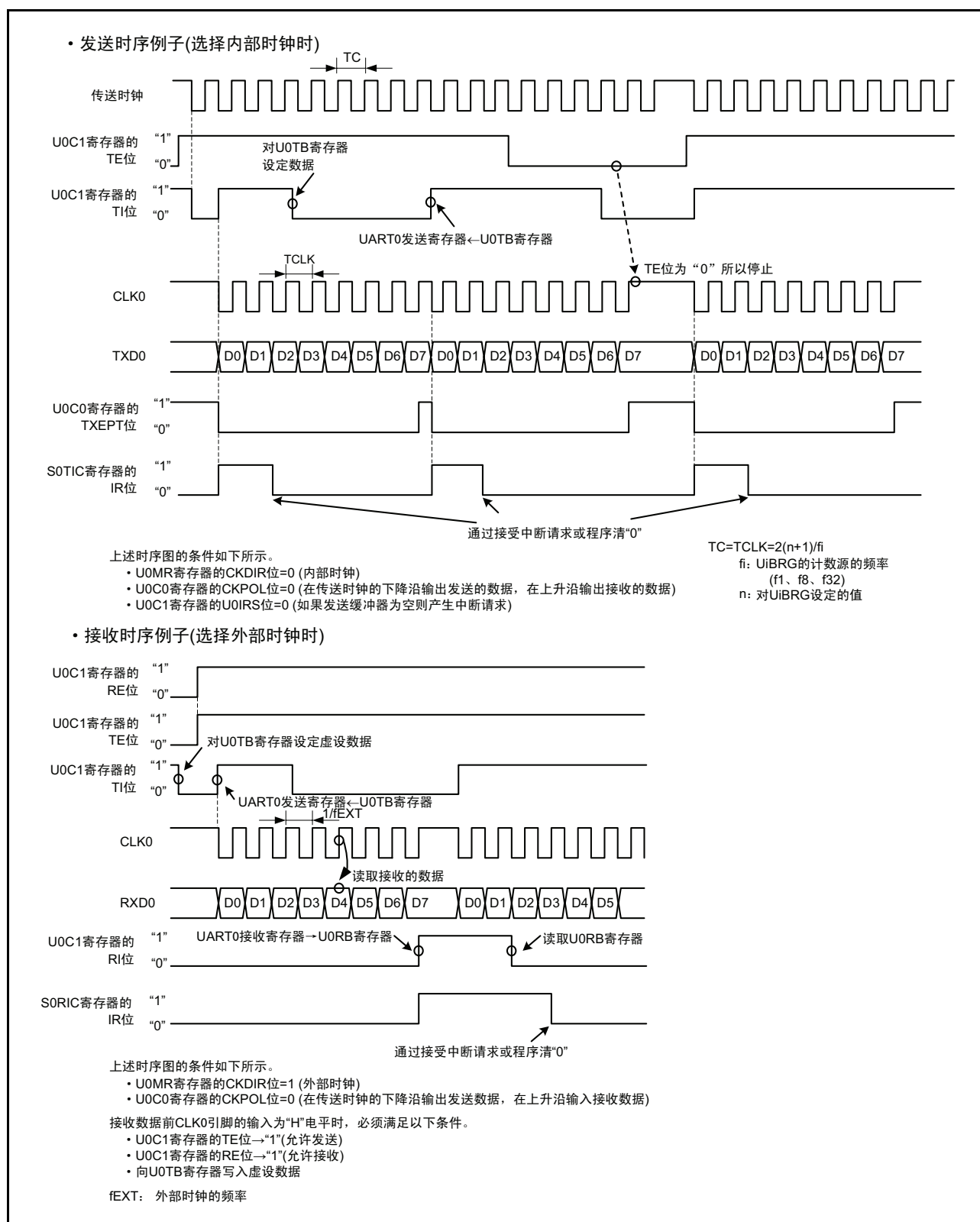


图 16.7 时钟同步串行 I/O 模式时的发送和接收时序例子

16.1.1 极性选择功能

传送时钟的极性如图 16.8 所示。能通过 U0C0 寄存器的 CKPOL 位，选择传送时钟的极性。

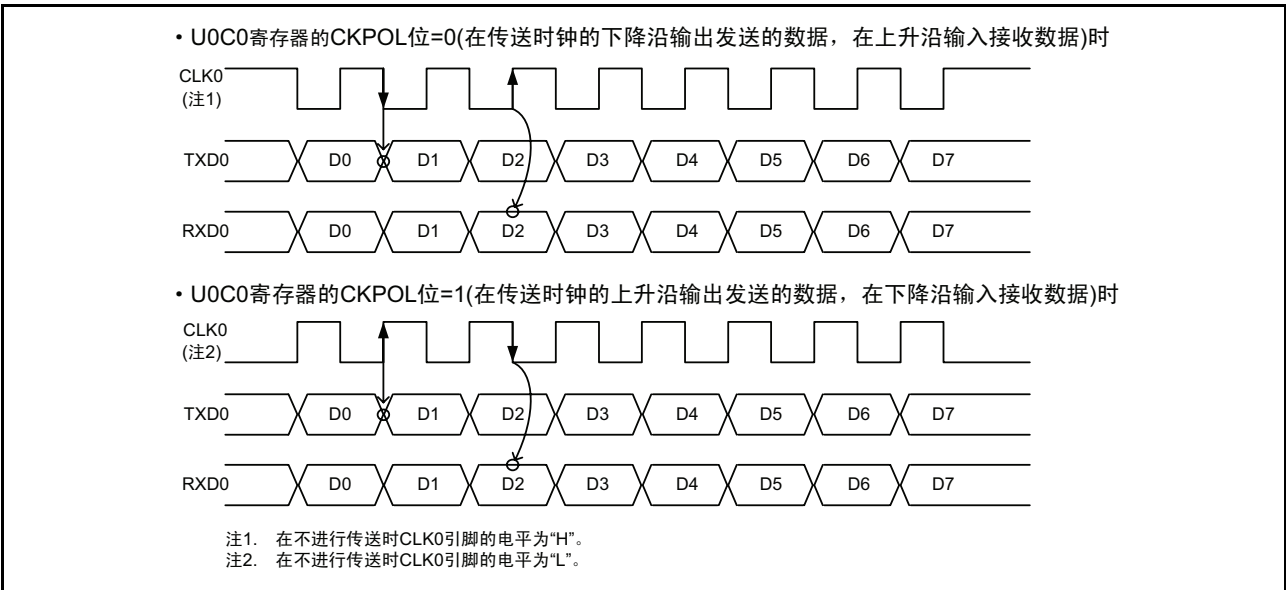


图 16.8 传送时钟的极性

16.1.2 选择 LSB first 或 MSB first

传送格式如图 16.9 所示。能通过 U0C0 寄存器的 UFORM 位选择传送格式。

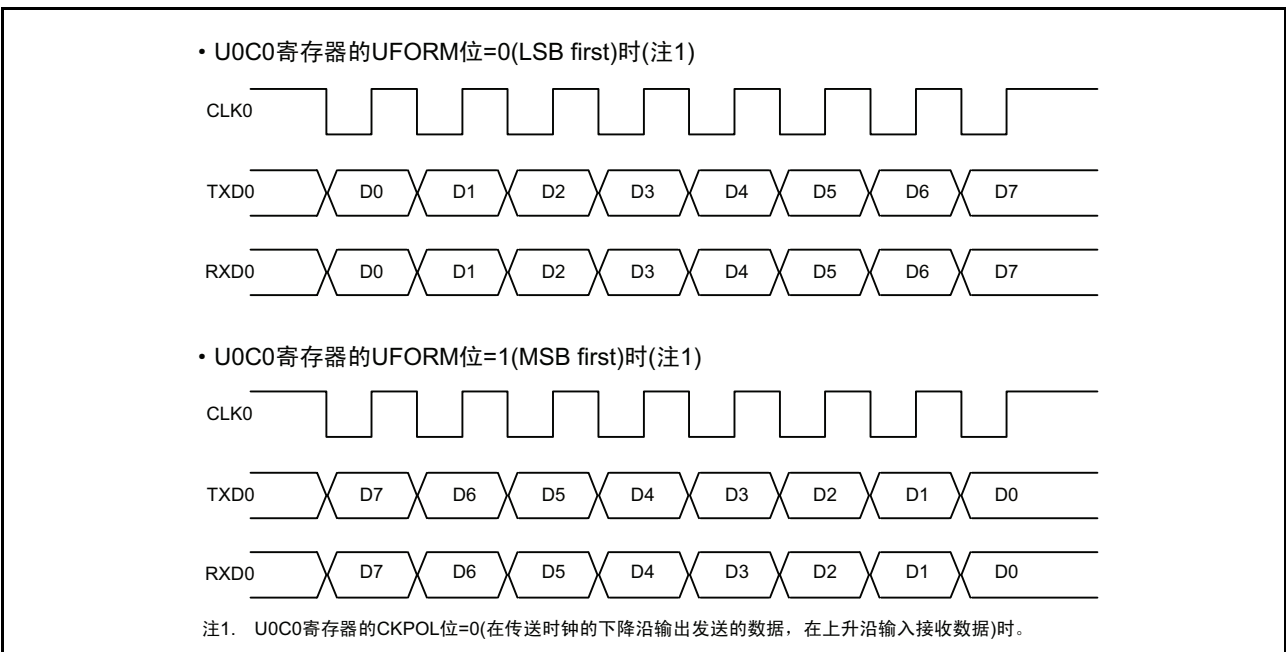


图 16.9 传送格式

16.1.3 连续接收模式

通过将 U0C1 寄存器的 U0RRM 位设定为“1”（允许连续接收模式），变为连续接收模式。在连续接收模式，通过读 U0RB 寄存器，U0C1 寄存器的 TI 位变为“0”（U0TB 中有数据）。在 U0RRM 位为“1”时，不能通过程序对 U0TB 寄存器写虚设数据。

16.2 时钟异步串行 I/O（UART）模式

时钟异步串行 I/O 模式是在设定任意位速率和传送数据格式后进行发送和接收的模式。

时钟异步串行 I/O 模式的规格如表 16.4 所示，UART 模式时使用的寄存器和设定值如表 16.5 所示。

表 16.4 时钟异步串行 I/O 模式的规格

项目	规格
传送数据格式	• 字符位（传送数据） 能选择 7 位、8 位、9 位 • 起始位 1 位 • 奇偶校验位 能选择奇数、偶数或者无校验 • 停止位 能选择 1 位、2 位
传送时钟	• UiMR 寄存器的 CKDIR 位为“0”（内部时钟）：$f_j/(16(n+1))$ $f_j=f1、f8、f32$ $n=UiBRG$ 寄存器的设定值 00h ~ FFh • CKDIR 位为“1”（外部时钟）：$fEXT/(16(n+1))$ $fEXT$ 为从 CLK0 引脚的输入 $n=UiBRG$ 寄存器的设定值 00h ~ FFh
发送开始条件	• 发送开始需要以下条件： UiC1 寄存器的 TE 位为“1”（允许发送） UiC1 寄存器的 TI 位为“0”（UiTB 寄存器中有数据）
接收开始条件	• 接收开始需要以下条件： UiC1 寄存器的 RE 位为“1”（允许接收） 检测到起始位
中断请求产生时序	• 在发送时，能选择以下的任何一个条件： - UiIRS 位为“0”（发送缓冲器空）： 从 UiTB 寄存器给 UARTi 发送寄存器传送数据时（在发送开始时） - UiIRS 位为“1”（完成发送）： 完成从 UARTi 发送寄存器发送数据时 • 在接收时 - 从 UARTi 接收寄存器给 UiRB 寄存器传送数据时（在完成接收时）
错误检测	• 溢出错误（注 1） 在读 UiRB 寄存器前，开始接收下一个数据，在接收下一个数据的最后停止位的前一位时产生 • 帧错误 在未检测到设定的停止位个数时产生 • 奇偶校验错误 当允许奇偶校验时，在奇偶校验位和字符位中的“1”的个数不等于设定的个数时产生 • 错误和标志 在产生溢出错误、帧错误或者奇偶校验错误时为“1”

i=0 ~ 1

注 1. 当溢出错误产生时，UiRB 寄存器的接收数据（b0 ~ b8）不定。另外，SiRIC 寄存器的 IR 位不变化。

表 16.5 UART 模式时使用的寄存器和设定值

寄存器	位	功能
UiTB	0 ~ 8	设定发送数据（注 1）
UiRB	0 ~ 8	能读取接收数据（注 1、2）
	OER、FER、PER、SUM	错误标志
UiBRG	0 ~ 7	设定位速率
UiMR	SMD2 ~ SMD0	在传送数据为 7 位时，设定“100b”。 在传送数据为 8 位时，设定“101b”。 在传送数据为 9 位时，设定“110b”。
	CKDIR	选择内部时钟或者外部时钟。（注 3）
	STPS	选择停止位。
	PRY、PRYE	选择有无奇偶校验、偶数或者奇数。
UiC0	CLK0 ~ CLK1	选择 UiBRG 寄存器的计数源。
	TXEPT	发送寄存器空标志
	NCH	选择 TXDi 引脚的输出形式。
	CKPOL	必须清“0”。
	UFORM	在传送数据长度为 8 位时，能选择 LSB first 或 MSB first。 在传送数据长度为 7 位或者 9 位时，必须清“0”。
UiC1	TE	在允许发送时，必须置“1”。
	TI	发送缓冲器空标志
	RE	在允许接收时，必须置“1”。
	RI	接收完成标志
	UiIRS	选择 UARTi 发送中断源。
	UiRRM	必须清“0”。

i=0 ~ 1

注 1. 使用的位为：当传送数据长度为 7 位时，bit0 ~ 6；当传送数据长度为 8 位时，bit0 ~ 7；传送数据长度为 9 位时，bit0 ~ 8。

注 2. 传送数据长度为 7 位时，bit7 ~ 8 的内容不变；传送数据长度为 8 位时，bit8 的内容不变。

注 3. 只有 UART0 才能选择外部时钟。

UART 模式时的输入 / 输出引脚功能如表 16.6 所示。另外，在选择 UARTi(i=0 ~ 1) 的运行模式后到传送开始前，TXDi 引脚输出“H”电平（在 NCH 位为“1”（N 沟道漏极开路输出）时，为高阻抗状态）。

表 16.6 UART 模式时的输入 / 输出引脚功能

引脚名称	功能	选择方法
TXD0 (P1_4)	输出串行数据	（在只进行接收时，不能作为端口使用）
RXD0 (P1_5)	输入串行数据	PD1 寄存器的 PD1_5 位 =0 （在只进行发送时，能将 P1_5 作为输入端口使用）
CLK0 (P1_6)	可编程输入 / 输出端口	U0MR 寄存器的 CKDIR 位 =0
	输入传送时钟	U0MR 寄存器的 CKDIR 位 =1 PD1 寄存器的 PD1_6 位 =0
TXD1 (P6_6)	输出串行数据	PMR 寄存器的 U1PINSEL 位 =1 （在只进行接收时，不能作为端口使用）
RXD1 (P6_7)	输入串行数据	PMR 寄存器的 U1PINSEL 位 =1 PD6 寄存器的 PD6_7 位 =0 （在只进行发送时，能将 P6_7 作为输入端口使用）

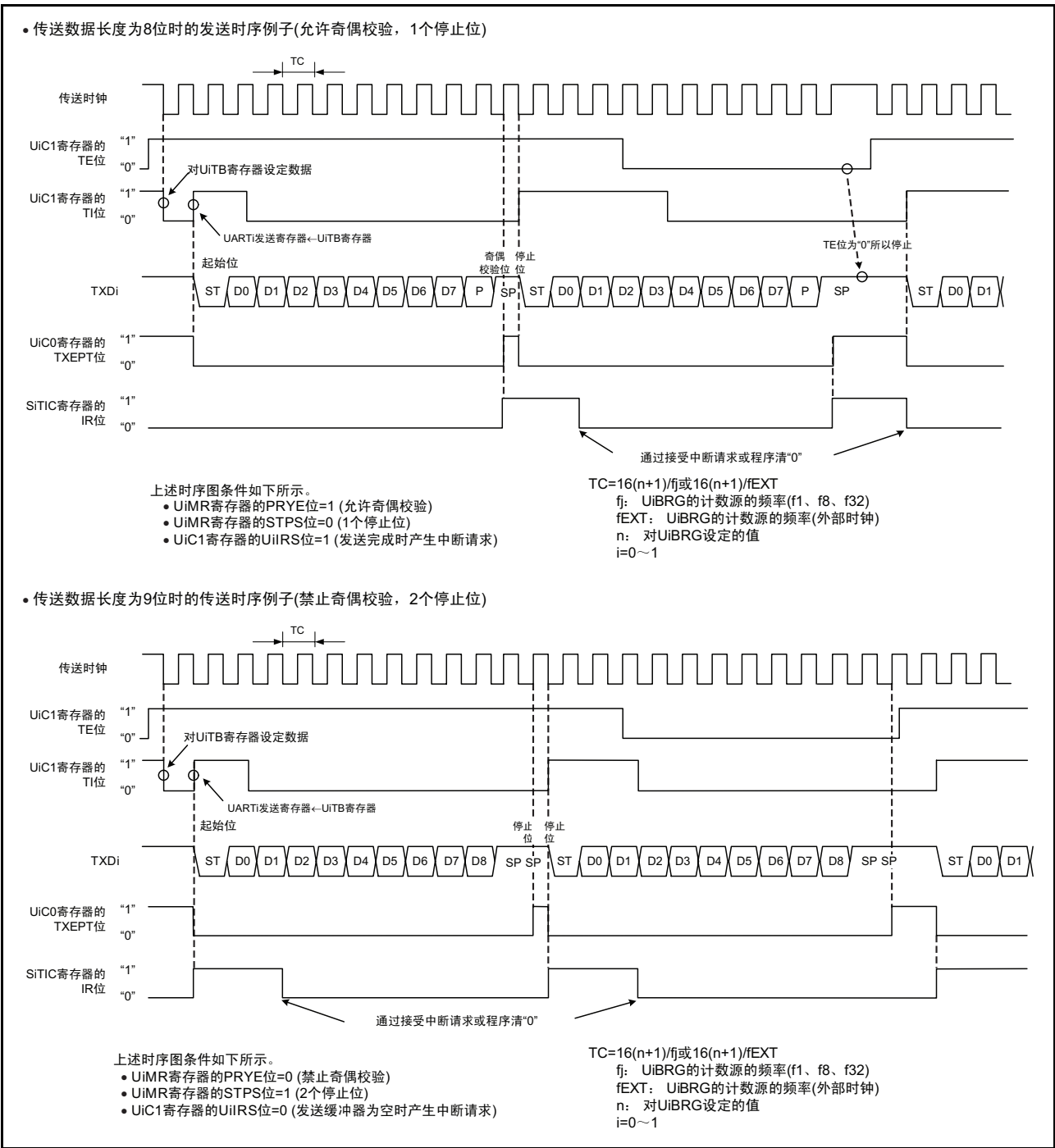


图 16.10 UART 模式时的发送时序

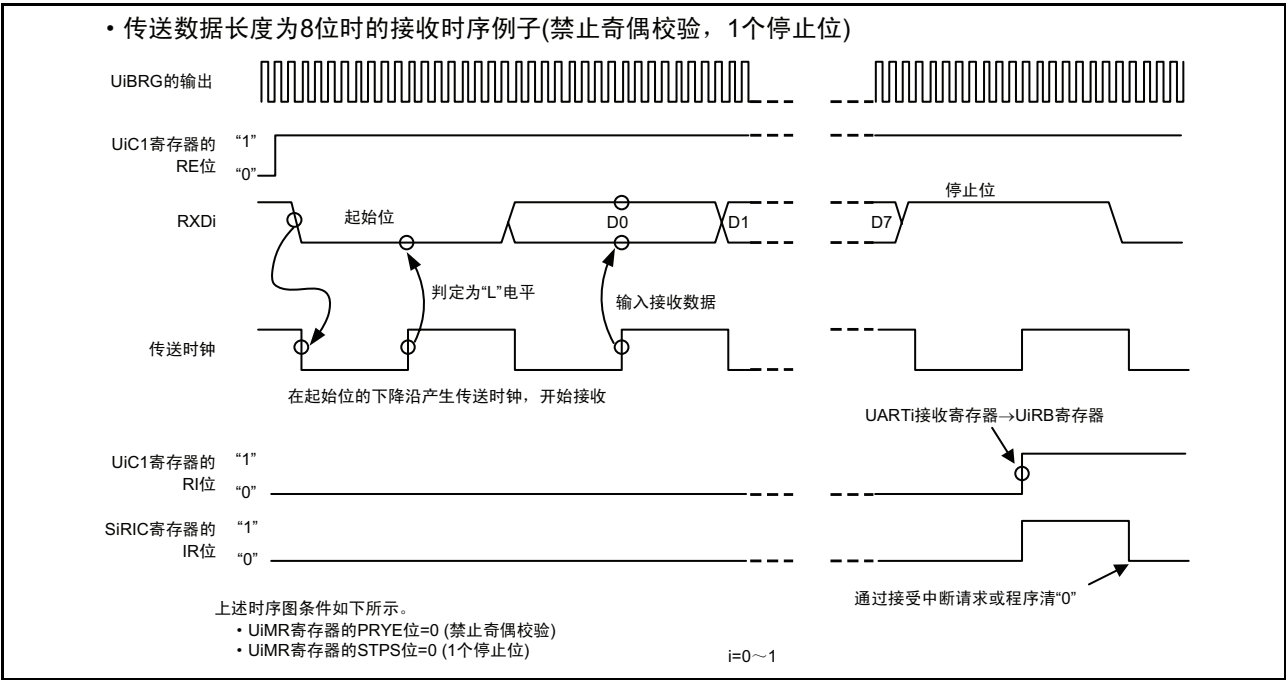


图 16.11 UART 模式时的接收时序例子

16.2.1 位速率

在 UART 模式, 由 UiBRG 寄存器 (i=0 ~ 1) 分频的频率的 16 分频为位速率。

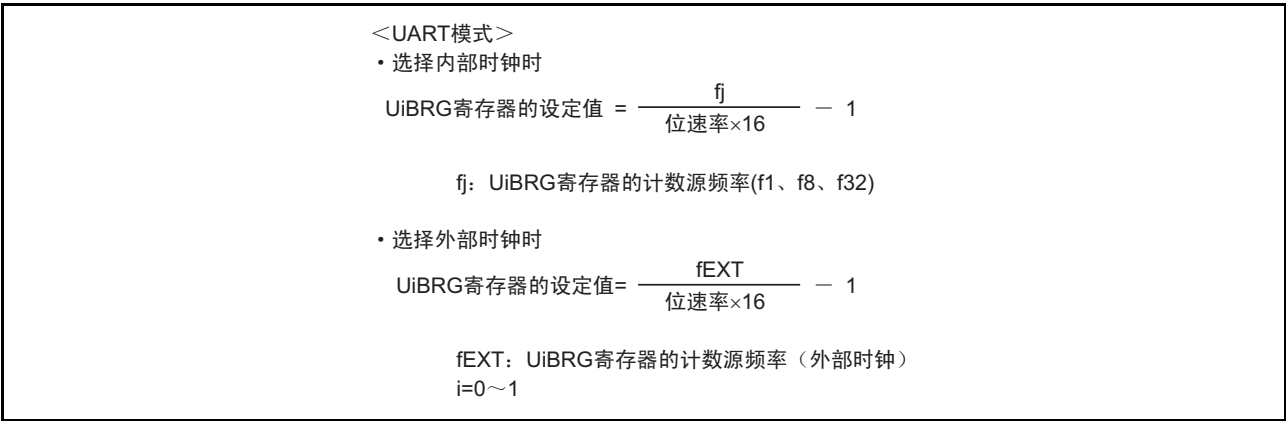


图 16.12 UiBRG 寄存器 (i=0 ~ 1) 的设定值的计算式

表 16.7 UART 模式时的位速率设定例（选择内部时钟时）

位速率 (bps)	UiBRG 的 计数源	系统时钟 =20MHz			系统时钟 =8MHz		
		UiBRG 的 设定值	实际时间 (bps)	设定误差 (%)	UiBRG 的 设定值	实际时间 (bps)	设定误差 (%)
1200	f8	129 (81h)	1201.92	0.16	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	-1.36	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	-0.22	34 (22h)	14285.71	-0.79
19200	f1	64 (40h)	19230.77	0.16	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	16 (10h)	29411.76	2.12
31250	f1	39 (27h)	31250.00	0.00	15 (0Fh)	31250.00	0.00
38400	f1	32 (20h)	37878.79	-1.36	12 (0Ch)	38461.54	0.16
51200	f1	23 (17h)	52083.33	1.73	9 (09h)	50000.00	-2.34

16.3 串行接口使用时的注意事项

- 与时钟同步串行 I/O 模式和时钟异步串行 I/O 模式无关，在读取 UiRB(i=0 ~ 1) 寄存器时，必须以 16 位单位进行。

在读取 UiRB 寄存器的高位字节时，UiRB 寄存器的 PER、FER 位和 UiC1 寄存器的 RI 位变为“0”。

读取 UiRB 寄存器后，通过读取的值确认接收错误。

<读取接收缓冲寄存器的程序例子>

```
MOV.W    00A6H, R0      ; 读取 U0RB 寄存器
```

- 在传送数据位长度为 9 位的时钟异步串行 I/O 模式中写 UiTB 寄存器时，必须以 8 位单位按高位字节 → 低位字节的顺序进行。

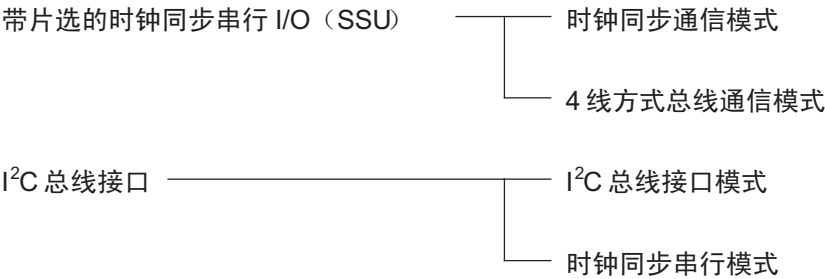
<写入发送缓冲寄存器的程序例子>

```
MOV.B    #XXH, 00A3H    ; 写入 U0TB 寄存器的高位字节
MOV.B    #XXH, 00A2H    ; 写入 U0TB 寄存器的低位字节
```

17. 时钟同步串行接口

时钟同步串行接口的结构如下：

时钟同步串行接口



时钟同步串行接口使用地址 00B8h ~ 00BFh 的寄存器，即使是相同的地址，寄存器及位的名称、符号和功能也因模式而不同，详细内容请参照各功能的寄存器图。

另外，时钟同步通信模式和时钟同步串行模式的不同是传送时钟的选择、时钟输出格式和数据输出格式的选择等。

17.1 模式的选择

时钟同步串行接口有 4 种模式。

有关模式的选择位如表 17.1 所示，各模式的详细内容请参照“17.2 带片选的时钟同步串行 I/O (SSU)”以后的内容。

表 17.1 模式的选择

PMR 寄存器的 IICSEL 位	地址 00B8h 的 bit7 (ICCR1 寄存器的 ICE 位)	地址 00BDh 的 bit0 (SSMR2 寄存器的 SSUMS 位、SAR 寄存器的 FS 位)	功能名	模式
0	0	0	带片选的时钟同步串行 I/O	时钟同步通信模式
0	0	1		4 线方式总线通信模式
1	1	0	I²C 总线接口	I²C 总线接口模式
1	1	1		时钟同步串行模式

17.2 带片选的时钟同步串行 I/O (SSU)

带片选的时钟同步串行 I/O 可进行时钟同步的串行数据通信。带片选的时钟同步串行 I/O 的规格如表 17.2、带片选的时钟同步串行 I/O 的框图如图 17.1 所示。

带片选的时钟同步串行 I/O 的相关寄存器如图 17.2 ~ 图 17.9 所示。

表 17.2 带片选的时钟同步串行 I/O 的规格

项 目	规 格
传送数据格式	- 传送数据长度 8 位 - 发送部和接收部为缓冲结构，所以可进行串行数据的连续发送和连续接收
运行模式	- 时钟同步通信模式 4 线方式总线通信模式（包含双向通信模式）
主器件 / 从属器件	可选择
输入 / 输出引脚	SSCK（输入 / 输出）：时钟输入 / 输出引脚 SSI（输入 / 输出）：数据输入 / 输出引脚 SSO（输入 / 输出）：数据输入 / 输出引脚 $\overline{\text{SCS}}$ （输入 / 输出）：片选输入 / 输出引脚
传送时钟	- 当 SSCRH 寄存器的 MSS 位是“0”（作为从属器件运行）时，为外部时钟（从 SSCK 引脚输入） - 当 SSCRH 寄存器的 MSS 位是“1”（作为主器件运行）时，为内部时钟（能从 f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4 中选择，从 SSCK 引脚输出） - 能选择时钟极性和相位
接收错误的检测	- 检测溢出错误 - 表示在接收时产生溢出错误并异常结束。在 SSSR 寄存器的 RDRF 位为“1”（SSRDR 寄存器中有数据）的状态下结束下一个串行数据的接收时，ORER 位为“1”
多主器件错误的检测	- 检测冲突错误 - 在 SSMR2 寄存器的 SSUMS 位为“1”（4 线方式总线通信模式）并且 SSCRH 寄存器的 MSS 位为“1”（作为主器件运行）的状态下开始串行通信时，如果 $\overline{\text{SCS}}$ 引脚的输入电平为“L”，SSSR 寄存器的 CE 位就为“1”。 - 在 SSMR2 寄存器的 SSUMS 位为“1”（4 线方式总线通信模式）并且 SSCRH 寄存器的 MSS 位为“0”（作为从属器件运行）的状态下，如果在传送中途 $\overline{\text{SCS}}$ 引脚的输入电平从“L”变为“H”，SSSR 寄存器的 CE 位就为“1”。
中断请求	5 种（发送结束、发送数据空、接收数据满、溢出错误和冲突错误）（注 1）
选择功能	- 数据传送方向 - 选择 MSB first 或者 LSB first - SSCK 时钟极性 - 选择时钟停止时的电平为“L”或者“H” - SSCK 时钟相位 - 选择数据变化和取数据的边沿

注 1. 在中断向量表中只有 1 个带片选的时钟同步串行 I/O 的中断向量。

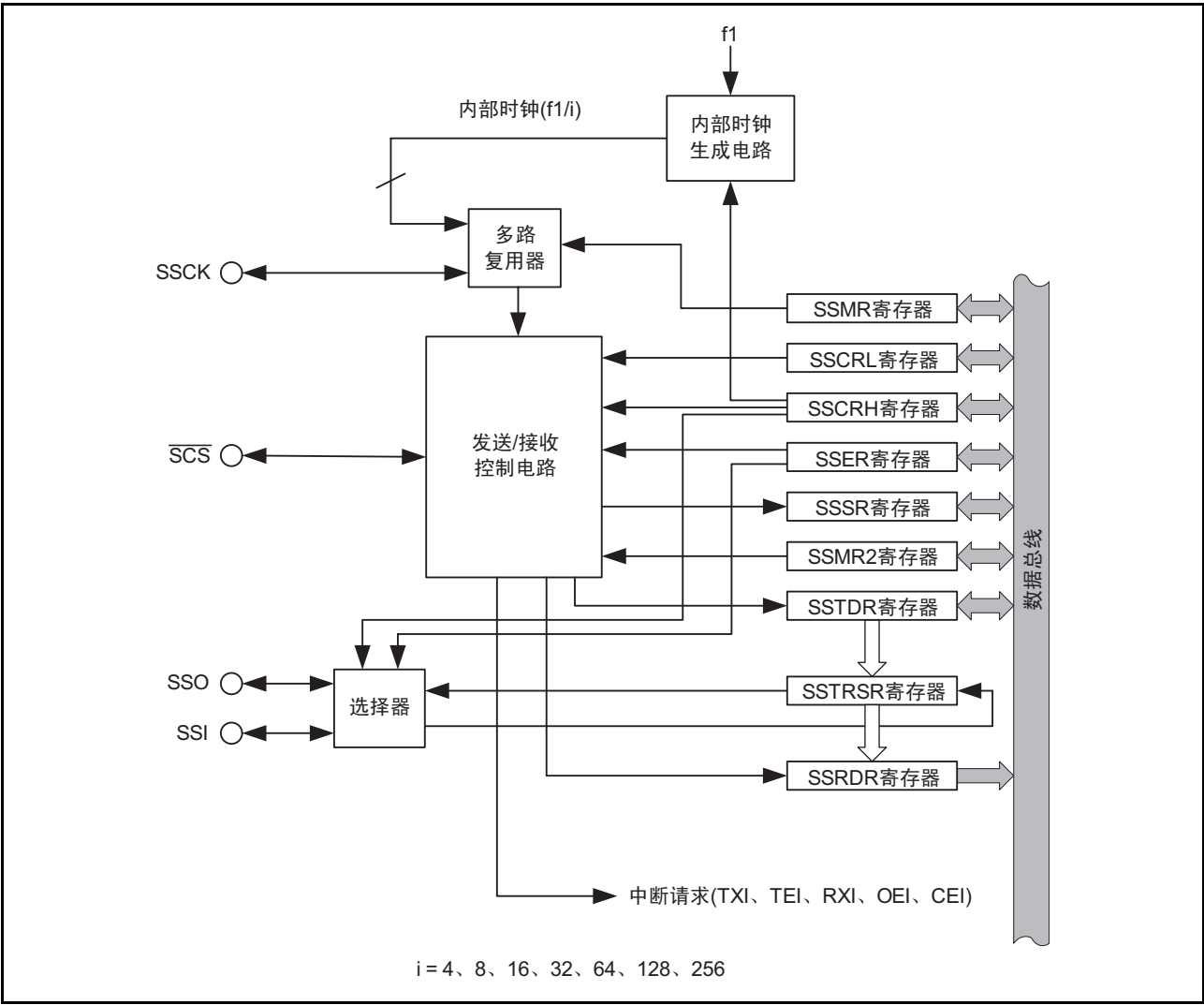


图 17.1 带片选的时钟同步串行 I/O 的框图

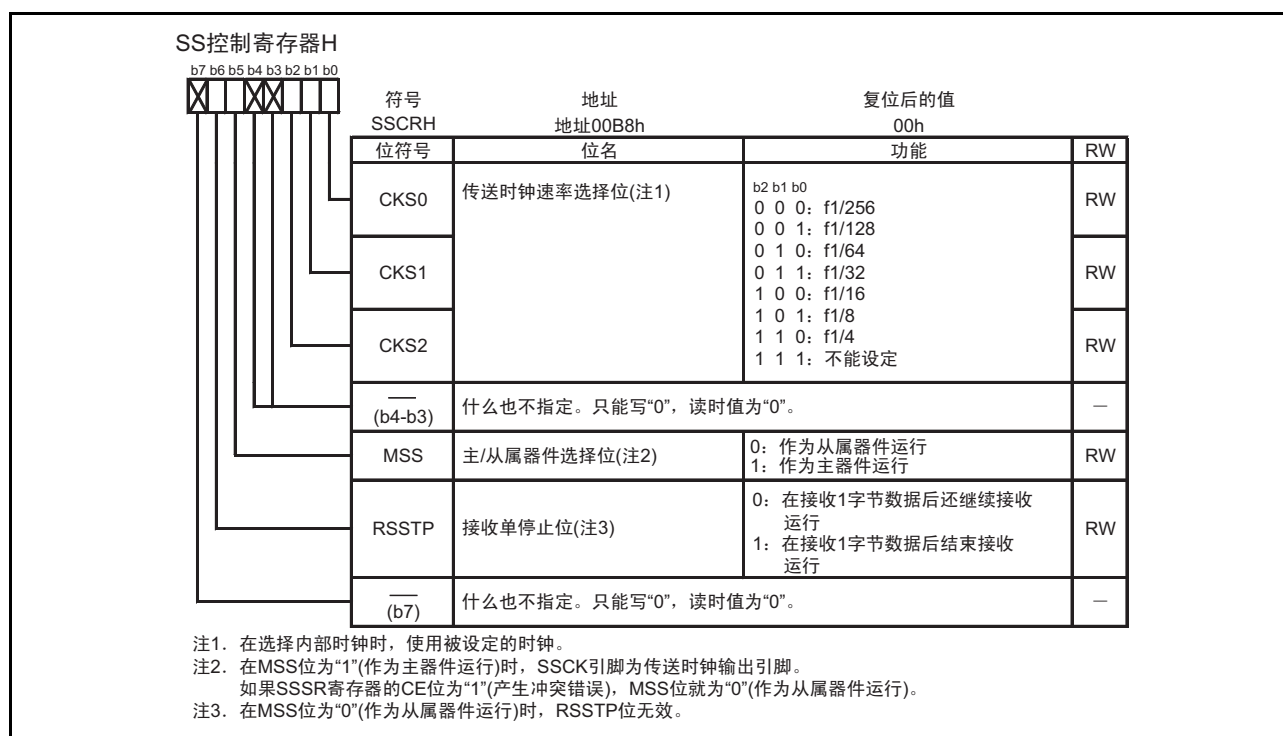


图 17.2 SSCRH 寄存器

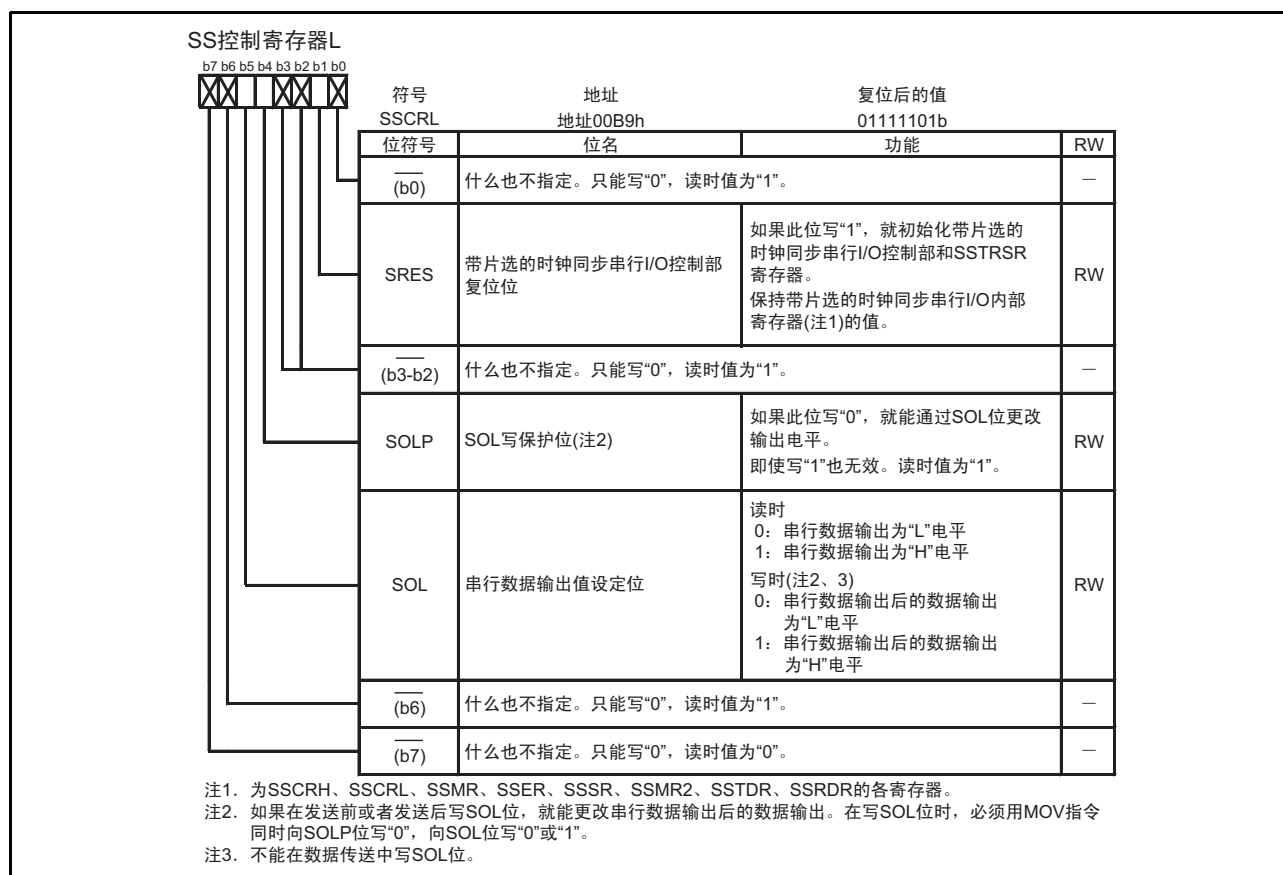


图 17.3 SSCRL 寄存器

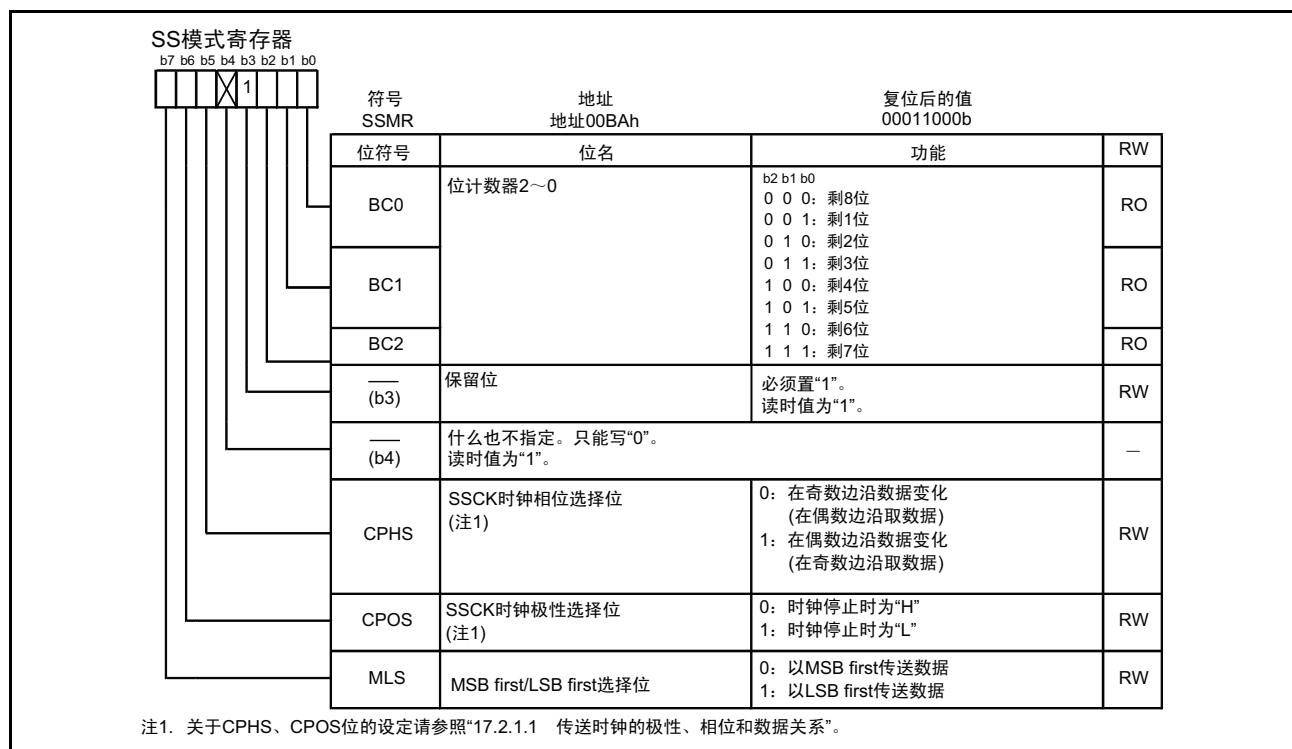


图 17.4 SSMR 寄存器

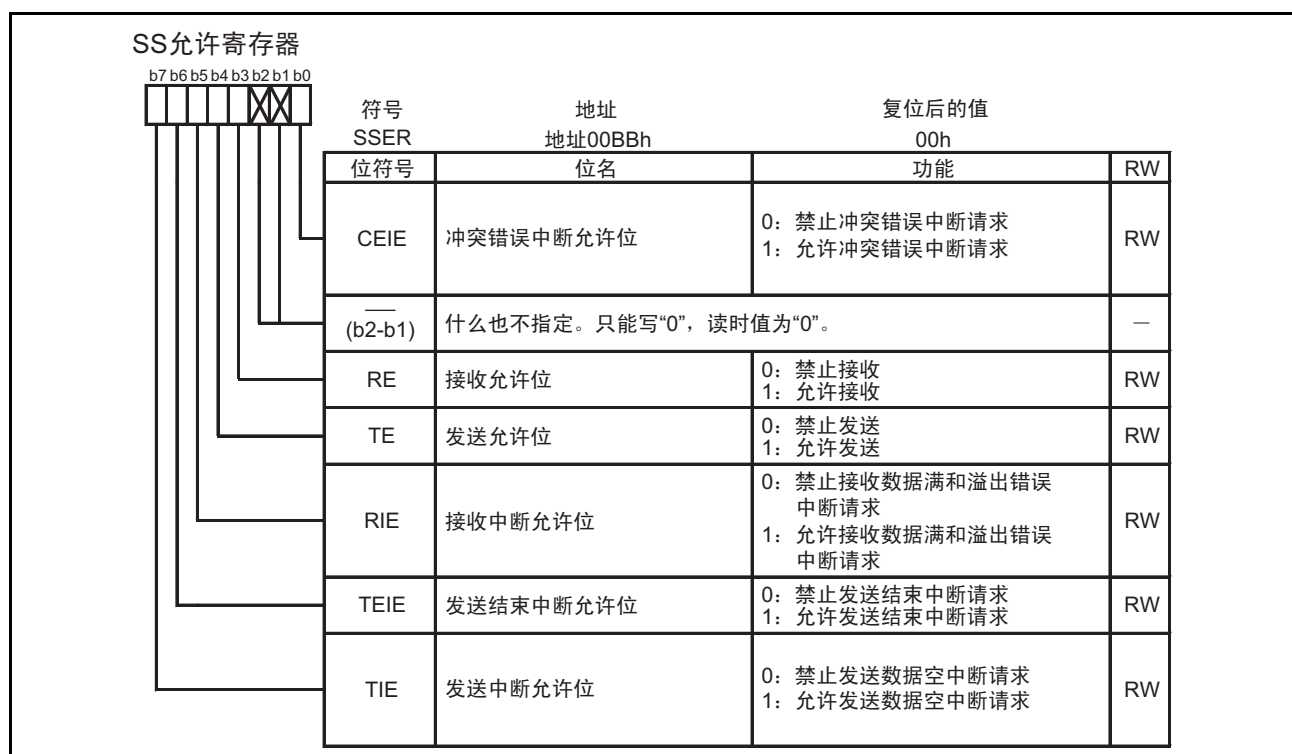


图 17.5 SSER 寄存器

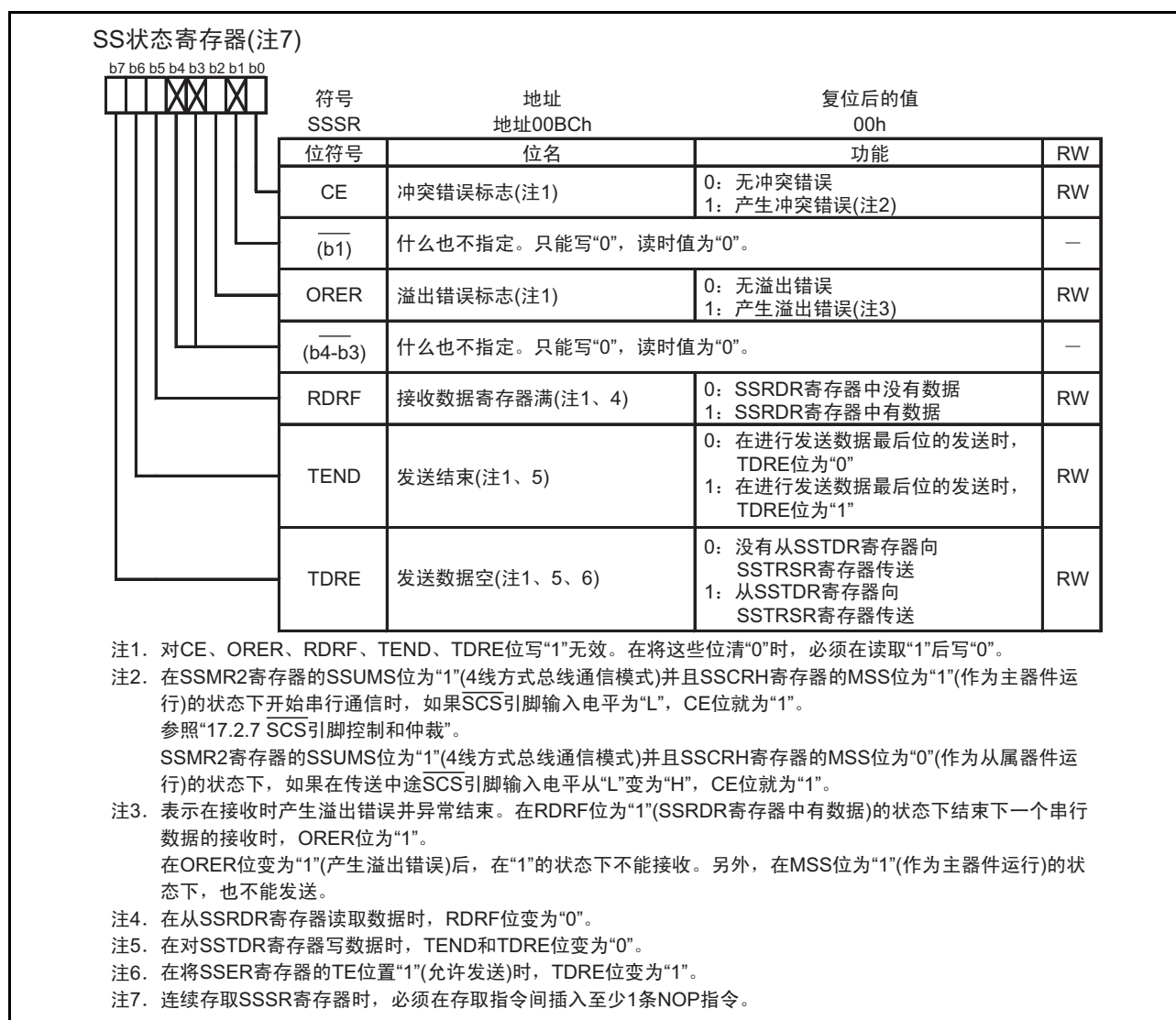


图 17.6 SSSR 寄存器

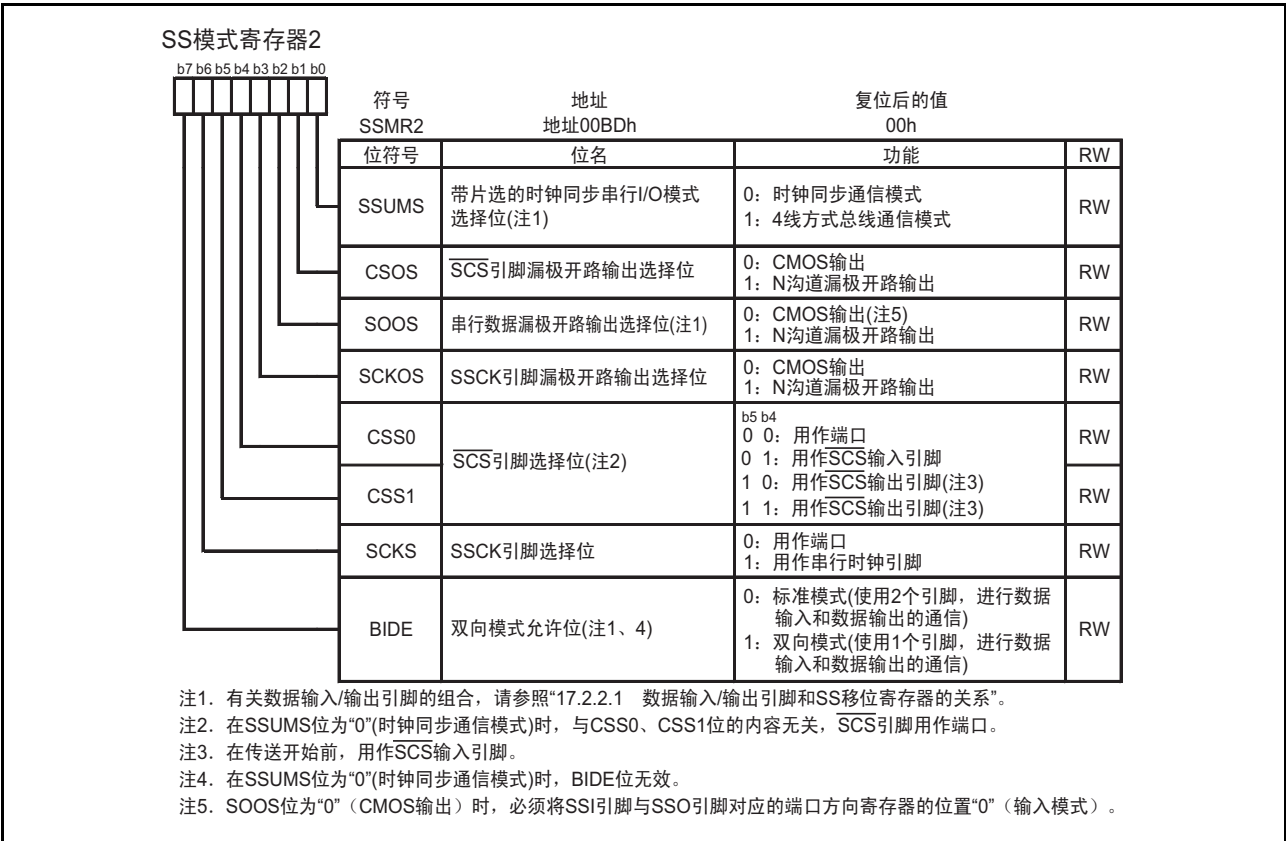


图 17.7 SSMR2 寄存器

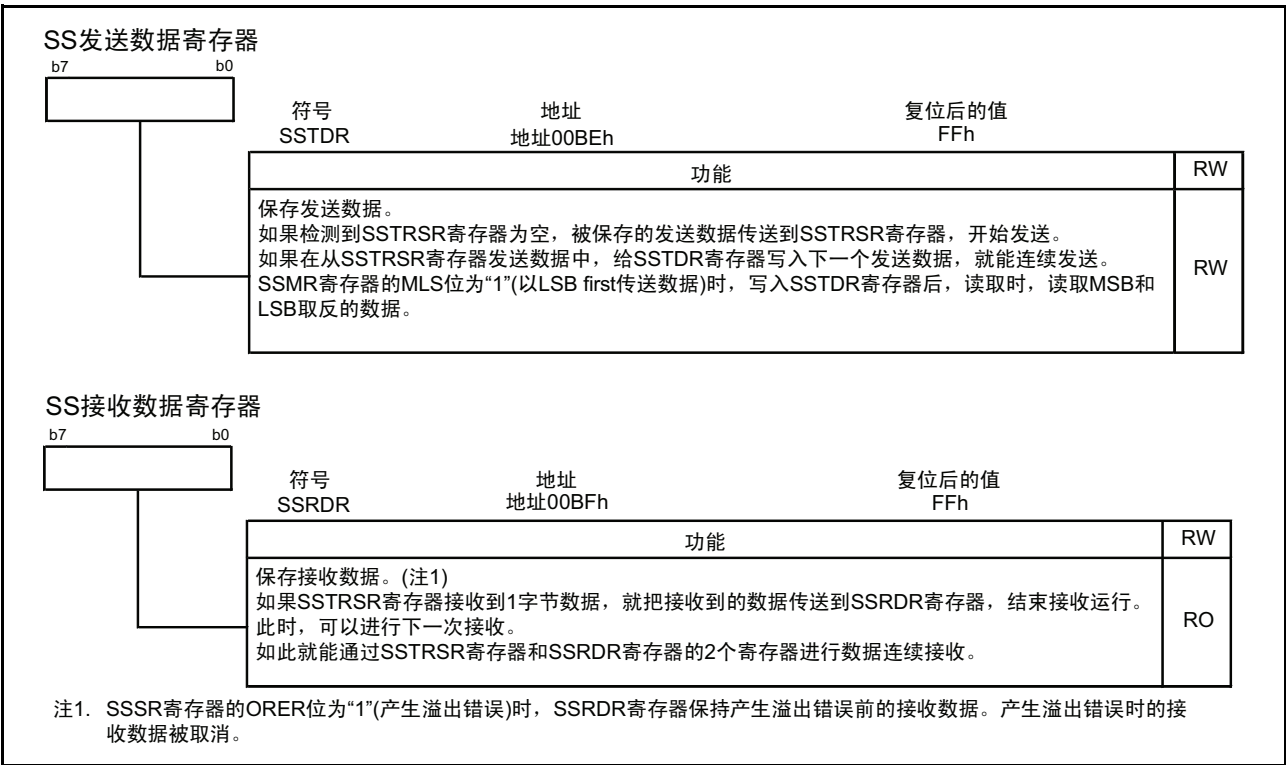


图 17.8 SSTDR、SSRDR 寄存器



图 17.9 PMR 寄存器

17.2.1 传送时钟

能从 7 种内部时钟（f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4）和外部时钟中选择传送时钟。

在使用带片选的时钟同步串行 I/O 时，必须先将 SSMR2 寄存器的 SCKS 位置“1”，然后选择 SSCK 引脚为串行时钟引脚。

当 SSCRH 寄存器的 MSS 位为“1”（作为主器件运行）时，选择内部时钟，且 SSCK 引脚为输出状态。如果开始传送，就从 SSCK 引脚输出由 SSCRH 寄存器的 CKS0 ~ CKS2 选择的传送速率的时钟。

当 SSCRH 寄存器的 MSS 位为“0”（作为从属器件运行）时，选择外部时钟，且 SSCK 引脚为输入状态。

17.2.1.1 传送时钟的极性、相位和数据的关系

根据 SSMR2 寄存器的 SSUMS 位和 SSMR 寄存器的 CPHS、CPOS 位的组合，传送时钟的极性、相位和传送数据的关系不同。传送时钟的极性、相位和传送数据的关系如图 17.10 所示。

另外，能通过设定 SSMR 寄存器的 MLS 位，选择是以 MSB first 传送还是以 LSB first 传送。当 MLS 位为“1”时，按照从 LSB 开始最后为 MSB 的顺序传送；当 MLS 位为“0”时，按照从 MSB 开始最后为 LSB 的顺序传送。

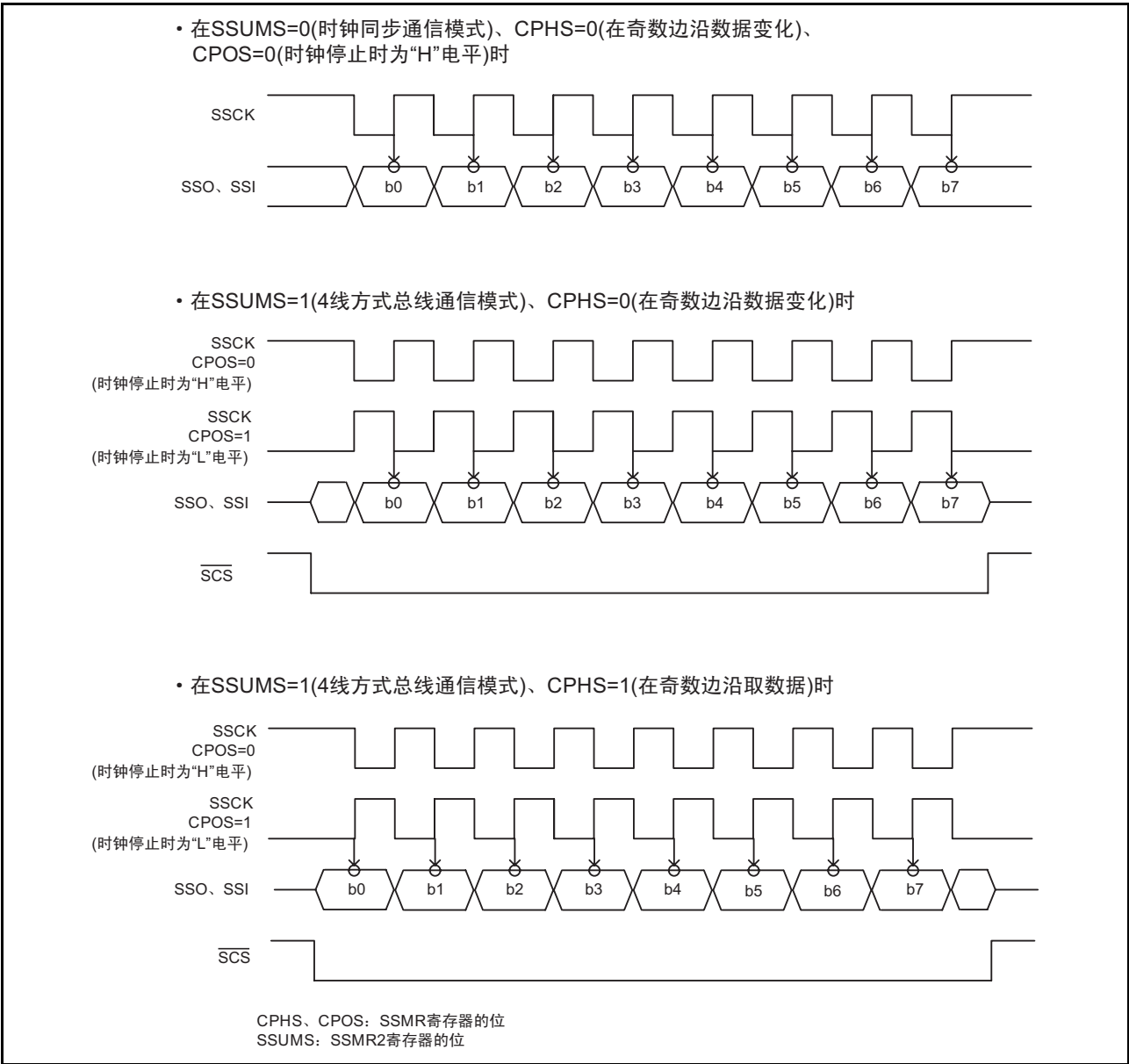


图 17.10 传送时钟的极性、相位和传送数据的关系

17.2.2 SS 移位寄存器 (SSTRSR)

SSTRSR 寄存器是发送和接收串行数据的移位寄存器。

在将发送数据从 SSTDR 寄存器传送到 SSTRSR 寄存器时，如果 SSMR 寄存器的 MLS 位为“0”（MSB first），就将 SSTDR 寄存器的 bit0 传送到 SSTRSR 寄存器的 bit0；如果 MLS 位为“1”（LSB first），就将 SSTDR 寄存器的 bit7 传送到 SSTRSR 寄存器的 bit0。

17.2.2.1 数据输入 / 输出引脚和 SS 移位寄存器的关系

根据 SSCRH 寄存器的 MSS 位和 SSMR2 寄存器的 SSUMS 位的组合，数据输入 / 输出引脚和 SSTRSR 寄存器的连接关系不同。另外，根据 SSMR2 寄存器的 BIDE 位连接关系也不同。数据输入 / 输出引脚和 SSTRSR 寄存器的连接关系如图 17.11 所示。

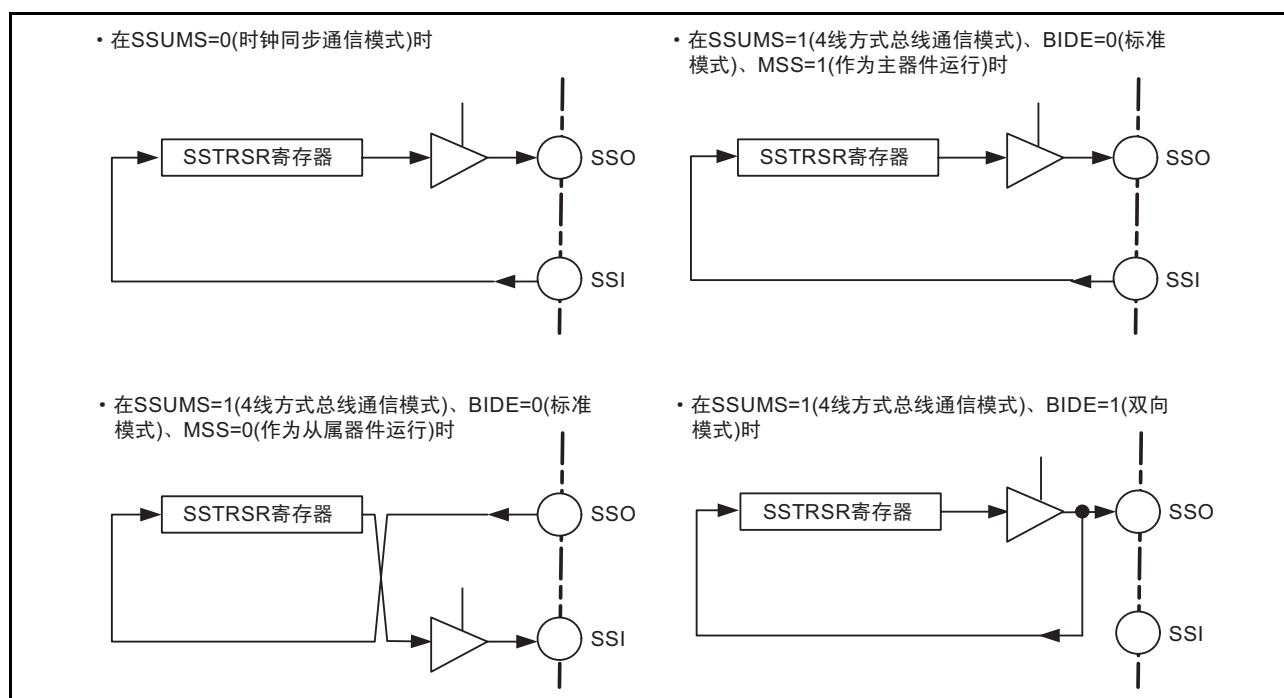


图 17.11 数据输入 / 输出引脚和 SSTRSR 寄存器的连接关系

17.2.3 中断请求

带片选的时钟同步串行 I/O 的中断请求有发送数据空、发送结束、接收数据满、溢出错误和冲突错误 5 种中断请求。由于这些中断请求被分配在带片选的时钟同步串行 I/O 的中断向量表，所以需要根据标志判断中断源。带片选的时钟同步串行 I/O 的中断请求如表 17.3 所示。

表 17.3 带片选的时钟同步串行 I/O 的中断请求

中断请求	略称	产生条件
发送数据空	TXI	TIE=1 并且 TDRE=1
发送结束	TEI	TEIE=1 并且 TEND=1
接收数据满	RXI	RIE=1 并且 RDRF=1
溢出错误	OEI	RIE=1 并且 ORER=1
冲突错误	CEI	CEIE=1 并且 CE=1

CEIE、RIE、TEIE、TIE：SSER 寄存器的位

ORER、RDRF、TEND、TDRE：SSSR 寄存器的位

如果满足表 17.3 的产生条件，就产生带片选的时钟同步串行 I/O 的中断请求。必须通过带片选的时钟同步串行 I/O 的中断程序将各自的中断源清“0”。

但是，TDRE 位和 TEND 位通过将发送数据写到 SSTDR 寄存器自动清“0”，RDRF 位通过读 SSRDR 寄存器自动清“0”。尤其是在将发送数据写到 SSTDR 寄存器的同时，TDRE 位再次变为“1”（已将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），并且，如果将 TDRE 位清“0”（尚未将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），就可能多发送 1 个字节。

17.2.4 各通信模式和引脚功能

带片选的时钟同步串行 I/O 在各通信模式中，根据 SSCRH 寄存器的 MSS 位和 SSER 寄存器的 RE、TE 位的设定，输入 / 输出引脚的功能不同。通信模式和输入 / 输出引脚的关系如表 17.4 所示。

表 17.4 通信模式和输入 / 输出引脚的关系

通信模式	位的设定					引脚的状态		
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO	SSCK
时钟同步通信模式	0	无效	0	0	1	输入	—（注 1）	输入
				1	0	—（注 1）	输出	输入
					1	输入	输出	输入
			1	0	1	输入	—（注 1）	输出
				1	0	—（注 1）	输出	输出
					1	输入	输出	输出
4 线方式总线通信模式	1	0	0	0	1	—（注 1）	输入	输入
				1	0	输出	—（注 1）	输入
					1	输出	输入	输入
			1	0	1	输入	—（注 1）	输出
				1	0	—（注 1）	输出	输出
					1	输入	输出	输出
4 线方式总线（双向）通信模式（注 2）	1	1	0	0	1	—（注 1）	输入	输入
				1	0	—（注 1）	输出	输入
			1	0	1	—（注 1）	输入	输出
				1	0	—（注 1）	输出	输出

注 1. 能用作可编程输入 / 输出端口。

注 2. 在 4 线方式总线（双向）通信模式中，不能同时将 TE 和 RE 位置“1”。

SSUMS、BIDE: SSMR2 寄存器的位

MSS: SSCRH 寄存器的位

TE、RE: SSER 寄存器的位

17.2.5 时钟同步通信模式

17.2.5.1 时钟同步通信模式的初始化

时钟同步通信模式的初始化如图 17.12 所示。必须在发送或接收数据前将 SSER 寄存器的 TE 位清“0”（禁止发送）、RE 位清“0”（禁止接收）后进行初始化。

另外，在更改通信模式和通信格式等的情况下，必须在将 TE 位清“0”、RE 位清“0”后更改。

即使将 RE 位清“0”，也保持 RDRF、ORER 的各标志和 SSRDR 寄存器的内容。

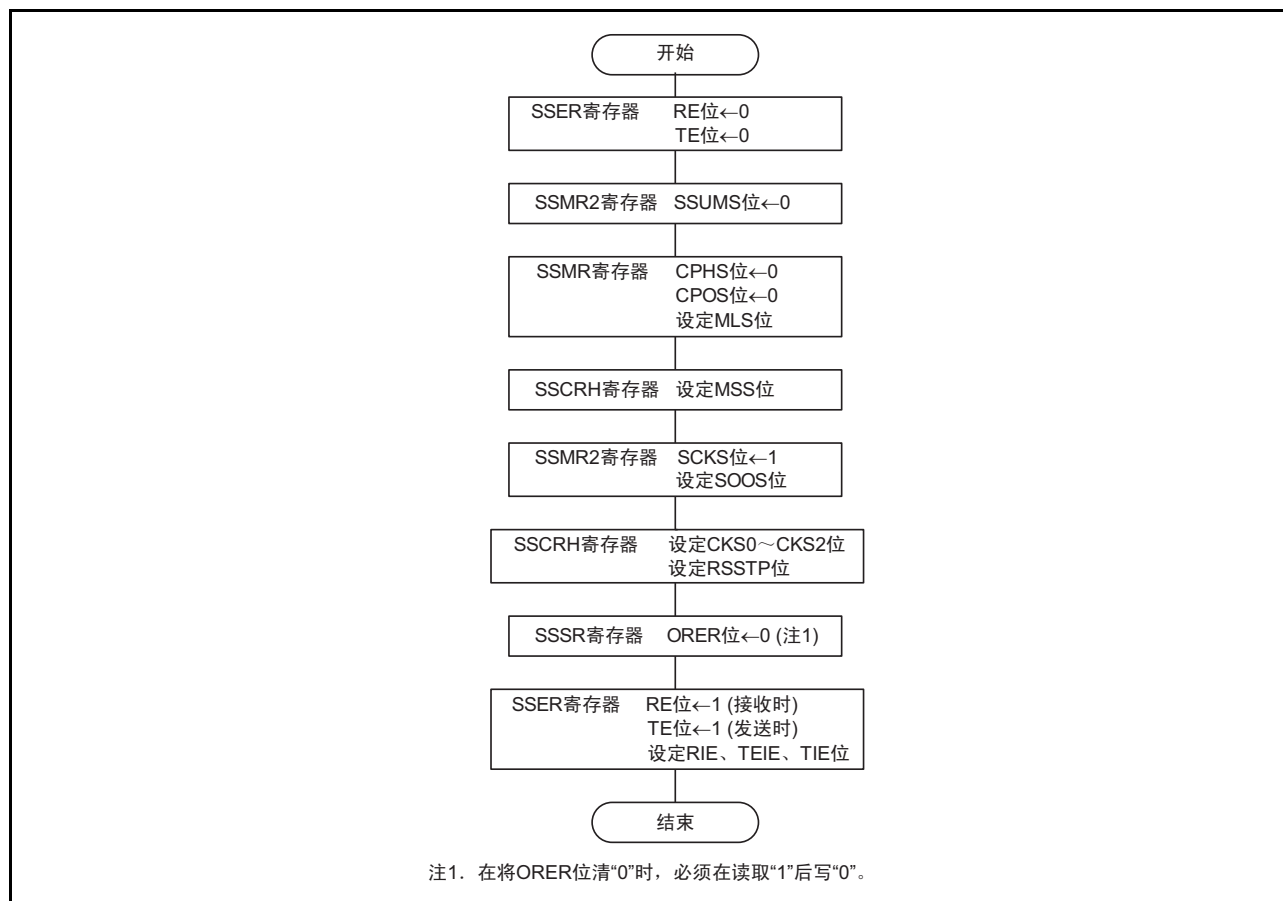


图 17.12 时钟同步通信模式的初始化

17.2.5.2 数据的发送

发送数据时的运行例子（时钟同步通信模式）如图 17.13 所示，发送数据时的运行如下：

在将带片选的时钟同步串行 I/O 设定为主器件时，输出同步时钟和数据；在设定为从属器件时，与输入时钟同步输出数据。

如果在 TE 位置“1”（允许发送）后将发送数据写到 SSTDR 寄存器，TDRE 位就自动清“0”（尚未将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），并将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器。然后，TDRE 位为“1”（已将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），开始发送。此时，如果 SSER 寄存器的 TIE 位为“1”，就产生 TXI 中断请求。

如果在 TDRE 位为“0”的状态下 1 帧的传送结束，就将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器，开始下一个帧的发送。如果在 TDRE 位为“1”的状态下发送第 8 个位，SSSR 寄存器的 TEND 位就为“1”（在发送数据的最后位被发送时，TDRE 位为“1”），并保持该状态。此时，如果 SSER 寄存器的 TEIE 位为“1”（允许发送结束的中断请求），就产生 TEI 中断请求。在发送结束后，SSCK 引脚被固定为“H”电平。

另外，在 SSSR 寄存器的 ORER 位为“1”（产生溢出错误）的状态下不能发送。必须在发送前确认 ORER 位是否为“0”。

发送数据的流程图例子（时钟同步通信模式）如图 17.14 所示。

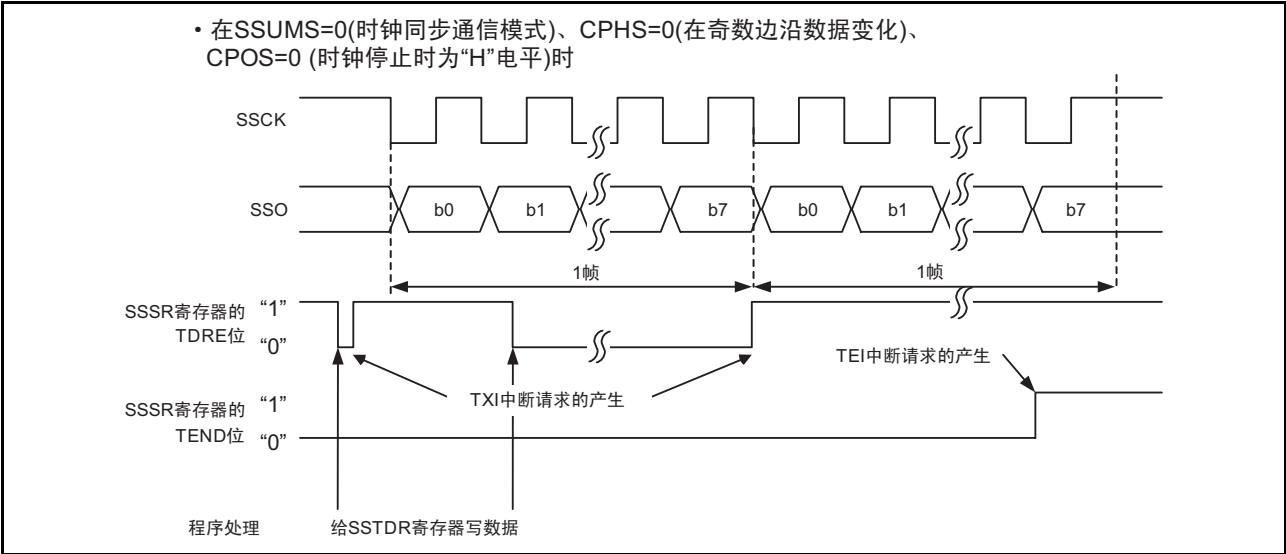


图 17.13 发送数据时的运行例子（时钟同步通信模式）

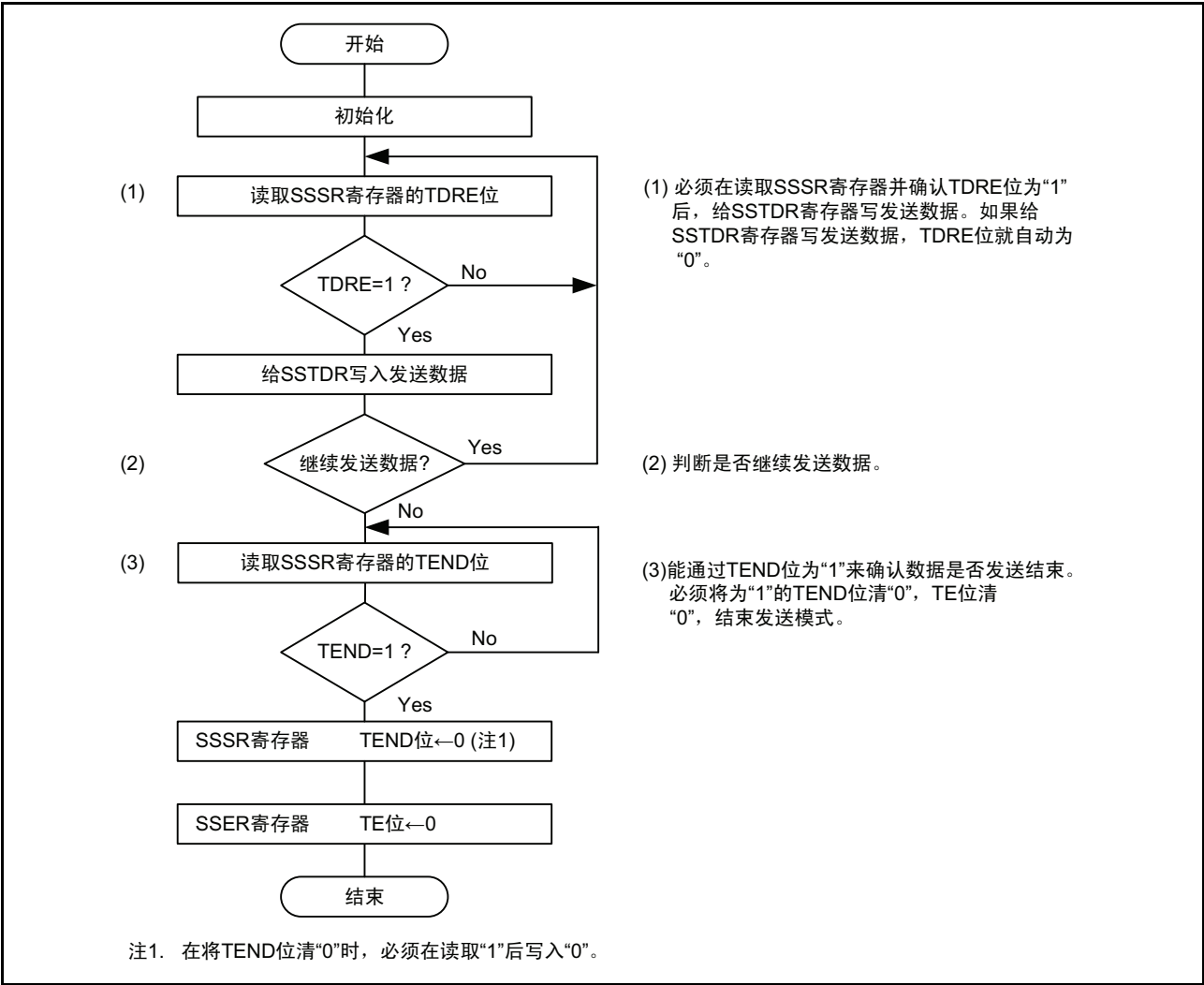


图 17.14 发送数据的流程图例子（时钟同步通信模式）

17.2.5.3 数据的接收

接收数据时的运行例子（时钟同步通信模式）如图 17.15 所示，接收数据时的运行如下：

在将带片选的时钟同步串行 I/O 设定为主器件时，输出同步时钟，并输入数据；在设定为从属器件时，与输入时钟同步输入数据。

在设定为主器件时，最初通过虚读 SSRDR 寄存器输出接收时钟，开始接收。

在接收 8 位数据后，SSSR 寄存器的 RDRF 位为“1”（SSRDR 寄存器中有数据），并将接收数据保存到 SSRDR 寄存器。此时，如果 SSER 寄存器的 RIE 位为“1”（允许 RXI 和 OEI 中断请求），就产生 RXI 中断请求。如果读 SSRDR 寄存器，RDRF 位就自动清“0”（SSRDR 寄存器中没有数据）。

在设定为主器件并结束接收时，必须在将 SSCRH 寄存器的 RSSTP 位置“1”（在接收 1 字节数据后，接收运行结束）后读取接收的数据。从而在输出 8 位的时钟后停止接收运行。然后，必须将 SSER 寄存器的 RE 位清“0”（禁止接收）、RSSTP 位清“0”（即使在接收 1 字节数据后，还继续接收运行），读取最后接收的数据。如果在 RE 位为“1”（允许接收）的状态下读 SSRDR 寄存器，就再次输出接收时钟。

如果在 RDRF 位为“1”的状态下第 8 个时钟上升，SSSR 寄存器的 ORER 位就为“1”（产生溢出错误），产生溢出错误（OEI）并停止接收运行。另外，在 ORER 位为“1”的状态下不能接收。必须在重新开始接收前确认 ORER 位是否为“0”。

接收数据的流程图例子（MSS=1）（时钟同步通信模式）如图 17.16 所示。

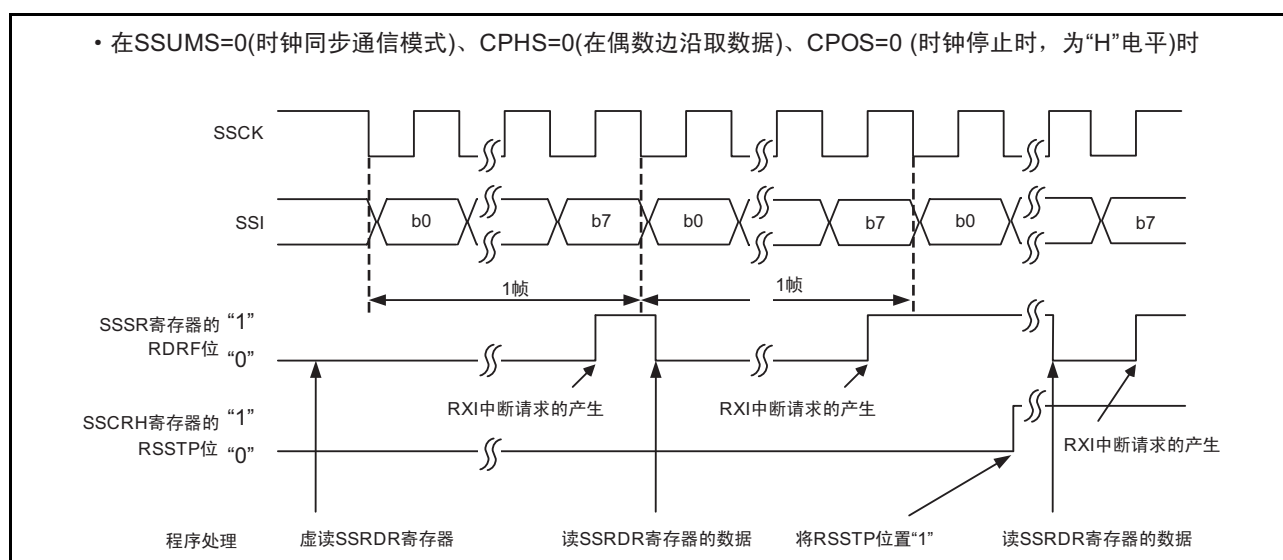


图 17.15 接收数据时的运行例子（时钟同步通信模式）

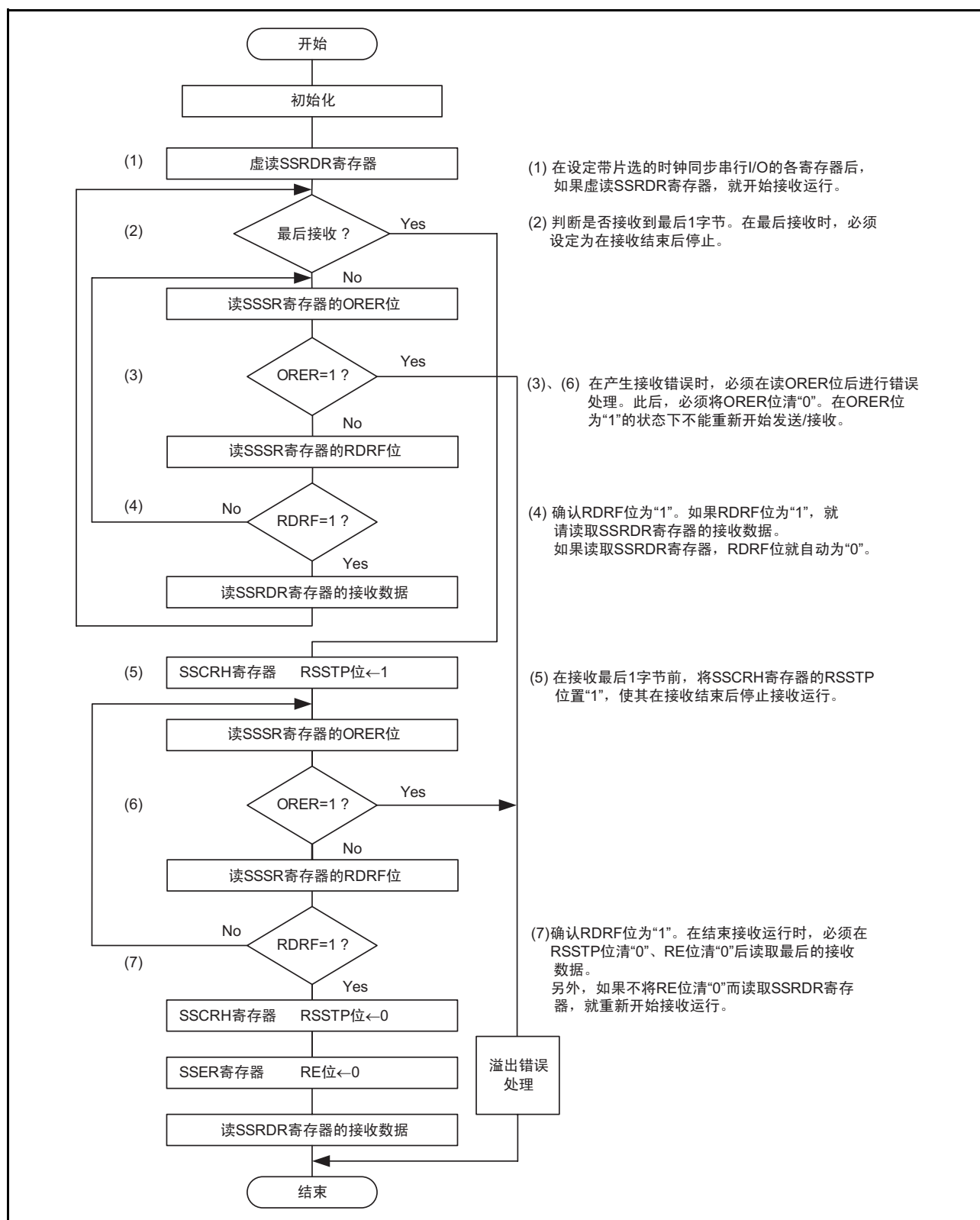


图 17.16 接收数据的流程图例子 (MSS=1) (时钟同步通信模式)

17.2.5.4 数据的发送 / 接收

数据的发送 / 接收为上述的发送数据和接收数据的复合运行。

如果将发送数据写到 SSTDR 寄存器, 就开始发送 / 接收。另外, 如果在 TDRE 位为 “1” (将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器) 的状态下第 8 个时钟上升或者 ORER 位为 “1” (产生溢出错误), 就停止发送 / 接收。

在从发送模式 (TE=1) 或者接收模式 (RE=1) 转换为发送 / 接收模式 (TE=RE=1) 时, 必须先将 TE 位清 “0”、RE 位清 “0” 后更改。另外, 必须在确认 TEND 位为 “0” (在发送数据的最后位被发送时, TDRE 位为 “0”)、RDRF 位为 “0” (SSRDR 寄存器中没有数据) 以及 ORER 位为 “0” (无溢出错误) 后, 将 TE 和 RE 位置 “1”。

发送和接收数据的流程图例子 (时钟同步通信模式) 如图 17.17 所示。

从发送 / 接收模式 (TE=RE=1) 解除发送 / 接收模式时, 如果在读 SSRDR 寄存器后解除发送 / 接收模式, 则有可能输出时钟。为此, 必须使用以下任意一种步骤进行设定。

- 先将 RE 位置 “0”, 再将 TE 位置 “0”
- 将 TE 位和 RE 位同时置 “0”

此后, 设定为接收模式 (TE=0、RE=1) 时, 必须先对 SRES 位写 “1” 后清 “0”, 并初始化时钟同步串行接口控制部及 SSTRSR 寄存器后, 将 RE 位置 “1”。

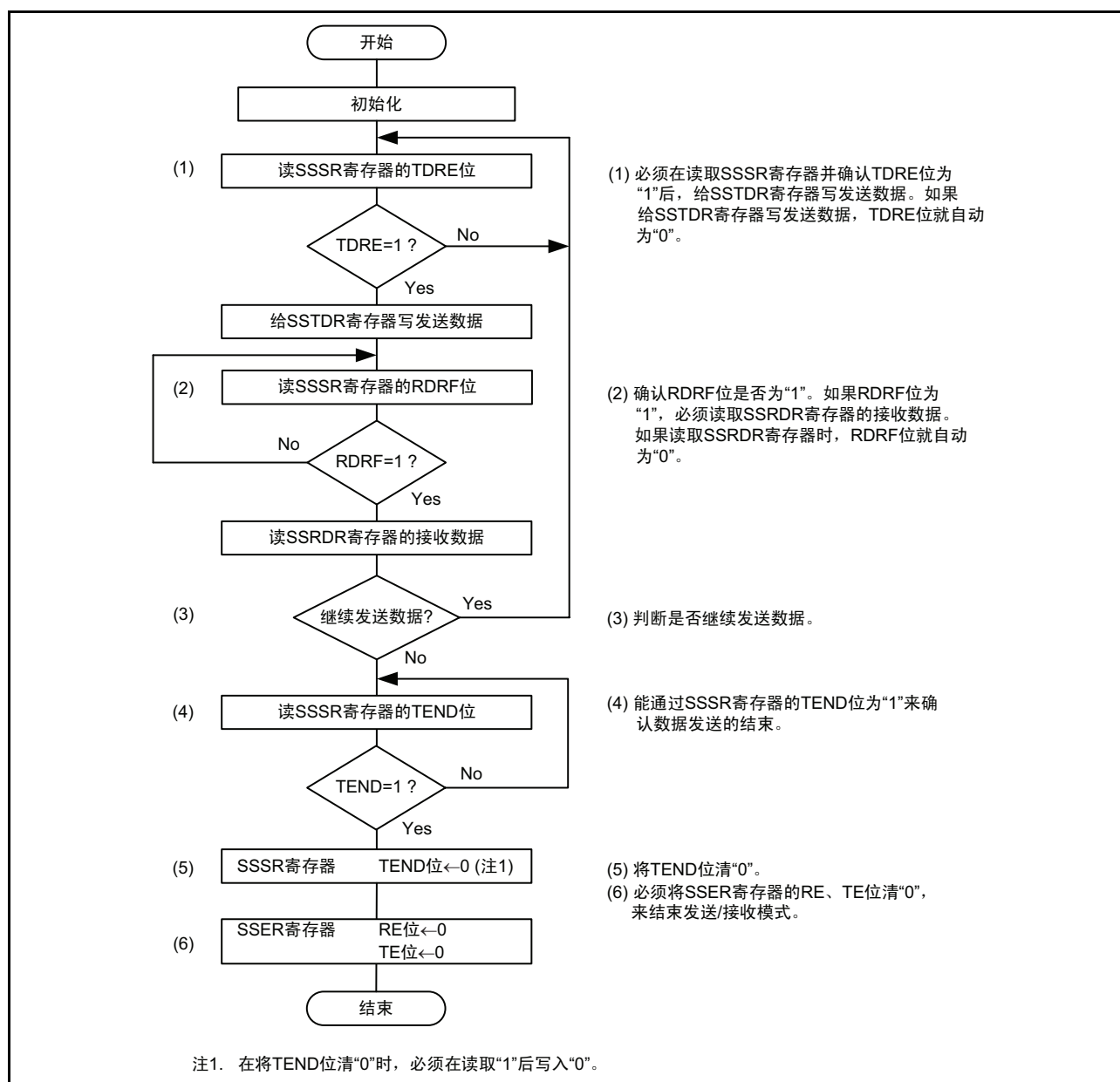


图 17.17 发送和接收数据的流程图例子（时钟同步通信模式）

17.2.6 4 线方式总线通信模式

4 线方式总线通信模式是使用时钟线、数据输入线、数据输出线和片选线 4 条总线进行通信的模式。此模式也包含用 1 个引脚进行数据输入和数据输出的双向模式。

数据输入线和数据输出线因 SSCRH 寄存器的 MSS 位和 SSMR2 寄存器的 BIDE 位的设定而不同，详细内容请参照“17.2.2.1 数据输入 / 输出引脚和 SS 移位寄存器的关系”。另外，在此模式中，能通过 SSMR 寄存器的 CPOS 位和 CPHS 位设定时钟的极性、相位和数据的关系，详细内容请参照“17.2.1.1 传送时钟的极性、相位和数据的关系”。

片选线在主器件的情况下进行输出控制，在从属器件的情况下进行输入控制。在主器件的情况下，能将 SSMR2 寄存器的 CSS1 位置“1”，进行 SCS 引脚或者通用端口的输出控制。在从属器件的情况下，将 SSMR2 寄存器的 CSS1、CSS0 位置“01b”，使 SCS 引脚作为输入引脚使用。

在 4 线方式总线通信模式中，通常将 SSMR 寄存器的 MLS 位清“0”，以 MSB first 进行通信。

17.2.6.1 4 线方式总线通信模式的初始化

4 线方式总线通信模式的初始化如图 17.18 所示。必须在发送 / 接收数据前将 SSER 寄存器的 TE 位清“0”（禁止发送）、RE 位清“0”（禁止接收）后，进行初始化。

另外，在更改通信模式和通信格式等的情况下，必须在将 TE 位清“0”、RE 位清“0”后更改。

即使将 RE 位清“0”，也保持 RDRF、ORER 的各标志和 SSRDR 寄存器的内容。

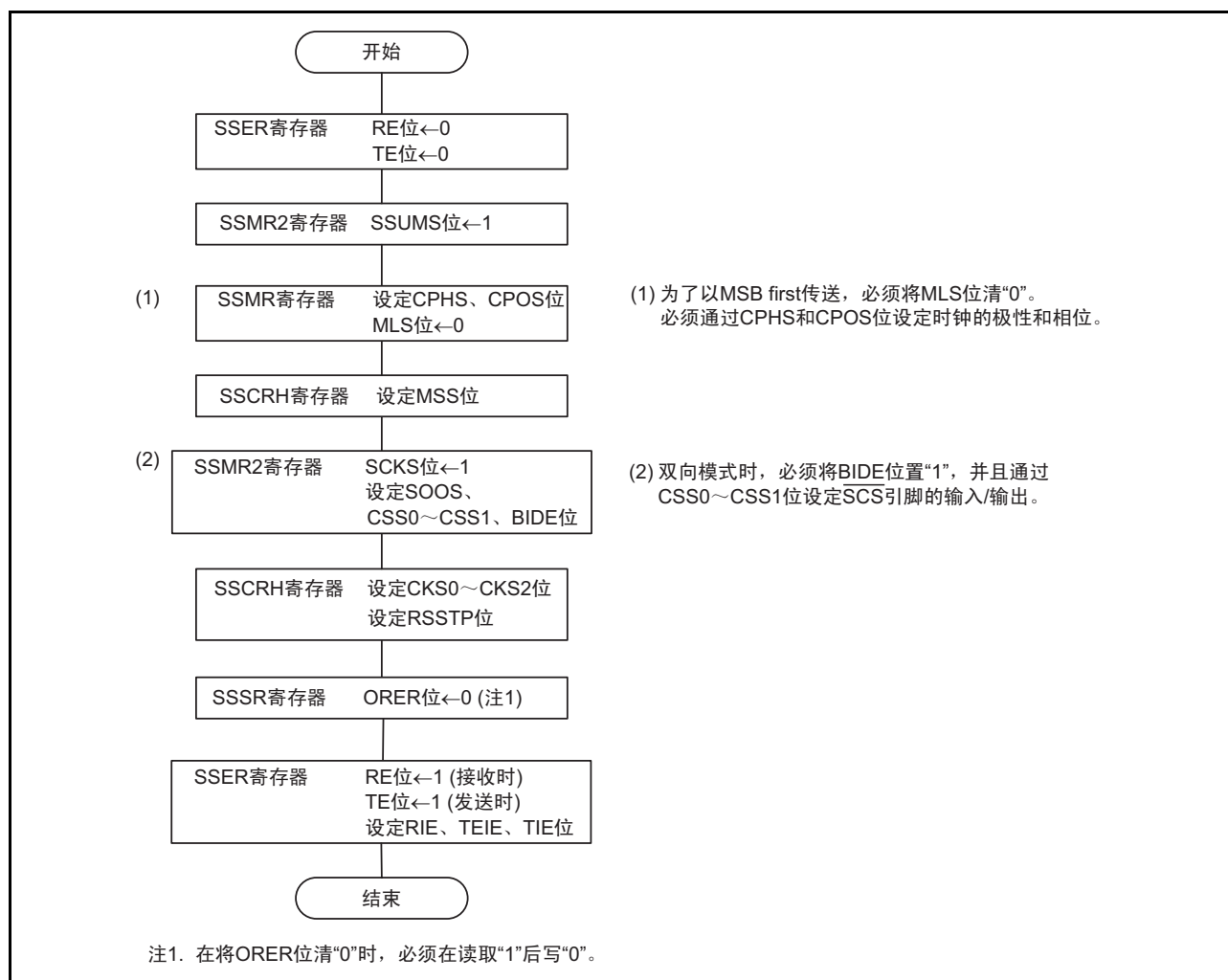


图 17.18 4 线方式总线通信模式的初始化

17.2.6.2 数据的发送

发送数据时的运行例子（4 线方式总线通信模式）如图 17.19 所示，发送数据时的运行如下：

在将带片选的时钟同步串行 I/O 设定为主器件时，输出同步时钟和数据；在设定为从属器件时，在 $\overline{\text{SCS}}$ 引脚为“L”电平输入的状态下，与输入时钟同步输出数据。

如果在 TE 位置“1”（允许发送）后将发送数据写到 SSTDR 寄存器，TDRE 位就自动清“0”（尚未将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），并将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器。然后，TDRE 位为“1”（已将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），开始发送。此时，如果 SSER 寄存器的 TIE 位为“1”，就产生 TXI 中断请求。

如果在 TDRE 位为“0”的状态下 1 帧的传送结束，就将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器，开始发送下一个帧。如果在 TDRE 位为“1”的状态下发送第 8 个位，SSSR 寄存器的 TEND 位就为“1”（在发送数据的最后位被发送时，TDRE 位为“1”），并保持该状态。此时，如果 SSER 寄存器的 TEIE 位为“1”（允许发送结束的中断请求），就产生 TEI 中断请求。在发送结束后，SSCK 引脚固定为“H”电平， $\overline{\text{SCS}}$ 引脚为“H”电平。在 $\overline{\text{SCS}}$ 引脚保持“L”电平进行连续发送时，必须在发送第 8 个位前将下一个发送数据写到 SSTDR 寄存器。

另外，在 SSSR 寄存器的 ORER 位为“1”（产生溢出错误）的状态下不能发送。必须在发送前确认 ORER 位是否为“0”。

和时钟同步通信模式的不同是：主器件时的 $\overline{\text{SCS}}$ 引脚在高阻抗状态下，SSO 引脚处于高阻抗状态；从属器件时的 $\overline{\text{SCS}}$ 引脚在“H”电平输入状态下，SSI 引脚处于高阻抗状态。

流程图的例子和时钟同步通信模式相同（参照“图 17.14 发送数据的流程图例子（时钟同步通信模式）”）。

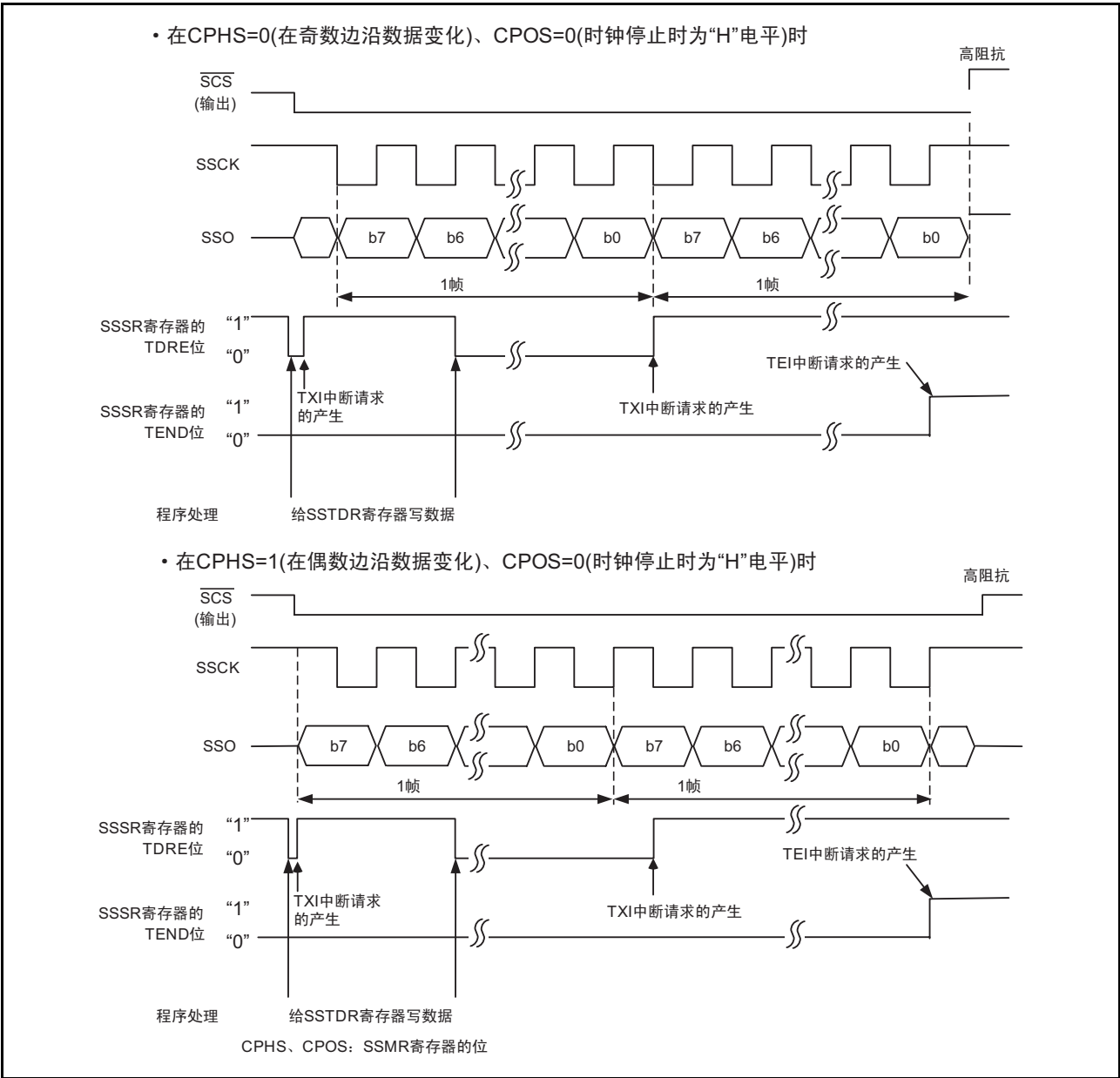


图 17.19 发送数据时的运行例子（4 线方式总线通信模式）

17.2.6.3 数据的接收

接收数据时的运行例子（4 线方式总线通信模式）如图 17.20 所示，接收数据时的运行如下：

在将带片选的时钟同步串行 I/O 设定为主器件时，输出同步时钟，并输入数据；在设定为从属器件时，在 SCS 引脚为“L”电平输入的状态下，与输入时钟同步输入数据。

在设定为主器件时，最初通过虚读 SSRDR 寄存器输出接收时钟，开始接收。

在接收 8 位数据后，SSSR 寄存器的 RDRF 位为“1”（SSRDR 寄存器中有数据），将接收数据保存到 SSRDR 寄存器。此时，如果 SSER 寄存器的 RIE 位为“1”（允许 RXI 和 OEI 中断请求），就产生 RXI 中断请求。如果读 SSRDR 寄存器，RDRF 位就自动清“0”（SSRDR 寄存器中没有数据）。

在设定为主器件并结束接收时，必须在 SSCRH 寄存器的 RSSTP 位置“1”（在接收 1 字节数据后，接收运行结束）后读取接收的数据。从而在输出 8 位的时钟后停止接收运行。然后，必须将 SSER 寄存器的 RE 位清“0”（禁止接收）、RSSTP 位清“0”（即使在接收 1 字节数据后，还继续接收运行），读取最后接收的数据。如果在 RE 位为“1”（允许接收）的状态下读 SSRDR 寄存器，就再次输出接收时钟。

如果在 RDRF 位为“1”的状态下第 8 个时钟上升，SSSR 寄存器的 ORER 位就为“1”（产生溢出错误），产生溢出错误（OEI）并停止接收运行。另外，在 ORER 位为“1”的状态下不能接收。必须在重新开始接收前确认 ORER 位是否为“0”。

RDRF 位和 ORER 位为“1”的时序因 SSMR 寄存器的 CPHS 位的设定而不同，此时序如图 17.20 所示。如果将 CPHS 位置“1”（在奇数边沿取数据），RDRF 位和 ORER 位就在帧的中途变为“1”，所以在结束接收时必须注意。

流程图的例子和时钟同步通信模式相同（参照“图 17.16 接收数据的流程图例子（MSS=1）（时钟同步通信模式）”）。

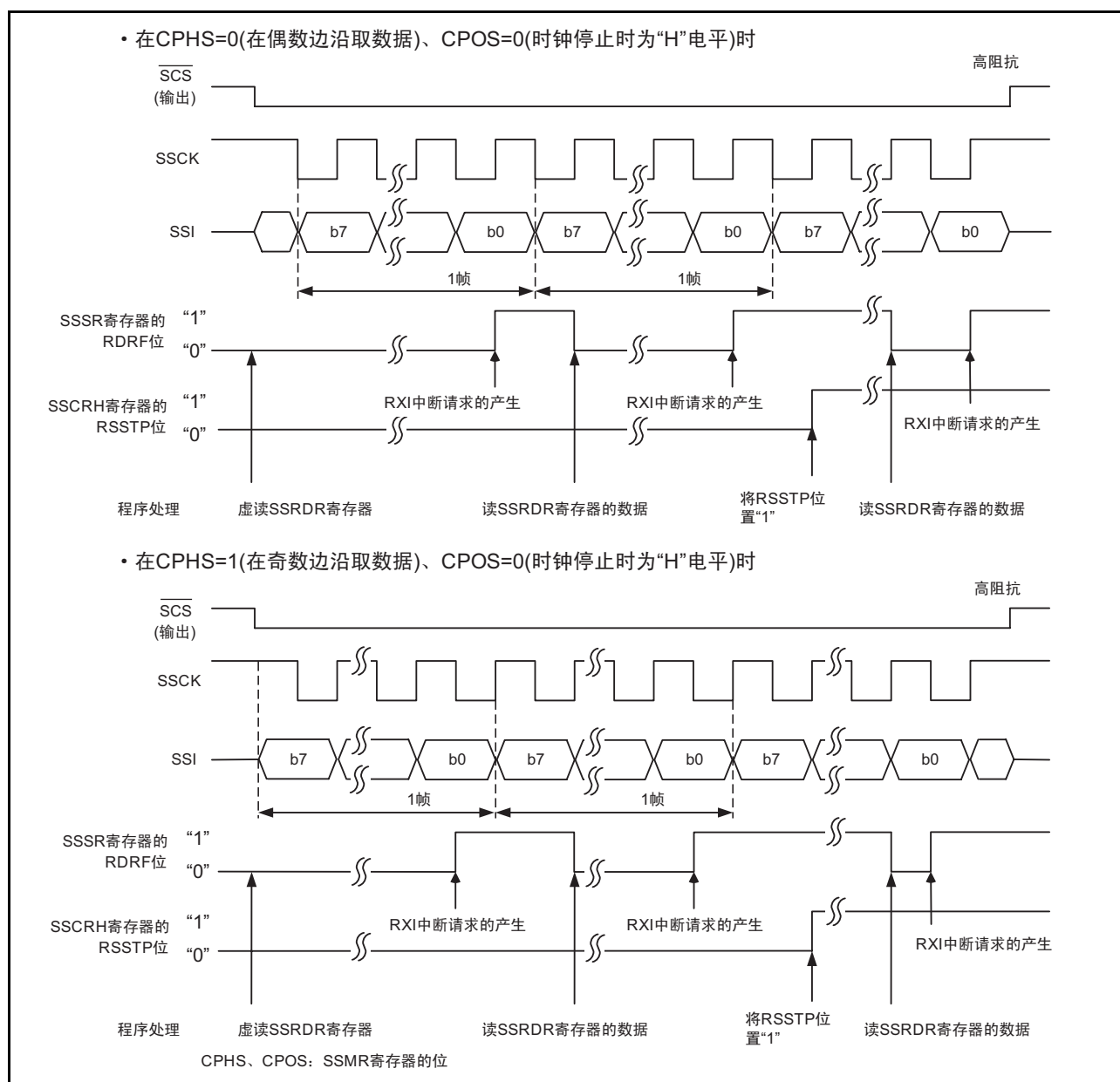


图 17.20 接收数据时的运行例子 (4 线方式总线通信模式)

17.2.7 $\overline{\text{SCS}}$ 引脚控制和仲裁

如果将 SSMR2 寄存器的 SSUMS 位置 “1”（4 线方式总线通信模式）、CSS1 位置 “1”（用作 $\overline{\text{SCS}}$ 输出引脚），就在 SSCRH 寄存器的 MSS 位置 “1”（作为主器件运行）后到开始串行传送前，检查 $\overline{\text{SCS}}$ 引脚的仲裁。如果检测到与此期间同步的内部 $\overline{\text{SCS}}$ 信号为 “L” 电平，SSSR 寄存器的 CE 位就为 “1”（产生冲突错误），MSS 位自动清 “0”（作为从属器件运行）。

仲裁检查时序如图 17.21 所示。

另外，在 CE 位为 “1” 的状态下不能进行以后的发送运行。因此，必须在开始发送前将 CE 位清 “0”（无冲突错误）。

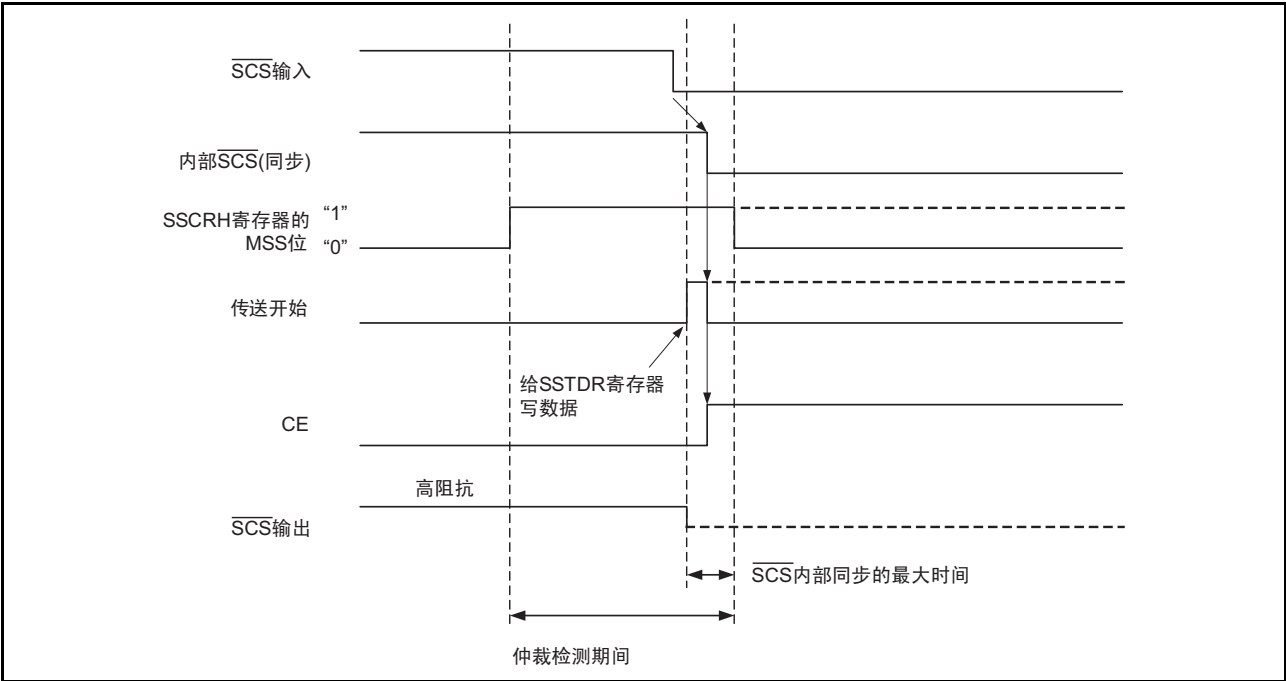


图 17.21 仲裁检查时序

17.2.8 带片选的时钟同步串行 I/O 使用时的注意事项

在使用带片选的时钟同步串行 I/O 时，必须将 PMR 寄存器的 IICSEL 位清 “0”（选择带片选的时钟同步串行 I/O 功能）。

17.3 I²C 总线接口

I²C 总线接口是基于飞利浦公司 I²C 总线的数据传送格式进行串行通信的电路。

I²C 总线接口的规格如表 17.5、I²C 总线接口的框图如图 17.22 以及 SCL 和 SDA 引脚的外部电路的连接例子如图 17.23 所示。

I²C 总线接口相关寄存器如图 17.24 ~ 图 17.30 所示。

※ I²C bus 是荷兰 PHILIPS 公司的注册商标。

表 17.5 I²C 总线接口的规格

项 目	规 格
通信格式	- I²C 总线格式 - 可选择主器件 / 从属器件 - 可连续发送和连续接收（因为移位寄存器、发送数据寄存器和接收数据寄存器各自独立） - 在主模式中自动生成开始条件和停止条件 - 在发送时，自动装入应答位 - 内置位同步和等待功能（在主模式中按位监视 SCL 状态，自动取得同步。在传送还没有准备好时，将 SCL 置“L”电平进行等待） - 可直接驱动 SCL、SDA 引脚（N 沟道漏极开路输出） - 时钟同步串行格式 - 可连续发送和连续接收（移位寄存器、发送数据寄存器和接收数据寄存器各自独立）
输入 / 输出引脚	SCL（输入 / 输出）：串行时钟输入 / 输出引脚 SDA（输入 / 输出）：串行数据输入 / 输出引脚
传送时钟	- 当 ICCR1 寄存器的 MST 位是“0”时为外部时钟（从 SCL 引脚输入） - 当 ICCR1 寄存器的 MST 位是“1”时为内部时钟（由 ICCR1 寄存器的 CKS0 ~ CKS3 位选择的内部时钟（从 SCL 引脚输出）
接收错误的检测	检测溢出错误（时钟同步串行格式） 表示在接收时产生溢出错误。在 ICSR 寄存器的 RDRF 位为“1”（ICDRR 寄存器中有数据）的状态下接收到下一个数据的最后位时，AL 位为“1”
中断源	- I²C 总线格式 6 种（注 1） 发送数据空（包含从属地址匹配时）、发送结束、接收数据满（包含从属地址匹配时）、仲裁失败、NACK 检测和停止条件检测 - 时钟同步串行格式 4 种（注 1） 发送数据空、发送结束、接收数据满和溢出错误
选择功能	- I²C 总线格式 - 在接收时，可选择应答的输出电平 - 时钟同步串行格式 - 数据传送方向可选择 MSB first 或者 LSB first

注 1. 在中断向量表中只有 1 个 I²C 总线接口的中断向量。

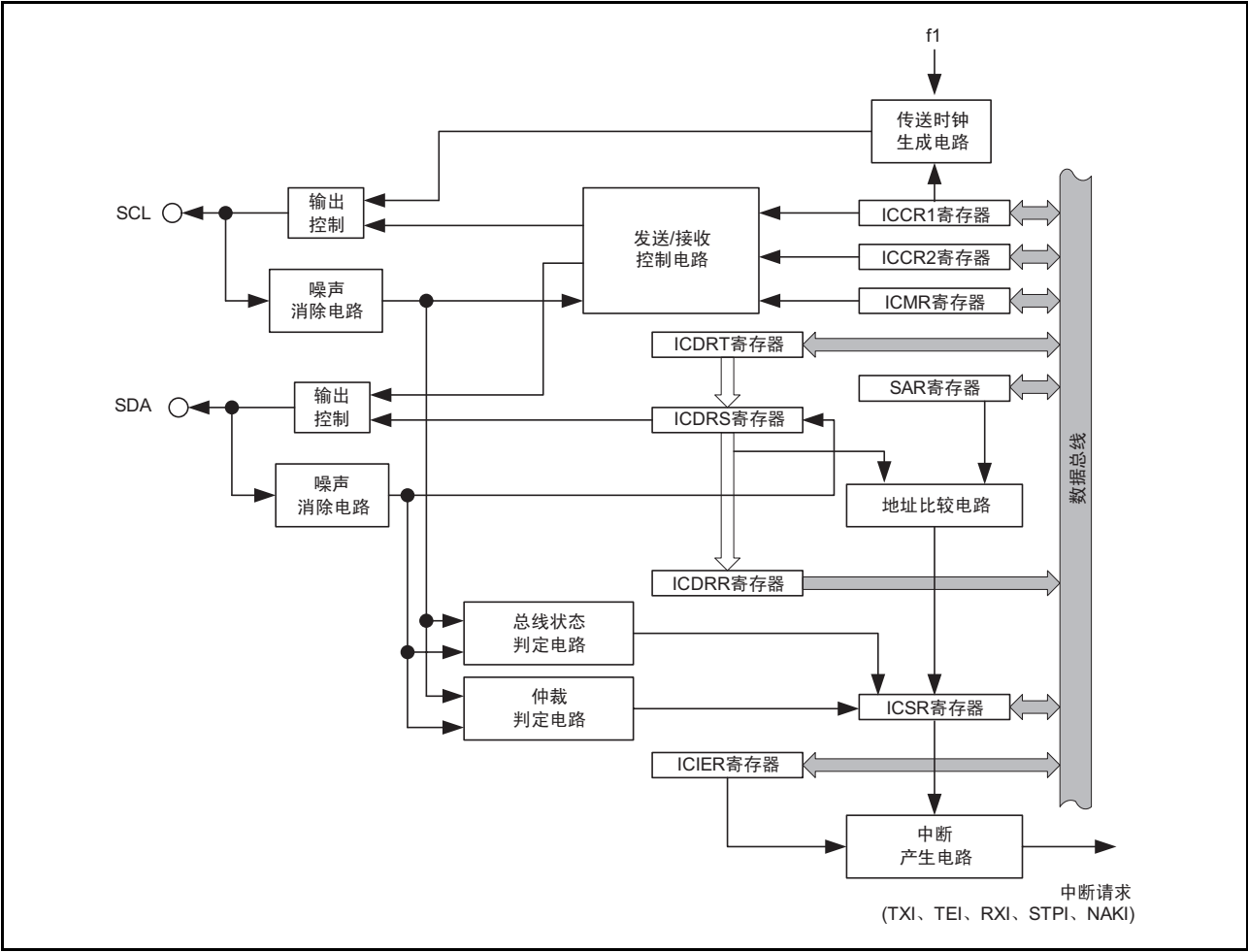


图 17.22 I²C 总线接口的框图

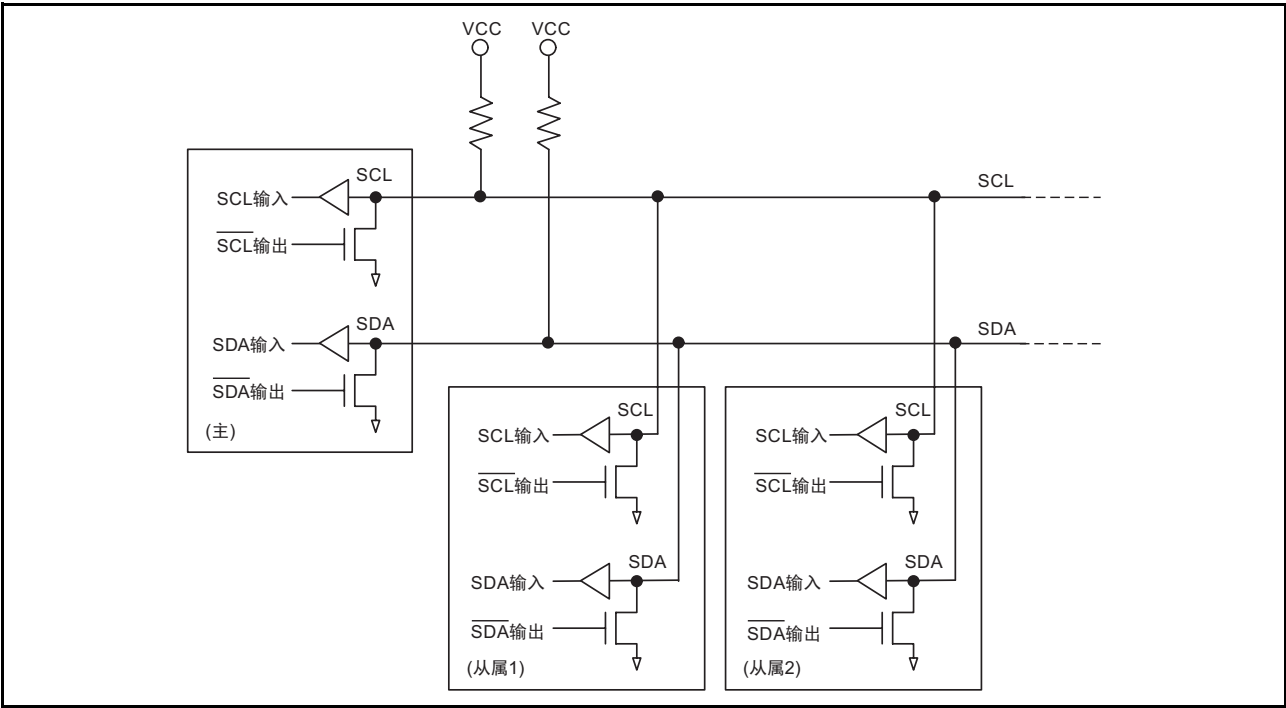


图 17.23 SCL、SDA 引脚的外部电路连接例子

IIC总线控制寄存器1

b7 b6 b5 b4 b3 b2 b1 b0

符号

ICCR1

地址

地址00B8h

复位后的值

00h

位符号	位名	功能	RW
CKS0	传送时钟选择位3~0(注1)	b3 b2 b1 b0 0 0 0 0: f1/28 0 0 0 1: f1/40 0 0 1 0: f1/48 0 0 1 1: f1/64 0 1 0 0: f1/80 0 1 0 1: f1/100 0 1 1 0: f1/112 0 1 1 1: f1/128 1 0 0 0: f1/56 1 0 0 1: f1/80 1 0 1 0: f1/96 1 0 1 1: f1/128 1 1 0 0: f1/160 1 1 0 1: f1/200 1 1 1 0: f1/224 1 1 1 1: f1/256	RW
CKS1			RW
CKS2			RW
CKS3			RW
TRS	发送/接收选择位(注2、3、6)	b5 b4 0 0: 从属接收模式(注4) 0 1: 从属发送模式	RW
MST	主/从选择位(注5、6)	1 0: 主接收模式 1 1: 主发送模式	RW
RCVD	接收禁止位	在TRS=0的状态下读取ICDRR寄存器后 0: 继续下一次的接收运行 1: 禁止下一次的接收运行	RW
ICE	I ² C总线接口允许位	0: 本模块为功能停止状态(SCL、SDA引脚为端口功能) 1: 本模块为可传送运行状态(SCL、SDA引脚为总线驱动状态)	RW

注1.

在主模式中，必须按照所需的传送速率设定。有关传送速率，请参照“表17.6 传送速率的例子”。在从属模式中，用于确保发送模式时的数据准备时间。此时间在CKS3=0时为10Tcyc，在CKS3=1时为20Tcyc。
(1Tcyc=1/f1(s))

注2.

必须在传送帧间改写TRS位。

注3.

在从属接收模式中，如果开始条件后的7位和设定在SAR寄存器中的从属地址匹配并且bit8为“1”，TRS位就为“1”。

注4.

在I²C总线格式的主模式中，如果总线竞争失败，MST和TRS位就为“0”，且进入从属接收模式。

注5.

如果在时钟同步串行格式的主接收模式中产生溢出错误，MST位就为“0”，变为从属接收模式。

注6.

在多主器件使用时，TRS及MST位的设定必须使用MOV指令。

图 17.24 ICCR1 寄存器

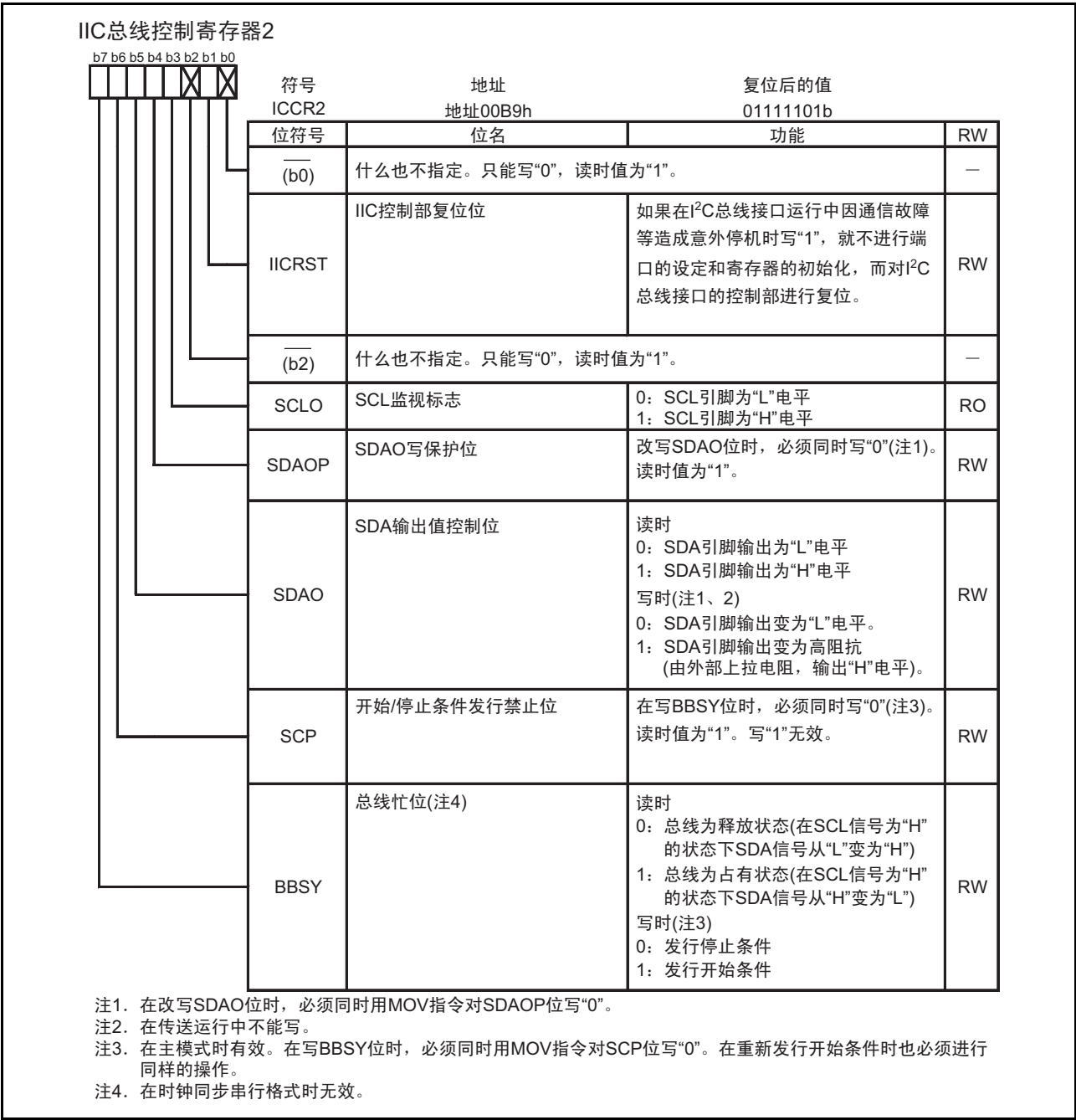


图 17.25 ICCR2 寄存器

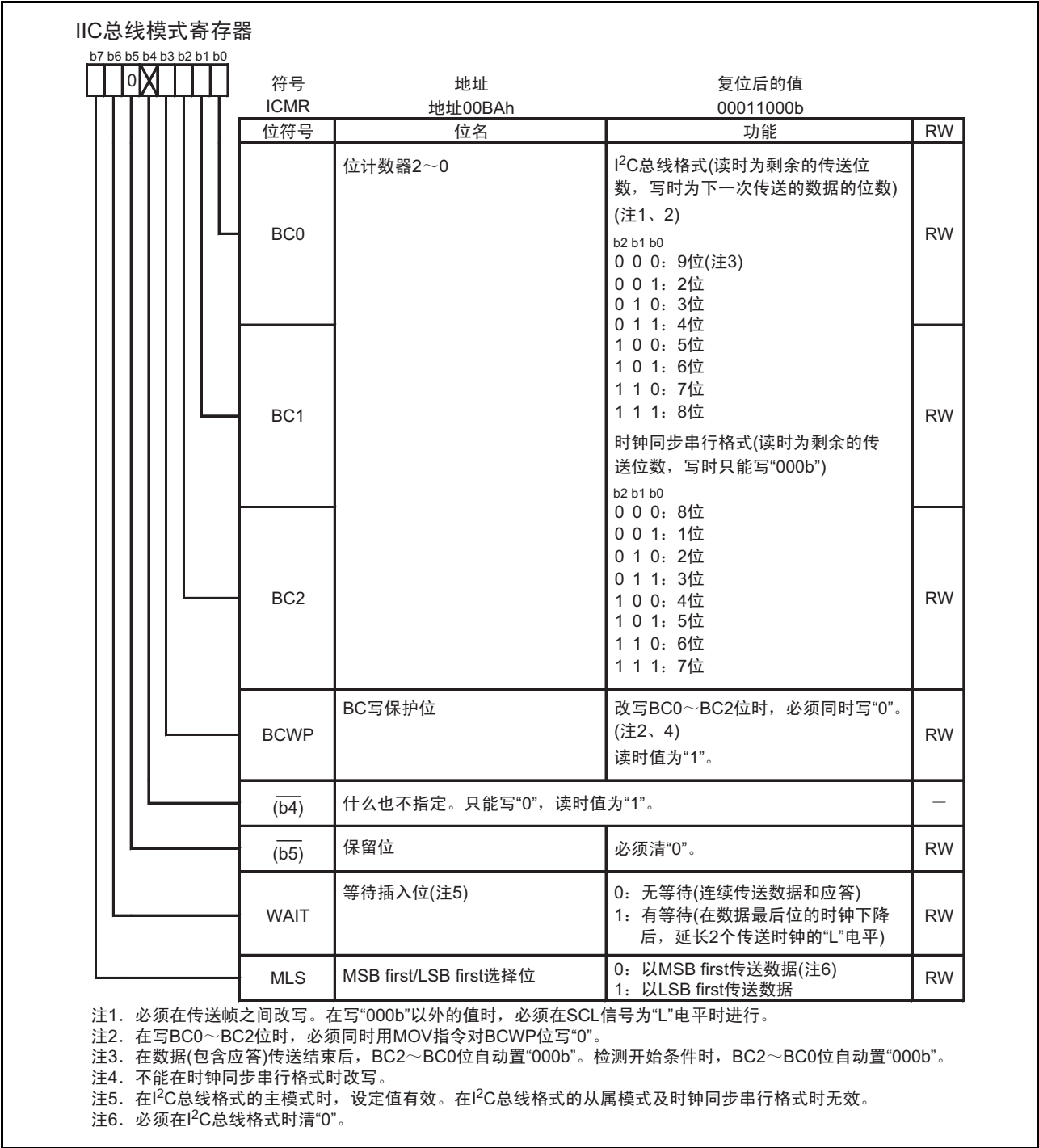


图 17.26 ICMR 寄存器

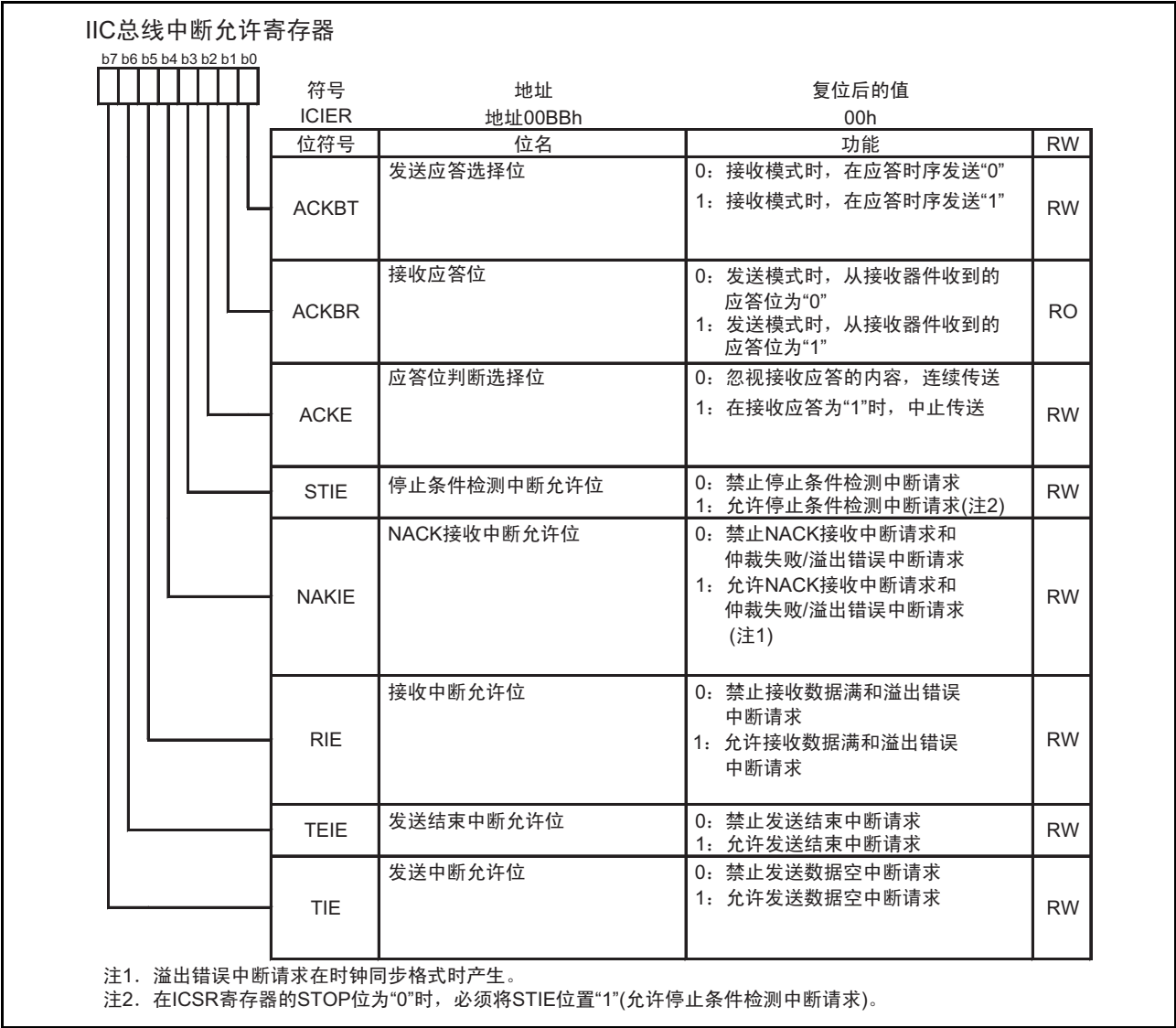


图 17.27 ICIER 寄存器

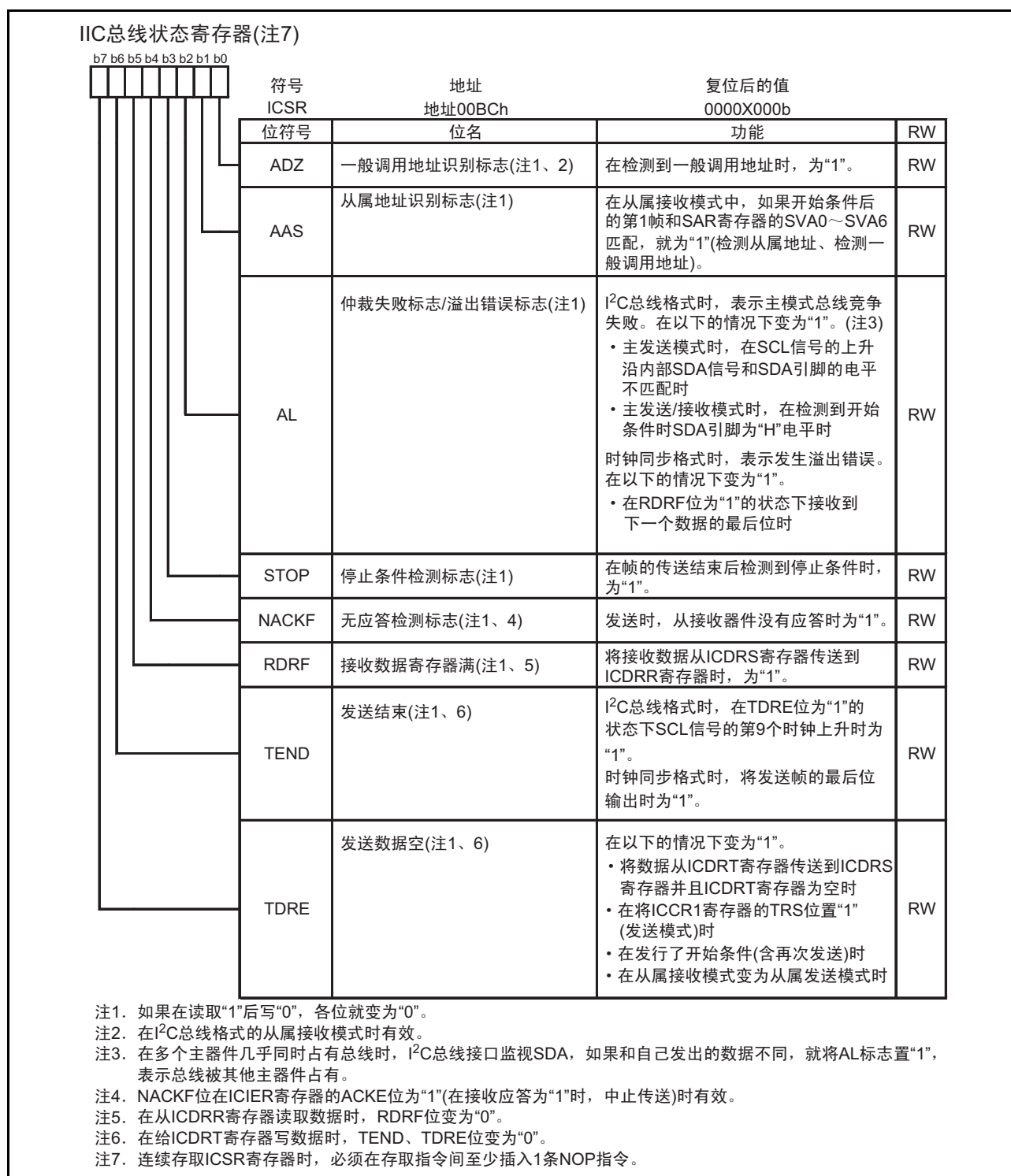


图 17.28 ICSR 寄存器

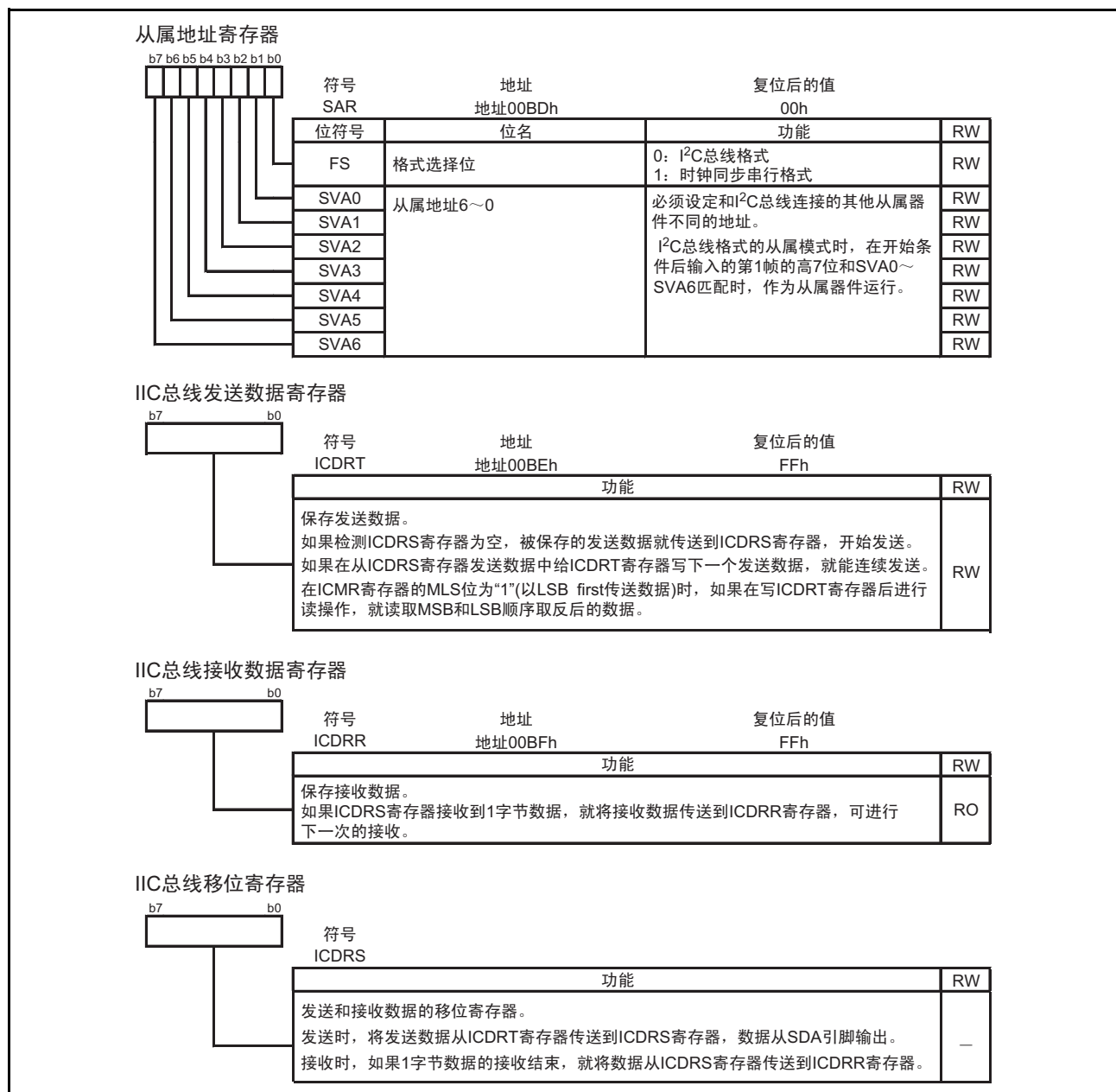


图 17.29 SAR、ICDRT、ICDRR、ICDRS 寄存器

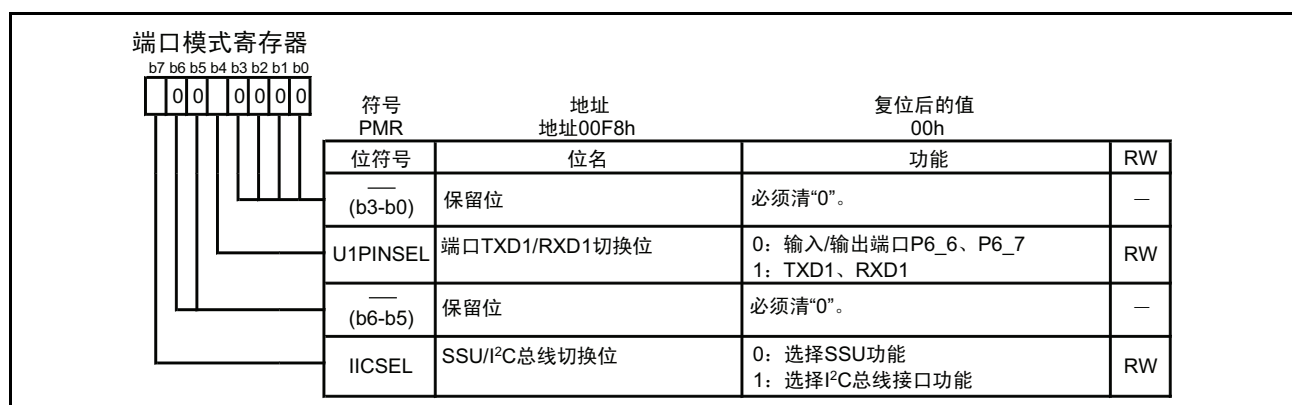


图 17.30 PMR 寄存器

17.3.1 传送时钟

当 ICCR1 寄存器的 MST 位为 “0” 时，传送时钟为从 SCL 引脚输入的外部时钟。

当 ICCR1 寄存器的 MST 位为 “1” 时，传送时钟是由 ICCR1 寄存器的 CKS0 ~ CKS3 位选择的内部时钟，并从 SCL 引脚输出。传送速率的例子如表 17.6 所示。

表 17.6 传送速率的例子

ICCR1 寄存器				传送时钟	传送速率				
CKS3	CKS2	CKS1	CKS0		f1=5MHz	f1=8MHz	f1=10MHz	f1=16MHz	f1=20MHz
0	0	0	0	f1/28	179kHz	286kHz	357kHz	571kHz	714kHz
			1	f1/40	125kHz	200kHz	250kHz	400kHz	500kHz
		1	0	f1/48	104kHz	167kHz	208kHz	333kHz	417kHz
			1	f1/64	78.1kHz	125kHz	156kHz	250kHz	313kHz
	1	0	0	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
			1	f1/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
		1	0	f1/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
			1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1	0	0	0	f1/56	89.3kHz	143kHz	179kHz	286kHz	357kHz
			1	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
		1	0	f1/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
			1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
	1	0	0	f1/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
			1	f1/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
		1	0	f1/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
			1	f1/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

17.3.2 中断请求

I²C 总线接口的中断请求在 I²C 总线格式中有 6 种，在时钟同步串行格式中有 4 种。I²C 总线接口的中断请求如表 17.7 所示。

由于这些中断请求被分配在 I²C 总线接口中断向量表，所以需要根据各位判断中断源。

表 17.7 I²C 总线接口的中断请求

中断请求		产生条件	格式	
			I ² C 总线	时钟同步串行
发送数据空	TXI	TIE=1 并且 TDRE=1	有效	有效
发送结束	TEI	TEIE=1 并且 TEND=1	有效	有效
接收数据满	RXI	RIE=1 并且 RDRF=1	有效	有效
停止条件检测	STPI	STIE=1 并且 STOP=1	有效	无效
NACK 检测	NAKI	NAKIE=1 并且 AL=1 (或者, NAKIE=1 并且 NACKF=1)	有效	无效
仲裁失败 / 溢出错误			有效	有效

STIE、NAKIE、RIE、TEIE、TIE: ICIER 寄存器的位

AL、STOP、NACKF、RDRF、TEND、TDRE: ICSR 寄存器的位

如果满足表 17.7 的产生条件，就产生 I²C 总线接口中断请求。必须通过 I²C 总线接口中断程序将各自的中断产生条件清“0”。

但是，TDRE 位和 TEND 位通过将发送数据写到 ICDRT 寄存器自动清“0”，RDRF 位通过读 ICDRR 寄存器自动清“0”。尤其是在将发送数据写到 ICDRT 寄存器时，TDRE 位变为“0”，在将数据从 ICDRT 寄存器传送到 ICDRS 寄存器时，TDRE 位变为“1”，并且，如果将 TDRE 位清“0”，就可能多发送 1 个字节。

另外，将 STIE 位置“1”（允许停止条件检测的中断请求）时，必须在 STOP 位为“0”时进行。

17.3.3 I²C 总线接口模式

17.3.3.1 I²C 总线格式

如果将 SAR 寄存器的 FS 位清 “0”，就以 I²C 总线格式进行通信。
I²C 总线格式和总线时序如图 17.31 所示，接着开始条件的第 1 帧总是由 8 位构成。

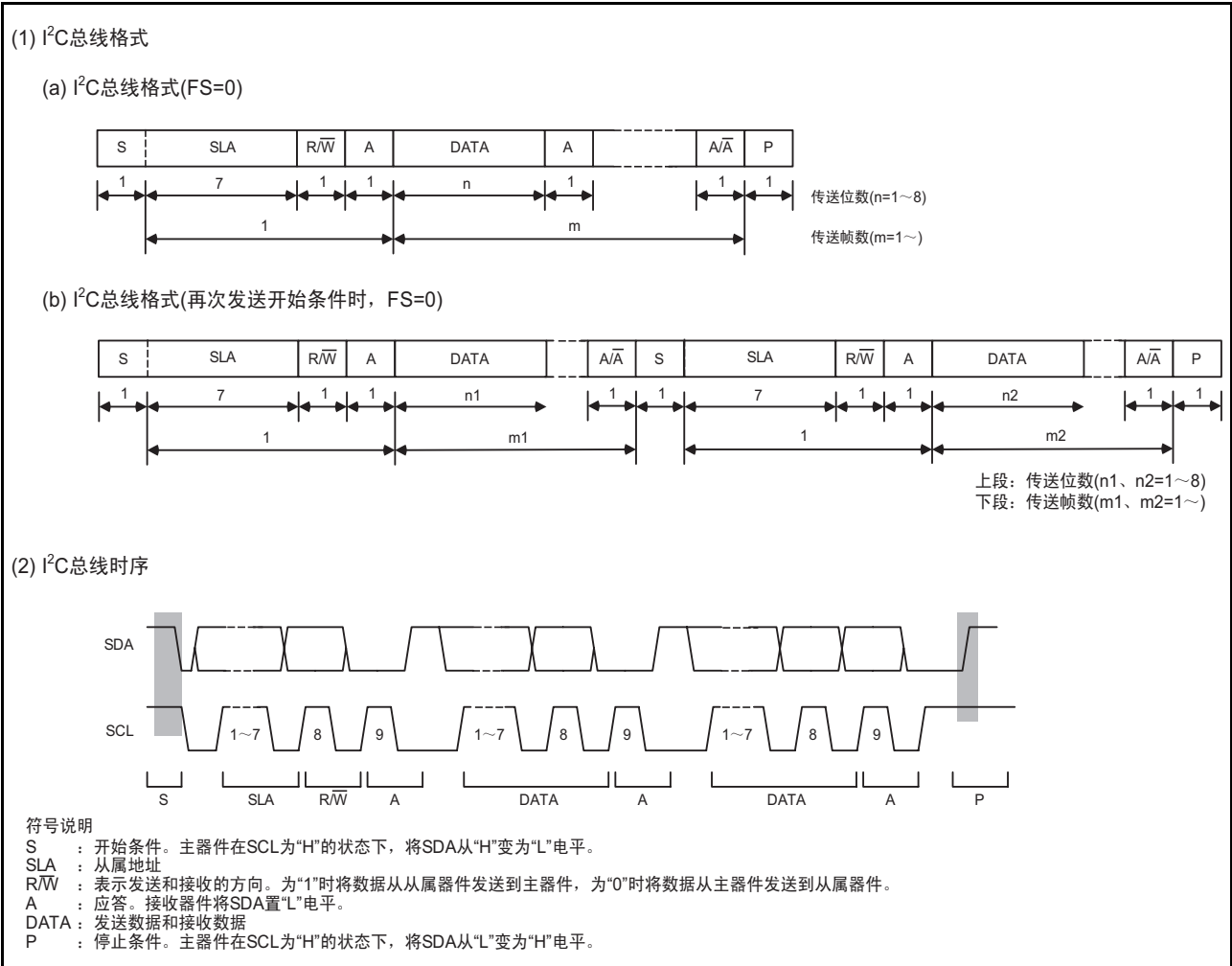


图 17.31 I²C 总线格式和总线时序

17.3.3.2 主发送运行

在主发送模式中，主器件输出发送时钟和发送数据，从属器件返回应答。主发送模式的运行时序（I²C 总线接口模式）如图 17.32、图 17.33 所示。

主发送模式的发送步骤和运行如下所示：

- (1) 为了初始化，必须将 ICSR 寄存器的 STOP 位清“0”，然后将 ICCR1 寄存器的 ICE 位置“1”（可发送运行状态），最后设定 ICMR 寄存器的 WAIT 和 MLS 位、ICCR1 寄存器的 CKS0 ~ CKS3 位等（初始设定）。
- (2) 必须在读取 ICCR2 寄存器的 BBSY 位且确认总线是释放状态后，将 ICCR1 寄存器的 TRS、MST 位设为主发送模式，然后用 MOV 指令写 BBSY=1 和 SCP=0（发行开始条件）。从而生成开始条件。
- (3) 必须在确认 ICSR 寄存器的 TDRE 位为“1”后，将发送数据（第 1 个字节是表示从属地址和 $\overline{R/W}$ 的数据）写到 ICDRT 寄存器。此时，TDRE 位自动清“0”，将数据从 ICDRT 寄存器传送到 ICDRS 寄存器，TDRE 位再次为“1”。
- (4) 在 TDRE 位为“1”的状态下，1 字节的发送结束，在发送时钟的第 9 个时钟上升时 ICSR 寄存器的 TEND 位变为“1”。必须在读 ICIEP 寄存器的 ACKBR 位且确认从属器件已被选择后，将第 2 字节的数据写到 ICDRT 寄存器。当 ACKBR 位为“1”时，由于从属器件未被识别，所以必须发行停止条件。通过用 MOV 指令写 BBSY=0 和 SCP=0 进行停止条件的发行。另外，在准备完数据或者发行停止条件前，SCL 被固定为“L”电平。
- (5) 在每当 TDRE 位变为“1”时，就将第 2 个字节以后的发送数据写到 ICDRT 寄存器。
- (6) 在将发送的字节数写到 ICDRT 寄存器后，必须在 TDRE 位为“1”的状态下等待 TEND 位变为“1”；或者在 ICIEP 寄存器的 ACKE 位为“1”（在接收应答为“1”时，中止传送）的状态下，等待来自接收器件的 NACK（ICSR 寄存器的 NACKF=1）。然后发行停止条件，并将 TEND 位或者 NACKF 位清“0”。
- (7) 必须在 ICSR 寄存器的 STOP 位为“1”时返回从属接收模式。

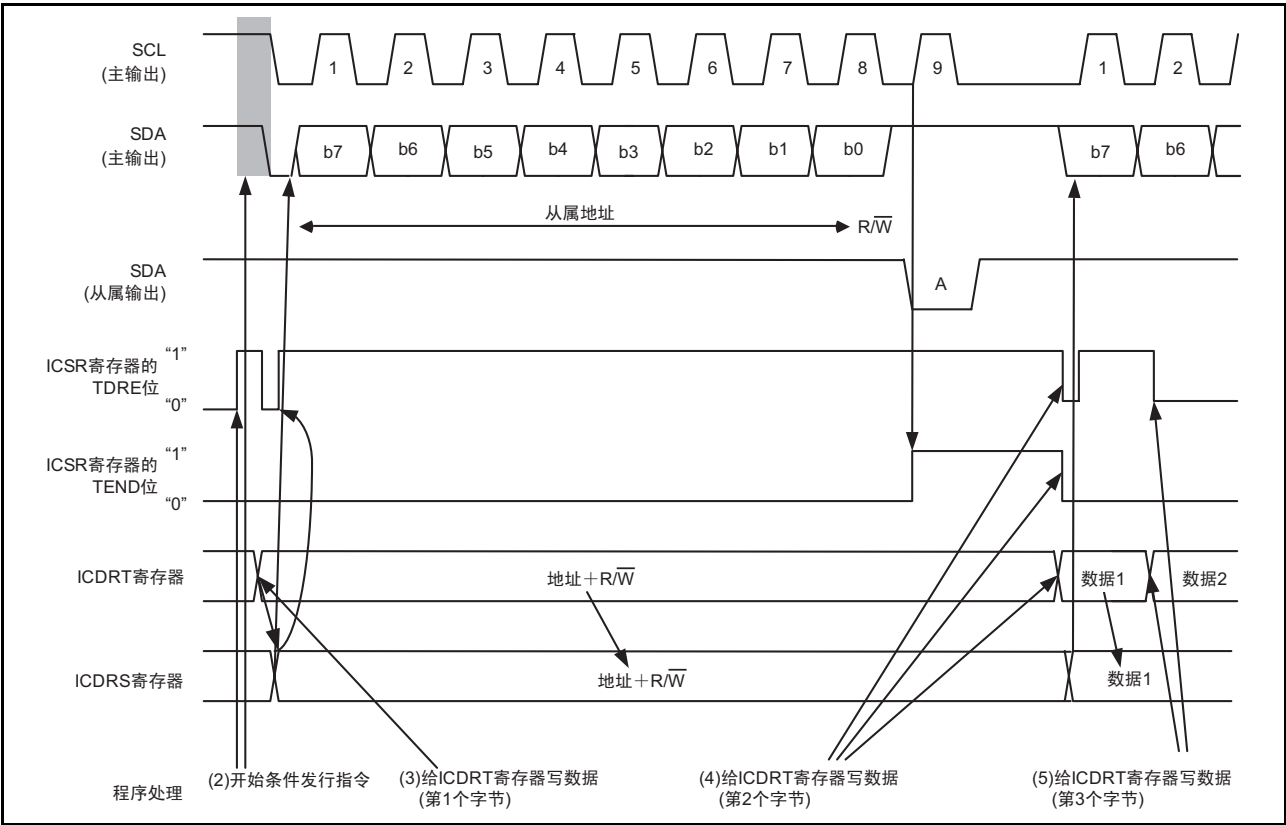


图 17.32 主发送模式的运行时序（I²C 总线接口模式）（1）

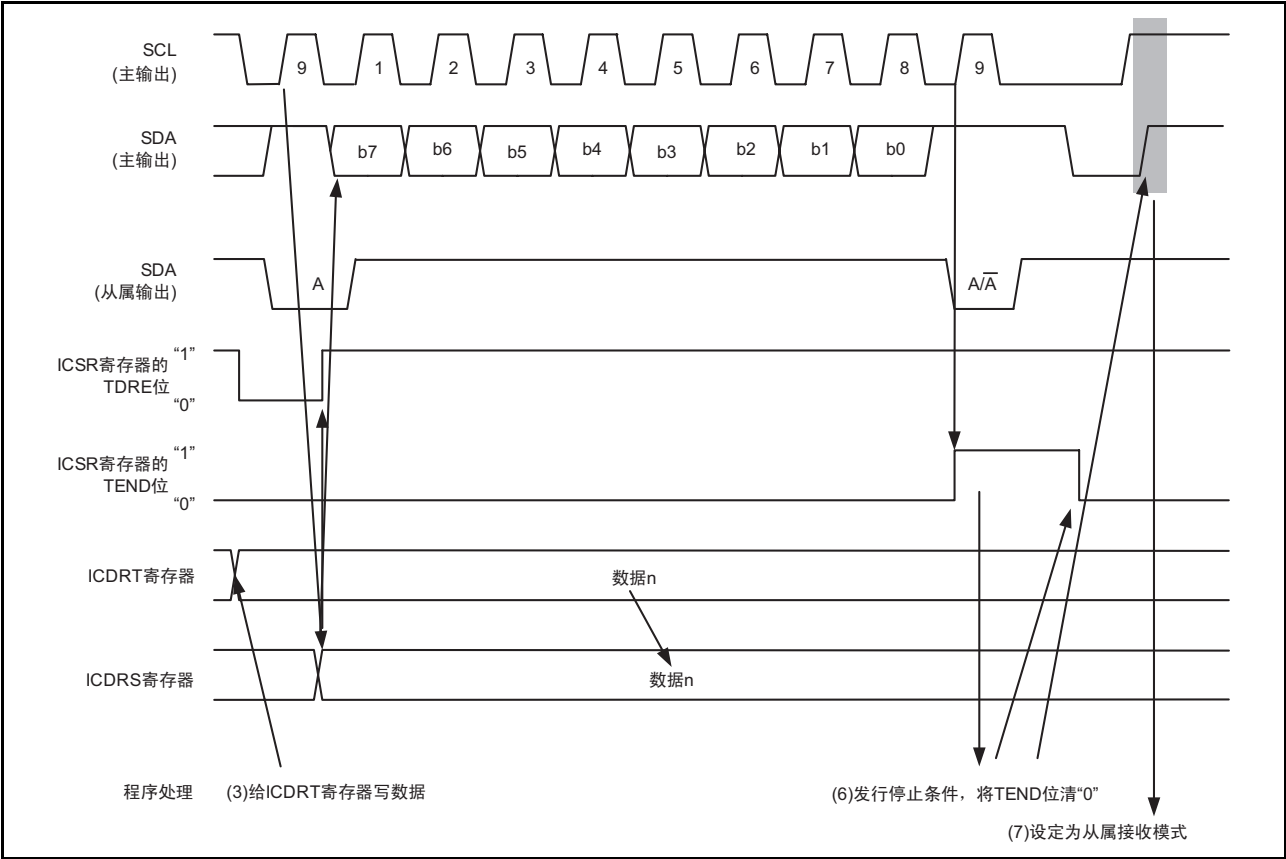


图 17.33 主发送模式的运行时序（I²C 总线接口模式）（2）

17.3.3.3 主接收运行

在主接收模式中，主器件输出接收时钟，在接收从属器件的数据后返回应答。主接收模式的运行时序（I²C 总线接口模式）如图 17.34、图 17.35 所示。

主接收模式的接收步骤和运行如下所示：

- (1) 必须在 ICSR 寄存器的 TEND 位清 “0” 后将 ICCR1 寄存器的 TRS 位清 “0”，从主器件发送模式转换为主器件接收模式，然后将 ICSR 寄存器的 TDRE 位清 “0”。
- (2) 如果虚读 ICDRR 寄存器，就开始接收，与内部时钟同步输出接收时钟并接收数据。主器件在接收时钟的第 9 个时钟将由 ICIEP 寄存器的 ACKBT 位设定的电平输出到 SDA。
- (3) 1 帧数据的接收结束，在接收时钟的第 9 个时钟的上升沿 ICSR 寄存器的 RDRF 位变为 “1”。此时，如果读 ICDRR 寄存器，就能读取接收的数据，同时 RDRF 位变为 “0”。
- (4) 每当 RDRF 位变为 “1” 时，通过读取 ICDRR 寄存器，就能连续接收。另外，如果在因其他处理 RDRF 位变为 “1” 的状态下，延迟读取 ICDRR 寄存器且第 8 个时钟下降时，就在读 ICDRR 寄存器前 SCL 被固定为 “L” 电平。
- (5) 在下一个接收为最后 1 帧的情况下，必须在读 ICDRR 寄存器前将 ICCR1 寄存器的 RCVD 位置 “1”（禁止下一次接收运行）。因此，在下一次接收后处于可发行停止条件的状态。
- (6) 如果在接收时钟的第 9 个时钟的上升沿 RDRF 位变为 “1”，就必须发行停止条件。
- (7) 如果 ICSR 寄存器的 STOP 位变为 “1”，就必须读 ICDRR 寄存器，然后将 RCVD 位清 “0”（继续下一次接收运行）。
- (8) 必须返回从属接收模式。

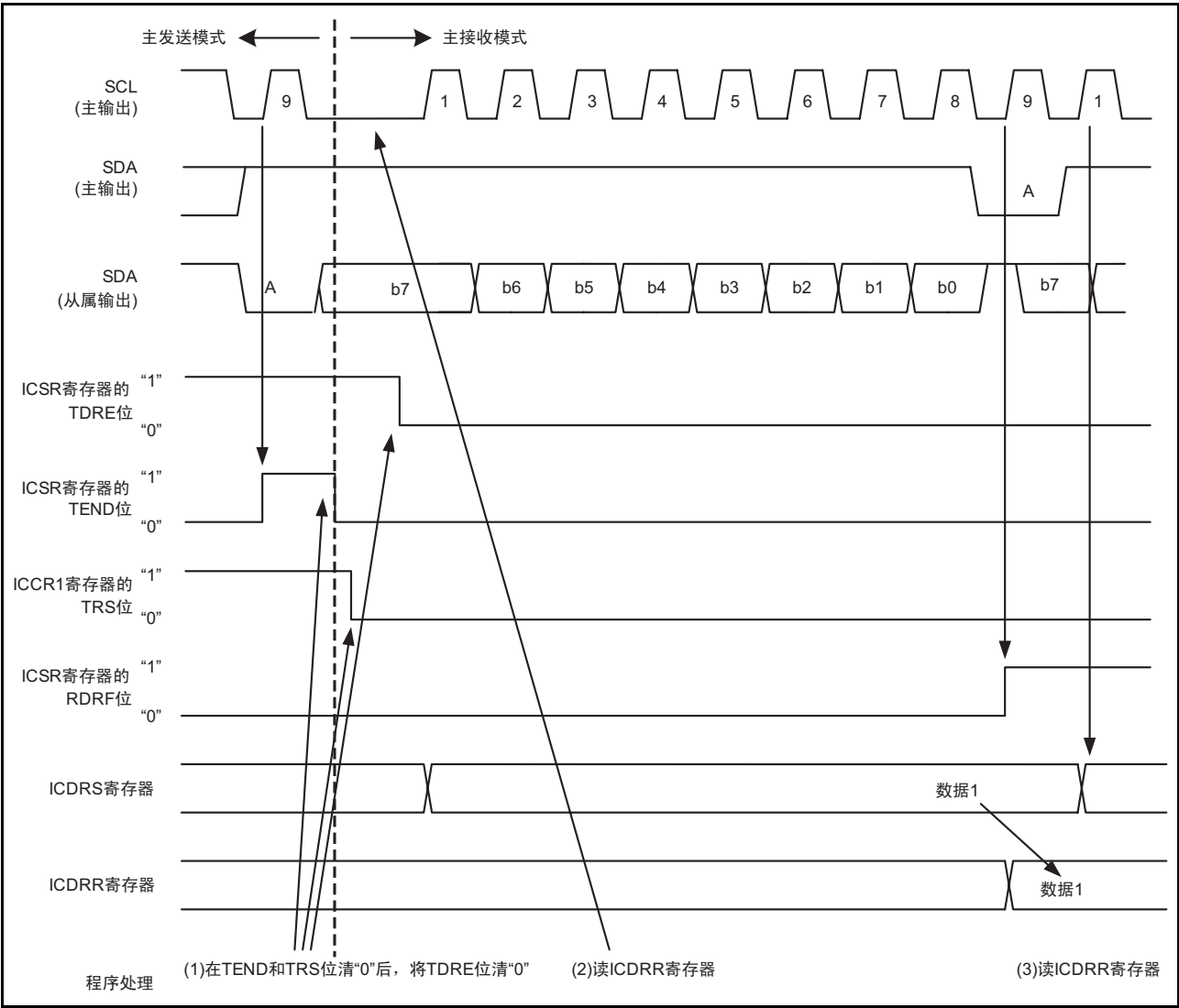


图 17.34 主接收模式的运行时序 (I2C 总线接口模式) (1)

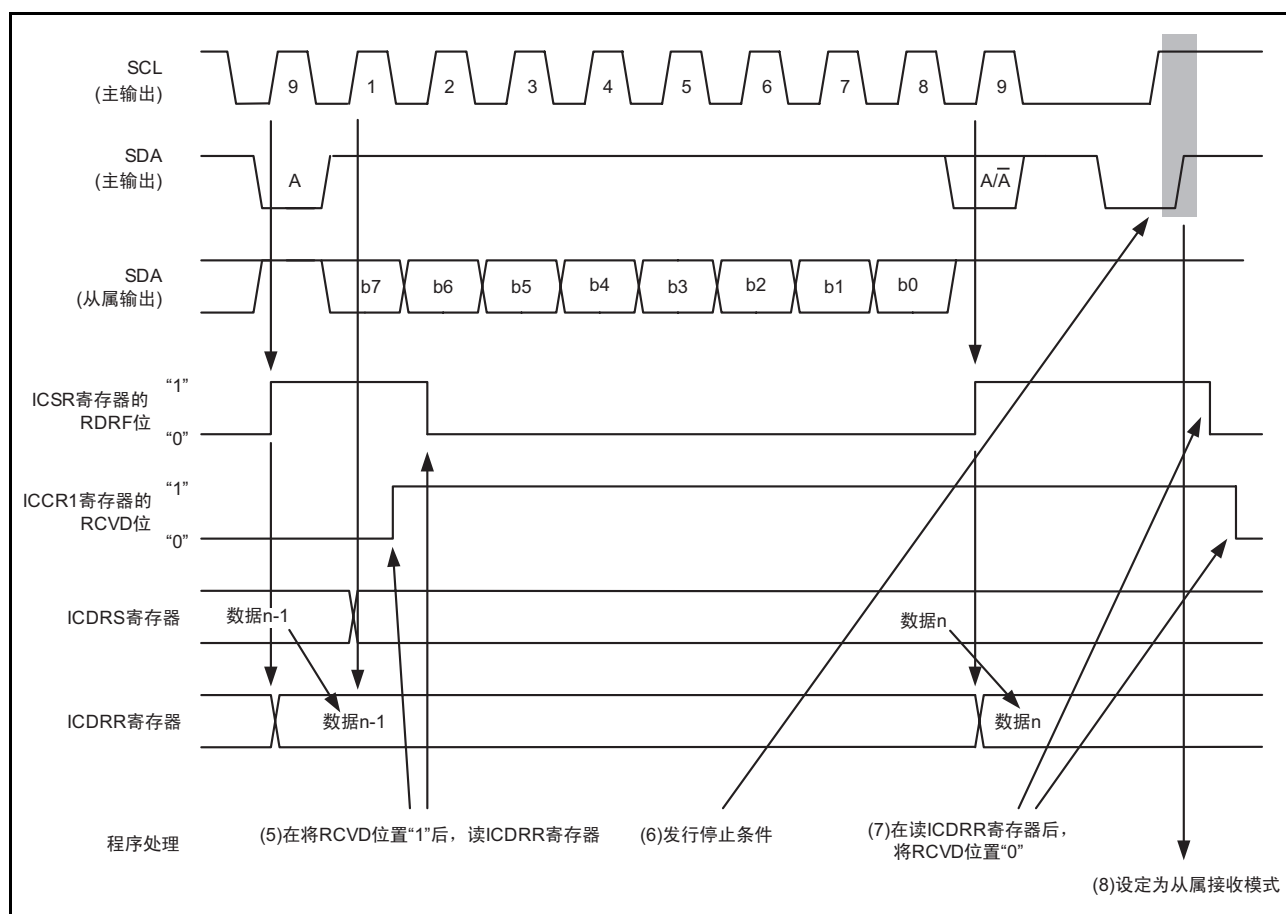


图 17.35 主接收模式的运行时序 (I2C 总线接口模式) (2)

17.3.3.4 从属发送运行

在从属发送模式中，从属器件输出发送数据，主器件在输出接收时钟后返回应答。从属发送模式的运行时序（I²C 总线接口模式）如图 17.36、图 17.37 所示。

从属发送模式的发送步骤和运行如下所示：

- (1) 必须将 ICCR1 寄存器的 ICE 位置 “1”（可传送运行状态），然后设定 ICMR 寄存器的 WAIT 和 MLS 位、ICCR1 寄存器的 CKS0 ~ CKS3 位等（初始设定）。其次，必须将 ICCR1 寄存器的 TRS 和 MST 位清 “0”，然后在从属接收模式中等待从属地址匹配。
- (2) 在检测到开始条件后的第 1 帧，从属地址匹配时，就在第 9 个时钟的上升沿从属器件将由 ICIER 寄存器的 ACKBT 位设定的电平输出到 SDA。此时，如果第 8 个位的数据（R/W）为 “1”，TRS 位和 ICSR 寄存器的 TDRE 位就为 “1”，并自动转换为从属发送模式。每当 TDRE 位变为 “1” 时将发送数据写到 ICDRT 寄存器，就可连续发送。
- (3) 在将最后的发送数据写到 ICDRT 寄存器后 TDRE 位变为 “1” 时，必须在 TDRE 位为 “1” 的状态下等待 ICSR 寄存器的 TEND 位变为 “1”。一旦 TEND 位变为 “1”，就必须将 TEND 位清 “0”。
- (4) 为了结束处理，必须将 TRS 位清 “0”，并虚读 ICDRR 寄存器，由此释放 SCL。
- (5) 必须将 TDRE 位清 “0”。

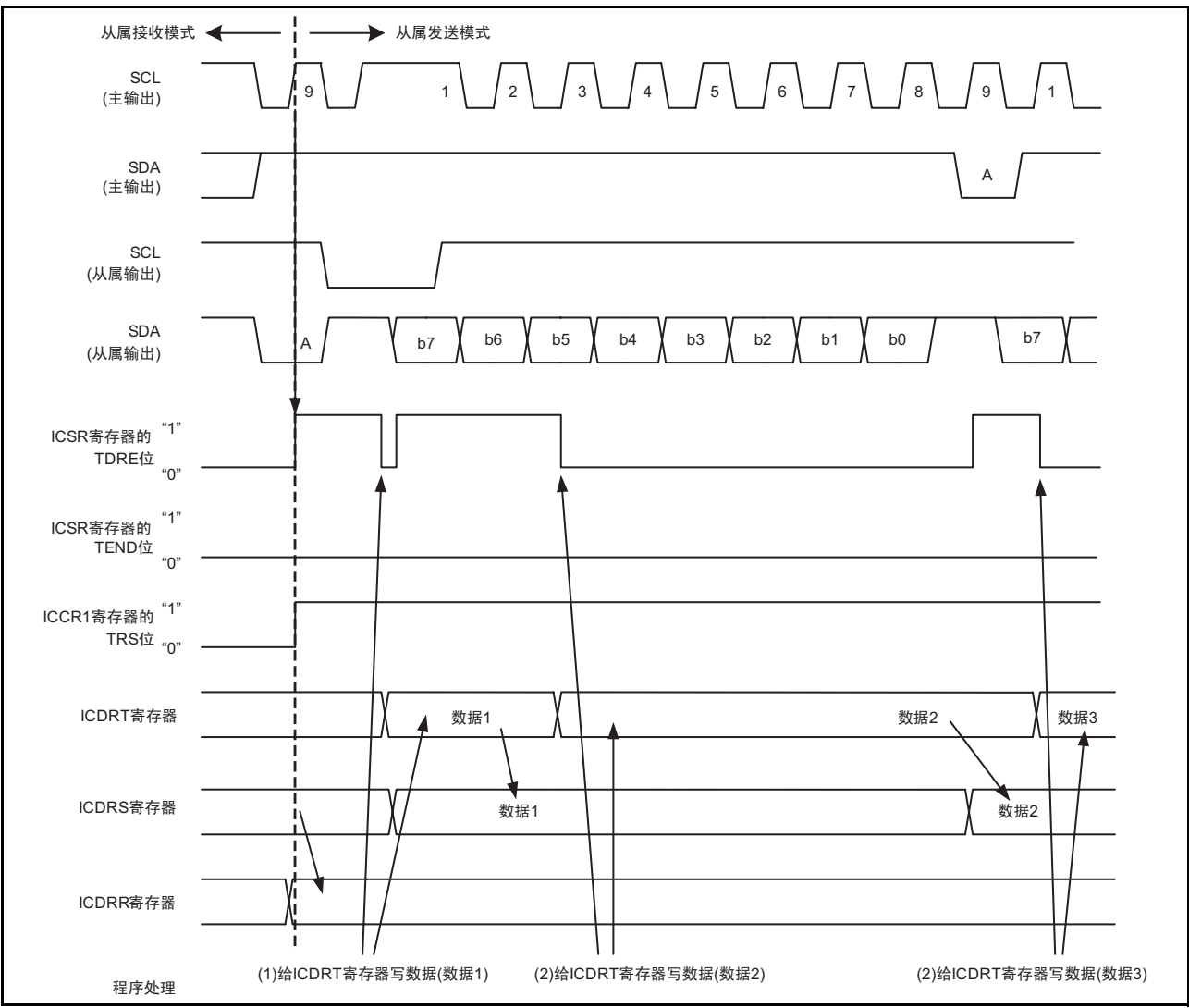
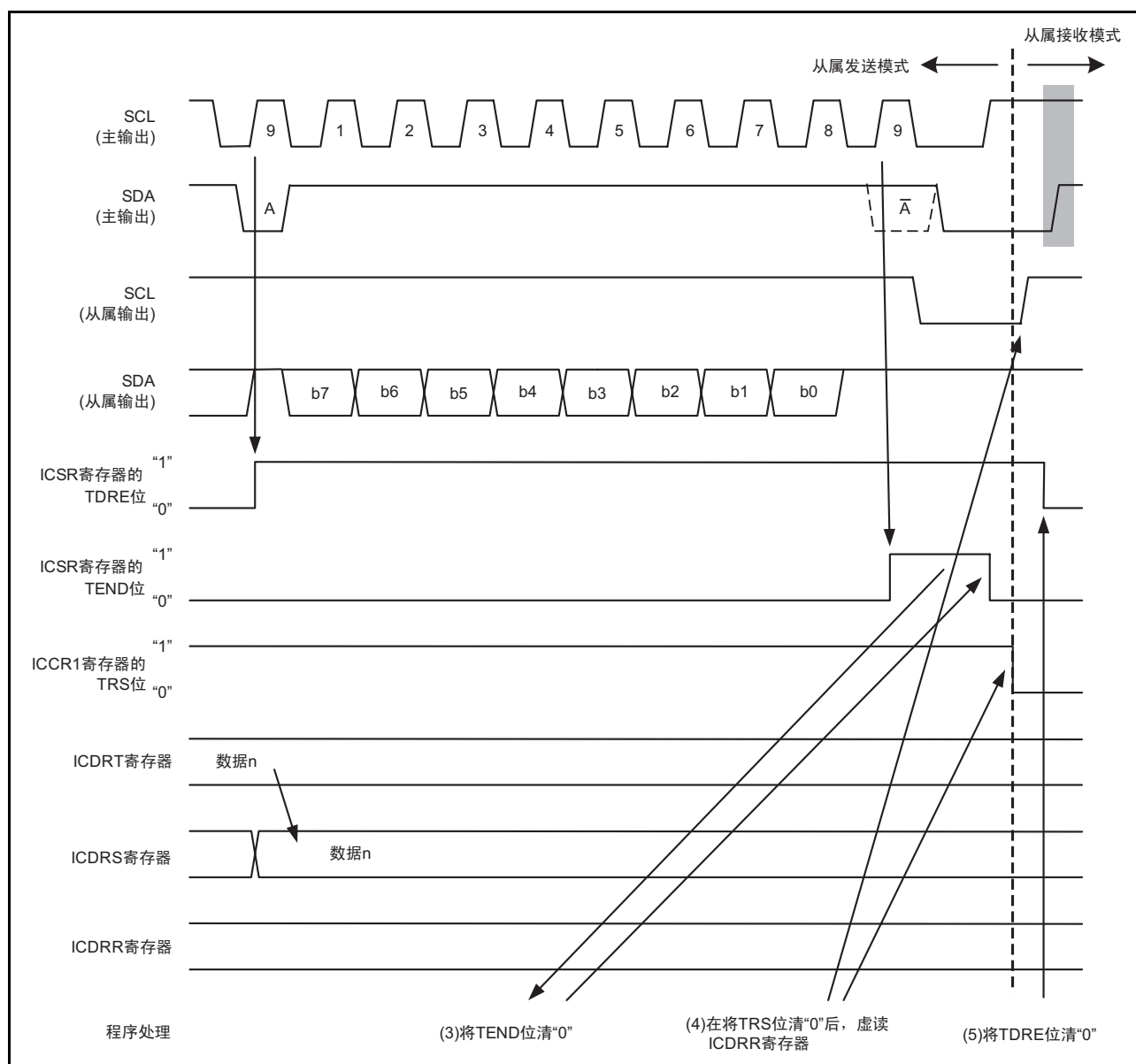


图 17.36 从属发送模式的运行时序（I²C 总线接口模式）（1）

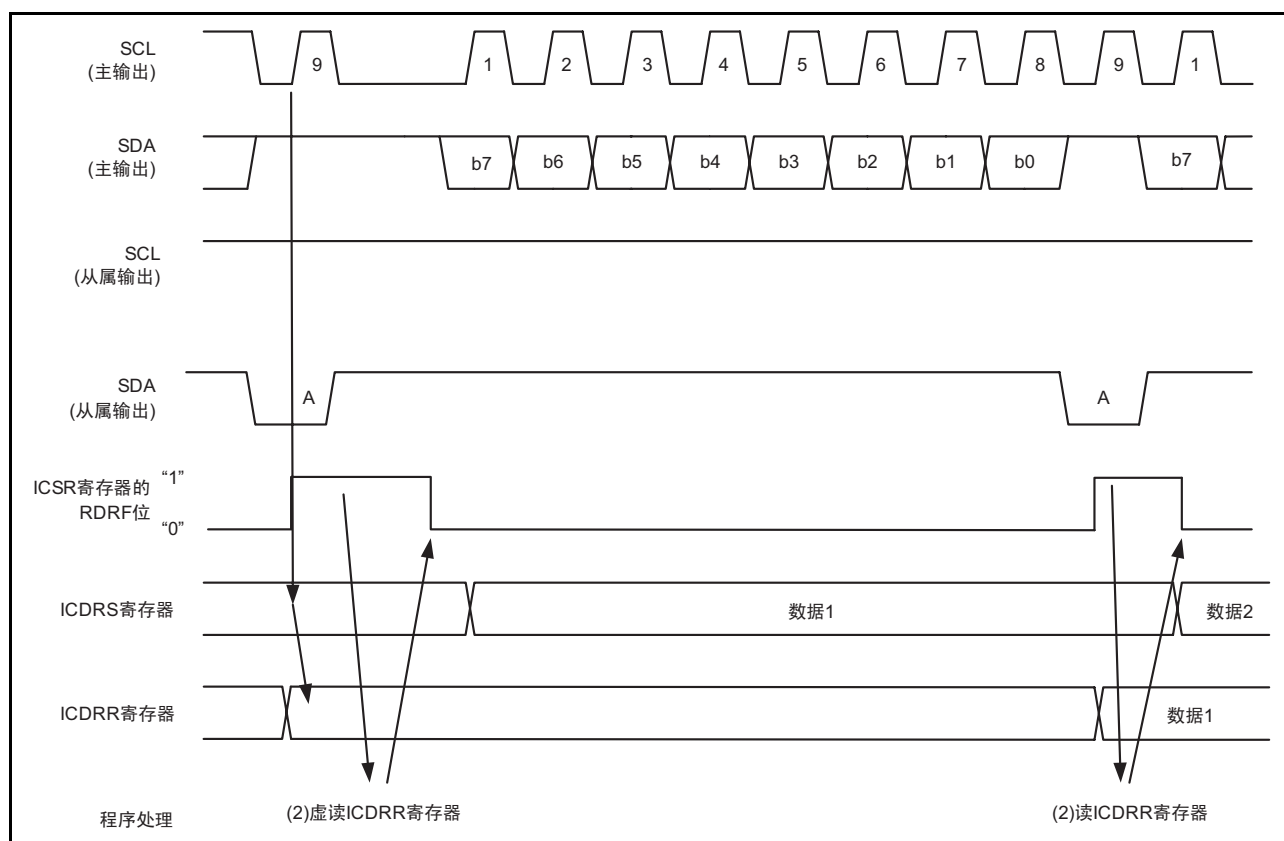
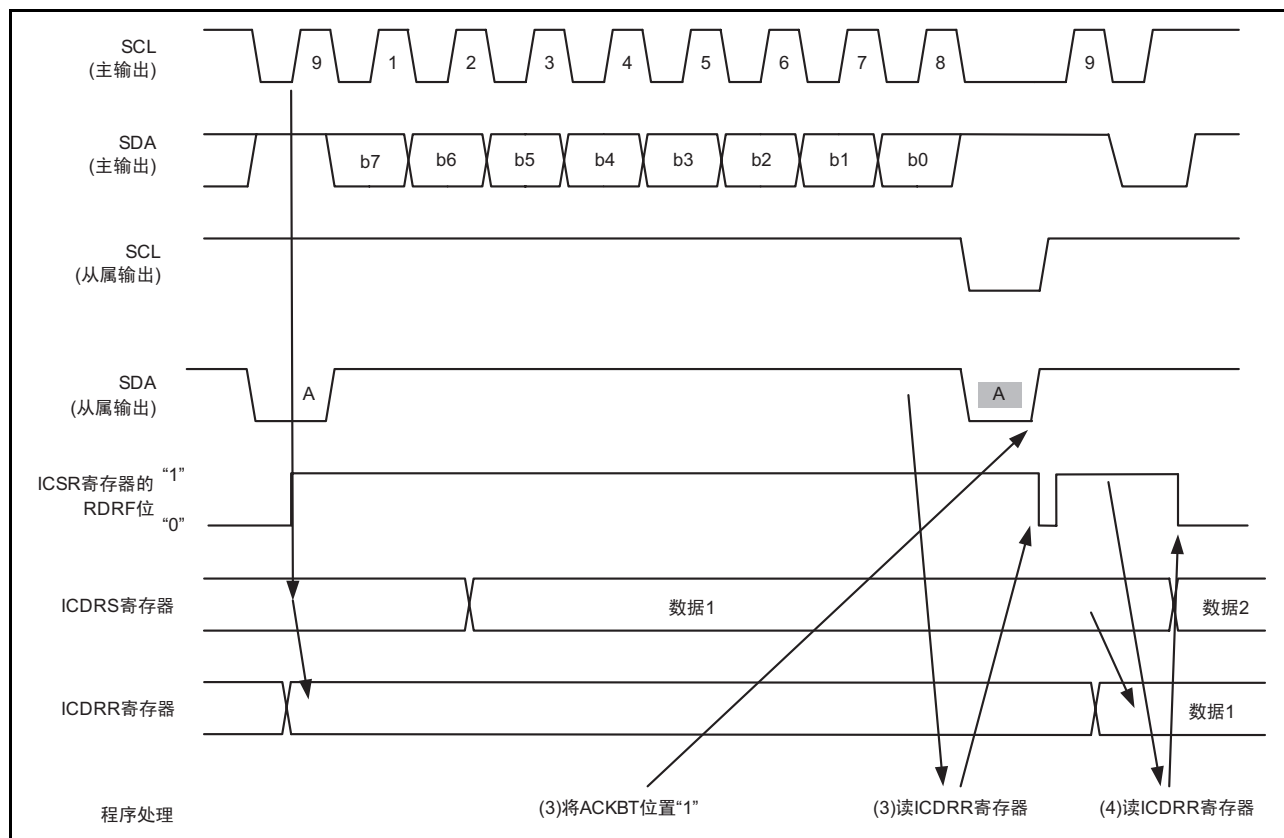
图 17.37 从属发送模式的运行时序 (I²C 总线接口模式) (2)

17.3.3.5 从属接收运行

在从属接收模式中，主器件输出发送时钟和发送数据，从属器件返回应答。从属接收模式的运行时序（I²C 总线接口模式）如图 17.38、图 17.39 所示。

从属接收模式的接收步骤和运行如下所示：

- (1) 必须将 ICCR1 寄存器的 ICE 位置 “1”（可传送运行状态），然后设定 ICMR 寄存器的 WAIT 和 MLS 位、ICCR1 寄存器的 CKS0 ~ CKS3 位等（初始设定）。其次，必须将 ICCR1 寄存器的 TRS 和 MST 位清 “0”，然后在从属接收模式中等待从属地址匹配。
- (2) 在检测到开始条件后的第 1 帧，从属地址匹配时，就在第 9 个时钟的上升沿从属器件将由 ICIER 寄存器的 ACKBT 位设定的电平输出到 SDA。同时 ICSR 寄存器的 RDRF 位变为 “1”，所以必须虚读 ICDRR 寄存器（因为读取的数据表示从属地址 + $R/\overline{W}$ ，所以不需要）。
- (3) 每当 RDRF 位变为 “1” 时读 ICDRR 寄存器。如果在 RDRF 位为 “1” 的状态下第 8 个时钟下降，就在读 ICDRR 寄存器前 SCL 被固定为 “L” 电平。读 ICDRR 寄存器前更改的返回给主器件的应答设定将反映在下一个传送帧。
- (4) 同样，通过读 ICDRR 寄存器进行最后字节的读取。

图 17.38 从属接收模式的运行时序 (I²C 总线接口模式) (1)图 17.39 从属接收模式的运行时序 (I²C 总线接口模式) (2)

17.3.4 时钟同步串行模式

17.3.4.1 时钟同步串行格式

如果将 SAR 寄存器的 FS 位置 “1”，就以时钟同步串行格式进行通信。
时钟同步串行格式的传送格式如图 17.40 所示。

当 ICCR1 寄存器的 MST 位为 “1” 时，从 SCL 输出传送时钟；当 MST 位为 “0” 时，输入外部时钟。

在 SCL 时钟的下降沿到下一个下降沿之间输出传送数据，并确定 SCL 时钟的上升沿的数据。可通过 ICMR 寄存器的 MLS 位选择数据的传送顺序是 MSB first 还是 LSB first。另外，能通过 ICCR2 寄存器的 SDAO 位，在传送待机中更改 SDA 的输出电平。

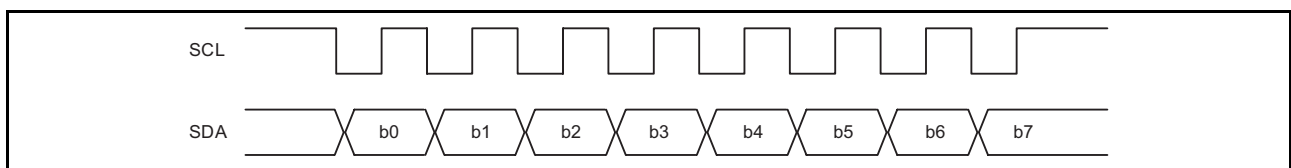


图 17.40 时钟同步串行格式的传送格式

17.3.4.2 发送的运行

在发送模式中，与传送时钟的下降同步从 SDA 输出发送数据。传送时钟在 ICCR1 寄存器的 MST 位为“1”时为输出；在 MST 位为“0”时为输入。

发送模式的运行时序（时钟同步串行模式）如图 17.41 所示。

发送模式的步骤和运行如下所示：

- (1) 必须将 ICCR1 寄存器的 ICE 位置“1”（可传送运行状态），然后设定 ICCR1 寄存器的 CKS0 ~ CKS3 位和 MST 位等（初始设定）。
- (2) 必须将 ICCR1 寄存器的 TRS 位置“1”，设定为发送模式。从而 ICSR 寄存器的 TDRE 位变为“1”。
- (3) 必须在确认 TDRE 位为“1”后将发送数据写到 ICDRT 寄存器，使数据从 ICDRT 寄存器传送到 ICDRS 寄存器，TDRE 位自动变为“1”。每当 TDRE 位变为“1”时，将数据写到 ICDRT 寄存器，就可连续发送。另外，从发送模式转换为接收模式时，必须在 TDRE 位为“1”的状态下将 TRS 位清“0”。

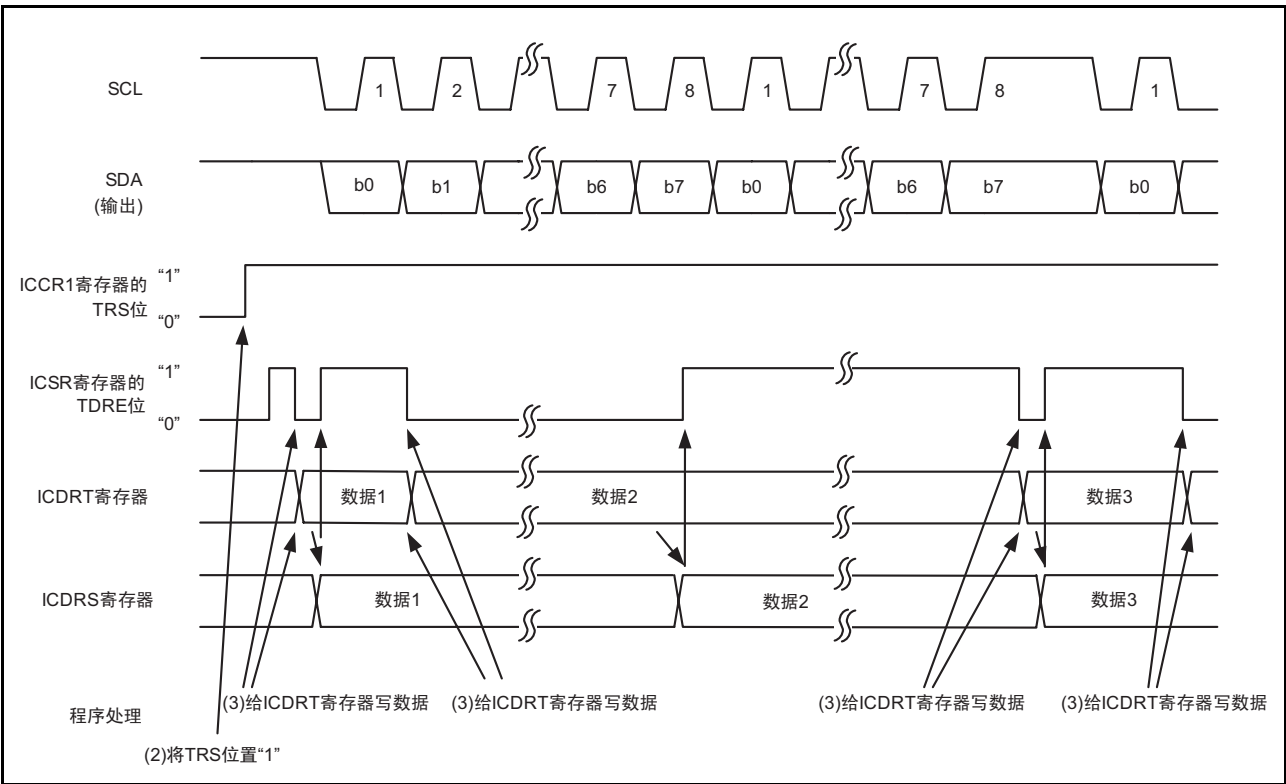


图 17.41 发送模式的运行时序（时钟同步串行模式）

17.3.4.3 接收的运行

接收模式在传送时钟的上升沿锁存数据。传送时钟在 ICCR1 寄存器的 MST 位为 “1” 时为输出；在 MST 位为 “0” 时为输入。

接收模式的运行时序（时钟同步串行模式）如图 17.42 所示。

接收模式的步骤和运行如下所示：

- (1) 必须将 ICCR1 寄存器的 ICE 位置 “1”（可传送运行状态），然后设定 ICCR1 寄存器的 CKS0 ~ CKS3 位和 MST 位等（初始设定）。
- (2) 在输出传送时钟时，必须将 MST 位置 “1”，开始输出接收时钟。
- (3) 当接收结束时，将数据从 ICDRS 寄存器传送到 ICDRR 寄存器，ICSR 寄存器的 RDRF 位变为 “1”。在 MST 位为 “1” 时，因处于可接收下一字节数据的状态，所以连续输出时钟。每当 RDRF 位变为 “1” 时，读 ICDRR 寄存器，就能连续接收。如果在 RDRF 位为 “1” 的状态下第 8 个时钟上升，就检测溢出，且 ICSR 寄存器的 AL 位变为 “1”。此时，ICDRR 寄存器保持前一个接收数据。
- (4) 在 MST 位为 “1” 时，为了停止接收，必须在 ICCR1 寄存器的 RCVD 位置 “1”（禁止下一次接收运行）后读 ICDRR 寄存器。从而在结束下一字节数据的接收后，SCL 被固定为 “H” 电平。

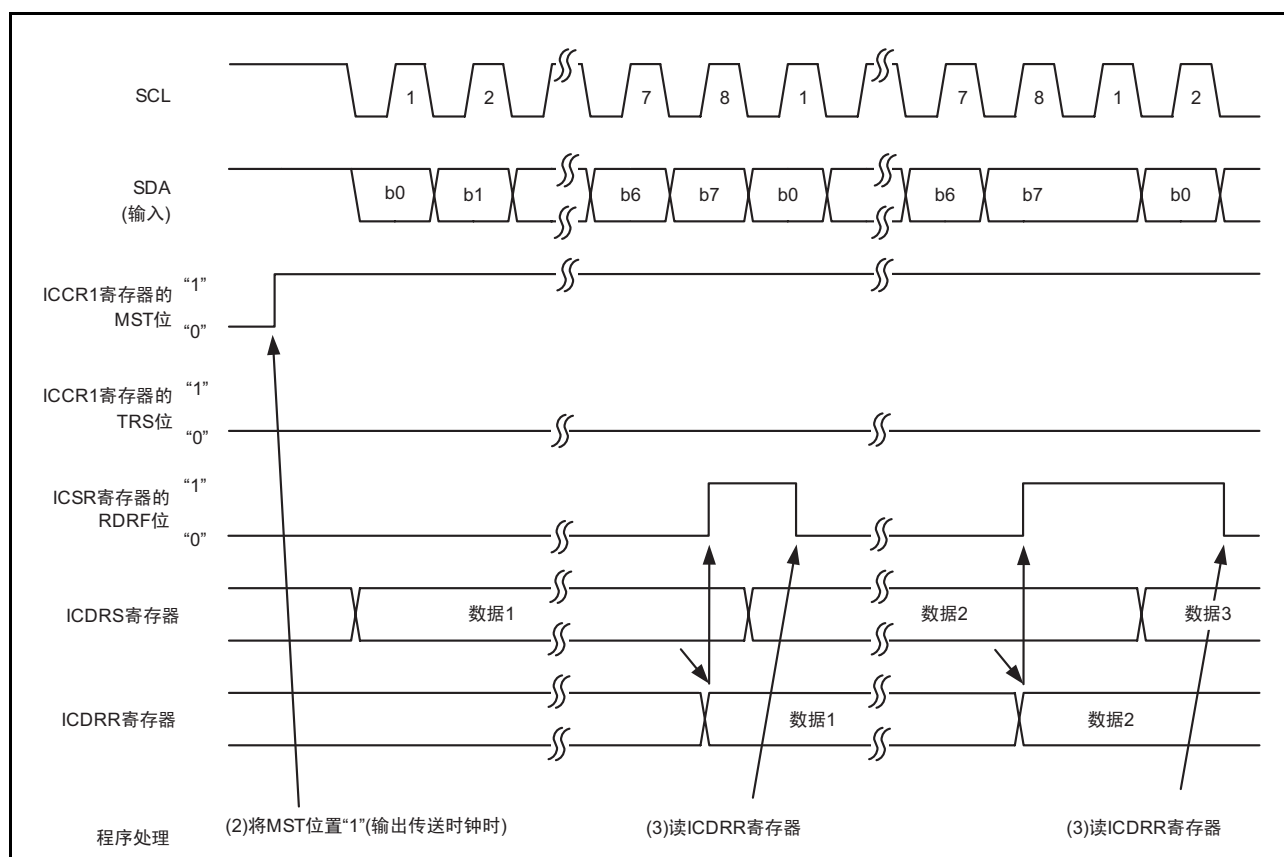


图 17.42 接收模式的运行时序（时钟同步串行模式）

17.3.5 噪声消除电路

SCL 引脚和 SDA 引脚的状态经过噪声消除电路输入到内部，噪声消除电路的框图如图 17.43 所示。

噪声消除电路由 2 段串联连接的锁存电路和匹配检测电路构成。用 f1 采样 SCL 引脚输入信号（或者 SDA 引脚输入信号），当 2 个锁存器输出电平匹配时，才开始将该电平传递给后段。不匹配时，保持以前的值。

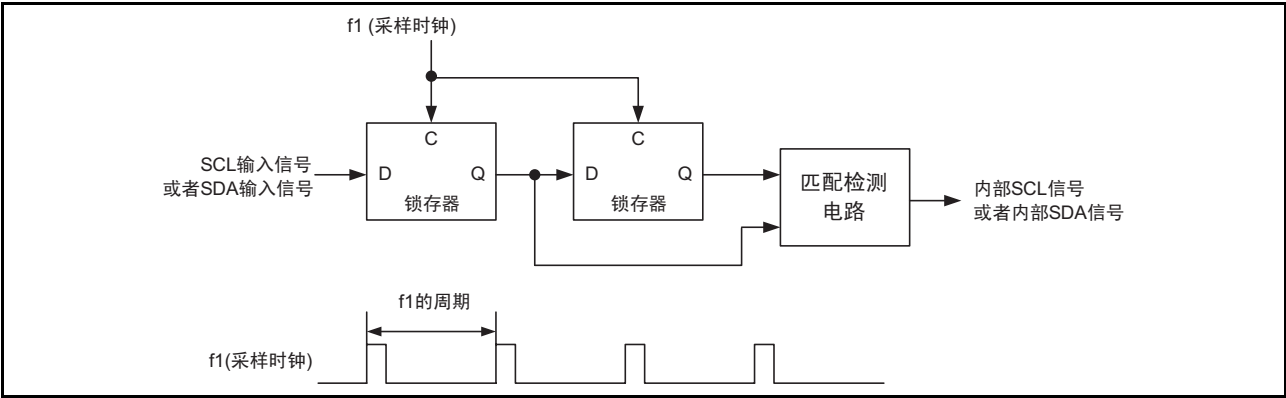


图 17.43 噪声消除电路的框图

17.3.6 位同步电路

在将 I²C 总线接口设定为主模式时，由于在以下 2 种状态下可能缩短“H”电平期间，所以监视 SCL，并按每位取得同步以进行通信。

- 通过从属器件保持 SCL 为“L”电平时
- 根据 SCL 线的负载（负载电容和上拉电阻）SCL 的上升变得缓慢时

位同步电路的时序如图 17.44 所示，SCL 从“L”电平输出变为高阻抗开始到监视 SCL 为止的时间如表 17.8 所示。

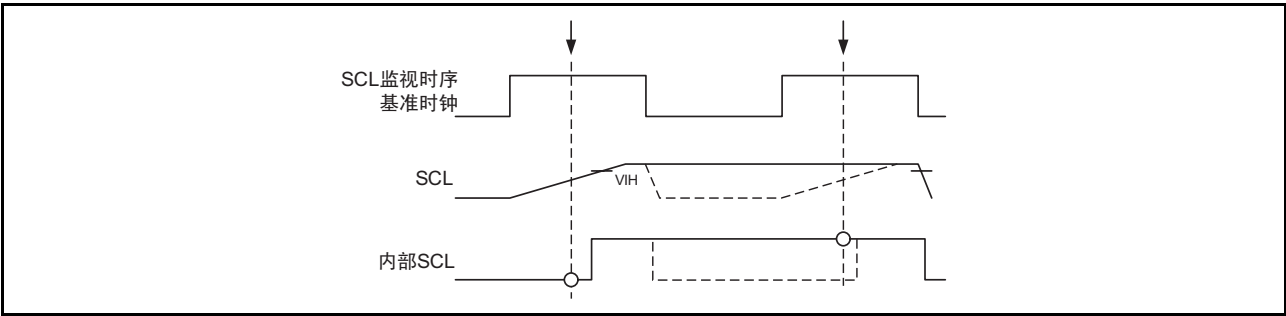


图 17.44 位同步电路的时序

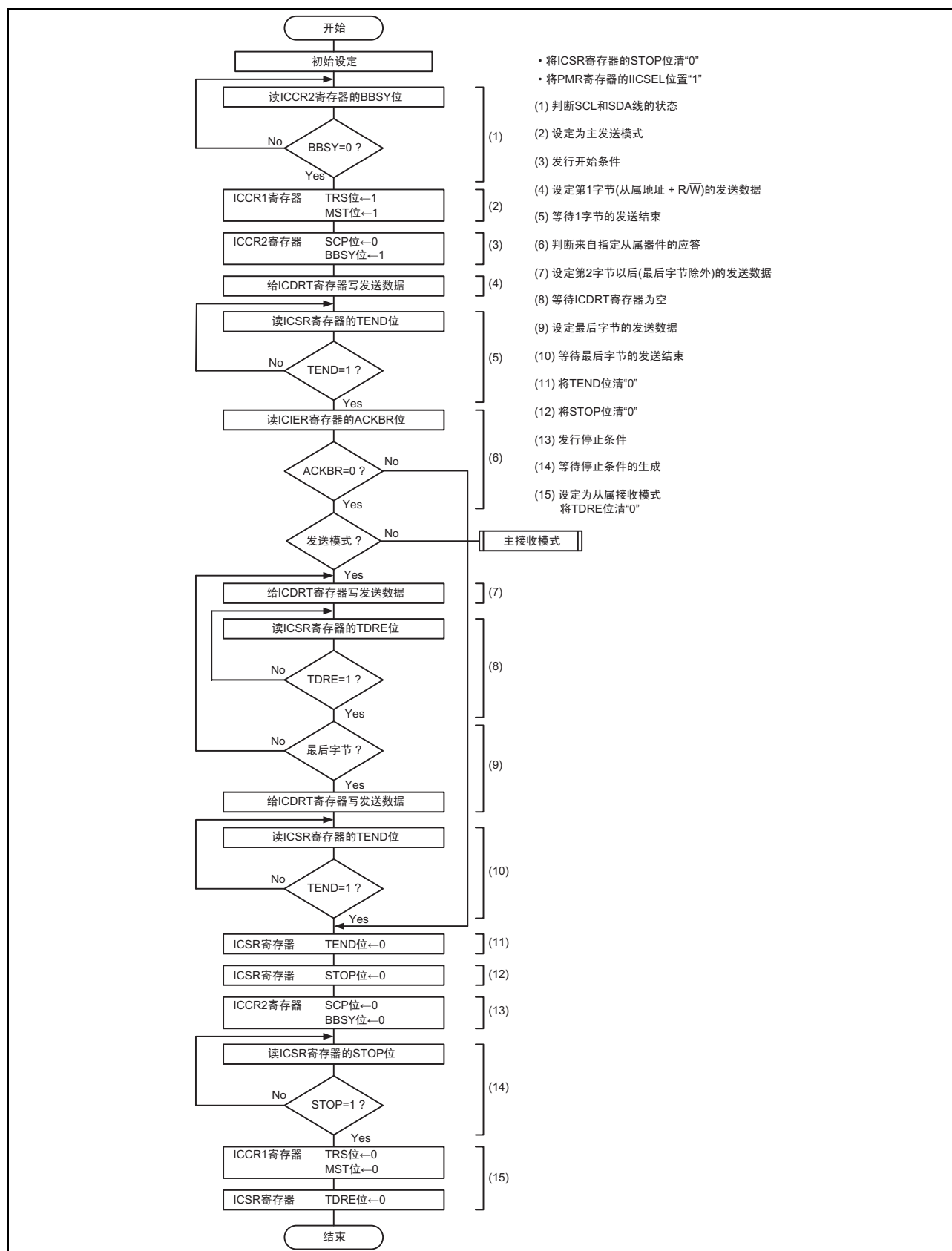
表 17.8 SCL 从“L”电平输出变为高阻抗开始到监视 SCL 为止的时间

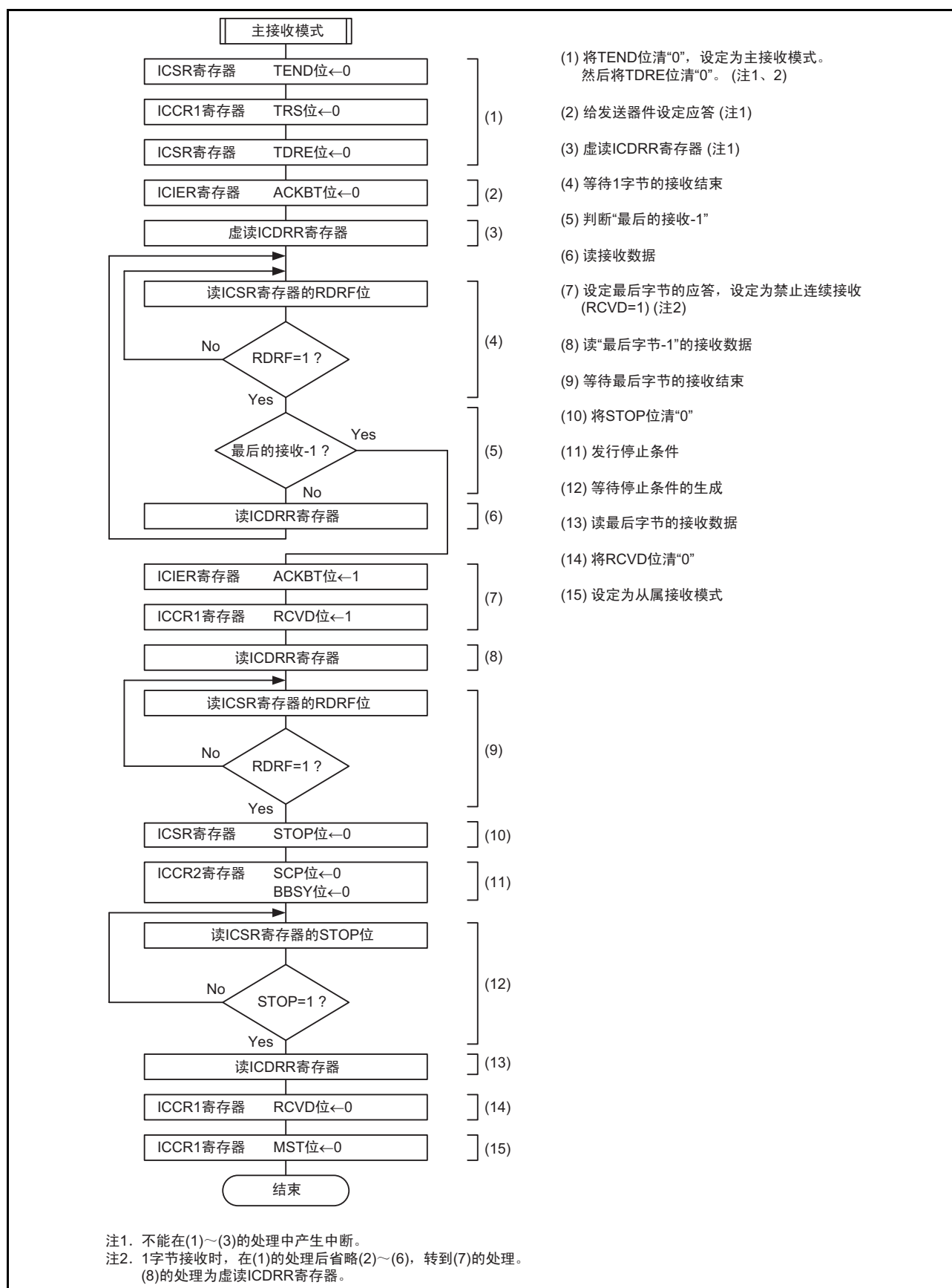
ICCR1 寄存器		监视 SCL 的时间
CKS3	CKS2	
0	0	7.5Tcyc
	1	19.5Tcyc
1	0	17.5Tcyc
	1	41.5Tcyc

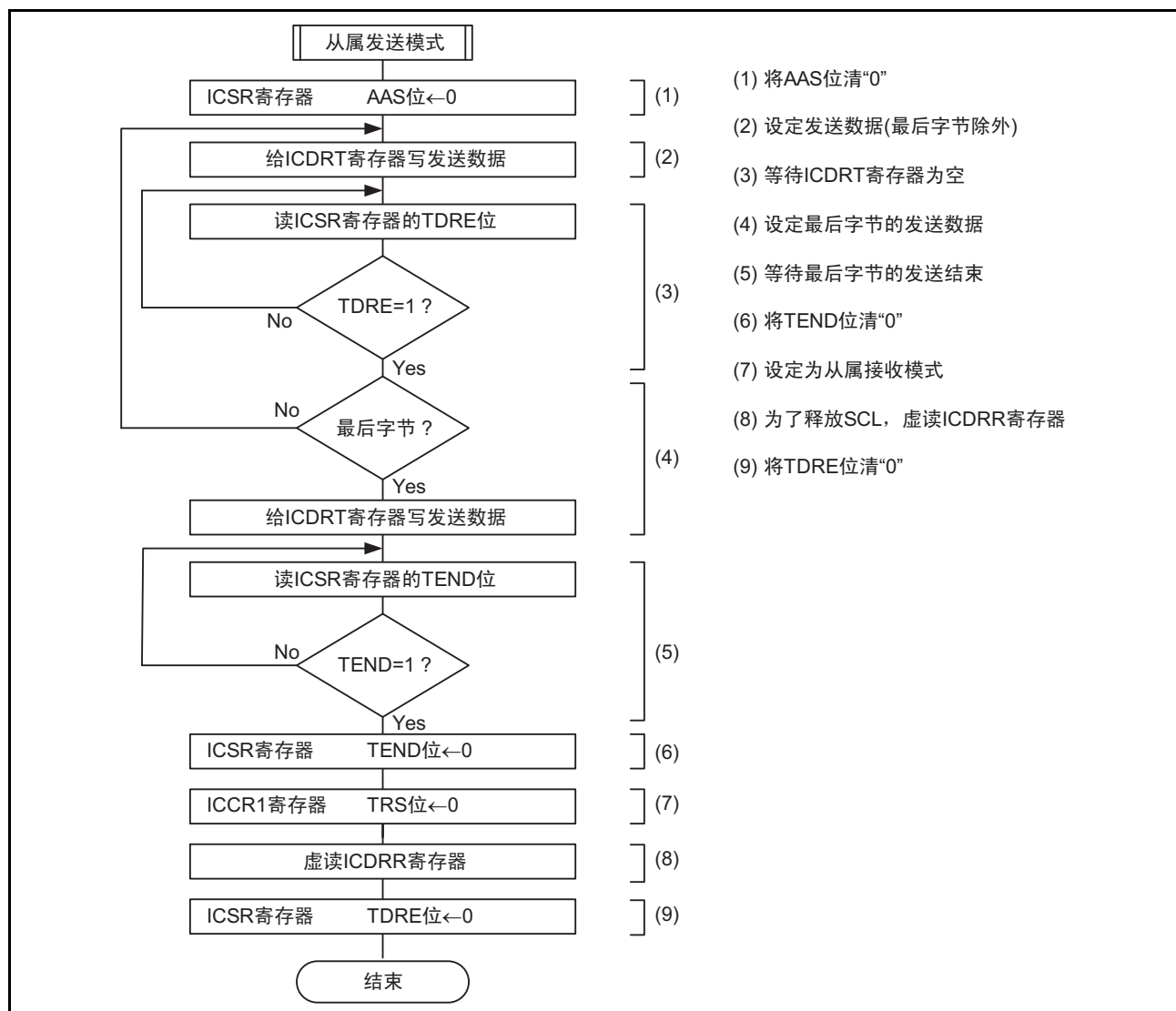
$1Tcyc=1/f1(s)$

17.3.7 寄存器的设定例子

使用 I²C 总线接口时的寄存器的设定例子如图 17.45 ~ 图 17.48 所示。



图 17.46 主接收模式的寄存器的设定例子 (I²C 总线接口模式)

图 17.47 从属发送模式的寄存器的设定例子 (I²C 总线接口模式)

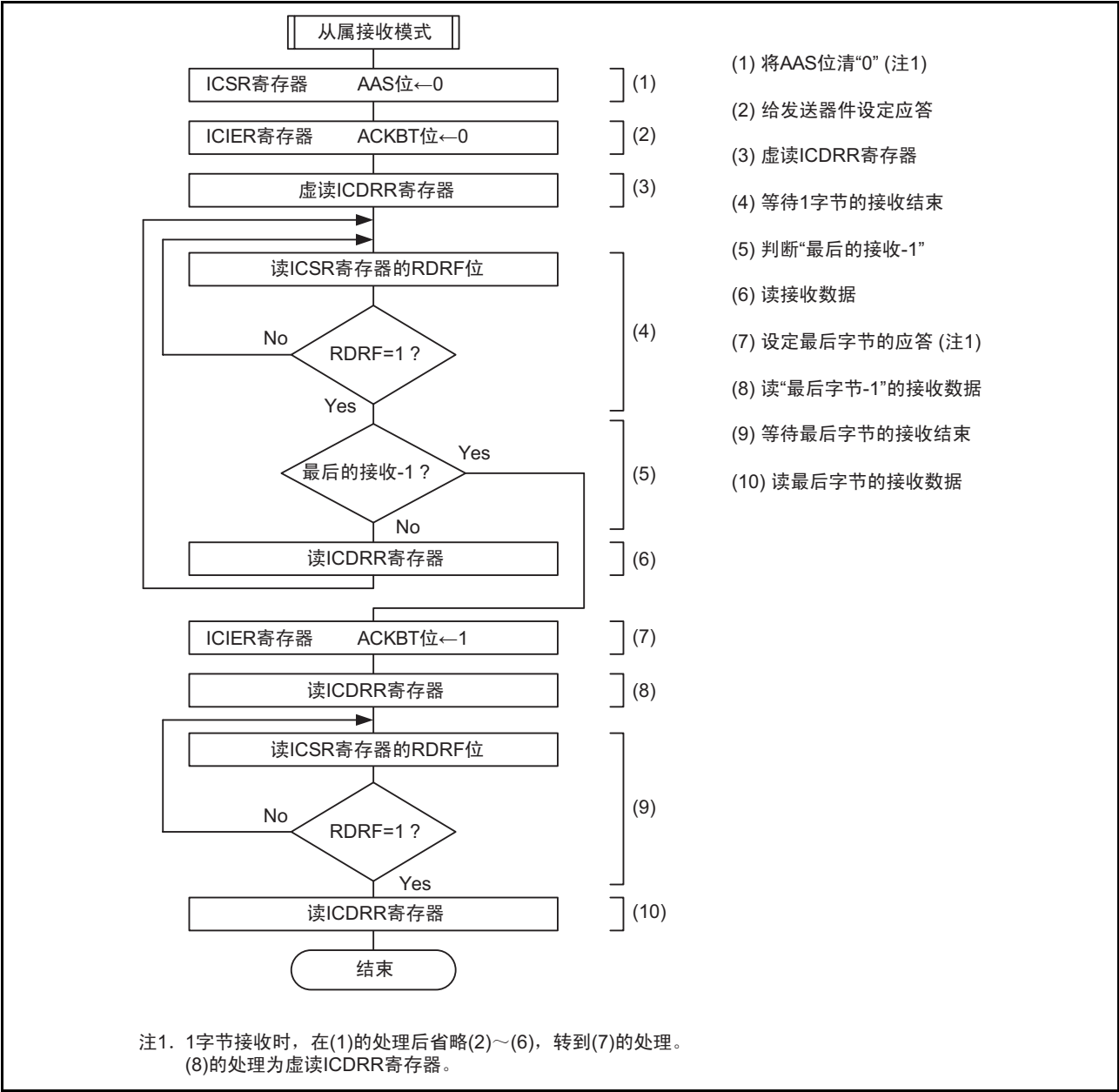


图 17.48 从属接收模式的寄存器的设定例子 (I²C 总线接口模式)

17.3.8 I²C 总线接口使用时的注意事项

在使用 I²C 总线接口时，必须将 PMR 寄存器的 IICSEL 位置 “1”（选择 I²C 总线接口功能）。

17.3.8.1 多主器件

在多主器件使用 I²C 总线接口时，必须执行以下的对策。

- 传送速率的对策
必须将传送速率设定为大于等于其他主器件的最快传送速率的 1/1.8。例如，当其他主器件的最快速率是 400kbps 时，本单片机的 I²C 总线的传送速率必须设定在大于等于 223kbps（= 400/1.8）。
- 设定 ICCR1 寄存器的 MST 位、TRS 位时的对策
 - A. 设定 MST 位、TRS 位时，必须使用 MOV 指令。
 - B. 如果仲裁失败，请确认 MST 位、TRS 位的内容。如果 MST 位不为 “0” 且 TRS 位也不为 “0”（从属接收模式）时，必须将 MST 位和 TRS 位都设定为 “0”。

17.3.8.2 主接收模式

当 I²C 总线接口在主接收模式时，必须执行以下对策中的任何一个。

1. 在主接收模式中，ICSR 寄存器的 RDRF 位为 “1” 时，必须读 ICDRR 寄存器直到第 8 个时钟开始上升为止。
2. 在主接收模式中，将 ICCR1 寄存器的 RCVD 位置 “1”（禁止下一个接收运行），通过每 1 个字节的通信进行处理。

18. 硬件 LIN

硬件 LIN 是联合定时器 RA 与 UATR0，进行 LIN 通信。

18.1 特点

硬件 LIN 有以下特点。

硬件 LIN 的框图如图 18.1 所示。

【主模式】

- 产生 Synch Break
- 检测总线冲突

【从属模式】

- 检测 Synch Break
- 测量 Synch Field
- Synch Break 和 Synch Field 信号的 UART0 输入控制功能
- 检测总线冲突

注 1. 由 INT1 检测 Wake Up 功能

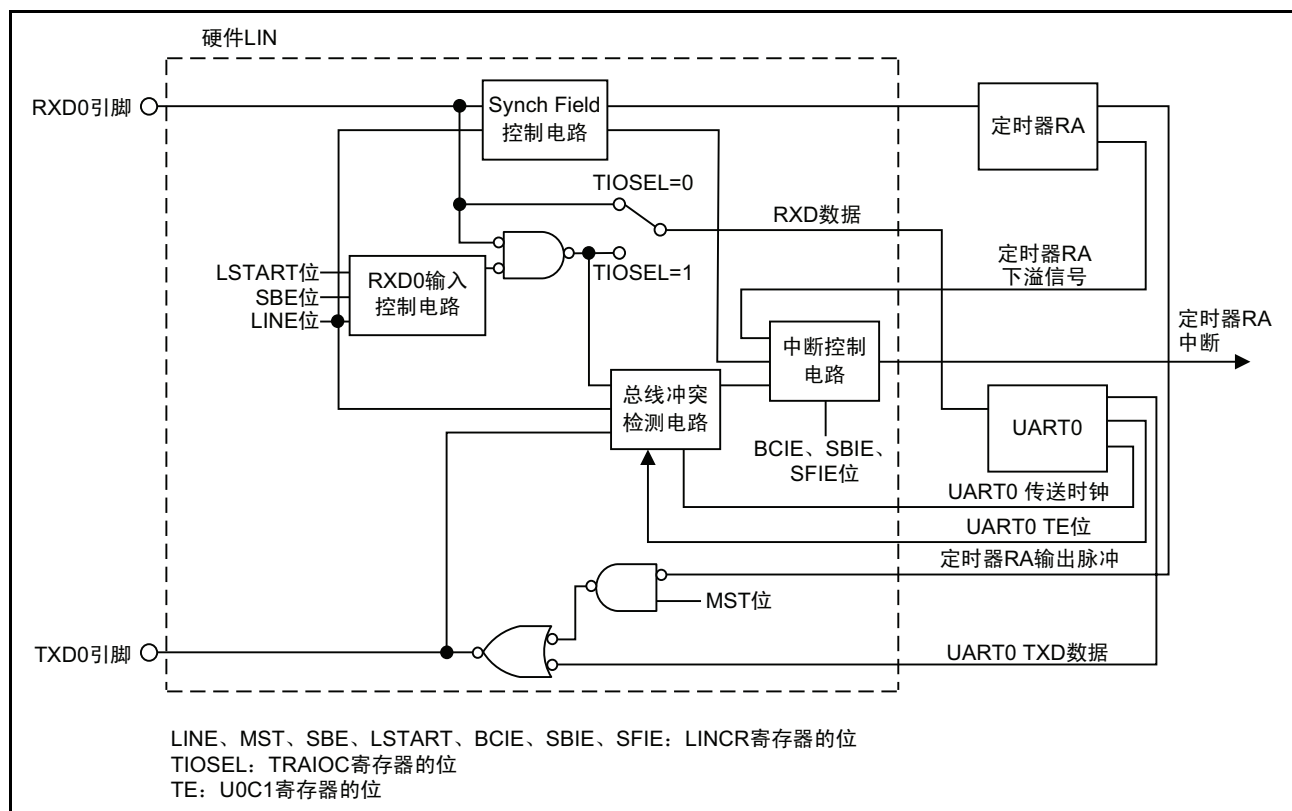


图 18.1 硬件 LIN 的框图

18.2 输入 / 输出引脚

硬件 LIN 的引脚构成如表 18.1 所示

表 18.1 引脚构成

名称	简称	输入 / 输出	功能
接收数据输入	RXD0	输入	硬件 LIN 的接收数据的输入引脚
发送数据输出	TXD0	输出	硬件 LIN 的发送数据的输出引脚

18.3 寄存器构成

硬件 LIN 有以下寄存器

寄存器的详细内容如图 18.2 所示。

- LIN 控制寄存器 (LINCX)
- LIN 状态寄存器 (LINST)

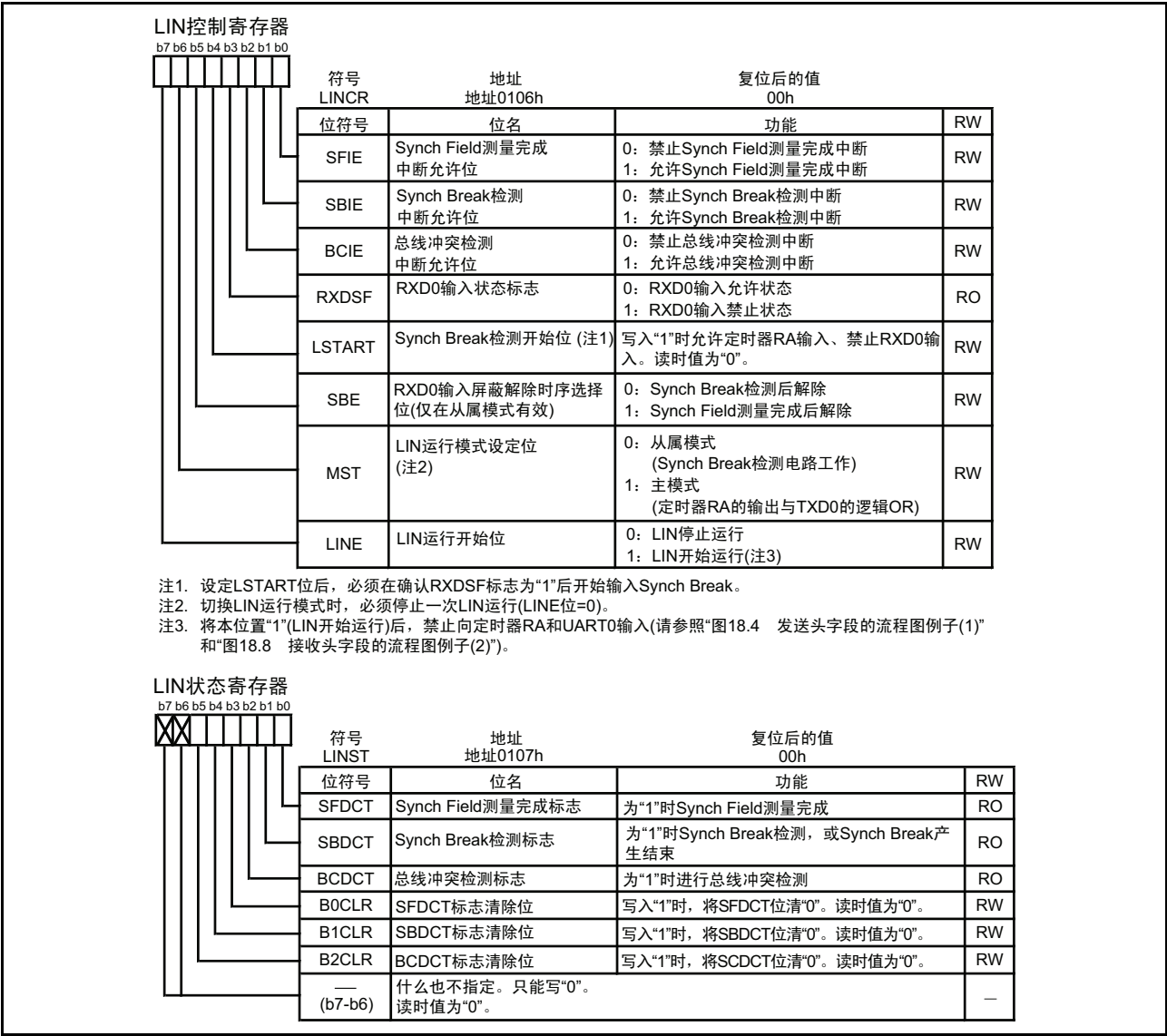


图 18.2 LINCX、LINST 寄存器

18.4 运行说明

18.4.1 主模式

在主模式中，发送头字段时的运行例子如图 18.3 所示，发送头字段的流程图如图 18.4 ~图 18.5 所示。
硬件 LIN 在发送头字段时，运行如下。

- (1) 如果对定时器 RA 的 TRACR 寄存器的 TSTART 位写 “1”，则在定时器 RA 的 TRAPRE、TRA 寄存器设定期间，从 TXD0 引脚输出 “L” 电平。
- (2) 定时器 RA 下溢时，TXD0 引脚输出取反，LINST 寄存器的 SBDCT 标志被置 “1”。另外，在 LINCR 寄存器的 SBIE 位置 “1” 时，产生定时器 RA 中断。
- (3) 由 UART0 发送 55h。
- (4) UART0 发送 55h 完成后，发送 ID 字段。
- (5) ID 字段发送完成后，进行应答字段的通信。

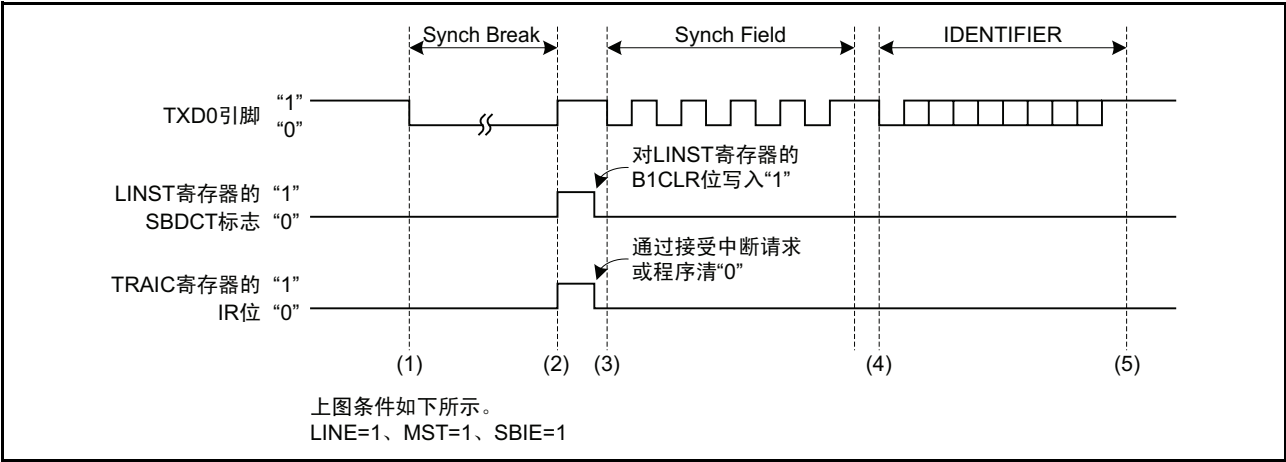


图 18.3 发送头字段时的运行例子

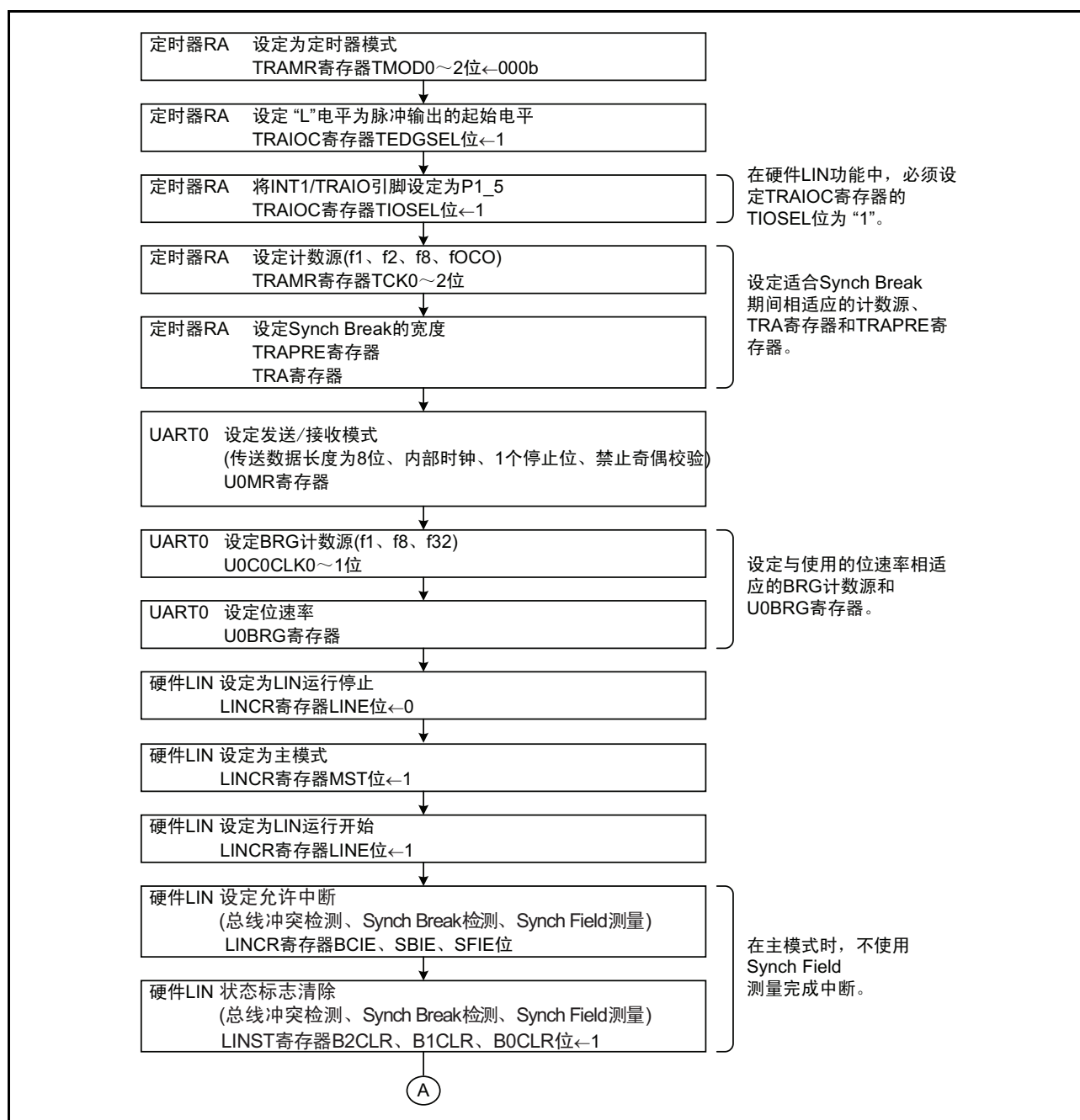


图 18.4 发送头字段的流程图例子 (1)

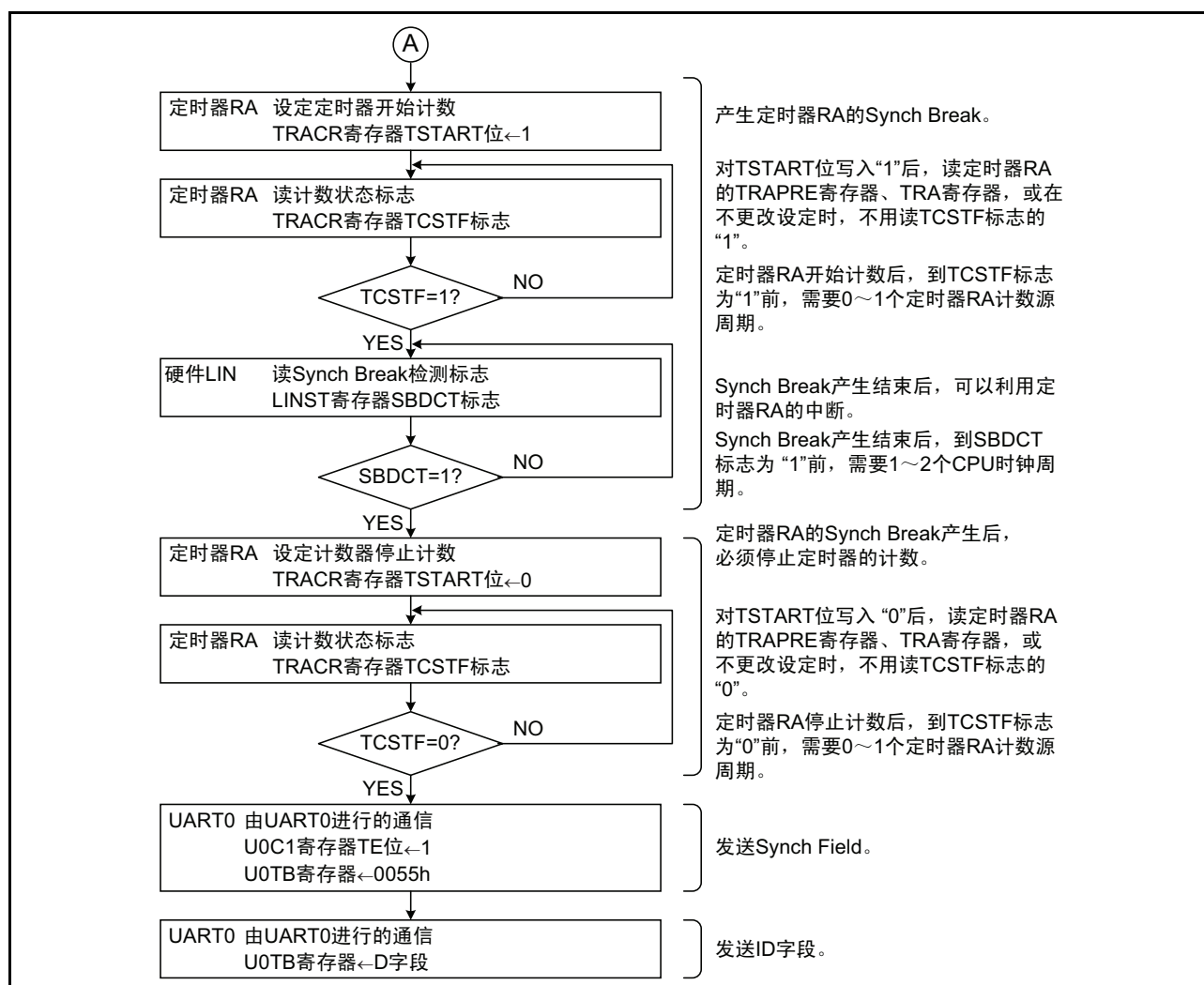


图 18.5 发送头字段的流程图例子 (2)

18.4.2 从属模式

在从属模式中，发送头字段时的运行例子如图 18.6 所示，发送头字段的流程图如图 18.7 ～图 18.9 所示。硬件 LIN 在接收头字段时，运行如下。

- (1) 对硬件 LIN 的 LINCRC 寄存器的 LSTART 位写 “1” 后，能检测 Synch Break。
- (2) 如果输入超出定时器 RA 设定期间的 “L” 电平，则检测为 Synch Break。此时， LINST 寄存器的 SBDCT 标志位被置 “1”。另外，在 LINCRC 寄存器的 SBIE 位置 “1” 时，产生定时器 RA 中断。并且转移到 Synch Field 测量。
- (3) 接收 Synch Field(55h)。此时，由定时器 RA 检测起始位和 0 ～ 6 位之间的时间。此时，可由 LINCRC 的 SBE 位选择是否向 UART0 的 RXD0 位输入 Synch Field 信号。
- (4) Synch Field 测量完成后， LINST 寄存器的 SFDCT 标志被置 “1”。另外，在 LINCRC 寄存器的 SFIE 位置 “1” 时，产生定时器 RA 中断。
- (5) Synch Field 测量完成后，由定时器 RA 的计数值计算出传送速度，设定到 UART0 并再次设定定时器 RA 的 TRAPRE 寄存器和 TRA 寄存器。然后由 UART0 接收 ID 字段。
- (6) 接收 ID 字段完成后，进行应答字段的通信。

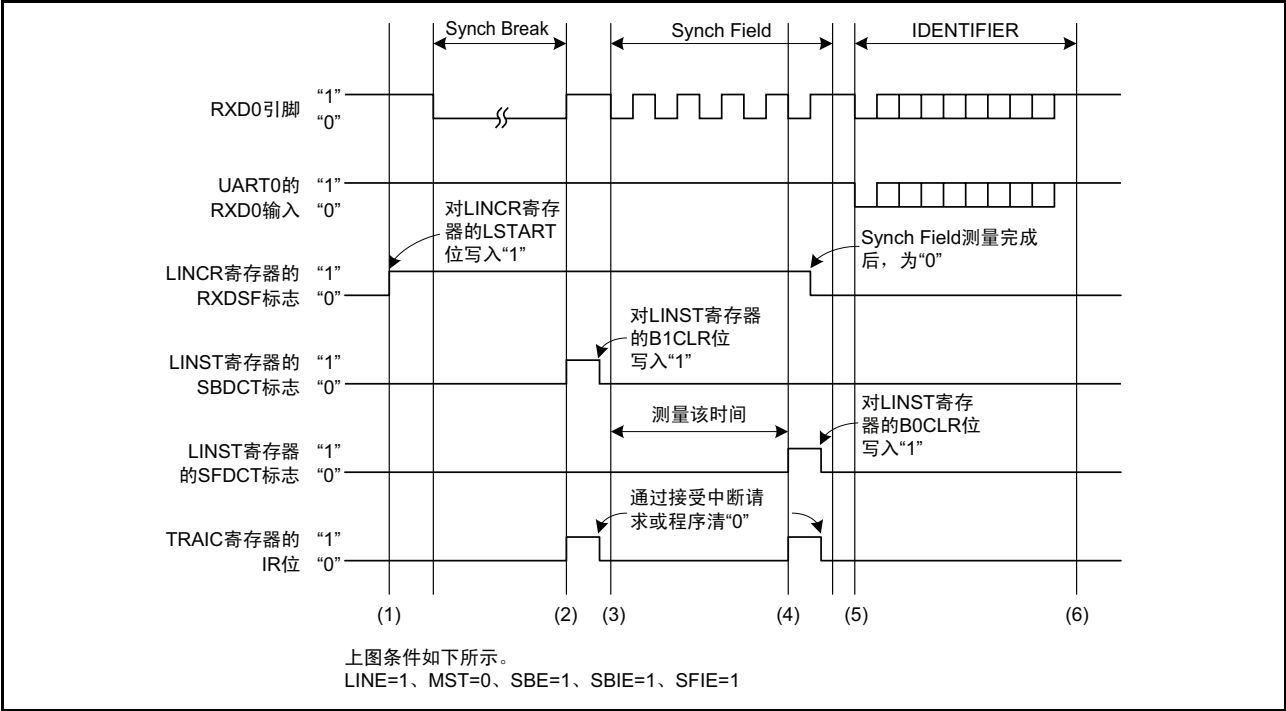


图 18.6 接收头字段时的运行例子

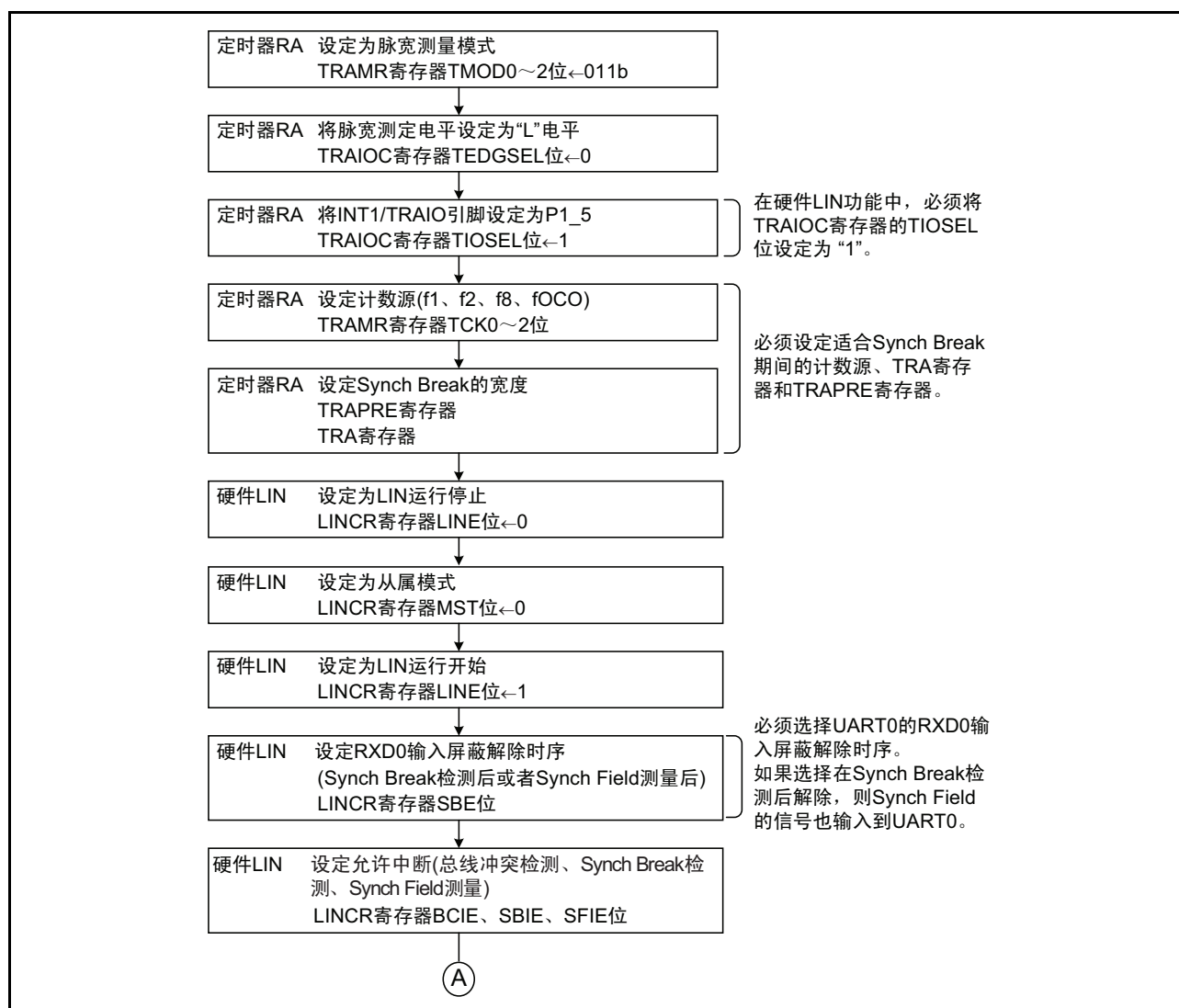


图 18.7 接收头字段的流程图例子 (1)

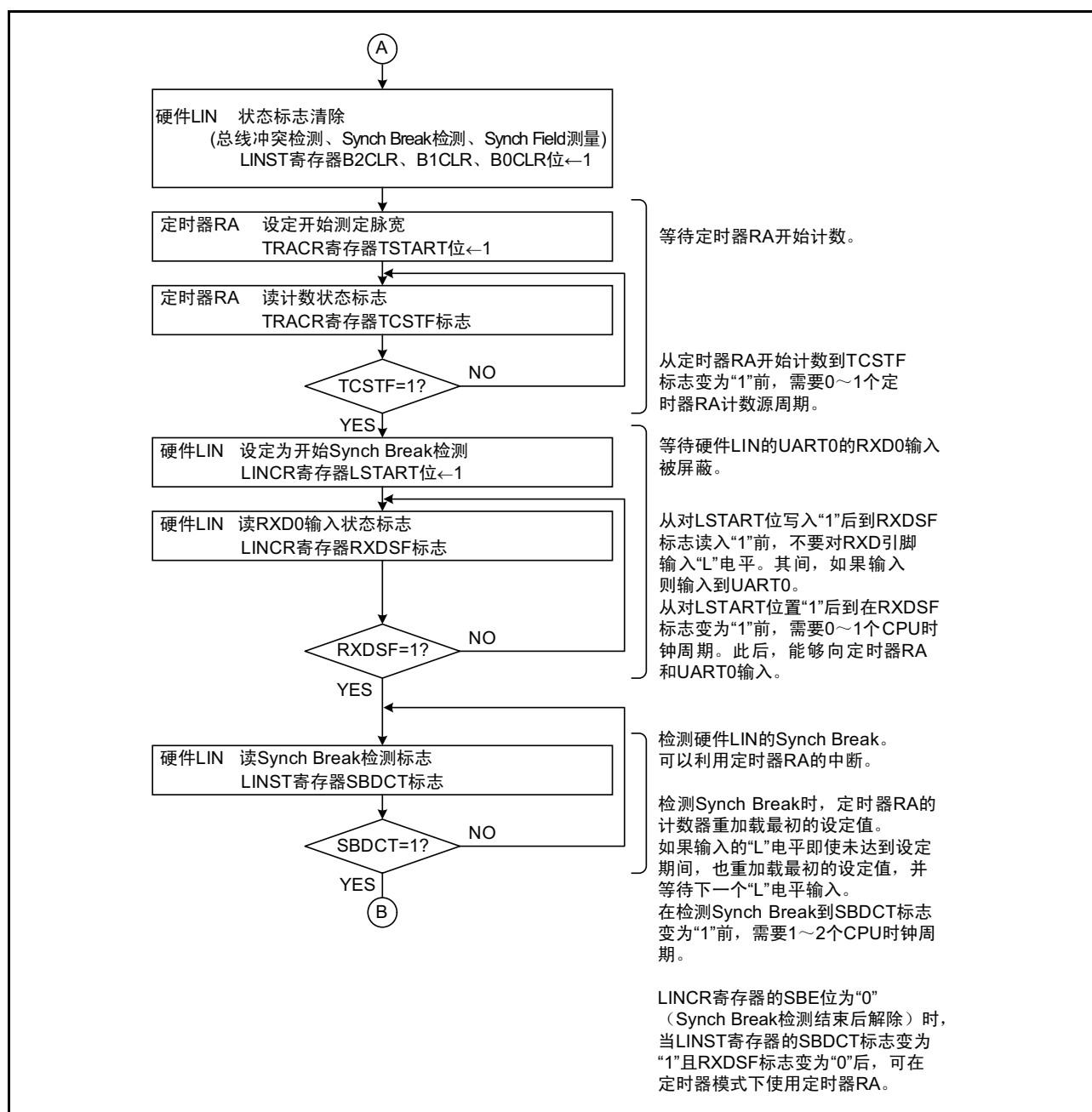


图 18.8 接收头字段的流程图例子 (2)

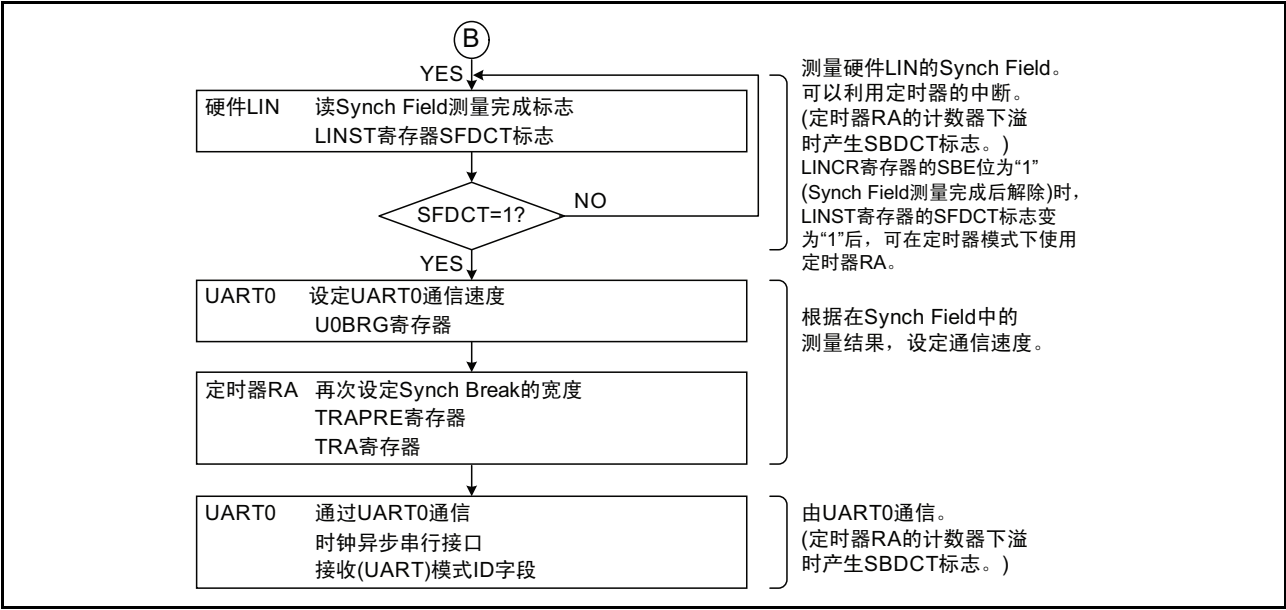


图 18.9 接收头字段的流程图例子 (3)

18.4.3 总线冲突检测功能

允许 UART0 发送 (U0C1 寄存器的 TE 位为 “1”) 时, 能够使用总线冲突检测功能。
检测总线冲突时的运行例子如图 18.10 所示。

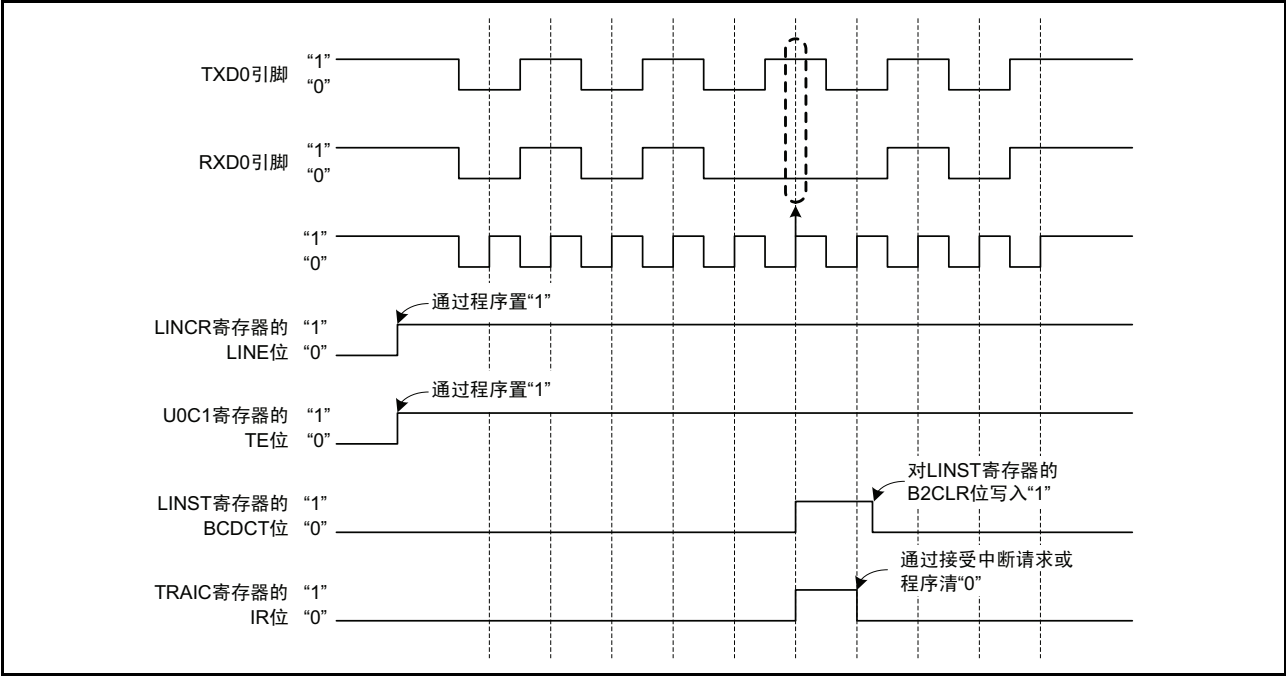


图 18.10 检测总线冲突时的运行例子

18.4.4 LIN 的结束处理

LIN 结束处理的流程图例子如图 18.11 所示。

LIN 在以下时序进行结束处理。

- 使用总线冲突检测功能时：
校验和发送结束后，进行 LIN 的结束处理
- 不使用总线冲突检测功能时：
头字段接收 / 发送结束后，进行 LIN 的结束处理

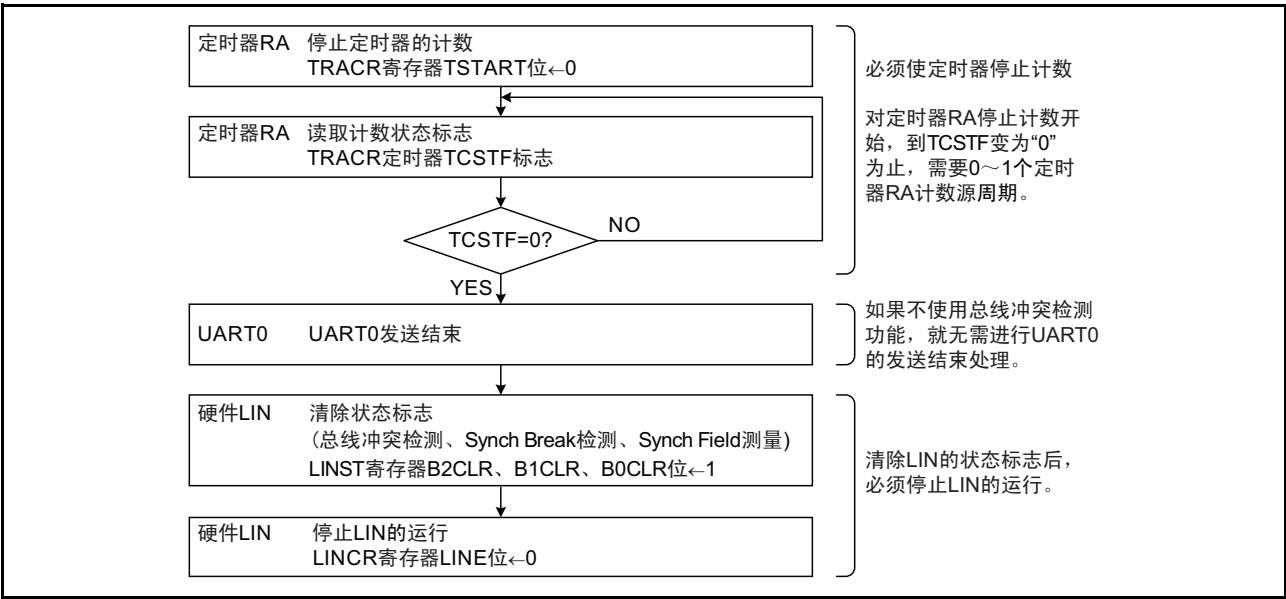


图 18.11 结束 LIN 通信的流程图例子

18.5 中断请求

硬件 LIN 产生的中断请求，有 Synch Break 检测、Synch Break 产生结束、Synch Field 测量结束和总线冲突检测共 4 种。这些中断和定时器 RA 的中断共用。

硬件 LIN 的中断请求如表 18.2。

表 18.2 硬件 LIN 的中断请求

中断请求	状态标志	中断源
Synch Break 检测	SBDCT	通过定时器 RA 测量 RXD0 输入的“L”电平期间，并产生下溢时。另外，通信过程中输入了长于 Synch Break 期间的“L”电平时。
Synch Break 产生结束		通过定时器 RA 完成在设定期间向 TXD0 输出“L”电平时。
Synch Field 测量结束	SFDCT	通过定时器 RA 完成测量 Synch Field 的 bit6 时。
总线冲突检测	BCDCT	当 UART0 允许发送，在数据锁存时序中，RXD0 输入和 TXD0 输出的数值不同的时。

18.6 硬件 LIN 使用时的注意事项

头字段和应答字段的超时处理，必须以检测 Synch Break 中断为起点，使用其他定时器进行时间测量。

19. A/D 转换器

A/D 转换器采用 10 位逐次逼近的转换方式，由电容耦合放大器构成，并且具有 1 条电路。模拟输入引脚和 P0_0 ~ P0_7、P1_0 ~ P1_3 引脚复用。在使用这些输入引脚时，必须将对应的端口方向位清“0”（输入模式）。另外，在不使用 A/D 转换器时，如果将 ADCON1 寄存器的 VCUT 位清“0”（不连接 Vref），从 VREF 引脚到梯形电阻就没有电流通过，能降低功耗。

A/D 转换的结果被保存到 AD 寄存器。

A/D 转换器的性能如表 19.1 所示，A/D 转换器的框图如图 19.1 所示，与 A/D 转换器有关的寄存器如图 19.2 ~ 图 19.3 所示。

表 19.1 A/D 转换器的性能

项目	性能
A/D 转换方式	逐次逼近转换方式（电容耦合放大器）
模拟输入电压（注 1）	0V ~ AVCC
运行时钟 ϕ AD（注 2）	在 $4.2V \leq AVCC \leq 5.5V$ 时，f1、f2、f4、fOCO-F 在 $2.7V \leq AVCC < 4.2V$ 时，f2、f4、fOCO-F
分辨率	能选择 8 位或者 10 位
绝对精度	在 $AVCC=V_{ref}=5V$ 、 $\phi AD=10MHz$ 时 - 在分辨率为 8 位时，$\pm 2LSB$ - 在分辨率为 10 位时，$\pm 3LSB$ 在 $AVCC=V_{ref}=3.3V$ 、 $\phi AD=10MHz$ 时 - 在分辨率为 8 位时，$\pm 2LSB$ - 在分辨率为 10 位时，$\pm 5LSB$
运行模式	单次模式、重复模式（注 3）
模拟输入引脚	12 个（AN0 ~ AN11）
A/D 转换开始条件	- 软件触发 在 ADCON0 寄存器的 ADST 位置“1”（开始 A/D 转换） - 捕捉 在 ADST 位为“1”的状态下产生定时器 RD 中断请求
每 1 个引脚的转换速度	- 无采样 & 保持功能 在分辨率为 8 位时，为 49 个 ϕAD 周期；在分辨率为 10 位时，为 59 个 ϕAD 周期 - 有采样 & 保持功能 在分辨率为 8 位时，为 28 个 ϕAD 周期；在分辨率为 10 位时，为 33 个 ϕAD 周期

注 1. 不依存有无采样 & 保持功能。

模拟输入电压超过基准电压时，A/D 转换结果在 10 位模式时为 3FFh，在 8 位模式时为 FFh。

注 2. 必须将 ϕAD 的频率设定为小于等于 10MHz。

在无采样 & 保持功能时， ϕAD 的频率必须设定在大于等于 250kHz。

在有采样 & 保持功能时， ϕAD 的频率必须设定在大于等于 1MHz。

注 3. 重复模式只能在 8 位模式时使用。

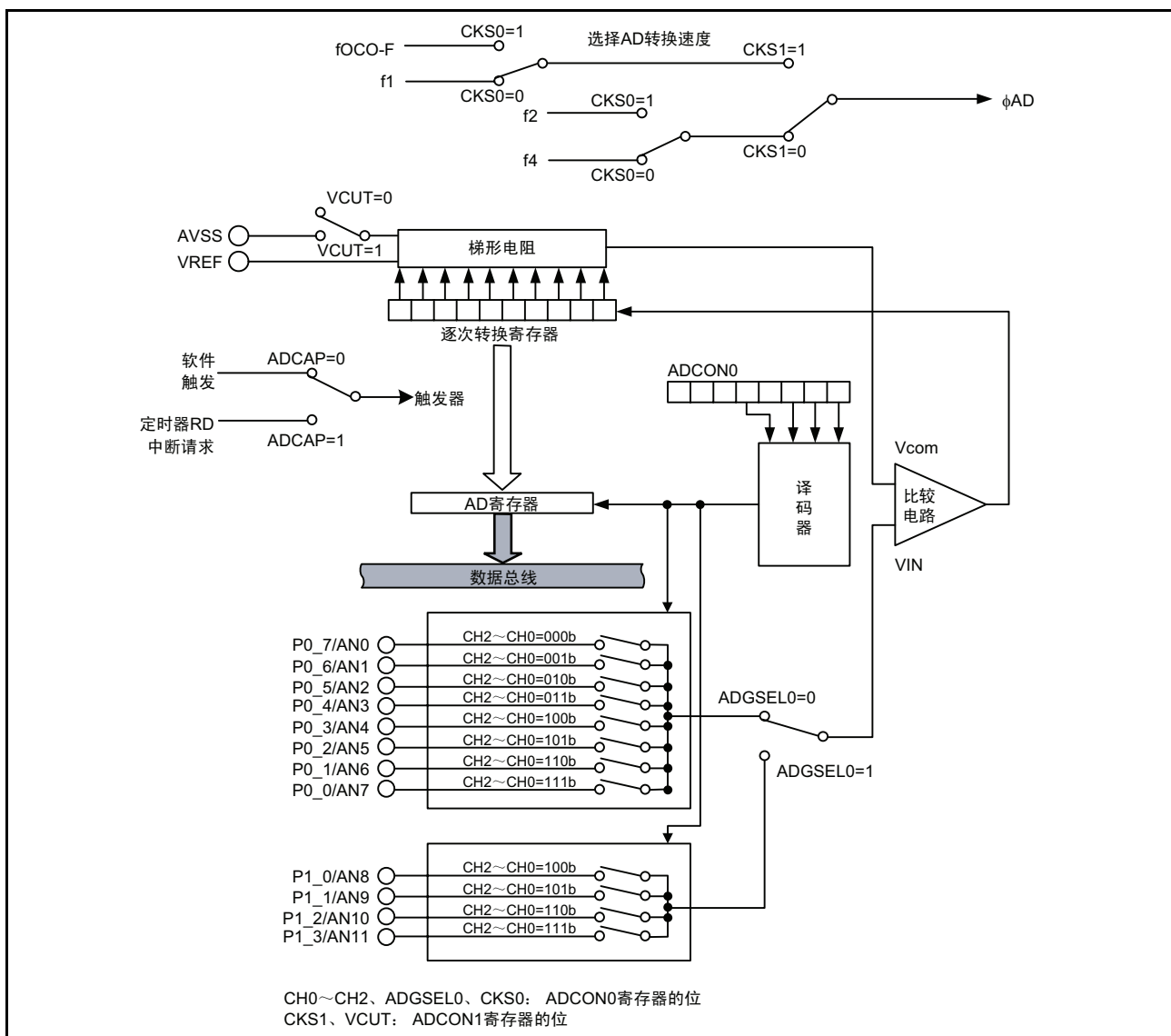


图 19.1 A/D 转换器的框图

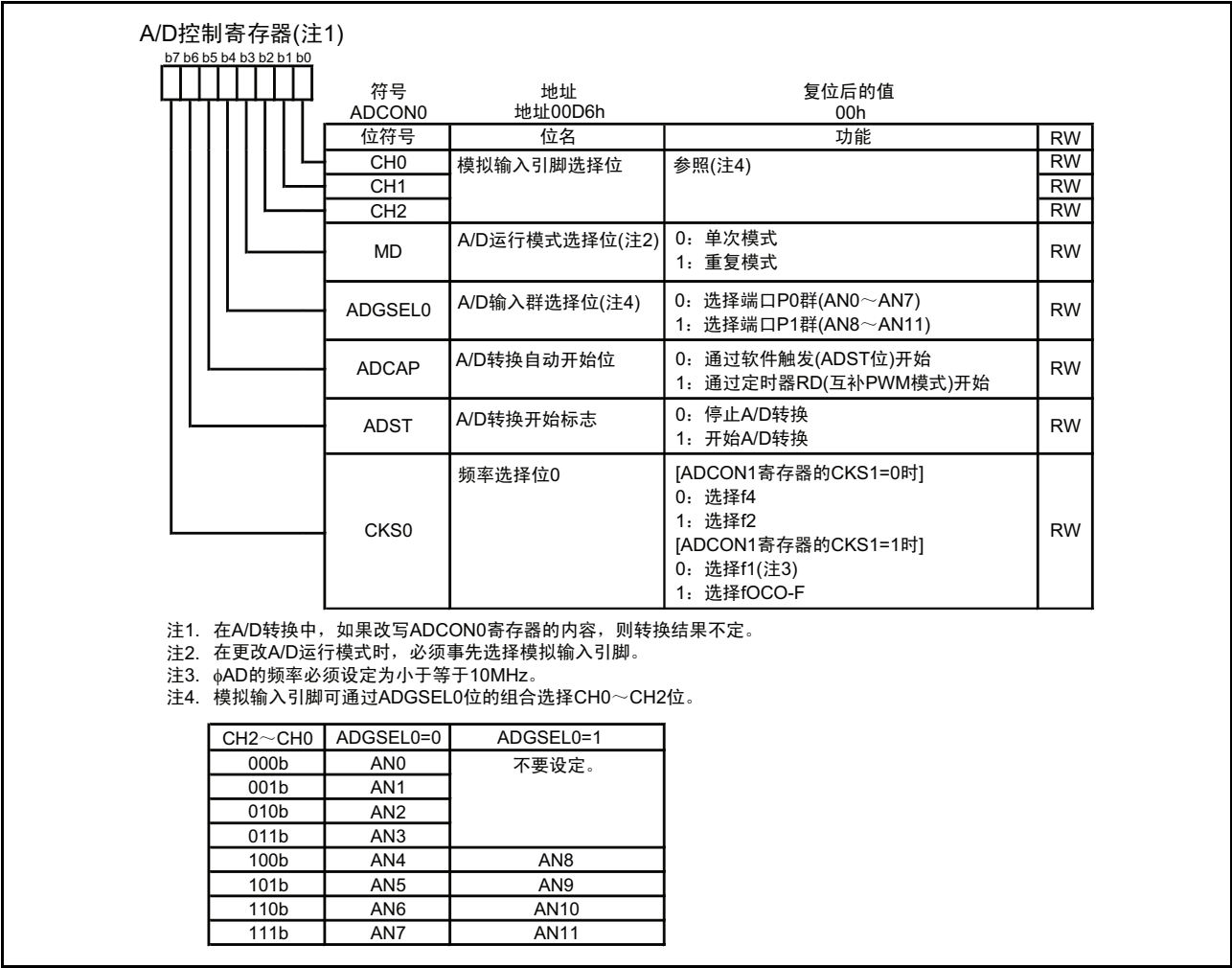
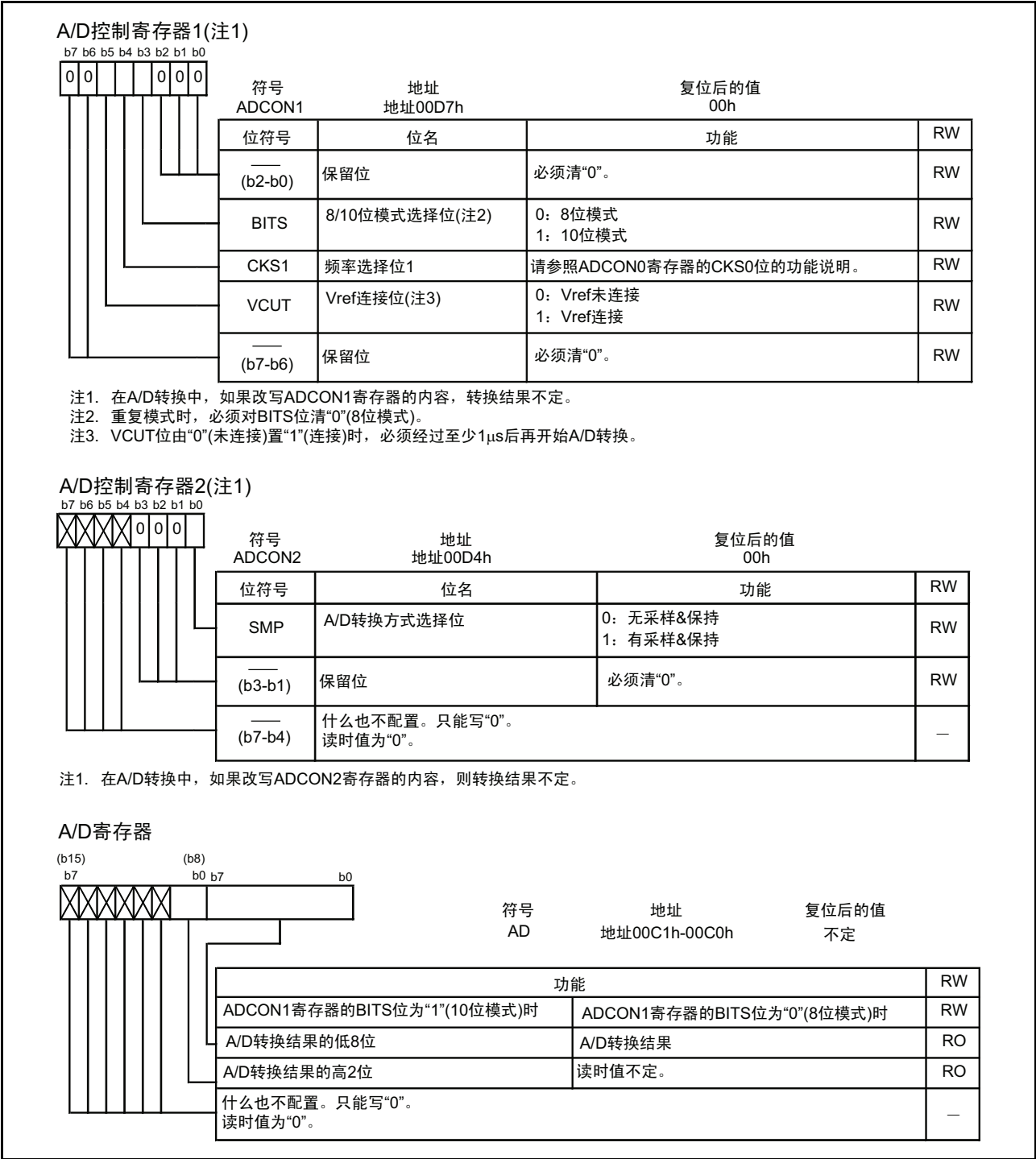


图 19.2 ADCON0 寄存器



19.1 单次模式

单次模式是将选择的 1 个引脚的输入电压进行 1 次 A/D 转换的模式。

单次模式的规格如表 19.2 所示，单次模式时的 ADCON0 寄存器如图 19.4 所示，单次模式时的 ADCON1 寄存器如图 19.5 所示。

表 19.2 单次模式的规格

项目	规格
功能	对 CH2 ~ CH0 位和 ADGSEL0 位选择的引脚的输入电压进行 1 次 A/D 转换
开始条件	• ADCAP 位为 “0” (软件触发) 时 将 ADST 位置 “1” (A/D 转换开始) • ADCAP 位为 “1” (定时器 RD 以互补 PWM 模式开始) 时 在 ADST 位为 “1” 的状态下, 产生 TRD0 与 TRDGRA0 寄存器的比较匹配和 TRD1 下溢
停止条件	• A/D 转换结束 (ADCAP 位为 “0” (软件触发) 时, ADST 位为 “0”) • 将 ADST 位清 “0”
中断请求产生时序	在 A/D 转换结束时
输入引脚	从 AN0 ~ AN11 中选择 1 个引脚
读 A/D 转换值	读 AD 寄存器

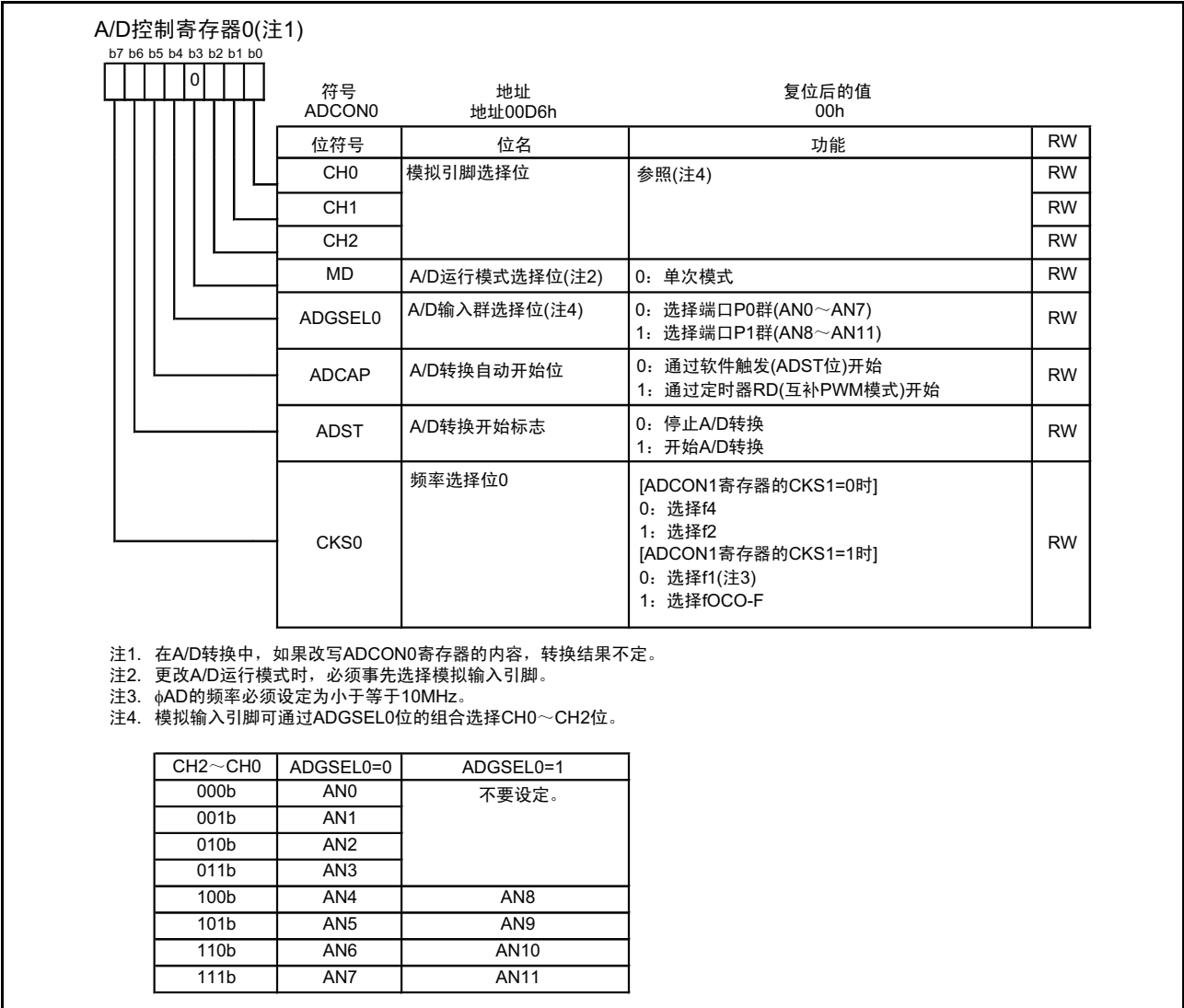


图 19.4 单次模式时的 ADCON0 寄存器

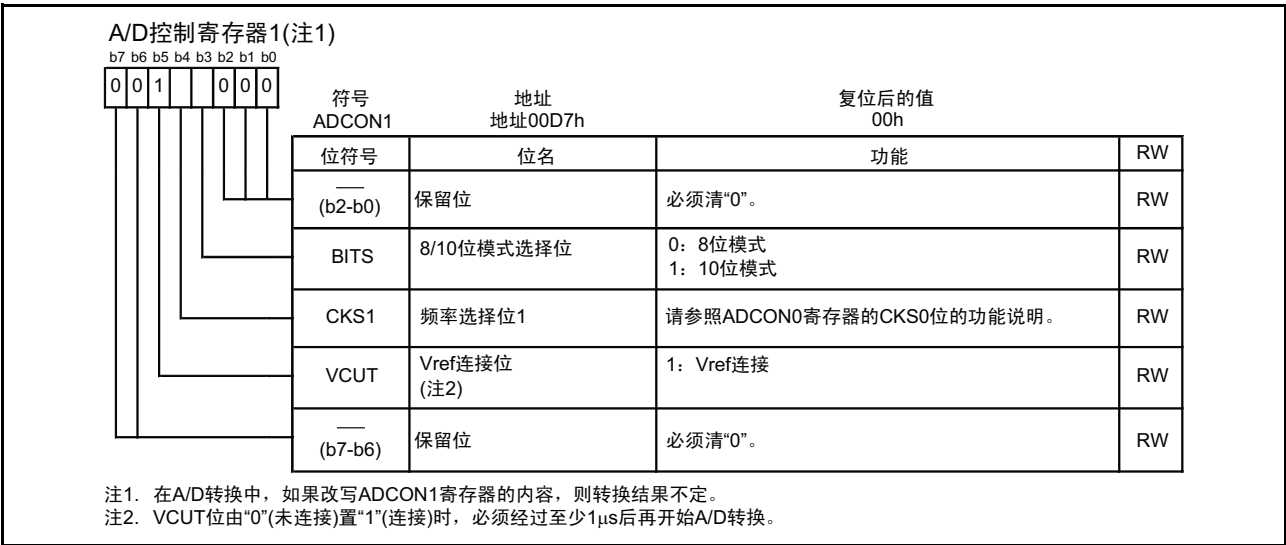


图 19.5 单次模式时的 ADCON1 寄存器

19.2 重复模式

重复模式是将选择的 1 个引脚的输入电压重复进行 A/D 转换的模式。

重复模式的规格如表 19.3 所示，重复模式时的 ADCON0 寄存器如图 19.6 所示，重复模式时的 ADCON1 寄存器如图 19.7 所示。

表 19.3 重复模式的规格

项目	规格
功能	将由 CH2 ~ CH0 位和 ADGSEL0 位选择的引脚的输入电压重复进行 A/D 转换
开始条件	• ADCAP 位为 “0” (软件触发) 时 将 ADST 位置 “1” (A/D 转换开始) • ADCAP 位为 “1” (定时器 RD 以互补 PWM 模式开始) 时 在 ADST 位为 “1” 的状态下，产生 TRD0 与 TRDGRA0 寄存器的比较匹配和 TRD1 下溢
停止条件	将 ADST 位清 “0”
中断请求产生时序	不产生
输入引脚	从 AN0 ~ AN11 选择 1 个引脚
读 A/D 转换值	读 AD 寄存器

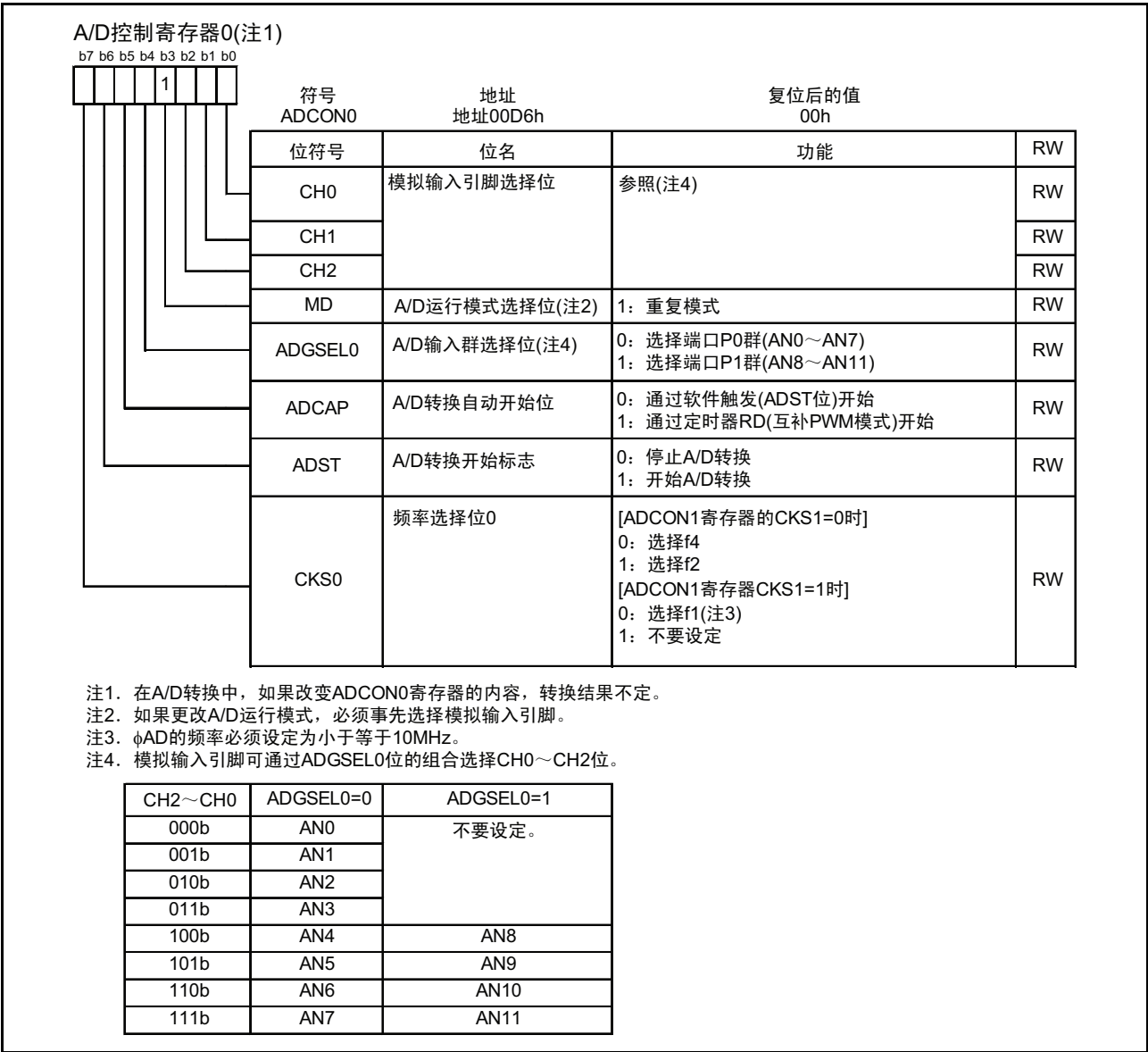


图 19.6 重复模式时的 ADCON0 寄存器



图 19.7 重复模式时的 ADCON1 寄存器

19.3 采样和保持

如果将 ADCON2 寄存器的 SMP 位置 “1” (有采样 & 保持功能), 就能提高每 1 个引脚的转换速度。采样 & 保持功能对所有运行模式都有效。必须在选择有无采样 & 保持功能后开始 A/D 转换。

A/D 转换时序图如图 19.8 所示。

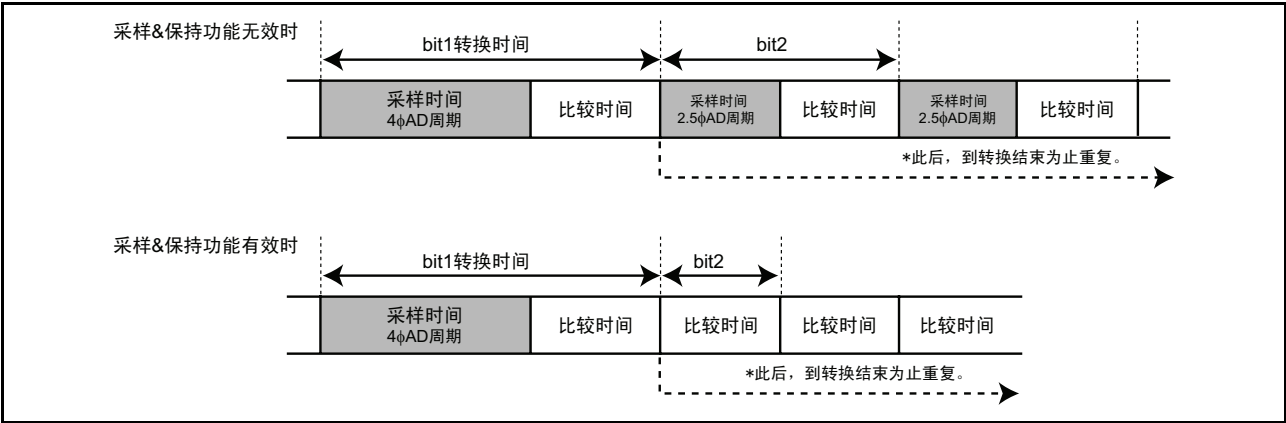


图 19.8 A/D 转换时序图

19.4 A/D 转换周期数

A/D 转换周期数如图 19.9 所示。

		bit1转换时间		bit2以后的转换时间		结束处理	
A/D转换模式		转换时间	采样时间	比较时间	采样时间	比较时间	结束处理
无采样&保持功能	8位	49φAD	4φAD	2.0φAD	2.5φAD	2.5φAD	8.0φAD
无采样&保持功能	10位	59φAD	4φAD	2.0φAD	2.5φAD	2.5φAD	8.0φAD
有采样&保持功能	8位	28φAD	4φAD	2.5φAD	0.0φAD	2.5φAD	4.0φAD
有采样&保持功能	10位	33φAD	4φAD	2.5φAD	0.0φAD	2.5φAD	4.0φAD

图 19.9 A/D 转换周期数

19.5 模拟输入内部等效电路

模拟输入内部等效电路如图 19.10 所示。

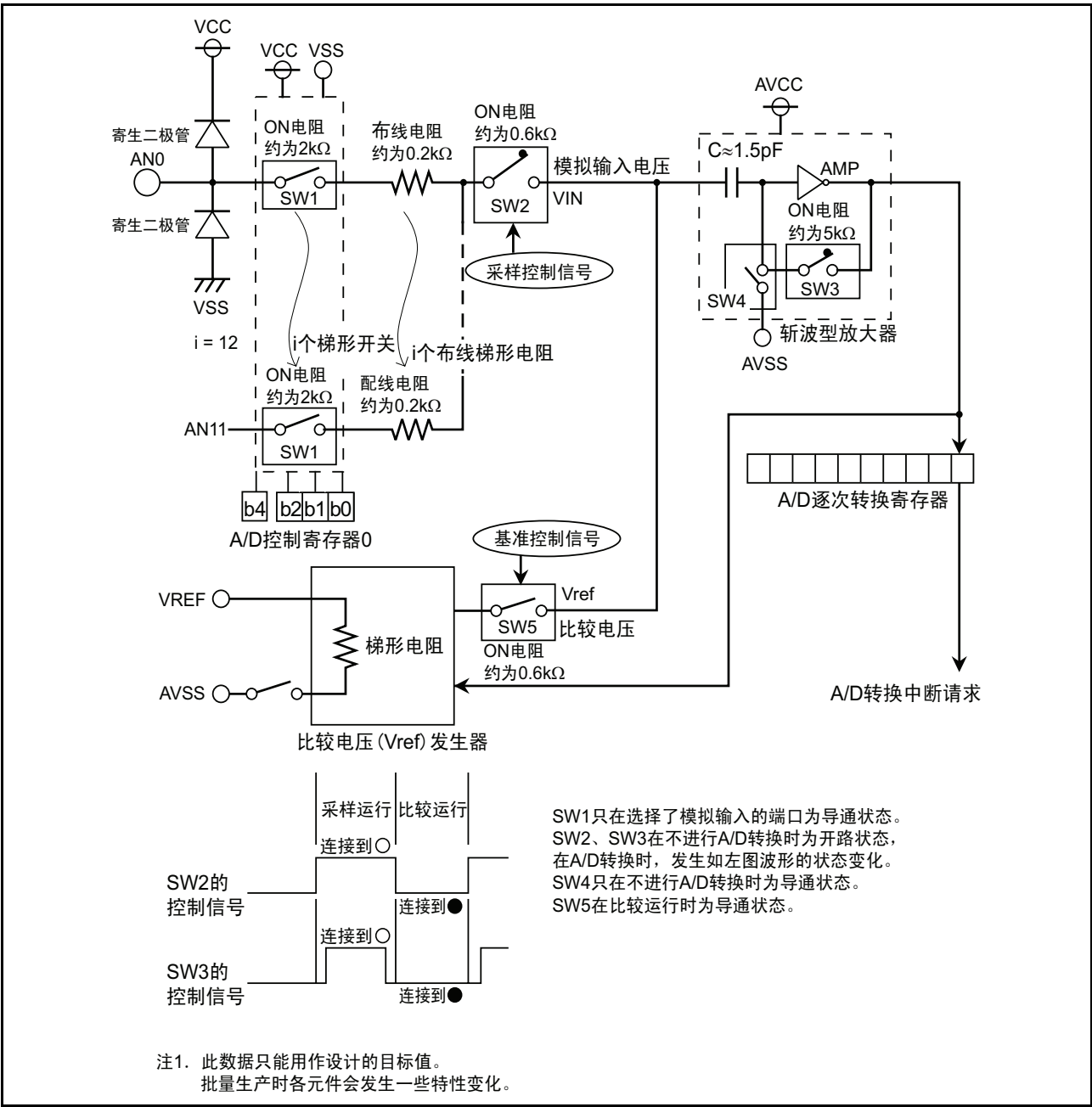


图 19.10 模拟输入内部等效电路

19.6 A/D 转换时的传感器的输出阻抗

为了正确进行 A/D 转换, 需要在对如图 19.11 所示的内部电容 C 充电的预定时间内退出。该预定的时间 (采样时间) 设为 T。另外, 传感器等效电路的输出阻抗设为 R0, 单片机内部阻抗设为 R, A/D 转换的精度 (误差) 设为 X, 分辨率设为 Y (Y 在 10 位模式时为 1024, 在 8 位模式时为 256)。

$$\text{通常VC为: } VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t = T \text{ 时, 由于 } VC = VIN - \frac{X}{Y} VIN = VIN \left(1 - \frac{X}{Y} \right),$$

$$\text{因而, } e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$\text{所以, } R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

模拟输入引脚和外部传感器等效电路的例子如图 19.11 所示。VIN 和 VC 的差为 0.1LSB 时, 通过时间 T 求出电容 C 引脚间电压 VC 从 0 变为 VIN-(0.1/1024)VIN 时的阻抗 R0。(0.1/1024) 表示在 10 位模式的 A/D 转换时, 把由于电容充电不充分造成的 A/D 精度下降值控制在 0.1LSB。但是, 实际的误差为 0.1LSB 加上绝对精度。

f(XIN)=10MHz 时, 在无采样 & 保持功能的 A/D 转换模式中, T=0.25μs。在该时间 T 内, 如下求出进行电容 C 充分充电的输出阻抗 R0。

由 T = 0.25μs、R = 2.8kΩ、C = 6.0pF、X=1.0、Y=1024、

$$\text{得, } R0 = -\frac{0.25 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 2.8 \times 10^3 \approx 1.7 \times 10^3$$

因此, A/D 转换精度 (误差) 小于等于 0.1LSB 时的传感器电路输出阻抗 R0 最大为 1.7kΩ。

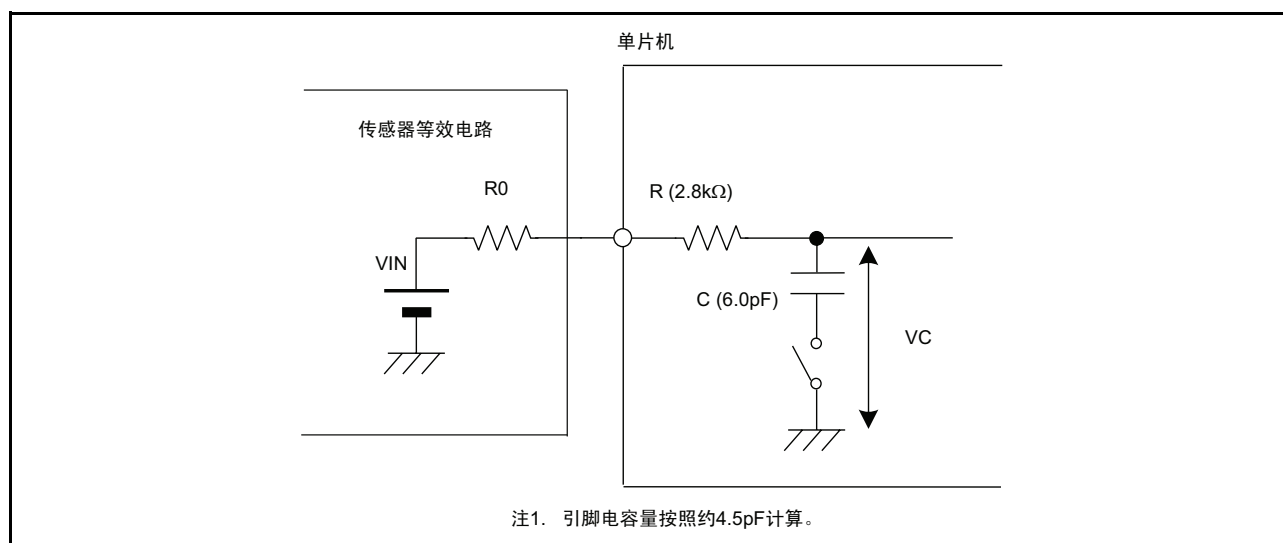


图 19.11 模拟输入引脚和外部传感器等效电路的例子

19.7 A/D 转换器使用时的注意事项

- 对 ADCON0 寄存器的各位 (bit6 除外)、ADCON1 寄存器的各位以及 ADCON2 寄存器的 SMP 位的写操作, 必须在 A/D 转换停止时 (产生触发前) 进行。
尤其在将 VCUT 位从 “0” (未连接 VREF) 置 “1” (连接 VREF) 时, 必须在至少经过 1 μ s 后开始 A/D 转换。
- 在更改 A/D 运行模式后, 必须重新选择模拟输入引脚。
- 在单次模式使用时
必须在确认 A/D 转换结束后, 读 AD 寄存器 (能通过 ADIC 寄存器的 IR 位或者 ADCON0 寄存器的 ADST 位判断 A/D 转换的结束)。
- 在重复模式使用时
对 A/D 转换中的 CPU 时钟选择大于等于 A/D 转换器运行时钟 ϕ AD 的频率。
对 ϕ AD 不能选择 fOCO-F。
- 在 A/D 转换运行期间, 当通过程序将 ADCON0 寄存器的 ADST 位清 “0” (停止 A/D 转换) 来强制结束时, A/D 转换器的转换结果不定。在通过程序将 ADST 位清 “0” 的情况下, 不能使用 AD 寄存器的值。
- 必须在 P4_2/VREF 引脚和 AVSS 引脚之间连接 0.1 μ F 的电容。
- A/D 转换中不能转移到停止模式。
- A/D 转换中, 在 CM0 寄存器的 CM02 位为 “1” (等待模式时, 外围功能时钟停止) 的状态下, 不能转移到等待模式。

20. 闪存

20.1 概要

能在 CPU 改写模式、标准串行输入 / 输出模式和并行输入 / 输出模式的 3 种改写模式中对闪存进行操作。

闪存的性能概要如表 20.1 所示（表 20.1 以外的项目，参照“表 1.1 和表 1.2 性能概要”）。

表 20.1 闪存的性能概要

项目		性能
闪存的运行模式		3 种模式（CPU 改写、标准串行输入 / 输出和并行输入 / 输出模式）
擦除块分配		参照图 20.1、图 20.2。
编程方式		字节单位
擦除方式		块擦除
编程、擦除的控制方式		由软件命令控制编程、擦除
改写的控制方式		由 FMR0 寄存器的 FMR02 位控制块 0、块 1 的改写
		由 FMR1 寄存器的 FMR15 和 FMR16 位分别控制块 0 和块 1 的改写
命令数		5 个命令
编程 / 擦除次数 (注 1)	块 0、1（可编程 ROM）	R8C/20 群：100 次；R8C/21 群：1,000 次
	块 A、B（数据闪存）(注 2)	10,000 次
ID 码检查功能		支持标准串行输入 / 输出模式
ROM 码保护		支持并行输入 / 输出模式

注 1. 编程 / 擦除次数的定义

编程 / 擦除次数是各块的擦除次数。

在编程 / 擦除次数为 n 次（n=100、10,000 次）的情况下，能逐块分别擦除 n 次。例如，如果对于 1K 的块 A 分 1,024 次将 1 字节写到各自不同的地址后擦除该块，编程 / 擦除次数就增加 1 次。在改写 100 次以上的情况下，为了减少实际的改写次数，必须在空区结束之前进行编程后擦除，以及避免只改写特定块，平衡各块的编程、擦除次数。

另外，建议保存每块的擦除次数等信息，设定限制次数。

注 2. 只有 R8C/21 群内置。

表 20.2 闪存改写模式的概要

闪存改写模式	CPU 改写模式	标准串行输入 / 输出模式	并行输入 / 输出模式
功能概要	CPU 通过执行软件命令改写用户 ROM 区 EW0 模式：可改写 RAM EW1 模式：可改写闪存	通过专用串行编程器改写用户 ROM 区	使用专用并行编程器改写用户 ROM 区
能改写的区域	用户 ROM 区	用户 ROM 区	用户 ROM 区
运行模式	单芯片模式	引导模式	并行输入 / 输出模式
ROM 编程器	—	串行编程器	并行编程器

20.2 存储器的配置

闪存分为用户 ROM 区和引导 ROM 区（保留区）。

R8C/20 群的闪存框图如图 20.1、R8C/21 群的闪存框图如图 20.2 所示。

R8C/21 群的用户 ROM 区除了有保存单片机运行程序的区域（可编程 ROM）以外，还有 1K 字节的块 A 和 1K 字节的块 B（数据闪存）。

用户 ROM 区被分为多个块。在 CPU 改写模式、标准串行输入 / 输出模式或者并行输入 / 输出模式中能改写用户 ROM 区。

CPU 改写模式中改写块 0 和块 1 时，在 FMR0 寄存器的 FMR02 位置“1”（允许改写）的情况下，如果 FMR1 寄存器的 FMR15 位清“0”（允许改写），就允许改写块 0；如果将 FMR16 位清“0”（允许改写），就允许改写块 1。

在 CPU 改写模式下改写块 2、块 3 时，如果将 FMR0 寄存器的 FMR02 位置“1”（允许改写）就允许改写。

在出货时，引导 ROM 区存有标准串行输入 / 输出模式的改写控制程序。尽管引导 ROM 区被分配在与用户 ROM 区重叠的地址，但是存在不同的存储器。

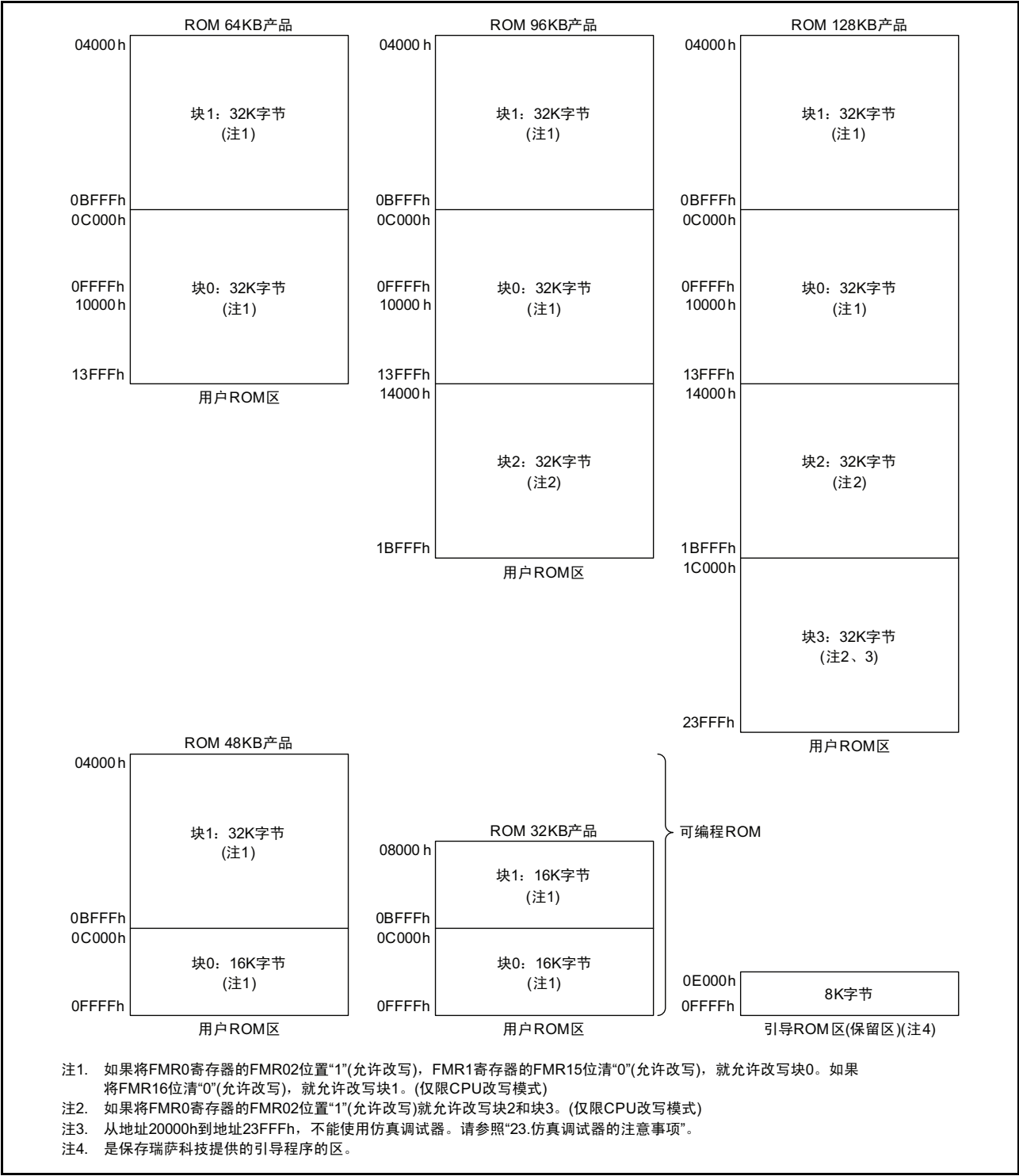


图 20.1 R8C/20 群的闪存框图

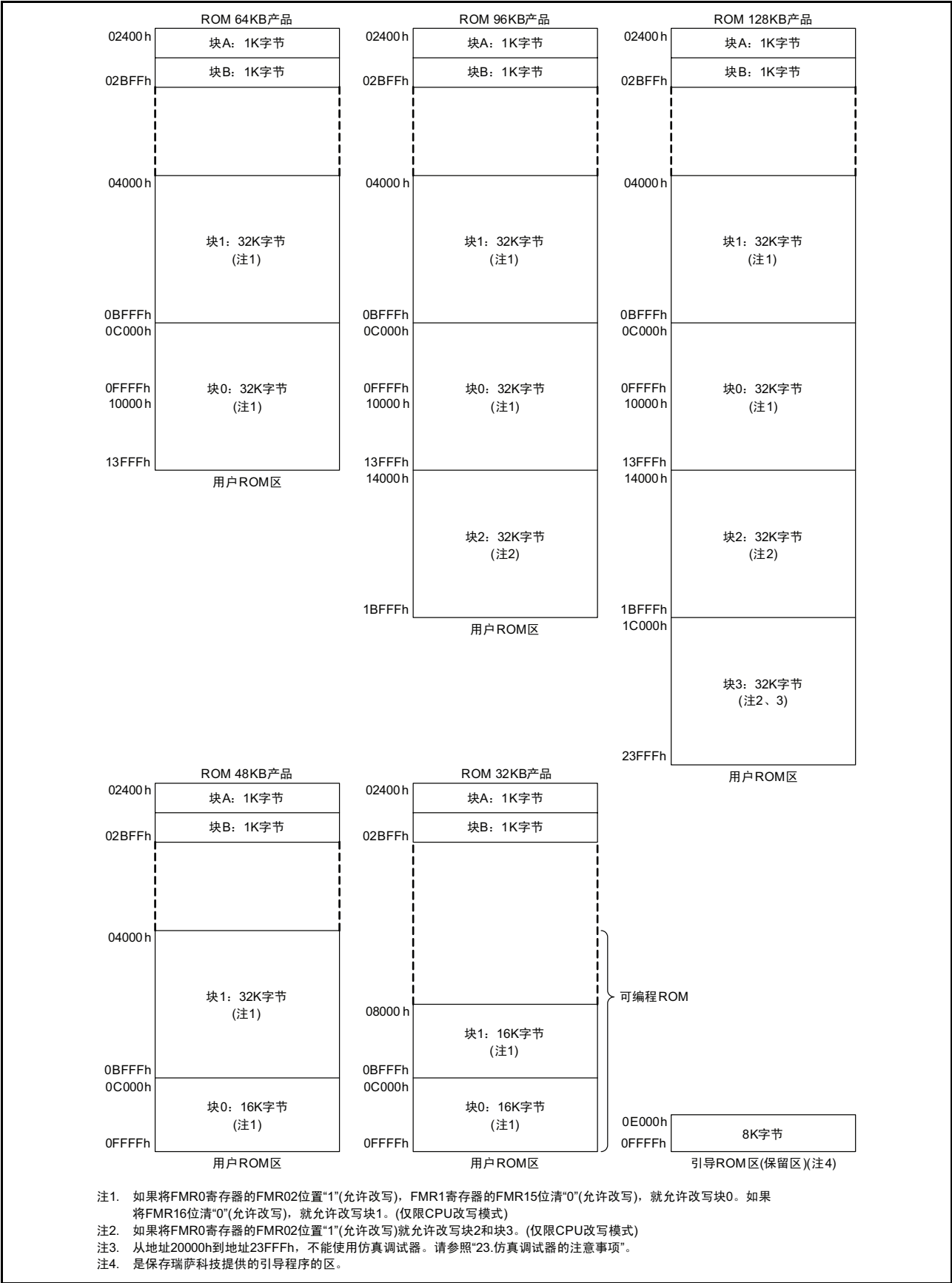


图 20.2 R8C/21 群的闪存框图

20.3 闪存改写的禁止功能

为了防止轻易地读或者改写闪存，标准串行输入 / 输出模式有 ID 码的检查功能，并行输入 / 输出模式有 ROM 码的保护功能。

20.3.1 ID 码检查功能

用于标准串行输入 / 输出模式。在闪存不为空白的情况下，判断编程器送来的 ID 码和写在闪存中的 7 字节的 ID 码是否一致。如果不一致，就不接受编程器送来的命令。ID 码是各 8 位的数据，该区域从第 1 个字节开始为地址 00FFDFh、00FFE3h、00FFE7h、00FFE8h、00FFE9h、00FFF3h、00FFF7h、00FFFBh。必须将预先给这些地址设定 ID 码的程序写到闪存。

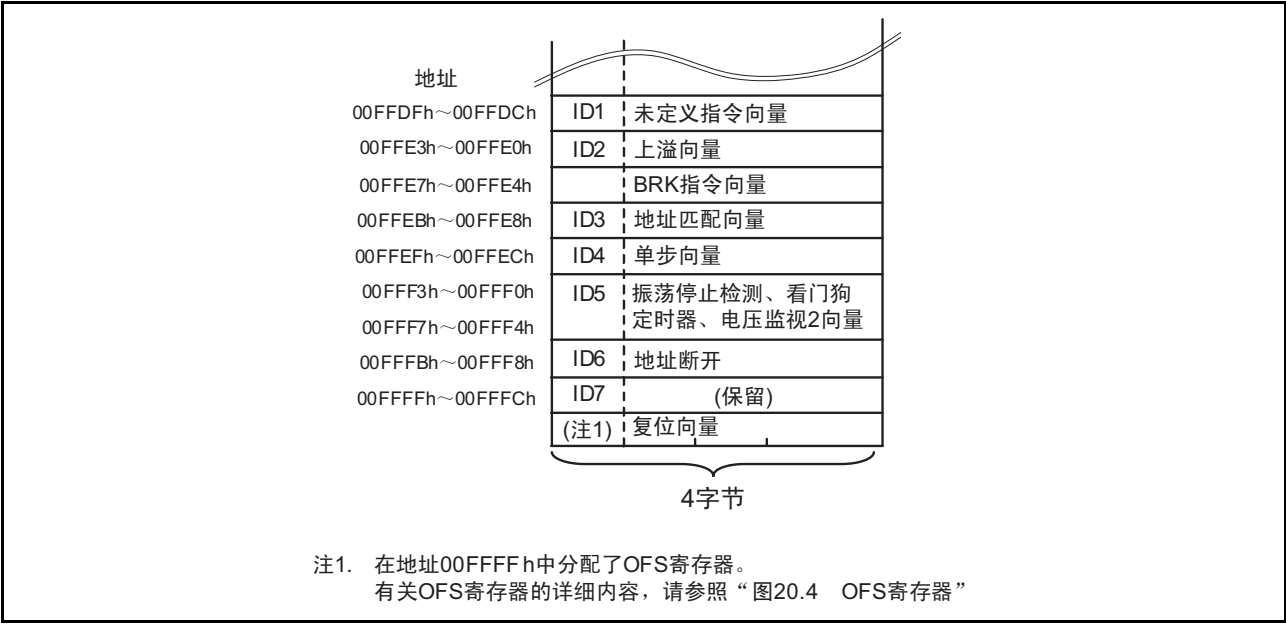


图 20.3 ID 码的保存地址

20.3.2 ROM 码保护功能

ROM 码保护是在使用并行输入 / 输出模式时，通过 OFS 寄存器禁止读取和变更内部闪存内容的功能。
OFS 寄存器如图 20.4 所示。

如果给 ROMCR 位写 “1” 并给 ROMCP1 位写 “0”，ROM 码保护就有效，禁止读取和变更内部闪存的内容。

一旦将 ROM 码保护设定为有效，就不能在并行输入 / 输出模式中改写内部闪存的内容。在解除 ROM 码保护时，必须使用 CPU 改写模式或者标准串行输入 / 输出模式并擦除包含 OFS 寄存器的块。



图 20.4 OFS 寄存器

20.4 CPU 改写模式

在 CPU 改写模式中，能通过 CPU 执行软件命令改写用户 ROM 区。因此，能在不使用 ROM 编程器等而将单片机安装在电路板的状态下改写用户 ROM 区。必须只对用户 ROM 区的各块区域执行编程、块擦除的命令。

另外，在 CPU 改写模式的擦除运行中产生中断请求时，有暂时中断擦除运行以进行中断处理的擦除挂起功能。可在擦除挂起中通过程序读用户 ROM 区。

在 CPU 改写模式的自动编程中产生中断请求时，有暂时中断自动编程以进行中断处理的编程挂起功能。可在编程挂起中通过程序读用户 ROM 区。

CPU 改写模式有擦除编程 0 模式（EW0 模式）和擦除编程 1 模式（EW1 模式）。

EW0 模式和 EW1 模式的不同点如表 20.3 所示。

表 20.3 EW0 模式和 EW1 模式的不同点

项目	EW0 模式	EW1 模式
运行模式	单芯片模式	单芯片模式
能配置改写控制程序的区域	用户 ROM 区	用户 ROM 区
能执行改写控制程序的区域	需要在传送到闪存以外的区域（RAM 等）后执行	用户 ROM 区或 RAM 区
能被改写的区域	用户 ROM 区	用户 ROM 区 但是，存有改写控制程序的块除外（注 1）
软件命令的限制	无	- 对于存有编程、块擦除命令的改写控制程序的块，禁止执行 - 禁止执行读状态寄存器命令
编程、擦除后的模式	读状态寄存器模式	读阵列模式
读状态寄存器后的模式	读状态寄存器模式	禁止执行命令。
自动编程、自动擦除时的 CPU 状态	运行	保持状态（输入 / 输出端口保持命令执行前的状态）
闪存的状态检测	- 通过程序读 FMR0 寄存器的 FMR00、FMR06、FMR07 位 - 执行读状态寄存器命令，并读取状态寄存器的 SR7、SR5、SR4	通过程序读 FMR0 寄存器的 FMR00、FMR06、FMR07 位
擦除挂起的转移条件	通过程序将 FMR4 寄存器的 FMR40 和 FMR41 位置“1”	FMR4 寄存器的 FMR40 位为“1”并且产生被允许的可屏蔽中断的中断请求
编程挂起的转移条件	通过程序将 FMR4 寄存器的 FMR40 和 FMR42 位置“1”	FMR4 寄存器的 FMR40 位为“1”并且产生被允许的可屏蔽中断的中断请求
CPU 时钟	小于等于 5MHz	无限制（使用的时钟频率）

注 1. 在 FMR0 寄存器的 FMR02 位置“1”（允许改写）的情况下，如果将 FMR1 寄存器的 FMR15 位清“0”（允许改写），就允许改写块 0；如果将 FMR16 位清“0”（允许改写），就允许改写块 1。

20.4.1 EW0 模式

在将 FMR0 寄存器的 FMR01 位置 “1” (CPU 改写模式有效) 时, 为 CPU 改写模式, 可接受软件命令。此时, 因为 FMR1 寄存器的 FMR11 位是 “0”, 所以为 EW0 模式。

通过软件命令控制编程、擦除运行。能通过 FMR0 寄存器或者状态寄存器确认编程、擦除结束时的状态等。

在自动擦除中转移到擦除挂起时, 必须将 FMR40 位置 “1” (允许挂起)、FMR41 位置 “1” (请求擦除挂起), 然后等待 td(SR-SUS), 在确认 FMR46 位为 “1” (允许读) 后才能对用户 ROM 区进行存取。如果将 FMR41 位清 “0” (重新启动擦除), 就重新开始自动擦除。

在自动编程中转移到编程挂起时, 必须将 FMR40 位置 “1” (允许挂起)、FMR42 位置 “1” (请求编程挂起), 然后等待 td(SR-SUS), 在确认 FMR46 位为 “1” (允许读) 后才能对用户 ROM 区进行存取。如果将 FMR42 位清 “0” (重新启动编程), 就重新开始自动编程。

20.4.2 EW1 模式

在 FMR01 位置 “1” (CPU 改写模式有效) 后将 FMR11 位置 “1” (EW1 模式) 时, 为 EW1 模式。

能通过 FMR0 寄存器确认编程、擦除结束时的状态等。不能在 EW1 模式中执行读状态寄存器命令。

在自动擦除时将擦除挂起功能设定为有效的情况下, 必须在将 FMR40 位置 “1” (允许挂起) 后执行块擦除命令, 并预先将转移到擦除挂起的中断设定为中断允许状态。如果在执行块擦除命令后经过 td(SR-SUS), 就能接受中断请求。

如果产生中断请求, FMR41 位就自动变为 “1” (请求擦除挂起), 中断自动擦除。在结束中断处理后, 如果自动擦除还没有结束 (FMR00 位为 “0”), 就必须将 FMR41 位清 “0” (重新启动擦除), 重新开始自动擦除。

在自动编程时将编程挂起功能设定为有效的情况下, 必须在将 FMR40 位置 “1” (允许挂起) 后执行编程命令, 并预先将转移到编程挂起的中断设定为中断允许状态。如果在执行编程命令后经过 td(SR-SUS), 就能接受中断请求。

如果产生中断请求, FMR42 位就自动变为 “1” (请求编程挂起), 中断自动编程。在结束中断处理后, 如果自动编程还没有结束 (FMR00 位为 “0”), 就必须将 FMR42 位清 “0” (重新启动编程), 重新开始自动编程。

FMR0 寄存器如图 20.5、FMR1 寄存器如图 20.6、FMR4 寄存器如图 20.7 所示。

20.4.2.1 FMR00 位

FMR00 位是表示闪存运行状况的位。在编程、擦除运行中 (包括挂起时间) 为 “0”, 其他为 “1”。

20.4.2.2 FMR01 位

如果在 FMR01 位置 “1” (CPU 改写模式), 就可接受命令。

20.4.2.3 FMR02 位

在 FMR02 位为 “0” (禁止改写) 时, 块 0、块 1、块 2 和块 3 不接受编程命令、块擦除命令。

在 FMR02 位为 “1” (允许改写) 时, 块 0 和块 1 由 FMR15、FMR16 位控制改写。

20.4.2.4 FMSTP 位

FMSTP 位是初始化闪存的控制电路并降低闪存消耗电流的位。如果将 FMSTP 位置“1”，就不能存取闪存。因此，必须通过传送到 RAM 的程序写 FMSTP 位。

在以下的情况下，必须将 FMSTP 位置“1”：

- 在 EW0 模式的擦除和编程中闪存的存取产生异常（FMR00 位无法恢复到“1”（就绪））时
- 在高速内部振荡器模式、低速内部振荡器模式（XIN 时钟停止）、设定更低功耗时

在高速内部振荡器模式、低速内部振荡器模式（XIN 时钟停止）、设定为更低功耗的处理如图 20.11 所示，按照此流程图操作。另外，在 CPU 改写模式无效时转移到停止模式或者等待模式时，会自动切断闪存的电源，返回时自动连接，因此不需要设定 FMR0 寄存器。

20.4.2.5 FMR06 位

FMR06 位是表示自动编程状态的只读位。如果产生编程错误，FMR06 位就为“1”，否则为“0”。详细内容请参照“20.4.5 全状态检查”。

20.4.2.6 FMR07 位

FMR07 位是表示自动擦除状态的只读位。如果产生擦除错误，FMR07 位就为“1”，否则为“0”。详细内容请参照“20.4.5 全状态检查”。

20.4.2.7 FMR11 位

如果将 FMR11 位置“1”（EW1 模式），就为 EW1 模式。

20.4.2.8 FMR15 位

在 FMR02 位是“1”（允许改写）并且 FMR15 位是“0”（允许改写）时，块 0 接受编程命令、块擦除命令。

20.4.2.9 FMR16 位

在 FMR02 位是“1”（允许改写）并且 FMR16 位是“0”（允许改写）时，块 1 接受编程命令、块擦除命令。

20.4.2.10 FMR40 位

如果将 FMR40 位置“1”（允许），就允许挂起功能。

20.4.2.11 FMR41 位

如果在 EW0 模式中通过程序将 FMR41 位置“1”，就转移到擦除挂起模式。如果在 EW1 模式中产生被允许的中断的中断请求，FMR41 位就自动变为“1”（请求擦除挂起），转移到擦除挂起模式。

在重新开始自动擦除运行时，必须将 FMR41 位清“0”（重新启动擦除）。

20.4.2.12 FMR42 位

如果在 EW0 模式中通过程序将 FMR42 位置“1”，就转移到编程挂起模式。如果在 EW1 模式中产生被允许的中断的中断请求，FMR42 位就自动变为“1”（请求编程挂起），转移到编程挂起模式。

在重新开始自动编程时，必须将 FMR42 位清“0”（重新启动编程）。

20.4.2.13 FMR43 位

如果开始自动擦除，FMR43 位就为 “1”（执行擦除中）。即使在擦除挂起中 FMR43 位也一直为 “1”（执行擦除中）。

如果结束自动擦除，FMR43 位就为 “0”（未执行擦除）。

20.4.2.14 FMR44 位

如果开始自动编程，FMR44 位就为 “1”（执行编程中）。即使在编程挂起中 FMR44 位也一直为 “1”（执行编程中）。

如果结束自动编程，FMR44 位就为 “0”（未执行编程）。

20.4.2.15 FMR46 位

在执行自动编程和自动擦除中 FMR46 位为 “0”（禁止读）。在挂起模式中 FMR46 位为 “1”（读允许）。在为 “0” 期间，禁止存取闪存。

20.4.2.16 FMR47 位

低速内部振荡器模式（XIN 时钟停止）时，如果将 FMR47 位置 “1”（允许），就能降低读取闪存时的消耗电流。

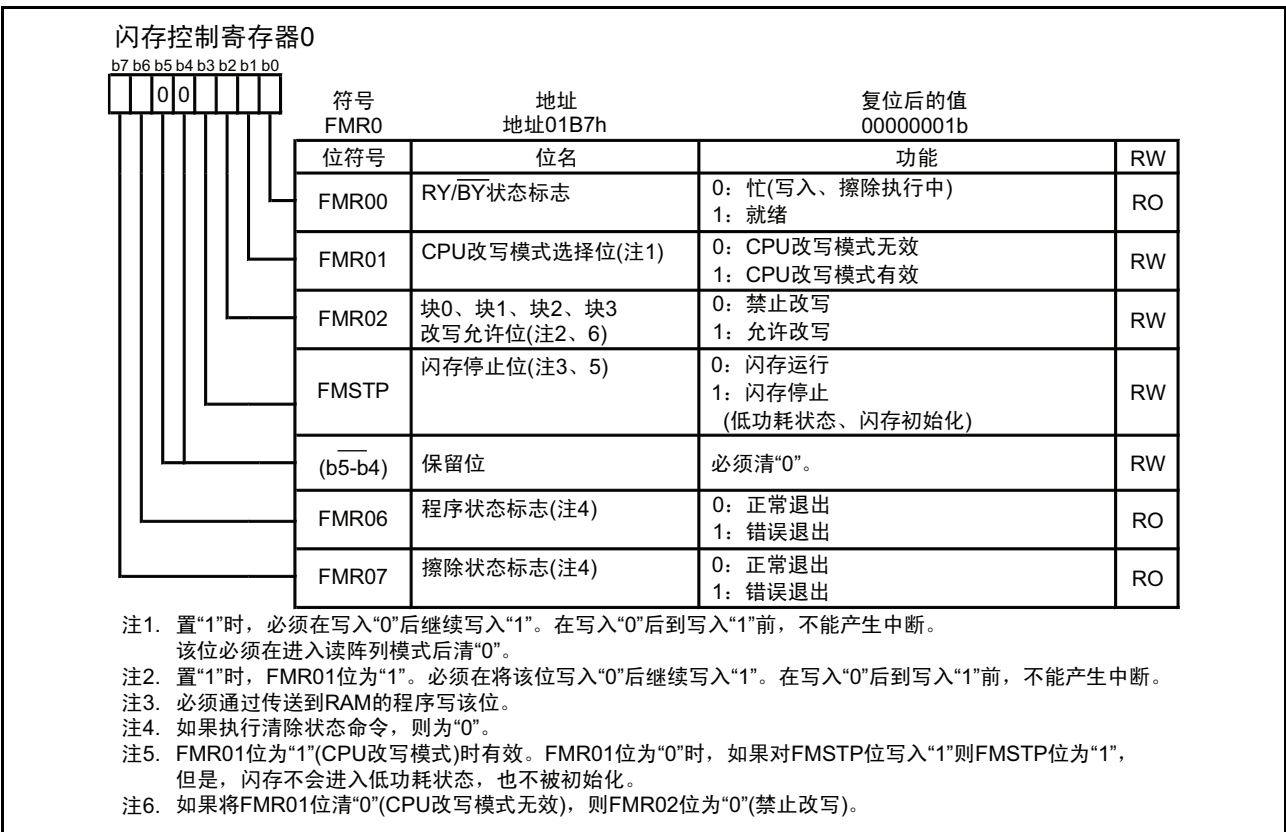


图 20.5 FMR0 寄存器



图 20.6 FMR1 寄存器

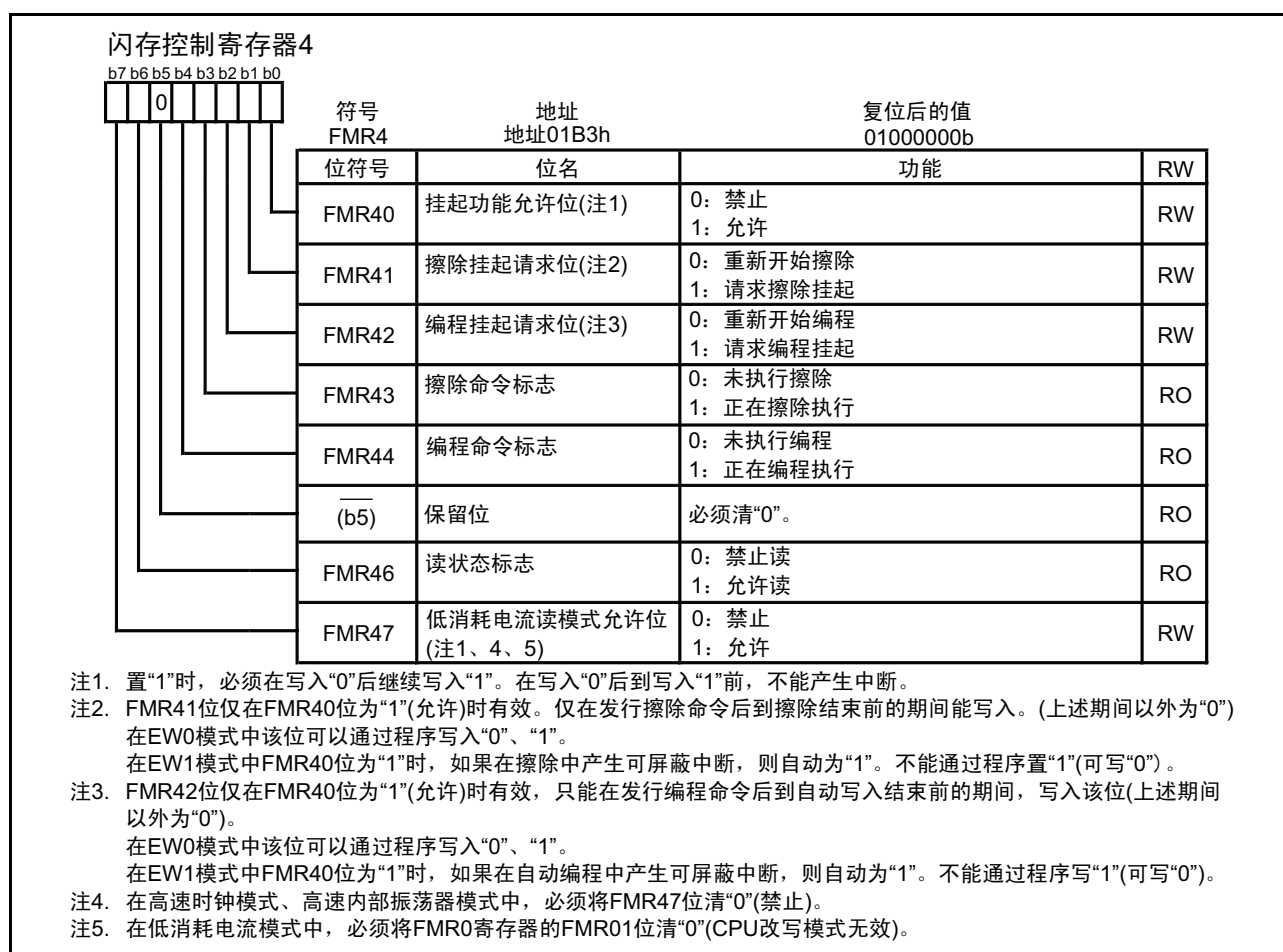


图 20.7 FMR4 寄存器

有关挂起运行的时序如图 20.8 所示。

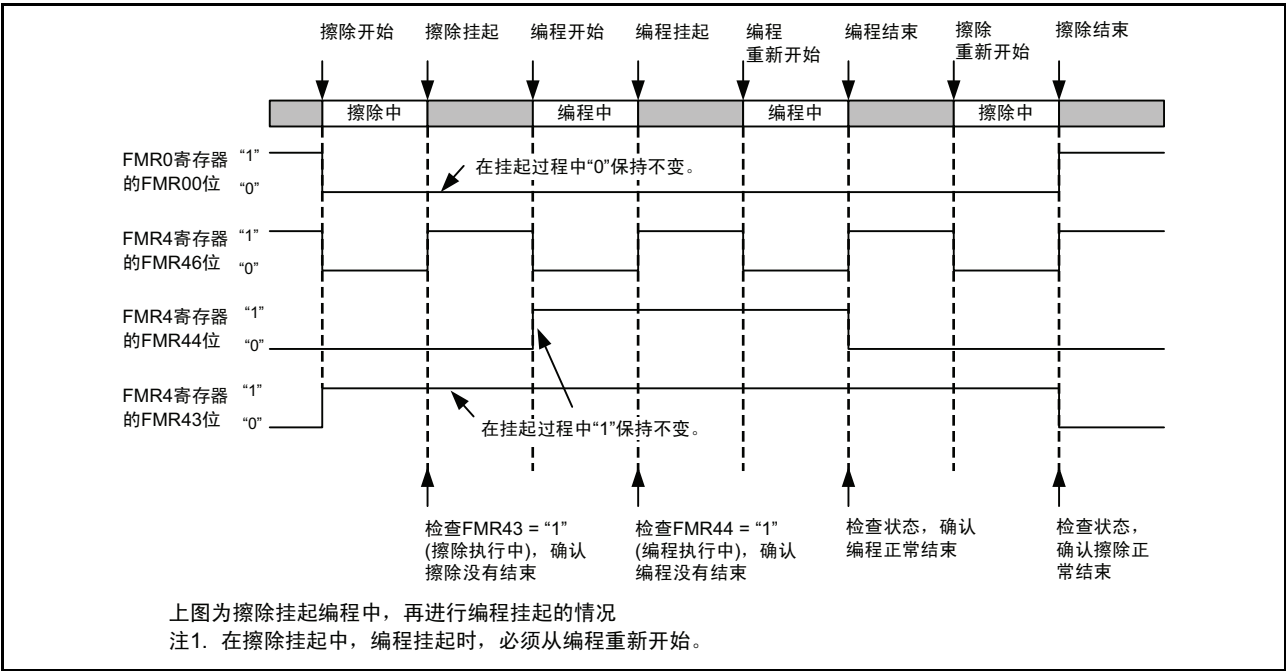


图 20.8 有关挂起运行的时序

EW0 模式的设定和解除方法如图 20.9、EW1 模式的设定和解除方法如图 20.10 所示。

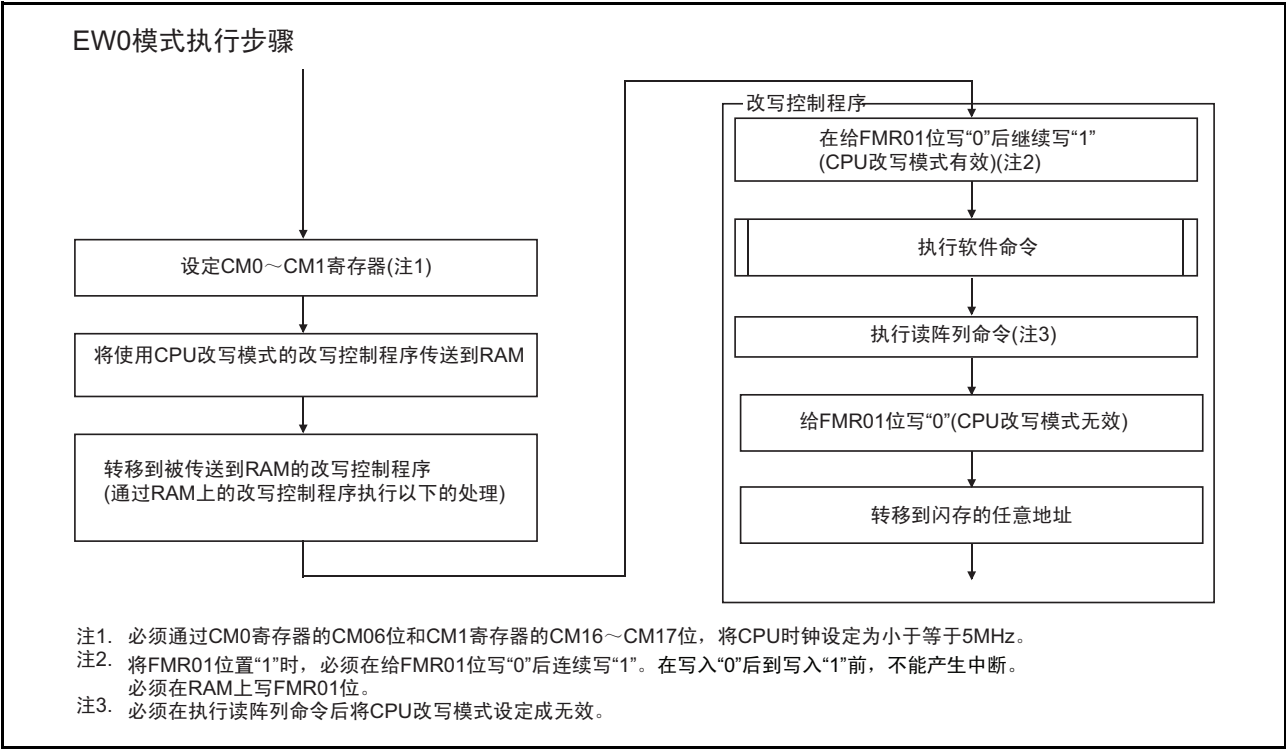


图 20.9 EW0 模式的设定和解除方法

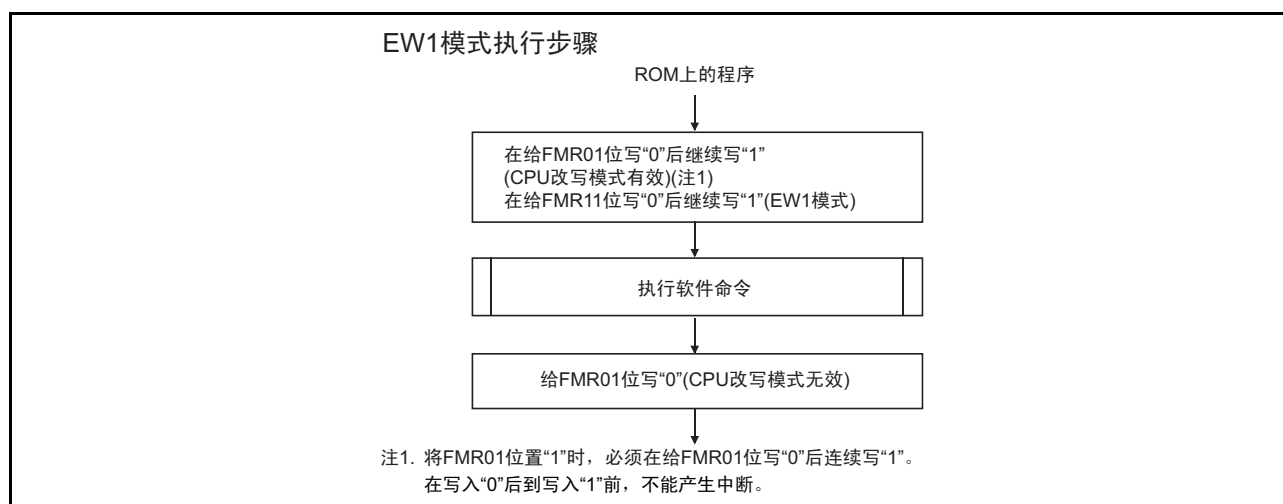


图 20.10 EW1 模式的设定和解除方法

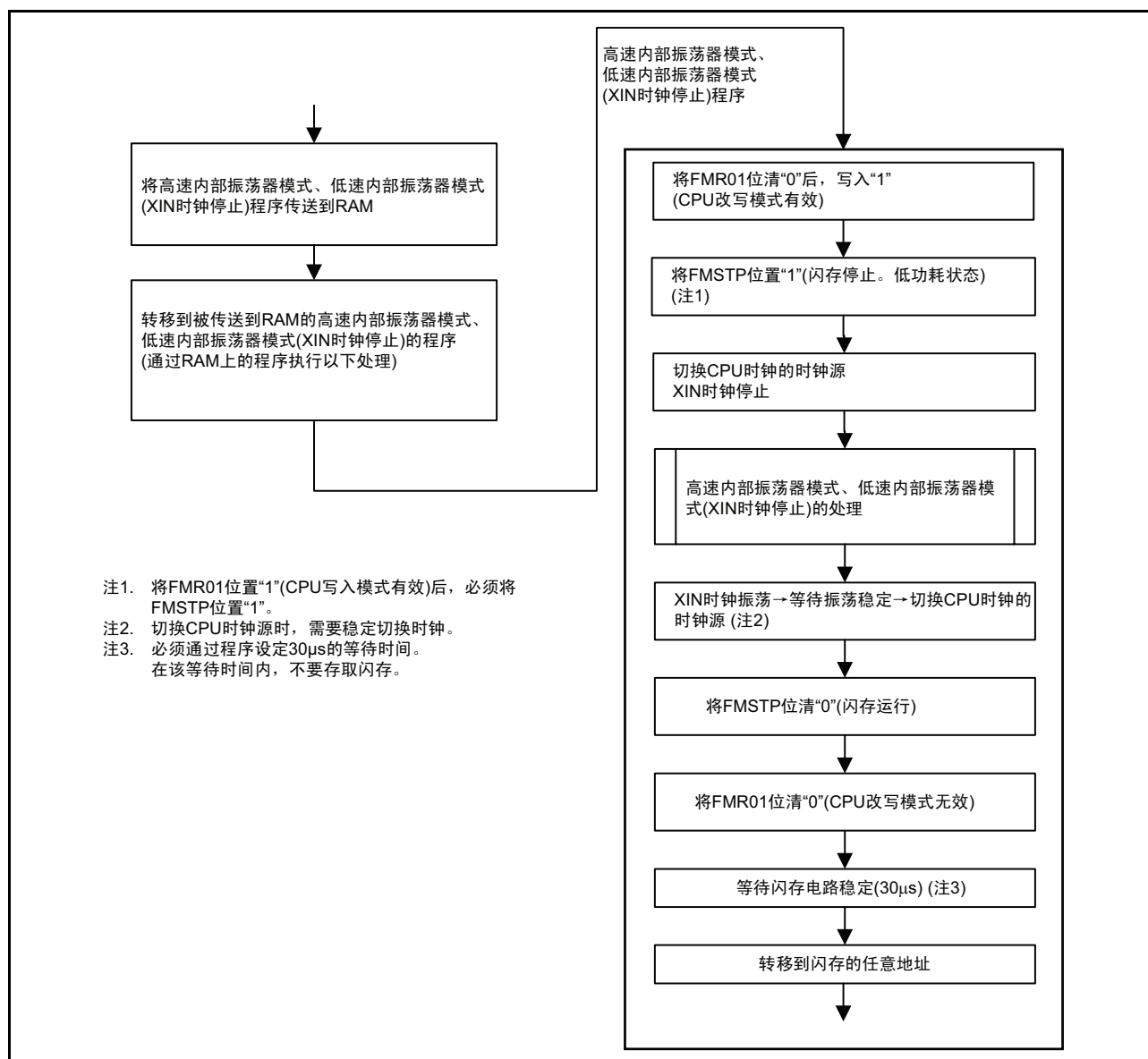


图 20.11 在高速内部振荡器模式、低速内部振荡器模式（XIN 时钟停止）设定为更低功耗的处理

20.4.3 软件命令

以下说明软件命令，必须以 8 位为单位进行命令和数据的读写。

表 20.4 软件命令一览表

软件命令	第 1 总线周期			第 2 总线周期		
	模式	地址	数据 (D7 ~ D0)	模式	地址	数据 (D7 ~ D0)
读阵列	写	×	FFh			
读状态寄存器	写	×	70h	读	×	SRD
清除状态寄存器	写	×	50h			
编程	写	WA	40h	写	WA	WD
块擦除	写	×	20h	写	BA	D0h

SRD: 状态寄存器数据 (D7 ~ D0)。

WA: 写地址 (第 1 总线周期的地址必须和第 2 总线周期的地址相同)。

WD: 写数据 (8 位)。

BA: 块的任意地址。

×: 用户 ROM 区内的任意地址

20.4.3.1 读阵列

是读闪存的命令。

如果在第 1 总线周期写 “FFh”，就为读阵列模式。如果在下一个总线周期以后输入读地址，就能以 8 位为单位读指定地址的内容。

因为读阵列模式保持到写其他命令为止，所以能连续读多个地址的内容。

另外，复位解除后为读阵列模式。

20.4.3.2 读状态寄存器

是读状态寄存器的命令。

如果在第 1 总线周期写 “70h”，就能在第 2 总线周期读取状态寄存器 (参照 “20.4.4 状态寄存器”)。

另外，读时必须读用户 ROM 区内的地址。

不能在 EW1 模式中执行此命令。

读状态寄存器模式持续到下一次写读阵列命令前。

20.4.3.3 清除状态寄存器

是将状态寄存器清 “0” 的命令。

如果在第 1 总线周期写 “50h”，FMR0 寄存器的 FMR06 ~ FMR07 位和状态寄存器的 SR4 ~ SR5 就变为 “0”。

20.4.3.4 编程

是以 1 字节为单位将数据写到闪存的命令。

如果在第 1 总线周期将“40h”写到写地址，在第 2 总线周期将数据写到写地址，就开始自动编程（数据的编程和验证）。第 1 总线周期的地址值必须和第 2 总线周期指定的写地址相同。

能通过 FMR0 寄存器的 FMR00 位确认自动编程的结束。

禁止挂起功能时，FMR00 位在自动编程期间为“0”，结束后为“1”。

允许挂起功能时，FMR44 位在自动编程期间为“1”，结束后为“0”。

在自动编程结束之后，能通过 FMR0 寄存器的 FMR06 位得知自动编程的结果（参照“20.4.5 全状态检查”）。

不能对已编程的地址进行追加写入。

另外，当 FMR0 寄存器的 FMR02 位为“0”（禁止改写）时，不接受对块 0～块 3 的编程命令。另外，当 FMR02 位为“1”（允许改写）并且 FMR1 寄存器的 FMR15 位为“1”（禁止改写）时，不接受对块 0 的编程命令；而当 FMR16 位为“1”（禁止改写）时，不接受对块 1 的编程命令。

编程的流程图（禁止挂起功能时）如图 20.12 所示，编程的流程图（允许挂起功能时）如图 20.13 所示。

不能在 EW1 模式中对已分配改写控制程序的地址执行此命令。

在 EW0 模式中，在自动编程开始的同时变为读状态寄存器模式，能读取状态寄存器。状态寄存器的 bit7（SR7）在自动编程开始的同时变为“0”，在结束时恢复为“1”。此时的读状态寄存器模式被保持到下次写入读阵列命令为止。另外，在自动编程结束后，能通过读取状态寄存器得知自动编程的结果。

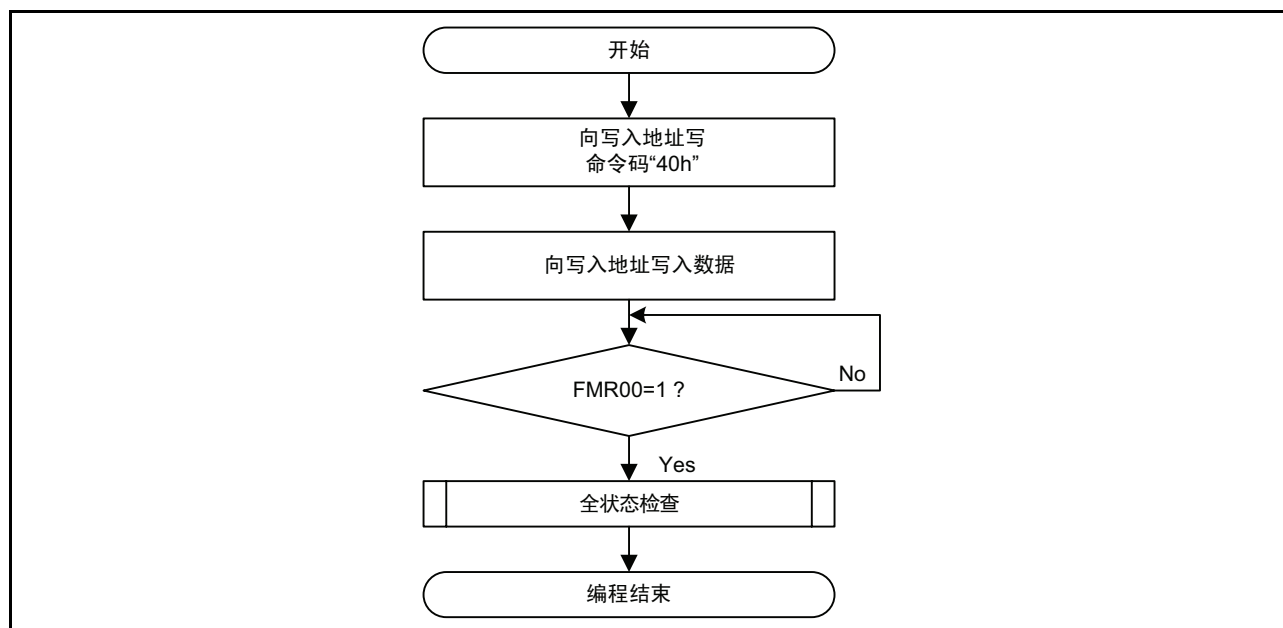


图 20.12 编程的流程图（禁止挂起功能时）

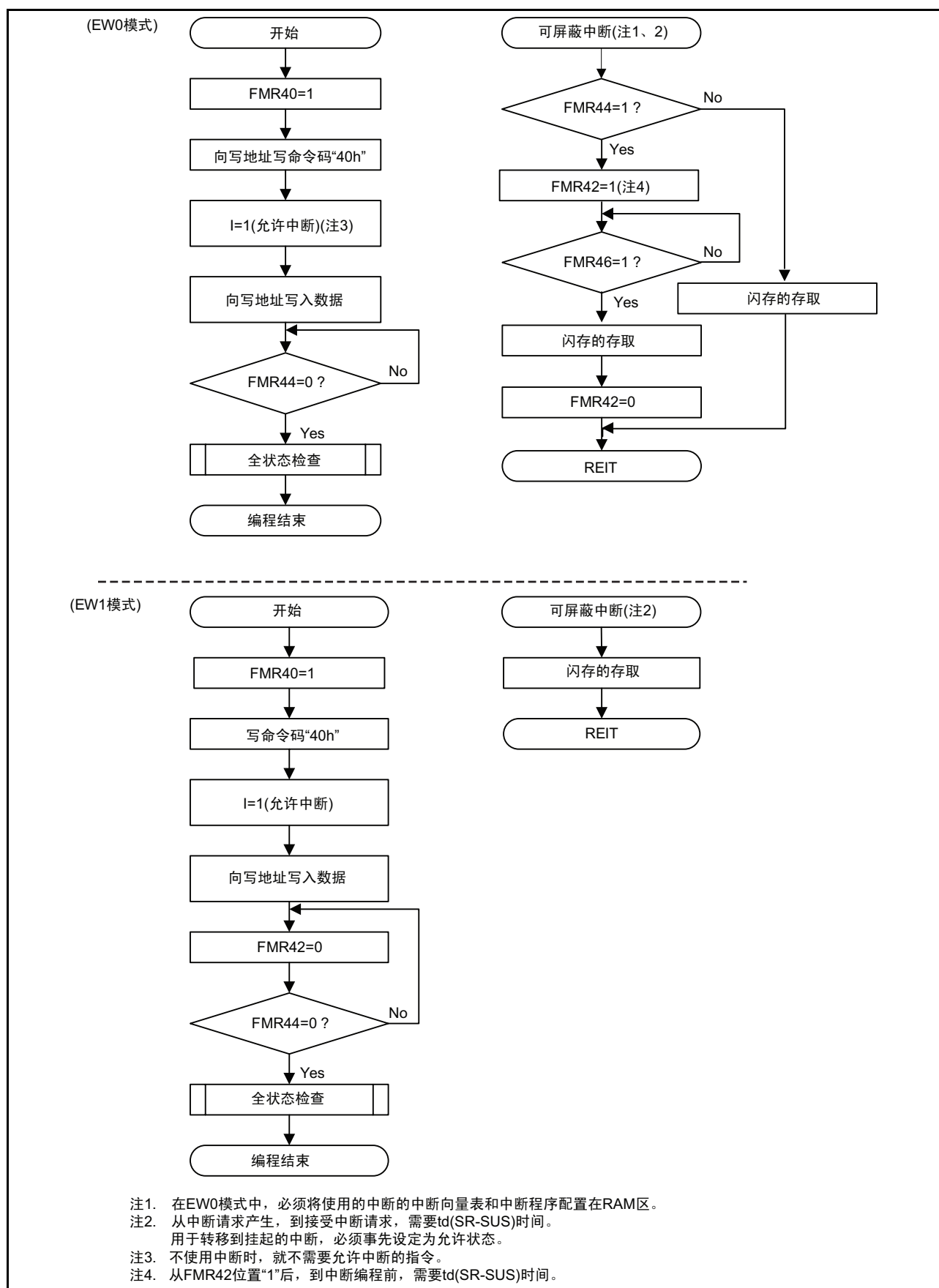


图 20.13 编程的流程图（允许挂起功能时）

20.4.3.5 块擦除

如果在第 1 总线周期写 “20h”，在第 2 总线周期将 “D0h” 写到块的任意地址，就对指定的块开始自动擦除（擦除和擦除验证）。

能通过 FMR0 寄存器的 FMR00 位确认自动擦除的结束。

FMR00 位在自动擦除期间为 “0”，结束后为 “1”。

在自动擦除结束后，能通过 FMR0 寄存器的 FMR07 位得知自动擦除的结果（参照“20.4.5 全状态检查”）。

另外，当 FMR0 寄存器的 FMR02 位为 “0”（禁止改写）时，或者当 FMR02 位为 “1”（允许改写）并且 FMR1 寄存器的 FMR15 位为 “1”（禁止改写）时，不接受对块 0 的块擦除命令；而当 FMR16 位为 “1”（禁止改写）时，不接受对块 1 的块擦除命令。

在编程挂起过程中，不能使用块擦除命令。

块擦除的流程图（禁止擦除挂起功能时）如图 20.14，块擦除的流程图（允许擦除挂起功能时）如图 20.15 所示。

不能在 EW1 模式中对已分配改写控制程序的块执行此命令。

在 EW0 模式中，在自动擦除开始的同时变为读状态寄存器模式，能读取状态寄存器。状态寄存器的 bit7（SR7）在自动擦除开始的同时变为 “0”，在结束时恢复为 “1”。此时的读状态寄存器模式被保持到下次写入读阵列命令为止。

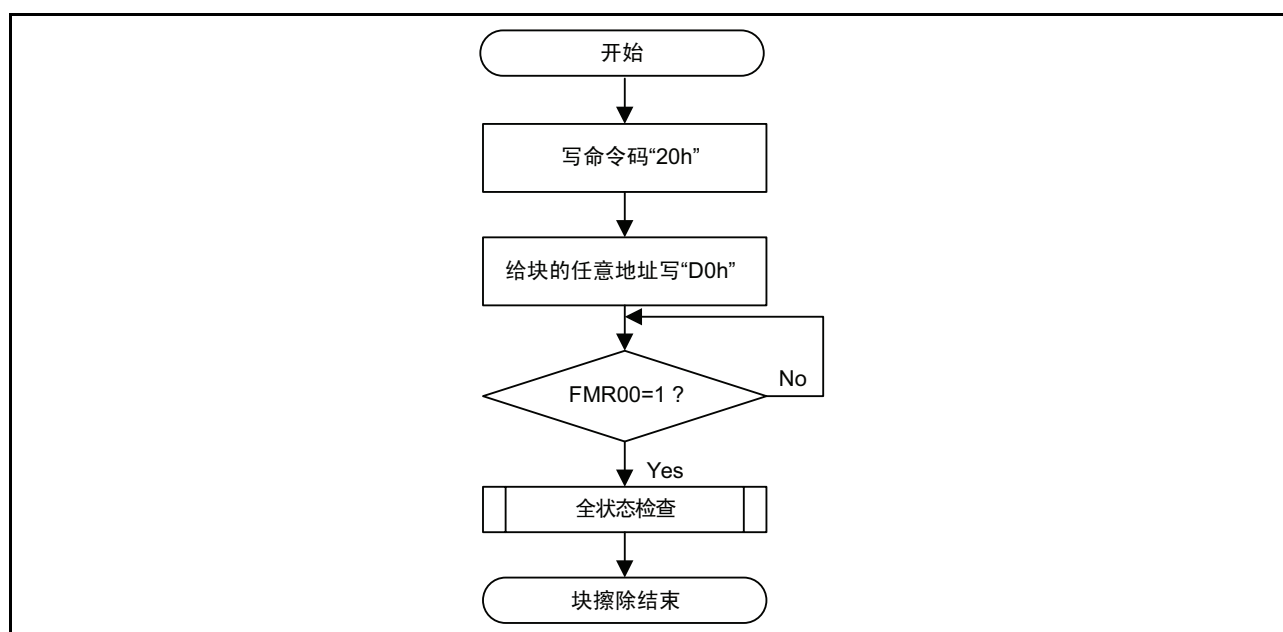


图 20.14 块擦除的流程图（禁止擦除挂起功能时）

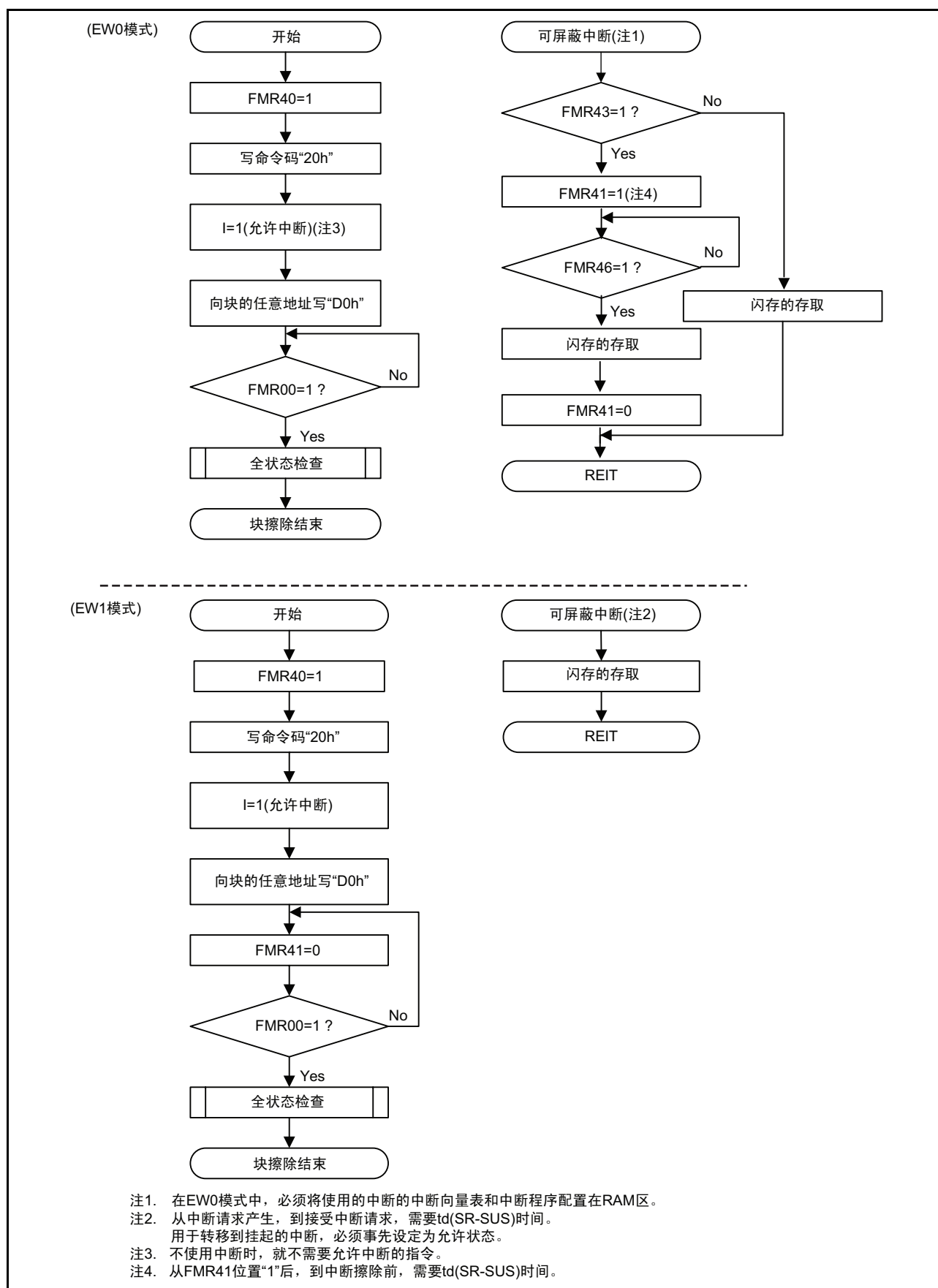


图 20.15 块擦除的流程图（允许擦除挂起功能时）

20.4.4 状态寄存器

状态寄存器是表示闪存的运行状态、擦除和编程的正常 / 错误结束等状态的寄存器，能通过 FMR0 寄存器的 FMR00、FMR06 ~ FMR07 位读状态寄存器的状态。

状态寄存器如表 20.5 所示。

另外，能在 EW0 模式中的以下情况读取状态寄存器：

- 在写入读状态寄存器命令后读用户 ROM 区内的任意地址时
- 在执行编程命令或者块擦除命令后到执行读阵列命令的期间，读用户 ROM 区内的任意地址时

20.4.4.1 定序器状态（SR7、FMR00 位）

定序器状态表示闪存的运行状况。在自动编程和自动擦除中为“0”（忙），在这些运行结束的同时变为“1”（就绪）。

20.4.4.2 擦除状态（SR5、FMR07 位）

参照“20.4.5 全状态检查”。

20.4.4.3 编程状态（SR4、FMR06 位）

参照“20.4.5 全状态检查”。

表 20.5 状态寄存器

状态寄存器的位	FMR0 寄存器的位	状态名	内容		复位后的值
			“0”	“1”	
SR0(D0)	—	保留	—	—	—
SR1(D1)	—	保留	—	—	—
SR2(D2)	—	保留	—	—	—
SR3(D3)	—	保留	—	—	—
SR4(D4)	FMR06	编程状态	正常结束	错误结束	0
SR5(D5)	FMR07	擦除状态	正常结束	错误结束	0
SR6(D6)	—	保留	—	—	—
SR7(D7)	FMR00	定序器状态	忙	就绪	1

D0 ~ D7：表示在执行了读状态命令时被读取的数据总线。

在执行清除状态命令时，FMR07 位（SR5）~ FMR06 位（SR4）为“0”。

在 FMR07 位（SR5）或者 FMR06 位（SR4）为“1”时，不接受编程和块擦除命令。

20.4.5 全状态检查

如果产生错误，FMR0 寄存器的 FMR06 ~ FMR07 位就为 “1”，表示产生的各错误。因此，能通过检查这些状态（全状态检查）确认执行结果。

错误和 FMR0 寄存器的状态如表 20.6、全状态检查的流程图和产生各种错误时的处理方法如图 20.16 所示。

表 20.6 错误和 FMR0 寄存器的状态

FMR0 寄存器 (状态寄存器) 的状态		错误	产生错误的条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	命令顺序错误	- 没有正确写命令 - 在块擦除命令的第 2 总线周期写了无效数据 (“D0h” 或者 “FFh” 以外的值) (注 1) - 在使用 FMR0 寄存器的 FMR02 位、FMR1 寄存器的 FMR15 位或者 FMR16 位设定为改写禁止的状态下，执行了编程命令或者块擦除命令 - 在输入擦除命令时，输入了没有配置闪存的地址并欲擦除时 - 在输入擦除命令时，欲擦除禁止改写的块时 - 在输入编程命令时，输入了没有配置闪存的地址并欲编程时 - 在输入编程命令时，欲编程禁止改写的块时
1	0	擦除错误	执行块擦除命令，不能正确地自动擦除时
0	1	编程错误	执行编程命令，不能正确地自动编程时

注 1. 在这些命令的第 2 总线周期写 “FFh” 时，为读阵列模式，同时第 1 总线周期写的命令码无效。

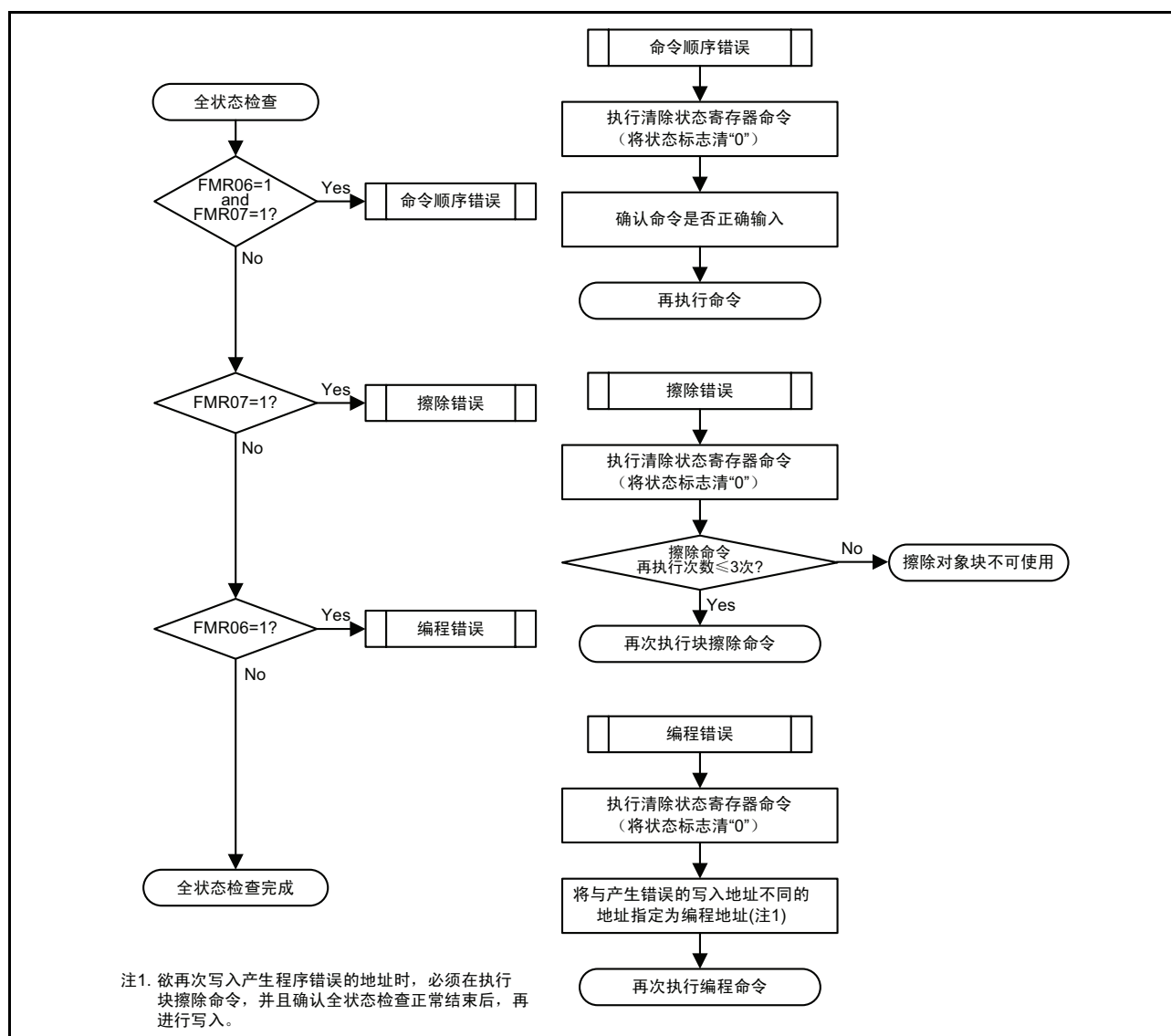


图 20.16 全状态检查流程图和产生错误时的处理方法

20.5 标准串行输入 / 输出模式

在标准串行输入 / 输出模式中，能使用与本单片机对应的串行编程器，在将单片机安装在电路板的状态下改写用户 ROM 区。

标准串行输入 / 输出模式有 3 种模式。

- 标准串行输入 / 输出模式 1..... 使用时钟同步串行 I/O 与串行编程器连接
- 标准串行输入 / 输出模式 2..... 使用时钟异步串行 I/O 与串行编程器连接
- 标准串行输入 / 输出模式 3..... 使用特殊的时钟异步串行 I/O 与串行编程器连接

本单片机能使用标准串行输入 / 输出模式 2 和标准串行输入 / 输出模式 3。

和串行编程器的连接例子参照“附录 2. 串行编程器和 on-chip 调试仿真器的连接例子”。有关串行编程器请向各厂家询问，有关串行编程器的操作方法参照串行编程器的用户手册。

引脚的功能说明（闪存标准串行输入 / 输出模式 2）如表 20.7，引脚的功能说明（闪存标准串行输入 / 输出模式 3）如表 20.8，标准串行输入 / 输出模式 3 中的引脚连接图如图 20.17 所示。

另外，在进行如表 20.8 所示的引脚处理并使用编程器改写闪存后，在单芯片模式中执行闪存中的程序时，必须将“H”电平输入到 MODE 引脚，进行硬件复位。

20.5.1 ID 码检查功能

判断串行编程器送来的 ID 码和写在闪存中的 ID 码是否匹配（参照“20.3 闪存改写的禁止功能”）。

表 20.7 引脚的功能说明（闪存标准串行输入 / 输出模式 2）

引脚名	名 称	输入 / 输出	功能
VCC、VSS	电源输入		必须将编程、擦除的保证电压输入到 Vcc 引脚、Vss 引脚输入 0V。
$\overline{\text{RESET}}$	复位输入	输入	是复位输入引脚。
P4_6/XIN	P4_6 输入 / 时钟输入	输入	在连接外置振荡器时，必须在 XIN 引脚和 XOUT 引脚之间连接陶瓷谐振器或者晶体振荡器。
P4_7/XOUT	P4_7 输入 / 时钟输出	输入 / 输出	
P0_0 ~ P0_7	输入端 P0 口	输入	必须输入“H”电平、“L”电平或者开路。
P1_0 ~ P1_7	输入端 P1 口	输入	必须输入“H”电平、“L”电平或者开路。
P2_0 ~ P2_7	输入端 P2 口	输入	必须输入“H”电平、“L”电平或者开路。
P3_0、P3_1、 P3_3 ~ P3_5、P3_7	输入端 P3 口	输入	必须输入“H”电平、“L”电平或者开路。
P4_2 ~ P4_5	输入端 P4 口	输入	必须输入“H”电平、“L”电平或者开路。
P6_0 ~ P6_5	输入端 P6 口	输入	必须输入“H”电平、“L”电平或者开路。
MODE	MODE	输入	必须输入“L”电平。
P6_6	TXD 输出	输出	串行数据的输出引脚。
P6_7	RXD 输入	输入	串行数据的输入引脚。

表 20.8 引脚的功能说明（闪存标准串行输入 / 输出模式 3）

引脚名	名 称	输入 / 输出	功能
VCC、VSS	电源输入		必须将编程、擦除的保证电压输入到 Vcc 引脚、0V 输入到 Vss 引脚。
RESET	复位输入	输入	是复位输入引脚。
P4_6/XIN	P4_6 输入 / 时钟输入	输入	连接外接振荡器时，必须在 XIN 引脚和 XOUT 引脚之间连接陶瓷谐振器或者晶体振荡器。 作为输入端口使用时，必须输入 “H” 电平、输入 “L” 电平或者开路。
P4_7/XOUT	P4_7 输入 / 时钟输出	输入 / 输出	
P0_0 ~ P0_7	输入端口 P0	输入	必须输入 “H” 电平、“L” 电平或者开路。
P1_0 ~ P1_7	输入端口 P1	输入	必须输入 “H” 电平、“L” 电平或者开路。
P2_0 ~ P2_7	输入端口 P2	输入	必须输入 “H” 电平、“L” 电平或者开路。
P3_0、P3_1、 P3_3 ~ P3_5、 P3_7	输入端口 P3	输入	必须输入 “H” 电平、“L” 电平或者开路。
P4_2 ~ P4_5	输入端口 P4	输入	必须输入 “H” 电平、“L” 电平或者开路。
P6_0 ~ P6_7	输入端口 P6	输入	必须输入 “H” 电平、“L” 电平或者开路。
MODE	MODE	输入 / 输出	串行数据输入 / 输出引脚。必须连接闪存编程器。

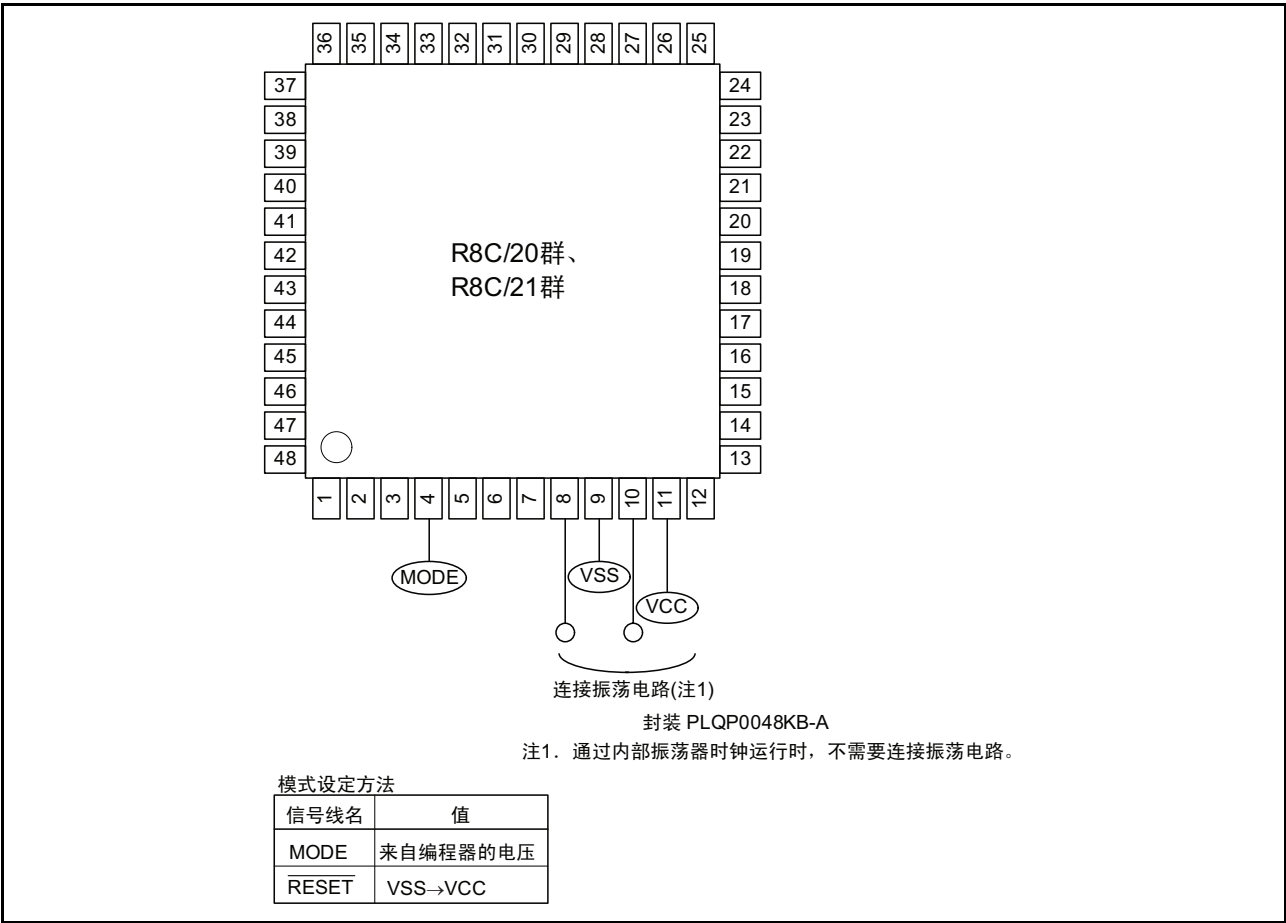


图 20.17 标准串行输入 / 输出模式 3 时的引脚连接图

20.5.1.1 标准串行输入 / 输出模式中的引脚处理例子

使用标准串行输入 / 输出模式 2 时的引脚处理例如图 20.18 所示，使用标准串行输入 / 输出模式 3 时的引脚处理例如图 20.19 所示。因为编程器控制的引脚的不同，所以详细内容请参照编程器的手册。

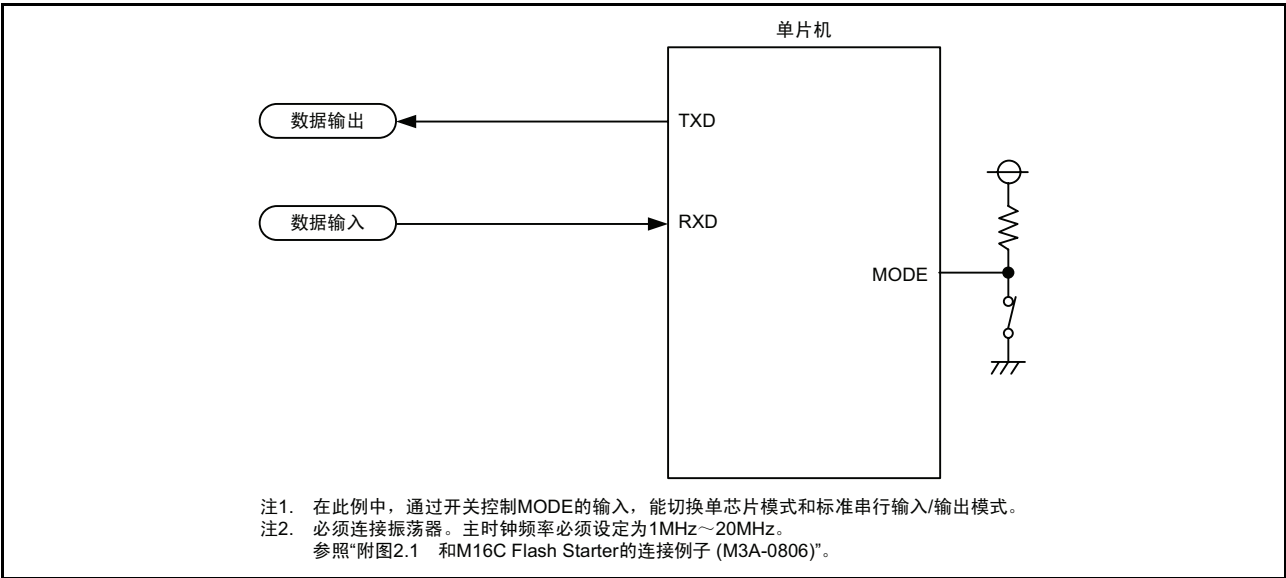


图 20.18 使用标准串行输入 / 输出模式 2 时的引脚处理例子

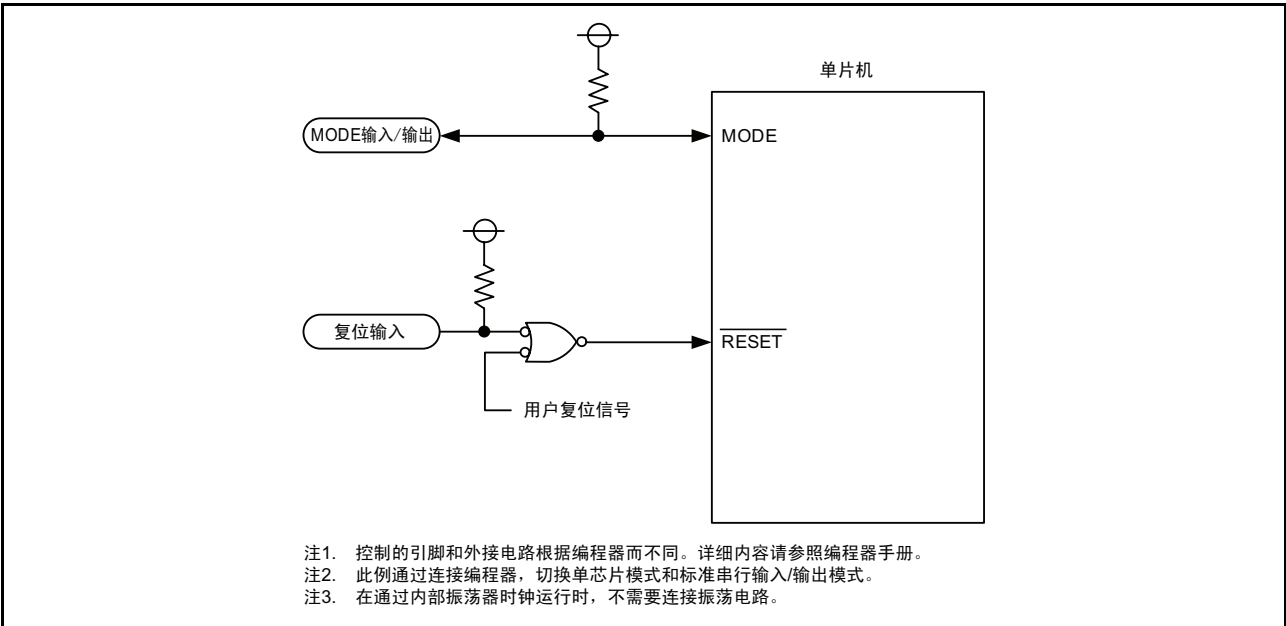


图 20.19 使用标准串行输入 / 输出模式 3 时的引脚处理例子

20.6 并行输入 / 输出模式

并行输入 / 输出模式是将操作内部闪存（读、编程和擦除等）所需的软件命令、地址和数据并行进行输入 / 输出的模式。

必须使用与本单片机对应的并行编程器。有关并行编程器请向各厂家询问，有关并行编程器的操作方法参照并行编程器的用户手册。

能在并行输入 / 输出模式中改写如图 20.1 和图 20.2 所示的用户 ROM 区。

20.6.1 ROM 码保护功能

ROM 码保护是禁止读和改写闪存的功能（参照“20.3 闪存改写的禁止功能”）。

20.7 闪存使用时的注意事项

20.7.1 CPU 改写模式

20.7.1.1 运行速度

在进入 CPU 改写模式（EW0 模式）前，必须通过 CM0 寄存器的 CM06 位、CM1 寄存器的 CM16 ~ CM17 位将 CPU 时钟设定在小于等于 5MHz。

EW1 模式不需要此注意事项。

20.7.1.2 使用禁止指令

在 EW0 模式中，因为以下的指令参照闪存内的数据，所以不能使用：

UND 指令、INTO 指令、BRK 指令

20.7.1.3 中断

EW0 模式时的中断如表 20.9、EW1 模式时的中断如表 20.10 所示。

表 20.9 EW0 模式时的中断

模式	状态	在接受可屏蔽的中断请求时	在接受看门狗定时器、振荡停止检测、电压监视 2 的中断请求时
EW0	自动擦除中	通过将向量分配到 RAM 后可使用。	如果接受中断请求，就立即强制停止自动擦除或者自动编程，复位闪存。在一定时间后重新启动闪存，然后开始中断处理。 因为强制停止，可能从自动擦除中的块或者自动编程中的地址不能读取正常值，所以必须在重新启动闪存后再次执行自动擦除，并确认正常结束。 因为看门狗定时器即使在命令运行中也不停止，所以有可能产生中断请求。必须定期初始化看门狗定时器。
	自动编程		

注 1. 因为地址匹配中断的向量被分配在 ROM 中，所以不能在执行命令中使用。

注 2. 因为给块 0 分配了固定向量，所以不能在自动擦除块 0 中使用非屏蔽中断。

表 20.10 EW1 模式的中断

模式	状态	在接受可屏蔽的中断请求时	在接受看门狗定时器、振荡停止检测、电压监视 2 的中断请求时
EW1	自动擦除中 (擦除挂起功能有效)	在经过 td(SR-SUS) 时间后, 停止自动擦除, 执行中断处理。在结束中断处理后, 能通过将 FMR4 寄存器的 FMR41 位清 “0” (重新启动擦除), 重新开始自动擦除。	如果接受中断请求, 就立即强制停止自动擦除或者自动编程, 复位闪存。在一定时间后重新启动闪存, 然后开始中断处理。 因为强制停止, 可能从自动擦除中的块或者自动编程中的地址不能读取正常值, 所以必须在重新启动闪存后再次执行自动擦除, 并确认正常结束。因为看门狗定时器即使在命令运行中也不停止, 所以有可能产生中断请求。必须使用擦除挂起功能定期初始化看门狗定时器。
	自动擦除中 (擦除挂起功能无效)	优先自动擦除, 让中断请求等待。在自动擦除结束后, 执行中断处理。	
	自动编程中 (编程挂起功能有效)	在经过 td(SR-SUS) 时间后, 停止自动编程, 执行中断处理。在中断处理结束后, 能通过将 FMR4 寄存器的 FMR42 位清 “0” (重新启动编程), 重新开始自动编程。	
	自动编程中 (编程挂起功能无效)	优先自动编程, 让中断请求等待。在自动编程结束后, 执行中断处理。	

注 1. 因为地址匹配中断的向量被分配在 ROM 中, 所以不能在执行命令中使用。

注 2. 因为给块 0 分配了固定向量, 所以不能在自动擦除块 0 中使用非屏蔽中断。

20.7.1.4 存取方法

在将 FMR01 位、FMR02 位、FMR11 位置 “1” 时, 必须在给对象位写 “0” 后连续写 “1”。另外, 在写入 “0” 后到写入 “1” 前, 不能产生中断。

20.7.1.5 用户 ROM 区的改写

如果在使用 EW0 模式对保存改写控制程序的块进行改写中途电源电压下降, 改写控制程序就不能被正常改写, 所以此后就可能无法改写闪存。此块的改写必须使用标准串行输入 / 输出模式。

20.7.1.6 编程

不能对已编程的地址进行追加写入。

20.7.1.7 转移到停止模式、等待模式

不能在擦除挂起中转移到停止、等待模式。

21. 电特性

表 21.1 绝对最大额定值

符号	项目	测定条件	额定值	单位
V_{CC}/AV_{CC}	电源电压		$-0.3 \sim 6.5$	V
V_I	输入电压		$-0.3 \sim V_{CC}+0.3$	V
V_O	输出电压		$-0.3 \sim V_{CC}V_{CC}+0.3$	V
P_d	功耗	$-40^{\circ}\text{C} \leq T_{opr} \leq 85^{\circ}\text{C}$	300	mW
		$85^{\circ}\text{C} < T_{opr} \leq 125^{\circ}\text{C}$	125	mW
T_{opr}	工作环境温度		$-40 \sim 85(\text{J 版})/-40 \sim 125(\text{K 版})$	$^{\circ}\text{C}$
T_{stg}	保存温度		$-65 \sim 150$	$^{\circ}\text{C}$

表 21.2 推荐运行条件

符号	项目		测定条件	规格值			单位
				最小	典型	最大	
V_{CC}/AV_{CC}	电源电压			2.7	—	5.5	V
V_{SS}/AV_{SS}	电源电压			—	0	—	V
V_{IH}	“H”电平输入电压			$0.8V_{CC}$	—	V_{CC}	V
V_{IL}	“L”电平输入电压			0	—	$0.2V_{CC}$	V
$I_{OH}(\text{sum})$	“H”电平输出总峰值电流	全部引脚的 $I_{OH}(\text{peak})$ 的总和		—	—	-60	mA
$I_{OH}(\text{peak})$	“H”电平输出峰值电流			—	—	-10	mA
$I_{OH}(\text{avg})$	“H”电平输出平均电流			—	—	-5	mA
$I_{OL}(\text{sum})$	“L”电平输出总峰值电流	全部引脚的 $I_{OL}(\text{peak})$ 的总和		—	—	60	mA
$I_{OL}(\text{peak})$	“L”电平输出峰值电流			—	—	10	mA
$I_{OL}(\text{avg})$	“L”电平输出平均电流			—	—	5	mA
$f(\text{XIN})$	XIN 时钟输入振荡频率		$3.0\text{V} \leq V_{CC} \leq 5.5\text{V}$ $-40^{\circ}\text{C} \leq T_{opr} \leq 85^{\circ}\text{C}$	0	—	20	MHz
			$3.0\text{V} \leq V_{CC} \leq 5.5\text{V}$ $-40^{\circ}\text{C} \leq T_{opr} \leq 125^{\circ}\text{C}$	0	—	16	MHz
			$2.7\text{V} \leq V_{CC} < 3.0\text{V}$	0	—	10	MHz
—	系统时钟	OCD2= “0” 选择 XIN 时钟时	$3.0\text{V} \leq V_{CC} \leq 5.5\text{V}$ $-40^{\circ}\text{C} \leq T_{opr} \leq 85^{\circ}\text{C}$	0	—	20	MHz
			$3.0\text{V} \leq V_{CC} \leq 5.5\text{V}$ $-40^{\circ}\text{C} \leq T_{opr} \leq 125^{\circ}\text{C}$	0	—	16	MHz
			$2.7\text{V} \leq V_{CC} < 3.0\text{V}$	0	—	10	MHz
		OCD2= “1” 选择内部振荡器时钟时	FRA01= “0” 选择低速内部振荡器时	—	125	—	kHz
			FRA01= “1” 选择高速内部振荡器时 $3.0\text{V} \leq V_{CC} \leq 5.5\text{V}$ $-40^{\circ}\text{C} \leq T_{opr} \leq 85^{\circ}\text{C}$	—	—	20	MHz
			FRA01= “1” 选择高速内部振荡器时	—	—	10	MHz

注 1. 在没有指定条件时, $V_{CC}=2.7\text{V} \sim 5.5\text{V}$ 、 $T_{opr}=-40^{\circ}\text{C} \sim 85^{\circ}\text{C}(\text{J 版})/-40^{\circ}\text{C} \sim 125^{\circ}\text{C}(\text{K 版})$ 。

注 2. 输出平均电流是 100ms 期间的平均值。

表 21.3 A/D 转换器特性

符号	项目		测定条件	规格值			单位
				最小	典型	最大	
—	分辨率		Vref=AV _{CC}	—	—	10	Bit
—	绝对精度	10 位模式	φAD=10MHz、Vref=AV _{CC} =5.0V	—	—	±3	LSB
		8 位模式	φAD=10MHz、Vref=AV _{CC} =5.0V	—	—	±2	LSB
		10 位模式	φAD=10MHz、Vref=AV _{CC} =3.3V	—	—	±5	LSB
		8 位模式	φAD=10MHz、Vref=AV _{CC} =3.3V	—	—	±2	LSB
R _{ladder}	梯形电阻		Vref=AV _{CC}	10	—	40	kΩ
t _{conv}	转换时间	10 位模式	φAD=10MHz、Vref=AV _{CC} =5.0V	3.3	—	—	μs
		8 位模式	φAD=10MHz、Vref=AV _{CC} =5.0V	2.8	—	—	μs
Vref	基准电压			2.7	—	AV _{CC}	V
V _{IA}	模拟输入电压 (注 2)			0	—	AV _{CC}	V
—	A/D 运行时钟频率	无采样 & 保持		0.25	—	10	MHz
		有采样 & 保持		1	—	10	MHz

注 1. 在没有指定条件时，V_{CC}=AV_{CC}=2.7V ~ 5.5V、Topr=−40°C ~ 85°C(J 版)/−40°C ~ 125°C(K 版)。

注 2. 如果模拟输入电压超过基准电压，A/D 转换结果就在 10 位模式时为 3FFh，在 8 位模式时为 FFh。

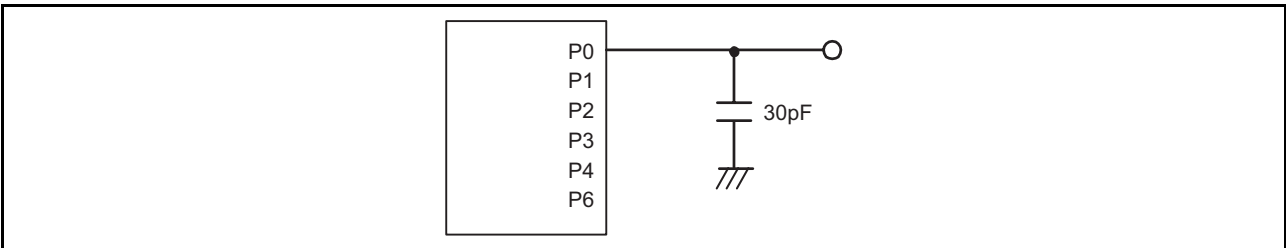


图 21.1 端口 P0 ~ P4、P6 的时序测定电路

表 21.4 闪存（可编程 ROM）的电特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
—	编程 / 擦除次数（注 2）	R8C/20 群	100（注 3）	—	—	次
		R8C/21 群	1000（注 3）	—	—	次
—	字节编程时间		—	50	400	μs
—	块擦除时间		—	0.4	9	s
t _d (SR-SUS)	挂起的转移时间		—	—	97+CPU 时钟 ×6 个周期	μs
—	从开始或者重新开始擦除到下一次挂起请求的时间		650	—	—	μs
—	从开始或者重新开始编程到下一次挂起请求的间隔		0	—	—	ns
—	从挂起到重新开始编程 / 擦除的时间		—	—	3+CPU 时钟 ×4 个周期	μs
—	编程、擦除电压		2.7	—	5.5	V
—	读电压		2.7	—	5.5	V
—	编程、擦除时的温度		0	—	60	°C
—	数据保持时间（注 7）	环境温度 =55°C	20	—	—	年

注 1. 在没有指定条件时， $V_{CC}=2.7V \sim 5.5V$ 、 $T_{opr}=-40^{\circ}C \sim 85^{\circ}C$ (J 版) / $-40^{\circ}C \sim 125^{\circ}C$ (K 版)。

注 2. 编程 / 擦除次数的定义

编程 / 擦除次数是每块的擦除次数。

在编程 / 擦除次数为 n 次 (n=100、1,000 次) 的情况下，能逐块分别擦除 n 次。

例如，对于 1K 字节的块 A，如果分 1,024 次将 1 字节写到各自不同的地址后擦除该块，编程 / 擦除次数就增加 1 次。但是，对于 1 次擦除，不能对相同地址进行多次编程（禁止重写）。

注 3. 是保证编程 / 擦除后的全部电特性的次数（保证范围为 1 ~ “最小”值）。

注 4. 在进行多次改写的系统中，作为减少实际的改写次数的方法，按顺序移动写地址等，尽量不留空白区，在编程（写）后进行 1 次擦除。

例如，在对一组 16 字节进行编程时，能通过最多编程 128 组后进行 1 次擦除，减少实际的改写次数。建议按块保存擦除次数等信息，并设定限制次数。

注 5. 如果在块擦除中产生擦除错误，就必须至少执行 3 次清除状态寄存器命令 → 块擦除命令，直到不产生擦除错误为止。

注 6. 有关故障率，请向瑞萨科技销售部门及特约经销商询问。

注 7. 包括不外加电源电压或时钟的时间。

表 21.5 闪存（数据闪存 块 A、块 B）的电特性（注 4）

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
—	编程 / 擦除次数（注 2）		10,000（注 3）	—	—	次
—	字节编程时间 （编程 / 擦除次数 ≤ 1,000 次）		—	50	400	μs
—	字节编程时间 （编程 / 擦除次数 > 1,000 次）		—	65	—	μs
—	块擦除时间 （编程 / 擦除次数 ≤ 1,000 次）		—	0.2	9	s
—	块擦除时间 （编程 / 擦除次数 > 1,000 次）		—	0.3	—	s
td(SR-SUS)	挂起的转移时间		—	—	97+CPU 时钟 ×6 个周期	μs
—	从开始或者重新开始擦除到下一次挂起请求的时间		650	—	—	μs
—	从开始或者重新开始编程到下一次挂起请求的间隔		0	—	—	ns
—	从挂起到重新开始编程 / 擦除的时间		—	—	3+CPU 时钟 ×4 个周期	μs
—	编程、擦除电压		2.7	—	5.5	V
—	读电压		2.7	—	5.5	V
—	编程、擦除时的温度		−40	—	85（注 8）	°C
—	数据保持时间（注 9）	环境温度 =55°C	20	—	—	年

- 注 1. 在没有指定条件时， $V_{CC}=2.7V \sim 5.5V$ 、 $Topr=-40^{\circ}C \sim 85^{\circ}C$ (J 版) / $-40^{\circ}C \sim 125^{\circ}C$ (K 版)。
- 注 2. 编程 / 擦除次数的定义
编程 / 擦除次数是每块的擦除次数。
在编程 / 擦除次数为 n 次（n=10,000 次）的情况下，能逐块分别擦除 n 次。
例如，对于 1K 字节的块 A，如果分 1,024 次将 1 字节写到各自不同的地址后擦除该块，编程 / 擦除次数就增加 1 次。但是，对于 1 次擦除，不能对相同地址进行多次编程（禁止重写）。
- 注 3. 是保证编程 / 擦除后的全部电特性的次数（保证范围为 1 ~ “最小”值）。
- 注 4. 这是编程 / 擦除次数超过 1,000 次时的块 A、块 B 的规格。1,000 次之前的字节编程时间和可编程 ROM 相同。
- 注 5. 在进行多次改写的系统中，作为减少实际的改写次数的方法，按顺序移动写地址等，尽量不留空区，在编程（写）后进行 1 次擦除。例如，在对一组 16 字节进行编程时，能通过最多编程 128 组后进行 1 次擦除，减少实际的改写次数。并且，如果让块 A 和块 B 的擦除次数均一，就能更加有效地减少改写次数。建议按块保存擦除次数等信息，并设定限制次数。
- 注 6. 如果在块擦除中产生擦除错误，就必须至少执行 3 次清除状态寄存器命令 → 块擦除命令，直到不产生擦除错误为止。
- 注 7. 有关故障率，请向瑞萨科技销售部门及特约经销商询问。
- 注 8. K 版为 125°C。
- 注 9. 包括不外加电源电压或时钟的时间。

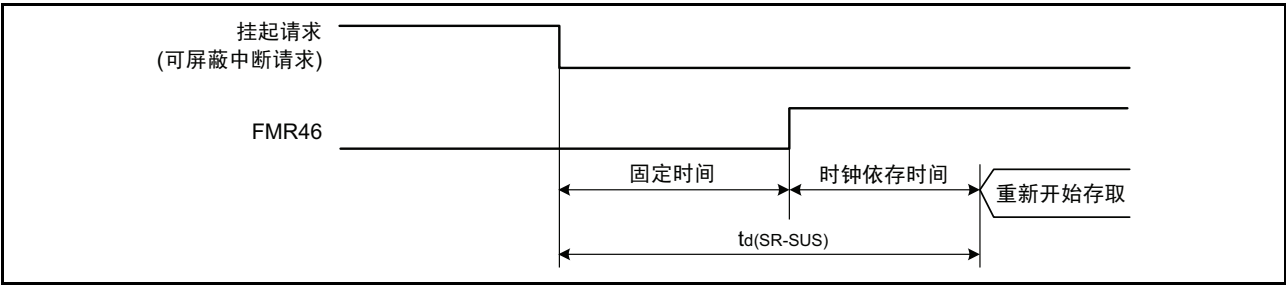


图 21.2 挂起的转移时间

表 21.6 电压检测 1 电路的电特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
V_{det1}	电压检测电平（注 3、注 4）		2.70	2.85	3.00	V
$t_d(V_{det1-A})$	电压监视 1 复位产生时间（注 5）		—	40	200	μs
—	电压检测电路的自消耗电流	VCA26=1、 $V_{CC}=5.0V$	—	0.6	—	μA
$t_d(E-A)$	电压检测电路开始运行为止的等待时间（注 2）		—	—	100	μs
V_{ccmin}	单片机的工作电压的最小值		2.70	—	—	V

注 1. 测定条件是 $V_{CC}=2.7V \sim 5.5V$ 、 $T_{opr}=-40^{\circ}C \sim 85^{\circ}C$ (J 版)/ $-40^{\circ}C \sim 125^{\circ}C$ (K 版)。

注 2. 表示在将 VCA2 寄存器的 VCA26 位清“0”后再次置“1”时，电压检测电路开始运行为止所需的时间。

注 3. 变为 $V_{det2} > V_{det1}$ 。

注 4. 表示电源下降时的电压检测电平。电源上升时的检测电平的值比电源下降时的电压检测电平的值大 0.1V 左右。

注 5. 表示在 V_{CC} 下降时，从通过 V_{det1} 开始到产生电压监视 1 复位的时间。使用数字滤波器时，在此时间内追加数字滤波器的采样时间。使用电压监视 1 复位时，必须在从通过电源下降时的 V_{det1} 开始到 $V_{CC}=2.0V$ 的期间内确保此时间。

表 21.7 电压检测 2 电路的电特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
V_{det2}	电压检测电平（注 4）		3.3	3.6	3.9	V
$t_d(V_{det2-A})$	电压监视 2 复位 / 中断请求产生时间（注 2、5）		—	40	200	μs
—	电压检测电路的自消耗电流	VCA27=1、 $V_{CC}=5.0V$	—	0.6	—	μA
$t_d(E-A)$	电压检测电路开始运行为止的等待时间（注 3）		—	—	100	μs

注 1. 测定条件是 $V_{CC}=2.7V \sim 5.5V$ 、 $T_{opr}=-40^{\circ}C \sim 85^{\circ}C$ (J 版)/ $-40^{\circ}C \sim 125^{\circ}C$ (K 版)。

注 2. 表示从通过 V_{det2} 时到产生电压监视 2 中断请求的时间。

注 3. 表示在将 VCA2 寄存器的 VCA27 位清“0”后再次置“1”时，电压检测电路开始运行为止所需的时间。

注 4. 变为 $V_{det2} > V_{det1}$ 。

注 5. 使用数字滤波器时，必须在此时间内追加数字滤波器的采样时间。使用电压监视 2 复位时，必须在从通过电源下降时的 V_{det2} 开始到 $V_{CC}=2.0$ 的期间内确保此时间。

表 21.8 上电复位电路、电压监视 1 复位的电特性（注 3）

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
V_{por1}	上电复位的有效电压（注 4）		—	—	0.1	V
V_{por2}	上电复位或者电压监视 1 复位的有效电压		0	—	V_{det1}	V
trth	外部电源 V_{CC} 倾斜上升	$V_{CC} \leq 3.6V$	20（注 2）	—	—	mV/msec
		$V_{CC} > 3.6V$	20（注 2）	—	2000	mV/msec

- 注 1. 在没有指定时，测定条件为 $Topr = -40^{\circ}C \sim 85^{\circ}C$ (J 版) / $-40^{\circ}C \sim 125^{\circ}C$ (K 版)。
- 注 2. 如果在 $V_{por2} \geq 1.0V$ 时，则不需要此条件（外部电源 V_{CC} 倾斜上升的最小规格值）。
- 注 3. 在使用上电复位时，必须将 OFS 寄存器的 LVD1ON 位清“0”、VW1C 寄存器的 VW1C0 位和 VM1C6 位置“1”、VCA2 寄存器的 VCA26 位置“1”，并使电压监视 1 复位有效。
- 注 4. $t_{w(por1)}$ 是将外部电源 V_{CC} 电压保持在不超过有效电压 (V_{por1})，并使上电复位有效所需的时间。电源最初启动时，在 $-20^{\circ}C \leq Topr \leq 125^{\circ}C$ 环境下，必须将 $t_{w(por1)}$ 保持在不低于 30s，在 $-40^{\circ}C \leq Topr < -20^{\circ}C$ 环境下，必须将 $t_{w(por1)}$ 保持在不低于 3000s。

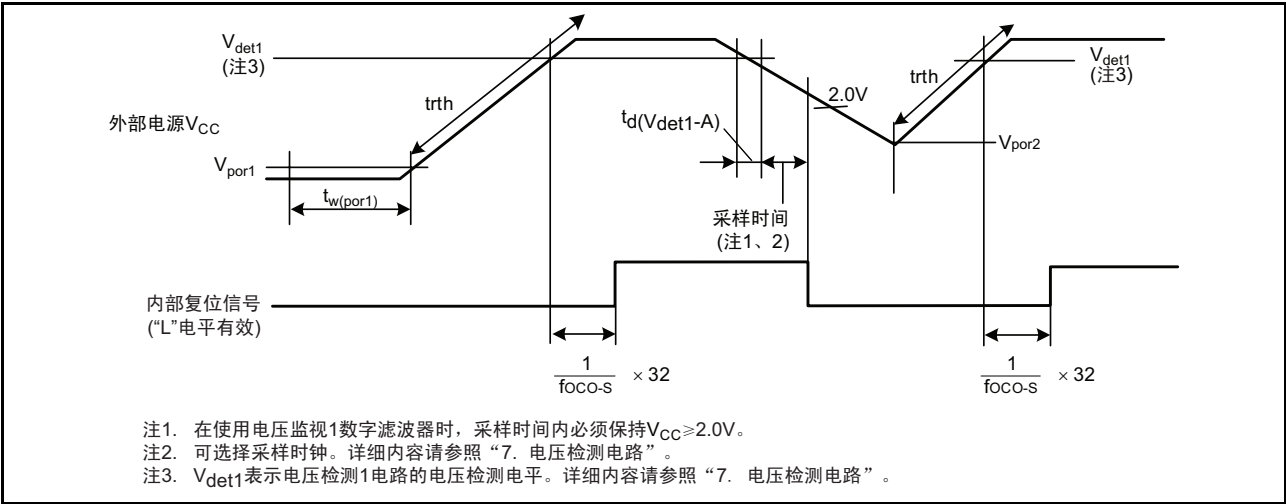


图 21.3 上电复位电路的电特性

表 21.9 高速内部振荡器振荡电路的电特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
fOCO40M	高速内部振荡器振荡频率的温度、电压依赖性	$V_{CC}=4.75V \sim 5.25V$ $0^{\circ}C \leq Topr \leq 60^{\circ}C$ (注 2)	39.2	40	40.8	MHz
		$V_{CC}=3.0V \sim 5.5V$ $-20^{\circ}C \leq Topr \leq 85^{\circ}C$ (注 2)	38.8	40	41.2	MHz
		$V_{CC}=3.0V \sim 5.5V$ $-40^{\circ}C \leq Topr \leq 85^{\circ}C$ (注 2)	38.4	40	41.6	MHz
		$V_{CC}=3.0V \sim 5.5V$ $-40^{\circ}C \leq Topr \leq 125^{\circ}C$ (注 2)	38.0	40	42.0	MHz
		$V_{CC}=2.7V \sim 5.5V$ $-40^{\circ}C \leq Topr \leq 125^{\circ}C$ (注 2)	37.6	40	42.4	MHz
—	复位解除时的 FRA1 寄存器的值		08h	40	F7h	—
—	高速内部振荡器振荡频率的调整单位	将 FRA1 寄存器 (复位解除时的值) 调整为 -1 位	—	+0.3	—	MHz
—	振荡稳定时间		—	10	100	μs
—	振荡时的自消耗电流	$V_{CC}=5.0V$ 、 $Topr=25^{\circ}C$	—	600	—	μA

注 1. 在没有指定条件时, $V_{CC}=2.7V \sim 5.5V$ 、 $Topr = -40^{\circ}C \sim 85^{\circ}C$ (J 版)/ $-40^{\circ}C \sim 125^{\circ}C$ (K 版)。

注 2. 表示 FRA1 寄存器在复位解除时的规格值。

表 21.10 低速内部振荡器振荡电路的电特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
fOCO-S	低速内部振荡器的振荡频率		40	125	250	kHz
—	振荡稳定时间		—	10	100	μs
—	振荡时的自身消耗电流	$V_{CC}=5.0V$ 、 $Topr=25^{\circ}C$	—	15	—	μA

注 1. 在没有指定条件时, $V_{CC}=2.7V \sim 5.5V$ 、 $Topr = -40^{\circ}C \sim 85^{\circ}C$ (J 版)/ $-40^{\circ}C \sim 125^{\circ}C$ (K 版)。

表 21.11 电源电路的时序特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
$t_{d(P-R)}$	接通电源时内部电源的稳定时间 (注 2)		1	—	2000	μs
$t_{d(R-S)}$	STOP 解除时间 (注 3)		—	—	150	μs

注 1. 测定条件是 $V_{CC}=2.7V \sim 5.5V$ 、 $Topr = -40^{\circ}C \sim 85^{\circ}C$ (J 版)/ $-40^{\circ}C \sim 125^{\circ}C$ (K 版)。

注 2. 是在接通电源时内部电源产生电路稳定为止的等待时间。

注 3. 是从接受解除停止模式的中断后到开始供给系统时钟的时间。

表 21.12 带片选的时钟同步串行 I/O 的时序必要条件（注 1）

符号	项目		测定条件	规格值			单位
				最小	典型	最大	
t_{SUCYC}	SSCK 时钟的周期时间			4	—	—	t_{CYC} (注 2)
t_{HI}	SSCK 时钟的“H”电平脉宽			0.4	—	0.6	t_{SUCYC}
t_{LO}	SSCK 时钟的“L”电平脉宽			0.4	—	0.6	t_{SUCYC}
t_{RISE}	SSCK 时钟的上升时间	主器件		—	—	1	t_{CYC} (注 2)
		从属器件		—	—	1	μs
t_{FALL}	SSCK 时钟的下降时间	主器件		—	—	1	t_{CYC} (注 2)
		从属器件		—	—	1	μs
t_{SU}	SSO、SSI 数据输入的准备时间			100	—	—	ns
t_H	SSO、SSI 数据输入的保持时间			1	—	—	t_{CYC} (注 2)
t_{LEAD}	$\overline{SCS}$ 准备时间	从属器件		$1t_{CYC}+50$	—	—	ns
t_{LAG}	$\overline{SCS}$ 保持时间	从属器件		$1t_{CYC}+50$	—	—	ns
t_{OD}	SSO、SSI 数据输出的延迟时间			—	—	1	t_{CYC} (注 2)
t_{SA}	SSI 从属器件的存取时间			—	—	$1t_{CYC}+100$	ns
t_{OR}	SSI 从属器件的释放时间			—	—	$1t_{CYC}+100$	ns

注 1. 在没有指定条件时, $V_{CC}=2.7V \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40^{\circ}C \sim 85^{\circ}C$ (J 版)/ $-40^{\circ}C \sim 125^{\circ}C$ (K 版)。

注 2. $1t_{CYC}=1/f_1(s)$

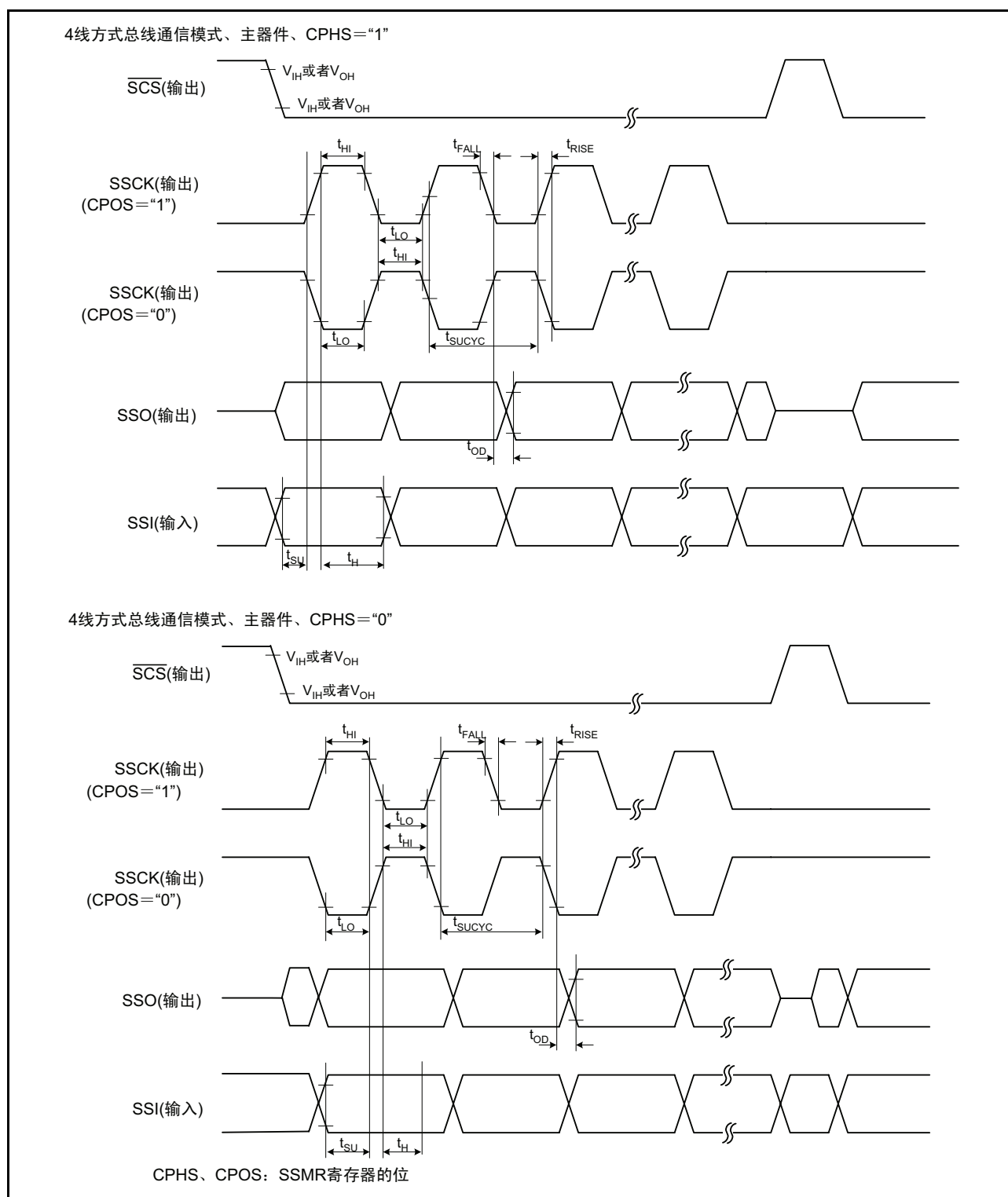


图 21.4 带片选的时钟同步串行 I/O 的输入 / 输出时序 (主器件)

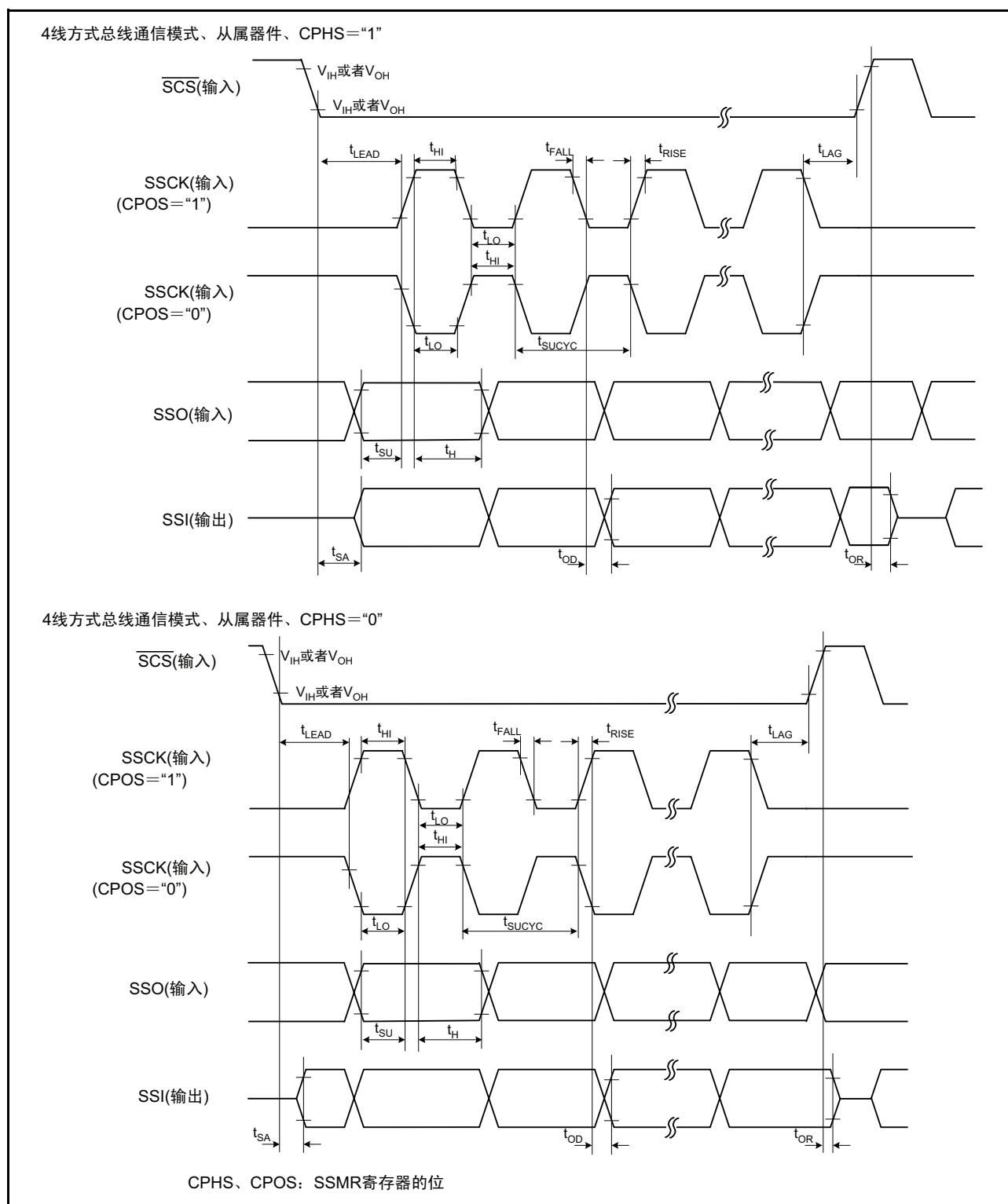


图 21.5 带片选的时钟同步串行 I/O 的输入 / 输出时序 (从属器件)

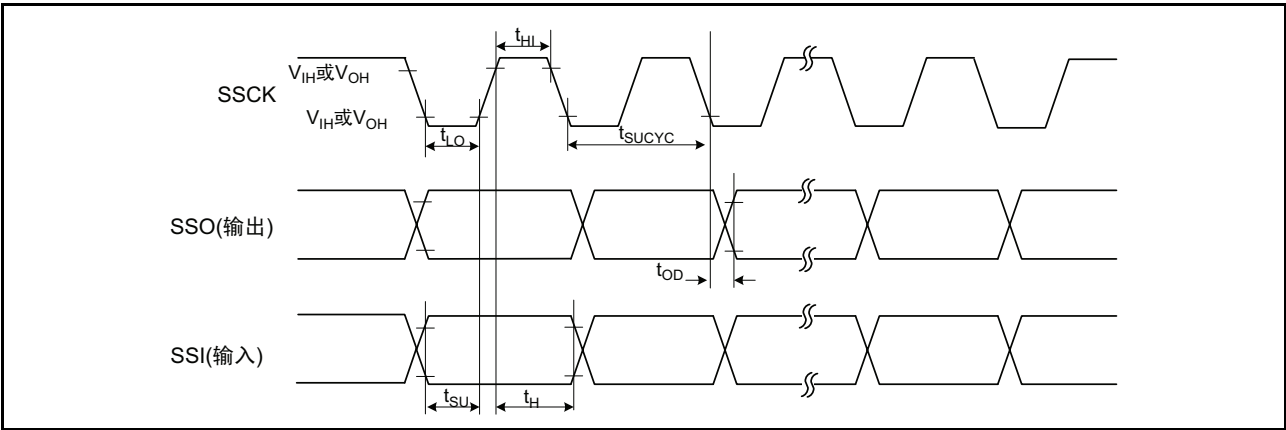


图 21.6 带片选的时钟同步串行 I/O 的输入 / 输出时序（时钟同步通信模式）

表 21.13 I²C 总线接口的时序必要条件（注 1）

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
t_{SCL}	SCL 输入的周期时间		$12t_{CYC}+600$ （注 2）	—	—	ns
t_{SCLH}	SCL 输入“H”电平脉宽		$3t_{CYC}+300$ （注 2）	—	—	ns
t_{SCLL}	SCL 输入“L”电平脉宽		$5t_{CYC}+500$ （注 2）	—	—	ns
t_{sf}	SCL、SDA 输入的下降时间		—	—	300	ns
t_{SP}	SCL、SDA 输入尖峰脉冲的消除时间		—	—	$1t_{CYC}$ （注 2）	ns
t_{BUF}	SDA 输入的总线自由时间		$5t_{CYC}$ （注 2）	—	—	ns
t_{STAH}	开始条件输入的保持时间		$3t_{CYC}$ （注 2）	—	—	ns
t_{STAS}	重新发送开始条件输入的准备时间		$3t_{CYC}$ （注 2）	—	—	ns
t_{STOP}	停止条件输入的准备时间		$3t_{CYC}$ （注 2）	—	—	ns
t_{SDAS}	数据输入的准备时间		$1t_{CYC}+20$ （注 2）	—	—	ns
t_{SDAH}	数据输入的保持时间		0	—	—	ns

注 1. 在没有指定条件时， $V_{CC}=2.7V \sim 5.5V$ 、 $V_{SS}=0V$ 、 $Topr=-40^{\circ}C \sim 85^{\circ}C$ (J 版)/ $-40^{\circ}C \sim 125^{\circ}C$ (K 版)。

注 2. $1t_{CYC}=1/f_1(s)$ 。

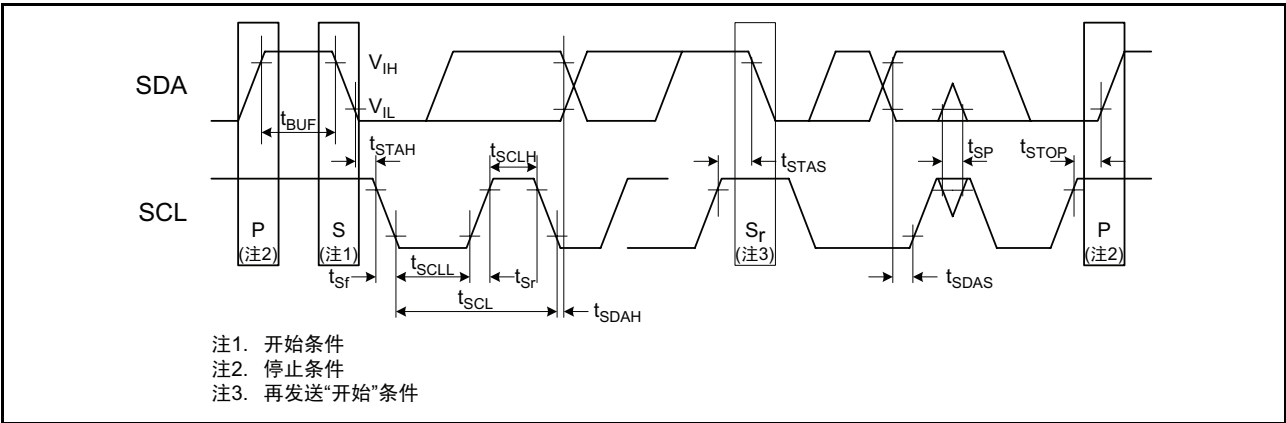


图 21.7 I²C 总线接口的输入 / 输出时序

表 21.14 电特性 (1) [$V_{CC}=5V$]

符号	项目		测定条件		规格值			单位
					最小	典型	最大	
V_{OH}	“H” 电平输出 电压	XOUT 以外	$I_{OH}=-5mA$		$V_{CC}-2.0$	—	V_{CC}	V
			$I_{OH}=-200\mu A$		$V_{CC}-0.3$	—	V_{CC}	V
		XOUT	驱动能力 HIGH	$I_{OH}=-1mA$	$V_{CC}-2.0$	—	V_{CC}	V
			驱动能力 LOW	$I_{OH}=-500\mu A$	$V_{CC}-2.0$	—	V_{CC}	V
V_{OL}	“L” 电平输出 电压	XOUT 以外	$I_{OL}=5\mu A$		—	—	2.0	V
			$I_{OL}=200\mu A$		—	—	0.45	V
		XOUT	驱动能力 HIGH	$I_{OL}=1mA$	—	—	2.0	V
			驱动能力 LOW	$I_{OL}=500\mu A$	—	—	2.0	V
V_{T+}, V_{T-}	滞后	$\overline{INT0}$ 、 $\overline{INT1}$ 、 $\overline{INT2}$ 、 $\overline{INT3}$ 、 $\overline{KI0}$ 、 $\overline{KI1}$ 、 $\overline{KI2}$ 、 $\overline{KI3}$ 、 $\overline{TRAIO}$ 、 $\overline{RXD0}$ 、 $\overline{RXD1}$ 、 $\overline{CLK0}$ 、 $\overline{SSI}$ 、 $\overline{SCL}$ 、 $\overline{SDA}$ 、 $\overline{SSO}$			0.1	0.5	—	V
		$\overline{RESET}$			0.1	1.0	—	V
I_{IH}	“H” 电平输入电流		$V_I=5V$ 、 $V_{CC}=5V$		—	—	5.0	μA
I_{IL}	“L” 电平输入电流		$V_I=0V$ 、 $V_{CC}=5V$		—	—	-5.0	μA
R_{PULLUP}	上拉电阻		$V_I=0V$ 、 $V_{CC}=5V$		30	50	167	$k\Omega$
R_{fXIN}	反馈电阻	XIN			—	1.0	—	$M\Omega$
V_{RAM}	RAM 保持电压		停止模式时		2.0	—	—	V

注 1. 在没有指定条件时, $V_{CC}=4.2V \sim 5.5V$ 、 $T_{opr} = -40^{\circ}C \sim 85^{\circ}C$ (J 版) / $-40^{\circ}C \sim 125^{\circ}C$ (K 版)、 $f(XIN)=20MHz$ 。

表 21.15 电特性 (2) [$V_{CC}=5V$](在没有指定条件时, $T_{opr} = -40^{\circ}C \sim 85^{\circ}C$ (J 版) $-40^{\circ}C \sim 125^{\circ}C$ (K 版))

符号	项目	测定条件		规格值			单位
				最小	典型	最大	
I _{CC}	电源电流 (V _{CC} =3.3V ~ 5.5V) 在单芯片模式，输出引脚为开路，其他引脚为 V _{SS}	高速时钟模式	XIN=20MHz（方波） 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	11.0	22.0	mA
			XIN=16MHz（方波） 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	8.8	17.6	mA
			XIN=10MHz（方波） 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	5.8	—	mA
			XIN=20MHz（方波） 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	5.0	—	mA
			XIN=16MHz（方波） 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	3.8	—	mA
			XIN=10MHz（方波） 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	2.8	—	mA
		高速内部振荡器模式	XIN 时钟停止 高速内部振荡器的振荡 fOCO=10MHz 低速内部振荡器的振荡 =125kHz 无分频	—	5.8	11.6	mA
			XIN 时钟停止 高速内部振荡器的振荡 fOCO=10MHz 低速内部振荡器的振荡 =125kHz 8 分频	—	2.5	—	mA
		低速内部振荡器模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频 FMR47= “1”	—	143	286	μA
		等待模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz WAIT 指令执行中 外围时钟运行 VCA20= “0” VCA26=VCA27= “0”	—	53	106	μA
			XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz WAIT 指令执行中 外围时钟运行 VCA20= “0” VCA26=VCA27= “0”	—	38	76	μA
		停止模式 Topr=25°C	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10= “1” 外围时钟停止 VCA26=VCA27= “0”	—	0.8	3.0	μA
		停止模式 Topr=85°C	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10= “1” 外围时钟停止 VCA26=VCA27= “0”	—	1.2	—	μA
		停止模式 Topr=125°C	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10= “1” 外围时钟停止 VCA26=VCA27= “0”	—	4.0	—	μA

时序必要条件 [$V_{CC}=5V$] (在没有指定条件时, $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25^{\circ}C$)

表 21.16 XIN 输入

符号	项目	规格值		单位
		最小	最大	
$t_{C(XIN)}$	XIN 输入的周期时间	50	—	ns
$t_{WH(XIN)}$	XIN 输入 “H” 电平脉宽	25	—	ns
$t_{WL(XIN)}$	XIN 输入 “L” 电平脉宽	25	—	ns

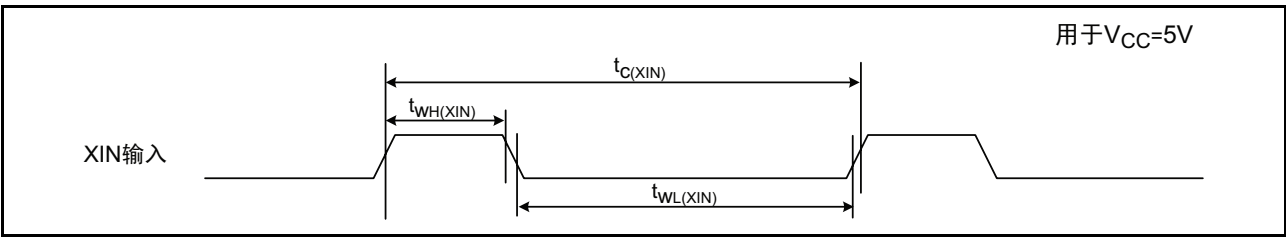


图 21.8 $V_{CC}=5V$ 时的 XIN 输入时序

表 21.17 TRAIO 输入

符号	项目	规格值		单位
		最小	最大	
t_{CTRAIO}	TRAIO 输入的周期时间	100	—	ns
$t_{WH(TRAIO)}$	TRAIO 输入 “H” 电平脉宽	40	—	ns
$t_{WL(TRAIO)}$	TRAIO 输入 “L” 电平脉宽	40	—	ns

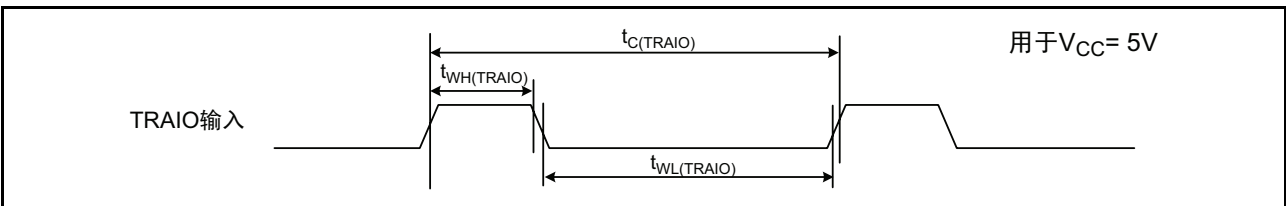


图 21.9 $V_{CC}=5V$ 时的 TRAIO 输入

表 21.18 串行接口

符号	项目	规格值		单位
		最小	最大	
$t_{C(CK)}$	CLK0 输入的周期时间	200	—	ns
$t_{W(CKH)}$	CLK0 输入 “H” 电平脉宽	100	—	ns
$t_{W(CKL)}$	CLK0 输入 “L” 电平脉宽	100	—	ns
$t_{d(C-Q)}$	TXDi 输出的延迟时间	—	50	ns
$t_{h(C-Q)}$	TXDi 保持时间	0	—	ns
$t_{su(D-C)}$	RXDi 输入的准备时间	50	—	ns
$t_{h(C-D)}$	RXDi 输入的保持时间	90	—	ns

$i=0 \sim 1$

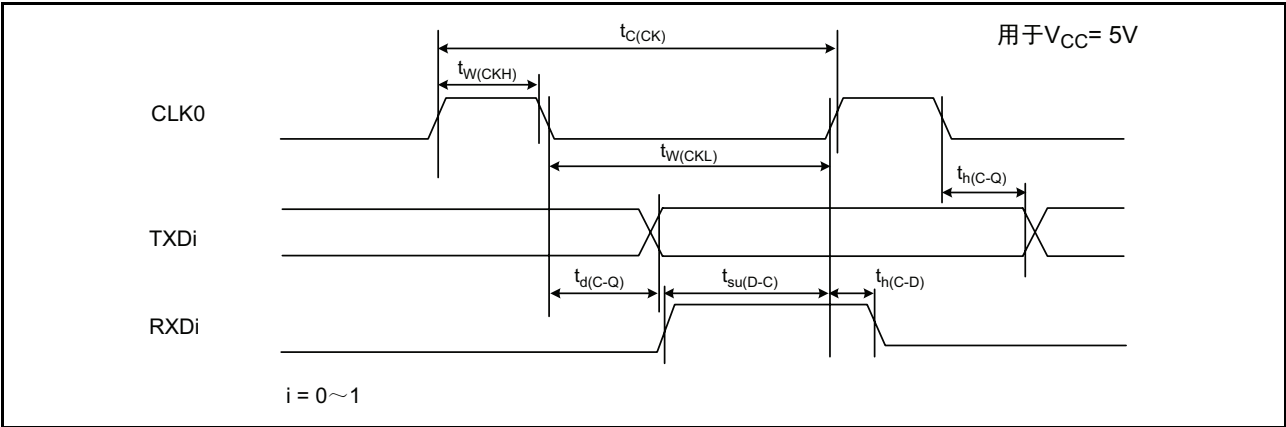


图 21.10 $V_{CC}=5V$ 时的串行接口时序

表 21.19 外部中断 $\overline{INTi}$ 输入 ($i=0 \sim 3$)

符号	项目	规格值		单位
		最小	最大	
$t_{W(INH)}$	$\overline{INTi}$ 输入 “H” 电平脉宽	250 (注 1)	—	ns
$t_{W(INL)}$	$\overline{INTi}$ 输入 “L” 电平脉宽	250 (注 2)	—	ns

注 1. 如果通过 $\overline{INTi}$ 输入滤波器的选择位选择有滤波器， $\overline{INTi}$ 输入 “H” 电平脉宽的最小值就为 “1/ 数字滤波器采样频率 $\times 3$ ” 和最小值中大的值。

注 2. 如果通过 $\overline{INTi}$ 输入滤波器的选择位选择有滤波器， $\overline{INTi}$ 输入 “L” 电平脉宽的最小值就为 “1/ 数字滤波器采样频率 $\times 3$ ” 和最小值中大的值。

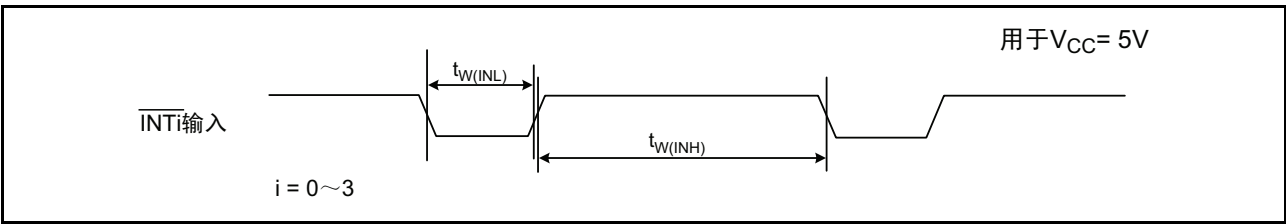


图 21.11 $V_{CC}=5V$ 时的外部中断 $\overline{INTi}$ 输入时序 ($i=0 \sim 3$)

表 21.20 电特性 (3) [$V_{CC}=3V$]

符号	项目		测定条件		规格值			单位
					最小	典型	最大	
V_{OH}	“H”电平输出电压	XOUT 以外	$I_{OH}=-1mA$		$V_{CC}-0.5$	—	V_{CC}	V
		XOUT	驱动能力 HIGH	$I_{OH}=-0.1mA$	$V_{CC}-0.5$	—	V_{CC}	V
			驱动能力 LOW	$I_{OH}=-50\mu A$	$V_{CC}-0.5$	—	V_{CC}	V
V_{OL}	“L”电平输出电压	XOUT 以外	$I_{OL}=1mA$		—	—	0.5	V
		XOUT	驱动能力 HIGH	$I_{OL}=0.1mA$	—	—	0.5	V
			驱动能力 LOW	$I_{OL}=50\mu A$	—	—	0.5	V
V_T+-V_T-	滞后	$\overline{INT0}$ 、 $\overline{INT1}$ 、 $\overline{INT2}$ 、 $\overline{INT3}$ 、 $\overline{KI0}$ 、 $\overline{KI1}$ 、 $\overline{KI2}$ 、 $\overline{KI3}$ 、TRAIO、 RXD0、RXD1、 CLK0、SSI、 SCL、SDA、 SSO			0.1	0.3	—	V
		$\overline{RESET}$			0.1	0.4	—	V
I_{IH}	“H”输入电流		$V_I=3V$ 、 $V_{CC}=3V$		—	—	4.0	μA
I_{IL}	“L”输入电流		$V_I=0V$ 、 $V_{CC}=3V$		—	—	-4.0	μA
R_{PULLUP}	上拉电阻		$V_I=0V$ 、 $V_{CC}=3V$		66	160	500	$k\Omega$
R_{fXIN}	反馈电阻	XIN			—	3.0	—	$M\Omega$
V_{RAM}	RAM 保持电压		停止模式时		2.0	—	—	V

注 1. 在没有指定条件时, $V_{CC}=2.7V \sim 3.3V$ 、 $T_{opr}=-40^{\circ}C \sim 85^{\circ}C$ (J 版)/ $-40^{\circ}C \sim 125^{\circ}C$ (K 版)、 $f(XIN)=10MHz$ 。

表 21.21 电特性 (4) [$V_{CC}=3V$](在没有指定条件时, $T_{opr}=-40^{\circ}C \sim 85^{\circ}C$ (J 版)/ $-40^{\circ}C \sim 125^{\circ}C$ (K 版))

符号	项目	测定条件	规格值			单位	
			最小	典型	最大		
I _{CC}	电源电流 (V _{CC} =2.7V ~ 3.3V) 在单芯片模式，输出引脚为开路，其他引脚为 V _{SS}	高速时钟模式	XIN=20MHz（方波） 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	10.5	21.0	mA
			XIN=16MHz（方波） 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	8.3	16.6	mA
			XIN=10MHz（方波） 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	5.3	10.6	mA
			XIN=20MHz（方波） 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	4.5	—	mA
			XIN=16MHz（方波） 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	3.3	—	mA
			XIN=10MHz（方波） 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	2.3	—	mA
		高速内部振荡器模式	XIN 时钟停止 高速内部振荡器的振荡 fOCO=10MHz 低速内部振荡器的振荡 =125kHz 无分频	—	5.6	11.2	mA
			XIN 时钟停止 高速内部振荡器的振荡 fOCO=10MHz 低速内部振荡器的振荡 =125kHz 8 分频	—	2.4	—	mA
		低速内部振荡器模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频 FMR47= “1”	—	138	276	μA
		等待模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz WAIT 指令执行中 外围时钟运行 VCA20= “0” VCA26=VCA27= “0”	—	48	96	μA
			XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz WAIT 指令执行中 外围时钟停止 VCA20= “0” VCA26=VCA27= “0”	—	35	70	μA
		停止模式 Topr=25°C	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10= “1” 外围时钟停止 VCA26=VCA27= “0”	—	0.7	3.0	μA
		停止模式 Topr=85°C	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10= “1” 外围时钟停止 VCA26=VCA27= “0”	—	1.1	—	μA
		停止模式 Topr=125°C	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10= “1” 外围时钟停止 VCA26=VCA27= “0”	—	3.8	—	μA

时序必要条件 [$V_{CC}=3V$] (在没有指定条件时, $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25^{\circ}C$)

表 21.22 XIN 输入

符号	项目	规格值		单位
		最小	最大	
$t_{C(XIN)}$	XIN 输入的周期时间	100	—	ns
$t_{WH(XIN)}$	XIN 输入 “H” 电平脉宽	40	—	ns
$t_{WL(XIN)}$	XIN 输入 “L” 电平脉宽	40	—	ns

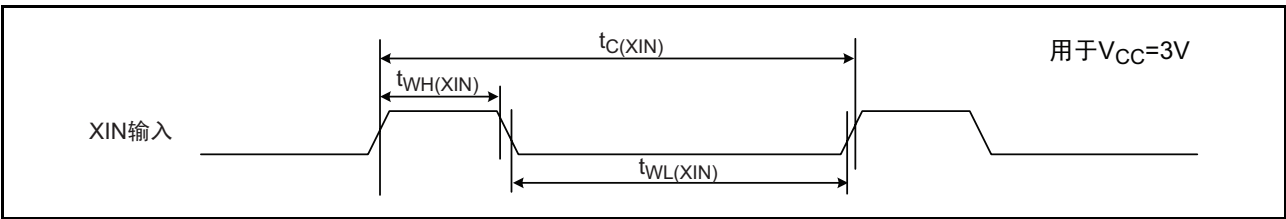


图 21.12 $V_{CC}=3V$ 时的 XIN 输入时序

表 21.23 TRAIO 输入

符号	项目	规格值		单位
		最小	最大	
$t_{C(TRAIO)}$	TRAIO 输入的周期时间	300	—	ns
$t_{WH(TRAIO)}$	TRAIO 输入 “H” 电平脉宽	120	—	ns
$t_{WL(TRAIO)}$	TRAIO 输入 “L” 电平脉宽	120	—	ns

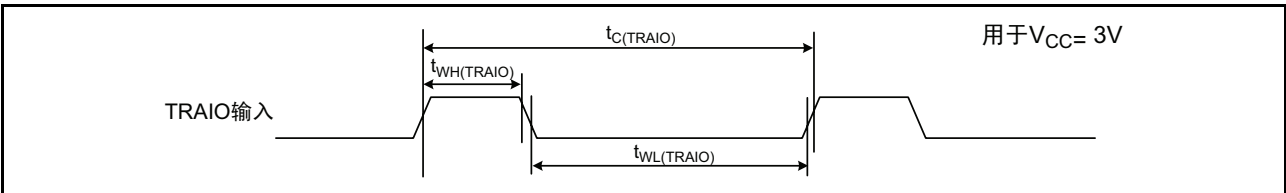


图 21.13 $V_{CC}=3V$ 时的 TRAIO 输入

表 21.24 串行接口

符号	项目	规格值		单位
		最小	最大	
$t_{C(CK)}$	CLK0 输入的周期时间	300	—	ns
$t_{W(CKH)}$	CLK0 输入 “H” 电平脉宽	150	—	ns
$t_{W(CKL)}$	CLK0 输入 “L” 电平脉宽	150	—	ns
$t_{d(C-Q)}$	TXDi 输出的延迟时间	—	80	ns
$t_{h(C-Q)}$	TXDi 保持时间	0	—	ns
$t_{su(D-C)}$	RXDi 输入的准备时间	70	—	ns
$t_{h(C-D)}$	RXDi 输入的保持时间	90	—	ns

i=0 ~ 1

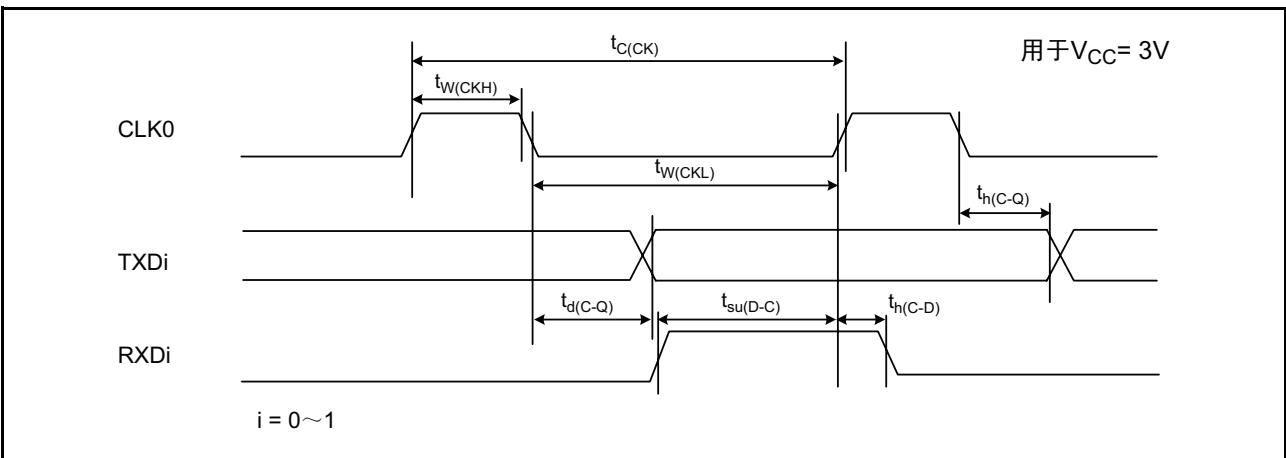


图 21.14 $V_{CC}=3V$ 时的串行接口时序

表 21.25 外部中断 $\overline{INTi}$ 输入 (i=0 ~ 3)

符号	项目	规格值		单位
		最小	最大	
$t_{W(INH)}$	$\overline{INTi}$ 输入 “H” 电平脉宽	380 (注 1)	—	ns
$t_{W(INL)}$	$\overline{INTi}$ 输入 “L” 电平脉宽	380 (注 2)	—	ns

注 1. 如果通过 $\overline{INTi}$ 输入滤波器的选择位选择有滤波器， $\overline{INTi}$ 输入 “H” 电平脉宽的最小值就为 “1/ 数字滤波器采样频率 $\times 3$ ” 和最小值中大的值。

注 2. 如果通过 $\overline{INTi}$ 输入滤波器的选择位选择有滤波器， $\overline{INTi}$ 输入 “L” 电平脉宽的最小值就为 “1/ 数字滤波器采样频率 $\times 3$ ” 和最小值中大的值。

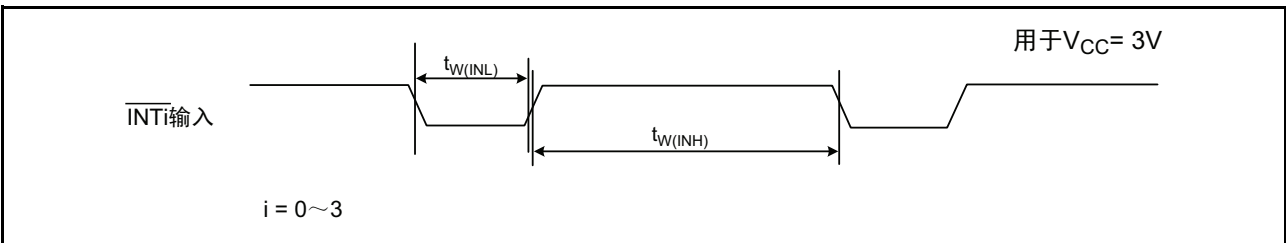


图 21.15 $V_{CC}=3V$ 时的外部中断 $\overline{INTi}$ 输入时序 (i=0 ~ 3)

22. On-chip 调试器的注意事项

在使用 on-chip 调试器进行 R8C/20、R8C/21 群的程序开发和调试时，必须注意以下限制事项：

- (1) 不能存取 UART1 相关的寄存器。
- (2) 在 on-chip 调试器中，因为要使用部分的用户闪存区及 RAM 区，所以请用户不要使用该区域。
关于使用区域，请参照各 on-chip 调试器手册。
- (3) 不能在用户系统设定地址匹配中断（AIER、RMAD0、RMAD1 寄存器固定向量表）。
- (4) 不能在用户系统使用 BRK 指令。

On-chip 调试器的连接和使用方法有特殊的限制事项。关于 on-chip 调试器的详细内容请参照各 on-chip 调试器手册。

23. 仿真调试器的注意事项

在使用仿真调试器进行 R8C/20、R8C/21 群的程序开发和调试时，必须注意以下限制事项：

- (1) 由于以下闪存区域用于仿真调试器，因此用户不能使用该区域。关于该区域的调试，请参照实际芯片进行充分的评价。

ROM128KB 产品（R5F2120CJFP、R5F2120CKFP、R5F2121CJFP、R5F2121CKFP）

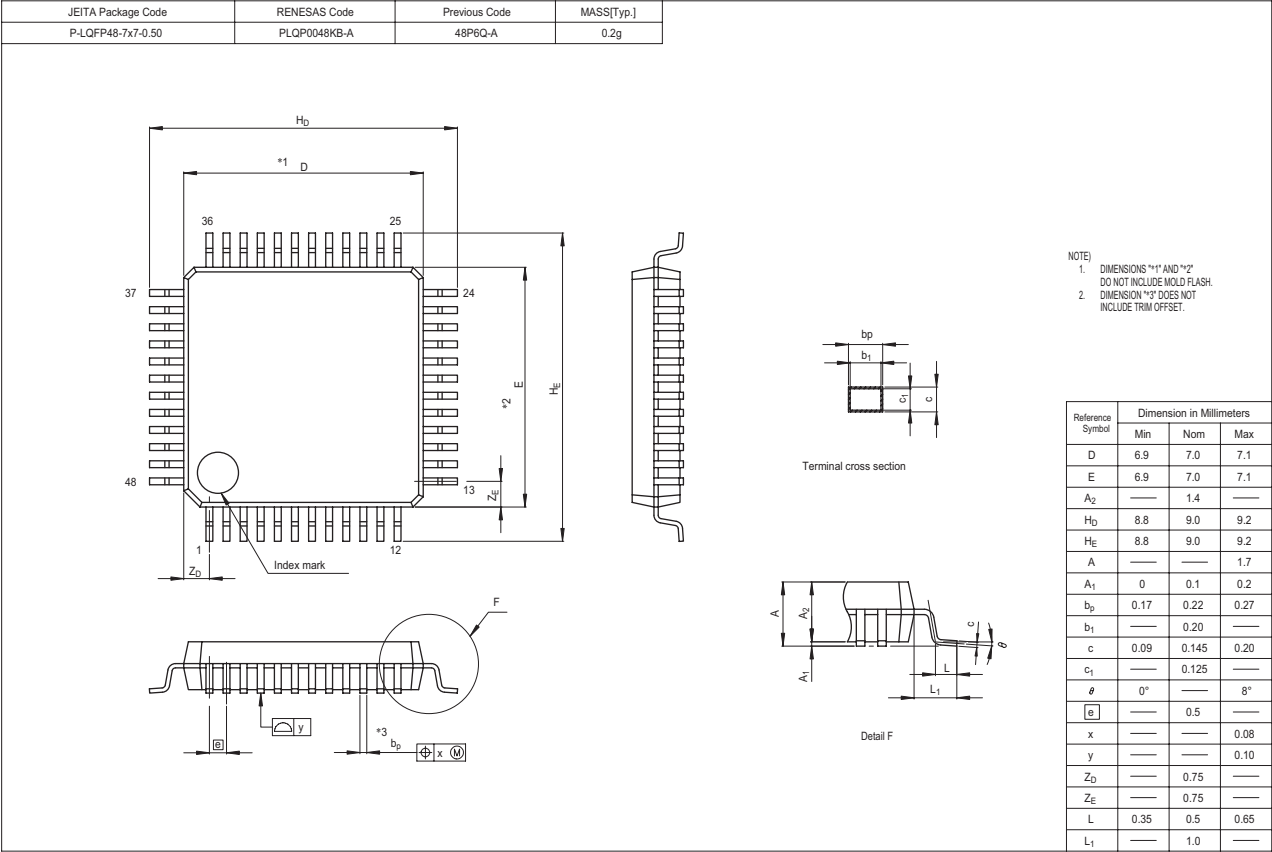
地址 20000h ～地址 23FFFh

仿真调试器的连接和使用方法有特殊的限制事项。关于仿真器调试器的详细内容请参照各仿真器调试程序手册。

附录

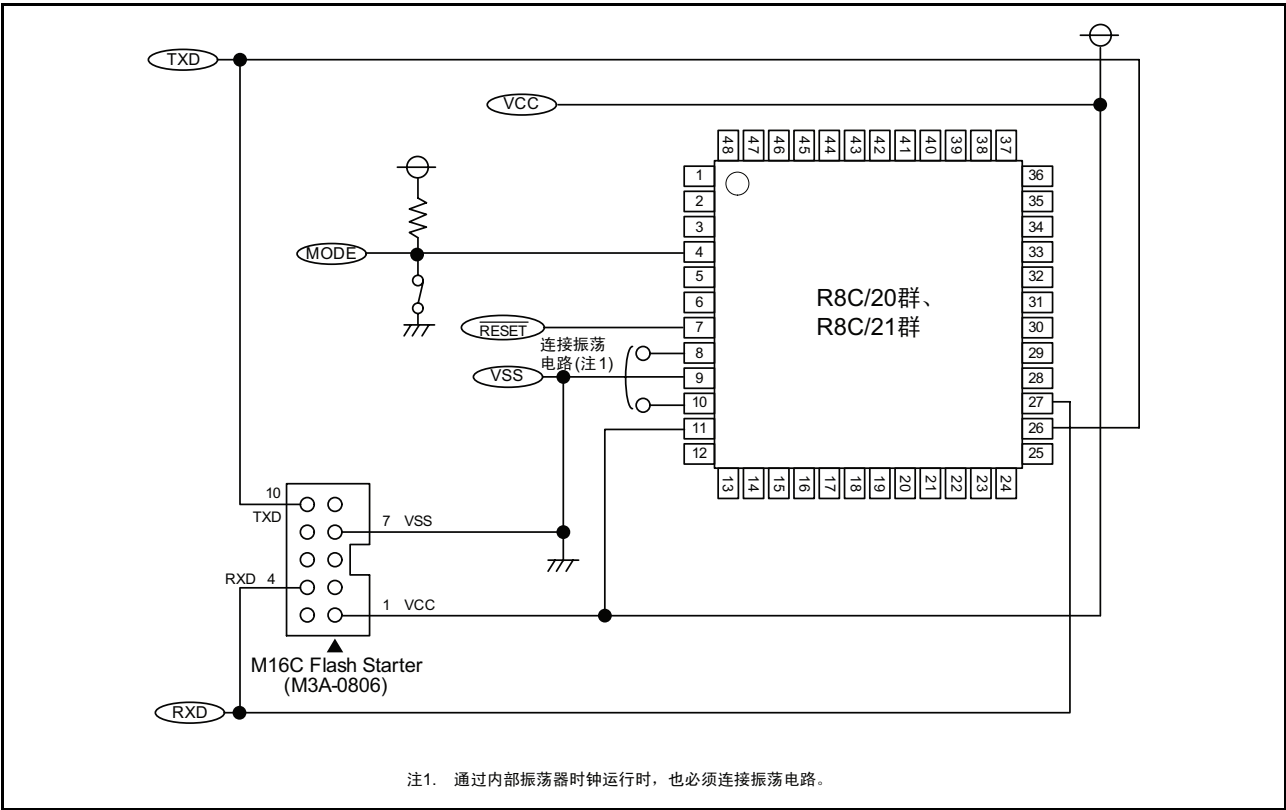
附录 1. 封装尺寸图

封装尺寸图的最新版或安装的相关信息，刊登在瑞萨科技的主页的“封装”字段中。

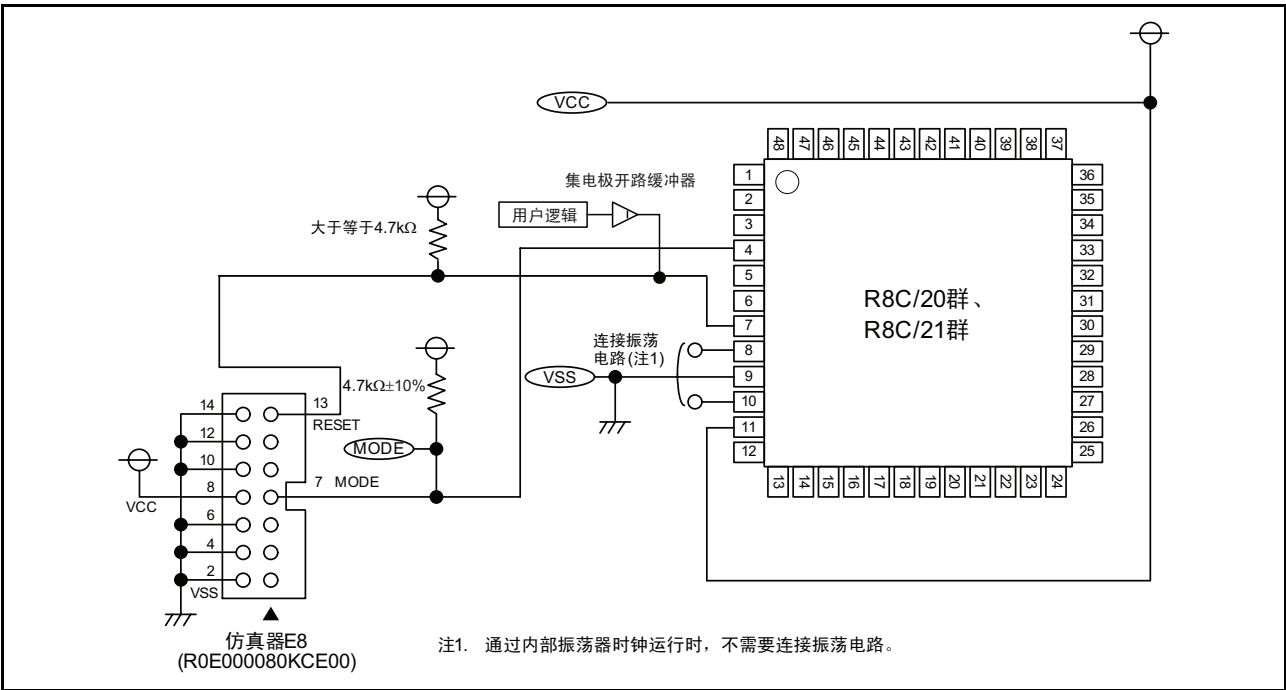


附录 2. 串行编程器和 on-chip 调试仿真器的连接例子

和 M16C Flash Starter 的连接例子（M3A-0806）如附图 2.1、和仿真器 E8（R0E000080KCE00）的连接例子如附图 2.2 所示。



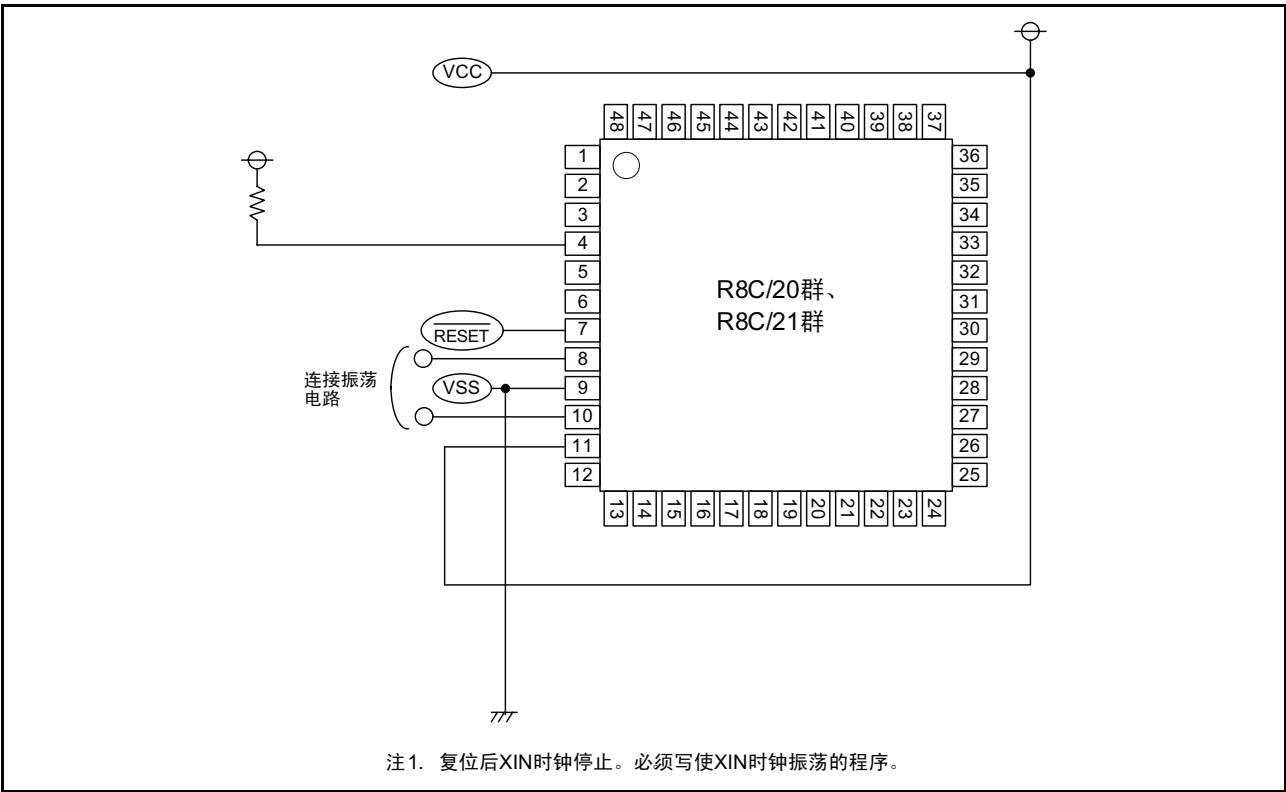
附图 2.1 和 M16C Flash Starter 的连接例子（M3A-0806）



附图 2.2 和仿真器 E8（R0E000080KCE00）的连接例子

附录 3. 振荡评价电路例子

振荡评价电路例子如附图 3.1 所示。



附图 3.1 振荡评价电路例子

索引

数字

4 线方式总线通信模式 272

A

A/D 转换器 317
 A/D 转换时的传感器的输出阻抗 327
 A/D 转换周期数 325
 A0、A1 31
 AD 320
 ADCON0 319, 322, 324
 ADCON1 320, 322, 324
 ADCON2 320
 ADIC 104
 AIER 115

B

B 标志 31
 保护 99
 保留区 32
 标志寄存器 31
 标准串行输入 / 输出模式 350
 标准运行模式 90
 并行输入 / 输出模式 353

C

C 标志 31
 CM0 84
 CM1 84
 CPU 30
 CPU 改写模式 335
 CPU 时钟 89
 CPU 时钟和外围功能时钟 89
 CSPR 121
 采样和保持 325
 产品一览 5
 程序计数器 31
 重复模式 323
 处理器模式 80
 处理器模式的种类 80
 处理器中断优先级 32
 串行编程器和 on-chip 调试仿真器的连接例子 377
 串行接口 240
 传送时钟 261
 从属模式 312
 存储器的配置 330
 存储器 33

D

D 标志 31
 带片选的时钟同步串行 I/O (SSU) 255
 单次模式 321
 等待模式 91
 低速内部振荡器时钟 88
 地址寄存器 31
 地址匹配中断 114
 电特性 355
 电压检测电路 47
 电压监视 1 复位 45, 46, 52
 电压监视 2 复位 46
 电压监视 2 中断和电压监视 2 复位 53
 电源稳定的情况 43
 定时器 124
 定时器模式 129, 143
 定时器 RA 126
 定时器 RB 139
 定时器 RD 156
 定时器 RD 中断 228
 定时器 RD 中断、带片选的时钟同步串行 I/O 中断、
 I²C 总线接口中断 (带有多个中断请求源的中断) 115
 定时器 RE 235
 中断堆栈指针 31
 端口的设定 65
 对外围功能的影响 56
 堆栈指针指定标志 32

E

EW0 模式 336
 EW1 模式 336

F

f1、f2、f4、f8、f32 89
 FB 31
 FLG 31
 FMR0 338
 FMR1 339
 FMR4 339
 fOCO 89
 fOCO128 89
 fOCO40M 89
 fOCO-F 89
 fOCO-S 89
 FRA0 86
 FRA1 86
 FRA2 86
 仿真调试器的注意事项 375
 封装尺寸图 376
 符号标志 31
 复位 41
 复位同步 PWM 模式 199

G

概要	329
高速内部振荡器时钟	88
各通信模式和引脚功能	265
功率控制	90

H

互补 PWM 模式	209
缓冲器运行	161

I

I ² C 总线接口	278
I ² C 总线接口模式	288
I 标志	32
ICCR1	280
ICCR2	281
ICDRR	285
ICDRS	285
ICDRT	285
ICIER	283
ICMR	282
ICSR	284
ID 码检查功能	333, 350
IICIC	104
INT0IC	105
INT1IC	105
INT2IC	105
INT3IC	105
INTB	31
INTEN	111
INTF	111
INTi 输入滤波器 (i=0 ~ 3)	112
INTi 中断 (i=0 ~ 3)	111
INT 中断	111
IPL	32
ISP	31

J

寄存器的设定例子	302
寄存器构成	308
寄存器组指定标志	31
计数源	160
计数源保护模式无效时	122
计数源保护模式有效时	123
极性选择功能	248
键输入中断	113
接通电源的情况	43
进位标志	31
静态基址寄存器	31

K

KIEN	113
KUPIC	104
看门狗定时器	119
看门狗定时器复位	46
可编程波形产生模式	146
可编程单触发生模式	148
可编程等待单触发生模式	151
可编程输入 / 输出端口	55
可编程输入 / 输出端口的功能	55
可编程输入 / 输出端口以外的引脚	56
框图	4

L

LINCR	308
LIN 的结束处理	316
LINST	308
连接例子	377
连续接收模式	249
零标志	31

M

脉冲输出模式	131
脉冲输出强制截止	164
脉冲周期测定模式	136
脉宽测定模式	134
模拟输入内部等效电路	326
模式的选择	254

N

内部振荡器时钟	88
---------------	----

O

O 标志	32
OCD	85
OFS	43, 120, 334
On-chip 调试器的注意事项	374

P

PC	31
PDi(0 ~ 4、6)	63
Pi(0 ~ 4、6)	63
PM0	80
PM1	80
PMR	64, 244, 261, 285
PRCR	99
PWM3 模式	219
PWM 模式	189
PUR0	64
PUR1	64

Q

全状态检查 348

R

R0、R1、R2、R3 31
 R8C/20 群 33
 R8C/21 群 34
 RMAD0 115
 RMAD1 115
 ROM 码保护功能 334, 353
 软件复位 46
 软件命令 342
 软件中断 100

S

S0RIC 104
 S0TIC 104
 S1RIC 104
 S1TIC 104
 SAR 285
 SB 31
 S 标志 31
 SCS 引脚控制和仲裁 277
 SFR 35
 SSCRH 257
 SSCRL 257
 SSER 258
 SSMR 258
 SSMR2 260
 SSRDR 260
 SSSR 259
 SSTDR 260
 SSTRSR 263
 SSUIC 104
 SS 移位寄存器 263
 闪存 329
 闪存改写的禁止功能 333
 上电复位功能 44
 上溢标志 32
 事件计数器模式 132
 使用时的注意事项 10
 时钟产生电路 82
 时钟同步串行 I/O 模式 245
 时钟同步串行接口 254
 时钟同步串行模式 298
 时钟同步通信模式 266
 时钟异步串行 I/O (UART) 模式 249
 输出比较功能 177
 输出比较模式 235
 数据寄存器 31
 输入 / 输出引脚 308
 输入捕捉功能 166

T

TRA 128
 TRACR 127
 TRAIC 104
 TRAIOC 127, 129, 131, 133, 135, 137
 TRAMR 128
 TRAPRE 128
 TRBCR 140
 TRBIC 104
 TRBIOC 141, 143, 147, 149, 152
 TRBMR 141
 TRBOCR 140
 TRBPR 142
 TRBPPE 142
 TRBSC 142
 TRD0 174, 185, 196, 206, 215, 225
 TRD0IC 104
 TRD1 174, 185, 196, 215
 TRD1IC 104
 TRDCR0 170, 182, 194, 204, 214, 223
 TRDCR1 170, 182, 194, 214
 TRDDF0 170
 TRDDF1 170
 TRDFCR 169, 180, 192, 202, 212, 222
 TRDGRAi (i=0 ~ 1) 174, 185, 196, 206, 215, 225
 TRDGRBi (i=0 ~ 1) 174, 185, 196, 206, 215, 225
 TRDGRCi (i=0 ~ 1) 174, 185, 196, 206, 215, 225
 TRDGRDi (i=0 ~ 1) 174, 185, 196, 206, 215, 225
 TRDIER0 174, 184, 195, 205, 215, 224
 TRDIER1 174, 184, 195, 205, 215, 224
 TRDIORA0 171, 183
 TRDIORA1 171, 183
 TRDIORC0 172, 183
 TRDIORC1 172, 183
 TRDMR 168, 179, 191, 201, 211, 221
 TRDOCR 182, 194, 223
 TRDOER1 181, 193, 203, 213, 222
 TRDOER2 181, 193, 203, 213, 222
 TRDPMR 169, 180, 192
 TRDPCR0 196
 TRDPCR1 196
 TRDSR0 173, 184, 195, 205, 214, 224
 TRDSR1 173, 184, 195, 205, 214, 224
 TRDSTR 168, 179, 191, 201, 211, 221
 TRECR1 237
 TRECR2 237
 TRECSR 238
 TREIC 104
 TREMIN 236
 TRESEC 236
 特点 307
 特殊中断 101
 调试标志 31
 停止模式 94
 同步运行 163

W

U0BRG	242
U0C0	243
U0C1	244
U0MR	243
U0RB	242
U0TB	242
U1BRG	242
U1C0	243
U1C1	244
U1MR	243
U1RB	242
U1SR	244
U1TB	242
UART	249
U 标志	32
USP	31

V

VCA1	49
VCA2	49, 86
VCC 输入电压的监视	51
Vdet1 的监视	51
Vdet2 的监视	51
VW1C	50
VW2C 寄存器	51

W

WDC	120
WDTR	121
WDTs	121
外围功能时钟	89
外围功能中断	101
未使用引脚的处理	79
位速率	252
位同步电路	301

X

XIN 时钟	87
系统时钟	89
性能概要	2
选择 LSB first 或 MSB first	248

Y

引脚的功能说明	8
引脚连接图	7
硬件复位	43
硬件 LIN	307
应用	1
用户堆栈指针	31
运行说明	309

Z

Z 标志	31
噪声消除电路	301
振荡评价电路例子	378
振荡停止检测功能	96
振荡停止检测功能的使用方法	96
帧基址寄存器	31
中断	100
中断表寄存器	31
中断分类	100
中断概要	100
中断和中断向量	101
中断控制	104
中断请求	264, 287, 316
中断允许标志	32
中央处理器 (CPU)	30
主模式	309
状态寄存器	347
总线冲突检测功能	315
总线控制	81

修订记录	R8C/20 群、R8C/21 群硬件手册
------	-----------------------

Rev.	发行日	修订内容	
		页	修订处
1.00	2007.03.05	—	初版发行
2.00	2009.06.02	—	反映“RENESAS TECHNICAL UPDATE”：TN-16C-A172A/J
		5	更改表 1.3、图 1.2。
		6	更改表 1.4、图 1.3。
		7	在图 1.4 中追加注 3。
		10	在 2.1.1 的程序例子中追加“FSET I；允许中断”；在 2.1.2 的程序例子中更改“FSET I；允许中断”和“BCLR 1 FMR0；CPU 改写模式无效”的顺序。
		11	删除 2.2.3 中的部分内容；删除“2.2.4 看门狗定时器中断”；更改图 2.1 中的注 2。
		13	在 2.3.1 中追加和更改部分内容。
		14 ~ 16	更改 2.3.2 中的部分内容；追加“2.3.2.1 定时器模式”、“2.3.2.2 可编程波形产生模式”、“2.3.2.3 可编程单触发生模式”、“2.3.2.4 可编程等待单触发生模式”。
		17	将 2.3.3.1 中的“通过 TRDi 寄存器和 TRDGRAi 寄存器的比较匹配，在计数清零后停止计数”改为“在 TRDi 寄存器和 TRDGRAi 寄存器的比较匹配时，停止计数”；删除表 2.1 中的“使计数清零后”。
		24	在 2.4 中追加“读取 UiRB 寄存器后，通过读取的值确认接收错误。”。
		25	删除 2.5.1 中的“带片选的时钟同步串行 I/O 的使用注意事项”；删除“2.5.1.1 I ² C 总线接口相关寄存器的存取”；删除“2.5.2.1 带片选的时钟同步串行 I/O 的相关寄存器的存取”；追加“2.5.2.1 多主器件”、“2.5.2.2 主接收模式”。
		26	在 2.7 中更改和追加部分内容。
		33、34	删除图 4.1、图 4.2 中的“扩展区”。
		35	将表 5.1（1）中保护寄存器的复位后的值“00XXX000b”改为“00h”、看门狗定时器控制寄存器的复位后的值“00011111b”改为“00X11111b”。
		42	更改图 6.3。
		43	在图 6.4 的注 1 中追加“写入后，就不能对 OFS 寄存器进行追加写入”；将 6.1.1 和 6.1.2 中的 2. 和 4. 改为“至少等待 10μs”。
		44	更改图 6.5、图 6.6；删除 6.2 中的“5kΩ 的上拉”。
		45	更改图 6.7
		49	更改图 7.4 中的注 5。
		68	更改表 8.17。
		69	更改表 8.19。将表 8.20 注 1 中的“PU03”改为“PU04”。
		73	更改表 8.29。
		74	更改表 8.30。
		75	更改表 8.33
		82	删除 11. 中的“（有振荡停止检测功能）”。
		83	更改图 11.1。

Rev.	发行日	修订内容	
		页	修订处
2.00	2009.06.02	84	在图 11.2 的注 4 中追加 “且 CM1 寄存器的 CM13 位为 “0” (P4_6、P4_7)”。
		85	删除 “图 10.5 FRA0、FRA1、FRA2 寄存器”；追加 “图 10.5 FRA0 寄存器”。
		86	追加 “图 11.6 FRA1、FRA2 寄存器”；更改 “图 10.7 VCA2 寄存器”的注 5。
		89	删除 11.3.2 中的 “CM0 寄存器的 CM07 位是 “0” (系统时钟) 时，”。
		91	在 11.4.1.3 中追加 “通过 VCA20 位允许内部电源低功耗时，必须按照 “图 11.10 通过 VCA20 位执行内部电源低功耗的操作步骤” 执行”。
		92	删除表 11.3 中的 “看门狗定时器中断” 及相关内容。
		93	在 11.4.2.5 中，删除 “在低速时钟模式或” 并追加 “通过 VCA20 位允许内部电源低功耗时，必须按照 “图 11.10 通过 VCA20 位执行内部电源低功耗的操作步骤” 执行”；更改图 11.10。
		95	更改图 11.11；删除图 11.12 中的 “CM07=0”、“、CM07”。
		96	在 11.5.1 中追加 “FRA00 位置 “1” (高速内部振荡器振荡) 并且”。
		98	在 11.6.1 的程序例子中追加 “FSET I；允许中断”。在 11.6.2 的程序例子中更改 “FSET I；允许中断” 和 “BCLR 1 FMR0；CPU 改写模式无效” 的顺序。
		99	将图 12.1 中复位后的值 “00XXX000b” 改为 “00h”。
		101	删除 13.1.3.1 中的 “必须在发生看门狗定时器中断后初始化看门狗定时器。”。
		111	更改 13.2.1 中的部分内容。
		114	更改表 13.6 中的部分内容并追加注 2。
		117	删除 13.6.3 中的 “表 21.17 TRAIO 输入、INT1 输入”、“表 21.23 TRAIO 输入、INT1 输入”；删除 “13.6.4 看门狗定时器中断”；更改图 13.20 中的注 2。
		120	将图 14.2 中复位后的值 “00011111b” 改为 “00X11111b”。
		126	更改图 15.1。
		130	将图 15.5 中的 “都为 “0”” 改为 “都为 “1””。
		138	在 15.1.6 中更改和追加部分内容。
		139	删除 15.2 中的 “，重加载寄存器和计数器分配了相同地址”；将图 15.12 中的 “TCSTF 位” 改为 “TSTART 位”、“TCSTF：TRBCR 寄存器” 改为 “TSTART、TCSTF：TRBCR 寄存器”。
		145	将图 15.17 中的 “都为 “0”” 改为 “都为 “1””。
		148	在表 15.9 中追加注 2。
		151	在表 15.10 中追加注 2。
		153 ~ 155	更改 15.2.5 中的部分内容；追加 “15.2.5.1 定时器模式”、“15.2.5.2 可编程波形产生模式”、“15.2.5.3 可编程单触发产生模式”、“15.2.5.4 可编程等待单触发产生模式”。
		166	在图 15.32 中的两处追加 “输入捕捉信号”。
		173	将图 15.40 中 IMFA 的 “TRDIOA0 信号” 改为 “TRDIOA0 寄存器”。
		176	更改图 15.45。

Rev.	发行日	修订内容	
		页	修订处
2.00	2009.06.02	178	删除表 15.25 中计数停止条件的“TRDi 变成“0000h”的同时”。
		179	删除图 15.47 中定时器 RD 开始寄存器中的“计数清零后、”。
		186	将图 15.59 中的“TRDi 在计数器清零的比较匹配时，不停止”改为“TRDi 在比较匹配时，不停止”。
		188	调换图 15.61 中“TRDSRi 寄存器的 IMFB 位”和“TRDSRi 寄存器的 IMFC 位”的位置；将“TRDi 在计数器清零的比较匹配时，不停止”改为“TRDi 在比较匹配时，不停止”。
		190	删除表 15.27 中 PWM 波形的“(i=0 ~ 1)”、“(j=B、C、D)”和计数停止条件的“TRDi 变成“0000h”的同时”；在表 15.27 的注中追加“j=B、C、D 中的任何一个、h=A、B、C、D 中的任何一个”。
		191	删除图 15.63 中定时器 RD 开始寄存器中的“计数清零后、”。
		199	将图 15.74 中的“同步”改为“周期”。
		200	删除表 15.29 中计数停止条件的“TRDi 变成“0000h”的同时”。
		201	删除图 15.75 中定时器 RD 开始寄存器中的“计数清零后、”。
		211	删除图 15.85 中定时器 RD 开始寄存器中的“计数清零后、”。
		220	删除表 15.33 中计数停止条件的“TRDi 变成“0000h”的同时”。
		221	删除图 15.96 中定时器 RD 开始寄存器中的“计数清零后、”。
		224	将图 15.100 中“定时器 RD 状态寄存器 i(i=0 ~ 1)(注 2)”改为“定时器 RD 状态寄存器 i(i=0 ~ 1)”。
		229	删除图 15.3.12.1 中的“在计数清零后”，删除表 15.36 中的“使计数清零后”。
		242	将图 16.3 中 UARTi 位速率寄存器的“U0BRG”改为“UiBRG”。
		245	在表 16.1 的注 2 中追加“的接收数据 (b0 ~ b8)”。
		247	更改图 16.7。
		249	在表 16.4 的注 1 中追加“的接收数据 (b0 ~ b8)”。
		250	在表 16.5 中追加注 2。
		251	更改图 16.10。
		253	在 16.3 中追加“读取 UiRB 寄存器后，通过读取的值确认接收错误。”。
		257	删除图 17.2 和图 17.3 中的注 4。
		258	删除图 17.4 中的注 2、图 17.5 中的注 1。
		259	在图 17.6 的注 2 中追加“参照“17.2.7 SCS 引脚控制和仲裁”；更改注 7。
		260	更改图 17.7 中的注 5；删除图 17.8 中 SS 发送数据寄存器的注 1 和 SS 接收数据寄存器的注 2。
		270	在 17.2.5.4 中追加部分内容。
		272	更改图 17.18。
		277	删除 17.2.8 中的部分内容。
		280	更改图 17.24 中的注 6。
		281	删除图 17.25 中的注 5。
		282	更改图 17.26 中的注 3，删除图 17.26 中的注 7。
		283	删除图 17.27 中的注 3。
		284	更改图 17.28 中的注 7。

Rev.	发行日	修订内容	
		页	修订处
2.00	2009.06.02	285	删除图 17.29 中的注。
		288	更改图 17.31。
		290	更改图 17.32、图 17.33。
		292	更改图 17.34。
		293	更改图 17.35。
		306	删除 “17.3.8.1 I ² C 总线接口相关寄存器的存取”，追加 “17.3.8.1 多主器件”、“17.3.8.2 主接收模式”。
		307	更改图 18.1。
		310	将图 18.4 中硬件 LIN 状态标志清除的 “0” 改为 “1”。
		311	更改图 18.5。
		314	更改图 18.8。
		315	将图 18.10 中的 “SCDCT 位” 改为 “BCDCT 位”。
		316	更改图 18.11。
		319	删除图 19.2 中注 4 的 “设定 ADGSEL0 位后，必须写入 CH0 ～ CH2 位。”。
		321	更改表 19.2 中停止条件的内容。
		322	删除图 19.4 中注 4 的 “设定 ADGSEL0 位后，必须写入 CH0 ～ CH2 位。”。
		324	删除图 19.6 中注 4 的 “设定 ADGSEL0 位后，必须写入 CH0 ～ CH2 位。”。
		326	更改图 19.10。
		327	将 19.6 中的 “带有采样&保持功能” 改为 “无采样&保持功能”。
		328	在 19.7 中更改和追加部分内容。
		329	更改表 20.1 中的注 1；将表 20.2 中的 “闪存以外的区域” 改为 “RAM”。
		334	在图 20.4 的注 1 中追加 “写入后，就不能对 OFS 寄存器进行追加写入。”。
		335	将表 20.3 中的 “可在用户 ROM 区执行” 改为 “用户 ROM 区或 RAM 区”。
		336	将 20.4.1 和 20.4.2 中的 “td(SR-ES)” 改为 “td(SR-SUS)”。
		337	将 20.4.2.4 中的 “通过闪存以外的区域的程序” 改为 “通过传送到 RAM 的程序”；将 20.4.2.10 中的 “擦除挂起功能” 改为 “挂起功能”。
		338	在 20.4.2.15 中追加 “自动编程和”；将 “擦除挂起功能” 改为 “挂起功能”；更改图 20.5 的注 3 和注 5。
		339	更改图 20.6；更改图 20.7 中的注 5。
		340	更改图 20.9。
		341	更改图 20.11。
		343	更改 20.4.3.4 中的部分内容。
		344	更改图 20.13。
		346	更改图 20.15。
		348	将表 20.6 中的 “FMR00 寄存器” 改为 “FMR0 寄存器”。

Rev.	发行日	修订内容	
		页	修订处
2.00	2009.06.02	350	将表 20.7 中 MODE 的输入 / 输出改为 “输入”、功能改为 “必须输入 “L” 电平”。
		357	更改表 21.4 中的注 1；删除表 21.4 中注 2 的 “、10,000 次”。
		358	删除表 21.5 中注 2 的 “100、1000、”。
		359	更改表 21.6 并追加注 4、注 5；更改表 21.7 并追加注 5。
		360	将表 21.8 中注 4 的 “ V_{port1} ” 为 “ V_{por1} ”、“port1” 改为 “por1”；更改表 21.8 中的 “ t_{rth} ” 和注 2；更改图 21.3。
		361	更改表 21.9；更改表 21.11 中的注 1。
		368	删除表 21.17 和图 21.9 中的 “、 $\overline{INT1}$ 输入”。
		369	将表 21.19 和图 21.11 中的 “i=0、2、3” 改为 “i=0 ~ 3”。
		372	删除表 21.23 和图 21.13 中的 “、 $\overline{INT1}$ 输入”。
		373	将表 21.25 和图 21.15 中的 “i=0、2、3” 改为 “i=0 ~ 3”。
		374	更改 22 中的 (2)，删除 22 中 (3)、(6)。
		377	删除附图 2.1 中的注 2；更改附图 2.2。
		378	更改附图 3.1 中的注 1。

**瑞萨单片机
硬件手册
R8C/20 群、 R8C/21 群**

Publication Date: Rev.1.00, Mar. 05, 2007
Rev.2.00, Jun. 02, 2009
Published by: Sales Strategic Planning Div.
Renesas Technology Corp.
Edited by: Customer Support Department
Global Strategic Communication Div.
Renesas Solutions Corp.

Renesas Technology Corp. Sales Strategic Planning Div. Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan



RENESAS SALES OFFICES

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

Renesas Technology America, Inc.

450 Holger Way, San Jose, CA 95134-1368, U.S.A
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

Renesas Technology Europe Limited

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

Renesas Technology (Shanghai) Co., Ltd.

Unit 204, 205, AZIA Center, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7858/7898

Renesas Technology Hong Kong Ltd.

7th Floor, North Tower, World Finance Centre, Harbour City, Canton Road, Tsimshatsui, Kowloon, Hong Kong
Tel: <852> 2265-6688, Fax: <852> 2377-3473

Renesas Technology Taiwan Co., Ltd.

10th Floor, No.99, Fushing North Road, Taipei, Taiwan
Tel: <886> (2) 2715-2888, Fax: <886> (2) 3518-3399

Renesas Technology Singapore Pte. Ltd.

1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632
Tel: <65> 6213-0200, Fax: <65> 6278-8001

Renesas Technology Korea Co., Ltd.

Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

Renesas Technology Malaysia Sdn. Bhd

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jln Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: <603> 7955-9390, Fax: <603> 7955-9510

R8C/20 群、 R8C/21 群



瑞萨电子株式会社

RCJ09B0044-0200