User's Manual

ASSP

R-IN32M4-CL2

ユーザーズ・マニュアル　周辺機能編

R9J03G019GBG

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

資料番号：R18UZ0034JJ0300
発行年月：2018.12.28

ルネサス エレクトロニクス
www.renesas.com

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等

   当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等） 、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。 たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。 なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
注2. 本資料において使用されている「当社製品」とは、注１において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、CMOS デバイスの一般的注意事項について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理
   【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。
   CMOS 製品の入力端子のインピーダンスは、一般に、ハイ・インピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。
2. 電源投入時の処置
   【注意】電源投入時は、製品の状態は不定です。
   電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。
   同様に、内蔵パワー・オン・リセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. リザーブアドレスのアクセス禁止
   【注意】リザーブアドレスのアクセスを禁止します。
   アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
4. クロックについて
   【注意】リセット時は、クロックが安定した後、リセットを解除してください。
   プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。
   リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

〇Arm® およびCortex® は、Arm Limited（またはその子会社）のEUまたはその他の国における
登録商標です。 All rights reserved.
〇Ethernetおよびイーサネットは、 富士ゼロックス株式会社の登録商標です。
〇IEEEは、the Institute of Electrical and Electronics Engineers, Inc. の登録商標です。
〇TRONは”The Real-time Operation system Nucleus”の略称です。
〇ITRONは”Industrial TRON”の略称です。
〇μITRONは”Micro Industrial TRON”の略称です。
〇TRON、ITRON、およびμITRONは、特定の商品ないし商品群を指す名称ではありません。
〇CC-Link及びCC-Link IE Fieldは、CC-Link協会 (CC-Link Partner Association: CLPA)の登録商標です。
〇その他、本資料中の製品名やサービス名は全てそれぞれの所有者に属する商標または登録商標です。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは産業イーサネット通信向け ASSP (Application Specific Standard Product).「R-IN32M4-CL2」（R9J03G019GBG）の機能を理解し、それを用いた応用設計をするユーザを対象とします。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

本製品は、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。 本文中の★印は、本版で改訂された主な箇所を示しています。この"★"を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます

関連資料　　関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。また各コアの開発・企画段階で資料を作成しているため、関連資料は個別のお客様向け資料の場合があります。下記資料番号の末尾****部分は版数です。当社ホームページより最新版をダウンロードして参照ください。

R-IN32M4-CL2に関する資料

資料名	資料番号
R-IN32M4-CL2 ユーザーズ・マニュアル	R18UZ0032JJ****
R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編（本マニュアル）	R18UZ0034JJ****
R-IN32M4-CL2 ユーザーズ・マニュアル Gigabit Ethernet PHY 編	R18UZ0044JJ****
R-IN32M4-CL2 ユーザーズ・マニュアル ボード設計編	R18UZ0045JJ****
R-IN32M4-CL2 プログラミング・マニュアル ドライバ編	R18UZ0036JJ****
R-IN32M4-CL2 プログラミング・マニュアル OS 編	R18UZ0040JJ****

2. 数や記号の表記

データ表記の重み：左が上位桁、右が下位桁
アクティブ・ローの表記：
　　xxxZ（端子、信号名称のあとにZ ）
　　またはxxx_N (端子、信号名称のあとに_N ）
　　またはxxnx (端子、信号名称にnを含む）
注：
　　本文中につけた注の説明
注意：
　　気をつけて読んでいただきたい内容
備考：
　　本文の補足説明
数の表記：
　　2 進数 … xxxx , xxxxBまたはn’bxxxx(nビット)
　　10 進数 … xxxx
　　16 進数 … xxxxHまたはn’hxxxx(nビット)

2のべき数を示す接頭語（アドレス空間、メモリ容量）：
　　K （キロ）… $2^{10} = 1024$
　　M （メガ）… $2^{20} = 1024^2$
　　G （ギガ）… $2^{30} = 1024^3$
データ・タイプ：
　　ワード … 32 ビット
　　ハーフワード … 16 ビット
　　バイト … 8 ビット

目次

1. はじめに 1-1

2. クロック／リセット機能 2-1

2.1 クロック構成 2-1

2.1.1 内部クロックの定義 2-1

2.1.2 クロック構成図 2-2

2.2 クロック停止機能 2-3

2.2.1 概要 2-3

2.2.2 クロック制御レジスタ（CLKGTD0，CLKGTD1） 2-4

2.3 リセット機能 2-6

2.3.1 概要 2-6

2.3.2 リセットの種類と説明 2-7

2.3.3 リセット制御レジスタ 2-8

2.3.4 リセット動作 2-11

3. CPU／内蔵RAM 3-1

3.1 CPUコア情報 3-1

3.2 CPUコアのコンフィギュレーション情報 3-2

3.3 内蔵命令RAM 3-3

3.3.1 機能概要 3-3

3.3.2 リード・バッファ機能 3-3

3.3.3 ライト・インタフェース 3-3

3.4 内蔵データRAM 3-4

3.4.1 機能概要 3-4

3.5 バッファRAM 3-5

3.5.1 機能概要 3-5

4. バス構成 4-1

5. 起動手順 5-1

5.1 ブート選択 5-1

5.2 内蔵RAMの初期化 5-2

5.3 ブート・モードによるメモリMAPの違い 5-3

5.4 ブート・シーケンス 5-4

5.4.1 外部メモリからブートする場合 5-4

5.4.2 外部シリアルROMフラッシュからブートする場合 5-5

5.4.3 ホスト・マイコンからプログラムをダウンロードしてからブートする場合 5-6

6. ハードウェア・リアルタイムOS 6-1

6.1 機能概要 6-1
6.2 セマフォ 6-1
6.3 イベント 6-1
6.4 メールボックス 6-2
6.5 ハードウェアRTOSの動作 6-2

7. ギガビット・イーサネットPHY 7-1

7.1 特徴 7-1

8. ギガビット・イーサネットMAC 8-1

8.1 概要 8-1
8.1.1 イーサネット・インタフェースの構成 8-1
8.1.2 PHYインタフェース選択機能 8-2
8.2 特徴 8-3
8.3 制御レジスタ 8-4
8.3.1 レジスター覧 8-4
8.3.2 イーサネット・インタフェース選択レジスタ 8-6
8.3.3 イーサネット・インタフェース・モード設定レジスタ 8-8
8.3.4 ギガビット・イーサネットMAC制御レジスタ 8-9
8.3.5 ハードウェア・ファンクション・コールレジスタ 8-26
8.4 機能説明 8-30
8.4.1 ハードウェア・ファンクション 8-30
8.4.2 割り込み機能 8-54
8.4.3 イーサネット・フレーム送信機能 8-56
8.4.4 イーサネット・フレーム受信機能 8-65
8.4.5 TCPIPアクセラレータ機能 8-75
8.5 注意事項 8-77
8.5.1 送信フレーム内のMACヘッダ部に対するパディングの追加 8-77
8.5.2 受信時のチェックサム計算結果の誤判定 8-77
8.5.3 受信FIFOオーバーフロー発生時の受信フレーム情報の誤り 8-78
8.5.4 Paddingを含む64byteを超えるフレーム受信時の受信フレーム情報の誤り 8-81
8.5.5 Cut Throughモードにおける送信の問題★ 8-82
8.5.6 Jumboフレームについて★ 8-82

9. イーサネット・スイッチ 9-1

9.1 概要 9-1

9.2 特徴 9-2
9.3 制御レジスタ 9-3
9.3.1 レジスタ一覧 9-3
9.3.2 動作モード設定レジスタ 9-6
9.3.3 スイッチ・コンフィギュレーション・レジスタ 9-8
9.3.4 ラーニング・インタフェース・レジスタ 9-28
9.3.5 MACポート・レジスタ 9-30
9.3.6 タイマ・モジュール・レジスタ 9-39
9.3.7 DLRモジュール・レジスタ 9-54
9.4 機能説明 9-67
9.4.1 スイッチング・エンジン 9-67
9.4.2 カットスルー対応ハブモジュール 9-77
9.4.3 DLRモジュール 9-84
9.4.4 IEEE1588タイマ＆コントロールモジュール 9-90
9.4.5 マネージメント・ポート（内部ポート）専用フレーム・タグ 9-99
9.5 コントロール・ソフトウエアの概要 9-102
9.5.1 概要 9-102
9.5.2 イーサネット・スイッチの初期化 9-102
9.5.3 アドレステーブル設定 9-107

10. 非同期SRAM MEMC（ROM／RAM） 10-1

10.1 概　要 10-1
10.2 特　徴 10-2
10.3 バス制御機能 10-4
10.3.1 レジスタ概要 10-4
10.3.2 バス・サイズ制御レジスタ（BSC） 10-5
10.3.3 スタティック・メモリ制御レジスタ0-3（SMC0-SMC3） 10-6
10.3.4 ページROM制御レジスタ（PRC） 10-10
10.3.5 ライト・イネーブル切り替えレジスタ（WREN） 10-12
10.4 メモリ接続例 10-13
10.4.1 SRAMの接続例 10-13
10.4.2 ページROMの接続例 10-14
10.5 制御レジスタ設定手順 10-15
10.6 外部ウェイト機能 10-16
10.7 メモリ・アクセス・タイミング例 10-17

11. 同期式バースト・アクセスMEMC 11-1

11.1 特　徴 11-1
11.2 制御レジスタ 11-3

11.2.1 ウエイト信号選択レジスタ（WAITZSEL）..... 11-4
11.2.2 同期式バースト・アクセスMEMC領域選択レジスタ（SMADSEL0-3）..... 11-6
11.2.3 バス・クロック分周設定レジスタ（BCLKSEL）..... 11-8
11.2.4 同期式バースト・アクセスMEMC動作モード設定レジスタ（SMC352MD）..... 11-9
11.2.5 同期式バースト・アクセスMEMCダイレクト・コマンド・レジスタ（DIRECT_CMD）..... 11-10
11.2.6 同期式バースト・アクセスMEMCサイクル設定レジスタ（SET_CYCLES）..... 11-11
11.2.7 同期式バースト・アクセスMEMCモード設定レジスタ（SET_OPMODE）..... 11-13
11.2.8 同期式バースト・アクセスMEMCリフレッシュ設定レジスタ（REF_PERIOD0）..... 11-15
11.2.9 同期式バースト・アクセスMEMC CSZnサイクル・レジスタ（SRAM_CYCLES0_n）..... 11-16
11.2.10 同期式バースト・アクセスMEMC CSZnモード・レジスタ（OPMODE0_0-3）..... 11-17
11.2.11 レジスタ設定手順..... 11-18
11.3 機能詳細..... 11-19
11.3.1 バス・クロック制御機能..... 11-19
11.3.2 アドレス出力機能..... 11-20
11.3.3 アドレス／データ・マルチプレクス機能..... 11-20
11.3.4 ライト・イネーブル（WRZn）信号拡張機能..... 11-21
11.3.5 リード・データ・タイミング制御..... 11-22
11.3.6 ウエイト信号制御機能..... 11-23
11.3.7 同期式バースト・アクセスMEMCの動作モード設定..... 11-26
11.3.8 外部メモリ領域マッピング切り替え機能..... 11-27
11.4 メモリ・アクセス・タイミング例..... 11-28
11.4.1 非同期アクセス・タイミング..... 11-29
11.4.2 同期アクセス・タイミング..... 11-37
11.4.3 ウエイト・タイミング..... 11-44

12. 外部マイコン・インタフェース..... 12-1

12.1 メモリMAP..... 12-3
12.2 同期／非同期SRAM対応MCU接続モード..... 12-5
12.2.1 機能概要..... 12-5
12.2.2 動作..... 12-6
12.2.3 外部マイコン・インタフェースの基本動作タイミング..... 12-11
12.2.4 外部マイコン・インタフェースの非同期接続タイミング調整機能..... 12-14
12.2.5 制御レジスタ..... 12-18
12.2.6 注意事項..... 12-29
12.3 同期バースト転送対応MCU接続モード..... 12-30
12.3.1 機能概要..... 12-30
12.3.2 同期バースト転送対応MCU接続モードの選択..... 12-31
12.3.3 ライト・ステータス・モードとライト・ストローブ・モード..... 12-32
12.3.4 同期バースト転送制御レジスタ..... 12-32

12.3.5 同期バースト転送対応MCU接続モードの基本動作タイミング 12-35
12.3.6 注意事項 12-47

13. シリアル・フラッシュROMメモリ・コントローラ 13-1

13.1 特 徴 13-1
13.2 制御レジスタ 13-2
13.2.1 転送モード制御レジスタ（SFMSMD） 13-3
13.2.2 チップ選択制御レジスタ（SFMSSC） 13-5
13.2.3 クロック制御レジスタ（SFMSKC） 13-6
13.2.4 ステータス・レジスタ（SFMSST） 13-8
13.2.5 通信ポート・レジスタ（SFMCOM） 13-10
13.2.6 通信モード制御レジスタ（SFMCMD） 13-11
13.2.7 通信ステータス・レジスタ（SFMCST） 13-12
13.2.8 命令コード・レジスタ（SFMSIC） 13-13
13.2.9 アドレス・モード制御レジスタ（SFMSAC） 13-13
13.2.10 ダミー・サイクル制御レジスタ（SFMSDC） 13-14
13.2.11 SPIプロトコル制御レジスタ（SFMSPC） 13-16
13.2.12 ポート・モード制御レジスタ（SFMPMD） 13-17
13.2.13 データ入力タイミング制御レジスタ（SFMDTC） 13-18
13.2.14 バージョン・レジスタ（SFMVER） 13-18
13.3 シリアル・フラッシュROMとの接続 13-19
13.4 動 作 13-20
13.4.1 SPIバス 13-20
13.4.2 SPIバスのタイミング調整 13-23
13.4.3 シリアル・フラッシュROMアクセスで用いるSPI命令セット 13-29
13.4.4 SPIバス・サイクルのアレンジ 13-37
13.4.5 Deep Power-Downの自動解除 13-40
13.4.6 命令省略モード制御 13-41
13.4.7 SMIO2端子とSMIO3端子の状態 13-43
13.4.8 直接通信 13-44
13.5 設定例 13-45
13.5.1 標準Readモード 13-46
13.5.2 Fast Read Dual I/O 13-51
13.5.3 Fast Read Quad I/O 13-57

14. DMA機能 14-1

14.1 特 徴 14-2
14.1.1 概 要 14-2
14.2 DMAユニット／チャネルとDMAトリガの関係 14-5

14.3 用語定義 14-6
14.4 DMAコントローラのレジスタ 14-7
14.4.1 レジスタ構成 14-7
14.4.2 制御レジスタ概要 14-9
14.4.3 汎用DMAコントローラのレジスタ・セット 14-13
14.4.4 リアルタイム・ポート用DMAコントローラのレジスタ・セット 14-47
14.4.5 DMA転送インタフェース信号制御レジスタ（DMAIFC0,DMAIFC1,RTDMAIFC） 14-79
14.4.6 DMAトリガ要因レジスタ（DTFRn, RTDTFR） 14-85
14.5 DMAインタフェース端子 14-90
14.5.1 BUSCLK同期 14-90
14.5.2 転送要求とアクノリッジ 14-90
14.6 割り込み出力機能 14-91
14.7 DMACの動作設定 14-92
14.7.1 レジスタ・モードとリンク・モードの選択 14-92
14.7.2 レジスタ・モード 14-93
14.7.3 リンク・モード 14-101
14.7.4 ライト・オンリー・モード 14-114
14.8 DMACの動作 14-115
14.8.1 転送モード 14-115
14.8.2 DMAユニットの優先順位制御 14-118
14.8.3 DMA転送要求 14-121
14.8.4 DMAアクノリッジ出力機能 14-124
14.8.5 DMA転送完了割り込み 14-129
14.8.6 DMAターミナル・カウント出力機能 14-131
14.8.7 強制掃き出し機能 14-134
14.8.8 DMAエラー割り込み 14-134
14.8.9 インターバル・カウント機能 14-134
14.8.10 転送サイズによる動作の相違 14-135
14.8.11 転送状態 14-139
14.8.12 一時停止機能 14-139
14.8.13 転送中断機能 14-140
14.9 DMA転送の設定例 14-141
14.9.1 設定例1（レジスタ・モード、シングル転送モード、ハードウエア・トリガ） 14-141
14.9.2 設定例2（レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ） 14-144
14.9.3 設定例3（レジスタ・モード：連続実行、ブロック転送モード、ソフトウェア・トリガ） 14-147
14.9.4 設定例4（リンク・モード、ブロック転送モード、ソフトウェア・トリガ） 14-150
14.10 注意事項 14-153

15. 32ビット・タイマ・アレイ・ユニット（TAUJ2） 15-1
15.1 TAUJ2の特徴 15-1
15.1.1 タイマ動作機能一覧 15-3
15.2 機能概要 15-4
15.2.1 用語 15-4
15.2.2 ブロック図の説明 15-6
15.3 レジスタ 15-7
15.3.1 TAUJ2レジスタの概要 15-7
15.3.2 TAUJ2プリスケーラ・レジスタの詳細 15-9
15.3.3 TAUJ2制御レジスタの詳細 15-14
15.3.4 TAUJ2一斉書き換えレジスタの詳細 15-23
15.3.5 TAUJ2出力レジスタの詳細 15-25
15.4 基本操作手順 15-28
15.5 チャネル連動動作の概念 15-29
15.5.1 チャネル連動動作ルール 15-29
15.6 一斉書き換え 15-31
15.6.1 動作概要 15-31
15.6.2 一斉書き換えの制御方法（PWM出力機能の場合） 15-32
15.6.3 一斉書き換えの基本ルール 15-33
15.7 チャネル単体動作機能 15-34
15.7.1 インターバル・タイマ機能 15-35
15.7.2 TAUJ2TTINm入力インターバル・タイマ機能 15-44
15.7.3 外部イベントカウント機能 15-50
15.7.4 ディレイ・カウント機能 15-56
15.7.5 TAUJ2TTINm入力パルス間隔測定機能 15-61
15.7.6 TAUJ2TTINm入力信号幅測定機能 15-68
15.7.7 TAUJ2TTINm入力位置検出機能 15-80
15.8 チャネル連動動作機能 15-91
15.8.1 PWM出力機能 15-91

16. 16ビット・タイマ・アレイ・ユニット（TAUD） 16-1
16.1 TAUDの特徴 16-1
16.1.1 タイマ動作機能一覧 16-5
16.2 機能概要 16-6
16.2.1 用語 16-6
16.2.2 制御ブロックの説明 16-8
16.3 レジスタ 16-9
16.3.1 TAUDレジスター覧 16-9

16.3.2 TAUDプリスケーラレジスタの詳細 16-11
16.3.3 TAUD制御レジスタの詳細 16-16
16.3.4 TAUD一斉書き換えレジスタの詳細 16-25
16.3.5 TAUD出力レジスタの詳細 16-28
16.3.6 TAUDデッドタイム出力レジスタの詳細 16-32
16.3.7 TAUDリアルタイム／変調出力レジスタの詳細 16-34
16.3.8 TAUDエミュレーションレジスタの詳細 16-36
16.4 基本操作手順 16-37
16.5 チャネル連動動作の概念 16-38
16.5.1 チャネル連動動作のルール 16-38
16.5.2 連動チャネルカウンタの同時動作開始／停止 16-40
16.6 一斉書き換え 16-41
16.6.1 動作概要 16-41
16.6.2 一斉書き換えの制御方法 16-42
16.6.3 一斉書き換えのその他の基本ルール 16-44
16.6.4 一斉書き換えの種類 16-45
16.7 チャネル出力モード 16-53
16.7.1 チャネル出力モードを指定するための基本手順 16-55
16.7.2 TAUD信号により単体制御されるチャネル出力モード 16-56
16.7.3 TAUD信号により連動制御されるチャネル出力モード 16-58
16.8 各動作モードでのカウント開始タイミング 16-62
16.8.1 インターバルタイマモード、ジャッジモード、キャプチャモード、 アップ／ダウンカウントモード、カウントキャプチャモード 16-62
16.8.2 イベントカウントモード 16-63
16.8.3 その他の動作モード 16-63
16.9 カウント開始／リスタート時のTAUDTTOUTm出力とINTTAUDIm生成 16-64
16.10 オーバフロー時の割り込み発生 16-65
16.10.1 TAUDTTINm入力パルスインターバル測定機能と TAUDTTINm入力インターバルタイマ機能の組み合わせ 16-66
16.10.2 TAUDTTINm入力信号幅測定機能と オーバフロー割り込み出力機能（TAUDTTINm幅測定時）の組み合わせ 16-67
16.10.3 TAUDTTINm入力位置検出機能とインターバルタイマ機能の組み合わせ 16-68
16.10.4 TAUDTTINm入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUDTTINm入力期間カウント検出時）の組み合わせ 16-69
16.11 TAUDTTINmエッジ検出 16-70
16.12 チャネル単体動作機能 16-71
16.12.1 インターバルタイマ機能 16-72
16.12.2 TAUDTTINm入力インターバルタイマ機能 16-82
16.12.3 クロック分周機能 16-88

16.12.4 外部イベントカウント機能 16-95
16.12.5 ディレイカウント機能 16-101
16.12.6 ワンパルス出力機能 16-105
16.12.7 TAUDTTINm入力パルスインターバル測定機能 16-110
16.12.8 TAUDTTINm入力信号幅測定機能 16-119
16.12.9 TAUDTTINm入力位置検出機能 16-127
16.12.10 TAUDTTINm入力期間カウント検出機能 16-132
16.12.11 TAUDTTINm入力パルスインターバル判定機能 16-137
16.12.12 TAUDTTINm入力信号幅判定機能 16-141
16.12.13 オーバフロー割り込み出力機能（TAUDTTINm幅測定時） 16-145
16.12.14 オーバフロー割り込み出力機能（TAUDTTINm入力期間カウント検出時） 16-149
16.12.15 1相PWM出力機能 16-153
16.13 チャネル単体リアルタイム機能 16-160
16.13.1 リアルタイム出力機能タイプ1 16-160
16.13.2 リアルタイム出力機能タイプ2 16-168
16.14 チャネル単体一斉書き換え機能 16-176
16.14.1 一斉書き換えトリガ生成機能タイプ1 16-176
16.14.2 一斉書き換えトリガ生成機能タイプ2 16-183
16.15 チャネル連動動作機能 16-190
16.15.1 PWM出力機能 16-191
16.15.2 ワンショットパルス出力機能 16-202
16.15.3 トリガスタートPWM出力機能 16-214
16.15.4 ディレイパルス出力機能 16-224
16.15.5 オフセットトリガ出力機能 16-239
16.15.6 A/D変換トリガ出力機能タイプ1 16-249
16.15.7 三角波PWM出力機能 16-251
16.15.8 デッドタイム付き三角波PWM出力機能 16-262
16.15.9 A/D変換トリガ出力機能タイプ2 16-276
16.15.10 割り込み要求信号間引き機能 16-278
16.16 連動非相補方式変調出力機能と連動相補方式変調出力機能 16-286
16.16.1 連動非相補方式変調出力機能タイプ1 16-286
16.16.2 連動非相補方式変調出力機能タイプ2 16-299
16.16.3 相補方式変調出力機能 16-312

17. モータ制御（TAPA／PIC） 17-1

17.1 TAPA／PICの特徴 17-1
17.1.1 外部出力信号 17-2
17.1.2 内部出力信号 17-2
17.2 概要 17-3

17.2.1 機能概要 17-3
17.2.2 モータ制御機能の構成 17-4
17.2.3 用語説明 17-5
17.3 レジスタ 17-6
17.3.1 レジスター覧 17-6
17.3.2 TAPA制御レジスタ0（TAPACTL0） 17-7
17.3.3 TAPA制御レジスタ1（TAPACTL1） 17-8
17.3.4 TAPAフラグレジスタ（TAPAFLG） 17-9
17.3.5 TAPA非同期Hi-Zライトイネーブルレジスタ（TAPAACWE） 17-10
17.3.6 TAPA非同期Hi-Zスタートトリガレジスタ（TAPAACTS） 17-10
17.3.7 TAPA非同期Hi-Zストップトリガレジスタ（TAPAACTT） 17-11
17.3.8 TAPA Hi-Zスタートトリガレジスタ（TAPAOPHS） 17-11
17.3.9 TAPA Hi-Zストップトリガレジスタ（TAPAOPHT） 17-12
17.3.10 TAPAエミュレーションレジスタ（TAPAEMU） 17-12
17.3.11 同時スタートトリガ制御レジスタ（PICSST） 17-13
17.3.12 同時スタート制御レジスタ0（PICSSER0） 17-13
17.3.13 同時スタート制御レジスタ2（PICSSER2） 17-14
17.3.14 Hi-Z出力制御レジスタ0（PICHIZCEN0） 17-14
17.3.15 A/D変換トリガ出力制御レジスタ400（PICADTEN400） 17-15
17.3.16 A/D変換トリガ出力制御レジスタ401（PICADTEN401） 17-15
17.3.17 A/D変換トリガ出力制御レジスタ402（PICADTEN402） 17-16
17.3.18 タイマ入出力制御レジスタ200（PICREG200） 17-17
17.3.19 タイマ入出力制御レジスタ201（PICREG201） 17-18
17.3.20 タイマ入出力制御レジスタ202（PICREG202） 17-20
17.3.21 タイマ入出力制御レジスタ203（PICREG203） 17-22
17.4 非同期Hi-Z制御機能 17-24
17.4.1 概要 17-24
17.4.2 システム構成例 17-24
17.4.3 基本動作 17-25
17.4.4 ソフトウエアトリガによる非同期Hi-Z制御 17-26
17.4.5 非同期入力Hi-Z制御機能の操作手順 17-28
17.4.6 TAPA Hi-Z制御入力選択 17-29
17.5 割り込み信号出力選択機能 17-30
17.5.1 割り込み信号出力選択機能の構成 17-30
17.5.2 ブロック図 17-31
17.6 A/Dコンバータ変換トリガ選択機能 17-32
17.6.1 A/Dコンバータ変換トリガ選択機能の構成 17-32
17.6.2 ブロック図 17-33
17.6.3 三角波PWMモード時のA/Dコンバータトリガ出力制御動作波形 17-34

17.6.4 A/Dコンバータ変換トリガ選択機能の操作手順 17-36
17.7 ADCハードウェアトリガ選択機能 17-37
17.7.1 概要 17-37
17.7.2 構成 17-37
17.7.3 動作機能の設定例 17-38
17.7.4 設定フロー 17-38
17.8 同時スタートトリガ機能 17-39
17.8.1 機能概要 17-39
17.8.2 構成 17-39
17.8.3 動作例 17-40
17.8.4 設定フロー 17-41
17.9 デッドタイム付き3相PWM出力機能 17-42
17.9.1 機能概要 17-42
17.9.2 構成 17-42
17.9.3 動作例 17-44
17.9.4 設定フロー 17-53
17.9.5 動作機能の設定例 17-55
17.10 デッドタイム付き高精度三角波PWM出力機能 17-60
17.10.1 機能概要 17-60
17.10.2 構成 17-60
17.10.3 動作例 17-63
17.10.4 設定フロー 17-75
17.10.5 動作機能の設定例 17-77
17.11 デッドタイム付きディレイパルス出力機能 17-84
17.11.1 機能概要 17-84
17.11.2 構成 17-84
17.11.3 動作例 17-86
17.11.4 設定フロー 17-92
17.11.5 動作機能の設定例 17-95

18. ウィンドウ・ウォッチドッグ・タイマA（WDTA） 18-1

18.1 WDTAの特徴 18-1
18.2 機能概要 18-2
18.3 レジスタ 18-3
18.3.1 WDTAレジスタの概要 18-3
18.3.2 WDTAレジスタの詳細 18-3
18.4 機能説明 18-6
18.4.1 リセット解除後のWDTA 18-6
18.4.2 WDTAトリガ 18-8

18.4.3 エラー検出 18-8
18.4.4 75%割り込み出力 18-10
18.4.5 ウインドウ機能 18-10
18.5 WDTOUTZ出力 18-12
18.6 注意事項 18-12

19. アシンクロナス・シリアル・インタフェースJ（UARTJn） 19-1

19.1 UARTJnの特徴 19-1
19.2 機能概要 19-3
19.3 構成 19-4
19.4 UARTJnのレジスタ 19-5
19.5 割り込み要求信号 19-27
19.5.1 送信割り込み要求INTUAJnTIT 19-27
19.5.2 受信割り込み要求INTUAJnTIR 19-29
19.5.3 ステータス割り込み要求INTUAJnTIS 19-30
19.6 動作 19-32
19.6.1 データ・フォーマット 19-32
19.6.2 BFの送信／受信フォーマット 19-34
19.6.3 BFの送信 19-36
19.6.4 BFの受信 19-38
19.6.5 UARTJn送信 19-40
19.6.6 UARTJn受信 19-44
19.6.7 受信エラー 19-50
19.6.8 パリティの種類と動作 19-51
19.6.9 デジタル受信データ・ノイズ・フィルタ 19-52
19.7 ボー・レート・ジェネレータ 19-53

20. クロック同期シリアル・インタフェースH（CSIH） 20-1

20.1 CSIHの特徴 20-1
20.2 機能概要 20-4
20.3 CSIH制御レジスタ 20-6
20.3.1 CSIHレジスタの詳細 20-7
20.4 機能の説明 20-35
20.4.1 動作モード（マスタ／スレーブ） 20-36
20.4.2 マスタ／スレーブの接続 20-38
20.4.3 チップ・セレクト（CS）機能 20-40
20.4.4 チップ・セレクトのタイミングの詳細 20-43
20.4.5 ジョブ概念 20-46
20.4.6 シリアル・クロックの選択 20-47

20.4.7 CSIHのバッファ・メモリ 20-49
20.4.8 データ転送モード 20-51
20.4.9 データ長の選択 20-52
20.4.10 シリアル・データ方向の選択 20-55
20.4.11 スレーブ・モードでの通信 20-56
20.4.12 CSIHの割り込み要求 20-57
20.4.13 エラー検出 20-68
20.4.14 ループ・バック・モード 20-78
20.5 操作手順 20-79
20.5.1 ダイレクト・アクセス・モードでの手順 20-80
20.5.2 送信オンリー・バッファ・モードでの手順 20-92
20.5.3 デュアル・バッファ・モードでの手順 20-104
20.5.4 FIFOモードでの手順 20-116

21. I2Cバス（IICB） 21-1

21.1 IICBの特徴 21-1
21.2 機能概要 21-2
21.3 レジスタ 21-4
21.4 IICバス・モードの機能 21-30
21.4.1 端子構成 21-30
21.5 IICバスの定義 21-31
21.5.1 スタート・コンディション 21-32
21.5.2 アドレス 21-33
21.5.3 拡張コード 21-33
21.5.4 転送方向指定 21-34
21.5.5 アクノリッジ（$\overline{\text{ACK}}$） 21-35
21.5.6 データ 21-36
21.5.7 ストップ・コンディション 21-36
21.5.8 ウェイト 21-37
21.5.9 アービトレーション 21-39
21.6 動　作 21-40
21.6.1 シングル転送モード 21-40
21.6.2 連続転送モード 21-45
21.6.3 アービトレーション 21-50
21.6.4 ウェイトとウェイト解除方法 21-51
21.6.5 拡張コード 21-56
21.7 割り込み要求信号 21-57
21.7.1 シングル転送モード 21-57
21.7.2 連続転送モード 21-60

21.8 割り込み出力とステータス 21-65
21.8.1 シングル転送モード（マスタ動作） 21-66
21.8.2 シングル転送モード（スレーブ動作：スレーブ・アドレス受信時（IICBnSTR0.IICBnSSC0ビット= 1）） 21-69
21.8.3 シングル転送モード（スレーブ動作：拡張コード受信時 （IICBnSTR0.IICBnSSEXビット= 1）） 21-73
21.8.4 シングル転送モード（通信不参加の動作） 21-77
21.8.5 シングル転送モード（アービトレーション負けの動作（IICBnSTR0.IICBnALDFビット= 1）：アービトレーション負けのあと、スレーブとして動作） 21-78
21.8.6 シングル転送モード（アービトレーション負けの動作（IICBnSTR0.IICBnALDFビット= 1）：アービトレーション負けのあと、不参加） 21-80
21.8.7 シングル転送モード（アービトレーション負けの動作（IICBnSTR0.IICBnALDFビット= 1）：アービトレーション負けのあと、不参加（拡張コード転送中の場合）） 21-86
21.8.8 連続転送モード（マスタ（受信）） 21-87
21.8.9 連続転送モード（マスタ（送信）） 21-90
21.8.10 連続転送モード（スレーブ（受信）：スレーブ・アドレス受信時（IICBnSTR0.IICBnSSC0ビット= 1）） 21-93
21.8.11 連続転送モード（スレーブ（受信）：拡張コード受信時 （IICBnSTR0.IICBnSSEXビット= 1）） 21-97
21.8.12 連続転送モード（スレーブ（送信）：スレーブ・アドレス受信時（IICBnSTR0.IICBnSSC0ビット= 1）） 21-101
21.8.13 連続転送モード（スレーブ（送信）：拡張コード受信時 （IICBnSTR0.IICBnSSEXビット= 1）） 21-105
21.8.14 連続転送モード（通信不参加の動作） 21-109
21.8.15 連続転送モード（アービトレーション負けの動作（IICBnSTR0.IICBnALDFビット= 1）（受信でアドレスを転送した場合）：アービトレーション負けのあと、スレーブとして動作） 21-110
21.8.16 連続転送モード（アービトレーション負けの動作（IICBnSTR0.IICBnALDFビット= 1）（受信でアドレスを転送した場合）：アービトレーション負けのあと、不参加） 21-112
21.8.17 連続転送モード（アービトレーション負けの動作（IICBnSTR0.IICBnALDFビット= 1）（受信でアドレスを転送した場合）：アービトレーション負けのあと、不参加（拡張コード転送中の場合）） 21-117
21.9 設定手順 21-119
21.9.1 シングルマスタ環境 21-119
21.9.2 マルチ・マスタ環境 21-123

22. CANコントローラ（FCN） 22-1

22.1 FCNの特徴 22-1
22.2 特徴 22-4
22.2.1 機能の概要 22-5
22.2.2 構成 22-6

22.3 FCNの内部レジスタ 22-7
22.3.1 CANコントローラの構成 22-7
22.3.2 CANコントローラ・レジスタの概要 22-9
22.3.3 レジスタのビット構成 22-13
22.4 ビットのセット／クリア機能 22-20
22.5 制御レジスタ 22-22
22.5.1 FCNグローバル・レジスタ 22-22
22.5.2 FCNモジュール・レジスタ 22-32
22.5.3 FCNメッセージ・バッファ・レジスタ 22-59
22.6 CANコントローラの初期化 22-72
22.6.1 FCNモジュールの初期化 22-72
22.6.2 メッセージ・バッファの初期化 22-72
22.6.3 メッセージ・バッファの再定義 22-72
22.6.4 初期化モードから動作モードへの移行 22-74
22.7 メッセージ受信 22-76
22.7.1 メッセージの受信 22-76
22.7.2 受信データの読み出し 22-77
22.7.3 受信ヒストリ・リスト機能 22-78
22.7.4 マスク機能 22-81
22.7.5 マルチ・バッファ受信ブロック機能 22-82
22.7.6 リモート・フレームの受信 22-83
22.8 メッセージ送信 22-85
22.8.1 メッセージの送信 22-85
22.8.2 送信ヒストリ・リスト機能 22-88
22.8.3 自動ブロック送信機能（ABT） 22-90
22.8.4 送信中断処理 22-92
22.8.5 リモート・フレームの送信 22-93
22.9 パワー・セーブ・モード 22-94
22.9.1 FCNスリープ・モード 22-94
22.9.2 FCNストップ・モード 22-98
22.9.3 パワー・セーブ・モードの使用例 22-100
22.10 割り込み機能 22-101
22.11 診断機能と特殊な動作モード 22-102
22.11.1 受信オンリー・モード 22-102
22.11.2 シングル・ショット・モード 22-104
22.11.3 セルフ・テスト・モード 22-105
22.11.4 各動作モードでの送受信動作 22-106
22.12 タイム・スタンプ機能 22-107
22.12.1 タイム・スタンプ機能 22-107

22.13 ボー・レートの設定 22-109
22.13.1 ボー・レートの設定条件 22-109
22.13.2 代表的なボー・レートの設定例 22-113
22.14 CANコントローラの動作 22-115
22.14.1 初期化 22-115
22.14.2 メッセージの送信 22-121
22.14.3 メッセージの受信 22-135
22.14.4 パワー・セーブ・モード 22-141

23. 10ビットA/Dコンバータ 23-1

23.1 R-IN32M4のADCの特徴 23-1
23.2 制御レジスタ 23-3
23.2.1 A/Dコンバータモードレジスタ0 (ADM0) 23-4
23.2.2 A/Dコンバータモードレジスタ1 (ADM1) 23-6
23.2.3 A/Dコンバータモードレジスタ2 (ADM2) 23-8
23.2.4 A/Dコンバータモードレジスタ3 (ADM3) 23-9
23.2.5 A/Dコンバータ割り込み制御レジスタ (ADINT) 23-10
23.2.6 A/Dコンバータステータスレジスタ (ADSTS) 23-11
23.2.7 A/Dコンバータクロック分周設定レジスタ (ADIVC) 23-12
23.2.8 A/D変換結果レジスタ (ADCR0-7) 23-13
23.3 オペレーション 23-15
23.3.1 A/D変換モードの種類 23-15
23.3.2 割り込み機能 23-21
23.3.3 A/D変換手順 23-21
23.3.4 A/D変換例 23-28
23.4 注意事項 23-42
23.4.1 ハードウェアトリガの間隔 23-42
23.4.2 タイミング制限 23-42
23.4.3 A/D変換を停止、再開した時の動作 23-43

24. CC-Linkインタフェース 24-1

24.1 レジスタ機能 24-1
24.1.1 レジスタ一覧 24-1
24.1.2 CC-Linkバス・サイズ制御レジスタ（CCBSC） 24-2
24.1.3 CC-Linkバス・ブリッジ制御レジスタ0（CCSMC0） 24-2
24.1.4 CC-Linkバス・ブリッジ制御レジスタ1（CCSMC1） 24-3
24.1.5 CC-Linkモニタ・レジスタ（CCSMON） 24-4
24.1.6 CC-Link Slave RUN LED制御レジスタ（CCSRUN） 24-5
24.1.7 CC-Link リセット・レジスタ（CCRES） 24-6

24.1.8 CC-Link Slave動作モード設定レジスタ（CCSMD） 24-7
24.1.9 CC-Link SlaveのREFSTB割り込み検出モード・レジスタ（CCSINTMD） 24-8
24.1.10 CC-Link Slave REFSTBモニタ・レジスタ（CCSREFMON） 24-9

25. システム・レジスタ（APB周辺レジスタ領域） 25-1

25.1 レジスタ一覧 25-1
25.2 動作モード・モニタ・レジスタ（MDMNT） 25-3
25.3 IDCODEレジスタ（IDCODE） 25-4
25.4 バージョン・レジスタ（RINVER） 25-4
25.5 ウォッチドック・タイマ入力クロック選択レジスタ（WDTCLKCFG） 25-5
25.6 CPURESETレジスタ（CPURESET） 25-6
25.7 システム・プロテクト・コマンド・レジスタ（SYSPCMD） 25-7
25.8 HW-RTOSリセット・レジスタ（RTOS_SOFTRST） 25-8
25.9 タイマ入力機能選択レジスタ（SELCNT,SELCNTD） 25-9
25.10 タイマ・トリガ要因レジスタ（TMTFR0-3, TMDTFR0-7） 25-13
25.11 ノイズ除去回路 25-17
25.11.1 ノイズ・フィルタ設定レジスタ（NFC0-4） 25-18
25.11.2 ノイズ・フィルタの動作 25-23
25.12 外部割り込みモード・レジスタ（INTM0, INTM1, INTM2） 25-24
25.13 SRAMブリッジ選択レジスタ（SRAMBRSEL） 25-27
25.14 トリガ同期式ポート機能 25-28
25.14.1 トリガ同期式ポート制御モード・レジスタ（RPTRGMD） 25-29
25.14.2 トリガ同期式ポート要因レジスタ（RP0TFR-RP3TFR） 25-30
25.15 スクラッチ・レジスタ（SCRATCH0-C） 25-34
25.16 PHYLINK_ENABLEレジスタ（PHYLINK_EN） 25-35
25.17 WDT入力フィルタ選択レジスタ(WDTISEL) 25-36
25.18 タイマI/F選択レジスタ(TMISEL) 25-37
25.19 INTPZ/タイマ割り込み選択レジスタ(INTSEL) 25-38
25.20 TOUTD出力停止制御レジスタ（STOP_TOUTD） 25-39
25.21 TOUTD出力選択レジスタ（TOUTD_SEL） 25-40
25.22 異常検出信号選択レジスタ(ERRDETSEL0,1) 25-41

26. デバッグ機能 26-1

26.1 JTAGインタフェース 26-1
26.2 SWDインタフェース 26-4
26.3 トレースポート・インタフェース 26-4
26.4 SWVインタフェース 26-5

図目次

図2.1 クロック構成図 2-2
図2.2 リセット入力のノイズ除去回路構成 2-7
図2.3 パワーON時のリセットタイミングチャート★ 2-11
図2.4 システムリセット時のリセットタイミングチャート★ 2-11
図6.1 ハードウェア・リアルタイムOS全体構成 6-3
図8.1 イーサネット・インタフェース周辺構成図 8-1
図8.2 ハードウェア・ファンクションの概略ブロック図 8-30
図8.3 ハードウェア・ファンクション・コール発行処理フロー★ 8-31
図8.4 バッファの管理方法 8-32
図8.5 バッファの構造 8-33
図8.6 バッファのアドレス構造 8-34
図8.7 MACDMA周辺ブロックと割り込み信号 8-38
図8.8 受信MACDMA処理概要 8-39
図8.9 受信フレーム良否判定機能の概念図 8-41
図8.10 送信ディスクリプタ 8-46
図8.11 複数バッファを結合して1つのフレームとして送信する例 8-47
図8.12 送信データ・フォーマット 8-58
図8.13 送信フレーム制御情報 8-59
図8.14 送信データ・フォーマット（TCPIPACC有効、VLAN Tag無し） 8-61
図8.15 送信データ・フォーマット（TCPIPACC有効、VLAN Tag有り） 8-61
図8.16 送信データ・フォーマット（TCPIPACC無効、VLAN Tag無し） 8-62
図8.17 送信データ・フォーマット（TCPIPACC無効、VLAN Tag有り） 8-62
図8.18 送信ディスクリプタの構造 8-63
図8.19 受信データ・フォーマット 8-66
図8.20 受信フレーム情報 8-67
図8.21 マネージメント・タグの挿入が有効時のDestination MAC Addressフィールド 8-71
図8.22 受信イーサネット・フレーム（TCPIPACC有効、VLAN Tag無し、TCP/UDP無し） 8-72
図8.23 受信イーサネット・フレーム（TCPIPACC有効、VLAN Tag有り、TCP/UDP無し） 8-72
図8.24 受信イーサネット・フレーム（TCPIPACC有効、VLAN Tag無し、TCP/UDP有り） 8-73
図8.25 受信イーサネット・フレーム（TCPIPACC有効、VLAN Tag有り、TCP/UDP有り） 8-73
図8.26 受信イーサネット・フレーム（TCPIPACC無効、VLAN Tag無し） 8-74
図8.27 受信イーサネット・フレーム（TCPIPACC無効、VLAN Tag有り） 8-74
図8.28 受信FIFOオーバーフロー処理タスク例（ハードウェア・リアルタイムOSを使用した場合） 8-79
図8.29 受信処理タスク例（ハードウェア・リアルタイムOSを使用した場合） 8-80
図8.30 受信FIFOオーバーフロー割り込み処理例（ハードウェア・リアルタイムOSを使用しない場合） 8-80
図8.31 受信処理例（ハードウェア・リアルタイムOSを使用しない場合） 8-81
図8.32 受信処理例 8-82
図9.1 イーサネット・スイッチ概略図 9-1

図9.2 スイッチ・エンジン概略図 9-67
図9.3 VLANプライオリティ・テーブルの概要 9-68
図9.4 IP COSテーブルの概要 9-69
図9.5 ポートルックアップ概要 9-70
図9.6 アドレステーブルのレコードタイプ 9-71
図9.7 ラーニング・インタフェースの概要 9-72
図9.8 レコードのフォーマット 9-72
図9.9 フレーム転送処理の概要 9-73
図9.10 出力ポートのメモリコントローラの概要 9-76
図9.11 通常のスイッチモード動作 9-77
図9.12 ポート0からポート1の転送が有効にされたハブの動作 9-79
図9.13 ハブモジュールとDLRモジュールとの接続イメージ 9-84
図9.14 ビーコンフレーム・フォーマット 9-85
図9.15 時刻調整機能付きタイマの構成図 9-94
図9.16 ドリフト補正 9-95
図9.17 オフセット補正（ATIME_OFFS_CORRがゼロでない場合） 9-96
図9.18 パルス信号生成機能のタイミングチャート 9-97
図9.19 内部ポートにおけるマネージメント・タグ付きのフレームのフォーマット 9-99
図9.20 アドレステーブルのエントリとハッシュ・ブロックの定義 9-107
図9.21 アドレスラーニングフロー 9-109
図10.1 PRCレジスタのMA6-MA3ビットによる制御例 10-11
図10.2 R-IN32M4と32ビット幅SRAMとの接続例 10-13
図10.3 R-IN32M4と16ビット幅SRAMとの接続例 10-13
図10.4 R-IN32M4と32ビット幅ページROMとの接続例 10-14
図10.5 R-IN32M4と16ビット幅ページROMとの接続例 10-14
図10.6 メモリ・コントローラの制御レジスタ設定手順例 10-15
図10.7 WAITZ信号サンプリング回路構成 10-16
図10.8 SRAMリード・サイクル ★ 10-18
図10.9 SRAMリード・サイクル（ウエイト設定あり）★ 10-18
図10.10 SRAMリード・サイクル（外部ウエイト挿入）★ 10-19
図10.11 SRAMライト・サイクル（ウエイトなし）★ 10-19
図10.12 SRAMライト・サイクル（ウエイトあり）★ 10-20
図10.13 SRAMライト・サイクル（外部ウエイト挿入）★ 10-21
図10.14 ページROMリード・サイクル（シングル転送）★ 10-22
図10.15 ページROMリード・サイクル（4バースト転送）★ 10-22
図11.1 レジスタ設定手順 11-18
図11.2 クロック出力タイミング例（SMC352MD.SMCCLKTH=0） 11-19
図11.3 クロック出力タイミング例（SMC352MD.SMCCLKTH=1） 11-19
図11.4 ライト・イネーブル信号の動作 11-21
図11.5 リード・データ・タイミング制御 11-22
図11.6 外部メモリ空間 11-27
図11.7 非同期SRAM、セパレート、リード・アクセス（ADVZ有効） 11-29
図11.8 非同期SRAM、セパレート、リード・アクセス（ADVZ無効） 11-30

図11.9　非同期ページROM、セパレート、リード・アクセス（ADVZ有効）.....11-31
図11.10　非同期SRAM、マルチプレクス、リード・アクセス（ADVZ有効）.....11-32
図11.11　非同期SRAM、セパレート、ライト・アクセス（ADVZ無効）.....11-33
図11.12　非同期SRAM、セパレート、ライト・アクセス（ADVZ有効）.....11-34
図11.13　非同期SRAM、マルチプレクス、ライト・アクセス（ADVZ有効／WE_TIME=0）.....11-35
図11.14　非同期SRAM、マルチプレクス、ライト・アクセス（ADVZ有効／WE_TIME=1）.....11-36
図11.15　同期SRAM、セパレート、リード・アクセス（ADVZ有効）.....11-37
図11.16　同期SRAM、マルチプレクス、リード・アクセス（ADVZ有効）.....11-38
図11.17　同期SRAM、マルチプレクス、リード・4バースト・アクセス（ADVZ有効）.....11-39
図11.18　同期SRAM、セパレート、ライト・アクセス（ADVZ有効）.....11-40
図11.19　同期SRAM、セパレート、8バースト・ライト・アクセス（ADVZ有効）.....11-41
図11.20　同期SRAM、マルチプレクス、ライト・アクセス（ADVZ有効）.....11-42
図11.21　同期SRAM、マルチプレクス、4バースト・ライト・アクセス（ADVZ有効）.....11-43
図11.22　同期SRAM、マルチプレクス、リード・アクセス（ADVZ有効）.....11-44
図11.23　同期SRAM、セパレート、4バースト・ライト・アクセス（ADVZ有効）.....11-45
図12.1　外部マイコン・インタフェース・メモリ空間★.....12-3
図12.2　CC-Link IE Field Network領域への書き込み（SRAM書き込み）.....12-11
図12.3　CC-Link IE Field Network領域からの読み出し（SRAM読み出し）.....12-11
図12.4　外部マイコン・インタフェース・レジスタ領域への書き込み（SRAM書き込み）.....12-12
図12.5　外部マイコン・インタフェース・レジスタ領域からの読み出し（SRAM読み出し）.....12-12
図12.6　その他の領域への書き込み（SRAM書き込み）.....12-13
図12.7　その他の領域からの読み出し（SRAM読み出し）.....12-13
図12.8　タイミング調整（SRAM書き込み）.....12-15
図12.9　タイミング調整（SRAM読み出し、ページROM読み出し）.....12-16
図12.10　タイミング調整（ページROM読み出し）.....12-17
図12.11　同期バースト転送対応MCUのライト（シングル転送、AD分離、ライト・ステータス）..12-35
図12.12　同期バースト転送対応MCUのライト（シングル転送、AD分離、ライト・ストローブ）..12-36
図12.13　同期バースト転送対応MCUのリード（シングル転送、AD分離）.....12-37
図12.14　同期バースト転送対応MCUのライト（バースト転送、AD分離、ライト・ステータス）..12-38
図12.15　同期バースト転送対応MCUのライト（バースト転送、AD分離、ライト・ストローブ）..12-39
図12.16　同期バースト転送対応MCUのリード（バースト転送、AD分離）.....12-40
図12.17　同期バースト転送対応MCUのライト（シングル転送、AD多重、ライト・ステータス）..12-41
図12.18　同期バースト転送対応MCUのライト（シングル転送、AD多重、ライト・ストローブ）..12-42
図12.19　同期バースト転送対応MCUのリード（シングル転送、AD多重）.....12-43
図12.20　同期バースト転送対応MCUのライト（バースト転送、AD多重、ライト・ステータス）..12-44
図12.21　同期バースト転送対応MCUのライト（バースト転送、AD多重、ライト・ストローブ）..12-45
図12.22　同期バースト転送対応MCUのリード（バースト転送、AD多重）.....12-46
図13.1　シリアル・フラッシュROMとの接続図.....13-19
図13.2　Extended SPIプロトコルの例1（Fast Read）.....13-20
図13.3　Extended SPIプロトコルの例2（Fast Read Quad I/O）.....13-20
図13.4　Dual SPIプロトコルの例（Fast Read）.....13-21
図13.5　Quad SPIプロトコル（Fast Read）.....13-21
図13.6　SPIバスの基本動作.....13-22

図13.7 SFMDTYビットによるSMSCK信号のデューティ比補正（HCLK/3の例） 13-23
図13.8 SFMSLDビットによるSMCSZ信号のセットアップ時間調整 13-24
図13.9 SFMSHDビットによるSMCSZ信号のホールド時間調整 13-24
図13.10 SFMOEXビット設定による出力許可期間の調整 13-25
図13.11 SFMOSWビット設定によるシリアル・データのセットアップ時間調整 13-25
図13.12 SFMOHWビット設定によるシリアル・データのホールド時間調整 13-26
図13.13 受信レイテンシ1（SFMDCL[1:0] = 00） 13-27
図13.14 受信レイテンシ2（SFMDCL[1:0] = 01） 13-27
図13.15 受信レイテンシ3（SFMDCL[1:0] = 10） 13-28
図13.16 標準Readバス・サイクル 13-29
図13.17 Fast Readバス・サイクル 13-30
図13.18 Fast Readバス・サイクル（命令省略モード時） 13-30
図13.19 Fast Read Dual Outputバス・サイクル 13-31
図13.20 Fast Read Dual Outputバス・サイクル（命令省略モード時） 13-31
図13.21 Fast Read Dual I/Oバス・サイクル 13-32
図13.22 Fast Read Dual I/Oバス・サイクル（命令省略モード時） 13-32
図13.23 Fast Read Quad Outputバス・サイクル 13-33
図13.24 Fast Read Quad Outputバス・サイクル（命令省略モード時） 13-33
図13.25 Fast Read Quad I/Oバス・サイクル 13-34
図13.26 Fast Read Quad I/Oバス・サイクル（命令省略モード時） 13-34
図13.27 Release from Deep Power-Downバス・サイクル 13-35
図13.28 Exit 4-byte modeバス・サイクル 13-35
図13.29 Exit 4-byte modeバス・サイクル 13-36
図13.30 Write Enableバス・サイクル 13-36
図13.31 個別変換による連続データ読み出し 13-37
図13.32 プリフェッチ機能を用いた連続データ読み出し 13-38
図13.33 SPIバス・サイクル延長を用いた連続データ読み出し 13-39
図13.34 Deep Power-Downの自動解除動作 13-40
図13.35 命令省略モードの自動解除 13-42
図13.36 シリアル・フラッシュROM設定フロー（標準Readモード） 13-50
図13.37 シリアル・フラッシュROM設定フロー（Fast Read Dual I/Oモード） 13-56
図13.38 シリアル・フラッシュROM設定フロー（Fast Read Quad I/Oモード） 13-62
図14.1 DMAユニット／チャネルとDMAトリガの関係 14-5
図14.2 転送の呼称 14-6
図14.3 DMAのレジスタ構成図 14-8
図14.4 スキップ・モード時のSSKPnレジスタとSCNTnレジスタの関係 14-38
図14.5 スキップ・モード時のDSKPnレジスタとDCNTnレジスタの関係 14-40
図14.6 スキップ・モード時のRTSSKPレジスタとRTSCNTレジスタの関係 14-72
図14.7 スキップ・モード時のRTDSKPレジスタとRTDCNTレジスタの関係 14-74
図14.8 DMA用端子信号と内部信号の様子（1）（DMAIFCp = 8000 0000H） 14-82
図14.9 DMA用端子信号と内部信号の様子（2）（DMAIFCp = 8000 0000H） 14-82
図14.10 DMA用端子信号と内部信号の様子（3）（DMAIFCp = 8000 0200H） 14-83
図14.11 DMA用端子信号と内部信号の様子（4）（DMAIFCp = 8000 0002H） 14-83

図14.12　DMA用端子信号と内部信号の様子（5）（DMAIFCp = 8000 0002H）.....14-84
図14.13　DMA用端子信号と内部信号の様子（6）（DMAIFCp = 8000 0202H）.....14-84
図14.14　レジスタ・モード動作概要.....14-93
図14.15　リンク・モード概要.....14-101
図14.16　ディスクリプタ領域とDMA転送領域の概略.....14-110
図14.17　リンク・モードの構成例.....14-113
図14.18　シングル転送モード例.....14-116
図14.19　ブロック転送モード例.....14-117
図14.20　固定優先順位モードの例.....14-119
図14.21　ラウンドロビン・モード.....14-120
図14.22　エッジ検出モードの動作例1.....14-122
図14.23　エッジ検出モードの動作例2.....14-122
図14.24　レベル検出モードの動作例1.....14-123
図14.25　レベル検出モードの動作例2.....14-123
図14.26　パルス出力モードの動作例1.....14-126
図14.27　パルス出力モードの動作例2.....14-126
図14.28　レベル出力モードの動作例1.....14-127
図14.29　レベル出力モードの動作例2.....14-127
図14.30　バス・サイクル出力モードの動作例1.....14-128
図14.31　バス・サイクル出力モードの動作例2.....14-128
図14.32　DMA転送完了割り込み出力の動作例.....14-130
図14.33　DMAターミナル・カウント出力の動作例.....14-131
図14.34　転送元の転送サイズが転送先より小さい場合.....14-135
図14.35　転送先の転送サイズが転送元より小さい場合.....14-135
図14.36　転送元の転送サイズと転送先の転送サイズが等しい場合.....14-136
図14.37　DMAライト・アクセスとアクセス・タイプ例.....14-138
図14.38　設定例1の動作フロー.....14-143
図14.39　設定例2の動作フロー.....14-146
図14.40　設定例3の動作フロー.....14-149
図14.41　設定例4の動作フロー.....14-152
図15.1　TAUJ2のブロック図.....15-5
図15.2　TAUJ2TTOUTmチャネル出力モードを指定するための基本手順.....15-25
図15.3　チャネルのグループ化と動作クロックの割り当て.....15-30
図15.4　一斉書き換えの基本手順.....15-32
図15.5　インターバル・タイマ機能のブロック図.....15-35
図15.6　インターバル・タイマ機能の基本タイミング図.....15-36
図15.7　カウント・クロック　= PCLK/2.....15-40
図15.8　カウント・クロック　= PCLK.....15-41
図15.9　動作の停止と再開（TAUJ2CMORm.TAUJ2MD0 = 1）.....15-42
図15.10　強制リスタート動作（TAUJ2CMORm.TAUJ2MD0 = 1）.....15-43
図15.11　TAUJ2TTINm入力インターバル・タイマ機能のブロック図.....15-44
図15.12　TAUJ2TTINm入力インターバル・タイマ機能の基本タイミング図.....15-45
図15.13　立ち上がりTAUJ2TTINm入力エッジでトリガされたカウンタ　TAUJ2CMURm.TAUJ2TIS[1:0] =

01B）、TAUJ2CMORm.TAUJ2MD0 = 1 15-49
図15.14　外部イベントカウント機能のブロック図 15-51
図15.15　外部イベントカウント機能の基本タイミング図 15-51
図15.16　TAUJ2CDRm = 0000 0000H、TAUJ2CMURm.TAUJ2TIS[1:0] = 01B 15-54
図15.17　動作の停止と再開（TAUJ2CMURm.TAUJ2TIS[1:0] = 01B） 15-54
図15.18　強制リスタート（TAUJ2CMURm.TAUJ2TIS[1:0] = 01B） 15-55
図15.19　ディレイ・カウント機能のブロック図 15-56
図15.20　ディレイ・カウント機能の基本タイミング図 15-57
図15.21　TAUJ2TTINm入力パルス間隔測定機能のブロック図 15-61
図15.22　TAUJ2TTINm入力パルス間隔測定機能の基本タイミング図 15-62
図15.23　TAUJ2CMORm.TAUJ2COS[1:0] = 00B, TAUJ2CMORm.TAUJ2MD0 = 0, TAUJ2CMURm.TAUJ2TIS[1:0] = 00B 15-66
図15.24　TAUJ2CMORm.TAUJ2COS[1:0] = 10B, TAUJ2CMORm.TAUJ2MD0 = 0, TAUJ2CMURm.TAUJ2TIS[1:0] = 00B 15-67
図15.25　TAUJ2TTINm入力信号幅測定機能のブロック図 15-68
図15.26　TAUJ2TTINm入力信号幅測定機能の基本タイミング図 15-69
図15.27　TAUJ2CMORm.TAUJ2COS[1:0] = 00B, TAUJ2CMORm.TAUJ2MD0 = 0, TAUJ2CMURm.TAUJ2TIS[1:0] = 11B 15-73
図15.28　TAUJ2CMORm.TAUJ2COS[1:0] = 10B, TAUJ2CMORm.TAUJ2MD0 = 0, TAUJ2CMURm.TAUJ2TIS[1:0] = 11B 15-74
図15.29　オーバフロー割り込み出力のブロック図（TAUJ2TTINm幅測定時） 15-75
図15.30　オーバフロー割り込み出力時の基本タイミング図 15-76
図15.31　TAUJ2TTINm入力位置検出機能のブロック図 15-80
図15.32　TAUJ2TTINm入力位置検出機能の基本タイミング図 15-81
図15.33　動作の停止と再開（TAUJ2CMORm.TAUJ2MD0 = 0, TAUJ2CMURm.TAUJ2TIS[1:0] = 00B） 15-85
図15.34　オーバフロー割り込み出力のブロック図（TAUJ2TTINm入力位置検出時） 15-86
図15.35　オーバフロー割り込み出力時の基本タイミング図（TAUJ2TTINm 入力位置検出機能使用時） 15-87
図15.36　PWM出力機能のブロック図 15-92
図15.37　PWM出力機能の基本タイミング図 15-93
図15.38　TAUJ2CDRm（スレーブ）= 0000 0000H, 正論理（TAUJ2TOL.TAUJ2TOLm（スレーブ）= 0） 15-99
図15.39　TAUJ2CDRm（スレーブ）≧ TAUJ2CDRm（マスタ）+ 1, 正論理（TAUJ2TOL.TAUJ2TOLm（スレーブ）= 0） 15-100
図15.40　動作の停止と再開、正論理（TAUJ2TOL.TAUJ2TOLm（スレーブ）= 0） 15-101
図15.41　マスタ・チャネルでの一斉書き換え 15-103
図16.1　TAUDのブロック図 16-7
図16.2　チャネルのグループ化と動作クロックの割り当て 16-39
図16.3　一斉書き換えの基本手順 16-42
図16.4　マスタチャネルがカウントを再開／開始した場合の一斉書き換え 16-45
図16.5　スレーブチャネルの三角波の[山]のタイミングで一斉書き換え 16-47
図16.6　TAUDRDC.TAUDRDCmで指定した上位チャネルにてINTTAUDImが発生した場合の一斉書き

換え 16-49
図16.7 外部信号によりトリガされるTAUDRDC.TAUDRDCmで指定した上位チャネルにてINTTAUDImが発生した場合の一斉書き換え 16-51
図16.8 TAUDTTOUTmチャネル出力モードを指定するための基本手順 16-55
図16.9 リアルタイム出力 16-57
図16.10 デッドタイム出力を行うチャネル連動出力モード2のセット／リセット条件 16-59
図16.11 1相PWM出力を行うチャネル連動出力モード2のセット／リセット条件 16-60
図16.12 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ／ダウンカウントモード、カウントキャプチャモードでの開始タイミング 16-62
図16.13 イベントカウントモード時の開始タイミング 16-63
図16.14 その他の動作モードでのカウント開始タイミング 16-63
図16.15 INTTAUDImの発生タイミング（TAUDCMORm.TAUDMD0 = 0設定時） 16-64
図16.16 INTTAUDImの発生タイミング（TAUDCMORm.TAUDMD0 = 1設定時） 16-64
図16.17 TAUDTTINm入力パルスインターバル測定機能とTAUDTTINm入力インターバルタイマ機能の組み合わせ 16-66
図16.18 TAUDTTINm入力パルスインターバル測定機能とTAUDTTINm入力インターバルタイマ機能の組み合わせによる割り込み発生 16-66
図16.19 TAUDTTINm入力信号幅測定機能とオーバフロー割り込み出力機能（TAUDTTINm幅測定時）の組み合わせ 16-67
図16.20 TAUDTTINm入力信号幅測定機能とオーバフロー割り込み出力機能（TAUDTTINm幅測定時）の組み合わせによる割り込み発生 16-67
図16.21 TAUDTTINm入力位置検出機能とインターバルタイマ機能の組み合わせ 16-68
図16.22 TAUDTTINm入力位置検出機能とインターバルタイマ機能の組み合わせによる割り込み発生 16-68
図16.23 TAUDTTINm入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUDTTINm入力期間カウント検出時）の組み合わせ 16-69
図16.24 TAUDTTINm入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUDTTINm入力期間カウント検出時）の組み合わせによる割り込み発生 16-69
図16.25 エッジ検出基本動作タイミング 16-70
図16.26 インターバルタイマ機能のブロック図 16-73
図16.27 インターバルタイマ機能の基本タイミング図 16-73
図16.28 TAUDCDRm = 0000H、カウントクロック = PCLK/2 16-77
図16.29 TAUDCDRm = 0000H、カウントクロック = PCLK 16-78
図16.30 動作の停止と再開（TAUDCMORm.TAUDMD0 = 1） 16-79
図16.31 強制リスタート動作（TAUDCMORm.TAUDMD0 = 1） 16-80
図16.32 強制リスタート動作（TAUDCMORm.TAUDMD0 = 1） 16-81
図16.33 TAUDTTINm入力インターバルタイマ機能のブロック図 16-83
図16.34 TAUDTTINm入力インターバルタイマ機能の基本タイミング図 16-83
図16.35 立ち上がりTAUDTTINm入力エッジ（TAUDCMURm.TAUDTIS[1:0] = 01B）、TAUDCMORm.TAUDMD0 = 1でトリガされたカウンタ 16-87
図16.36 クロック分周機能のブロック図 16-89
図16.37 クロック分周機能の基本タイミング図 16-89
図16.38 TAUDCDRm = 0000H、TAUDCMORm.TAUDMD0 = 1、TAUDCMURm.TAUDTIS[1:0] = 01B

16-93
図16.39　動作再開（TAUDCMORm.TAUDMD0 = 1、TAUDCMURm.TAUDTIS[1:0]= 01B）.....16-93
図16.40　強制リスタート（TAUDCMORm.TAUDMD0 = 1、TAUDCMURm.TAUDTIS[1:0] = 01）....16-94
図16.41　外部イベントカウント機能のブロック図.....16-96
図16.42　外部イベントカウント機能の基本タイミング図.....16-96
図16.43　TAUDCDRm = 0000H、TAUDCMURm.TAUDTIS[1:0] = 01B.....16-99
図16.44　動作の停止と再開（TAUDCMURm.TAUDTIS[1:0] = 01B）.....16-99
図16.45　強制リスタート（TAUDCMURm.TAUDTIS[1:0] = 01B）.....16-100
図16.46　ディレイカウント機能のブロック図.....16-102
図16.47　ディレイカウント機能の基本タイミング図.....16-102
図16.48　ワンパルス出力機能のブロック図.....16-106
図16.49　ワンパルス出力機能の基本タイミング図.....16-106
図16.50　TAUDTTINm入力パルスインターバル測定機能のブロック図.....16-112
図16.51　TAUDTTINm入力パルスインターバル測定機能の基本タイミング図.....16-112
図16.52　TAUDCMORm.TAUDCOS[1:0] = 00B、TAUDCMORm.TAUDMD0 = 0、
TAUDCMURm.TAUDTIS[1:0] = 00B.....16-115
図16.53　TAUDCMORm.TAUDCOS[1:0] = 01B、TAUDCMORm.TAUDMD0 = 0、
TAUDCMURm.TAUDTIS[1:0] = 00B.....16-116
図16.54　TAUDCMORm.TAUDCOS[1:0] = 10B、TAUDCMORm.TAUDMD0 = 0、
TAUDCMURm.TAUDTIS[1:0] = 00B.....16-117
図16.55　TAUDCMORm.TAUDCOS[1:0] = 11B、TAUDCMORm.TAUDMD0 = 0、
TAUDCMURm.TAUDTIS[1:0] = 00B.....16-118
図16.56　TAUDTTINm入力信号幅測定機能のブロック図 16-120
図16.57　TAUDTTINm入力信号幅測定機能の基本タイミング図.....16-120
図16.58　TAUDCMORm.TAUDCOS[1:0] = 00B、TAUDCMORm.TAUDMD0 = 0、
TAUDCMURm.TAUDTIS[1:0] = 11B.....16-123
図16.59　TAUDCMORm.TAUDCOS[1:0] = 01B、TAUDCMORm.TAUDMD0 = 0、
TAUDCMURm.TAUDTIS[1:0] = 11B.....16-124
図16.60　TAUDCMORm.TAUDCOS[1:0] = 10B、TAUDCMORm.TAUDMD0 = 0、
TAUDCMURm.TAUDTIS[1:0] = 11B.....16-125
図16.61　TAUDCMORm.TAUDCOS[1:0] = 11B、TAUDCMORm.TAUDMD0 = 0、
TAUDCMURm.TAUDTIS[1:0] = 11B.....16-126
図16.62　TAUDTTINm入力位置検出機能のブロック図 16-128
図16.63　TAUDTTINm入力位置検出機能の基本タイミング図.....16-128
図16.64　動作の停止と再開（TAUDCMORm.TAUDMD0 = 0、TAUDCMURm.TAUDTIS[1:0] = 00B）
16-131
図16.65　TAUDTTINm入力期間カウント検出機能のブロック図.....16-133
図16.66　TAUDTTINm入力期間カウント検出機能の基本タイミング図.....16-133
図16.67　動作の停止と再開（TAUDCMURm.TAUDTIS[1:0] = 11B）.....16-136
図16.68　TAUDTTINm入力パルスインターバル判定機能のブロック図.....16-138
図16.69　TAUDTTINm入力パルスインターバル判定機能の基本タイミング図.....16-138
図16.70　TAUDTTINm入力信号幅判定機能のブロック図 16-142
図16.71　TAUDTTINm入力信号幅判定機能の基本タイミング図.....16-142

図16.72　オーバフロー割り込み出力機能のブロック図（TAUDTTINm幅測定時）.....16-146
図16.73　オーバフロー割り込み出力機能の基本タイミング図（TAUDTTINm幅測定時）.....16-146
図16.74　オーバフロー割り込み出力機能のブロック図（TAUDTTINm入力期間カウント検出時）16-150
図16.75　オーバフロー割り込み出力機能の基本タイミング図（TAUDTTINm入力期間カウント検出時）16-150
図16.76　1相PWM出力機能のブロック図.....16-154
図16.77　1相PWM出力機能の基本タイミング図.....16-155
図16.78　リアルタイム出力機能タイプ1のブロック図.....16-162
図16.79　リアルタイム出力機能タイプ1の基本タイミング図.....16-162
図16.80　TAUDCDRm = 0000H、TAUDCMORm.TAUDMD0 = 1 16-167
図16.81　リアルタイム出力機能タイプ2のブロック図.....16-169
図16.82　リアルタイム出力機能タイプ2の基本タイミング図.....16-170
図16.83　動作の開始と停止（TAUDCMORm.TAUDMD0 = 0）.....16-175
図16.84　一斉書き換えトリガ生成機能タイプ1のブロック図.....16-178
図16.85　一斉書き換えトリガ生成機能タイプ1の基本タイミング図.....16-179
図16.86　一斉書き換えトリガ生成機能タイプ2のブロック図.....16-184
図16.87　一斉書き換えトリガ生成機能タイプ2の基本タイミング図.....16-185
図16.88　PWM出力機能のブロック図.....16-192
図16.89　PWM出力機能の基本タイミング図.....16-193
図16.90　TAUDCDRm（スレーブ）= 0000H、正論理（TAUDTOL.TAUDTOLm（スレーブ）= 0）16-199
図16.91　TAUDCDRm（スレーブ）≧TAUDCDRm（マスタ）+ 1正論理（TAUDTOL.TAUDTOLm（スレーブ）= 0）.....16-200
図16.92　動作の停止と再開正論理（TAUDTOL.TAUDTOLm（スレーブ）= 0）.....16-201
図16.93　ワンショットパルス出力機能のブロック図.....16-204
図16.94　ワンショットパルス出力機能の基本タイミング図.....16-205
図16.95　TAUDCDRm（マスタ）= 0000H.....16-210
図16.96　TAUDCDRm（スレーブ）= 0000H.....16-211
図16.97　TAUDCMORm.TAUDMD0 = 1.....16-212
図16.98　TAUDTTINm入力間隔≦ディレイ時間 + パルス幅 + 1.....16-213
図16.99　トリガスタートPWM出力機能のブロック図.....16-215
図16.100　トリガスタートPWM出力機能の基本タイミング図.....16-216
図16.101　TAUDCDRm（スレーブ）= 0000H、正論理（TAUDTOL.TAUDTOLm（スレーブ）= 0）立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）.....16-221
図16.102　TAUDCDRm（スレーブ）≧TAUDCDRm（マスタ）+ 1正論理（TAUDTOL.TAUDTOLm（スレーブ）= 0）立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）.....16-222
図16.103　正論理（TAUDTOL.TAUDTOLm（スレーブ）= 0）立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）.....16-223
図16.104　ディレイパルス出力機能のブロック図.....16-227
図16.105　ディレイパルス出力機能の基本タイミング図.....16-228
図16.106　デューティサイクル（スレーブ3）= 100%.....16-237
図16.107　TAUDTTOUTm（スレーブ1）= TAUDTTOUTm（スレーブ3）.....16-238
図16.108　オフセットトリガ出力機能のブロック図.....16-240
図16.109　オフセットトリガ出力機能の基本タイミング図.....16-241

図16.110　TAUDCDRm（slave）= 0000H 16-247
図16.111　TAUDCDRm（slave）≧TAUDCDRm（master）+ 1 16-248
図16.112　A/D変換トリガ出力機能タイプ1のブロック図 16-249
図16.113　A/D変換トリガ出力機能タイプ1の基本タイミング図 16-250
図16.114　三角波PWM出力機能のブロック図 16-253
図16.115　三角波PWM出力機能の基本タイミング図 16-254
図16.116　TAUDCDRm（スレーブ）≧TAUDCDRm（マスタ）+ 1 16-260
図16.117　TAUDCDRm（スレーブ）= 0000H 16-261
図16.118　デッドタイム付き三角波PWM出力機能のブロック図 16-265
図16.119　デッドタイム付き三角波PWM出力機能の基本タイミング図 16-266
図16.120　TAUDCDRm（スレーブ2）≧TAUDCDRm（マスタ）+ 1 16-274
図16.121　TAUDCDRm（スレーブ）= 0000H 16-275
図16.122　A/D変換トリガ出力機能タイプ2のブロック図 16-276
図16.123　A/D変換トリガ出力機能タイプ2の基本タイミング図 16-277
図16.124　割り込み要求信号間引き機能のブロック図 16-279
図16.125　割り込み要求信号間引き機能の基本タイミング図 16-280
図16.126　TAUDCDRm（スレーブ）= 0000H 16-285
図16.127　非相補方式変調出力機能タイプ1のブロック図 16-289
図16.128　非相補方式変調出力機能タイプ1の基本タイミング図 16-290
図16.129　非相補方式変調出力機能タイプ1の特定設定時のタイミング図 16-298
図16.130　非相補方式変調出力機能タイプ2のブロック図 16-302
図16.131　非相補方式変調出力機能タイプ2の基本タイミング図 16-303
図16.132　非相補方式変調出力機能タイプ2の特定設定時のタイミング図 16-311
図16.133　相補方式変調出力機能のブロック図 16-316
図16.134　相補方式変調出力機能の基本タイミング図 16-317
図16.135　相補方式変調出力機能の特定設定時のタイミング図 16-328
図17.1　モータ制御の構成 17-4
図17.2　山割り込みと谷割り込み 17-5
図17.3　端子入力に対応した非同期Hi-Z制御のシステム構成例 17-24
図17.4　Hi-Z制御ブロック図 17-29
図17.5　割り込み信号出力選択機能の基本動作タイミング 17-30
図17.6　割り込み信号出力選択機能のブロック図 17-31
図17.7　A/D変換トリガ選択機能のブロック図 17-33
図17.8　TAPAATS[1:0]ビット= 00B：三角波がダウンカウント中に割り込み信号を出力 17-34
図17.9　TAPAATS[1:0]ビット= 10B：三角波がアップ／ダウンカウント中に割り込み信号を出力 17-34
図17.10　TAPAATS[1:0]ビット= 11B：三角波がアップ／ダウンカウント中の割り込み信号と谷割り込みを出力 17-35
図17.11　ADCハードウェアトリガ選択機能のブロック図 17-37
図17.12　設定フロー 17-38
図17.13　同時スタートトリガのブロック図 17-39
図17.14　設定フロー 17-41
図17.15　デッドタイム付き3相PWM出力のブロック図 17-43
図17.16　モータ出力バッファ制御ブロック図 17-43

図17.17　SRフリップフロップ回路の動作タイミング図（U相の例）.....17-45
図17.18　デッドタイム付加の3相PWM（U/UB、V/VB、W/WB）出力例.....17-46
図17.19　デッドタイム付加の1相PWM（U相、UB相）出力例.....17-47
図17.20　デッドタイム付加の1相PWM（V相、VB相）出力例.....17-49
図17.21　デッドタイム付加の1相PWM（W相、WB相）出力例.....17-51
図17.22　設定フロー1（アクティブハイの例）.....17-53
図17.23　設定フロー2（アクティブハイの例）.....17-54
図17.24　TAUDのデッドタイム付き三角波PWM出力機能によるデッドタイム出力タイミング.....17-60
図17.25　デッドタイム付き高精度三角波PWM出力機能のブロック図.....17-62
図17.26　ブロック図抜粋（PFN001、FN00、FN01）.....17-64
図17.27　デッドタイム付き高精度PWM出力（U相0%、UB相100%）例（TAUDTOL04 = 0（アクティブハイ）、TAUDTOL05 = 0（アクティブハイ）の場合）.....17-66
図17.28　デッドタイム付き高精度PWM出力（U相100%、UB相0%）例（TAUDTOL04 = 0（アクティブハイ）、TAUDTOL05 = 0（アクティブハイ）の場合）.....17-68
図17.29　デッドタイム可変領域パルスがデッドタイム付き三角波PWM出力に影響する例.....17-70
図17.30　デッドタイム付き高精度PWM出力（U相100%、UB相0%）例（TAUDTOL04 = 1（アクティブロウ）、TAUDTOL05 = 1（アクティブロウ）の場合）.....17-71
図17.31　デッドタイム付き高精度PWM出力（U相0%、UB相100%）例（TAUDTOL04 = 0（アクティブロウ）、TAUDTOL05 = 0（アクティブロウ）の場合）.....17-73
図17.32　設定フロー1（アクティブハイの例）.....17-75
図17.33　設定フロー2（アクティブハイの例）.....17-76
図17.34　デッドタイム付きディレイパルス出力のブロック図.....17-85
図17.35　デッドタイム付ディレイパルス出力によるPWM出力.....17-87
図17.36　デッドタイム付き3相PWM出力機能によるPWM出力①.....17-88
図17.37　デッドタイム付き3相PWM出力機能によるPWM出力②.....17-89
図17.38　デッドタイム付きディレイパルス出力.....17-90
図17.39　設定フロー1（アクティブハイの例）.....17-92
図17.40　設定フロー2（アクティブハイの例）.....17-93
図17.41　設定フロー3（アクティブハイの例）.....17-94
図18.1　WDTAのブロック図.....18-2
図18.2　ソフトウエア・トリガ・スタート・モード時のWDTAスタートのタイミング図.....18-7
図18.3　WDTA NMI要求／リセット発生のタイミング図.....18-9
図18.4　WDTA 75%割り込み出力のタイミング図.....18-10
図18.5　WDTAウインドウ機能のタイミング図.....18-11
図19.1　アシンクロナス・シリアル・インタフェースUARTJnのブロック図.....19-4
図19.2　送信割り込み要求のタイミング.....19-28
図19.3　受信割り込み要求のタイミング.....19-29
図19.4　割り込み発生後処理フロー.....19-31
図19.5　LINの送信の概要.....19-34
図19.6　LINの受信の概要.....19-35
図19.7　BFの送信.....19-36
図19.8　BFの送信のフロー図.....19-37
図19.9　正常BF受信（10.5超のロー・ビット受信後にストップ・ビットを検出）.....19-38

図19.10　BF受信エラー（10.5以内のロー・ビットでストップ・ビットを検出）.....19-39
図19.11　データ一貫性エラーのタイミングの例（BFの受信がアクティブでないとき、つまりURTJnSTR0.URTJnSSBR = 0のとき）.....19-41
図19.12　データ送信のフロー.....19-43
図19.13　UARTJnの受信.....19-45
図19.14　データ受信のフロー（URTJnSLBM = 0, URTJnSSBR = 0）.....19-46
図19.15　データ受信のフロー（URTJnSLBM = 0, URTJnSSBR = 1）.....19-47
図19.16　データ受信のフロー（URTJnSLBM = 1, URTJnSSBR = 0）.....19-48
図19.17　データ受信のフロー（URTJnSLBM = 1, URTJnSSBR = 1）.....19-49
図19.18　ボー・レート・ジェネレータの設定.....19-53
図20.1　CSIHのブロック図.....20-5
図20.2　マスタ・モードでの送受信.....20-36
図20.3　スレーブ・モードでの送受信.....20-37
図20.4　マスタ／スレーブ間の直接の接続★.....20-38
図20.5　1つのマスタと2つのスレーブの間の接続★.....20-38
図20.6　チップ・セレクトのタイミング.....20-41
図20.7　チップ・セレクトとRCBの例.....20-42
図20.8　クロック位相のタイミング（PCLK/4、T_{hold0} = T_{setup1} = 0.5SCK、T_{idle0} =0.5SCK、CKP0 = 0（CSIHnTCSS0）→ CKP1 = 1（CSIHnTCSS1）の場合）.....20-43
図20.9　クロック位相のタイミング（PCLK/4、T_{hold0} = T_{setup1} = 0.5SCK、Tidle0 =1.0SCK、CKP0 = 0（CSIHnTCSS0）→ CKP1 = 1（CSIHnTCSS1）の場合）.....20-43
図20.10　クロック位相のタイミング（PCLK/4、T_{hold0} = T_{setup1} = 0.5SCK、T_{idle0} =0.5SCK、CKP0 = 0（CSIHnTCSS0）→ CKP1 = 0（CSIHnTCSS1）の場合）.....20-44
図20.11　データ位相のタイミング（CSIHnCFG0.CSIHnCKP0 = 0、CSIHnCFG0.CSIHnDAP0 = 0かつCSIHnCFG1.CSIHnCKP1 = 0、CSIHnCFG1.CSIHnDAP1 = 0の場合）.....20-44
図20.12　データ位相のタイミング（CSIHnCFG0.CSIHnCKP0 = 0、CSIHnCFG0.CSIHnDAP0 = 1かつCSIHnCFG1.CSIHnCKP1 = 0、CSIHnCFG1.CSIHnDAP1 = 1の場合）.....20-45
図20.13　ジョブの例.....20-46
図20.14　ボー・レート・ジェネレータのブロック図.....20-47
図20.15　データ長16ビット、MSBファースト.....20-52
図20.16　データ長14ビット、MSBファースト.....20-52
図20.17　EDLのタイミング図.....20-54
図20.18　シリアル・データ方向選択機能—MSBファースト（CSIHnDIR = 0）.....20-55
図20.19　シリアル・データ方向選択機能—LSBファースト（CSIHnDIR = 1）.....20-55
図20.20　スレーブ・モードでの送受信のタイミング.....20-56
図20.21　転送後のCSIHnTICの発生（CSIHnCTL1.CSIHnSLIT = 0）.....20-58
図20.22　CSIHnTICの即時の発生（CSIHnCTL1.CSIHnSLIT = 1）.....20-58
図20.23　FIFOモードでのCSIHnTICの発生.....20-59
図20.24　ジョブ・モードでのCSIHnTICの発生.....20-60
図20.25　ダイレクト・アクセス・モードでのCSInHTIRの発生.....20-63
図20.26　デュアル・バッファ・モードでのCSIHnTIRの発生.....20-64
図20.27　割り込み遅延機能（CSIHnCTL1.CSIHnSIT = 1）.....20-67
図20.28　データ一貫性チェック機能のブロック図.....20-69

図20.29　パリティ・チェックの例 20-70
図20.30　タイムアウト・チェック機能のタイミング図 20-71
図20.31　FIFOの概要 20-73
図20.32　FIFOのオーバフローのタイミング 20-74
図20.33　ダイレクト・アクセス・モードと送信オンリー・バッファ・モードでのオーバラン・エラーの検出 20-75
図20.34　FIFOモードでのオーバラン・エラーの検出（FIFOフル） 20-76
図20.35　FIFOモードでのオーバラン・エラーの検出（データなし） 20-77
図20.36　通常の動作（CSIHnCTL1.CSIHnLBM = 0） 20-78
図20.37　ループ・バック動作（CSIHnCTL1.CSIHnLBM = 1） 20-78
図20.38　ダイレクト・アクセス・モード（マスタ・モード、送受信モード、ジョブ・モードが無効） 20-80
図20.39　ダイレクト・アクセス・モード（マスタ・モード、受信モード、ジョブ・モードが無効） 20-82
図20.40　ダイレクト・アクセス・モード（スレーブ・モード、送受信モード、ジョブ・モードが無効） 20-84
図20.41　ダイレクト・アクセス・モード（スレーブ・モード、受信モード、ジョブ・モードが無効） 20-86
図20.42　ダイレクト・アクセス・モード（マスタ・モード、送受信モード、ジョブ・モード有効） 20-88
図20.43　ダイレクト・アクセス・モード（マスタ・モード、受信モード、ジョブ・モード有効） .20-90
図20.44　送信オンリー・バッファ・モード（マスタ・モード、送受信モード、ジョブ・モードが無効） 20-92
図20.45　送信オンリー・バッファ・モード（マスタ・モード、受信モード、ジョブ・モードが無効） 20-94
図20.46　送信オンリー・バッファ・モード（スレーブ・モード、送受信モード、ジョブ・モードが無効） 20-96
図20.47　送信オンリー・バッファ・モード（スレーブ・モード、受信モード、ジョブ・モードが無効） 20-98
図20.48　送信オンリー・バッファ・モード（マスタ・モード、送受信モード、ジョブ・モードが有効） 20-100
図20.49　送信オンリー・バッファ・モード（マスタ・モード、受信モード、ジョブ・モードが有効） 20-102
図20.50　デュアル・バッファ・モード（マスタ・モード、送受信モード、ジョブ・モードが無効） 20-104
図20.51　デュアル・バッファ・モード（マスタ・モード、受信モード、ジョブ・モードが無効） 20-106
図20.52　デュアル・バッファ・モード（スレーブ・モード、送受信モード、ジョブ・モードが無効） 20-108
図20.53　デュアル・バッファ・モード（スレーブ・モード、受信モード、ジョブ・モードが無効） 20-110
図20.54　デュアル・バッファ・モード（マスタ・モード、送受信モード、ジョブ・モードが有効） 20-112
図20.55　デュアル・バッファ・モード（マスタ・モード、受信モード、ジョブ・モードが有効） 20-114

図20.56　FIFOモード（マスタ・モード、送受信モード、ジョブ・モードが無効）.....20-117
図20.57　FIFOモード（マスタ・モード、受信モード、ジョブ・モードが無効）.....20-120
図20.58　FIFOモード（スレーブ・モード、送受信モード、ジョブ・モードが無効）.....20-123
図20.59　FIFOモード（スレーブ・モード、受信モード、ジョブ・モードが無効）.....20-126
図20.60　FIFOモード（マスタ・モード、送受信モード、ジョブ・モードが有効）.....20-128
図20.61　FIFOモード（マスタ・モード、受信モード、ジョブ・モードが有効）.....20-130
図21.1　IICBnのブロック図.....21-3
図21.2　端子構成図.....21-30
図21.3　IICバスのシリアル・データ転送タイミング.....21-31
図21.4　スタート・コンディション.....21-32
図21.5　アドレス.....21-33
図21.6　転送方向指定.....21-34
図21.7　アクノリッジ（$\overline{\text{ACK}}$）.....21-35
図21.8　ストップ・コンディション.....21-36
図21.9　ウェイト（1/2）.....21-37
図21.10　アービトレーション・タイミング例.....21-39
図21.11　有効なIICBnDATレジスタへのライト・タイミング.....21-52
図21.12　IICBTIAn信号発生タイミング（受信、連続転送モード）.....21-60
図21.13　IICBTIAn信号発生タイミング（送信、連続転送モード）.....21-61
図21.14　シングル転送モード時のマスタ動作設定手順（シングルマスタ環境）.....21-119
図21.15　シングル転送モード時のスレーブ動作設定手順（シングルマスタ環境）.....21-120
図21.16　連続転送モード時のマスタ動作設定手順（シングルマスタ環境）.....21-121
図21.17　連続転送モード時のスレーブ動作設定手順（シングルマスタ環境）.....21-122
図21.18　通信予約機能許可（IICBnCTL1.IICBnSLRSビット= 0）時のシングル転送モード設定手順（マルチマスタ環境）（1/2）.....21-123
図21.19　通信予約機能禁止（IICBnCTL1.IICBnSLRSビット= 1）時のシングル転送モード設定手順（マルチマスタ環境）（1/2）.....21-125
図21.20　通信予約機能許可（IICBnCTL1.IICBnSLRSビット= 0）時の連続転送モード設定手順（マルチマスタ環境）（1/2）.....21-127
図21.21　通信予約機能禁止（IICBnCTL1.IICBnSLRSビット= 1）時の連続転送モード設定手順（マルチマスタ環境）（1/2）.....21-129
図22.1　CANコントローラのブロック図.....22-6
図22.2　FCNモジュール・クロック.....22-47
図22.3　データ・ビット・タイム.....22-48
図22.4　再定義後の送信メッセージ・バッファに対する送信要求の設定（FCNnMmCTL.FCNnMmTRQF）22-73
図22.5　動作モードへの移行.....22-74
図22.6　受信タイミング.....22-77
図22.7　受信ヒストリ・リスト.....22-80
図22.8　メッセージ処理の例.....22-85
図22.9　送信ヒストリ・リスト.....22-89
図22.10　受信オンリー・モードでのFCNモジュール端子の接続.....22-102
図22.11　セルフ・テスト・モードでのFCNモジュール端子の接続.....22-105

図22.12　キャプチャ信号TSOUTのタイミング図 22-107
図22.13　初期化 22-115
図22.14　ソフトウエア・リセット機能を利用しない再初期化 22-116
図22.15　ソフトウエア・リセット機能を利用する再初期化 22-117
図22.16　メッセージ・バッファの初期化 22-118
図22.17　受信中のメッセージ・バッファの再定義 22-119
図22.18　送信中のメッセージ・バッファの再定義 22-120
図22.19　メッセージ送信処理 22-121
図22.20　ABTメッセージ送信処理 22-122
図22.21　割り込みを利用した送信（FCNnCMLOSTRレジスタを利用） 22-123
図22.22　割り込みを利用した送信（FCNnCMTGTXレジスタを利用） 22-124
図22.23　ソフトウエア・ポーリングを利用した送信 22-126
図22.24　送信中断処理（ABT付き通常動作モードの実行中を除く） 22-128
図22.25　送信中断処理（ABT付き通常動作モードの実行中） ― 中断されたメッセージの再送信オプション 22-129
図22.26　ABT送信要求中断処理（ABT付き通常動作モードの実行中）（1） 22-130
図22.27　ABT送信要求中断処理（ABT付き通常動作モードの実行中）（2） 22-131
図22.28　送信完了フラグを利用したABT 送信要求中断処理（ABT 付き通常動作モード） 22-132
図22.29　送信中断割り込みと送信完了フラグによる送信中断処理 22-133
図22.30　送信完了フラグによる送信中断処理 22-134
図22.31　割り込みを利用した受信（FCNnCMLISTRレジスタを利用） 22-135
図22.32　割り込みを利用した受信（FCNnCMRGRXレジスタを利用） 22-136
図22.33　割り込みを利用した受信（FCNnCMRGRXレジスタを利用）の別の方法 22-138
図22.34　ソフトウエア・ポーリングを利用した受信 22-139
図22.35　FCNスリープ・モード／ストップ・モードの設定 22-141
図22.36　FCNスリープ／ストップ・モードの解除 22-142
図22.37　バスオフからの復帰 22-143
図22.38　通常のシャットダウン処理 22-144
図22.39　強制シャットダウン処理 22-144
図22.40　エラー処理 22-145
図22.41　CPUスタンバイの設定（FCNスリープ・モードから） 22-146
図22.42　CPUスタンバイの設定（FCNストップ・モードから） 22-147
図23.1　ADCEとADBSYの状態遷移図 23-5
図23.2　ADM3レジスタとA/D変換期間との対応 23-9
図23.3　アナログ入力とA/D変換結果の関係 23-14
図23.4　トリガ入力信号の接続関係 23-17
図23.5　A/D変換開始手順 23-22
図23.6　A/D変換停止手順 23-23
図23.7　A/D変換停止からA/D変換再開手順 23-23
図23.8　パワーダウン手順 23-24
図23.9　パワーダウン解除手順 23-24
図23.10　ソフトウェアリセット手順 23-25
図23.11　ソフトウェアリセットからのA/D変換再開手順 23-26

図23.12　割り込み処理手順 23-27
図23.13　セレクトモード／シングルモードによるA/D変換例 23-28
図23.14　セレクトモード／リピートモードによるA/D変換例 23-30
図23.15　4バッファモードによるA/D変換例 23-32
図23.16　スキャンモード／シングルモードでのA/D変換例 23-34
図23.17　スキャンモード／リピートモードでのA/D変換例 23-36
図23.18　オートモードでのA/D変換例 23-38
図23.19　ステップモードでのA/D変換例 23-40
図24.1　CCSRUNレジスタとCC-Link（リモートデバイス局、インテリジェントデバイス局）RUN信号の構成 24-5
図25.1　プロテクト解除シーケンス 25-7
図25.2　割り込み信号のデジタル・ノイズ・フィルタの動作（エッジ・トリガ時）★ 25-23
図25.3　トリガ同期式ポート構成図 25-28
図26.1　JTAGインタフェース接続例（20pinハーフピッチ、トレースなし） 26-1
図26.2　JTAGインタフェース接続例（20pinハーフピッチ、トレースあり） 26-2
図26.3　JTAGインタフェース接続例（20pinフルピッチ） 26-3
図26.4　SWDインタフェース接続例 26-4
図26.5　トレースポート・インタフェース接続例 26-4
図26.6　SWVインタフェース接続例 26-5

表目次

表2.1 リセット発生要因とリセット対象 2-6
表3.1 内蔵命令RAMの割り込みと周辺機能への要求 3-3
表3.2 内蔵データRAMの割り込みと周辺機能への要求 3-4
表3.3 バッファRAMの割り込みと周辺機能への要求 3-5
表4.1 R-IN32M4のAHB内部バス 4-1
表5.1 ブート・モード選択 ★ 5-1
表8.1 PHYインタフェース選択 8-2
表8.2 バッファの獲得可能数 8-33
表8.3 HWFNC_LongBuffer_Get 8-35
表8.4 HWFNC_ShortBuffer_Get 8-36
表8.5 HWFNC_Buffer_Release 8-37
表8.6 HWFNC_Buffer_Return 8-37
表8.7 HWFNC_MACDMA_RX_Enable 8-43
表8.8 HWFNC_MACDMA_RX_Disable 8-44
表8.9 HWFNC_MACDMA_RX_Control 8-45
表8.10 HWFNC_MACDMA_RX_Errstat 8-45
表8.11 HWFNC_MACDMA_TX_Start 8-48
表8.12 HWFNC_MACDMA_TX_Errstat 8-49
表8.13 HWFNC_Direct_Memory_Transfer 8-51
表8.14 HWFNC_Direct_Memory_Replace 8-52
表8.15 HWFNC_INTBUFF_DMA_Start 8-52
表8.16 HWFNC_INTBUFF_DMA_Start（ディスクリプタ） 8-53
表8.17 送信動作に関する割り込み 8-54
表8.18 受信動作に関する割り込み 8-55
表8.19 その他の動作に関する割り込み 8-55
表8.20 GMAC_ACCレジスタ設定と送信TCPIPアクセラレータの動作 8-75
表8.21 GMAC_ACCレジスタ設定と受信TCPIPアクセラレータの動作 8-76
表9.1 フィルタ設定によるハブとスイッチの動作 9-80
表9.2 PTPv2マルチキャストドメイン：Layer2 9-81
表9.3 PTPマルチキャストドメイン：UDP/IP 9-81
表9.4 管理フレームドメイン 9-81
表9.5 スイッチ管理フレームドメイン 9-81
表9.6 DLRマルチキャストドメイン 9-82
表9.7 代表的なハブのMACフィルタ設定 9-82
表9.8 ビーコンフレームフィールドの定義 9-86
表9.9 UDP/IPマルチキャストドメイン 9-90
表9.10 UDPのポート番号 9-90
表9.11 PTPv2のマルチキャストドメイン 9-91
表9.12 共通PTPv1メッセージヘッダ 9-91
表9.13 PTPv1メッセージタイプ識別 9-92
表9.14 共通PTPv2メッセージヘッダ 9-92

表9.15 PTPv2メッセージタイプ識別 9-92
表9.16 PTPv2メッセージflagsフィールド定義 9-93
表9.17 パルス信号生成パラメータ一覧 9-97
表9.18 マネージメントフレーム・タグ（スイッチから内部イーサネットMACへの転送時） 9-100
表9.19 マネージメントフレーム・タグ（内部イーサネットMACからスイッチへの転送時） 9-100
表9.20 アドレステーブルの初期設定例 9-102
表9.21 スイッチ・エンジンの初期設定例 9-103
表9.22 MACの初期設定例 9-104
表9.23 HUBの初期設定例 9-105
表9.24 タイマ・モジュールの初期設定例 9-105
表9.25 DLRモジュールの初期設定例 9-106
表10.1 バス制御機能のレジスタ概要 10-4
表10.2 メモリ・アクセス・タイミング例一覧 10-17
表11.1 同期式バースト・アクセスMEMCの制御レジスタ 11-3
表11.2 メモリ・アクセス・タイミング例一覧 11-28
表12.1 動作モード端子設定による外部マイコン・インタフェース機能 12-1
表12.2 対応転送方式 12-6
表12.3 バス・サイジング機能 12-7
表12.4 外部マイコン・インタフェース信号の同期関係 12-9
表12.5 ページ・サイズとオンページ比率 12-10
表12.6 外部マイコン・インタフェースの非同期接続タイミング調整機能 12-14
表12.7 ライト・ストローブ信号 12-15
表12.8 先読みとPageROM読み出しの選択が可能なアドレス範囲 12-20
表12.9 各領域のレジスタ設定とアクセス方式 12-29
表12.10 動作モード設定一覧 12-31
表12.11 同期バースト転送対応MCU接続モードのアドレス入力 12-31
表12.12 外部マイコン・インタフェースの同期バースト転送制御レジスタ一覧 12-32
表12.13 HPGCSZ端子で選択した各領域のレジスタ設定とアクセス方式 12-47
表12.14 HCSZ端子で選択した各領域のレジスタ設定とアクセス方式 12-47
表13.1 シリアル・フラッシュROMメモリ・コントローラの制御レジスタ 13-2
表13.2 自動生成されるSPI命令セット 13-29
表13.3 命令省略モード自動解除に用いられる解除コード 13-42
表13.4 SMIO2端子とSMIO3端子の状態 13-43
表13.5 標準ReadモードのSFMSMDレジスタ設定 13-47
表13.6 標準ReadモードのSFMSSCレジスタ設定 13-48
表13.7 標準ReadモードのSFMSKCレジスタ設定 13-49
表13.8 Fast Read Dual I/OモードのSFMSMDレジスタ設定 13-52
表13.9 Fast Read Dual I/OモードのSFMSSCレジスタ設定 13-53
表13.10 Fast Read Dual I/OモードのSFMSKCレジスタ設定 13-54
表13.11 Fast Read Dual I/OモードのSFMSDCレジスタ設定 13-55
表13.12 Fast Read Quad I/OモードのSFMSMDレジスタ設定 13-58
表13.13 Fast Read Quad I/OモードのSFMSSCレジスタ設定 13-59
表13.14 Fast Read Quad I/OモードのSFMSKCレジスタ設定 13-60

表13.15 Fast Read Quad I/OモードのSFMSDCレジスタ設定 13-61
表14.1 R-IN32M4のDMAコントローラ 14-1
表14.2 DMAコントローラの転送対象スレーブ 14-3
表14.3 DMAユニット／チャネルと外部DMAインタフェース端子の関係 14-4
表14.4 DMAコントローラの用語定義 14-6
表14.5 DMAコントローラのレジスタ構成 14-7
表14.6 DMAコントローラ制御レジスタ 14-9
表14.7 DMA完了ステータス・レジスタと割り込み信号対応 14-44
表14.8 DMA完了ステータス・レジスタと割り込み信号対応 14-77
表14.9 汎用DMAコントローラの割り込み出力★ 14-91
表14.10 リアルタイムポート用DMAコントローラの割り込み出力★ 14-91
表14.11 レジスタ・モードとリンク・モード 14-92
表14.12 レジスタ・モードの設定 14-96
表14.13 INTDMAn動作の選択 14-96
表14.14 ターミナル・カウント出力（DMATCZp）のマスク設定 14-97
表14.15 継続実行の設定 14-97
表14.16 レジスタ・セットの自動切り替え設定 14-98
表14.17 リンク・モードの選択 14-104
表14.18 リンク・アドレス・レジスタ・セット 14-104
表14.19 ディスクリプタ・フォーマット 14-105
表14.20 ディスクリプタの各フィールドの説明 14-106
表14.21 ヘッダ以外のディスクリプタとDMAC内部レジスタの関係 14-109
表14.22 ライト・オンリー・モードの設定 14-114
表14.23 DMA転送モードの選択 14-115
表14.24 DMAチャネルの優先順位制御の選択 14-118
表14.25 DMA転送要求の要因ごとの検出動作指定 14-121
表14.26 DMA転送要求信号の検出方法 14-121
表14.27 DMA転送要求の要因ごとのアクノリッジ信号モード指定 14-125
表14.28 DMAアクノリッジ信号（DMAACKZp）信号の出力モード 14-125
表14.29 DMA転送完了割り込みとユニット／チャネルの関係 14-129
表14.30 DMA転送完了割り込みアサート条件 14-130
表14.31 DMAターミナル・カウント出力の設定 14-132
表14.32 DMA転送設定例の転送条件一覧 14-141
表14.33 DMA転送の設定例1 14-141
表14.34 設定例1のレジスタ設定 14-141
表14.35 設定例1のチャネル・コンフィギュレーション・レジスタ（CHCFG1）設定 14-142
表14.36 DMA転送の設定例2 14-144
表14.37 設定例2のレジスタ設定 14-144
表14.38 設定例2のチャネル・コンフィギュレーション・レジスタ（CHCFG2）設定 14-145
表14.39 DMA転送の設定例3 14-147
表14.40 設定例3のレジスタ設定 14-147
表14.41 設定例3のチャネル・コンフィギュレーション・レジスタ（CHCFG1）設定 14-148
表14.42 DMA転送の設定例4 14-150

表14.43　DMA転送の設定例4のディスクリプタ1設定 14-150
表14.44　DMA転送の設定例4のディスクリプタ2設定 14-151
表14.45　DMA転送の設定例4のディスクリプタ3設定 14-151
表14.46　設定例4のレジスタ設定 14-152
表14.47　設定例4のディスクリプタ設定 14-152
表15.1　TAUJ2入出力信号 15-1
表15.2　TAUJ2の割り込みと周辺機能への要求 15-2
表15.3　TAUJ2動作機能一覧 15-3
表15.4　TAUJ2レジスタの概要 15-7
表15.6　インターバル・タイマ機能のTAUJ2CMORm設定 15-37
表15.7　インターバル・タイマ機能のTAUJ2CMURm設定 15-37
表15.7　インターバル・タイマ機能の一斉書き換え設定 15-38
表15.8　チャネル単体出力時の制御ビット設定 15-38
表15.9　操作手順 15-39
表15.10　TAUJ2CMORm設定 15-46
表15.11　TAUJ2TTINm入力インターバル・タイマ機能のTAUJ2CMURm設定 15-46
表15.12　TAUJ2TTINm入力インターバル・タイマ機能の一斉書き換え設定 15-47
表15.13　チャネル出力時の制御ビット設定 15-47
表15.14　操作手順 15-48
表15.15　外部イベントカウント機能のTAUJ2CMORmレジスタの内容 15-52
表15.16　外部イベントカウント機能のTAUJ2CMURmレジスタの内容 15-52
表15.17　外部イベントカウント機能の一斉書き換え設定 15-53
表15.18　外部イベントカウント機能の操作手順 15-53
表15.19　TAUJ2CMORm設定 15-58
表15.20　ディレイ・カウント機能のTAUJ2CMURm設定 15-58
表15.21　ディレイ・カウント機能の一斉書き換え設定 15-59
表15.22　チャネル単体出力時の制御ビット設定 15-59
表15.23　ディレイ・カウント機能の操作手順 15-60
表15.24　TAUJ2TTINm入力パルス・インターバル測定機能のTAUJ2CMORm設定 15-63
表15.25　TAUJ2TTINm入力パルス・インターバル測定機能のTAUJ2CMURm設定 15-64
表15.26　TAUJ2TTINm入力パルス・インターバル測定機能の一斉書き換え設定 15-64
表15.27　チャネル単体出力時の制御ビット設定 15-64
表15.28　TAUJ2TTINm入力パルス間隔測定機能の操作手順 15-65
表15.29　TAUJ2TTINm入力信号幅測定機能のTAUJ2CMORm設定 15-70
表15.30　TAUJ2TTINm入力信号幅測定機能のTAUJ2CMURm設定 15-71
表15.31　TAUJ2TTINm入力信号幅測定機能の一斉書き換え設定 15-71
表15.32　チャネル単体出力時の制御ビット設定 15-71
表15.33　TAUJ2TTINm入力信号幅測定機能の操作手順 15-72
表15.34　TAUJ2CMORm設定 15-77
表15.35　TAUJ2TTINm入力信号幅測定機能のTAUJ2CMURm設定 15-77
表15.36　TAUJ2TTINm入力信号幅測定機能の一斉書き換え設定 15-78
表15.37　チャネル単体出力時の制御ビット設定 15-78
表15.38　操作手順 15-79

表15.39 TAUJ2TTINm入力位置検出機能のTAUJ2CMORm設定 15-82
表15.40 TAUJ2TTINm入力位置検出機能のTAUJ2CMURm設定 15-82
表15.41 ディレイ・カウント機能の一斉書き換え設定 15-83
表15.42 チャネル単体出力時の制御ビット設定 15-83
表15.43 操作手順 15-84
表15.44 TAUJ2CMORm設定 15-88
表15.45 TAUJ2CMURm設定 15-89
表15.46 TAUJ2TTINm入力信号幅測定機能の一斉書き換え設定 15-89
表15.47 チャネル単体出力時の制御ビット設定 15-89
表15.48 操作手順 15-90
表15.49 PWM出力機能時のマスタ・チャネルのTAUJ2CMORm設定 15-94
表15.50 PWM出力機能時のマスタ・チャネルのTAUJ2CMURm設定 15-95
表15.51 一斉書き換え設定 15-95
表15.52 チャネル単体出力時の制御ビット設定 15-95
表15.53 PWM出力機能時のスレーブ・チャネルのTAUJ2CMORm設定 15-96
表15.54 PWM出力機能時のスレーブ・チャネルのTAUJ2CMURm設定 15-96
表15.55 一斉書き換え設定 15-97
表15.56 チャネル単体出力モード1時の制御ビット設定 15-97
表15.57 PWM出力機能時の操作手順 15-98
表16.1 TAUD入出力信号 16-2
表16.2 TAUDの割り込みと周辺機能への要求 16-3
表16.3 TAUD動作機能一覧 16-5
表16.4 TAUDレジスタ一覧 16-9
表16.5 一斉書き換え方法とトリガタイミング 16-41
表16.6 一斉書き換え方法とトリガタイミング 16-41
表16.7 チャネル出力モード 16-54
表16.8 インターバルタイマ機能のTAUDCMORmレジスタの内容 16-74
表16.9 インターバルタイマ機能のTAUDCMURmレジスタの内容 16-74
表16.10 チャネル単体出力モード1時の制御ビット設定 16-75
表16.11 インターバルタイマ機能の一斉書き換え設定 16-75
表16.12 インターバルタイマ機能の操作手順 16-76
表16.13 TAUDTTINm入力インターバルタイマ機能のTAUDCMORmレジスタの内容 16-84
表16.14 TAUDTTINm入力インターバルタイマ機能のTAUDCMURmレジスタの内容 16-84
表16.15 チャネル単体出力モード1時の制御ビット設定 16-85
表16.16 TAUDTTINm入力インターバルタイマ機能の一斉書き換え設定 16-85
表16.17 TAUDTTINm入力インターバルタイマ機能の操作手順 16-86
表16.18 クロック分周機能のTAUDCMORmレジスタの内容 16-90
表16.19 クロック分周機能のTAUDCMURmレジスタの内容 16-90
表16.20 チャネル単体出力モード1時の制御ビット設定 16-91
表16.21 クロック分周機能の一斉書き換え設定 16-91
表16.22 クロック分周機能の操作手順 16-92
表16.23 外部イベントカウント機能のTAUDCMORmレジスタの内容 16-97
表16.24 外部イベントカウント機能のTAUDCMURmレジスタの内容 16-97

表16.25　外部イベントカウント機能の一斉書き換え設定 16-98
表16.26　外部イベントカウント機能の操作手順 16-98
表16.27　ディレイカウント機能のTAUDCMORmレジスタの内容 16-103
表16.28　ディレイカウント機能のTAUDCMURmレジスタの内容 16-103
表16.29　ディレイカウント機能の一斉書き換え設定 16-104
表16.30　ディレイカウント機能の操作手順 16-104
表16.31　ワンパルス出力機能のTAUDCMORmレジスタの内容 16-107
表16.32　ワンパルス出力機能のTAUDCMURmレジスタの内容 16-107
表16.33　チャネル単体出力モード2時の制御ビット設定 16-108
表16.34　ワンパルス出力機能の一斉書き換え設定 16-108
表16.35　ワンパルス出力機能の操作手順 16-109
表16.36　オーバフローの影響 16-110
表16.37　TAUDTTINm入力パルスインターバル測定機能のTAUDCMORmレジスタの内容 16-113
表16.38　TAUDTTINm入力パルスインターバル測定機能のTAUDCMURmレジスタの内容 16-113
表16.39　TAUDTTINm入力パルスインターバル測定機能の一斉書き換え設定 16-114
表16.40　TAUDTTINm入力パルスインターバル測定機能の操作手順 16-114
表16.41　オーバフローの影響 16-119
表16.42　TAUDTTINm入力信号幅測定機能のTAUDCMORmレジスタの内容 16-121
表16.43　TAUDTTINm入力信号幅測定機能のTAUDCMURmレジスタの内容 16-121
表16.44　TAUDTTINm入力信号幅測定機能の一斉書き換え設定 16-122
表16.45　TAUDTTINm入力パルスインターバル測定機能の操作手順 16-122
表16.46　TAUDTTINm入力位置検出機能のTAUDCMORmレジスタの内容 16-129
表16.47　TAUDTTINm入力位置検出機能のTAUDCMURmレジスタの内容 16-129
表16.48　TAUDTTINm入力位置検出機能の一斉書き換え設定 16-130
表16.49　TAUDTTINm入力位置検出機能の操作手順 16-130
表16.50　TAUDTTINm入力期間カウント検出機能のTAUDCMORmレジスタの内容 16-134
表16.51　TAUDTTINm入力期間カウント検出機能のTAUDCMURmレジスタの内容 16-134
表16.52　TAUDTTINm入力期間カウント検出機能の一斉書き換え設定 16-135
表16.53　TAUDTTINm入力期間カウント検出機能の操作手順 16-135
表16.54　TAUDTTINm入力パルスインターバル判定機能のTAUDCMORmレジスタの内容 16-139
表16.55　TAUDTTINm入力パルスインターバル判定機能のTAUDCMURmレジスタの内容 16-139
表16.56　TAUDTTINm入力パルスインターバル判定機能の一斉書き換え設定 16-140
表16.57　TAUDTTINm入力パルスインターバル判定機能の操作手順 16-140
表16.58　TAUDTTINm入力信号幅判定機能のTAUDCMORmレジスタの内容 16-143
表16.59　TAUDTTINm入力信号幅判定機能のTAUDCMURmレジスタの内容 16-143
表16.60　TAUDTTINm 入力信号幅判定機能の一斉書き換え設定 16-144
表16.61　TAUDTTINm入力信号幅判定機能の操作手順 16-144
表16.62　オーバフロー割り込み出力機能（TAUDTTINm幅測定時）のTAUDCMORmレジスタの内容 16-147
表16.63　オーバフロー割り込み出力機能（TAUDTTINm幅測定時）のTAUDCMURmレジスタの内容 16-147
表16.64　オーバフロー割り込み出力機能の一斉書き換え設定（TAUDTTINm幅測定時） 16-148
表16.65　オーバフロー割り込み出力機能の操作手順（TAUDTTINm幅測定時） 16-148

表16.66　オーバフロー割り込み出力機能（TAUDTTINm入力期間カウント検出時）のTAUDCMORmレジスタの内容 16-151
表16.67　オーバフロー割り込み出力機能（TAUDTTINm入力期間カウント検出時）のTAUDCMURmレジスタの内容 16-151
表16.68　オーバフロー割り込み出力機能の一斉書き換え設定（TAUDTTINm入力期間カウント検出時） 16-152
表16.69　オーバフロー割り込み出力機能の操作手順（TAUDTTINm入力期間カウント検出時） 16-152
表16.70　デッドタイムが付加されるTAUDTTOUTmとTAUDTTINmの状態 16-153
表16.71　1相PWM出力機能の下位チャネルのTAUDCMORmレジスタの内容 16-156
表16.72　1相PWM出力機能の下位チャネルのTAUDCMURmレジスタの内容 16-156
表16.73　1相PWM出力を行うチャネル連動出力モード2の制御ビット設定 16-157
表16.74　1相PWM出力機能の一斉書き換え設定 16-157
表16.75　1相PWM出力を行うチャネル連動出力モード2の上位チャネル制御ビット設定 16-158
表16.76　1相PWM出力機能の操作手順 16-159
表16.77　リアルタイム出力機能タイプ1の上位チャネルのTAUDCMORmレジスタの内容 16-163
表16.78　リアルタイム出力機能タイプ1の上位チャネルのTAUDCMURmレジスタの内容 16-163
表16.79　リアルタイム出力を行うチャネル単体出力モード1時の制御ビット設定 16-164
表16.80　リアルタイム出力機能タイプ1の一斉書き換え設定 16-164
表16.81　リアルタイム出力を行うチャネル単体出力モード1時の下位チャネル制御ビット設定 16-165
表16.82　リアルタイム出力機能タイプ1の操作手順 16-166
表16.83　リアルタイム出力機能タイプ2の上位チャネルのTAUDCMORmレジスタの内容 16-171
表16.84　リアルタイム出力機能タイプ2の上位チャネルのTAUDCMURmレジスタの内容 16-171
表16.85　リアルタイム出力を行うチャネル単体出力モード1時の制御ビット設定 16-172
表16.86　リアルタイム出力機能タイプ2の一斉書き換え設定 16-172
表16.87　リアルタイム出力を行うチャネル単体出力モード1時の下位チャネル制御ビット設定 16-173
表16.88　リアルタイム出力機能タイプ2の操作手順 16-174
表16.89　一斉書き換えトリガ生成機能タイプ1の上位チャネルのTAUDCMORmレジスタの内容 ... 16-180
表16.90　一斉書き換えトリガ生成機能タイプ1の上位チャネルのTAUDCMURmレジスタの内容 ... 16-180
表16.91　一斉書き換えトリガ生成機能タイプ1の一斉書き換え設定 16-181
表16.92　一斉書き換えトリガ生成機能タイプ1時の下位チャネル一斉書き換え設定 16-181
表16.93　一斉書き換えトリガ生成機能タイプ1の操作手順 16-182
表16.94　一斉書き換えトリガ生成機能タイプ2の上位チャネルのTAUDCMORmレジスタの内容 ... 16-186
表16.95　一斉書き換えトリガ生成機能タイプ2の上位チャネルのTAUDCMURmレジスタの内容 ... 16-186
表16.96　一斉書き換えトリガ生成機能タイプ2の一斉書き換え設定 16-187
表16.97　一斉書き換えトリガ生成機能タイプ2の下位チャネルのTAUDCMORmレジスタの内容 ... 16-187
表16.98　一斉書き換えトリガ生成機能タイプ2の下位チャネルのTAUDCMURmレジスタの内容 ... 16-188
表16.99　一斉書き換えトリガ生成機能タイプ2時の下位チャネル一斉書き換え設定 16-188
表16.100　一斉書き換えトリガ生成機能タイプ2の操作手順 16-189
表16.101　PWM出力機能のマスタチャネルのTAUDCMORmレジスタの内容 16-194
表16.102　PWM出力機能のマスタチャネルのTAUDCMURmレジスタの内容 16-194
表16.103　PWM出力機能時のマスタチャネルの一斉書き換え設定 16-195
表16.104　PWM出力機能のスレーブチャネルのTAUDCMORmレジスタの内容 16-196
表16.105　PWM出力機能のスレーブチャネルのTAUDCMURmレジスタの内容 16-196

表16.106　チャネル単体出力モード1時の制御ビット設定 16-197
表16.107　PWM出力機能時のスレーブチャネルの一斉書き換え設定 16-197
表16.108　PWM出力機能時の操作手順 16-198
表16.109　ワンショットパルス出力機能のマスタチャネルのTAUDCMORmレジスタの内容 16-206
表16.110　ワンショットパルス出力機能のマスタチャネルのTAUDCMURmレジスタの内容 16-206
表16.111　ワンショットパルス出力機能時のマスタチャネルの一斉書き換え設定 16-207
表16.112　ワンショットパルス出力機能のスレーブチャネルのTAUDCMORmレジスタの内容 16-207
表16.113　ワンショットパルス出力機能のスレーブチャネルのTAUDCMURmレジスタの内容 16-208
表16.114　チャネル単体出力モード2のときの制御ビット設定 16-208
表16.115　ワンショットパルス出力機能時のスレーブチャネルの一斉書き換え設定 16-208
表16.116　ワンショットパルス出力機能時の操作手順 16-209
表16.117　トリガスタートPWM出力機能のマスタチャネルのTAUDCMORmレジスタの内容 16-217
表16.118　トリガスタートPWM出力機能のマスタチャネルのTAUDCMURmレジスタの内容 16-217
表16.119　トリガスタートPWM出力機能時のマスタチャネルの一斉書き換え設定 16-218
表16.120　トリガスタートPWM出力機能のスレーブチャネルのTAUDCMORmレジスタの内容 16-218
表16.121　トリガスタートPWM出力機能のスレーブチャネルのTAUDCMURmレジスタの内容 16-219
表16.122　チャネル単体出力モード1時の制御ビット設定 16-219
表16.123　トリガスタートPWM出力機能時のスレーブチャネルの一斉書き換え設定 16-219
表16.124　トリガスタートPWM出力機能時の操作手順 16-220
表16.125　ディレイパルス出力機能のマスタチャネルのTAUDCMORmレジスタの内容 16-229
表16.126　ディレイパルス出力機能のマスタチャネルのTAUDCMURmレジスタの内容 16-229
表16.127　ディレイパルス出力機能時のマスタチャネルの一斉書き換え設定 16-230
表16.128　ディレイパルス出力機能のスレーブチャネル1のTAUDCMORmレジスタの内容 16-230
表16.129　ディレイパルス出力機能のスレーブチャネル1のTAUDCMURmレジスタの内容 16-231
表16.130　チャネル連動出力モード1時のスレーブチャネル1の制御ビット設定 16-231
表16.131　ディレイパルス出力機能時のスレーブチャネル1の一斉書き換え設定 16-231
表16.132　ディレイパルス出力機能のスレーブチャネル2のTAUDCMORmレジスタの内容 16-232
表16.133　ディレイパルス出力機能のスレーブチャネル2のTAUDCMURmレジスタの内容 16-232
表16.134　ディレイパルス出力機能時のスレーブチャネル2の一斉書き換え設定 16-233
表16.135　ディレイパルス出力機能のスレーブチャネル3のTAUDCMORmレジスタの内容 16-233
表16.136　ディレイパルス出力機能のスレーブチャネル3のTAUDCMURmレジスタの内容 16-234
表16.137　チャネル単体出力モード2時の制御ビット設定 16-234
表16.138　ディレイパルス出力機能時のスレーブチャネル3の一斉書き換え設定 16-234
表16.139　ディレイパルス出力機能時の操作手順 16-235
表16.140　オフセットトリガ出力機能のマスタチャネルのTAUDCMORmレジスタの内容 16-242
表16.141　オフセットトリガ出力機能のマスタチャネルのTAUDCMURmレジスタの内容 16-243
表16.142　オフセットトリガ出力機能時のマスタチャネルの一斉書き換え設定 16-243
表16.143　オフセットトリガ出力機能のスレーブチャネルのTAUDCMORmレジスタの内容 16-244
表16.144　オフセットトリガ出力機能のスレーブチャネルのTAUDCMURmレジスタの内容 16-244
表16.145　チャネル連動出力モード1時の制御ビット設定 16-245
表16.146　オフセットトリガ出力機能時のスレーブチャネルの一斉書き換え設定 16-245
表16.147　オフセットトリガ出力機能時の操作手順 16-246
表16.148　三角波PWM出力機能のマスタチャネルのTAUDCMORmレジスタの内容 16-255

表16.149　三角波PWM出力機能のマスタチャネルのTAUDCMURmレジスタの内容 16-255
表16.150　チャネル単体出力モード1時の制御ビット設定 16-256
表16.151　三角波PWM出力機能時のマスタチャネルの一斉書き換え設定 16-256
表16.152　三角波PWM出力機能のスレーブチャネルのTAUDCMORmレジスタの内容 16-257
表16.153　三角波PWM出力機能のスレーブチャネルのTAUDCMURmレジスタの内容 16-257
表16.154　チャネル連動出力モード2のときの制御ビット設定 16-258
表16.155　三角波PWM出力機能時のスレーブチャネルの一斉書き換え設定 16-258
表16.156　三角波PWM出力機能時の操作手順 16-259
表16.157　スレーブチャネル2で割り込みが発生した際のTAUDTTOUTmの動作 16-264
表16.158　デッドタイム付き三角波PWM出力機能のマスタチャネルのTAUDCMORmレジスタの内容 16-267
表16.159　デッドタイム付き三角波PWM出力機能のマスタチャネルのTAUDCMURmレジスタの内容 16-267
表16.160　チャネル単体出力モード1時の制御ビット設定 16-268
表16.161　デッドタイム付き三角波PWM出力機能時のマスタチャネルの一斉書き換え設定 16-268
表16.162　デッドタイム付き三角波PWM出力機能のスレーブチャネル2のTAUDCMORmレジスタの内容 16-269
表16.163　デッドタイム付き三角波PWM出力機能のスレーブチャネル2のTAUDCMURmレジスタの内容 16-269
表16.164　デッドタイム出力を行うチャネル連動出力モード2時の制御ビット設定 16-270
表16.165　三角波PWM出力機能時のスレーブチャネル2の一斉書き換え設定 16-270
表16.166　デッドタイム付き三角波PWM出力機能のスレーブチャネル3のTAUDCMORmレジスタの内容 16-271
表16.167　デッドタイム付き三角波PWM出力機能のスレーブチャネル3のTAUDCMURmレジスタの内容 16-271
表16.168　デッドタイム出力を行うチャネル連動出力モード2時の制御ビット設定 16-272
表16.169　三角波PWM出力機能時のスレーブチャネル2の一斉書き換え設定 16-272
表16.170　デッドタイム付き三角波PWM出力機能時の操作手順 16-273
表16.171　割り込み要求信号間引き機能のマスタチャネルのTAUDCMORmレジスタの内容 16-281
表16.172　割り込み要求信号間引き機能のマスタチャネルのTAUDCMURmレジスタの内容 16-281
表16.173　割り込み要求信号間引き機能時のマスタチャネルの一斉書き換え設定 16-282
表16.174　割り込み要求信号間引き機能のスレーブチャネルのTAUDCMORmレジスタの内容 16-282
表16.175　割り込み要求信号間引き機能のスレーブチャネルのTAUDCMURmレジスタの内容 16-283
表16.176　割り込み要求信号間引き機能時のスレーブチャネルの一斉書き換え設定 16-283
表16.177　割り込み要求信号間引き機能時の操作手順 16-284
表16.178　非相補方式変調出力機能タイプ1時のスレーブチャネルのTAUDTTOUTm出力（TAUDTOL.TAUDTOLm = 0） 16-288
表16.179　非相補方式変調出力機能タイプ1のマスタチャネルのTAUDCMORmレジスタの内容 16-291
表16.180　非相補方式変調出力機能タイプ1のマスタチャネルのTAUDCMURmレジスタの内容 16-291
表16.181　非相補方式変調出力機能タイプ1時のマスタチャネルの一斉書き換え設定 16-292
表16.182　非相補方式変調出力機能タイプ1のスレーブチャネル1のTAUDCMORmレジスタの内容 16-293
表16.183　非相補方式変調出力機能タイプ1のスレーブチャネル1のTAUDCMURmレジスタの内容 16-293
表16.184　非相補方式変調出力機能タイプ1時のスレーブチャネル1の一斉書き換え設定 16-294

表16.185　非相補方式変調出力機能タイプ1のスレーブチャネル2～7のTAUDCMORmレジスタの内容 16-294
表16.186　非相補方式変調出力機能タイプ1のスレーブチャネル2～7のTAUDCMURmレジスタの内容 16-295
表16.187　非相補方式変調出力を行うチャネル連動出力モード1時の制御ビット設定 16-295
表16.188　非相補方式変調出力機能タイプ1時のスレーブチャネル2～7の一斉書き換え設定..... 16-295
表16.189　割り込み要求信号間引き機能時の操作手順 16-296
表16.190　非相補方式変調出力機能タイプ2時のスレーブチャネルのTAUDTTOUTm出力（TAUDTOL.TAUDTOLm = 0） 16-301
表16.191　非相補方式変調出力機能タイプ2のマスタチャネルのTAUDCMORmレジスタの内容..... 16-304
表16.192　非相補方式変調出力機能タイプ2のマスタチャネルのTAUDCMURmレジスタの内容..... 16-304
表16.193　非相補方式変調出力機能タイプ2時のマスタチャネルの制御ビット設定 16-305
表16.194　非相補方式変調出力機能タイプ2時のマスタチャネルの一斉書き換え設定 16-305
表16.195　非相補方式変調出力機能タイプ2のスレーブチャネル1のTAUDCMORmレジスタの内容. 16-306
表16.196　非相補方式変調出力機能タイプ2のスレーブチャネル1のTAUDCMURmレジスタの内容. 16-306
表16.197　非相補方式変調出力機能タイプ2時のスレーブチャネル1の一斉書き換え設定 16-307
表16.198　非相補方式変調出力機能タイプ2のスレーブチャネル2～7のTAUDCMORmレジスタの内容 16-307
表16.199　非相補方式変調出力機能タイプ2のスレーブチャネル2～7のTAUDCMURmレジスタの内容 16-308
表16.200　非相補方式変調出力を行うチャネル連動出力モード2時の制御ビット設定 16-308
表16.201　非相補方式変調出力機能タイプ2時のスレーブチャネル2～7の一斉書き換え設定..... 16-308
表16.202　非相補方式変調出力機能タイプ2時の操作手順 16-309
表16.203　相補方式変調出力機能時のスレーブチャネル1時のTAUDTTOUTm出力（TAUDTOL.TAUDTOLm = 0） 16-314
表16.204　相補方式変調出力機能のマスタチャネルのTAUDCMORmレジスタの内容 16-318
表16.205　相補方式変調出力機能のマスタチャネルのTAUDCMURmレジスタの内容 16-318
表16.206　チャネル単体出力モード1時の制御ビット設定 16-319
表16.207　相補方式変調出力機能時のマスタチャネルの一斉書き換え設定 16-319
表16.208　相補方式変調出力機能のスレーブチャネル1のTAUDCMORmレジスタの内容 16-320
表16.209　相補方式変調出力機能のスレーブチャネル1のTAUDCMURmレジスタの内容 16-320
表16.210　相補方式変調出力機能時のスレーブチャネル1の一斉書き換え設定 16-321
表16.211　相補方式変調出力機能のスレーブチャネル2, 4, 6のTAUDCMORmレジスタの内容..... 16-322
表16.212　相補方式変調出力機能のスレーブチャネル2, 4, 6のTAUDCMURmレジスタの内容..... 16-322
表16.213　相補方式変調出力を行うチャネル連動出力モード2時の制御ビット設定 16-323
表16.214　相補方式変調出力機能時のスレーブチャネル2, 4, 6の一斉書き換え設定 16-323
表16.215　相補方式変調出力機能のスレーブチャネル3, 5, 7のTAUDCMORmレジスタの内容..... 16-324
表16.216　相補方式変調出力機能のスレーブチャネル3, 5, 7のTAUDCMURmレジスタの内容..... 16-324
表16.217　相補方式変調出力を行うチャネル連動出力モード2時の制御ビット設定 16-325
表16.218　相補方式変調出力機能時のスレーブチャネル3, 5, 7の一斉書き換え設定 16-325
表16.219　相補方式変調出力機能時の操作手順 16-326
表17.1　TAPAの割り込みと周辺機能への要求 17-1
表17.2　外部出力信号 17-2

表17.3 内部出力信号 17-2
表17.4 レジスタ一覧 17-6
表17.5 非同期入力Hi-Z制御機能の操作手順 17-28
表17.6 TAPATADOUT信号生成に使用する信号一覧 17-32
表17.7 TAPACTL1.TAPAATS[3:2]、TAPATADOUT1の動作 17-32
表17.8 TAPACTL1.TAPAATS[1:0]、TAPATADOUT0の動作 17-32
表17.9 A/Dコンバータ変換トリガ選択機能の操作手順 17-36
表17.10 同時スタートトリガ機能の構成 17-39
表17.11 デッドタイム付き3相PWM出力機能の構成 17-42
表17.12 TAUD設定 17-42
表17.13 TAUD CH2関連（PWM出力機能マスタチャネル）注1 17-55
表17.14 TAUD CH4-CH9関連（PWM出力機能スレーブチャネル注1）(m = 4-9） 17-55
表17.15 TAUD CH11, 13, 15関連（1相PWM出力機能）（m = 11, 13, 15） 17-56
表17.16 TAUDチャネル共通 17-56
表17.17 PICの設定 17-59
表17.18 デッドタイム付き高精度三角波PWM出力機能の構成 17-60
表17.19 TAUD構成 17-61
表17.20 U/UB相組み合わせ回路（PFN001）の入出力表 17-64
表17.21 論理演算回路（FN0i）（i = 0、1）設定とTAPAUP、TAPAUM端子出力 17-65
表17.22 TAUD CH2関連（デッドタイム付き三角波PWM出力機能マスタチャネル）注1 17-77
表17.23 TAUD CH4,6,8関連（デッドタイム付き三角波PWM出力機能スレーブチャネル2注1）（m = 4, 6, 8） 17-78
表17.24 TAUD CH5, 7, 9関連（デッドタイム付き三角波PWM出力機能スレーブチャネル3注1）（m = 5, 7, 9） 17-78
表17.25 TAUD CH10, 12, 14関連（ワンショットパルス出力機能マスタチャネル注1）（m = 10, 12, 14） 17-79
表17.26 TAUD CH11, 13, 15関連（ワンショットパルス出力機能スレーブチャネル注1）（m = 11, 13, 15） 17-79
表17.27 TAUDチャネル共通 17-80
表17.28 PICの設定 17-83
表17.29 デッドタイム付きディレイパルス出力機能の構成 17-84
表17.30 TAUD構成 17-84
表17.31 TAUD CH02関連（ディレイパルス出力機能マスタチャネル）注1 17-95
表17.32 TAUD CH03関連（ディレイパルス出力機能マスタチャネル）注1,2 17-95
表17.33 TAUD CH04、06、08関連（ディレイパルス出力機能スレーブチャネル2注1）（m = 4, 6, 8） 17-96
表17.34 TAUD CH05、07、09関連（ディレイパルス出力機能スレーブチャネル3注1）（m = 5, 7, 9） 17-96
表17.35 TAUD CH11、13、15関連（1相PWM出力機能）（m = 11, 13, 15） 17-97
表17.36 TAUDチャネル共通 17-98
表17.37 TAUDチャネル共通 17-99
表17.38 TAUDチャネル共通 17-100
表17.39 PICの設定 17-100

表18.1 WDTAのチャネル 18-1
表18.2 WDTAの割り込みとリセット出力 18-1
表18.3 WDTAレジスタの概要 18-3
表18.4 トリガ・レジスタと起動コード 18-8
表19.1 UARTJnのチャネル 19-1
表19.2 UARTJnの入出力信号 19-1
表19.3 UARTJnの割り込みと周辺機能への要求 19-2
表19.4 UARTJnレジスタ 19-5
表19.5 データ・フォーマット仕様 19-32
表19.6 受信エラーの原因と指標 19-50
表19.7 ボー・レート・ジェネレータ・クロック出力 19-53
表19.8 ボーレート許容誤差 19-54
表19.9 ボー・レート・ジェネレータ設定例（PCLK = 100MHz時） 19-55
表20.1 CSIHのチャネル 20-1
表20.2 CSIHのチップ・セレクト数 20-1
表20.3 CSIHnの最大転送速度（ボー・レート） 20-1
表20.4 CSIHnの割り込みと周辺機能への要求 20-2
表20.5 CSIHnの入出力信号 20-3
表20.6 CSIH0レジスタの概要 20-6
表20.7 CSIH1レジスタの概要 20-6
表20.8 メモリ・モードでの動作 20-16
表20.9 ジョブ・モードでのCSIHnTICの発生 20-61
表20.10 CSIHnTIR割り込みの発生 20-62
表20.11 データ・エラーのタイプ 20-65
表20.12 CSIHnTIJC割り込みの発生 20-66
表21.1 I^2CBのチャネル数 21-1
表21.2 IICBnの割り込みと周辺機能への要求 21-1
表21.3 I2Cレジスタ 21-4
表21.4 シリアル出力タイミング生成条件 ★ 21-15
表21.5 拡張コードのビット定義 21-33
表21.6 ウェイト状態への遷移タイミング 21-51
表21.7 ウェイト解除条件 21-55
表21.8 割り込み要求信号発生タイミング（シングル転送モード） 21-57
表21.9 アドレス転送中の割り込み要求信号発生条件と発生する割り込み要求信号（シングル転送モード） 21-58
表21.10 データ転送中の割り込み要求信号発生条件と発生する割り込み要求信号（シングル転送モード） 21-59
表21.11 IICBTISn信号発生タイミング 21-62
表21.12 アドレス転送中のIICBTISn信号発生条件（連続転送モード） 21-63
表21.13 データ転送中のIICBTISn信号発生条件（連続転送モード） 21-64
表22.1 FCNのチャネル 22-1
表22.2 FCNチャネルのメッセージ・バッファ 22-1
表22.3 FCNの割り込みと周辺機能への要求 22-2

表22.4 FCNの入出力信号 22-3
表22.5 機能の概要 22-5
表22.6 FCNレジスタ一覧(1/2) 22-7
表22.7 FCN0グローバル・レジスタとFCN0モジュール・レジスタ(1/2) 22-9
表22.8 FCN1グローバル・レジスタとFCN1モジュール・レジスタ(1/2) 22-11
表22.9 FCNグローバル・レジスタのビット構成 22-13
表22.10 FCNモジュール・マスク制御16ビット・レジスタのビット構成 22-14
表22.11 FCNモジュール・マスク制御32ビット・レジスタのビット構成 22-15
表22.12 FCNモジュール・レジスタのビット構成(1/2) 22-16
表22.13 FCNメッセージ・バッファ・レジスタのビット構成(1/2) 22-18
表22.14 ビットのセット／クリア操作 22-21
表22.15 マルチ・バッファ受信ブロック（MBRB）の優先度 22-76
表22.16 FCNモジュール割り込みソースの一覧 22-101
表22.17 各動作モードでの受信／送信の概要 22-106
表22.18 設定可能なビット・レートの組み合わせ (1/3) 22-110
表22.19 代表的なボー・レートの設定例（f_{CANMOD} = 20MHz）(1/2) 22-113
表23.1 ADCの入出力信号 23-2
表23.2 ADCの割り込みと周辺機能への要求 23-2
表23.3 A/Dコンバータの制御レジスタ 23-3
表23.4 A/D変換モード 23-15
表23.5 4バッファモード時のADINT設定とA/D変換完了割り込みの発生動作 23-19
表23.6 4バッファモード時のアナログ入力とA/D変換結果レジスタの対応 23-19
表23.7 割り込み機能一覧 23-21
表23.8 タイミング間隔制限 23-42
表23.9 ADCEビットでA/D変換を停止、再開したときの動作 23-43
表24.1 CC-Link概略仕様 24-1
表25.1 ノイズ除去対象信号 25-17

1.　はじめに

本ドキュメントは、産業イーサネットワーク LSI「R-IN32M4-CL2」に搭載されている内蔵周辺機能について記載しています。

以降の章で記載されているシステム・レジスタ（APB 周辺レジスタ領域）のアドレスの記載は、ベース・アドレスからの相対アドレスで記載しています。外部マイコン・インタフェースからアクセスする場合には D_0000H 番地、また CPU および DMA コントローラからのアクセスは、4001_0000H 番地がベース・アドレスになります。

・CPU および DMA コントローラからのアクセスの場合
　BASE = 4001_0000H
・外部マイコン・インタフェースからのアクセスの場合
　BASE = D_0000H

2. クロック／リセット機能

2.1 クロック構成

2.1.1 内部クロックの定義

R-IN32M4 では、多数のクロックを使用しています。
本書に記載されている代表的なクロックを下記に示します。

クロック信号	用途
OSCCLK	内蔵 PLL 前段のクロックです。逓倍される前のクロックで、25MHz で動作します。
FCLK	内部システム・バスのクロックです。スタンバイ・モード時にも動作します。 CPU、Ether MAC は FCLK を基準にアクセスされます。 PLL の VCO を 500MHz に設定した場合、100MHz で動作します。 クロックの Duty は 50%です。
HCLK	内部システム・バスのクロックです。スタンバイ・モード時に停止します。 HW-RTOS、DMA コントローラ、メモリ・コントローラは HCLK を基準にアクセスされます。 PLL の VCO を 500MHz に設定した場合、100MHz で動作します。 クロックの Duty は 50%です。 ウォッチドック・タイマは、このクロックを直接または分周して利用しています。
PCLK	内部周辺マクロ用のクロックです。 タイマ、シリアル・インタフェース、I2C などの周辺回路は、PCLK を基準にアクセスされます。 PLCK は HCLK と同一のクロックを使用しますので、HCLK が 100MHz の場合は、PCLK も 100MHz で動作します。 クロックの Duty は 50%です。
BUSCLK 注 1	メモリ・コントローラによる外部バス・インタフェースのバス・クロックです。 HCLK と同一クロックです。
HBUSCLK 注 2	外部マイコン・インタフェース用のクロックです。外部マイコンからクロック同期式でアクセスを行う場合に使用します。

注 1. 同期式バースト・アクセス MEMC を選択した場合には以下の動作となります。
1．分周設定：BCLKSEL レジスタにて 1/2～1/6 分周の設定が可能
2．メモリアクセスによるクロック動作
・メモリアクセスなし：クロック停止(Low 固定)
・非同期メモリアクセス時：クロック停止(Low 固定)
・同期メモリアクセス時：アクセス時のみクロック出力
2. 非同期モードを使用する時は、HBUSCLK 端子には Low を接続してください。

2.1.2 クロック構成図

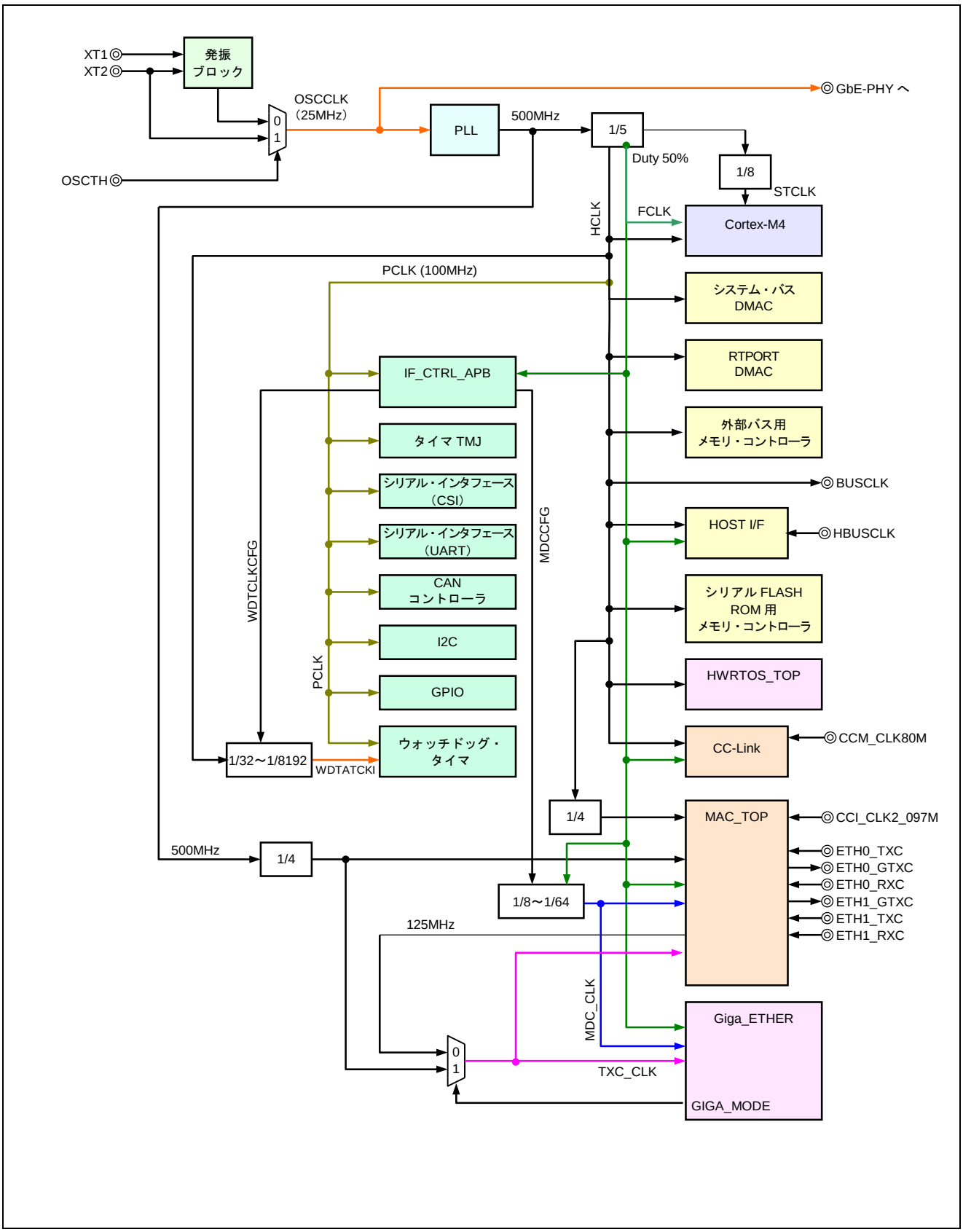


図2.1 クロック構成図

2.2 クロック停止機能

2.2.1 概要

R-IN32M4 には、未使用機能のクロックを停止させることができます。CLKGTD レジスタで一旦停止させたクロックは復帰できません。復帰するには、システム全体をリセットしてください。

2.2.2　クロック制御レジスタ（CLKGTD0，CLKGTD1）

低消費電力化のため、未使用の機能へのクロック供給を停止することを選択するレジスタです。
32/16 ビット単位でリード／ライト・アクセス可能です。

- アクセス　　32 ビット／16 ビット単位でリード／ライト可能です。

注意 1. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。
2. CLKGTD レジスタで一旦停止させたクロックは復帰できません。復帰するには、システム全体をリセットしてください。
3. 停止させたモジュールに対するアクセスは禁止です。アクセスした場合には、動作を保証できません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CLKGTD0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	GCI2C1	GCI2C0	GCUART1	GCUART0	GCTIMER1	GCTIMER0	GCRTOS	GCHOSTIF	1	1	1	1	GCMEMC	GCSROM	GCDMACRT	GCDMAC	BASE + 01A0H 初期値 0000 FFFFH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	1	1	1	1	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31-16	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15	GCI2C1	I2C バス（I2C1）機能（1：動作 / 0：停止）
14	GCI2C0	I2C バス（I2C0）機能（1：動作 / 0：停止）
13	GCUART1	アシンクロナス・シリアル・インタフェース 1（UART1）機能（1：動作 / 0：停止）
12	GCUART0	アシンクロナス・シリアル・インタフェース 0（UART0）機能（1：動作 / 0：停止）
11	GCTIMER1	16bit タイマ・アレイ・ユニット（TAUD）機能（1：動作 / 0：停止）
10	GCTIMER0	32bit タイマ・アレイ・ユニット（TAUJ2）機能（1：動作 / 0：停止）
9	GCRTOS	HW-RTOS 機能（Gigabit Ether 含む）（1：動作 / 0：停止）
8	GCHOSTIF	外部マイコン・インタフェース機能（1：動作 / 0：停止）
7-4	－	Reserved（ライトは 1 を書き込んでください。リードは 1 が読み出されます。）
3	GCMEMC 注	MEMC（非同期式/同期式バースト・アクセス）機能（1：動作 / 0：停止）
2	GCSROM	シリアル・フラッシュ ROM 機能（1：動作 / 0：停止）
1	GCDMACRT	リアルタイム・ポート用 DMAC 機能（1：動作 / 0：停止）
0	GCDMAC	汎用 DMAC 機能（1：動作 / 0：停止）

注. 非同期式 SRAM MEMC および同期式バースト・アクセス MEMC のクロック停止可否の設定は、個別に行うことはできません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CLKGTD1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	GCIE	GCCC	0	GCIE2	1	1	GCADCLK	GCBCLK	GCESW	0	GCWDT	GCFCN1	GCFCN0	GCCSI1	GCCSI0	BASE + 01A4H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	0	R/W	1	1	R/W	R/W	R/W	0	R/W	R/W	R/W	R/W	R/W	0000 6FDFH

ビット位置	ビット名	意　味
31-15	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
14	GCIE	CC-Link IE Field Network（Slave）機能（1：動作 / 0：停止）
13	GCCC	CC-Link 機能（1：動作 / 0：停止）
12	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
11	GCIE2	CC-Link IE Field Network（Slave）機能（1：動作 / 0：停止）※CLK2_097M クロックのみ
10-9	ー	Reserved（ライトは 1 を書き込んでください。リードは 1 が読み出されます。）
8	GCADCLK	ADC 機能（1：動作 / 0：停止）
7	GCBCLK	BUSCLK 出力機能（1：動作 / 0：停止）
6	GCESW	Ether SWITCH 機能（1：動作 / 0：停止）
5	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
4	GCWDT	Watch Dog Timer 機能（1：動作 / 0：停止）
3	GCFCN1	CAN1 機能（1：動作 / 0：停止）
2	GCFCN0	CAN0 機能（1：動作 / 0：停止）
1	GCCSI1	CSI1 機能（1：動作 / 0：停止）
0	GCCSI0	CSI0 機能（1：動作 / 0：停止）

注意 1. CLKGTD レジスタで一旦停止させたクロックは復帰できません。復帰するには、システム全体をリセットしてください。

2. 停止させたモジュールに対するアクセスは禁止です。アクセスした場合には、動作を保証できません。

2.3　リセット機能

2.3.1　概要

○ ハードウェアによるリセット制御
- ➢ RESETZ 端子入力によるリセット機能
- ➢ PONRZ 端子入力によるパワー・オン・リセット機能（R-IN32M4 内部 RAM の初期化処理含む）
- ➢ HOTRESETZ 端子入力によるリセット機能

○ ソフトウェアによるリセット制御
○ WDT（ウォッチドック・タイマ）によるリセット制御
○ リセット出力機能（RSTOUTZ）
○ 外部リセット入力信号のノイズ除去機能
（対象端子：RESETZ、PONRZ、HOTRESETZ、TRSTZ）

表2.1　リセット発生要因とリセット対象

リセット発生要因		リセット対象						RSTOUTZ 出力
		命令 RAM データ RAM バッファ RAM	PLL	CC-Link IE Field Network パワーオンリセット	CC-Link	CPU のデバッグ・ユニット	その他の周辺回路 (CPU 含む)	
ハード	PONRZ	○	○	○	○	－	○	○
	RESETZ	－	○	○	○	－	○	○
	HOTRESETZ	－	－	－	○	－	○	○
	TRSTZ	－	－	－	－	○	－	－
ソフト	ウォッチドッグタイマ（WDTARES）	－	－	－	○	－	○	○
	システム・リセット・レジスタ（SYSRESET）	－	－	－	○	－	○	○
	AIRCR レジスタ注	－	－	－	○	－	○	○
	CC-Link リセット・レジスタ（CCRES）	－	－	－	○	－	－	－
	GbE-PHY リセットレジスタ(CC-Link IE Field)	－	－	－	－	－	GbE-PHY のみ有効	－
	PHYRST レジスタ (IF_CTRL_APB)	－	－	－	－	－	GbE-PHY のみ有効	－

○：有効、 －：無効

注. Cortex®-M4 内のシステム制御レジスタ（0xE000_ED18）です。
AIRCR[2].SYSRESETREQ に“1”をセットすることにより、リセットすることができます。

2.3.2　リセットの種類と説明

(1)　ハードウエアによるリセット制御

PONRZ、RESETZ、HOTRESETZ 入力により、CPU コアおよび内蔵周辺機能が初期化されます。なお、HOTRESETZ 入力では、内部 PLL がリセットされません。

各リセット信号の必要なロー・レベル幅は 1μs 以上ですが、外部発振器（25MHz）の発振安定時間は各リセット端子のロー・レベル入力中に確保してください。

TRSTZ は Cortex-M4 のデバッグ・ユニットにのみ接続されていますので、ICE から CPU コアおよび内蔵周辺機能をリセットする場合は、ICE コネクタからのターゲット・リセット用信号（nTRST）をワイヤード OR で等で RESETZ 端子に接続してください。接続例は「26. デバッグ機能」の章を参照してください。

(2)　ソフトウェアによるリセット制御

システム・リセット・レジスタ（SYSRESET）を設定することにより、R-IN32M4 に対しリセットを発生できます。HOTRESETZ 端子入力同等のリセットを行います。内蔵 RAM の初期化は行いません。

GbE-PHY のハードウエアリセットは、RESETZ、PONRZ および CC-Link IE Field の専用レジスタ、PHYRST レジスタにて制御可能です。

(3)　WDT（ウォッチドック・タイマ）によるリセット制御

内蔵ウォッチドック・タイマ（WDT）からリセット要求が発生すると、CPU および内蔵周辺機能が初期化されます。RESETZ 端子入力同等のリセット処理を行います。内蔵 RAM の初期化は行いません。

(4)　リセット出力（RSTOUTZ 出力）

R-IN32M4 内部にリセットが発生すると、RSTOUTZ のロー・レベルを出力します。外部デバイスの汎用リセットとして利用できます。

(5)　アナログノイズフィルタ（RESFIL）

RESFIL は、外部からのパワー・オン・リセット（PONRZ）、システム・リセット（RESETZ）と、JTAG リセット（TRSTZ）のノイズを除去する回路です。このノイズ対策により、100ns 以内のノイズを除去できます。テスト・モードでは、ノイズ除去回路をスキップします。

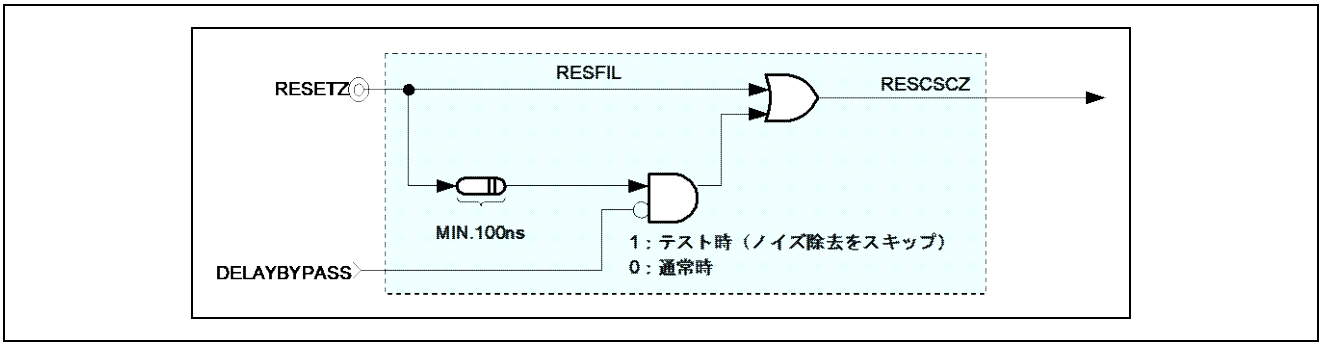


図2.2　リセット入力のノイズ除去回路構成

2.3.3　リセット制御レジスタ

(1)　システム・リセット・レジスタ（SYSRESET）

R-IN32M4 全体をリセットします（HOTRESETZ 入力端子相当）。PONRZ 端子の対象のレジスタはリセットされません。本レジスタのリセット解除は、R-IN32M4 全体をリセット解除するときに行われます。

- アクセス　　32 ビット／16 ビット単位でリード／ライト可能です。

注意 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SYSRESET	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SYS RST	BASE + 01C0H	0001H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W		

ビット位置	ビット名	意　味
0	SYSRSET	R-IN32M4 全体をリセットします。 0：R-IN32M4 をリセット状態 1：R-IN32M4 をリセット解除状態

(2)　PHY リセットレジスタ（PHYRST）

PHY リセット用レジスタです。PHY リセット切り替えレジスタ（PHYRSTCH）により、本レジスタでの制御か CC-LinkIE Field での制御かを選択します。

- アクセス　　32 ビット／16 ビット単位でリード／ライト可能です。

注意 1. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
PHYRST	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PHYRST	BASE + 1220H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	初期値 0000 0000H

ビット位置	ビット名	意　味
0	PHYRST	PHY のリセット解除を行います。※PHYRSTCH=1 のときのみ 0：PHY リセット中 1：PHY リセット解除

(3)　PHY リセット切り替えレジスタ（PHYRSTCH）

GbE-PHY のリセット制御を PHY リセットレジスタ（RHYRST）で行うか、CC-LinkIE Field で行うかを選択するレジスタです。

- アクセス　　32 ビット／16 ビット単位でリード／ライト可能です。

注意 1. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
PHYRSTCH	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PHYRSTCH	BASE + 1224H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0000 0000H

ビット位置	ビット名	意　味
0	PHYRSTCH	PHY のリセット制御を選択します。 0：CC-LinkIE Field で制御 1：PHYRST レジスタで制御

2.3.4 リセット動作

以下に R-IN32M4 の PowerON 時および SystemReset 発行時のタイミングチャートを示します。

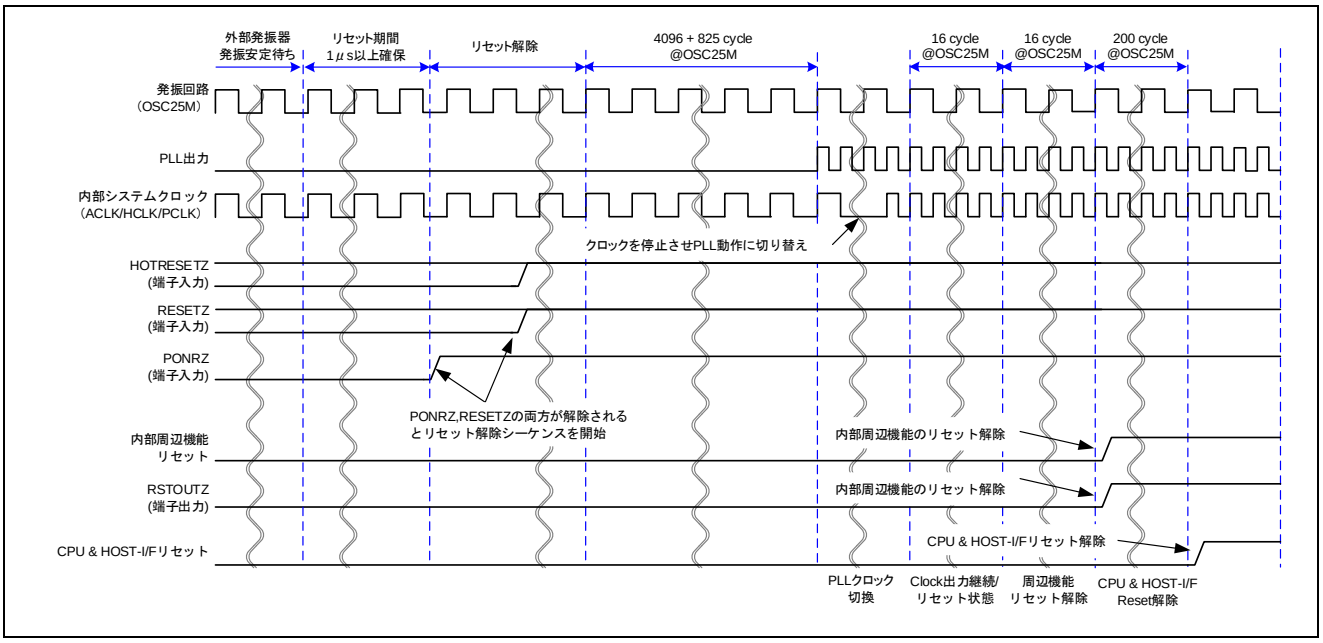


図2.3 パワーON 時のリセットタイミングチャート★

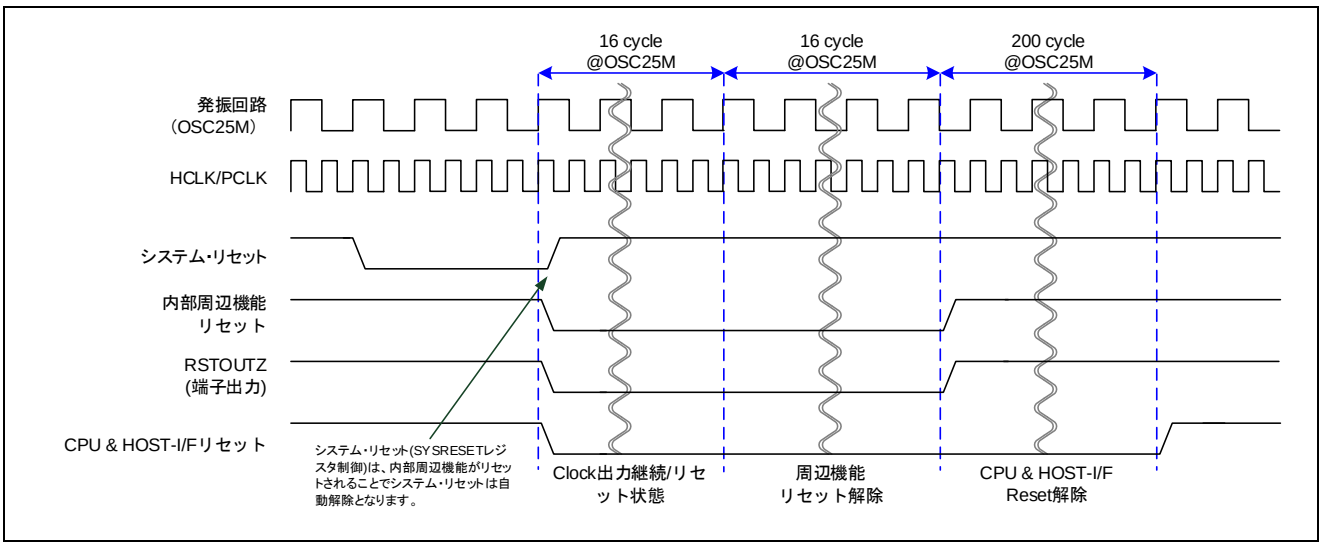


図2.4 システムリセット時のリセットタイミングチャート★

3. CPU／内蔵 RAM

R-IN32M4 は、高性能 32 ビット・プロセッサ（Arm® Cortex®-M4 コア）を内蔵しています。
本章では、R-IN32M4 に内蔵している CPU および、内蔵 RAM の概要について説明します。

3.1 CPU コア情報

R-IN32M4 で使用している Cortex-M4 コアのリビジョンは Cortex-M4 r0p1 です。
CPU コア部、アーキテクチャなどの詳細は、Arm 社の下記 URL を参照してください。

http://infocenter.arm.com/help/topic/com.arm.doc.set.cortexm/index.html

3.2 CPU コアのコンフィギュレーション情報

R-IN32M4の Cortex-M4は、以下のコンフィギュレーションを採用しています。

カテゴリ	コンフィギュレーション項目	設定値	備考
割込み	NUM_IRQ	128	IRQ 本数を入力 1～240（NMI は別に搭載）
割込み優先度	LVL_WIDTH	4	優先度ビット数 3～8（8～256段階）
MPU	MPU_PRESENT	あり	メモリ保護ユニット有無
デバッグ・レベル	DEBUG_LVL	3	デバッグ・レベル 1～3
トレース・レベル	TRACE_LVL	2	トレース・レベル 0～2
SW/SWJ-DP 選択	JTAG_PRESENT	SWJ-DP	JTAG アクセス回路搭載時は SWJ-DP を選択
ビットバンド領域	BB_PRESENT	あり	ビットバンド機能有無

デバッグ・レベル	1	2	3（R-IN32M4の設定）
機能概略	最小デバッグ構成	フルデバッグ構成 （データ・マッチングなし）	フルデバッグ構成 （データ・マッチングあり）
デバッグ・ホールト	あり	あり	あり
ブレーク・ポイント	2（命令）	6（命令） 2（リテラル）	6（命令） 2（リテラル）
DWT コンパレータ数	1（データ・マッチング機能は利用不可）	4（データ・マッチング機能は利用不可）	4
フラッシュ・パッチ機能	なし	あり	あり

トレース・レベル	0	1	2（R-IN32M4の設定）
機能概略	トレースなし	スタンダード・トレース	フルトレース
ITM, TPIU 機能	なし	あり	あり
DWT トリガとカウンタ機能	なし	あり	あり
ETM 機能	なし	なし	あり

注意. R-IN32M4は SLEEPDEEP モードには対応していません。SCR レジスタの SLEEPDEEP ビットはセット（1）しないでください。

3.3 内蔵命令 RAM

内蔵命令 RAM は、768K バイトの RAM です。AHB からのアクセスが可能です。

3.3.1 機能概要

〇128bit（32bit×4）のリード・バッファ付
〇レイテンシ：リード・アクセス　2
　　ライト・アクセス　1
　ただし、リード・バッファ内で HIT した場合は、レイテンシ　1
〇AHB バス幅：32bit
〇RAM データ・バス幅：128bit（ECC 除く）
〇転送サイズ：16bit 32bit 転送に対応
〇バースト転送に対応
〇リトル・エンディアン固定
〇ECC 対応：1bit エラー補正、2bit エラー検出

表3.1 内蔵命令 RAM の割り込みと周辺機能への要求

内蔵命令 RAM の割り込み信号	機能	接続先
IRAMECCSEC	内蔵命令 RAM ECC 1bit エラー補正割り込み	・割り込みコントローラ
IRAMECCDED	内蔵命令 RAM ECC 2bit エラー検出割り込み	・割り込みコントローラ

3.3.2 リード・バッファ機能

〇128bit（32bit×4）のリード・バッファ
〇リード・バッファ内で HIT した場合は、0ウェイトで AHB へ応答。
〇2bit ECC エラーが発生した場合には、リード・バッファの内容をクリア。
〇リード応答時の2bit ECC エラーは、ECC エラー割り込みを発生させる。

3.3.3 ライト・インタフェース

〇16ビットでのライト・アクセスが発生した場合、2回アクセス分をまとめて32ビット単位で RAM へライトする。
〇8ビットでのライト・アクセスが発生した場合にはエラー応答する。

注意 外部マイコンから16bit 単位での RAM へのライト・アクセスが発生する場合があります。RAM へのアクセスは、必ず連続で2回発生する（32ビットのデータとしてライトする）ことを前提とした仕様とします。

3.4 内蔵データ RAM

内蔵データ RAM は、512k バイトの RAM です。Header Endec（Communication-BUS)と AHB の双方からのアクセスが可能です。

3.4.1 機能概要

〇AHB レイテンシ：リード・アクセス/ライト・アクセス共にレイテンシ 1
ただし、ライト・アクセス直後のリード・アクセスのみレイテンシ 2
〇Communication-BUS レイテンシ：リード・アクセス/ライト・アクセス共にレイテンシ 1
〇競合時のアクセスのアービトレーション：ラウンドロビン
〇AHB バス幅：32bit
〇Communication-BUS バス幅：128bit
〇RAM バス幅：128bit（ECC 除く）
〇AHB 転送サイズ：8/16/32bit 転送に対応
〇Communication-BUS 転送サイズ：8/16/32/128bit 転送に対応
〇バースト転送に対応
〇リトル・エンディアン固定
〇ECC 対応：1bit エラー補正、2bit エラー検出

表3.2 内蔵データ RAM の割り込みと周辺機能への要求

内蔵データ RAM の割り込み信号	機能	接続先
DRAMECCSEC	内蔵データ RAM ECC 1bit エラー補正割り込み	・割り込みコントローラ
DRAMECCDED	内蔵データ RAM ECC 2bit エラー検出割り込み	・割り込みコントローラ

3.5 バッファ RAM

バッファ RAM は、64k バイトの RAM です。Communication-BUS からのアクセスが可能です。

3.5.1 機能概要

〇Communication-BUS レイテンシ：リード・アクセス/ライト・アクセス共にレイテンシ 1
〇Communication-BUS バス幅：128bit
〇RAM バス幅：128bit（ECC 回路除く）
〇Communication-BUS 転送サイズ：8/16/32/128bit 転送に対応
〇ECC 対応：1bit エラー補正、2bit エラー検出

表3.3 バッファ RAM の割り込みと周辺機能への要求

バッファ RAM の割り込み信号	機能	接続先
BRAMECCSEC	バッファ RAM ECC 1bit エラー補正割り込み	・割り込みコントローラ
BRAMECCDED	バッファ RAM ECC 2bit エラー検出割り込み	・割り込みコントローラ

4. バス構成

R-IN32M4 の AHB 内部バスは、マルチレイヤ構成を採用しており、6 つのバス・マスタごとにバス・レイヤを設けています。このため、複数のマスタが同一のスレーブをアクセスするとき以外は、バスの待ち合わせが発生せず、効率的にバスを利用できます。同一スレーブで複数のマスタからのアクセスが競合した場合は、デフォルト優先順位と、優先順位判定方式に従ってアービトレーションが行われます。

表4.1 R-IN32M4 の AHB 内部バス

マスタ / スレーブ	高 ←（デフォルト優先順位）→ 低						優先順位判定方式
	リアルタイム・ポート用 DMAC	ホスト CPU	Cortex-M4 CPU D コード・バス	Cortex-M4 CPU システム・バス	汎用 DMAC	Cortex-M4 CPU I コード・バス	
データ RAM	◎	○	－	○	○	－	ラウンドロビン（alternate）注3
命令 RAM	○	○	○	－	○	○	固定優先順位
バッファ RAM	－	－	○	－	○	－	ラウンドロビン（fair）注4
外部メモリ	◎	－	○	○	○	○	ラウンドロビン（alternate）注3
シリアル・フラッシュ ROM	－	－	○	○	○	○	ラウンドロビン（fair）注4
Ether MAC (CC-Link IE Field)	◎	○	－	○	○	－	ラウンドロビン（alternate）注3
CC-Link	◎	○	－	○	○	－	ラウンドロビン（alternate）注3
APB 内蔵周辺機能注1	◎	○	－	○	○	－	ラウンドロビン（alternate）注3
リアルタイム・ポート	◎	○	－	○	○	－	ラウンドロビン（alternate）注3
汎用ポート	◎	○	－	○	○	－	ラウンドロビン（alternate）注3
HW-RTOS 注2	－	－	－	○	－	－	－
リアルタイム・ポート用 DMAC 注5	－	－	－	○	－	－	－
汎用 DMAC 注5	－	－	－	○	－	－	－
同期式バーストアクセス MEMC	－	－	－	○	－	－	－

備考 ◎：alternate 指定 (ラウンドロビン(alternate)時の固定最優先
○：アクセス可
－：アクセス不可

注 1. 内蔵タイマ、シリアル・インタフェース、システム・レジスタ等が該当します。
なお、ホスト CPU からアクセス可能な領域は、システム・レジスタのみとなります。
2. ハードウェア・リアルタイム OS です。
3. RR（alternate）：固定優先付きラウンドロビン
固定的に最優先とするマスタ/スレーブを 1 つ指定することができ、それ以外は
ラウンドロビン方式となるアービトレーション方式
4. RR（fair）：ラウンドロビン
5. それぞれの DMA コントローラのレジスタ領域

5. 起動手順

R-IN32M4 は、外部端子（BOOT0, BOOT1）でブートするターゲットを、外部メモリ／シリアル・フラッシュ ROM／外部マイコン／命令 RAM・ブートの 4 種類から選択できます。また、レジスタ設定により、リセットおよび割り込みベクタを切り替えることも可能です。本章では、外部メモリ・ブートから、命令 RAM へのプログラム・コピー、そして命令 RAM への例外ベクタ配置までの一連の動作を説明します。

5.1 ブート選択

外部メモリ・ブート／シリアル・フラッシュ ROM ブート／外部マイコン／命令 RAM・ブートの 4 種類から選択します。

表5.1 ブート・モード選択 ★

BOOT1	BOOT0	ブート・モード	ブート領域の選択
0	0	外部メモリ・ブート	外部バス・インタフェースのCSZ0に接続されているメモリ
0	1	外部シリアル・フラッシュROMブート	シリアル・フラッシュROM
1	0	外部マイコン・ブート	命令RAM
1	1	命令RAMブート（デバッグのみ使用可能）	命令RAM

(1) 外部メモリ・ブート・モード

外部バス・インタフェースの CSZ0 に接続されているメモリからブートします。★

(2) シリアル・フラッシュ ROM ブート

外部シリアル・フラッシュ ROM からブートします。

(3) 外部マイコン・ブート

外部ホスト・マイコン・インタフェースから命令 RAM へプログラムをダウンロード後に R-IN32M4 内蔵の CPU を命令 RAM からブートさせるモードです。命令 RAM へのプログラムのダウンロードに、CPURESET レジスタにて CPU のリセットを解除することにより命令 RAM からのプログラムのフェッチを開始します。

(4) 命令 RAM ブート（デバッグ用限定）

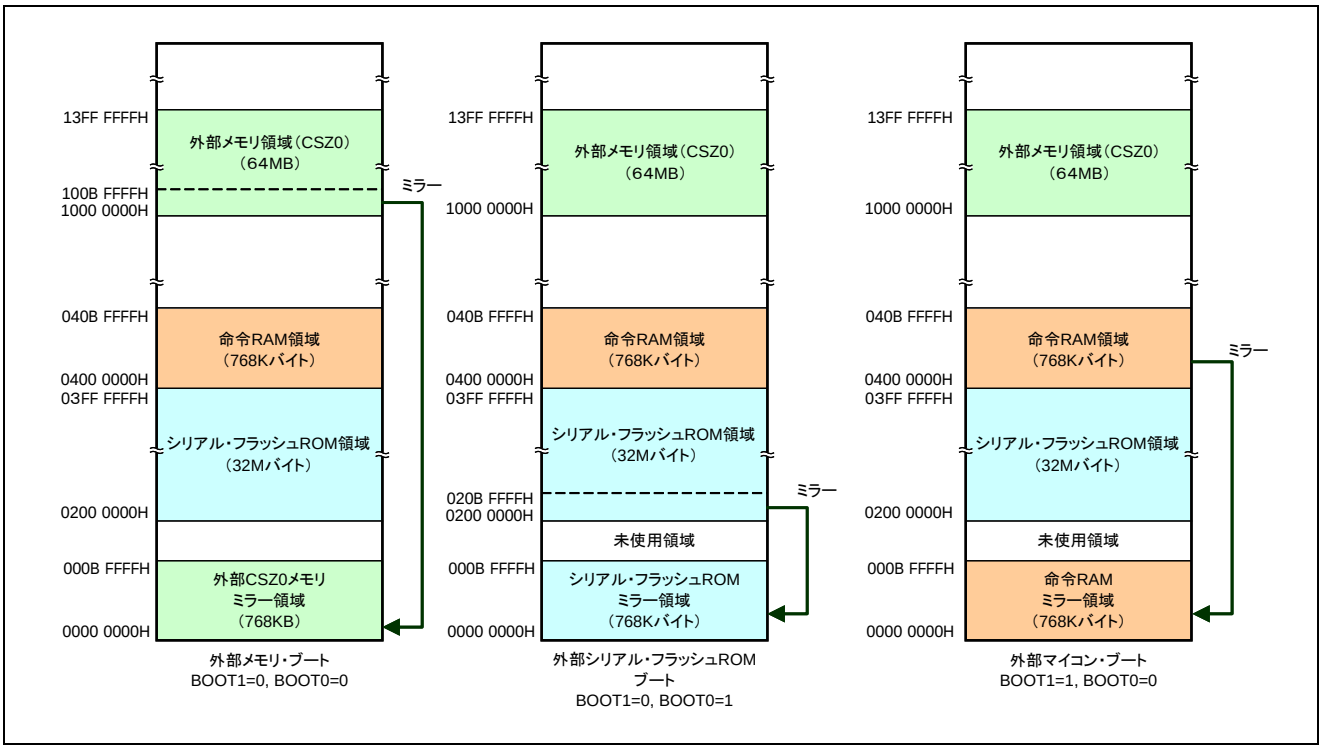
ソフトウェア開発時に、デバッガから直接命令 RAM にダウンロードして実行するためのモードです。

5.2 内蔵 RAM の初期化

R-IN32M4 は、大容量の命令 RAM、データ RAM、バッファ RAM を内蔵しています。これらの RAM は、パワー・オン・リセット入力（PONRZ）が解除されると、PLL のロック待ち時間内に全てのビットをハードウェアで 0 に初期化します。そのため、プログラムによる内蔵 RAM への初期化時間を大幅に削減可能です。

5.3 ブート・モードによるメモリ MAP の違い

R-IN32M4 では、ブート・モードによって、0000_0000H 番地から 000B_FFFFH のメモリ・マップの情報が異なります。



5.4 ブート・シーケンス

命令 RAM に例外ベクタを変更するまでの手順を以下に示します。

5.4.1 外部メモリからブートする場合

(1) リセット解除後、外部 CSZ0 メモリ・ミラー領域からプログラム・フェッチ

BOOT0、BOOT1 端子を外部メモリ・ブートに設定した場合には、0000 0000H 番地には外部 CSZ0 メモリ領域の下位 768KB 空間がミラー領域として配置されます。リセット解除後は 0000 0000H 番地に配置されたプログラムにより起動します。起動後には外部バス・アクセス性能に影響するメモリ・コントローラのレジスタ設定を行ってください。SYSRESET レジスタによるリセット時も同様です。

(2) 内蔵命令 RAM にプログラム・コードを転送

プログラム処理、または DMA 機能により、内蔵命令 RAM にプログラム・コードを転送してください。

(3) 割り込みマスク設定

ベクタ・アドレスを切り替えるため、割り込み動作をすべてマスクします。また、ソフトウェア例外、例外トラップも実行しないでください。

(4) ベクタ・アドレスの切り替え

VTOR レジスタに、命令 RAM 領域（0400 0000H）を設定し、割り込みのマスクを解除します。

(5) メイン・ルーチンへの分岐（通常動作）

命令 RAM からのフェッチ開始

5.4.2 外部シリアル ROM フラッシュからブートする場合

(1) リセット解除後、シリアル ROM フラッシュ・ミラー領域からプログラム・フェッチ

BOOT0、BOOT1 端子を外部シリアル ROM ブートに設定した場合には、0000 0000H 番地には外部シリアル ROM メモリ領域の下位 768KB 空間がミラー領域として配置されます。リセット解除後は 0000 0000H 番地に配置されたプログラムにより起動します。起動後には外部バス・アクセス性能に影響するメモリ・コントローラのレジスタ設定を行ってください。SYSRESET レジスタによるリセット時も同様です。

(2) 内蔵命令 RAM にプログラム・コードを転送

プログラム処理、または DMA 機能により、内蔵命令 RAM にプログラム・コードを転送してください。

(3) 割り込みマスク設定

ベクタ・アドレスを切り替えるため、割り込み動作をすべてマスクします。また、ソフトウェア例外、例外トラップも実行しないでください。

(4) ベクタ・アドレスの切り替え

VTOR レジスタに、命令 RAM 領域（0400 0000H）を設定し、割り込みのマスクを解除します。

(5) メイン・ルーチンへの分岐（通常動作）

命令 RAM からのフェッチ開始

5.4.3 ホスト・マイコンからプログラムをダウンロードしてからブートする場合

BOOT0、BOOT1 端子を外部マイコン・ブートに設定した場合には、0000 0000H 番地には命令 RAM 領域がミラー領域として配置されます。R-IN32M4 のリセット解除後、CPU はリセット状態を保持します。CPU のリセット解除は内蔵命令 RAM へプログラムのダウンロード後に CPURESET レジスタにて解除します。

(1) リセット解除後、内蔵命令 RAM にプログラム・コードを転送

R-IN32M4 外部に接続したホスト・マイコンから、内蔵命令 RAM にプログラム・コードを転送してください。

(2) CPU のリセット解除

内蔵命令 RAM へのダウンロード後 CPURESET レジスタに 0001H をライトし、CPU のリセットを解除します。

6. ハードウェア・リアルタイム OS

ハードウェア・リアルタイム OS はイベント、セマフォ、メールボックス、等 30 種類のシステム・コールをサポートします。

6.1 機能概要

- μITRON ライクなシステム・コール
  - イベント、セマフォ、メールボックス等 30 種類のシステム・コール
- Task Scheduler（Ver.4.2）
  - Hardware ISR：128 本の割り込み要因から 32 本を選択
  - CONTEXT 数：64 個
  - Semaphore 識別子：128 個
  - Event 識別子：64 個
  - Mailbox 識別子：64 個
  - Mailbox エレメント数：192 個
  - CONTEXT 優先順位：16 段階
- Hardware Function Manager
- Internal DMA
- Buffer Allocator
- Header EnDec
- Gigabit Ethernet MAC（MAC DMA 内蔵）

備考 ハードウェア・リアルタイム OS は、サンプル・ドライバにて提供するμITRON のシステム・コールにて制御することができます。ドライバの使用方法は、R-IN32M4-CL2 プログラミング・マニュアル OS 編を参照ください。

6.2 セマフォ

R-IN32M4 の HW-RTOS のセマフォは、5 ビットのカウンティング・セマフォです。また、セマフォのウエイト・キューは、セマフォ識別子毎にコンテキスト優先順位にウエイト・キューを持つか、優先順位に関係なく、ウエイト・キュー持つかをプログラマブルに設定することができます。セマフォの識別子数は 125 個搭載しています。

6.3 イベント

R-IN32M4 の HW-RTOS のイベント・フラグは、16 ビットのフラグ・イベントです。また、イベントのウェイト・キューは、イベント識別子毎にコンテキスト優先順位毎にウェイト・キューを持つか、優先順位に関係なくウェイト・キューを持つかをプログラマブルに指定することができます。イベントの識別子数は 64 個搭載しています。

6.4 メールボックス

R-IN32M4 の HW-RTOS のメールボックスは、32 ビットのメッセージを送受信するための機能です。メッセージの優先順位は 8 です。またメールボックスのウェイト・キューは、セマフォ毎にコンテキスト優先順位ごとにウェイト・キューを持つか、優先順位に関係なくウェイト・キューを持つかプログラマブルに設定することができます。メールボックス識別子数は 64 個搭載しています。

6.5 ハードウェア RTOS の動作

CPU と HW-RTOS は、OS 割り込みとコマンドを使用してハンドシェークを行います。CPU とタスクスケジューラの関係は以下の通りです。

- CPU が実行するソフトウェアは、常にタスクスケジューラがスケジューリングしたコンテキストです。したがって CPU はコンテキスト以外のソフトウェアは実行しません。

- 従来の典型的なソフトウェアの OS では、割り込みやシステム・コール発生時以下の処理をしていました。
  - CPU の汎用レジスタ、プログラムカウンタ、フラグ・レジスタ等のレジスタをこのコンテキストの管理領域に待避する。
  - ディスパッチ時にこれから走らせるコンテキストのレジスタデータを CPU 内のレジスタにロードし、そのプログラムカウンタの値からソフトウェアを実行する。

R-IN32M4 搭載の HW-RTOS は割り込みやシステム・コールが発生すると次のような動作を行います。

- OS 割り込み例外ルーチン内の処理で CPU の汎用レジスタ、プログラムカウンタ、フラグ・レジスタ等をデータ RAM に用意したスタック領域にセーブする。
- システム・コール等の処理を行う。
- ディスパッチされるべきコンテキストを選択する。
- HW-RTOS のコンテキスト制御用メモリから、そのコンテキストに対応する CPU のレジスタの値を読み出し、CPU レジスタに書き込み、OS 割り込み例外より復帰します。

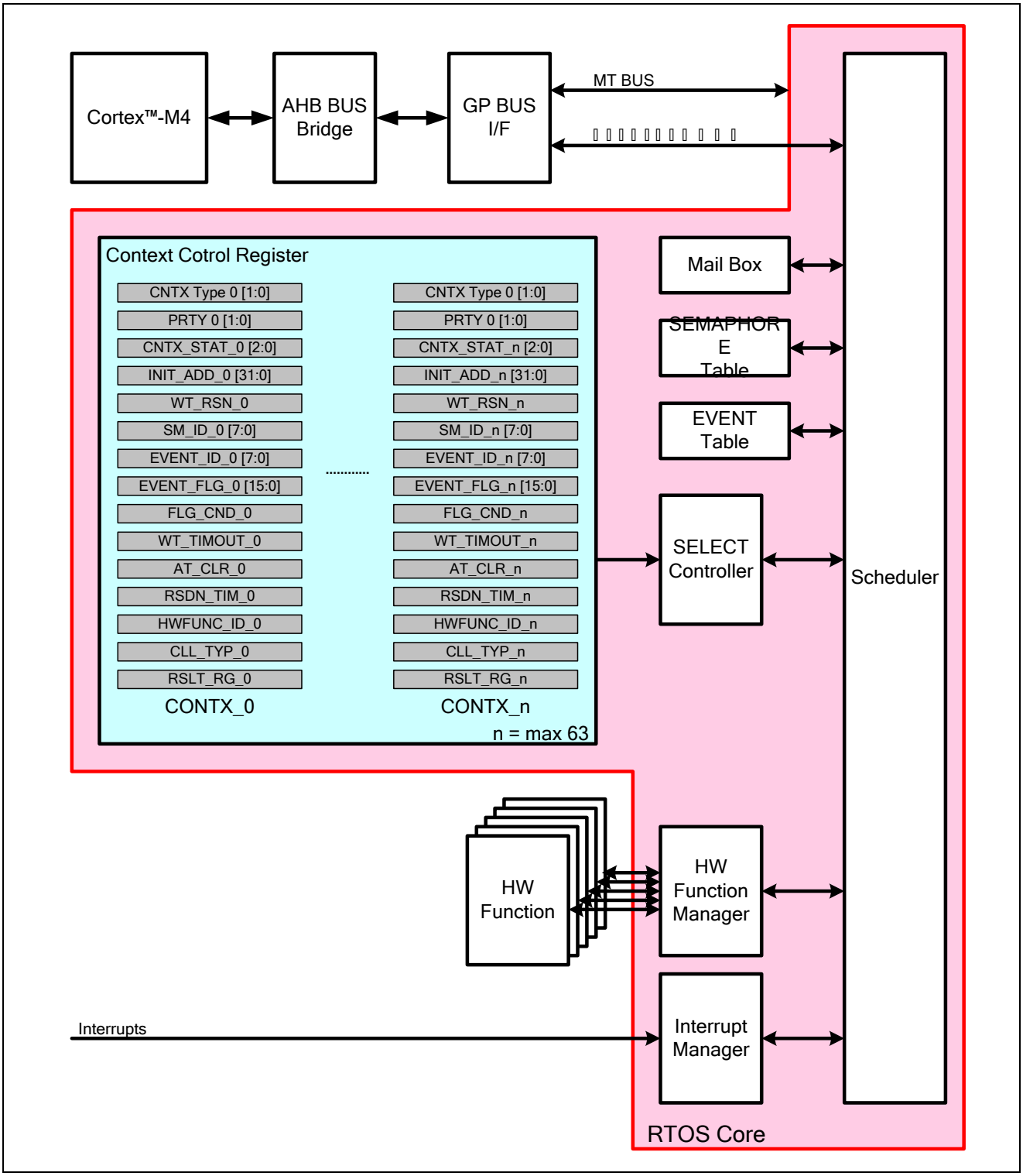


図6.1 ハードウェア・リアルタイム OS 全体構成

7. ギガビット・イーサネット PHY

ギガビット・イーサネット PHY の詳細については、別紙「R-IN32M4-CL2 ユーザーズ・マニュアル Gigabit Ethernet PHY 編」を参照して下さい。

7.1 特徴

- IEEE 802.3（10BASE-T, 100BASE-TX, 1000BASE-T）準拠
- ポート数：2 ポート
- Low パワー機能（ActiPHY 機能 ™）
- オートネゴシエーション機能
- オートクロスオーバー機能

8. ギガビット・イーサネット MAC

本章では、R-IN32M4 に搭載されているアクセラレータ付きのイーサネット MAC 機能について説明します。イーサネット・スイッチ機能に関しては、次章で説明します。

8.1 概要

R-IN32M4 は産業用イーサネットプロトコル（CC-Link IE Field）に対応したイーサネット・インタフェースに加えて、一般的なギガビット・イーサネット・インタフェースとしても使用することができます。

イーサネット・インタフェースの切り替えおよびモード設定は、レジスタで制御します。

8.1.1 イーサネット・インタフェースの構成

イーサネット・インタフェースを選択する制御レジスタと、制御対象の構成を以下に示します。

図中の制御レジスタの説明は、後述します。

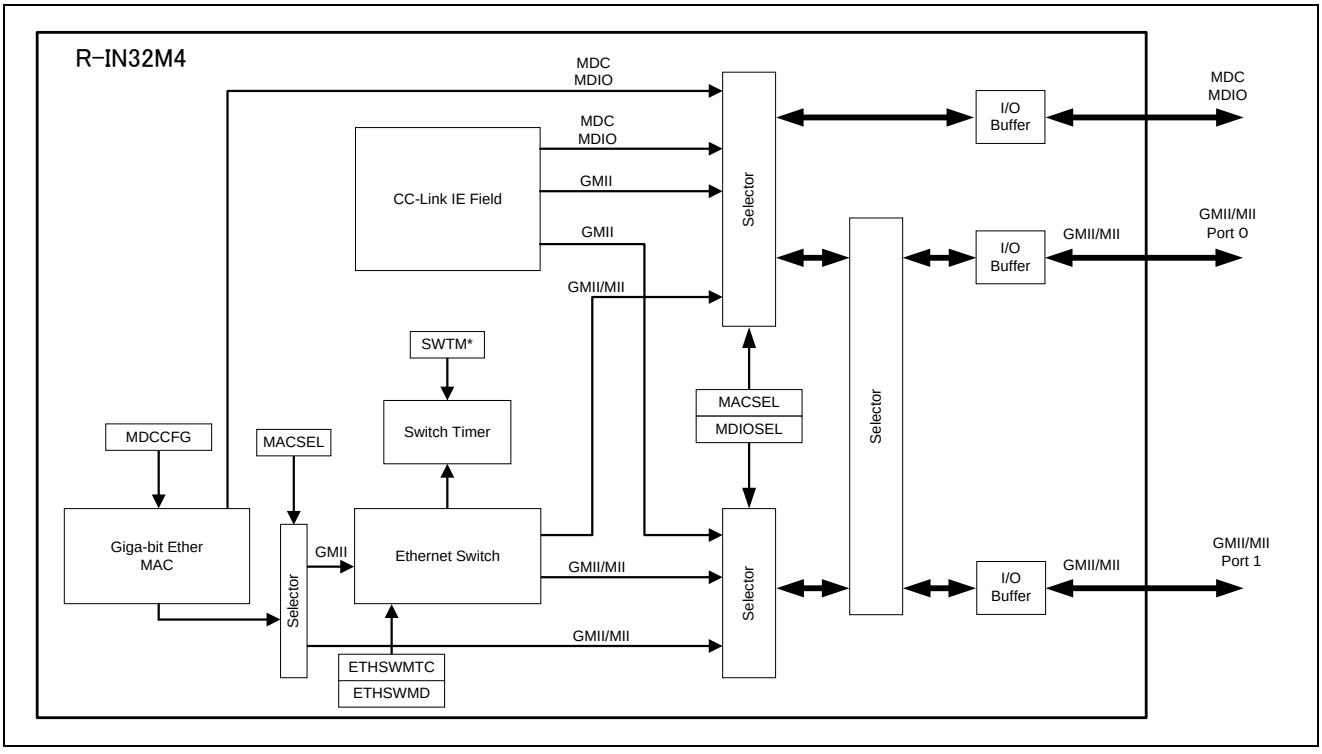


図8.1 イーサネット・インタフェース周辺構成図

8.1.2 PHY インタフェース選択機能

R-IN32M4 では、イーサネット・インタフェースとマネジメント・インタフェースをレジスタ（MACSEL、MDIOSEL）制御により選択することができます。表8.1に選択機能の一覧を示します。

表8.1 PHY インタフェース選択

MACSEL	MDIOSEL	Ethernet Port0	Ethernet Port1	Management I/F
000B	X 注1	汎用 Ethernet ポート 0 (Ethernet スイッチ有り)	汎用 Ethernet ポート 1 (Ethernet スイッチ有り)	GigaBit EtherMAC
001B	0B	CC-Link IE Field Port0	汎用 Ethernet ポート 1 (Ethernet スイッチ有り)	GigaBit EtherMAC
	1B			CC-Link IE Field
010B	0B	汎用 Ethernet ポート 0 (Ethernet スイッチ有り)	CC-Link IE Field Port1	GigaBit EtherMAC
	1B			CC-Link IE Field
011B	X 注1	－（未使用）	汎用 Ethernet ポート 1 (Ethernet スイッチ無し)	GigaBit EtherMAC
100B	X 注2	CC-Link IE Field Port0	CC-Link IE Field Port1	CC-Link IE Field
101B	0B	CC-Link IE Field Port0	汎用 Ethernet ポート 1 (Ethernet スイッチ無し)	GigaBit EtherMAC
	1B			CC-Link IE Field
110B	0B	汎用 Ethernet ポート 0 (Ethernet スイッチ無し)	CC-Link IE Field Port1	GigaBit EtherMAC
	1B			CC-Link IE Field
111B	0B	－	－	－
	1B			

注 1. Don’t Care です。MDIOSEL に関わらず、Management I/F は GigaBit EtherMAC が選択されます。
2. Don’t Care です。MDIOSEL に関わらず、Management I/F は CC-Link IE Field が選択されます。

8.2 特徴

R-IN32M4 のイーサネット・インタフェース（イーサネット・スイッチ未使用時）の機能を以下に示します。

- 〇1 ポート（2 ポート・スイッチ機能搭載）
- 〇IEEE802.3 対応
- 〇10BASE-T、100BASE-TX、1000BASE-T
- 〇全二重通信と半二重通信対応
- 〇自動ポーズパケット送信機能
- 〇ポーズパケット受信による自動送信サスペンド機能
- 〇MII/GMII インタフェース対応

8.3 制御レジスタ

8.3.1 レジスター覧

(1) イーサネット・インタフェース選択レジスタ

レジスタ名	略号	アドレス
MAC セレクト・レジスタ	MACSEL	BASE + 0600H
GMII/MII マネジメント I/F 選択レジスタ	MDIOSEL	BASE + 0E00H

(2) イーサネット・インタフェース・モード設定レジスタ

レジスタ名	略号	アドレス
MDC クロック選択レジスタ	MDCCFG	BASE + 0604H

(3) ギガビット・イーサネット MAC 制御レジスタ

(1/2)

レジスタ名	略号	アドレス
MIIM レジスタ	GMAC_MIIM	4009 00A0H
TX ID レジスタ	GMAC_TXID	4009 000CH
TX RESULT レジスタ	GMAC_TXRESULT	4009 0010H
MODE レジスタ	GMAC_MODE	4009 0020H
RX MODE レジスタ	GMAC_RXMODE	4009 0024H
TX MODE レジスタ	GMAC_TXMODE	4009 0028H
RESET レジスタ	GMAC_RESET	4009 0030H
PAUSE パケットデータレジスタ 1	GMAC_PAUSE1	4009 0080H
PAUSE パケットデータレジスタ 2	GMAC_PAUSE2	4009 0084H
PAUSE パケットデータレジスタ 3	GMAC_PAUSE3	4009 0088H
PAUSE パケットデータレジスタ 4	GMAC_PAUSE4	4009 008CH
PAUSE パケットデータレジスタ 5	GMAC_PAUSE5	4009 0090H
RX FLOW CONTROL レジスタ	GMAC_FLWCTL	4009 0098H
PAUSE パケットレジスタ	GMAC_PAUSPKT	4009 009CH
MAC アドレス・レジスタ 0A	GMAC_ADR0A	4009 0100H
MAC アドレス・レジスタ 0B	GMAC_ADR0B	4009 0104H
MAC アドレス・レジスタ 1A	GMAC_ADR1A	4009 0108H
MAC アドレス・レジスタ 1B	GMAC_ADR1B	4009 010CH
MAC アドレス・レジスタ 2A	GMAC_ADR2A	4009 0110H
MAC アドレス・レジスタ 2B	GMAC_ADR2B	4009 0114H
MAC アドレス・レジスタ 3A	GMAC_ADR3A	4009 0118H
MAC アドレス・レジスタ 3B	GMAC_ADR3B	4009 011CH
MAC アドレス・レジスタ 4A	GMAC_ADR4A	4009 0120H
MAC アドレス・レジスタ 4B	GMAC_ADR4B	4009 0124H
MAC アドレス・レジスタ 5A	GMAC_ADR5A	4009 0128H
MAC アドレス・レジスタ 5B	GMAC_ADR5B	4009 012CH

（2/2）

レジスタ名	略号	アドレス
MAC アドレス・レジスタ 6A	GMAC_ADR6A	4009 0130H
MAC アドレス・レジスタ 6B	GMAC_ADR6B	4009 0134H
MAC アドレス・レジスタ 7A	GMAC_ADR7A	4009 0138H
MAC アドレス・レジスタ 7B	GMAC_ADR7B	4009 013CH
MAC アドレス・レジスタ 8A	GMAC_ADR8A	4009 0140H
MAC アドレス・レジスタ 8B	GMAC_ADR8B	4009 0144H
MAC アドレス・レジスタ 9A	GMAC_ADR9A	4009 0148H
MAC アドレス・レジスタ 9B	GMAC_ADR9B	4009 014CH
MAC アドレス・レジスタ 10A	GMAC_ADR10A	4009 0150H
MAC アドレス・レジスタ 10B	GMAC_ADR10B	4009 0154H
MAC アドレス・レジスタ 11A	GMAC_ADR11A	4009 0158H
MAC アドレス・レジスタ 11B	GMAC_ADR11B	4009 015CH
MAC アドレス・レジスタ 12A	GMAC_ADR12A	4009 0160H
MAC アドレス・レジスタ 12B	GMAC_ADR12B	4009 0164H
MAC アドレス・レジスタ 13A	GMAC_ADR13A	4009 0168H
MAC アドレス・レジスタ 13B	GMAC_ADR13B	4009 016CH
MAC アドレス・レジスタ 14A	GMAC_ADR14A	4009 0170H
MAC アドレス・レジスタ 14B	GMAC_ADR14B	4009 0174H
MAC アドレス・レジスタ 15A	GMAC_ADR15A	4009 0178H
MAC アドレス・レジスタ 15B	GMAC_ADR15B	4009 017CH
RX FIFO ステータス・レジスタ	GMAC_RXFIFO	4009 0200H
TX FIFO ステータス・レジスタ	GMAC_TXFIFO	4009 0204H
TCPIPACC レジスタ	GMAC_ACC	4009 0208H
RX MAC ENABLE レジスタ	GMAC_RXMAC_ENA	4009 0220H
LPI モード制御レジスタ	GMAC_LPI_MODE	4009 0224H
LPI CLIENT タイミング制御レジスタ	GMAC_LPI_TIMING	4009 0228H
受信 Buffer 情報レジスタ	BUFID	4009 1100H

(4) ハードウェア・ファンクション・コール・レジスタ

レジスタ名	略号	アドレス
ハードウェア・ファンクション・システムコールレジスタ	SYSC	4008 F000H
ハードウェア・ファンクション・引数レジスタ 4	R4	4008 F004H
ハードウェア・ファンクション・引数レジスタ 5	R5	4008 F008H
ハードウェア・ファンクション・引数レジスタ 6	R6	4008 F00CH
ハードウェア・ファンクション・引数レジスタ 7	R7	4008 F010H
ハードウェア・ファンクション・動作モード制御レジスタ	CMD	4008 F014H
ハードウェア・ファンクション・戻り値レジスタ 0	R0	4008 F020H
ハードウェア・ファンクション・戻り値レジスタ 1	R1	4008 F024H
ハードウェア・ファンクション・タイプレジスタ	CNTX_TYPE0	4008 0000H
ハードウェア・ファンクション・状態レジスタ	CNTX_STAT0	4008 0008H

8.3.2　イーサネット・インタフェース選択レジスタ

8.3.2.1　MAC セレクト・レジスタ（MACSEL）

イーサネット・インタフェースの機能を選択します。

汎用イーサネット・インタフェースを使用する場合には、本レジスタの設定が必要です。レジスタ値の変更後は、PHY をリセットし、その後 MAC の設定を行ってください。

- 32/16 ビット単位でリード／ライト・アクセス可能です。

注意 1. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

2. 本レジスタの値を変更する場合には、Ethernet MAC のリセット中に切り替えてください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
MACSEL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MAC2	MAC1	MAC0	BASE + 0600H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	0000 0004H

ビット位置	ビット名	意　味
2-0	MAC2-MAC0	使用する MAC インタフェースの機能を選択します。[注]

MAC2-MAC0	Ethernet Port 0	Ethernet Port 1
000	汎用Ethernetポート0 (Ethernet スイッチ有り)	汎用Ethernetポート1 (Ethernet スイッチ有り)
001	CC-Link IE Field ポート0	汎用Ethernetポート1 (Ethernet スイッチ有り)
010	汎用Ethernetポート0 (Ethernet スイッチ有り)	CC-Link IE Field ポート1
011	－（未使用）	汎用Ethernetポート1 (Ethernet スイッチ無し)
100	CC-Link IE Field ポート0	CC-Link IE Field ポート1
101	CC-Link IE Field ポート0	汎用Ethernetポート1 (Ethernet スイッチ無し)
110	汎用Ethernetポート0 (Ethernet スイッチ無し)	CC-Link IE Field ポート1
上記以外設定禁止(設定した場合は、100が設定されます。)		

注. 設定可能な組み合わせ一覧は「表8.1 PHYインタフェース選択」を参照して下さい。

8.3.2.2　GMII/MII マネジメント I/F 選択レジスタ（MDIOSEL）

CC-LinkIE Field を 1ch のみ選択時にマネージメント端子を任意に選択するレジスタです。

- 32/16 ビット単位でリード／ライト・アクセス可能です。

注意 1. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。
2. 本レジスタの値を変更する場合には、Ethernet MAC のリセット中に切り替えてください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MDIOSEL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MDIOSEL
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W

アドレス：BASE + 0E00H
初期値：0000 0001H

ビット位置	ビット名	意　味
0	MDIOSEL	PHY をマネジメントする MAC を選択します。 MDIOSEL：0 → マネジメント端子：Giga-bit-Ether MAC MDIOSEL：1 → マネジメント端子：CC-Link IE Field マネジメント端子の任意指定は、CC-Link IE Field を 1ch（MACSEL=0000 0001H、0000 0002H、0000 0005H、0000 0006H）選択している時に可能です。上記以外の場合は、本レジスタの設定値に関わらず、Giga-bit-Ether MAC もしくは CC-Link IE Field を選択します。

8.3.3　イーサネット・インタフェース・モード設定レジスタ

8.3.3.1　MDC クロック選択レジスタ（MDCCFG）

マネージメント・クロック（MDC）の周波数を選択します。

- 32/16 ビット単位でリード／ライト・アクセス可能です。

注意 1. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

2. 本レジスタの設定は、マネジメント I/F に Giga-bit-Ether MAC を選択している場合のみ有効です。CC-Link IE Field を選択している場合は、CC-Link IE Field の機能において MDC が制御されます。

【本レジスタ設定が有効な場合】

- **MACSEL=0000 0000H**
- **MACSEL=0000 0001H かつ、MDIOSEL=0000 0000H**
- **MACSEL=0000 0002H かつ、MDIOSEL=0000 0000H**
- **MACSEL=0000 0003H**
- **MACSEL=0000 0005H かつ、MDIOSEL=0000 0000H**
- **MACSEL=0000 0006H かつ、MDIOSEL=0000 0000H**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
MDCCFG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MDCCNF1	MDCCNF0	BASE + 0604H 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	

ビット位置	ビット名	意　味
1-0	MDCCNF	マネージメント・クロック（MDC）のクロック周波数を選択します。 00：12.5000MHz 01：　6.2500MHz 10：　3.1250MHz 11：　1.5625MHz

8.3.4　ギガビット・イーサネット MAC 制御レジスタ

8.3.4.1　MIIM レジスタ（GMAC_MIIM）

本レジスタを用いて、各 Ethernet PHY へのレジスタアクセスを行います。アクセスは以下の手順で行ってください。

Write の場合:

1. Writeオペレーションの開始: RWDVビット ＝1、PHYADDR4-0ビットにPHYアドレス、REGADDR4-0ビットにPHYのレジスタアドレス、DATA15-0ビットにWriteデータを設定
2. オペレーションの完了待ち: RWDVビットから1が読み出されるまで待つ
3. オペレーションの完了: RWDVビットから1を読み出し、Writeオペレーション完了

Read の場合:

4. Readオペレーションの開始: RWDVビット ＝0、PHYADDR4-0ビットにPHYアドレス、REGADDR4-0ビットにPHYのレジスタアドレスを設定
5. オペレーションの完了待ち: RWDVビットから1が読み出されるまで待つ
6. オペレーションの完了: RWDVビットから1、DATA15-0ビットから有効データを読み出し、Readオペレーション完了

注意. 本レジスタは、MAC セレクト・レジスタ（MACSEL）で汎用 Ethernet ポートが選択されている場合のみ★有効です。その他の場合、書き込みは無効で読み出す値は不定になります。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
GMAC_MIIM	0	0	0	0	0	RWDV	PHYADDR4	PHYADDR3	PHYADDR2	PHYADDR1	PHYADDR0	REGADDR4	REGADDR3	REGADDR2	REGADDR1	REGADDR0	DATA15	DATA14	DATA13	DATA12	DATA11	DATA10	DATA9	DATA8	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0	4009 00A0H
																																	初期値
																																	0400 0000H 注
R/W	0	0	0	0	0	R/W	W	W	W	W	W	W	W	W	W	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
26	RWDV	以下の値を書き込むことで、Read/Write オペレーションを開始します。他のビットも同時に設定してください。 1：Write オペレーションを開始 0：Read オペレーションを開始
		以下の値を読み出すことで、オペレーションのステータスが確認できます。注 1：オペレーションが完了（bit25-0 が有効） 0：オペレーションが実行中
25-21	PHYADDR4-0	アクセス先の PHY アドレスを指定します。 ライト・オンリーのビットのため、リード値は不定です。
20-16	REGADDR4-0	アクセス先の PHY の Register Address を指定します。 ライト・オンリーのビットのため、リード値は不定です。
15-0	DATA15-0	Write データ、または Read データを示します。

注. リセット解除後は RWDV ビット ＝1 になりますが、このときの DATA15-0 ビットは有効な値ではありません。RWDV ビットでステータスを確認する場合は、必ずオペレーションの開始処理を行うことで、正常なステータスを確認できます。

8.3.4.2 TX ID レジスタ（GMAC_TXID）

本レジスタは、GMAC_TXRESULT レジスタに対応した送信フレームの ID を示すレジスタです。

送信フレーム結果を確認する場合は、必ず GMAC_TXRESULT レジスタの読み出しより前に本レジスタの読み出しを行ってください。GMAC_TXRESULT レジスタを先に読み出した場合は、送信フレーム結果が更新されるため、本レジスタでは更新後の送信フレーム ID を読み出します。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
GMAC_TXID	TXID31	TXID30	TXID29	TXID28	TXID27	TXID26	TXID25	TXID24	TXID23	TXID22	TXID21	TXID20	TXID19	TXID18	TXID17	TXID16	TXID15	TXID14	TXID13	TXID12	TXID11	TXID10	TXID9	TXID8	TXID7	TXID6	TXID5	TXID4	TXID3	TXID2	TXID1	TXID0	4009 000CH
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	初期値
																																	0000 0000H

ビット位置	ビット名	意　味
31-0	TXID-31-0	TX RESULT レジスタに対応する送信フレームの ID を示します。

8.3.4.3　TX RESULT レジスタ（GMAC_TXRESULT）

本レジスタは、送信フレーム結果を示すレジスタです。GMAC_TXMODE レジスタの TRBMODE1-0 ビットが 00 または 01 の場合のみ有効です。

送信フレーム結果は、Ether 送信完了割り込み（INTETHTXCMP）の発生と同時に送信結果バッファに保持されます。送信結果バッファには、4 フレーム分の情報を保持することが可能です。本レジスタを読み出すことで、送信結果バッファから送信結果が取り出されます。送信結果バッファに保持されているフレーム数は GMAC_TXFIFO.TRBFR ビットから取得できます。

4 フレーム保持した状態で送信を行うと、送信結果が不正となり、TX-FIFO 送信エラー割り込み（INTETHTXFIFOERR）が発生します。本レジスタを有効にしている場合、エラーが発生しないように適宜読み出しを行ってください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
GMAC_TXRESULT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TCMP	TABT	TFAIL	SCOLLIS	MCOLLIS	CSERR	OVERFW	UNDERFW	LCOLLIS	RETRYN3	RETRYN2	RETRYN1	RETRYN0	FIFOUFLOW	4009 0010H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R	R	R	R	R	R	R	0000 0000H

ビット位置	ビット名	意　味
13	TCMP	送信完了を示します。
12	TABT	送信アボートが発生したことを示します。
11	TFAIL	Excessive Collision が発生し、送信が失敗したことを示します。
10	SCOLLIS	1 回の衝突を経験したことを示します。
9	MCOLLIS	複数回の衝突を経験したことを示します。
8	CSERR	送信中にキャリアセンスがなくなったことを示します。
7	OVERFW	1,518 オクテットを超えるフレームが送信 FIFO に書かれたことを示します。
6	UNDERFW	最少フレーム長より短いフレームが送信 FIFO に書かれたことを示します。
5	LCOLLIS	Late Collision を検出したことを示します。
4-1	RETRYN3-0	リトライ回数を示します。
0	FIFOUFLOW	送信中に FIFO がアンダーフローしたことを示します。

8.3.4.4　MODE レジスタ（GMAC_MODE）

本レジスタは、ギガビット・イーサネット MAC の動作モードを制御するレジスタです。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
GMAC_MODE	ETHMODE	DUPMODE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4009 0020H
R/W	R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	初期値
																																	0000 0000H

ビット位置	ビット名	意　味
31	ETHMODE	Ethernet Mode 1：Giga bit Ethernet モードで動作します。 イーサネット・スイッチと接続して使用する時は、このモードを使用してください。 0：10/100 Ethernet モードで動作します
30	DUPMODE	Duplex Mode 1：Full Duplex モードで動作します。 イーサネット・スイッチと接続して使用する時は、このモードを使用してください。 0：Half Duplex モードで動作します。

8.3.4.5　RX MODE レジスタ（GMAC_RXMODE）

本レジスタは、フレーム受信動作を制御するレジスタです。受信 FIFO の 1 ワードは 64 ビット、容量は 4KB です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
GMAC_RXMODE	AFILLTEREN	MFILLTEREN	SFRXFIFO	RAMASKEN	0	0	0	0	0	0	0	0	0	0	0	0	REMPTH1	REMPTH0	RFULLTH1	RFULLTH0	RRTTH2	RRTTH1	RRTTH0	0	0	0	0	0	0	0	0	0	4009 0024H
R/W	R/W	R/W	R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	0	0	0	0	0	0	0	0	初期値
																																	2000 0000H

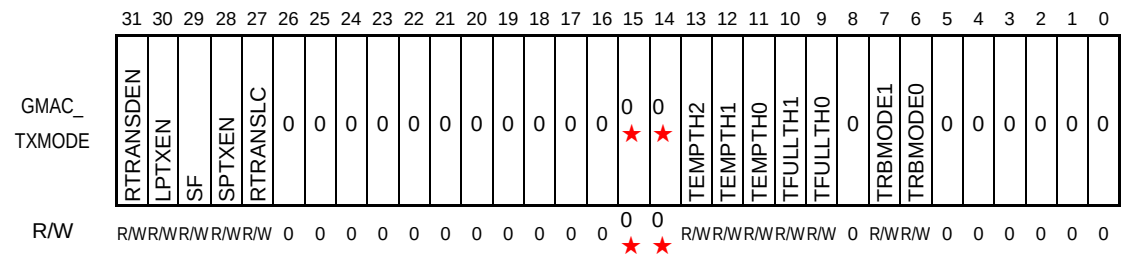
ビット位置	ビット名	意　味
31	AFILLTEREN	Address Filtering Enable 1：アドレスフィルタリングを有効にします[注] 0：全てのアドレスのフレームを取り込みます
30	MFILLTEREN	Multicast Filtering Enable 1：MAC アドレス・レジスタ（GMAC_ADRnA, GMAC_ADRnB）に登録されたマルチキャスト以外のマルチキャストアドレスフレームを破棄します（n = 0-15） 0：全てのマルチキャストアドレスフレームを取り込みます

ビット位置	ビット名	意　味
29	SFRXFIFO	Store & Forward For RX FIFO 1：Store & Forward モード RX FIFO にフレームの終わりまで書き込まれてから受信 DMA コントローラが動作を開始します。★ 0：Cut Through モード RX FIFO に RRTTH2-0 ビットで設定したワード数が書き込まれると受信 DMA コントローラが動作を開始します★
28	RAMASKEN	RX Address Mask Enable 1：GMAC_ADRnB レジスタの BITMSK7-0 ビットで設定可能な機能 (Destination MAC Address[7:0]の一致比較マスク機能)を有効にします（n = 0-15） 0：上記機能を無効にします
15-14	REMPTH1-0	Receive Almost Empty Threshold FIFO 内のデータワード数がこの数値以下になったとき、GMAC_RXFIFO レジスタの REMP ビットが‘1’になります。 00：4 ワード 01：8 ワード 10：16 ワード 11：32 ワード
13-12	RFULLTH1-0	Receive Almost Full Threshold FIFO 内の空きデータワード数がこの数値以下になったとき、GMAC_RXFIFO レジスタの RFULL ビットが‘1’になります。 00：4 ワード 01：8 ワード 10：16 ワード 11：32 ワード
11-9	RRTTH2-0	RX FIFO Read Trigger Threshold FIFO 内のデータワード数がこの数値以上になったとき、GMAC_RXFIFO レジスタの RRT ビットが‘1’になります。 000：4 ワード 001：8 ワード 010：16 ワード 011：32 ワード 100：64 ワード 101：128 ワード 110：256 ワード 111：512 ワード

注. アドレスフィルタリングを有効にした場合でも、MAC アドレスレジスタへの登録の有無に関わらず MAC Control Frame（Pause Packet 等）は常に受信されます。
MAC Control Frame は Destination アドレスが 01-80-C2-00-00-01 のフレームです。

8.3.4.6　TX MODE レジスタ（GMAC_TXMODE）

本レジスタは、フレーム送信動作を制御するレジスタです。送信 FIFO の 1 ワードは 64 ビット、容量は 4KB です。



ビット位置	ビット名	意　味
31	RTRANSDEN	No Retransmission 1：衝突時、再送を行いません 0：衝突時、規格どおり再送を行います
30	LPTXEN	Long Packet TX Enable 1：IEEE802.3 の規格を超えた長さのフレームの送信を可能にします注 1 0：IEEE802.3 の規格を超えた長さのフレームの送信はできません
29	SF	Store & Forward 1：TX FIFO にフレームの終わりまで書き込まれてから送信を開始します TCP/IP Accelerator を使用する場合はこちらに設定する必要があります 0：設定禁止注 2★
28	SPTXEN	Short Packet TX Enable 1：IEEE802.3 の規格より短いフレームの送信を可能にします 0：IEEE802.3 の規格より短いフレームの送信はできません
27	RTRANSLC	Retransmission at Late Collision 1：Late Collision 発生時、再送を行います 0：Late Collision 発生時、アボートします
15-14	－★	Reserved（ライトは 0 を書き込んでください。リードは 0 が読みだされます。）★

注 1. イーサネット・スイッチのマネージメント・タグ挿入機能を有効にしている場合（ETHSWMTC レジスタ SWTAGEN ビット=“1”）、フレームの最大サイズ 1518 バイトを超える可能性があるため、LPTXEN を“1”に設定する必要があります。

★注 2. SF ビットの 0 設定は設定禁止です。必ず設定を 1 へ変更してから動作を開始してください。詳細は「8.5.1 Cut Throughモードにおける送信の問題」を参照してください。

ビット位置	ビット名	意　味
13-11	TEMPTH2-0	Transmit Almost Empty Threshold TX FIFO 内のデータワード数がこの数値以下になったとき、GMAC_TXFIFO レジスタの TEMP ビットが ‘1’になります。 000：4 ワード 001：8 ワード 010：16 ワード 011：32 ワード 100：64 ワード 101：128 ワード 110：256 ワード 111：512 ワード
10-9	TFULLTH1-0	Transmit Almost Full Threshold TX FIFO 内の空きデータワード数がこの数値以下になったとき、GMAC_TXFIFO レジスタの TFULL ビットが‘1’になります。 00：4 ワード 01：8 ワード 10：16 ワード 11：32 ワード
7-6	TRBMODE1-0	Transmission Result Buffer Mode GMAC_TXRESULT レジスタへ送信結果を書き込む方法を制御します。 00：常時書き込み 01：エラー時のみ書き込み 10：書き込みを行わない 11：設定禁止

8.3.4.7　RESET レジスタ（GMAC_RESET）

本レジスタは、ソフトウェアでギガビット・イーサネット MAC をリセットするトリガレジスタです。
各ビットに 1 をセットすることでモジュールにリセットをかけることが可能です。
リセットが完了するまでの時間は、下記のとおり MAC の動作モードに依存します。

1Gbps（125MHz）動作時：60 ns
100Mbps（25MHz）動作時：200 ns
10Mbps（2.5MHz）動作時：2000 ns

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
GMAC_RESET	ALLRST	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TXRST	RXRST	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4009 0030H
R/W	W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	W	W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	初期値
																																	0000 0000H

ビット位置	ビット名	意　味
31	ALLRST	全ての Ethernet MAC モジュールをリセットします。Write Only ビットです。 0：何もしない 1：リセット発生
15	TXRST	TX MAC, TX FIFO, TX DMA モジュールをリセットします。Write Only ビットです。 0：何もしない 1：リセット発生
14	RXRST	RX MAC, RX FIFO, RX DMA モジュールをリセットします。Write Only ビットです。 0：何もしない 1：リセット発生

8.3.4.8　PAUSE パケットデータレジスタ（GMAC_PAUSEn）

本レジスタは、送信されるポーズパケットの指定を行うレジスタです。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
GMAC_PAUSE1	PPDATA31	PPDATA30	PPDATA29	PPDATA28	PPDATA27	PPDATA26	PPDATA25	PPDATA24	PPDATA23	PPDATA22	PPDATA21	PPDATA20	PPDATA19	PPDATA18	PPDATA17	PPDATA16	PPDATA15	PPDATA14	PPDATA13	PPDATA12	PPDATA11	PPDATA10	PPDATA9	PPDATA8	PPDATA7	PPDATA6	PPDATA5	PPDATA4	PPDATA3	PPDATA2	PPDATA1	PPDATA0	4009 0080H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値
																																	0000 0000H

ビット位置	ビット名	意　味
31-0	PPDATA31-0	送出されるポーズパケットの 4~1 バイト目を指定します。LSB から順に送出されます。

GMAC_PAUSE2

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PPDATA31	PPDATA30	PPDATA29	PPDATA28	PPDATA27	PPDATA26	PPDATA25	PPDATA24	PPDATA23	PPDATA22	PPDATA21	PPDATA20	PPDATA19	PPDATA18	PPDATA17	PPDATA16	PPDATA15	PPDATA14	PPDATA13	PPDATA12	PPDATA11	PPDATA10	PPDATA9	PPDATA8	PPDATA7	PPDATA6	PPDATA5	PPDATA4	PPDATA3	PPDATA2	PPDATA1	PPDATA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス 4009 0084H
初期値 0000 0000H

ビット位置	ビット名	意　味
31-0	PPDATA31-0	送出されるポーズパケットの 8~5 バイト目を指定します。LSB から順に送出されます。

GMAC_PAUSE3

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PPDATA31	PPDATA30	PPDATA29	PPDATA28	PPDATA27	PPDATA26	PPDATA25	PPDATA24	PPDATA23	PPDATA22	PPDATA21	PPDATA20	PPDATA19	PPDATA18	PPDATA17	PPDATA16	PPDATA15	PPDATA14	PPDATA13	PPDATA12	PPDATA11	PPDATA10	PPDATA9	PPDATA8	PPDATA7	PPDATA6	PPDATA5	PPDATA4	PPDATA3	PPDATA2	PPDATA1	PPDATA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス 4009 0088H
初期値 0000 0000H

ビット位置	ビット名	意　味
31-0	PPDATA31-0	送出されるポーズパケットの 12~9 バイト目を指定します。LSB から順に送出されます。

GMAC_PAUSE4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PPDATA31	PPDATA30	PPDATA29	PPDATA28	PPDATA27	PPDATA26	PPDATA25	PPDATA24	PPDATA23	PPDATA22	PPDATA21	PPDATA20	PPDATA19	PPDATA18	PPDATA17	PPDATA16	PPDATA15	PPDATA14	PPDATA13	PPDATA12	PPDATA11	PPDATA10	PPDATA9	PPDATA8	PPDATA7	PPDATA6	PPDATA5	PPDATA4	PPDATA3	PPDATA2	PPDATA1	PPDATA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス 4009 008CH
初期値 0000 0000H

ビット位置	ビット名	意　味
31-0	PPDATA31-0	送出されるポーズパケットの 16~13 バイト目を指定します。LSB から順に送出されます。

GMAC_PAUSE5

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PPDATA31	PPDATA30	PPDATA29	PPDATA28	PPDATA27	PPDATA26	PPDATA25	PPDATA24	PPDATA23	PPDATA22	PPDATA21	PPDATA20	PPDATA19	PPDATA18	PPDATA17	PPDATA16	PPDATA15	PPDATA14	PPDATA13	PPDATA12	PPDATA11	PPDATA10	PPDATA9	PPDATA8	PPDATA7	PPDATA6	PPDATA5	PPDATA4	PPDATA3	PPDATA2	PPDATA1	PPDATA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

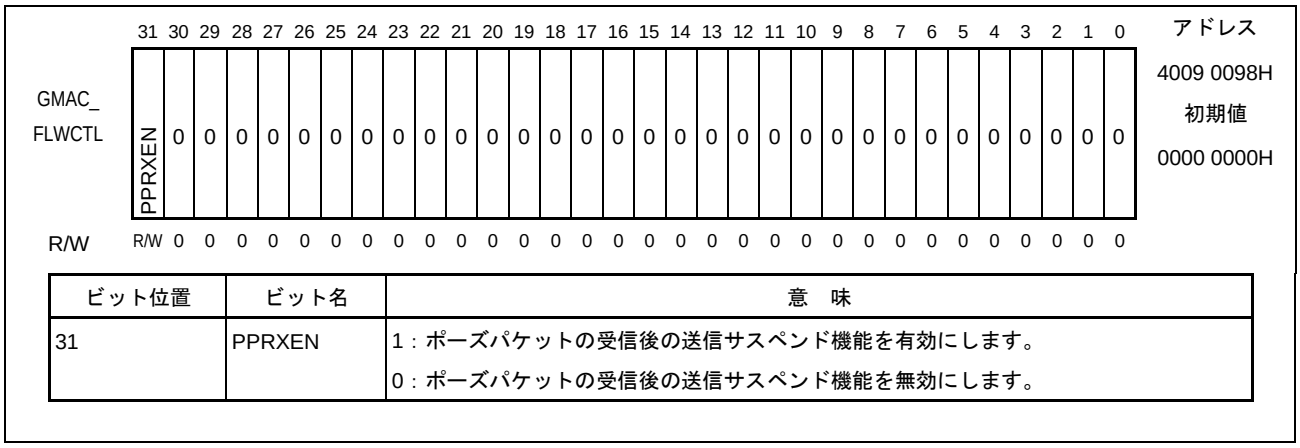
アドレス 4009 0090H
初期値 0000 0000H

ビット位置	ビット名	意　味
31-0	PPDATA31-0	送出されるポーズパケットの 20~17 バイト目を指定します。LSB から順に送出されます。

8.3.4.9　RX FLOW CONTROL レジスタ（GMAC_FLWCTL）

本レジスタは、ポーズパケット受信後の送信サスペンド機能を制御するレジスタです。

本機能が有効の状態でポーズパケットを受信した場合、ポーズパケットで指定された時間だけ送信がサスペンドされます。



ビット位置	ビット名	意　味
31	PPRXEN	1：ポーズパケットの受信後の送信サスペンド機能を有効にします。 0：ポーズパケットの受信後の送信サスペンド機能を無効にします。

8.3.4.10　PAUSE パケットレジスタ（GMAC_PAUSPKT）

本レジスタは、ポーズパケットの送信を制御するレジスタです。

PPR ビットに 1 を書き込むと PAUSE パケットデータレジスタ（GMAC_PAUSEn）に設定されたデータが送信されます。送信が完了すると自動的に 0 になります。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
GMAC_PAUSPKT	PPR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4009 009CH
																																	初期値
R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000 0000H

ビット位置	ビット名	意　味
31	PPR	ポーズパケットの送信を制御します。 0：何もしない 1：ポーズパケットの送信開始

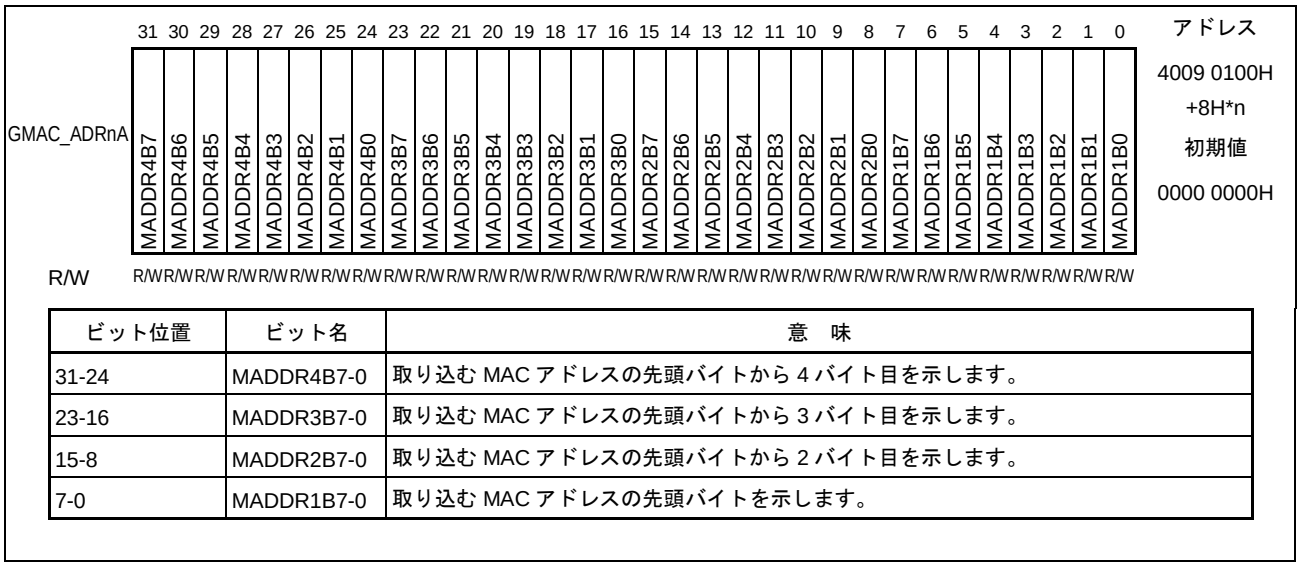
送出されるデータのフォーマットを、以下に示します。

	31	16	15	0
GMAC_PAUSE1	Destination Address			
GMAC_PAUSE2	Source Address		Destination Address	
GMAC_PAUSE3	Source Address			
GMAC_PAUSE4	Opcode		Type/Length	
GMAC_PAUSE5	(Not used)		Time	

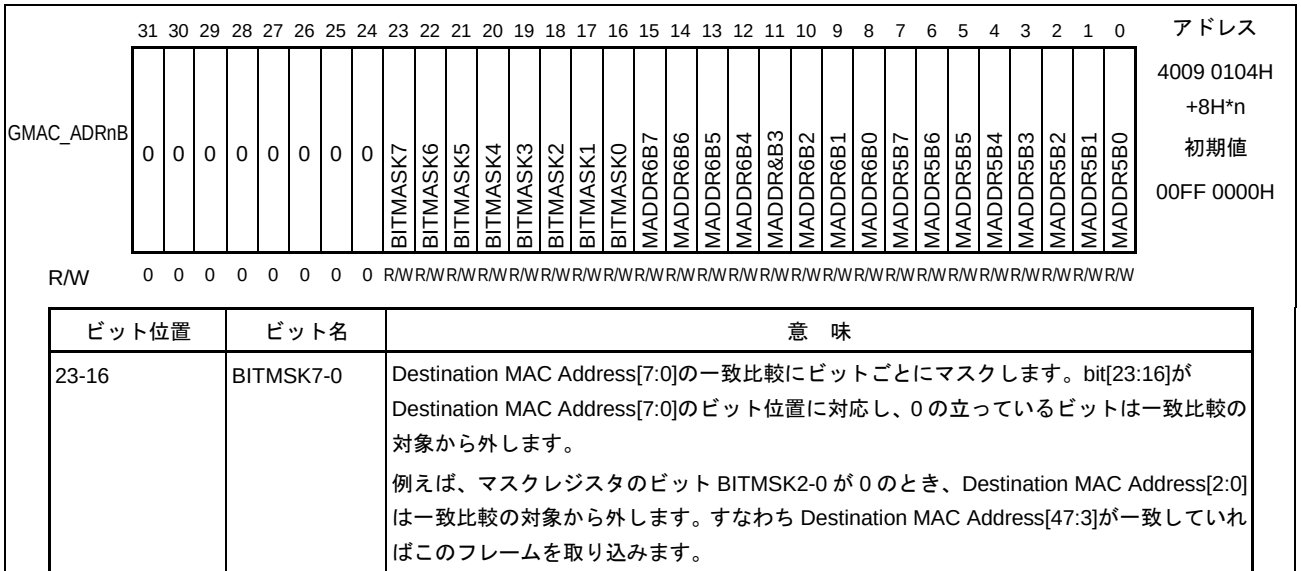
8.3.4.11　MAC アドレス・レジスタ（GMAC_ADRnA, GMAC_ADRnB）

本レジスタは、MAC アドレスを設定するレジスタです。

全 16 アドレスを登録することが可能で、GMAC_ADRnB レジスタの BITMSK7-0 ビットにより、複数アドレスのフィルタリングを行うことも可能です。（n = 0, 1, ..., 15）



ビット位置	ビット名	意　味
31-24	MADDR4B7-0	取り込む MAC アドレスの先頭バイトから 4 バイト目を示します。
23-16	MADDR3B7-0	取り込む MAC アドレスの先頭バイトから 3 バイト目を示します。
15-8	MADDR2B7-0	取り込む MAC アドレスの先頭バイトから 2 バイト目を示します。
7-0	MADDR1B7-0	取り込む MAC アドレスの先頭バイトを示します。



ビット位置	ビット名	意　味
23-16	BITMSK7-0	Destination MAC Address[7:0]の一致比較にビットごとにマスクします。bit[23:16]が Destination MAC Address[7:0]のビット位置に対応し、0 の立っているビットは一致比較の対象から外します。 例えば、マスクレジスタのビット BITMSK2-0 が 0 のとき、Destination MAC Address[2:0]は一致比較の対象から外します。すなわち Destination MAC Address[47:3]が一致していればこのフレームを取り込みます。
15-8	MADDR6B7-0	取り込む MAC アドレスの先頭バイトから 6 バイト目を示します。
7-0	MADDR5B7-0	取り込む MAC アドレスの先頭バイトから 5 バイト目を示します。

8.3.4.12　RX FIFO ステータス・レジスタ（GMAC_RXFIFO）

本レジスタは、受信 FIFO の状態を示すステータスレジスタです。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
GMAC_RXFIFO	RFULL	REMP	RRT	RSW11	RSW10	RSW9	RSW8	RSW7	RSW6	RSW5	RSW4	RSW3	RSW2	RSW1	RSW0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4009 0200H
																																	初期値
																																	4000 0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット位置	ビット名	意　味
31	RFULL	RX FIFO Almost Full RX FIFO 内のデータが Receive Almost Full Threshold 以上になったとき‘1’となります。 （Receive Almost Full Threshold は GMAC_RXMODE レジスタで設定します）
30	REMP	RX FIFO Almost Empty RX FIFO 内のデータが Receive Almost Empty Threshold 以下になったとき‘1’となります。 （Receive Almost Empty Threshold は GMAC_RXMODE レジスタで設定します）
29	RRT	RX FIFO Read Trigger RX FIFO 内のデータが RX FIFO Read Threshold 以上になったとき‘1’となります。 （RX FIFO Read Threshold は GMAC_RXMODE レジスタで設定します）
28-17	RSW11-0	Stored Words in RX FIFO RX FIFO 内に存在するデータのワード数を示します。

8.3.4.13　TX FIFO ステータス・レジスタ（GMAC_TXFIFO）

本レジスタは、送信 FIFO の状態を示すステータスレジスタです。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
GMAC_TXFIFO	TFULL	TEMP	TSTAUS2	TSTAUS1	TSTAUS0	TRBFR2	TRBFR1	TRBFR0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4009 0204H
																																	初期値
R/W	R	R	R	R	R	R	R	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	6000 0000H

ビット位置	ビット名	意　味
31	TFULL	TX FIFO Almost Full TX FIFO 内の空きデータワード数が GMAC_TXMODE レジスタの TFULLTH1-0 ビットで設定された閾値以下になったとき‘1’となります。
30	TEMP	TX FIFO Almost Empty TX FIFO 内のデータワード数が GMAC_TXMODE レジスタの TEMPTH2-0 ビットで設定された閾値以下になったとき‘1’となります。
29-27	TSTATUS2-0	TX FIFO Status TX FIFO の状態を示します。ビットの意味は以下のとおりです。 100：ACC NEW FR： TX FIFO が新しいフレームを受け付けることができる状態にあります。 101：WRITE ENABLE： TX FIFO がフレームのデータを継続して受付可能な状態にあります。 110：CMPLT： ひとつのフレームの取り込みが完了したことを示します。 111：FULL： TX FIFO が満杯状態にあることを示します。 0xx：STOP： TX FIFO が停止状態（初期化中を含む）にあることを示します。
26-24	TRBFR2-0	送信結果バッファに存在するフレーム数を示します。

8.3.4.14　TCPIPACC レジスタ（GMAC_ACC）

本レジスタは、TCPIP アクセラレータの動作を制御するレジスタです。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
GMAC_ACC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RTCPIPACC	TTCPIPEN	RTCPIPEN	4009 0208H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	初期値 0000 0003H

ビット位置	ビット名	意　味
2	RTCPIPACC	1：RX TCPIPACC Off RX TCPIP アクセラレータの Checksum 支援を Off にします。 MAC ヘッダ部の Padding は挿入されます。 0：RX TCPIP アクセラレータの Checksum 支援は On のままです。
1	TTCPIPEN	1：TX TCPIP Enable TX TCPIP アクセラレータを有効にします。 0：TX TCPIP Disable TX TCPIP アクセラレータを完全に無効にします。 MAC ヘッダ部の Padding も無効になります。
0	RTCPIPEN	1：RX TCPIP Enable RX TCPIP アクセラレータを有効にします。 0：RX TCPIP Disable RX TCPIP アクセラレータを完全に無効にします。 MAC ヘッダ部の Padding は挿入されません。

8.3.4.15　RX MAC ENABLE レジスタ（GMAC_RXMAC_ENA）

本レジスタは、受信用 MAC の動作を制御するレジスタです。

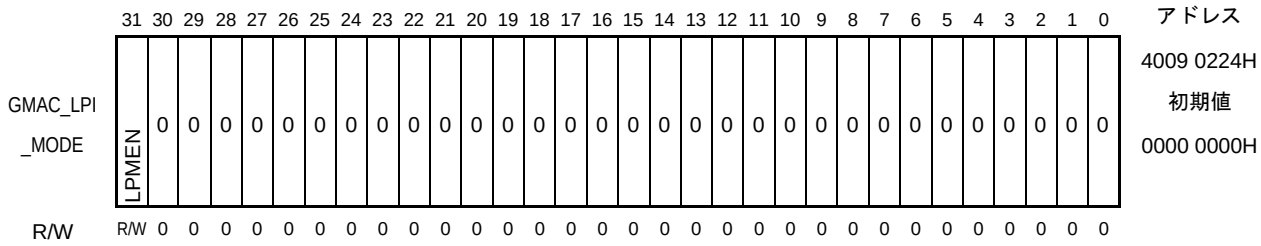
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
GMAC_RXMAC_ENA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RMACEN	4009 0220H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	初期値 0000 0001H

ビット位置	ビット名	意　味
0	RMACEN	RX MAC ENABLE 1：受信を有効にします 0：受信を無効にします

8.3.4.16　LPI モード制御レジスタ（GMAC_LPI_MODE）

本レジスタは、LPI（Low Power Idle）モードの制御をするレジスタです。LPMEN ビットが 1 のとき、GMAC_LPI_TIMING レジスタの LPRDEF ビットで設定した時間以上送信要求が無い場合に、自動的にリンクパートナーに対し LPI 要求が発行されます。LPI 中に送信要求が発生した場合は LPI を終了し、GMAC_LPI_TIMING レジスタの LPWTIME ビットで設定した時間が経過してからフレームが送信されます。

イーサネット・スイッチを経由した場合は、本レジスタで LPI モードに設定することは禁止です。

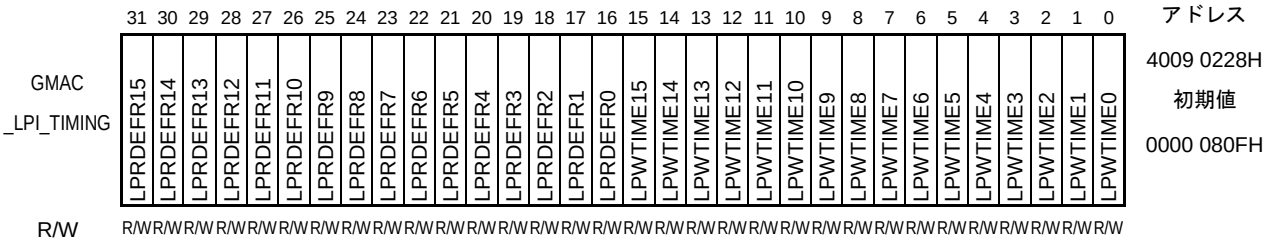


ビット位置	ビット名	意　味
31	LPMEN	Low Power Idle Mode 1：LPI モードで動作します 0：LPI モードで動作しません

8.3.4.17　LPI CLIENT タイミング制御レジスタ（GMAC_LPI_TIMING）

本レジスタは、LPI モードの信号タイミングを制御するレジスタです。

イーサネット・スイッチを経由した場合は、本レジスタを使用しません。



ビット位置	ビット名	意　味
31-16	LPRDEF15-0	Low Power Idle Request Deferral リンクパートナーに LPI 要求を出す場合の要求を送出するまでの遅延時間を設定します。 Giga bit モードの時は 8 ナノ秒単位、100Mbps モードのときは 40 ナノ秒単位。
15-0	LPWTIME15-0	Low Power Idle Wake time リンクパートナーに対し、LPI を終了した場合、リンクに IDLE 信号を送出してからフレームをリンクに送出できるまでの時間を設定します。 Giga bit モードの時は 8 ナノ秒単位、100Mbps モードのときは 40 ナノ秒単位。

注意. GMAC_LPI_MODE レジスタ、GMAC_LPI_TIMING レジスタは、MACSEL レジスタの値が 0000 0003H、0000 0005H、0000 0006H の場合（Ethernet スイッチ無しの場合）のみ有効です。

8.3.4.18 受信 Buffer 情報レジスタ（BUFID）

本レジスタは、受信 Buffer 情報（受信データの有無、受信データが格納されたバッファのアドレス、データのワード数）を示すステータスレジスタです。受信 MACDMA の転送が完了すると、受信 Buffer 情報が書き込まれ、最大 32 個保持されます。受信 Buffer 情報にデータが保持されていると、Ether MACDMA 受信完了割り込み（INTETHRXDMA）が発生します。この割り込みは、受信 Buffer 情報を読み出し、NOEMP ビットが 0 になるまでの間、アクティブ状態を保持します。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
BUFID	NOEMP	0	0	VALID	WORD11	WORD10	WORD9	WORD8	WORD7	WORD6	WORD5	WORD4	WORD3	WORD2	WORD1	WORD0	ADDR15	ADDR14	ADDR13	ADDR12	ADDR11	ADDR10	ADDR9	ADDR8	ADDR7	ADDR6	ADDR5	ADDR4	ADDR3	ADDR2	ADDR1	ADDR0	4009 1100H
																																	初期値
R/W	R	0	0	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	0000 0000H

ビット位置	ビット名	意　味
31	NOEMP	1: 受信 Buffer にデータ有り 0: 受信 Buffer にデータ無し
28	VALID	1: 受信 Buffer のデータが有効 0: 受信 Buffer のデータが無効
27-16	WORD11-0	受信データ（受信 MAC 情報を含む）のワード数（1 ワードは 32 ビット）
15-0	ADDR15-0	受信バッファのアドレス（26～11 ビット）

備考. 本レジスタはリードされるたび、次の受信データの情報が新たに格納されるため、リードするたびに値が変化します。

ADDR ビットでは、32 ビットアドレス空間を示すことができません。したがって、メモリマップされたバッファにアクセスするには、0x08000000 でオフセットを行います。

[受信バッファアドレスの算出方法]

1. ADDRビットの値を取得
2. 値を11ビット左シフト
3. 0x08000000のオフセットを加える

また、WORD ビットで示されるワード数には、受信フレーム情報も含まれます。したがって、受信フレーム情報の先頭アドレスは、以下の手順で算出します。

[受信フレーム情報の先頭アドレス算出方法]

1. WORDビットの値を取得
2. 値を16ビット右シフト
3. 受信バッファアドレスに上記2. でシフト済みのワード数をオフセットとして加える
4. 受信フレーム情報のサイズ分（2ワード）マイナスにオフセット

8.3.5　ハードウェア・ファンクション・コールレジスタ

バッファの獲得と送受信の開始（ハードウェア・ファンクション）には、ハードウェア・ファンクション・コールレジスタを使用します。引数レジスタ（R4-R7）を設定後、システム・コールレジスタ（SYSC）にコマンドを書き込む事で、ハードウェア・ファンクションが実行されます。ハードウェア・ファンクション・コールレジスタの設定については「8.4.1 ハードウェア・ファンクション」を参照してください。

備考. ハードウェア・ファンクション関連レジスタは、ハードウェア・リアルタイム OS の制御でも使用されます。

8.3.5.1　ハードウェア・ファンクション・システム・コールレジスタ（SYSC）

本レジスタにコマンドを書き込むことで、対応した機能が実行されます。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SYSC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SYSC15	SYSC14	SYSC13	SYSC12	SYSC11	SYSC10	SYSC9	SYSC8	SYSC7	SYSC6	SYSC5	SYSC4	SYSC3	SYSC2	SYSC1	SYSC0	4008 F000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値
																																	-

ビット位置	ビット名	意　味
15-0	SYSC15-0	使用するハードウェア・ファンクションを指定します。以下の機能が利用可能です。

SYSC15-0	機能
0x5000	Long Buffer の獲得
0x5006	Short Buffer の獲得
0x5001	バッファの全開放
0x5002	バッファの一部開放
0x5101	受信 MACDMA 機能の有効化
0x5102	受信 MACDMA 機能の無効化
0x510B	受信 MACDMA の割り込み制御
0x510D	受信 MACDMA のエラー要因取得
0x5100	送信 MACDMA の転送開始
0x510C	送信 MACDMA のエラー要因取得
0x5211	バッファ RAM - データ RAM 間の DMA 転送開始
0x5212	バッファ RAM またはデータ RAM のデータ置換開始
0x5104	バッファ RAM – バッファ RAM 間の DMA 転送開始
0x5114	バッファ RAM – バッファ RAM 間の DMA 転送開始（ディスクリプタ方式）
上記以外	設定禁止

8.3.5.2　ハードウェア・ファンクション・引数レジスタ（R4-7）

本レジスタは、ハードウェア・ファンクションに渡す引数を書き込むためのレジスタです。使用される引数レジスタは、ハードウェア・ファンクションにより異なります。詳細については「8.4 機能説明」を参照してください。

R4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R4B31	R4B30	R4B29	R4B28	R4B27	R4B26	R4B25	R4B24	R4B23	R4B22	R4B21	R4B20	R4B19	R4B18	R4B17	R4B16	R4B15	R4B14	R4B13	R4B12	R4B11	R4B10	R4B9	R4B8	R4B7	R4B6	R4B5	R4B4	R4B3	R4B2	R4B1	R4B0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス：4008 F004H
初期値：-

ビット位置	ビット名	意　味
31-0	R4B31-0	ハードウェア・ファンクションに渡す引数を指定します。

R5

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R5B31	R5B30	R5B29	R5B28	R5B27	R5B26	R5B25	R5B24	R5B23	R5B22	R5B21	R5B20	R5B19	R5B18	R5B17	R5B16	R5B15	R5B14	R5B13	R5B12	R5B11	R5B10	R5B9	R5B8	R5B7	R5B6	R5B5	R5B4	R5B3	R5B2	R5B1	R5B0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス：4008 F008H
初期値：-

ビット位置	ビット名	意　味
31-0	R5B31-0	ハードウェア・ファンクションに渡す引数を指定します。

R6

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R6B31	R6B30	R6B29	R6B28	R6B27	R6B26	R6B25	R6B24	R6B23	R6B22	R6B21	R6B20	R6B19	R6B18	R6B17	R6B16	R6B15	R6B14	R6B13	R6B12	R6B11	R6B10	R6B9	R6B8	R6B7	R6B6	R6B5	R6B4	R6B3	R6B2	R6B1	R6B0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス：4008 F00CH
初期値：-

ビット位置	ビット名	意　味
31-0	R6B31-0	ハードウェア・ファンクションに渡す引数を指定します。

R7

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R7B31	R7B30	R7B29	R7B28	R7B27	R7B26	R7B25	R7B24	R7B23	R7B22	R7B21	R7B20	R7B19	R7B18	R7B17	R7B16	R7B15	R7B14	R7B13	R7B12	R7B11	R7B10	R7B9	R7B8	R7B7	R7B6	R7B5	R7B4	R7B3	R7B2	R7B1	R7B0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス
4008 F010H
初期値
-

ビット位置	ビット名	意　味
31-0	R7B31-0	ハードウェア・ファンクションに渡す引数を指定します。

8.3.5.3　ハードウェア・ファンクション・動作モード制御レジスタ（CMD）

本レジスタは、ハードウェア・ファンクションの動作モードを制御します。

CMD

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMDB31	CMDB30	CMDB29	CMDB28	CMDB27	CMDB26	CMDB25	CMDB24	CMDB23	CMDB22	CMDB21	CMDB20	CMDB19	CMDB18	CMDB17	CMDB16	CMDB15	CMDB14	CMDB13	CMDB12	CMDB11	CMDB10	CMDB9	CMDB8	CMDB7	CMDB6	CMDB5	CMDB4	CMDB3	CMDB2	CMDB1	CMDB0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス
4008 F014H
初期値
-

ビット位置	ビット名	意　味
31-0	CMDB31-0	ハードウェア・ファンクションの動作モードを制御します。 0x0000 8004：ハードウェア・ファンクション、ハードウェア・リアルタイム OS を起動

8.3.5.4　ハードウェア・ファンクション・戻り値レジスタ（R0, R1）

本レジスタは、ハードウェア・ファンクションからの戻り値が格納されるレジスタです。戻り値はハードウェア・ファンクションに依存します。詳細については「8.4 機能説明」を参照してください。

R0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0B31	R0B30	R0B29	R0B28	R0B27	R0B26	R0B25	R0B24	R0B23	R0B22	R0B21	R0B20	R0B19	R0B18	R0B17	R0B16	R0B15	R0B14	R0B13	R0B12	R0B11	R0B10	R0B9	R0B8	R0B7	R0B6	R0B5	R0B4	R0B3	R0B2	R0B1	R0B0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

アドレス
4008 F020H
初期値
-

ビット位置	ビット名	意　味
31-0	R0B31-0	ハードウェア・ファンクションからの戻り値が格納されます。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
R1	R1B31	R1B30	R1B29	R1B28	R1B27	R1B26	R1B25	R1B24	R1B23	R1B22	R1B21	R1B20	R1B19	R1B18	R1B17	R1B16	R1B15	R1B14	R1B13	R1B12	R1B11	R1B10	R1B9	R1B8	R1B7	R1B6	R1B5	R1B4	R1B3	R1B2	R1B1	R1B0	4008 F024H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	初期値
																																	-

ビット位置	ビット名	意　味
31-0	R1B31-0	ハードウェア・ファンクションからの戻り値が格納されます。

8.3.5.5　ハードウェア・ファンクション・タイプレジスタ（CNTX_TYPE0）

本レジスタは、ハードウェア・ファンクション・タイプを設定します。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CNTX_TYPE0	CNTX_TYPE031	CNTX_TYPE030	CNTX_TYPE029	CNTX_TYPE028	CNTX_TYPE027	CNTX_TYPE026	CNTX_TYPE025	CNTX_TYPE024	CNTX_TYPE023	CNTX_TYPE022	CNTX_TYPE021	CNTX_TYPE020	CNTX_TYPE019	CNTX_TYPE018	CNTX_TYPE017	CNTX_TYPE016	CNTX_TYPE015	CNTX_TYPE014	CNTX_TYPE013	CNTX_TYPE012	CNTX_TYPE011	CNTX_TYPE010	CNTX_TYPE09	CNTX_TYPE08	CNTX_TYPE07	CNTX_TYPE06	CNTX_TYPE05	CNTX_TYPE04	CNTX_TYPE03	CNTX_TYPE02	CNTX_TYPE01	CNTX_TYPE00	4008 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値
																																	-

ビット位置	ビット名	意　味
31-0	CNTX_TYPE031-0	ハードウェア・ファンクションのタイプを設定します。

8.3.5.6　ハードウェア・ファンクション・状態レジスタ（CNTX_STAT0）

本レジスタは、ハードウェア・ファンクションの状態を設定します。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CNTX_STAT0	CNTX_STAT031	CNTX_STAT030	CNTX_STAT029	CNTX_STAT028	CNTX_STAT027	CNTX_STAT026	CNTX_STAT025	CNTX_STAT024	CNTX_STAT023	CNTX_STAT022	CNTX_STAT021	CNTX_STAT020	CNTX_STAT019	CNTX_STAT018	CNTX_STAT017	CNTX_STAT016	CNTX_STAT015	CNTX_STAT014	CNTX_STAT013	CNTX_STAT012	CNTX_STAT011	CNTX_STAT010	CNTX_STAT09	CNTX_STAT08	CNTX_STAT07	CNTX_STAT06	CNTX_STAT05	CNTX_STAT04	CNTX_STAT03	CNTX_STAT02	CNTX_STAT01	CNTX_STAT00	4008 0008H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値
																																	-

ビット位置	ビット名	意　味
31-0	CNTX_STAT031-0	ハードウェア・ファンクションの状態を設定します。

8.4 機能説明

8.4.1 ハードウェア・ファンクション

Hardware Function（HWF）は DMA や、Ethernet 通信アクセラレータなど、CPU の負荷を減らすための機能を定義したものです

Hardware Function は、機能毎に分割されたハードウェア・モジュールの組み合わせで構成されており、各ハードウェア・モジュールに機能が定義されます。

ハードウェア・ファンクションとして定義される機能は、以下の 3 つです。

- Buffer Allocator
- MAC DMA Controller
- Buffer RAM DMA Controller

ハードウェア・ファンクションの概略ブロック図を以下に示します。図中の実線はデータの流れ、破線はハードウェア・ファンクションのコマンド・インタフェースを示します。

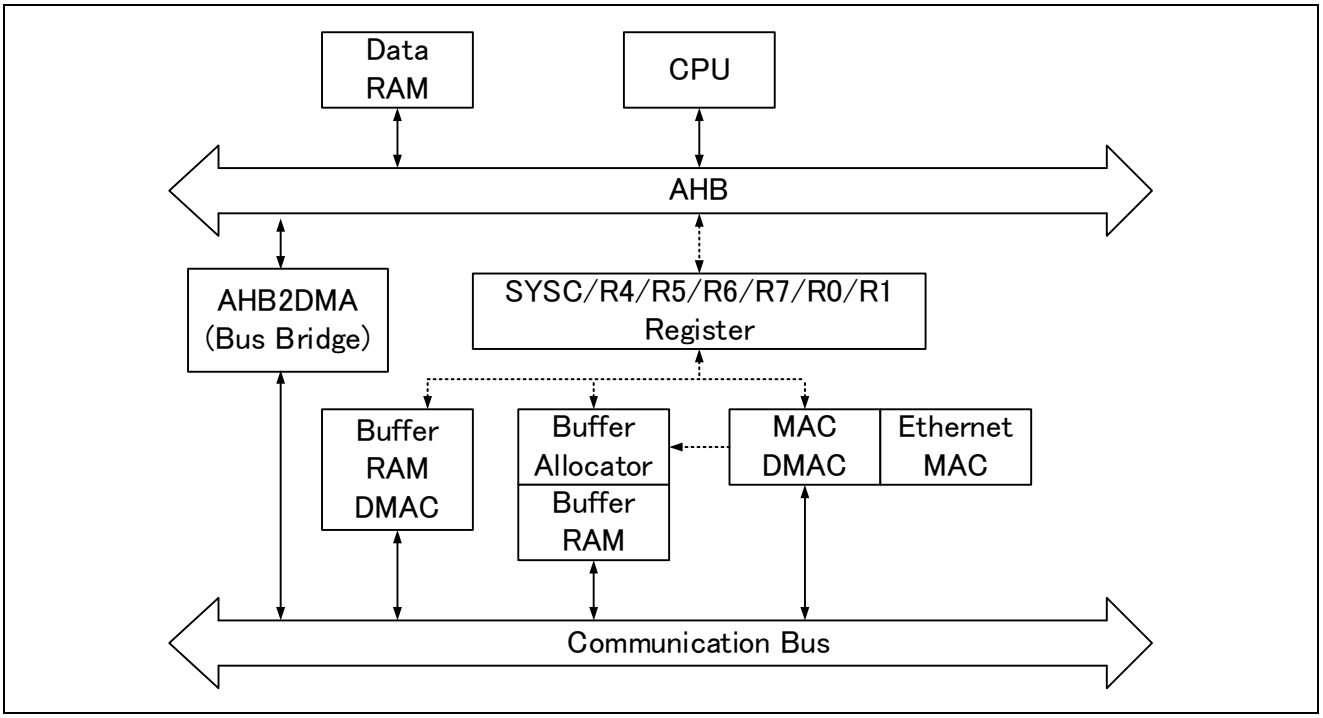


図8.2 ハードウェア・ファンクションの概略ブロック図

注意. ハードウェア・リアルタイム OS がディスパッチ禁止状態でハードウェア・ファンクション・コールを実行すると、そのハードウェア・ファンクション・コールは正常に実行されません。このため、ハードウェア・ファンクション・コールは、ハードウェア・リアルタイム OS がディスパッチ許可されている状態で発行してください。

8.4.1.1 初期設定

下記に示したコマンドを実行し、ハードウェア・ファンクションのセットアップを行います。

ハードウェア・ファンクションのセットアップ手順
<1> CNTX_TYPE0 レジスタに 0x0000 0003 を設定
<2> CNTX_STAT0 レジスタに 0x0000 0003 を設定
<3> CMD レジスタに 0x0000 8004 を設定
<4> R0 レジスタから 0x8000 0000 が読み出されるまで待ち、その後 R1 レジスタをダミーリード
<5> GMAC_RESET レジスタに 0x8000 0000 を設定し、ギガビット・イーサネット MAC を初期化

注意. ハードウェア・リアルタイム OS を使用する場合には、ハードウェア・リアルタイム OS 機能のセットアップで制御するため、本設定は不要です。

セットアップ完了後、下記の各レジスタの初期設定を行います。

- MAC アドレス・レジスタ（→8.3.4.11）
- TX MODE レジスタ（→8.3.4.6）
- RX MODE レジスタ（→8.3.4.5）

8.4.1.2 ハードウェア・ファンクション・コール発行処理フロー

ハードウェア・ファンクションを使用する際には、以下のフローチャートに従ってハードウェア・ファンクション・コールの発行を行ってください。

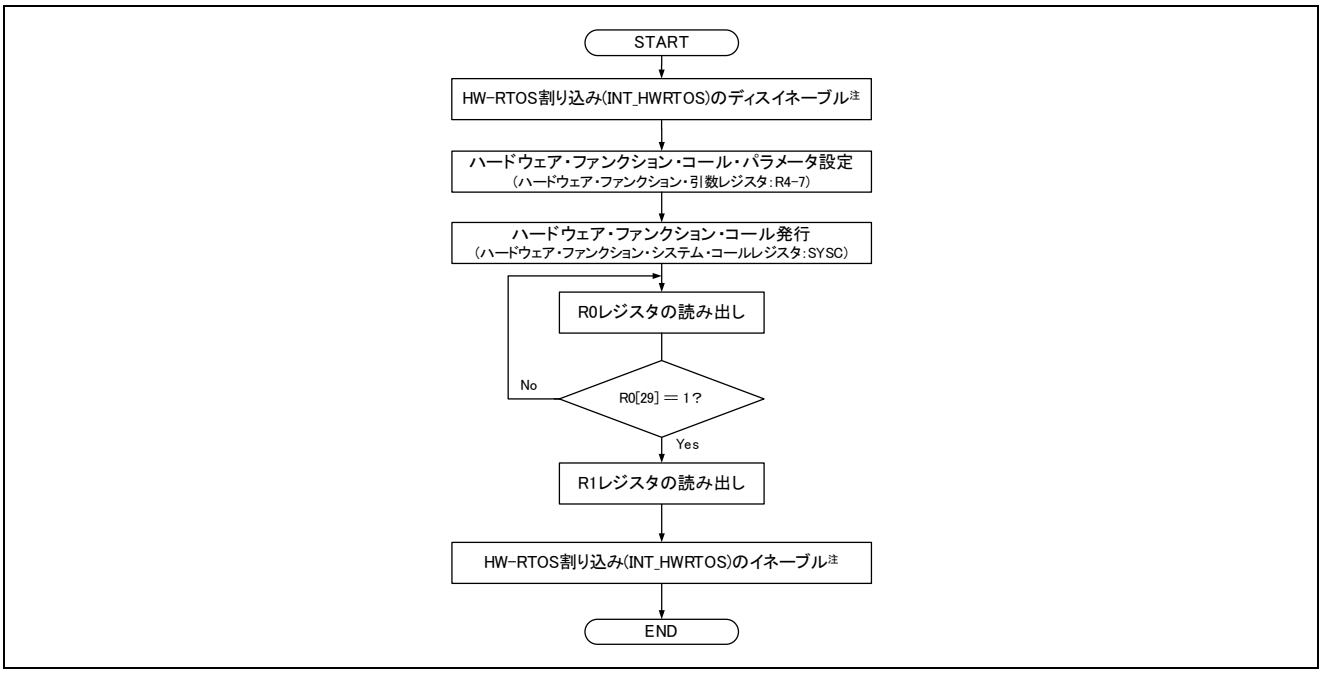


図8.3 ハードウェア・ファンクション・コール発行処理フロー★

注. ハードウェア・リアルタイム OS を使用している場合のみ必要な処理です。★

8.4.1.3 Buffer Allocator

(1) 機能概要

Buffer Allocator は、バッファ RAM の管理を行うモジュールです。

バッファ RAM は、Ethernet 通信のスループットを向上するための通信用バッファです。バッファ RAM のサイズは 64KB ですが、Buffer Allocator により動的にメモリ空間の確保／解放を行うため、論理空間としては 128MB の領域を使用しています。

バッファ RAM を使用するには、Buffer Allocator が提供する Hardware Function Call を行い、必要な領域（以下 Buffer）をあらかじめ確保しなければなりません。確保していない領域に書き込みを行った場合、CPU と MAC DMA コントローラからのアクセスは割り込みを発生します。バッファ RAM DMA コントローラからのアクセスの場合は、Hardware Function Call の種類により、割り込みを発生するタイプと、戻り値レジスタ R0 に Exception を返すタイプがあります。★

また、使用後は、確保しておいた Buffer を再利用するために、Buffer を解放する必要があります。

機能概要は、以下の通りです。

- 最大 2048 バイトの Long Buffer と、最大 512 バイトの Short Buffer を利用可能
- バッファを確保する際、バイト単位でサイズの指定が可能
- バッファを解放する際、全領域またはバイト単位でサイズの指定が可能（バッファの後方から解放）

Buffer を構成するセグメントは 128 バイトです。Buffer Allocator はこの 128 バイトのセグメントごとに管理を行い、Hardware Function Call に従ってこのセグメントを接続し、Buffer として提供します。接続されたセグメントは、連続したアドレスに見えます。

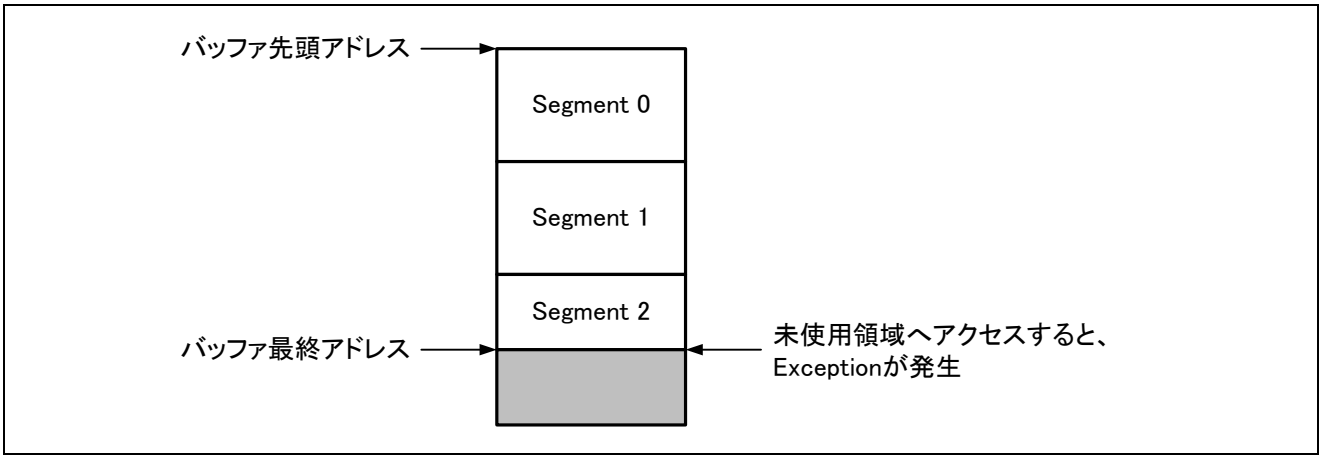


図8.4 バッファの管理方法

(2) Buffer 管理オペレーション

この節では、ShortBuffer、LongBuffer の総称をバッファと呼びます。ShortBuffer は最大で 4 個までのセグメント、LongBuffer は最大で 16 個までのセグメントで構成されています。

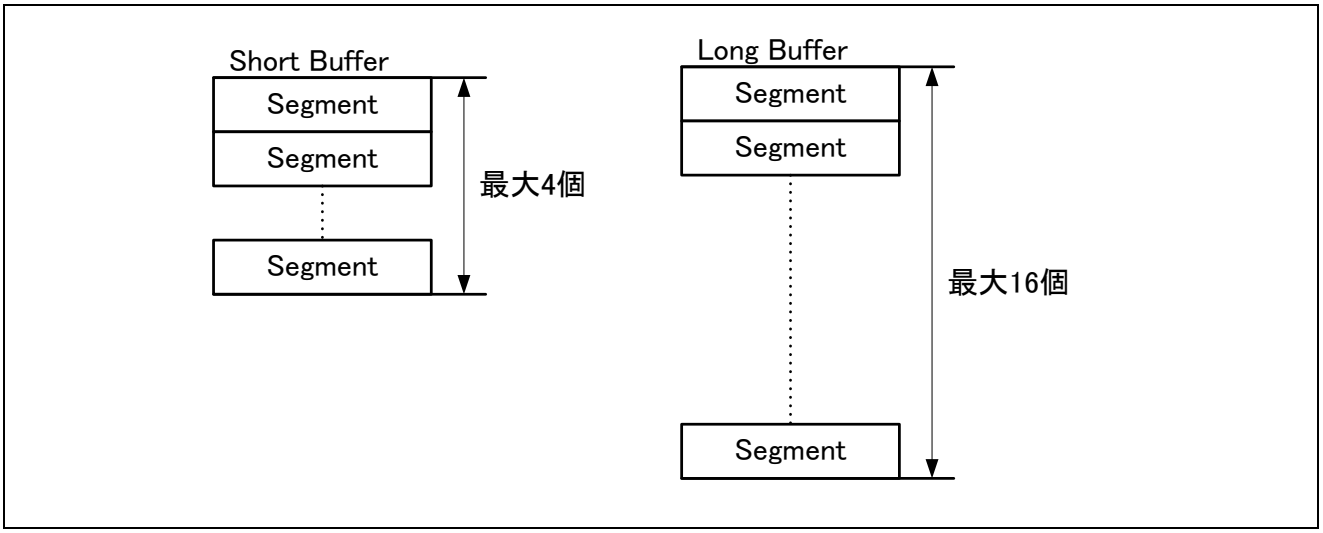


図8.5 バッファの構造

(a) バッファの獲得 (HWFNC_ShortBuffer_Get, HWFNC_LongBuffer_Get)

HWFNC_ShortBuffer_Get または HWFNC_LongBuffer_Get ハードウェア・ファンクション・コールを行うことにより、バッファを獲得することができます。バッファのサイズは、ハードウェア・ファンクション・コール時にバイト単位で指定します。バイト数は、セグメントバウンダリである必要はありません。戻り値はバッファの先頭アドレスになります。

ShortBuffer と LongBuffer の獲得可能な最大個数は表8.2のとおりです。最大個数に満たない場合でも、両者の合計がバッファ RAM の最大サイズ 64KB を超える場合には、バッファの獲得に失敗します。

表8.2 バッファの獲得可能数

バッファタイプ	獲得可能な最大個数	備考
Short Buffer	64	最大 256 セグメント（= 32KB）
Long Buffer	32	最大 512 セグメント（= 64KB）

バッファのアドレス構造を以下に示します。バッファを獲得すると、LongBuffer は 0x0C00 0000~0x0FFF FFFF、ShortBuffer は 0x0800 0000~0x0BFF FFFF のアドレスを返します。

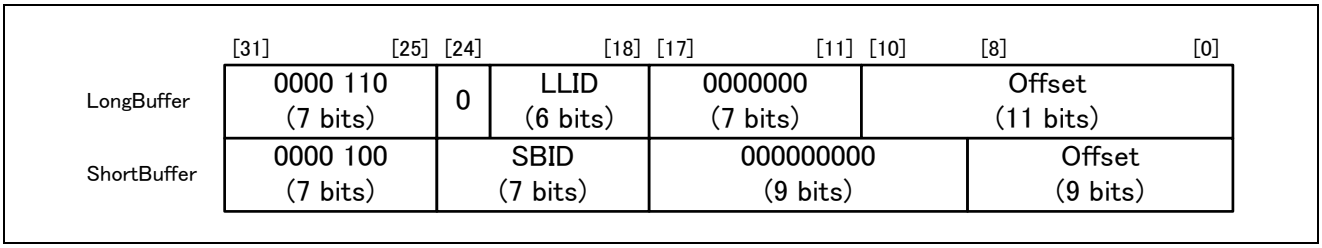


図8.6 バッファのアドレス構造

Short Buffer を獲得した場合、ビット[24:18]に SBID（Short Buffer ID）が与えられ、バッファの識別子として使用されます。Offset 部 = 0 をバッファの先頭アドレスとして、バッファ領域が割り当てられます。

LongBuffer を獲得した場合、ビット[23:18]に LLID（Linked LongBuffer ID）が与えられ、バッファの識別子として使用されます。Offset 部 = 0 をバッファの先頭アドレスとして、バッファ領域が割り当てられます。

(b) バッファの解放 (HWFNC_Buffer_Release)

HWFNC_Buffer_Release ハードウェア・ファンクション・コールを行うことにより、獲得したバッファ全体を解放することができます。ハードウェア・ファンクション・コール時、獲得したバッファの先頭アドレスを指定します。

(c) バッファの一部解放 (HWFNC_Buffer_Return)

HWFNC_Buffer_Return ハードウェア・ファンクション・コールを行うことにより、獲得しているバッファの後半の任意バイトを解放することができます。これは例えば、フレームを受信したとき受信フレームのデータ終了部以降を解放することにより、他のリソースがその分を利用するなど、バッファを有効に利用するために使用します。このシステムコールを行うとき、バッファの先頭アドレスと、解放する空間の先頭アドレスを引数として与える必要があります。

(d) バッファのメモリテスト、初期化

バッファ RAM は、リセット時全く割当が行われていませんので、書き込みも読み出しもできません。このため、メモリテストを行いたい場合には、HWFUNC LongBuffer_Get システムコール等を行い、バッファ RAM の全容量分を確保し、メモリに対しアクセスできる状態を作り出します。この後、メモリチェックまたはメモリ内容の初期化を行うことによって実現します。

(e) Hardware Function Call 一覧

Hardware Function Call の一覧を以下に示します。
Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。

表8.3 HWFNC_LongBuffer_Get

名称	HWFNC_LongBuffer_Get	
機能	フレームの送受信に使用する Long Buffer を獲得します。バッファは 1 バイトから 2048 バイトの間で自由な大きさをバイト単位で獲得することができます。このバッファは主にフレームのデータ部に使用します。獲得したバッファの先頭アドレスが、R1 に戻り値として返されます。	
コマンドレジスタ		
SYSC[15:0]	0x5000	
引数レジスタ		
R4[15:0]	Buffer Length	必要とするバッファ長。単位バイト。1～2048
R4[23:16]	予約	常に 0
R4[31:24]	未使用	
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[31:0]	未使用	
戻り値レジスタ		
R0[1:0]	Result	2'b0x かつ R0[29] = 1 のとき: 成功 2'b10: Invalid System Call 2'b11: バッファ不足
R0[28:2]	未使用	All 0
R0[29]	Complete	0: ハードウェア・ファンクション・コール未了 1: ハードウェア・ファンクション・コール完了
R0[31:30]	未使用	All 0
R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26:24] 3'b100★ [23:18] LLID★ [17: 0] 0

**注意. ハードウェア・リアルタイム OS がディスパッチ禁止状態で本コマンドを発行すると、
そのハードウェア・ファンクション・コールは正常に実行されません。
このとき、戻り値レジスタ R0 のビット[15:0]は R0[15:0] = FFE7h になります。**

表8.4 HWFNC_ShortBuffer_Get

名称	HWFNC_ShortBuffer_Get	
機能	フレームの送受信に使用する Short Buffer を獲得します。バッファは 1 バイトから 512 バイトの間で自由な大きさをバイト単位で獲得することができます。このバッファは主にフレームのヘッダ部、ICMP、MAC Management フレームのデータ部等に使用します。獲得したバッファの先頭アドレスが、R1 に戻り値として返されます。	
コマンドレジスタ		
SYSC[15:0]	0x5006	
引数レジスタ		
R4[15:0]	Buffer Length	必要とするバッファ長。単位バイト。1～512。
R4[31:16]	未使用	
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[31:0]	未使用	
戻り値レジスタ		
R0[1:0]	Result	2'b0x: 成功 2'b10: Invalid System Call 2'b11: バッファ不足
R0[28:2]	未使用	All 0
R0[29]	Complete	0: ハードウェア・ファンクション・コール未了 1: ハードウェア・ファンクション・コール完了
R0[31:30]	未使用	All 0
R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26:25] 2'b00★ [24:18] SBID★ [17: 0] 0★

表8.5 HWFNC_Buffer_Release

名称	HWFNC_Buffer_Releaase	
機能	獲得している LongBuffer または ShortBuffer を解放します。	
コマンドレジスタ		
SYSC[15:0]	0x5001	
引数レジスタ		
R4[31:0]	Buffer 先頭論理アドレス	解放するバッファの先頭論理アドレス（HWFNC_LongBuffer_Get または HWFNC_ShortBuffer_Get を実行したときの戻り値 R1）
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[31:0]	未使用	
戻り値レジスタ		
R0[1:0]	Result	2'b0x: 成功 2'b10: Invalid System Call 2'b11: 対象アドレスはバッファ未定義
R0[28:2]	未使用	All 0
R0[29]	Complete	0: ハードウェア・ファンクション・コール未了 1: ハードウェア・ファンクション・コール完了
R0[31:30]	未使用	All 0
R1[31:0]	未使用	All 0

表8.6 HWFNC_Buffer_Return

名称	HWFNC_Buffer_Return	
機能	獲得している ShortBuffer または LongBuffer の後半の一部を開放します。解放したいアドレスを指定すると、そのアドレス以降のバッファが解放されます。アドレスはバイトバウンダリで設定できます。この HWF はフレーム受信時においてフレームが短かったとき、バッファ資源を有効に使うため等に活用します。	
コマンドレジスタ		
SYSC[15:0]	0x5002	
引数レジスタ		
R4[31:0]	Buffer 先頭論理アドレス	解放するバッファの先頭論理アドレス（HWFNC_LongBuffer_Get または HWFNC_ShortBuffer_Get を実行したときの戻り値）。
R5[31:0]	解放先頭論理アドレス	解放要求先頭アドレス（このアドレス以降のバッファを解放）
R6[31:0]	未使用	
R7[31:0]	未使用	
戻り値レジスタ		
R0[2:0]	Result	3'b00x: 成功 3'b010: Invalid System Call 3'b011: R4 で指定したアドレスはバッファ未定義 3'b100: R5 で指定したアドレスは既にバッファ解放済み
R0[28:3]	未使用	All 0
R0[29]	Complete	0: ハードウェア・ファンクション・コール未了 1: ハードウェア・ファンクション・コール完了
R0[31:30]	未使用	All 0
R1[31:0]	未使用	All 0

8.4.1.4 MAC DMA コントローラ

(1) 機能概要

MAC DMA コントローラは、バッファ RAM と Ethernet MAC 間のデータ転送を行うモジュールです。送信時には、バッファ RAM に格納された通信データを Ethernet MAC へ DMA 転送し、受信時は、Ethernet MAC の受信データをバッファ RAM へ DMA 転送することで、通信のスループットを向上させることができます。

図8.7に、MACDMA 周辺ブロックと各種割り込み信号を示します。

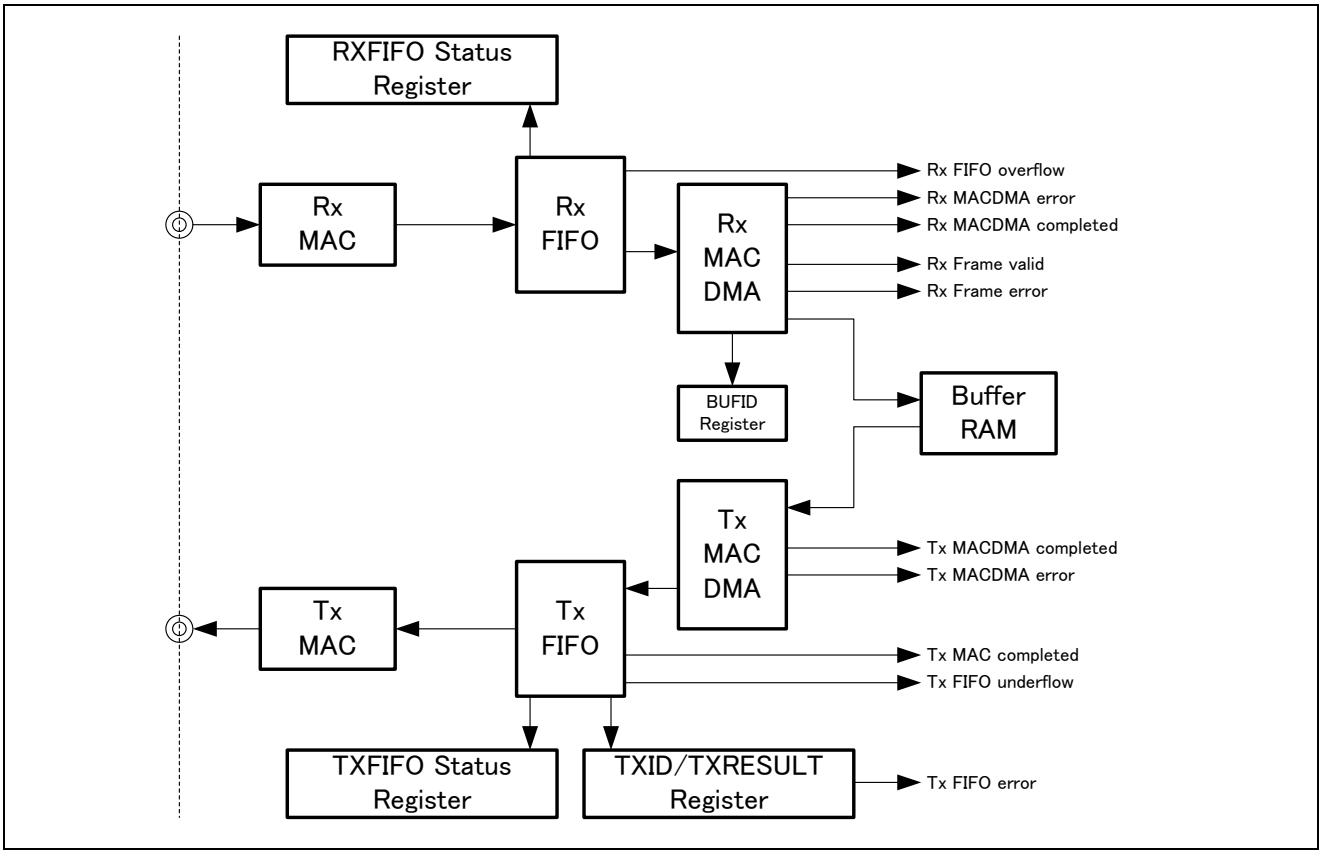


図8.7 MACDMA 周辺ブロックと割り込み信号

(2) 受信 MAC DMA 機能

図8.8に受信 MACDMA の処理概要を示します。受信 MACDMA を動作可能状態にするためには、ハードウェア・ファンクション・コール（HWFNC_MACDMA_RX_Enable）を発行し、受信 MAC DMA をイネーブルにする必要があります。活性化状態は、HWFNC_MACDMA_RX_Disable を発行するまで維持されます。

活性化状態にある受信 MACDMA は、常に MAC の受信 FIFO の状態を監視しています。FIFO に受信フレームが存在するとき、受信 MACDMA は Buffer Allocator に対し 2048 バイトの Long Buffer の獲得要求を行います。LongBuffer が獲得できると、受信 MACDMA は MAC 受信 FIFO からデータを読み出し、獲得した Long Buffer の先頭から順次データを書き込みます。

1 フレーム全てを転送し終わると、受信 MACDMA は受信情報として、受信ワード数（1 ワード 32 ビット）および先頭論理アドレスを BUFID に書き込みます。書き込まれる情報を、「8.3.4.18 受信Buffer情報レジスタ（BUFID）」に示します。BUFID は、CPU から読み出すことができ、最大 32 個の情報を蓄えることができます。

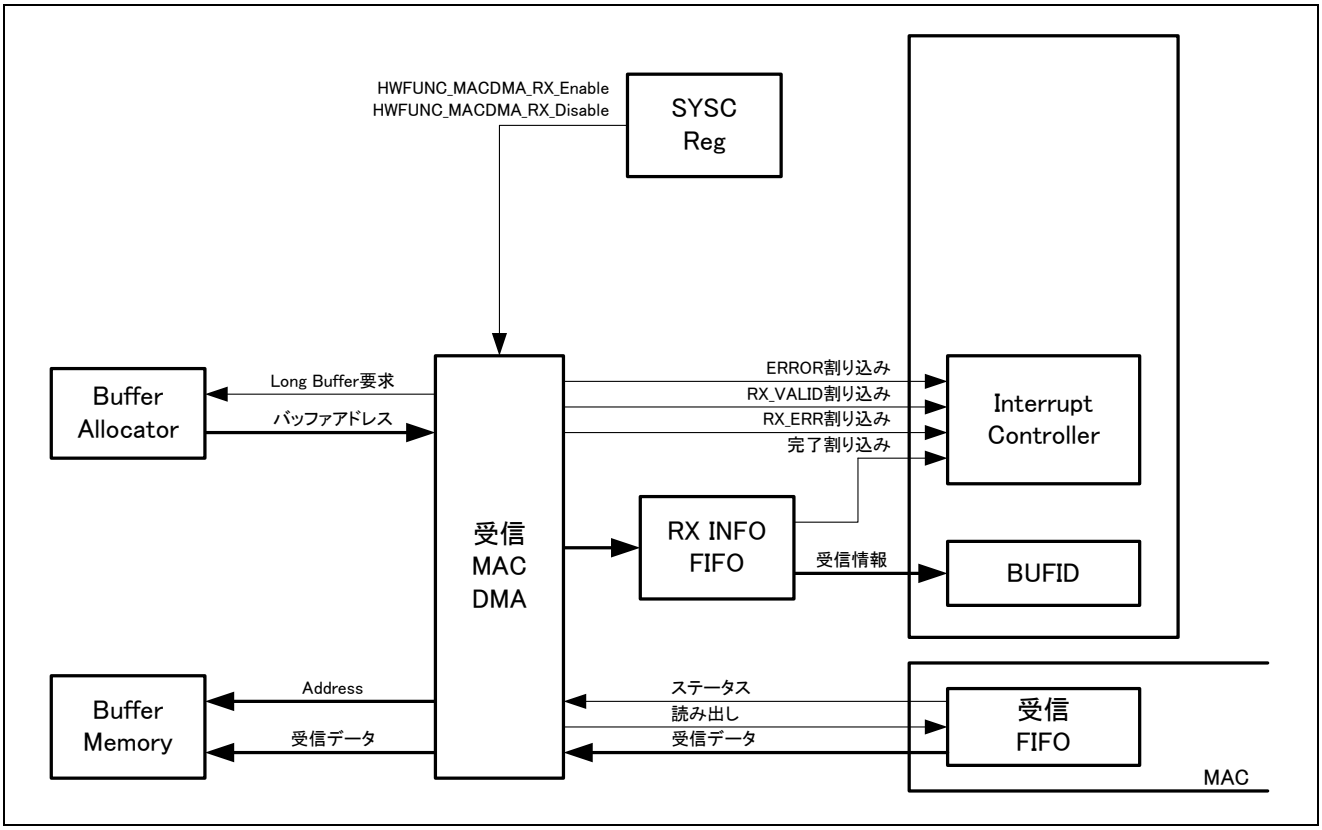


図8.8 受信 MACDMA 処理概要

(a) 搭載されている各機能の説明

- **バッファの一部解放機能**

受信 MACDMA は、受信フレームを正常に転送できた場合、最後に獲得したバッファのうち、受信データが入っていない未使用領域の解放（Buffer Return Function Call）を自動的に行います。ただし未使用領域が 128 バイト（1 セグメント）以下の場合は Buffer Return を行いません。Buffer Return は確保したバッファ領域の一部を解放するという Function Call で、確保したバッファを全て解放する Buffer Release Function Call とは異なります。

- **バッファの全解放機能**

以下の条件が成り立つ場合、受信 MACDMA は獲得した Buffer の解放（Buffer Release Function Call）を自動的に行います。

① バッファ獲得要求の Function Call を行って失敗（バッファに未使用領域がない）の場合
② 受信フレーム情報の解析の結果、受信したフレームが HWFNC_MACDMA_RX_Control で無効化されていた場合
③ 受信ワード数が 4092 ワード以下の条件で、HWFNC_MACDMA_RX_Disable を実行した場合

上記①②の場合、受信フレームは全て廃棄され、バッファの解放が行われます。③の場合は受信フレームの廃棄処理は行われず（MAC Rx FIFO にデータが残存したまま）バッファの解放のみ行い、ただちに Disable 状態になります。また、①②③いずれの場合も BUFID には受信結果を書き込みません。

- **ERROR 割り込み発生機能**

受信 MACDMA がある要因により受信動作が継続できなくなった、あるいは正常に受信できなかったことを検知した場合、ERROR 割り込みを発行します。直前に起こった ERROR 割り込みの発生要因は、ハードウェア・ファンクション・コール HWFNC_MACDMA_RX_Errstat を行うことにより知ることができます。

詳細は、「8.4.1.4(2)(c) Hardware Function Call一覧」を参照してください。

- **受信完了割り込み発生機能**

BUFID に 1 フレーム分以上の受信情報が存在するとき、受信完了割り込みがアクティブになります。

受信完了割り込みは、BUFID が empty でない、すなわち 1 フレーム以上の受信情報がある限りアクティブ（状態保持）です。

BUFID を Read し、BUFID が empty になると受信完了割り込みはクリアされます。

- 受信フレームの良否判定機能

受信フレームの良否を判定し、RX_VALID（受信フレーム正常）割り込み、RX_ERR（Ether 受信フレーム・エラー）割り込みを発行します。それぞれ複数の発生要因を持ち、初期状態ではすべての要因で割り込みの発生が許可されています。HWFNC_MACDMA_RX_Control を実行することで、特定の要因を無効化することができます。無効化された要因に該当するフレームは、バッファの全解放機能により破棄されます。

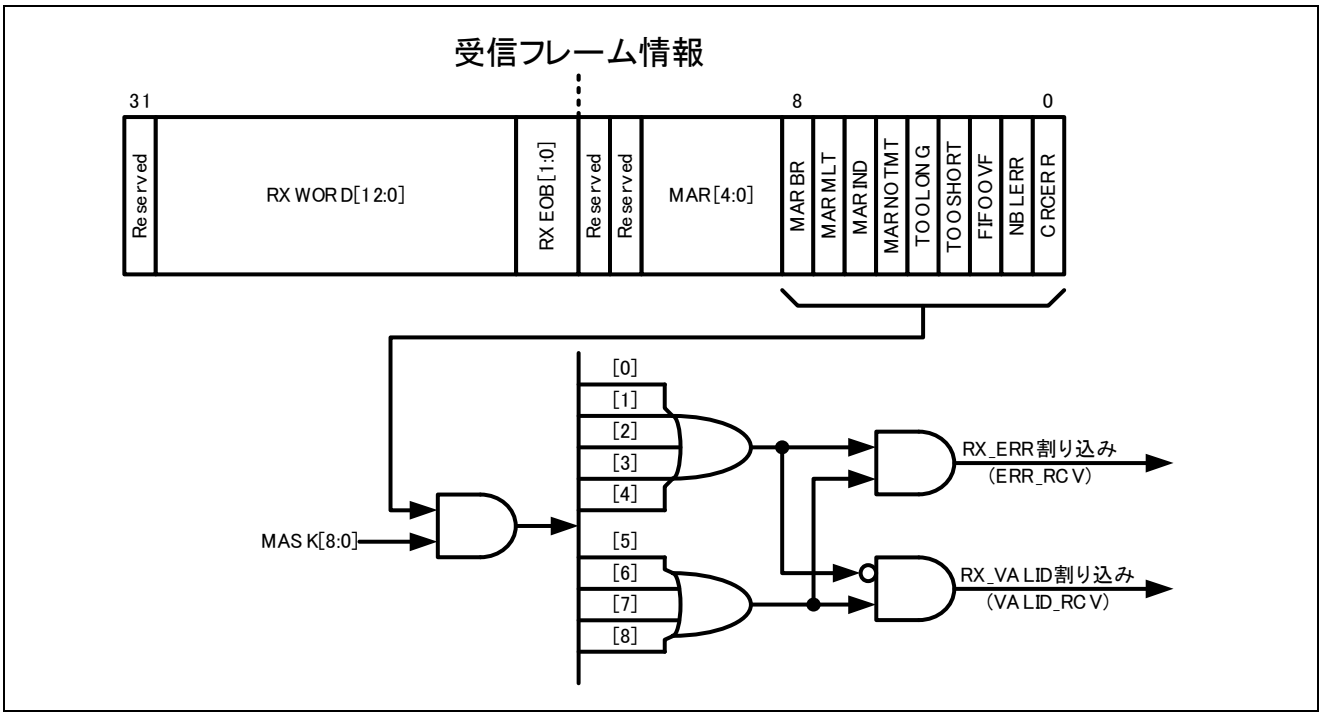


図8.9 受信フレーム良否判定機能の概念図

(b) 使用方法

- **バッファ読み出しと解放手順**

受信データが入ったバッファは使用後、必ず解放する必要があります。以下はその手順の一例です。

[バッファ読み出しと解放手順の例]
① BUFID レジスタを Read します。
② Read された BUFID の[27:16]を、16 ビット右シフトすると受信ワード数になります。
③ Read された BUFID の[15:0]は、獲得したバッファ先頭アドレスの[26:11]です。
獲得したバッファ先頭アドレスの各ビットは、以下のように構成されます。
[31:27] : 00001b
[26:18] : BUFID の[15:7]に相当★
[17:11] : BUFID の[6:0]に相当★
[10: 0] : 常に 0
④ バッファ使用後は、先頭アドレスを引数にして BufferRelease ファンクションコールを発行し、バッファを解放します。

- **ERROR 割り込み発生時の処理手順**

ERROR 割り込み発生時の処理手順推奨例です。以下、HWFNC_MACDMA_RX_ERRSTAT ファンクションコールで得られる結果（R0[7:0]）を、ERROR Status Read 結果の[7:0]と呼びます。

① ERROR Status Read 結果の[3] = 1（MACDMA Rx 強制終了のファンクションコールを行った)
a) ERROR Status Read 結果の[0] = 1 なら③へ
b) ERROR Status Read 結果の[2:0] = 4 または[2:0] = 0 の場合、割り込み要因は受信中に強制中断されたことによるもので、とくに問題はありません。受信したフレームはすべて破棄され BUFID に情報は書き込まれませんので、特に何もせず通常の処理に戻ります。受信 MAC FIFO には受信中のフレームデータが残っている可能性がありますが、その場合は次回の受信開始前にハードウェアが自動的に読み捨て動作を行います。

② ERROR Status Read 結果の[2] = 1（フレームサイズが 4096 ワード以上）
a) ERROR Status Read 結果の[0] = 1 なら③へ
b) 受信したデータは全て格納されています。先頭アドレスは BUFID を Read すると得られます。
c) 不要になったバッファは「バッファ読み出しと解放手順」の方法で Release します。
d) 通常の処理に戻ります。

③ ERROR Status Read 結果の[0] = 1（バッファ残量不足）
a) ERROR Status Read 結果の[2] = 1（受信フレームサイズが 4096 ワード以上）が同時に成立している場合、一時的にバッファが不足したと考えられ、とくに何もする必要はありません。
b) バッファ残量不足が考えられる場合、バッファを解放し空きを作成します。
c) 通常の処理に戻ります。この間、受信フレームを喪失している可能性がありますので注意してください。

(c) Hardware Function Call 一覧

Hardware Function Call の一覧を以下に示します。
Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。
Hardware Function Call の動作中にエラーが発生した場合には、割り込みが発生します。★

表8.7 HWFNC_MACDMA_RX_Enable

名称	HWFNC_MACDMA_RX_Enable	
機能	受信 MAC DMA 機能、すなわち MAC から Buffer Memory にデータを転送する機能をイネーブルにします。受信 DMA をイネーブルにすると、転送は MAC 内の FIFO に受信フレームがたまると自動的に開始されます。また、このとき DMA が Get Buffer を実行するため自動的にバッファを獲得します。	
コマンドレジスタ		
SYSC[15:0]	0x5101	
引数レジスタ		
R4[31:0]	未使用	
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[31:0]	予約	常に 0
戻り値レジスタ		
R0[0]	Result	0: 成功 1: Invalid System Call 注
R0[28:1]	未使用	All 0
R0[29]	Complete	0: ハードウェア・ファンクション・コール未了 1: ハードウェア・ファンクション・コール完了
R0[31:30]	未使用	All 0
R1[31:0]	未使用	All 0

注. Disable でない（すでにこの Function Call を実行している）状態でこの H/W Function を Call したとき、または受信中断後の Buffer Return/Release 動作中にこの Hardware Function Call をしたときは InvalidSystem Call となります。

注意. 一度に転送できるバイト数は 4～2048 バイトです。この範囲を超えると Exception が発生します。

表8.8 HWFNC_MACDMA_RX_Disable

名称	HWFNC_MACDMA_RX_Disable	
機能	受信 MAC DMA 機能をディスエーブルにします。 強制リセットを有効にした場合、受信中のデータは破棄され、BUFID への受信情報の格納も行われません。この時、自動で Buffer Release が行われます。 強制リセットが無効の場合は、自動で Buffer Release は行われません。	
コマンドレジスタ		
SYSC[15:0]	0x5102	
引数レジスタ		
R4[0]	強制リセット	0: 受信中の場合は Disable にしない 1: 受信 DMA が Enable である場合、受信中であるかどうかにかかわらず Disable にする（受信 DMA の強制リセット）。すでに受信 DMA が Disable になっている場合は何もしない
R4[31:1]	未使用	
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[31:0]	未使用	
戻り値レジスタ		
R0[0]	R4[0] = 0 の時の Result	2’b00: 成功 2’b01: Invalid System Call（使用中または受信中断中） 2’b10: 受信中につき Disable できなかった 2’b11: すでに Disable になっている
	R4[0] = 1 の時の Result	2’b00: 成功 2’b01: Invalid System Call（使用中または受信中断中）
R0[28:1]	未使用	All 0
R0[29]	Complete	0: ハードウェア・ファンクション・コール未了 1: ハードウェア・ファンクション・コール完了
R0[31:30]	未使用	All 0
R1[31:0]	未使用	All 0

表8.9 HWFNC_MACDMA_RX_Control

名称	HWFNC_MACDMA_RX_Control	
機能	受信 MAC DMA の受信フレーム情報の[8:0]ビットに対応する割り込み要因の許可／禁止を制御します。	
コマンドレジスタ		
SYSC[15:0]	0x510b	
引数レジスタ		
R4[8:0]	割り込み要因	各ビットに対して許可／禁止を制御します。 0: 割り込み禁止 1: 割り込み許可（初期値）
R4[31:9]	未使用	
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[31:0]	未使用	
戻り値レジスタ		
R0[0]	Result	0: 成功 1: Invalid System Call
R0[28:1]	未使用	All 0
R0[29]	Complete	0: ハードウェア・ファンクション・コール未了 1: ハードウェア・ファンクション・コール完了
R0[31:30]	未使用	All 0
R1[31:0]	未使用	All 0

表8.10 HWFNC_MACDMA_RX_Errstat

名称	HWFNC_MACDMA_RX_Errstat	
機能	受信 MACDMA の ERROR 割り込み発生要因を取得します。	
コマンドレジスタ		
SYSC[15:0]	0x510d	
引数レジスタ		
R4[31:0]	未使用	
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[31:0]	未使用	
戻り値レジスタ		
R0[3:0]	Result	[0]: Buffer Get 失敗 [1]: 常に 0 [2]: 受信データが 4096 ワード（16KB）を超えている [3]: 強制リセット有効で HWFNC_MACDMA_Rx_Disable を発行
R0[28:4]	未使用	All 0
R0[29]	Complete	0: ハードウェア・ファンクション・コール未了 1: ハードウェア・ファンクション・コール完了
R0[31:30]	未使用	All 0
R1[31:0]	未使用	All 0

(3) 送信 MAC DMA 機能

(a) 使用方法

送信 MACDMA にはディスクリプタを使用します。ディスクリプタは Buffer Memory 中に置きます。すなわちソフトウエアは、前もってハードウェア・ファンクション・コールを使用してディスクリプタ用の Buffer を獲得する必要があります。このバッファは Long Buffer でも Short Buffer でもかまいません。また、一つのバッファに複数のディスクリプタが存在してもかまいません。

送信ディスクリプタの詳細を「図8.10送信ディスクリプタ」に示します。なおディスクリプタの先頭アドレスは 64 ビットバウンダリでなければなりません。64 ビットバウンダリでない場合、Invalid System Call となります。

ディスクリプタはアドレスと転送バイト数が 32 ビットずつ連続して書き込まれます。アドレスが 0xFFFF FFFF であったとき、ディスクリプタの最後であることを示します。ディスクリプタのアドレスフィールドは送信すべきデータの先頭アドレスを示し、バイト数はそのアドレスから何バイト転送するかを示しています。DMA はディスクリプタの先頭にあるアドレスとその次のバイト数を読み込み、指定されたデータを送信 MAC FIFO に書き込みます。これが終わるとディスクリプタの次に書かれたアドレスとその次のバイト数を読み込み、指定されたデータを送信 MAC FIFO に書き込みます。これがディスクリプタの最後まで（0xFFFF FFFF が読み出されるまで）繰り返されます。

ディスクリプタ中のアドレス、すなわち転送元開始アドレスはバイト単位で指定できます。また各転送において転送量はバイト単位で指定できます。送信 FIFO に書き込むときにワードバウンダリでない場合、DMA が自動的に詰めながら転送を行います。

送信 MACDMA は、ハードウェア・ファンクション・コール HWFNC_MACDMA_TX_Start を発行することにより開始します。このファンクション・コールの発行時、引数レジスタ R4 に送信ディスクリプタの先頭アドレスを指定する必要があります。

なお、アドレス・フィールドが 0xFFFF FFFF ではなく、かつディスクリプタのバイト数フィールドに 0 を指定した場合には、アドレス・フィールドは無視され、転送は行われません。次のディスクリプタを読み出します。

アドレス・フィールドが不正（バッファ確保領域外など）のとき、あるいは転送バイト数が不正（アクセスしていくうちにバッファ確保領域を超えるなど）の場合には、MACDMA 送信エラー割り込みが発生します。

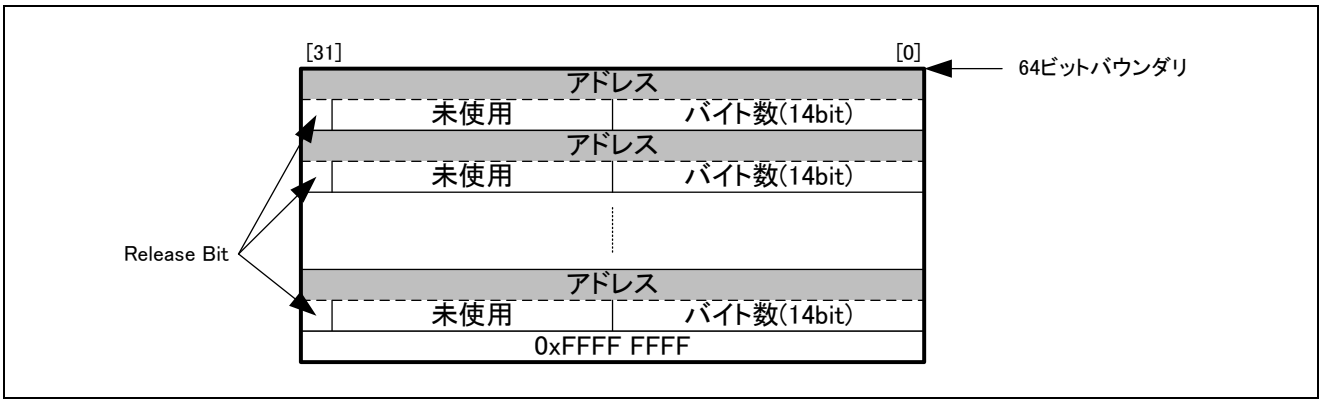


図8.10 送信ディスクリプタ

(b) Buffer の自動解放機能について

送信ディスクリプタの Release Bit が 0 の場合、バッファの解放は行いません。Release Bit が 1 の場合、そのディスクリプタで示されるアドレスを先頭とするバッファ領域は、送信完了後に送信 MACDMA によりバッファが自動で解放（Buffer Release Function Call）されます。

(c) 動作事例

図8.11は、送信 MACDMA を使用して複数のバッファを結合して送信する動作例です。

Buffer 1、Buffer 2、の 2 つの独立した Buffer は、送信ディスクリプタを連続アドレスに配置することで、送信 MAC DMA で結合して送信されます。「未使用」と書いてある部分はバッファが Segment の途中で終わっている（すなわち 128 バイト・バウンダリで終わっていない）ことを意味します。転送時、各バッファにおける先頭アドレスは必ずしもバッファの先頭アドレスである必要はありません。

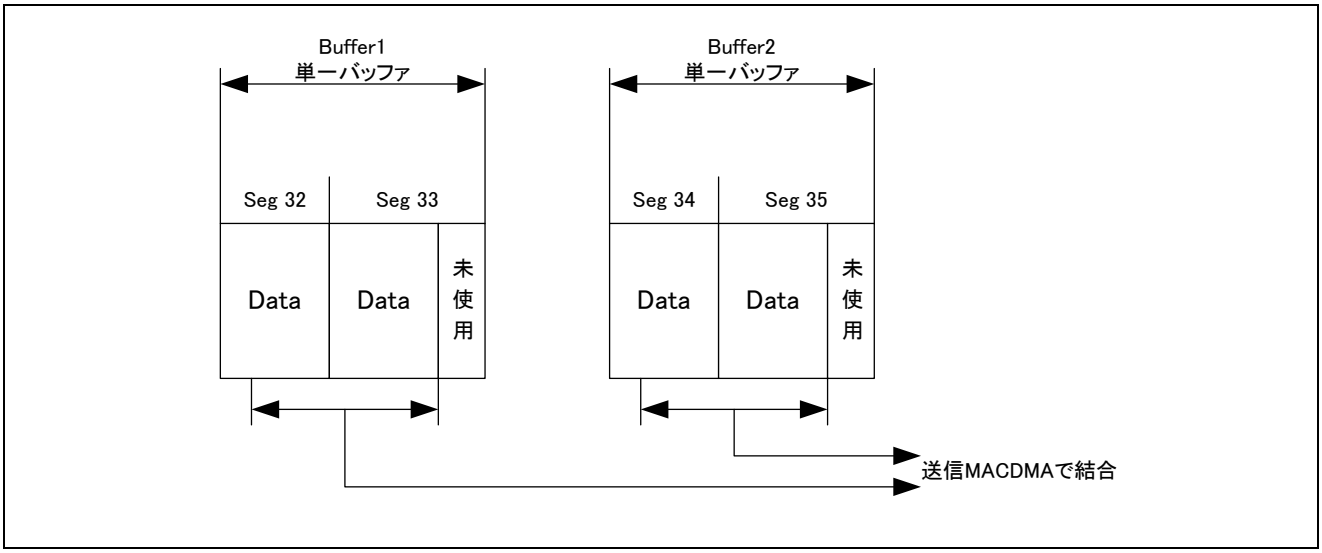


図8.11 複数バッファを結合して 1 つのフレームとして送信する例

(d) Hardware Function Call 一覧

Hardware Function Call の一覧を以下に示します。
Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。
Hardware Function Call の動作中にエラーが発生した場合には、割り込みが発生します。★

表8.11 HWFNC_MACDMA_TX_Start

名称	HWFNC_MACDMA_TX_Start	
機能	Buffer Memory から Ethernet MAC にデータを転送します。送信ディスクリプタの先頭アドレスを R4 に設定します。転送が終了すると割り込みが発生します。 一度に転送できるバイト数は、1～2048 バイトです。	
コマンドレジスタ		
SYSC[15:0]	0x5100	
引数レジスタ		
R4[31:0]	ディスクリプタ Address	送信ディスクリプタのアドレス
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[6:0]	予約	常に 0
R7[31:7]	未使用	
戻り値レジスタ		
R0[1:0]	Result	0: 成功 1: Invalid System Call
R0[28:2]	未使用	All 0
R0[29]	Complete	0: ハードウェア・ファンクション・コール未了 1: ハードウェア・ファンクション・コール完了
R0[31:30]	未使用	All 0
R1[31:0]	未使用	All 0

表8.12 HWFNC_MACDMA_TX_Errstat

名称	HWFNC_MACDMA_TX_Errstat	
機能	送信 MACDMA の ERROR 割り込み発生要因を取得します。	
コマンドレジスタ		
SYSC[15:0]	0x510C	
引数レジスタ		
R4[31:0]	未使用	
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[31:0]	未使用	
戻り値レジスタ		
R0[1:0]★	Result	[0]: Memory Access Violation★ ・未獲得のバッファへのアクセス ・転送バイト数不正 ・ディスクリプタの先頭アドレスが 64 ビット境界でない [1]: Memory Access Timeout★ ・送信用ディスクリプタの最初のアドレスが終了値（FFFF FFFFh） ・Buffer の自動開放機能による Buffer のリリースが失敗
R0[28:2]★	未使用	All 0
R0[29]	Complete	0: ハードウェア・ファンクション・コール未了 1: ハードウェア・ファンクション・コール完了
R0[31:30]	未使用	All 0
R1[31:0]	未使用	All 0

8.4.1.5 バッファ RAM DMA コントローラ

(1) 機能概要

バッファ RAM DMA コントローラは、バッファ RAM とデータ RAM、または、バッファ RAM とバッファ RAM 間のデータ転送を行います。MAC DMA で送信するデータをバッファ RAM へ転送したり、MAC DMA で受信したデータをバッファ RAM からデータ RAM へ転送したりする場合に使用されます。

(2) DMA 転送

バッファ RAM DMA コントローラの制御方法を、機能ごとに説明します。

(a) バッファ RAM - データ RAM 間転送

バッファ RAM とデータ RAM 間の転送は、ハードウェア・ファンクション HWFNC_Direct Memory Transfer を発行することで開始されます。コマンド発行後は、R0 レジスタの bit29 から、ハードウェア・ファンクション・コールの発行が完了したことを確認してください。この時点で DMA 転送は完了しています。

(b) バッファ RAM またはデータ RAM のデータ置換

ハードウェア・ファンクション HWFNC_Direct Memory Replace を実行することで、バッファ RAM またはデータ RAM 内の領域を、任意の 32 ビットのデータ・パターンで書き換えることができます。

書き込みを行う領域と書き込みサイズは、128 ビット境界である必要があります。コマンド発行後は、R0 レジスタの bit29 から、ハードウェア・ファンクション・コールの発行が完了したことを確認してください。この時点でデータ・パターンの書き込みは完了しています。

(c) バッファ RAM - バッファ RAM 間転送

ハードウェア・ファンクション HWFNC_INTBUFF_DMA_Start または、HWFNC_INTBUFF_DMA_Start（ディスクリプタ）を実行することで、バッファ RAM からバッファ RAM へのデータ転送を行うことができます。

コマンド発行後は、R0 レジスタの bit29 から、ハードウェア・ファンクション・コールの発行が完了したことを確認してください。ただし、この時点では DMA 転送は完了していません。DMA 転送の完了は、Interbuffer DMA 転送完了割り込みが発生したことで確認してください。

(d) Hardware Function Call 一覧

Hardware Function Call の一覧を以下に示します。

Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。

Hardware Function Call の動作中にアクセス禁止領域（バッファ RAM 以外の領域、等）へアクセスが発生した場合には、HWFNC_Direct_Memory_Transfer および HWFNC_Direct_Memory_Replace は Exception を戻り値レジスタ R0 に返し、HWFNC_INTBUFF_DMA_Start および HWFNC_INTBUFF_DMA_Start（ディスクリプタ）は Exception による割り込みが発生します。★

表8.13 HWFNC_Direct_Memory_Transfer

名称	HWFNC_Direct_Memory_Transfer	
機能	データ RAM からバッファ RAM に、またはバッファ RAM からデータ RAM にデータを転送します。バッファ RAM からバッファ RAM への転送はできません。バッファ RAM からバッファ RAM への転送は、HWFNC_INTBUFF_DMA_Start をご使用ください。（データ RAM 間は可能です）。	
コマンドレジスタ		
SYSC[15:0]	0x5211	
引数レジスタ		
R4[31:0]	転送元★先頭アドレス	転送元★アドレスを指定します。
R5[31:0]	転送先★先頭アドレス	転送先★アドレスを指定します。
R6[31:0]	転送バイト数	転送バイト数を指定します。
R7[31:0]	未使用	
戻り値レジスタ		
R0[1:0]	Result	2’b00: 成功 2’b01: Invalid System Call（バッファ RAM 間の転送を指定された） 2’b10: Exception 発生
R0[28:2]	未使用	All 0
R0[29]	Complete	0: ハードウェア・ファンクション・コール未了 1: ハードウェア・ファンクション・コール完了
R0[31:30]	未使用	All 0
R1[31:0]	Exception 発生アドレス	Exception 発生時、発生アドレス。その他の場合は all 0。

表8.14 HWFNC_Direct_Memory_Replace

名称	HWFNC_Direct_Memory_Replace	
機能	データ RAM またはバッファ RAM の指定されたメモリエリアをあるデータ・パターンで置き換えます。書き込みワード数は 4 ワード以上でなければなりません。（1 ワードは 32 ビット）	
コマンドレジスタ		
SYSC[15:0]	0x5212	
引数レジスタ		
R4[31:0]	パターン	書き込むデータ・パターンを指定します。
R5[31:0]	先頭アドレス	書き込み先の先頭アドレスを指定します。
R6[31:0]	ワード数	書き込むワード数を指定します。
R7[31:0]	未使用	
戻り値レジスタ		
R0[1:0]	Result	2'b00: 成功 2'b01: Invalid System Call （設定したアドレスがバイト単位での指定だった。 転送ワード数を 3 ワード以下で設定した。） 2'b10: Exception 発生
R0[28:2]	未使用	All 0
R0[29]	Complete	0: ハードウェア・ファンクション・コール未了 1: ハードウェア・ファンクション・コール完了
R0[31:30]	未使用	All 0
R1[31:0]	Exception 発生アドレス	Exception 発生時、発生アドレス。その他の場合は all 0。

表8.15 HWFNC_INTBUFF_DMA_Start

名称	HWFNC_INTBUFF_DMA_Start	
機能	Buffer Memory 内でのデータ転送を行います。転送元開始アドレスを R4 に、転送先開始アドレスを R5 に、転送バイト数を R6 に設定します。転送が終了すると割り込みが発生します。	
コマンドレジスタ		
SYSC[15:0]	0x5104	
引数レジスタ		
R4[31:0]	転送元先頭アドレス	転送元の先頭アドレスを指定します。
R5[31:0]	転送先先頭アドレス	転送先の先頭アドレスを指定します。
R6[15:0]	転送バイト数	転送バイト数を指定します。
R6[31:16]	未使用	
R7[6:0]	予約	常に 0
R7[31:8]	未使用	
戻り値レジスタ		
R0[0]	Result	0: 成功 1: Invalid System Call
R0[28:1]	未使用	All 0
R0[29]	Complete	0: ハードウェア・ファンクション・コール未了 1: ハードウェア・ファンクション・コール完了
R0[31:30]	未使用	All 0
R1[31:0]	未使用	All 0

表8.16 HWFNC_INTBUFF_DMA_Start（ディスクリプタ）

名称	HWFNC_INTBUFF_DMA_Start (ディスクリプタ)	
機能	Buffer Memory 内でのデータ転送を行います。 転送が終了すると割り込みが発生します。この Function は引数に Address, Size ではなく Descriotor を与えます。	
コマンドレジスタ		
SYSC[15:0]	0x5114	
引数レジスタ		
R4[31:0]	転送元ディスクリプタ先頭アドレス	転送元ディスクリプタの先頭アドレスを指定します。
R5[31:0]	転送先ディスクリプタ先頭アドレス	転送先ディスクリプタの先頭アドレスを指定します。
R6[31:0]	未使用	
R7[6:0]	予約	常に 0
R7[31:8]	未使用	
戻り値レジスタ		
R0[0]	Result	0: 成功 1: Invalid System Call
R0[28:1]	未使用	All 0
R0[29]	Complete	0: ハードウェア・ファンクション・コール未了 1: ハードウェア・ファンクション・コール完了
R0[31:30]	未使用	All 0
R1[31:0]	未使用	All 0

注意 1. ディスクリプタの構造は、MACDMA と同じですが、Buffer の自動解放機能はありません。
2. ディスクリプタ内のサイズ指定は転送元ディスクリプタが優先されます。転送元と転送先でサイズ指定が異なる場合は、以下のような動作になります。
転送元ディスクリプタのサイズ指定 < 転送先ディスクリプタのサイズ指定 -> 特に問題なし
転送元ディスクリプタのサイズ指定 > 転送先ディスクリプタのサイズ指定 -> Exception の可能性あり

8.4.2 割り込み機能

ギガビット・イーサネット MAC により発生する割り込みを説明します。

表8.17 送信動作に関する割り込み

割り込み名称	シンボル	発生条件／クリア条件
TX FIFO アンダーフロー割り込み	INTETHTXFIFO	ディスクリプタと送信フレーム制御情報で指定した送信サイズが異なる場合に発生します。この時、送信動作は行われません。ディスクリプタと送信フレーム情報の設定を修正し、再度送信を行ってください。 パルスで発生するため、要因のクリア処理は不要です。
TX FIFO エラー割り込み	INTETHTXFIFOERR	GMAC_TXID/GMAC_TXRESULT レジスタが最大個数（4 個）の情報を保持した状態で、さらに情報の更新が起きた場合に発生します。このエラーが発生した時点で、保持されていた情報の中で一番古いものが上書きされていますので、ご注意ください。 GMAC_TXFIFO.TRBFR ビットの値が 0 になるまで GMAC_TXID/GMAC_TXRESULT レジスタを読み出すことで、保持されていた情報がクリアされ、通常動作に戻ることができます。
MACDMA 送信エラー割り込み	INTETHTXDERR	送信 MACDMA 動作時にエラーが発生したことを示します。 エラー要因は複数あり HWFNC_MACDMA_TX_Errstat でエラー要因を取得します。★ 送信ディスクリプタを修正し、再度送信を行ってください。 パルスで発生するため、要因のクリア処理は不要です。
Ether MACDMA 送信完了割り込み	INTETHTXDMA	バッファ RAM から送信 MAC の FIFO への DMA 転送が完了した場合に発生します。このとき、DMA 転送は完了していますが、MAC の通信動作は完了していません。 パルスで発生するため、要因のクリア処理は不要です。
Ether 送信完了割り込み	INTETHTXCMP	送信 MAC における通信動作が完了した場合に発生します。 パルスで発生するため、要因のクリア処理は不要です。

表8.18 受信動作に関する割り込み

割り込み名称	シンボル	発生条件／クリア条件
Ether MACDMA 受信完了割り込み	INTETHRXDMA	受信 MACDMA 動作が正常に完了した場合に発生します。 BUFID の受信情報が Empty になるまでアクティブ状態が保持されます。BUFID をリードし、受信情報が Empty になると要因がクリアされます。
MACDMA 受信エラー割り込み	INTETHRXDERR	受信 MACDMA 動作時にエラーが発生したことを示します。 エラー要因は複数あり HWFNC_MACDMA_RX_Errstat でエラー要因を取得します。 パルスで発生するため、要因のクリア処理は不要です。
受信フレーム正常割り込み	INTMACDMARXFRM	受信 MACDMA 動作が正常に完了し、かつ、受信フレームが正常である場合に発生します。受信フレーム情報を参照することにより、発生要因を特定できます。 BUFID の受信情報が Empty になるまでアクティブ状態が保持されます。BUFID をリードし、受信情報が Empty になると要因がクリアされます。
Ether 受信フレーム・エラー割り込み	INTETHRXERR	受信 MACDMA 動作が正常に完了し、かつ、受信フレームにエラーがある場合に発生します。受信フレーム情報を参照することにより、発生要因を特定できます。 BUFID の受信情報が Empty になるまでアクティブ状態が保持されます。BUFID をリードし、受信情報が Empty になると要因がクリアされます。
RX FIFO オーバーフロー割り込み	INTETHRXFIFO	バッファに十分な空きが無い状態でデータを受信し、Rx FIFO がオーバーフローした場合に発生します。本エラーが発生した場合、すでに受信データが破棄されている可能性があります。バッファを解放するなどして、受信可能な状態に戻してください。 パルスで発生するため、要因のクリア処理は不要です。

表8.19 その他の動作に関する割り込み

割り込み名称	シンボル	発生条件／クリア条件
Ether MII マネージメント・アクセス完了割り込み	INTETHMII	MII マネージメントバスへのリードまたはライトが完了した場合に発生します。パルスで発生するため、要因のクリア処理は不要です。
Ether ポーズ・パケット送信完了割り込み	INTETHPAUSE	ポーズ・パケットの送信が終了した場合に発生します。 パルスで発生するため、要因のクリア処理は不要です。
InterBuffer DMA 転送完了割り込み	INTBUFDMA	バッファ RAM 間の DMA 転送が完了した場合に発生します。 パルスで発生するため、要因のクリア処理は不要です。
InterBuffer DMA 転送エラー割り込み	INTBUFDMAERR	バッファ RAM 間の DMA 転送中に、獲得されていないバッファ領域へアクセスした場合に発生します。 パルスで発生するため、要因のクリア処理は不要です。
Buffer RAM 領域アクセスエラー★	INTBRAMERR★	CPU から獲得されていないバッファ領域へアクセスした場合に発生します。パルスで発生するため、要員のクリア処理は不要です。★

8.4.3 イーサネット・フレーム送信機能

本項では、イーサネット・フレームの送信処理に関して説明します。ギガビット・イーサネット MAC では、以下のフローで送信処理を行います。

1. 初期設定（→8.4.1.1）
2. 送信処理用バッファの獲得（→8.4.3.1）
3. 送信フレーム制御情報を作成（→8.4.3.2(1)）
4. イーサネット・フレーム・データの作成（→8.4.3.2(2)）
5. 送信用ディスクリプタの作成（→8.4.3.3）
6. DMAの起動コマンドを実行（→8.4.3.4）
7. 送信用ディスクリプタに従い、MAC内のFIFOへDMA転送
8. 転送データ内に含まれる送信フレーム制御情報に従って、MACがイーサネット送信を開始
9. 送信完了割り込みの発生
10. ステータスチェックなど送信完了後の処理（→8.4.3.5）
11. 送信処理用バッファの解放（任意）

各フローの詳細について、次項で説明します。

8.4.3.1 送信処理用バッファの獲得

以下のようにハードウェア・ファンクション・コールレジスタを設定し、送信処理用のバッファを獲得します。

レジスタ	値
SYSC	0x5000
R4	確保するメモリ・ブロック・サイズ（1～2048 バイト）
R5	0（未使用）
R6	0（未使用）
R7	0（未使用）

また、ハードウェア・ファンクションは以下のように戻り値を返します。

レジスタ	値
R0	2’b0x かつ R0[29] = 1 のとき: 成功 2’b10: Invalid System Call 2’b11: バッファ不足
R1	確保したメモリ・ブロックの先頭アドレス

8.4.3.2 送信データの作成

送信データ・フォーマットを、図8.12に示します。このフレームの先頭アドレスを、送信用ディスクリプタで指定します。

ギガビット・イーサネット MAC では、通常のイーサネット・フレーム・データの前に、64 ビットの送信フレーム制御情報を付加することで、送信フレームのサイズや各種制御の指示を行います。

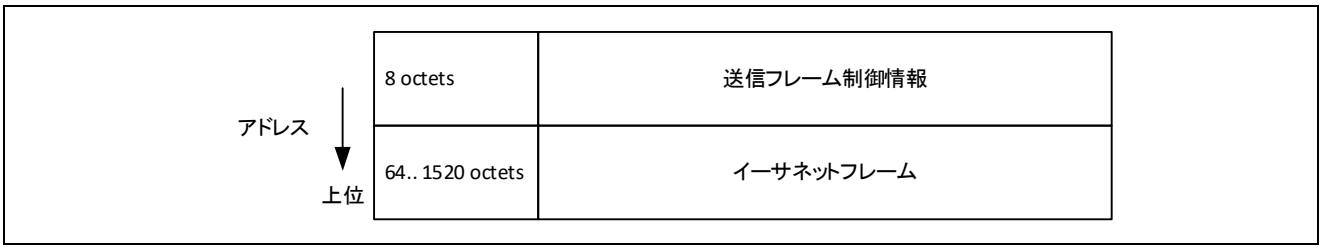


図8.12 送信データ・フォーマット

注意. 必ずこの送信データ・フォーマットの形式に合わせて使用してください。

(1) 送信フレーム制御情報

送信フレーム制御情報の各フィールドの説明を以下に示します。

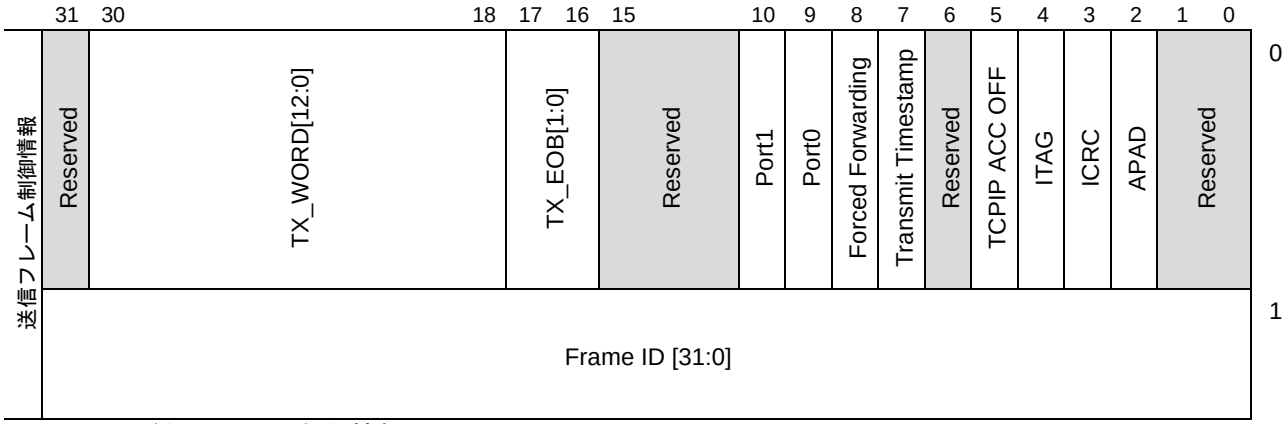


図8.13 送信フレーム制御情報

項目	説明
TX_WORD[12:0]	送信する Ethernet フレームのワード数を指定します。（1 ワードは 32 ビット） 最終ワード内で有効なバイト数は、TX_EOB[1:0]で指定します。
TX_EOB[1:0]	このフレームの最後の 1 ワードにおいて、どのオクテットまで有効であるかを示します。 00：1byte 有効 01：2byte 有効 10：3byte 有効 11：4byte 有効
Port1 注 1	イーサネット・スイッチの Forced Forwarding 機能を、Port1 で許可します。
Port0 注 1	イーサネット・スイッチの Forced Forwarding 機能を、Port0 で許可します。
Forced Forwarding 注 1	イーサネット・スイッチの Forced Forwarding 機能を有効にします。この機能を有効にすると、スイッチのフィルタ設定に関係なく指定ポートからフレームが出力されます。
Transmit Timestamp 注 1	イーサネット・スイッチ使用時、送信フレームのタイムスタンプ機能を有効にします。
TCPIP ACC OFF 注 2	1：TCPIP アクセラレータを無効 0：TCPIP アクセラレータを有効
ITAG	このフレームに VLAN TAG を含んでいることを示しています。
ICRC	このフレームはすでに CRC がアタッチされています。 このビットが 1 のとき、APAD は無効になります。
APAD	フレーム長が 64 オクテットに満たない場合に自動でパディングを行います。
Frame ID[31:0]	任意のフレーム識別子を指定します。

注 1. イーサネット・スイッチ・マネージメント TAG 制御レジスタ（ETHSWMTC）で、マネージメント・タグの挿入が許可されている場合にのみ有効です。マネージメント・タグが挿入されない場合には、無効なフィールドとなります。

2. 以下のフレームを送信する場合は、TCPIP アクセラレータを無効にしてください。

・UDP あるいは TCP パケットを含まない IPv6 フレーム

・IEEE802.3 + IEEE802.2 (LLC)フレーム

TX_WORD[12:0]と TX_EOB[1:0]を合わせて、TX_LENGH[14:0]（15bit）とした場合、Ethernet フレームの送信サイズ（単位:byte）より TX_LENGH[14:0]を以下の式で算出することができます。TCPIPACC Pad Size は、送信 TCPIP アクセラレータ機能が有効（GMAC_ACC.TTCPIPEN=1）の場合は 2、無効の場合は 0 です。

TX_LENGH [14:0] = (TX Frame Size – TCPIPACC Pad Size + 3) (bytes)

(2) イーサネット・フレーム

送信するイーサネット・フレームのデータ形式と、各フィールドの説明を以下に示します。

項目	説明
Destination MAC Address	宛先の MAC アドレス
Source MAC Address	送信元の MAC アドレス
Type / Length	Ethernet Type or length
VLAN Tag	Tag Protocol Identifier。VLAN Tag を含む場合に使用されます。
VLAN Info	Tag Control Information。VLAN Tag を含む場合に使用されます。
Frame Payload	ペイロード

(a) 送信 TCPIP アクセラレータ機能が有効の場合

送信 TCPIP アクセラレータ機能が有効（GMAC_ACC.TTCPIPEN=1）の場合は、Type/Length フィールドと Payload の間に 2 バイトの Padding が必要です。

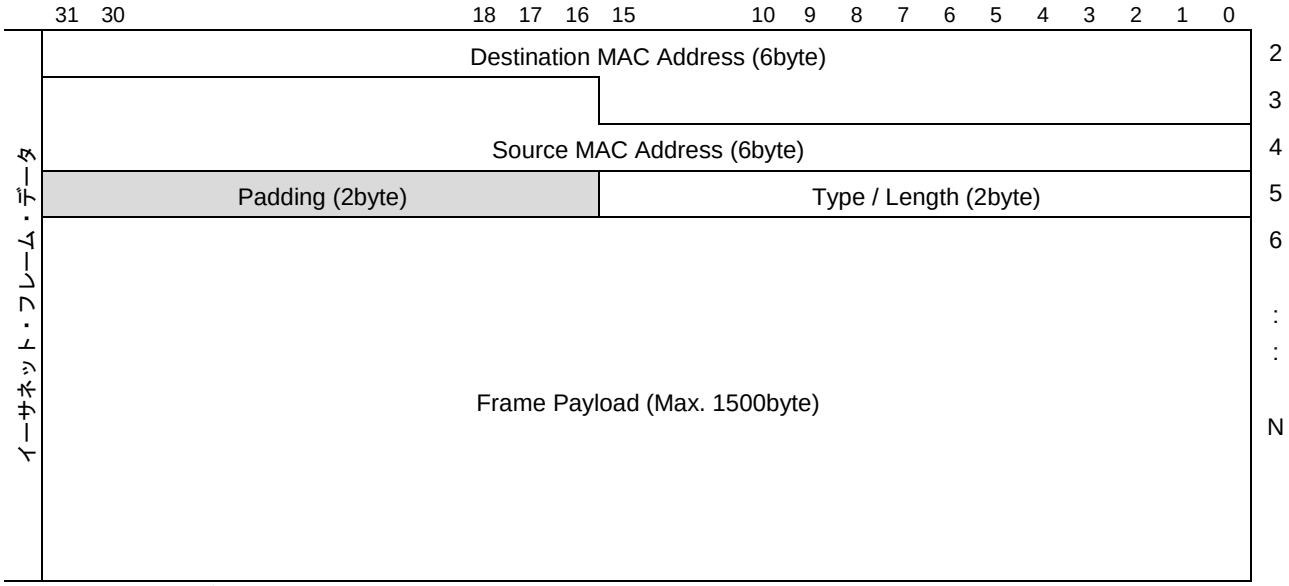


図8.14 送信データ・フォーマット（TCPIPACC 有効、VLAN Tag 無し）

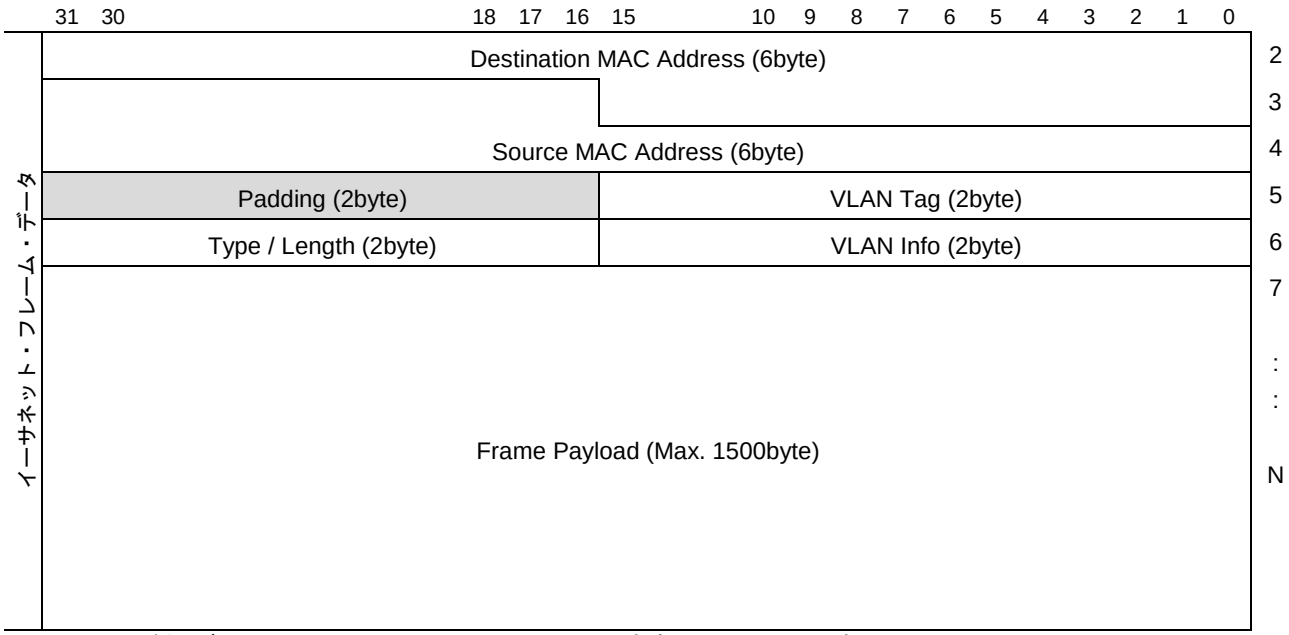


図8.15 送信データ・フォーマット（TCPIPACC 有効、VLAN Tag 有り）

注意. Padding (2byte)と Reserved はどの様なデータでも構いません。
また Padding (2byte)は Ethernet フレームの指定サイズ（TX_WORD[12:0], TX_EOB[1:0]）には含まれません。

(b) 送信 TCPIP アクセラレータ機能が無効の場合

送信 TCPIP アクセラレータ機能が無効（GMAC_ACC.TTCPIPEN=0）の場合のイーサネットフレームを、以下に示します。

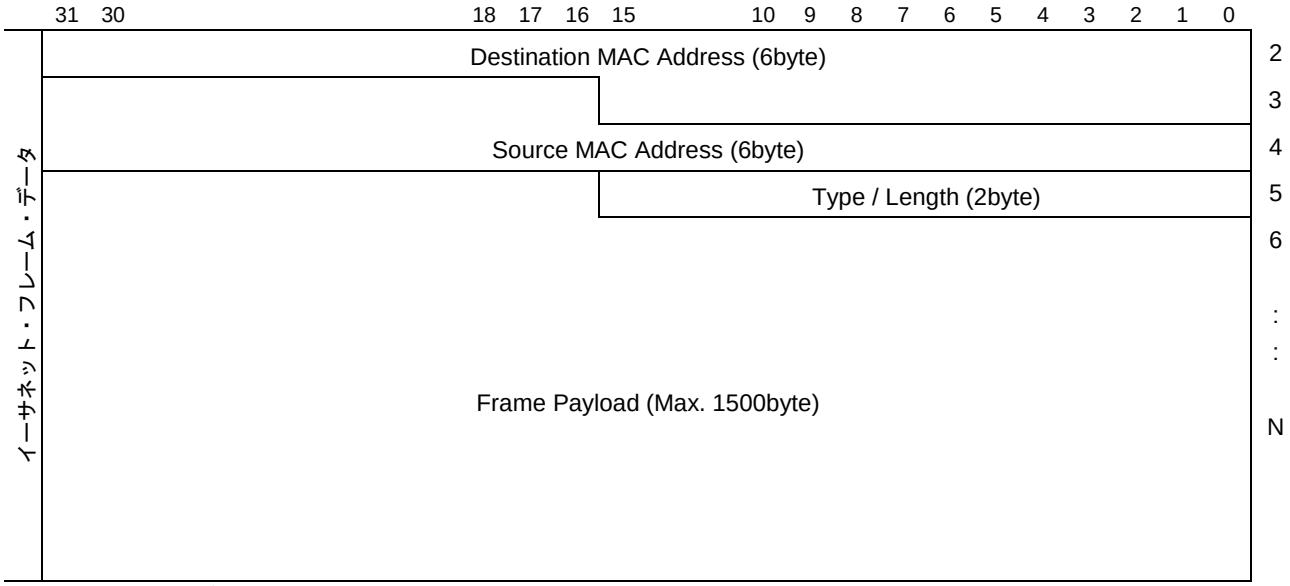


図8.16 送信データ・フォーマット（TCPIPACC 無効、VLAN Tag 無し）

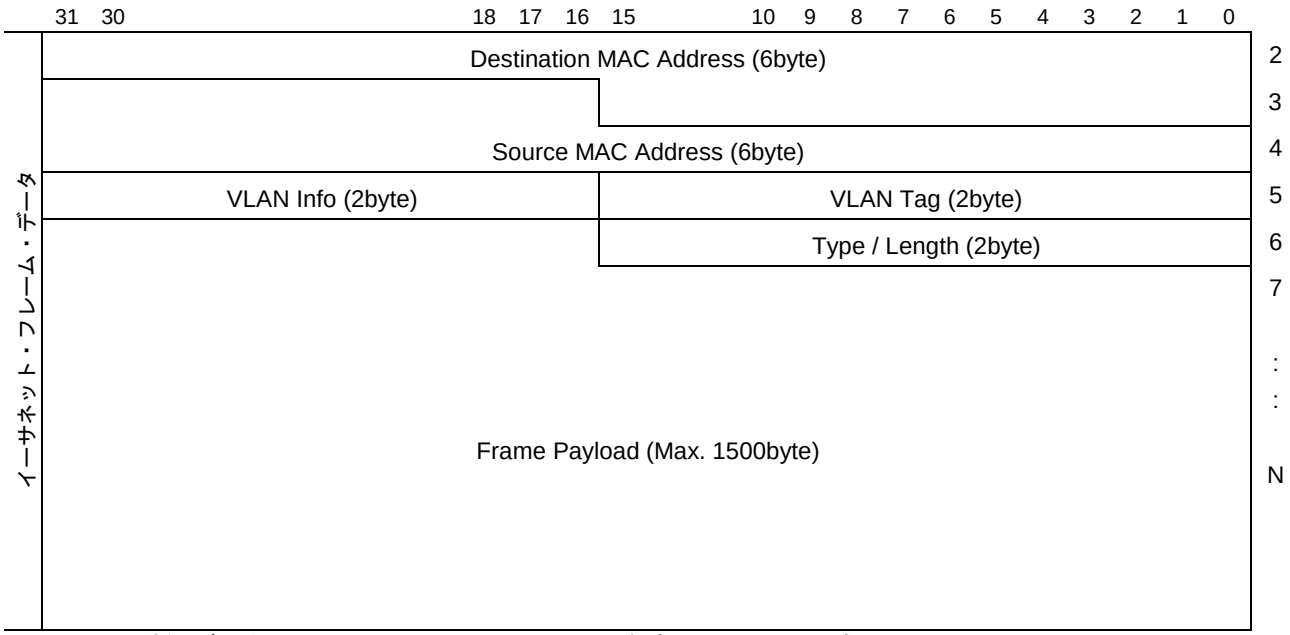


図8.17 送信データ・フォーマット（TCPIPACC 無効、VLAN Tag 有り）

8.4.3.3 送信処理用ディスクリプタの作成

送信 MAC 用 DMA コントローラが使用するディスクリプタを以下に示します。ディスクリプタを作成後に、送信 DMA を起動することで、送信処理が開始されます。

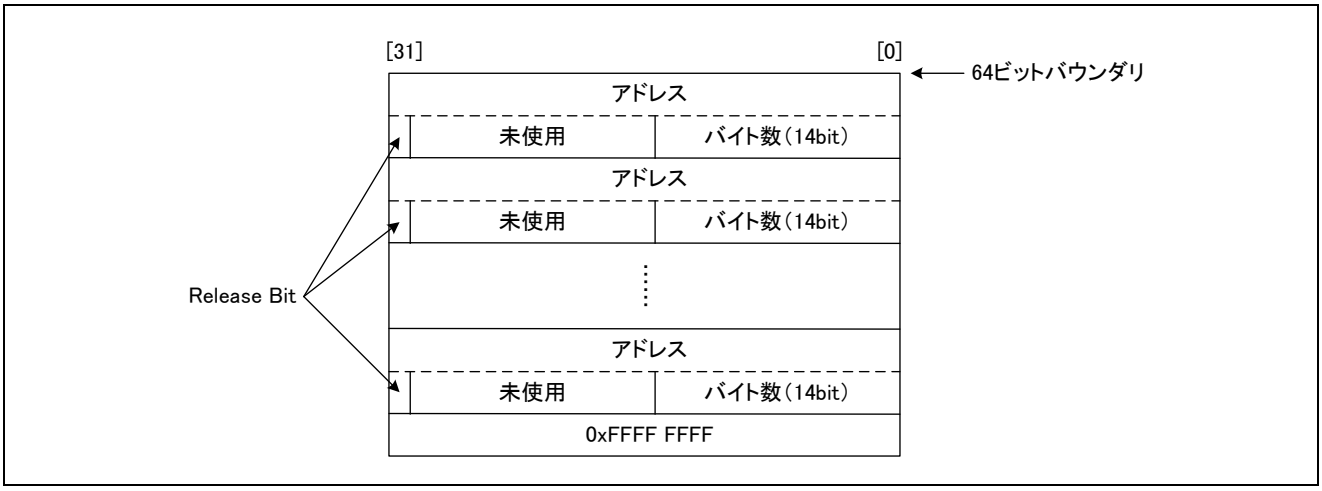


図8.18 送信ディスクリプタの構造

ディスクリプタの先頭アドレスは 64 ビットバウンダリ（アドレスの[2:0] = 0）でなければなりません。64 ビットバウンダリでない場合、戻り値レジスタ R0 にエラーが格納されます。

ディスクリプタはアドレスと転送バイト数が 32 ビットずつ連続して書き込まれます。アドレスが 0xFFFF FFFF であったとき、ディスクリプタの最後であることを示します。ディスクリプタのアドレスフィールドは送信すべき先頭アドレスを示し、バイト数はそのアドレスから何バイト転送するかを示しています。DMA はディスクリプタの先頭にあるアドレスとその次のバイト数を読み、指定されたデータを送信 MAC FIFO に書き込みます。これが終わるとディスクリプタの次に書かれたアドレスとその次のバイト数を読み込み、指定されたデータを送信 MAC FIFO に書き込みます。これがディスクリプタの最後まで（0xFFFF FFFF が読み出されるまで）繰り返されます。

ディスクリプタ中のアドレス、すなわち転送元開始アドレスはバイト単位で指定できます。また各転送において転送量はバイト単位で指定できます。送信 FIFO に書き込むときにワードバウンダリでない場合、DMA が自動的に詰めながら転送を行います。

送信 MACDMA は、ハードウェア・ファンクション・コールにおいて“送信動作の開始”を発行することにより開始します。このファンクション・コールの発行時 R4 レジスタに送信ディスクリプタの先頭アドレスを指定する必要があります。

なお、アドレスフィールドが 0xFFFF FFFF ではなく、かつディスクリプタのバイト数（14 ビット）のフィールドに 0 を指定した場合には、アドレスフィールドは無視され転送は行われません。次のディスクリプタを読みにいきます。

アドレスフィールドが不正（バッファ確保領域外など）のとき、あるいは転送バイト数が不正（アクセスしていくうちにバッファ確保領域を超えるなど）の場合にはエラー割り込みが発生します。

Release Bit が 1 の場合、そのディスクリプタで示されるアドレスを先頭とするバッファ領域は、送信完了後に送信 MACDMA によりバッファが自動で解放（Buffer Release Function Call）されます。Release Bit = 0 の場合はバッファの解放は行いません。

8.4.3.4 送信処理の開始

以下のようにハードウェア・ファンクション・コールレジスタを設定することで、送信 DMA が起動し、送信が開始されます。

レジスタ	値
SYSC	0x5100
R4	送信ディスクリプタ・アドレス
R5	0（未使用）
R6	0（未使用）
R7	0 を設定してください。

またハードウェア・ファンクションは以下のように戻り値を返します。

レジスタ	値
R0	0: 成功 1: エラー（不正呼び出し）
R1	0 固定

8.4.3.5 送信処理の完了

DMA の転送が完了すると Ether MACDMA 送信完了割り込みが発生し、MAC の送信が完了すると Ether 送信完了割り込みが発生します。

すでに獲得した送信処理用バッファを次の送信時に再利用する場合は、送信処理用バッファの獲得は不要です。

8.4.4 イーサネット・フレーム受信機能

本項では、イーサネット・フレームの受信処理に関して説明します。ギガビット・イーサネット MAC では、以下のフローで受信処理を行います。

1. 初期設定（→8.4.1.1）
2. 受信用MACの有効化（→8.4.4.1）
3. 受信用DMAの起動（→8.4.4.2）
4. フレームの受信とバッファの獲得（→8.4.4.3）
5. 受信完了割り込み発生
6. 受信Buffer情報の取得（→8.4.4.4）
7. フレームのステータスチェック（→0）
8. イーサネット・フレーム・データの取得（→8.4.4.5(2)）
9. 受信処理用バッファの解放

8.4.4.1 受信用 MAC の有効化

受信許可レジスタ（GMAC_RXMAC_ENA→8.3.4.15）を 1 に設定し、受信用 MAC を有効にします。

8.4.4.2 受信用 DMA の起動

以下のようにハードウェア・ファンクション・コールレジスタを設定することで、受信処理用 DMA コントローラを起動します。

レジスタ	値
SYSC	0x5101
R4	0（未使用）
R5	0（未使用）
R6	0（未使用）
R7	0 を設定してください。

またハードウェア・ファンクションは以下のように戻り値を返します。

レジスタ	値
R0	0: 成功 1: エラー（不正呼び出し）
R1	0 固定

8.4.4.3 フレームの受信とバッファの獲得

フレームの受信が行われた場合、ハードウェアにより自動的に受信処理用バッファが獲得されます。

8.4.4.4 受信バッファ情報の取得

受信完了割り込み等で受信の完了を検出した後、受信 Buffer 情報レジスタ（BUFID）をリードして、受信データが格納されたバッファのアドレスとサイズを取得します。

アドレス情報の取得後、データの格納されたバッファを参照し、受信フレーム情報とイーサネット・フレーム・データを取得します。受信データのフォーマットは次節8.4.4.5を参照してください。

8.4.4.5 受信データ・フォーマット

ギガビット・イーサネット MAC でフレームを受信する場合、フレームデータの後ろに 64bit の受信フレーム情報が付加されます。この受信フレーム情報から、イーサネット・フレームのサイズや、エラー等のステータスを知ることができます。

受信フレーム情報は 64 ビット境界から始まるため、イーサネット・フレームの次の Padding サイズは、フレームサイズに応じて変化します。

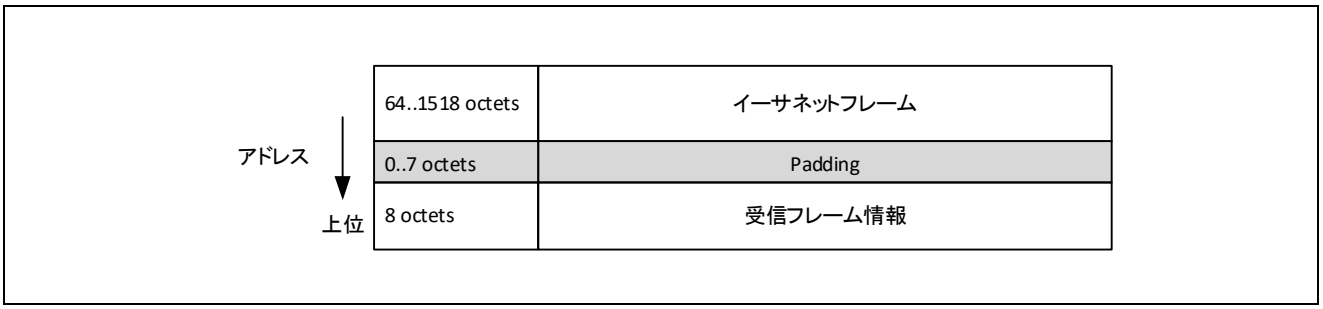


図8.19 受信データ・フォーマット

(1) 受信フレーム情報

受信フレーム情報の各フィールドの説明を以下に示します。

受信フレーム情報 (word address:N ~ (N+2))	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Reserved (always 0)	RX_WORD[12:0]													RX_EOB[1:0]		Reserved (always 0)	Reserved (always 0)	MAR[4:0]					MARBR	MARMLT	MARIND	MARNOTMT	TOOLONG	TOOSHORT	FIFOOVF	NBLERR	CRCERR
	SESSION_ID[15:0]																Reserved (always 0)	Reserved (always 0)	Reserved (always 0)	Reserved (always 0)	Reserved (always 0)	MARSTAT[2:0]		IPNG	TCPNG	IPV6NG	OUT_OF_LIST	TYPEIP	MAACL	PPPOE	VTAG

図8.20 受信フレーム情報

項目	説明
SESSION_ID[15:0]	‘1’のとき PPPoE Session Stage の Session ID を示します。
MARSTAT[2:0]	MARSTAT[2]：’1’のとき Broadcast Address MARSTAT[1]：’1’のとき Multicast Address MARSTAT[0]：’1’のとき Individual Address
IPNG 注2	‘1’のとき、IPv4 ヘッダのチェックサムが TCPIP アクセラレータの計算結果と合わないことを示します。
TCPNG 注2	‘1’のとき、TCP または UDP ヘッダのチェックサムが TCPIP アクセラレータの計算結果と合わないことを示します。
IPV6NG 注2	‘1’のとき IPv6 の拡張ヘッダが、ルーティング、Hop-by-Hop、Destination Opt、のいずれかであり、かつ、ヘッダ長フィールドの値が不正であることを示します。
OUT_OF_LIST 注2	‘1’のとき IPv6 の拡張ヘッダで下記リスト外のプロトコル番号を検出したことを示します。 0x06（TCP ヘッダ） 0x11（UDP ヘッダ） 0x00（Hop-by-Hop） 0x3C（Destination Opt） 0x2C（フラグメント） 0x2B（ルーティング） 0x3B（ノーネクストヘッダ） 0x32（ESP ヘッダ） 0x33（AH ヘッダ）
TYPEIP 注2	‘1’のとき、IP パケットであることを示します。
MAACL 注2	‘1’のとき 802.3（LLC/SNAP）のパケットを示します。
PPPOE 注2	‘1’のとき PPPoE のパケットを示します。
VTAG 注2	‘1’のとき VLAN Tag を含むパケットを示します。
RX_WORD[12:0]	Ethernet Frame のワード数注1
RX_EOB[1:0]	このフレームの最後のワード内で、有効なバイトを示します注。 00：1byte 有効 01：2byte 有効 10：3byte 有効 11：4byte 有効
MAR[4:0]	MAR[4:1]：未使用（0 固定） MAR[0]：Pause Packet の宛先アドレスの受信を示します。
MARBR	‘1’のとき受信フレームが Broadcast アドレスであることを示します。
MARMLT	‘1’のとき受信フレームが Multicast アドレスであることを示します。
MARIND	‘1’のとき受信フレームが MAC アドレス・レジスタに登録されたアドレスのパケットであることを示します。
MARNOTMT	受信フレームが本ステーション向けアドレスでないときに’1’になります。
TOOLONG	‘1’のとき受信フレームが規定される最大フレーム長（1518 オクテット）より長いフレームであることを示します。
TOOSHORT	‘1’のとき受信フレームが規定される最少フレーム長（64 オクテット）より短いフレームであることを示します。本 MAC では TOOSHORT パケットは自動的に破棄されるため、TOOSHORT が’1’になるパケットを受信することはありません。
FIFOOVF	‘1’のとき受信中に FIFO がオーバフローしたことを示します。このとき、受信フレームのデータは欠損している可能性があります。
NBLERR	‘1’のとき受信フレーム中のワードに符号化エラーなどがあることを示します。
CRCERR	‘1’のとき受信フレームが CRC エラーであることを示します。

注 1. Ethernet フレームの FCS（4byte）と、受信 TCPIP アクセラレータ機能が挿入する MAC ヘッダの Padding（2byte）も受信バイト数に含まれます。
2. TCPIP アクセラレータを無効にしている場合、これらのフィールドの値は無効です。

RX_WORD[12:0]を上位、RX_EOB[1:0]を下位ビットとして結合したビットを RX_LENGTH[14:0]とした場合、受信したフレームのバイト数は、以下の式で計算されます。

(Ethernet フレームの受信バイト数) = RX_LENGTH[14:0] - 3

以下に例を示します。

- 受信データが 1byte の場合 → RX_WORD = 0x1 RX_EOB = 0x0 → 4 – 3 = 1 (byte)
- 受信データが 8byte の場合 → RX_WORD = 0x2 RX_EOB = 0x3 → 11 – 3 = 8 (byte)
- 受信データが 5byte の場合 → RX_WORD = 0x2 RX_EOB = 0x0 → 8 – 3 = 5 (byte)
- 受信データが 9byte の場合 → RX_WORD = 0x3 RX_EOB = 0x0 → 12 – 3 = 9 (byte)

(2) イーサネット・フレーム

受信したイーサネット・フレームのデータ形式を以下に示します。

項目	説明
Destination MAC Address	宛先の MAC アドレス。 イーサネット・スイッチ・マネージメント TAG 制御レジスタ（ETHSWMTC）で、マネージメント・タグの挿入が許可されている場合には、マネージメント TAG 情報が格納されます。
Source MAC Address	送信元の MAC アドレス
VLAN Tag	Tag Protocol Identifier。VLAN Tag を含む場合に使用されます。
VLAN Info	Tag Control Information。VLAN Tag を含む場合に使用されます。
Type / Length	Ethernet Type or length
Frame Payload	ペイロード
FCS	フレーム・チェック・シーケンス 受信 TCPIP アクセラレータ機能が有効で、受信パケットに TCP/UDP を含む場合には、FCS フィールドが TCP/UDP のチェックサム値で上書きされます。このチェックサム値は、フラグメント化された TCP/UDP パケットの合計チェックサム値の計算に利用できます

イーサネット・スイッチ・マネージメント TAG 制御レジスタ（ETHSWMTC）で、マネージメント・タグの挿入が許可されている場合、Destination MAC Address[47:0]のフィールドは、以下のように使用されます。

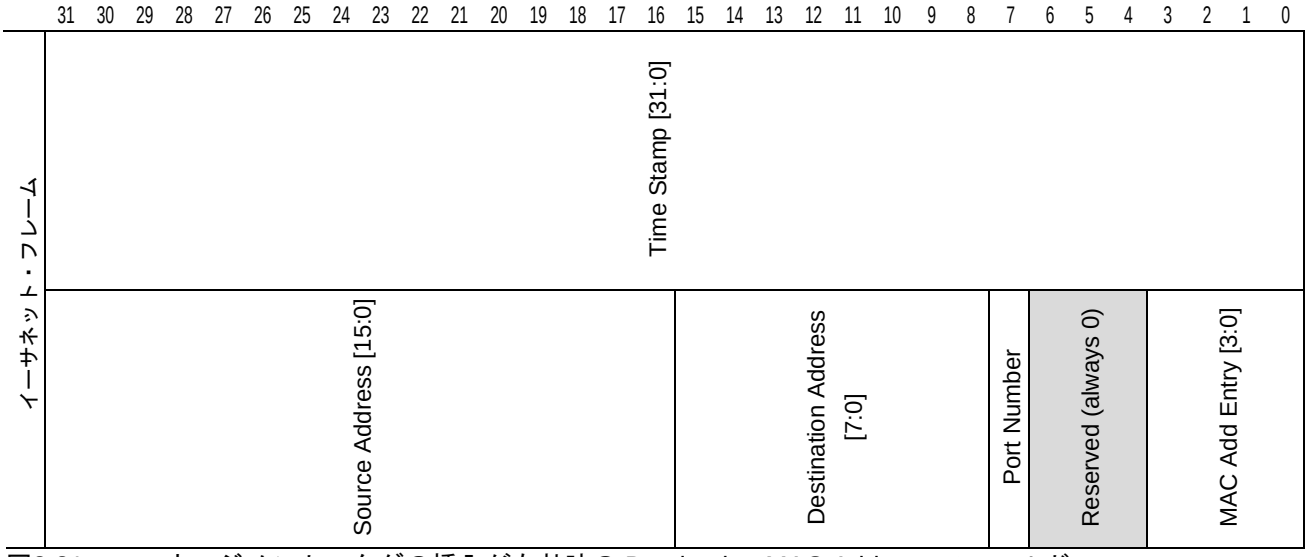


図8.21 マネージメント・タグの挿入が有効時の Destination MAC Address フィールド

項目	説明
Time Stamp [31:0]	受信フレームがポートを通過した際のタイムスタンプ
MAC Add Entry [3:0]	受信したフレームと一致する MAC アドレス設定レジスタ（GMAC_ADRnA, GMAC_ADRnB）のインデックス番号 例）値が 5 の場合 フレームの宛先アドレスは GMAC_ADR5A と GMAC_ADR5B の設定と対応
Port Number	受信タイムスタンプをつけたポート
Destination MAC Address	宛先の MAC アドレス
Source MAC Address	送信元の MAC アドレス

注意. GMAC_RXMODE レジスタの AFILLTEREN ビットが 1 の場合、MAC Add Entry フィールドの値が無効になるため、Destination MAC Address の復元はできません。

(a) 受信 TCPIP アクセラレータ機能が有効かつ TCP/UDP パケットを含まない場合

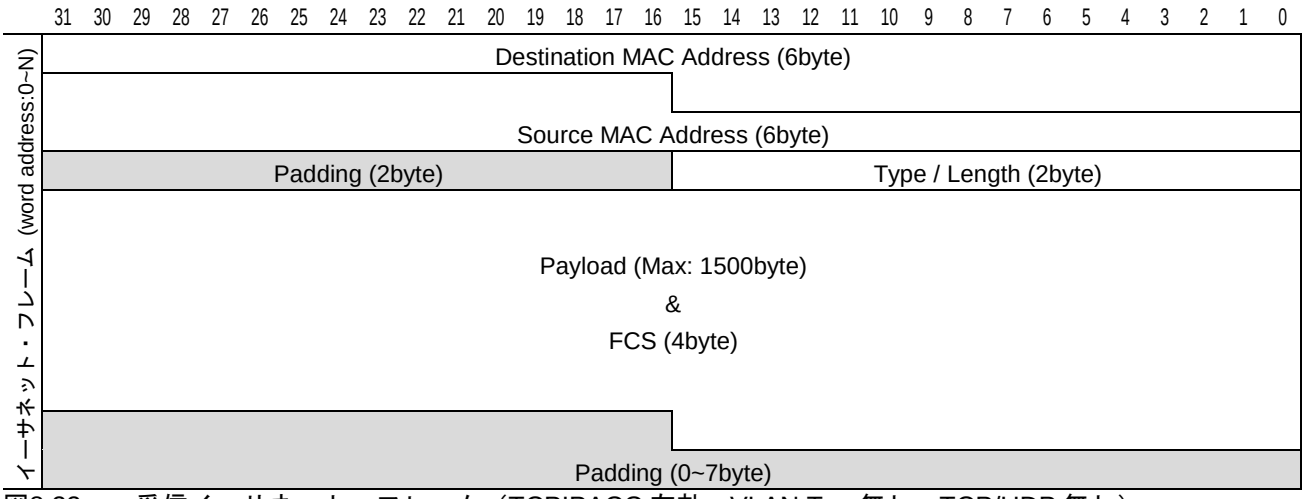


図8.22 受信イーサネット・フレーム（TCPIPACC 有効、VLAN Tag 無し、TCP/UDP 無し）

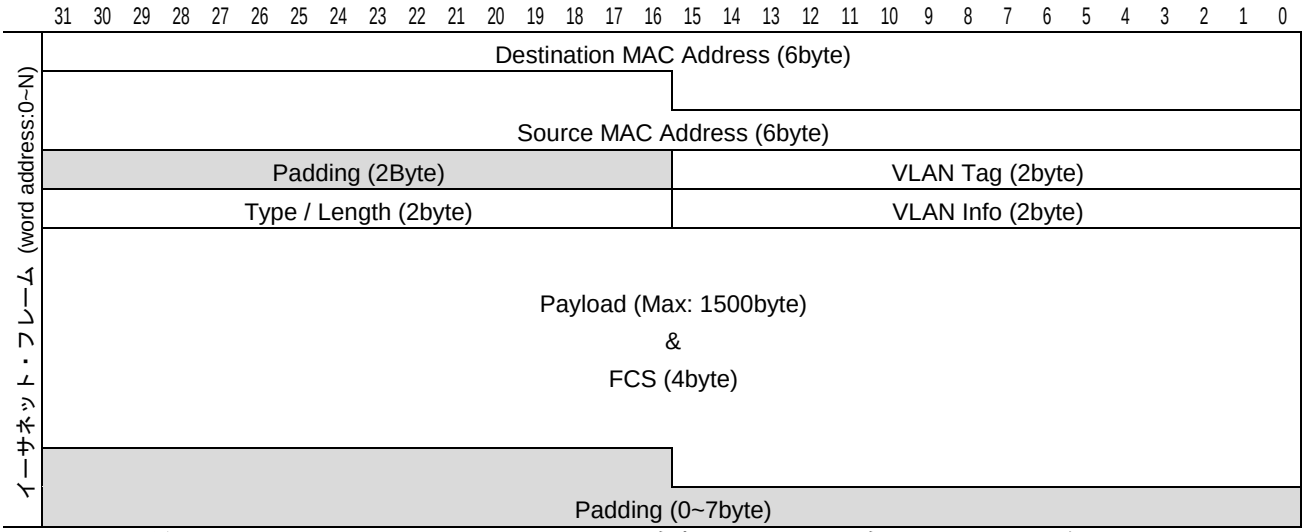


図8.23 受信イーサネット・フレーム（TCPIPACC 有効、VLAN Tag 有り、TCP/UDP 無し）

(b) 受信 TCPIP アクセラレータ機能が有効かつ TCP/UDP パケットを含む場合

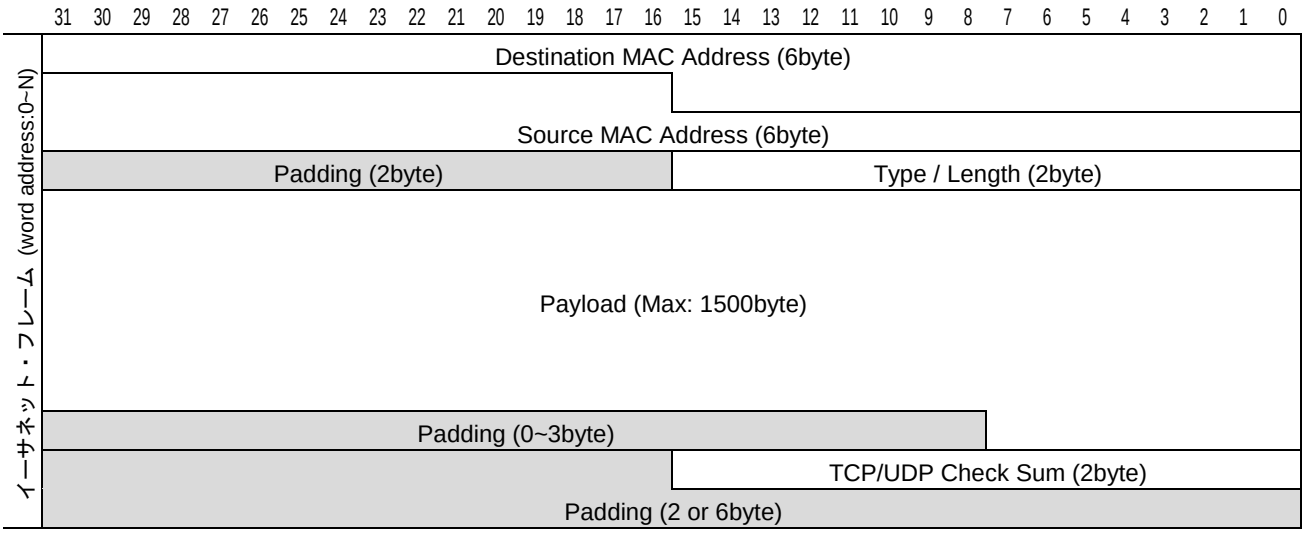


図8.24 受信イーサネット・フレーム（TCPIPACC 有効、VLAN Tag 無し、TCP/UDP 有り）

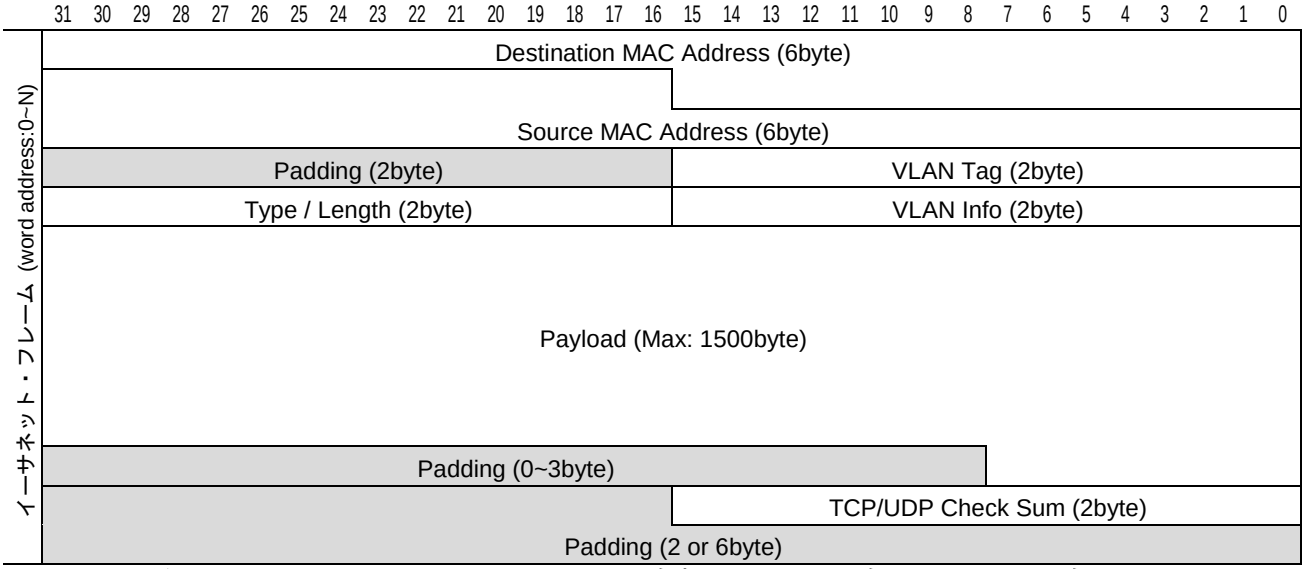


図8.25 受信イーサネット・フレーム（TCPIPACC 有効、VLAN Tag 有り、TCP/UDP 有り）

(c) 受信 TCPIP アクセラレータ機能が無効の場合

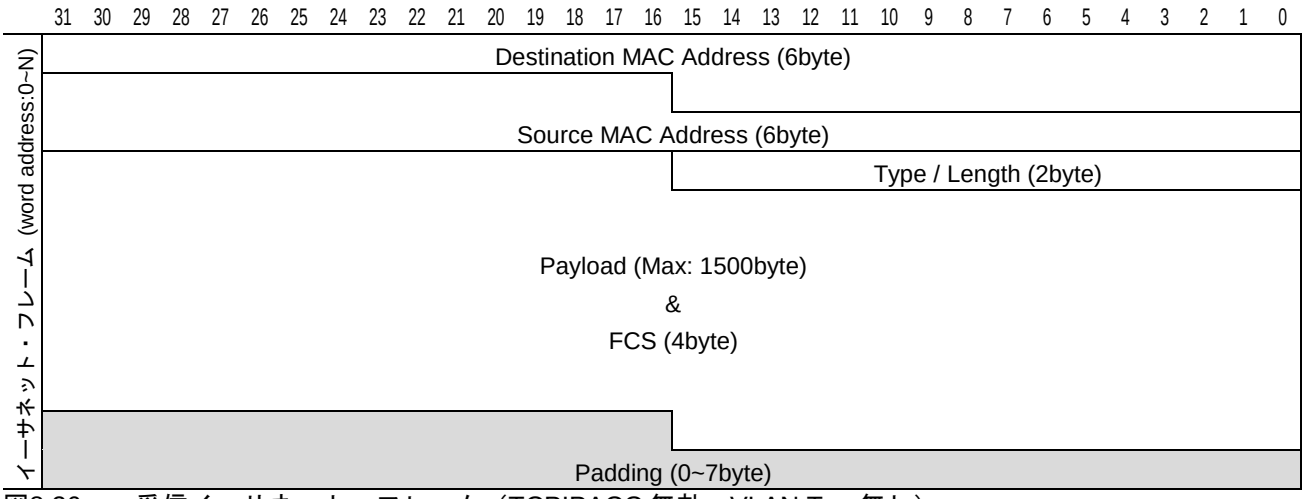


図8.26 受信イーサネット・フレーム（TCPIPACC 無効、VLAN Tag 無し）

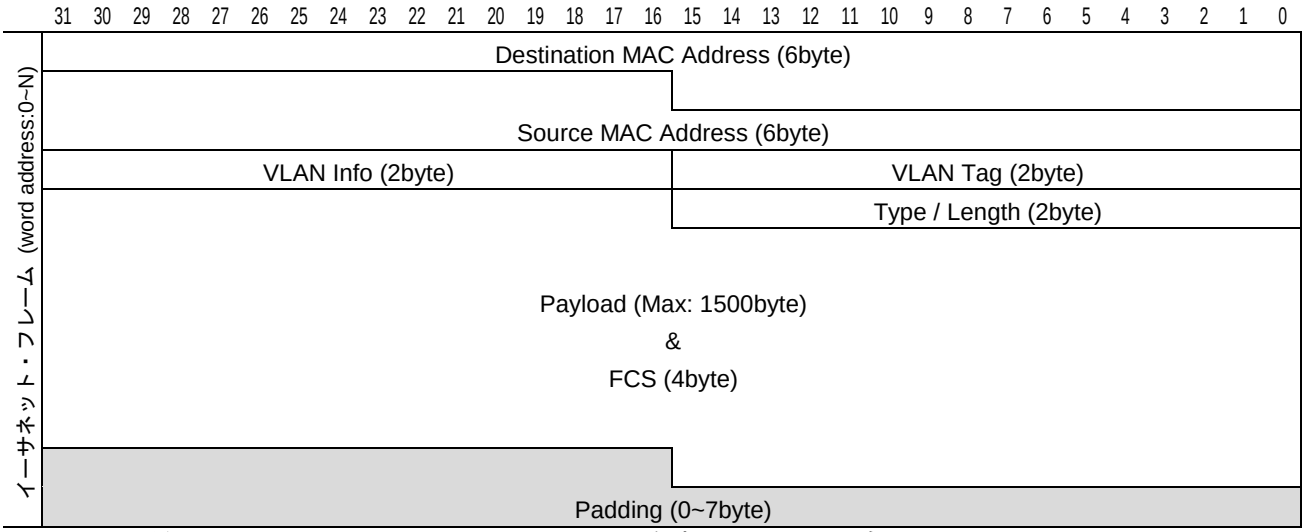


図8.27 受信イーサネット・フレーム（TCPIPACC 無効、VLAN Tag 有り）

8.4.5 TCPIP アクセラレータ機能

TCPIP アクセラレータ機能を有効にすることで、送受信時のチェックサム計算をハードウェアで実行することができます。チェックサム計算の対象となるのは、以下の 3 種類のプロトコルです。

- IPv4 ヘッダのチェックサム
- TCP チェックサム
- UDP チェックサム

送信、受信、それぞれにおける TCPIP アクセラレータ使用方法を説明します。

8.4.5.1 TCPIP アクセラレータを使った送信

GMAC_ACC レジスタの TTCPIPEN ビットを 1 に設定することで、送信時の TCPIP アクセラレータ機能が有効になります。この状態で、IPv4、TCP/IP、UDP/IP のいずれかのプロトコルを含むパケットを送信した場合、ハードウェアがチェックサム計算を行い、各プロトコルのチェックサムフィールドを自動的に上書きして送信します。このとき、MAC ヘッダ内に TCPIPACC 用の 2 byte の Padding が必要です。

また、送信フレーム制御情報の TCPIP ACC OFF フィールドに 1 を設定することで、パケット毎に送信 TCPIP アクセラレータ機能を無効にすることも可能です。

フラグメント化されたパケットにおいては、TCP と UDP のチェックサム計算はハードウェアでは行いません。ソフトウェアでチェックサム計算を行ってください。

GMAC_ACC レジスタの TTCPIPEN ビットが 0 の場合には、送信 TCPIP アクセラレータ機能は無効になります。

表8.20 GMAC_ACC レジスタ設定と送信 TCPIP アクセラレータの動作

GMAC_ACC.TTCPIPEN	送信フレーム制御情報 TCPIP ACC OFF	チェックサム計算 （送信）	TCPIPACC 用の Padding （送信）
0	0	無効	不要
0	1	無効	不要
1	0	有効	要
1	1	無効	要

備考. 送信パケットの UDP チェックサム計算結果が 0x0000 の場合には、チェックサムフィールドに 0xFFFF を書き込みます。

注意. IPv4 ヘッダのヘッダ長フィールド値が実際のヘッダの長さと一致していない場合、送信が完了せず正常動作に復帰できない可能性があります。必ず適切な値を設定して下さい。

8.4.5.2 TCPIP アクセラレータを使った受信

GMAC_ACC レジスタの RTCPIPEN ビットを 1 に設定することで、受信時の TCPIP アクセラレータ機能が有効になります。この状態で IPv4、TCP/IP、UDP/IP のいずれかのプロトコルを含むパケットを受信した場合、ハードウェアでチェックサム計算が行われます。この計算結果がパケット内のチェックサムフィールド値と一致しない場合、受信フレーム情報の IPNG フィールド、TCPNG フィールドにエラー情報が格納されます。

TCPIPACC 有効時、受信フレームの MAC ヘッダ部に TCPIPACC 用の 2 byte の Padding が挿入されます。

受信 TCPIP アクセラレータ機能が有効で、受信パケットに TCP/UDP を含む場合には、FCS フィールドが TCP/UDP のチェックサム値で上書きされます。このチェックサム値は、フラグメント化された TCP/UDP パケットの合計チェックサム値の計算に利用できます。ただし、フラグメントデータの場合には疑似ヘッダのチェックサム値が含まれていませんので、疑似ヘッダのチェックサム値はソフトウェアで計算が必要です。

受信フレーム情報の IPNG、IPV6NG、OUT_OF_LIST、のいずれかのフィールドが 1 である場合、そのフレームはハードウェアによる TCP/UDP チェックサム計算は行われていません。

また、IPv6 の拡張ヘッダに、フラグメント、ESP、AH、のいずれかのプロトコルを含む場合にも、TCP/UDP チェックサム計算は行われません。

GMAC_ACC レジスタの RTCPIPACC ビットが 1 の場合には、チェックサム計算は行われませんが、TCPIPACC 用の Padding は挿入されます。

GMAC_ACC レジスタの RTCPIPEN ビットが 0 の場合には、受信 TCPIP アクセラレータ機能が無効になります。この場合、TCPIPACC 用の Padding は付与されません。

表8.21 GMAC_ACC レジスタ設定と受信 TCPIP アクセラレータの動作

GMAC_ACC.RTCPIPEN	GAMC_ACC.RTCPIPACC	チェックサム計算（受信）	TCPIPACC 用の Padding（受信）	FCS フィールドをチェックサム計算値で上書き
0	0	無効	無し	しない
0	1	無効	無し	しない
1	0	有効	有り	する
1	1	無効	有り	しない

備考. 受信パケットの UDP ヘッダのチェックサムフィールドが 0x0000 の場合には、チェックサムの比較は行いません。TCPNG は 0 になります。

8.5 注意事項

使用時には、以下の事項に注意してください。

8.5.1 送信フレーム内の MAC ヘッダ部に対するパディングの追加

ギガビット・イーサネット MAC では、TCPIP アクセラレータがデータを扱うために、通常 14 バイトの MAC ヘッダに 2 バイトのパディングを加えて、送信フレームを構成しています。

ただし、実際にはこのパディングが送信されることはありません。したがって、送信フレームのデータサイズにも含まれないので、ご注意ください。

詳細は、「8.4.5.1 TCPIPアクセラレータを使った送信」を参照してください。

8.5.2 受信時のチェックサム計算結果の誤判定

(1) 対象：Ethernet II フレームおよび IEEE802.3 + IEEE802.2 (LLC + SNAP) フレーム

以下の条件のフレームを受信した場合、正常なパケットにもかかわらず受信フレーム情報の IPNG あるいは TCPNG フィールドが 1 になる場合があります。この条件に該当する場合は、ソフトウェアでチェックサム値を確認してください。

- IPv4、TCP ヘッダ内のチェックサムフィールド値が 0x0000 または 0xFFFF
- IPv6、FCS を除いたフレーム長が 60 バイト以上、TCP または UDP のペイロードが 1 バイトでその後ろのデータが 0 以外
- IPv6、TCP または UDP のチェックサム計算に用いる疑似ヘッダのチェックサム計算値が 21 ビット以上

(2) 対象：IEEE802.3 + IEEE802.2 (LLC) フレーム

SNAP を持たない IEEE802.3 + IEEE802.2 (LLC) フレームを受信した場合、TYPEIP フィールドおよび IPNG フィールドが 1 になる場合があります。この条件に該当する場合は、ソフトウェアで SNAP の有無を確認して、SNAP 無しの場合は正常フレームとして扱って下さい。

8.5.3 受信 FIFO オーバーフロー発生時の受信フレーム情報の誤り

受信 TCPIP アクセラレータ機能を有効にした状態で、受信 FIFO オーバーフローが発生した場合、以下のように受信フレーム情報に誤った情報を格納される可能性があります。

- 受信した正常フレームの受信フレーム情報に、その前に受信した受信 FIFO オーバーフローフレームのエラー情報が格納される。
- 受信した受信 FIFO オーバーフローフレームを正常フレームと認識し、受信フレーム情報に不正値が格納される。

これを回避するために、下記の①また②のいずれかの方法により回避して下さい。

① 受信TCP/IPアクセラレータ機能をMACヘッダ部のPadding挿入機能も含めて無効にしてください。具体的には、GMAC_ACCレジスタのbit0をクリアしてください。

② 受信FIFOオーバーフロー発生時、受信FIFO、バッファRAMに残っているフレームを全て破棄してください。具体的には、受信FIFOオーバーフロー発生時に以下の処置をとってください。

(1) 受信MACを停止
(2) 受信FIFOに残っているフレームを全て破棄
(3) バッファRAMに残っているフレームを全て破棄
(4) 受信MACを再起動
(5) 少なくとも一度、BUFIDのVALIDビットが1のフレームを破棄。これは、オーバーフロー発生フレームは､FIFOにフレームが残った状態でもレジスタからFIFO Emptyが読み出される可能性があるため、一度正常フレームを受信させて、残留しているフレームを破棄するための処置です。

図8.28～図8.31に②の処理のフローチャート例を示します。

- ハードウェア・リアルタイム OS を使用する場合
  図8.28：受信 FIFO オーバーフロー処理タスク例
  図8.29：受信処理タスク例

✓ 受信処理タスクより高優先のオーバーフロー処理タスクを用意 ✓ オーバーフローエラー割り込みの HWISR でタスク処理開始するように設定 ✓ 最後のフレーム破棄は、受信割り込みの HWISR を待って実行

- ハードウェア・リアルタイム OS を使用しない場合
  図8.30：受信 FIFO オーバーフロー割り込み処理例
  図8.31：受信処理例

✓ 最後のフレーム破棄は、受信処理にて実行。オーバーフロー復帰処理フラグがセットされている場合には、VALID データを 1 回破棄 ✓ オーバーフロー復帰処理フラグは任意のグローバル変数に設定 ✓ BUFID のリード～オーバーフロー処理復帰フラグチェックの間はオーバーフロー割り込みを禁止

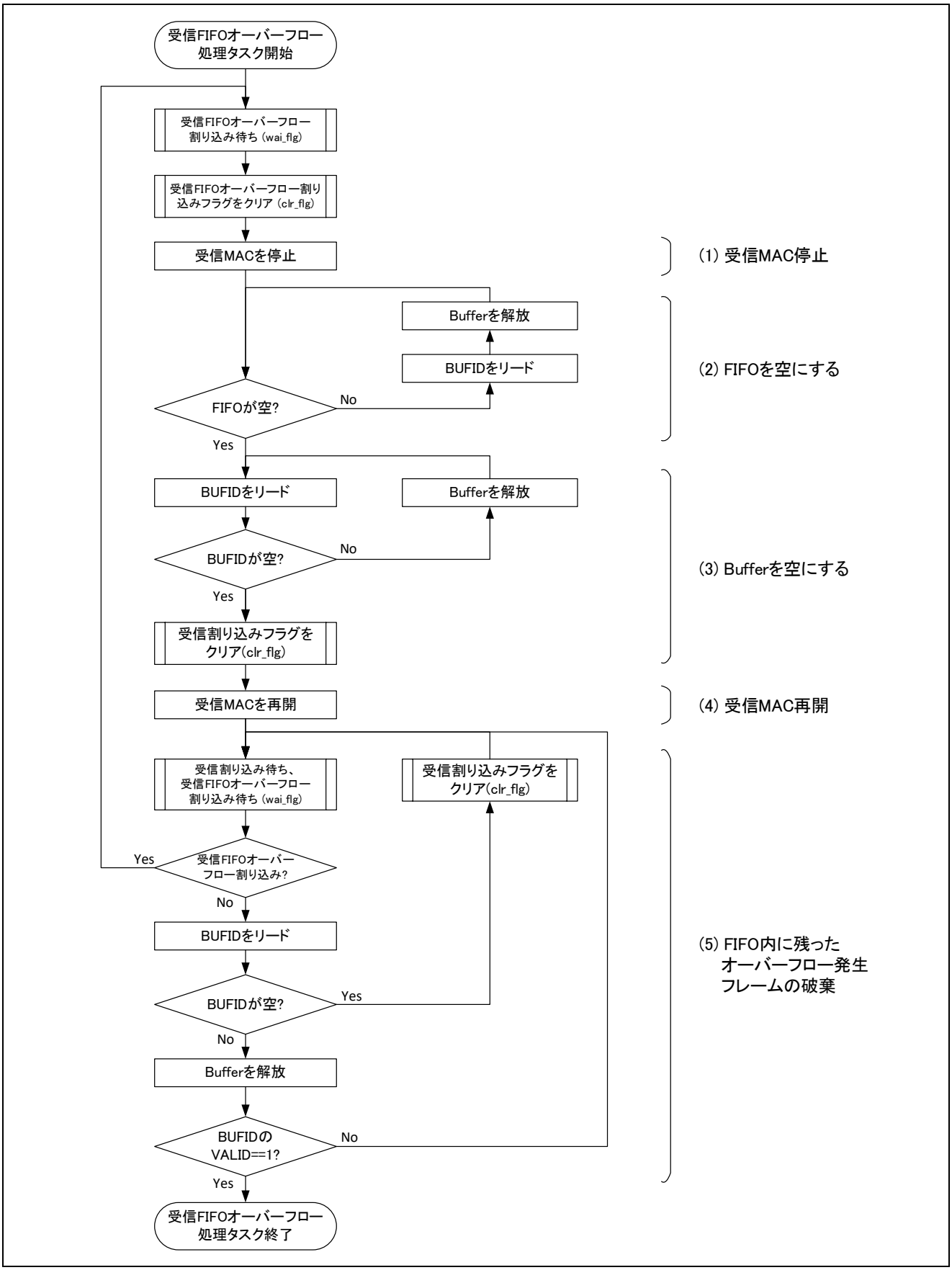


図8.28 受信 FIFO オーバーフロー処理タスク例（ハードウェア・リアルタイム OS を使用した場合）

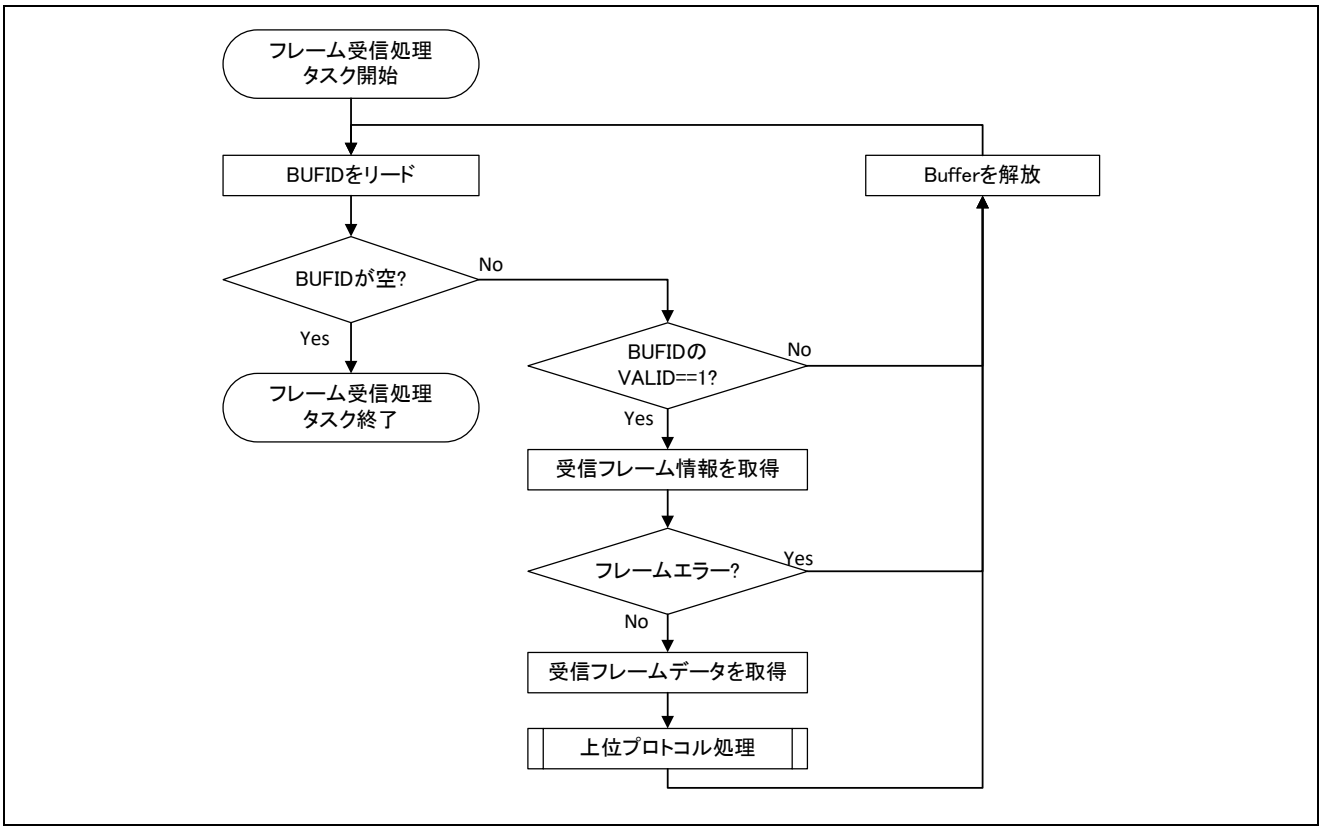


図8.29　受信処理タスク例（ハードウェア・リアルタイム OS を使用した場合）

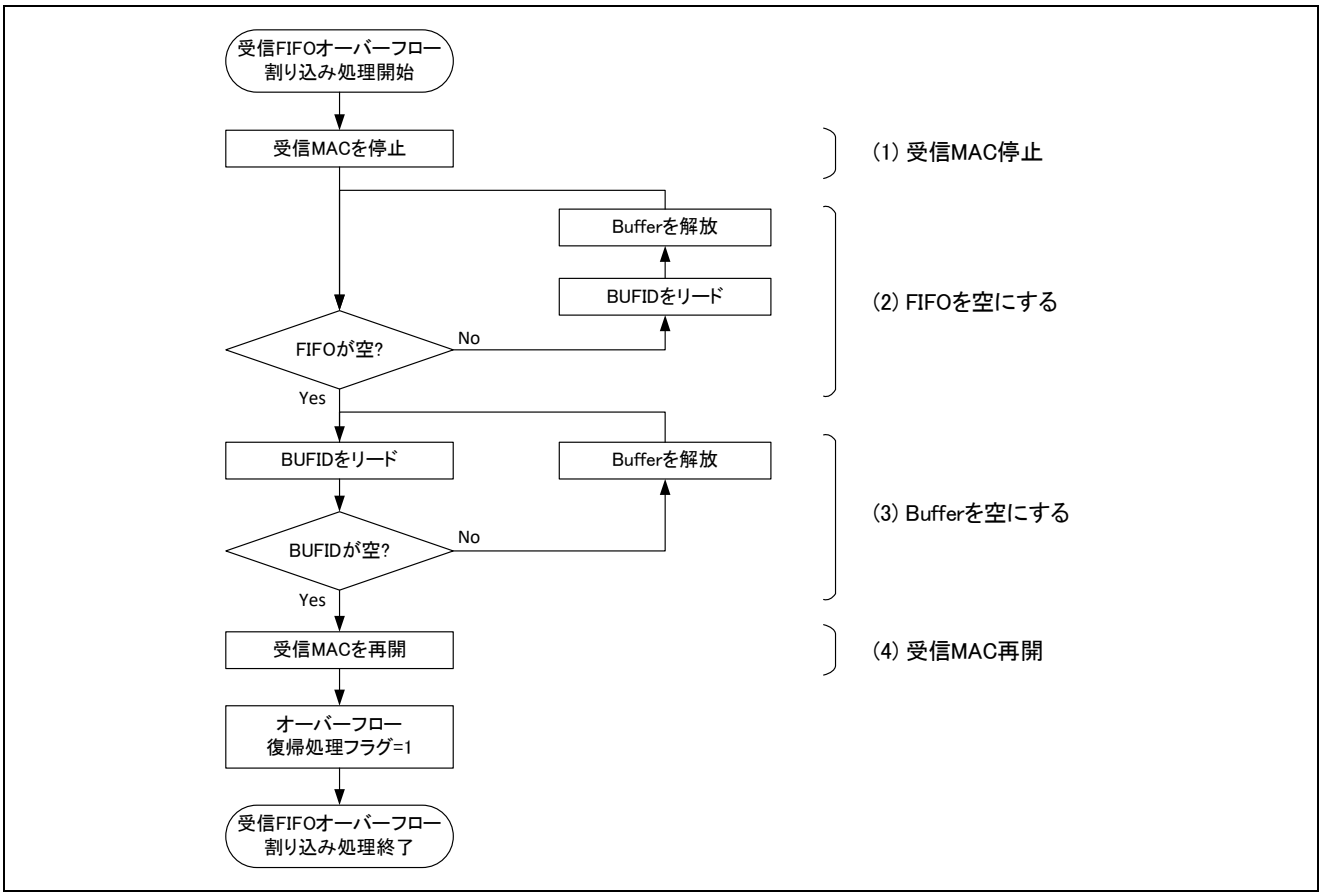


図8.30　受信 FIFO オーバーフロー割り込み処理例（ハードウェア・リアルタイム OS を使用しない場合）

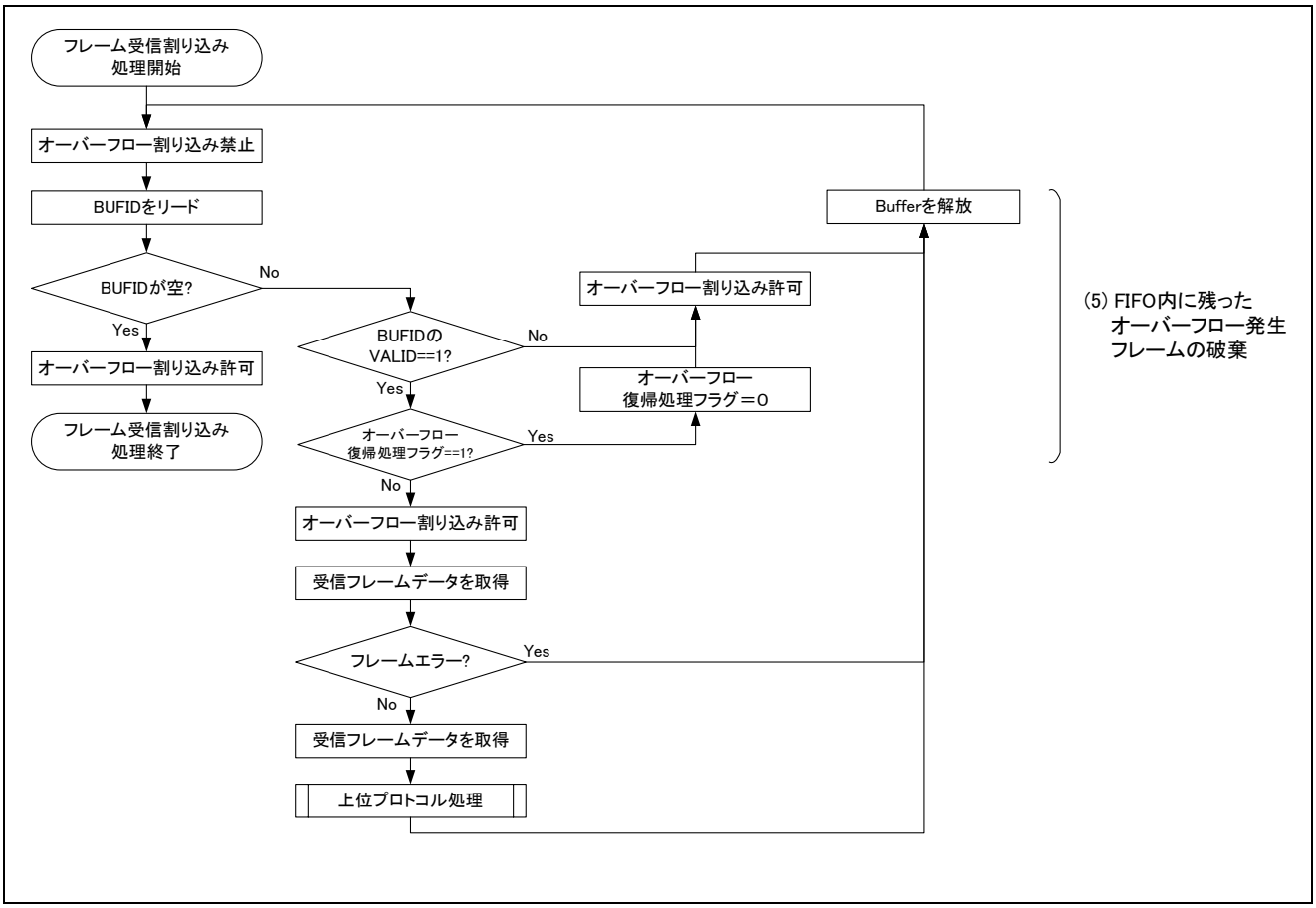


図8.31 受信処理例（ハードウェア・リアルタイム OS を使用しない場合）

8.5.4 Padding を含む 64byte を超えるフレーム受信時の受信フレーム情報の誤り

受信 TCPIP アクセラレータ機能を有効にした状態で、以下の条件をすべて満たすフレームを受信した場合、受信したフレームの受信フレーム情報が示す受信ワード数（RX_WORD[12:0]）が 1 ワード増える、または 1 ワード少なくなる可能性があります。1 ワード少なくる場合、IP パケットの欠損が生じるデータサイズを示す可能性があります。ただし、受信した IP パケット自体が欠損するわけではありません。

- FCS 含めたフレームサイズが 64byte を超える。
- TCP/IP あるいは UDP/IP パケットを含む。
- IP パケットと FCS の間に Padding (Trailer) が含まれている。

これを回避するために、下記の①また②のいずれかの方法により回避して下さい。

① 受信TCP/IPアクセラレータ機能を無効にして下さい。具体的には、GMAC_ACCレジスタのbit0をクリア、またはbit2をセットしてください。

② データを欠損させないために、IPパケットの場合は受信ワード数を1ワード加算して、上位のスタックに引き渡して処理を実施してください。また、上位スタックでは、IPヘッダのTotal lengthを元にIPパケットのペイロードを取得し、それ以降のデータは破棄してください。受信処理のフローチャート例を図8.32に示します。

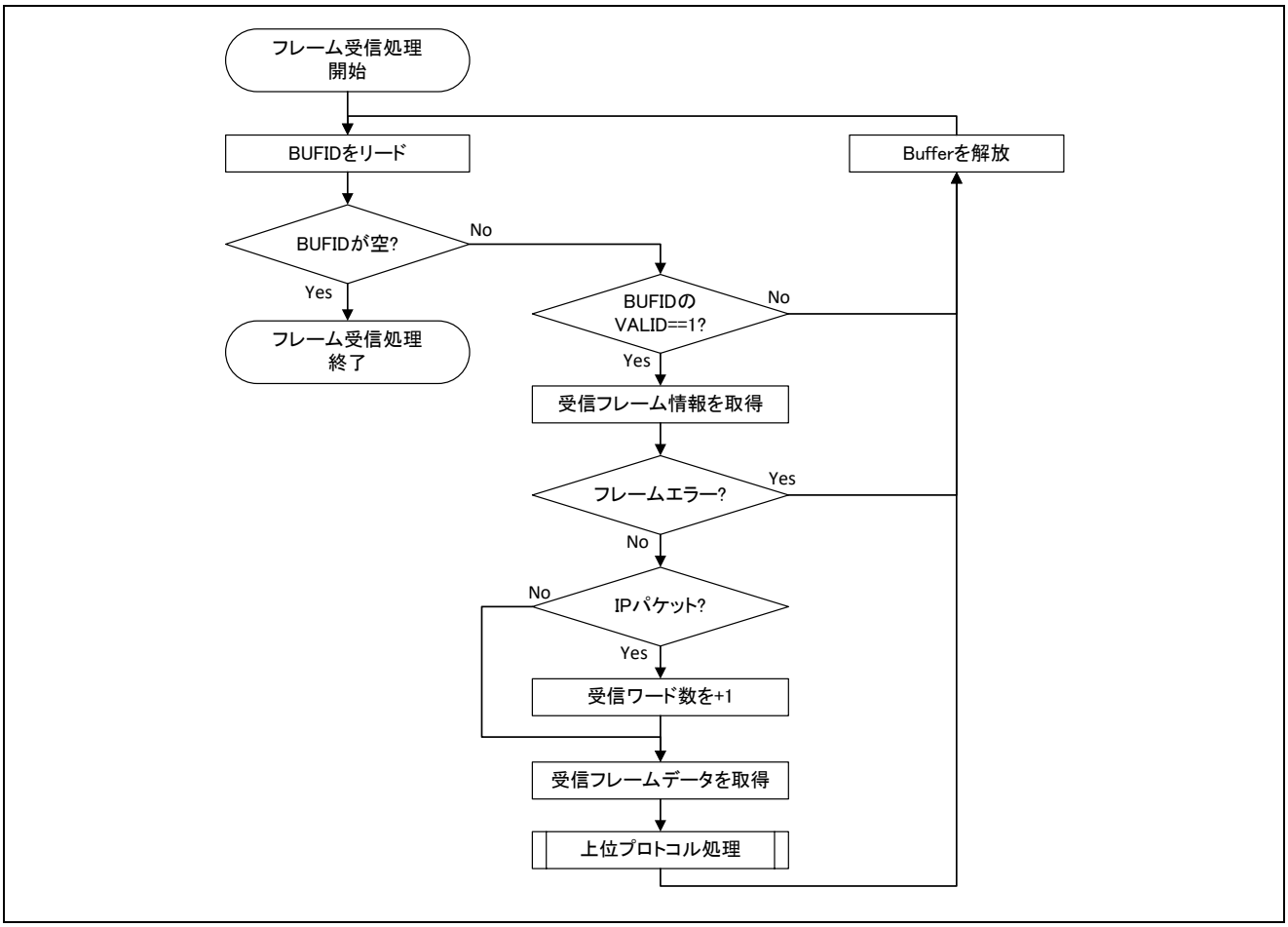


図8.32 受信処理例

8.5.5 Cut Through モードにおける送信の問題★

TX Mode レジスタ（GMAC_TXMODE）の SF ビット（ビット 29）を 0 に設定した場合、意図しない TX FIFO アンダーフロー割り込みが発生する可能性があります。そのため、SF ビットは必ず 1（Store & Forward モード）固定で使用してください。

8.5.6 Jumbo フレームについて★

本製品は 1,518byte を超えるフレームサイズ、いわゆる Jumbo フレームの送受信には対応していません。

9. イーサネット・スイッチ

本章では、R-IN32M4 に搭載されているイーサネット・スイッチ機能について説明します。

9.1 概要

R-IN32M4 は、イーサネット・スイッチを内蔵しているため、本 LSI の外部にスイッチングハブを使用することなく、ライン型、またはリング型のネットワークトポロジを構築することが可能です。

イーサネット・スイッチ使用の有無およびモード設定は、レジスタで制御します。

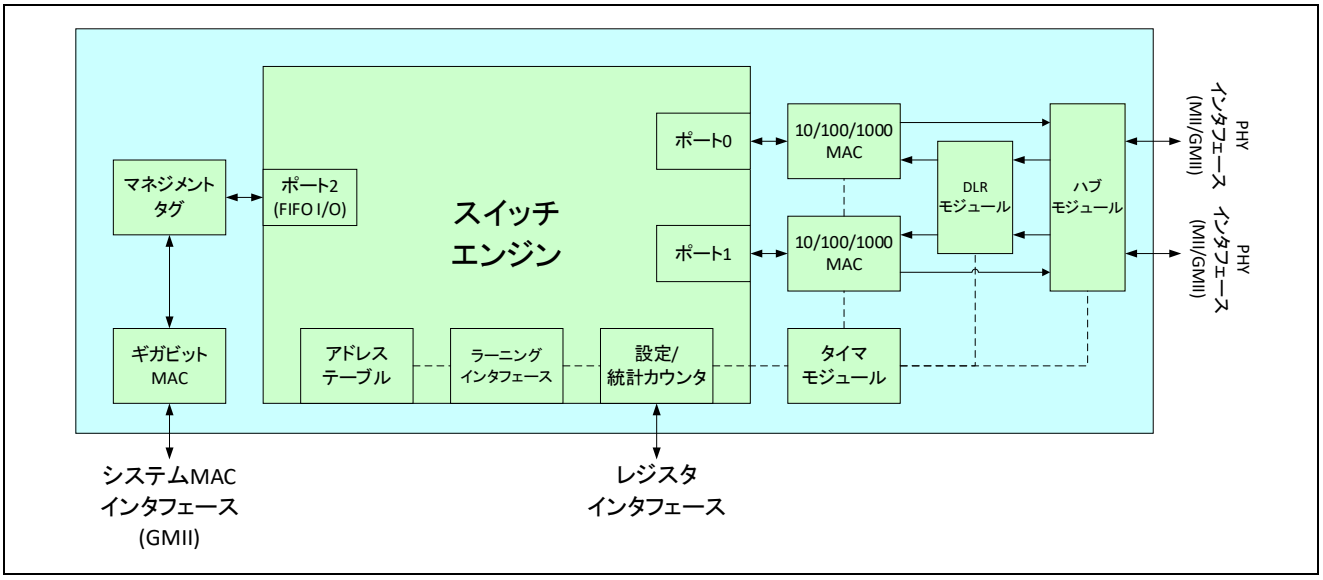


図9.1 イーサネット・スイッチ概略図

9.2 特徴

R-IN32M4 のイーサネット・スイッチの特徴機能を以下に示します。

- ○2 ポート PHY インタフェース
- ○IEEE802.3 対応
- ○10BASE-T、100BASE-TX
- ○1000BASE-T 注
- ○全二重通信と半二重通信対応注
- ○ハードウェア・スイッチング，アドレス・テーブル，フィルタリング機能
- ○フレーム優先順位分類可能な QoS 対応
- ○優先順位を再配置可能な VLAN Priority (IEEE802.1q)に基づく優先順位制御機能
- ○Ipv4 DiffServ Code Point Field, Ipv6 Class of Service に基づく分類及び優先順位割り当て機能
- ○4 つの優先順位のキューを実装
- ○マルチキャスト及びブロードキャスト対応
- ○VLAN フレーム対応
- ○カット・スルー，ハブ機能対応
- ○デバイス・レベル・リング（DLR）対応
- ○IEEE1588 対応タイマモジュール
- ○MII/GMII インタフェース対応注
- ○スイッチ内蔵タイマカウンタ出力の任意パルス生成機能

注. 1000BASE-T は半二重通信は未対応

イーサネット・スイッチの割り込み信号

例外番号	名称	発生要因	接続先				
			NVIC	HW-RTOS	DMAC	Real Time Port	Timer TAUJ2 /TAUD
54	INTETHSW	Ether SWITCH タイマ割り込み	○	○	○	○	○
55	INTETHSWDLR	Ether SWITCH DLR 割り込み	○	○	○	○	○
56	INTETHSWSYNC	Ether SWITCH SYNC 割り込み	○	○	○	○	○

イーサネット・スイッチの入出力信号

端子名称	入出力	機 能	兼用ポート	アクティブ
ETHSWSYNCOUT	出力	EtherSwitch のイベント出力	P24	High

9.3 制御レジスタ

9.3.1 レジスター覧

(1) 動作モード設定レジスタ

レジスタ名	略号	アドレス
イーサネット・スイッチ・マネージメント TAG 制御レジスタ	ETHSWMTC	BASE + 0680H
イーサネット・スイッチ動作モード設定レジスタ	ETHSWMD	BASE + 0684H

(2) スイッチ・コンフィギュレーション・レジスタ

レジスタ名	略号	アドレス
●コンフィギュレーション／設定		
ポート・イネーブル・レジスタ	PORT_ENA	4007 0008H
ユニキャスト・デフォルト・マスク・レジスタ	UCAST_DEFAULT_MASK	4007 000CH
ブロードキャスト・デフォルトマスク・レジスタ	BCAST_DEFAULT_MASK	4007 0014H
マルチキャスト・デフォルトマスク・レジスタ	MCAST_DEFAULT_MASK	4007 0018H
入力ラーニング・ブロッキング・レジスタ	INPUT_LEARN_BLOCK	4007 001CH
マネージメント・コンフィグ・レジスタ	MGMT_CONFIG	4007 0020H
モード・コンフィグ・レジスタ	MODE_CONFIG	4007 0024H
VLAN タグ ID レジスタ	VLAN_TAG_ID	4007 0034H
●出力キュー制御		
出力キュー・マネージメント・ステータス・レジスタ	OQMGR_STATUS	4007 0080H
出力キュー最小メモリ・レジスタ	QMGR_MINCELLS	4007 0084H
出力キュー最小メモリ統計レジスタ	QMGR_ST_MINCELLS	4007 0088H
出力キュー輻輳ステータス・レジスタ	QMGR_CGS_STAT	4007 008CH
キュー内部インタフェース・ステータス・レジスタ	QMGR_IFACE_STAT	4007 0090H
キュー・ウェイト・レジスタ	QMGR_WEIGHTS	4007 0094H
●ポート単位のコンフィギュレーション／設定 (n=0..2)		
VLAN プライオリティ・レジスタ n	VLAN_PRIORITYn	4007 0100H + 0004H*n
IP プライオリティ・レジスタ n	IP_PRIORITYn	4007 0140H + 0004H*n
プライオリティ・コンフィギュレーション・レジスタ n	PRIORITY_CFGn	4007 0180H + 0004H*n
●ハブ・モジュール設定		
ハブ・コントロール・レジスタ	HUB_CONTROL	4007 01C0H
ハブ・フレームカウント・レジスタ	HUB_STATS	4007 01C4H
●ハブ受信フィルタ MAC アドレス設定 (n=0..6)		
ハブ・入力フィルタ用 MAC アドレス low レジスタ n	HUB_FLT_MACnlo	4007 01C8H + 0008H*n
ハブ・入力フィルタ用 MAC アドレス high レジスタ n	HUB_FLT_MACnhi	4007 01CCH + 0008H*n
●統計カウンタ		
スイッチ統計カウンタ	9.3.3.22参照	9.3.3.22参照

(3) ラーニング・インタフェース・レジスタ

レジスタ名	略号	アドレス
ラーニング・レコード A・レジスタ	LRN_REC_A	4007 0500H
ラーニング・レコード B・レジスタ	LRN_REC_B	4007 0504H
ラーニング・データ・ステータス・レジスタ	LRN_STATUS	4007 0508H
アドレステーブル	ADR_TABLE	4007 4000H~4007 47FC

(4) MAC ポート・レジスタ

レジスタ名	略号	アドレス (n=0,1)
●コンフィギュレーション／設定		
コマンド・コンフィグ・レジスタ n	COMMAND_CONFIGn	4007 8008H + 2000H*n
最大フレーム長レジスタ n (shared)	FRM_LENGTHn	4007 8014H + 2000H*n
FIFO バッファ・スレッショルド・レジスタ n (shared)	9.3.5.3参照	9.3.5.3参照
MAC ステータス・レジスタ n (shared)	MAC_STATUSn	4007 8058H + 2000H*n
送信 IPG 長レジスタ n (shared)	TX_IPG_LENGTHn	4007 805CH + 2000H*n
●統計カウンタ		
MAC受信／送信統計カウンタ	9.3.5.6参照	9.3.5.6参照

(5) タイマ・モジュール・レジスタ

(1/2)

レジスタ名	略号	アドレス
●コンフィギュレーション／設定		
タイマ・モジュール・コンフィグ・レジスタ	TSM_CONFIG	4007 C004H
タイマ割り込みステータス/アクノリッジ・レジスタ	TSM_IRQ_STAT_ACK	4007 C008H
●送信タイムスタンプ (n=0..1)		
ポートタイムスタンプ・コントロール/ステータス・レジスタ n	PORTn_CTRL	4007 C020H + 0008H*n
ポートタイムスタンプ・レジスタ n	PORTn_TIME	4007 C024H + 0008H*n
●タイマ設定		
タイマ・コントロール・レジスタ	ATIME_CTRL	4007 C120H
タイマ・ナノセコンド・レジスタ	ATIME	4007 C124H
タイマ・オフセット補正レジスタ	ATIME_OFFSET	4007 C128H
タイマ・周期イベント生成レジスタ	ATIME_EVT_PERIOD	4007 C12CH
タイマ・ドリフト補正レジスタ	ATIME_CORR	4007 C130H
タイマ・インクリメント・レジスタ	ATIME_INC	4007 C134H
タイマ・セコンド・レジスタ	ATIME_SEC	4007 C138H
タイマ・オフセット補正カウント・レジスタ	ATIME_OFFS_CORR	4007 C13CH

（2/2）

レジスタ名	略号	アドレス
タイマ出力許可レジスタ	SWTMEN	BASE + 1100H
タイマセコンド開始設定レジスタ L	SWTMSTSECL	BASE + 1110H
タイマセコンド開始設定レジスタ H	SWTMSTSECH	BASE + 1114H
タイマナノセコンド開始設定レジスタ L	SWTMSTNSL	BASE + 1118H
タイマナノセコンド開始設定レジスタ H	SWTMSTNSH	BASE + 111CH
タイマセコンド周期設定レジスタ L	SWTMPSECL	BASE + 1120H
タイマセコンド周期設定レジスタ H	SWTMPSECH	BASE + 1124H
タイマナノセコンド周期設定レジスタ L	SWTMPNSL	BASE + 1128H
タイマナノセコンド周期設定レジスタ H	SWTMPNSH	BASE + 112CH
タイマパルス幅設定レジスタ	SWTMWTH	BASE + 1130H
タイマ最大カウント設定レジスタ L	SWTMMAXPL	BASE + 1134H
タイマ最大カウント設定レジスタ H	SWTMMAXPH	BASE + 1138H
タイマセコンド時刻保持レジスタ	SWTMLATSEC	BASE + 1140H
タイマナノセコンド時刻保持レジスタ	SWTMLATNS	BASE + 1144H

(6) DLR モジュール・レジスタ

レジスタ名	略号	アドレス
●コンフィギュレーション／設定		
DLR コントロール・レジスタ	DLR_CONTROL	4007 E000H
DLR ステータス・レジスタ	DLR_STATUS	4007 E004H
DLR イーサタイプ・レジスタ	DLR_ETH_TYP	4007 E008H
DLR 割り込みコントロール・レジスタ	DLR_IRQ_CTRL	4007 E00CH
DLR 割り込みステータス/アクノリッジ・レジスタ	DLR_IRQ_STAT_ACK	4007 E010H
DLR ローカル MAC アドレス low レジスタ	LOC_MAClo	4007 E014H
DLR ローカル MAC アドレス high レジスタ	LOC_MAChi	4007 E018H
●ビーコン・フレーム・パラメータ		
DLR スーパバイザ MAC アドレス low レジスタ	SUPR_MAClo	4007 E020H
DLR スーパバイザ MAC アドレス high レジスタ	SUPR_MAChi	4007 E024H
DLR リングステータス/VLAN レジスタ	STATE_VLAN	4007 E028H
DLR ビーコンタイムアウトタイマ・レジスタ	BEC_TMOUT	4007 E02CH
DLR ビーコンインターバル・レジスタ	BEC_INTRVL	4007 E030H
DLR スーパバイザ IP アドレス・レジスタ	SUPR_IPADR	4007 E034H
DLR サブタイプ/プロトコルバージョン・レジスタ	ETH_STYP_VER	4007 E038H
DLR ビーコン不正タイムアウトタイマ・レジスタ	INV_TMOUT	4007 E03CH
DLR シーケンス ID レジスタ	SEQ_ID	4007 E040H
●DLR 統計カウンタ		
DLR MAC統計カウンタ	9.3.7.17参照	9.3.7.17参照

9.3.2　動作モード設定レジスタ

9.3.2.1　イーサネット・スイッチ・マネージメント TAG 制御レジスタ（ETHSWMTC）

イーサネット・スイッチ機能使用時のマネージメント TAG 情報を設定します。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

注意 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ETHSWMTC	SWTAGEN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SWTAGTYP15	SWTAGTYP14	SWTAGTYP13	SWTAGTYP12	SWTAGTYP11	SWTAGTYP10	SWTAGTYP9	SWTAGTYP8	SWTAGTYP7	SWTAGTYP6	SWTAGTYP5	SWTAGTYP4	SWTAGTYP3	SWTAGTYP2	SWTAGTYP1	SWTAGTYP0	BASE + 0680H 初期値 0000 E001H
R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31	SWTAGEN	フレーム内へのマネージメント・タグ挿入 0：無効 1：有効
15-0	SWTAGTYP15－ SWTAGTYP0	マネージメント・タグに設定するイーサネット・タイプを指定します。 初期値は、E001H です。

9.3.2.2　イーサネット・スイッチ動作モード設定レジスタ（ETHSWMD）

イーサネット・スイッチ機能使用時の動作モードを設定します。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

注意 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ETHSWMD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P1HDMODE	P1GIGMODE	P0HDMODE	P0GIGMODE	BASE + 0684H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	0000 0000H

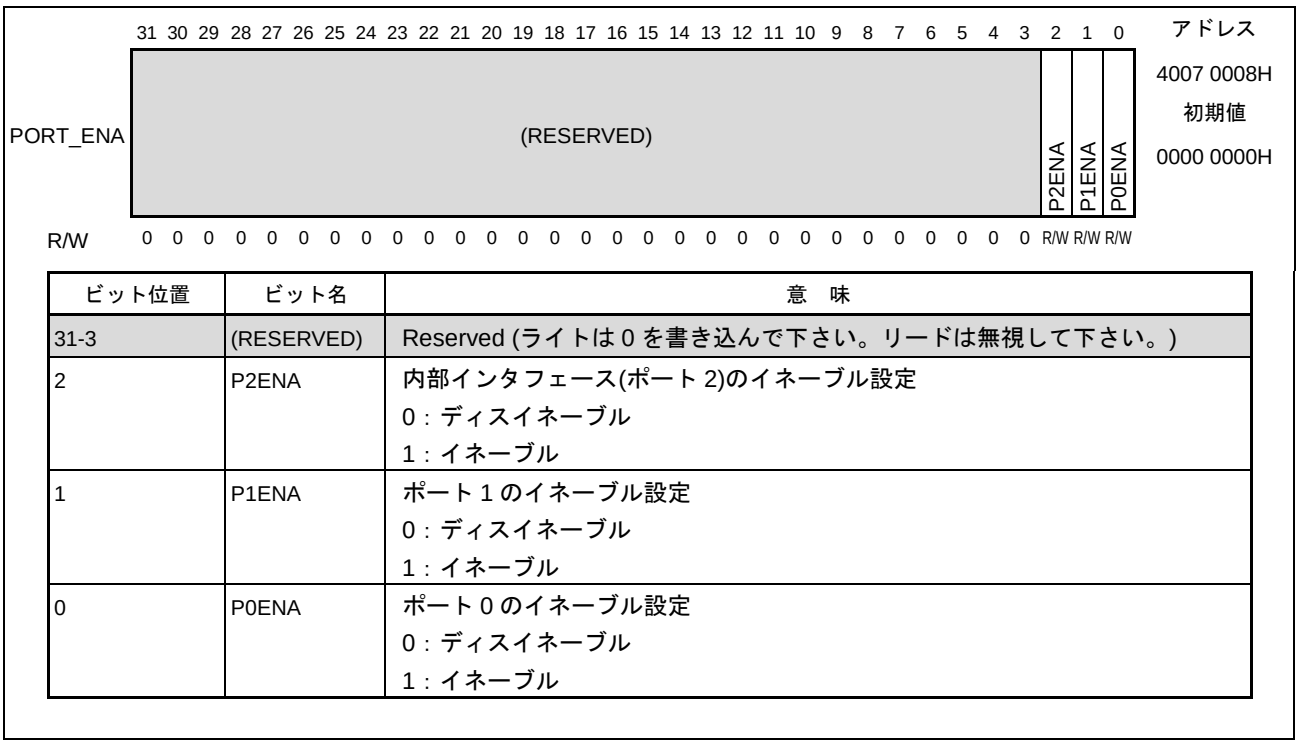
ビット位置	ビット名	意　味
3	P1HDMODE	ポート 1 の転送モード設定 0：全二重 1：半二重
2	P1GIGMODE	ポート 1 の転送レート設定 0：10/100M 1：1000M
1	P0HDMODE	ポート 0 の転送モード設定 0：全二重 1：半二重
0	P0GIGMODE	ポート 0 の転送レート設定 0：10/100M 1：1000M

9.3.3 スイッチ・コンフィギュレーション・レジスタ

9.3.3.1 ポート・イネーブル・レジスタ（PORT_ENA）

イーサネット・スイッチの各ポートのイネーブル／ディスイネーブルを設定します。ディスイネーブルに設定されたポートではフレームの送信が行われません。ただし、フレームの受信は可能です。

- アクセス　32 ビット単位でリード/ライト・アクセス可能です。

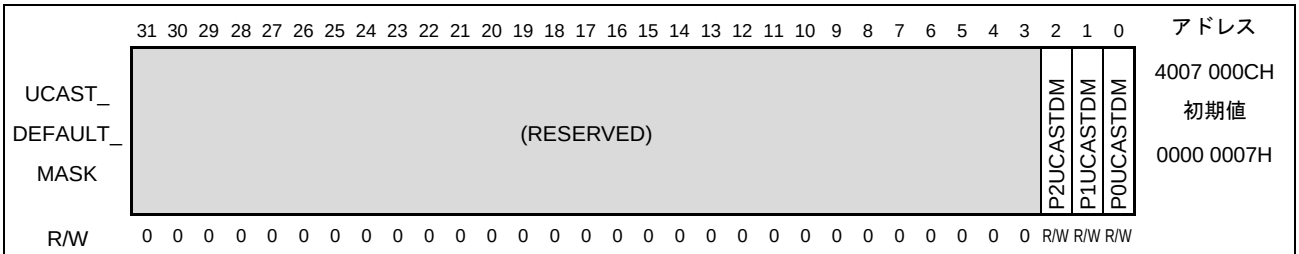


ビット位置	ビット名	意　味
31-3	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
2	P2ENA	内部インタフェース(ポート 2)のイネーブル設定 0：ディスイネーブル 1：イネーブル
1	P1ENA	ポート 1 のイネーブル設定 0：ディスイネーブル 1：イネーブル
0	P0ENA	ポート 0 のイネーブル設定 0：ディスイネーブル 1：イネーブル

9.3.3.2　ユニキャスト・デフォルト・マスク・レジスタ（UCAST_DEFAULT_MASK）

イーサネット・スイッチの各ポートのユニキャスト・フレームの転送設定を行います。フレームのデスティネーションアドレスがユニキャストであり、そのアドレスがアドレステーブルに見つからない場合でも、マスクを有効に設定したポートにはそのフレームが転送されます。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

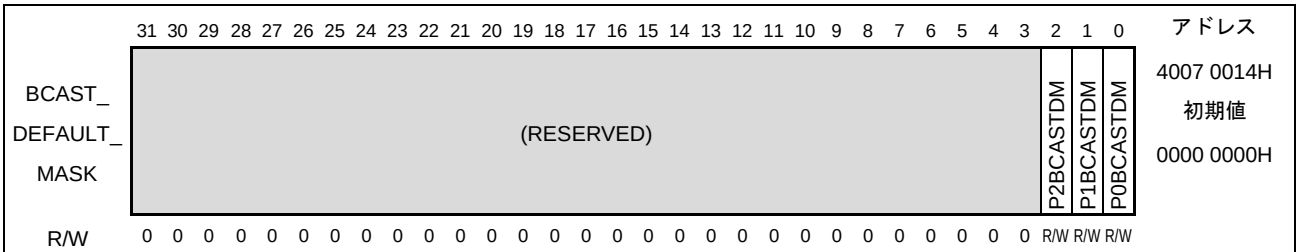


ビット位置	ビット名	意　味
31-3	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
2	P2UCASTDM	内部インタフェース(ポート 2)のユニキャスト・デフォルト・マスクの設定。 内部インタフェースでは一般的には不要なユニキャストのトラフィックは受信する必要が無いため、多くの場合は、マスク設定をする必要がありません。 マスク設定をしない場合には、自身のユニキャストアドレスをスイッチのテーブルに静的に設定する、または過去の転送結果から動的に学習させる、のどちらかが必要です。 0：無効 1：有効
1	P1UCASTDM	ポート 1 のユニキャスト・デフォルト・マスクの設定 0：無効 1：有効
0	P0UCASTDM	ポート 0 のユニキャスト・デフォルト・マスクの設定 0：無効 1：有効

9.3.3.3　ブロードキャスト・デフォルトマスク・レジスタ（BCAST_DEFAULT_MASK）

イーサネット・スイッチの各ポートのブロードキャスト・フレームの転送設定を行います。フレームのデスティネーションアドレスがブロードキャストアドレスの場合、マスクを有効に設定したポートにはそのフレームが転送されます。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

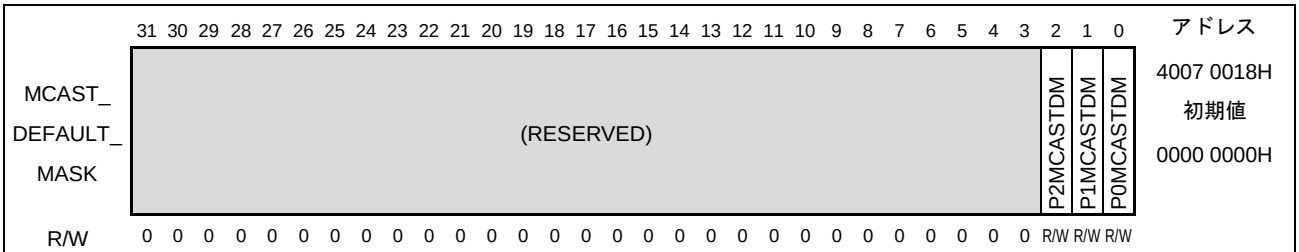


ビット位置	ビット名	意　味
31-3	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
2	P2BCASTDM	内部インタフェース(ポート 2)のブロードキャスト・デフォルト・マスクの設定 0：無効 1：有効
1	P1BCASTDM	ポート 1 のブロードキャスト・デフォルト・マスクの設定 0：無効 1：有効
0	P0BCASTDM	ポート 0 のブロードキャスト・デフォルト・マスクの設定 0：無効 1：有効

9.3.3.4 マルチキャスト・デフォルトマスク・レジスタ（MCAST_DEFAULT_MASK）

イーサネット・スイッチの各ポートのマルチキャスト・フレームの転送設定を行います。フレームのデスティネーションアドレスがマルチキャストアドレスの場合、マスクを有効に設定したポートにはそのフレームが転送されます。

- アクセス　32 ビット単位でリード/ライト・アクセス可能です。



ビット位置	ビット名	意　味
31-3	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
2	P2MCASTDM	内部インタフェース(ポート 2)のマルチキャスト・デフォルト・マスクの設定 0：無効 1：有効
1	P1MCASTDM	ポート 1 のマルチキャスト・デフォルト・マスクの設定 0：無効 1：有効
0	P0MCASTDM	ポート 0 のマルチキャスト・デフォルト・マスクの設定 0：無効 1：有効

9.3.3.5 入力ラーニング・ブロッキング・レジスタ（INPUT_LEARN_BLOCK）

イーサネット・スイッチの各ポートのアドレスラーニング機能とフレームブロッキング機能の設定を行います。

アドレスラーニング機能を無効（ビットを 1）に設定すると、スパニングツリーなどで用いられるブリッジプロトコル・データユニット（Brige Protocol Data Units：BPDU）フレームのみがラーニングの対象となり、それ以外の全てのフレームに対してはラーニングを行いません。

フレームブロッキング機能を有効（ビットを 1）に設定すると、BPDU フレームのみ受信されますが、それ以外の全てのフレームは受信したポートで破棄され、他のポートには転送されません。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

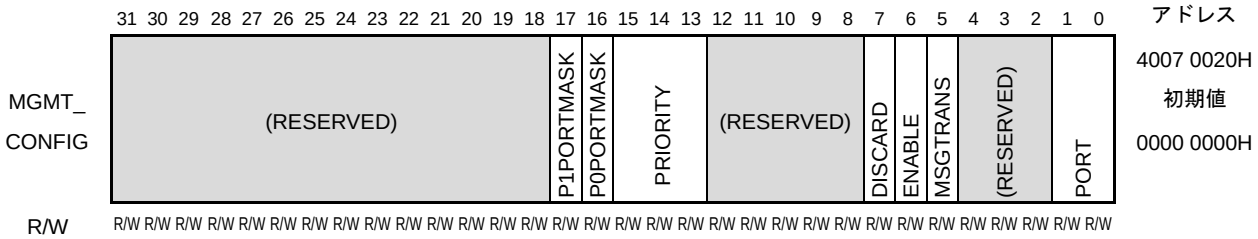
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
INPUT_LEARN_BLOCK	(RESERVED)													P2LEARNDIS	P1LEARNDIS	P0LEARNDIS	(RESERVED)													P2BLOCKEN	P1BLOCKEN	P0BLOCKEN	4007 001CH 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31-19	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
18	P2LEARNDIS	内部インタフェースポート(ポート 2)のアドレスラーニングの設定 0：有効 1：無効
17	P1LEARNDIS	ポート 1 のアドレスラーニングの設定 0：有効 1：無効
16	P0LEARNDIS	ポート 0 のアドレスラーニングの設定 0：有効 1：無効
15-3	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
2	P2BLOCKEN	内部インタフェースポート(ポート 2)の入力ポートブロッキング機能の設定 0：無効 1：有効
1	P1BLOCKEN	ポート 1 の入力ポートブロッキング機能の設定 0：無効 1：有効
0	P0BLOCKEN	ポート 0 の入力ポートブロッキング機能の設定 0：無効 1：有効

9.3.3.6　マネージメント・コンフィグ・レジスタ（MGMT_CONFIG）

イーサネット・スイッチのブリッジマネージメントポートのコンフィギュレーションを行います。BPDU フレームを送受信するマネージメントポートやその動作を設定します。本 LSI では、マネージメントポートに内部インタフェースポート（ポート 2）を設定する必要があります。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。



ビット位置	ビット名	意　味
31-18	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
17	P1PORTMASK 注 1	マネージメントポートからポート 1 へのマネージメントフレームの転送マスク設定。1 に設定すると BPDU フレームのみが強制的にポート 1 に転送されます。BPDU 以外のフレームは特にこの設定の影響を受けません。 0：無効 1：有効
16	P0PORTMASK 注 1	マネージメントポートからポート 0 へのマネージメントフレームの転送マスク設定。1 に設定すると BPDU フレームのみが強制的にポート 0 に転送されます。BPDU 以外のフレームは特にこの設定の影響を受けません。 0：無効 1：有効
15-13	PRIORITY	転送されるマネージメントフレームのプライオリティの設定。マネージメントフレームを通常のフレームよりも早く送信したいときに、出力キューの中のプライオリティを上げることができます。
12-8	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
7	DISCARD	BPDU フレームの破棄設定。1 に設定すると常に破棄されます。もし ENABLE ビットが 1 に設定されている場合は、必ず 0 に設定してください。 0：無効 1：有効
6	ENABLE	BPDU フレームのマネージメントポートへの転送設定。 0：BPDU フレームは特別なフレームと見なさず、他の通常のフレームと同等の方法で転送されます。もし DISCARD ビットが 1 ならばフレームは破棄されます。 1：全ての BPDU フレームはマネージメントポートに独占的に転送されます。
5	MSGTRANS	マネージメントポートから他のポートにメッセージが転送されたときに 1 にセットされます。リセットするときはこのビットに 0 をライトしてください。
4-2	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
1-0	PORT	マネージメントポートとして動作するポートを設定します。本 LSI ではマネージメントポートは内部インタフェースポート（ポート 2）を設定する必要があるため、必ず 2'b10 を設定してください。

注 1. BPDU が転送される場合、マネージメント TAG によるフレーム毎の強制転送よりも優先されます。従って、マネージメント TAG による強制転送を使用するときには、PORTMASK は 0 に設定してください。

9.3.3.7 モード・コンフィグ・レジスタ（MODE_CONFIG）

イーサネット・スイッチ内部の統計カウンタをリセットします。

- アクセス　32 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
MODE_CONFIG	STATSRESET	(RESERVED)																															4007 0024H 初期値 0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
31	STATSRESET	レジスタ 4007 0300H ～ 4007 0324H に格納されているイーサネット・スイッチ内部の統計カウンタをリセットします。このビットに 1 をライトすると統計カウンタはリセットされます。その後このビットも 0 にクリアされます。
30-0	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)

9.3.3.8 VLAN タグ ID レジスタ（VLAN_TAG_ID）

VLAN タグ付きのフレームを識別するために指定する VLAN タグ ID を設定します。IEEE802.1Q において VLAN タグの ID は 0x8100 と定義されています。本レジスタの初期値は 0x8100 のため、値を変更しないでください。

- アクセス　32 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
VLAN_TAG_ID	(RESERVED)																VLANTAGID															4007 0034H 初期値 0000 8100H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
30-16	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
15-0	VLANTAGID	VLAN タグとしての識別 ID を定義します。IEEE8021.Q において VLAN タグの ID は 0x8100 と定義されているため、初期値からの変更は行わないでください。

9.3.3.9　出力キュー・マネージメント・ステータス・レジスタ（OQMGR_STATUS）

イーサネット・スイッチの出力キューの状態を示します。レジスタに任意の値をライトすることで、値がラッチされているビット 1 とビット 3 をクリアすることが可能です。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

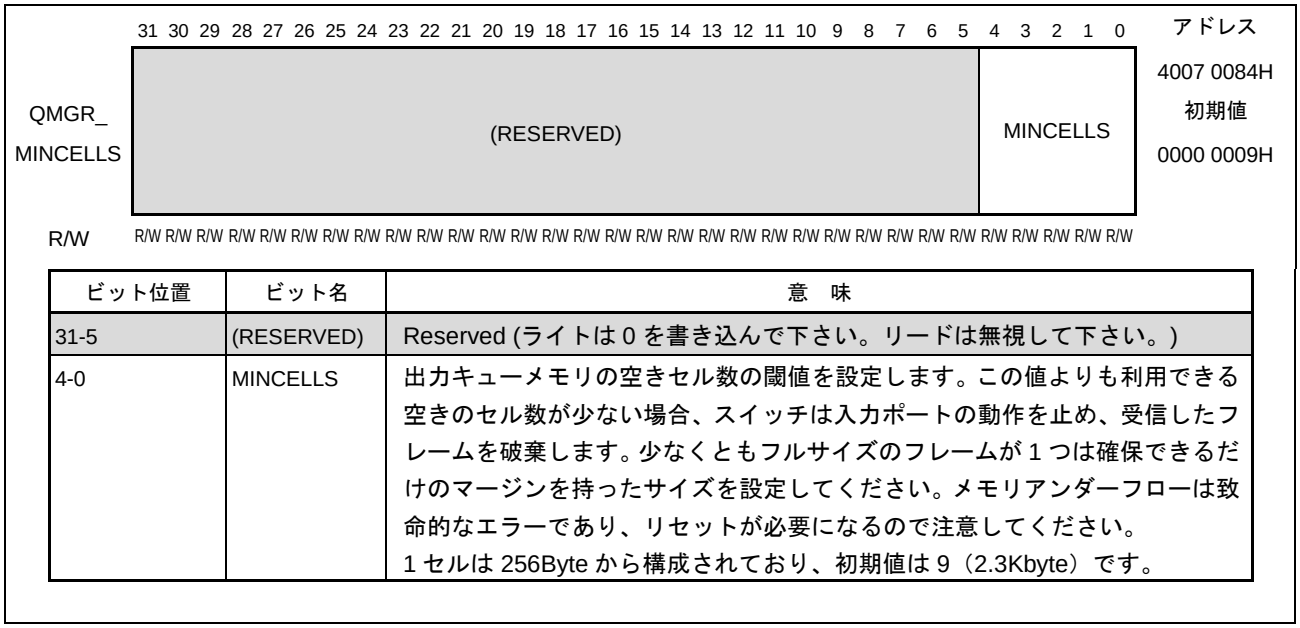
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
OQMGR_STATUS	CELLAVILABLE																(RESERVED)									DEQUEGRANT	(RESERVED)		MEMFULL_LT	MEMFULL	NOCELL	BUSYINIT	4007 0080H 初期値 0020 004AH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31-16	CELLAVILABLE	現在利用可能なメモリセル数をリアルタイムに表示します。
15-7	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
6	DEQUEGRANT	現在、入力がデキューされているかどうかを示します。通常は 1 にセットされており、メモリがフルになれば 0 になります。
5-4	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
3	MEMFULL_LT	MEMFULL の結果をラッチした値を示します。MEMFULL が 1 から 0 に戻っても MEMFULL_LT ビットは 1 を保持し続けます。 レジスタに任意の値をライトすることでこのビットをクリアできます。
2	MEMFULL	現在、メモリフルかを示します。出力キュー最小メモリレジスタ（QMGR_MINCELLS）で設定した最小メモリサイズよりも使用できるメモリ数が少ない場合に 1 になります。 これは NOCELL と異なりエラーではなく、メモリコントローラは正常に動作し続けています。ただし、メモリオーバーフローを避けるためにスイッチは入力ポートの動作を停止します。
1	NOCELL	出力キューのメモリセルの残数がゼロになると 1 になります。また、リセット後には常に 1 にセットされるため、初期化が完了すれば(BUSYINIT ビットが 0 になれば)、レジスタに任意の値をライトしてこのビットをクリアしてください。 動作中に 1 になった場合は致命的なエラーです。ハードウェアが正常に動作している限りは 1 になることはありません。何らかの理由により 1 になった場合は、リセットを実施してください。また、出力キュー最小メモリレジスタ (QMGR_MINCELLS) を大きな値に設定してください。
0	BUSYINIT	1 がセットされていると、イーサネット・スイッチ内部のメモリコントローラがメモリを初期化している状態を示します。リセット後に本ビットがアサートされ、メモリコントローラの初期化が完了すると 0 になります。 イーサネット・スイッチはメモリコントローラの初期化が完了するまでイネーブルにしないでください。

9.3.3.10 出力キュー最小メモリ・レジスタ（QMGR_MINCELLS）

イーサネット・スイッチの出力キュー用のメモリの最小限確保しておくべき値を設定します。メモリアンダーフローが発生しないようにマージンを持った値を設定する必要があります。

- アクセス　32 ビット単位でリード/ライト・アクセス可能です。

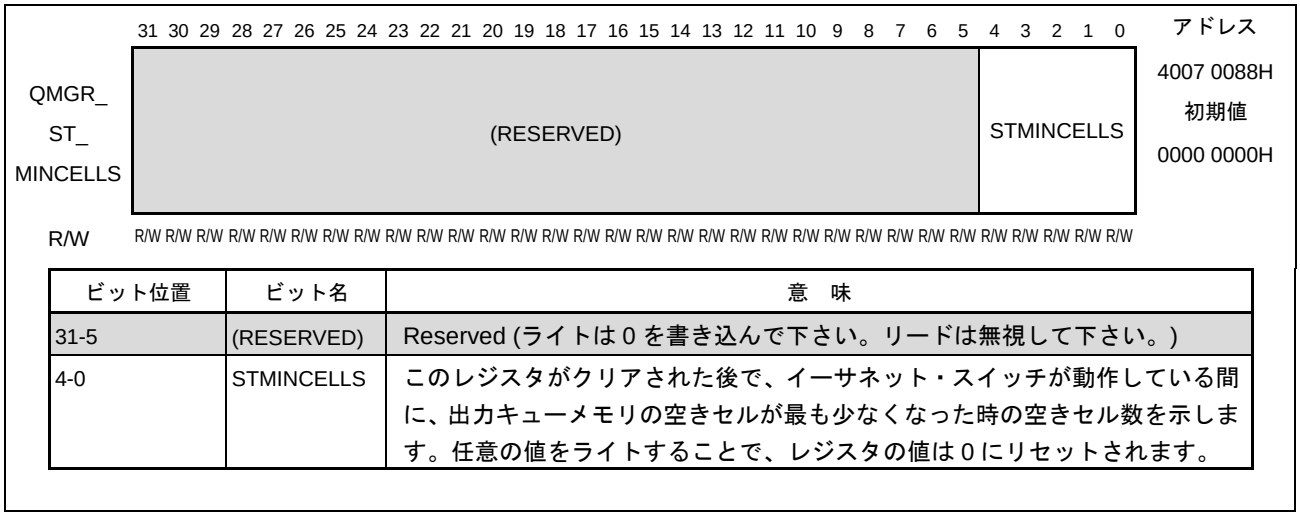


ビット位置	ビット名	意　味
31-5	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
4-0	MINCELLS	出力キューメモリの空きセル数の閾値を設定します。この値よりも利用できる空きのセル数が少ない場合、スイッチは入力ポートの動作を止め、受信したフレームを破棄します。少なくともフルサイズのフレームが 1 つは確保できるだけのマージンを持ったサイズを設定してください。メモリアンダーフローは致命的なエラーであり、リセットが必要になるので注意してください。 1 セルは 256Byte から構成されており、初期値は 9（2.3Kbyte）です。

9.3.3.11 出力キュー最小メモリ統計レジスタ（QMGR_ST_MINCELLS）

イーサネット・スイッチの出力キュー用メモリの空きセルの最小値を示します。

- アクセス　32 ビット単位でリード/ライト・アクセス可能です。

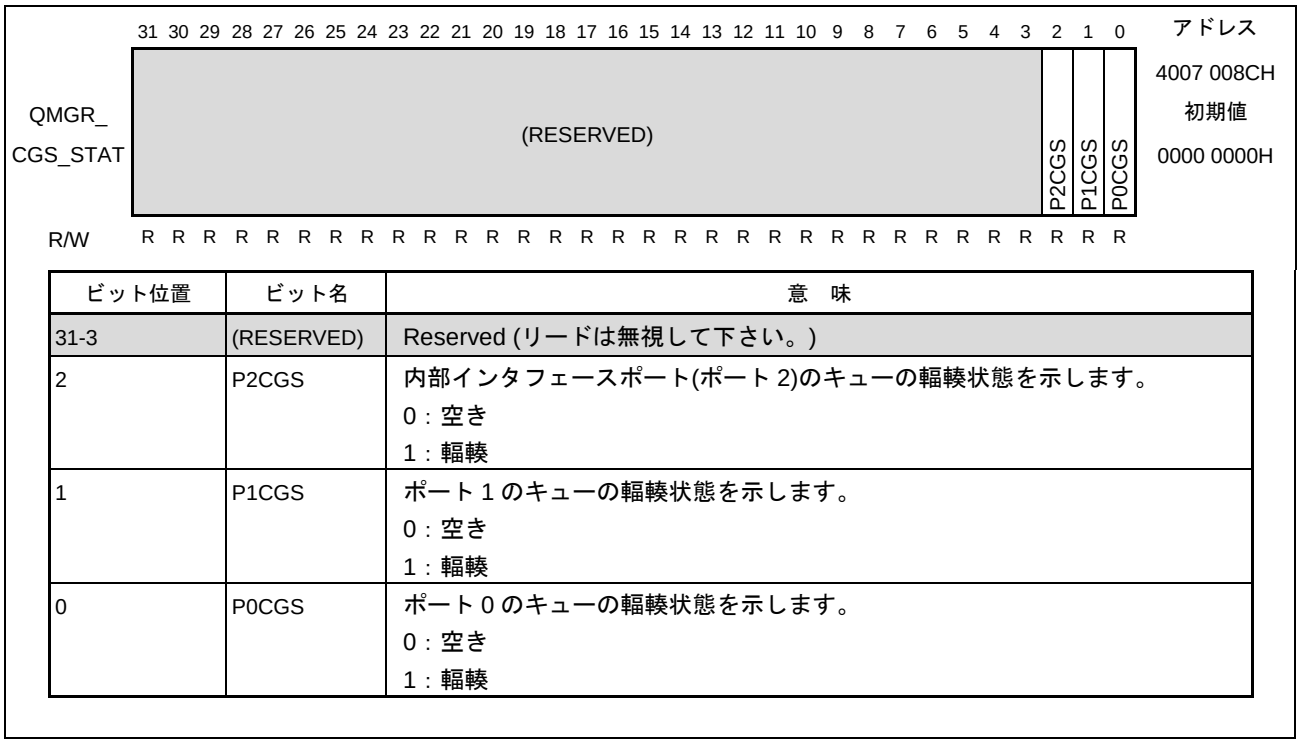


ビット位置	ビット名	意　味
31-5	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
4-0	STMINCELLS	このレジスタがクリアされた後で、イーサネット・スイッチが動作している間に、出力キューメモリの空きセルが最も少なくなった時の空きセル数を示します。任意の値をライトすることで、レジスタの値は 0 にリセットされます。

9.3.3.12　出力キュー輻輳ステータス・レジスタ（QMGR_CGS_STAT）

イーサネット・スイッチの各ポートの輻輳状態（アクセスの集中、混雑状態）を示します。

- アクセス　　32 ビット単位でリード・アクセス可能です。

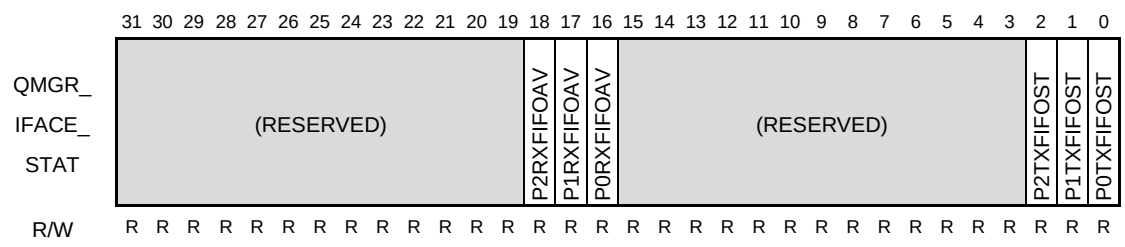


ビット位置	ビット名	意　味
31-3	(RESERVED)	Reserved (リードは無視して下さい。)
2	P2CGS	内部インタフェースポート(ポート 2)のキューの輻輳状態を示します。 0：空き 1：輻輳
1	P1CGS	ポート 1 のキューの輻輳状態を示します。 0：空き 1：輻輳
0	P0CGS	ポート 0 のキューの輻輳状態を示します。 0：空き 1：輻輳

9.3.3.13 キュー内部インタフェース・ステータス・レジスタ（QMGR_IFACE_STAT）

イーサネット・スイッチの各ポートの RX、TX それぞれの FIFO の状態を示します。スイッチ内部の信号のハンドシェーク結果を表しています。

- アクセス　32 ビット単位でリード・アクセス可能です。



ビット位置	ビット名	意　味
31-19	(RESERVED)	Reserved (リードは無視して下さい。)
18	P2RXFIFOAV	内部インタフェースポート（ポート 2）の RX FIFO のデータが使用可能かどうかを示します。 0：使用不可能 1：使用可能
17	P1RXFIFOAV	ポート 1 の RX FIFO のデータが使用可能かどうかを示します。 0：使用不可能 1：使用可能
16	P0RXFIFOAV	ポート 0 の RX FIFO のデータが使用可能かどうかを示します。 0：使用不可能 1：使用可能
15-3	(RESERVED)	Reserved (リードは無視して下さい。)
2	P2TXFIFOST	内部インタフェースポート（ポート 2）の TX FIFO が READY 状態かどうかを示します。 0：READY 状態でない 1：READY 状態
1	P1TXFIFOST	ポート 1 の TX FIFO が READY 状態かどうかを示します。 0：READY 状態でない 1：READY 状態
0	P0TXFIFOST	ポート 0 の TX FIFO が READY 状態かどうかを示します。 0：READY 状態でない 1：READY 状態

9.3.3.14 キュー・ウェイト・レジスタ（QMGR_WEIGHTS）

イーサネット・スイッチの出力キューの重み（優先度）を設定します。各ポートは 4 本のキューを持ち、それぞれに重みを設定できます。設定した重みは全てのポートで共通です。

全てのキューの重みを 0 に設定した場合は、絶対優先で優先度を設定できます。その場合、キュー3 が最優先キューとなります。

絶対優先で使用しない場合、一般的にはキュー0,1,2,3 に対して、それぞれ 1,2,4,8 を設定してください。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

	31 30 29	28 27 26 25 24	23 22 21	20 19 18 17 16	15 14 13	12 11 10 9 8	7 6 5	4 3 2 1 0
QMGR_WEIGHTS	(RESERVED)	QUEUE3	(RESERVED)	QUEUE2	(RESERVED)	QUEUE1	(RESERVED)	QUEUE0
R/W	R/W R/W R/W	R/W R/W R/W R/W R/W	R/W R/W R/W	R/W R/W R/W R/W R/W	R/W R/W R/W	R/W R/W R/W R/W R/W	R/W R/W R/W	R/W R/W R/W R/W R/W

アドレス
4007 0094H
初期値
0000 0000H

ビット位置	ビット名	意　味
31-29	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
28-24	QUEUE3	キュー3 に対する重みを設定します。ビット数は 5 ビットですが、設定できる値の範囲は 0 から 12 です。
23-21	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
20-16	QUEUE2	キュー2 に対する重みを設定します。ビット数は 5 ビットですが、設定できる値の範囲は 0 から 12 です。
15-13	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
12-8	QUEUE1	キュー1 に対する重みを設定します。ビット数は 5 ビットですが、設定できる値の範囲は 0 から 12 です。
7-5	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
4-0	QUEUE0	キュー0 に対する重みを設定します。ビット数は 5 ビットですが、設定できる値の範囲は 0 から 12 です。

9.3.3.15 VLAN プライオリティ・レジスタ n（VLAN_PRIORITYn）

イーサネット・スイッチにはポート毎に 8 エントリーのプログラマブル・プライオリティ・ルックアップテーブルが実装されています。VLAN タグの第 1 オクテットの上位 3 ビットに含まれているプライオリティがルックアップテーブルのインデックスとして使用され、プライオリティをマッピングし直すことができます。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

注意 設定できる値の範囲は各プライオリティに対してそれぞれ 0 から 3 です。3 ビット目は常に 0 をライトしてください。

	31 30 29 28 27 26 25 24	23 22 21	20 19 18	17 16 15	14 13 12	11 10 9	8 7 6	5 4 3	2 1 0	アドレス
VLAN_ PRIORITYn	(RESERVED)	PRIORITY7	PRIORITY6	PRIORITY5	PRIORITY4	PRIORITY3	PRIORITY2	PRIORITY1	PRIORITY0	4007 0100H + 0004H*n
R/W	R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W	R/W R/W R/W	R/W R/W R/W	R/W R/W R/W	R/W R/W R/W	R/W R/W R/W	R/W R/W R/W	R/W R/W R/W	初期値 0000 0000H

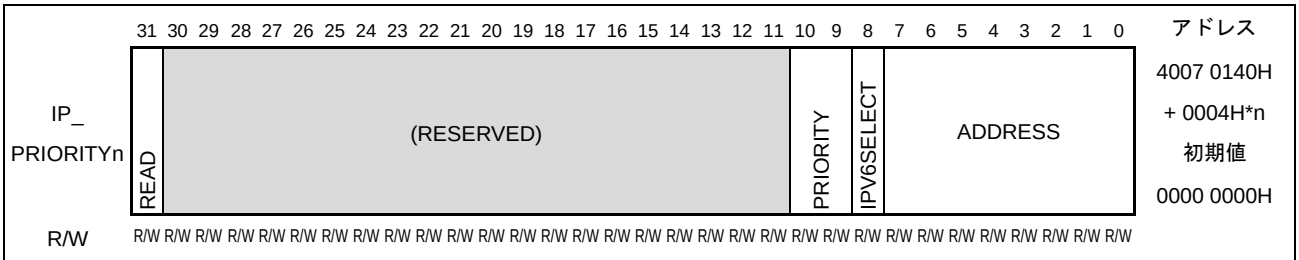
ビット位置	ビット名	意　味
31-24	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
23-21	PRIORITY7	入力フレームの VLAN タグのプライオリティ 7 に対して設定されるプライオリティを設定します。
20-18	PRIORITY6	入力フレームの VLAN タグのプライオリティ 6 に対して設定されるプライオリティを設定します。
17-15	PRIORITY5	入力フレームの VLAN タグのプライオリティ 5 に対して設定されるプライオリティを設定します。
1412	PRIORITY4	入力フレームの VLAN タグのプライオリティ 4 に対して設定されるプライオリティを設定します。
11-9	PRIORITY3	入力フレームの VLAN タグのプライオリティ 3 に対して設定されるプライオリティを設定します。
8-6	PRIORITY2	入力フレームの VLAN タグのプライオリティ 2 に対して設定されるプライオリティを設定します。
5-3	PRIORITY1	入力フレームの VLAN タグのプライオリティ 1 に対して設定されるプライオリティを設定します。
2-0	PRIORITY0	入力フレームの VLAN タグのプライオリティ 0 に対して設定されるプライオリティを設定します。

備考 n=0-2
n=0 はポート 0、n=1 はポート 1、n=2 は内部インタフェースポート（ポート 2）です。

9.3.3.16 IP プライオリティ・レジスタ n（IP_PRIORITYn）

イーサネット・スイッチにはポート毎に、IPv4 および IPv6 の COS (Class of Services) テーブルが実装されています。IPv4 COS テーブルには、フレームに含まれる 6 ビットの DiffServ フィールドがルックアップテーブルのインデックスとして使用され、2 ビットのプライオリティを設定できます。IPv6 COS テーブルには、フレームに含まれる 8 ビットの COS フィールドがルックアップテーブルのインデックスとして使用され、2 ビットのプライオリティを設定できます。本レジスタを用いて COS テーブルの設定および参照を行います。本レジスタへのライト動作で COS テーブルに設定を、リード動作で COS テーブルを参照できます。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。



ビット位置	ビット名	意　味
31	READ	COS テーブルへの読み出し／書き込み動作の切り替えを行います。 本レジスタへのライト時： 0：COS テーブルにプライオリティ情報を書き込みます。 1：COS テーブルにプライオリティ情報を書き込みません(変化なし)。 本レジスタへのリード時： 常に COS テーブルから、最後にライト動作を行ったアドレスのプライオリティ情報を読み出します。 COS テーブルからプライオリティ情報を読み出すためには、以下の手順が必要となります。 ・本ビットを 1 に設定し、IPV6SELECT, ADDRESS ビットを所望の値に設定して、ライト動作を実施（読み込むアドレスの確定）。 ・リード動作を実施
30-11	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
10-9	PRIORITY	ライト時は、COS テーブルに書き込むプライオリティの情報を設定します。 リード時は、COS テーブルに書き込まれているプライオリティ情報が読めます。読み込む COS テーブルのアドレスインデックスは、最後にライト動作をしたアドレスです。
8	IPV6SELECT	IPv6 の COS テーブルが選択されていることを示します。 0：IPv4 の COS テーブルへアクセスします。ADDRESS ビットの有効範囲は、0 から 63 の範囲です。 1：IPv6 の COS テーブルへアクセスします。ADDRESS ビットの有効範囲は、0 から 255 の範囲です。
7-0	ADDRESS	COS テーブルのインデックスとなるアドレスを指定します。IPv4 の場合は 6bit(64 エントリ)、IPv6 の場合は 8bit(256 エントリ)です。

備考 n=0-2
n=0 はポート 0、n=1 はポート 1、n=2 は内部インタフェースポート（ポート 2）です。

9.3.3.17 プライオリティ・コンフィギュレーション・レジスタ n（PRIORITY_CFGn）

受信したフレームに対して、フレーム内のどのプライオリティフィールドを用いて、スイッチ内部でのキューのプライオリティに再配置するか、ポート毎に設定します。複数のタイプのプライオリティフィールドを有効にさせている場合、処理の優先度が高い順に、IP プライオリティ(DiffServ/COS)、VLAN プライオリティ、デフォルトのプライオリティの順番でプライオリティの再配置処理が行われます。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8	7 6 5 4	3 2	1	0	アドレス
PRIORITY_CFGn	(RESERVED)	DEFAULTPRI	(RESERVED)	IPEN	VLANEN	4007 0180H + 0004H*n
						初期値
R/W	R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W	R/W R/W	R/W	R/W	0000 0000H

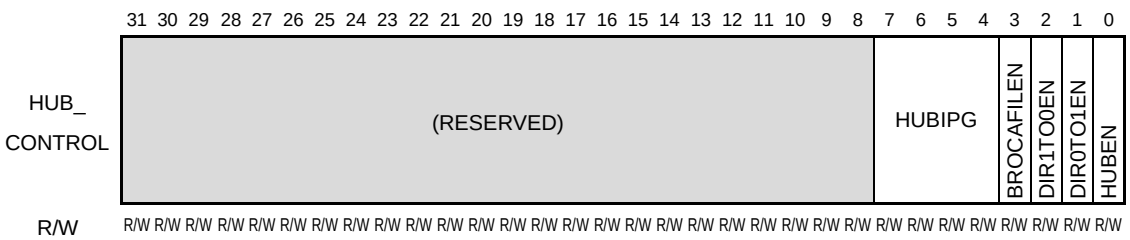
ビット位置	ビット名	意　味
31-7	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
6-4	DEFAULTPRI	ポート n で受信するフレームのデフォルトのプライオリティを設定します。IP プライオリティ、VLAN プライオリティのどちらも使用しない場合にこのプライオリティが適用されます。設定できる値の範囲は 0 から 3 です。3 ビット目は常に 0 をライトしてください。
2-3	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
1	IPEN	ポート n で受信したフレームに対して、IP プライオリティを有効にします。 0 : IP プライオリティは使用しません。フレームの IP Diffserv/COS フィールドは無視されます。 1 : フレームの IP DiffServ/COS フィールドを用いて、スイッチ内のプライオリティを決定します。フレームを受信したポートに対する IP_PRIORITYn レジスタの設定に従って決定されます。
0	VLANEN	ポート n で受信したフレームに対して、VLAN プライオリティを有効にします。 0 : VLAN プライオリティは使用しません。フレームの VLAN タグのプライオリティフィールドは無視されます。 1 : フレームの VLAN タグのプライオリティフィールドを用いて、スイッチ内のプライオリティを決定します。フレームを受信したポートに対する VLAN_PRIORITYn レジスタの設定に従って決定されます。

備考 n=0-2
n=0 はポート 0、n=1 はポート 1、n=2 は内部インタフェースポート（ポート 2）です。

9.3.3.18　ハブ・コントロール・レジスタ（HUB_CONTROL）

ハブ機能の動作を設定します。ハブを有効にすることにより、高速なカットスルー転送が可能になります。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。



ビット位置	ビット名	意　味
31-8	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
7-4	HUBIPG	ハブが連続してフレームを送信するときに、フレーム間に挿入される IPG のサイズ(オクテット数)を設定します。 実際に挿入されるギャップの値に対して、-2 の値を設定してください。 デフォルトのイーサネットの場合、IPG は 12 オクテットなので、このレジスタに 10 を設定します。有効な値は 6 から 13 です。 注：いずれかのポートが半二重で動作している場合、ハブを無効にする必要があります。
3	BROCAFILEN	ブロードキャストフィルタを有効/無効にします。有効に設定した場合、ハブはすべてのブロードキャスト・フレームを転送しません。（通常は有効にする必要があります） 0：無効 1：有効
2	DIR1TO0EN	ポート 1 からポート 0 へのハブによる転送の有効/無効を設定します。 有効に設定した場合、ポート 1 で受信したすべてのトラフィックは、ハブがアクティブ時、ハブを経由してポート 0 に転送されます。 0：無効 1：有効
1	DIR0TO1EN	ポート 0 からポート 1 へのハブによる転送の有効/無効を設定します。 有効に設定した場合、ポート 0 で受信したすべてのトラフィックは、ハブがアクティブ時、ハブを経由してポート 1 に転送されます。 0：無効 1：有効
0	HUBEN	ハブの有効/無効を設定します。 0：無効 1：有効 注：本ビットが 0 に設定され、HUB_FLT_MACnhi レジスタの FORCEFOW ビットが無効に設定されている場合、ハブはリセットされます。 注：ハブを無効にしても、個々の HUB_FLT_MACnhi レジスタで有効にすることができる強制転送機能は無効になりません。

備考 DIR1TO0EN ビットと DIR0TO1EN ビットは同時に有効にすることが可能です。つまり両方向の同時転送が可能です。

9.3.3.19 ハブ・フレームカウント・レジスタ（HUB_STATS）

本レジスタは、一方のポートから他方のポートまでハブを介して転送されたフレームの数を示します。転送設定が無効に設定されると(HUB_CONTROL レジスタの DIR1TO0EN ビットあるいは DIR0TO1EN ビットが 0)、そのチャネルのカウンタはクリアされます。

- アクセス　　32 ビット単位でリード・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
HUB_STATS	NUM1TO0																NUM0TO1																4007 01C4H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	初期値
																																	0000 0000H

ビット位置	ビット名	意　味
31-16	NUM1TO0	ポート 1 からポート 0 にハブを介して転送されたフレームの数 (HUB_CONTROL レジスタの DIR1TO0EN ビットが 1 のとき)
15- 0	NUM0TO1	ポート 0 からポート 1 にハブを介して転送されたフレームの数 (HUB_CONTROL レジスタの DIR0TO1EN ビットが 1 のとき)

9.3.3.20 ハブ入力フィルタ用 MAC アドレス low レジスタ（HUB_FLT_MACnlo）

ハブでフィルタするMACアドレスを設定します。MACアドレスの最初の4オクテットをHUB_FLT_MACnloレジスタに、残りの 2 オクテットを HUB_FLT_MACnhi レジスタに設定します。最大 7 個まで MAC アドレスを設定することが可能です。設定した MAC アドレスのいずれかが受信フレームの宛先アドレスと一致する場合、そのフレームはハブを介して転送されません。未使用のレジスタの MAC アドレス設定は 0 にしてください。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

	31 30 29 28 27 26 25 24	23 22 21 20 19 18 17 16	15 14 13 12 11 10 9 8	7 6 5 4 3 2 1 0	アドレス
HUB_FLT_MACnlo	MACADD4n	MACADD3n	MACADD2n	MACADD1n	4007 01C8H + 0008H*n
初期値	注 1				
R/W	R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W R/W R/W R/W R/W	

ビット位置	ビット名	意　味
31-24	MACADD4n	MAC アドレス n の第 4 バイトを設定します。
23-16	MACADD3n	MAC アドレス n の第 3 バイトを設定します。
15-8	MACADD2n	MAC アドレス n の第 2 バイトを設定します。
7-0	MACADD1n	MAC アドレス n の第 1 バイトを設定します。

備考 n=0-6

注 1. n=0-5： 初期値は 0000 0000H
n=6： 初期値は 006C 2101H。初期値にはビーコンフレームの宛先アドレスが設定されています。DLR 機能を使用する時は、このレジスタにビーコン・フレームの宛先アドレスが保持されていなければなりません。

9.3.3.21 ハブ入力フィルタ用 MAC アドレス high レジスタ（HUB_FLT_MACnhi）

ハブでフィルタするMACアドレスを設定します。MACアドレスの最初の4オクテットをHUB_FLT_MACnloレジスタに、残りの 2 オクテットを HUB_FLT_MACnhi レジスタに設定します。最大 7 個まで MAC アドレスを設定することが可能です。設定した MAC アドレスのいずれかが受信フレームの宛先アドレスと一致する場合、そのフレームはハブを介して転送されません。未使用のレジスタの MAC アドレス設定は 0 に、MASKCOMP ビットには 0xFF を設定してください。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

	31 30 29 28 27 26 25	24	23 22 21 20 19 18 17 16	15 14 13 12 11 10 9 8	7 6 5 4 3 2 1 0	アドレス
HUB_FLT_MACnhi	(RESERVED)	FORCEFOW	MASKCOMP	MACADD6n	MACADD5n	4007 01CCH + 0008H*n
初期値 注 1						
R/W	R/W R/W R/W R/W R/W R/W R/W	R/W	R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W R/W R/W R/W R/W	

ビット位置	ビット名	意　味
31-25	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
24	FORCEFOW	強制転送の有効/無効を設定します。 0：無効 1：有効 有効に設定すると、MAC アドレスが一致するフレームは、フィルタ処理されず、ハブを経由して転送されます。一方、このフレームはスイッチ内部へは転送されません。つまりスイッチ内部の MAC で処理される前に強制転送が行われるため、スイッチはこのフレームを受信することはありません。ただし、DLR モジュールはこのフレームを受信することが可能です。 なお、強制転送はハブ機能を無効に設定(HUB_CONTROL レジスタの HUBEN ビットを 0 に設定)していても有効に動作します。
23-16	MASKCOMP	MAC アドレスの最終バイト(第 6 バイト)をビット単位でマスクしてフィルタを実行することができます。この 8 ビットに対して、1 を設定したビットのみがフィルタでの比較対象となり、0 を設定したビットは比較されません。 実際の処理としては、受信した MAC アドレスの最終バイトと本ビットが AND され、その結果と MACADD6n ビットとの比較を行います。従って、本ビットで 0 を設定したビットに対応する MACADD6ｎビットには 0 を設定してください。
15-8	MACADD6n	MAC アドレス n の第 6 バイトを設定します。 MASKCOMP ビットに 0xFF 以外を設定している場合、0 が設定されているビットに対応する本ビットに 0 を設定する必要があります。
7-0	MACADD5n	MAC アドレス n の第 5 バイトを設定します。

備考 n=0-6

注 1. n=0-5： 初期値は 0000 0000H
n=6： 初期値は 01FF 0100H。初期値には強制転送の有効、ビーコンフレームの宛先アドレスが設定されています。DLR 機能を使用する時は、このレジスタにビーコン・フレームの宛先アドレスが保持されていなければなりません。

9.3.3.22 スイッチ統計カウンタ

イーサネット・スイッチで処理するフレームの統計値をレジスタに格納しています。
全てのレジスタが 32 ビット、Read Only、初期値 0000 0000H です。

アドレス	略号	内容
4007 0300H	TOTAL_BYT_FRM	スイッチで処理され且つ廃棄されない受信フレームのバイト数の合計値 (TOTAL_FRM で数えたフレームのバイト数の合計)
4007 0304H	TOTAL_BYT_DISC	スイッチで処理されたが廃棄された受信フレームのバイト数の合計値 (TOTAL_DISC で数えたフレームのバイト数の合計)
4007 0308H	TOTAL_FRM	スイッチで処理され且つ廃棄されない受信フレーム数
4007 030CH	TOTAL_DISC	スイッチで処理されたが廃棄された受信フレーム数
4007 0310H + 0008H*n	ODISCn	出力キューの輻輳によりポート n で廃棄された送信フレーム数
4007 0314H + 0008H*n	IDISC_BLOCKEDn	ブロッキングモードに設定されているため、ポート n でラーニング後に破棄された受信フレーム数

備考 n=0-2
n=0 はポート 0、n=1 はポート 1、n=2 は内部インタフェースポート（ポート 2）です。

9.3.4 ラーニング・インタフェース・レジスタ

イーサネット・スイッチが学習したソース・アドレスとポートの情報をラーニング・インタフェースを通して取得できます。ルックアップ・テーブルを構築するために使用されます。得られる情報は 2 つのレジスタを通して取得できますが、最初に LRN_REC_A レジスタをリードし、次に LRN_REC_B レジスタをリードしてください。

LRN_REC_B レジスタへのアクセス後、次のラーニング情報が利用可能な場合には、LRN_REC_A レジスタおよび LRN_REC_B レジスタには FIFO からその情報がセットされます。本レジスタは、32 ビット単位でリード・アクセス可能です。

9.3.4.1 ラーニング・レコード A・レジスタ（LRN_REC_A）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
LRN_REC_A	SRCADD4								SRCADD3								SRCADD2								SRCADD1								4007 0500H 初期値 0000 0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意　味
31-24	SRCADD4	ソース MAC アドレスの第 4 オクテット
23-16	SRCADD3	ソース MAC アドレスの第 3 オクテット
15-8	SRCADD2	ソース MAC アドレスの第 2 オクテット
7-0	SRCADD1	ソース MAC アドレスの第 1 オクテット

9.3.4.2 ラーニング・レコード B・レジスタ（LRN_REC_B）

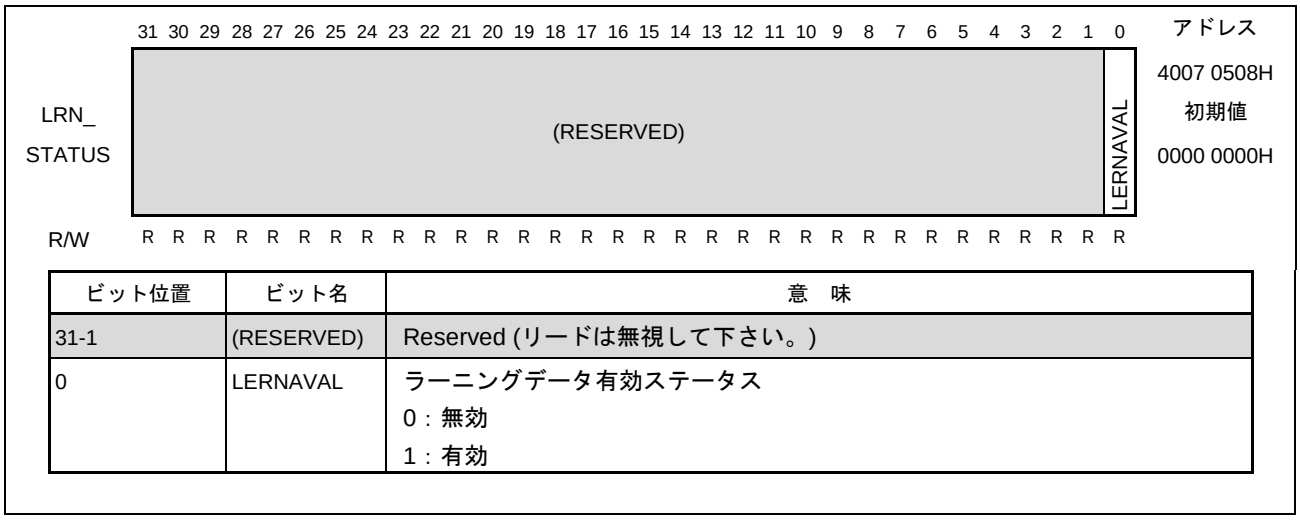
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
LRN_REC_B	(RESERVED)				PORT				HASH								SRCADD6								SRCADD5								4007 0504H 初期値 0000 0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意　味
31-28	(RESERVED)	Reserved (リードは無視して下さい。)
27-24	PORT	ポート番号
23-16	HASH	ソース MAC アドレスに対応するハッシュ・コード
15-8	SRCADD6	ソース MAC アドレスの第 6 オクテット
7-0	SRCADD5	ソース MAC アドレスの第 5 オクテット

9.3.4.3 ラーニング・データ・ステータス・レジスタ (LRN_STATUS)

LRN_REC_A レジスタおよび LRN_REC_B レジスタが有効なデータであるかどうかを示します。

- アクセス 32 ビット単位でリード・アクセス可能です。



ビット位置	ビット名	意 味
31-1	(RESERVED)	Reserved (リードは無視して下さい。)
0	LERNAVAL	ラーニングデータ有効ステータス 0：無効 1：有効

9.3.4.4 アドレステーブル (ADR_TABLE)

アドレス･テーブルは、256エントリのブロックから構成されており、各ブロックにはそれぞれ64ビットの情報を含むレコードを8個持っています。64ビット長のレコードには、48ビットのMACアドレスと転送に必要な情報や優先度、タイムスタンプの情報が含まれています。MACアドレスから計算したハッシュコードが、8エントリから成るブロックのスタートアドレスを指します。アドレステーブルの詳細は、9.4.1.4(3)、9.5.3を参照してください。

9.3.5 MAC ポート・レジスタ

ポート 0 およびポート 1 の MAC に関するレジスタです。レジスタの大部分（コマンド・コンフィグ・レジスタと統計カウンタ以外のレジスタ）はポート 0 とポート 1 で共有されています。ただし、レジスタへのアクセスはポート毎に設定されたアドレスへのアクセスでリード・ライトが可能です。レジスタ名に ”shared” と記載されたレジスタが共有されているレジスタです。

9.3.5.1 コマンド・コンフィグ・レジスタ n（COMMAND_CONFIGn）

MAC の設定やリセットを本レジスタにより行います。

- アクセス 32 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
COMMAND_CONFIGn	CNTRESET	(RESERVED)				RXERRDISC	(RESERVED)	NOLGTHCHK	CNTRLREMEN	(RESERVED)									SWRESET	(RESERVED)								(RESERVED)	(RESERVED)			RXENA	TXENA	4007 8008H+ 2000H*n
																																	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	0000 0010H

ビット位置	ビット名	意　味
31	CNTRESET	セルフクリア・カウンタリセットコマンドです。 1 がライトされると、統計カウンタは全て 0 になります。その後、本ビットは自動的に 0 に戻ります。 注：本レジスタは MAC0 と MAC1 で共有されていませんが、このビットだけ例外で、MAC0 と MAC1 のいずれかのレジスタで本ビットに 1 をライトすると、両方の MAC の統計カウンタがクリアされます。
30-27	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
26	RXERRDISC	受信エラーフレーム破棄の有効/無効を設定します。 0：エラーフレームは RX_ER がアサートされた状態で、他のポートに転送されます（デバッグ用）。 1：エラーで受信したフレームはコアで破棄され、他のポートに転送されません。 注：本 LSI では常に 1 をライトしてください。
25	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
24	NOLGTHCHK	ペイロード長チェックの有効/無効を設定します。 0：有効（デバッグ用） 1：無効 注：本 LSI では常に 1 をライトしてください。
23	CNTRLREMEN	MAC コントロールフレームの有効/無効を設定します。 0：オペコードが 0x0001 以外の MAC コントロールフレームは破棄されます。 1：オペコードが 0x0001 以外の MAC コントロールフレームは受信され、他のポートに転送されます。
22-14	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)

13	SWRESET	セルフクリア・ソフトウェアリセットコマンドです。 1 がライトされると、MAC の送受信が無効になり、受信 FIFO がクリアされます。ソフトウェアリセットシーケンスが完了した後、本ビットは自動的に 0 に戻ります。 注：ビットが自動的に 0 に戻るのは両方の MAC のライン側のクロックが供給されている場合のみです。ライン側のクロックが供給されていない場合、0 をライトすることで本ビットを 0 にクリアしてください。
12-5	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
4	(RESERVED)	Reserved (ライトは 1 を書き込んで下さい。リードは無視して下さい。)
3-2	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
1	RXENA	受信機能の有効/無効を設定します。 0：無効 1：有効 ソフトウエアリセットにより 0 にクリアされます。
0	TXENA	送信機能の有効/無効を設定します。 0：無効 1：有効 ソフトウエアリセットにより 0 にクリアされます。

備考 n=0,1
n=0 は MAC ポート 0、n=1 は MAC ポート 1 です。

9.3.5.2 最大フレーム長レジスタ n（FRM_LENGTHn）（shared）

最大フレーム長を設定します。MAC の受信回路でフレーム長をチェックするために使用します。初期値は、単一の VLAN タグ付きのフレームを許容できる 1522 に設定されています。タグのフレキシビリティを持たせるために、1536 程度に設定しても構いません。設定可能な最大値は 1700 です。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス
FRM_ LENGTHn	(RESERVED)	FRMLEN	4007 8014H + 2000H*n
R/W	R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W	初期値 0000 05F2H

ビット位置	ビット名	意　味
31-14	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
13-0	FRMLEN	最大フレーム長

備考 n=0,1
n=0 は MAC ポート 0、n=1 は MAC ポート 1 です。

9.3.5.3 FIFO バッファ・スレッショルド・レジスタ n（shared）

MAC の FIFO バッファのスレッショルドを設定します。オーバーフロー、アンダーフローの管理を行います。基本的には初期値から変更する必要はありません。

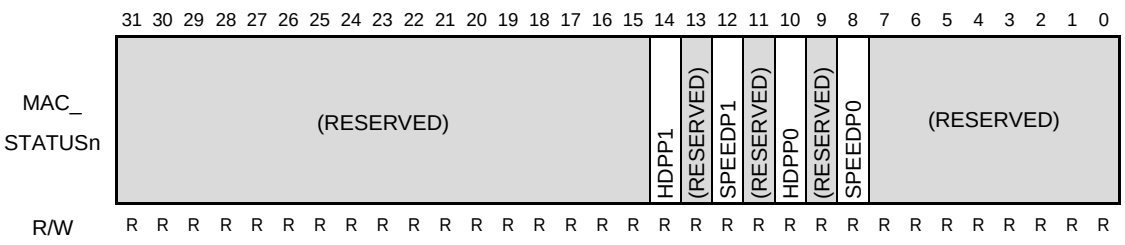
アドレス	略号	初期値	R/W	内容
4007 801CH + 2000H*n	RX_SECTION_EMPTYn	0000 0000H	R	受信 FIFO がフルに近い状態を示すためのスレッショルドです。一般的に Pause フレームの送信に使用されますが、0 が設定されている場合は生成されません。本 LSI では 0 から変更できません。
4007 8020H + 2000H*n	RX_SECTION_FULLn	0000 0000H	RW	受信 FIFO から読み出すのに十分なエントリがあるかどうかを示すためのスレッショルドです。0 の場合、ストア・アンド・フォワードとなります。本 LSI では常に 0 を設定してください。
4007 8024H + 2000H*n	TX_SECTION_EMPTYn	0000 0048H	RW	送信 FIFO がフルに近い状態を示すためのスレッショルドです。
4007 8028H + 2000H*n	TX_SECTION_FULLn	0000 0014H	RW	送信 FIFO からフレームを送信を開始するのに十分なエントリがあるかどうかを示すためのスレッショルドです。
4007 802CH + 2000H*n	RX_ALMOST_EMPTYn	0000 0008H	R	受信 FIFO が空になる前の、まだ読みだされていないエントリのスレッショルドです。FIFO アンダーフローの回避に使用されます。 本 LSI では値の変更はできません。
4007 8030H + 2000H*n	RX_ALMOST_FULLn	0000 0005H	R	受信 FIFO がフルになる前の、まだ書き込みされていないエントリのスレッショルドです。FIFO オーバーフローの回避に使用されます。 本 LSI では値の変更はできません。
4007 8034H + 2000H*n	TX_ALMOST_EMPTYn	0000 0004H	R	送信 FIFO が空になる前の、まだ読みだされていないエントリのスレッショルドです。FIFO アンダーフローの回避に使用されます。 本 LSI では値の変更はできません。
4007 8038H + 2000H*n	TX_ALMOST_FULLn	0000 0010H	R	送信 FIFO がフルになる前の、まだ書き込みされていないエントリのスレッショルドです。FIFO オーバーフローの回避に使用されます。 本 LSI では値の変更はできません。

備考 n=0,1
n=0 は MAC ポート 0、n=1 は MAC ポート 1 です。

9.3.5.4　MAC ステータス・レジスタ n（MAC_STATUSn）（shared）

MAC の通信設定状態を示します。

- アクセス　　32 ビット単位でリード・アクセス可能です。



ビット位置	ビット名	意　味
31-15	(RESERVED)	Reserved (リードは無視して下さい。)
14	HDPP1	MAC ポート 1 の Duplex の設定値 0：全二重 1：半二重
13	(RESERVED)	Reserved (リードは無視して下さい。)
12	SPEEDP1	MAC ポート 1 のリンク速度の設定値 0：10/100Mbps 1：1Gbps
11	(RESERVED)	Reserved (リードは無視して下さい。)
10	HDPP0	MAC ポート 0 の Duplex の設定値 0：全二重 1：半二重
9	(RESERVED)	Reserved (リードは無視して下さい。)
8	SPEEDP0	MAC ポート 0 のリンク速度の設定値 0：10/100Mbps 1：1Gbps
7-0	(RESERVED)	Reserved (リードは無視して下さい。)

備考 n=0,1
n=0 は MAC ポート 0、n=1 は MAC ポート 1 です。

9.3.5.5 送信 IPG 長レジスタ n（TX_IPG_LENGTHn）（shared）

送信時のパケット間ギャップ（IPG）を設定します。

- アクセス 32 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TX_IPG_LENGTHn	(RESERVED)																											TXIPGLEN					4007 805CH+ 2000H*n
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	初期値 0000 000CH

ビット位置	ビット名	意 味
31-5	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
4-0	TXIPGLEN	送信時のパケット間ギャップ（IPG）の値（バイト時間）を設定します。 設定できる値の範囲は 8～27 です。 8 未満または 27 を超える値が設定されている場合は、12 に設定されます。

備考 n=0,1
n=0 は MAC ポート 0、n=1 は MAC ポート 1 です。

9.3.5.6 MAC 受信／送信統計カウンタ

イーサネット・スイッチで処理するフレームの統計値をポート毎にレジスタに格納しています。
全てのレジスタが 32 ビット、Read Only、初期値 0000 0000H です。

- アクセス　32 ビット単位でリード/ライト・アクセス可能です。

(a) 受信統計カウンタ

(1/2)

アドレス	略号	内容
4007 8100H + 2000H*n	etherStatsOctets_n	ポート n で受信した、フレームのオクテットの総数(正常、異常フレーム両方を含む)
4007 8104H + 2000H*n	OctetsOK_n	ポート n で受信した、正常フレームのみのオクテットの総数。MIB カウンタの ifInOctets の代わりとなるものです。
4007 8108H + 2000H*n	aAlignmentErrors_n	ポート n で受信した、フレームが RX_DV のアサートが解除されても、SDF が検出されない場合のフレーム数
4007 810CH + 2000H*n	aPAUSEMACCtrlFrames_n	ポート n で受信した、正常なポーズ・フレームの数
4007 8110H + 2000H*n	FramesOK_n	ポート n で受信した、正常なフレームの数
4007 8114H + 2000H*n	CRCErrors_n	ポート n で受信した、CRC は異常であるが、長さは正常であるフレームの数
4007 8118H + 2000H*n	VLANOK_n	ポート n で受信した、正常な VLAN タグを持つフレームの数
4007 811CH + 2000H*n	ifInErrors_n	ポート n で以下の受信エラーを起こしたフレームの数 ・FIFO オーバーフロー ・CRC エラー ・ペイロード長エラー ・Jabber やサイズオーバーエラー ・PHY のエラー(RX_ER のアサート)
4007 8120H + 2000H*n	ifInUcastPkts_n	ポート n で受信した、正常ユニキャストフレームの数
4007 8124H + 2000H*n	ifInMulticastPkts_n	ポート n で受信した、正常マルチキャストフレームの数
4007 8128H + 2000H*n	ifInBroadcastPkts_n	ポート n で受信した、正常ブロードキャストフレームの数
4007 812CH + 2000H*n	etherStatsDropEvents_n	ポート n で FIFO 不足により受信できなかったフレームの数

(2/2)

アドレス	略号	内容
4007 8130H + 2000H*n	etherStatsPkts_n	ポート n で受信した、全フレーム(正常、異常両方含む)
4007 8134H + 2000H*n	etherStatsUndersizePkts_n	ポート n で受信した、64 バイト以下でかつ正常な CRC を持つフレームの数。ただし、24 バイト以下のフレームは含みません。
4007 8138H + 2000H*n	etherStatsPkts64Octets_n	ポート n で受信した、64 バイトの長さのフレームの数
4007 813CH + 2000H*n	etherStatsPkts65to127Octets_n	ポート n で受信した、65 バイト以上、127 バイト以下の長さのフレームの数
4007 8140H + 2000H*n	etherStatsPkts128to255Octets_n	ポート n で受信した、128 バイト以上、255 バイト以下の長さのフレームの数
4007 8144H + 2000H*n	etherStatsPkts256to511Octets_n	ポート n で受信した、256 バイト以上、511 バイト以下の長さのフレームの数
4007 8148H + 2000H*n	etherStatsPkts512to1023Octets_n	ポート n で受信した、512 バイト以上、1023 バイト以下の長さのフレームの数
4007 814CH + 2000H*n	etherStatsPkts1024to1518Octets_n	ポート n で受信した、1024 バイト以上、1518 バイト以下の長さのフレームの数
4007 8150H + 2000H*n	etherStatsPkts1519toMax_n	ポート n で受信した、1519 バイト以上、最大フレーム長レジスタ(FRM_LENTGHn)の値以下の長さのフレームの数
4007 8154H + 2000H*n	etherStatsOversizePkts_n	ポート n で受信した、最大フレーム長レジスタ(FRM_LENGTHn)の値を超える長さのフレームの数。CRC は正常
4007 8158H + 2000H*n	etherStatsJabbers_n	ポート n で受信した、最大フレーム長レジスタ(FRM_LENGTHn)の値を超える長さのフレームの数。CRC は異常
4007 815CH + 2000H*n	etherStatsFragments_n	ポート n で受信した、64 バイト以下でかつ異常な CRC を持つフレームの数。ただし、24 バイト以下のフレームは含みません。また、DLR のビーコンフレームもカウントします。
4007 8160H + 2000H*n	aMACControlFramesReceived_n	ポート n で受信した、タイプが 0x8808 を持つ正常フレームの数
4007 8164H + 2000H*n	aFrameTooLong_n	ポート n で受信した、最大フレーム長レジスタ(FRM_LENGTHn)の値を超える長さのフレームの数。 正常および異常の両方を含む。
4007 816CH + 2000H*n	StackedVLANOK_n	ポート n で受信した、スタック VLAN タグをもつ正常フレームの数

(b) 送信統計カウンタ

(1/2)

アドレス	略号	内容
4007 8180H + 2000H*n	TXetherStatsOctets_n	ポート n で送信した、フレームのオクテットの総数(正常、異常フレーム両方を含む)
4007 8184H + 2000H*n	TxOctetsOK_n	ポート n で送信した、正常フレームのみのオクテットの総数
4007 818CH + 2000H*n	TXaPAUSEMACCtrlFrames_n	ポート n で送信した、正常なポーズ・フレームの数
4007 8190H + 2000H*n	TxFramesOK_n	ポート n で送信した、正常なフレームの数
4007 8194H + 2000H*n	TxCRCErrors_n	ポート n で送信した、CRC は異常であるが、長さは正常であるフレームの数
4007 8198H + 2000H*n	TxVLANOK_n	ポート n で送信した、正常な VLAN タグを持つフレームの数
4007 819CH + 2000H*n	ifOutErrors_n	ポート n で送信エラーを起こしたフレームの数 ・TX_ER ・フレーム長エラー
4007 81A0H + 2000H*n	ifUcastPkts_n	ポート n で送信した、正常ユニキャストフレームの数
4007 81A4H + 2000H*n	ifMulticastPkts_n	ポート n で送信した、正常マルチキャストフレームの数
4007 81A8H + 2000H*n	ifBroadcastPkts_n	ポート n で送信した、正常ブロードキャストフレームの数
4007 81ACH + 2000H*n	TXetherStatsDropEvents_n	ポート n で送信した、サイズが足りないフレームの数。FIFO 不足か半二重通信時のコリジョンが原因。
4007 81B0H + 2000H*n	TXetherStatsPkts_n	ポート n で送信した、全フレーム(正常、異常両方含む)の数
4007 81B4H + 2000H*n	TXetherStatsUndersizePkts_n	ポート n で送信した、64 バイト以下でかつ正常な CRC を持つフレームの数。(基本的には発生しません)
4007 81B8H + 2000H*n	TXetherStatsPkts64Octets_n	ポート n で送信した、64 バイトの長さのフレームの数
4007 81BCH + 2000H*n	TXetherStatsPkts65to127Octets_n	ポート n で送信した、65 バイト以上、127 バイト以下の長さのフレームの数

(2/2)

アドレス	略号	内容
4007 81C0H + 2000H*n	TXetherStatsPkts128to255Octets_n	ポート n で送信した、128 バイト以上、255 バイト以下の長さのフレームの数
4007 81C4H + 2000H*n	TXetherStatsPkts256to511Octets_n	ポート n で送信した、256 バイト以上、511 バイト以下の長さのフレームの数
4007 81C8H + 2000H*n	TXetherStatsPkts512to1023Octets_n	ポート n で送信した、512 バイト以上、1023 バイト以下の長さのフレームの数
4007 81CCH + 2000H*n	TXetherStatsPkts1024to1518Octets_n	ポート n で送信した、1024 バイト以上、1518 バイト以下の長さのフレームの数
4007 81D0H + 2000H*n	TXetherStatsPkts1519toMax_n	ポート n で送信した、1519 バイト以上、最大フレーム長レジスタ(FRM_LENGTHn)の値以下の長さのフレームの数
4007 81D4H + 2000H*n	TXetherStatsOversizePkts_n	ポート n で送信した、最大フレーム長レジスタ(FRM_LENGTHn)の値を超える長さのフレームの数。CRC は正常。
4007 81D8H + 2000H*n	TXetherStatsJabbers_n	ポート n で送信した、最大フレーム長レジスタ(FRM_LENGTHn)の値を超える長さのフレームの数。CRC は異常。
4007 81DCH + 2000H*n	TXetherStatsFragments_n	ポート n で送信した、64 バイト以下でかつエラーがアサートされたフレームの数
4007 81E0H + 2000H*n	aMACControlFrames_n	ポート n で送信した、タイプが 0x8808 を持つ正常フレームの数
4007 81E4H + 2000H*n	TXaFrameTooLong_n	ポート n で送信した、最大フレーム長レジスタ(FRM_LENGTHn)の値を超える長さのフレームの数。 正常および異常の両方を含む。
4007 81ECH + 2000H*n	aMultipleCollisions_n	ポート n において、コリジョンが複数回発生した後で、転送が成功したフレームの数。半二重通信のときのみ有効。
4007 81F0H + 2000H*n	aSingleCollisions_n	ポート n において、1 回のコリジョンが 1 回発生した後で、転送が成功したフレームの数。半二重通信のときのみ有効。
4007 81F4H + 2000H*n	aLateCollisions_n	ポート n において、レイト・コリジョンによりエラーで送出されたフレームの数。半二重通信のときのみ有効。
4007 81F8H + 2000H*n	aExcessCollisions_n	ポート n において、過剰なコリジョン(16 回の送信失敗)により破棄したフレームの数。半二重通信のときのみ有効。

備考 n=0-1
n=0 はポート 0、n=1 はポート 1 です。

9.3.6 タイマ・モジュール・レジスタ

イーサネット・スイッチにはタイムスタンプ機能に使用するタイマ・モジュールを内蔵しています。タイマ・モジュール・レジスタは、その設定や状態を示すレジスタです。

9.3.6.1 タイマ・モジュール・コンフィグ・レジスタ (TSM_CONFIG)

タイマ機能で発生したイベントによる割り込みの発生を制御します。

- アクセス 32 ビット単位でリード/ライト・アクセス可能です。

	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14	13	12	11 10 9 8 7 6 5	4	3	2	1	0	アドレス
TSM_CONFIG	(RESERVED)	IRQTXENAP1	IRQTXENAP0	(RESERVED)	IRQTEST	IRQTIMOVER	IRQEVTPERD	IRQEVTOFF	IRQENA	4007 C004H 初期値 0000 0000H
R/W	R/W R/W R/W

ビット位置	ビット名	意　味
1	IRQEVTOFF	タイマにオフセット補正が完了したときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。
0	IRQENA	タイマ割り込みの有効/無効を設定します。他のビットを 1 に設定していても、このビットを 1 に設定しなければ割り込みは発生しません。 0：無効 1：有効

9.3.6.2 タイマ割り込みステータス/アクノリッジ・レジスタ (TSM_IRQ_STAT_ACK)

タイマによる割り込みのステータス確認とアクノリッジを行います。

本レジスタをリードすることでステータスの確認ができます。1 が割り込みが発生したことを表し、0 が発生していないことを表します。

本レジスタを 1 でライトすることでアクノリッジして割り込みはクリアされます。また、同時にビットの値はクリアされます。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

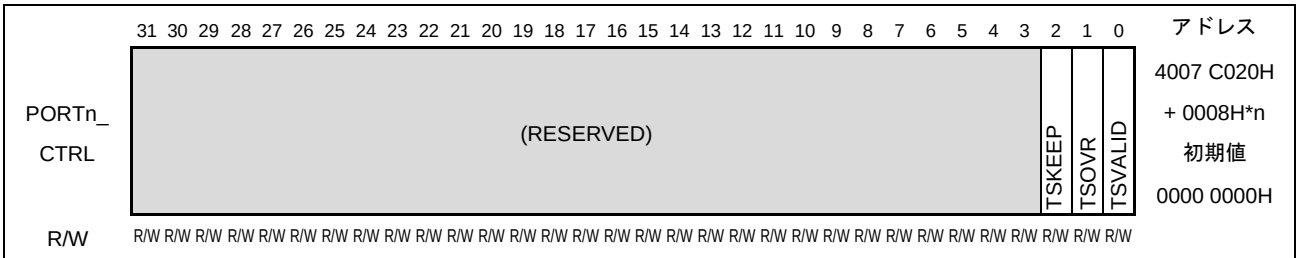
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TSM_IRQ_STAT_ACK	(RESERVED)																		IRQTXP1	IRQTXP0	(RESERVED)							IRQTEST	IRQTIMOVER	IRQEVTPERD	IRQEVTOFF	IRQENA	4007 C008H 初期値 0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31-14	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
13	IRQTXP1	ポート 1 の送信タイムスタンプ・キャプチャ割り込みが発生していることを示します。
12	IRQTXP0	ポート 0 の送信タイムスタンプ・キャプチャ割り込みが発生していることを示します。
11-5	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
4	IRQTEST	ソフトウエアのテスト用割り込みが発生していることを示します。
3	IRQTIMOVER	タイマのオーバーフロー割り込みが発生していることを示します。
2	IRQEVTPERD	ns タイマが 1 秒に達したときの割り込みが発生していることを示します。
1	IRQEVTOFF	タイマのオフセット加算による割り込みが発生していることを示します。
0	IRQENA	タイマ割り込みが発生していることを示します。

9.3.6.3 ポートタイムスタンプ・コントロール/ステータス・レジスタ (PORTn_CTRL)

ポートnで取得されたタイムスタンプのレジスタへの格納方法の設定や格納されたタイムスタンプの状態を示します。

- アクセス　32 ビット単位でリード/ライト・アクセス可能です。



ビット位置	ビット名	意　味
31-3	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
2	TSKEEP	新しいタイムスタンプを受け取った時、タイムスタンプレジスタに格納されるタイムスタンプを設定します。 0：新しいタイムスタンプを上書きします 1：最後のタイムスタンプを保持します このビットが 1 に設定されると、格納されていたタイムスタンプが保持され、ソフトウェアがタイムスタンプを処理して、TSVALID ビットを 0 にするまで、新しいタイムスタンプは無視されます。
1	TSOVR	新しいタイムスタンプが、最後に保存されたタイムスタンプを上書きしたことを示します。 0：タイムスタンプは上書きされていない 1：タイムスタンプは上書きされている 有効なタイムスタンプが格納されており（TSVALID=1）、ソフトウェアがその値を読み取る前に別のタイムスタンプが受信される時に 1 になります。 任意の値でライトすると、本ビットはクリアされます。 TSKEEP ビットが設定されると、TSVALID が 1 の時に新しいタイムスタンプを受信しても、そのタイムスタンプは無視されたことを示します。
0	TSVALID	格納されているタイムスタンプの状態を示します。 0：タイムスタンプは無効 1：タイムスタンプは有効 任意の値でライトすると、本ビットはクリアされます。

備考 n=0,1
n=0 は MAC ポート 0、n=1 は MAC ポート 1 です。

9.3.6.4 ポートタイムスタンプ・レジスタ (PORTn_TIME)

ポート n で取得されたタイムスタンプを格納しています。

- アクセス 32 ビット単位でリード・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
PORTn_TIME	TSREG																																4007 C024H + 0008H*n 初期値 0000 0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意 味
31-0	TSREG	ポート n で取得されたタイムスタンプ

備考 n=0,1
n=0 は MAC ポート 0、n=1 は MAC ポート 1 です。

9.3.6.5　タイマ・コントロール・レジスタ (ATIME_CTRL)

タイマ割込みイベントの設定とタイマの制御を行います。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ATIME_CTRL	(RESERVED)																			PLUS1	CAPTR	(RESERVED)	RST	(RESERVED)	(RESERVED)	(RESERVED)	EVTPERIRST	EVTPERIENA	(RESERVED)	EVTOFFENA	(RESERVED)	TMENA	4007 C120H
																																	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
31-13	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
12	PLUS1	1 をライトするとタイマカウンタを 1 つインクリメントします。 完了するとビットはクリアされます。
11	CAPTR	1 をライトすると現在のタイマの値をキャプチャします。 キャプチャが完了すると、本ビットはクリアされ、ATIME レジスタと ATIME_SEC レジスタから時間を読み取ることができます。
10	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
9	RST	1 をライトするとタイマをゼロにリセットします。 カウンタイネーブルには影響しません。カウンタが有効になっている場合、1 をライトすると、タイマはゼロにリセットされ、そこからカウントを開始します。
8-6	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
5	EVTPERIRST	周期イベントタイマのリセットを設定します。 0：タイマはラップアラウンドするまでカウントアップします。 1：タイマのカウント値が 1 秒に達すると、タイマーは 0 にリセットされます。
4	EVTPERIENA	1 秒単位の周期イベントの有効/無効を設定します。 0：周期イベントは発生しません。 1：1 秒単位の周期イベントが発生します。TSM_CONFIG レジスタにより割り込み発生設定がされていれば、スイッチ割り込みによる周期イベント割り込みも発生します。 注：タイマ周期の値は事前に設定する必要があります。
3	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)

ビット位置	ビット名	意　味
2	EVTOFFENA	オフセット補正イベントの有効/無効を設定します。 0：オフセット補正は行われません。 1：オフセット補正が行われます。 オフセット補正が完了したとき、TSM_CONFIG レジスタにより割り込みの発生設定がされていれば、オフセット補正割り込みを発生し、本ビットは 0 にクリアされます。再びオフセット補正を行う場合は、再び 1 にセットする必要があります。 注：タイマ･オフセット値は事前に設定する必要があります。
1	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
0	TMENA	0：タイマは、現在の値で停止します 1：タイマのカウントアップ開始

注意 1 ビット 12,11,9 は、コマンド用ビットであり、直接対応するイベントを起動するために使用することができます。コマンドビットをセットする時は、レジスタに設定されている他のビットの値を保持する必要はありません(つまり read-modify-write は不要です)。コマンドが完了すると、各ビットは 0 になります。コマンドビットのいずれかが 0 でない場合、他のビットの値は無視されます。

2 タイマが停止している間は、タイマの値を正確にキャプチャできません。キャプチャされた値は不正です。

9.3.6.6 タイマ・ナノセコンド・レジスタ (ATIME)

本レジスタは、ナノ秒タイマの値を表します。ナノ秒タイマの時間の設定およびキャプチャした時間を取得することができます。

- アクセス　32 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ATIME	TMR																																4007 C124H 初期値 0000 0000H
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	

ビット位置	ビット名	意　味
31-0	TMR	ナノ秒タイマの設定値および読み取り値を表します。 本レジスタへのライト時： 　タイマに時間を設定します。 本レジスタへのリード時： 　最後にキャプチャした値を返します。現在の値を読み取るには、ATIME_CTRL レジスタのキャプチャコマンド（CAPTR ビット）を先に発行する必要があります。値の単位はナノ秒（ns）です。

注意 このレジスタに書き込む前に、秒の値を ATIME_SEC レジスタに設定しておく必要があります。

9.3.6.7　タイマ・オフセット補正レジスタ（ATIME_OFFSET）

本レジスタは、オフセット補正を行うために使用される値を設定します。オフセットの補正の方法は 2 種類あり、本レジスタに設定する値が異なります。

本レジスタへの書き込みでオフセット補正が開始されるため、補正の方法を確定させるために、先に ATIME_OFFS_CORR レジスタに値を設定しておく必要があります。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ATIME_OFFSET	OFFSET																																4007 C128H 初期値 0000 0000H
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	

ビット位置	ビット名	意　味
31-0	OFFSET	オフセット補正を行うために使用される値を設定します。 ● ATIME_OFFS_CORR レジスタがゼロの場合 オフセットさせたい値を書き込んで下さい。値の単位はナノ秒です。 本レジスタに値を書き込むと、書き込まれた値がすぐに現在のタイマの値に加算されます。負の値が書き込まれたときは、タイマの値は減算されます。 ● ATIME_OFFS_CORR レジスタがゼロでない場合 オフセット補正を行う回数を書き込んで下さい。 本レジスタに値を書き込むと、オフセット補正が開始されますが、書き込まれた値はすぐに現在のタイマの値に加算されません。オフセット補正が行われると、本レジスタの値は 1 つデクリメントされます。0 になるまでオフセット補正とレジスタのデクリメントを繰り返し、0 になるとオフセット補正は終了し、レジスタは 0 にリセットされます。 オフセットの間隔は、ATIME_OFFS_CORR レジスタで、オフセット値は ATIME_INC レジスタで指定します。

9.3.6.8 タイマ・周期イベント生成レジスタ (ATIME_EVT_PERIOD)

周期イベントを発生させる周期の値を設定します。ナノ秒タイマはこの時間に達した時、周期イベントが発生し、ナノ秒タイマが再起動します。値の単位はナノ秒（nsec）です。初期値は 10^9 [nsec]＝1[sec]です。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ATIME_EVT_PERIOD	TIMPEREVET																																4007 C12CH 初期値 3B9A CA00H
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	

ビット位置	ビット名	意　味
31-0	TIMPEREVET	周期イベントの周期。3B9A CA00H（1sec）を設定する必要があります。

注意 周期イベントは１秒に固定されており、この値から変更できません。変更した場合、正常にタイマが動作しなくなります。

9.3.6.9 タイマ・ドリフト補正レジスタ (ATIME_CORR)

ドリフト補正で適用される補正周期をクロックサイクル数で設定します。補正量は ATIME_INC レジスタで指定します。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ATIME_CORR	(RESERVED)	DRIFCORVAL																															4007 C130H 初期値 0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
30-0	DRIFCORVAL	ドリフト補正が行われる周期。125MHz(8ns)のクロックサイクル数で設定してください。

注意 補正値は、マスタとスレーブの発振器の間の周波数偏差(ppm)の逆数です。値の単位はクロックサイクルです。ナノ秒でありません。

9.3.6.10 タイマ・インクリメント・レジスタ (ATIME_INC)

タイマのオフセット補正およびドリフト補正に使用される補正量を設定します。

- アクセス 32 ビット単位でリード/ライト・アクセス可能です。

	31 30 29 28 27 26 25 24	23 22 21 20 19 18 17 16	15	14 13 12 11 10 9 8	7	6 5 4 3 2 1 0	アドレス
ATIME_INC	(RESERVED)	OFFSCORRINC	(RESERVED)	CORRINC	(RESERVED)	CLKPERD	4007 C134H
R/W	R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W R/W R/W R/W R/W	R/W	R/W R/W R/W R/W R/W R/W R/W	R/W	R/W R/W R/W R/W R/W R/W R/W	初期値 0000 0000H

ビット位置	ビット名	意 味
31-23	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
22-16	OFFSCORRINC	オフセット補正における補正量を設定します。 ATIME_OFFS_CORRレジスタで設定されたクロックサイクル数ごとにこの値が加算されます。
15	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
14-8	CORRINC	ドリフト補正におけるクロック周期の補正量を設定します。 ATIME_CORRレジスタで設定された補正周期ごとにこの値が加算されます。このビットの値がCLKPERDビットの値よりも小さい場合、タイマのカウントは遅くなります。CLKPERDビットの値よりも大きい場合、タイマのカウントは早くなります。
7	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
6-0	CLKPERD	タイムスタンプ採取用のクロックの周期をナノ秒で設定します。必ず8ns（001000b）を設定してください。本LSIでは125MHzで動作しており他の値に変更できません。 タイマは、クロック･サイクルごとに、この値の時間だけ増加します。

9.3.6.11 タイマ・セコンド・レジスタ (ATIME_SEC)

本レジスタは、秒タイマの値を表します。秒タイマの時間の設定およびキャプチャした時間を取得することができます。ナノ秒タイマが 10^9[nsec]に達したときに秒タイマはインクリメントされます。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ATIME_SEC	SECTIM																																4007 C138H 初期値 0000 0000H
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	

ビット位置	ビット名	意　味
31-0	SECTIM	秒タイマの設定値および読み取り値を表します。 本レジスタへのライト時： タイマに時間を設定します。ただし、本レジスタをライトした時点では、本レジスタの更新は行われず、ローカルレジスタに値を格納しています。その後 ATIME レジスタがライトされると、ローカルレジスタの値が本レジスタに取り込まれます。 本レジスタへのリード時： 最後にキャプチャした値を返します。現在の値を読み取るには、ATIME_CTRL レジスタのキャプチャコマンド（CAPTR ビット）を先に発行する必要があります。値の単位は秒（sec）です。

9.3.6.12 タイマ・オフセット補正カウント・レジスタ (ATIME_OFFS_CORR)

オフセット補正を適用する間隔を設定します。ATIME_OFFSET レジスタとともに使用され、オフセット追加による時間の変化を長期間に分散させることにより、時間の急激な変化を避け、ジッタを小さく抑えることが可能です。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ATIME_OFFS_CORR	OFFCOR																																4007 C13CH 初期値 0000 0000H
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	

ビット位置	ビット名	意　味
31-0	OFFCOR	オフセット補正の適用間隔を設定します。125MHz のクロックのサイクル数で指定します。

9.3.6.13　タイマ出力許可レジスタ（SWTMEN）

本レジスタで、時刻同期タイマパルス出力（ETHSWSYNCOUT 信号）の許可を設定します。

注意. 必ず以下のレジスタを事前にの設定した後、本レジスタで出力許可にしてください。
SWTMSTSECL、SWTMSTSECH、SWTMSTNSL、SWTMSTNSH
SWTMPSECL、SWTMPSECH、SWTMPNSL、SWTMPNSH、
SWTMWTH、SWTMMAXPL、SWTMMAXPH

- アクセス　　32 ビット/16 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SWTMEN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OUTEN	BASE + 1100H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	初期値
																																	0000 0000H

ビット位置	ビット名	意　味
0	OUTEN	ETHSWSYNCOUT 信号の出力の許可設定を行います。 0：出力禁止 1：出力許可

9.3.6.14　タイマセコンド開始設定レジスタ（SWTMSTSECL/H）

本レジスタで、秒単位の ETHSWSYNCOUT 信号出力の開始時間を設定します。

- アクセス　　32 ビット/16 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SWTM STSECL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TMSTSEC15-0																BASE + 1110H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W																初期値
																																	0000 0000H
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SWTM STSECH	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TMSTSEC31-16																BASE + 1114H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W																初期値
																																	0000 0000H

ビット位置	ビット名	意　味
15-0	TMSTSEC31-0	秒単位の ETHSWSYNCOUT 信号出力の開始時間を設定します。

9.3.6.15 タイマナノセコンド開始設定レジスタ（SWTMSTNSL/H）

本レジスタで、ナノ秒単位の ETHSWSYNCOUT 信号出力の開始時間を設定します。

- アクセス 32 ビット/16 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15-0	アドレス
SWTMSTNSL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TMSTNS15-0	BASE + 1118H 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15-0	アドレス
SWTMSTNSH	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TMSTNS31-16	BASE + 111CH 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	

ビット位置	ビット名	意 味
15-0	TMSTNS31-0	ナノ秒単位の ETHSWSYNCOUT 信号出力の開始時間を設定します。

9.3.6.16 タイマセコンド周期設定レジスタ（SWTMPSECL/H）

本レジスタで、秒単位の ETHSWSYNCOUT 信号出力の周期を設定します。

- アクセス 32 ビット/16 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15-0	アドレス
SWTMPSECL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TMPSEC15-0	BASE + 1120H 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15-0	アドレス
SWTMPSECH	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TMPSEC31-16	BASE + 1124H 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	

ビット位置	ビット名	意 味
15-0	TMPSEC31-0	秒単位の ETHSWSYNCOUT 信号出力の周期を設定します。

9.3.6.17　タイマナノセコンド周期設定レジスタ（SWTMPNSL/H）

本レジスタで、ナノ秒単位の ETHSWSYNCOUT 信号出力の周期を設定します。本レジスタは ATIME_EVT_PREIOD レジスタで設定した 1 秒に対して周期の分周関係になる値を設定してください。

注意 1. 必ず ETHSWSYNCOUT 信号を出力許可にする前に、本レジスタの設定を行ってください。
2. 本レジスタの設定は 16ns（10H）以上で設定してください。

- アクセス　　32 ビット/16 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15-0	アドレス
SWTMPNSL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TMPNS15-0	BASE + 1128H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	初期値 0000 CA00H

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15-0	アドレス
SWTMPNSH	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TMPNS31-16	BASE + 112CH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	初期値 0000 3B9AH

ビット位置	ビット名	意　味
15-0	TMPNS31-0	ナノ秒単位の ETHSWSYNCOUT 信号出力の周期を設定します。 8ns の倍数で設定してください。

9.3.6.18　タイマパルス幅設定レジスタ（SWTMWTH）

本レジスタで、ETHSWSYNCOUT 信号出力のパルス幅を設定します。ETHSWSYNCOUT 信号を割り込み信号として使用する場合は、初期値から変更しないでください。ETHSWSYNCOUT 信号を外部信号として使用する場合は、適切な幅を設定してください。

注意. 必ず ETHSWSYNCOUT 信号を出力許可に設定する前に、本レジスタの設定を行ってください。

- アクセス　　32 ビット/16 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15-0	アドレス
SWTMWTH	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TMWTH15-0	BASE + 1130H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	初期値 0000 0003H

ビット位置	ビット名	意　味
15-0	TMWTH15-0	ETHSWSYNCOUT 信号出力のパルス幅を設定します。8ns の倍数で設定してください。 本レジスタを 0H に設定した場合には、ETHSWSYNCOUT 信号は 0 固定になります。

9.3.6.19　タイマ最大カウント設定レジスタ（SWTMMAXPL/H）

本レジスタで、カウンタの最大値（1 秒）を設定します。本レジスタには、ATIME_EVT_PERIOD レジスタの値と同一の設定をしてください。

- アクセス　　32 ビット/16 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SWTM MAXPL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TMMAXP15-0																BASE + 1134H 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W																
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SWTM MAXPH	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TMMAXP31-16																BASE + 1138H 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W																

ビット位置	ビット名	意　味
15-0	TMMAXP31-0	ATIME_EVT_PERIOD レジスタ設定値（3B9A CA00H）を設定します。 TMMAXP31-16：3B9AH TMMAXP15-0　：CA00H

9.3.6.20　タイマセコンド時刻保持レジスタ（SWTMLATSEC）

本レジスタは、ETHSWSYNCOUT 信号の立ち上がり時に、スイッチ内蔵の IEEE1588 タイマの sec カウント値を保存します。ETHSWSYNCOUT 信号が立ち上がる度にレジスタの値を更新します。

- アクセス　　32 ビット単位でリード・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SWTM LATSEC	TMLATSEC31-0																																BASE + 1140H 初期値 0000 0000H
R/W	R																																

ビット位置	ビット名	意　味
31-0	TMLATSEC31-0	ETHSWSYNCOUT 信号の立ち上がり時の秒カウント値をラッチします。

9.3.6.21 タイマナノセコンド時刻保持レジスタ（SWTMLATNS）

本レジスタは、ETHSWSYNCOUT 信号の立ち上がり時に、スイッチ内蔵の IEEE1588 タイマの ns カウント値を保存します。ETHSWSYNCOUT 信号が立ち上がる度にレジスタの値を更新します。

- アクセス　　32 ビット単位でリード・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SWTMLATNS	TMLATNS31-0																																BASE + 1144H 初期値 0000 0000H
R/W	R																																

ビット位置	ビット名	意　味
31-0	TMLATNS31-0	ETHSWSYNCOUT 信号の立ち上がり時のナノ秒カウント値をラッチします。

9.3.7 DLR モジュール・レジスタ

9.3.7.1 DLR コントロール・レジスタ (DLR_CONTROL)

DLR の設定を行います。

- アクセス 32 ビット単位でリード/ライト・アクセス可能です。

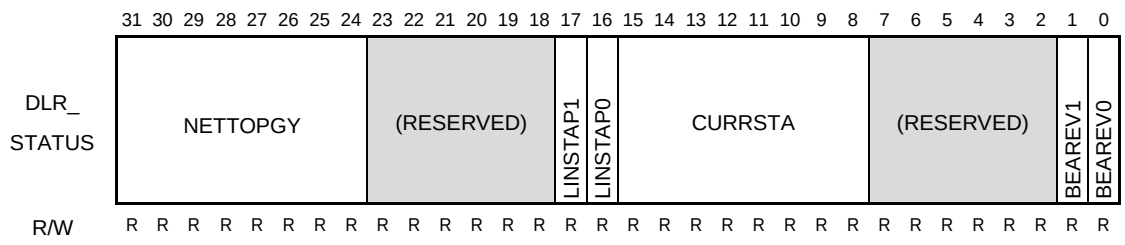
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
DLR_CONTROL	(RESERVED)																CYCMCLK								(RESERVED)			BECTIMOUT	(RESERVED)			DLRENA	4007 E000H 初期値 0000 3200H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味
31-16	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
15-8	CYCMCLK	1 マイクロ秒に必要なクロック数を設定します。 本 LSI の DLR モジュールは 100MHz で動作しますので、常に 0x64 を設定してください。 初期値から変更が必要です。
7-5	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
4	BECTIMOUT	不正なタイムアウトタイマの値を持つビーコンフレームを無視することができます。 タイムアウトタイマの値が 200 マイクロ秒から 500 ミリ秒の範囲に含まれていない場合、そのビーコンフレームは無視され、パラメータはローカルデバイスに取り込まれません。ただし、このビットの設定に関わらず、タイムアウトタイマの値が不正である場合は、常にその値が INV_TMOUT レジスタに取り込まれます。無視したフレームは、通常通りハブを通して転送されます。 0：無視しない 1：無視する
3-1	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
0	DLRENA	DLR 機能を有効/無効に設定します。 0：無効 1：有効

9.3.7.2 DLR ステータス・レジスタ (DLR_STATUS)

DLR リングノードのステータスを示します。

- アクセス 32 ビット単位でリード・アクセス可能です。



ビット位置	ビット名	意 味
31-24	NETTOPGY	現在のネットワークトポロジを示します。 0x0：ラインドポロジ（ローカルノードが IDLE 状態） 0x1：リングトポロジ（ローカルノードが IDLE 状態ではない） その他：未使用
23-18	(RESERVED)	Reserved (リードは無視して下さい。)
17	LINSTAP1	ポート 1 のリンク状態を示します。 0：リンクダウン 1：リンクアップ
16	LINSTAP0	ポート 0 のリンク状態を示します。 0：リンクダウン 1：リンクアップ
15-8	CURRSTA	ローカルノードの現在の状態を示します。 0x0：IDLE_STATE 0x1：NORMAL_STATE 0x2：FAULT_STATE その他：未使用
7-2	(RESERVED)	Reserved (リードは無視して下さい。)
1	BEAREV1	ポート 1 でアクティブスーパバイザからビーコンフレームを受信したことを示します。 0：未受信 1：受信
0	BEAREV0	ポート 0 でアクティブスーパバイザからビーコンフレームを受信したことを示します。 0：未受信 1：受信

9.3.7.3 DLR イーサタイプ・レジスタ (DLR_ETH_TYP)

DLR フレームを検出するためのイーサネットタイプを設定します。この値と受信フレームのタイプフィールドを比較し、DLR フレームの検出を行います。

- アクセス 32 ビット単位でリード/ライト・アクセス可能です。

	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス
DLR_ETH_TYP	(RESERVED)	ETHTYPDLR	4007 E008H 初期値 0000 80E1H
R/W	R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W	

ビット位置	ビット名	意 味
31-16	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
15-0	ETHTYPDLR	DLR フレームを検出するためのイーサネットタイプを設定します。

9.3.7.4　DLR 割り込みコントロール・レジスタ (DLR_IRQ_CTRL)

DLR による割り込みの発生を制御します。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
DLR_IRQ_CTRL	ATOMICAND	ATOMICOR	(RESERVED)														IRQFRMDSP1	IRQFRMDSP0	IRQBECENA1	IRQBECENA0	IRQINVTMREN	IRQIPADDREN	IRQSUPIGENA	IRQLINKENA1	IRQLINKENA0	IRQSUPENA	IRQBECENA1	IRQBECENA0	IRQSTOPP1	IRQSTOPP0	IRQFLUENA	IRQCHNGENA	4007 E00CH 初期値 0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31	ATOMICAND	レジスタ書き込み時に、本ビットの設定値と本レジスタのイネーブル設定ビットが AND 演算されて書き込まれます。 0：全てのビットが 0 にクリアされます。 1：通常のライト動作
30	ATOMICOR	レジスタ書き込み時に、本ビットの設定値と本レジスタのイネーブル設定ビットが OR 演算されて書き込まれます。 0：通常のライト動作 1：全てのビットが 1 に設定されます。
29-16	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
15	IRQFRMDSP1	ポート 1 においてローカルアドレスと送信元アドレスが一致することによりフレームが破棄されたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。
14	IRQFRMDSP0	ポート 0 においてローカルアドレスと送信元アドレスが一致することによりフレームが破棄されたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。
13	IRQBECENA1	ポート 1 においてビーコンフレームが検出されたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。
12	IRQBECENA0	ポート 0 においてビーコンフレームが検出されたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。
11	IRQINVTMREN	ビーコンタイムアウトタイマの値が既定の範囲から外れたフレームが検出されたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。
10	IRQIPADDREN	リング・スーパバイザから出力されたビーコンフレーム内の IP アドレスが変更されたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。

ビット位置	ビット名	意　味
9	IRQSUPIGENA	現在のリング・スーパバイザより低い優先順位、あるいは優先順位が同じ場合にはより小さい値の MAC アドレスを持つビーコンフレームが検出されたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。
8	IRQLINKENA1	ポート 1 のリンク状態が変化したときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。
7	IRQLINKENA0	ポート 0 のリンク状態が変化したときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。
6	IRQSUPENA	リングスーパバイザが変更されたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。
5	IRQBECENA1	ポート1でビーコンタイムアウトタイマがタイムアウトを起こしたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。
4	IRQBECENA0	ポート0でビーコンタイムアウトタイマがタイムアウトを起こしたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。
3	IRQSTOPP1	ポート 1 に対して、ネイバーチェックタイムアウトタイマの動作を停止させる必要があるときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。
2	IRQSTOPP0	ポート 0 に対して、ネイバーチェックタイムアウトタイマの動作を停止させる必要があるときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。
1	IRQFLUENA	ローカル MAC アドレスをラーニングテーブルから消去する必要があるときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。
0	IRQCHNGENA	ローカルのビーコンベースの DLR リングノードで状態の変化が発生したときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。 注：割り込みサービスルーチンは、ビーコンフレームのパラメータを再読み込みしてからビットをクリアする必要があります。

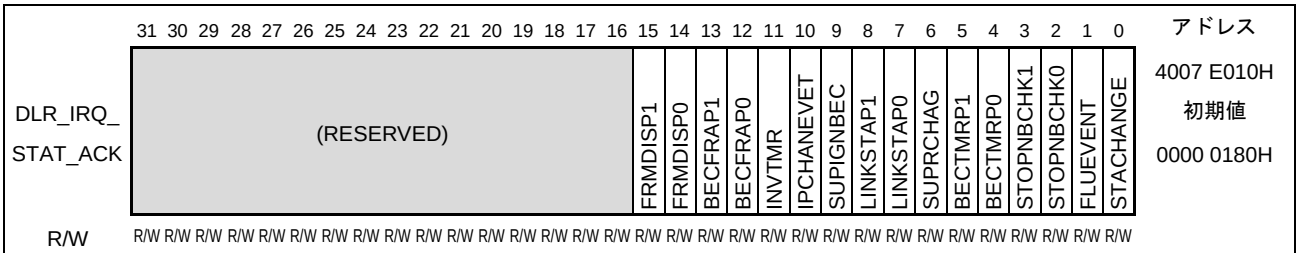
9.3.7.5 DLR 割り込みステータス／アクノリッジ・レジスタ (DLR_IRQ_STAT_ACK)

DLR 割り込みのステータス確認とアクノリッジを行います。

本レジスタをリードすることででステータスの確認ができます。1 がイベントが発生したことを表し、0 が発生していないことを表します。

本レジスタを 1 でライトすることでアクノリッジして割り込みはクリアされます。また、同時にビットの値はクリアされます。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。



ビット位置	ビット名	意　味
31-16	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
15	FRMDISP1	ポート 1 においてローカルアドレスと送信元アドレスが一致することによりフレームが破棄されたことを示します。
14	FRMDISP0	ポート 0 においてローカルアドレスと送信元アドレスが一致することによりフレームが破棄されたことを示します。
13	BECFRAP1	ポート 1 においてビーコンフレームが検出されたことを示します。
12	BECFRAP0	ポート 0 においてビーコンフレームが検出されたことを示します。
11	INVTMR	ビーコンタイムアウトタイマの値が既定の範囲から外れたフレームが検出されたことを示します。
10	IPCHANEVET	リング・スーパバイザから出力されたビーコンフレーム内の IP アドレスが変更されたことを示します。
9	SUPIGNBEC	現在のリング・スーパバイザより低い優先順位、あるいは優先順位が同じ場合にはより小さい値の MAC アドレスを持つビーコンフレームが検出されたことを示します。
8	LINKSTAP1	ポート 1 のリンク状態が変化したことを示します。
7	LINKSTAP0	ポート 0 のリンク状態が変化したことを示します。
6	SUPRCHAG	リングスーパバイザが変更されたことを示します。
5	BECTMRP1	ポート 1 でビーコンタイムアウトタイマがタイムアウトを起こしたことを示します。
4	BECTMRP0	ポート 0 でビーコンタイムアウトタイマがタイムアウトを起こしたことを示します。
3	STOPNBCHK1	ポート 1 に対して、ネイバーチェックタイムアウトタイマの動作を停止させる必要があることを示します。
2	STOPNBCHK0	ポート 0 に対して、ネイバーチェックタイムアウトタイマの動作を停止させる必要があることを示します。
1	FLUEVENT	ローカル MAC アドレスをラーニングテーブルから消去する必要があることを示します。
0	STACHANGE	ローカルのビーコンベースの DLR リングノードで状態の変化が発生したことを示します。

注意 各ビットに記載のイベントが発生すると、DLR_IRQ_CONTROL レジスタの設定に関わらず、該当イベントのビットは 1 にラッチされます。

9.3.7.6　DLR ローカル MAC アドレス low レジスタ (LOC_MAClo)

ループフィルタで使用されるローカル MAC アドレスを指定します。LOC_MAClo レジスタには、MAC アドレスの最初の 4 オクテットを、LOC_MAChi レジスタに、残りの 2 オクテットを設定します。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

	31 30 29 28 27 26 25 24	23 22 21 20 19 18 17 16	15 14 13 12 11 10 9 8	7 6 5 4 3 2 1 0	アドレス
LOC_MAClo	MACADD4	MACADD3	MACADD2	MACADD1	4007 E014H 初期値 0000 0000H
R/W	R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W R/W R/W R/W R/W	

ビット位置	ビット名	意　味
31-24	MACADD4	ローカル MAC アドレスの第 4 バイトを設定します。
23-16	MACADD3	ローカル MAC アドレスの第 3 バイトを設定します。
15-8	MACADD2	ローカル MAC アドレスの第 2 バイトを設定します。
7-0	MACADD1	ローカル MAC アドレスの第 1 バイトを設定します。

9.3.7.7　DLR ローカル MAC アドレス high レジスタ (LOC_MAChi)

ループフィルタで使用されるローカル MAC アドレスを指定します。LOC_MAClo レジスタには、MAC アドレスの最初の 4 オクテットを、LOC_MAChi レジスタに、残りの 2 オクテットを設定します。

- アクセス　　32 ビット単位でリード/ライト・アクセス可能です。

	31 30 29 28 27 26 25 24	23 22 21 20 19 18 17 16	15 14 13 12 11 10 9 8	7 6 5 4 3 2 1 0	アドレス
LOC_MAChi	(RESERVED)		MACADD6	MACADD5	4007 E018H 初期値 0000 0000H
R/W	R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W R/W R/W R/W R/W	

ビット位置	ビット名	意　味
31-16	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
15-8	MACADD6	ローカル MAC アドレスの第 6 バイトを設定します。
7-0	MACADD5	ローカル MAC アドレスの第 5 バイトを設定します。

9.3.7.8 DLR スーパバイザ MAC アドレス low レジスタ (SUPR_MAClo)

ビーコンフレームの宛先アドレスフィールドから抽出されたアクティブリングスーパバイザの MAC アドレスの最初の 4 オクテットを示します。

- アクセス 32 ビット単位でリード・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SUPR_MAClo	MACADD4								MACADD3								MACADD2								MACADD1								4007 E020H 初期値 0000 0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意 味
31-24	MACADD4	アクティブリングスーパバイザの MAC アドレスの第 4 バイトを示します。
23-16	MACADD3	アクティブリングスーパバイザの MAC アドレスの第 3 バイトを示します。
15-8	MACADD2	アクティブリングスーパバイザの MAC アドレスの第 2 バイトを示します。
7-0	MACADD1	アクティブリングスーパバイザの MAC アドレスの第 1 バイトを示します。

9.3.7.9 DLR スーパバイザ MAC アドレス high レジスタ (SUPR_MAChi)

ビーコンフレームの宛先アドレスフィールドから抽出されたアクティブなリングスーパバイザの MAC アドレスの最後の 2 オクテットを示します。また、スーパバイザの優先順位も示します。

- アクセス 32 ビット単位でリード・アクセス可能です。

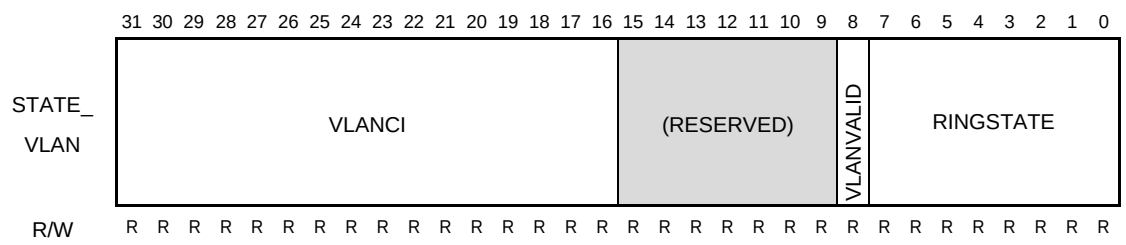
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SUPR_MAChi	(RESERVED)								SUPRPRE								MACADD6								MACADD5								4007 E024H 初期値 0000 0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意 味
31-24	(RESERVED)	Reserved (リードは無視して下さい。)
23-16	SUPRPRE	リング･スーパバイザの優先順位値を示します。
15-8	MACADD6	アクティブリングスーパバイザの MAC アドレスの第 6 バイトを示します。
7-0	MACADD5	アクティブリングスーパバイザの MAC アドレスの第 5 バイトを示します。

9.3.7.10 DLR リングステータス/VLAN レジスタ (STATE_VLAN)

DLR のリングの状態と VLAN ID を示します。ビーコンフレームのリングステート・フィールド、VLAN コントロール・インフォメーション・フィールドから抽出されます。

- アクセス 32 ビット単位でリード・アクセス可能です。



ビット位置	ビット名	意 味
31-16	VLANCI	802.1Q VLAN タグのコントロールフィールドを示します。 ビーコンフレームの VLAN コントロール・インフォメーション・フィールドの値です。DLR の VLAN ID を含みます。
15-9	(RESERVED)	Reserved (リードは無視して下さい。)
8	VLANVALID	VLAN が有効であることを示します。有効である場合、VLANCI ビットには有効な VLAN ID が含まれています。 0：無効 1：有効
7-0	RINGSTATE	DLR のリングの状態を示します。ビーコンフレームのリング状態（Ring State）フィールドの値です。 0x1：RING_NORMAL_STATE 0x2：RING_FAULT_STATE その他：未使用

9.3.7.11 DLR ビーコンタイムアウトタイマ・レジスタ (BEC_TMOUT)

ビーコンフレームのタイムアウトタイマ値を示します。ビーコンフレームのビーコンタイムアウト・フィールドから抽出されます。

- アクセス 32 ビット単位でリード・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
BEC_TMOUT	BECTMOUT																																4007 E02CH 初期値 0000 0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意 味
31-0	BECTMOUT	ビーコンタイムアウトタイマ値を示します。単位はマイクロ秒[μsec]です。 DLR_CONTROL レジスタのビット 4 （BECTIMOUT ビット）が 1 にセットされている場合、不正なタイムアウトタイマの値は、このレジスタに書き込まれません。また、状態遷移も考慮されません。 正常な期待値は 200 マイクロ秒から、500 ミリ秒の範囲内です。一般的な値は 1960 マイクロ秒です。

9.3.7.12 DLR ビーコンインターバル・レジスタ (BEC_INTRVL)

ビーコンフレームの間隔を示します。ビーコンフレームのビーコンインターバル・フィールドから抽出されます。

- アクセス 32 ビット単位でリード・アクセス可能です。

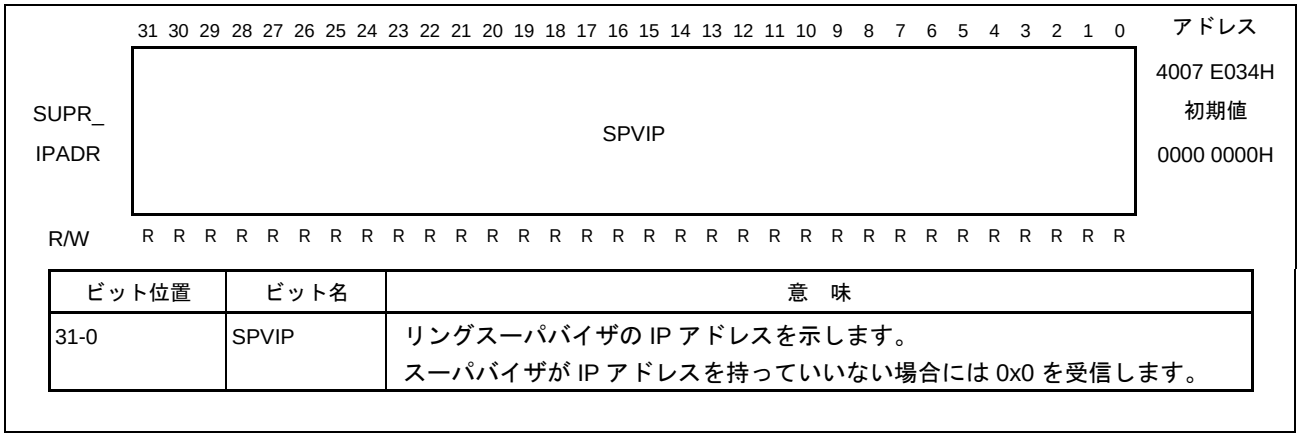
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
BEC_INTRVL	BECINTVAL																																4007 E030H 初期値 0000 0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意 味
31-0	BECINTVAL	ビーコンフレームの間隔を示します。単位はマイクロ秒[μsec]です。 期待値は 100 マイクロ秒から、100 ミリ秒の範囲内です。一般的な値は 400 マイクロ秒です。

9.3.7.13 DLR スーパバイザ IP アドレス・レジスタ (SUPR_IPADR)

リングスーパバイザの IP アドレスを示します。ビーコンフレームのソース IP アドレスフィールドから抽出されます。

- アクセス 32 ビット単位でリード・アクセス可能です。

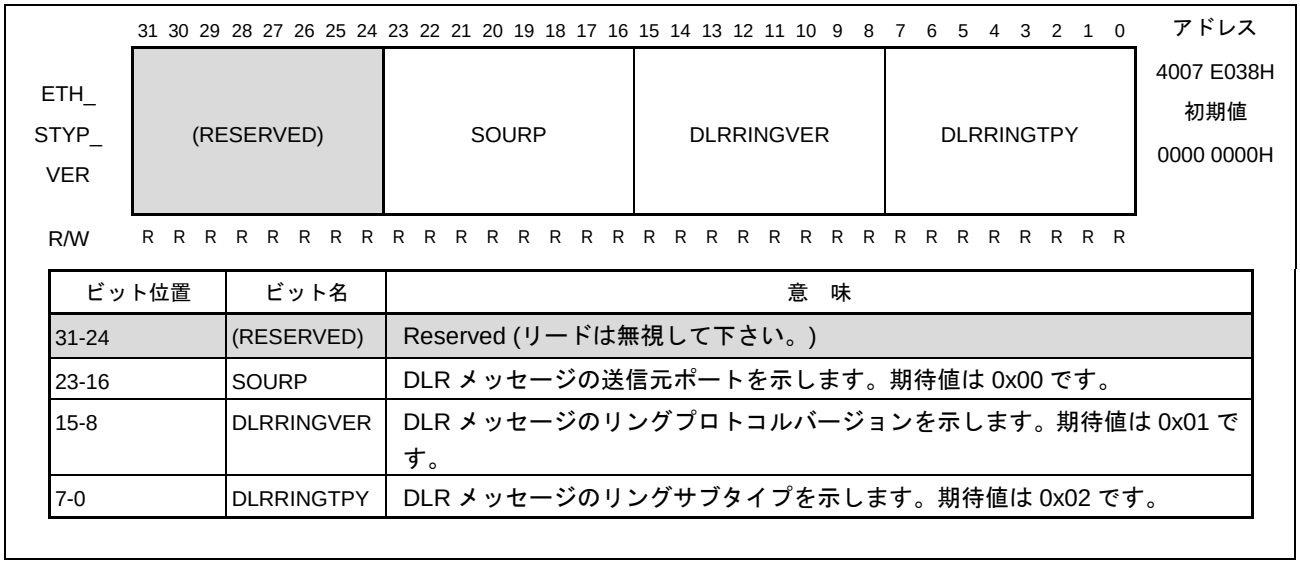


ビット位置	ビット名	意 味
31-0	SPVIP	リングスーパバイザの IP アドレスを示します。 スーパバイザが IP アドレスを持っていいない場合には 0x0 を受信します。

9.3.7.14 DLR サブタイプ/プロトコルバージョン・レジスタ (ETH_STYP_VER)

DLR メッセージの情報を示します。ビーコンフレームの対応するフィールドから抽出されます。

- アクセス 32 ビット単位でリード・アクセス可能です。



ビット位置	ビット名	意 味
31-24	(RESERVED)	Reserved (リードは無視して下さい。)
23-16	SOURP	DLR メッセージの送信元ポートを示します。期待値は 0x00 です。
15-8	DLRRINGVER	DLR メッセージのリングプロトコルバージョンを示します。期待値は 0x01 です。
7-0	DLRRINGTPY	DLR メッセージのリングサブタイプを示します。期待値は 0x02 です。

9.3.7.15 DLR ビーコン不正タイムアウトタイマ・レジスタ (INV_TMOUT)

規定の範囲外のタイムアウトタイマ値を示します。既定の範囲外である不正なタイムアウトタイマ値を持つビーコンフレームを受信したときに、そのタイムアウトタイマ値が抽出され、本レジスタに格納されます。

- アクセス　　32 ビット単位でリード・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
INV_TMOUT	INVBECTMOUT																																4007 E03CH 初期値 0000 0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意　味
31-0	INVBECTMOUT	既定の範囲外である不正なタイムアウトタイマ値を持つフレームのタイムアウトタイマ値を示します。単位はマイクロ秒[μsec]です。200 マイクロ秒から 500 ミリ秒の範囲に無いビーコンタイムアウトタイマ値が対象となります。範囲外のビーコンタイムアウトタイマ値を持つフレームを受信する度に、常にこのレジスタは新しい値に更新されます。IRQ_STAT_ACK レジスタのビット 11 が 1 にアサートされているとき、本レジスタに含まれている値は有効です。

9.3.7.16 DLR シーケンス ID レジスタ (SEQ_ID)

ビーコンフレームのシーケンス ID を示します。ビーコンフレームのシーケンス ID フィールドから抽出されます。

- アクセス　　32 ビット単位でリード・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SEQ_ID	SEQID																																4007 E040H 初期値 0000 0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意　味
31-0	SEQID	ポート 0 かポート 1 で受信した直近のビーコンフレームのシーケンス ID を示します。不正なタイムアウトタイマ値のためフレームが無視された場合、そのシーケンス ID は本レジスタには格納されません。

9.3.7.17 DLR MAC 統計カウンタ

DLR モジュールで処理するビーコンフレームの統計値をレジスタに格納しています。
全てのレジスタが 32 ビット、リードオンリー、初期値 0000 0000H です。

アドレス	略号	内容
4007 E060H + 0010H*n	RX_STATn	ポート n で受信した、ビーコンフレームの数。 デスティネーションアドレス、イーサタイプ、DLR フレームタイプ、CRC が一致するビーコンフレームの数をカウントします。不一致の場合はカウントされません。 DLR モジュールがオフにされると、カウンタはクリアされます。
4007 E064H + 0010H*n	RX_ERR_STATn	ポート n で受信した、CRC エラーのビーコンフレームの数。 デスティネーションアドレス、イーサタイプ、DLR フレームタイプ、が一致するが、CRC エラーのビーコンフレームの数をカウントします。 DLR モジュールがオフにされると、カウンタはクリアされます。
4007 E068H + 0010H*n	TX_STATn	ポート n からポート m にハブを通って転送されるビーコンフレームの数。 DLR モジュールがオフにされると、カウンタはクリアされます。

備考 n=0-1
n=0 のとき m=1、n=1 のとき m=0 です。

9.4 機能説明

9.4.1 スイッチング・エンジン

9.4.1.1 概要

イーサネット・スイッチは、以下の機能を実装しています。

- 入力フレーム解析と優先度の抽出
- 出力ポート判定
- フレーム・キューイング
- 出力キューのスケジューリング

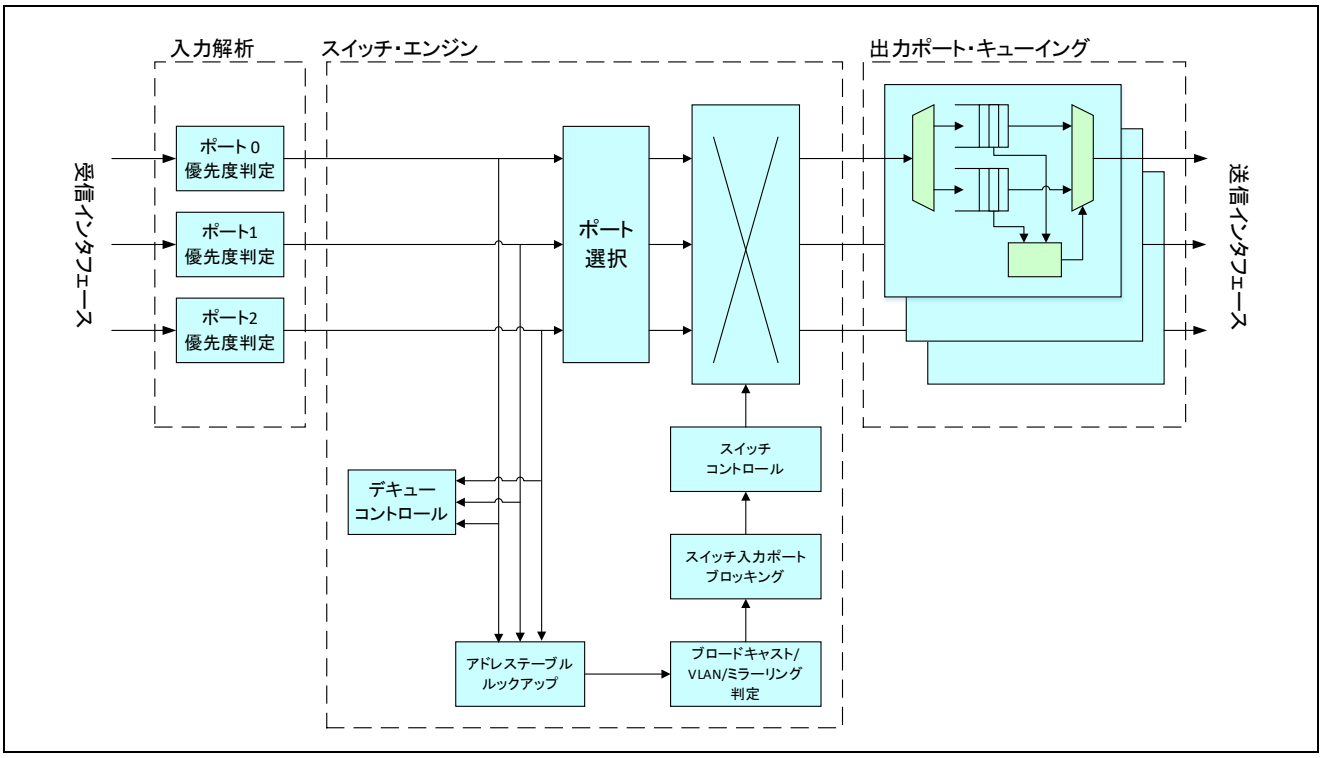


図9.2 スイッチ・エンジン概略図

9.4.1.2 フレームの分類と優先度処理

(1) 概要

入力ポートでフレームが受信されると、フレームのタイプを判定し、タイプごとに分類するために、MAC アドレスや VLAN タグ、IP ヘッダなどの幾つかの情報がフレームから抽出されます。

フレームは最大 8 段階の優先度で分類されており（VLAN の場合）、その優先度は、任意の出力の優先度にマッピングし直すことが可能です。フレームは出力ポートにおいて、優先度に応じたキューに格納されます。フレームがポートに割り当てられた出力キューよりも高い優先度を持つ場合、フレームは最も優先度の高いキューに格納されます。

(2) VLAN プライオリティ・ルックアップ

各ポートには、8 エントリーのプログラム可能な優先度テーブルが実装されています。VLAN_PRIORITYn レジスタにポート n（n=0..2）に対する優先度のマッピングが含まれており、3 ビットの VLAN プライオリティ・フィールドで最終的な優先度をマッピングすることができます。

マッピングテーブルのインデックスは、VLAN タグデータの第一オクテットのビット 7-5 の 3 ビットで構成されています。LSB がビット 5、MSB がビット 7 です。マッピング先の優先度は 4 段階で、値が 0 の時が最も優先度が低く、3 の時が最も優先度が高くなります。

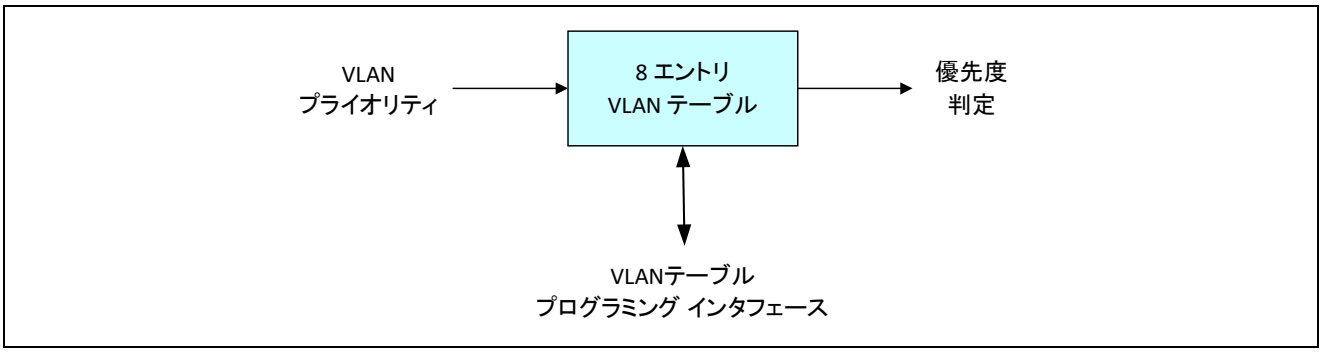


図9.3 VLAN プライオリティ・テーブルの概要

(3) IPv4／IPv6 プライオリティ・ルックアップ

IPv4 と IPv6 の両方のフレームの優先度の分類が可能です。ポート毎に IPv4 のフレームに対して 64 エントリのルックアップ・テーブルが、IPv6 のフレームに対しては 256 エントリのルックアップ・テーブルが実装されています。IP_PRIORITYn レジスタによりルックアップ・テーブルを設定します。

IPv4 の COS（Class of Service）テーブルのエントリでは、6 ビットの DiffServ フィールドを入力として、テーブルは 2 ビットの優先度を返します。

IPv6 の COS テーブルのエントリでは、8 ビットの Class of Service フィールドを入力として、テーブルは 2 ビットの優先度を返します。

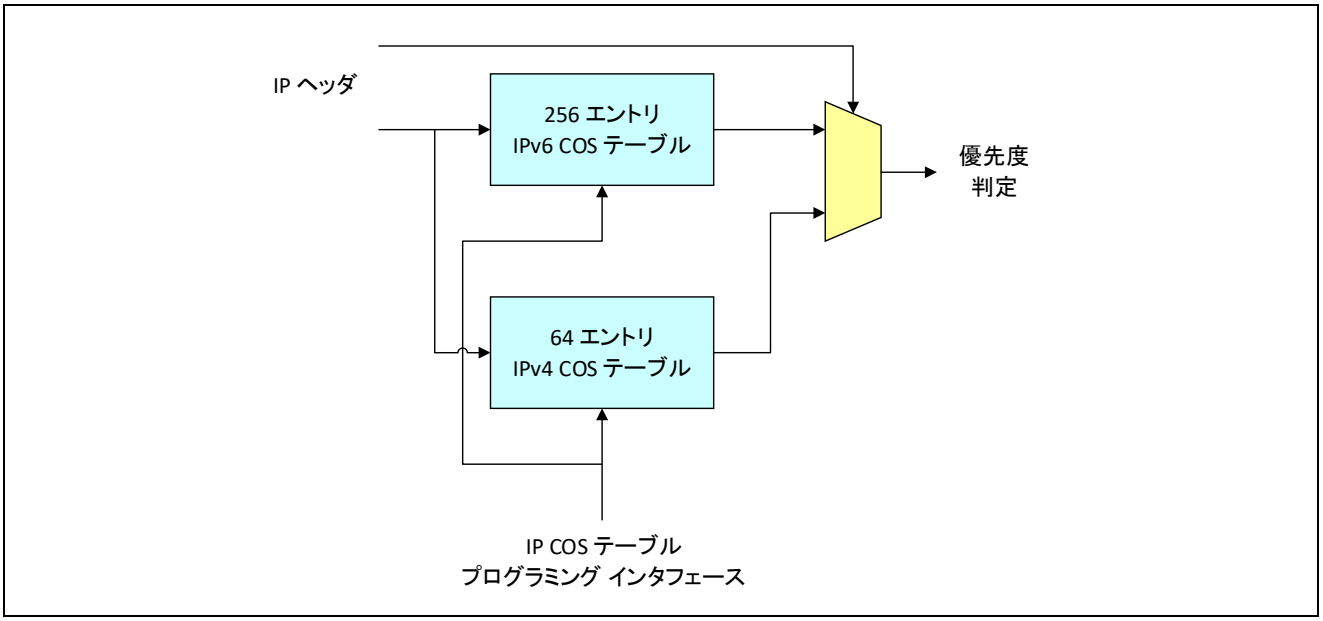


図9.4 IP COS テーブルの概要

(4) 優先度判定

PRIORITY_CFGn レジスタにプログラミングすることで、ポート毎に独立して、優先度の判定が可能となります。PRIORITY_CFGn レジスタで、VLAN や IP や MAC アドレスに基づいた優先度の分類を有効に、あるいは無効に設定することができます。

優先度は以下のルールに従って判定され、有効にされている分類方法やフレームで見つかるフィールドにより処理が異なります。

- IP プライオリティによる優先度判定を有効にし、かつ IP ヘッダが見つかった場合、IP_PRIORITYn レジスタにより、優先度がマッピングされます。
- 上記でなく、VLAN プライオリティによる優先度判定を有効にし、かつ VLAN タグが見つかった場合、VLAN_PRIORITYn レジスタにより、優先度がマッピングされます。
- さらに上記でない場合、PRIORITY_CFG レジスタに設定されているデフォルトの優先度が使用されます。

9.4.1.3 入力ポートの選択

ポート選択回路では、常時ポーリングにより全ての入力ポートをチェックして、利用可能なデータが存在しないか確認しています。もしデータがあれば、そのポートが選択され、フレームがそのポートから読み込まれます。フレームの読み込み後は、たとえそのポートにさらにデータがあった場合でも、別のポートが選択されます。

つまり、MAC のような FIFO 入力インタフェースで動作するアプリケーションにとって、連続でフレームをスイッチに送信することはできません。フレームを 1 つ送信した後は、再度ポートが選択されるのを待たなければなりません。

9.4.1.4 レイヤ 2・ルックアップエンジン

(1) 概要

ハッシュコードは、フレームの宛先 MAC アドレスを使用して計算されます。ハッシュコードはテーブルのエントリ（アドレス）として用いられます。テーブルには、各ハッシュ値に対して、MAC アドレスとその宛先のポート番号や有効性情報が含まれています。

1 つのハッシュコード値で複数の MAC アドレスを表すことができるため、メモリにはハッシュコードのポインタ毎に、最大 8 つの MAC アドレスのエントリを実装しています。その 8 エントリにはリニアサーチが適用されます。

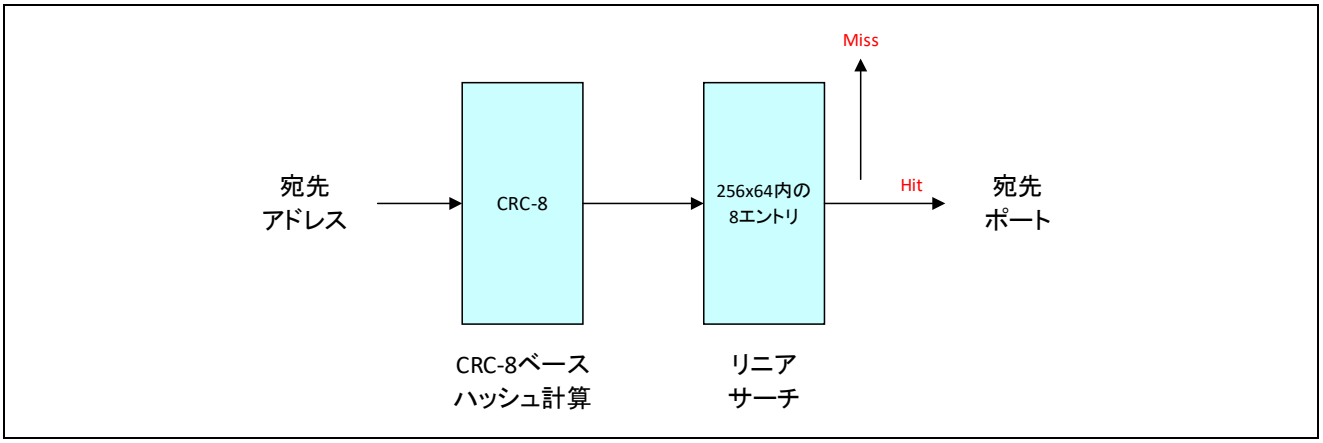


図9.5 ポートルックアップ概要

(2) ハッシュコード

最大2048エントリのMACアドレステーブル用に、8ビットのハッシュ値がMACアドレスの最下位の24ビット（または全48ビット）から計算されます。ハッシュコードは、CRC-8を使用しています。

- $x^8 + x^2 + x + 1$ (0x07)

8ビットCRCは、256エントリまでのより小さなアドレステーブルにも使用されます。その場合、すべてのハッシュ値は直接メモリ内の1エントリを指し、8エントリから構成されるブロックは互いに重なっています。

注意 本 LSI のアドレステーブのサイズは、256 エントリです。

(3) アドレステーブル

アドレス･テーブルは複数のブロックから構成されており、各ブロックにはそれぞれ64ビットの情報を含むレコードを8個持っています。64ビット長のレコードには、48ビットのMACアドレスと転送に必要な情報や優先度、タイムスタンプの情報が含まれています。8エントリから成るブロックのスタートのアドレスは、MACアドレスから計算したハッシュコードになります。

レコードには2つのタイプが存在します。

- 動的レコード : 動的エントリはMACアドレスとともに、10ビットのタイムスタンプ、転送先のポート番号で構成されます。エントリは受信フレームのラーニング機能により生成され、フレームを特定のポートに転送させることができます。動的エントリは、更新されなければ、エージング機能により消去されます。
- 静的マルチポート／優先度レコード : アドレステーブルに静的エントリを書き込むこともできます。静的エントリは、MACアドレスとともに、優先度、複数の転送先ポート番号（ポートビットマスク）で構成されます。MACアドレスはユニキャストでもマルチキャストでも構いません。このレコードは、例えば、特定のマルチキャストのドメインにあるポートを加えるような場合や、MACアドレスベースで優先度をフレームに割り付ける場合に使用することができます。エージング機能もラーニング機能も静的レコードに対しては無視されます。

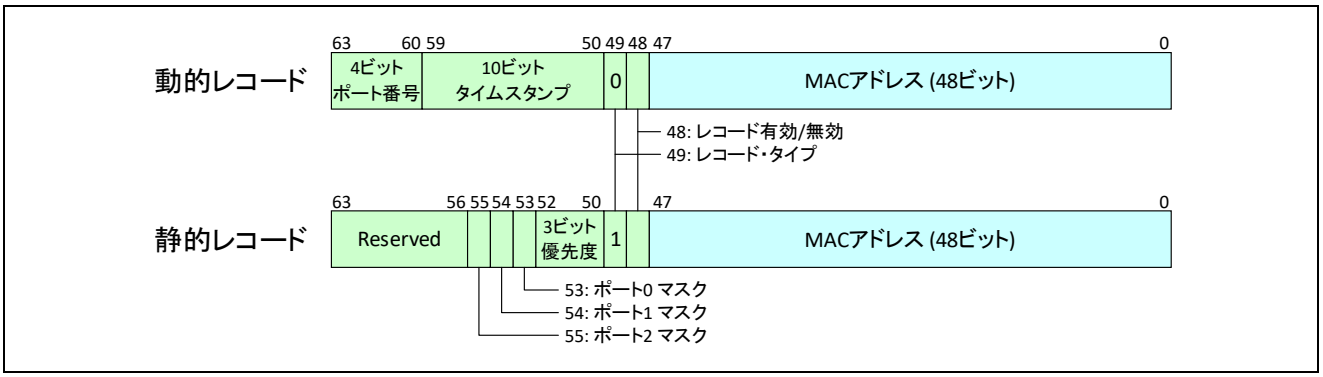


図9.6 アドレステーブルのレコードタイプ

レコードのビット 49 により、動的あるいは静的のタイプを識別しています。

- 0の場合、動的エントリと解釈され、10ビットのタイムスタンプと4ビットのポート番号が含まれます。
- 1の場合、静的エントリと解釈され、3ビットのプライオリティと3ビットのポートビットマスクが含まれます。ポートビットマスクは、ポート0がビット53、ポート1がビット54、内部ポート（ポート2）がビット55になります。ポートビットマスクが1である全てのポートにフレームは転送されます。ただし、送信元のポートには、ポートビットマスクが1の場合でも再転送されることはありません。

9.4.1.5 ラーニング・インタフェース

ラーニング・インタフェースは、ルックアップテーブルを構築するために必要な情報をソフトウエアに提供するためのインタフェースです。複数のエントリを格納する FIFO バッファを実装しています。

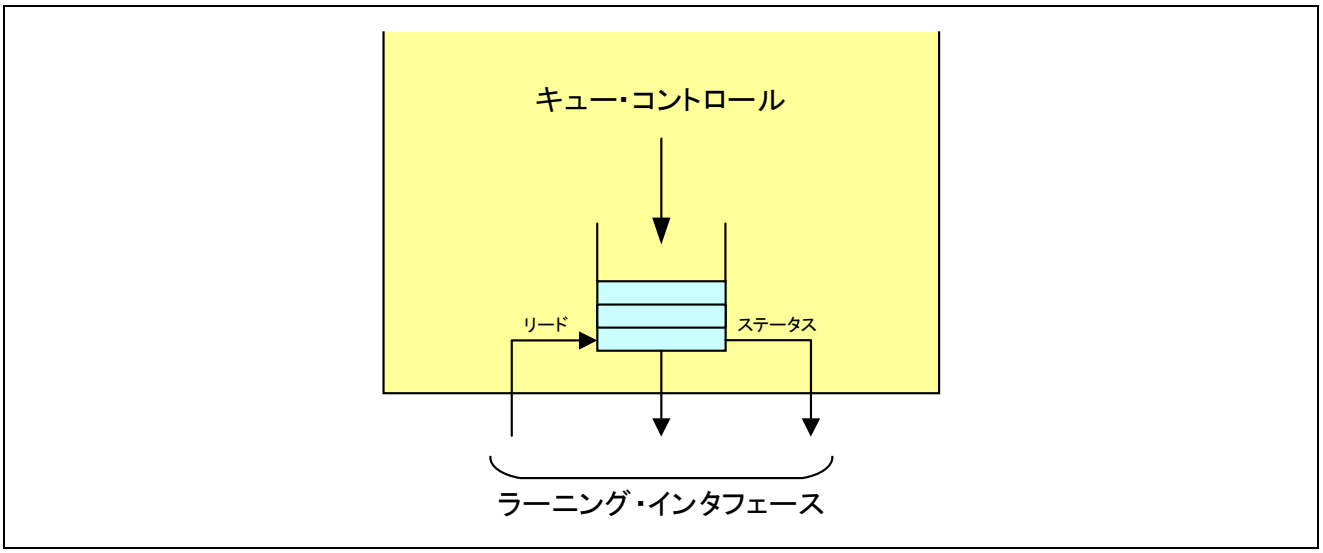


図9.7 ラーニング・インタフェースの概要

スイッチで受信されたフレームごとに、2つの32ビットのレコード（レコードAとレコードB）がFIFOに書き込まれます。レコードAが先に書き込まれ、その後にレコードBが書き込まれます。

レコードAとBには、フレームの送信元MACアドレスとそのアドレスから計算された8ビットのハッシュコード、送信元のポート番号が含まれています。MACアドレスは第1オクテットがレコードAのビット7-0、第6オクテットがレコードBのビット15-8になります。

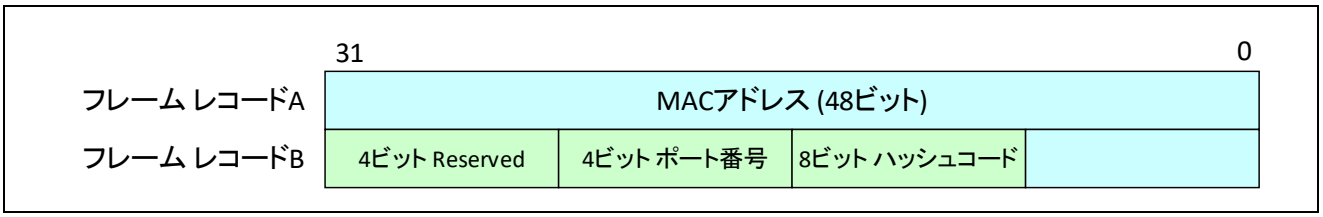


図9.8 レコードのフォーマット

ソフトウェアは、LRN_REC_A レジスタおよび LRN_REC_B レジスタを使用して、これらのレコードを読み取ることができます。

9.4.1.6 フレーム転送処理

(1) 概要

フレームが処理されるとき、48ビットの送信元MACアドレスと宛先MACアドレスが抽出されます。アドレステーブルは、宛先MACアドレスに対して検索されます。以下のルールが上から下へ順に適用されます。

- 宛先アドレスが見つかった場合、そのアドレステーブルエントリで指定されたポート（複数可）にフレームは転送されます。
- 上記を満たさないが、宛先アドレスがユニキャストの場合、UCAST_DEFAULT_MASKレジスタで指定された全てのポートにフレームは転送されます。
- 上記を満たさないが、宛先アドレスがブロードキャストの場合、BCAST_DEFAULT_MASKレジスタで指定された全てのポートにフレームは転送されます。
- 上記を満たさないが、宛先アドレスがマルチキャストの場合、MCAST_DEFAULT_MASKレジスタで指定された全てのポートにフレームは転送されます。
- さらに条件を満たさない場合、BCAST_DEFAULT_MASKレジスタで指定された全てのポートにフレームは転送されます。

アドレステーブルには静的エントリを保持することができます。静的エントリにもマルチキャストアドレスを登録することが可能です。従って、特定のマルチキャストアドレスの転送は、MCAST_DEFAULT_MASK レジスタの設定でなく、静的エントリを使用することによって実現することも可能です。

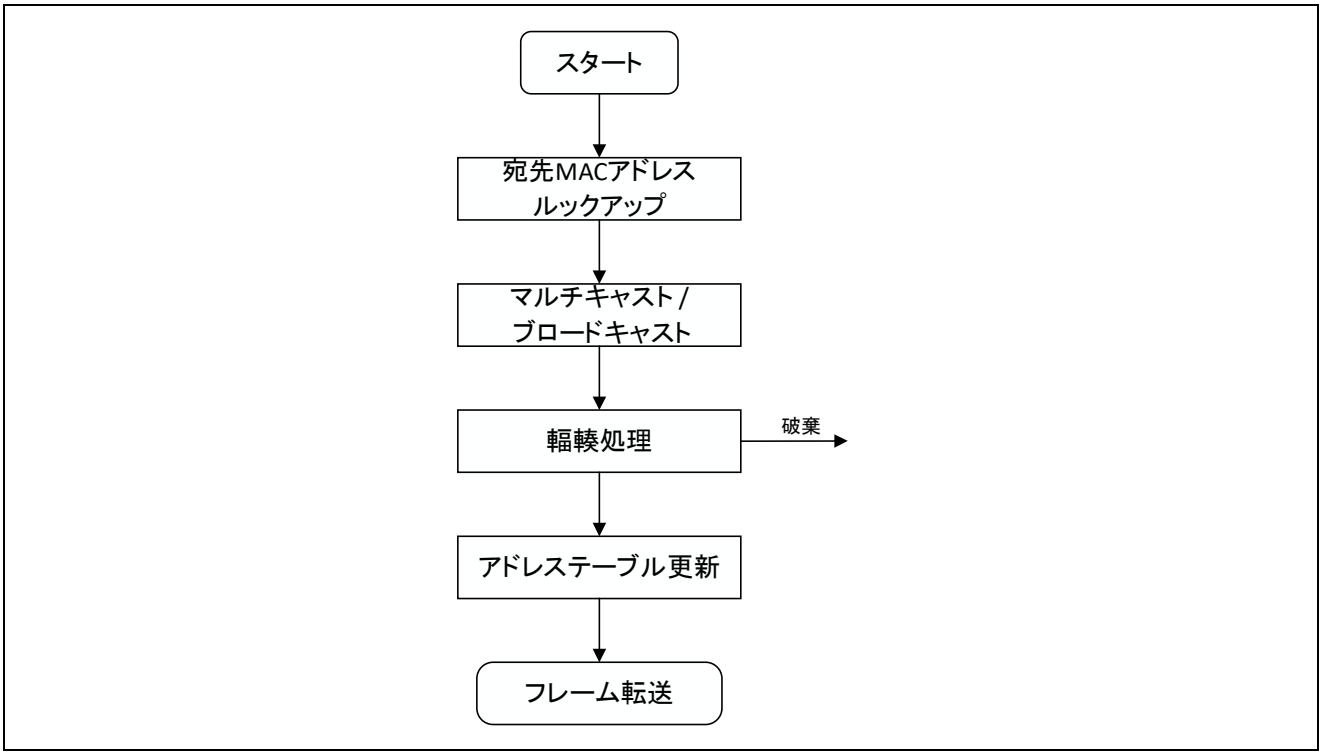


図9.9 フレーム転送処理の概要

(2) 輻輳の処理

(a) 概要

輻輳処理機能は、出力ポートが使用可能な状態では無いが、データをそのポートに送る必要がある場合に使用します。「使用可能な状態」とは、PORT_ENA レジスタによりポートが有効に設定されており、そのポートの出力キューがフルサイズのフレームを 1 つ格納できるだけの空きを持っている状態として定義します。

輻輳の処理においては、フレームの処理を続けるべきか破棄すべきかが、以下のルールに従って決まります。

(b) 単一の宛先（1 入力→1 出力）

出力ポートが有効で、かつフレームを受け入れることができれば、フレームは正常に転送されます。それ以外の場合、フレームは破棄されます。

(c) 複数の宛先（フラッディング）

ブロードキャストやマルチキャスト、フラッディング処理の後に、フレームは複数の出力ポートに転送される必要があります。

- 出力無効ポートがある場合、すべての無効ポートは出力のリストから削除されます。
- 出力の輻輳が発生して、いずれかの出力ポートがフレームを受け入れることができない場合（ポートの出力キューマネージメントによって示されます）、そのポートは出力のリストから削除されます。

出力リストから削除した後に、出力リストに出力可能なポートが残っていない場合、フレームは入力から読み込まれた後で廃棄されます。そのポートに対応するフレーム廃棄カウンタ（ODISCn）がインクリメントされます。

(3) ブリッジプロトコルフレーム処理

スパニングツリープロトコルのようなブリッジ制御プロトコルを実装するには、以下の制御が、プロトコル・フレーム処理機能によって実行されます。

(a) 入力ポートブロッキング

入力ポートブロッキング機能は、アドレスラーニング後のフレーム転送を回避するために使用されます。INPUT_LEARN_BLOCK レジスタにより有効／無効の設定ができます。もしフレームがブロックされるべきポートで受信され、かつそのフレームがブリッジプロトコルでない場合、フレームは破棄の対象となり、出力ポートに転送されません。

(b) 入力ポートラーニングの無効

ソフトウエアの処理負荷を低減するために、INPUT_LEARN_BLOCK レジスタにより、ポートをラーニング対象外に設定することができます。あるポートでラーニングが無効に設定されている場合、そのポートでは受信フレームの送信元アドレスの抽出は行われません。例外として BPDU フレームは、常にその送信元アドレスが抽出され、ラーニングインターフェイスに転送されます。

(c) マネージメントポート（内部ポート）への転送

MGMT_CONFIGレジスタのビット6を有効に設定していると、ブリッジプロトコルのフレームは、常にマネージメントポート（内部ポート）に転送されます。アドレスルックアップも他の転送処理機能にも影響されません。

ブリッジプロトコルのフレームは、次のいずれかの宛先アドレスを持つことで識別されます。

- 01-80-c2-00-00-00 ～ 01-80-c2-00-00-0F (Spanning Tree, IEEE 802.1d)
- 01-80-c2-00-00-10 (Bridge Management Address, 802.1d)
- 01-80-c2-00-00-20 ～ 01-80-c2-00-00-2F (Generic Attribute Registration Protocol, 802.1d)

(d) マネージメントフレームの転送

マネージメントポート（内部ポート）がフレームを送信した場合、MGMT_CONFIGレジスタのビット17およびビット16のポートマスク設定に従って、フレームは転送されます。ハンドシェークのメカニズムも実装されており（MGMT_CONFIGレジスタのビット5）、マネージメントフレームに対して、フレーム単位でポートマスクの設定を変更することが可能です。

(4) 強制転送

転送処理により決められた転送方法を無効にして、特定のポートにフレームを強制的に転送させることもできます。この機能は一般的にマネージメントフレームに対して使用されます。マネージメントフレームにはマルチキャストアドレスが使用されますが、特定の出力ポートにのみ転送させる必要があります。

スイッチアプリケーションの実装に依存して、以下の2つの方法が存在します。

- BPDUが転送されると、MGMT_CONFIGレジスタで定義されたポートマスクを使用することができます。アプリケーションは、スイッチにBPDUフレームを転送する前にレジスタを設定する必要があります。その後、BPDUの送信完了を知らせるビット5がセットされれば、ポートマスク設定をクリアすることができます。

- 内部ポートとイーサネットスイッチ間で使用できるマネージメント・タグを使用することで、フレーム単位で強制転送の設定が可能です。MGMG_CONFIGレジスタを使用したハンドシェークが不要となるため、こちらの方が好ましい方法です。

上記の2つの転送方法の違いは、前者はBPDUフレームのみが強制転送の対象になりますが、後者は全てのフレームに対して強制転送が可能です。

注. マネージメント・タグによる強制転送を使用する場合は、MGMT_CONFIG レジスタのビット 17 とビット 16 は常に 0 に設定してください。MGMT_CONFIG の設定が優先され、マネージメント・タグの設定が上書きされてしまいます。

9.4.1.7 出力フレーム· キューイング

(1) 概要

メモリコントローラは、複数の出力ポートに対して任意のサイズのフレームを格納するため、共有メモリ· アーキテクチャを採用しています。

各出力ポートは最大4つの優先度のキューを持つことができます。メモリコントローラは、1つの入力ポート（ライトポート）と、仮想的にフレームを複製する機能を持つ出力ポートを複数（マルチリードポート）持ちます。

メモリは小さなセルに分割され、大小のフレームに対しても効果的にメモリ領域を共有できます。小さなフレームが格納される場合でも大きな未使用領域が残らないようにしています。

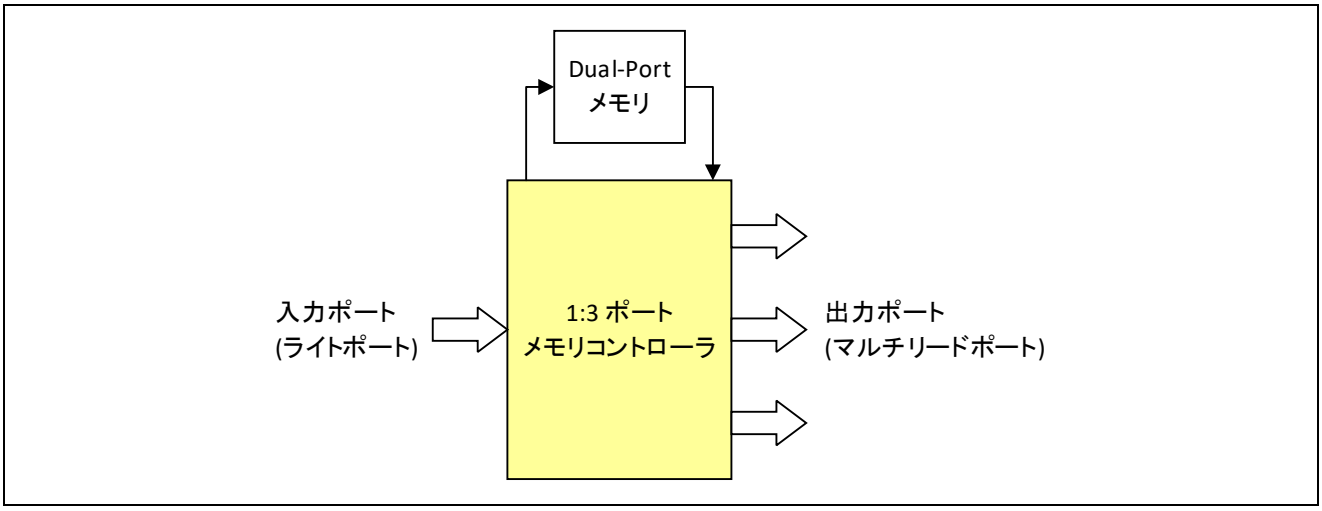


図9.10 出力ポートのメモリコントローラの概要

(2) 機能

- 1つのライトポートと複数のリードポートから成るメモリコントローラを搭載
- 8KBの共有メモリを256バイトのセルに分割
- 入力ポートからメモリへの書き込み時に、複数宛先への同時書き込みが可能（仮想フレーム複製）
- すべての出力ポートへの同時出力を実現するため、メモリからの時分割多重出力に対応したマルチリードポート（出力ポート）
- 出力ポートごとに4段階のプライオリティのキューを実装
- バックプレッシャーとオーバーフロー保護のための輻輳情報を利用可能
- メモリステータスの統計情報を利用可能

(3) 実装

メモリマネージャは、出力ポート 0 と 1 のすべてのキューに対して 8K バイトの共有メモリを実装しています。内部ポートであるポート 2 は、共有メモリから独立して動作する FIFO キューを有します。従って、内部ポートでソフトウエアの処理が遅いことにより輻輳が発生したとしても、ポート 0 と 1 の間の転送は影響を受けません。

9.4.2 カットスルー対応ハブモジュール

イーサネット・スイッチには、カットスルーに対応したハブモジュールが備わっています。このモジュールを使用することでポート 0 とポート 1 の間でスイッチエンジンを介さずに高速にフレームの転送を行うことができます。

ハブモジュールはスイッチエンジンの MAC とイーサネット PHY の間の MII のレベルで動作します。ハブモジュールはポート 0、ポート 1 のそれぞれから来るパケットに対しても、また片方のポートに対してのみでも機能を有効にできます。片方のポートに対して有効にした場合、一方向がカットスルー転送されるのに対して、他方向はストア・アンド・フォワード転送されることになります。ハブモジュールの動作方向の設定や機能自体の有効/無効設定は、ソフトウェアによって制御することができます。

ハブモジュールが有効に設定された場合、受信したすべてのフレームは、完全に受信が完了する前に、即座に反対のポートに転送されます（カットスルー転送）。一部の特定の管理フレームは通常のストア・アンド・フォワード転送でスイッチ本体を経由する必要がありますが、ハブモジュールに含まれるフィルタを設定することで、カットスルー転送させないようにすることができます。

9.4.2.1 通常スイッチモードの動作

通常のスイッチングモードでは、MAC とイーサネット PHY は直接接続され、データはそのままスイッチで送受信されます。スイッチエンジンはポート間のすべてのフレームの転送処理を担います。

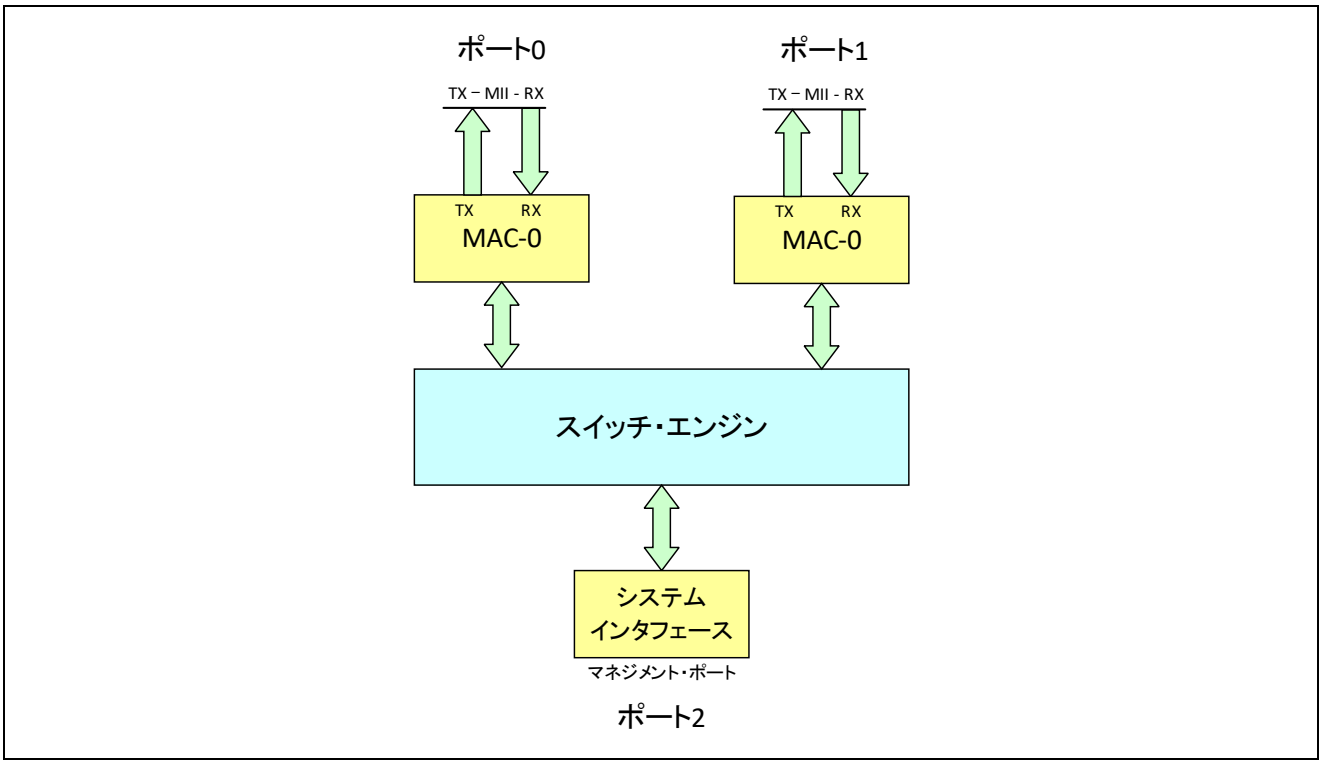


図9.11 通常のスイッチモード動作

9.4.2.2 ポート 0 からポート 1 方向のハブ機能

ポート 0 からポート 1 の方向にハブ機能が有効である場合、データパスは、次のように PHY インタフェースの部分で変更されます。

- ポート 0 の受信 PHY インタフェースは、スイッチとハブの両方の受信インタフェースに接続されます。ハブはポート 1 の送信インタフェースに受信フレームを送ります。フィルタリングメカニズムが、フレームの重複を避けるために実装されています。
- スイッチはポート 0 にフレームを通常どおり送信でき、ポート 0 からのすべてのトラフィックを受信し続けることができます。
- スイッチはポート 1 からフレームを通常どおり受信します。
- スイッチがポート 1 に送信するときには、フレームの重複を避ける必要があります。フレームがハブを経由して、すでに転送された場合や、送信キューにキューイングされている場合に、そのフレームを重複させないことを保証しなければなりません。アドレスフィルタテーブルは、この目的でも使用されます。
- IEEE1588 のフレームは、プロトコルを正しく動作させるため、ハブを通過してはいけません（コレクション・フィールドの更新のため）。

ハブ機能が有効な場合でも、受信したフレームはスイッチに送信され、スイッチ内部でそのフレームの転送方法が決定されます。しかし、ハブが転送したポートと同じポートに対してスイッチ内部でも転送が発生する場合は、フレームは破棄されます。つまり、内部ポート（ポート 2）へのデータの転送が発生し得ます。スイッチとハブの双方から送信されるフレームの調停には FIFO が用いられます。

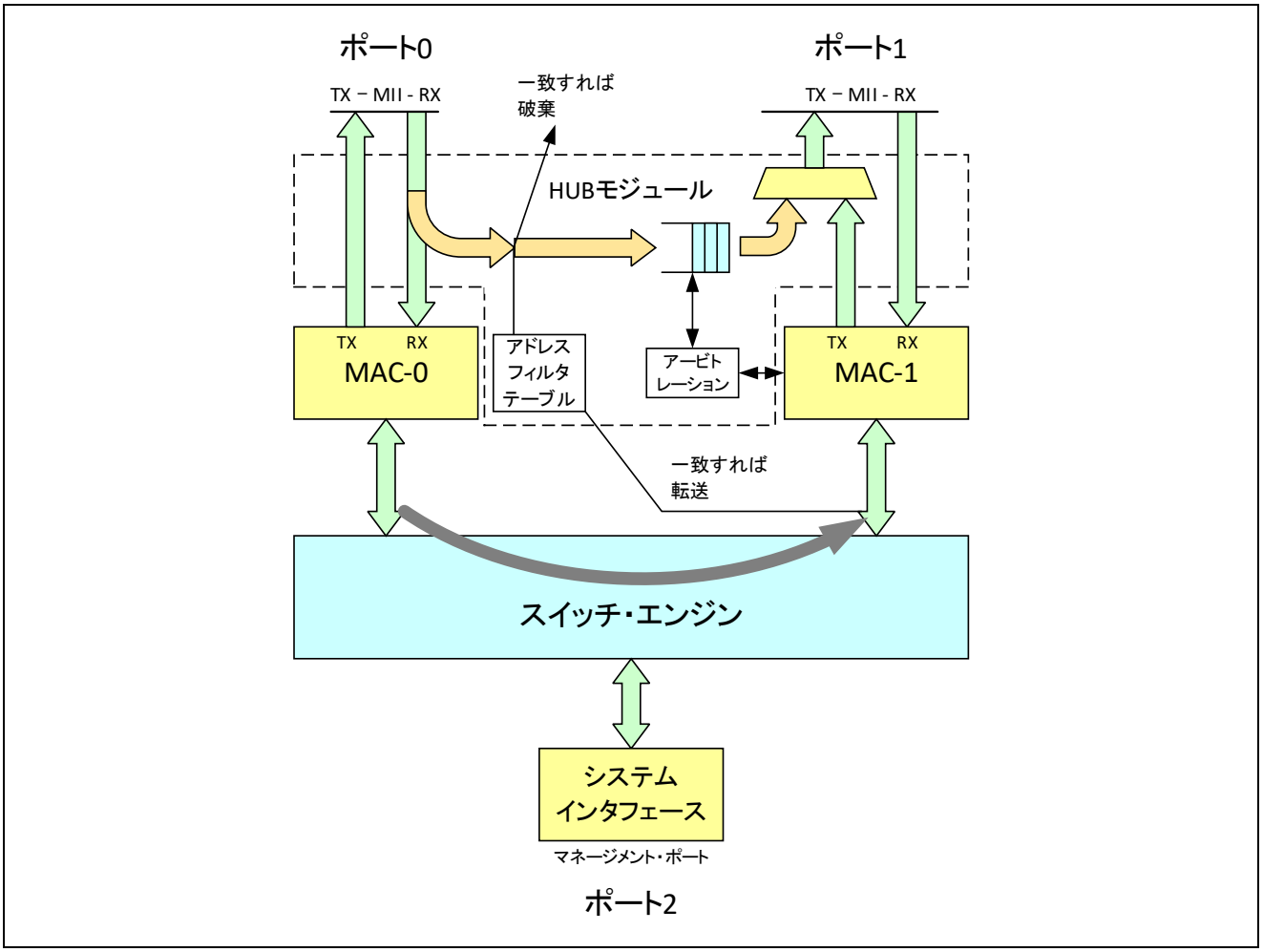


図9.12 ポート 0 からポート 1 の転送が有効にされたハブの動作

9.4.2.3 ポート 1 からポート 0 方向のハブ機能

ポート 1 からポート 0 の方向にハブ機能が有効になっている場合、データパスはポート 1 から受信し、直接ポート 0 に送信するように、PHY インタフェース･レベルで変更されます。ポート 0 において、スイッチとハブの双方からの送信は調停されます。動作はポート 0 からポート 1 の方向の機能と同じです。

ハブ機能は各方向を個別に有効にすることもできますし、同時に両方を有効にすることもできます。

9.4.2.4 ハブ受信フィルタリング

ハブ機能を有効にする場合、ハブモジュールの受信インターフェイスは、以下のフレームをハブを介して転送してはいけません。

- ローカルシステムのユニキャスト MAC アドレスと一致するユニキャスト MAC 宛先アドレスを持つフレーム
- IEEE1588 フレーム
- スイッチを介して伝播させるべきでないローカルの管理フレーム（例えば、MAC ポーズフレーム）

ハブ受信フィルタはMAC宛先アドレスに対してフィルタリングを行います。最大7個のMACアドレスをフィルタ用に登録することができます。さらにはフィルタできるアドレスの範囲を広げるためにアドレスの最終バイトをマスクする機能や、フィルタではなく、反対に強制的に転送させる機能も有しています（HUB_FLT_MACnlo / HUB_FLT_MACnhiレジスタ参照）。

フィルタの設定によりハブとスイッチでの転送動作が異なります。

表9.1 フィルタ設定によるハブとスイッチの動作

強制転送		無効		有効[注1]	
アドレスの一致/不一致		一致	不一致	一致	不一致
ハブ機能有効	ハブ	転送しない	カット・スルー転送	カット・スルー転送	強制転送無効のフィルタ動作
	スイッチ	ストア・アンド・フォワード転送[注2]	転送しない	—[注3]	
ハブ機能無効	ハブ	転送しない	転送しない	カット・スルー転送	
	スイッチ	ストア・アンド・フォワード転送[注2]	ストア・アンド・フォワード転送[注2]	—[注3]	

注 1：DLR のビーコンフレームでの使用を想定しています。

注 2：PHY ポート間で転送される場合です。アドレステーブルやデフォルトマスクの設定によっては転送が発生しない場合があります。

注 3：スイッチに入る前にフレームは破棄されます。

● フレームの強制転送機能が無効時

受信したフレームの宛先アドレスがフィルタに登録されているアドレスと一致した場合、ハブはそのフレームを他方のポートに転送しません。しかし、スイッチ内でポート 0 とポート 1 の間の転送が発生するときは、そのフレームを他方のポートに転送します。

受信したフレームの宛先アドレスがフィルタに登録されているアドレスと一致しなかった場合、ハブはフレームを他方のポートに転送します。一方スイッチは他方のポートに転送しません。これにより、フレームの重複を防いでいます。

● フレームの強制転送機能が有効時

受信したフレームの宛先アドレスがフィルタに登録されているアドレスと一致した場合、ハブ機能が無効に設定されている場合でも、常にハブは他方のポートにフレームを転送します。一般的に強制転送はビーコンフレームに使用されます。DLR 機能が有効な場合には、DLR モジュールでビーコンフレームを処理できますが、スイッチに取り込まれる前に廃棄されます。これもフレームの重複を防ぐためです。

マネージメントポート（ポート2）は、フレーム･フィルタリングの影響を受けず、常に両方のMACポートからのフレームを受信します。

ローカルシステムのユニキャストアドレスに加えて、IEEE1588のフレームや強制転送無効時にハブで転送させるべきではないフレームの宛先アドレス（マルチキャストアドレス）を含めるようにフィルタアドレスを設定する必要があります。以下に関係するアドレスの例を示します。詳細はそれぞれの規格書を参照願います。

表9.2 PTPv2 マルチキャストドメイン：Layer2

名称	MAC アドレス・マッピング
Normal messages	01-1b-19-00-00-00
Peer delay messages	01-80-c2-00-00-0e

表9.3 PTP マルチキャストドメイン：UDP/IP

名称	IP アドレス	MAC アドレス・マッピング
Default PTP domain	224.0.1.129	01-00-5e-00-01-81
Alternate PTP domain1	224.0.1.130	01-00-5e-00-01-82
Alternate PTP domain2	224.0.1.131	01-00-5e-00-01-83
Alternate PTP domain3	224.0.1.132	01-00-5e-00-01-84

表9.4 管理フレームドメイン

名称	IP アドレス	MAC アドレス・マッピング
Generic Switch Management	224.0.0.0	01-00-5e-00-00-00
IGMP	224.0.0.1	01-00-5e-00-00-01

表9.5 スイッチ管理フレームドメイン

名称	MAC アドレス・マッピング
Spanning Tree, IEEE 802.1d	01-80-c2-00-00-00 ～ 01-80-c2-00-00-0F
Bridge Management Address, 802.1d	01-80-c2-00-00-10
GARP	01-80-c2-00-00-20 ～ 01-80-c2-00-00-2F
MAC Layer Control Frames (Pause)	01-80-c2-00-00-01

表9.6 DLR マルチキャストドメイン

名称	MAC アドレス・マッピング
Beacon Frame	01-21-6C-00-00-01
Neighbor Check Request, Neighbor Check Response, Sign ON	01-21-6C-00-00-02
Announce, Locate Fault	01-21-6C-00-00-03

上記に基づき、表9.7に示すアドレスを最低限含むようにハブモジュールの初期設定を行う必要があります。アドレスとマスクの値は HUB_FLT_MACnlo / HUB_FLT_MACnhi レジスタを使用してプログラムします。MAC アドレスの第 1 バイトは HUB_FLT_MACnlo レジスタの bit7-0 に設定する必要があります。マスクの値は、受信したフレームのアドレスの最終バイトに対して AND 演算され、そのアドレスと設定したアドレスの比較が行われます。

強制転送は、常にハブを経由してフレームを転送させる必要がある場合のみ、1 を設定してください。強制伝送は、ハブの有効/無効設定に関係なく動作します。つまり、ハブを無効にして、特定のフレームのみをカットスルー転送させることができます。

アプリケーションによって明示的に要求されない場合、ブロードキャストフレームはハブを経由して転送するべきではありません。ブロードキャストアドレスはフィルタテーブルに入力する必要はありません。フィルタリングは HUB_CONTROL レジスタ内の制御ビットで有効にすることができます。

表9.7 代表的なハブの MAC フィルタ設定

MAC アドレス	マスク	強制転送	備考
01-80-c2-00-00-00	0xC0	0	フィルタの範囲：01-80-c2-00-00-{00..3F} HUB_FLT_MACnlo/hi レジスタ設定は次のようになります。 HUB_FLT_MACnlo = 00C2 8001H HUB_FLT_MACnhi = 00C0 0000H
01-1b-19-00-00-00	0xFF	0	フィルタの範囲：このアドレスのみ（PTPv2）
01-00-5e-00-01-80	0xF8	0	フィルタの範囲：01-00-5e-00-01-{80..87}(224.0.1.{128..135})
01-00-5e-00-00-00	0xFC	0	フィルタの範囲：01-00-5e-00-00-{00..03} (224.0.0.{0..3})
<ローカル・ノード・ ユニキャスト・アドレス>	0xFF	0	ローカル・ノードだけに転送されるフレームが不必要に転送されることを避けるために入力する必要があります。
01-21-6C-00-00-01	0xFF	1	ビーコンフレームはハブを経由して強制転送しなければなりません。HUB_FLT_MAC6lo/hi レジスタに設定してください。 HUB_FLT_MAC6lo = 006C 2101H HUB_FLT_MAC6hi = 01FF 0100H

9.4.2.5 ハブモジュールの強制転送

フィルタのエントリ毎に、強制転送ビット（HUB_FLT_MACnhi レジスタのビット 24）を設定できます。このビットにより、ハブモジュールはフレームをフィルタリングではなく、フレームを強制的に転送する機能にに変わります。アドレスが一致し、かつそのアドレスエントリの強制転送ビットがセットされている場合、フレームはハブを介して転送され（カットスルー）ます。一方、MAC/スイッチの方に送られるフレームは、MAC/スイッチに取り込まれる前に廃棄されます。強制転送はハブのイネーブル制御（HUB_COTNROL レジスタのビット 0）に依存せず、常に行われます。

この動作モードではスイッチに取り込まれる前にフレームが廃棄されるため、強制転送されたフレームはスイッチでは処理できません。したがって、そのフレームに対するアドレスのラーニングは行われません。また、ポート 2 を介してローカルアプリケーションに転送することもできません。これは、通常のハブの動作とは異なります。通常のハブの動作はすべてのフレームがスイッチに取り込まれますが、転送されたポートのライン側でのフレームの重複を回避するため、転送されたポートでのみフレームの廃棄が行われます。

なお、次節で説明する DLR モジュールは強制転送されたフレームも正常に受信することができます。これは、DLR モジュールが MAC/スイッチの前に配置され、フレームの廃棄の影響を受けないためです。従って、一般的に強制転送は、DLR のビーコンフレームに対して使用されることを想定しています。DLR モジュールでビーコンフレームを処理することにより、アプリケーションへの負荷を抑えることが可能になります。

9.4.2.6 ループ・フィルタ処理

ハブモジュールにはループ・フィルタが内蔵されており、特定の送信元アドレスを持つフレームを受信ポートで廃棄することができます。これによりその様なフレームがハブやスイッチを通過することを防ぐことができます。この機能は一般的にリング接続されたアプリケーションで必要とされる機能です。ローカル・ノードから送信されたフレームがリングを通過して再度ローカルノードに到達する可能性があるため、ループ・フィルタがそのフレームを破棄すれば、ハブでもスイッチでも二度とそのフレームの処理が行われず、ネットワーク上から完全にフレームが取り除くことができます。

ループ・フィルタで処理するローカルノードの MAC アドレスは DLR モジュールの LOC_MAClo/hi レジスタで設定することができます。

9.4.3 DLR モジュール

デバイス・レベル・リング（DLR）モジュールにより、スイッチコアのポート 0 とポート 1 の受信パス上でビーコンベースのノードとしてビーコンフレームの処理ができます。

DLR モジュールは、ハブモジュールとスイッチモジュールとの間に挿入されています。DLR モジュールでは、両方の外部ポートからの受信パスでビーコンフレームの検出を行い、フレームがスイッチモジュールに入る前にフレームの破棄を行います。すべてのビーコンフレームのパラメータは DLR モジュールで解析され、ソフトウェアでアクセスできるようにローカルのレジスタに保存されます。

ビーコンベースのノードに対して、割り込みを通して CPU に任意のリングの状態の変化を知らせることができます。このことで、いつでも受信したビーコンフレームのパラメータを読み取ることが可能です。

送受信されたビーコンフレーム数の統計カウンタも実装されています。

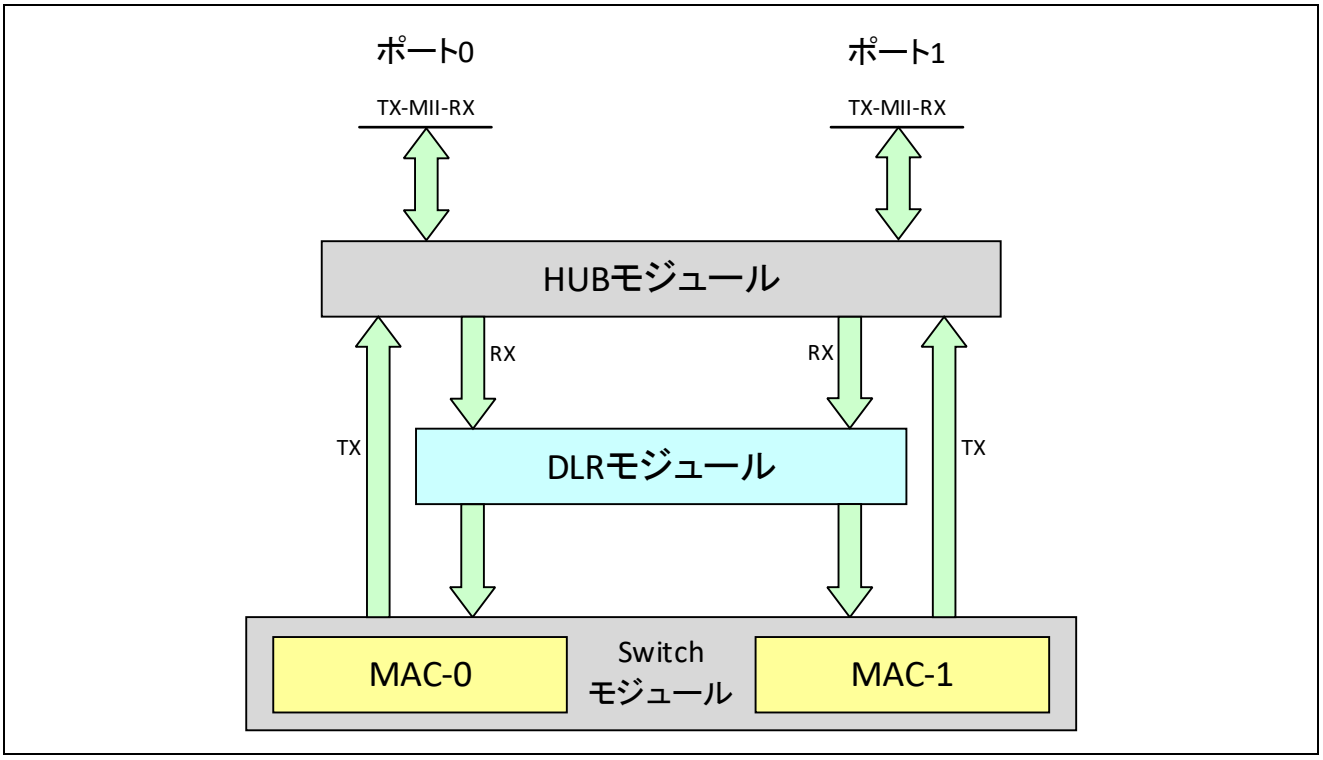
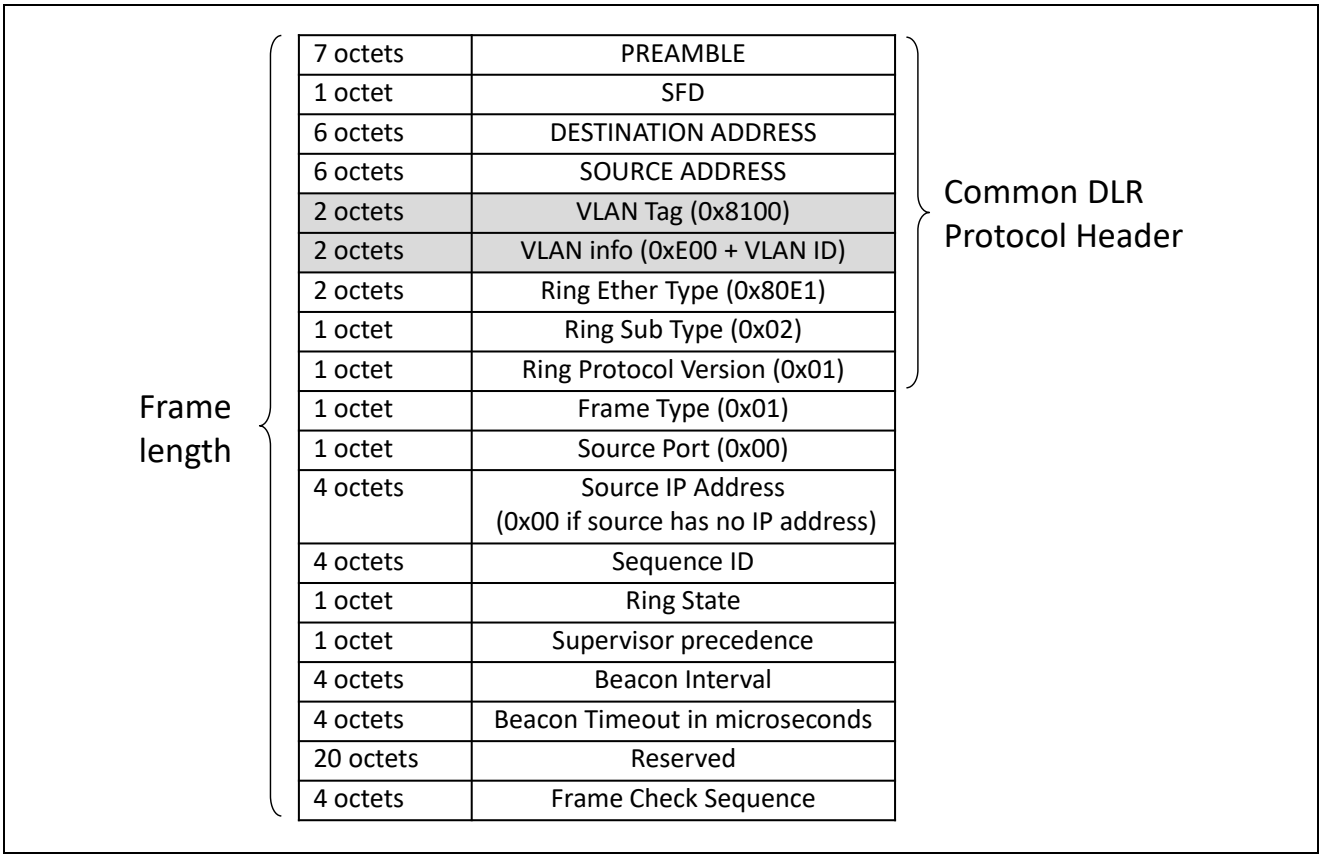


図9.13 ハブモジュールと DLR モジュールとの接続イメージ

9.4.3.1 ビーコンフレームのフォーマット

DLRネットワークの中で、アクティブリング・スーパバイザは、ビーコン間隔（デフォルトでは400マイクロ秒）毎に一つのビーコンフレームを両方のイーサネットポートから送信します。DLRフレームは、802.1Qのフレームフォーマットを使用します。フレームは最も高い優先順位（7）で送信されます。ビーコンフレームは、プリアンブルとSFDを除く64バイトのDLRフレームであり、以下のフィールドで構成されます。



7 octets	PREAMBLE
1 octet	SFD
6 octets	DESTINATION ADDRESS
6 octets	SOURCE ADDRESS
2 octets	VLAN Tag (0x8100)
2 octets	VLAN info (0xE00 + VLAN ID)
2 octets	Ring Ether Type (0x80E1)
1 octet	Ring Sub Type (0x02)
1 octet	Ring Protocol Version (0x01)
1 octet	Frame Type (0x01)
1 octet	Source Port (0x00)
4 octets	Source IP Address (0x00 if source has no IP address)
4 octets	Sequence ID
1 octet	Ring State
1 octet	Supervisor precedence
4 octets	Beacon Interval
4 octets	Beacon Timeout in microseconds
20 octets	Reserved
4 octets	Frame Check Sequence

図9.14 ビーコンフレーム・フォーマット

ビーコンフレームは DLR モジュールで処理され、ソフトウェアでアクセスできるようにするためにそのパラメータがローカルレジスタに保存されます。次の表は、ビーコンフレームのフィールドとリングノードで値を格納しているレジスタ名を示しています。

表9.8 ビーコンフレームフィールドの定義

フィールド	説明	レジスタ名
宛先アドレス	ビーコンフレームの宛先 MAC アドレスは、01-21-6C-00-00-01 の固定マルチキャストアドレスです。これは、ビーコンフレームにのみ使用される排他的な MAC アドレスです。カットスルー転送はこのアドレスとの一致に基づいて行われます。	―
送信元アドレス	スーパバイザの送信元 MAC アドレスです。 48 ビットアドレスが、2 つのレジスタに格納されます。	SUPR_MAClo/hi
VLAN タグ	802.1Q により、DLR メッセージは送信元 MAC アドレスの後に 2 オクテットの VLAN タグ（0x8100）を含んでいます。	―
VLAN 情報	16 ビットの情報フィールドは、優先順位フィールドと VLAN_ID が含まれています。VLAN ID は、リングスーパバイザで設定され、リングノードで受信されます。利用可能な VLAN ID が存在しない場合、VLAN ID のデフォルト値は 0 です。市販のスイッチがリング内に使用されていない限り、デフォルトの VLAN ID は変更する必要がありません。	STATE_VLAN のビット 31-16 ただし、ビット 8 が 1 のとき、値は有効になります。
リングイーサタイプ	DLR フレーム用のイーサタイプは 0x80E1 です。	―
リングサブタイプ	DLR メッセージ用のリングサブタイプの値は常に 0x02 です。	ETH_STYP_VER のビット 7-0
リングプロトコルバージョン	DLR メッセージのプロトコルバージョンです。	ETH_STYP_VER のビット 15-8
フレームタイプ	ビーコンフレームのフレームタイプの値は常に 0x01 です。	―
ソースポート	ビーコンフレームの送信元ポートの値は常に 0x0 です。	ETH_STYP_VER のビット 23-16
ソース IP アドレス	スーパーバイザの IP アドレスです。利用可能な IP アドレスがない場合、IP アドレスのデフォルト値は 0 です。	SUPR_IPADR
シーケンス ID	フレームのシーケンス識別番号です。	SEQ_ID
リング状態	リングスーパバイザが送信したリングネットワークの状態です。	STATE_VLAN のビット 7-0
スーパバイザの優先順位	リングスーパバイザの優先順位値には、リングスーパバイザに割り当てられた優先順位値が含まれています。複数のスーパバイザが有効な場合、最も優先順位が高いスーパーバイザを一つ選択することができます。リング· スーパバイザの優先順位値は 0～255 の範囲内で任意の値を指定できます。数値が大きいほど優先順位が高いことを示します。	SUPR_MAChi のビット 23-16
ビーコン間隔	リングスーパーバイザがビーコンフレームを送信する間隔です。単位はマイクロ秒です。有効な値は最小 100 マイクロ秒から最大 100 ミリ秒の範囲内です。代表的な値は 400 マイクロ秒です。	BEC_INTRVL
ビーコンタイムアウト	ビーコンフレームのタイムアウトを検出し、その対応を行う前に待機しなければならない時間をマイクロ秒の単位で示します。有効な値は最小 200 マイクロ秒から最大 500 ミリ秒の範囲内です。代表的な値は 1960 マイクロ秒です	BEC_TMOUT
フレームチェックシーケンス	フレームの CRC 値です。	―

9.4.3.2 リングノードの機能説明

リングノードの CPU がビーコンフレームの処理に負荷がかからないように、ビーコンフレームは DLR モジュールで検出され、解析が行われます。ビーコンベースのノードを構成するために、リングの状態に変化があれば、割り込みを通じて CPU に通知されます。

受信したビーコンフレームのパラメータを任意のタイミングで読み取ることも可能です。統計カウンタも実装されており、送受信されたビーコンフレームの数を確認することもできます。

(1) 初期設定

DLR モジュールを設定する手順は以下になります。

- ビーコン送信先アドレスの下位4バイト（006C 2101H）をHUB_FLT_MAC6loレジスタに設定します。この値はHUB_FLT_MAC6loレジスタの初期値です。
- ビーコン送信先アドレスの上位2バイトと強制転送有効設定（01FF 0100H）をHUB_FLT_MAC6hiレジスタに設定します。この値はHUB_FLT_MAC6hiレジスタの初期値です。なお、マスクビットは0xFFです。
- ローカルデバイスのユニキャストアドレスの下位4バイトをループ· フィルタで使用されるDLRモジュールのLOC_MACloレジスタに設定します。
- ローカルデバイスのユニキャストアドレスの上位2バイトをループ· フィルタで使用されるDLRモジュールのLOC_MAChiレジスタに設定します。
- DLRのイーサネットフレームタイプの値である0x80E1をDLR_ETH_TYPレジスタに設定します。この値はDLR_ETH_TYPレジスタの初期値です。
- DLR_CONTROL レジスタを介して DLR モジュールを有効に設定します。1 マイクロ秒をカウントするために必要なクロックサイクル数もこのレジスタに設定します。本 LSI の DLR モジュールは 100MHz で動作しますので、常に 0x64 を設定してください。 初期値から変更が必要です。
- ソフトウェアの要求に応じてDLR_IRQ_CTRLレジスタで任意の割り込み要因を有効／無効に設定します。

(2) スタートアップ

スタートアップにおいて、リングノードは IDLE_STATE になり、ネットワークをリニアトポロジモードと見なします。ローカルリングノードの現在の状態やその他のステータス· ビットは DLR_STATUS レジスタに格納されており、ソフトウェアからアクセスできます。

DLR_CONTROL レジスタのビット 4 で不正なタイマ値を無視するように設定し、不正なタイマ値が格納されたビーコンフレームを受信すると、そのフレームは無視されます。一方、DLR_CONTROL レジスタのビット 4 の設定に関わらず、INV_TMOUT レジスタには不正なタイマ値が格納されます。DLR_IRQ_CTRL レジスタのビット 11 を有効にすることで、割り込みを発生させることもできます。

どちらかのポートを介してビーコンフレームを受信すると、リングノードは FAULT_STATE 状態に遷移し、ネットワークをリングトポロジモードと見なします。DLR_IRQ_CTRL レジスタのビット 1 を有効に設定することにより割込みが生成され、MAC アドレス・ラーニングテーブルをフラッシュする必要性があることと、状態の遷移が発生したことを CPU に通知します。リングスーパバイザの全てのパラメータがレジスタに保存され、ソフトウェアからアクセスが可能になります。ただし以下のパラメータは、IDLE_STATE から FAULT_STATE への状態遷移中のみ保存されます。

- スーパーバイザの MAC アドレス：SUPR_MAClo/hi レジスタに格納されます。
- スーパーバイザの優先順位の値：SUPR_MAChi に格納されます。
- VLAN ID：STATE_VLAN レジスタに格納されます。
- ビーコンタイムアウトタイマー値：BEC_TMOUT レジスタに格納されます。

スーパーバイザーの IP アドレスはいつでも変更することが認められます。新しい IP アドレスは、常に古い IP アドレスを置き換えます。DLR_IRQ_CTRL レジスタのビット 10 を有効にすることで、IP アドレスの変更を示す割り込みが生成されます。

現在のスーパバイザよりも優先度が高いスーパバイザか、同じ優先度でも MAC アドレスが大きい別のスーパバイザからビーコンフレームを受信すると、新しいビーコンフレームのパラメータによって、全ての古い値が置き換えられます。DLR_IRQ_CTRL レジスタのビット 6 を有効にすることで、スーパバイザの変更を示す割り込みが生成されます。リングノードは FAULT_STATE 状態を続けます。

現在のスーパバイザよりも優先度が低いスーパバイザか、同じ優先度でも MAC アドレスが小さい別のスーパバイザからビーコンフレームを受信した場合、そのビーコンフレームは無視されます。DLR_IRQ_CTRL レジスタのビット 9 を有効にすることで、ビーコンフレームが無視されたことを示す割り込みが生成されます。リングノードは FAULT_STATE 状態を続けます。

リングスーパーバイザは通常時にビーコンフレーム内のパラメータを変更することは行いません。パラメータを変更する必要がある場合は、スーパーバイザが新しいパラメータのビーコンフレームを送信する前に、スーパバイザは少なくとも 2 回のビーコン· タイムアウト期間でビーコンフレームの送信を停止します。

両方のポートでビーコンタイムアウト・タイマがタイムアウトすることにより、ローカルノードの状態が IDLE_STATE に戻る場合、DLR_IRQ_CTRL レジスタのビット 4 とビット 5 を有効にすることで、割り込みが生成されます。現在の割り込みの状態はソフトウエアからアクセス可能です。両方のポートでビーコンタイムアウトが発生しており、MAC アドレスラーニングテーブルの消去と DLR_IRQ_STAT_ACK レジスタの状態を変更する必要があります。

両方のポートでビーコンフレームを受信し、アクティブリングスーパバイザからリング状態フィールドが RING_STATE_NORMAL にセットされたビーコンフレームをどちらか一方のポートで受信すれば、ローカルノードは NORMAL_STATE に状態遷移します。割り込みステータスビットは状態の変化が発生したことを示し、それにより、ユニキャストの MAC アドレスラーニングテーブルを消去する必要があります。また、ソフトウエアでネイバーチェックタイムアウトタイマを動かしていた場合には、それを止める必要があります。

注：ネイバーチェック処理用のネイバーチェックタイムアウトタイマ（100 ミリ秒）は、ソフトウェアで実装する必要があります。ソフトウェアはタイマを停止させるために DLR_IRQ_STAT_ACK レジスタのビット 3 およびビット 2 を利用することができます。

(3) 故障検出

以下のイベントはリングノードが NORMAL_STATE から他の状態に移行する原因になります。

- RING_FAULT_STATE に状態パラメータが設定されたビーコンフレームを受信した場合。
  DLR_IRQ_STAT_ACK レジスタは、ビット 0 がセットされ、ノードの状態が変化したことを示します。割り込みの発生を有効にした場合には割り込みも発生します。
- 現在のアクティブリング・スーパバイザとは異なる MAC アドレスを持つビーコンフレームか、優先順位がより高いビーコンフレームを受信した場合。
  状態の変化に加えて、DLR_IRQ_STAT_ACK レジスタのビット 6 がセットされ、スーパバイザが変更されたことを示します。
- ビーコンタイムアウトタイム値で指定された期間に両方のポートでビーコンフレームが受信できなかった場合。
  ノードの状態は IDLE_STATE に遷移します。さらに、DLR_IRQ_STAT_ACK レジスタのビット 5 およびビット 4 がセットされ、両方のポートでビーコンタイムアウトタイマがタイムアウトしたことを示します。
- ビーコンタイムアウトタイム値で指定された期間に一方のポートでビーコンフレームが受信できなかった場合。
  ノードの状態は FAULT_STATE に遷移します。さらに、DLR_IRQ_STAT_ACK レジスタのビット 5 あるいはビット 4 のどちらかのビットがセットされ、そのポートでビーコンタイムアウトタイマがタイムアウトしたことを示します。

(4) エラー処理

DLR ノードは以下のエラー状態を処理することができます。

- ビーコンフレームにCRCエラーが検出された場合。
  ビーコンフレームにCRCエラーが検出されると、DLRノードでビーコンフレームの処理がされず、スイッチに入る前にフレームは破棄されます。エラーがあるビーコンフレームのパラメータはレジスタに格納されません。一方、ビーコンフレームにCRCエラーがある場合でも、ハブではCRCのチェックが行われないため、そのビーコンフレームはハブを経由して転送されます。CRCエラーのビーコンフレームは統計カウンタRX_ERR_STAT0/1でカウントされます。
- ビーコンフレームのタイムアウトタイマ値が不正な範囲の値である場合。
  ビーコンフレームのタイムアウトタイマ値の有効範囲は200マイクロ秒から500ミリ秒の間です。スーパバイザからのビーコンフレームが、不正なビーコンタイムアウト値を持つ場合、DLR_CONTROLレジスタのビット4が設定されていると、そのフレームは無視され、スイッチに入る前に破棄されます。この設定に関わらず、不正なビーコンタイムアウト値を持つフレームは常に検出され、INV_TMOUTレジスタにその不正なタイムアウト値が格納されます。DLR_IRQ_CTRLレジスタのビット11がセットされている場合には割り込みも生成されます。

本ドキュメントでは、主に本 LSI に搭載した DLR モジュールについての説明を行っています。DLR の詳細に関しては、ODVA の仕様書を参照願います。

9.4.4 IEEE1588 タイマ＆コントロールモジュール

9.4.4.1 概要

タイマ＆コントロールモジュール（TSM）は、IEEE1588を実装するために使用できる時刻調整可能なタイマを備えています。IEEE1588を使用することで、このタイマのローカル時刻をリモートのマスタクロックと同期させることができます。（ただし、PTPのようなプロトコルに対応したソフトウェアが必要です）

また、本モジュールは、外部ポートのMAC / PHYインターフェースで採取されるすべてのフレームのタイムスタンプの基準となる時刻を提供します。タイムスタンプにより、時刻同期プロトコル（例えば、IEEE1588 高精度時刻プロトコル：PTP）を使うことができ、ネットワーク内の分散クロックを共通のマスタクロックに同期させることができます。

9.4.4.2 IEEE1588 メッセージフォーマット

(1) 送信時のカプセル化

高精度時刻プロトコル（PTP）のデータグラムは、UDP/IP を使用したイーサネットフレームにカプセル化されています。また PTPv2 では UDP/IP に加えて、Layer2 のイーサネットフレームに直接記述されています。一般的にマルチキャストアドレスが使用され、同期化のメッセージを効果的に分配しています。

- UDP/IP

IEEE1588 のメッセージ（version1 及び 2）は UDP/IP のマルチキャストメッセージを用いて送信することができます。下表の IP マルチキャストグループが PTP 用に定義されています。表には RFC1112 による MAC 層のマルチキャストアドレスマッピングも併せて示しています。

表9.9 UDP/IP マルチキャストドメイン

名称	IP アドレス	MAC アドレス・マッピング
Default PTP domain	224.0.1.129	01-00-5e-00-01-81
Alternate PTP domain1	224.0.1.130	01-00-5e-00-01-82
Alternate PTP domain2	224.0.1.131	01-00-5e-00-01-83
Alternate PTP domain3	224.0.1.132	01-00-5e-00-01-84

表9.10 UDP のポート番号

メッセージタイプ	UDP ポート	備考
event	319	SYNC と DELAY_REQUEST メッセージに対して使用されます。
general	320	上記以外のメッセージに対して使用されます。 （FOLLOW-UP や DELAY-RESPONSE 等）

● ネイティブ・イーサネット（Layer2）

UDP/IP フレームに加えて、IEEE1588 Version2 ではネイティブのイーサネットフレームのフォーマットも定義されています。そのイーサタイプは 0x88F7 です。イーサネットフレームのペイロードに直接、PTPv2 のヘッダから始まる PTP のデータグラムが含まれます。

また、PTPv2 ではピア・ディレイ・メカニズムが追加されています。それにより、複数のノードを経由するパスに沿って、個別の Point-to-Point リンク間の遅延を測定できます。PTPv2 では以下のマルチキャストドメインも追加されています。

表9.11 PTPv2 のマルチキャストドメイン

名称	MAC アドレス
Normal messages	01-1b-19-00-00-00
Peer delay messages	01-80-c2-00-00-0e

(2) PTP ヘッダ

全ての PTP フレームは共通のヘッダを含みます。ヘッダにはプロトコルのバージョンとメッセージのタイプが含まれます。メッセージのタイプには、さらにメッセージの内容が定義されています。複数のオクテットからなるフィールドは、全てビッグエンディアンで送信されます。バージョンのフィールドの最後の 4 ビットは、PTPv1 と PTPv2 の両方のヘッダに対して同じ位置になります。これにより、メッセージの最初の 2 バイトを検査することで、正確にバージョンを識別することができます。

注：PTP フレームの内容の詳細な意味に関しては、IEEE1588 の仕様書を参照してください。本書では、使用されている用語を理解する上で役立つ関連情報の幾つかに絞って記載しています。PTPv1 は IEEE1588 規格のバージョン 1 を指しており、PTPv2 は IEEE1588 規格のバージョン 2 を指しています。

● PTPv1 のヘッダ

表9.12 共通 PTPv1 メッセージヘッダ

Bits								Octets	Offset
7	6	5	4	3	2	1	0		
versionPTP = 0x0001								2	0
versionNetwork								2	2
subdomain								16	4
messageType								1	20
sourceCommunicationTechnology								1	21
sourceUuid								6	22
sourcePortId								2	28
sequenceId								2	30
control								1	32
0x00								1	33
flags								2	34
reserved								4	36

メッセージのタイプは以下の表に示すように messageType と control フィールドでエンコードされています。

表9.13 PTPv1 メッセージタイプ識別

messageType	control	メッセージ名	メッセージ
0x01	0	SYNC	event メッセージ
0x01	1	DELAY_REQ	event メッセージ
0x02	2	FOLLOW_UP	general メッセージ
0x02	3	DELAY_RESP	general メッセージ
0x02	4	MANAGEMENT	general メッセージ
other	other		reserved

- PTPv2 のヘッダ

表9.14 共通 PTPv2 メッセージヘッダ

Bits								Octets	Offset
7	6	5	4	3	2	1	0		
ransportSpecific				messageId				1	0
reserved				versionPTP = 0x2				1	1
messageLength								2	2
domainNumber								1	4
reserved								1	5
flags								2	6
correctionField								8	8
reserved								4	16
sourcePortIdentity								10	20
sequenceId								2	30
control								1	32
logMeanMessageInterval								1	33

メッセージのタイプは以下の表に示すように messageId フィールドでエンコードされています。

表9.15 PTPv2 メッセージタイプ識別

messageId	メッセージ名	メッセージ
0x0	SYNC	event メッセージ
0x1	DELAY_REQ	event メッセージ
0x2	PATH_DELAY_REQ	event メッセージ
0x3	PATH_DELAY_RESP	event メッセージ
0x4 - 0x7		reserved
0x8	FOLLOW_UP	general メッセージ
0x9	DELAY_RESP	general メッセージ
0xa	PATH_DELAY_FOLLOW_UP	general メッセージ
0xb	ANNOUNCE	general メッセージ
0xc	SIGNALING	general メッセージ
0xd	MANAGEMENT	general メッセージ

PTPv2 の flags フィールドには、one-step/two-step を含むメッセージのタイプの詳細が含まれています。flags フィールドは 2 オクテットからなり、reserved のビットは 0 がセットされています。

表9.16 PTPv2 メッセージ flags フィールド定義

Octet Offset	bit	名称	内容
6 (first)	0	ALTERNATE_MASTER	IEEE 1588 Clause 17.4 を参照してください。
	1	TWO_STEP	0：one-step clock 1：two-step clock
	2	UNICAST	0：マルチキャストアドレス. 1：ユニキャストアドレス
	3-4	reserved	
	5	profile specific	
	6	profile specific	
	7	reserved	

注：フレームやフィールドの詳細は IEEE1588 の規格書を参照してください。

9.4.4.3 時刻調整機能付きタイマモジュール

(1) 概要

時刻調整機能付きタイマ･モジュール（TSM）は、フリーラン・カウンタ（FRC）を搭載しています。これを使用して、送受信フレームに対するタイムスタンプが生成されます。本LSIのFRCは125MHzのクロックで動作しており、時刻の分解能としては8nsです。

専用の時刻補正回路により、タイマをリモートマスタと同期させることができ、ローカルのシステムに時刻同期されたリファレンスを提供することができます。

タイマは、ナノ秒タイマと秒タイマの2つからなります。ナノ秒タイマが10^9に到達すると割り込みを発生させることができます。

タイマの現在の時刻を基に、時刻同期した任意周期のパルス信号を生成することが可能です。本LSI外部のシステムに時刻リファレンスを提供することも可能です。

(2) タイマモジュールの構成

時刻調整機能付きタイマ・モジュールは、プログラマブルなカウンタ／アキュムレータと、2 つの補正カウンタで構成されています。カウンタの周期とカウント値の増加の割合を自由に設定できます。それによりタイマを微調整することが可能です。

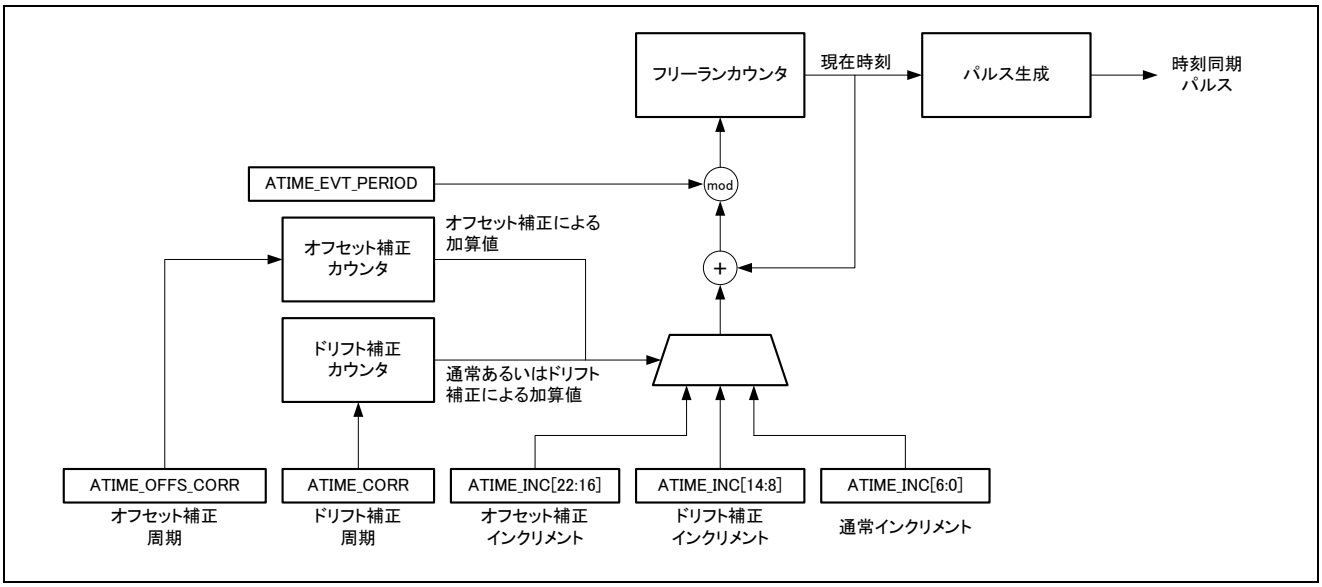


図9.15 時刻調整機能付きタイマの構成図

(3) 通常のタイマ動作

フリーラン・カウンタ（時刻タイマ）は、現在の時刻を生成し続けます。ATIME_INC レジスタのビット 6-0 で定義されたクロックの周期に基づいて、クロックサイクルごとに一定の値を現在の時刻に加算します。正確な時間を実現するために、ATIME_INC レジスタのビット 6-0 には 8ns を表す 001000b 以外設定しないでください。

ATIME_EVT_PERIODレジスタに設定した周期はモジュロを表し、カウンタを循環させるときに使用されます。値は10^9を設定し、それ以外の値は設定しないでください。これによりタイムスタンプはナノ秒として使用することができます。

(4) ドリフト補正

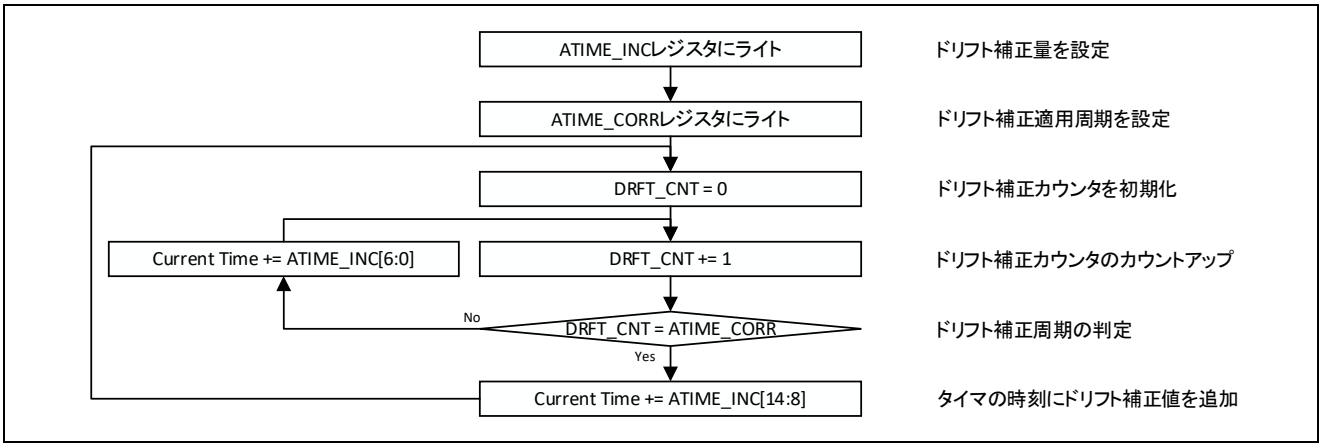


図9.16 ドリフト補正

ドリフト補正カウンタはフリーラン・カウンタ（時刻タイマ）とは完全に独立して動作し、クロックサイクル毎に 1 を加算します。ドリフト補正カウンタが ATIME_CORR レジスタで設定された値に達すると、補正カウンタは再起動され、フリーラン・カウンタは一度だけ通常の値でなく、補正した値をインクリメントします。通常の値と補正した値のインクリメント値は、ATIME_INC レジスタで設定します。タイマをスピードアップさせるためには、補正したインクリメント値を、通常のインクリメント値より大きく設定します。タイマをスピードダウンさせるためには、補正したインクリメント値を、通常のインクリメント値より小さく設定します。補正カウンタは補正量ではなく、何クロックサイクル毎に補正を実施するかを定義します。クロック周波数に依存せず、1ns の単位で非常に精細な補正を低ジッタで行うことができます。

(5) オフセット補正

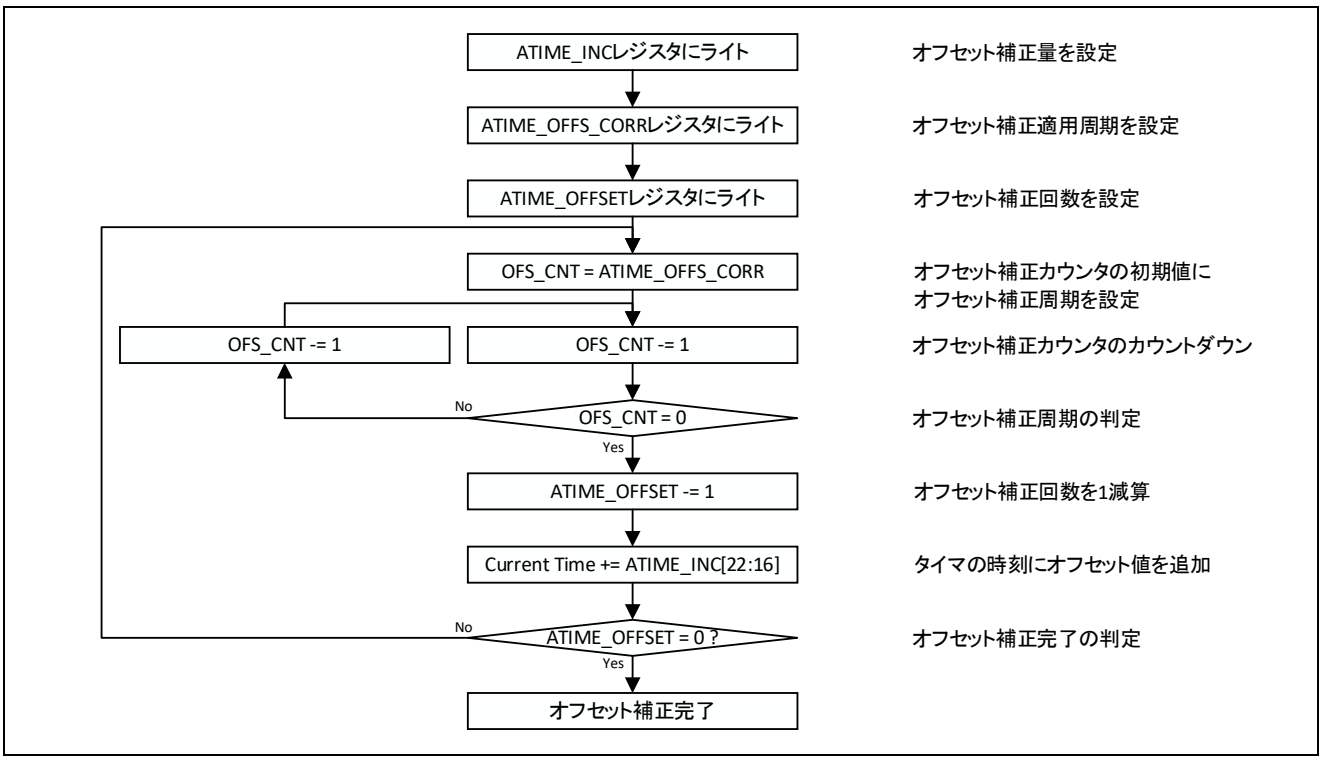


図9.17 オフセット補正（ATIME_OFFS_CORR がゼロでない場合）

オフセット補正カウンタはフリーラン・カウンタ（時刻タイマ）とは完全に独立して動作します。オフセット補正カウンタに値がロードされると、クロックサイクル毎に1を減算します。ATIME_OFFS_CORRレジスタに書き込んだ値が、カウンタにロードされます。ただし、オフセット補正値がATIME_OFFSETレジスタに書き込まれるまで、タイマは起動しません（つまりATIME_OFFSETレジスタに値を書き込む前に、ATIME_OFF_CORRレジスタに値を書き込む必要があります）。

ATIME_OFFSET レジスタに値が書き込まれると、オフセット補正カウンタに ATIME_OFFS_CORR レジスタの値がロードされ、カウント動作を開始します。カウント値がゼロに達すると、ATIME_OFFSET レジスタの値を 1 減算し、ATIME_INC レジスタのビット[22:16]で定義されたオフセット値を時刻タイマにインクリメントします。もし、ATIME_OFFSET の値がゼロでなければ、オフセット補正カウンタは ATIME_OFFS_CORR レジスタの値を再度ロードして、ATIME_OFFSET の値がゼロになるまで同じ処置を繰り返します。ゼロに達すると、これ以上補正は実行されません。

この補正方法では、時間の急激な変化を引き起こすことなく、タイマの時間をシフトさせることができます。オフセット補正が完了すると、ATIME_OFFSET レジスタはゼロになり、必要に応じてオフセットイベント割り込みを発生させることができます。

オフセット補正タイマを用いて時間をかけてオフセット補正を行う代わりに、現在の時刻を直ちにオフセット値分だけ変更することができます。これにより、タイマの値を現在の時間＋オフセット時間にジャンプさせることができます。ATIME_OFFS_CORR レジスタにゼロをセットし、ATIME_OFFSET レジスタにオフセット値を書き込むことで実現可能です。正の値でも負の値でもタイマのオフセット値として使用することができます。

(6) パルス信号生成機能

本 LSI は、タイマの現在時刻の出力値を基に、任意周期のパルス信号を生成することができます。

表9.17 パルス信号生成パラメーター覧

パラメータ	関連レジスタ	説明
パルス生成 動作許可	SWTMEN	パルス出力の許可/停止を設定できます。
パルス出力 開始時刻	SWTMSTSECL/H SWTMSTNSL/H	出力開始時刻を秒単位とナノ秒単位でそれぞれ指定することが可能です。 出力開始時刻を指定後、SWTMEN レジスタを 1 にセットしてパルス生成動作を許可することにより、現在時間が設定した出力開始時刻を超えるとパルスの出力が開始されます。指定した出力開始時刻よりも後でパルス生成動作の許可を行った場合、パルスは出力されません。
パルス周期	SWTMPSECL/H SWTMPNSL/H	出力するパルスの周期を秒単位とナノ秒単位でそれぞれ指定します。 SWTMPNSL/H レジスタの設定においては、ATIME_EVT_PERIOD レジスタで設定した 1 秒に対して自然数の分周関係になる値を設定する必要があります。また、値は 8ns の倍数で指定して下さい。パルス生成動作を許可する前に設定する必要があります。
パルス幅	SWTMWTH	出力するパルスのハイ幅をナノ秒単位で指定します。 値は 8ns の倍数で指定して下さい。設定したパルス幅が、パルス周期よりも大きい場合、出力はハイレベルで固定されます。パルス幅を 0 に設定した場合、パルスは生成されず、出力はローレベルで固定されます。パルス生成動作を許可する前に設定する必要があります。
最大カウント値	SWTMMAXPL/H	ns カウンタの最大値を指定します。 SWTMMAXPL/H レジスタには、ATIME_EVT_PERIOD レジスタと同様の値（1 秒：SWTMMAXPH = 0000 3B9AH、SWTMMAXPL = 0000 CA00H）を設定して下さい。パルス生成動作を許可する前に設定する必要があります。
立ち上がり 時刻保持	SWTMLATSEC SWTMLATNS	パルス出力の立ち上がりの時間がレジスタに格納されます。 パルスの立ち上がりが発生する度にレジスタは更新されます。

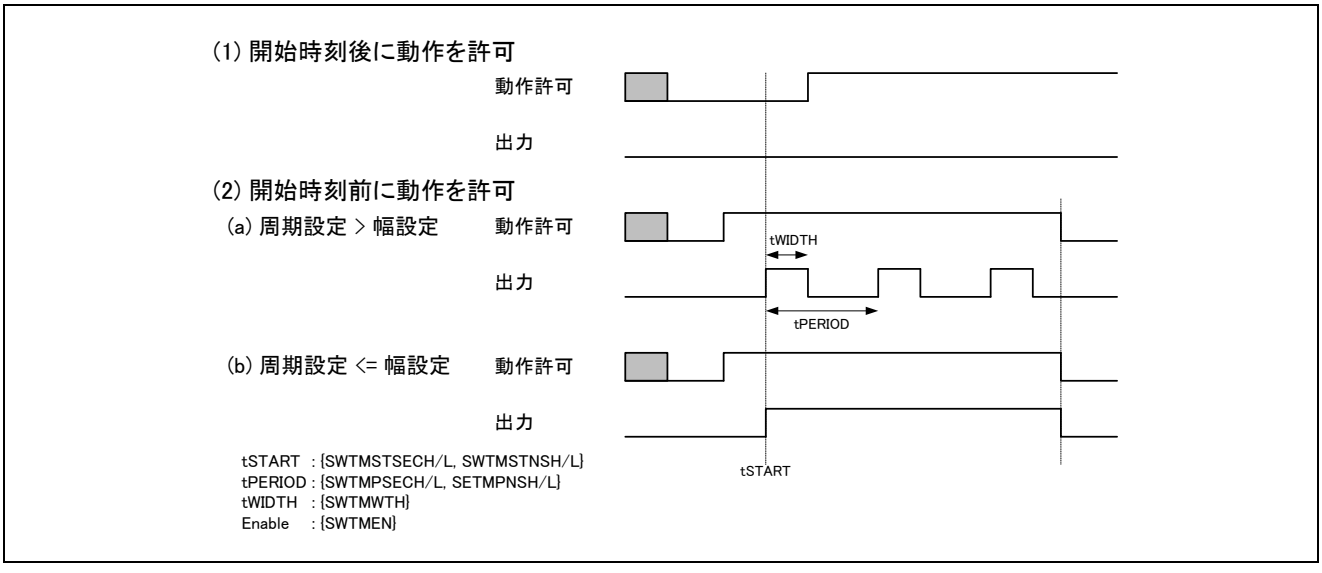


図9.18 パルス信号生成機能のタイミングチャート

9.4.4.4 タイムスタンプ処理

(1) 受信タイムスタンプ処理

ポート 0 あるいはポート 1 でフレームが受信されると、フレームの SFD が PHY インタフェースで検出されるタイミングで、タイマの現在時刻に基づいたタイムスタンプが採取されます。そのタイムスタンプはフレームと共にスイッチモジュール内に転送され、スイッチの内部ポート（マネジメントポート）でアクセスすることができます。採取したタイムスタンプを使用することで、PTP のようなプロトコルを実装することが可能です。タイムスタンプの情報は、フレーム内部に専用のタグとして埋め込まれています。

(2) 送信タイムスタンプ処理

フレームがポート 0 あるいはポート 1 から PHY に転送される時、タイムスタンプも採取されます。送信タイムスタンプは、各ポート毎に用意されているタイムスタンプレジスタ（PORTn_TIME）に保存されます。内部ポートでは、フレーム毎に特別な制御情報を付与し、送信タイムスタンプを採取するフレームを制限することができます。タイムスタンプはすべてのフレームではなく、特定のイベント· フレームだけに採取できます。

9.4.4.5 トランスペアレント・クロックのサポート

(1) 概要

End-to-End のトランスペアレント・クロックを実装するために必要な機能が実装されています。

(2) コレクション・フィールド更新の実装

送信される Layer2 PTP フレーム（イーサタイプが 0x88F7 のフレーム）内のコレクションフィールドを自動で更新することが可能です。一方、UDP/IP フレーム内の PTP メッセージは自動更新できません。

コレクションフィールドの更新を行うモジュールはイベントメッセージのみを処理します。イベントメッセージの検出には、PTP ヘッダ内のメッセージタイプフィールドを確認して、タイプが 4 よりも小さいフレームを抽出しています。つまり、イベントフレームではないフォローアップメッセージは処理されません。従って、SYNC フレームで検出されるコレクションフィールドのみを自動的に更新することができます。これにより two-step のマスタ-スレーブノードだけではなく one-step でのコレクションフィールド更新をサポートします。

End-to-End の実装においては、SYNC と DELAY_REQ メッセージのコレクションフィールドは、ノードの通過時間（送信された時間－入力された時間）だけ更新されます。

コレクションフィールドの更新はポート 0 とポート 1 の間で転送されたフレームのみ行われます。内部ポート、あるいは内部ポートから送受信されるフレームは変更されません。

9.4.5 マネージメント・ポート（内部ポート）専用フレーム・タグ

イーサネット・スイッチと内部イーサネット MAC の間で、フレームに関するある情報（例えば制御情報やタイムスタンプ情報）を伝達する必要があります。これを実現するために、その情報をマネージメント・タグとしてフレームに付加することが可能です。タグが追加されたフレームをイーサネット・スイッチと内部イーサネット MAC 間で転送することが可能です。タグが追加されたフレームはイーサネット・スイッチと内部イーサネット MAC 間の転送時のみに使用され、受信側に取り込まれると、そのタグに含まれる情報を取得後、タグは取り除かれます。

9.4.5.1 マネージメント・タグのフォーマット

追加の制御情報やタイムスタンプの情報は、任意の値を設定可能なフレームタイプのタグとして、フレームのソースアドレス・フィールドの直後に追加されます。もし VLAN タグのような別のタグが存在している場合、その別のタグよりも前の位置にタグは追加されます。タグには以下の情報が含まれています。

- ControlTag：フレーム内に追加の制御情報が存在することを示す識別子です。ETHSWMTC レジスタで値を設定します。サイズは 2 オクテットです。
- ControlData：フレームの制御情報です。サイズは 2 オクテットです。
- ControlData2：送信と受信により機能が異なり、受信時にはタイムスタンプの情報を、送信時には送信ポートの指定を行います。サイズは 4 オクテットです。

ControlData2 以後に元のフレームが続きます。例えば、VLAN タグは ControlData2 の後に付きます。

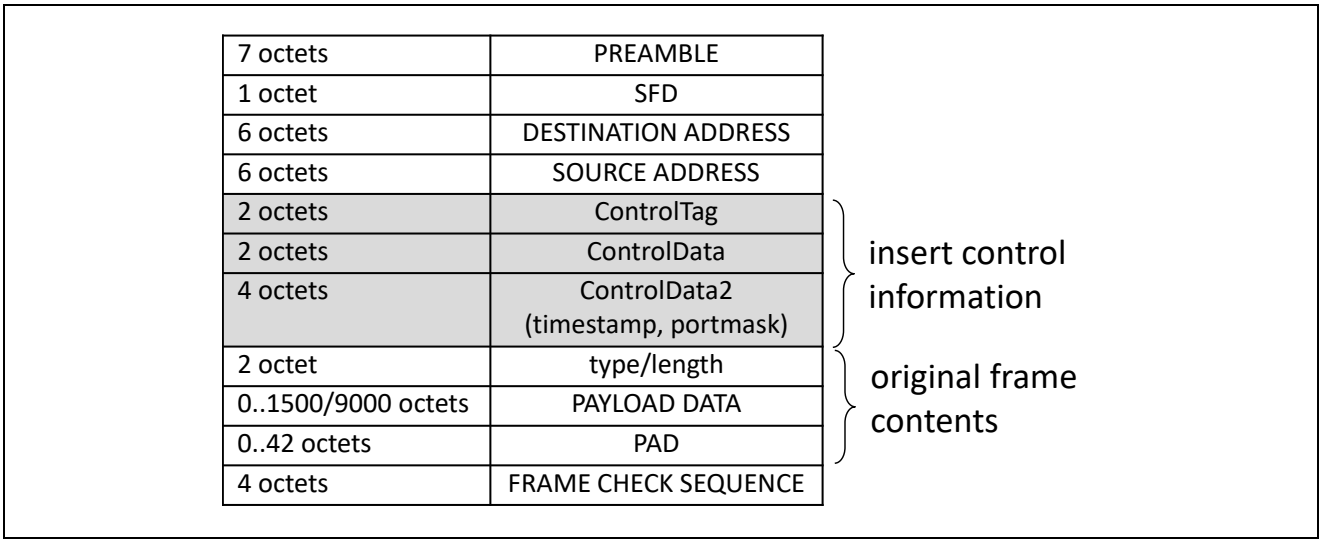


図9.19 内部ポートにおけるマネージメント・タグ付きのフレームのフォーマット

タグが追加されると、CRC は再計算され、受信時の CRC を置き換えます。

バイト・オーダーに関しては、ControlData の第一オクテットは上位側バイト（ビット 15-8）、第二オクテットは下位側バイト（ビット 7-0）です。ControlData2 の第一オクテットは最上位側バイト（ビット 31-24）、第四オクテットは最下位側バイト（ビット 7-0）です。

9.4.5.2 送信処理（スイッチから内部イーサネット MAC への転送）

スイッチが内部イーサネット MAC にフレームを送信する際、ETHSWMTC レジスタのビット 31 により、タグ追加機能が有効に設定されている場合、以下の情報が全てのフレームに追加されます。

表9.18 マネージメントフレーム・タグ（スイッチから内部イーサネット MAC への転送時）

フィールド	ビット	内容
ControlData	0	フレームが受信された外部ポートの番号を示します。 0：ポート 0 1：ポート 1
	15-1	Reserved
ControlData2	31-0	フレームの受信タイムスタンプを示します。 32 ビットのナノ秒での値です。フレームを受信したポートにおいて、フレームの SFD が検出されたときの時間を示しています。

9.4.5.3 受信処理（内部イーサネット MAC からスイッチへの転送）

内部イーサネット MAC からスイッチにフレームが転送される際、ETHSWMTC レジスタのビット 31 により、タグ追加機能が有効に設定されている場合、内部イーサネット MAC は以下の情報を含んだマネージメント・タグを全てのフレームに追加します。スイッチはマネージメント・タグ付きのフレームを受信すると、タグの内容を取得後、タグをフレームから削除します。

表9.19 マネージメントフレーム・タグ（内部イーサネット MAC からスイッチへの転送時）

フィールド	ビット	内容
ControlData	0	強制転送を指定します。 0：強制転送無効。通常の転送処理が行われます。 1：強制転送有効。ControlData2 のビット 1-0 で指定された全てのポートにフレームを転送します。
	1-2	Reserved
	3	送信タイムスタンプ採取対象のフレームとして指定します。 1 にセットされると、ポートから送信される時に、そのポートに対応するポートタイムスタンプ・レジスタ（PORTn_TIME レジスタ）に格納されます。
	15-4	Reserved
ControlData2	1-0	宛先ポートマスク設定です。ControlData のビット 0 で強制転送が有効に設定された場合のみ意味を持ちます。フレームを転送させるポートを指定します。同時に複数のポートに強制転送させることも可能です。ビット 0 がポート 0、ビット 1 がポート 1 に対応します。それぞれ以下の設定が可能です。 0：そのポートにフレームを強制転送させません。 1：そのポートにフレームを強制転送させます。
	31-2	Reserved

9.4.5.4 マネージメント・タグ機能の設定

フレームへマネージメント・タグを挿入／除去する機能は、ETHSWMTC レジスタにより有効にすることができます。有効にすると、スイッチから内部イーサネット MAC へ転送されるフレームに自動的にタグが挿入されます。一方、内部イーサネット MAC からスイッチに転送されるフレームにもタグが挿入されます。スイッチではタグが見つかれば、その情報を取得後、タグを取り除き、通常の送信処理を行います。

注意 1 タグの識別子には、ネットワーク上で使用されないタイプ値（例えば、初期値である e001H）を設定しなければなりません。

2 内部イーサネット MAC におけるマネージメント・タグの扱いは、第 7 章 ギガビット・イーサネット MAC を参照してください。

9.5 コントロール・ソフトウエアの概要

9.5.1 概要

イーサネット・スイッチはポート間でフレームを転送するためのハードウエアです。転送処理では宛先 MAC アドレスの検索と BPDU のような特殊な転送が必要なフレームのフィルタが行われます。

ソフトウエアでは、スイッチの初期化とスイッチを動作させるためのタスクを実行させる必要があります。そのタスクとして最低限必要なものはラーニングテーブルを管理するタスクです。

IEEE1588 のタイムスタンプや DLR を使用する際には、さらにそれらを動作させるためのソフトウエアが必要になります。また、スパニング・ツリーのような更なる上位層のプロトコルも必要に応じて実装する必要があります。

本節ではスイッチを動作させるために必要とされる最低限のスイッチの初期設定とラーニングテーブルの管理方法について説明します。

9.5.2 イーサネット・スイッチの初期化

イーサネット・スイッチの初期化は以下の手順で行ってください。

- アドレステーブルのクリア
- マネージメント・ポート（内部ポート）の設定
- スイッチのポートの設定
- ポート上の MAC の設定
- ハブモジュールの設定
- タイマモジュールの設定
- DLR モジュールの設定

以下の表にスイッチを動作させるために必要な最低限の初期設定例を示します。なお、タイマ・モジュールに関しては、補正は未実行、DLR モジュールも無効の状態としています。これらに関しては、PTP や DLR プロトコル等の上位のプロトコルにおいて適切な値を設定してください。

表9.20 アドレステーブルの初期設定例

アドレス	レジスタ	設定例	内容
4007 4000H~ 4007 47FC (4 バイト単位)	ADR_TABLE	0000 0000H	アドレステーブルの全エントリを 0 に初期化します。
4007 4000H + Unicast MAC アドレスの Hash 値×8H	ADR_TABLE	0403 0201H	ユニキャストアドレスを静的エントリとして設定します。設定例は MAC アドレスが 01-02-03-04-05-06 の場合です。優先度は 0 でポート 2 のみマスクしています。動的に設定する場合、本設定は不要です。
上記アドレスの+4H	ADR_TABLE	0083 0605H	

表9.21 スイッチ・エンジンの初期設定例

アドレス	レジスタ	設定例	内容
4001 0680H	ETHSWMTC	0000 E001H	マネージメント・タグを使用しません。使用する場合は、8000 E001H を設定してください。なお、本レジスタへライトするには、システム・プロテクト・コマンドレジスタを使用してプロテクトの解除が必要です。
4001 0684H	ETHSWMD	0000 0000H	全二重の 10/100Mbps のモードに設定します。なお、本レジスタへライトするには、システム・プロテクト・コマンドレジスタを使用してプロテクトの解除が必要です。
4007 000CH	UCAST_DEFAULT_MASK	0000 0007H	未知のユニキャストフレームの転送をマスクします。未知のユニキャストフレームを受信すると、このマスクで設定した全てのポートに転送されます。アドレステーブルの初期化が完了すれば、マスクのリストからマネージメントポート（内部ポート）を取り除いても構いません。それによりローカルシステムへの不要なユニキャストの転送を避けることができます。ただし、アドレステーブルにローカルシステムのユニキャストアドレスを設定しておく必要があります。アドレステーブルの初期化中に静的に設定するか、ローカルシステムから少なくとも 1 フレーム送信して動的にラーニング機能を動かした後にマスク設定を変更する必要があります。
4007 0014H	BCAST_DEFAULT_MASK	0000 0007H	ブロードキャストフレームを転送させるポートを設定します。
4007 0018H	MCAST_DEFAULT_MASK	0000 0007H	アドレステーブルで検出できなかったマルチキャストフレームを転送させるポートを設定します。
4007 0020H	MGMT_CONFIG	0000 0042H	BPDU フレームの受信を有効（ビット 6＝1）にしてマネージメントポート（ポート 2）に転送させます。 もしマネージメントフレームを破棄させる必要がある場合、ビット 7 を 1 に設定して下さい。
4007 0100H 4007 0104H 4007 0108H	VLAN_PRIORITY0 VLAN_PRIORITY1 VLAN_PRIORITY2	006D B688H	ポート毎に、VLAN プライオリティを 4 つのキューにマッピングします。本設定では VLAN プライオリティの 0～3 は、キュー0～3 に、4～7 は 3 にマッピングしています。
4007 0180H 4007 0184H 4007 0188H	PRIORITY_CFG0 PRIORITY_CFG1 PRIORITY_CFG2	0000 0001H	ポート毎に、VLAN プライオリティによる出力キューのマッピングを有効にします。またデフォルトのプライオリティを 0 に設定します。
4007 0080H	OQMGR_STATUS	0000 0000H	出力キューを有効にします。メモリセルの初期化中はビット 1 が 1 になっているため、ビット 1 が 0 になった時に、レジスタを 0 にクリアして下さい。
4007 0088H	QMGR_ST_MINCELLS	0000 0000H	メモリ空き状態の最小値情報をクリアします。
4007 0094H	QMGR_WEIGHTS	0804 0201H	出力キューに重みを設定します。
4007 0008H	PORT_ENA	0000 0007H	スイッチの全てのポートを有効にします。

表9.22 MAC の初期設定例

アドレス	レジスタ	設定例	内容
4007 801CH 4007 A01CH	RX_SECTION_EMPTY0 RX_SECTION_EMPTY1	0000 0000H	値の変更はできません。
4007 8020H 4007 A020H	RX_SECTION_FULL0 RX_SECTION_FULL1	0000 0000H	値の変更はできません。
4007 8024H 4007 A024H	TX_SECTION_EMPTY0 TX_SECTION_EMPTY1	0000 0048H	MAC には 128 段の FIFO が実装されています。送信 FIFO のエントリがこの閾値を上回れば、内部から送信 FIFO へのデータの転送が止まります。TX オーバーフローを防ぐための閾値です。65 以上の値を設定してください。
4007 8028H 4007 A028H	TX_SECTION_FULL0 TX_SECTION_FULL1	0000 0014H	送信 FIFO が送信を開始するために必要なエントリ数を設定します。17 以上の値を設定してください。
4007 802CH 4007 A02CH	RX_ALMOST_EMPTY0 RX_ALMOST_EMPTY1	0000 0008H	値の変更はできません。
4007 8030H 4007 A030H	RX_ALMOST_FULL0 RX_ALMOST_FULL1	0000 0005H	値の変更はできません。
4007 8034H 4007 A034H	TX_ALMOST_EMPTY0 TX_ALMOST_EMPTY1	0000 0004H	値の変更はできません。
4007 8038H 4007 A038H	TX_ALMOST_FULL0 TX_ALMOST_FULL1	0000 0010H	値の変更はできません。
4007 8014H 4007 A014H	FRM_LENGTH0 FRM_LENGTH1	0000 05F2H	受信フレームサイズの最大許容値を設定します。設定例では VLAN タグが 1 つ付いたフレームに対応できる 1522 を設定しています。余裕を持たせて 1536 程度に設定しても構いません。
4007 8008H 4007 A008H	COMMAND_CONFIG0 COMMAND_CONFIG1	0580 0013H	MAC の送受信を有効にします。

表9.23 HUB の初期設定例

アドレス	レジスタ	設定例	内容
4007 01C8H	HUB_FLT_MAC0lo	00C2 8001H	スパニングツリー等のスイッチ・マネージメントフレームの設定例です。01-80-c2-00-00-{00.3F}の MAC アドレスをフィルタします。
4007 01CCH	HUB_FLT_MAC0hi	00C0 0000H	
4007 01D0H	HUB_FLT_MAC1lo	0019 1B01H	PTPv2 の Normal message の設定例です。01-1b-19-00-00-00 の MAC アドレスをフィルタします。
4007 01D4H	HUB_FLT_MAC1hi	00FF 0000H	
4007 01D8H	HUB_FLT_MAC2lo	005E 0001H	PTP の UDP/IP メッセージの設定例です。01-00-5e-00-01-{80..87}の MAC アドレスをフィルタします。
4007 01DCH	HUB_FLT_MAC2hi	00F8 8001H	
4007 01E0H	HUB_FLT_MAC3lo	005E 0001H	マネージメントフレームの設定例です。01-00-5e-00-00-{00..03}の MAC アドレスをフィルタします。
4007 01E4H	HUB_FLT_MAC3hi	00FC 0000H	
4007 01E8H	HUB_FLT_MAC4lo	0403 0201H	ユニキャストアドレスを設定します。設定例は 01-02-03-04-05-06 の場合です。
4007 01ECH	HUB_FLT_MAC4hi	00FF 0605H	
4007 01F0H	HUB_FLT_MAC5lo	0000 0000H	未使用時の設定例です。
4007 01F4H	HUB_FLT_MAC5hi	00FF 0000H	
4007 01F8H	HUB_FLT_MAC6lo	006C 2101H	DLR のビーコンフレームの設定例です。01-21-6C-00-00-01 の MAC アドレスのフレームを強制転送します。
4007 01FCH	HUB_FLT_MAC6hi	01FF 0100H	
4007 01C0H	HUB_CONTROL	0000 00AFH	ハブを有効にします。ハブを使用しない場合は、0000 00A0H を設定してください。

表9.24 タイマ・モジュールの初期設定例

アドレス	レジスタ	設定例	内容
4007 C004H	TSM_CONFIG	0000 300BH	ナノ秒タイマの 1 秒到達割り込み（ビット 2）と、テスト用割り込み（ビット 4）以外の割り込み発生を許可します。
4007 C008H	TSM_IRQ_STAT_ACK	0000 301FH	全ての割り込みをクリアします。
4007 C138H	ATIM_SEC	0000 0000H	タイマを初期化します。ATIME の前に設定します。
4007 C124H	ATIME	0000 0000H	タイマを初期化します。
4007 C12CH	ATIME_EVT_PERIOD	3B9A CA00H	1 秒を設定します。
4007 C134H	ATIME_INC	0000 0808H	クロック周期の設定です。補正は未適用です。
4007 C130H	ATIME_CORR	0000 0000H	ドリフト補正未適用です
4007 C120H	ATIME_CTRL	0000 00A1H	タイマを始動します。補正は未適用です。
4007 C020H 4007 C028H	PORT0_CTRL PORT1_CTRL	0000 0000H	タイムスタンプ・コントロール/ステータス・レジスタをクリアします。

表9.25 DLR モジュールの初期設定例

アドレス	レジスタ	設定例	内容
4007 E000H	DLR_CONTROL	0000 6400H	タイムアウトタイマのクロック周期を設定します。 DLR 機能は無効にしています。
4007 E008H	DLR_ETH_TYP	0000 80E1H	DLR フレームのイーサタイプを設定します。
4007 E00CH	DLR_IRQ_CTRL	0000 0000H	DLR 割り込みを発生させません。
4007 E010H	DLR_IRQ_STAT_ACK	0000 FFFFH	全ての割り込みをクリアします。
4007 E014H	LOC_MAClo	0403 0201H	ユニキャストアドレスを設定します。設定例は 01-02-03-04-05-06 の場合です。
4007 E018H	LOC_MAChi	0000 0605H	

9.5.3 アドレステーブル設定

9.5.3.1 アドレステーブルのエントリブロックの定義

イーサネット・スイッチがフレームを受信すると、スイッチはアドレステーブルを検索し、フレームを転送する宛先のポートを検出します。転送処理自体にソフトウエアは関係せず、全てハードウエアで処理されます。しかしながら、ソフトウエアには、アドレステーブルの初期化とその管理が求められます。ソフトウエアのタスクのプライオリティは低くても問題ありませんが、スイッチが動作している間は常に、そのタスクは、ラーニングデータをチェックし、MAC アドレスのアドレステーブルへの追加や、長時間使用されない古いエントリの削除を行う必要があります。

ハードウエアは、アドレステーブルの検索を即座に行うためにハッシュ値を使用します。ハッシュ値はアドレステーブルからエントリを検索するためのアドレステーブル内のスタートアドレスとして使用されます。スタートアドレスから続く 8 エントリがリニアサーチの対象となり、MAC アドレスの検出が行われます。これはブロックエントリーと呼ばれる仕組みです。

アドレステーブルが小さい場合、1 ハッシュ値毎の 8 エントリのブロックはオーバーラップして配置されています。しかし、ハードウエアはそれを区別せず、常にハッシュ値で示された最初のエントリから始まる 8 エントリを検索します。これにより、小さなテーブルでも 1 つのブロックに含まれるハッシュ単位のエントリを減らす必要なく、効率的にアドレスの保存ができます。

アドレステーブルのレイアウトの原理を図9.20に示します。これを理解した上で、ラーニング機能とエージング機能のソフトウエアを記述してください。

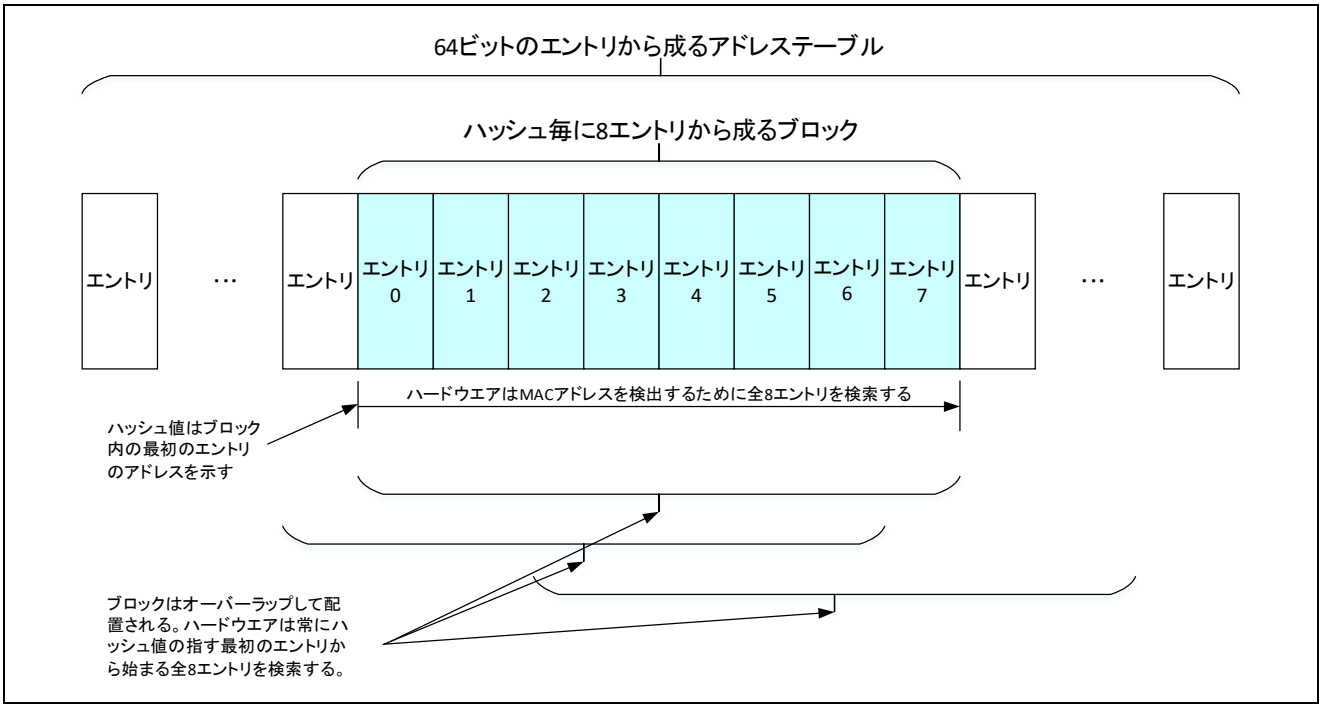


図9.20 アドレステーブルのエントリとハッシュ・ブロックの定義

9.5.3.2 アドレスラーニング

アドレステーブルは、スイッチの転送時に、フレームがどのポートに転送されるべきかを把握するために使用されます。フレームを受信すると、ハードウエアは自動的にアドレステーブルを検索します。ソフトウエアはテーブルを最新の状態に保ち、ハードウエアによって使用される転送情報をテーブルに挿入する必要があります。

ソフトウエアによるラーニング管理機能は、低プライオリティで動作させるバックグラウンド・タスクです。継続的にラーニングデータを検査し（つまり、受信フレームの発信元アドレスとポート番号の情報を抽出し）、新しいアドレスが見つかればアドレステーブルを更新します。

ラーニング機能は以下のステップで実行します。

- ラーニングインタフェース（LRN_REC_A/B レジスタ経由）からデータをリードします。データレコードにはハッシュ値が含まれ、ハッシュ値はアドレステーブルのエントリを検出するためのスタートアドレスとして使用されます。
- ハッシュ値によるスタートアドレスから、8 エントリを検索し、エントリが既にテーブルに存在していれば、エージング時間を更新してください（あるいはポート番号の変更があった場合にはポート番号を更新してください）。
- エントリがアドレステーブルの 8 エントリのどこにも見つからなければ、そのエントリは新しいエントリとして追加する必要があります。新しいエントリの追加は、8 エントリの中の未使用のエントリにするか、現在のエントリにランダム、もしくは最も古いエントリに上書きします。

「図9.20 アドレステーブルのエントリとハッシュ・ブロックの定義」に個々のステップとアドレステーブルの管理機能がどのように実装されるべきかを示します。これを参考にアドレスラーニングタスクを実装してください。

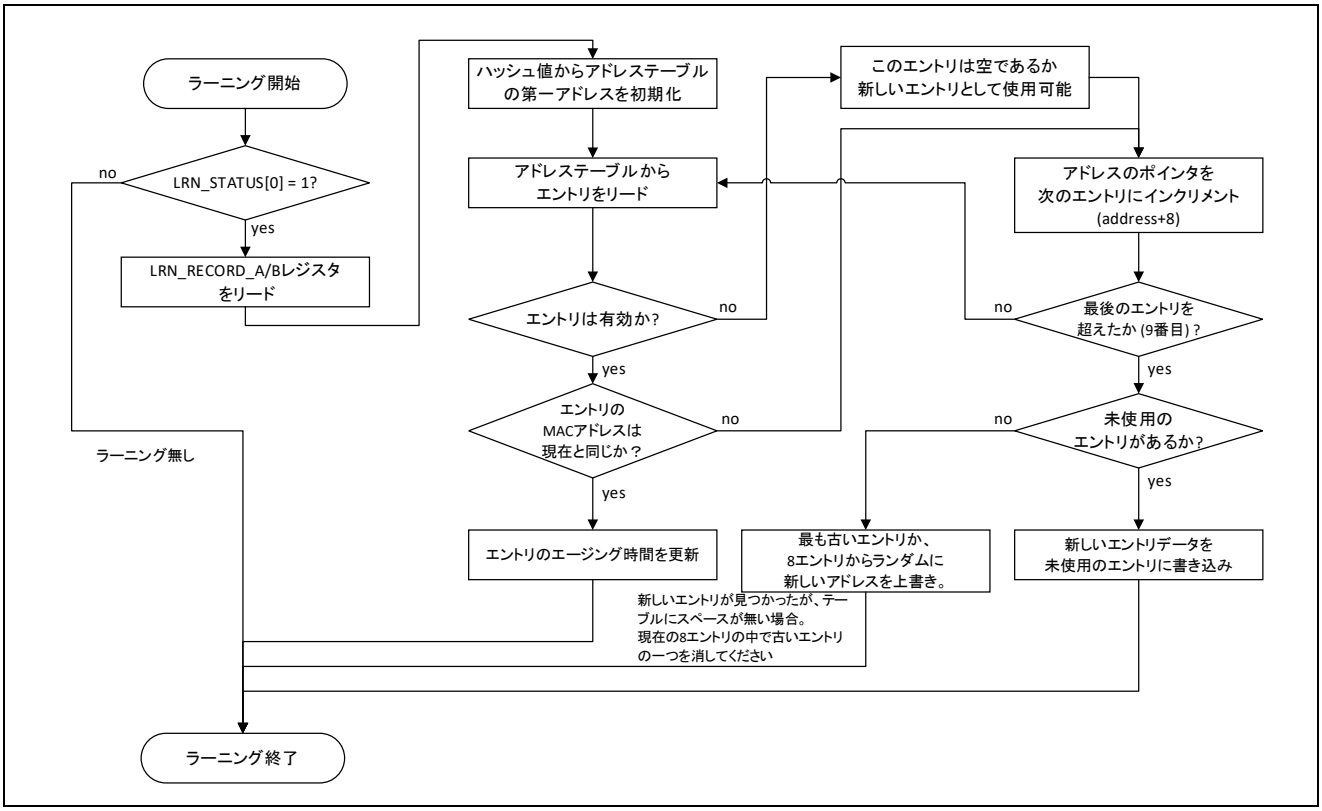


図9.21　アドレスラーニングフロー

10. 非同期 SRAM MEMC（ROM／RAM）

非同期式 SRAM MEMC は、32/16 ビット・バスで外部にページ ROM／ROM／SRAM を接続できます。また、SRAM インタフェースに準ずる周辺デバイスも接続できます。

非同期式 SRAM MEMC は、同期式バースト・アクセス MEMC と外部マイコン・インタフェースと端子兼用しており、MEMCSEL 端子および MEMIFSEL 端子がともにロー・レベルに設定のときに非同期式 SRAM MEMC を使用できます。

BOOT0、BOOT1 端子が共にロー・レベルのときに、CSZ0 に接続されたメモリからブート動作を行います。

注意. MEMIFSEL 端子や MEMCSEL 端子等の動作モード設定端子は、動作中に変更しないでください。リセット解除前に確定させてください。

10.1 概　要

○ 32／16 ビット・データ・バス
○ スタティック・メモリ制御機能
- SRAM コントローラ 4 チャネル（チャネル 0 にはページ ROM コントローラ内蔵）
- SRAM, 外部 I/O 接続機能
- ページ ROM 接続機能（CSZ0 のみ）
- プログラマブル・ウェイト機能
  －アドレス設定ウェイト
  －データ・ウエイト
  －ライト・リカバリ・ウエイト
  －アイドル・ウエイト

○ ライト・ストローブ／バイト・イネーブル兼用

注意 R-IN32M4 のメモリ・コントローラは 8 ビット・バス幅には対応していません。

10.2 特 徴

(1) スタティック・メモリ制御機能

R-IN32M4 のメモリ・コントローラは、CSZ0-CSZ3 に接続されたスタティック・メモリ（SRAM, I/O, ページ ROM）を制御します。ただしページ ROM は、CSZ0 にのみ接続できます。

(a) SRAM, 外部 I/O 接続機能

SRAM, 外部 I/O 接続機能の主な特徴は以下のとおりです。

- 最小 4 サイクル（4×BUSCLK）のリード・サイクル
- 最小 5 サイクル（5×BUSCLK）のライト・サイクル
- レジスタ設定により、最大 15×BUSCLK のアドレス設定ウェイトを挿入可能
- レジスタ設定により、最大 15×BUSCLK のデータ・ウエイトを挿入可能
- レジスタ設定により、最大 15×BUSCLK のライト・リカバリ・ウエイトを挿入可能
- レジスタ設定により、最大 16×BUSCLK のアイドル・ウエイトを挿入可能
- 外部端子入力により、データ・ウエイトを挿入可能

(b) ページ ROM 接続機能

ページ ROM 接続機能の主な特徴は以下のとおりです。

- ページ ROM は CSZ0 にのみ接続可能
- 最小 3 サイクル（3×BUSCLK）のリード・サイクル
- オンページ判定機能
- レジスタ設定により、アドレス比較ビット幅を変更可能
- レジスタ設定により、最大 15×BUSCLK のアドレス設定ウェイトを挿入可能
- レジスタ設定により、最大 15×BUSCLK のデータ・ウエイトを挿入可能
- レジスタ設定により、最大 16×BUSCLK のアイドル・ウエイトを挿入可能
- 外部端子入力により、データ・ウエイトを挿入可能
- ページ ROM が配置された領域に対してライト・サイクルが要求された場合は、SRAM ライト・サイクルを起動
- レジスタ設定により、最大 15×BUSCLK のライト・リカバリ・ウエイトを挿入可能

注意 ページ ROM のオンページ・アクセスの判断は固定長バースト単位で行われます。
AHB 固定長バースト転送では、1 回目のリード・サイクルはオフページ・アクセスとなり、2 回目のリード・サイクル以降はオンページ・アクセスになります。
AHB シングル転送や、AHB 不定長バースト転送では、オンページ・アクセスは行われません。オフページ・アクセスの最短サイクルは 3×BUSCLK です。

備考 BUSCLK は、HCLK と同一周波数です。

(2) エンディアン

R-IN32M4 のメモリ・コントローラは、リトル・エンディアン固定で動作します。

10.3 バス制御機能

R-IN32M4 を動作させるには、バス制御レジスタの設定を行う必要があります。

10.3.1 レジスタ概要

表10.1 バス制御機能のレジスタ概要

レジスタ名	略号	アドレス
バス・サイズ制御レジスタ	BSC	400A 2004H
スタティック・メモリ制御レジスタ 0-3	SMC0-SMC3	400A 2008H - 400A 2014H
ページ ROM 制御レジスタ	PRC	400A 2018H
ライト・イネーブル切り替えレジスタ	WREN	BASE + 0100H

10.3.2　バス・サイズ制御レジスタ（BSC）

BSC レジスタは、チップ・セレクト信号ごとにアクセスするメモリに対するデータ・バス幅を設定します。
SBS3-SBS0 ビットはチップ・セレクト出力（CSZ3-CSZ0）に対応しています。
BSC レジスタの初期値は、BUS32EN 端子の入力レベルにより変わります。

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-16, 15, 13,11,9 には必ず 0 を設定してください。ビット 14, 12, 10, 8, 6, 4, 2, 0 には必ず 1 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
BSC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	SBS3	1	SBS2	1	SBS1	1	SBS0	1	400A 2004H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	R/W	1	R/W	1	R/W	1	R/W	1	初期値 注 1

ビット位置	ビット名	意　味
31-15, 13, 11, 9	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
14, 12, 10, 8, 6, 4, 2, 0	－	Reserved（ライトは 1 を書き込んでください。リードは 1 が読み出されます。）
7, 5, 3, 1	SBS3-SBS0	チップ・セレクト出力（CSZ3-CSZ0）ごとのデータ・バス幅を設定します。 0：16 ビット 1：32 ビット

注 1. BUS32EN 端子入力により、外部バス・サイズは下記のように変化します。

BUS32EN	起動時の外部バス・サイズ	BSC レジスタ	A1 端子の動作	D16-D31 端子の動作
0	16 ビット	0000 5555H	A1	未使用
1	32 ビット	0000 FFFFH	ロー・レベル出力	D16-D31

2. 1 もしくは 0 固定のビットに対して、ほかの値を上書きしないでください。変更した場合の動作保証はできません。

10.3.3 スタティック・メモリ制御レジスタ 0-3（SMC0-SMC3）

SMC0-SMC3 レジスタは、チップ・セレクト出力（CSZ0-CSZ3）ごとに各種ウェイトを設定します。

1 ウェイトは BUSCLK の 1 クロック分です。BUSCLK は、内部システム・バス（AHB）クロックの HCLK と同一周波数です。

- アクセス　32 ビット単位でリード／ライト可能です。
  ビット 31-16 には必ず 0 を設定してください。

ビット名の IWn, WWn, DWn, ACn の n（n = 0-3）は、チャンネル 0-チャンネル 3 の領域番号に対応します。

注意 1. SMC0-SMC3 レジスタには 0000 0000H を設定しないでください。IW（アイドル・ウエイト）、DW（データ・ウエイト）、AC（アドレス設定ウエイト）の合計が 1 以上になるように設定してください。
2. 未使用チャネルの SMC0-SMC3 レジスタへのライト・アクセスは行わないでください。

（1/3）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SMCn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	IWn3	IWn2	IWn1	IWn0	WWn3	WWn2	WWn1	WWn0	DWn3	DWn2	DWn1	DWn0	ACn3	ACn2	ACn1	ACn0	400A 2008H+ n×4H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000 FFFFH

ビット位置	ビット名	意　味
31-16	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15-12	IWn3-IWn0	CSZn ごとにアイドル・ウエイトを設定します。 このビットの設定は、リード・アクセス直後のアイドル・ウエイトにのみ反映されます。 アイドル・ウエイトとは、CSZn のディアサート（CSZn : L→H）から、次のバス・サイクルがアサートされるまでの最短サイクルです。 リード・サイクルで、データ・フロート時間が長く、直後のライト・サイクルでバス・ファイトが発生するケースなどで、アイドル・ウエイトを挿入します。

IWn3	IWn2	IWn1	IWn0	CSZn のアイドル・ウエイト数（IWn+1）
0	0	0	0	1×BUSCLK
0	0	0	1	2×BUSCLK
0	0	1	0	3×BUSCLK
⋮				⋮
1	1	0	1	14×BUSCLK
1	1	1	0	15×BUSCLK
1	1	1	1	16×BUSCLK（初期値）

注意 アイドル・ウエイトは、リード・アクセス直後も、ライト・アクセス直後も 1 ウェイト挿入されます。IWn3-IWn0 ビットの設定は、リード・アクセス直後のアイドル・ウエイト数に反映されます。ライト・アクセス直後のアイドル・ウエイトは常に 1 ウェイトです。

備考 1. n = 0-3

2. BUSCLK = HCLK

（2/3）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>11-8</td><td>WWn3-
WWn0</td><td>CSZn ごとにライト・リカバリ・ウエイトを設定します。
ライト・リカバリ・ウエイトとは、WRSTBZ と WRZn のディアサート（WRZn：L→H）から、CSZn がディアサート（CSZn：L→H）されるまでのサイクルです。
低速デバイスなどで、ライトとライトの間隔が必要なデバイスに対応させる場合などで、ライト・リカバリ・ウエイトを挿入します。
<table>
<tr><th>WWn3</th><th>WWn2</th><th>WWn1</th><th>WWn0</th><th>CSZn のライト・リカバリ・ウエイト数</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td rowspan="2">1×BUSCLK</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2×BUSCLK</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3×BUSCLK</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4×BUSCLK</td></tr>
<tr><td colspan="4">⋮</td><td>⋮</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13×BUSCLK</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14×BUSCLK</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15×BUSCLK（初期値）</td></tr>
</table>
注意 ライト・リカバリ・ウエイト数には 0×BUSCLK に設定できません。
必ず 1×BUSCLK のライト・リカバリ・ウエイトが挿入されます。</td></tr>
<tr><td>7-4</td><td>DWn3-DWn0</td><td>CSZn ごとにデータ・ウエイトを設定します。
ノー・ウェイトでは、1×BUSCLK 幅の RDZ, WRZn は、データ・ウエイトで設定したウェイト数分延長されます。
<table>
<tr><th>DWn3</th><th>DWn2</th><th>DWn1</th><th>DWn0</th><th>CSZn のデータ・ウエイト数</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0（ページ ROM は設定禁止）</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1×BUSCLK</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2×BUSCLK</td></tr>
<tr><td colspan="4">⋮</td><td>⋮</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13×BUSCLK</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14×BUSCLK</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15×BUSCLK（初期値）</td></tr>
</table>
注意 ページ ROM を使用するときは、SMC0 レジスタの DW03-DW00 ビットは 0001B（ウエイト数 = 1）以上を設定してください。
SMC0 レジスタの DW03-DW00 ビットは、ページ ROM 使用時は、オフページ・アクセスに使用されます。</td></tr>
</table>

備考 1. n = 0-3

2. BUSCLK = HCLK

（3/3）

ビット位置	ビット名	意　味
3-0	ACn3-ACn0	CSZn ごとにアドレス設定ウェイトを設定します。 アドレス設定ウェイトとは、CSZn のアサート（CSZn：H→L…アドレスの変化点も同一タイミング）から、RDZ、WRSTBZ、WRZn がアサート（REZ/WEZ：H→L）されるまでのサイクルです。 リード／ライト・ストローブに対するアドレスやチップ・セレクト信号のセットアップ時間を必要とするデバイスをアクセスする場合に、アドレス設定ウェイトを適宜挿入します。

ACn3	ACn2	ACn1	ACn0	CSZn のアドレス設定ウェイト数
0	0	0	0	0（リード時）、1×BUSCLK（ライト時）注
0	0	0	1	1×BUSCLK
0	0	1	0	2×BUSCLK
⋮				⋮
1	1	0	1	13×BUSCLK
1	1	1	0	14×BUSCLK
1	1	1	1	15×BUSCLK（初期値）

注 ライト時は、必ず 1×BUSCLK のアドレス設定ウェイトが挿入されます。

注意 このレジスタで設定したアドレス設定ウェイトは、ページ ROM に対するオンページ・アクセス時も挿入されます。

備考 1. n = 0-3

2. BUSCLK = HCLK

10.3.4　ページ ROM 制御レジスタ（PRC）

チップ・セレクト出力 0（CSZ0）に接続されているメモリ・タイプの指定、ページ ROM を選択した場合の接続するページ ROM の構成、連続読み出し可能なビット数に応じて、アドレス（A3-A6）のうちマスクする（比較しない）アドレスや BUSCLK に応じたウェイト数を設定します。BUSCLK は、内部システム・バス（AHB）クロックの HCLK と同一周波数です。

なお、オフページ・アクセス時のウェイト設定は、スタティック・メモリ制御レジスタ 0（SMC0）で行います。このとき、オフページ・アクセス時のウェイト数は 1 以上を設定してください。

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 27-20, ビット 15-1 には必ず 0 を設定してください。

注意 1. ページ ROM をオンページ ROM モードで利用できるのは、CSZ0 に接続されているページ ROM のみです。
2. オフページ・アクセスのウェイト数は、必ず 1 以上を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
PRC	PRW3	PRW2	PRW1	PRW0	0	0	0	0	0	0	0	0	MA6	MA5	MA4	MA3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST	400A 2018H
																																	初期値
R/W	R/W	R/W	R/W	R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	F000 0000H

ビット位置	ビット名	意　味
31-28	PRW3- PRW0	CSZ0 のページ ROM の、オンページ・サイクル時のデータ・ウエイト数を設定します。

PRW3	PRW2	PRW1	PRW0	CSZ0 のオンページ・アクセスのウェイト数
0	0	0	0	設定禁止
0	0	0	1	1×BUSCLK
0	0	1	0	2×BUSCLK
0	0	1	1	3×BUSCLK
⋮				⋮
1	1	0	1	13×BUSCLK
1	1	1	0	14×BUSCLK
1	1	1	1	15×BUSCLK（初期値）

ビット位置	ビット名	意　味
19-16	MA6- MA3	アドレス比較時のマスク・ビットを設定します。

MA6	MA5	MA4	MA3	接続するページ ROM のページ・サイズ
0	0	0	0	32 ビット×2, 16 ビット×4（初期値）
0	0	0	1	32 ビット×4, 16 ビット×8
0	0	1	1	32 ビット×8, 16 ビット×16
0	1	1	1	32 ビット×16, 16 ビット×32
1	1	1	1	32 ビット×32, 16 ビット×64
上記以外				設定禁止（設定した場合の動作は保証できません。）

ビット位置	ビット名	意　味
0	ST	チップ・セレクト出力 0（CSZ0）に接続するメモリ・タイプを指定します。 0：SRAM, I/O デバイス（初期値） 1：ページ ROM

ページ ROM 制御レジスタ（PRC）により接続するページ ROM の構成、連続する読み出し可能なビット数に応じて、アドレス（A3-A6）のうちマスクする（比較しない）アドレスを設定します。

次に、512K ワード×16 ビットのページ ROM を 2 つ接続した場合の、アドレス・マスク制御の例を示します。

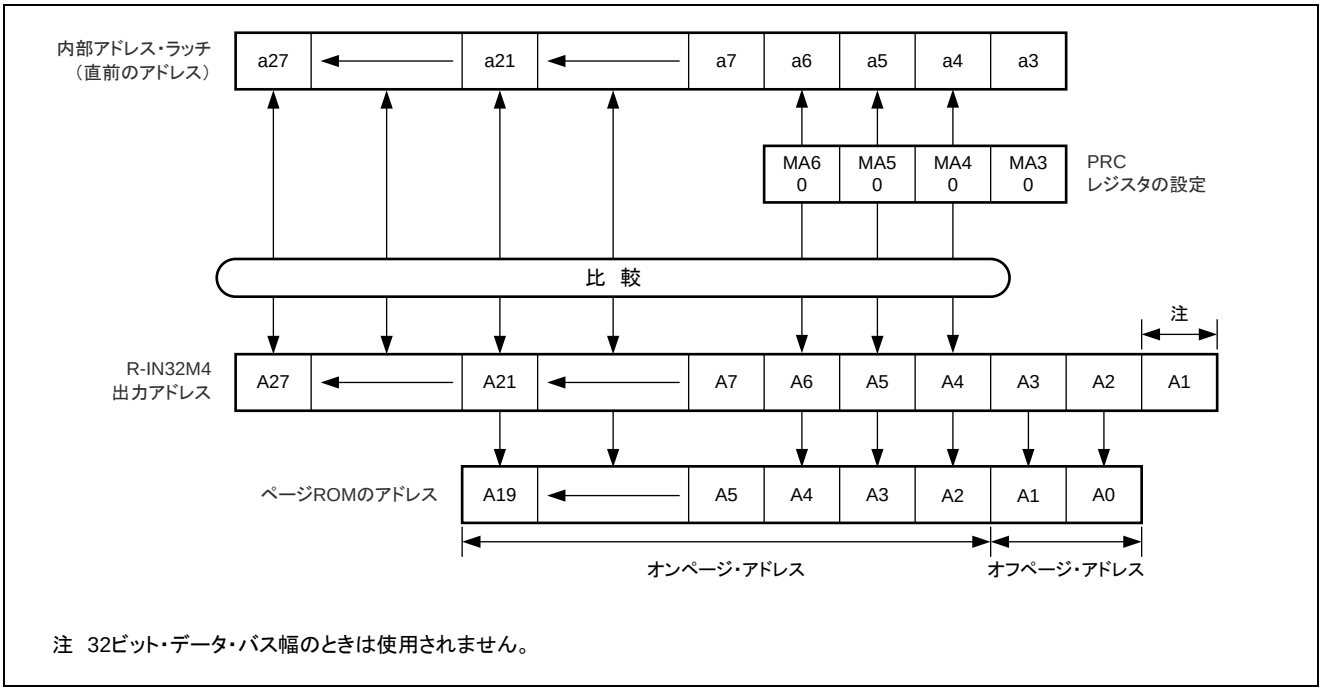


図10.1　　PRC レジスタの MA6-MA3 ビットによる制御例

(1)　オンページ・アクセス判定

オンページ・アクセスの判断は、固定長バースト転送中において 2 ワード目以降の転送で行います。1 ワード目の転送、シングル転送および不定長バースト転送ではオフページ・アクセスとなります。

注意 ページ ROM のデータ・バス幅よりも転送データ幅の大きいアクセス要求があった場合、ページ ROM へのアクセスは分割して行い、下位／上位のアクセスでオンページ判定を行います。分割アクセス時にはシングル転送でもオンページ判定を行います。また、不定長バースト転送時はシングル転送の連続に置き換えられるため、ワード単位で下位／上位でオンページ判定を行います。ワードから次のワードでのオンページ判定は行わず、必ずオフページ・アクセスとなります。

10.3.5　ライト・イネーブル切り替えレジスタ（WREN）

BENZ0-BENZ3 端子の機能において、WRZ0-WRZ3 と BENZ0-BENZ3 とを選択するレジスタです。

WREN レジスタは、32 ビット単位でリード／ライト可能です。リセットで 0000 0001H になり、BENZ0-BENZ3 端子は WRZ0-WRZ3 として動作します。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
WREN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	WREN	BASE + 0100H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0000 0001H

ビット位置	ビット名	意　味
31-1	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	WREN	外部メモリ・インタフェースの BENZ0-BENZ3 端子機能を選択します。 0：BENZ0-BENZ3 として動作 1：WRZ0-WRZ3 として動作

注意 未使用ビットへの 1 ライトは未保証です。行った場合の動作は保証できません。
本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

10.4　メモリ接続例

10.4.1　SRAM の接続例

SRAM との接続例は次のようになります。

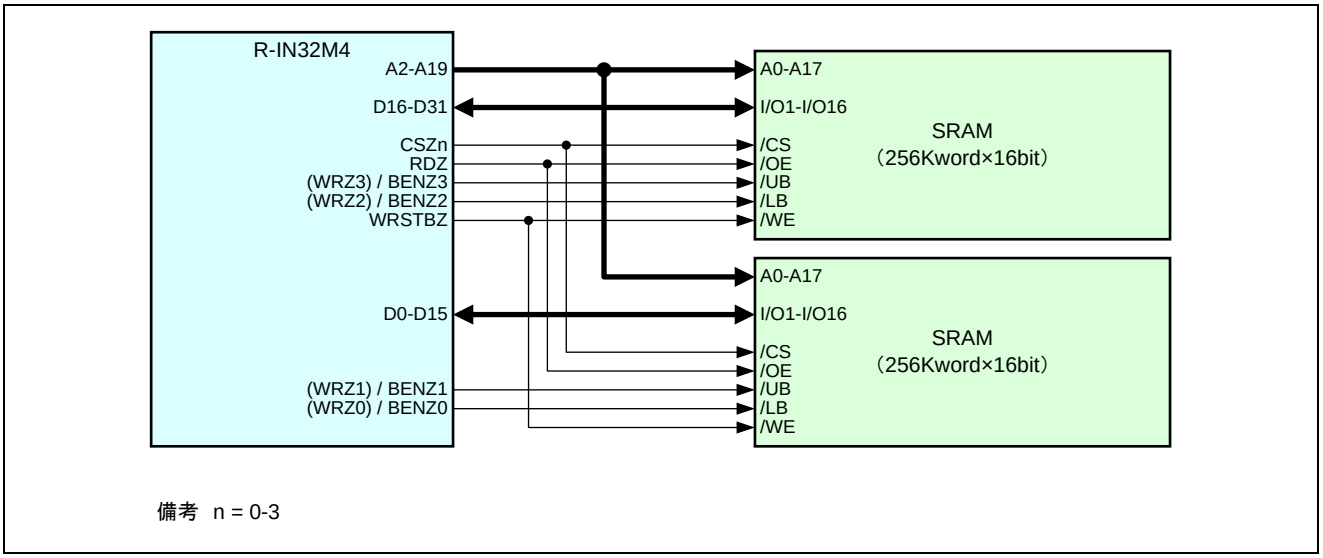


図10.2　R-IN32M4 と 32 ビット幅 SRAM との接続例

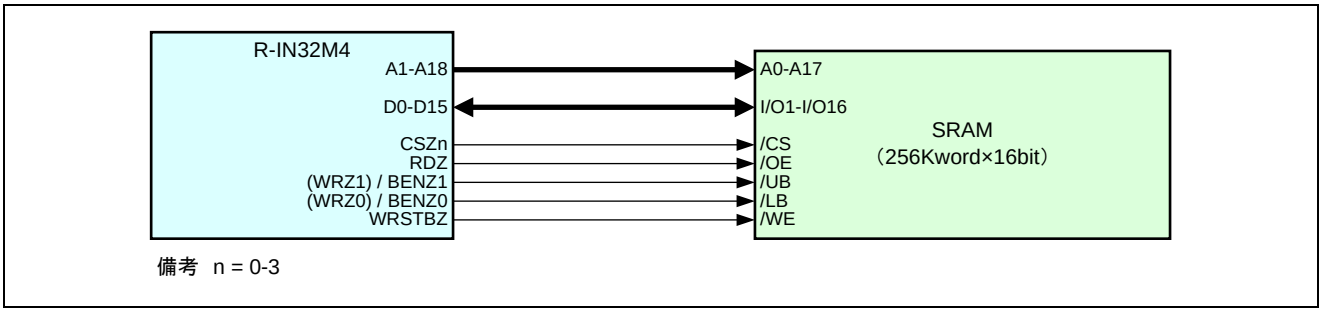


図10.3　R-IN32M4 と 16 ビット幅 SRAM との接続例

10.4.2　ページ ROM の接続例

ページ ROM との接続例は次のようになります。

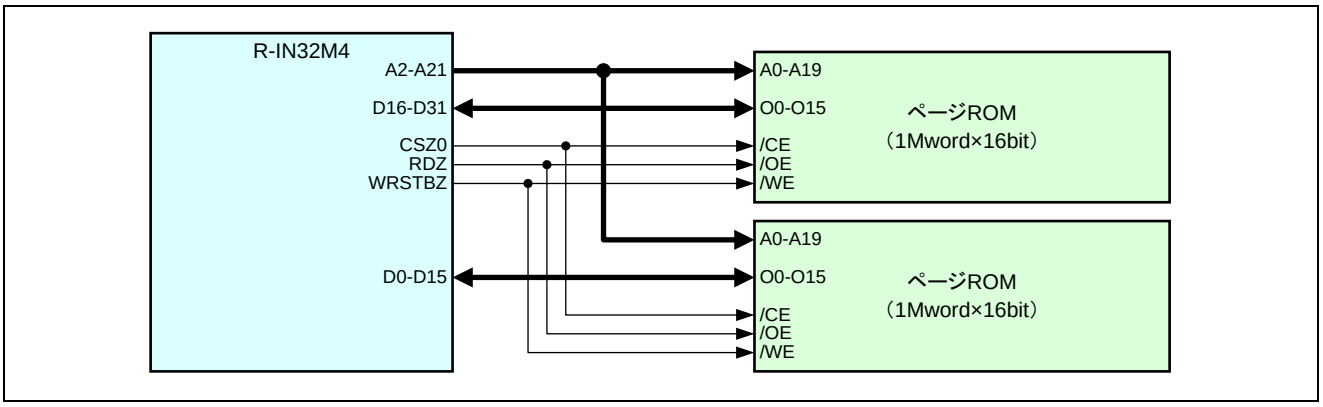


図10.4　R-IN32M4 と 32 ビット幅ページ ROM との接続例

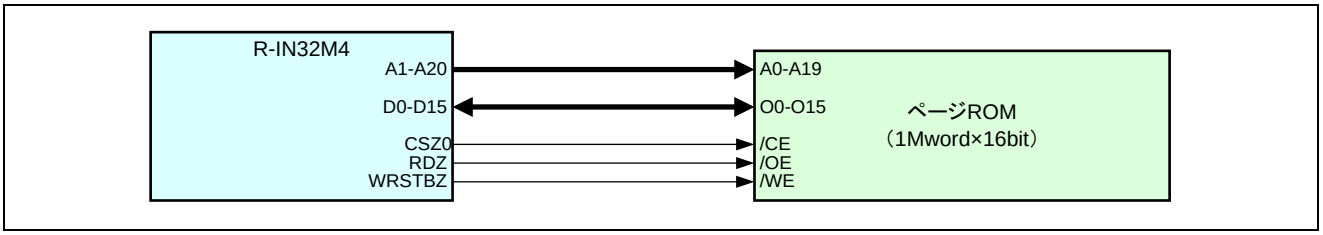


図10.5　R-IN32M4 と 16 ビット幅ページ ROM との接続例

注意 ページ ROM のオンページ・モードは、CSZ0 に接続した場合のみ利用できます。

10.5　制御レジスタ設定手順

CSZ0 領域にページ ROM, CSZ1 領域に SRAM を接続する場合を例に、制御レジスタ設定手順を説明します。

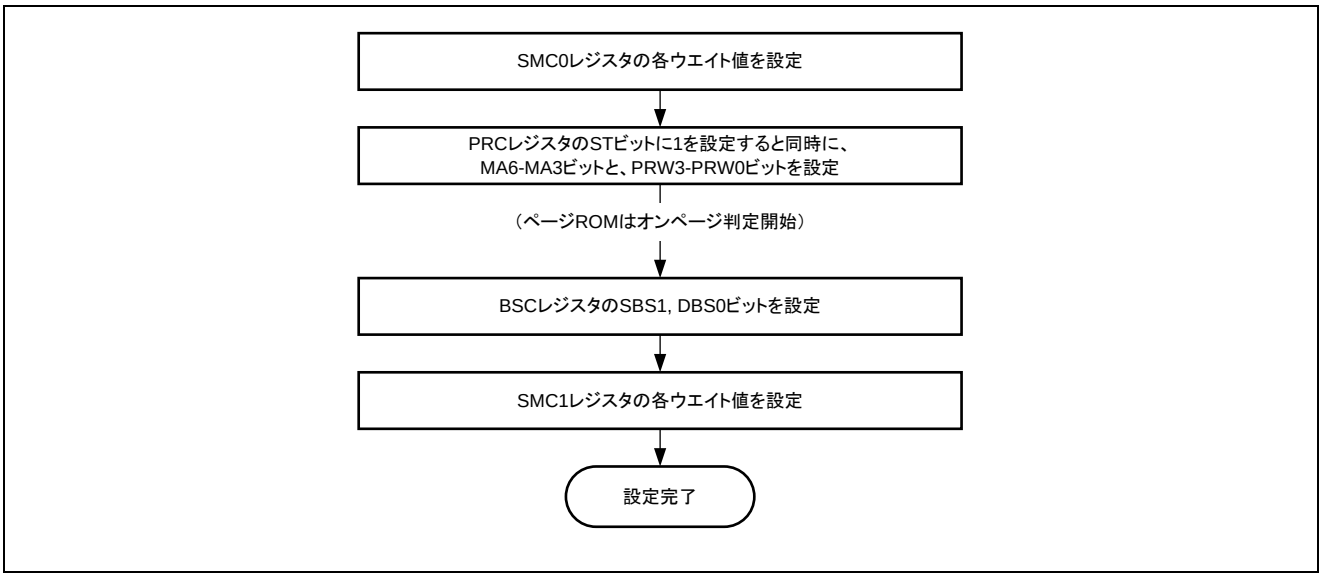


図10.6　メモリ・コントローラの制御レジスタ設定手順例

10.6　外部ウェイト機能

R-IN32M4 のメモリ・コントローラに低速のデバイス，または低速のシステムを接続する場合は，外部ウェイト端子（WAITZ）を使用して，バス・サイクルのウェイトを挿入できます。

WAITZ 信号は，BUSCLK 信号に対する非同期入力が可能です。BUSCLK の立ち下がりと，BUSCLK の立ち上がりの，2 段の F/F よって WAITZ 信号を取り込んでいます。つまり BUSCLK の立ち下がりでサンプリングし，1.5×BUSCLK のタイミングでウェイトが解除されます。

このため，外部ウェイト機能を利用する場合は，少なくともアドレス設定ウェイト（SMCn レジスタの ACn3-ACn0）とデータ・ウエイト（SMCn レジスタの DWn3-DWn0）の合計値が 1×BUSCLK 以上必要です。実際の設計では，BCYSTZ や CSZn がアクティブになるタイミングから，次の BUSCLK の立ち下がりまでに WAITZ をロー・レベルとすることは困難なため，アドレス設定ウェイト（SMCn レジスタの ACn3-ACn0）とデータ・ウエイト（SMCn レジスタの DWn3-DWn0）の合計値は 2×BUSCLK 以上必要です。

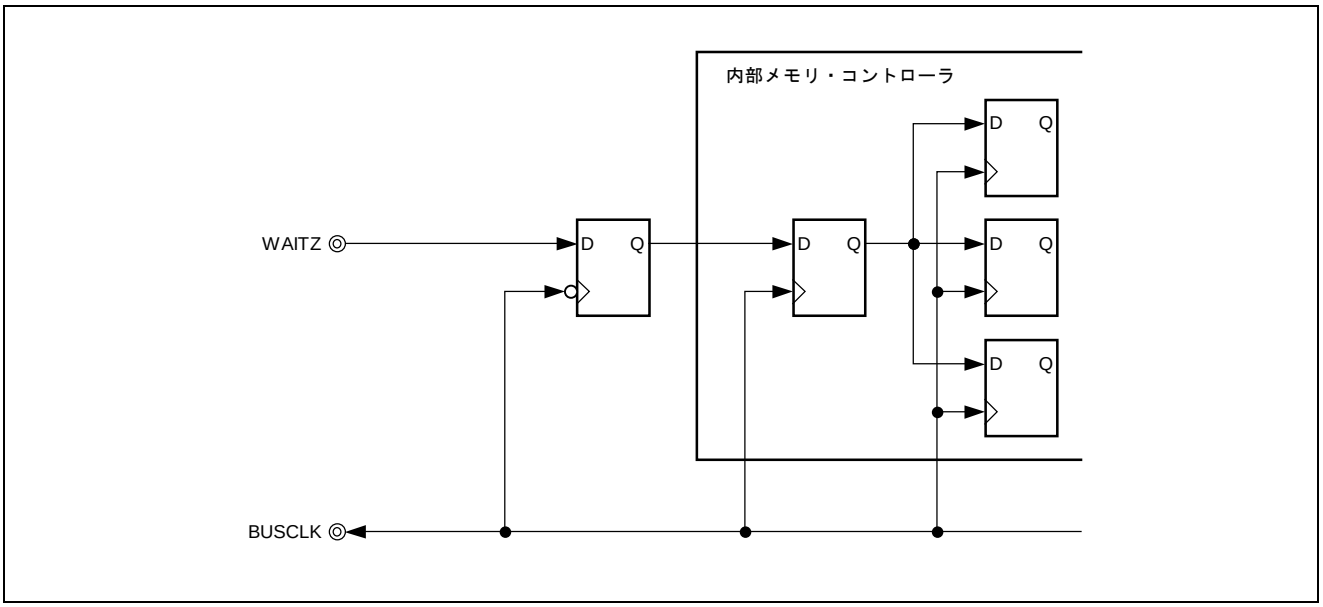


図10.7　WAITZ 信号サンプリング回路構成

10.7 メモリ・アクセス・タイミング例

ここでは、次に示すメモリ・アクセス・タイミング例を示します。

表10.2 メモリ・アクセス・タイミング例一覧

図番号	メモリ・タイプ	アクセス条件	ページ
図10.8	SRAM	リード、ウエイトなし	10 - 10-18
図10.9	SRAM	リード、ウエイトあり	10 - 10-18
図10.10	SRAM	リード、外部ウエイト挿入	10 - 10-19
図10.11	SRAM	ライト、ウエイトなし	10 - 10-19
図10.12	SRAM	ライト、ウエイトあり	10 - 10-20
図10.13	SRAM	ライト、外部ウエイト挿入	10 - 10-21
図10.14	ページ ROM	リード、シングル転送	10 - 10-22
図10.15	ページ ROM	リード、4 バースト転送	10 - 10-22

BSC : SBS3-SBS0 = 1111B（32 ビット），SMCn : IWn3-IWn0 = 0000B（1 ウエイト），
DWn3-DWn0 = 0000B（0 ウエイト），ACn3-ACn0 = 0000B（0 ウエイト）

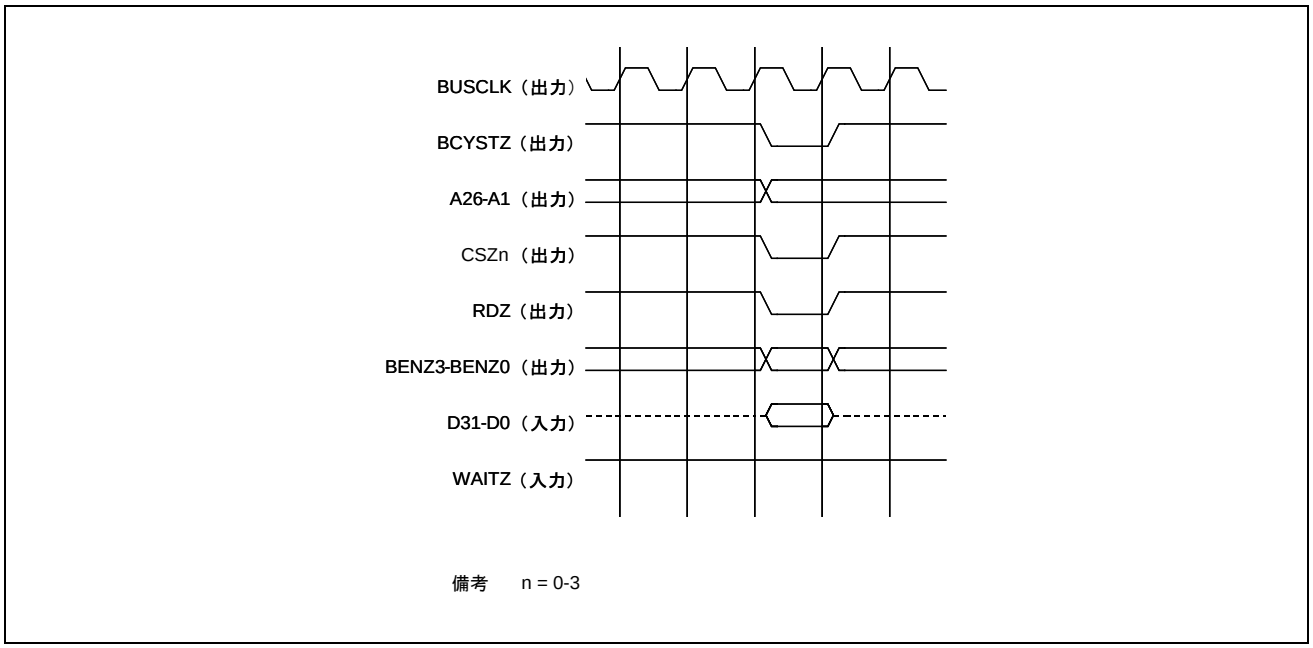


図10.8　SRAM リード・サイクル ★

BSC : SBS3-SBS0 = 1111B（32 ビット），SMCn : IWn3-IWn0 = 0001B（2 ウエイト），
DWn3-DWn0 = 0001B（1 ウエイト），ACn3-ACn0 = 0001B（1 ウエイト）

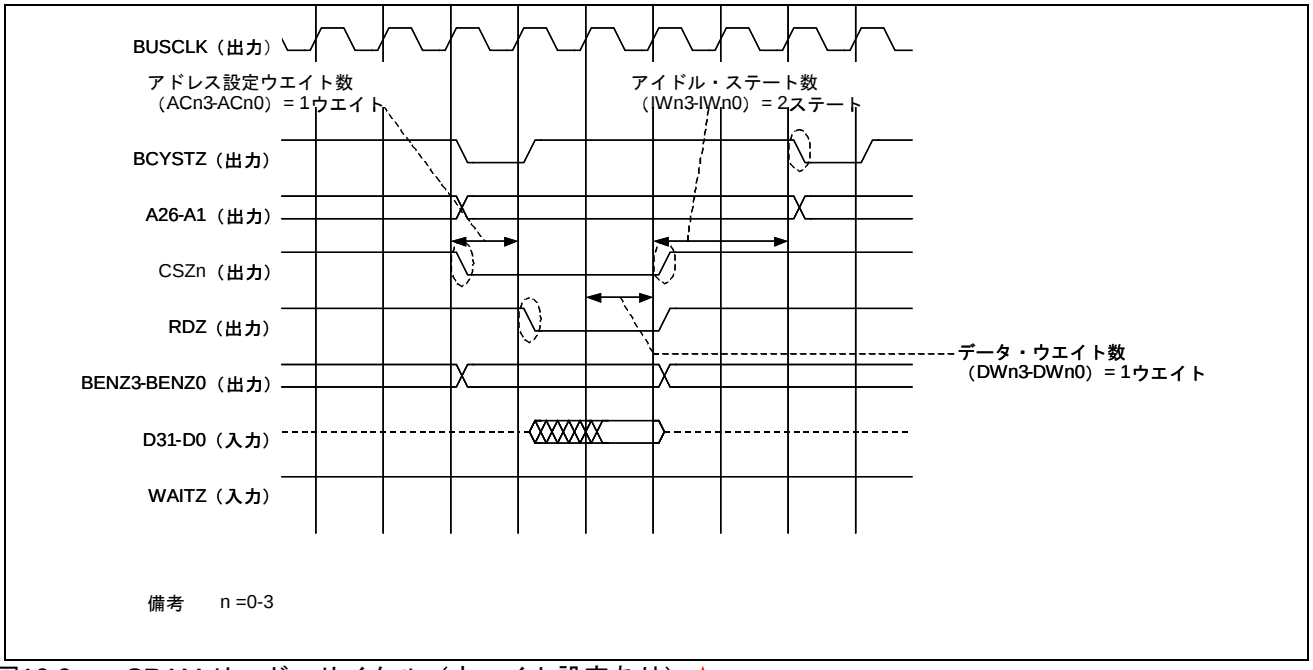


図10.9　SRAM リード・サイクル（ウエイト設定あり）★

BSC : SBS3-SBS0 = 1111B（32 ビット），SMCn : IWn3-IWn0 = 0000B（1 ウエイト），
DWn3-DWn0 = 0011B（3 ウエイト），ACn3-ACn0 = 0000B（0 ウエイト）

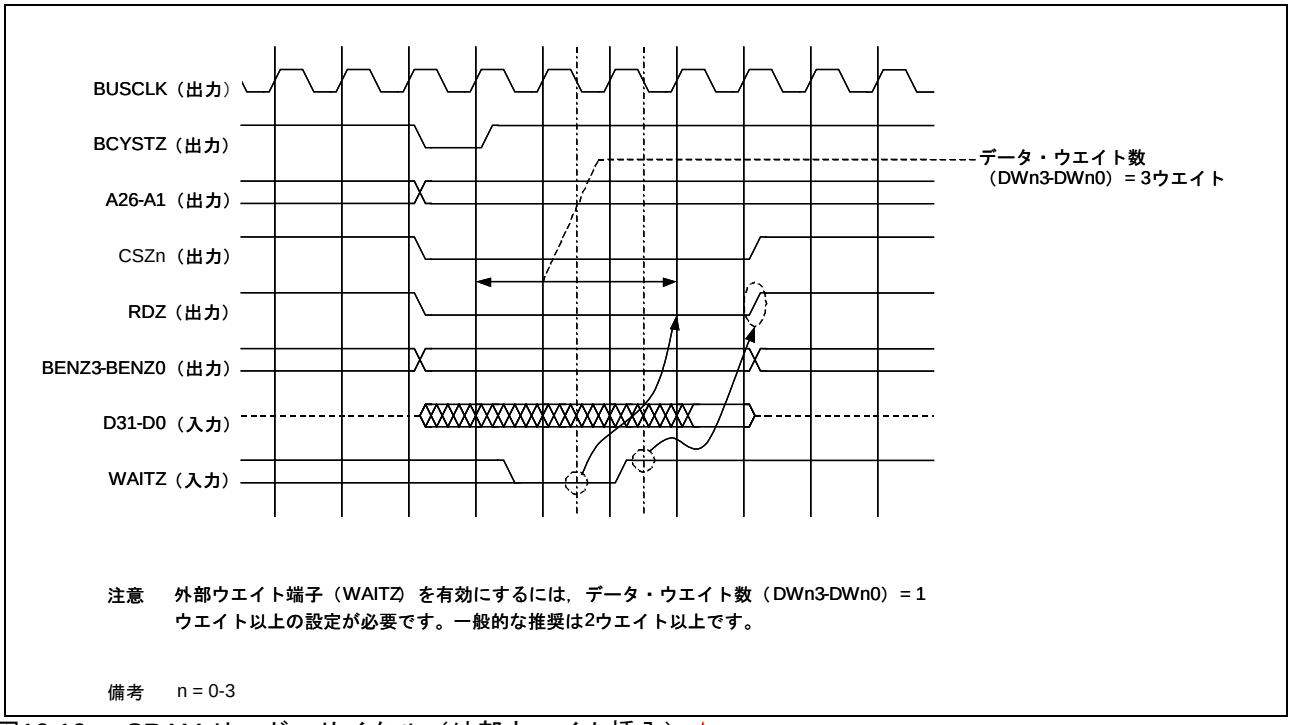


図10.10　SRAM リード・サイクル（外部ウエイト挿入）★

BSC : SBS3-SBS0 = 1111B（32 ビット），SMCn : WWn3-WWn0 = 0000B/0001B（1 ウエイト），
DWn3-DWn0 = 0000B（0 ウエイト），ACn3-ACn0 = 0000B/0001B（1★ウエイト）

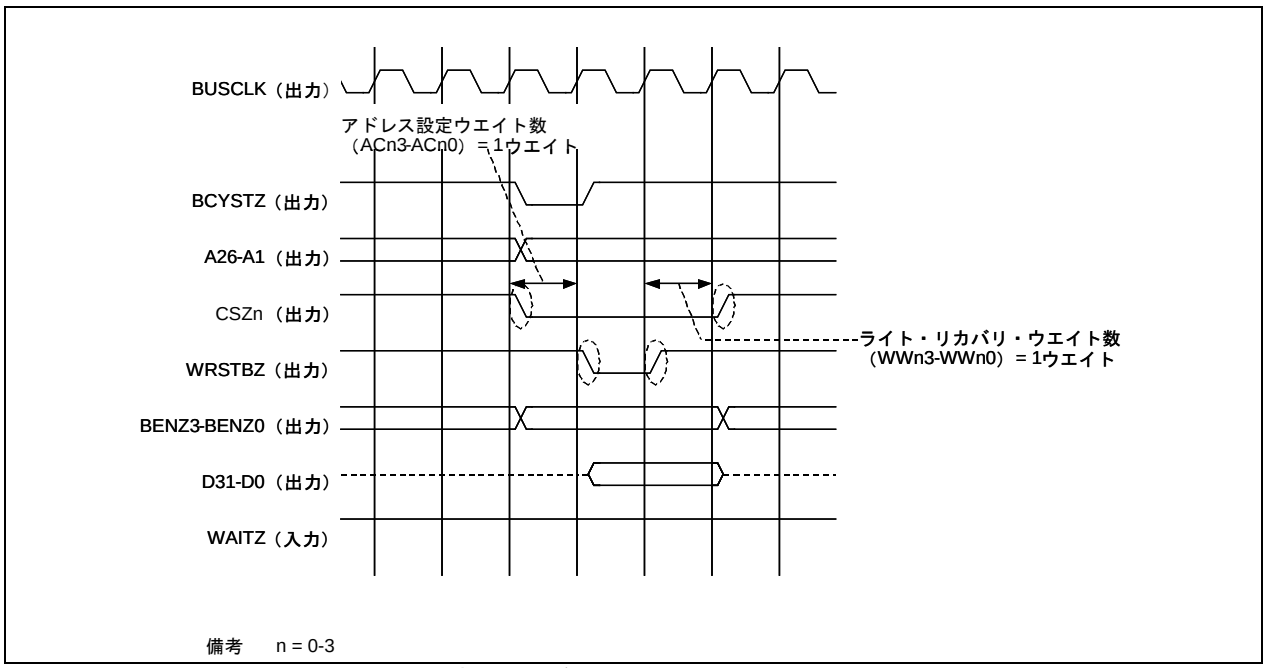


図10.11　SRAM ライト・サイクル（ウエイトなし）★

BSC : SBS3-SBS0 = 1111B（32 ビット），SMCn : WWn3-WWn0 = 0010B（2 ウエイト），
DWn3-DWn0 = 0001B（1 ウエイト），ACn3-ACn0 = 0010B（2 ウエイト）

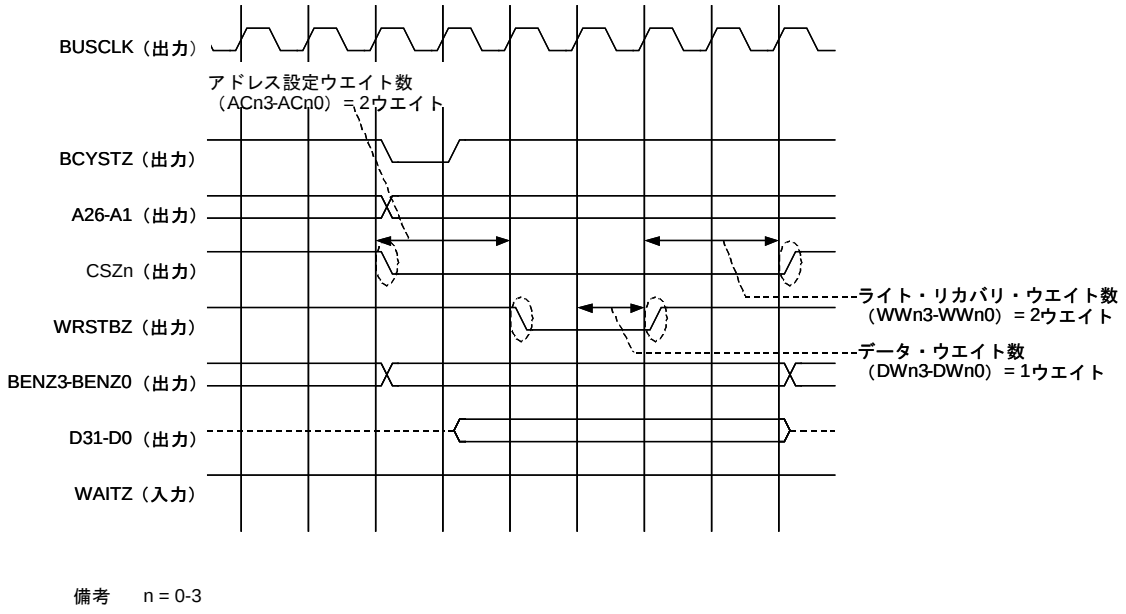
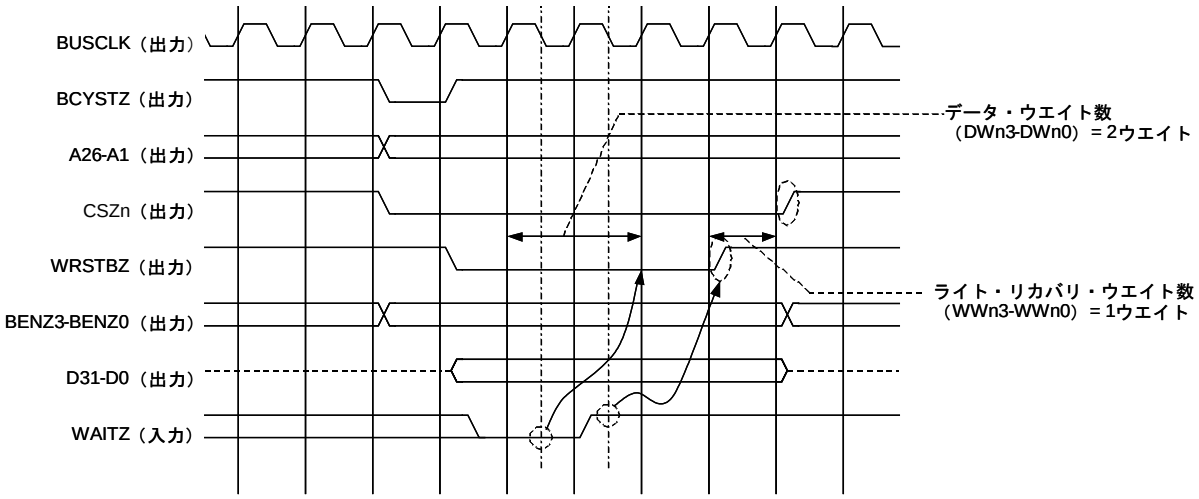


図10.12　SRAM ライト・サイクル（ウエイトあり）★

BSC : SBS3-SBS0 = 1111B（32 ビット）， SMCn : WWn3-WWn0 = 0000B/0001B（1 ウエイト），
DWn3-DWn0 = 0010B（2 ウエイト）， ACn3-ACn0 = 0000B（0 ウエイト）



注意　外部ウエイト端子（WAITZ）を有効にするには，データ・ウエイト数（DWn3-DWn0）= 1
ウエイト以上の設定が必要です。一般的な推奨は2ウエイト以上です。

備考　n = 0-3

図10.13　SRAM ライト・サイクル（外部ウエイト挿入）★

BSC : SBS3-SBS0 = 1111B（32 ビット）， SMC0 : DW3-DW00 = 0001B（1 ウエイト）

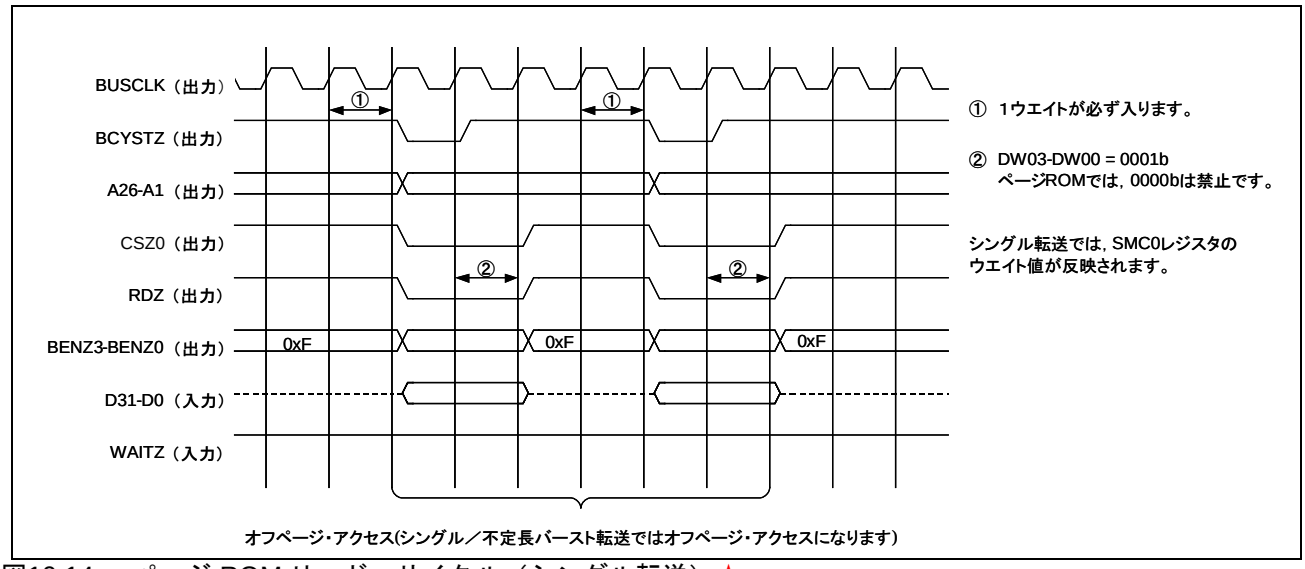


図10.14　ページ ROM リード・サイクル（シングル転送）★

BSC : SBS3-SBS0 = 1111B（32 ビット）， SMC0 :IW03-IW00 = 0001B（2 ウエイト），
DW03-DW00 = 0001B（1 ウエイト），AC03-AC00 = 0001B（1 ウエイト），
PRC : PRW3-PRW0 = 0001B（1 ウエイト）

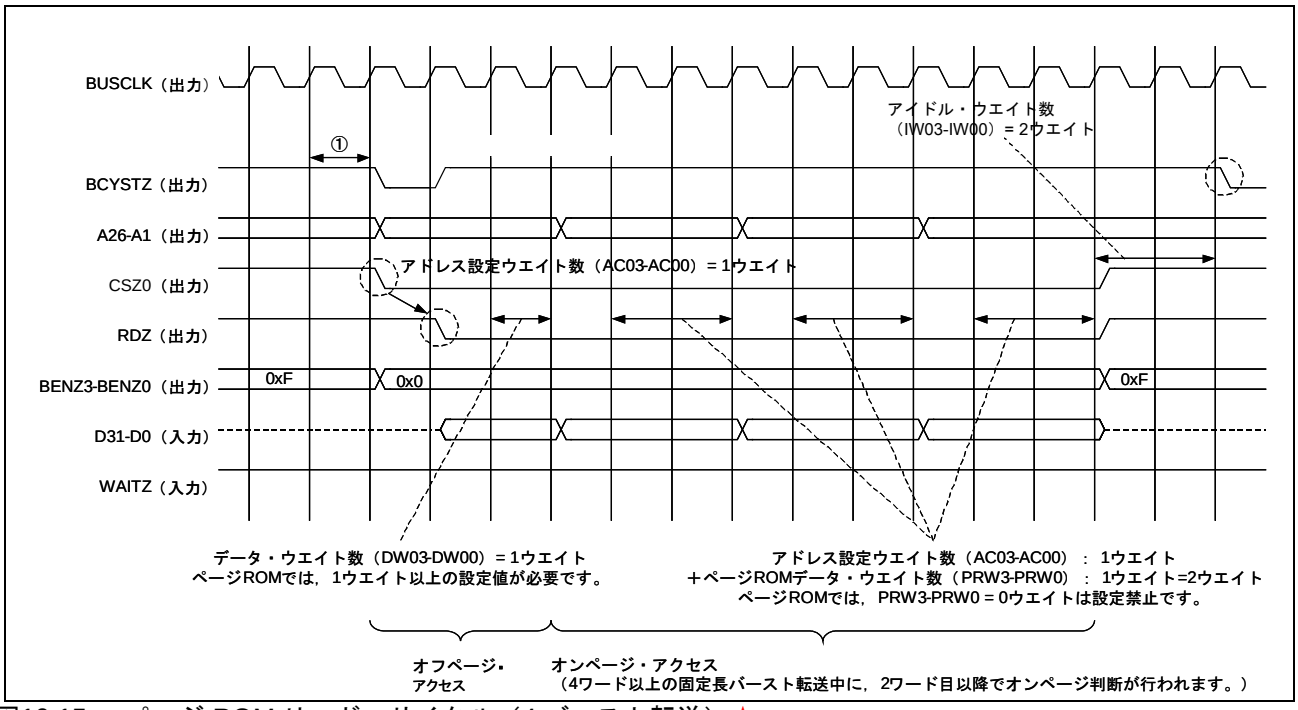


図10.15　ページ ROM リード・サイクル（4 バースト転送）★

11. 同期式バースト・アクセス MEMC

同期式バースト・アクセス MEMC は、32/16ビット・バスで外部にページ ROM／ROM／SRAM／PSRAM／NOR-Flash のほか、SRAM インタフェースに準ずる周辺デバイスも接続できます。

また、ADMUXMODE 端子をハイ・レベルに設定することで、データ端子にアドレス信号をマルチプレクスして出力することができます。

同期式バースト・アクセス MEMC は、非同期 SRAM MEMC と、外部マイコン・インタフェースと端子兼用しており、MEMCSEL 端子がハイ・レベル、MEMIFSEL 端子がロー・レベルのときに、同期式バースト・アクセス MEMC が選択されます。

BOOT0、BOOT1端子が共にロー・レベルのときに、CSZ0に接続されたメモリからブート動作を行います。

注意. MEMIFSEL 端子、MEMCSEL 端子等の動作モード設定端子は，動作中に変更しないでください。
リセット解除前に確定させてください。

11.1 特 徴

○ ページ ROM、ROM、SRAM（同期、非同期）、PSRAM、NOR-Flash 対応メモリ・コントローラ
○ 32／16 ビット・データ・バス
○ アドレス／データ・マルチプレクス機能

備考. ページ・アクセスは、非同期アクセスのセパレート・モード時のみ対応

○ スタティック・メモリ制御機能
- SRAM（同期、非同期）、外部 I/O 接続機能
- 4 本のチップ・セレクト信号が利用可能（CSZ0-CSZ3）
  CSZ0：1000_0000H-13FF_FFFFH（64M バイト）
  CSZ1：1400_0000H-17FF_FFFFH（64M バイト）
  CSZ2：1800_0000H-1BFF_FFFFH（64M バイト）
  CSZ3：1C00_0000H-1FFF_FFFFH（64M バイト）
- プログラマブル・ウエイト機能
- メモリ・アクセス周波数設定機能（100MHz の 1/2～1/6 分周でアクセス）
- 最大 4 本のウエイト信号を使用可能（WAITZ、WAITZ1-WAITZ3）
- 最大 16 バーストの転送が可能

備考. SMADSEL レジスタにて、各チップ・セレクト領域は 1000 0000H-1FFF_FFFFH の間で
プログラマブルに設定可能です。（16M バイト単位で設定可能）

○ウエイト信号制御機能
- ➢最大 4 本のウエイト信号（WAITZ、WAITZ1-WAITZ3）を入力可能
- ➢ウエイト信号のアクティブ・レベルを変更可能

○BUSCLK 信号マスク機能
- ➢CSZ0-CSZ3 信号がアクティブ時のみ BUSCLK 信号出力

○ライト・イネーブル制御機能
- ➢WRZ0-WRZ3 信号を CSZ0-CSZ3 信号アクティブ期間中はアクティブ状態を保持

○リード・タイミング制御機能：リード・データおよびウエイト信号
- ➢BUSCLK の立上りでリード・データおよびウエイト信号（WAITZ、WAITZ1-WAITZ3）を取り込み
- ➢BUSCLK の立下りでリード・データおよびウエイト信号（WAITZ、WAITZ1-WAITZ3）を取り込み

11.2 制御レジスタ

同期式バースト・アクセス MEMC を利用するには、制御レジスタで動作モードを設定してください。

注意. 同期式バースト・アクセス MEMC を使用しない場合は、本レジスタへのアクセスは禁止です。

表11.1 同期式バースト・アクセス MEMC の制御レジスタ

レジスタ名	略号	アドレス
ウエイト信号選択レジスタ	WAITZSEL	BASE + 0108H
同期式バースト・アクセス MEMC 領域選択レジスタ 0	SMADSEL0	BASE + 0110H
同期式バースト・アクセス MEMC 領域選択レジスタ 1	SMADSEL1	BASE + 0114H
同期式バースト・アクセス MEMC 領域選択レジスタ 2	SMADSEL2	BASE + 0118H
同期式バースト・アクセス MEMC 領域選択レジスタ 3	SMADSEL3	BASE + 011CH
バス・クロック分周設定レジスタ	BCLKSEL	BASE + 0120H
同期式バースト・アクセス MEMC 動作モード設定レジスタ	SMC352MD	BASE + 0124H
同期式バースト・アクセス MEMC ダイレクト・コマンド・レジスタ	DIRECT_CMD	400A 8010H
同期式バースト・アクセス MEMC サイクル設定レジスタ	SET_CYCLES	400A 8014H
同期式バースト・アクセス MEMC モード設定レジスタ	SET_OPMODE	400A 8018H
同期式バースト・アクセス MEMC リフレッシュ設定レジスタ	REF_PERIOD0	400A 8020H
同期式バースト・アクセス MEMC CSZ0 サイクル・レジスタ	SRAM_CYCLES0_0	400A 8100H
同期式バースト・アクセス MEMC CSZ0 モード・レジスタ	OPMODE0_0	400A 8104H
同期式バースト・アクセス MEMC CSZ1 サイクル・レジスタ	SRAM_CYCLES0_1	400A 8120H
同期式バースト・アクセス MEMC CSZ1 モード・レジスタ	OPMODE0_1	400A 8124H
同期式バースト・アクセス MEMC CSZ2 サイクル・レジスタ	SRAM_CYCLES0_2	400A 8140H
同期式バースト・アクセス MEMC CSZ2 モード・レジスタ	OPMODE0_2	400A 8144H
同期式バースト・アクセス MEMC CSZ3 サイクル・レジスタ	SRAM_CYCLES0_3	400A 8160H
同期式バースト・アクセス MEMC CSZ3 モード・レジスタ	OPMODE0_3	400A 8164H

11.2.1　ウエイト信号選択レジスタ（WAITZSEL）

WAITZ 端子、WAITZ1-3 端子からの入力信号に対し、各 CSZ0-3 領域への割り当てを選択するレジスタです。

注意. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 27-16 には必ず 0 を設定してください。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
WAITZSEL	ESWT3	ESWT2	ESWT1	ESWT0	0	0	0	0	0	0	0	0	0	0	0	0	WSEL33	WSEL32	WSEL31	WSEL30	WSEL23	WSEL22	WSEL21	WSEL20	WSEL13	WSEL12	WSEL11	WSEL10	WSEL03	WSEL02	WSEL01	WSEL00	4001 0108H
																																	初期値
R/W	R/W	R/W	R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 000FH

ビット位置	ビット名	意　味
31-28	ESWT3- ESWT0	各ウエイト入力信号（WAITZ、WAITZ1-WAITZ3）のアクティブ・レベルを選択します。 0：アクティブ・ロー 1：アクティブ・ハイ
27-16	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15-12	WSEL3n	WAITZ3 端子において、チップ・セレクト毎に有効 / 無効を設定します。 0000：WAITZ3 端子はウエイト端子として未使用 xxx1：CSZ0 領域アクセス時にウエイト信号として有効 xx1x：CSZ1 領域アクセス時にウエイト信号として有効 x1xx：CSZ2 領域アクセス時にウエイト信号として有効 1xxx：CSZ3 領域アクセス時にウエイト信号として有効
11-8	WSEL2n	WAITZ2 端子において、チップ・セレクト毎に有効 / 無効を設定します。 0000：WAITZ2 端子はウエイト端子として未使用 xxx1：CSZ0 領域アクセス時にウエイト信号として有効 xx1x：CSZ1 領域アクセス時にウエイト信号として有効 x1xx：CSZ2 領域アクセス時にウエイト信号として有効 1xxx：CSZ3 領域アクセス時にウエイト信号として有効
7-4	WSEL1n	WAITZ1 端子において、チップ・セレクト毎に有効 / 無効を設定します。 0000：WAITZ1 端子はウエイト端子として未使用 xxx1：CSZ0 領域アクセス時にウエイト信号として有効 xx1x：CSZ1 領域アクセス時にウエイト信号として有効 x1xx：CSZ2 領域アクセス時にウエイト信号として有効 1xxx：CSZ3 領域アクセス時にウエイト信号として有効

（2/2）

ビット位置	ビット名	意　味
3-0	WSEL0n	WAITZ 端子において、チップ・セレクト毎に有効 / 無効を設定します。 0000：WAITZ 端子はウエイト端子として未使用 xxx1：CSZ0 領域アクセス時にウエイト信号として有効 xx1x：CSZ1 領域アクセス時にウエイト信号として有効 x1xx：CSZ2 領域アクセス時にウエイト信号として有効 1xxx：CSZ3 領域アクセス時にウエイト信号として有効

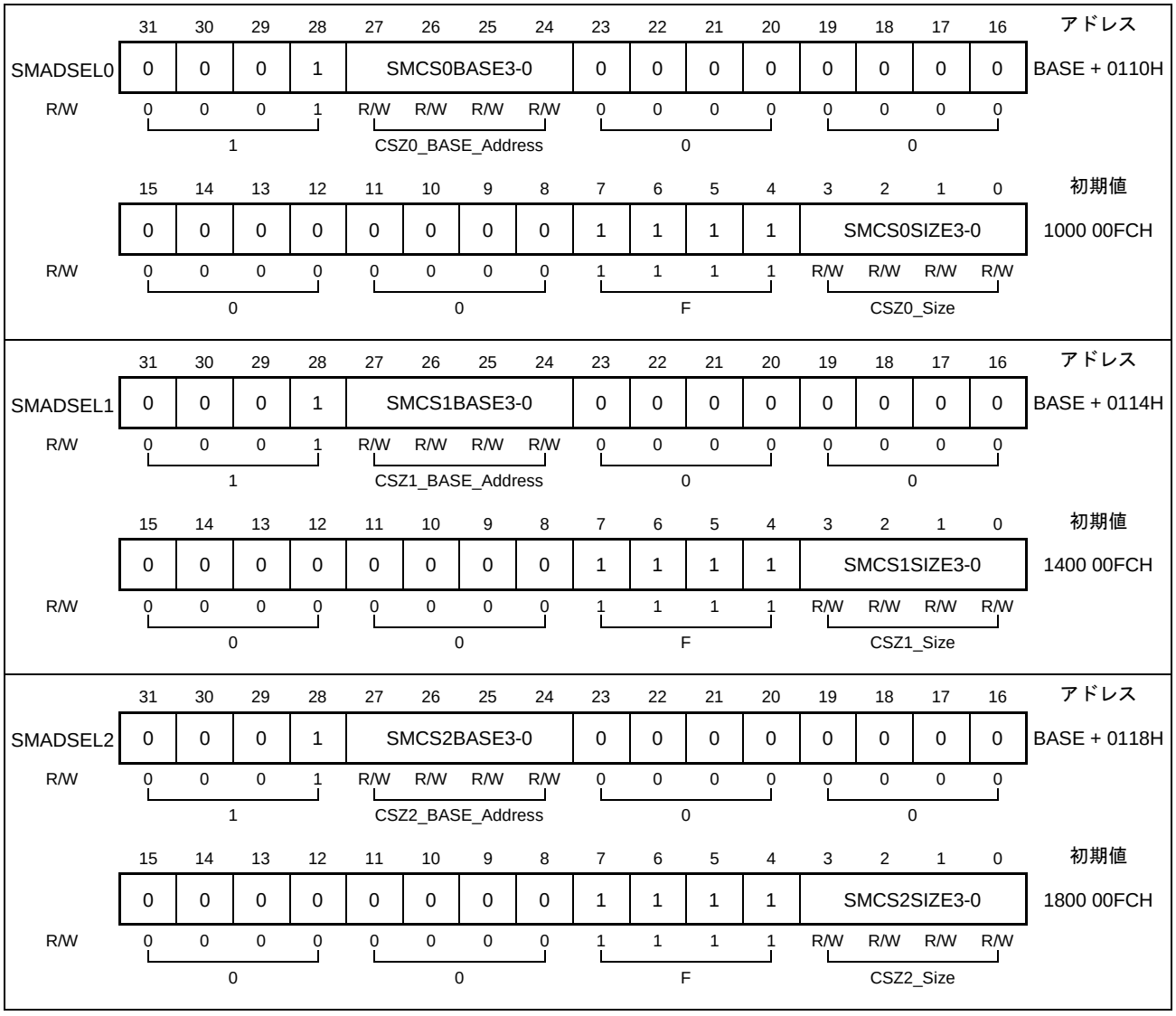
備考. n = 0 - 3

11.2.2　同期式バースト・アクセス MEMC 領域選択レジスタ（SMADSEL0-3）

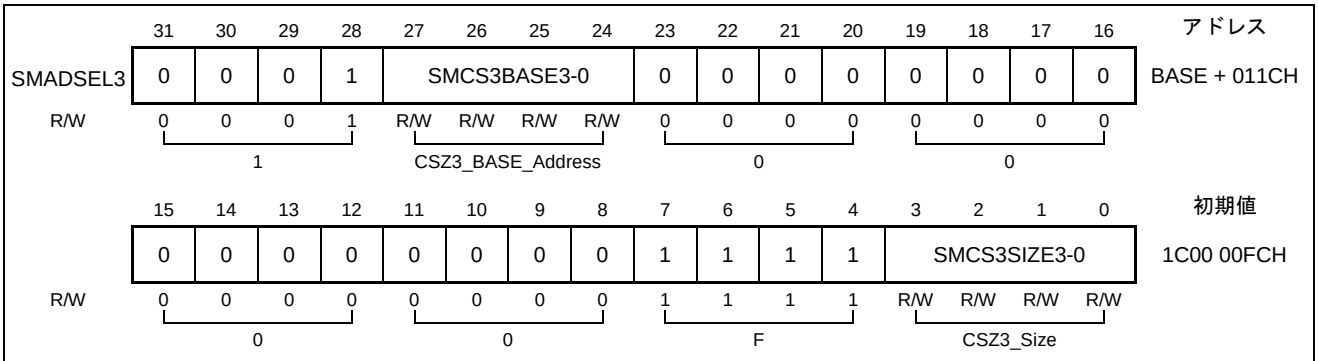
外部メモリ･インタフェースの CSZ0-3 領域の配置を設定するレジスタです。初期値から変更する場合には、かならず、外部メモリ領域以外にプログラムを実行移動してから行ってください。

注意. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

- アクセス　　32 ビット単位でリード／ライト可能です。



注意. 本レジスタの設定は、外部メモリ領域（1000 0000H～1FFF FFFFH）へアクセスしていない時に行ってください。プログラム等は他の領域に格納し実行してください。



ビット位置	ビット名	意　味
27-24	SMCSnBASE3- SMCSnBASE0	外部メモリ・インタフェースの CSZn 領域のベース・アドレスを設定します。
3-0	SMCSnSIZE3- SMCSnSIZE0	外部メモリ・インタフェースの CSZn 領域のサイズを設定します。 0000：256MB（設定禁止） 1000：128MB 1100：64MB 1110：32MB 1111：16MB 上記以外は設定禁止

注意 1. 各 CSZn 領域の合計サイズは 256M バイトです。
2. 設定できるアドレス空間は 1000 0000H～1FFF FFFFH です。
3. 各 CSZn 領域は重複して設定することは禁止です。重複しないようにベース・アドレスとサイズを設定してください。
4. 本レジスタの設定は、外部メモリ領域（1000 0000H～1FFF FFFFH）へアクセスしていない時に行ってください。プログラム等は他の領域に格納し実行してください。

備考 1. アドレス領域の計算例：
ベース・アドレス（[31:24]） = アクセス・アドレス[31:24] & サイズ値[7:0]
CSZ1 領域が 1300 0000H～13FF FFFFH 番地の場合
設定値　SMADSEL1：1300_00FFH
CSZ1 領域が 1800 0000H～1FFF FFFFH 番地の場合
設定値　SMADSEL1：1800_00F8H
2. n = 0 - 3

11.2.3　バス・クロック分周設定レジスタ（BCLKSEL）

同期式バースト・アクセス MEMC 使用時に、内部バス・クロックおよび BUSCLK 端子（100MHz）を分周するためのレジスタです。2 分周から 6 分周まで設定可能です。

注意 1. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

2. 本レジスタの設定は、外部メモリ領域（1000 0000H～1FFF FFFFH）へアクセスしていない時に行ってください。プログラム等は他の領域に格納し実行してください。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
BCLKSEL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	BCLK2	BCLK1	BCLK0	BASE + 0120H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	0000 0004H

ビット位置	ビット名	意　味
31-4	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-0	BCLK2-0	内部バス・クロックおよび BUSCLK 端子（100MHz）の分周比を選択します。（カッコ内は Duty） 000：2 分周（ハイ幅 1：ロー幅 1） 001：3 分周（ハイ幅 1：ロー幅 2） 010：4 分周（ハイ幅 1：ロー幅 1） 011：5 分周（ハイ幅 2：ロー幅 3） 100：6 分周（ハイ幅 1：ロー幅 1）（初期値） 上記以外：設定禁止

11.2.4　同期式バースト・アクセス MEMC 動作モード設定レジスタ（SMC352MD）

同期式バースト・アクセス MEMC の動作モードを設定します。

- アクセス　　32 ビット単位でリード／ライト可能です。

注意 1. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

2. 本レジスタの設定は、外部メモリ領域（1000 0000H～1FFF FFFFH）へアクセスしていない時に行ってください。プログラム等は他の領域に格納し実行してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SMC352MD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MAGTD1	MAGTD0	SMCRDLTH	SMCWETH	SMCCLKTH	BASE + 0124H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
31-5	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
4	MAGTD1	MA16-MA26 端子のレベルをロー・レベルに固定します。（ポートに兼用されている端子は、該当機能を選択時のみロー・レベルが出力されます。）注 1 0：通常使用 1：MA16-MA26 端子出力をロー・レベルに固定
3	MAGTD0	MA0-MA15 端子のレベルをロー・レベルに固定します。（ポートに兼用されている端子は、該当機能を選択時のみロー・レベルが出力されます。）注 1 0：通常使用 1：MA0-MA15 端子出力をロー・レベルに固定
2	SMCRDLTH	SRAM リード・タイミング選択注 2 0：BUSCLK の立ち上がりでラッチ 1：BUSCLK の立ち下がりでラッチ
1	SMCWETH	SRAM WRZ0-WRZ3 出力モード選択 0：SET_CYCLES レジスタの T_WP ビットで設定した期間アクティブ保持 1：WRZ0-WRZ3 アクティブ後、CSZ0-CSZ3 アサート期間中はアクティブ保持
0	SMCCLKTH	SRAM BUSCLK 出力モード選択 0：同期式バースト・アクセス MEMC の内部クロック信号をスルー出力 1：CSZ0-CSZ3 アサート期間のみクロックを出力 各モードにおけるタイミング例を「11.3.1(2) BUSCLKマスク機能」に示します。

注 1. 本レジスタは ADMUXMODE 端子がハイ・レベルのときのみ有効になります。

2. 本レジスタは同期アクセス時のみ有効となります。非同期アクセス時は内部クロックの立下り固定となります。

11.2.5 同期式バースト・アクセス MEMC ダイレクト・コマンド・レジスタ（DIRECT_CMD）

同期式バースト・アクセス MEMC サイクル設定レジスタ（SET_CYCLES）および同期式バースト・アクセス MEMC モード設定レジスタ（SET_OPMODE）の値を各チップ・セレクト領域の同期式バースト・アクセス MEMC CSZn サイクル・レジスタ（SRAM_CYCLES0_n）、同期式バースト・アクセス MEMC CSZn モード・レジスタ（OPMODE0_n）へ設定するレジスタです。本レジスタに書き込むことにより、設定値が各チップ・セレクトのレジスタへ反映されます。

- アクセス　　32 ビット単位でライトのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
DIRECT_CMD	0	0	0	0	0	0	CHIP_NMBR			CMD_TYPE		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	400A 8010H
R/W	0	0	0	0	0	0	W			W		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	初期値

ビット位置	ビット名	意　味
31-26, 20-0	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
25-23	CHIP_NMBR	レジスタ設定値を反映するチップ・セレクトを選択します。 000: CSZ0 のレジスタ設定を行います。 001: CSZ1 のレジスタ設定を行います。 010: CSZ2 のレジスタ設定を行います。 011: CSZ3 のレジスタ設定を行います。 1xx: 設定禁止
22-21	CMD_TYPE	コマンドタイプを設定します。 10: レジスタアップデート 上記以外設定禁止

備考. n = 0 - 3

11.2.6　同期式バースト・アクセス MEMC サイクル設定レジスタ（SET_CYCLES）

SRAM アクセス時の各種サイクル設定を行います。設定値を反映するには、本レジスタおよび同期式バースト・アクセス MEMC モード設定レジスタ（SET_OPMODE）に値をセットしてから同期式バースト・アクセス MEMC ダイレクト・コマンド・レジスタ（DIRECT_CMD）にて各チップ・セレクトへ値を反映してください。

- アクセス　　32 ビット単位でライトのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19 18 17	16 15 14	13 12 11	10 9 8	7 6 5 4	3 2 1 0	アドレス
SET_CYCLE	0	0	0	0	0	0	0	0	0	0	0	WE_TIME	T_TR	T_PC	T_WP	T_CEOE	T_WC	T_RC	400A 8014H
R/W	0	0	0	0	0	0	0	0	0	0	0	W	W	W	W	W	W	W	初期値
																			―

ビット位置	ビット名	意　味
31-21	―	Reserved（ライトは 0 を書き込んでください。）
20	WE_TIME	WRSTBZ 信号のアサートタイミングを設定します。 非同期モードで且つマルチプレクス時に有効となります。 0: CSZ0-CSZ3 信号をアサートしてから 2clk 後に WRSTBZ 信号をアサートします。 1: CSZ0-CSZ3 信号と同時に WRSTBZ 信号をアサートします。
19-17	T_TR	SRAM アクセスサイクル間に挿入する Turnaround Time を設定します。（tTR） 000: 設定禁止 001: 1clk 挿入 ～ 111: 7clk 挿入 以下の連続アクセスをした場合に Turnaround Time は挿入されます。 ・リード・アクセス　→　ライト・アクセス ・ライト・アクセス　→　リード・アクセス ・リード・アクセス　→　異なるチップ・セレクトへのリード・アクセス ・マルチプレクス・モード時は全て挿入
16-14	T_PC	ページ・リード時のページ・アクセス・タイムを設定します。（tPC） 非同期モードで且つセパレート時にページ・アクセスが有効になります。 000: 設定禁止 001: ページ・アクセス・タイムを 1clk に設定 ～ 111: ページ・アクセス・タイムを 7clk に設定
13-11	T_WP	WRSTBZ のアサート期間を設定します。（tWP） 000: 設定禁止 001: WRSTBZ のアサート期間を 1clk に設定 ～ 111: WRSTBZ のアサート期間を 7clk に設定 SMC352MD.SMCWETH = 1 の場合には T_WP ビットの値にかかわらず WRSTBZ 信号アサート後は、CSZ0-CSZ3 信号アサート期間中、WRSTBZ 信号を保持します。

ビット位置	ビット名	意　味
10-8	T_CEOE	CSZ0-CSZ3 信号アサートから RDZ 信号をアサートするまでの時間を設定します。 （tCEOE 注1） 000: 設定禁止 001: CSZ0-CSZ3 信号アサートから 1clk 後に RDZ 信号をアサート ～ 111: CSZ0-CSZ3 信号アサートから 7clk 後に RDZ 信号をアサート
7-4	T_WC 注3	CSZ0-CSZ3 信号アサートからライトを開始するまでの時間を設定します。（tWC 注2） 000x: 設定禁止 0010: CSZ0-CSZ3 信号アサートから 2clk 後にライトを開始 ～ 1111: CSZ0-CSZ3 信号アサートから 15clk 後にライトを開始 シングル・アクセス時には T_WC に設定した値が、CSZ0-CSZ3 信号アサート期間となります。
3-0	T_RC 注4	CSZ0-CSZ3 信号アサートからリードを開始するまでの時間を設定します。（tRC 注2） 000x: 設定禁止 0010: CSZ0-CSZ3 信号アサートから 2clk 後にリードを開始 ～ 1111: CSZ0-CSZ3 信号アサートから 15clk 後にリードを開始 シングル・アクセス時には T_RC に設定した値が、CSZ0-CSZ3 信号アサート期間となります。

注 1. マルチプレクス・モード時はバス・ファイト防止のため以下の範囲での設定を推奨します。
・非同期アクセス・モード時：011～111 の範囲で設定
・同期アクセス・モード時　：010～111 の範囲で設定
2. マルチプレクス・モード時、2clk 設定は設定禁止になります。
0011～1111 の範囲で設定してください。
3. ウエイト発生時、ウエイト信号アサート期間だけライト・サイクルが延長されます。詳細は「図11.23 同期SRAM、セパレート、4バースト・ライト・アクセス（ADVZ有効）」を参照してください。
4. ウエイト発生時、ウエイト信号アサート期間だけリード・サイクルが延長されます。詳細は「図11.22 同期SRAM、マルチプレクス、リード・アクセス（ADVZ有効）」を参照してください。

11.2.7　同期式バースト・アクセス MEMC モード設定レジスタ（SET_OPMODE）

SRAM アクセス時の各種モード設定を行います。設定値を反映するには、本レジスタおよび同期式バースト・アクセス MEMC サイクル設定レジスタ（SET_CYCLES）に値をセットしてから同期式バースト・アクセス MEMC ダイレクト・コマンド・レジスタ（DIRECT_CMD）にて各チップ・セレクトへ値を反映してください。

- アクセス　　32 ビット単位でライトのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SET_OPMODE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	BURST_ALIGN			BLS_TIME	ADV	0	WR_BL			WR_SYNC		RD_BL		RD_SYNC		MW	400A 8018H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	W			W	W	0	W			W		W		W		W	初期値
																																	－

ビット位置	ビット名	意　味
31-16	－	Reserved（ライトは 0 を書き込んでください。）
15-13	BURST_ALIGN	バースト境界を設定します。 000：バースト境界なし。 001：32 バースト長単位で境界を設定します。 010：64 バースト長単位で境界を設定します。 011：128 バースト長単位で境界を設定します。 100：256 バースト長単位で境界を設定します。 上記以外: 設定禁止
12	BLS_TIME	BENZ0-BENZ3 端子のアサートタイミングを設定します。 0：CSZ0-CSZ3 端子と同時にアサートします。（バイト・イネーブルとして使用） 1：WRSTBZ 端子と同時にアサートします。（ライト・バイト・イネーブルとして使用）
11	ADV	ADVZ 端子の有効/無効を設定します。 0：無効（ADVZ 信号は High 固定となります。） 1：有効（ADVZ 信号が Low のときアドレスが有効となります。） 有効時には以下の動作となります。 ・非同期モードで且つセパレート時は CSZ0-CSZ3 端子アサート期間中にアサートします。 ・上記以外は最初の 1clk のみアサートします。
10	－	Reserved（ライトは 0 を書き込んでください。）
9-7	WR_BL	ライト・アクセス時のバースト長を設定します。 000：シングル・アクセス[注] 001：最大 4 バースト 010：最大 8 バースト 011：最大 16 バースト 上記以外：設定禁止

注. 非同期モード時は「シングル・アクセス」のみ設定可能です。その他は設定禁止です。

ビット位置	ビット名	意　味
6	WR_SYNC	ライト・アクセス時の同期/非同期アクセス・モードを設定します。 0：非同期アクセス 1：同期アクセス 非同期アクセス時は BUSCLK 端子からクロックは出力されません。
5-3	RD_BL	リード・アクセス時のバースト長を設定します。 000：シングル・アクセス注 001：最大 4 バースト 010：最大 8 バースト 011：最大 16 バースト 上記以外：設定禁止
2	RD_SYNC	リード・アクセス時の同期/非同期アクセス・モードを設定します。 0：非同期アクセス 1：同期アクセス 非同期アクセス時は BUSCLK 端子からクロックは出力されません。
1-0	MW	データ・バス幅を設定します。 ただし CSZ0 領域は本レジスタの値によらず BUS32EN 端子の状態でデータ・バス幅が決定されます。 00：設定禁止 01：16bit 10：32bit 11：設定禁止

注. 非同期モードにおいて、ページ・リード・アクセス時以外は「シングル・アクセス」のみ設定可能です。それ以外は設定禁止です。

11.2.8　同期式バースト・アクセス MEMC リフレッシュ設定レジスタ（REF_PERIOD0）

連続してバースト転送可能な回数を指定します。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
REF_PERIOD0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	REF_PERIOD0				400A 8020H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W				初期値
																																	0000 0000H

ビット位置	ビット名	意　味
3-0	REF_PERIOD0	連続してバースト転送可能な回数を設定します。 設定回数分連続バースト転送を行った場合、IDLE 期間を挿入してから次のバースト転送を開始します。IDLE 期間は SET_CYCLES レジスタの T_TR ビットで指定した期間となります。 0000：IDLE 期間は挿入しません。 0001：毎回 IDLE 期間を挿入します。 0010：連続して 2 回バースト転送した場合、IDLE 期間を挿入します。 ～ 1111：連続して 15 回バースト転送した場合、IDLE 期間を挿入します。

注意. SMC352MD レジスタの SMCWETH ビットを 1 に設定しアドレス/データ信号をセパレートで使用する場合、本レジスタに 0x0000_0001 を設定してください。

11.2.9　同期式バースト・アクセス MEMC CSZn サイクル・レジスタ（SRAM_CYCLES0_n）

各チップ・セレクトの各種サイクル設定情報を参照するレジスタです。

各ビットは同期式バースト・アクセス MEMC サイクル設定レジスタ（SET_CYCLES）で設定した情報を読み出せます。

- アクセス　　32 ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19 18 17	16 15 14	13 12 11	10 9 8	7 6 5 4	3 2 1 0	アドレス
SRAM_CYCLES0_n	0	0	0	0	0	0	0	0	0	0	0	WE_TIME	T_TR	T_PC	T_WP	T_CEOE	T_WC	T__RC	400A 8100H ＋20H×n
初期値	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	0002 B3CCH
R/W																			

備考. n = 0 - 3

11.2.10　同期式バースト・アクセス MEMC CSZn モード・レジスタ（OPMODE0_0-3）

各チップ・セレクトの各種動作設定情報を参照するレジスタです。下位 16 ビットは同期式バースト・アクセス MEMC モード設定レジスタ（SET_OPMODE）の値を参照できます。

- アクセス　　32 ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
OPMODE0_n	ADD_MATCH								ADD_MASK								BURST_ALIGN			BLS_TIME	ADV	0	WR_BL			WR_SYNC		RD_BL			RD_SYNC		MW	400A 8104H ＋20H×n
R/W	R								R								R			R	R	0	R			R		R			R		R	初期値 －

ビット位置	ビット名	意　味
31-24	ADD_MATCH	チップ・セレクト領域のベース・アドレス設定値をリードすることができます。
23-16	ADD_MASK	チップ・セレクト領域のマスク・アドレス設定値をリードすることができます。
15-0	－	SET_OPMODE にて設定した値をリードすることができます。

備考. n = 0 - 3

11.2.11 レジスタ設定手順

同期式バースト・アクセス MEMC の設定レジスタは、初期設定時に以下の手順で設定する必要があります。外部メモリへのアクセス中には、動的に設定を変更することができません。初期設定時に、内蔵命令 RAM 領域に配置したプログラムで本設定を行ってください。

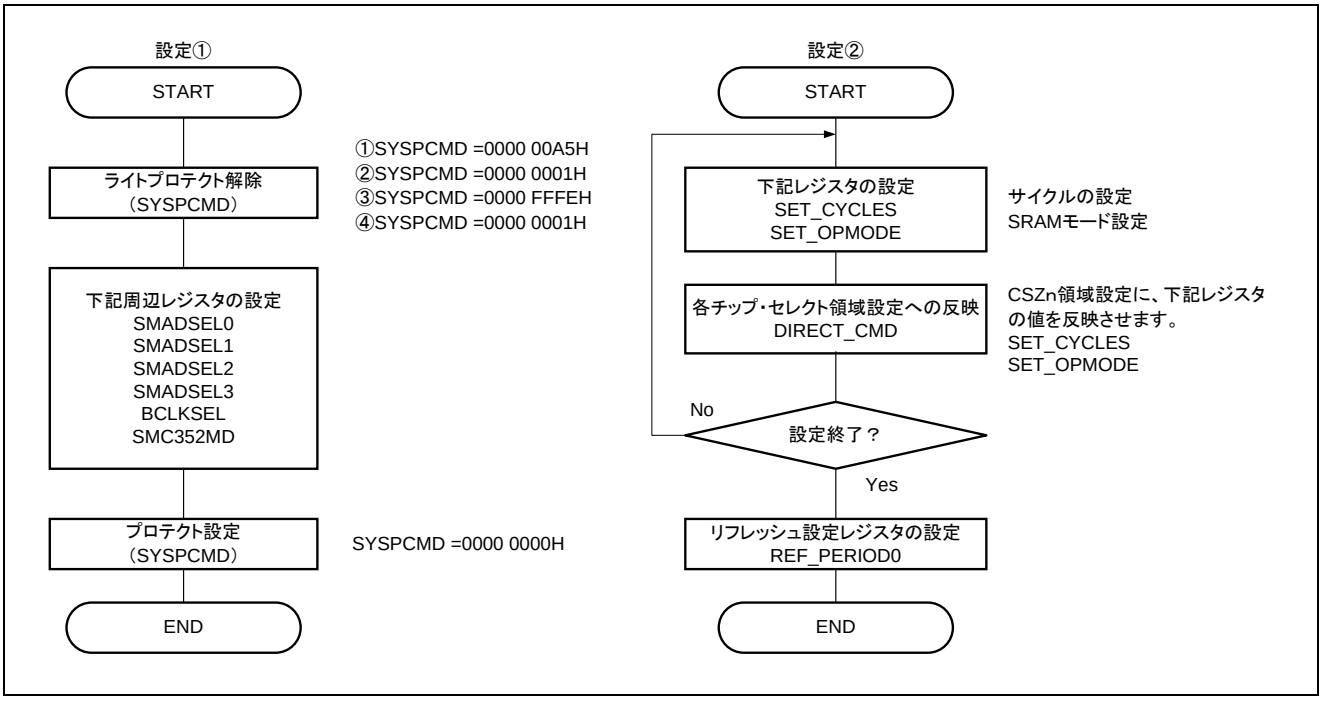


図11.1 レジスタ設定手順

11.3　機能詳細

11.3.1　　バス・クロック制御機能

(1)　BUSCLK 分周機能

同期式バースト・アクセス MEMC 使用時に、外部メモリ・インタフェース用のバス・クロック（BUSCLK）をシステム・クロック（100MHz）を分周して動作させることができます。初期値は 6 分周に設定され、2 分周から 6 分周まで設定可能です。このバス・クロックは、同期 SRAM にアクセス中[注]のみ出力されるクロックです。

- 分周比：1/2, 1/3, 1/4, 1/5, 1/6

注. チップ・セレクトが有効期間+1 サイクル分クロックを出力します。

備考. 3 分周時のバス・クロックの Duty は、ハイ幅が 33.33%になります。また、5 分周時のバス・クロックの Duty は、ハイ幅が 40%になります。その他は、Duty50%です。

(2)　BUSCLK マスク機能

また、バス・クロック（BUSCLK）の出力期間は、SMC352MD レジスタの設定値によってチップ・セレクト（CSZn）が有効な間だけ出力させることができます。

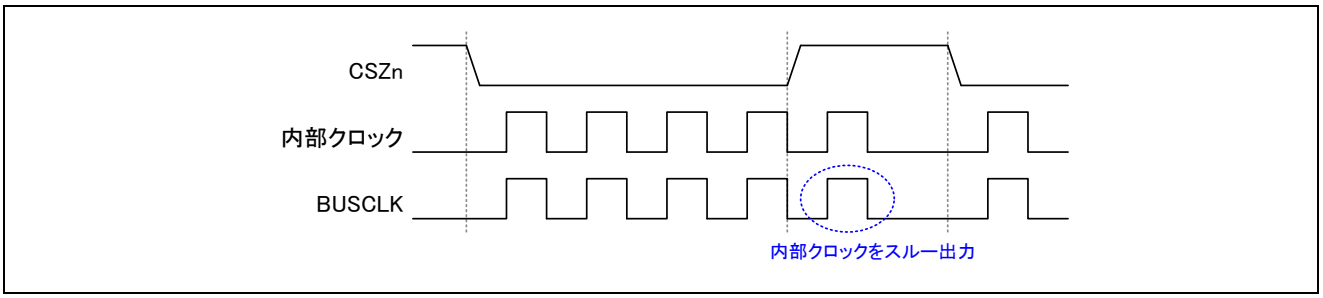


図11.2　　クロック出力タイミング例（SMC352MD.SMCCLKTH=0）

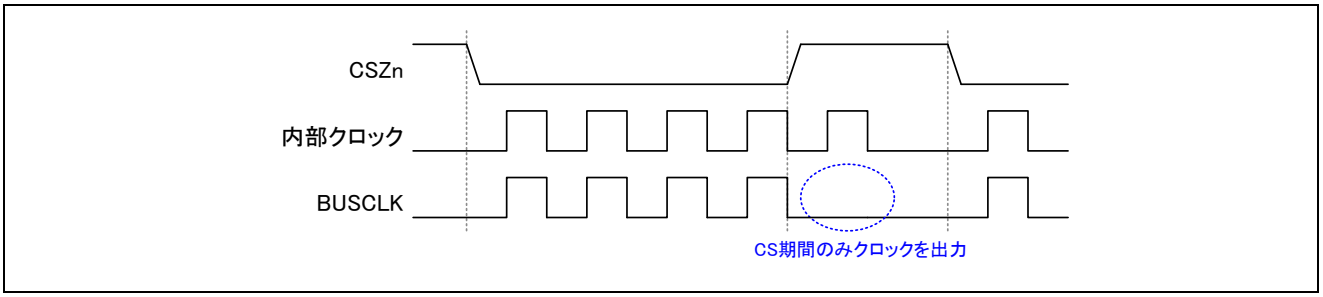


図11.3　　クロック出力タイミング例（SMC352MD.SMCCLKTH=1）

備考. n = 0 - 3

11.3.2 アドレス出力機能

同期式バースト・アクセス MEMC の外部メモリへのアドレス出力は、外部バス幅によって出力される信号が異なり、バス幅に関係なく MA1 端子から有効となるアドレスが出力されます。

バス幅	メモリMAP上のアドレス（256MB空間）	外部アドレス端子の割り当て
32bit	Address28ビットーAddress2ビット	MA27ーMA1端子
16bit	Address27ビットーAddress1ビット	MA27ーMA1端子

11.3.3 アドレス／データ・マルチプレクス機能

アドレス/データ・マルチプレクス機能はアドレス信号をデータ・バスから出力する機能です。本機能を使用することにより外部メモリとの接続信号本数を削減することが可能になります。

アドレス/データ・マルチプレクス機能は ADMUXMODE 端子により設定可能です。

外部 SRAM 端子	セパレート・モード（ADMUXMODE=0）		マルチプレクス・モード（ADMUXMODE=1）		備考
	16 ビット・バス（BUS32EN=0）	32 ビット・バス（BUS32EN=1）	16 ビット・バス（BUS32EN=0）	32 ビット・バス（BUS32EN=1）	
MA27-1	Address27-1	Address28-2	Address27-1	Address28-2	アドレス信号はモードに関係なく出力します。
MD31-16	ー	Data31-16	ー	{5'h00, Address28-2} Data31-0	マルチプレクス・モード時のアドレス出力タイミングは「11.4 メモリ・アクセス・タイミング例」を参照してください。注
MD15-0	Data15-0	Data15-0	Address16-1 Data15-0		

注. 非同期アクセス

リード：図11.10 非同期SRAM、マルチプレクス、リード・アクセス（ADVZ有効）

ライト：図11.13 非同期SRAM、マルチプレクス、ライト・アクセス（ADVZ有効／WE_TIME=0）

同期アクセス

リード：図11.16 同期SRAM、マルチプレクス、リード・アクセス（ADVZ有効）

ライト：図11.20 同期SRAM、マルチプレクス、ライト・アクセス（ADVZ有効）

11.3.4 ライト・イネーブル（WRZn）信号拡張機能

同期式バースト・アクセス MEMC のライト・イネーブル（WRZn）端子は、同期モードの場合、チップ・セレクト（CSZn）が有効になった最初の 1 サイクルのみ出力します。外部周辺デバイスによっては、1 サイクルではライト・イネーブル信号（WRZn）を受け取れない場合があるため、チップ・セレクト（CSZn）が有効の間、ライト・イネーブル信号（WRZn）を延長できる機能を付加しています。本機能を有効にする場合には、SM352CMD レジスタの SMCWETH ビットをセット（1）します。

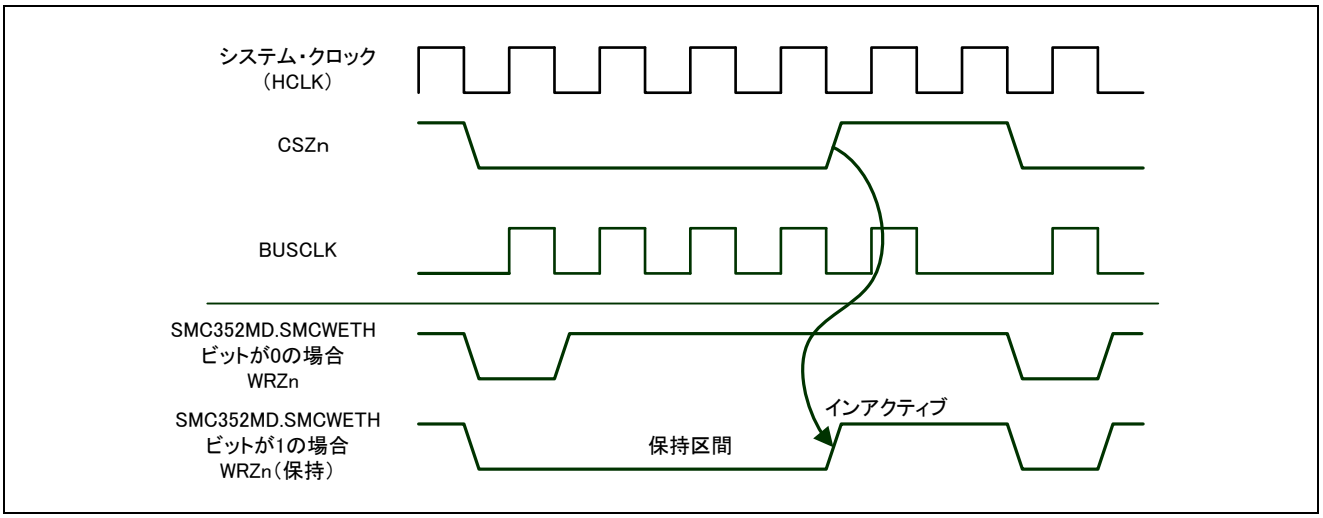


図11.4 ライト・イネーブル信号の動作

備考. n = 0 - 3

11.3.5 リード・データ・タイミング制御

同期式 SRAM アクセス時の、リード・データの取り込みタイミングを調整することができます。R-IN32M4 から出力する BUSCLK に対し、クロックの立ち上がりでデータを取り込むかクロックの立下りでデータを取り込むかを選択します。クロックの立ち上がりでデータを取り込んだ場合には、外部 SRAM からのデータ・ホールド時間を確保することができ、また、クロックの立下りでデータを取り込んだ場合には、データのセットアップ時間を確保することができます。

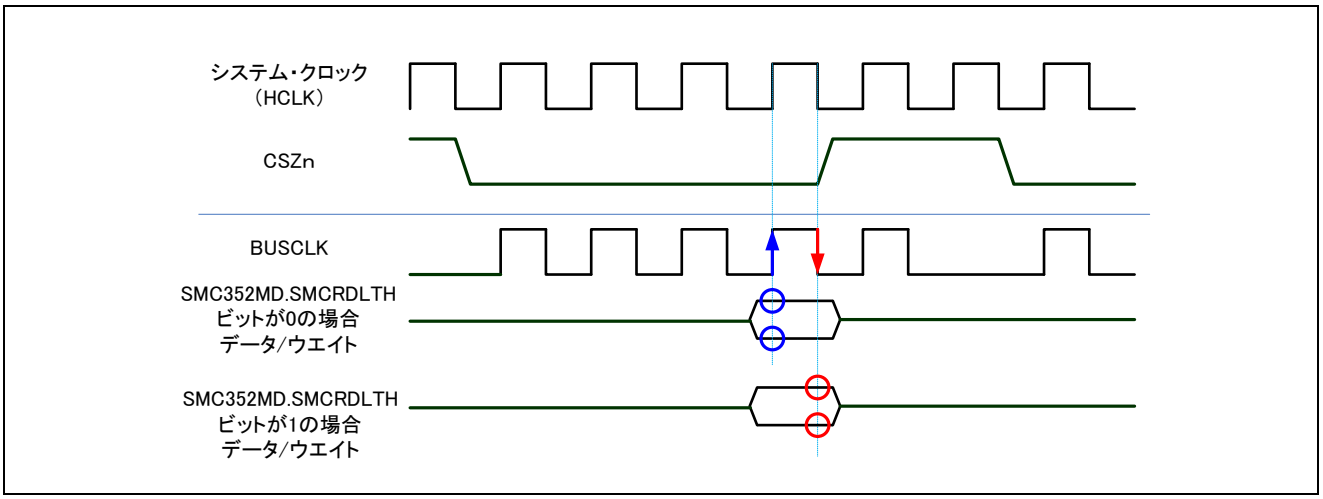


図11.5 リード・データ・タイミング制御

備考 1. n = 0 – 3

2. 非同期アクセス・モードでの動作の場合には、常にシステム・クロックの立ち下がりでデータを取り込みます。

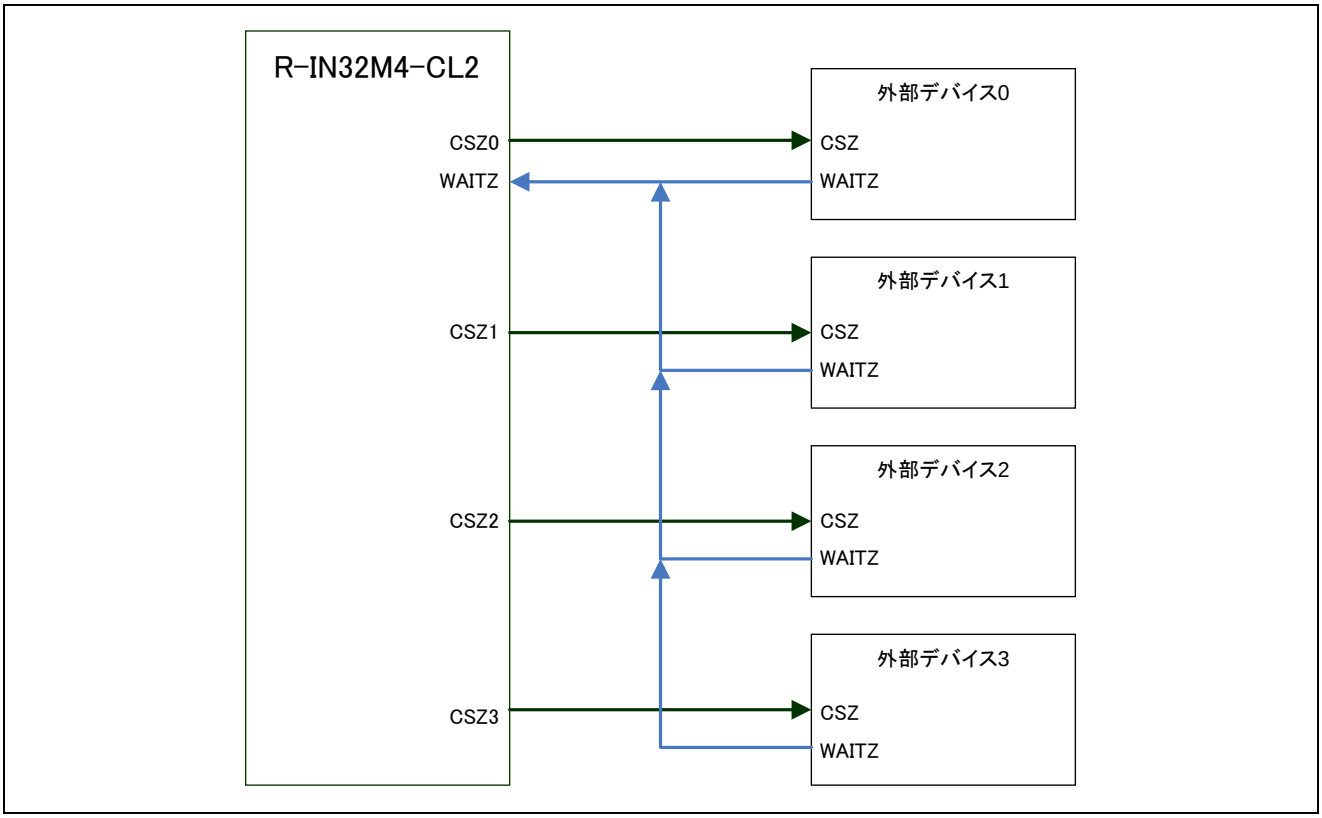
11.3.6 ウエイト信号制御機能

同期式バースト・アクセス MEMC には、各チップ・セレクト領域用に外部ウエイト入力（WAITZ、WAITZ1-3）端子を最大 4 本搭載します。各外部ウエイト入力端子は、チップ・セレクト領域のどの領域に割り当てるかを WAITZSEL レジスタで設定します。また、1 つのウエイト端子に 4 つのチップ・セレクト領域を割り当てることも可能です。

なお、R-IN32M4-CL2 と外部デバイスとの外部メモリ・インタフェース端子の接続方法に関しては「R-IN32M4-CL2 ユーザーズ・マニュアル ボード設計編」を参照してください。

(1) 接続例 1

外部デバイスを 4 個接続。ウエイト信号は Wired OR にて WAITZ にまとめて接続。

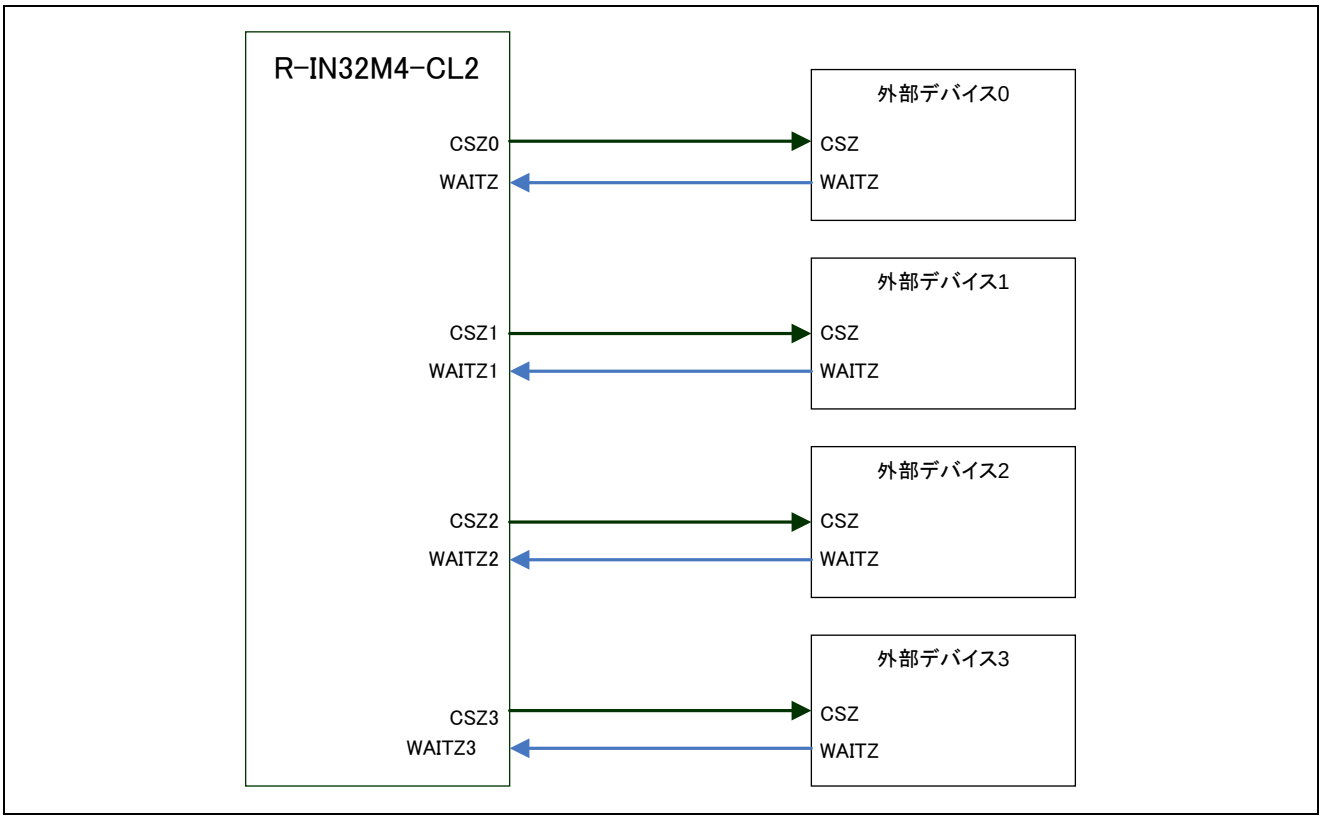


備考. ウエイト信号選択レジスタの設定値は以下の通り。

WAITZSEL.WSEL0[3:0] = 1111B
WAITZSEL.WSEL1[3:0] = 0000B
WAITZSEL.WSEL2[3:0] = 0000B
WAITZSEL.WSEL3[3:0] = 0000B

(2) 接続例 2

外部デバイスを 4 個接続、ウエイト信号は 1 対 1 に接続。

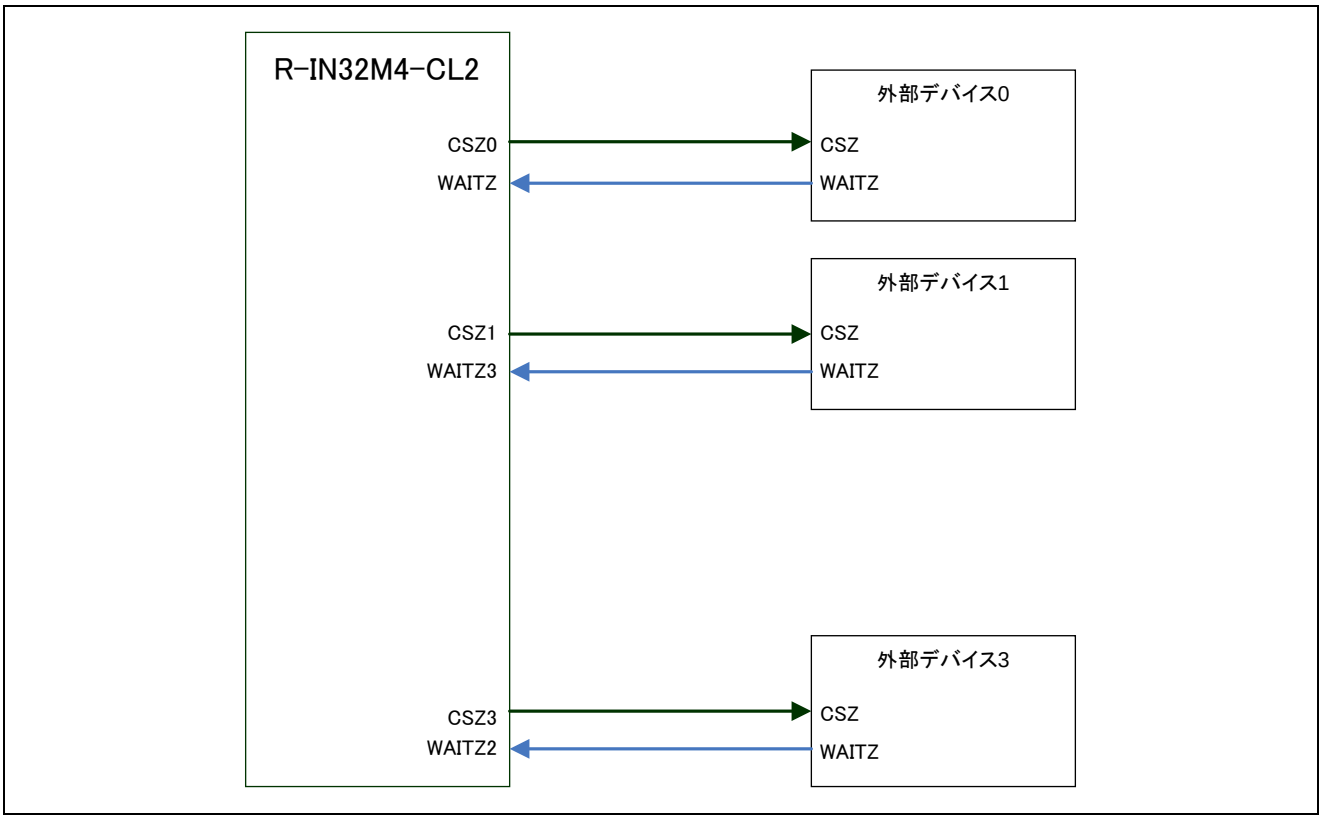


備考. ウエイト信号選択レジスタの設定値は以下の通り。

WAITZSEL.WSEL0[3:0] = 0001B
WAITZSEL.WSEL1[3:0] = 0010B
WAITZSEL.WSEL2[3:0] = 0100B
WAITZSEL.WSEL3[3:0] = 1000B

(3) 接続例 3

外部デバイスを 3 個接続、ウエイト信号は 1 対 1 に接続、CSZ2 は未使用。ウエイト端子の割り当てを変更。



備考 1. ウエイト信号選択レジスタ（WAITZSEL）にて、どの割り込みがどのチップ・セレクトに対応するかを選択できます。

2. ウエイト信号選択レジスタの設定値は以下の通り。

WAITZSEL.WSEL0[3:0] = 0001B
WAITZSEL.WSEL1[3:0] = 1000B
WAITZSEL.WSEL2[3:0] = 0000B
WAITZSEL.WSEL3[3:0] = 0100B

11.3.7 同期式バースト・アクセス MEMC の動作モード設定

R-IN32M4 の外部端子 MEMCSEL、ADMUXMODE、BUS32EN 端子にて、動作モードを設定します。

端子	設定
MEMCSEL	同期式バースト・アクセスMEMCを使用するか、非同期SRAM MEMCを使用するかを選択します。 0：非同期SRAM MEMC 1：同期式バースト・アクセスMEMC
ADMUXMODE	アドレス／データのマルチプレクス・モードの設定をします。 0：セパレート・モード 1：マルチプレクス・モード
BUS32EN	CSZ0領域のバス幅を設定します。 0：16ビット・バス・モード 1：32ビット・バス・モード

11.3.8 外部メモリ領域マッピング切り替え機能

同期式バースト・アクセス MEMC は、SMADSEL0-3 レジスタにて、各チップ・セレクト領域のアドレス・マップとサイズを変更することができます。

注意 1. 各チップ・セレクト領域の合計サイズは 256M バイトです。
2. 設定できるアドレス空間は 1000 0000H-1FFF FFFFH です。
3. 各チップ・セレクト領域は重複して設定することは禁止です。
重複しないようにベース・アドレスとサイズを設定してください。
4. 本レジスタの設定は、外部メモリ領域（1000 0000H～1FFF FFFFH）へアクセスしていない時に行ってください。プログラム等は他の領域に格納し実行してください。

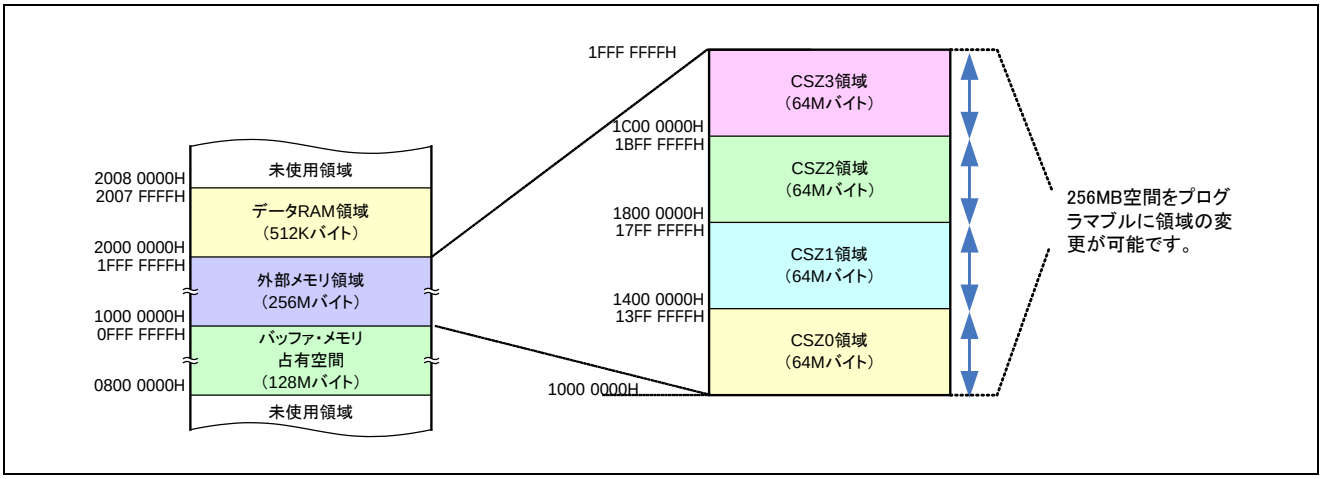


図11.6 外部メモリ空間

11.4 メモリ・アクセス・タイミング例

ここでは、次に示すメモリ・アクセス・タイミング例を示します。

表11.2 メモリ・アクセス・タイミング例一覧

図番号	メモリ・タイプ	アクセス条件	ページ
図11.7	非同期 SRAM	リード、セパレート、ADVZ 有効	11-29
図11.8	非同期 SRAM	リード、セパレート、ADVZ 無効	11-30
図11.9	ページ ROM	リード、セパレート、ADVZ 有効	11-31
図11.10	非同期 SRAM	リード、マルチプレクス、ADVZ 有効	11-32
図11.11	非同期 SRAM	ライト、セパレート、ADVZ 無効	11-33
図11.12	非同期 SRAM	ライト、セパレート、ADVZ 有効	11-34
図11.13	非同期 SRAM	ライト、マルチプレクス、ADVZ 有効、WE_TIME=0	11-35
図11.14	非同期 SRAM	ライト、マルチプレクス、ADVZ 有効、WE_TIME=1	11-36
図11.15	同期 SRAM	リード、セパレート、ADVZ 有効	11-37
図11.16	同期 SRAM	リード、マルチプレクス、ADVZ 有効	11-38
図11.17	同期 SRAM	4 バースト・リード、マルチプレクス、ADVZ 有効	11-39
図11.18	同期 SRAM	ライト、セパレート、ADVZ	11-40
図11.19	同期 SRAM	8 バースト・ライト、セパレート、ADVZ	11-41
図11.20	同期 SRAM	ライト、マルチプレクス、ADVZ 有効	11-42
図11.21	同期 SRAM	4 バースト・ライト、マルチプレクス、ADVZ 有効	11-43
図11.22	同期 SRAM	リード、外部ウエイト・タイミング	11-44
図11.23	同期 SRAM	ライト、外部ウエイト・タイミング	11-45

11.4.1 非同期アクセス・タイミング

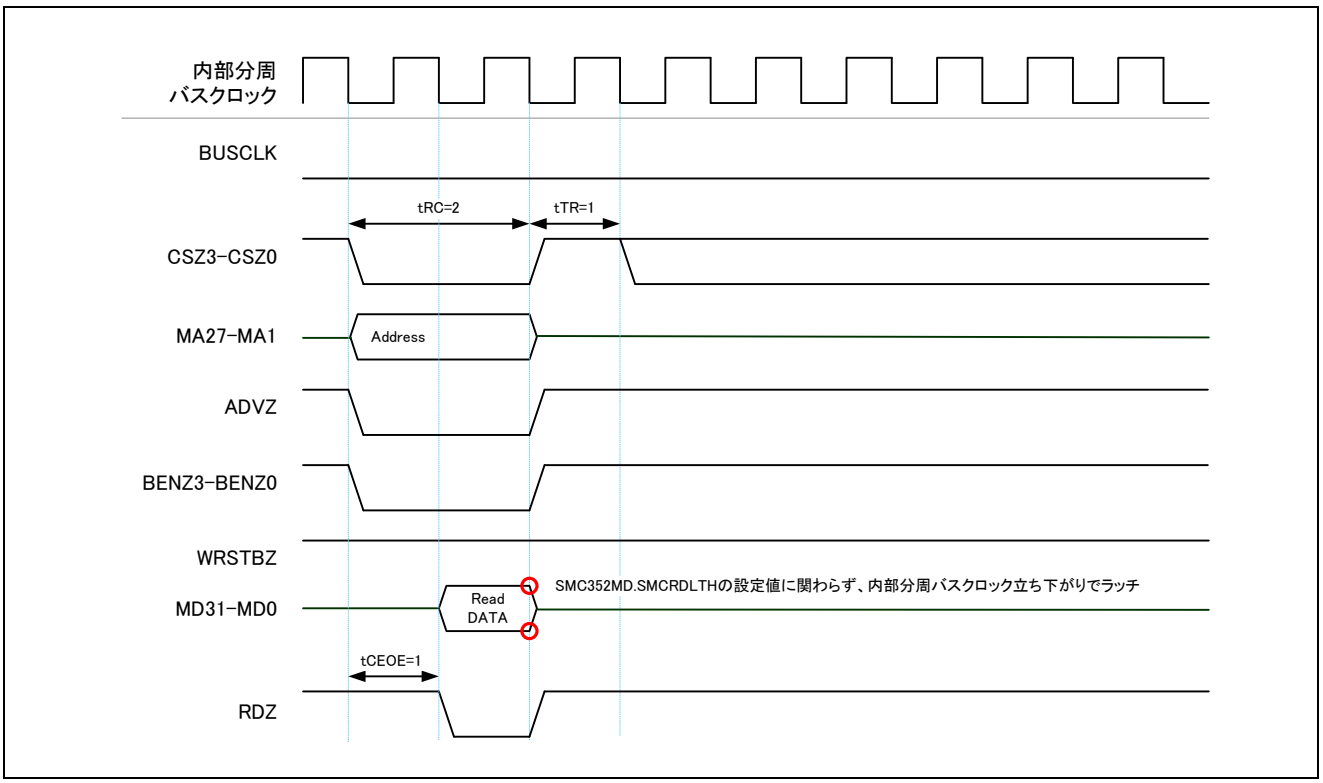


図11.7 非同期 SRAM、セパレート、リード・アクセス（ADVZ 有効）

備考. ADMUXMODE 端子 = ロー・レベル（セパレート・モード）
SET_CYCLES.T_TR[2:0] = 001B（1 サイクル）
T_CEOE[2:0] = 001B（1 サイクル）
T_RC[3:0] = 0010B（2 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 1B（ADVZ 端子有効）
RD_BL = 000B（シングル・アクセス）
RD_SYNC = 0B（非同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

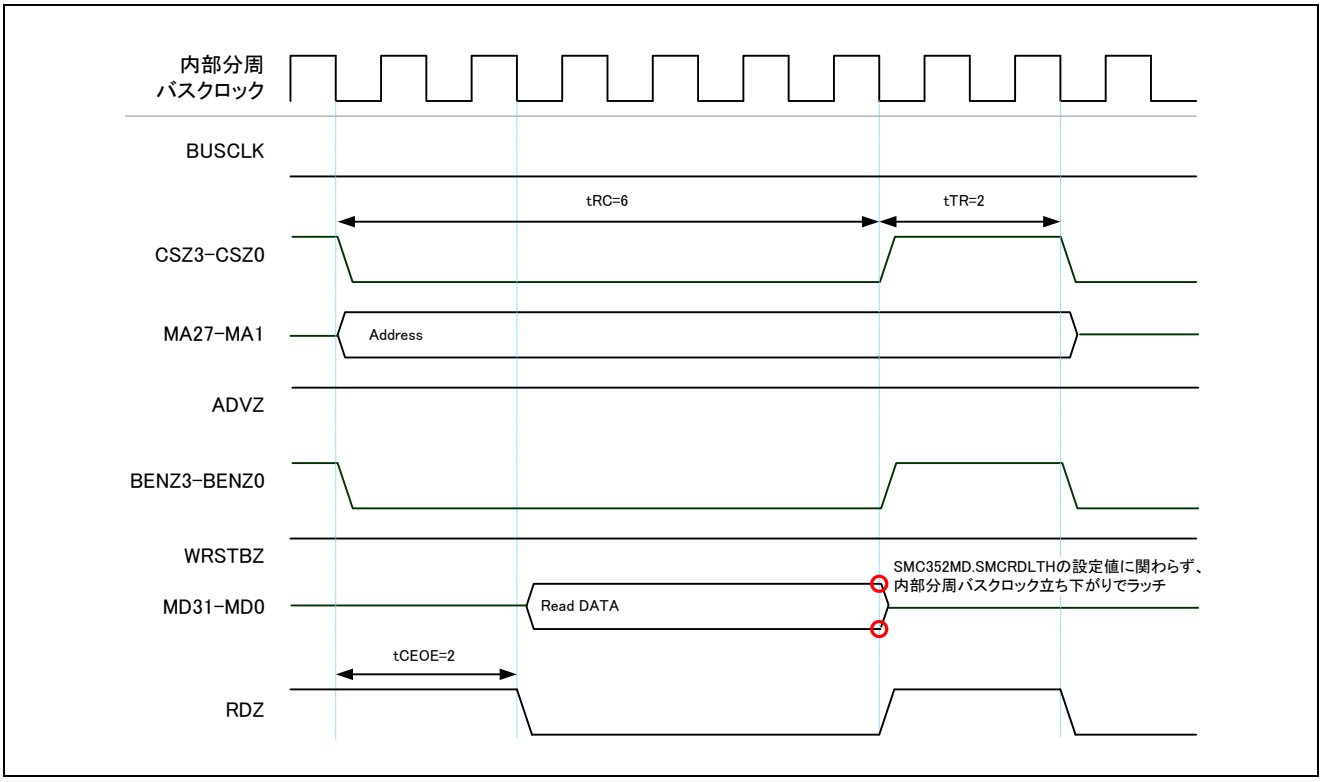


図11.8 非同期 SRAM、セパレート、リード・アクセス（ADVZ 無効）

備考. ADMUXMODE 端子 = ロー・レベル（セパレート・モード）
SET_CYCLES.T_TR[2:0] = 010B（2 サイクル）
T_CEOE[2:0] = 010B（2 サイクル）
T_RC[3:0] = 0110B（6 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 0B（ADVZ 端子無効）
RD_BL = 000B（シングル・アクセス）
RD_SYNC = 0B（非同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

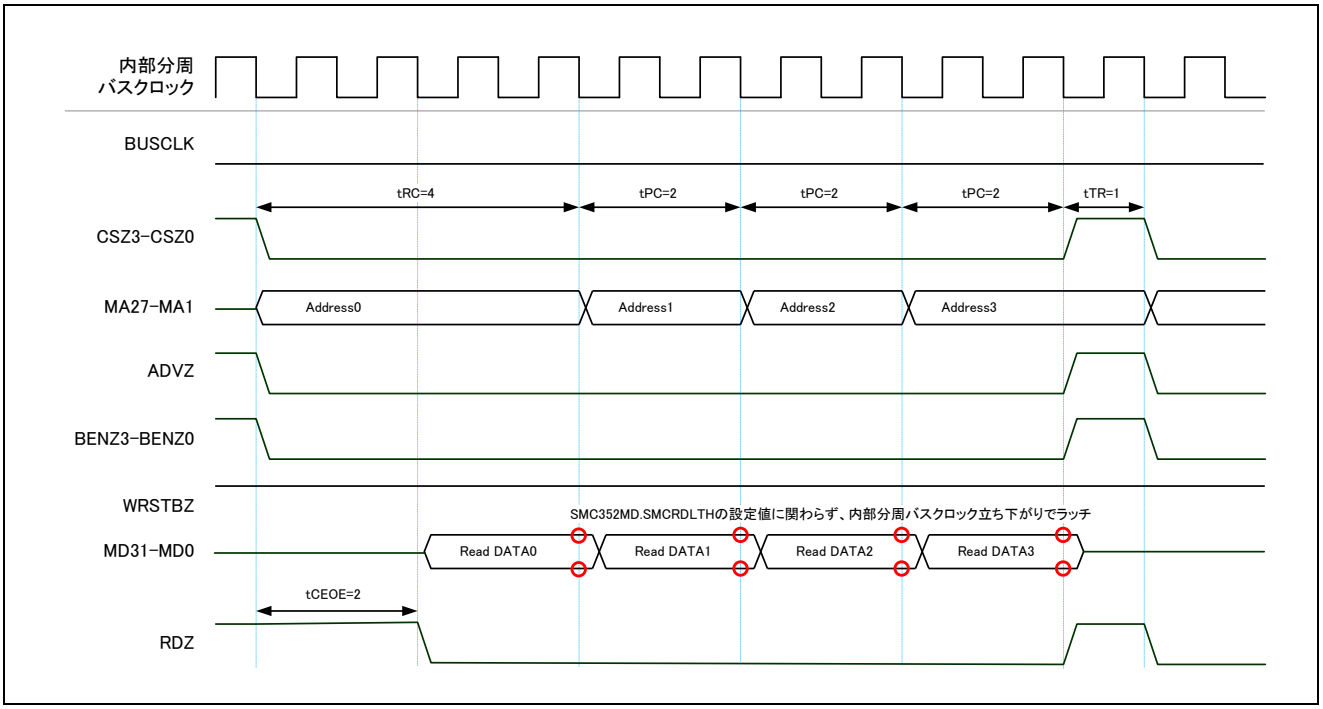


図11.9 非同期ページ ROM、セパレート、リード・アクセス（ADVZ 有効）

備考. ADMUXMODE 端子 = ロー・レベル（セパレート・モード）
SET_CYCLES.T_TR[2:0] = 001B（1 サイクル）
T_PC[2:0] = 010B（2 サイクル）
T_CEOE[2:0] = 010B（2 サイクル）
T_RC[3:0] = 0100B（4 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 1B（ADVZ 端子有効）
RD_BL = 001B（最大 4 バースト）
RD_SYNC = 0B（非同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

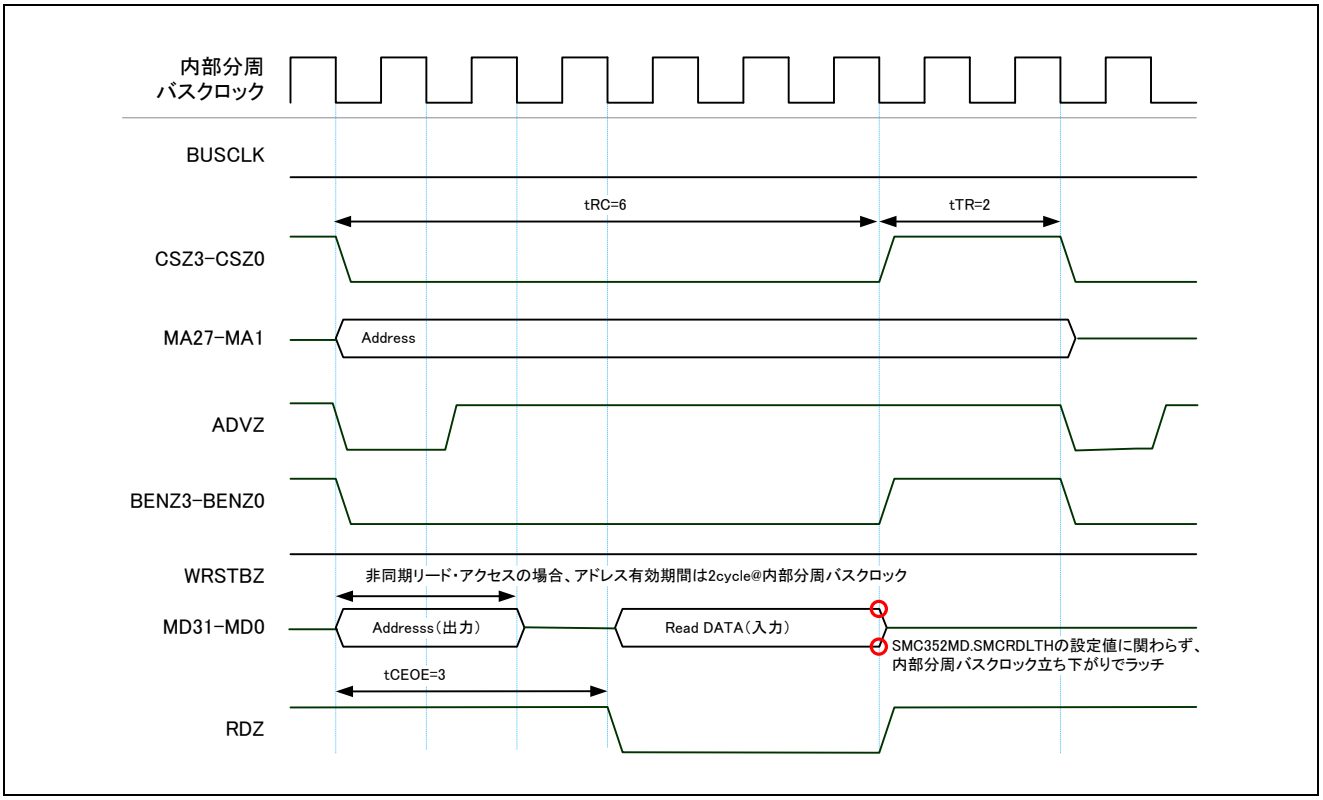


図11.10　非同期 SRAM、マルチプレクス、リード・アクセス（ADVZ 有効）

備考. ADMUXMODE 端子 = ハイ・レベル（マルチプレクス・モード）
SET_CYCLES.T_TR[2:0] = 010B（2 サイクル）
T_CEOE[2:0] = 011B（3 サイクル）
T_RC[3:0] = 0110B（6 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 1B（ADVZ 端子有効）
RD_BL = 000B（シングル・アクセス）
RD_SYNC = 0B（非同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

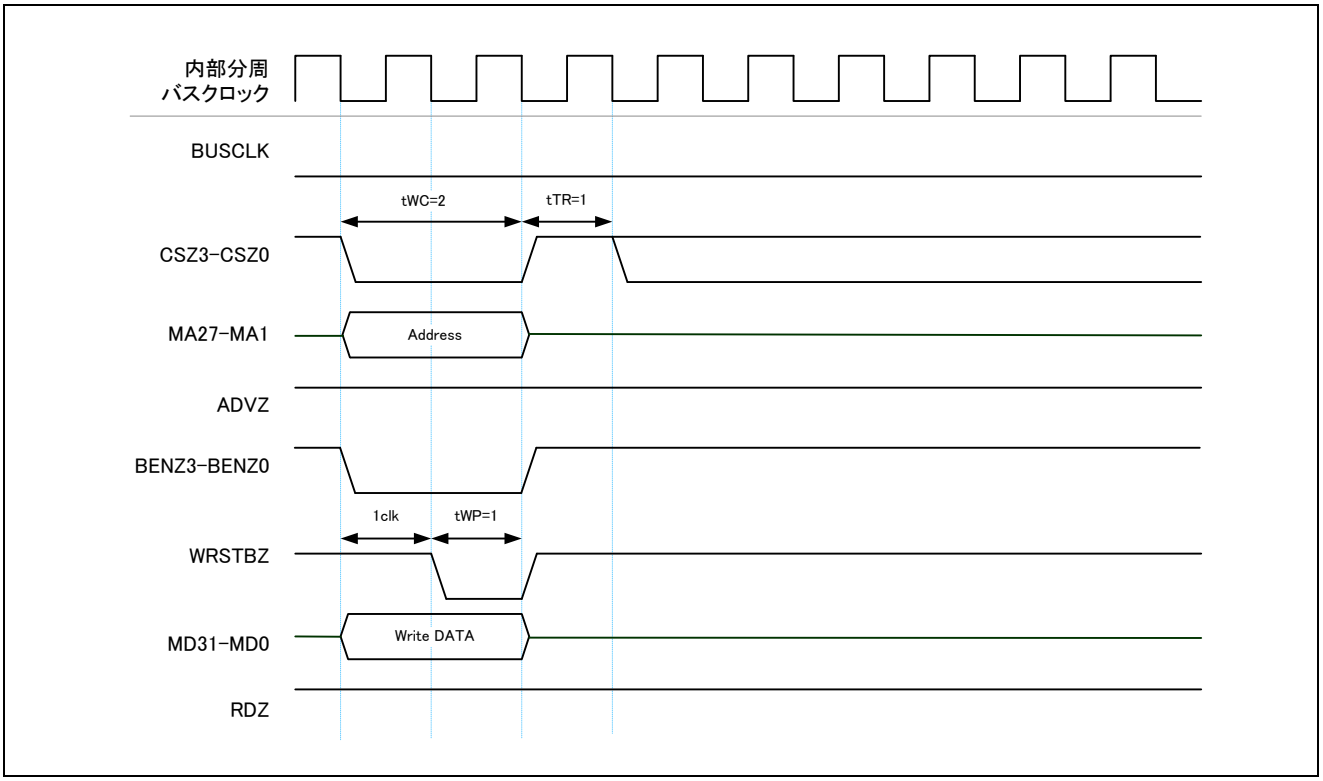


図11.11 非同期 SRAM、セパレート、ライト・アクセス（ADVZ 無効）

備考. ADMUXMODE 端子 = ロー・レベル（セパレート・モード）
SET_CYCLES.T_TR[2:0] = 001B（1 サイクル）
T_WP[2:0] = 001B（1 サイクル）
T_WC[3:0] = 0010B（2 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 0B（ADVZ 端子無効）
WR_BL = 000B（シングル・アクセス）
WR_SYNC = 0B（非同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

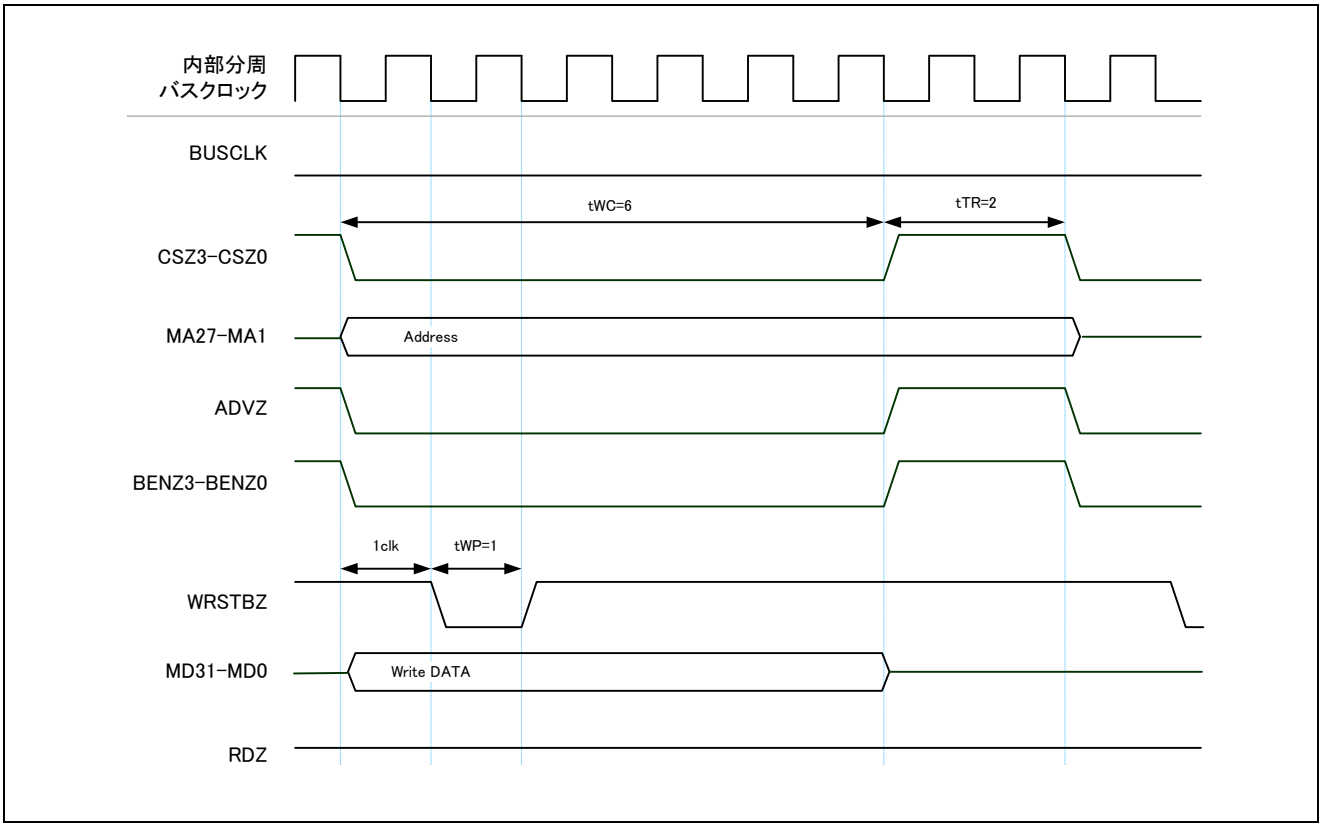


図11.12 非同期 SRAM、セパレート、ライト・アクセス（ADVZ 有効）

備考. ADMUXMODE 端子 = ロー・レベル（セパレート・モード）
SET_CYCLES.T_TR[2:0] = 010B（2 サイクル）
T_WP[2:0] = 001B（1 サイクル）
T_WC[3:0] = 0110B（6 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 1B（ADVZ 端子有効）
WR_BL = 000B（シングル・アクセス）
WR_SYNC = 0B（非同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

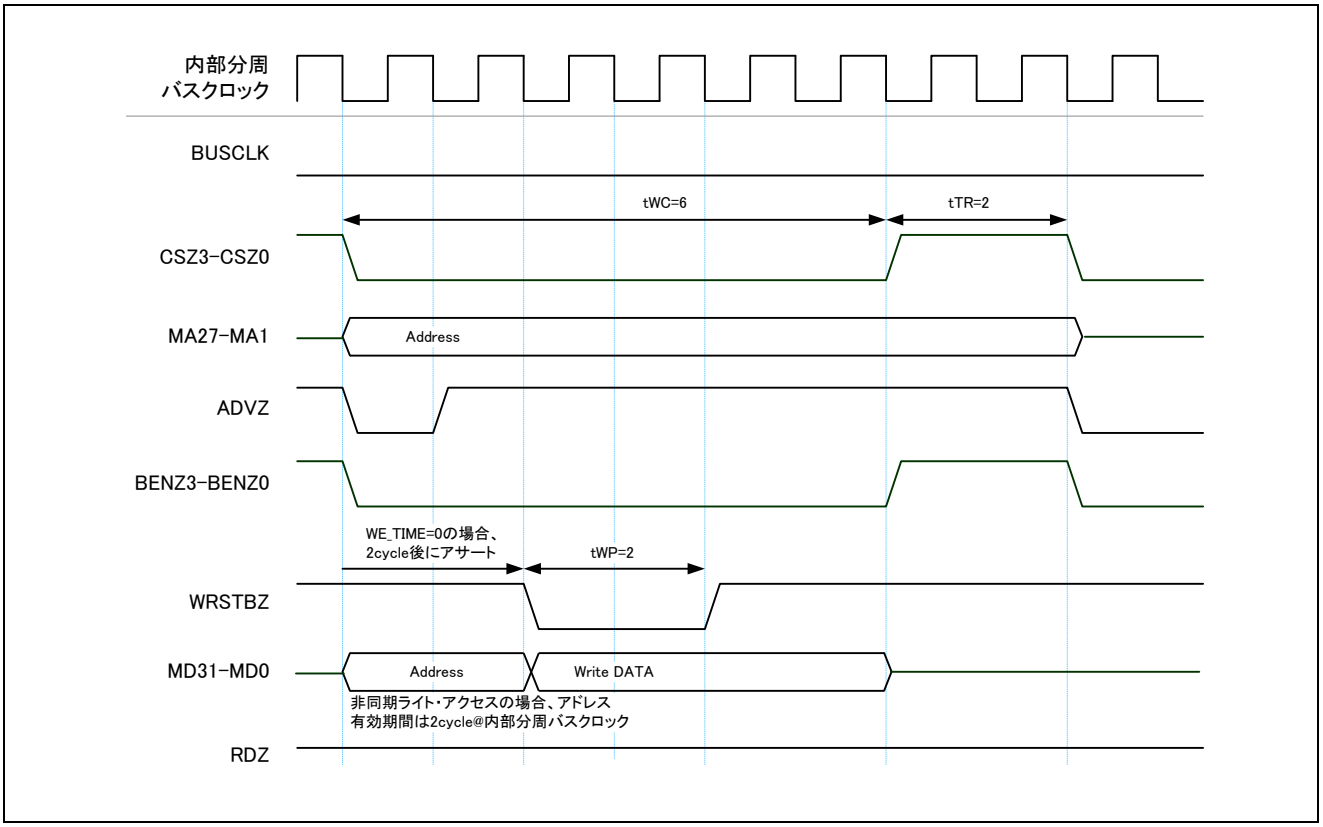


図11.13 非同期 SRAM、マルチプレクス、ライト・アクセス（ADVZ 有効／WE_TIME=0）

備考. ADMUXMODE 端子 = ハイ・レベル（マルチプレクス・モード）
SET_CYCLES.WE_TIME = 0B（CSZ アサートの 2 サイクル後に WRSTBZ アサート）
T_TR[2:0] = 010B（2 サイクル）
T_WP[2:0] = 010B（2 サイクル）
T_WC[3:0] = 0110B（6 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 1B（ADVZ 端子有効）
WR_BL = 000B（シングル・アクセス）
WR_SYNC = 0B（非同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

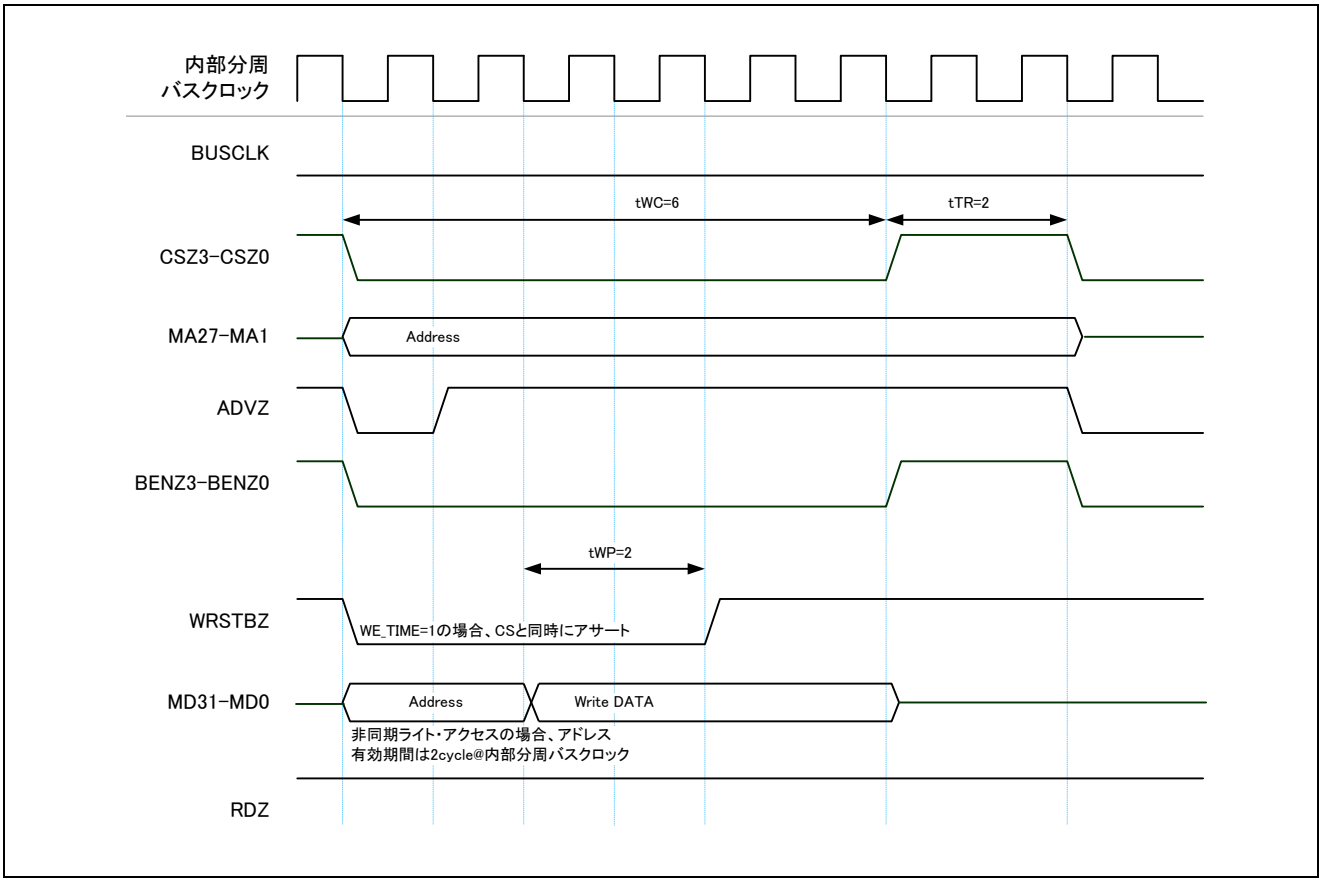


図11.14 非同期 SRAM、マルチプレクス、ライト・アクセス（ADVZ 有効／WE_TIME=1）

備考. ADMUXMODE 端子 = ハイ・レベル（マルチプレクス・モード）
SET_CYCLES.WE_TIME = 1B（CSZ と同時に WRSTBZ アサート）
T_TR[2:0] = 010B（2 サイクル）
T_WP[2:0] = 010B（2 サイクル）
T_WC[3:0] = 0110B（6 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 1B（ADVZ 端子有効）
WR_BL = 000B（シングル・アクセス）
WR_SYNC = 0B（非同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

11.4.2 同期アクセス・タイミング

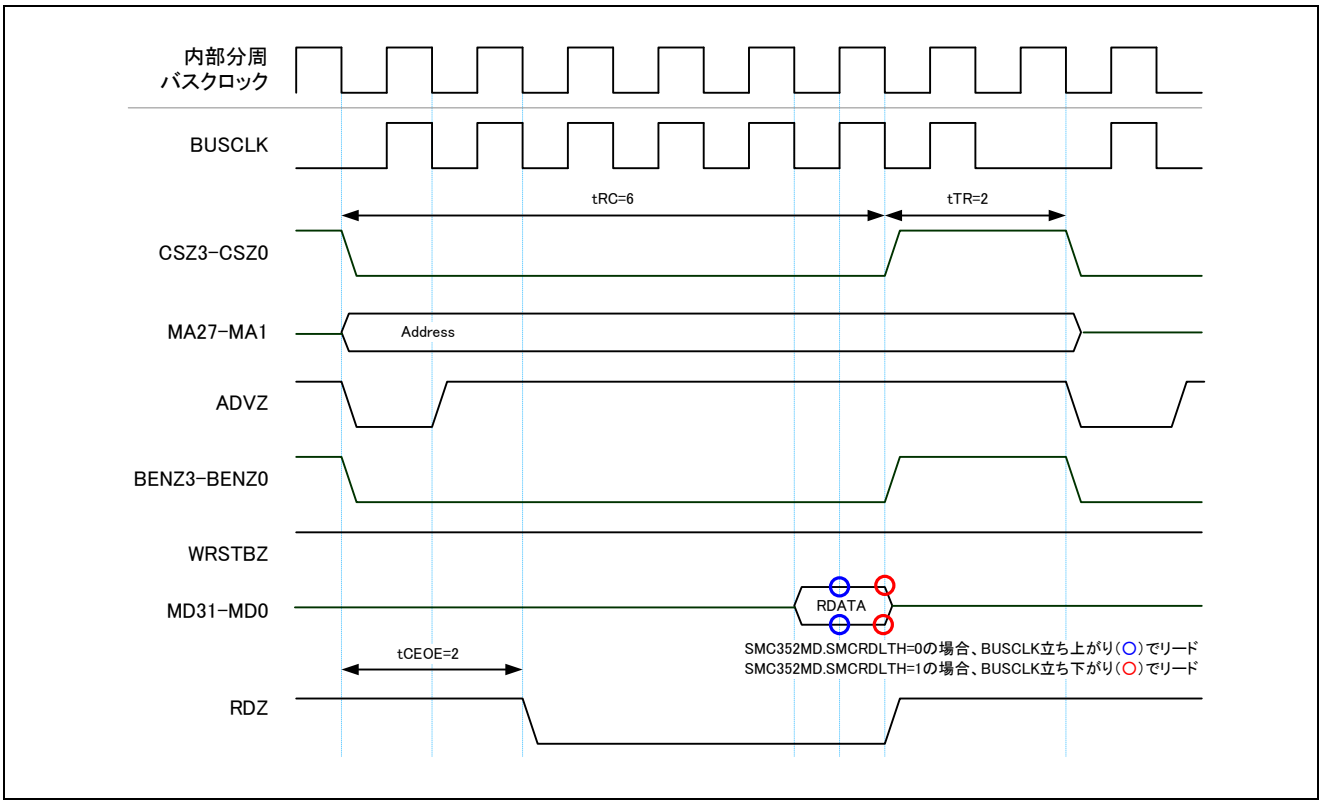


図11.15 同期 SRAM、セパレート、リード・アクセス（ADVZ 有効）

備考. ADMUXMODE 端子 = ロー・レベル（セパレート・モード）
SET_CYCLES.T_TR[2:0] = 010B（2 サイクル）
T_CEOE[2:0] = 010B（2 サイクル）
T_RC[3:0] = 0110B（6 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 1B（ADVZ 端子有効）
RD_BL = 000B（シングル・アクセス）
RD_SYNC = 1B（同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

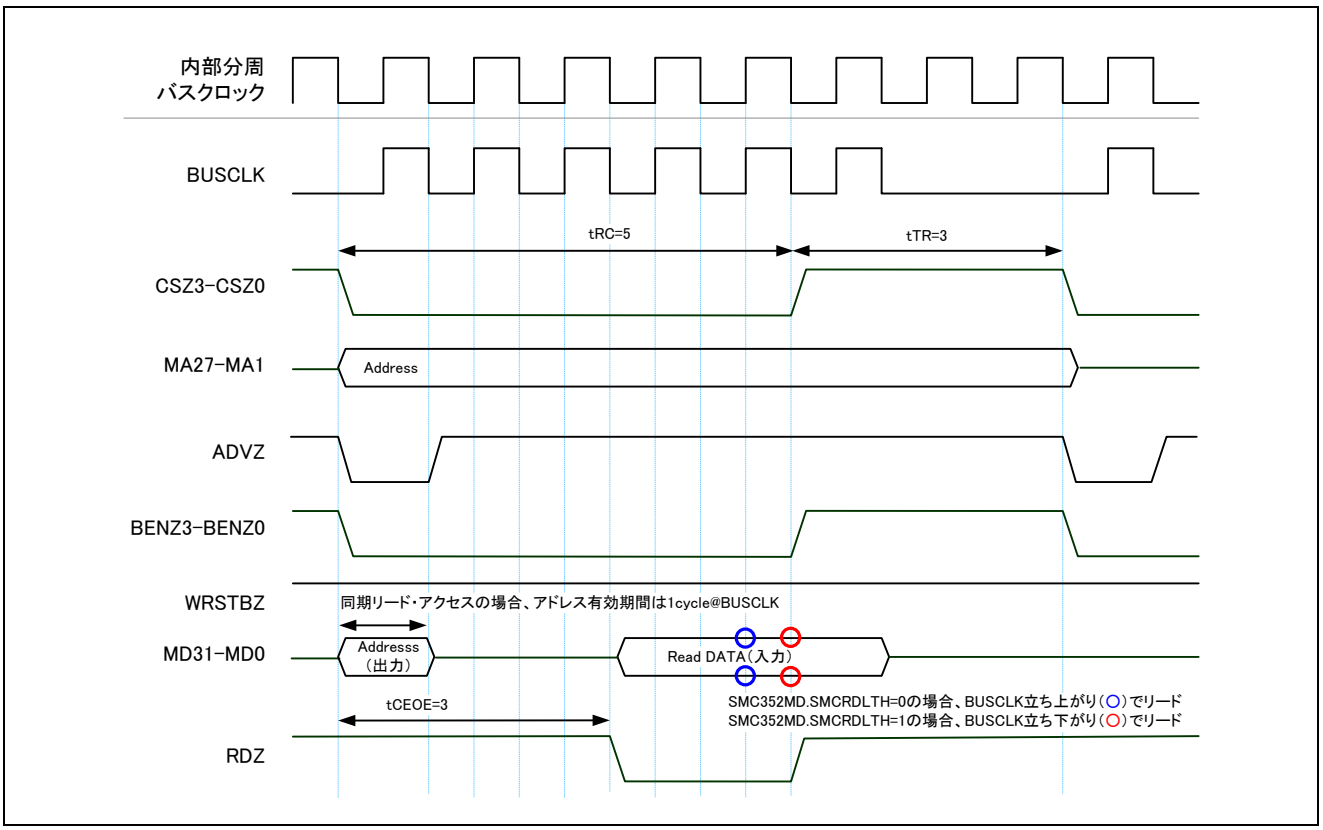


図11.16 同期 SRAM、マルチプレクス、リード・アクセス（ADVZ 有効）

備考. ADMUXMODE 端子 = ハイ・レベル（マルチプレクス・モード）
SET_CYCLES.T_TR[2:0] = 011B（3 サイクル）
T_CEOE[2:0] = 011B（3 サイクル）
T_RC[3:0] = 0101B（5 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 1B（ADVZ 端子有効）
RD_BL = 000B（シングル・アクセス）
RD_SYNC = 1B（同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

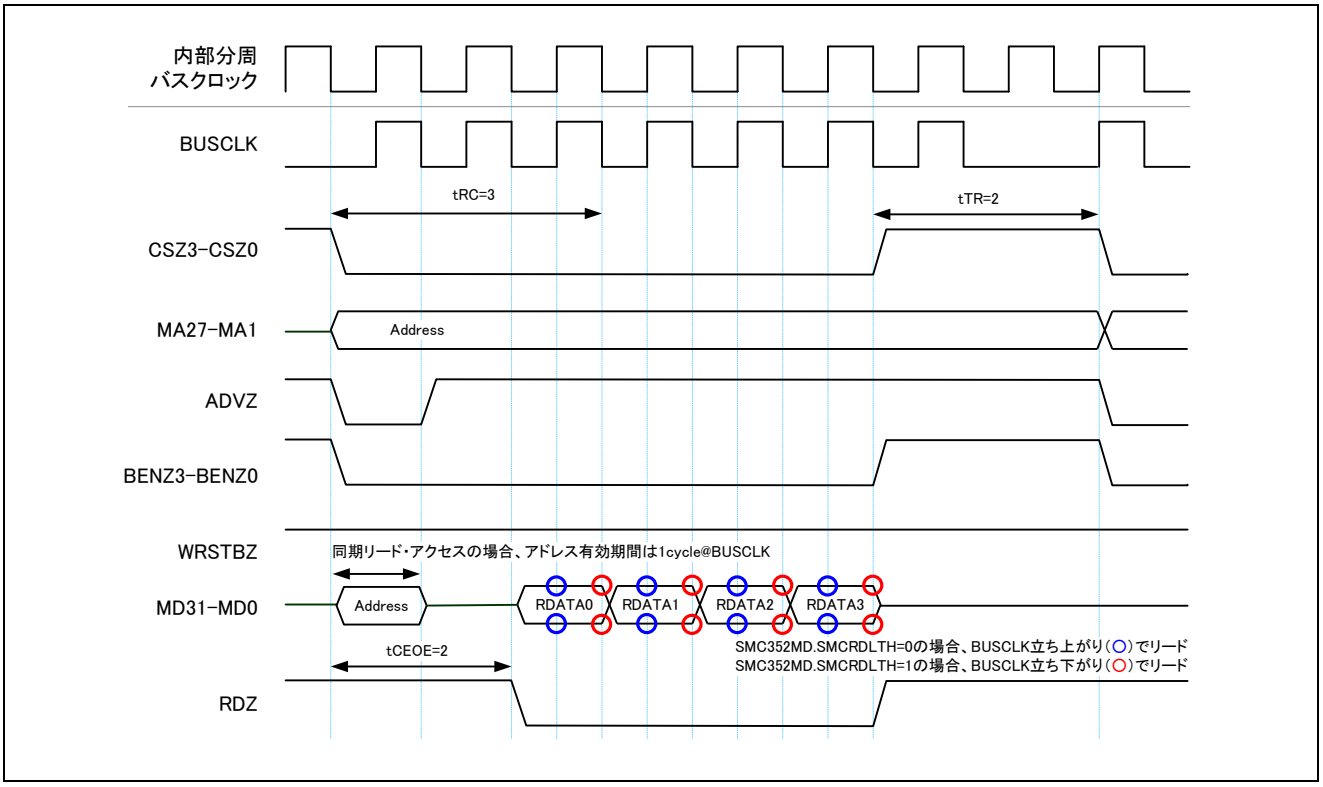


図11.17 同期 SRAM、マルチプレクス、リード・4 バースト・アクセス（ADVZ 有効）

備考. ADMUXMODE 端子 = ハイ・レベル（マルチプレクス・モード）
SET_CYCLES.T_TR[2:0] = 010B（2 サイクル）
T_CEOE[2:0] = 010B（2 サイクル）
T_RC[3:0] = 0011B（3 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 1B（ADVZ 端子有効）
RD_BL = 001B（最大 4 バースト）
RD_SYNC = 1B（同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

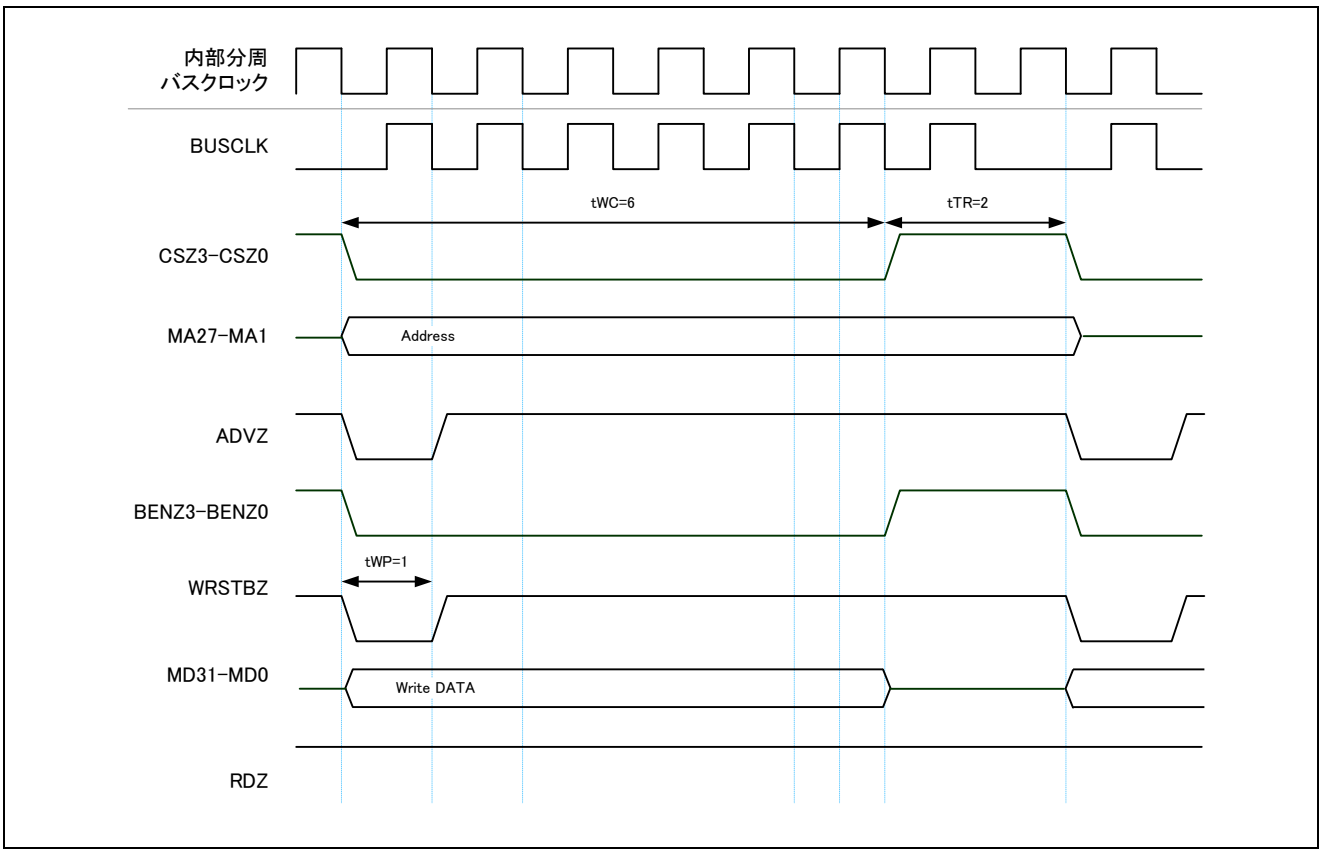


図11.18 同期 SRAM、セパレート、ライト・アクセス（ADVZ 有効）

備考. ADMUXMODE 端子 = ロー・レベル（セパレート・モード）
SET_CYCLES.T_TR[2:0] = 010B（2 サイクル）
T_WP[2:0] = 001B（1 サイクル）
T_WC[3:0] = 0110B（6 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 1B（ADVZ 端子有効）
WR_BL = 000B（シングル・アクセス）
WR_SYNC = 1B（同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

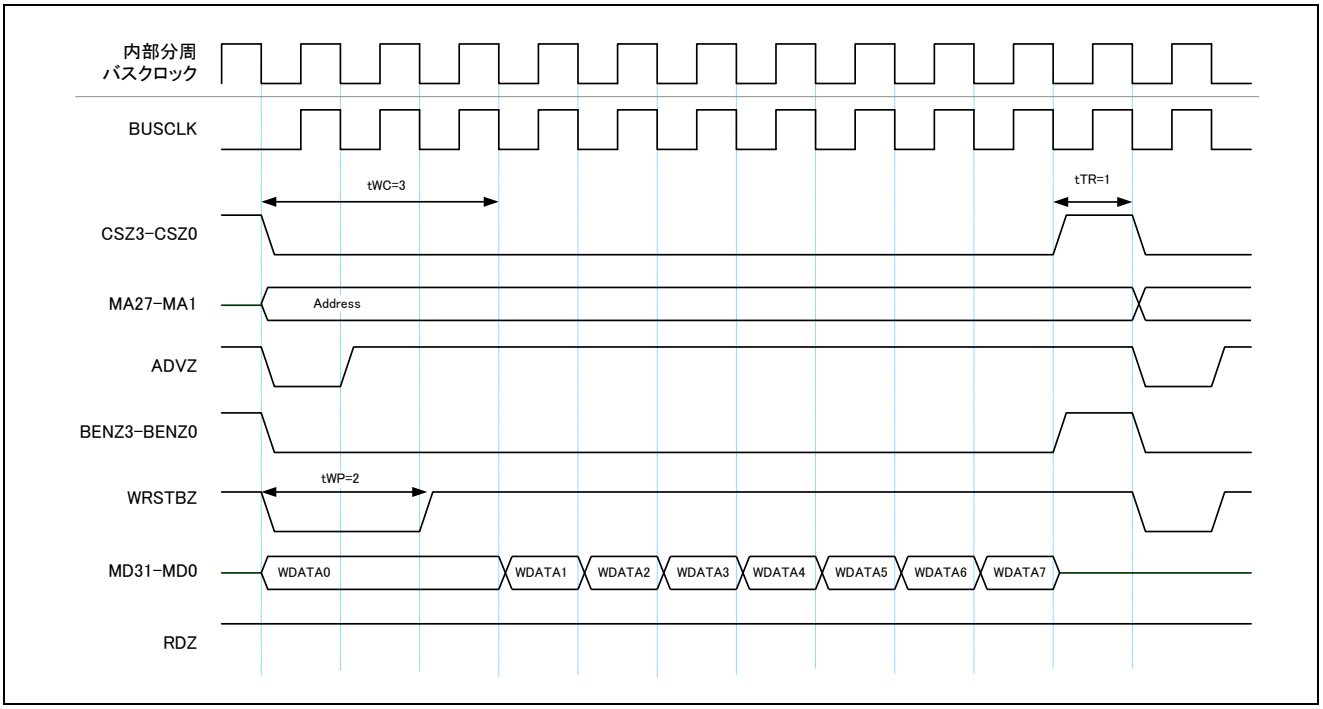


図11.19 同期 SRAM、セパレート、8 バースト・ライト・アクセス（ADVZ 有効）

備考. ADMUXMODE 端子 = ロー・レベル（セパレート・モード）
SET_CYCLES.T_TR[2:0] = 001B（1 サイクル）
T_WP[2:0] = 010B（2 サイクル）
T_WC[3:0] = 0011B（3 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 1B（ADVZ 端子有効）
WR_BL = 010B（最大 8 バースト）
WR_SYNC = 1B（同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

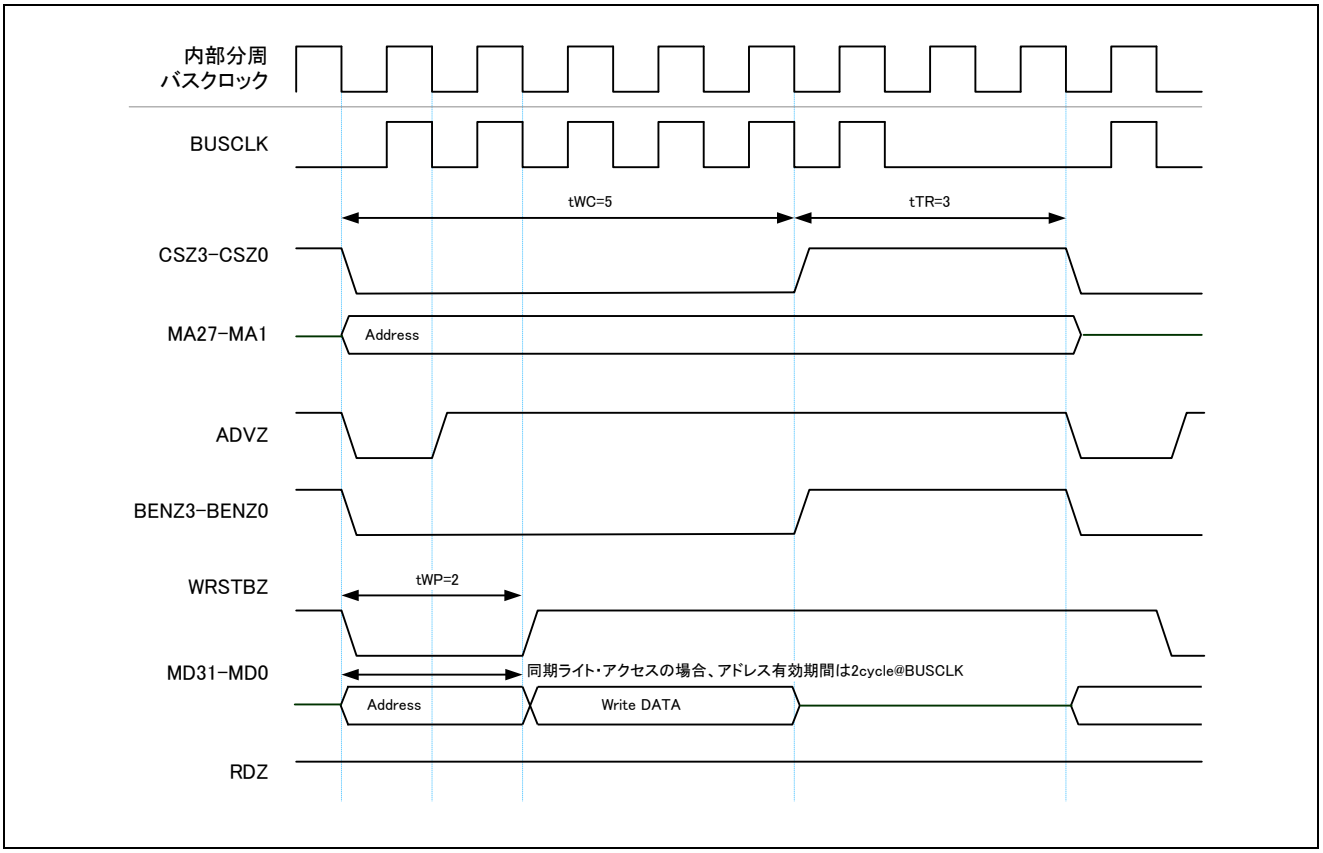


図11.20 同期 SRAM、マルチプレクス、ライト・アクセス（ADVZ 有効）

備考. ADMUXMODE 端子 = ハイ・レベル（マルチプレクス・モード）
SET_CYCLES.T_TR[2:0] = 011B（3 サイクル）
T_WP[2:0] = 010B（2 サイクル）
T_WC[3:0] = 0101B（5 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 1B（ADVZ 端子有効）
WR_BL = 000B（シングル・アクセス）
WR_SYNC = 1B（同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

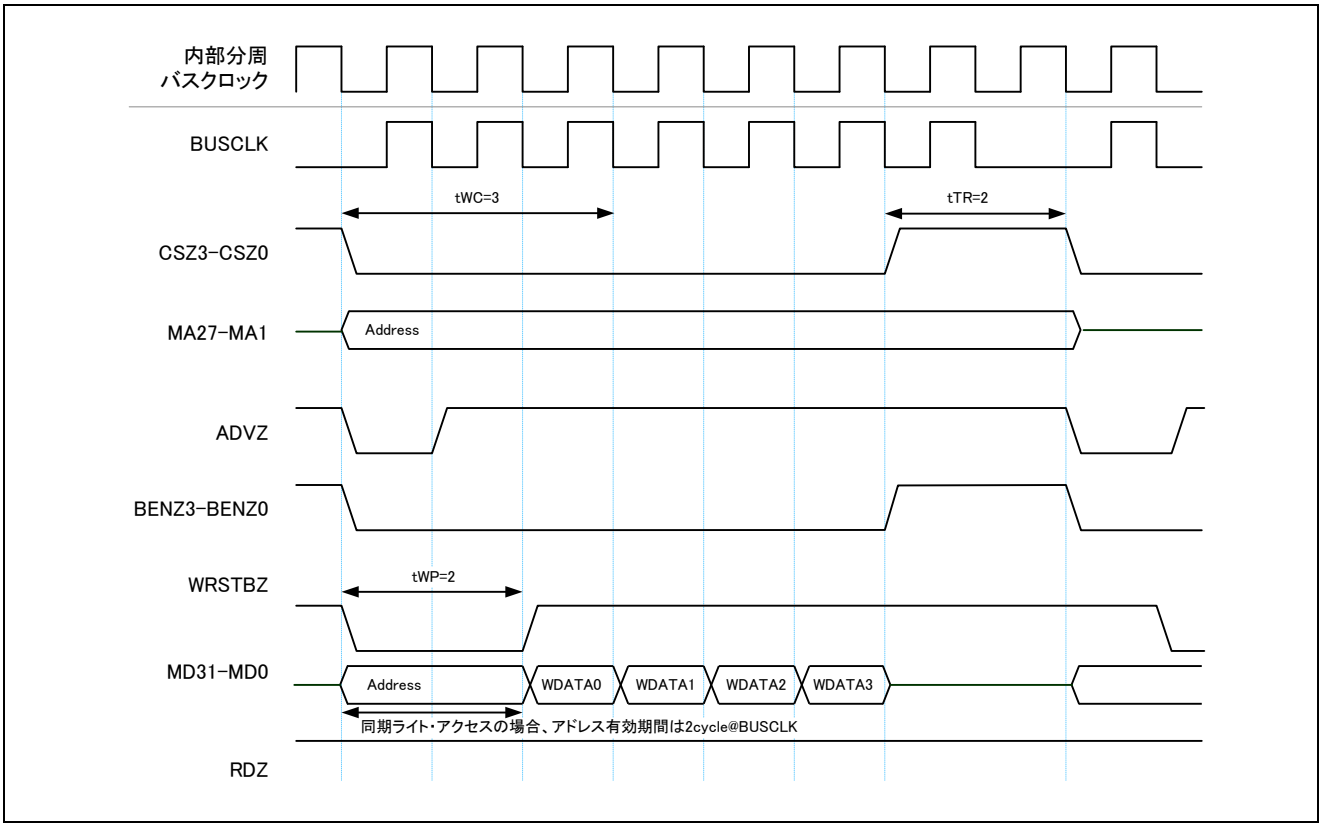


図11.21 同期 SRAM、マルチプレクス、4 バースト・ライト・アクセス（ADVZ 有効）

備考. ADMUXMODE 端子 = ハイ・レベル（マルチプレクス・モード）
SET_CYCLES.T_TR[2:0] = 010B（2 サイクル）
T_WP[2:0] = 010B（2 サイクル）
T_WC[3:0] = 0011B（3 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 1B（ADVZ 端子有効）
WR_BL = 001B（最大 4 バースト）
WR_SYNC = 1B（同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

11.4.3 ウエイト・タイミング

ウエイト信号（WAITZ、WAITZ1-WAITZ3）は、同期アクセス時のみ有効となります。

注意. ウエイト信号は内部クロックでラッチするため、1 サイクル前の状態が有効となります。
tRC/tWC の設定値が“N”の場合、“N - 1”サイクル以降のウエイト信号が有効となります。

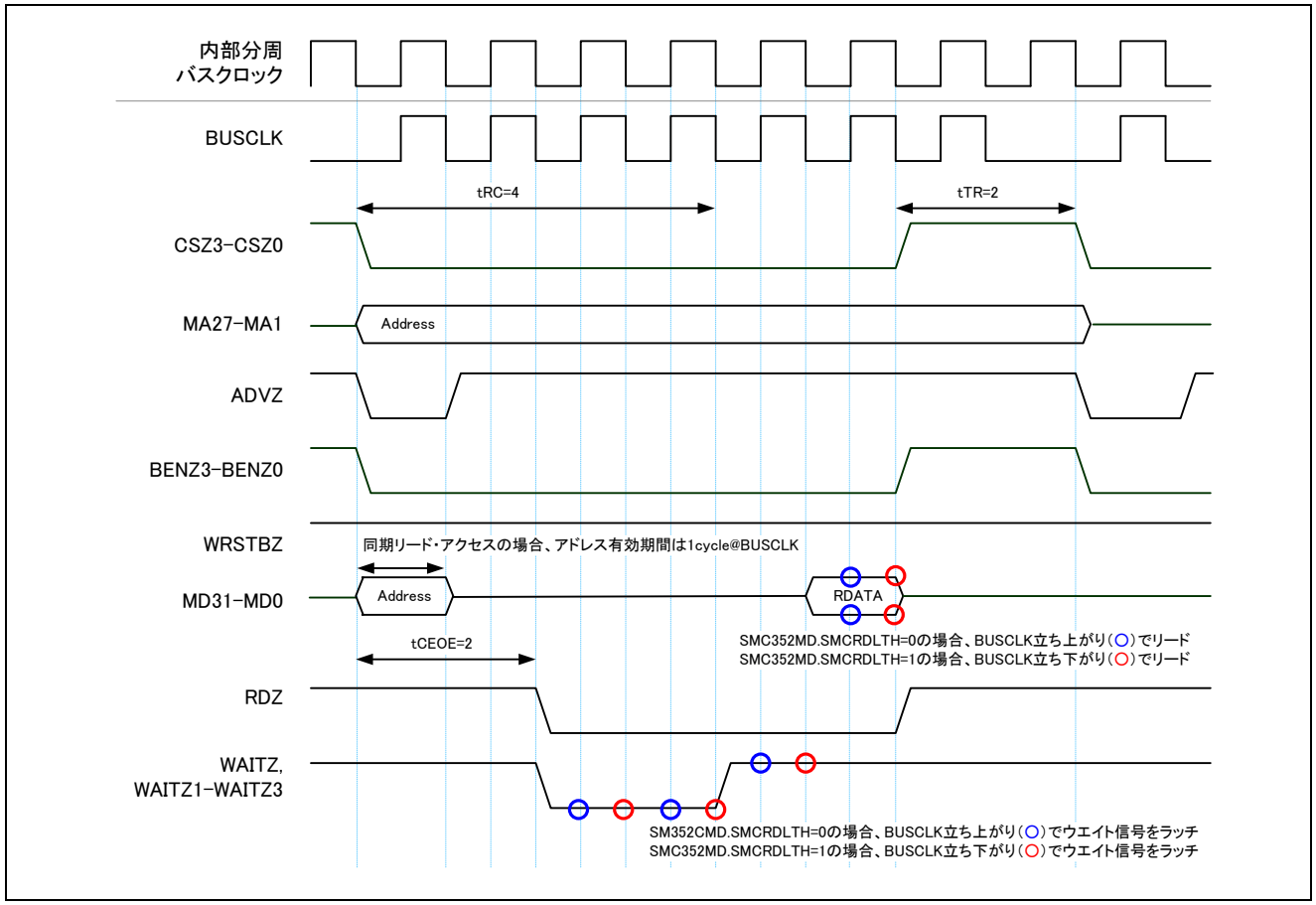


図11.22 同期 SRAM、マルチプレクス、リード・アクセス（ADVZ 有効）

備考. ADMUXMODE 端子 = ハイ・レベル（マルチプレクス・モード）
SET_CYCLES.T_TR[2:0] = 010B（2 サイクル）
T_CEOE[2:0] = 010B（2 サイクル）
T_RC[3:0] = 0100B（4 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 1B（ADVZ 端子有効）
RD_BL = 000B（シングル・アクセス）
RD_SYNC = 1B（同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

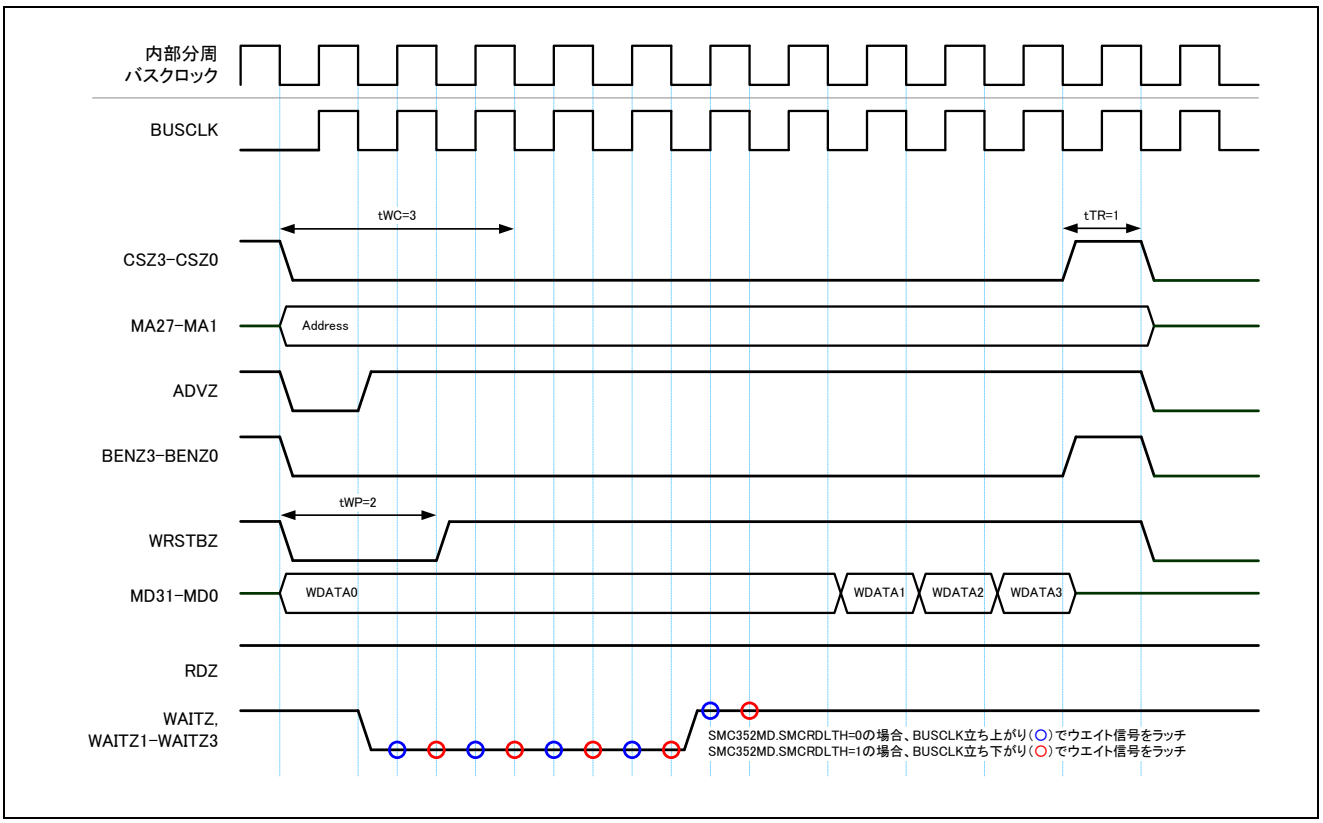


図11.23 同期 SRAM、セパレート、4 バースト・ライト・アクセス（ADVZ 有効）

備考. ADMUXMODE 端子 = ロー・レベル（セパレート・モード）
SET_CYCLES.T_TR[2:0] = 001B（1 サイクル）
T_WP[2:0] = 0010B（2 サイクル）
T_WC[3:0] = 0011B（3 サイクル）
SET_OPMODE.BURST_ALIGN[2:0] = 000B（バースト境界なし）
BLS_TIME = 0B（BENZ0-3 端子をバイト・イネーブルとして使用）
ADV = 1B（ADVZ 端子有効）
WR_BL[2:0] = 001B（最大 4 バースト）
WR_SYNC = 1B（同期アクセス）
MW[1:0] = 10B（データ・バス幅：32bit）

注意. MEMIFSEL 端子、MEMCSEL 端子等の動作モード設定端子は，動作中に変更しないでください。
リセット解除前に確定させてください。

12. 外部マイコン・インタフェース

外部のホスト MPU から、R-IN32M4 の内部リソースを利用するために、外部マイコン・インタフェースを設けています。

外部マイコン・インタフェースは、外部メモリ・インタフェースを兼用しています。MEMIFSEL 端子がハイ・レベルのときに、外部マイコン・インタフェースが機能します。MEMIFSEL 端子のレベルは、電源投入後、PONRZ、RESETZ 端子のいずれか遅い方のリセット解除までに確定してください。ダイナミックな切り替えには対応していません。

外部マイコン・インタフェースを利用する場合、R-IN32M4 のブートは、外部マイコン・ブート、または、シリアル・フラッシュ ROM ブートを利用できます。ただし、外部メモリ・アクセス機能（外部 ROM／SRAM）は利用できません。

外部マイコン・インタフェースは、非同期 SRAM 対応 MCU 接続モードおよび同期 SRAM 対応 MCU 接続モードに対応しています。HIFSYNC 端子のレベルがハイ・レベルのときに同期 SRAM インタフェースとなり、HIFSYNC がロー・レベルのときに非同期 SRAM インタフェースになります。

また、外部マイコン・インタフェースは、大容量のデータを高速にアクセスできるように、クロック同期式の同期バースト転送対応接続 MCU モードをサポートします。MEMIFSEL 端子および MEMCSEL 端子をハイ・レベルにすることで、使用することができます。

表12.1　動作モード端子設定による外部マイコン・インタフェース機能

MEMIFSEL	MEMCSEL	HIFSYNC	ADMUXMODE	機能
ロー	－	－	－	外部マイコンからはアクセスできません。 （外部メモリ・インタフェースの動作モードとなります。）
ハイ	ロー	ロー	－	非同期 SRAM 対応 MCU 接続モードとなります。 HBUSCLK へのバス・クロックの接続が不要です。
		ハイ	－	同期 SRAM 対応 MCU 接続モードとなります。 HBUSCLK へのバス・クロックの接続が必要です。注
	ハイ	ロー	ロー	設定禁止
			ハイ	設定禁止
		ハイ	ロー	同期バースト転送対応 MCU 接続モードとなります。 （アドレス/データ分離）
			ハイ	同期バースト転送対応 MCU 接続モードとなります。 （アドレス/データ多重）

注. CC-Link IE Field にアクセスする場合は、同期 SRAM 対応 MCU 接続モードに設定する必要があります。（MEMIFSEL = ハイ、MEMCSEL = ロー、HIFSYNC = ハイ）

注意 1. 誤動作防止のため、MEMIFSEL 端子にハイ・レベルを入力し、外部マイコン・インタフェース機能を停止する場合には、HRDZ 端子と HWRSTBZ 端子をハイ・レベルに固定して下さい。

2. BUS32EN, HWRZSEL, MEMCSEL, MEMIFSEL, HIFSYNC 端子は、ダイナミックな切り替えには対応していません。リセット期間中に入力値を確定して下さい。

3. 外部マイコン・インタフェースから CC-Link IE Field にアクセスする場合、下記の様に端子処置して下さい。

	HWRZSEL	
	ロー・レベル	ハイ・レベル
CCI_WRLENH	オープン * or ハイ・レベル	ロー・レベル
HWRSTBZ	外部マイコンのライト・ストーブ信号	オープン * or ハイ・レベル

***：内部 Pull-up 抵抗によりハイ・レベル**

12.1 メモリ MAP

外部マイコン・インタフェースとして、2M バイト空間用意されています。

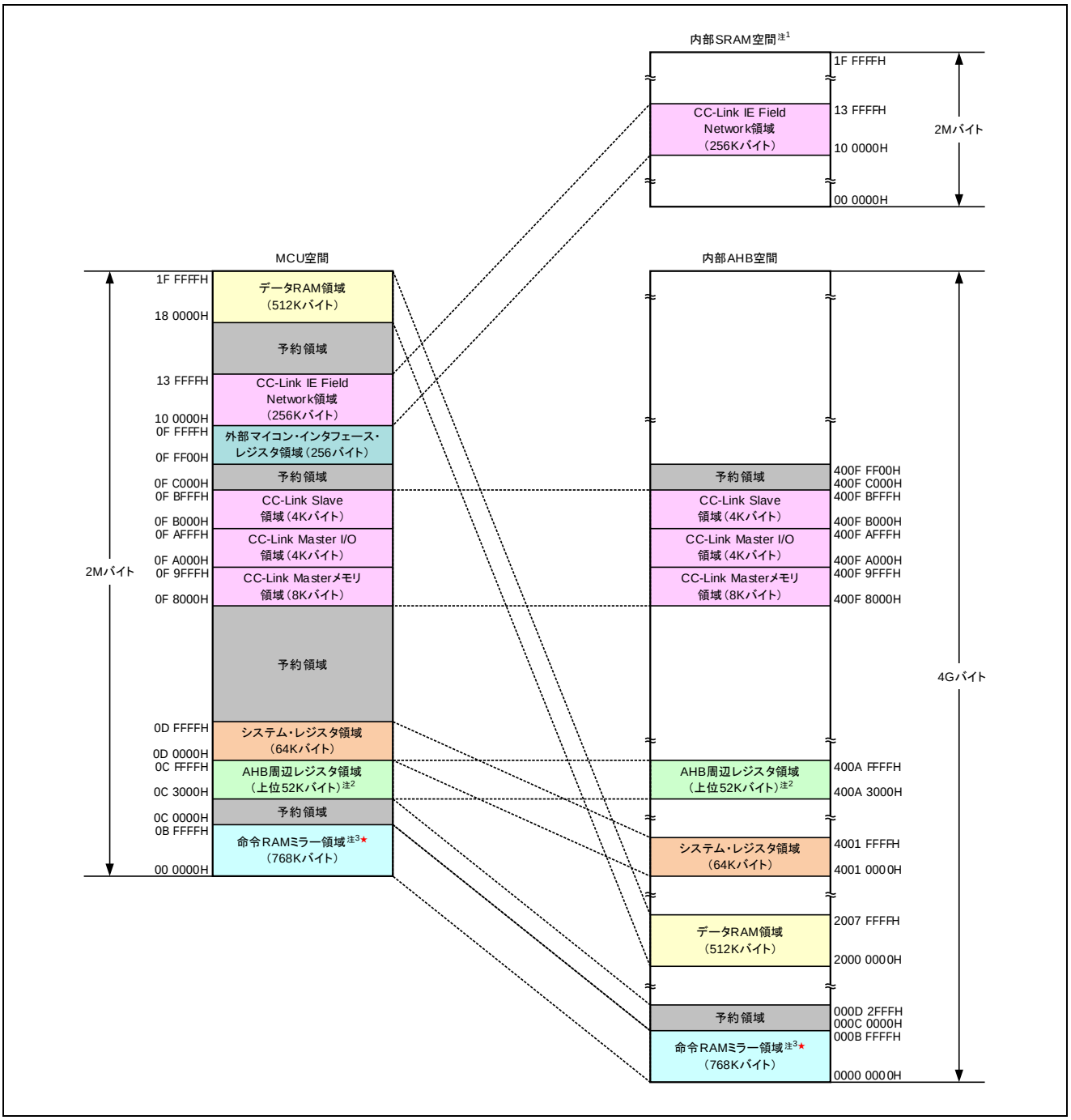


図12.1 外部マイコン・インタフェース・メモリ空間★

注 1. 同期 SRAM 対応 MCU 接続モード時のみ CC-Link IE Field Network 領域にアクセス可能です。

2. MCU 空間からアクセス可能な AHB 周辺レジスタ領域は、「GPIO～同期式バースト MEMC 制御レジスタ」までの上位 52KB になります。詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル」の「図 3.1 メモリ・マップ（全体）」を参照して下さい。

★3. 上記命令 RAM ミラー領域(768K バイト)はブート･モードにより実際にアクセスが発生する領域が以下のように変化します。詳細は「5.3 ブート･モードによるメモリ MAP の違い」および「4. バス構成」を参照してください。

BOOT1	BOOT0	ブート・モード	アクセス先領域	備考
0	0	外部メモリ・ブート	―	外部マイコン・インタフェースの使用不可
0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可
1	0	外部マイコン・ブート	命令 RAM 領域	―
1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可

12.2 同期／非同期 SRAM 対応 MCU 接続モード

非同期 SRAM 対応 MCU 接続モードおよび同期 SRAM 対応 MCU 接続モードに対応しています。HIFSYNC 端子のレベルがハイ・レベルのときに同期 SRAM インタフェースとなり、HIFSYNC がロー・レベルのときは、非同期 SRAM インタフェースになります。

MEMIFSEL 端子がハイ・レベル、MEMCSEL 端子がロー・レベルのときに使用できます。MEMIFSEL、MEMCSEL 端子のレベルは、電源投入後、リセット解除までに確定してください。ダイナミックな切り替えには対応していません。

12.2.1 機能概要

○ インタフェース方式
- ウェイト制御機能つき非同期 SRAM 系（読み出し・書き込み）
- ウェイト制御機能つきページ ROM 読み出し

○ 同期関係（HIFSYNC 端子で設定）
- HBUSCLK 同期モード（MAX. 50MHz）、非同期モード

○ バス幅（BUS32EN 端子にて設定）
- 32 ビット／16 ビットに対応

○ 転送データ・サイズ
- 32 ビット／16 ビット／8 ビット

○ ライト・バッファ： 2 段（同期選択時）または 1 段（非同期選択時）

○ リード・バッファ： 最大 32byte 先読み可能

○ アドレスとデータのマルチプレクス
- アドレス／データのマルチプレクス機能なし

○ 各種ステータスの確認
- 内部リセット状態（非同期モード設定のみ使用可能）
- HIFSYNC 端子、BUS32EN 端子の状態

12.2.2 動作

(1) 対応転送方式

表12.2 対応転送方式

モード設定			転送可能方式	
MEMIFSEL	HIFSYNC	BUS32EN	ページ・アクセス許可領域	ページ・アクセス禁止領域
ロー	ー	ー	アクセス不可	アクセス不可
ハイ	ロー（非同期モード）	ロー（16 bit）	SRAM 読み出し SRAM 書き込み ページ ROM 読み出し	SRAM 読み出し SRAM 書き込み
		ハイ（32 bit）		
	ハイ（同期モード）	ロー（16 bit）		
		ハイ（32 bit）		

備考. ページ ROM 読み出しは、HIFBCC レジスタと HIFPRC レジスタで許可された領域のみ利用可能です。

(2) バス・サイジング機能

外部バス幅に応じて、内部アクセスに対するバス・サイジングを行います。

表12.3　バス・サイジング機能

HWRZSEL	BUS32EN	R-IN32M4 内アクセス先		R/W	内部バスのアクセス対象
		領域	バス幅		
L	L (16-bit)	レジスタ領域	32-bit	R	全バイトレーン（32-bit）
				W	※1
		AHB 領域 バッファ対象	32-bit	R	全バイトレーン（32-bit）※2
				W	※1
		AHB 領域 バッファ非対象	32-bit	R	指定バイトレーンのみ
				W	※1
		SRAM2 領域	32-bit	—	下位 16-bit 側もしくは上位 16-bit 側 実効バイトレーンはスレーブ依存
	H (32-bit)	レジスタ領域	32-bit	R	全バイトレーン（32-bit）
				W	※1
		AHB 領域 バッファ対象	32-bit	R	全バイトレーン（32-bit）
				W	※1
		AHB 領域 バッファ非対象	32-bit	R	指定バイトレーンのみ
				W	※1
		SRAM2 領域	32-bit	—	実効バイトレーンはスレーブ依存
H	L (16-bit)	レジスタ領域	32-bit	R	全バイトレーン（32-bit）
				W	※1
		AHB 領域 バッファ対象	32-bit	R	全バイトレーン（32-bit）※2
				W	※1
		AHB 領域 バッファ非対象	32-bit	R	下位 16-bit もしくは上位 16-bit　※3
				W	※1
		SRAM2 領域	32-bit	R	下位 16-bit もしくは上位 16-bit　※3
				W	下位 16-bit 側もしくは上位 16-bit 側 実効バイトレーンはスレーブ依存
	H (32-bit)	レジスタ領域	32-bit	R	全バイトレーン（32-bit）
				W	※1
		AHB 領域 バッファ対象	32-bit	R	全バイトレーン（32-bit）　※2
				W	※1
		AHB 領域 バッファ非対象	32-bit	R	全バイトレーン（32-bit）　※3
				W	※1
		SRAM2 領域	32-bit	—	実効バイトレーンはスレーブ依存

※1：指定バイトレーンのみに書き込みます。

※2：バッファ対象の AHB 領域は常に 32-bit 単位で読み出します。

※3：HWRZSEL=H の場合、バッファ非対象 AHB 領域と SRAM2 領域は外部バス幅で読み出します。

注意 1. 表中の各アクセス領域は以下を示しています。

・レジスタ領域：外部マイコン・インタフェース・レジスタ領域

・SRAM2 領域：CC-Link IE Field Network 領域

・AHB 領域：上記以外(データ RAM 領域など)

2. 外部マイコン・インタフェースのバス・サイジング機能では、外部マイコンから CC-Link IE Field Network へのアクセスを 1 対 1 に変換します。複数のバス・サイクルの結合は行いません。

(3) 同期モードと非同期モード

SRAM2 領域以外は、HIFSYNC 端子の設定により、同期 SRAM 対応 MCU 接続モードもしくは非同期 SRAM 対応 MCU 接続モードを選択できます。SRAM2 領域に関する同期関係は接続されるスレーブ・デバイスに依存します。CC-Link IE Field Network を使用する場合は、同期モードを使用して下さい。

各インタフェース信号の同期関係を以下に示します。

表12.4 外部マイコン・インタフェース信号の同期関係

信号名称	入出力	HIFSYNC（同期関係選択）		
		H（同期モード）		L（非同期モード）
		WRITE	READ	
HCSZ	入力	HBUSCLK 同期	非同期	非同期
HPGCSZ	入力	HBUSCLK 同期	非同期	非同期
HA20-HA1	入力	HBUSCLK 同期	非同期	非同期
HRDZ	入力	－	非同期	非同期
HWRSTBZ	入力	HBUSCLK 同期	－	非同期
HWRZ3-HWRZ0, HBENZ3-HBENZ0	入力	HBUSCLK 同期	－	非同期
HD31-HD0（入力）	入力	HBUSCLK 同期	－	非同期
HD31-HD0（出力）	出力	－	非同期	非同期
HWAITZ	出力	HBUSCLK 同期		非同期
HERROUTZ	出力	非同期		

(4) バッファ読み出し機能

データ RAM 領域等に対しては、バッファ読み出し機能を使用できます。

バッファ読み出し機能は、HIFBCC レジスタの RBUFONn ビットをセット（1）すると有効になります。

バッファ読み出し機能を有効にすると、現在、外部マイコン・インタフェースから読み出されているアドレスから最大 32 バイト分を先読みしてバッファに格納します。次回、外部マイコン・インタフェースからアクセスされたアドレスが、先読みバッファに格納しているデータのアドレスと一致した場合、バッファ内の対象データを読み出します。先読みバッファのデータは高速に読み出せるため、スループットが向上します。

備考. 先読みするアドレスは、常にアドレス昇順方向に行います。

(5) ページ ROM 読み出し機能

データ RAM 領域等に対しては、バッファ読み出し機能に加え、ページ ROM 読み出しを使用できます。

ページ ROM 読み出し機能を有効にするためには、HIFBCC レジスタの RBUFONn ビットと HIFPRC レジスタの PAGEONn ビットを共にセット（1）します。

ページ ROM 読み出し機能は、オフページ読み出し時にページ内データが全て準備できた時点でウェイトを解除（HWAITZ 信号にハイ・レベルを出力）します。オフページ読み出しに続くオンページ読み出しは、ウェイトが不要のためスループットが向上します。

表12.5 ページ・サイズとオンページ比率

ページ・サイズ設定	ページ判定アドレス	オンページ比率（TYP）		備考
HIFPRC.PAGESZ		BUS32EN	比率	
0B（8byte）	HA[20:3]	0B（16-bit）	3/4	
		1B（32-bit）	1/2	
1B（16byte）	HA[20:4]	0B（16-bit）	7/8	
		1B（32-bit）	3/4	

注意 1. ページ ROM 読み出しが無効な領域への、ページ ROM アクセスは禁止です。
ページ ROM 読み出しが無効な領域に対してページ ROM アクセスを行うと、デッドロックする可能性があります。
2. ページ ROM 読み出しが有効な領域への、通常の SRAM 読み出しは可能です。
ただし、ページ内のデータが揃うまでウェイト状態となるため、ページ ROM 読み出しが無効な場合と比較し、レイテンシが増加します。
3. ページ ROM 読み出しは、16byte 境界を跨ぐアクセスは禁止です。
ページ ROM 読み出しは、xx00H, xx40H など、16byte 境界の先頭から開始してください。

備考. ページ・サイズは、バス幅の影響を受けません。
ページ・サイズが大きいとオンページ比率が上がり、転送速度が上がります。システム上での支障がないかぎり、ページ・サイズとして 16byte を選択することを推奨します。

12.2.3 外部マイコン・インタフェースの基本動作タイミング

(1) CC-Link IE Field Network 領域へのアクセス

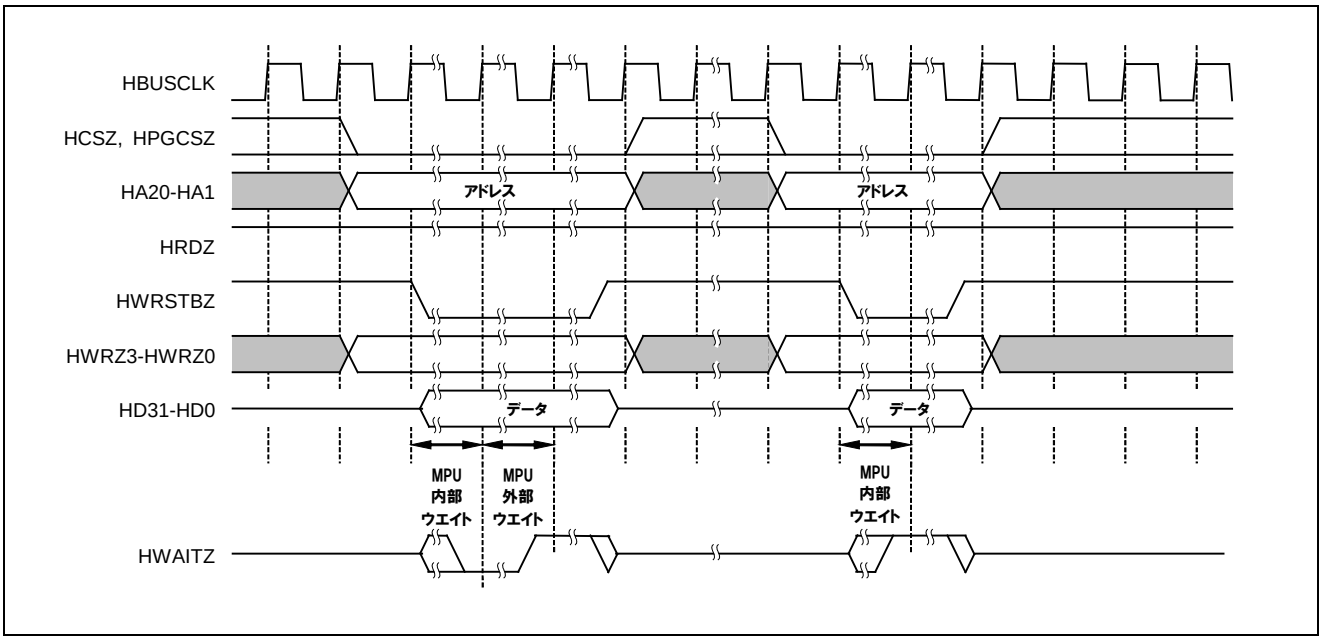


図12.2 CC-Link IE Field Network 領域への書き込み（SRAM 書き込み）

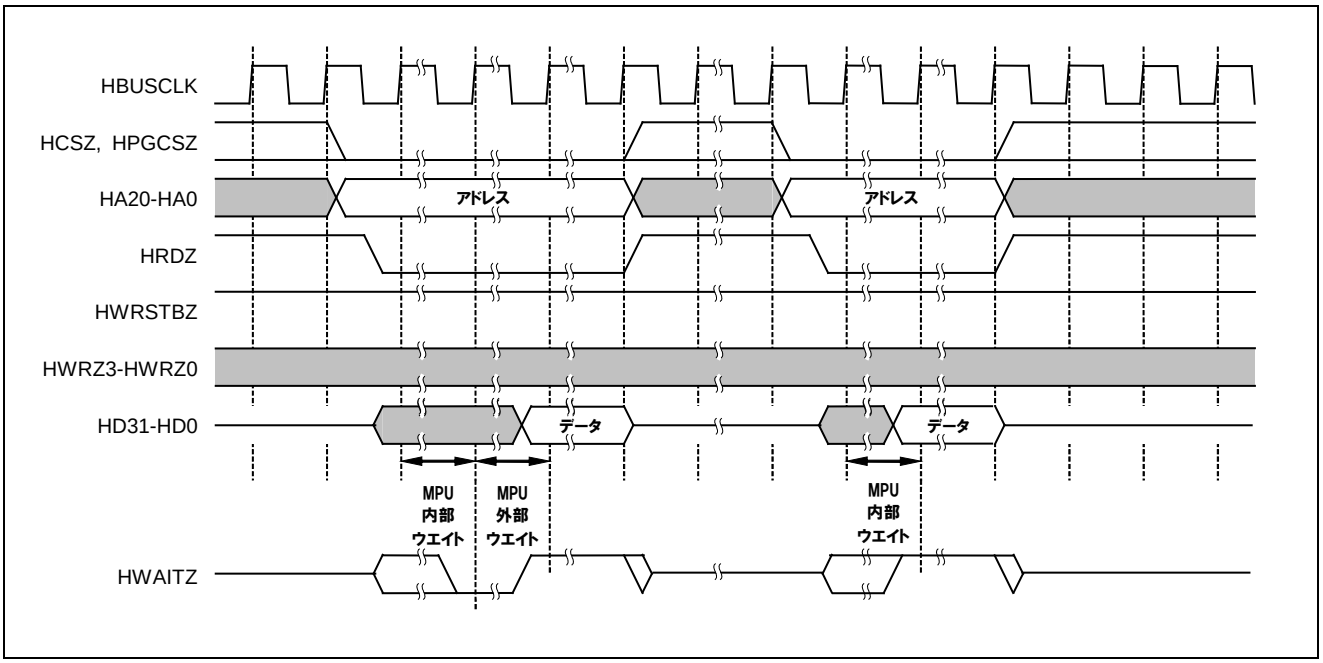


図12.3 CC-Link IE Field Network 領域からの読み出し（SRAM 読み出し）

(2) 外部マイコン・インタフェース・レジスタ領域へのアクセス

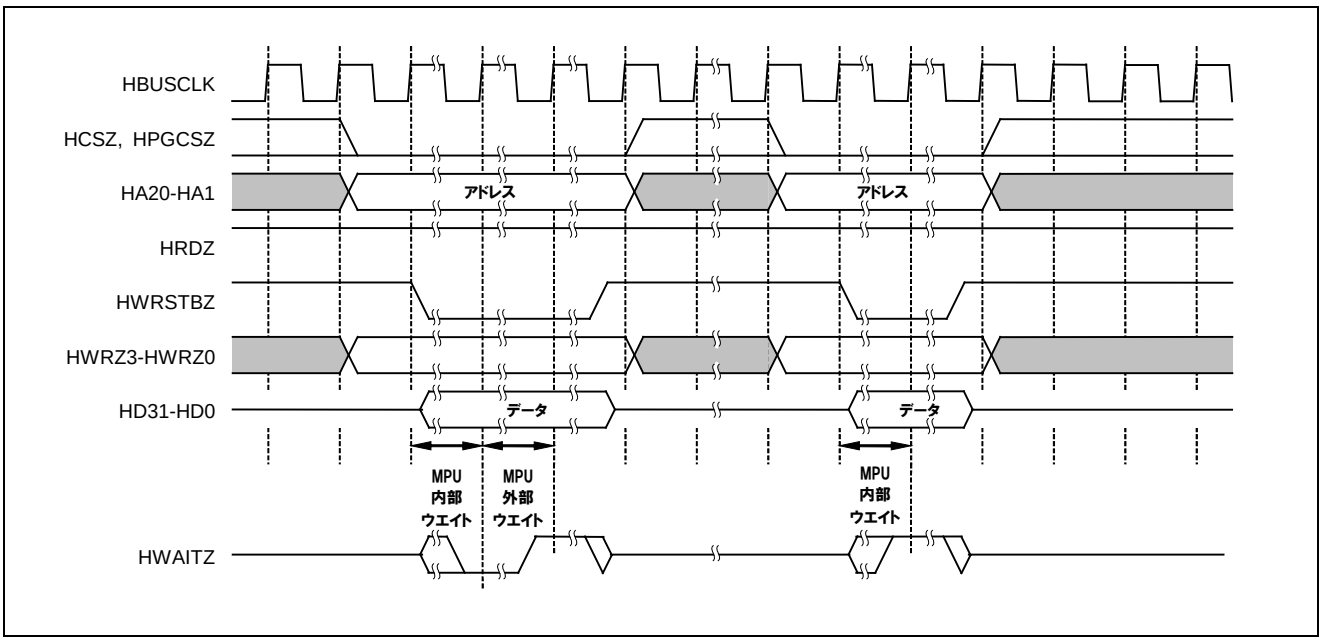


図12.4 外部マイコン・インタフェース・レジスタ領域への書き込み（SRAM 書き込み）

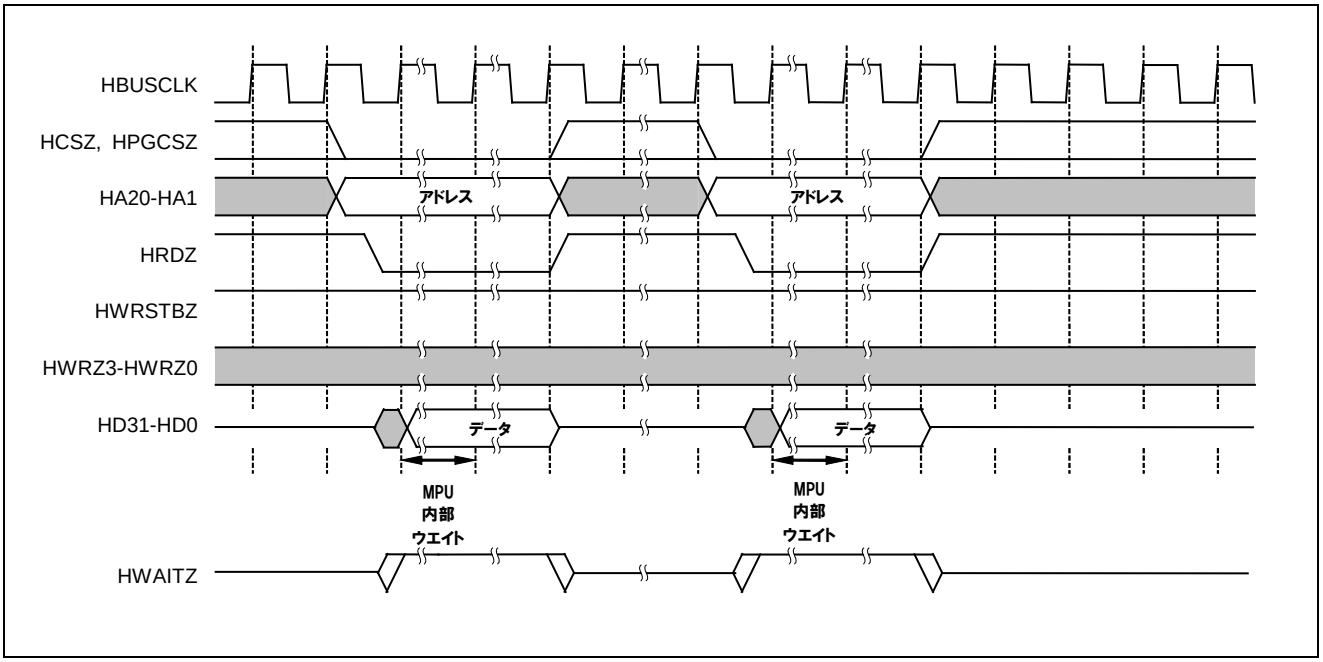


図12.5 外部マイコン・インタフェース・レジスタ領域からの読み出し（SRAM 読み出し）

(3) その他の領域へのアクセス

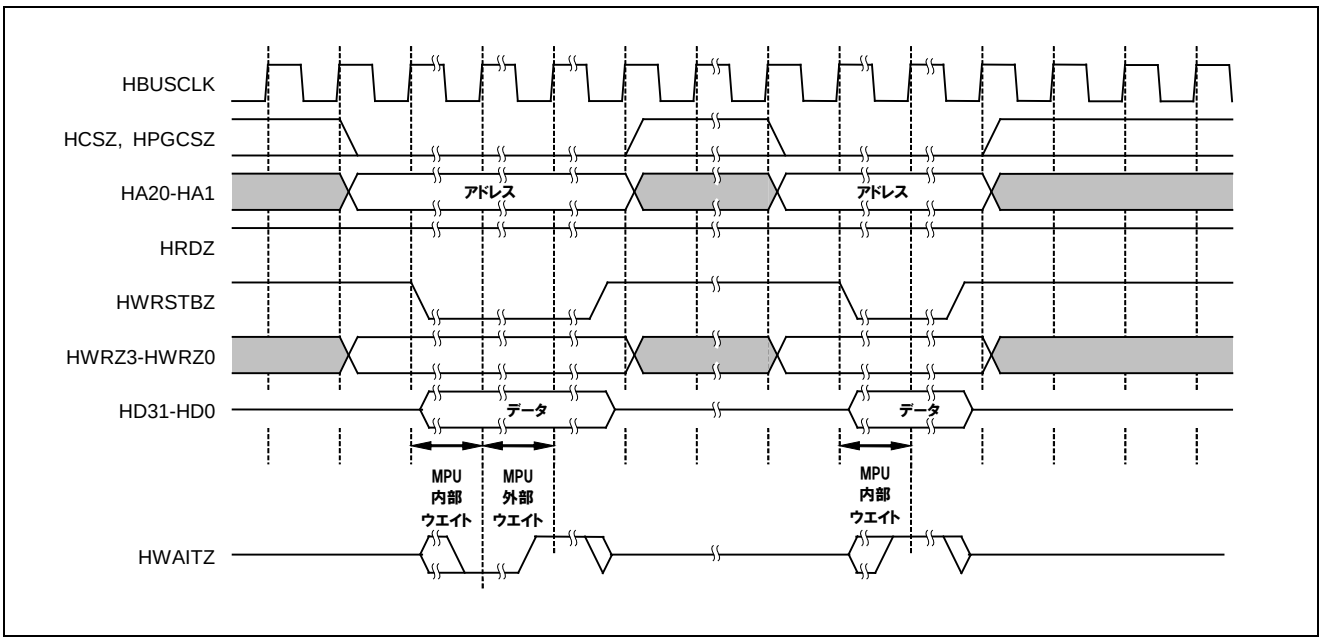


図12.6 その他の領域への書き込み（SRAM 書き込み）

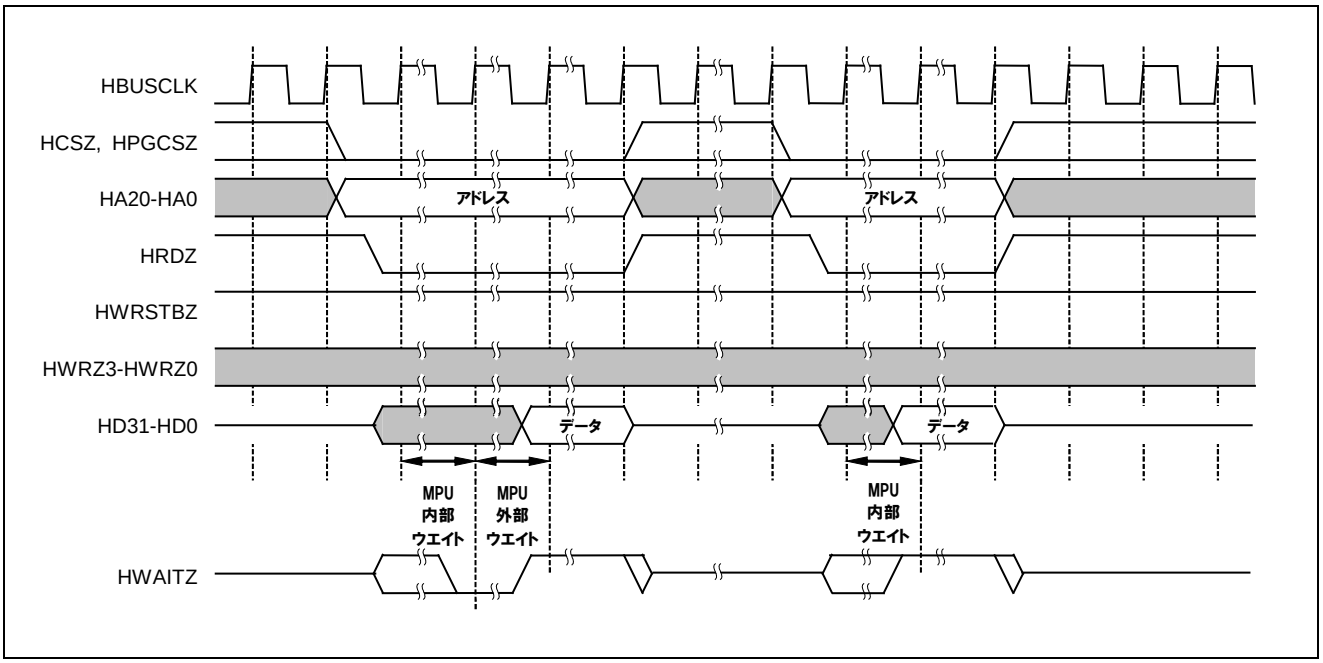


図12.7 その他の領域からの読み出し（SRAM 読み出し）

12.2.4 外部マイコン・インタフェースの非同期接続タイミング調整機能

(1) 非同期接続タイミング調整機能概要

非同期接続時（HIFSYNC=L）の外部マイコン・インタフェース間の相対的なタイミングばらつきに対応するために、非同期接続タイミング調整機能を搭載しています。

表12.6 外部マイコン・インタフェースの非同期接続タイミング調整機能

転送方式	非同期接続タイミング調整機能				調整対象領域		
	調整タイミング		設定レジスタ		外部マイコン・インタフェース・レジスタ領域	CC-Link IE Field Network	その他の領域
	対象信号	相対信号	レジスタ名	ビット名			
SRAM 書き込み	HCSZ HPGCSZ HA20-HA1 HWRZ HD31-HD0	HWRSTBZ	HIFBTC	WRSTD1-0	○	－	○
SRAM 読み出し	HCSZ HPGCSZ HA20-HA1	HRDZ	HIFBTC	RDSTD1-0	－	－	○
	HD31-HD0	HWAITZ	HIFBTC	RDDTS1-0	－	－	○
ページ ROM 読み出し	HCSZ HPGCSZ HA20-HA1	HA20-HA1	HIFBTC	RDSTD1-0	－	－	○
	HA20-HA1	HA20-HA1	HIFBTC	PASTD2-0	－	－	○
	HD31-HD0	HWAITZ	HIFBTC	RDDTS1-0	－	－	○

注意 1. 以下のアクセスは、タイミング調整機能対象外です。
- **CC-Link IE Field Network 領域へのアクセス**
- **外部マイコン・インタフェース・レジスタ領域からの読み出し**

2. タイミング調整は、アクセス・レイテンシに影響します。

(2)　非同期接続タイミング調整機能（SRAM 書き込み）

ライト・ストローブ信号（HWRSTBZ）の立ち下りを検出して、内部資源に対する書き込み動作を開始します。

ライト・ストローブ信号は HWRZSEL 端子入力と BUS32EN 端子入力を条件として、以下のように選択されます。

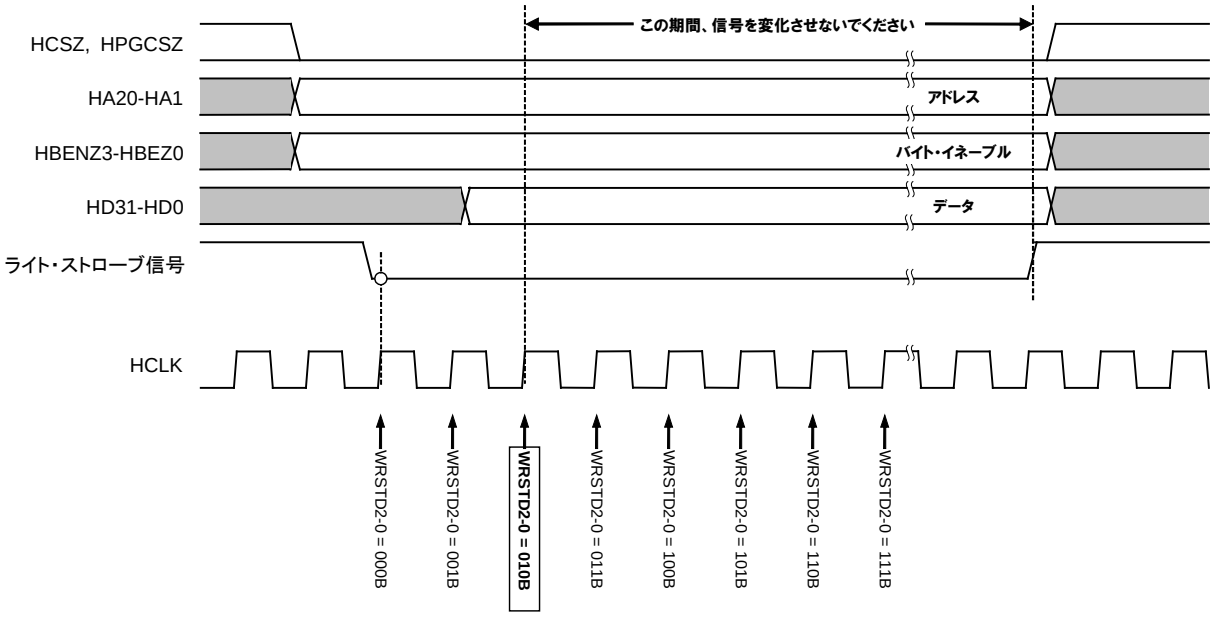
外部から R-IN32M4 の内部資源に書き込みを行う場合、安定したアドレスおよびデータが必要です。

R-IN32M4 では、アドレスとデータのサンプリング・タイミングを調整する機能があります。

サンプリング・タイミング調整は、HIFBTC レジスタで行うことができます。

表12.7　　ライト・ストローブ信号

条件		ライト・ストローブ信号 （ロー・アクティブ）	備考
HWRZSEL	BUS32EN		
ロー	－	HWRSTBZ	
ハイ	ロー	HWRZ1 & HWRZ0	
	ハイ	HWRZ3 & HWRZ2 & HWRZ1 & HWRZ0	



備考：HCLK は、内部システム・バス（AHB）の動作クロック（100MHz）です。

図12.8　　タイミング調整（SRAM 書き込み）

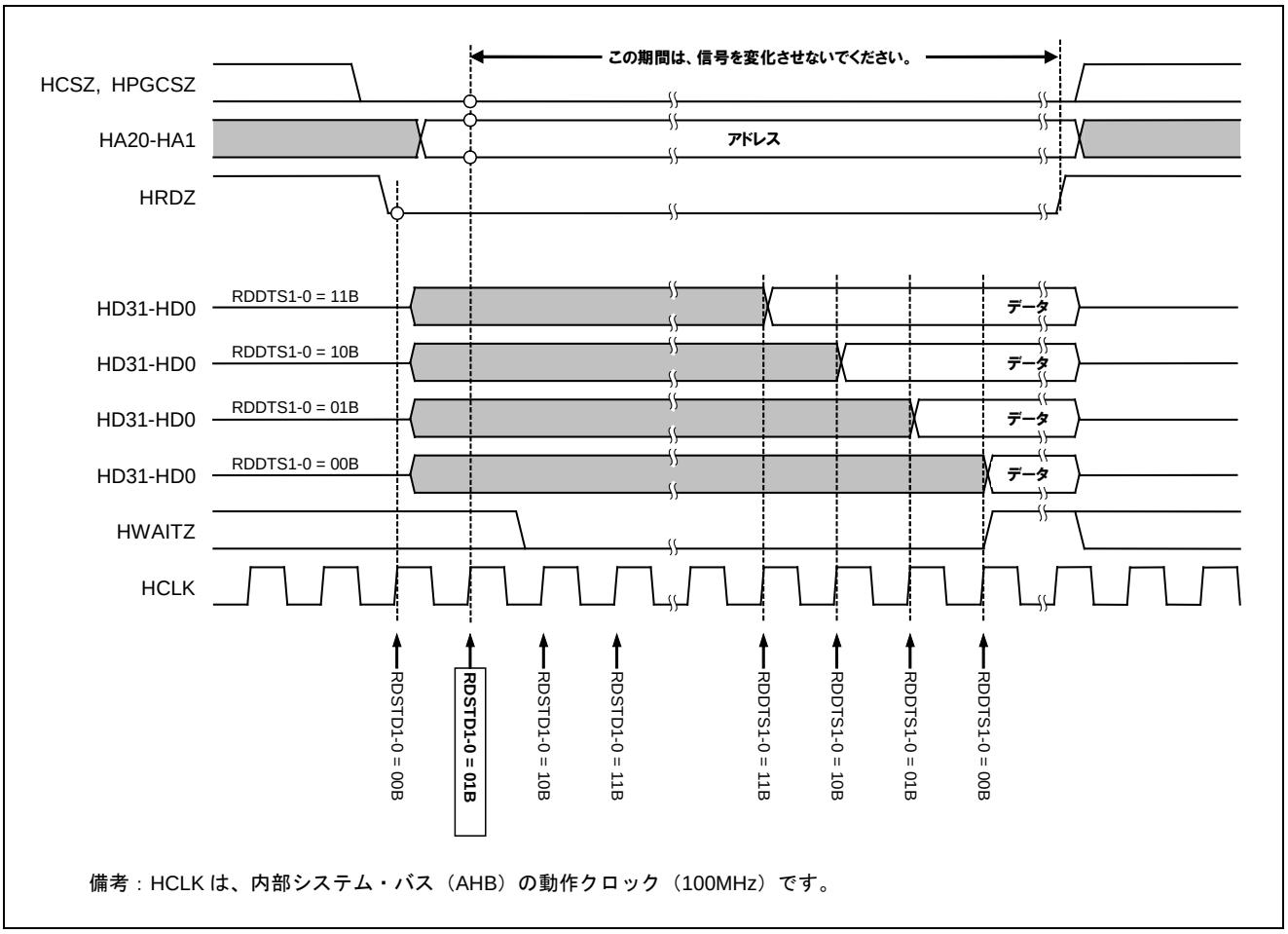
(3)　非同期接続タイミング調整機能（SRAM 読み出し、ページ ROM 読み出し）

リード・ストローブ信号（HRDZ）の立ち下りを検出して、内部資源に対する読み出し動作を開始します。

読み出し動作を正常に行うためには、HRDZ 信号の立ち下り検出時に、アドレス情報および HCSZ／HPGCSZ 信号が確定している必要があります。HIFBTC レジスタの RDSTD1、RDSTD0 ビットでサンプリング開始タイミングの調整ができます。

また、データ（HD31 – HD0）の確定から、HWAITZ 信号のハイ・レベル出力までの時間設定もできます。

HIFBTC レジスタの RDDTS1、RDSTD0 ビットで時間差の設定を行います。



備考：HCLK は、内部システム・バス（AHB）の動作クロック（100MHz）です。

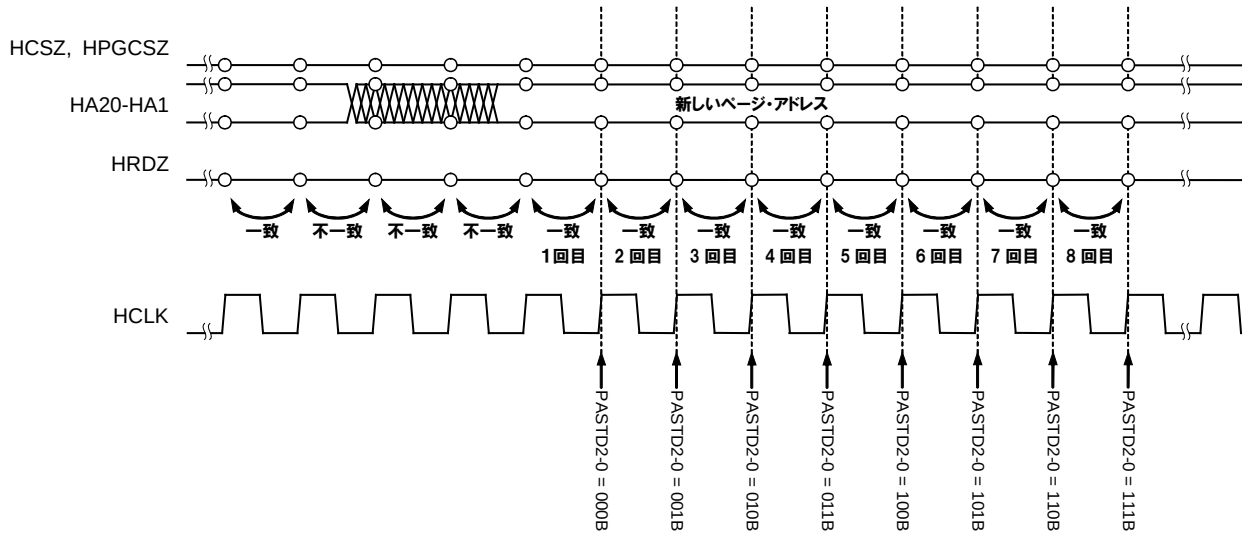
図12.9　　タイミング調整（SRAM 読み出し、ページ ROM 読み出し）

注意. SRAM 読み出しにおいては、サンプリング開始タイミング以降のバスサイクル期間中、安定したアドレスを入力して下さい。不安定なアドレスが入力された場合、読み出し対象を誤る、HWAITZ 端子が解除されずにバスサイクルを終了できなくなるといった可能性があります。

(4) 非同期接続タイミング調整機能（ページ ROM 読み出し）

ページ ROM 読み出し中にページ・アドレスの変化を検出して、新しいページの読み出しを開始します。

読み出し動作を正常に行うためには、安定したアドレス情報が必要です。安定したアドレスをサンプリングするためのタイミング調整機能があります。タイミング調整は、HIFBTC レジスタの PASTD2 - PASTD0 ビットで行います。



備考：HCLK は、内部システム・バス（AHB）の動作クロック（100MHz）です。

図12.10 タイミング調整（ページ ROM 読み出し）

12.2.5 制御レジスタ

(1) レジスター覧

外部マイコン・インタフェース制御レジスタは、R-IN32M4 の外部に接続したマイコンからアクセスできます。

アドレス	レジスタ名称	略 号	R/W	操作単位 [bit]			リセット時
				8	16	32	
0F FF00H	外部マイコン IF バス制御レジスタ	HIFBCC	R/W	○	○	－	0001H
0F FF04H	外部マイコン IF タイミング制御レジスタ	HIFBTC	R/W	○	○	－	3733H
0F FF08H	外部マイコン IF ページ ROM 制御レジスタ	HIFPRC	R/W	○	○	－	0000H
0F FF0CH	外部マイコン IF 割り込み要求制御レジスタ	HIFIRC	R/W	○	○	－	0000H
0F FF10H	外部マイコン IF エラー要因レジスタ 0	HIFECR0	R	○	○	○	0000 0000H
0F FF14H	外部マイコン IF エラー要因レジスタ 1	HIFECR1	R	○	○	－	0000H
0F FF20H	外部マイコン IF モニタ・レジスタ	HIFMON	R	○	○	－	0000H / 0004H 0008H / 000CH
0F FF30H	HOSTIF 指定領域下限レジスタ	HIFXAL	R/W	○	○	－	0000H
0F FF34H	HOSTIF 指定領域上限レジスタ	HIFXAH	R/W	○	○	－	0000H

備考 HIFMON レジスタの初期値は入力端子（HIFSYNC, BUS32EN）の状態により決定します。

(2) HOSTIF バス制御レジスタ（HIFBCC）

外部マイコン・インタフェースの先読み機能を設定します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
HIFBCC	0	0	WRPON	BSTON	0	0	0	RBUFONX	0	0	0	RBUFON4	RBUFON3	0	RBUFON1	RBUFON0	0F FF00H	0001H
R/W	0	0	R/W	R/W	0	0	0	R/W	0	0	0	R/W	R/W	0	R/W	R/W		

ビット位置	ビット名	意　味
13	WRPON	バースト転送の種類を選択します。 0：INCR4 1：WRAP4
12	BSTON	先読みを行う場合の AHB 転送の方法を設定します。 0：シングル転送を用いる 1：バースト転送を用いる
8	RBUFONX	指定領域への先読み機能の ON/OFF を設定します。 0：先読み機能無効 1：先読み機能有効
4	RBUFON4	予約領域 4 の一部の領域への先読み機能の ON/OFF を設定します。 0：先読み機能無効 1：先読み機能有効
3	RBUFON3	CC-Link の一部の領域への先読み機能の ON/OFF を設定します。 0：先読み機能無効 1：先読み機能有効
2	RBUFON2	未使用
1	RBUFON1	命令 RAM ミラー★領域への先読み機能の ON/OFF を設定します。 0：先読み機能無効 1：先読み機能有効
0	RBUFON0	データ RAM 領域への先読み機能の ON/OFF を設定します。 0：先読み機能無効 1：先読み機能有効

備考 1. 外部マイコンからのみアクセス可能です。

2. リード・バッファのクリアは、外部マイコン・インタフェース・レジスタのいずれかのレジスタに対し、ライト・アクセスをする必要があります。レジスタへの間違った書き込みを防止するために、リード専用レジスタである HIFMON レジスタへのライト・アクセスを推奨します。
HIFMON レジスタへ書き込んだ値は、無視されます。

表12.8 先読みと PageROM 読み出しの選択が可能なアドレス範囲

対象マクロ	アドレス範囲		関連許可ビット	
	MPU 空間	内部 AHB 空間	先読み	PageROM
（指定領域）	{ XADRH [8:0], 12'hFFF } ～ { XADRL [8:0], 12'h000 }	指定領域に依存	HIFBCC. RBUFONX	HIFPRC. PAGEONX
予約領域 4	0E FFFFH ～ 0E 1000H	400E FFFFH ～ 400E 1000H	HIFBCC. RBUFON4	HIFPRC. PAGEON4
CC-Link	0F BFFFH ～ 0F A000H	400F BFFFH ～ 400F A000H	HIFBCC. RBUFON3	HIFPRC. PAGEON3
命令 RAM ミラー領域★	0B FFFFH ～ 00 0000H	000B FFFFH ～ 0000 0000H	HIFBCC. RBUFON1	HIFPRC. PAGEON1
Data RAM	1F FFFFH ～ 18 0000H	2007 FFFFH ～ 2000 0000H	HIFBCC. RBUFON0	HIFPRC. PAGEON0

注意 1. 対象マクロに応じて、先読み機能を有効に設定しても先読みできない領域があります。
★2. 先読み機能有効時に命令 RAM ミラー領域の最終 16 バイト領域をリード・アクセスすると、HERROUTZ 端子がアサートされる場合があります。

(3) HOSTIF タイミング制御・レジスタ（HIFBTC）

外部マイコン・インタフェースのタイミング調整機能の設定をします。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
HIFBTC	0	0	RDDTS1	RDDTS0	0	PASTD2	PASTD1	PASTD0	0	0	RDSTD1	RDSTD0	0	WRSTD2	WRSTD1	WRSTD0	0F FF04H	3737H
R/W	0	0	R/W	R/W	0	R/W	R/W	R/W	0	0	R/W	R/W	0	R/W	R/W	R/W		

ビット位置	ビット名	意　味
13-12	RDDTS1, RDDTS0	HRD 信号確定から HWAITZ 信号解除までの待ち合わせ時間を設定します。 11：3*HCLK 待ち合わせ 10：2*HCLK 待ち合わせ 01：1*HCLK 待ち合わせ 00：待ち合わせ無し
10-8	PASTD2, PASTD1, PASTD0	オフページ検出の安定待ち合わせ時間を設定します。 111：7*HCLK 待ち合わせ 110：6*HCLK 待ち合わせ 101：5*HCLK 待ち合わせ 100：4*HCLK 待ち合わせ 011：3*HCLK 待ち合わせ 010：2*HCLK 待ち合わせ 001：1*HCLK 待ち合わせ 000：待ち合わせ時間なし
5-4	RDSTD1, RDSTD0	HRDZ 信号でリード動作開始を検出するタイミングを設定します。 HRDZ 信号の立ち下りに対するアドレス系入力信号のセットアップ時間を調整します。 11：同期化後の立ち下がり検出から 3*HCLK 遅れ 10：同期化後の立ち下がり検出から 2*HCLK 遅れ 01：同期化後の立ち下がり検出から 1*HCLK 遅れ 00：同期化後の立ち下がり検出と同時
2-0	WRSTD2, WRSTD1, WRSTD0	HWRSTBZ 信号でライト動作開始を検出するタイミングを設定します。 HWRSTBZ 信号の立ち下がりに対するアドレス入力信号やライト・データ入力信号のセットアップ時間を調整します。 111：同期化後の立ち下がり検出から 7*HCLK 遅れ 110：同期化後の立ち下がり検出から 6*HCLK 遅れ 101：同期化後の立ち下がり検出から 5*HCLK 遅れ 100：同期化後の立ち下がり検出から 4*HCLK 遅れ 011：同期化後の立ち下がり検出から 3*HCLK 遅れ 010：同期化後の立ち下がり検出から 2*HCLK 遅れ 001：同期化後の立ち下がり検出から 1*HCLK 遅れ 000：同期化後の立ち下がり検出と同時

備考 外部マイコンからのみアクセス可能です。

(4) HOSTIF ページ ROM 制御レジスタ（HIFPRC）

外部マイコン・インタフェースのページ ROM アクセス動作を設定します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
HIFPRC	0	0	0	PAGESZ	0	0	0	PAGEONX	0	0	0	PAGEON4	PAGEON3	0	PAGEON1	PAGEON0	0F FF08H	0000H
R/W	0	0	0	R/W	0	0	0	R/W	0	0	0	R/W	R/W	0	R/W	R/W		

ビット位置	ビット名	意　味
12	PAGESZ	PageROM 読み出しのページ・サイズを設定します。 0：8-byte 1：16-byte ただし、16-byte 境界を跨ぐアクセスは禁止です。
8	PAGEONX	指定領域への PageROM 読み出しの ON/OFF を設定します。 0：SRAM 読み出し 1：PageROM 読み出し
4	PAGEON4	予約領域 4 の一部の領域への PageROM 読み出しの ON/OFF を設定します。 0：SRAM 読み出し 1：PageROM 読み出し
3	PAGEON3	CC-Link の一部の領域への PageROM 読み出しの ON/OFF を設定します。 0：SRAM 読み出し 1：PageROM 読み出し
2	PAGEON2	未使用
1	PAGEON1	命令 RAM ミラー★領域への PageROM 読み出しの ON/OFF を設定します。 0：SRAM 読み出し 1：PageROM 読み出し
0	PAGEON0	データ RAM 領域への PageROM 読み出しの ON/OFF を設定します。 0：SRAM 読み出し 1：PageROM 読み出し

注意. PAGESZ ビットに設定するページ・サイズは、外部マイコンのページ・サイズ設定と一致させる必要があります。

備考 . 外部マイコンからのみアクセス可能です。

(5) HOSTIF 割り込み要求制御レジスタ（HIFIRC）

外部マイコンへのエラー割り込み出力機能を設定します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
HIFIRC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ERRRSP	0F FF0CH	0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W		

ビット位置	ビット名	意　味
0	ERRRSP	内部スレーブ・デバイスからエラー応答を受けると”1”にセットします。 “0”が書き込まれると”0”にクリアします。”1”の書き込みは無視します。 本ビットが”1”の期間、割り込み要求信号 HERROUTZ にロー・レベルを出力します。 0：エラー応答なし 1：エラー応答あり

備考 1. 外部マイコンからのみアクセス可能です。

2. ERRRSP ビットが”1”の期間は、新たなエラー応答があっても HOSTIF エラー要因レジスタ（HIFECR0, HIFECR1）は更新されません。最初のエラー情報が、HOSTIF エラー要因レジスタに保持されます。

(6)　HOSTIF エラー要因レジスタ 0（HIFECR0）

外部マイコンからのアクセス時に、内部資源からエラー応答があった場合、エラー応答となったアドレス情報を HIFECR0 レジスタに格納します。

なお、HOSTIF 割り込み要求制御レジスタ（HIFIRC）の ERRRSP ビットが”1”の状態で、新たにエラー応答が発生した場合、そのアドレス情報は格納されません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
HIFECR0 _W	ERRAD31	ERRAD30	ERRAD29	ERRAD28	ERRAD27	ERRAD26	ERRAD25	ERRAD24	ERRAD23	ERRAD22	ERRAD21	ERRAD20	ERRAD19	ERRAD18	ERRAD17	ERRAD16	ERRAD15	ERRAD14	ERRAD13	ERRAD12	ERRAD11	ERRAD10	ERRAD9	ERRAD8	ERRAD7	ERRAD6	ERRAD5	ERRAD4	ERRAD3	ERRAD2	ERRAD1	ERRAD0	0F FF10H
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	初期値 0000 0000H

ビット位置	ビット名	意　味
31-0	ERRAD31-ERRAD0	エラー発生時のアドレス（32 ビット・アドレス）を格納します。

注意 1. 複数のエラーが発生した場合、最初のアクセス情報を格納します。
2. HIFIRC レジスタの ERRRSP ビットが”0”の間は、本レジスタの内容は無効です。
3. HIFIRC レジスタの ERRRSP ビットをクリアすると、次のエラー応答検出で本レジスタの内容が更新されます。外部マイコンの割り込み処理では、ERRRSP ビットをクリアするよりも前に、本レジスタを参照する必要があります。
4. 外部マイコン・インタフェースのバス幅が 32bit 幅のみリード可能です。

備考 外部マイコンからのみアクセス可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
HIFECR0_H0	ERRAD15	ERRAD14	ERRAD13	ERRAD12	ERRAD11	ERRAD10	ERRAD9	ERRAD8	ERRAD7	ERRAD6	ERRAD5	ERRAD4	ERRAD3	ERRAD2	ERRAD1	ERRAD0	0F FF10H	0000H
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意　味
15-0	ERRAD15ー ERRAD0	エラー発生時のアドレス（下位 16 ビット・アドレス）を格納します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
HIFECR0_H1	ERRAD31	ERRAD30	ERRAD29	ERRAD28	ERRAD27	ERRAD26	ERRAD25	ERRAD24	ERRAD23	ERRAD22	ERRAD21	ERRAD20	ERRAD19	ERRAD18	ERRAD17	ERRAD16	0F FF12H	0000H
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意　味
15-0	ERRAD31ー ERRAD16	エラー発生時のアドレス（上位 16 ビット・アドレス）を格納します。

注意 1. 複数のエラーが発生した場合、最初のアクセス情報を格納します。

2. HIFIRC レジスタの ERRRSP ビットが”0”の間は、本レジスタの内容は無効です。

3. HIFIRC レジスタの ERRRSP ビットをクリアすると、次のエラー応答検出で本レジスタの内容が更新されます。外部マイコンの割り込み処理では、ERRRSP ビットをクリアするよりも前に、本レジスタを参照する必要があります。

4. 外部マイコン・インタフェースのバス幅が 16bit 幅のみリード可能です。

備考 外部マイコンからのみアクセス可能です。

(7)　HOSTIF エラー要因レジスタ 1（HIFECR1）

外部マイコンからのアクセス時に、内部資源からエラー応答があった場合、エラー応答となったリード／ライト情報およびアクセス・サイズ情報を HIFECR1 レジスタに格納します。

なお、HOSTIF 割り込み要求制御レジスタ（HIFIRC）の ERRRSP ビットが”1”の状態で、新たにエラー応答が発生した場合、そのアドレス情報は格納されません。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
HIFECR1	0	0	0	0	0	0	0	0	0	0	0	0	ERRWR	ERRSZ2	ERRSZ1	ERRSZ0	0F FF14H	0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R		

ビット位置	ビット名	意　味
15-4	0	未使用（0 固定）
3	ERRWR	エラー発生時のリード/ライト情報を格納します。 0：リード 1：ライト
2-0	ERRSZ2, ERRSZ1, ERRSZ0	エラー発生時の転送サイズ情報（アクセス幅）を格納します。 000：8bit 001：16bit 010：32bit 上記以外：禁止しているアクセス幅です。

注意 1. 複数のエラーが発生した場合、最初のアクセス情報を格納します。
2. HIFIRC レジスタの ERRRSP ビットが”0”の間は、本レジスタの内容は無効です。
3. HIFIRC レジスタの ERRRSP ビットをクリアすると、次のエラー応答検出で本レジスタの内容が更新されます。割り込み処理においては、ERRRSP ビットをクリアするよりも前に、本レジスタを参照する必要があります。

備考 外部マイコンからのみアクセス可能です。

(8) HOSTIF モニタ・レジスタ（HIFMON）

HOSTIF への入力端子や内部の状態をモニタするレジスタです。
本レジスタは、リセット期間中にも読み出すことが可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
HIFMON	0	0	0	0	0	0	0	0	0	0	0	0	HIFSYNC	BUS32EN	0	HIFRDY	0F FF20H	0000H 0004H 0008H 000CH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	R	R	0	R		

ビット位置	ビット名	意　味
3	HIFSYNC	HIFSYNC 端子の状態を示します。 0：ロー・レベル（非同期モード） 1：ハイ・レベル（同期モード）
2	BUS32EN	BUS32EN 端子の状態を示します。 0：ロー・レベル（16 ビット・バス幅） 1：ハイ・レベル（32 ビット・バス幅）
0	HIFRDY	HOSTIF の内部初期化状態を示します。 0：内部初期化中 1：内部初期化完了

注意. 内部初期化処理中（HIFRDY ビットが”0”の状態）は、外部マイコン・インタフェース・レジスタ領域に対する読み出し以外のアクセスは禁止です。
HIFRDY ビットは、リセット開始時に”0”となり、リセット解除後に内部初期化処理が完了した時点で”1”に変化し、R-IN32M4 内部資源へのアクセスができるようになります。

備考 外部マイコンからのみアクセス可能です。

(9) HOSTIF 指定領域下限レジスタ（HIFXAL）

MCU アドレス空間上に設定する指定領域の下限アドレスを格納します。HOSTIF 指定領域下限レジスタ（HIFXAL）と HOSTIF 指定領域上限レジスタ（HIFXAH）との組み合わせて、指定領域を設定します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
HIFXAL	0	0	0	0	0	0	0	XADRL8	XADRL7	XADRL6	XADRL5	XADRL4	XADRL3	XADRL2	XADRL1	XADRL0	0F FF30H	0000H
R/W	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
15-9	0	未使用（0 固定）
8-0	XADRL8- XADRL0	MCU アドレス空間上に設定する指定領域の下限アドレスを設定します。 設定される下限アドレスは、HA[20:0] = { XADRL [8:0] , 12'h000 } となります。

注意. 本レジスタの設定を行う前に、HIFBCC.RBUFONX ビットに 0 を設定してください。

備考 本レジスタは、外部マイコンからのみ R/W アクセス可能です。
HA[20:0] = { XADRL [8:0], 12'h000 } ～ { XADRH [8:0], 12'hFFF } の範囲が指定領域となります。
XADRL [8:0] の値と XADRH [8:0] の値が等しい場合、4Kbyte の指定領域が選択されます。
XADRL [8:0] の値が XADRH [8:0] の値より大きい場合、指定領域は無くなります。

(10) HOSTIF 指定領域上限レジスタ（HIFXAH）

MCU アドレス空間上に設定する指定領域の下限アドレスを格納します。HOSTIF 指定領域下限レジスタ（HIFXAL）と HOSTIF 指定領域上限レジスタ（HIFXAH）との組み合わせて、指定領域を設定します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
HIFXAH	0	0	0	0	0	0	0	XADRH8	XADRH7	XADRH6	XADRH5	XADRH4	XADRH3	XADRH2	XADRH1	XADRH0	0F FF34H	0000H
R/W	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
15-9	0	未使用（0 固定）
8-0	XADRH8- XADRH0	MCU アドレス空間上に設定する指定領域の上限アドレスを設定します。 設定される上限アドレスは、HA[20:0] = { XADRH [8:0] , 12'hFFF } となります。

注意. 本レジスタの設定を行う前に、HIFBCC.RBUFONX ビットに 0 を設定してください。

備考 本レジスタは、外部マイコンからのみ R/W アクセス可能です。
HA[20:0] = { XADRL [8:0], 12'h000 } ～ { XADRH [8:0], 12'hFFF } の範囲が指定領域となります。
XADRL [8:0] の値と XADRH [8:0] の値が等しい場合、4Kbyte の指定領域が選択されます。
XADRL [8:0] の値が XADRH [8:0] の値より大きい場合、指定領域は無くなります。

12.2.6 注意事項

R-IN32M4 で外部マイコン・インタフェースを使用するにあたっての注意事項を示します。

表12.9 各領域のレジスタ設定とアクセス方式

領域	レジスタ設定		アクセス方式		
	HIFPRC.PAGEONn	HIFBCC.RBUFONn	pageROM	SRAM	
			Read	Read	Write
バッファ非対象	-	-	設定禁止注	OK	OK
バッファ対象	0	0	設定禁止注	OK	OK
	0	1	設定禁止注	OK	OK
	1	0	設定禁止注	OK	OK
	1	1	OK	OK	OK

注. 外部マイコン・インタフェース・アクセスがデッドロックする可能性があります。

12.3 同期バースト転送対応 MCU 接続モード

MEMCSEL 端子にハイ・レベルが入力されていると、同期バースト転送対応 MCU 接続モードとなります。

同期バースト転送対応 MCU 接続モードでは、クロック同期のシングル転送とバースト転送をサポートします。

12.3.1 機能概要

○ インタフェース方式
- シングル転送（読み出し、書き込み）
- バースト転送（読み出し、書き込み）

○ 同期関係
- HBUSCLK 同期（MAX. 50MHz）

○ バス幅
- 32 ビット／16 ビットに対応（BUS32EN 端子にて設定）

○ 転送データ・サイズ
- 32 ビット／16 ビット／8 ビット

○ ライト・バッファ： 8 段

○ リード・バッファ： 最大 32-byte 先読み可能

○ アドレスとデータの多重化
- アドレス／データの多重
- アドレス／データのセパレート

○ 各種ステータスの確認
- HIFSYNC 端子、BUS32EN 端子の状態[注]

注. 同期バースト転送対応 MCU 接続モードにおいては、内部リセットが解除されるまで HOSTIF へのアクセスはできないため、レジスタ読み出しによる内部リセット状態の確認はできません。

12.3.2 同期バースト転送対応 MCU 接続モードの選択

同期バースト転送対応 MCU 接続モードにおいては、外部データ・バス幅を BUS32EN 端子入力で選択し、アドレスとデータの多重化を ADMUXMODE 端子で行います。

表12.10 動作モード設定一覧

モード設定端子				動作モード
MEMCSEL	BUS32EN	HIFSYNC	ADMUXMODE	
H	L	L	-	設定禁止
		H	L	16bit 同期 SRAM word Address/Data 分離
			H	16bit 同期 SRAM word Address/Data 多重
	H	L	-	設定禁止
		H	L	32bit 同期 SRAM word Address/Data 分離
			H	32bit 同期 SRAM word Address/Data 多重

注意. 同期バースト転送対応 MCU 接続モードでは、非同期インタフェースを選択することはできません。

表12.11 同期バースト転送対応 MCU 接続モードのアドレス入力

設定端子			動作モード	バイト・アドレス[20:0] 取得先 （MSB,,,LSB）
ADMUXMODE	BUS32EN	HIFSYNC		
L	L	ー	AD 分離 16bit データバス ワードアドレス	{ HA [20:1], 1'b0 }
L	H	ー	AD 分離 32bit データバス ワードアドレス	{ HA [19:1], 2'b00 }
H	L	L	設定禁止	-
H	L	H	AD 多重 16bit データバス ワードアドレス	{ HA [20:17], HWDATA [15:0], 1'b0 }
H	H	L	設定禁止	-
H	H	H	AD 多重 32bit データバス ワードアドレス	{ HWDATA [18:0], 2'b00 }

12.3.3 ライト・ステータス・モードとライト・ストローブ・モード

同期式 SRAM タイプ転送モードでのライト動作には、ライト・ステータス・モードと、ライト・ストローブ・モードの 2 種類が存在します。これらの 2 種類の動作モードは、HBCYSTZ 端子にローが入力されている期間にサンプリングされる HWRSTBZ 端子のレベルによって、バス・サイクル毎に選択されます。

HBCYSTZ 端子にローが入力されている期間に、HWRSTBZ 端子のレベルがローであれば、ライト・ステータス・モードとなります。ライト・ステータス・モードでは、今回のバス・サイクルが終了（HCSZ 信号からハイをサンプリング）するか、次のバス・サイクルが始まる（HBCYSTZ 端子からローをサンプリング）するまでライト・バス・サイクルを継続します。

HBCYSTZ 端子にローが入力されている期間に、HWRSTBZ 端子のレベルがハイであり、その後 HWRSTBZ 端子がローになれば、ライト・ストローブ・モードとなります。ライト・ストローブ・モードでは、今回のバス・サイクルが終了（HWRSTBZ 端子がハイをサンプリング）するまでライト・バス・サイクルを継続します。

12.3.4 同期バースト転送制御レジスタ

(1) レジスター覧

外部マイコン・インタフェースの同期バースト制御レジスタは、R-IN32M4 の外部に接続したマイコンからアクセス可能です。

表12.12 外部マイコン・インタフェースの同期バースト転送制御レジスター覧

アドレス	レジスタ名称	略 号	R/W	操作単位 [bit]			リセット時
				8	16	32	
0F FF80H	HOSTIF 同期 SRAM 制御レジスタ 0	HIFEXT0	R/W	○	○	−	0000H
0F FF84H	HOSTIF 同期 SRAM 制御レジスタ 1	HIFEXT1	R/W	○	○	−	0202H

備考 同期バースト転送制御レジスタは、MEMCSEL 端子にハイ・レベルが入力されている場合にのみアクセス可能です。

(2) HOSTIF 同期バースト転送制御レジスタ 0（HIFEXT0）

外部 MCU とのバースト転送に関する動作を設定します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
HIFEXT0	MODTRN	0	0	0	0	0	CNDWEO	0	0	0	KESWTO	KESDTO	KESAVI	KESDTI	0	KESSBI	0F FF80H	0000H
R/W	R/W	0	0	0	0	0	R/W	0	0	0	R/W	R/W	R/W	R/W	0	R/W		

ビット位置	ビット名	意　味
15	MODTRN	転送モード選択 0：シングル転送のみ 1：バースト転送が可能
9	CNDWEO	WAIT 解除タイミング選択 0：データと同時 1：データに対し 1 クロック先行
5	KESWTO	HWAITZ 出力の有効エッジ選択 0：立ち上がり 1：立ち下がり
4	KESDTO	データ出力の有効エッジ選択 0：立ち上がり 1：立ち下がり
3	KESAVI	アドレス入力の有効エッジ選択 0：立ち上がり 1：立ち下がり
2	KESDTI	データ入力の有効エッジ選択 0：立ち上がり 1：立ち下がり
0	KESSBI	ストローブ信号入力（HRDZ, HWRSTBZ）の有効エッジ選択 0：立ち上がり 1：立ち下がり

備考 1. 外部マイコンからのみアクセス可能です。
2. MEMCSEL 端子にハイ・レベルが入力されている場合にのみアクセスが可能です。

注意. 0 固定表記のビットには 0 以外を書き込まないで下さい。
0 以外を書き込んだ場合、誤動作の原因となる可能性があります。

(3) HOSTIF 同期バースト転送制御レジスタ 1（HIFEXT1）

外部 MCU とのバースト転送に関する動作を設定します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
HIFEXT1	0	0	0	0	DLY RA3	DLY RA2	DLY RA1	DLY RA0	0	0	0	0	DLY WA3	DLY WA2	DLY WA1	DLY WA0	0F FF84H	0202H
R/W	0	0	0	0	R/W	R/W	R/W	R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
11-8	DLYRA3- DLYRA0	最後の BCYSTZ 端子へのロー入力から、リード・データが取得可能となるまでの最小時間。（trc） 0000：3　1000：11 0001：4　1001：12 0010：5　1010：13 0011：6　1011：14 0100：7　1100：15 0101：8　1101：16 0110：9　1110：17 0111：10　1111：18
3 - 0	DLYWA3ー DLYWA0	最後の BCYSTZ 信号へのロー入力から、ライト・データを受理するまでの最小時間。（twc） 0000：3 ※　1000：9 0001：3 ※　1001：10 0010：3　1010：11 0011：4　1011：12 0100：5　1100：13 0101：6　1101：14 0110：7　1110：15 0111：8　1111：16

備考 1. 外部マイコンからのみアクセス可能です。
2. 本レジスタは MEMCSEL 端子にハイ・レベルが入力されている場合にのみアクセスが可能です。

注意. 0 固定表記のビットには 0 以外を書き込まないで下さい。
0 以外を書き込んだ場合、誤動作の原因となる可能性があります。

12.3.5 同期バースト転送対応 MCU 接続モードの基本動作タイミング

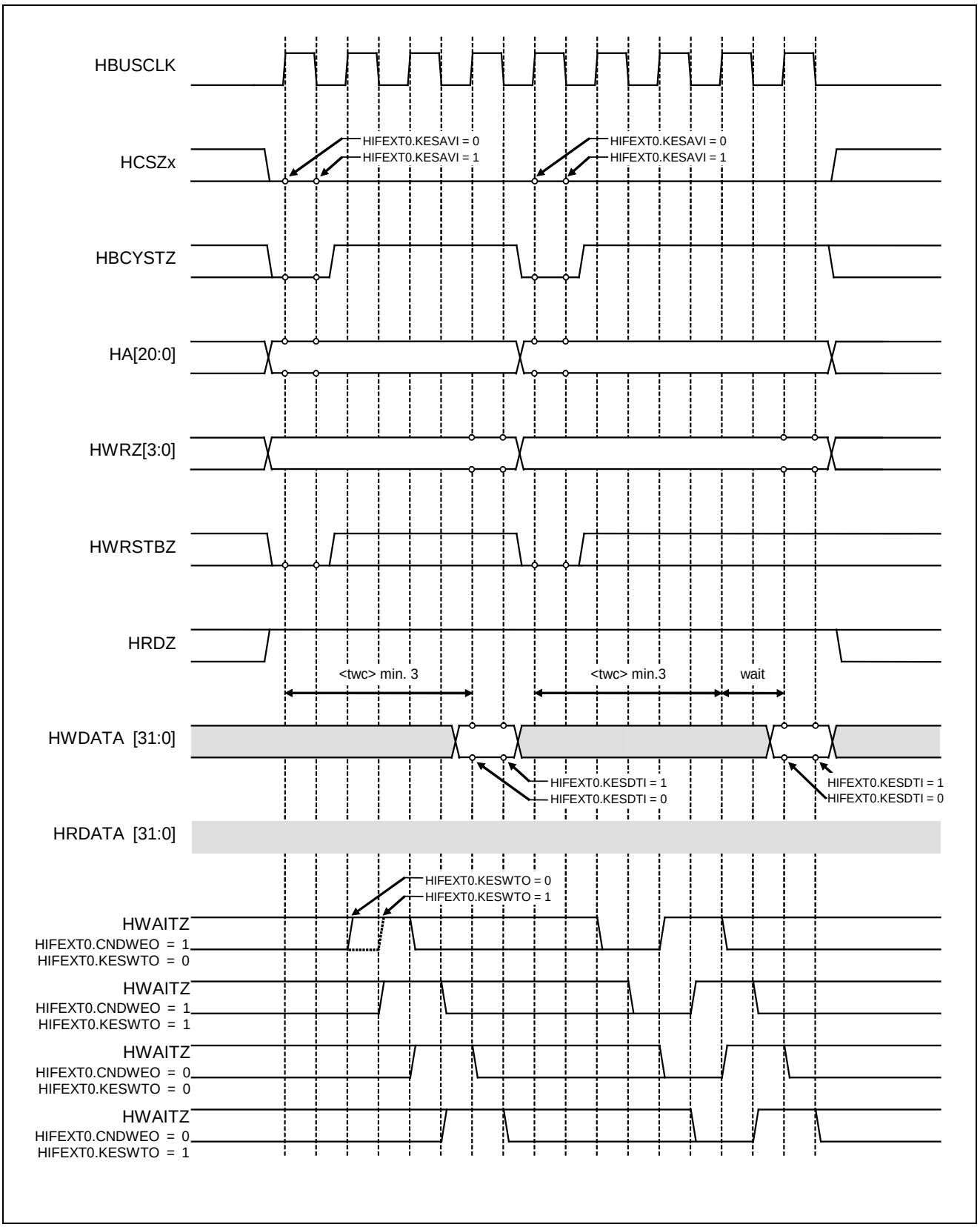


図12.11 同期バースト転送対応 MCU のライト（シングル転送、AD 分離、ライト・ステータス）

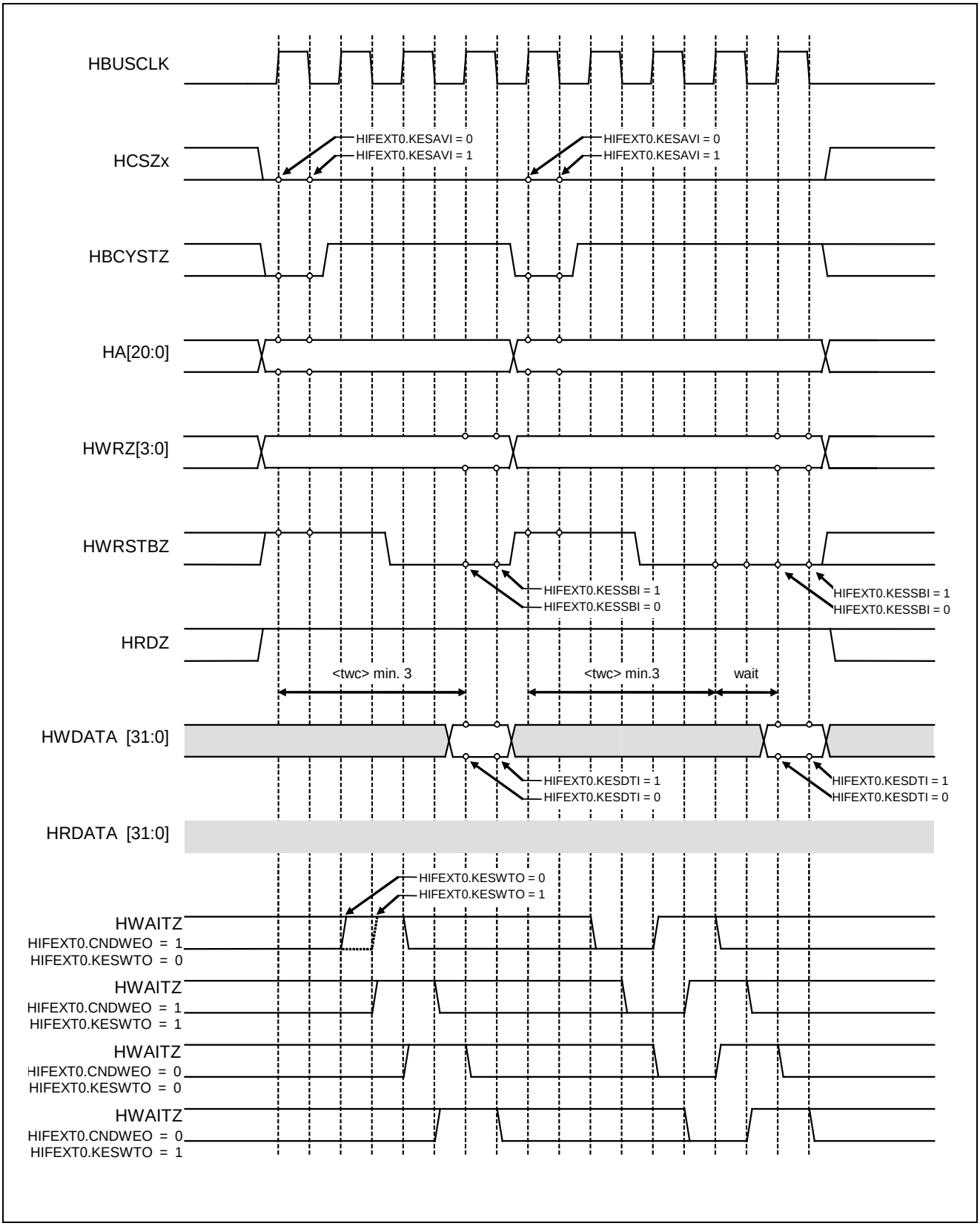


図12.12 同期バースト転送対応 MCU のライト（シングル転送、AD 分離、ライト・ストローブ）

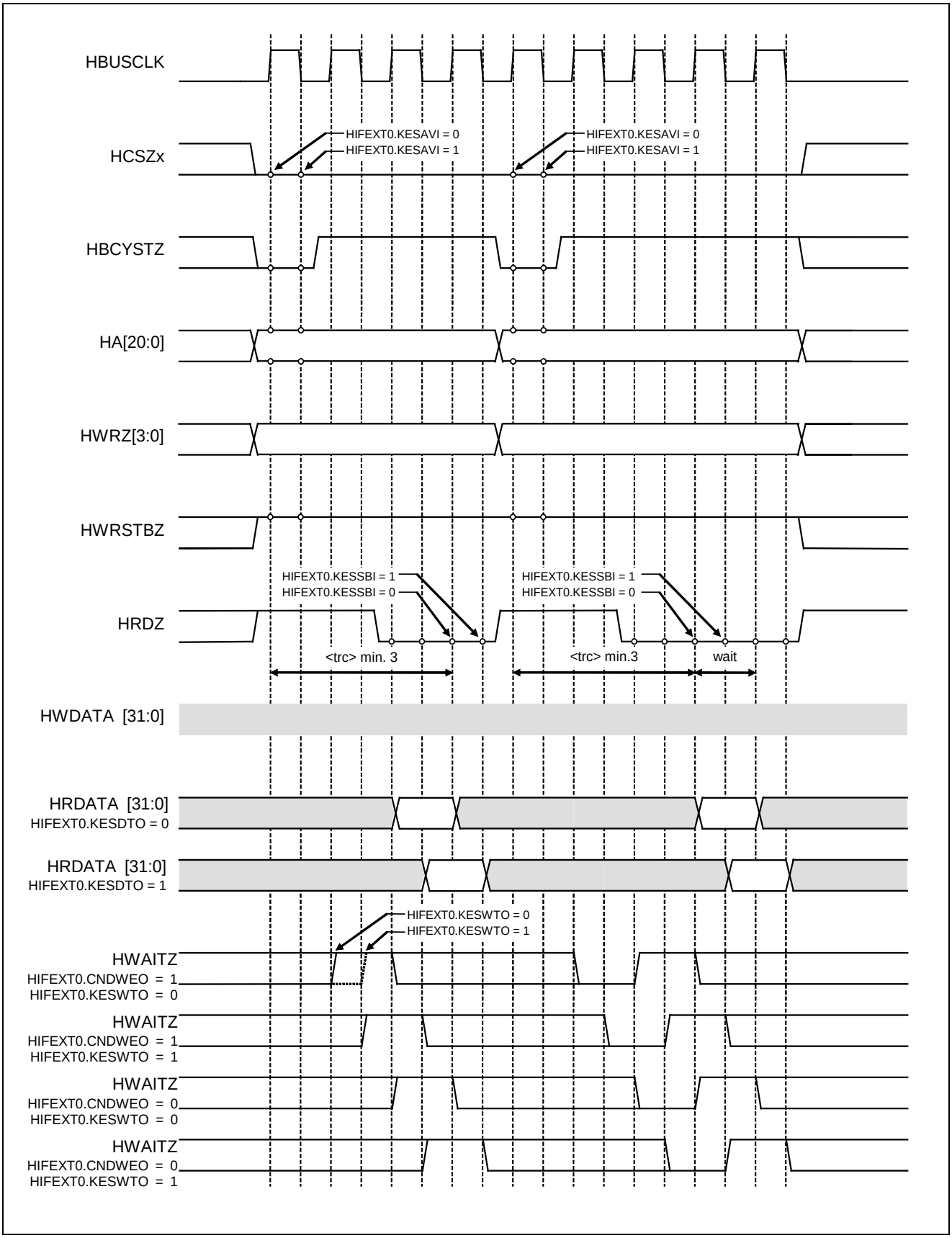


図12.13 同期バースト転送対応 MCU のリード（シングル転送、AD 分離）

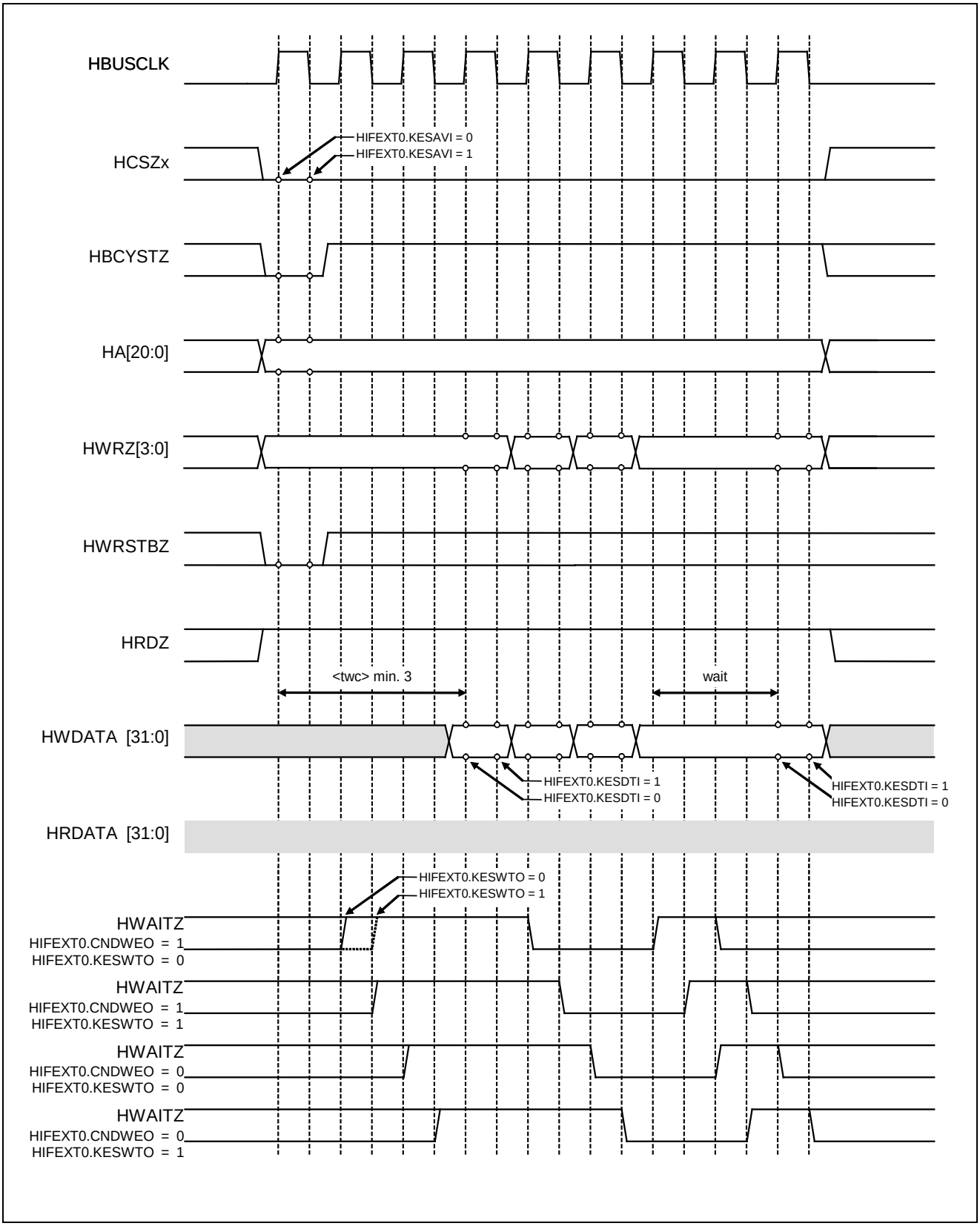


図12.14 同期バースト転送対応 MCU のライト（バースト転送、AD 分離、ライト・ステータス）

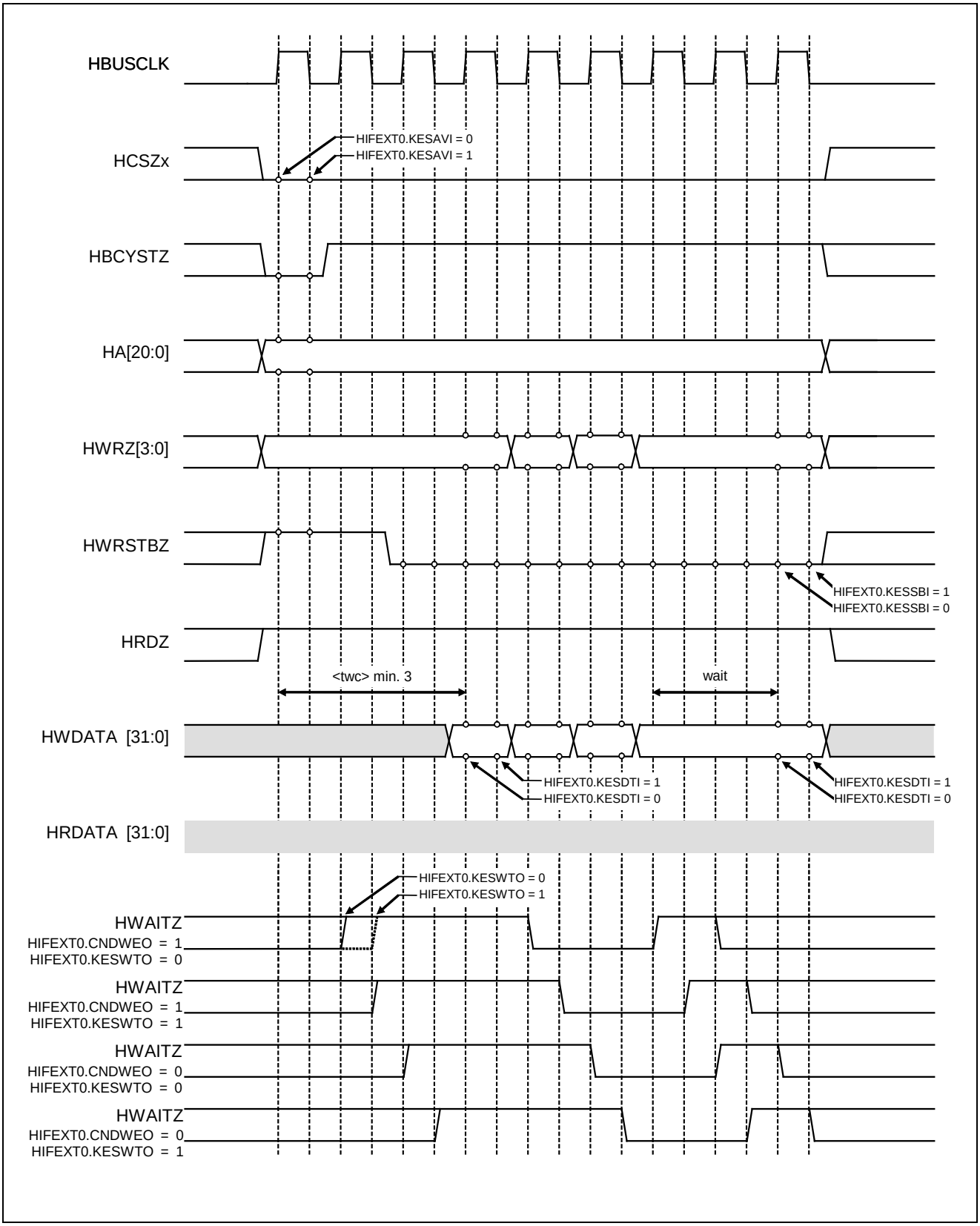


図12.15 同期バースト転送対応 MCU のライト（バースト転送、AD 分離、ライト・ストローブ）

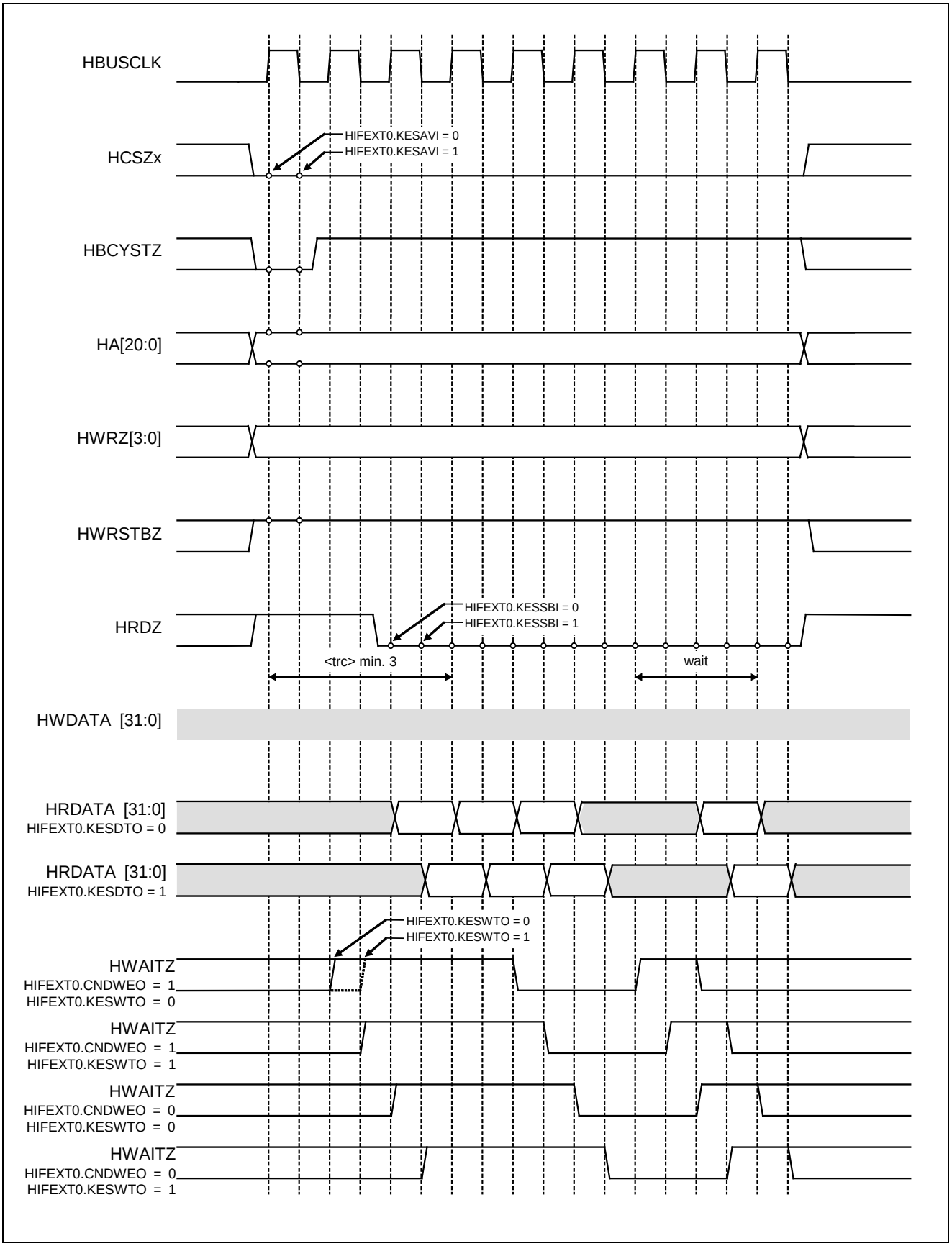


図12.16 同期バースト転送対応 MCU のリード（バースト転送、AD 分離）

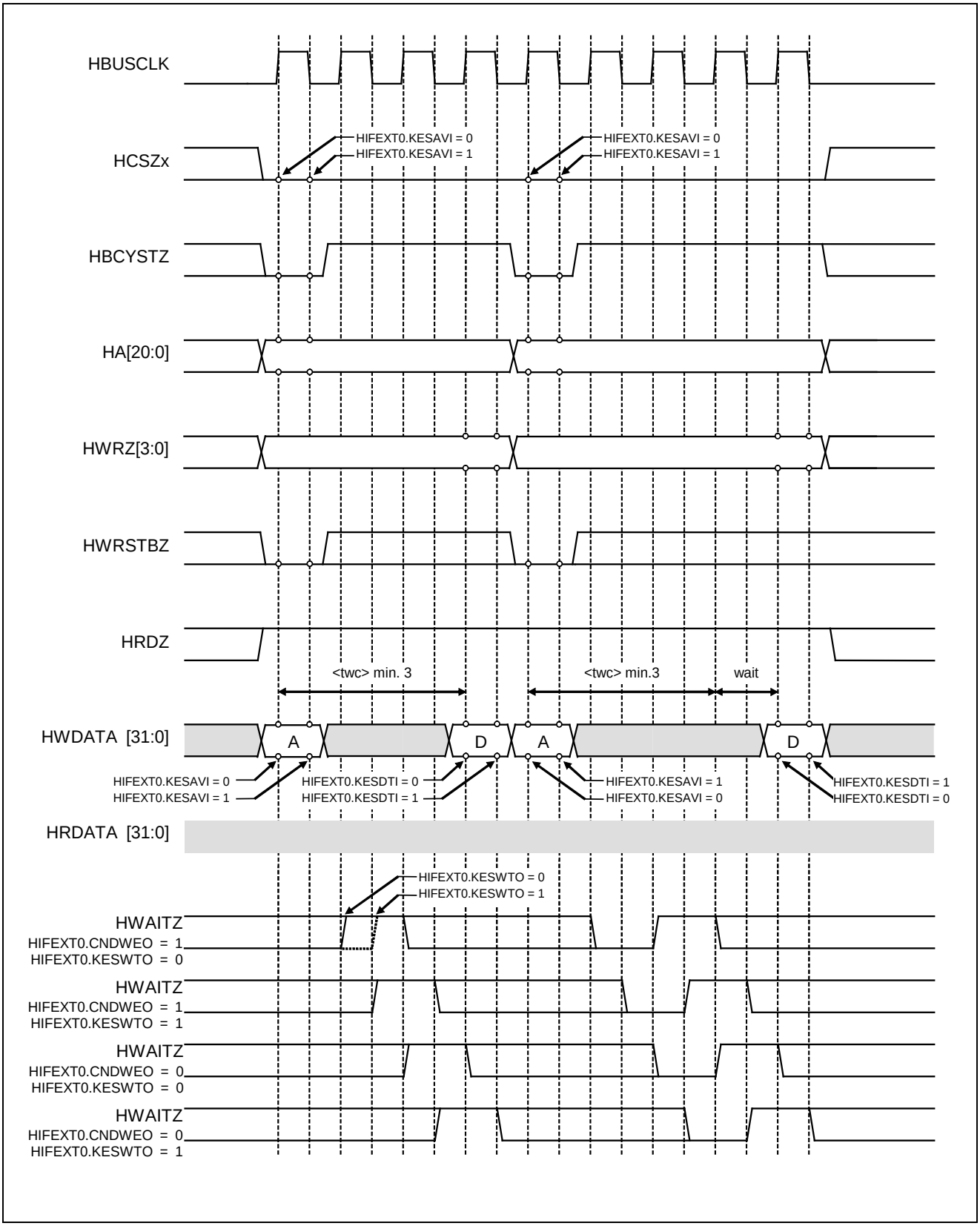


図12.17 同期バースト転送対応 MCU のライト（シングル転送、AD 多重、ライト・ステータス）

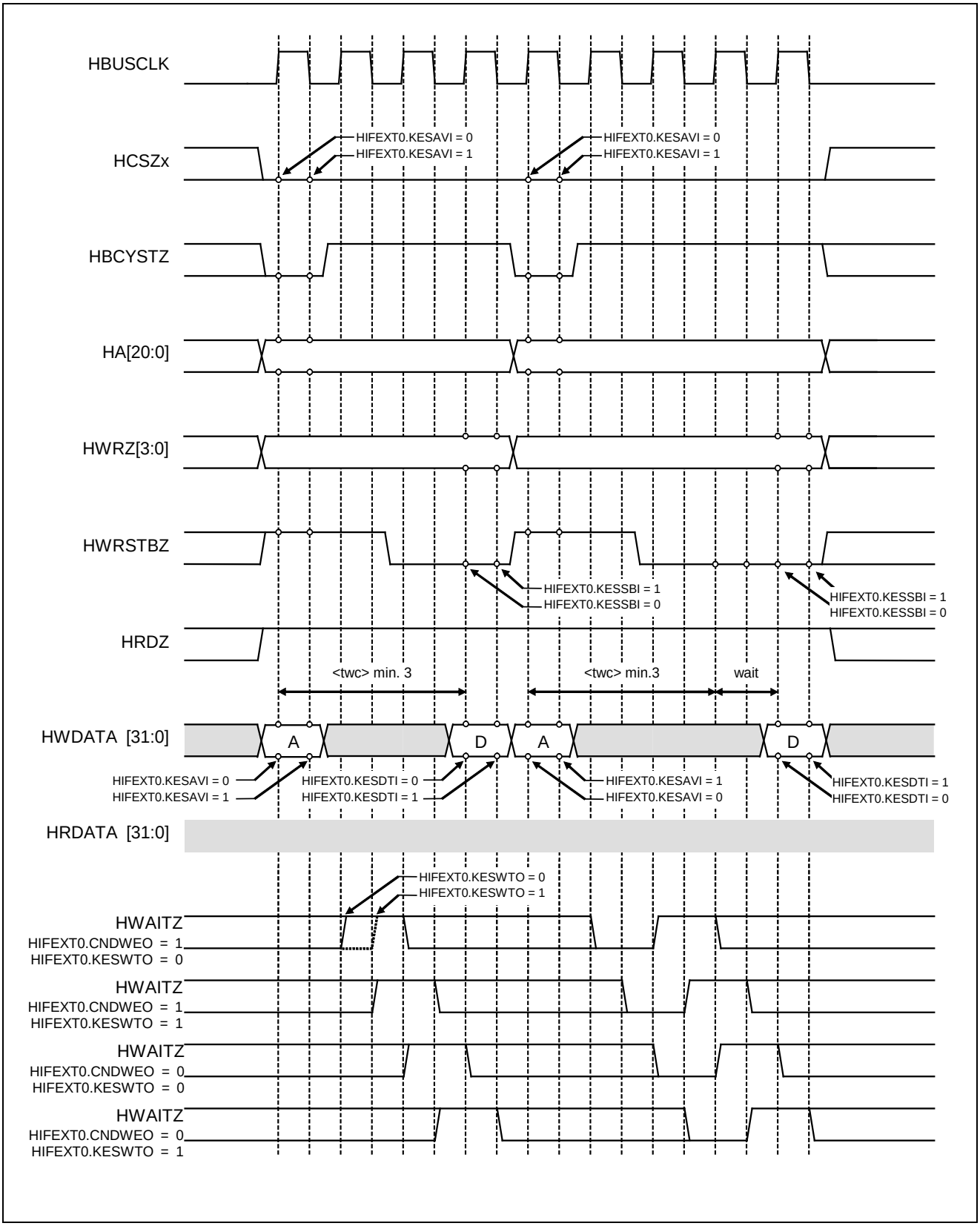


図12.18 同期バースト転送対応 MCU のライト（シングル転送、AD 多重、ライト・ストローブ）

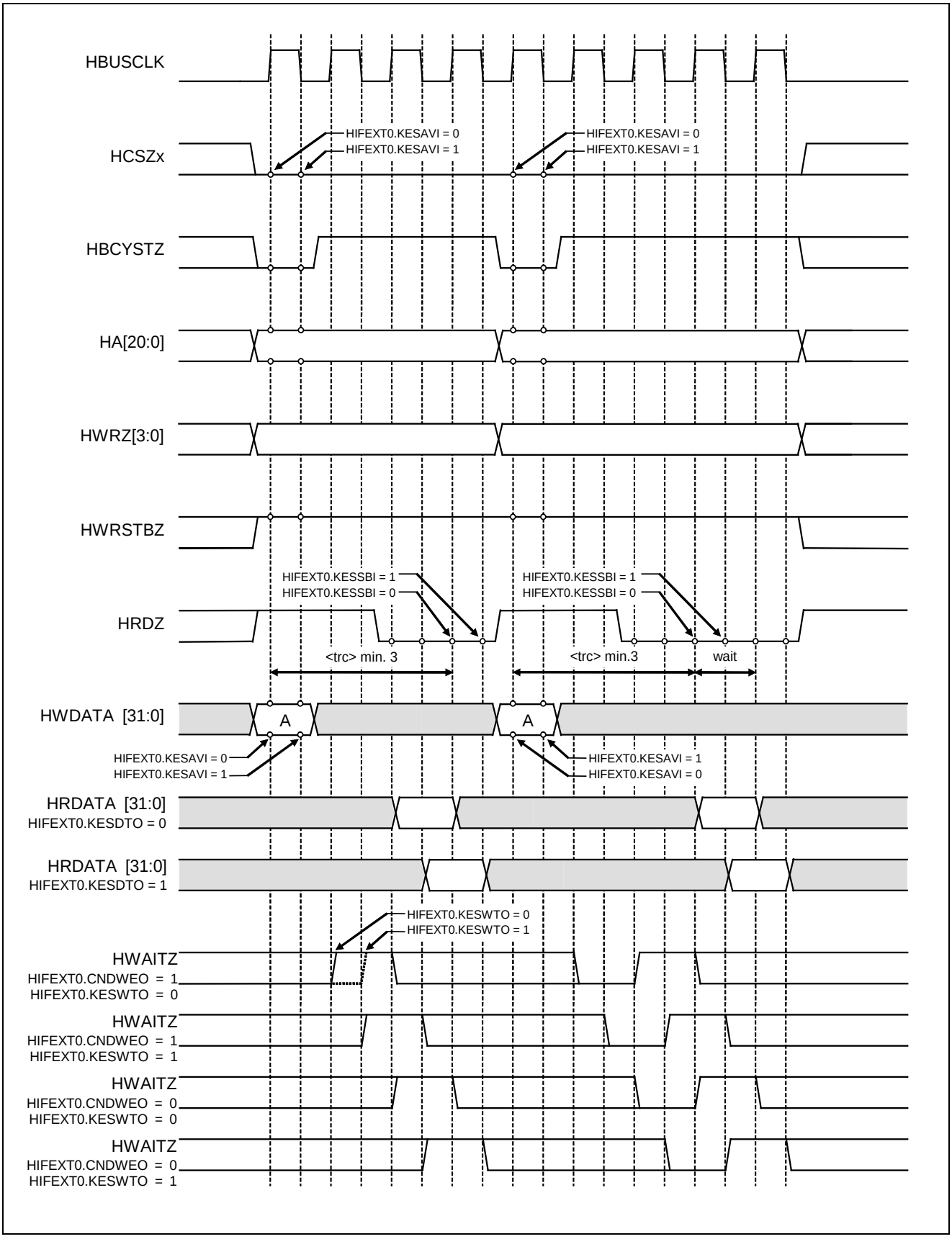


図12.19 同期バースト転送対応 MCU のリード（シングル転送、AD 多重）

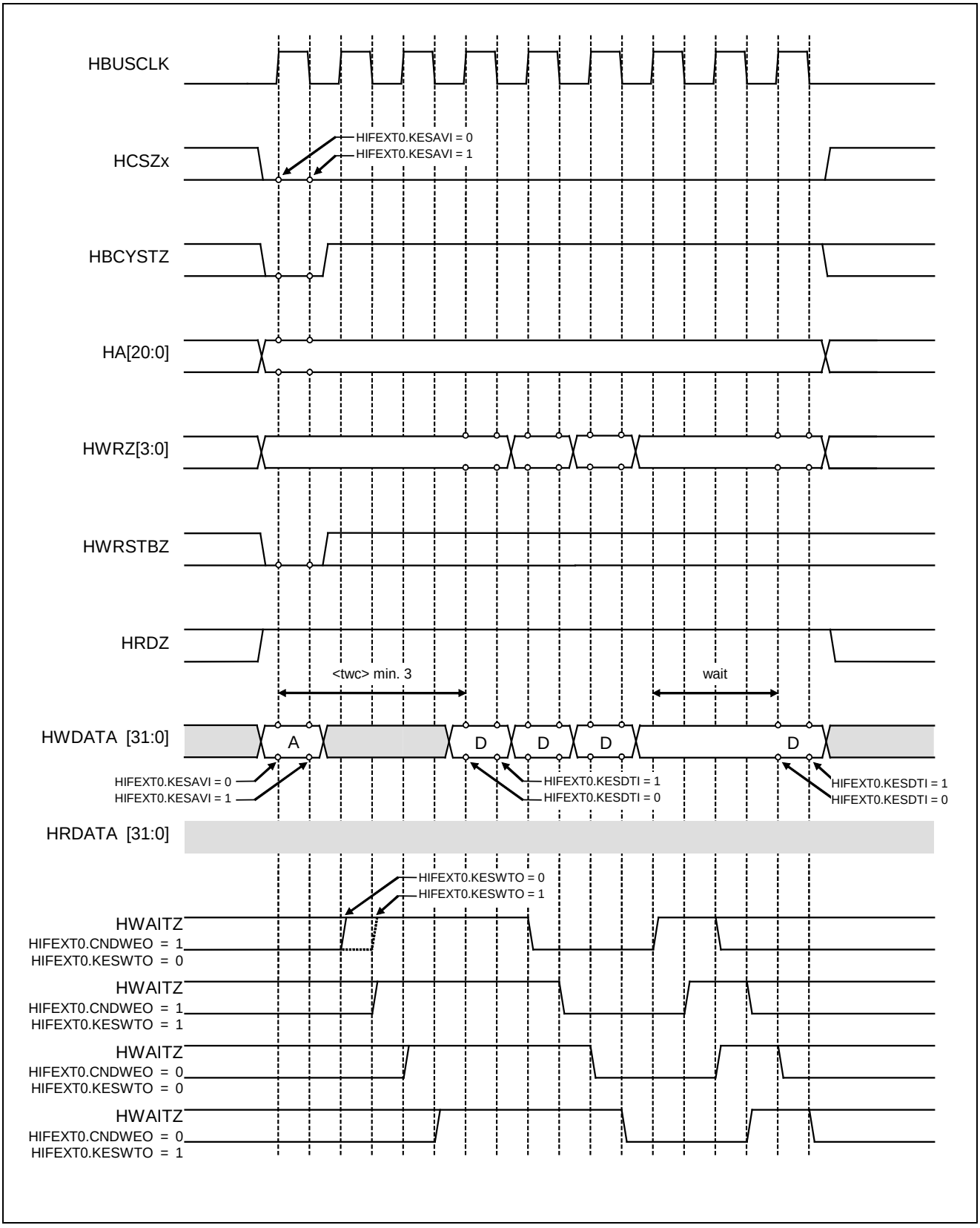


図12.20 同期バースト転送対応 MCU のライト（バースト転送、AD 多重、ライト・ステータス）

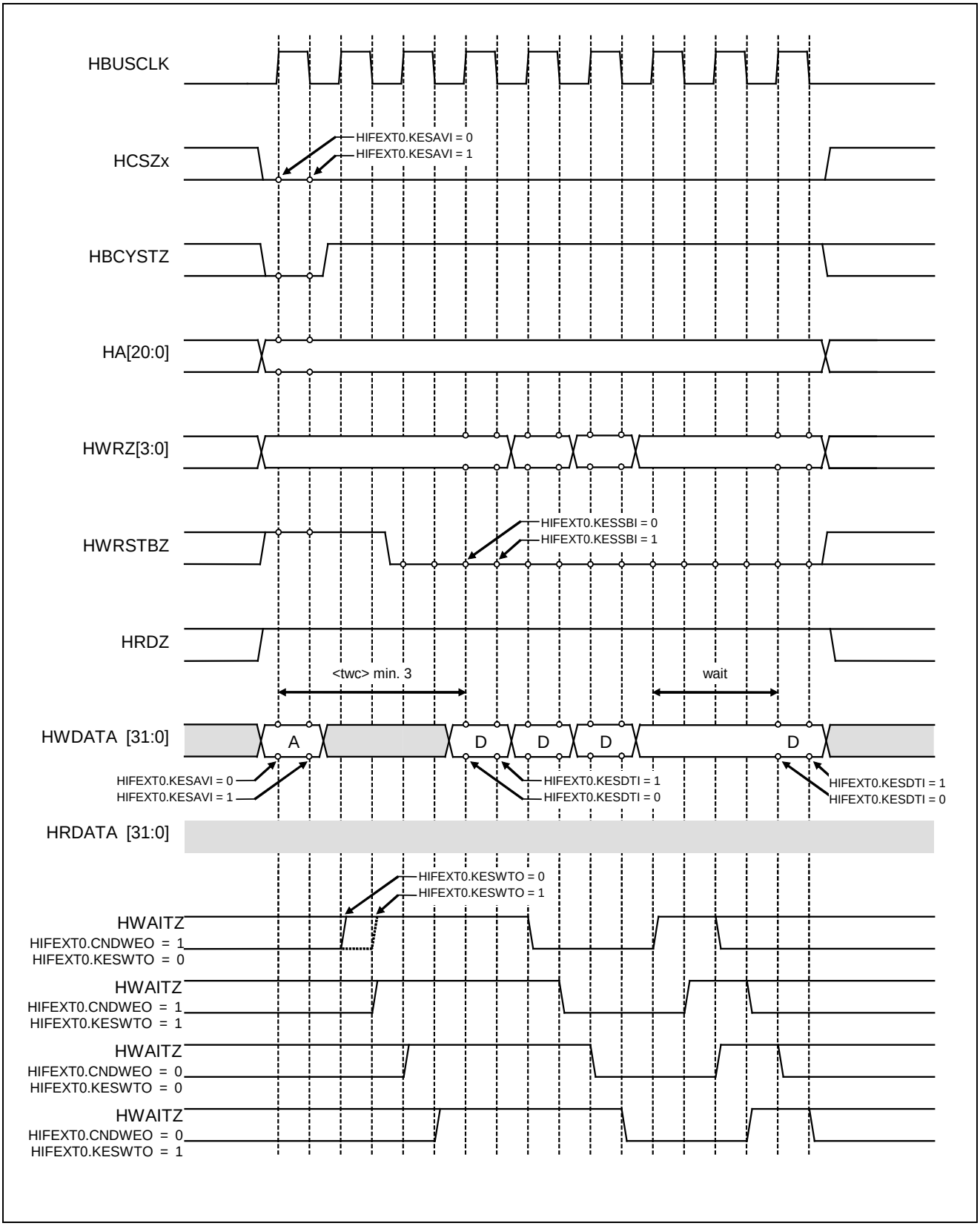


図12.21 同期バースト転送対応 MCU のライト（バースト転送、AD 多重、ライト・ストローブ）

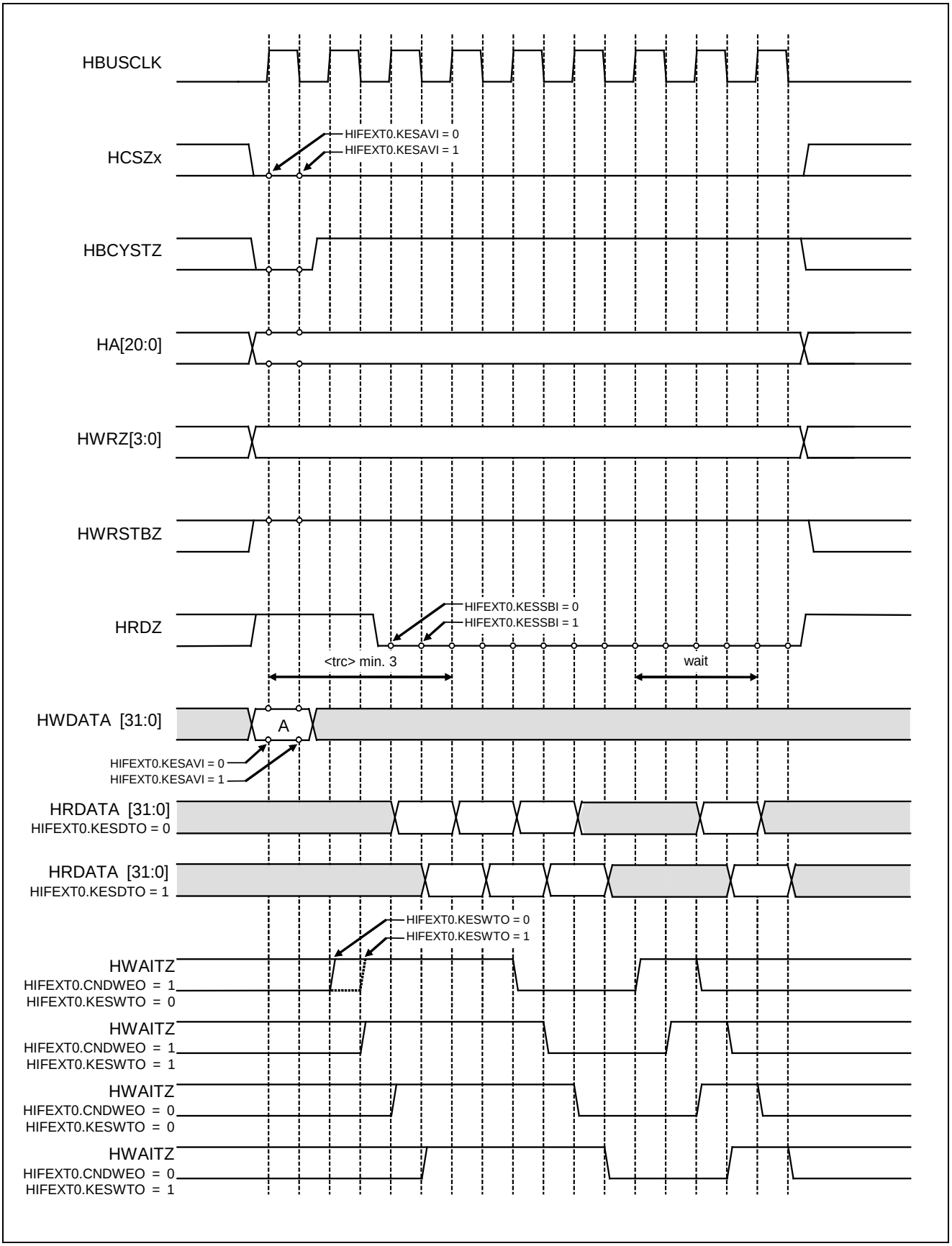


図12.22 同期バースト転送対応 MCU のリード（バースト転送、AD 多重）

12.3.6 注意事項

同期バースト転送対応 MCU 接続モードを使用する上での注意事項を示します。

(1) 各領域のレジスタ設定と対応可能なアクセス方式

表12.13 HPGCSZ 端子で選択した各領域のレジスタ設定とアクセス方式

領域	レジスタ設定			HPGCSZ へのアクセス方式				備考
	HIFEXT0. MODTRN	HIFPRC. PAGEONn	HIFBCC. RBUFONn	バースト転送		シングル転送		
				W	R	W	R	
バッファ非対象	―	―	―	禁止	禁止	OK	OK	シングル領域
バッファ対象	0	―	―	禁止	禁止	OK	OK	シングル設定
	1	0	0	OK	禁止	禁止	禁止	
	1	0	1	OK	禁止	禁止	禁止	
	1	1	0	OK	禁止	禁止	禁止	
	1	1	1	OK	OK	禁止	禁止	

表12.14 HCSZ 端子で選択した各領域のレジスタ設定とアクセス方式

領域	レジスタ設定			HCSZ へのアクセス方式				備考
	HIFEXT0. MODTRN	HIFPRC. PAGEONn	HIFBCC. RBUFONx	バースト転送		シングル転送		
				W	R	W	R	
全領域	―	―	―	禁止	禁止	OK	OK	

(2) 空間や領域の境界を跨ぐバースト転送の禁止

レジスタ空間、SRAM 空間、AHB 空間の境界や、先読み設定領域の境界を跨ぐバースト転送は禁止です。これらの空間や領域の境界の手前では一度バースト転送を終了して下さい。

(3) 内部ライト・バス・サイクルの開始タイミング

同期バースト転送対応 MCU 接続モードのライト・バスサイクルでは、HBUSCLK に同期してライト・データをサンプリングした後､次の HBUSCLK の立ち上がりで AHB 制御ブロックにアクセス要求を受け渡します。

このため、バス・サイクルの期間中のみ HBUSCLK 端子にクロックを供給する外部 MCU を接続する場合、目的の内部資源への実際の書き込みは、HBUSCLK 端子にクロックを供給する次のバスサイクルを開始するまで保留されます。

もし、目的の内部資源への実際の書き込みを完了させる必要がある場合には、ライト・バスサイクル終了後に、HBUSCLK 端子にクロックを供給するために、何らかのバスサイクルを追加してください。

(4) 制御レジスタの読み出し確認

各種制御レジスタからの読み出しは、先行する制御レジスタへの書き込み動作との待ち合わせを行いません。このため、制御レジスタに書込みを行った後に制御の読み出しを行うと、実際に制御レジスタが書き変わるまでの期間であれば、書き込む前の値が読み出されます。

制御レジスタの設定を変更する場合には、設定の変更完了を確認するために、書き込んだ値と同じ値が読み出されるまで、該当制御レジスタのポーリングを行って下さい。

(5) 内部リセット期間中のアクセス

同期バースト転送対応 MCU 接続モードにおいては、内部リセット期間中にレジスタ値を読み出すことが出来ません。

(6) リセットの解除

リセット同期化回路が出力する内部リセット信号は、外部 MCU から供給される HBUSCLK に同期して解除されます。このため、MCU バスサイクル期間中だけ HBUSCLK を供給する外部 MCU を接続した場合、最初の MCU バスサイクル開始時点では内部リセットが解除されていないため、最初の MCU バスサイクルを認識することが出来ません。

13. シリアル・フラッシュ ROM メモリ・コントローラ

R-IN32M4 は、SPI 互換のインタフェースに対応したシリアル・フラッシュ ROM を接続するためのメモリ・コントローラを内蔵しています。

端子設定で BOOT1 = 0、BOOT0 = 1 とした場合、シリアル・フラッシュ ROM からブートします。

13.1 特　徴

○ SPI インタフェース：　Extended SPI、Dual SPI、Quad SPI の 3 種の SPI プロトコルに対応
SPI モード 0 と SPI モード 3 に対応（初期状態は SPI モード 3）
アドレス幅は 24 ビット

○ タイミング調整機能：　レジスタ設定により、広範囲のシリアル ROM に対応可能

○ ROM 読み出し機能：　内部システム・バスの読み出しバス・サイクルを SPI バス・サイクルに自動変換
シリアル ROM からの直接ブートが可能
Read, Fast Read, Fast Read Dual Output, Fast Read Dual I/O、
Fast Read Quad Output, Fast Read Quad I/O 命令に対応
プリフェッチ機能搭載
ポーリング処理が可能
SPI バス・サイクル延長機能搭載

○ 直接通信機能：　多様なデバイスの命令・機能に、ソフトウェア制御で柔軟に対応可能
（消去、書き込み、ID 読み出し、Power-Down 制御等）

○ 最高転送クロック：　50MHz

13.2 制御レジスタ

シリアル・フラッシュ ROM メモリ・コントローラを利用するには、制御レジスタで動作モードを設定してください。

表13.1　シリアル・フラッシュ ROM メモリ・コントローラの制御レジスタ

レジスタ名	略号	アドレス
転送モード制御レジスタ	SFMSMD	400A 2400H
チップ選択制御レジスタ	SFMSSC	400A 2404H
クロック制御レジスタ	SFMSKC	400A 2408H
ステータス・レジスタ	SFMSST	400A 240CH
通信ポート・レジスタ	SFMCOM	400A 2410H
通信モード制御レジスタ	SFMCMD	400A 2414H
通信ステータス・レジスタ	SFMCST	400A 2418H
命令コード・レジスタ	SFMSIC	400A 2420H
アドレス・モード制御レジスタ	SFMSAC	400A 2424H
ダミー・サイクル制御レジスタ	SFMSDC	400A 2428H
SPI プロトコル制御レジスタ	SFMSPC	400A 2430H
ポート制御レジスタ	SFMPMD	400A 2434H
データ入力タイミング制御レジスタ	SFMDTC	400A 2438H
バージョン・レジスタ	SFMVER	400A 244CH

注意. シリアル・フラッシュ ROM メモリ・コントローラの制御レジスタの設定内容は、システム動作中にダイナミックに変更できます。
ただし、複数の制御レジスタの設定内容を順次変更する場合、すべてのレジスタへの変更が完了する前に、SPI バス・サイクルが発生する可能性があるため、レジスタ設定変更過程のどの段階においても SPI バスのタイミング仕様を逸脱しないよう、レジスタ内容の変更順序には十分な注意が必要です。

13.2.1　転送モード制御レジスタ（SFMSMD）

SPI バス・サイクルを制御するレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-16, 14-12, 3 には必ず 0 を設定してください。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SFMSMD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SFMCCE	0	0	0	SFMOSW	SFMOHW	SFMOEX	SFMMD3	SFMPAE	SFMPFE	SFMSE1	SFMSE0	0	SFMRM2	SFMRM1	SFMRM0	400A 2400H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	R/W	R/W	R/W	初期値 0000 0110H

ビット位置	ビット名	意　味
31-16	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15	SFMCCE	読み出し命令コードの選択を行います。 0：SFMSIC レジスタに設定された読み出し命令コード（初期値） 1：読み出し形式毎のデフォルトの読み出し命令コード
14-12	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
11	SFMOSW	シリアル・データ出力のセットアップ側の時間調整を行います。 0：シリアル・データ出力時の SMSCK のハイ・レベル期間を延長しません。（初期値） 1：シリアル・データ出力時の SMSCK のハイ・レベル期間を 1 クロック分延長します。 この機能は、シリアル・データ出力期間にのみ働きます。
10	SFMOHW	シリアル・データ出力のホールド側の時間調整を行います。 0：シリアル・データ出力時の SMSCK のロー・レベル期間を延長しません。（初期値） 1：シリアル・データ出力時の SMSCK のロー・レベル期間を 1 クロック分延長します。 この機能は、シリアル・データ出力期間にのみ働きます。
9	SFMOEX	シリアル・インタフェース用 I/O バッファの出力許可信号を延長します。 0：シリアル・データの出力許可期間を延長しません。（初期値） 1：シリアル・データの出力許可期間を 1×SMSCK 分延長します。 出力許可信号のみが延長されます。出力データは延長されません。
8	SFMMD3	SPI モードを選択します。 0：SPI モード 0 1：SPI モード 3（初期値）
7	SFMPAE	バイト境界以外でのプリフェッチ中断機能を選択します。 0：バイト境界以外でのプリフェッチ中断機能を無効にします。（初期値） 1：バイト境界以外でのプリフェッチ中断機能を有効にします。
6	SFMPFE	プリフェッチ機能を選択します。 0：プリフェッチ機能を無効にします。（初期値） 1：プリフェッチ機能を有効にします

（2/2）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>5, 4</td><td>SFMSE1,
SFMSE0</td><td>SPI バス・アクセス後の SMCSZ（チップ・セレクト）信号の延長機能を選択します。

<table>
<tr><th>SFMSE1</th><th>SFMSE0</th><th>SMCSZ（チップ・セレクト）信号の延長モード</th></tr>
<tr><td>0</td><td>0</td><td>SMCSZ 信号を延長しません。</td></tr>
<tr><td>0</td><td>1</td><td>SMCSZ 信号を最長 33 シリアル・クロック分延長します（初期値）。</td></tr>
<tr><td>1</td><td>0</td><td>SMCSZ 信号を最長 129 シリアル・クロック分延長します。</td></tr>
<tr><td>1</td><td>1</td><td>SMCSZ 信号を無期限で延長します。</td></tr>
</table>

SMCSZ 信号がハイ・レベルの期間は、シリアル・フラッシュ ROM の消費電力低減の効果があります。</td></tr>
<tr><td>3</td><td>－</td><td>Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）</td></tr>
<tr><td>2-0</td><td>SFMRM2-
SFMRM0</td><td>シリアル・フラッシュ ROM のリード・モードを選択します。

<table>
<tr><th>SFMRM2</th><th>SFMRM1</th><th>SFMRM0</th><th>シリアル・フラッシュ ROM のリード・モード</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>標準 Read</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>Fast Read</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>Fast Read Dual Output</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>Fast Read Dual I/O</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>Fast Read Quad Output</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>Fast Read Quad I/O</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>設定禁止（動作保証外）</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>設定禁止（動作保証外）</td></tr>
</table>
</td></tr>
</table>

13.2.2　チップ選択制御レジスタ（SFMSSC）

シリアル ROM のチップ・セレクト信号のタイミングを設定するレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-6 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SFMSSC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SFMSLD	SFMSHD	SFMSW3	SFMSW2	SFMSW1	SFMSW0	400A 2404H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000 0037H

ビット位置	ビット名	意　味
31-6	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
5	SFMSLD	SMCSZ（チップ・セレクト）信号の出力タイミングを選択します。 0：最初の SMSCK 立ち上がりの 0.5 クロック手前で SMCSZ を出力します。 1：最初の SMSCK 立ち上がりの 1.5 クロック手前で SMCSZ を出力します。（初期値）
4	SFMSHD	SMCSZ（チップ・セレクト）信号の解除タイミングを選択します。 0：最後の SMSCK 立ち上がりから 0.5 クロック以降に SMCSZ を解除します。 1：最後の SMSCK 立ち上がりから 1.5 クロック以降に SMCSZ を解除します。（初期値）
3-0	SFMSW3-SFMSW0	SMCSZ（チップ・セレクト）信号の最小ハイ・レベル幅を選択します。

SFMSW3	SFMSW2	SFMSW1	SFMSW0	SMCSZ（チップ・セレクト）信号の最小ハイ・レベル幅
0	0	0	0	1×SMSCK 周期
0	0	0	1	2×SMSCK 周期
0	0	1	0	3×SMSCK 周期
0	0	1	1	4×SMSCK 周期
0	1	0	0	5×SMSCK 周期
0	1	0	1	6×SMSCK 周期
0	1	1	0	7×SMSCK 周期
0	1	1	1	8×SMSCK 周期（初期値）
1	0	0	0	9×SMSCK 周期
1	0	0	1	10×SMSCK 周期
1	0	1	0	11×SMSCK 周期
1	0	1	1	12×SMSCK 周期
1	1	0	0	13×SMSCK 周期
1	1	0	1	14×SMSCK 周期
1	1	1	0	15×SMSCK 周期
1	1	1	1	16×SMSCK 周期

13.2.3　クロック制御レジスタ（SFMSKC）

SPI バスの動作速度を指定するレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-6 には必ず 0 を設定してください。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SFMSKC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SFMDTY	SFMDV4	SFMDV3	SFMDV2	SFMDV1	SFMDV0	400A 2408H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	0000 0008H

ビット位置	ビット名	意　味
31-6	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
5	SFMDTY	SMSCK 信号のデューティ比補正機能を選択します。 1：SMSCK 信号の立ち上がりを 0.5×HCLK 周期分遅らせます。 0：SMSCK 信号の補正を行いません。
4-0	SFMDV4-SFMDV0	シリアル・クロック（SMSCK）を内部システム・バス・クロック（HCLK）を基準に選択します。

SFMDV4	SFMDV3	SFMDV2	SFMDV1	SFMDV0	シリアル・クロックの選択
0	0	0	0	0	HCLK/2
0	0	0	0	1	HCLK/3 注
0	0	0	1	0	HCLK/4
0	0	0	1	1	HCLK/5 注
0	0	1	0	0	HCLK/6
0	0	1	0	1	HCLK/7 注
0	0	1	1	0	HCLK/8
0	0	1	1	1	HCLK/9 注
0	1	0	0	0	HCLK/10（初期値）
0	1	0	0	1	HCLK/11 注
0	1	0	1	0	HCLK/12
0	1	0	1	1	HCLK/13 注
0	1	1	0	0	HCLK/14
0	1	1	0	1	HCLK/15 注
0	1	1	1	0	HCLK/16
0	1	1	1	1	HCLK/17 注

次ページに続く

注 奇数分周の場合で、デューティ比補正機能を利用しない場合、SMSCK 信号のハイ・レベル幅は、ロー・レベル幅より 1×HCLK 長くなります。

（2/2）

ビット位置	ビット名	意　味
4-0	SFMDV4- SFMDV0	シリアル・クロック（SMSCK）を内部システム・バス・クロック（HCLK）を基準に選択します。

SFMDV4	SFMDV3	SFMDV2	SFMDV1	SFMDV0	シリアル・クロックの選択
1	0	0	0	0	HCLK/18
1	0	0	0	1	HCLK/20
1	0	0	1	0	HCLK/22
1	0	0	1	1	HCLK/24
1	0	1	0	0	HCLK/26
1	0	1	0	1	HCLK/28
1	0	1	1	0	HCLK/30
1	0	1	1	1	HCLK/32
1	1	0	0	0	HCLK/34
1	1	0	0	1	HCLK/36
1	1	0	1	0	HCLK/38
1	1	0	1	1	HCLK/40
1	1	1	0	0	HCLK/42
1	1	1	0	1	HCLK/44
1	1	1	1	0	HCLK/46
1	1	1	1	1	HCLK/48

備考 HCLK：内部システム・バス・クロック

13.2.4　ステータス・レジスタ（SFMSST）

シリアル・フラッシュ ROM のアクセス状況を確認するためのレジスタです。

- アクセス　　32 ビット単位でリード可能です。

(1/2)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SFMSST	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PFOFF	PFFUL	0	PFCNT4	PFCNT3	PFCNT2	PFCNT1	PFCNT0	400A 240CH
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	0	R	R	R	R	R	0000 0080H

ビット位置	ビット名	意　味
31-8	－	Reserved（0 が読み出されます。）
7	PFOFF	プリフェッチの動作状態が示されます。注 0：プリフェッチ機能が動作中です。 1：プリフェッチが許可されていない、または動作していません。（初期値）
6	PFFUL	プリフェッチ・バッファの状態を示します。 0：プリフェッチ・バッファに空きがあります。（初期値） 1：プリフェッチ・バッファがフル状態です。
5	－	Reserved（0 が読み出されます。）
4-0	PFCNT4-PFCNT0	プリフェッチ済みデータのバイト数を示します。

PFCNT4-0					プリフェッチ済みデータのバイト数
0	0	0	0	0	プリフェッチ済みのデータがない（初期値）
0	0	0	0	1	1 バイトのデータをプリフェッチ済み
0	0	0	1	0	2 バイトのデータをプリフェッチ済み
0	0	0	1	1	3 バイトのデータをプリフェッチ済み
0	0	1	0	0	4 バイトのデータをプリフェッチ済み
0	0	1	0	1	5 バイトのデータをプリフェッチ済み
0	0	1	1	0	6 バイトのデータをプリフェッチ済み

次ページに続く

注 プリフェッチ機能は、SFMSMD レジスタの SFMPFE ビットがセット（1）された状態において、最初のシリアル・フラッシュ ROM に対するリード・アクセスをトリガとして動作を開始し、SFMCMD レジスタへの書き込みによって停止します。
プリフェッチ機能を用いてポーリング処理を行う場合、PFOFF ビットが 1 であれば、PFCNT4-PFCNT0 ビットの値に関わらず、シリアル・フラッシュ ROM データの読み出しを開始する必要があります。

(2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>4-0</td><td>PFCNT4-
PFCNT0</td><td>プリフェッチ済みデータのバイト数を示します。
<table>
<tr><th colspan="5">PFCNT4-0</th><th>プリフェッチ済みデータのバイト数</th></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>7 バイトのデータをプリフェッチ済み</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>8 バイトのデータをプリフェッチ済み</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>9 バイトのデータをプリフェッチ済み</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>10 バイトのデータをプリフェッチ済み</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>11 バイトのデータをプリフェッチ済み</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>12 バイトのデータをプリフェッチ済み</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>13 バイトのデータをプリフェッチ済み</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>14 バイトのデータをプリフェッチ済み</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>15 バイトのデータをプリフェッチ済み</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>16 バイトのデータをプリフェッチ済み</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>17 バイトのデータをプリフェッチ済み</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>18 バイトのデータをプリフェッチ済み</td></tr>
<tr><td colspan="5">上記以外</td><td>この組み合わせはありません。</td></tr>
</table>
次ページに続く</td></tr>
</table>

注 プリフェッチ機能は、SFMSMD レジスタの SFMPFE ビットがセット（1）された状態において、最初のシリアル・フラッシュ ROM に対するリード・アクセスをトリガとして動作を開始し、SFMCMD レジスタへの書き込みによって停止します。
プリフェッチ機能を用いてポーリング処理を行う場合、PFOFF ビットが 1 であれば、PFCNT4-PFCNT0 ビットの値に関わらず、シリアル・フラッシュ ROM データの読み出しを開始する必要があります。

13.2.5　通信ポート・レジスタ（SFMCOM）

シリアル・フラッシュ ROM に対して、命令コードやアドレスや書き込みデータの出力、また読み出しデータやステータス情報の取り出しを行うために用いられる入出力ポートです。

直接通信モード（SFMCMD.DCOM = 1）において SFMCOM ポートへの書き込みを行うと、書き込まれたデータがシリアル ROM に対して送信されます。また SFMCOM から読み出しを行うと、シリアル・フラッシュ ROM から 1 バイト分のデータ受信が行われ、その受信データが読み出されます。

SFMCOM に対する書き込みまたは読み出しが行われると、シリアル・フラッシュ ROM に対するチップ・セレクト信号（SMCSZ）がアクティブ状態となり、送信または受信の完了後もシリアル・フラッシュ ROM に対するチップ・セレクト信号（SMCSZ）がアクティブ状態に保たれます。いったんアクティブ状態となったチップ・セレクト信号（SMCSZ）は、後述の SFMCMD レジスタへ任意データの書き込みにより、インアクティブ状態に戻ります。

各社から提供されるシリアル・フラッシュ ROM は、特に書き込みや消去の場面において、コマンドやプロトコルに関する標準化が進んでおらず、デバイス固有の制御が必要となります。R-IN32M4 でシリアル・フラッシュ ROM を利用する場合も、書き込みや消去は、SFMCOM を介したソフトウェア制御が必要です。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SFMCOM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SFMD[7:0]								400A 2410H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W								不定

ビット位置	ビット名	意　味
31-8	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
7-0	SFMD[7:0]	シリアル ROM と直接通信するために、データの入出力を行う通信ポート・レジスタです。 このレジスタへのリード／ライト動作は、SPI バス・サイクルに変換されます。 このレジスタは、直接通信モード（SFMCMD.DCOM = 1）でのみアクセス可能です。ROM アクセス・モード（SFMCMD.DCOM = 0）の場合のアクセスは無視されます。

13.2.6　通信モード制御レジスタ（SFMCMD）

システム・バスと SPI バスとの間の通信方法を選択するためのレジスタです。システム・バスと SPI バスとの間の通信方法には、ROM アクセス・モードと直接通信モードがあります。

ROM アクセス・モードでは、システム・バス・サイクルが自動的に SPI バス・サイクルに変換されるため、通常の ROM と同様に、シリアル ROM の内容を容易に参照可能です。

一方の直接通信モードでは、通信ポート・レジスタ（SFMCOM）への入出力を繰り返すことにより SPI バス・サイクルを組み立て、ソフトウェア制御でシリアル ROM との通信を行います。シリアル ROM への書き込みや消去操作で使用します。

SFMCMD レジスタへ書き込みを行うと、以前の SFMCOM に対するアクセスによってアクティブ状態となったシリアル ROM へのチップ・セレクト信号（SMCSZ）を、インアクティブ状態に戻します。

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-1 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SFMCMD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DCOM	400A 2414H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0000 0000H

ビット位置	ビット名	意　味
31-1	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	DCOM	シリアル ROM との通信モードを選択します。 0：ROM アクセス・モード（ROM アクセスが有効）（初期値） 1：直接通信モード（ROM アクセスは無効）

注意 一般的なシリアル ROM は、書き込みや消去等をデバイス内部で処理している期間、ステータス確認等の一部の処理を除き、読み出し等の要求に応答できません。このため、書き込みや消去等のオペレーションと、プログラム・フェッチやデータ・アクセス通常処理との間の、適切な前後関係の確保はソフトウェア処理に委ねられます。ソフトウェア設計においては、使用するシリアル ROM の仕様に合わせ、適切な処理フローを実現してください。

13.2.7　通信ステータス・レジスタ（SFMCST）

シリアル・フラッシュ ROM との通信状態を示すレジスタです。

SFMCMD.DCOM = 1（直接通信モード）のときに、シリアル・フラッシュ ROM 自体が配置される空間にアクセスすると、エラーが発生し INTSFMC が発生します。

INTSFMC はレベルで発生し、EROMR ビットをクリア（0）することでロー・レベルに戻ります。なお EROMR ビットのセット（1）はできません。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SFMCST	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	EROMR	0	0	0	0	0	0	COMBSY	400A 2418H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0	0	0	0	0	0	R/W	0000 0000H

ビット位置	ビット名	意　味
31-8	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
7	EROMR	直接通信モード中の不正 ROM アクセスの検出状況を示します。 0：異常なし。（初期値） 1：異常あり（直接通信モード期間中の不正 ROM アクセスを検出）。
6-1	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	COMBSY	直接通信による SPI バス・サイクルの処理状態を示します。 0：処理中の SPI バス・サイクルはありません。（初期値） 1：処理中の SPI バス・サイクルが存在します。

注意 EROMR ビットで検出可能な異常は、R-IN32M4 の直接通信用レジスタの操作手順に関するエラーに限定されます。各社から提供される個々のシリアル ROM の仕様や制限事項に関しては、ソフトウェアによる管理が必要となります。

13.2.8　命令コード・レジスタ（SFMSIC）

シリアル ROM のチップ・セレクト信号のタイミングを設定するレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-8 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SFMSIC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SFMCIC7	SFMCIC6	SFMCIC5	SFMCIC4	SFMCIC3	SFMCIC2	SFMCIC1	SFMCIC0	400A 2420H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000 0000H

ビット位置	ビット名	意　味
31-8	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
7-0	SFMCIC	置換用のシリアル ROM 読み出し命令コード

13.2.9　アドレス・モード制御レジスタ（SFMSAC）

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-5, 3-2 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SFMSAC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SFM4BC	0	0	SFMAS1	SFMAS0	400A 2424H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0	0	R/W	R/W	初期値 0000 0002H

ビット位置	ビット名	意　味
31-5	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
4	SFM4BC	4 バイト幅アドレス選択時のデフォルト命令コードを選択します。 0：1 バイト幅アドレス用命令コードを使用しません。（初期値） 1：4 バイト幅アドレス用命令コードを使用します。
3-2	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
1-0	SFMAS1, SFMAS0	シリアル・インタフェースのアドレス幅を選択します。 00：1 バイト 01：2 バイト 10：3 バイト（初期値） 11：4 バイト

13.2.10　ダミー・サイクル制御レジスタ（SFMSDC）

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-16, 5-4 には必ず 0 を設定してください。

(1/2)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SFMSDC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SFMXD7	SFMXD6	SFMXD5	SFMXD4	SFMXD3	SFMXD2	SFMXD1	SFMXD0	SFMXEN	SFMXST	0	0	SFMDN3	SFMDN2	SFMDN1	SFMDN0	400A 2428H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	0	0	R/W	R/W	R/W	R/W	0000 FF00H

ビット位置	ビット名	意　味
31-16	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15-8	SFMXD7-0	命令省略モード指定データを設定します。
7	SFMXEN	命令省略モード許可を設定します。 0：命令省略モード禁止（初期値） 1：命令省略モード許可
6	SFMXST	命令省略ステータス 0：通常（命令非省略）モードで動作中を示します。（初期値） 1：命令省略モードで動作中を示します。
5-4	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-0	SFMDN3-0	Fast Read 系命令のダミー・サイクル数を選択します。

SFMDN3	SFMDN2	SFMDN1	SFMDN0	Fast Read 系命令のダミー・サイクル数
0	0	0	0	命令形式毎のデフォルト・サイクル数 Fast Read　：8*SMSCK Fast Read Dual Output　：8*SMSCK Fast Read Dual I/O　：4*SMSCK Fast Read Quad Output　：8*SMSCK Fast Read Quad I/O　：6*SMSCK
0	0	0	1	3*SMSCK 注
0	0	1	0	4*SMSCK
0	0	1	1	5*SMSCK
0	1	0	0	6*SMSCK
0	1	0	1	7*SMSCK
0	1	1	0	8*SMSCK

次ページに続く

注 SMIO0 端子と接続されたシリアル ROM 端子の入出力切替の競合を回避するために、SFMSMD レジスタの SFMOEX ビットに 1 を設定して信号出力期間を延長する場合には、4*SMSCK サイクル以上のダミー・サイクル数を選択して下さい。

（2/2）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>3-0</td><td>SFMDN3-0</td><td>Fast Read 系命令のダミー・サイクル数を選択します。
<table>
<tr><th>SFMDN3</th><th>SFMDN2</th><th>SFMDN1</th><th>SFMDN0</th><th>Fast Read 系命令のダミー・サイクル数</th></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>9*SMSCK</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>10*SMSCK</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td>11*SMSCK</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td><td>12*SMSCK</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1</td><td>13*SMSCK</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>0</td><td>14*SMSCK</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>15*SMSCK</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>0</td><td>16*SMSCK</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>17*SMSCK</td></tr>
</table></td></tr>
</table>

13.2.11　SPI プロトコル制御レジスタ（SFMSPC）

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-5, 3-2 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SFMSPC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SFMSDE	0	0	SFMSPI1	SFMSPI0	400A 2430H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0	0	R/W	R/W	0000 0010H

ビット位置	ビット名	意　味
31-5	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
4	SFMSDE	Dual SPI プロトコルもしくは Quad SPI プロトコル選択時の入出力切替の最小時間を選択します。 1：1*SMSCK 相当の最小切替時間を確保します。（初期値） 0：最小切替時間を確保しません。
3-2	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
1-0	SFMSPI1, SFMSPI0	SPI プロトコルを選択します。注

SFMSPI1	SFMSPI0	SPI プロトコル
0	0	Extended SPI プロトコル（初期値）
0	1	Dual SPI プロトコル
1	0	Quad SPI プロトコル
1	1	設定禁止

注 シリアル ROM のプロトコル切り替えはソフトウェア制御で行う必要があります。
シリアル・フラッシュ ROM メモリ・コントローラとシリアル ROM のプロトコルを切り替えた後に再初期化を行う可能性がある製品においては、リセット入力が利用できないシリアル ROM の初期化のために、シリアル ROM の電源再投入が必要となります。

13.2.12　ポート・モード制御レジスタ（SFMPMD）

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-3, 1-0 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SFMPMD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SFMWPL	0	0	400A 2434H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0	0	0000 0000H

ビット位置	ビット名	意　味
31-3	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
2	SFMWPL	シリアル ROM デバイスの WP 端子のレベル指定を行います。 1：ハイ・レベル 0：ロー・レベル（初期値）
1-0	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）

13.2.13　データ入力タイミング制御レジスタ（SFMDTC）

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-6, 3-1 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SFMDTC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SFMDCL1	SFMDCL0	0	0	0	SFMDCD	400A 2438H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	0	0	0	R/W	初期値 0000 0000H

ビット位置	ビット名	意　味
31-6	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
5-4	SFMDCL1, SFMDCL0	シリアル・データの受信レイテンシを選択します。
3-1	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	SFMDCD	シリアル・データの受信タイミングを選択します。[注] 1：SMSCK の立ち下がりから 1*HCLK 遅れ 0：SMSCK の立ち下がりと同時

SFMDCL1	SFMDCL0	受信レイテンシ
0	0	受信レイテンシ 1(シリアル ROM 出力の 1*SMSCK 後)（初期値）
0	1	受信レイテンシ 2(シリアル ROM 出力の 2*SMSCK 後)
1	0	受信レイテンシ 3(シリアル ROM 出力の 3*SMSCK 後)
1	1	設定禁止

注 シリアル・フラッシュ ROM メモリ・コントローラのシリアル・データ入力の最小遅延が、SMSCK の立下りから 1*HCLK（内部バスクロック）より短い場合はセットしないで下さい。

13.2.14　バージョン・レジスタ（SFMVER）

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-16 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SFMVER	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SFMVID15	SFMVID14	SFMVID13	SFMVID12	SFMVID11	SFMVID10	SFMVID9	SFMVID8	SFMVID7	SFMVID6	SFMVID5	SFMVID4	SFMVID3	SFMVID2	SFMVID1	SFMVID0	400A 244CH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	初期値 0000 0300H

ビット位置	ビット名	意　味
31-6	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15-0	SFMVID15-0	バージョン情報を示します。

13.3　シリアル・フラッシュ ROM との接続

シリアル・フラッシュ ROM との接続は次のようになります。

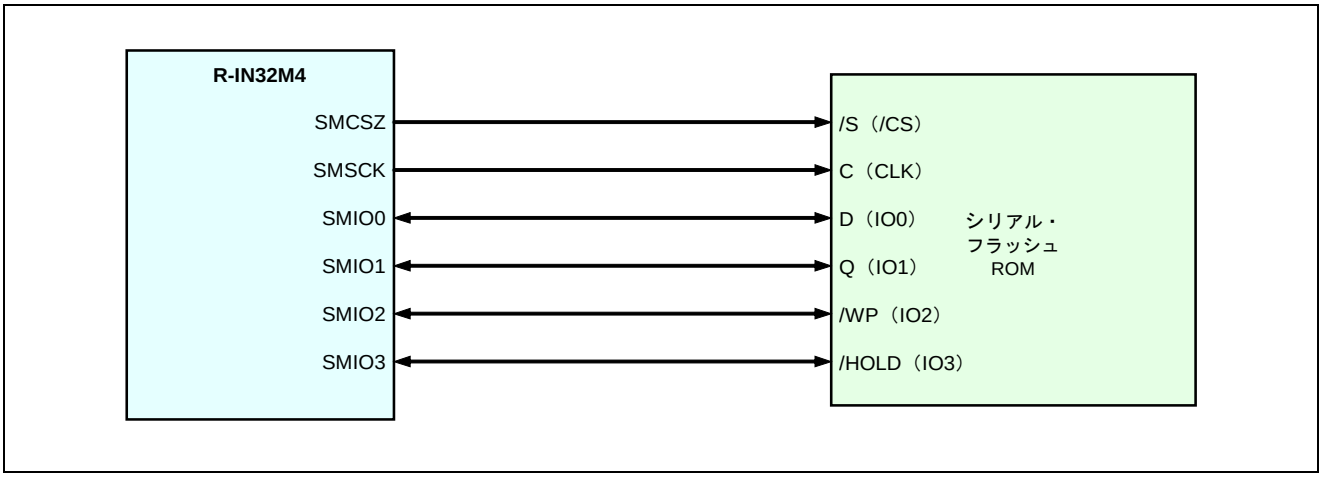


図13.1　　シリアル・フラッシュ ROM との接続図

13.4 動　　作

13.4.1 SPI バス

(1) SPI プロトコル

シリアル ROM の接続に用いる SPI プロトコルとして、Extended SPI、Dual SPI、Quad SPI をサポートします。

SPI プロトコルの初期状態は Extended SPI であり、SFMSPC レジスタの SFMSPI ビットを通して変更することが可能です。

Extended SPI プロトコルでは、命令コードの出力を常に一本の SMIO0 端子から出力し、その後に続くアドレスやデータの入出力を、命令コードの形式に従い 1 本から 4 本の端子を用いて入出力します。

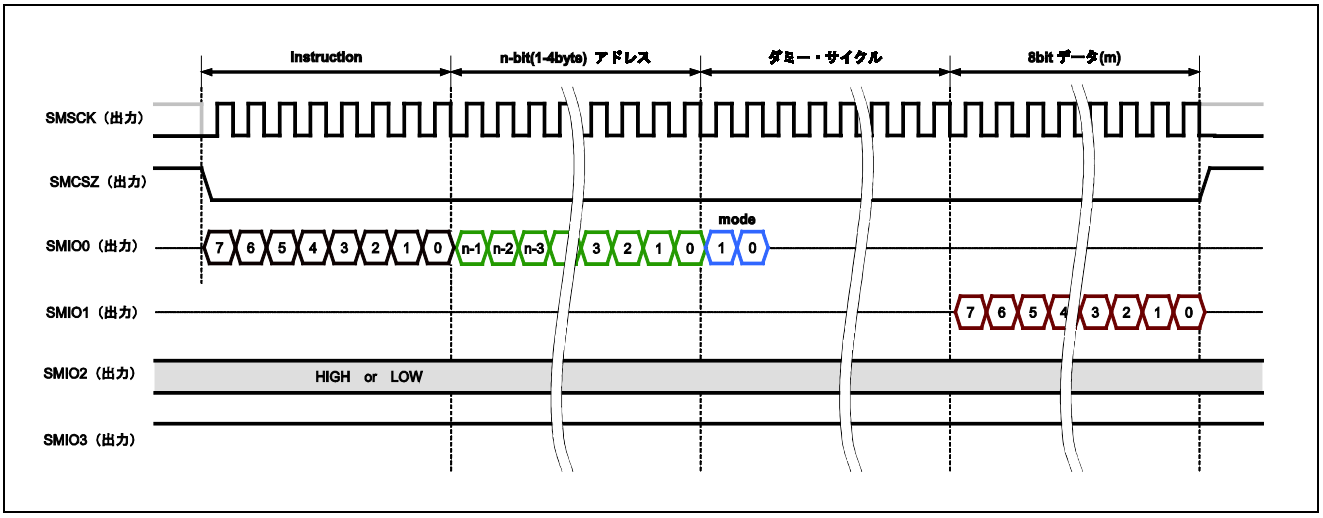


図13.2　Extended SPI プロトコルの例 1（Fast Read）

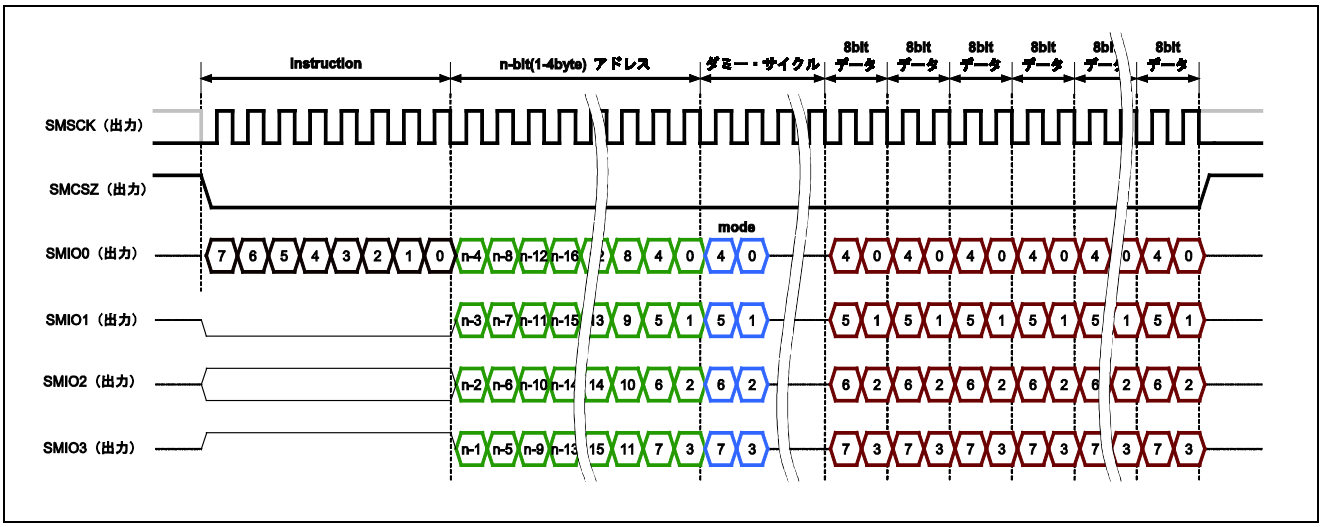


図13.3　Extended SPI プロトコルの例 2（Fast Read Quad I/O）

Dual SPI プロトコルでは、命令コードやアドレスやデータ等の全ての信号の入出力を、SMIO0 と SMIO1 の 2 本の端子を用いて行います。

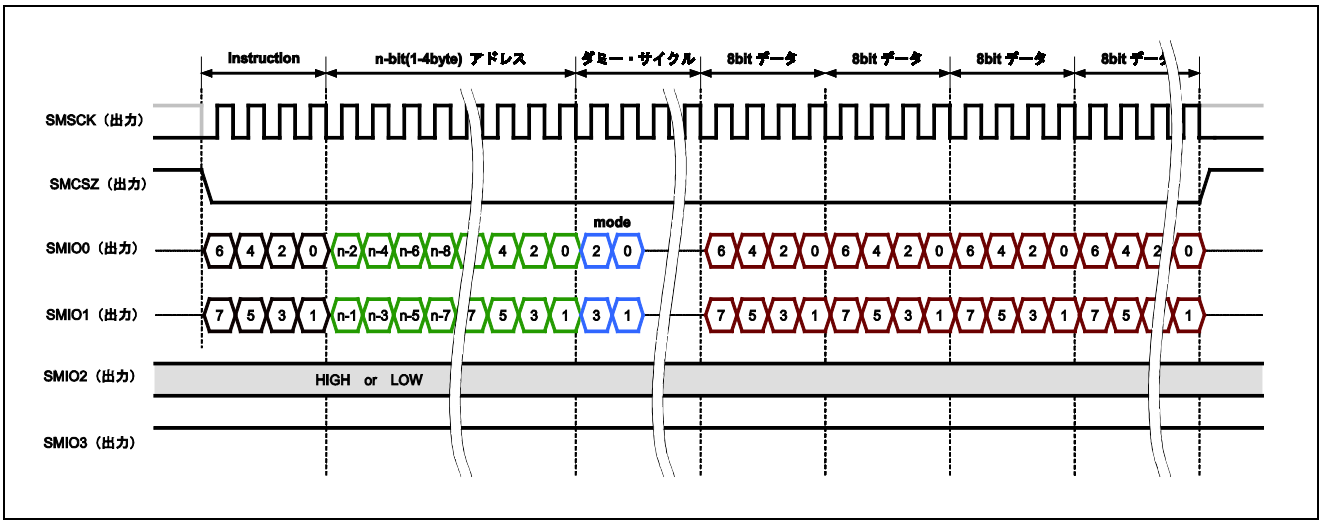


図13.4　Dual SPI プロトコルの例（Fast Read）

Quad SPI プロトコルでは、命令コードやアドレスやデータ等のすべての信号の入出力を、SMIO0 と SMIO1 と SMIO2 と SMIO3 の 4 本の端子を用いて行います。

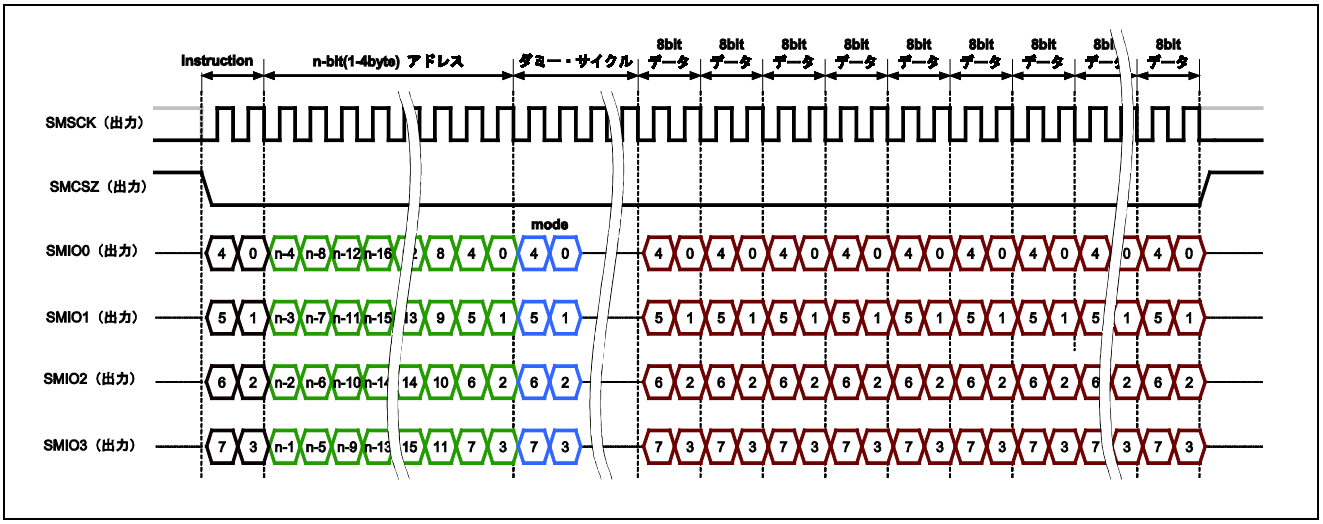


図13.5　Quad SPI プロトコル（Fast Read）

(2) SPI モード

シリアル・フラッシュ ROM メモリ・コントローラは、リセット解除後 SPI モード 3 で動作を開始します。レジスタ設定内容変更によって、動作中に SPI モード 0 と SPI モード 3 とを切り替えられます。

SPI モード 0 と SPI モード 3 との違いは､待機中の SMSCK 信号のレベルです｡SPI モード 0 における SMSCK 信号の待機レベルはロー・レベル、SPI モード 3 における SMSCK 信号の待機レベルはハイ・レベルとなります。

シリアル・データ出力は、シリアル・クロック（SMSCK）の立ち下がりエッジに同期して出力され、シリアル・クロック（SMSCK）の立ち上がりエッジに同期して取り込まれます。

シリアル・データ入力は、シリアル・クロック（SMSCK）の立ち下がりエッジに同期して出力され、次の立ち下がりエッジに同期して取り込まれます。

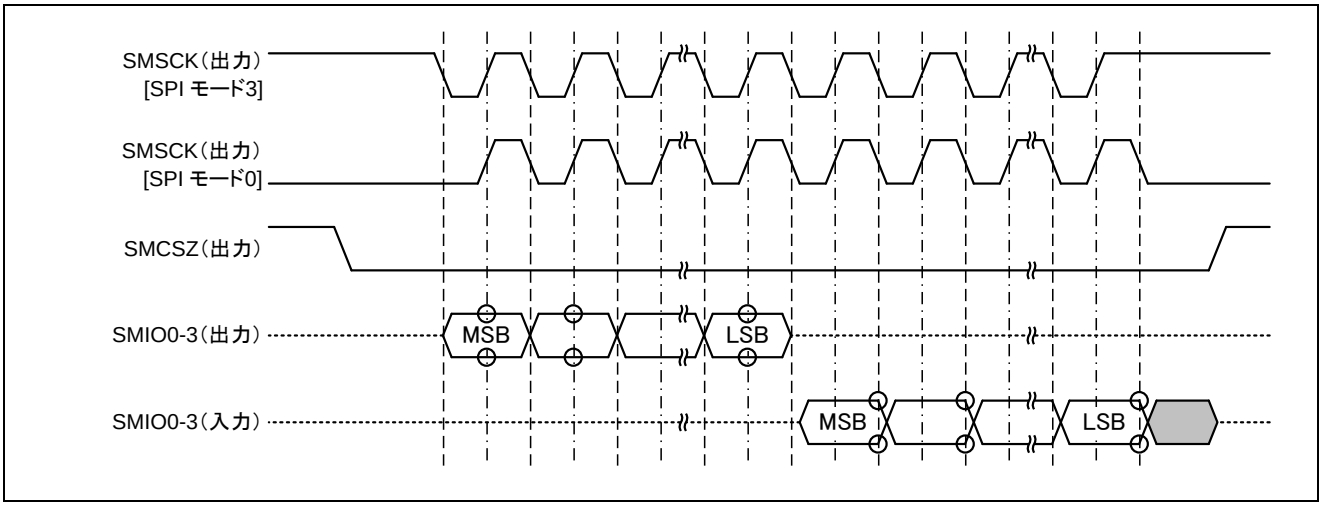


図13.6　SPI バスの基本動作

13.4.2　SPI バスのタイミング調整

SPI バス信号のタイミングを、レジスタ設定によって調整できます。

ここでのタイミング設定内容は、ROM アクセスや直接通信に関わらず、すべての SPI バス・アクセスに適用されます。

(1)　SPI バスの基準周期

SPI バスは、HCLK 周期を整数倍して得られる基準周期に従って動作します。

この基準周期は、SFMSKC.SFMDV4-SFMDV0 にて、HCLK 周期の 2～48 倍の範囲内で選択できます。

(2)　SMSCK 信号のデューティ比

内部システム・バス・クロックの HCLK 周期の偶数倍を基準周期とすると、SMSCK 信号のハイ・レベル幅とロー・レベル幅は等しくなりますが、奇数倍を基準周期とすると、SMSCK 信号のハイ・レベル幅はロー・レベル幅より 1×HCLK だけ長くなります。

HCLK 周期の奇数倍を基準周期とする場合の SMSCK 信号のデューティ比を 50%に近づけるためには、SFMSKC.SFMDTY をセット(1)します。SFMSKC.SFMDTY = 1 の場合、SMSCK 出力信号の立ち上がりを HCLK 半周期分遅らせ、デューティ比 50%相当を実現します。

なお、HCLK 周期の偶数倍を基準周期とする場合には、SFMSKC.SFMDTY の設定内容は無視されます。

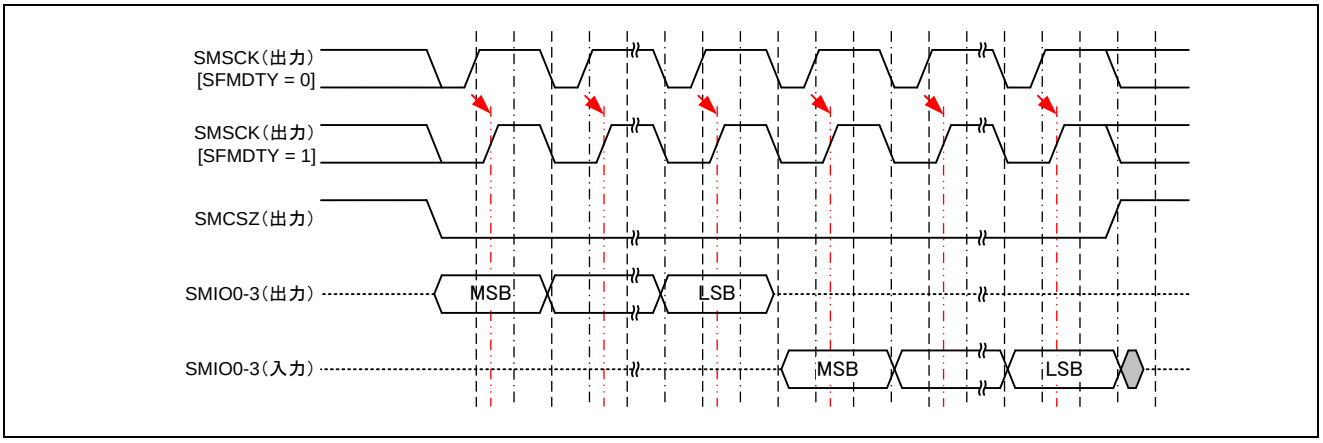


図13.7　SFMDTY ビットによる SMSCK 信号のデューティ比補正（HCLK/3 の例）

(3)　SMCSZ 信号の最小ハイ幅

隣接する SPI バス・サイクル間では、SMCSZ 信号を一定時間以上ハイ・レベル（インアクティブ状態）に保ち、デバイスが要求する非選択時間を満足させる必要があります。

SMCSZ 出力信号の最小ハイ・レベル幅は、SFMSSC.SFMSW3-SFMSW0 で、基準周期の 1-16 倍の範囲内で選択できます。

(4)　SMCSZ 信号のセットアップ時間

SMCSZ 信号をロー・レベルにしてから最初の SMSCK 信号が立ち上がり時に、デバイスが要求する SMCSZ 信号のセットアップ時間を満足させる必要があります。

SMCSZ 信号のセットアップ時間は、SFMSSC.SFMSLD で、0.5×SMSCK と 1.5×SMSCK を選択できます。

なお、SFMSSC.SFMSLD の設定内容は、シリアル・データ出力の出力バッファのイネーブル制御から、最初の SMSCK 信号の立ち上げまでのセットアップ時間確保にも適用されます。

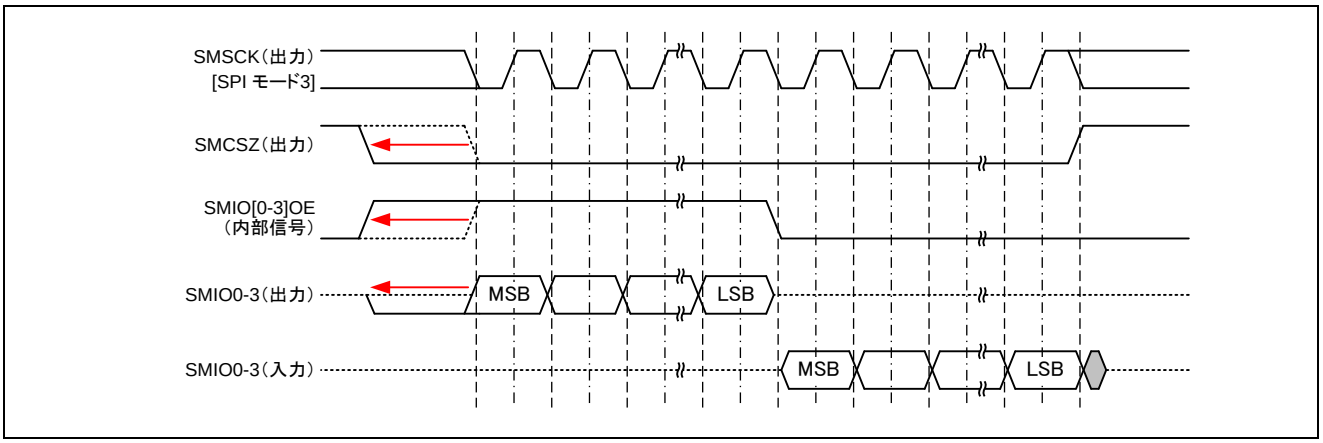


図13.8　　SFMSLD ビットによる SMCSZ 信号のセットアップ時間調整

(5)　SMCSZ 信号のホールド時間

最後の SMSCK 信号の立ち上がりから SMCSZ 信号をハイ・レベルにするときには、シリアル・フラッシュ ROM の SMCSZ 信号のホールド時間を満足させる必要があります。

SMCSZ 信号のホールド時間は、SFMSSC.SFMSHD で、0.5×SMSCK と 1.5×SMSCK を選択できます。

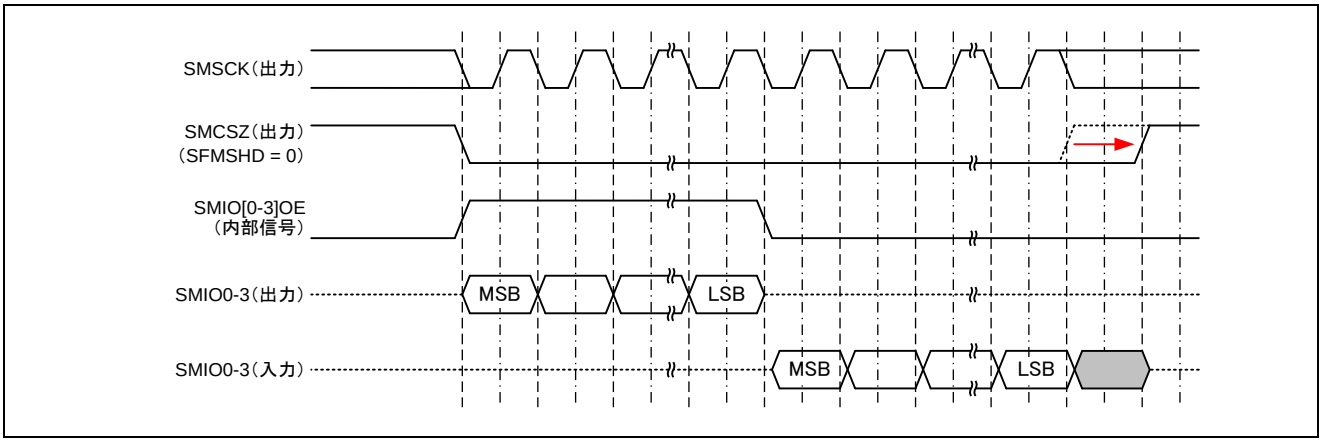


図13.9　　SFMSHD ビットによる SMCSZ 信号のホールド時間調整

(6)　シリアル・データ出力バッファの出力許可時間

SFMSMD.SFMOEX で、SMIO0-3 端子のバッファ出力許可期間を 1×SMSCK 延長できます。

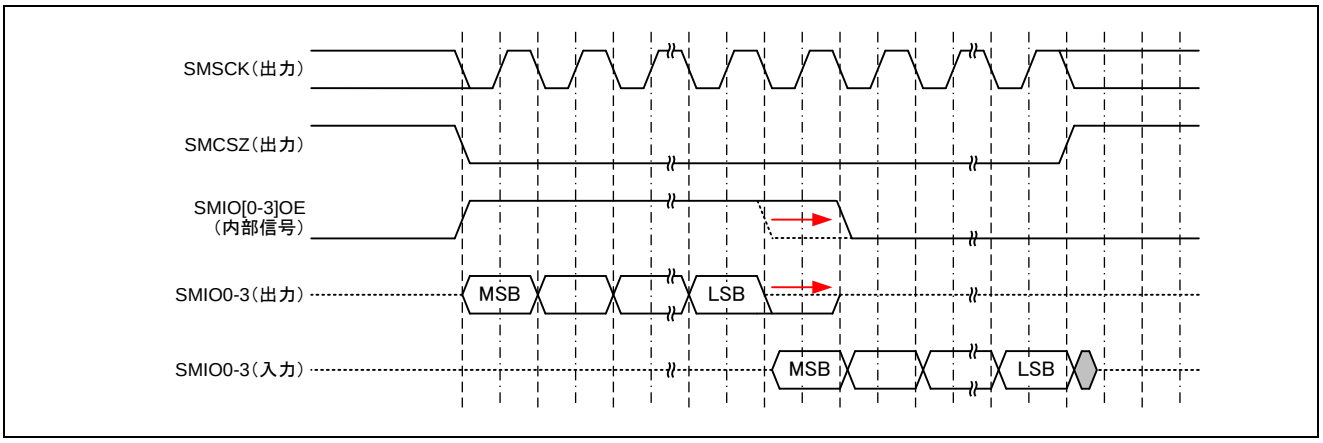


図13.10　SFMOEX ビット設定による出力許可期間の調整

(7)　シリアル・データ出力のセットアップ時間

シリアル・フラッシュ ROM にコマンドやアドレス等を送信する場合、シリアル・データの出力から SMSCK 信号の立ち上がりまでのセットアップ時間を満足させる必要があります。

このセットアップ時間が不足する場合には、SFMSMD.SFMOSW で、シリアル・データの出力から SMSCK 信号の立ち上がりまでの時間を、1×HCLK 延長できます。

SFMOSW ビットをセット（1）すると、データ出力期間でシリアル・データ送信時の SMSCK のロー・レベル幅が 1×HCLK 延長されます。この機能は、シリアル・データ受信では無効です。

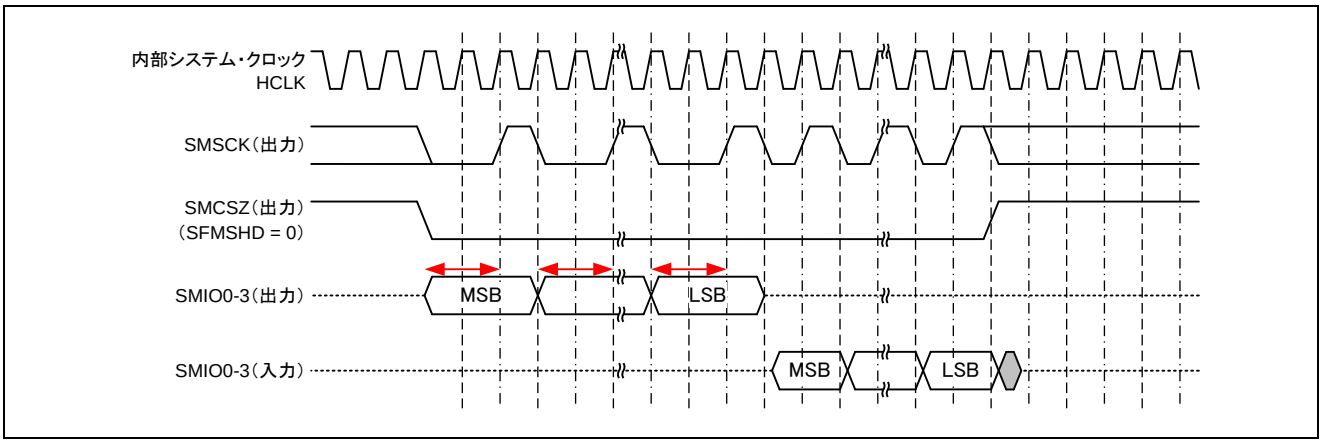


図13.11　SFMOSW ビット設定によるシリアル・データのセットアップ時間調整

(8)　シリアル・データ出力のホールド時間

シリアル・フラッシュ ROM にコマンドやアドレス等を送信する場合、シリアル・データの出力から SMSCK 信号の立ち上がりまでのホールド時間を満足させる必要があります。

このホールド時間が不足する場合には、SFMSMD.SFMOHW で、SMSCK 信号の立ち上がりからシリアル・データの次の変化までの時間を、1×HCLK 延長できます。

SFMOHW ビットをセット（1）すると、データを出力する期間で、シリアル・データ送信時の SMSCK のハイ・レベル幅が 1×HCLK 延長されます。この機能は、シリアル・データ受信では無効です。

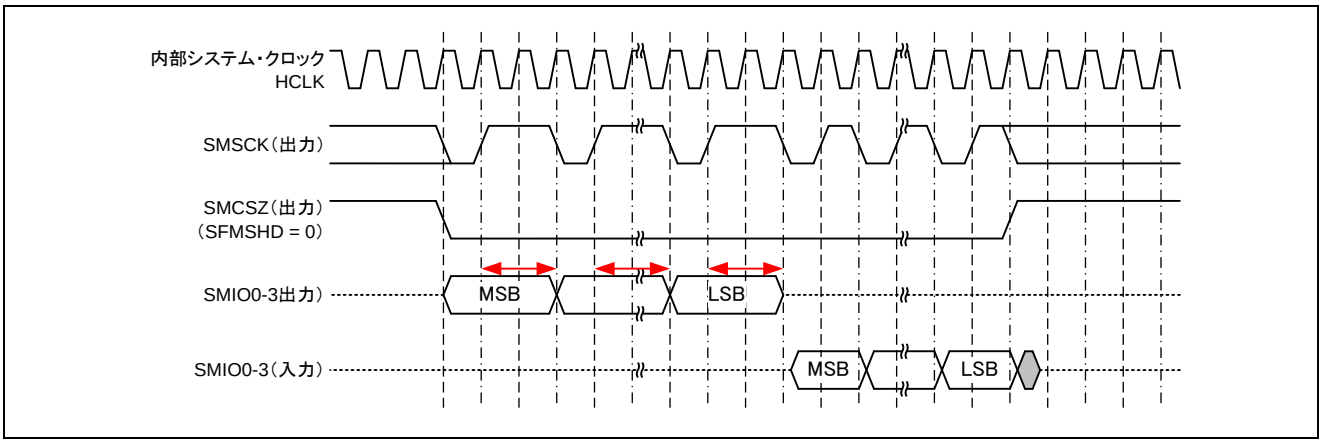


図13.12　SFMOHW ビット設定によるシリアル・データのホールド時間調整

(9)　シリアル・データの受信レイテンシ

シリアル ROM が SMSCK 信号の立下りに同期して出力したデータを、後続の SMSCK 信号の立下りに同期して受信します。シリアル ROM がデータを出力開始してから、データを受信するまでの遅延を、受信レイテンシと呼び、SFMDTC レジスタの SFMDCL[1:0]ビットを通して、シリアル ROM 出力の 3×SMSCK 後～1×SMSCK 後を選択することができます。

1×SMSCK 後以外の受信レイテンシを選択すると、SPI バス・サイクルにおける最初のデータ受信サイクルの直前に、レイテンシ調整用の追加サイクルが挿入されます。この動作は、シリアル ROM 側からはデータ受信のサイクル数増加として観測されます。

このレイテンシ調整用の追加サイクルは、データ受信を伴わない SPI バス・サイクルでは発生しません。

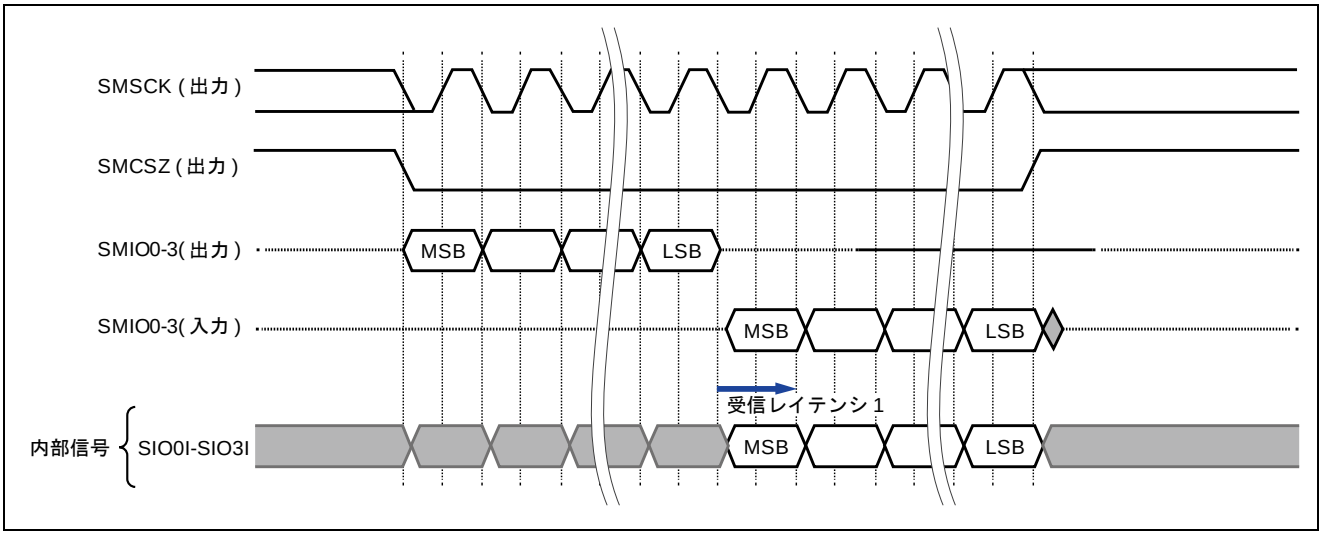


図13.13　受信レイテンシ 1（SFMDCL[1:0] = 00）

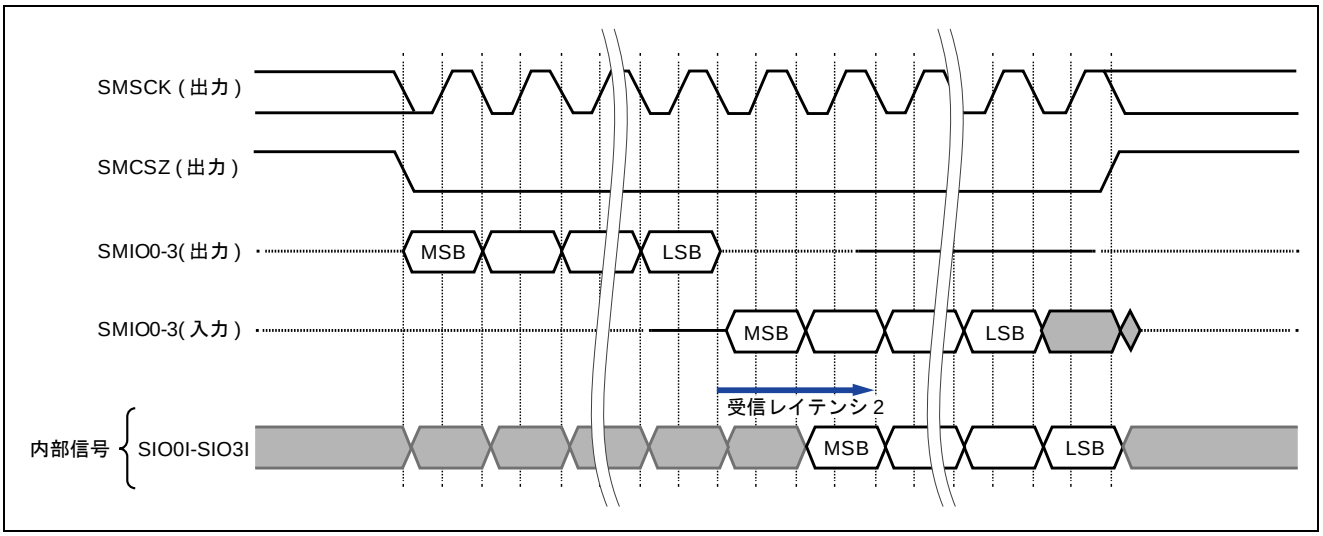


図13.14　受信レイテンシ 2（SFMDCL[1:0] = 01）

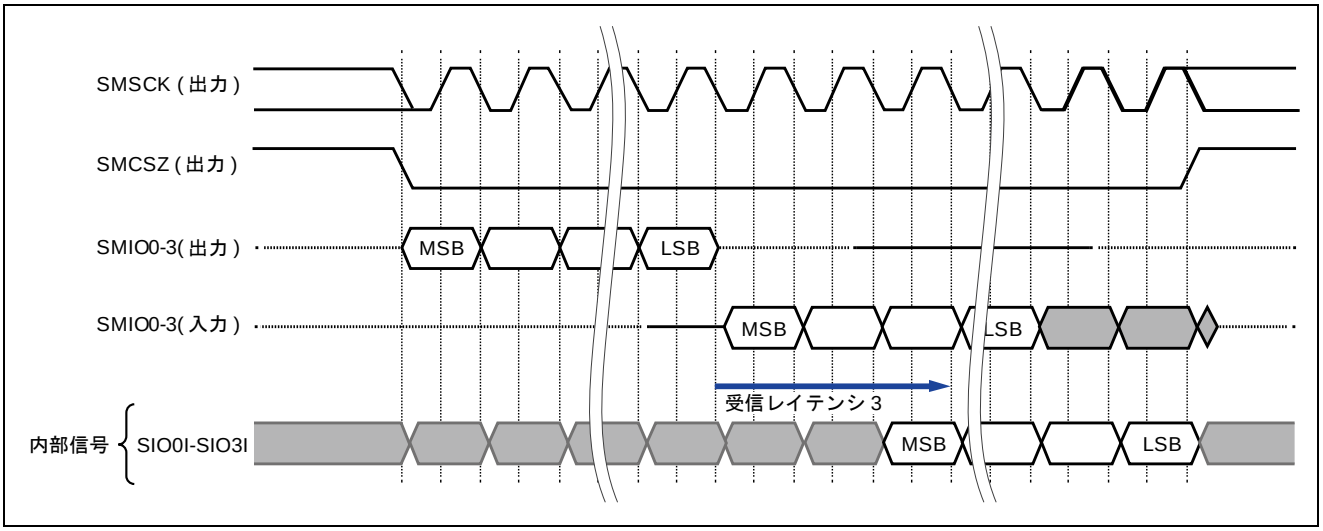


図13.15　受信レイテンシ 3（SFMDCL[1:0] = 10）

注意 本文書中のタイミング図は、特に断り書きが無い場合、受信レイテンシ 1 の動作タイミングを表しています。1 以外の受信レイテンシを選択した場合には、SFMSMD.SFMPAE が 0 に設定されていても、シリアル ROM に対してバイト境界以外で受信動作の中断が発生し得ます。

13.4.3　シリアル・フラッシュ ROM アクセスで用いる SPI 命令セット

(1)　自動生成される SPI 命令の種類

シリアル・フラッシュ ROM に対するアクセスが行われると、SFMSMD レジスタの設定内容に応じ、以下の命令を用いた SPI バス・サイクルを自動生成します。

またリセット解除時には、一定時間経過後、Deep Power-Down 解除のための命令を自動発行します。

表13.2　自動生成される SPI 命令セット

命令	命令コード	アドレス・バイト数	ダミー・データ数	データ・バイト数	SFMSMD レジスタの SFMRM ビットの設定
標準 Read	03H	3	–	1～∞	SFMRM[2:0] = 000B
Fast Read	0BH	3	1	1～∞	SFMRM[2:0] = 001B
Fast Read Dual Output	3BH	3	1	1～∞	SFMRM[2:0] = 010B
Fast Read Dual I/O	BBH	3	1	1～∞	SFMRM[2:0] = 011B
Fast Read Quad Output	6BH	3	1	1～∞	SFMRM[2:0] = 100B
Fast Read Quad I/O	EBH	3	1	1～∞	SFMRM[2:0] = 101B
Release from Deep Power-Down	ABH	–	–	–	–
Write Enable	06H	–	–	–	–
Exit 4-byte mode	E9H	–	–	–	–

(2)　標準 Read 命令

標準 Read は、大多数のシリアル・フラッシュ ROM でサポートされる共通の読み出し方式です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして 03H が出力され、続いて 24 ビットのアドレスを送信し、その後にデータの受信を行います。

初期状態では、この標準 Read が選択されています。

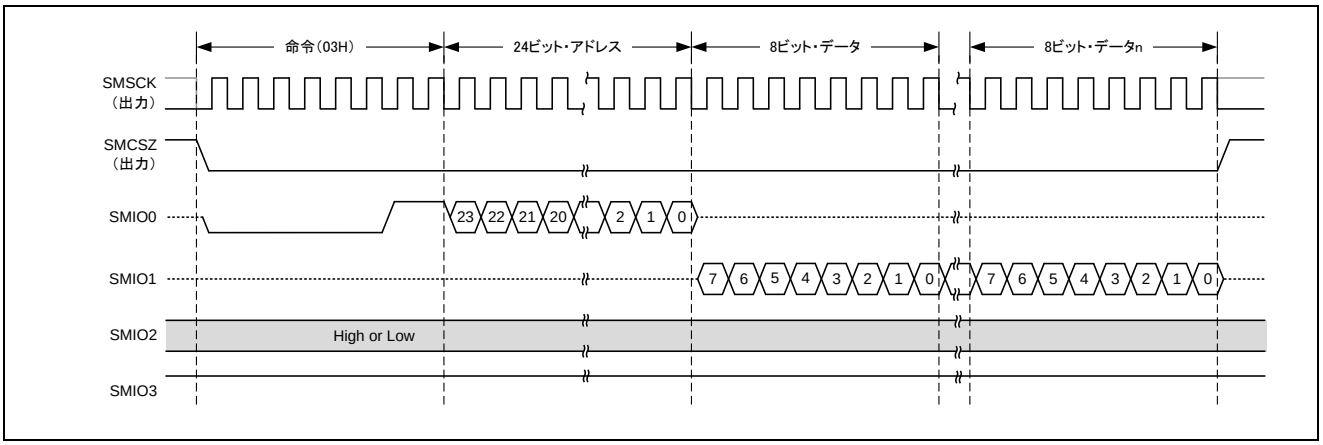


図13.16　標準 Read バス・サイクル

(3) Fast Read 命令

Fast Read は、標準 Read よりも高い通信クロック速度に対応した読み出し方式です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして 0BH が出力され、続いて 24 ビットのアドレスと 1 バイトのダミー・バイトを送信し、その後にデータの受信が続きます。

ダミー・サイクルの最初の 2 サイクルは命令省略モード選択に用いられます。命令省略モードが選択されると、今回と同じ命令が次回の SPI バス・サイクルにも適用され、次回の SPI バス・サイクルの命令コード送出が省略されます。命令省略モードの詳細については「13.4.6. 命令省略モード制御」を参照して下さい。

Fast Read への切り替えは、SFMSMD.SFMRM2, SFMSMD.SFMRM1, SFMSMD.SFMRM0 で行います。

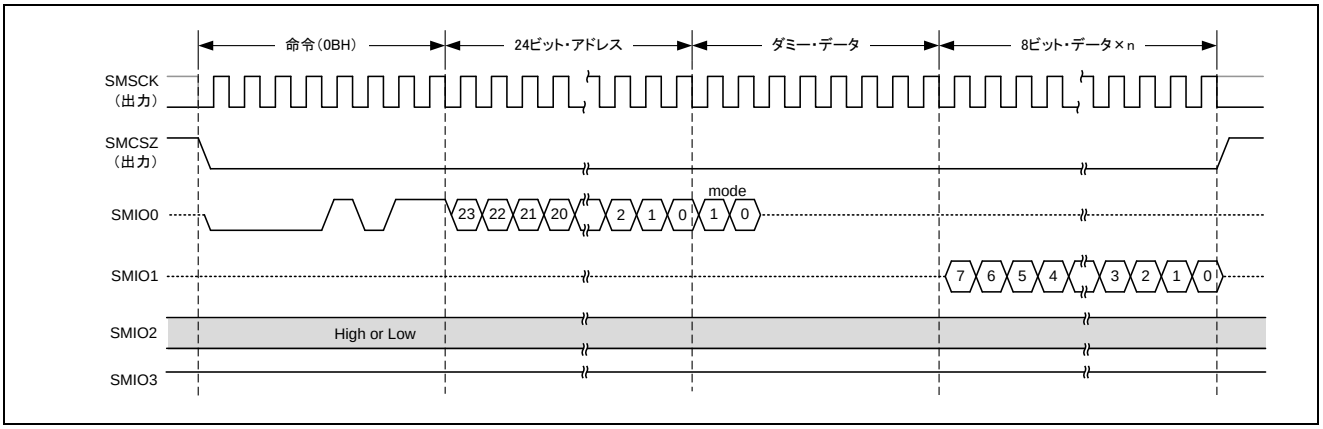


図13.17　Fast Read バス・サイクル

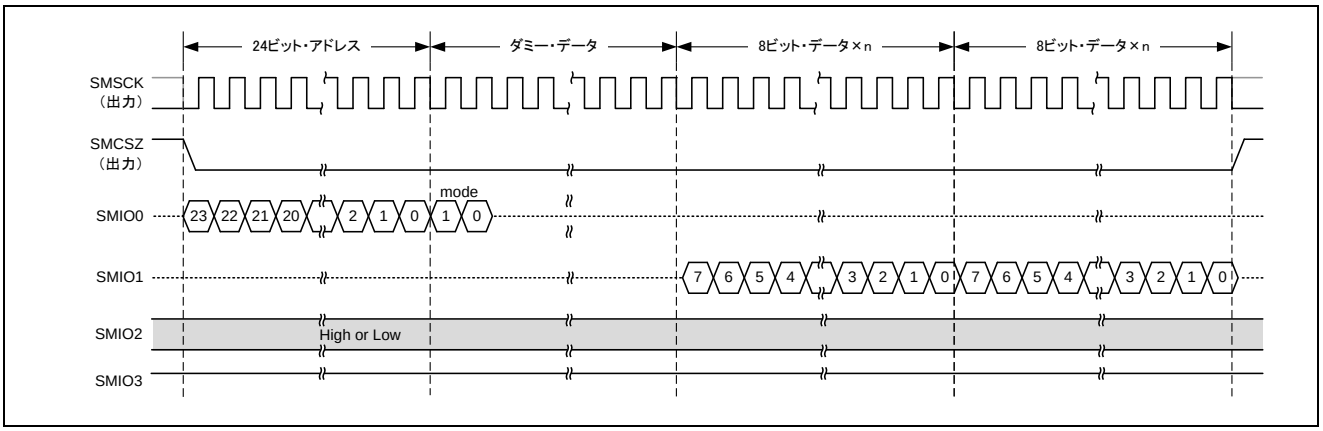


図13.18　Fast Read バス・サイクル（命令省略モード時）

注意 Fast Read は、Fast Read に対応したシリアル・フラッシュ ROM に対してのみ行ってください。

(4)　Fast Read Dual Output 命令

Fast Read Dual Output は、2 本の信号線を用いてデータの受信を行う読み出し方式です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして 3BH を出力し、続いて 24 ビットのアドレスと 1 バイトのダミー・バイトを送信し、その後 SMIO0 端子と SMIO1 端子の両方を利用して受信を行います。データは、偶数ビットを SMIO0 端子から、奇数ビットを SMIO1 端子から受信します。

ダミー・サイクルの最初の 2 サイクルは命令省略モード選択に用いられます。命令省略モードが選択されると、今回と同じ命令が次回の SPI バス・サイクルにも適用され、次回の SPI バス・サイクルの命令コード送出が省略されます。命令省略モードの詳細については「13.4.6. 命令省略モード制御」を参照して下さい。

Fast Read Dual Output への切り替えは、SFMSMD.SFMRM2, SFMSMD.SFMRM1, SFMSMD.SFMRM0 で行います。

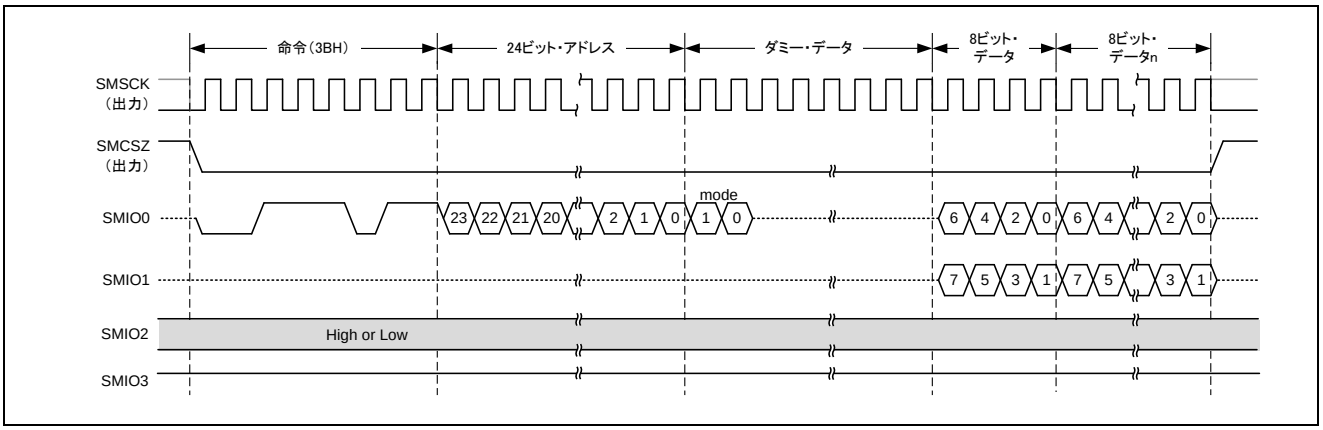


図13.19　Fast Read Dual Output バス・サイクル

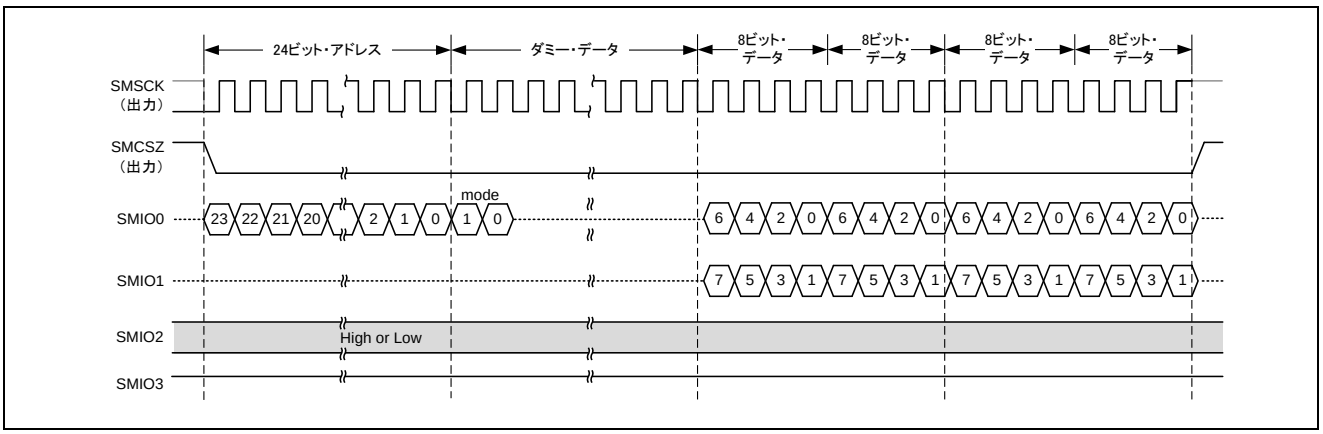


図13.20　Fast Read Dual Output バス・サイクル（命令省略モード時）

注意 Fast Read Dual Output は、Fast Read Dual Output に対応したシリアル・フラッシュ ROM に対してのみ行ってください。

(5)　Fast Read Dual I/O 命令

Fast Read Dual I/O 転送は、アドレス送信とデータ受信に 2 本の信号線を用いる読み出し方式です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして BBH を出力し、続いて 24 ビットのアドレスと 1 バイトのダミー･バイトを SMIO0 端子と SMIO1 端子で送信し､その後 SMIO0 端子と SMIO1 端子でデータの受信を行います。アドレスとダミー・データの送信およびデータの受信は、偶数ビットは SMIO0 端子を通して、奇数ビットは SMIO1 端子を使用します。

ダミー・サイクルの最初の 2 サイクルは命令省略モード選択に用いられます。命令省略モードが選択されると、今回と同じ命令が次回の SPI バス・サイクルにも適用され、次回の SPI バス・サイクルの命令コード送出が省略されます。命令省略モードの詳細については「13.4.6. 命令省略モード制御」を参照して下さい。

Fast Read Dual I/O への切り替えは､SFMSMD.SFMRM2, SFMSMD.SFMRM1, SFMSMD.SFMRM0 で行います。

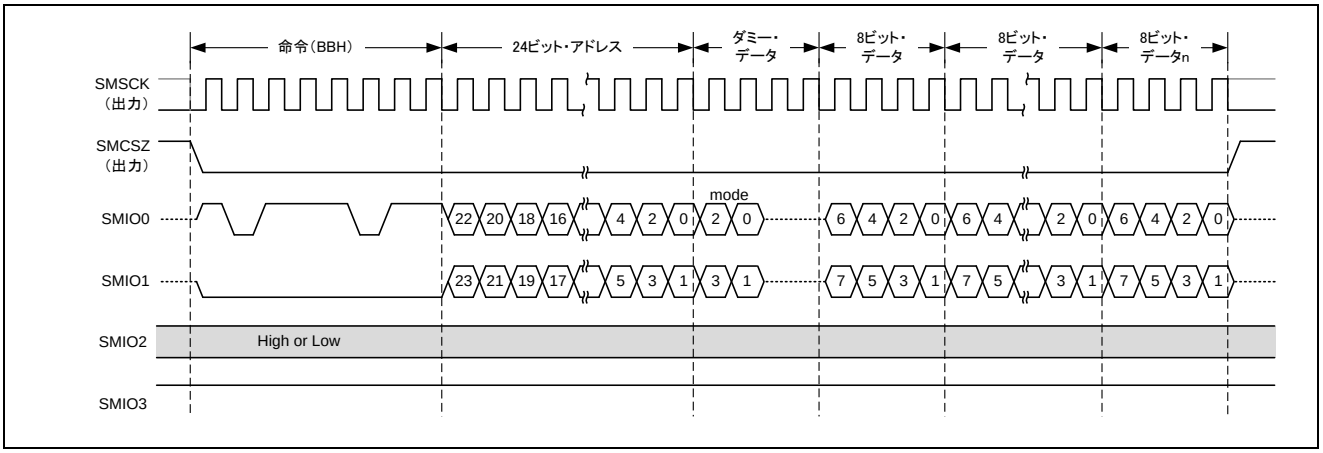


図13.21　Fast Read Dual I/O バス・サイクル

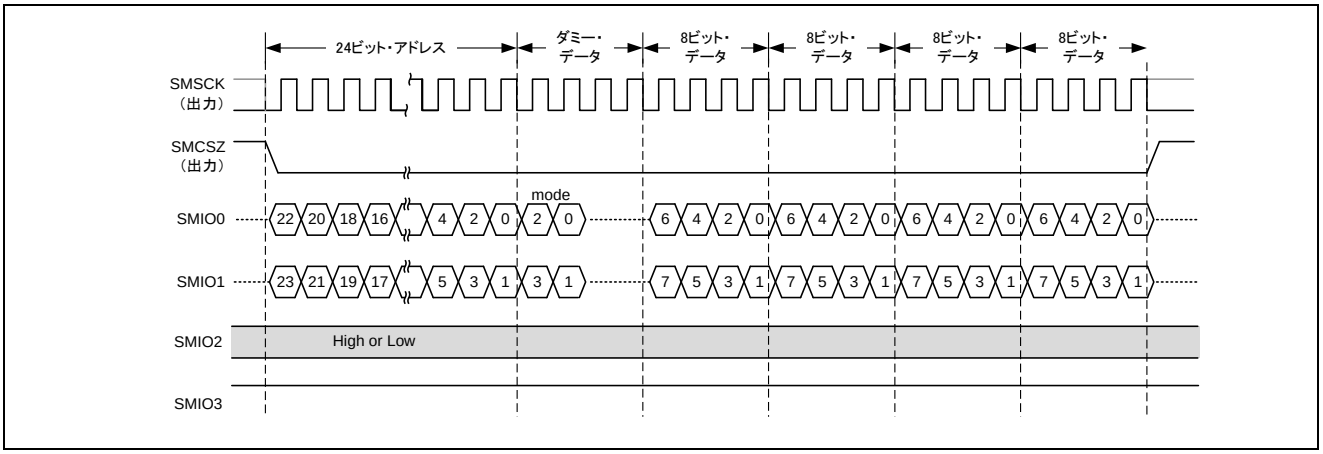


図13.22　Fast Read Dual I/O バス・サイクル（命令省略モード時）

注意 Fast Read Dual I/O は、Fast Read Dual I/O に対応したシリアル・フラッシュ ROM に対してのみ行ってください。

(6) Fast Read Quad Output 命令

Fast Read Quad Output は、4 本の信号線を用いてデータの受信を行う読み出し方式です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして 6BH を出力し、続いて 24 ビットのアドレスと 1 バイトのダミー･バイトを SMIO0 端子で送信し､その後 SMIO0 端子と SMIO1 端子と SMIO2 端子と SMIO3 端子でデータの受信を行います。

ダミー・サイクルの最初の 2 サイクルは命令省略モード選択に用いられます。命令省略モードが選択されると、今回と同じ命令が次回の SPI バス・サイクルにも適用され、次回の SPI バス・サイクルの命令コード送出が省略されます。命令省略モードの詳細については「13.4.6. 命令省略モード制御」を参照して下さい。

Fast Read Quad Output への切り替えは、SFMSMD.SFMRM2, SFMSMD.SFMRM1, SFMSMD.SFMRM0 で行います。

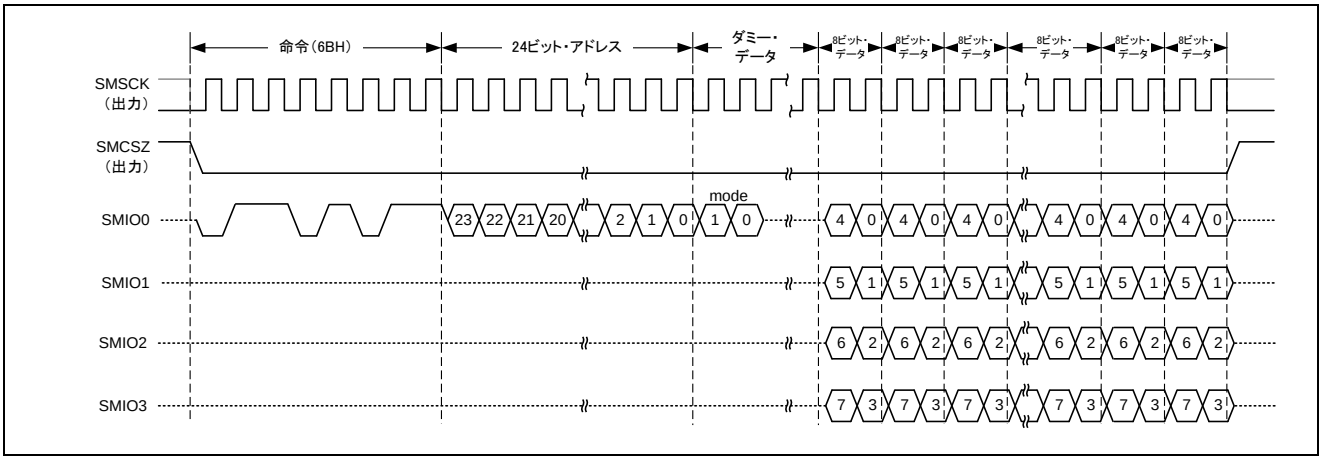


図13.23　Fast Read Quad Output バス・サイクル

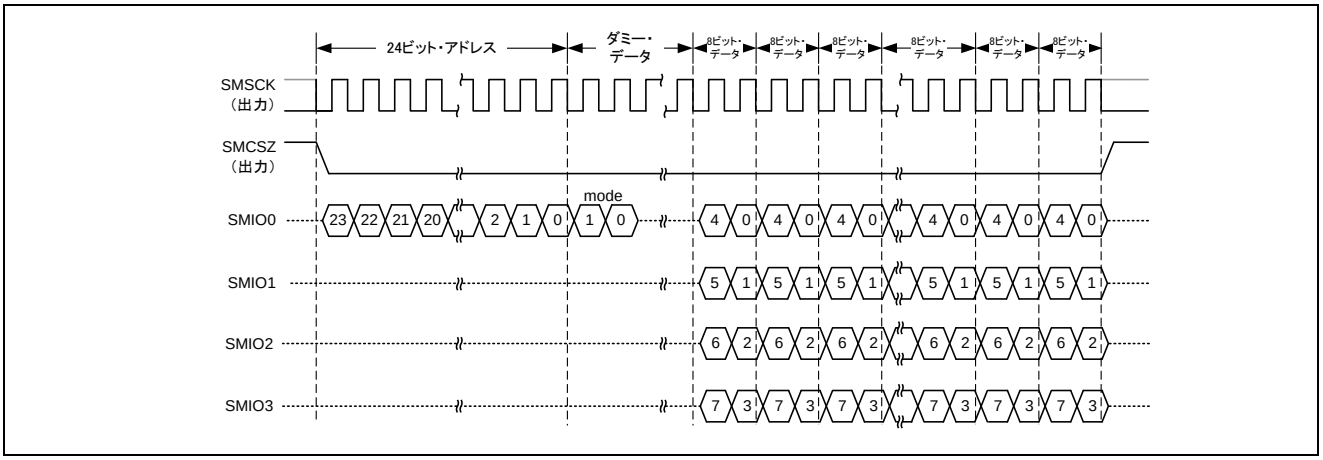


図13.24　Fast Read Quad Output バス・サイクル（命令省略モード時）

注意 Fast Read Quad Output は、Fast Read Quad Output に対応したシリアル・フラッシュ ROM に対してのみ行ってください。

(7)　Fast Read Quad I/O 命令

Fast Read Quad I/O は、アドレス送信とデータ受信に 4 本の信号線を用いる読み出し方式です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして EBH を出力し、続いて 24 ビットのアドレスと 1 バイトのダミー･バイトを SMIO0 端子と SMIO1 端子と SMIO2 端子と SMIO3 端子で送信し、その後 SMIO0 端子と SMIO1 端子と SMIO2 端子と SMIO3 端子でデータの受信を行います。

ダミー・サイクルの最初の 2 サイクルは命令省略モード選択に用いられます。命令省略モードが選択されると、今回と同じ命令が次回の SPI バス・サイクルにも適用され、次回の SPI バス・サイクルの命令コード送出が省略されます。命令省略モードの詳細については「13.4.6. 命令省略モード制御」を参照して下さい。

Fast Read Quad I/O への切り替えは、SFMSMD.SFMRM2, SFMSMD.SFMRM1, SFMSMD.SFMRM0 で行います。

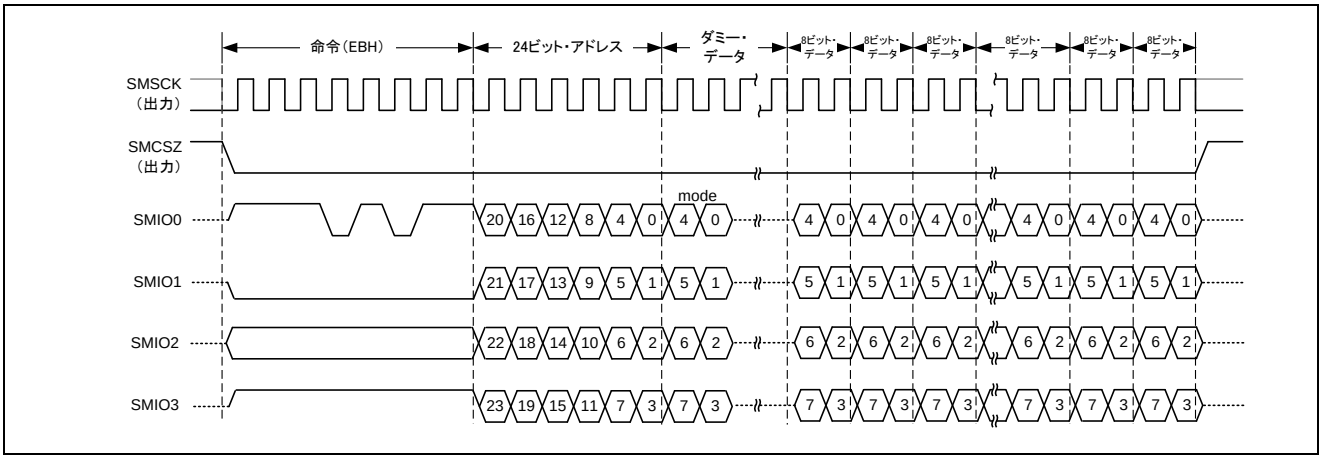


図13.25　Fast Read Quad I/O バス・サイクル

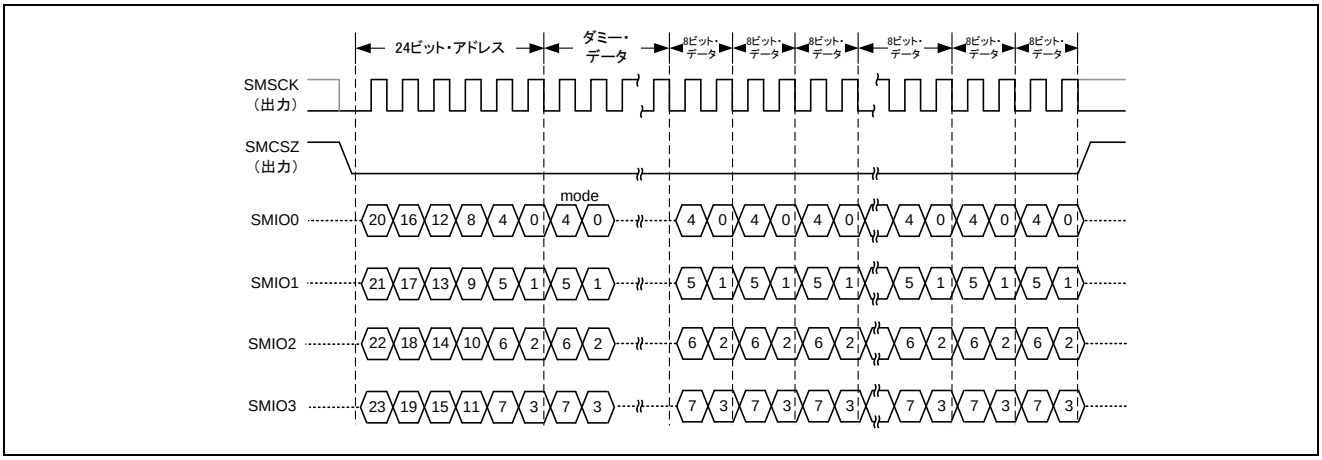


図13.26　Fast Read Quad I/O バス・サイクル（命令省略モード時）

注意 Fast Read Quad I/O は、Fast Read Quad I/O に対応したシリアル･フラッシュ ROM に対してのみ行ってください。

(8)　Release from Deep Power-Down 命令

シリアル・フラッシュ ROM を Deep Power-Down 状態から復帰させるための命令です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして ABH を出力します。

Release from Deep Power-Down 命令は、リセット解除後に自動発行されます。

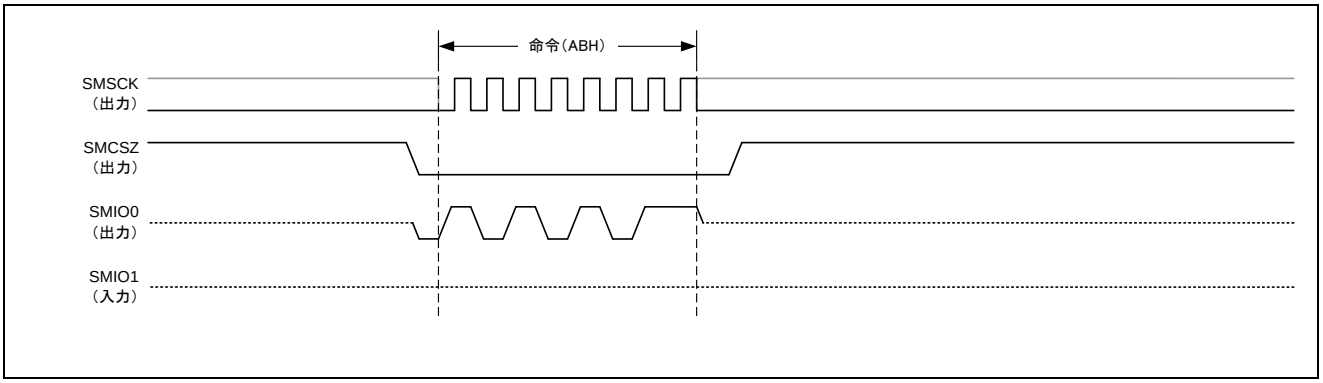


図13.27　Release from Deep Power-Down バス・サイクル

(9)　Enter 4-byte mode 命令

シリアル ROM のアドレス幅を 4 バイトに設定するための命令です。

SPI バス・サイクルが始まると、シリアル・デバイス選択信号がアクティブとなり、命令コード（B7H）を出力します。

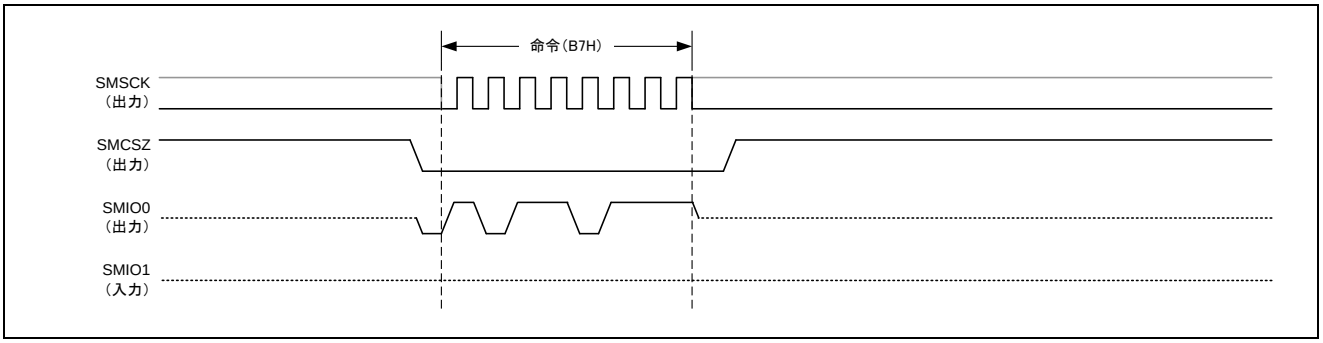


図13.28　Exit 4-byte mode バス・サイクル

(10) Exit 4-byte mode 命令

シリアル・フラッシュ ROM のアドレス幅を 3 バイトに設定するための命令です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして E9H を出力します。

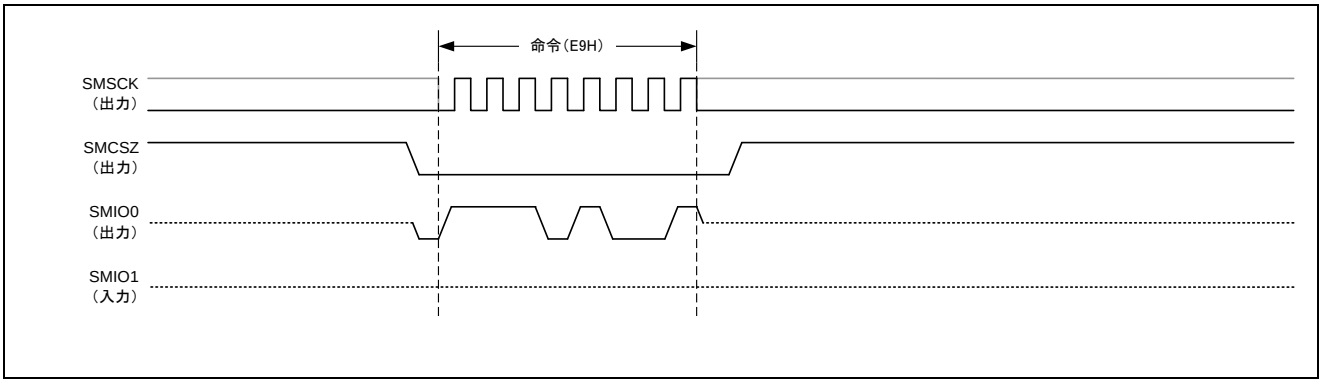


図13.29　Exit 4-byte mode バス・サイクル

(11) Write Enable 命令

シリアル・フラッシュ ROM のアドレス幅を変更する前に、変更の許可を行うための命令です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして 06H を出力します。

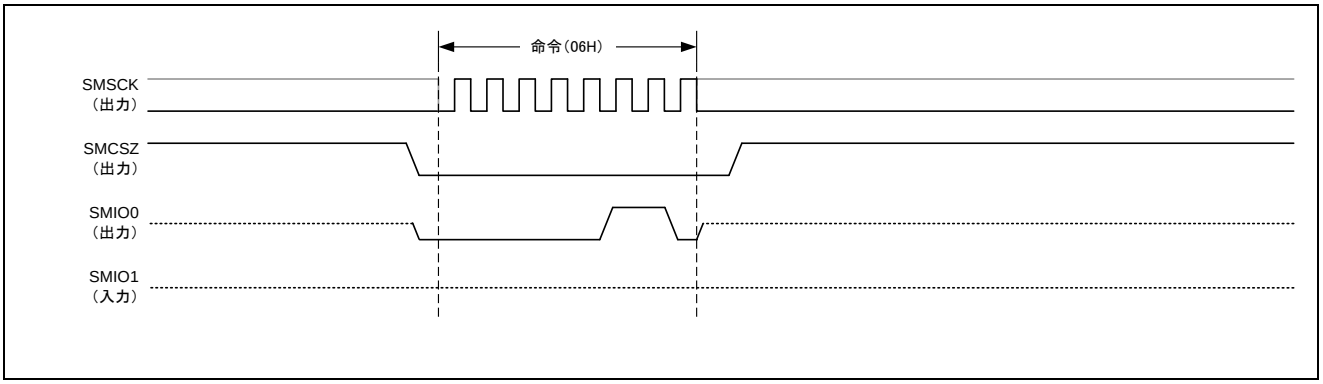


図13.30　Write Enable バス・サイクル

13.4.4　SPI バス・サイクルのアレンジ

(1)　個別変換による ROM 読み出し

内部システム・バスのシリアル・フラッシュ ROM 読み出しサイクルを、1 対 1 の関係で、個別に SPI バス・サイクルに変換します。

シリアル・フラッシュ ROM 読み出しバス・サイクルを検出すると、SMCSZ 信号がアクティブ状態となり、SPI バス・サイクルが始まります。シリアル・フラッシュ ROM から必要なデータの受信を取得すると、SMCSZ 信号がインアクティブ状態となり SPI バス・サイクルが完了します。

その後、次のシリアル・フラッシュ ROM 読み出しバス・サイクルを検出すると、SMCSZ 信号の最小ハイ・レベル幅を確保した上で、再び SMCSZ 信号がアクティブ状態となり、新たな SPI バス・サイクルが起動されます。

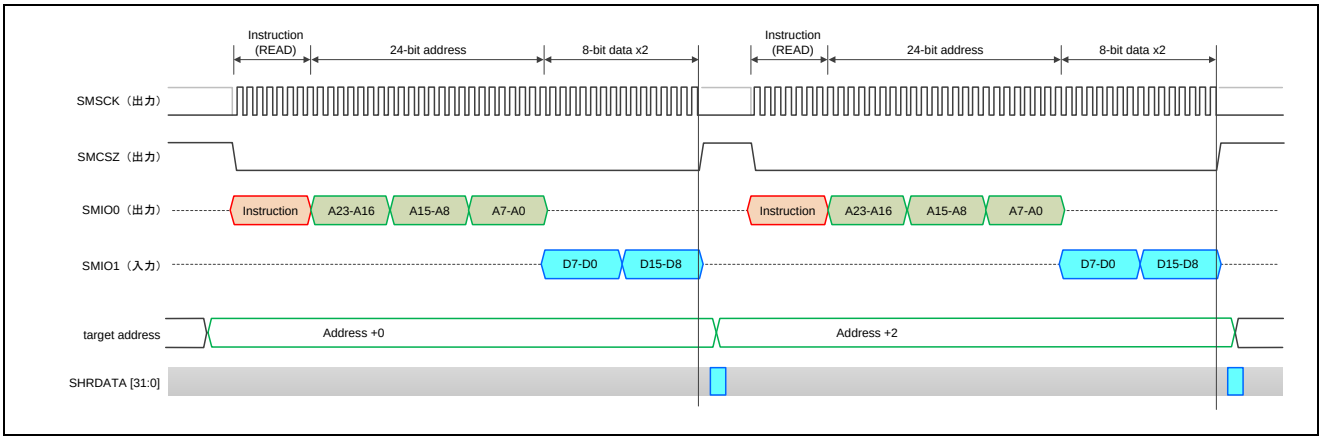


図13.31　個別変換による連続データ読み出し

(2)　プリフェッチ機能を用いた ROM 読み出し

CPU の命令実行やブロック・データの転送等の場面では、連続したアドレスから ROM が読み出される機会が多くなります。

シリアル・フラッシュ ROM には、命令コードやアドレスを再発行することなく、データ受信を繰り返す機能が備わっていますが、CPU が発行するバス・サイクルを個別に変換した場合、SPI バス・サイクルが分断されるため、シリアル・フラッシュ ROM を効率よく利用できません。

R-IN32M4 のシリアル・フラッシュ ROM メモリ・コントローラにはプリフェッチ機能が搭載されており、SFMSMD.SFMPFE をセット（1）することでプリフェッチが許可されます。

プリフェッチ機能が許可されると、次の ROM 読み出し要求を待つことなく、直前の ROM 読み出しから連続したデータを継続受信してバッファに蓄えます。次に CPU から ROM 読み出しが行われると、アドレスの照合を行い、アドレスが一致すればバッファ内部のデータを CPU に引き渡し、アドレスが一致しなければバッファ内部のデータを破棄し、新たな SPI バス・サイクルを発行します。

プリフェッチ用のバッファのサイズは 18 バイトです。このバッファがフルになると、いったん SPI バス・サイクルを終了しますが、その後バッファ中のデータが読み出されバッファに空きができると、自動的に新たな SPI バス・サイクルを開始し、プリフェッチを継続します。

プリフェッチ機能を用いると、命令のフェッチやブロック・データの転送のように、連続したアドレスから間隔を空けずにデータを読み出すような場面において、効率のよい転送を実現できます。

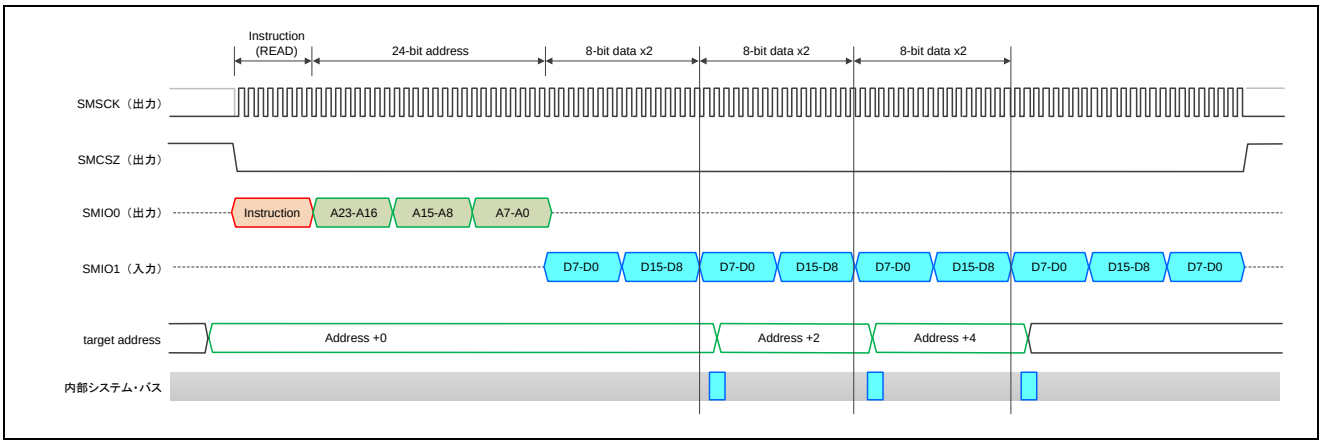


図13.32　プリフェッチ機能を用いた連続データ読み出し

(3)　プリフェッチの中断

プリフェッチのためのシリアル転送を行っている途中で、別のアドレスへの ROM 読み出しバス・サイクルが発生すると、不要となった現在のシリアル転送を中断し、新たな SPI バス・サイクルを開始します。

通常、このようなシリアル転送の中断はデータ受信のバイト境界で行いますが、SFMSMD.SFMPAE がセット（1）されていると、バイト境界以外の部分でも中断を受け付けます。ただし、使用するシリアル・フラッシュ ROM がバイト境界外での中断に対応している必要があります。

(4)　SPI バス・サイクル延長機能を用いた ROM 読み出し

SFMSMD.SFMSE1, SFMSMD.SFMSE0 に 00B 以外の値を設定すると、シリアル・フラッシュ ROM からデータを取得したあとも、SMSCK 信号を停止し SMCSZ 信号をロー・レベルに保ち、SPI バス・サイクルを保留したまま次の ROM 読み出しを待ちます。

もし、次の ROM 読み出しが前回と連続したアドレスであれば、SMSCK 信号のトグルを再開し、後続のデータ受信を継続します。もし、次の ROM 読み出しが前回と連続しないアドレスであれば、いったん SMCSZ 信号をハイ・レベルに戻して保留中の SPI バス・サイクルを完了させ、その後に新たな SPI バス・サイクルを開始します。

この機能を用いれば、連続したアドレスから間欠的にデータを読み出すような場面において、命令コードやアドレス送信のためのオーバーヘッドを削減し、効率のよい転送を実現できます。

SPI バス・サイクルの延長時間は、SFMSMD.SFMSE1, SFMSMD.SFMSE0 で設定します。初期値では SMCSZ 信号を最長 33 シリアル・クロック分延長します。指定された延長時間が経過すると、SMCSZ 信号をハイ・レベルに戻し、保留中の SPI バス・サイクルを自動的に完了させます。

なお、SFMSMD.SFMSE1 = 1, SFMSMD.SFMSE0 = 1 の場合は、SMCSZ 信号が無期限に延長されますので、シリアル・フラッシュ ROM の消費電力の増加に注意が必要です。

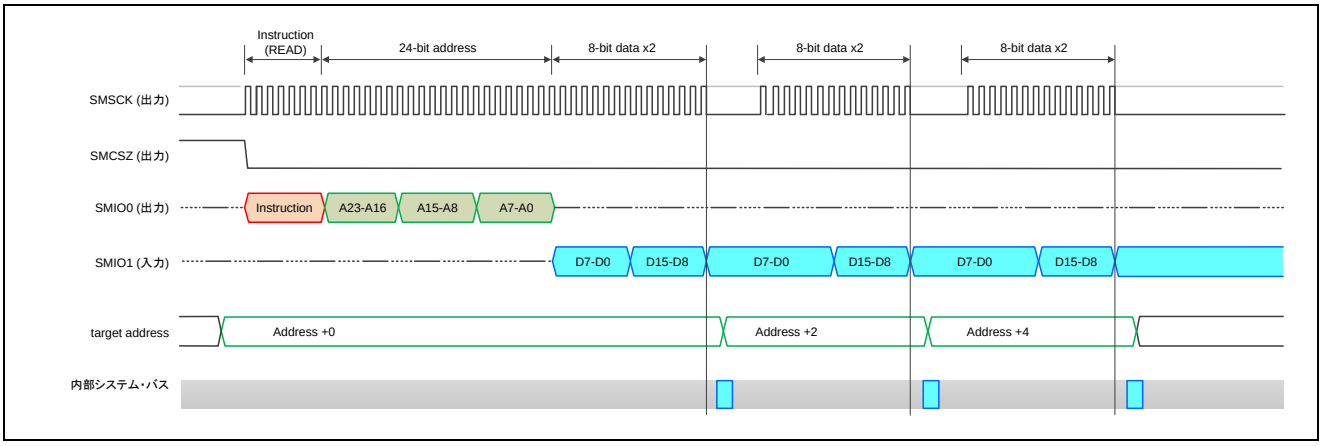


図13.33　SPI バス・サイクル延長を用いた連続データ読み出し

13.4.5　Deep Power-Down の自動解除

Deep Power-Down 状態のシリアル・フラッシュ ROM は、Release from Deep Power-Down 命令以外には、Read 命令を含むほとんどの命令を受け付けることができません。

その一方で、シリアル・フラッシュ ROM の多くでは、端子数削減のために電源投入の検出と内部ロジックの初期化をデバイス内部で行っており、外部端子にはリセット入力端子が存在しません。このため Deep Power-Down 状態に移行したあとに、解除を行わずに読み出すことができません。たとえば、電源断を伴わないリセットによるリブートでは、システムの誤動作につながります。

そこで、このシリアル・フラッシュ ROM メモリ・コントローラは、Deep Power-Down の自動解除機能を備えており、リセット解除時に Deep Power-Down の解除コマンドを発行後、内部システム・バス・クロックの SMSCK×1025 の待ち合わせを行います。シリアル・フラッシュ ROM からブートするように設定している場合は、この待ち合わせ後にブートが開始されます。

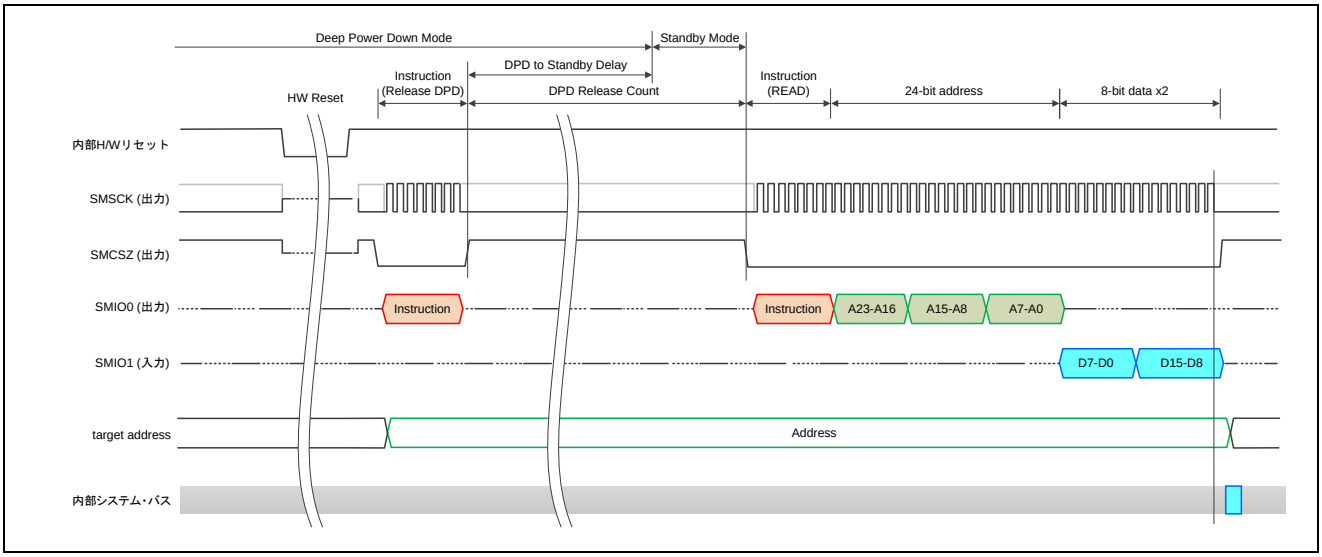


図13.34　Deep Power-Down の自動解除動作

13.4.6　命令省略モード制御

市販されているシリアル ROM 製品の中には、ROM 読み出しのための命令コード受信を省略することによりレイテンシ削減が可能なものが存在します。シリアル ROM 製品の命令コード省略機能の選択は、直前のシリアル・バスサイクルのダミー・サイクル期間中に受信したモード情報によって行われます。

シリアル・フラッシュ ROM コントローラは、Fast Read 系 Read 命令のダミー・サイクルにおいて、最初の 2 サイクル期間に SFMSDC.SFMXD7-0 に設定された値を SMIO0 端子と SMIO1 端子と SMIO2 端子と SMIO3 端子に送信することにより、シリアル ROM デバイスの命令省略モードの制御を行います。

命令省略モードの制御データ値はシリアル ROM 製品毎に異なっていますので、SFMSDC.SFMXD7-0 に適切な値を設定しておく必要があります。

(1)　命令省略モードの設定

SFMSDC.SFMXD7-0 にシリアル ROM デバイスで指定された命令省略モード設定データを設定し、SFMSDC.SFMXEN に 1 を設定すると、次回の Fast Read 系読み出しのダミー・サイクルにおいて、最初の 2 サイクル期間に SFMSDC.SFMXD7-0 で指定されたモード情報がシリアル ROM デバイスに転送され、その時点からシリアル ROM コントローラとシリアル ROM デバイスの双方が命令省略モードに移行します。

実際の命令省略モード設定手順の完了は、SFMSDC.SFMXST から 1 を読み出すことで確認することができます。

注意 SFMSDC.SFMXD7-0 にはシリアル ROM デバイスで指定される命令省略モード設定データを正しく設定してください。
シリアル ROM コントローラ側は SFMSDC.SFMXD7-0 の内容に関わらず SFMSDC.SFMXEN のみから命令省略モードへの移行を行います。

(2)　命令省略モードの解除

SFMSDC.SFMXD7-0 にシリアル ROM デバイスで指定された命令省略モード解除データを設定し SFMSDC.SFMXEN に 0 を設定すると、次回の Fast Read 系読み出しのダミー・サイクルにおいて、最初の 2 サイクル期間に SFMSDC.SFMXD7-0 で指定されたモード情報がシリアル ROM デバイスに転送され、その時点からシリアル ROM コントローラとシリアル ROM デバイスの双方の命令省略モードが解除されます。

実際に命令省略モード解除手順の完了は、SFMSDC.SFMXST から 0 を読み出すことで確認することができます。

注意 SFMSDC.SFMXD7-0 にはシリアル ROM デバイスで指定される命令省略モード解除データを正しく設定してください。
シリアル ROM コントローラ側は SFMSDC.SFMXD7-0 の内容に関わらず SFMSDC.SFMXEN のみから命令省略モードの解除を行います。

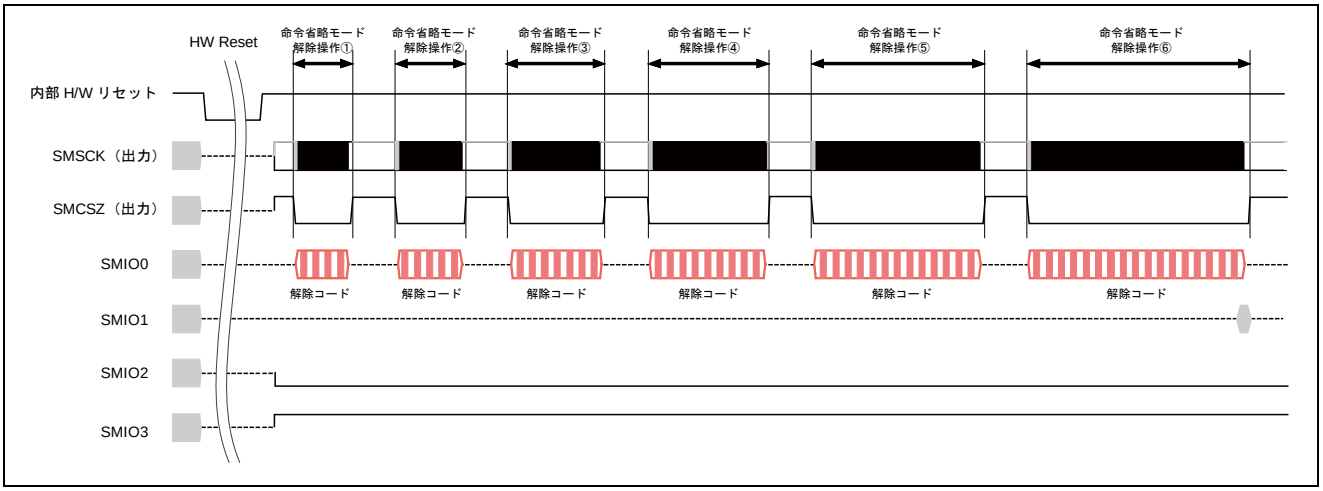


図13.35　命令省略モードの自動解除

(3)　リセット時の命令省略モードの自動解除

R-IN32M4 では、命令省略モードの自動解除を行います。リセット入力以前のシリアル ROM デバイスの動作状況が特定できないため、命令省略モードの解除操作は複数のシリアル ROM デバイスの状況を想定して行います。

表13.3　命令省略モード自動解除に用いられる解除コード

解除操作	解除コード	ビット数	対象
命令省略解除①	00000011	8	24-bit アドレス幅 Fast Read Quad IO
命令省略解除②	0000001111	10	32-bit アドレス幅 Fast Read Quad IO
命令省略解除③	00000011111111	14	24-bit アドレス幅 Fast Read Dual IO
命令省略解除④	00000011111111111	18	32-bit アドレス幅 Fast Read Dual IO
命令省略解除⑤	00000011111111111111111111	26	24-bit アドレス幅 Fast Read 24-bit アドレス幅 Fast Read Dual Output 24-bit アドレス幅 Fast Read Quad Output
命令省略解除⑥	00000011111111111111111111111111111111	34	32-bit アドレス幅 Fast Read 32-bit アドレス幅 Fast Read Dual Output 32-bit アドレス幅 Fast Read Quad Output

13.4.7　SMIO2 端子と SMIO3 端子の状態

SMIO2 端子と SMIO3 端子の状態は、SFMSMD.SFMRM2-0 で選択されるシリアル・インタフェースの Read モードに連動して切り替わります。

表13.4　SMIO2 端子と SMIO3 端子の状態

SFMSMD.SFMRM2-0	SMIO2 端子の状態[注1]	SMIO3 端子の状態[注2]	備考
111	設定禁止		
110			
101	シリアル・データ線として入出力動作（待機時は Hi-Z）	シリアル・データ線として入出力動作（待機時は Hi-Z）	Fast Read Quad I/O
100			Fast Read Quad Output
011	SFMPMD.SFMWPL の値を出力（初期値はロー・レベル出力）	ハイ・レベル出力	Fast Read Dual I/O
010			Fast Read Dual Output
001			Fast Read
000			Read（初期状態）

注 1. シリアル ROM デバイス側で SMIO2 端子を/WP 機能と兼用している場合があります。
2. シリアル ROM デバイス側で SMIO3 端子を/HOLD 機能や/RESET 機能と兼用している場合があります。

13.4.8　直接通信

(1)　直接通信とは

R-IN32M4 のシリアル・フラッシュ ROM メモリ・コントローラは、ROM 読み出しバス・サイクルを自動的に SPI バス・サイクルに変換してシリアル ROM の内容を読み出すことができますが、シリアル・フラッシュ ROM には、メモリ内容の読み出し以外にも、ID 情報の読み出し、消去、プログラミング、ステータス情報の読み出し等の、多様な機能があります。しかし、これらの命令セットは、ベンダやデバイス間で統一されていないため、これらの操作を行う手段として、一般的な 3 線式シリアル・インタフェースと同様にソフトウェア制御による任意の SPI バス・サイクルによる通信が可能です。R-IN32M4 では、これを直接通信と呼んでいます。

(2)　直接通信モード

シリアル・フラッシュ ROM との直接通信を行うためには、SFMCMD.DCOM をセット（1）し、直接通信モードに設定してください。

直接通信モード中は、通常の ROM 読み出しは禁止です。直接通信モードから、通常の ROM アクセス・モードに移行する場合は、SFMCMD.DCOM をクリア（0）してください。

注意 1. SFMCMD.DCOM の書き換えを行うと、現在転送中の通信がある場合は、その通信を終えたあとにモードが切り替わります。また、プリフェッチ動作を行っている場合は、現在実行中の 1 バイトのプリフェッチ後に通信を終了してモードが切り替わります。

2. 直接通信モードと、ROM アクセス・モード切り替えプログラムは、必ずシリアル・フラッシュ ROM 以外で実行してください。また、キャッシュ・フィル動作や、DMA コントローラなどのバス・マスタからのアクセスが行われない状態でモードを切り替えてください。

(3)　直接通信での SPI バス・サイクル生成

シリアル・フラッシュ ROM に対する SPI バス・サイクルは、SMCSZ のアクティブ期間を指します。直接通信モードに移行すると、通信ポート・レジスタ（SFMCOM）への最初のアクセスで SMCSZ がアクティブ（ロー・レベルを出力）となり、SFMCOM を介しての一連の入出力操作の後に、SFMCMD.DCOM をクリア（0）することで SMCSZ がインアクティブになります。

このとき、SFMCOM ポートへの書き込みは SPI バスへの 1 バイト送信に変換され、また SFMCOM ポートからの読み出しは SPI バスからの 1 バイトの受信に変換されます。

注意 1. 直接通信モード選択中は、SFMCMD 以外のレジスタ（SFMSMD, SFMSSC, SFMSKC, SFMSST, SFMCST, SFMSIC, SFMSAC, SFMSDC, SFMSPC, SFMPMD, SFMDTC 等）への書き込みは禁止です。

2. SFMCMD 以外のレジスタ領域への書き込みによる SPI バス・サイクルの終了は、正式な機能としては保証されません。

13.5 設定例

標準 Read モード、Fast Read Dual I/O モード、Fast Read Quad I/O モードの各レジスタ設定およびシリアル・フラッシュ ROM の設定例です。本設定は、テセラ・テクノロジー社製 TS-R-RIN32M4 および IAR システムズ社製スタータキット搭載のシリアル・フラッシュ ROM「MX25L6433F」を前提としたものです。ご利用環境に合わせて適宜設定を行って下さい。また、シリアル・フラッシュ ROM メモリ・コントローラのレジスタ詳細は「13.2 制御レジスタ」を参照して下さい。

13.5.1 標準 Read モード

(1) 動作の説明

標準 Read モードは大多数のシリアル・フラッシュ ROM でサポートされる共通の読み出し方式です。詳細は「13.4.3 シリアル・フラッシュROMアクセスで用いるSPI命令セット」を参照して下さい。

(2) レジスタ設定

シリアル・フラッシュ ROM メモリ・コントローラの標準 Read モード向けのレジスタ設定例を以下に示します。

(a)　SFMSMD レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SFMCCE	0			SFMOSW	SFMOHW	SFMOEX	SFMMD3	SFMPAE	SFMPFE	SFMSE[1:0]		0	SFMRD[2:0]		

表13.5　　標準 Read モードの SFMSMD レジスタ設定

ビット名	設定
SFMCCE	読み出し命令コードの選択を行います。 0：SFMSIC レジスタに設定された読み出し命令コード。（初期値） 1：読み出し形式毎のデフォルト読み出し命令コード。
SFMOSW	シリアル・データ出力のセットアップ側の時間調整を行います。 0：シリアル・データ出力時の SMSCK のハイ・レベル期間を延長しません。（初期値） 1：シリアル・データ出力時の SMSCK のハイ・レベル期間を 1 クロック分延長します。 この機能は、シリアル・データ出力期間にのみ働きます。
SFMOHW	シリアル・データ出力のホールド側の時間調整を行います。 0：シリアル・データ出力時の SMSCK のロー・レベル期間を延長しません。（初期値） 1：シリアル・データ出力時の SMSCK のロー・レベル期間を 1 クロック分延長します。 この機能は、シリアル・データ出力期間にのみ働きます。
SFMOEX	シリアル・インタフェース用 I/O バッファの出力許可信号を延長します。 0：シリアル・データの出力許可期間を延長しません。（初期値） 1：シリアル・データの出力許可期間を 1×SMSCK 分延長します。 出力許可信号のみが延長されます。出力データは延長されません。
SFMMD3	SPI モードを選択します。 0：SPI モード 0 1：SPI モード 3（初期値）
SFMPAE	バイト境界以外でのプリフェッチ中断機能を選択します。 0：バイト境界以外でのプリフェッチ中断機能を無効にします。（初期値） 1：バイト境界以外でのプリフェッチ中断機能を有効にします。
SFMPFE	プリフェッチ機能を選択します。 0：プリフェッチ機能を無効にします。（初期値） 1：プリフェッチ機能を有効にします。
SFMSE[1:0]	SPI バス・アクセス後の SMCSZ 信号の延長機能を選択します。 00：SMCSZ 信号を延長しません。 01：SMCSZ 信号を最長 33 シリアル・クロック分延長します。（初期値） 10：SMCSZ 信号を最長 129 シリアル・クロック分延長します。 11：SMCSZ 信号を無期限で延長します。
SFMRD[2:0]	シリアル・フラッシュ ROM のリード・モードを選択します。 000：標準 Read

(b)　SFMSSC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0										SFMSLD	SFMSHD	SFMSW[3:0]			

表13.6　　標準 Read モードの SFMSSC レジスタ設定

ビット名	設定
SFMSLD	SMCSZ 信号の出力タイミングを選択します。 0：最初の SMSCK 立ち上がりの 0.5 クロック手前で SMCSZ を出力します。 1：最初の SMSCK 立ち上がりの 1.5 クロック手前で SMCSZ を出力します。（初期値）
SFMSHD	SMCSZ 信号の解除タイミングを選択します。 0：最後の SMSCK 立ち上がりから 0.5 クロック以降に SMCSZ を解除します。 1：最後の SMSCK 立ち上がりから 1.5 クロック以降に SMCSZ を解除します。（初期値）
SFMSW[3:0]	SMCSZ 信号の最小ハイ・レベル幅を選択します。

SFMSW3	SFMSW2	SFMSW1	SFMSW0	SMCSZ 信号の最小ハイ・レベル幅
0	1	1	1	8×SMSCK 周期（初期値）

(c)　SFMSKC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0										SFMDTY	SFMDV[4:0]				

表13.7　　標準 Read モードの SFMSKC レジスタ設定

ビット名	設定
SFMDTY	SMSCK 信号のデューティ比補正機能を選択します。 0：SMSCK 信号の補正を行いません。 1：SMSCK 信号の立ち上がりを 0.5×HCLK 周期分遅らせます。
SFMDV[4:0]	SMSCK を HCLK を基準に選択します。

SFMDV4	SFMDV3	SFMDV2	SFMDV1	SFMDV0	シリアル・クロックの選択
0	0	0	1	0	HCLK/4

(3)　シリアル・フラッシュ ROM 設定

シリアル・フラッシュ ROM で標準 Read モードを使用する際には、Status Register の Quad Enable (QE) ビットを 0 に設定します。そのための設定フローを以下に示します。Status Register の QE は不揮発性レジスタのため、電源を落としても設定が保持されます。

A) WREN コマンドを発行して、Status Register の Write Enable Latch (WEL) ビット = 1 となりライト可能な状態である事を確認
B) WRSR コマンドを発行して、Status Register の QE ビットを 0 に設定
C) RDSR コマンドを発行して、Status Register の Write In Progress (WIP) ビット = 0 となりライト処理が完了した事を確認
D) RDSR コマンドを発行して、Status Register の QE ビット = 0 が反映をされている事を確認

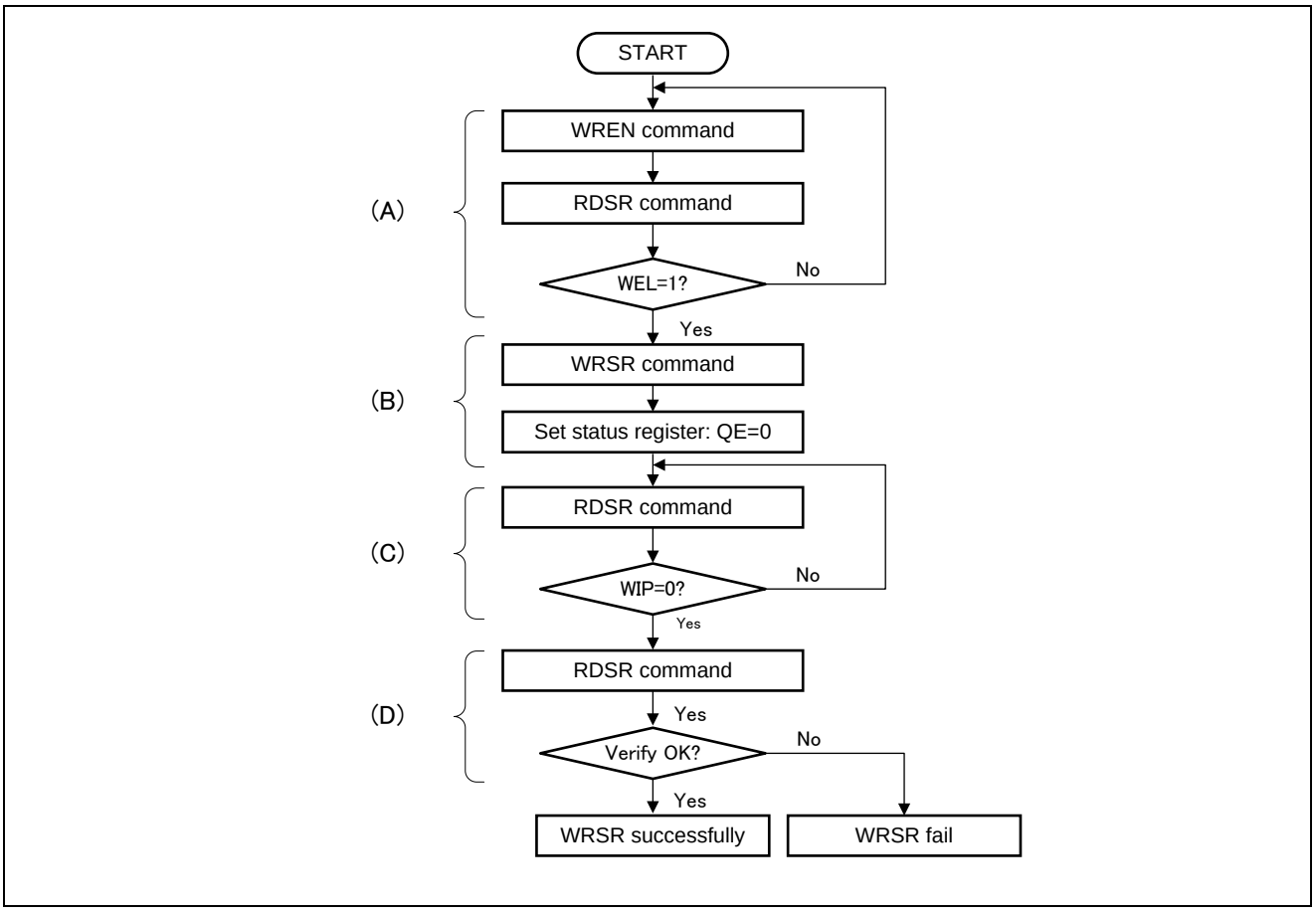


図13.36　シリアル・フラッシュ ROM 設定フロー（標準 Read モード）

13.5.2 Fast Read Dual I/O

(1) 動作の説明

Fast Read Dual I/O転送は、アドレス送信とデータ受信に2本信号線を用いる読み出し方式です。詳細は「13.4.3 シリアル・フラッシュROMアクセスで用いるSPI命令セット」を参照して下さい。

(2) レジスタ設定

シリアル・フラッシュ ROM メモリ・コントローラの Fast Read Dual I/O モード向けのレジスタ設定例を以下に示します。

(a)　SFMSMD レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SFMCCE	0			SFMOSW	SFMOHW	SFMOEX	SFMMD3	SFMPAE	SFMPFE	SFMSE[1:0]		0	SFMRD[2:0]		

表13.8　　Fast Read Dual I/O モードの SFMSMD レジスタ設定

ビット名	設定
SFMCCE	読み出し命令コードの選択を行います。 0：SFMSIC レジスタに設定された読み出し命令コード。（初期値） 1：読み出し形式毎のデフォルト読み出し命令コード。
SFMOSW	シリアル・データ出力のセットアップ側の時間調整を行います。 0：シリアル・データ出力時の SMSCK のハイ・レベル期間を延長しません。（初期値） 1：シリアル・データ出力時の SMSCK のハイ・レベル期間を 1 クロック分延長します。 この機能は、シリアル・データ出力期間にのみ働きます。
SFMOHW	シリアル・データ出力のホールド側の時間調整を行います。 0：シリアル・データ出力時の SMSCK のロー・レベル期間を延長しません。（初期値） 1：シリアル・データ出力時の SMSCK のロー・レベル期間を 1 クロック分延長します。 この機能は、シリアル・データ出力期間にのみ働きます。
SFMOEX	シリアル・インタフェース用 I/O バッファの出力許可信号を延長します。 0：シリアル・データの出力許可期間を延長しません。（初期値） 1：シリアル・データの出力許可期間を 1×SMSCK 分延長します。 出力許可信号のみが延長されます。出力データは延長されません。
SFMMD3	SPI モードを選択します。 0：SPI モード 0 1：SPI モード 3（初期値）
SFMPAE	バイト境界以外でのプリフェッチ中断機能を選択します。 0：バイト境界以外でのプリフェッチ中断機能を無効にします。（初期値） 1：バイト境界以外でのプリフェッチ中断機能を有効にします。
SFMPFE	プリフェッチ機能を選択します。 0：プリフェッチ機能を無効にします。（初期値） 1：プリフェッチ機能を有効にします。
SFMSE[1:0]	SPI バス・アクセス後の SMCSZ 信号の延長機能を選択します。 00：SMCSZ 信号を延長しません。 01：SMCSZ 信号を最長 33 シリアル・クロック分延長します。（初期値）。 10：SMCSZ 信号を最長 129 シリアル・クロック分延長します。 11：SMCSZ 信号を無期限で延長します。
SFMRD[2:0]	シリアル・フラッシュ ROM のリード・モードを選択します。 011：Fast Read Dual I/O

(b)　SFMSSC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0										SFMSLD	SFMSHD	SFMSW[3:0]			

表13.9　　Fast Read Dual I/O モードの SFMSSC レジスタ設定

ビット名	設定
SFMSLD	SMCSZ 信号の出力タイミングを選択します。 0：最初の SMSCK 立ち上がりの 0.5 クロック手前で SMCSZ を出力します。 1：最初の SMSCK 立ち上がりの 1.5 クロック手前で SMCSZ を出力します。（初期値）
SFMSHD	SMCSZ 信号の解除タイミングを選択します。 0：最後の SMSCK 立ち上がりから 0.5 クロック以降に SMCSZ を解除します。 1：最後の SMSCK 立ち上がりから 1.5 クロック以降に SMCSZ を解除します。（初期値）
SFMSW[3:0]	SMCSZ 信号の最小ハイ・レベル幅を選択します。

SFMSW3	SFMSW2	SFMSW1	SFMSW0	SMCSZ 信号の最小ハイ・レベル幅
0	1	1	1	8×SMSCK 周期（初期値）

(c)　SFMSKC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0										SFMDTY	SFMDV[4:0]				

表13.10　Fast Read Dual I/O モードの SFMSKC レジスタ設定

ビット名	設定
SFMDTY	SMSCK 信号のデューティ比補正機能を選択します。 0：SMSCK 信号の補正を行いません。 1：SMSCK 信号の立ち上がりを 0.5×HCLK 周期分遅らせます。
SFMDV[4:0]	SMSCK を HCLK を基準に選択します。

SFMDV4	SFMDV3	SFMDV2	SFMDV1	SFMDV0	シリアル・クロックの選択
0	0	0	0	0	HCLK/2

(d)　SFMSDC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SFMXD[7:0]								SFMXEN	SFMXST	0		SFMDN[3:0]			

表13.11　Fast Read Dual I/O モードの SFMSDC レジスタ設定

ビット名	設定
SFMXD[7:0]	命令省略モード指定データを設定します。
SFMXEN	命令省略モード許可を設定します。 0：命令省略モード禁止（初期値）
SFMXST	命令省略ステータス 0：通常（命令非省略）モードで動作中を示します。（初期値）
SFMDN[3:0]	Fast Read 系命令のダミー・サイクル数を選択します。 SFMDN3 / SFMDN2 / SFMDN1 / SFMDN0 / Fast Read 系命令のダミー・サイクル数 0 / 0 / 0 / 0 / 命令形式毎のデフォルト・サイクル数 Fast Read Dual I/O / 4*SMSCK ダミー･サイクル数は製品によって異なります。ご使用の環境に合わせて設定をして下さい。

(3) シリアル・フラッシュ ROM 設定

シリアル･フラッシュ ROM で Fast Read Dual I/O モードを使用する際には､Status Register の QE ビットを 0､Configuration Register の Dummy Cycle (DC)ビットを 0 に設定します｡そのための設定フローを以下に示します。Status Register の QE は不揮発性レジスタのため、電源を落としても設定が保持されます。

A) WREN コマンドを発行して､Status Register の WEL ビット = 1 となりライト可能な状態である事を確認
B) WRSR コマンドを発行して、Status Register の QE ビットを 0、Configuration Register の DC ビットを 0 に設定
C) RDSR コマンドを発行して、Status Register の WIP ビット = 0 となりライト処理が完了した事を確認
D) RDSR コマンドを発行して、Status Register の QE ビット = 0 が反映されている事を確認
RDCR コマンドを発行して、Configuration Register の DC ビット = 0 が反映されている事を確認

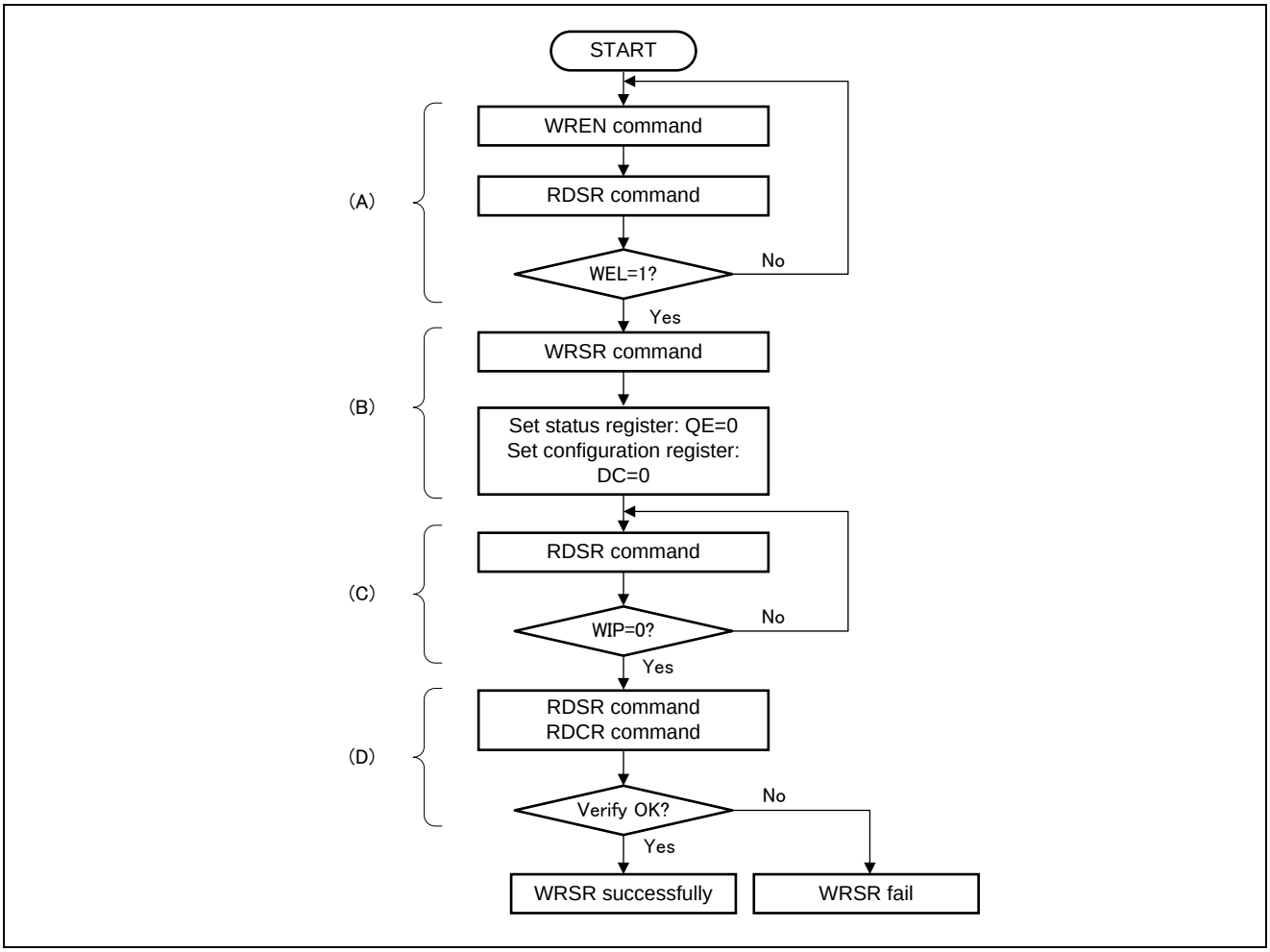


図13.37 シリアル・フラッシュ ROM 設定フロー（Fast Read Dual I/O モード）

13.5.3 Fast Read Quad I/O

(1) 動作の説明

Fast Read Quad I/O は、アドレス送信とデータ受信に 4 本信号線を用いる読み出し方式です。詳細は「13.4.3 シリアル・フラッシュROMアクセスで用いるSPI命令セット」を参照して下さい。

(2) レジスタ設定

シリアル・フラッシュ ROM メモリ・コントローラの Fast Read Quad I/O モード向けのレジスタ設定例を以下に示します。

(a)　SFMSMD レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SFMCCE	0			SFMOSW	SFMOHW	SFMOEX	SFMMD3	SFMPAE	SFMPFE	SFMSE[1:0]		0	SFMRD[2:0]		

表13.12　Fast Read Quad I/O モードの SFMSMD レジスタ設定

ビット名	設定
SFMCCE	読み出し命令コードの選択を行います。 0：SFMSIC レジスタに設定された読み出し命令コード。（初期値） 1：読み出し形式毎のデフォルト読み出し命令コード。
SFMOSW	シリアル・データ出力のセットアップ側の時間調整を行います。 0：シリアル・データ出力時の SMSCK のハイ・レベル期間を延長しません。（初期値） 1：シリアル・データ出力時の SMSCK のハイ・レベル期間を 1 クロック分延長します。 この機能は、シリアル・データ出力期間にのみ働きます。
SFMOHW	シリアル・データ出力のホールド側の時間調整を行います。 0：シリアル・データ出力時の SMSCK のロー・レベル期間を延長しません。（初期値） 1：シリアル・データ出力時の SMSCK のロー・レベル期間を 1 クロック分延長します。 この機能は、シリアル・データ出力期間にのみ働きます。
SFMOEX	シリアル・インタフェース用 I/O バッファの出力許可信号を延長します。 0：シリアル・データの出力許可期間を延長しません。（初期値） 1：シリアル・データの出力許可期間を 1×SMSCK 分延長します。 出力許可信号のみが延長されます。出力データは延長されません。
SFMMD3	SPI モードを選択します。 0：SPI モード 0 1：SPI モード 3（初期値）
SFMPAE	バイト境界以外でのプリフェッチ中断機能を選択します。 0：バイト境界以外でのプリフェッチ中断機能を無効にします。（初期値） 1：バイト境界以外でのプリフェッチ中断機能を有効にします。
SFMPFE	プリフェッチ機能を選択します。 0：プリフェッチ機能を無効にします。（初期値） 1：プリフェッチ機能を有効にします。
SFMSE[1:0]	SPI バス・アクセス後の SMCSZ 信号の延長機能を選択します。 00：SMCSZ 信号を延長しません。 01：SMCSZ 信号を最長 33 シリアル・クロック分延長します。（初期値）。 10：SMCSZ 信号を最長 129 シリアル・クロック分延長します。 11：SMCSZ 信号を無期限で延長します。
SFMRD[2:0]	シリアル・フラッシュ ROM のリード・モードを選択します。 101：Fast Read Quad I/O

(b)　SFMSSC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0										SFMSLD	SFMSHD	SFMSW[3:0]			

表13.13　Fast Read Quad I/O モードの SFMSSC レジスタ設定

ビット名	設定
SFMSLD	SMCSZ 信号の出力タイミングを選択します。 0：最初の SMSCK 立ち上がりの 0.5 クロック手前で SMCSZ を出力します。 1：最初の SMSCK 立ち上がりの 1.5 クロック手前で SMCSZ を出力します。（初期値）
SFMSHD	SMCSZ 信号の解除タイミングを選択します。 0：最後の SMSCK 立ち上がりから 0.5 クロック以降に SMCSZ を解除します。 1：最後の SMSCK 立ち上がりから 1.5 クロック以降に SMCSZ を解除します。（初期値）
SFMSW[3:0]	SMCSZ 信号の最小ハイ・レベル幅を選択します。

SFMSW3	SFMSW2	SFMSW1	SFMSW0	SMCSZ 信号の最小ハイ・レベル幅
0	1	1	1	8×SMSCK 周期（初期値）

(c)　SFMSKC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0										SFMDTY	SFMDV[4:0]				

表13.14　Fast Read Quad I/O モードの SFMSKC レジスタ設定

ビット名	設定
SFMDTY	SMSCK 信号のデューティ比補正機能を選択します。 0：SMSCK 信号の補正を行いません。 1：SMSCK 信号の立ち上がりを 0.5×HCLK 周期分遅らせます。
SFMDV[4:0]	SMSCK を HCLK を基準に選択します。

SFMDV4	SFMDV3	SFMDV2	SFMDV1	SFMDV0	シリアル・クロックの選択
0	0	0	0	0	HCLK/2

(d)　SFMSDC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SFMXD[7:0]								SFMXEN	SFMXST	0		SFMDN[3:0]			

表13.15　Fast Read Quad I/O モードの SFMSDC レジスタ設定

ビット名	設定
SFMXD[7:0]	命令省略モード指定データを設定します。
SFMXEN	命令省略モード許可を設定します。 0：命令省略モード禁止（初期値）
SFMXST	命令省略ステータス 0：通常（命令非省略）モードで動作中を示します。（初期値）
SFMDN[3:0]	Fast Read 系命令のダミー・サイクル数を選択します。 SFMDN3 / SFMDN2 / SFMDN1 / SFMDN0 / Fast Read 系命令のダミー・サイクル数 0 / 0 / 0 / 0 / 命令形式毎のデフォルト・サイクル数 Fast Read Quad I/O / 6*SMSCK ダミー･サイクル数は製品によって異なります。ご使用の環境に合わせて設定をして下さい。

(3)　シリアル・フラッシュ ROM 設定

シリアル･フラッシュ ROM で Fast Read Quad I/O モードを使用する際には､Status Register の QE ビットを 1、Configuration Register の DC ビットを 0 に設定します。Status Register の QE は不揮発性レジスタのため、電源を落としても設定が保持されます。

A) WREN コマンドを発行して､Status Register の WEL ビット ＝1 となりライト可能な状態である事を確認
B) WRSR コマンドを発行して、Status Register の QE ビットを 1、Configuration Register の DC ビットを 0 に設定
C) RDSR コマンドを発行して、Status Register の WIP ビット ＝0 となりライト処理が完了した事を確認
D) RDSR コマンドを発行して、Status Register の QE ビット ＝1 が反映されている事を確認
RDCR コマンドを発行して、Configuration Register の DC ビット ＝0 が反映されている事を確認

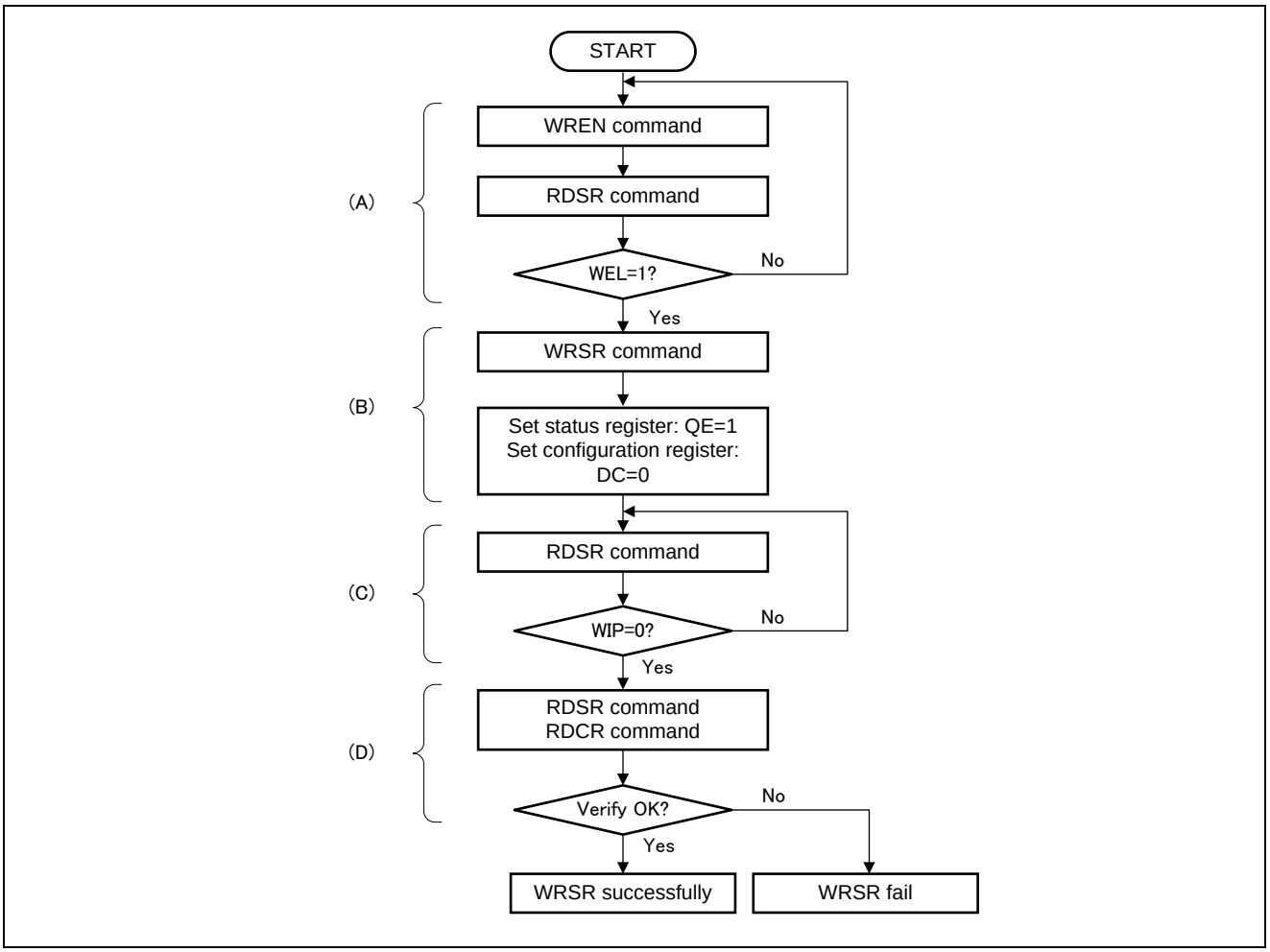


図13.38　シリアル・フラッシュ ROM 設定フロー（Fast Read Quad I/O モード）

14. DMA 機能

R-IN32M4 は、AHB バスに 2 種類の DMA コントローラを内蔵し、合計 5 チャネル内蔵しています。

表14.1 R-IN32M4 の DMA コントローラ

AHB DMA コントローラの種類	チャネル数（本文では n で表現）	ユニット番号（本文では m で表現）	外部 DMA インタフェース端子	
汎用 DMA コントローラ	4	0	チャネル 0	DMAREQZ0, DMAACKZ0, DMATCZ0
			チャネル 1	DMAREQZ1, DMAACKZ1, DMATCZ1
			チャネル 2	なし
			チャネル 3	なし
リアルタイム・ポート用 DMA コントローラ	1	1	RTDMAREQZ, RTDMAACKZ, RTDMATCZ	

○ n の意味　この章では、DMA コントローラの各チャネルを「n」で識別します。

○ m の意味　この章では、DMA コントローラの各ユニットを「m」で識別します。
m = 0：汎用 DMA コントローラ
m = 1：リアルタイム・ポート用 DMAC

備考 m = 0, 1
m = 0 の場合 n = 0-3、m = 1 の場合 n = 0

DMA コントローラは、マルチレイヤ構造の AHB バス上のバス・マスタとして動作する DMA コントローラです。DMA コントローラ専用のレイヤを持っているため、ほかのバス・マスタとの競合が発生しにくく、高スループットの転送が可能です。また R-IN32M4 では，汎用 DMA コントローラと，リアルタイム・ポート用 DMA コントローラに，それぞれ個別の AHB バスを設けているため，同時転送が可能です。特にリアルタイム・ポートでは，DMA 転送トリガに対して，実際の転送までの時間の揺らぎを防ぐため，専用に DMA コントローラを設けています。

外部 DMAREQZ0-DMAREQZ1, RTDMAREQZ 端子、各割り込み要求信号、またはソフトウェア・トリガによる DMA 要求に基づいて、データ転送を制御します。

また、外部デバイスとのインタフェースについては、DMA アクノリッジ出力（DMAACKZ0-DMAACKZ1, RTDMAACKZ）のアクティブ幅や、DMA 転送要求入力（DMAREQZ0-DMAREQZ1, RTDMAREQZ）のマスク幅の設定を選択でき、外部デバイスとのインタフェースを容易にしています。

注意 内部バス構造は、マルチレイヤを採用しており、バス・マスタ対スレーブの関係が競合しないかぎり、複数のアクセスを同時に実行できます。
一方、異なるバス・マスタから共通のスレーブにアクセスするケースでは、同一番地のリード・モディファイ・ライト・アクセスとライト・アクセスが競合すると期待しないデータとなる可能性があります。このような競合が発生しないデータ・フローとするように注意してください。

14.1 特 徴

14.1.1 概 要

○ チャネル数： 汎用 DMAC：4 チャネル（各チャネルは独立）
リアルタイム・ポート用 DMAC：1 チャネル
○ バッファ段数： 16 段（リアルタイム・ポート用は 4 段）
○ 転送データ・サイズ：
➢ソースとデスティネーションに、それぞれ独立にサイズ設定可能
➢設定可能サイズ： 8 ビット-512 ビット
○ 最大転送バイト数： 2^{32}-1 バイト（DMA 転送量は、バイト数で設定します。）
○ チャネル優先順位制御
➢優先順位固定モード
➢ラウンドロビン・モード（直前に転送を行ったチャネルを最低優先にシフト）
○ 転送設定値取り込み方式
DMA 転送に使用する設定データは、以下の 2 種類の方法により、内部レジスタに設定されます。
➢レジスタ・モード
CPU から設定した、DMA コントローラ内部の制御レジスタに従って DMA 転送を行います。従来の一般的な DMA 転送をサポートしています。
➢リンク・モード
内蔵 RAM、外部メモリに配置したディスクリプタに従って、DMA 転送を行います。多様な DMA 転送を実現できます。ただし、DMA 転送ごとにディスクリプタへのアクセスが発生するため、応答性はレジスタ・モードに劣ります。
○ スキップ機能
DMA 転送でアクセスする領域に対し、連続アクセス・サイズとスキップ空間サイズ★をそれぞれ設定可能です。連続アクセス・サイズで設定サイズ分アクセスしたあと、次にアクセスするアドレスをスキップ空間サイズ★で設定サイズ分スキップできます。
○ バッファ内データ掃き出し機能
DMA を強制停止した際、バッファ内データを掃き出して停止できます。掃き出し後、引き続き DMA 転送を継続します。
○ サスペンド機能
DMA トランザクション中に、実行中の DMA トランザクションを一時停止できます。
○ DMA 転送間隔設定機能
バス占有率を調整するため、DMA 転送間隔を指定できます。
○ 転送モード
➢シングル転送モード
DMA 転送要求が発生するとバス使用権を獲得し、1 回の転送ごとにバスを解放します。その後 DMA 転送の要求があるごとに、制御レジスタで指定した転送回数分の転送を終了するまで、この動作を繰り返します。
➢ブロック転送モード
DMA 転送要求が発生するとバス使用権を獲得し、制御レジスタで指定した回数分の転送が終了するまでデータ転送を繰り返します。ただしバスは占有しません。

○ 転送対象の関係
それぞれの DMA コントローラにて、以下の「○」印のスレーブを転送元／転送先に指定できます。

表14.2 DMA コントローラの転送対象スレーブ

転送対象スレーブ	汎用 DMAC	リアルタイム・ポート用 DMAC
	ユニット 0	ユニット 1
データ RAM	○	○
命令 RAM	○	○
バッファ RAM	○	－
外部メモリ	○	○
シリアル・フラッシュ ROM	○	－
Ether MAC 注4	○	○
APB 内蔵周辺機能注1	○	○
リアルタイム・ポート	－	○
汎用ポート	○	－
HWOS 注2	－	－
リアルタイム･ポート用 DMAC 注3	－	－
汎用 DMAC 注3	－	－

備考 ○：転送元／転送先に指定可能
－：転送元／転送先に指定不可

注 1. 内蔵タイマ、シリアル・インタフェース等が該当します。
2. ハードウェア・リアルタイム OS です。
3. それぞれの DMA コントローラのレジスタ領域
4. R-IN32M4 で対象となる機能は、CC-Link IE Field Network です。

○ 転送要求
➢ハードウェアによる要求（端子入力または割り込み要求等）
➢ソフトウェアによる要求
○ アクノリッジ出力機能
➢各チャネルにアクノリッジ信号を出力
○ ターミナル・カウント出力機能
➢指定した回数分の DMA 転送を終了するとターミナル・カウント信号を出力

表14.3 DMA ユニット／チャネルと外部 DMA インタフェース端子の関係

分類	DMA ユニット／チャネル	外部 DMA インタフェース端子
汎用 DMA コントローラ	ユニット 0／チャネル 0	DMAREQZ0, DMAACKZ0, DMATCZ0
	ユニット 0／チャネル 1	DMAREQZ1, DMAACKZ1, DMATCZ1
	ユニット 0／チャネル 2	なし
	ユニット 0／チャネル 3	なし
リアルタイム・ポート用 DMA コントローラ	ユニット 1	RTDMAREQZ, RTDMAACKZ, RTDMATCZ

注意 1 命令 RAM 領域として確保されている 0000 0000H-000B FFFFH には，直接ライトできません。命令 RAM ミラー領域（0400 0000H-040B FFFFH）を経由してライトしてください。

2 命令 RAM 領域への書き込みは，以下の条件を守ってください。

・ライト・アクセスは，32 ビット（ワード）もしくは 16 ビット（ハーフ・ワード）でアクセスしてください。

・転送バイト数は 32 ビット（= 1 ワード = 4 バイト）で割り切れるバイト数を設定してください。

・先頭アドレスは、32 ビット（= 1 ワード = 4 バイト）境界のアドレスを設定してください。

・アドレスはインクリメント方向で連続して書き込んでください。

14.2 DMA ユニット／チャネルと DMA トリガの関係

DMA 転送トリガは、外部割り込み入力、内蔵周辺機能からの割り込み要求、ソフトウェア・トリガなどから、DMA トリガ要因レジスタ（DTFR0-DTFR3、RTDTFR）で選択します。外部 DMA インタフェースについては、トリガ要因の割り当てルールと同じく、DMA 転送要求、DMA アクノリッジ、DMA ターミナル・カウント信号が選択されます。

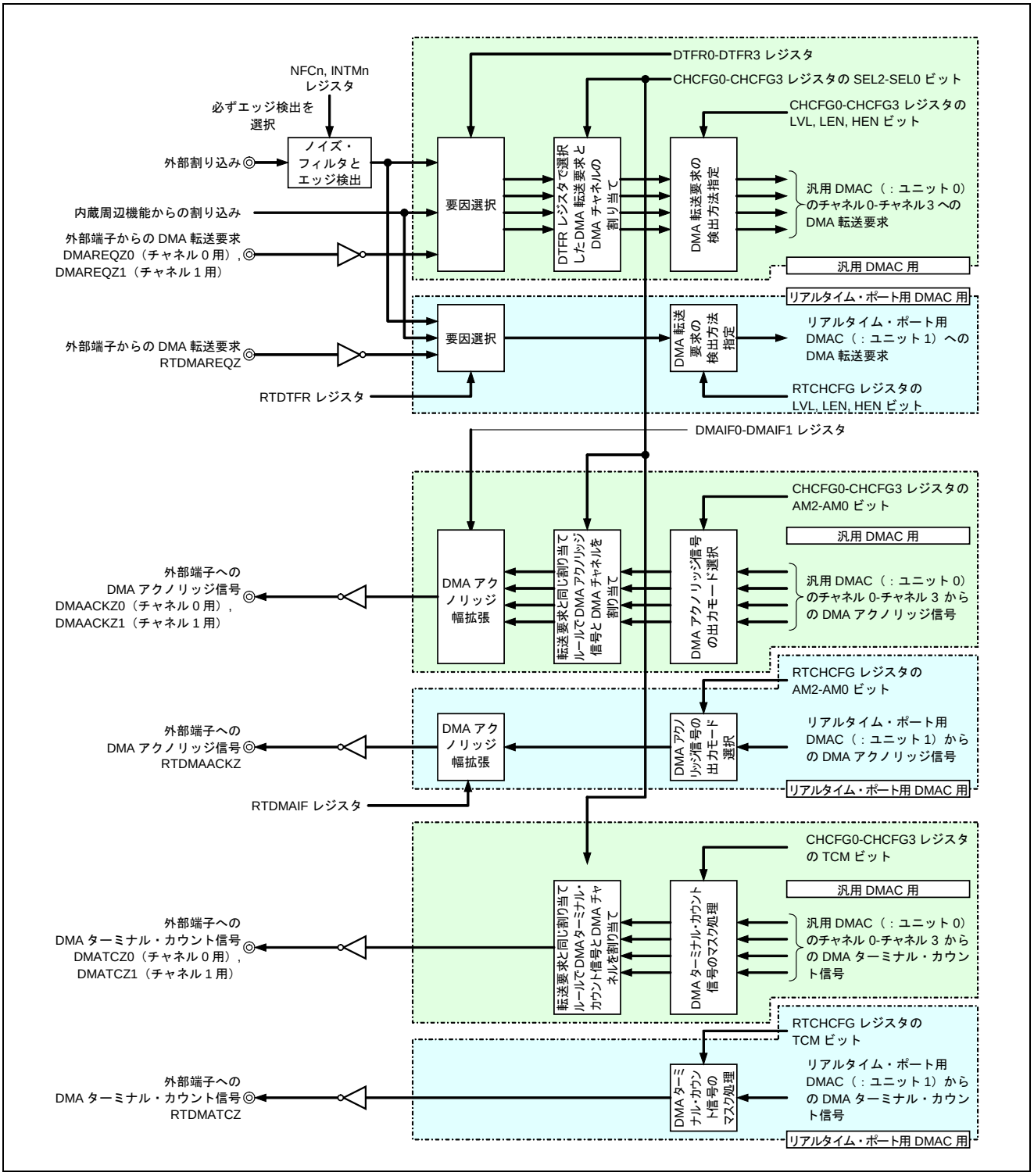


図14.1 DMA ユニット／チャネルと DMA トリガの関係

14.3 用語定義

DMA コントローラで使用している用語の定義は、次のとおりです。

表14.4 DMA コントローラの用語定義

用 語	定 義
バースト	一回のバス・サイクルを意味します。
DMA 転送（トランスファ）	DMAC が 1 バースト分のリードまたはライト転送を実行することを指します。
DMA トランザクション	DMAC に設定された総転送バイト数分の DMA 転送実行すること、すなわち一連の DMA 転送が完了するまでの期間を指します。
ディスクリプタ	DMAC がリンク・モード時にロードする DMA 転送設定が書かれたデータを意味します。
アライン	転送するアドレスが、トランスファ・サイズ境界の先頭を指している状態です。 具体的には、指定する先頭アドレスのビット[(log_2SIZE－1) : 0] が 0 である状態です（SIZE：トランスファ・サイズ［バイト］）。 ビート・アライン：転送開始アドレスが、CHCFGn レジスタの SDS2-SDS0（または DDS2-DSS0）を転送サイズとする、アライン境界の先頭を指している状態です。
アンアライン	指定するアドレスが、転送するサイズのアライン境界の先頭を指していない状態です。 具体的には、指定する先頭アドレスのビット[(log_2SIZE－1) : 0] が 0 でない状態です（SIZE：転送サイズ［バイト］）。 ビート・アンアライン：転送開始アドレスが、CHCFGn レジスタの SDS2-SDS0（または DDS2-DDS0）を転送サイズとする、アライン境界の先頭を指していない状態です。

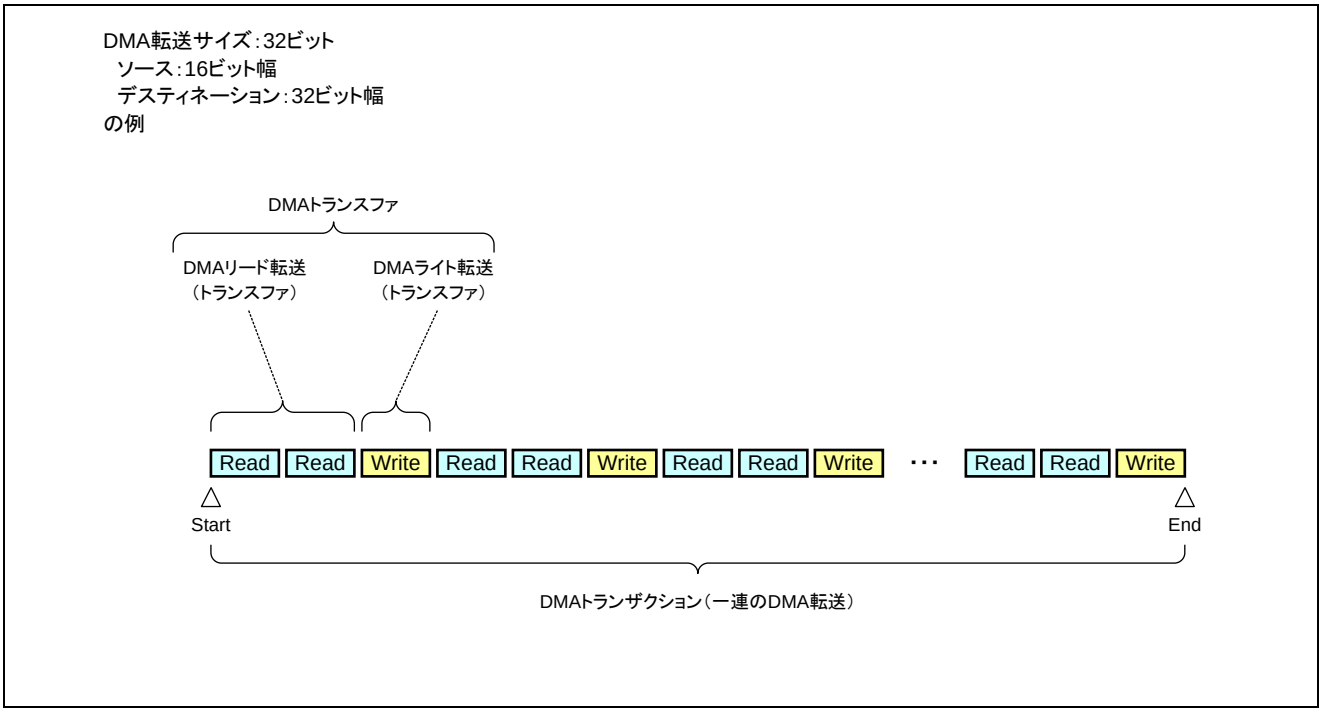


図14.2 転送の呼称

DMA コントローラが実行する一回のリード／ライト転送を DMA トランスファと呼びます。また、設定した一連の DMA 転送（トランスファ）の実行を DMA トランザクションと呼びます。

14.4 DMA コントローラのレジスタ

14.4.1 レジスタ構成

R-IN32M4 には、汎用 DMA コントローラとリアルタイム・ポート用 DMA コントローラが内蔵されています。汎用 DMA コントローラ（：ユニット 0）は 4 チャネル、リアルタイム・ポート用（：ユニット 1）は 1 チャネルです。それぞれ、以下に示すレジスタ・セットがあります。

表14.5 DMA コントローラのレジスタ構成

レジスタ	機 能
Next レジスタ・セット	次に実行する DMA トランザクションの転送元アドレス、転送先アドレス、転送バイト数を設定するレジスタ・セットです。 Next0 レジスタ・セットと Next1 レジスタ・セットから構成されています。 レジスタ・モードではソフトウェアで設定してください。 リンク・モードでは、ディスクリプタ・リード・データが、自動的に Next0 レジスタ・セットに設定されます。 これらレジスタ・セットの値は、Current レジスタ・セットにロードされ、DMA 転送に使用されます。
Current レジスタ・セット	現在実行中の、転送元アドレス、転送先アドレス、転送バイト数を表示するレジスタ・セットです。 Next0／Next1 レジスタ・セット（レジスタ・モード）、またはディスクリプタ・リード・データ（リンク・モード）からロードされます。プログラムで直接書き込むことはできません。 DMA トランザクションを実行するごとに、自動的に更新されます。
チャネル・レジスタ・セット	DMA 転送の設定行うためのレジスタ・セットです。 このレジスタ・セットでは、チャネル状態の表示、チャネルの制御、DMA トランザクションの設定、DMA トランザクション間隔の設定などを行います。
リンク・レジスタ・セット	リンク・モード時に、次にロードするディスクリプタ・アドレスを設定するレジスタ（Next リンク・アドレス・レジスタ）と、現在実行しているディスクリプタ・アドレスを表示するレジスタ（Current リンク・アドレス・レジスタ）、およびスキップ機能を利用する場合の連続空間とスキップ空間のソース／デスティネーション・アドレス・レジスタから構成されています。 Current リンク・アドレス・レジスタは、ディスクリプタ・リードにより自動的に更新され、プログラムで直接書き込むことはできません。
DMA 制御レジスタ	DMA ユニット全体を制御するレジスタと、各チャネルの状態を表示するレジスタから構成されています。 チャネルの優先順位の制御、各チャネルのイネーブル／エラー／完了／ターミナル・カウント／サスペンドなどの状態を確認できます。
DMA インタフェース・レジスタ	DMAREQZ 信号，DMAACKZ 信号のタイミングをプログラマブルに設定する「DMA 転送インタフェース信号制御レジスタ」，割り込み信号と DMA チャネルの関係を割り付ける「DMA トリガ要因レジスタ」で構成されています。

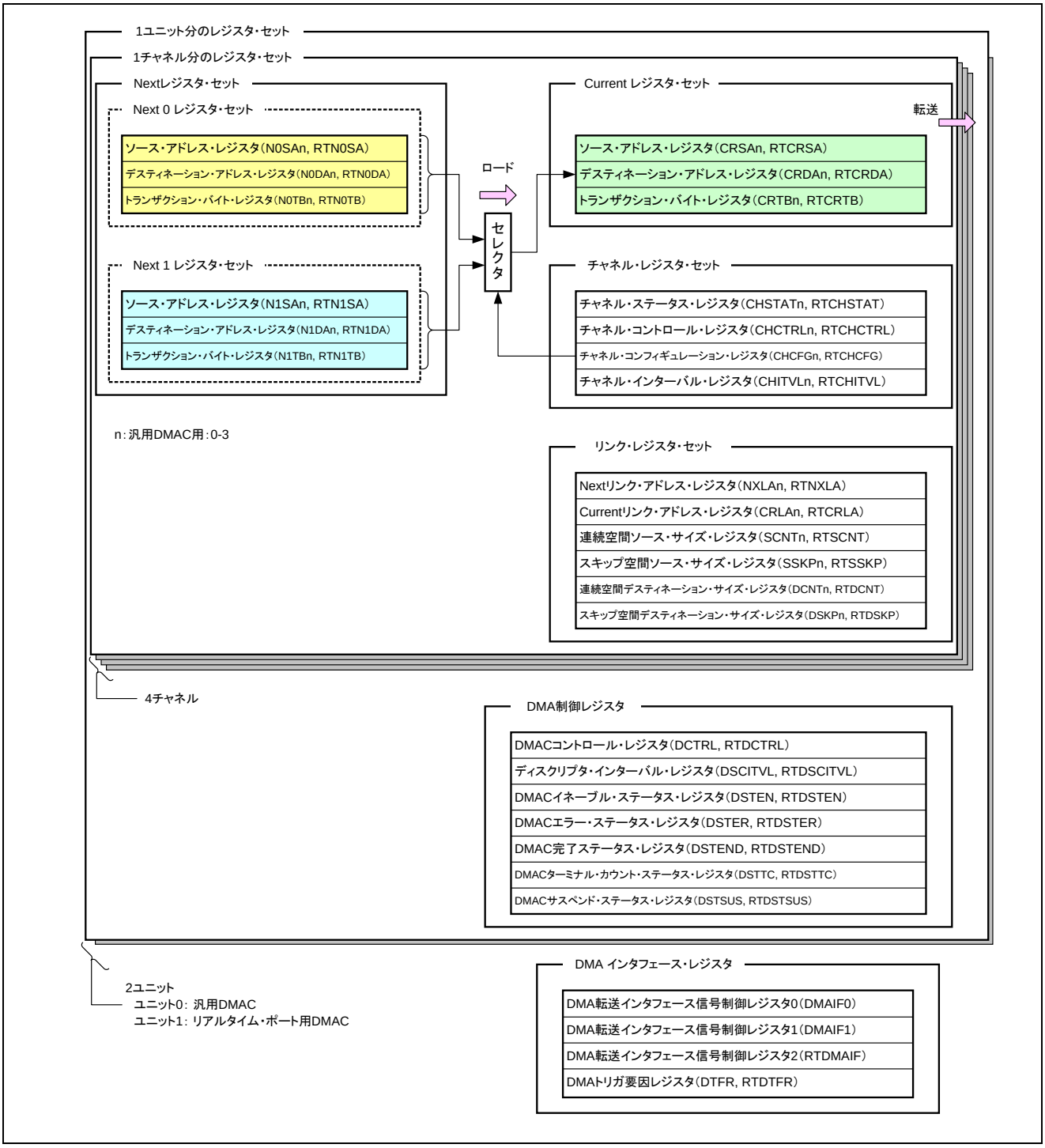


図14.3 DMA のレジスタ構成図

備考 n： 汎用 DMAC : n = 0-3

14.4.2 制御レジスタ概要

表14.6 DMA コントローラ制御レジスタ

（1/4）

レジスタ名	略号	アドレス
Next0 ソース・アドレス・レジスタ 0	N0SA0	400A 2800H
Next0 デスティネーション・アドレス・レジスタ 0	N0DA0	400A 2804H
Next0 トランザクション・バイト・レジスタ 0	N0TB0	400A 2808H
Next1 ソース・アドレス・レジスタ 0	N1SA0	400A 280CH
Next1 デスティネーション・アドレス・レジスタ 0	N1DA0	400A 2810H
Next1 トランザクション・バイト・レジスタ 0	N1TB0	400A 2814H
Current ソース・アドレス・レジスタ 0	CRSA0	400A 2818H
Current デスティネーション・アドレス・レジスタ 0	CRDA0	400A 281CH
Current トランザクション・バイト・レジスタ 0	CRTB0	400A 2820H
チャネル・ステータス・レジスタ 0	CHSTAT0	400A 2824H
チャネル・コントロール・レジスタ 0	CHCTRL0	400A 2828H
チャネル・コンフィギュレーション・レジスタ 0	CHCFG0	400A 282CH
チャネル・インターバル・レジスタ 0	CHITVL0	400A 2830H
Next リンク・アドレス・レジスタ 0	NXLA0	400A 2838H
Current リンク・アドレス・レジスタ 0	CRLA0	400A 283CH
Next0 ソース・アドレス・レジスタ 1	N0SA1	400A 2840H
Next0 デスティネーション・アドレス・レジスタ 1	N0DA1	400A 2844H
Next0 トランザクション・バイト・レジスタ 1	N0TB1	400A 2848H
Next1 ソース・アドレス・レジスタ 1	N1SA1	400A 284CH
Next1 デスティネーション・アドレス・レジスタ 1	N1DA1	400A 2850H
Next1 トランザクション・バイト・レジスタ 1	N1TB1	400A 2854H
Current ソース・アドレス・レジスタ 1	CRSA1	400A 2858H
Current デスティネーション・アドレス・レジスタ 1	CRDA1	400A 285CH
Current トランザクション・バイト・レジスタ 1	CRTB1	400A 2860H
チャネル・ステータス・レジスタ 1	CHSTAT1	400A 2864H
チャネル・コントロール・レジスタ 1	CHCTRL1	400A 2868H
チャネル・コンフィギュレーション・レジスタ 1	CHCFG1	400A 286CH
チャネル・インターバル・レジスタ 1	CHITVL1	400A 2870H
Next リンク・アドレス・レジスタ 1	NXLA1	400A 2878H
Current リンク・アドレス・レジスタ 1	CRLA1	400A 287CH

（2/4）

レジスタ名	略号	アドレス
Next0 ソース・アドレス・レジスタ 2	N0SA2	400A 2880H
Next0 デスティネーション・アドレス・レジスタ 2	N0DA2	400A 2884H
Next0 トランザクション・バイト・レジスタ 2	N0TB2	400A 2888H
Next1 ソース・アドレス・レジスタ 2	N1SA2	400A 288CH
Next1 デスティネーション・アドレス・レジスタ 2	N1DA2	400A 2890H
Next1 トランザクション・バイト・レジスタ 2	N1TB2	400A 2894H
Current ソース・アドレス・レジスタ 2	CRSA2	400A 2898H
Current デスティネーション・アドレス・レジスタ 2	CRDA2	400A 289CH
Current トランザクション・バイト・レジスタ 2	CRTB2	400A 28A0H
チャネル・ステータス・レジスタ 2	CHSTAT2	400A 28A4H
チャネル・コントロール・レジスタ 2	CHCTRL2	400A 28A8H
チャネル・コンフィギュレーション・レジスタ 2	CHCFG2	400A 28ACH
チャネル・インターバル・レジスタ 2	CHITVL2	400A 28B0H
Next リンク・アドレス・レジスタ 2	NXLA2	400A 28B8H
Current リンク・アドレス・レジスタ 2	CRLA2	400A 28BCH
Next0 ソース・アドレス・レジスタ 3	N0SA3	400A 28C0H
Next0 デスティネーション・アドレス・レジスタ 3	N0DA3	400A 28C4H
Next0 トランザクション・バイト・レジスタ 3	N0TB3	400A 28C8H
Next1 ソース・アドレス・レジスタ 3	N1SA3	400A 28CCH
Next1 デスティネーション・アドレス・レジスタ 3	N1DA3	400A 28D0H
Next1 トランザクション・バイト・レジスタ 3	N1TB3	400A 28D4H
Current ソース・アドレス・レジスタ 3	CRSA3	400A 28D8H
Current デスティネーション・アドレス・レジスタ 3	CRDA3	400A 28DCH
Current トランザクション・バイト・レジスタ 3	CRTB3	400A 28E0H
チャネル・ステータス・レジスタ 3	CHSTAT3	400A 28E4H
チャネル・コントロール・レジスタ 3	CHCTRL3	400A 28E8H
チャネル・コンフィギュレーション・レジスタ 3	CHCFG3	400A 28ECH
チャネル・インターバル・レジスタ 3	CHITVL3	400A 28F0H
Next リンク・アドレス・レジスタ 3	NXLA3	400A 28F8H
Current リンク・アドレス・レジスタ 3	CRLA3	400A 28FCH

（3/4）

レジスタ名	略号	アドレス
連続空間ソース・サイズ・レジスタ 0	SCNT0	400A 2A00H
スキップ空間ソース・サイズ・レジスタ 0	SSKP0	400A 2A04H
連続空間デスティネーション・サイズ・レジスタ 0	DCNT0	400A 2A08H
スキップ空間デスティネーション・サイズ・レジスタ 0	DSKP0	400A 2A0CH
連続空間ソース・サイズ・レジスタ 1	SCNT1	400A 2A20H
スキップ空間ソース・サイズ・レジスタ 1	SSKP1	400A 2A24H
連続空間デスティネーション・サイズ・レジスタ 1	DCNT1	400A 2A28H
スキップ空間デスティネーション・サイズ・レジスタ 1	DSKP1	400A 2A2CH
連続空間ソース・サイズ・レジスタ 2	SCNT2	400A 2A40H
スキップ空間ソース・サイズ・レジスタ 2	SSKP2	400A 2A44H
連続空間デスティネーション・サイズ・レジスタ 2	DCNT2	400A 2A48H
スキップ空間デスティネーション・サイズ・レジスタ 2	DSKP2	400A 2A4CH
連続空間ソース・サイズ・レジスタ 3	SCNT3	400A 2A60H
スキップ空間ソース・サイズ・レジスタ 3	SSKP3	400A 2A64H
連続空間デスティネーション・サイズ・レジスタ 3	DCNT3	400A 2A68H
スキップ空間デスティネーション・サイズ・レジスタ 3	DSKP3	400A 2A6CH
システム・バス DMAC コントロール・レジスタ	DCTRL	400A 2B00H
DMAC ディスクリプタ・インターバル・レジスタ	DSCITVL	400A 2B04H
DMAC イネーブル･ステータス･レジスタ	DSTEN	400A 2B10H
DMAC エラー・ステータス・レジスタ	DSTER	400A 2B14H
DMAC 完了ステータス・レジスタ	DSTEND	400A 2B18H
DMAC ターミナル･カウント･ステータス･レジスタ	DSTTC	400A 2B1CH
DMAC サスペンド･ステータス･レジスタ	DSTSUS	400A 2B20H
RTDMAC Next0 ソース・アドレス・レジスタ	RTN0SA	400A 2C00H
RTDMAC Next0 デスティネーション・アドレス・レジスタ	RTN0DA	400A 2C04H
RTDMAC Next0 トランザクション・バイト・レジスタ	RTN0TB	400A 2C08H
RTDMAC Next1 ソース・アドレス・レジスタ	RTN1SA	400A 2C0CH
RTDMAC Next1 デスティネーション・アドレス・レジスタ	RTN1DA	400A 2C10H
RTDMAC Next1 トランザクション・バイト・レジスタ	RTN1TB	400A 2C14H
RTDMAC Current ソース・アドレス・レジスタ	RTCRSA	400A 2C18H
RTDMAC Current デスティネーション・アドレス・レジスタ	RTCRDA	400A 2C1CH
RTDMAC Current トランザクション・バイト・レジスタ	RTCRTB	400A 2C20H
RTDMAC チャネル・ステータス・レジスタ	RTCHSTAT	400A 2C24H
RTDMAC チャネル・コントロール・レジスタ	RTCHCTRL	400A 2C28H
RTDMAC チャネル・コンフィギュレーション・レジスタ	RTCHCFG	400A 2C2CH
RTDMAC チャネル・インターバル・レジスタ	RTCHITVL	400A 2C30H
RTDMAC Next リンク・アドレス・レジスタ	RTNXLA	400A 2C38H
RTDMAC Current リンク・アドレス・レジスタ	RTCRLA	400A 2C3CH

（4/4）

レジスタ名	略号	アドレス
RTDMAC 連続空間ソース・サイズ・レジスタ	RTSCNT	400A 2E00H
RTDMAC スキップ空間ソース・サイズ・レジスタ	RTSSKP	400A 2E04H
RTDMAC 連続空間デスティネーション・サイズ・レジスタ	RTDCNT	400A 2E08H
RTDMAC スキップ空間デスティネーション・サイズ・レジスタ	RTDSKP	400A 2E0CH
RTDMAC コントロール・レジスタ	RTDCTRL	400A 2F00H
RTDMAC ディスクリプタ・インターバル・レジスタ	RTDSCITVL	400A 2F04H
RTDMAC イネーブル･ステータス･レジスタ	RTDSTEN	400A 2F10H
RTDMAC エラー・ステータス・レジスタ	RTDSTER	400A 2F14H
RTDMAC 完了ステータス・レジスタ	RTDSTEND	400A 2F18H
RTDMAC ターミナル･カウント･ステータス･レジスタ	RTDSTTC	400A 2F1CH
RTDMAC サスペンド・ステータス・レジスタ	RTDSTSUS	400A 2F20H
DMA 転送インタフェース信号制御レジスタ 0	DMAIFC0	4001 0720H
DMA 転送インタフェース信号制御レジスタ 1	DMAIFC1	4001 0724H
DMA 転送インタフェース信号制御レジスタ 2	RTDMAIFC	4001 0728H
DMA トリガ要因レジスタ 0	DTFR0	4001 0730H
DMA トリガ要因レジスタ 1	DTFR1	4001 0734H
DMA トリガ要因レジスタ 2	DTFR2	4001 0738H
DMA トリガ要因レジスタ 3	DTFR3	4001 073CH
DMA トリガ要因レジスタ 4	RTDTFR	4001 0740H

14.4.3 汎用 DMA コントローラのレジスタ・セット

14.4.3.1 Next レジスタ・セット

Current レジスタ・セットにロードされる Next レジスタ・セットです。

(1) Next ソース・アドレス・レジスタ（N0SAn, N1SAn）

汎用 DMA コントローラ（：ユニット 0）／チャネル n の DMA 転送元アドレスを設定します。

N0SAn は Next0 レジスタ・セット用、N1SAn は Next1 レジスタ・セット用です。

同一値で連続ライトを行うライト・オンリー・モード（CHCFGn.WONLY = 1）時には、連続ライトを行うデータ設定に使用します（14.7.4 ライト・オンリー・モード参照）。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
N0SAn	通常モード時：転送元アドレス ライト・オンリー・モード時：ライト・データ		400A 2800H ＋40H×n	0000 0000H
R/W	R/W			

	31	0	アドレス	初期値
N1SAn	通常モード時：転送元アドレス ライト・オンリー・モード時：ライト・データ		400A 280CH ＋40H×n	0000 0000H
R/W	R/W			

ビット位置	ビット名	意　味
31-0	SA31-SA0	通常モード時の転送元アドレスです。 DMA 転送元の開始アドレスを設定します。
	WD31-WD0	ライト・オンリー・モード時のライト・データです。 同一値で連続ライトを行うライト・オンリー・モード時の、連続ライトを行うデータを設定します。

注意 N0SAn レジスタは、リンク・モード転送時には、ディスクリプタ・リード・データにより上書きされます。

備考 n = 0-3

(2) Next デスティネーション・アドレス・レジスタ（N0DAn, N1DAn）

汎用 DMA コントローラ（：ユニット 0）／チャネル n の DMA 転送先アドレスを設定します。
N0DAn は Next0 レジスタ・セット用、N1DAn は Next1 レジスタ・セット用です。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
N0DAn	転送先アドレス		400A 2804H ＋40H×n	0000 0000H
R/W	R/W			

	31	0	アドレス	初期値
N1DAn	転送先アドレス		400A 2810H ＋40H×n	0000 0000H
R/W	R/W			

ビット位置	ビット名	意　味
31-0	DA31-DA0	転送先アドレスです。 DMA 転送先の開始アドレスを設定します。

注意 N0DAn レジスタは、リンク・モード転送時には、ディスクリプタ・リード・データにより上書きされます。

備考 n = 0-3

(3) Next トランザクション・バイト・レジスタ（N0TBn, N1TBn）

汎用 DMA コントローラ（：ユニット 0）／チャネル n の総転送バイト数（DMA トランザクション）を設定します。

N0TBn は Next0 レジスタ・セット用、N1TBn は Next1 レジスタ・セット用です。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
N0TBn	トランザクション・バイト		400A 2808H ＋40H×n	0000 0000H
R/W	R/W			

	31	0	アドレス	初期値
N1TBn	トランザクション・バイト		400A 2814H ＋40H×n	0000 0000H
R/W	R/W			

ビット位置	ビット名	意　味
31-0	TB31-TB0	トランザクション・バイト数です。 DMA トランザクションの総バイト数を設定します。

注意 1. 転送回数は、総バイト数で設定してください。
2. トランザクション・バイト（バイト数）は、'0'は設定禁止です。
3. N0TBn レジスタは、リンク・モード転送時には、ディスクリプタ・リード・データにより上書きされます。

備考 n = 0-3

14.4.3.2 Current レジスタ・セット

Current レジスタ・セットは、DMA 転送する転送元アドレス、転送先アドレス、総転送バイト数を示すリードのみ可能なレジスタです。

レジスタ・モード時は Next0／Next1 レジスタ・セットから、リンク・モード時はディスクリプタ・リード・データから設定値がロードされます。ソフトウェアでの書き込みはできません。

(1) Current ソース・アドレス・レジスタ（CRSAn）

汎用 DMA コントローラ（：ユニット 0）／チャネル n の DMA 転送元アドレスを示します。

- アクセス　32 ビット単位でリードのみ可能です。

	31	0	アドレス	初期値
CRSAn	転送元アドレス		400A 2818H ＋40H×n	0000 0000H
R/W	R			

ビット位置	ビット名	意　味
31-0	CRSA31-CRSA0	Current ソース・アドレス・レジスタです。 次の DMA トランザクションのリード・アドレスを示します。DMA トランザクション中は、自動的に更新されます（CHCFGn.SAD = 1 の場合は固定。CHCFGn.WONLY = 1 の場合は不定）。 初期値は以下のレジスタからロードします。 レジスタ・モード時：　N0SAn／N1SAn から転送元アドレスをロード リンク・モード時：　ディスクリプタから転送元アドレスをロード（ディスクリプタ・リード・データは N0SAn レジスタに代入され、転送時に CRSAn レジスタへ代入されます。）。 このレジスタの更新は DMA 転送のリード完了時に行われます。 このレジスタの読み出しは、DMA 停止時（CHSTATn.TACT = 0 時）に行ってください。DMA 動作中の値は参考値で、保証されません。

備考 n = 0-3

(2) Current デスティネーション・アドレス・レジスタ（CRDAn）

汎用 DMA コントローラ（：ユニット 0）／チャネル n の DMA 転送先アドレスを示します。

- アクセス　32 ビット単位でリードのみ可能です。

	31 … 0	アドレス	初期値
CRDAn	転送先アドレス	400A 281CH ＋40H×n	0000 0000H
R/W	R		

ビット位置	ビット名	意　味
31-0	CRDA31-CRDA0	Current デスティネーション・アドレス・レジスタです。 次の DMA トランザクションのライト・アドレスを示します。DMA トランザクション中は、自動的に更新されます（CHCFGn.SAD = 1 の場合は固定。CHCFGn.WONLY = 1 の場合は不定）。 初期値は以下のレジスタからロードします。 レジスタ・モード時：　N0DAn／N1DAn から転送先アドレスをロード リンク・モード時：　ディスクリプタから転送先アドレスをロード（ディスクリプタ・リード・データは N0DAn レジスタに代入され、転送時に CRDAn レジスタへ代入されます。）。 このレジスタの更新は DMA 転送のライト完了時に行われます。 このレジスタの読み出しは、DMA 停止時（CHSTATn.TACT = 0 時）に行ってください。DMA 動作中の値は参考値で、保証されません。

備考 n = 0-3

(3) Current トランザクション・バイト・レジスタ（CRTBn）

汎用 DMA コントローラ（：ユニット 0）／チャネル n の、総転送バイト数を表示します。DMA トランザクション（一連の DMA 転送）終了時には 0000 0000H になります。

- アクセス　　32 ビット単位でリードのみ可能です。

	31	0	アドレス	初期値
CRTBn	トランザクション・バイト・データ		400A 2820H ＋40H×n	0000 0000H
R/W	R			

ビット位置	ビット名	意　味
31-0	CRTB31- CRTB0	Current トランザクション・バイト・レジスタです。 現在実行している DMA トランザクション（一連の DMA 転送）の、残りの転送バイト数を表示します。DMA トランザクション中は、自動的にデクリメントされます。 初期値は以下のレジスタからロードします。 レジスタ・モード時：　N0TBAn／N1TBn から転送バイト数をロード リンク・モード時：　ディスクリプタから転送バイト数をロード（ディスクリプタ・リード・データを N0TBn レジスタに代入され、転送時に CRTBn レジスタへ代入されます。）。 このレジスタの更新は DMA 転送のライト完了時に行われます。 このレジスタの読み出しは、DMA 停止時（CHSTATn.TACT = 0 時）に行ってください。DMA 動作中の値は参考値で、保証されません。

備考 n = 0-3

(4) チャネル・レジスタ・セット

チャネル・レジスタ・セットは、DMA 転送動作、DMA 転送モードの設定、ステータス読み出しを行うレジスタ・セットです。

(a) チャネル・ステータス・レジスタ（CHSTATn）

汎用 DMA コントローラ（：ユニット 0）／チャネル n のステータスを読み出すレジスタです。

- アクセス　　32 ビット単位でリードのみ可能です。

（1/6）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CHSTATn	DNUM								0	0	0	0	0	SWPRQ	DMARQM	INTM	0	0	0	0	MODE	DER	DW	DL	SR	TC	END	ER	SUS	TACT	RQST	EN	400A 2824H ＋40H×n
R/W	R	R	R	R	R	R	R	R	0	0	0	0	0	R	R	R	0	0	0	0	R	R	R	R	R	R	R	R	R	R	R	R	初期値 0000 0000H

ビット位置	ビット名	意　味		
31-24	DNUM	バッファ内の有効バイト数を表示します。 バッファ内のデータとは、転送元からリードして、転送先へライトしていないデータです。		
		インクリメント条件	デクリメント条件	クリア（0）条件
		・ DMA リード・トランスファ完了時	・ DMA ライト・トランスファ完了時	・ CHSTATn.EN ビット・クリア条件 ・ CHCTRLn.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（CHSTATn : このレジスタ）のクリア操作）
23-19	－	Reserved（リードは 0 が読み出されます。）		
18	SWPRQ	強制掃き出し要求状態を表示します。 CHCTRLn.SETSSWPRQ ビットで起動した掃き出し要求の状態を示します。 0：強制掃き出し要求がアサートされていない 1：強制掃き出し要求がアサートされた		
		セット（1）条件	クリア（0）条件	
		・ CHCTRLn.SETSSWPRQ ビットのセット（1）	・ 強制掃き出しによりバッファ内のデータ量が 0 になったとき	
			・ CHCTRLn.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（CHSTATn : このレジスタ）のクリア操作）	

備考 n = 0-3

<table>
<tr><th>ビット位置</th><th>ビット名</th><th colspan="2">意　味</th></tr>
<tr><td>17</td><td>DMARQM</td><td colspan="2">DMA 転送要求入力の一時マスク状態を示します。
0：マスクされていない
1：一時マスク状態</td></tr>
<tr><td></td><td></td><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td></td><td></td><td>・ CHCTRLn.SETDMARQM ビットのセット（1）</td><td>・ CHCTRLn.CLRDMARQM ビットのセット（1）
・ CHCTRLn.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（CHSTATn：このレジスタ）のクリア操作）</td></tr>
<tr><td>16</td><td>INTM</td><td colspan="2">INTDMAn 割り込み出力の一時マスク状態を表示します。
0：一時マスク解除状態
1：一時マスク状態</td></tr>
<tr><td></td><td></td><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td></td><td></td><td>・ CHCTRLn.SETINTM ビットのセット（1）</td><td>・ CHCTRLn.CLRINTM ビットのセット（1）
・ CHCTRLn.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（CHSTATn：このレジスタ）のクリア操作）</td></tr>
<tr><td>15-12</td><td>－</td><td colspan="2">Reserved（リードは 0 が読み出されます。）</td></tr>
<tr><td>11</td><td>MODE</td><td colspan="2">DMA モードを示します。CHCFGn レジスタの DMS ビットの設定値が反映されます。
0：レジスタ・モード
1：リンク・モード</td></tr>
<tr><td>10</td><td>DER</td><td colspan="2">ディスクリプタ・エラー・ビットです。
リンク・モードで、リードしたディスクリプタのヘッダの LV（ディスクリプタの有効／無効ビット）ビットが 0（ディスクリプタが無効）の場合にセット（1）されます。CHCFGn.DIM ビットの値には依存しません。
0：ディスクリプタ・エラーは発生してない
1：ディスクリプタ・エラー発生</td></tr>
<tr><td></td><td></td><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td></td><td></td><td>・ リンク・モードで、CHCFGn.DRRP = 0（ディスクリプタが有効（LV = 1）になるまでディスクリプタを読み続けるモード）で、ディスクリプタのヘッダ領域の LV ビットが 0（ディスクリプタが無効）のとき</td><td>・ CHCTRLn.CLRDER ビットのセット（1）（DER ビット：このビットのクリア操作）
・ CHCTRLn.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（CHSTATn：このレジスタ）のクリア操作）</td></tr>
</table>

備考 n = 0-3

（3/6）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th colspan="2">意　味</th></tr>
<tr><td rowspan="3">9</td><td rowspan="3">DW</td><td colspan="2">リンク・モードで、ディスクリプタのライトバック中にセット（1）されます。
ディスクリプタのライトバック時にバス・エラー注を受けた場合は、セット（1）されたままクリア（0）されません。</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td>・ リンク・モードで、ヘッダをライトバック開始時</td><td>・ リンク・モードで、ヘッダのライトバック完了
・ CHCTRLn.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（CHSTATn：このレジスタ）のクリア操作）</td></tr>
<tr><td rowspan="3">8</td><td rowspan="3">DL</td><td colspan="2">リンク・モードで、ディスクリプタ・ロード中にセット（1）されます。
ディスクリプタ・ロード時にバス・エラー注を受けた場合は、セット（1）されたままクリア（0）されません。</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td>・ リンク・モードで、ディスクリプタのロード中</td><td>・ リンク・モードで、ディスクリプタのロード完了
・ CHCTRLn.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（CHSTATn：このレジスタ）のクリア操作）</td></tr>
<tr><td rowspan="3">7</td><td rowspan="3">SR</td><td colspan="2">レジスタ・モードで、選択しているレジスタ・セットを示します。
0：Next0 レジスタ・セット
1：Next1 レジスタ・セット</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td>・ CHCFGn.RSEL = 1 のとき
（Next1 レジスタ・セット選択時）</td><td>・ CHCFGn.RSEL = 0 のとき
（Next1 レジスタ・セット選択時）</td></tr>
<tr><td rowspan="3">6</td><td rowspan="3">TC</td><td colspan="2">DMA トランザクション（一連の DMA 転送）が完了するとセット（1）されます。
CHCFGn.TCM = 0（DMATCZp：ターミナル・カウント出力許可）時のみセット（1）されます。</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td>・ レジスタ・モードで、CRTBn レジスタに設定された総転送バイト数分の転送が終了した場合
・ リンク・モードで、ディスクリプタのヘッダの WBD = 1（ヘッダの LV ビットのライトバック禁止時）で、CRTBn レジスタに設定された総転送バイト数分の転送が終了した場合
・ リンク・モードで、ディスクリプタのヘッダの WBD = 0 で、ディスクリプタ・ライトバックが終了した場合</td><td>・ CHCTRLn.CLRTC ビットのセット（1）
（TCn ビット：このビットのクリア操作）
・ CHCTRLn.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（CHSTATn：このレジスタ）のクリア操作）</td></tr>
</table>

注 メモリマップ上の予約領域をアクセス先として指定した場合内部バス(AHB)がバス・エラー(アドレスデコードエラー)を発生します。CHCTRLn.SWRST ビットをセット（1）することで、このビットをクリア（0）できます。

備考 n = 0-3, p = 0,1

（4/6）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th colspan="2">意　味</th></tr>
<tr><td rowspan="2">5</td><td rowspan="2">END</td><td colspan="2">DMA トランザクション（一連の DMA 転送）が完了し、INTDMAn 発生時にセット（1）されます。</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td></td><td></td><td>・ TC ビットのセット（1）条件、かつ CHCFGn.DEM = 0（INTDMAn： DMA 転送完了割り込み出力許可時）
・ リンク・モードで、以下のすべての条件が成立する場合
　・ ディスクリプタのヘッダの LV = 0（ディスクリプタ無効）
　・ CHCFGn.DRRP = 0（ディスクリプタのヘッダの LV ビットが 0 の場合に DER ビットをセット（1）して、ディスクリプタ・エラーとし、DMA 転送を停止）
　・ CHCFGn.DIM = 0（ディスクリプタのヘッダの LV ビットが 0 の場合にディスクリプタ・エラー割り込み（INTDMAn）の許可時）</td><td>・ CHCTRLn.CLREND ビットのセット（1）（ENDn ビット：このビットのクリア操作）
・ CHCTRLn.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（CHSTATn：このレジスタ）のクリア操作）</td></tr>
<tr><td rowspan="3">4</td><td rowspan="3">ER 注1</td><td colspan="2">DMA 転送中に転送エラー注2が発生し、INTDMAERR0 割り込みが発生するとセット（1）されます。</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td>・ DMA 転送エラー発生注2</td><td>・ CHCTRLn.SWRSTn ビットのセット（1）（チャネル・ステータス・レジスタ（CHSTATn：このレジスタ）のクリア操作）</td></tr>
<tr><td rowspan="3">3</td><td rowspan="3">SUS</td><td colspan="2">DMA チャネル n の一時停止（サスペンド）状態を示します。
0：DMA チャネル n は一時停止（サスペンド）状態ではない
1：DMA チャネル n は一時停止（サスペンド）状態</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td>・ DMA チャネル n の DMA トランザクション（一連の DMA 転送）実行中に CHCTRLn.SETSUS ビットをセット（1）し、DMA チャネル n の DMA トランザクションを一時停止状態した場合</td><td>・ CHCTRLn.CLRSUS ビットのセット（1）（一時停止状態の解除）
・ CHCTRLn.CLREN ビットのセット（1）
・ CHSTATn.EN ビット・クリア条件</td></tr>
<tr><td rowspan="3">2</td><td rowspan="3">TACT</td><td colspan="2">DMA チャネル n が動作中であることを示すビットです。
DMA チャネル n が完全に停止していることを確認するために使用します。
0：DMA チャネル n の DMA は停止状態
1：DMA チャネル n の DMA は動作中</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td>・ CHCTRLn.SETEN ビットのセット（1）（ディスクリプタ・リード開始または DMA トリガ待ち）</td><td>・ CHSTATn.EN = 0 で、すべての DMA トランザクション（一連の DMA 転送）完了時</td></tr>
</table>

注 1. ER ビットがセット（1）された転送は、その一連の DMA 転送を無効として処理してください。
2. 未定義領域へのアクセスなどでバス・エラーが発生します。

備考 n = 0-3

(5/6)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th colspan="2">意　味</th></tr>
<tr><td>1</td><td>RQST</td><td colspan="2">転送要求を受け付けていることを示すビットです。
0：DMA 転送要求を受けていない
1：DMA 転送要求を受けている</td></tr>
<tr><td></td><td></td><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td></td><td></td><td>・ CHCTRLn.STG ビットのセット（1）
（ソフトウェアによる DMA 起動時）
・ CHCFGn レジスタの SELn ビットで選択した、DMA 転送トリガが発生し、DMA 転送要求を受け付けた場合</td><td>・ CHCTRLn.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（CHSTATn：このレジスタ）のクリア操作）
・ CHCTRLn.CLRRQ ビットのセット（1）
（RQST ビット：このビットのクリア操作）
・ シングル転送モード（CHCFGn.TM = 0）モード時で、DMA 転送が終わったとき
（CHCFGn.REQD ビットで DMAACKZp 出力タイミングをリード時／ライト時が選択できます。ここで選択したリードまたはライトの DMA 転送が終わったときがクリア（0）条件です。）
・ レジスタ・モードで、すべての DMA トランザクション（一連の DMA 転送）が完了した場合（CHCFGn.REN = 0（DMA トランザクション（一連の DMA 転送）完了時に、続けて CHCFGn.RSEL ビットで指定した Next レジスタ・セットで DMA 転送を行わない）の場合）
・ リンク・モードで、最後のディスクリプタの DMA 転送を終了した場合
（ディスクリプタのヘッダの LE ビット = 1（リンク終了）時）
・ リンク・モードで、ディスクリプタ読み込みで停止（ヘッダの LV = 0 & DRRP = 0）した場合
（LV = 0：ディスクリプタ無効）
（CHCFGn.DRRP = 0：ディスクリプタのヘッダの LV ビットが 0 の場合に DERn ビットをセット（1）して、ディスクリプタ・エラーとし、DMA 転送を停止）
・ リンク・モードで、CHCFGn.DEM = 0（DMA 転送完了割り込み（INTDMAn）出力許可時の状態で、DMA トランザクション（一連の DMA 転送）を終了した場合）
・ バス・エラー注発生時</td></tr>
</table>

注 未定義領域へのアクセスなどでバス・エラーが発生します。

備考 n = 0-3, p = 0,1

(6/6)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th colspan="2">意　味</th></tr>
<tr><td rowspan="3">0</td><td rowspan="3">EN</td><td colspan="2">DMA チャネル n の動作許可／停止状態を示します。
0：動作停止状態
1：動作許可状態</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td>・ CHCTRLn.SETEN のセット（1）</td><td>・ CHCTRLn.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（CHSTATn：このレジスタ）のクリア操作）
・ CHCTRLn.CLREN ビットのセット（1）
（EN ビット：このビットのクリア操作）
・ レジスタ・モードで、すべての DMA トランザクション（一連の DMA 転送）が完了した場合（CHCFGn.REN = 0（DMA トランザクション（一連の DMA 転送）完了時に、続けて CHCFGn.RSEL ビットで指定した Next レジスタ・セットで DMA 転送を行わない）の場合）
・ リンク・モードで、最後のディスクリプタの DMA 転送を終了した場合
（ディスクリプタのヘッダの LE ビット = 1（リンク終了）時）
（ディスクリプタのヘッダの WBD ビット= 0 の場合はライトバック終了時）
・ バス・エラー注発生時</td></tr>
</table>

注 未定義領域へのアクセスなどでバス・エラーが発生します。

備考 n = 0-3

注意 1. ER ビットがセット（1）された転送は、その一連の DMA 転送を無効として処理してください。
2. DMA トランザクション（一連の DMA 転送）を中断する場合は、転送要求をマスクおよびクリアするか、EN ビットをクリアしてください（手順は14.8.13 転送中断機能に従ってください）。
3. 同一の DMA チャネルに対して DMA 転送要求信号による転送要求と、ソフトウェアによる転送要求（CHCRTLn.STG ビットのセット（1））を併用すると、起動要因の特定ができません。いずれかの転送要求のみ使用してください。
4. ソフトウェアによる転送起動を行う場合、前回要求した DMA 転送動作の完了を Current レジスタなどで確認してから、CHCTRLn.STG のビット操作を行ってください。

(b) チャネル・コントロール・レジスタ（CHCTRLn）

汎用 DMA コントローラ（：ユニット 0）／チャネル n の DMA 転送動作を制御するレジスタです。

- アクセス　32 ビット単位でライトのみ可能です。いずれのビットも 0 を書き込んだ場合は、動作に影響を与えません。リードした場合は、すべてのビットから 0 が読み出されます。

（1/3）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CHCTRLn	0	0	0	0	0	0	0	0	0	0	0	0	CLRDMARQM	SETDMARQM	CLRINTM	SETINTM	0	SETSSWPRQ	0	SETREN	0	0	CLRSUS	SETSUS	CLRDER	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN	400A 2828H ＋40H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	W	W	W	W	0	W	0	W	0	0	W	W	W	W	W	W	W	W	W	W	初期値 0000 0000H

ビット位置	ビット名	意　味
31-20	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
19	CLRDMARQM	DMA 転送要求入力の一時マスク状態のクリア・ビットです。 このビットをセット（1）すると、ハードウェア DMA 転送要求の一時マスク状態をクリアします。これにより CHSTATn.DMARQM（DMA 転送要求の一時マスク状態）ビットがクリア（0）されます。 0：　動作に影響を与えません。 1：　SETDMARQM のセット（1）によるハードウェア DMA 転送要求の一時マスク状態を解除します。
18	SETDMARQM	DMA 転送要求入力のマスク状態のセット・ビットです。 このビットをセット（1）すると、ハードウェア DMA 転送要求が一時的にマスク状態に設定されます。これにより、CHSTATn.DMARQM（DMA 転送要求の一時マスク状態）ビットがセット（1）されます。 0：動作に影響を与えません。 1：ハードウェア DMA 転送要求を一時マスクします。
17	CLRINTM	INTDMAn 割り込み出力のマスク状態のクリア・ビットです。 このビットをセット（1）すると、割り込み出力のマスク状態が解除されます。これにより、CHSTATn.INTM（割り込み出力の一時マスク状態）ビットがクリア（0）されます。 DMA 転送完了状態でマスクを解除した場合は、割り込みは出力されません。 0：動作に影響を与えません。 1：SETINTM のセット（1）による INTDMAn 出力のマスク状態を解除します。

備考 n = 0-3

（2/3）

ビット位置	ビット名	意　味
16	SETINTM	INTDMAn 割り込み出力のマスク状態のセット・ビットです。 このビットをセット（1）すると、割り込み出力が一時的にマスク状態に設定されます。これにより、CHSTATn.INTM（割り込み出力の一時マスク状態）ビットがセット（1）されます。 0：動作に影響を与えません。 1：INTDMAn 出力をマスクします。
15	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
14	SETSSWPRQ	バッファの強制掃き出しビットです。 このビットをセット（1）すると、バッファ内にあるデータを、転送先に強制的に掃き出します（14.8.7 強制掃き出し機能参照）。なお、CHCFGn.REQD がセット（1）されていて、DMAACKZp がライト時にアサートされる設定の場合は、強制掃き出しは利用できません。 0：動作に影響を与えません。 1：転送先にライトしていないバッファ内のデータを転送先にライト（掃き出し）します。
13	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
12	SETREN	レジスタ・モードで、DMA トランザクション（一連の DMA 転送）完了時に、続けて CHCFGn.RSEL ビットで指定した Next レジスタ・セットで DMA 転送を行う場合に、このビットをセット（1）してください。 これにより、CHCFGn.REN ビットがセット（1）されます。詳細は、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の REN ビットを参照してください。 0：動作に影響を与えません。 1：CHCFGn.REN をセット（1）します。
11,10	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
9	CLRSUS	実行中の DMA チャネル n の一時停止（サスペンド）状態の解除ビットです。 CHSTATn.SUS = 1 のときに、このビットをセット（1）すると、DMA チャネル n の一時停止（サスペンド）状態が解除されます。 0：動作に影響を与えません。 1：実行中の DMA 転送の一時停止（サスペンド）状態を解除します。
8	SETSUS	実行中の DMA チャネル n の一時停止（サスペンド）状態の設定ビットです。 CHSTATn.EN = 1（DMA チャネル n の動作許可状態）のときに、このビットをセット（1）すると、実行中の DMA チャネル n が一時停止（サスペンド）状態に設定されます。 0：動作に影響を与えません。 1：実行中の DMA 転送を一時停止（サスペンド）状態に設定します。
7	CLRDER	リンク・モード時のディスクリプタ・エラーのクリア・ビットです。 このビットをセット（1）すると、CHSTATn.DER（ディスクリプタ・エラー）ビットがクリア（0）されます。 0：動作に影響を与えません。 1：CHSTATn.DER（ディスクリプタ・エラー）ビットをクリア（0）。

備考 n = 0-3, p = 0,1

（3/3）

ビット位置	ビット名	意　味
6	CLRTC	ターミナル・カウント（DMA トランザクション（一連の DMA 転送）完了）状態のクリア・ビットです。 このビットをセット（1）すると、CHSTATn.TC（ターミナル・カウント）ビットがクリア（0）されます。 0：動作に影響を与えません。 1：CHSTATn.TC（ターミナル・カウント）ビットをクリア（0）
5	CLREND	DMA トランザクション（一連の DMA 転送）完了し、INTDMAn の発生と同時にセットされる CHSTATn.END のクリア・ビットです。 このビットをセット（1）すると、CHSTATn.END ビットがクリア（0）されます。 0：動作に影響を与えません。 1：CHSTATn.END ビットをクリア（0）。
4	CLRRQ	DMA 転送要求のクリア・ビットです。 このビットをセット（1）すると、CHSTATn.RQST（DMA 転送要求）ビットがクリア（0）されます。 0：動作に影響を与えません。 1：CHSTATn.RQST（DMA 転送要求）ビットをクリア（0）。
3	SWRST	DMA チャネル n のソフトウエア・リセット・ビットです。 このビットをセット（1）するとソフトウエア・リセットが実行され、この操作がクリア条件となるチャネル・ステータス・レジスタ（CHSTATn）の各ビットがクリア（0）されます。 このビットのセット（1）は、DMA チャネル n の完全停止状態に行ってください。DMA チャネル転送の完全停止状態は、CHSTATn.EN = 0 かつ CHSTATn.TACT = 0 で確認してください。 0：動作に影響を与えません。 1：SWRST によるクリア条件のある CHSTATn レジスタの各ビットをクリア（0）
2	STG	ソフトウェアで DMA 転送を起動するための、ソフトウエア・トリガ・ビットです。 このビットをセット（1）すると、内部転送要求をセットします（ソフトウェア起動）。 SWRST ビットと同時にセット（1）した場合は、SWRST ビットのセット（ソフトウエア・リセット）が優先されます。 0：動作に影響を与えません。 1：ソフトウェアによる転送要求のセット（CHSTATn.RQST ビットをセット（1））。
1	CLREN	DMA チャネル n の動作停止設定ビットです。 このビットをセット（1）すると、CHSTATn.EN ビットがクリア（0）され、DMA チャネル n は動作停止状態になります（詳細は14.8.13 転送中断機能参照）。 0：動作に影響を与えません。 1：DMA チャネル n の動作を停止（CHSTATn.EN ビットをクリア（0））。
0	SETEN	DMA チャネル n の動作許可設定ビットです。 このビットをセット（1）すると、CHSTATn.EN ビットがセット（1）され、DMA チャネル n は動作許可状態になります。SWRST ビットと同時にセット（1）した場合は、SWRST ビットのセット（ソフトウエア・リセット）が優先されます。 0：動作に影響を与えません。 1：DMA チャネル n の動作を許可（CHSTATn.EN ビットをセット（1））。

備考 n = 0-3

(c) チャネル・コンフィギュレーション・レジスタ（CHCFGn）

汎用 DMA コントローラ（：ユニット 0）／チャネル n の DMA 動作モードを設定するレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。

（1/7）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CHCFGn	DMS	REN	RSW	RSEL	SBE	DIM	TCM	DEM	WONLY	TM	DAD	SAD	DDS3-DDS0				SDS3-SDS0				DRRP 注2	AM2-AM0			0	LVL	HEN	LEN	REQD	SEL2-SEL0			400A 282CH ＋40H×n
																																	初期値
																																	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31	DMS	DMA 動作モードを選択します。 0：レジスタ・モード（初期値） 1：リンク・モード
30	REN	DMA トランザクション（一連の DMA 転送）完了時に続けて DMA 転送を実行するかどうかを選択します。続けて実行する場合は、RSEL ビットで選択されている Next レジスタ・セットで DMA 転送を行います。 この設定は、レジスタ・モード時のみ有効です。 DMA トランザクション中にこのビットをセット（1）する場合は、CHCTRLn レジスタの SETERN ビットを使用することを推奨します。 0：連続実行しない。 1：連続実行する（RSEL ビットで選択されている Next レジスタ・セットを使う）
		セット（1）条件： ・ このビットのセット（1） ・ CHCTRLn.SETREN ビットのセット（1） クリア（0）条件： ・ このビットのクリア（0） ・ REN = 1 のときに DMA トランザクション（一連の DMA 転送）完了時
29	RSW	DMA トランザクション（一連の DMA 転送）完了時の RSEL（Next レジスタ・セットの選択）ビットの値の反転動作を選択します。 この設定は、レジスタ・モード時のみ有効です。 0：DMA トランザクション（一連の DMA 転送）完了後に RSEL を反転しない（初期値）。 1：DMA トランザクション（一連の DMA 転送）完了後に RSEL を反転する。

備考 n = 0-3

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>28</td><td>RSEL</td><td>次の DMA 転送に使用する Next レジスタ・セットを選択します。
この設定は、レジスタ・モード時のみ有効です。
RSW = 1 の場合、DMA トランザクション（一連の DMA 転送）完了時に自動的に反転されます。
0：Next0 レジスタ・セットを使用する（初期値）。
1：Next1 レジスタ・セットを使用する。</td></tr>
<tr><td>27</td><td>SBE</td><td>DMA トランザクション（一連の DMA 転送）中に、CHCTRLn.CLREN のセット（1）により、DMA チャネル n の動作が停止された場合、すでにリードしてバッファに取り込んだデータの処理を選択します。ただし、REQD = 1 で、ライト時に DMAACKZp を出力するモードを選択した場合は、このビットをセット（1）できません。
0：バッファの掃き出し（ライト）をしないで転送中止（初期値）
1：バッファの掃き出し（ライト）をして転送中止</td></tr>
<tr><td>26</td><td>DIM</td><td>リンク・モード時に、ディスクリプタのヘッダの LV ビットが 0 だった場合に、ディスクリプタ・エラー割り込み（INTDMAERR0）の動作を選択します。
0：INTDMAERR0 をマスクしない（初期値）。
1：INTDMAERR0 をマスクする。</td></tr>
<tr><td>25</td><td>TCM</td><td>ターミナル・カウント出力（DMATCZp）のマスク・ビットです。
ターミナル・カウント出力のタイミングで、このビットがセット（1）されていた場合、DMATCZp を出力しません。また CHSTATn.TC もセット（1）されません。このとき、レジスタ・モードでは自動的にクリア（0）され、リンク・モードではクリア（0）されません。
このビットは、ソフトウェアによる DMA 転送の制御を行う場合に使用してください。
0：マスクしない（ターミナル・カウント出力（DMATCZp）許可：初期値）
1：マスクする（ターミナル・カウント出力（DMATCZp）禁止）
<table>
<tr><th>セット（1）条件</th><th>クリア（0）条件</th></tr>
<tr><td>・　このビットのセット（1）</td><td>・　このビットのクリア（0）
・　レジスタ・モードで、このビットがセット（1）されている状態で DMA トランザクション（一連の DMA 転送）完了時</td></tr>
</table></td></tr>
<tr><td>24</td><td>DEM</td><td>DMA トランザクション（一連の DMA 転送）完了時に、INTDMAn の動作を選択します。
INTDMAn 発生タイミングで、このビットがセット（1）されていた場合、INTDMAn を出力しません。また CHSTATn.END もセット（1）されません。このとき、レジスタ・モードでは自動的にクリア（0）され、リンク・モードではクリア（0）されません。
0：マスクしない（INTDMAn 出力許可：初期値）
1：マスクする（INTDMAn 出力禁止）
<table>
<tr><th>セット（1）条件</th><th>クリア（0）条件</th></tr>
<tr><td>・　このビットのセット（1）</td><td>・　このビットのクリア（0）
・　レジスタ・モードで、このビットがセット（1）されている状態で DMA トランザクション（一連の DMA 転送）完了時</td></tr>
</table></td></tr>
</table>

備考 n = 0-3, p = 0,1

(3/7)

ビット位置	ビット名	意　味
23	WONLY	通常モードとライト・オンリー・モードを選択します。 ライト・オンリー・モードでは、Next ソース・アドレス・レジスタ（N0SAn, N1SAn）に設定されたデータを、Next デスティネーション・アドレス・レジスタ（N0DAn, N1DAn）で示されるアドレスにライトします。 ライト・オンリー・モードは、同一値で連続ライトを行う場合に利用します。 0：通常動作（初期値） 1：ライト・オンリー・モード
22	TM	DMA 転送モードを選択します。 0： シングル転送モード（DMA 転送要求ごとに、1 回の転送を行う：初期値） 1： ブロック転送モード（1 回の DMA 転送要求で、トランザクション・バイト・レジスタに設定したバイト数分の転送を行う）
21	DAD	DMA チャネル n の転送先（デスティネーション）アドレスのカウント方向を設定します。 0：インクリメント（初期値） 1：固定 **注意 デスティネーション側でスキップ・モードを使う場合、またはデスティネーション側がビート・アンアラインの場合は、DAD = 1（固定）は選択しないでください。**
20	SAD	DMA チャネル n の転送元（ソース）アドレスのカウント方向を設定します。 0：インクリメント（初期値） 1：固定 **注意 ソース側でスキップ・モードを使う場合、またはソース側がビート・アンアラインの場合は、SAD = 1（固定）は選択しないでください。**
19	DDS3	DMA 転送先（デスティネーション）のアドレシングを、通常モードとスキップ・モードを選択します。 0：通常モード（初期値） 1：スキップ・モード

備考 n = 0-3

(4/7)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>18-16</td><td>DDS2-
DDS0</td><td>DMA 転送先（デスティネーション）の転送サイズを設定します。

<table>
<tr><th>DDS2</th><th>DDS1</th><th>DDS0</th><th>DMA 転送先（デスティネーション）の転送サイズ</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>8 ビット（初期値）</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>16 ビット</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>32 ビット</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>128 ビット</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>256 ビット</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>512 ビット注</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>設定禁止</td></tr>
</table>

注 転送サイズ単位のアドレスにアラインされている場合のみ設定できます。</td></tr>
<tr><td>15</td><td>SDS3</td><td>DMA 転送元（ソース）のアドレシングを、通常モードとスキップ・モードを選択します。
0：通常モード（初期値）
1：スキップ・モード</td></tr>
<tr><td>14-12</td><td>SDS2-
SDS0</td><td>DMA 転送元（ソース）の転送サイズを設定します。

<table>
<tr><th>SDS2</th><th>SDS1</th><th>SDS0</th><th>DMA 転送元（ソース）の転送サイズ</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>8 ビット（初期値）</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>16 ビット</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>32 ビット</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>128 ビット</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>256 ビット</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>512 ビット注</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>設定禁止</td></tr>
</table>

注 転送サイズ単位のアドレスにアラインされている場合のみ設定できます。</td></tr>
</table>

備考 n = 0-3

(5/7)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>11</td><td>DRRP</td><td>リンク・モードで、ディスクリプタのヘッダが無効（LV = 0）だった場合の動作を選択します。
0：　CHSTATn.DER（ディスクリプタ・エラー）ビットをセット（1）し、動作を停止します（初期値）。
1：　LV = 1 になるまで、同じディスクリプタをリードし続けます。LV = 1 になった時点で、そのディスクリプタを用いた DMA 転送を開始します。ディスクリプタをリードする間隔は、ディスクリプタ・インターバル・レジスタ（DSCITVL）で設定してください。</td></tr>
<tr><td>10-8</td><td>AM2-
AM0</td><td>DMA アクノリッジ信号の出力モードを選択します。
<table>
<tr><th>AM2</th><th>AM1</th><th>AM0</th><th>DMA アクノリッジ信号（DMAACKZp）の出力モード</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>パルス・モード注1（初期値）</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>レベル・モード
DMA 転送要求（DMAREQZp）がインアクティブになるまで、アクティブ・レベルを保持します。</td></tr>
<tr><td>0</td><td>1</td><td>X</td><td>バス・サイクル・モード注2
DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。</td></tr>
<tr><td>1</td><td>X</td><td>X</td><td>DMA アクノリッジ信号（DMAACKZp）の出力禁止</td></tr>
</table>
注 1. 1×BUSCLK 周期のパルスが DMAACKZp 信号として出力されます。
2. バス・サイクル・モードでは、バス権取得要求時点から DMA アクノリッジ信号を出力します。このため、実際の DMA バス・サイクルよりも早いタイミングで DMA アクノリッジ信号が出力され、このとき、先にバス権を獲得した内部マスタのバス・サイクルが発生する場合があります。

注意 1. 内蔵周辺機能の割り込み要求信号、外部割り込み入力を選択している場合は、AM2-AM0 の設定は動作に影響しません。
注意 2. AM2-AM0 の設定と、DMAIFCp レジスタは重複設定も可能ですが、一般的な利用方法では、AM2-AM0 を用いて DMAACKZp 信号の動作をレベル・モードに設定している場合は、DMAIFCp レジスタは初期値のままで使用してください。逆に DMAIFCp レジスタを用いて DMAACKZp のパルス幅拡張や、DMAREQZp のマスク機能を利用している場合は、AM2-AM0 はパルス・モードを選択してください。

備考 X：Don’t Care</td></tr>
<tr><td>7</td><td>－</td><td>Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）</td></tr>
</table>

備考 n = 0-3, p = 0,1

(6/7)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>6
5
4</td><td>LVL
HEN
LEN</td><td>DMA 転送要求信号の検出方法を選択します。
DMA 転送要求は，DMA トリガ要因レジスタ n（DTFRn）で選択します。選択した DMA 転送要求により，DMA 転送要求信号の検出方法が異なります。

【DMA 転送要求信号が外部端子の DMA リクエスト信号の場合】
内部の DMA インタフェースは正論理です。DMA インタフェース端子（DMAREQZp, DMAACKZp, DMATCZp）は負論理です。DMA インタフェース端子の信号は，反転してシステム・バス DMAC に接続されているため，HENn, LENn ビットの設定と逆の論理が選択されます。
<table>
<tr><th rowspan="2">LVLn</th><th rowspan="2">HENn</th><th rowspan="2">LENn</th><th rowspan="2">DMAREQZp の DMA 転送要求信号の検出方法</th><th>内部信号</th><th>外部端子</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>エッジ検出</td><td colspan="2">検出無効</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td rowspan="3">エッジ検出</td><td>立ち下がり検出</td><td>立ち上がり検出</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>立ち上がり検出</td><td>立ち下がり検出</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td colspan="2">立ち上がり／立ち下がり検出（推奨しません）</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td rowspan="4">レベル検出</td><td colspan="2">検出無効</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>ロー・レベル検出</td><td>ハイ・レベル検出</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>ハイ・レベル検出</td><td>ロー・レベル検出</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td colspan="2">設定禁止</td></tr>
</table>
【DMA 転送要求信号が割り込み信号（INT～ではじまる信号）の場合】
<table>
<tr><th>LVLn</th><th>HENn</th><th>LENn</th><th colspan="2">割り込み信号による DMA 転送要求信号の検出方法</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td rowspan="4">エッジ検出</td><td>検出無効</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>設定禁止</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>立ち上がり検出</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>設定禁止</td></tr>
<tr><td>1</td><td>×</td><td>×</td><td>レベル検出</td><td>設定禁止</td></tr>
</table>
</td></tr>
<tr><td>3</td><td>REQD</td><td>DMAACKZp がアクティブになるタイミングを選択します。
通常は、DMAREQZp をアサートした側に DMAACKZp を出力するように設定します。
0：DMAACKZp はリード時にアクティブ（DMAREQZp は転送元：ソース）
1：DMAACKZp はライト時にアクティブ（DMAREQZp は転送先：デスティネーション）</td></tr>
</table>

備考 n = 0-3, p = 0,1

(7/7)

ビット位置	ビット名	意　味
2-0	SEL2- SEL0	チャネルごとの DMA トリガを選択します。 通常は，チャネル番号と同じ値を設定してください。 外部 DMA 転送要求（DMAREQZp）のチャネル内で優先順位を入れ替える必要がある場合のみ、SEL1, SEL0 ビットで，DMA トリガを変更してください。

SEL2	SEL1	SEL0	DMA トリガの選択
0	0	0	DTFR0 で選択された DMA 転送要因を選択
0	0	1	DTFR1 で選択された DMA 転送要因を選択
0	1	0	DTFR2 で選択された DMA 転送要因を選択
0	1	1	DTFR3 で選択された DMA 転送要因を選択
上記以外			設定禁止

備考 p = 0,1

(d) チャネル・インターバル・レジスタ（CHITVLn）

汎用 DMA コントローラ（: ユニット 0）／チャネル n の DMA トランスファ間隔を設定するレジスタです。
内部システム・バス・クロック（HCLK）周期×ITVL15-ITVL0 設定値の間隔を設定できます。

- アクセス　　32 ビット単位でリード／ライト可能です。

詳細は、「14.8.9 インターバル・カウント機能」を参照してください。

	31	16	15	0	アドレス	初期値
CHITVLn	0		ITVL15-ITVL0		400A 2830H ＋40H×n	0000 0000H
R/W	0		R/W			

ビット位置	ビット名	意　味
31-16	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15-0	ITVL15-ITVL0	DMA チャネル n の DMA トランスファ間隔を設定してください。

備考 n = 0-3

(5) リンク・レジスタ・セット

リンク・モード時にリンク先を示すレジスタ・セットです。

NXLAn レジスタにディスクリプタ・アドレスを設定して DMA を起動すると、ハードウェアにより NXLAn レジスタの値が CRLAn レジスタへロードされ、ディスクリプタ・リードを行い、DMAC はそのディスクリプタ値に従って DMA トランザクションを開始します。NXLAn レジスタは、リードしたディスクリプタ中のリンク・アドレス値で自動的に更新され、次の DMA トランザクションのディスクリプタ・アドレスとして使用されます。

備考 n = 0-3

(a) Next リンク・アドレス・レジスタ（NXLAn）

汎用 DMA コントローラ（：ユニット 0）／チャネル n のリンク・アドレスを設定するレジスタです。

リンク・モード時のディスクリプタが配置されているアドレスを設定します。

- アクセス　　32 ビット単位でリード／ライト可能です。

リンク・モードについては、14.7.3 リンク・モードを参照してください。

	31 … 2	1	0	アドレス	初期値
NXLAn	NXLA31-NXLA2	0	0	400A 2838H ＋40H×n	0000 0000H
	R/W	R/W			
		0	0		

ビット位置	ビット名	意　味
31-0	NXLA31-NXLA2	リンク・モード時のリンク先アドレスを設定します。 ワード（32 ビット）・アラインされたアドレスのみ設定できます。下位 2 ビットは 0 固定です。

備考 n = 0-3

(b) Current リンク・アドレス・レジスタ（CRLAn）

リンク・モード時に、現在実行しているディスクリプタのアドレスを示します。

- アクセス　　32 ビット単位でリードのみ可能です。

	31 … 0	アドレス	初期値
CRLAn	CRLA31-CRLA0	400A 283CH ＋40H×n	0000 0000H
	R/W		
	R		

ビット位置	ビット名	意　味
31-0	CRLA31-CRLA0	リンク・モード時に、現在実行しているディスクリプタのアドレスを示します。

備考 n = 0-3

(c) 連続空間ソース・サイズ・レジスタ（SCNTn）

汎用 DMA コントローラ（:ユニット 0）／チャネル n で、転送元アクセス時の連続アクセス空間サイズを、バイト数で設定するレジスタです。このレジスタは、スキップ空間ソース・サイズ・レジスタ（SSKPn）とペアで使用します。

転送元アドレスにスキップ・モードを利用するためには、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の SDS3 ビットをセット（1）してください。

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の SAD ビットは、セット（1：転送元アドレス固定）しないでください。またスキップ・モードでは、このレジスタには 0000 0000H を設定しないでください。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
SCNTn	SCNT31-SCNT0		400A 2A00H ＋20H×n	0000 0000H
R/W	R/W			

ビット位置	ビット名	意　味
31-0	SCNT31-SCNT0	スキップ・モード時に、転送元アドレスの連続アクセス空間サイズを、バイト数で指定します。

備考 n = 0-3

(d) スキップ空間ソース・サイズ・レジスタ（SSKPn）

汎用 DMA コントローラ（：ユニット 0）／チャネル n で、転送元アクセス時のスキップ空間サイズを、バイト数で設定するレジスタです。このレジスタは、連続空間ソース・サイズ・レジスタ n（SCNTn）とペアで使用します。

転送元アドレスにスキップ・モードを利用するためには、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の SDS3 ビットをセット（1）してください。

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の SAD ビットは、セット（1：転送元アドレス固定）しないでください。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
SSKPn	SSKP31-SSKP0		400A 2A04H ＋20H×n	0000 0000H
R/W	R/W			

ビット位置	ビット名	意　味
31-0	SSKP31-SSKP0	スキップ・モード時に、転送元アドレスのスキップ空間サイズを、バイト数で指定します。

備考 n = 0-3

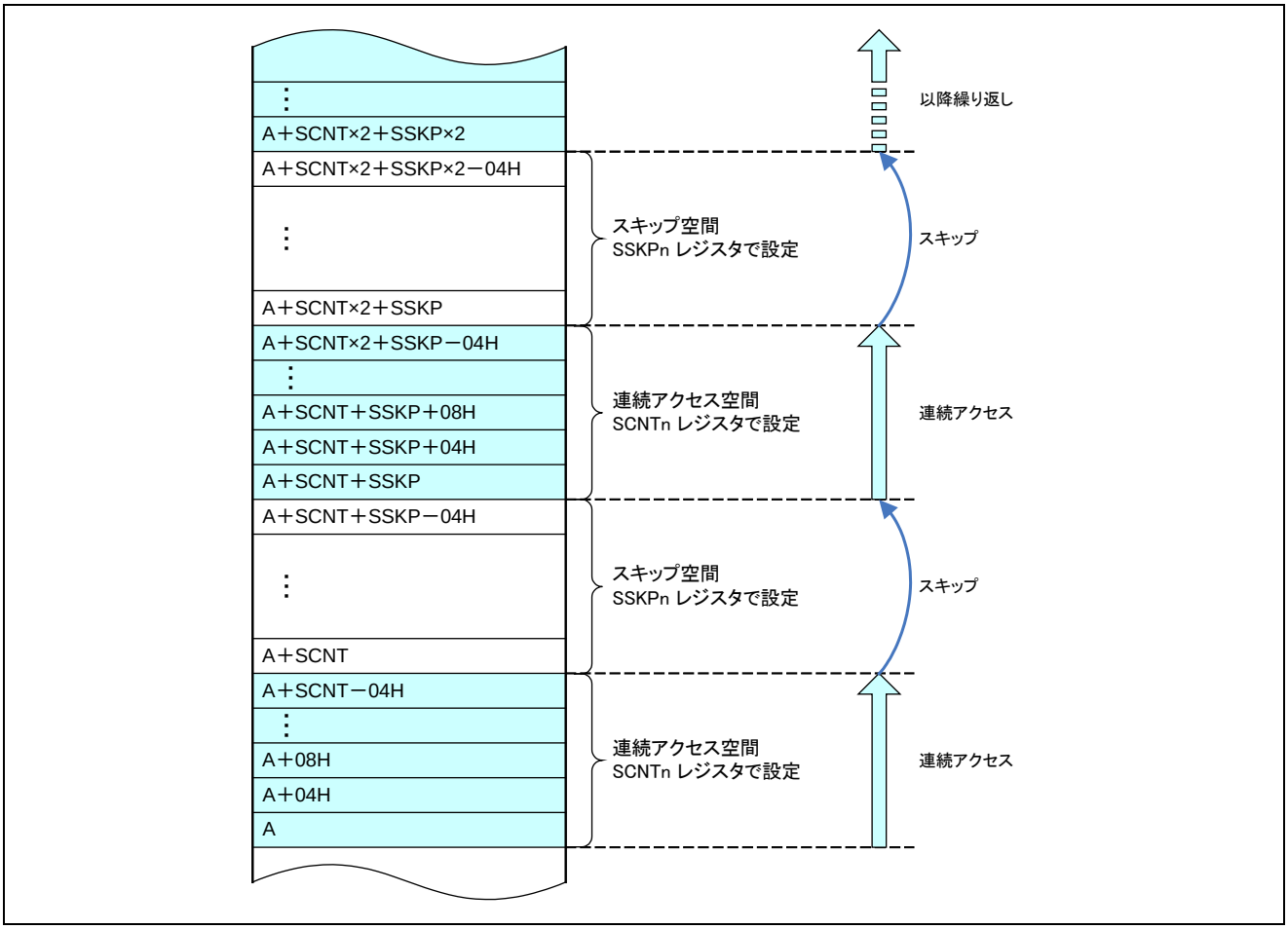


図14.4 スキップ・モード時の SSKPn レジスタと SCNTn レジスタの関係

備考 SCNTn, SSKPn の値は、転送元アドレス、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の SDS2-SDS0 ビット（ソース・データ・サイズ）の設定値に関係なく設定できます。SDS2-SDS0 設定サイズでアクセスし、有効なデータのみバッファに取り込みます。

(e) 連続空間デスティネーション・サイズ・レジスタ（DCNTn）

汎用 DMA コントローラ（:ユニット 0）／チャネル n で、転送先アクセス時の連続アクセス空間サイズを、バイト数で設定するレジスタです。このレジスタは、スキップ空間デスティネーション・サイズ・レジスタ（DSKPn）とペアで使用します。

転送先アドレスにスキップ・モードを利用するためには、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の DDS3 ビットをセット（1）してください。

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の DAD ビットは、セット（1：転送先アドレス固定）しないでください。またスキップ・モードでは、このレジスタには 0000 0000H を設定しないでください。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
DCNTn	DCNT31-DCNT0		400A 2A08H ＋20H×n	0000 0000H
R/W	R/W			

ビット位置	ビット名	意　味
31-0	DCNT31-DCNT0	スキップ・モード時に、転送先アドレスの連続アクセス空間サイズを、バイト数で指定します。

備考 n = 0-3

(6) スキップ空間デスティネーション・サイズ・レジスタ（DSKPn）

汎用 DMA コントローラ（：ユニット 0）／チャネル n で、転送先アクセス時のスキップ空間サイズを、バイト数で設定するレジスタです。このレジスタは、連続空間デスティネーション・サイズ・レジスタ n（DCNTn）とペアで使用します。

転送先アドレスにスキップ・モードを利用するためには、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の DDS3 ビットをセット（1）してください。

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の DAD ビットは、セット（1：転送先アドレス固定）しないでください。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
DSKPn	DSKP31-DSKP0		400A 2A0CH ＋20H×n	0000 0000H
R/W	R/W			

ビット位置	ビット名	意　味
31-0	DSKP31-DSKP0	スキップ・モード時に、転送先アドレスのスキップ空間サイズを、バイト数で指定します。

備考 n = 0-3

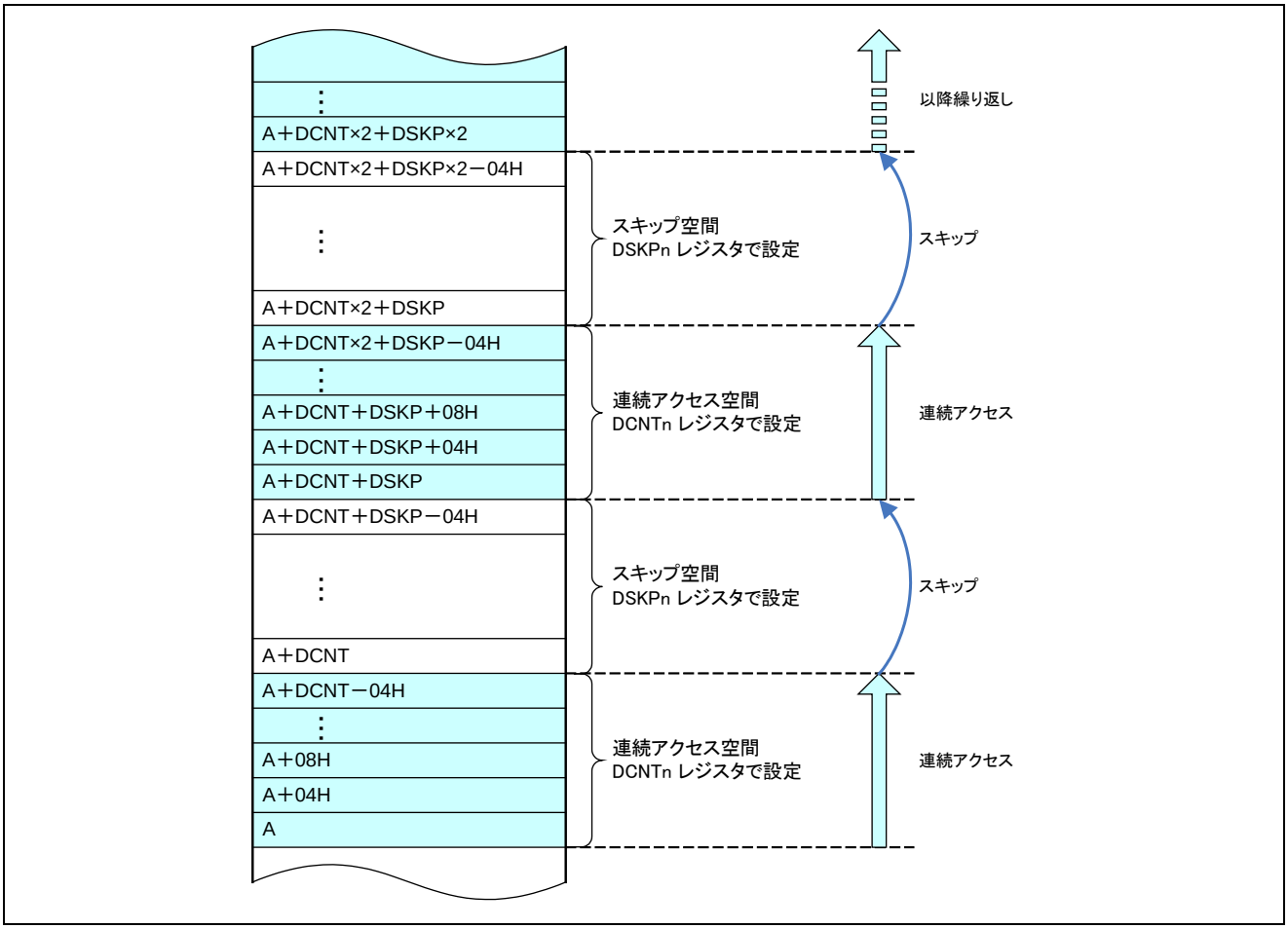


図14.5　スキップ・モード時の DSKPn レジスタと DCNTn レジスタの関係

備考 DCNTn,DSKPn の値は、転送元アドレス、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の DDS2-DDS0 ビット（デスティネーション・データ・サイズ）の設定値に関係なく設定できます。DDS2-DDS0 設定サイズ以下の組み合わせで、指定された空間へのみライト・アクセスを行います。

(7) DMA 制御レジスタ

DMA 制御レジスタは、汎用 DMA コントローラ（：ユニット 0）全チャネルに共通の制御レジスタです。

(a) DMAC コントロール・レジスタ（DCTRL）

転送優先順位制御モードを選択するレジスタです。
ビット 31-1 には、必ず 0 を設定してください。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31 … 1	0	アドレス	初期値
DCTRL	0	PR	400A 2B00H	0000 0000H
R/W	0	R/W		

ビット位置	ビット名	意　味
31-1	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	PR	転送優先順位制御モードを選択します（14.8.2 DMAユニットの優先順位制御参照）。 0：固定優先順位モード 1：ラウンドロビン・モード

(b) ディスクリプタ・インターバル・レジスタ（DSCITVL）

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の DRRP ビットをセット（1）した場合は、リンク・モード時のディスクリプタのヘッダをリードした際、LV ビットが 0（ディスクリプタ無効）の場合、LV = 1 になるまでディスクリプタをリードし続けます。

このときのリード間隔を設定するレジスタです。内部システム・バス・クロック（HCLK）周期×256 単位で設定できます。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31 … 16	15 … 8	7 … 0	アドレス	初期値
DSCITVL	0	DITVL15-DITVL8	0	400A 2B04H	0000 0000H
R/W	0	R/W	0		

ビット位置	ビット名	意　味
31-16	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15-8	DITVL15-DITVL8	ディスクリプタのヘッダの LV ビットが 1 になるまでリードし続けるときの、リード間隔を設定します。 （DITVL15-DITVL8 設定値）×256×内部システム・バス・クロック（HCLK）周期で、ディスクリプタをリードします。
7-0	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）

備考 n = 0-3

(c) DMAC イネーブル・ステータス・レジスタ（DSTEN）

全チャネルの EN（イネーブル）ビットの状態を表示します。

- アクセス　32 ビット単位でリードのみ可能です。
  ライトを行っても、各ビットの値は変化しません。
  EN = 1（DMA チャネル n 許可）とする場合は、チャネル・コントロール・レジスタ（CHCTRLn）の SETEN ビットをセット（1）してください。
  EN = 0（DMA チャネル n 停止）とする場合は、チャネル・コントロール・レジスタ（CHCTRLn）の CLREN ビットをセット（1）してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
DSTEN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	EN3	EN2	EN1	EN0	400A 2B10H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	0000 0000H

ビット位置	ビット名	意　味
31-4	－	Reserved（リードは 0 が読み出されます。）
3	EN3	DMA チャネル 3 の EN（DMA 許可状態）ビットを表示します。
2	EN2	DMA チャネル 2 の EN（DMA 許可状態）ビットを表示します。
1	EN1	DMA チャネル 1 の EN（DMA 許可状態）ビットを表示します。
0	EN0	DMA チャネル 0 の EN（DMA 許可状態）ビットを表示します。

備考 1. 各 DMA チャネルの EN ビットは、チャネル・ステータス・レジスタ（CHSTATn）レジスタの 0 ビット目にあります。

2. n = 0-3

(d) DMAC エラー・ステータス・レジスタ（DSTER）

全チャネルの ER（エラー）ビットの状態を表示します。

- アクセス　32 ビット単位でリードのみ可能です。
  ライトを行っても、各ビットの値は変化しません。

DMA 転送のバス・サイクルでエラーが発生した場合にセット（1）されます。クリア（0）は、チャネル・コントロール・レジスタ（CHCTRLn）の SWRST ビットをセット（1）する必要があります。なお、ER ビットがセットされた場合は、その一連の転送を無効として処理してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
DSTER	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ER3	ER2	ER1	ER0	400A 2B14H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	初期値 0000 0000H

ビット位置	ビット名	意　味
31-4	－	Reserved（リードは 0 が読み出されます。）
3	ER3	DMA チャネル 3 の ER（DMA 転送エラー状態）ビットを表示します。
2	ER2	DMA チャネル 2 の ER（DMA 転送エラー状態）ビットを表示します。
1	ER1	DMA チャネル 1 の ER（DMA 転送エラー状態）ビットを表示します。
0	ER0	DMA チャネル 0 の ER（DMA 転送エラー状態）ビットを表示します。

備考 1. 各 DMA チャネルの ER ビットは、チャネル・ステータス・レジスタ（CHSTATn）レジスタの 4 ビット目にあります。

2. n = 0-3

(e) DMAC 完了ステータス・レジスタ（DSTEND）

全チャネルの END（DMA トランザクション（一連の DMA 転送）が完了し INTDMAn が発生）ビットの状態を表示します。

- アクセス　32 ビット単位でリードのみ可能です。
  ライトを行っても、各ビットの値は変化しません。セット条件／クリア条件は、チャネル・ステータス・レジスタ（CHSTATn）の END ビットを参照してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
DSTEND	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	END3	END2	END1	END0	400A 2B18H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	0000 0000H

ビット位置	ビット名	意　味
31-4	ー	Reserved（リードは 0 が読み出されます。）
3	END3	DMA チャネル 3 の END（DMA トランザクション完了）ビットを表示します。
2	END2	DMA チャネル 2 の END（DMA トランザクション完了）ビットを表示します。
1	END1	DMA チャネル 1 の END（DMA トランザクション完了）ビットを表示します。
0	END0	DMA チャネル 0 の END（DMA トランザクション完了）ビットを表示します。

備考 1. 各 DMA チャネルの END ビットは、チャネル・ステータス・レジスタ（CHSTATn）レジスタの 5 ビット目にあります。

2. n = 0-3

表14.7　DMA 完了ステータス・レジスタと割り込み信号対応

レジスタ名	ビット名	対応する転送完了割り込み信号
DSTEND	END0	INTDMA0
	END1	INTDMA1
	END2	INTDMA2
	END3	INTDMA3

(f) DMAC ターミナル・カウント・ステータス・レジスタ（DSTTC）

全チャネルの TC（DMA トランザクション（一連の DMA 転送）が完了）ビットの状態を表示します。

- アクセス　32 ビット単位でリードのみ可能です。
  ライトを行っても、各ビットの値は変化しません。セット条件／クリア条件は、チャネル・ステータス・レジスタ（CHSTATn）の TC ビットを参照してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
DSTTC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TC3	TC2	TC1	TC0	400A 2B1CH
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	0000 0000H

ビット位置	ビット名	意　味
31-4	－	Reserved（リードは 0 が読み出されます。）
3	TC3	DMA チャネル 3 の TC（DMA トランザクション完了状態）ビットを表示します。
2	TC2	DMA チャネル 2 の TC（DMA トランザクション完了状態）ビットを表示します。
1	TC1	DMA チャネル 1 の TC（DMA トランザクション完了状態）ビットを表示します。
0	TC0	DMA チャネル 0 の TC（DMA トランザクション完了状態）ビットを表示します。

備考 1. 各 DMA チャネルの TC ビットは、チャネル・ステータス・レジスタ（CHSTATn）レジスタの 6 ビット目にあります。

2. n = 0-3

(g) DMAC サスペンド・ステータス・レジスタ（DSTSUS）

全チャネルの SUS（サスペンド状態）ビットの状態を表示します。

- アクセス　　32 ビット単位でリードのみ可能です。
  ライトを行っても、各ビットの値は変化しません。

SUS = 1（サスペンド状態に設定）とする場合は、チャネル・コントロール・レジスタ（CHCTRLn）の SETSUS ビットをセット（1）してください。SUS = 0（サスペンド状態解除）とする場合は、チャネル・コントロール・レジスタ（CHCTRLn）の CLRSUS ビットをセット（1）してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
DSTSUS	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SUS3	SUS2	SUS1	SUS0	400A 2B20H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	初期値 0000 0000H

ビット位置	ビット名	意　味
31-4	－	Reserved（リードは 0 が読み出されます。）
3	SUS3	DMA チャネル 3 の SUS（サスペンド状態）ビットを表示します。
2	SUS2	DMA チャネル 2 の SUS（サスペンド状態）ビットを表示します。
1	SUS1	DMA チャネル 1 の SUS（サスペンド状態）ビットを表示します。
0	SUS0	DMA チャネル 0 の SUS（サスペンド状態）ビットを表示します。

備考 1. 各 DMA チャネルの SUS ビットは、チャネル・ステータス・レジスタ（CHSTATn）レジスタの 3 ビット目にあります。

2. n = 0-3

14.4.4 リアルタイム・ポート用 DMA コントローラのレジスタ・セット

14.4.4.1 Next レジスタ・セット

Current レジスタ・セットにロードされる Next レジスタ・セットです。

(1) Next ソース・アドレス・レジスタ（RTN0SA, RTN1SA）

リアルタイム・ポート用 DMA コントローラの DMA 転送元アドレスを設定します。

RTN0SA は Next0 レジスタ・セット用、RTN1SA は Next1 レジスタ・セット用です。

同一値で連続ライトを行うライト・オンリー・モード（CRTHCFG.WONLY = 1）時には、連続ライトを行うデータ設定に使用します（14.7.4 ライト・オンリー・モード参照）。

- アクセス　32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
RTN0SA	通常モード時：転送元アドレス ライト・オンリー・モード時：ライト・データ		400A 2C00H	0000 0000H
R/W	R/W			

	31	0	アドレス	初期値
RTN1SA	通常モード時：転送元アドレス ライト・オンリー・モード時：ライト・データ		400A 2C0CH	0000 0000H
R/W	R/W			

ビット位置	ビット名	意　味
31-0	SA31-SA0	通常モード時の転送元アドレスです。 DMA 転送元の開始アドレスを設定します。
	WD31-WD0	ライト・オンリー・モード時のライト・データです。 同一値で連続ライトを行うライト･オンリー･モード時の、連続ライトを行うデータを設定します。

注意 RTN0SA レジスタは、リンク・モード転送時には、ディスクリプタ・リード・データにより上書きされます。

(2) Next デスティネーション・アドレス・レジスタ（RTN0DA, RTN1DA）

リアルタイム・ポート用 DMA コントローラの DMA 転送先アドレスを設定します。
RTN0DA は Next0 レジスタ・セット用、RTN1DA は Next1 レジスタ・セット用です。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
RTN0DA	転送先アドレス		400A 2C04H	0000 0000H
	R/W	R/W		

	31	0	アドレス	初期値
RTN1DA	転送先アドレス		400A 2C10H	0000 0000H
	R/W	R/W		

ビット位置	ビット名	意　味
31-0	DA31-DA0	転送先アドレスです。 DMA 転送先の開始アドレスを設定します。

注意 RTN0DA レジスタは、リンク・モード転送時には、ディスクリプタ・リード・データにより上書きされます。

(3) Next トランザクション・バイト・レジスタ（RTN0TB, RTN1TB）

リアルタイム・ポート用 DMA コントローラの総転送バイト数（DMA トランザクション）を設定します。
RTN0TB は Next0 レジスタ・セット用、RTN1TB は Next1 レジスタ・セット用です。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
RTN0TB	トランザクション・バイト		400A 2C08H	0000 0000H
R/W	R/W			

	31	0	アドレス	初期値
RTN1TB	トランザクション・バイト		400A 2C14H	0000 0000H
R/W	R/W			

ビット位置	ビット名	意　味
31-0	TB31-TB0	トランザクション・バイト数です。 DMA トランザクションの総バイト数を設定します。

注意 1. 転送回数は、総バイト数で設定してください。
2. トランザクション・バイト（バイト数）は、'0'は設定禁止です。
3. RTN0TB レジスタは、リンク・モード転送時には、ディスクリプタ・リード・データにより上書きされます。

14.4.4.2 Current レジスタ・セット

Current レジスタ・セットは、DMA 転送する転送元アドレス、転送先アドレス、総転送バイト数を示すリードのみ可能なレジスタです。

レジスタ・モード時は Next0／Next1 レジスタ・セットから、リンク・モード時はディスクリプタ・リード・データから設定値がロードされます。ソフトウェアでの書き込みはできません。

(1) Current ソース・アドレス・レジスタ（RTCRSA）

リアルタイム・ポート用 DMA コントローラの DMA 転送元アドレスを示します。

- アクセス　　32 ビット単位でリードのみ可能です。

	31 … 0	アドレス	初期値
RTCRSA	転送元アドレス	400A 2C18H	0000 0000H
R/W	R		

ビット位置	ビット名	意　味
31-0	CRSA31- CRSA0	Current ソース・アドレス・レジスタです。 次の DMA トランザクションのリード・アドレスを示します。DMA トランザクション中は、自動的に更新されます（RTCHCFG.SAD = 1 の場合は固定。RTCHCFG.WONLY = 1 の場合は不定）。 初期値は以下のレジスタからロードします。 レジスタ・モード時：　RTN0SA／RTN1SA から転送元アドレスをロード リンク・モード時：　ディスクリプタから転送元アドレスをロード（ディスクリプタ・リード・データは RTN0SA レジスタに代入され、転送時に RTCRSA レジスタへ代入されます。）。 このレジスタの更新は DMA 転送のリード完了時に行われます。 このレジスタの読み出しは、DMA 停止時（RTCHSTAT.TACT = 0 時）に行ってください。DMA 動作中の値は参考値で、保証されません。

(2) Current デスティネーション・アドレス・レジスタ（RTCRDA）

リアルタイム・ポート用 DMA コントローラの DMA 転送先アドレスを示します。

- アクセス　　32 ビット単位でリードのみ可能です。

	31 … 0	アドレス	初期値
RTCRDA	転送先アドレス	400A 2C1CH	0000 0000H
R/W	R		

ビット位置	ビット名	意　味
31-0	CRDA31- CRDA0	Current デスティネーション・アドレス・レジスタです。 次の DMA トランザクションのライト・アドレスを示します。DMA トランザクション中は、自動的に更新されます（RTCHCFG.SAD = 1 の場合は固定。RTCHCFG.WONLY = 1 の場合は不定）。 初期値は以下のレジスタからロードします。 レジスタ・モード時： RTN0DA／RTN1DA から転送先アドレスをロード リンク・モード時： ディスクリプタから転送先アドレスをロード（ディスクリプタ・リード・データは RTN0DA レジスタに代入され、転送時に RTCRDA レジスタへ代入されます。）。 このレジスタの更新は DMA 転送のライト完了時に行われます。 このレジスタの読み出しは、DMA 停止時（RTCHSTAT.TACT = 0 時）に行ってください。DMA 動作中の値は参考値で、保証されません。

(3) Current トランザクション・バイト・レジスタ（RTCRTB）

リアルタイム・ポート用 DMA コントローラの、総転送バイト数を表示します。DMA トランザクション（一連の DMA 転送）終了時には 0000 0000H になります。

- アクセス　　32 ビット単位でリードのみ可能です。

	31 … 0	アドレス	初期値
RTCRTB	トランザクション・バイト・データ	400A 2C20H	0000 0000H
R/W	R		

ビット位置	ビット名	意　味
31-0	CRTB31- CRTB0	Current トランザクション・バイト・レジスタです。 現在実行している DMA トランザクション（一連の DMA 転送）の、残りの転送バイト数を表示します。DMA トランザクション中は、自動的にデクリメントされます。 初期値は以下のレジスタからロードします。 レジスタ・モード時： RTN0TBA／RTN1TB から転送バイト数をロード リンク・モード時： ディスクリプタから転送バイト数をロード（ディスクリプタ・リード・データを RTN0TB レジスタに代入され、転送時に RTCRTB レジスタへ代入されます。）。 このレジスタの更新は DMA 転送のライト完了時に行われます。 このレジスタの読み出しは、DMA 停止時（RTCHSTAT.TACT = 0 時）に行ってください。DMA 動作中の値は参考値で、保証されません。

(4) チャネル・レジスタ・セット

チャネル・レジスタ・セットは、DMA 転送動作、DMA 転送モードの設定、ステータス読み出しを行うレジスタ・セットです。

(a) チャネル・ステータス・レジスタ（RTCHSTAT）

リアルタイム・ポート用 DMA コントローラのステータスを読み出すレジスタです。

- アクセス　　32 ビット単位でリードのみ可能です。

（1/6）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
RTCHSTAT	DNUM								0	0	0	0	0	SWPRQ	DMARQM	INTM	0	0	0	0	MODE	DER	DW	DL	SR	TC	END	ER	SUS	TACT	RQST	EN	400A 2C24H
R/W	R	R	R	R	R	R	R	R	0	0	0	0	0	R	R	R	0	0	0	0	R	R	R	R	R	R	R	R	R	R	R	R	初期値
																																	0000 0000H

ビット位置	ビット名	意　味		
31-24	DNUM	バッファ内の有効バイト数を表示します。 バッファ内のデータとは、転送元からリードして、転送先へライトしていないデータです。		
		インクリメント条件	デクリメント条件	クリア（0）条件
		・ DMA リード・トランスファ完了時	・ DMA ライト・トランスファ完了時	・ RTCHSTAT.EN ビット・クリア条件 ・ RTCHCTRL.SWRST ビットのセット(1)（チャネル・ステータス・レジスタ（RTCHSTAT：このレジスタ）のクリア操作）
23-19	－	Reserved（リードは 0 が読み出されます。）		
18	SWPRQ	強制掃き出し要求状態を表示します。 RTCHCTRL.SETSSWPRQ ビットで起動した掃き出し要求の状態を示します。 0：強制掃き出し要求がアサートされていない 1：強制掃き出し要求がアサートされた		
		セット（1）条件	クリア（0）条件	
		・ RTCHCTRL.SETSSWPRQ ビットのセット（1）	・ 強制掃き出しによりバッファ内のデータ量が 0 になったとき	
			・ RTCHCTRL.SWRST ビットのセット(1)（チャネル・ステータス・レジスタ（RTCHSTAT：このレジスタ）のクリア操作）	

<table>
<tr><th>ビット位置</th><th>ビット名</th><th colspan="2">意　味</th></tr>
<tr><td>17</td><td>DMARQM</td><td colspan="2">DMA 転送要求入力の一時マスク状態を示します。
0：マスクされていない
1：一時マスク状態</td></tr>
<tr><td></td><td></td><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td></td><td></td><td>・ RTCHCTRL.SETDMARQM ビットのセット（1）</td><td>・ RTCHCTRL.CLRDMARQM ビットのセット（1）
・ RTCHCTRL.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（RTCHSTAT：このレジスタ）のクリア操作）</td></tr>
<tr><td>16</td><td>INTM</td><td colspan="2">INTRTDMA 割り込み出力の一時マスク状態を表示します。
0：一時マスク解除状態
1：一時マスク状態</td></tr>
<tr><td></td><td></td><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td></td><td></td><td>・ RTCHCTRL.SETINTM ビットのセット（1）</td><td>・ RTCHCTRL.CLRINTM ビットのセット（1）
・ RTCHCTRL.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（RTCHSTAT：このレジスタ）のクリア操作）</td></tr>
<tr><td>15-12</td><td>－</td><td colspan="2">Reserved（リードは 0 が読み出されます。）</td></tr>
<tr><td>11</td><td>MODE</td><td colspan="2">DMA モードを示します。RTCHCFG レジスタの DMS ビットの設定値が反映されます。
0：レジスタ・モード
1：リンク・モード</td></tr>
<tr><td>10</td><td>DER</td><td colspan="2">ディスクリプタ・エラー・ビットです。
リンク・モードで、リードしたディスクリプタのヘッダの LV（ディスクリプタの有効／無効ビット）ビットが 0（ディスクリプタが無効）の場合にセット（1）されます。RTCHCFG.DIM ビットの値には依存しません。
0：ディスクリプタ・エラーは発生してない
1：ディスクリプタ・エラー発生</td></tr>
<tr><td></td><td></td><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td></td><td></td><td>・ リンク・モードで、RTCHCFG.DRRP = 0（ディスクリプタが有効（LV = 1）になるまでディスクリプタを読み続けるモード）で、ディスクリプタのヘッダ領域の LV ビットが 0（ディスクリプタが無効）のとき</td><td>・ RTCHCTRL.CLRDER ビットのセット（1）（DER ビット：このビットのクリア操作）
・ RTCHCTRL.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（RTCHSTAT：このレジスタ）のクリア操作）</td></tr>
</table>

（3/6）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th colspan="2">意　味</th></tr>
<tr><td rowspan="3">9</td><td rowspan="3">DW</td><td colspan="2">リンク・モードで、ディスクリプタのライトバック中にセット（1）されます。
ディスクリプタのライトバック時にバス・エラー注を受けた場合は、セット（1）されたままクリア（0）されません。</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td>・ リンク・モードで、ヘッダをライトバック開始時</td><td>・ リンク・モードで、ヘッダのライトバック完了
・ RTCHCTRL.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（RTCHSTAT：このレジスタ）のクリア操作）</td></tr>
<tr><td rowspan="3">8</td><td rowspan="3">DL</td><td colspan="2">リンク・モードで、ディスクリプタ・ロード中にセット（1）されます。
ディスクリプタ・ロード時にバス・エラー注を受けた場合は、セット（1）されたままクリア（0）されません。</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td>・ リンク・モードで、ディスクリプタのロード中</td><td>・ リンク・モードで、ディスクリプタのロード完了
・ RTCHCTRL.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（RTCHSTAT：このレジスタ）のクリア操作）</td></tr>
<tr><td rowspan="3">7</td><td rowspan="3">SR</td><td colspan="2">レジスタ・モードで、選択しているレジスタ・セットを示します。
0：Next0 レジスタ・セット
1：Next1 レジスタ・セット</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td>・ RTCHCFG.RSEL = 1 のとき（Next1 レジスタ・セット選択時）</td><td>・ RTCHCFG.RSEL = 0 のとき（Next1 レジスタ・セット選択時）</td></tr>
<tr><td rowspan="3">6</td><td rowspan="3">TC</td><td colspan="2">DMA トランザクション（一連の DMA 転送）が完了するとセット（1）されます。
RTCHCFG.TCM = 0（RTDMATCZ：ターミナル・カウント出力許可）時のみセット（1）されます。</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td>・ レジスタ・モードで、RTCRTB レジスタに設定された総転送バイト数分の転送が終了した場合
・ リンク・モードで、ディスクリプタのヘッダの WBD = 1（ヘッダの LV ビットのライトバック禁止時）で、CRTB4 レジスタに設定された総転送バイト数分の転送が終了した場合
・ リンク・モードで、ディスクリプタのヘッダの WBD = 0 で、ディスクリプタ・ライトバックが終了した場合</td><td>・ RTCHCTRL.CLRTC ビットのセット（1）（TCn ビット：このビットのクリア操作）
・ RTCHCTRL.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（RTCHSTAT：このレジスタ）のクリア操作）</td></tr>
</table>

注 未定義領域へのアクセスなどでバス・エラーが発生します。RTCHCTRL.SWRST ビットをセット（1）することで、このビットをクリア（0）できます。

（4/6）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th colspan="2">意　味</th></tr>
<tr><td rowspan="3">5</td><td rowspan="3">END</td><td colspan="2">DMA トランザクション（一連の DMA 転送）が完了し、INTRTDMA 発生時にセット（1）されます。</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td>・ TC ビットのセット（1）条件、かつ RTCHCFG.DEM = 0（INTRTDMA： DMA 転送完了割り込み出力許可時）
・ リンク・モードで、以下のすべての条件が成立する場合
・ ディスクリプタのヘッダの LV = 0（ディスクリプタ無効）
・ RTCHCFG.DRRP = 0（ディスクリプタのヘッダの LV ビットが 0 の場合に DER ビットをセット（1）して、ディスクリプタ・エラーとし、DMA 転送を停止）
・ RTCHCFG.DIM = 0（ディスクリプタのヘッダの LV ビットが 0 の場合にディスクリプタ・エラー割り込み（INTRTDMA）の許可時）</td><td>・ RTCHCTRL.CLREND ビットのセット（1）（END ビット：このビットのクリア操作）
・ RTCHCTRL.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（RTCHSTAT：このレジスタ）のクリア操作）</td></tr>
<tr><td rowspan="3">4</td><td rowspan="3">ER 注1</td><td colspan="2">DMA 転送中に転送エラー注2が発生し、INTRTDMAERR 割り込みが発生するとセット（1）されます。</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td>・ DMA 転送エラー発生注2</td><td>・ RTCHCTRL.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（RTCHSTAT：このレジスタ）のクリア操作）</td></tr>
<tr><td rowspan="3">3</td><td rowspan="3">SUS</td><td colspan="2">DMA チャネルの一時停止（サスペンド）状態を示します。
0：DMA チャネルは一時停止（サスペンド）状態ではない
1：DMA チャネルは一時停止（サスペンド）状態</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td>・ DMA チャネルの DMA トランザクション（一連の DMA 転送）実行中に RTCHCTRL.SETSUS ビットをセット（1）し、DMA チャネルの DMA トランザクションを一時停止状態した場合</td><td>・ RTCHCTRL.CLRSUS ビットのセット（1）（一時停止状態の解除）
・ RTCHCTRL.CLREN ビットのセット（1）
・ RTCHSTAT.EN ビット・クリア条件</td></tr>
<tr><td rowspan="3">2</td><td rowspan="3">TACT</td><td colspan="2">DMA チャネルが動作中であることを示すビットです。
DMA チャネルが完全に停止していることを確認するために使用します。
0：DMA は停止状態
1：DMA は動作中</td></tr>
<tr><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td>・ RTCHCTRL.SETEN ビットのセット（1）（ディスクリプタ・リード開始または DMA トリガ待ち）</td><td>・ RTCHSTAT.EN = 0 で、すべての DMA トランザクション（一連の DMA 転送）完了時</td></tr>
</table>

注 1. ER ビットがセット（1）された転送は、その一連の DMA 転送を無効として処理してください。
2. 未定義領域へのアクセスなどでバス・エラーが発生します。

（5/6）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th colspan="2">意　味</th></tr>
<tr><td>1</td><td>RQST</td><td colspan="2">転送要求を受け付けていることを示すビットです。
0：DMA 転送要求を受けていない
1：DMA 転送要求を受けている</td></tr>
<tr><td></td><td></td><td>セット（1）条件</td><td>クリア（0）条件</td></tr>
<tr><td></td><td></td><td>・ RTCHCTRL.STG ビットのセット（1）
（ソフトウェアによる DMA 起動時）
・ RTCHCFG レジスタの SELn ビットで選択した、DMA 転送トリガが発生し、DMA 転送要求を受け付けた場合</td><td>・ RTCHCTRL.SWRST ビットのセット（1）（チャネル・ステータス・レジスタ（RTCHSTAT：このレジスタ）のクリア操作）
・ RTCHCTRL.CLRRQ ビットのセット（1）
（RQST ビット：このビットのクリア操作）
・ シングル転送モード（RTCHCFG.TM = 0）モード時で、DMA 転送が終わったとき
（RTCHCFG.REQD ビットで RTDMAACKZ 出力タイミングをリード時／ライト時が選択できます。ここで選択したリードまたはライトの DMA 転送が終わったときがクリア（0）条件です。）
・ レジスタ・モードで、すべての DMA トランザクション（一連の DMA 転送）が完了した場合（RTCHCFG.REN = 0（DMA トランザクション（一連の DMA 転送）完了時に、続けて RTCHCFG.RSEL ビットで指定した Next レジスタ・セットで DMA 転送を行わない）の場合）
・ リンク・モードで、最後のディスクリプタの DMA 転送を終了した場合
（ディスクリプタのヘッダの LE ビット = 1（リンク終了）時）
・ リンク・モードで、ディスクリプタ読み込みで停止（ヘッダの LV = 0 & DRRP = 0）した場合
（LV = 0：ディスクリプタ無効）
（RTCHCFG.DRRP = 0：ディスクリプタのヘッダの LV ビットが 0 の場合に DERn ビットをセット（1）して、ディスクリプタ・エラーとし、DMA 転送を停止）
・ リンク・モードで、RTCHCFG.DEM = 0（DMA 転送完了割り込み（INTRTDMA）出力許可時の状態で、DMA トランザクション（一連の DMA 転送）を終了した場合）
・ バス・エラー注発生時</td></tr>
</table>

注 未定義領域へのアクセスなどでバス・エラーが発生します。

(6/6)

ビット位置	ビット名	意　味	
0	EN	DMA の動作許可／停止状態を示します。 0：動作停止状態（動作停止中に発生した DMA 転送要求は保留されます。） 1：動作許可状態	
		セット（1）条件	クリア（0）条件
		・ RTCHCTRL.SETEN のセット（1）	・ RTCHCTRL.SWRST ビットのセット（1） （チャネル・ステータス・レジスタ（RTCHSTAT：このレジスタ）のクリア操作） ・ RTCHCTRL.CLREN ビットのセット（1） （EN ビット：このビットのクリア操作） ・ レジスタ・モードで、すべての DMA トランザクション（一連の DMA 転送）が完了した場合（RTCHCFG.REN = 0（DMA トランザクション（一連の DMA 転送）完了時に、続けて RTCHCFG.RSEL ビットで指定した Next レジスタ・セットで DMA 転送を行わない）の場合） ・ リンク・モードで、最後のディスクリプタの DMA 転送を終了した場合 （ディスクリプタのヘッダの LE ビット = 1（リンク終了）時） （ディスクリプタのヘッダの WBD ビット= 0 の場合はライトバック終了時） ・ バス・エラー注発生時

注 未定義領域へのアクセスなどでバス・エラーが発生します。

注意 1. ER ビットがセット（1）された転送は、その一連の DMA 転送を無効として処理してください。

2. DMA トランザクション（一連の DMA 転送）を中断する場合は、転送要求をマスクおよびクリアするか、EN ビットをクリアしてください（手順は14.8.13 転送中断機能に従ってください）。

3. 同一の DMA チャネルに対して DMA 転送要求信号による転送要求と、ソフトウェアによる転送要求（RTCHCRTL.STG ビットのセット（1））を併用すると、起動要因の特定ができません。いずれかの転送要求のみ使用してください。

4. ソフトウェアによる転送起動を行う場合、前回要求した DMA 転送動作の完了を Current レジスタなどで確認してから、RTCHCTRL.STG のビット操作を行ってください。

(b) チャネル・コントロール・レジスタ（RTCHCTRL）

リアルタイム・ポート用 DMA コントローラの DMA 転送動作を制御するレジスタです。

- アクセス　32 ビット単位でライトのみ可能です。いずれのビットも 0 を書き込んだ場合は、動作に影響を与えません。リードした場合は、すべてのビットから 0 が読み出されます。

（1/3）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
RTCHCTRL	0	0	0	0	0	0	0	0	0	0	0	0	CLRDMARQM	SETDMARQM	CLRINTM	SETINTM	0	SETSSWPRQ	0	SETREN	0	0	CLRSUS	SETSUS	CLRDER	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN	400A 2C28H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	W	W	W	W	0	W	0	W	0	0	W	W	W	W	W	W	W	W	W	W	0000 0000H

ビット位置	ビット名	意　味
31-20	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
19	CLRDMARQM	DMA 転送要求入力の一時マスク状態のクリア・ビットです。 このビットをセット（1）すると、ハードウェア DMA 転送要求の一時マスク状態をクリアします。これにより RTCHSTAT.DMARQM（DMA 転送要求の一時マスク状態）ビットがクリア（0）されます。 0： 動作に影響を与えません。 1： SETDMARQM のセット（1）によるハードウェア DMA 転送要求の一時マスク状態を解除します。
18	SETDMARQM	DMA 転送要求入力のマスク状態のセット・ビットです。 このビットをセット（1）すると、ハードウェア DMA 転送要求が一時的にマスク状態に設定されます。これにより、RTCHSTAT.DMARQM（DMA 転送要求の一時マスク状態）ビットがセット（1）されます。 0：動作に影響を与えません。 1：ハードウェア DMA 転送要求を一時マスクします。
17	CLRINTM	INTRTDMA 割り込み出力のマスク状態のクリア・ビットです。 このビットをセット（1）すると、割り込み出力のマスク状態が解除されます。これにより、RTCHSTAT.INTM（割り込み出力の一時マスク状態）ビットがクリア（0）されます。 DMA 転送完了状態でマスクを解除した場合は、割り込みは出力されません。 0：動作に影響を与えません。 1：SETINTM のセット（1）による INTRTDMA 出力のマスク状態を解除します。

（2/3）

ビット位置	ビット名	意　味
16	SETINTM	INTRTDMA 割り込み出力のマスク状態のセット・ビットです。 このビットをセット（1）すると、割り込み出力が一時的にマスク状態に設定されます。これにより、RTCHSTAT.INTM（割り込み出力の一時マスク状態）ビットがセット（1）されます。 0：動作に影響を与えません。 1：INTRTDMA 出力をマスクします。
15	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
14	SETSSWPRQ	バッファの強制掃き出しビットです。 このビットをセット（1）すると、バッファ内にあるデータを、転送先に強制的に掃き出します（14.8.7 強制掃き出し機能参照）。なお、RTCHCFG.REQD がセット（1）されていて、RTDMAACKZ がライト時にアサートされる設定の場合は、強制掃き出しは利用できません。 0：動作に影響を与えません。 1：転送先にライトしていないバッファ内のデータを転送先にライト（掃き出し）します。
13	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
12	SETREN	レジスタ・モードで、DMA トランザクション（一連の DMA 転送）完了時に、続けて RTCHCFG.RSEL ビットで指定した Next レジスタ・セットで DMA 転送を行う場合に、このビットをセット（1）してください。 これにより、RTCHCFG.REN ビットがセット（1）されます。詳細は、チャネル・コンフィギュレーション・レジスタ（RTCHCFG）の REN ビットを参照してください。 0：動作に影響を与えません。 1：RTCHCFG.REN をセット（1）します。
11,10	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
9	CLRSUS	実行中の DMA の一時停止（サスペンド）状態の解除ビットです。 RTCHSTAT.SUS = 1 のときに、このビットをセット（1）すると、DMA チャネルの一時停止（サスペンド）状態が解除されます。 0：動作に影響を与えません。 1：実行中の DMA 転送の一時停止（サスペンド）状態を解除します。
8	SETSUS	実行中の DMA の一時停止（サスペンド）状態の設定ビットです。 RTCHSTAT.EN = 1（DMA チャネルの動作許可状態）のときに、このビットをセット（1）すると、実行中の DMA チャネルが一時停止（サスペンド）状態に設定されます。 0：動作に影響を与えません。 1：実行中の DMA 転送を一時停止（サスペンド）状態に設定します。
7	CLRDER	リンク・モード時のディスクリプタ・エラーのクリア・ビットです。 このビットをセット（1）すると、RTCHSTAT.DER（ディスクリプタ・エラー）ビットがクリア（0）されます。 0：動作に影響を与えません。 1：RTCHSTAT.DER（ディスクリプタ・エラー）ビットをクリア（0）。

（3/3）

ビット位置	ビット名	意　味
6	CLRTC	ターミナル・カウント（DMA トランザクション（一連の DMA 転送）完了）状態のクリア・ビットです。 このビットをセット（1）すると、RTCHSTAT.TC（ターミナル・カウント）ビットがクリア（0）されます。 0：動作に影響を与えません。 1：RTCHSTAT.TC（ターミナル・カウント）ビットをクリア（0）
5	CLREND	DMA トランザクション（一連の DMA 転送）完了し、INTRTDMA の発生と同時にセットされる RTCHSTAT.END のクリア・ビットです。 このビットをセット（1）すると、RTCHSTAT.END ビットがクリア（0）されます。 0：動作に影響を与えません。 1：RTCHSTAT.END ビットをクリア（0）。
4	CLRRQ	DMA 転送要求のクリア・ビットです。 このビットをセット（1）すると、RTCHSTAT.RQST（DMA 転送要求）ビットがクリア（0）されます。 0：動作に影響を与えません。 1：RTCHSTAT4.RQST（DMA 転送要求）ビットをクリア（0）。
3	SWRST	DMA チャネルのソフトウエア・リセット・ビットです。 このビットをセット（1）するとソフトウエア・リセットが実行され、この操作がクリア条件となるチャネル・ステータス・レジスタ（RTCHSTAT）の各ビットがクリア（0）されます。 このビットのセット（1）は、DMA チャネル n の完全停止状態に行ってください。DMA チャネル転送の完全停止状態は、RTCHSTAT.EN = 0 かつ RTCHSTAT.TACT = 0 で確認してください。 0：動作に影響を与えません。 1：SWRST によるクリア条件のある RTCHSTAT レジスタの各ビットをクリア（0）
2	STG	ソフトウェアで DMA 転送を起動するための、ソフトウエア・トリガ・ビットです。 このビットをセット（1）すると、内部転送要求をセットします（ソフトウェア起動）。 SWRST ビットと同時にセット（1）した場合は、SWRST ビットのセット（ソフトウエア・リセット）が優先されます。 0：動作に影響を与えません。 1：ソフトウェアによる転送要求のセット（RTCHSTAT.RQST ビットをセット（1））。
1	CLREN	DMA チャネルの動作停止設定ビットです。 このビットをセット（1）すると、RTCHSTAT.EN ビットがクリア（0）され、DMA チャネルは動作停止状態になります（詳細は14.8.13 転送中断機能参照）。 0：動作に影響を与えません。 1：DMA チャネルの動作を停止（RTCHSTAT.EN ビットをクリア（0））。
0	SETEN	DMA チャネルの動作許可設定ビットです。 このビットをセット（1）すると、RTCHSTAT.EN ビットがセット（1）され、DMA チャネルは動作許可状態になります。SWRST ビットと同時にセット（1）した場合は、SWRST ビットのセット（ソフトウエア・リセット）が優先されます。 0：動作に影響を与えません。 1：DMA チャネル n の動作を許可（RTCHSTAT.EN ビットをセット（1））。

(c) チャネル・コンフィギュレーション・レジスタ（RTCHCFG）

リアルタイム・ポート用 DMA コントローラの DMA 動作モードを設定するレジスタです。

- アクセス　32 ビット単位でリード／ライト可能です。

（1/7）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
RTCHCFG	DMS	REN	RSW	RSEL	SBE	DIM	TCM	DEM	WONLY	TM	DAD	SAD	DDS3-DDS0				SDS3-SDS0				DRRP	AM2-AM0			0	LVL	HEN	LEN	REQD	SEL2-SEL0			400A 2C2CH
																																	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
31	DMS	DMA 動作モードを選択します。 0：レジスタ・モード（初期値） 1：リンク・モード
30	REN	DMA トランザクション（一連の DMA 転送）完了時に続けて DMA 転送を実行するかどうかを選択します。続けて実行する場合は、RSEL ビットで選択されている Next レジスタ・セットで DMA 転送を行います。 この設定は、レジスタ・モード時のみ有効です。 DMA トランザクション中にこのビットをセット(1)する場合は、RTCHCTRL レジスタの SETERN ビットを使用することを推奨します。 0：連続実行しない。 1：連続実行する（RSEL ビットで選択されている Next レジスタ・セットを使う）
		セット（1）条件： ・ このビットのセット（1） ・ RTCHCTRL.SETREN ビットのセット（1） クリア（0）条件： ・ このビットのクリア（0） ・ REN = 1 のときに DMA トランザクション（一連の DMA 転送）完了時
29	RSW	DMA トランザクション（一連の DMA 転送）完了時の RSEL（Next レジスタ・セットの選択）ビットの値の反転動作を選択します。 この設定は、レジスタ・モード時のみ有効です。 0：DMA トランザクション（一連の DMA 転送）完了後に RSEL を反転しない（初期値）。 1：DMA トランザクション（一連の DMA 転送）完了後に RSEL を反転する。

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>28</td><td>RSEL</td><td>次の DMA 転送に使用する Next レジスタ・セットを選択します。
この設定は、レジスタ・モード時のみ有効です。
RSW = 1 の場合、DMA トランザクション（一連の DMA 転送）完了時に自動的に反転されます。
0：Next0 レジスタ・セットを使用する（初期値）。
1：Next1 レジスタ・セットを使用する。</td></tr>
<tr><td>27</td><td>SBE</td><td>DMA トランザクション（一連の DMA 転送）中に、RTCHCTRL.CLREN のセット（1）により、DMA チャネルの動作が停止された場合、すでにリードしてバッファに取り込んだデータの処理を選択します。ただし、REQD = 1 で、ライト時に RTDMAACKZ を出力するモードを選択した場合は、このビットをセット（1）できません。
0：バッファの掃き出し（ライト）をしないで転送中止（初期値）
1：バッファの掃き出し（ライト）をして転送中止</td></tr>
<tr><td>26</td><td>DIM</td><td>リンク・モード時に、ディスクリプタのヘッダの LV ビットが 0 だった場合に、ディスクリプタ・エラー割り込み（INTRTDMAERR）の動作を選択します。
0：INTRTDMAERR をマスクしない（初期値）。
1：INTRTDMAERR をマスクする。</td></tr>
<tr><td>25</td><td>TCM</td><td>ターミナル・カウント出力（RTDMATCZ）のマスク・ビットです。
ターミナル・カウント出力のタイミングで、このビットがセット（1）されていた場合、RTDMATCZ を出力しません。また RTCHSTAT.TC もセット（1）されません。このとき、レジスタ・モードでは自動的にクリア（0）され、リンク・モードではクリア（0）されません。
このビットは、ソフトウェアによる DMA 転送の制御を行う場合に使用してください。
0：マスクしない（ターミナル・カウント出力（RTDMATCZ）許可：初期値）
1：マスクする（ターミナル・カウント出力（RTDMATCZ）禁止）
<table>
<tr><th>セット（1）条件</th><th>クリア（0）条件</th></tr>
<tr><td>・　このビットのセット（1）</td><td>・　このビットのクリア（0）
・　レジスタ・モードで、このビットがセット（1）されている状態で DMA トランザクション（一連の DMA 転送）完了時</td></tr>
</table>
</td></tr>
<tr><td>24</td><td>DEM</td><td>DMA トランザクション（一連の DMA 転送）完了時に、INTRTDMA の動作を選択します。
INTRTDMA 発生タイミングで、このビットがセット（1）されていた場合、INTRTDMA を出力しません。また RTCHSTAT.END もセット（1）されません。このとき、レジスタ・モードでは自動的にクリア（0）され、リンク・モードではクリア（0）されません。
0：マスクしない（INTRTDMA 出力許可：初期値）
1：マスクする（INTRTDMA 出力禁止）
<table>
<tr><th>セット（1）条件</th><th>クリア（0）条件</th></tr>
<tr><td>・　このビットのセット（1）</td><td>・　このビットのクリア（0）
・　レジスタ・モードで、このビットがセット（1）されている状態で DMA トランザクション（一連の DMA 転送）完了時</td></tr>
</table>
</td></tr>
</table>

（3/7）

ビット位置	ビット名	意　味
23	WONLY	通常モードとライト・オンリー・モードを選択します。 ライト・オンリー・モードでは、Next ソース・アドレス・レジスタ（RTN0SA,RTN1SA）に設定されたデータを、Next デスティネーション・アドレス・レジスタ（RTN0DA,RTN1DA）で示されるアドレスにライトします。 ライト・オンリー・モードは、同一値で連続ライトを行う場合に利用します。 0：通常動作（初期値） 1：ライト・オンリー・モード
22	TM	DMA 転送モードを選択します。 0： シングル転送モード（DMA 転送要求ごとに、1 回の転送を行う：初期値） 1： ブロック転送モード（1 回の DMA 転送要求で、トランザクション・バイト・レジスタに設定したバイト数分の転送を行う）
21	DAD	DMA チャネルの転送先（デスティネーション）アドレスのカウント方向を設定します。 0：インクリメント（初期値） 1：固定 **注意 デスティネーション側でスキップ・モードを使う場合、またはデスティネーション側がビート・アンアラインの場合は、DAD = 1（固定）は選択しないでください。**
20	SAD	DMA チャネルの転送元（ソース）アドレスのカウント方向を設定します。 0：インクリメント（初期値） 1：固定 **注意 ソース側でスキップ・モードを使う場合、またはソース側がビート・アンアラインの場合は、SAD = 1（固定）は選択しないでください。**
19	DDS3	DMA 転送先（デスティネーション）のアドレシングを、通常モードとスキップ・モードを選択します。 0：通常モード（初期値） 1：スキップ・モード

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>18-16</td><td>DDS2-
DDS0</td><td>DMA 転送先（デスティネーション）の転送サイズを設定します。

<table>
<tr><th>DDS2</th><th>DDS1</th><th>DDS0</th><th>DMA 転送先（デスティネーション）の転送サイズ</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>8 ビット（初期値）</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>16 ビット</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>32 ビット</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>128 ビット注</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table>

注 転送サイズ単位のアドレスにアラインされている場合のみ設定できます。</td></tr>
<tr><td>15</td><td>SDS3</td><td>DMA 転送元（ソース）のアドレシングを、通常モードとスキップ・モードを選択します。
0：通常モード（初期値）
1：スキップ・モード</td></tr>
<tr><td>14-12</td><td>SDS2-
SDS0</td><td>DMA 転送元（ソース）の転送サイズを設定します。

<table>
<tr><th>SDS2</th><th>SDS1</th><th>SDS0</th><th>DMA 転送元（ソース）の転送サイズ</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>8 ビット（初期値）</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>16 ビット</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>32 ビット</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>128 ビット注</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table>

注 転送サイズ単位のアドレスにアラインされている場合のみ設定できます。</td></tr>
</table>

(5/7)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>11</td><td>DRRP</td><td>リンク・モードで、ディスクリプタのヘッダが無効（LV = 0）だった場合の動作を選択します。
0：　RTCHSTAT.DER（ディスクリプタ・エラー）ビットをセット（1）し、動作を停止します（初期値）。
1：　LV = 1 になるまで、同じディスクリプタをリードし続けます。LV = 1 になった時点で、そのディスクリプタを用いた DMA 転送を開始します。ディスクリプタをリードする間隔は、ディスクリプタ・インターバル・レジスタ（RTDSCITVL）で設定してください。</td></tr>
<tr><td>10-8</td><td>AM2-
AM0</td><td>DMA アクノリッジ信号の出力モードを選択します。
<table>
<tr><th>AM2</th><th>AM1</th><th>AM0</th><th>DMA アクノリッジ信号（RTDMAACKZ）の出力モード</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>パルス・モード注1（初期値）</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>レベル・モード
DMA 転送要求（RTDMAREQZ）がインアクティブになるまで、アクティブ・レベルを保持します。</td></tr>
<tr><td>0</td><td>1</td><td>X</td><td>バス・サイクル・モード注2
DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。</td></tr>
<tr><td>1</td><td>X</td><td>X</td><td>DMA アクノリッジ信号（RTDMAACKZ）の出力禁止</td></tr>
</table>
注 1. 1×BUSCLK 周期のパルスが RTDMAACKZ 信号として出力されます。
2. バス・サイクル・モードでは、バス権取得要求時点から DMA アクノリッジ信号を出力します。このため、実際の DMA バス・サイクルよりも早いタイミングで DMA アクノリッジ信号が出力され、このとき、先にバス権を獲得した内部マスタのバス・サイクルが発生する場合があります。

注意 AM2-AM0 の設定と、RTDMAIFC レジスタは重複設定も可能ですが、一般的な利用方法では、AM2-AM0 を用いて RTDMAACKZ 信号の動作をレベル・モードに設定している場合は、RTDMAIFC レジスタは初期値のままで使用してください。逆に RTDMAIFC レジスタを用いて RTDMAACKZ のパルス幅拡張や、RTDMAREQZ のマスク機能を利用している場合は、AM2-AM0 はパルス・モードを選択してください。

備考 X：Don’t Care</td></tr>
<tr><td>7</td><td>－</td><td>Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）</td></tr>
</table>

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>6
5
4</td><td>LVL
HEN
LEN</td><td>
DMA 転送要求信号の検出方法を選択します。
DMA 転送要求は，DMA トリガ要因レジスタ 4（RTDTFR）で選択します。選択した DMA 転送要求により，DMA 転送要求信号の検出方法が異なります。

【DMA 転送要求信号が外部端子の DMA リクエスト信号の場合】
内部の DMA インタフェースは正論理です。DMA インタフェース端子（RTDMAREQZ, RTDMAACKZ, RTDMATCZ）は負論理です。DMA インタフェース端子の信号は，反転してシステム・バス DMAC に接続されているため，HENn, LENn ビットの設定と逆の論理が選択されます。
<table>
<tr><th rowspan="2">LVL</th><th rowspan="2">HEN</th><th rowspan="2">LEN</th><th rowspan="2">RTDMAREQZ の DMA 転送要求信号の検出方法</th><th>内部信号</th><th>外部端子</th></tr>
<tr><td colspan="2">0</td><td>0</td><td>0</td><td>エッジ検出</td><td colspan="2">検出無効</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td></td><td>立ち下がり検出</td><td>立ち上がり検出</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td></td><td>立ち上がり検出</td><td>立ち下がり検出</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td></td><td colspan="2">立ち上がり／立ち下がり検出（推奨しません）</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>レベル検出</td><td colspan="2">検出無効</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td></td><td>ロー・レベル検出</td><td>ハイ・レベル検出</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td></td><td>ハイ・レベル検出</td><td>ロー・レベル検出</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td></td><td colspan="2">設定禁止</td></tr>
</table>
【DMA 転送要求信号が割り込み信号（INT～ではじまる信号）の場合】
<table>
<tr><th>LVL</th><th>HEN</th><th>LEN</th><th>割り込み信号による DMA 転送要求信号の検出方法</th><th></th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>エッジ検出</td><td>検出無効</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td></td><td>設定禁止</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td></td><td>立ち上がり検出</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td></td><td>設定禁止</td></tr>
<tr><td>1</td><td>×</td><td>×</td><td>レベル検出</td><td>設定禁止</td></tr>
</table>
</td></tr>
<tr><td>3</td><td>REQD</td><td>
RTDMAACKZ がアクティブになるタイミングを選択します。
通常は、RTDMAREQZ をアサートした側に RTDMAACKZ を出力するように設定します。
0：RTDMAACKZ はリード時にアクティブ（RTDMAREQZ は転送元：ソース）
1：RTDMAACKZ はライト時にアクティブ（RTDMAREQZ は転送先：デスティネーション）
</td></tr>
</table>

(7/7)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>2-0</td><td>SEL2-
SEL0</td><td>チャネルごとの DMA インタフェース信号を選択します。
リアルタイム・ポート用 DMAC（：ユニット 1）は，1 チャネルのみのため，RTDTFR 以外は選択できません。
<table>
<tr><th>SEL2</th><th>SEL1</th><th>SEL0</th><th>DMA インタフェース信号の選択</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>RTDTFR で選択された DMA 転送要因を選択</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table>
</td></tr>
</table>

(d) チャネル・インターバル・レジスタ（RTCHITVL）

リアルタイム・ポート用 DMA コントローラの DMA トランスファ間隔を設定するレジスタです。
内部システム・バス・クロック（HCLK）周期×ITVL15-ITVL0 設定値の間隔を設定できます。

- アクセス　　32 ビット単位でリード／ライト可能です。

詳細は、「14.8.9 インターバル・カウント機能」を参照してください。

	31	16	15	0	アドレス	初期値
RTCHITVL	0		ITVL15-ITVL0		400A 2C30H	0000 0000H
R/W	0		R/W			

ビット位置	ビット名	意　味
31-16	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15-0	ITVL15-ITVL0	DMA チャネルの DMA トランスファ間隔を設定してください。

(5) リンク・レジスタ・セット

リンク・モード時にリンク先を示すレジスタ・セットです。

RTNXLA レジスタにディスクリプタ・アドレスを設定して DMA を起動すると、ハードウェアにより RTNXLA レジスタの値が RTCRLA レジスタへロードされ、ディスクリプタ・リードを行い、DMAC はそのディスクリプタ値に従って DMA トランザクションを開始します。RTNXLA レジスタは、リードしたディスクリプタ中のリンク・アドレス値で自動的に更新され、次の DMA トランザクションのディスクリプタ・アドレスとして使用されます。

(a) Next リンク・アドレス・レジスタ（RTNXLA）

リアルタイム・ポート用 DMA コントローラのリンク・アドレスを設定するレジスタです。

リンク・モード時のディスクリプタが配置されているアドレスを設定します。

- アクセス　　32 ビット単位でリード／ライト可能です。

リンク・モードについては、14.7.3 リンク・モードを参照してください。

	31 … 2	1	0	アドレス	初期値
RTNXLA	NXLA31-NXLA2	0	0	400A 2C38H	0000 0000H
	R/W	R/W			
		0	0		

ビット位置	ビット名	意　味
31-0	NXLA31-NXLA2	リンク・モード時のリンク先アドレスを設定します。 ワード（32 ビット）・アラインされたアドレスのみ設定できます。下位 2 ビットは 0 固定です。

(b) Current リンク・アドレス・レジスタ（RTCRLA）

リンク・モード時に、現在実行しているディスクリプタのアドレスを示します。

- アクセス　　32 ビット単位でリードのみ可能です。

	31 … 0	アドレス	初期値
RTCRLA	CRLA31-CRLA0	400A 2C3CH	0000 0000H
	R/W		
	R		

ビット位置	ビット名	意　味
31-0	CRLA31-CRLA0	リンク・モード時に、現在実行しているディスクリプタのアドレスを示します。

(c) 連続空間ソース・サイズ・レジスタ（RTSCNT）

リアルタイム・ポート用 DMA コントローラで、転送元アクセス時の連続アクセス空間サイズを、バイト数で設定するレジスタです。このレジスタは、スキップ空間ソース・サイズ・レジスタ（RTSSKP）とペアで使用します。

転送元アドレスにスキップ・モードを利用するためには、チャネル・コンフィギュレーション・レジスタ（RTCHCFG）の SDS3 ビットをセット（1）してください。

チャネル・コンフィギュレーション・レジスタ（RTCHCFG）の SAD ビットは、セット（1：転送元アドレス固定）しないでください。またスキップ・モードでは、このレジスタには 0000 0000H を設定しないでください。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31 … 0	アドレス	初期値
RTSCNT	SCNT31-SCNT0	400A 2E00H	0000 0000H
R/W	R/W		

ビット位置	ビット名	意　味
31-0	SCNT31-SCNT0	スキップ・モード時に、転送元アドレスの連続アクセス空間サイズを、バイト数で指定します。

(d) スキップ空間ソース・サイズ・レジスタ（RTSSKP）

リアルタイム・ポート用 DMA コントローラで、転送元アクセス時のスキップ空間サイズを、バイト数で設定するレジスタです。このレジスタは、連続空間ソース・サイズ・レジスタ（RTSCNT）とペアで使用します。

転送元アドレスにスキップ・モードを利用するためには、チャネル・コンフィギュレーション・レジスタ（RTCHCFG）の SDS3 ビットをセット（1）してください。

チャネル・コンフィギュレーション・レジスタ（RTCHCFG）の SAD ビットは、セット（1：転送元アドレス固定）しないでください。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31 … 0	アドレス	初期値
RTSSKP	SSKP31-SSKP0	400A 2E04H	0000 0000H
R/W	R/W		

ビット位置	ビット名	意　味
31-0	SSKP31-SSKP0	スキップ・モード時に、転送元アドレスのスキップ空間サイズを、バイト数で指定します。

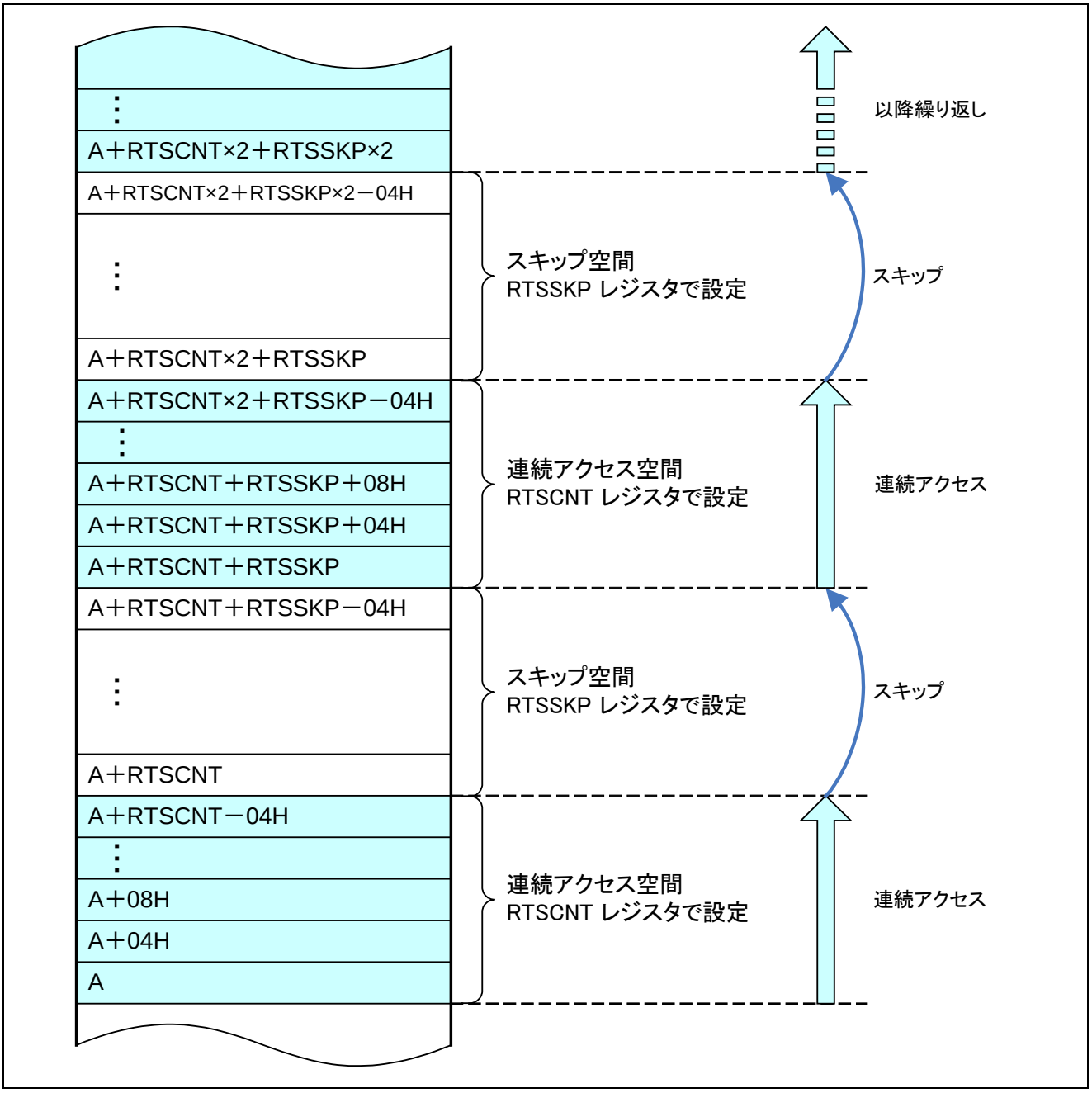


図14.6 スキップ・モード時の RTSSKP レジスタと RTSCNT レジスタの関係

備考 RTSCNT, RTSSKP の値は、転送元アドレス、チャネル・コンフィギュレーション・レジスタ（RTCHCFG）の SDS2-SDS0 ビット（ソース・データ・サイズ）の設定値に関係なく設定できます。SDS2-SDS0 設定サイズでアクセスし、有効なデータのみバッファに取り込みます。

(e) 連続空間デスティネーション・サイズ・レジスタ（RTDCNT）

リアルタイム・ポート用 DMA コントローラで、転送先アクセス時の連続アクセス空間サイズを、バイト数で設定するレジスタです。このレジスタは、スキップ空間デスティネーション・サイズ・レジスタ（RTDSKP）とペアで使用します。

転送先アドレスにスキップ・モードを利用するためには、チャネル・コンフィギュレーション・レジスタ（RTCHCFG）の DDS3 ビットをセット（1）してください。

チャネル・コンフィギュレーション・レジスタ（RTCHCFG）の DAD ビットは、セット（1：転送先アドレス固定）しないでください。またスキップ・モードでは、このレジスタには 0000 0000H を設定しないでください。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
RTDCNT	DCNT31-DCNT0		400A 2E08H	0000 0000H
R/W	R/W			

ビット位置	ビット名	意　味
31-0	DCNT31-DCNT0	スキップ・モード時に、転送先アドレスの連続アクセス空間サイズを、バイト数で指定します。

(f) スキップ空間デスティネーション・サイズ・レジスタ（RTDSKP）

リアルタイム・ポート用 DMA コントローラで、転送先アクセス時のスキップ空間サイズを、バイト数で設定するレジスタです。このレジスタは、連続空間デスティネーション・サイズ・レジスタ（RTDCNT）とペアで使用します。

転送先アドレスにスキップ・モードを利用するためには、チャネル・コンフィギュレーション・レジスタ（RTCHCFG）の DDS3 ビットをセット（1）してください。

チャネル・コンフィギュレーション・レジスタ（RTCHCFG）の DAD ビットは、セット（1：転送先アドレス固定）しないでください。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
RTDSKP	DSKP31-DSKP0		400A 2E0CH	0000 0000H
R/W	R/W			

ビット位置	ビット名	意　味
31-0	DSKP31-DSKP0	スキップ・モード時に、転送先アドレスのスキップ空間サイズを、バイト数で指定します。

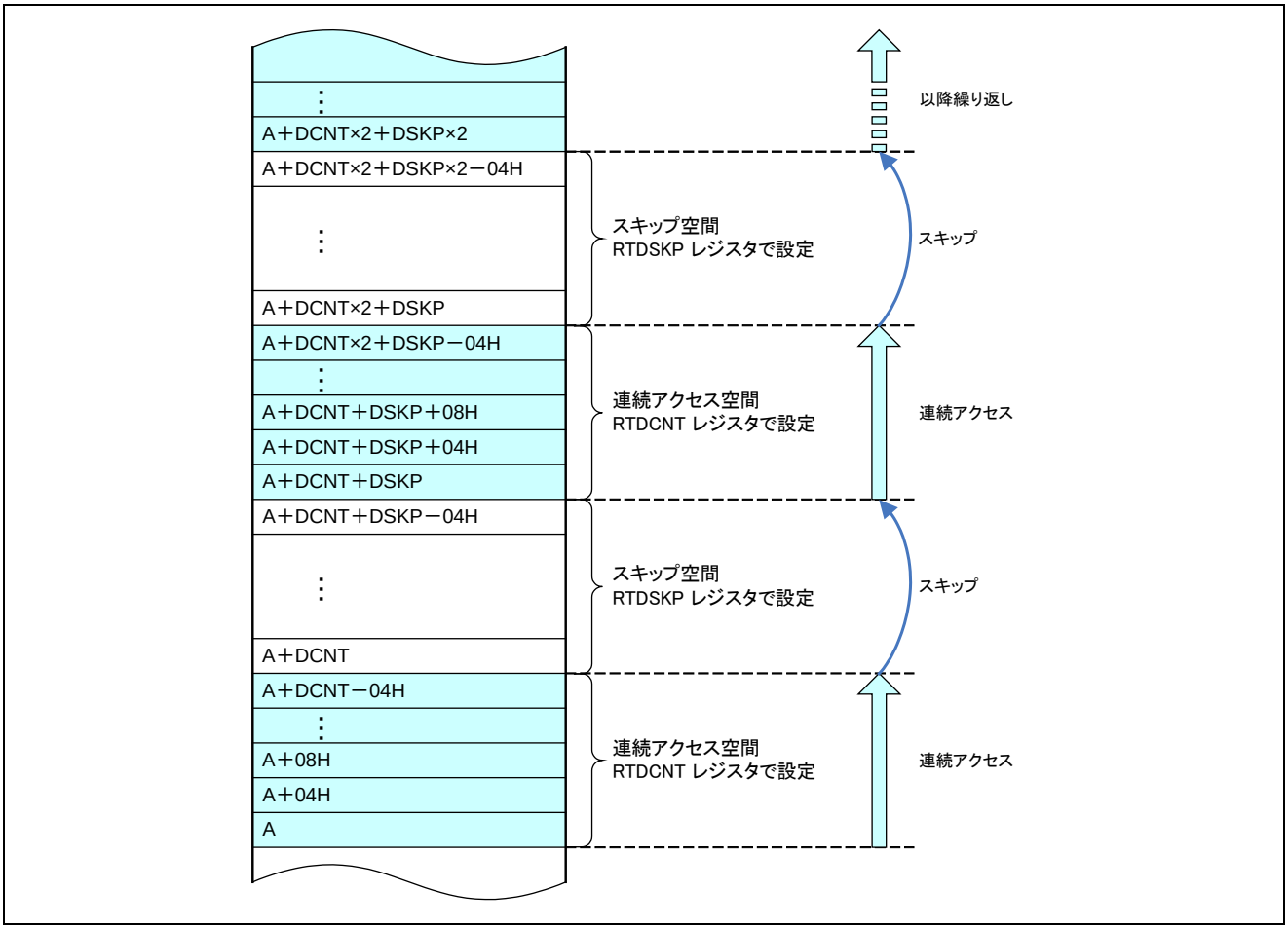


図14.7　スキップ・モード時の RTDSKP レジスタと RTDCNT レジスタの関係

備考 RTDCNT,RTDSKP の値は、転送元アドレス、チャネル・コンフィギュレーション・レジスタ（RTCHCFG）の DDS2-DDS0 ビット（デスティネーション・データ・サイズ）の設定値に関係なく設定できます。DDS2-DDS0 設定サイズ以下の組み合わせで、指定された空間へのみライト・アクセスを行います。

(6) DMA 制御レジスタ

(a) DMAC コントロール・レジスタ（RTDCTRL）

転送優先順位制御モードを選択するレジスタです。リアルタイム・ポート用 DMAC は 1 チャネルのみのため，このレジスタの設定は意味を持ちません。

ビット 31-1 には、必ず 0 を設定してください。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31 … 1	0	アドレス	初期値
RTDCTRL	0	PR	400A 2F00H	0000 0000H
R/W	0	R/W		

ビット位置	ビット名	意　味
31-1	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	PR	転送優先順位制御モードを選択します。 0：固定優先順位モード 1：ラウンドロビン・モード

(b) ディスクリプタ・インターバル・レジスタ（RTDSCITVL）

チャネル・コンフィギュレーション・レジスタ（RTCHCFG）の DRRP ビットをセット（1）した場合は、リンク・モード時のディスクリプタのヘッダをリードした際、LV ビットが 0（ディスクリプタ無効）の場合、LV = 1 になるまでディスクリプタをリードし続けます。

このときのリード間隔を設定するレジスタです。内部システム・バス・クロック（HCLK）周期×256 単位で設定できます。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31 … 16	15 … 8	7 … 0	アドレス	初期値
RTDSCITVL	0	DITVL15-DITVL8	0	400A 2F04H	0000 0000H
R/W	0	R/W	0		

ビット位置	ビット名	意　味
31-16	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15-8	DITVL15-DITVL8	ディスクリプタのヘッダの LV ビットが 1 になるまでリードし続けるときの、リード間隔を設定します。 （DITVL15-DITVL8 設定値）×256×内部システム・バス・クロック（HCLK）周期で、ディスクリプタをリードします。
7-0	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）

(c) DMAC イネーブル・ステータス・レジスタ（RTDSTEN）

EN（イネーブル）ビットの状態を表示します。

- アクセス　32 ビット単位でリードのみ可能です。
  ライトを行っても、各ビットの値は変化しません。
  EN = 1（DMA チャネル許可）とする場合は、チャネル・コントロール・レジスタ（RTCHCTRL）の SETEN ビットをセット（1）してください。
  EN = 0（DMA チャネル停止）とする場合は、チャネル・コントロール・レジスタ（RTCHCTRL）の CLREN ビットをセット（1）してください。

備考 EN ビットは、チャネル・ステータス・レジスタ（RTCHSTAT）レジスタの 0 ビット目にあります。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
RTDSTEN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	EN	400A 2F10H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	初期値 0000 0000H

ビット位置	ビット名	意　味
31-1	－	Reserved（リードは 0 が読み出されます。）
0	EN	DMA チャネルの EN（DMA 許可状態）ビットを表示します。

(d) DMAC エラー・ステータス・レジスタ（RTDSTER）

ER（エラー）ビットの状態を表示します。

- アクセス　32 ビット単位でリードのみ可能です。
  ライトを行っても、各ビットの値は変化しません。

DMA 転送のバス・サイクルでエラーが発生した場合にセット（1）されます。クリア（0）は、チャネル・コントロール・レジスタ（RTCHCTRL）の SWRST ビットをセット（1）する必要があります。なお、ER ビットがセットされた場合は、その一連の転送を無効として処理してください。

備考 ER ビットは、チャネル・ステータス・レジスタ（RTCHSTAT）レジスタの 4 ビット目にあります。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
RTDSTER	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ER	400A 2F14H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	初期値 0000 0000H

ビット位置	ビット名	意　味
31-1	－	Reserved（リードは 0 が読み出されます。）
0	ER	DMA チャネルの ER（DMA 転送エラー状態）ビットを表示します。

(e) DMAC 完了ステータス・レジスタ（RTDSTEND）

END（DMA トランザクション（一連の DMA 転送）が完了し INTRTDMA が発生）ビットの状態を表示します。

- アクセス　32 ビット単位でリードのみ可能です。
  ライトを行っても、各ビットの値は変化しません。セット条件／クリア条件は、チャネル・ステータス・レジスタ（RTCHSTAT）の END ビットを参照してください。

備考 END ビットは、チャネル・ステータス・レジスタ（RTCHSTAT）レジスタの 5 ビット目にあります。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
RTDSTEND	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	END	400A 2F18H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	初期値
																																	0000 0000H

ビット位置	ビット名	意　味
31-1	－	Reserved（リードは 0 が読み出されます。）
0	END	DMA チャネルの END（DMA トランザクション完了）ビットを表示します。

表14.8　DMA 完了ステータス・レジスタと割り込み信号対応

レジスタ名	ビット名	対応する転送完了割り込み信号
DSTEND	END	INTRTDMA

(f) DMAC ターミナル・カウント・ステータス・レジスタ（RTDSTTC）

TC（DMA トランザクション（一連の DMA 転送）が完了）ビットの状態を表示します。

- アクセス　32 ビット単位でリードのみ可能です。
  ライトを行っても、各ビットの値は変化しません。セット条件／クリア条件は、チャネル・ステータス・レジスタ（RTCHSTAT）の TC ビットを参照してください。

備考 TC ビットは、チャネル・ステータス・レジスタ（RTCHSTAT）レジスタの 6 ビット目にあります。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
RTDSTTC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TC	400A 2F1CH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	初期値
																																	0000 0000H

ビット位置	ビット名	意　味
31-1	－	Reserved（リードは 0 が読み出されます。）
0	TC	DMA チャネルの TC（DMA トランザクション完了状態）ビットを表示します。

(g) DMAC サスペンド・ステータス・レジスタ（RTDSTSUS）

SUS（サスペンド状態）ビットの状態を表示します。

- アクセス　32 ビット単位でリードのみ可能です。
  ライトを行っても、各ビットの値は変化しません。

SUS = 1（サスペンド状態に設定）とする場合は、チャネル・コントロール・レジスタ（RTCHCTRL）の SETSUS ビットをセット（1）してください。SUS = 0（サスペンド状態解除）とする場合は、チャネル・コントロール・レジスタ（RTCHCTRL）の CLRSUS ビットをセット（1）してください。

備考 SUS ビットは、チャネル・ステータス・レジスタ（RTCHSTAT）レジスタの 3 ビット目にあります。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
RTDSTSUS	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SUS	400A 2F20H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	初期値
																																	0000 0000H

ビット位置	ビット名	意　味
31-1	－	Reserved（リードは 0 が読み出されます。）
0	SUS	DMA チャネルの SUS（サスペンド状態）ビットを表示します。

14.4.5 DMA 転送インタフェース信号制御レジスタ（DMAIFC0,DMAIFC1,RTDMAIFC）

DMA のアクノリッジ出力信号（DMAACKZp, RTDMAACKZ）のアクティブ幅や、DMA 転送要求入力信号（DMAREQZp, RTDMAREQZ）のマスク幅を、バス・クロックの BUSCLK 周期単位で設定するレジスタです。
32 ビット単位でリード／ライト可能です。

DMA 転送要求（DMAREQZp, RTDMAREQZ）は、最短で BUSCLK の 1 クロック幅が入力されると、DMA 転送要求が受け付けられます。また、DMA アクノリッジ信号（DMAACKZp, RTDMAACKZ）は、DMA 転送要求が受け付けられた場合に、最短で BUSCLK の 1 クロック幅のアクティブ・レベルを出力します。

一般的には BUSCLK 基準で、DMA アクノリッジ信号を検出して、DMA 転送要求がインアクティブになるように設計します。このとき BUSCLK が高速な場合には、タイミング設計が困難になります。このため、DMA アクノリッジ信号を外部回路で容易に検出できるように、アクティブ・レベル幅を任意に設定し、さらに DMA アクノリッジ信号がインアクティブに復帰したタイミングを基点に DMA 転送要求信号をマスクする機構を内蔵しています。

これにより、外部回路を BUSCLK 基準で見積もることが可能となり、低速なデバイスを接続することを容易にしています。

注意 1. DMA 入出力端子機能を利用できるのは、汎用 DMAC（: ユニット 0）のうち 2 系統と、リアルタイム・ポート用 DMAC の 1 系統です。

2. DMAACKZp, RTDMAACKZ 出力の動作モードは、チャネル・コンフィギュレーション・レジスタ（CHCFGn, RTCHCFG）でも制御可能です。DMA 転送インタフェース信号制御レジスタ（DMAIFCp, RTDMAIFC）では、これに加えて DMAREQZp, RTDMAREQZ 入力による DMA 転送要求のオーバラン防止のためのマスク機能もあります。

3. CHCFGn, RTCHCFG レジスタの AM2-AM0 ビットの設定と、DMAIFCp, RTDMAIFC レジスタは重複設定も可能ですが、一般的な利用方法では、CHCFGn, RTCHCFG レジスタの AM2-AM0 を用いて DMAACKZp, RTDMAACKZ 信号の動作をレベル・モードに設定している場合は、DMAIFC1, DMAIFC0, RTDMAIFC レジスタは初期値のままで使用してください。逆に DMAIFC1, DMAIFC0, RTDMAIFC レジスタを用いて DMAACKZp, RTDMAACKZ のパルス幅拡張や、DMAREQZp, RTDMAREQZ のマスク機能を利用している場合は、CHCFGn, RTCHCFG レジスタの AM2-AM0 ビットはパルス・モードを選択してください。

4. 外部端子の DMA 転送要求信号（DMAREQZp, RTDMAREQZ）の最短受け付け時間は、1×BUSCLK です。

5. 外部端子の DMA アクノリッジ信号（DMAACKZp, RTDMAACKZ）の最短出力期間は、1×BUSCLK です。

6. チャネルごとの DMA トリガを選択します。通常は，チャネル番号と同じ値を設定してください。外部 DMA 転送要求（DMAREQZp, RTDMAREQZ）のチャネル内で優先順位を入れ替える必要がある場合のみ、SEL1, SEL0 ビットで，DMA トリガを変更してください。

7. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

備考 n = 0-3, p = 0, 1.

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DMAIFC0 DMAIFC1	DIFEN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4001 0720H 4001 0724H
R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	RQMK4	RQMK3	RQMK2	RQMK1	RQMK0	0	0	0	AKWD4	AKWD3	AKWD2	AKWD1	AKWD0	0000 0000H
R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31	DIFEN	DMA 転送インタフェース信号制御機能の許可／禁止を選択します。 0：機能禁止（初期値） 1：機能許可
30-13	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
12-8	RQMK4- RQMK0	DMA 転送要求信号（DMAREQZp）のマスク幅[注1]を BUSCLK 単位で設定します。
7-5	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
4-0	AKWD4- AKWD0	DMA アクノリッジ信号（DMAACKZp）のアクティブ・レベル幅[注2]を BUSCLK 単位で設定します。

RQMK4	RQMK3	RQMK2	RQMK1	RQMK0	DMAREQZp★信号のマスク幅[注1]
0	0	0	0	0	0×BUSCLK 周期（初期値）
0	0	0	0	1	1×BUSCLK 周期
0	0	0	1	0	2×BUSCLK 周期
:					:
1	1	1	1	0	30×BUSCLK 周期
1	1	1	1	1	31×BUSCLK 周期

AKWD4	AKWD3	AKWD2	AKWD1	AKWD0	DMAACKZp★信号のアクティブ・レベル幅[注2]
0	0	0	0	0	＋0×BUSCLK 周期（初期値）
0	0	0	0	1	＋1×BUSCLK 周期
0	0	0	1	0	＋2×BUSCLK 周期
:					:
1	1	1	1	0	＋30×BUSCLK 周期
1	1	1	1	1	＋31×BUSCLK 周期

注 1. マスクは DMAACKZp の立ち上がり（インアクティブに変化）から開始されます。

2. DMAACKZp のアクティブ・レベル幅は、CHCFGn レジスタの AM2-AM0 ビットで指定したアクノリッジ信号が基準となります。CHCFGn レジスタの AM0 ビットでは DMAACKZp の出力モードをパルス・モード／レベル・モードから選択できます。

3. DMA_IF 回路は、端子ごとに 1 対ずつのみ存在します。

備考 p = 0,1

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
RTDMAIFC	DIFEN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4001 0728H
R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	RQMK4	RQMK3	RQMK2	RQMK1	RQMK0	0	0	0	AKWD4	AKWD3	AKWD2	AKWD1	AKWD0	0000 0000H
R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31	DIFEN	DMA 転送インタフェース信号制御機能の許可／禁止を選択します。 0：機能禁止（初期値） 1：機能許可
30-13	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
12-8	RQMK4- RQMK0	DMA 転送要求信号（RTDMAREQZ）のマスク幅[注1]を BUSCLK 単位で設定します。
7-5	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
4-0	AKWD4- AKWD0	DMA アクノリッジ信号（RTDMAACKZ）のアクティブ・レベル幅[注2]を BUSCLK 単位で設定します。

RQMK4	RQMK3	RQMK2	RQMK1	RQMK0	RTDMAREQZ 信号のマスク幅[注1]
0	0	0	0	0	0×BUSCLK 周期（初期値）
0	0	0	0	1	1×BUSCLK 周期
0	0	0	1	0	2×BUSCLK 周期
			:		:
1	1	1	1	0	30×BUSCLK 周期
1	1	1	1	1	31×BUSCLK 周期

AKWD4	AKWD3	AKWD2	AKWD1	AKWD0	RTDMAACKZ 信号のアクティブ・レベル幅[注2]
0	0	0	0	0	＋0×BUSCLK 周期（初期値）
0	0	0	0	1	＋1×BUSCLK 周期
0	0	0	1	0	＋2×BUSCLK 周期
			:		:
1	1	1	1	0	＋30×BUSCLK 周期
1	1	1	1	1	＋31×BUSCLK 周期

注 1. マスクは RTDMAACKZ の立ち上がり（インアクティブに変化）から開始されます。

2. RTDMAACKZ のアクティブ・レベル幅は、RTCHCFG レジスタの AM2-AM0 ビットで指定したアクノリッジ信号が基準となります。RTCHCFG レジスタの AM0 ビットでは RTDMAACKZ の出力モードをパルス・モード／レベル・モードから選択できます。

3. DMA_IF 回路は、端子ごとに 1 対ずつのみ存在します。

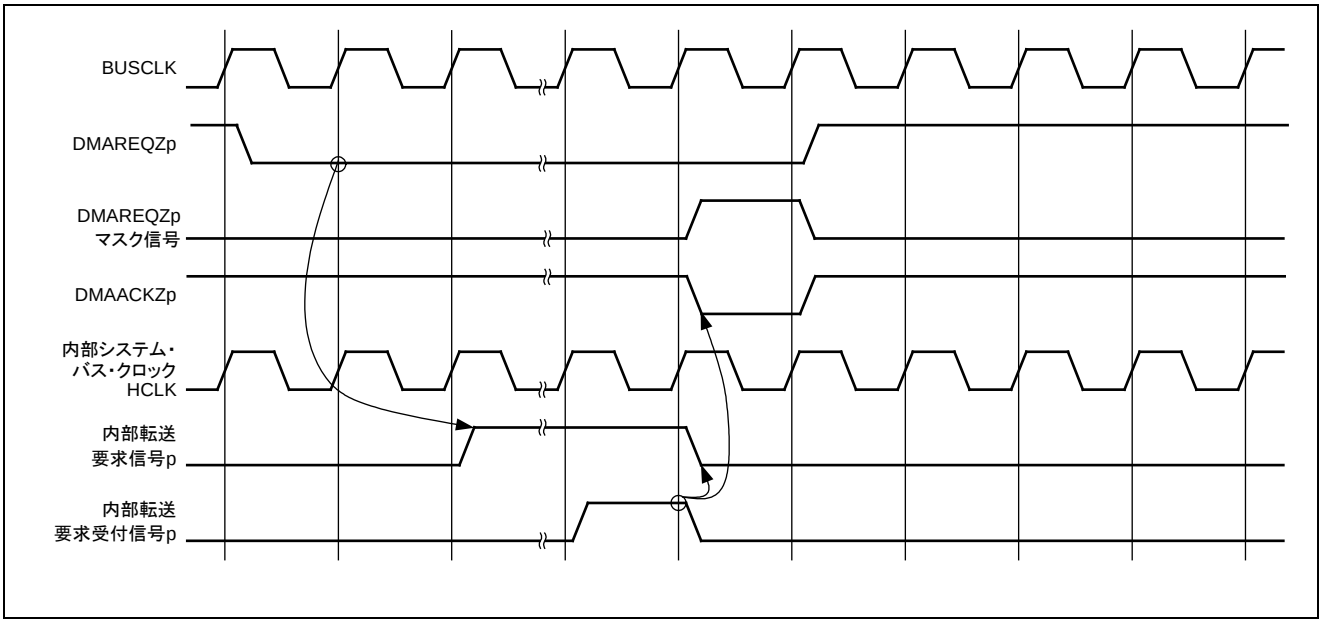


図14.8 DMA 用端子信号と内部信号の様子（1）（DMAIFCp = 8000 0000H）

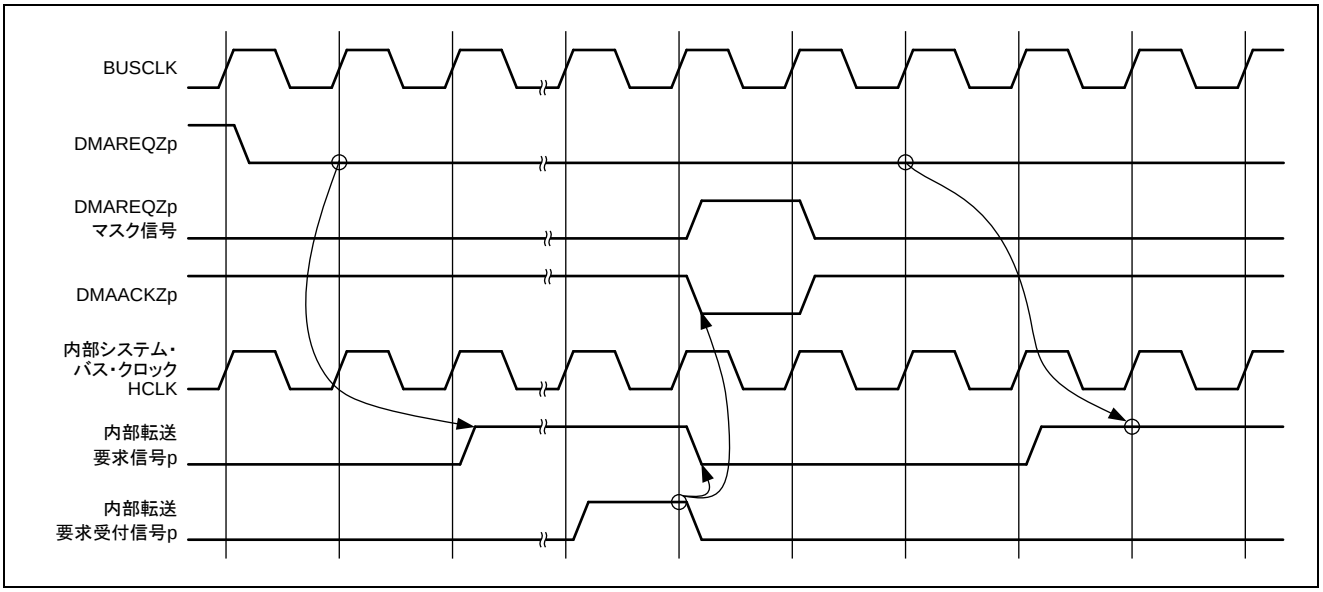


図14.9 DMA 用端子信号と内部信号の様子（2）（DMAIFCp = 8000 0000H）

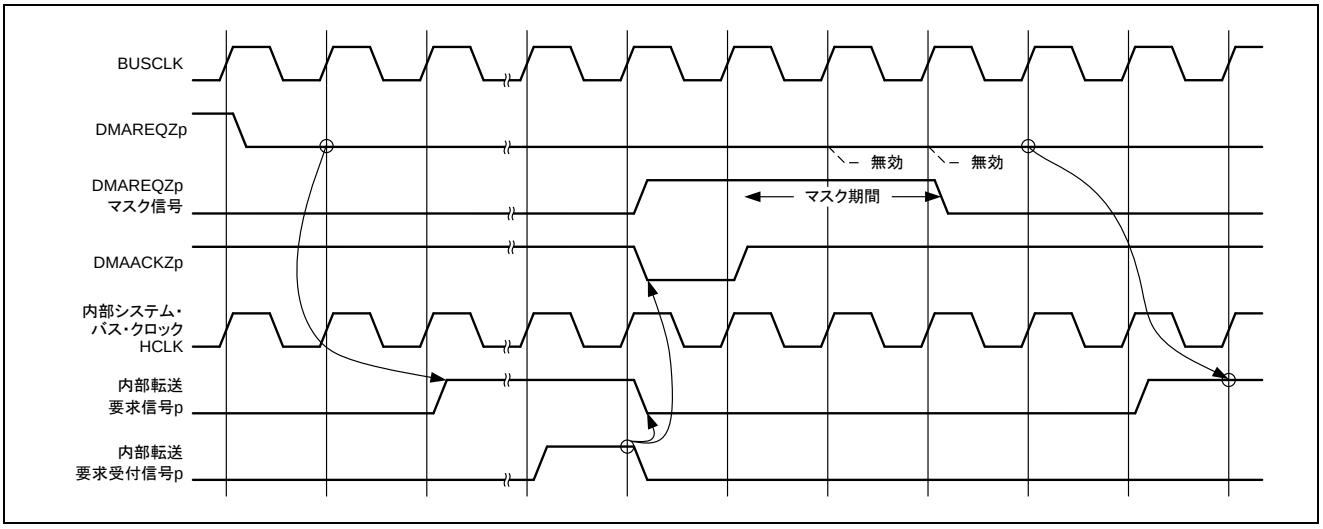


図14.10 DMA 用端子信号と内部信号の様子（3）（DMAIFCp = 8000 0200H）

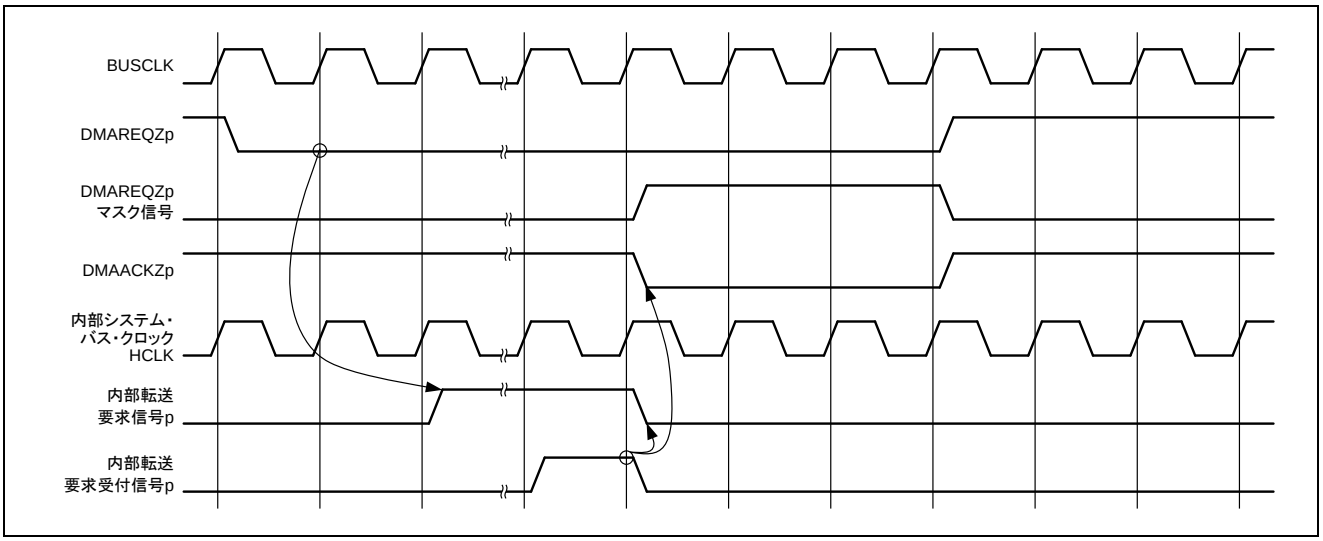


図14.11 DMA 用端子信号と内部信号の様子（4）（DMAIFCp = 8000 0002H）

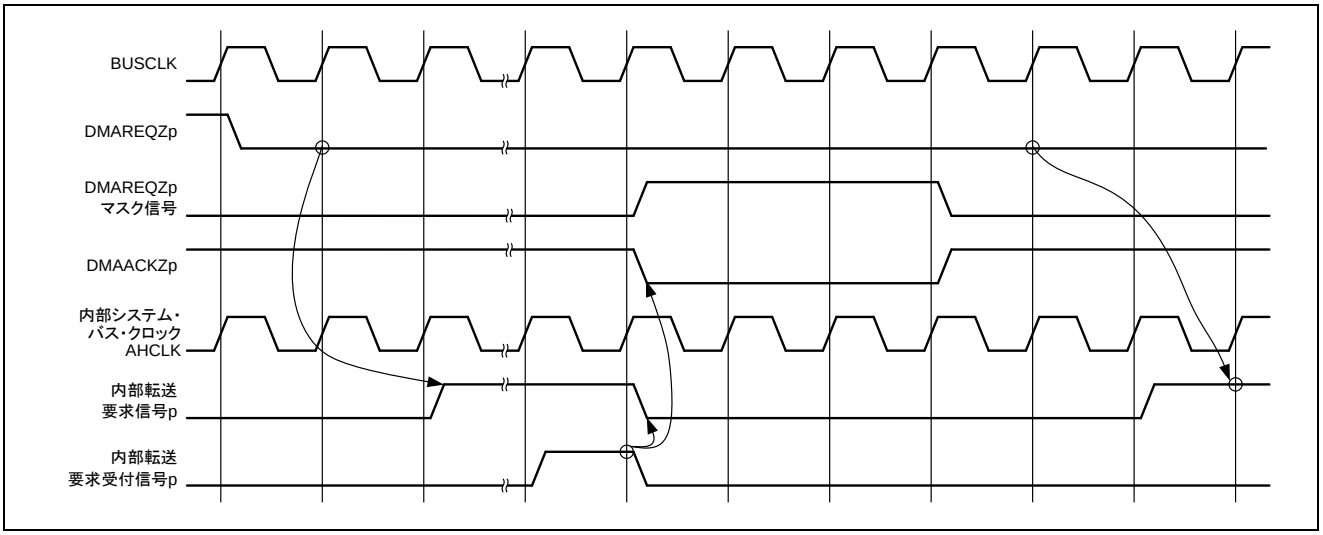


図14.12 DMA 用端子信号と内部信号の様子（5）（DMAIFCp = 8000 0002H）

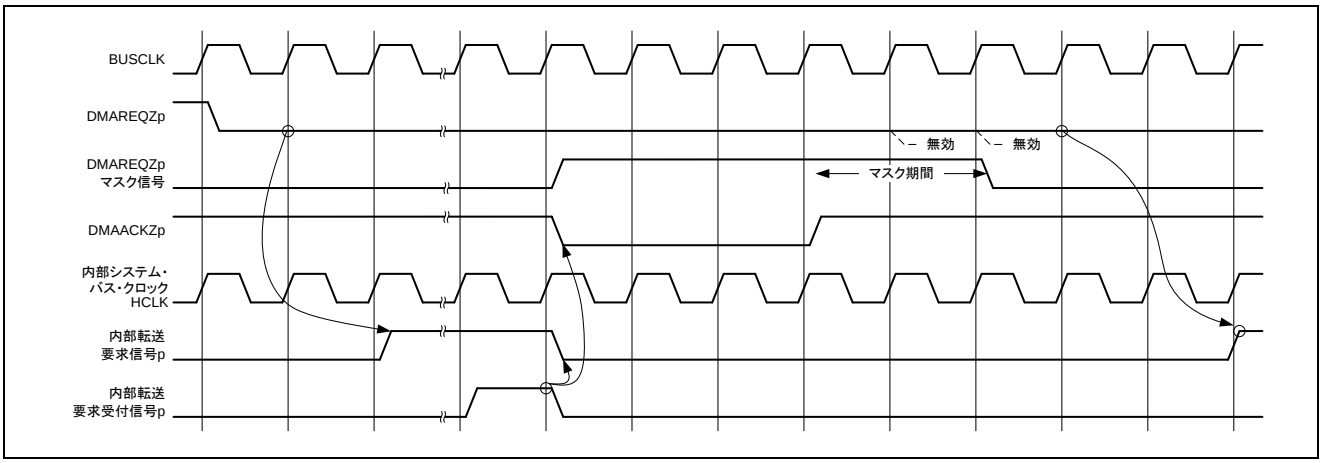


図14.13 DMA 用端子信号と内部信号の様子（6）（DMAIFCp = 8000 0202H）

14.4.6 DMA トリガ要因レジスタ（DTFRn, RTDTFR）

DMA 転送要求に，DMAREQZp, RTDMAREQZ（DMA 転送要求端子）内蔵周辺機能からの割り込み要求や，外部割り込み端子入力からの割り込み要求による DMA 転送要求を選択するレジスタです。このレジスタで選択した要因が，DMA 転送の起動トリガになります。

DTFRn, RTDTFR レジスタは，システム・バス DMAC チャネル数と同じ 5 本あり，チャネル・コントロール・レジスタ（CHCFGn, RTCHCFG）の SEL2-SEL0 の設定に応じて，各 DMA チャネルに割り当てられます。

32 ビット単位でリード／ライト可能です。

注意 1. DTFRn レジスタの設定を変更する場合は，必ず DMA 動作を停止してから行ってください。
2. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

備考 すべての割り込み要求は，内部システム・バス・クロック（HCLK）で再同期処理を行っています。
p = 0,1

DTFRn

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	IFC6	IFC5	IFC4	IFC3	IFC2	IFC1	IFC0
0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス: 4001 0730H +4n

初期値: 0000 0000H

RTDTFR

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	IFC6	IFC5	IFC4	IFC3	IFC2	IFC1	IFC0
0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス: 4001 0740H

初期値: 0000 0000H

備考 n = 0-3

ビット位置	ビット名	意　味
6-0	IFC6-IFC0	DMA チャネルのトリガ要因を選択します。

IFCn6-IFCn0	DMA 転送トリガ要因の選択
00H	DMA 転送トリガ要因をマスク（転送要求は発生しません）
01H	DMAREQZ0 端子（DMA 転送要求）入力注★
02H	DMAREQZ1 端子（DMA 転送要求）入力注★
03H	RTDMAREQZ 端子（DMA 転送要求）入力注★
04H	TAUJ2 チャネル 0 割り込み
05H	TAUJ2 チャネル 1 割り込み
06H	TAUJ2 チャネル 2 割り込み
07H	TAUJ2 チャネル 3 割り込み
08H	UARTJ0 送信割り込み
09H	UARTJ0 受信割り込み
0AH	UARTJ1 送信割り込み
0BH	UARTJ1 受信割り込み
0CH	CSIH0 通信ステータス割り込み
0DH	CSIH0 受信ステータス割り込み
0EH	CSIH0 ジョブ完了割り込み
0FH	CSIH1 通信ステータス割り込み
10H	CSIH1 受信ステータス割り込み
11H	CSIH1 ジョブ完了割り込み
12H	IICB0 データ送受信割り込み
13H	IICB1 データ送受信割り込み
14H	FCN0 受信完了割り込み
15H	FCN0 送信完了割り込み
16H	FCN0 スリープ・ウェイクアップ/送信中断割り込み
17H	FCN1 受信完了割り込み
18H	FCN1 送信完了割り込み
19H	FCN1 スリープ・ウェイクアップ/送信中断割り込み
1AH	汎用 DMAC チャネル 0 転送完了割り込み
1BH	汎用 DMAC チャネル 1 転送完了割り込み

★注. DMA 転送トリガ要因に外部 DMA 転送要求入力（DMAREQZ0 端子入力、DMAREQZ1 端子入力、RTDMAREQZ 端子入力）を設定可能なレジスタは、以下の組み合わせです。
DMAREQZ0 端子　：DTFR0 レジスタ
DMAREQZ1 端子　：DTFR1 レジスタ
RTDMAREQZ 端子：RTDTFR レジスタ

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>6-0</td><td>IFC6-IFC0</td><td>DMA チャネルのトリガ要因を選択します。
<table>
<tr><th>IFCn6-IFCn0</th><th>DMA 転送トリガ要因の選択</th></tr>
<tr><td>1CH</td><td>汎用 DMAC チャネル 2 転送完了割り込み</td></tr>
<tr><td>1DH</td><td>汎用 DMAC チャネル 3 転送完了割り込み</td></tr>
<tr><td>1EH</td><td>リアルタイム・ポート用 DMAC 転送完了割り込み</td></tr>
<tr><td>1FH</td><td>TAUD チャネル 0 割り込み</td></tr>
<tr><td>20H</td><td>TAUD チャネル 1 割り込み</td></tr>
<tr><td>21H</td><td>TAUD チャネル 2 割り込み</td></tr>
<tr><td>22H</td><td>TAUD チャネル 3 割り込み</td></tr>
<tr><td>23H</td><td>TAUD チャネル 4 割り込み</td></tr>
<tr><td>24H</td><td>Inter-Buffer DMA 転送完了割り込み</td></tr>
<tr><td>25H</td><td>Gigabit Ethernet PHY Port0 割り込み</td></tr>
<tr><td>26H</td><td>Gigabit Ethernet PHY Port1 割り込み</td></tr>
<tr><td>27H</td><td>Ether MII マネージメント・アクセス完了割り込み</td></tr>
<tr><td>28H</td><td>Ether ポーズ・パケット送信完了割り込み</td></tr>
<tr><td>29H</td><td>Ether 送信完了割り込み</td></tr>
<tr><td>2AH</td><td>Ether SWITCH 割り込み</td></tr>
<tr><td>2BH</td><td>Ether SWITCH DLR 割り込み</td></tr>
<tr><td>2CH</td><td>Ether SWITCH SYNC 割り込み</td></tr>
<tr><td>2DH</td><td>Reserve（設定禁止）</td></tr>
<tr><td>2EH</td><td>Reserve（設定禁止）</td></tr>
<tr><td>2FH</td><td>Ether MACDMA 受信完了割り込み</td></tr>
<tr><td>30H</td><td>Ether MACDMA 送信完了割り込み</td></tr>
<tr><td>31H</td><td>受信フレーム正常割り込み</td></tr>
<tr><td>32H</td><td>Reserve（設定禁止）</td></tr>
<tr><td>33H</td><td>INTPZ0 入力注1</td></tr>
<tr><td>34H</td><td>INTPZ1 入力注1</td></tr>
<tr><td>35H</td><td>INTPZ2 入力注1</td></tr>
<tr><td>36H</td><td>INTPZ3 入力注1</td></tr>
<tr><td>37H</td><td>INTPZ4 入力注1</td></tr>
<tr><td>38H</td><td>INTPZ5 入力注1</td></tr>
<tr><td>39H</td><td>INTPZ6 入力注1</td></tr>
<tr><td>3AH</td><td>INTPZ7 入力注1</td></tr>
</table>
</td></tr>
</table>

注 1. 外部割り込みを DMA トリガ要因とする場合は、必ずエッジを指定してください（レベル検出の設定は行わないでください）。

ビット位置	ビット名	意　味
6-0	IFC6-IFC0	DMA チャネルのトリガ要因を選択します。

IFCn6-IFCn0	DMA 転送トリガ要因の選択
3BH	INTPZ8 入力注1
3CH	INTPZ9 入力注1
3DH	INTPZ10 入力注1
3EH	INTPZ11 入力注1/TAUD チャネル 5 割り込み注2
3FH	INTPZ12 入力注1/TAUD チャネル 6 割り込み注2
40H	INTPZ13 入力注1/TAUD チャネル 7 割り込み注2
41H	INTPZ14 入力注1/TAUD チャネル 8 割り込み注2
42H	INTPZ15 入力注1/TAUD チャネル 9 割り込み注2
43H	INTPZ16 入力注1/TAUD チャネル 10 割り込み注2
44H	INTPZ17 入力注1/TAUD チャネル 11 割り込み注2
45H	INTPZ18 入力注1/TAUD チャネル 12 割り込み注2
46H	INTPZ19 入力注1/TAUD チャネル 13 割り込み注2
47H	INTPZ20 入力注1/TAUD チャネル 14 割り込み注2
48H	INTPZ21 入力注1/TAUD チャネル 15 割り込み注2
49H	INTPZ22 入力注1/山割り込み(TAPA)注2
4AH	INTPZ23 入力注1/谷割り込み(TAPA)注2
4BH	INTPZ24 入力注1
4CH	INTPZ25 入力注1
4DH	INTPZ26 入力注1
4EH	INTPZ27 入力注1
4FH	INTPZ28 入力注1
50H-62H	Reserve（設定禁止）
63H	Gigabit Ethernet PHY LED0_PHY0 入力割り込み
64H	Gigabit Ethernet PHY LED0_PHY1 入力割り込み
65H-6CH	Reserve（設定禁止）

注 1. 外部割り込みを DMA トリガ要因とする場合は、必ずエッジを指定してください（レベル検出の設定は行わないでください）。

2. INTPZ / TAUD 割り込みは、INTSEL レジスタで選択されます。詳細は「25.19 INTPZ/タイマ割り込み選択レジスタ(INTSEL)」を参照して下さい。

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>6-0</td><td>IFC6-IFC0</td><td>DMA チャネルのトリガ要因を選択します。
<table>
<tr><th>IFCn6-IFCn0</th><th>DMA 転送トリガ要因の選択</th></tr>
<tr><td>6DH-6EH</td><td>Reserve（設定禁止）</td></tr>
<tr><td>6FH</td><td>CC-Link IE Field Network NMIZ 割り込み</td></tr>
<tr><td>70H</td><td>CC-Link IE Field Network WDTZ 割り込み</td></tr>
<tr><td>71H</td><td>CC-Link IE Field Network INTZ 割り込み</td></tr>
<tr><td>72H</td><td>CC-Link IE Field Network CLKLOSSZ 割り込み</td></tr>
<tr><td>73H-77H</td><td>Reserve（設定禁止）</td></tr>
<tr><td>78H</td><td>CC-Link IRZ 割り込み</td></tr>
<tr><td>79H</td><td>CC-Link REFSTB 割り込み</td></tr>
<tr><td>7AH</td><td>CC-Link MON3 割り込み</td></tr>
<tr><td>7BH-7CH</td><td>Reserve（設定禁止）</td></tr>
<tr><td>7DH</td><td>Gigabit Ethernet PHY LED1_PHY0 入力割り込み</td></tr>
<tr><td>7EH</td><td>Gigabit Ethernet PHY LED1_PHY1 入力割り込み</td></tr>
<tr><td>7FH</td><td>AD 完了割り込み</td></tr>
</table>
</td></tr>
</table>

14.5 DMA インタフェース端子

14.5.1 BUSCLK 同期

DMA インタフェース信号は、すべて BUSCLK 出力に同期しています。BUSCLK は内部システム・バス・クロックの HCLK と同相の信号です。DMA 転送要求入力（DMAREQZp，RTDMAREQZ）は BUSCLK に対するセットアップ、ホールドを満足するタイミングで入力してください。

備考 p = 0,1

14.5.2 転送要求とアクノリッジ

DMA 転送要求（DMAREQZp，RTDMAREQZ）の検出モードは下記に対応しています。

- 立ち上がり検出
- 立ち下がり検出
- 変化点検出（立ち上がり／立ち下がり）
- ハイ・レベル検出
- ロー・レベル検出
- マスク（起動要因として DMAREQZp、RTDMAREQZ を使用しない）

DMA アクノリッジ（DMAACKZp，RTDMAACKZ）の出力モードは以下をサポートしています。

- トランスファ開始時に 1 パルス・アサート
- DMA 転送要求がディアサートされるまでアサート
- バス・サイクル期間アサート
- マスク（DMAACKZp，RTDMAACKZ を出力しない）

一般的には BUSCLK 基準で、DMA アクノリッジ信号を検出して、DMA 転送要求がインアクティブになるように設計します。このとき BUSCLK が高速な場合には、タイミング設計が困難になります。このため、DMA アクノリッジ信号を外部回路で容易に検出できるように、アクティブ・レベル幅を任意に設定し、さらに DMA アクノリッジ信号がインアクティブに復帰したタイミングを基点に DMA 転送要求信号をマスクする機構も内蔵しています（DMA_IF モジュール内蔵機能）。

備考 p = 0, 1

14.6 割り込み出力機能

DMA トランザクションが終了した時、またはリンク・モードでインバリッドな（リンク・モードにおいて、header の DIM = 0 の状態で、リードしたディスクリプタの header が LV = 0 のとき）ディスクリプタをリードした場合に転送完了割り込みをアサートします。またマスタ・インタフェースが発行した転送に対し、エラー・レスポンスが返された場合にエラー応答割り込みをアサートします。

表14.9 汎用 DMA コントローラの割り込み出力★

割り込み信号	割り込み要因	割り込み検出のマスク	割り込み出力のマスク
INTDMAn	DMA トランザクションが終了	CHCFGn レジスタ DEM = 1	CHSTATn. INTM = 1
	リンク・モードでインバリッドなディスクリプタをリード	header の DIM = 1	
INTDMEERR	マスタ・インタフェースが発行した転送に対し、エラー・レスポンスが返された場合	ー（不可）	ー（不可）

備考 n = 0-3

表14.10 リアルタイムポート用 DMA コントローラの割り込み出力★

割り込み信号	割り込み要因	割り込み検出のマスク	割り込み出力のマスク
INTRTDMA	DMA トランザクションが終了	RTCHCFG レジスタ DEM = 1	RTCHSTAT. INTM = 1
	リンク・モードでインバリッドなディスクリプタをリード	header の DIM = 1	
INTRTDMEERR	マスタ・インタフェースが発行した転送に対し、エラー・レスポンスが返された場合	ー（不可）	ー（不可）

14.7 DMAC の動作設定

注意 汎用 DMAC とリアルタイムポート用 DMAC の動作仕様は同一なため、本項目では汎用 DMAC にて動作のみ説明します。

14.7.1 レジスタ・モードとリンク・モードの選択

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の DMS ビット（ビット 31）で、レジスタ・モードとリンク・モードを選択します。

表14.11 レジスタ・モードとリンク・モード

CHCFGn レジスタ DMS ビット	モード	動 作
0	レジスタ・モード	Next レジスタ・セットに設定した値で DMA 転送を行います。
1	リンク・モード	ディスクリプタを Current レジスタにセットして、DMA 転送を行います。ディスクリプタによる設定、またはチャネル・コントロール・レジスタ（CHCTRLn）で停止しないかぎり、ディスクリプタのロードと DMA 転送を繰り返します。

備考 n = 0-3

14.7.2 レジスタ・モード

レジスタ・モードは、Next レジスタ・セット設定した値を用いて DMA 転送を行います。

転送元アドレス、転送先アドレス、転送バイト数を 2 種類（Next0 レジスタ・セット、Next1 レジスタ・セット）設定できます。

使用する Next レジスタ・セットを選択して転送したり、2 つの Next レジスタ・セットを連続して使用して（Next0 レジスタによる DMA トランザクション終了後、Next1 レジスタによる DMA トランザクション実行など）転送したりすることができます。

以下に、Next0 を使用する場合と、Next1 を使用する場合のレジスタ・ロード例を示します。

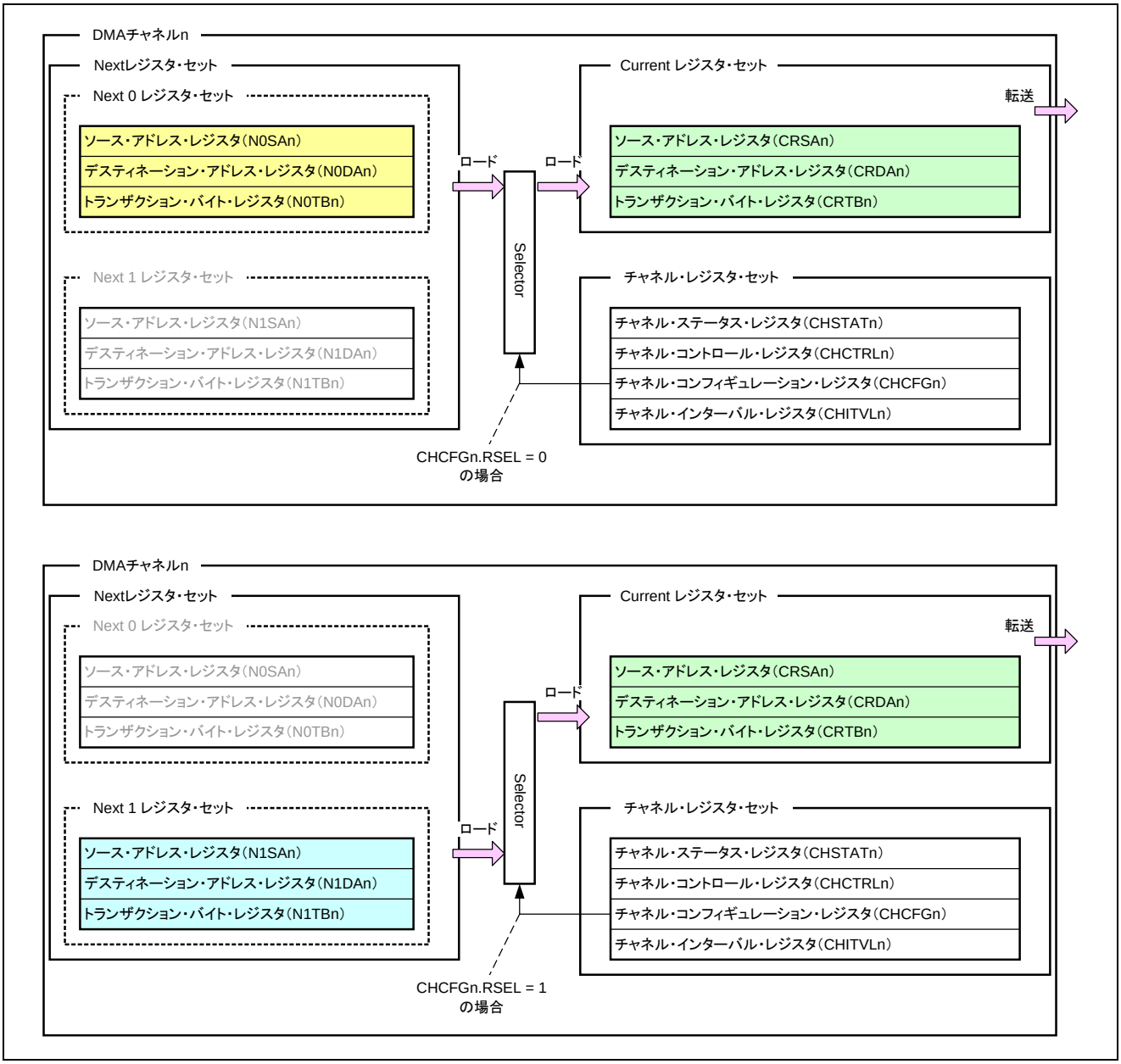
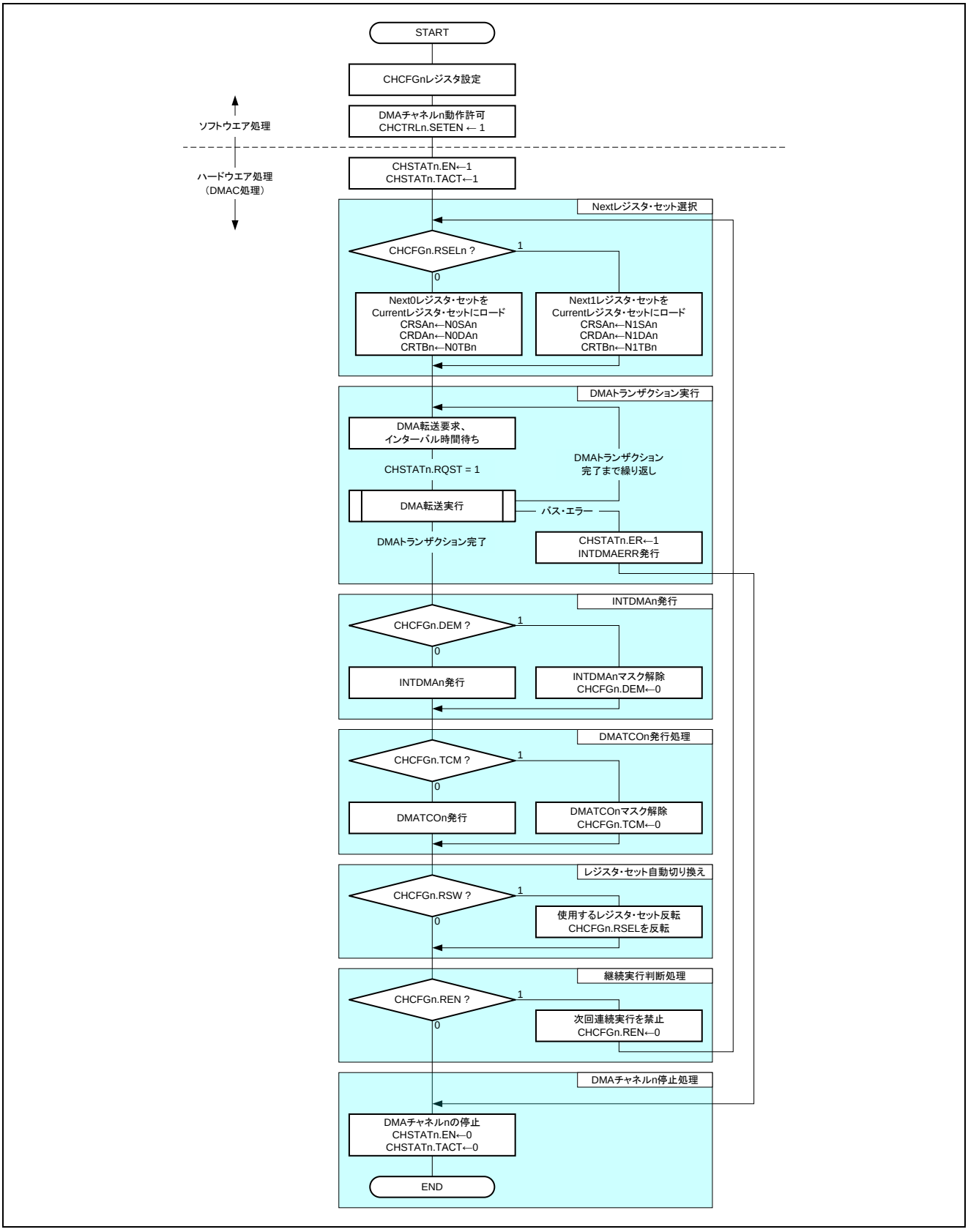


図14.14 レジスタ・モード動作概要

(1) レジスタ・モードの動作フロー



<1> チャネル設定
Next0 または Next1 レジスタ・セット（転送先アドレス、転送元アドレス、総転送バイト数）を設定します。
チャネル・コンフィギュレーション・レジスタ（CHCFGn）で、動作モードの設定を行います。

<2> Next レジスタ・セット選択
チャネル・コントロール・レジスタ（CHCTRLn）レジスタの SETEN をセット（1）すると、チャネル・ステータス・レジスタ（CHSTATn）の EN, TACT がセット（1）され、CHCFGn.RSEL で選択した Next レジスタ・セットの設定値が、Current レジスタ・セットにロードされます。

<3> DMA トランザクション実行
設定に従って、DMA 転送を行います。転送の詳細は、14.8 DMACの動作を参照してください。
この間に DMA 転送エラーが発生すると、INTDMAERRn を発行し、DMA 転送を終了します。

<4> INTDMAn 発行処理
CHCFGn.DEM に設定した値に従って、INTDMAn のマスクが行われます。
DEM = 1 の場合は、INTDMAn は発行されません。また、その直後に自動的に DEM がクリア（0）されます。

<5> DMATCZp 発行処理
CHCFGn.TCM に設定された値に従って、DMATCZp 出力のマスクが行われます。
TCM = 1 の場合は、DMATCZp は出力されません。また、その直後に自動的に TCM がクリア（0）されます。

<6> レジスタ・セット自動切換え
CHCFGn.RSW に設定された値に従って、もう一方の Next レジスタ・セットを使用するかが決定されます。

<7> 継続実行判断処理
CHCFGn.REN に設定した値に従って、DMA 転送を継続実行するかが決定されます。
REN = 0 の場合は、CHSTATn レジスタの EN, TACT をクリア（0）し、DMAC は動作を停止します。
REN = 1 の場合は、継続して DMA トランザクションが実行されます。また、その直後に自動的に REN がクリア（0）されます。

備考 n = 0-3, p = 0,1

(2) レジスタの設定

(a) レジスタ・セットの選択（CHCFGn.DMS）

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の RSEL ビットで、実行するレジスタ・セットを選択します。

表14.12 レジスタ・モードの設定

CHCFGn.DMS	CHCFGn.RSEL	動作
0 （レジスタ・モード選択）	0	Next0 レジスタ・セットを使用する
	1	Next1 レジスタ・セットを使用する

備考 n = 0-3

(b) INTDMAn 動作の選択（CHCFGn.DEM）

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の DEM ビットで、レジスタ・モード時の DMA トランザクション（一連の DMA 転送）完了時に、INTDMAn の動作を選択します。

表14.13 INTDMAn 動作の選択

CHCFGn.DEM	動 作	
0	INTDMAn 出力許可 （INTDMAn をマスクしない）	DMA トランザクション（一連の DMA 転送）完了時に、INTDMAn を出力します。
1	INTDMAn 出力禁止 （INTDMAn をマスクする）	DMA トランザクション（一連の DMA 転送）完了時に、INTDMAn を出力しません。 その後、自動的に DEM はクリア（0）され、INTDMAn 出力は許可状態に戻ります。

備考 n = 0-3

(c) ターミナル・カウント出力（DMATCZp）のマスク設定（CHCFGn.TCM）

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の TCM ビットで、レジスタ・モード時の DMA トランザクション（一連の DMA 転送）完了時のターミナル・カウント DMATCZp 出力のマスク設定を行います。

表14.14 ターミナル・カウント出力（DMATCZp）のマスク設定

CHCFGn.TCM	動 作	
0	ターミナル・カウント出力（DMATCZp）出力許可（DMATCZp をマスクしない）	DMA トランザクション（一連の DMA 転送）完了時に、DMATCZp を出力します。
1	ターミナル・カウント出力（DMATCZp）出力禁止（DMATCZp をマスクする）	DMA トランザクション（一連の DMA 転送）完了時に、DMATCZp を出力しません。 その後、自動的に TCMn はクリア（0）され、DMATCZp 出力は許可状態に戻ります。

備考 n = 0-3, p = 0,1

(d) 継続実行の設定（CHCFGn.REN）

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の REN ビットで、DMA トランザクション（一連の DMA 転送）完了時に続けて DMA 転送を実行する動作を選択します。

続けて実行する場合は、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の RSEL ビットで選択されている Next レジスタ・セットで DMA 転送を行います。

表14.15 継続実行の設定

CHCFGn.REN	動 作	備 考
0	RSEL に設定されているレジスタ・セットの DMA トランザクション（一連の DMA 転送）が完了すると、EN をクリア（0）して DMA 動作を終了します。	DMA トランザクション（一連の DMA 転送）を 1 回実行する場合に設定してください。
1	DMA トランザクション（一連の DMA 転送）完了後に続けて、選択されているレジスタ・セットの内容を DMA 転送します。その後、REN を自動的にクリア（0）します。	レジスタ・セットの内容に従って、連続して DMA トランザクション（一連の DMA 転送）実行する場合に設定してください。

備考 n = 0-3

(e) レジスタ・セットの自動切り替え設定（CHCFGn.RSW）

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の RSW ビットで、DMA トランザクション（一連の DMA 転送）完了時の RSEL（Next0／Next1 レジスタ・セットの選択）ビットの値の反転動作を選択します。

表14.16 レジスタ・セットの自動切り替え設定

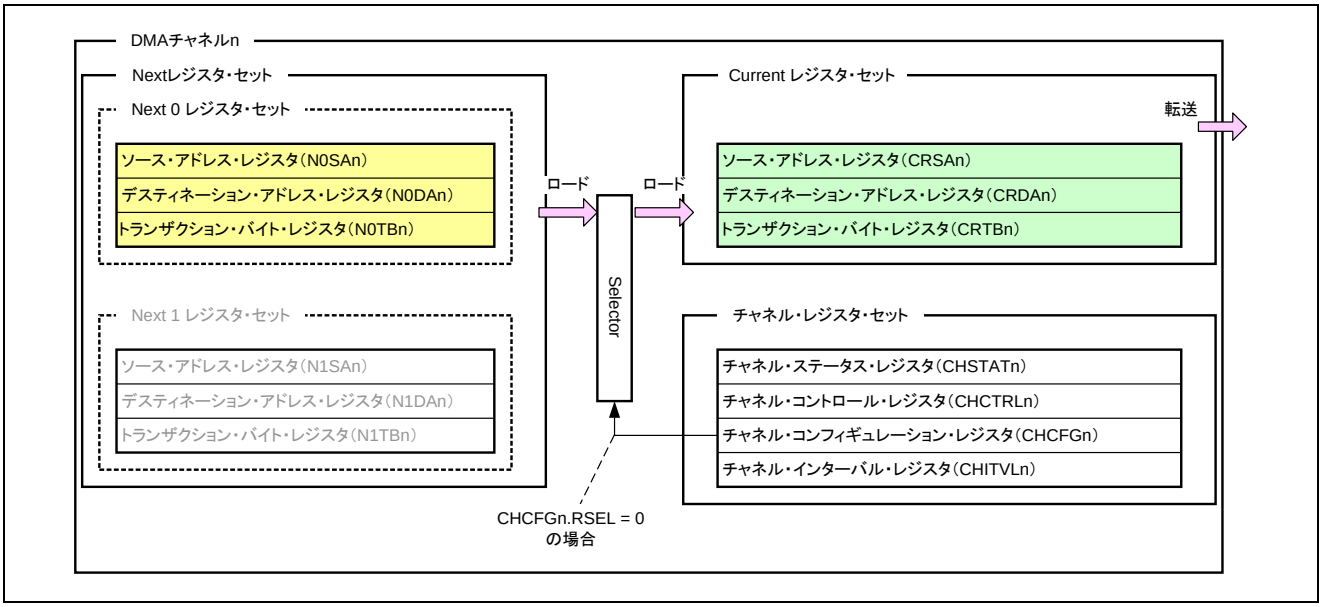
CHCFGn.RSW	動 作	備 考
0	REN = 1（継続実行許可時）の DMA トランザクション（一連の DMA 転送）が完了時に、レジスタ切り替え（RSEL の反転動作）を行いません。	1 つのレジスタ･セットのみを使う場合に選択してください。
1	REN = 1（継続実行許可時）の DMA トランザクション（一連の DMA 転送）が完了時に、レジスタ切り替え（RSEL の反転動作）を行い、継続実行用にもう一方のレジスタ・セットを選択します。	継続実行のために、レジスタ・セットを切り替える場合に選択してください。

備考 n = 0-3

(3) レジスタの設定例

(a) Next0 レジスタ・セットのみを使用する場合

CHCFGn.DMS	CHCFGn.RSEL	CHCFGn.DEM	CHCFGn.TCM	CHCFGn.RSW	CHCFGn.REN
0	0	0	0	0	0
レジスタ・モード	Next0 レジスタ・セット	INTDMAn マスクなし	DMATCZp マスクなし	レジスタ切り替え なし	継続実行なし



<1> CHCTRLn.SETEN をセット（1）すると、CHSTATn.EN = 1, CHSTATn.TACT = 1 となり、Next0 レジスタ・セットが Current レジスタ・セットにロードされます。

<2> Current レジスタ・セットとチャネル・レジスタ・セットの値に従って、DMA トランザクション（一連の DMA 転送）が実行されます。

<3> CHCFGn.DEM = 0 なので、DMA トランザクション（一連の DMA 転送）完了後に INTDMAn が発行されます。

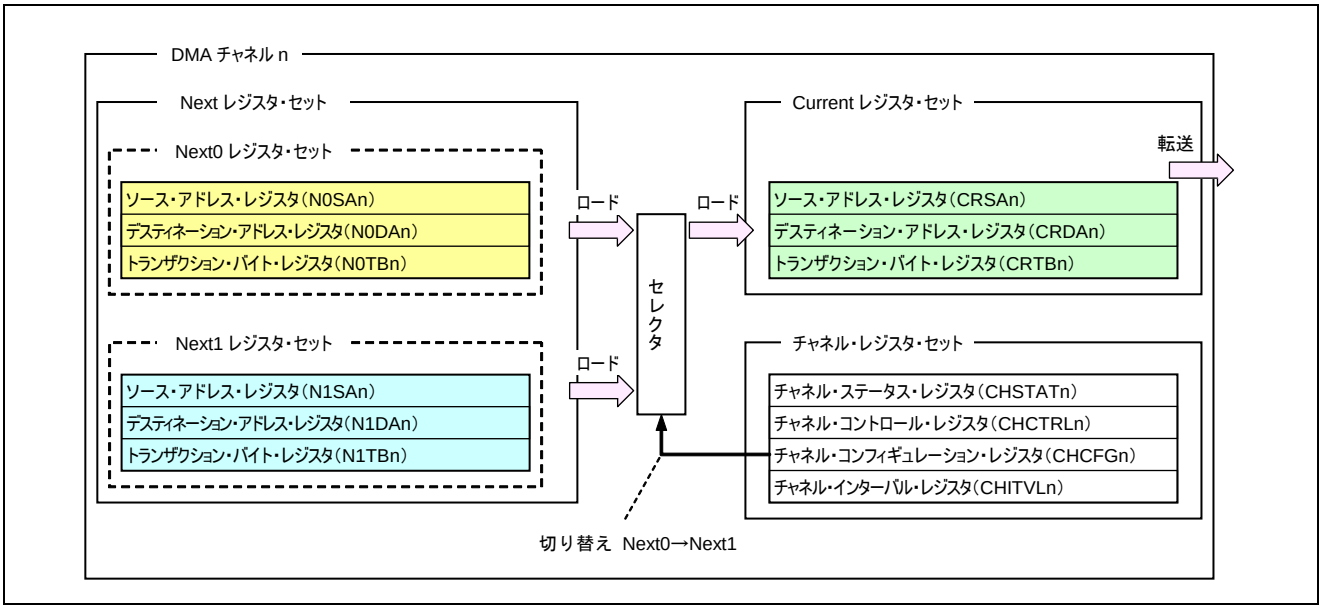
<4> CHCFGn.TCM = 0 なので、DMA トランザクション（一連の DMA 転送）完了後に DMATCZp が発行されます。

<5> CHCFGn.REN = 0 なので、EN, TACT をクリア（0）して終了します。

備考 n = 0-3, p = 0,1

(b) 2 つのレジスタ・セットを用いて連続実行する場合

CHCFGn.DMS	CHCFGn.RSEL	CHCFGn.DEM	CHCFGn.TCM	CHCFGn.RSW	CHCFGn.REN
0	0	1	0	1	1
レジスタ・モード	Next0 レジスタ・セット	INTDMAn マスクあり	DMATCZp マスクなし	レジスタ切り替え あり	継続実行あり



<1> CHCTRLn.SETEN をセット（1）すると、CHSTATn.EN = 1, CHSTATn.TACT = 1、Next0 レジスタ・セットが Current レジスタ・セットにロードされます。

<2> Current レジスタ・セットとチャネル・レジスタ・セットの値に従って、DMA トランザクション（一連の DMA 転送）が実行されます。

<3> CHCFGn.DEM = 1 なので、DMA トランザクション（一連の DMA 転送）完了後に INTDMAn は発行されません。また自動的に DEM がクリア（0）されます。つまり継続実行する DMA トランザクションが完了した時点で、INTDMAn が発生することになります。

<4> CHCFGn.REN = 1 なので、継続実行されます。また自動的に REN がクリア（0）されます。

<5> CHCFGn.RSW = 1 なので、次に実行するレジスタ・セットが切り替わります（RSEL = 0→1）。

<6> Next1 レジスタ・セットが Current レジスタ・セットにロードされます。

<7> Current レジスタ・セットとチャネル・レジスタ・セットの値に従って、DMA トランザクション（一連の DMA 転送）が実行されます。

<8> CHCFGn.DEM = 0 なので、DMA トランザクション（一連の DMA 転送）完了後に INTDMAn が発行されます。

<9> CHCFGn.TCM = 0 なので、DMA トランザクション（一連の DMA 転送）完了後に DMATCZp が発行されます。

<10> CHCFGn.REN = 0 なので、EN, TACT をクリア（0）して終了します。

備考 n = 0-3, p = 0,1

14.7.3 リンク・モード

リンク・モードは、メモリに配置した「ディスクリプタ」を設定値としてロードし、DMA トランザクション（一連の DMA 転送）を実行するモードです。

DMAC 内部にはチャネルごとに Next リンク・アドレス・レジスタと Current リンク・アドレス・レジスタがあります。Next リンク・アドレス・レジスタは、次に実行するディスクリプタ・アドレスの設定に使用します。Current リンク・アドレス・レジスタは、現在実行中の DMA トランザクション（一連の DMA 転送）の、ディスクリプタ・アドレスの表示に使用します。

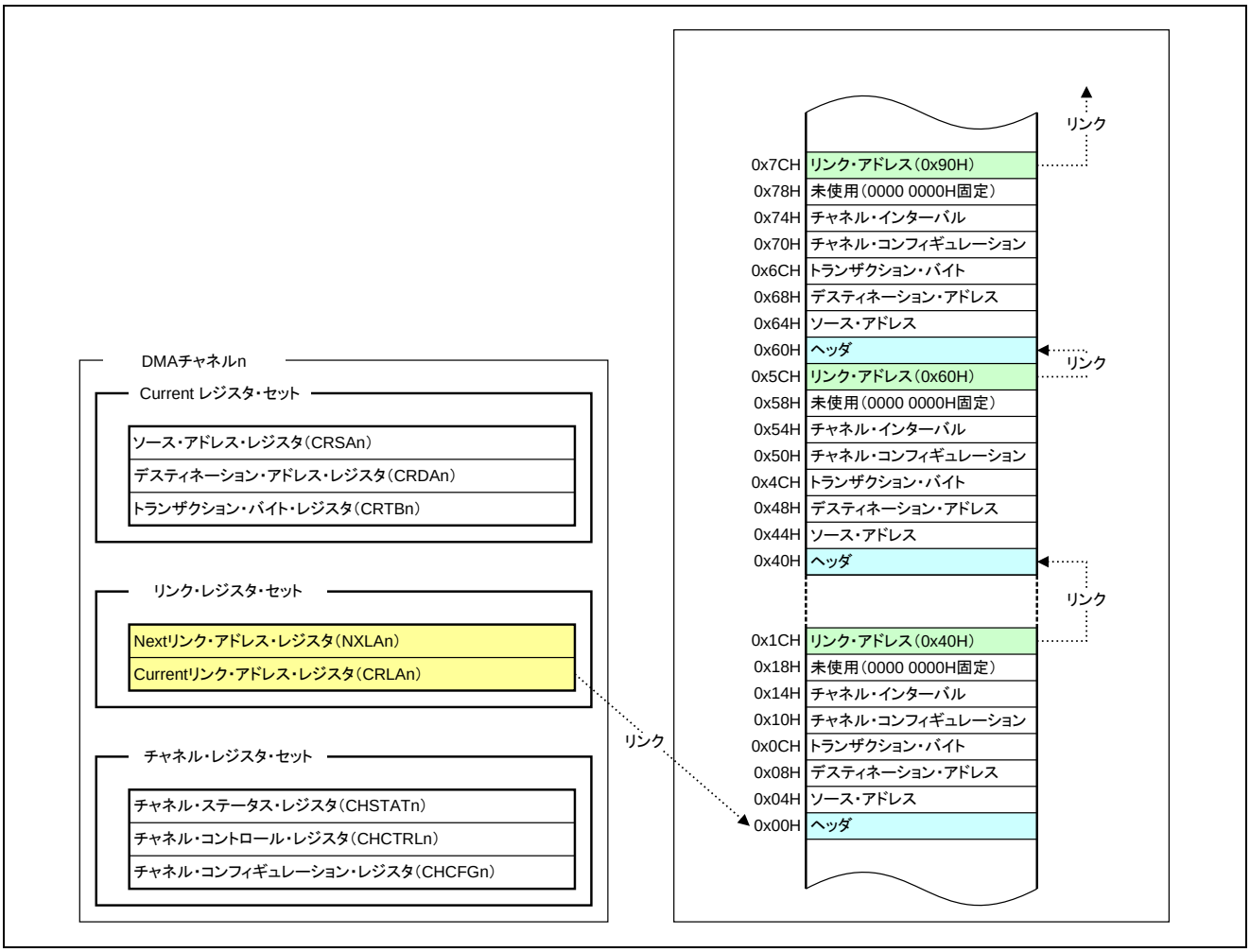
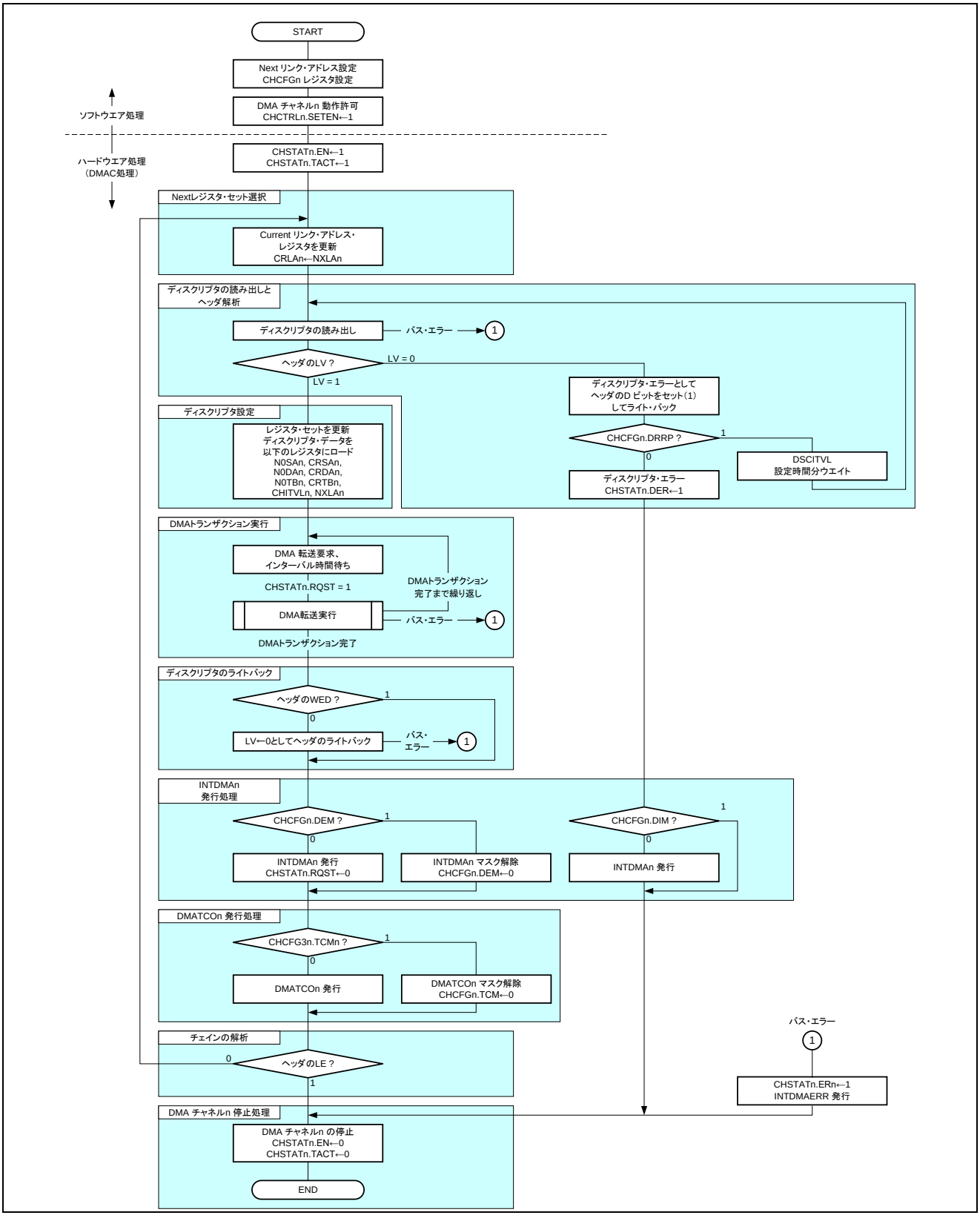


図14.15 リンク・モード概要

(1) リンク・モードの動作フロー



<1> チャネル設定
NXLAn にリンク先の先頭アドレスを設定します。
<2> リンク・アドレス更新
CHCTRLn.SETEN をセット（1）すると、CHSTATn.EN = 1, CHSTATn.TACT = 1 となり、NXLAn レジスタに設定したリンク・アドレスが CRLAn にロードされます。
<3> ディスクリプタ読み出しとヘッダ判定
ディスクリプタ・ロードを開始し、DMAC は「ヘッダ」の内容を確認します。LV = 0 の場合は、ヘッダの D ビットをセット（1）してライトバックされます。
CHCFGn.DRRP = 1 の場合は、DSCITVL レジスタに設定された時間後、再び同じディスクリプタをリードします。
CHCFGn.DRRP = 0 の場合は、CHSTATn.DER = 1 になり終了状態（EN = 0, TACT = 0）になります。このとき CHCFGn.DIM = 0 の場合は、INTDMAn が発行されます。
<4> ディスクリプタ設定
ロードしたディスクリプタは Current レジスタ・セットと、チャネル・レジスタ・セットに設定されます。また NXLAn に次のリンク先を設定されます。
<5> DMA トランザクション実行
設定された値に従って、DMA トランザクションが実行されます。
この間に DMA 転送エラーが発生すると、INTDMAERRn が発行され、DMA 転送を終了します。
<6> ヘッダ書き戻し（ライトバック）
ヘッダの WBD = 0 の場合は、DMAC はヘッダの LV ビットをクリア（0）してヘッダを書き戻します。
<7> INTDMAn 発行処理
CHCFGn.DEM に設定した値に従って、INTDMAn がマスクされます。
DEM = 1 の場合は、INTDMAn は発行されません。
<8> DMATCZp 発行処理
CHCFGn.TCM（CHCFGn.TCM）に設定された値に従って、DMATCZp 出力がマスクされます。
TCM = 1 の場合は、DMATCZp は出力されません。
<9> リンク終了判定
ヘッダの LE = 1 の場合、ディスクリプタ設定での DMA トランザクション後、EN, TACT をクリア（0）して終了します。LE = 0 の場合は、Current レジスタを更新し、次のディスクリプタ・ロードが開始されます。

備考 n = 0-3, p = 0,1

(2) レジスタ設定

(a) リンク・モード選択（CHCFGn.DMS）

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の DMS ビットで、リンク・モードを選択します。

ディスクリプタでは、DMS ビットは書き換えられません。

表14.17 リンク・モードの選択

CHCFGn.DMS	動 作
1 （リンク・モード選択）	リンク・モードで動作します。

(b) リンク・アドレスの設定（NXLAn）

リンク先を示すレジスタとして、Next リンク・アドレス・レジスタ（NXLAn）と Current リンク・アドレス・レジスタ（CRLAn）があります。

リンク・モードを開始する際には、Next リンク・アドレス・レジスタ（NXLAn）にリンク先アドレスを設定してください。

Next リンク・アドレス・レジスタ（NXLAn）は、ディスクリプタのロード後には、次のリンク先を示します。また、Current リンク・アドレス・レジスタ（CRLAn）は、現在実行中のリンク・アドレスを示しています。

表14.18 リンク・アドレス・レジスタ・セット

レジスタ	動 作
Next リンク・アドレス・レジスタ（NXLAn）	次のリンク先の表示を行います。リンク・モード開始前に、このレジスタにリンク先のアドレスを設定してください。
Current リンク・アドレス・レジスタ（CRLAn）	現在実行中のリンク・アドレスを示します。このレジスタはリードのみ可能です。

注意 リンク・モードでは、ディスクリプタ・リードにより設定を変更できますが、設定の変更タイミングとハードウェアによる DMA 転送要求（DMAREQZp や割り込み信号）との同期が取れません。このため、ハードウェアによる DMA 転送要求を利用する場合は、EN ビットをセット（1）する前に、CHCFGn レジスタの AM2-AM0, LVL, HIEN, LOEN, SEL2-SEL0 を設定し、かつディスクリプタでは、これらのビットを変更しないようにしてください。

備考 n = 0-3, p = 0,1

(c) ディスクリプタの設定

DMAC は、2 種類のディスクリプタ・フォーマットをサポートしています。

フォーマットの切り替えは、ディスクリプタの 1 ワード目（ヘッダ）のビット 31-28 の DSCFM フィールドで指定してください。

以下に、DSCFM の値と、ディスクリプタ・フォーマットの関係を示します。

表14.19 ディスクリプタ・フォーマット

DSCFM フィールドの値	0001B	0011B
ディスクリプタ・サイズ	8 ワード	4 ワード
リンク・アドレス	○	○
チャネル・インターバル	○	－（reload）
チャネル・コンフィギュレーション	○	－（reload）
トランザクション・サイズ	○	－（Header）
デスティネーション・アドレス	○	○
ソース・アドレス	○	○
ヘッダ	○	○（STS）

注意 1. 上記以外の DSCFM フィールドの値を設定しないでください。

2. ディスクリプタで、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の DMS ビットの設定は変更できません（リンク・モード固定）。

3. ディスクリプタで、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の REN,RSW ビットの設定を変更できますが、これらはレジスタ・モードで利用するビットのため、動作に影響を与えません。

4. ディスクリプタで、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の RSEL ビットの設定を変更できますが、リンク・モードでは、Next0 レジスタ・セットのみ使用されます。

備考 n = 0-3

表14.20　ディスクリプタの各フィールドの説明

フィールド	記号	説明
リンク・アドレス	○	現在のディスクリプタによる DMA 転送の後にリードする、次のディスクリプタ・アドレス（リンク・アドレス）を指定します。
チャネル・インターバル、チャネル・コンフィギュレーション	○	チャネル・インターバル、チャネル・コンフィギュレーションを指定します。
	－（reload）	チャネル・インターバル、チャネル・コンフィギュレーションを省略し、前回の設定値を引き続き使用します。
トランザクション・サイズ	○	トランザクション・バイト・サイズを指定します。
	－（Header）	トランザクション・バイト・サイズを省略し、ヘッダの STS フィールドの値を総転送バイト数として使用します。STS フィールドは 16 ビットのため、最大設定サイズは 65,536 バイトです。
デスティネーション・アドレス	○	転送先アドレスを指定します。
ソース・アドレス	○	転送元アドレスを指定します。
ヘッダ	○（noSTS）	ヘッダのビット 15-0 の STS フィールドは無効です。 総転送バイト数は、ディスクリプタのトランザクション・サイズが使用されます。
	○（STS）	ヘッダのビット 15-0 の STS フィールドは有効です。 STS フィールドに設定した値が、総転送バイト数になります。

(d) ヘッダの設定

ヘッダは、ディスクリプタの状態等を示します。

ヘッダは、リンク・モードでの DMA 転送開始前にリードされます。また DMA トランザクション（一連の DMA 転送）終了後に、ライトバックされます。

ビット位置	ビット名	意　味
31-28	DSCFM	（Descriptor Format） 表14.19に示す、2 種類のいずれかのディスクリプタのフォーマットを指定します。
27	Reserved	0 を設定してください。
26	WBD	（Write Back Disable） LV ビットのライトバック動作を設定します。 0：DMA トランザクション（一連の DMA 転送）完了後に LV ビットを 0 に書き戻す 1：DMA トランザクション（一連の DMA 転送）完了後に LV ビットを書き戻さない
25	LE	（Link End） このディスクリプタの DMA トランザクション（一連の DMA 転送）のリンク継続状態を示します。 リンクの最後では、このビットをセット（1）してください。 0：リンク継続 1：リンク終了
24	LV	（Link Valid） ディスクリプタの有効／無効を示します。 WBD = 0 の場合、ディスクリプタに従った DMA トランザクション（一連の DMA 転送）完了後に、LV ビットをクリア（0）してライトバックします。ヘッダ設定では 1 を設定してください。 0：ディスクリプタ無効 1：ディスクリプタ有効
23	D	（Descriptor Error） ディスクリプタ・エラー・ビットです。ヘッダのロード時に LV = 0（ディスクリプタ無効）の場合、DMAC は、このビットをセット（1）してライトバックします。 0：エラーなし 1：ディスクリプタ・エラー
22-16	Reserved	0 を設定してください。
15-0	STS	（Short Transaction Size） DSCFM フィールドに 0011B を設定した場合、このフィールドで DMA 転送の総バイト数を設定します。設定可能な最大値は 65,536 バイトです。このとき、STS には 0 は設定できません。

注意 DMAC 動作中にディスクリプタを順次追加する場合、LV ビットのセット（1）は、バイト・アクセスでライトしてください。DMAC は D ビットのライトバックをバイト・アクセスでライトするため、この操作により LV ビットのソフトウェアによるセット（1）と、DMAC による D ビットのライトバックの競合を回避できます。

(e) ヘッダ以外のディスクリプタの設定

ヘッダ以外のディスクリプタの各データは、DMAC 内部のレジスタと同じ仕様です。

それぞれ、表14.21のように対応しています。DMAC 内部レジスタの仕様は、14.4 DMAコントローラのレジスタを参照してください。

表14.21 ヘッダ以外のディスクリプタと DMAC 内部レジスタの関係

ディスクリプタのオフセット・アドレス	ディスクリプタ	DMAC 内部レジスタ
+04H	ソース・アドレス	ソース・アドレス・レジスタ（CRSAn）
+08H	デスティネーション・アドレス	デスティネーション・アドレス・レジスタ（CRDAn）
+0CH	トランザクション・バイト	トランザクション・バイト・レジスタ（CRTBn）
+10H	チャネル・コンフィギュレーション	チャネル・コンフィギュレーション・レジスタ（CHCFGn）
+14H	チャネル・インターバル	チャネル・インターバル・レジスタ（CHITVLn）
+18H	必ず 0000 0000H を設定してください。	−

注意 CHCFGn レジスタの DMS ビットはディスクリプタで書き換えることはできません。

備考 n = 0-3

(3) ディスクリプタ領域と DMA 転送領域の概略

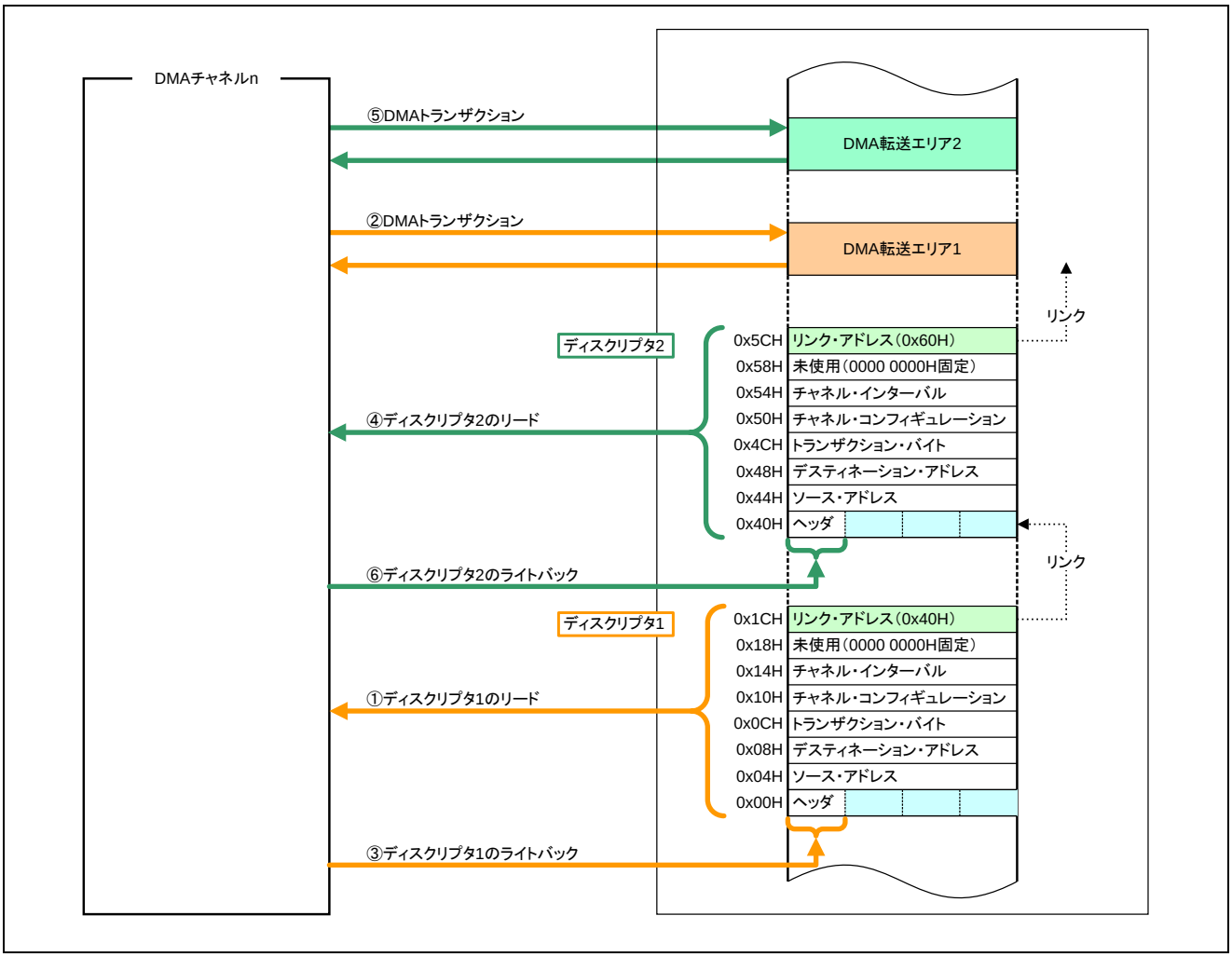


図14.16 ディスクリプタ領域と DMA 転送領域の概略

① ディスクリプタ・リード
DMAC 内の Next リンク・アドレス・レジスタ（NXLAn）に設定した値を、Current リンク・アドレス・レジスタ（CRLAn）にロードし、CRLAn レジスタが示すメモリ空間上の「ディスクリプタ 1」から、ディスクリプタがリードされます。

② DMA 転送（DMA トランザクション）
ディスクリプタのヘッダの LV = 1 の場合は、ディスクリプタ情報に従って DMA 転送が実行されます。

③ ディスクリプタ・ライトバック
設定バイト数の DMA トランザクション終了後、ヘッダの WBD = 0 の場合は、ディスクリプタ 1 のヘッダのビット 31-24 に対し LV = 0 にしてライトバック、その他のフィールドは①でリードした値をバイト・ライトでライトバックされます。

④ ディスクリプタ・リード
①でリードしたディスクリプタのヘッダの LE = 0 の場合は、ディスクリプタ中の Next リンク・アドレスで示されるアドレス（ディスクリプタ 2）から、次のディスクリプタがリードされます。

⑤ DMA 転送（DMA トランザクション）
ディスクリプタのヘッダの LV = 1 の場合は、ディスクリプタ情報に従って DMA 転送が実行されます。

⑥ ディスクリプタ・ライトバック
設定バイト数の DMA トランザクション終了後、ヘッダの WBD = 0 の場合は、ディスクリプタ 2 のヘッダのビット 31-24 に対し LV = 0 にしてライトバック、その他のフィールドは④でリードした値をライト・データとして、バイト・アクセスでライトバックされます。

以降④-⑥の繰り返し

備考 1. ヘッダの LE = 1, WBD = 0 の場合は、そのディスクリプタ設定で DMA トランザクションを実行し、LV = 0 としてライトバックして終了します。
2. ヘッダの LE = 1, WBE = 1 の場合は、そのディスクリプタ設定で DMA トランザクションを実行して終了します。ライトバックは行われません。
3. ヘッダの LV = 0 の場合は、ヘッダの D ビットに 1 をライトバック後、CHCFGn.DRRP = 1 の場合は、DSCITVL レジスタの DITVL フィールドに従ったインターバル後に再度ディスクリプタのリードが行われます。CHCFGn.DRRP = 0 の場合は、DMA を停止します。
4. n = 0-3

(4) ディスクリプタに関する注意事項

リンク・モードでは、ディスクリプタ・リードにより設定を変更できますが、設定の変更タイミングとハードウェア転送要求との同期を取ることはできません。このため、ハードウェア転送要求を用いる場合、CHCTRLn.SETEN ビットをセット（1）する前に CHCFGn レジスタの AM2-AM0, LVL, HEN, LEN, SEL2-SEL0 ビットを設定し、かつディスクリプタでは、これらのビットを変更しないでください。

ディスクリプタでは、CHCFGn レジスタの DMS ビットは変更できません（常にリンク・モードとなります）。また、ディスクリプタで CHCFGn レジスタの REN, RSW, RSEL ビットは変更できますが、動作に影響を与えません。

DMAC は、ヘッダの DSCFM ビットと LV ビットを参照して、そのディスクリプタの有効／無効を判断します。このため、ディスクリプタの DSCFM と LV ビットに相当するメモリ領域を、DMAC がアクセスする前に初期化（DSCFM = 0001B or 0011B, LV = 0）してください。

DMA 動作中に次のディスクリプタをメモリ上に設定する場合、LV ビットへの 1 の書き込みは、ヘッダ以降のディスクリプタ（ソース・アドレス、デスティネーション・アドレス ・・・ ネクスト・リンク・アドレス）を設定したあとに行ってください。これは、ソフトウェアによるディスクリプタの設定と DMAC のディスクリプタ・リードが競合し、CPU によるディスクリプタ設定の途中で DMAC のディスクリプタ・リードが割り込んだ場合に、設定前のディスクリプタ値を使って DMA が実行されることを防ぐためです。

ヘッダの D ビットへのライトバック情報を残したい場合は、ヘッダの LV ビットへの 1 のライトはバイト・アクセスで行ってください。

備考 n = 0-3

(5) リンクの構成例

リンク・モードでは、ディスクリプタを以下のように「リスト構成」、「ループ構成」とすることができます。

(a) リスト構成

最終ディスクリプタのヘッダの LE = 1 とすることで、リンクを終了します。
リスト構成の場合は、最終ディスクリプタの LE ビットは 1 に設定してください。

(b) ループ構成

最終ディスクリプタのリンク先を、先頭ディスクリプタのアドレスに設定すると、ディスクリプタはループ構成になります。ループを終了する場合は、DMAC がディスクリプタをリードする前に、ヘッダの LE ビットを 1 に書き換えるか、転送中断手順に従って DMAC を停止させてください。

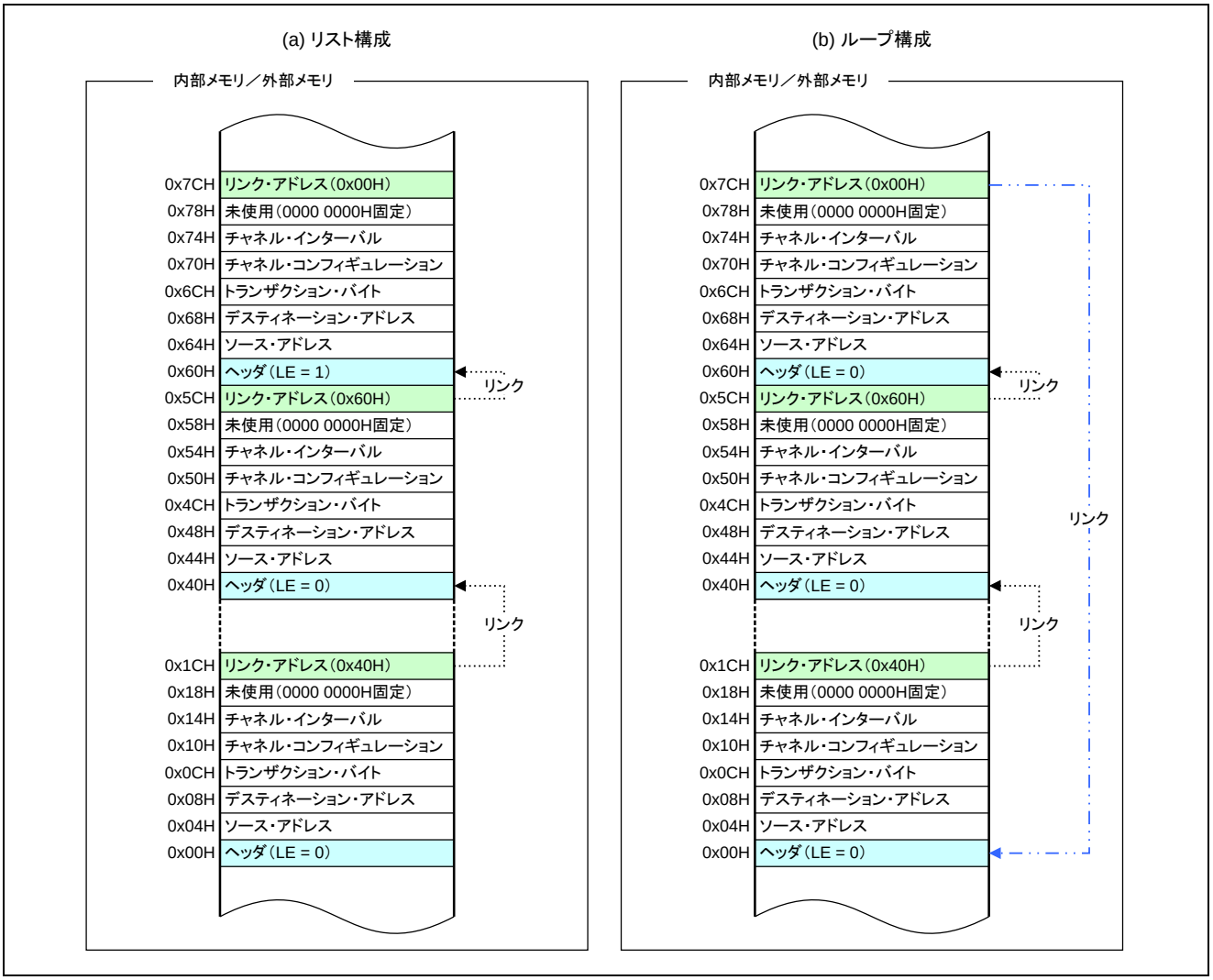


図14.17 リンク・モードの構成例

14.7.4 ライト・オンリー・モード

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の WONLY ビットをセット（1）すると、ライト・オンリー・モードになります。

ライト・オンリー・モードでは、DMA リード・トランスファを実行しません。ただしリンク・モードではディスクリプタのリードは行います。NxSAn（CHCFGn.RSEL = 0 の場合は x = 0, CHCFGn.RSEL = 1 の場合は x = 1）レジスタに設定した値をライト・データとして使用します。

ライト・オンリー・モードは、メモリ領域の初期化などに使用してください。

表14.22 ライト・オンリー・モードの設定

CHCFGn.WONLY	モード	動 作
0	通常モード	Next レジスタ・セットに設定された値で DMA 転送を行います。
1	ライト・オンリー・モード	DMA リード・トランスファを行わず、DMA ライト・トランスファのみ行います。

備考 n = 0-3

14.8 DMAC の動作

注意 汎用 DMAC とリアルタイムポート用 DMAC の動作仕様は同一なため、本項目では汎用 DMAC にて動作のみ説明します。

14.8.1 転送モード

DMAC は、シングル転送モードとブロック転送モードをサポートしています。

モードの選択は、チャネルごとにチャネル・コンフィギュレーション・レジスタ（CHCFGn）の TM ビットで設定してください。

表14.23 DMA 転送モードの選択

CHCFGn.TMn	モード	動作
0	シングル転送モード	1 回の DMA 転送要求に対して，1 回の DMA 転送を実行します。
1	ブロック転送モード	1 回の DMA 転送要求に対して， DMA トランザクション（一連の DMA 転送）が完了するまで，転送を実行します。

注意 内蔵周辺機能の割り込み要求信号を選択している場合は、DMA 転送要求信号の検出は、以下のように選択してください。

DMA 転送要求要因	DMA 転送要求信号の検出
内蔵周辺機能の 割り込み要求信号	立ち上がりエッジ検出 CHCFGn.LVL = 0 CHCFGn.LEN = 0 CHCFGn.HEN = 1
端子からの DMA 転送要求入力	任意

備考 n = 0-3

(1) シングル転送モード

DMA 転送要求を受け付けると、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の REQD ビットで示された側（転送元あるいは転送先）の DMA トランスファを 1 回実行し、CHCFGn レジスタの AM2-AM0 ビットで指定したタイミングで、DMAACKZp をアサートします。

転送要求の受け付けごとに 1 回の転送を行い、この動作を Current トランザクション・バイト・レジスタ（CRTBn）にロードされたバイト数分続けます（チャネル間のアービトレーションは、DMA 転送ごとに行われます。）。

CHCFGn レジスタの REQD ビットの設定やトランスファ・サイズ（DDS, SDS）の設定により、DMAACKZp の出力タイミングや、CRTBn レジスタのカウント・タイミングが異なります。詳細は、「14.8.10 転送サイズによる動作の相違」を参照してください。

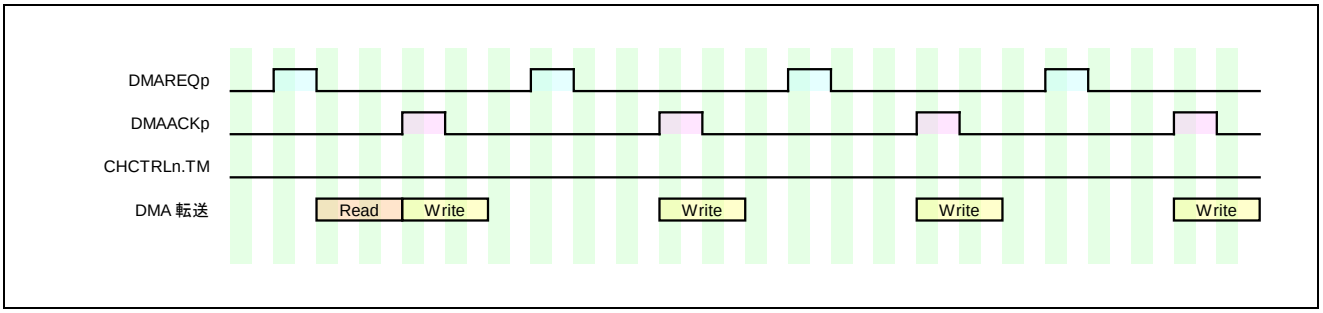


図14.18 シングル転送モード例

DMA 転送要求：立ち上がりエッジ検出、転送先からの要求、
DMA アクノリッジ出力：パルス・モード、
SDS[3:0]＞DDS[3:0]（例として、転送元の転送サイズが、転送先の転送サイズの 4 倍の場合）

備考 1. 外部端子の DMA インタフェース信号（DMAREQZp, DMAACKZp, DMATCZp）は負論理です。
2. n = 0-3、p = 0,1

(2) ブロック転送モード

DMA 転送要求を 1 度受け付けると、Current トランザクション・バイト・レジスタ（CRTBn）にロードしたバイト数分の転送が完了する（DMA トランザクション完了）まで転送を続けます（チャネル間のアービトレーションは、DMA 転送ごとに行われます）。

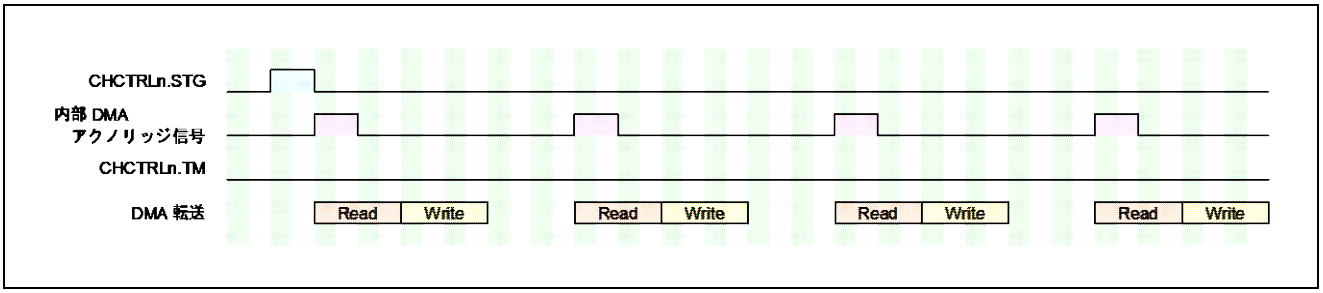


図14.19 ブロック転送モード例

DMA 転送要求：ソフトウェア・トリガ、
DMA アクノリッジ出力：パルス・モード、
SDS[3:0] = DDS[3:0]（例として、転送元の転送サイズと転送先の転送サイズが等しい場合）

備考 n = 0-3

14.8.2 DMA ユニットの優先順位制御

汎用 DMA コントローラと、リアルタイム・ポート用 DMA コントローラは、個別の AHB レイヤを使用しているため、同一のスレーブにアクセスした場合は、「表 4.1 R-IN32M4 の AHB 内部バス」の優先順位判定方式にしたがってアービトレーションが行われます。

一方、汎用 DMA コントローラのチャネル間の優先順位は、固定優先順位モードとラウンドロビン・モードをサポートしています。モードの選択は、各 DMAC 内の DMA コントロール・レジスタ（DCTRL0 レジスタ）の PR ビットで設定できます。PR ビットが 0 の場合に固定優先順位モードとなり、PR ビットが 1 の場合にラウンドロビン・モードとなります。

表14.24 DMA チャネルの優先順位制御の選択

DCTRL0.PR	モード	動 作
0	固定優先順位	固定優先（高：CH0＞CH1＞CH2＞CH3：低）順位で制御します。 チャネルに優先順位がある場合に使用してください。
1	ラウンドロビン	ラウンドロビンで制御します。 各チャネルで均等に DMA 転送を実行したい場合に使用してください。

(1) 固定優先順位モード

固定優先順位モードでは、各チャネルの優先順位は固定となり次のようになります。

高優先 CH0 ＞ CH1 ＞ CH2 ＞ CH3 低優先

DMA 転送要求が複数のチャネルで同時に発生した場合は、番号の小さいチャネルの DMA 転送要求を優先します。固定優先順位モードでの DMA 転送実行時に、優先順位の高いほかの DMA 転送要求が発生した場合の例を次に示します。

注意 転送元からのリード・サイクルと、転送先へのライト・サイクルの間でも、DMA チャネル間の優先順位制御が行われます。

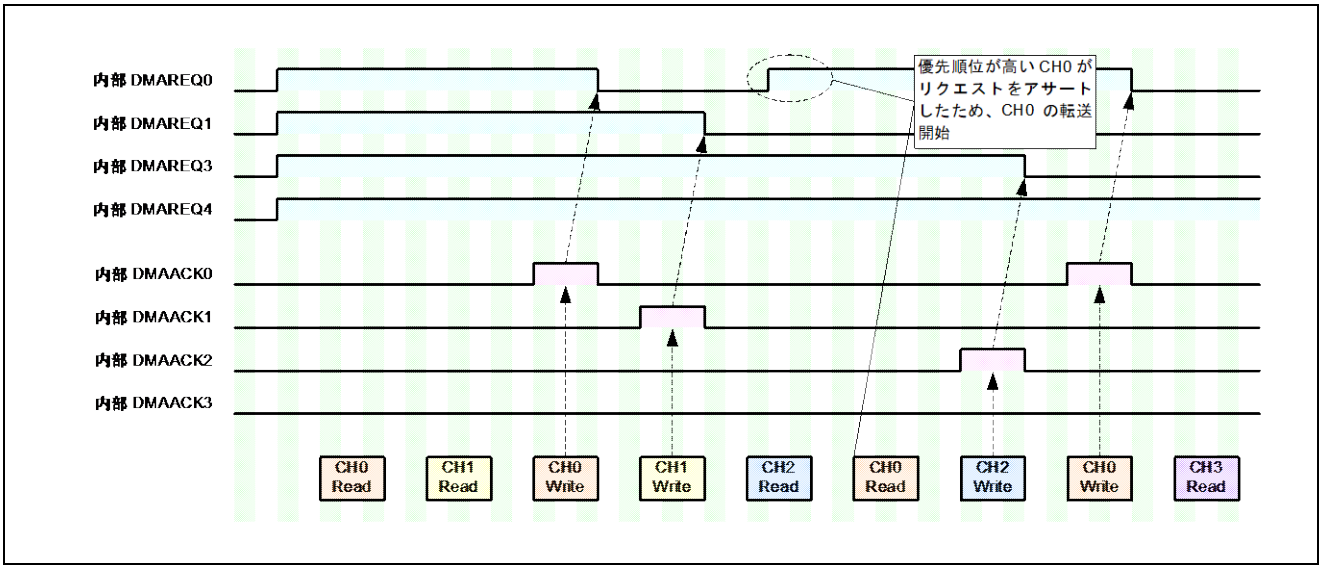


図14.20 固定優先順位モードの例

DMA 転送要求：ハイ・レベル検出、転送先からの要求、 DMA アクノリッジ出力：レベル・モード

備考 内部の DMA 信号として、各チャネルの DMA 転送要求を「内部 DMAREQn」、DMA アクノリッジ出力を「内部 DMAACKn」で表現しています（n = 0-3）。

(2) ラウンドロビン・モード

ラウンドロビン・モードでは、各チャネルの DMA 転送要求受け付けごとに、直前の転送を行ったチャネルの優先順位が一番低くなるように優先順位を変更します。

リセット解除直後の優先順位は、固定優先順位モードと同様で、次のようになります。

高優先 CH0 ＞ CH1 ＞ CH2 ＞ CH3 低優先

この状態で、DMA チャネル 0 の転送要求がなく、DMA チャネル 2 の転送要求があった場合、DMA チャネル 2 の転送を行い、転送終了後には以下のようになります。

高優先 CH3 ＞ CH0 ＞ CH1 ＞ CH2 低優先

ラウンドロビン・モードでの DMA 転送の例を次に示します。

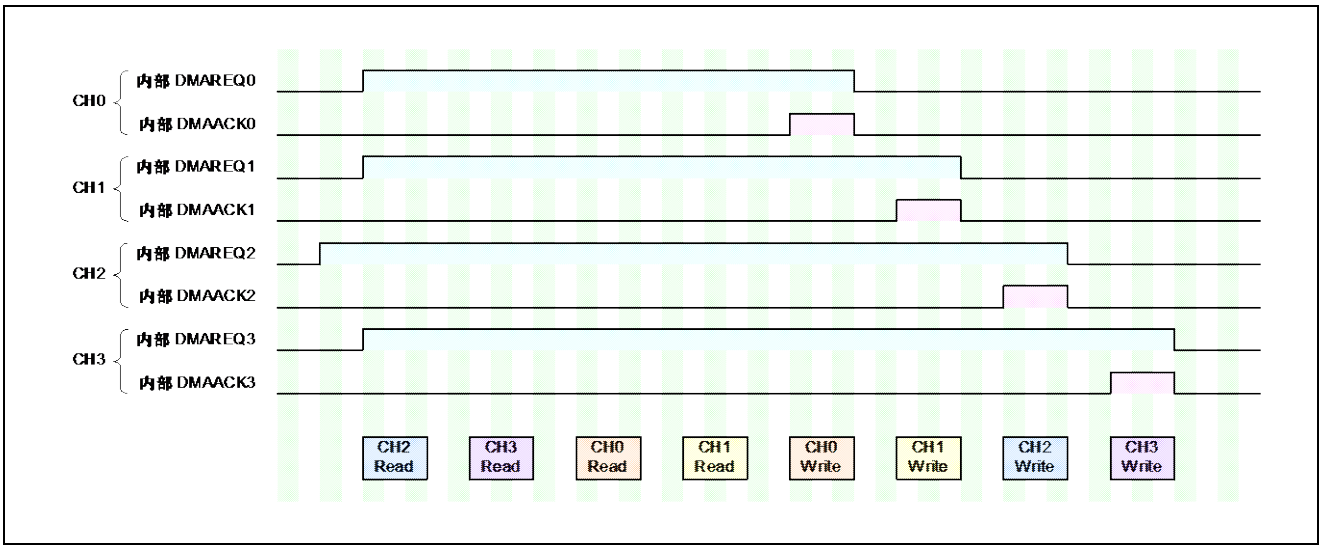


図14.21 ラウンドロビン・モード

DMA 転送要求：ハイ・レベル検出、転送元からの要求、 DMA アクノリッジ出力：レベル・モード

リード・チャネル間、ライト・チャネル間で、それぞれアービトレーションを行います。

備考 内部の DMA 信号として、各チャネルの DMA 転送要求を「内部 DMAREQn」、DMA アクノリッジ出力を「内部 DMAACKn」で表現しています（n = 0-3）。

14.8.3 DMA 転送要求

DMA 転送要求は、DMA ユニットごとの固定となっています。ユニットごとの DMA 転送要求をどのチャネルで選択するかは、チャネルごとに、チャネル・コンフィギュレーション・レジスタ（CHCFGn）SEL2-SEL0 ビットで選択できます。

備考 n = 0-3

(1) DMA 転送要求の要因ごとの検出動作指定

DMA 転送要求は、要因によって検出方法が指定されているものがあります。

DMA 転送要求要因ごとに、下記の表を元に、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の LVL, LEN, HEN ビットで正しい検出動作を指定してください。

表14.25 DMA 転送要求の要因ごとの検出動作指定

DMA 転送要因	DMA 転送要求の検出動作指定（CHCFGn.LVL, LEN, HEN）	DMA アクノリッジ信号の指定（CHCFGn.AM2-AM0）
外部端子からの割り込み要求（INTPZ0-INTPZ28）	立ち上がりエッジ検出	DMAACKZ0-1,RTDMAACKZ 端子は使用できません
内蔵周辺機能からの割り込み要求	立ち上がりエッジ検出	DMAACKZ0-1,RTDMAACKZ 端子は使用できません
外部端子からの DMA 転送要求（DMAREQZ0,DMAREQZ1 RTDMAREQZ）	DMA 転送要求元の仕様にあわせて任意設定	DMA 転送要求元の仕様にあわせて任意設定

表14.26 DMA 転送要求信号の検出方法

LVL	HEN	LEN	DMA 転送要求信号の検出方法	
0	0	0	エッジ検出	検出無効
0	0	1		立ち下がり検出
0	1	0		立ち上がり検出
0	1	1		立ち上がり／立ち下がり検出
1	0	0	レベル検出	検出無効
1	0	1		ロー・レベル検出
1	1	0		ハイ・レベル検出
1	1	1		DMA 転送要求の入力レベルに関係なく、CHCTRLn レジスタの SETENn ビットをセット（1）すると DMA 転送を開始します。

備考 n = 0-3

(2) エッジ検出

CHCFGn レジスタの LVL ビットを 0 に設定すると、エッジ検出が選択されます。

CHCFGn レジスタの HEN ビットを 1 に設定すると立ち上がりエッジ検出、LEN ビットを 1 に設定すると立ち下がりエッジ検出を行います。

DMA 転送要求に、DMAREQZ0-DMAREQZ1 信号を用いる場合は、DMA アクノリッジ信号（DMAACKZ0-DMAACKZ1）を検出してから次の DMA 転送要求（DMAREQZ0-DMAREQZ1）を出すようにしてください。

割り込み信号を DMA 転送要求に用いている場合は、DMA 転送が完了する前に次の割り込み信号が発生すると、DMA 転送要求として認識しません。割り込み信号の発生間隔に留意してください。

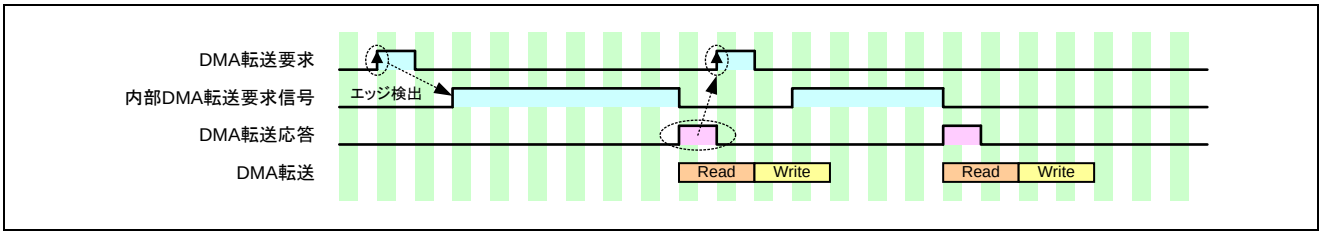


図14.22 エッジ検出モードの動作例 1

DMA 転送要求：立ち上がりエッジ検出
転送元からの要求(CHCFGn.REQD=0)
DMA アクノリッジ出力：パルス・モード

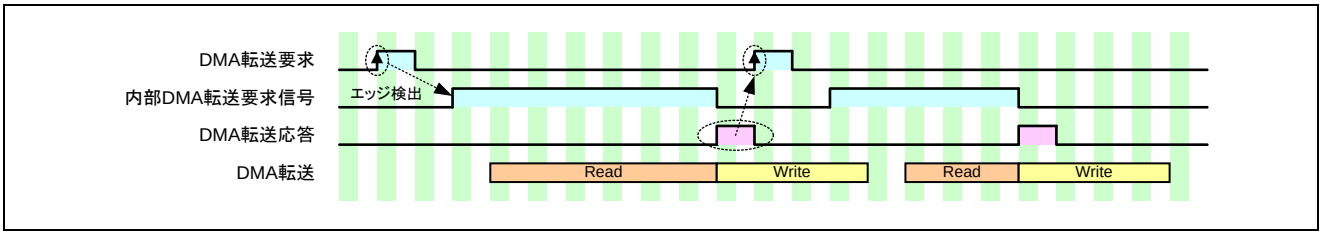


図14.23 エッジ検出モードの動作例 2

DMA 転送要求：立ち上がりエッジ検出
転送先からの要求(CHCFGn.REQD=1)
DMA アクノリッジ出力：パルス・モード

(3) レベル検出

CHCFGn レジスタの LVL ビットを 1 に設定すると、レベル検出が選択されます。

DMA 転送要求に、DMAREQZp 信号を用いる場合は、BUSCLK×2 の幅の有効レベル（CHCFGn レジスタの HEN, LEN で指定）が入力されると DMA 転送要求として認識されます。

DMA アクノリッジ信号にレベル・モードを選択した場合は、DMAACKZp は DMAREQZp がディアサートされるまで、ハイ・レベルになります。パルス・モードを選択した場合は 1×BUSCLK のパルスで DMAACKZp が出力されます。

DMA 転送要求に、DMAREQZp 信号を用いる場合は、DMA アクノリッジ信号（DMAACKZp）を検出してから次の DMA 転送要求（DMAREQZp）を出すようにしてください。

割り込み信号を DMA 転送要求に用いている場合は、DMA 転送が完了する前に次の割り込み信号が発生すると、DMA 転送要求として認識しません。割り込み信号の発生間隔に留意してください。

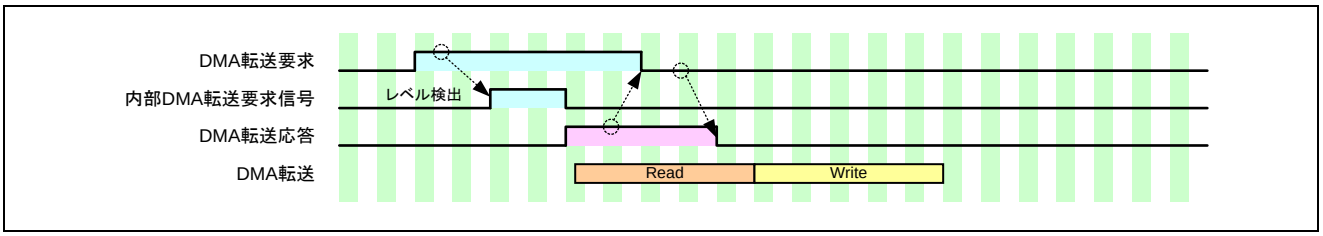


図14.24 レベル検出モードの動作例 1

DMA 転送要求：ハイ・レベル検出
転送元からの要求(CHCFGn.REQD=0)
DMA アクノリッジ出力：レベル・モード

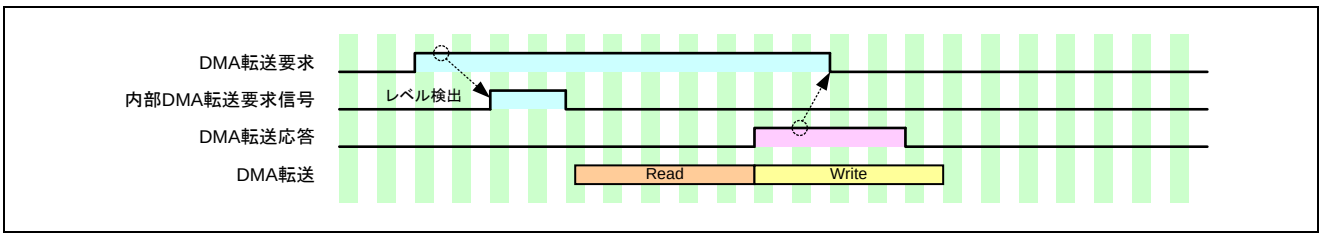


図14.25 レベル検出モードの動作例 2

DMA 転送要求：ハイ・レベル検出
転送先からの要求(CHCFGn.REQD=1)
DMA アクノリッジ出力：レベル・モード

備考 n = 0-3, p = 0,1

14.8.4 DMA アクノリッジ出力機能

DMA 転送要求に対する受け付け応答信号として、DMA アクノリッジ信号が出力されます。

DMA 転送要求に、DMAREQZp 信号を用いる場合は、DMA アクノリッジ信号として、DMAACKZp を使用します。DMA ユニットから出力します。チャネル・コンフィギュレーション・レジスタ（CHCFGn）の AM2-AM0 ビットで出力モードを設定します。

DMA 転送要求に、外部割り込み、内蔵周辺機能からの割り込み要求を用いる場合は、DMA アクノリッジ信号は利用しません。

なお、DMA 転送要求と、各チャネルの関係は、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の SEL2-SEL0 ビットで、割り当てを変更できます。DMA 転送要求と DMA ユニットの関係は、「図14.1 DMAユニット／チャネルとDMAトリガの関係」を参照してください。

備考 n = 0-3, p = 0,1

(1) DMA 転送要求の要因ごとのアクノリッジ信号モード指定

DMA アクノリッジ信号は、要因によって出力モードが指定されているものがあります。

DMA 転送要求要因ごとに、下記の表を元に、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の AM2-AM0 ビットで正しい検出動作を指定してください。

表14.27 DMA 転送要求の要因ごとのアクノリッジ信号モード指定

DMA 転送要求要因	DMA 転送要求の検出動作指定（CHCFGn.LVL, LEN, HEN）	DMA アクノリッジ信号の指定（CHCFGn.AM2-AM0）
外部端子からの割り込み要求（INTPZ0-INTPZ28）	立ち上がりエッジ検出	DMAACKZp,RTDMAACKZ 端子は使用できません
内蔵周辺機能からの割り込み要求	立ち上がりエッジ検出	DMAACKZp,RTDMAACKZ 端子は使用できません
外部端子からの DMA 転送要求（DMAREQZp, RTDMAREQZ）	DMA 転送要求元の仕様にあわせて任意設定	DMA 転送要求元の仕様にあわせて任意設定

表14.28 DMA アクノリッジ信号（DMAACKZp）信号の出力モード

AMn2	AMn1	AMn0	DMA アクノリッジ信号（DMAACKZp）の出力モード
0	0	0	パルス・モード注1（初期値）
0	0	1	レベル・モード DMA 転送要求（DMAREQZp）がインアクティブになるまで、アクティブ・レベルを保持します。
0	1	X	バス・サイクル・モード注2 DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。
1	X	X	DMA アクノリッジ信号（DMAACKZp）の出力禁止

注 1. 1×BUSCLK 周期のパルスが DMAACKZp 信号として出力されます。

2. バス・サイクル・モードでは、バス権取得要求時点から DMA アクノリッジ信号を出力します。このため、実際の DMA バス・サイクルよりも早いタイミングで DMA アクノリッジ信号が出力され、このとき、先にバス権を獲得した内部マスタのバス・サイクルが発生する場合があります。

注意 1. 内蔵周辺機能の割り込み要求信号、外部割り込み入力を選択している場合は、AM2-AM0 の設定は動作に影響しません。

2. AM2-AM0 の設定と、DMAIFCn レジスタは重複設定も可能ですが、一般的な利用方法では、AM2-AM0 を用いて DMAACKZp 信号の動作をレベル・モードに設定している場合は、DMAIFCn レジスタは初期値のままで使用してください。逆に DMAIFCn レジスタを用いて DMAACKZp のパルス幅拡張や、DMAREQZp のマスク機能を利用している場合は、AMn2-AMn0 はパルス・モードを選択してください。

備考 n = 0-3, p = 0,1

(2) パルス出力

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の AM2-AM0 ビットを 000B に設定すると、DMA アクノリッジ信号（DMAACKZp）は、パルス出力が選択されます。

1×BUSCLK のハイ・レベルのパルスが出力されます。

DMA 転送要求元でパルス幅が不足する場合は、DMA 転送インタフェース信号制御レジスタ 0-3（DMAIFC0-DMAIFC3）の AKWD4-AKWD0 ビットで、DMAACKZp の幅を 1×BUSCLK～32×BUSCLK まで設定できます。

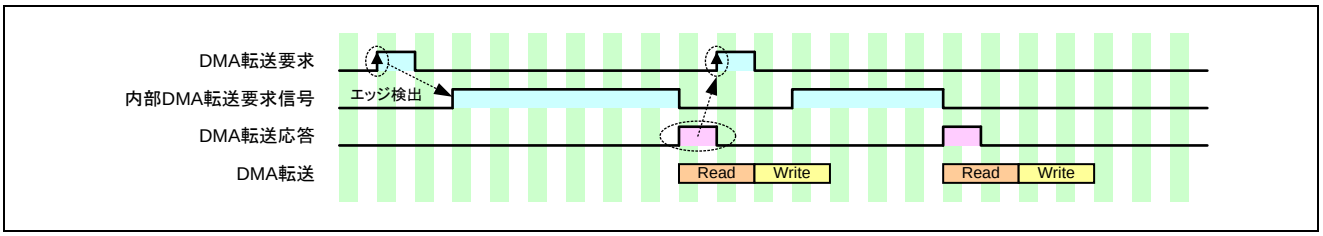


図14.26 パルス出力モードの動作例 1

DMA 転送要求：立ち上がりエッジ検出
転送元からの要求(CHCFGn.REQD=0)
DMA アクノリッジ出力：パルス・モード

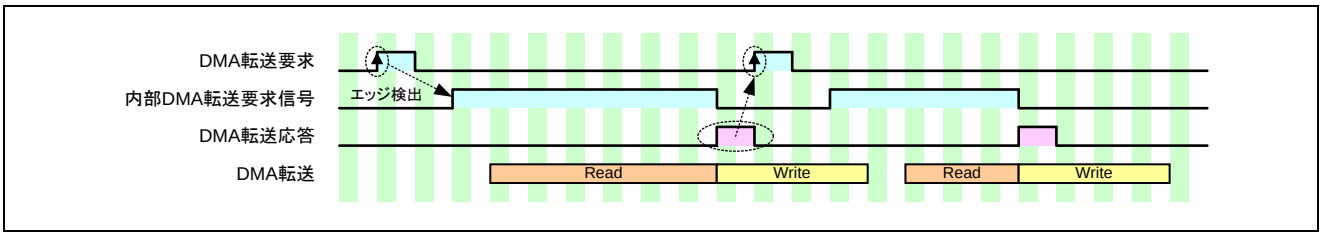


図14.27 パルス出力モードの動作例 2

DMA 転送要求：立ち上がりエッジ検出
転送先からの要求(CHCFGn.REQD=1)
DMA アクノリッジ出力：パルス・モード

備考 n = 0-3, p = 0,1

(3) レベル出力

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の AM2-AM0 ビットを 001B に設定すると、DMA アクノリッジ信号（DMAACKZp）は、レベル出力が選択されます。DMAACKZp 信号は、DMAREQZp 信号がディアサートされるまでアサートし続けます。

DMA アクノリッジ信号にレベル出力を選択している場合は、DMA 転送インタフェース信号制御レジスタ 0-3（DMAIFCp）は初期値のまま使用し、DMAACKZp 幅の拡張機能を利用しないでください。

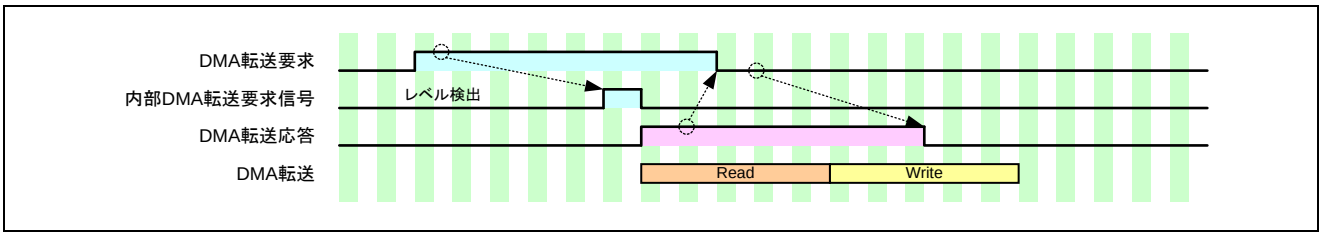


図14.28 レベル出力モードの動作例 1

DMA 転送要求：ハイ・レベル検出
転送元からの要求(CHCFGn.REQD=0)
DMA アクノリッジ出力：レベル・モード

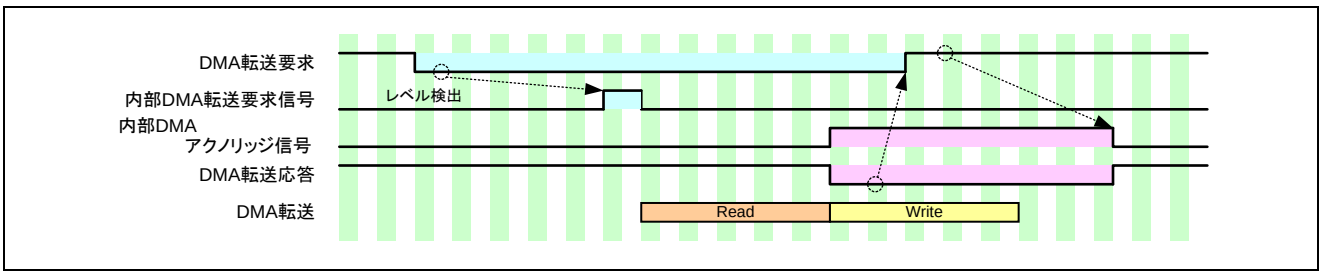


図14.29 レベル出力モードの動作例 2

DMA 転送要求：ロー・レベル検出
転送先からの要求(CHCFGn.REQD=1)
DMA アクノリッジ出力：レベル・モード

備考 n = 0-3、p = 0,1

(4) バス・サイクル出力

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の AM2-AM0 ビットを 010B に設定すると、DMA アクノリッジ信号（DMAACKZp）は、バス・サイクル出力が選択されます。

DMAACKZp 信号は、バス・サイクルの期間でアクティブ（ロー・レベル）になります。DMA 転送要求の要求元（転送元、転送先）に応じて、転送元の場合はリード・サイクル、転送先の場合はライト・サイクルに DMA アクノリッジ信号が出力されます。転送元と転送先のバス・サイズの違いなどで、1 回の DMA 転送（トランザクション）で複数回のリード／ライトが発生する場合は、その期間 DMAACKZp はアサートされます。

DMA アクノリッジ信号にバス・サイクル出力を選択している場合は、DMA 転送インタフェース信号制御レジスタ 0-3（DMAIFCp）は初期値のまま使用し、DMAACKZp 幅の拡張機能を利用しないでください。

注意 バス・サイクル出力モードでは、DMA 転送のバス・サイクル終了後＋1×BUSCLK の期間は、DMAREQZp 信号を受け付けません。

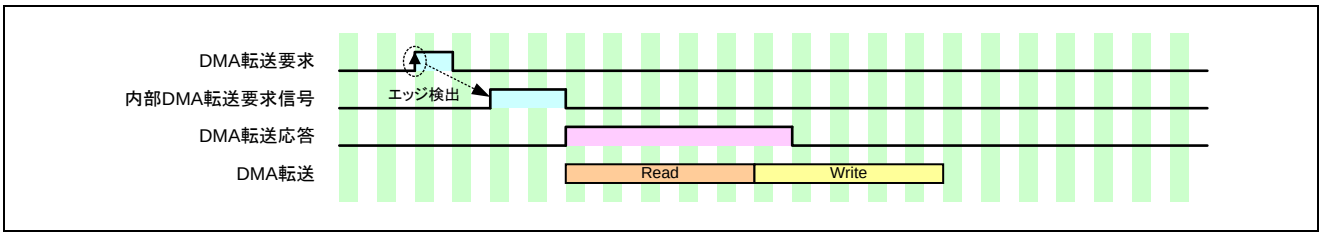


図14.30 バス・サイクル出力モードの動作例 1

DMA 転送要求：立ち上がりエッジ検出
転送元からの要求(CHCFGn.REQD=0)
DMA アクノリッジ出力：レベル・モード
SDS[3:0] = DDS[3:0]（例として、転送元の転送サイズと転送先の転送サイズが等しい場合）

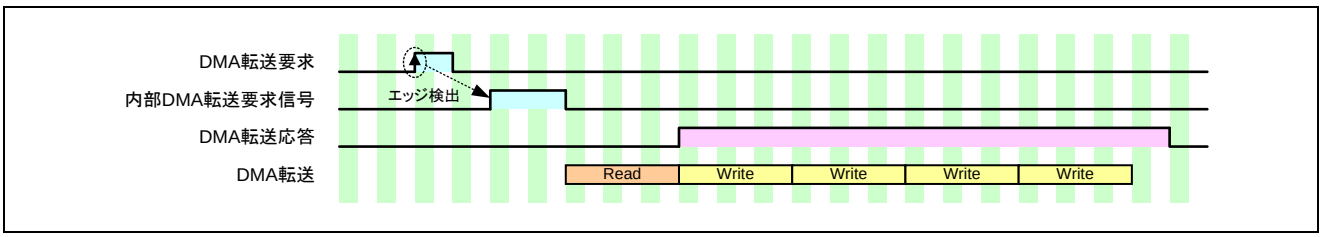


図14.31 バス・サイクル出力モードの動作例 2

DMA 転送要求：立ち上がりエッジ検出
転送先からの要求(CHCFGn.REQD=1)
DMA アクノリッジ出力：レベル・モード
SDS[3:0]＞DDS[3:0]（例として、転送元の転送サイズが、転送先の転送サイズの 4 倍の場合）

備考 n = 0-3、p = 0,1

14.8.5 DMA 転送完了割り込み

DMA トランザクション(一連の DMA 転送)が終了すると、INTDMAn がパルス出力で発生します。INTDMAn と、ユニット/チャネルの関係は、「表14.29 DMA転送完了割り込みとユニット／チャネルの関係」を参照してください。

Current トランザクション・バイト・レジスタ（CRTBn）にロードされた、総転送バイト数分の転送が正常に終了すると、チャネル・ステータス・レジスタ（CHSTATn）の END ビットがセット（1）されます。このとき、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の DEM ビットがクリア（0）されている場合に、INTDMAn が発生します。

リンク・モードでライトバックを行う場合は、ライトバック後に INTDMAn が発生します。またリンク・モードのディスクリプタ・リードで、CHCFGn.DRRP = 0 の状態で、リードしたディスクリプタのヘッダが LV = 0 の場合、CHSTATn.DER ビットがセット（1）されます。このとき、CHCFGn.DIM = 0 の場合、INTDMAn が発生します。

表14.29 DMA 転送完了割り込みとユニット／チャネルの関係

ユニット	チャネル	対応する転送完了割り込み信号
DMA0 (汎用 DMAC)	CH0	INTDMA0
	CH1	INTDMA1
	CH2	INTDMA2
	CH3	INTDMA3
DMA1 （リアルタイム･ポート用 DMAC）	CH0	INTRTDMA

表14.30 DMA 転送完了割り込みアサート条件

要因	条件	INTDMAn のマスク設定ビット
DMA トランザクション完了	Current トランザクション・バイト・レジスタ（CRTBn）にロードされた総転送バイト数分の転送が、正常終了したとき。 （リンク・モード時でライトバックを行う場合は、ライトバック後）	CHCFGn.DEM
ディスクリプタ無効 （ヘッダの LV = 0）	リンク・モードにおいてチャネル・コンフィギュレーション・レジスタ（CHCFGn）の DRRP = 0、DIM = 0 のときに、リードしたディスクリプタのヘッダ が LV = 0 のとき。	CHCFGn.DIM

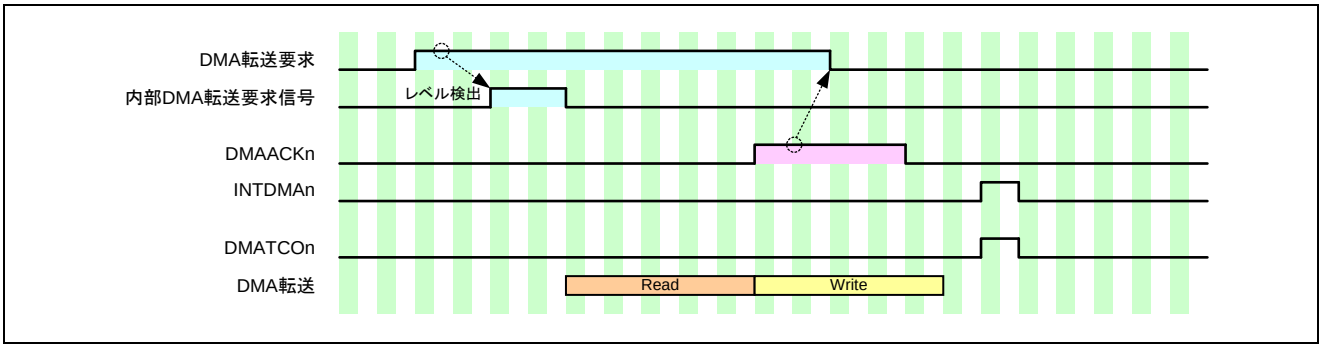


図14.32 DMA 転送完了割り込み出力の動作例

DMA 転送要求：ハイ・レベル検出、転送先からの要求、
DMA アクノリッジ出力：パルス・モード

備考 n = 0-3

14.8.6 DMA ターミナル・カウント出力機能

DMA トランザクション（一連の DMA 転送）完了信号として、DMA ターミナル・カウント信号が出力されます。DMA 転送要求に、DMAREQZp 信号を用いる場合は、DMA ターミナル・カウント信号として、DMATCZp を使用します。DMA 転送要求に、外部割り込み、内蔵周辺機能からの割り込み要求を用いる場合は、DMA ターミナル・カウント信号は利用しません。

Current トランザクション・バイト・レジスタ（CRTBn）にロードされた、総転送バイト数分のデータ転送が正常終了すると、チャネル・ステータス・レジスタ（CHSTATn）の TC ビットをセット（1）され、1×BUSCLK の期間のハイ・レベル信号として、DMA ターミナル・カウント信号（DMATCZp）が出力されます。

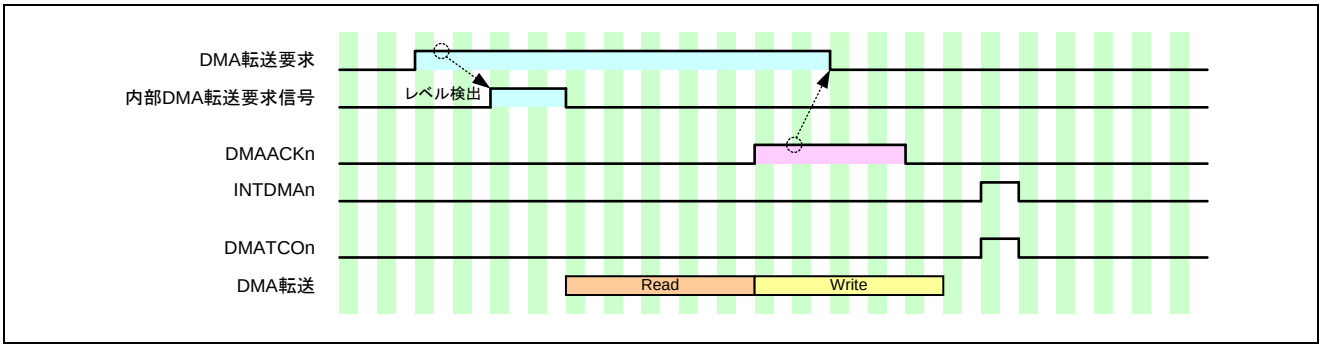


図14.33 DMA ターミナル・カウント出力の動作例

DMA 転送要求：ハイ・レベル検出、転送先からの要求、 DMA アクノリッジ出力：パルス・モード

備考 n = 0-3、p = 0,1

(1) DMA ターミナル・カウント信号のマスク機能

DMA ターミナル・カウント信号は、CHCFGn レジスタの TCM ビットで、マスク可能です。一般的にはソフトウェア起動（チャネル・コントロール・レジスタ（CHCTRLn）の STG ビットのセット（1））では、DMA ターミナル・カウント信号をマスクして使用します。

なお、DMA 転送要求と、各チャネルの関係は、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の SEL2-SEL0 ビットで、割り当てを変更できます。この選択に連動して、DMA ターミナル・カウント信号も出力されます。

表14.31 DMA ターミナル・カウント出力の設定

CHCFGn.TCM	動 作	用 途
0	DMA ターミナル・カウント出力を許可	ハードウェアによる DMA 転送に使用してください。 ・カウント終了 ・リンク・モードの終了 を検出する場合に使用してください。
1	DMA ターミナル･カウント出力をマスク	ソフトウェアによる DMA 転送に使用してください。 なお、DMA トランザクション（一連の DMA 転送）後は、TCM はクリア（0）され、DMA ターミナル・カウント出力は許可状態に変化します。

備考 n = 0-3

(2) DMA チャネルと DMA ターミナル・カウント出力信号の割り当て

DMA チャネル間の優先制御が均等割り当てとなるラウンドロビン・モードでは、CHCFGn レジスタの SEL2-SEL0 ビットで、チャネルと端子名を同一に選択してください。たとえば、チャネル 1 の DMA インタフェース信号に DMAREQZ1, DMAACKZ1, DMATCZ1 を選択してください。

一方固定優先順位モードでは、DMA 転送要求の優先度の必要に応じて、CHCFGn レジスタの SEL2-SEL0 ビットで DMA チャネルと DMA インタフェース信号の関係を変更してください。DMA チャネルと DMA ターミナル出力信号の割り当ての構成は、図14.1DMAユニット／チャネルとDMAトリガの関係を参照してください。

備考 n = 0-3

14.8.7 強制掃き出し機能

チャネル・コントロール・レジスタ（CHCTRLn）の SETSSWPRQ ビットをセット（1）すると、DMAC は、バッファ内のデータを転送先に強制的に掃き出し（ライト）します。その後 DMA トランスファを継続します。

DMA 転送要求と、強制掃き出しが競合した場合は、強制掃き出しが優先され、その後 DMA トランスファが実行されます。

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の REQD ビットをセット（1）し、DMAACKZp をライト時にアクティブとなる設定の場合は、強制掃き出し機能は利用できません。転送先が DMA 転送要求（DMAREQZp）をアサートしていない状態でデータ転送が行われることで、転送先で誤動作が発生する可能性があるためです。

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の SBE ビットのセット（1）でも掃き出しは行われますが、この場合は掃き出し後にチャネル・ステータス・レジスタ（CHSTATn）の EN ビットをクリア（0）して DMA の動作を停止します。SETSSWPRQ ビットによる強制掃き出しは、掃き出し後も DMA トランスファを継続します。

備考 n = 0-3, p = 0,1

14.8.8 DMA エラー割り込み

DMA 転送およびディスクリプタ・アクセスに対して、エラーが発生すると DMA 転送を中止します。

エラーが発生するとチャネル・ステータス・レジスタ（CHSTATn）の EN ビットがクリア（0）され、ER ビットがセット（1）されます。また INTDMAERRn が発生します。

エラーとなった一連の転送はそのデータを保証できません。DMA 転送を再起動する場合は、チャネル・コンフィギュレーション・レジスタ（CHCTRLn）の SWRST ビットをセット（1）して、DMA チャネル n をリセットし、各レジスタを再設定してください。

備考 n = 0-3

14.8.9 インターバル・カウント機能

チャネル・インターバル・レジスタ（CHITVL）の ITVL ビットの設定によって、DMA 転送の実行間隔を調整できます。内部システム・バス・クロック（HCLK）周期×ITVL15-ITVL0 設定値の間隔を設定できます。これにより、DMAC のバス占有率を調整できます。一回のリードまたはライトが完了すると、CHITVL に設定された値からカウント・ダウンを始め、カウント値が 0 になるまで、次の内部 DMA 転送要求が保留されます。

備考 n = 0-3

14.8.10 転送サイズによる動作の相違

(1) 転送元の転送サイズが転送先より小さい場合

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の DDS2-DDS0 ビットに設定したデータ・サイズのデータのリードが完了すると、転送先にライトします。リード回数は、転送先サイズ／転送元サイズです。

転送元が 16 ビット、転送先が 64 ビットの場合のタイミング図を以下の波形に示します。

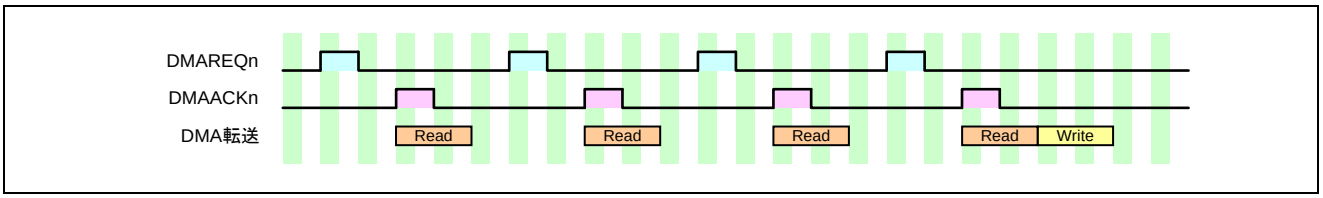


図14.34 転送元の転送サイズが転送先より小さい場合

DMA 転送要求：エッジ検出、転送元からの要求、
DMA アクノリッジ出力：パルス・モード
転送元：16 ビット、転送先：64 ビット

備考 n = 0-3

(2) 転送先の転送サイズが転送元より小さい場合

転送先のサイズが小さいため、転送元／転送先の回数のライトが発生します。

転送元が 64 ビット、転送先が 16 ビットの場合のタイミング図を以下の波形に示します。

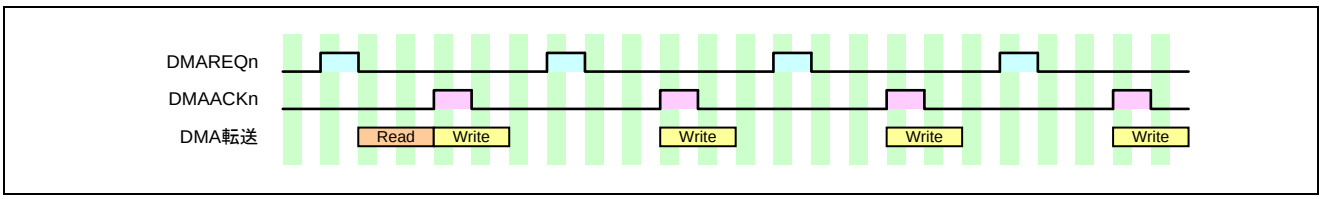


図14.35 転送先の転送サイズが転送元より小さい場合

DMA 転送要求：エッジ検出、転送先からの要求、
DMA アクノリッジ出力：パルス・モード
転送元：64 ビット、転送先：16 ビット

備考 n = 0-3

(3) 転送先の転送サイズと転送元の転送サイズが等しい場合

DMA 転送要求を検出するごとに転送元からのリードと転送先へのライトを行います。

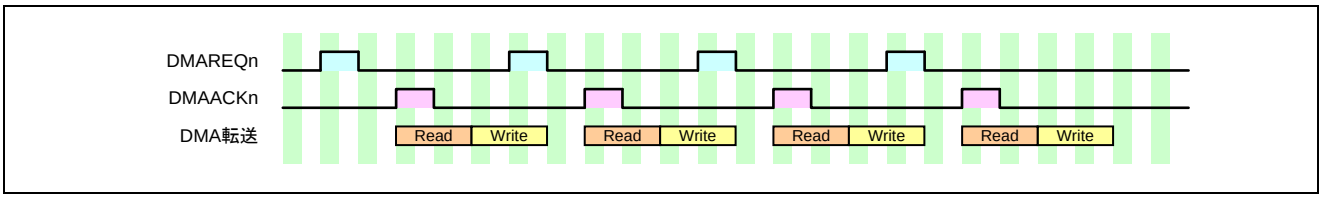


図14.36 転送元の転送サイズと転送先の転送サイズが等しい場合

DMA 転送要求：立ち上がりエッジ検出、転送元からの要求、 DMA アクノリッジ出力：パルス・モード

備考 n = 0-3

(4) その他、アドレスと転送サイズが異なる場合の転送

リード・アクセスは、チャネル・コンフィギュレーション・レジスタ（CHCFG）の SDS2-SDS0 ビットに設定したデータ・サイズに応じて、以下のようにアクセスします。

○SDS2-SDS0 ビットに設定したデータ・サイズが 32 ビット以下の場合
　アクセス・サイズ：SDS2-SDS0 設定値
○SDS2-SDS0 ビットに設定したデータ・サイズが 128 ビット、256 ビットの場合
　アクセス・サイズ：32 ビット単位

ソース・アドレスが 32 ビットにアラインされていない場合も 32 ビット単位でアクセスし必要なデータのみシステム・バス DMAC 内部のバッファに取り込みます。このため転送元に指定されていないアドレスにもアクセスされる場合があります。

ライト・アクセスは、チャネル・コンフィギュレーション・レジスタ（CHCFG）の DDS2-DDS0 ビットに設定したデータ・サイズに応じて、以下のようにアクセスします。

○DDS2-DDS0 ビットに設定したデータ・サイズが 32 ビット以下の場合
　アクセス・サイズ　：DDS2-DDS0 設定値
○DDS2-DDS0 ビットに設定したデータ・サイズが 128 ビット、256 ビットの場合
　アクセス・サイズ：32 ビット単位

ライト・アクセスでは設定した空間以外へのアクセスは行いません。また以下の場合には、DDS2-DDS0 ビットに設定したデータ・サイズ未満のサイズの組み合せでアクセスします。

○デスティネーション・アドレスが DDS2-DDS0 ビットに設定したデータ・サイズに対してアラインされていない場合
○DDS2-DDS0 ビットに設定したデータ・サイズのアクセスでは、スキップ境界をまたいでしまう場合
○残りの転送バイト数が、DDS2-DDS0 ビットに設定したデータ・サイズより小さい場合
○転送バイト数が、DDS2-DDS0 ビットに設定したデータ・サイズより小さい場合

備考 n = 0-3

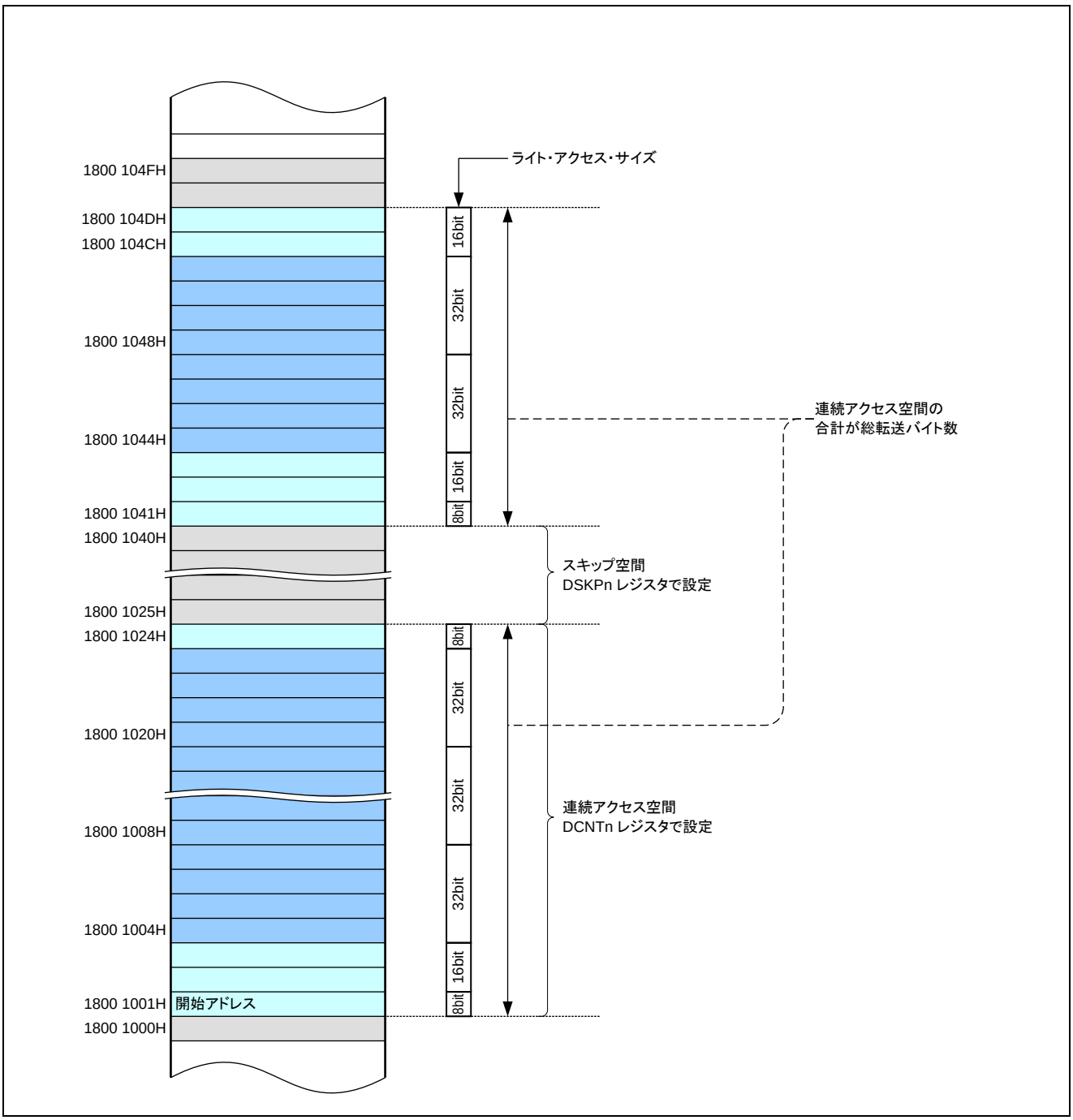


図14.37 DMA ライト・アクセスとアクセス・タイプ例

14.8.11 転送状態

チャネル・ステータス・レジスタ（CHSTATn）で、DMA チャネル n の転送実行状態を確認できます。

CHSTATn レジスタの TACT ビットは、チャネル n が動作中であることを示します。チャネル・コントロール・レジスタ（CHCTRLn）の SETEN ビットのセット（1）で TACT ビットがセット（1）されます。TACT ビットはリンク・モードでのディスクリプタのアクセス中や、DMA 転送要求待ちの状態もセット（1）された状態です。

TACT ビットは、CHSTATn レジスタの EN ビットのクリア条件が成立し、DMA 転送が終了した時点でクリア（0）されます。DMA トランザクションが終了しても、CHSTATn レジスタの EN ビットのクリア条件が成立しない場合（たとえば、レジスタ・モードで CHCFGn.REN = 1 の場合や、リンク・モードで次のディスクリプタ・アクセスを行う場合）は、TACT ビットはクリア（0）されません。

転送状態は、DMA 転送（トランスファ）単位で更新されます。

備考 n = 0-3

14.8.12 一時停止機能

チャネル・コントロール・レジスタ（CHCTRLn）の SETSUS ビットをセット（1）すると、DMA 転送を一時停止（サスペンド状態）できます。このとき、すでに実行されているバス・サイクルがあれば、そのバス・サイクルが完了してから一時停止状態になります。チャネル・コントロール・レジスタ（CHCTRLn）の CLRSUS ビットをセット（1）することで一時停止状態が解除されます。

一時停止状態を確認する場合は、SETSUS をセット（1）したあと、CHSTATn レジスタまたは DSTSUS レジスタをリードして該当チャネルの SUS ビットがセット（1）されていることを確認してください。

備考 n = 0-3

14.8.13 転送中断機能

DMA トランザクション（一連の DMA 転送）中に、チャネル・コントロール・レジスタ（CHCTRLn）の CLREN ビットをセット（1）すると、その DMA チャネルの DMA トランザクション（一連の DMA 転送）を中断できます。

中断後の処理として、中断したタイミングでバッファに残ったデータを掃き出すモード（チャネル・コンフィギュレーション・レジスタ（CHCFGn）の SBE ビットをセット（1））と、掃き出しを行わないモード（SBE ビットをクリア（0））を選択できます。

掃き出しモードが有効で、CLREN = 1 で DMA トランザクション（一連の DMA 転送）が中断されたときに、DMAC のバッファにデータが残っていた場合、そのデータを掃き出して DMA トランザクションを完了します。

DMA 転送を中断した場合は、INTDMAn は発生しません。

中断後は、必ずチャネル・コントロール・レジスタ（CHCTRLn）の SWRST ビットをセット（1）し DMA チャネルの内部状態をリセットしてから、次の転送設定を行ってください。

注意 チャネル・コントロール・レジスタ（CHCTRLn）の CLREN ビットをセット（1）して、EN ビットをクリア（0）しても、DMA 転送が実行中の場合があります。DMA チャネルの停止を確認する場合は、チャネル・ステータス・レジスタ（CHSTATn）の EN = 0, TACT = 0 を確認してください。

備考 n = 0-3

(1) バッファ掃き出し無効（SBE = 0）の場合

DMA トランザクション（一連の DMA 転送）中に、CLREN をセット（1）すると、DMA 転送を中断して停止します。

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の REQD ビットの設定により、転送元からの DMA 転送要求の場合はリード・サイクル後、転送先からの DMA 転送要求の場合はライト・サイクル後に中断します。

(2) バッファ掃き出し有効（SBE = 1）の場合

DMA トランザクション（一連の DMA 転送）中に、CLREN をセット（1）すると、DMA 転送を中断して停止します。REQD = 0 の場合、すでにリードしたデータを掃き出し（ライト）して DMA 転送を停止します。REQD = 1 でハードウェアからの DMA 転送要求を使用している場合は、掃き出しモードを使用しないでください。

14.9 DMA 転送の設定例

以下に、DMA 転送例を示します。各設定例の転送条件は次のとおりです。

注意 汎用 DMAC とリアルタイムポート用 DMAC の動作仕様は同一なため、本項目では汎用 DMAC にての設定例のみ説明します。

表14.32 DMA 転送設定例の転送条件一覧

設定例	DMA モード	転送モード	転送要求
設定例 1	レジスタ・モード	シングル転送モード	ハードウェア
設定例 2	レジスタ・モード	ブロック転送モード	ソフトウェア
設定例 3	レジスタ・モード（連続実行）	ブロック転送モード	ソフトウェア
設定例 4	リンク・モード	ブロック転送モード	ソフトウェア

14.9.1 設定例 1（レジスタ・モード、シングル転送モード、ハードウエア・トリガ）

表14.33の設定で DMA 転送を行う場合の設定例を示します。

表14.33 DMA 転送の設定例 1

項 目		内 容	
使用ユニット		ユニット 0（汎用 DMAC）	
使用チャネル		チャネル 1	
優先順位制御		固定優先順位	
DMA モード		レジスタ・モード	
転送モード		シングル転送モード	
使用レジスタ・セット		Next0 レジスタ・セット	
転送元／転送先		転送元	転送先
	開始アドレス	1000 0000H	2000 0000H
	アドレスのカウント方向	インクリメント	インクリメント
	転送データ・サイズ	32 ビット	32 ビット
DMA トランザクション・データ・サイズ		64 バイト	
DMA インタフェース端子		DMAREQZ1, DMAACKZ1, DMATCZ1	
DMA 転送要求		ハードウェア（転送元の DMAREQZ1 による立ち上がりエッジ検出）	
DMA アクノリッジ信号		パルス出力モード（転送元からの要求のためリード時に出力）	
INTDMA マスク機能		なし	

表14.34 設定例 1 のレジスタ設定

レジスタ	設定値	設定内容等
N0SA1	1000 0000H	転送元アドレス
N0DA1	2000 0000H	転送先アドレス
N0TB1	0000 0040H	トランザクション・データ・バイト数
CHCFG1	0002 2021H	チャネル・コンフィギュレーション
CHITVL1	0000 0000H	転送間隔最短
DTFR1	0000 0002H	DMAREQZ1 端子入力を設定

表14.35　設定例 1 のチャネル・コンフィギュレーション・レジスタ（CHCFG1）設定

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CHCFG1	DMS	REN	RSW	RSEL	SBE	DIM	TCM	DEM	WONLY	TM	DAD	SAD	DDS3-DDS0				SDS3-SDS0				DRRP	AM2-AM0			0	LVL	LEN	HEN	REQD	SEL2-SEL0			400A 286CH
初期値																																	0000 0000H
設定値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	1	

ビット位置	ビット名	意　味
31	DMS	0：レジスタ・モード
30	REN	0：連続実行しない
29	RSW	0：DMA トランザクション（一連の DMA 転送）完了後に RSEL を反転しない
28	RSEL	0：次の DMA 転送に Next0 レジスタ・セットを使用する
27	SBE	0：動作が停止された場合、バッファの掃き出し（ライト）をしないで転送中止
26	DIM	0：リンク・モードで LV = 0 の場合、INTDMA01 をマスクしない
25	TCM	0：マスクしない（ターミナル・カウント出力（DMATCZ1）許可）
24	DEM	0：DMA トランザクション完了時の INTDMA01 出力許可
23	WONLY	0：通常動作
22	TM	0：シングル転送モード
21	DAD	0：転送先のアドレスはインクリメント
20	SAD	0：転送元のアドレスはインクリメント
19	DDS3	0：転送先のアドレシングは通常モード
18-16	DDS2-DDS0	DDS2 / DDS1 / DDS0 / DMA 転送先（デスティネーション）の転送サイズ 0 / 1 / 0 / 32 ビット
15	SDS3	0：転送元のアドレシングは通常モード
14-12	SDS2-SDS0	SDS2 / SDS1 / SDS0 / DMA 転送元（ソース）の転送サイズ 0 / 1 / 0 / 32 ビット
11	DRRP	0：リンク・モードで LV = 0 の場合、CHSTAT1.DER ビットをセット（1）し動作停止
10-8	AM2-AM0	AM2 / AM1 / AM0 / DMA アクノリッジ信号（DMAACKZ1）の出力モード 0 / 0 / 0 / パルス・モード（初期値）
6	LVL	LVL / HEN / LEN / DMA 転送要求信号の検出方法 0 / 1 / 0 / 立ち上がりエッジ検出
5	LEN	
4	HEN	
3	REQD	0：DMAACKZ1 はリード時にアクティブ（DMAREQZ1 は転送元：ソース）
2-0	SEL2-SEL0	SEL2 / SEL1 / SEL0 / DMA インタフェース信号の選択 0 / 0 / 1 / DTFR1 で選択された DMA 転送要因を選択

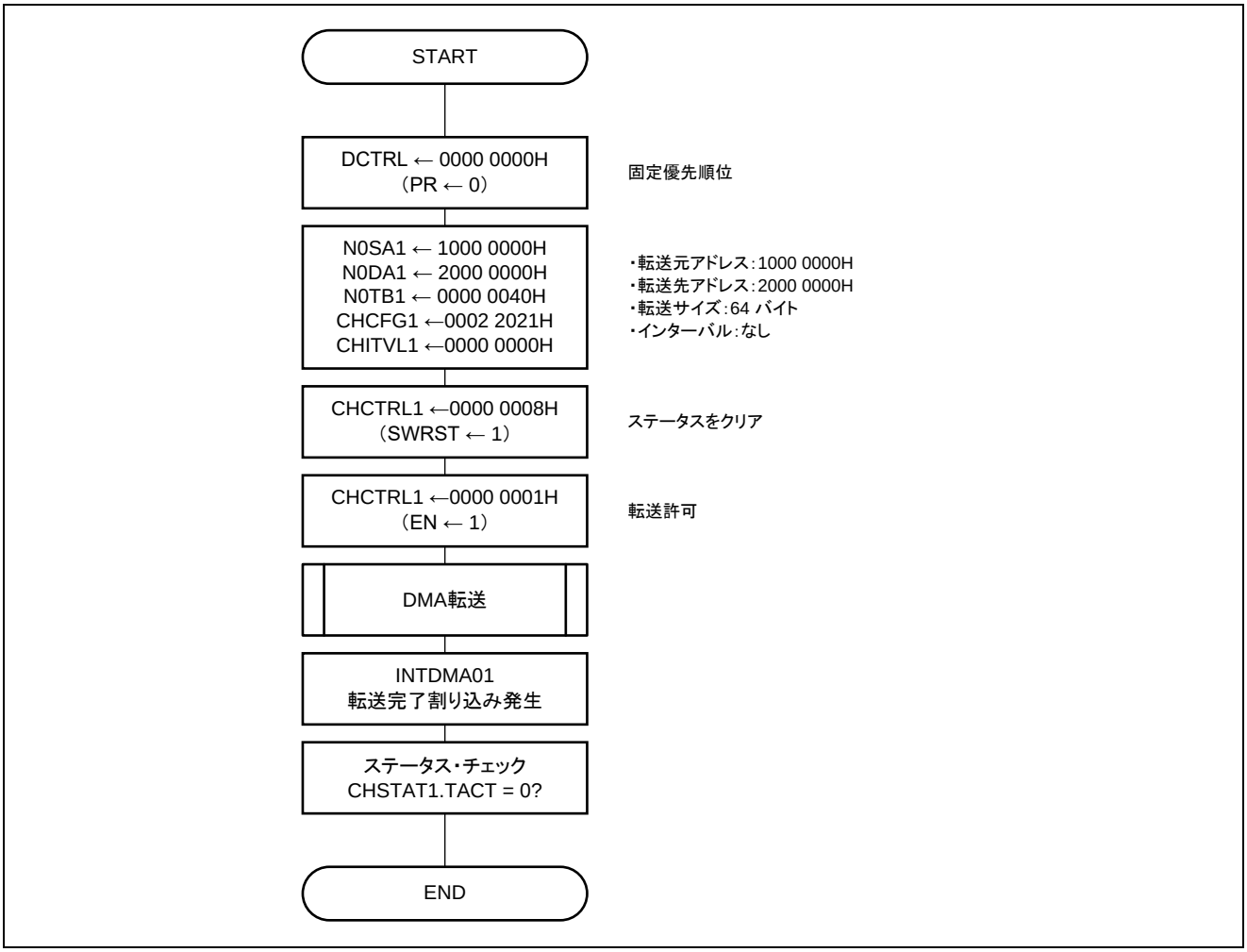


図14.38　設定例 1 の動作フロー

14.9.2 設定例 2（レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ）

表14.36の設定で DMA 転送を行う場合の設定例を示します。

表14.36 DMA 転送の設定例 2

項 目		内 容	
使用ユニット		ユニット 0（汎用 DMAC）	
使用チャネル		チャネル 2	
優先順位制御		ラウンドロビン・モード	
DMA モード		レジスタ・モード	
転送モード		ブロック転送モード	
使用レジスタ・セット		Next1 レジスタ・セット	
転送元／転送先		転送元	転送先
	開始アドレス	1100 0000H	2007 0000H
	アドレスのカウント方向	インクリメント	インクリメント
	転送データ・サイズ	8 ビット	256 ビット
DMA トランザクション・データ・サイズ		128 バイト	
DMA インタフェース端子		DTFR2 で選択された DMA 転送要因を選択	
DMA 転送要求		ソフトウェア	
DMA アクノリッジ信号		DMA アクノリッジ信号をマスク	
INTDMA マスク機能		なし	

表14.37 設定例 2 のレジスタ設定

レジスタ	設定値	設定内容等
DCTRL	0000 0001H	優先順位設定（ラウンドロビン・モード）
N1SA2	1100 0000H	転送元アドレス
N1DA2	2007 0000H	転送先アドレス
N1TB2	0000 0080H	トランザクション・データ・バイト数
CHCFG2	1245 0402H	チャネル・コンフィギュレーション
CHITVL2	0000 0000H	転送間隔最短
DTFR2	0000 0000H	ハードウエア・トリガをマスク

表14.38 設定例 2 のチャネル・コンフィギュレーション・レジスタ（CHCFG2）設定

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CHCFG2	DMS	REN	RSW	RSEL	SBE	DIM	TCM	DEM	WONLY	TM	DAD	SAD	DDS3-DDS0				SDS3-SDS0				DRRP	AM2-AM0			0	LVL	LEN	HEN	REQD	SEL2-SEL0			400A 28ACH
																																	初期値
設定値	0	0	0	1	0	0	1	0	0	1	0	0	0	1	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0000 0000H

ビット位置	ビット名	意　味
31	DMS	0：レジスタ・モード
30	REN	0：連続実行しない
29	RSW	0：DMA トランザクション（一連の DMA 転送）完了後に RSEL を反転しない
28	RSEL	1：次の DMA 転送に Next1 レジスタ・セットを使用する。
27	SBE	0：動作が停止された場合、バッファの掃き出し（ライト）をしないで転送中止
26	DIM	0：リンク・モードで LV = 0 の場合、INTDMA02 をマスクしない
25	TCM	1：マスクする（ターミナル・カウント出力をマスク）
24	DEM	0：DMA トランザクション完了時の INTDMA02 出力許可
23	WONLY	0：通常動作
22	TM	1：ブロック転送モード
21	DAD	0：転送先のアドレスはインクリメント
20	SAD	0：転送元のアドレスはインクリメント
19	DDS3	0：転送先のアドレシングは通常モード
18-16	DDS2-DDS0	DDS2 / DDS1 / DDS0 / DMA 転送先（デスティネーション）の転送サイズ 1 / 0 / 1 / 256 ビット
15	SDS3	0：転送元のアドレシングは通常モード
14-12	SDS2-SDS0	SDS2 / SDS1 / SDS0 / DMA 転送元（ソース）の転送サイズ 0 / 0 / 0 / 8 ビット
11	DRRP	0：リンク・モードで LV = 0 の場合、CHSTAT2.DER ビットをセット（1）し動作停止
10-8	AM2-AM0	AM2 / AM1 / AM0 / DMA アクノリッジ信号の出力モード 1 / X / X / DMA アクノリッジ信号の出力禁止
6	LVL	LVL / HEN / LEN / DMA 転送要求信号の検出方法 0 / 0 / 0 / 検出無効
5	LEN	
4	HEN	
3	REQD	0：固定
2-0	SEL2-SEL0	SEL2 / SEL1 / SEL0 / DMA インタフェース信号の選択 0 / 1 / 0 / DTFR2 で選択された DMA 転送要因を選択

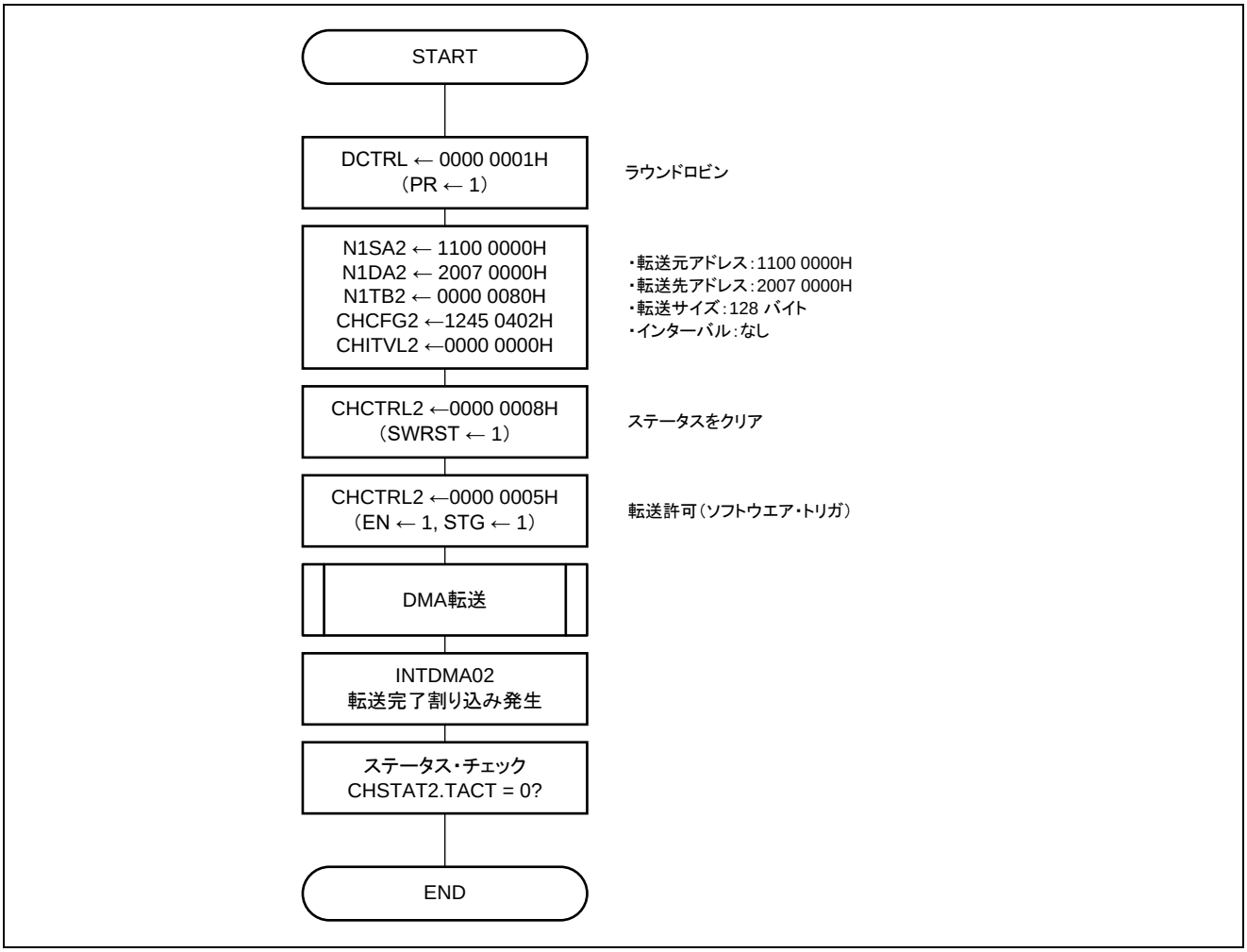


図14.39　設定例 2 の動作フロー

14.9.3 設定例 3（レジスタ・モード：連続実行、ブロック転送モード、ソフトウェア・トリガ）

表14.39の設定で DMA 転送を行う場合の設定例を示します。

表14.39 DMA 転送の設定例 3

項 目		内 容	
使用ユニット		ユニット 0（汎用 DMAC）	
使用チャネル		チャネル 1	
優先順位制御		ラウンドロビン・モード	
DMA モード		レジスタ・モード	
転送モード		ブロック転送モード	
使用レジスタ・セット		Next0 レジスタ・セット→Next1 レジスタ・セット連続	
Next0 転送元／転送先		転送元	転送先
	開始アドレス	2000 1000H	0800 0000H
	アドレスのカウント方向	固定	固定
	転送データ・サイズ	32 ビット	512 ビット
	DMA トランザクション・データ・サイズ	512 バイト	
Next1 転送元／転送先		転送元	転送先
	開始アドレス	0800 0000H	1100 0000H
	アドレスのカウント方向	固定	固定
	転送データ・サイズ	32 ビット	512 ビット
	DMA トランザクション・データ・サイズ	2,048 バイト	
DMA インタフェース端子		DMAREQZ1, DMAACKZ1, DMATCZ1	
DMA 転送要求		ソフトウェア	
DMA アクノリッジ信号		DMA アクノリッジ信号をマスク	
INTDMA マスク機能		Next0 レジスタ・セットでの DMA トランザクション完了時はマスク	

表14.40 設定例 3 のレジスタ設定

レジスタ	設定値	設定内容等
DCTRL1	0000 0001H	優先順位設定（ラウンドロビン・モード）
N0SA1	2000 1000H	Next0 転送元アドレス
N0DA1	0800 0000H	Next0 転送先アドレス
N0TB1	0000 0200H	Next0 トランザクション・データ・バイト数
N1SA1	0800 0000H	Next1 転送元アドレス
N1DA1	1100 0000H	Next1 転送先アドレス
N1TB1	0000 0800H	Next1 トランザクション・データ・バイト数
CHCFG1	6176 2001H	チャネル・コンフィギュレーション
CHITVL1	0000 0000H	転送間隔最短
DTFR1	0000 0000H	ハードウエア・トリガをマスク

表14.41　設定例 3 のチャネル・コンフィギュレーション・レジスタ（CHCFG1）設定

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CHCFG1	DMS	REN	RSW	RSEL	SBE	DIM	TCM	DEM	WONLY	TM	DAD	SAD	DDS3-DDS0				SDS3-SDS0				DRRP	AM2-AM0			0	LVL	LEN	HEN	REQD	SEL2-SEL0			400A 286CH
初期値																																	0000 0000H
設定値	0	1	1	0	0	0	0	1	0	1	1	1	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	

ビット位置	ビット名	意　味
31	DMS	0：レジスタ・モード
30	REN	1：連続実行する（RSEL ビットで選択されている Next レジスタ・セットを使う）
29	RSW	1：DMA トランザクション（一連の DMA 転送）完了後に RSEL を反転する
28	RSEL	0：次の DMA 転送に Next0 レジスタ・セットを使用する
27	SBE	0：動作が停止された場合、バッファの掃き出し（ライト）をしないで転送中止
26	DIM	0：リンク・モードで LV = 0 の場合、INTDMA01 をマスクしない
25	TCM	0：マスクしない（ターミナル・カウント出力（DMATCZ1）許可）
24	DEM	1：DMA トランザクション完了時の INTDMA01 出力をマスクする
23	WONLY	0：通常動作
22	TM	1：ブロック転送モード
21	DAD	1：転送先のアドレスは固定
20	SAD	1：転送元のアドレスは固定
19	DDS3	0：転送先のアドレシングは通常モード
18-16	DDS2-DDS0	DDS2 / DDS1 / DDS0 / DMA 転送先（デスティネーション）の転送サイズ 1 / 1 / 0 / 512 ビット
15	SDS3	0：転送元のアドレシングは通常モード
14-12	SDS2-SDS0	SDS2 / SDS1 / SDS0 / DMA 転送元（ソース）の転送サイズ 0 / 1 / 0 / 32 ビット
11	DRRP	0：リンク・モードで LV = 0 の場合、CHSTAT1.DER ビットをセット（1）し動作停止
10-8	AM2-AM0	AM2 / AM1 / AM0 / DMA アクノリッジ信号（DMAACKZ1）の出力モード 0 / 0 / 0 / パルス・モード
6	LVL	LVL / HEN / LEN / DMA 転送要求信号の検出方法 0 / 0 / 0 / 検出無効
5	LEN	
4	HEN	
3	REQD	0：DMAACKZ1 はリード時にアクティブ（DMAREQZ1 は転送元：ソース）
2-0	SEL2-SEL0	SEL2 / SEL1 / SEL0 / DMA インタフェース信号の選択 0 / 0 / 1 / DTFR1 で選択された DMA 転送要因を選択

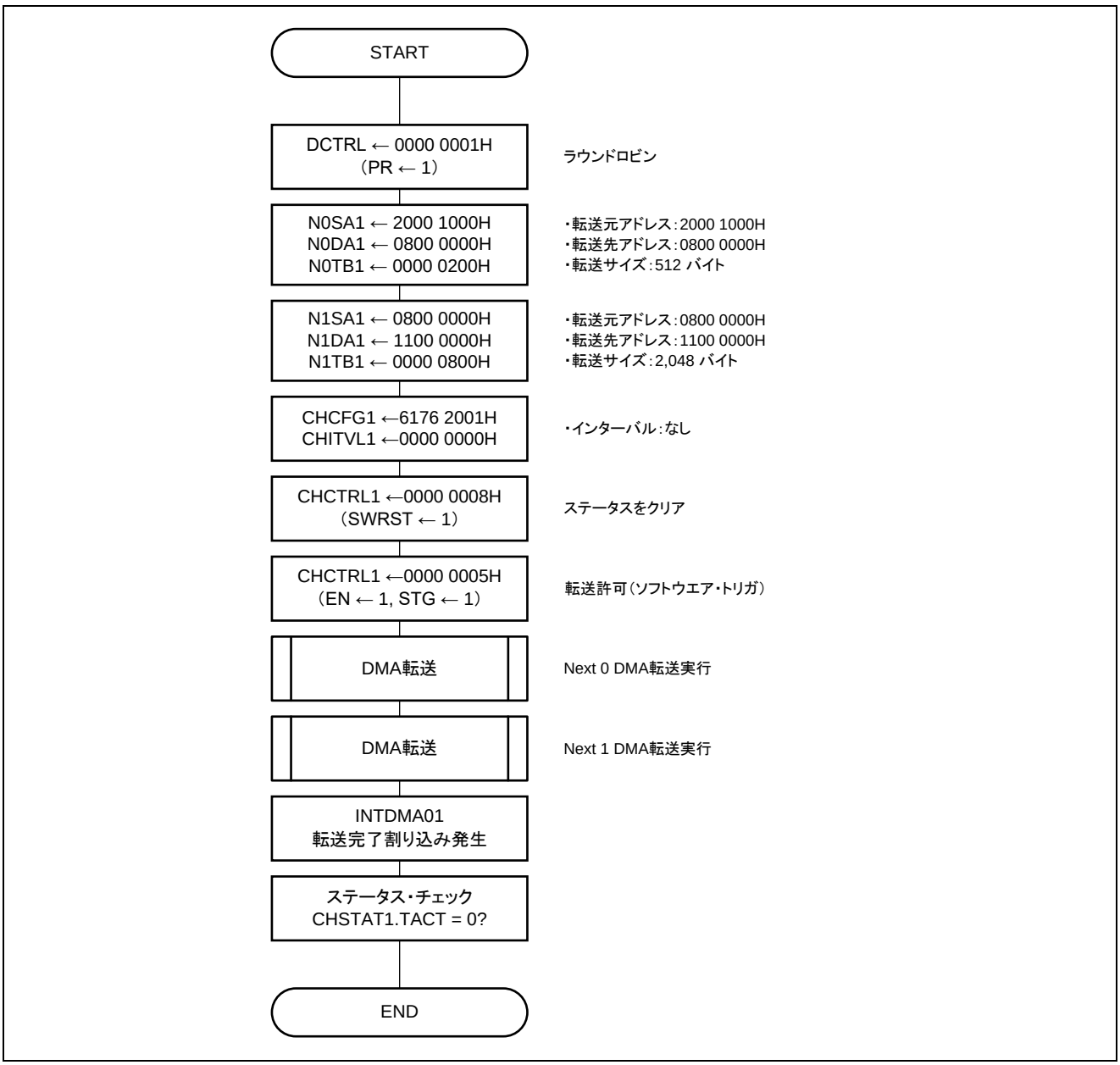


図14.40　設定例 3 の動作フロー

14.9.4 設定例 4（リンク・モード、ブロック転送モード、ソフトウェア・トリガ）

表14.42-表14.47の設定で DMA 転送を行う場合の設定例を示します。

表14.42 DMA 転送の設定例 4

項　目	内　容
使用ユニット	ユニット 0（汎用 DMAC）
使用チャネル	チャネル 0
優先順位制御	ラウンドロビン・モード
DMA モード	リンク・モード
転送モード	ブロック転送モード
ディスクリプタ開始アドレス	2001 1000H

表14.43 DMA 転送の設定例 4 のディスクリプタ 1 設定

項　目		ディスクリプタ 1 設定内容	
ディスクリプタ先頭アドレス		2001 1000H	
次ディスクリプタ先頭アドレス		2001 2000H	
転送モード		ブロック転送モード	
Next0 転送元／転送先		転送元	転送先
	開始アドレス	0900 0000H	2000 0000H
	アドレスのカウント方向	インクリメント	インクリメント
	転送データ・サイズ	32 ビット	32 ビット
	DMA トランザクション・データ・サイズ	2,048 バイト	
DMA インタフェース端子		DMAREQZ0, DMAACKZ0, DMATCZ0	
DMA 転送要求		ソフトウェア	
DMA アクノリッジ信号		DMA アクノリッジ信号をマスク	
INTDMA マスク機能		ディスクリプタ 1 での DMA トランザクション完了時はマスク	
ディスクリプタ・フォーマット		1（8 ワード）	
ディスクリプタのヘッダ			
	LV ビットの書き戻し	許可（WBD = 0）	
	次のリンク先	あり（LE = 0）	
	ディスクリプタ有効	有効（LV = 1）	

表14.44 DMA 転送の設定例 4 のディスクリプタ 2 設定

項 目		ディスクリプタ 2 設定内容	
ディスクリプタ先頭アドレス		2001 2000H	
次ディスクリプタ先頭アドレス		2001 5000H	
転送モード		ブロック転送モード	
Next0 転送元／転送先		転送元	転送先
	開始アドレス	0800 0000H	1800 0000H
	アドレスのカウント方向	インクリメント	インクリメント
	転送データ・サイズ	256 ビット	256 ビット
	DMA トランザクション・データ・サイズ	1,024 バイト	
DMA インタフェース端子		DMAREQZ0, DMAACKZ0, DMATCZ0	
DMA 転送要求		ソフトウェア	
DMA アクノリッジ信号		DMA アクノリッジ信号をマスク	
INTDMA マスク機能		ディスクリプタ 2 での DMA トランザクション完了時はマスク	
ディスクリプタ・フォーマット		1（8 ワード）	
ディスクリプタのヘッダ			
	LV ビットの書き戻し	許可（WBD = 0）	
	次のリンク先	あり（LE = 0）	
	ディスクリプタ有効	有効（LV = 1）	

表14.45 DMA 転送の設定例 4 のディスクリプタ 3 設定

項 目		ディスクリプタ 3 設定内容	
ディスクリプタ先頭アドレス		2001 5000H	
次ディスクリプタ先頭アドレス		－	
転送モード		ブロック転送モード	
Next0 転送元／転送先		転送元	転送先
	開始アドレス	2000 0000H	1400 0000H
	アドレスのカウント方向	インクリメント	インクリメント
	転送データ・サイズ	512 ビット	512 ビット
	DMA トランザクション・データ・サイズ	4,096 バイト	
DMA インタフェース端子		DMAREQZ0, DMAACKZ0, DMATCZ0	
DMA 転送要求		ソフトウェア	
DMA アクノリッジ信号		DMA アクノリッジ信号をマスク	
INTDMA マスク機能		マスクしない	
ディスクリプタ・フォーマット		1（8 ワード）	
ディスクリプタのヘッダ			
	LV ビットの書き戻し	許可（WBD = 0）	
	次のリンク先	なし（LE = 1）	
	ディスクリプタ有効	有効（LV = 1）	

表14.46 設定例 4 のレジスタ設定

レジスタ	設定値	設定内容等
DCTRL	0000 0001H	優先順位設定（ラウンドロビン・モード）
NXLA0	2001 1000H	ディスクリプタ先頭アドレス
CHCFG0	8000 0000H	チャネル・コンフィギュレーション

表14.47 設定例 4 のディスクリプタ設定

項 目	ディスクリプタ 1	ディスクリプタ 2	ディスクリプタ 3
ヘッダ	1100 0000H	1100 0000H	1300 0000H
ソース・アドレス	0900 0000H	0800 0000H	2000 0000H
デスティネーション・アドレス	2000 0000H	1800 0000H	1400 0000H
トランザクション・バイト	0000 0800H	0000 0400H	0000 1000H
チャネル・コンフィギュレーション	8342 2008H	8345 5008H	8246 6008H
チャネル・インターバル	0000 0000H	0000 0000H	0000 0000H
ネクスト・リンク・アドレス	2001 2000H	2001 5000H	0000 0000H

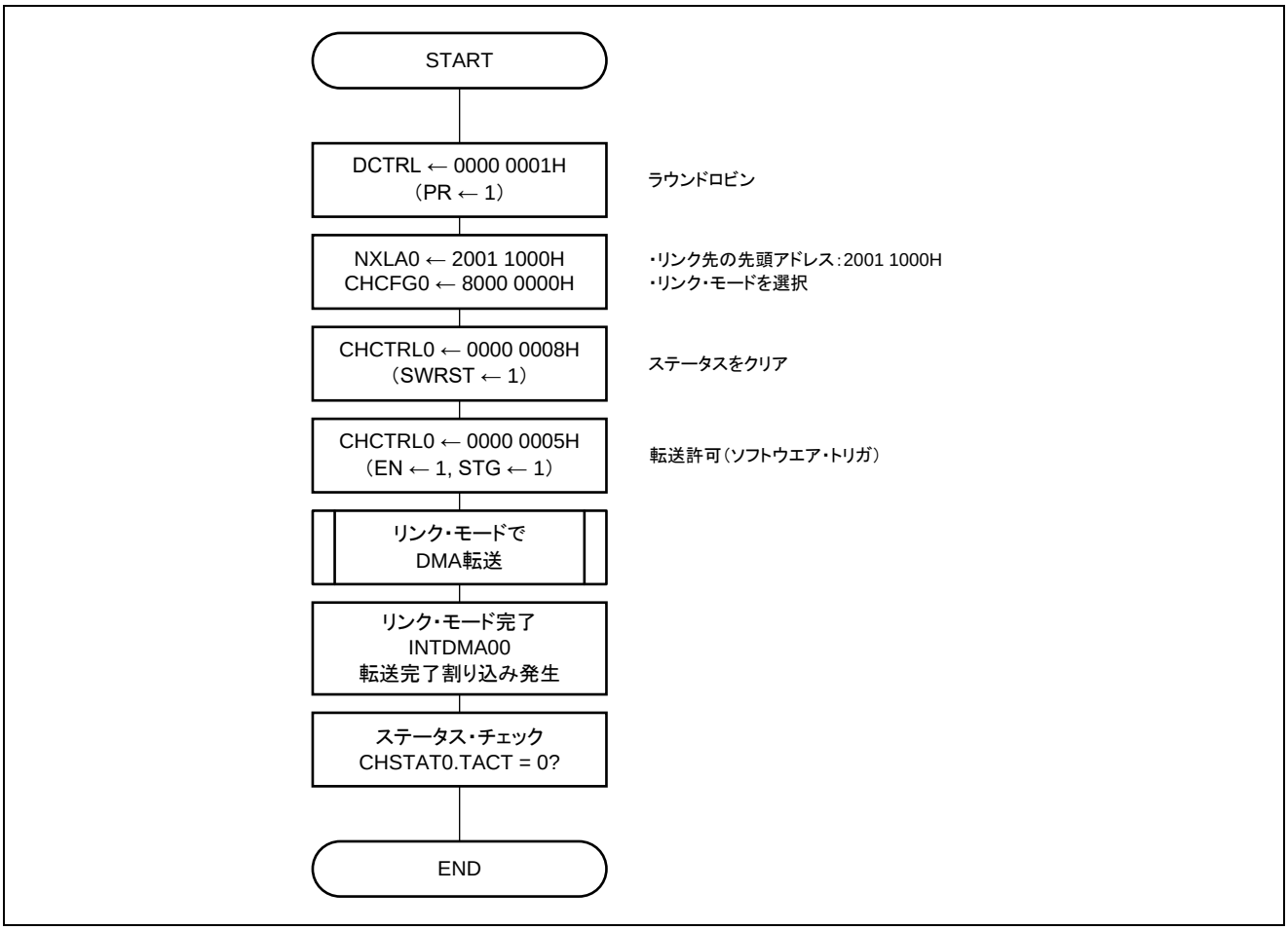


図14.41 設定例 4 の動作フロー

14.10 注意事項

1. 転送元と転送先の領域が同じ、または一部を共有するような転送を行った場合、データの一貫性を保証できません。したがって、データの転送元と転送先のアドレス領域は重複させないでください。
2. 転送元アドレス固定（CHCFGn レジスタの SAD = 1）に設定した場合は、転送元はスキップ・モードを指定できません。
3. 転送先アドレス固定（CHCFGn レジスタの DAD = 1）に設定した場合は、転送先はスキップ・モード指定できません。
4. 転送元アドレス固定（CHCFGn レジスタの SAD = 1）に設定した場合は、転送元のデータは、CHCFGn レジスタの SDS3-SDS0 で選択したトランスファ・サイズのアドレスにアラインされている必要があります。たとえば 32 ビットを選択している場合は、4 で割り切れるアドレスにデータを配置してください。
5. 転送先アドレス固定（CHCFGn レジスタの DAD = 1）に設定した場合は、転送先のデータは、CHCFGn レジスタの DDS3-DDS0 で選択したトランスファ・サイズのアドレスにアラインされている必要があります。たとえば 32 ビットを選択している場合は、4 で割り切れるアドレスにデータを配置してください。
6. ハードウエア・トリガを利用時は、転送先が DMA 転送要求を発行している場合（CHCFGn レジスタの REQD = 1）は、掃き出しモード（CHCFGn レジスタの SBE = 1）は利用できません。
7. DMA アクノリッジ出力に、バス・サイクル出力を選択した場合、バス・サイクル出力は、内部システム・バスのリード／ライト・サイクルを基準に出力されます。外部バス・インタフェースのバス・サイクルでは、メモリ・コントローラ内部でのバス変換、ウェイト等の設定により、実際のリード／ライト・サイクルよりも速いタイミングで DMA アクノリッジ信号が出力されます。
8. ディスクリプタは、通常はデータ RAM に配置してください。また、スレーブに指定できない領域には、ディスクリプタは配置できません。スレーブに指定できない領域では、ディスクリプタ・リード時にバス・エラーが発生します。

備考 n = 0-3

15.　32 ビット・タイマ・アレイ・ユニット（TAUJ2）

本章では、32 ビット・タイマ・アレイ・ユニット（TAUJ2）について説明します。

15.1　TAUJ2 の特徴

○ ユニット数：　1

○ m の意味：　TAUJ2 には 4 本のチャネルがあります。この章では、各チャネルを「m」で識別しており（m = 0-3）、特定のチャネルを CHm のように記述しています。
偶数チャネル（m = 0, 2）は CHm_even と記述します。
奇数チャネル（m = 1, 3）は CHm_odd と記述します。

注意. TAUJ2 の TINJm/TOUTJm (m=0-3)は、TAUD の TINDm/TOUTDm (m=4-7)と同じポートの兼用端子として割り当てられているため、同時利用できません。使用する端子を「25.18 タイマ I/F 選択レジスタ(TMISEL)」で選択して下さい。
なお､内部クロックによるインターバル･タイマ機能など､外部端子を利用しない場合は､TAUJ2/TAUD の双方のチャネルの同時利用ができます。

○ 入出力信号：　TAUJ2 の入出力信号を次の表に示します。

表15.1　TAUJ2 入出力信号

TAUJ2 信号	機能	端子名
TAUJ2TTIN0	チャネル 0-3 入力ポート	TIN0 (ポート P27 と兼用)
TAUJ2TTIN1		TIN1 (ポート P26 と兼用)
TAUJ2TTIN2		TIN2 (ポート P57 と兼用)
TAUJ2TTIN3		TIN3 (ポート P52 と兼用)
TAUJ2TTOUT0	チャネル 0-3 出力ポート	TOUT0 (ポート P27 と兼用)
TAUJ2TTOUT1		TOUT1 (ポート P26 と兼用)
TAUJ2TTOUT2		TOUT2 (ポート P57 と兼用)
TAUJ2TTOUT3		TOUT3 (ポート P52 と兼用)

注意 TINm/TOUTm は、同じポートで兼用しているため、TINm/TOUTm を同時に使用する場合は、TINm への入力信号をポート端子以外に設定する必要があります（m = 0 - 3）。
詳細は「25.9 タイマ入力機能選択レジスタ（SELCNT,SELCNTD）」を参照して下さい。

○ 割り込みと周辺機能： TAUJ2 の下記割り込み要求は、割り込み処理や Hardware ISR 以外にも、DMA 転送（汎用 DMAC、リアルタイムポート DMAC）、タイマ・キャプチャ・トリガ（TAUJ2、TAUD）、リアルタイム・ポート（RP00-RP37）の更新に利用可能です。

表15.2　TAUJ2 の割り込みと周辺機能への要求

TAUJ2 の割り込み信号	機能	接続先
TAUJ2I0	チャネル 0 割り込み	・割り込みコントローラ TAUJ2I0 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
TAUJ2I1	チャネル 1 割り込み	・割り込みコントローラ TAUJ2I1 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
TAUJ2I2	チャネル 2 割り込み	・割り込みコントローラ TAUJ2I2 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
TAUJ2I3	チャネル 3 割り込み	・割り込みコントローラ TAUJ2I3 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）

15.1.1　タイマ動作機能一覧

このタイマは各チャネルを単体で動作させたり，複数チャネルを組み合わて動作させることで，下記の機能が実現できます。

15.1.1.1　機能一覧

注意 TAUJ2 は、表15.4「TAUJ2動作機能一覧」で説明している使い方のみサポートします。レジスタの設定は、表15.3に記載している機能における設定方法以外での使用は禁止です。

表15.3　TAUJ2 動作機能一覧

動作機能	機能説明
チャネル単体動作機能	
15.7.1「インターバル・タイマ機能」	一定間隔ごとに割り込みを出力します。
15.7.2「TAUJ2TTINm入力インターバル・タイマ機能」	一定間隔ごとまたは，外部入力の有効エッジにより割り込みを出力します。
15.7.3「外部イベントカウント機能」	イベントタイマとして使用し、外部入力の有効入力エッジを検出して割り込みを出力します。
15.7.4「ディレイ・カウント機能」	外部入力の有効入力エッジに対して，一定の遅延を付加した割り込みを出力します。
15.7.5「TAUJ2TTINm入力パルス間隔測定機能」	外部入力信号の入力間隔の時間を測定します。
15.7.6「TAUJ2TTINm入力信号幅測定機能」	外部入力信号の信号幅を測定します。
15.7.7「TAUJ2TTINm入力位置検出機能」	カウント動作開始から外部入力の有効エッジまでの期間を測定します。
チャネル連動動作機能	
15.8.1「PWM出力機能」	PWM 波形を出力します。

15.2　機能概要

TAUJ2 には、次の機能があります。

○ 4 チャネル
○ チャネルごとの 32 ビット・カウンタおよび 32 ビット・データ・レジスタ
○ チャネル単体動作
○ チャネル連動動作（マスタおよびスレーブ動作）
○ 異なる種類の出力信号の生成
○ 外部信号によるカウントの開始（トリガ機能）
○ 割り込み発生

15.2.1　用語

この章で使用されている用語について説明します。

- **チャネル単体／連動動作**

チャネル単体／連動動作は、チャネル間の依存性を示します。

➢ あるチャネルがほかのすべてのチャネルから独立して動作している場合をチャネル単体動作と呼びます。
➢ あるチャネルの動作がほかのチャネル（マスタ/スレーブ）に依存している場合をチャネル連動動作と呼びます。

- **チャネル・グループ**

チャネル連動動作では、依存関係にあるすべてのチャネルを「チャネル・グループ」と呼びます。
1 つのチャネル・グループは、1 つのマスタ・チャネルと 1 つ以上のスレーブ・チャネルで構成されます。

- **動作モード**

チャネル m ごとに動作モードを指定できます。動作モードは、あるチャネルの基本動作と機能を規定します。チャネル連動動作では、チャネル・グループに属する各チャネルは、機能にあわせ異なる動作モードで動作します。

- **上位／下位チャネル**

チャネル m から見て、隣接するチャネルを上位または下位チャネルと呼びます。

➢ 上位チャネル：自チャネルより小さい番号のチャネル
➢ 下位チャネル：自チャネルより大きい番号のチャネル

たとえば、チャネル 2 に対してチャネル 1 は上位チャネル、チャネル 3 は下位チャネルです。

TAUJ2 の主な構成要素を次の図に示します。

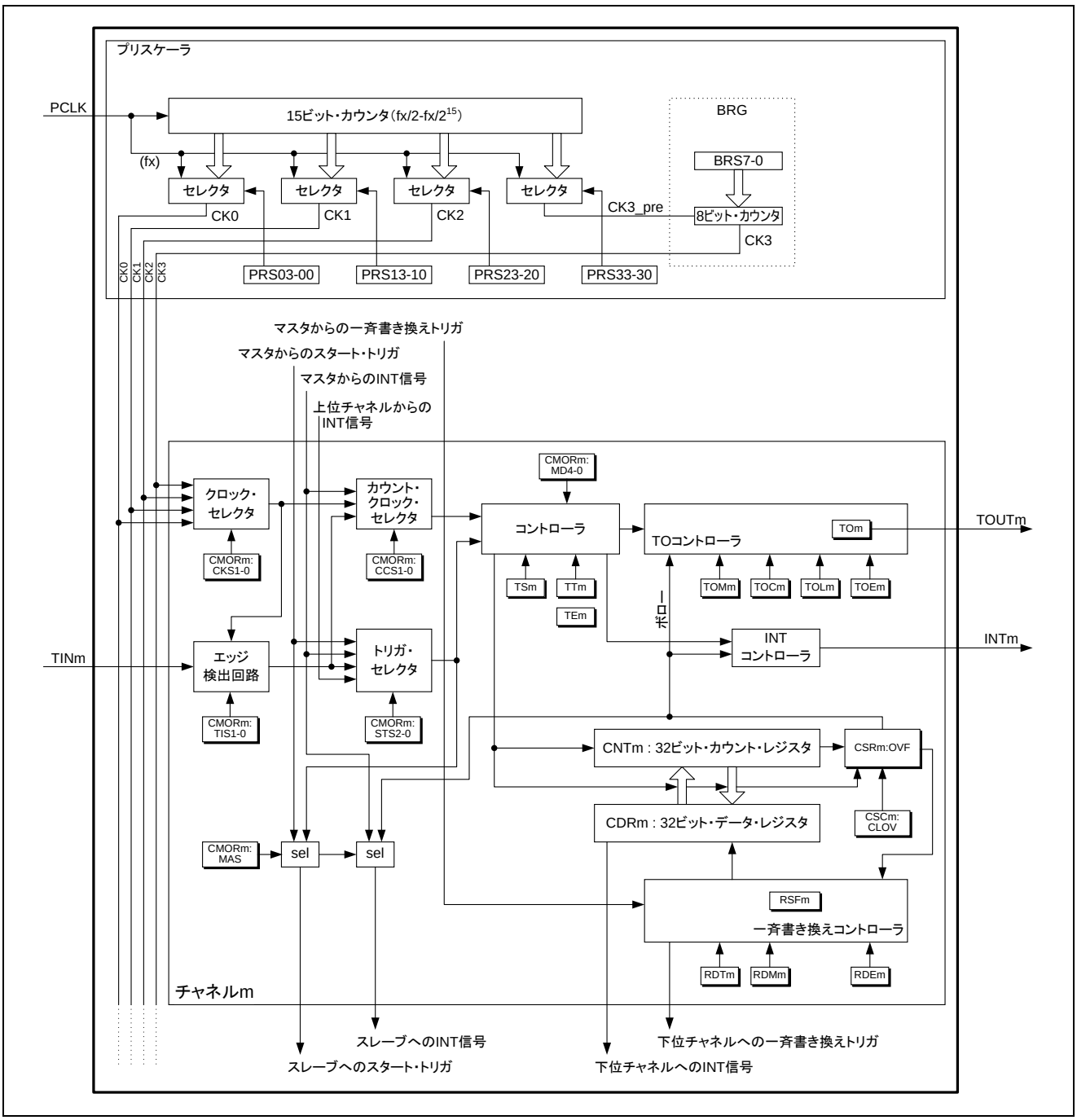


図15.1　　TAUJ2 のブロック図

15.2.2 ブロック図の説明

TAUJ2 の各制御部分の動作について説明します。

- プリスケーラ
  プリスケーラは, すべてのチャネルの動作クロック, カウント･クロックとして使用することができ, 最大 4 つのクロック信号（CK0-CK3）を選択できます。
  動作クロック CK0-CK2 は、プリスケーラにより PCLK の 2^0-2^{15} の分周したクロックを選択することができます。4 つ目の動作クロック CK3 は、プリスケーラ BRG ををを内蔵しており CK3_PRE の出力を 2 のべき乗以外の分周比で設定することができます。

- クロック・セレクタ
  すべてのチャネルの動作クロック（CK0-CK3）を選択します。

- カウント・クロック・セレクタ
  カウントクロックセレクタは、各チャネルに対してクロック・ソースを次から選択します。
  - ✧ CK0-CK3 のいずれかのクロック（クロック・セレクタにより選択）
  - ✧ マスタ・チャネルからの INTTAUJ2Im
  - ✧ TAUJ2TTINm 入力信号の有効エッジ

- コントローラ
  コントローラは、カウンタの主な動作を制御します。
  - ✧ 動作モード（TAUJ2CMORm.TAUJ2MD[4:0]ビットにより選択）
  - ✧ カウント開始許可（TAUJ2TS.TAUJ2TSm）およびカウント停止（TAUJ2TT.TAUJ2TTm）
- エッジ検出回路
  TAUJ2TTINm 入力信号のエッジを検出します。検出するエッジのタイプは, TAUJ2CMURm.TAUJ2TIS[1:0] にて設定します。検出できるエッジのタイプは, 以下の 4 つになります。
  - ✧ 立ち上がりエッジ検出
  - ✧ 立ち下がりエッジ検出
  - ✧ 両エッジ検出（ロー幅）
  - ✧ 両エッジ検出（ハイ幅）

- トリガ・レジスタ
  選択した動作モードにより，カウンタは，動作が許可されている場合（TAUJ2TE.TAUJ2TEm = 1）には自動的に起動するか，外部スタート・トリガ信号を待ちます。次の信号をスタート・トリガとして使うことができます。
  - ✧ TAUJ2TTINm 入力信号の有効エッジ
  - ✧ マスタ，または上位チャネルからの INTTAUJ2Im

- 一斉書き換えコントローラ
  チャネル・グループに属する全チャネルのデータ・レジスタ値（TAUJ2CDRm）と TAUJ2TOL.TAUJ2TOLm 値の一斉に書き換えを行うタイミングを制御します。

- TAUJ2TO コントローラ
  各チャネルの出力を制御し出力波形を生成します。

15.3　レジスタ

この節では、32 ビット TAUJ2 の全レジスタについて説明します。

注意 TAUJ2 は、表15.3「TAUJ2動作機能一覧」で説明している使い方のみサポートします。レジスタの設定は、表15.3に記載している機能における設定方法以外での使用は禁止です。

15.3.1　TAUJ2 レジスタの概要

TAUJ2 は次の表に示すレジスタによって制御および動作が行われます。

表15.4　TAUJ2 レジスタの概要

（1/2）

レジスタ名	略号	アドレス
TAUJ2 プリスケーラ・レジスタ		
TAUJ2 プリスケーラ・クロック選択レジスタ	TAUJ2TPS	4000 0090H
TAUJ2 プリスケーラ・ボー・レート設定レジスタ	TAUJ2BRS	4000 0094H
TAUJ2 制御レジスタ		
TAUJ2 チャネル・データ・レジスタ 0	TAUJ2CDR0	4000 0000H
TAUJ2 チャネル・データ・レジスタ 1	TAUJ2CDR1	4000 0004H
TAUJ2 チャネル・データ・レジスタ 2	TAUJ2CDR2	4000 0008H
TAUJ2 チャネル・データ・レジスタ 3	TAUJ2CDR3	4000 000CH
TAUJ2 チャネル・カウンタ・レジスタ 0	TAUJ2CNT0	4000 0010H
TAUJ2 チャネル・カウンタ・レジスタ 1	TAUJ2CNT1	4000 0014H
TAUJ2 チャネル・カウンタ・レジスタ 2	TAUJ2CNT2	4000 0018H
TAUJ2 チャネル・カウンタ・レジスタ 3	TAUJ2CNT3	4000 001CH
TAUJ2 チャネル・モード OS レジスタ 0	TAUJ2CMOR0	4000 0080H
TAUJ2 チャネル・モード OS レジスタ 1	TAUJ2CMOR1	4000 0084H
TAUJ2 チャネル・モード OS レジスタ 2	TAUJ2CMOR2	4000 0088H
TAUJ2 チャネル・モード OS レジスタ 3	TAUJ2CMOR3	4000 008CH
TAUJ2 チャネル・モード・ユーザ・レジスタ 0	TAUJ2CMUR0	4000 0020H
TAUJ2 チャネル・モード・ユーザ・レジスタ 1	TAUJ2CMUR1	4000 0024H
TAUJ2 チャネル・モード・ユーザ・レジスタ 2	TAUJ2CMUR2	4000 0028H
TAUJ2 チャネル・モード・ユーザ・レジスタ 3	TAUJ2CMUR3	4000 002CH
TAUJ2 チャネル・ステータス・レジスタ 0	TAUJ2CSR0	4000 0030H
TAUJ2 チャネル・ステータス・レジスタ 1	TAUJ2CSR1	4000 0034H
TAUJ2 チャネル・ステータス・レジスタ 2	TAUJ2CSR2	4000 0038H
TAUJ2 チャネル・ステータス・レジスタ 3	TAUJ2CSR3	4000 003CH
TAUJ2 チャネル・ステータス・クリア・トリガ・レジスタ 0	TAUJ2CSC0	4000 0040H
TAUJ2 チャネル・ステータス・クリア・トリガ・レジスタ 1	TAUJ2CSC1	4000 0044H
TAUJ2 チャネル・ステータス・クリア・トリガ・レジスタ 2	TAUJ2CSC2	4000 0048H
TAUJ2 チャネル・ステータス・クリア・トリガ・レジスタ 3	TAUJ2CSC3	4000 004CH
TAUJ2 チャネル・スタート・トリガ・レジスタ	TAUJ2TS	4000 0054H
TAUJ2 チャネル許可ステータス・レジスタ	TAUJ2TE	4000 0050H
TAUJ2 チャネル・ストップ・トリガ・レジスタ	TAUJ2TT	4000 0058H

（2/2）

レジスタ名	略号	アドレス
TAUJ2 出力レジスタ		
TAUJ2 チャネル出力許可レジスタ	TAUJ2TOE	4000 0060H
TAUJ2 チャネル出力モード・レジスタ	TAUJ2TOM	4000 0098H
TAUJ2 チャネル出力コンフィギュレーション・レジスタ	TAUJ2TOC	4000 009CH
TAUJ2 チャネル出力レジスタ	TAUJ2TO	4000 005CH
TAUJ2 チャネル出力アクティブ・レベル・レジスタ	TAUJ2TOL	4000 0064H
TAUJ2 リロード・データ・レジスタ		
TAUJ2 チャネル・リロード・データ許可レジスタ	TAUJ2RDE	4000 00A0H
TAUJ2 チャネル・リロード・データ・モード・レジスタ	TAUJ2RDM	4000 00A4H
TAUJ2 チャネル・リロード・データ・トリガ・レジスタ	TAUJ2RDT	4000 0068H
TAUJ2 チャネル・リロード・ステータス・レジスタ	TAUJ2RSF	4000 006CH

15.3.2　TAUJ2 プリスケーラ・レジスタの詳細

(1)　TAUJ2 プリスケーラ・クロック選択レジスタ（TAUJ2TPS）

PCLK プリスケーラの全チャネルの CK0, CK1, CK2, CK3_PRE クロックを指定するレジスタです。
CK3 は、CK3_PRE を TAUJ2BRS で指定した係数で分周することによって生成されます。

- アクセス　　16 ビット単位でリード／ライト可能です。ただし，ライトするときは TAUJ2TE.TAUJ2TEm = 0 のときに行ってください。

（1/4）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2TPS	TAUJ2PRS3[3:0]				TAUJ2PRS2[3:0]				TAUJ2PRS1[3:0]				TAUJ2PRS0[3:0]				4000 0090H	FFFFH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
15-12	TAUJ2PRS3[3:0]	CK3_PRE クロックを指定します。 CK3_PREクロックはBRGユニットの入力クロックです。BRGユニットは全チャネルにCK3動作クロックを供給します。

TAUJ2PRS3[3:0]	CK3_PRE クロック
0000B	PCLK/2^0
0001B	PCLK/2^1
0010B	PCLK/2^2
0011B	PCLK/2^3
0100B	PCLK/2^4
0101B	PCLK/2^5
0110B	PCLK/2^6
0111B	PCLK/2^7
1000B	PCLK/2^8
1001B	PCLK/2^9
1010B	PCLK/2^{10}
1011B	PCLK/2^{11}
1100B	PCLK/2^{12}
1101B	PCLK/2^{13}
1110B	PCLK/2^{14}
1111B	PCLK/2^{15}

上記ビットは、CK3 を使用するカウンタがすべて停止している（TAUJ2TE. TAUJ2TEm= 0）場合のみ書き換え可能です。

（2/4）

ビット位置	ビット名	意　味
11-8	TAUJ2PRS2[3:0]	CK2 クロックを指定します。 TAUJ2PRS2[3:0] / CK2 クロック 0000B / PCLK/2^0 0001B / PCLK/2^1 0010B / PCLK/2^2 0011B / PCLK/2^3 0100B / PCLK/2^4 0101B / PCLK/2^5 0110B / PCLK/2^6 0111B / PCLK/2^7 1000B / PCLK/2^8 1001B / PCLK/2^9 1010B / PCLK/2^{10} 1011B / PCLK/2^{11} 1100B / PCLK/2^{12} 1101B / PCLK/2^{13} 1110B / PCLK/2^{14} 1111B / PCLK/2^{15} 上記ビットは、CK2 を使用するカウンタがすべて停止している（TAUJ2TE. TAUJ2TEm = 0）場合のみ書き換え可能です。

（3/4）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>7-4</td><td>TAUJ2PRS1[3:0]</td><td>CK1 クロックを指定します。

<table>
<tr><th>TAUJ2PRS1[3:0]</th><th>CK1 クロック</th></tr>
<tr><td>0000B</td><td>PCLK/2^0</td></tr>
<tr><td>0001B</td><td>PCLK/2^1</td></tr>
<tr><td>0010B</td><td>PCLK/2^2</td></tr>
<tr><td>0011B</td><td>PCLK/2^3</td></tr>
<tr><td>0100B</td><td>PCLK/2^4</td></tr>
<tr><td>0101B</td><td>PCLK/2^5</td></tr>
<tr><td>0110B</td><td>PCLK/2^6</td></tr>
<tr><td>0111B</td><td>PCLK/2^7</td></tr>
<tr><td>1000B</td><td>PCLK/2^8</td></tr>
<tr><td>1001B</td><td>PCLK/2^9</td></tr>
<tr><td>1010B</td><td>PCLK/2^{10}</td></tr>
<tr><td>1011B</td><td>PCLK/2^{11}</td></tr>
<tr><td>1100B</td><td>PCLK/2^{12}</td></tr>
<tr><td>1101B</td><td>PCLK/2^{13}</td></tr>
<tr><td>1110B</td><td>PCLK/2^{14}</td></tr>
<tr><td>1111B</td><td>PCLK/2^{15}</td></tr>
</table>

上記ビットは、CK1 を使用するカウンタがすべて停止している（TAUJ2TE. TAUJ2TEm = 0）場合のみ書き換え可能です。</td></tr>
</table>

（4/4）

ビット位置	ビット名	意　味
3-0	TAUJ2PRS0[3:0]	CK0 クロックを指定します。 TAUJ2PRS0[3:0] / CK0 クロック 0000B / PCLK/2^0 0001B / PCLK/2^1 0010B / PCLK/2^2 0011B / PCLK/2^3 0100B / PCLK/2^4 0101B / PCLK/2^5 0110B / PCLK/2^6 0111B / PCLK/2^7 1000B / PCLK/2^8 1001B / PCLK/2^9 1010B / PCLK/2^{10} 1011B / PCLK/2^{11} 1100B / PCLK/2^{12} 1101B / PCLK/2^{13} 1110B / PCLK/2^{14} 1111B / PCLK/2^{15} 上記ビットは、CK0 を使用するカウンタがすべて停止している（TAUJ2TE. TAUJ2TEm = 0）場合のみ書き換え可能です。

(2) TAUJ2 プリスケーラ・ボー・レート設定レジスタ（TAUJ2BRS）

プリスケーラ・クロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数＋1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケーラは、TAUJ2TPS. TAUJ2PRS3[3:0]で指定します。

- アクセス　　8 ビット単位でリード／ライト可能です。ただし，ライトするときは TAUJ2TE.TAUJ2TEm = 0 のときに行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2BRS	TAUJ2BRS[7:0]								4000 0094H	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
7-0	TAUJ2BRS[7:0]	CK3 生成のための CK3_PRE クロック分周係数を指定します。

TAUJ2BRS[7:0]	CK3 クロック
0000 0000B	CK3_PRE / 1
0000 0001B	CK3_PRE / 2
0000 0010B	CK3_PRE / 3
0000 0011B	CK3_PRE / 4
…	…
1111 1110B	CK3_PRE / 255
1111 1111B	CK3_PRE / 256

15.3.3　TAUJ2 制御レジスタの詳細

(1)　TAUJ2 チャネル・データ・レジスタ（TAUJ2CDRm）

このレジスタは、TAUJ2CMORm. TAUJ2MD[4:1]で指定された動作モードによって、コンペア・レジスタもしくはキャプチャ・レジスタとして機能するレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。キャプチャ・モード時はリードのみ可能です。ライト動作は無視されます。コンペア・モード時はリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUJ2CDRm	TAUJ2CDR[31:0]																																4000 0000H + m × 4H
初期値	0000 0000H																																
R/W	R/W																																

ビット位置	ビット名	意　味
31-0	TAUJ2CDR[31:0]	キャプチャ値／コンペア値用データ・レジスタ

(2)　TAUJ2 チャネル・カウンタ・レジスタ（TAUJ2CNTm）

チャネル m カウンタ・レジスタです。

- アクセス　　32 ビット単位でリード可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUJ2CNTm	TAUJ2CNT[31:0]																																4000 0010H + m × 4H
初期値	0000 0000H																																
R/W	R																																

ビット位置	ビット名	意　味
31-0	TAUJ2CNT[31:0]	32 ビット・カウンタ値

注. 初期値は、TAUJ2 チャネル・モード OS レジスタにて設定された動作モードによって変わります。インターバル・タイマモードもしくはワンカウント・モードの場合、初期値 FFFF_FFFFH となり、その他のモードの場合、初期値 0000_0000H となります。
動作モード設定の詳細は「15.3.3(3)TAUJ2チャネル・モードOSレジスタ（TAUJ2CMORm）」を参照して下さい。

(3)　TAUJ2 チャネル・モード OS レジスタ（TAUJ2CMORm）

このレジスタは、チャネル m の動作を制御します。

- アクセス　　16 ビット単位でリード／ライト可能であり、ただし，ライトするときは TAUJ2TE.TAUJ2TEm = 0 のときに行ってください。

（1/4）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2 CMORm	TAUJ2 CKS[1:0]		TAUJ2 CCS[1:0]		TAUJ2 MAS	TAUJ2STS[2:0]			TAUJ2 COS[1:0]		0	TAUJ2MD[4:0]					4000 0080H + m×4H	0000H
R/W	R/W		R/W		R/W	R/W			R/W		R	R/W						

ビット位置	ビット名	意　味
15, 14	TAUJ2CKS[1:0]	動作クロックを選択します。動作クロックは、カウント・クロックとして使用します。 ・TAUJ2TTINm 入力エッジ検出回路で使用。 ・TAUJ2CMORm.TAUJ2CCS[1:0]ビットの設定により、カウント・クロックとして使用。
13, 12	TAUJ2CCS[1:0]	TAUJ2CNTm カウンタのカウント・クロックを選択します。
11	TAUJ2MAS	チャネル連動動作時に、そのチャネルがマスタ・チャネルかスレーブ・チャネルかを指定します。 0：スレーブ 1：マスタ このビット設定は偶数チャネルに対してのみ有効です。奇数チャネルは、0 に固定されています。

TAUJ2CKS1	TAUJ2CKS0	プリスケーラ出力選択
0	0	CK0
0	1	CK1
1	0	CK2
1	1	CK3

TAUJ2CCS1	TAUJ2CCS0	カウント・クロック選択
0	0	TAUJ2CMORm.TAUJ2CKS[1:0]で指定したプリスケーラ出力
0	1	TAUJ2TTINm 入力信号の有効エッジ
1	0	設定禁止
1	1	

（2/4）

ビット位置	ビット名	意　味
10-8	TAUJ2STS[2:0]	外部スタート・トリガを選択します。

TAUJ2STS2	TAUJ2STS1	TAUJ2STS0	機能説明
0	0	0	ソフトウェア・トリガ
0	0	1	TAUJ2TTINm 入力信号の有効エッジ。有効エッジは TAUJ2CMURm.TAUJ2TIS[1:0]で指定
0	1	0	TAUJ2TTINm 入力信号の有効エッジをスタート・トリガ、逆エッジをストップ・トリガとして使用
0	1	1	設定禁止
1	0	0	マスタ・チャネルの INT
1	0	1	設定禁止
1	1	0	
1	1	1	

（3/4）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>7, 6</td><td>TAUJ2COS[1:0]</td><td>チャネル m のキャプチャ・レジスタ TAUJ2CDRm とオーバフロー・フラグ TAUJ2CSRm.TAUJ2OVF を更新するタイミングを指定します。
これらのビットはチャネル m が以下の動作モード時に有効となります
・キャプチャ・モード
・キャプチャ＆ワンカウント・モード
・キャプチャ＆ゲートカウント・モード
・カウント・キャプチャ・モード
<table>
<tr><th>TAUJ2COS1</th><th>TAUJ2COS0</th><th>TAUJ2CDRm</th><th>TAUJ2CSRm.TAUJ2OVF</th></tr>
<tr><td>0</td><td>0</td><td rowspan="2">TAUJ2TTINm 入力有効エッジを検出すると更新</td><td>TAUJ2TTINm 入力有効エッジを検出すると更新（クリアまたはセット）
・有効エッジを最後に検出してからカウンタ・オーバフローが発生している場合は、TAUJ2CSRm.TAUJ2OVF をセット
・有効エッジを最後に検出してからカウンタ・オーバフローが発生していない場合は、TAUJ2CSR.TAUJ2OVF をクリア</td></tr>
<tr><td>0</td><td>1</td><td>無効</td></tr>
<tr><td>1</td><td>0</td><td>TAUJ2TTINm 入力有効エッジ検出およびカウンタ・オーバフローの発生により更新
・TAUJ2TTINm 入力有効エッジ検出：
カウンタ値が TAUJ2CDRm に書き込まれる
・オーバフロー発生：
FFFF FFFFH が TAUJ2CDRm にロードされる。
次の TAUJ2TTINm 入力有効エッジ検出は無視される。</td><td>無効</td></tr>
<tr><td>1</td><td>1</td><td colspan="2">設定禁止</td></tr>
</table>
</td></tr>
</table>

（4/4）

ビット位置	ビット名	意　味
5	ー	Reserved（0 が読み出されます。）
4-0	TAUJ2MD[4:0]	動作モードを指定します。下表に記載されていない設定は設定禁止です。

TAUJ2MD4	TAUJ2MD3	TAUJ2MD2	TAUJ2MD1	TAUJ2MD0	機能説明
0	0	0	0	1/0	インターバル・タイマ・モード
0	0	0	1	1/0	設定禁止
0	0	1	0	1/0	キャプチャ・モード
0	0	1	1	1/0	イベントカウントモード
0	1	0	0	1/0	ワンカウント・モード
0	1	0	1	1/0	設定禁止
0	1	1	0	0	キャプチャ＆ワンカウント・モード
0	1	1	1	1/0	設定禁止
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1	1/0	カウント・キャプチャ・モード
1	1	0	0	1/0	設定禁止
1	1	0	1	0	キャプチャ＆ゲート・カウント・モード

モード	TAUJ2MD0 ビットの役割
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	カウント動作開始時（スタート・トリガ入力時）に、INTTAUJ2Im 信号を出力するかどうかを指定します。 0：INTTAUJ2Im を出力しない 1：INTTAUJ2Im を出力する
イベントカウントモード	このビットは“0”（カウント動作開始時に INTTAUJ2Im 信号を出力しない）に設定して下さい。
ワンカウント・モード	カウント中のスタート・トリガ検出を許可／禁止します。 0：禁止 1：許可

モード	TAUJ2MD0 ビットの役割
キャプチャ＆ワンカウント・モード キャプチャ＆ゲート・カウント・モード	このビットは 0 に設定する必要があります。 0：INTTAUJ2Im 発生禁止

(4) TAUJ2 チャネル・モード・ユーザ・レジスタ（TAUJ2CMURm）

このレジスタは、TAUJ2TTINm 入力で使用される有効エッジ検出のタイプを指定します。

- アクセス　　8 ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2 CMURm	0	0	0	0	0	0	TAUJ2TIS[1:0]		4000 0020H + m×4H	00H
R/W	0	0	0	0	0	0	R/W			

ビット位置	ビット名	意　味
7-2	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
1, 0	TAUJ2TIS[1:0]	

TAUJ2TIS1	TAUJ2TIS0	機能説明
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ検出（ロー・レベル幅測定選択） スタート・トリガ：立ち下がりエッジ ストップ・トリガ（キャプチャ）：立ち上がりエッジ
1	1	両エッジ検出（ハイ・レベル幅測定選択） スタート・トリガ：立ち上がりエッジ ストップ・トリガ（キャプチャ）：立ち下がりエッジ

TAUJ2TTINm 入力信号のエッジ検出は、TAUJ2CMORm.TAUJ2CKS[1:0]で選択したプリスケーラ出力に基づいて行われます。

(5) TAUJ2 チャネル・ステータス・レジスタ（TAUJ2CSRm）

このレジスタは、チャネル m のオーバフロー状態を示します。

- アクセス　　8 ビット単位でリード可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2 CSRm	0	0	0	0	0	0	RFU	TAUJ2OVF	4000 0030H + m × 4H	00H
R/W	0	0	0	0	0	0	R	R		

ビット位置	ビット名	意　味
7-2	－	Reserved（0 が読み出されます。）
1	RFU	Reserved（don't care）
0	TAUJ2OVF	カウンタ・オーバフロー状態を示します。 0：オーバフローが発生していない 1：オーバフローが発生 このビットは、次のモード時のみ使用します。 ・キャプチャ・モード ・キャプチャ＆ワンカウント・モード ・カウント・キャプチャ・モード ・キャプチャ＆ゲート・カウント・モード このビットの機能は、制御ビット TAUJ2CMORm.TAUJ2COS[1:0]の設定により異なります。 上記以外のモード時は，不定値がリードされます。

(6) TAUJ2 チャネル・ステータス・クリア・レジスタ（TAUJ2CSCm）

このレジスタは、チャネル m のオーバフロー・フラグ TAUJ2CSRm.TAUJ2OVF をクリアするためのトリガ・レジスタです。

- アクセス　　8 ビット単位でライト可能です。リード値は常に 00H です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2 CSCm	0	0	0	0	0	0	0	TAUJ2 CLOV	4000 0040H + m × 4H	00H
R/W	0	0	0	0	0	0	0	W		

ビット位置	ビット名	意　味
7-1	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	TAUJ2CLOV	チャネル m のオーバフロー・フラグをクリアします。 1 をライトすると オーバフロー・フラグ TAUJ2CSRm.TAUJ2OVF がクリアされます，0 をライトしても無視されます。

(7)　TAUJ2 チャネル許可ステータス・レジスタ（TAUJ2TE）

このレジスタは、カウンタ動作の許可／禁止を示します。

- アクセス　　8 ビット単位でリード可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2TE	0	0	0	0	TAUJ2 TE03	TAUJ2 TE02	TAUJ2 TE01	TAUJ2 TE00	4000 0050H	00H
R/W	0	0	0	0	R	R	R	R		

ビット位置	ビット名	意　味
7-4	－	Reserved（0 が読み出されます。）
3-0	TAUJ2TEm	チャネル m のカウンタ動作の許可／禁止状態を示します。 0：カウンタ動作禁止 1：カウンタ動作許可 TAUJ2TSSTm（チャネル連動スタート・トリガ信号）のトリガ入力を検知するか、TAUJ2TS.TAUJ2TSm を 1 に設定すると、このビットが 1 に設定されます。 TAUJ2TT.TAUJ2TTm を 1 に設定すると、このビットが 0 にリセットされます。

(8)　TAUJ2 チャネル・スタート・トリガ・レジスタ（TAUJ2TS）

このレジスタは、各チャネルのカウンタ動作を許可します。

- アクセス　　8 ビット単位でライト可能です。リード値は常に 00H です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2TS	0	0	0	0	TAUJ2 TS03	TAUJ2 TS02	TAUJ2 TS01	TAUJ2 TS00	4000 0054H	00H
R/W	0	0	0	0	W	W	W	W		

ビット位置	ビット名	意　味
7-4	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-0	TAUJ2TSm	チャネル m のカウンタ動作を許可します。 1：をライトするとカウンタ動作を許可し，TAUJ2TE.TAUJ2TEm = 1 にセットされます， 0：をライトしても無視されます。

(9)　TAUJ2 チャネル・ストップ・トリガ・レジスタ（TAUJ2TT）

このレジスタは、各チャネルのカウンタ動作を停止します。

- アクセス　　8 ビット単位でライト可能です。リード値は常に 00H です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2TT	0	0	0	0	TAUJ2TT03	TAUJ2TT02	TAUJ2TT01	TAUJ2TT00	4000 0058H	00H
R/W	0	0	0	0	W	W	W	W		

ビット位置	ビット名	意　味
7-4	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-0	TAUJ2TTm	チャネル m のカウンタ動作を停止します。 1 をライトするとカウンタ動作を停止し、TAUJ2TE.TAUJ2TEm がクリアされます，0 をライトしても無視されます。 TAUJ2CNTm，TAUJ2TO.TAUJ2TOm，TAUJ2TTOUTm は、カウント停止前の値を保持します。

15.3.4　TAUJ2 一斉書き換えレジスタの詳細

(1)　TAUJ2 チャネル・リロード・データ許可レジスタ（TAUJ2RDE）

このレジスタは、データ・レジスタ TAUJ2CDRm/TAUJ2TOLm の一斉書き換えを許可／禁止します。

- アクセス　　8 ビット単位でリード／ライト可能です。TAUJ2TE.TAUJ2TEm = 0 のときのみ、ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2RDE	0	0	0	0	TAUJ2 RDE03	TAUJ2 RDE02	TAUJ2 RDE01	TAUJ2 RDE00	4000 00A0H	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
7-4	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-0	TAUJ2RDEm	チャネル m のデータ・レジスタの一斉書き換えを許可／禁止します。 0：一斉書き換え禁止（自チャネルの一致検出でロード） 1：一斉書き換え許可

(2)　TAUJ2 チャネル・リロード・データ・モード・レジスタ（TAUJ2RDM）

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

- アクセス　　8 ビット単位でリード／ライト可能です。ただし、TAUJ2TE.TAUJ2TEm = 0 のときのみ、ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2RDM	0	0	0	0	TAUJ2 RDM03	TAUJ2 RDM02	TAUJ2 RDM01	TAUJ2 RDM00	4000 00A4H	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
7-4	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-0	TAUJ2RDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0：マスタ・チャネルのカウンタがカウントを開始したタイミング 1：機能なし（設定禁止） このビット設定は TAUJ2RDE.TAUJ2RDEm = 1 時のみ適用されます。

(3) TAUJ2 チャネル・リロード・データ・トリガ・レジスタ（TAUJ2RDT）

一斉書き換え用の INTTAUJ2Im が発生時に一斉書き換えを行うチャネルを指定するトリガ・レジスタです。

- アクセス　　8 ビット単位でライト可能です。リード値は常に 00H です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2RDT	0	0	0	0	TAUJ2 RDT03	TAUJ2 RDT02	TAUJ2 RDT01	TAUJ2 RDT00	4000 0068H	00H
R/W	0	0	0	0	W	W	W	W		

ビット位置	ビット名	意　味
7-4	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-0	TAUJ2RDTm	一斉書き換えトリガが発生時に一斉書き換えを行うチャネルのトリガを指定します。 1 をライトした場合，一斉書き換え指定したチャネルのトリガを保留状態とし，一斉書き換え保留フラグ（TAUJ2RSFm）が 1 にセットされます。指定されたチャネルは一斉書き換えトリガを待ちます。0 をライトしても無視されます。

(4) TAUJ2 チャネル・リロード・ステータス・レジスタ（TAUJ2RSF）

このフラグ・レジスタは、一斉書き換えのステータスを示します。

- アクセス　　8 ビット単位でリード可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2RSF	0	0	0	0	TAUJ2 RSF03	TAUJ2 RSF02	TAUJ2 RSF01	TAUJ2 RSF00	4000 006CH	00H
R/W	0	0	0	0	R	R	R	R		

ビット位置	ビット名	意　味
7-4	－	Reserved（0 が読み出されます。）
3-0	TAUJ2RSFm	一斉書き換えの状態を示します。 0：一斉書き換えトリガの発生により、一斉書き換えの完了を示します。 1：一斉書き換え保留状態（TAUJ2RDTm = 1）で、一斉書き換えのトリガ待ちを示します。

15.3.5　TAUJ2 出力レジスタの詳細

(1)　TAUJ2 チャネル出力許可レジスタ（TAUJ2TOE）

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可／禁止します。

- アクセス　　8 ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2TOE	0	0	0	0	TAUJ2 TOE03	TAUJ2 TOE02	TAUJ2 TOE01	TAUJ2 TOE00	4000 0060H	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
7-4	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-0	TAUJ2TOEm	タイマのチャネル出力を許可／禁止します。 0：チャネル出力を禁止 1：チャネル出力を許可 チャネルのタイマ出力が禁止されている（TAUJ2TOEm = 0）TAUJ2TOm ビットのみライト可能です。

(a)　TAUJ2TTOUTm 端子の出力制御方法

- TAUJ2TOE.TAUJ2TOEm = 0

チャネルのタイマ出力が禁止されている（TAUJ2TOEm = 0）TAUJ2TOm ビットがライト可能です。

- TAUJ2TOE.TAUJ2TOEm = 1

チャネルのカウント動作で TAUJ2TTOUTm より出力されます。

(b)　チャネル出力を指定するための設定

タイマ出力動作禁止時に行ってください（TAUJ2TOE.TAUJ2TOEm = 0）。

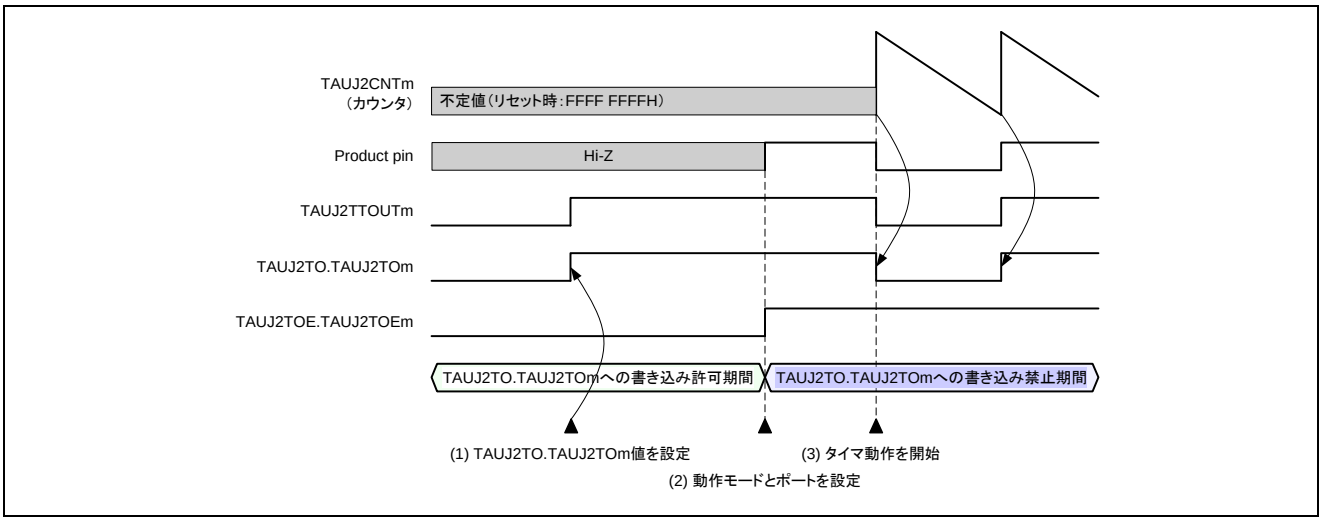


図15.2　TAUJ2TTOUTm チャネル出力モードを指定するための基本手順

(2) TAUJ2 チャネル出力レジスタ（TAUJ2TO）

このレジスタは、TAUJ2TTOUTm レベルを指定およびリードします。

- アクセス　　8 ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2TO	0	0	0	0	TAUJ2 TO03	TAUJ2 TO02	TAUJ2 TO01	TAUJ2 TO00	4000 005CH	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
7-4	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-0	TAUJ2TOm	このレジスタは、TAUJ2TTOUTm レベルを指定およびリードします。 0：ロー・レベル 1：ハイ・レベル このビットの設定は，TAUJ2TOE.TAUJ2TOEm = 0 のときにライトできます。

(3) TAUJ2 チャネル出力モード・レジスタ（TAUJ2TOM）

このレジスタは、各チャネルの出力モードを指定します。

- アクセス　　8 ビット単位でリード／ライト可能です。
  ただし、ライトするときは TAUJ2TE.TAUJ2TEm = 0 のときに行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2TOM	0	0	0	0	TAUJ2 TOM03	TAUJ2 TOM02	TAUJ2 TOM01	TAUJ2 TOM00	4000 0098H	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
7-4	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-0	TAUJ2TOMm	出力モードを指定します。 0：チャネル単体動作 1：チャネル連動動作 出力モードは，各チャネル出力制御ビットの設定によって変わります。

(4) TAUJ2 チャネル出力コンフィギュレーション・レジスタ（TAUJ2TOC）

このレジスタは、TAUJ2TOMm とともに各チャネルの出力モードを指定します。

- アクセス　　8 ビット単位でリード／ライト可能です。
  カウンタ停止中（TAUJ2TE.TAUJ2TEm = 0）のときのみ、ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2TOC	0	0	0	0	TAUJ2 TOC03	TAUJ2 TOC02	TAUJ2 TOC01	TAUJ2 TOC00	4000 009CH	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
7-4	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-0	TAUJ2TOCm	出力モードを指定します。 0：タイマ単体出力機能を禁止 1：設定禁止 ・TAUJ2nTOM.TAUJ2TOMm =0 の場合 INTTAUJ2Im 発生時にトグル動作が行われます。 ・TAUJ2nTOM.TAUJ2TOMm =1 の場合 マスタ・チャネルで INT が発生するとセット，スレーブ・チャネルで INTTAUJ2Im が発生するとリセットされます。

(5) TAUJ2 チャネル出力レベル・レジスタ（TAUJ2TOL）

このレジスタは、チャネル出力ビット（TAUJ2TO.TAUJ2TOm）の出力論理を指定します。

- アクセス　　8 ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2TOL	0	0	0	0	TAUJ2 TOL03	TAUJ2 TOL02	TAUJ2 TOL01	TAUJ2 TOL00	4000 0064H	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
7-4	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-0	TAUJ2TOLm	チャネル m 出力ビット（TAUJ2TO.TAUJ2TOm）の出力論理を指定します。 0：正論理（アクティブ・ハイ） 1：反転論理（アクティブ・ロー） このビットの値は，TAUJ2TOE.TAUJ2TOEm = 1 かつ以下の 3 つの組み合わせのときに有効になります。 ・TAUJ2nTOM.TAUJ2TOMm=1，TAUJ2TOC.TAUJ2TOCm=0

15.4　基本操作手順

TAUJ2 の基本操作手順を次に示します。

リセット解除後、各チャネルの動作は停止しています。クロックの供給が開始されると、各レジスタへの書き込みが可能になります。TAUJ2TTOUTm の制御レジスタも初期化され、ロー・レベルを出力します。

1. TAUJ2TPS と TAUJ2BRS レジスタで CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUJ2 機能を設定してください。
   - 動作モードを設定してください。（TAUJ2CMORm）
   - チャネル出力モードを設定してください。（TAUJ2TOE, TAUJ2TOM など）
   - その他の制御ビットを設定してください。
3. TAUJ2TS.TAUJ2TSm ビットを 1 に設定してカウンタ動作を許可してください。
   カウンタは、各機能にあわせた設定によって，カウント動作を開始します。
4. 停止する場合は、TAUJ2TT.TAUJ2TTm ビットを 1 に設定して機能を停止してください。

備考 各機能の動作とレジスタ設定は，各機能の詳細説明を参照してください。

15.5　チャネル連動動作の概念

TAUJ2 は複数のチャネル にて構成されており、チャネル単独で動作する単体動作機能といくつかのチャネルを組合せて使用する連動動作機能を有します。単体動作機能は，他のチャネルの動作に関係なく任意のチャネルで使用できます。

連動動作機能は，マスタ・チャネルとスレーブ・チャネル を組合せて実現する機能で，使用にあたってはいくつかのルールがあります。ルールの詳細は，下記に示しています。

15.5.1　チャネル連動動作ルール

(1)　マスタ・チャネルには、偶数チャネル（CH0, CH2）のみ設定できます。

(2)　スレーブ・チャネルには、CH0 を除くすべてのチャネルを設定できます。

(3)　マスタ・チャネルより下位のチャネルのみスレーブ・チャネルとして設定できます。

(4)　1 つのマスタ・チャネルに対し複数のスレーブ・チャネルを設定できます。

例：CH0 がマスタ・チャネルの場合、CH1、CH2、CH3 をスレーブ・チャネルとして設定できます。

(5)　マスタ・チャネルを 2 つ使用する場合、マスタ・チャネルを跨いだスレーブ・チャネルの設定はできません。
例 : CH0, CH2 がマスタ・チャネルの場合、CH0 に対して CH1 までをスレーブ・チャネルとして設定できますが、CH3 は設定できません。

(6)　マスタ・チャネルと連動するスレーブ・チャネルには同じ動作クロックを設定してください。
マスタ・チャネルとスレーブ・チャネルの TAUJ2CMORm.TAUJ2CKS[1:0] ビットには，同一値を設定してください。

(7)　マスタ・チャネルは，INTTAUJ2lm ／トリガ・スタートを下位のチャネルに伝えることができます。

(8)　スレーブ・チャネルは，マスタ・チャネルの INTTAUJ2lm ／トリガ・スタートを使用可能ですが下位の自チャネルの INTTAUJ2lm ／トリガ・スタートを伝えることができません。

(9)　マスタ・チャネルは自身より上位にあるマスタ・チャネルからの INTTAUJ2lm ／トリガ・スタートを使用することができません。

(10)　連動動作させるチャネルを同時スタートさせるためには，連動動作させるチャネルの TAUJ2TS.TAUJ2TSm ビットを同時に設定してください。

(11)　連動動作させるチャネルを同時に停止させるためには，連動動作させるチャネルの TAUJ2TT.TAUJ2TTm ビットを同時に設定してください。

マスタおよびスレーブ・チャネルの使用と動作クロックの基本的な概念を次の図に示します。

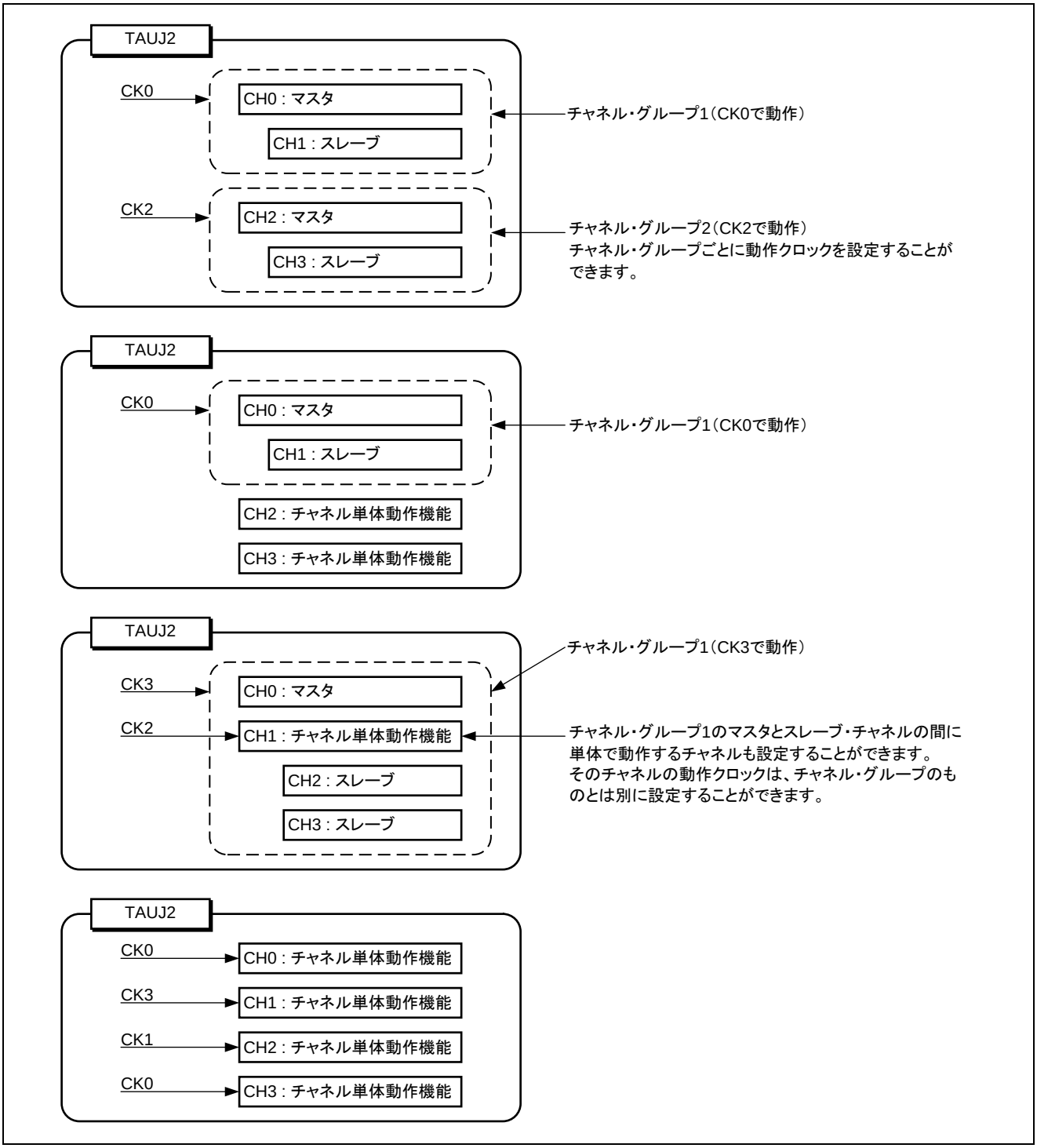


図15.3　　チャネルのグループ化と動作クロックの割り当て

15.6 一斉書き換え

15.6.1 動作概要

一斉書き換えとは、対象とするチャネルのデータ・レジスタ（TAUJ2CDRm）と出力アクティブ・レベル設定レジスタ（TAUJ2TOL.TAUJ2TOLm）の値を一斉に書き換えることをいいます。一斉書き換えを行う場合、一斉書き換えトリガが有効となるまで書き換え値は、カウンタ動作または出力信号に影響しません。

TAUJ2 では 2 つのタイミングで一斉書き換えを行うことができます。

・マスタ・チャネルのスタート・タイミング

・マスタ・チャネルより上位にあるチャネルの割り込み出力タイミング

15.6.2　一斉書き換えの制御方法（PWM 出力機能の場合）

一斉書き換え機能を使用する場合の基本手順を次に示します。TAUJ2 では PWM 出力機能のみチャネル連動動作をサポートしています。

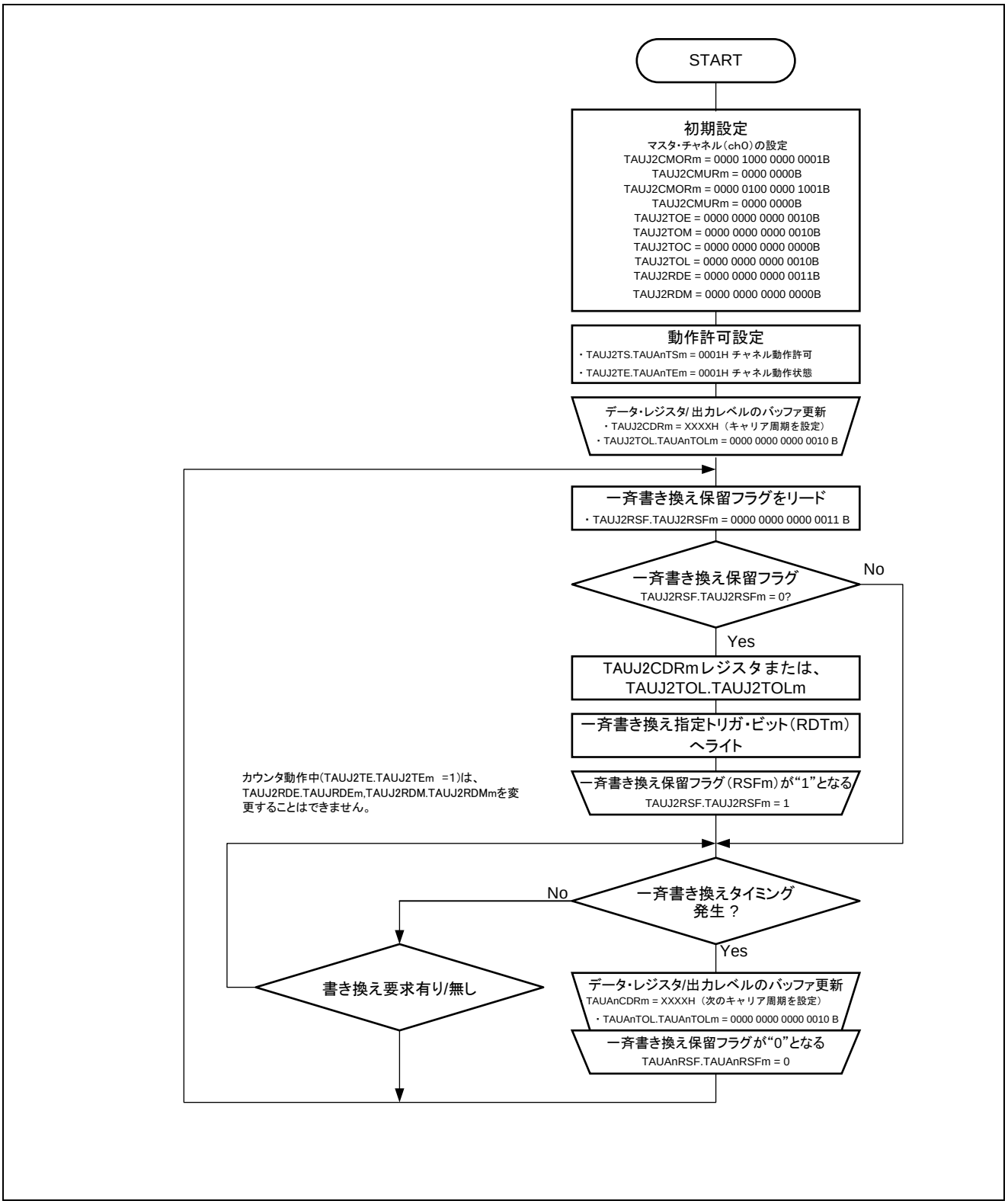


図15.4　一斉書き換えの基本手順

15.6.3　一斉書き換えの基本ルール

(1)　使用するチャネルの TAUJ2RDE.TAUJ2RDEm=1 に設定し一斉書き換え動作を許可します。

(2)　TAUJ2TE.TAUJ2TEm=0 のときに以下のビットを設定してください。

・TAUJ2RDE.TAUJ2RDEm
・TAUJ2RDM.TAUJ2RDMm

(3)　連動動作における一斉書き換えの対象は TAUJ2CDRm と TAUJ2TOL.TAUJ2TOLm が対象となります。

(4)　動作中に TAUJ2TOL.TAUJ2TOLm の書き換えが可能な機能は，PWM 出力機能のみになります。その他の連動機能においては，初期設定時のみ可能です。

注意 1. 単体動作では、一斉書き換えは使用できません。
2. TAUJ2RDT.TAUJ2RDTm=1 に設定しないと一斉書き換えは発生しません。
3. TAUJ2RDT.TAUJ2RDTm=1 の設定により TAUJ2RSF.TAUJ2RSFm が"1"にセットされ一斉書き換えトリガの発生により TAUJ2RSF.TAUJ2RSFm がクリアされるのでレジスタを書き換える際は TAUJ2RSF.TAUJ2RSFm をリードし“0”であることを確認してから書き換えてください。

15.7 チャネル単体動作機能

チャネル単体動作の各機能について説明します。

- 15.7.1「インターバル・タイマ機能」
- 15.7.2「TAUJ2TTINm入力インターバル・タイマ機能」
- 15.7.4「ディレイ・カウント機能」
- 15.7.5「TAUJ2TTINm入力パルス間隔測定機能」
- 15.7.6「TAUJ2TTINm入力信号幅測定機能」
- 15.7.7「TAUJ2TTINm入力位置検出機能」

15.7.1　インターバル・タイマ機能

(1)　機能説明

この機能は，TAUJ2CDRm チャネル・データ・レジスタと TAUJ2CNTm チャネル・カウンタ・レジスタの一致によりタイマ割り込み（INTTAUJ2lm）を発生します。割り込みが発生すると，TAUJ2TTOUTm 信号はトグルされ，矩形波を出力します。

(2)　ブロック図

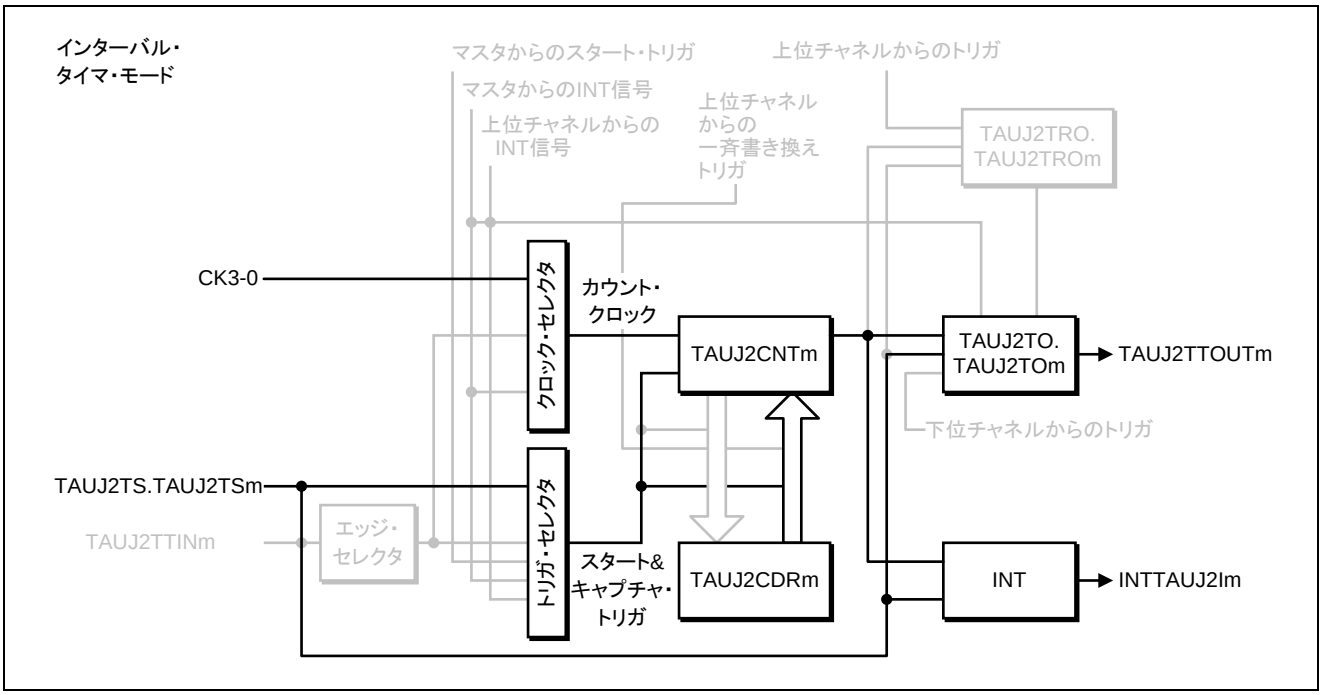


図15.5　インターバル・タイマ機能のブロック図

(3) 基本タイミング図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJ2Im が発生する（TAUJ2CMORm.TAUJ2MD0 = 1）

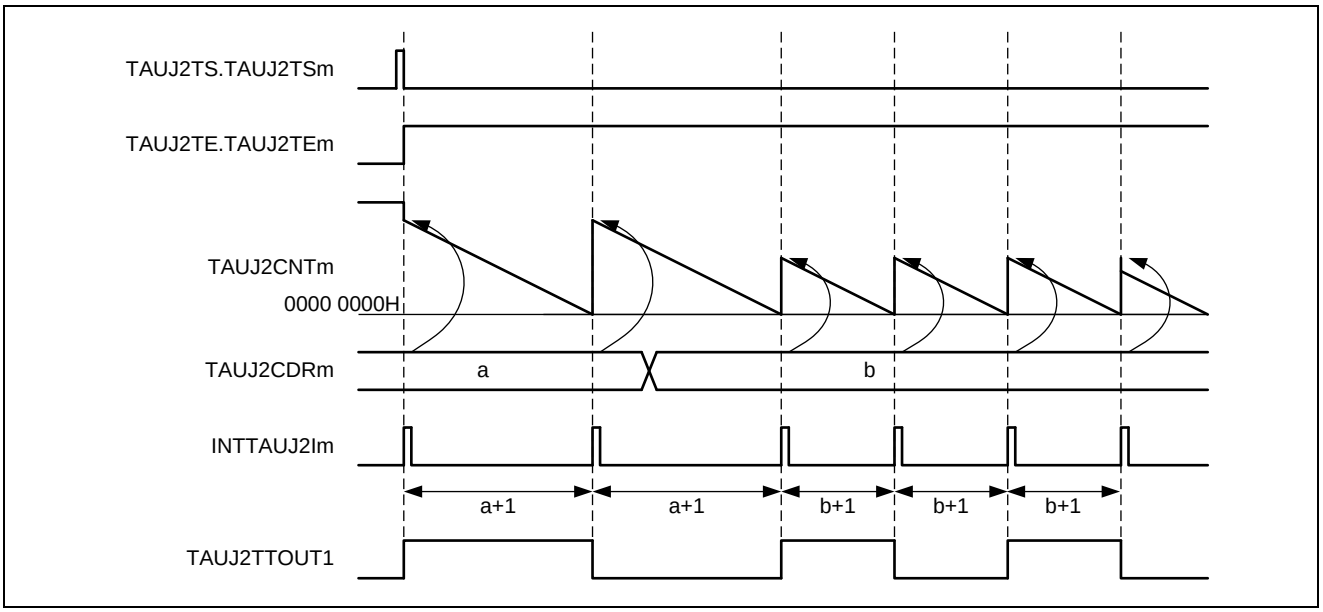


図15.6　インターバル・タイマ機能の基本タイミング図

(4) 算出式

INTTAUJ2Im の周期 = カウント・クロック周期×（TAUJ2CDRm＋1）
TAUJ2TTOUTm の矩形波周期 = カウント・クロック周期×（TAUJ2CDRm＋1）×2

(5)　レジスタ設定

(a)　TAUJ2CMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJ2CKS[1:0]		TAUJ2CCS[1:0]		TAUJ2MAS	TAUJ2STS[2:0]			TAUJ2COS[1:0]		0	TAUJ2MD[4:1]				TAUJ2MD0

表15.5　　インターバル・タイマ機能の TAUJ2CMORm 設定

ビット名	設定
TAUJ2CKS[1:0]	プリスケーラ出力 CK0-CK3 を選択します。 00：動作クロック　= CK0 01：動作クロック　= CK1 10：動作クロック　= CK2 11：動作クロック　= CK3 動作クロックは、使用目的に合わせて設定してください。
TAUJ2CCS[1:0]	カウントクロックを選択します。 00：プリスケーラ出力（CK0-CK3）
TAUJ2MAS	0：単体動作
TAUJ2STS[2:0]	外部スタート・トリガを選択します。 000：ソフトウェア・トリガ
TAUJ2COS[1:0]	00：未使用（初期値）
TAUJ2MD[4:1]	動作モードを選択します。 0000：インターバル・タイマ・モード
TAUJ2MD0	カウント開始時の INTTAUJ2Im 割り込み発生の許可/禁止を選択します。 0：INTTAUJ2Im 発生禁止（TAUJ2TTOUTm 出力がトグルしない） 1：INTTAUJ2Im 発生許可（TAUJ2TTOUTm 出力がトグルする）

(b)　TAUJ2CMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUJ2TIS[1:0]	

表15.6　　インターバル・タイマ機能の TAUJ2CMURm 設定

ビット名	設定
TAUJ2TIS[1:0]	00：未使用（初期値）

(c)　一斉書き換え

一斉書き換えレジスタ（TAUJ2RDE, TAUJ2RDM）は、インターバル・タイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表15.7　インターバル・タイマ機能の一斉書き換え設定

ビット名	設定
TAUJ2RDE.TAUJ2RDEm	0：チャネル m の一斉書き換えを行わないので”0”を設定
TAUJ2RDM.TAUJ2RDMm	0：未使用

(d)　チャネル出力における各レジスタ設定

表15.8　チャネル単体出力時の制御ビット設定

ビット名	設定
TAUJ2TOE.TAUJ2TOEm	カウント動作による TAUJ2TOm 出力動作の許可／禁止を設定します。 1：動作許可
TAUJ2TOM.TAUJ2TOMm	チャネルの単体および連動動作を設定します。 0：チャネル単体動作
TAUJ2TOC.TAUJ2TOCm	チャネルの TAUJ2TOm 出力の動作モードを設定します。 このビットの設定は，TAUJ2TOM.TAUJ2TOMm の設定に依存します。 TAUJ2TOM.TAUJ2TOMm=0 のため 0：トグル・モード
TAUJ2TOL.TAUJ2TOLm	0：トグル・モード時は，設定無効（初期値）となります。

(6) インターバル・タイマ機能の操作手順

表15.9　操作手順

	操作	TAUJ2 の状態
チャネルの初期設定	・使用するチャネルのクロックを TAUJ2TPS レジスタで設定します。ただし、CK3 のクロックを設定するときは、TAUJ2BRS レジスタの設定も必要となります。 ・TAUJ2CMORm, TAUJ2CMURm レジスタ、チャネル出力における各レジスタを設定します。 ・TAUJ2CDRm レジスタにインターバル時間を設定します。 ・TAUJ2TOm レジスタに出力レベルを設定します。	チャネル動作を停止します。
動作開始	TAUJ2TS.TAUJ2TSm を 1 に設定します。 TAUJ2TS.TAUJ2TSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm が 1 に設定され、カウントが開始されます。TAUJ2CDRm の値を TAUJ2CNTm に更新します。 TAUJ2CMORm.TAUJ2MD0 = 1 の場合： INTTAUJ2Im が発生し、TAUJ2TTOUTm 出力がトグルします。 TAUJ2CMORm.TAUJ2MD0 = 0 の場合： INTTAUJ2Im が発生せず、TAUJ2TTOUTm 出力もトグルしません。
動作中	任意のタイミングで変更可能なレジスタ ・TAUJ2CDRm レジスタ 任意のタイミングで読み出し可能なレジスタ ・TAUJ2CNTm レジスタ	TAUJ2CNTm がダウン・カウントを行い、カウンタ値が 0000H に達したとき、TAUJ2CDRm の値を TAUJ2CNTm に更新し、INTTAUJ2Im が発生して、TAUJ2TTOUTm 出力がトグルします。 カウンタは再びカウント動作を継続します。
動作停止	TAUJ2TT.TAUJ2TTm を 1 に設定します。 TAUJ2TT.TAUJ2TTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJ2CNTm と TAUJ2TTOUTm は停止し、現在値を保持します。

動作再開

(7)　特定の設定時のタイミング図

(a)　カウント・クロック　= PCLK/2、TAUJ2CDRm =0000 0000H、TAUJ2CMORm.TAUJ2MD0 =1

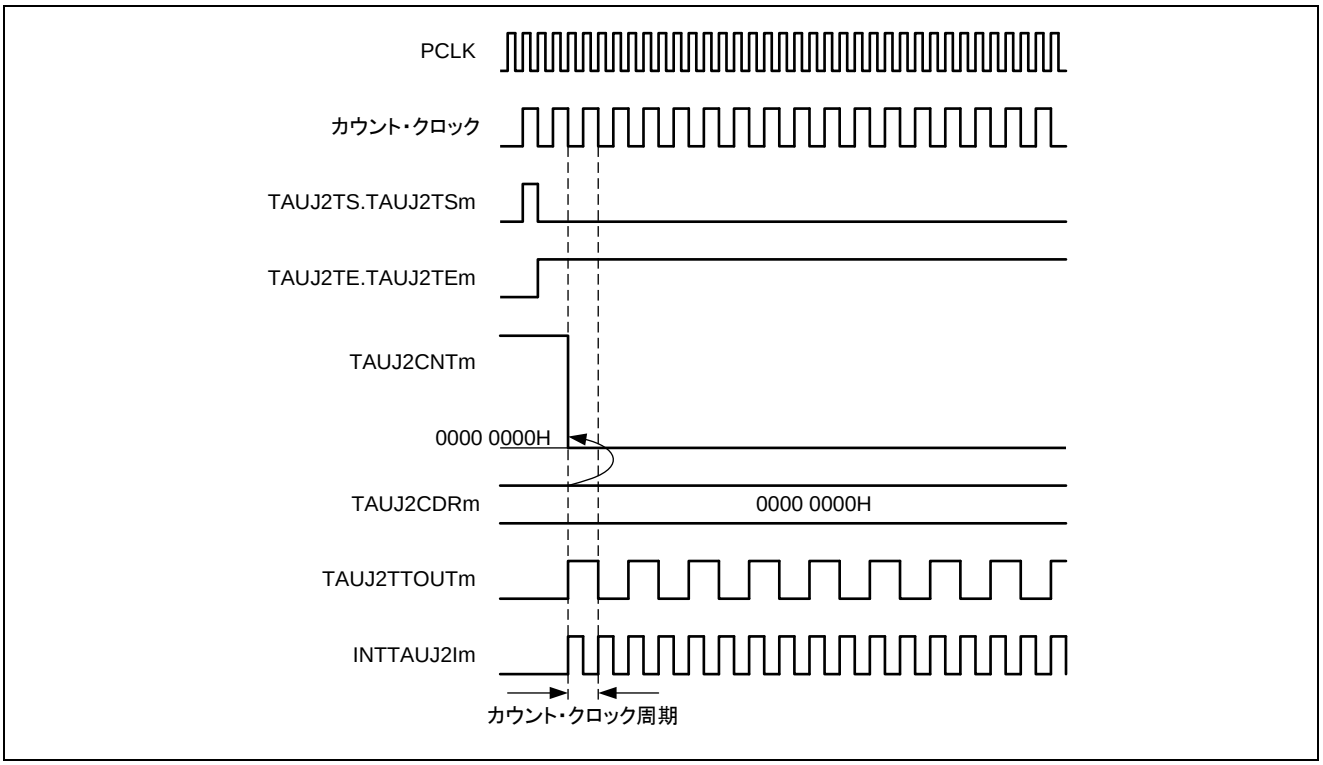


図15.7　　カウント・クロック　= PCLK/2

- カウント・クロック　= PCLK/2、かつ TAUJ2CDRm = 0000 0000H の場合、カウント・クロックごとに TAUJ2CDRm の値が TAUJ2CNTm に更新されます。つまり TAUJ2CNTm は常に 0000 0000H です。
- カウント・クロックごとに INTTAJU2lm が発生し、TAUJ2TTOUTm 出力もトグルします。

(b)　カウント・クロック　= PCLK、TAUJ2CDRm = 0000 0000H、 TAUJ2CMORm.TAUJ2MD0 =1

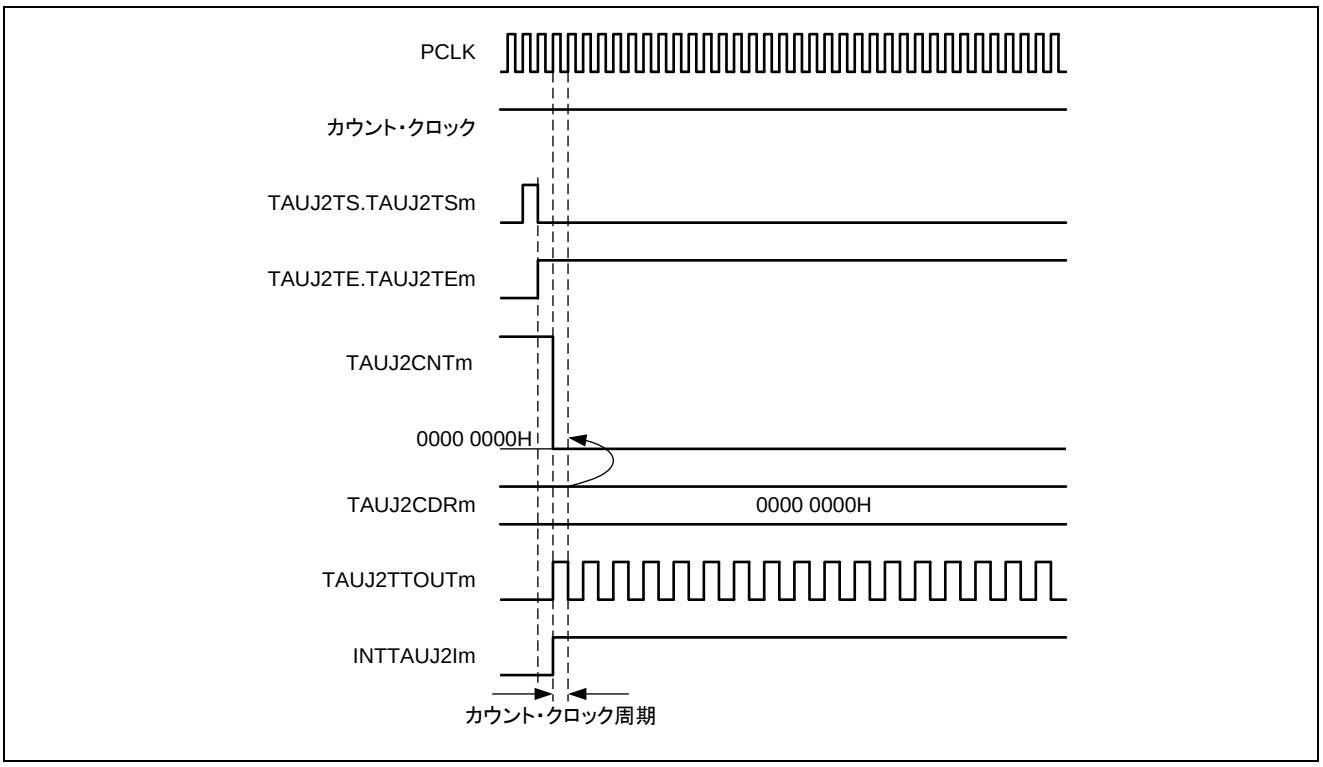


図15.8　　カウント・クロック　= PCLK

- カウント・クロック　= PCLK、かつ TAUJ2CDRm = 0000 0000H の場合、カウント・クロックごとに TAUJ2CDRm の値が TAUJ2CNTm に更新されます。
- 常に INTTAUJ2Im が発生し，カウント・クロックごとに TAUJ2TTOUTm がトグルします。

注意 カウント・クロックを PCLK とした場合、カウント動作開始から動作停止まで割り込み要求 INTTAUJ2Im がハイ固定になるため、TAUJ2CDRm = 0000H 設定時、INTTAUJ2Im 割り込み出力は使用できません。ただし、タイマ（TAUJ2TTOUTm）出力は使用できます。タイマ出力トグル・モードを使用し、タイマ（TAUJ2TTOUTm）出力を行うとカウント・クロックごとにトグル出力します。

(c)　動作の停止と再開

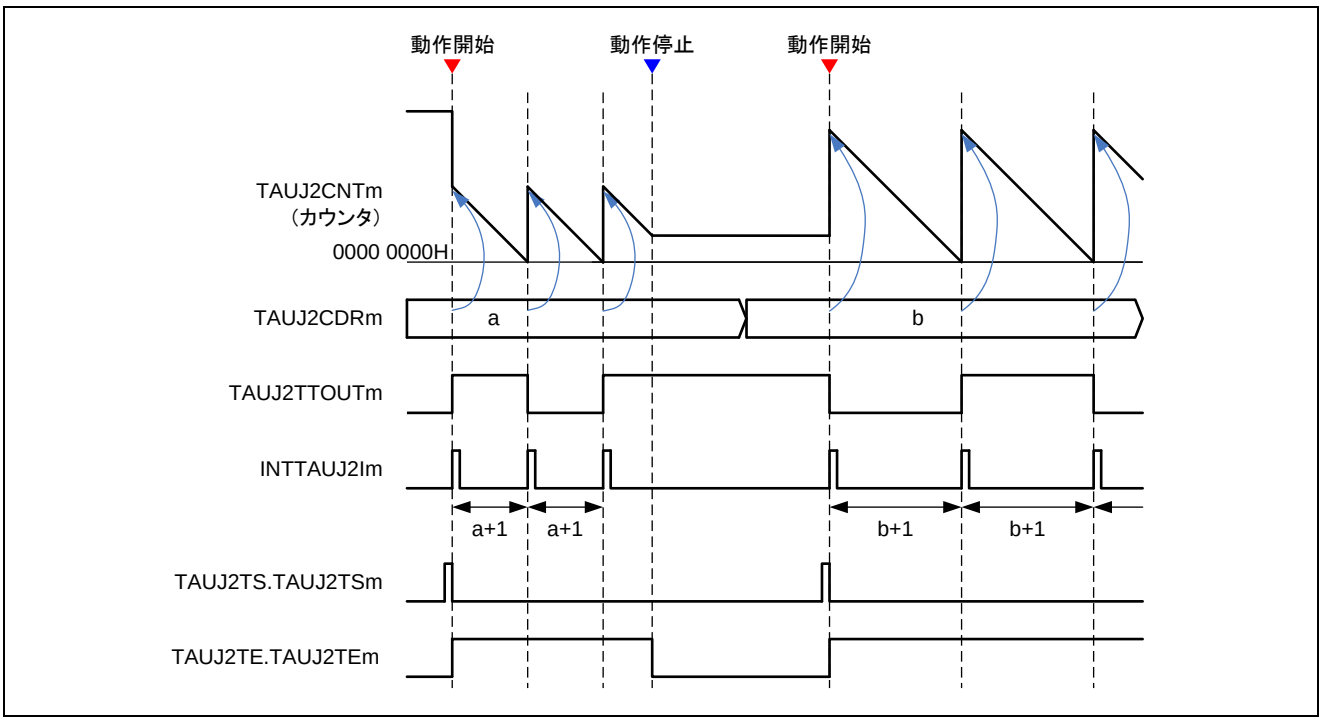


図15.9　　動作の停止と再開（TAUJ2CMORm.TAUJ2MD0 = 1）

- TAUJ2TT.TAUJ2TTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJ2TE.TAUJ2TEm は 0 に設定されます。
- TAUJ2CNTm と TAUJ2TTOUTm は停止しますが、値は保持します。
- TAUJ2TS.TAUJ2TSm を 1 に設定すると、カウントを再開できます。

(d)　強制リスタート

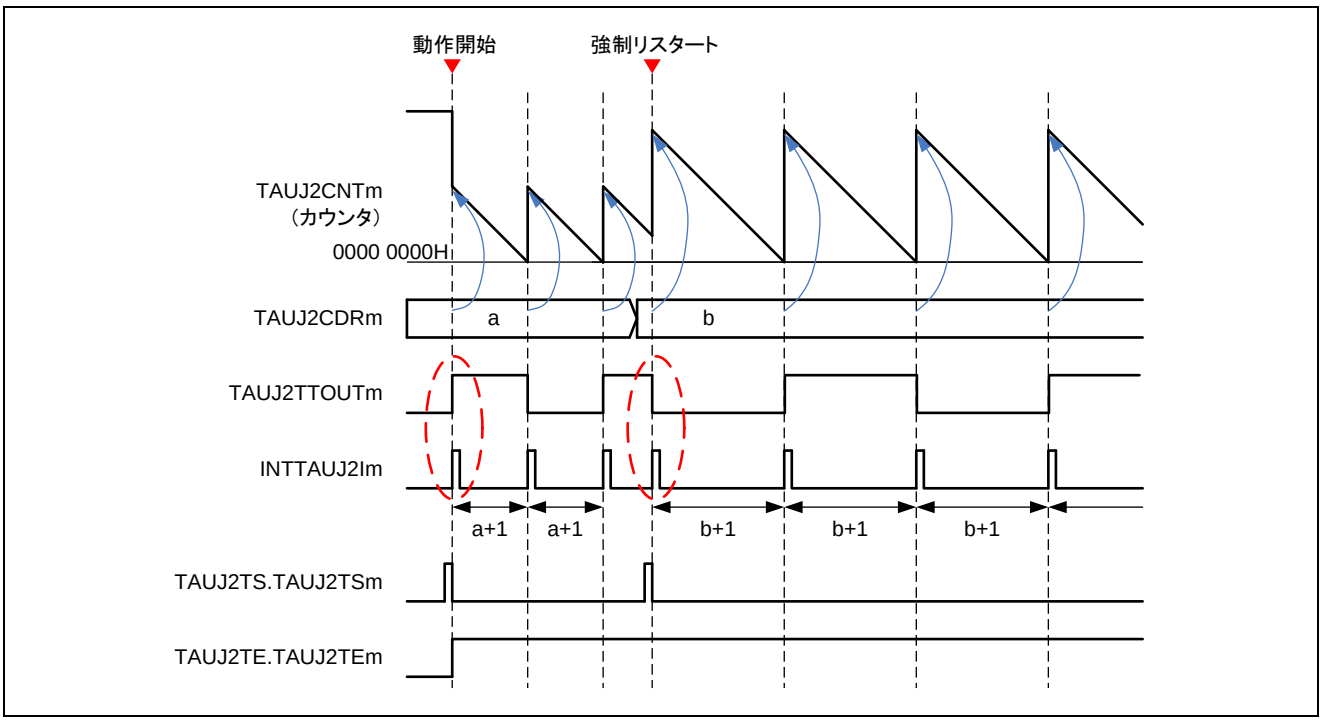


図15.10　強制リスタート動作（TAUJ2CMORm.TAUJ2MD0 = 1）

- 動作中に TAUJ2TS.TAUJ2TSm を 1 に設定すると、強制的にカウント動作を再開できます。動作再開時に TAUJ2CNTm レジスタに TAUJ2CDRm レジスタ値が更新されカウントが開始されます。
- TAUJ2CMORm.TAUJ2MD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生し、TAUJ2TTOUTm がトグルします。

15.7.2　TAUJ2TTINm 入力インターバル・タイマ機能

(1)　機能説明

この機能は、一定間隔または有効な入力エッジが検出された場合に、タイマ割り込み（INTTAUJ2Im）を発生します。割り込みが発生すると、TAUJ2TTOUTm 信号はトグルされ、矩形波を出力します。

有効トリガとして使用するエッジの種類は, 立ち上がりエッジ、立ち下がりエッジまたは、両（立ち上がり、立ち下がり）エッジを選択できます。

(2)　ブロック図

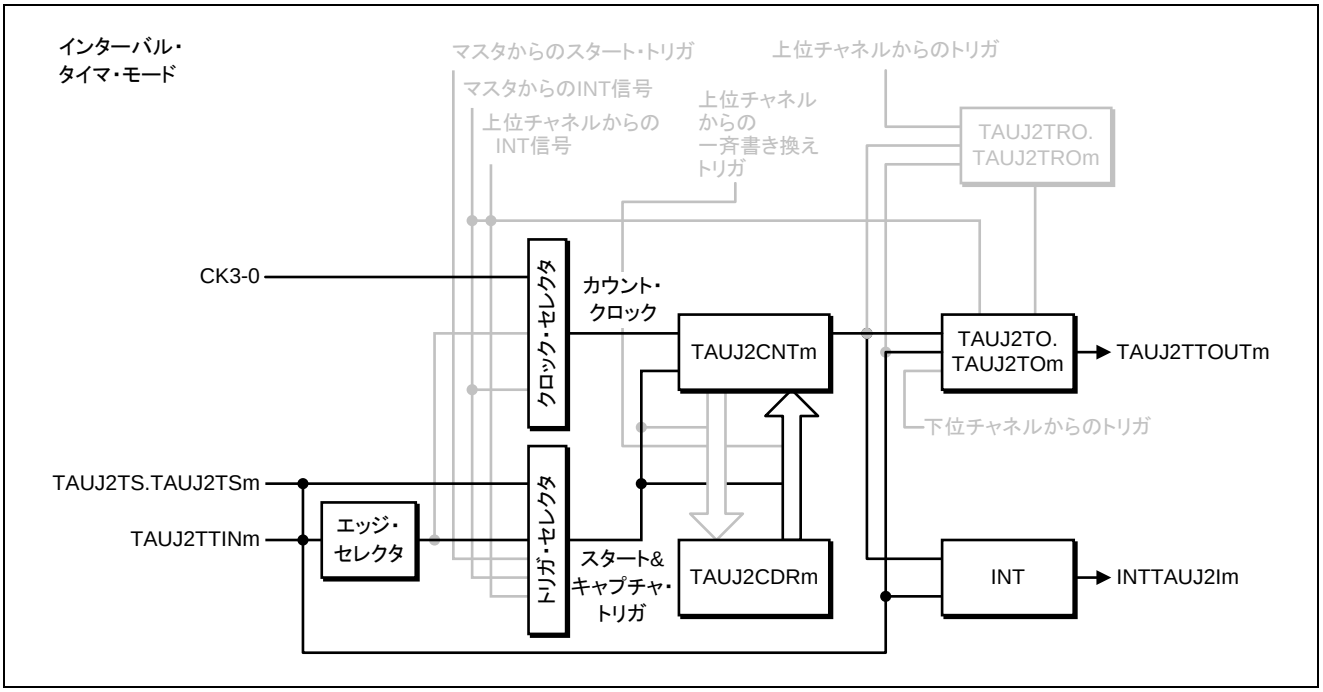


図15.11　TAUJ2TTINm 入力インターバル・タイマ機能のブロック図

(3)　基本タイミング図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJ2Im が発生する（TAUJ2CMORm.TAUJ2MD0 = 1）
- 立ち上がりエッジ検出（TAUJ2CMURm.TAUJ2TIS[1:0] = 01B）

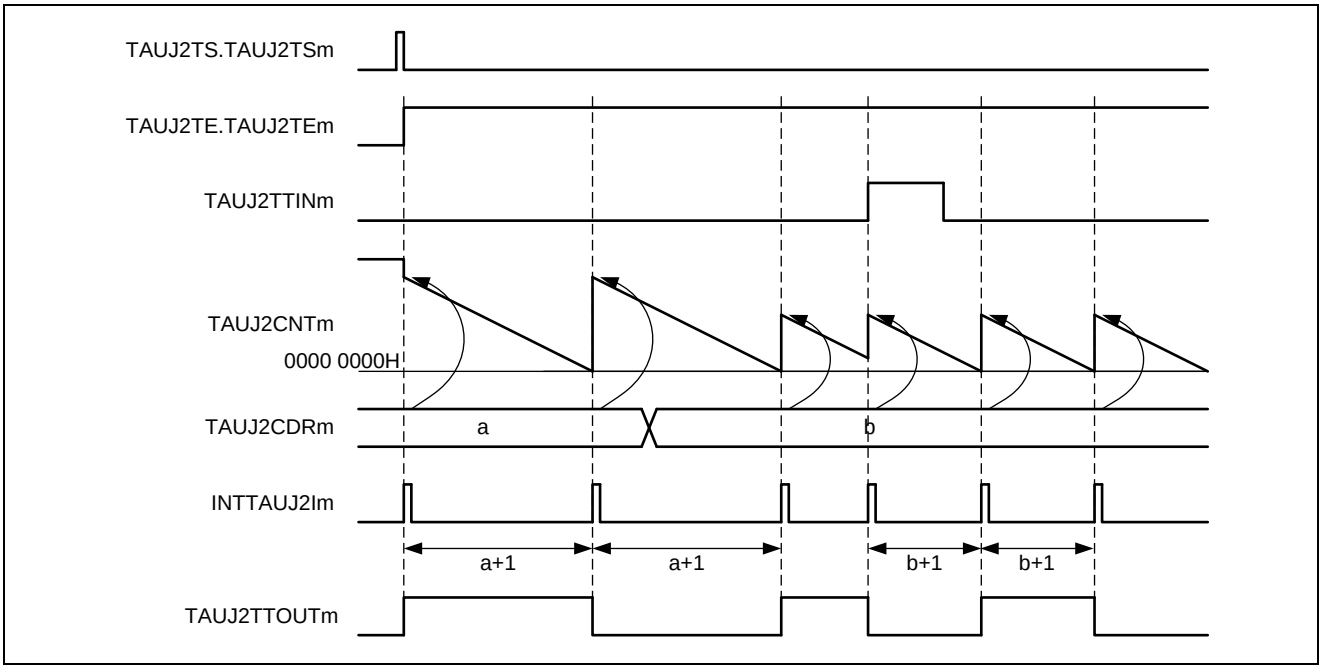


図15.12　TAUJ2TTINm 入力インターバル・タイマ機能の基本タイミング図

(4)　算出式

INTTAUJ2Im の周期 = カウント・クロック周期×（TAUJ2CDRm＋1）

TAUJ2TTOUTm の矩形波周期 = カウント・クロック周期×（TAUJ2CDRm＋1）×2

(5)　レジスタ設定

(a)　TAUJ2CMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJ2CKS[1:0]		TAUJ2CCS[1:0]		TAUJ2MAS	TAUJ2STS[2:0]			TAUJ2COS[1:0]		0	TAUJ2MD[4:1]				TAUJ2MD0

表15.10　TAUJ2CMORm 設定

ビット名	設定
TAUJ2CKS[1:0]	プリスケーラ出力 CK0-CK3 を選択します。 00：動作クロック　= CK0 01：動作クロック　= CK1 10：動作クロック　= CK2 11：動作クロック　= CK3 動作クロックは、使用目的に合わせて設定してください。
TAUJ2CCS[1:0]	カウントクロックを選択します。 00：プリスケーラ出力（CK0-CK3）
TAUJ2MAS	0：単体動作
TAUJ2STS[2:0]	外部スタート・トリガを選択します。 001：有効な TAUJ2TTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUJ2COS[1:0]	00：未使用（初期値）
TAUJ2MD[4:1]	動作モードを選択します。 0000：インターバル・タイマ・モード
TAUJ2MD0	カウント開始時の INTTAUJ2Im 割り込み発生の許可／禁止を選択します。 0：INTTAUJ2Im 発生禁止。（TAUJ2TTOUTm はトグルしない） 1：INTTAUJ2Im 発生許可。（TAUJ2TTOUTm がトグルする）

(b)　TAUJ2CMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUJ2TIS[1:0]	

表15.11　TAUJ2TTINm 入力インターバル・タイマ機能の TAUJ2CMURm 設定

ビット名	設定
TAUJ2TIS[1:0]	外部入力の有効エッジを選択します。 00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出（ロー・レベル幅測定） 有効エッジの選択は，使用目的に合わせ設定してください。

(c)　一斉書き換え

一斉書き換えレジスタ（TAUJ2RDE, TAUJ2RDM）は、TAUJ2TTINm 入力インターバル・タイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表15.12　TAUJ2TTINm 入力インターバル・タイマ機能の一斉書き換え設定

ビット名	設定
TAUJ2RDE.TAUJ2RDEm	0：チャネル m の一斉書き換えは行わないので”0”を設定
TAUJ2RDM.TAUJ2RDMm	0：未使用（初期値）

(d)　チャネル出力における各レジスタ設定

表15.13　チャネル出力時の制御ビット設定

ビット名	設定
TAUJ2TOE.TAUJ2TOEm	カウント動作による TAUJ2TOm 出力動作の許可／禁止を設定します。 1：動作許可
TAUJ2TOM.TAUJ2TOMm	チャネルの単体および連動動作を設定します。 0：チャネル単体出力
TAUJ2TOC.TAUJ2TOCm	チャネルの TAUJ2TOm 出力の動作モードを設定します。このビットの設定は、TAUJ2TOM.TAUJ2TOMm の設定に依存します。 0：トグル・モード
TAUJ2TOL.TAUJ2TOLm	0：トグル・モード時は、設定無効（初期値）となります。

(6)　TAUJ2TTINm 入力インターバル・タイマ機能の操作手順

表15.14　操作手順

	操作	TAUJ2 の状態
チャネルの初期設定	・使用するチャネルのクロックを TAUJ2TPS レジスタで設定します。ただし、CK3 のクロックを設定するときは、TAUJ2BRS レジスタの設定も必要となります。 ・TAUJ2CMORm レジスタ、TAUJ2CMORm レジスタ、チャネル出力における各レジスタを設定します。 ・TAUJ2CDRm レジスタにインターバル時間を設定します。 ・TAUJ2TOm レジスタに出力レベルを設定します。	チャネル動作を停止します。
動作開始	TAUJ2TS.TAUJ2TSm を 1 に設定します。 TAUJ2TS.TAUJ2TSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm が 1 に設定され、カウントが開始されます。TAUJ2CDRm の値を TAUJ2CNTm に更新します。 TAUJ2CMORm.TAUJ2MD0 = 1 の場合： INTTAUJ2Im が発生し、TAUJ2TTOUTm 出力がトグルします。 TAUJ2CMORm.TAUJ2MD0 = 0 の場合： INTTAUJ2Im が発生せず、TAUJ2TTOUTm 出力もトグルしません。
動作中	TAUJ2TTINm 入力によるエッジ検出 任意のタイミングで変更可能なレジスタ ・TAUJ2CMURm.TAUJ2TIS[1:0]ビット ・TAUJ2CDRm レジスタ 任意のタイミングで読み出し可能なレジスタ ・TAUJ2CNTm レジスタ	TAUJ2CNTm がダウン・カウントを行い、カウンタが 0000 0000H に達したとき、または TAUJ2TTINm 入力の有効エッジを検出したとき、AUJ2CDRm の値を TAUJ2CNTm に更新し、INTTAUJ2Im が発生して TAUJ2TTOUTm がトグルします。カウンタは再びカウント動作を継続します。
動作停止	TAUJ2TT.TAUJ2TTm を 1 に設定します。 TAUJ2TT.TAUJ2TTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJ2CNTm と TAUJ2TTOUTm は停止し、現在値を保持します。

動作再開 ▶

(7)　特定の設定時のタイミング図

15.7.1「インターバル・タイマ機能」の動作に対して、有効な TAUJ2TTINm 入力エッジを使用することでカウンタを再開することも可能です。

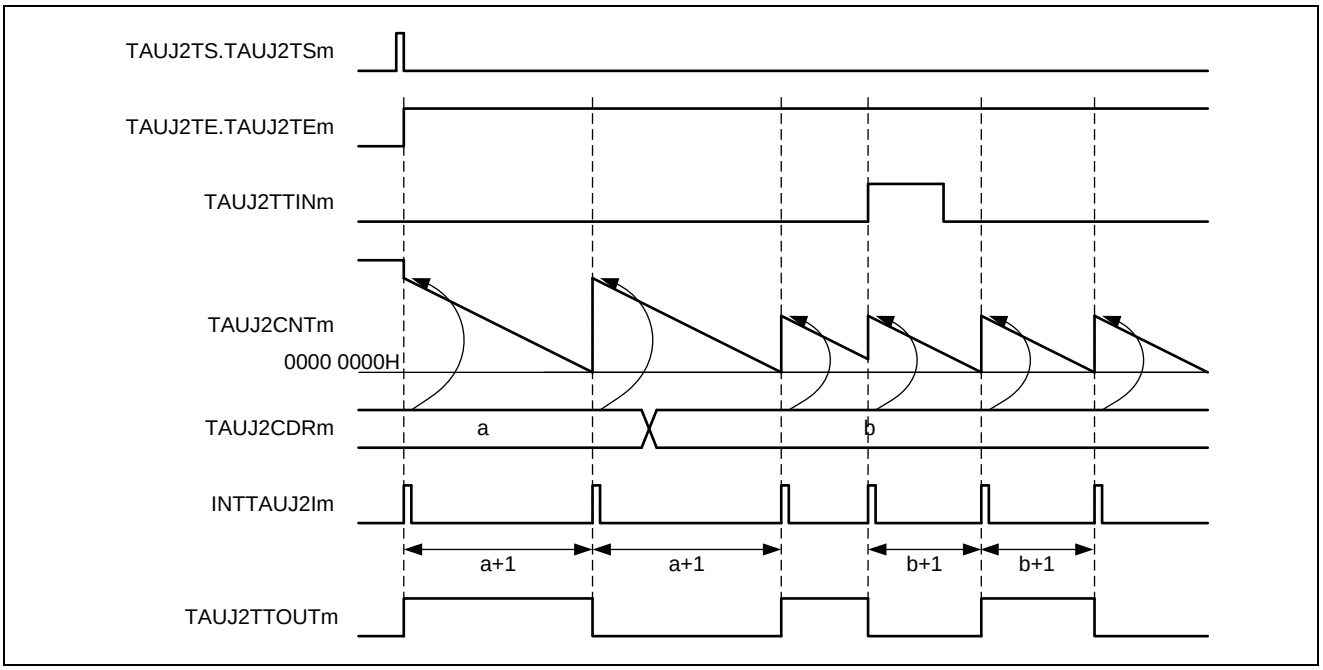


図15.13　立ち上がり TAUJ2TTINm 入力エッジでトリガされたカウンタ
TAUJ2CMURm.TAUJ2TIS[1:0] = 01B）、TAUJ2CMORm.TAUJ2MD0 = 1

- 有効な TAUJ2TTINm 入力エッジを検出した場合、割り込みが発生し、TAUJ2TTOUTm がトグルします。

15.7.3　外部イベントカウント機能

(1)　概要

(a)　概要

この機能は、イベントタイマとして使用します。特定数の TAUJ2TTINm 入力有効エッジを検出すると割り込み（INTTAUJ2Im）を発生します。

(b)　前提条件

- 動作モードはイベントカウントモードに設定する必要があります（「表15.16 外部イベントカウント機能のTAUJ2CMORmレジスタの内容」参照）。
- この機能では、TAUJ2TTOUTm は使用しません。

(c)　機能説明

チャネルトリガビット（TAUJ2TS.TAUJ2TSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUJ2TE.TAUJ2TEm = 1 となり、カウントが可能になります。カウントが開始されると、TAUJ2CDRm の現在値が TAUJ2CNTm にロードされます。

有効な TAUJ2TTINm 入力エッジを検出すると、TAUJ2CNTm 値はデクリメントされます。TAUJ2CNTm は、有効な TAUJ2TTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。

有効エッジが TAUJ2CDRm + 1 検出されると、INTTAUJ2Im が発生します。その後、TAUJ2CDRm 値を TAUJ2CNTm にロードし、以降、動作を継続します。

TAUJ2TT.TAUJ2TTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUJ2TE.TAUJ2TEm は“0”に設定されます。TAUJ2TS.TAUJ2TSm を“1”に設定すると、カウンタ動作を再開できます。カウント中に TAUJ2TS.TAUJ2TSm を“1”に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

TAUJ2CDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

(d)　条件

トリガとして使用するエッジの種類は、TAUJ2CMURm.TAUJ2TIS[1:0]ビットで設定します。

- TAUJ2CMURm.TAUJ2TIS[1:0] = 00B のときは、立ち下がりエッジがカウントされます。
- TAUJ2CMURm.TAUJ2TIS[1:0] = 01B のときは、立ち上がりエッジがカウントされます。
- TAUJ2CMURm.TAUJ2TIS[1:0] = 10B のときは、両エッジがカウントされます。

(2)　算出式

INTTAUJ2Im 発生前に検出される有効エッジ数= TAUJ2CDRm ＋ 1

(3)　ブロック図と基本タイミング図

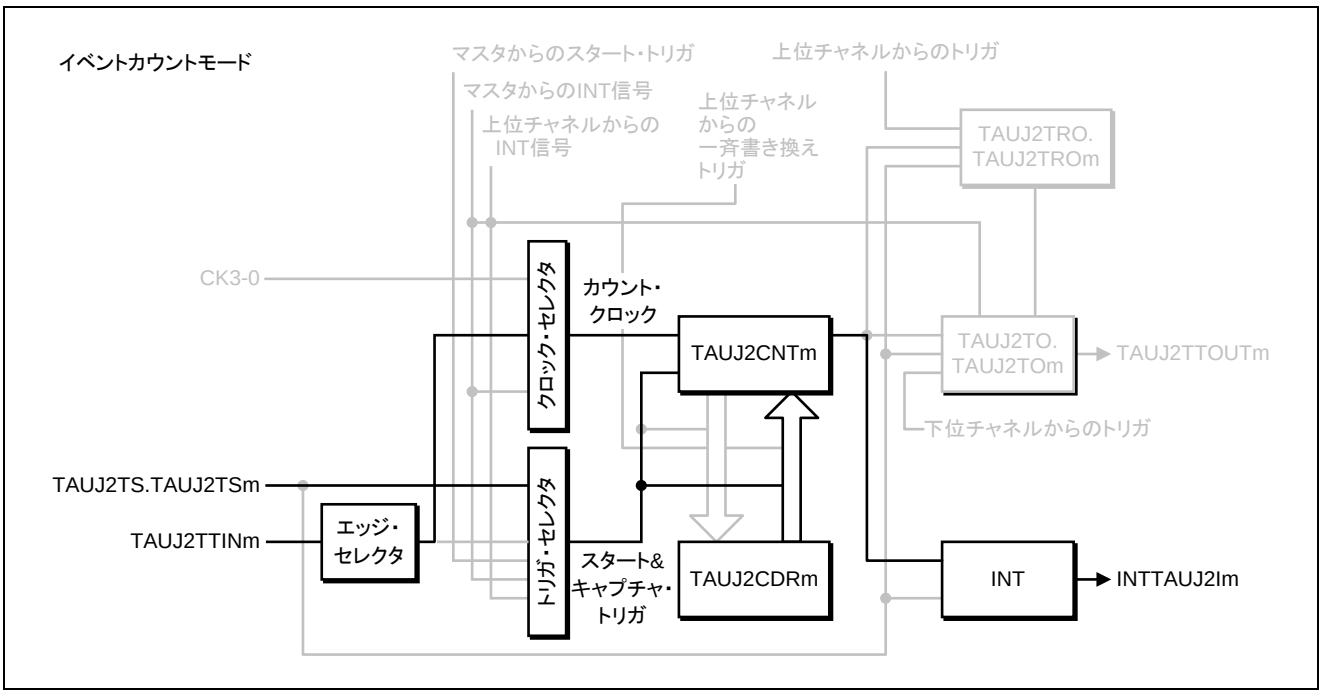


図15.14　外部イベントカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

・立ち上がりエッジ検出（TAUJ2CMURm.TAUJ2TIS[1:0] = 01B）

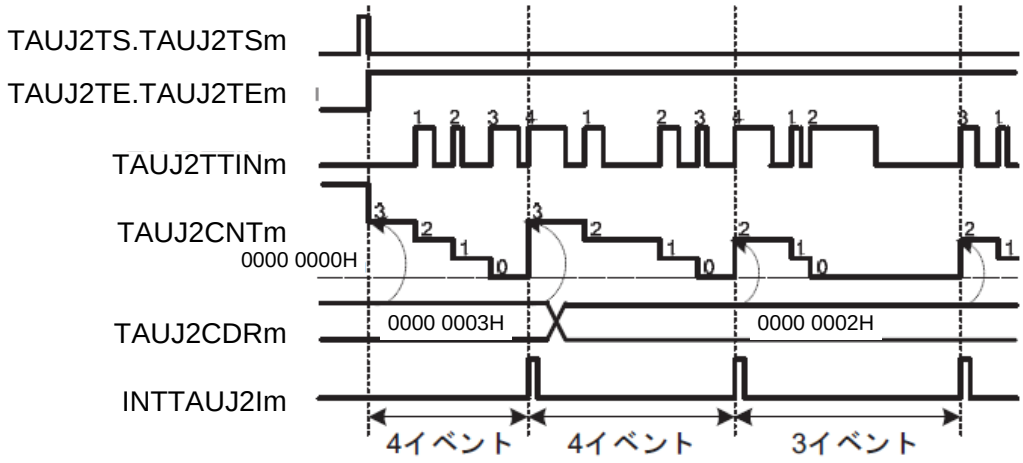


図15.15　外部イベントカウント機能の基本タイミング図

(4)　レジスタ設定

(a)　TAUJ2CMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJ2CKS [1:0]		TAUJ2CCS [1:0]		TAUJ2 MAS	TAUJ2STS[2:0]			TAUJ2COS [1:0]		0	TAUJ2MD[4:1]				TAUJ2 MD0

表15.15　外部イベントカウント機能の TAUJ2CMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUJ2CKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUJ2CCS[1:0]	01：有効な TAUJ2TTINm 入力エッジをカウントクロックとして使用
11	TAUJ2MAS	0：単体動作、“0”を設定
10-8	TAUJ2STS[2:0]	000：ソフトウェアでカウンタをトリガ
7-6	TAUJ2COS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUJ2MD[4:1]	0011：イベントカウントモード
0	TAUJ2MD0	0：動作開始時に INTTAUJ2Im が発生しない

(b)　TAUJ2CMURm

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUJ2TIS[1:0]	

表15.16　外部イベントカウント機能の TAUJ2CMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUJ2TIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出

(c)　チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUJ2RDE、TAUJ2RDM）は、外部イベントカウント機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表15.17　外部イベントカウント機能の一斉書き換え設定

ビット名	設定
TAUJ2RDE.TAUJ2RDEm	0：一斉書き換え禁止
TAUJ2RDM.TAUJ2RDMm	0：一斉書き換え禁止時（TAUJ2RDE.TAUJ2RDEm = 0）、“0”を設定

(5)　外部イベントカウント機能の操作手順

表15.18　外部イベントカウント機能の操作手順

	操作	TAUJ2 の状態
チャネルの初期設定	TAUJ2CMORm、TAUJ2CMURm レジスタを、「表15.16 外部イベントカウント機能のTAUJ2CMORmレジスタの内容」と「表15.17 外部イベントカウント機能のTAUJ2CMURmレジスタの内容」に示すように設定します。 TAUJ2CDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUJ2TS.TAUJ2TSm を“1”に設定します。 TAUJ2TS.TAUJ2TSm はトリガビットなので、自動的に“0”にクリアされます。	TAUJ2TE.TAUJ2TEm が“1”に設定され、カウントが開始されます。 TAUJ2CNTm は TAUJ2CDRm 値をロードし、TAUJ2TTINm 入力エッジ検出を待ちます。
動作中	TAUJ2TTINm エッジ検出 TAUJ2CDRm 値は任意のタイミングで変更可能です。 TAUJ2CNTm レジスタは任意のタイミングで読み出し可能です。	TAUJ2CNTm は TAUJ2TTINm 入力エッジを検出するたびに、ダウンカウントを行います。カウンタが 0000 0000H になった場合： ・　TAUJ2CDRm 値を TAUJ2CNTm にロードし、カウント動作を継続します。 ・　INTTAUJ2Im が発生します。 以降、この動作を繰り返します。
動作停止	TAUJ2TT.TAUJ2TTm を“1”に設定します。 TAUJ2TT.TAUJ2TTm はトリガビットなので、自動的に“0”にクリアされます。	TAUJ2TE.TAUJ2TEm が“0”にクリアされ、カウンタ動作が停止します。 TAUJ2CNTm が停止し、現在値を保持します。

動作再開 ▶

(6)　特定の設定時のタイミング図

(a)　TAUJ2CDRm = 0000H

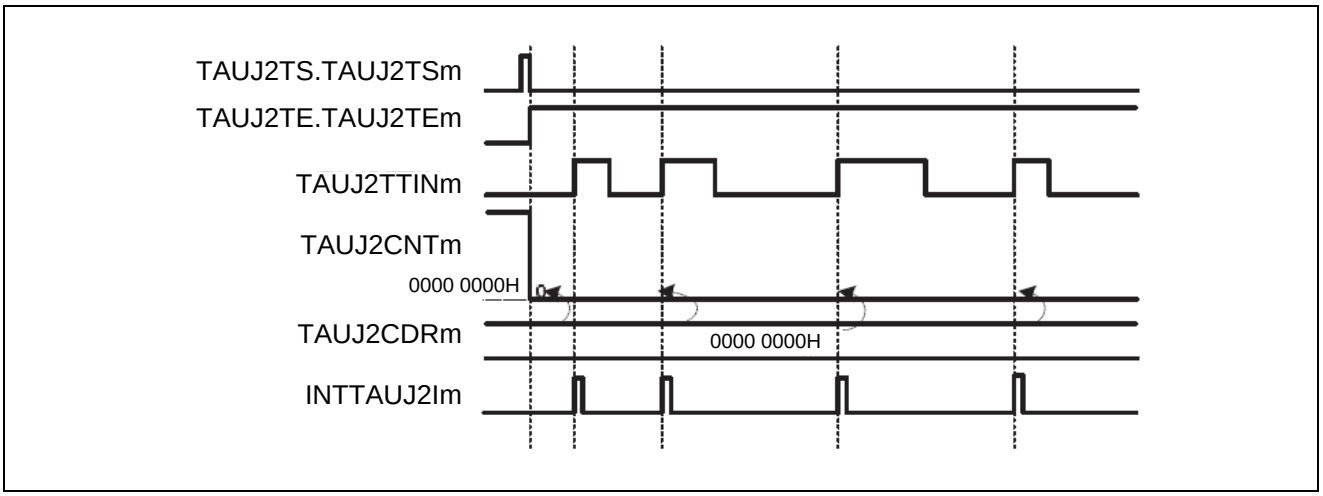


図15.16　TAUJ2CDRm = 0000 0000H、TAUJ2CMURm.TAUJ2TIS[1:0] = 01B

- 0000 0000H = TAUJ2CDRm の場合、有効な TAUJ2TTINm 入力エッジが検出されるたびに 0000 0000H が TAUJ2CNTm にロードされます。つまり、有効な TAUJ2TTINm 入力エッジが検出されるたびに、INTTAUJ2Im が発生します。

(b)　動作の停止と再開

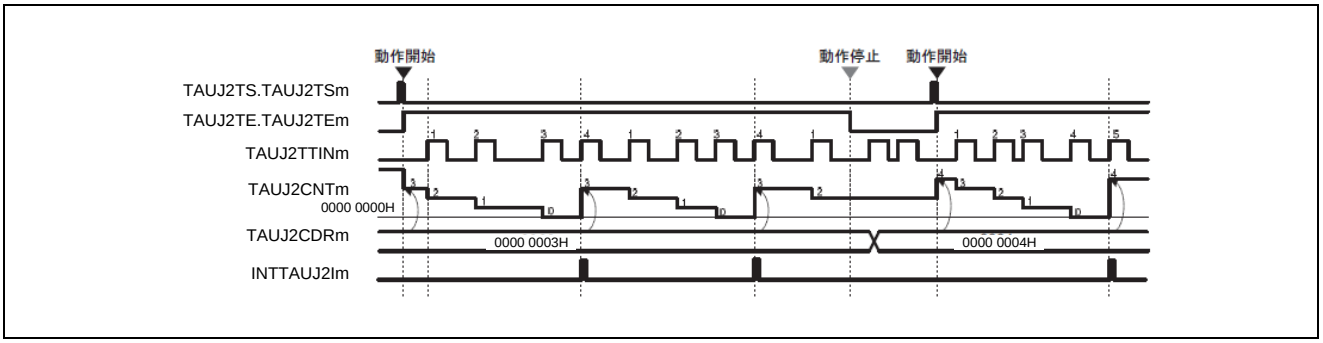


図15.17　動作の停止と再開（TAUJ2CMURm.TAUJ2TIS[1:0] = 01B）

- TAUJ2TT.TAUJ2TTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUJ2TE.TAUJ2TEm は“0”に設定されます。
- TAUJ2CNTm が停止し、現在値を保持します。TAUJ2TTINm は継続し、TAUJ2CNTm は有効エッジを無視します。
- TAUJ2TS.TAUJ2TSm を“1”に設定すると、カウントを再開できます。TAUJ2CNTm は TAUJ2CDRm 値をロードし、カウント動作を再開します。

(c)　強制リスタート

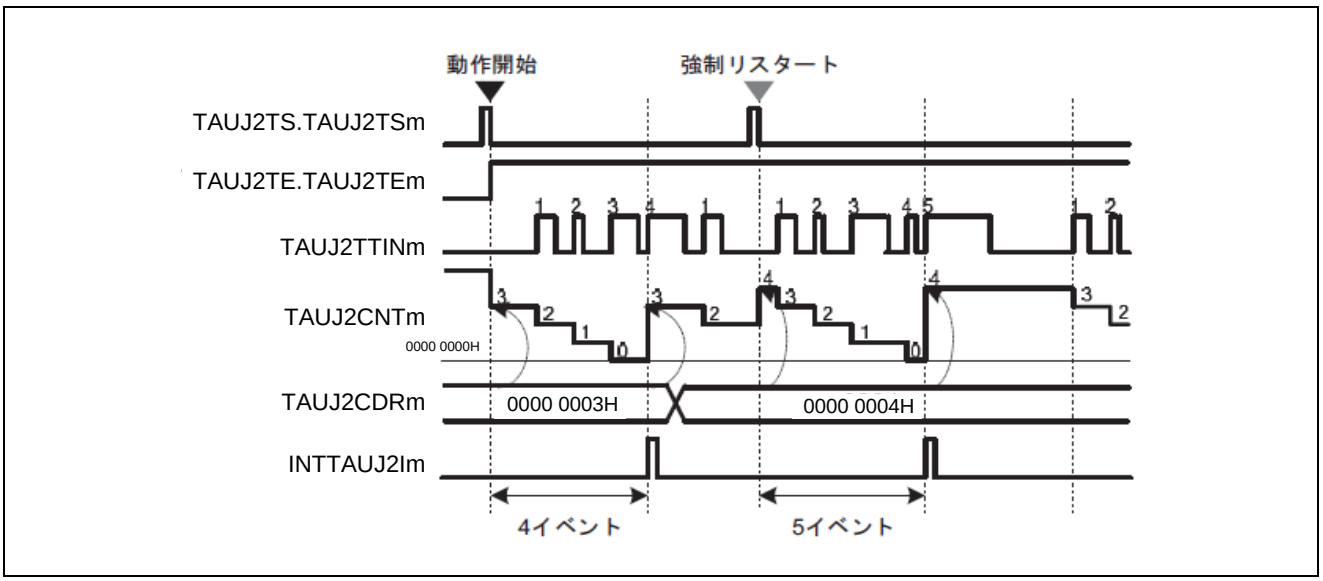


図15.18　強制リスタート（TAUJ2CMURm.TAUJ2TIS[1:0] = 01B）

強制リスタートを行うと、変更した TAUJ2CDRm の値が TAUJ2CNTm に適用されます。

- 動作中に TAUJ2TS.TAUJ2TSm を“1”に設定すると、いったん停止しなくてもカウントを再開できます。
- TAUJ2CDRm の値が TAUJ2CNTm にロードされ、カウンタは次の有効な TAUJ2TTINm 入力エッジを待ちます。

15.7.4　ディレイ・カウント機能

(1)　機能説明

この機能は，TAUJ2TTINm 入力信号に対して一定期間遅延させた割り込み（INTTAUJ2Im）を発生します。遅延期間に TAUJ2TTINm から信号が入力されても無視されます。また、有効トリガとして使用するエッジの種類は、立ち上がりエッジ、立ち下がりエッジまたは両（立ち上がり、立ち下がり）エッジを選択できます。この機能では，TAUJ2TTOUTm は使用しません。

(2)　ブロック図

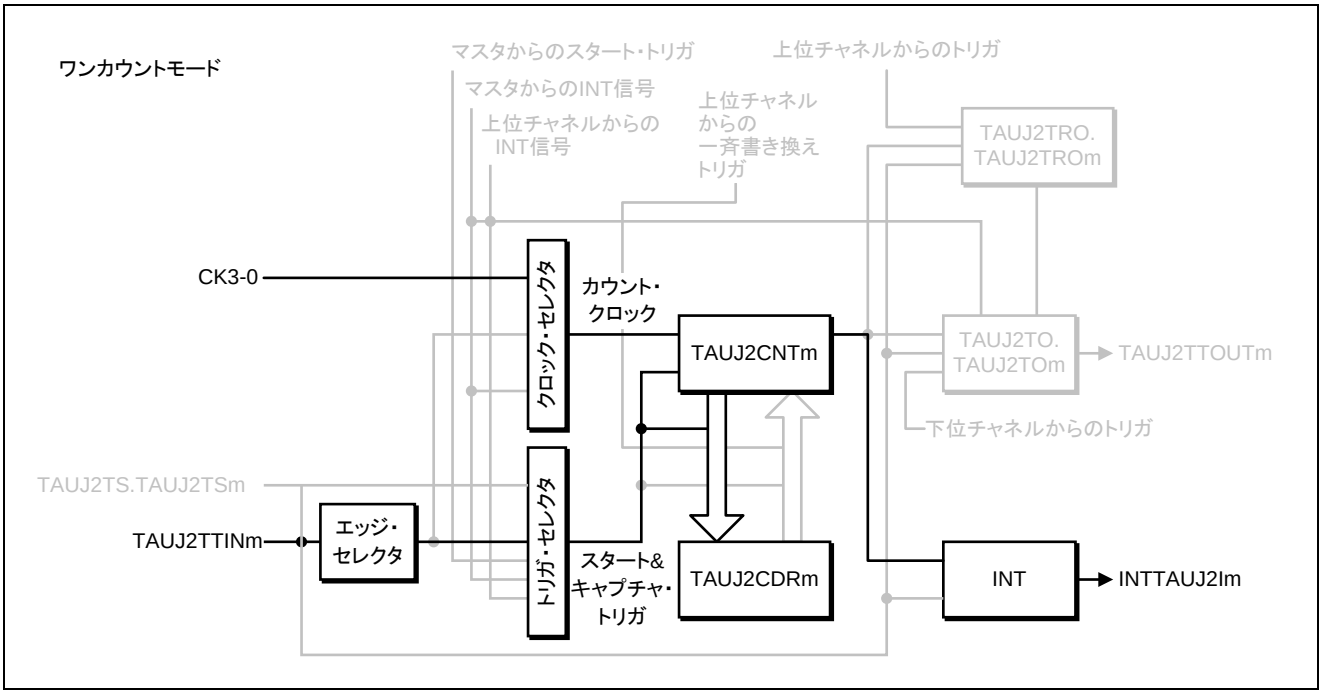


図15.19　ディレイ・カウント機能のブロック図

(3)　基本タイミング図

基本タイミング図での設定は次のようになっています。

・立ち下がりエッジ検出（TAUJ2CMURm.TAUJ2TIS[1:0] = 00B）

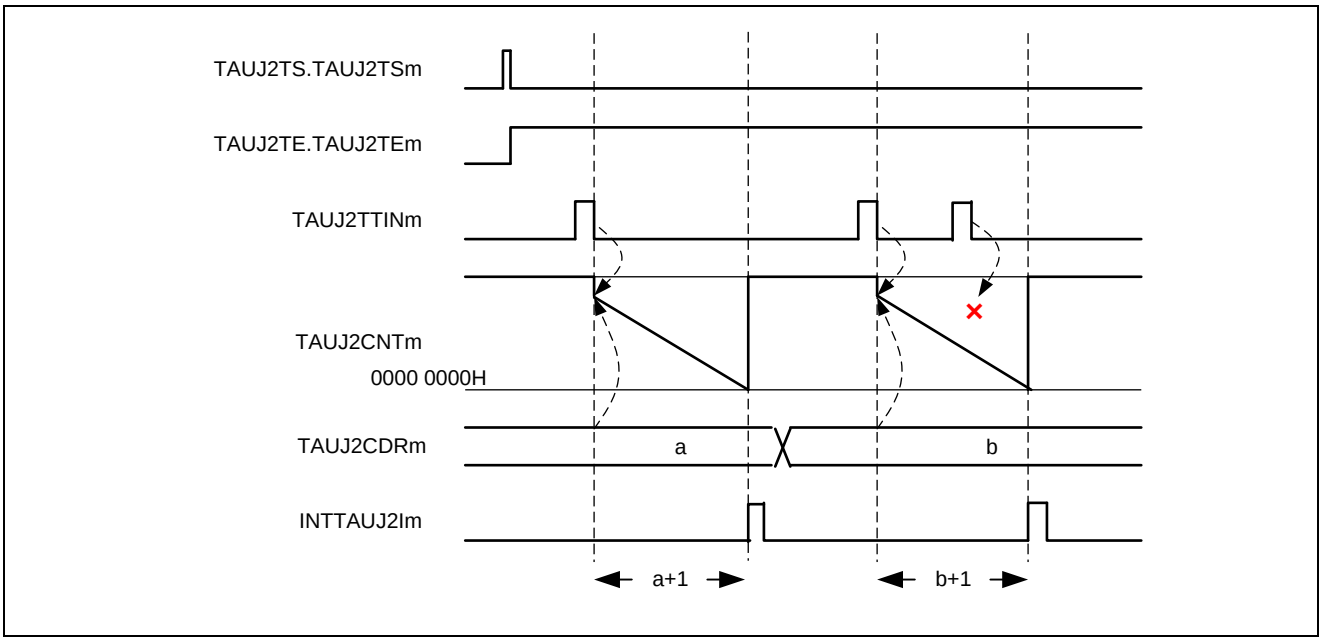


図15.20　ディレイ・カウント機能の基本タイミング図

TAUJ2CDRm 値は任意のタイミングで書き換え可能で，書き換え後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

(4)　計算式

TAUJ2TTINm-INTTAUJ2Im 間の遅延 = カウント・クロック周期×（TAUJ2CDRm ＋ 1）

(5)　レジスタ設定

(a)　TAUJ2CMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJ2CKS[1:0]		TAUJ2CCS[1:0]		TAUJ2MAS	TAUJ2STS[2:0]			TAUJ2COS[1:0]		0	TAUJ2MD[4:1]				TAUJ2MD0

表15.19　TAUJ2CMORm 設定

ビット名	設定
TAUJ2CKS[1:0]	プリスケーラ出力 CK0-CK3 を選択します。 00：動作クロック　= CK0 01：動作クロック　= CK1 10：動作クロック　= CK2 11：動作クロック　= CK3 動作クロックは、使用目的に合わせて設定してください。
TAUJ2CCS[1:0]	カウントクロックを選択します。 00：プリスケーラ出力（CK0-CK3）
TAUJ2MAS	0：単体動作
TAUJ2STS[2:0]	外部スタート・トリガを選択します。 001：有効な TAUJ2TTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUJ2COS[1:0]	00：未使用（初期値）
TAUJ2MD[4:1]	動作モードを選択します。 0100：ワンカウント・モード
TAUJ2MD0	カウント動作中のスタート・トリガ検出の許可/禁止を選択します。 0：スタート・トリガ検出禁止

(b)　TAUJ2CMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0														TAUJ2TIS[1:0]	

表15.20　ディレイ・カウント機能の TAUJ2CMURm 設定

ビット名	設定
TAUJ2TIS[1:0]	外部入力の有効エッジを選択します。 00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出（ロー・レベル幅測定） 有効エッジの選択は、使用目的に合わせて設定してください。

(c)　一斉書き換え

一斉書き換えレジスタ（TAUJ2RDE, TAUJ2RDM）は、TAUJ2TTINm 入力インターバル・タイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表15.21　ディレイ・カウント機能の一斉書き換え設定

ビット名	設定
TAUJ2RDE.TAUJ2RDEm	0：チャネルの一斉書き換えは行わないので“0”を設定
TAUJ2RDM.TAUJ2RDMm	0：未使用（初期値）

(d)　チャネル出力における各レジスタ設定

表15.22　チャネル単体出力時の制御ビット設定

ビット名	設定
TAUJ2TOE.TAUJ2TOEm	0：チャネル m の出力動作を行わないので“0” を設定。
TAUJ2TOM.TAUJ2TOMm	0：未使用（初期値）
TAUJ2TOC.TAUJ2TOCm	0：未使用（初期値）
TAUJ2TOL.TAUJ2TOLm	0：未使用（初期値）

(6)　ディレイ・カウント機能の操作手順

表15.23　ディレイ・カウント機能の操作手順

	操作	TAUJ2 の状態
チャネルの初期設定	・使用するチャネルのクロックを TAUJ2TPS レジスタで設定します。ただし、CK3 のクロックを設定するときは，TAUJ2BRS レジスタの設定も必要となります。 ・TAUJ2CMORm レジスタ、TAUJ2CMORm レジスタ、チャネル出力における各レジスタを設定します。 ・TAUJ2CDRm レジスタに遅延量を設定します。	チャネル動作を停止します。
動作開始	TAUJ2TS.TAUJ2TSm を 1 に設定します。 TAUJ2TS.TAUJ2TSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm が 1 に設定され， TAUJ2CNTm は TAUJ2TTINm スタート・エッジ検出を待ちます。
動作中	任意のタイミングで変更可能なレジスタ ・TAUJ2CDRm レジスタ 任意のタイミングで読み出し可能なレジスタ ・TAUJ2CNTm レジスタ	スタート・エッジが検出されると、TAUJ2CNTm は TAUJ2CDRm の値を更新しカウント動作を開始します。 カウンタが 0000 0000H（遅延量）に達すると INTTAUJ2Im が発生し、TAUJ2CNTm はカウントを停止し、トリガを待ちます。 TAUJ2CNTm のカウント中に発生するトリガは無視されます。 以降，この動作を繰り返します。
動作停止	TAUJ2TT.TAUJ2TTm を 1 に設定します。 TAUJ2TT.TAUJ2TTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm が 0 にクリアされ，カウンタ動作が停止します。 TAUJ2CNTm が停止し，値を保持します

動作再開

15.7.5　TAUJ2TTINm 入力パルス間隔測定機能

(1)　機能説明

この機能は、カウント値 TAUJ2CDRm をキャプチャし、TAUJ2CDRm 値とオーバフロー・ビット TAUJ2CSRm.TAUJ2OVF を使用して TAUJ2TTINm 入力信号の間隔を測定します。有効トリガとして使用するエッジの種類は、立ち上がりエッジ，立ち下がりエッジまたは両（立ち上がり，立ち下がり）エッジを選択できます。この機能では，TAUJ2TTOUTm は使用しません。

(2)　ブロック図

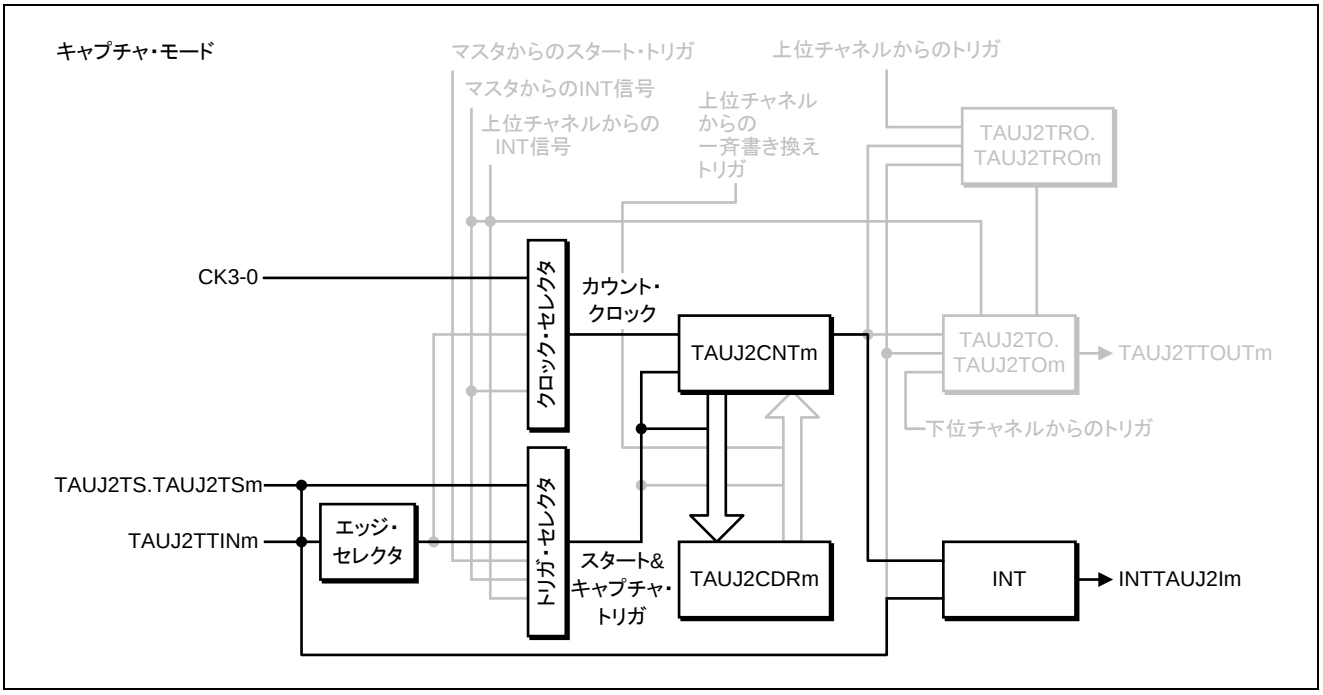


図15.21　TAUJ2TTINm 入力パルス間隔測定機能のブロック図

(3)　基本タイミング図

基本タイミング図での設定は次のようになっています。

・動作開始時に INTTAUJ2Im が発生しない（TAUJ2CMORm.TAUJ2MD0 = 0）

・立ち下がりエッジ検出（TAUJ2CMURm.TAUJ2TIS[1:0] = 00B）

・オーバフロー後に有効な TAUJ2TTINm 入力を検出すると、TAUJ2CDRm を変更し、TAUJ2CSRm.TAUJ2OVF を 1 に設定する（TAUJ2CMORm.TAUJ2COS[1:0] = 00B）

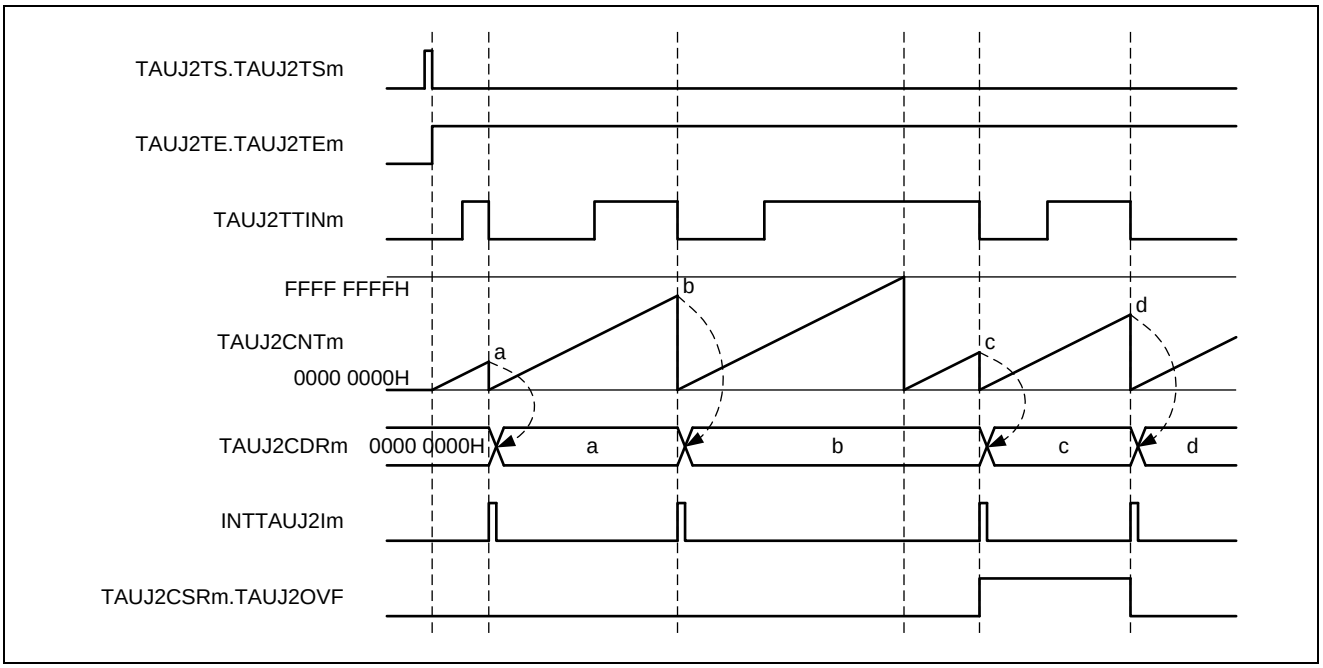


図15.22　TAUJ2TTINm 入力パルス間隔測定機能の基本タイミング図

(4)　算出式

TAUJ2TTINm 入力パルス間隔 = カウント・クロック周期×

[（TAUJ2CSRm.TAUJ2OVF×（FFFF FFFFH＋1））＋TAUJ2CDRm キャプチャ値＋1]

(5)　レジスタ設定

(a)　TAUJ2CMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJ2CKS[1:0]		TAUJ2CCS[1:0]		TAUJ2MAS	TAUJ2STS[2:0]			TAUJ2COS[1:0]		0	TAUJ2MD[4:1]				TAUJ2MD0

表15.24　TAUJ2TTINm 入力パルス・インターバル測定機能の TAUJ2CMORm 設定

ビット名	設定
TAUJ2CKS[1:0]	プリスケーラ出力 CK0-CK3 を選択します。 00：動作クロック　= CK0 01：動作クロック　= CK1 10：動作クロック　= CK2 11：動作クロック　= CK3 動作クロックは、使用目的に合わせて設定してください。
TAUJ2CCS[1:0]	カウントクロックを選択します。 00：プリスケーラ出力（CK0-CK3）
TAUJ2MAS	0: 単体動作
TAUJ2STS[2:0]	外部スタート・トリガを選択します。 001：TAUJ2TTINm 入力信号の有効エッジを外部キャプチャ・トリガとして使用
TAUJ2COS[1:0]	キャプチャ機能使用時のデータレジスタおよびオーバフローフラグの動作制御を選択します。 00：キャプチャ入力の有効エッジ検出により TAUJ2CSRm.TAUJ2OVF のセット／クリア及びカウンタ値（TAUJ2CNTm）をキャプチャ 10：キャプチャ入力の有効エッジ検出により TAUJ2CSRm.TAUJ2OVF のセット／クリア、カウンタがオーバフロー（FFFF FFFFH → 0000 0000H）するタイミングで TAUJ2CDRm に FFFF FFFFH をキャプチャし、次回のキャプチャ入力の有効エッジ検出を無視 上記以外: 設定禁止
TAUJ2MD[4:1]	動作モードを選択します。 0010：キャプチャ・モード
TAUJ2MD0	カウント開始時の INTTAUJ2Im 割り込み発生の許可／禁止を選択します。 0：INTTAUJ2Im 発生禁止 1：INTTAUJ2Im 発生許可

(b)　TAUJ2CMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0														TAUJ2TIS[1:0]	

表15.25　TAUJ2TTINm 入力パルス・インターバル測定機能の TAUJ2CMURm 設定

ビット名	設定
TAUJ2TIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出（ロー・レベル幅測定） 有効エッジの選択は、使用目的合わせて設定してください。

(c)　一斉書き換え

一斉書き換えレジスタ（TAUJ2RDE, TAUJ2RDM）は、TAUJ2TTINm 入力パルス・インターバル測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表15.26　TAUJ2TTINm 入力パルス・インターバル測定機能の一斉書き換え設定

ビット名	設定
TAUJ2RDE.TAUJ2RDEm	0：チャネルの一斉書き換えは行わないので“0”を設定
TAUJ2RDM.TAUJ2RDMm	0：未使用（初期値）

(d)　チャネル出力における各レジスタ設定

表15.27　チャネル単体出力時の制御ビット設定

ビット名	設定
TAUJ2TOE.TAUJ2TOEm	0：チャネル m の出力動作を行わないので“0” を設定。
TAUJ2TOM.TAUJ2TOMm	0：未使用（初期値）
TAUJ2TOC.TAUJ2TOCm	0：未使用（初期値）
TAUJ2TOL.TAUJ2TOLm	0：未使用（初期値）

(6)　TAUJ2TTINm 入力パルス間隔測定機能の操作手順

表15.28　TAUJ2TTINm 入力パルス間隔測定機能の操作手順

	操作	TAUJ2 の状態
チャネルの初期設定	・使用するチャネルのクロックを TAUJ2TPS レジスタで設定します。ただし、CK3 のクロックを設定するときは、TAUJ2BRS レジスタの設定も必要となります。 ・TAUJ2CMORm レジスタ，TAUJ2CMURm レジスタ，チャネル出力における各レジスタを設定します。 ・TAUJ2CDRm レジスタはキャプチャ・レジスタとして動作します。	チャネル動作を停止します。
動作開始	TAUJ2TS.TAUJ2TSm を 1 に設定します。 TAUJ2TS.TAUJ2TSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm が 1 に設定され、カウントが開始されます。 TAUJ2CNTm が 0000 0000H にクリアされます。 TAUJ2CMORm.TAUJ2MD0 が 1 の場合は、INTTAUJ2Im が発生します。
動作中	任意のタイミングで変更可能なレジスタ ・TAUJ2CMURm.TAUJ2TIS[1:0]ビット 任意のタイミングで読み出し可能なレジスタ ・TAUJ2CDRm レジスタ ・TAUJ2CSRm レジスタ TAUJ2CSRm.TAUJ2OVF ビットをクリアするときは TAUJ2CSCm.TAUJ2CLOV ビットに 1 を書き込んでください。	TAUJ2CNTm は、0000 0000H からアップ・カウントを開始し、TAUJ2TTINm の有効エッジを検出するとカウンタを 0000 0000H にクリアし、カウント動作を継続します。 TAUJ2TTINm の有効エッジを検出すると TAUJ2CNTm の値を TAUJ2CDRm に転送（キャプチャ）し、INTTAUJ2Im が発生します。 以降この動作を繰り返します。
動作停止	TAUJ2TT.TAUJ2TTm を 1 に設定します。 TAUJ2TT.TAUJ2TTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJ2CNTm は停止し、TAUJ2CNTm と TAUJ2CSRm.TAUJ2OVF は現在値を保持します。

動作再開

(7)　特定の設定時のタイミング図：オーバフロー動作

オーバフローが発生したときの TAUJ2CMORm.TAUJ2COS[1:0] の各設定における動作タイミング図を以降にて説明します。

(a)　TAUJ2CMORm.TAUJ2COS[1:0] = 00B

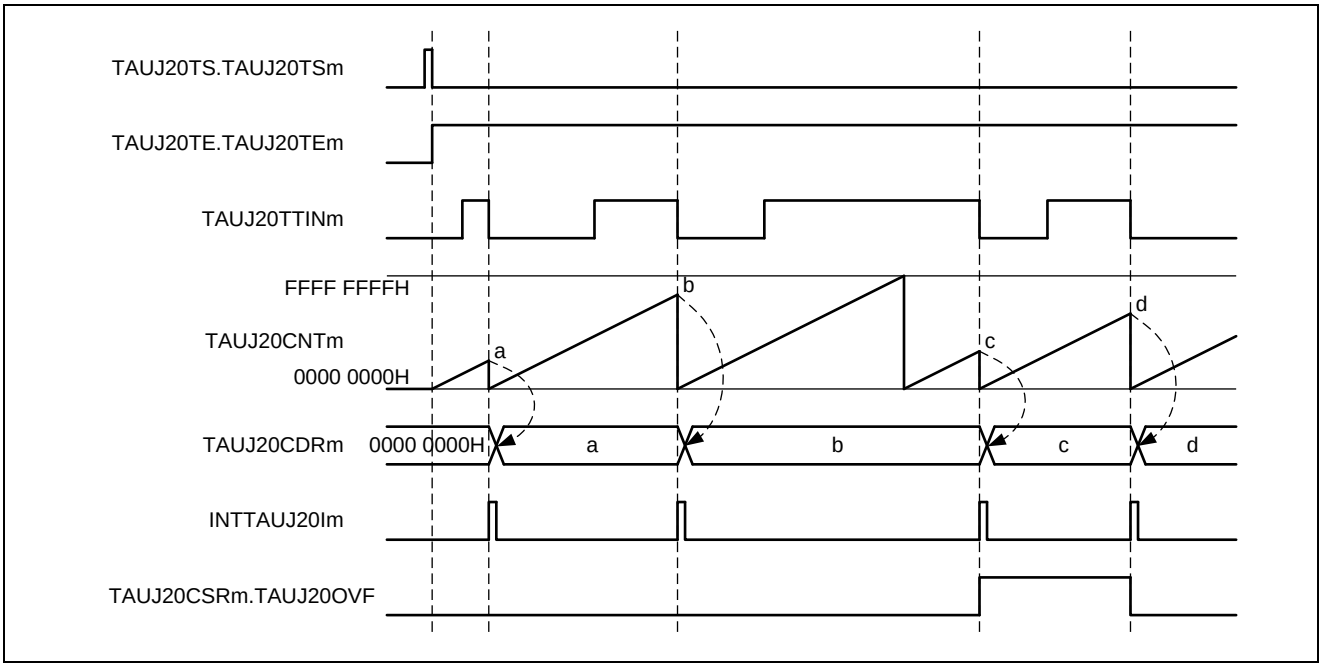


図15.23　TAUJ2CMORm.TAUJ2COS[1:0] = 00B, TAUJ2CMORm.TAUJ2MD0 = 0, TAUJ2CMURm.TAUJ2TIS[1:0] = 00B

- オーバフローが発生しても、TAUJ2CDRm の値は変更されず、TAUJ2CSRm.TAUJ2OVF の値は 0 のままです。
- オーバーフロー後、TAUJ2TTINm 入力の有効エッジが検出されると、TAUJ2CNTm の値が TAUJ2CDRm にキャプチャされ、TAUJ2CSRm.TAUJ2OVF が 1 に設定されます。
- オーバフローが発生していない状態で TAUJ2TTINm 入力の有効エッジが検出されると、TAUJ2CSRm.TAUJ2OVF が 0 にセットされます。

(b) TAUJ2CMORm.TAUJ2COS[1:0] = 10B

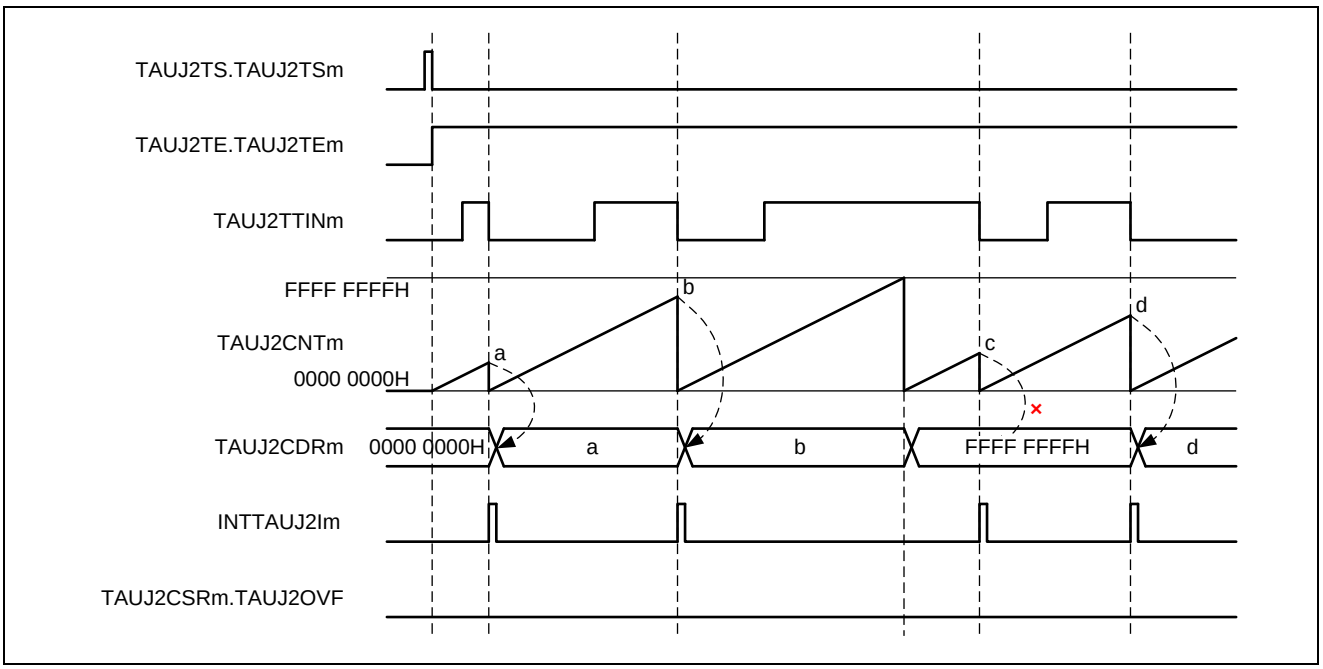


図15.24 TAUJ2CMORm.TAUJ2COS[1:0] = 10B, TAUJ2CMORm.TAUJ2MD0 = 0, TAUJ2CMURm.TAUJ2TIS[1:0] = 00B

- オーバフローが発生すると、TAUJ2CDRm は FFFF FFFFH に設定され、TAUJ2CSRm.TAUJ2OVF の値は 0 のままです。
- TAUJ2TTINm 入力の有効エッジを検出しても、TAUJ2CDRm と TAUJ2CSRm.TAUJ2OVF は変更されません。
- オーバフロー後に TAUJ2TTINm 入力の有効エッジを検出しても無視されます。

15.7.6　TAUJ2TTINm 入力信号幅測定機能

(1)　機能説明

この機能は、TAUJ2TTINm 入力の信号幅を測定します。有効な TAUJ2TTINm の片エッジ（スタート・エッジ）でカウントを開始し，もう片エッジ（ストップ・エッジ）でカウントを停止し、カウント数をキャプチャすることで入力信号幅を測定します。ストップ・エッジを検出する前にカウンタが FFFF FFFFH に達すると、カウンタはオーバフローします。有効トリガとして使用できる入力エッジの種類は、両エッジのハイ（立ち上がり・立ち下がり）幅、ロー（立ち下がり・立ち上がり）幅です。

(2)　ブロック図

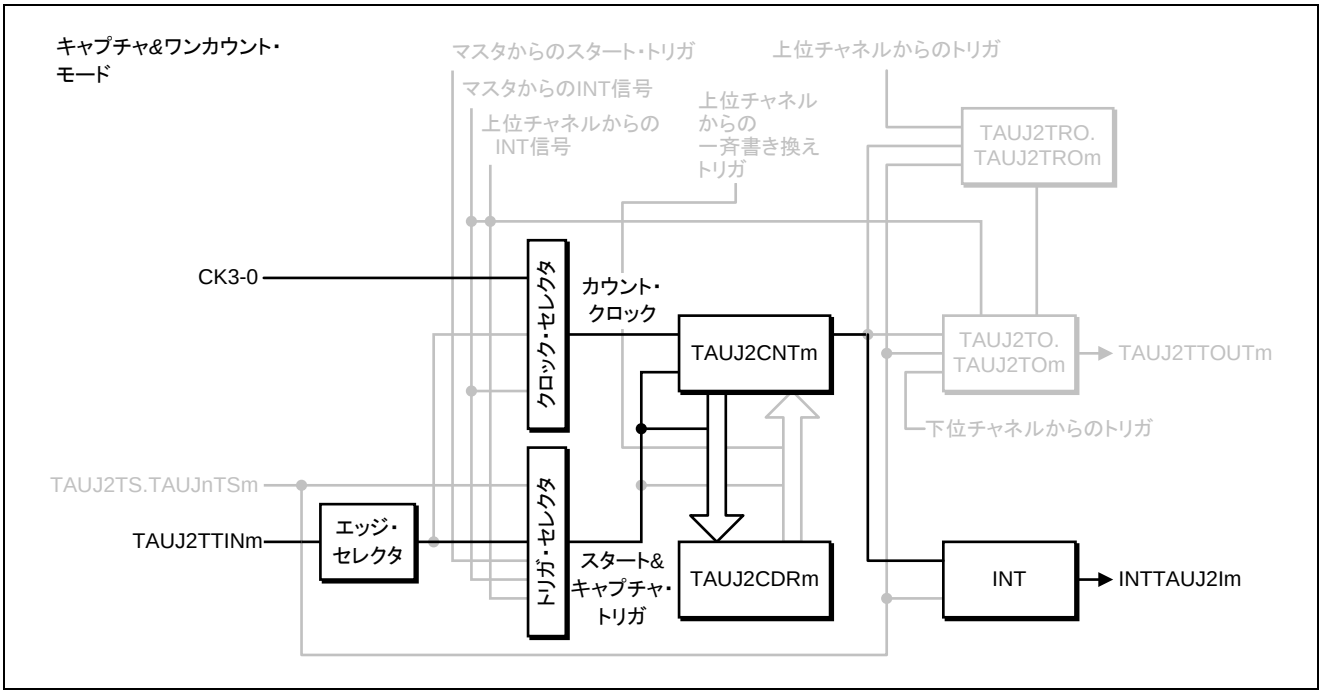


図15.25　TAUJ2TTINm 入力信号幅測定機能のブロック図

(3)　基本タイミング図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイ幅測定（TAUJ2CMURm.TAUJ2TIS[1:0] = 11B）
- オーバフロー後に有効な TAUJ2TTINm 入力を検出すると、TAUJ2CDRm を変更し、TAUJ2CSRm.TAUJ2OVF を 1 に設定する
  （TAUJ2CMORm.TAUJ2COS[1:0] = 00B）

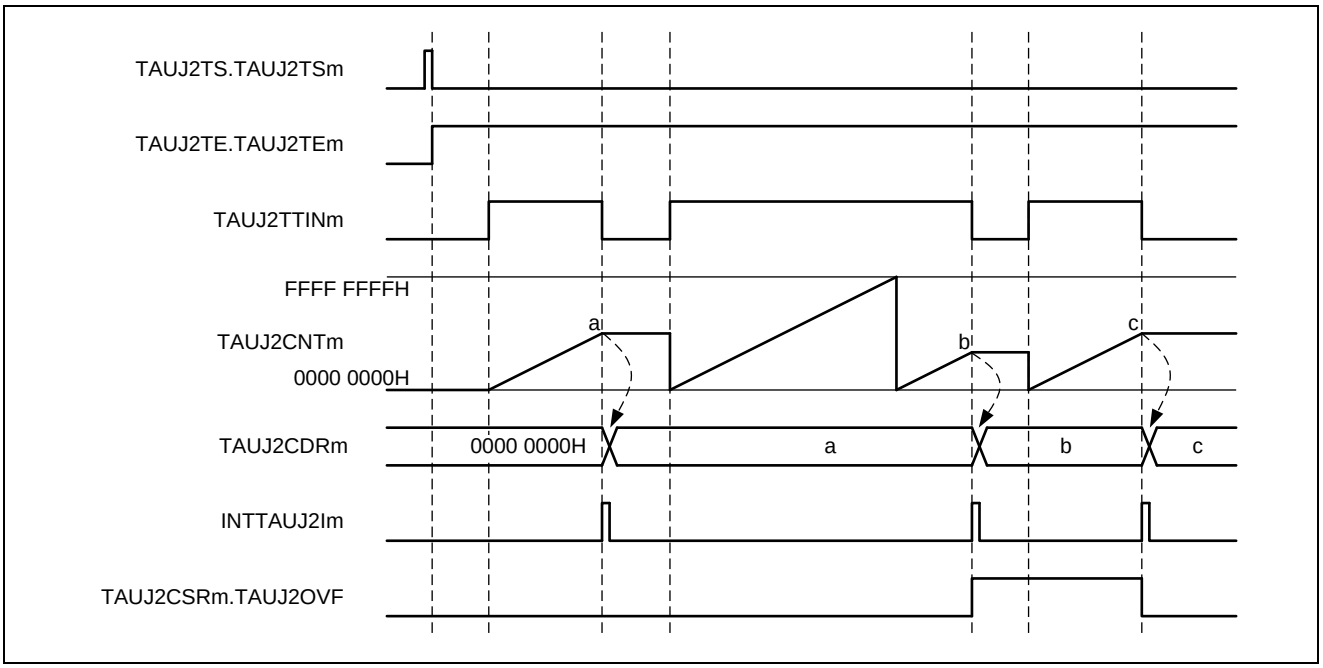


図15.26　TAUJ2TTINm 入力信号幅測定機能の基本タイミング図

(4)　算出式

TAUJ2TTINm 入力信号幅 = カウント・クロック周期×
[（TAUJ2CSRm.TAUJ2OVF×（FFFF FFFFH＋1））＋TAUJ2CDRm キャプチャ値＋1]

(5)　レジスタ設定

(a)　TAUJ2CMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJ2CKS[1:0]		TAUJ2CCS[1:0]		TAUJ2MAS	TAUJ2STS[2:0]			TAUJ2COS[1:0]		0	TAUJ2MD[4:1]				TAUJ2MD0

表15.29　TAUJ2TTINm 入力信号幅測定機能の TAUJ2CMORm 設定

ビット名	設定
TAUJ2CKS[1:0]	プリスケーラ出力 CK0-CK3 を選択します。 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 動作クロックは、使用目的に合わせて設定してください。
TAUJ2CCS[1:0]	カウントクロックを選択します。 00：プリスケーラ出力（CK0-CK3）
TAUJ2MAS	0：単体動作
TAUJ2STS[2:0]	外部スタート・トリガを選択します。 010：TAUJ2TTINm 入力信号の有効エッジをスタート・トリガ、逆エッジをストップ・トリガとして使用
TAUJ2COS[1:0]	キャプチャ機能使用時のデータレジスタおよびオーバフローフラグの動作制御を選択します。 00：キャプチャ入力の有効エッジ検出により TAUJ2CSRm.TAUJ2OVF のセット／クリア及びカウンタ値（TAUJ2CNTm）をキャプチャ 10：キャプチャ入力の有効エッジ検出により TAUJ2CSRm.TAUJ2OVF のセット／クリア，カウンタがオーバフロー（FFFF FFFFH → 0000 0000H）するタイミングで TAUJ2CDRm に FFFF FFFFH をキャプチャし，次回のキャプチャ入力の有効エッジ検出を無視 上記以外：設定禁止
TAUJ2MD[4:1]	動作モードを選択します。 0110：キャプチャ&ワンカウント・モード
TAUJ2MD0	カウント動作中のスタート・トリガ検出の許可/禁止を選択します。 0：スタート・トリガ検出禁止

(b)　TAUJ2CMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0														TAUJ2TIS[1:0]	

表15.30　TAUJ2TTINm 入力信号幅測定機能の TAUJ2CMURm 設定

ビット名	設定
TAUJ2TIS[1:0]	TAUJ2TTINm 入力の有効エッジのロー／ハイ幅を選択します。 10：両エッジ検出（ロー幅測定） 11：両エッジ検出（ハイ幅測定） 有効エッジの選択は、使用目的に合わせて設定してください。

(c)　一斉書き換え

一斉書き換えレジスタ（TAUJ2RDE, TAUJ2RDM）は、TAUJ2TTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表15.31　TAUJ2TTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUJ2RDE.TAUJ2RDEm	0：チャネル m の一斉書き換えは行わないので“0”を設定
TAUJ2RDM.TAUJ2RDMm	0：未使用（初期値）

(d)　チャネル出力における各レジスタ設定

表15.32　チャネル単体出力時の制御ビット設定

ビット名	設定
TAUJ2TOE.TAUJ2TOEm	0：チャネル m の出力動作を行わないので“0” を設定。
TAUJ2TOM.TAUJ2TOMm	0：未使用（初期値）
TAUJ2TOC.TAUJ2TOCm	0：未使用（初期値）
TAUJ2TOL.TAUJ2TOLm	0：未使用（初期値）

(6) TAUJ2TTINm 入力信号幅測定機能の操作手順

表15.33　TAUJ2TTINm 入力信号幅測定機能の操作手順

	操作	TAUJ2 の状態
チャネルの初期設定	・使用するチャネルのクロックを TAUJ2TPS レジスタで設定します。ただし、CK3 のクロックを設定するときは、TAUJ2BRS レジスタの設定も必要となります。 ・TAUJ2CMORm レジスタ、TAUJ2CMURm レジスタ、チャネル出力における各レジスタを設定します。 ・TAUJ2CDRm レジスタはキャプチャ・レジスタとして動作します。	チャネル動作を停止します。
動作開始	TAUJ2TS.TAUJ2TSm を 1 に設定します。 TAUJ2TS.TAUJ2TSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm が 1 に設定され，TAUJ2CNTm は TAUJ2TTINm スタート・エッジ検出を待ちます。
動作中	任意のタイミングで読み出し可能なレジスタ ・TAUJ2CDRm レジスタ ・TAUJ2CNTm レジスタ ・TAUJ2CSRm レジスタ TAUJ2CSRm.TAUJ2OVF ビットをクリアするときは TAUJ2CSCm.TAUJ2CLOV ビットに 1 を書き込んでください。	TAUJ2TTINm スタート・エッジを検出すると、TAUJ2CNTm は、0000 0000H からカウントを開始します。TAUJ2TTINm のストップ・エッジを検出するとカウント動作を停止します。 TAUJ2TTINm のストップ・エッジを検出すると TAUJ2CNTm の値を TAUJ2CDRm に転送（キャプチャ）して、INTTAUJ2Im が発生します。 以降、この動作を繰り返します。
動作停止	TAUJ2TT.TAUJ2TTm を 1 に設定します。 TAUJ2TT.TAUJ2TTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm が 0 にクリアされ，カウンタ動作が停止します。 TAUJ2CNTm は停止し，TAUJ2CNTm と TAUJ2CSRm.TAUJ2OVF は現在値を保持します。

動作再開

(7)　特定の設定時のタイミング図：オーバフロー動作

オーバフローが発生したときの TAUJ2CMORm.TAUJ2COS[1:0]の各設定における動作タイミング図を以下にて説明します。

(a)　TAUJ2CMORm.TAUJ2COS[1:0] = 00B

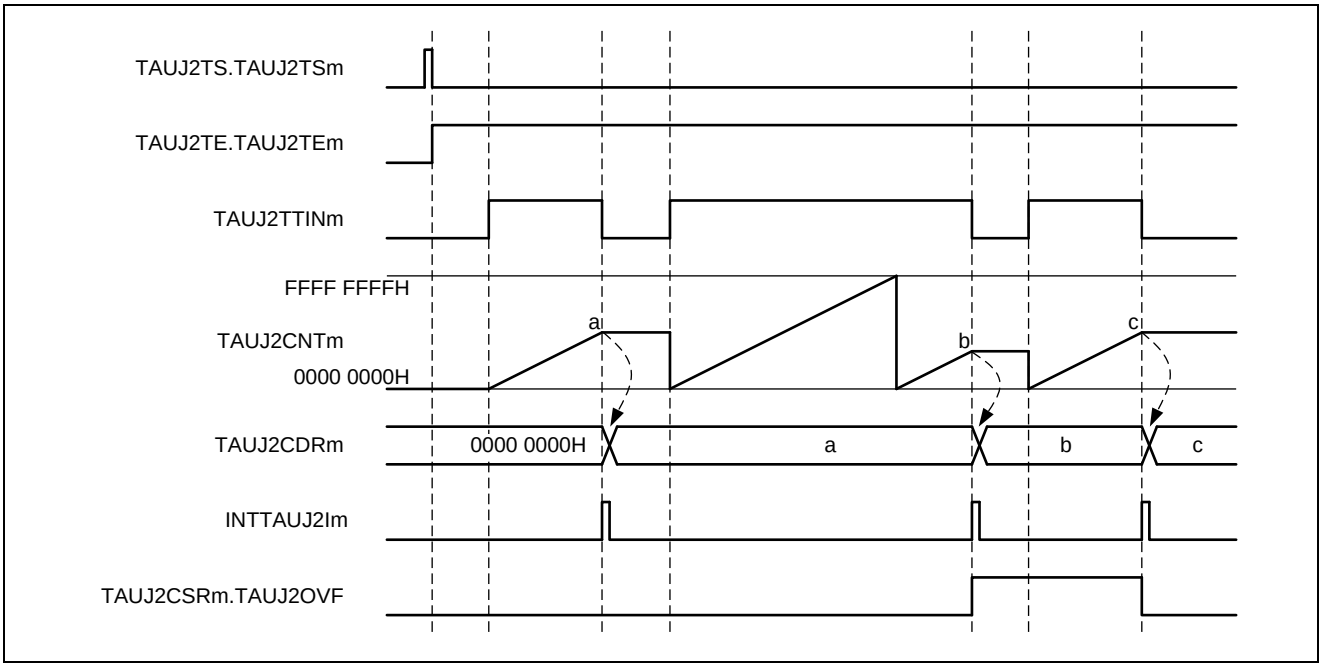


図15.27　TAUJ2CMORm.TAUJ2COS[1:0] = 00B, TAUJ2CMORm.TAUJ2MD0 = 0, TAUJ2CMURm.TAUJ2TIS[1:0] = 11B

- オーバフローが発生しても、TAUJ2CDRm の値は変更されず、TAUJ2CSRm.TAUJ2OVF の値は 0 のままです。
- オーバフロー後、TAUJ2TTINm 入力の有効エッジが検出されると、TAUJ2CNTm の値が TAUJ2CDRm にキャプチャされ、TAUJ2CSRm.TAUJ2OVF が 1 にセットされます。
- オーバフローが発生していない状態で TAUJ2TTINm 入力の有効エッジが検出されると、TAUJ2CSRm.TAUJ2OVF が 0 にセットされます。

(b) TAUJ2CMORm.TAUJ2COS[1:0] = 10B

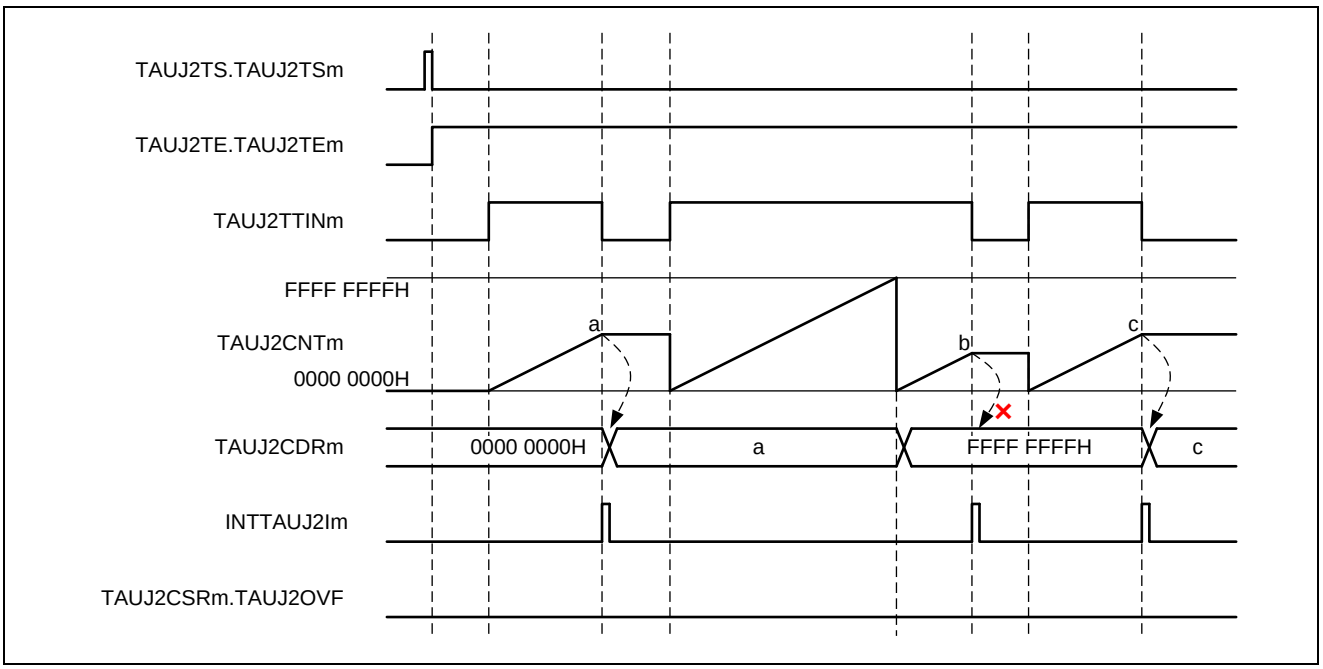


図15.28 TAUJ2CMORm.TAUJ2COS[1:0] = 10B, TAUJ2CMORm.TAUJ2MD0 = 0, TAUJ2CMURm.TAUJ2TIS[1:0] = 11B

- オーバフローが発生すると、TAUJ2CDRm は FFFF FFFFH に設定され、TAUJ2CSRm.TAUJ2OVF の値は 0 のままです。
- TAUJ2TTINm 入力の有効エッジを検出しても、TAUJ2CDRm と TAUJ2CSRm.TAUJ2OVF は変更されません。
- オーバフロー後に TAUJ2TTINm 入力の有効エッジを検出しても無視されます。

(8)　オーバフロー割り込みの出力方法

(a)　機能説明

TAUJ2TTINm 入力信号幅測定機能用チャネルとオーバフロー割り込み出力用のチャネルを組み合わせてオーバフロー割り込みを発生します（オーバフロー割り込みを発生するには 2 チャネルを必要とします）。

チャネル構成は、図15.29「オーバフロー割り込み出力のブロック図」を参照してください。

(b)　ブロック図

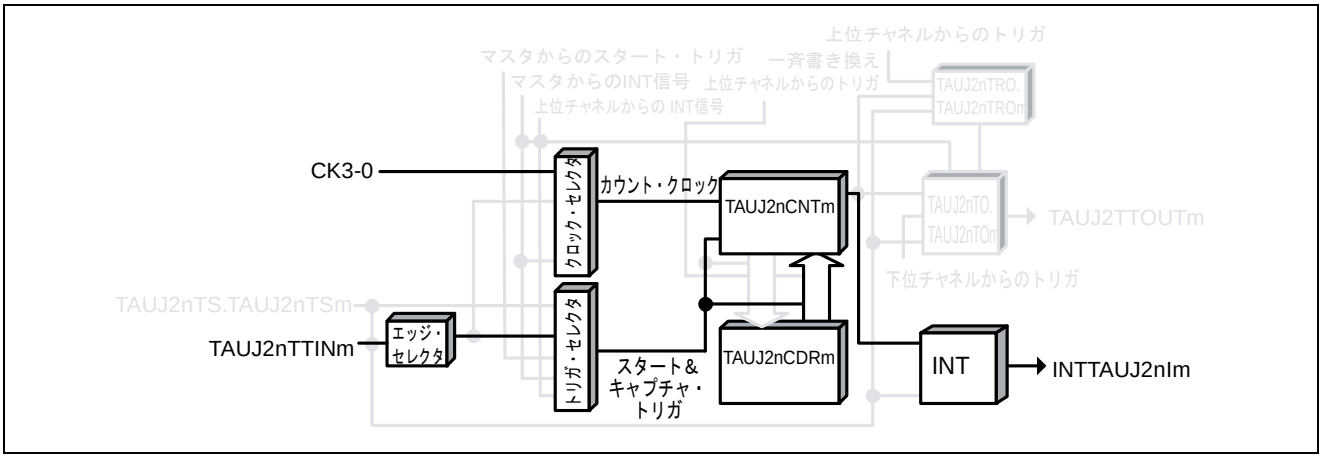


図15.29　オーバフロー割り込み出力のブロック図（TAUJ2TTINm 幅測定時）

(c)　基本タイミング図

基本タイミング図での設定は次のようになっています。

・　両エッジ検出 = ハイ幅測定

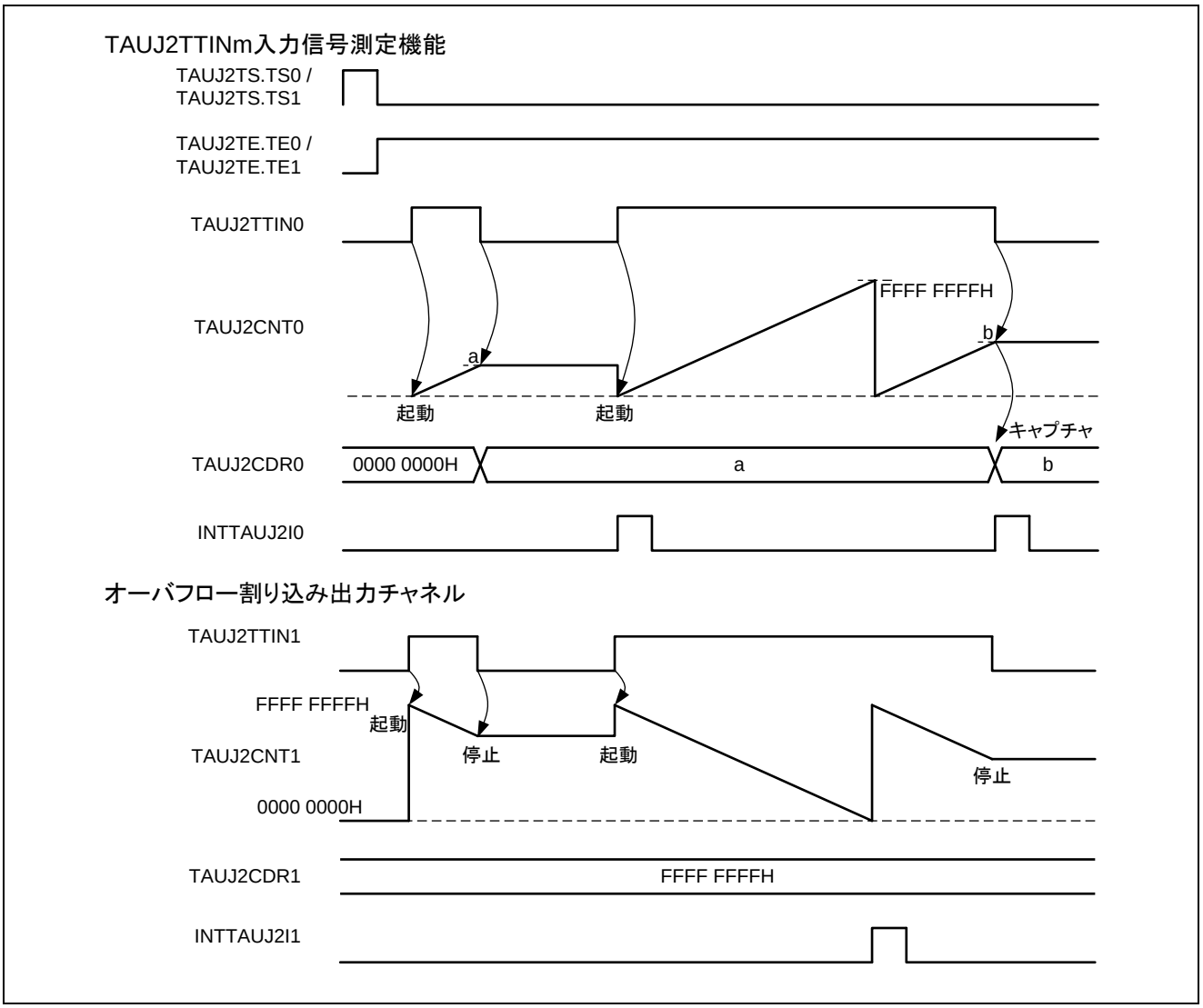


図15.30　オーバフロー割り込み出力時の基本タイミング図

(d)　TAUJ2TTINm 入力信号幅測定機能チャネルの各レジスタ設定

TAUJ2TTINm 入力信号幅測定動作時の設定をします。

(e)　オーバフロー割り込み出力チャネルのレジスタ設定

- TAUJ2CMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJ2CKS[1:0]		TAUJ2CCS[1:0]		TAUJ2MAS	TAUJ2STS[2:0]			TAUJ2COS[1:0]		0	TAUJ2MD[4:1]				TAUJ2MD0

表15.34　TAUJ2CMORm 設定

ビット名	設定
TAUJ2CKS[1:0]	プリスケーラ出力 CK0-CK3 を選択します。 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 動作クロックは、使用目的に合わせて設定してください。
TAUJ2CCS[1:0]	カウントクロックを選択します。 00：プリスケーラ出力（CK0-CK3）
TAUJ2MAS	0：単体動作
TAUJ2STS[2:0]	外部スタート・トリガを選択します。 010：TAUJ2TTINm 入力信号の有効エッジをスタート・トリガ、逆エッジをストップ・トリガとして使用
TAUJ2COS[1:0]	00: 未使用（初期値）
TAUJ2MD[4:1]	動作モードを選択します。 0100：ワンカウント・モード
TAUJ2MD0	カウント動作中のスタート・トリガ検出の許可/禁止を選択します。 0：スタート・トリガ検出禁止

- TAUJ2CMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0														TAUJ2TIS[1:0]	

表15.35　TAUJ2TTINm 入力信号幅測定機能の TAUJ2CMURm 設定

ビット名	設定
TAUJ2TIS[1:0]	TAUJ2TTINm 入力の有効エッジのロー／ハイ幅を選択します。 10: 両エッジ検出（ロー幅測定） 11: 両エッジ検出（ハイ幅測定） 有効エッジの選択は、使用目的に合わせて設定してください。

- 一斉書き換え

一斉書き換えレジスタ（TAUJ2RDE, TAUJ2RDM）は、TAUJ2TTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表15.36 TAUJ2TTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUJ2RDE.TAUJ2RDEm	0：チャネル m の一斉書き換えは行わないので“0”を設定
TAUJ2RDM.TAUJ2RDMm	0：未使用（初期値）

- チャネル出力における各レジスタ設定

表15.37 チャネル単体出力時の制御ビット設定

ビット名	設定
TAUJ2TOE.TAUJ2TOEm	0：チャネル m の出力動作を行わないので“0” を設定。
TAUJ2TOM.TAUJ2TOMm	0：未使用（初期値）
TAUJ2TOC.TAUJ2TOCm	0：未使用（初期値）
TAUJ2TOL.TAUJ2TOLm	0：未使用（初期値）

(9)　オーバフロー割り込み出力の操作手順

表15.38　操作手順

	操作	TAUJ2 の状態
チャネルの初期設定	・使用するチャネルのクロックを TAUJ2TPS レジスタで設定します。ただし、CK3 のクロックを設定するときは、TAUJ2BRS レジスタの設定も必要となります。（2 チャネルとも） ・TAUJ2CMORm レジスタ、TAUJ2CMURm レジスタ、チャネル出力における各レジスタを設定します。（2 チャネルとも） ・TAUJ2TTINm 入力信号幅測定機能の TAUJ2CDRm レジスタの値を 0000 0000H に設定し、オーバフロー割り込み出力用チャネルの TAUJ2CDRm レジスタの値を FFFF FFFFH に設定します。	チャネル動作を停止します。
動作開始	・TAUJ2TS.TAUJ2TSm を 2 チャネル同時に 1 に設定します。 ・TAUJ2TS.TAUJ2TSm はトリガ・ビットなので、自動的に 0 にクリアされます。 ・TAUJ2TTINm スタート・エッジ検出	TAUJ2TE.TAUJ2TEm が 1 に設定され，TAUJ2CNTm は TAUJ2TTINm スタート・エッジ検出を待ちます。 スタート・エッジが検出されると、TAUJ2CDRm の値（FFFF FFFFH）を TAUJ2CNTm に更新します。
動作中	特記事項なし	TAUJ2TTINm スタート・エッジを検出すると、TAUJ2CNTm は、FFFF FFFFH からダウン・カウントを開始します。TAUJ2TTINm のストップ・エッジを検出するとカウント動作を停止します。 カウンタが 0000 0000H になった場合に INTTAUJ2Im が発生します。 以降，この動作を繰り返します。
動作停止	TAUJ2TT.TAUJ2TTm を 1 に設定します。 TAUJ2TT.TAUJ2TTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm が 0 にクリアされ，カウンタ動作が停止します。 TAUJ2CNTm は停止し，TAUJ2CNTm は現在値を保持します。

動作再開 ▶

15.7.7　TAUJ2TTINm 入力位置検出機能

(1)　機能説明

カウント動作開始から TAUJ2TTINm 入力有効エッジまでの期間を測定する機能です。カウンタはフリーランニングで動作し、TAUJ2TTINm 入力の有効エッジを検出するとカウント値を TAUJ2CDRm にキャプチャします。 有効トリガとして使用するエッジの種類は、立ち上がりエッジ、立ち下がりエッジまたは両（立ち上がり、立ち下がり）エッジを選択できます。この機能では TAUJ2TTOUTm は使用しません。

備考 TAUJ2CMORm.TAUJ2MD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。

注意 本機能では、オーバフローは検知できません。オーバフローを検知する必要がある場合には、インターバル・タイマ・モードと組み合わせて使用してください。2 チャネル分用意できない場合には、TAUJ2TTINm 入力信号幅測定機能を使用し、キャプチャ結果の累積値を求めることで同じ機能を実現できます。

(2)　ブロック図

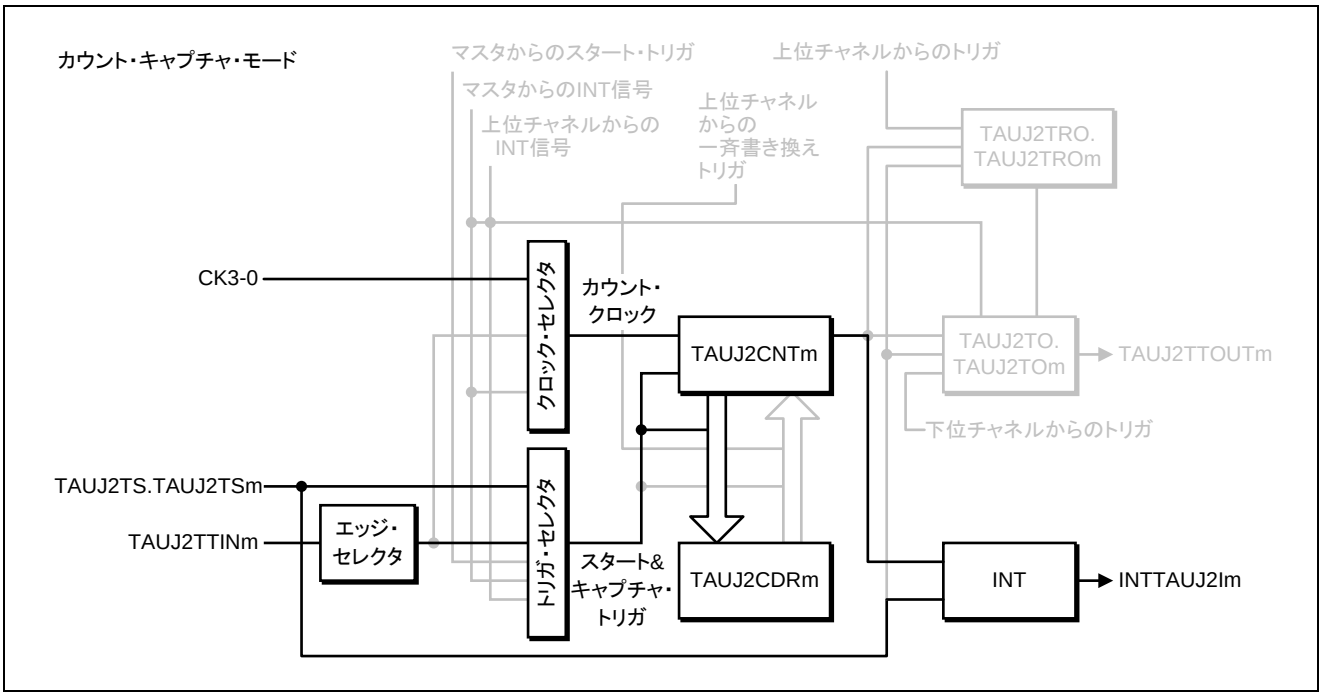


図15.31　TAUJ2TTINm 入力位置検出機能のブロック図

(3)　基本タイミング図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJ2Im が発生しない（TAUJ2CMORm.TAUJ2MD0 = 0）
- 立ち下がりエッジ検出（TAUJ2CMURm.TAUJ2TIS[1:0] = 00B）

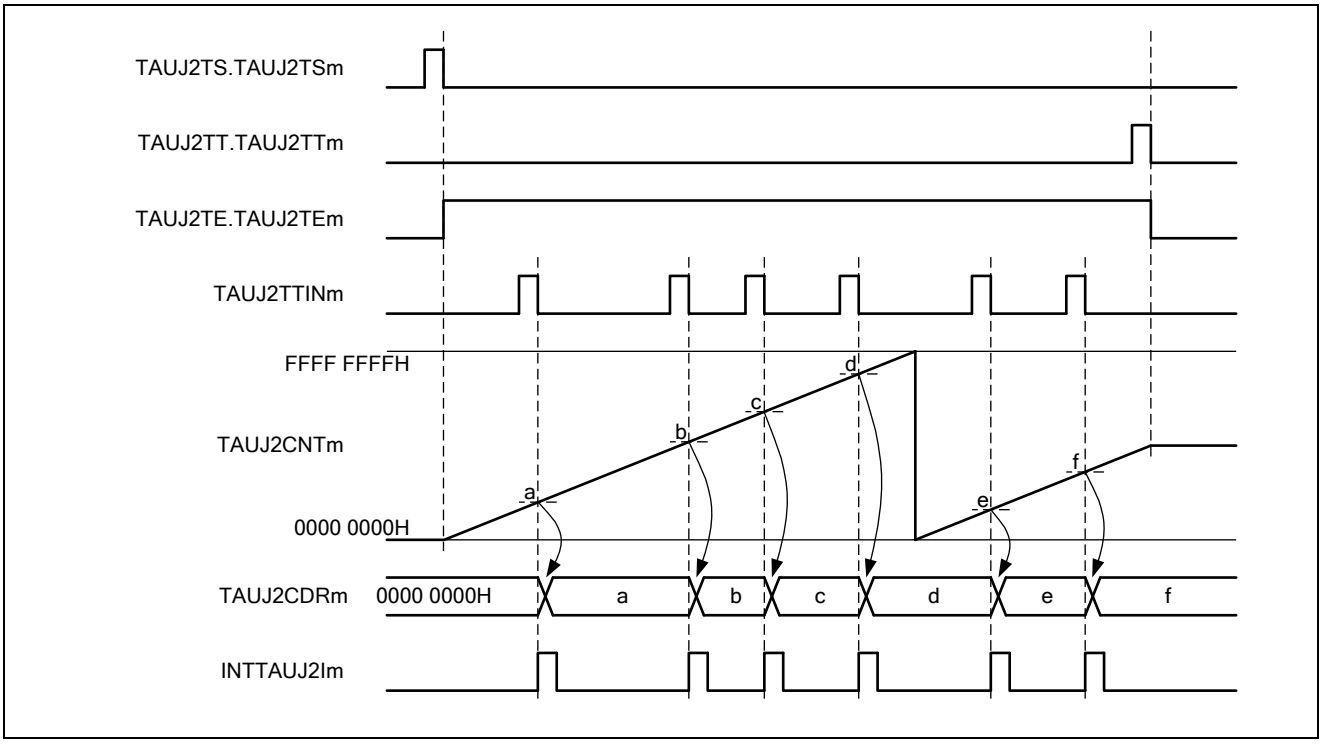


図15.32　TAUJ2TTINm 入力位置検出機能の基本タイミング図

(4)　算出式

TAUJ2TTINm 入力パルスでの機能時間 =
カウント・クロック周期×［TAUJ2CSRm.TAUJ2OVF×（FFFF FFFFH＋1）
＋（TAUJ2CDRm キャプチャ値＋1）］

(5)　レジスタ設定

(a)　TAUJ2CMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJ2CKS[1:0]		TAUJ2CCS[1:0]		TAUJ2MAS	TAUJ2STS[2:0]			TAUJ2COS[1:0]		0	TAUJ2MD[4:1]				TAUJ2MD0

表15.39　TAUJ2TTINm 入力位置検出機能の TAUJ2CMORm 設定

ビット名	設定
TAUJ2CKS[1:0]	プリスケーラ出力 CK0-CK3 を選択します 00：動作クロック　= CK0 01：動作クロック　= CK1 10：動作クロック　= CK2 11：動作クロック　= CK3 動作クロックは、使用目的に合わせて設定してください。
TAUJ2CCS[1:0]	カウントクロックを選択します。 00：プリスケーラ出力（CK0-CK3）
TAUJ2MAS	0：単体動作
TAUJ2STS[2:0]	外部スタート・トリガを選択します。 001：有効な TAUJ2TTINm 入力エッジ信号を外部キャプチャ・トリガとして使用
TAUJ2COS[1:0]	01：固定値設定
TAUJ2MD[4:1]	動作モードを選択します。 1011：カウント・キャプチャ・モード
TAUJ2MD0	カウント開始時の INTTAUJ2Im 割り込み発生の許可／禁止を選択します。 0：INTTAUJ2Im 発生禁止 1：INTTAUJ2Im 発生許可

(b)　TAUJ2CMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0														TAUJ2TIS[1:0]	

表15.40　TAUJ2TTINm 入力位置検出機能の TAUJ2CMURm 設定

ビット名	設定
TAUJ2TIS[1:0]	TAUJ2TTINm 入力の有効エッジを選択します。 00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出（ロー・レベル幅測定） 11：両エッジ検出（ハイ・レベル幅測定） 有効エッジの選択は、使用目的に合わせて設定してください。

(c)　一斉書き換え

一斉書き換えレジスタ（TAUJ2RDE, TAUJ2RDM）は、TAUJ2TTINm 入力インターバル・タイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表15.41　ディレイ・カウント機能の一斉書き換え設定

ビット名	設定
TAUJ2RDE.TAUJ2RDEm	0：チャネルの一斉書き換えは行わないので“0”を設定
TAUJ2RDM.TAUJ2RDMm	0：未使用（初期値）

(d)　チャネル出力における各レジスタ設定

表15.42　チャネル単体出力時の制御ビット設定

ビット名	設定
TAUJ2TOE.TAUJ2TOEm	0：チャネル m の出力動作を行わないので“0” を設定。
TAUJ2TOM.TAUJ2TOMm	0：未使用（初期値）
TAUJ2TOC.TAUJ2TOCm	0：未使用（初期値）
TAUJ2TOL.TAUJ2TOLm	0：未使用（初期値）

(6)　TAUJ2TTINm 入力位置検出機能の操作手順

表15.43　操作手順

	操作	TAUJ2 の状態
チャネルの初期設定	・使用するチャネルのクロックを TAUJ2TPS レジスタで設定します。ただし、CK3 のクロックを設定するときは TAUJ2BRS レジスタの設定も必要となります。 ・TAUJ2CMORm レジスタ、TAUJ2CMURm レジスタ、チャネル出力における各レジスタを設定します。 ・TAUJ2CDRm レジスタはキャプチャ・レジスタとして動作します。	チャネル動作を停止します。
動作開始	TAUJ2TS.TAUJ2TSm を 1 に設定します。 TAUJ2TS.TAUJ2TSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm が 1 に設定され、カウントが開始されます。 TAUJ2CMORm.TAUJ2MD0 が 1 の場合は、INTTAUJ2Im が発生します。
動作中	任意のタイミングで変更可能なレジスタ ・TAUJ2CMURm.TAUJ2TIS[1:0] ビット 任意のタイミングで読み出し可能なレジスタ ・TAUJ2CDRm レジスタ ・TAUJ2CNTm レジスタ ・TAUJ2CSRm レジスタ TAUJ2CSRm.TAUJ2OVF ビットをクリアするときは TAUJ2CSCm.TAUJ2CLOV ビットに 1 を書き込んでください。	TAUJ2CNTm は、0000 0000H からアップ・カウントを開始します。TAUJ2TTINm の有効エッジを検出すると TAUJ2CNTm の値を TAUJ2CDRm に転送（キャプチャ）し、INTTAUJ2Im を出力します。 カウンタ値は 0000 0000H にクリアされず、カウント動作を継続します。 以降、この動作を繰り返します。
動作停止	TAUJ2TT.TAUJ2TTm を 1 に設定します。 TAUJ2TT.TAUJ2TTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJ2CNTm は停止し，TAUJ2CNTm と TAUJ2CSRm.TAUJ2OVF は現在値を保持します。

動作再開

(7)　特定の設定時のタイミング図

(a)　動作の停止と再開

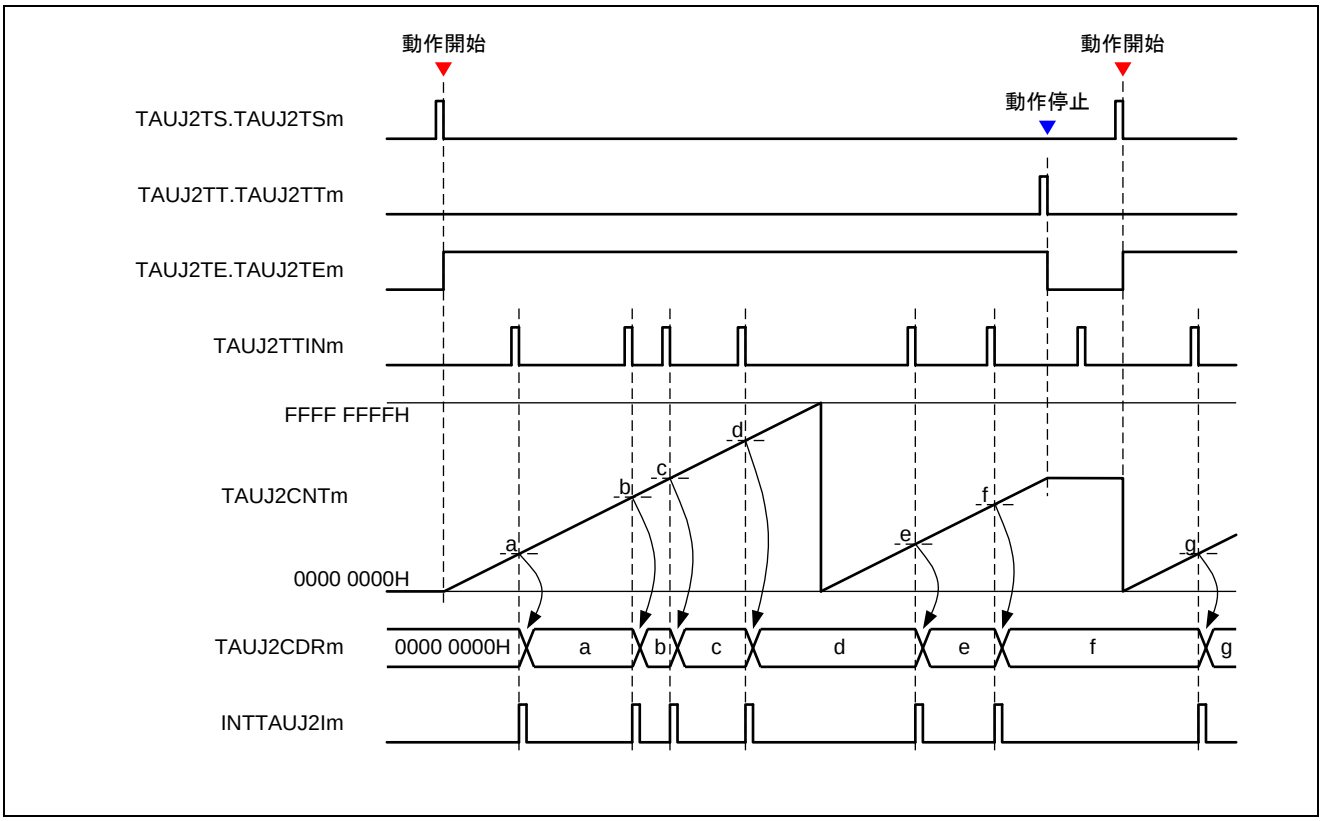


図15.33　動作の停止と再開（TAUJ2CMORm.TAUJ2MD0 = 0, TAUJ2CMURm.TAUJ2TIS[1:0] = 00B）

- TAUJ2TT.TAUJ2TTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJ2TE.TAUJ2TEm は 0 に設定されます。
- TAUJ2CNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJ2TTINm の有効な入力エッジは無視されます。
- TAUJ2TS.TAUJ2TSm を 1 に設定すると、カウントを開始できます。TAUJ2CNTm は 0000 0000H からカウントを開始します。

(8)　オーバフロー割り込みの出力方法

(a)　機能説明

TAUJ2TTINm 入力信号幅測定機能用チャネルとオーバフロー割り込み出力用のチャネルを組み合わせてオーバフロー割り込みを発生します（オーバフロー割り込みを発生するには 2 チャネルを必要とします）。

(b)　ブロック図

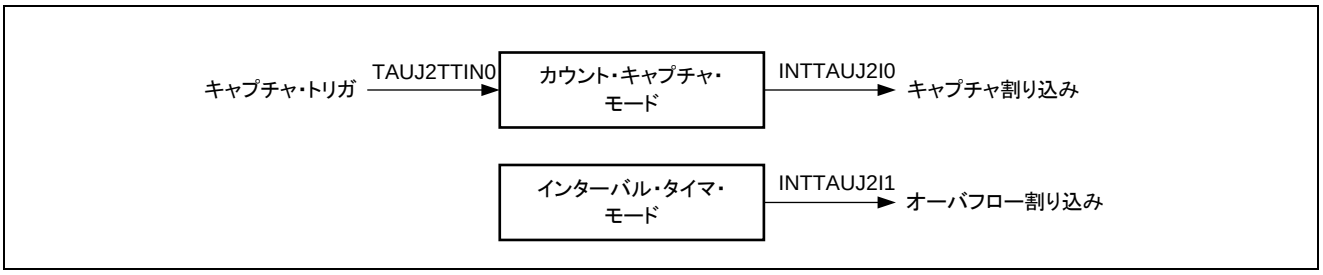


図15.34　オーバフロー割り込み出力のブロック図（TAUJ2TTINm 入力位置検出時）

(c)　基本タイミング図

基本タイミング図での設定は次のようになっています。

・　立下りエッジ検出

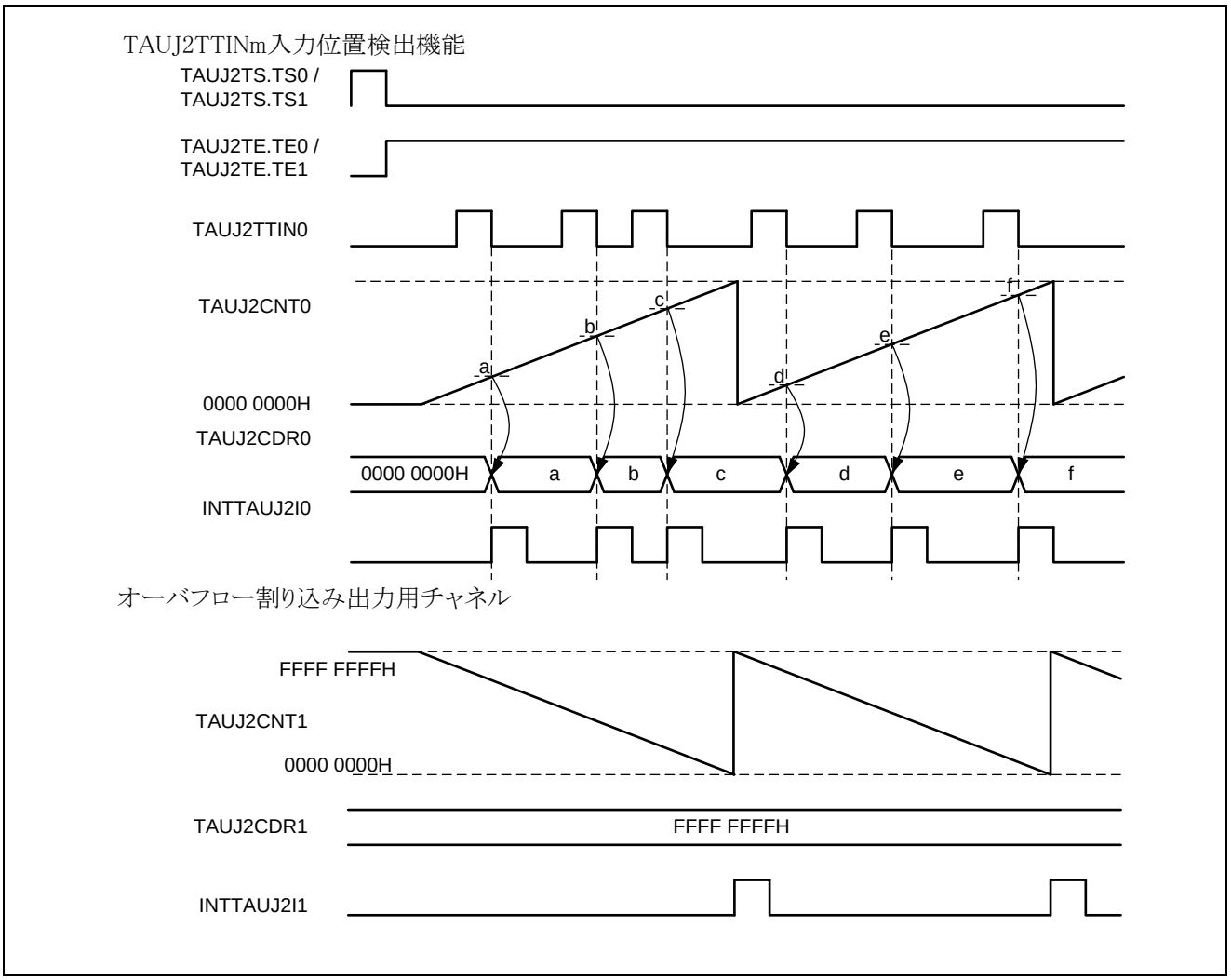


図15.35　オーバフロー割り込み出力時の基本タイミング図（TAUJ2TTINm 入力位置検出機能使用時）

(d)　TAUJ2TTINm 入力位置検出機能チャネルの各レジスタ設定

TAUJ2TTINm 入力位置検出機能時の設定をします。

(e)　オーバフロー割り込み出力チャネルのレジスタ設定

- TAUJ2CMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJ2CKS[1:0]		TAUJ2CCS[1:0]		TAUJ2MAS	TAUJ2STS[2:0]			TAUJ2COS[1:0]		0	TAUJ2MD[4:1]				TAUJ2MD0

表15.44　TAUJ2CMORm 設定

ビット名	設定
TAUJ2CKS[1:0]	プリスケーラ出力 CK0-CK3 を選択します。 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 動作クロックは、使用目的に合わせて設定してください。
TAUJ2CCS[1:0]	カウントクロックを選択します。 00：プリスケーラ出力（CK0-CK3）
TAUJ2MAS	0：単体動作
TAUJ2STS[2:0]	外部スタート・トリガを選択します。 000：ソフトウエア・トリガ
TAUJ2COS[1:0]	00：未使用（初期値）
TAUJ2MD[4:1]	動作モードを選択します。 0000：インターバル・タイマ・モード
TAUJ2MD0	カウント開始時の INTTAUJ2Im 割り込み発生の許可／禁止を選択します。 0：INTTAUJ2Im 発生禁止

- TAUJ2CMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0														TAUJ2TIS[1:0]	

表15.45　TAUJ2CMURm 設定

ビット名	設定
TAUJ2TIS[1:0]	00：未使用（初期値）

(f)　一斉書き換え

一斉書き換えレジスタ（TAUJ2RDE, TAUJ2RDM）は、TAUJ2TTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表15.46　TAUJ2TTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUJ2RDE.TAUJ2RDEm	0：チャネル m の一斉書き換えは行わないので“0”を設定
TAUJ2RDM.TAUJ2RDMm	0：未使用（初期値）

(g)　チャネル出力における各レジスタ設定

表15.47　チャネル単体出力時の制御ビット設定

ビット名	設定
TAUJ2TOE.TAUJ2TOEm	0：チャネル m の出力動作を行わないので“0” を設定。
TAUJ2TOM.TAUJ2TOMm	0：未使用（初期値）
TAUJ2TOC.TAUJ2TOCm	0：未使用（初期値）
TAUJ2TOL.TAUJ2TOLm	0：未使用（初期値）

(9)　オーバフロー割り込み出力の操作手順

表15.48　操作手順

	操作	TAUJ2 の状態
チャネルの初期設定	・使用するチャネルのクロックを TAUJ2TPS レジスタで設定します。ただし、CK3 のクロックを設定するときは、TAUJ2BRS レジスタの設定も必要となります。（2 チャネルとも） ・TAUJ2CMORm レジスタ、TAUJ2CMURm レジスタ、チャネル出力における各レジスタを設定します。（2 チャネルとも） ・TAUJ2TTINm 入力位置検出機能の TAUJ2CDRm レジスタの値を 0000 0000H に設定し、オーバフロー割り込み出力用チャネルの TAUJ2CDRm レジスタの値を FFFF FFFFH に設定します。	チャネル動作を停止します。
動作開始	・TAUJ2TS.TAUJ2TSm を 2 チャネル同時に 1 に設定します。 ・TAUJ2TS.TAUJ2TSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm が 1 に設定され，カウントが開始されます。TAUJ2CDRm の値（FFFF FFFFH）を TAUJ2CNTm に更新します。
動作中	特記事項なし	TAUJ2CNTm が、ダウン・カウントを行い、カウンタ値が 0000 0000H に達したとき、TAUJ2CDRm の値を TAUJ2CNTm に更新し、INTTAUJ2Im が発生します。カウンタは再びカウント動作を継続します。
動作停止	TAUJ2TT.TAUJ2TTm を 1 に設定します。 TAUJ2TT.TAUJ2TTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm が 0 にクリアされ，カウンタ動作が停止します。 TAUJ2CNTm が停止し，現在値を保持します。

動作再開 ▶

15.8 チャネル連動動作機能

15.8.1 PWM 出力機能

(1) 機能説明

マスタ・チャネルと複数のスレーブ・チャネルを使用することで、複数の PWM 出力を生成する機能です。パルス周期はマスタ・チャネルで設定し、デューティはスレーブ・チャネルで設定します。この機能を実現する場合、最低 2 チャネル必要になります。

注意 この機能では，強制リスタートは行えません。

(2)　ブロック図

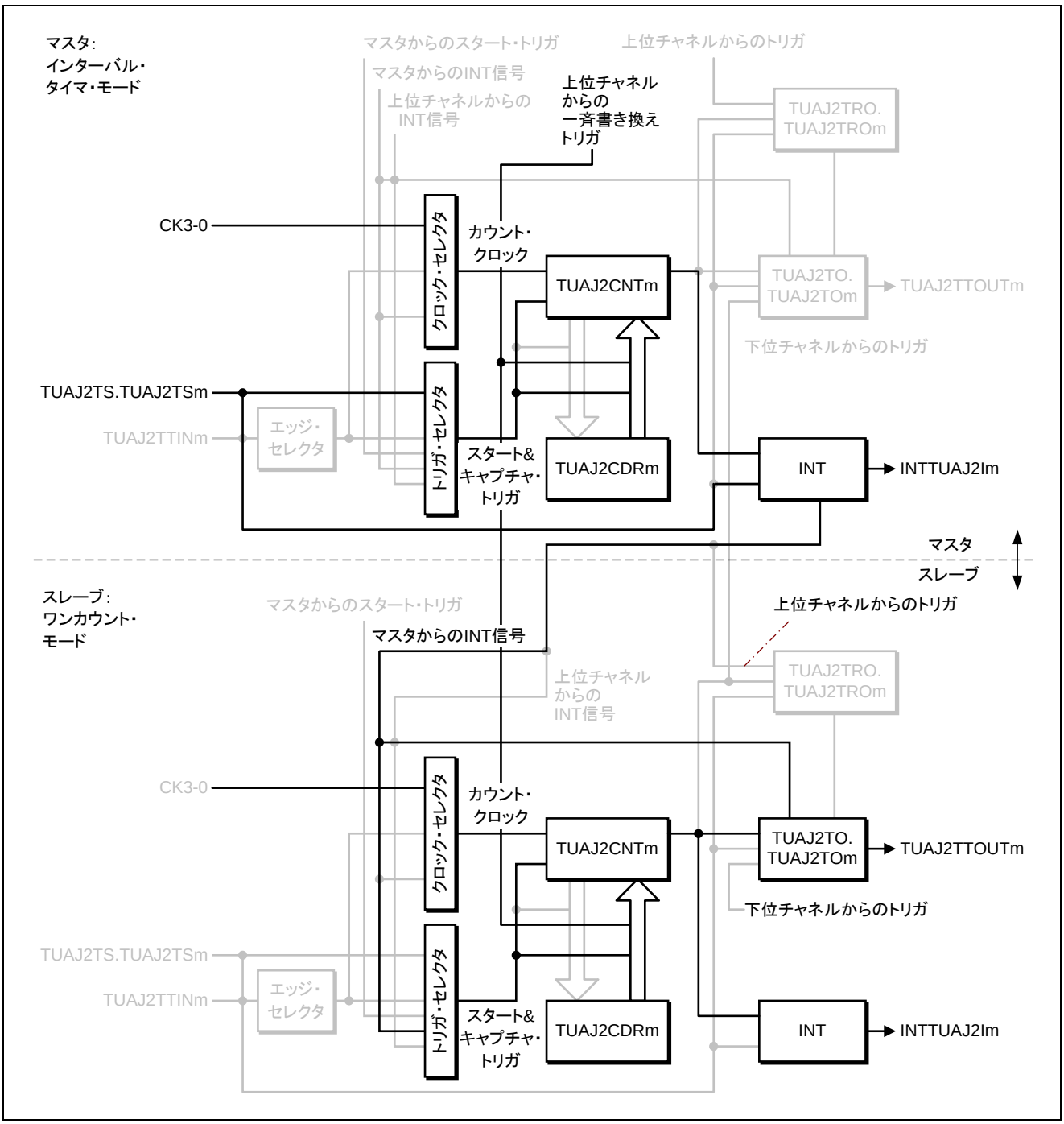


図15.36　PWM 出力機能のブロック図

(3)　基本タイミング図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャネル: 正論理（TAUJ2TOL.TAUJ2TOLm = 0）

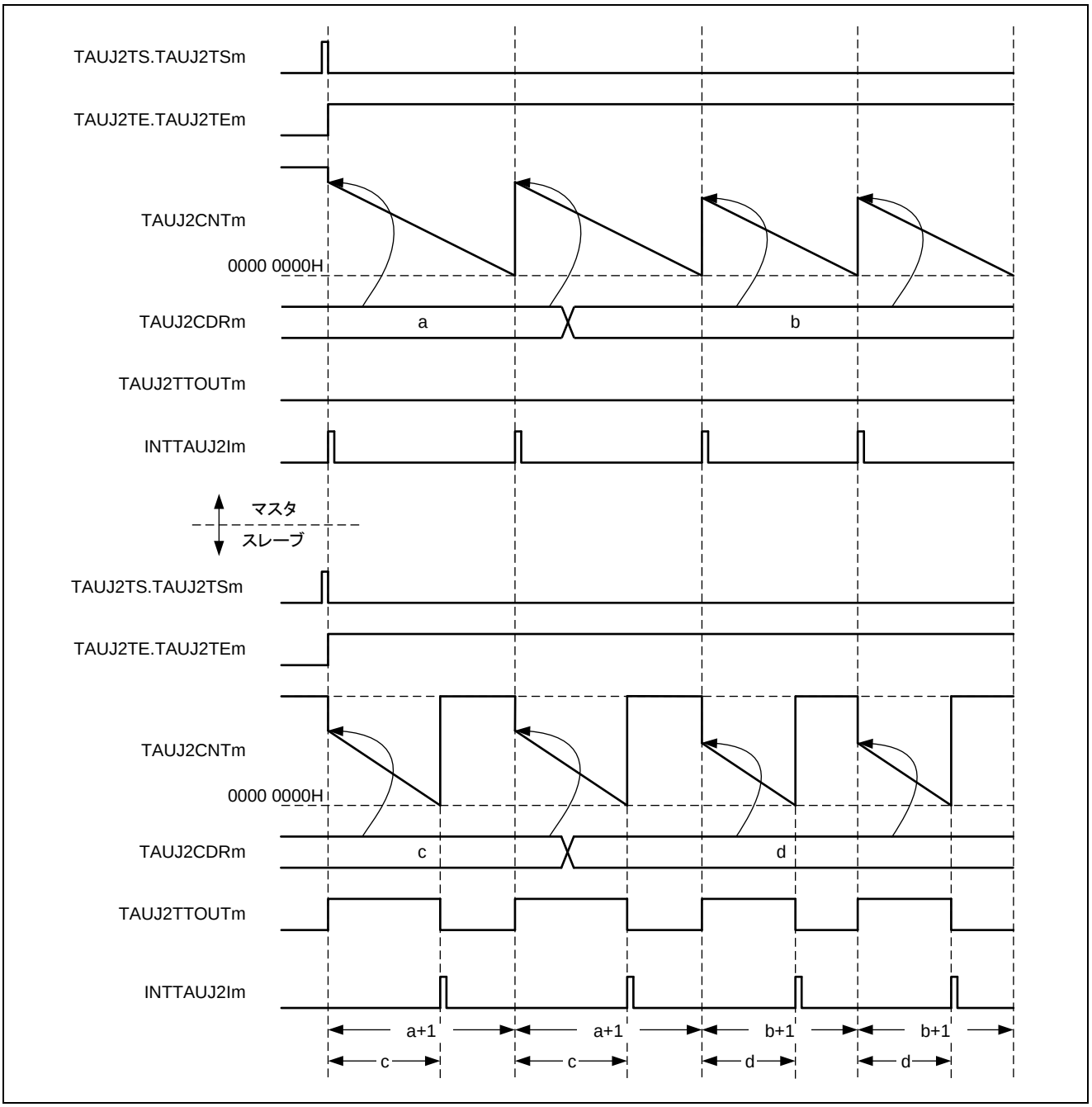


図15.37　PWM 出力機能の基本タイミング図

備考 スレーブ･チャネルでのカウント開始から割り込み発生までの間隔は対応する TAUJ2CDRm の値になりますが、マスタ・チャネルでの間隔は対応する TAUJ2CDRm + 1 の値になります。

(4) 算出式

パルス周期 =（TAUJ2CDRm（マスタ）＋1）×カウント・クロック周期

デューティ・サイクル [%] =（TAUJ2CDRm（スレーブ）／（TAUJ2CDRm（マスタ）+ 1））×100

- デューティ・サイクル = 0 %
  TAUJ2CDRm（スレーブ）= 0000 0000H
- デューティ・サイクル = 100 %
  TAUJ2CDRm（スレーブ）≧ TAUJ2CDRm（マスタ）＋1

(5) マスタ・チャネルのレジスタ設定

(a) マスタ・チャネルの TAUJ2CMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJ2CKS[1:0]		TAUJ2CCS[1:0]		TAUJ2MAS	TAUJ2STS[2:0]			TAUJ2COS[1:0]		0	TAUJ2MD[4:1]				TAUJ2MD0

表15.49　PWM 出力機能時のマスタ・チャネルの TAUJ2CMORm 設定

ビット名	設定
TAUJ2CKS[1:0]	プリスケーラ出力 CK0-CK3 を選択します。 00：動作クロック = CK0 01：動作クロック = CK1 10：動作クロック = CK2 11：動作クロック = CK3 マスタ・チャネルとスレーブ・チャネルの TAUJ2CKS[1:0]ビット値は同一である必要があります。
TAUJ2CCS[1:0]	カウントクロックを選択します。 00：プリスケーラ出力（CK0-CK3）
TAUJ2MAS	マスタ/スレーブ・チャネルを選択します。 1：チャネルはマスタ・チャネル
TAUJ2STS[2:0]	外部スタート・トリガを選択します。 000：ソフトウェア・トリガ
TAUJ2COS[1:0]	00：未使用（初期値）
TAUJ2MD[4:1]	動作モードを選択します。 0000：インターバル・タイマ・モード
TAUJ2MD0	カウント開始時の INTTAUJ2Im 割り込みの発生の許可／禁止を選択します。 1：INTTAUJ2Im が発生許可

(b)　マスタ・チャネルの TAUJ2CMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0														TAUJ2TIS[1:0]	

表15.50　PWM 出力機能時のマスタ・チャネルの TAUJ2CMURm 設定

ビット名	設定
TAUJ2TIS[1:0]	00：未使用（初期値）

(c)　マスタ・チャネルの一斉書き換え

一斉書き換えレジスタ（TAUJ2RDE, TAUJ2RDM）は、PWM 出力機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表15.51　一斉書き換え設定

ビット名	設定
TAUJ2RDE.TAUJ2RDEm	チャネルの一斉書き換えの許可／禁止を設定します。 1：一斉書き換え許可
TAUJ2RDM.TAUJ2RDMm	一斉書き換えトリガを発生させるタイミングを設定します。 0：マスタ・チャネルがカウントを開始したとき

(d)　マスタ・チャネル出力における各レジスタ設定

表15.52　チャネル単体出力時の制御ビット設定

ビット名	設定
TAUJ2TOE.TAUJ2TOEm	0：チャネル m の出力動作を行わないので“0” を設定。
TAUJ2TOM.TAUJ2TOMm	0：未使用（初期値）
TAUJ2TOC.TAUJ2TOCm	0：未使用（初期値）
TAUJ2TOL.TAUJ2TOLm	0：未使用（初期値）

(6)　スレーブ・チャネルのレジスタ設定

(a)　スレーブ・チャネルの TAUJ2CMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJ2CKS[1:0]		TAUJ2CCS[1:0]		TAUJ2MAS	TAUJ2STS[2:0]			TAUJ2COS[1:0]		0	TAUJ2MD[4:1]				TAUJ2MD0

表15.53　PWM 出力機能時のスレーブ・チャネルの TAUJ2CMORm 設定

ビット名	設定
TAUJ2CKS[1:0]	プリスケーラ出力 CK0-CK3 を選択します 00：動作クロック = CK0 01：動作クロック = CK1 10：動作クロック = CK2 11：動作クロック = CK3 動作クロックは、マスタ・チャネルと同一設定にしてください。
TAUJ2CCS[1:0]	カウントクロックを選択します。 00：プリスケーラ出力（CK0-CK3）
TAUJ2MAS	マスタ／スレーブチャネルを選択します 0：スレーブ・チャネル
TAUJ2STS[2:0]	外部スタート・トリガを選択します。 100：マスタ・チャネルの INTTAUJ2Im 発生トリガ
TAUJ2COS[1:0]	00：未使用（初期値）
TAUJ2MD[4:1]	動作モードを選択します。 0100：ワンカウント・モード
TAUJ2MD0	カウント動作中のスタート・トリガ検出の許可／禁止を選択します。 1：スタート・トリガ検出許可

(b)　スレーブ・チャネルの TAUJ2CMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0														TAUJ2TIS[1:0]	

表15.54　PWM 出力機能時のスレーブ・チャネルの TAUJ2CMURm 設定

ビット名	設定
TAUJ2TIS[1:0]	00：未使用（初期値）

(c)　スレーブ・チャネルの一斉書き換え

表15.55　一斉書き換え設定

ビット名	設定
TAUJ2RDE.TAUJ2RDEm	チャネルの一斉書き換えの許可／禁止を設定します。 1：一斉書き換え許可
TAUJ2RDM.TAUJ2RDMm	一斉書き換えトリガを発生させるタイミングを設定します。 0：マスタ・チャネルがカウントを開始したとき

(d)　スレーブ・チャネルのチャネル出力における各レジスタ設定

表15.56　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUJ2TOE.TAUJ2TOEm	カウント動作による TAUJ2TOm 出力動作の許可／禁止を設定します。 1：動作許可
TAUJ2TOM.TAUJ2TOMm	チャネルの単体および連動動作を設定します。 1：チャネル連動動作
TAUJ2TOC.TAUJ2TOCm	チャネルの TAUJ2TOm 出力の動作モードを設定します。 このビットの設定は，TAUJ2TOM.TAUJ2TOMm の設定により次のような動作になります。 TAUJ2TOM.TAUJ2TOMm=1 のため 0：連動動作モード 1
TAUJ2TOL.TAUJ2TOLm	チャネルの TAUJ2TOm 出力レベルを設定します。 0：正論理出力 1：反転論理出力

(7)　PWM 出力機能の操作手順

表15.57　PWM 出力機能時の操作手順

	操作	TAUJ2 の状態
チャネルの初期設定	・使用するチャネルのクロックを TAUJ2TPS レジスタで設定します。ただし、CK3 のクロックを設定するときは, TAUJ2BRS レジスタの設定も必要となります。 ・マスタ・チャネル：TAUJ2CMORm レジスタ、TAUJ2CMURm レジスタ、チャネル出力における各レジスタを設定します。 ・スレーブ・チャネル：TAUJ2CMORm レジスタ，TAUJ2CMURm レジスタ，チャネル出力における各レジスタを設定します。 ・マスタ・チャネルの TAUJ2CDRm レジスタにキャリア周期を設定し，スレーブ・チャネルの TAUJ2CDRm レジスタにデューティーを設定します。	チャネル動作を停止します。
動作開始	マスタ・チャネルとスレーブ・チャネルの TAUJ2TS.TAUJ2TSm を同時に 1 に設定します。 TAUJ2TS.TAUJ2TSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm（マスタ／スレーブ・チャネル）が 1 に設定され、マスタ／スレーブ・チャネルのカウンタが動作を開始します。 マスタ・チャネルで INTTAUJ2Im が発生します。
動作中	任意のタイミングで変更可能なレジスタ ・TAUJ2CDRm レジスタ ・TAUJ2TOL.TAUJ2TOLm ビット ・TAUJ2RDT.TAUJ2RDTm ビット （一斉書き換え使用時） 任意のタイミングで読み出し可能なレジスタ ・TAUJ2CNTm レジスタ	マスタ・チャネルは、周期（TAUJ2CNTm レジスタ=00000000H）を制御します。 スレーブ・チャネルは、デューティを制御し、PWM 波形を TAUJ2TTOUTm より出力します。
動作停止	マスタ・チャネルとスレーブ・チャネルの TAUJ2TT.TAUJ2TTm を同時に 1 に設定します。 TAUJ2TT.TAUJ2TTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUJ2TE.TAUJ2TEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJ2CNTm と TAUJ2TTOUTm は停止し、現在値を保持します。

動作再開

(8)　特定の設定時のタイミング図

(a)　デューティ・サイクル = 0%

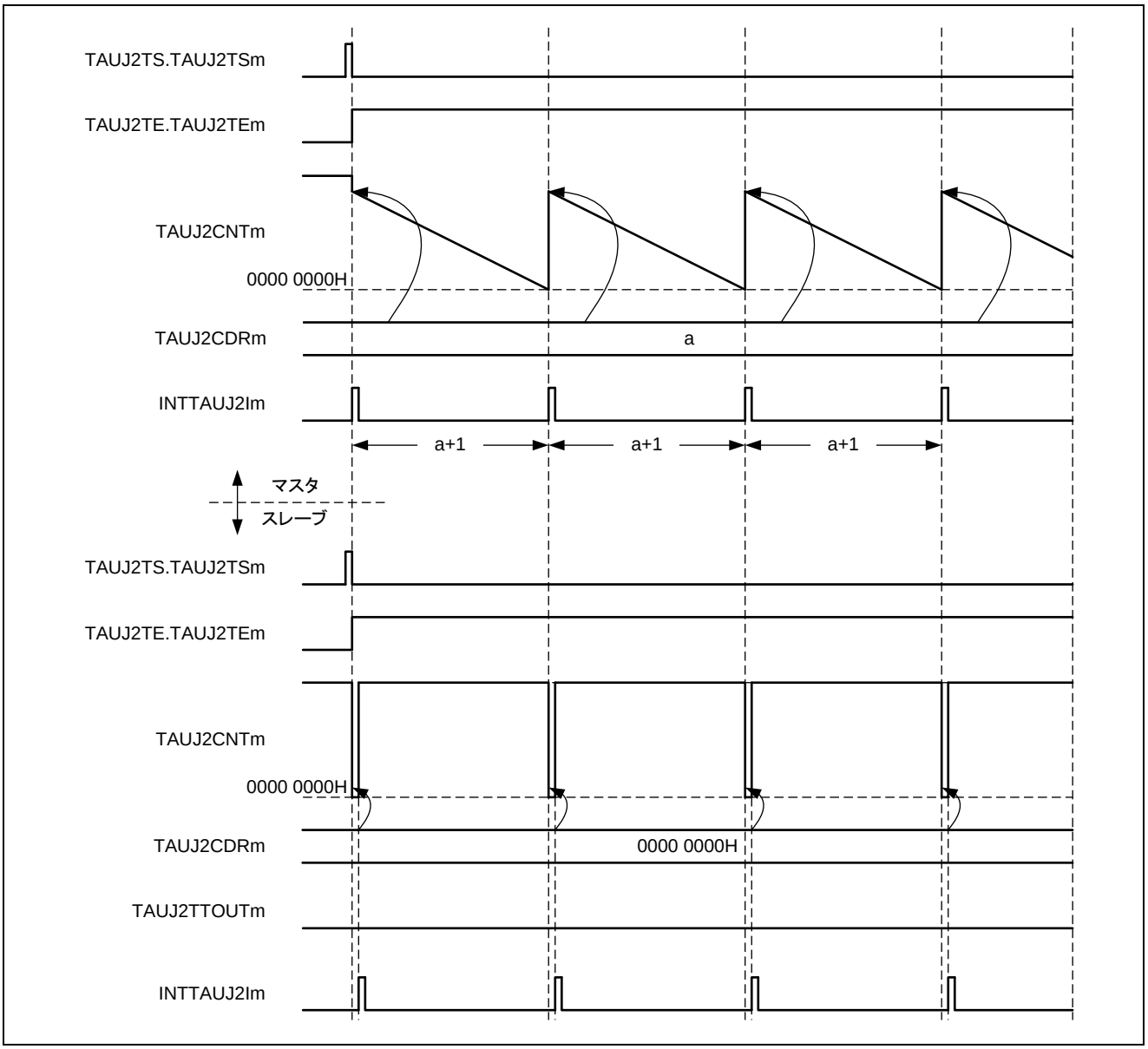


図15.38　TAUJ2CDRm（スレーブ）= 0000 0000H, 正論理（TAUJ2TOL.TAUJ2TOLm（スレーブ）= 0）

- マスタ・チャネルで割り込み（INTTAUJ2Im）が a+1 周期ごとに発生し、TAUJ2CNTm（スレーブ）に 0000 0000H に更新され割り込み発生しカウントを停止します。TAUJ2TTOUTm は“ロー”状態のままとなります。
- TAUJ2CDRm 値を TAUJ2CNTm（スレーブ）に 0000 0000H に更新され、割り込みを発生させます。

(b)　デューティ・サイクル = 100%

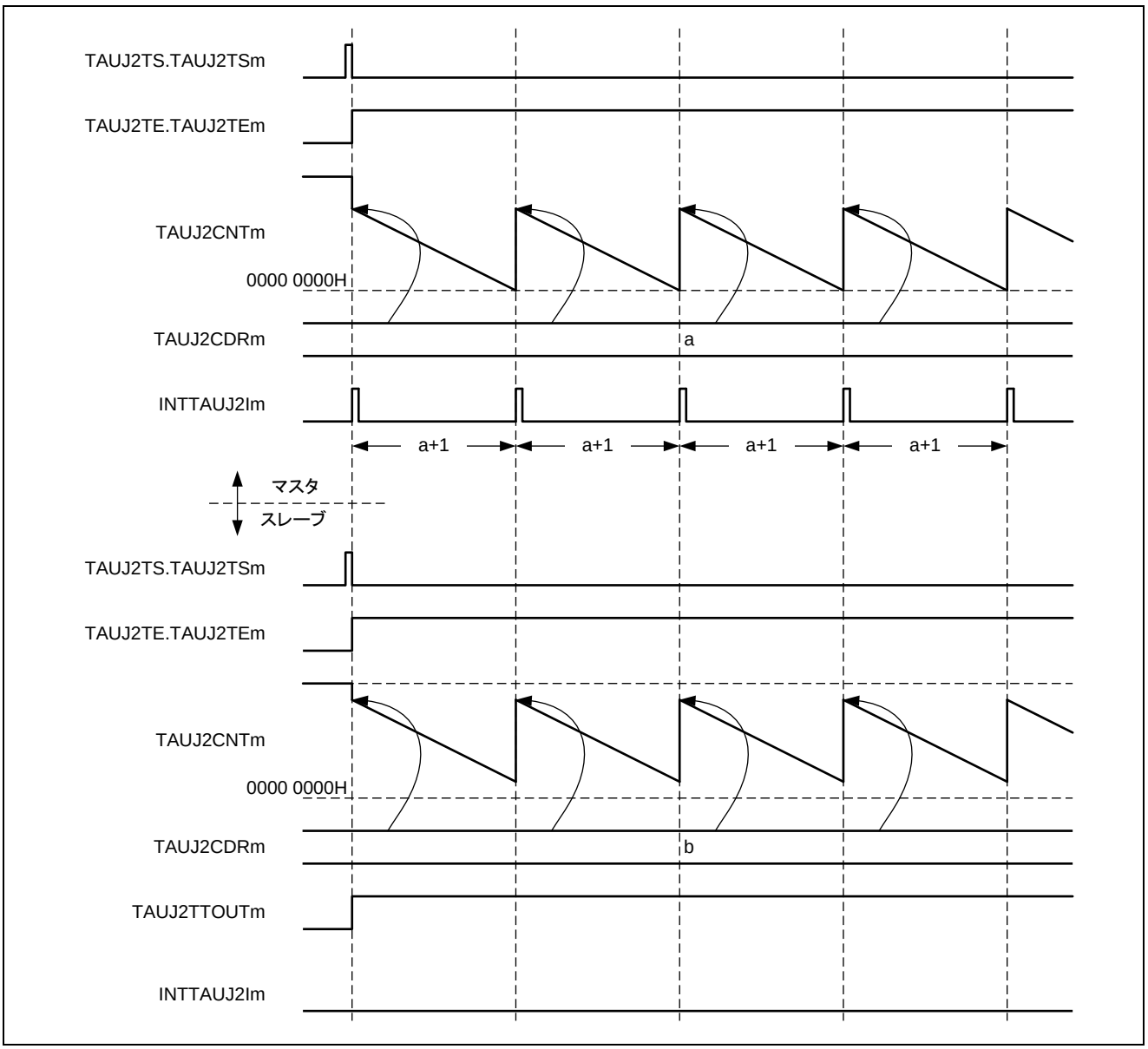


図15.39　TAUJ2CDRm（スレーブ）≧ TAUJ2CDRm（マスタ）+ 1,
正論理（TAUJ2TOL.TAUJ2TOLm（スレーブ）= 0）

- TAUJ2CDRm（スレーブ）値が TAUJ2CDRm（マスタ）値よりも大きい場合、スレーブ・チャネルのカウンタは 0000 0000H にならずリセット条件が発生しないため、TAUJ2TTOUTm は“ハイ”状態のままになります

(c)　動作の停止と再開

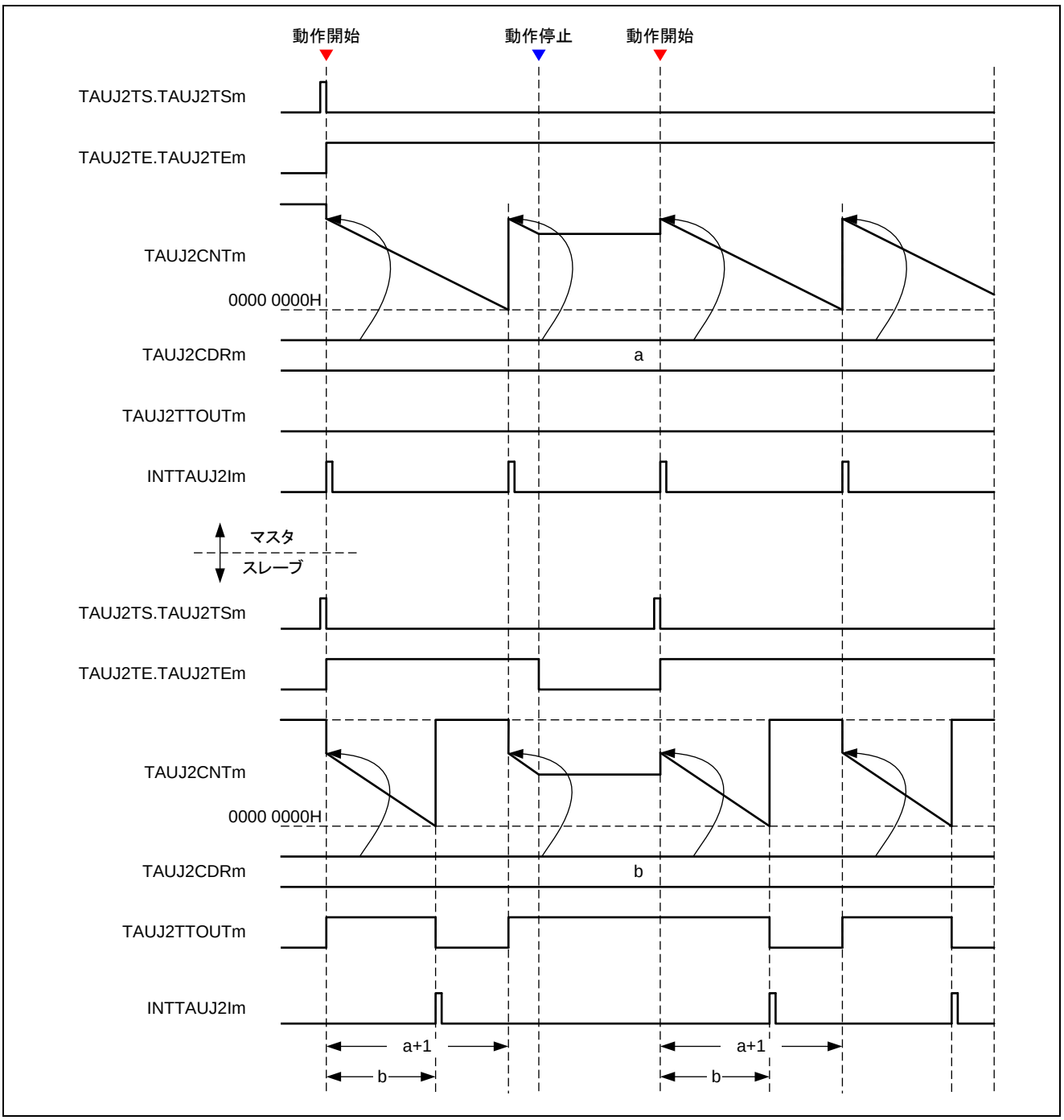


図15.40　動作の停止と再開、正論理（TAUJ2TOL.TAUJ2TOLm（スレーブ）= 0）

- マスタ／スレーブ･チャネルの TAUJ2TT.TAUJ2TTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJ2TE.TAUJ2TEm は 0 にセットされます。
- 全チャネルの TAUJ2CNTm と TAUJ2TTOUTm が停止し、現在値を保持します。
- マスタ／スレーブ･チャネルの TAUJ2TS.TAUJ2TSm を 1 に設定すると、カウンタ動作を再開できます。マスタ／スレーブ・チャネルの TAUJ2CDRm 値を TAUJ2CNTm に更新し、ダウン・カウントを開始します。

(9)　一斉書き換え

(a)　機能説明

複数チャネル（マスタ／スレーブ）のデータレジスタ値（TAUJ2CDRm）と出力値（TAUJ2TOL.TAUJ2TOLm）を一斉に書き換えることができます。

PWM 出力機能においてマスタ・チャネルがカウントを開始した場合に一斉書き換えが行うことができます。

(b)　基本タイミング図と動作説明

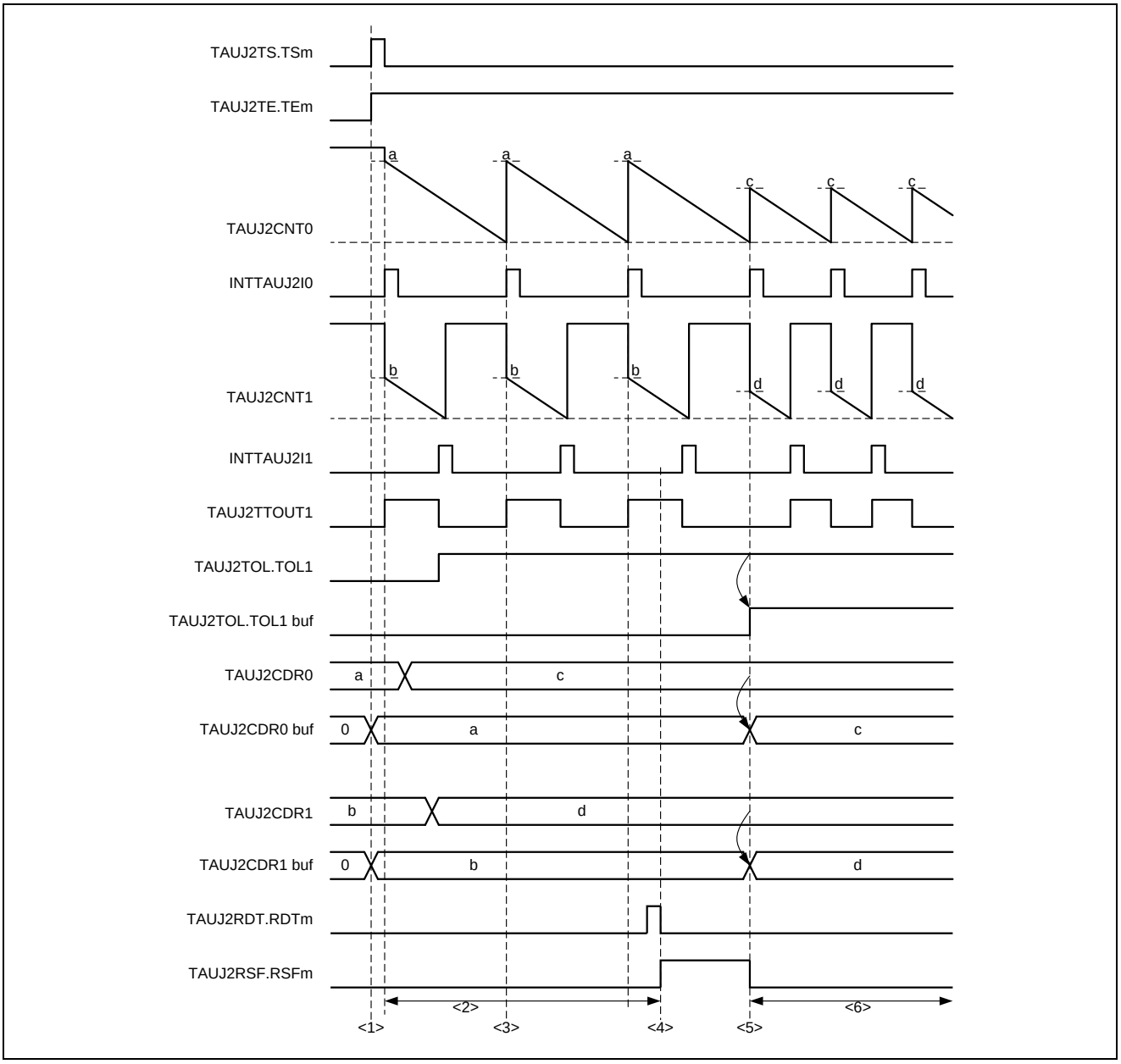


図15.41　マスタ・チャネルでの一斉書き換え

○ 動作説明

1. TAUJ2TS.TAUJ2TSm = 1 に設定すると、TAUJ2CDRm の値が TAUJ2CDRm バッファに、TAUJ2TOL.TAUJ2TOLm の値が TAUJ2TOL.TAUJ2TOLm バッファに更新されます。
2. TAUJ2CDRm と TAUJ2TOL.TAUJ2TOLm レジスタは常に書き込めます。
3. 一斉書き換えは許可されていない（TAUJ2RSF.TAUJ2RSFm = 0）ため、TAUJ2CDRm バッファと TAUJ2TOL.TAUJ2TOLm バッファは更新されません。
4. リロード・データ・トリガ・ビット（TAUJ2RDT.TAUJ2RDTm）を 1 に設定することにより、ステータス・フラグが設定され（TAUJ2RSF.TAUJ2RSFm = 1）、一斉書き換えが許可されます。
5. マスタ・チャネル（CH0）のカウント再開時に一斉書き換えが発生します。TAUJ2CDRm の値は TAUJ2CDRm バッファに、TAUJ2TOL.TAUJ2TOLm の値は TAUJ2TOL.TAUJ2TOLm バッファに更新されます。
6. 更新された TAUJ2CDRm バッファの値で動作します。

16.　16 ビット・タイマ・アレイ・ユニット（TAUD）

本章では、16 ビット・タイマ・アレイ・ユニット（TAUD）について説明します。

16.1　TAUD の特徴

○ ユニット数：　1（n = 0）

備考 本章の図中表記 TAUDn などの添え字 n は、n=0 または添え字なしと同じ意味を示します。
例えば、TAUDnTS、TAUD0TS、TAUDTS は同じものとして扱います。
尚、チャネル数を示す添え字 m の取り扱いは異なる（詳細は後述）ため、注意してください。

○ m の意味：　TAUD には 16 本のチャネルがあります。この章では、各チャネルを「m」で識別しており（m = 0-15）、特定のチャネルを CHm のように記述しています。
偶数チャネル（m = 0, 2, 4, 6, 8, 10, 12, 14）は CHm_even と記述します。
奇数チャネル（m = 1, 3, 5, 7, 9, 11, 13, 15）は CHm_odd と記述します。

注意. TAUD の TINDx/TOUTDx (x=4-7)は、TAUJ2 の TINJx/TOUTJx (x=0-3)と同じポートの兼用端子として割り当てられているため、同時利用できません。使用する端子を「25.18 タイマ I/F 選択レジスタ (TMISEL)」で選択して下さい。
なお､内部クロックによるインターバル･タイマ機能など､外部端子を利用しない場合は､TAUJ2/TAUD の双方のチャネルの同時利用ができます。

○ 入出力信号：　TAUD の入出力信号を次の表に示します。

表16.1　TAUD 入出力信号

TAUD 信号	機能	端子名
TAUDTTIN0	チャネル 0-15 入力ポート	TIND0（EXTP0 と兼用）
TAUDTTIN1		TIND1（EXTP1 と兼用）
TAUDTTIN2		TIND2（EXTP2 と兼用）
TAUDTTIN3		TIND3（EXTP3 と兼用）
TAUDTTIN4		TIND4（P27 と兼用）
TAUDTTIN5		TIND5（P26 と兼用）
TAUDTTIN6		TIND6（P57 と兼用）
TAUDTTIN7		TIND7（P52 と兼用）
TAUDTTIN8		TIND8（RP30 と兼用）
TAUDTTIN9		TIND9（RP31 と兼用）
TAUDTTIN10		TIND10（RP32 と兼用）
TAUDTTIN11		TIND11（RP33 と兼用）
TAUDTTIN12		TIND12（RP34 と兼用）
TAUDTTIN13		TIND13（RP35 と兼用）
TAUDTTIN14		TIND14（RP36 と兼用）
TAUDTTIN15		TIND15（RP37 と兼用）
TAUDTTOUT0	チャネル 0-15 出力ポート	TOUTD0（EXTP0 と兼用）
TAUDTTOUT1		TOUTD1（EXTP1 と兼用）
TAUDTTOUT2		TOUTD2（EXTP2 と兼用）
TAUDTTOUT3		TOUTD3（EXTP3 と兼用）
TAUDTTOUT4		TOUTD4（P27 と兼用）
TAUDTTOUT5		TOUTD5（P26 と兼用）
TAUDTTOUT6		TOUTD6（P57 と兼用）
TAUDTTOUT7		TOUTD7（P52 と兼用）
TAUDTTOUT8		TOUTD8（RP30 と兼用）
TAUDTTOUT9		TOUTD9（RP31 と兼用）
TAUDTTOUT10		TOUTD10（RP32 と兼用）
TAUDTTOUT11		TOUTD11（RP33 と兼用）
TAUDTTOUT12		TOUTD12（RP34 と兼用）
TAUDTTOUT13		TOUTD13（RP35 と兼用）
TAUDTTOUT14		TOUTD14（RP36 と兼用）
TAUDTTOUT15		TOUTD15（RP37 と兼用）

注意 TINDm/TOUTDm は、同じポートで兼用しているため、TINDm/TOUTDm を同時に使用する場合は、TINDm への入力信号をポート端子以外に設定する必要があります（m = 0 - 7）。詳細は「25.9 タイマ入力機能選択レジスタ（SELCNT,SELCNTD）」を参照して下さい。

○ 割り込みと周辺機能： TAUD の下記割り込み要求は、割り込み処理や Hardware ISR 以外にも、DMA 転送（汎用 DMAC、リアルタイムポート DMAC）、タイマ・キャプチャ・トリガ（TAUJ2、TAUD）、リアルタイム・ポート（RP00-RP37）の更新に利用可能です。

表16.2　TAUD の割り込みと周辺機能への要求

（1/2）

TAUD の割り込み信号	機能	接続先
INTTAUDI0	チャネル 0 割り込み	・割り込みコントローラ INTTAUD0I0 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTTAUDI1	チャネル 1 割り込み	・割り込みコントローラ INTTAUD0I1 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTTAUDI2	チャネル 2 割り込み	・割り込みコントローラ INTTAUD0I2 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTTAUDI3	チャネル 3 割り込み	・割り込みコントローラ INTTAUD0I3 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTTAUDI4	チャネル 4 割り込み	・割り込みコントローラ INTTAUD0I4 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTTAUDI5	チャネル 5 割り込み	・割り込みコントローラ INTTAUD0I5 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTTAUDI6	チャネル 6 割り込み	・割り込みコントローラ INTTAUD0I6 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）

（2/2）

TAUD の割り込み信号	機能	接続先
INTTAUDI7	チャネル 7 割り込み	・割り込みコントローラ INTTAUD0I7 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTTAUDI8	チャネル 8 割り込み	・割り込みコントローラ INTTAUD0I8 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTTAUDI9	チャネル 9 割り込み	・割り込みコントローラ INTTAUD0I9 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTTAUDI10	チャネル 10 割り込み	・割り込みコントローラ INTTAUD0I10 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTTAUDI11	チャネル 11 割り込み	・割り込みコントローラ INTTAUD0I11 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTTAUDI12	チャネル 12 割り込み	・割り込みコントローラ INTTAUD0I12 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTTAUDI13	チャネル 13 割り込み	・割り込みコントローラ INTTAUD0I13 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTTAUDI14	チャネル 14 割り込み	・割り込みコントローラ INTTAUD0I14 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTTAUDI15	チャネル 15 割り込み	・割り込みコントローラ INTTAUD0I15 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）

16.1.1　タイマ動作機能一覧

このタイマは各チャネルを単体で動作させたり、複数チャネルを組み合わて動作させることで、下記の機能が実現できます。

注意 TAUD は表16.4で説明している使い方のみサポートします。
レジスタの設定は、表16.4に記載している機能における設定方法以外での使用は禁止です。

表16.3　TAUD 動作機能一覧

動作機能	設定例
チャネル単体動作機能	16.12章
インターバルタイマ機能	16.12.1章
TAUDTTINm 入力インターバルタイマ機能	16.12.2章
クロック分周機能	16.12.3章
外部イベントカウント機能	16.12.4章
ディレイカウント機能	16.12.5章
ワンパルス出力機能	16.12.6章
TAUDTTINm 入力パルスインターバル測定機能	16.12.7章
TAUDTTINm 入力信号幅測定機能	16.12.8章
TAUDTTINm 入力位置検出機能	16.12.9章
TAUDTTINm 入力期間カウント検出機能	16.12.10章
TAUDTTINm 入力パルスインターバル判定機能	16.12.11章
TAUDTTINm 入力信号幅判定機能	16.12.12章
オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）	16.12.13章
オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）	16.12.14章
1 相 PWM 出力機能	16.12.15章
チャネル単体リアルタイム機能	16.13章
リアルタイム出力機能タイプ 1	16.13.1章
リアルタイム出力機能タイプ 2	16.13.2章
チャネル単体一斉書き換え機能	16.14章
一斉書き換えトリガ生成機能タイプ 1	16.14.1章
一斉書き換えトリガ生成機能タイプ 2	16.14.2章
チャネル連動動作機能	16.15章
PWM 出力機能	16.15.1章
ワンショットパルス出力機能	16.15.2章
トリガスタート PWM 出力機能	16.15.3章
ディレイパルス出力機能	16.15.4章
オフセットトリガ出力機能	16.15.5章
A/D 変換トリガ出力機能タイプ 1	16.15.6章
三角波 PWM 出力機能	16.15.7章
デッドタイム付き三角波 PWM 出力機能	16.15.8章
A/D 変換トリガ出力機能タイプ 2	16.15.9章
割り込み要求信号間引き機能	16.15.10章
連動非相補方式変調出力機能と連動相補方式変調出力機能	16.16章
連動非相補方式変調出力機能タイプ 1	16.16.1章
連動非相補方式変調出力機能タイプ 2	16.16.2章
相補方式変調出力機能	16.16.3章

16.2 機能概要

TAUD には次の機能があります。

○ 16 チャネル
○ チャネルごとの 16 ビットカウンタおよび 16 ビットデータレジスタ
○ チャネル単体動作
○ チャネル連動動作（マスタおよびスレーブ動作）
○ 異なる種類の出力信号の生成
○ リアルタイム出力
○ 外部信号によるカウントの開始
○ 割り込み発生

16.2.1 用語

本章で使用されている用語について説明します。

- **単体動作機能／連動動作機能**

単体動作機能／連動動作機能は、チャネル間の依存性を示します。

- あるチャネルがほかのすべてのチャネルから独立して動作している場合をチャネル単体動作と呼びます。
- あるチャネルの動作がほかのチャネルに依存している場合をチャネル連動動作と呼びます。

- **チャネルグループ**

チャネル連動動作では、依存関係にあるすべてのチャネルを「チャネルグループ」と呼びます。1 つのチャネルグループは、1 つのマスタチャネルと 1 つ以上のスレーブチャネルで構成されます。

- **動作モード**

チャネル m ごとに動作モードを指定できます。動作モードは、あるチャネルの基本動作と機能を規定します。チャネル連動動作では、チャネルグループに属する各チャネルは、異なる動作モードで動作することが可能です。動作モードには、キャプチャモード、イベントカウントモード、インターバルタイマモードなどがあります。

- **チャネル出力モード**

チャネル出力モードは、次のチャネルの TAUDTTOUTm の動作を規定します。

- 1 つのチャネル（単体出力動作）
- チャネルグループに属するすべてのチャネル（連動出力動作）

チャネル単体出力モード 1、デッドタイム出力付きチャネル連動動作モード 2 などがあります。

- **チャネル動作機能**

チャネル動作機能は、次のチャネルの全機能およびすべての特長を規定します。

- 1 つのチャネル（チャネル単体動作）
- チャネルグループに属するすべてのチャネル（チャネル連動動作）

- **上位／下位チャネル**

チャネル m から見て、小さい番号または大きい番号のチャネルを上位または下位チャネルと呼びます。

- 上位チャネル：小さい番号のチャネル
- 下位チャネル：大きい番号のチャネル

たとえば、チャネル 5 に対してチャネル 3 は上位チャネル、チャネル 9 は下位チャネルです。

TAUD の主な構成要素を次の図に示します。

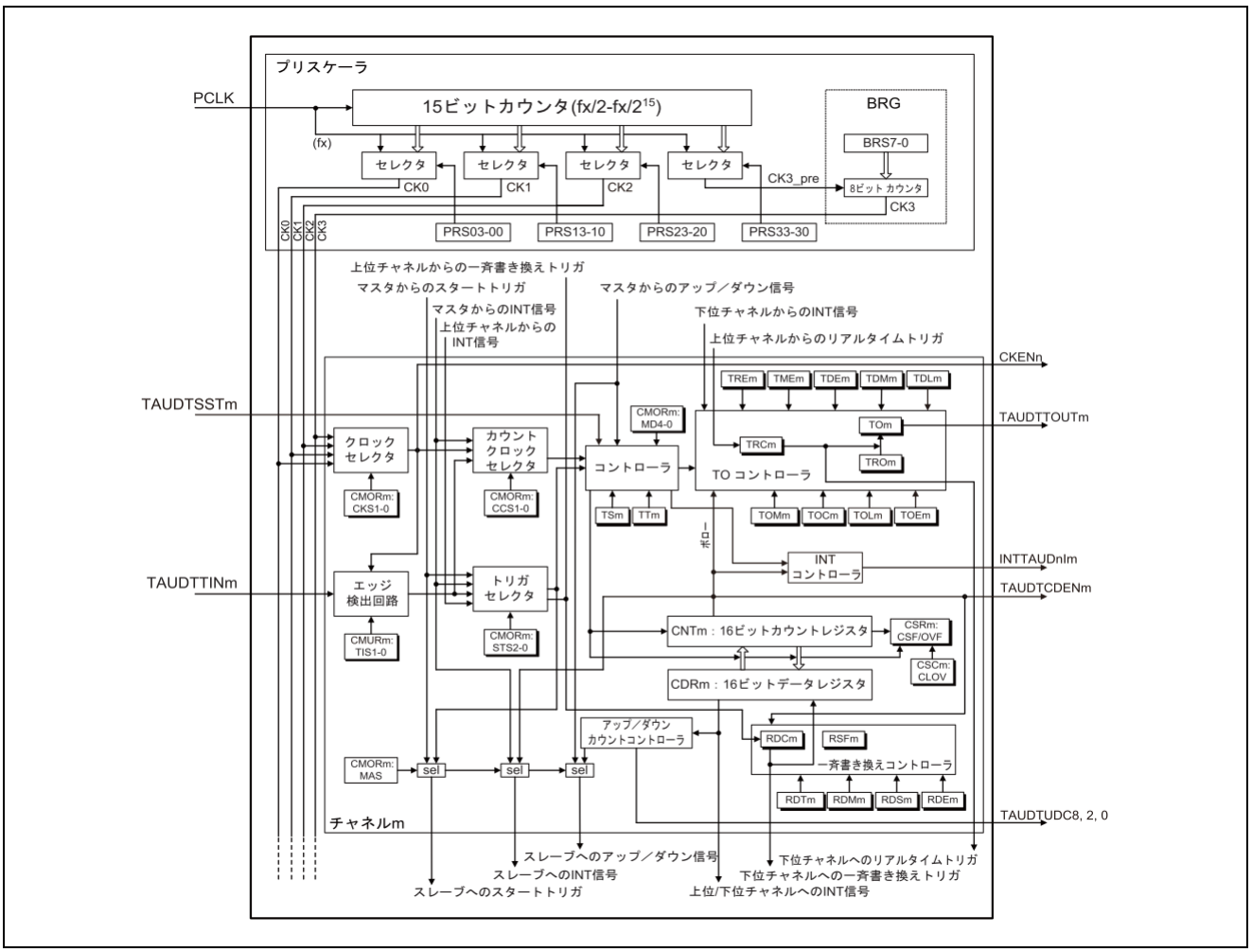


図16.1　　TAUD のブロック図

16.2.2　制御ブロックの説明

TAUD の各制御部分の動作について説明します。

- **プリスケーラ**

プリスケーラは、すべてのチャネルのカウントクロックとして使用することができる最大 4 つのクロック信号（CK0～CK3）を供給します。

カウントクロック CK0～CK2 は、プリスケーラにより PCLK の 2^0～2^{15} の分周したクロックを選択することができます。4 つ目のカウントクロック CK3 は、BRG を使用することにより、2 のべき乗以外の分周比を設定することができます。

- **クロックおよびカウントクロックの選択**

クロックカウントセレクタは、各チャネルに対してクロックソースを次から選択します。

- CK0～CK3 のいずれかのクロック（クロックセレクタにより選択）
- マスタチャネルからの INTTAUDIm
- TAUDTTINm 入力信号の有効エッジ

- **コントローラ**

コントローラは、カウンタの主な動作を制御します。

- 動作モード（TAUDCMORm.TAUDMD[4:0]ビットにより選択）
- カウント開始許可（TAUDTS.TAUDTSm）およびカウント停止（TAUDTT.TAUDTTm）カウントの開始を許可すると、ステータスフラグ TAUDTE.TAUDTEm がセットされます。
- カウント方式（アップ／ダウン）（マスタチャネルにより制御可能）

- **トリガセレクタ**

選択した動作モードにより、カウンタは、動作が許可されている場合（TAUDTE.TAUDTEm=1）には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

- チャネル連動スタートトリガ入力 TAUDTSSTm
- TAUDTTINm 入力の有効エッジ
- マスタ、または上位チャネルからの INTTAUDIm
- マスタチャネルのアップ／ダウン出力トリガ信号
- TAUDTTOUTm 生成ユニットのデッドタイム出力信号

- **一斉書き換えコントローラ**

一斉書き換え制御は、連動動作機能で使える機能です。あるチャネルグループに属する全チャネルのデータレジスタ（TAUDCDRm）はいつでも書き換えられます。一斉書き換えコントローラは、全チャネルのデータレジスタの新しい値が同時に有効になります。

- **TAUDTO コントローラ**

各チャネルの出力を制御することにより、PWM 信号や三角波信号などの各種出力信号を出力できます。

16.3 レジスタ

この節では、16 ビット TAUD の全レジスタについて説明します。

注意 TAUD は表16.5で説明している使い方のみサポートします。
レジスタの設定は、表16.5に記載している機能における設定方法以外での使用は禁止です。

16.3.1 TAUD レジスター覧

TAUD は次の表に示すレジスタによって制御および動作が行われます。

表16.4 TAUD レジスター覧

（1/2）

レジスタ名	略号	アドレス
TAUD プリスケーラレジスタ		
TAUD プリスケーラクロック選択レジスタ	TAUDTPS	4000 0A40H
TAUD プリスケーラボーレート設定レジスタ	TAUDBRS	4000 0A44H
TAUD 制御レジスタ		
TAUD チャネルデータレジスタ m	TAUDCDRm	4000 0800H + m×4H
TAUD チャネルカウンタレジスタ m	TAUDCNTm	4000 0880H + m×4H
TAUD チャネルモード OS レジスタ m	TAUDCMORm	4000 0A00H + m×4H
TAUD チャネルモードユーザレジスタ m	TAUDCMURm	4000 08C0H + m×4H
TAUD チャネルステータスレジスタ m	TAUDCSRm	4000 0940H + m×4H
TAUD チャネルステータスクリアトリガレジスタ m	TAUDCSCm	4000 0980H + m×4H
TAUD チャネルスタートトリガレジスタ	TAUDTS	4000 09C4H
TAUD チャネル許可ステータスレジスタ	TAUDTE	4000 09C0H
TAUD チャネルストップトリガレジスタ	TAUDTT	4000 09C8H
TAUD 一斉書き換えレジスタ		
TAUD チャネルリロードデータ許可レジスタ	TAUDRDE	4000 0A60H
TAUD チャネルリロードデータモードレジスタ	TAUDRDM	4000 0A64H
TAUD チャネルリロードデータ制御 CH 選択レジスタ	TAUDRDS	4000 0A68H
TAUD チャネルリロードデータ制御レジスタ	TAUDRDC	4000 0A6CH
TAUD チャネルリロードデータトリガレジスタ	TAUDRDT	4000 0844H
TAUD チャネルリロードステータスレジスタ	TAUDRSF	4000 0848H
TAUD 出力レジスタ		
TAUD チャネル出力許可レジスタ	TAUDTOE	4000 085CH
TAUD チャネル出力レジスタ	TAUDTO	4000 0858H
TAUD チャネル出力モードレジスタ	TAUDTOM	4000 0A48H
TAUD チャネル出力コンフィギュレーションレジスタ	TAUDTOC	4000 0A4CH
TAUD チャネル出力アクティブレベルレジスタ	TAUDTOL	4000 0840H
TAUD デッドタイム出力レジスタ		
TAUD チャネルデッドタイム出力許可レジスタ	TAUDTDE	4000 0A50H
TAUD チャネルデッドタイム出力モードレジスタ	TAUDTDM	4000 0A54H
TAUD チャネルデッドタイム出力レベルレジスタ	TAUDTDL	4000 0854H

（2/2）

レジスタ名	略号	アドレス
TAUD リアルタイム／変調出力レジスタ		
TAUD チャネルリアルタイム出力レジスタ	TAUDTRO	4000 084CH
TAUD チャネルリアルタイム出力許可レジスタ	TAUDTRE	4000 0A58H
TAUD チャネルリアルタイム出力制御レジスタ	TAUDTRC	4000 0A5CH
TAUD チャネル変調出力許可レジスタ	TAUDTME	4000 0850H
TAUD エミュレーションレジスタ		
TAUD エミュレーションレジスタ	TAUDEMU	4000 0A90H

16.3.2　TAUD プリスケーラレジスタの詳細

(1)　TAUD プリスケーラクロック選択レジスタ（TAUDTPS）

PCLK プリスケーラの全チャネルの CK0、CK1、CK2、CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUDBRS で指定した係数で分周することによって生成されます。

- アクセス　　16 ビット単位でリード／ライト可能です。

（1/4）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TAUDTPS	TAUDPRS3[3:0]				TAUDPRS2[3:0]				TAUDPRS1[3:0]				TAUDPRS0[3:0]				4000 0A40H	FFFFH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
15-12	TAUDPRS3[3:0]	CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。 BRG ユニットは全チャネルに CK3 動作クロックを供給します。

TAUDPRS3[3:0]	CK3_PRE クロック
0000B	PCLK/2^0
0001B	PCLK/2^1
0010B	PCLK/2^2
0011B	PCLK/2^3
0100B	PCLK/2^4
0101B	PCLK/2^5
0110B	PCLK/2^6
0111B	PCLK/2^7
1000B	PCLK/2^8
1001B	PCLK/2^9
1010B	PCLK/2^{10}
1011B	PCLK/2^{11}
1100B	PCLK/2^{12}
1101B	PCLK/2^{13}
1110B	PCLK/2^{14}
1111B	PCLK/2^{15}

上記ビットは、CK3 を使用するカウンタがすべて停止している（TAUDTE.TAUDTEm=0）場合のみ書き換え可能です。

（2/4）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>11-8</td><td>TAUDPRS2[3:0]</td><td>CK2 クロックを指定します。
<table>
<tr><th>TAUDPRS2[3:0]</th><th>CK2 クロック</th></tr>
<tr><td>0000B</td><td>PCLK/2^0</td></tr>
<tr><td>0001B</td><td>PCLK/2^1</td></tr>
<tr><td>0010B</td><td>PCLK/2^2</td></tr>
<tr><td>0011B</td><td>PCLK/2^3</td></tr>
<tr><td>0100B</td><td>PCLK/2^4</td></tr>
<tr><td>0101B</td><td>PCLK/2^5</td></tr>
<tr><td>0110B</td><td>PCLK/2^6</td></tr>
<tr><td>0111B</td><td>PCLK/2^7</td></tr>
<tr><td>1000B</td><td>PCLK/2^8</td></tr>
<tr><td>1001B</td><td>PCLK/2^9</td></tr>
<tr><td>1010B</td><td>PCLK/2^{10}</td></tr>
<tr><td>1011B</td><td>PCLK/2^{11}</td></tr>
<tr><td>1100B</td><td>PCLK/2^{12}</td></tr>
<tr><td>1101B</td><td>PCLK/2^{13}</td></tr>
<tr><td>1110B</td><td>PCLK/2^{14}</td></tr>
<tr><td>1111B</td><td>PCLK/2^{15}</td></tr>
</table>
上記ビットは、CK2 を使用するカウンタがすべて停止している（TAUDTE.TAUDTEm=0）場合のみ書き換え可能です。</td></tr>
</table>

（3/4）

ビット位置	ビット名	意　味
7-4	TAUDPRS1[3:0]	CK1 クロックを指定します。 TAUDPRS1[3:0] / CK1 クロック 0000B / PCLK/2^0 0001B / PCLK/2^1 0010B / PCLK/2^2 0011B / PCLK/2^3 0100B / PCLK/2^4 0101B / PCLK/2^5 0110B / PCLK/2^6 0111B / PCLK/2^7 1000B / PCLK/2^8 1001B / PCLK/2^9 1010B / PCLK/2^{10} 1011B / PCLK/2^{11} 1100B / PCLK/2^{12} 1101B / PCLK/2^{13} 1110B / PCLK/2^{14} 1111B / PCLK/2^{15} 上記ビットは、CK1 を使用するカウンタがすべて停止している（TAUDTE.TAUDTEm=0）場合のみ書き換え可能です。

（4/4）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>3-0</td><td>TAUDPRS0[3:0]</td><td>CK0 クロックを指定します。
<table>
<tr><th>TAUDPRS0[3:0]</th><th>CK0 クロック</th></tr>
<tr><td>0000B</td><td>PCLK/2^0</td></tr>
<tr><td>0001B</td><td>PCLK/2^1</td></tr>
<tr><td>0010B</td><td>PCLK/2^2</td></tr>
<tr><td>0011B</td><td>PCLK/2^3</td></tr>
<tr><td>0100B</td><td>PCLK/2^4</td></tr>
<tr><td>0101B</td><td>PCLK/2^5</td></tr>
<tr><td>0110B</td><td>PCLK/2^6</td></tr>
<tr><td>0111B</td><td>PCLK/2^7</td></tr>
<tr><td>1000B</td><td>PCLK/2^8</td></tr>
<tr><td>1001B</td><td>PCLK/2^9</td></tr>
<tr><td>1010B</td><td>PCLK/2^{10}</td></tr>
<tr><td>1011B</td><td>PCLK/2^{11}</td></tr>
<tr><td>1100B</td><td>PCLK/2^{12}</td></tr>
<tr><td>1101B</td><td>PCLK/2^{13}</td></tr>
<tr><td>1110B</td><td>PCLK/2^{14}</td></tr>
<tr><td>1111B</td><td>PCLK/2^{15}</td></tr>
</table>
上記ビットは、CK0 を使用するカウンタがすべて停止している（TAUDTE.TAUDTEm=0）場合のみ書き換え可能です。</td></tr>
</table>

(2)　TAUD プリスケーラボーレート設定レジスタ（TAUDBRS）

プリスケーラクロック CK3 の分周係数を指定するレジスタです。CK3 は、CK3_PRE をこのレジスタで指定した係数 +1 で分周することによって生成されます。

CK3_PRE 用の PCLK プリスケーラは、TAUDTPS.TAUDPRS3[3:0]で指定します。

- アクセス　　8 ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUDBRS	TAUDBRS[7:0]								4000 0A44H	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
7-0	TAUDBRS[7:0]	CK3 生成のための CK3_PRE クロック分周係数を指定します。

TAUDBRS[7:0]	CK3 クロック
0000 0000B	CK3_PRE / 1
0000 0001B	CK3_PRE / 2
0000 0010B	CK3_PRE / 3
0000 0011B	CK3_PRE / 4
…	…
1111 1110B	CK3_PRE / 255
1111 1111B	CK3_PRE / 256

16.3.3　TAUD 制御レジスタの詳細

(1)　TAUD チャネルデータレジスタ m（TAUDCDRm）

このレジスタは、TAUDCMORm.TAUDMD[4:1]で指定された動作モードによって、コンペアレジスタもしくはキャプチャレジスタとして機能するレジスタです。

- アクセス　16 ビット単位でリード／ライト可能です。
  キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
  コンペアレジスタ機能時は、リード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDCDRm	TAUDCDR[15:0]																4000 0800H + m×4H
																	初期値
																	0000H
R/W	R/W																

ビット位置	ビット名	意　味
15-0	TAUDCDR[15:0]	キャプチャ値／コンペア値用データ・レジスタ

(2)　TAUD チャネルカウンタレジスタ m（TAUDCNTm）

チャネル m カウンタレジスタです。

- アクセス　16 ビット単位でリードのみ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDCNTm	TAUDCNT[15:0]																4000 0880H + m×4H
																	初期値
																	FFFFH 注
R/W	R																

ビット位置	ビット名	意　味
15-0	TAUDCNT[15:0]	16 ビットカウンタ値

注. 初期値は、TAUD チャネルモード OS レジスタにて設定された動作モードによって変わります。
キャプチャモード、キャプチャ＆ワンカウントモード、カウントキャプチャモード、
キャプチャ＆ゲートカウントモードの場合、初期値 0000H となり、その他のモードの場合、
初期値 FFFFH となります。
動作モード設定の詳細は「16.3.3(3) TAUDチャネルモードOSレジスタm」を参照して下さい。

(3)　TAUD チャネルモード OS レジスタ m（TAUDCMORm）

このレジスタは、チャネル m の動作を制御します。

- アクセス　　16 ビット単位でリード／ライト可能です。
  カウンタ停止中（TAUDTE.TAUDTEm = 0）のときのみライト可能です。

（1/3）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUD CMORm	TAUDCKS [1:0]		TAUDCCS [1:0]		TAUD MAS	TAUDSTS[2:0]			TAUDCOS [1:0]		0	TAUDMD[4:0]					4000 0A00H + m × 4H
初期値	0000H																
R/W	R/W		R/W		R/W	R/W			R/W		R	R/W					

ビット位置	ビット名	意　味
15-14	TAUDCKS[1:0]	動作クロックを選択します。 動作クロックは TAUDTTINm 入力エッジ検出回路で使用します。 TAUDCMORm.TAUDCCS[1:0]ビットの設定により、TAUDCNTm の カウントクロックとして使用することも可能です。
13-12	TAUDCCS[1:0]	TAUDCNTm カウンタのカウントクロックを選択します。
11	TAUDMAS	チャネル連動動作時に、そのチャネルがマスタチャネルかスレーブチャネルかを 指定します。 0：スレーブ 1：マスタ このビット設定は偶数チャネル（CHm_even）に対してのみ有効です。 奇数チャネル（CHm_odd）は、“0”に固定されています。

TAUDCKS1	TAUDCKS0	動作クロック選択
0	0	CK0
0	1	CK1
1	0	CK2
1	1	CK3

TAUDCCS1	TAUDCCS0	カウント・クロック選択
0	0	TAUDCMORm.TAUDCKS[1:0]で指定した 動作クロック
0	1	TAUDTTINm 入力信号の有効エッジ
1	0	設定禁止
1	1	マスタチャネルの INTTAUDIm 信号

（2/3）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>10-8</td><td>TAUDSTS[2:0]</td><td>外部スタートトリガを選択します。
<table>
<tr><th>TAUDSTS2</th><th>TAUDSTS1</th><th>TAUDSTS0</th><th>機能説明</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>ソフトウェア・トリガ</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>TAUDTTINm 入力信号の有効エッジ。有効エッジは TAUDCMURm.TAUDTIS[1:0]で指定</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>TAUDTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>一斉書き換えトリガ</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>マスタチャネルの INTTAUDIm がスタートトリガ</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>マスタ設定にかかわらず、上位チャネル（m - 1）の INTTAUDIm がスタートトリガ</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>TAUDTTOUTm 生成ユニットのデッドタイム出力信号</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>マスタチャネルのアップ／ダウン出力トリガ信号</td></tr>
</table></td></tr>
</table>

（2/3）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>7-6</td><td>TAUDCOS[1:0]</td><td>チャネル m のキャプチャレジスタ TAUDCDRm とオーバフローフラグ TAUDCSRm.TAUDOVF を更新するタイミングを指定します。
これらのビットはチャネル m がキャプチャ機能（キャプチャモード、キャプチャ＆ワンカウントモード）のときにのみ有効です。
<table>
<tr><th>TAUDCOS1</th><th>TAUDCOS0</th><th>TAUDCDRm</th><th>TAUDCSRm.TAUDOVF</th></tr>
<tr><td rowspan="2">0</td><td rowspan="2">0</td><td rowspan="3">TAUDTTINm 入力有効エッジを検出すると更新</td><td>TAUDTTINm 入力有効エッジを検出すると更新（クリアまたはセット）
・ 有効エッジを最後に検出してからカウンタオーバフローが発生している場合は、TAUDCSRm.TAUDOVF をセット
・ 有効エッジを最後に検出してからカウンタオーバフローが発生していない場合は、TAUDCSR.TAUDOVF をクリア</td></tr>
<tr><td>0</td><td>1</td><td>カウンタオーバフロー時にセット、TAUDCSCm.TAUDCLOV = 1 に設定することでクリア</td></tr>
<tr><td>1</td><td>0</td><td rowspan="2">TAUDTTINm 入力有効エッジ検出およびカウンタオーバフローの発生により更新
・ TAUDTTINm 入力有効エッジ検出：カウンタ値が TAUDCDRm に書き込まれる
・ オーバフロー発生：FFFFH が TAUDCDRm にロードされる。次の TAUDTTINm 入力有効エッジ検出は無視される。</td><td>設定なし</td></tr>
<tr><td>1</td><td>1</td><td>カウンタオーバフロー時にセット、TAUDCSCm.TAUDCLOV = 1 に設定することでクリア</td></tr>
</table>
</td></tr>
<tr><td>5</td><td>－</td><td>Reserved（0 が読み出されます。）</td></tr>
</table>

（3/3）

ビット位置	ビット名	意　味
4-0	TAUDMD[4:0]	動作モードを指定します。

TAUDMD4	TAUDMD3	TAUDMD2	TAUDMD1	TAUDMD0	機能説明
0	0	0	0	1/0	インターバルタイマモード
0	0	0	1	1/0	ジャッジモード
0	0	1	0	1/0	キャプチャモード
0	0	1	1	0	イベントカウントモード
0	1	0	0	1/0	ワンカウントモード
0	1	0	1	1/0	設定禁止
0	1	1	0	0	キャプチャ＆ワンカウントモード
0	1	1	1	1/0	ジャッジ＆ワンカウントモード
1	0	0	0	0	設定禁止
1	0	0	1	0	アップ/ダウンカウントモード
1	0	1	0	1/0	パルスワンカウントモード
1	0	1	1	1/0	カウントキャプチャモード
1	1	0	0	0	ゲートカウントモード
1	1	0	1	0	キャプチャ＆ゲートカウントモード

モード	TAUDMD0 ビットの役割
インターバルタイマモード キャプチャモード カウントキャプチャモード	カウント動作開始時（スタートトリガ入力時）に、INTTAUDIm 信号を出力するかどうかを指定します。 0：INTTAUDIm を出力しない 1：INTTAUDIm を出力する
イベントカウントモード アップ／ダウンカウントモード	このビットは“0”（カウント動作開始時に INTTAUDIm 信号を出力しない）に設定してください。
ワンカウントモード注1 パルスワンカウントモード注2	カウント中のスタートトリガ検出を許可／禁止します。 0：禁止 1：許可
ゲートカウントモード	このビットは“0”（カウント中のスタートトリガ検出を禁止）に設定してください。
キャプチャ＆ワンカウントモード キャプチャ＆ゲートカウントモード	このビットは“0”に設定してください。注3
ジャッジモード ジャッジ＆ワンカウントモード	INTTAUDIm の出力タイミングを指定します。 0：TAUDCNTm ≦ TAUDCDRm 時 1：TAUDCNTm ＞ TAUDCDRm 時

注 1. ワンカウントモードでは、カウント動作開始時に INTTAUDIm 信号を出力しません。
2. パルスワンカウントモードでは、カウント動作開始時に INTTAUDIm 信号を出力します。
3. カウント動作開始時に INTTAUDIm 信号を出力しません。
また、カウント動作中に検出されたスタートトリガは無効です。

(4)　TAUD チャネルモードユーザレジスタ m（TAUDCMURm）

このレジスタは、TAUDTTINm 入力で使用される有効エッジ検出のタイプを指定します。

- アクセス　　8 ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUD CMURm	0	0	0	0	0	0	TAUDTIS[1:0]		4000 08C0H + m × 4H	00H
R/W	0	0	0	0	0	0	R/W			

ビット位置	ビット名	意　味
7-2	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
1-0	TAUDTIS[1:0]	TAUDTTINm 入力信号の有効エッジを指定します。 TAUDTIS1 / TAUDTIS0 / 機能説明 0 / 0 / 立ち下がりエッジ 0 / 1 / 立ち上がりエッジ 1 / 0 / 両エッジ検出（ロー・レベル幅測定選択） スタート・トリガ：立ち下がりエッジ ストップ・トリガ（キャプチャ）：立ち上がりエッジ 1 / 1 / 両エッジ検出（ハイ・レベル幅測定選択） スタート・トリガ：立ち上がりエッジ ストップ・トリガ（キャプチャ）：立ち下がりエッジ TAUDTTINm 入力信号のエッジ検出は、TAUDCMORm.TAUDCKS[1:0]で選択した動作クロックに基づいて行われます。

(5)　TAUD チャネルステータスレジスタ m（TAUDCSRm）

このレジスタは、チャネル m のカウンタのカウント方向とオーバフロー状態を示します。

- アクセス　　8 ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUD CSRm	0	0	0	0	0	0	TAUD CSF	TAUD OVF	4000 0940H + m×4H	00H
R/W	0	0	0	0	0	0	R	R		

ビット位置	ビット名	意　味
7-2	－	Reserved（0 が読み出されます。）
1	TAUDCSF	カウント方向を示します。 0：アップカウント 1：ダウンカウント このビットのリード値は、アップ／ダウンカウントモード時にのみ有効です。
0	TAUDOVF	カウンタオーバフロー状態を示します。 0：オーバフローが発生していない 1：オーバフローが発生 このビットは、キャプチャモード、キャプチャ＆ワンカウントモード時のみ使用します。 このビットの機能は、制御ビット TAUDCMORm.TAUDCOS[1:0]の設定により異なります。

(6)　TAUD チャネルステータスクリアトリガレジスタ m（TAUDCSCm）

このレジスタは､チャネル m のオーバフローフラグ TAUDCSRm.TAUDOVF をクリアするためのトリガレジスタです。

- アクセス　　8 ビット単位でライトのみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUD CSCm	0	0	0	0	0	0	0	TAUD CLOV	4000 0980H + m×4H	00H
R/W	0	0	0	0	0	0	0	W		

ビット位置	ビット名	意　味
7-1	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	TAUDCLOV	0：機能なし 1：オーバフローフラグ TAUDCSRm.TAUDOVF をクリア

(7) TAUD チャネルスタートトリガレジスタ（TAUDTS）

このレジスタは、各チャネルのカウンタ動作を許可します。

- アクセス　16 ビット単位でライトのみ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDTS	TAUDTSm																4000 09C4H
																	初期値
																	0000H
R/W	W																

ビット位置	ビット名	意　味
15-0	TAUDTSm	チャネル m のカウンタ動作を許可します。 0：機能なし 1：カウンタ動作を許可し、TAUDTE.TAUDTEm = 1 を設定。 TAUDTE.TAUDTEm = 1 を設定しても、カウント動作が許可されるだけです。 カウントが開始されるかどうかは、選択されている動作モードによって異なります。

(8) TAUD チャネル許可ステータスレジスタ（TAUDTE）

このレジスタは、カウンタ動作の許可／禁止を示します。

- アクセス　16 ビット単位でリードのみ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDTE	TAUDTEm																4000 09C0H
																	初期値
																	0000H
R/W	R																

ビット位置	ビット名	意　味
15-0	TAUDTEm	チャネル m のカウンタ動作の許可／禁止を示します。 0：カウンタ動作禁止 1：カウンタ動作許可 TAUDTSSTm（チャネル連動スタートトリガ信号）のトリガ入力を検知するか、 TAUDTS.TAUDTSm を“1”にセットすると、このビットが“1”に設定されます。 TAUDTT.TAUDTTm を“1”にセットすると、このビットが“0”にリセットされます。

(9) TAUD チャネルストップトリガレジスタ（TAUDTT）

このレジスタは、各チャネルのカウンタ動作を停止します。

- アクセス　16 ビット単位でライトのみ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDTT	TAUDTTm																4000 09C8H 初期値 0000H
R/W	W																

ビット位置	ビット名	意　味
15-0	TAUDTTm	チャネル m のカウンタ動作を停止します。 0：機能なし 1：カウンタ動作を停止し、TAUDTE.TAUDTEm をリセットします。 TAUDCNTm、TAUDTO.TAUDTOm、TAUDTTOUTm は、カウント停止前の値を保持します。

16.3.4　TAUD 一斉書き換えレジスタの詳細

(1)　TAUD チャネルリロードデータ許可レジスタ（TAUDRDE）

このレジスタは、データレジスタ TAUDCDRm/TAUDTOLm の一斉書き換えを許可／禁止します。

- アクセス　16 ビット単位でリード／ライト可能です。
  TAUDTE.TAUDTEm = 0 のときのみ、ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDRDE	TAUDRDEm																4000 0A60H 初期値 0000H
R/W	R/W																

ビット位置	ビット名	意　味
15-0	TAUDRDEm	チャネル m のデータレジスタの一斉書き換えを許可／禁止します。 0：一斉書き換え禁止 1：一斉書き換え許可

(2)　TAUD チャネルリロードデータモードレジスタ（TAUDRDM）

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

- アクセス　16 ビット単位でリード／ライト可能です。
  TAUDTE.TAUDTEm = 0 のときのみ、ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDRDM	TAUDRDMm																4000 0A64H 初期値 0000H
R/W	R/W																

ビット位置	ビット名	意　味
15-0	TAUDRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0：マスタチャネルのカウンタがカウントを開始したとき 1：三角波周期の山 これらのビット設定は TAUDRDE.TAUDRDEm = 1、TAUDRDS.TAUDRDSm = 0 時のみ適用されます。

(3) TAUD チャネルリロードデータ制御 CH 選択レジスタ（TAUDRDS）

このレジスタは、一斉書き換えを制御するチャネルを選択します。

- アクセス　16 ビット単位でリード／ライト可能です。
  TAUDTE.TAUDTEm = 0 のときのみ、ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDRDS	TAUDRDSm																4000 0A68H 初期値 0000H
R/W	R/W																

ビット位置	ビット名	意　味
15-0	TAUDRDSm	一斉書き換えトリガを制御するチャネルを選択します。 0：マスタチャネル 1：別の上位チャネル

(4) TAUD チャネルリロードデータ制御レジスタ（TAUDRDC）

このレジスタは、一斉書き換えをトリガする INTTAUDIm 信号を生成するチャネルを指定します。

- アクセス　16 ビット単位でリード／ライト可能です。
  TAUDTE.TAUDTEm = 0 のときのみ、ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDRDC	TAUDRDCm																4000 0A6CH 初期値 0000H
R/W	R/W																

ビット位置	ビット名	意　味
15-0	TAUDRDCm	チャネルが一斉書き換えトリガ信号を生成するか否かを指定します。 0：一斉書き換えトリガチャネルとならない。 1：一斉書き換えトリガチャネルとして動作する。 これらのビット設定は TAUDRDS.TAUDRDSm = 1 時のみ適用されます。

(5) TAUD チャネルリロードデータトリガレジスタ（TAUDRDT）

一斉書き換え許可状態をトリガするレジスタです。

- アクセス　16 ビット単位でライトのみ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDRDT	TAUDRDTm																4000 0844H
																	初期値
																	0000H
R/W	W																

ビット位置	ビット名	意　味
15-0	TAUDRDTm	一斉書き換え許可状態をトリガします。 0：機能なし 1：一斉書き換え許可フラグ（TAUDRSFm）を“1”とし、一斉書き換えトリガ待ち状態となります。 これらのビットの設定は、TAUDRDE.TAUDRDEm = 1 の場合にのみ適用されます。

(6) TAUD チャネルリロードステータスレジスタ（TAUDRSF）

このフラグレジスタは、一斉書き換えのステータスを示します。

- アクセス　16 ビット単位でリードのみ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDRSF	TAUDRSFm																4000 0848H
																	初期値
																	0000H
R/W	R																

ビット位置	ビット名	意　味
15-0	TAUDRSFm	一斉書き換えの状態を示します。 0：一斉書き換えトリガの発生によって、一斉書き換えが完了したことを示します。 1：一斉書き換え許可状態（TAUDRDTm = 1）で、一斉書き換えのトリガ待ちを示します。

16.3.5 TAUD 出力レジスタの詳細

(1) TAUD チャネル出力許可レジスタ（TAUDTOE）

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可／禁止します。

- アクセス　16 ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDTOE	TAUDTOEm																4000 085CH 初期値 0000H
R/W	R/W																

ビット位置	ビット名	意　味
15-0	TAUDTOEm	チャネル単体出力機能を許可／禁止します。 0：タイマ単体出力機能を禁止（ソフトウエア制御） 1：タイマ単体出力機能を許可

(2) TAUD チャネル出力レジスタ（TAUDTO）

このレジスタは、TAUDTTOUTm レベルを指定およびリードします。

- アクセス　16 ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDTO	TAUDTOm																4000 0858H 初期値 0000H
R/W	R/W																

ビット位置	ビット名	意　味
15-0	TAUDTOm	このレジスタは、TAUDTTOUTm レベルを指定およびリードします。 0：ロウレベル 1：ハイレベル チャネル単体出力機能が禁止されている（TAUDTOEm = 0）TAUDTOm ビットのみライト可能です。

(3) TAUD チャネル出力モードレジスタ（TAUDTOM）

このレジスタは、各チャネルの出力モードを指定します。

- アクセス　16 ビット単位でリード／ライト可能です。
  カウンタ停止中（TAUDTE.TAUDTEm = 0）のときのみ、ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDTOM	TAUDTOMm																4000 0A48H 初期値 0000H
R/W	R/W																

ビット位置	ビット名	意　味
15-0	TAUDTOMm	出力モードを指定します。 0：チャネル単体動作 1：チャネル連動動作

(4) TAUD チャネル出力コンフィギュレーションレジスタ（TAUDTOC）

このレジスタは、TAUDTOMm とともに各チャネルの出力モードを指定します。

- アクセス　　16 ビット単位でリード／ライト可能です。
  カウンタ停止中（TAUDTE.TAUDTEm = 0）のときのみ、ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDTOC	TAUDTOCm																4000 0A4CH 初期値 0000H
R/W	R/W																

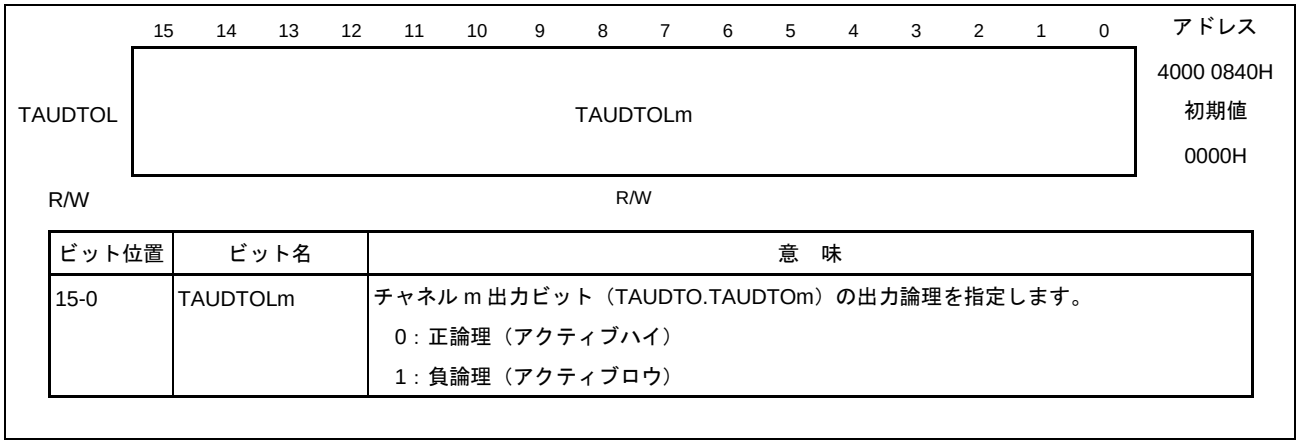
ビット位置	ビット名	意　味
15-0	TAUDTOCm	出力モードを指定します。 0：動作モード 1 1：動作モード 2 下表のように、出力モードは TAUDTOM.TAUDTOMm の設定によっても異なります。

TAUDTOMm	TAUDTOCm	機能説明
0	0	トグルモード： INTTAUDIm 発生時にトグル動作が行われます。
0	1	セット／リセットモード： カウント開始時の INTTAUDIm 発生時にセットされ、TAUDCNTm、TAUDCDRm の一致の検出による INTTAUDIm 発生時にリセットされます。
1	0	チャネル連動動作モード 1： マスタチャネルで INT が発生するとセット、スレーブチャネルで INT が発生するとリセットされます。
1	1	チャネル連動動作モード 2： ダウンカウント状態で INTTAUDIm が発生するとセット、アップカウント状態で INTTAUDIm が発生するとリセットされます。

(5) TAUD チャネル出力アクティブレベルレジスタ（TAUDTOL）

このレジスタは、チャネル出力ビット（TAUDTO.TAUDTOm）の出力論理を指定します。

- アクセス　16 ビット単位でリード／ライト可能です。
  カウンタ停止中（TAUDTE.TAUDTEm = 0）のときのみ、ライト可能です。



ビット位置	ビット名	意　味
15-0	TAUDTOLm	チャネル m 出力ビット（TAUDTO.TAUDTOm）の出力論理を指定します。 0：正論理（アクティブハイ） 1：負論理（アクティブロウ）

16.3.6　TAUD デッドタイム出力レジスタの詳細

(1)　TAUD チャネルデッドタイム出力許可レジスタ（TAUDTDE）

このレジスタは、全チャネルのデッドタイム動作を許可／禁止します。

- アクセス　16 ビット単位でリード／ライト可能です。
  カウンタ停止中（TAUDTE.TAUDTEm = 0）のときのみ、ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDTDE	TAUDTDEm																4000 0A50H 初期値 0000H
R/W	R/W																

ビット位置	ビット名	意　味
15-0	TAUDTDEm	チャネル m のデッドタイム制御動作を許可／禁止します。 0：デッドタイム動作禁止 1：デッドタイム動作許可 対になった偶数／奇数スレーブチャネルには同じ設定をする必要があります。 これらのビットの設定は、TAUDTOE.TAUDTOEm、TAUDTOM.TAUDTOMm、 TAUDTOC.TAUDTOCm = 1 の場合にのみ適用されます。

(2)　TAUD チャネルデッドタイム出力モードレジスタ（TAUDTDM）

このレジスタは、デッドタイム出力中にデッドタイムを付加するタイミングを指定します。

- アクセス　16 ビット単位でリード／ライト可能です。
  カウンタ停止中（TAUDTE.TAUDTEm = 0）のときのみ、ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDTDM	TAUDTDMm																4000 0A54H 初期値 0000H
R/W	R/W																

ビット位置	ビット名	意　味
15-0	TAUDTDMm	デッドタイム出力中にデッドタイムを付加するタイミングを指定します。 0：上位偶数チャネルのデューティサイクル検出時（デューティデッドタイム出力） 1：下位奇数チャネルの TIN 入力エッジ検出時（1 相デッドタイム出力） 対になった偶数／奇数スレーブチャネルには同じ設定をする必要があります。 これらのビットの設定は、TAUDTOE.TAUDTOEm、TAUDTOM.TAUDTOMm、 TAUDTOC.TAUDTOCm、TAUDTDE.TAUDTDEm = 1 の場合にのみ適用されます。

(3) TAUD チャネルデッドタイム出力レベルレジスタ（TAUDTDL）

このレジスタは、デッドタイムを付加する位相を選択します。

- アクセス　16 ビット単位でリード／ライト可能です。
  カウンタ停止中（TAUDTE.TAUDTEm = 0）のときのみ、ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDTDL	TAUDTDLm																4000 0854H 初期値 0000H
R/W	R/W																

ビット位置	ビット名	意　味
15-0	TAUDTDLm	デッドタイムを付加する位相を選択します。 0：正相 1：逆相 これらのビットの設定は、TAUDTOE.TAUDTOEm、TAUDTOM.TAUDTOMm、TAUDTOC.TAUDTOCm、TAUDTDE.TAUDTDEm = 1 の場合にのみ適用されます。

16.3.7　TAUD リアルタイム／変調出力レジスタの詳細

(1)　TAUD チャネルリアルタイム出力レジスタ（TAUDTRO）

このレジスタには、TAUDTTOUTm に出力する値を設定します。

- アクセス　16 ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDTRO	TAUDTROm																4000 084CH 初期値 0000H
R/W	R/W																

ビット位置	ビット名	意　味
15-0	TAUDTROm	TAUDTTOUTm に出力する値を設定します。 0：ロウレベル 1：ハイレベル TAUDTRE.TAUDTREm = 0 のとき、リアルタイム出力トリガが発生しても TAUDTROm の値は TAUDTTOUTm には出力されません。

(2)　TAUD チャネルリアルタイム出力許可レジスタ（TAUDTRE）

このレジスタは、リアルタイム出力を許可／禁止します。

- アクセス　16 ビット単位でリード／ライト可能です。
  カウンタ停止中（TAUDTE.TAUDTEm = 0）のときのみ、ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDTRE	TAUDTREm																4000 0A58H 初期値 0000H
R/W	R/W																

ビット位置	ビット名	意　味
15-0	TAUDTREm	チャネル m のリアルタイム出力を許可／禁止します。 0：リアルタイム出力禁止 1：リアルタイム出力許可 これらのビット設定は TAUTnTOE.TAUDTOEm = 1 時のみ適用されます。 TAUDTRE.TAUDTREm = 0 の場合 TAUDTTOUTm はリアルタイム出力の影響を受けません。 TAUDTRE.TAUDTREm = 1 の場合 TAUDTTOUTm はタイマ動作に応じてリアルタイム出力ビット TAUDTRO.TAUDTROm の値を出力します。

(3) TAUD チャネルリアルタイム出力制御レジスタ（TAUDTRC）

このレジスタは、各チャネルのリアルタイム出力トリガを制御します。

- アクセス　16 ビット単位でリード／ライト可能です。
  カウンタ停止中（TAUDTE.TAUDTEm = 0）のときのみ、ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDTRC	TAUDTRCm																4000 0A5CH 初期値 0000H
R/W	R/W																

ビット位置	ビット名	意　味
15-0	TAUDTRCm	チャネル m のリアルタイム出力トリガを生成するチャネルを指定します。 0：このビットが“1”に設定されている次の上位チャネル 1：チャネル m これらのビット設定は TAUDTRE.TAUDTREm = 1 時のみ適用されます。

(4) TAUD チャネル変調出力許可レジスタ（TAUDTME）

このレジスタは、タイマ出力とリアルタイム出力の変調出力を許可／禁止します。

- アクセス　16 ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TAUDTME	TAUDTMEm																4000 0850H 初期値 0000H
R/W	R/W																

ビット位置	ビット名	意　味
15-0	TAUDTMEm	チャネル m のタイマ出力とリアルタイム出力の変調出力を許可／禁止します。 0：変調禁止 1：変調許可 これらのビット設定は TAUDTOE.TAUDTOEm、TAUDTRE.TAUDTREm = 1 時にのみ適用されます。

16.3.8 TAUD エミュレーションレジスタの詳細

(1) TAUD エミュレーションレジスタ（TAUDEMU）

このレジスタは SVSTOP による動作を制御します。

- アクセス　8 ビット単位でリード／ライト可能です。
  カウンタ停止中（TAUDTE.TAUDTEm = 0）のときにライト動作を行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAUD EMU	TAUD SVSDIS	0	0	0	0	0	0	0	4000 0A90H	00H
R/W	R/W	0	0	0	0	0	0	0		

ビット位置	ビット名	意　味
7	TAUDSVSDIS	0：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを停止 1：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給
6-0	－	Reserved（0 が読み出されます。）

16.4　基本操作手順

TAUD の基本操作手順を次に示します。リセット解除後、各チャネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャネルの全回路およびレジスタが初期化されます。TAUDTTOUTm の制御レジスタも初期化され、ロウレベルを出力します。

(1)　TAUDTPS と TAUDBRS レジスタを設定して CK0～CK3 のクロック周波数を指定してください。
(2)　任意の TAUD 機能を設定してください。
　・動作モードを設定してください。
　・チャネル出力モードを設定してください。
　・その他の制御ビットを設定してください。
(3)　TAUDTS.TAUDTSm ビットを“1”に設定してカウンタ動作を許可してください。カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
(4)　カウント動作中、設定した機能に応じてカウントの停止や強制リスタートを行ってください。カウントの停止は TAUDTT.TAUDTTm ビットを 1 に設定してください。強制リスタートは TAUDTS.TAUDTSm ビットを 1 に設定してください。
(5)　TAUDTT.TAUDTTm ビットを“1”に設定して機能を停止してください。

備考 各機能の動作とレジスタ設定は、各機能の詳細説明を参照してください。

16.5　チャネル連動動作の概念

連動動作機能は、チャネルグループ（マスタチャネルとスレーブチャネルで構成されます）を組み合わせて実現する機能です。チャネルの設定には、いくつかのルールがあります。ルールの詳細は、「16.5.1. チャネル連動動作のルール」に示します。チャネル連動動作の 2 つの特殊な機能の詳細を次の節で説明します。

- 「16.5.2. 連動チャネルカウンタの同時動作開始／停止」
- 「16.6. 一斉書き換え」

16.5.1　チャネル連動動作のルール

(1)　マスタおよびスレーブチャネル数

- マスタチャネルには、偶数チャネル（CH0、CH2、CH4、…）のみ設定できます。スレーブチャネルには、CH0 を除くすべてのチャネルを設定できます。
- マスタチャネルより下位のチャネルのみスレーブチャネルとして設定でき、1 つのマスタチャネルに対し複数のスレーブチャネルを設定できます。
  例：CH2 がマスタチャネルの場合、CH3 以下（CH3、CH4、CH5、…）を
  スレーブチャネルに設定できます。
- マスタチャネルを複数使用する場合、マスタチャネルを跨いだスレーブチャネルの設定はできません。
  例：CH0、CH4 がマスタチャネルの場合、CH0 に対して CH1～CH3 までを
  スレーブチャネルとして設定できますが、CH5～CH15 は設定できません。

(2)　動作クロック

- マスタチャネルと連動するスレーブチャネルには同じ動作クロックを設定する必要があります。マスタチャネルとスレーブチャネルの TAUDCMORm.TAUDCKS[1:0]ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブチャネルの使用と動作クロックの基本的な概念を「図16.2 チャネルのグループ化と動作クロックの割り当て」に示します。

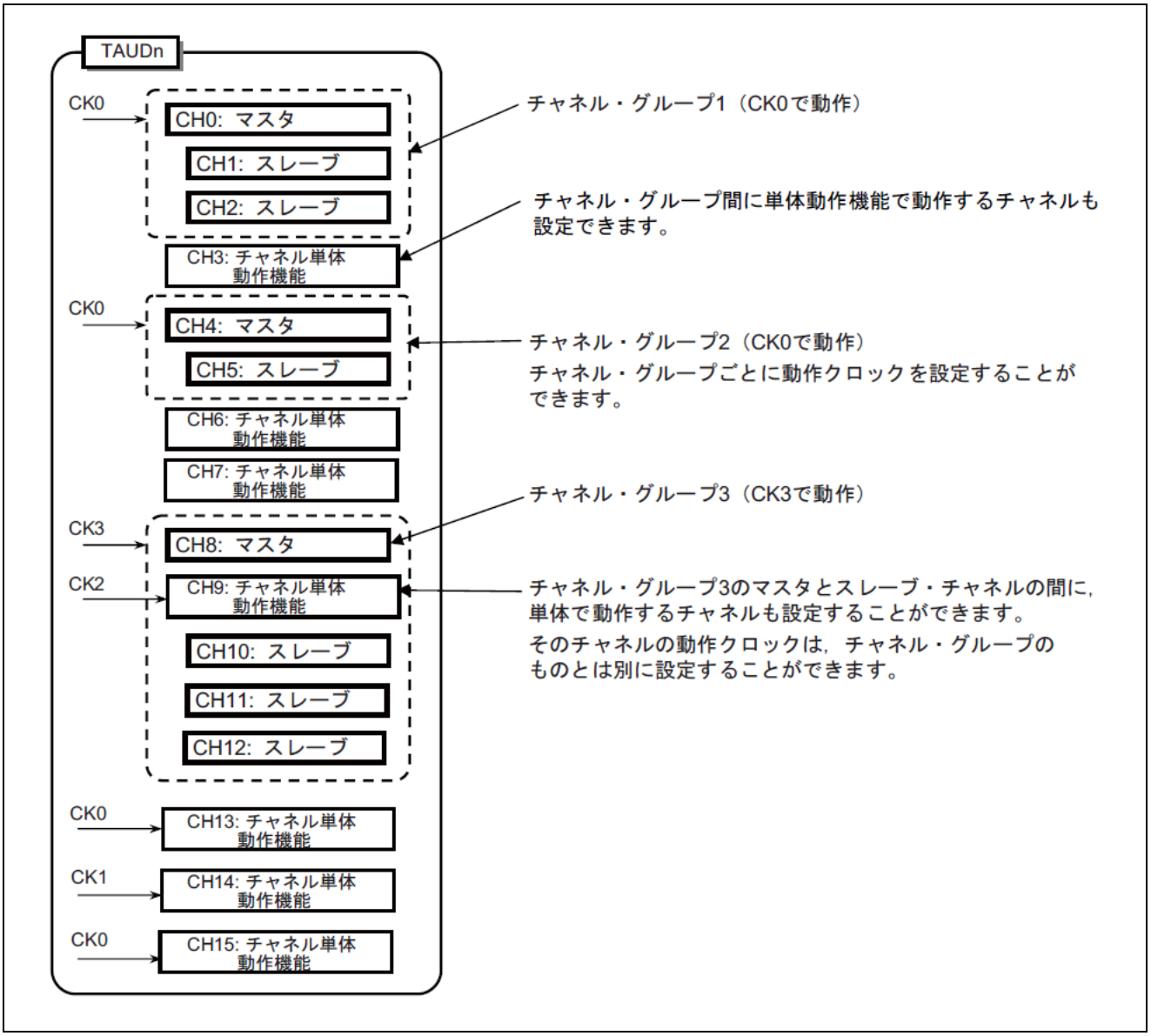


図16.2　チャネルのグループ化と動作クロックの割り当て

(3) マスタチャネル、スレーブチャネルの制御トリガ信号

- マスタチャネルは、制御トリガ信号をスレーブチャネルに出力することができます。
- スレーブチャネルは、マスタチャネルの制御トリガ信号を使用できますが、スレーブチャネル自身の制御トリガ信号を下位チャネルに出力することはできません。
- マスタチャネルは、自身より上位のマスタチャネルの制御トリガ信号を使用することはできません。

16.5.2 連動チャネルカウンタの同時動作開始／停止

連動するチャネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

(1) ユニット内の連動チャネルカウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには、それらの TAUDTS.TAUDTSm ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには、それらの TAUDTT.TAUDTTm ビットを同時に設定する必要があります。

TAUDTS.TAUDTSm ビットに“1”を設定することにより、対応する TAUDTE.TAUDTEm ビットが“1”にセットされ、カウント動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

16.6　一斉書き換え

16.6.1　動作概要

一斉書き換えとは、複数チャネルのコンペア／スタート値と出力論理を一斉に書き換えることを指します。

対応するデータと制御レジスタ（TAUDCDRm、TAUDTOLm）は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。一斉書き換えは、次の場合にトリガされます。

- マスタチャネルまたは上位チャネル（動作モードによって異なる）のカウンタが特定の値に達した場合
- TAUDRDC.TAUDRDCm で指定された上位チャネルにて INTTAUDIm が発生した場合

一斉書き換えは 4 つの方法で行えます。一斉書き換え方法の指定と、これらの方法で一斉書き換えがトリガされるタイミングを表16.5に示します。

表16.5　一斉書き換え方法とトリガタイミング

方式	一斉書き換えがトリガされるタイミング	TAUDRDE. TAUDRDEm	TAUDRDS. TAUDRDSm	TAUDRDM. TAUDRDMm
ー	一斉書き換えが行われない場合	0	0	0
A	マスタチャネルがカウントを再開／開始した場合	1	0	0
B	マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングでダウンカウントを開始した場合	1	0	1
C1	TAUDRDC.TAUDRDCm で指定した上位チャネルにて INTTAUDIm が発生した場合	1	1	0/1
C2	外部信号によりトリガされる TAUDRDC.TAUDRDCm で指定した上位チャネルにて INTTAUDIm が発生した場合	1	1	0/1

4 つの方法のうち、各チャネル動作機能で使用できる方法を表16.6に示します。各チャネル動作機能の詳細は、「16.12. チャネル単体動作機能」と「16.15. チャネル連動動作機能」を参照してください。

表16.6　一斉書き換え方法とトリガタイミング

（1/2）

機能	A	B	C1	C2	TAUDTOL. TAUDTOLm
一斉書き換えトリガ出力機能タイプ 1			○		
PWM 出力機能	○		○		○
ワンショットパルス出力機能	○				
トリガスタート PWM 出力機能	○			○	
ディレイパルス出力機能	○				
三角波 PWM 出力機能		○	○		○
デッドタイム付き三角波 PWM 出力機能		○	○		
割り込み要求信号間引き機能	○	○	○		

備考 ○：使用可能、空欄：使用不可

（2/2）

機能	A	B	C1	C2	TAUDTOL. TAUDTOLm
AD 変換トリガ出力機能タイプ 1	○		○		
AD 変換トリガ出力機能タイプ 2		○	○		
非相補方式変調出力機能タイプ 1	○		○		
非相補方式変調出力機能タイプ 2		○	○		
相補方式変調出力機能		○	○		

備考 ○：使用可能、空欄：使用不可

16.6.2　一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を図16.3に示します。3 つの主なブロック（初期設定、カウント開始& カウント動作、一斉書き換え）は後述します。

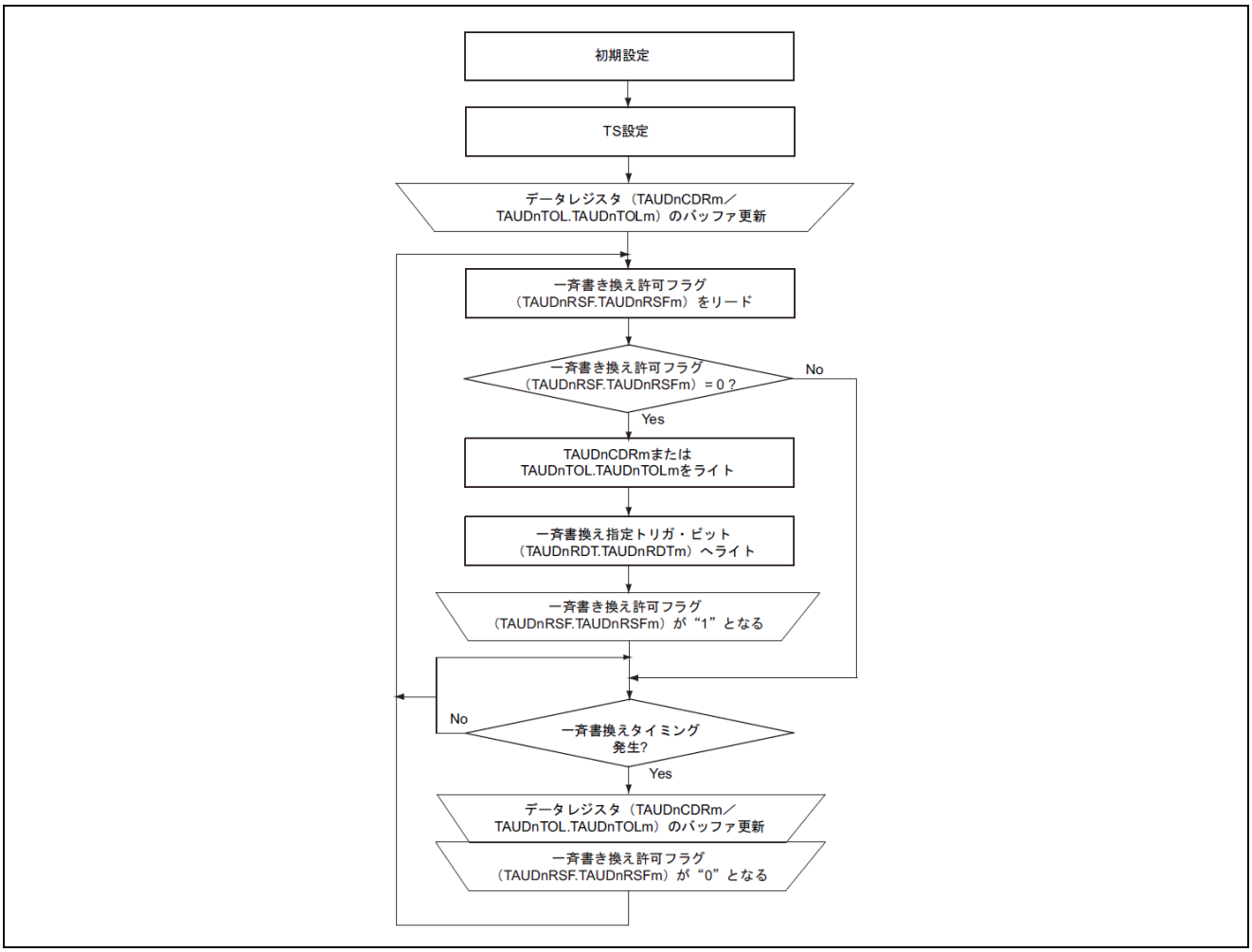


図16.3　一斉書き換えの基本手順

(1) 初期設定

- チャネル m にて一斉書き換えを許可するには、TAUDRDE.TAUDRDEm = 1 を設定してください。
- 一斉書き換えの種類を選ぶには、TAUDRDM.TAUDRDMm と TAUDRDS.TAUDRDSm を「表16.5 一斉書き換え方法とトリガタイミング」に示す値に設定してください。
- TAUDRDC.TAUDRDCm で、一斉書き換えトリガ生成チャネルを指定してください（前提：上位チャネルに TAUDRDS.TAUDRDSm が設定されている）。

(2) カウント開始とカウント動作

- チャネルグループに属するすべての TAUDCNTm カウンタ動作を開始するには、対応する TAUDTS.TAUDTSm ビットを“1”に設定してください。TAUDTOL.TAUDTOLm とデータレジスタ（TAUDCDRm）の値は、対応する TAUDTOL.TAUDTOLm バッファ（TAUDTOL.TAUDTOLm buf）とデータバッファレジスタ（TAUDCDRm buf）にロードされ、カウンタはカウントを開始します。
- リロードデータトリガビット（TAUDRDT.TAUDRDTm）を“1”に設定することにより、リロードフラグ（TAUDRSF.TAUDRSFm）が“1”に設定され、一斉書き換えが許可されます。TAUDRSF.TAUDRSFm は一斉書き換えが完了するまで“1”のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可（TAUDRSF.TAUDRSFm = 1）されているかを確認するために TAUDRSF.TAUDRSFm ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

(3) 一斉書き換え

- 一斉書き換えが許可（TAUDRSF.TAUDRSFm = 1）され、一斉書き換えトリガが検出されると、データレジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始／再開するときに適用されます。
- 一斉書き換えが完了すると、TAUDRSF.TAUDRSFm ビットは“0”に設定され、システムは次の一斉書き換えトリガを待ちます。

16.6.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中（TAUDTE.TAUDTEm = 1）は、TAUDRDE.TAUDRDEm、TAUDRDS.TAUDRDSm、TAUDRDM.TAUDRDMm、TAUDRDC.TAUDRDCm を変更することはできません。
- PWM 出力機能または三角波 PWM 出力機能は、動作している場合でも TAUDTOL.TAUDTOLm を書き換えることができます。ほかの機能は、動作を開始する前に TAUDTOL.TAUDTOLm を書き換える必要があります。ほかの機能で動作しているときに書き換えた場合、TAUDTTOUTm は不正な値を出力します。
- 上位チャネルで一斉書き換えトリガを発行した場合（TAUDRDS.TAUDRDSm = 1）、すべての下位チャネルは TAUDRDC.TAUDRDCm ビットに制御されます。つまり、CH2 と CH7 の TAUDRDC.TAUDRDCm ビットを“1”に設定し、ほかのチャネルの TAUDRDC.TAUDRDCm ビットを“0”に設定した場合、CH2 と CH7 が一斉書き換えトリガ生成チャネルとなります。CH2 は、下位チャネル CH3～CH6 を制御し、CH7 は、下位チャネル CH8～CH15 を制御します。
- 一斉書き換えを許可し、ある上位チャネルを一斉書き換えトリガ生成チャネルとして選択（TAUDRDE.TAUDRDEm、TAUDRDS.TAUDRDSm = 1）したにもかかわらず、下位チャネルを設定していない場合（TAUDRDC.TAUDRDC[15:0] = 0）、一斉書き換えは行いません。

16.6.4　一斉書き換えの種類

次に、タイミング図を使用して 4 つの一斉書き換え方法を説明します。

(1)　マスタチャネルがカウントを再開／開始した場合の一斉書き換え（方法 A）

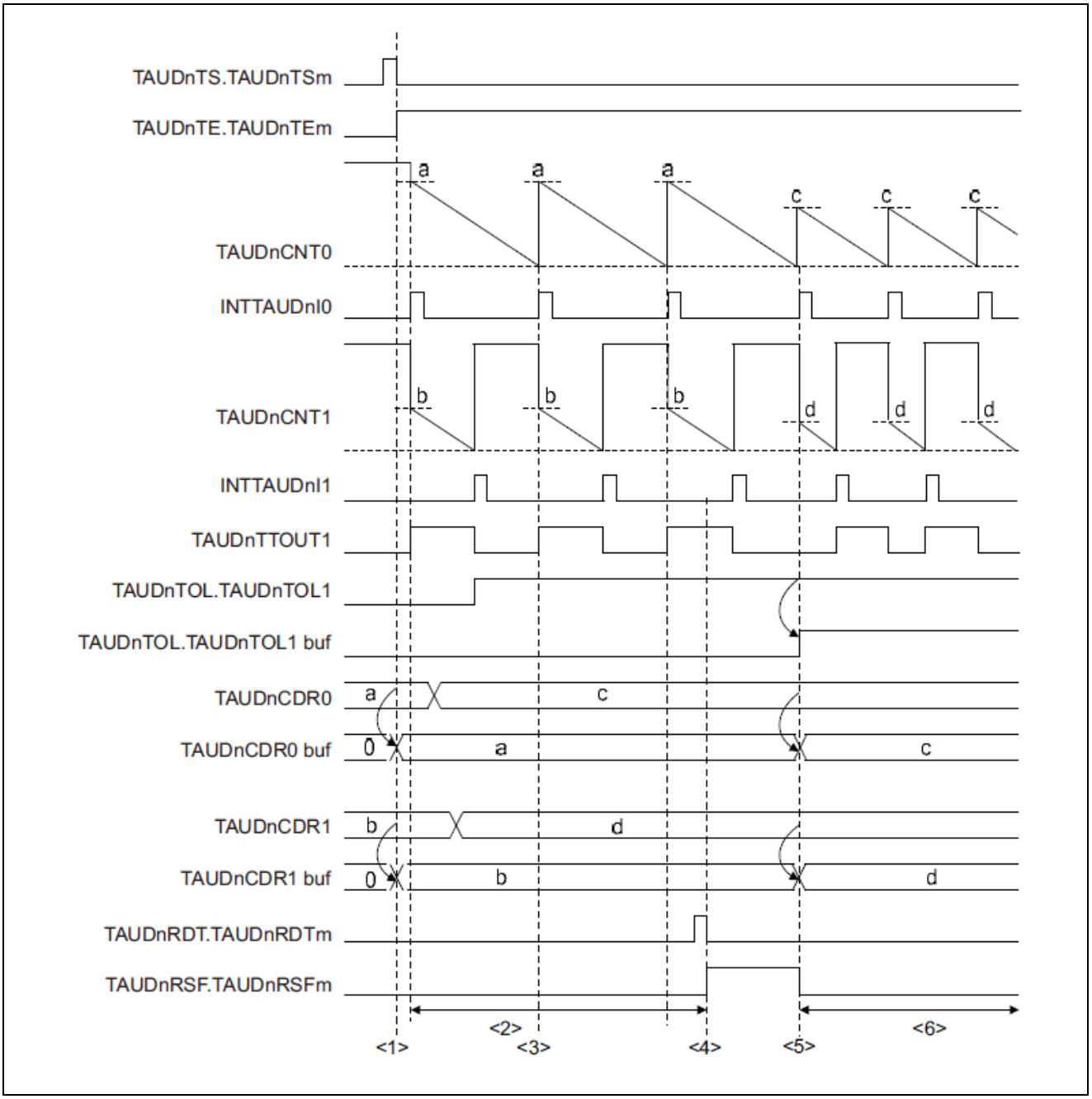


図16.4　マスタチャネルがカウントを再開／開始した場合の一斉書き換え

【設定】

CH0 は、ダウンカウントを行うマスタチャネルです。CH1 は、任意のスレーブチャネルです。一斉書き換え方法 A が適用されます。

【説明】

(1) TAUDTS.TAUDTSm = 1 に設定すると、TAUDCDRm の値が TAUDCDRm バッファに、TAUDTOL.TAUDTOLm の値が TAUDTOL.TAUDTOLm バッファにコピーされます。

(2) TAUDCDRm と TAUDTOL.TAUDTOLm レジスタは常に書き込めます。

(3) CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません（TAUDRSF.TAUDRSFm = 0）。

(4) リロードデータトリガビット（TAUDRDT.TAUDRDTm）を“1”に設定することにより、ステータスフラグが設定され（TAUDRSF.TAUDRSFm = 1）、一斉書き換えが許可されます。

(5) 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUDCDRm の値は TAUDCDRm バッファに、TAUDTOL.TAUDTOLm の値は TAUDTOL.TAUDTOLm バッファにロードされます。

(6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDCDRm と TAUDTOL.TAUDTOLm の値は再変更できます。

(2) スレーブチャネルの三角波の[山]のタイミングで一斉書き換え（方法 B）

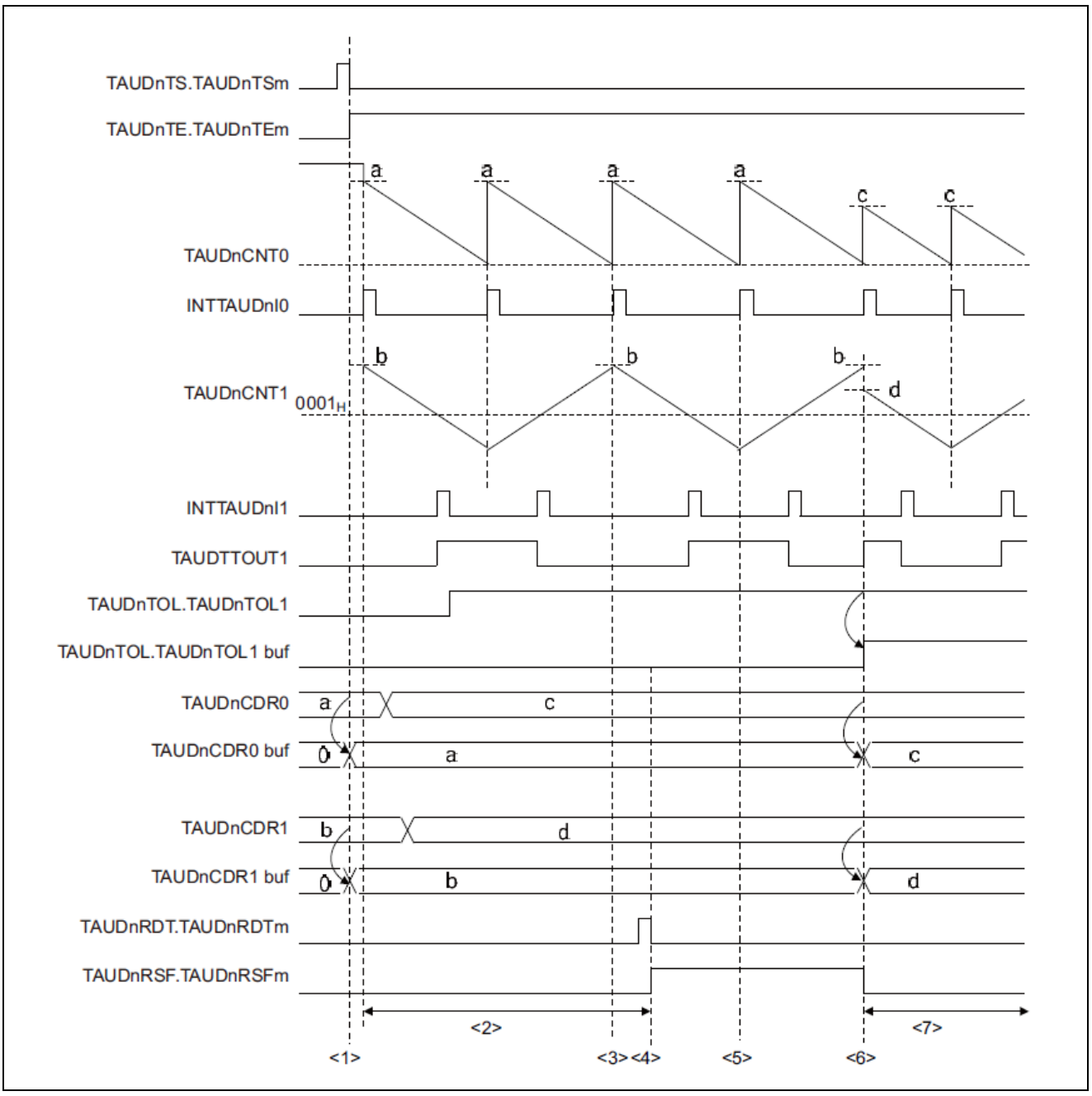


図16.5 スレーブチャネルの三角波の[山]のタイミングで一斉書き換え

【設定】

CH0 は、ダウンカウントを行うマスタチャネルです。CH1 は、任意のスレーブチャネルです。一斉書き換え方法 B が適用されます。

【説明】

(1) TAUDTS.TAUDTSm = 1 に設定すると、TAUDCDRm の値が TAUDCDRm バッファにコピーされます。
(2) TAUDCDRm と TAUDTOL レジスタは常に書き込めます。
(3) 一斉書き換えは許可されていないため行われません（TAUDRSF.TAUDRSFm = 0）。
(4) リロードデータトリガビット（TAUDRDT.TAUDRDTm）を“1”に設定することにより、ステータスフラグが設定され（TAUDRSF.TAUDRSFm = 1）、一斉書き換えが許可されます。
(5) 一斉書き換えは、三角波周期の[谷]のタイミングでは発生しません。
(6) 一斉書き換えは、三角波周期の[山]のスタートタイミングで行われます。TAUDCDRm の値は TAUDCDRm バッファに、TAUDTOL.TAUDTOLm の値は TAUDTOL.TAUDTOLm バッファにロードされます。
(7) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDCDRm と TAUDTOL.TAUDTOLm の値は再変更できます。

(3) TAUDRDC.TAUDRDCm で指定した上位チャネルにて INTTAUDIm が発生した場合の一斉書き換え（方法 C1）

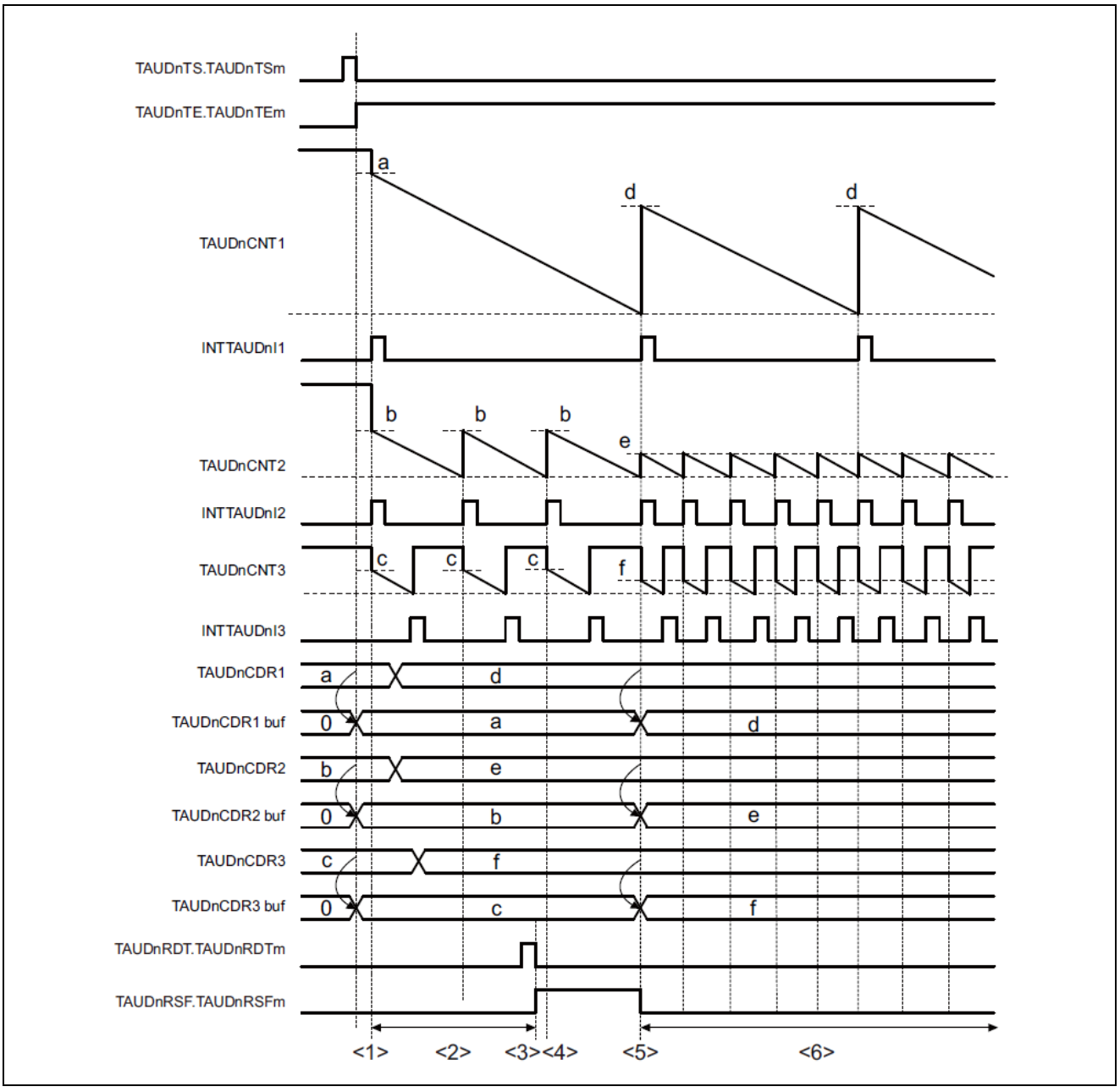


図16.6　TAUDRDC.TAUDRDCm で指定した上位チャネルにて INTTAUDIm が発生した場合の一斉書き換え

【設定】

CH1 は、ダウンカウントを行う上位チャネルです。CH2 は、マスタチャネルです。CH3 は、スレーブチャネルです。一斉書き換え方法 C1 が適用されます。TAUDRDC レジスタで、一斉書き換えトリガ生成チャネルを指定します。

【説明】

(1) TAUDTS.TAUDTSm = 1 に設定すると、TAUDCDRm の値が TAUDCDRm バッファにコピーされます。
(2) TAUDCDRm レジスタは常に書き込めます。
(3) リロードデータトリガビット（TAUDRDT.TAUDRDTm）を“1”に設定することにより、ステータスフラグが設定され（TAUDRSF.TAUDRSFm = 1）、一斉書き換えが許可されます。
(4) 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。
(5) 一斉書き換えは、カウンタ 1 が 0000H に達したときに発生する INT1 をトリガとして行われます。TAUDCDRm の値は対応する TAUDCDRm バッファにロードされます。
(6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDCDRm レジスタの値は再変更できます。

(4)　外部信号によりトリガされる TAUDRDC.TAUDRDCm で指定した上位チャネルにて INTTAUDIm が発生した場合の一斉書き換え（方法 C2）

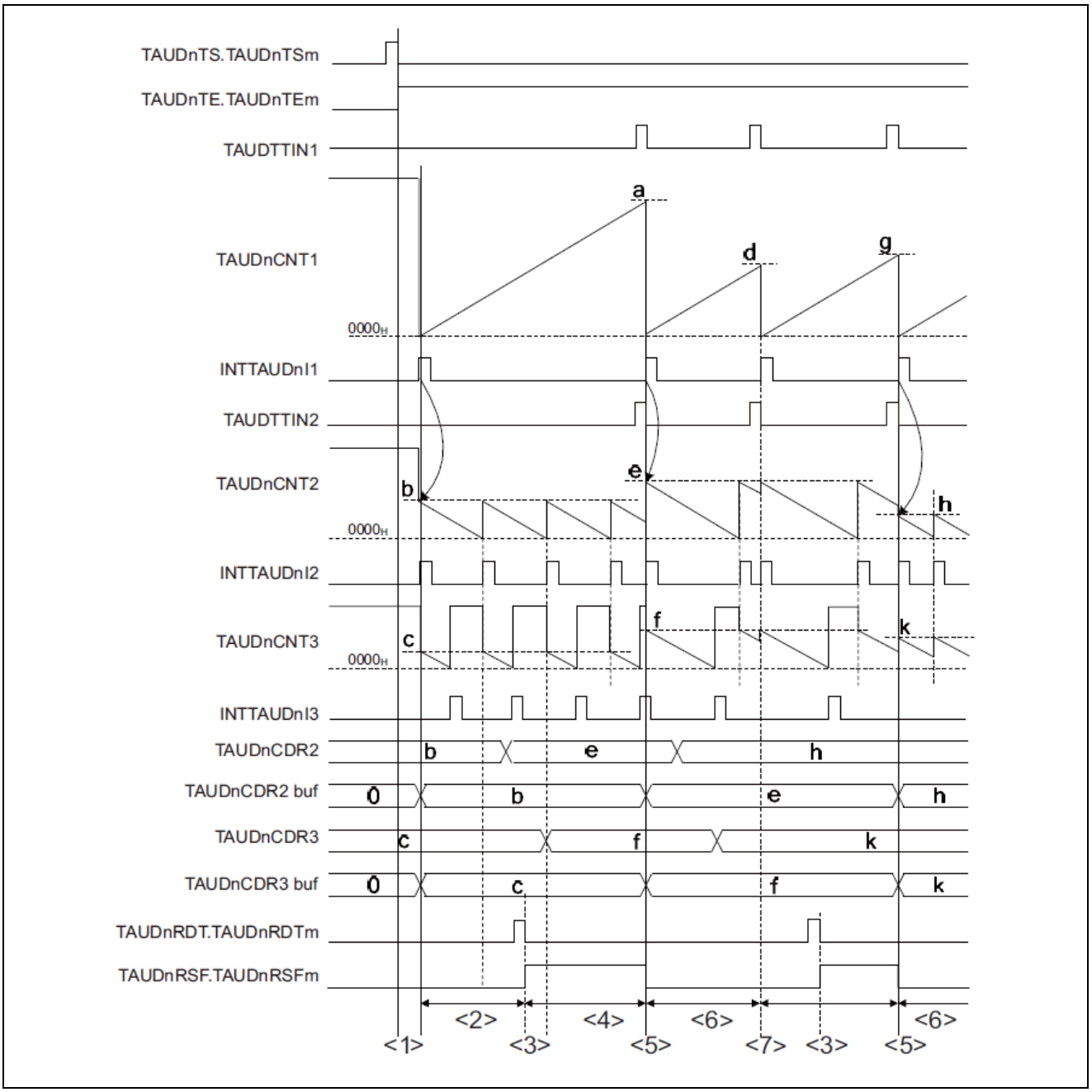


図16.7　外部信号によりトリガされる TAUDRDC.TAUDRDCm で指定した上位チャネルにて INTTAUDIm が発生した場合の一斉書き換え

【設定】

CH1 は、アップカウントを行う上位チャネルです。CH2 は、マスタチャネルです。CH3 は、スレーブチャネルです。チャネル連動動作方法 C2 が適用されます。TAUDRDC レジスタは、INTTAUDIm トリガにてモニタする上位チャネルを指定します。

【説明】

(1) TAUDTS.TAUDTSm = 1 に設定すると、TAUDCDRm の値が TAUDCDRm バッファにコピーされます。ただし、TAUDCDR1 はキャプチャモードのため、TAUDCDR1 の値が TAUDCDR1 バッファにコピーされません。

(2) TAUDCDRm レジスタは常に書き込めます。

(3) リロードデータトリガビット（TAUDRDT.TAUDRDTm）を“1”に設定することにより、ステータスフラグが設定され（TAUDRSF.TAUDRSFm = 1）、一斉書き換えが許可されます。

(4) 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。

(5) 一斉書き換えは、外部信号 TIN1 で発生する INT1 をトリガとして行われます。TAUDCDRm の値は、対応する TAUDCDRm バッファにロードされます。

(6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDCDRm レジスタの値は再変更できます。

(7) TIN2 で外部信号が発生しますが、一斉書き換えは許可されていない（TAUDRSF.TAUDRSFm = 0）ため行われません。

16.7　チャネル出力モード

TAUDTTOUTm 端子の出力は、2 つの方法で制御することができ、2 つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御（TAUDTOE.TAUDTOEm = 0）
  ソフトウェアで制御した場合、出力レジスタビット（TAUDTO.TAUDTOm）に書き込んだ値は、出力端子（TAUDTTOUTm）に転送されます。
- TAUD 信号による制御（TAUDTOE.TAUDTOEm = 1）
  TAUD 信号で制御した場合、TAUDTTOUTm の出力レベルはセット／リセット、または内部信号によりトグルされます。これに応じて、TAUDTTOUTm の値を反映するために、TAUDTO.TAUDTOm の値は更新されます。
  - 単体制御（TAUDTOM.TAUDTOMm = 0）
    単体動作の場合、TAUDTTOUTm 端子の出力はチャネル m の設定のみの影響を受けます。したがって、チャネル単体動作を指定（TAUDTOM.TAUDTOMm = 0）する必要があります。
  - 連動制御（TAUDTOM.TAUDTOMm = 1）
    連動動作の場合、TAUDTTOUTm 端子の出力は、チャネル m とその他のチャネルの設定の影響を受けます。したがって、すべての連動するチャネルに対してチャネル連動動作を指定する必要があります（TAUDTOM.TAUDTOMm = 1）。

TAUDTO.TAUDTOm ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUDTTOUTm の現在の値を確認することができます。

- **制御ビット**

特定のチャネル出力モードを選択するために必要な制御ビットの設定は、「表16.8 チャネル出力モード」に示します。

チャネル出力モードの詳細は次の節を参照してください。

・「16.7.2. TAUD信号により単体制御されるチャネル出力モード」
・「16.7.3. TAUD信号により連動制御されるチャネル出力モード」

- **TAUDTOm ビットの一括操作**

TAUDTOm ビットへの設定値の反映/非反映は、TAUDTOE.TAUDTOEm ビットにより制御されます。

TAUDTO レジスタにライトした時に、TAUDTOE.TAUDTOEm ビット=0 を設定したビット（チャネル）にのみ、TAUDTOm の設定値の書き込みが行われます。

TAUDTOE.TAUDTOEm ビット= 1 を設定したビット（チャネル）は、TAUDTOm の設定値は反映されません。

- **出力論理**

出力の正論理または負論理は、制御ビット TAUDTOL.TAUDTOLm で指定します。TAUDTOL.TAUDTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能または三角波 PWM 出力機能時のみです。カウンタ動作開始後に TAUDTOL.TAUDTOLm を変更すると、TAUDTTOUTm 信号の出力は不定になります。「16.6. 一斉書き換え」を参照してください。

各種チャネル出力モードとチャネル出力制御ビットを表16.7に示します。

表16.7　チャネル出力モード

チャネル出力モード	TAUDTOE.TAUDTOEm	TAUDTOM.TAUDTOMm	TAUDTOC.TAUDTOCm	TAUDTDE.TAUDTDEm	TAUDTRE.TAUDTREm	TAUDTME.TAUDTMEm	TAUDTDM.TAUDTDMm
ソフトウェア制御							
ソフトウェア制御のチャネル単体出力モード	0	X					
TAUD 信号による単体動作制御							
チャネル単体出力モード 1	1	0	0	0	0	0	0
リアルタイム出力を行うチャネル単体出力モード 1						1	
チャネル単体出力モード 2			1			0	
TAUD 信号による連動動作制御							
チャネル連動出力モード 1	1	1	0	0	0	0	0
非相補方式変調出力を行うチャネル連動出力モード 1					1	X	
チャネル連動出力モード 2			1	0	0	0	0
デッドタイム出力を行うチャネル連動出力モード 2				1			
1 相 PWM 出力を行うチャネル連動出力モード 2							1
相補方式変調出力を行うチャネル連動出力モード 2					1	1	0
非相補方式変調出力を行うチャネル連動出力モード 2				0			

注意 1. 表に記述のない組み合わせは禁止です。
2. “X”が記されているビットは、任意の値を設定できます。

備考 1. 次のビットは、カウント動作中（TAUDTE.TAUDTEm = 1）は変更できません。

- **TAUDTOE.TAUDTOEm**
- **TAUDTOM.TAUDTOMm**
- **TAUDTOC.TAUDTOCm**
- **TAUDTDE.TAUDTDEm**
- **TAUDTRE.TAUDTREm**
- **TAUDTDM.TAUDTDMm**

2. 次のビットは、変調出力を行うチャネル出力モードを除き、カウント動作中（TAUDTE.TAUDTEm = 1）は変更できません。

- **TAUDTME.TAUDTMEm**
- **TAUDTDL.TAUDTDLm**

16.7.1　チャネル出力モードを指定するための基本手順

TAUDTTOUTm チャネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります（TAUDTOE.TAUDTOEm = 0）。

(1)　TAUDTO.TAUDTOm を設定して TAUDTTOUTm 出力の初期レベルを指定してください。
(2)　「表16.8 チャネル出力モード」を参照してチャネル出力モードを設定し、TAUDTOL.TAUDTOLm ビットで出力論理を設定してください。
(3)　カウンタのカウントを開始してください（TAUDTS.TAUDTSm = 1）。

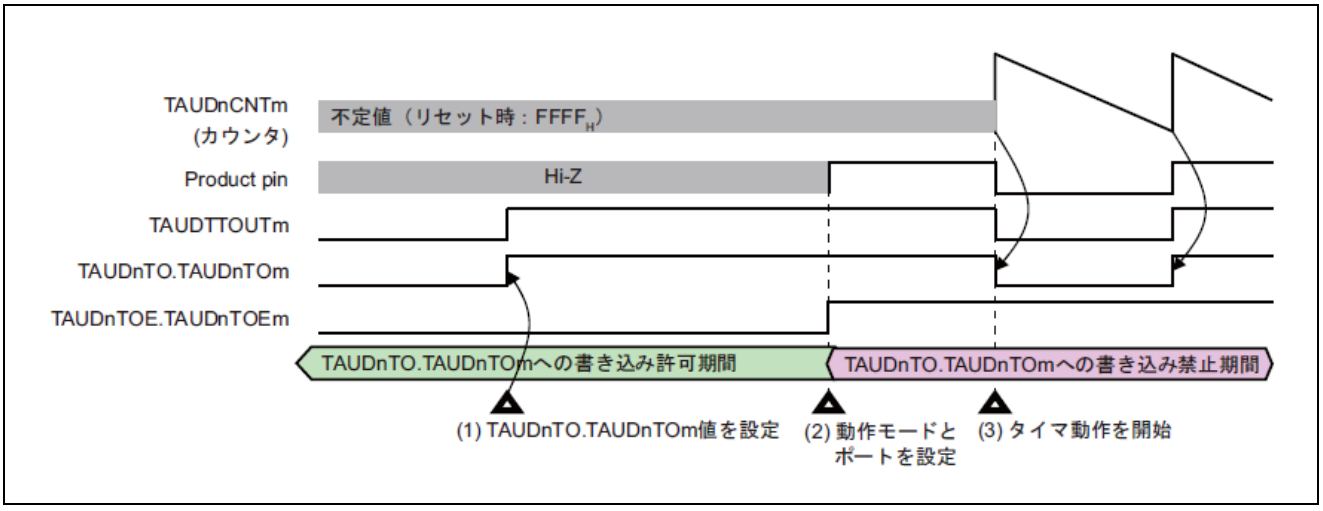


図16.8　TAUDTTOUTm チャネル出力モードを指定するための基本手順

16.7.2　TAUD 信号により単体制御されるチャネル出力モード

この節では、TAUD 信号により単体制御されるチャネル出力モードを示します。モードを指定する制御ビットは、「表16.7 チャネル出力モード」に示します。

(1)　チャネル単体出力モード 1

- **セット／リセット条件**

この出力モードでは、INTTAUDIm が検出されると TAUDTTOUTm がトグルされます。
TAUDTOL.TAUDTOLm の値は無視されます。

- **前提条件**

「表16.7 チャネル出力モード」に示す条件以外の条件はありません。

(2)　リアルタイム出力を行うチャネル単体出力モード 1

この出力モードでは、トリガチャネルの TAUDTRO.TAUDTROm ビットが TAUDTTOUTm に出力されます。トリガチャネルは、対応する TAUDTRC.TAUDTRCm ビットを“1”に設定することで指定します。トリガチャネルは、TAUDTRC.TAUDTRCm = 0 が設定されているすべての下位チャネルを制御します。

- **セット／リセット条件**

TAUDTRO.TAUDTROm ビットの値は、トリガチャネルで INTTAUDIm 割り込みが発生した場合にのみ TAUDTTOUTm に転送されます。INTTAUDIm 割り込みは、次のいずれかの場合に発生します。

・指定した周期
・有効な TAUDTTINm 入力エッジ、またはカウント開始の検出

トリガの種類は、TAUDCMORm.TAUDMD[4:1]ビットで設定します。

- **前提条件**

マスタチャネルおよびスレーブチャネルは、ともにトリガ生成チャネルとして設定できます。TAUDTRC.TAUDTRCm を“1”に設定したチャネルは、TAUDTRE.TAUDTREm の値にかかわらずトリガ生成チャネルとして動作します。

上位チャネルの TAUDTRC.TAUDTRCm に“1”を設定したチャネルが上位にない場合、または TAUDTRC.TAUDTRC0 = 0 を設定したチャネルは、リアルタイム出力を行いません。

これを図16.9に示します。

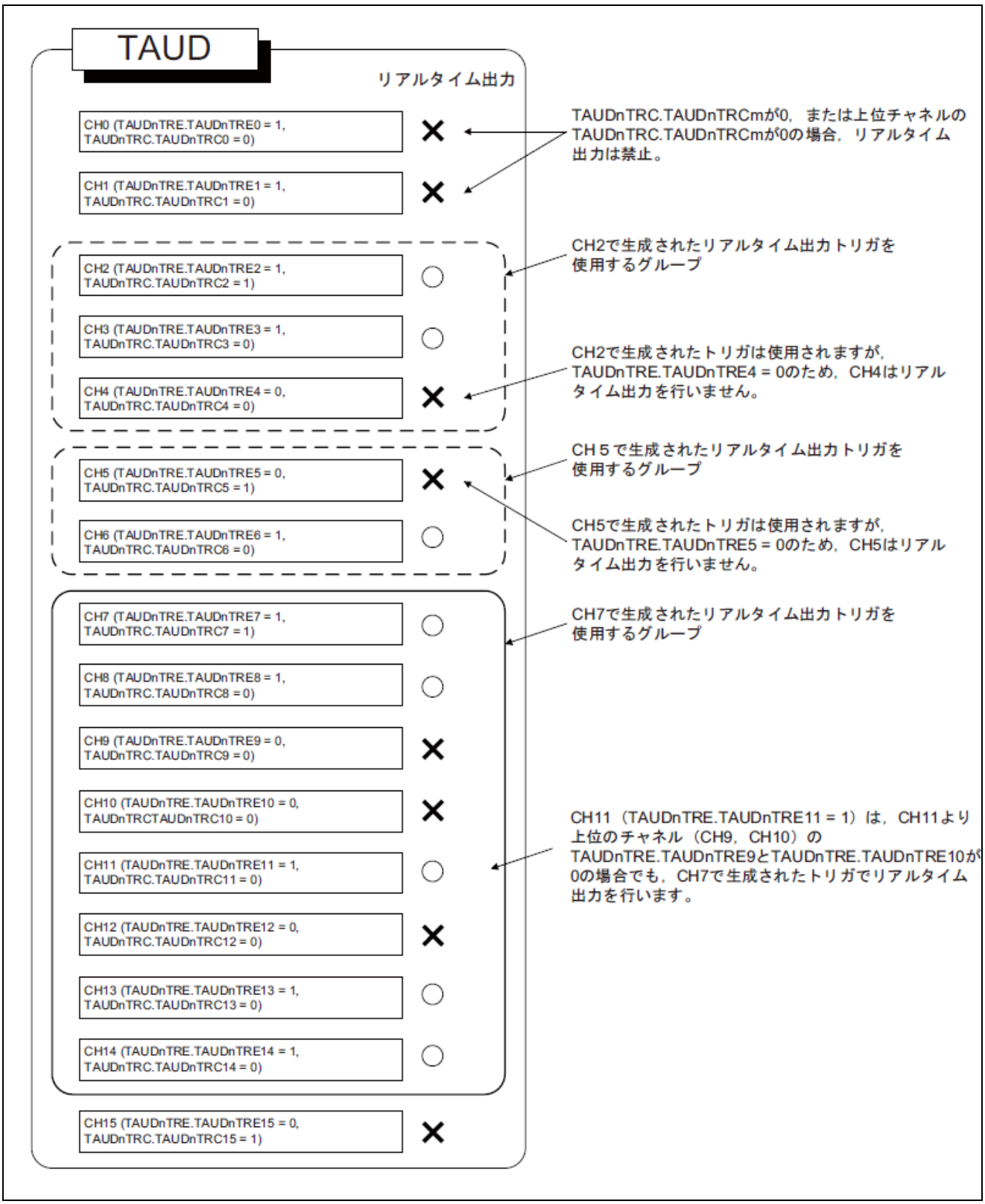


図16.9　　リアルタイム出力

(3) チャネル単体出力モード 2

- セット／リセット条件

この出力モードでは、TAUDTTOUTm は、カウント開始の INTTAUDIm 発生でセット、TAUDCNTm と TAUDCDRm の一致による INTTAUDIm 発生でリセットされます。

- 前提条件

「表16.7 チャネル出力モード」に示す条件以外の条件はありません。

16.7.3 TAUD 信号により連動制御されるチャネル出力モード

この節では、TAUD 信号により連動制御されるチャネル出力モードを示します。モードを指定する制御ビットは、「表16.7 チャネル出力モード」に示します。

(1) チャネル連動出力モード 1

- セット／リセット条件

この出力モードでは、マスタチャネルの INTTAUDIm がセット信号、スレーブチャネルの INTTAUDIm がリセット信号となります。マスタチャネルの INTTAUDIm とスレーブチャネルの INTTAUDIm が同時発生した場合、スレーブチャネルの INTTAUDIm（リセット信号）は、マスタチャネルの INTTAUDIm（セット信号）より優先されます（マスタチャネルは無視されます）。

- 前提条件

「表16.7 チャネル出力モード」に示す条件以外の条件はありません。

(2) 非相補方式変調出力を行うチャネル連動出力モード 1

- セット／リセット条件

この出力モードでは、TAUDTTOUTm は、あるチャネルの PWM 出力とリアルタイム出力ビット（TAUDTRO.TAUDTROm）間の AND 演算の結果を出力します。デッドタイムが付加される位相は、正相位相の場合は TAUDTDL.TAUDTDLm = 0、逆相位相の場合は TAUDTDL.TAUDTDLm = 1 を設定してください。

- 前提条件

PWM 出力を生成するには 3 つ以上のチャネル 1 組が必要です。マスタチャネルとスレーブチャネル 1 は周期を生成し、スレーブチャネル 2 はデューティサイクルを生成します。代表的なアプリケーションでは、スレーブチャネル 2 と同様に動作するスレーブチャネルをさらに 5 つ使用します。

同じチャネルの PWM 出力とリアルタイム出力ビットのみ組み合わせることができます。

TAUDTRO.TAUDTROm、TAUDTME.TAUDTMEm、TAUDTDL.TAUDTDLm は、カウント動作中のみ変更できます。

- TAUDTME.TAUDTMEm を変更した場合、TAUDTME.TAUDTMEm の新しい値は、指定したチャネルで INTTAUDIm が検出されたときに適用されます。
- TAUDTME.TAUDTMEm と TAUDTDL.TAUDTDLm を変更した場合、新しい値は、マスタチャネルで INTTAUDIm が検出されたときに適用されます。

(3)　チャネル連動出力モード 2

この出力モードでは、動作モードをアップ／ダウンカウントモードに設定する必要があります。その結果、TAUDTTOUTm より三角波 PWM が出力されます。詳細は「16.15.7. 三角波PWM出力機能」を参照してください。

- **セット／リセット条件**

スレーブチャネルの TAUDCNTm は、アップ／ダウンカウントを繰り返します。カウントが 0001H を越えると、割り込みを発生し、TAUDTTOUTm をトグルします。

- **前提条件**

三角波 PWM 出力を生成するには 2 つで 1 組のチャネルが必要です。TAUDTTOUTm は、機能を開始する前に“0”に設定する必要があります。

(4)　デッドタイム出力を行うチャネル連動出力モード 2

この出力モードでは、TAUDTTOUTm にデッドタイム遅延が付加されます。セット／リセット条件を図16.10に示します。

- **セット／リセット条件**

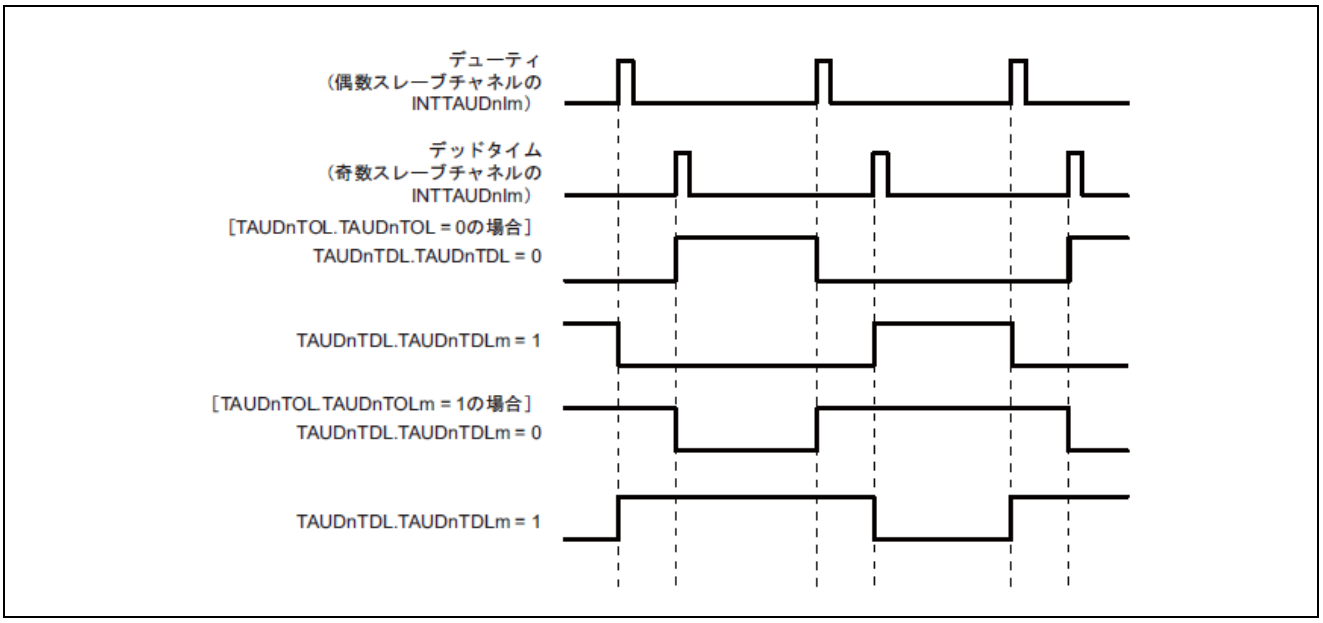


図16.10　デッドタイム出力を行うチャネル連動出力モード 2 のセット／リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は TAUDTDL.TAUDTDLm = 0、立ち下がりエッジの場合は TAUDTDL.TAUDTDLm = 1 を設定してください。

- 前提条件

デッドタイムを制御するには、それぞれ次のモードで操作する 3 つで 1 組のチャネルが必要です。

- マスタチャネル
  マスタチャネルは、インターバルタイマモードに設定する必要があります。
- 偶数スレーブチャネル
  偶数スレーブチャネルは、アップ／ダウンカウントモードに設定する必要があります。
- 奇数スレーブチャネル（偶数チャネル ＋1）
  奇数スレーブチャネルは、ワンカウントモードに設定する必要があります。

奇数チャネルと偶数チャネルでは、次のビットが同じ値である必要があります。

- TAUDTOE.TAUDTOEm
- TAUDTME.TAUDTMEm
- TAUDTRE.TAUDTREm
- TAUDTOM.TAUDTOMm
- TAUDTOC.TAUDTOCm
- TAUDTDE.TAUDTDEm
- TAUDTDM.TAUDTDMm

(5)　1 相 PWM 出力を行うチャネル連動出力モード 2

この出力モードでは、TAUDTTOUTm にデッドタイム遅延が付加されます。セット／リセット条件を図16.11に示します。

- セット／リセット条件

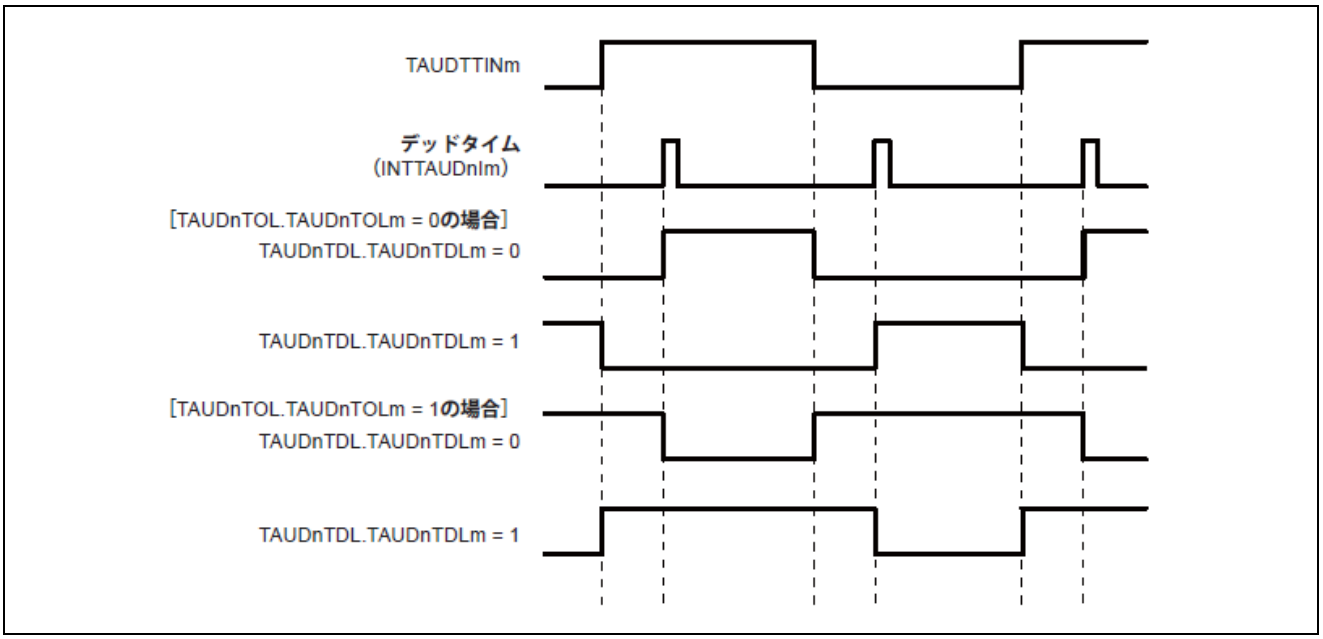


図16.11　1 相 PWM 出力を行うチャネル連動出力モード 2 のセット／リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は TAUDTDL.TAUDTDLm = 0、立ち下がりエッジの場合は TAUDTDL.TAUDTDLm = 1 を設定してください。

- 前提条件

1 相 PWM 出力を制御するには、2 つで 1 組のチャネルが必要です。

- 偶数スレーブチャネル
- 奇数スレーブチャネル（偶数チャネル ＋1）
  奇数スレーブチャネルは、ワンカウントモードに設定する必要があります。

奇数チャネルと偶数チャネルでは、次のビットが同じ値である必要があります。

- TAUDTOE.TAUDTOEm
- TAUDTME.TAUDTMEm
- TAUDTRE.TAUDTREm
- TAUDTOM.TAUDTOMm
- TAUDTOC.TAUDTOCm
- TAUDTDE.TAUDTDEm
- TAUDTDM.TAUDTDMm

(6) 相補方式変調出力を行うチャネル連動出力モード 2

- セット／リセット条件

この出力モードでは、TAUDTTOUTm は、2 つで 1 組のスレーブチャネルのリアルタイム出力ビット（TAUDTRO.TAUDTROm）、変調出力ビット（TAUDTME.TAUDTMEm）、出力レベルビット（TAUDTOL.TAUDTOLm）の値に応じて PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。詳細は「16.16.3. 相補方式変調出力機能」を参照してください。

- 前提条件

このモードでは、4 つ以上のチャネル 1 組が必要です。マスタチャネルとスレーブチャネル 1 は周期を生成し、スレーブチャネル 2 はデューティサイクルを生成し、スレーブチャネル 3 はデッドタイムを生成します。スレーブチャネル 2 とスレーブチャネル 3 は 2 つで 1 組です。代表的なアプリケーションでは、チャネル 2、チャネル 3 と同様に動作するスレーブチャネルをさらに 4 つ使用します。

TAUDTRO.TAUDTROm、TAUDTME.TAUDTMEm、TAUDTDL.TAUDTDLm は、カウント動作中のみ変更できます。

- TAUDTME.TAUDTMEm を動作中に変更した場合、TAUDTME.TAUDTMEm の新しい値は、指定したチャネルで INTTAUDIm が検出されたときに適用されます。
- TAUDTME.TAUDTMEm と TAUDTDL.TAUDTDLm を変更した場合、新しい値は、偶数スレーブチャネルで INTTAUDIm が検出されたときに適用されます。

(7) 非相補方式変調出力を行うチャネル連動出力モード 2

非相補方式変調出力を行うチャネル連動出力モード 1 とは PWM 波形が異なります。モード 1 では矩形波ですが、モード 2 では三角波です。

16.8　各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUDTS.TAUDTSm を“1”に設定したあとの、カウンタ動作開始タイミングについて説明します。データレジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注意 本節に記載するカウント開始タイミングは参考例です。
実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

16.8.1　インターバルタイマモード、ジャッジモード、キャプチャモード、アップ／ダウンカウントモード、カウントキャプチャモード

TAUDTS.TAUDTSm が“1”に設定されたあと、カウンタは次のカウントクロックサイクル開始時に動作を開始します。このとき、データレジスタの値もロードされます。

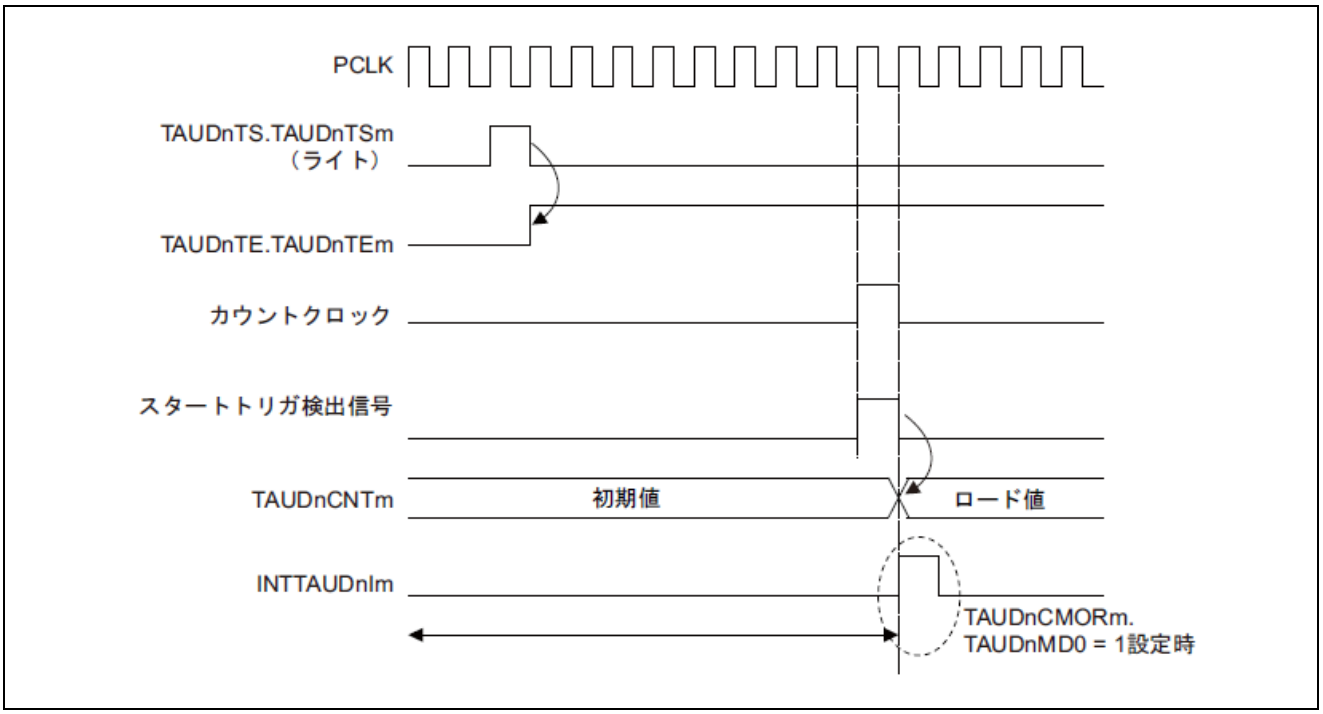


図16.12　インターバルタイマモード、ジャッジモード、キャプチャモード、アップ／ダウンカウントモード、カウントキャプチャモードでの開始タイミング

備考 アップ／ダウンカウントモード時は、必ず TAUDCMORm.TAUDMD0 = 0 に設定してください。

16.8.2　イベントカウントモード

TAUDTS.TAUDTSm が“1”に設定されると、ただちにデータレジスタの値がロードされます。カウンタ動作もただちに開始されます。データレジスタの値は、以降のカウントクロックサイクルの開始時にインクリメントされます。

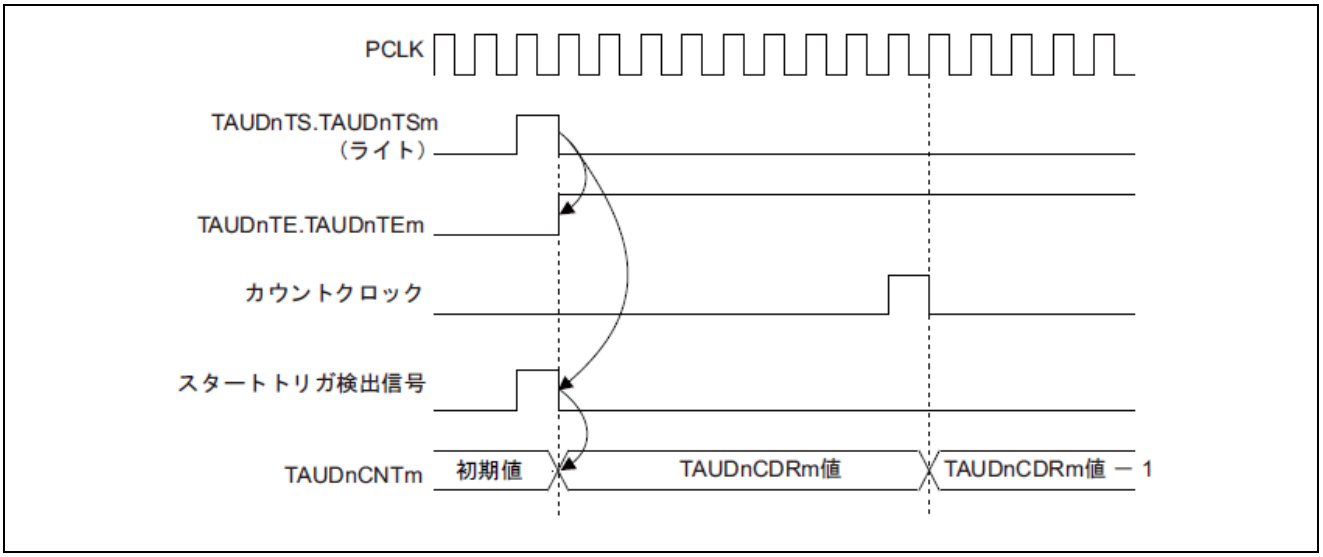


図16.13　イベントカウントモード時の開始タイミング

16.8.3　その他の動作モード

その他の動作モードでは、カウントクロックサイクルはカウンタ動作開始に関係しません。カウンタは TAUDTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データレジスタ値もロードされます。カウントクロックサイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

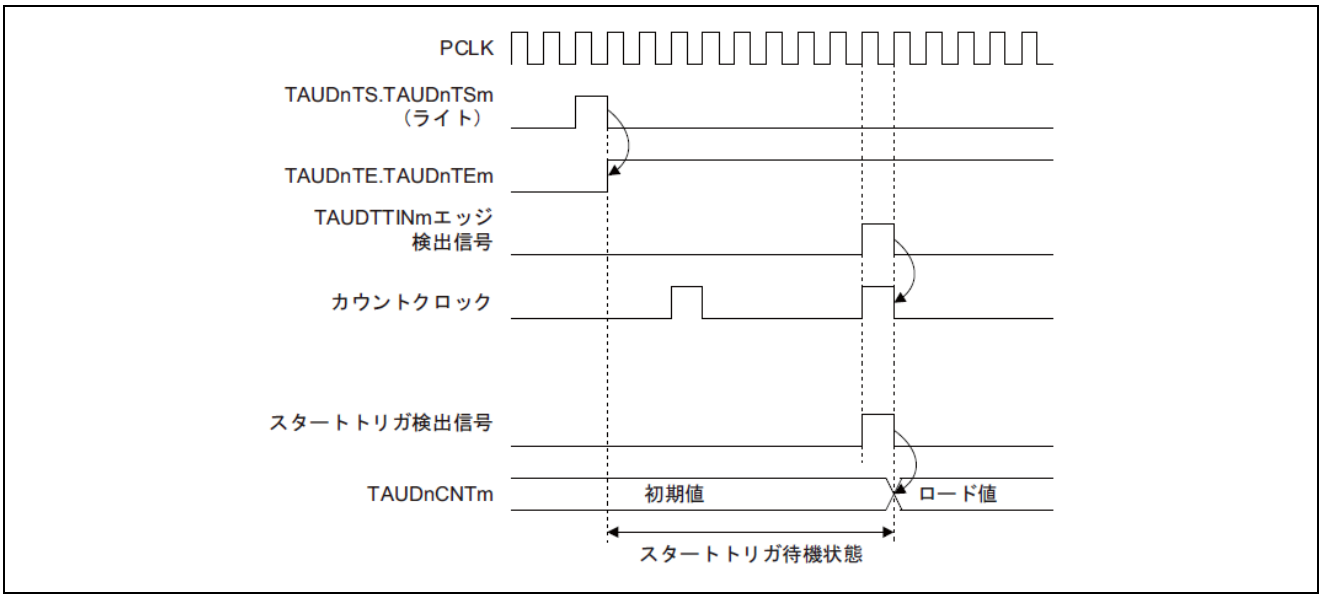


図16.14　その他の動作モードでのカウント開始タイミング

16.9　カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDIm 生成

カウンタのカウント開始時、TAUDCMORm.TAUDMD0 ビットで INTTAUDIm を発生するかしないかを指定できます。

TAUDCMORm.TAUDMD0 ビットがカウント開始時の INTTAUDIm 発生、TAUDTTOUTm に与える影響は、選択した機能に依存します。詳細は、各機能の TAUDCMORm.TAUDMD0 の説明を参照してください

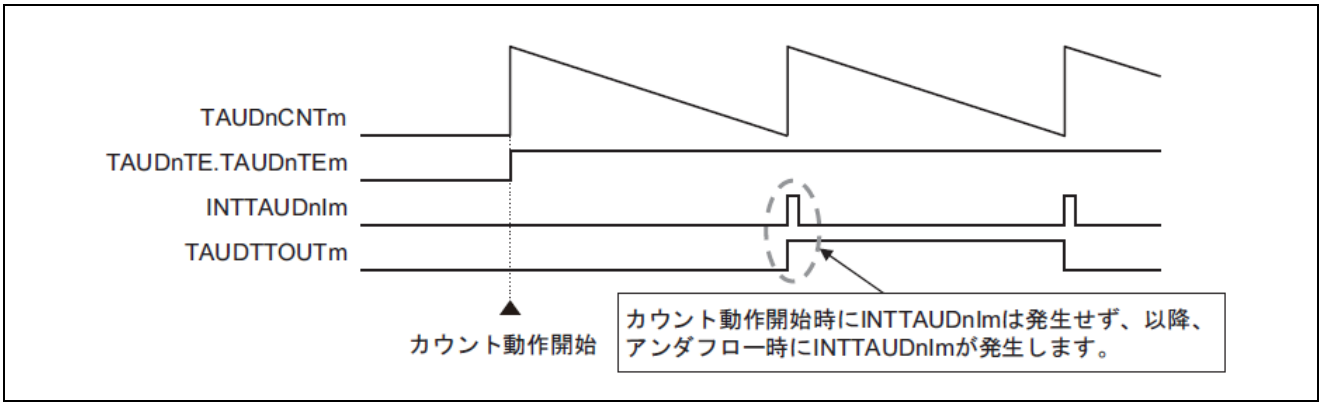


図16.15　INTTAUDIm の発生タイミング（TAUDCMORm.TAUDMD0 = 0 設定時）

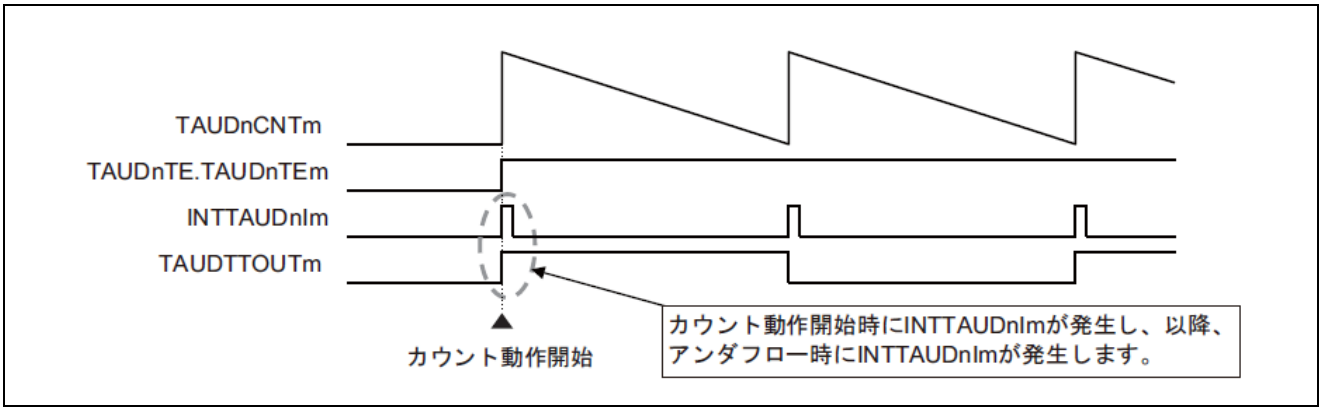


図16.16　INTTAUDIm の発生タイミング（TAUDCMORm.TAUDMD0 = 1 設定時）

16.10 オーバフロー時の割り込み発生

特定の単体機能では、アップカウント時にカウンタ値が FFFFH になりオーバフローになる際、割り込みが発生しません。この節では、アップカウントを行うモードでのチャネル動作と、ダウンカウントを行うモードでのチャネル動作を組み合わせて割り込みを発生させる方法を説明します。

どの動作モードがセカンドチャネルに適切かは、ファーストチャネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンドチャネルに、ファーストチャネルでのオーバフロー発生と同時に 0000H になるようなダウンカウントを行う動作モードを設定します（TAUDCNTm = FFFFH）。
- セカンドチャネルの TAUDCDRm を FFFFH に設定します。
- 2 つのチャネルは同じ速度でカウントを行う必要があります（つまり、カウントクロックが同じでなければなりません）。
- 両チャネルが同じ TAUDTTINm 入力信号でトリガされます。
- 両チャネルのトリガ検出設定（TAUDCMORm.TAUDSTS[2:0]と TAUDCMURm.TAUDTIS[1:0]）は同じである必要があります。

【結果】

ファーストチャネルのアップカウンタでのオーバフロー発生（TAUDCNTm = FFFFH）と同時にセカンドチャネルのダウンカウンタが 0000H になります。そしてセカンドチャネルは任意の割り込みを発生させます。

以降の節で、アップカウントを行う動作モードとの組み合わせに必要なダウンカウントを行う動作モードの一覧と、タイミング図の例を示します。

16.10.1 TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバルタイマ機能の組み合わせ

両チャネルの TAUDTTINm に同時にキャプチャトリガを入力することで、TAUDTTINm 入力パルスインターバル測定機能の TAUDCNTm の FFFFH オーバフローを TAUDTTINm 入力インターバルタイマ機能の INTTAUDIm で検出できます。

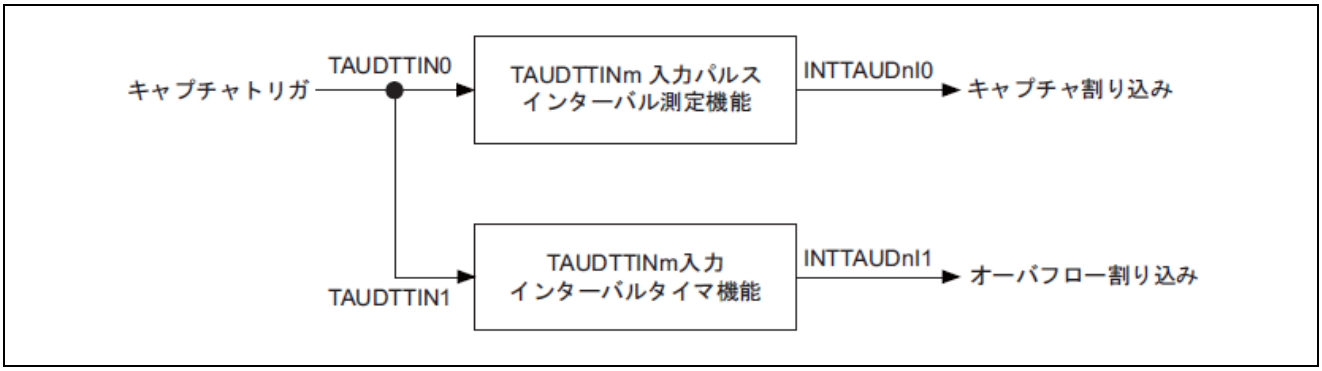


図16.17　TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバルタイマ機能の組み合わせ

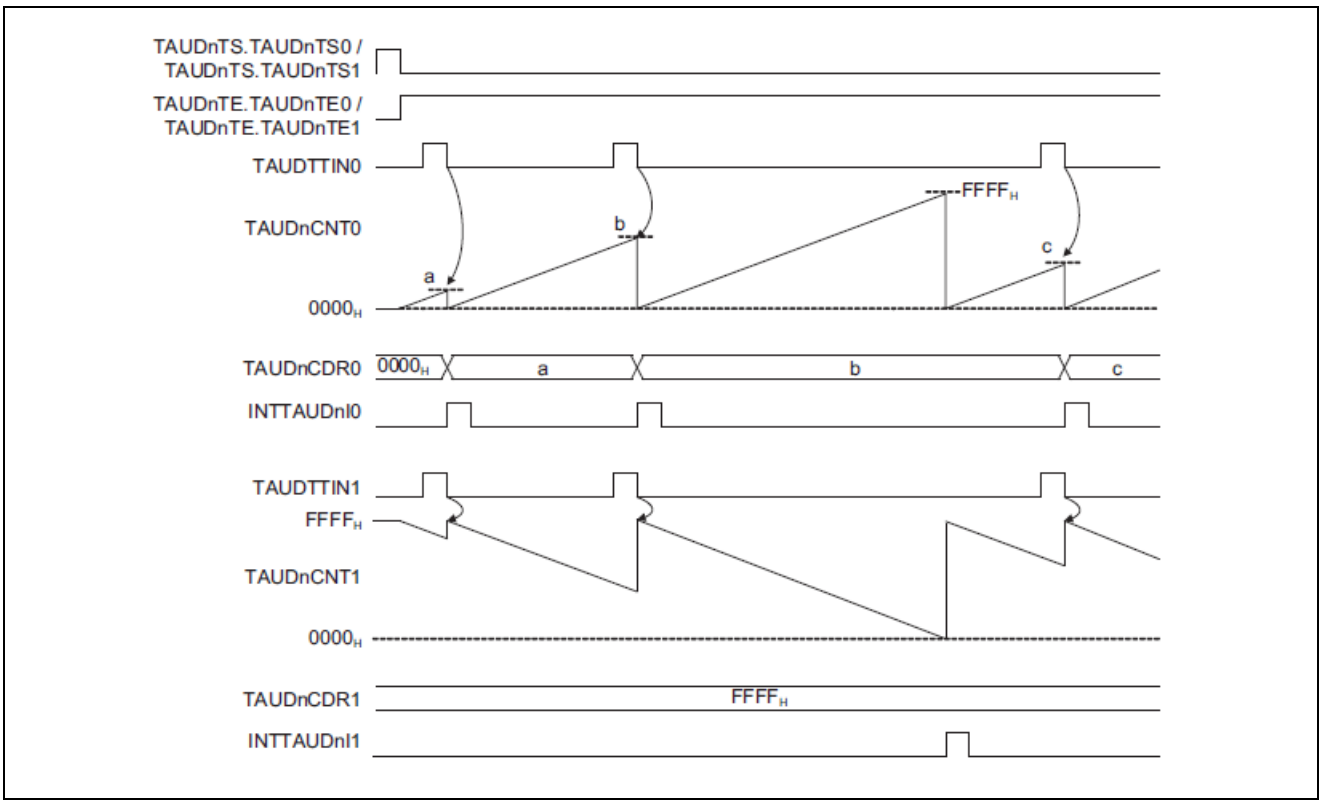


図16.18　TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバルタイマ機能の組み合わせによる割り込み発生

16.10.2 TAUDTTINm 入力信号幅測定機能と オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の組み合わせ

両チャネルの TAUDTTINm に同時にキャプチャトリガを入力することで、TAUDTTINm 入力信号幅測定機能の TAUDCNTm の FFFFH オーバフローをオーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の INTTAUDIm で検出できます。

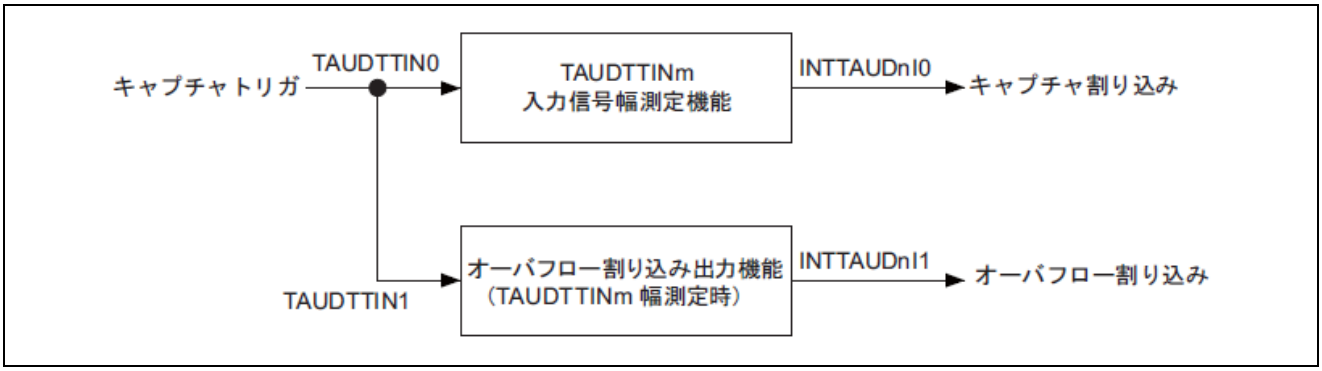


図16.19　TAUDTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の組み合わせ

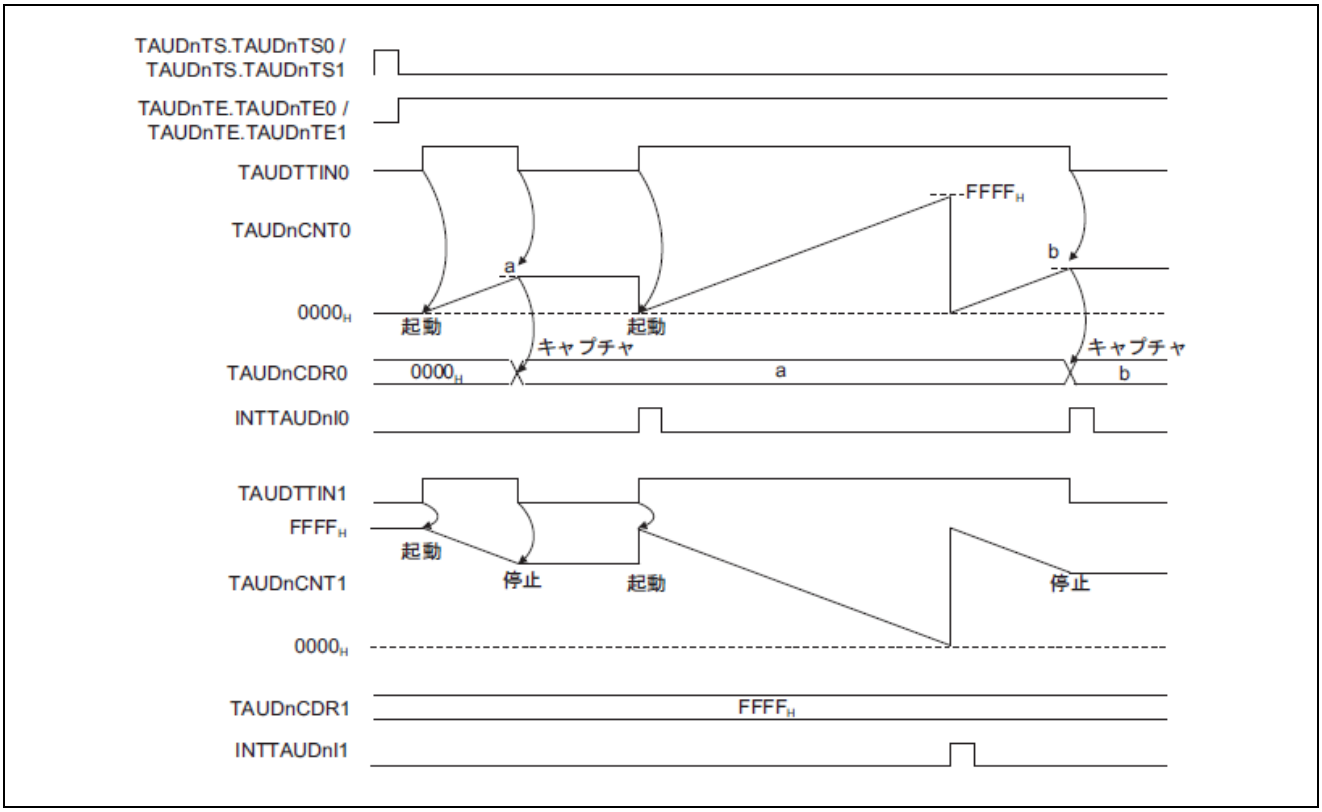


図16.20　TAUDTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の組み合わせによる割り込み発生

16.10.3　TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

両チャネルのカウンタを同時に開始することで、TAUDTTINm 入力位置検出機能の TAUDCNTm の FFFFH オーバフローをインターバルタイマ機能の INTTAUDIm で検出できます。

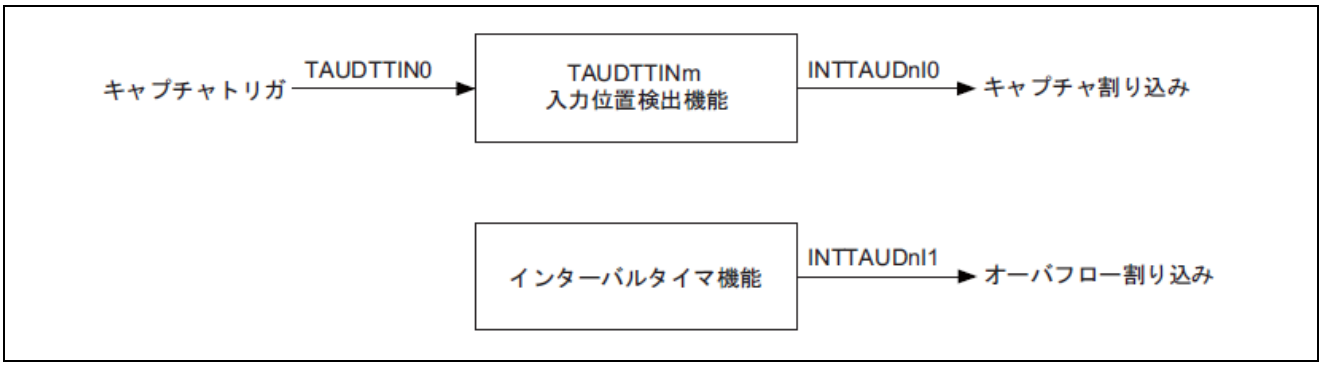


図16.21　TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

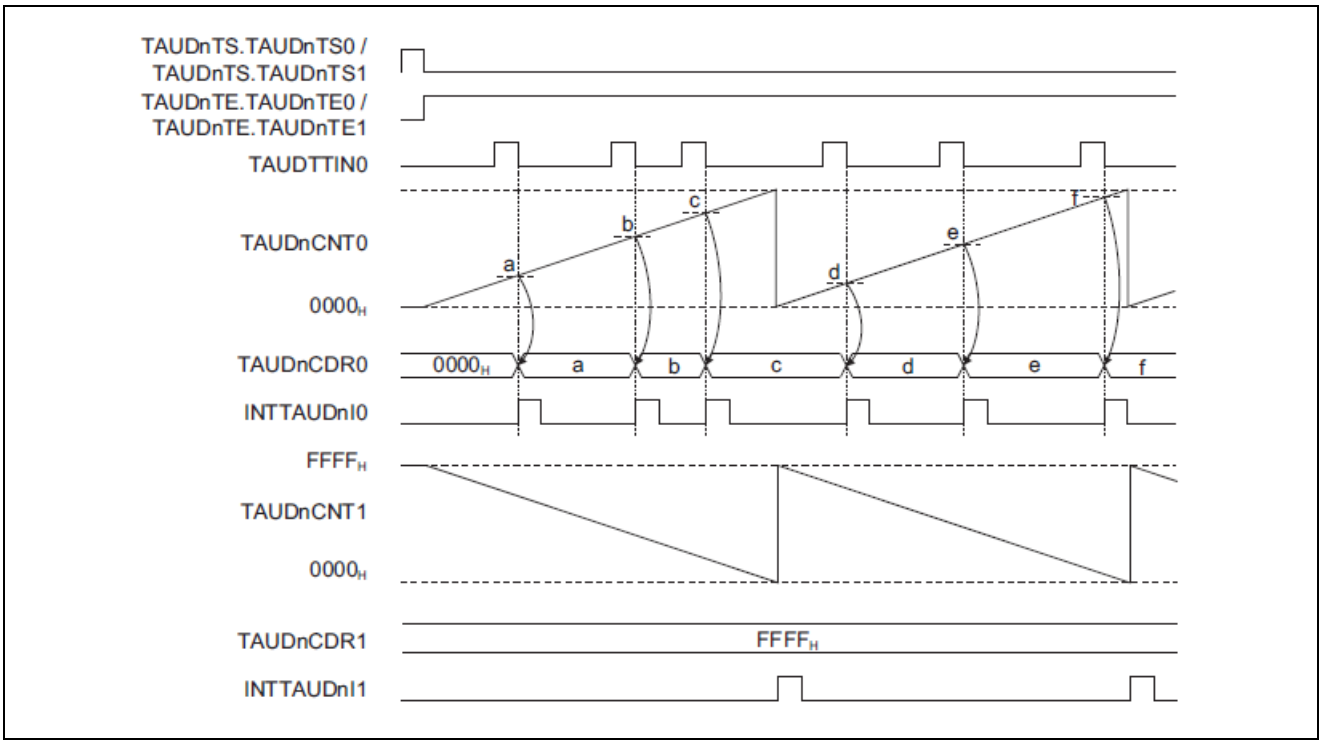


図16.22　TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせによる割り込み発生

16.10.4　TAUDTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の組み合わせ

両チャネルの TAUDTTINm に同時にキャプチャトリガを入力することで、TAUDTTINm 入力期間カウント検出機能の TAUDCNTm の FFFFH オーバフローをオーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の INTTAUDIm で検出できます。

図16.23　TAUDTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の組み合わせ

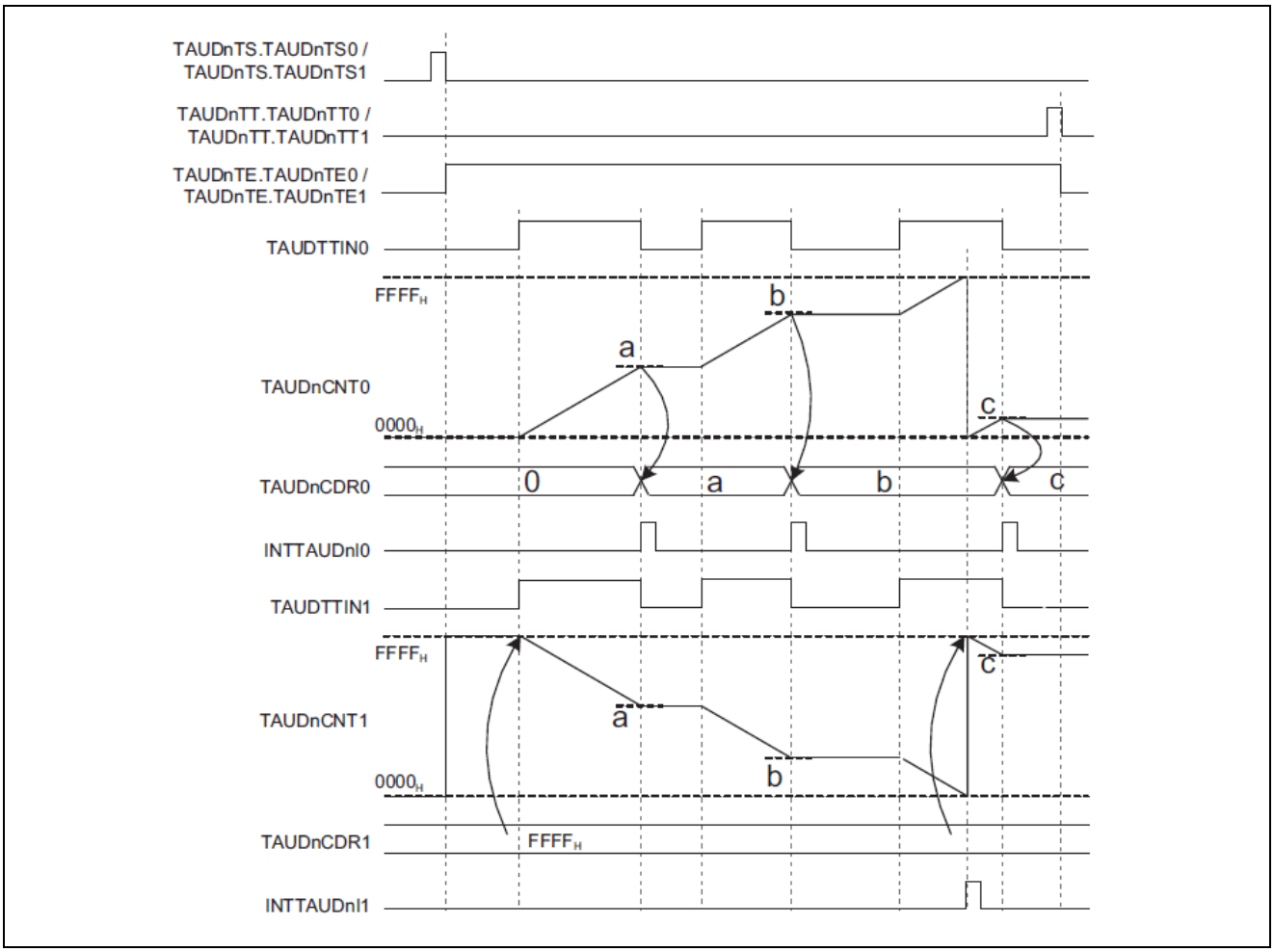


図16.24　TAUDTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の組み合わせによる割り込み発生

16.11 TAUDTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大 1 動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを図16.25に示します。

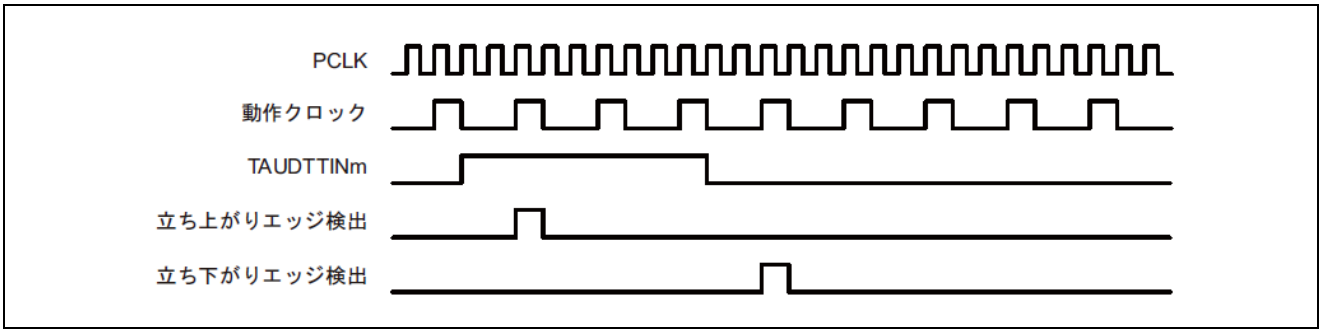


図16.25　エッジ検出基本動作タイミング

図16.25は動作タイミングのイメージです。実際は、TAUDTTINm 端子から TAUD の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

16.12 チャネル単体動作機能

TAUD の各種チャネル単体動作機能を次の項で説明します。チャネル単体動作の概要は、「16.2. 機能概要」を参照してください。

この節では、一定間隔または指定した遅延で割り込みを発生する機能を示します。

16.12.1 インターバルタイマ機能

(1) 概要

(a) 概要

この機能は、一定間隔でタイマ割り込み（INTTAUDIm）を発生する基準タイマとして使用できます。割り込みが発生すると、TAUDTTOUTm 信号はトグルされ、矩形波を出力します。

(b) 前提条件

- 動作モードはインターバルタイマモードに設定する必要があります（「表16.9 インターバルタイマ機能のTAUDCMORmレジスタの内容」参照）。
- チャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります。「16.7. チャネル出力モード」を参照してください。

(c) 機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。TAUDCDRm の現在値が TAUDCNTm にロードされ、カウンタはその TAUDCDRm 値からダウンカウントを開始します。

カウンタ値が 0000H になると、INTTAUDIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、TAUDCDRm の値を TAUDCNTm にロードし、以降、動作を継続します。

TAUDCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。TAUDCNTm と TAUDTTOUTm は停止しますが、値は保持します。TAUDTS.TAUDTSm を“1”に設定すると、機能を再開できます。カウント中に TAUDTS.TAUDTSm を“1”に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

(d) 条件

TAUDCMORm.TAUDMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUDTTOUTm のトグルも行われません。これにより、TAUDCMORm.TAUDMD0 が“1”に設定された場合に対して、反転された TAUDTTOUTm 信号が出力されます。詳細は、「16.9. カウント開始／リスタート時のTAUDTTOUTm出力とINTTAUDIm生成」を参照してください。

(2) 算出式

INTTAUDIm の周期 = カウントクロック周期 ×（TAUDCDRm＋1）

TAUDTTOUTm の矩形波周期 = カウントクロック周期 ×（TAUDCDRm＋1）× 2

(3)　ブロック図と基本タイミング図

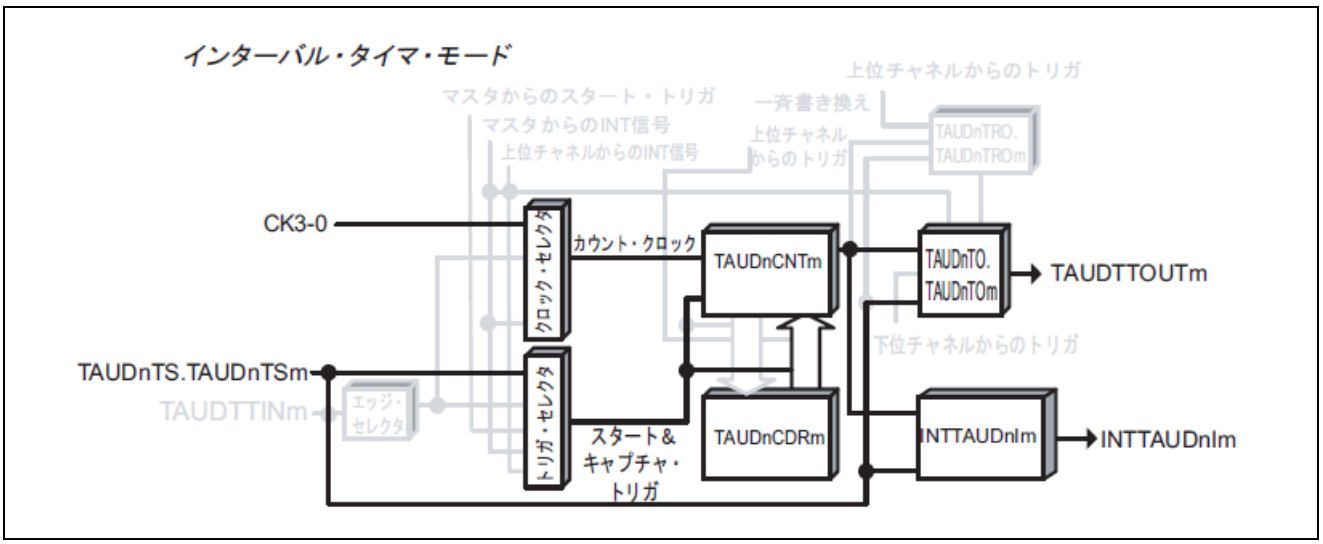


図16.26　インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

・動作開始時に INTTAUDIm が発生する（TAUDCMORm.TAUDMD0 = 1）

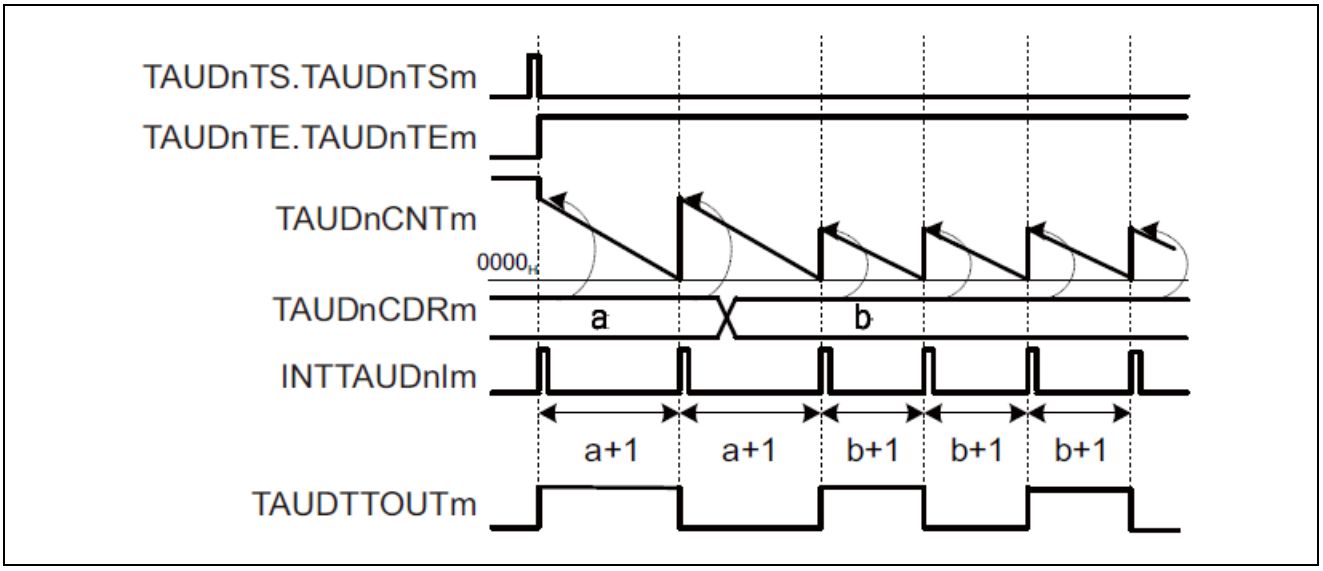


図16.27　インターバルタイマ機能の基本タイミング図

(4)　レジスタ設定

(a)　TAUDCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUDCKS [1:0]		TAUDCCS [1:0]		TAUD MAS	TAUDSTS[2:0]			TAUDCOS [1:0]		0	TAUDMD[4:1]				TAUD MD0

表16.8　　インターバルタイマ機能の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0000：インターバルタイマモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始または再開時に INTTAUDIm が発生し、TAUDTTOUTm は トグルされる

(b)　TAUDCMURm

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUDTIS[1:0]	

表16.9　　インターバルタイマ機能の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.10　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	0：チャネル単体出力
TAUDTOC.TAUDTOCm	0：動作モード 1（TAUDTOM.TAUDTOMm = 0 時はトグルモード）
TAUDTOL.TAUDTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	
TAUDTME.TAUDTMEm	0：変調禁止

備考 チャネル出力モードは、TAUDTOE.TAUDTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTm を割り込みとは独立させて制御することができます。詳細は「16.7. チャネル出力モード」を参照してください。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、インターバルタイマ機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.11　インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(5) インターバルタイマ機能の操作手順

表16.12　インターバルタイマ機能の操作手順

	操作	TAUD の状態
チャネルの初期設定	TAUDCMORm、TAUDCMURm レジスタを「表16.8 インターバルタイマ機能のTAUDCMORmレジスタの内容表16.10チャネル単体出力モード1時の制御ビット設定」、「表16.9 インターバルタイマ機能のTAUDCMURmレジスタの内容」に示すように設定します。 TAUDCDRm レジスタの値を設定します。 制御ビットを「表16.10 チャネル単体出力モード1時の制御ビット設定」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDTS.TAUDTSm を“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“1”に設定され、カウントが開始されます。TAUDCDRm の値を TAUDCNTm にロードします。TAUDCMORm.TAUDMD0 = 1 の場合、INTTAUDIm が発生し、TAUDTTOUTm がトグルされます。
動作中	TAUDCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDCNTm レジスタは常に読み出し可能です。	TAUDCNTm がダウンカウントを行います。 カウンタが 0000H になった場合： ・ 再び TAUDCDRm の値を TAUDCNTm にロードし、カウント動作を継続します。 ・ INTTAUDIm が発生し、TAUDTTOUTm がトグルされます。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開 →

(6)　特定の設定時のタイミング図

(a)　TAUDCDRm = 0000H、カウントクロック　= PCLK/2

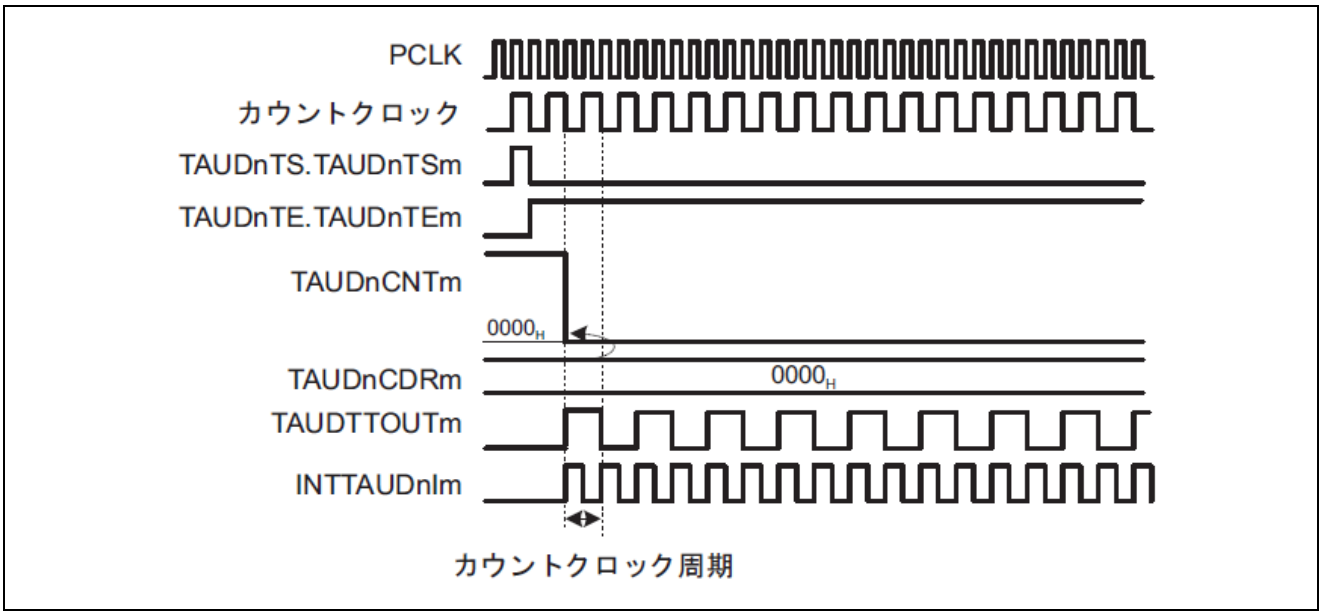


図16.28　TAUDCDRm = 0000H、カウントクロック　= PCLK/2

- TAUDCDRm = 0000H、かつカウントクロック= PCLK/2 の場合、カウントクロックごとに TAUDCDRm の値が TAUDCNTm にロードされます。つまり、TAUDCNTm は常に 0000H です。
- INTTAUDIm がカウントクロックごとに発生するので、TAUDTTOUTm はカウントクロックごとにトグルされます。

(b)　TAUDCDRm = 0000H、カウントクロック = PCLK

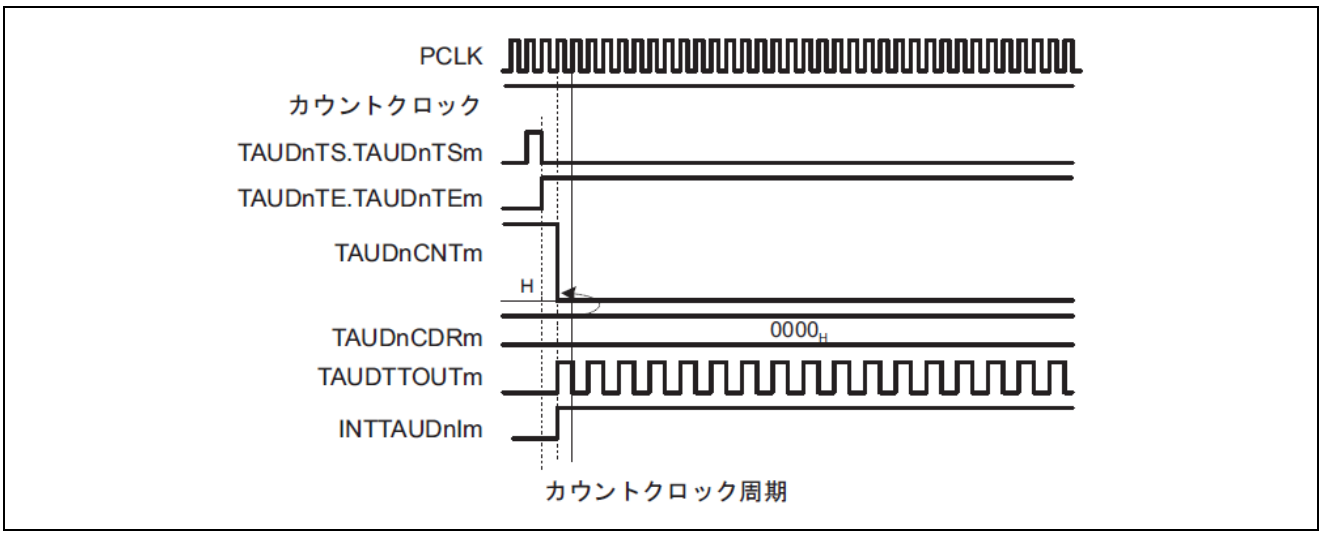


図16.29　TAUDCDRm = 0000H、カウントクロック = PCLK

- TAUDCDRm = 0000H、かつカウントクロック= PCLK の場合、PCLK クロックごとに TAUDCDRm の値が TAUDCNTm にロードされます。つまり、TAUDCNTm は常に 0000H です。
- 継続的に INTTAUDIm が発生し、PCLK クロックごとに TAUDTTOUTm がトグルされます。

(c)　動作の停止と再開

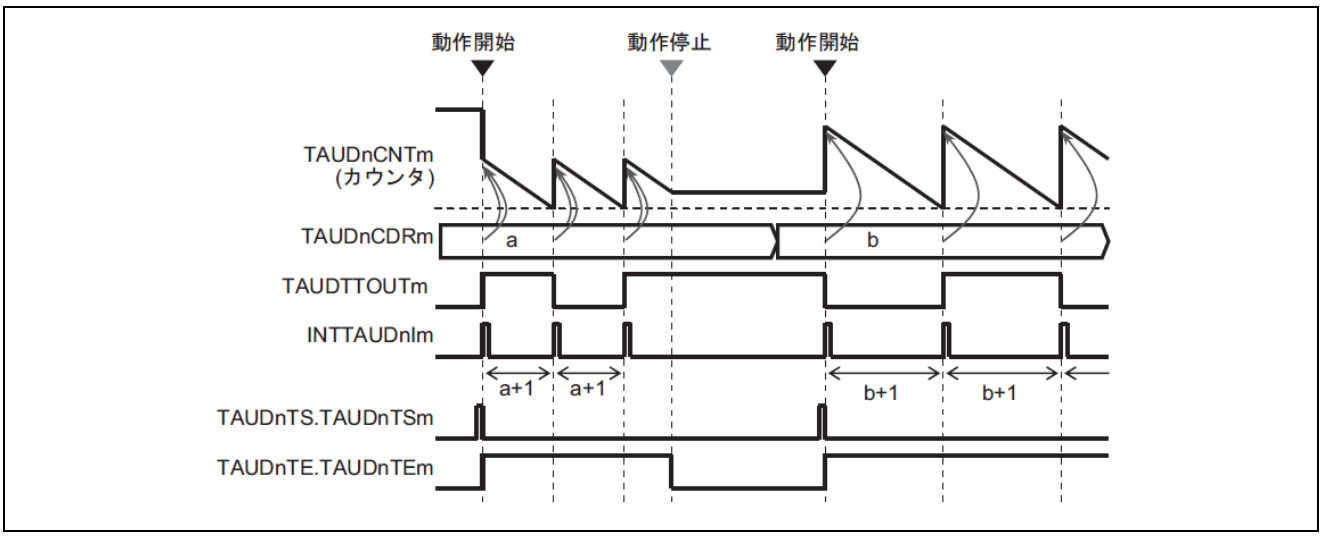


図16.30　動作の停止と再開（TAUDCMORm.TAUDMD0 = 1）

- TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。
- TAUDCNTm と TAUDTTOUTm は停止しますが、値は保持します。
- TAUDTS.TAUDTSm を“1”に設定すると、カウントを再開できます。

(d)　強制リスタート（TAUDCMORm.TAUDMD0 = 1）

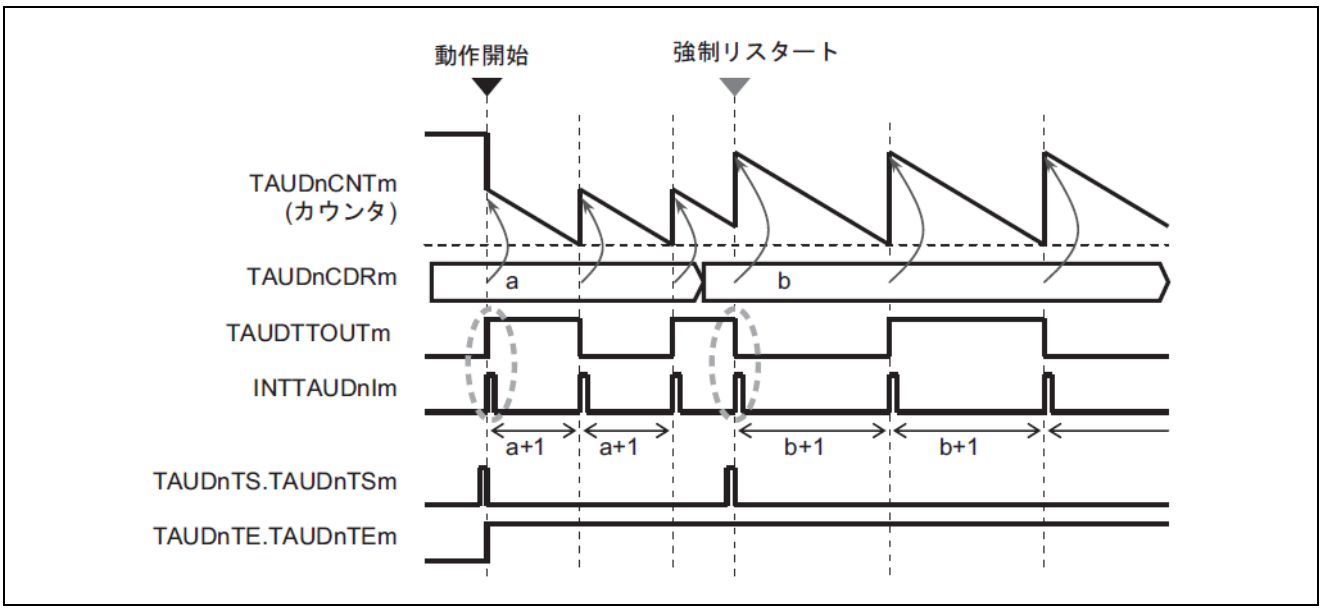


図16.31　強制リスタート動作（TAUDCMORm.TAUDMD0 = 1）

- カウント中に TAUDTS.TAUDTSm を“1”に設定すると、いったん停止しなくてもカウントを再開できます（強制リスタート）。
- TAUDCMORm.TAUDMD0 ビットが“1”に設定されると、動作開始または再開後の最初の割り込みが発生します。
- 強制リスタート時は、TAUDCDRm の値は、TAUDCNTm に反映されて、カウントを開始します。変更した TAUDCDRm の値を即時反映させる場合は、強制リスタートをしてください。
- 強制リスタート時は、割り込み（INTTAUDIm）が発生し、TAUDTTOUTm が反転します。

(e)　強制リスタート（TAUDCMORm.TAUDMD0 = 0）

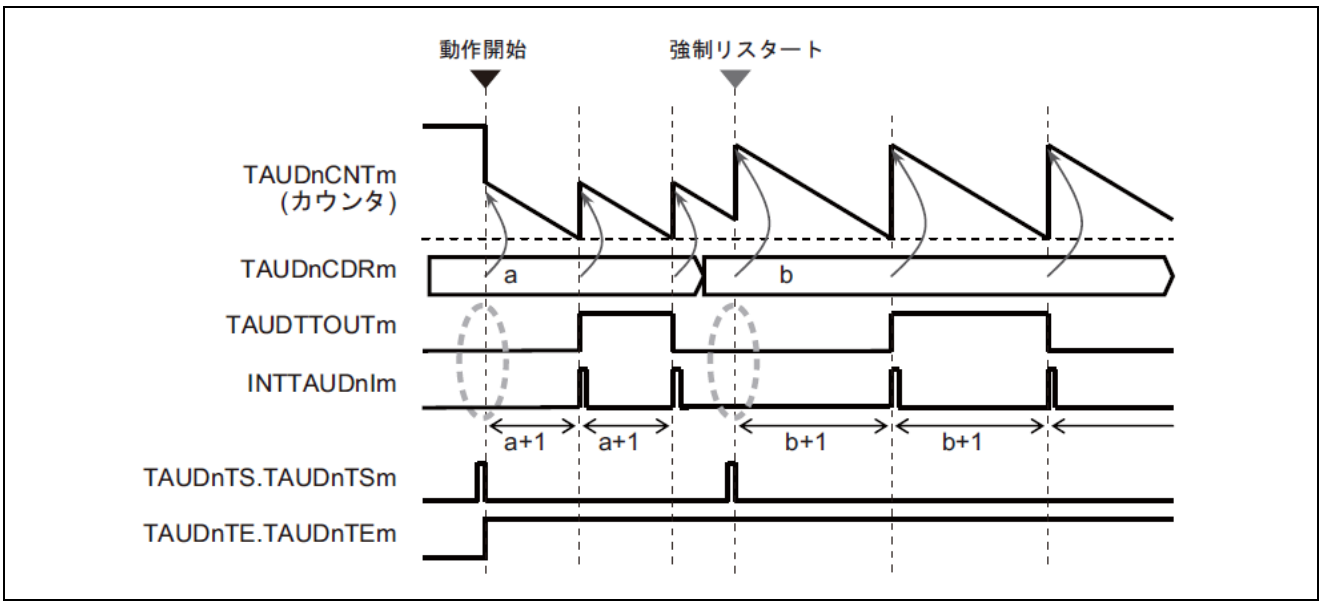


図16.32　強制リスタート動作（TAUDCMORm.TAUDMD0 = 1）

・　強制リスタート時は、割り込み（INTTAUDIm）が発生しません。TAUDTTOUTm も反転しません。

16.12.2 TAUDTTINm 入力インターバルタイマ機能

(1) 概要

(a) 概要

この機能は、一定間隔または有効な TAUDTTINm 入力エッジが検出された場合に、タイマ割り込み（INTTAUDIm）を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUDTTOUTm 信号はトグルされ、矩形波を出力します。

(b) 前提条件

- 動作モードはインターバルタイマモードに設定する必要があります（「表16.14 TAUDTTINm入力インターバルタイマ機能のTAUDCMORmレジスタの内容」参照）。
- チャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります。「16.7. チャネル出力モード」を参照してください。

(c) 機能説明

この機能は、有効な TAUDTTINm 入力エッジで再開される以外、インターバルタイマ機能と同様に動作します（「16.12.1 インターバルタイマ機能」参照）。

トリガとして使用するエッジの種類は、TAUDCMURm.TAUDTIS[1:0]ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

(2) 算出式

INTTAUDIm の周期 = カウントクロック周期 ×（TAUDCDRm＋1）

TAUDTTOUTm の矩形波周期 = カウントクロック周期 ×（TAUDCDRm＋1）× 2

(3)　ブロック図と基本タイミング図

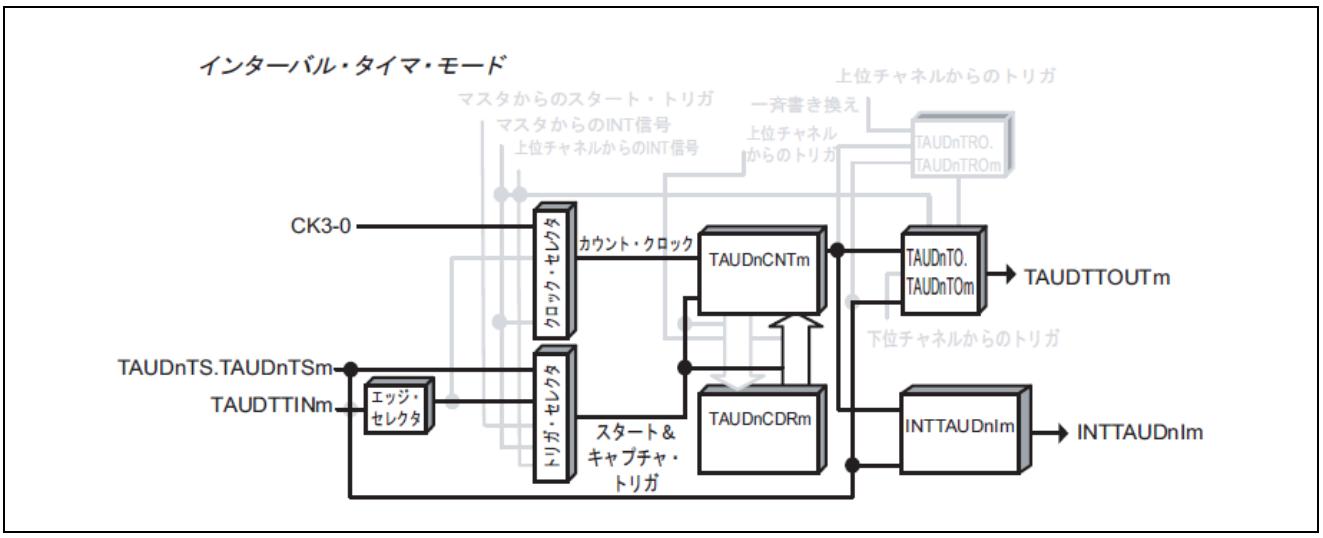


図16.33　TAUDTTINm 入力インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDIm が発生する（TAUDCMORm.TAUDMD = 1）
- 立ち上がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 01B）

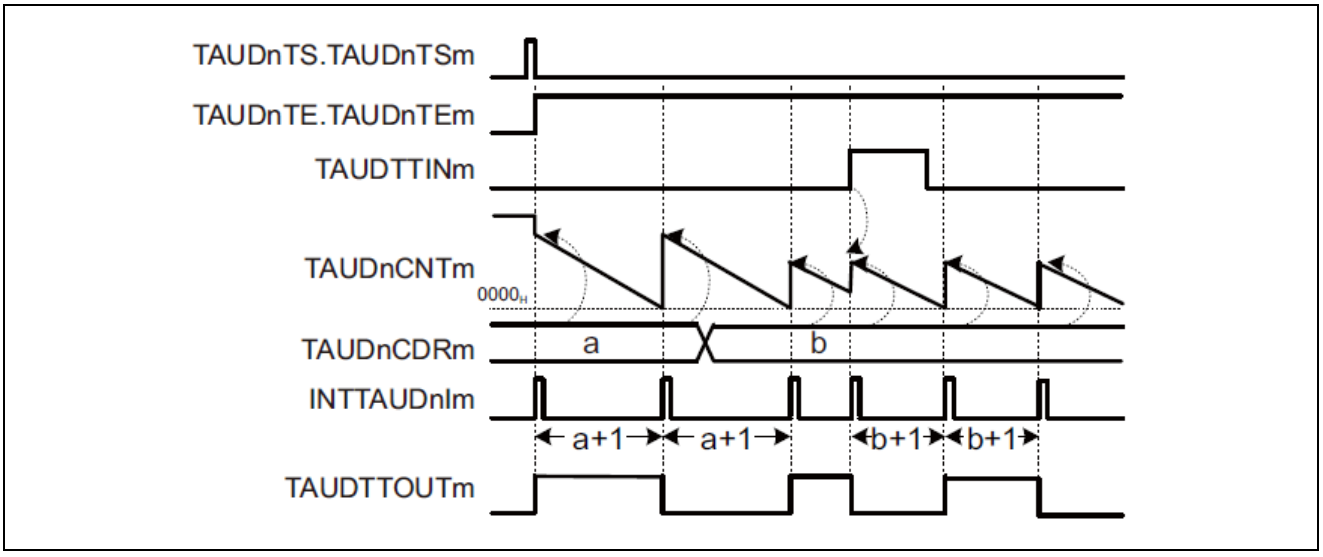


図16.34　TAUDTTINm 入力インターバルタイマ機能の基本タイミング図

(4)　レジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.13　TAUDTTINm 入力インターバルタイマ機能の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0000：インターバルタイマモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始または再開時に INTTAUDIm が発生し、TAUDTTOUTm は トグルされる

(b)　TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.14　TAUDTTINm 入力インターバルタイマ機能の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出

(c)　チャネル出力モード

表16.15　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	0：チャネル単体出力
TAUDTOC.TAUDTOCm	0：動作モード 1（TAUDTOM.TAUDTOMm = 0 時はトグルモード）
TAUDTOL.TAUDTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	
TAUDTME.TAUDTMEm	0：変調禁止

備考 チャネル出力モードは、TAUDTOE.TAUDTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTm を割り込みとは独立させて制御することができます。詳細は「16.7. チャネル出力モード」を参照してください。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、TAUDTTINm 入力インターバルタイマ機能では使用できません。従って、これらのレジスタは“0”に設定する必要があります。

表16.16　TAUDTTINm 入力インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(5) TAUDTTINm 入力インターバルタイマ機能の操作手順

表16.17　TAUDTTINm 入力インターバルタイマ機能の操作手順

	操作	TAUD の状態
チャネルの初期設定	TAUDCMORm、TAUDCMURm レジスタを「表16.13 TAUDTTINm入力インターバルタイマ機能のTAUDCMORmレジスタの内容」、「表16.14 TAUDTTINm入力インターバルタイマ機能のTAUDCMURmレジスタの内容」に示すように設定します。 TAUDCDRm レジスタの値を設定します。 制御ビットを「表16.15 チャネル単体出力モード1時の制御ビット設定」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDTS.TAUDTSm を“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“1”に設定され、カウントが開始されます。TAUDCDRm の値を TAUDCNTm にロードします。TAUDCMORm.TAUDMD0 = 1 の場合、INTTAUDIm が発生し、TAUDTTOUTm がトグルされます。
動作中	TAUDCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDCNTm レジスタは常に読み出し可能です。 TAUDTTINm エッジ検出	TAUDCNTm がダウンカウントを行います。 カウンタが 0000H になった場合： ・ 再び TAUDCDRm の値を TAUDCNTm にロードし、カウント動作を継続します。 ・ INTTAUDIm が発生し、TAUDTTOUTm がトグルされます。 カウント動作中に TAUDTTINm 入力の有効エッジを検出すると、再び TAUDCDRm の値を TAUDCNTm にロードし、カウント動作を継続します。以降、この動作を繰り返します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

(6)　特定の設定時のタイミング図

「16.12.1 インターバルタイマ機能」のタイミング図も適用されますが、この機能を除いて、有効なTAUDTTINm 入力エッジを使用することでカウンタを再開することも可能です。

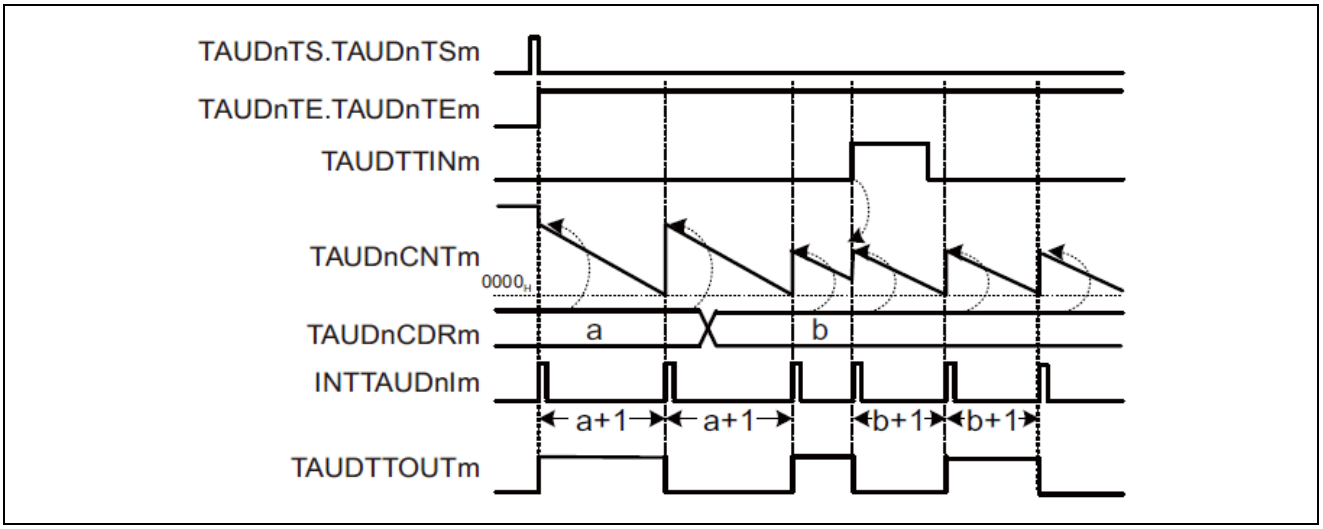


図16.35　立ち上がり TAUDTTINm 入力エッジ（TAUDCMURm.TAUDTIS[1:0] = 01B）、TAUDCMORm.TAUDMD0 = 1 でトリガされたカウンタ

- 有効な TAUDTTINm 入力エッジを検出した場合、TAUDTTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ（TAUDCMURm.TAUDTIS[1:0] = 01B）です。

16.12.3　クロック分周機能

(1)　概要

(a)　概要

この機能は、周波数の分周に使用します。TAUDTTINm 入力信号の周波数を TAUDCDRm の係数で分周し、結果として得られる信号を TAUDTTOUTm に出力します。

(b)　前提条件

- TAUDTTINm の周波数は固定である必要があります。
- 動作モードはインターバルタイマモードに設定する必要があります（「表16.18 クロック分周機能のTAUDCMORmレジスタの内容」参照）。
- チャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります。「16.7. チャネル出力モード」を参照してください。

(c)　機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。TAUDCDRm の現在値が TAUDCNTm にロードされ、カウンタは TAUDTTINm をカウントクロックとして使用し、その TAUDCDRm 値からダウンカウントを開始します。

カウンタ値が 0000H になると、INTTAUDIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、TAUDCDRm 値を TAUDCNTm にロードし、以降、動作を継続します。

TAUDCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。TAUDCNTm と TAUDTTOUTm は停止しますが、値は保持します。TAUDTS.TAUDTSm を“1”に設定すると、機能を再開できます。カウント中に TAUDTS.TAUDTSm を“1”に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

(d)　条件

TAUDCMORm.TAUDMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUDTTOUTm のトグルも行われません。これにより、TAUDCMORm.TAUDMD0 が“1”に設定された場合に対して、反転された TAUDTTOUTm 信号が出力されます。詳細は「16.9. カウント開始／リスタート時のTAUDTTOUTm出力とINTTAUDIm生成」を参照してください。

備考 TAUDTTINm 入力信号は TAUDCMORm.TAUDCKS[1:0]ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUDTTOUTm の出力クロックの周期には、動作クロック±1 周期分の誤差があります。

(2)　算出式

- 立ち上がりエッジ検出選択時：
  TAUDTTOUTm 周波数 = TAUDTTINm 周波数／[（TAUDCDRm＋1）× 2]
- 立ち下がりエッジ検出選択時：
  TAUDTTOUTm 周波数 = TAUDTTINm 周波数／[（TAUDCDRm＋1）× 2]
- 両エッジ検出選択時：
  TAUDTTOUTm 周波数 = TAUDTTINm 周波数／（TAUDCDRm＋1）

(3)　ブロック図と基本タイミング図

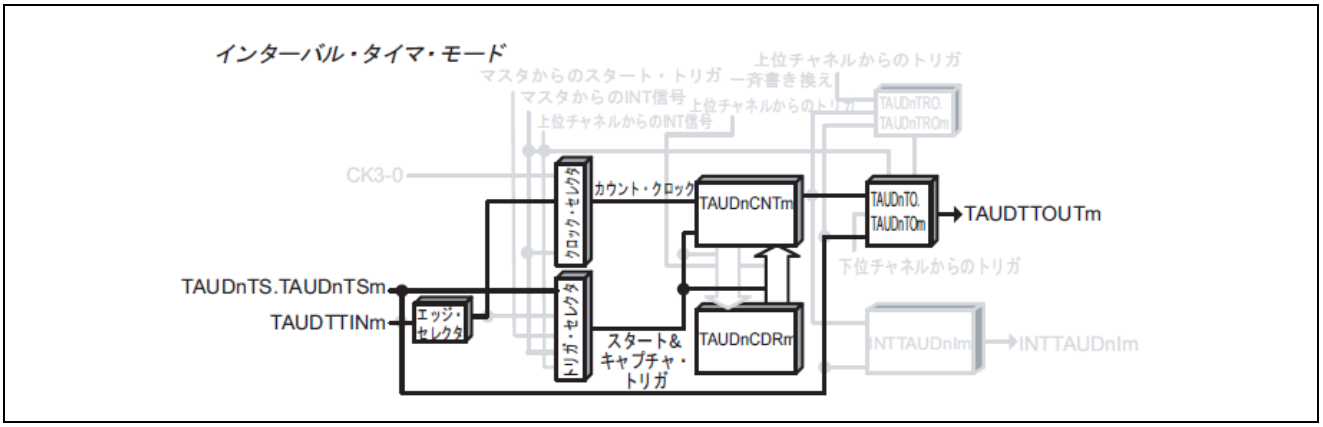


図16.36　クロック分周機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDIm が発生する（TAUDCMORm.TAUDMD0 = 1）
- 立ち上がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 01B）

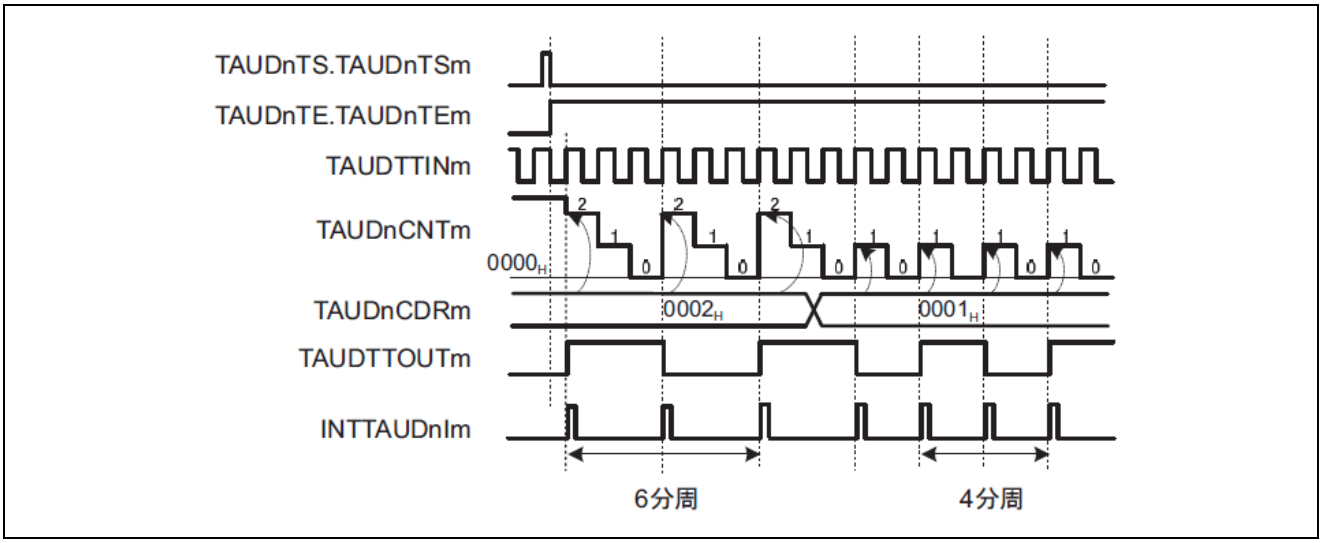


図16.37　クロック分周機能の基本タイミング図

(4)　レジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.18　クロック分周機能の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	01：有効な TAUDTTINm 入力エッジをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0000：インターバルタイマモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始または再開時に INTTAUDIm が発生し、TAUDTTOUTm はトグルされる

(b)　TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.19　クロック分周機能の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出

(c)　チャネル出力モード

表16.20　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	0：チャネル単体出力
TAUDTOC.TAUDTOCm	0：動作モード 1（TAUDTOM.TAUDTOMm = 0 時はトグルモード）
TAUDTOL.TAUDTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	
TAUDTME.TAUDTMEm	0：変調禁止

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、クロック分周機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.21　クロック分周機能の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(5) TAUDTTINm 入力インターバルタイマ機能の操作手順

表16.22　クロック分周機能の操作手順

	操作	TAUD の状態
チャネルの初期設定	TAUDCMORm、TAUDCMURm レジスタを、「表16.18 クロック分周機能のTAUDCMORmレジスタの内容」と「表16.19 クロック分周機能のTAUDCMURmレジスタの内容」に示すように設定します。 TAUDCDRm レジスタの値を設定します。 制御ビットを「表16.20 チャネル単体出力モード1時の制御ビット設定」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDTS.TAUDTSm を“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“1”に設定され、カウントが開始されます。 TAUDCNTm は TAUDCDRm 値をロードします。 TAUDCMORm.TAUDMD0 が“1”の場合は、INTTAUDIm が発生し、TAUDTTOUTm がトグルされます。
動作中	TAUDCDRm 値は任意のタイミングで変更可能です。 TAUDCNTm レジスタは常に読み出し可能です。	TAUDTTINm 入力エッジを検出すると、 TAUDCNTm はダウンカウントを行います。カウンタが 0000H になった場合： ・ TAUDCDRm 値を TAUDCNTm にロードし、カウント動作を継続します。 ・ INTTAUDIm が発生します。 ・ TAUDTTOUTm がトグルされます。 以降、この動作を繰り返します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm は停止し、TAUDCNTm と TAUDTTOUTm は現在値を保持します。

動作再開 →

(6)　特定の設定時のタイミング図

(a)　TAUDCDRm = 0000H

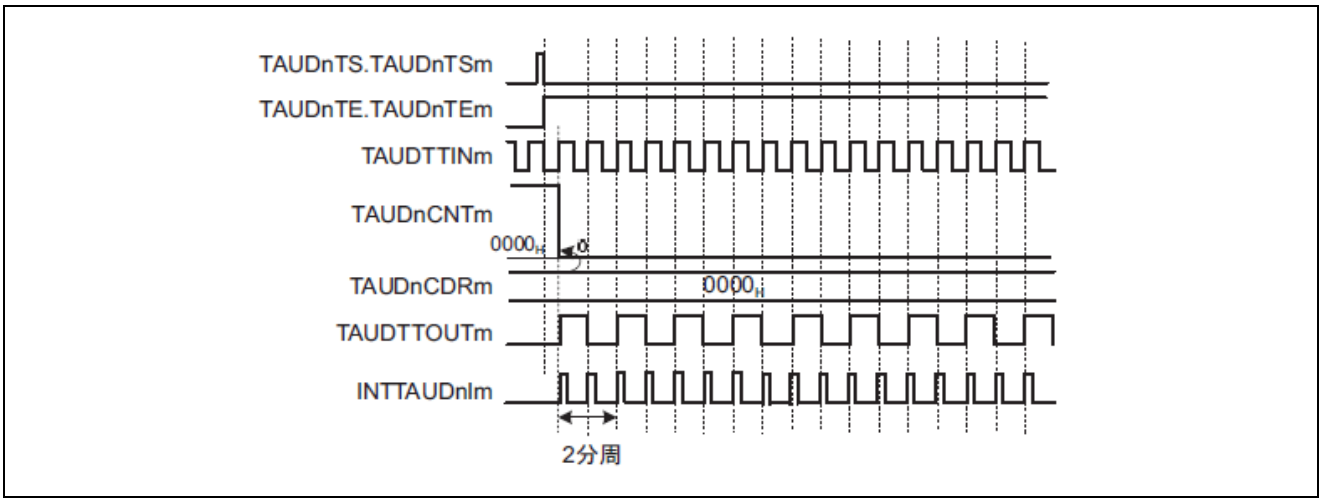


図16.38　TAUDCDRm = 0000H、TAUDCMORm.TAUDMD0 = 1、TAUDCMURm.TAUDTIS[1:0] = 01B

- TAUDCDRm が 0000H ならば、TAUDCNTm も必ず 0000H です。
- INTTAUDIm がカウントクロックごとに発生するので、TAUDTTOUTm はカウントクロックごとにトグルされます。

図16.38は動作タイミングのイメージです。実際は、INTTAUDIm 端子から TAUD の間にあるノイズフィルタや同期化回路の遅延時間があるため、TINm 検出から TOUTm 出力までディレイが存在します。

(b)　動作再開

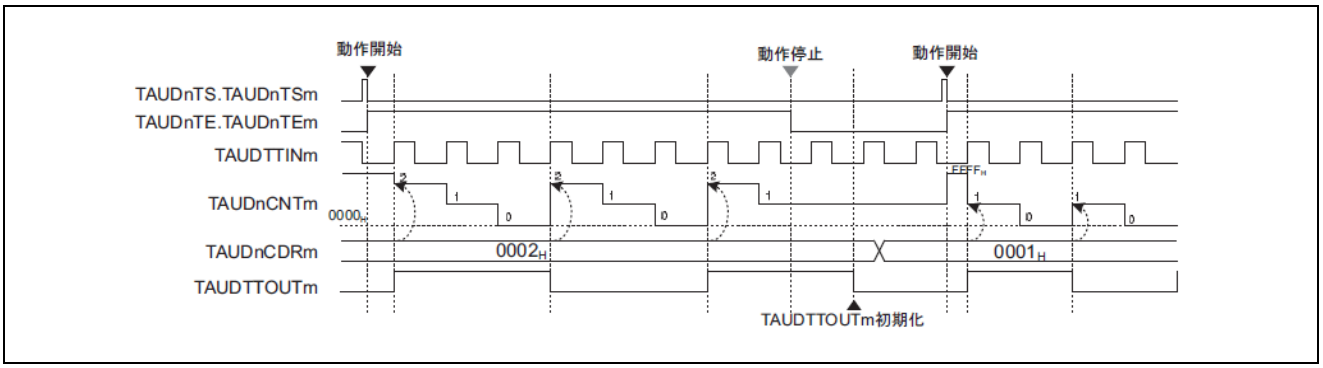


図16.39　動作再開（TAUDCMORm.TAUDMD0 = 1、TAUDCMURm.TAUDTIS[1:0]= 01B）

TAUDTTOUTm 値のリセット方法を以下に示します。

- カウンタ停止時（TAUDTE.TAUDTEm = 0）に TAUDTOE.TAUDTOEm = 0 を設定。
- その後、TAUDTO.TAUDTOm に“0”または“1”を書き込んで、TAUDTTOUTm の新しいスタート値を設定。

(c)　強制リスタート

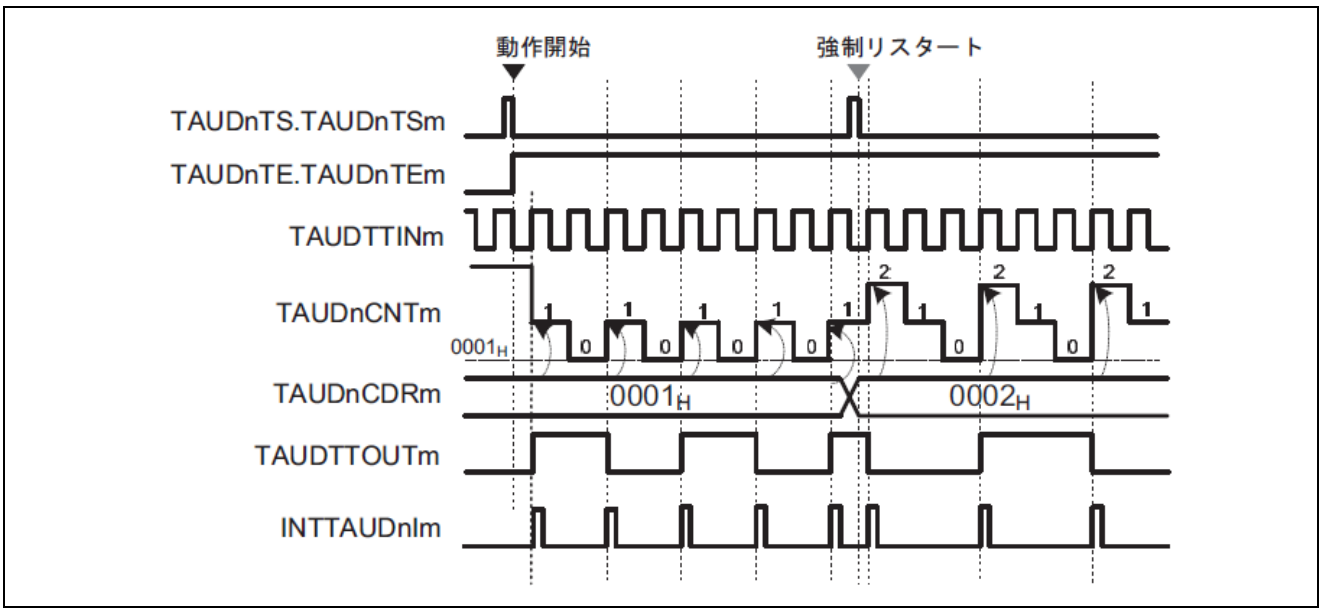


図16.40　強制リスタート（TAUDCMORm.TAUDMD0 = 1、TAUDCMURm.TAUDTIS[1:0] = 01）

- 動作中に TAUDTS.TAUDTSm = 1 を設定すると、いったん停止しなくてもカウントを強制的に再開できます。
- TAUDCDRm の値が TAUDCNTm に書き込まれ、カウント動作が再開されます。
- TAUDTTOUTm は、強制リスタート前の出力レベルで動作が再開されます。

16.12.4　外部イベントカウント機能

(1)　概要

(a)　概要

この機能は、イベントタイマとして使用します。特定数の TAUDTTINm 入力有効エッジを検出すると割り込み（INTTAUDIm）を発生します。

(b)　前提条件

- 動作モードはイベントカウントモードに設定する必要があります（「表16.24 外部イベントカウント機能のTAUDCMORmレジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。

(c)　機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。カウントが開始されると、TAUDCDRm の現在値が TAUDCNTm にロードされます。

有効な TAUDTTINm 入力エッジを検出すると、TAUDCNTm 値はデクリメントされます。TAUDCNTm は、有効な TAUDTTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。

有効エッジが TAUDCDRm + 1 検出されると、INTTAUDIm が発生します。その後、TAUDCDRm 値を TAUDCNTm にロードし、以降、動作を継続します。

TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。TAUDTS.TAUDTSm を“1”に設定すると、カウンタ動作を再開できます。カウント中に TAUDTS.TAUDTSm を“1”に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

TAUDCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

(d)　条件

トリガとして使用するエッジの種類は、TAUDCMURm.TAUDTIS[1:0]ビットで設定します。

- TAUDCMURm.TAUDTIS[1:0] = 00B のときは、立ち下がりエッジがカウントされます。
- TAUDCMURm.TAUDTIS[1:0] = 01B のときは、立ち上がりエッジがカウントされます。
- TAUDCMURm.TAUDTIS[1:0] = 10B のときは、両エッジがカウントされます。

(2)　算出式

INTTAUDIm 発生前に検出される有効エッジ数= TAUDCDRm ＋ 1

(3)　ブロック図と基本タイミング図

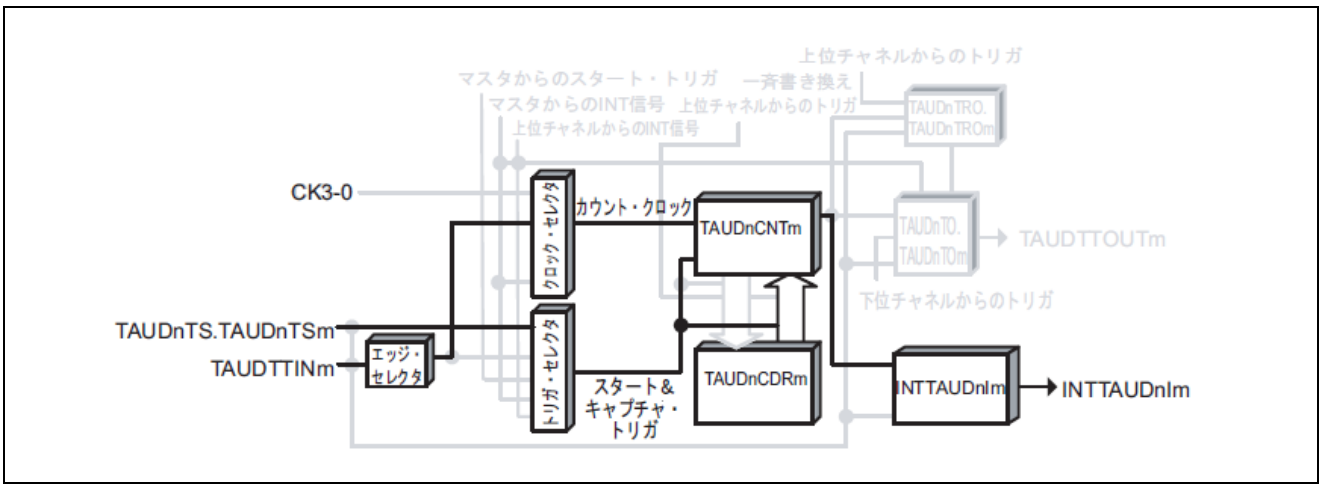


図16.41　外部イベントカウント機能のブロック図

基本タイミング図での設定は次のようになっています。
・立ち上がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 01B）

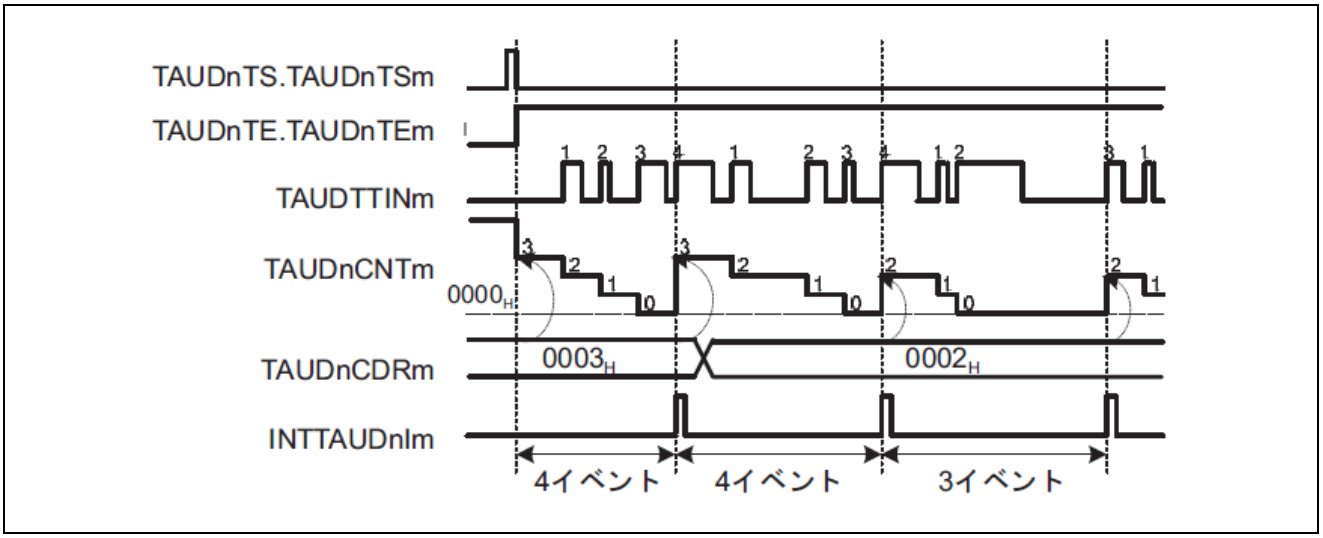


図16.42　外部イベントカウント機能の基本タイミング図

(4)　レジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.23　外部イベントカウント機能の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	01：有効な TAUDTTINm 入力エッジをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0011：イベントカウントモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生しない

(b)　TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.24　外部イベントカウント機能の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出

(c)　チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、外部イベントカウント機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.25　外部イベントカウント機能の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(5)　外部イベントカウント機能の操作手順

表16.26　外部イベントカウント機能の操作手順

	操作	TAUD の状態
チャネルの初期設定	TAUDCMORm、TAUDCMURm レジスタを、「表16.23 外部イベントカウント機能のTAUDCMORmレジスタの内容」と「表16.24 外部イベントカウント機能のTAUDCMURmレジスタの内容」に示すように設定します。 TAUDCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUDTS.TAUDTSm を“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“1”に設定され、カウントが開始されます。 TAUDCNTm は TAUDCDRm 値をロードし、TAUDTTINm 入力エッジ検出を待ちます。
動作中	TAUDTTINm エッジ検出 TAUDCDRm 値は任意のタイミングで変更可能です。 TAUDCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDCNTm は TAUDTTINm 入力エッジを検出するたびに、ダウンカウントを行います。カウンタが 0000H になった場合： ・　TAUDCDRm 値を TAUDCNTm にロードし、カウント動作を継続します。 ・　INTTAUDIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm が停止し、現在値を保持します。

動作再開 →

(6) 特定の設定時のタイミング図

(a) TAUDCDRm = 0000H

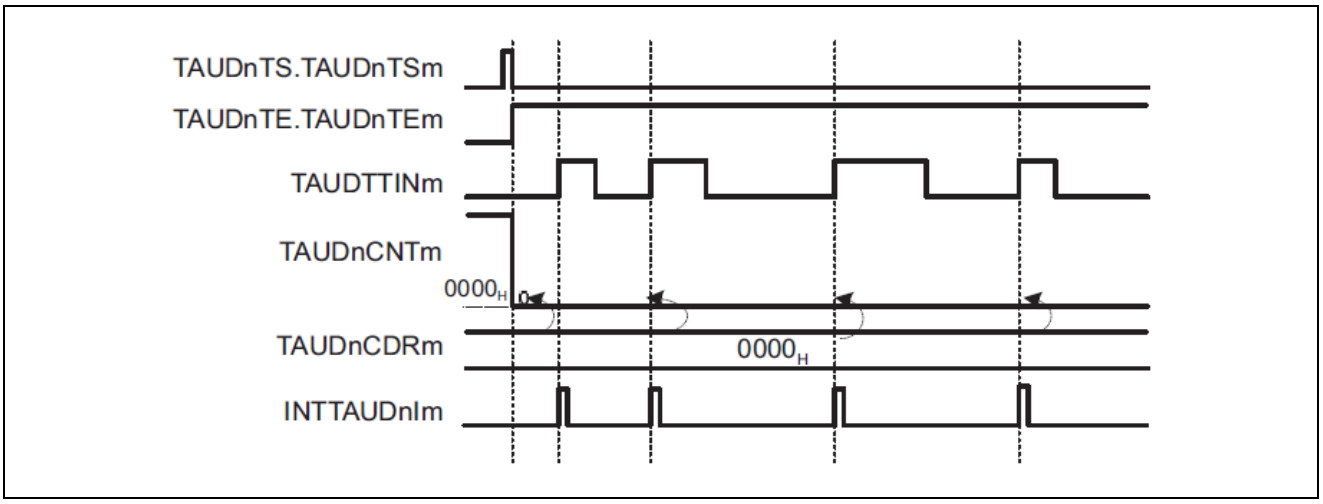


図16.43 TAUDCDRm = 0000H、TAUDCMURm.TAUDTIS[1:0] = 01B

- 0000H = TAUDCDRm の場合、有効な TAUDTTINm 入力エッジが検出されるたびに 0000H が TAUDCNTm にロードされます。つまり、有効な TAUDTTINm 入力エッジが検出されるたびに、INTTAUDIm が発生します。

(b) 動作の停止と再開

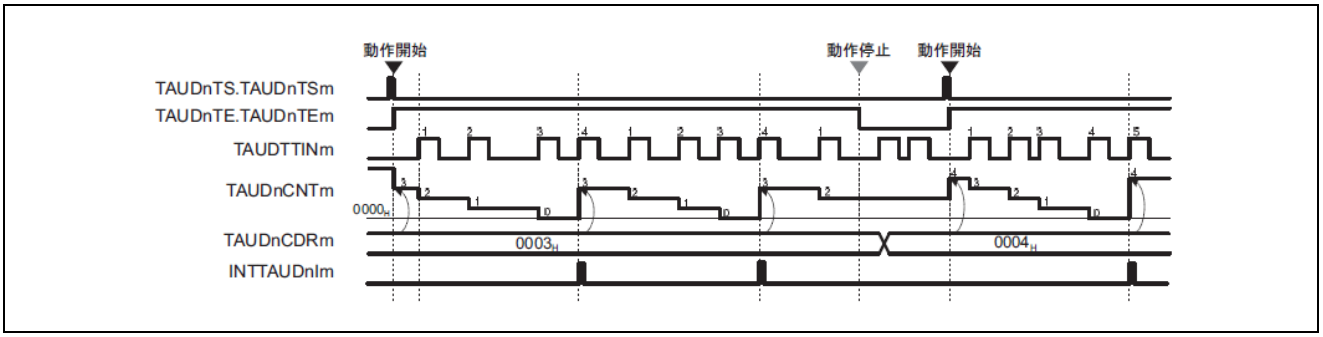


図16.44 動作の停止と再開（TAUDCMURm.TAUDTIS[1:0] = 01B）

- TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。
- TAUDCNTm が停止し、現在値を保持します。TAUDTTINm は継続し、TAUDCNTm は有効エッジを無視します。
- TAUDTS.TAUDTSm を“1”に設定すると、カウントを再開できます。TAUDCNTm は TAUDCDRm 値をロードし、カウント動作を再開します。

(c)　強制リスタート

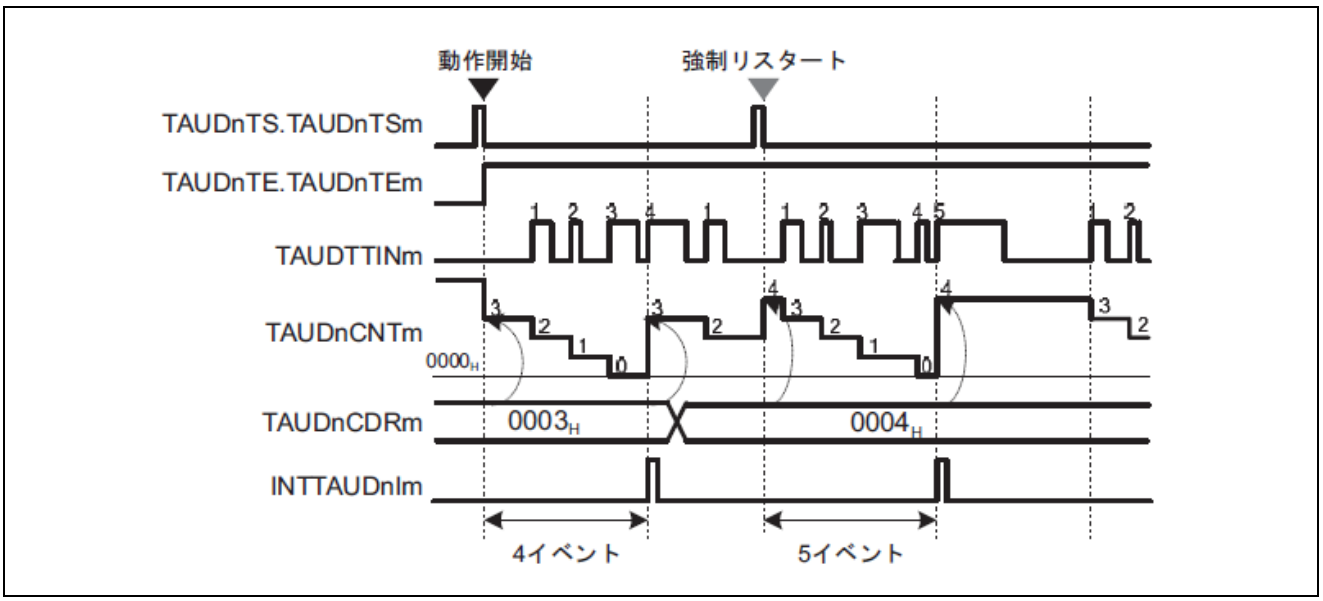


図16.45　強制リスタート（TAUDCMURm.TAUDTIS[1:0] = 01B）

強制リスタートを行うと、変更した TAUDCDRm の値が TAUDCNTm に適用されます。

- 動作中に TAUDTS.TAUDTSm を“1”に設定すると、いったん停止しなくてもカウントを再開できます。
- TAUDCDRm の値が TAUDCNTm にロードされ、カウンタは次の有効な TAUDTTINm 入力エッジを待ちます。

16.12.5　ディレイカウント機能

(1)　概要

(a)　概要

この機能は、TAUDTTINm 入力信号に対して一定の遅延がある割り込み（INTTAUDIm）を発生します。遅延期間に発生した TAUDTTINm 入力信号パルスは無視されます。

(b)　前提条件

- 動作モードはワンカウントモードに設定する必要があります（「表16.28 ディレイカウント機能のTAUDCMORmレジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。
- カウント動作中は、スタートトリガを無効（TAUDCMORm.TAUDMD0 = 0）にする必要があります。

(c)　機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDCDRm の値が TAUDCNTm にロードされ、カウンタはその TAUDCDRm 値からダウンカウントを開始します。

カウンタが 0000H になると、割り込みが発生します。カウンタは FFFFH に戻り、次の有効な TAUDTTINm 入力エッジを待ちます。

カウンタのダウンカウント時は、TAUDTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUDCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

(d)　条件

トリガとして使用するエッジの種類は、TAUDCMURm.TAUDTIS[1:0]ビットで設定します。

- TAUDCMURm.TAUDTIS[1:0] = 00B のときは、立ち下がりエッジがカウントされます。
- TAUDCMURm.TAUDTIS[1:0] = 01B のときは、立ち上がりエッジがカウントされます。
- TAUDCMURm.TAUDTIS[1:0] = 10B のときは、両エッジがカウントされます。

(2)　算出式

TAUDTTINm-INTTAUDIm 間の遅延= カウントクロック周期×（TAUDCDRm ＋ 1）

(3)　ブロック図と基本タイミング図

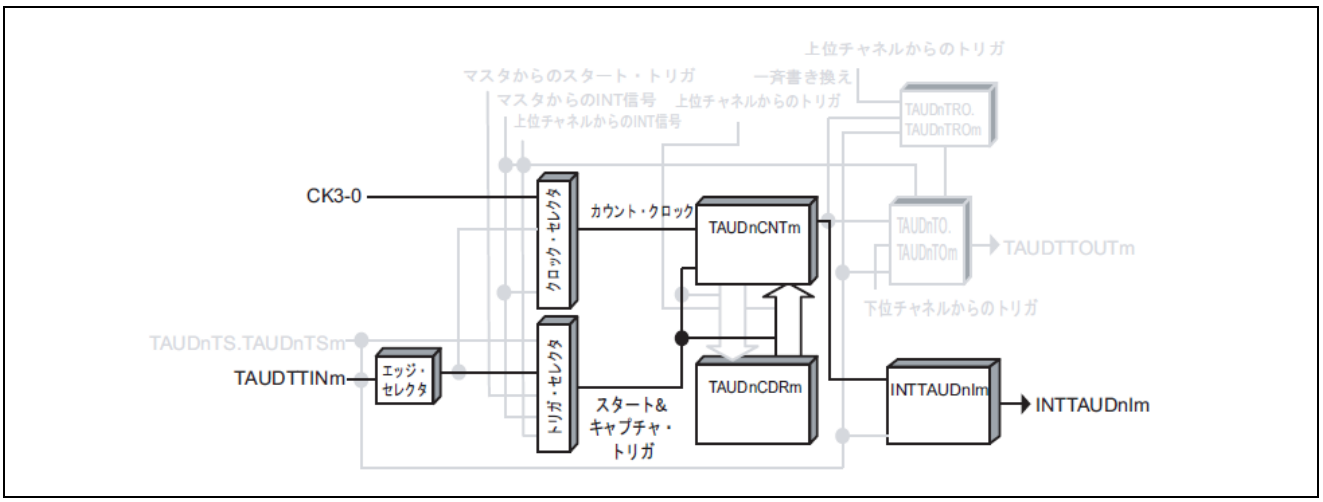


図16.46　ディレイカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）

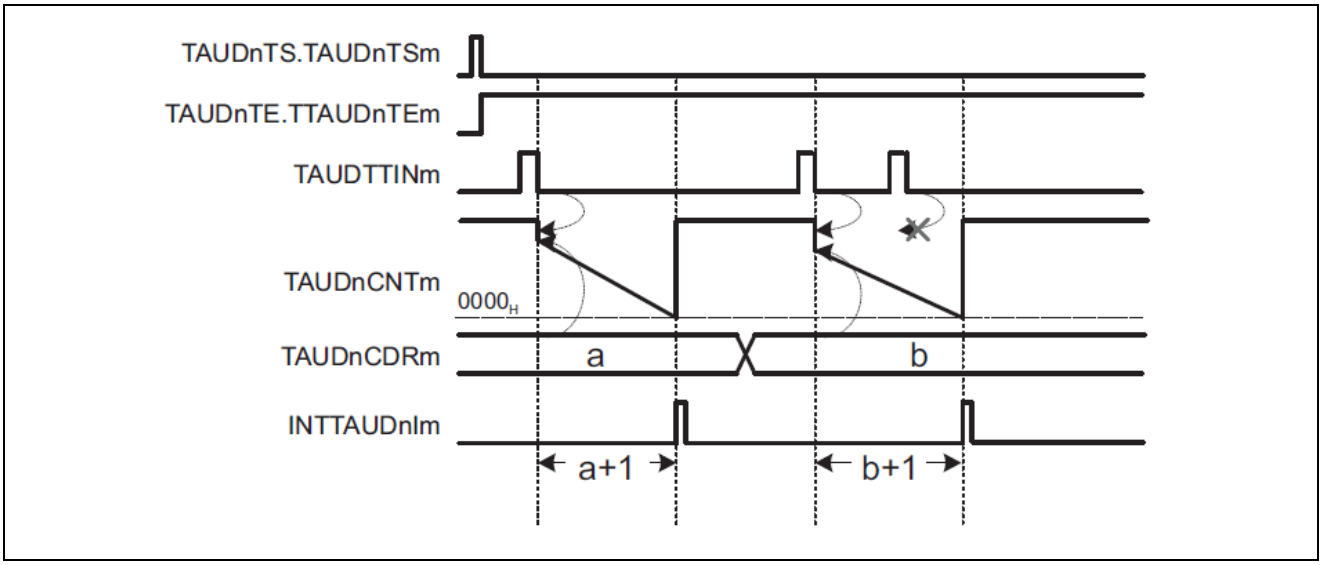


図16.47　ディレイカウント機能の基本タイミング図

(4)　レジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.27　ディレイカウント機能の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0100：ワンカウントモード
0	TAUDMD0	0：動作中のスタートトリガは無効とする

(b)　TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.28　ディレイカウント機能の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(c)　チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、ディレイカウント機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.29　ディレイカウント機能の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(5)　ディレイウント機能の操作手順

表16.30　ディレイカウント機能の操作手順

	操作	TAUD の状態
チャネルの初期設定	TAUDCMORm、TAUDCMURm レジスタを「表16.27 ディレイカウント機能のTAUDCMORmレジスタの内容」と「表16.28 ディレイカウント機能のTAUDCMURmレジスタの内容」に示すように設定します。 TAUDCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUDTS.TAUDTSm を“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDTE.TAUDTEm が“1”に設定され、TAUDCNTm は TAUDTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDCDRm の値を TAUDCNTm にロードします。
動作中	TAUDCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDCNTm レジスタは常に読み出し可能です。	TAUDCNTm がダウンカウントを行います。カウンタが 0000H になった場合： INTTAUDIm が発生します。TAUDCNTm はカウントを停止し、FFFFH を戻し、トリガを待ちます。 TAUDCNTm のカウント中に発生するトリガは無視されます。 以降、この動作を繰り返します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm が停止し、値を保持します。

動作再開

16.12.6　ワンパルス出力機能

(1)　概要

(a)　概要

この機能は、有効な TAUDTTINm 入力エッジ検出時とその後一定の間隔で、割り込み（INTTAUDIm）を発生します。定められた期間内に発生する TAUDTTINm 入力信号パルスは無視されます。割り込みが発生すると、TAUDTTOUTm 信号はトグルされ、矩形波を出力します。

(b)　前提条件

- 動作モードはパルスワンカウントモードに設定する必要があります（「表16.32 ワンパルス出力機能のTAUDCMORmレジスタの内容」参照）。
- チャネル出力モードは、チャネル単体出力モード 2 に設定する必要があります。「16.7. チャネル出力モード」を参照してください。
- カウント動作中は、トリガ検出を禁止（TAUDCMORm.TAUDMD0 = 0）にする必要があります。

(c)　機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。

有効な TAUDTTINm 入力エッジを検出すると、カウンタ動作を開始します。TAUDCDRm の値が TAUDCNTm にロードされ、カウンタはその TAUDCDRm 値からダウンカウントを開始します。割り込みが発生し、TAUDTTOUTm がアクティブレベルに設定されます。

カウンタが 0001H になると、割り込みが発生し、TAUDTTOUTm がインアクティブレベルに設定されます。カウンタは 0000H で動作を停止し、次の有効な TAUDTTINm 入力エッジを待ちます。

カウンタのダウンカウント時は、TAUDTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUDCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

(d)　条件

トリガとして使用するエッジの種類は、TAUDCMURm.TAUDTIS[1:0]ビットで設定します

- TAUDCMURm.TAUDTIS[1:0] = 00B の場合、カウンタは立ち下がりエッジでトリガされます。
- TAUDCMURm.TAUDTIS[1:0] = 01B の場合、カウンタは立ち上がりエッジでトリガされます。
- TAUDCMURm.TAUDTIS[1:0] = 10B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

(2)　算出式

TAUDTTINm-INTTAUDIm の間隔

= TAUDTTOUTm（タイマ出力）幅= カウントクロック周期× TAUDCDRm

(3)　ブロック図と基本タイミング図

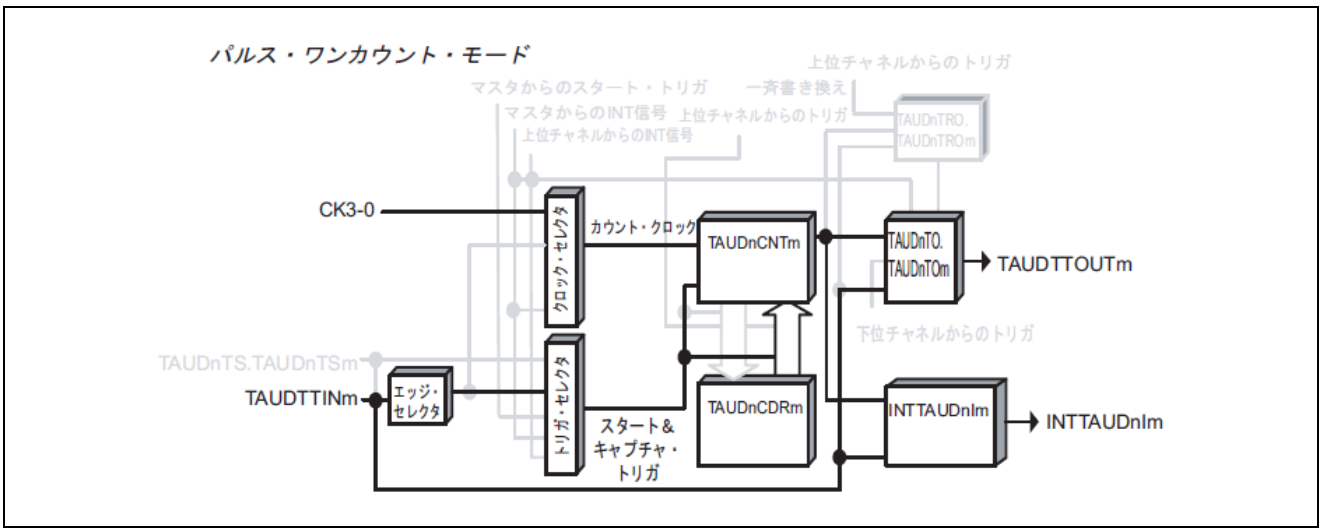


図16.48　ワンパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）

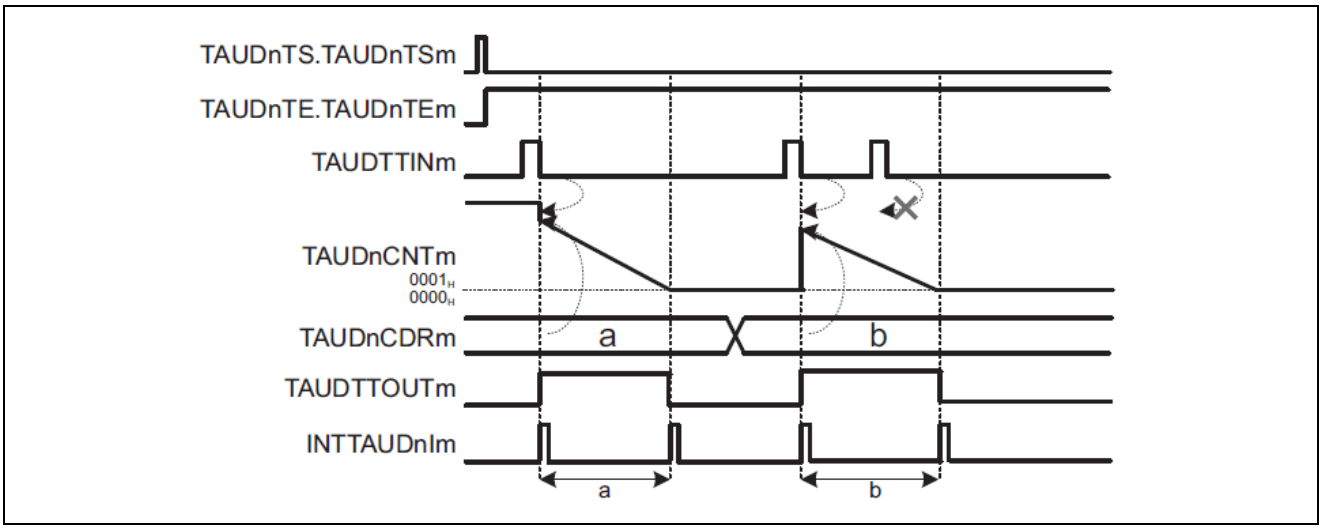


図16.49　ワンパルス出力機能の基本タイミング図

(4)　レジスタ設定

(a)　TAUDCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUDCKS[1:0]		TAUDCCS[1:0]		TAUDMAS	TAUDSTS[2:0]			TAUDCOS[1:0]		0	TAUDMD[4:1]				TAUDMD0

表16.31　ワンパルス出力機能の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	1010：パルスワンカウントモード
0	TAUDMD0	0：動作中のスタートトリガは無効とする

(b)　TAUDCMURm

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUDTIS[1:0]	

表16.32　ワンパルス出力機能の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(c)　チャネル出力モード

表16.33　チャネル単体出力モード 2 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：ソフトウェア制御のチャネル単体出力モード許可
TAUDTOM.TAUDTOMm	0：チャネル単体出力
TAUDTOC.TAUDTOCm	1：セット／リセットモード
TAUDTOL.TAUDTOLm	0：正論理 1：負論理
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	
TAUDTME.TAUDTMEm	0：変調禁止

備考 チャネル出力モードは、TAUDTOE.TAUDTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTm を割り込みとは独立させて制御することができます。詳細は「表16.7 チャネル出力モード」を参照してください。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、ワンパルス出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.34　ワンパルス出力機能の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(5)　ワンパルス出力機能の操作手順

表16.35　ワンパルス出力機能の操作手順

	操作	TAUD の状態
チャネルの初期設定	TAUDCMORm、TAUDCMURm レジスタを、「表16.31 ワンパルス出力機能のTAUDCMORmレジスタの内容」と「表16.32 ワンパルス出力機能のTAUDCMURmレジスタの内容」に示すように設定します。 TAUDCDRm レジスタの値を設定します。 制御ビットを「表16.33 チャネル単体出力モード2時の制御ビット設定」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDTS.TAUDTSm を“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDTE.TAUDTEm が“1”に設定され、TAUDCNTm は TAUDTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDCNTm は TAUDCDRm の値をロードします。
動作中	TAUDCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDCNTm レジスタは常に読み出し可能です。	TAUDCNTm の開始時に INTTAUDIm が発生し、TAUDTTOUTm はアクティブレベルに設定されます。TAUDCNTm がダウンカウントを行います。カウンタが 0001H になった場合： ・ INTTAUDIm が発生します。 ・ TAUDTTOUTm がインアクティブレベルに設定されます。 TAUDCNTm はカウントを停止し、トリガを待ちます。以降、この動作を繰り返します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

16.12.7　TAUDTTINm 入力パルスインターバル測定機能

(1)　概要

(a)　概要

この機能は、カウント値をキャプチャし、その値とオーバフロービット TAUDCSRm.TAUDOVF を使用して TAUDTTINm 入力信号の間隔を測定します。

(b)　前提条件

- 動作モードはキャプチャモードに設定する必要があります（「表16.38 TAUDTTINm入力パルスインターバル測定機能のTAUDCMORmレジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。

(c)　機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。カウンタ TAUDCNTm は、0000H からカウントを開始します。有効な TAUDTTINm エッジが検出されると、TAUDCNTm の値がキャプチャされ、TAUDCDRm に転送され、割り込み INTTAUDIm が発生します。カウンタは、0000H にリセットされ、その後動作を継続します。

有効な TAUDTTINm エッジを検出する前にカウンタが FFFFH に達すると、カウンタは 0000H にオーバフローします。カウンタは、0000H にリセットされ、その後動作を継続します。TAUDCDRm、TAUDCSRm.TAUDOVF それぞれに転送される値は、TAUDCMORm.TAUDCOS[1:0]ビットの値によって異なります。

表16.36　オーバフローの影響

TAUDCMORm. TAUDCOS[1:0]	オーバフローが発生した場合		その後、有効な TAUDTTINm 入力が検出された場合	
	TAUDCDRm	TAUDCSRm. TAUDOVF	TAUDCDRm、TAUDCNTm	TAUDCSRm. TAUDOVF
00	変化しない	0	TAUDCNTm が TAUDCDRm にロードされる	1
01		1		
10	FFFFH に変化	0	TAUDCNTm は“0”に設定され、TAUDCDRm は変更されない	変化しない
11		1		

TAUDCMORm.TAUDCOS[0] = 1 のとき、オーバフロービット TAUDCSRm.TAUDOVF は、TAUDCSCm.TAUDCLOV = 1 を設定することでのみクリアできます。TAUDCDRm 値と TAUDCSRm.TAUDOVF 値の組み合わせを使用することで、TAUDTTINm 信号の間隔を推定できます。ただし、有効な TAUDTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUDCSRm.TAUDOVF はその複数のオーバフローの発生を示せません。

TAUDTT.TAUDTTm = 1 を設定すると機能を停止できます。これにより、TAUDTE.TAUDTEm = 0 が設定されます。TAUDCNTm が停止し、値を保持します。機能停止中、有効な TAUDTTINm 入力エッジの検出と TAUDCNTm のキャプチャは行われません。

カウンタは、0000H にリセットされ、その後動作を継続します。

(d) 条件

TAUDCMORm.TAUDMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「16.9. カウント開始／リスタート時のTAUDTTOUTm出力とINTTAUDIm生成」を参照してください。

備考 TAUDCMORm.TAUDCOS[1:0] = 10B, 11B の場合、オーバフロー後の最初の有効な TAUDTTINm 入力エッジの発生時、TAUDCNTm の値は TAUDCDRm にロードされません。ただし、割り込みが発生します。

(e) 算出式

TAUDTTINm 入力パルスインターバル= カウントクロック周期×
[（TAUDCSRm.TAUDOVF ×（FFFFH ＋ 1））＋ TAUDCDRm キャプチャ値＋ 1]

(2)　ブロック図と基本タイミング図

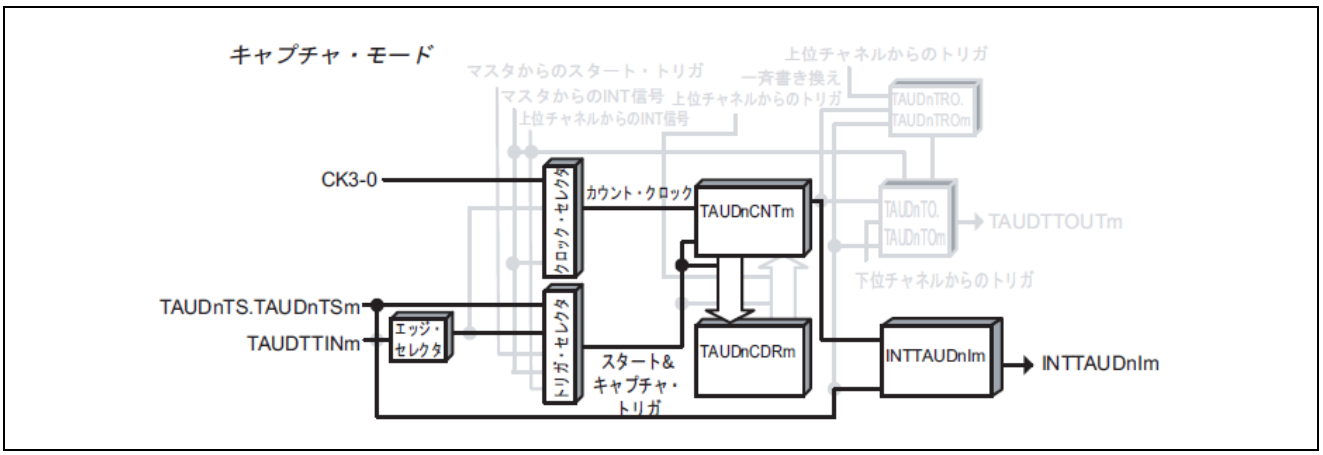


図16.50　TAUDTTINm 入力パルスインターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDIm が発生しない（TAUDCMORm.TAUDMD0 = 0）
- 立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）
- オーバフロー後に有効な TAUDTTINm 入力を検出すると、TAUDCDRm を変更し、TAUDCSRm.TAUDOVF を“1”に設定する（TAUDCMORm.TAUDCOS[1:0] = 00B）

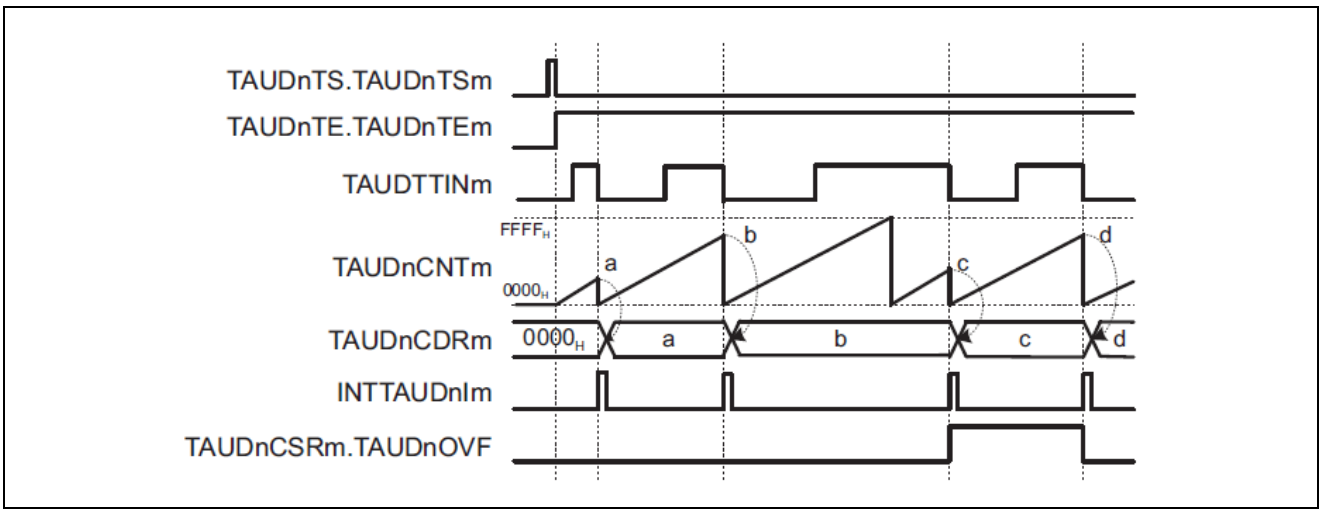


図16.51　TAUDTTINm 入力パルスインターバル測定機能の基本タイミング図

(3) レジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.37　TAUDTTINm 入力パルスインターバル測定機能の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	001：TAUDTTINm 入力信号の有効エッジを外部キャプチャトリガとして使用
7-6	TAUDCOS[1:0]	「表16.36 オーバフローの影響」を参照して下さい。
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0010：キャプチャモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生しない 1：動作開始時に INTTAUDIm が発生する

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.38　TAUDTTINm 入力パルスインターバル測定機能の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、TAUDTTINm 入力パルス測定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.39　TAUDTTINm 入力パルスインターバル測定機能の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(4)　TAUDTTINm 入力パルスインターバル測定機能の操作手順

表16.40　TAUDTTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUD の状態
チャネルの初期設定	TAUDCMORm、TAUDCMURm レジスタを、「表16.37 TAUDTTINm入力パルスインターバル測定機能のTAUDCMORmレジスタの内容」と「表16.38 TAUDTTINm入力パルスインターバル測定機能のTAUDCMURmレジスタの内容」に示すように設定します。 TAUDCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUDTS.TAUDTSm を“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“1”に設定され、カウントが開始されます。 TAUDCNTm が 0000H にクリアされます。 TAUDCMORm.TAUDMD0 が“1”の場合は、INTTAUDIm が発生します。
動作中	TAUDTTINm エッジ検出 TAUDCMURm.TAUDTIS[1:0]ビット値は任意のタイミングで変更可能です。 TAUDCDRm、TAUDCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUDCSCm.TAUDCLOV ビットの 1 書き込みが可能。（TAUDCSRm.TAUDOVF ビットを“0”にクリア）	TAUDCNTm は、0000H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： ・　TAUDCNTm が自身の値を TAUDCDRm に転送（キャプチャ）して、0000H に戻ります。 ・　その後、INTTAUDIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm は停止し、TAUDCNTm と TAUDCSRm.TAUDOVF は現在値を保持します。

動作再開 →

(5)　特定の設定時のタイミング図：オーバフロー動作

(a)　TAUDCMORm.TAUDCOS[1:0] = 00B

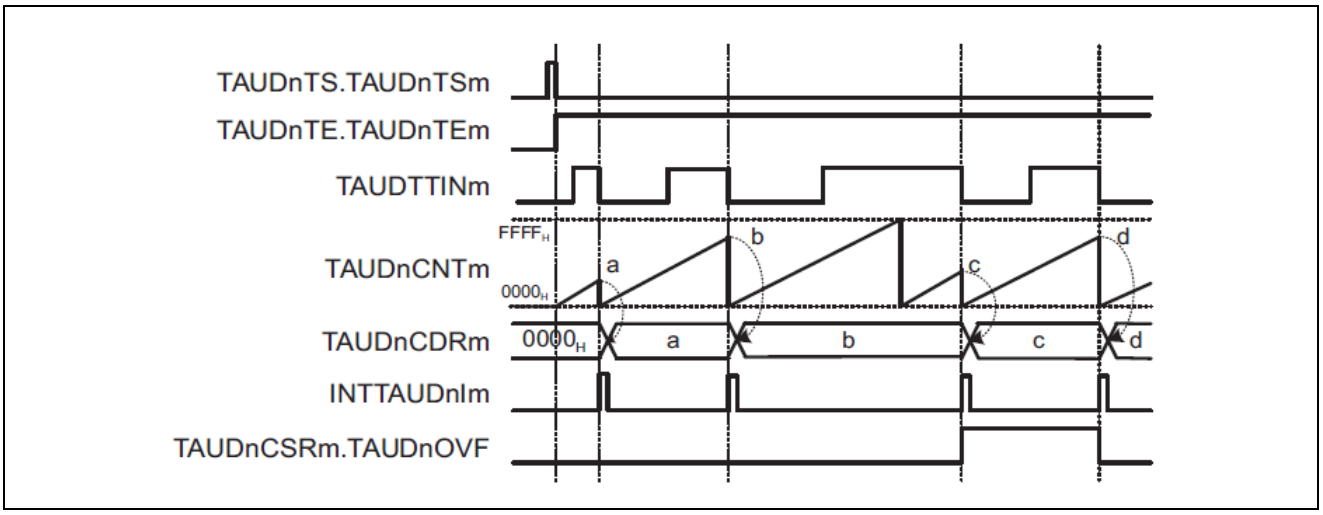


図16.52　TAUDCMORm.TAUDCOS[1:0] = 00B、TAUDCMORm.TAUDMD0 = 0、TAUDCMURm.TAUDTIS[1:0] = 00B

- オーバフローが発生すると、TAUDCDRm の値は変更されず、TAUDCSRm.TAUDOVF の値は“0”のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDCNTm の値が TAUDCDRm にロードされ、TAUDCSRm.TAUDOVF が“1”に設定されます。
- オーバフローが発生していない状態で次の有効な TAUDTTINm 入力エッジが検出されると、TAUDCSRm.TAUDOVF が“0”にクリアされます。

(b)　TAUDCMORm.TAUDCOS[1:0] = 01B

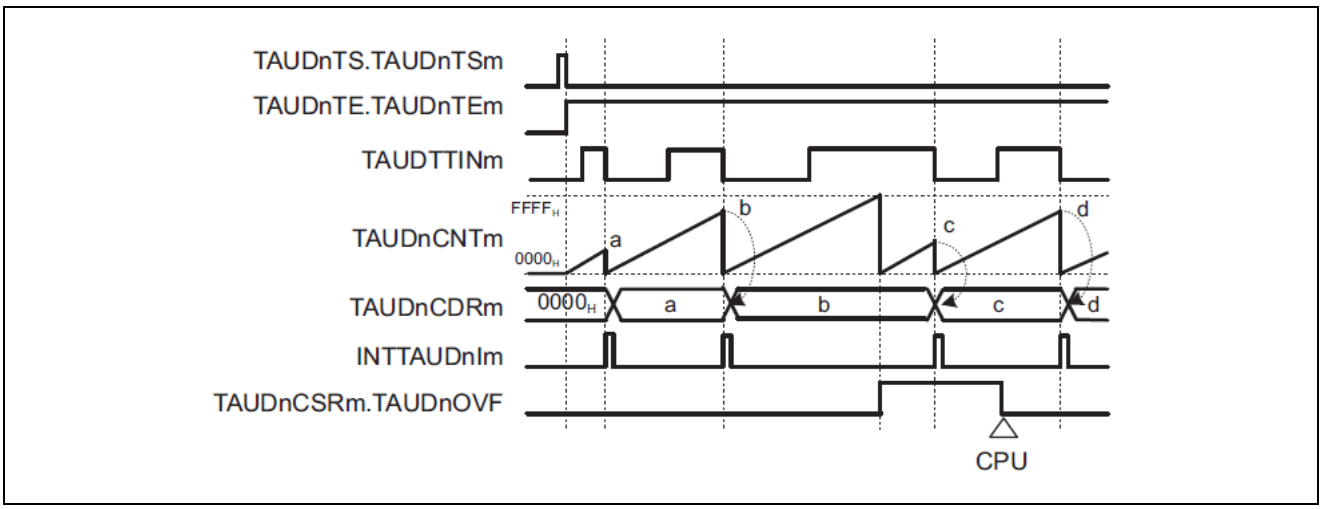


図16.53　TAUDCMORm.TAUDCOS[1:0] = 01B、TAUDCMORm.TAUDMD0 = 0、TAUDCMURm.TAUDTIS[1:0] = 00B

- オーバフローが発生すると、TAUDCDRm の値は変更されず、TAUDCSRm.TAUDOVF の値は“1”に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDCNTm の値が TAUDCDRm にロードされます。
- TAUDCSRm.TAUDOVF は、CPU コマンド（TAUDCSCm.TAUDCLOV ビット=1 のセット）でのみクリアされます。

(c)　TAUDCMORm.TAUDCOS[1:0] = 10B

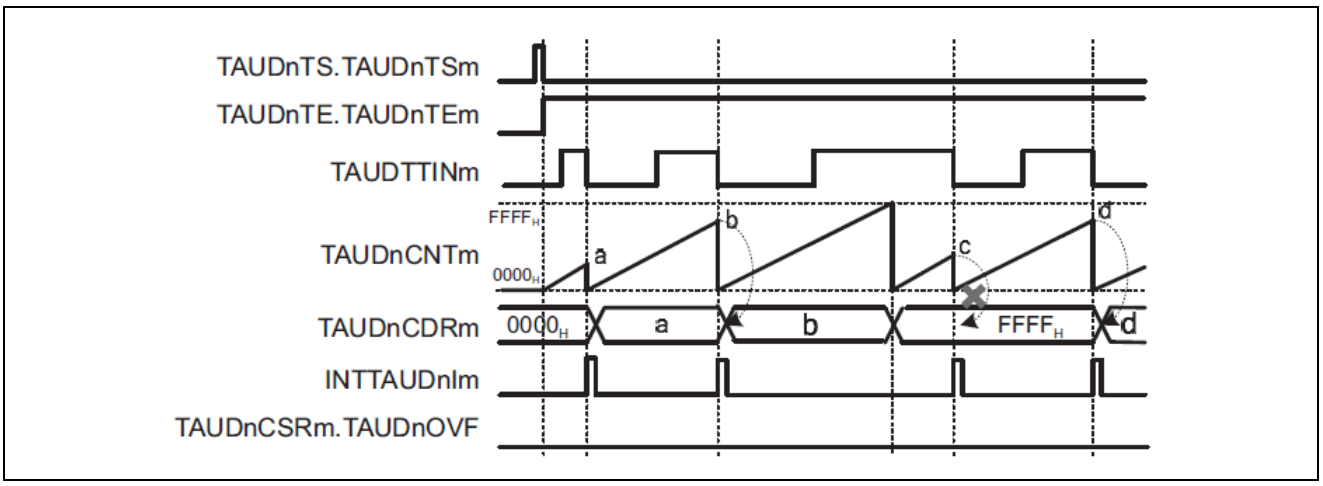


図16.54　TAUDCMORm.TAUDCOS[1:0] = 10B、TAUDCMORm.TAUDMD0 = 0、TAUDCMURm.TAUDTIS[1:0] = 00B

- オーバフローが発生すると、TAUDCDRm は FFFFH に設定され、TAUDCSRm.TAUDOVF の値は“0”のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDCNTm が “0” にリセットされますが、TAUDCDRm と TAUDCSRm.TAUDOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。

(d)　TAUDCMORm.TAUDCOS[1:0] = 11B

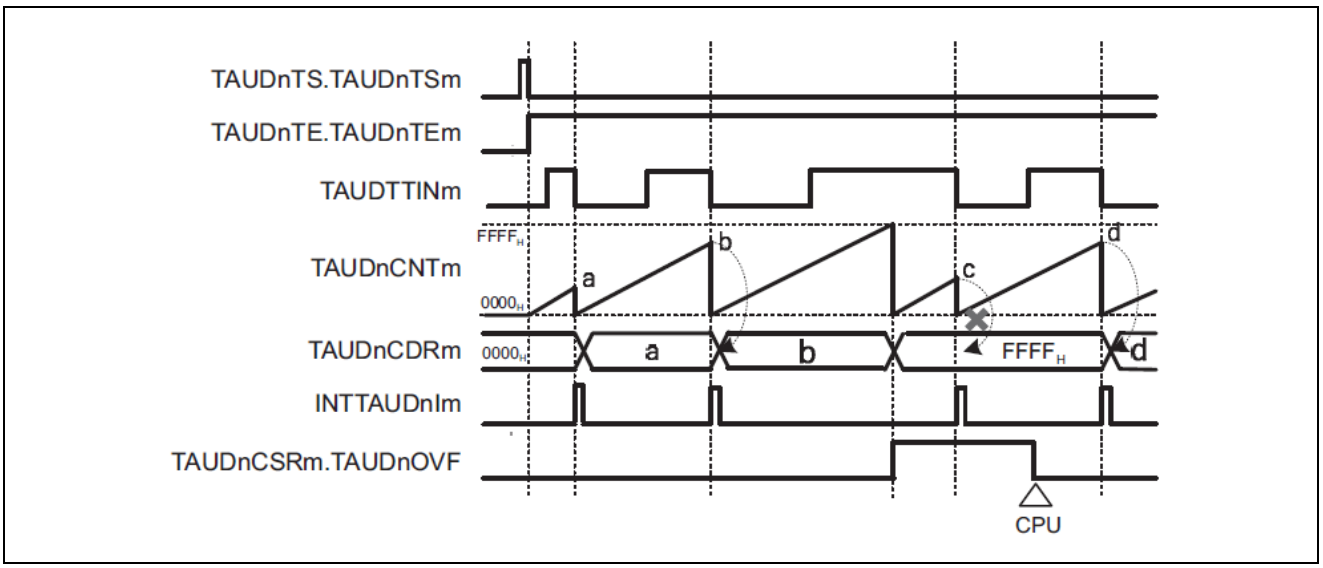


図16.55　TAUDCMORm.TAUDCOS[1:0] = 11B、TAUDCMORm.TAUDMD0 = 0、TAUDCMURm.TAUDTIS[1:0] = 00B

- オーバフローが発生すると、TAUDCDRm は FFFFH に設定され、TAUDCSRm.TAUDOVF は“1”に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDCNTm が“0”にリセットされますが、TAUDCDRm と TAUDCSRm.TAUDOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。
- TAUDCSRm.TAUDOVF は、TAUDCSCm.TAUDCLOV = 1 を設定することでクリアされます。

16.12.8　TAUDTTINm 入力信号幅測定機能

(1)　概要

(a)　概要

この機能は、TAUDTTINm の片エッジでカウントをスタートし、もう片エッジでカウント値をキャプチャすることで、TAUDTTINm の信号幅を測定できます。

(b)　前提条件

- 動作モードはキャプチャ&ワンカウントモードに設定する必要があります（「表16.42 TAUDTTINm 入力信号幅測定機能のTAUDCMORmレジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。
- TAUDCMORm.TAUDMD0 は、“0”に設定する必要があります。

(c)　機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。有効な TAUDTTINm スタートエッジが検出されると、カウンタ TAUDCNTm は、0000H からカウントを開始します。有効な TAUDTTINm ストップエッジが検出されると、TAUDCNTm の値がキャプチャされ、TAUDCDRm に転送され、割り込み INTTAUDIm が発生します。カウンタは値（TAUDCDRm + 1）を保持し、次の有効な TAUDTTINm 入力スタートエッジを待ちます。

有効な TAUDTTINm ストップエッジを検出する前にカウンタが FFFFH に達すると、カウンタはオーバフローします。カウンタは、0000H にリセットされ、その後動作を継続します。TAUDCDRm、TAUDCSRm.TAUDOVF それぞれに転送される値は、TAUDCMORm.TAUDCOS[1:0]ビットの値によって異なります。

表16.41　オーバフローの影響

TAUDCMORm.TAUDCOS[1:0]	オーバフローが発生した場合		その後、有効な TAUDTTINm 入力が検出された場合	
	TAUDCDRm	TAUDCSRm.TAUDOVF	TAUDCDRm、TAUDCNTm	TAUDCSRm.TAUDOVF
00	変化しない	0	TAUDCNTm が TAUDCDRm にロードされる	1
01		1		
10	FFFFH に変化	0	TAUDCNTm はカウントを停止 TAUDCDRm は変更されない	変化しない
11		1		

TAUDCMORm.TAUDCOS[0] = 1 のとき、オーバフロービット TAUDCSRm.TAUDOVF は、TAUDCSCm.TAUDCLOV = 1 を設定することでのみクリアできます。

TAUDCDRm 値と TAUDCSRm.TAUDOVF 値の組み合わせを使用することで、TAUDTTINm 信号の幅を推定できます。ただし、有効な TAUDTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUDCSRm.TAUDOVF はその複数のオーバフローの発生を示せません。

この機能は強制的に再開することはできません。

備考 TAUDCMORm.TAUDCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUDTTINm 入力エッジの発生時、TAUDCNTm の値は TAUDCDRm にロードされません。ただし、割り込みが発生します。

(2)　算出式

TAUDTTINm 入力信号幅= カウントクロック周期×
[（TAUDCSRm.TAUDOVF ×（FFFFH ＋ 1））＋ TAUDCDRm キャプチャ値＋ 1]

(3)　ブロック図と基本タイミング図

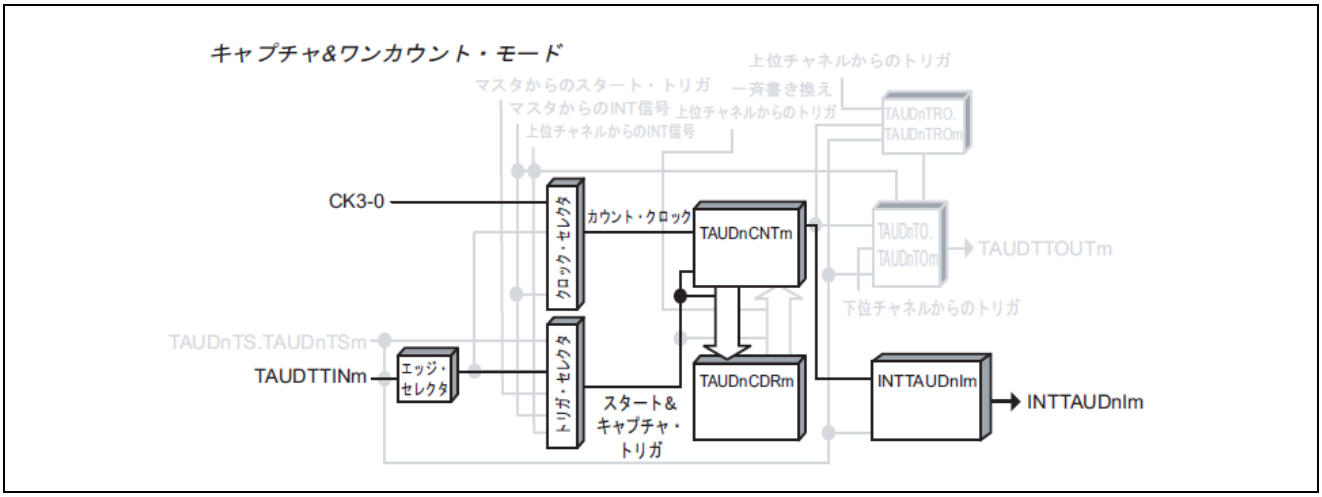


図16.56　TAUDTTINm 入力信号幅測定機能のブロック図

- 両エッジ検出= ハイレベル幅測定（TAUDCMURm.TAUDTIS[1:0] = 11B）
- オーバフロー後に有効な TAUDTTINm 入力を検出すると、TAUDCDRm を変更し、TAUDCSRm.TAUDOVF を“1”に設定する（TAUDCMORm.TAUDCOS[1:0] = 00B）

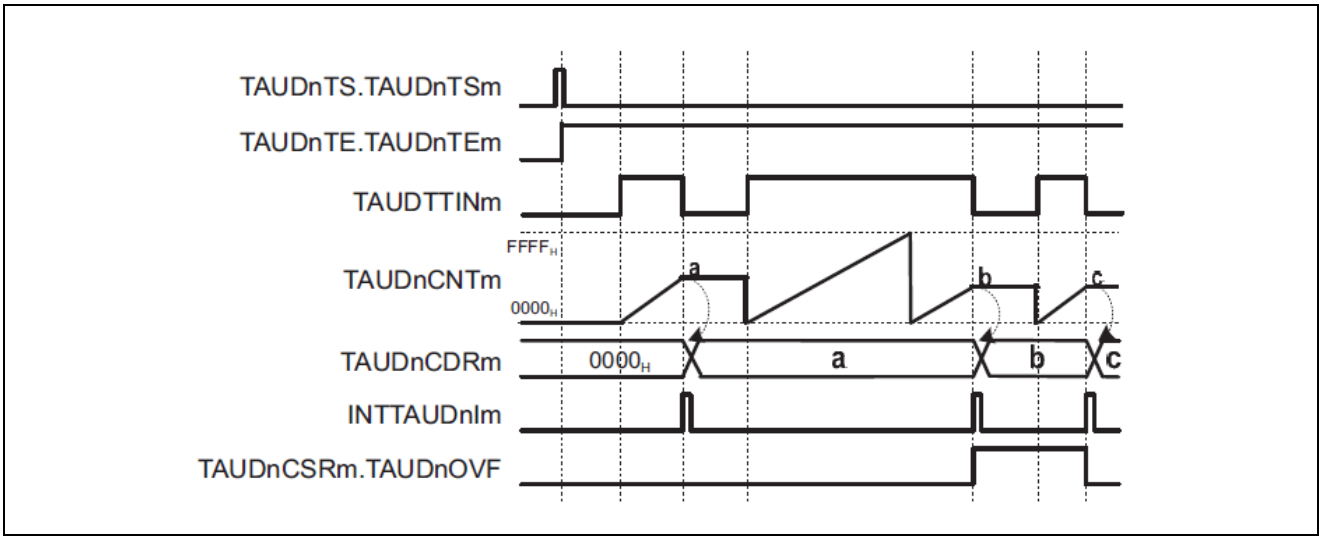


図16.57　TAUDTTINm 入力信号幅測定機能の基本タイミング図

(4)　レジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.42　TAUDTTINm 入力信号幅測定機能の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、 逆エッジをストップトリガとして使用
7-6	TAUDCOS[1:0]	「表16.41 オーバフローの影響」を参照して下さい。
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0110：キャプチャ&ワンカウントモード
0	TAUDMD0	0：動作中のスタートトリガ無効

(b)　TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.43　TAUDTTINm 入力信号幅測定機能の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(c)　チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。

(d) 一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、TAUDTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.44　TAUDTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(5) TAUDTTINm 入力信号幅測定機能の操作手順

表16.45　TAUDTTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUD の状態
チャネルの初期設定	TAUDCMORm、TAUDCMURm レジスタを、「表16.42 TAUDTTINm入力信号幅測定機能のTAUDCMORmレジスタの内容」と「表16.43 TAUDTTINm入力信号幅測定機能のTAUDCMURmレジスタの内容」に示すように設定します。 TAUDCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUDTS.TAUDTSm を“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“1”に設定され、TAUDCNTm は TAUDTTINm スタートエッジ検出を待ちます。 TAUDTTINm スタートエッジを検出すると、TAUDCNTm はアップカウントを開始します。
動作中	TAUDCDRm、TAUDCNTm、TAUDCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUDCSC.CLOV ビットは、“1”にセット可能です。	TAUDCNTm は、0000H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： ・ TAUDCNTm が自身の値を TAUDCDRm に転送（キャプチャ）して、その値を保持し、INTTAUDIm が発生します。 カウントは TAUDCDRm に転送した値+ 1 の値で停止し、TAUDCNTm は TAUDTTINm スタートエッジの検出を待ちます。以降、この動作を繰り返します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm は停止し、TAUDCNTm と TAUDCSRm.TAUDOVF は現在値を保持します。

動作再開

(6)　特定の設定時のタイミング図：オーバフロー動作

(a)　TAUDCMORm.TAUDCOS[1:0] = 00B

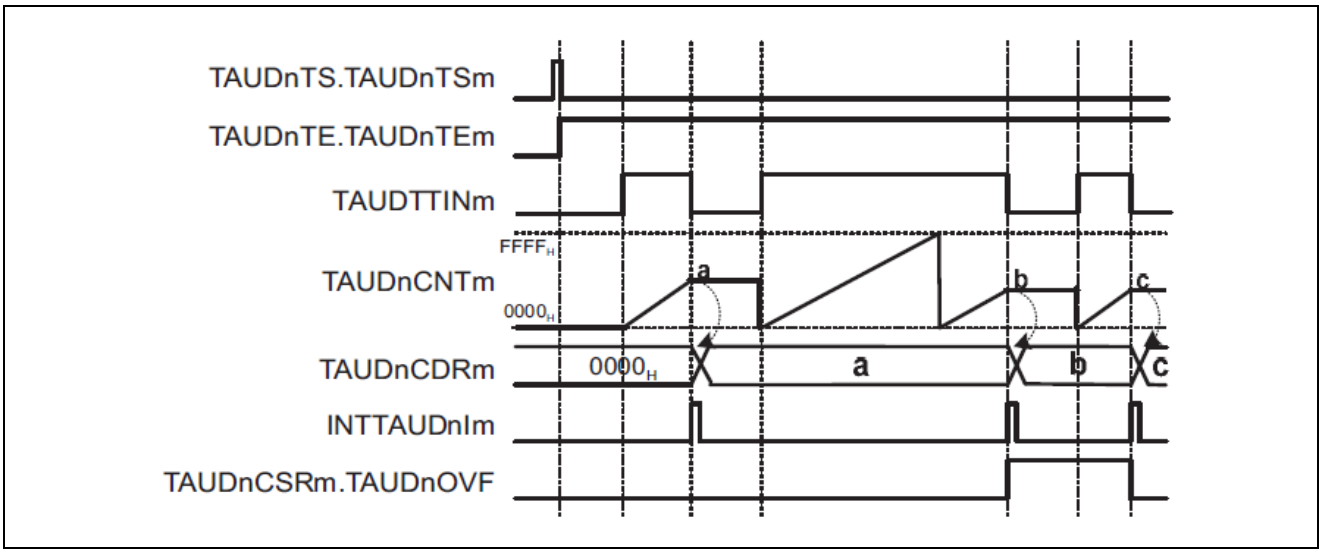


図16.58　TAUDCMORm.TAUDCOS[1:0] = 00B、TAUDCMORm.TAUDMD0 = 0、TAUDCMURm.TAUDTIS[1:0] = 11B

- オーバフローが発生すると、TAUDCDRm の値は変更されず、TAUDCSRm.TAUDOVF の値は“0”のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDCNTm の値が TAUDCDRm にロードされ、TAUDCSRm.TAUDOVF が“1”に設定されます。
- オーバフローが発生していない状態で次の有効な TAUDTTINm 入力エッジが検出されると、TAUDCSRm.TAUDOVF が“0”にクリアされます。

(b)　TAUDCMORm.TAUDCOS[1:0] = 01B

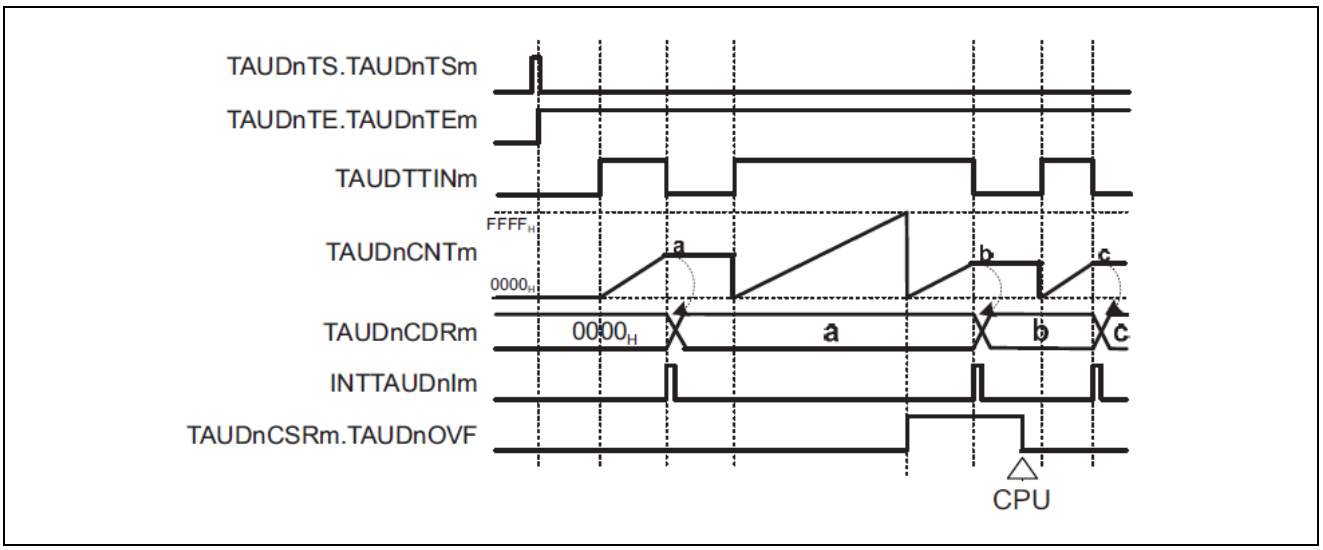


図16.59　TAUDCMORm.TAUDCOS[1:0] = 01B、TAUDCMORm.TAUDMD0 = 0、TAUDCMURm.TAUDTIS[1:0] = 11B

- オーバフローが発生すると、TAUDCDRm の値は変更されず、TAUDCSRm.TAUDOVF の値は“1”に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDCNTm の値が TAUDCDRm にロードされます。
- TAUDCSRm.TAUDOVF は、CPU コマンド（TAUDCSCm.TAUDCLOV ビット=1 のセット）でのみクリアされます。

(c)　TAUDCMORm.TAUDCOS[1:0] = 10B

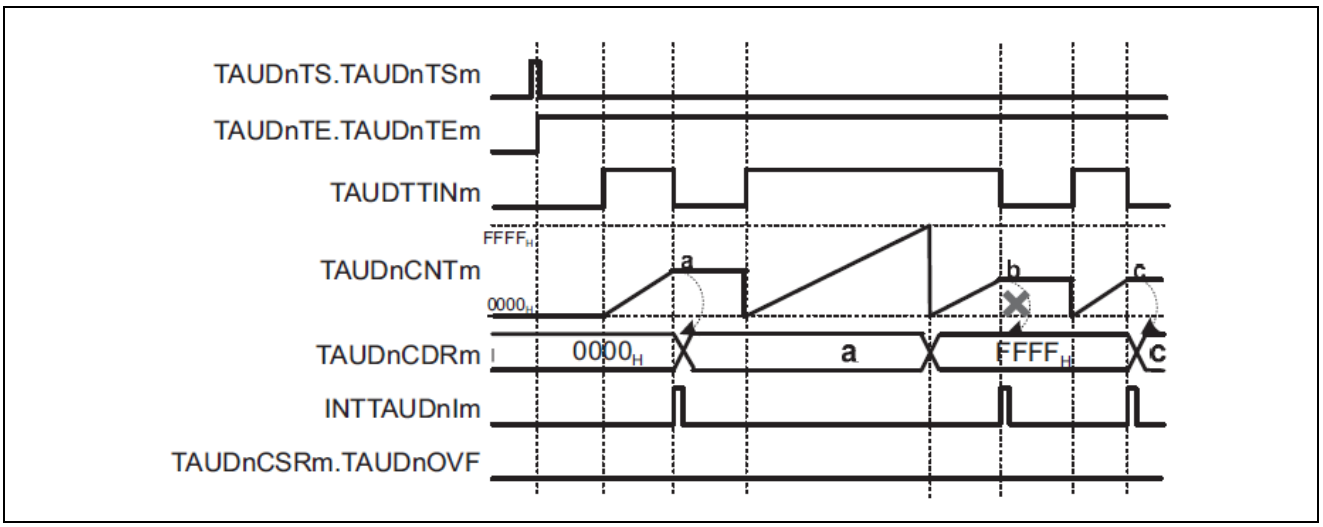


図16.60　TAUDCMORm.TAUDCOS[1:0] = 10B、TAUDCMORm.TAUDMD0 = 0、TAUDCMURm.TAUDTIS[1:0] = 11B

- オーバフローが発生すると、TAUDCDRm は FFFFH に設定され、TAUDCSRm.TAUDOVF の値は“0”のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDCNTm がカウントを停止し、TAUDCDRm と TAUDCSRm.TAUDOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。

(d)　TAUDCMORm.TAUDCOS[1:0] = 11B

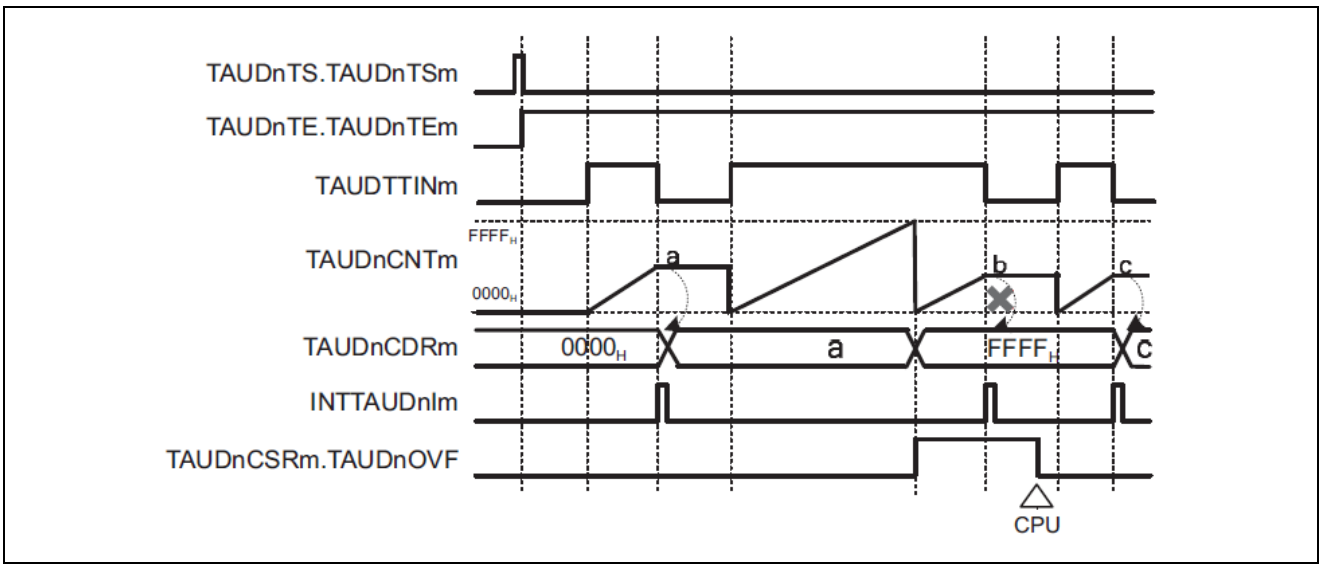


図16.61　TAUDCMORm.TAUDCOS[1:0] = 11B、TAUDCMORm.TAUDMD0 = 0、TAUDCMURm.TAUDTIS[1:0] = 11B

- オーバフローが発生すると、TAUDCDRm は FFFFH に設定され、TAUDCSRm.TAUDOVF は“1”に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、 TAUDCNTm がカウントを停止し、TAUDCDRm と TAUDCSRm.TAUDOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。
- TAUDCSRm.TAUDOVF は、TAUDCSCm.TAUDCLOV = 1 を設定することでクリアされます。

16.12.9　TAUDTTINm 入力位置検出機能

(1)　概要

(a)　概要

TAUDTTINm の有効エッジでカウント値をキャプチャすることで、入力信号間隔を測定できる機能です。

(b)　前提条件

- 動作モードはカウントキャプチャモードに設定する必要があります（「表16.46 TAUDTTINm入力位置検出機能のTAUDCMORmレジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。

(c)　機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。カウンタは、0000H からカウントを開始します。有効な TAUDTTINm 入力エッジが検出されると、TAUDCNTm の現在値が TAUDCDRm にロードされ、割り込み（INTTAUDIm）が発生します。カウント動作は継続します。

カウンタ値が FFFFH になると、カウンタは 0000H からカウント動作を再開します。

(d)　条件

TAUDCMORm.TAUDMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「16.9. カウント開始／リスタート時のTAUDTTOUTm出力とINTTAUDIm生成」を参照してください。

(2)　算出式

TAUDTTINm 入力パルスでの機能時間 = カウントクロック周期×（TAUDCDRm キャプチャ値＋ 1）

(3)　ブロック図と基本タイミング図

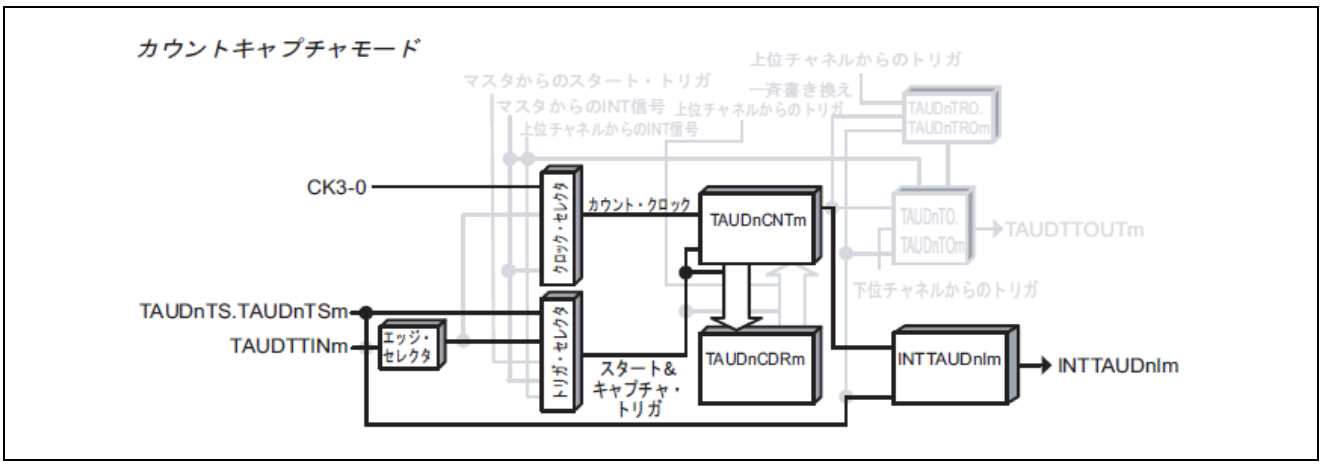


図16.62　TAUDTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDIm が発生しない（TAUDCMORm.TAUDMD0 = 0）
- 立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）

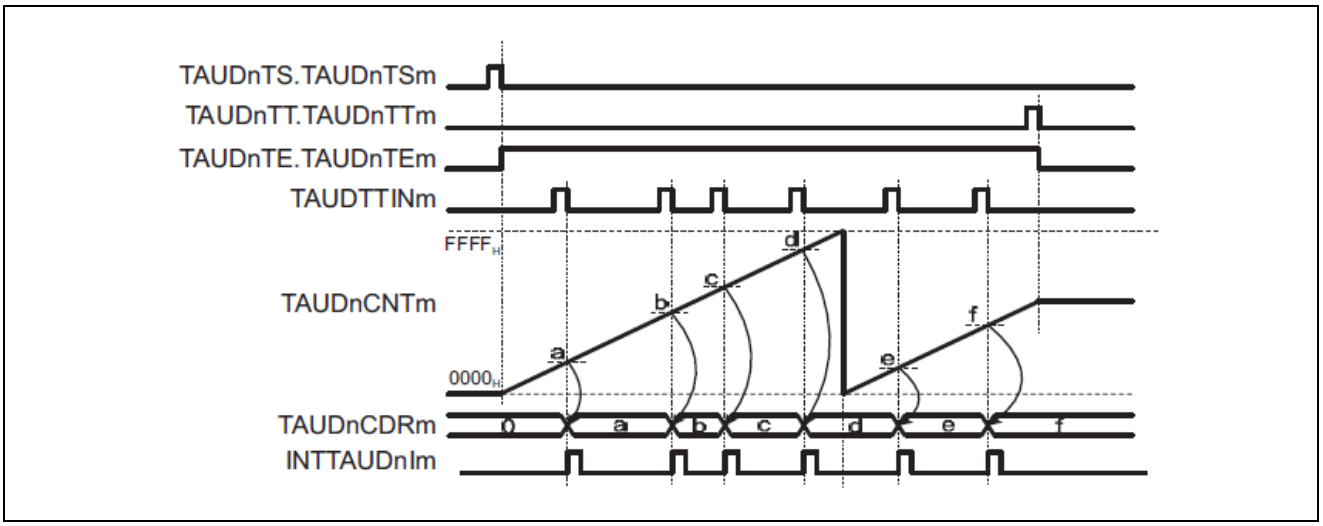


図16.63　TAUDTTINm 入力位置検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.46　TAUDTTINm 入力位置検出機能の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部キャプチャトリガとして使用
7-6	TAUDCOS[1:0]	01：この値に設定してください
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	1011：カウントキャプチャモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生しない 1：動作開始時に INTTAUDIm が発生する

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.47　TAUDTTINm 入力位置検出機能の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、TAUDTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.48　TAUDTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(5)　TAUDTTINm 入力位置検出機能の操作手順

表16.49　TAUDTTINm 入力位置検出機能の操作手順

	操作	TAUD の状態
チャネルの初期設定	TAUDCMORm、TAUDCMURm レジスタを、「表16.46 TAUDTTINm入力位置検出機能のTAUDCMORmレジスタの内容」と「表16.47 TAUDTTINm入力位置検出機能のTAUDCMURmレジスタの内容」に示すように設定します。 TAUDCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUDTS.TAUDTSm を“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“1”に設定され、カウントが開始されます。 TAUDCMORm.TAUDMD0 が“1”の場合は、INTTAUDIm が発生します。
動作中	TAUDCMURm.TAUDTIS[1:0]ビット値は任意のタイミングで変更可能です。 TAUDCDRm、TAUDCSRm レジスタは任意のタイミングで読み出し可能です。	TAUDCNTm は、0000H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： ・ TAUDCNTm が自身の値を TAUDCDRm に転送（キャプチャ）します。 ・ INTTAUDIm を出力します。 ・ カウンタ値は 0000H にクリアされず、TAUDCNTm はカウント動作を継続します。 以降、この動作を繰り返します。 TAUDCNTm が FFFFH に達すると、カウンタは 0000H からカウント動作を再開します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm は停止し、TAUDCNTm は現在値を保持します。

動作再開 ▶

(6)　特定の設定時のタイミング図

(a)　動作の停止と再開

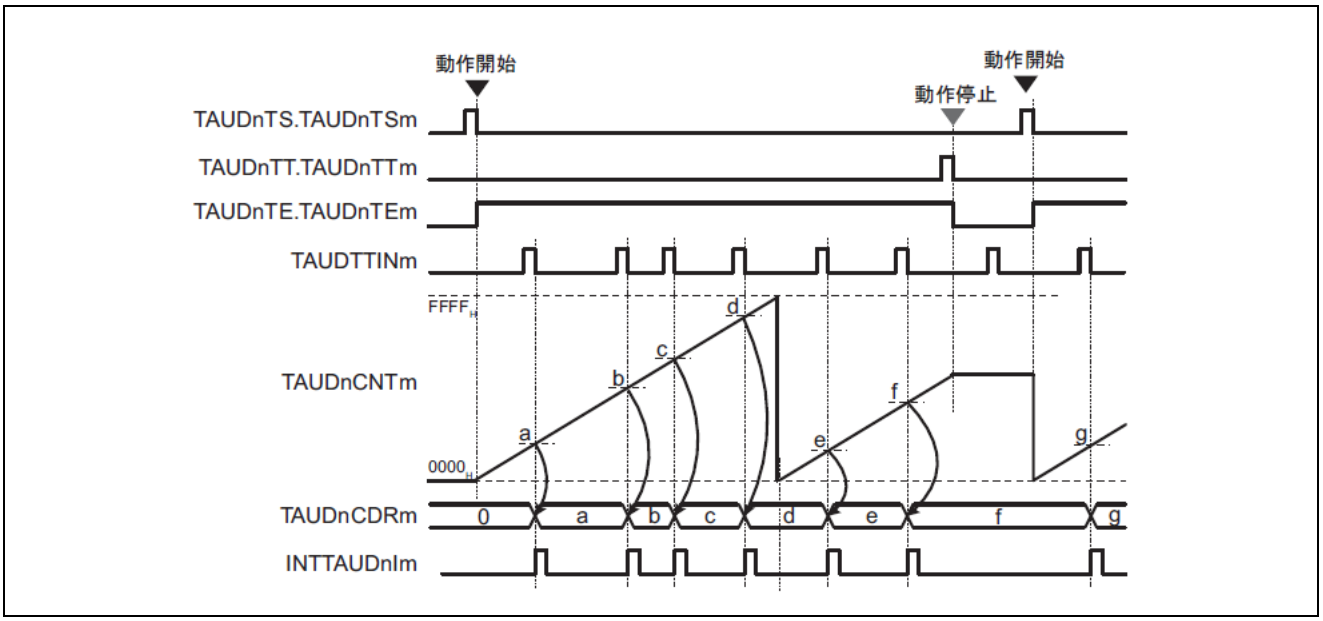


図16.64　動作の停止と再開（TAUDCMORm.TAUDMD0 = 0、TAUDCMURm.TAUDTIS[1:0] = 00B）

- TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。
- TAUDCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUDTTINm の有効な入力エッジは無視されます。
- TAUDTS.TAUDTSm を“1”に設定すると、カウントを再開できます。TAUDCNTm は 0000H からカウントを再開します。

16.12.10 TAUDTTINm 入力期間カウント検出機能

(1) 概要

(a) 概要

この機能は、TAUDTTINm 入力信号の合計幅を測定します。

(b) 前提条件

- 動作モードはキャプチャ&ゲートカウントモードに設定する必要があります（「表16.50 TAUDTTINm入力期間カウント検出機能のTAUDCMORmレジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。

(c) 機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUDTTINm 入力エッジを待ちます。

有効な TAUDTTINm 入力スタートエッジが検出されると、カウンタは、0000H からカウントを開始します。

有効な TAUDTTINm 入力ストップエッジが検出されると、TAUDCNTm の現在値が TAUDCDRm にロードされ、割り込み（INTTAUDIm）が発生します。次の有効な TAUDTTINm 入力スタートエッジを検出するまで、カウンタは停止し、値（TAUDCDRm + 1）を保持します。

次の有効な TAUDTTINm 入力スタートエッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFFH になると、カウンタは 0000H からカウント動作を再開します。

備考 1. TAUDTTINm 入力信号は、TAUDCMORm.TAUDCKS[1:0]ビットで設定した動作クロックの周波数でサンプリングされます。

2. この機能は、TAUDTTINm 入力の信号幅測定を目的とするため、TAUDTE.TAUDTEm = 1 期間中の TAUDTS.TAUDTSm のセット（1）は使用できません。

(d) 条件

有効なスタートエッジとストップエッジは、TAUDCMURm.TAUDTIS[1:0]ビットで設定します。

- TAUDCMURm.TAUDTIS[1:0] = 10B の場合、TAUDTTINm 入力ロウレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUDCMURm.TAUDTIS[1:0] = 11B の場合、TAUDTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

(e) 算出式

TAUDTTINm 入力幅累計 = カウントクロック周期×（TAUDCDRm キャプチャ値 + 1）

(2)　ブロック図と基本タイミング図

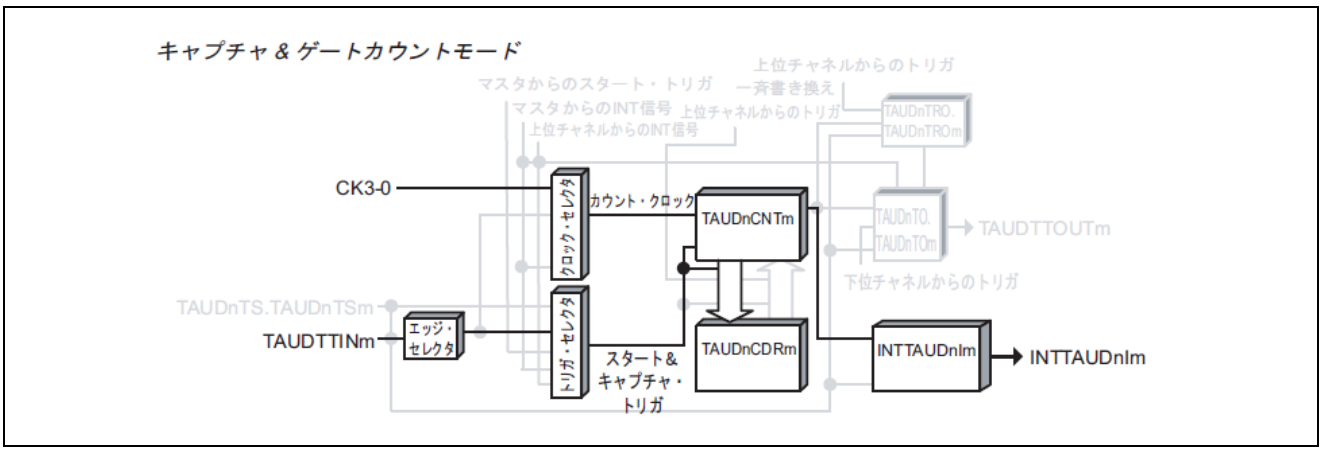


図16.65　TAUDTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出= ハイレベル幅測定（TAUDCMURm.TAUDTIS[1:0] = 11B）

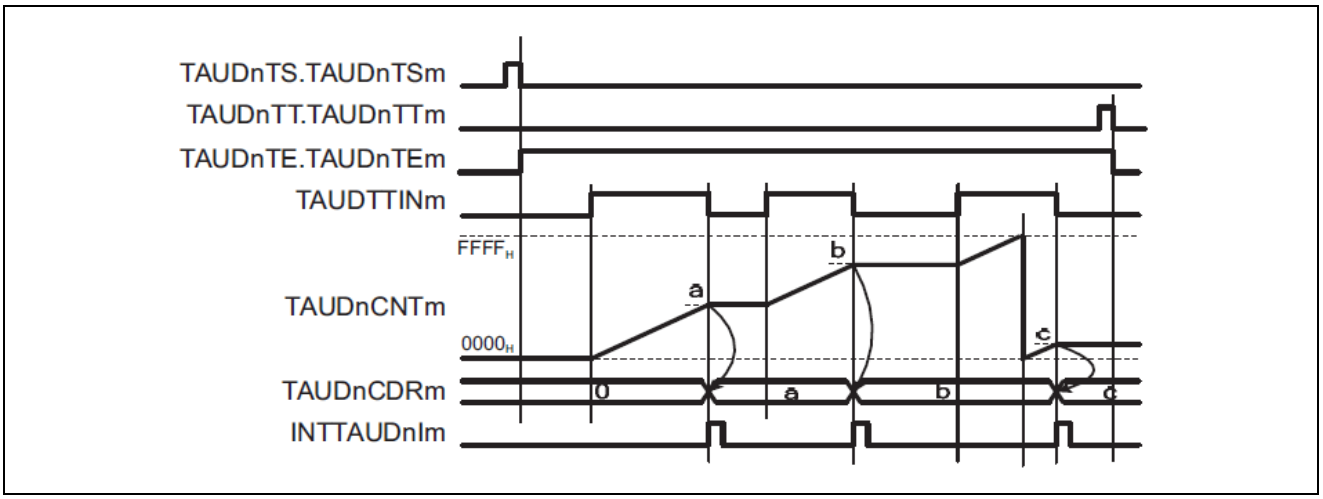


図16.66　TAUDTTINm 入力期間カウント検出機能の基本タイミング図

(3) レジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.50　TAUDTTINm 入力期間カウント検出機能の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、 逆エッジをストップトリガとして使用
7-6	TAUDCOS[1:0]	01：この値に設定してください
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	1101：キャプチャ＆ゲートカウントモード
0	TAUDMD0	0：動作中のスタートトリガ無効

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.51　TAUDTTINm 入力期間カウント検出機能の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、TAUDTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.52　TAUDTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(4)　TAUDTTINm 入力期間カウント検出機能の操作手順

表16.53　TAUDTTINm 入力期間カウント検出機能の操作手順

	操作	TAUD の状態
チャネルの初期設定	TAUDCMORm、TAUDCMURm レジスタを、「表16.50 TAUDTTINm入力期間カウント検出機能のTAUDCMORmレジスタの内容」と「表16.51 TAUDTTINm入力期間カウント検出機能のTAUDCMURmレジスタの内容」に示すように設定します。 TAUDCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUDTS.TAUDTSm を“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“1”に設定され、TAUDCNTm は TAUDTTINm スタートエッジ検出を待ちます。
動作中	TAUDTTINm エッジ検出 TAUDCDRm、TAUDCNTm、TAUDCSRm レジスタは任意のタイミングで読み出しが可能です。	TAUDTTINm スタートエッジ（ハイレベル幅測定なら立ち上がりエッジ、ロウレベル幅測定なら立ち下がりエッジ）を検出すると、TAUDCNTm は停止値よりアップカウントを開始します。 TAUDCNTm は、ストップエッジ（ハイレベル幅測定なら立ち下がりエッジ、ロウレベル幅測定なら立ち上がりエッジ）を検出すると、値を TAUDCDRm に転送し、INTTAUDIm が発生します。カウントは TAUDCDRm に転送した値+ 1 の値で停止し、TAUDCNTm は TAUDTTINm スタートエッジの検出を待ちます。TAUDCNTm が FFFFH に達すると、カウンタは 0000H からカウント動作を再開します。以降、この動作を繰り返します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。TAUDCNTm は停止し、TAUDCNTm は現在値を保持します。

動作再開 →

(5)　特定の設定時のタイミング図

(a)　動作の停止と再開

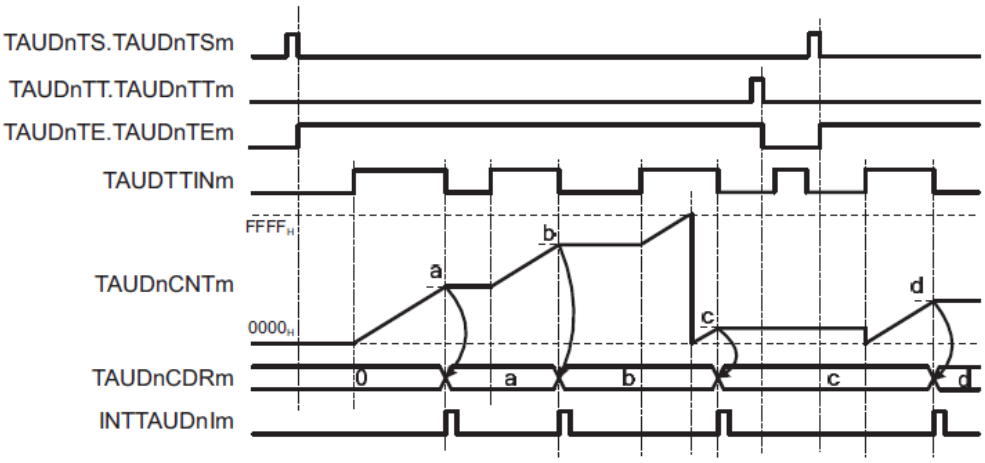


図16.67　動作の停止と再開（TAUDCMURm.TAUDTIS[1:0] = 11B）

- TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。
- TAUDCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUDTTINm の有効な入力エッジは無視されます。
- TAUDTS.TAUDTSm を“1”に設定すると、カウントを再開できます。TAUDCNTm は 0000H からカウントを再開します。

16.12.11 TAUDTTINm 入力パルスインターバル判定機能

(1) 概要

(a) 概要

この機能は、TAUDTTINm 入力パルスの発生時、カウント値（TAUDCNTm）とチャネルデータレジスタ（TAUDCDRm）の値を比較した結果を出力します。比較の結果が真の場合、割り込み要求信号 INTTAUDIm が発生します。

(b) 前提条件

- 動作モードはジャッジモードに設定する必要があります（「表16.54 TAUDTTINm入力パルスインターバル判定機能のTAUDCMORmレジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。

(c) 機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。TAUDCDRm の現在値が TAUDCNTm にロードされ、カウンタはその TAUDCDRm 値からダウンカウントを開始します。

TAUDTTINm 有効エッジが検出された場合、または TAUDTS.TAUDTSm が“1”に設定された場合、この機能は TAUDCNTm と TAUDCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUDIm が発生します。TAUDCNTm は、TAUDCDRm の値をリロードし、比較の結果に関係なく動作を継続します。

有効な TAUDTTINm エッジを検出する前にカウンタが 0000H に達すると、TAUDCNTm はオーバフローし、FFFFH に設定されます。その後、カウンタはダウンカウントを継続します。

TAUDCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

(d) 条件

比較の種類を TAUDCMORm.TAUDMD0 ビットで指定します。

- TAUDCMORm.TAUDMD0 = 0 かつ TAUDCNTm≦TAUDCDRm の場合、INTTAUDIm が発生します。
- TAUDCMORm.TAUDMD0 = 1 かつ TAUDCNTm＞TAUDCDRm の場合、INTTAUDIm が発生します。

(2)　ブロック図と基本タイミング図

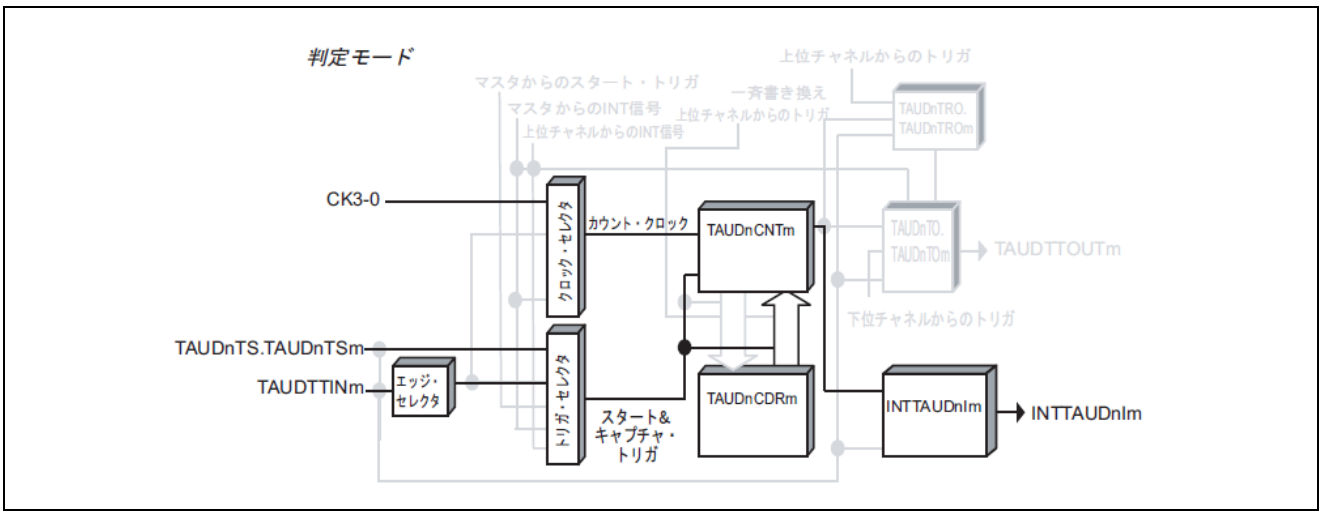


図16.68　TAUDTTINm 入力パルスインターバル判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）

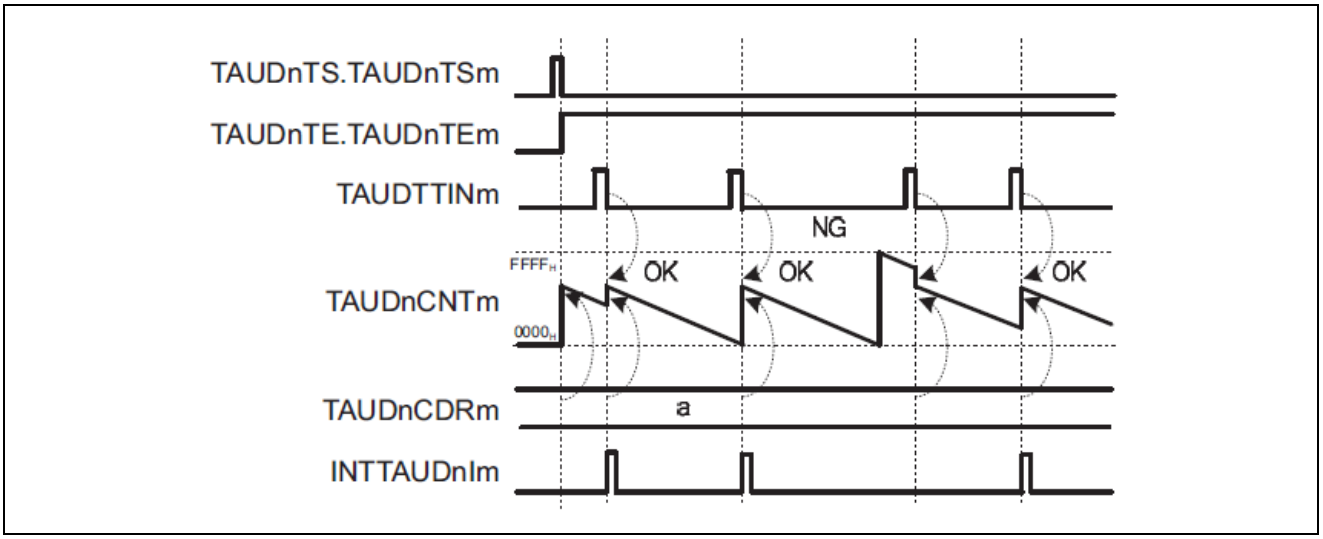


図16.69　TAUDTTINm 入力パルスインターバル判定機能の基本タイミング図

(3)　レジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.54　TAUDTTINm 入力パルスインターバル判定機能の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	001：TAUDTTINm 入力信号の有効エッジを外部スタートトリガとして使用
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0001：ジャッジモード
0	TAUDMD0	0：TAUDCNTm≦TAUDCDRm の場合、INTTAUDIm が発生 1：TAUDCNTm＞TAUDCDRm の場合、INTTAUDIm が発生

(b)　TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.55　TAUDTTINm 入力パルスインターバル判定機能の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定） 10：両エッジ検出 11：設定禁止

(c)　チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、TAUDTTINm 入力パルスインターバル判定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.56　TAUDTTINm 入力パルスインターバル判定機能の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(4)　TAUDTTINm 入力パルスインターバル判定機能の操作手順

表16.57　TAUDTTINm 入力パルスインターバル判定機能の操作手順

	操作	TAUD の状態
チャネルの初期設定	TAUDCMORm、TAUDCMURm レジスタを、「表16.54 TAUDTTINm入力パルスインターバル判定機能のTAUDCMORmレジスタの内容」と「表16.55 TAUDTTINm入力パルスインターバル判定機能のTAUDCMURmレジスタの内容」に示すように設定します。 TAUDCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUDTS.TAUDTSm を“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“1”に設定され、カウントが開始されます。TAUDCDRm の値を TAUDCNTm にロードします。
動作中	任意のタイミングで変更可能なレジスタ ・TAUDCDRm レジスタ	TAUDCMORm.TAUDMD0 = 0 の場合 TAUDTTINm 入力エッジ検出タイミングで TAUDCNTm≦ AUDCDRm の場合、INTTAUDIm 発生します。 TAUDCMORm.TAUDMD0 = 1 の場合 TAUDTTINm 入力エッジ検出タイミングで TAUDCNTm＞TAUDCDRm の場合、INTTAUDIm 発生します。TAUDTTINm 入力エッジを検出すると、TAUDCNTm は、TAUDCDRm の値からダウンカウントを開始します。 以降、この動作を繰り返します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm が停止し、現在値を保持します。

動作再開 →

16.12.12 TAUDTTINm 入力信号幅判定機能

(1) 概要

(a) 概要

この機能は、TAUDTTINm 入力信号のハイレベルまたはロウレベル幅期間のカウント値（TAUDCNTm）とTAUDCDRm の大小判定の結果を割り込み要求信号 INTTAUDIm より出力します。

(b) 前提条件

- 動作モードはジャッジ&ワンカウントモードに設定する必要があります（「表16.58 TAUDTTINm 入力信号幅判定機能のTAUDCMORmレジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。

(c) 機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。有効な TAUDTTINm 入力スタートエッジが検出されると、TAUDCDRm の現在値が TAUDCNTm にロードされ、カウンタはその TAUDCDRm 値からダウンカウントを開始します。

有効な TAUDTTINm ストップエッジが検出されると、この機能は TAUDCNTm と TAUDCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUDIm が発生します。カウンタ TAUDCNTm は、比較の結果に関係なく、次の有効な TAUDTTINm スタートエッジを検出するまで値を保持します。

有効な TAUDTTINm ストップエッジを検出する前にカウンタが 0000H に達すると、TAUDCNTm はオーバフローし、FFFFH に設定されます。その後、カウンタはダウンカウントを継続します。

TAUDCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

(d) 条件

- 比較の種類を TAUDCMORm.TAUDMD0 ビットで指定します。
  - TAUDCMORm.TAUDMD0 = 0 かつ TAUDCNTm≦TAUDCDRm の場合、INTTAUDIm が発生します。
  - TAUDCMORm.TAUDMD0 = 1 かつ TAUDCNTm＞TAUDCDRm の場合、INTTAUDIm が発生します。
- TAUDCMURm.TAUDTIS[1:0]ビットで幅測定のタイプを指定します。
  - ハイレベル幅測定（TAUDCMURm.TAUDTIS[1:0] = 11B の場合）では、TAUDTTINm 立ち上がりエッジをスタートエッジ、TAUDTTINm 立ち下がりエッジをストップエッジとして使用します。
  - ロウレベル幅測定（TAUDCMURm.TAUDTIS[1:0] = 10B の場合）では、TAUDTTINm 立ち下がりエッジをスタートエッジ、TAUDTTINm 立ち上がりエッジをストップエッジとして使用します。
- この機能では強制リスタートは行えません。

(2)　ブロック図と基本タイミング図

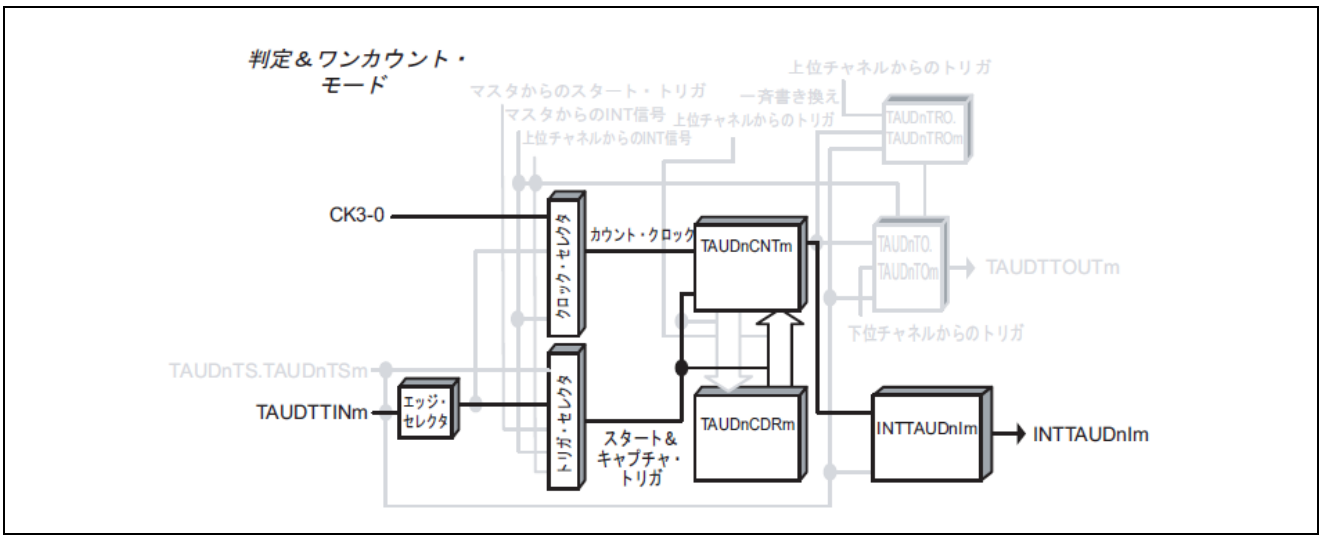


図16.70　TAUDTTINm 入力信号幅判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- TAUDCNTm≦TAUDCDRm（TAUDCMORm.TAUDMD0 = 0）の場合、INTTAUDIm が発生します。TAUDTTINm 有効スタートエッジ= 立ち上がりエッジ、TAUDTTINm 有効ストップエッジ= 立ち下がりエッジ（TAUDCMURm.TAUDTIS[1:0] = 11B）

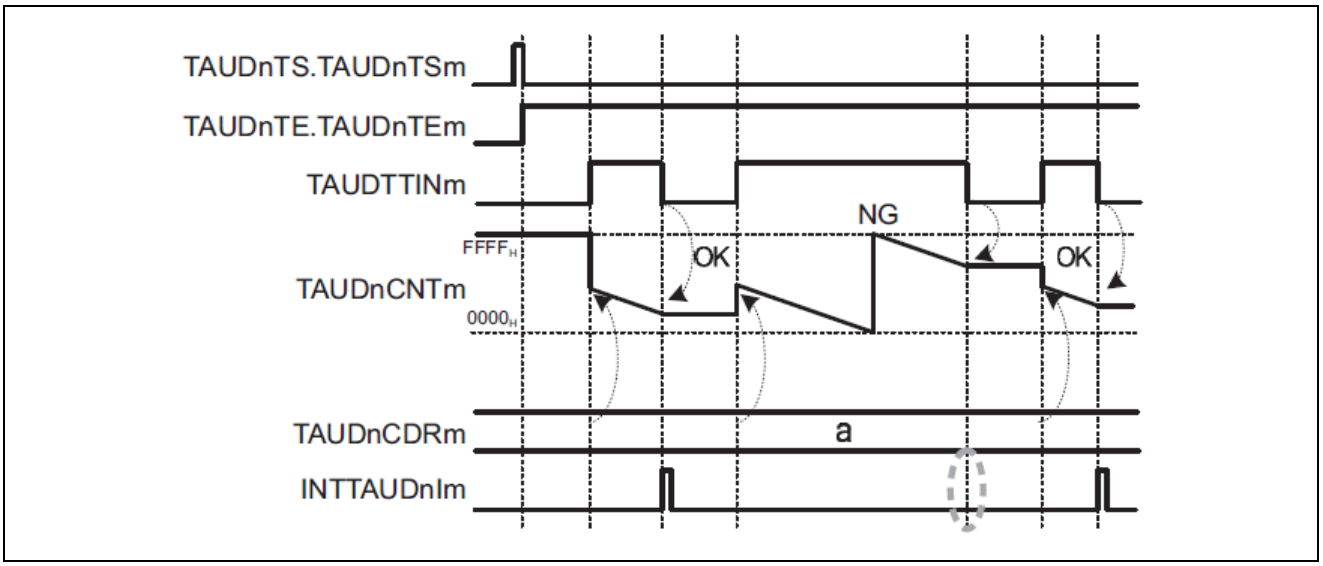


図16.71　TAUDTTINm 入力信号幅判定機能の基本タイミング図

(3) レジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.58　TAUDTTINm 入力信号幅判定機能の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、 逆エッジをストップトリガとして使用
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0111：ジャッジ&ワンカウントモード
0	TAUDMD0	0：TAUDCNTm≦TAUDCDRm の場合、INTTAUDIm が発生 1：TAUDCNTm＞TAUDCDRm の場合、INTTAUDIm が発生

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.59　TAUDTTINm 入力信号幅判定機能の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、TAUDTTINm 入力信号幅判定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.60　TAUDTTINm 入力信号幅判定機能の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(4)　TAUDTTINm 入力信号幅判定機能の操作手順

表16.61　TAUDTTINm 入力信号幅判定機能の操作手順

	操作	TAUD の状態
チャネルの初期設定	TAUDCMORm、TAUDCMURm レジスタを、「表16.58 TAUDTTINm入力信号幅判定機能のTAUDCMORmレジスタの内容」と「表16.59 TAUDTTINm入力信号幅判定機能のTAUDCMURmレジスタの内容」に示すように設定します。 TAUDCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUDTS.TAUDTSm を“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“1”に設定され、 TAUDCNTm は TAUDTTINm スタートエッジ検出を待ちます。
動作中	任意のタイミングで変更可能なレジスタ ・TAUDCDRm レジスタ	TAUDTTINm スタートエッジを検出すると、 TAUDCNTm は、TAUDCDRm の値からダウンカウントを開始します。 TAUDCMORm.TAUDMD0 = 0 の場合 TAUDTTINm 入力ストップエッジ検出タイミングで TAUDCNTm≦TAUDCDRm の場合、 INTTAUDIm 発生します。 TAUDCMORm.TAUDMD0 = 1 の場合 TAUDTTINm 入力ストップエッジ検出タイミングで TAUDCNTm＞TAUDCDRm の場合、INTTAUDIm 発生します。 以降、この動作を繰り返します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm が停止し、現在値を保持します。

動作再開

16.12.13　オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）

(1)　概要

(a)　概要

この機能は、各 TAUDTTINm 入力信号の幅を測定します。TAUDTTINm 入力後、（FFFFH + 1）を超えた場合、割り込みが発生します。

(b)　前提条件

- 動作モードはワンカウントモードに設定する必要があります（「表16.62 オーバフロー割り込み出力機能（TAUDTTINm幅測定時）のTAUDCMORmレジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。
- TAUDCDRm の値は、FFFFH に設定する必要があります。

(c)　機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDCNTm に FFFFH がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジが検出されると、カウンタ動作を停止し現在値を保持します。次の TAUDTTINm 入力スタートエッジが検出されると、TAUDCNTm は FFFFH をロードし、ダウンカウントを開始します。

ストップエッジを検出する前にカウンタが 0000H に達すると、割り込みが発生します。

(d)　条件

有効なスタートエッジとストップエッジは、TAUDCMURm.TAUDTIS[1:0]ビットで設定します。

- TAUDCMURm.TAUDTIS[1:0] = 10B の場合、TAUDTTINm 入力ロウレベル幅が測定されます。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUDCMURm.TAUDTIS[1:0] = 11B の場合、TAUDTTINm 入力ハイレベル幅が測定されます。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備考 動作中にカウンタ動作を再開することはできません。

(2)　ブロック図と基本タイミング図

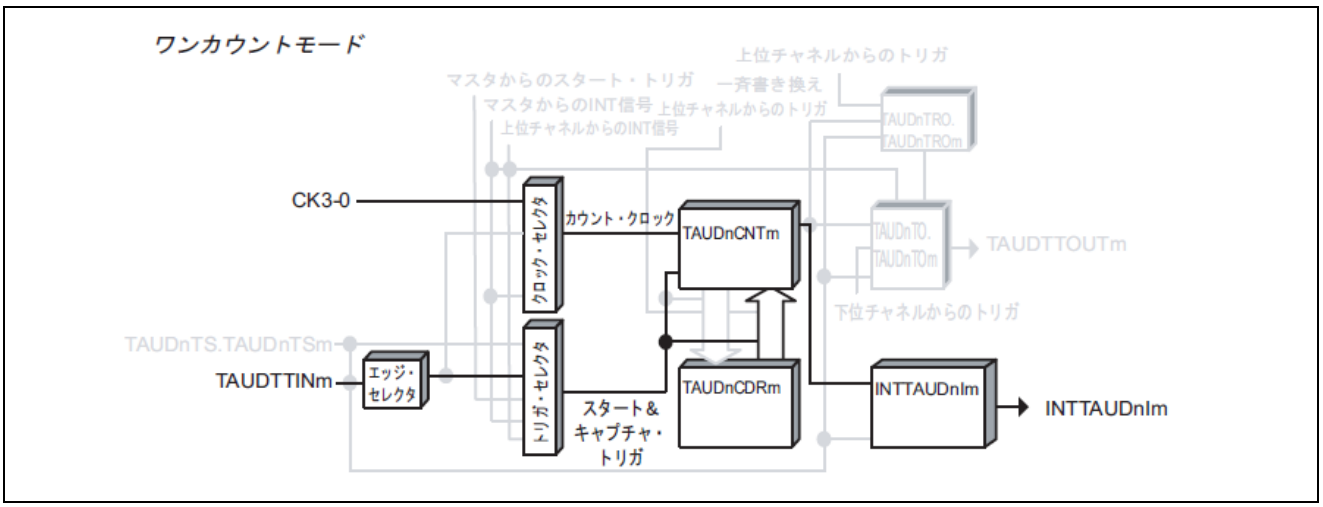


図16.72　オーバフロー割り込み出力機能のブロック図（TAUDTTINm 幅測定時）

基本タイミング図での設定は次のようになっています。

- 両エッジ検出= High ハイレベル幅測定（TAUDCMURm.TAUDTIS[1:0] = 11B）

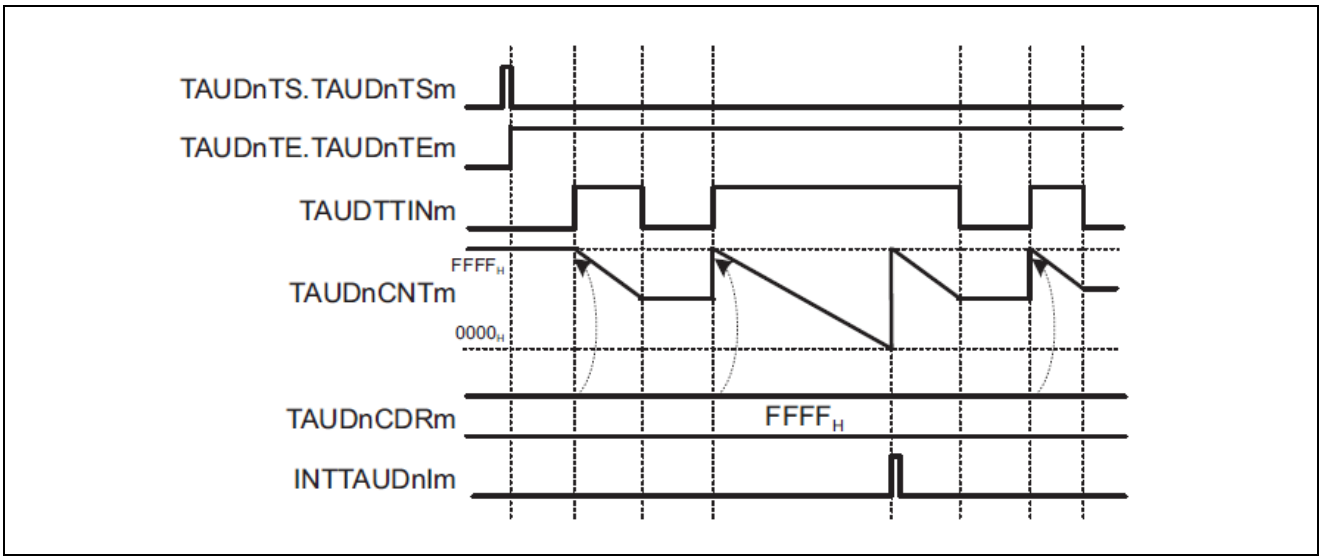


図16.73　オーバフロー割り込み出力機能の基本タイミング図（TAUDTTINm 幅測定時）

(3)　レジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.62　オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、 逆エッジをストップトリガとして使用
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0100：ワンカウントモード
0	TAUDMD0	0：動作中のスタートトリガ無効

(b)　TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.63　オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(c)　チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.64　オーバフロー割り込み出力機能の一斉書き換え設定（TAUDTTINm 幅測定時）

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(4)　オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の操作手順

表16.65　オーバフロー割り込み出力機能の操作手順（TAUDTTINm 幅測定時）

	操作	TAUD の状態
チャネルの初期設定	TAUDCMORm、TAUDCMURm レジスタを、「表16.62 オーバフロー割り込み出力機能（TAUDTTINm幅測定時）のTAUDCMORmレジスタの内容」と「表16.63 オーバフロー割り込み出力機能（TAUDTTINm幅測定時）のTAUDCMURmレジスタの内容」に示すように設定します。 TAUDCDRm レジスタの値を FFFFH に設定します。	チャネル動作を停止しています。
動作開始	TAUDTS.TAUDTSm を“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDTE.TAUDTEm が“1”に設定され、TAUDCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDCDRm の値（FFFFH）を TAUDCNTm にロードします。
動作中	TAUDCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDCNTm がダウンカウントを行います。カウンタが 0000H になった場合： ・　INTTAUDIm が発生します。 カウント動作中に TAUDTTINm 入力ストップエッジを検出した場合： ・　TAUDCNTm は停止し、現在値を保持します。 カウント停止中に TAUDTTINm 入力スタートエッジを検出した場合： ・　再び TAUDCDRm の値（FFFFH）を TAUDCNTm にロードし、ダウンカウントを行います。 以降、この動作を繰り返します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。TAUDCNTm が停止し、現在値を保持します。

動作再開 →

16.12.14 オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）

(1) 概要

(a) 概要

この機能は、TAUDTTINm 入力信号の合計幅を測定します。TAUDTTINm 入力合計幅が FFFFH より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

(b) 前提条件

- 動作モードはゲートカウントモードに設定する必要があります（「表16.66 オーバフロー割り込み出力機能（TAUDTTINm入力期間カウント検出時）のTAUDCMORmレジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。
- TAUDCDRm の値は、FFFFH に設定する必要があります。

(c) 機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。

TAUDCNTm に FFFFH がロードされ、カウンタはダウンカウントを開始します。有効なストップエッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUDTTINm 入力スタートエッジを待ち、現在値からのダウンカウントを継続します。

カウンタが 0000H になると、割り込みが発生します。TAUDCNTm に FFFFH がロードされ、カウンタは TAUDTTINm 入力ストップエッジが検出されるまでダウンカウントを継続します。

(d) 条件

有効なスタートエッジとストップエッジは、TAUDCMURm.TAUDTIS[1:0]ビットで設定します。

- TAUDCMURm.TAUDTIS[1:0] = 10B の場合、TAUDTTINm 入力ロウレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUDCMURm.TAUDTIS[1:0] = 11B の場合、TAUDTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備考 動作中にカウンタ動作を再開することはできません。

(2)　ブロック図と基本タイミング図

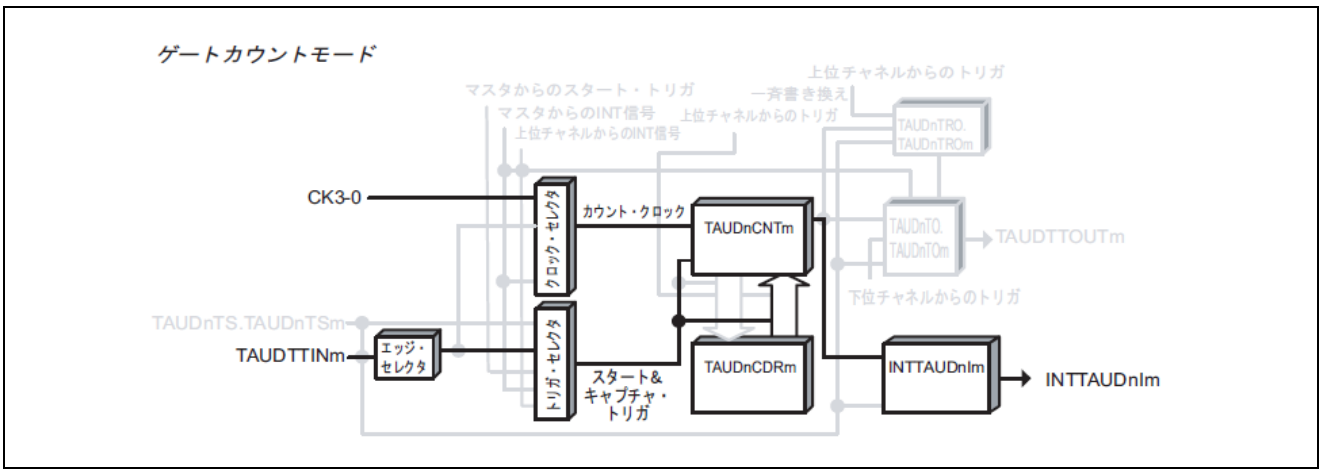


図16.74　オーバフロー割り込み出力機能のブロック図（TAUDTTINm 入力期間カウント検出時）

基本タイミング図での設定は次のようになっています。

- 両エッジ検出= ハイレベル幅測定（TAUDCMURm.TAUDTIS[1:0] = 11B）

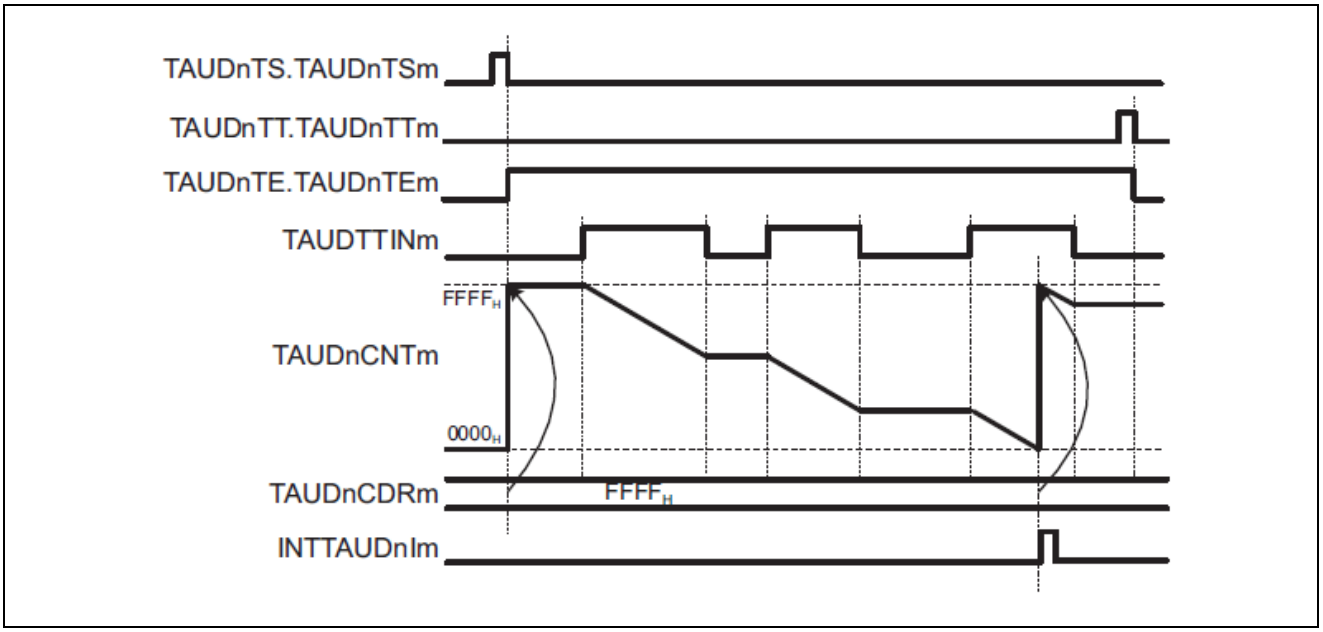


図16.75　オーバフロー割り込み出力機能の基本タイミング図（TAUDTTINm 入力期間カウント検出時）

(3) レジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.66　オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、 逆エッジをストップトリガとして使用
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	1100：ゲートカウントモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生しない

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.67　オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、オーバフロー割り込み出力機能（TAUDTTINm 入力期間検出時）では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.68　オーバフロー割り込み出力機能の一斉書き換え設定（TAUDTTINm 入力期間カウント検出時）

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(4)　オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の操作手順

表16.69　オーバフロー割り込み出力機能の操作手順（TAUDTTINm 入力期間カウント検出時）

	操作	TAUD の状態
チャネルの初期設定	TAUDCMORm、TAUDCMURm レジスタを、「表16.66 オーバフロー割り込み出力機能（TAUDTTINm入力期間カウント検出時）のTAUDCMORmレジスタの内容」と「表16.67 オーバフロー割り込み出力機能（TAUDTTINm入力期間カウント検出時）のTAUDCMURmレジスタの内容」に示すように設定します。 TAUDCDRm レジスタの値を FFFFH に設定します。	チャネル動作を停止しています。
動作開始	TAUDTS.TAUDTSm を“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDTE.TAUDTEm が“1”に設定され、TAUDCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDCDRm の値（FFFFH）を TAUDCNTm にロードします。
動作中	TAUDCNTm レジスタは常に読み出し可能です。	TAUDCNTm がダウンカウントを行います。カウンタが 0000H になった場合： ・ INTTAUDIm が発生します。 ・ TAUDCDRm の値（FFFFH）を TAUDCNTm にロードし、ダウンカウントを継続します。 カウント動作中に TAUDTTINm 入力ストップエッジを検出した場合： ・ TAUDCNTm は停止し、現在値を保持します。 カウント停止中に TAUDTTINm 入力スタートエッジを検出した場合： ・ TAUDCNTm は停止値からダウンカウントを行います。 以降、この動作を繰り返します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。TAUDCNTm が停止し、現在値を保持します。

動作再開 →

16.12.15　1 相 PWM 出力機能

(1)　概要

(a)　概要

TAUDTTINm 入力信号にデッドタイムを付加する機能です。その結果として得られる PWM 信号は、そのチャネルおよび上位チャネルの TAUDTTOUTm から出力されます。

(b)　前提条件

- 2 つ（もしくはそれ以上）のチャネルで、それぞれデッドタイム制御が許可されている（TAUDTDE.TAUDTDEm = 1）
- 下位チャネルの動作モードは、ワンカウントモードに設定する必要があります（「表16.72 1相PWM出力機能の下位チャネルのTAUDCMORmレジスタの内容」参照）。
- 上位チャネルには任意の動作モードを設定可能です。
- 上位下位チャネルのチャネル出力モードは、1 相 PWM 出力を行うチャネル連動出力モード 2 に設定する必要があります。「16.7. チャネル出力モード」を参照してください。

(c)　機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDCDRm の値が TAUDCNTm に書き込まれ、カウンタはその TAUDCDRm 値からダウンカウントを開始します。

カウンタが 0000H になると、割り込みが発生します。カウンタは FFFFH に戻り、次の有効な TAUDTTINm 入力スタートエッジを待ちます。

表16.70　デッドタイムが付加される TAUDTTOUTm と TAUDTTINm の状態

TAUDCMUR. TAUDTISm	TAUDTOL. TAUDTOLm	デッドタイムが付加される TAUDTTOUTm	TAUDTDL. TAUDTDLm	付加時の TAUDTTINm の状態
10	0	TAUDTTOUTm low	0	ハイレベル
			1	ロウレベル
	1	TAUDTTOUTm high	0	ハイレベル
			1	ロウレベル
11	0	TAUDTTOUTm low	0	ロウレベル
			1	ハイレベル
	1	TAUDTTOUTm high	0	ロウレベル
			1	ハイレベル

(d)　条件

- TAUDCMURm.TAUDTIS[1:0]ビットで幅測定のタイプを指定します。
  - TAUDCMURm.TAUDTIS[1:0] = 10B：両エッジを有効エッジとして検出（ロウレベル幅測定）
  - TAUDCMURm.TAUDTIS[1:0] = 11B：両エッジを有効エッジとして検出（ハイレベル幅測定）
- TAUDTDL.TAUDTDLm ビットで、下位チャネルでの割り込み発生時または有効な TAUDTTINm エッジの検出時の各チャネルの TAUDTTOUTm の動作を指定します。
  - TAUDTDL.TAUDTDLm = 0 の場合、割り込みを TAUDTTOUTm セットのトリガ、有効な TAUDTTINm エッジを TAUDTTOUTm リセットのトリガとして使用します。
  - TAUDTDL.TAUDTDLm = 1 の場合、有効な TAUDTTINm エッジを TAUDTTOUTm セットのトリガ、割り込みを TAUDTTOUTm リセットのトリガとして使用します。
- この機能では強制リスタートは行えません。

(2)　ブロック図と基本タイミング図

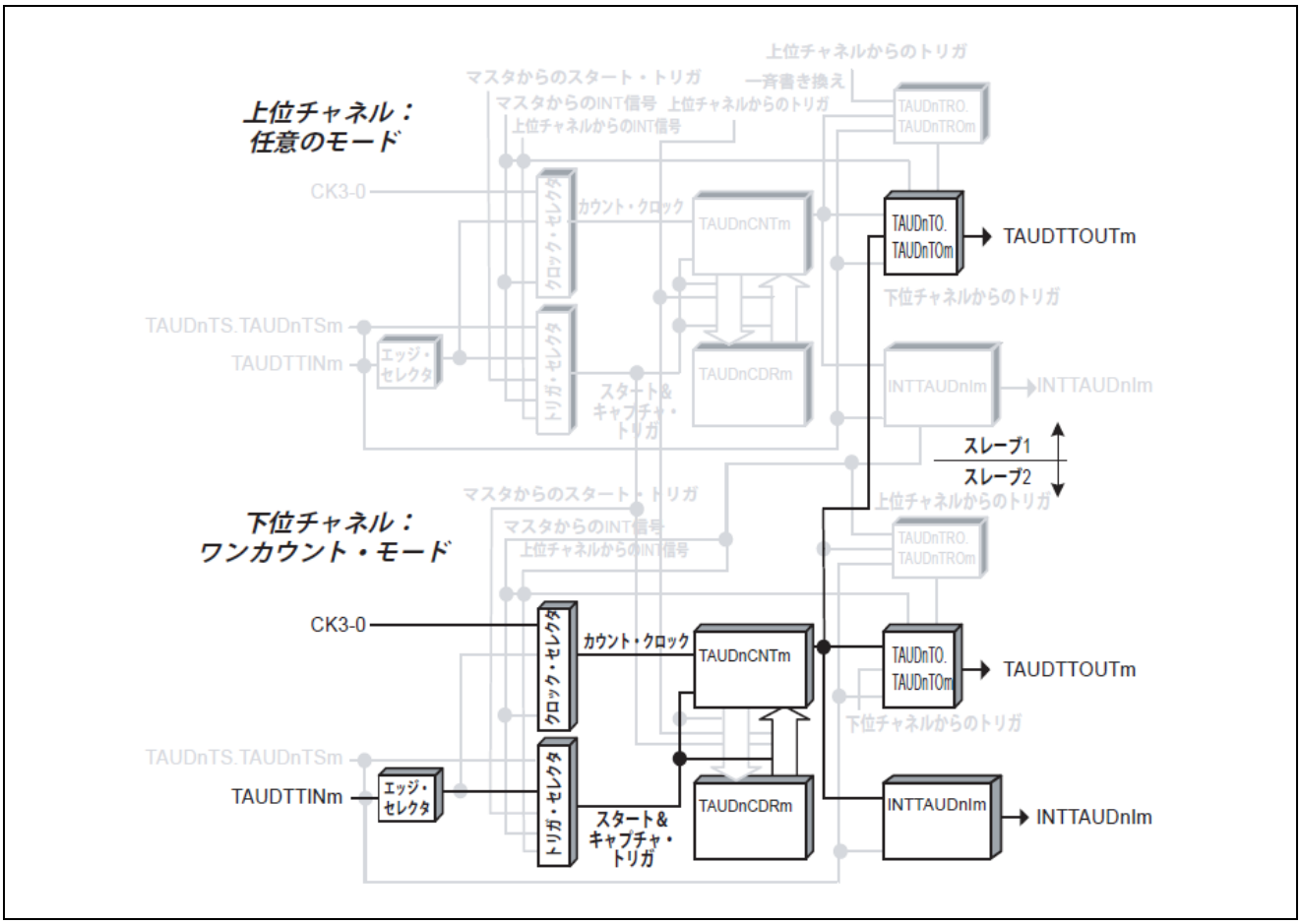


図16.76　1 相 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出= ハイレベル幅測定（TAUDCMURm.TAUDTIS[1:0] = 11B）

この設定では、デューティをアクティブハイとして考えています。

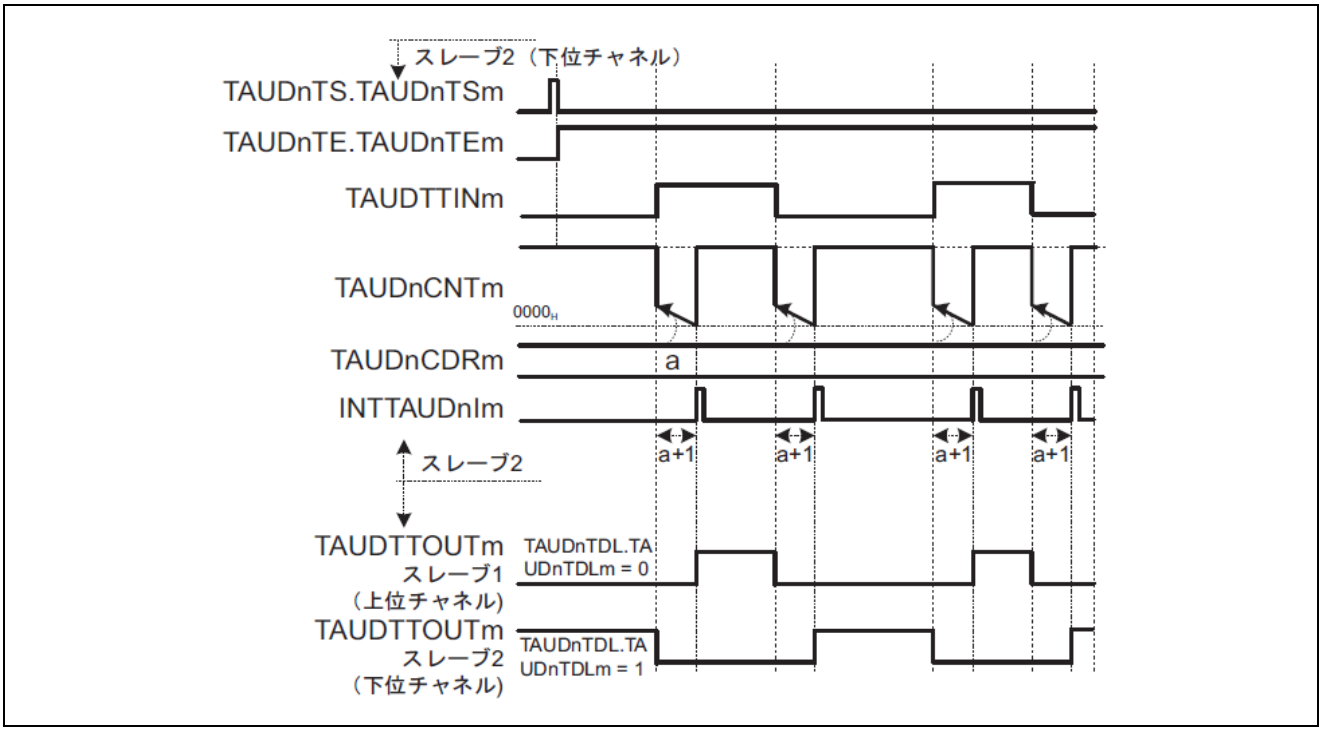


図16.77　1 相 PWM 出力機能の基本タイミング図

(3)　下位チャネルのレジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.71　1 相 PWM 出力機能の下位チャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	001：TAUDTTINm 入力信号の有効エッジを外部スタートトリガとして使用
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0100：ワンカウントモード
0	TAUDMD0	1：カウント中のスタートトリガ検出許可

(b)　TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.72　1 相 PWM 出力機能の下位チャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(c)　チャネル出力モード

表16.73　1 相 PWM 出力を行うチャネル連動出力モード 2 の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	1：チャネル連動出力
TAUDTOC.TAUDTOCm	1：動作モード 2
TAUDTOL.TAUDTOLm	0：正論理 1：負論理
TAUDTDE.TAUDTDEm	1：デッドタイム動作許可
TAUDTDM.TAUDTDMm	1：下位奇数チャネル TAUDTTINm 入力エッジ検出でデッドタイムを付加
TAUDTDL.TAUDTDLm	0：割り込みを TAUDTTOUTm セットトリガ、有効な TAUDTTINm エッジを TAUDTTOUTm リセットトリガとして使用します。 1：有効な TAUDTTINm エッジを TAUDTTOUTm セットトリガ、割り込みを TAUDTTOUTm リセットトリガとして使用します。
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDTME.TAUDTMEm	0：変調禁止

注意. TAUDTDL.TAUDTDLm は、上位チャネルと排他設定してください。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、1 相 PWM 出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.74　1 相 PWM 出力機能の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(4) 上位チャネルのレジスタ設定

(a) TAUDCMORm

上位チャネルの TAUDCMORm レジスタは任意の設定が可能です。

(b) TAUDCMURm

上位チャネルの TAUDCMURm レジスタは任意の設定が可能です。

(c) チャネル出力モード

表16.75　1 相 PWM 出力を行うチャネル連動出力モード 2 の上位チャネル制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	1：チャネル連動出力
TAUDTOC.TAUDTOCm	1：動作モード 2
TAUDTOL.TAUDTOLm	0：正論理 1：負論理
TAUDTDE.TAUDTDEm	1：デッドタイム動作許可
TAUDTDM.TAUDTDMm	1：下位奇数チャネル TAUDTTINm 入力エッジ検出でデッドタイムを付加
TAUDTDL.TAUDTDLm	0：正相幅のデットタイムを付加 1：逆相幅のデッドタイムを付加
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDTME.TAUDTMEm	0：変調禁止

注意. TAUDTDL.TAUDTDLm は、下位チャネルと排他設定してください。

(d) 一斉書き換え

上位チャネルの一斉書き換えレジスタは任意の設定が可能です。

(5)　1 相 PWM 出力機能の操作手順

表16.76　1 相 PWM 出力機能の操作手順

	操作	TAUD の状態
チャネルの初期設定	下位チャネルの TAUDCMORm レジスタと TAUDCMURm レジスタを、「表16.71 1相PWM出力機能の下位チャネルのTAUDCMORmレジスタの内容」と「表16.72 1相PWM出力機能の下位チャネルのTAUDCMURmレジスタの内容」に示すように設定します。 上位チャネルの TAUDCMORm レジスタと TAUDCMURm レジスタを、「16.12.15(4) 上位チャネルのレジスタ設定」に示すように設定します。 TAUDCDRm レジスタの値を設定します。 制御ビットを「表16.73 1相PWM出力を行うチャネル連動出力モード2の制御ビット設定」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDTOE.TAUDTOEm（スレーブチャネル 1、2）を“1”に設定（動作再開時のみ）します。 スレーブチャネル 2 に TAUDTS.TAUDTSm = 1 を設定します。TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDTE.TAUDTEm は“1”に設定され（スレーブチャネル 2）、TAUDCNTm は TAUDTTINm スタートエッジ検出を待ちます。 TAUDCNTm は TAUDCDRm 値をロードします。
動作中	TAUDCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDCNTm レジスタは任意のタイミングで読み出し可能です。	スレーブチャネル 2 の TAUDCNTm はダウンカウントを行います。カウンタが 0000H になった場合： ・　INTTAUDIm が発生します。 ・　TAUDCNTm がカウントを停止します。 TAUDTTINm のエッジ検出信号とスレーブチャネル 2 の INTTAUDIm 信号により TAUDTTOUTm を変化させデッドタイム付き 1 相 PWM 波形を出力する。 以降、この動作を繰り返します。
動作停止	スレーブチャネル 2 に TAUDTT.TAUDTTm = 1 を設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm は停止し、TAUDCNTm と TAUDTTOUTm は現在値を保持します。

動作再開

16.13 チャネル単体リアルタイム機能

この節では、TAUDTRO.TAUDTROm ビット値をリアルタイム出力する機能について説明します。

16.13.1 リアルタイム出力機能タイプ 1

(1) 概要

(a) 概要

指定したチャネルでの割り込み（INTTAUDIm）発生時に、TAUDTTOUTm から TAUDTRO.TAUDTROm ビット値を出力する機能です。この機能では、設定した一定の間隔で割り込みが発生します。

上位チャネルはリアルタイム出力トリガを生成するチャネル（TAUDTRC.TAUDTRCm = 1）、下位チャネルは上位チャネルのトリガを受けてリアルタイム出力を行うチャネル（TAUDTRC.TAUDTRCm = 0）です。

(b) 前提条件

- 他チャネルの TAUDTTOUTm 制御を使用するチャネル
- 上位チャネルの動作モードは、インターバルタイマモードに設定する必要があります（「表16.77 リアルタイム出力機能タイプ1の上位チャネルのTAUDCMORmレジスタの内容」参照）。
- 下位チャネルには任意の動作モードを設定可能です。
- 全チャネルのチャネル出力モードは、リアルタイム出力を行うチャネル単体出力モード 1 に設定する必要があります。「16.7. チャネル出力モード」を参照してください。
- 上位チャネルはリアルタイム出力が許可された状態にしておく必要があります（TAUDTRE.TAUDTREm = 1）。

(c) 機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、上位チャネルのカウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。上位チャネルのデータレジスタ（TAUDCDRm）の現在値がカウンタ（TAUDCNTm）にロードされ、カウンタはこの値からダウンカウントを開始します。

上位チャネルのカウンタが 0000H に達すると、INTTAUDIm が発生し、TAUDTTOUTm が全チャネルのリアルタイム出力ビット（TAUDTRO.TAUDTROm）の現在値を出力します（TAUDTRE.TAUDTREm = 1 のチャネルのみ）。その後、再び TAUDCDRm の値を TAUDCNTm にロードし、以降、動作を継続します。

TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDTRO.TAUDTROm の現在値と異なる場合にのみ変化します。

(d) 条件

- INTTAUDIm の発生を検出するチャネルは、該当チャネルに TAUDTRC.TAUDTRCm = 1 を設定することにより指定します。リアルタイム出力トリガを生成しない、その他すべてのチャネルは、TAUDTRC.TAUDTRCm ビットを“0”に設定しておく必要があります。
- 下位チャネルのリアルタイム出力が禁止（TAUDTRE.TAUDTREm = 0）されている場合、またはチャネル自体が書き換えトリガとして使用されている場合（TAUDTRC.TAUDTRCm = 1）、そのチャネルでの INTTAUDIm 発生時にそのチャネルの TAUDTRO.TAUDTROm ビット値が出力されます。
- 下位チャネルのリアルタイム出力が許可されていて（TAUDTRE.TAUDTREm = 1）、TAUDTRC.TAUDTRCm = 0 である場合、上位チャネルでの INTTAUDIm 発生時にそのチャネルの TAUDTRO.TAUDTROm ビット値が出力されます。
- TAUDCMORm.TAUDMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは出力されません。詳細は「16.9. カウント開始／リスタート時のTAUDTTOUTm出力とINTTAUDIm生成」を参照してください。

(2) 算出式

INTTAUDIm の発生周期= カウントクロック周期×（TAUDCDRm 値＋ 1）

(3)　ブロック図と基本タイミング図

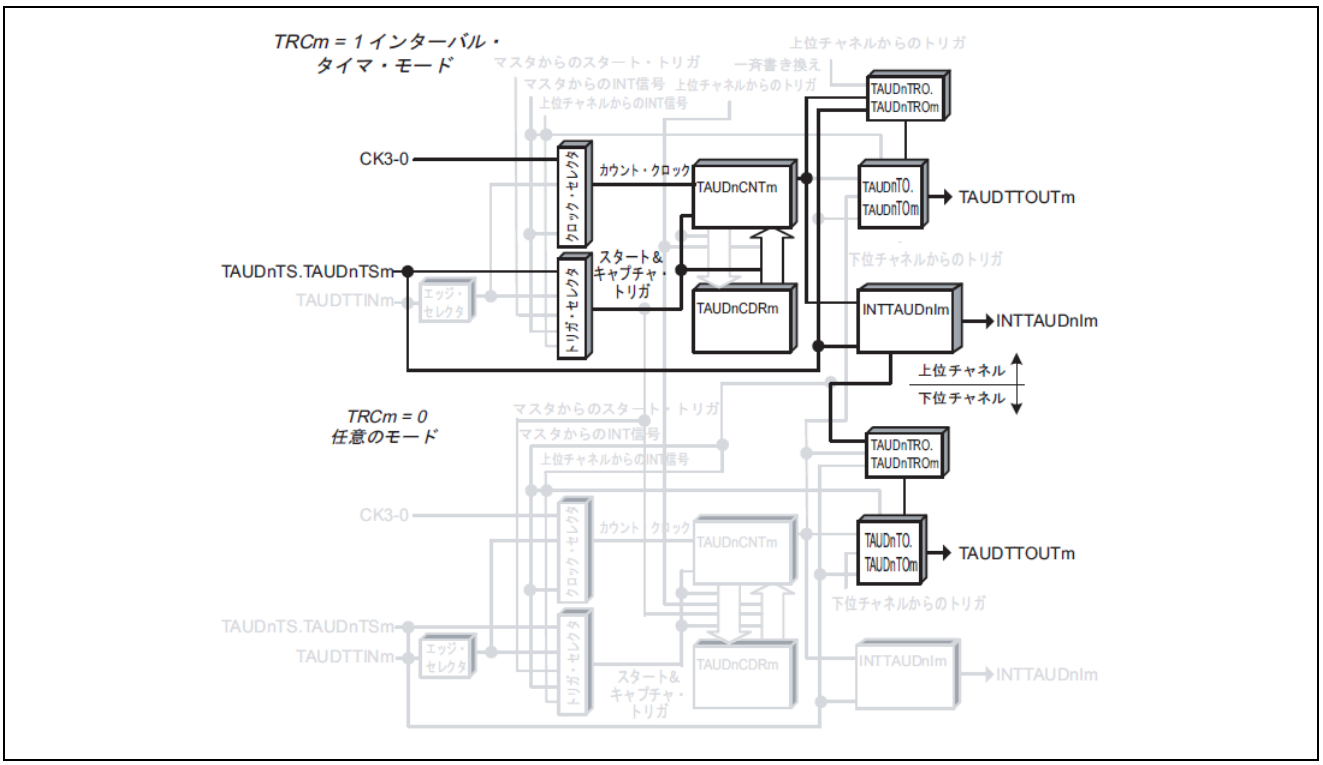


図16.78　リアルタイム出力機能タイプ１のブロック図

基本タイミング図での設定は次のようになっています。

・動作開始時に INTTAUDIm が発生する（TAUDCMORm.TAUDMD0 = 1）

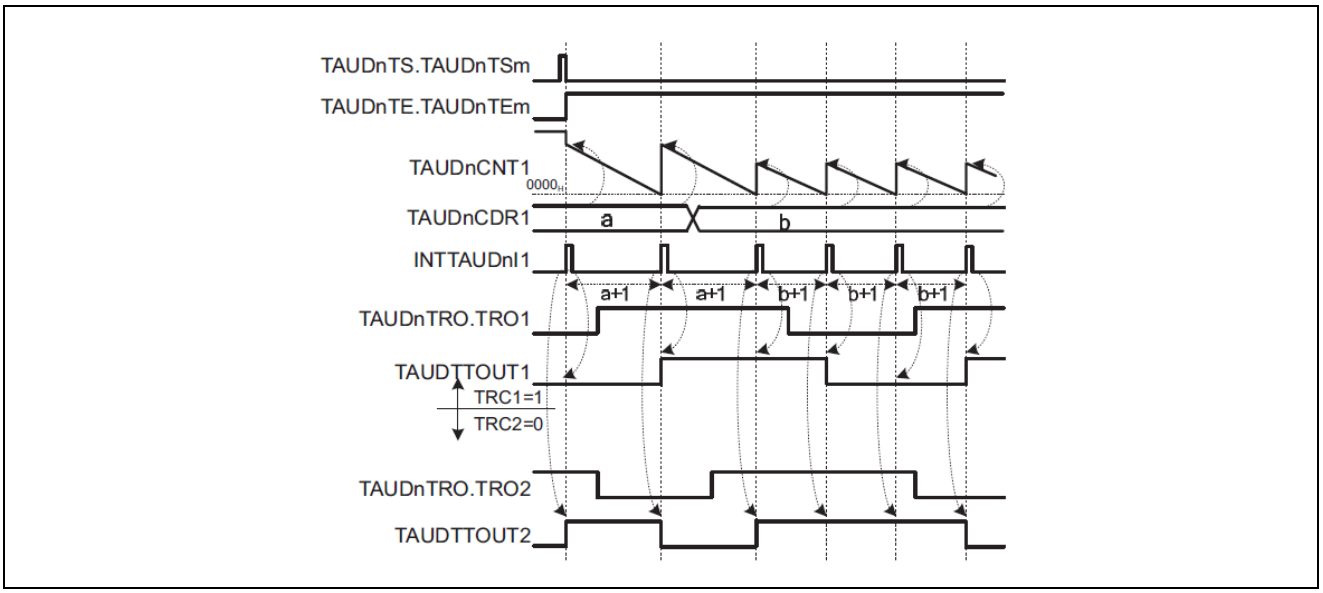


図16.79　リアルタイム出力機能タイプ１の基本タイミング図

(4) 上位チャネルのレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.77　リアルタイム出力機能タイプ 1 の上位チャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0000：インターバルタイマモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生しない 1：動作開始時に INTTAUDIm が発生する

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.78　リアルタイム出力機能タイプ 1 の上位チャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.79　リアルタイム出力を行うチャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	0：チャネル単体出力
TAUDTOC.TAUDTOCm	0：動作モード 1（TAUDTOM.TAUDTOMm = 0 時はトグルモード）
TAUDTOL.TAUDTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	1：リアルタイム出力許可
TAUDTRO.TAUDTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDTRC.TAUDTRCm	1：チャネル m は独自のリアルタイム出力トリガを生成
TAUDTME.TAUDTMEm	0：変調禁止

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、リアルタイム出力機能タイプ 1 では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.80　リアルタイム出力機能タイプ 1 の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(5) 下位チャネルのレジスタ設定

(a) TAUDCMORm

下位チャネルの TAUDCMORm レジスタは任意の設定が可能です。

(b) TAUDCMURm

下位チャネルの TAUDCMURm レジスタは任意の設定が可能です。

(c) チャネル出力モード

表16.81　リアルタイム出力を行うチャネル単体出力モード 1 時の下位チャネル制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	0：チャネル単体出力
TAUDTOC.TAUDTOCm	0：動作モード 1（TAUDTOM.TAUDTOMm = 0 時はトグルモード）
TAUDTOL.TAUDTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	1：リアルタイム出力許可
TAUDTRO.TAUDTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDTRC.TAUDTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDTME.TAUDTMEm	0：変調禁止

(d) 一斉書き換え

下位チャネルの一斉書き換えレジスタは任意の設定が可能です。

(6)　リアルタイム出力機能タイプ 1 の操作手順

表16.82　リアルタイム出力機能タイプ 1 の操作手順

	操作	TAUD の状態
チャネルの初期設定	上位チャネルの TAUDCMORm レジスタと TAUDCMURm レジスタを、「表16.77 リアルタイム出力機能タイプ1の上位チャネルのTAUDCMORmレジスタの内容」と「表16.78 リアルタイム出力機能タイプ1の上位チャネルのTAUDCMURmレジスタの内容」に示すように設定します。 下位チャネルの TAUDCMORm レジスタと TAUDCMURm レジスタを、「16.13.1(5) 下位チャネルのレジスタ設定」に示すように設定します。 TAUDCDRm レジスタの値を設定します（TAUDTRC.TAUDTRCm = 1 のチャネルのみ）。 制御ビットを「表16.79 リアルタイム出力を行うチャネル単体出力モード1時の制御ビット設定」に示すように設定して、チャネル出力モードを設定します。 制御ビットを「表16.81 リアルタイム出力を行うチャネル単体出力モード1時の下位チャネル制御ビット設定」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDTRC.TAUDTRCm が“1”に設定されているチャネルでは、TAUDTS.TAUDTSm = 1 を設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	[TAUDTRC.TAUDTRCm が“1”に設定されているチャネル] TAUDTE.TAUDTEm が“1”に設定され、カウントが開始されます。 TAUDCDRm の値を TAUDCNTm にロードします。 TAUDCMORm.TAUDMD0 が“1”の場合は、INTTAUDIm が発生します。
動作中	TAUDCDRm レジスタと TAUDTRO.TAUDTROm は任意のタイミングで変更可能です。 TAUDCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDCNTm がダウンカウントを行います。カウンタが 0000H になった場合： ・ 再び TAUDCDRm の値を TAUDCNTm にロードし、カウント動作を継続します。 ・ INTTAUDIm が発生します。 ・ TAUDTTOUTm がリアルタイム出力ビット TAUDTRO.TAUDTROm の現在値を出力します。 以降、この動作を繰り返します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm は停止し、TAUDCNTm と TAUDTTOUTm は現在値を保持します。

動作再開

(7)　特定の設定時のタイミング図

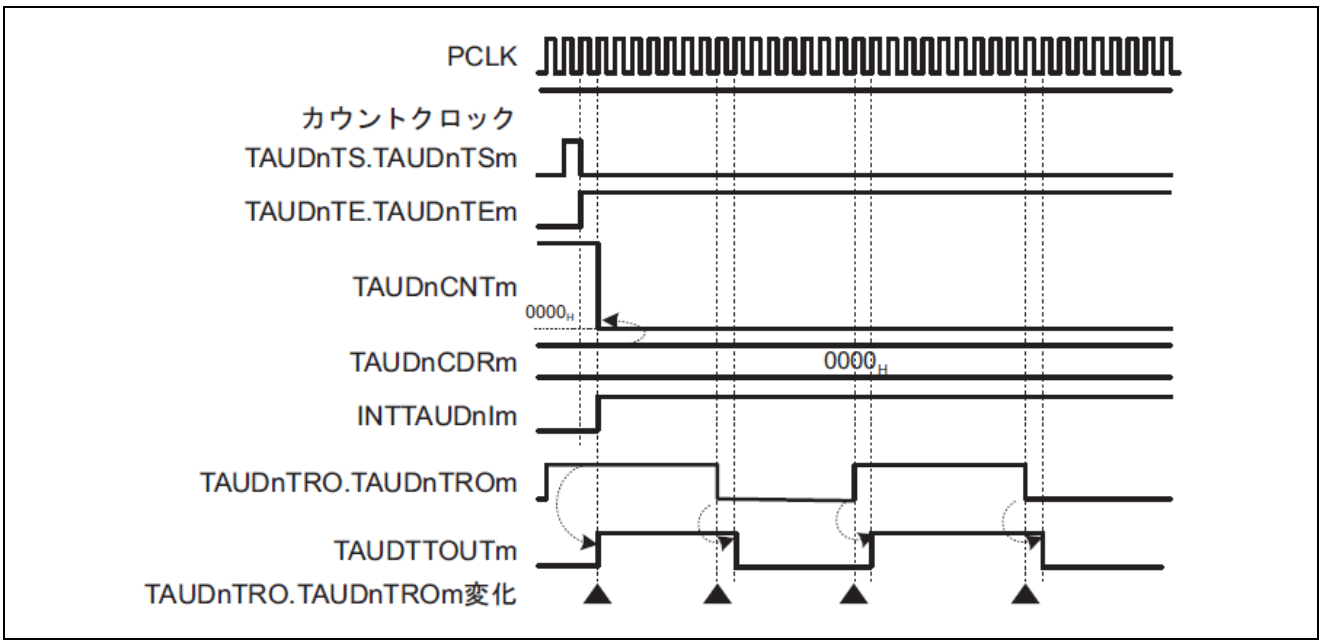


図16.80　TAUDCDRm = 0000H、TAUDCMORm.TAUDMD0 = 1

・　TAUDTTOUTm の値は TAUDTRO.TAUDTROm の設定値から 1PCLK 周期遅延して変化します。

16.13.2 リアルタイム出力機能タイプ 2

(1) 概要

(a) 概要

指定したチャネルでの割り込み（INTTAUDIm）発生時に、TAUDTTOUTm から TAUDTRO.TAUDTROm ビット値を出力する機能です。この機能の開始時、または有効な TAUDTTINm 入力エッジが検出されると、割り込みが発生します。

上位チャネルはリアルタイム出力トリガを生成するチャネル（TAUDTRC.TAUDTRCm =1）、下位チャネルは上位チャネルのトリガを受けてリアルタイム出力を行うチャネル（TAUDTRC.TAUDTRCm = 0）です。

(b) 前提条件

- 他チャネルの TAUDTTOUTm 制御を使用するチャネル
- 上位チャネルの動作モードは、キャプチャモードに設定する必要があります（「表16.83 リアルタイム出力機能タイプ2の上位チャネルのTAUDCMORmレジスタの内容」参照）。
- 下位チャネルには任意の動作モードを設定可能です。
- 全チャネルのチャネル出力モードは、リアルタイム出力を行うチャネル単体出力モード 1 に設定する必要があります。「16.7. チャネル出力モード」を参照してください。
- 上位チャネルはリアルタイム出力が許可された状態にしておく必要があります（TAUDTRE.TAUDTREm = 1）。

(c) 機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、上位チャネルのカウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。上位チャネルのカウンタがアップカウントを開始します。

上位チャネルで有効な TAUDTTINm 入力エッジが発生すると、割り込みが発生し、TAUDTTOUTm が全チャネルのリアルタイム出力ビット（TAUDTRO.TAUDTROm）の現在値を出力します（TAUDTRE.TAUDTREm = 1 のチャネルのみ）。

TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDTRO.TAUDTROm の現在値と異なる場合にのみ変化します。

(d) 条件

- INTTAUDIm の発生を検出するチャネルは、該当チャネルに TAUDTRC.TAUDTRCm = 1 を設定することにより指定します。リアルタイム出力トリガを生成しない、その他すべてのチャネルは、TAUDTRC.TAUDTRCm ビットを“0”に設定しておく必要があります。
- 下位チャネルのリアルタイム出力が禁止（TAUDTRE.TAUDTREm = 0）されている場合、またはチャネル自体が書き換えトリガとして使用されている場合（TAUDTRC.TAUDTRCm = 1）、そのチャネルでの INTTAUDIm 発生時にそのチャネルの TAUDTRO.TAUDTROm ビット値が出力されます。
- 下位チャネルのリアルタイム出力が許可されていて（TAUDTRE.TAUDTREm = 1）、TAUDTRC.TAUDTRCm = 0 である場合、上位チャネルでの INTTAUDIm 発生時にそのチャネルの TAUDTRO.TAUDTROm ビット値が出力されます。
- TAUDCMORm.TAUDMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは出力されません。詳細は「16.9. カウント開始／リスタート時のTAUDTTOUTm出力とINTTAUDIm生成」を参照してください。

(2)　ブロック図と基本タイミング図

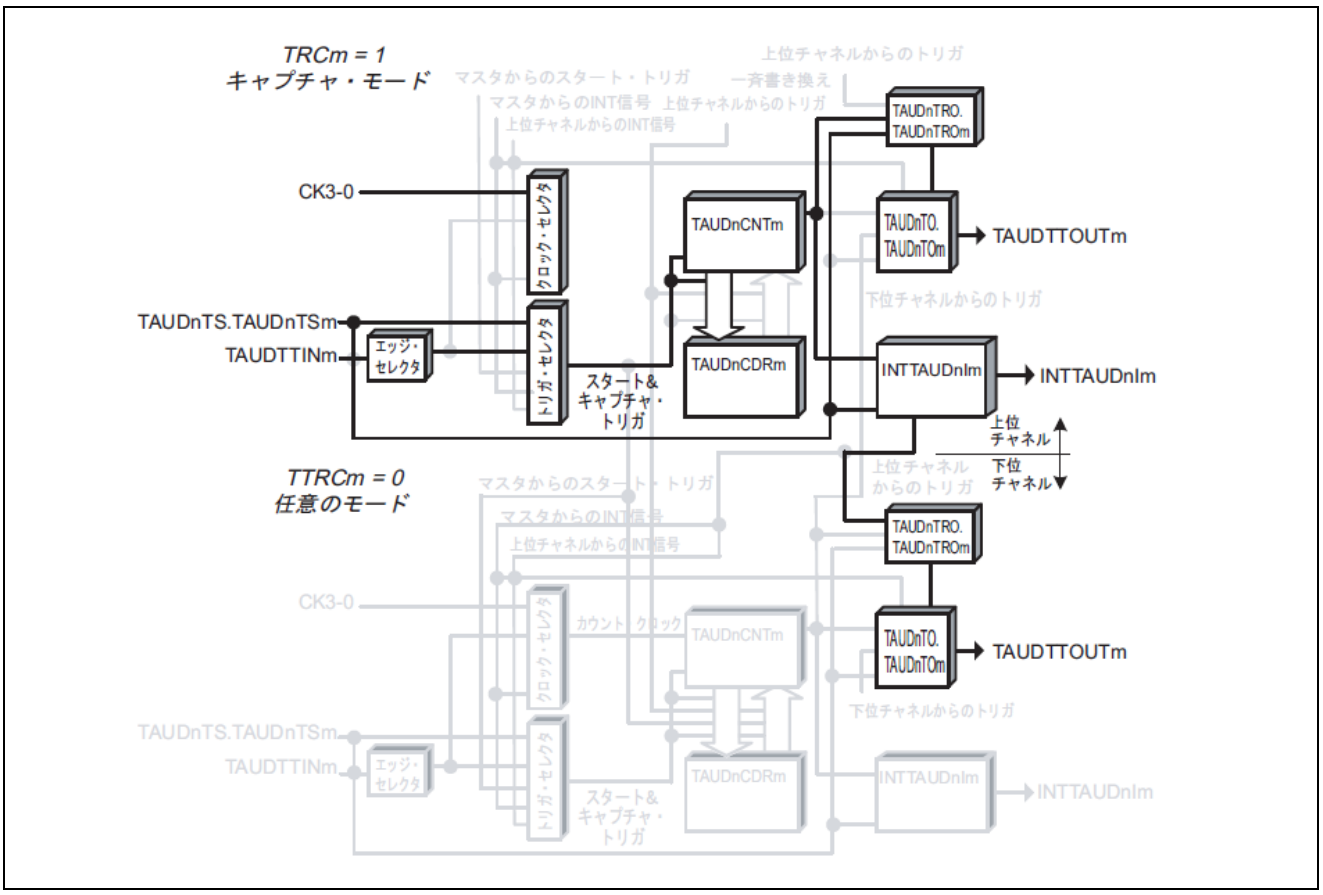


図16.81　リアルタイム出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDIm が発生しない（TAUDCMORm.TAUDMD0 = 0）

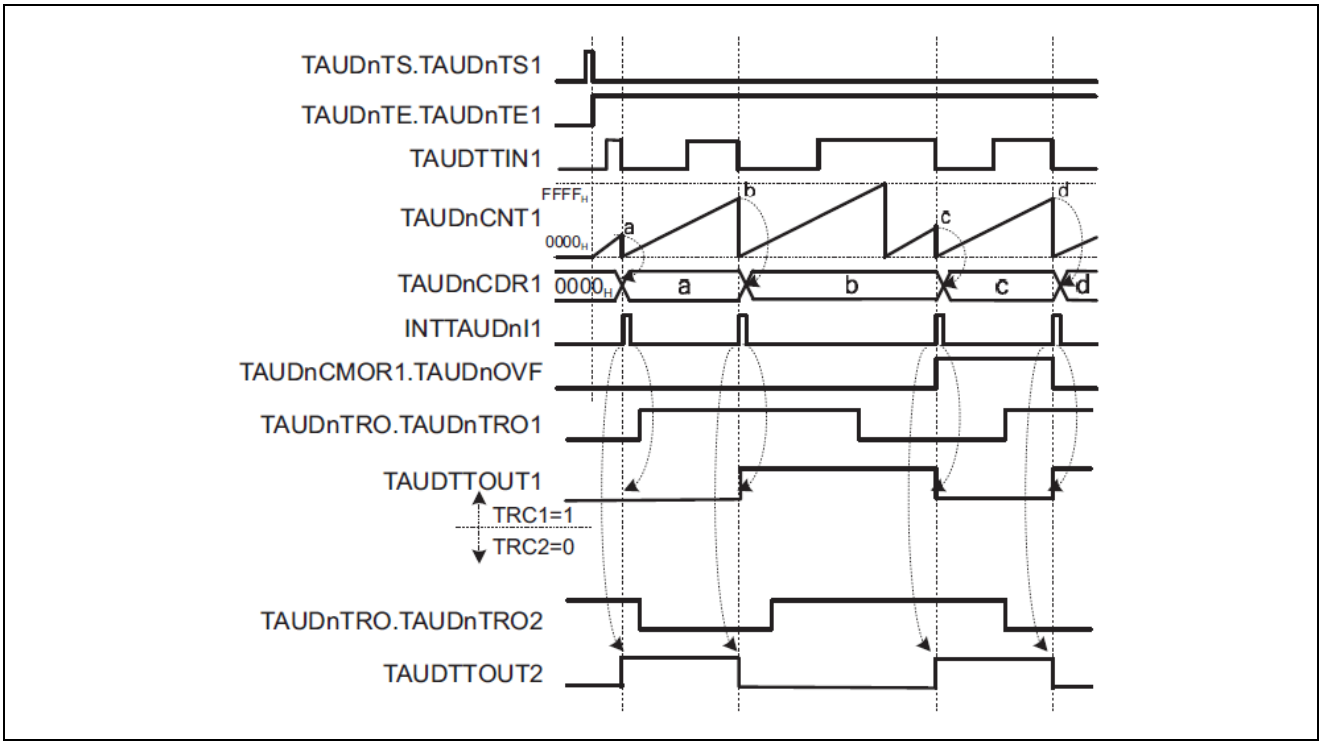


図16.82　リアルタイム出力機能タイプ 2 の基本タイミング図

(3) 上位チャネルのレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.83　リアルタイム出力機能タイプ 2 の上位チャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	001：TAUDTTINm 入力信号の有効エッジを外部スタートトリガとして使用
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0010：キャプチャモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生しない 1：動作開始時に INTTAUDIm が発生する

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.84　リアルタイム出力機能タイプ 2 の上位チャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(c) チャネル出力モード

表16.85　リアルタイム出力を行うチャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	0：チャネル単体出力
TAUDTOC.TAUDTOCm	0：動作モード 1（TAUDTOM.TAUDTOMm = 0 時はトグルモード）
TAUDTOL.TAUDTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	1：リアルタイム出力許可
TAUDTRO.TAUDTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDTRC.TAUDTRCm	1：チャネル m は独自のリアルタイム出力トリガを生成
TAUDTME.TAUDTMEm	0：変調禁止

(d) 一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、リアルタイム出力機能タイプ 2 では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.86　リアルタイム出力機能タイプ 2 の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	0：一斉書き換え禁止
TAUDRDS.TAUDRDSm	0：一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(4) 下位チャネルのレジスタ設定

(a) TAUDCMORm

下位チャネルの TAUDCMORm レジスタは任意の設定が可能です。

(b) TAUDCMURm

下位チャネルの TAUDCMURm レジスタは任意の設定が可能です。

(c)　チャネル出力モード

表16.87　リアルタイム出力を行うチャネル単体出力モード 1 時の下位チャネル制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	0：チャネル単体出力
TAUDTOC.TAUDTOCm	0：動作モード 1（TAUDTOM.TAUDTOMm = 0 時はトグルモード）
TAUDTOL.TAUDTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	1：リアルタイム出力許可
TAUDTRO.TAUDTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDTRC.TAUDTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDTME.TAUDTMEm	0：変調禁止

(d)　一斉書き換え

下位チャネルの一斉書き換えレジスタは任意の設定が可能です。

(5)　リアルタイム出力機能タイプ 2 の操作手順

表16.88　リアルタイム出力機能タイプ 2 の操作手順

	操作	TAUD の状態
チャネルの初期設定	上位チャネルの TAUDCMORm レジスタと TAUDCMURm レジスタを、「表16.83 リアルタイム出力機能タイプ2の上位チャネルのTAUDCMORmレジスタの内容」と「表16.84 リアルタイム出力機能タイプ2の上位チャネルのTAUDCMURmレジスタの内容」に示すように設定します。 下位チャネルの TAUDCMORm レジスタと TAUDCMURm レジスタを、「16.13.1(5) 下位チャネルのレジスタ設定」に示すように設定します。 TAUDCDRm レジスタの値を設定します（TAUDTRC.TAUDTRCm = 1 のチャネルのみ）。 制御ビットを「表16.85 リアルタイム出力を行うチャネル単体出力モード1時の制御ビット設定」に示すように設定して、チャネル出力モードを設定します。 制御ビットを「表16.87 リアルタイム出力を行うチャネル単体出力モード1時の下位チャネル制御ビット設定」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDTRC.TAUDTRCm が“1”に設定されているチャネルでは、TAUDTS.TAUDTSm = 1 を設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	[TAUDTRC.TAUDTRCm が“1”に設定されているチャネル] TAUDTE.TAUDTEm が“1”に設定され、カウントが開始されます。TAUDCNTm が 0000H にクリアされます。TAUDCMORm.TAUDMD0 が“1”の場合は、INTTAUDIm が発生します。
動作中	TAUDTRO.TAUDTROm は任意のタイミングで変更可能です。	TAUDCNTm は、0000H からアップカウントを開始します。TAUDTTINm 入力の有効エッジ検出時： ・ TAUDCDRm の値を TAUDCNTm にキャプチャし、カウンタを 0000H にクリアします。 ・ INTTAUDIm が発生します。 ・ TAUDCSRm.TAUDOVF ビットは TAUDTTINm 入力有効エッジを検出したとき、オーバフロー発生後ならば 1 にセット、オーバフロー発生前ならば 0 にクリアされます。 TAUDTTOUTm がリアルタイム出力ビット TAUDTRO.TAUDTROm の現在値を出力します。以降、この動作を繰り返します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。TAUDCNTm は停止し、TAUDCNTm、TAUDCSRm.TAUDOVF、TAUDTTOUTm は現在値を保持します。

動作再開

(6) 特定の設定時のタイミング図

(a) 動作の開始と停止

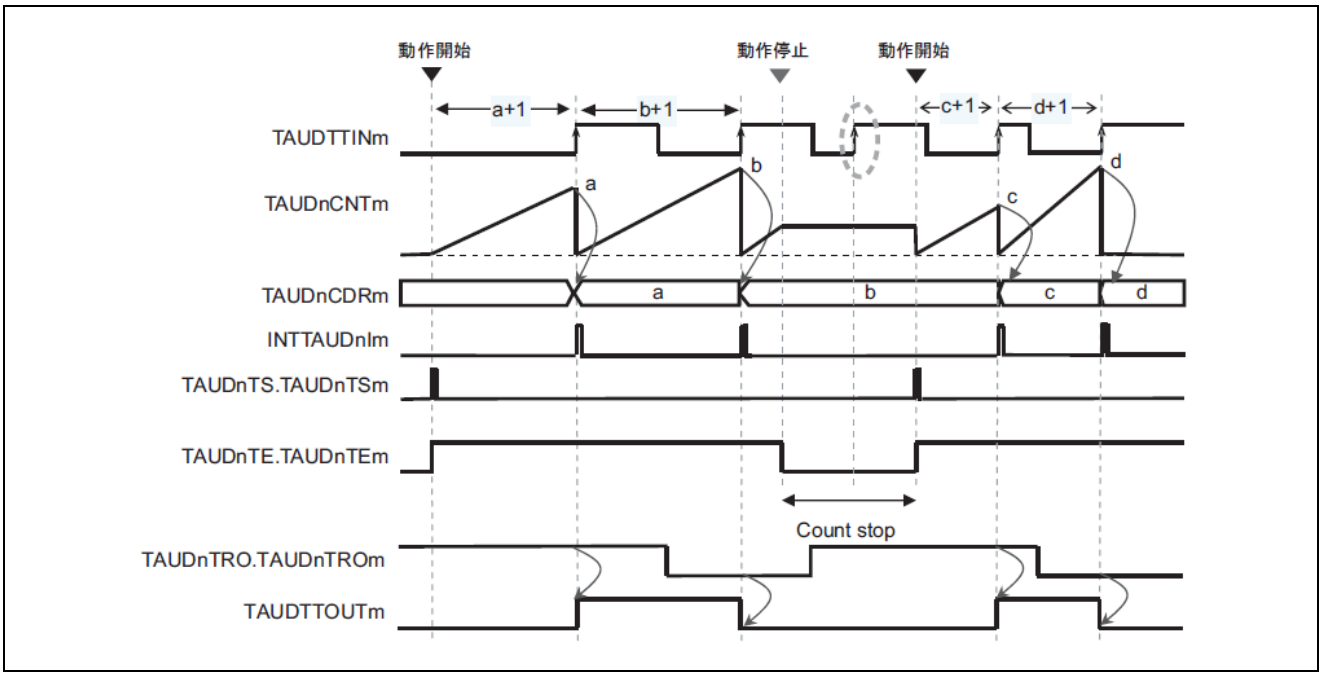


図16.83 動作の開始と停止（TAUDCMORm.TAUDMD0 = 0）

- TAUDTS.TAUDTSm が“1”に設定され、カウンタがアップカウントを開始します。
- 有効な入力エッジが検出されると、カウンタの現在値がデータレジスタ（TAUDCDRm）に書き込まれ、割り込みが発生します。
- TAUDTTOUTm はリアルタイム出力ビット（TAUDTRO.TAUDTROm）の現在値を出力し、カウンタはリセットされ、アップカウントを再開します。
- TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDTRO.TAUDTROm の現在値と異なる場合にのみ変化します。
- カウンタが停止している場合（TAUDTE.TAUDTEm ＝ 0）、有効な入力エッジは無視され、割り込みは発生しません。

16.14 チャネル単体一斉書き換え機能

この節では、一斉書き換え機能について説明します。

16.14.1 一斉書き換えトリガ生成機能タイプ 1

(1) 概要

(a) 概要

下位チャネルが一斉書き換えトリガとして使用できる割り込みを、特定チャネル上で発生する機能です。この割り込みは一定間隔で発生します。

上位チャネルは一斉書き換えトリガを生成するチャネル（TAUDRDC.TAUDRDCm = 1）、下位チャネルは上位チャネルのトリガを受けて一斉書き換えを行うチャネル（TAUDRDC.TAUDRDCm = 0）です。

(b) 前提条件

- 上位チャネルとして使用するチャネルより下位の 2 チャネル以上で、それぞれ一斉書き換えが許可されている（TAUDRDE.TAUDRDEm = 1）
- 上位チャネルの動作モードは、インターバルタイマモードに設定する必要があります（「表16.89 一斉書き換えトリガ生成機能タイプ1の上位チャネルのTAUDCMORmレジスタの内容」参照）。
- 下位チャネルに設定可能な動作モードは、「表16.7 一斉書き換え方法とトリガタイミング」を参照してください。
- この機能では、TAUDTTOUTm はいずれのチャネルでも使用しません。

(c) 機能説明

上位チャネル、下位チャネルのチャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。上位チャネルのデータレジスタバッファ（TAUDCDRm buf）の現在値がカウンタ（TAUDCNTm）にロードされ、カウンタはこの値からダウンカウントを開始します。下位チャネルのカウンタは、選択されている動作モードにしたがってカウントを開始します。

カウンタが 0000H になると、そのチャネルで割り込みが発生します。対応する TAUDCDRm バッファの現在値を TAUDCNTm にロードし、以降、動作を継続します。割り込みが発生したチャネルが一斉書き換えのトリガチャネルとして設定されていて（TAUDRDC.TAUDRDCm = 1）、さらにそれが上位チャネルである場合、一斉書き換えが可能な状態（TAUDRSF.TAUDRSFm = 1）にあるすべての下位チャネルで一斉書き換えが行われます。

データレジスタの値は対応するデータレジスタバッファにコピーされます。カウンタはダウンカウントを開始するたびにデータレジスタバッファの値を読み出して、その値からダウンカウントを行います。

データレジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータレジスタバッファに転送されるのみです。

(d) 条件

- INTTAUDIm の発生を検出するチャネルは、該当チャネルに TAUDRDC.TAUDRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャネルは、TAUDRDC.TAUDRDCm ビットを“0”に設定しておく必要があります。
- TAUDCMORm.TAUDMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。「16.9. カウント開始／リスタート時のTAUDTTOUTm出力とINTTAUDIm生成」を参照してください。

(2) 算出式

一斉書き換えトリガの生成周期= カウントクロック周期×（TAUDCDRm + 1）
一斉書き換えを制御するには、次の条件が満たされている必要があります。

[PWM の場合]
TAUDCDRm = [（一斉書き換え対象マスタチャネルの TAUDCDRm 値 + 1）× 割り込み数] - 1

[三角波 PWM の場合]
TAUDCDRm = [（一斉書き換え対象マスタチャネルの TAUDCDRm 値 + 1）× 2 × 割り込み数] - 1

つまり、TAUDCDRm + 1 と TAUDCDRm_master + 1 の比は整数である必要があります。この整数は割り込み数に対応しています。三角波 PWM の場合は、周期が 2 倍になるので注意してください。

(3)　ブロック図と基本タイミング図

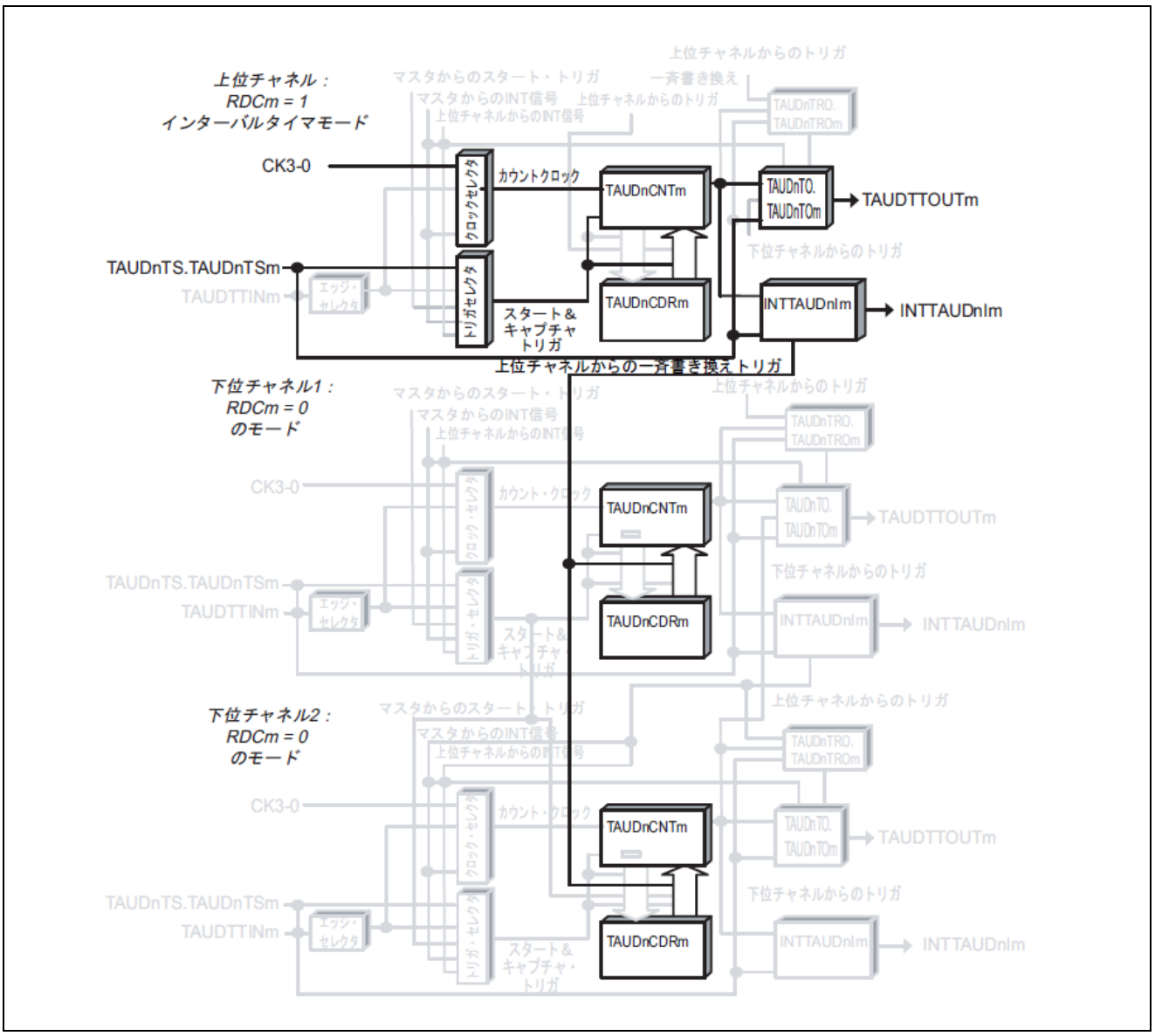


図16.84　一斉書き換えトリガ生成機能タイプ１のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDIm が発生する（TAUDCMORm.TAUDMD0 = 1）

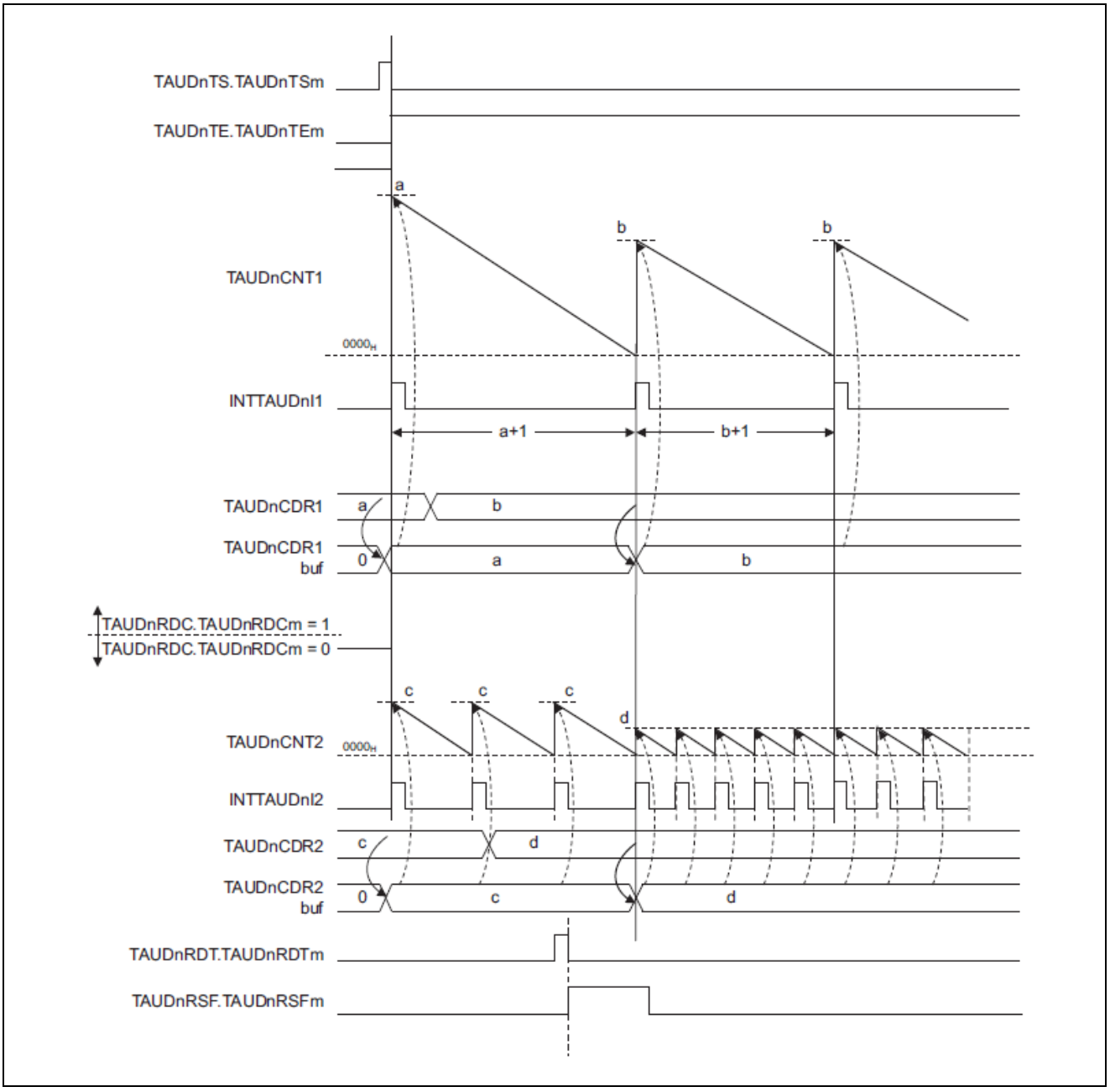


図16.85　一斉書き換えトリガ生成機能タイプ１の基本タイミング図

(4) 上位チャネルのレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.89　一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0000：インターバルタイマモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生しない 1：動作開始時に INTTAUDIm が発生する

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.90　一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

表16.91 一斉書き換えトリガ生成機能タイプ 1 の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	1：上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUDRDM.TAUDRDMm	0：設定可能な動作モードの TAUDRDM.TAUDRDMm ビットの設定に従ってください。
TAUDRDC.TAUDRDCm	1：チャネルで一斉書き換えのトリガとなる INTTAUDIm 信号をモニタ

(5) 下位チャネルのレジスタ設定

(a) TAUDCMORm

下位チャネルの TAUDCMORm レジスタは、設定可能な動作モードの TAUDCMORm レジスタ設定に従ってください（「表16.6 一斉書き換え方法とトリガタイミング」を参照してください）。

(b) TAUDCMURm

下位チャネルの TAUDCMURm レジスタは、設定可能な動作モードの TAUDCMURm レジスタ設定に従ってください（「表16.6 一斉書き換え方法とトリガタイミング」を参照してください）。

(c) チャネル出力モード

下位チャネルの記載（マスタ、スレーブ）設定に従った出力が可能です。一斉書き換えトリガ生成機能タイプ 1 が使用可能な機能については、「表16.6 一斉書き換え方法とトリガタイミング」を参照してください。

(d) 一斉書き換え

表16.92 一斉書き換えトリガ生成機能タイプ 1 時の下位チャネル一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	1：上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUDRDM.TAUDRDMm	設定可能な動作モードの TAUDRDM.TAUDRDMm ビットの設定に従ってください。
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

(6) 一斉書き換えトリガ生成機能タイプ 1 の操作手順

表16.93　一斉書き換えトリガ生成機能タイプ 1 の操作手順

	操作	TAUD の状態
チャネルの初期設定	上位チャネルの TAUDCMORm レジスタと TAUDCMURm レジスタを、「表16.89 一斉書き換えトリガ生成機能タイプ1の上位チャネルの TAUDCMORmレジスタの内容」と「表16.90 一斉書き換えトリガ生成機能タイプ1の上位チャネルの TAUDCMURmレジスタの内容」に示すように設定します。 下位チャネルの TAUDCMORm レジスタと TAUDCMURm レジスタを、「16.14.1(5) 下位チャネルのレジスタ設定」に示すように設定します。 TAUDCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUDTS.TAUDTSm を“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“1”に設定され、カウントが開始されます。 TAUDCDRm の値を TAUDCNTm にロードします。 TAUDCMORm.TAUDMD0 = 1 の場合、INTTAUDIm が発生します。
動作中	TAUDRDT.TAUDRDTm、TAUDCDR.TAUDCDRm は変更可能です。 TAUDRSF.TAUDRSFm は常に読み出し可能です。	TAUDCNTm がダウンカウントを行います。カウンタが 0000H になった場合： ・ 再び TAUDCDRm の値を TAUDCNTm にロードし、カウント動作を継続します。 ・ INTTAUDIm が発生します。 TAUDRDC.TAUDRDCm が“1”に設定されているチャネルで INTTAUDIm が発生すると、一斉書き換えが制御されます。 以降、この動作を繰り返します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm は停止し、TAUDCNTm は現在値を保持します。

動作再開

16.14.2　一斉書き換えトリガ生成機能タイプ 2

(1)　概要

(a)　概要

下位チャネルが一斉書き換えトリガとして使用できる割り込みを、特定チャネル上で発生する機能です。この機能の開始時、または有効な TAUDTTINm 入力エッジが検出されると、割り込みが発生します。

上位チャネルは一斉書き換えトリガを生成するチャネル（TAUDRDC.TAUDRDCm = 1）、下位チャネルは上位チャネルのトリガを受けて一斉書き換えを行うチャネル（TAUDRDC.TAUDRDCm = 0）です。

(b)　前提条件

- 上位チャネルとして使用するチャネルより下位の 2 チャネル以上で、それぞれ一斉書き換えが許可されている（TAUDRDE.TAUDRDEm = 1）
- 上位チャネルの動作モードは、キャプチャモードに設定する必要があります（「表16.94 一斉書き換えトリガ生成機能タイプ2の上位チャネルのTAUDCMORmレジスタの内容」参照）。
- 下位チャネルに設定可能な動作モードは、「表16.7 一斉書き換え方法とトリガタイミング」を参照してください。

(c)　機能説明

上位チャネル、下位チャネルのチャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。上位チャネルのカウンタがアップカウントを開始し、下位チャネルのカウンタは選択されている動作モードにしたがってカウントを開始します。

上位チャネルで有効な TAUDTTINm 入力エッジが発生すると、割り込みが発生し、下位チャネルでトリガ検出による割り込みが発生します。上位チャネルで TAUDRDC.TAUDRDCm = 1 の場合、一斉書き換えが可能な状態（TAUDRSF.TAUDRSFm = 1）にあるすべての下位チャネルで一斉書き換えが行われます。

データレジスタの値は対応するデータレジスタバッファにコピーされます。データレジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータレジスタバッファに転送されるのみです。

(d)　条件

- INTTAUDIm の発生を検出するチャネルは、該当チャネルに TAUDRDC.TAUDRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャネルは、TAUDRDC.TAUDRDCm ビットを“0”に設定しておく必要があります。
- TAUDCMORm.TAUDMD0 ビットを“1”に設定した場合、動作開始時に割り込みが発生します。詳細は「16.9. カウント開始／リスタート時のTAUDTTOUTm出力とINTTAUDIm生成」を参照してください。

(2) ブロック図と基本タイミング図

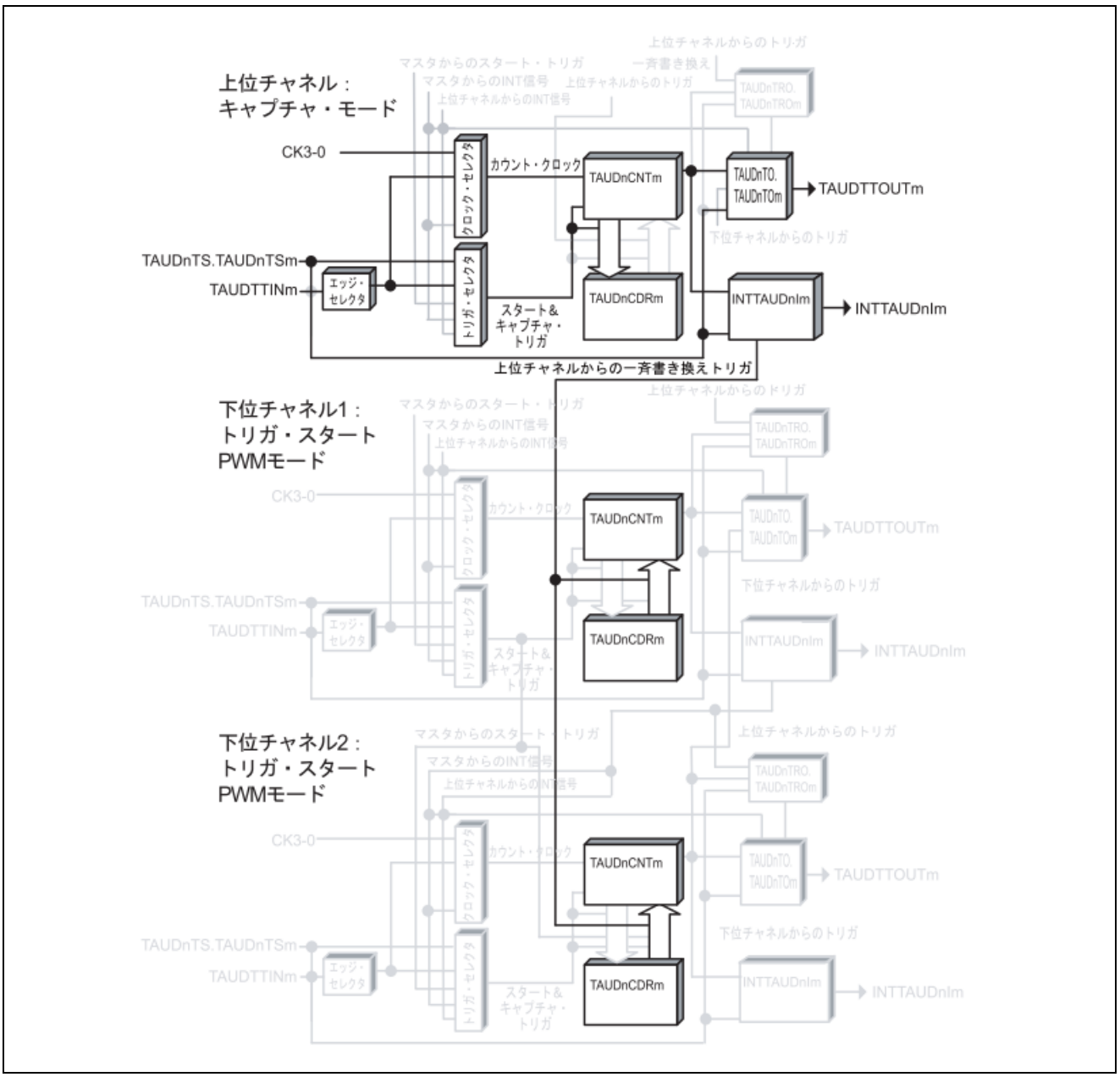


図16.86 一斉書き換えトリガ生成機能タイプ２のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDIm が発生する（TAUDCMORm.TAUDMD0 = 1）
- 立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）
- 上位チャネル（CH1）が一斉書き換えトリガを生成

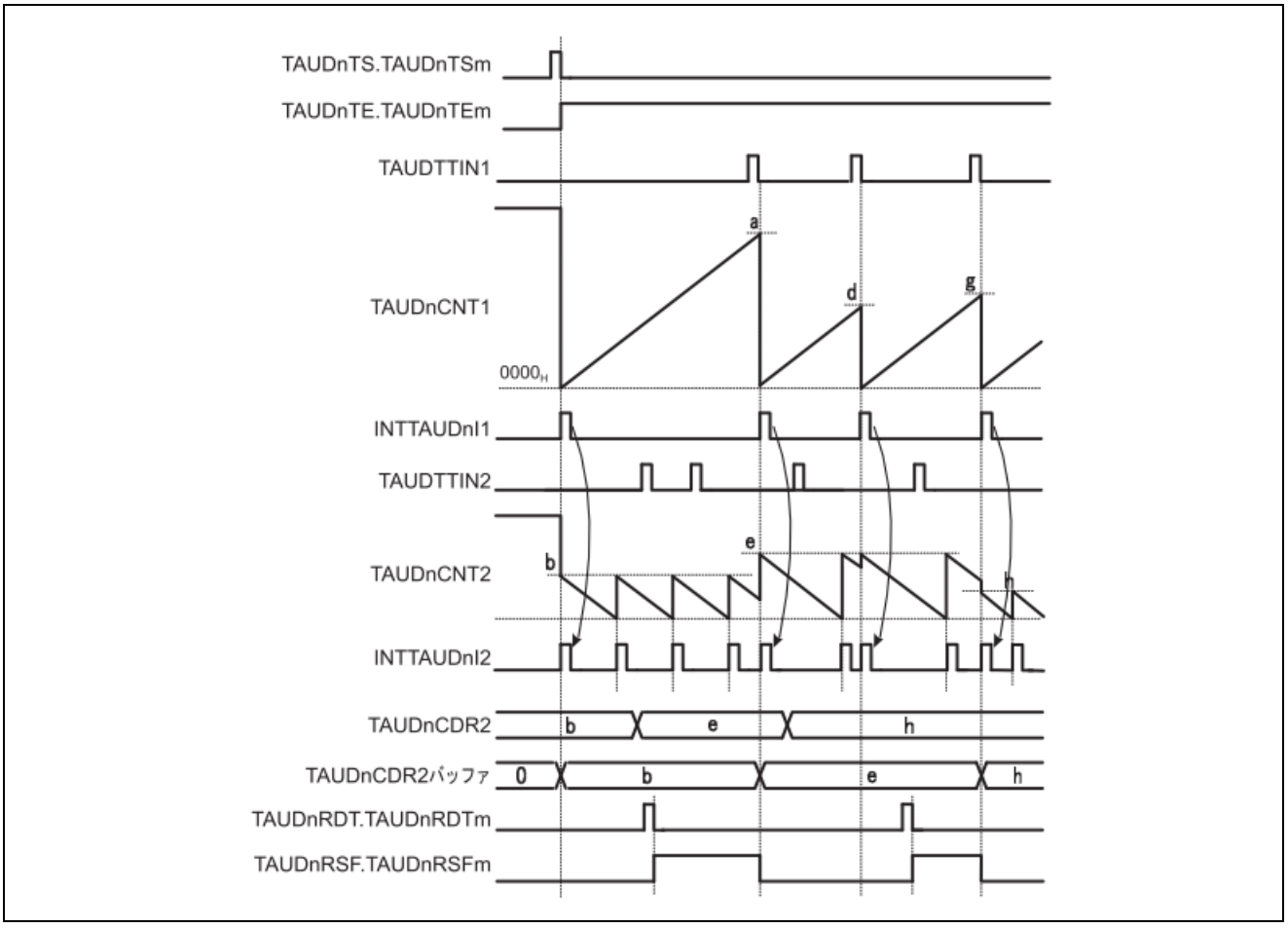


図16.87　一斉書き換えトリガ生成機能タイプ２の基本タイミング図

(3) 上位チャネルのレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.94　一斉書き換えトリガ生成機能タイプ 2 の上位チャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：単体動作、“0”を設定
10-8	TAUDSTS[2:0]	001：TAUDTTINm 入力信号の有効エッジを外部キャプチャトリガとして使用
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0010：キャプチャモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生しない 1：動作開始時に INTTAUDIm が発生する

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.95　一斉書き換えトリガ生成機能タイプ 2 の上位チャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(d)　一斉書き換え

表16.96　一斉書き換えトリガ生成機能タイプ 2 の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	1：上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUDRDM.TAUDRDMm	0：設定可能な動作モードの TAUDRDM.TAUDRDMm ビットの設定に従ってください。
TAUDRDC.TAUDRDCm	1：チャネルで一斉書き換えのトリガとなる INTTAUDIm 信号をモニタ

(4)　下位チャネルのレジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.97　一斉書き換えトリガ生成機能タイプ 2 の下位チャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	1：チャネルはマスタチャネル
10-8	TAUDSTS[2:0]	001：TAUDTTINm 入力信号の有効エッジを外部キャプチャトリガとして使用
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0000：インターバルタイマモード
0	TAUDMD0	1：動作開始時に INTTAUDIm が発生する

(b)　TAUDCMURm

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUDTIS[1:0]	

表16.98　一斉書き換えトリガ生成機能タイプ 2 の下位チャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(c)　チャネル出力モード

トリガスタート PWM モード設定にしたがった出力が可能です。

(d)　一斉書き換え

表16.99　一斉書き換えトリガ生成機能タイプ 2 時の下位チャネル一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	1：上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUDRDM.TAUDRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

(5)　一斉書き換えトリガ生成機能タイプ 2 の操作手順

表16.100　一斉書き換えトリガ生成機能タイプ 2 の操作手順

	操作	TAUD の状態
チャネルの初期設定	上位チャネルの TAUDCMORm レジスタと TAUDCMURm レジスタを、「表16.94 一斉書き換えトリガ生成機能タイプ2の上位チャネルの TAUDCMORmレジスタの内容」と「表16.95 一斉書き換えトリガ生成機能タイプ2の上位チャネルの TAUDCMURmレジスタの内容」に示すように設定します。 下位チャネルの TAUDCMORm レジスタと TAUDCMURm レジスタを、「表16.97 一斉書き換えトリガ生成機能タイプ2の下位チャネルの TAUDCMORmレジスタの内容」と「表16.98 一斉書き換えトリガ生成機能タイプ2の下位チャネルの TAUDCMURmレジスタの内容」に示すように設定します。 TAUDCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUDTS.TAUDTSm を“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“1”に設定され、カウントが開始されます。TAUDCNTm が 0000H にクリアされます。 TAUDCMORm.TAUDMD0 が“1”の場合は、INTTAUDIm が発生します。
動作中	TAUDRDT.TAUDRDTm は任意のタイミングで設定可能です。 TAUDRSF.TAUDRSFm は任意のタイミングで読み出し可能です。	TAUDCNTm は、0000H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： ・ TAUDCNTm が自身の値を TAUDCDRm に転送（キャプチャ）して、0000H に戻ります。 ・ INTTAUDIm が発生します。 TAUDRDC.TAUDRDCm が“1”に設定されているチャネルで INTTAUDIm が発生すると、一斉書き換えが制御されます。 以降、この動作を繰り返します。
動作停止	TAUDTT.TAUDTTm を“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm は停止し、TAUDCNTm は現在値を保持します。

動作再開 →

16.15 チャネル連動動作機能

この節では、TAUD のチャネル連動動作の全機能について説明します。チャネル連動動作の概要については、「16.2. 機能概要」を参照してください。

この節では、一定間隔で PWM 信号を発生させる機能について述べます。

16.15.1　PWM 出力機能

(1)　概要

(a)　概要

マスタチャネルと複数のスレーブチャネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUDTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャネルで設定します。デューティはスレーブチャネルで設定します。

(b)　前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「表16.101 PWM出力機能のマスタチャネルのTAUDCMORmレジスタの内容」参照）。
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（「表16.105 PWM出力機能のスレーブチャネルのTAUDCMORmレジスタの内容」参照）。
- この機能では、マスタチャネルで TAUDTTOUTm は使用しません。
- スレーブチャネルのチャネル出力モードは、チャネル連動出力モード 1 に設定する必要があります（「16.7. チャネル出力モード」参照）。

(c)　機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。

TAUDCDRm の現在値が TAUDCNTm にロードされ、カウンタはその TAUDCDRm 値からダウンカウントを開始します。マスタチャネルで INTTAUDIm が発生し、TAUDTTOUTm（スレーブ）がセット、リセットされることにより PWM 出力を実現しています。

- マスタチャネル：
  マスタチャネルのカウンタ値が 0000H になりパルス周期時間が経過すると、INTTAUDIm が発生します。TAUDCDRm 値を TAUDCNTm にロードし、ダウンカウントを行います。
- スレーブチャネル：
  マスタチャネルで INTTAUDIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。TAUDCDRm（スレーブ）の現在値が TAUDCNTm（スレーブ）にロードされ、カウンタはその TAUDCDRm 値からダウンカウントを開始します。TAUDTTOUTm 信号がアクティブレベルに設定されます。
  カウンタ値が 0000H になると（デューティ時間が経過すると）INTTAUDIm が発生し、TAUDTTOUTm 信号がインアクティブレベルに設定されます。カウンタは FFFFH に戻り、マスタチャネルの次の INTTAUDIm（次のパルス周期の開始）を待ちます。

マスタ／スレーブチャネルの TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDTS.TAUDTSm を“1”に設定すると、カウントを再開できます。

(d)　条件

この機能では一斉書き換えを行うことができます。「16.6. 一斉書き換え」を参照してください。

(2)　算出式

パルス周期 =（TAUDCDRm（マスタ）+ 1）×カウントクロック周期

デューティサイクル[%] =（TAUDCDRm（スレーブ）／（TAUDCDRm（マスタ）+ 1））×100

- デューティサイクル = 0%
  TAUDCDRm（スレーブ）= 0000H
- デューティサイクル = 100%
  TAUDCDRm（スレーブ）≧TAUDCDRm（マスタ）+ 1

(3)　ブロック図と基本タイミング図

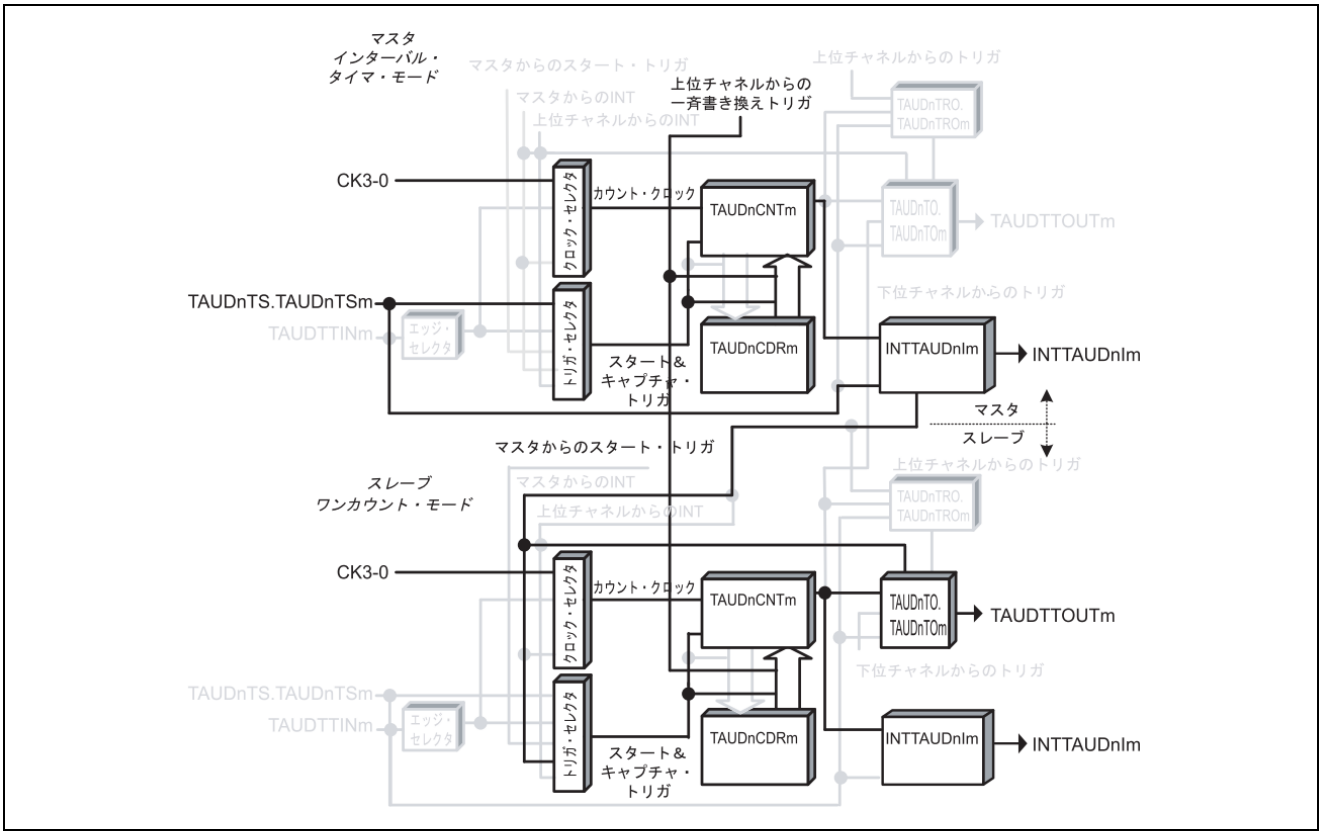


図16.88　PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャネル：正論理（TAUDTOL.TAUDTOLm = 0）

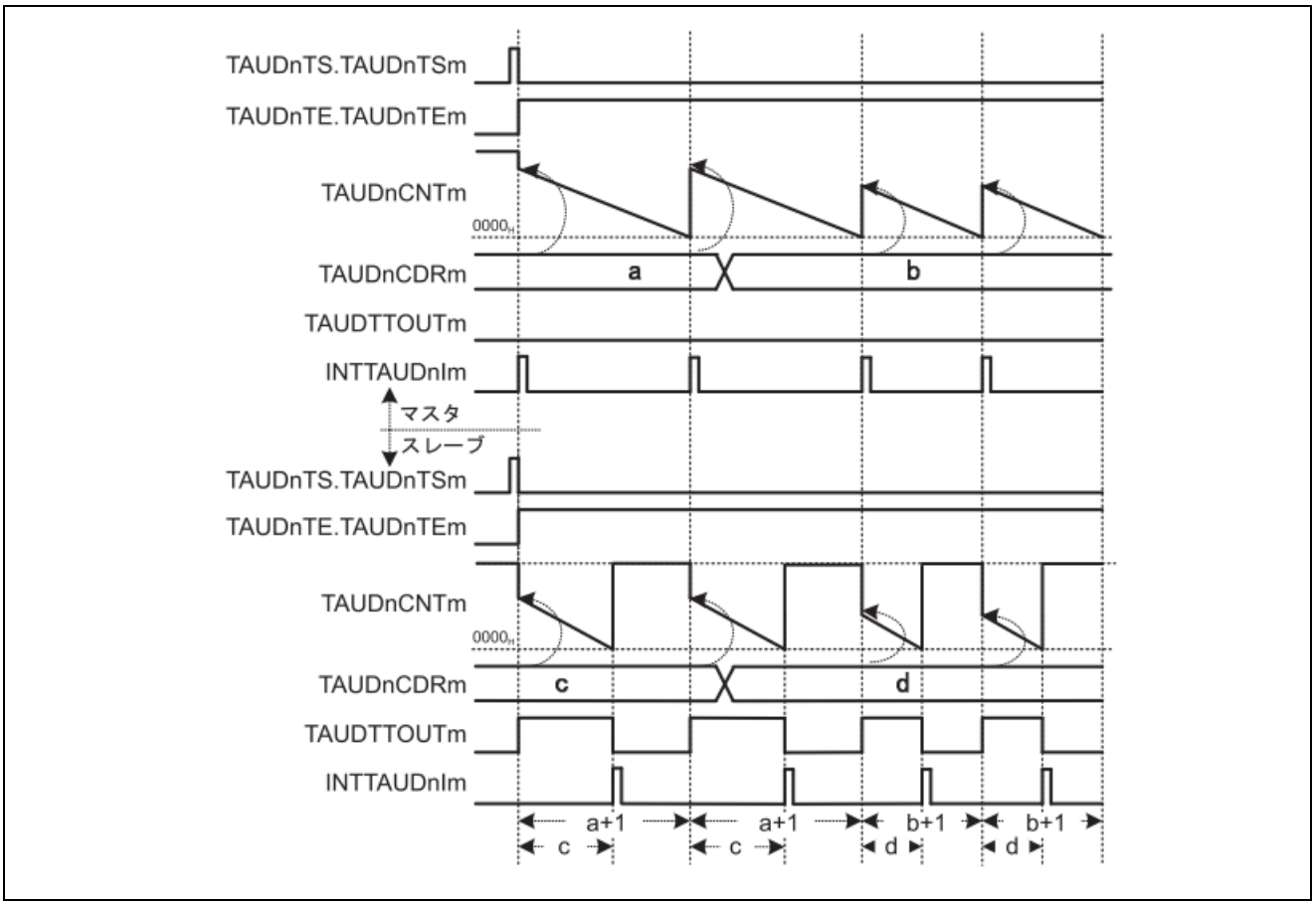


図16.89　PWM 出力機能の基本タイミング図

備考 1. スレーブチャネルでのカウント開始から割り込み発生までの間隔は対応する TAUDCDRm の値になりますが、マスタチャネルでの間隔は対応する TAUDCDRm + 1 の値になります。

2. スレーブチャネルの TAUDTTOUTm は、マスタチャネルの INTTAUDIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

(4) マスタチャネルのレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.101　PWM 出力機能のマスタチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	1：チャネルはマスタチャネル
10-8	TAUDSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0000：インターバルタイマモード
0	TAUDMD0	1：動作開始時に INTTAUDIm が発生する

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.102　PWM 出力機能のマスタチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(d)　一斉書き換え

表16.103　PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDRDM.TAUDRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

備考 TAUDRDS.TAUDRDSm ビット = 1 で使用する場合、マスタチャネルの上位に「16.14.1 一斉書き換えトリガ生成機能タイプ1」で動作するチャネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ 1 設定チャネル：
  TAUDRDCm = 1、TAUDRDSm = 1
  また、本チャネルの TAUDCDRm 設定値は下記となります。
  =（（一斉書き換え対象のマスタチャネルの TAUDCDRm 設定値 + 1）× 割り込み回数）- 1
- マスタチャネル：TAUDRDCm = 0、TAUDRDSm = 1
- スレーブチャネル：TAUDRDCm = 0、TAUDRDSm = 1

TAUDCDRm（スレーブ）の設定値＞TAUDCDRm（マスタ）の設定値 + 1 の場合は、Duty 値が 100%を超えることになるが、集約し 100%出力とする。

(5) スレーブチャネルのレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.104　PWM 出力機能のスレーブチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	100：マスタチャネルの INTTAUDIm がスタートトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0100：ワンカウントモード
0	TAUDMD0	1：動作中のスタートトリガが有効

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.105　PWM 出力機能のスレーブチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.106　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	1：チャネル連動動作
TAUDTOC.TAUDTOCm	0：動作モード 1
TAUDTOL.TAUDTOLm	0：正論理 1：負論理
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	
TAUDTME.TAUDTMEm	0：変調禁止

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.107　PWM 出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDRDM.TAUDRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

(6) PWM 出力機能の操作手順

表16.108 PWM 出力機能時の操作手順

	操作	TAUD の状態
チャネルの初期設定	マスタチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.1(4) マスタチャネルのレジスタ設定」に示すように設定します。 スレーブチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.1(5) スレーブチャネルのレジスタ設定」に示すように設定します。 全チャネルの TAUDCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDTS.TAUDTSm を同時に“1”に設定します。TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm（マスタ／スレーブチャネル）が“1”に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで INTTAUDIm が発生し、TAUDTTOUTm（スレーブ）が設定されます。
動作中	TAUDCDRm は任意のタイミングで変更可能です。 TAUDTOL.TAUDTOLm は変更可能です。 TAUDCNTm と TAUDRSF.TAUDRSFm は任意のタイミングで読み出し可能です。 TAUDRDT.TAUDRDTm は動作中に変更可能です。	マスタチャネルの TAUDCNTm は TAUDCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000H になった場合： ・ INTTAUDIm（マスタ）が発生します。 ・ TAUDCDRm 値を TAUDCNTm（マスタ）にロードし、カウント動作を継続します。 ・ TAUDCDRm 値を TAUDCNTm（スレーブ）にロードし、ダウンカウントを行います。 ・ TAUDTTOUTm（スレーブ）がアクティブレベルに設定されます。 TAUDCNTm（スレーブ）が 0000H になった場合： ・ INTTAUDIm（スレーブ）が発生します。 ・ TAUDTTOUTm（スレーブ）がインアクティブレベルに設定されます。また、スレーブチャネルのカウント動作が停止します。
動作停止	マスタチャネルとスレーブチャネルの TAUDTT.TAUDTTm を同時に“1”に設定します。TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開 →

(7)　特定の設定時のタイミング図

(a)　デューティサイクル = 0%

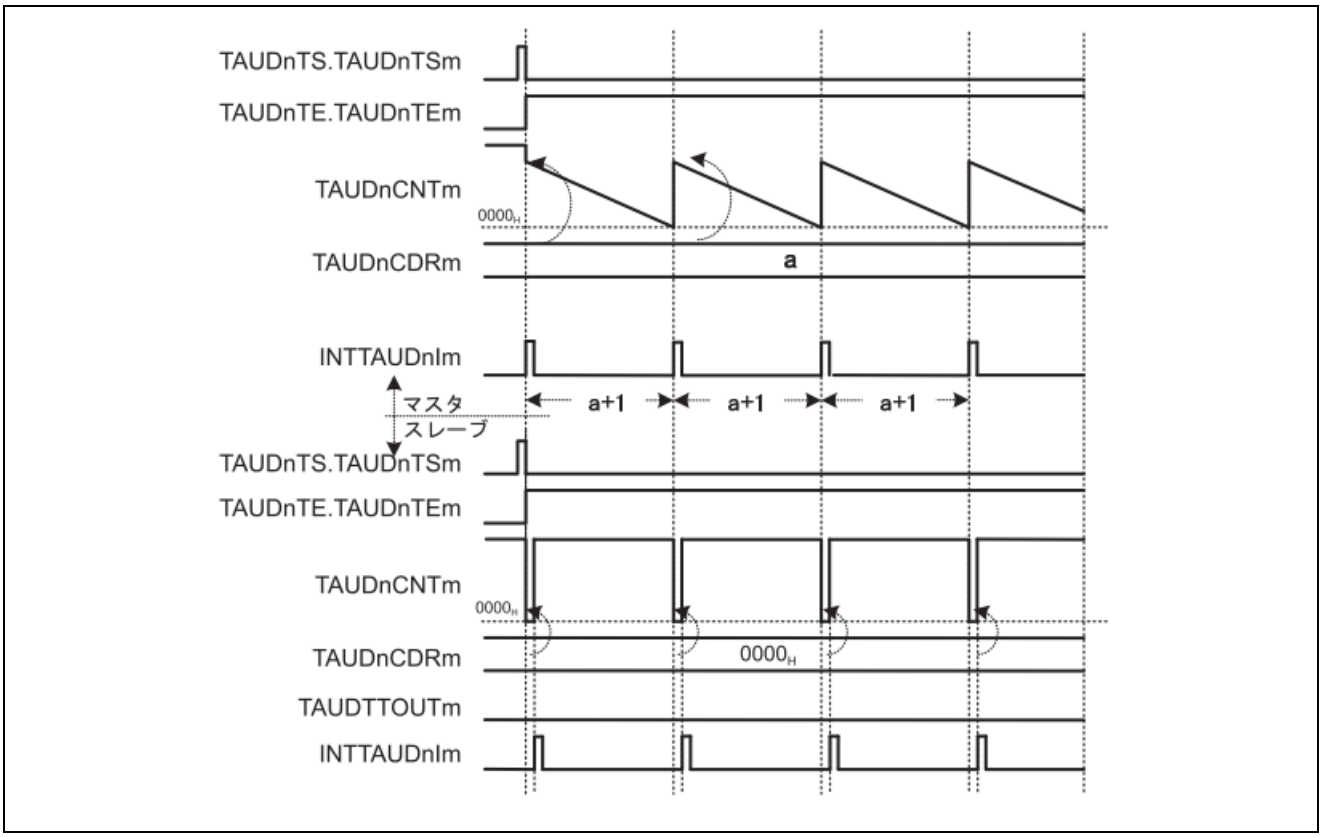


図16.90　TAUDCDRm（スレーブ）= 0000H、正論理（TAUDTOL.TAUDTOLm（スレーブ）= 0）

- マスタチャネルで割り込み（INTTAUDIm）が発生するたびに、TAUDCNTm（スレーブ）に 0000H がロードされます。したがって、スレーブチャネルの割り込み INTTAUDIm）が同時発生し、TAUDTTOUTm はアクティブでない状態のままとなります。
- TAUDCDRm 値を TAUDCNTm（スレーブ）にロードし、割り込みを発生させます。

(b)　デューティサイクル = 100%

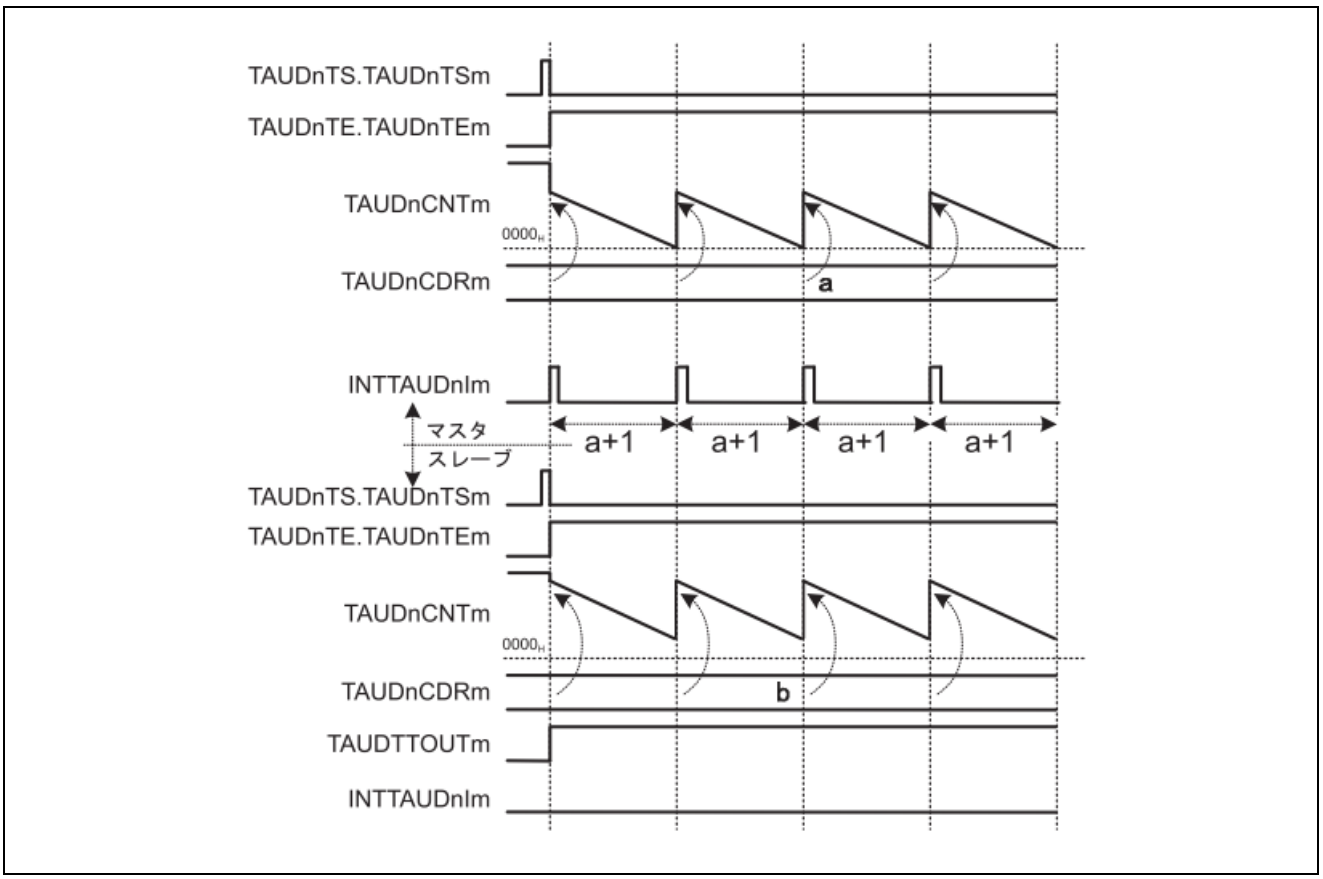


図16.91　TAUDCDRm（スレーブ）≧TAUDCDRm（マスタ）+ 1 正論理（TAUDTOL.TAUDTOLm（スレーブ）= 0）

- TAUDCDRm（スレーブ）値が TAUDCDRm（マスタ）値よりも大きい場合、スレーブチャネルのカウンタは 0000H にならないため、割り込みが発生しません。TAUDTTOUTm はアクティブ状態のままになります。

(c)　動作の停止と再開

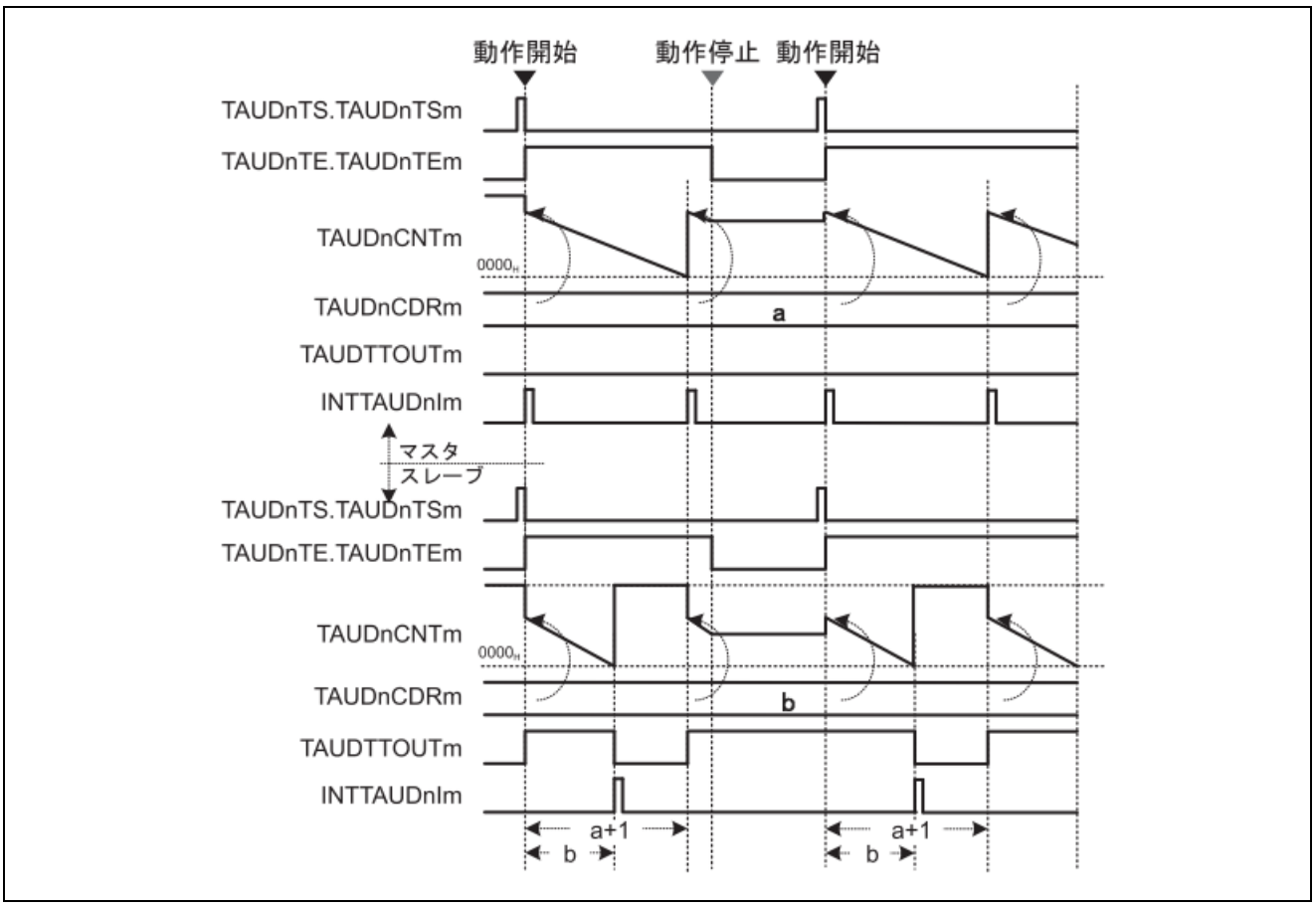


図16.92　動作の停止と再開正論理（TAUDTOL.TAUDTOLm（スレーブ）= 0）

- マスタ／スレーブチャネルの TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。
- 全チャネルの TAUDCNTm と TAUDTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ／スレーブチャネルの TAUDTS.TAUDTSm を“1”に設定すると、カウンタ動作を再開できます。マスタ／スレーブチャネルの TAUDCDRm 値を TAUDCNTm にロードし、この値からダウンカウントを開始します。

16.15.2 ワンショットパルス出力機能

(1) 概要

(a) 概要

マスタチャネルとスレーブチャネルを使って外部入力信号パルスとの比較で定義されているパルス幅と遅延時間で信号パルスを出力する機能です。遅延時間はマスタチャネルで設定します。パルス幅はスレーブチャネルで設定します。

(b) 前提条件

- 2 チャネル
- マスタチャネルの動作モードは、ワンカウントモードに設定する必要があります（「表16.109 ワンショットパルス出力機能のマスタチャネルのTAUDCMORmレジスタの内容」参照）。
- スレーブチャネルの動作モードは、パルスワンカウントモードに設定する必要があります（「表16.112 ワンショットパルス出力機能のスレーブチャネルのTAUDCMORmレジスタの内容」参照）。
- この機能では、マスタチャネルで TAUDTTOUTm は使用しません。
- スレーブチャネルのチャネル出力モードは、チャネル単体出力モード 2 に設定する必要があります（「16.7. チャネル出力モード」参照）
- TAUDTTINm（マスタ）は、TAUDCNTm（マスタ）と TAUDCNTm（スレーブ）がトリガを待っている間に検出されなければなりません。また、スレーブはマスタチャネルからの割り込みでのみトリガされ、TAUDTTINm（スレーブ）ではトリガされません。

(c)　機能説明

マスタチャネル、スレーブチャネルのチャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。

- マスタチャネル：
  次の有効な TAUDTTINm 入力エッジが検出されると、TAUDCDRm の現在値が TAUDCNTm にロードされます。カウンタは、この TAUDCDRm 値からダウンカウントを開始します。
  TAUDCMORm.TAUDMD0 = 0 の場合、遅延時間内に検出されたトリガ（TAUDTTINm）は無視されます。
  マスタチャネルのカウンタが 0000H になると、INTTAUDIm が発生します。カウンタは FFFFH に戻り、次の有効な TAUDTTINm 入力エッジを待ちます。
- スレーブチャネル：
  マスタチャネルで INTTAUDIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。TAUDCDRm（スレーブ）の現在値が TAUDCNTm（スレーブ）にロードされ、カウンタはその TAUDCDRm 値からダウンカウントを開始します。割り込みが発生し、TAUDTTOUTm 信号がセットされます。
  カウンタ値が 0001H になると、INTTAUDIm が発生し、TAUDTTOUTm 信号がリセットされます。
  カウンタは 0000H で停止し、マスタチャネルの次の INTTAUDIm を待ちます。

マスタ／スレーブチャネルの TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDTS.TAUDTSm を“1”に設定すると、カウントを再開できます。

カウント中に TAUDTS.TAUDTSm を“1”に設定すると、いったん停止しなくてもマスタチャネルのカウントを再開できます（強制リスタート）。

(d)　条件

- マスタチャネルの TAUDCMORm.TAUDMD0 が“0”に設定されている場合、カウント中に検出された TAUDTTINm 入力エッジは無視されます。
- この機能では一斉書き換えを行うことができます。「16.6. 一斉書き換え」を参照してください。

(2)　算出式

トリガ入力からパルス出力までの遅延時間 =（TAUDCDRm（マスタ）+ 1）×カウントクロック周期
パルス幅 =（TAUDCDRm（スレーブ））×カウントクロック周期

(3) ブロック図と基本タイミング図

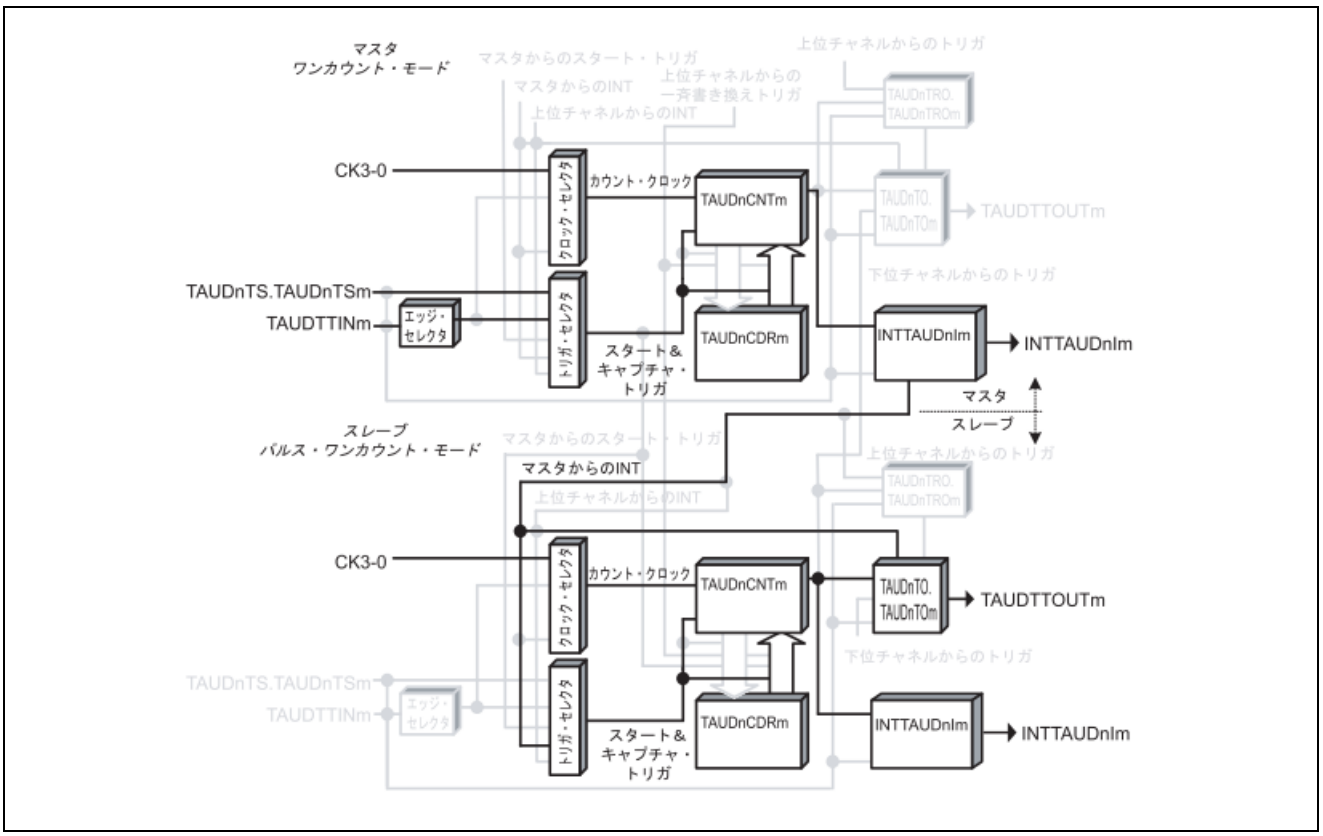


図16.93 ワンショットパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止（TAUDCMORm.TAUDMD0 = 0）
- 立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）

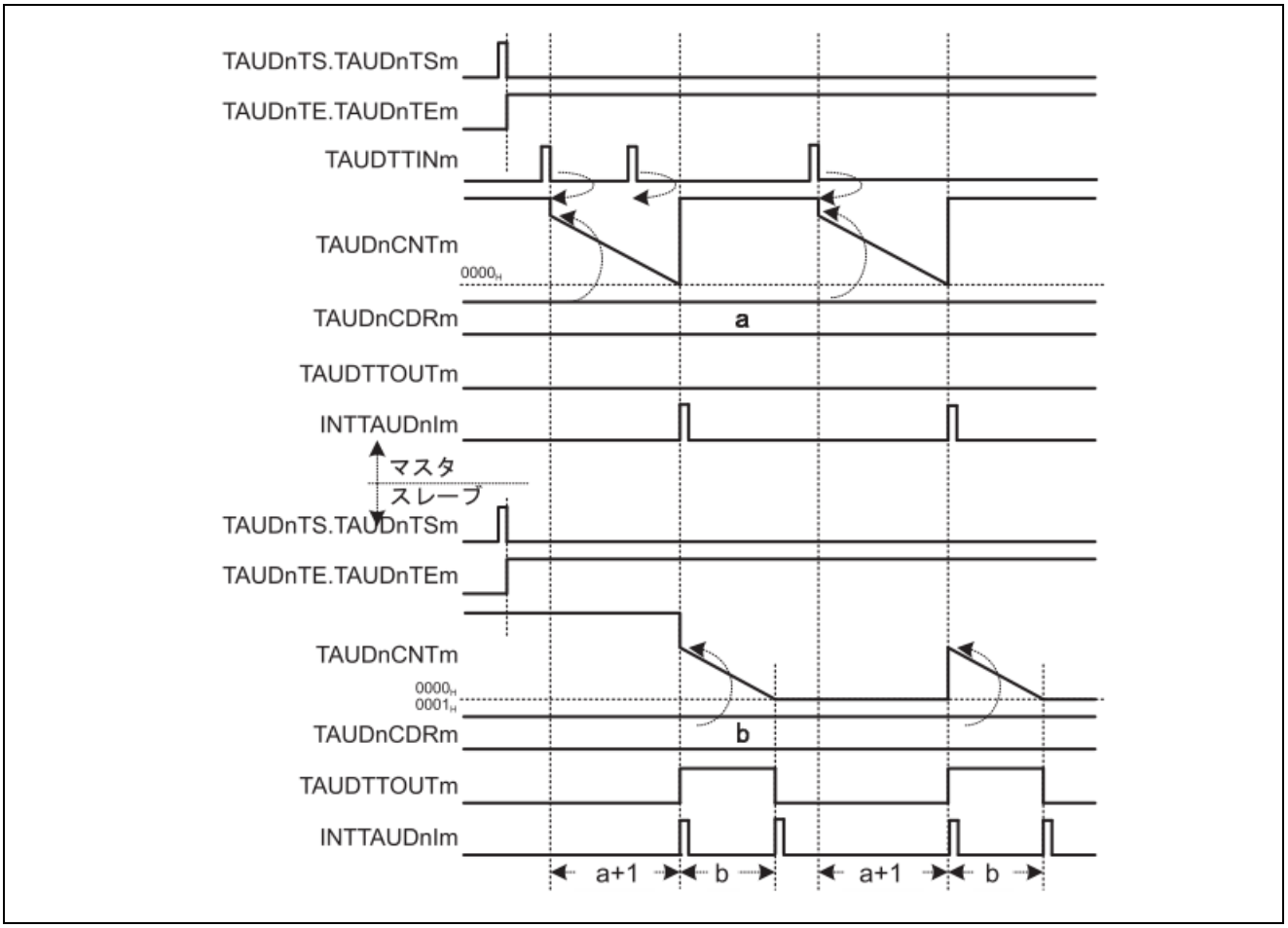


図16.94　ワンショットパルス出力機能の基本タイミング図

(4) マスタチャネルのレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.109　ワンショットパルス出力機能のマスタチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	1：チャネルはマスタチャネル
10-8	TAUDSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号をスタートトリガとして使用
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0100：ワンカウントモード
0	TAUDMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可 マスタチャネルとスレーブチャネルの MD0 ビット値は同一である必要があります。

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.110　ワンショットパルス出力機能のマスタチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.111　ワンショットパルス出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDRDM.TAUDRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

(5)　スレーブチャネルのレジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.112　ワンショットパルス出力機能のスレーブチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	100：マスタチャネルの INTTAUDIm がスタートトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	1010：パルスワンカウントモード
0	TAUDMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可 マスタチャネルとスレーブチャネルの MD0 ビット値は同一である必要があります。

(b)　TAUDCMURm

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUDTIS[1:0]	

表16.113　ワンショットパルス出力機能のスレーブチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.114　チャネル単体出力モード 2 のときの制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	0：チャネル単体出力
TAUDTOC.TAUDTOCm	1：動作モード 2
TAUDTOL.TAUDTOLm	0：正論理 1：負論理
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDTME.TAUDTMEm	0：変調禁止

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.115　ワンショットパルス出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDRDM.TAUDRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

(6)　ワンショットパルス出力機能時の操作手順

表16.116　ワンショットパルス出力機能時の操作手順

	操作	TAUD の状態
チャネルの初期設定	マスタチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.1(4) マスタチャネルのレジスタ設定」に示すように設定します。 スレーブチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.1(5) スレーブチャネルのレジスタ設定」に示すように設定します。 全チャネルの TAUDCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDTS.TAUDTSm を同時に“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm（マスタ／スレーブチャネル）が“1”に設定され、マスタチャネルは TAUDTTINm 入力を待ちます。
動作中	TAUDCDRm は任意のタイミングで変更可能です。 TAUDCNTm と TAUDRSF.TAUDRSFm は任意のタイミングで読み出し可能です。 TAUDRDT.TAUDRDTm は動作中に変更可能です。	TAUDTTINm 入力の有効エッジを検出すると、マスタチャネルの TAUDCDRm の値を TAUDCNTm にロードし、ダウンカウントを行います。カウンタが 0000H になった場合： ・ INTTAUDIm（マスタ）が発生します。 ・ TAUDCNTm（マスタ）は FFFFH に戻り、次の有効な TAUDTTINm 入力エッジを待ちます。 ・ 再び TAUDCDRm の値を TAUDnCNTm（スレーブ）にロードし、ダウンカウント動作を開始します。 ・ INTTAUDIm（スレーブ）が発生します。 ・ TAUDTTOUTm（スレーブ）がアクティブレベルになります。 TAUDCNTm（スレーブ）が 0001H になった場合： ・ INTTAUDIm（スレーブ）が発生します。 ・ TAUDTTOUTm（スレーブ）がインアクティブレベルになります。また、スレーブチャネルのカウント動作が停止します。
動作停止	マスタチャネルとスレーブチャネルの TAUDTT.TAUDTTm を同時に“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開 ▶

(7)　特定の設定時のタイミング図

(a)　TAUDCDRm（マスタ）= 0000H

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止（TAUDCMORm.TAUDMD0 = 0）
- 立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）

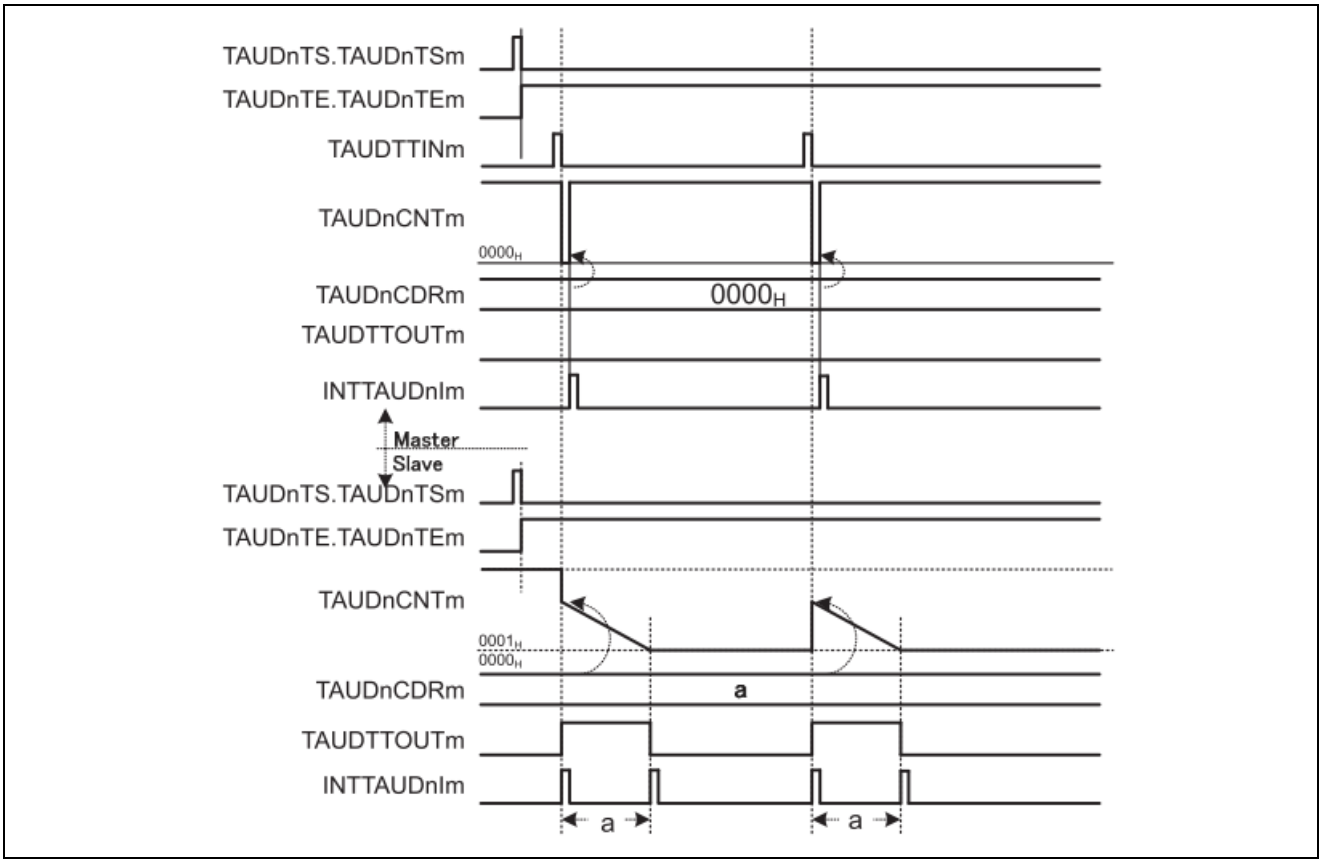


図16.95　TAUDCDRm（マスタ）= 0000H

- 有効な TAUDTTINm 入力エッジが検出されると、TAUDCNTm（マスタ）に値 0000H が書き込まれます。カウンタに 0000H が設定されることにより、1 カウント行うと FFFFH に戻ります。
  したがって、スレーブチャネルのカウンタは TAUDTTINm（マスタ）から 1 カウントクロック遅れて、ダウンカウントを開始します。

(b)　TAUDCDRm（スレーブ）= 0000H

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止（TAUDCMORm.TAUDMD0 = 0）
- 立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）

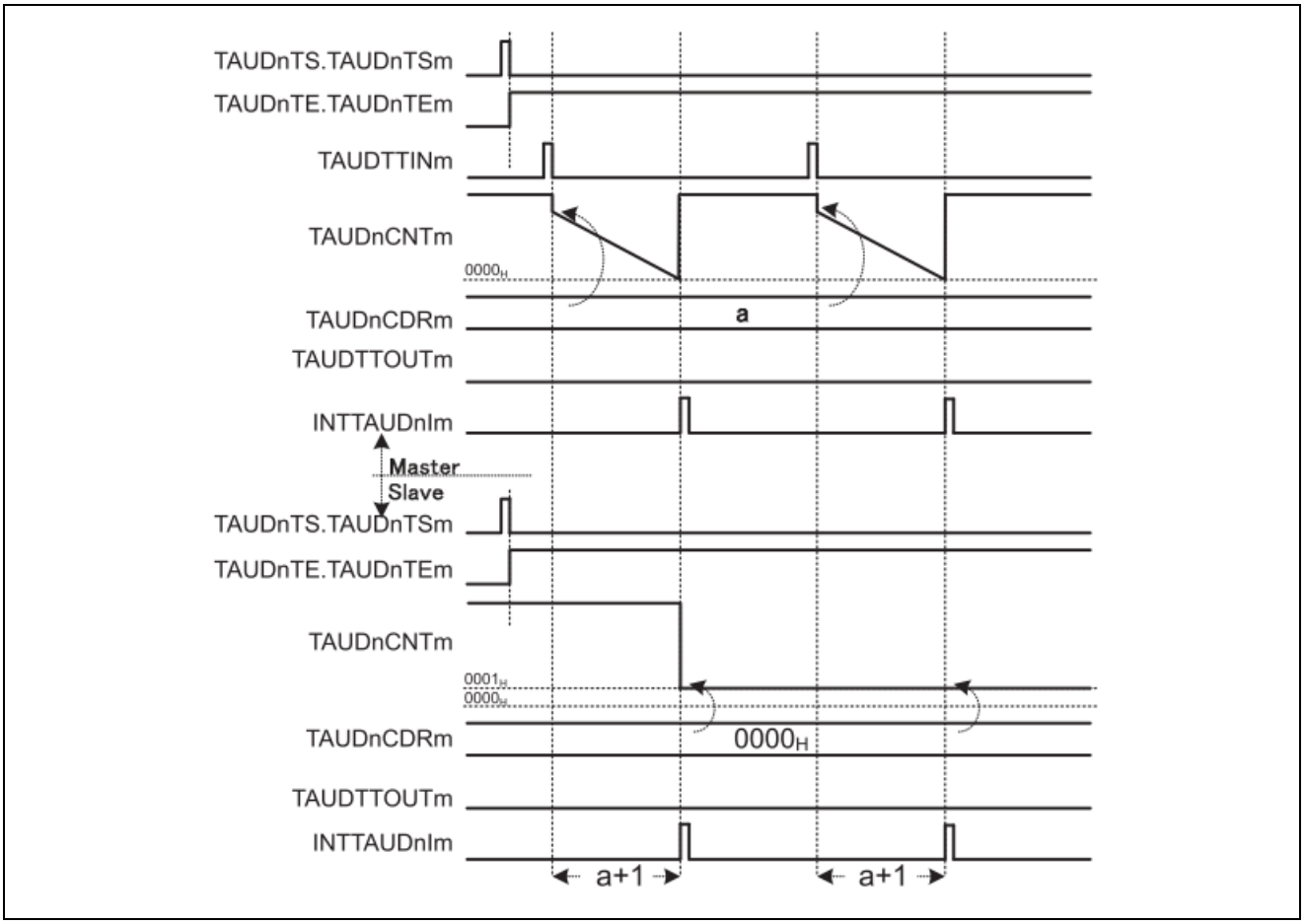


図16.96　TAUDCDRm（スレーブ）= 0000H

- パルス幅が“0”のため、TAUDTTOUTm は非アクティブ状態のままです。

(c)　TAUDCMORm.TAUDMD0 = 1

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出許可（TAUDCMORm.TAUDMD0 = 1）
- 立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）

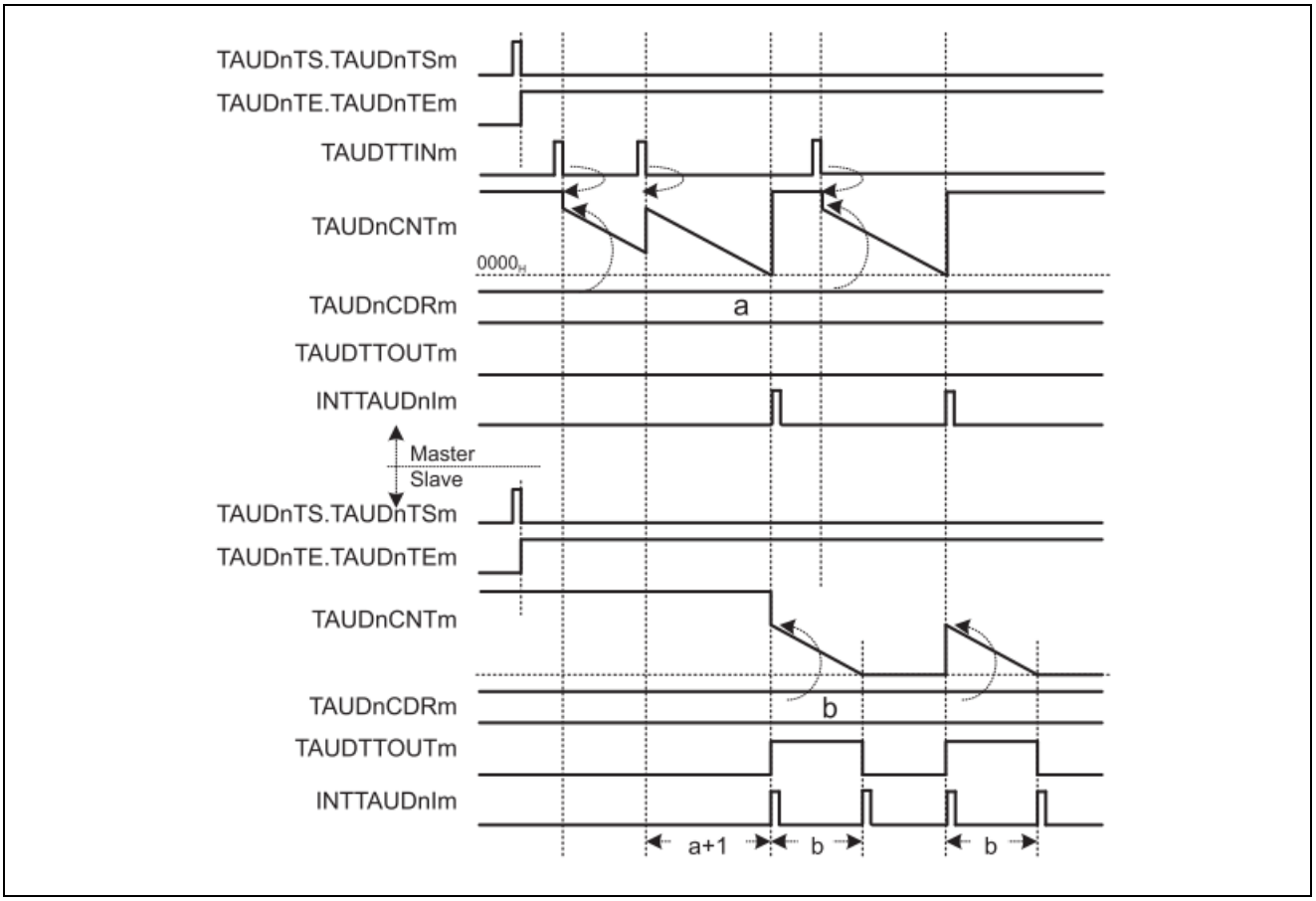


図16.97　TAUDCMORm.TAUDMD0 = 1

- マスタチャネルのカウンタがダウンカウント中にTAUDTTINm入力の有効エッジが検出されると、TAUDCNTmはTAUDCDRmの値をリロードします。カウンタはダウンカウントを再開します。これは、TAUDTTINm入力の有効エッジ検出時のTAUDCNTmの値によってディレイが引き延ばされたことを意味します。

(d)　スレーブチャネルカウント中にマスタチャネルがリスタート

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止（TAUDCMORm.TAUDMD0 = 0）
- 立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）

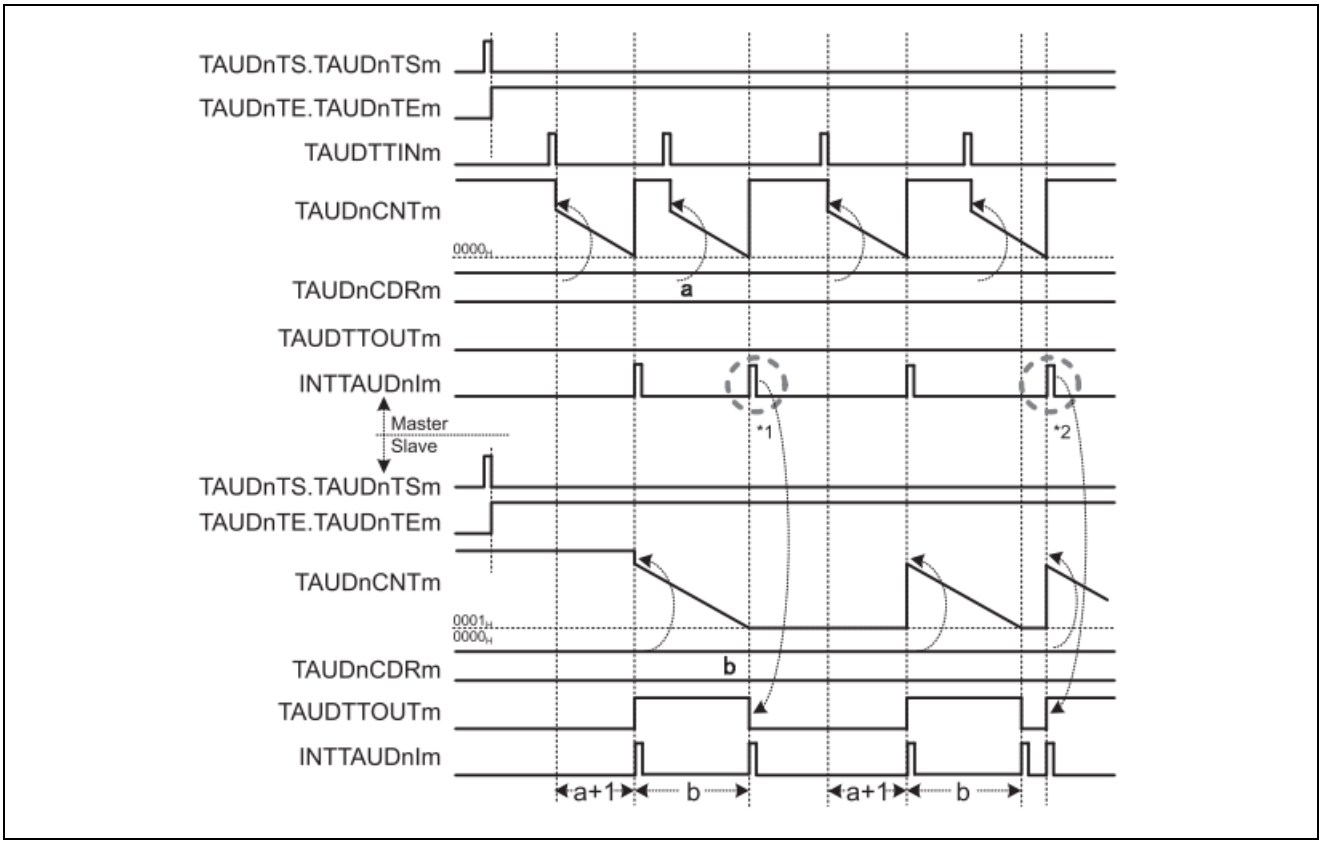


図16.98　TAUDTTINm 入力間隔≦ディレイ時間 + パルス幅 + 1

- スレーブチャネルのカウンタが 0001H になる前またはちょうど 0001H になったときにマスタチャネルが割り込みを発生した場合(*1)は、割り込み（マスタ）が無視されます。
- スレーブチャネルのカウンタが次のトリガを待つ間にマスタチャネルの割り込みが発生した場合は、TAUDCDRm（スレーブ）の値がリロードされます。割り込みが発生し、TAUDTTOUTm がトグルされます。TAUDCNTm（スレーブ）がカウント中に TAUDCNTm（マスタ）がダウンカウントを開始した場合(*2)は、TAUDTTOUTm は期待される遅延時間では出力されません。
- 正しいワンショットパルスを発生するには、マスタチャネルとスレーブチャネルがカウント中でなくスタートトリガ待ち状態のときにマスタチャネルのスタートトリガが検出される必要があります。

16.15.3　トリガスタート PWM 出力機能

(1)　概要

(a)　概要

マスタチャネルとスレーブチャネルを 1 つずつ使用して PWM 出力を生成する機能です。これにより、TAUDTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャネルで設定します。デューティはスレーブチャネルで設定します。トリガスタート PWM 出力機能は、有効な TAUDTTINm 入力エッジでマスタチャネルをリセット可能である点を除いて PWM 出力機能と同じです。

(b)　前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「表16.117 トリガスタートPWM出力機能のマスタチャネルのTAUDCMORmレジスタの内容」参照）。
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（「表16.120 トリガスタートPWM出力機能のスレーブチャネルのTAUDCMORmレジスタの内容」参照）。
- スレーブチャネルの出力モードは、チャネル連動出力モード 1 に設定する必要があります（「16.7 チャネル出力モード」参照）。
- この機能では、マスタチャネルで TAUDTTOUTm は使用しません。

(c)　機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ（マスタ／スレーブ）動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。TAUDCDRm の現在値が TAUDCNTm にロードされ、カウンタはその TAUDCDRm 値からダウンカウントを開始します。マスタチャネルで INTTAUDIm が発生し、TAUDTTOUTm（スレーブ）がセット、リセットされることにより PWM 出力を実現しています。

- マスタチャネル：
  TAUDCDRm の現在値がカウンタ（TAUDCNTm）にロードされ、INTTAUDIm が発生し、カウンタはその TAUDCDRm 値からダウンカウントを開始します。カウンタ値が 0000H になりパルス周期が経過すると、INTTAUDIm が発生し、TAUDCDRm 値を TAUDCNTm（マスタ／スレーブ）にロードします。有効な TAUDTTINm 入力エッジが検出されると、マスタチャネルのカウンタは TAUDCDRm の現在値をロードしてダウンカウントを再開し、割り込みが発生します。
- スレーブチャネル：
  スレーブチャネルはマスタチャネルからの割り込みを検出すると、TAUDCDRm の現在値からダウンカウントを開始します。TAUDTTOUTm 信号がアクティブレベルに設定されます。カウンタ値が 0000H になると（デューティ時間が経過すると）、INTTAUDIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは FFFFH に戻り、マスタチャネルの次の INTTAUDIm を待ちます。

マスタ／スレーブチャネルの TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDCNTm と TAUDTTOUTm は停止しますが、それぞれの値は保持します。TAUDTS.TAUDTSm を“1”に設定すると、カウントを再開できます。

(d)　条件

この機能では一斉書き換えを行うことができます。「16.6. 一斉書き換え」を参照してください。

(2)　算出式

パルス周期 =（TAUDCDRm（マスタ）+ 1）×カウントクロック周期

デューティサイクル[%] = [TAUDCDRm（スレーブ）／（TAUDCDRm（マスタ）+ 1] ×100

- デューティサイクル = 0%
  TAUDCDRm（スレーブ）= 0000H
- デューティサイクル = 100%
  TAUDCDRm（スレーブ）≧ TAUDCDRm（マスタ）+ 1

(3)　ブロック図と基本タイミング図

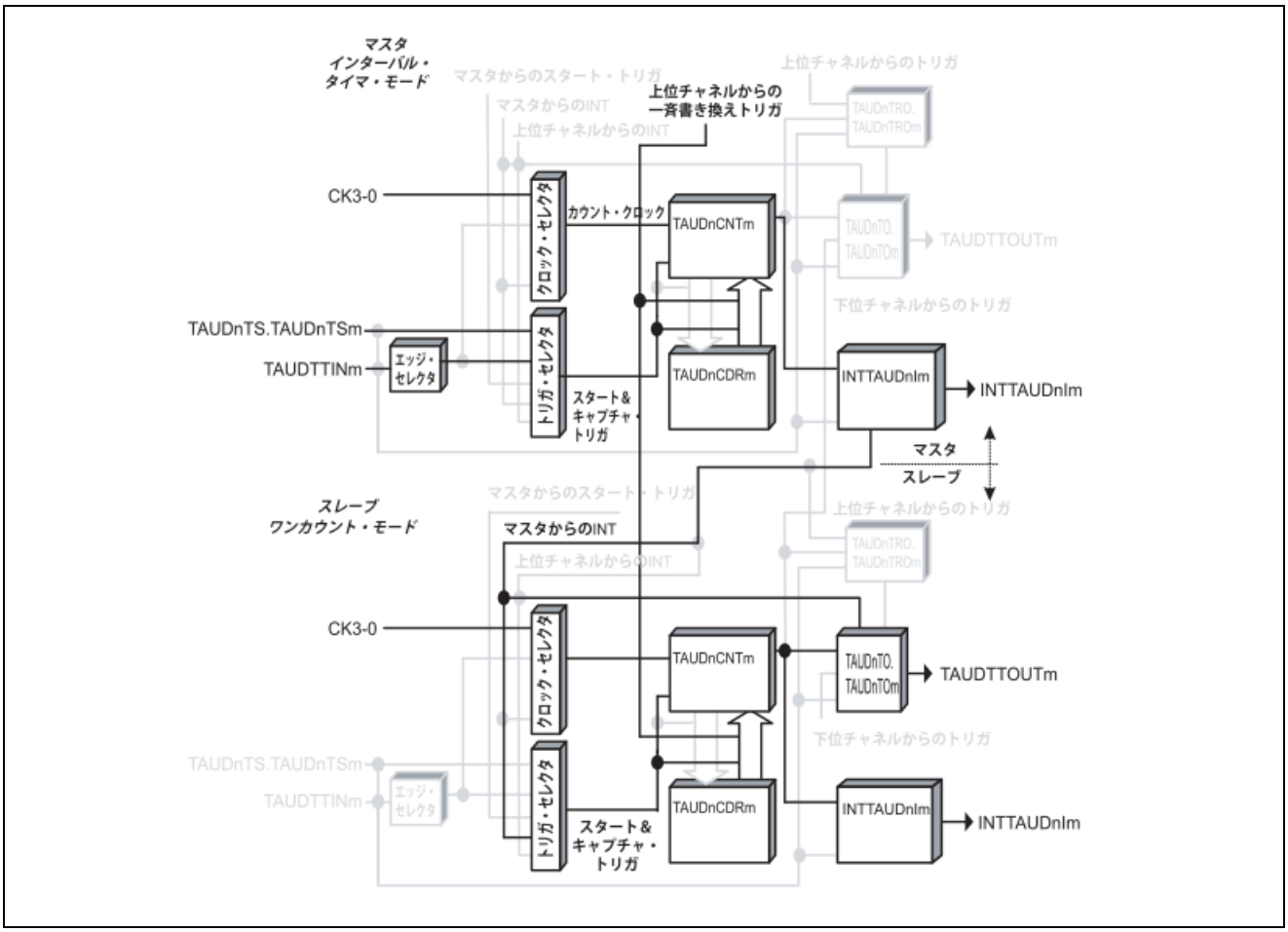


図16.99　トリガスタート PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 01B）
- 正論理（TAUDTOL.TAUDTOLm（スレーブ）= 0）

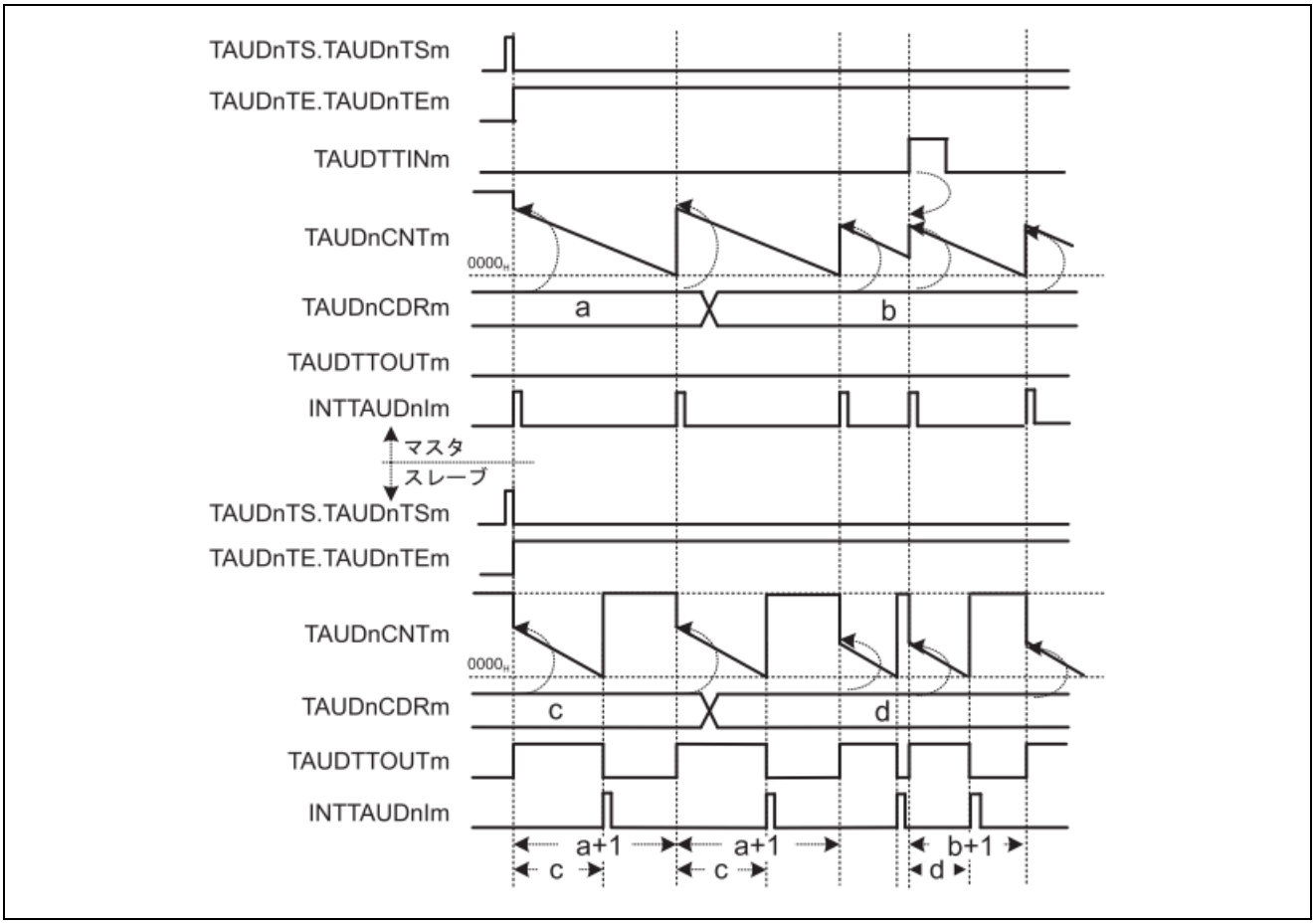


図16.100　トリガスタート PWM 出力機能の基本タイミング図

備考 スレーブチャネルの TAUDTTOUTm は、マスタチャネルの INTTAUDIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

(4) マスタチャネルのレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.117　トリガスタート PWM 出力機能のマスタチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	1：チャネルはマスタチャネル
10-8	TAUDSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号をスタートトリガとして使用
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0000：インターバルタイマモード
0	TAUDMD0	1：動作開始時に INTTAUDIm が発生する

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.118　トリガスタート PWM 出力機能のマスタチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.119　トリガスタート PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDRDM.TAUDRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

(5)　スレーブチャネルのレジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.120　トリガスタート PWM 出力機能のスレーブチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	100：マスタチャネルの INTTAUDIm がスタートトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0100：ワンカウントモード
0	TAUDMD0	1：動作中のスタートトリガが有効 マスタチャネルとスレーブチャネルの TAUDMD[0]ビット値は同一である必要があります。

(b)　TAUDCMURm

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUDTIS[1:0]	

表16.121　トリガスタート PWM 出力機能のスレーブチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.122　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	1：チャネル連動動作
TAUDTOC.TAUDTOCm	0：動作モード 1
TAUDTOL.TAUDTOLm	0：正論理 1：負論理
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDTME.TAUDTMEm	0：変調禁止

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.123　トリガスタート PWM 出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDRDM.TAUDRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

(6)　トリガスタート PWM 出力機能の操作手順

表16.124　トリガスタート PWM 出力機能時の操作手順

	操作	TAUD の状態
チャネルの初期設定	マスタチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.3(4) マスタチャネルのレジスタ設定」に示すように設定します。 スレーブチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.3(5) スレーブチャネルのレジスタ設定」に示すように設定します。 全チャネルの TAUDCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDTS.TAUDTSm を同時に“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm（マスタ／スレーブチャネル）が“1”に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで INTTAUDIm が発生します。
動作中	TAUDCDRm は任意のタイミングで変更可能です。 TAUDCNTm と TAUDRSF.TAUDRSFm は任意のタイミングで読み出し可能です。 TAUDRDT.TAUDRDTm は動作中に変更可能です。	マスタチャネルの TAUDCNTm は TAUDCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000H になった場合： ・ INTTAUDIm（マスタ）が発生します。 ・ TAUDCDRm 値を TAUDCNTm（マスタ）にロードし、カウント動作を継続します。 ・ TAUDCDRm 値を TAUDCNTm（スレーブ）にロードし、ダウンカウント動作を開始します。 ・ TAUDTTOUTm（スレーブ）が設定されます。 スレーブチャネルの TAUDCNTm が 0000H になった場合： ・ INTTAUDIm（スレーブ）が発生します。 ・ TAUDTTOUTm（スレーブ）がインアクティブレベルに設定されます。また、スレーブチャネルのカウント動作が停止します。 マスタチャネルの TAUDCNTm がダウンカウント中にマスタチャネルで TAUDTTINm 入力が検出された場合： ・ TAUDCNTm（マスタ／スレーブ）は TAUDCDRm 値をロードし、ダウンカウントを行います。 ・ INTTAUDIm（マスタ）が発生します。 ・ TAUDTTOUTm（スレーブ）がアクティブレベルに設定されます。
動作停止	マスタチャネルとスレーブチャネルの TAUDTT.TAUDTTm を同時に“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開 →

(7)　特定の設定時のタイミング図

(a)　デューティサイクル = 0%

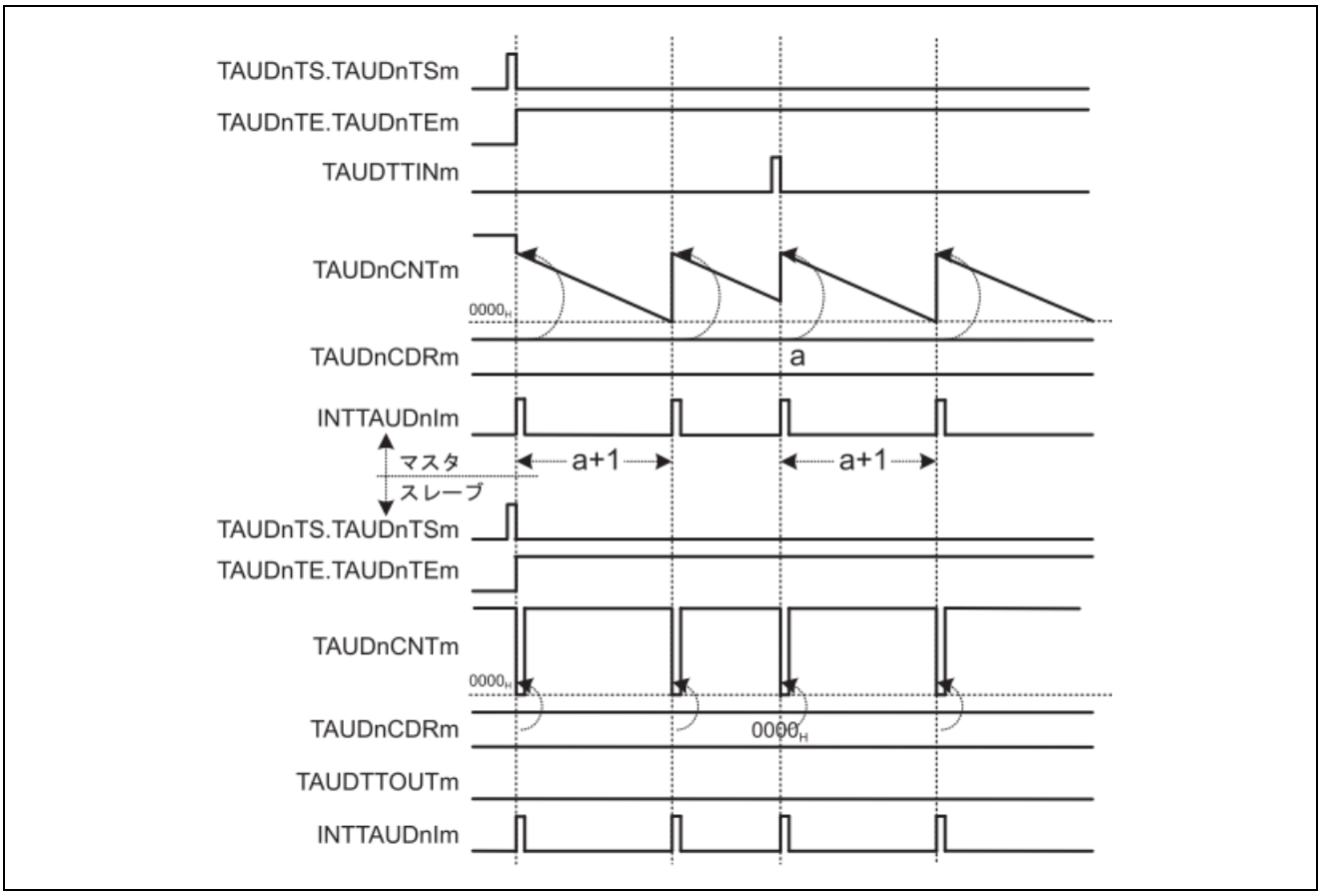


図16.101　TAUDCDRm（スレーブ）= 0000H、正論理（TAUDTOL.TAUDTOLm（スレーブ）= 0）立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）

- マスタチャネルで割り込み（INTTAUDIm）が発生するたびに、TAUDCNTm（スレーブ）に 0000H がロードされます。したがって、TAUDCNTm（スレーブ）はカウントを開始できず、TAUDTTOUTm はアクティブでない状態のままとなります。
- TAUDCNTm（スレーブ）は TAUDCDRm 値がロードされるたびに割り込みを発生させます。有効な TAUDTTINm 入力エッジを検出しても、TAUDTTOUTm（スレーブ）に変化はありません。

(b) デューティサイクル = 100%

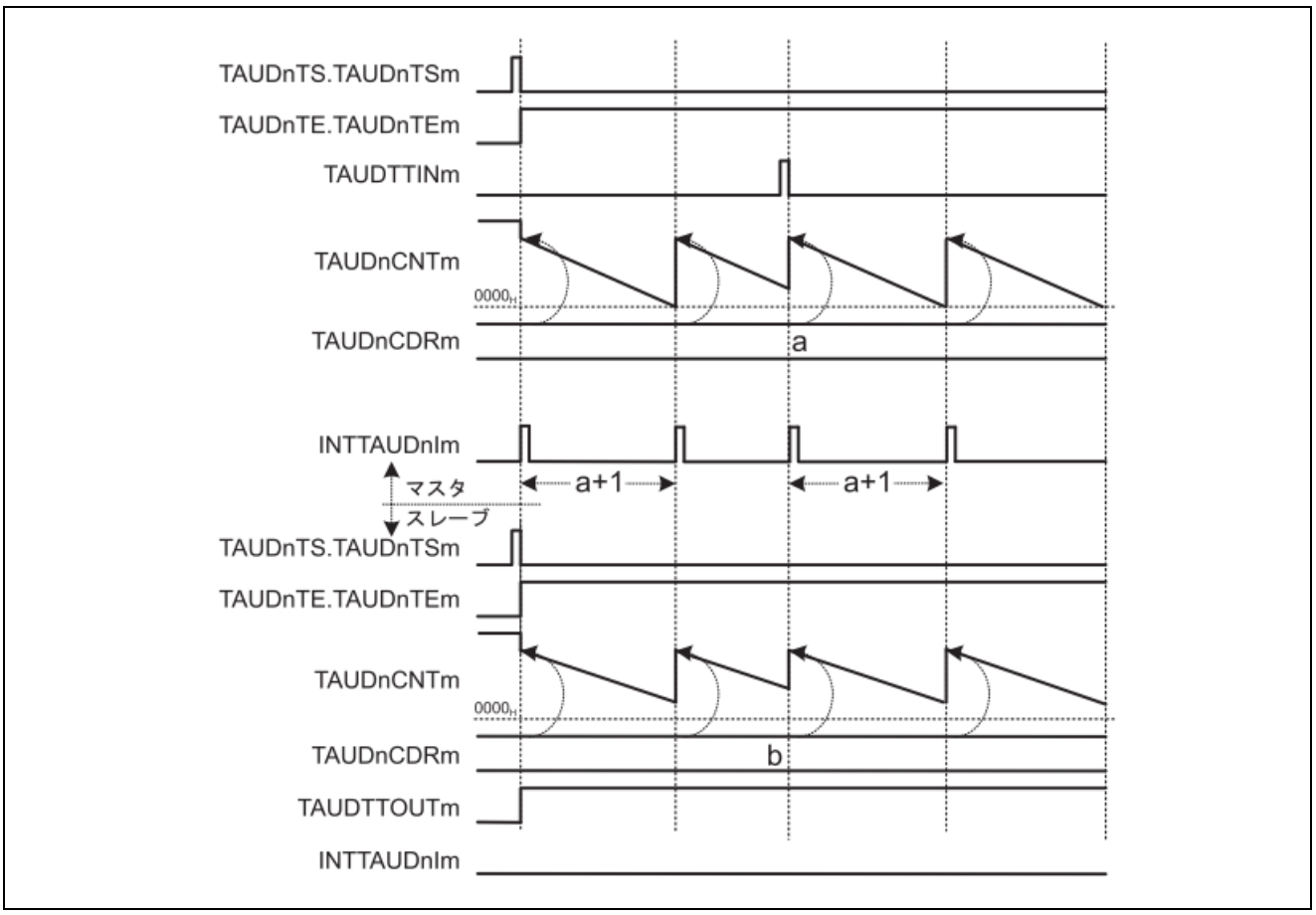


図16.102 TAUDCDRm（スレーブ）≧TAUDCDRm（マスタ）+ 1 正論理（TAUDTOL.TAUDTOLm（スレーブ）= 0）立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）

- TAUDCDRm（スレーブ）値が TAUDCDRm（マスタ）値よりも大きい場合、スレーブチャネルのカウンタは 0000H にならないため、割り込みが発生しません。TAUDTTOUTm はアクティブ状態のままになります。有効な TAUDTTINm 入力エッジを検出しても、TAUDTTOUTm（スレーブ）に変化はありません。

(c)　TAUDTTINm 検出とアクティブなスレーブカウンタ

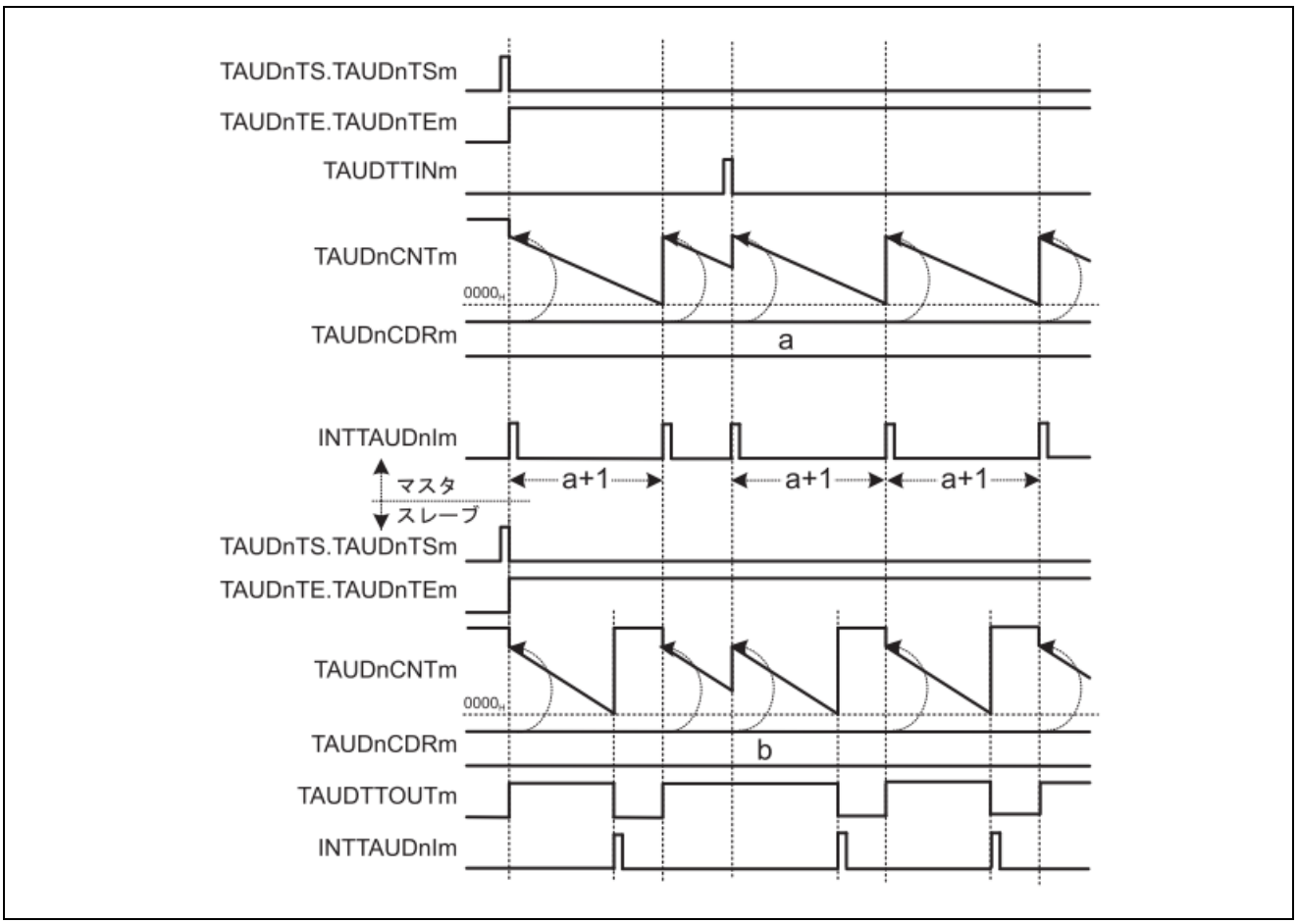


図16.103　正論理（TAUDTOL.TAUDTOLm（スレーブ）= 0）立ち下がりエッジ検出
（TAUDCMURm.TAUDTIS[1:0] = 00B）

・ TAUDCNTm（スレーブ）がダウンカウント中に TAUDCDRm（スレーブ）値をロードした場合、TAUDTTOUTm は変化せず、デューティを拡張します。デューティはスレーブチャネルのデータレジスタの値に対応していません。

16.15.4 ディレイパルス出力機能

(1) 概要

(a) 概要

この機能では、2 種類の信号が出力されます。基準信号のパルス幅とパルス周期は、マスタチャネルとスレーブチャネル 1 を使用して定義されています。スレーブチャネル 2 とスレーブチャネル 3 は設定されている遅延時間後に基準信号を出力します。ディレイ信号は基準信号と同じですが、スレーブチャネル 2 で設定されている時間分、遅延して出力されます。信号の値は次のように設定されます。

- パルス周期はマスタチャネルで設定します。
- 基準信号のデューティサイクルはスレーブチャネル 1 を、ディレイ信号のデューティサイクルはスレーブチャネル 3 を使用して設定されます。
- 遅延量はスレーブチャネル 2 で設定します。

(b) 前提条件

- 4 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「表16.125 ディレイパルス出力機能のマスタチャネルのTAUDCMORmレジスタの内容」参照）。
- スレーブチャネル 1、2 の動作モードは、ワンカウントモードに設定する必要があります（「表16.128 ディレイパルス出力機能のスレーブチャネル1のTAUDCMORmレジスタの内容」参照）。
- スレーブチャネル 3 の動作モードは、パルスワンカウントモードに設定する必要があります（「表16.133 ディレイパルス出力機能のスレーブチャネル2のTAUDCMORmレジスタの内容」参照）。
- マスタチャネルおよびスレーブチャネル 2 では TAUDTTOUTm を使用しません。
- スレーブチャネル 1 のチャネル出力モードは、チャネル連動出力モード 1 に設定する必要があります（「16.7. チャネル出力モード」参照）。
- スレーブチャネル 3 のチャネル出力モードは、チャネル単体出力モード 2 に設定する必要があります（「16.7. チャネル出力モード」参照）。

(c)　機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、チャネルグループのカウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。

- マスタチャネル：
  TAUDCDRm の現在値が TAUDCNTm にロードされ、カウンタはその TAUDCDRm 値からダウンカウントを開始します。マスタチャネルで INTTAUDIm が発生します。マスタチャネルのカウンタ値が 0000H になりパルス周期時間が経過すると、INTTAUDIm が発生します。再び TAUDCDRm の値をカウンタにロードし、ダウンカウントを行います。
- スレーブチャネル 1、スレーブチャネル 2：
  スレーブチャネル 1、2 はマスタチャネルからの割り込みを検出すると、TAUDCDRm の現在値からダウンカウントを開始します。TAUDTTOUTm 信号（スレーブ 1）が設定されます。
  - スレーブチャネル 1：
    スレーブチャネル 1 のカウンタ値が 0000H になると（デューティ時間が経過すると）、INTTAUDIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは FFFFH に戻り、マスタチャネルの次の INTTAUDIm を待ちます。
  - スレーブチャネル 2：
    スレーブチャネル 2 のカウンタ値が 0000H になり遅延時間が経過すると、INTTAUDIm が発生します。カウンタは FFFFH に戻り、マスタチャネルの次の INTTAUDIm を待ちます。
    INTTAUDIm（スレーブチャネル 2）が発生することにより、スレーブチャネル 3 のカウンタ動作がトリガされます。
- スレーブチャネル 3：
  スレーブチャネル 3 はスレーブチャネル 2 からの割り込みを検出すると、TAUDCDRm の現在値からダウンカウントを開始します。INTTAUDIm が発生し、TAUDTTOUTm 信号（スレーブチャネル 3）がセットされます。スレーブチャネル 3 のカウンタ値が 0001H になると、INTTAUDIm が発生し、TAUDTTOUTm 信号がリセットされます。スレーブチャネル 3 からは遅延された PWM パルスが出力されます。

マスタ／スレーブチャネルの TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDTS.TAUDTSm を“1”に設定すると、カウントを再開できます。

(d)　条件

この機能で一斉書き換えを行うことができます。「16.6. 一斉書き換え」を参照してください。

(2)　算出式

パルス周期 =（TAUDCDRm（マスタ）+ 1）×カウントクロック周期
デューティ幅 1 =（TAUDCDRm（スレーブ 1））×カウントクロック周期
遅延幅 =（TAUDCDRm（スレーブ 2）+ 1）×カウントクロック周期
デューティ幅 2 =（TAUDCDRm（スレーブ 3））×カウントクロック周期
ただし、遅延幅の設定値は下記範囲とすること。
0000H≦TAUDCDRm（スレーブ 2）＜TAUDCDRm（マスタ）

備考 1. TAUDTTOUTm（スレーブ 3）の出力波形は、TAUDTTOUTm（スレーブ 1）の出力波形をスレーブ 2 で生成したディレイ分遅延させた波形となります。パルス周期以上に遅延させることはできません。
2. スレーブ 3 のカウント中に、スレーブ 2 の INTTAUD0Im が発生した場合、スレーブ 3 は動作を再開します。従って、TAUDTTOUTm（スレーブ 3）の出力波形は、アクティブレベルを保持します。（この場合、TAUDTTOUTm（Slave-CH-3）は、TAUDTTOUTm（Slave-CH-1）の基本パルスをディレイさせた波形を出力できません。）

(3) ブロック図と基本タイミング図

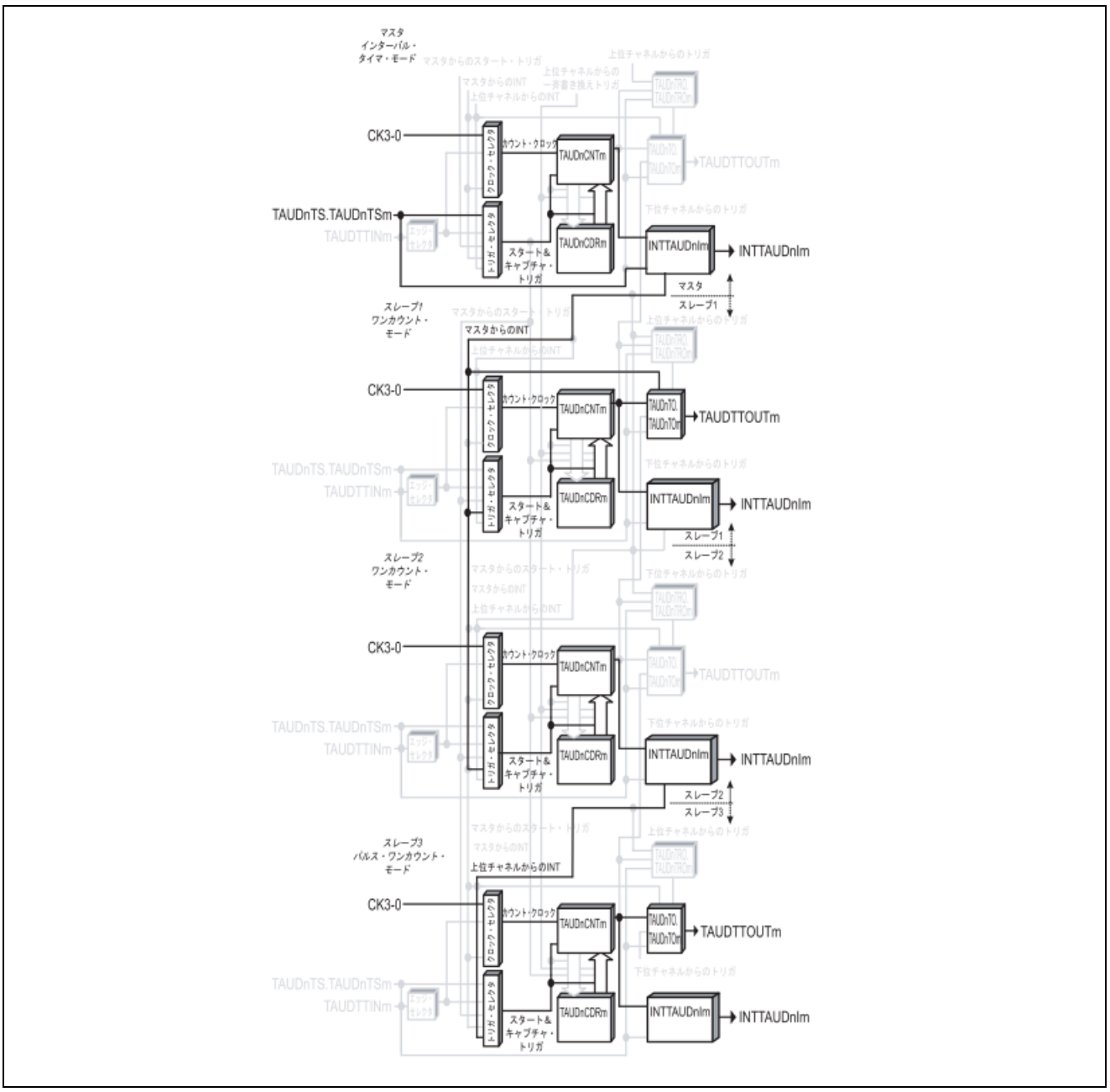


図16.104 ディレイパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャネル 1：正論理（TAUDTOL.TAUDTOLm = 0）
- スレーブチャネル 3：正論理（TAUDTOL.TAUDTOLm = 0）

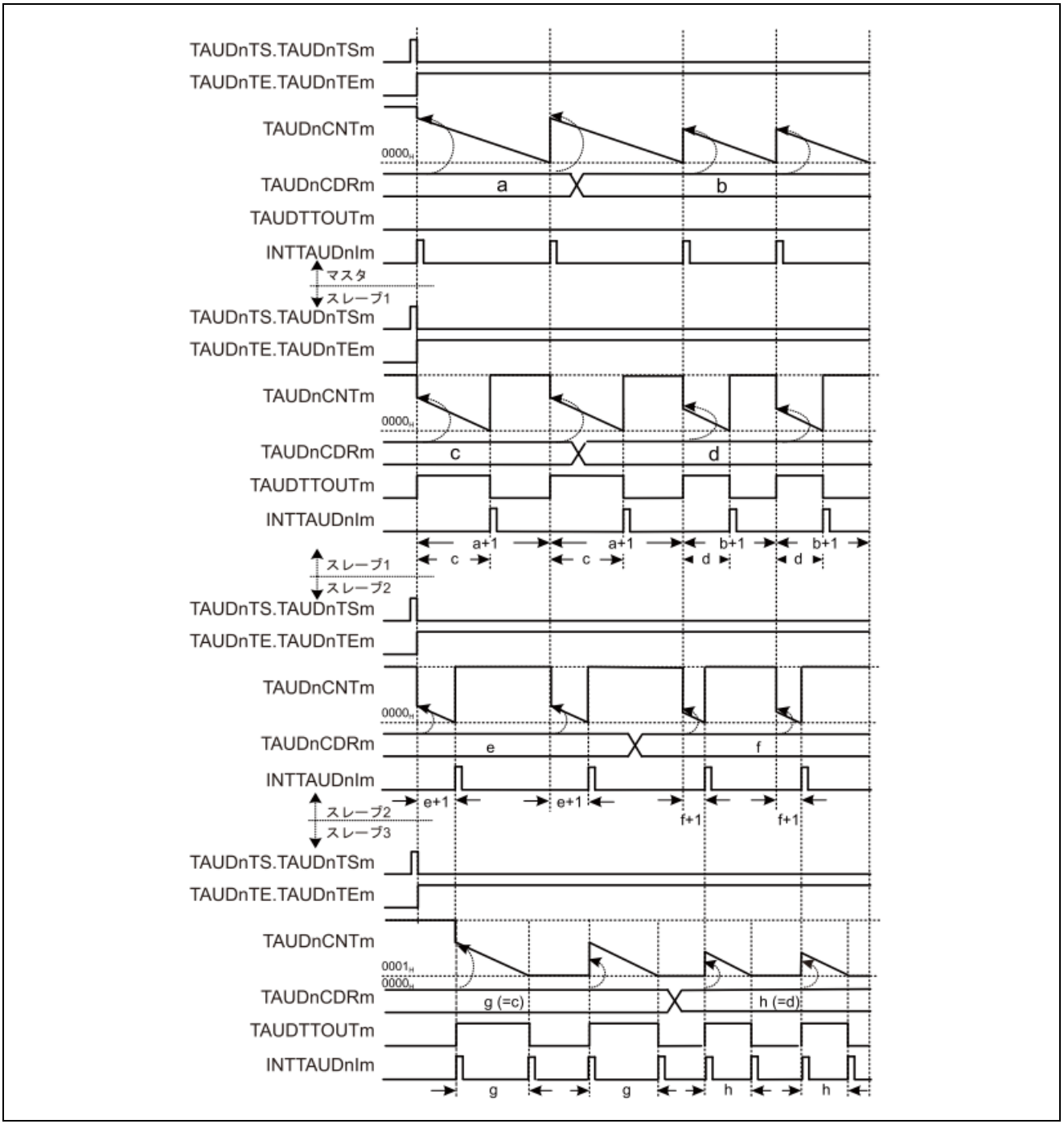


図16.105　ディレイパルス出力機能の基本タイミング図

備考 スレーブチャネル 1 の TAUDTTOUTm は、マスタチャネルの INTTAUDIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

(4) マスタチャネルのレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.125　ディレイパルス出力機能のマスタチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	1：チャネルはマスタチャネル
10-8	TAUDSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0000：インターバルタイマモード
0	TAUDMD0	1：動作開始時に INTTAUDIm が発生する

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.126　ディレイパルス出力機能のマスタチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c) チャネル出力モード

この機能では、マスタチャネルはチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.127　ディレイパルス出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDRDM.TAUDRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

(5)　スレーブチャネル 1 のレジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.128　ディレイパルス出力機能のスレーブチャネル 1 の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	100：マスタチャネルの INTTAUDIm がスタートトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0100：ワンカウントモード
0	TAUDMD0	1：動作中のスタートトリガが有効

(b)　TAUDCMURm

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUDTIS[1:0]	

表16.129　ディレイパルス出力機能のスレーブチャネル 1 の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.130　チャネル連動出力モード 1 時のスレーブチャネル 1 の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	1：チャネル連動動作
TAUDTOC.TAUDTOCm	0：動作モード 1
TAUDTOL.TAUDTOLm	0：正論理 1：負論理
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDTME.TAUDTMEm	0：変調禁止

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.131　ディレイパルス出力機能時のスレーブチャネル 1 の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDRDM.TAUDRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

(6) スレーブチャネル 2 のレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.132　ディレイパルス出力機能のスレーブチャネル 2 の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	100：マスタチャネルの INTTAUDIm がスタートトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0100：ワンカウントモード
0	TAUDMD0	1：動作中のスタートトリガが有効

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.133　ディレイパルス出力機能のスレーブチャネル 2 の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.134　ディレイパルス出力機能時のスレーブチャネル 2 の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDRDM.TAUDRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

(7)　スレーブチャネル 3 のレジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.135　ディレイパルス出力機能のスレーブチャネル 3 の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	101：マスタ設定にかかわらず、上位チャネル（m-1）の INTTAUDIm がスタートトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	1010：パルスワンカウントモード
0	TAUDMD0	1：動作中のスタートトリガが有効

(b)　TAUDCMURm

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUDTIS[1:0]	

表16.136　ディレイパルス出力機能のスレーブチャネル 3 の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.137　チャネル単体出力モード 2 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	0：チャネル単体出力
TAUDTOC.TAUDTOCm	1：動作モード 2
TAUDTOL.TAUDTOLm	0：正論理 1：負論理
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDTME.TAUDTMEm	0：変調禁止

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.138　ディレイパルス出力機能時のスレーブチャネル 3 の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDRDM.TAUDRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

(8)　ディレイパルス出力機能の操作手順

表16.139　ディレイパルス出力機能時の操作手順

（1/2）

	操作	TAUD の状態
チャネルの初期設定	マスタチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.4(4) マスタチャネルのレジスタ設定」に示すように設定します。 スレーブチャネル 1： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.4(5) スレーブチャネル1のレジスタ設定」に示すように設定します。 スレーブチャネル 2： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.4(6) スレーブチャネル2のレジスタ設定」に示すように設定します。 スレーブチャネル 3： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.4(7) スレーブチャネル3のレジスタ設定」に示すように設定します。 全チャネルの TAUDCDRm レジスタの値を設定します。	チャネル動作を停止しています。

（2/2）

動作再開

	操作	TAUD の状態
動作開始	マスタチャネルとスレーブチャネルの TAUDTS.TAUDTSm を同時に“1”に設定します。TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm（マスタ/スレーブチャネル）が“1”に設定され、マスタチャネルとスレーブチャネル 1/2 のカウンタが動作を開始します。マスタチャネルで INTTAUDIm が発生し、TAUDTTOUTm（スレーブチャネル 1）が設定されます。
動作中	TAUDCDRm は任意のタイミングで変更可能です。TAUDCNTm と TAUDRSF.TAUDRSFm は任意のタイミングで読み出し可能です。 TAUDRDT.TAUDRDTm は動作中に変更可能です。	マスタチャネルとスレーブチャネル 1/2 の TAUDCDRm の値を TAUDCNTm にロードし、ダウンカウントを行います。マスタチャネルのカウンタが 0000H になった場合： ・ INTTAUDIm（マスタ）が発生します。 ・ 再び TAUDCDRm の値を TAUDCNTm（マスタ）にロードし、カウント動作を継続します。 ・ 再び TAUDCDRm の値を TAUDCNTm（スレーブ 1/2）にロードし、ダウンカウントを開始します。 ・ TAUDTTOUTm（スレーブ 1）がセットされます。 TAUDCNTm（スレーブ 1）が 0000H になった場合： ・ INTTAUDIm（スレーブ 1）が発生します。 ・ TAUDTTOUTm（スレーブ 1）がリセットされます。 TAUDCNTm（スレーブ 2）が 0000H になった場合： ・ INTTAUDIm（スレーブ 2）が発生します。 ・ INTTAUDIm（スレーブ 3）が発生します。 ・ TAUDTTOUTm（スレーブ 3）がセットされます。 ・ 再び TAUDCDRm の値を TAUDCNTm（スレーブ 3）にロードし、ダウンカウント動作を開始します。 TAUDCNTm（スレーブ 3）が 0001H になった場合： ・ INTTAUDIm（スレーブ 3）が発生します。 ・ TAUDTTOUTm（スレーブ 3）がリセットされます。
動作停止	マスタチャネルとスレーブチャネルの TAUDTT.TAUDTTm を同時に“1”に設定します。TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm と TAUDTTOUTm は停止し、現在値を保持します。

(9)　特定のタイミング図

(a)　デューティサイクル（スレーブ 3）= 100%

図16.106には以下の値が適用されます。

- TAUDCDRm（マスタ）= 000AH
- TAUDCDRm（スレーブ 1）= 000BH
- TAUDCDRm（スレーブ 2）= 0000H
- TAUDCDRm（スレーブ 3）= 000BH

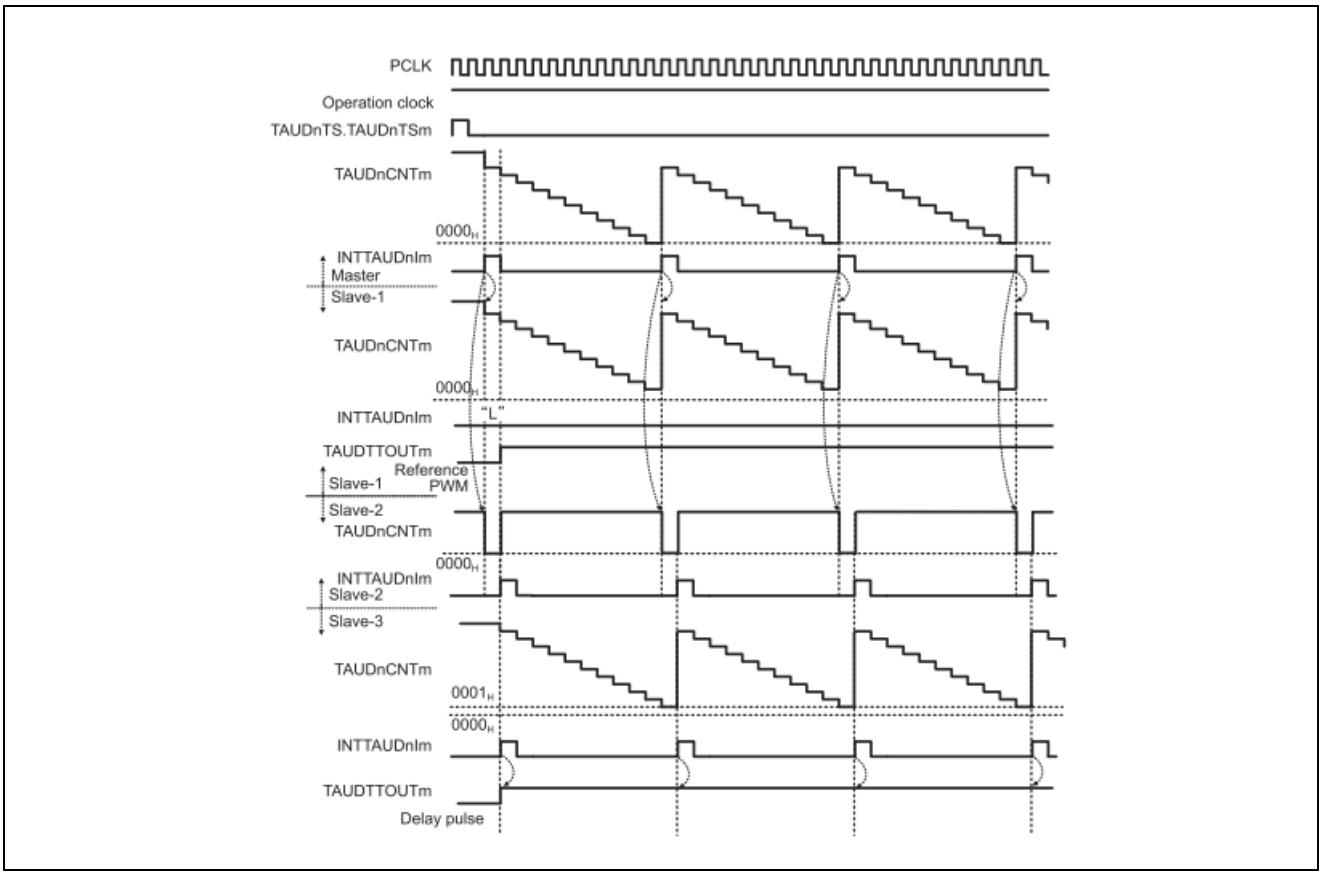


図16.106　デューティサイクル（スレーブ 3）= 100%

- TAUDCDRm（スレーブ 1/スレーブ 3）の値が TAUDCDRm（マスタ）の値を越える場合は、スレーブチャネルのカウンタは 0000H にならず、割り込みは発生しません。チャネル 1、3 の TAUDTTOUTm は、アクティブ状態のままになります。

(b)　TAUDTTOUTm（スレーブ 1）= TAUDTTOUTm（slave 3）

図16.107には以下の値が適用されます。

- TAUDCDRm（マスタ）= 000AH
- TAUDCDRm（スレーブ 1）= 0005H
- TAUDCDRm（スレーブ 2）= 0000H
- TAUDCDRm（スレーブ 3）= 0005H

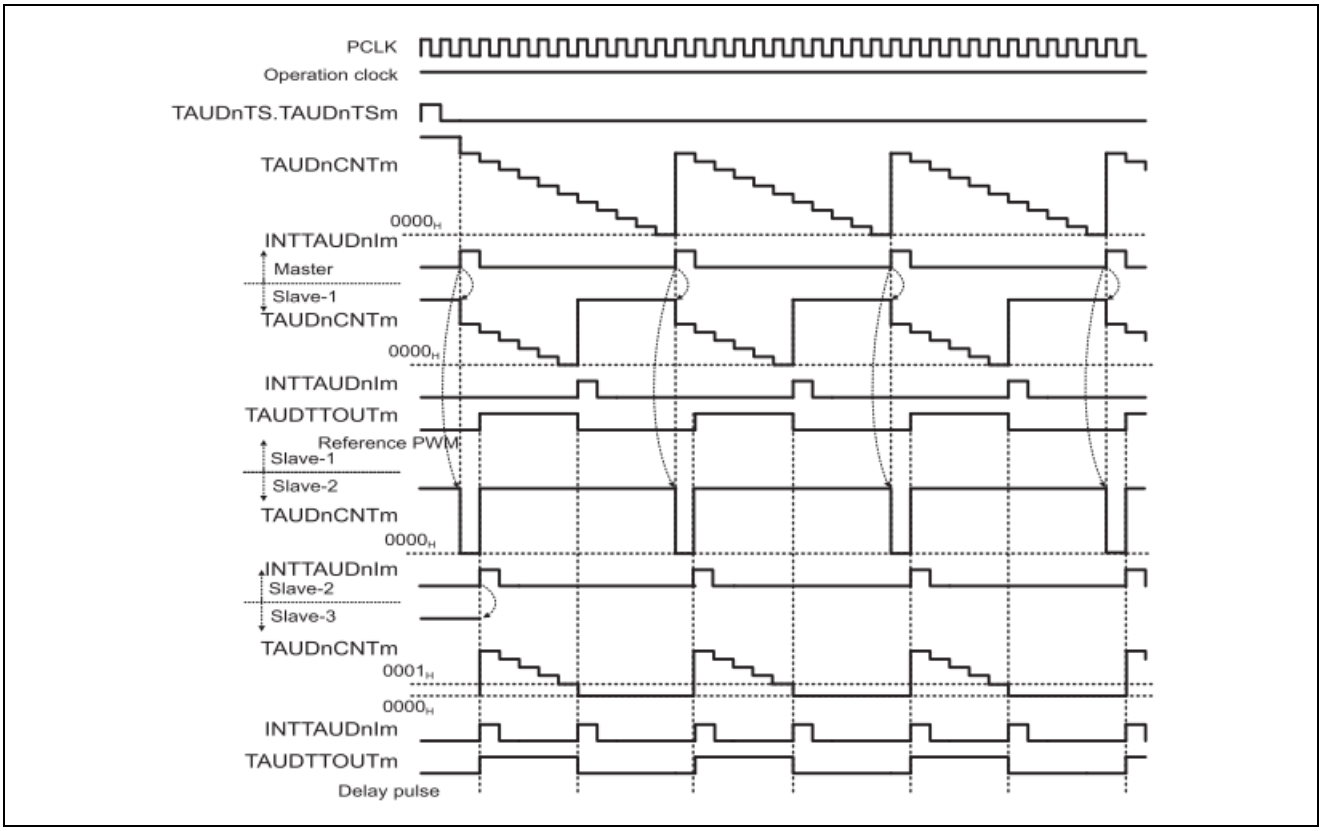


図16.107　TAUDTTOUTm（スレーブ 1）= TAUDTTOUTm（スレーブ 3）

- TAUDCDRm（スレーブ 2）= 0000H の場合、スレーブチャネル 3 のカウンタはスレーブチャネル 1 のカウンタより 1 クロックカウント後にカウントを開始します。基本パルスとディレイパルスは 1 クロックカウントの遅延で出力されます。

16.15.5 オフセットトリガ出力機能

(1) 概要

(a) 概要

マスタチャネルとスレーブチャネルをひとつずつ使用して、PWM 出力を生成する機能です。これにより、TAUDTTOUTm のパルス幅（期間）を設定できます。パルス周期はマスタチャネルの有効な入力エッジを検出して設定します。パルス幅はスレーブチャネルで設定します。

(b) 前提条件

- 2 チャネル
- マスタチャネルの動作モードは、キャプチャモードに設定する必要があります（「表16.140 オフセットトリガ出力機能のマスタチャネルのTAUDCMORmレジスタの内容」参照）。
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（「表16.143 オフセットトリガ出力機能のスレーブチャネルのTAUDCMORmレジスタの内容」参照）。
- スレーブチャネルの出力モードは、チャネル連動出力モード 1 に設定する必要があります（「16.7 チャネル出力モード」参照）。
- この機能では、マスタチャネルで TAUDTTOUTm は使用しません。

(c) 機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が開始されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。マスタチャネルのカウンタ（TAUDCNTm）は 0000H からアップカウントを開始します。

- マスタチャネル：
  有効な TAUDTTINm 入力エッジが検出されると、カウンタ（TAUDCNTm）の現在値がマスタチャネルのデータレジスタ（TAUDCDRm）にロードされます。そして INTTAUDIm が発生し、カウンタは 0000H からアップカウントを再開します。
- スレーブチャネル：
  マスタチャネルで INTTAUDIm が発生すると、TAUDTTOUTm 信号（スレーブ）がセットされ、スレーブチャネルのカウンタ動作がトリガされます。TAUDCDRm（スレーブ）の現在値が TAUDCNTm（スレーブ）にロードされ、カウンタはその TAUDCDRm 値からダウンカウントを開始します。カウンタ値が 0000H になると（デューティ時間が経過すると）、INTTAUDIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは FFFFH に戻り、マスタチャネルの次の INTTAUDIm を待ちます。

マスタ／スレーブチャネルの TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDTS.TAUDTSm を“1”に設定すると、カウントを再開できます。

(2)　算出式

パルス幅 =（TAUDCDRm（スレーブ））×カウントクロック周期

デューティサイクル[%] = [TAUDCDRm（スレーブ）／（TAUDCDRm（マスタ）+ 1）] ×100

- デューティサイクル = 0%
  TAUDCDRm（スレーブ）= 0000H
- デューティサイクル = 100%
  TAUDCDRm（スレーブ）≧TAUDCDRm（マスタ）+ 1

(3)　ブロック図と基本タイミング図

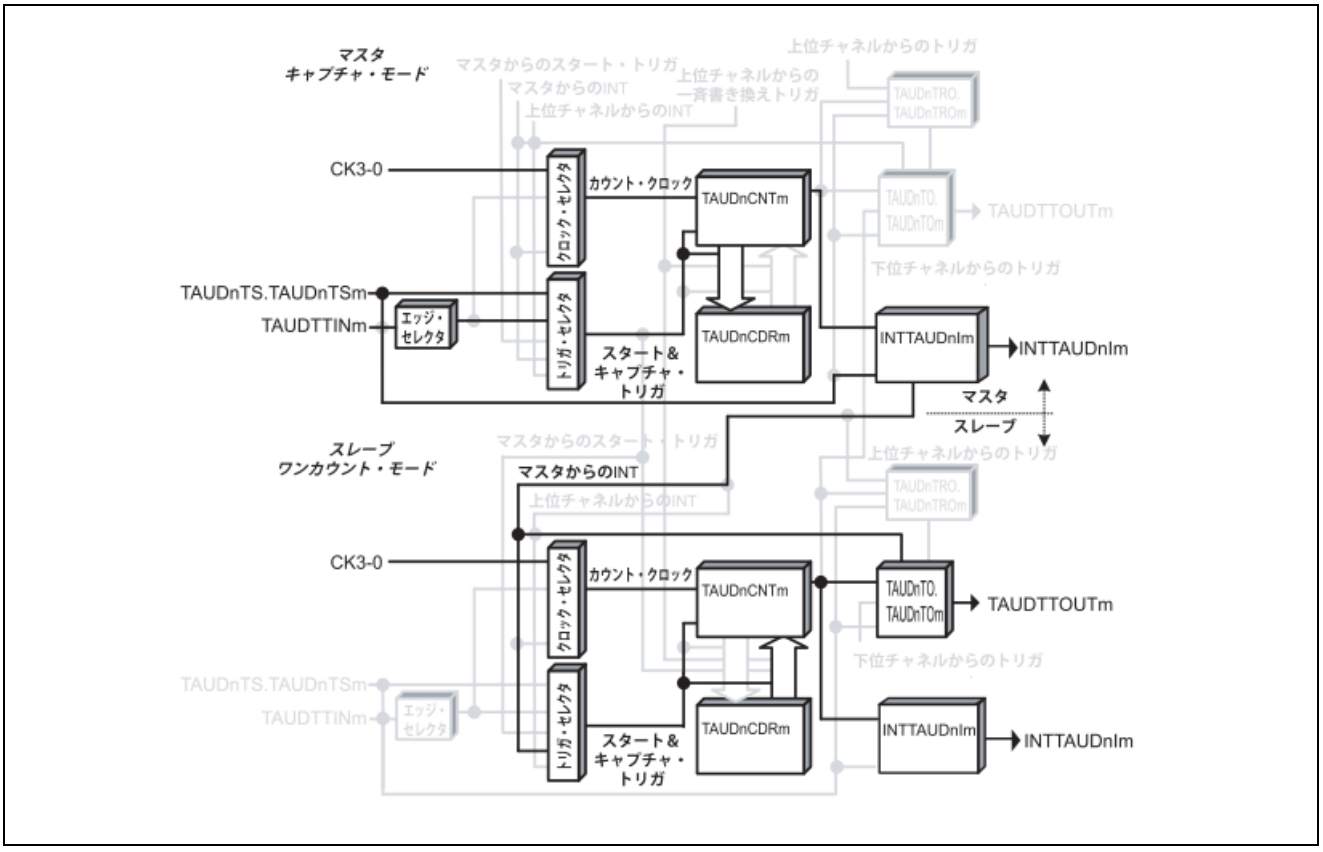


図16.108　オフセットトリガ出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）

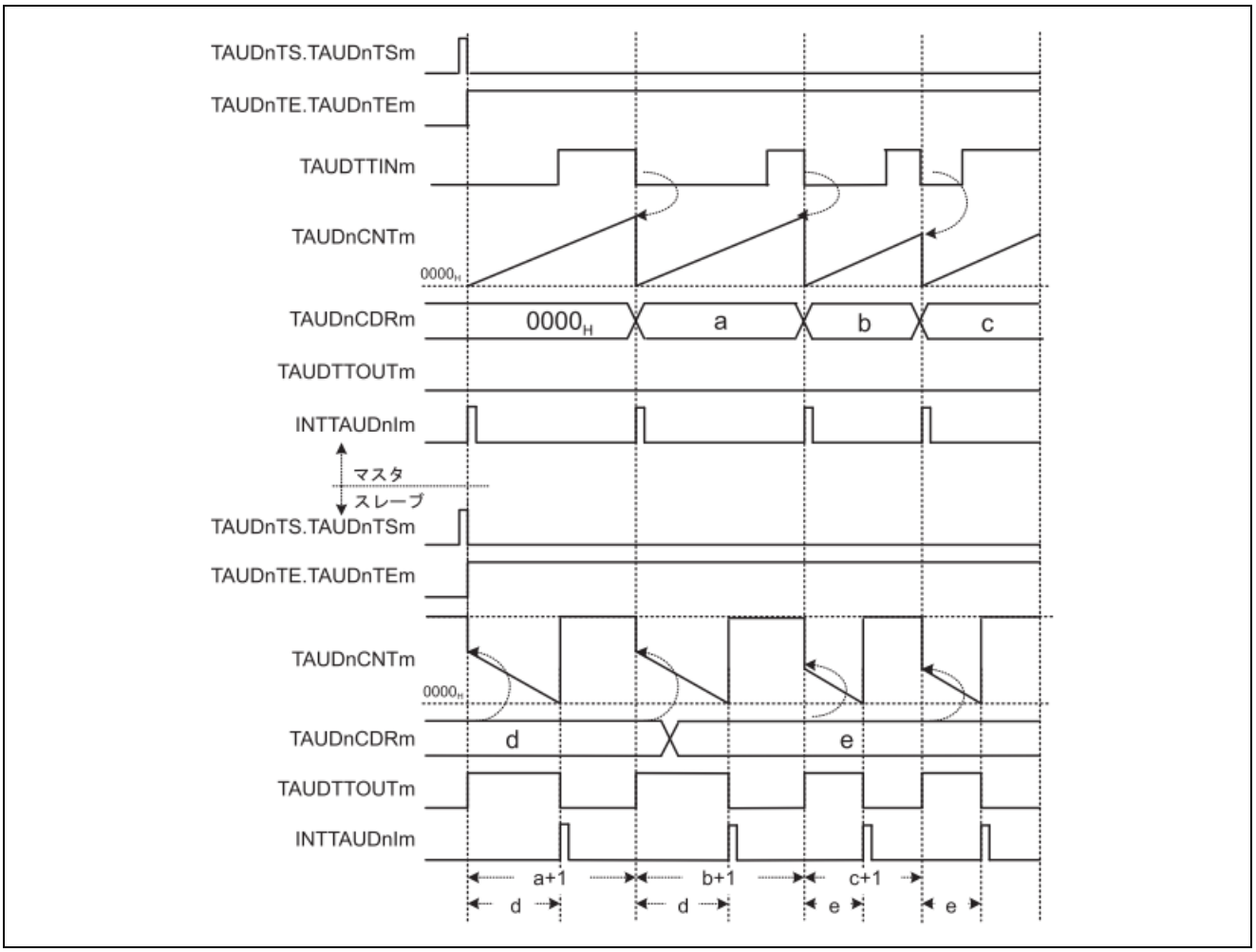


図16.109　オフセットトリガ出力機能の基本タイミング図

備考 スレーブチャネルの TAUDTTOUTm は、マスタチャネルの INTTAUDIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

(4) マスタチャネルのレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.140　オフセットトリガ出力機能のマスタチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	1：チャネルはマスタチャネル
10-8	TAUDSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号をスタートトリガとして使用
7-6	TAUDCOS[1:0]	11：TAUDTTINm 入力有効エッジ検出およびカウンタオーバフローの発生によって更新： ・ TAUDTTINm 入力有効エッジ検出： カウンタ値が TAUDCDRm に書き込まれます。 ・ オーバフロー発生： TAUDCDRm に FFFFH を書き込みます。 次に検出される TAUDTTINm 入力有効エッジは無視されます。 TAUDCSRm.TAUDOVF はカウンタオーバフロー時に設定され、CPU 命令（TAUDCSCm.TAUDCLOV に“1”設定）でクリアされます。
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0010：キャプチャモード
0	TAUDMD0	1：動作開始時に INTTAUDIm が発生する

(b)　TAUDCMURm

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUDTIS[1:0]	

表16.141　オフセットトリガ出力機能のマスタチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(c)　チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、オフセットトリガ出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表16.142　オフセットトリガ出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(5) スレーブチャネルのレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.143 オフセットトリガ出力機能のスレーブチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	100：マスタチャネルの INTTAUDIm がスタートトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0100：ワンカウントモード
0	TAUDMD0	1：カウント中のスタートトリガ検出許可

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.144 オフセットトリガ出力機能のスレーブチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.145　チャネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	1：チャネル連動動作
TAUDTOC.TAUDTOCm	0：動作モード 1
TAUDTOL.TAUDTOLm	0：正論理 1：負論理
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDTME.TAUDTMEm	0：変調禁止

(d)　一斉書き換え

一斉書き換えレジスタ（TAUDRDE、TAUDRDS、TAUDRDM、TAUDRDC）は、オフセットトリガ出力機能では使用できません。したがって、これらのレジスタは “0”に設定する必要があります。

表16.146　オフセットトリガ出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	一斉書き換え禁止時（TAUDRDE.TAUDRDEm = 0）、“0”を設定
TAUDRDM.TAUDRDMm	
TAUDRDC.TAUDRDCm	

(6) オフセットトリガ出力機能の操作手順

表16.147 オフセットトリガ出力機能時の操作手順

	操作	TAUD の状態
チャネルの初期設定	マスタチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.5(4) マスタチャネルのレジスタ設定」に示すように設定します。 スレーブチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.5(5) スレーブチャネルのレジスタ設定」に示すように設定します。 マスタチャネルの TAUDCDRm レジスタはキャプチャレジスタとして動作します。 スレーブチャネルの TAUDCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDTS.TAUDTSm を同時に“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm（マスタ／スレーブチャネル）が“1”に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 ・ TAUDCNTm（マスタ）がアップカウントを行います。 ・ TAUDCDRm の値を TAUDCNTm（スレーブ）にロードし、ダウンカウントを行います。 マスタチャネルで INTTAUDIm が発生し、TAUDTTOUTm（スレーブ）がセットされます。
動作中	TAUDCDRm は任意のタイミングで変更可能です。 TAUDCSCm.TAUDCLOV は“1”に設定可能です。 スレーブチャネルの TAUDCDRm は INTTAUDIm（マスタ）発生後、変更可能です。 TAUDCNT.TAUDCNTm と TAUDCSR.TAUDCSRm は任意のタイミングで読み出し可能です。	スレーブチャネルの TAUDCNTm が 0000H になった場合： ・ INTTAUDIm（スレーブ）が発生します。 ・ TAUDTTOUTm（スレーブ）がリセットされ、スレーブのカウントが停止します。 マスタチャネルで TAUDTTINm 入力エッジが検出された場合： ・ INTTAUDIm（マスタ）が発生します。 ・ TAUDCNTm（マスタ）は 0000H にリセットされ、その後カウント動作を継続します。 ・ 再び TAUDCDRm の値を TAUDCNTm（スレーブ）にロードし、ダウンカウントを行います。 ・ TAUDTTOUTm（スレーブ）がセットされます。
動作停止	マスタチャネルとスレーブチャネルの TAUDTT.TAUDTTm を同時に“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開 →

(7)　特定のタイミング図

(a)　デューティサイクル = 0%

この図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）

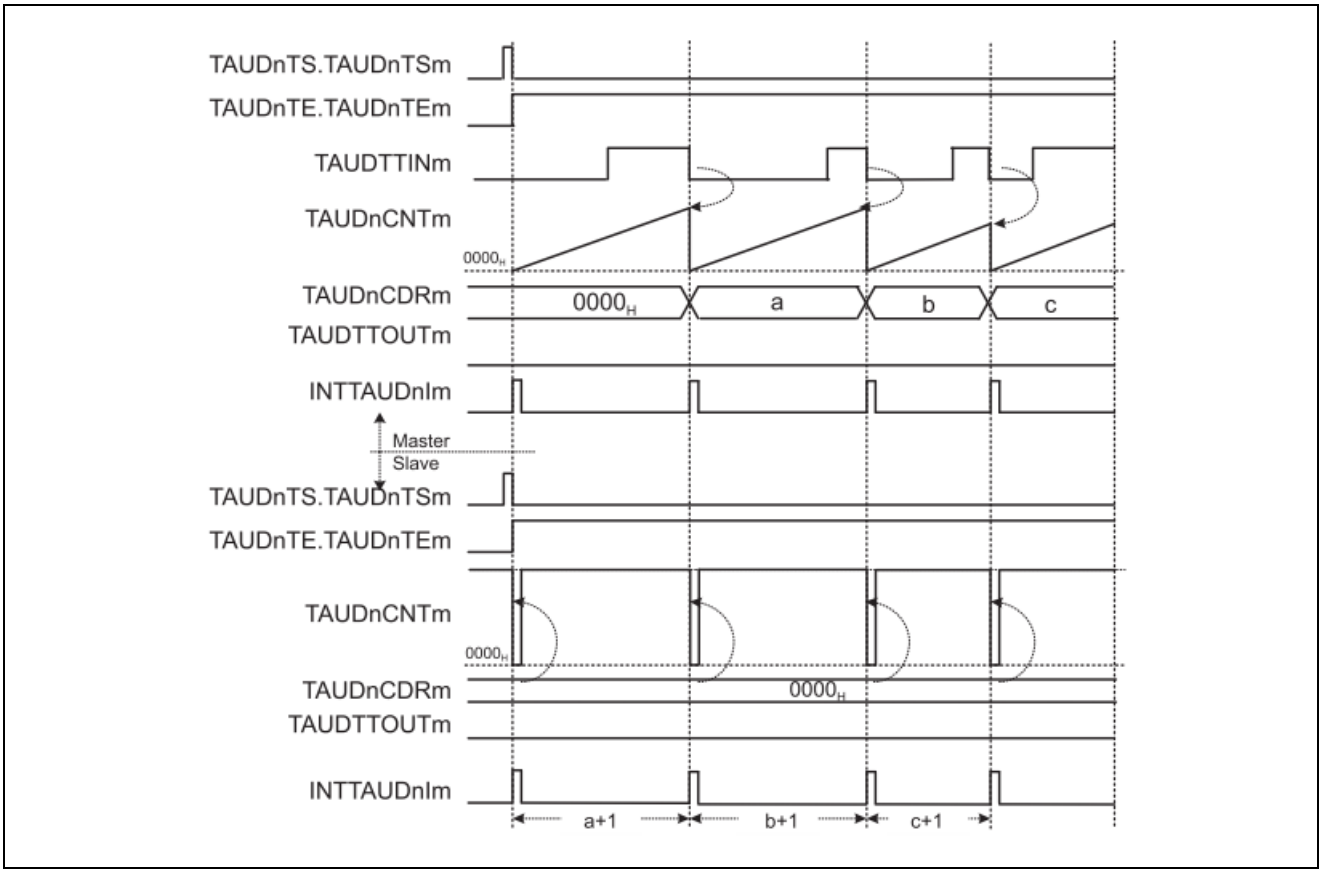


図16.110　TAUDCDRm（slave）= 0000H

- TAUDCDRm（スレーブ）= 0000H の場合は、マスタチャネルが割り込み（INTTAUDIm）を発生するたびに TAUDCNTm に 0000H が書き込まれ、TAUDCNTm はカウントを開始できません。TAUDTTOUTm は非アクティブ状態のままです。
- TAUDCNTm（スレーブ）は、TAUDCDRm の値がリロードされるたびに割り込みを発生します。スレーブチャネルとマスタチャネルは同じ周期で割り込みを発生します。

(b)　デューティサイクル = 100%

この図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDCMURm.TAUDTIS[1:0] = 00B）

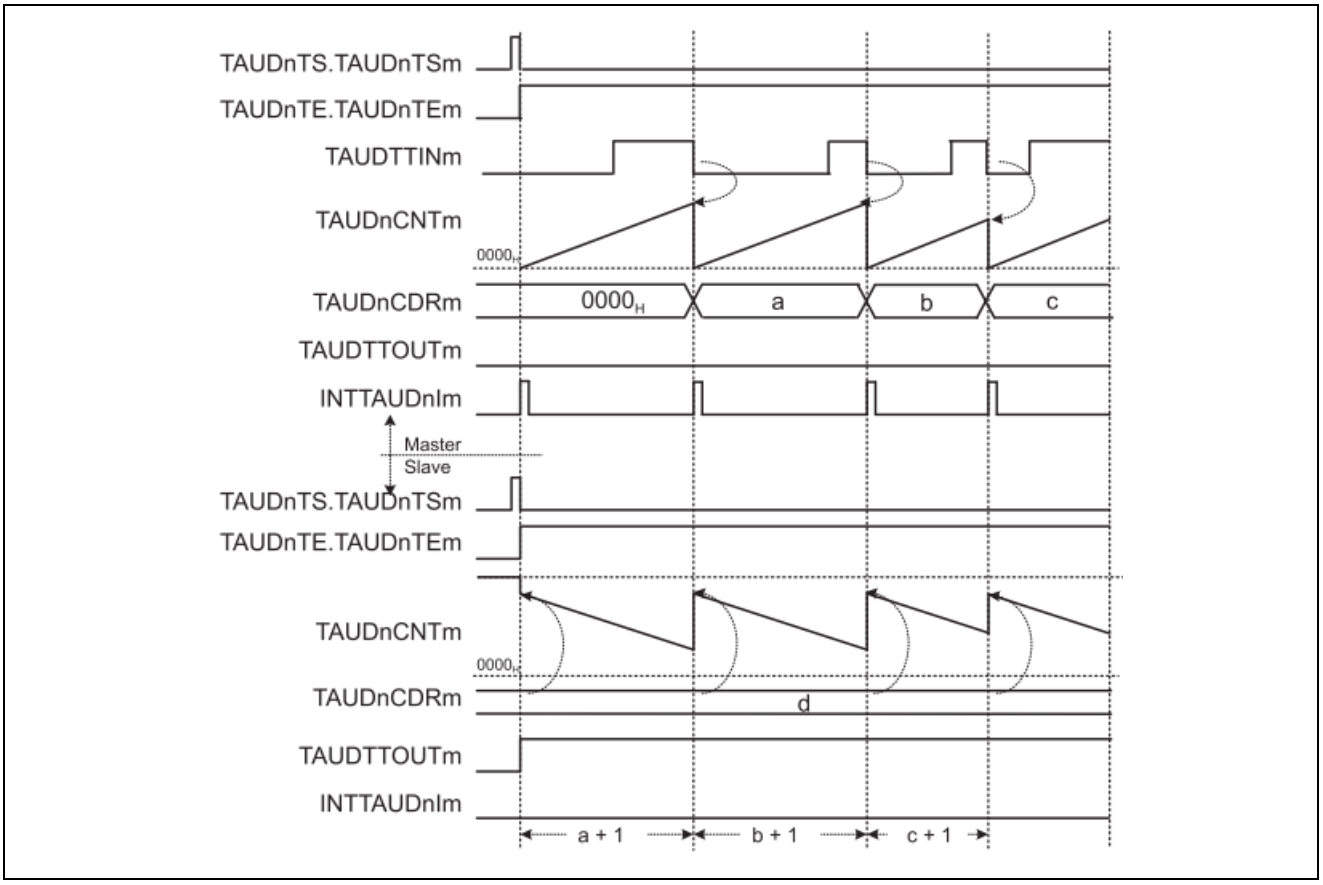


図16.111　TAUDCDRm（slave）≧TAUDCDRm（master）+ 1

- TAUDCDRm（スレーブ）の値が有効な入力エッジのインターバルを超える場合は、スレーブチャネルのカウンタは 0000H にはならず、割り込みは発生しません。TAUDTTOUTm はアクティブ状態のままになります。

16.15.6　A/D 変換トリガ出力機能タイプ 1

(1)　概要

(a)　概要

この機能は、TAUDTTOUTm が出力されないという点を除き、「16.15.1. PWM出力機能」と同じです。スレーブチャネルの出力モードをソフトウェア制御のチャネル単体出力モードに設定することにより、この機能が有効になります。

(2)　ブロック図と基本タイミング図

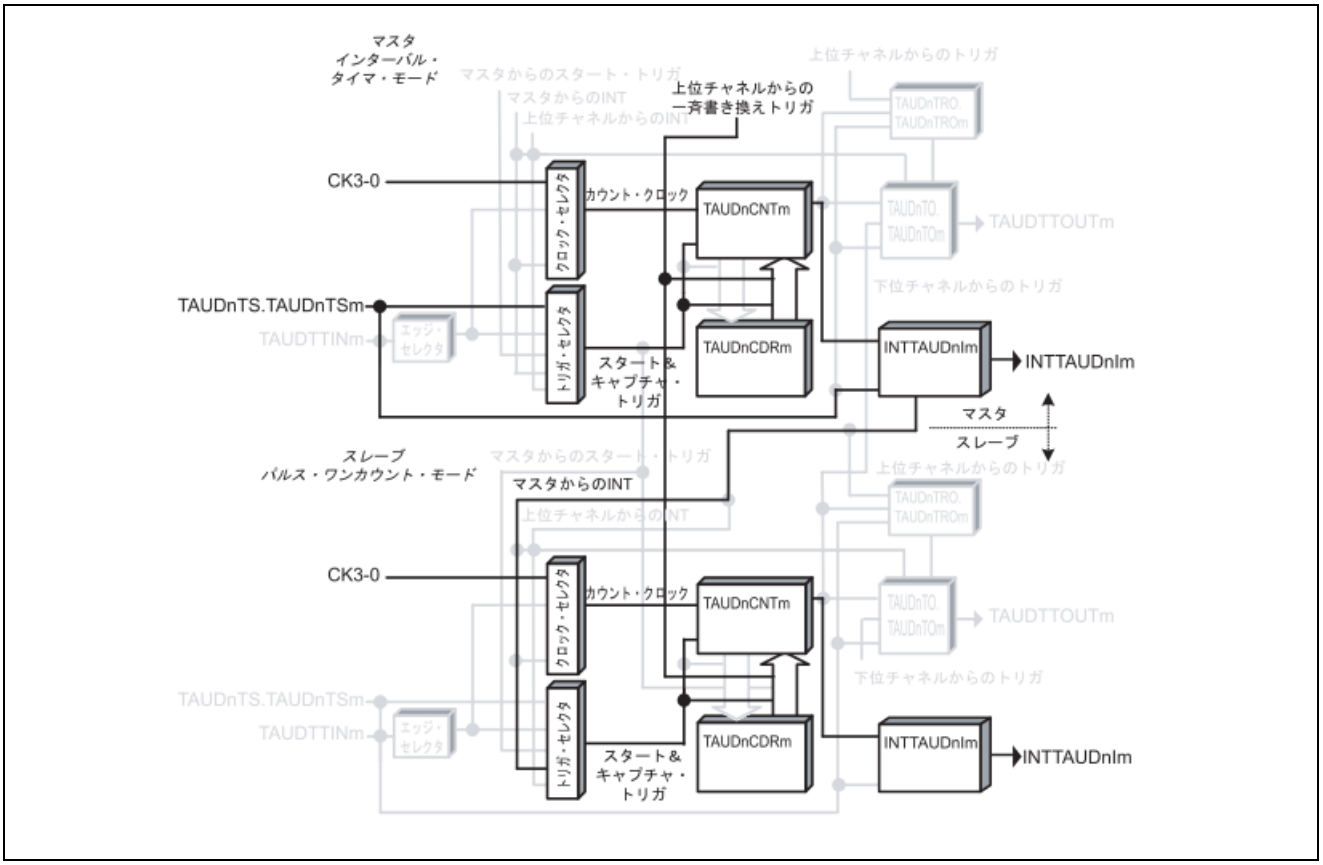


図16.112　A/D 変換トリガ出力機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

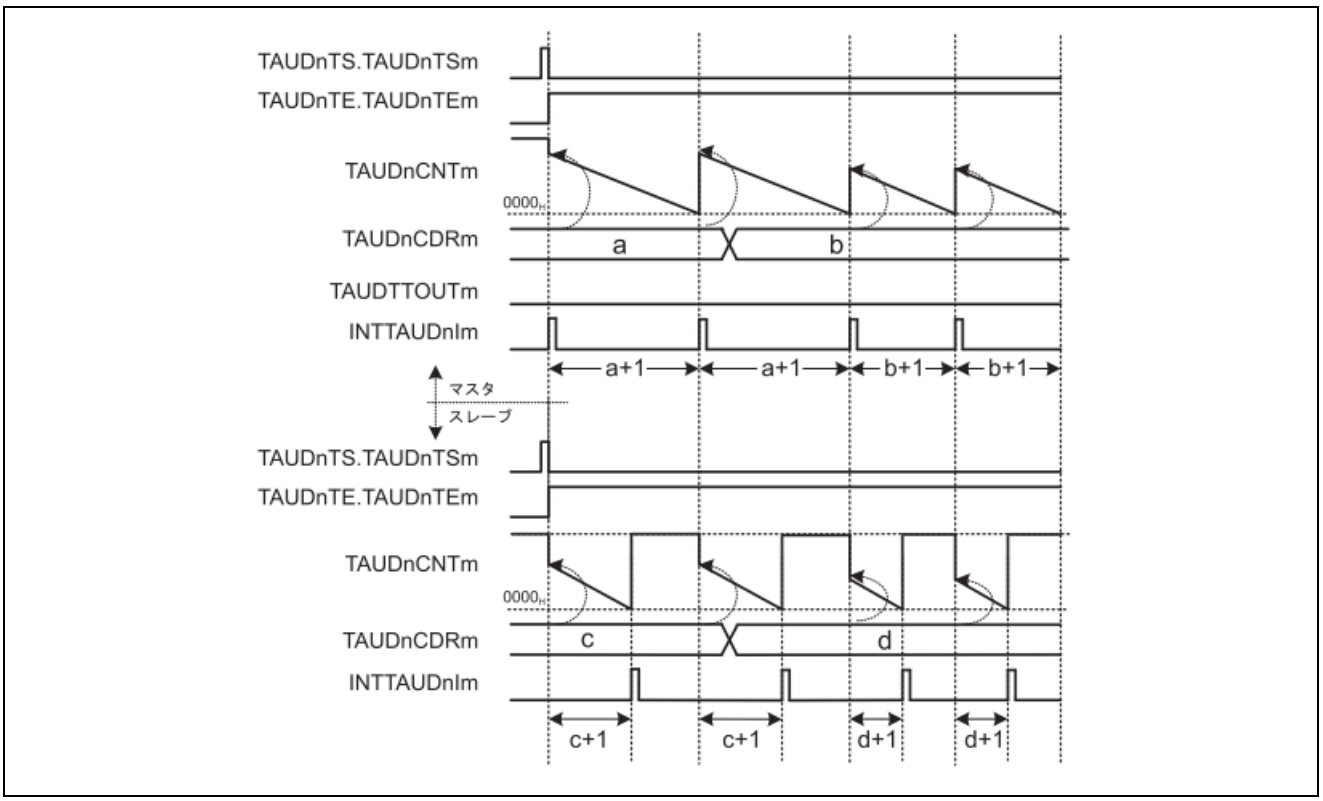


図16.113　A/D 変換トリガ出力機能タイプ 1 の基本タイミング図

16.15.7　三角波 PWM 出力機能

(1)　概要

(a)　概要

マスタチャネルと 1 つ以上のスレーブチャネルを使用することで、複数の三角波 PWM 出力信号を生成する機能です。マスタ／スレーブチャネルを用いて、TAUDTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。キャリア周期はマスタチャネルで生成します。マスタチャネルの 1 周期目はスレーブカウンタのダウンステータスを、2 周期目はアップステータスを制御します。

(b)　前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「表16.148 三角波PWM出力機能のマスタチャネルのTAUDCMORmレジスタの内容」参照）。
- スレーブチャネルの動作モードは、アップ／ダウンカウントモードに設定する必要があります（「表16.152 三角波PWM出力機能のスレーブチャネルのTAUDCMORmレジスタの内容」参照）。
- マスタチャネルの出力モードは、チャネル単体出力モード 1 に設定する必要があります（「16.7. チャネル出力モード」参照）。
- スレーブチャネルの出力モードは、チャネル連動出力モード 2 に設定する必要があります（「16.7 チャネル出力モード」参照）。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUDTTOUTm 信号がハイレベルになります。
  - TAUDCMORm.TAUDMD0（マスタ）ビットが“0”に設定されている場合、TAUDTOE.TAUDTOEm が“0”の間、TAUDTO.TAUDTOm を“1”に設定する必要があります。（推奨設定）
  - TAUDCMORm.TAUDMD0（マスタ）ビットが“1”に設定されている場合、TAUDTOE.TAUDTOEm が“0”の間、TAUDTO.TAUDTOm を“0”に設定する必要があります。

(c) 機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、すべてのチャネルでカウンタ動作が許可されます。これにより TAUDTE.TAUDTEm が設定され、カウントが可能になります。TAUDCDRm（マスタ／スレーブ）の値が TAUDCNTm（マスタ／スレーブ）にロードされ、カウンタはその TAUDCDRm 値からダウンカウントを開始します。マスタチャネルの TAUDCMORm.TAUDMD0 ビットが“1”に設定されている場合は、割り込みが発生し、マスタの TAUDTTOUTm 信号がトグルされます。

- マスタチャネル：
  マスタチャネルのカウンタ値が 0000H になると（パルス周期が経過すると）、INTTAUDIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、再び TAUDCDRm の値を TAUDCNTm にロードし、ダウンカウントを行います。
- スレーブチャネル：
  マスタチャネルで INTTAUDIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。
  - スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。
  - スレーブのカウンタがアップカウント中の場合は、再び TAUDCDRm の値がロードされ、カウンタはダウンカウントを開始します。
- スレーブチャネルのカウンタがアップ／ダウンカウント中に 0001H になると、INTTAUDIm が発生し、TAUDTTOUTm（スレーブ）信号がセット／リセットされます。カウンタはアップ／ダウンカウントを続け、マスタチャネルの次の INTTAUDIm を待ちます。TAUDTOL.TAUDTOLm を設定することにより、動作中に TAUDTTOUTm 信号の正相／逆相を切り替えることができます。

マスタ／スレーブチャネルの TAUDTT.TAUDTTm を“1”に設定すると、カウンタの動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。

(d) 条件

この機能では一斉書き換えを行うことができます。「16.6. 一斉書き換え」を参照してください。

(2) 算出式

パルス周期 =（TAUDCDRm（マスタ）+ 1）×カウントクロック周期
　0000H≦TAUDCDRm（マスタ）＜FFFFH
キャリア周期（ダウン／アップ）=（TAUDCDRm（マスタ）+ 1）× 2 × カウントクロック周期
　デューティサイクル [%] = [（TAUDCDRm（マスタ）+ 1
　- TAUDCDRm（スレーブ））／（TAUDCDRm（マスタ）+ 1）]× 100

- デューティサイクル = 100%
  TAUDCDRm（スレーブ）= 0000H
- デューティサイクル = 0%
  TAUDCDRm（スレーブ）≧ TAUDCDRm（マスタ）+ 1

(3) ブロック図と基本タイミング図

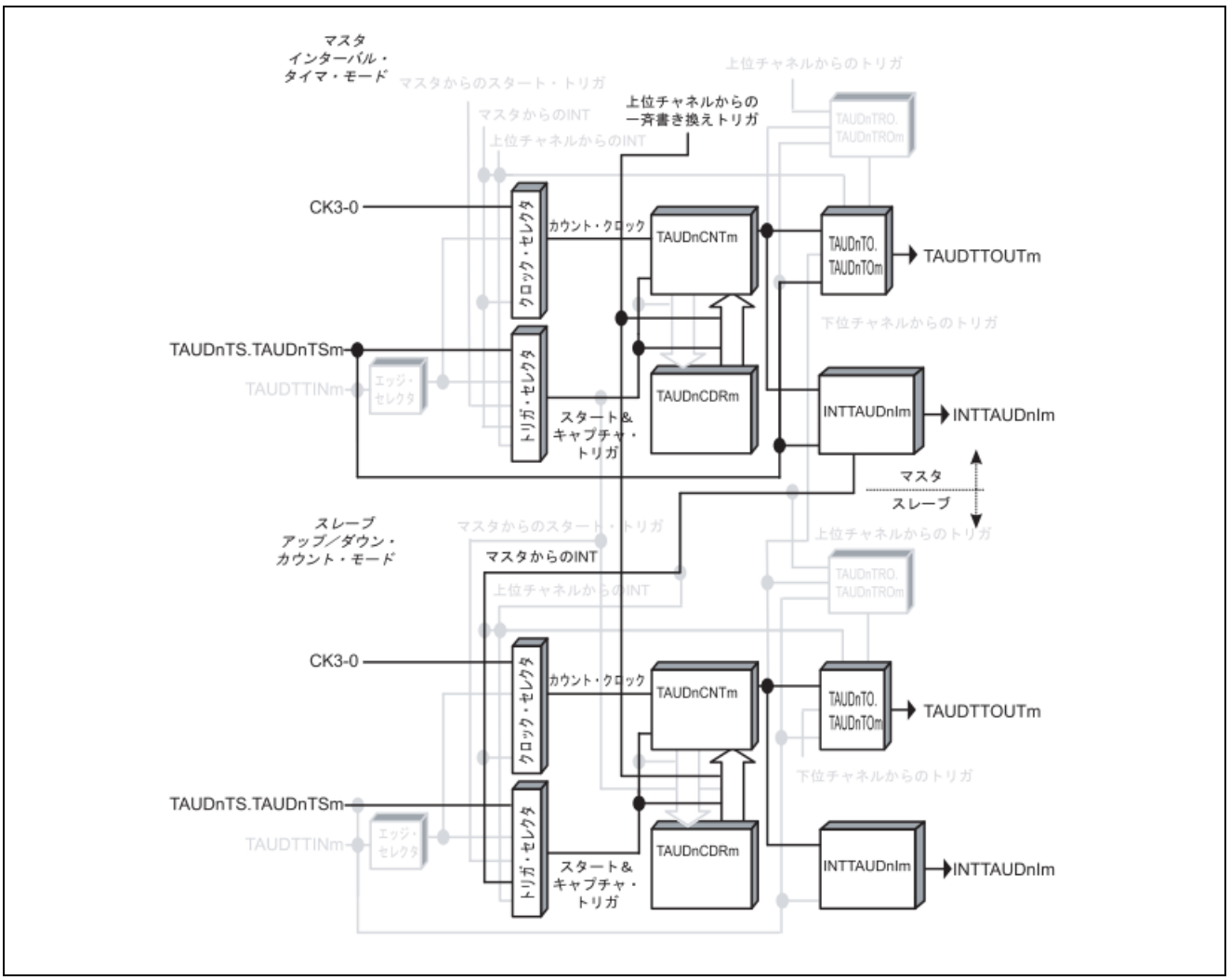


図16.114 三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル
  動作開始時に INTTAUDIm が発生する（TAUDCMORm.TAUDMD0 = 1）

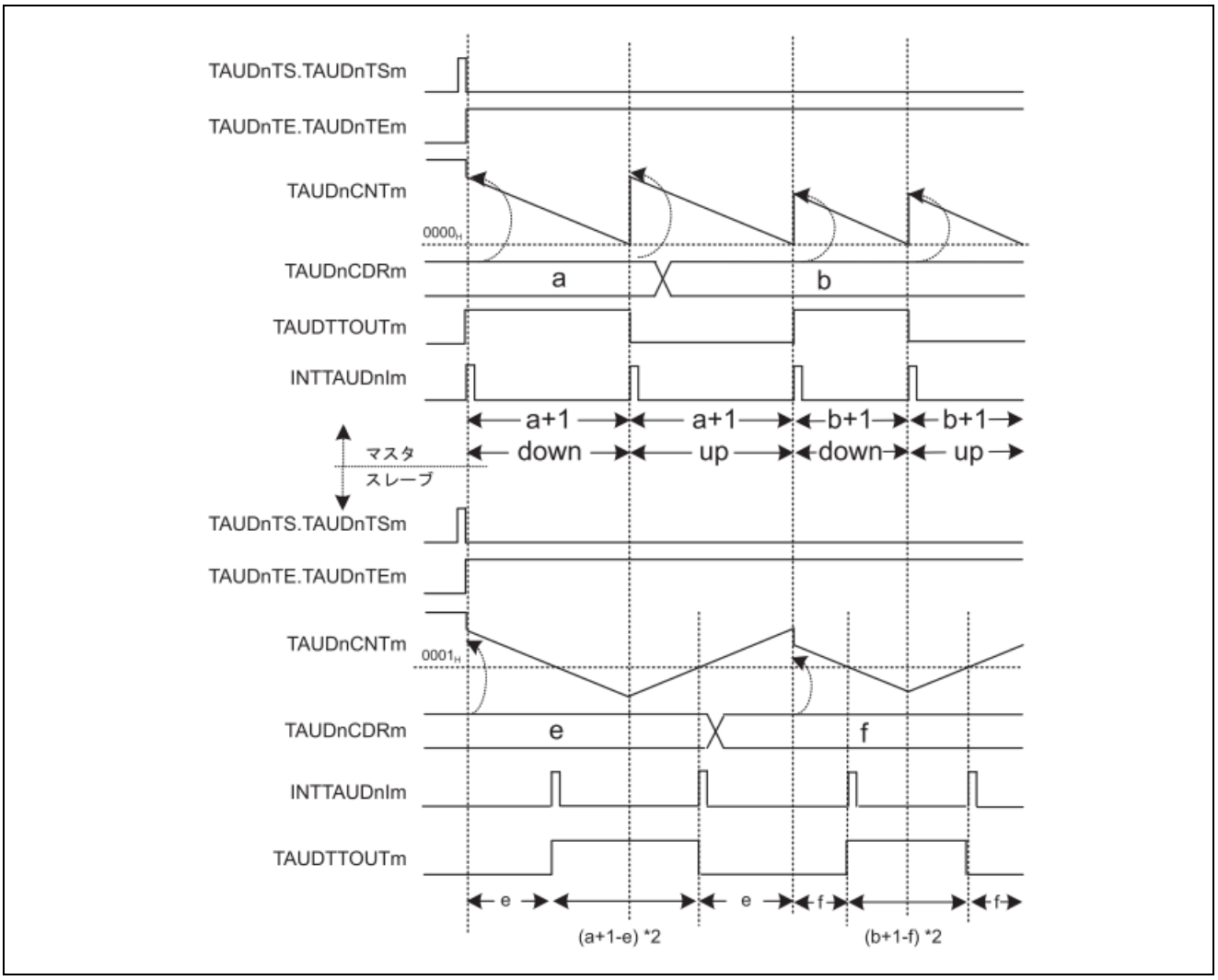


図16.115　三角波 PWM 出力機能の基本タイミング図

(4)　マスタチャネルのレジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.148　三角波 PWM 出力機能のマスタチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	1：チャネルはマスタチャネル
10-8	TAUDSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0000：インターバルタイマモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDIm が発生し、TAUDTTOUTm はトグルされる

(b)　TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.149　三角波 PWM 出力機能のマスタチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.150　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	0：チャネル単体出力
TAUDTOC.TAUDTOCm	0：動作モード 1（TAUDTOM.TAUDTOMm = 0 時はトグルモード）
TAUDTOL.TAUDTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDTME.TAUDTMEm	0：変調禁止

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.151　三角波 PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDRDM.TAUDRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、 対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備考 TAUDRDS.TAUDRDSm = 1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

(5) スレーブチャネルのレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.152　三角波 PWM 出力機能のスレーブチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	111：マスタチャネルのアップ／ダウン出力トリガ信号
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	1001：アップ／ダウンカウントモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生しない

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.153　三角波 PWM 出力機能のスレーブチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.154　チャネル連動出力モード 2 のときの制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	1：チャネル連動動作
TAUDTOC.TAUDTOCm	1：動作モード 2
TAUDTOL.TAUDTOLm	0：正論理 1：負論理
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDTME.TAUDTMEm	0：変調禁止

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.155　三角波 PWM 出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDRDM.TAUDRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、 対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

(6)　三角波 PWM 出力機能時の操作手順

表16.156　三角波 PWM 出力機能時の操作手順

	操作	TAUD の状態
チャネルの初期設定	マスタチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.7(4) マスタチャネルのレジスタ設定」に示すように設定します。 スレーブチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.7(5) スレーブチャネルのレジスタ設定」に示すように設定します。 全チャネルの TAUDCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDTS.TAUDTSm を同時に“1”に設定します。TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm（マスタ/スレーブチャネル）が“1”に設定され、マスタ/スレーブチャネルのカウンタが動作を開始します。マスタチャネルで TAUDCMORm.TAUDMD0 が“1”に設定されている場合は、INTTAUDIm（マスタ）が発生します。
動作中	TAUDCDRm は任意のタイミングで変更可能です。 TAUDTOL.TAUDTOLm は変更可能です。 TAUDCNTm と TAUDRSF.TAUDRSFm は任意のタイミングで読み出し可能です。 TAUDRDT.TAUDRDTm は動作中に変更可能です。	マスタ/スレーブチャネルの TAUDCDRm の値を TAUDCNTm にロードし、ダウンカウントを行います。 マスタチャネルのカウンタが 0000H になった場合： ・ INTTAUDIm（マスタ）が発生します。 ・ TAUDTTOUTm（マスタ）がトグルされます。 ・ 再び TAUDCDRm の値を TAUDCNTm（マスタ）にロードし、カウント動作を継続します。 ・ 再び TAUDCDRm の値を TAUDCNTm（スレーブ）にロードするか、反対方向のカウントを開始します。 スレーブチャネルの TAUDCNTm が 0001H になった場合： ・ INTTAUDIm（スレーブ）が発生します。 ・ TAUDTTOUTm（スレーブ）は、ダウンカウント状態ではセット、アップカウント状態ではリセットされます。
動作停止	マスタチャネルとスレーブチャネルの TAUDTT.TAUDTTm を同時に“1”に設定します。TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開 ▶

(7)　特定の設定時のタイミング図

(a)　デューティサイクル = 0%

この図での設定は次のようになっています。

- マスタチャネル：
  - 動作開始時に INTTAUDIm が発生する（TAUDCMORm.TAUDMD0 = 1）
  - TAUDCDRm = a = 5H
- スレーブチャネル：
  - TAUDCDRm = 6H

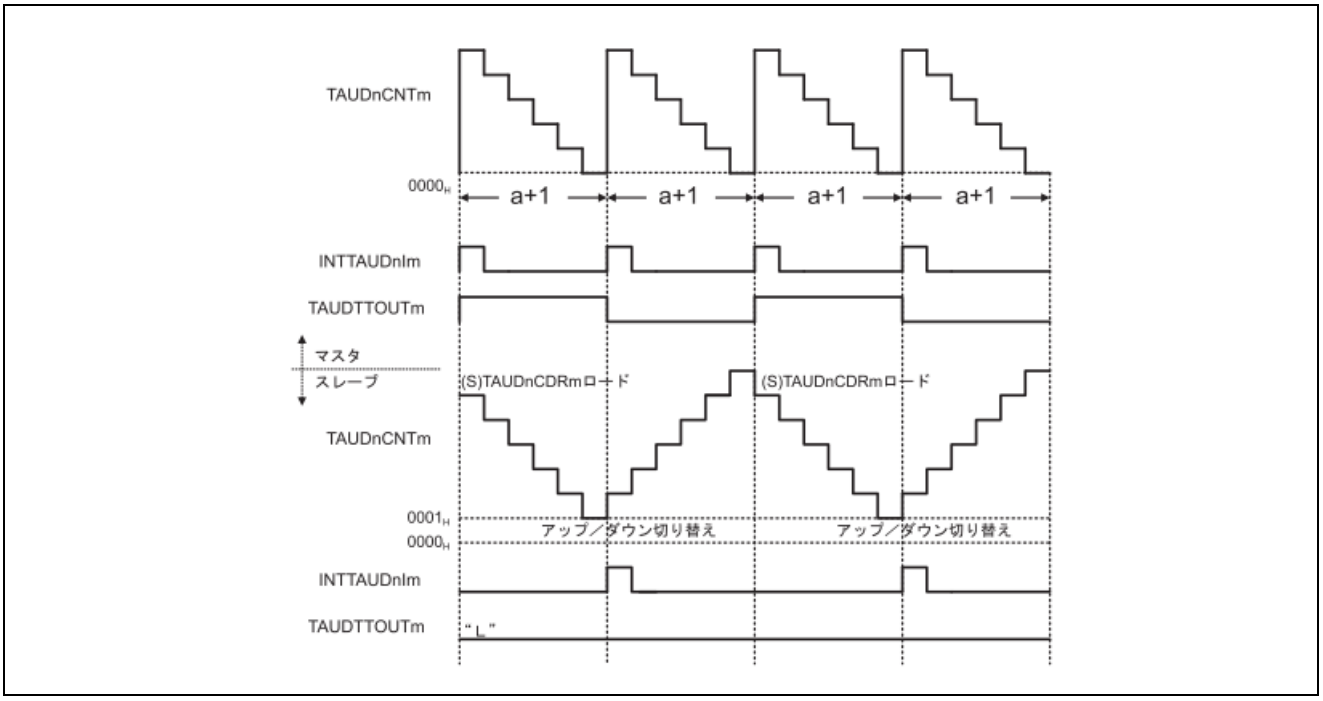


図16.116　TAUDCDRm（スレーブ）≧TAUDCDRm（マスタ）+ 1

- TAUDCDRm（スレーブ）値が TAUDCDRm（マスタ）値以上の場合、スレーブチャネルのカウンタはダウンカウント中、0001H になりません。セット信号が検出されることがないため、TAUDTTOUTm はロウレベル状態のままになります。

(b)　デューティサイクル = 100%

この図での設定は次のようになっています。

- マスタチャネル：
  - 動作開始時に INTTAUDIm が発生する（TAUDCMORm.TAUDMD0 = 1）
  - TAUDCDRm = a = 5H
- スレーブチャネル：
  - TAUDCDRm = 0H

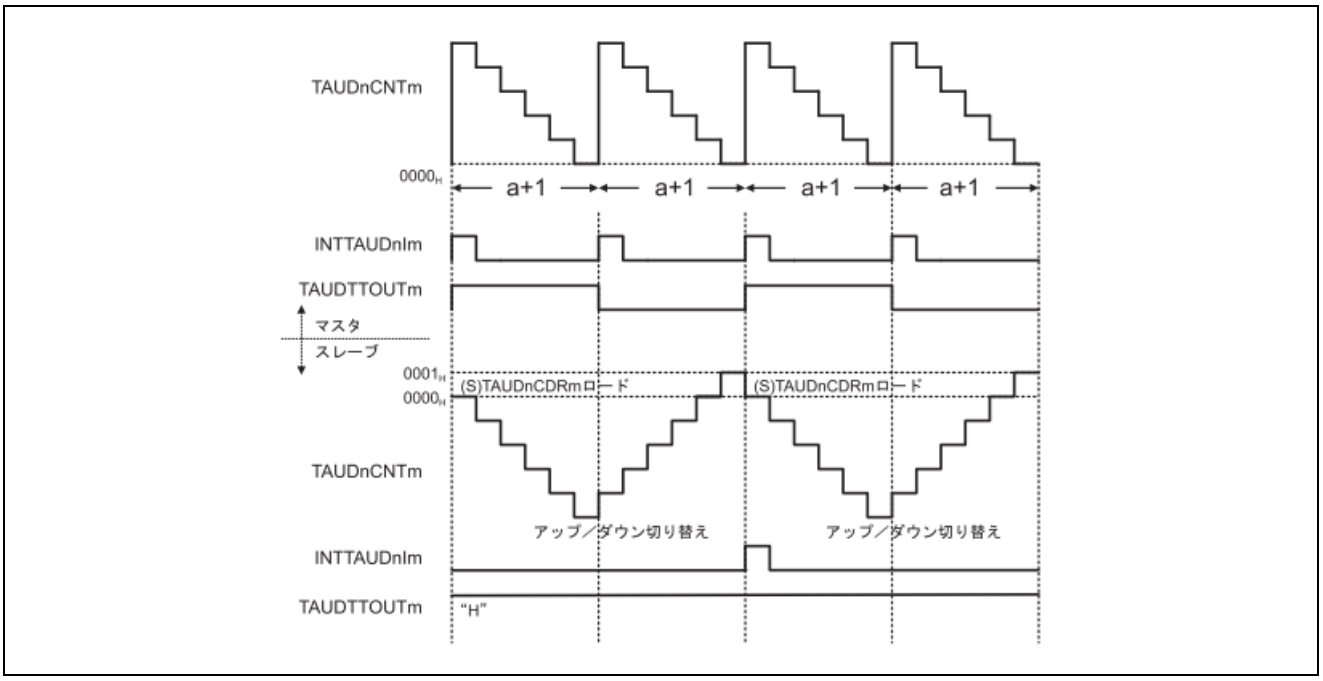


図16.117　TAUDCDRm（スレーブ）= 0000H

- TAUDCDRm（スレーブ）= 0000H の場合、スレーブチャネルのカウンタはアップカウント中、0001H になりません。リセット信号が検出されることがないため、TAUDTTOUTm はハイレベル状態のままになります。

16.15.8　デッドタイム付き三角波 PWM 出力機能

(1)　概要

(a)　概要

マスタチャネルと 2 つ以上のスレーブチャネルを使用することで、複数の三角波 PWM 出力信号をあらかじめ定義されたデッドタイムを付加して生成する機能です。デッドタイムが付加された PWM 信号は、スレーブチャネル 2/3 の TAUDTTOUTm から出力されます。これにより、マスタ／スレーブチャネルを使って TAUDTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャネルで生成します。1 周期目のパルスはスレーブカウンタのダウンステータスを、2 周期目のパルスはアップステータスを制御します。

スレーブ 2 で割り込みが発生すると、スレーブチャネルの TAUDTTOUTm がセット／リセットされます。TAUDTDL.TAUDTDLm の設定によって、信号の正論理側または負論理側に遅延時間が付加されます（TAUDTTOUTm がただちにセット／リセットされるのか、デッドタイム経過後にセット／リセットされるのかを設定）。デッドタイム時間はスレーブチャネル 3 で設定します。

(b)　前提条件

- 3 チャネル。スレーブチャネル 2 と 3 は、偶数チャネル CH（a）と奇数チャネル CH（a + 1）を選択してください。
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「表16.159 デッドタイム付き三角波PWM出力機能のマスタチャネルのTAUDCMORmレジスタの内容」参照）。
- この機能では、スレーブチャネル 1 は使用しません。そのため、スレーブチャネル 2 は必ず偶数チャネル（a）、スレーブチャネル 3 は奇数チャネル（a + 1）です。
- スレーブチャネル 2 の動作モードは、アップダウンモードに設定する必要があります（「表16.163 デッドタイム付き三角波PWM出力機能のスレーブチャネル2のTAUDCMORmレジスタの内容」参照）。また、スレーブチャネル 2 は偶数チャネルでなければなりません。
- スレーブチャネル 3 の動作モードは、ワンカウントモードに設定する必要があります（「表16.167 デッドタイム付き三角波PWM出力機能のスレーブチャネル3のTAUDCMORmレジスタの内容」参照）。また、スレーブチャネル 3 は奇数チャネルでなければなりません。
- マスタチャネルのチャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります（「16.7. チャネル出力モード」参照）。
- スレーブチャネル 2/3 の出力モードは、デッドタイム出力を行うチャネル連動出力モード 2 に設定する必要があります（「16.7. チャネル出力モード」参照）。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUDTTOUTm 信号がハイレベルになります。
  - TAUDCMORm.TAUDMD0（マスタ）ビットが“0”に設定されている場合、TAUDTOE.TAUDTOEm が“0”の間、TAUDTO.TAUDTOm を“1”に設定する必要があります。（推奨設定）
  - TAUDCMORm.TAUDMD0（マスタ）ビットが“1”に設定されている場合、TAUDTOE.TAUDTOEm が“0”の間、TAUDTO.TAUDTOm を“0”に設定する必要があります。

備考 デッドタイム付き三角波 PWM 出力機能では、スレーブチャネル 1 を使用しません。

(c)　機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ動作が開始されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。TAUDCDRm の現在値が TAUDCNTm にロードされ、カウンタはその TAUDCDRm 値からダウンカウントを開始します。マスタチャネルの TAUDCMORm.TAUDMD0 ビットが“1”に設定されている場合は、割り込みが発生し、マスタの TAUDTTOUTm 信号がトグルされます。

- マスタチャネル：
  マスタチャネルのカウンタ値が 0000H になると、INTTAUDIm が発生し、TAUDTTOUTm 信号がトグルされます。再び TAUDCDRm の値をカウンタにロードし、ダウンカウントを行います。
- スレーブチャネル 2：
  マスタチャネルで INTTAUDIm が発生すると、スレーブチャネル 2 のカウンタ動作がトリガされます。
  - スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。
  - スレーブのカウンタがアップカウント中の場合は、再び TAUDCDRm の値がロードされ、カウンタはダウンカウントを開始します。

  カウンタはアップ／ダウンカウントを続け、マスタチャネルの次の INTTAUDIm を待ちます。
- スレーブチャネル 3：
  スレーブチャネル 2 で INTTAUDIm が発生すると、スレーブチャネル 3 のカウンタ動作がトリガされます。そして TAUDCDRm（スレーブ 3）の現在値が TAUDCNTm（スレーブ 3）にロードされ、カウンタはその TAUDCDRm 値からダウンカウントを開始します。
  カウンタ値が 0000H になると、INTTAUDIm が発生します。カウンタは FFFFH に戻り、スレーブチャネル 2 の次の INTTAUDIm を待ちます。

「表16.157 スレーブチャネル2で割り込みが発生した際のTAUDTTOUTmの動作」にあるように、対応するチャネルの TAUDTDL.TAUDTDLm 設定によって、セット／リセットのタイミング（割り込み発生直後またはデッドタイム経過後）が決まります。

また、TAUDTOL.TAUDTOLm の設定によって、対応チャネルからハイレベル信号を出力（TAUDTOL.TAUDTOLm = 0）するかロウレベル信号を出力（TAUDTOL.TAUDTOLm = 1）するかが決まります。

マスタ／スレーブチャネルの TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。

スレーブチャネル 2 の TAUDCDRm 値を 0000H にして、TAUDTTOUTm を 100%出力することができます。

(d)　条件

この機能では一斉書き換えを行うことができます。「16.6. 一斉書き換え」を参照してください。TAUDTOL.TAUDTOLm と TAUDTDL.TAUDTDLm の設定はカウント動作開始前に行う必要があり、スレーブチャネル 2 とスレーブチャネル 3 は TAUDTOL.TAUDTOLm か TAUDTDL.TAUDTDLm の設定が反対でなければなりません。

表16.157　スレーブチャネル 2 で割り込みが発生した際の TAUDTTOUTm の動作

TAUDTDL.TAUDTDLm	割り込み発生時のスレーブチャネル 2 のカウント方向	TAUDTTOUTm セット/リセットタイミング
0	ダウンカウント	デッドタイム経過後に設定
	アップカウント	割り込み発生直後にリセット
1	ダウンカウント	割り込み発生直後にセット
	アップカウント	デッドタイム経過後に設定

(e)　算出式

パルス周期 =（TAUDCDRm（マスタ）+ 1）×カウントクロック周期

0000H≦TAUDCDRm（マスタ）＜FFFFH

キャリア周期（ダウン／アップ）=（TAUDCDRm（マスタ）+ 1）× 2 × カウントクロック周期

PWM 信号幅（正相）= [（TAUDCDRm（マスタ）+ 1 - TAUDCDRm（スレーブ 2）× 2）
- （TAUDCDRm（スレーブ 3）+ 1）] × カウントクロック周期

PWM 信号幅（逆相）= [（TAUDCDRm（マスタ）+ 1 - TAUDCDRm（スレーブ 2）× 2）
+（TAUDCDRm（スレーブ 3）+ 1）] × カウントクロック周期

(2)　ブロック図と基本タイミング図

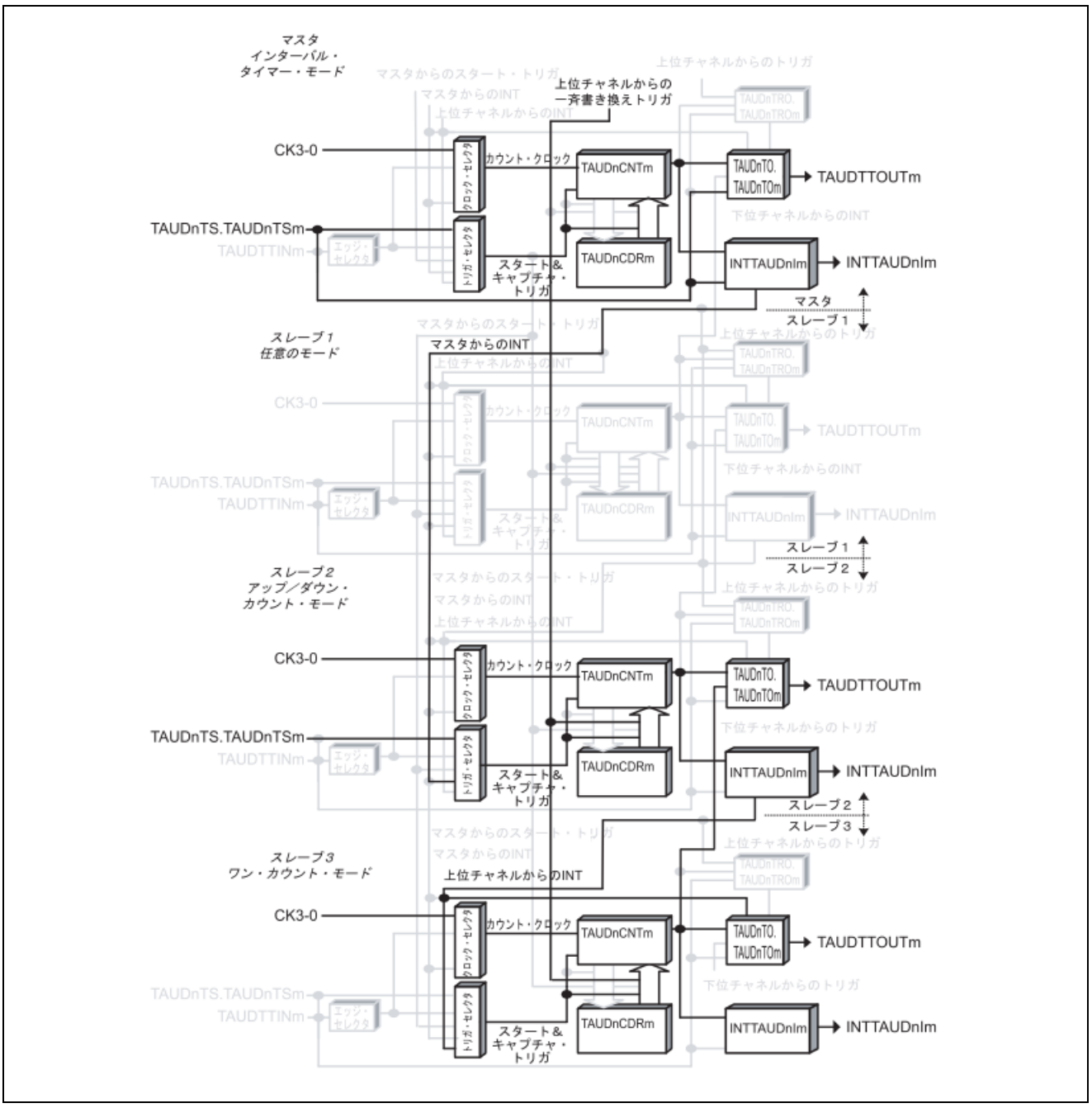


図16.118　デッドタイム付き三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル：
  - 動作開始時に INTTAUDIm が発生する（TAUDCMORm.TAUDMD0 = 1）
- スレーブチャネル 2：
  - 動作開始時に INTTAUDIm が発生しない（TAUDCMORm.TAUDMD0 = 0）
  - TAUDTDL.TAUDTDLm = 0
  - 正論理（TAUDTOL.TAUDTOLm = 0）
- スレーブチャネル 3：
  - 動作開始時に INTTAUDIm が発生する（TAUDCMORm.TAUDMD0 = 1）
  - TAUDTDL.TAUDTDLm = 1
  - 正論理（TAUDTOL.TAUDTOLm = 0）

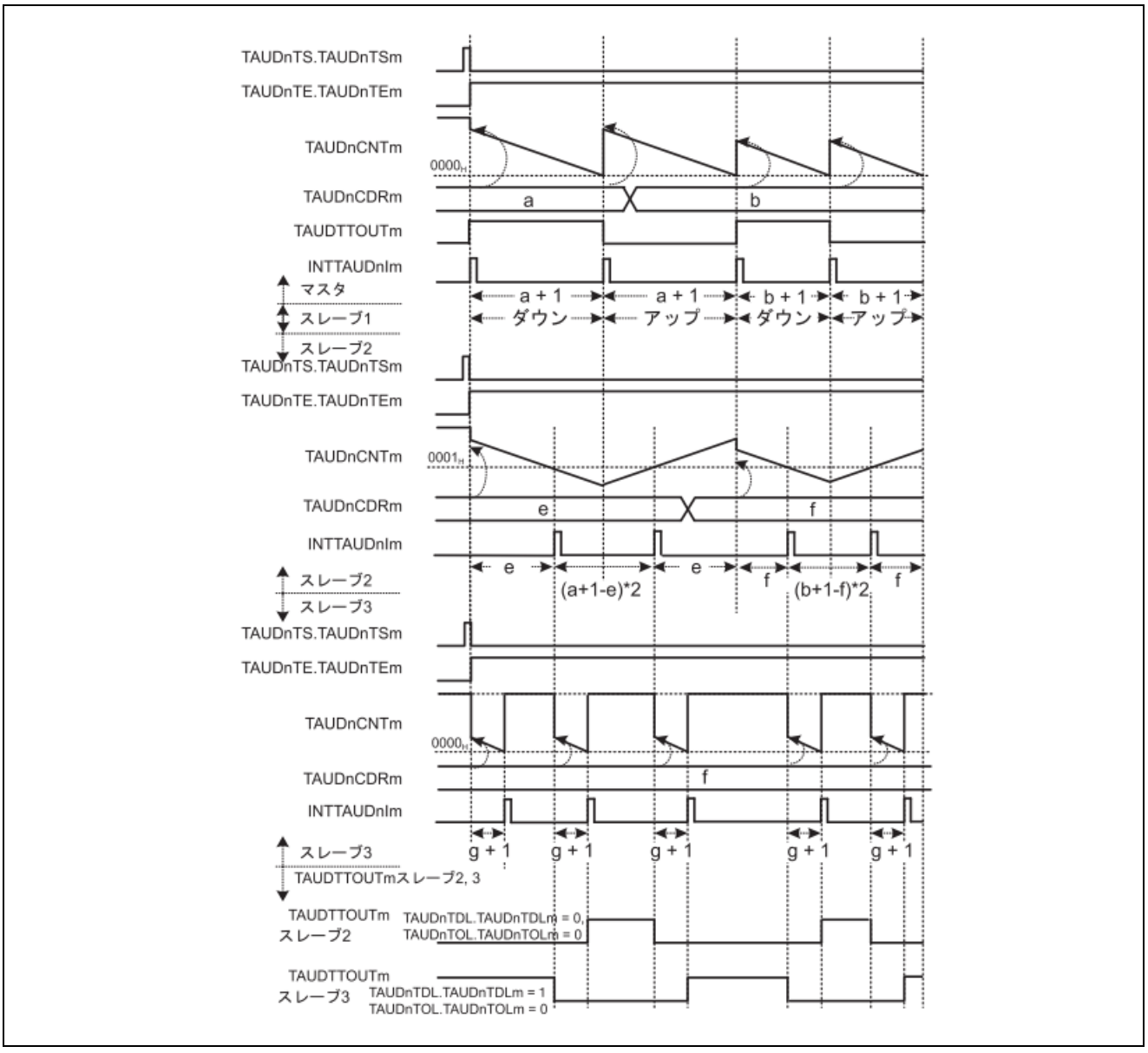


図16.119　デッドタイム付き三角波 PWM 出力機能の基本タイミング図

(3) マスタチャネルのレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.158　デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	1：チャネルはマスタチャネル
10-8	TAUDSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0000：インターバルタイマモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDIm が発生し、TAUDTTOUTm はトグルされる

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.159　デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.160　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	0：チャネル単体出力
TAUDTOC.TAUDTOCm	0：動作モード 1（TAUDTOM.TAUDTOMm = 0 時はトグルモード）
TAUDTOL.TAUDTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDTME.TAUDTMEm	0：変調禁止

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.161　デッドタイム付き三角波 PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDRDM.TAUDRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、 対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備考 TAUDRDS.TAUDRDSm = 1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

(4) スレーブチャネル 2 のレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.162　デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2 の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	111：マスタチャネルのアップ／ダウン出力トリガ信号
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	1001：アップ／ダウンカウントモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生しない

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.163　デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2 の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.164　デッドタイム出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	1：チャネル連動動作
TAUDTOC.TAUDTOCm	1：動作モード 2
TAUDTOL.TAUDTOLm	0：正論理 1：負論理
TAUDTDE.TAUDTDEm	1：デッドタイム動作許可
TAUDTDM.TAUDTDMm	0：上位偶数チャネルで割り込みを検出し、なおかつ TAUDTDL.TAUDTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDTDL.TAUDTDLm	0：正相にデッドタイムを付加 1：逆相にデッドタイムを付加
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDTME.TAUDTMEm	0：変調禁止

注意. TDLm は、奇数チャネルと排他設定してください。

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.165　三角波 PWM 出力機能時のスレーブチャネル 2 の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDRDM.TAUDRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

(5) スレーブチャネル 3 のレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.166　デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 3 の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	110：TAUDTTOUTm 生成ユニットのデッドタイム出力信号
7-6	TAUDCOS[1:0]	00：未使用、“00” を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0100：ワンカウントモード
0	TAUDMD0	1：カウント中のスタートトリガ検出許可

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.167　デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 3 の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.168　デッドタイム出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	1：チャネル連動動作
TAUDTOC.TAUDTOCm	1：動作モード 2
TAUDTOL.TAUDTOLm	0：正論理 1：負論理
TAUDTDE.TAUDTDEm	1：デッドタイム動作許可
TAUDTDM.TAUDTDMm	0：上位偶数チャネルで割り込みを検出し、なおかつ TAUDTDL.TAUDTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDTDL.TAUDTDLm	0：正相にデッドタイムを付加 1：逆相にデッドタイムを付加
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDTME.TAUDTMEm	0：変調禁止

注意. TAUDTDL.TAUDTDLm は、偶数チャネルと排他設定してください。

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.169　三角波 PWM 出力機能時のスレーブチャネル 2 の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDRDM.TAUDRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

(6) デッドタイム付き三角波 PWM 出力機能時の操作手順

表16.170　デッドタイム付き三角波 PWM 出力機能時の操作手順

	操作	TAUD の状態
チャネルの初期設定	マスタチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.8(3) マスタチャネルのレジスタ設定」に示すように設定します。 スレーブチャネル 2： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.8(4) スレーブチャネル2のレジスタ設定」に示すように設定します。 スレーブチャネル 3： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.8(5) スレーブチャネル3のレジスタ設定」に示すように設定します。 全チャネルの TAUDCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDTS.TAUDTSm を同時に“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm（マスタ／スレーブチャネル）が“1”に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで TAUDCMORm.TAUDMD0 が“1”に設定されている場合は、INTTAUDIm（マスタ）が発生します。
動作中	TAUDCDRm は任意のタイミングで変更可能です。 TAUDCNTm と TAUDRSF.TAUDRSFm は任意のタイミングで読み出し可能です。 TAUDRDT.TAUDRDTm は動作中に変更可能です。	マスタチャネルとスレーブチャネル 2 の TAUDCDRm の値を TAUDCNTm にロードし、ダウンカウントを行います。マスタチャネルのカウンタが 0000H になった場合： ・ INTTAUDIm（マスタ）が発生します。 ・ 再び TAUDCDRm の値を TAUDCNTm（マスタ）にロードし、カウント動作を継続します。 ・ 再び TAUDCDRm の値を TAUDCNTm（スレーブ 2）にロードするか、反対方向のカウントを開始します。 TAUDCNTm（スレーブ 2）が 0001H になった場合： ・ INTTAUDIm（スレーブ 2）が発生します。 ・ スレーブチャネル 3 の TAUDCDRm の値を TAUDCNTm にロードし、ダウンカウントを行います。 スレーブチャネル 3 の TAUDCNTm が 0000H になった場合： ・ INTTAUDIm が発生します。
動作停止	マスタチャネルとスレーブチャネルの TAUDTT.TAUDTTm を同時に“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開 ▶

(7)　特定の設定時のタイミング図

(a)　デューティサイクル　= 0%

この図での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUDTDL.TAUDTDLm = 0）
- スレーブチャネル 3：
  - 負論理（TAUDTDL.TAUDTDLm = 1）

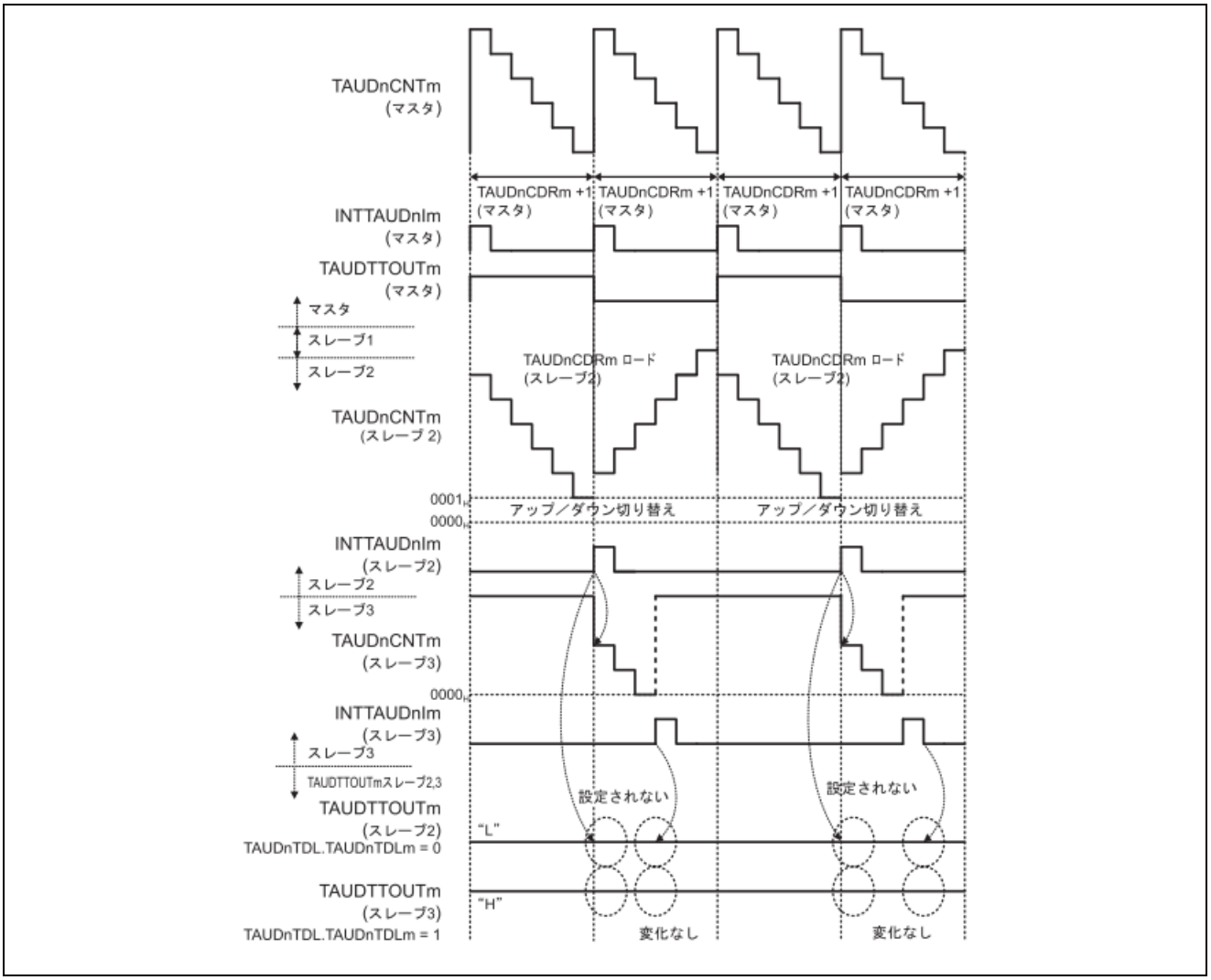


図16.120　TAUDCDRm（スレーブ 2）≧TAUDCDRm（マスタ）+ 1

- TAUDCDRm（スレーブ 2）値が TAUDCDRm（マスタ）値以上の場合、スレーブチャネルのカウンタはダウンカウント中、0000H になりません。したがって TAUDTTOUTm 信号のセット／リセットは行われず、初期状態のままになります。アップカウント中にスレーブチャネル 2 で割り込みが発生するため、この信号はリセット信号になります。

(b)　デューティサイクル = 100%

この図での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUDTDL.TAUDTDLm = 0）
- スレーブチャネル 3：
  - 負論理（TAUDTDL.TAUDTDLm = 1）

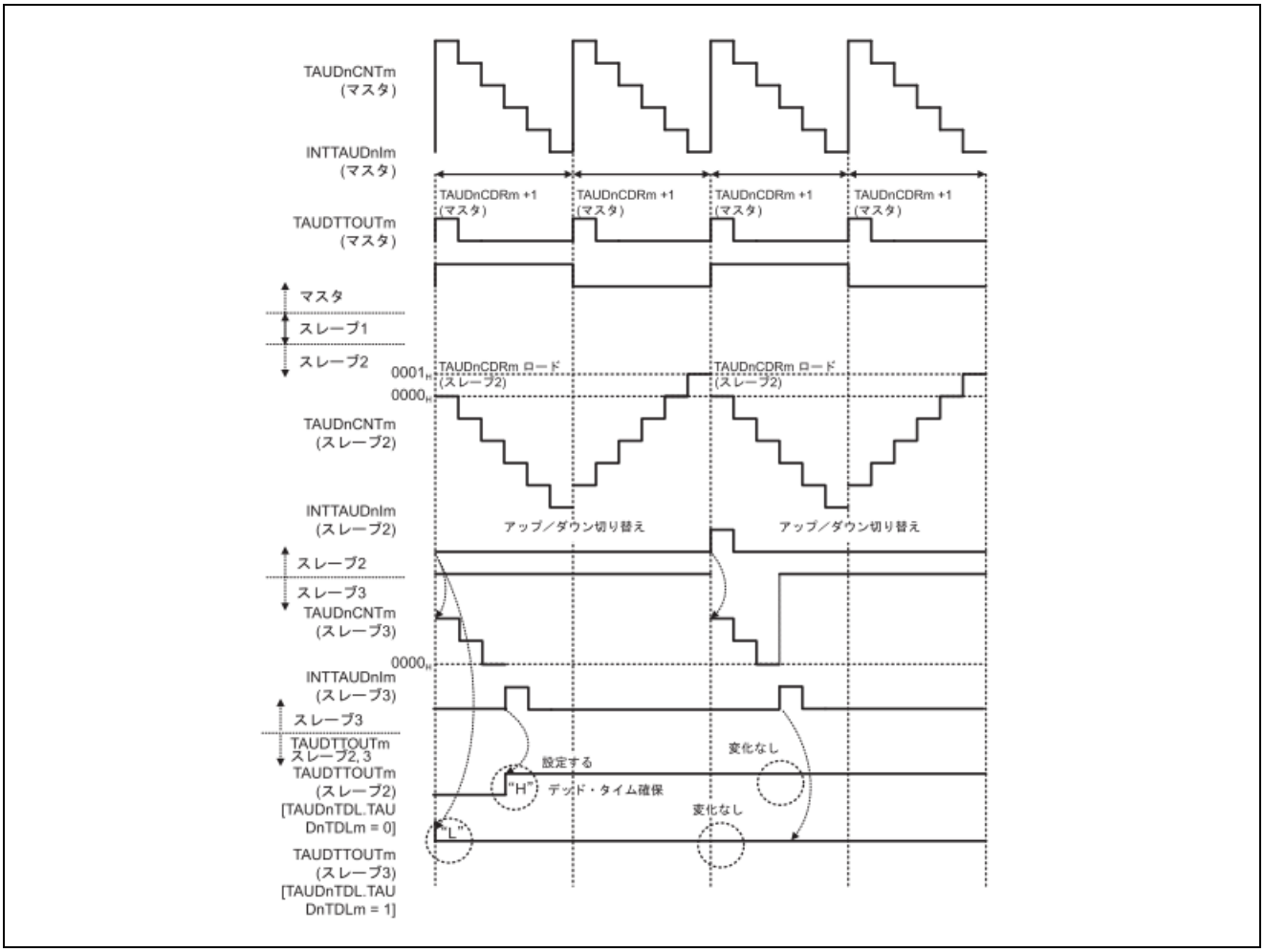


図16.121　TAUDCDRm（スレーブ）= 0000H

- TAUDCDRm（スレーブ 2）= 0000H の場合、スレーブチャネルのカウンタはアップカウント中、0001H になりません。したがって、アップカウント中に INTTAUDIm は発生しません。
  - TAUDTDL.TAUDTDLm が“0”に設定されているチャネルでは、デッドタイム経過後にセット条件が満たされます。このようなチャネルではリセット条件が満たされることがないため、TAUDTTOUTm のセット／リセットが行われても、信号は新しく設定された状態のままになります。
  - 上図のスレーブチャネル 3 はカウント開始時にセットされます。ただし、TAUDTDL.TAUDTDLm が“1”に設定されているスレーブチャネルでは、リセット条件が満たされることがないため、当該チャネルでは TAUDTTOUTm は初期状態のままになります。

16.15.9　A/D 変換トリガ出力機能タイプ 2

(1)　概要

(a)　概要

この機能は、TAUDTTOUTm が出力されないという点を除き、「16.15.7. 三角波PWM出力機能」と同じです。スレーブチャネルのチャネル出力モードをソフトウェア制御のチャネル単体出力モードに設定することにより、この機能が有効になります。

(2)　ブロック図と基本タイミング図

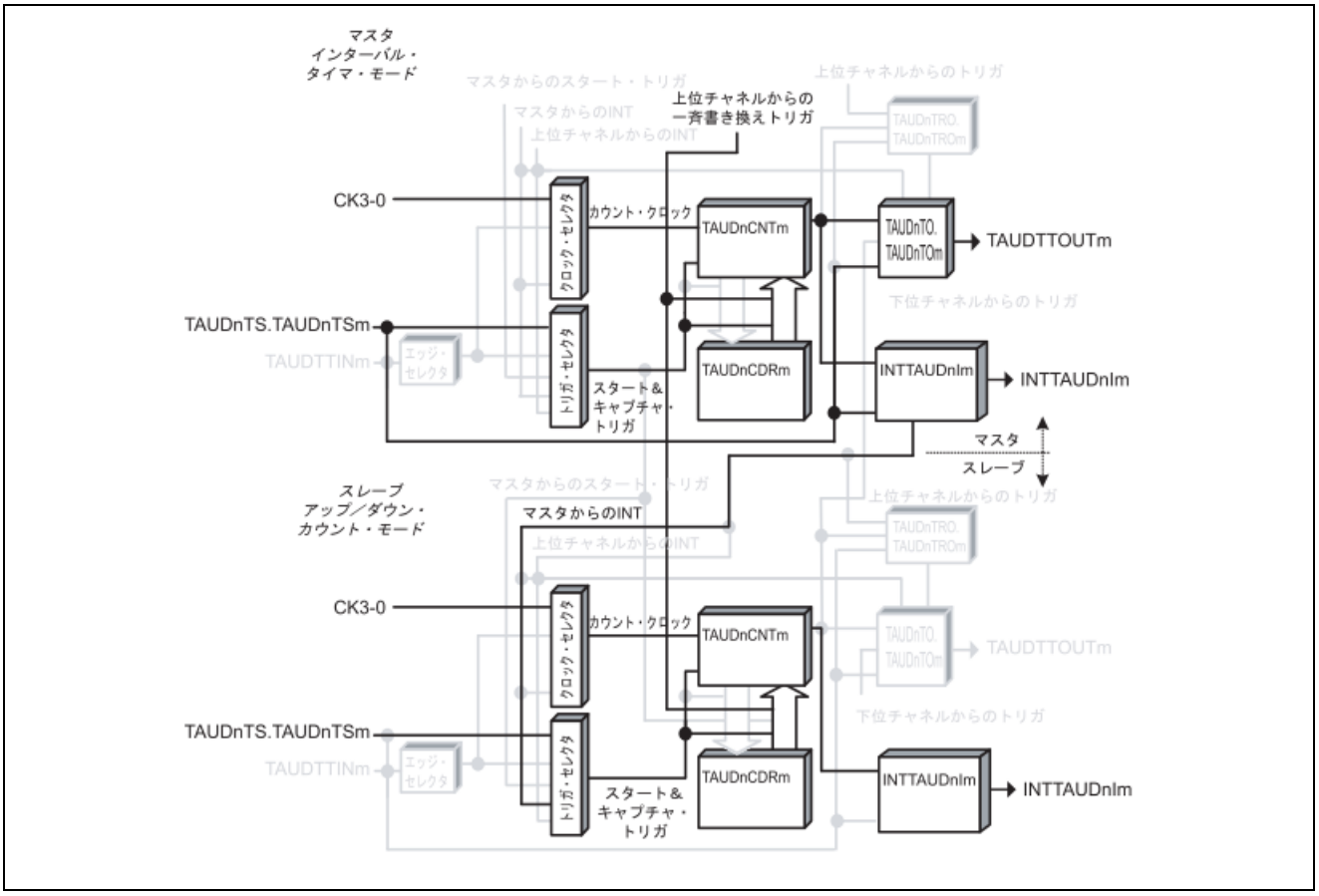


図16.122　A/D 変換トリガ出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル
  - 動作開始時に INTTAUDIm が発生する（TAUDCMORm.TAUDMD0 = 1）

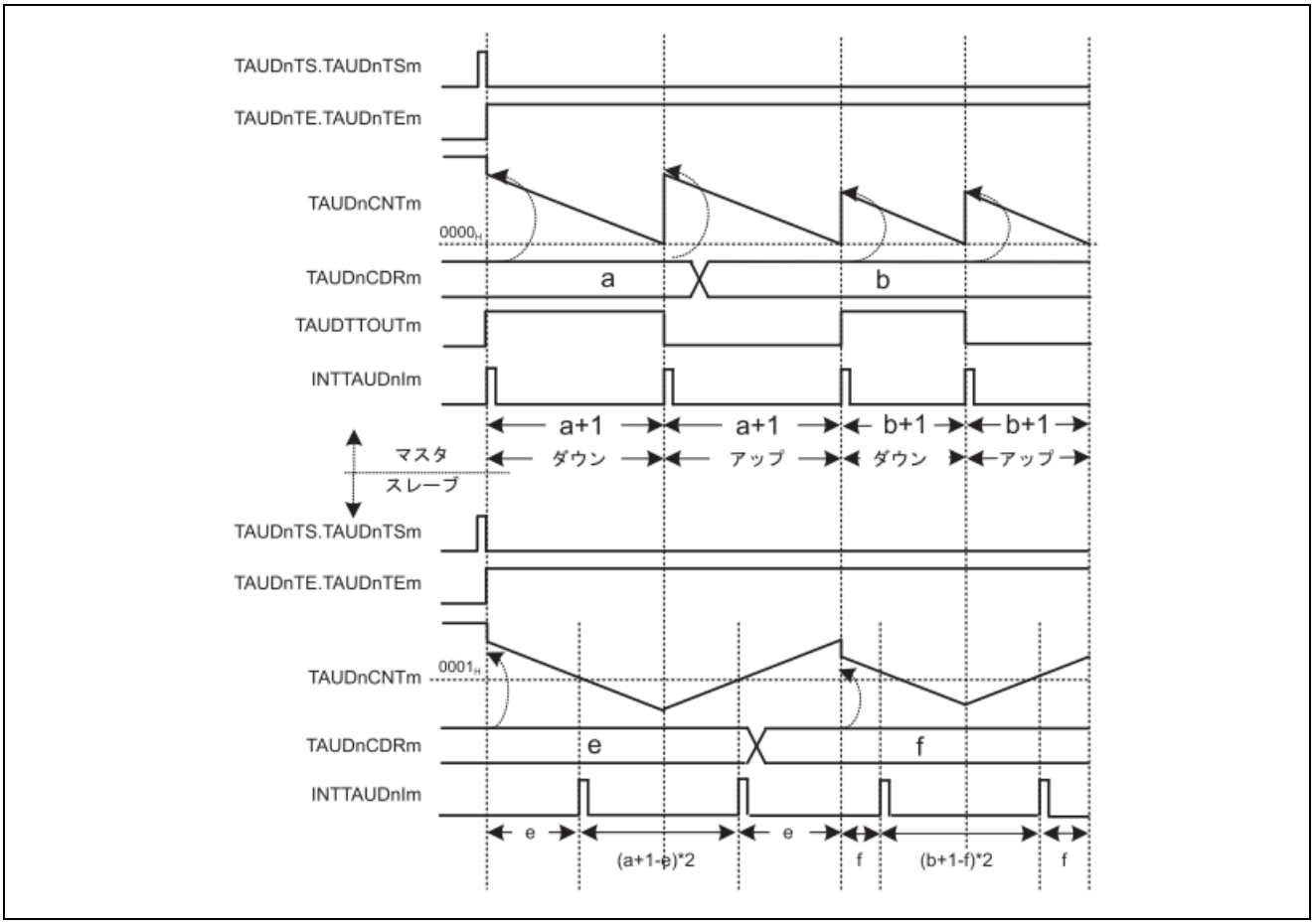


図16.123　A/D 変換トリガ出力機能タイプ 2 の基本タイミング図

16.15.10　割り込み要求信号間引き機能

(1)　概要

(a)　概要

マスタチャネルの割り込み数を、スレーブチャネルを使って指定した値で割る機能です。割り込み要求信号間引き機能は、次の機能のサブ機能です。

- PWM 出力機能（「16.15.1. PWM出力機能」参照）
- 三角波 PWM 出力機能（「16.15.7. 三角波PWM出力機能」参照）
- デッドタイム付き三角波 PWM 出力機能（「16.15.8. デッドタイム付き三角波PWM出力機能」参照）

(b)　前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「表16.171 割り込み要求信号間引き機能のマスタチャネルのTAUDCMORmレジスタの内容」参照）。
- スレーブチャネルの動作モードは、イベントカウントモードに設定する必要があります（「表16.174 割り込み要求信号間引き機能のスレーブチャネルのTAUDCMORmレジスタの内容」参照）。
- この機能では、TAUDTTOUTm を使用しません。

(c)　機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、カウンタ（マスタ／スレーブチャネル両方）の動作が許可されます。これにより TAUDTE.TAUDTEm が設定され、カウントが可能になります。マスタチャネルとスレーブチャネルのデータレジスタ（TAUDCDRm）の現在値がカウンタ（TAUDCNTm）にロードされます。

- マスタチャネル：
  マスタチャネルのカウンタが 0000H になると、INTTAUDIm が発生し、TAUDCDRm の値が TAUDCNTm にロードされます。
- スレーブチャネル：
  マスタチャネルで INTTAUDIm が発生するたびに、スレーブチャネルのカウンタをデクリメントします。カウンタが 0000H になると、マスタチャネルからの次の割り込みを待ちます。そして TAUDCDRm の値を TAUDCNTm（スレーブ）にロードし、INTTAUDIm が発生します。

この機能では強制リスタートは行えません。マスタ／スレーブチャネルの TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDCNTm が停止しますが、値は保持します。

(d)　条件

この機能では一斉書き換えを行うことができます。「16.6. 一斉書き換え」を参照してください。

(2)　算出式

割り込み除算演算子 = TAUDCDRm（スレーブチャネル）

- TAUDCDRm（スレーブチャネル）+ 1 で定義されたマスタチャネルの INTTAUDIm 数につき 1 つの INTTAUDIm が発生します。

(3) ブロック図と基本タイミング図

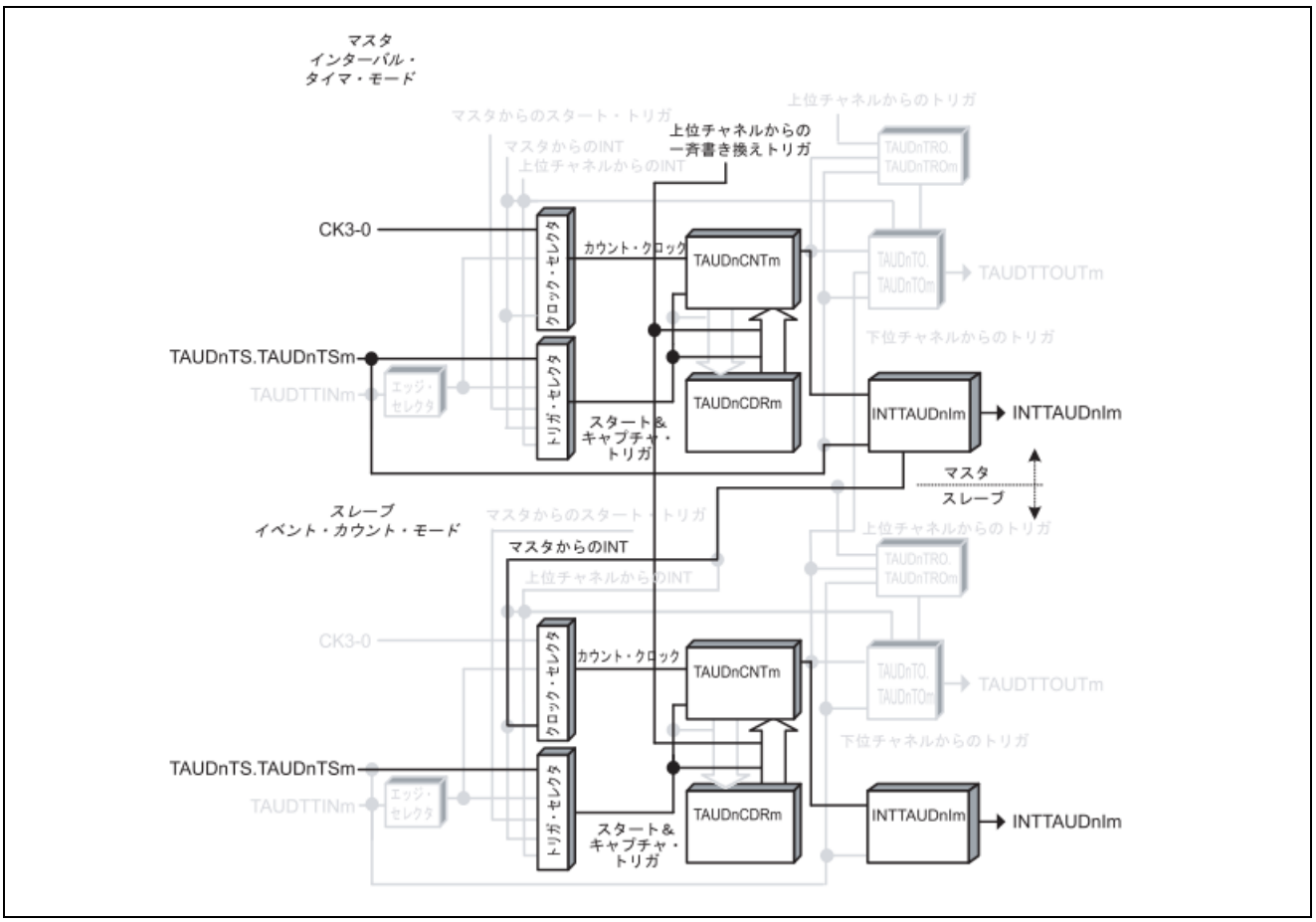


図16.124 割り込み要求信号間引き機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル：
  動作開始時に INTTAUDIm が発生する（TAUDCMORm.TAUDMD0 = 1）

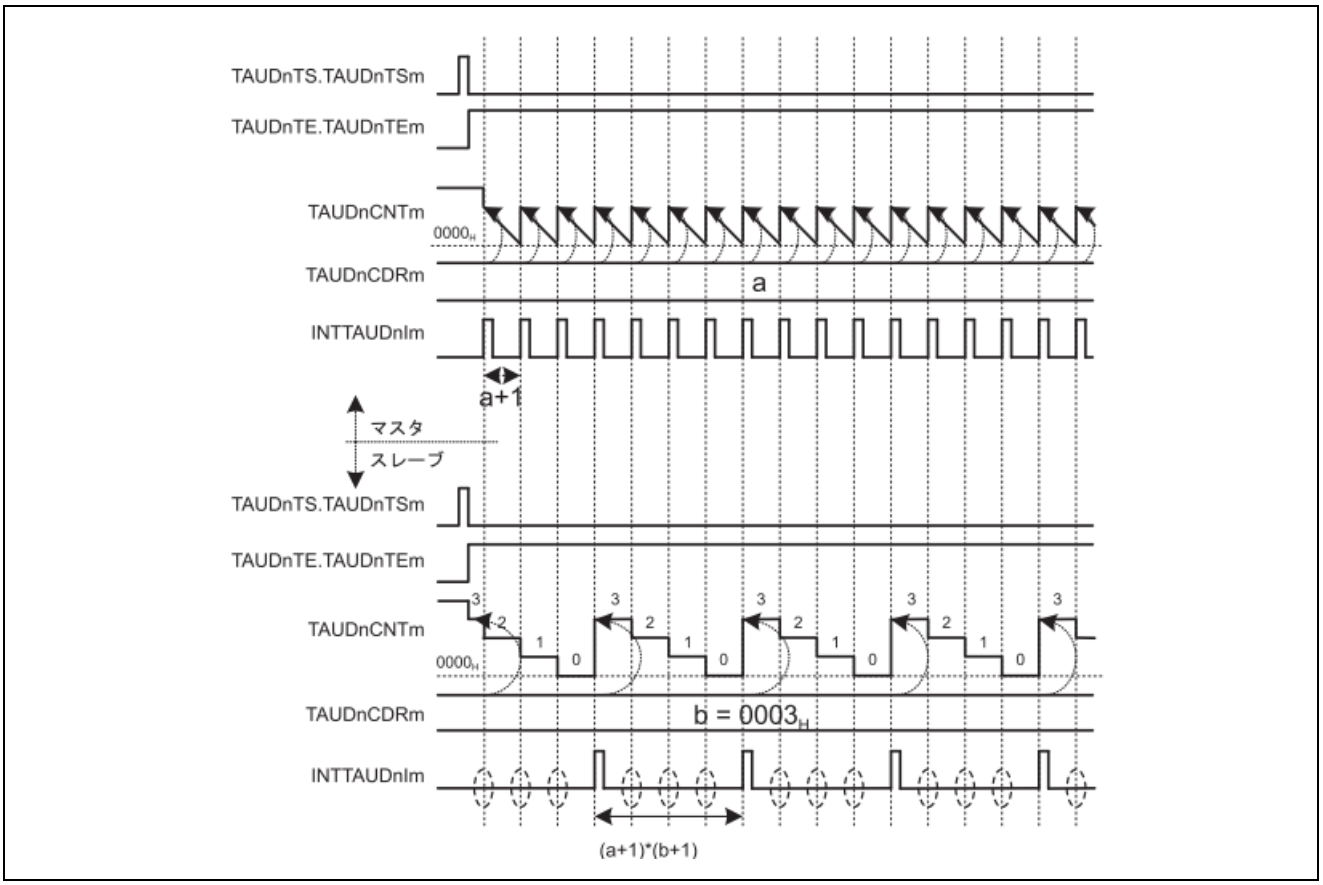


図16.125　割り込み要求信号間引き機能の基本タイミング図

(4) マスタチャネルのレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.171　割り込み要求信号間引き機能のマスタチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	1：チャネルはマスタチャネル
10-8	TAUDSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0000：インターバルタイマモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生しない 1：動作開始時に INTTAUDIm が発生する

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.172　割り込み要求信号間引き機能のマスタチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.173　割り込み要求信号間引き機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルの一斉書き換えトリガを選択
TAUDRDM.TAUDRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、 対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

(5)　スレーブチャネルのレジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.174　割り込み要求信号間引き機能のスレーブチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	11：マスタチャネルの INTTAUDIm をカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0011：イベントカウントモード
0	TAUDMD0	0：動作開始時に INTTAUDIm が発生しない

(b)　TAUDCMURm

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUDTIS[1:0]	

表16.175　割り込み要求信号間引き機能のスレーブチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.176　割り込み要求信号間引き機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルの一斉書き換えトリガを選択
TAUDRDM.TAUDRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、 対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

(6)　割り込み要求信号間引き機能時の操作手順

表16.177　割り込み要求信号間引き機能時の操作手順

	操作	TAUD の状態
チャネルの初期設定	マスタチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.10(4) マスタチャネルのレジスタ設定」に示すように設定します。 スレーブチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.15.10(5) スレーブチャネルのレジスタ設定」に示すように設定します。 全チャネルの TAUDCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDTS.TAUDTSm を同時に“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm（マスタ／スレーブチャネル）が“1”に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで INTTAUDIm が発生します。
動作中	TAUDCDRm は任意のタイミングで変更可能です。 TAUDCNTm と TAUDRSF.TAUDRSFm は任意のタイミングで読み出し可能です。 TAUDRDT.TAUDRDTm は動作中に変更可能です。	マスタチャネルの TAUDCNTm は TAUDCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000H になった場合： ・ INTTAUDIm（マスタ）が発生します。 ・ TAUDCNTm（マスタ）は TAUDCDRm 値をロードし、カウント動作を継続します。 ・ スレーブチャネルの TAUDCNTm は、マスタチャネルの INTTAUDIm が検出されるごとにダウンカウントを行います。 スレーブチャネルの TAUDCNTm が 0000H になった場合： ・ INTTAUDIm（スレーブ）が発生します。 ・ TAUDCNTm（スレーブ）は TAUDCDRm 値をロードし、カウント動作を継続します。
動作停止	マスタチャネルとスレーブチャネルの TAUDTT.TAUDTTm を同時に“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm は停止し、現在値を保持します。

動作再開 ▶

(7)　特定の設定時のタイミング図

(a)　割り込み数（マスタ）= 割り込み数（スレーブ）

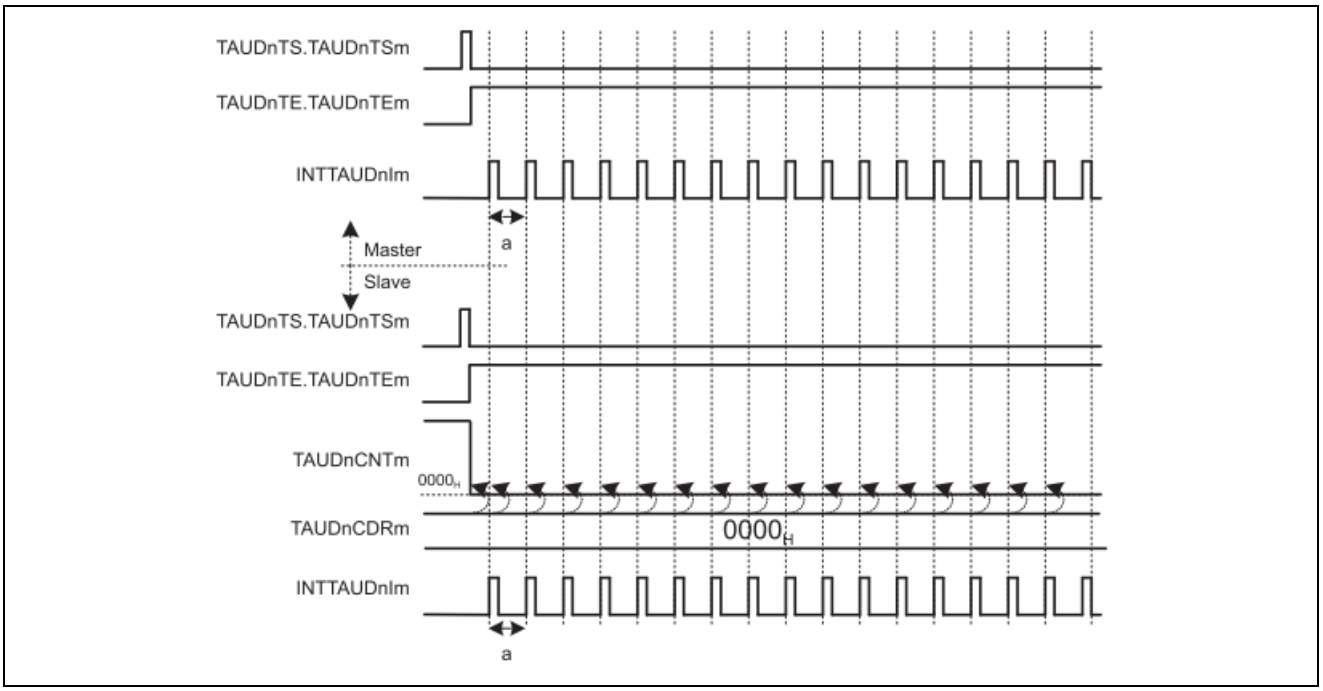


図16.126　TAUDCDRm（スレーブ）= 0000H

- TAUDCDRm = 0000H の場合、マスタチャネルの INTTAUDlm を検出するごとに、スレーブチャネルの TAUDCDRm の値を TAUDCNTm にロードします。つまり、TAUDCNTm は常に 0000H です。
- したがって、マスタチャネルで割り込みが発生するのと同時に、スレーブチャネルで割り込みが発生することになります。

16.16 連動非相補方式変調出力機能と連動相補方式変調出力機能

この節では、マスタチャネルと 7 個のスレーブチャネルを使用することで、6 相の PWM 出力または三角波 PWM 出力を生成する機能について説明します。

16.16.1 連動非相補方式変調出力機能タイプ 1

(1) 概要

(a) 概要

この機能では、2 つで 1 組のスレーブチャネルのリアルタイム出力ビット（TAUDTRO.TAUDTROm）と変調出力許可ビット（TAUDTME.TAUDTMEm）の値に応じて、TAUDTTOUTm から PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。通常は 3 組のチャネルが使用されます。

(b) 前提条件

- マスタチャネル×1、スレーブチャネル×7
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「表16.179 非相補方式変調出力機能タイプ1のマスタチャネルのTAUDCMORmレジスタの内容」参照）。
- スレーブチャネル 1～7 の動作モードは、ワンカウントモードに設定する必要があります（「表16.182 非相補方式変調出力機能タイプ1のスレーブチャネル1のTAUDCMORmレジスタの内容」、「表16.185 非相補方式変調出力機能タイプ1のスレーブチャネル2～7のTAUDCMORmレジスタの内容」参照）。
- この機能では、マスタチャネルで TAUDTTOUTm は使用しません。
- この機能ではスレーブチャネル 1 の TAUDTTOUTm は使用しませんが、TAUDTRC.TAUDTRCm は“1”に設定する必要があります（「16.7. チャネル出力モード」参照）。
- スレーブチャネル 2～7 のチャネル出力モードは、非相補方式変調出力を行うチャネル連動出力モード 1 に設定する必要があります（「16.7. チャネル出力モード」参照）。
- スレーブチャネル 1 の TAUDCDRm は、0000H に設定する必要があります。

(c)　機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、マスタ／スレーブチャネルのカウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。データレジスタ（TAUDCDRm）の値がカウンタ（TAUDCNTm）にロードされ、カウンタはダウンカウントを開始します。カウンタが 0000H になると、INTTAUDIm が発生します。

- スレーブチャネル 1：
  スレーブチャネル 1 がリアルタイム出力のトリガチャネルとして設定されているため（TAUDTRC.TAUDTRCm = 1）、スレーブチャネル 1（TAUDCDRm は 0000H 固定）で割り込みが発生すると、当該チャネルの割り込み発生をモニタしているチャネルのリアルタイム出力ビット（TAUDTRO.TAUDTROm）値がそれぞれの TAUDTTOUTm 出力に反映されます。割り込み発生後、カウンタは FFFFH に戻り、マスタチャネルの次の割り込みを待ちます。
- スレーブチャネル 2：
  スレーブチャネル 2 は PWM 出力を生成します。PWM 出力周期はマスタチャネルで指定し、デューティサイクルはスレーブチャネル 2 で指定します。割り込み発生後、カウンタは FFFFH に戻り、マスタチャネルの次の割り込みを待ちます。

スレーブチャネル 3～7 はスレーブチャネル 2 と同じように動作します。

「表16.178 非相補方式変調出力機能タイプ1時のスレーブチャネルのTAUDTTOUTm出力（TAUDTOL.TAUDTOLm = 0）」にあるように、TAUDTTOUTm から出力される信号は、スレーブチャネルのリアルタイム出力ビット（TAUDTRO.TAUDTROm）と変調出力ビット（TAUDTME.TAUDTMEm）の値によって決まります。

この機能では強制リスタートは行えません。マスタ／スレーブチャネルの TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDTS.TAUDTSm を“1”に設定すると、カウントを再開できます。

(d) 条件

- スレーブチャネル 2～7 で TAUDTME.TAUDTMEm = 0 が設定されている場合（TAUDTOL.TAUDTOLm = 0）：
  - チャネルの TAUDTRO.TAUDTROm が“1”の場合、TAUDTTOUTm はハイレベル信号を出力します。
  - チャネルの TAUDTRO.TAUDTROm が“0”の場合、TAUDTTOUTm はロウレベル信号を出力します。
- スレーブチャネル 2～7 で TAUDTME.TAUDTMEm = 1 が設定されている場合（TAUDTOL.TAUDTOLm = 0）：
  - チャネルの TAUDTRO.TAUDTROm が“1”の場合、TAUDTTOUTm はそのチャネルの対応する PWM（正論理）を出力します。
  - チャネルの TAUDTRO.TAUDTROm が“0”の場合、TAUDTTOUTm はロウレベル信号を出力します。
- TAUDTOL.TAUDTOLm が“1”の場合、TAUDTTOUTm から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は負論理となります。TAUDTOL.TAUDTOLm は初期設定のみ可能です（動作中は変更できません）。

表16.178　非相補方式変調出力機能タイプ 1 時のスレーブチャネルの TAUDTTOUTm 出力（TAUDTOL.TAUDTOLm = 0）

TAUDTME.TAUDTMEm	TAUDTRO.TAUDTROm	TAUDTTOUTm 出力
0	0	ロウレベル
	1	ハイレベル
1	0	ロウレベル
	1	PWM（正論理）

- この機能では一斉書き換えを行うことができます。「16.6. 一斉書き換え」を参照してください。
- スレーブチャネル 1 の TAUDCDRm 値は、スレーブチャネル 2～7 で PWM が生成されるのと同時にリアルタイム出力がトリガされるよう、0000H に設定する必要があります。
- スレーブチャネル 2～7 で TAUDTOL.TAUDTOLm = 0 が設定されている場合、TAUDTE.TAUDTEm = 0 に設定する前に TAUDTO.TAUDTOm を“0”（ロウレベル）に設定します。
- スレーブチャネル 2～7 で TAUDTOL.TAUDTOLm = 1 が設定されている場合、TAUDTE.TAUDTEm = 0 に設定する前に TAUDTO.TAUDTOm を“1”（ハイレベル）に設定します。

(2) 算出式

スレーブチャネル 2～7：

パルス周期 = [TAUDCDRm（マスタ）+ 1] × カウントクロック周期

デューティ時間 = [TAUDCDRm（スレーブ）] × カウントクロック周期

(3)　ブロック図と基本タイミング図

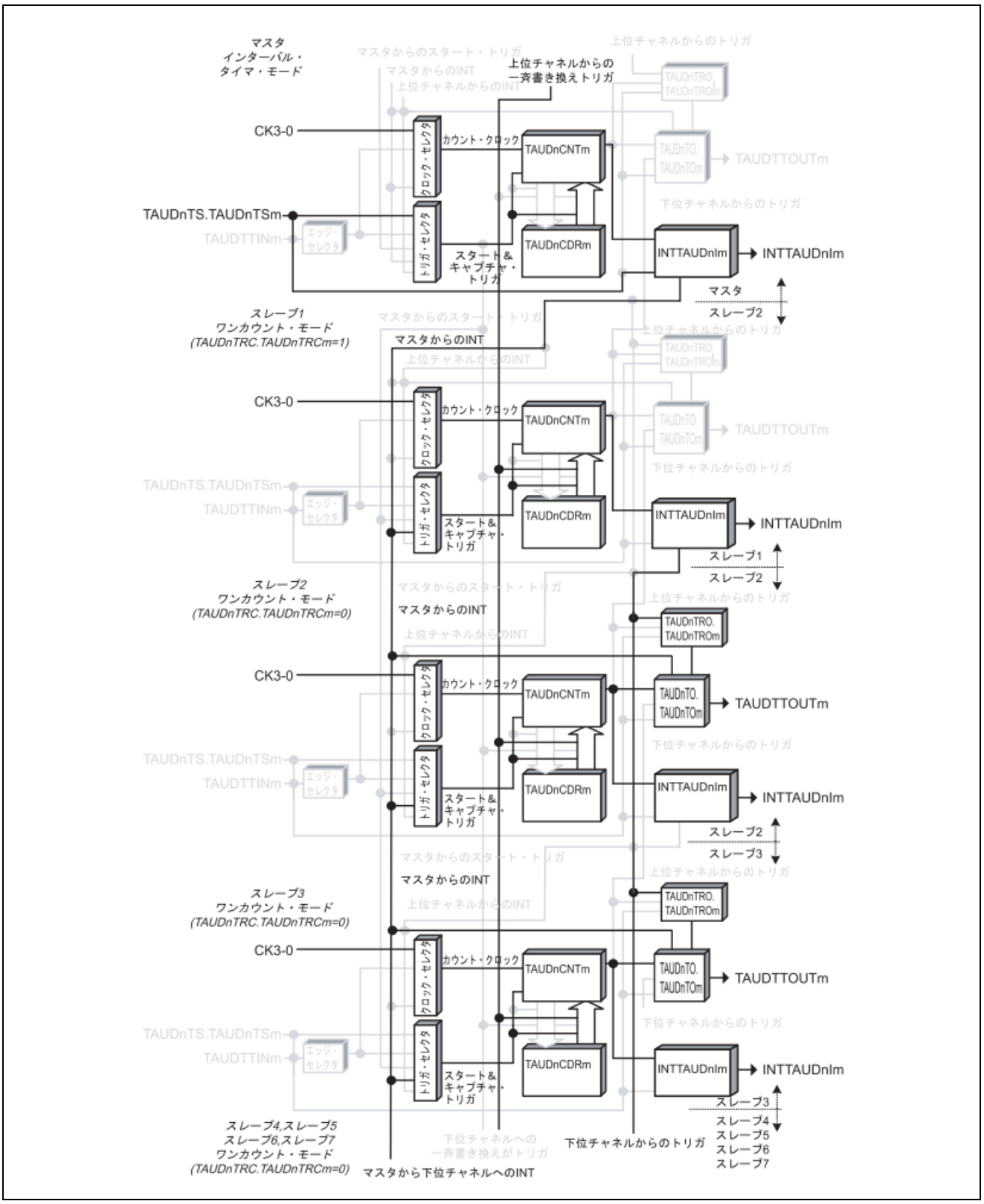


図16.127　非相補方式変調出力機能タイプ１のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャネル 2～7：正論理（TAUDTOL.TAUDTOLm = 0）

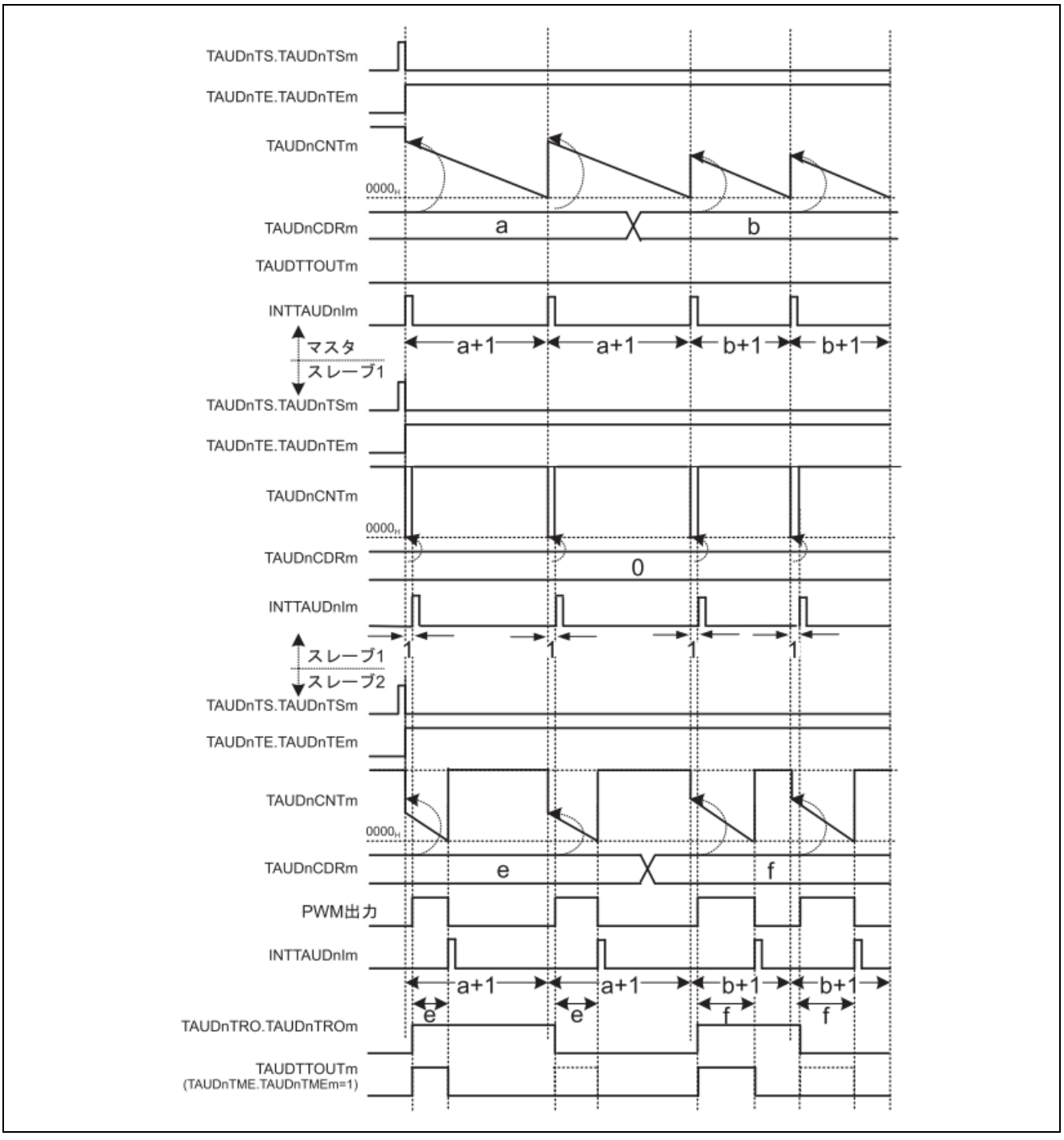


図16.128　非相補方式変調出力機能タイプ 1 の基本タイミング図

備考 スレーブチャネル 2 の TAUDTTOUTm は、マスタチャネルの INTTAUDIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

(4) マスタチャネルのレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.179　非相補方式変調出力機能タイプ 1 のマスタチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	1：チャネルはマスタチャネル
10-8	TAUDSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0000：インターバルタイマモード
0	TAUDMD0	1：動作開始または再開時に INTTAUDIm が発生する

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.180　非相補方式変調出力機能タイプ 1 のマスタチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.181　非相補方式変調出力機能タイプ 1 時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDRDM.TAUDRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDRDS.TAUDRDSm = 0 のとき、このビットの値にかかわらず、 マスタチャネルで一斉書き換えトリガをモニタ。

備考 TAUDRDS.TAUDRDSm ビット=1 で使用する場合、マスタチャネルの上位に「16.14.1 一斉書き換えトリガ生成機能タイプ1」で動作するチャネルが必要になります。また、下記条件にて動作設定をお願いします。

- **一斉書き換えトリガ出力機能タイプ 1 設定チャネル：**
  TAUDRDCm = 1、TAUDRDSm = 1
  また、本チャネルの TAUDCDRm 設定値は下記となります。
  =（（一斉書き換え対象のマスタチャネルの TAUDCDRm 設定値 + 1）×割り込み回数）- 1
- **マスタチャネル：TAUDRDCm = 0、TAUDRDSm = 1**
- **スレーブチャネル：TAUDRDCm = 0、TAUDRDSm = 1**

(5)　スレーブチャネル 1 のレジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.182　非相補方式変調出力機能タイプ 1 のスレーブチャネル 1 の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：マスタチャネルの INTTAUDIm をカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	100：マスタチャネルの INTTAUDIm がスタートトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0100：ワンカウントモード
0	TAUDMD0	1：動作中のスタートトリガが有効

(b)　TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.183　非相補方式変調出力機能タイプ 1 のスレーブチャネル 1 の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

この機能では、スレーブチャネル 1 ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

注意. スレーブチャネル 1 をリアルタイム出力のトリガチャネルとして使用するため、TAUDTRC.TAUDTRCm を“1”に設定する必要があります。

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.184　非相補方式変調出力機能タイプ 1 時のスレーブチャネル 1 の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDRDM.TAUDRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDRDS.TAUDRDSm = 0 のとき、このビットの値にかかわらず、 マスタチャネルで一斉書き換えトリガをモニタ。

(6)　スレーブチャネル 2～7 のレジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.185　非相補方式変調出力機能タイプ 1 のスレーブチャネル 2～7 の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：マスタチャネルの INTTAUDIm をカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	100：マスタチャネルの INTTAUDIm がスタートトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0100：ワンカウントモード
0	TAUDMD0	1：動作中のスタートトリガが有効

(b)　TAUDCMURm

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUDTIS[1:0]	

表16.186　非相補方式変調出力機能タイプ 1 のスレーブチャネル 2～7 の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.187　非相補方式変調出力を行うチャネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	1：チャネル連動動作
TAUDTOC.TAUDTOCm	0：動作モード 1
TAUDTOL.TAUDTOLm	0：正論理 1：負論理
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	1：リアルタイム出力許可
TAUDTRO.TAUDTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDTRC.TAUDTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDTME.TAUDTMEm	0：変調禁止 1：変調許可

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.188　非相補方式変調出力機能タイプ 1 時のスレーブチャネル 2～7 の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDRDM.TAUDRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDRDS.TAUDRDSm = 0 のとき、このビットの値にかかわらず、 マスタチャネルで一斉書き換えトリガをモニタ。

(7)　非相補方式変調出力機能タイプ 1 時の操作手順

表16.189　割り込み要求信号間引き機能時の操作手順

（1/2）

	操作	TAUD の状態
チャネルの初期設定	マスタチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.16.1(4) マスタチャネルのレジスタ設定」に示すように設定します。 スレーブチャネル 1： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.16.1(5) スレーブチャネル1のレジスタ設定」に示すように設定します。 スレーブチャネル 2～7： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.16.1(6) スレーブチャネル2～7のレジスタ設定」に示すように設定します。 全チャネルの TAUDCDRm レジスタの値を設定します。マスタチャネルの TAUDCDRm にパルス周期、スレーブチャネル 1 の TAUDCDRm に 0000H、スレーブチャネル 2～7 の TAUDCDRm にデューティ幅を設定します。 スレーブチャネル 1 に TAUDTRC.TAUDTRCm = 1 を設定します。	チャネル動作を停止しています。

（2/2）

	操作	TAUD の状態
動作開始	マスタチャネルとスレーブチャネルの TAUDTS.TAUDTSm を同時に“1”に設定します。TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	マスタ／スレーブチャネルの TAUDTE.TAUDTEm が“1”に設定され、カウンタがダウンカウントを開始します。
動作中	TAUDCDRm、TAUDTRO.TAUDTROm、TAUDTME.TAUDTMEm は任意のタイミングで変更可能です。 TAUDCNTm と TAUDRSF.TAUDRSFm は任意のタイミングで読み出し可能です。 TAUDRDT.TAUDRDTm は動作中に変更可能です。	マスタチャネル、スレーブチャネル 1、スレーブチャネル 2～7 の TAUDCDRm の値を TAUDCNTm にロードし、ダウンカウントを行います。マスタチャネルのカウンタが 0000H になった場合： ・ INTTAUDIm が発生します。 ・ 再びマスタチャネルの TAUDCDRm の値を TAUDCNTm にロードし、ダウンカウントを継続します。 ・ スレーブチャネル 2～7 の PWM 出力信号がセットされます。 ・ 再びスレーブチャネル 1 の TAUDCDRm の値を TAUDCNTm にロードし、ダウンカウントを行います。 ・ 再びスレーブチャネル 2～7 の TAUDCDRm の値を TAUDCNTm にロードし、ダウンカウントを行います。 ・ スレーブチャネル 1 のカウンタが 0000H になった場合： - INTTAUDIm が発生します。 - スレーブチャネル 2～7 の TAUDTRO.TAUDTROm の値が、TAUDTTOUTm 出力に反映されます。 ・ スレーブチャネル 2～7 のカウンタが 0000H になった場合： - INTTAUDIm が発生します。 - スレーブチャネル 2～7 の PWM 出力信号がリセットされます。 スレーブチャネル 2～7 の TAUDTTOUTm は、2 つで 1 組のスレーブチャネルのリアルタイム出力ビット（TAUDTRO.TAUDTROm）と変調出力ビット（TAUDTME.TAUDTMEm）の値に応じて、PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。
動作停止	マスタチャネルとスレーブチャネルの TAUDTT.TAUDTTm を同時に“1”に設定します。TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

(8)　特定の設定時のタイミング図

特定の設定時のタイミング図での設定は次のようになっています。

- スレーブチャネル 2～7：正論理（TAUDTOL.TAUDTOLm = 0）

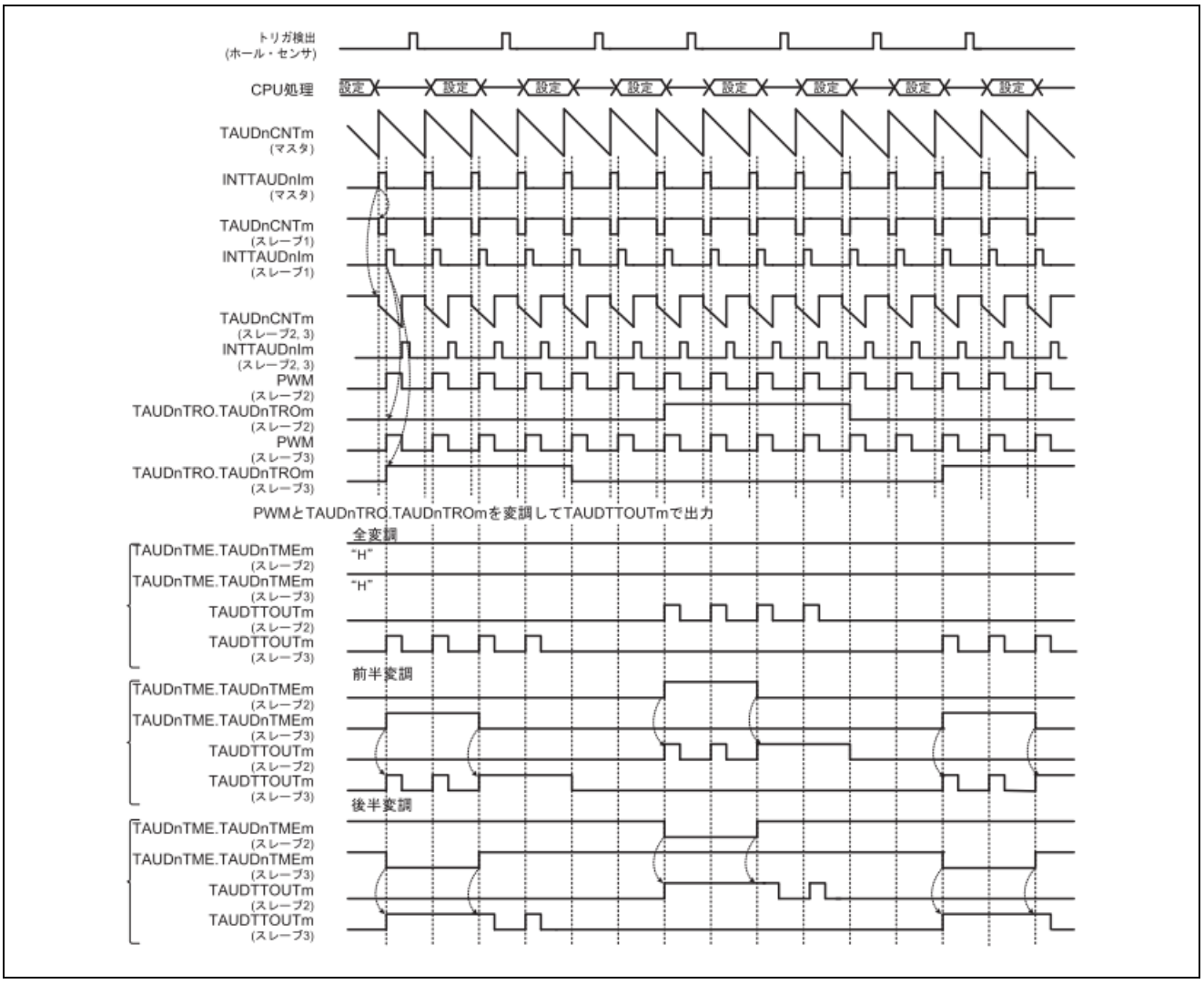


図16.129　非相補方式変調出力機能タイプ 1 の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャネルの TAUDTME.TAUDTMEm ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUDCDRm、TAUDTME.TAUDTMEm、TAUDTRO.TAUDTROm の値を変更できる期間を示しています。

TAUDTME.TAUDTMEm は、カウント開始タイミングとマスタチャネルの周期検出で設定値が反映されます。変更された設定値に従い、TAUDTTOUTm より変調波形を出力します。TAUDTRO.TAUDTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャネル 1 で割り込みが発生しないと適用されません。

16.16.2 連動非相補方式変調出力機能タイプ 2

(1) 概要

(a) 概要

この機能では、2 つで 1 組のスレーブチャネルのリアルタイム出力ビット（TAUDTRO.TAUDTROm）と変調出力許可ビット（TAUDTME.TAUDTMEm）の値に応じて、TAUDTTOUTm から三角波 PWM 出力信号、ハイレベル信号、またはロウレベル信号を出力します。通常は 3 組のチャネルが使用されます。

(b) 前提条件

- マスタチャネル×1、スレーブチャネル×7
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「表16.191 非相補方式変調出力機能タイプ2のマスタチャネルのTAUDCMORmレジスタの内容」参照）。
- スレーブチャネル 1 の動作モードは、イベントカウントモードに設定する必要があります（「表16.195 非相補方式変調出力機能タイプ2のスレーブチャネル1のTAUDCMORmレジスタの内容」参照）。
- スレーブチャネル 2～7 の動作モードは、アップ／ダウンカウントモードに設定する必要があります（「表16.198 非相補方式変調出力機能タイプ2のスレーブチャネル2～7のTAUDCMORmレジスタの内容」参照）。
- マスタチャネルの出力モードは、チャネル単体出力モード 1 に設定する必要があります（「16.7. チャネル出力モード」参照）。
- この機能ではスレーブチャネル 1 の TAUDTTOUTm は使用しませんが、TAUDTRC.TAUDTRCm は“1”に設定する必要があります（「16.7. チャネル出力モード」参照）。
- スレーブチャネル 2～7 のチャネル出力モードは、非相補方式変調出力を行うチャネル連動出力モード 2 に設定する必要があります（「16.7. チャネル出力モード」参照）。

(c)　機能説明

チャネルトリガビット（TAUDTS.TAUDTSm）を “1”に設定すると、マスタ／スレーブチャネルのカウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。データレジスタ（TAUDCDRm）の値がカウンタ（TAUDCNTm）にロードされます。

- マスタチャネル：
  マスタチャネルのカウンタがダウンカウントを開始します。カウンタが 0000H になると、INTTAUDIm が発生します。
- スレーブチャネル 1：
  スレーブチャネル 1 がマスタチャネルからの割り込みを検出すると、TAUDCNTm 値はデクリメントされます。マスタチャネルからの割り込みが TAUDCDRm + 1 検出されると、INTTAUDIm が発生します。その後、TAUDCDRm 値を TAUDCNTm にロードし、以降、動作を継続します。
  スレーブチャネル 1 がリアルタイム出力のトリガチャネルとして設定されているため（TAUDTRC.TAUDTRCm = 1）、スレーブチャネル 1 で割り込みが発生すると、当該チャネルの割り込み発生をモニタしているチャネルのリアルタイム出力ビット（TAUDTRO.TAUDTROm）値がそれぞれの TAUDTTOUTm 出力に反映されます。
- スレーブチャネル 2：
  マスタチャネルからの割り込みを検出すると、TAUDCNTm は逆方向にカウントを行います。アップカウント中に割り込みを検出すると、再び TAUDCDRm の値をロードしてからダウンカウントを開始します。TAUDCNTm = 0001H の場合、割り込みが発生し、PWM 出力信号がセット／リセットされます。

マスタチャネルとスレーブチャネル 2 を組み合わせて使用することで、PWM 出力信号を生成します。マスタチャネルは PWM 出力周期を生成し、スレーブチャネル 2 はデューティサイクルを生成します。

スレーブチャネル 3～7 はスレーブチャネル 2 と同じように動作します。

「表16.191 非相補方式変調出力機能タイプ2時のスレーブチャネルのTAUDTTOUTm出力（TAUDTOL.TAUDTOLm = 0）」にあるように、TAUDTTOUTm から出力される信号は、スレーブチャネルのリアルタイム出力ビット（TAUDTRO.TAUDTROm）と変調出力ビット（TAUDTME.TAUDTMEm）の値によって決まります。

この機能では強制リスタートは行えません。マスタ／スレーブチャネルの TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDTS.TAUDTSm を“1”に設定すると、カウントを再開できます。

(d) 条件

- スレーブチャネル 2～7 で TAUDTME.TAUDTMEm = 0 が設定されている場合（TAUDTOL.TAUDTOLm = 0）：
  - チャネルの TAUDTRO.TAUDTROm が“1”の場合、TAUDTTOUTm はハイレベル信号を出力します。
  - チャネルの TAUDTRO.TAUDTROm が“0”の場合、TAUDTTOUTm はロウレベル信号を出力します。
- スレーブチャネル 2～7 で TAUDTME.TAUDTMEm = 1 が設定されている場合（TAUDTOL.TAUDTOLm = 0）：
  - チャネルの TAUDTRO.TAUDTROm が“1”の場合、TAUDTTOUTm はそのチャネルの対応する PWM（正論理）を出力します。
  - チャネルの TAUDTRO.TAUDTROm が“0”の場合、TAUDTTOUTm はロウレベル信号を出力します。
- TAUDTOL.TAUDTOLm が“1”の場合、TAUDTTOUTm から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は負論理となります。TAUDTOL.TAUDTOLm は初期設定のみ可能です（動作中は変更できません）。

表16.190　非相補方式変調出力機能タイプ 2 時のスレーブチャネルの TAUDTTOUTm 出力（TAUDTOL.TAUDTOLm = 0）

TAUDTME.TAUDTMEm	TAUDTRO.TAUDTROm	TAUDTTOUTm 出力
0	0	ロウレベル
	1	ハイレベル
1	0	ロウレベル
	1	PWM（正論理）

- この機能では一斉書き換えを行うことができます。「16.6. 一斉書き換え」を参照してください。
- スレーブチャネル 2～7 で TAUDTOL.TAUDTOLm = 0 が設定されている場合、TAUDTE.TAUDTEm = 0 に設定する前に TAUDTO.TAUDTOm を“0”（ロウレベル）に設定します。
- スレーブチャネル 2～7 で TAUDTOL.TAUDTOLm = 1 が設定されている場合、TAUDTE.TAUDTEm = 0 に設定する前に TAUDTO.TAUDTOm を“1”（ハイレベル）に設定します。

(2) 算出式

スレーブチャネル 2～7：

キャリア周期（ダウン／アップ）
= [TAUDCDRm（マスタ）+ 1] × 2 × カウントクロック周期

デューティ時間
= [TAUDCDRm（マスタ）+ 1 - TAUDCDRm（スレーブ）] × 2 × カウントクロック周期

(3)　ブロック図と基本タイミング図

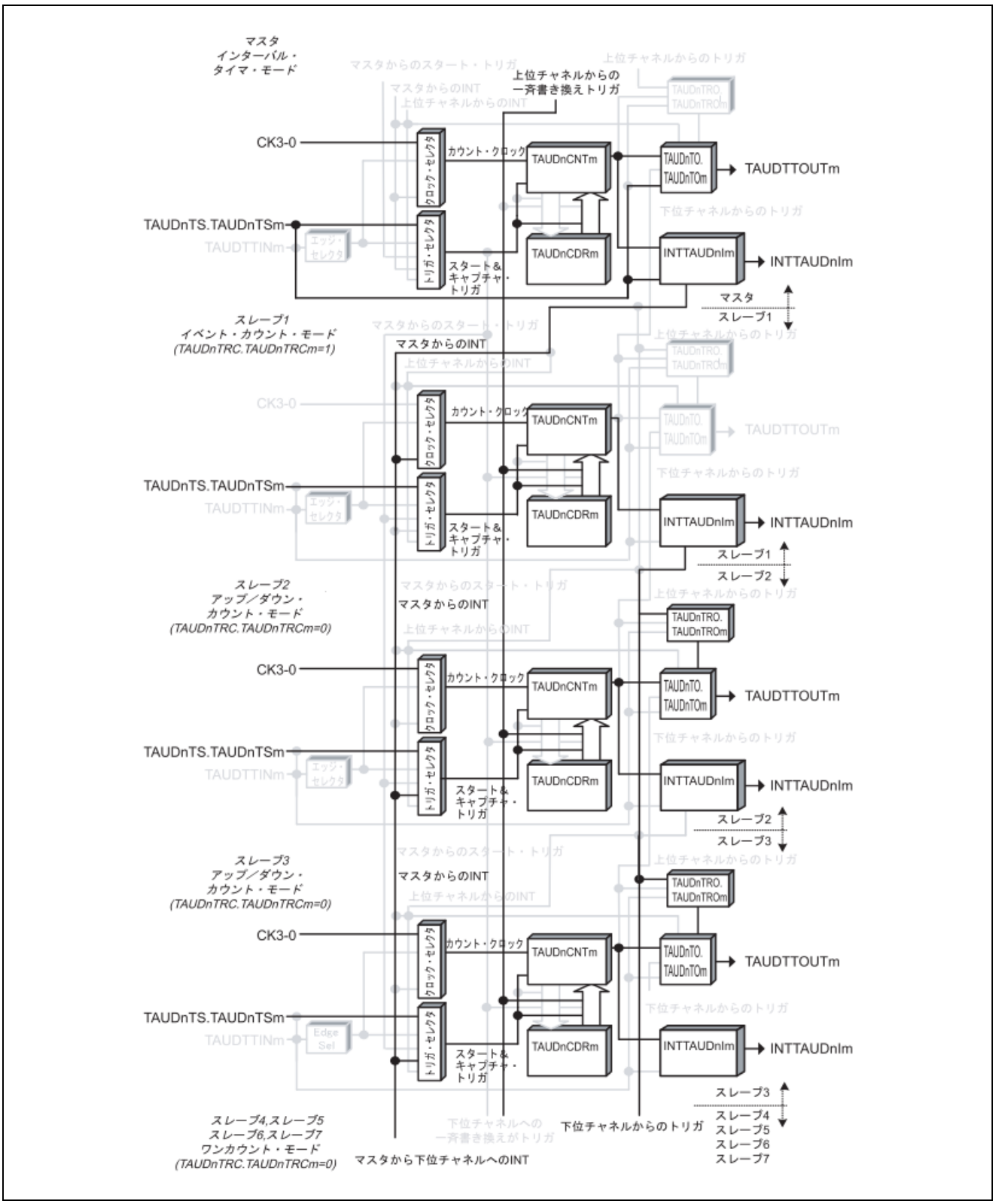


図16.130　非相補方式変調出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル：動作開始時に INTTAUDIm が発生しない（TAUDCMORm.TAUDMD0 = 0）
- スレーブチャネル 2～7：正論理（TAUDTOL.TAUDTOLm = 0）

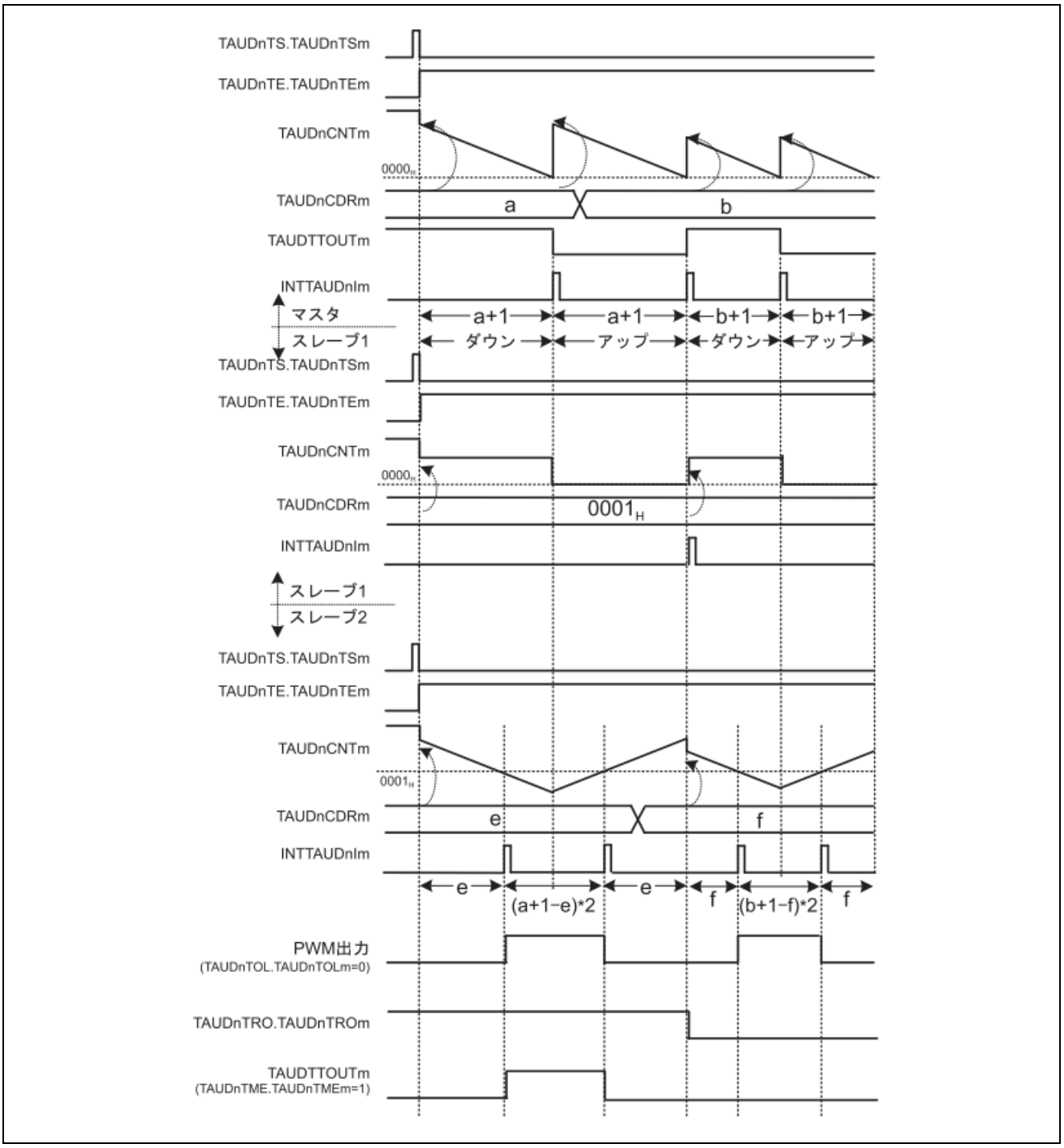


図16.131　非相補方式変調出力機能タイプ 2 の基本タイミング図

(4) マスタチャネルのレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.191 非相補方式変調出力機能タイプ 2 のマスタチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	1：チャネルはマスタチャネル
10-8	TAUDSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0000：インターバルタイマモード
0	TAUDMD0	0：動作開始または再開時に INTTAUDIm が発生しない 1：動作開始または再開時に INTTAUDIm が発生する

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.192 非相補方式変調出力機能タイプ 2 のマスタチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.193　非相補方式変調出力機能タイプ 2 時のマスタチャネルの制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	0：チャネル単体出力
TAUDTOC.TAUDTOCm	0：動作モード 1（TAUDTOM.TAUDTOMm = 0 時はトグルモード）
TAUDTOL.TAUDTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	
TAUDTME.TAUDTMEm	0：変調禁止

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.194　非相補方式変調出力機能タイプ 2 時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDRDM.TAUDRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、 対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備考 TAUDRDS.TAUDRDSm = 1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

(5)　スレーブチャネル 1 のレジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.195　非相補方式変調出力機能タイプ 2 のスレーブチャネル 1 の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	11：マスタチャネルの INTTAUDIm をカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	000：ソフトウェアでカウンタをトリガ 011：一斉書き換えトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0011：イベントカウントモード
0	TAUDMD0	0：動作開始または再開時に INTTAUDIm が発生しない

(b)　TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.196　非相補方式変調出力機能タイプ 2 のスレーブチャネル 1 の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

この機能では、スレーブチャネル 1 ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

注意. スレーブチャネル 1 をリアルタイム出力のトリガチャネルとして使用するため、TAUDTRC.TAUDTRCm を“1”に設定する必要があります。

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.197　非相補方式変調出力機能タイプ 2 時のスレーブチャネル 1 の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDRDM.TAUDRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、 対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDRDS.TAUDRDSm = 0 のとき、このビットの値にかかわらず、 マスタチャネルで一斉書き換えトリガをモニタ。

(6)　スレーブチャネル 2～7 のレジスタ設定

(a)　TAUDCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUDCKS [1:0]		TAUDCCS [1:0]		TAUD MAS	TAUDSTS[2:0]			TAUDCOS [1:0]		0	TAUDMD[4:1]				TAUD MD0

表16.198　非相補方式変調出力機能タイプ 2 のスレーブチャネル 2～7 の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	111：マスタチャネルのアップ／ダウン出力トリガ信号
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	1001：アップ／ダウンカウントモード
0	TAUDMD0	0：動作開始または再開時に INTTAUDIm が発生しない

(b)　TAUDCMURm

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUDTIS[1:0]	

表16.199　非相補方式変調出力機能タイプ 2 のスレーブチャネル 2～7 の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.200　非相補方式変調出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	1：チャネル連動動作
TAUDTOC.TAUDTOCm	1：動作モード 2
TAUDTOL.TAUDTOLm	0：正論理 1：負論理
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	1：リアルタイム出力許可
TAUDTRO.TAUDTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDTRC.TAUDTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDTME.TAUDTMEm	0：変調禁止 1：変調許可

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.201　非相補方式変調出力機能タイプ 2 時のスレーブチャネル 2～7 の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDRDM.TAUDRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、 対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDRDS.TAUDRDSm = 0 のとき、このビットの値にかかわらず、 マスタチャネルで一斉書き換えトリガをモニタ。

(7)　非相補方式変調出力機能タイプ 2 時の操作手順

表16.202　非相補方式変調出力機能タイプ 2 時の操作手順

（1/2）

	操作	TAUD の状態
チャネルの初期設定	マスタチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.16.2(4) マスタチャネルのレジスタ設定」に示すように設定します。 スレーブチャネル 1： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.16.2(5) スレーブチャネル1のレジスタ設定」に示すように設定します。 スレーブチャネル 2～7： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.16.2(6) スレーブチャネル2～7のレジスタ設定」に示すように設定します。 全チャネルの TAUDCDRm レジスタの値を設定します。マスタチャネルの TAUDCDRm でパルス周期を設定し、スレーブチャネル 1 の TAUDCDRm でスレーブチャネル 1 がリアルタイム出力トリガを生成するまでに無視するマスタチャネルの割り込み数を設定します。また、スレーブチャネル 2～7 の TAUDCDRm にデューティ幅を設定します。 スレーブチャネル 1 に TAUDTRC.TAUDTRCm = 1 を設定します。	チャネル動作を停止しています。

（2/2）

	操作	TAUD の状態
動作開始	マスタチャネルとスレーブチャネルの TAUDTS.TAUDTSm を同時に“1”に設定します。TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	マスタ／スレーブチャネルの TAUDTE.TAUDTEm が“1”に設定され、カウンタがダウンカウントを開始します。
動作中	TAUDCDRm、TAUDTRO.TAUDTROm、TAUDTME.TAUDTMEm は任意のタイミングで変更可能です。 TAUDCNTm と TAUDRSF.TAUDRSFm は任意のタイミングで読み出し可能です。 TAUDRDT.TAUDRDTm は動作中に変更可能です。	マスタチャネルとスレーブチャネル 2～7 の TAUDCDRm の値を TAUDCNTm にロードし、ダウンカウントを行います。スレーブチャネル 1 の TAUDCDRm の値をロードし、マスタチャネルの割り込みを待ちます。マスタチャネルのカウンタが 0000H になった場合： ・ INTTAUDIm が発生します。 ・ 再び TAUDCDRm の値を TAUDCNTm にロードし、ダウンカウントを継続します。 ・ スレーブチャネル 1 の TAUDCNTm 値が 1 減少し、マスタチャネルの次の割り込みを待ちます。 ・ スレーブチャネル 2～7 の TAUDCNTm は再び TAUDCDRm の値をロードするか、反対方向のカウントを開始します。 ・ TAUDCDRm の値がロードされるタイミングで、スレーブチャネル 2～7 の TAUDTME.TAUDTMEm の値が、TAUDTTOUTm 出力に反映されます。 ・ スレーブチャネル 1 がマスタチャネルの割り込みを TAUDCDRm + 1 検出した場合： - INTTAUDIm が発生します。 - スレーブチャネル 2～7 の TAUDTRO.TAUDTROm の値が、TAUDTTOUTm 出力に反映されます。 ・ スレーブチャネル 2～7 のカウンタが 0001H になった場合： - INTTAUDIm が発生します。 - スレーブチャネル 2～7 の PWM 出力信号がセット／リセットされます。
動作停止	マスタチャネルとスレーブチャネルの TAUDTT.TAUDTTm を同時に“1”に設定します。TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

(8)　特定の設定時のタイミング図

基本タイミング図での設定は次のようになっています。

- マスタチャネル：動作開始時に INTTAUDIm が発生しない（TAUDCMORm.TAUDMD0 = 0）
- スレーブチャネル 2～7：正論理（TAUDTOL.TAUDTOLm = 0）

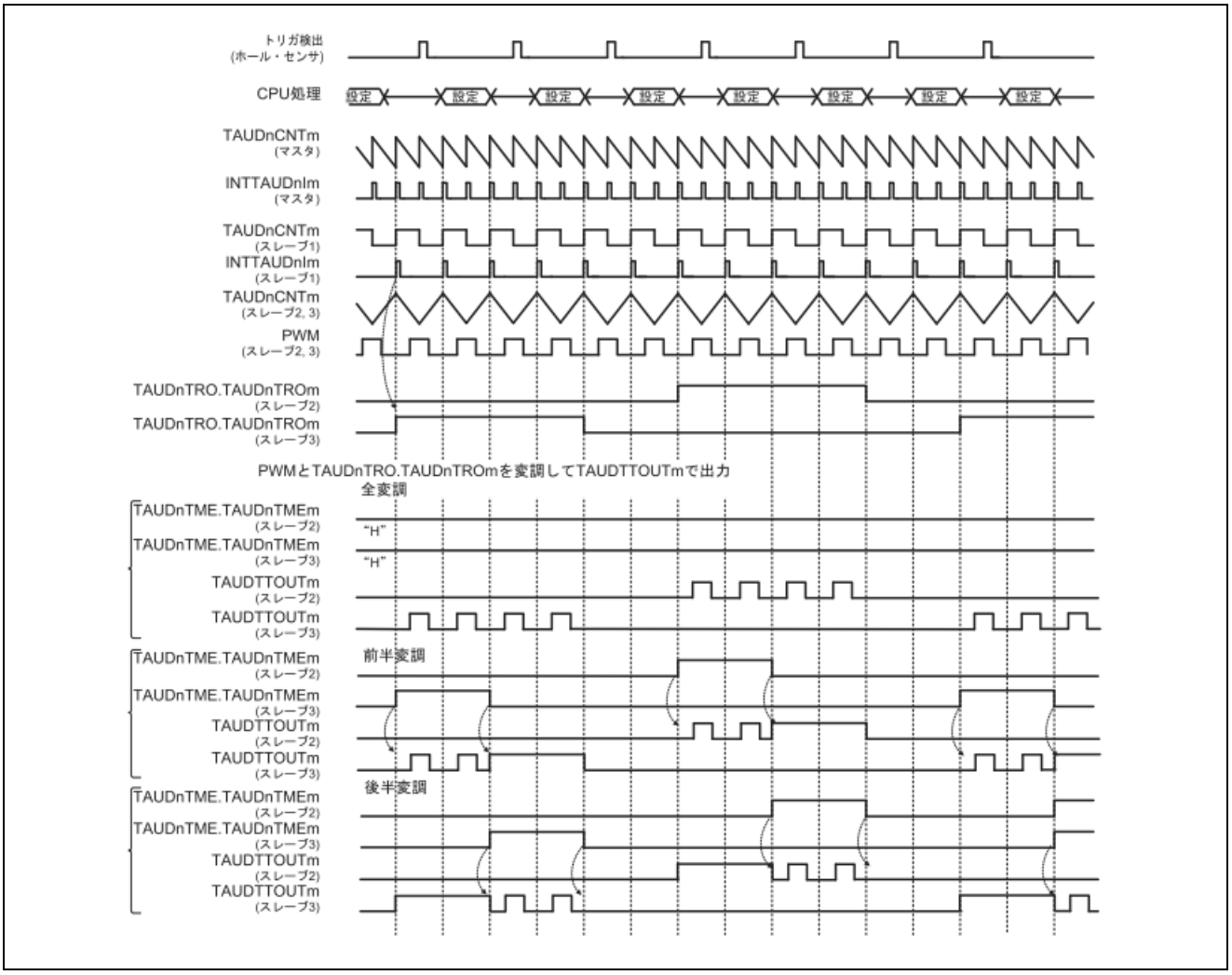


図16.132　非相補方式変調出力機能タイプ 2 の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャネルの TAUDTME.TAUDTMEm ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUDCDRm、TAUDTME.TAUDTMEm、TAUDTRO.TAUDTROm の値を変更できる期間を示しています。

TAUDTME.TAUDTMEm は、カウント開始タイミングと三角波 PWM のキャリア周期（山割り込みタイミング）検出で設定値が反映されます。TAUDTRO.TAUDTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャネル 1 で割り込みが発生しないと適用されません。

16.16.3 相補方式変調出力機能

(1) 概要

(a) 概要

この機能では、2 つで 1 組のスレーブチャネルのリアルタイム出力ビット（TAUDTRO.TAUDTROm）、変調出力ビット（TAUDTME.TAUDTMEm）、出力レベルビット（TAUDTDL.TAUDTDLm）の値に応じて、TAUDTTOUTm から三角波 PWM 出力信号、ハイレベル信号、またはロウレベル信号を、デッドタイムを付加して出力します。通常は 3 組のチャネルが使用されます。

(b) 前提条件

- マスタチャネル×1、スレーブチャネル×7
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「表16.204 相補方式変調出力機能のマスタチャネルのTAUDCMORmレジスタの内容」参照）。
- スレーブチャネル 1 の動作モードは、イベントカウントモードに設定する必要があります（「表16.208 相補方式変調出力機能のスレーブチャネル1のTAUDCMORmレジスタの内容」参照）。
- スレーブチャネル 2, 4, 6 の動作モードは、アップ／ダウンカウントモードに設定する必要があります（「表16.211 相補方式変調出力機能のスレーブチャネル2, 4, 6のTAUDCMORmレジスタの内容」参照）。
- スレーブチャネル 3, 5, 7 の動作モードは、ワンカウントモードに設定する必要があります（「表16.215 相補方式変調出力機能のスレーブチャネル3, 5, 7のTAUDCMORmレジスタの内容」参照）。また、スレーブチャネル 3, 5, 7 の割り込みは、キャリア周期内での発生回数が一意に決まらないため、割り込み要因として使用しないでください。
- マスタチャネルの出力モードは、チャネル単体出力モード 1 に設定する必要があります（「16.7. チャネル出力モード」参照）。
- この機能ではスレーブチャネル 1 の TAUDTTOUTm は使用しませんが、TAUDTRC.TAUDTRCm は“1”に設定する必要があります（「16.7. チャネル出力モード」参照）。
- スレーブチャネル 2～7 のチャネル出力モードは、相補方式変調出力を行うチャネル連動出力モード 2 に設定する必要があります（「16.7. チャネル出力モード」参照）。

(c) 機能説明

- マスタチャネル：
  チャネルトリガビット（TAUDTS.TAUDTSm）を“1”に設定すると、マスタチャネルのカウンタ動作が許可されます。これにより TAUDTE.TAUDTEm = 1 となり、カウントが可能になります。マスタチャネルのデータレジスタ（TAUDCDRm）の値がカウンタ（TAUDCNTm）にロードされ、カウンタはこの値からダウンカウントを開始します。
  マスタチャネルのカウンタが 0000H になると、INTTAUDIm が発生します。これによりスレーブチャネル 1 のカウンタ値が 1 減少し、スレーブチャネル 2 のカウンタが反対方向にカウントを開始します。
- スレーブチャネル 1：
  カウンタが 0000H になると、マスタチャネルからの次の割り込みを待ちます。そして再び TAUDCDRm の値を TAUDCNTm（スレーブ 1）にロードし、INTTAUDIm が発生します。
  スレーブチャネル 1 はリアルタイム出力のトリガチャネルとして設定されます（TAUDTRC.TAUDTRCm = 1）。割り込みにより、スレーブチャネル 1 の割り込み発生を検出しているチャネルで、各チャネルのリアルタイム出力ビット（TAUDTRO.TAUDTROm）の値が適用されます。リアルタイム出力ビット値はアプリケーションソフトで任意のタイミングで変更可能ですが、新しい値はスレーブチャネル 1 で割り込みが発生するまで適用されません。
- スレーブチャネル 2：
  スレーブチャネル 2 のカウンタが 0001H になると、スレーブチャネル 3 のカウンタがダウンカウントを開始します。スレーブチャネル 3 のカウンタが 0000H になると、割り込みが発生します。
- スレーブチャネル 2、スレーブチャネル 3：
  マスタチャネルとスレーブチャネル 2 およびスレーブチャネル 3 を組み合わせて使用することで、PWM 出力信号を生成します。マスタチャネルは PWM 出力周期を生成し、スレーブチャネル 2 はデューティサイクルを、スレーブチャネル 3 はデッドタイムを生成します。
- スレーブチャネル 4～7：
  スレーブチャネル 4, 6 はスレーブチャネル 2 と同じように動作し、スレーブチャネル 5, 7 はスレーブチャネル 3 と同じように動作します。

「表16.204 相補方式変調出力機能時のスレーブチャネル1時のTAUDTTOUTm出力（TAUDTOL.TAUDTOLm = 0）」にあるように、TAUDTTOUTm から出力される信号は、スレーブチャネルのリアルタイム出力ビット（TAUDTRO.TAUDTROm）、変調出力ビット（TAUDTME.TAUDTMEm）、出力レベルビット（TAUDTDL.TAUDTDLm）の値によって決まります。

ただし、チャネル 2 とチャネル 3 の両方からハイレベル信号が出力されることは禁止です（モータドライバのショートを防ぐなどの目的のため）。

この機能では強制リスタートは行えません。マスタ／スレーブチャネルの TAUDTT.TAUDTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDTE.TAUDTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDTS.TAUDTSm を“1”に設定すると、カウントを再開できます。

(d)　条件

- 1 組のチャネルの双方で TAUDTME.TAUDTMEm が“1”に設定されている場合（TAUDTOL.TAUDTOLm = 0）：
  - 片方のチャネルの TAUDTRO.TAUDTROm が“1”の場合、TAUDTTOUTm はそのチャネルの対応する PWM を出力します。
  - 双方のチャネルの TAUDTRO.TAUDTROm が“0”の場合、1 組の TAUDTTOUTm はロウレベル信号を出力します。
- 1 組のチャネルの双方で TAUDTME.TAUDTMEm が“0”に設定されている場合（TAUDTOL.TAUDTOLm = 0）：
  - TAUDTRO.TAUDTROm が“1”の場合、そのチャネルの TAUDTTOUTm はハイレベル信号を出力します。
  - TAUDTRO.TAUDTROm が“0”の場合、そのチャネルの TAUDTTOUTm はロウレベル信号を出力します。
- TAUDTOL.TAUDTOLm が“1”の場合、TAUDTTOUTm から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は負論理となります。

表16.203　相補方式変調出力機能時のスレーブチャネル 1 時の TAUDTTOUTm 出力（TAUDTOL.TAUDTOLm = 0）

TAUDTME.TAUDTME2	TAUDTME.TAUDTME3	TAUDTRO.TAUDTRO2	TAUDTRO.TAUDTRO3	TAUDTDL.TAUDTDL2	TAUDTDL.TAUDTDL3	TAUDTTOUT2 出力	TAUDTTOUT3 出力
0	0	0	0	X	X	ロウレベル	ロウレベル
		0	1	1	0	ロウレベル	ハイレベル
		1	0	0	1	ハイレベル	ロウレベル
		1	1	X	X	設定禁止	設定禁止
1	1	0	0	X	X	ロウレベル	ロウレベル
		0	1	1	0	~PWM	PWM
		1	0	0	1	PWM	~PWM
		1	1	X	X	設定禁止	設定禁止

備考 1. この表の PWM は正相 PWM 信号を示し、~PWM は逆相 PWM 信号を示します（正論理）。
正相／逆相は TAUDTDL.TAUDTDLm で設定されます。
2. この表に記述のない設定は禁止です。

- 1 組のチャネルの片方で、TAUDTRO.TAUDTROm が“1”に設定されている間、TAUDTME.TAUDTMEm が継続的に“1”に設定されている場合、その変調は全変調になります。
- 1 組のチャネルの片方で、TAUDTRO.TAUDTROm が“1”に設定されている期間の前半で TAUDTME.TAUDTMEm が“1”に設定されている場合、その変調は前半変調になります。
- 1 組のチャネルの片方で、TAUDTRO.TAUDTROm が“1”に設定されている期間の後半で TAUDTME.TAUDTMEm が“1”に設定されている場合、その変調は後半変調になります。
- 2 つのチャネルが同時にハイレベル信号の出力となる場合にデッドタイムが正相 PWM 信号と逆相 PWM 信号のどちらに付加されるかは、TAUDTDL.TAUDTDLm ビット値で決まります。
  - TAUDTDL.TAUDTDLm = 0 の場合、正相 PWM 信号にデッドタイムを付加
  - TAUDTDL.TAUDTDLm = 1 の場合、逆相 PWM 信号にデッドタイムを付加
  - TAUDTDL.TAUDTDLm ビット値の操作は、動作中にアプリケーションソフトで行う必要があります。TAUDTDL.TAUDTDLm を変更する場合は、TAUDTRO.TAUDTROm が 00B の期間に書き換えてください。
- スレーブチャネル 1 の TAUDCDRm 値は、キャリア周期（山割り込みタイミング）でスレーブチャネル 1 の INTTAUDIm を発生させる値に設定する必要があります。
- スレーブチャネル 2～7 で TAUDTOL.TAUDTOLm = 0 が設定されている場合：
  - TAUDTDL.TAUDTDLm = 0 が設定されている場合、TAUDTE.TAUDTEm = 0 に設定する前に TAUDTO.TAUDTOm を“0”（ロウレベル）に設定します。
  - TAUDTDL.TAUDTDLm = 1 が設定されている場合、TAUDTE.TAUDTEm = 0 に設定する前に TAUDTO.TAUDTOm を“1”（ハイレベル）に設定します。
- スレーブチャネル 2～7 で TAUDTOL.TAUDTOLm = 1 が設定されている場合：
  - TAUDTDL.TAUDTDLm = 0 が設定されている場合、TAUDTE.TAUDTEm = 0 に設定する前に TAUDTO.TAUDTOm を“1”（ハイレベル）に設定します。
  - TAUDTDL.TAUDTDLm = 1 が設定されている場合、TAUDTE.TAUDTEm = 0 に設定する前に TAUDTO.TAUDTOm を“0”（ロウレベル）に設定します。
- この機能では一斉書き換えを行うことができます。「16.6. 一斉書き換え」を参照してください。

(2) 算出式

パルス周期 =（TAUDCDRm（マスタ）+ 1）× カウントクロック周期

0000H ≦ TAUDCDRm（マスタ）< FFFFH

キャリア周期（ダウン／アップ）=

（TAUDCDRm（マスタ）+ 1）× 2 × カウントクロック周期

スレーブチャネル 2、スレーブチャネル 3：

PWM 信号幅（正相）= [（TAUDCDRm（マスタ）+ 1 - TAUDCDRm（スレーブ 2）× 2）

-（TAUDCDRm（スレーブ 3）+ 1）] × カウントクロック周期

PWM 信号幅（逆相）= [（TAUDCDRm（マスタ）+ 1 - TAUDCDRm（スレーブ 2）× 2）

+（TAUDCDRm（スレーブ 3）+ 1）] × カウントクロック周期

スレーブチャネル 4～7：

スレーブチャネル 4, 6 はスレーブチャネル 2 と同じように、スレーブチャネル 5, 7 はスレーブチャネル 3 と同じように算出してください。

(3)　ブロック図と基本タイミング図

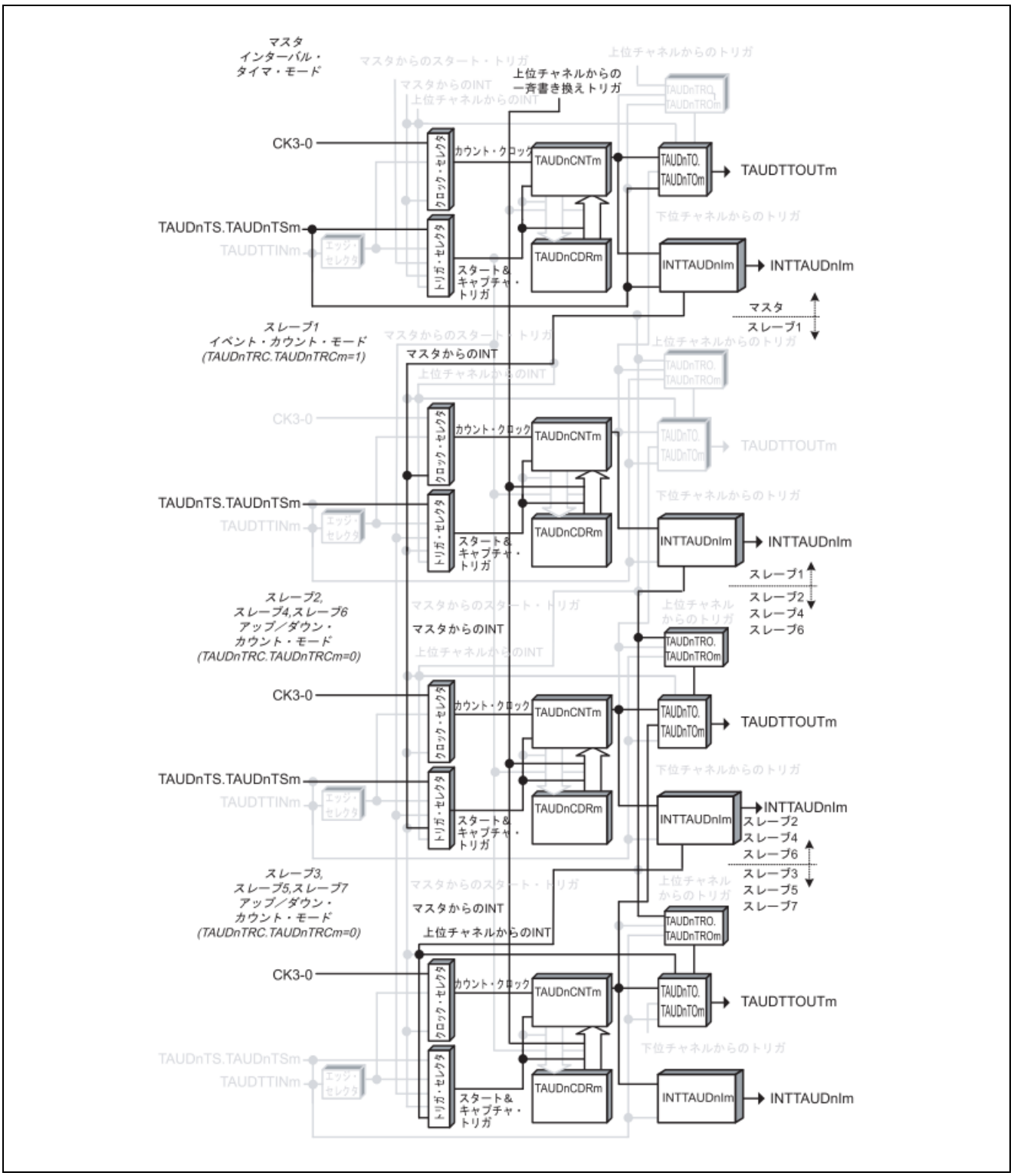


図16.133　相補方式変調出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル：動作開始時に INTTAUDIm が発生しない（TAUDCMORm.TAUDMD0 = 0）
- スレーブチャネル 1：TAUDCDRm=0001H
- スレーブチャネル 2～7：正論理（TAUDTOL.TAUDTOLm = 0）

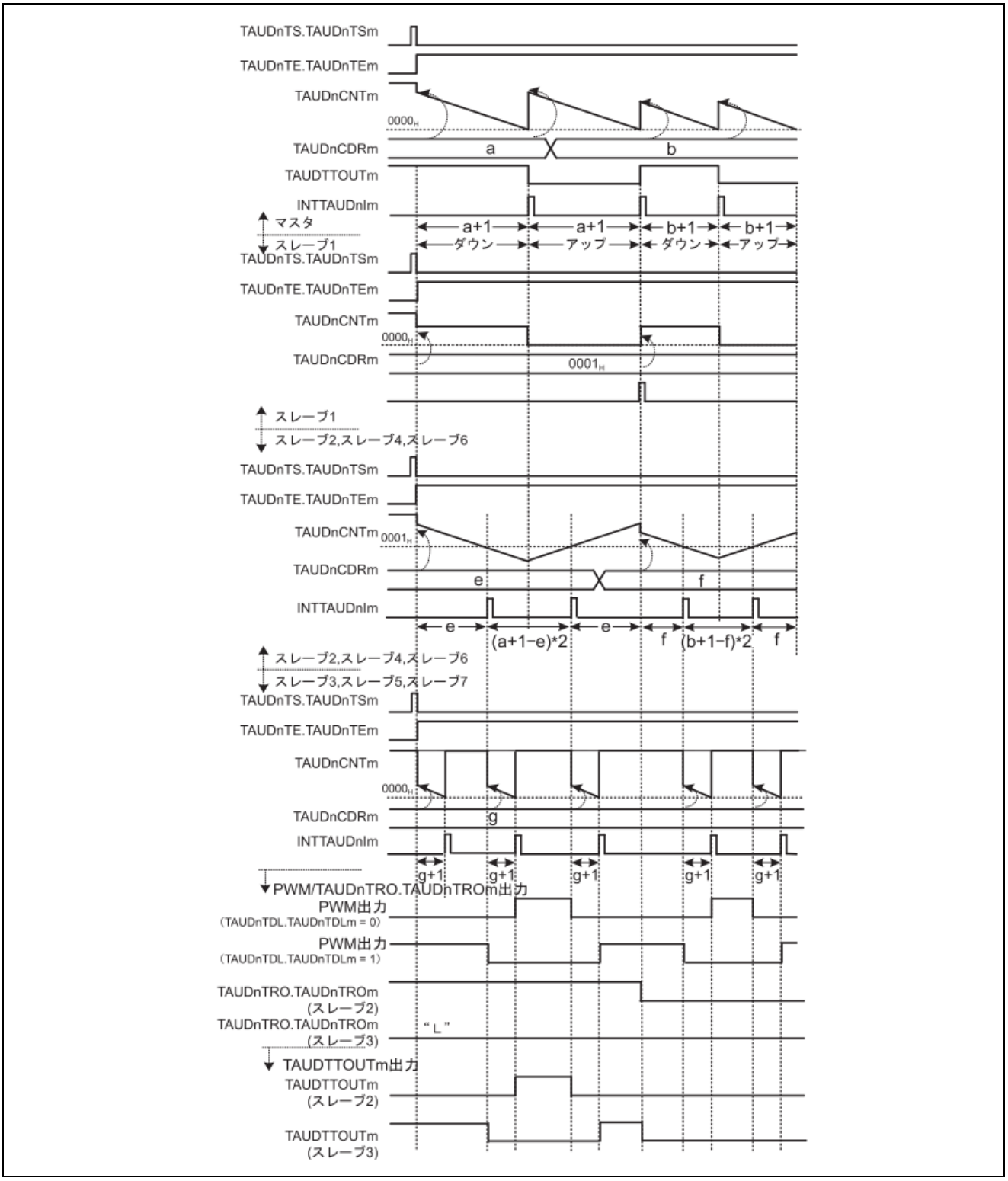


図16.134　相補方式変調出力機能の基本タイミング図

(4) マスタチャネルのレジスタ設定

(a) TAUDCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUDCKS [1:0]		TAUDCCS [1:0]		TAUD MAS	TAUDSTS[2:0]			TAUDCOS [1:0]		0	TAUDMD[4:1]				TAUD MD0

表16.204　相補方式変調出力機能のマスタチャネルの TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDMAS	1：チャネルはマスタチャネル
10-8	TAUDSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0000：インターバルタイマモード
0	TAUDMD0	0：動作開始または再開時に INTTAUDIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始または再開時に INTTAUDIm が発生し、TAUDTTOUTm はトグルされる

(b) TAUDCMURm

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUDTIS[1:0]	

表16.205　相補方式変調出力機能のマスタチャネルの TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.206　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	0：チャネル単体出力
TAUDTOC.TAUDTOCm	0：動作モード 1（TAUDTOM.TAUDTOMm = 0 時はトグルモード）
TAUDTOL.TAUDTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDTDE.TAUDTDEm	0：デッドタイム動作禁止
TAUDTDM.TAUDTDMm	0：デッドタイム動作禁止時（TAUDTDE.TAUDTDEm = 0）、“0”を設定
TAUDTDL.TAUDTDLm	
TAUDTRE.TAUDTREm	0：リアルタイム出力禁止
TAUDTRO.TAUDTROm	0：リアルタイム出力禁止時（TAUDTRE.TAUDTREm = 0）、“0”を設定
TAUDTRC.TAUDTRCm	
TAUDTME.TAUDTMEm	0：変調禁止

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.207　相補方式変調出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDRDM.TAUDRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、 対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDRDS.TAUDRDSm = 0 のとき、このビットの値にかかわらず、 マスタチャネルで一斉書き換えトリガをモニタ。

備考 TAUDRDS.TAUDRDSm = 1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

(5)　スレーブチャネル 1 のレジスタ設定

(a)　TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.208　相補方式変調出力機能のスレーブチャネル 1 の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	11：マスタチャネルの INTTAUDIm をカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	000：ソフトウェアでカウンタをトリガ 011：一斉書き換えトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0011：イベントカウントモード
0	TAUDMD0	0：動作開始または再開時に INTTAUDIm が発生しない

(b)　TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.209　相補方式変調出力機能のスレーブチャネル 1 の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

この機能では、スレーブチャネル 1 ではチャネル出力モードを使用しないため、TAUDTOE.TAUDTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

注意. スレーブチャネル 1 をリアルタイム出力のトリガチャネルとして使用するため、TAUDTRC.TAUDTRCm を 1 に設定する必要があります。

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.210　相補方式変調出力機能時のスレーブチャネル 1 の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDRDM.TAUDRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、 対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDRDS.TAUDRDSm = 0 のとき、このビットの値にかかわらず、 マスタチャネルで一斉書き換えトリガをモニタ。

(6) スレーブチャネル 2, 4, 6 のレジスタ設定

(a) TAUDCMORm

15 14	13 12	11	10 9 8	7 6	5	4 3 2 1	0
TAUDCKS [1:0]	TAUDCCS [1:0]	TAUD MAS	TAUDSTS[2:0]	TAUDCOS [1:0]	0	TAUDMD[4:1]	TAUD MD0

表16.211 相補方式変調出力機能のスレーブチャネル 2, 4, 6 の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	11：マスタチャネルの INTTAUDIm をカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	111：マスタチャネルのアップ／ダウン出力トリガ信号
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	1001：アップ／ダウンカウントモード
0	TAUDMD0	0：動作開始または再開時に INTTAUDIm が発生しない

(b) TAUDCMURm

7	6	5	4	3	2	1 0
0	0	0	0	0	0	TAUDTIS[1:0]

表16.212 相補方式変調出力機能のスレーブチャネル 2, 4, 6 の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.213　相補方式変調出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	1：チャネル連動動作
TAUDTOC.TAUDTOCm	1：動作モード 2
TAUDTOL.TAUDTOLm	0：正論理 1：負論理
TAUDTDE.TAUDTDEm	1：デッドタイム動作許可
TAUDTDM.TAUDTDMm	0：上位偶数チャネルで割り込みを検出し、なおかつ TAUDTDL.TAUDTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDTDL.TAUDTDLm	0：正相にデッドタイムを付加 1：逆相にデッドタイムを付加
TAUDTRE.TAUDTREm	1：リアルタイム出力許可
TAUDTRO.TAUDTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDTRC.TAUDTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDTME.TAUDTMEm	0：変調禁止 1：変調許可

注意. PWM 出力時、TAUDTDL.TAUDTDLm は、奇数チャネルと排他設定してください。

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.214　相補方式変調出力機能時のスレーブチャネル 2, 4, 6 の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDRDM.TAUDRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDRDS.TAUDRDSm = 0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

(7)　スレーブチャネル 3, 5, 7 のレジスタ設定

(a)　TAUDCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUDCKS[1:0]		TAUDCCS[1:0]		TAUDMAS	TAUDSTS[2:0]			TAUDCOS[1:0]		0	TAUDMD[4:1]				TAUDMD0

表16.215　相補方式変調出力機能のスレーブチャネル 3, 5, 7 の TAUDCMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUDCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDCKS[1:0]ビット値は同一である必要があります。
13-12	TAUDCCS[1:0]	11：マスタチャネルの INTTAUDIm をカウントクロックとして使用
11	TAUDMAS	0：チャネルはスレーブチャネル
10-8	TAUDSTS[2:0]	110：デッドタイムトリガ
7-6	TAUDCOS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUDMD[4:1]	0100：ワンカウントモード
0	TAUDMD0	1：カウント中のスタートトリガ検出許可

(b)　TAUDCMURm

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUDTIS[1:0]	

表16.216　相補方式変調出力機能のスレーブチャネル 3, 5, 7 の TAUDCMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUDTIS[1:0]	00：未使用、“00”を設定

(c)　チャネル出力モード

表16.217　相補方式変調出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDTOE.TAUDTOEm	1：チャネル単体出力モード許可
TAUDTOM.TAUDTOMm	1：チャネル連動動作
TAUDTOC.TAUDTOCm	1：動作モード 2
TAUDTOL.TAUDTOLm	0：正論理 1：負論理
TAUDTDE.TAUDTDEm	1：デッドタイム動作許可
TAUDTDM.TAUDTDMm	0：上位偶数チャネルで割り込みを検出し、なおかつ TAUDTDL.TAUDTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDTDL.TAUDTDLm	0：正相にデッドタイムを付加 1：逆相にデッドタイムを付加
TAUDTRE.TAUDTREm	1：リアルタイム出力許可
TAUDTRO.TAUDTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDTRC.TAUDTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDTME.TAUDTMEm	0：変調禁止 1：変調許可

注意. PWM 出力時、TAUDTDL.TAUDTDLm は、偶数チャネルと排他設定してください。

(d)　一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表16.218　相補方式変調出力機能時のスレーブチャネル 3, 5, 7 の一斉書き換え設定

ビット名	設定
TAUDRDE.TAUDRDEm	1：一斉書き換えを許可
TAUDRDS.TAUDRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDRDM.TAUDRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDRDC.TAUDRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDRDS.TAUDRDSm = 0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

(8)　相補方式変調出力機能タイプ 1 時の操作手順

表16.219　相補方式変調出力機能時の操作手順

（1/2）

	操作	TAUD の状態
チャネルの初期設定	マスタチャネル： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.16.3(4) マスタチャネルのレジスタ設定」に示すように設定します。 スレーブチャネル 1： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.16.3(5) スレーブチャネル1のレジスタ設定」に示すように設定します。 スレーブチャネル 2, 4, 6： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.16.3(6) スレーブチャネル2, 4, 6のレジスタ設定」に示すように設定します。 スレーブチャネル 3, 5, 7： TAUDCMORm/TAUDCMURm レジスタとチャネル出力モードを「16.16.3(7) スレーブチャネル3, 5, 7のレジスタ設定」に示すように設定します。 全チャネルの TAUDCDRm レジスタの値を設定します。マスタチャネルの TAUDCDRm でパルス周期を設定し、スレーブチャネル 1 の TAUDCDRm で無視されるマスタチャネル割り込み数を設定します。また、スレーブチャネル 2, 4, 6 の TAUDCDRm にデューティ幅を、スレーブチャネル 3, 5, 7 にデッドタイム遅延を設定します。 スレーブチャネル 1 に TAUDTRC.TAUDTRCm = 1 を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDTS.TAUDTSm を同時に“1”に設定します。 TAUDTS.TAUDTSm はトリガビットなので、自動的に“0”にクリアされます。	マスタ／スレーブチャネルの TAUDTE.TAUDTEm が“1”に設定され、カウンタがダウンカウントを開始します。

動作再開

（2/2）

	操作	TAUD の状態
動作中	TAUDCDRm、TAUDTRO.TAUDTROm、TAUDTME.TAUDTMEm、TAUDTDL.TAUDTDLm は任意のタイミングで変更可能です。 TAUDCNTm と TAUDRSF.TAUDRSFm は任意のタイミングで読み出し可能です。 TAUDRDT.TAUDRDTm は動作中に変更可能です。	マスタチャネルとスレーブチャネル 2～7 の TAUDCDRm の値を TAUDCNTm にロードし、ダウンカウントを行います。スレーブチャネル 1 の TAUDCDRm の値をロードし、マスタチャネルの割り込みを待ちます。マスタチャネルのカウンタが 0000H になった場合： ・ INTTAUDIm が発生します。 ・ 再び TAUDCDRm の値を TAUDCNTm にロードし、ダウンカウントを継続します。 ・ スレーブチャネル 1 の TAUDCNTm 値が 1 減少し、マスタチャネルの次の割り込みを待ちます。 ・ スレーブチャネル 2, 4, 6 の TAUDCNTm は、再び TAUDCDRm の値をロードするか、反対方向のカウントを開始します。 ・ スレーブチャネル 2, 4, 6 の TAUDCDRm の値がロードされるタイミングで、スレーブチャネル 2～7 の TAUDTME.TAUDTMEm の値が、TAUDTTOUTm 出力に反映されます。 ・ スレーブチャネル 1 のカウンタが 0000H になると、マスタチャネルからの次の割り込みを待ちます。割り込み検出時： - 再び TAUDCDRm の値を TAUDCNTm にロードし、マスタチャネルの次の割り込みを待ちます。 - INTTAUDIm が発生します。 - TAUDTRO.TAUDTROm を変更可能です。 ・ スレーブチャネル 2, 4, 6 のカウンタが 0001H になった場合： - INTTAUDIm が発生します。 - スレーブチャネル m の PWM 出力がセット／リセットされます（設定したチャネル出力モードの条件に一致した場合）。 - スレーブチャネル 3, 5, 7 の TAUDCDRm の値を TAUDCNTm にロードし、ダウンカウントを行います。 ・ スレーブチャネル 3, 5, 7 のカウンタが 0000H になった場合： - INTTAUDIm が発生します。 - スレーブチャネル m の PWM 出力がセット／リセットされます（設定したチャネル出力モードの条件に一致した場合）。
動作停止	マスタチャネルとスレーブチャネルの TAUDTT.TAUDTTm を同時に“1”に設定します。 TAUDTT.TAUDTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDTE.TAUDTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDCNTm と TAUDTTOUTm は停止し、現在値を保持します。

(9)　特定の設定時のタイミング図

タイミング図での設定は次のようになっています。

- マスタチャネル：動作開始時に INTTAUDIm が発生しない（TAUDCMORm.TAUDMD0 = 0）
- スレーブチャネル 1：TAUDCDRm = 0001H
- スレーブチャネル 2～7：正論理（TAUDTOL.TAUDTOLm = 0）

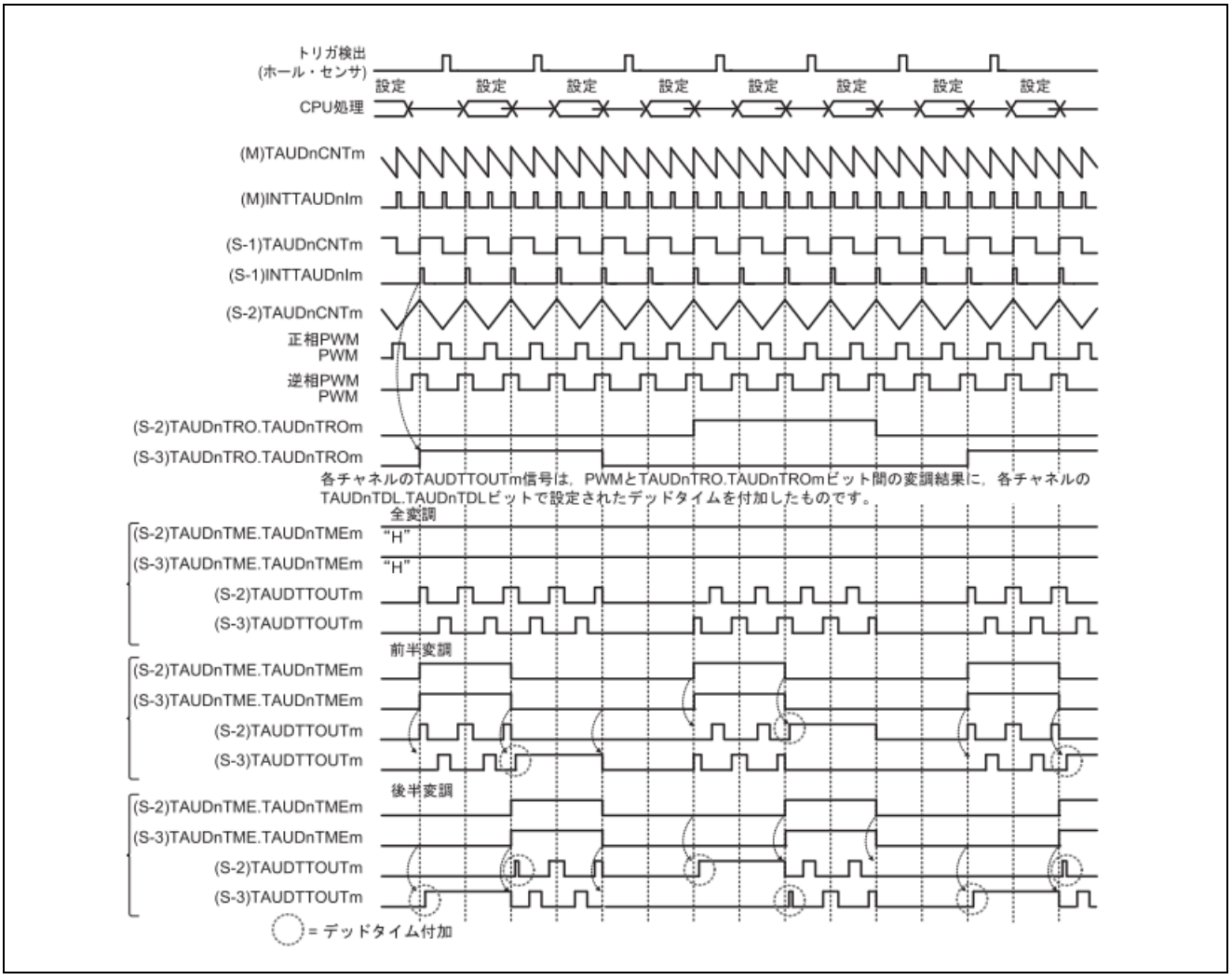


図16.135　相補方式変調出力機能の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャネルの TAUDTME.TAUDTMEm ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。スレーブチャネル 2, 3 から出力されるのは、変調された PWM 出力信号と TAUDTRO.TAUDTROm ビットの値です。

TAUDTME.TAUDTMEm、TAUDTDL.TAUDTDLm は、カウント開始タイミングと三角波 PWM のキャリア周期（山割込みタイミング）検出で設定値が反映されます。TAUDTRO.TAUDTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャネル 1 で割り込みが発生しないと適用されません。

備考 デッドタイムは、正相と逆相の PWM のエッジが同時に変化するのを抑制するために付加されます。

「設定」とあるところは、TAUDCDRm、TAUDTME.TAUDTMEm、TAUDTRO.TAUDTROm、TAUDTDL.TAUDTDLm の値を変更できる期間を示しています。

17. モータ制御（TAPA／PIC）

本章では、モータ制御機能として搭載されているタイマモータ制御ユニット（TAPA）、ペリフェラルインタコネクション（PIC）について説明します。

17.1 TAPA／PIC の特徴

モータ制御機能は、タイマモータ制御ユニット（TAPA）と周辺タイマを接続するペリフェラルインタコネクション（PIC）で構成し、周辺タイマおよび A/D コンバータとの組み合わせによりモータ制御波形を生成します。

○ ユニット数：　　1（n = 0）

備考 本章の図中表記 TAPAn、PICn などの添え字 n は、n=0 または添え字なしと同じ意味を示します。
例えば、TAPAnOPHT、TAPA0OPHT、TAPAOPHT は同じものとして扱います。
尚、チャネル数を示す添え字 m の取り扱いは異なる（詳細は後述）ため、注意してください。

○ m の意味：　　使用するタイマ、A/D コンバータのチャネルを「m」で識別します。
例えば、TAUD のチャネルは CHm と表記します。

○ 割り込みと周辺機能：　TAPA の下記割り込み要求は、割り込み処理や Hardware ISR 以外にも、DMA 転送（汎用 DMAC、リアルタイムポート DMAC）、タイマ・キャプチャ・トリガ（TAUJ2、TAUD）、リアルタイム・ポート（RP00-RP37）の更新に利用可能です。

表17.1　TAPA の割り込みと周辺機能への要求

TAPA 割り込み信号	機能	接続先
TAPATIPEK0 注	山割り込み	・割り込みコントローラ TAPATIPEK0 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
TAPATIVLY0 注	谷割り込み	・割り込みコントローラ TAPATIVLY0 ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）

注. 外部割り込み入力（INTPZ22、INTPZ23）と兼用しており、INTPZ/タイマ割り込み選択レジスタ（INTSEL）にて選択します。TAPA 割り込みを使用する場合は、INTSEL レジスタの設定値を“1”に設定して下さい。
レジスタの詳細は「25.19 INTPZ/タイマ割り込み選択レジスタ(INTSEL)」を参照して下さい。

17.1.1 外部出力信号

TAPA、PIC の外部出力信号を以下の表に示します。

表17.2 外部出力信号

ユニット信号名	機能	端子名
TOP0U	モータ制御出力 U 相（正相）	RP32 と兼用
TOP0UB	モータ制御出力 U 相（逆相）	RP33 と兼用
TOP0V	モータ制御出力 V 相（正相）	RP34 と兼用
TOP0VB	モータ制御出力 V 相（逆相）	RP35 と兼用
TOP0W	モータ制御出力 W 相（正相）	RP36 と兼用
TOP0WB	モータ制御出力 W 相（逆相）	RP37 と兼用

17.1.2 内部出力信号

TAPA、PIC の内部出力信号を以下の表に示します。

表17.3 内部出力信号

ユニット信号名	概要	接続先
TAPA		
$\overline{\text{TAPATHZOUT0}}$	TAPA0UP/TAPA0UN 出力バッファ Hi-Z 制御出力注 1	RP32/RP33
$\overline{\text{TAPATHZOUT1}}$	TAPA0VP/TAPA0VN 出力バッファ Hi-Z 制御出力注 1	RP34/RP35
$\overline{\text{TAPATHZOUT2}}$	TAPA0WP/TAPA0WN 出力バッファ Hi-Z 制御出力注 1	RP36/RP37
TAPATADOUT0	A/D 変換トリガ信号 0 出力注 2, 3	ADC (ADTRIG[2])
TAPATADOUT1	A/D 変換トリガ信号 1 出力注 2, 3	ADC (ADTRIG[3])
PIC		
TAPATHASIN	TAPA 非同期 Hi-Z 制御信号注 1	TAPA
TAPATSIM0	TAUD マスタチャネル割り込み信号	TAPA
TAPATUDCM0	TAUD マスタアップ/ダウン信号	TAPA
ADOPA0DCATTIN00	PIC 出力注 2, 4	ADC (ADTRIG[1])

注 1. 詳細については「17.4.6 TAPA Hi-Z制御入力選択」を参照して下さい。
2. これらの信号は、A/D 変換開始用のトリガソースとして使用できます。
詳細は「23.2.2. A/D コンバータモードレジスタ 1（ADM1）」を参照して下さい。
3. 詳細については「17.6 A/Dコンバータ変換トリガ選択機能」を参照して下さい。
4. 詳細については「17.7 ADCハードウェアトリガ選択機能」を参照して下さい。

17.2 概要

17.2.1 機能概要

モータ制御機能は、モータ制御ユニット（TAPA）と 16 ビット・タイマ・アレイ・ユニット（TAUD）や A/D コンバータを組み合わせて以下の機能を実現します。

- 非同期 Hi-Z 制御機能
  端子入力やエラー信号による TAUD 出力の Hi-Z 制御が可能
- 割り込み信号出力機能
  TAUD が出力する INTTAUDI0-15 信号により山割り込み、谷割り込み要求信号出力が可能
- A/D 変換開始トリガ選択機能
  TAUD が出力する INTTAUDI0-15 信号により A/D 変換開始トリガ出力が可能

また、ペリフェラルインタコネクション（PIC）との組み合わせにより以下の機能を実現します。

- タイマ同時スタートトリガ
  TAUD、TAUJ2 の各チャネルタイマの同時スタートが可能
- デッドタイム付き 3 相 PWM 出力機能／デッドタイム付き高精度三角波 PWM 出力機能
  TAUD によるデッドタイム付 3 相 PWM 出力が可能
- デッドタイム付きディレイパルス出力機能
  周期タイミングに対するディレイパルス出力（デッドタイム付）が可能

17.2.2　モータ制御機能の構成

モータ制御機能の周辺ブロック構成を以下に示します。

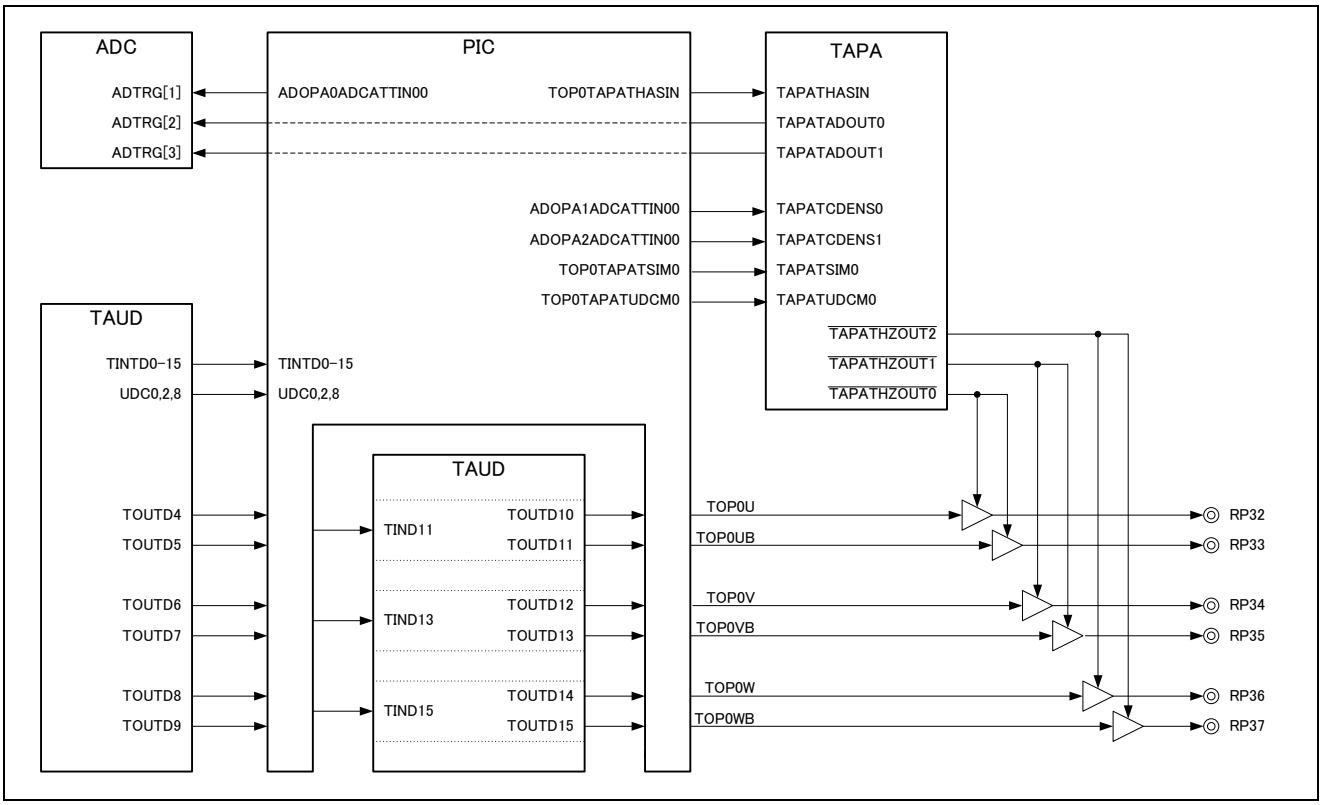


図17.1　モータ制御の構成

TAUD と PIC を使用して、モータ制御出力信号（デッドタイム付三相 PWM 出力信号）を生成します。

タイマ制御ユニット（TAPA）は、モータ制御出力の Hi-Z 制御を行います。また、PIC は TAUD、TAUJ2 の各チャネルや TAPA 間を組み合わせることによりモータ用途向けの機能を実現します。

17.2.3 用語説明

- **タイマカウンタの「山」と「谷」、「山割り込み」と「谷割り込み」について**

本マニュアルでは、TAUD のカウントアップステータスから、マスタチャネルの割り込み発生までを「山」期間とし、発生するマスタチャネルの割り込みを「山割り込み」と定義します。

また、TAUD のカウントダウンステータスから、マスタチャネルの割り込み発生までを「谷」期間とし、発生するマスタチャネルの割り込みを「谷割り込み」と定義します。

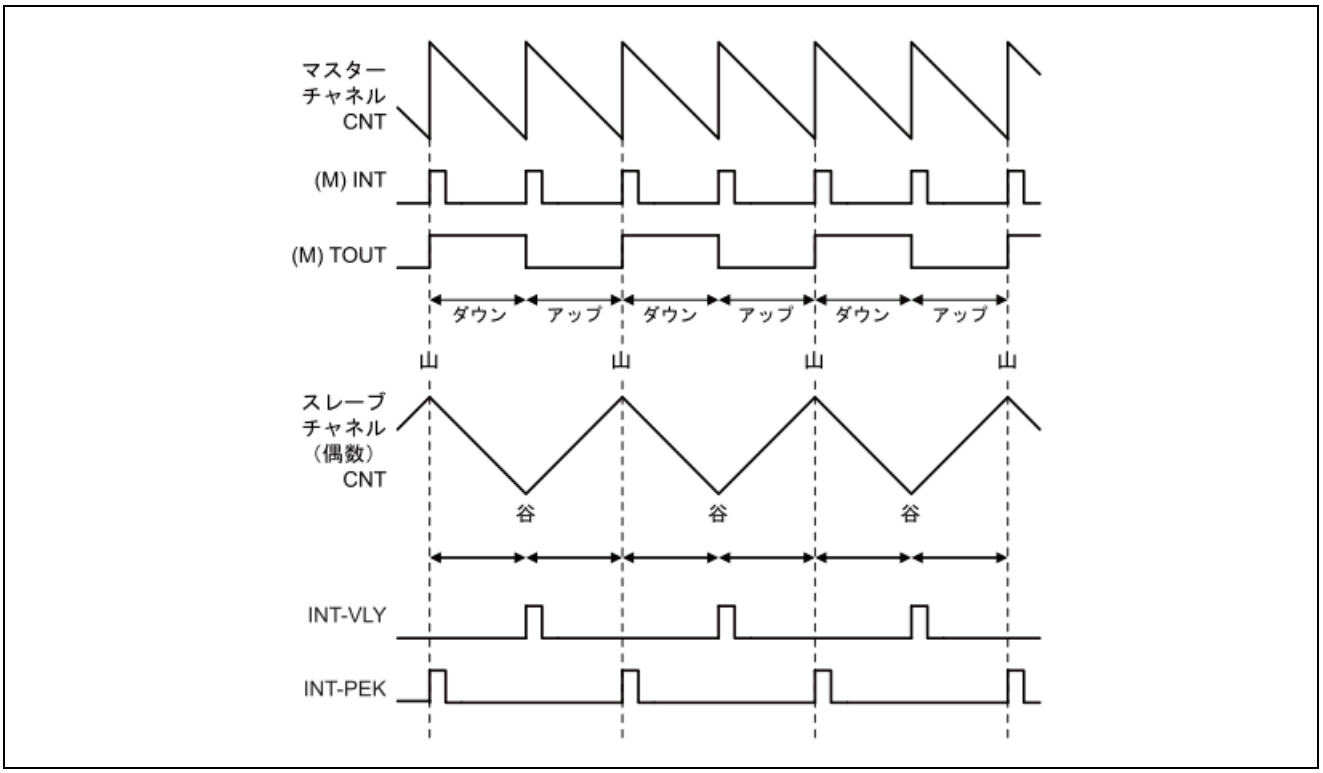


図17.2 山割り込みと谷割り込み

17.3 レジスタ

17.3.1 レジスター覧

TAPA および PIC のレジスター覧を以下の表に示します。

表17.4 レジスター覧

マクロ名	レジスタ名	略号	アドレス
TAPA	TAPA 制御レジスタ 0	TAPACTL0	4000_0C20H
	TAPA 制御レジスタ 1	TAPACTL1	4000_0C24H
	TAPA フラグレジスタ	TAPAFLG	4000_0C00H
	TAPA 非同期 Hi-Z 制御ライトイネーブルレジスタ	TAPAACWE	4000_0C04H
	TAPA 非同期 Hi-Z 制御スタートトリガレジスタ	TAPAACTS	4000_0C08H
	TAPA 非同期 Hi-Z 制御ストップトリガレジスタ	TAPAACTT	4000_0C0CH
	TAPA Hi-Z スタートトリガレジスタ	TAPAOPHS	4000_0C14H
	TAPA Hi-Z ストップトリガレジスタ	TAPAOPHT	4000_0C18H
	TAPA エミュレーションレジスタ	TAPAEMU	4000_0C28H
PIC	同時スタートトリガ制御レジスタ	PICSST	4000_0D04H
	同時スタート制御レジスタ 0	PICSSER0	4000_0D10H
	同時スタート制御レジスタ 2	PICSSER2	4000_0D18H
	Hi-Z 出力制御レジスタ 0	PICHIZCEN0	4000_0D80H
	A/D 変換トリガ出力制御レジスタ 400	PICADTEN400	4000_0D90H
	A/D 変換トリガ出力制御レジスタ 401	PICADTEN401	4000_0D94H
	A/D 変換トリガ出力制御レジスタ 402	PICADTEN402	4000_0D98H
	タイマ入出力制御レジスタ 200	PICREG200	4000_0DC0H
	タイマ入出力制御レジスタ 201	PICREG201	4000_0DC4H
	タイマ入出力制御レジスタ 202	PICREG202	4000_0DC8H
	タイマ入出力制御レジスタ 203	PICREG203	4000_0DCCH

17.3.2　TAPA 制御レジスタ 0（TAPACTL0）

このレジスタで、非同期 Hi-Z 制御機能の設定を行います。

このレジスタの値は、TAPAFLG.TAPAACE = 0、かつ、対応する TAUD のマスタチャネルの TAUDTEm = 0 の場合のみ書き換えることができます。

- アクセス　　16 ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TAPACTL0	0	0	0	0	0	0	0	0	0	0	0	TAPADCM	TAPADCN	TAPADCP	0	0	4000_0C20H	0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	0	0		

ビット位置	ビット名	意　味
15-5	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
4	TAPADCM	クリア条件指定ビット Hi-Z 制御出力のクリア条件を指定するビットです。 0：TAPATHASIN 信号入力に関係なく、TAPAOPHT0 ビットの操作を有効 1：TAPATHASIN 信号入力がインアクティブの場合にのみ、TAPAOPHT0 ビット操作を有効
3-2	TAPADCN TAPADCP	Hi-Z 入力エッジ選択ビット TAPATHASIN 信号の有効エッジを指定する制御ビットです。
1-0	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）

TAPADCN	TAPADCP	動作説明
0	0	有効エッジを検出しない
0	1	立ち上がりエッジを有効エッジとして検出（アクティブレベル ＝High）
1	0	立ち下がりエッジを有効エッジとして検出（アクティブレベル ＝Low）
1	1	設定禁止

17.3.3　TAPA 制御レジスタ 1（TAPACTL1）

このレジスタで、A/D 変換トリガを指定します。

- アクセス　　8 ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAPACTL1	0	0	0	0	TAPAATS3	TAPAATS2	TAPAATS1	TAPAATS0	4000_0C24H	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
7-4	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-2	TAPAATS3 TAPAATS2	A/D 変換トリガ 1 選択ビット[注 1] A/D 変換トリガ出力 1（TAPATADOUT1 信号）を指定する制御ビットです。

TAPAATS3	TAPAATS2	動作説明
0	0	三角波のダウンカウント中の割り込み信号
0	1	三角波のアップカウント中の割り込み信号
1	0	三角波のアップ／ダウンカウント中の割り込み信号
1	1	三角波のアップ／ダウンカウント中の割り込み信号と谷割り込み TAPATIVLY0 信号

ビット位置	ビット名	意　味
1-0	TAPAATS1 TAPAATS0	A/D 変換トリガ 0 選択ビット[注 2] A/D 変換トリガ出力 0（TAPATADOUT0 信号）を指定する制御ビットです。

TAPAATS1	TAPAATS0	動作説明
0	0	三角波のダウンカウント中の割り込み信号
0	1	三角波のアップカウント中の割り込み信号
1	0	三角波のアップ／ダウンカウント中の割り込み信号
1	1	三角波のアップ／ダウンカウント中の割り込み信号と谷割り込み TAPATIVLY0 信号

注 1. A/D 変換トリガ 1 を選択する場合は、ADM1.TRGEN1-0=11B に設定する必要があります。
詳細は「23.2.2 A/D コンバータモードレジスタ 1 (ADM1)」を参照して下さい。
2. A/D 変換トリガ 0 を選択する場合は、ADM1.TRGEN1-0=10B に設定する必要があります。
詳細は「23.2.2 A/D コンバータモードレジスタ 1 (ADM1)」を参照して下さい。
3. TAPAATS ビットの設定が 00B の場合、PICREG200 レジスタの設定が必要です。詳細は「17.3.18 タイマ入出力制御レジスタ 200（PICREG200）」を参照ください。

17.3.4 TAPA フラグレジスタ（TAPAFLG）

非同期 Hi-Z 制御のフラグレジスタです。

- アクセス　　16 ビット単位でリードのみ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TAPAFLG	0	0	0	0	0	TAPAHOF2	TAPAHOF1	TAPAHOF0	0	0	0	0	0	0	0	TAPAACE	4000_0C00H	0000H
R/W	0	0	0	0	0	R	R	R	0	0	0	0	0	0	0	R		

ビット位置	ビット名	意　味
15-11	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
10	TAPAHOF2	W 相 Hi-Z 制御モニタビット Hi-Z 制御のモニタビットです。 0：TAPATHZOUT2 の現在の出力がハイレベル 1：TAPATHZOUT2 の現在の出力がロウレベル
9	TAPAHOF1	V 相 Hi-Z 制御モニタビット Hi-Z 制御のモニタビットです。 0：TAPATHZOUT1 の現在の出力がハイレベル 1：TAPATHZOUT1 の現在の出力がロウレベル
8	TAPAHOF0	U 相 Hi-Z 制御モニタビット Hi-Z 制御のモニタビットです。 0：TAPATHZOUT0 の現在の出力がハイレベル 1：TAPATHZOUT0 の現在の出力がロウレベル
7-1	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	TAPAACE	非同期 Hi-Z 制御イネーブルビット 0：非同期 Hi-Z 制御が停止状態 1：非同期 Hi-Z 制御が許可状態 このビットのセット条件とクリア条件は次のとおりです。 クリア条件：TAPAACWE ビット= 1 時の TAPAACTT への“1”書き込み セット条件：TAPAACWE ビット= 1 時の TAPAACTS への“1”書き込み

17.3.5　TAPA 非同期 Hi-Z ライトイネーブルレジスタ（TAPAACWE）

非同期 Hi-Z 制御のための書き込みを許可します。

- アクセス　　8 ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAPA ACWE	0	0	0	0	0	0	0	TAPA ACWE	4000_0C04H	00H
R/W	0	0	0	0	0	0	0	R/W		

ビット位置	ビット名	意　味
7-1	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	TAPAACWE	非同期制御ライトイネーブルビット 非同期 Hi-Z 制御用の書き込み許可ビットです。 “1”に書き込み後、TAPAACTS ビットと TAPAACTT ビットに“1”を書き込むことによって、自動的に“0”にクリアされます。 0：TAPAACTS ビットと TAPAACTT ビットへの書き込み禁止 1：TAPAACTS ビットと TAPAACTT ビットへの書き込み許可

17.3.6　TAPA 非同期 Hi-Z スタートトリガレジスタ（TAPAACTS）

非同期 Hi-Z 制御用のスタートトリガを許可します。

- アクセス　　8 ビット単位でライトのみ可能です。
  読み出し値は常に 00H となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAPA ACTS	0	0	0	0	0	0	0	TAPA ACTS	4000_0C08H	00H
R/W	0	0	0	0	0	0	0	W		

ビット位置	ビット名	意　味
7-1	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	TAPAACTS	非同期 Hi-Z 制御スタートトリガビット 非同期 Hi-Z 制御用のスタートトリガを許可します。このビットの設定は、TAPAACWE = 1 の場合のみ有効となります。 0：“0”書き込みは、無視されます（機能として意味を持ちません）。 1：TAPAACWE = 1 の場合に非同期 Hi-Z 制御を許可

17.3.7　TAPA 非同期 Hi-Z ストップトリガレジスタ（TAPAACTT）

非同期 Hi-Z 制御用のストップトリガを許可します。

- アクセス　　8 ビット単位でライトのみ可能です。
  読み出し値は常に 00H となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAPA ACTT	0	0	0	0	0	0	0	TAPA ACTT	4000_0C0CH	00H
R/W	0	0	0	0	0	0	0	W		

ビット位置	ビット名	意　味
7-1	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	TAPAACTT	非同期 Hi-Z 制御ストップトリガビット 非同期 Hi-Z 制御用のストップトリガを許可します。このビットの設定は、TAPAnACWE = 1 の場合のみ有効となります。 0：“0”書き込みは無視されます（機能として意味を持ちません）。 1：TAPAACWE = 1 の場合に非同期 Hi-Z 制御を停止

17.3.8　TAPA Hi-Z スタートトリガレジスタ（TAPAOPHS）

モータ制御出力端子に対する Hi-Z 制御を開始するためのソフトウエアトリガレジスタです。

- アクセス　　8 ビット単位でライトのみ可能です。
  読み出し値は常に 00H となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAPA OPHS	0	0	0	0	0	0	0	TAPA OPHS	4000_0C14H	00H
R/W	0	0	0	0	0	0	0	W		

ビット位置	ビット名	意　味
7-1	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	TAPAOPHS	Hi-Z 制御スタートトリガビット モータ制御出力端子の Hi-Z 制御を開始します。 0：“0”書き込みは無視されます（機能として意味を持ちません）。 1：Hi-Z 制御を開始

17.3.9　TAPA Hi-Z ストップトリガレジスタ（TAPAOPHT）

モータ制御出力端子に対する Hi-Z 制御を停止するためのソフトウエアトリガレジスタです。

- アクセス　　8 ビット単位でライトのみ可能です。
  読み出し値は常に 00H となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAPA OPHT	0	0	0	0	0	0	0	TAPA OPHT	4000_0C18H	00H
R/W	0	0	0	0	0	0	0	W		

ビット位置	ビット名	意　味
7-1	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	TAPAOPHT	Hi-Z 制御ストップトリガビット モータ制御出力端子の Hi-Z 制御を停止します。 0：“0”書き込みは無視されます（機能として意味を持ちません）。 1：Hi-Z 制御を停止。本ビットの設定有効／無効の条件は TAPACTL0.TAPADCM で設定します。

17.3.10　TAPA エミュレーションレジスタ（TAPAEMU）

このレジスタは、エミュレーションのために SVSTOP による動作を制御します。

- アクセス　　8 ビット単位でリード／ライト可能です。
  （SVSTOP = Low の場合は、書き換えのみ可能です。）

	7	6	5	4	3	2	1	0	アドレス	初期値
TAPA EMU	TAPA SVSDIS	0	0	0	0	0	0	0	4000_0C28H	00H
R/W	R/W	0	0	0	0	0	0	0		

ビット位置	ビット名	意　味
7	TAPASVSDIS	SVSTOP の禁止に使用します。 0：SVSTOP が有効。 （SVSTOP = H が入力された場合、Hi-Z 制御出力を Low レベルに設定する） 1：SVSTOP が無効。 （Hi-Z 制御出力のレベルは SVSTOP 入力のレベルによって変化しない）
6-0	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）

17.3.11　同時スタートトリガ制御レジスタ（PICSST）

PICSST レジスタは、同時スタートトリガ制御を行うレジスタです。

- アクセス　　8 ビット単位でライトのみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PICSST	0	0	0	0	0	0	0	SYNCTRG	4000_0D04H	00H
R/W	0	0	0	0	0	0	0	W		

ビット位置	ビット名	意　味
7-1	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	SYNCTRG	同時スタート許可に設定したタイマに対して、スタートトリガを生成します。 リード時は常に“0”が読めます。 0：無効 1：同時スタートトリガ生成（1PCLK 幅のパルスを出力）

17.3.12　同時スタート制御レジスタ 0（PICSSER0）

PICSSER0 レジスタは、TAUD の各チャネルのスタートトリガ許可を行うレジスタです。

- アクセス　　16 ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
PICSSER0	SSER015	SSER014	SSER013	SSER012	SSER011	SSER010	SSER009	SSER008	SSER007	SSER006	SSER005	SSER004	SSER003	SSER002	SSER001	SSER000	4000_0D10H	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
15-0	SSER015- SSER000	TAUD の CHm の同時スタートトリガ許可を設定します。 0：同時スタートトリガ禁止 1：同時スタートトリガ許可

17.3.13　同時スタート制御レジスタ 2（PICSSER2）

PIC0SSER2 レジスタは、TAUJ2 の各チャネルのスタートトリガ許可を行うレジスタです。

- アクセス　　16 ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
PICSSER2	0	0	0	0	0	0	0	0	0	0	0	0	SSER203	SSER202	SSER201	SSER200	4000_0D18H	0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
15-4	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-0	SSER203- SSER200	TAUJ2 の CHm の同時スタートトリガ許可を設定します。 0：同時スタートトリガ禁止 1：同時スタートトリガ許可

17.3.14　Hi-Z 出力制御レジスタ 0（PICHIZCEN0）

PICHIZCEN0 レジスタは、TAPA の Hi-Z 出力制御信号を選択します。

- アクセス　　8 ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PICHIZCEN0	0	0	0	0	0	HIZCEN2	0	0	4000_0D80H	00H
R/W	0	0	0	0	0	R/W	0	0		

ビット位置	ビット名	意　味
7-3	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
2	HIZCEN2	異常検出信号選択レジスタにて選択されたエラー検出信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
1-0	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）

17.3.15　A/D 変換トリガ出力制御レジスタ 400（PICADTEN400）

TAUD チャネル m からの ADTRG ch1 を選択します。（m = 0-15）

- アクセス　　16 ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
PICADTEN400	ADTEN15	ADTEN14	ADTEN13	ADTEN12	ADTEN11	ADTEN10	ADTEN09	ADTEN08	ADTEN07	ADTEN06	ADTEN05	ADTEN04	ADTEN03	ADTEN02	ADTEN01	ADTEN00	4000_0D90H	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
15-0	ADTEN15- ADTEN00	TAUD の CHm（m = 0～15）の ADTRG ch1 を設定[注] 0：TAUD CHm の A/D トリガソース禁止 1：TAUD CHm の A/D トリガソース許可

注. ADTRG ch1 を選択する場合は、ADM1.TRGEN1-0=01B に設定する必要があります。
詳細は「23.2.2 A/D コンバータモードレジスタ 1 (ADM1)」を参照して下さい。

17.3.16　A/D 変換トリガ出力制御レジスタ 401（PICADTEN401）

TAUD チャネル m からの ADTRG ch2 を選択します。（m = 0-15）

- アクセス　　16 ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
PICADTEN401	ADTEN15	ADTEN14	ADTEN13	ADTEN12	ADTEN11	ADTEN10	ADTEN09	ADTEN08	ADTEN07	ADTEN06	ADTEN05	ADTEN04	ADTEN03	ADTEN02	ADTEN01	ADTEN00	4000_0D94H	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
15-0	ADTEN15- ADTEN00	TAUD の CHm（m = 0～15）の ADTRG ch2 を設定[注] 0：TAUD CHm の A/D トリガソース禁止 1：TAUD CHm の A/D トリガソース許可

注. ADTRG ch2 を選択する場合は、ADM1.TRGEN1-0=10B に設定する必要があります。
詳細は「23.2.2 A/D コンバータモードレジスタ 1 (ADM1)」を参照して下さい。

17.3.17　A/D 変換トリガ出力制御レジスタ 402（PICADTEN402）

TAUD チャネル m からの ADTRG ch3 を選択します。（m = 0-15）

- アクセス　　16 ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
PICADTEN402	ADTEN15	ADTEN14	ADTEN13	ADTEN12	ADTEN11	ADTEN10	ADTEN09	ADTEN08	ADTEN07	ADTEN06	ADTEN05	ADTEN04	ADTEN03	ADTEN02	ADTEN01	ADTEN00	4000_0D94H	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
15-0	ADTEN15- ADTEN00	TAUD の CHm（m = 0～15）の ADTRG ch3 を設定[注] 0：TAUD CHm の A/D トリガソース禁止 1：TAUD CHm の A/D トリガソース許可

注. ADTRG ch3 を選択する場合は、ADM1.TRGEN1-0=11B に設定する必要があります。
詳細は「23.2.2 A/D コンバータモードレジスタ 1 (ADM1)」を参照して下さい。

17.3.18　タイマ入出力制御レジスタ 200（PICREG200）

TAPA の入力選択を行うレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
PICREG 200	0	0	0	0	0	0	PICREG20025	PICREG20024	0	0	0	0	0	PICREG20018	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4000_0DC0H
																																	初期値
R/W	0	0	0	0	0	0	R/W	R/W	0	0	0	0	0	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000 0000H

ビット位置	ビット名	意　味
31-26	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
25-24	PICREG20025 PICREG20024	TAPATSIM0、TAPATUDCM0 で使用する TAUD のチャネルを選択します。 00：選択なし 01：TAUD チャネル 0 選択 10：TAUD チャネル 2 選択 11：TAUD チャネル 8 選択
23-19	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
18	PICREG20018	TAUDTTIN10、TAUDTTIN12、TAUDTTIN14 への TIN 入力信号を選択します。 0：設定禁止 1：TAUDTTOUT2 を選択
17-0	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）

17.3.19　タイマ入出力制御レジスタ 201（PICREG201）

組合せ回路の論理選択を行うレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
PICREG 201	0	0	0	0	PICREG20127	PICREG20126	PICREG20125	PICREG20124	PICREG20123	PICREG20122	PICREG20121	PICREG20120	PICREG20119	PICREG20118	PICREG20117	PICREG20116	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4000_0DC4H 初期値 0000 0000H
R/W	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット位置	ビット名	意　味
31-28	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
27-26	PICREG20127-PICREG20126	TAUD の CH9 に設定した出力論理に合わせて、FN05 A 入力信号を選択します。

Bit27	Bit26	入力信号
1	0	組み合わせ回路出力（アクティブハイ設定時に選択（TAUDTOL09 = 0））
1	1	組み合わせ回路反転出力（アクティブロウ設定時に選択（TAUDTOL09 = 1））
上記以外		設定禁止

ビット位置	ビット名	意　味
25-24	PICREG20125-PICREG20124	TAUD の CH8 に設定した出力論理に合わせて、FN04 A 入力信号を選択します。

Bit25	Bit24	入力信号
1	0	組み合わせ回路出力（アクティブハイ設定時に選択（TAUDTOL08 = 0））
1	1	組み合わせ回路反転出力（アクティブロウ設定時に選択（TAUDTOL08 = 1））
上記以外		設定禁止

ビット位置	ビット名	意　味
23-22	PICREG20123-PICREG20122	TAUD の CH7 に設定した出力論理に合わせて、FN03 A 入力信号を選択します。

Bit23	Bit22	入力信号
1	0	組み合わせ回路出力（アクティブハイ設定時に選択（TAUDTOL07 = 0））
1	1	組み合わせ回路反転出力（アクティブロウ設定時に選択（TAUDTOL07 = 1））
上記以外		設定禁止

（2/2）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>21-20</td><td>PICREG20121-
PICREG20120</td><td>TAUD の CH6 に設定した出力論理に合わせて、FN02 A 入力信号を選択します。
<table>
<tr><th>Bit21</th><th>Bit20</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
（アクティブハイ設定時に選択（TAUDTOL06 = 0））</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
（アクティブロウ設定時に選択（TAUDTOL06 = 1））</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>19-18</td><td>PICREG20119-
PICREG20118</td><td>TAUD の CH5 に設定した出力論理に合わせて、FN01 A 入力信号を選択します。
<table>
<tr><th>Bit19</th><th>Bit18</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
（アクティブハイ設定時に選択（TAUDTOL05 = 0））</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
（アクティブロウ設定時に選択（TAUDTOL05 = 1））</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>17-16</td><td>PICREG20117-
PICREG20116</td><td>TAUD の CH4 に設定した出力論理に合わせて、FN00 A 入力信号を選択します。
<table>
<tr><th>Bit23</th><th>Bit22</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
（アクティブハイ設定時に選択（TAUDTOL04 = 0））</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
（アクティブロウ設定時に選択（TAUDTOL04 = 1））</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>15-0</td><td>ー</td><td>Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）</td></tr>
</table>

17.3.20　タイマ入出力制御レジスタ 202（PICREG202）

組合せ回路の論理選択を行うレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
PICREG 202	0	0	0	0	PICREG20227	0	PICREG20225	0	PICREG20223	0	PICREG20221	0	PICREG20219	0	PICREG20217	0	0	0	0	0	0	0	0	0	0	0	0	PICREG20204	PICREG20203	PICREG20202	0	0	4000_0DC8H 初期値
R/W	0	0	0	0	R/W	0	R/W	0	R/W	0	R/W	0	R/W	0	R/W	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	0	0	0000 0000H

ビット位置	ビット名	意　味
31-28	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
27	PICREG20227	TAUDTTIN15 への TIN 入力信号を選択します。 PICREG20227 = 1：PIC0REG20204 ビットで選択した信号 上記以外：設定禁止
26	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
25	PICREG20225	TAUDTTIN14 への TIN 入力信号を選択します。 PICREG20225 = 1：PIC0REG20018 ビットで選択した信号（TAUD の CH2 の TOUT） 上記以外：設定禁止
24	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
23	PICREG20223	TAUDTTIN13 への TIN 入力信号を選択します。 PICREG20223 = 1：PIC0REG20203 ビットで選択した信号 上記以外：設定禁止
22	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
21	PICREG20221	TAUDTTIN12 への TIN 入力信号を選択します。 PICREG20221 = 1：PIC0REG20018 ビットで選択した信号（TAUD の CH2 の TOUT） 上記以外：設定禁止
20	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）

（2/2）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>19</td><td>PICREG20219</td><td>TAUDTTIN11 への TIN 入力信号を選択します。<table><tr><th>PICREG20219</th><th>入力信号</th></tr><tr><td>1</td><td>PIC0REG20202 ビットで選択した信号</td></tr><tr><td>上記以外</td><td>設定禁止</td></tr></table></td></tr>
<tr><td>18</td><td>－</td><td>Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）</td></tr>
<tr><td>17</td><td>PICREG20217</td><td>TAUDTTIN10 への TIN 入力信号を選択します。<table><tr><th>PICREG20225</th><th>入力信号</th></tr><tr><td>1</td><td>PIC0REG20018 ビットで選択した信号（TAUD の CH2 の TOUT）</td></tr><tr><td>上記以外</td><td>設定禁止</td></tr></table></td></tr>
<tr><td>16-5</td><td>－</td><td>Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）</td></tr>
<tr><td>4</td><td>PICREG20204</td><td>TAUDTTIN15 供給する信号を選択します。
0：TAUDTTOUT9 を選択 注1
1：INTTAUDI8, INTTAUDI9 によるセット／クリア出力を選択 注2</td></tr>
<tr><td>3</td><td>PICREG20203</td><td>TAUDTTIN13 へ供給する信号を選択します。
0：TAUDTTOUT7 を選択 注1
1：INTTAUDI6, INTTAUDI7 によるセット／クリア出力を選択 注2</td></tr>
<tr><td>2</td><td>PICREG20202</td><td>TAUDTTIN11 へ供給する信号を選択します。
0：TAUDTTOUT5 を選択 注1
1：INTTAUDI4, INTTAUDI5 によるセット／クリア出力を選択 注2</td></tr>
<tr><td>1-0</td><td>－</td><td>Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）</td></tr>
</table>

注 1. 「デッドタイム付きディレイパルス出力機能」使用時に設定して下さい。
2. 「デッドタイム付き 3 相 PWM 出力機能」使用時に設定して下さい。

17.3.21　タイマ入出力制御レジスタ 203（PICREG203）

組合せ回路の論理選択を行うレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
PICREG 203	0	0	0	0	0	0	0	0	0	PICREG20322	PICREG20321	PICREG20320	0	PICREG20318	PICREG20317	PICREG20316	0	PICREG20314	PICREG20313	PICREG20312	0	PICREG20310	PICREG20309	PICREG20308	0	PICREG20306	PICREG20305	PICREG20304	0	PICREG20302	PICREG20301	PICREG20300	4000_0DCCH 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	0	R/W	R/W	R/W	0	R/W	R/W	R/W	0	R/W	R/W	R/W	0	R/W	R/W	R/W	0	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31-23	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
22-20	PICREG20322- PICREG20320	TAUD の CH9 に設定した出力論理に合わせて、入力信号 A/B の論理演算を選択します。
19	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
18-16	PICREG20318- PICREG20316	TAUD の CH8 に設定した出力論理に合わせて、入力信号 A/B の論理演算を選択します。
15	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
14-12	PICREG20314- PICREG20312	TAUD の CH7 に設定した出力論理に合わせて、入力信号 A/B の論理演算を選択します。

Bit22	Bit21	Bit20	入力信号
1	0	0	A and B （アクティブハイ設定時に選択（TAUDTOL09=0））
1	0	1	A or B （アクティブハイ設定時に選択（TAUDTOL09=1））
上記以外			設定禁止

Bit18	Bit17	Bit16	入力信号
1	0	0	A and B （アクティブハイ設定時に選択（TAUDTOL08=0））
1	0	1	A or B （アクティブハイ設定時に選択（TAUDTOL08=1））
上記以外			設定禁止

Bit14	Bit13	Bit12	入力信号
1	0	0	A and B （アクティブハイ設定時に選択（TAUDTOL07=0））
1	0	1	A or B （アクティブハイ設定時に選択（TAUDTOL07=1））
上記以外			設定禁止

（2/2）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>11</td><td>－</td><td>Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）</td></tr>
<tr><td>10-8</td><td>PICREG20310-
PICREG20308</td><td>TAUD の CH6 に設定した出力論理に合わせて、入力信号 A/B の論理演算を選択します。
<table>
<tr><th>Bit10</th><th>Bit9</th><th>Bit8</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
（アクティブハイ設定時に選択（TAUDTOL06=0））</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
（アクティブハイ設定時に選択（TAUDTOL06=1））</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>7</td><td>－</td><td>Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）</td></tr>
<tr><td>6-4</td><td>PICREG20306-
PICREG20304</td><td>TAUD の CH5 に設定した出力論理に合わせて、入力信号 A/B の論理演算を選択します。
<table>
<tr><th>Bit06</th><th>Bit05</th><th>Bit04</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
（アクティブハイ設定時に選択（TAUDTOL05=0））</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
（アクティブハイ設定時に選択（TAUDTOL05=1））</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>3</td><td>－</td><td>Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）</td></tr>
<tr><td>2-0</td><td>PICREG20302-
PICREG20300</td><td>TAUD の CH4 に設定した出力論理に合わせて、入力信号 A/B の論理演算を選択します。
<table>
<tr><th>Bit02</th><th>Bit01</th><th>Bit00</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
（アクティブハイ設定時に選択（TAUDTOL04=0））</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
（アクティブハイ設定時に選択（TAUDTOL04=1））</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
</table>

17.4　非同期 Hi-Z 制御機能

R-IN32M4 によって制御されるタイマモータ制御機能の動作が異常な場合、外部に接続しているモータの回転も異常になります。モータの異常検出時に、R-IN32M4 による制御とは関係なく、モータ制御出力を強制的に Hi-Z 状態に設定します。

17.4.1　概要

非同期 Hi-Z 制御により、TAPA からの出力を強制的に停止する機能です。

- TAPATHASIN がアクティブレベルになると、モータ制御出力端子のレベルは Hi-Z に設定され、モータ制御出力は強制的に停止します。
- Hi-Z 状態になったモータ制御出力は、Hi-Z ストップトリガレジスタ（TAPAOPHT）への書き込みによって再開することができます。
- モータ制御出力の Hi-Z 状態設定は、Hi-Z 制御スタートトリガレジスタ（TAPAOPHS）への書き込みにより行うことも可能です。
- PIC の設定により、エラー発生時の Hi-Z 制御入力の許可・禁止が可能です。

17.4.2　システム構成例

モータ制御出力（TAPA0UP / TAPA0UN / TAPA0VP / TAPA0VN / TAPA0WP / TAPA0WN）を、異常検出信号選択レジスタ[注]にて選択されたエラー検出信号にて Hi-Z 制御する場合のシステム構成例を下記に示します。

エラー検出信号の有効エッジを検出すると、モータ制御出力を Hi-Z にします。

エラー発生時に R-IN32M4 がフリーズする可能性を想定し、エラー検出信号を継続的に処理することによって、クロックがない状態でもモータ制御用タイマ出力を Hi-Z にできるようにしています。

なお、エラーは、エラー検出信号の有効エッジを検出したときにのみ検出されます。したがって、出力レベルが固定されている場合エラーは検出されず、信号レベルは変化しません。

注. レジスタ設定にて選択可能なエラー系信号は「25.22 異常検出信号選択レジスタ(ERRDETSEL0,1)」を参照して下さい。

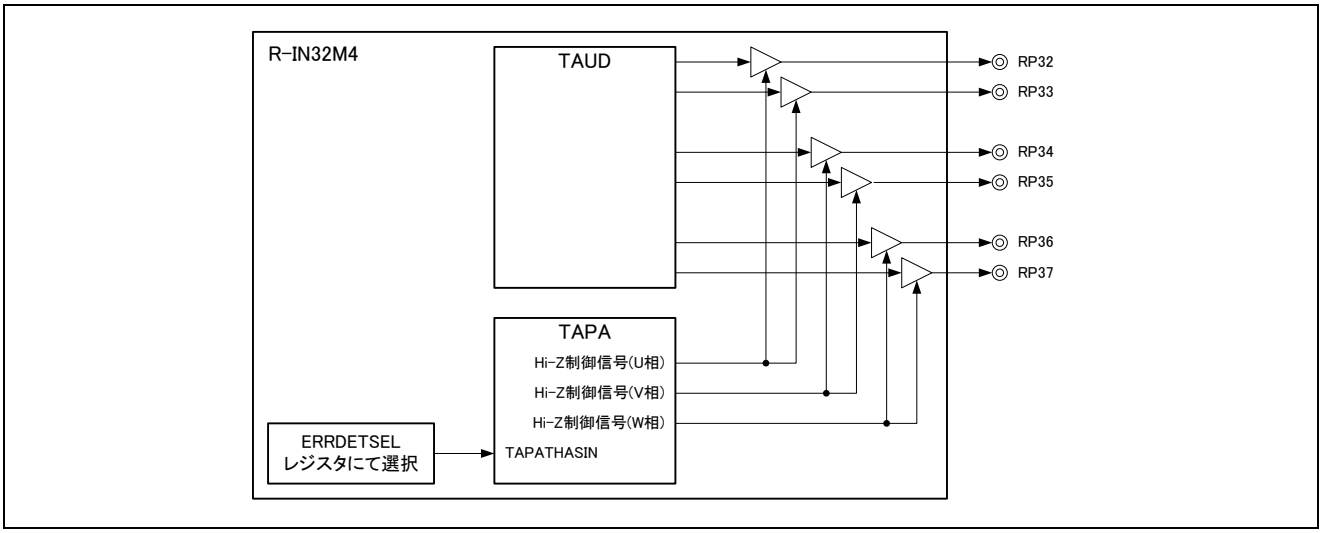


図17.3　端子入力に対応した非同期 Hi-Z 制御のシステム構成例

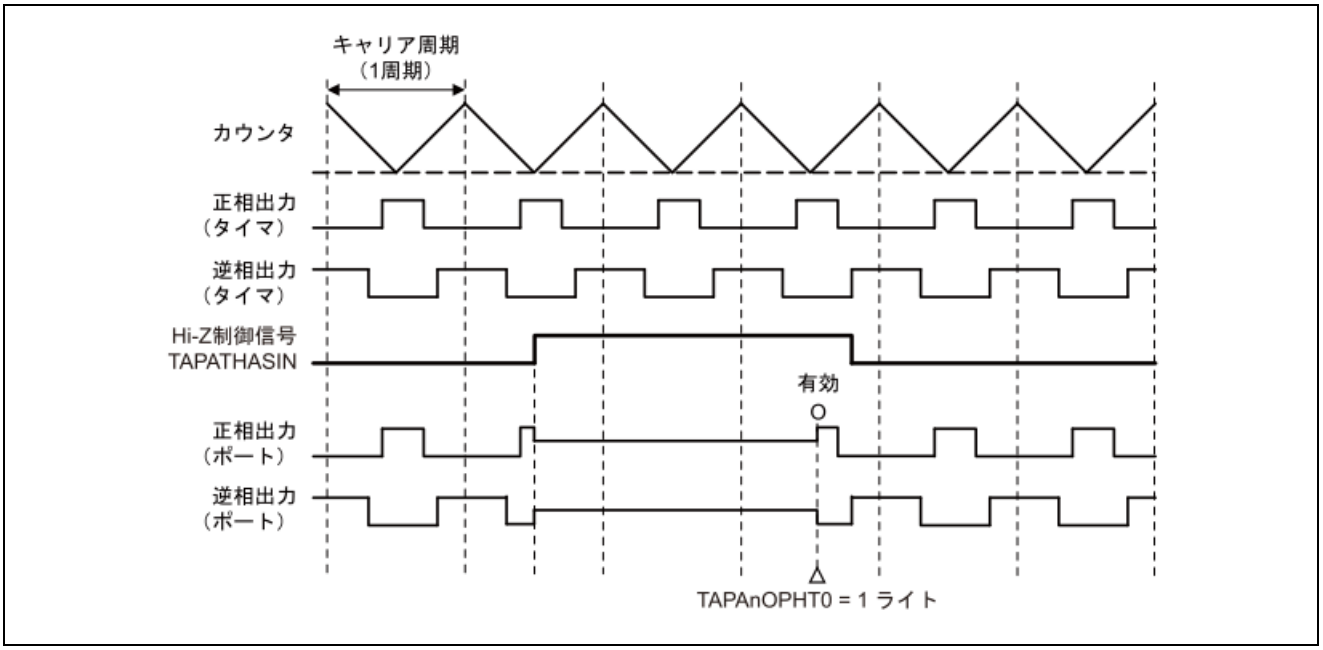
17.4.3 基本動作

モータ制御出力端子の Hi-Z 制御は次の方法で開始できます。

- 非同期 Hi-Z 制御信号（TAPATHASIN）の有効エッジ検出
- Hi-Z 制御信号のスタートトリガビット（TAPAOPHS.TAPAOPHS0）をセット

Hi-Z 制御信号のストップトリガビット（TAPAOPHT.TAPAOPHT0）をセットするまで、モータ制御出力端子が Hi-Z 状態になります。ただし、TAPAOPHT0 ビットの設定有効／無効の条件は、TAPACTL0.TAPADCM で設定します。

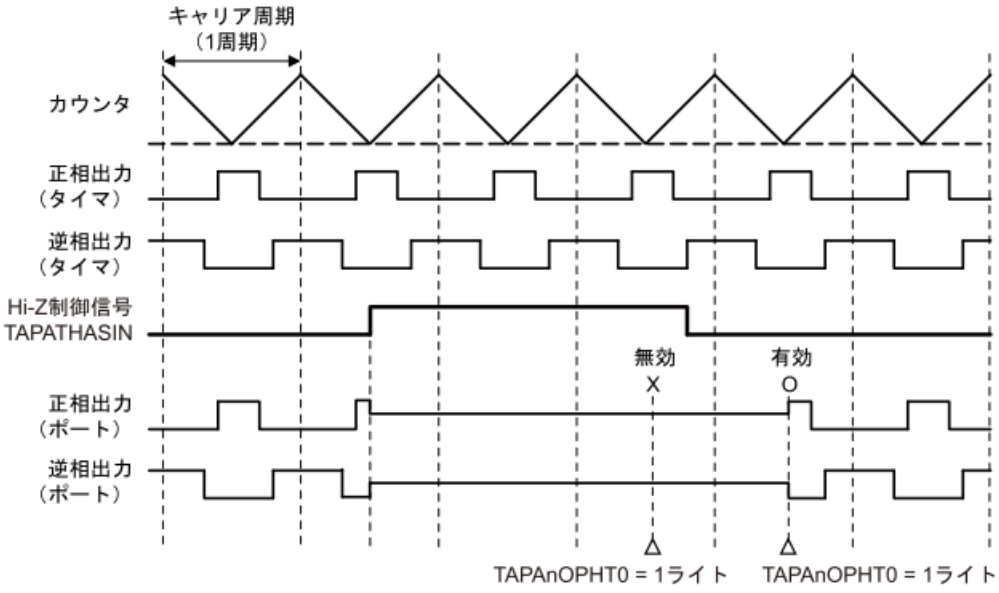
(1) TAPACTL0.TAPADCM = 0、TAPADCP = 1、TAPADCN = 0 時



TAPATHASIN の有効エッジを検出すると、モータ制御出力を強制的に停止（Hi-Z 出力）します。

TAPATHASIN のレベルに関係なく、TAPAOPHT.TAPAOPHT0 に“1”を書き込むことによって、モータ制御出力が再開します。

(2)　TAPACTL0.TAPADCM = 1、TAPADCP = 1、TAPADCN = 0 時



TAPATHASIN の有効エッジを検出すると、モータ制御出力を強制的に停止（Hi-Z 出力）します。

TAPATHASIN がアクティブレベル（TAPACTL0.TAPADCP = 1 のためハイレベル）の間、Hi-Z 制御信号のストップトリガビット（TAPAOPHT.TAPAOPHT0）への“1”書き込みは無視されます。

TAPATHASIN がインアクティブ（TAPACTL0.TAPADCP = 1 のためロウレベル）レベルとなったあと、TAPAOPHT.TAPAOPHT0 に“1”を書き込むことによって、モータ制御出力が再開します。

17.4.4　ソフトウエアトリガによる非同期 Hi-Z 制御

Hi-Z 制御スタートトリガビット（TAPAOPHS.TAPAOPHS0）および Hi-Z 制御ストップトリガビット（TAPAOPHT.TAPAOPHT0）で、モータ制御出力の Hi-Z 制御ができます。

(1)　Hi-Z 制御スタートトリガビット（TAPAOPHS.TAPAOPHS0）の動作

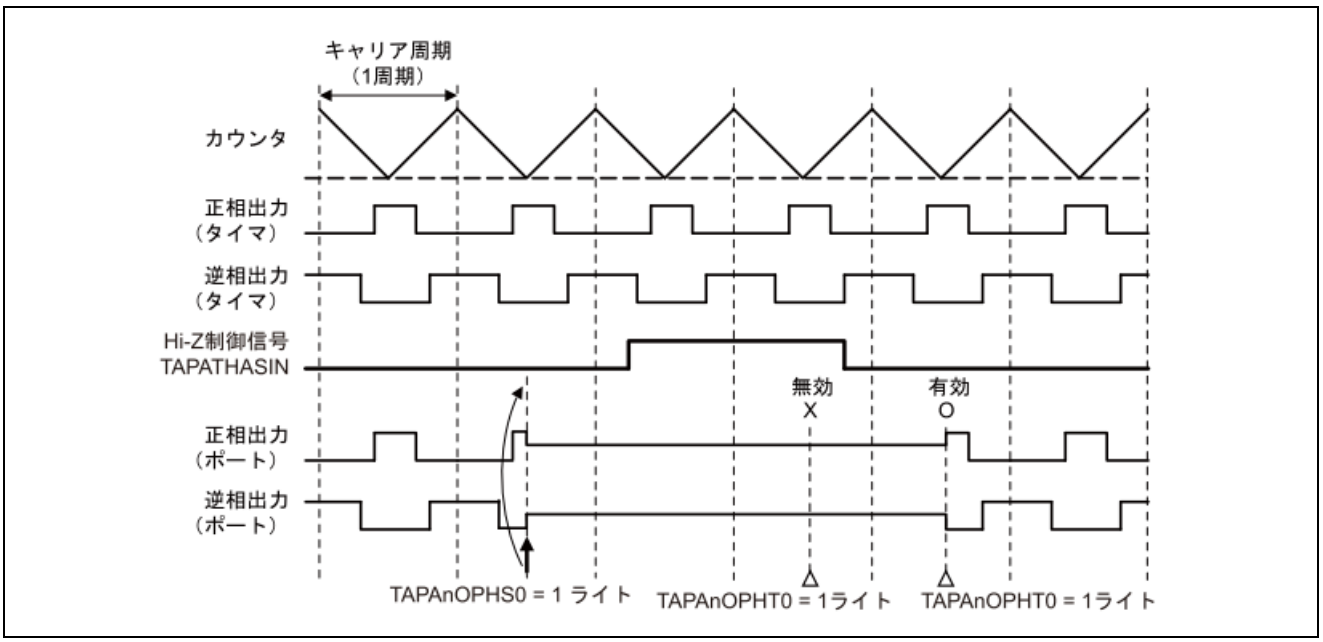
TAPADCM	動作
0/1	TAPAOPHS0 ビットに“1”を書き込むことによって、Hi-Z 制御を開始し、モータ制御出力を強制的に停止（Hi-Z 出力）します。

(2)　Hi-Z 制御ストップトリガビット（TAPAOPHT.TAPAOPHT0）の動作

Hi-Z 制御ストップトリガの有効／無効は次の条件に依存します。

TAPADCM	動作
0	TAPAOPHT0 ビットに“1”を書き込むことによって、Hi-Z 制御を停止し、モータ制御出力を再開します。
1	TAPATHASIN がインアクティブ中、TAPAOPHT0 ビットに“1”を書き込むことによって、Hi-Z 制御を停止し、モータ制御出力を再開します。 TAPATHASIN がアクティブ中は、TAPAOPHT0 ビットへの“1”の書き込みは無視されます。

(3)　TAPACTL0.TAPADCM = 1、TAPADCP = 1、TAPADCN = 0 時



TAPAOPHS0 ビットに“1”を書き込むことによってモータ制御出力を強制的に停止（Hi-Z 出力）します。その後、TAPATHASIN の立ち上がりエッジを検出しても、モータ制御出力は Hi-Z のままです。

TAPATHASIN がアクティブレベル（TAPADCN = 0、TAPADCP = 1 のためハイレベル）の間、TAPAOPHT0 ビットへの書き込みは無視されます。

TAPATHASIN の立ち下がりエッジ検出後、TAPATHASIN がインアクティブ（TAPADCN = 0、TAPADCP = 1 のためロウレベル）の期間に TAPAOPHT0 ビットに“1”を書き込むことによってモータ制御出力が再開します。

17.4.5　非同期入力 Hi-Z 制御機能の操作手順

以下に非同期入力 Hi-Z 制御機能の操作手順を示します。

表17.5　非同期入力 Hi-Z 制御機能の操作手順

	動作	TAPA の状態
初期設定	TAPACTL0 レジスタを設定します。 TAPADCP/N：入力エッジ選択 TAPADCM：クリアモード選択	非同期 Hi-Z 制御停止 （TAPAFLG.TAPAACE = 0）
動作開始	TAPAACWE レジスタを設定します。 TAPAACWE =“1” TAPAACTS レジスタを設定します。 TAPAACTS =“1”	TAPAACTS ビットの書き込み可能 非同期 Hi-Z 制御許可（TAPAFLG.TAPAnACE = 1）
動作中	タイマ機能の出力に対して Hi-Z 制御を開始（スタート）する方法は、以下のとおりです。 ・TAPAOPHS レジスタで制御 ・非同期 Hi-Z 制御信号（TAPATHASIN）で制御 タイマ機能出力の Hi-Z 制御を終了（ストップ）する方法は、以下のとおりです。 ・TAPAOPHT レジスタで制御 （TAPADCM = 1 の場合は TAPATHASIN 信号がインアクティブ時のみ TAPAOPHT レジスタによる制御が可能） TAPAFLG レジスタで常に TAPA の動作状態が読み出し可能です。	非同期 Hi-Z 制御信号（TAPATHASIN）の有効エッジ検出、または Hi-Z 制御スタートトリガビットを設定（TAPAOPHS0 ビット = 1）することによって、モータ制御出力端子の Hi-Z 制御を開始。 TAPADCM ビットで設定した動作モードに従い、Hi-Z 制御ストップトリガビットを設定（TAPAOPHT0 ビット= 1）することによって、モータ制御出力端子の Hi-Z 制御を停止。
動作停止	TAPAACWE レジスタを設定します。 TAPAACWE =“1” TAPAACTT レジスタを設定します。 TAPAACTT =“1”	TAPAACTT ビットの書き込み許可 非同期 Hi-Z 制御停止（TAPAFLG.TAPAACE = 0）

動作再開 ▶

17.4.6　TAPA Hi-Z 制御入力選択

エラー発生時にモータ制御出力を停止するには、下図に示すように、PIC にてエラーイベントを選択し、TAPA にてモータ制御出力を Hi-Z 状態にします。

PICHIZCEN0 = 00H 設定、または TAPAACWE = 01H 設定後、TAPAACTT = 01H 設定することにより、TAPA 機能を停止できます。

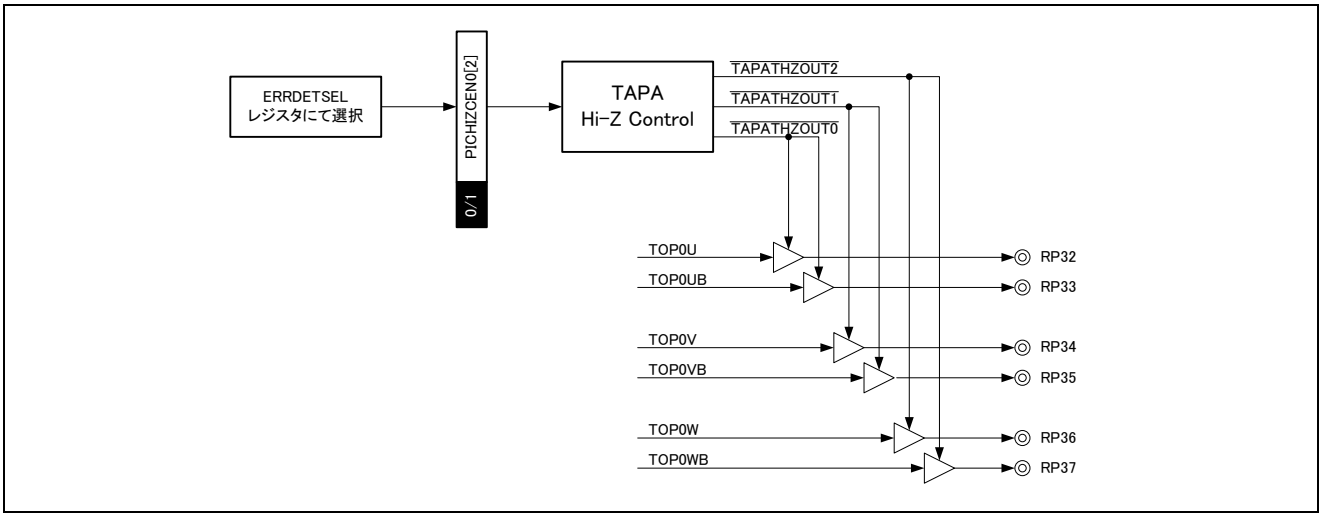


図17.4　Hi-Z 制御ブロック図

Hi-Z 状態への切り替えは、以下の入力により可能です。

- 異常検出信号選択レジスタ（ERRDETSEL0,1）にて選択されたエラー検出信号

これらの信号の詳細については、各機能の説明を参照してください。

17.5 割り込み信号出力選択機能

17.5.1 割り込み信号出力選択機能の構成

TAUD の三角波キャリア周期生成チャネル（マスタ）の割り込み信号が接続された TAPATSIM0 信号とカウンタのアップ／ダウン信号が接続された TAPATUDCM0 信号から、山割り込み TAPATIPEK0 と谷割り込み TAPATIVLY0 を生成する機能です。

R-IN32M4 における TAPATSIM0 信号の接続先は「17.1.5 内部出力信号」を参照してください。

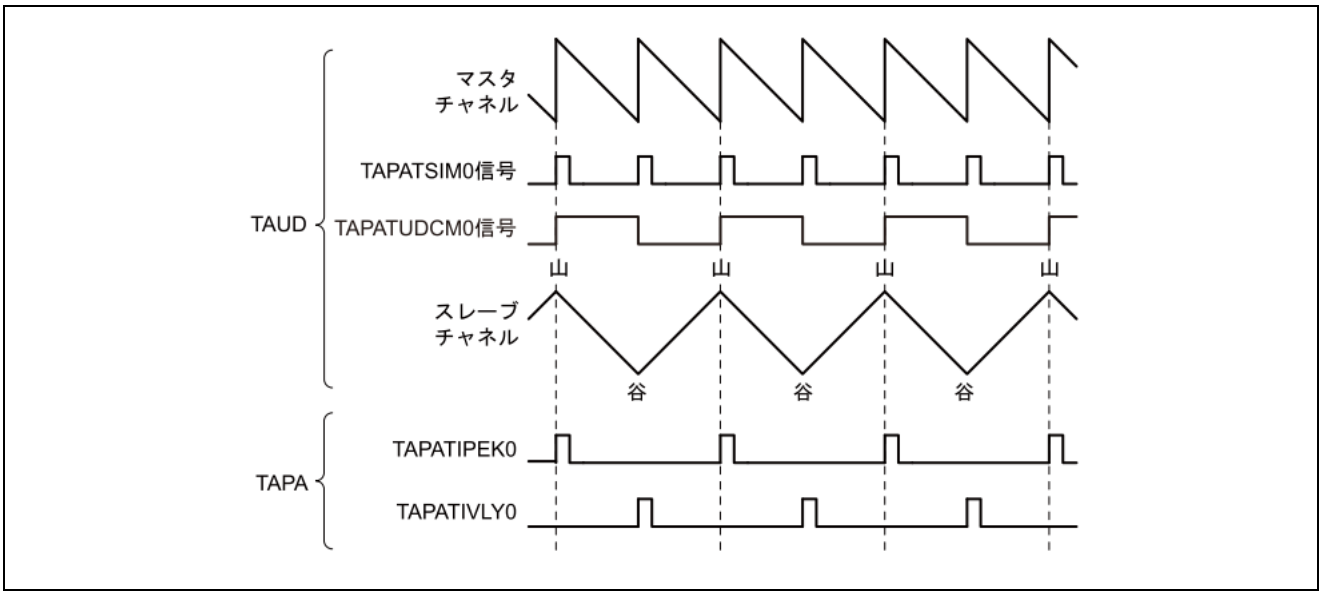


図17.5 割り込み信号出力選択機能の基本動作タイミング

マスタチャネルで三角波キャリア周期を生成します。

1/2 三角波キャリア周期ごとに発生するマスタチャネルの割り込み信号は TAPATSIM0 信号として TAPA に入力されます。TAPA は入力された TAPATSIM0 信号と TAPATUDCM0 信号により、TAPATUDCM0 信号がハイ・レベルの間、TAPATIPEK0 信号（山割り込み）を生成し、TAPATUDCM0 信号がロウ・レベルの間、TAPATIVLY0 信号谷割り込み）を生成します。

注意. 山割り込み TAPATIPEK0 と谷割り込み TAPATIVLY0 は TAUD のマスタチャネルの機能にかかわらず発生します。

17.5.2 ブロック図

割り込み信号出力選択機能は下記レジスタにて TAUD と TAPA を接続します。

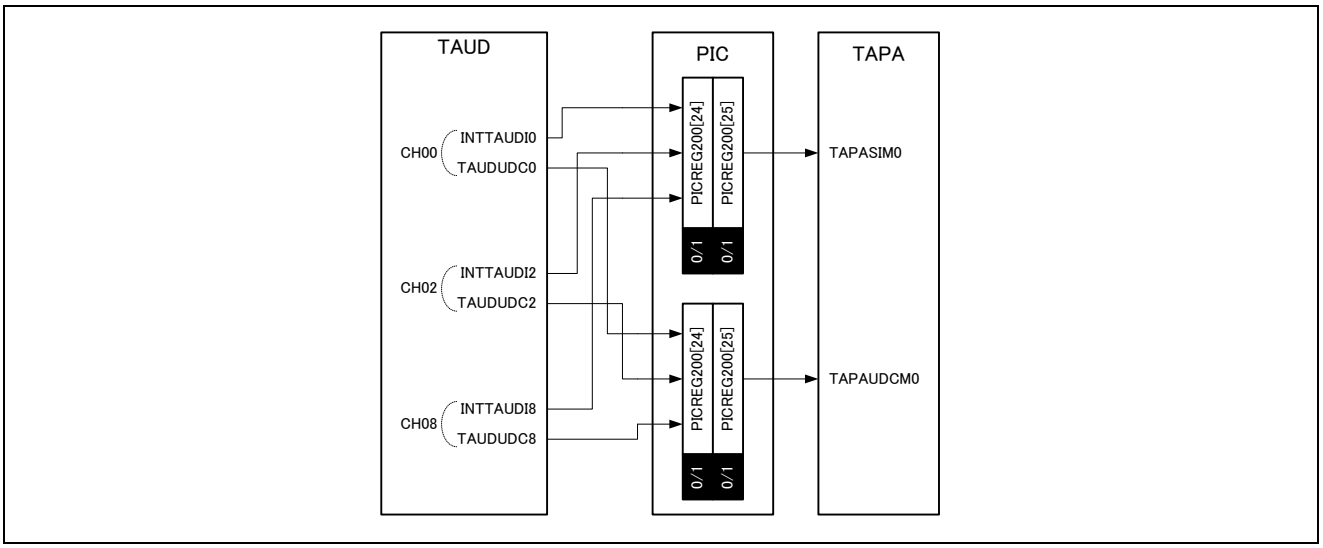


図17.6 割り込み信号出力選択機能のブロック図

17.6 A/D コンバータ変換トリガ選択機能

TAUD の三角波キャリア周期とのコンペア一致割り込みに接続された TAPATCDENS0 信号、TAPATCDENS1 信号、または谷割り込み信号（TAPATIVLY0）から A/D コンバータ変換トリガ用信号（TAPATADOUT0、TAPATADOUT1）を出力する機能です。

17.6.1 A/D コンバータ変換トリガ選択機能の構成

表17.6 TAPATADOUT 信号生成に使用する信号一覧

出力信号	スレーブ一致検出信号	谷割り込み信号
TAPATADOUT0	TAPATCDENS0	TAPATIVLY0
TAPATADOUT1	TAPATCDENS1	TAPATIVLY0

表17.7 TAPACTL1.TAPAATS[3:2]、TAPATADOUT1 の動作

TAPAATS3	TAPAATS2	動作説明
0	0	三角波のダウンカウント中の割り込み信号を TAPATADOUT1 から出力[注]
0	1	三角波のアップカウント中の割り込み信号を TAPATADOUT1 から出力
1	0	三角波のアップ／ダウンカウント中の割り込み信号を TAPATADOUT1 から出力
1	1	三角波のアップ／ダウンカウント中の割り込み信号と谷割り込み TAPATIVLY0 を TAPATADOUT1 から出力

注. TAPAATS ビットの設定が 00B の場合、PICREG200 レジスタの設定が必要です。
詳細は「17.3.18 タイマ入出力制御レジスタ200（PICREG200）」を参照ください。

表17.8 TAPACTL1.TAPAATS[1:0]、TAPATADOUT0 の動作

TAPAATS1	TAPAATS0	動作説明
0	0	三角波のダウンカウント中の割り込み信号を TAPATADOUT0 から出力[注]
0	1	三角波のアップカウント中の割り込み信号を TAPATADOUT0 から出力
1	0	三角波のアップ／ダウンカウント中の割り込み信号を TAPATADOUT0 から出力
1	1	三角波のアップ／ダウンカウント中の割り込み信号と谷割り込み TAPATIVLY0 を TAPATADOUT0 から出力

注. TAPAATS ビットの設定が 00B の場合、PICREG200 レジスタの設定が必要です。
詳細は「17.3.18 タイマ入出力制御レジスタ200（PICREG200）」を参照ください。

17.6.2 ブロック図

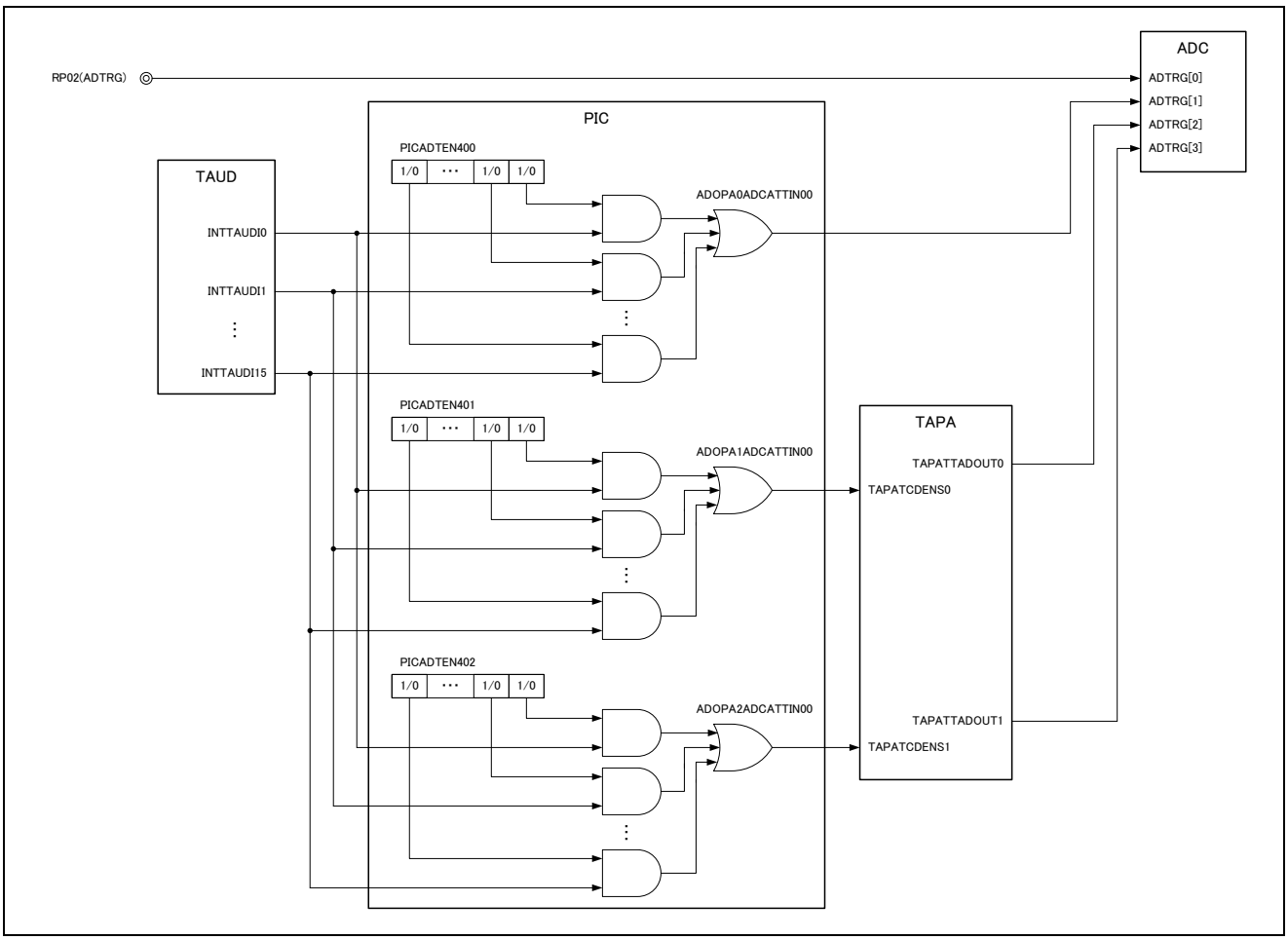


図17.7 A/D 変換トリガ選択機能のブロック図

備考 ADM1 レジスタ設定詳細は「23.2.2 A/D コンバータモードレジスタ 1 (ADM1)」を参照ください。

17.6.3 三角波 PWM モード時の A/D コンバータトリガ出力制御動作波形

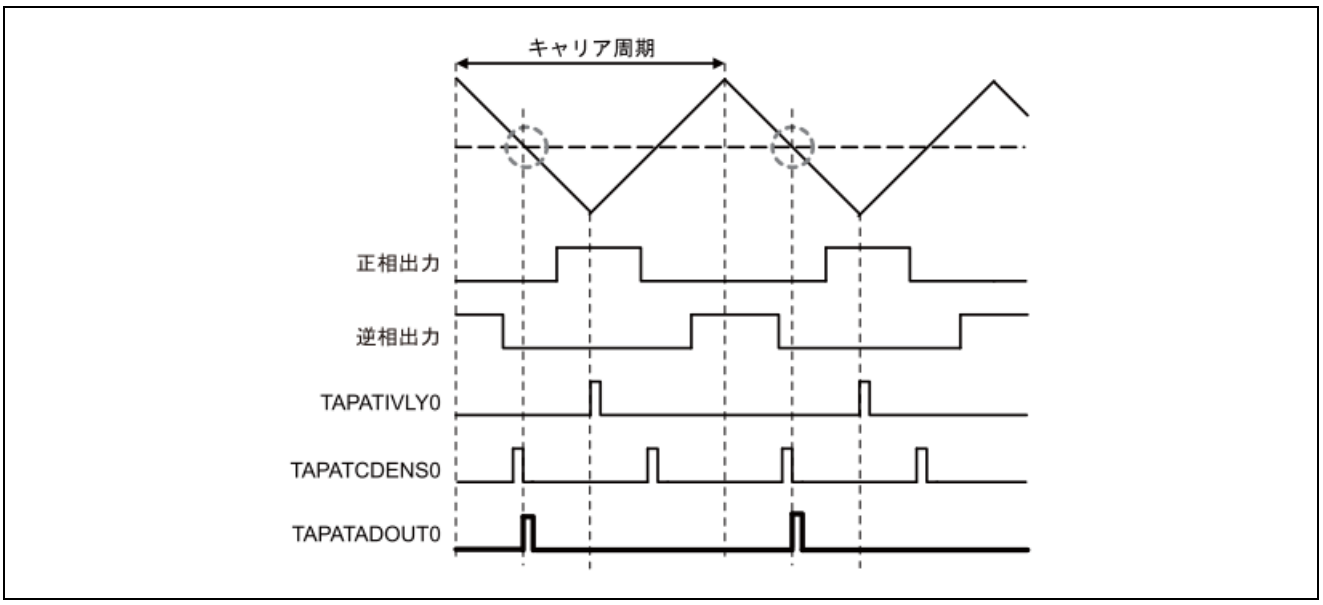


図17.8 TAPAATS[1:0]ビット= 00B：三角波がダウンカウント中に割り込み信号を出力

三角波がダウンカウント中の TAPATCDENS0 信号、TAPATCDENS1 信号は、A/D コンバータ変換トリガ用信号（TAPATADOUT0、TAPATADOUT1）として出力されます。
三角波がアップカウント中は、A/D コンバータ変換トリガ用信号は出力されません。

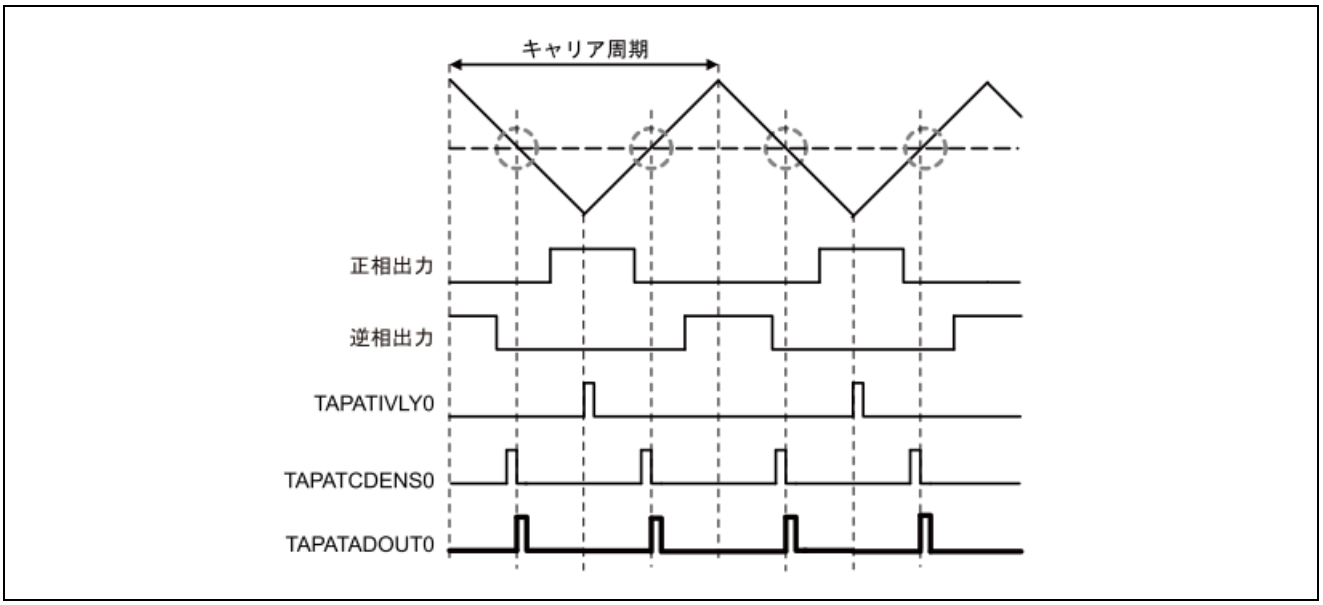


図17.9 TAPAATS[1:0]ビット= 10B：三角波がアップ／ダウンカウント中に割り込み信号を出力

TAPATCDENS0 信号、TAPATCDENS1 信号は A/D コンバータ変換トリガ用信号（TAPATADOUT0、TAPATADOUT1）として出力されます。

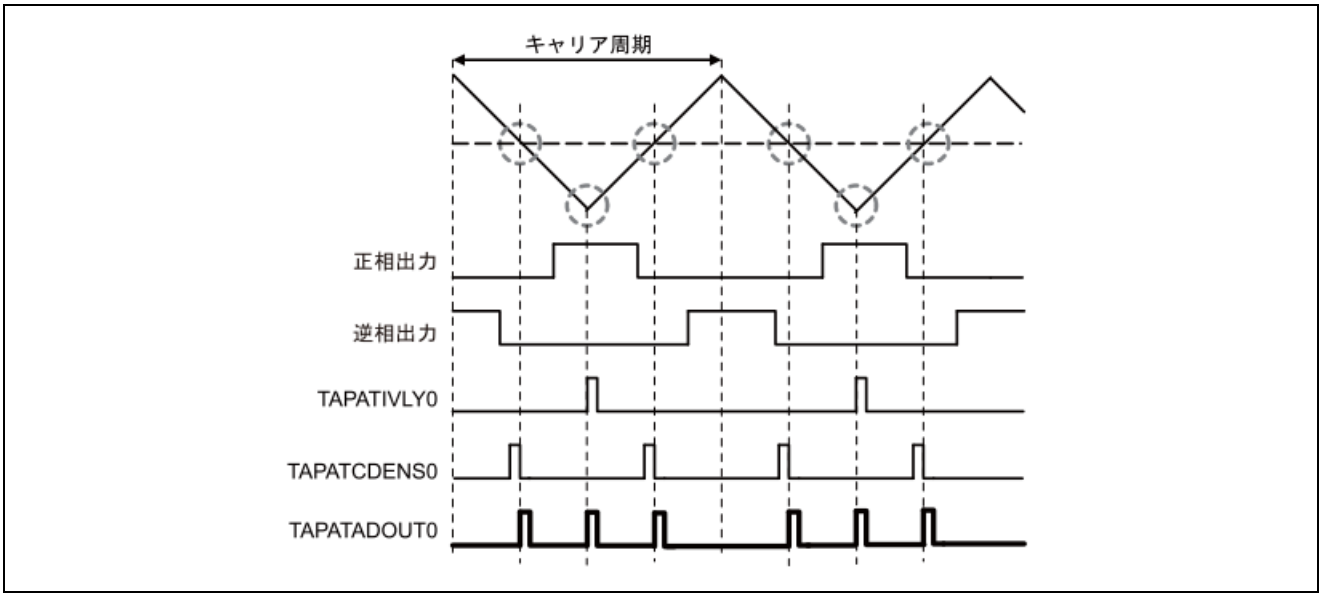


図17.10 TAPAATS[1:0]ビット= 11B : 三角波がアップ／ダウンカウント中の割り込み信号と谷割り込みを出力

TAPATCDENS0 信号、TAPATCDENS1 信号と谷割り込み TAPATIVLY0 が A/D コンバータ変換トリガ用信号（TAPATADOUT0、TAPATADOUT1）として出力されます。

17.6.4　A/D コンバータ変換トリガ選択機能の操作手順

以下に A/D コンバータ変換トリガ選択機能の操作手順を示します。

表17.9　A/D コンバータ変換トリガ選択機能の操作手順

	動作	TAUD、TAPA の状態
初期設定	TAUD を初期設定します。 タイマ動作モードを確定。 TAPACTL1 レジスタを設定します。 　TAPAATS[1:0]：TAPATADOUT0 の設定 　TAPAATS[3:2]：TAPATADOUT1 の設定注 使用する信号に合わせて PICADTEN40*（*：1-2）、PICREG200 レジスタを設定します。 　PICADTEN401：TAPATCDENS0 の設定 　PICADTEN402：TAPATCDENS1 の設定 　PICREG200：TAPATIVLY0 の設定	TAUD、TAPA は動作停止。
動作開始	TAUD を動作開始します。	TAUD のカウント動作が開始します。
動作中	TAUD は、各機能の設定に従って動作します。	A/D 変換トリガ選択機能は、TAUD からの割り込み入力（TAPATCDENS1、TAPATCDENS0）、TAPA で生成した谷割り込み信号（TAPATIVLY0）をもとに、TAPAATS[1:0]の設定に従って TAPATADOUT0、または TAPAATS[3:2]の設定に従って TAPATADOUT1 を出力します。
動作停止	TAUD を動作停止します。	TAUD のカウント動作が停止します。

動作再開 ▶

注. TAPAATS ビットの設定が 00B（三角波のアップカウント中の割り込み信号）の場合、PICREG200 レジスタの設定が必要です。

17.7 ADC ハードウェアトリガ選択機能

17.7.1 概要

TAUD の各チャネル出力を使って、ADC ハードウェアトリガ信号を生成する機能です。

17.7.2 構成

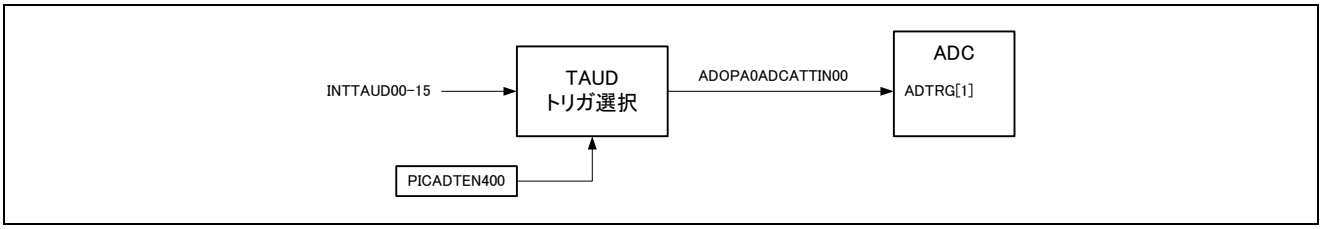


図17.11 ADC ハードウェアトリガ選択機能のブロック図

備考 詳細は「図17.7 A/D変換トリガ選択機能のブロック図」を参照して下さい。

17.7.3 動作機能の設定例

(1) 初期設定：使用する TAUD の各チャネルの機能を設定します。
(2) A/D 変換トリガ出力制御レジスタ 400（PICADTEN400）設定：
TAUD の各チャネルからの割り込み要求信号を A/D 変換のハードウェアトリガとして選択するには、A/D 変換トリガ出力レジスタ 400（PICADTEN400）のビットを“1”にしてください。
(3) A/D コンバータモードレジスタ 1（ADM1）設定：
(2)で選択した割り込み要求信号を ADC のハードウェアトリガ信号 ADTRG ch1 として使用します。A/D コンバータモードレジスタ 1（ADM1）の TRGEN1-0 ビットを 01B に設定して下さい。
(4) TAUD の動作許可：
(1)で設定した TAUD の各チャネルがスタートします。

注意. レジスタ設定操作は、A/D コンバータ停止時に行って下さい。

17.7.4 設定フロー

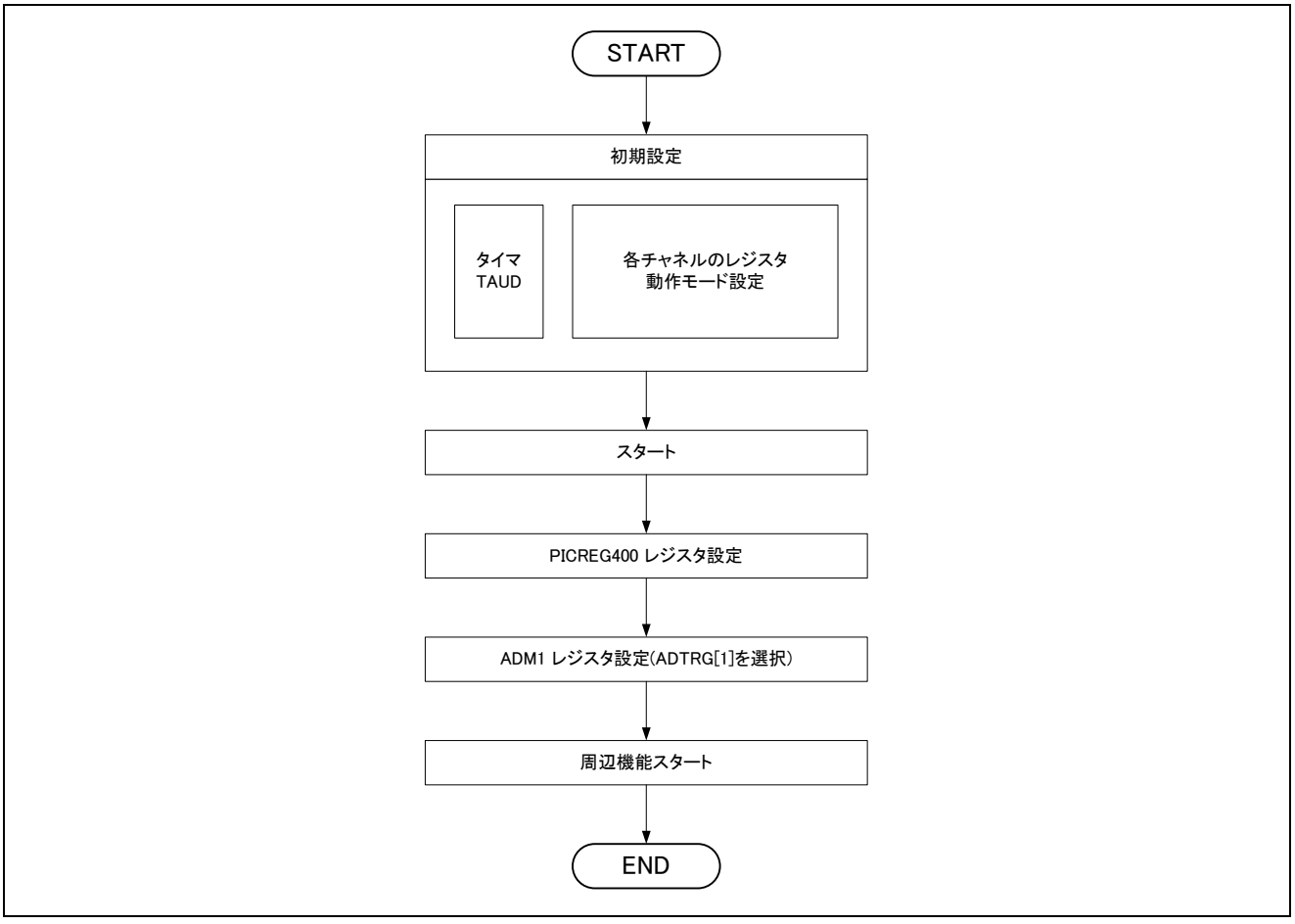


図17.12 設定フロー

17.8 同時スタートトリガ機能

17.8.1 機能概要

各タイマ（TAUD、TAUJ2）の任意の組み合わせでの同時スタートが可能です。

17.8.2 構成

(1) 構成

表17.10 同時スタートトリガ機能の構成

構成/タイマ機能	タイマ
タイマ構成	TAUD、TAUJ2

(2) ブロック図

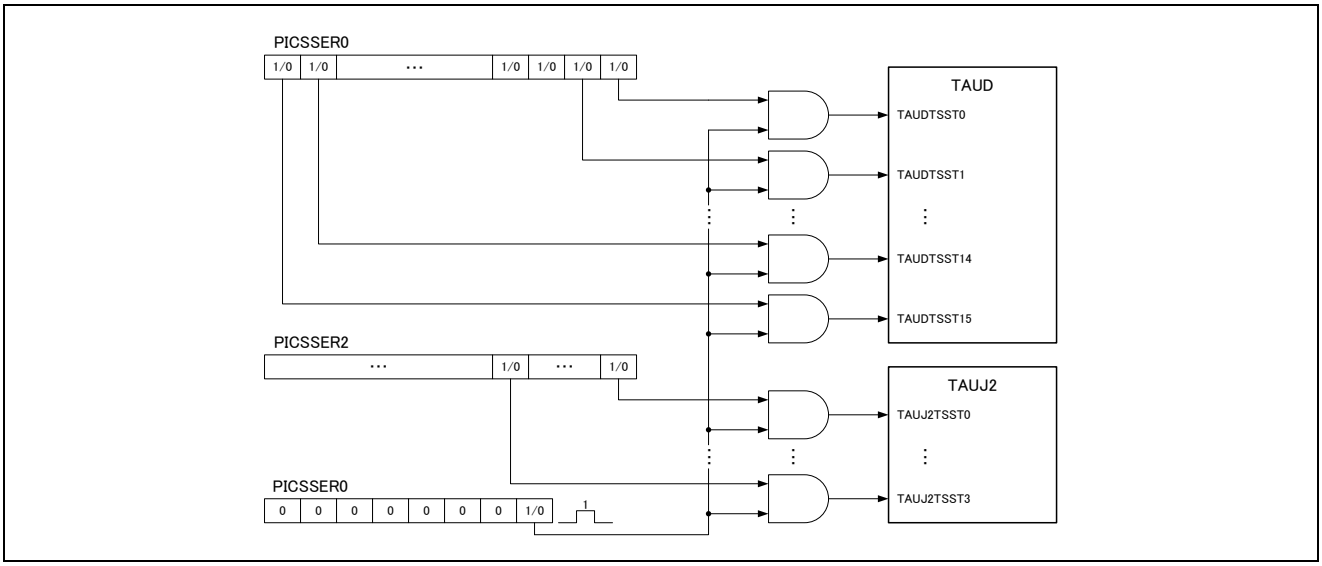


図17.13 同時スタートトリガのブロック図

17.8.3 動作例

(1) タイマ構成の動作例：
任意の動作モードで動作する各タイマの任意の組み合わせでの同時スタートを行います。

(2) 同時スタート許可設定：
同時スタートさせる対象タイマについて、PICSSER0、PICSSER2 の該当ビットを 1 にすることで、各タイマの同時スタートを許可します。

(3) スタートトリガ出力：
PICSST.SYNCTRG ビットに 1 をライトすることで、(2)で設定された対象タイマが同時にスタートします。

(4) スタートしていないチャネルに対して(2)、(3)を繰り返すことで、異なる対象タイマを複数回に分けて同時にスタートできます。

17.8.4 設定フロー

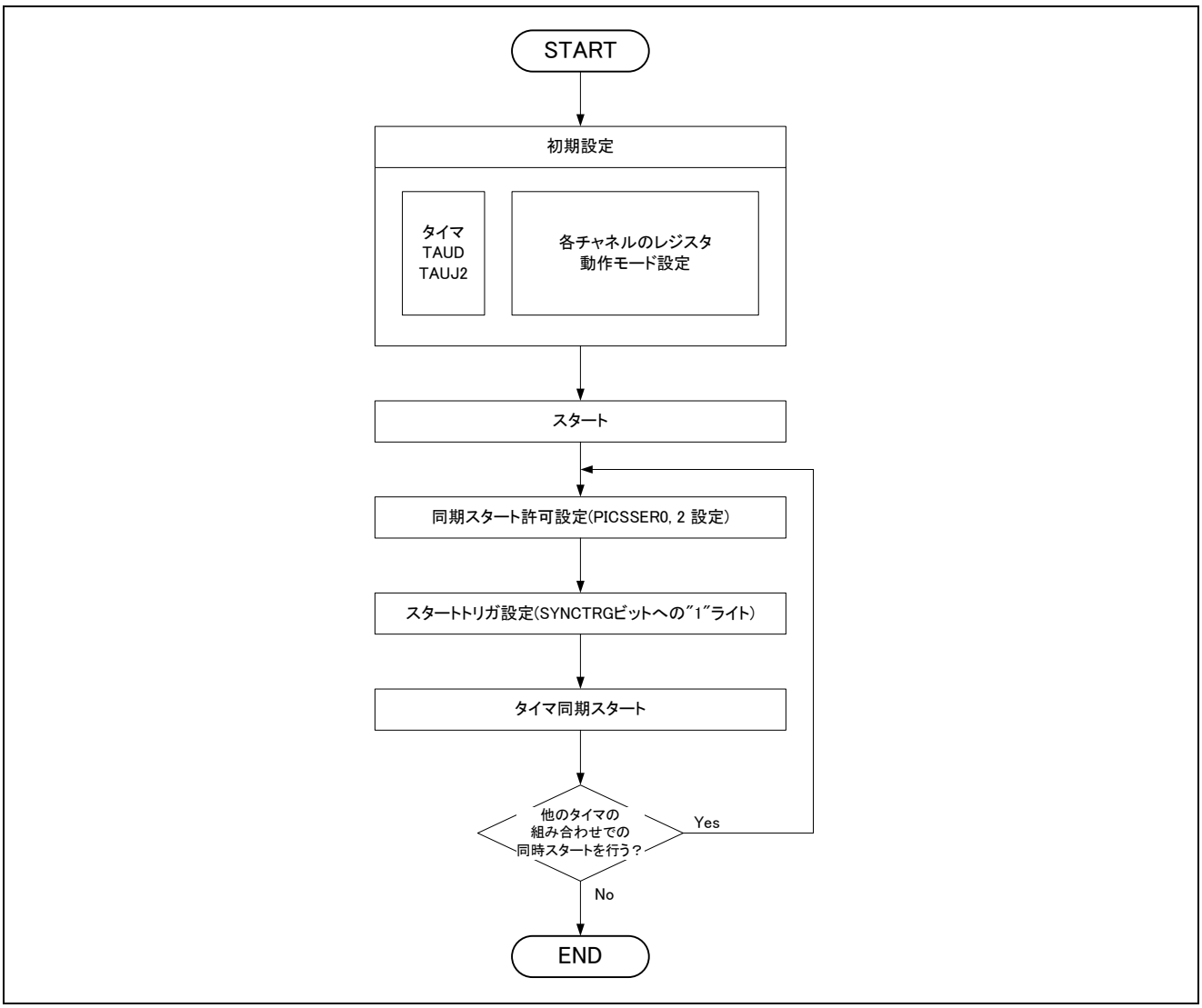


図17.14 設定フロー

17.9 デッドタイム付き 3 相 PWM 出力機能

17.9.1 機能概要

1 周期にそれぞれ 1 回以下のセット信号（アクティブレベル変化タイミング信号）、クリア信号（非アクティブレベル変化タイミング信号）を生成し、それらを利用したデッドタイム付き 3 相 PWM 波形を出力します。

TAUD の PWM 出力機能では、デューティ値指定により 1 周期にクリアタイミングのみ設定しますが、本機能によりセットタイミングも指定可能となり、より自由度の高いデッドタイム付き PWM を出力できます。

17.9.2 構成

本機能のユニット、チャネル構成を下記に示します。(n = 0)

表17.11 デッドタイム付き 3 相 PWM 出力機能の構成

タイマ	タイマモータ制御
TAUD CH2、CH4～CH15（使用チャネル固定）	TAPA

以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

- INTm：INTTAUDIm（TAUD チャネル m 割り込み）
- TINm：TAUDTTINm（TAUD チャネル m 入力）
- TOUTm：TAUDTTOUTm（TAUD チャネル m 出力）
- CDRm：TAUDCDRm（TAUD チャネル m データレジスタ）
- CNTm：TAUDCNTm（TAUD チャネル m カウンタレジスタ）

(1) TAUD 設定

CH10, 12, 14 は、TOUTm のみ使用するため、TOUTm を使用しない機能であれば使用可能です。（m = 10, 12, 14）

表17.12 TAUD 設定

CH	機能名	M/S	CDR 設定値	説明
2	PWM 出力機能	M	周期	
4	（CH2 は CH4-CH9 のマスタチャネル）	S	デューティ（U 相セット）	
5		S	デューティ（U 相クリア）	
6		S	デューティ（V 相セット）	
7		S	デューティ（V 相クリア）	
8		S	デューティ（W 相セット）	
9		S	デューティ（W 相クリア）	
10	TOUT10 を使用しない機能であれば任意	S		TOUT10：U 相出力
11	1 相 PWM 出力機能	S	デッドタイム（U 相）	TOUT11：UB 相出力
12	TOUT12 を使用しない機能であれば任意	S		TOUT12：V 相出力
13	1 相 PWM 出力機能	S	デッドタイム（V 相）	TOUT13：VB 相出力
14	TOUT14 を使用しない機能であれば任意	S		TOUT14：W 相出力
15	1 相 PWM 出力機能	S	デッドタイム（W 相）	TOUT15：WB 相出力

備考 M：マスタチャネル、S：スレーブチャネル

(2)　ブロック図

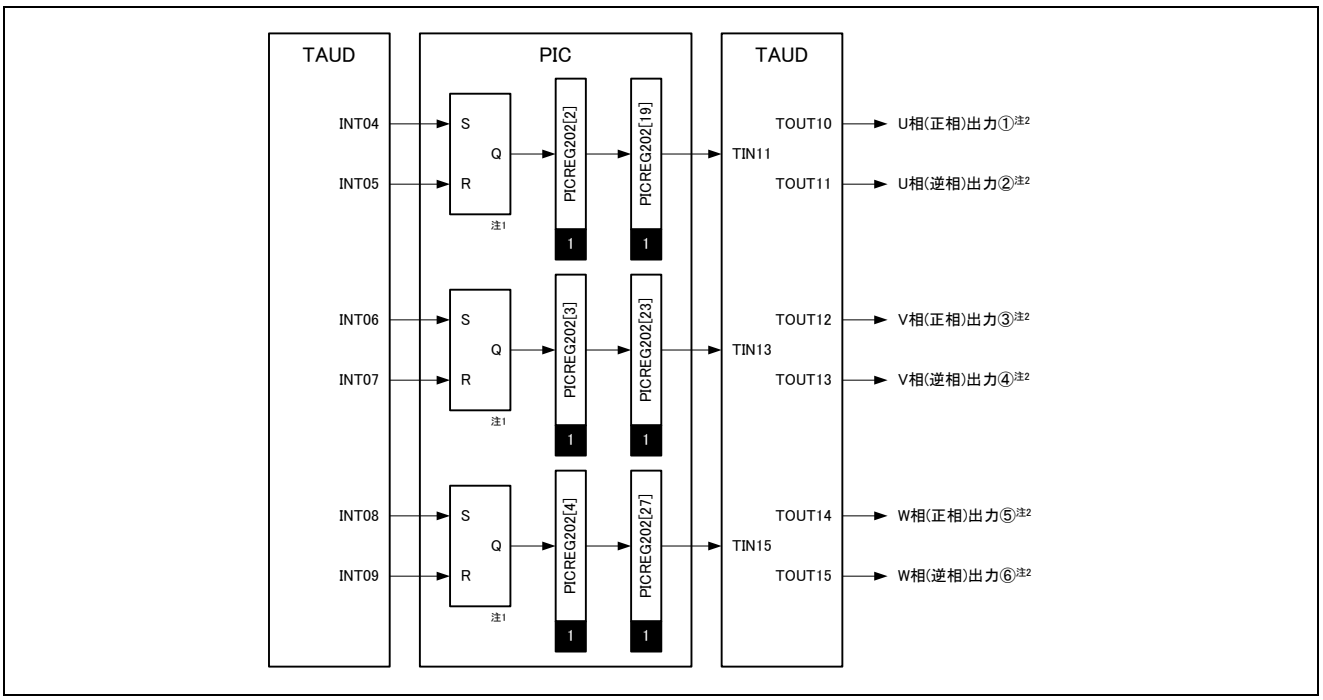


図17.15　デッドタイム付き 3 相 PWM 出力のブロック図

注 1. SR フリップフロップ回路
2. 接続先は「図 27.25　モータ出力バッファ制御ブロック図」を参照してください。

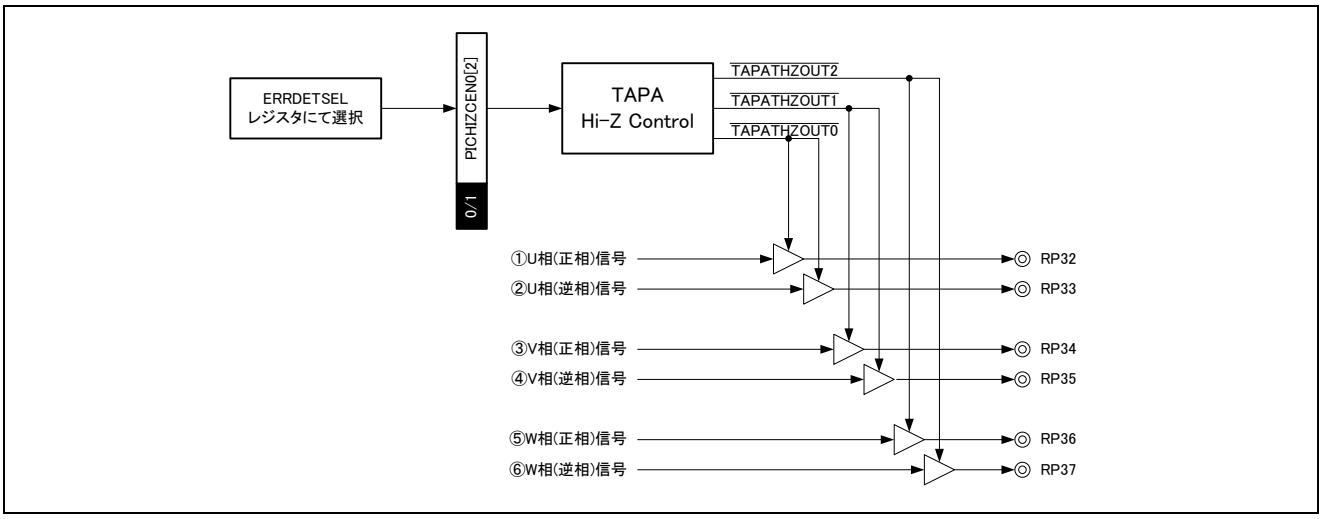


図17.16　モータ出力バッファ制御ブロック図

備考 図17.16中の ERRDETSEL レジスタの詳細は「25.20 異常検出信号選択レジスタ(ERRDETSEL0,1)」を参照して下さい。

17.9.3 動作例

1周期にそれぞれ1回以下のセット信号、クリア信号を生成し、それらを利用したデッドタイム付き3相PWM波形を出力します。

TAUD の次の機能の組み合わせにより実現します。

- PWM 出力機能
- 1 相 PWM 出力機能

また、PWM 出力機能で生成するセット信号、クリア信号から 1 相 PWM 出力機能の入力 TINm（m = 11, 13, 15）へ供給する PWM 波形を作成するため、PIC 内の以下機能を使用します。

- SR フリップフロップ回路

3 相 PWM 出力は、上記機能で実現したデッドタイム付き 1 相 PWM 出力をそれぞれ U 相、V 相、W 相に割り当てる事により実現します。したがって、PWM 出力のセット／クリア信号は、各相の PWM ごとに自由に設定できます。各相の違いは割り当てられたチャネルの違いのみなので、ここでは 1 相（U 相）についてのみ説明を行います。

(1) PWM 出力機能

CH2、CH4、CH5 の組み合わせで使用します。

CDR02 に周期、CDR04 に U 相セット値、CDR05 に U 相クリア値を設定することで、INT04, 05 から 1 相 PWM 出力機能の入力 TIN11 を生成する SR フリップフロップ回路へのセット／クリア信号を生成します。

V 相、W 相については、上記 U 相のセット／クリア信号生成で使用した CH4、CH5 をそれぞれ CH6、CH7（V 相）、CH8、CH9（W 相）で実現します。

(2) 1 相 PWM 出力機能

CH10、CH11 の組み合わせで 1 相 PWM を TOUT10、TOUT11 から出力します。

CDR11 にデッドタイム値を設定することで、TIN11 入力に対してデッドタイム付 1 相 PWM を出力します。

V 相、W 相については、それぞれ CH12、CH13（V 相）、CH14、CH15（W 相）で、同様にデッドタイム付き 1 相 PWM を出力します。

備考 PWM 出力機能、1 相 PWM 出力機能で使用する TAUD 各チャネルの動作クロック設定は同一クロックを設定してください。

TAUD の機能の詳細については「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。

(3)　SR フリップフロップ回路

TAUD の CH4 で生成される U 相セット信号、CH5 で生成される U 相クリア信号を入力とし、1 相 PWM 出力機能の入力 TIN11 へ供給する PWM 波形を生成します。

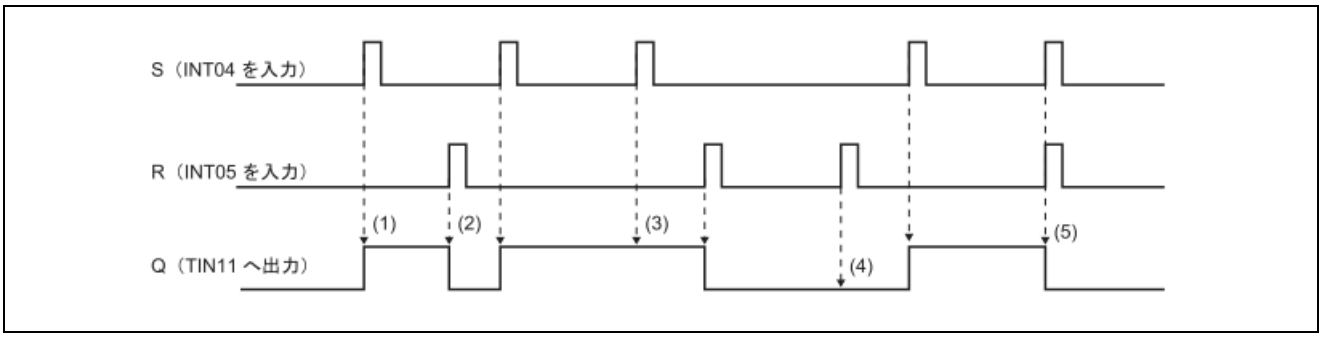


図17.17　SR フリップフロップ回路の動作タイミング図（U 相の例）

(1)　入力 S に信号が入力されると、S の立ち上がりで出力 Q がハイレベルになります。
(2)　入力 R に信号が入力されると、R の立ち上がりで出力 Q はロウレベルになります。
(3)　出力 Q がハイレベルの状態で入力 S に信号が入力されても出力 Q には影響しません。
(4)　出力 Q がロウレベルの状態で入力 R に信号が入力されても出力 Q には影響しません。
(5)　入力 S および入力 R に同時に信号が入力された場合、入力 R が優先され R の立ち上がりで出力 Q はロウレベルになります。

V 相、W 相については、それぞれ INT06、INT07（V 相）、INT08、INT09（W 相）を入力とし、TIN13（V 相）、TIN15（W 相）へ供給する PWM 波形を生成します。

「1 相 PWM 出力機能」で生成する PWM の出力変化タイミングを「PWM 出力機能」により生成します。

「PWM 出力機能」は、PWM のアクティブレベル出力タイミングのセット信号、非アクティブレベル出力タイミングのクリア信号を生成します。このセット／クリア信号を SR フリップフロップ回路に入力することにより、任意タイミングで変化する PWM 信号を生成します。

「1 相 PWM 出力機能」は、生成された PWM 信号の変化にしたがい、正相／逆相 PWM の生成、デッドタイム付加を行い 1 相 PWM 信号の出力を行います。

PIC は、「PWM 出力機能」で生成されたセット／クリア信号を「SR フリップフロップ回路」によって「1 相 PWM 出力機能」の TIN 入力として使用する接続を提供します。

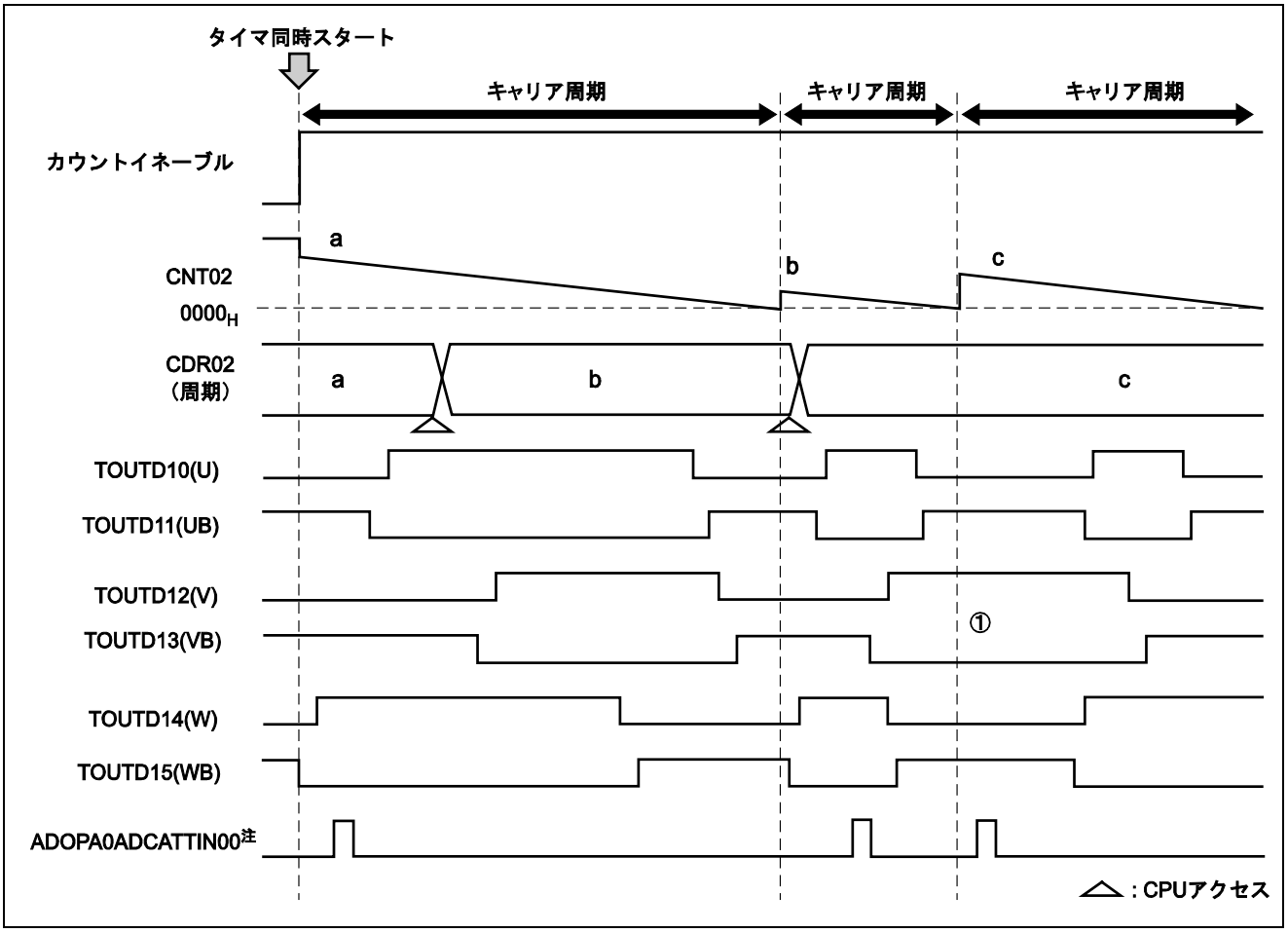


図17.18　デッドタイム付加の 3 相 PWM（U/UB、V/VB、W/WB）出力例

図17.18にデッドタイム付き 3 相 PWM 出力機能の代表的出力例を示します。

セット／クリア信号出力タイミングの設定次第では、キャリア周期を跨いだ PWM 出力（①部分）なども可能になります。

下段 ADOPA0ADCATTIN00 は、「1 相 PWM 出力機能」では使用しない、CH10、CH12 の CNT および INT 信号を使用し、「A/D トリガ出力機能タイプ 1」機能による A/D トリガ信号出力を実行した例です。

このように、1 相 PWM 出力機能では、正相出力を行うチャネルでは信号出力を行う TOUTm のみを使用するため、CNTm、CDRm、INTm を使用する任意の機能を設定可能です。詳細は「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」を参照してください（m = 10, 12, 14）

注. PICADTEN400 レジスタで選択された A/D 変換トリガ入力信号 ADTRG ch1

次の図以降に、デッドタイム付き 3 相 PWM 出力機能のタイミング図を示します。

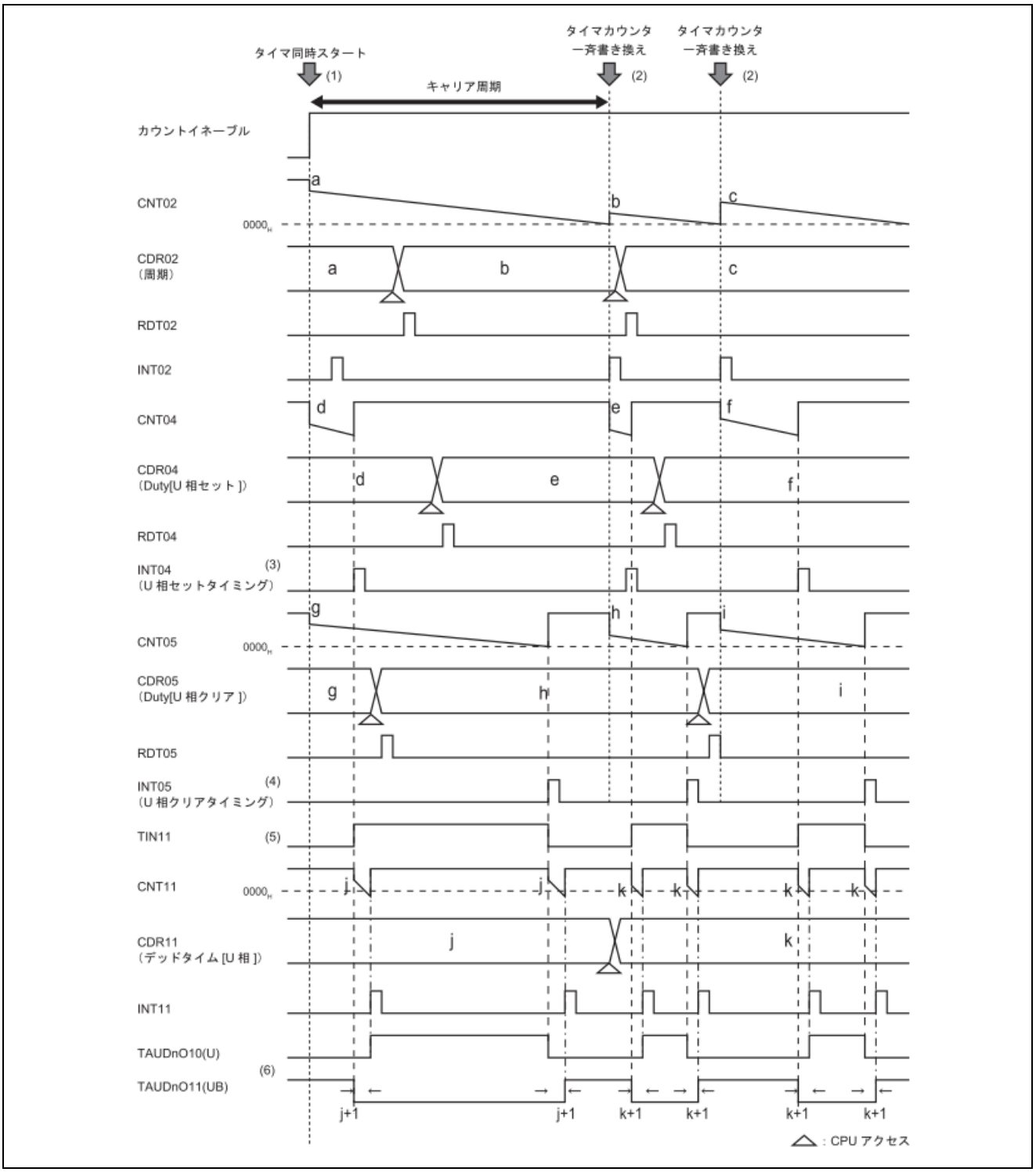


図17.19　デッドタイム付加の 1 相 PWM（U 相、UB 相）出力例

図17.19の U 相 PWM 出力を行うタイマ構成の動作例について説明します。

(1) タイマ同時スタートにより、CH2（キャリア周期タイマ）、CH4（U 相セット信号出力タイミングタイマ）、CH5（U 相クリア信号出力タイミングタイマ）が同時スタートします。
CH11 もタイマスタートしていますが、カウント開始タイミングである TIN11 のエッジが検出されるまで、カウント動作は行われません。

(2) CH4、CH5 は、CH2 のアンダフローにより、CDR04、CDR05 からそれぞれ CNT04、CNT05 へ設定値のリロードが行われます。

(3) CH4 のアンダフローにより、U 相セットタイミング信号（INT04）が発生します。

(4) CH5 のアンダフローにより、U 相クリアタイミング信号（INT05）が発生します。

(5) INT04（セットタイミング信号）、INT05（クリアタイミング信号）を入力とした SR フリップフロップ回路の出力を PIC 機能により、「1 相 PWM 出力機能」の入力 TIN11 へ供給します。

(6) 「1 相 PWM 出力機能」は TIN11 のエッジ検出により、デッドタイムを付加した PWM 波形を生成し出力します。

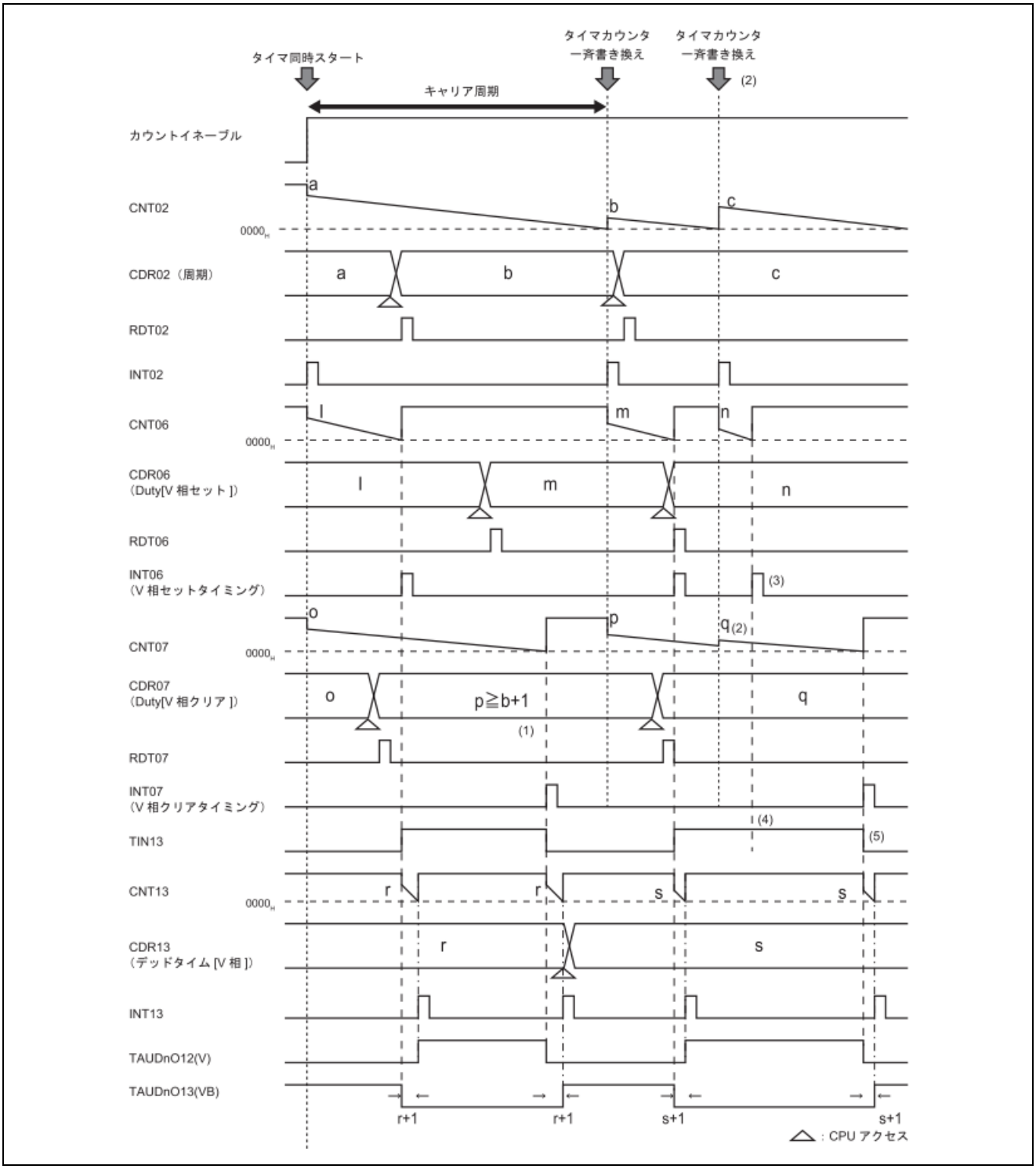


図17.20　デッドタイム付加の 1 相 PWM（V 相、VB 相）出力例

図17.20のV相PWM出力を行うタイマ構成の動作例について説明します。

タイマ同時スタートから「1相PWM出力機能」によるPWM出力までの動作についてはU相の動作例の説明を参照してください。

(1) V相クリアタイミング信号（INT07）を生成するCH7（V相クリア信号出力タイミングタイマ）設定値をCH2（キャリア周期タイマ）設定値より大きくした場合、

(2) CH7のアンダフローによるV相クリアタイミング信号（INT07）発生前に、CH2（キャリア周期タイマ）のアンダフローが発生し、CH7の設定値はリロードされます。

(3) これにより、本来発生すべきV相クリアタイミング信号（INT07）は発生せず、V相セットタイミング信号（INT06）が連続して発生することになります。

(4) この場合、V相セットタイミング信号（INT06）はRSフリップフロップ回路により無視されるため、PWM出力波形に影響しません。このため、出力されるPWM出力はキャリア周期を跨ぐ波形が出力されます。

(5) PWM出力は次のV相クリアタイミング信号（INT07）のタイミングで変化します。

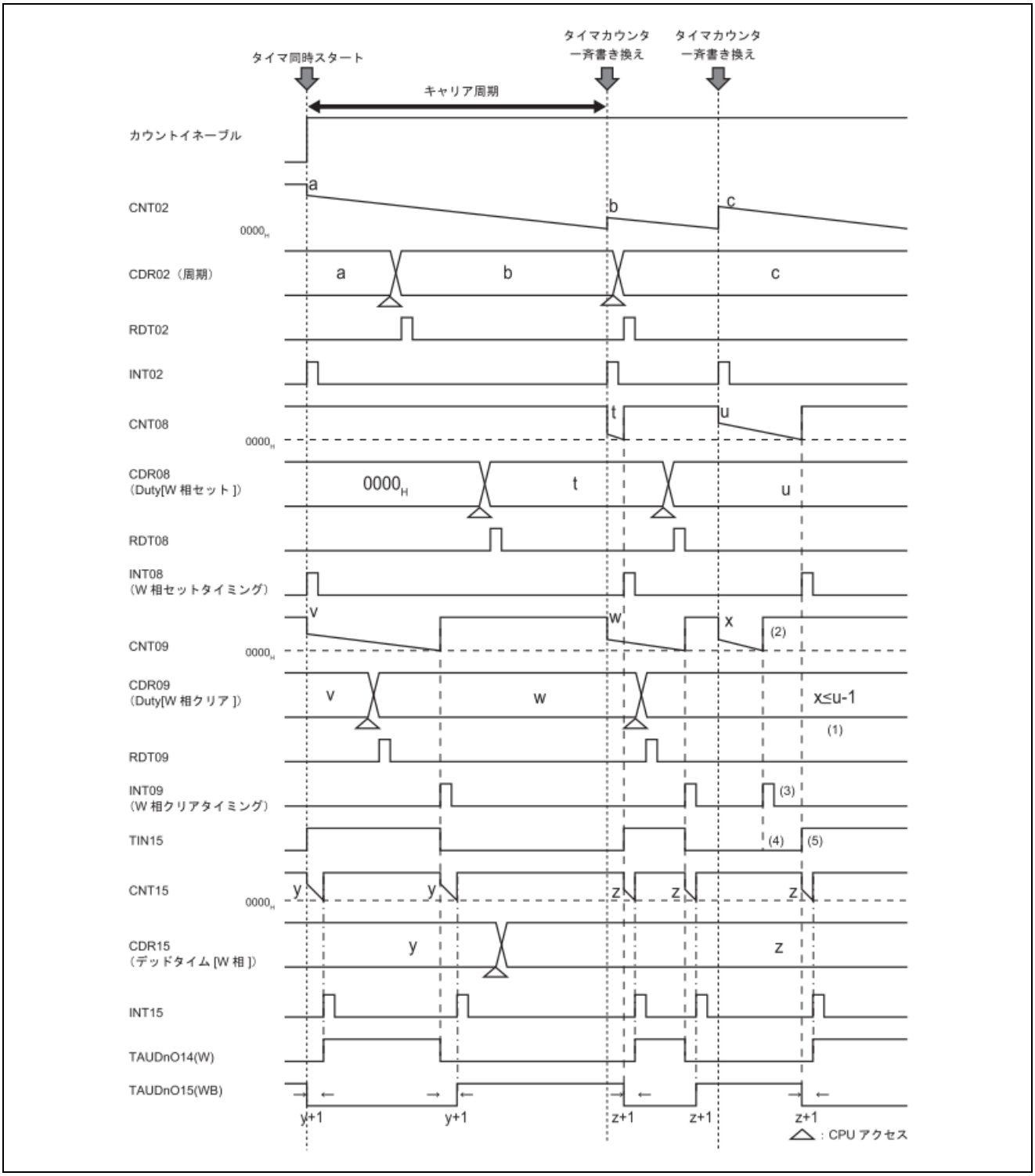


図17.21　デッドタイム付加の 1 相 PWM（W 相、WB 相）出力例

図17.21の W 相 PWM 出力を行うタイマ構成の動作例について説明します。

タイマ同時スタートから「1 相 PWM 出力機能」による PWM 出力までの動作については U 相の動作例の説明を参照してください。

(1) W 相クリアタイミング信号（INT09）を生成する CH09（W 相クリア信号出力タイミングタイマ）設定値を CH8（W 相セット信号出力タイミングタイマ）設定値より小さくした場合、

(2) CH8 のアンダフローによる W 相セットタイミング信号（INT08）発生前に、CH09（W 相クリア信号出力タイミングタイマ）のアンダフローが発生し、W 相クリアタイミング信号（INT09）が発生します。

(3) これにより、W 相クリアタイミング信号（INT09）が連続して発生することになります。

(4) この場合、連続して発生した W 相クリアタイミング信号（INT09）は RS フリップフロップ回路により無視されるため PWM 出力波形に影響しません。

(5) PWM 出力は次の W 相セットタイミング信号（INT08）のタイミングで変化します。

17.9.4　設定フロー

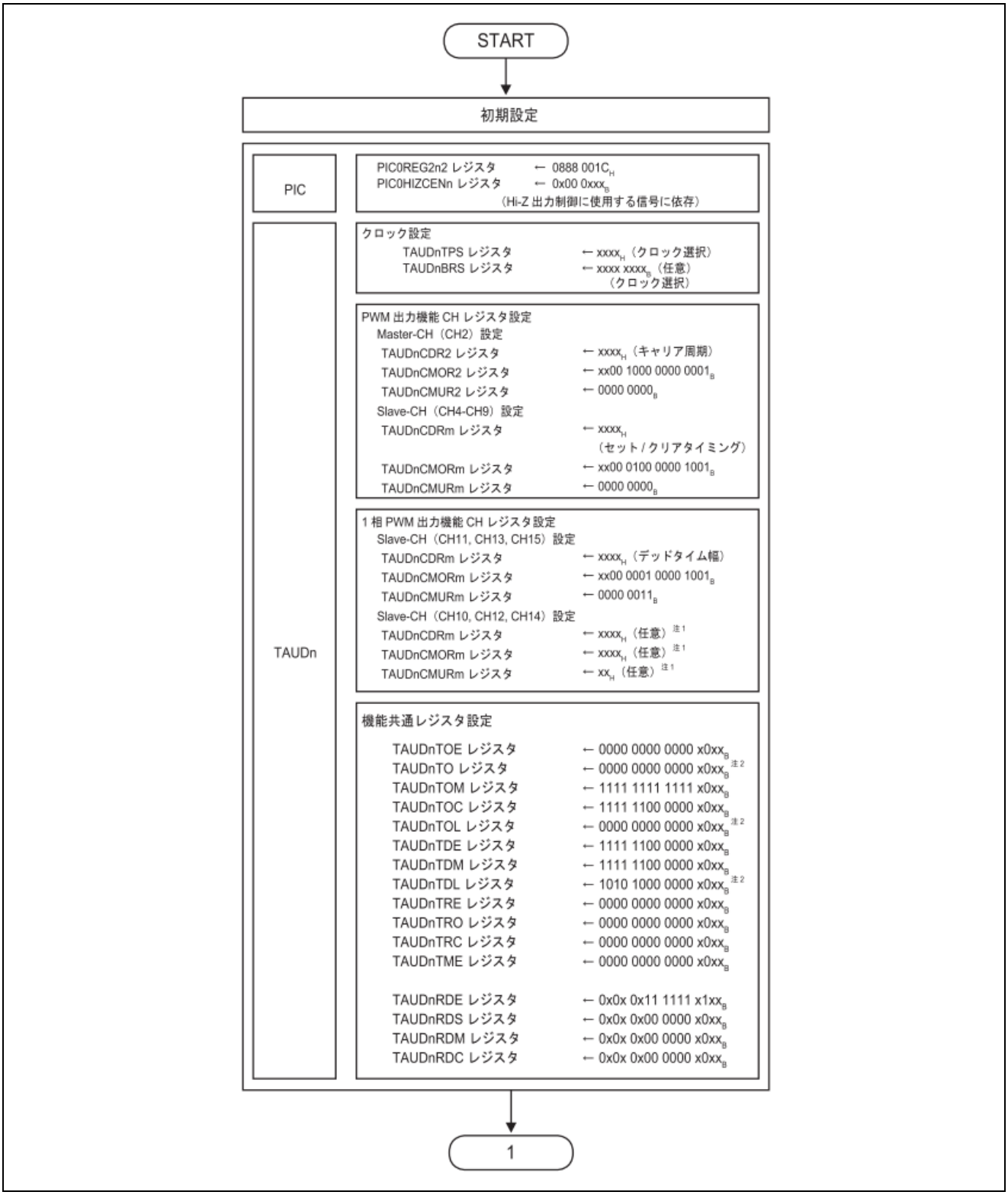


図17.22　設定フロー1（アクティブハイの例）

注 1. TOUTm を使用しない機能を指定してください。
2. 出力する PWM のアクティブレベルによって設定値を変更してください。

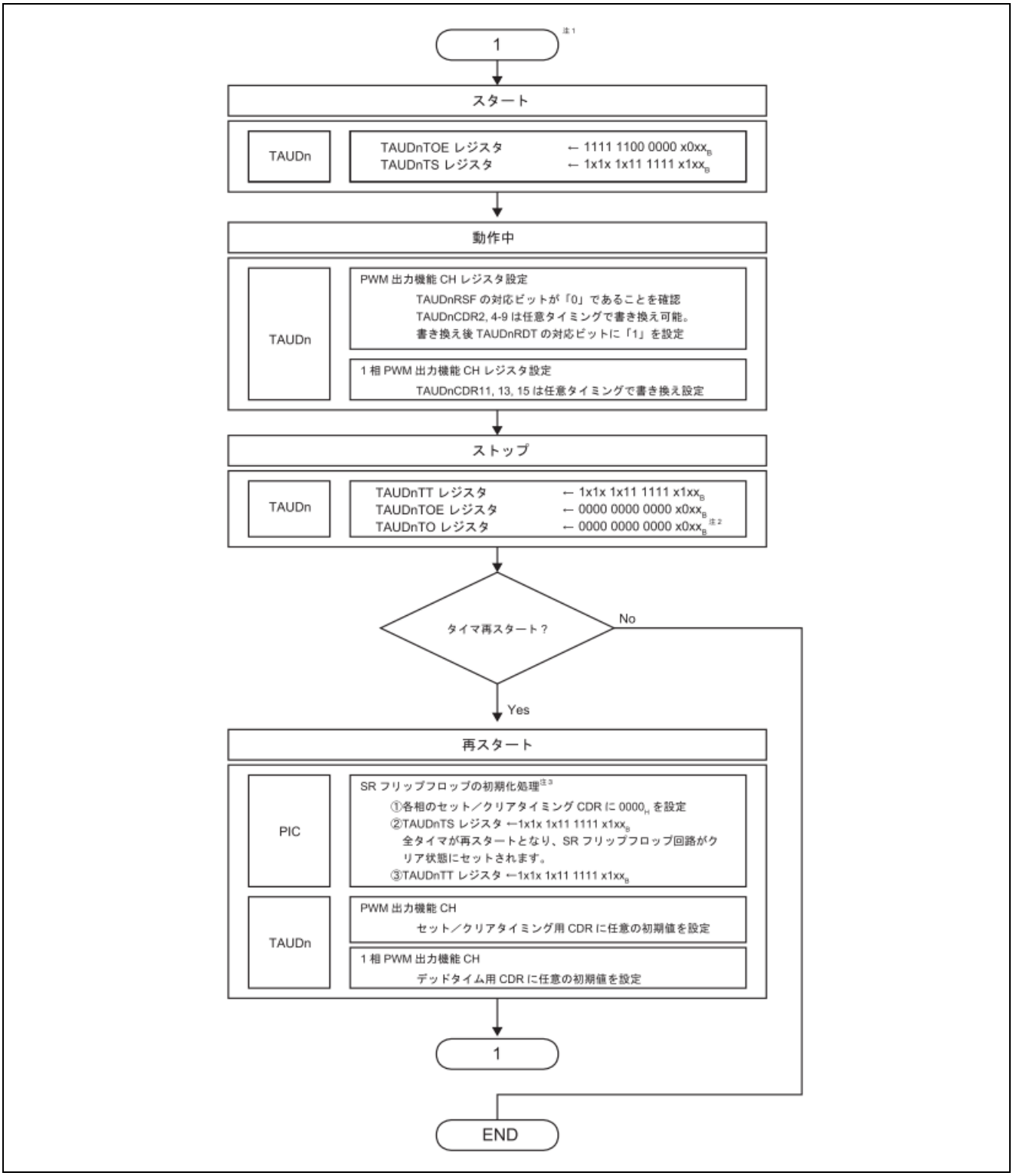


図17.23　設定フロー2（アクティブハイの例）

注 1. 選択レジスタと使用する出力ポートの設定は、PIC とタイマの初期設定後に行ってください。
2. 出力する PWM のアクティブレベルによって設定値を変更してください。
3. 初期化処理を行わない場合、SR フリップフロップ回路の状態がタイマ停止時の状態となり、場合によってはタイマ再スタートの出力パルスが意図しないレベルで出力される可能性があります。

17.9.5 動作機能の設定例

各レジスタの設定値の例を示します。

(1) TAUD 設定（アクティブハイの例）

表17.13 TAUD CH2 関連（PWM 出力機能マスタチャネル）注1

レジスタ	ビット位置	ビット名	設定値	備考
TAUDCMOR2	15-14	TAUDCKS[1:0]	任意注2	動作クロック設定
	13-12	TAUDCCS[1:0]	00	
	11	TAUDMAS	1	
	10-8	TAUDSTS[2:0]	000	
	7-6	TAUDCOS[1:0]	00	
	5		0	0 固定
	4-1	TAUDMD[4:1]	0000	
	0	TAUDMD0	1	
TAUDCMUR2	1-0	TAUDTIS[1:0]	00	

注 1. マスタチャネルおよびスレーブチャネルは TAUD の PWM 出力機能で定義されている名称です。詳細については「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。
2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

表17.14 TAUD CH4-CH9 関連（PWM 出力機能スレーブチャネル注1）(m = 4-9)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDCMORm	15-14	TAUDCKS[1:0]	任意注2	動作クロック設定
	13-12	TAUDCCS[1:0]	00	
	11	TAUDMAS	0	
	10-8	TAUDSTS[2:0]	100	
	7-6	TAUDCOS[1:0]	00	
	5		0	0 固定
	4-1	TAUDMD[4:1]	0100	
	0	TAUDMD0	1	
TAUDCMURm	1-0	TAUDTIS[1:0]	00	

注 1. マスタチャネルおよびスレーブチャネルは TAUD の PWM 出力機能で定義されている名称です。詳細については「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。
2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

備考 PWM 出力機能の TAUDCMORm は、TAUDCKS[1:0]（動作クロック選択）のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。

表17.15　TAUD CH11, 13, 15 関連（1 相 PWM 出力機能）（m = 11, 13, 15）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDCMORm	15-14	TAUDCKS[1:0]	任意注 1	動作クロック設定
	13-12	TAUDCCS[1:0]	00	
	11	TAUDMAS	0	
	10-8	TAUDSTS[2:0]	001	
	7-6	TAUDCOS[1:0]	00	
	5		0	0 固定
	4-1	TAUDMD[4:1]	0100	
	0	TAUDMD0	1	
TAUDCMURm	1-0	TAUDTIS[1:0]	11	TINm 両エッジを有効エッジとして検出 (High 幅)

注 1. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

備考 1 相 PWM 出力機能の TAUDCMORm は、TAUDCKS[1:0]（動作クロック選択）のみ任意に設定できますが、他の制御ビットは固定値となります。CH10、12、14 については TOUTm 出力を使用しない機能（A/D トリガ出力など）であれば、任意に使用可能です。詳細は「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。

表17.16　TAUD チャネル共通

（1/4）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDTOE	15-10	TAUDTOE15-10	0/1	0：タイマ動作禁止、1：タイマ動作許可
	9-4	TAUDTOE09-04	0	TOUT09-04 は未使用のため 0 固定
	3	TAUDTOE03	任意	
	2	TAUDTOE02	0	TOUT02 は未使用のため 0 固定
	1-0	TAUDTOE01-00	任意	
TAUDTO	15-10	TAUDTO15-10	0 注 1	TOUT15-10 にロウレベルを出力
	9-4	TAUDTO09-04	0	TOUT09-04 にロウレベルを出力
	3	TAUDTO03	任意	
	2	TAUDTO02	0	TOUT02 にロウレベルを出力
	1-0	TAUDTO01-00	任意	
TAUDTOM	15-4	TAUDTOM15-04	1	連動動作モード
	3	TAUDTOM03	任意	
	2	TAUDTOM02	0	単体動作モード
	1-0	TAUDTOM01-00	任意	

注 1. 使用システムによって設定を変更してください。

表17.16　TAUD チャネル共通

（2/4）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDTOC	15-10	TAUDTOC15-10	1	連動動作モード 2
	9-4	TAUDTOC09-04	0	連動動作モード 1
	3	TAUDTOC03	任意	
	2	TAUDTOC02	0	動作モード 1
	1-0	TAUDTOC01-00	任意	
TAUDTOL	15-4	TAUDTOL15-04	0 注 1	正論理出力（アクティブハイ）
	3	TAUDTOL03	任意	
	2	TAUDTOL02	0	正論理出力（アクティブハイ）
	1-0	TAUDTOL01-00	任意	
TAUDTDE	15-10	TAUDTDE15-10	1	デッドタイム制御可能注 2
	9-4	TAUDTDE09-04	0	デッドタイム制御禁止
	3	TAUDTDE03	任意	
	2	TAUDTDE02	0	デッドタイム制御禁止
	1-0	TAUDTDE01-00	任意	
TAUDTDM	15-10	TAUDTDM15-10	1	下位奇数チャネルの TINm 入力エッジ検出でデッドタイムを生成する。
	9-4	TAUDTDM09-04	0	デッドタイム制御禁止のため無効
	3	TAUDTDM03	任意	
	2	TAUDTDM02	0	デッドタイム制御禁止のため無効
	1-0	TAUDTDM01-00	任意	
TAUDTDL	15	TAUDTDL15	1 注 1	W 相逆相として動作
	14	TAUDTDL14	0 注 1	W 相正相として動作
	13	TAUDTDL13	1 注 1	V 相逆相として動作
	12	TAUDTDL12	0 注 1	V 相正相として動作
	11	TAUDTDL11	1 注 1	U 相逆相として動作
	10	TAUDTDL10	0 注 1	U 相正相として動作
	9-4	TAUDTDL09-04	0	デッドタイム制御禁止のため無効
	3	TAUDTDL03	任意	
	2	TAUDTDL02	0	デッドタイム制御禁止のため無効
	1-0	TAUDTDL01-00	任意	
TAUDTRE	15-4	TAUDTRE15-04	0	リアルタイム出力停止
	3	TAUDTRE03	任意	
	2	TAUDTRE02	0	リアルタイム出力停止
	1-0	TAUDTRE01-00	任意	

注 1. 使用システムによって設定を変更してください。

2. デッドタイム制御を行うため、偶数チャネルと奇数チャネルを対とした正逆相の波形出力制御を行います。詳細は「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。

表17.16　TAUD チャネル共通

（3/4）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDTRO	15-4	TAUDTRO15-04	0	リアルタイム出力禁止のため無効
	3	TAUDTRO03	任意	
	2	TAUDTRO02	0	リアルタイム出力禁止のため無効
	1-0	TAUDTRO01-00	任意	
TAUDTRC	15-4	TAUDTRC15-04	0	リアルタイム出力トリガ生成チャネルとして動作しない。
	3	TAUDTRC03	任意	
	2	TAUDTRC02	0	リアルタイム出力トリガ生成チャネルとして動作しない。
	1-0	TAUDTRC01-00	任意	
TAUDTME	15-4	TAUDTME15-04	0	タイマ出力とリアルタイム出力の変調出力禁止
	3	TAUDTME03	任意	
	2	TAUDTME02	0	タイマ出力とリアルタイム出力の変調出力禁止
	1-0	TAUDTME01-00	任意	
TAUDRDE	15	TAUDRDE15	0	一斉書き換え禁止
	14	TAUDRDE14	任意	
	13	TAUDRDE13	0	一斉書き換え禁止
	12	TAUDRDE12	任意	
	11	TAUDRDE11	0	一斉書き換え禁止
	10	TAUDRDE10	任意	
	9-4	TAUDRDE09-04	1	一斉書き換え許可
	3	TAUDRDE03	任意	
	2	TAUDRDE02	1	一斉書き換え許可
	1-0	TAUDRDE01-00	任意	
TAUDRDS	15	TAUDRDS15	0	別の上位チャネルにより、一斉書き換えを許可しない
	14	TAUDRDS14	任意	
	13	TAUDRDS13	0	別の上位チャネルにより、一斉書き換えを許可しない
	12	TAUDRDS12	任意	
	11	TAUDRDS11	0	別の上位チャネルにより、一斉書き換えを許可しない
	10	TAUDRDS10	任意	
	9-4	TAUDRDS09-04	0	マスタチャネルにより一斉書き換えを許可する
	3	TAUDRDS03	任意	
	2	TAUDRDS02	0	マスタチャネルにより一斉書き換えを許可する
	1-0	TAUDRDS01-00	任意	

表17.16　TAUD チャネル共通

（4/4）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDRDM	15	TAUDRDM15	0	一斉書き換えを許可しないので無効
	14	TAUDRDM14	任意	
	13	TAUDRDM13	0	一斉書き換えを許可しないので無効
	12	TAUDRDM12	任意	
	11	TAUDRDM11	0	一斉書き換えを許可しないので無効
	10	TAUDRDM10	任意	
	9-4	TAUDRDM09-04	0	マスタチャネルのカウント開始タイミングで信号をロード
	3	TAUDRDM03	任意	
	2	TAUDRDM02	0	マスタチャネルのカウント開始タイミングで信号をロード
	1-0	TAUDRDM01-00	任意	
TAUDRDC	15	TAUDRDC15	0	一斉書き換えを許可しないので無効
	14	TAUDRDC14	任意	
	13	TAUDRDC13	0	一斉書き換えを許可しないので無効
	12	TAUDRDC12	任意	
	11	TAUDRDC11	0	一斉書き換えを許可しないので無効
	10	TAUDRDC10	任意	
	9-4	TAUDRDC09-04	0	一斉書き換えトリガ生成チャネルとして動作しない
	3	TAUDRDC03	任意	
	2	TAUDRDC02	1	一斉書き換えトリガ生成チャネルとして動作する
	1-0	TAUDRDC01-00	任意	

(2)　PIC の設定

表17.17　PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PICREG202	27	PICREG20227	1	PICREG20204 ビットで選択した入力を選択
	23	PICREG20223	1	PICREG20203 ビットで選択した入力を選択
	19	PICREG20219	1	PICREG20202 ビットで選択した入力を選択
	4	PICREG20204	1	INTTAUDI8-9 によるセット／クリア出力を選択
	3	PICREG20203	1	INTTAUDI6-7 によるセット／クリア出力を選択
	2	PICREG20202	1	INTTAUDI4-5 によるセット／クリア出力を選択

17.10 デッドタイム付き高精度三角波 PWM 出力機能

17.10.1 機能概要

TAUD の「デッドタイム付き三角波 PWM 出力機能」に対し、デューティ 100%および 0%近傍のデッドタイム可変領域の制御を可能にする機能です。より高精度な三角波 PWM を出力できます。

TAUD のデッドタイム付き三角波 PWM 機能による PWM 出力では、たとえば三角波を U 相 0%出力に遷移させた場合、UB 相のデッドタイムパルスを出力することができません（図17.24参照）。

本機能では、TAUD のタイマ出力を組み合わせてパルスを生成し、PWM 出力に対してデッドタイムパルスを擬似的に付加します。

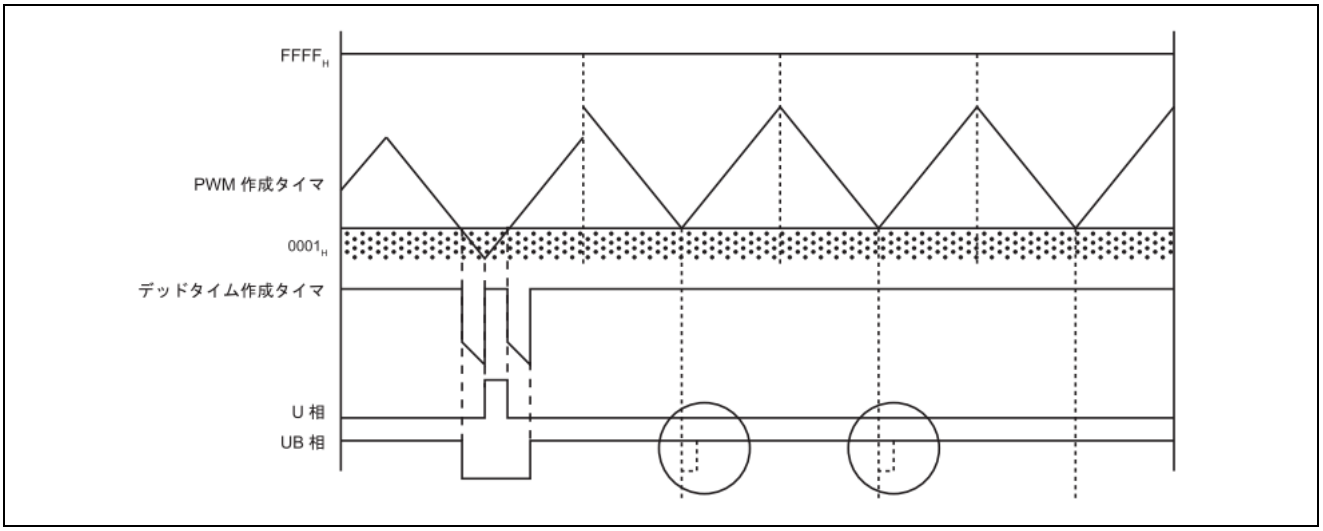


図17.24 TAUD のデッドタイム付き三角波 PWM 出力機能によるデッドタイム出力タイミング

17.10.2 構成

本機能のユニット、チャネル構成を下記に示します。(n = 0)

表17.18 デッドタイム付き高精度三角波 PWM 出力機能の構成

タイマ	タイマモータ制御
TAUD CH2、CH4～CH15（使用チャネル固定）	TAPA

以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

- INTm：INTTAUDIm（TAUD チャネル m 割り込み）
- TINm：TAUDTTINm（TAUD チャネル m 入力）
- TOUTm：TAUDTTOUTm（TAUD チャネル m 出力）
- CDRm：TAUDCDRm（TAUD チャネル m データレジスタ）
- CNTm：TAUDCNTm（TAUD チャネル m カウンタレジスタ）

(1) TAUD 構成

表17.19 TAUD 構成

CH	機能名	M/S	CDR 設定値	説明
2	デッドタイム付き三角波 PWM 出力機能（CH02 は CH04-CH09 のマスタチャネル）	M	周期	
4		S	デューティ（U 相）	
5		S	デッドタイム（U 相）	
6		S	デューティ（V 相）	
7		S	デッドタイム（V 相）	
8		S	デューティ（W 相）	
9		S	デッドタイム（W 相）	
10	ワンショットパルス出力機能	M	ディレイ	U 相 PWM にデッドタイム可変領域で挿入するパルスを生成
11		S	パルス幅	
12	ワンショットパルス出力機能	M	ディレイ	V 相 PWM にデッドタイム可変領域で挿入するパルスを生成
13		S	パルス幅	
14	ワンショットパルス出力機能	M	ディレイ	W 相 PWM にデッドタイム可変領域で挿入するパルスを生成
15		S	パルス幅	

備考 M：マスタチャネル、S：スレーブチャネル

(2) ブロック図

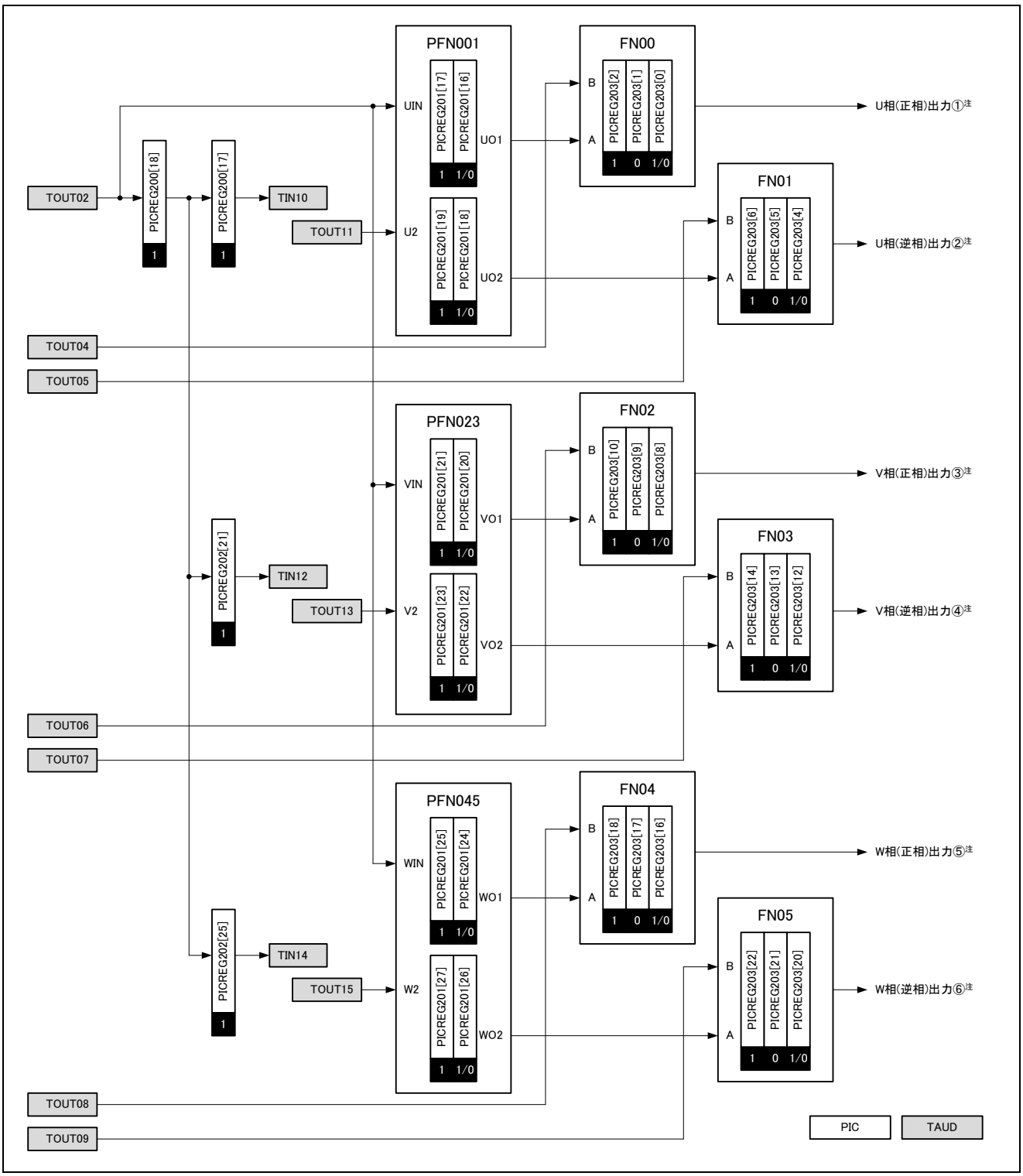


図17.25 デッドタイム付き高精度三角波 PWM 出力機能のブロック図

注. 接続先は「図17.16 モータ出力バッファ制御ブロック図」を参照して下さい。

17.10.3　動作例

TAUD の次の機能の組み合わせにより実現します。

- デッドタイム付き三角波 PWM 出力機能
- ワンショットパルス出力機能

また、デッドタイム可変領域で挿入するデッドタイム可変領域パルスを正相／逆相用に生成するため、PIC 内の以下機能を使用します。

- 組み合わせ回路（PFN001、PFN023、PFN045）

また、デッドタイム可変領域で挿入するデッドタイム可変領域パルスを三角波 PWM 出力波形と合成するため、PIC 内の以下機能を使用します。

- 論理演算回路（FN0i）（i = 0～5）

デッドタイム付き高精度三角波 PWM 出力機能は、上記機能で実現した PWM 出力をそれぞれ U 相、V 相、W 相に割り当てることにより実現します。したがって、PWM 出力のデッドタイムは、各相の PWM ごとに自由に設定できます。各相の違いは割り当てられたチャネルの違いのみなので、ここでは 1 相（U 相）について説明を行います。

(1)　デッドタイム付き三角波 PWM 出力機能

CH2、CH4、CH5 を組み合わせて使用し、TOUT04、TOUT05 よりデッドタイム付き三角波 PWM が出力されます。

(2)　ワンショットパルス出力機能

CH10、CH11 を組み合わせて使用し、CH10 の TIN10（TOUT02）の有効エッジからディレイ（CDR10）分遅らせた幅 CDR11 のパルスを TOUT11 として出力します。

このパルスはデューティ 100%および 0%近傍で使用するデッドタイム可変領域パルスとして利用します。

注意. ワンショットパルス出力機能の各 CDR 設定値は、以下の条件を満たすように設定してください。
CDR05≧（CDR10 ＋ CDR11）
上記条件を満たさない値を設定した場合、出力波形に影響を与える可能性があります。影響を最小にするには、上記設定値条件とともに、デッドタイム可変領域パルスが必要になる状況まで、CDR11 には 0000H を設定しておいてください。
TIN10（TOUT02）の有効エッジは両エッジ検出、また TAUDTOL11 = 1（アクティブロウ）に設定してください。
デッドタイム付き三角波 PWM 出力機能、ワンショットパルス出力機能で使用する TAUD の各チャネルの動作クロック設定は同一クロックを設定してください。

TAUD 機能の詳細は「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。

(3)　U 相組み合わせ回路（PFN001）

ワンショットパルス出力機能で生成したパルスを、デッドタイム付き三角波 PWM 出力機能で生成された三角波 PWM へ付加するためのデッドタイム可変領域パルス（FN00 A、FN01 A）を生成します。

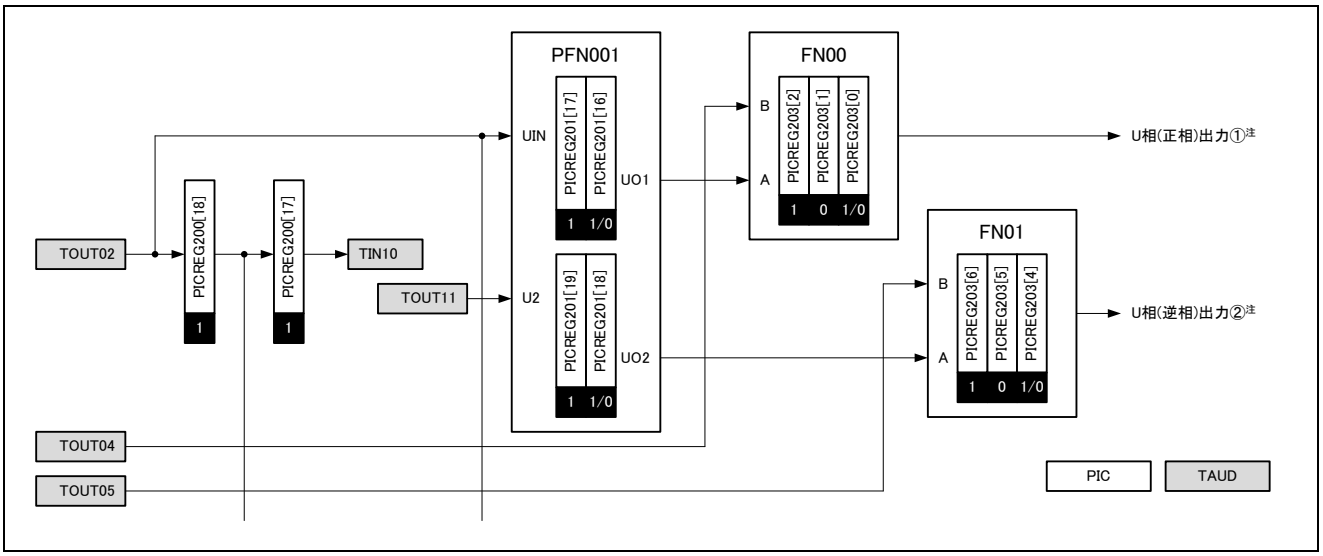


図17.26　ブロック図抜粋（PFN001、FN00、FN01）

注. 接続先は「図17.16 モータ出力バッファ制御ブロック図」を参照して下さい。

組み合わせ回路の入力（UIN、U2）と出力（UO1、UO2）の関係を以下の表に示します。

表17.20　U/UB 相組み合わせ回路（PFN001）の入出力表

【UO1（U 相デッドタイム可変領域パルス）出力】

UIN（TOUT02）	U2（TOUT11）	UO1（PICREG20117-16）	
		10B：U 相出力アクティブハイ（TAUDTOL04 = 0）	11B：U 相出力アクティブロウ（TAUDTOL04 = 1）
0	0	1	0
0	1	1	0
1	0	0	1
1	1	1	0

【UO2（UB 相デッドタイム可変領域パルス）出力】

UIN（TOUT02）	U2（TOUT11）	UO2（PICREG20119-18）	
		10B：U 相出力アクティブハイ（TAUDTOL05 = 0）	11B：U 相出力アクティブロウ（TAUDTOL05 = 1）
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

備考 PICREG20116-19 の設定は、デッドタイム付き三角波 PWM 出力機能で生成された三角波 PWM の U 相／UB 相アクティブレベルによって設定を変更します。

(4) 論理演算回路（FN0i）（i = 0、1）

デッドタイム付き三角波 PWM 出力機能の三角波 PWM 出力（TOUT04、TOUT05）と組み合わせ回路出力（PFN001 の UO1、UO2）を合成し、デッドタイム可変領域パルスを付加した PWM を生成します。

論理演算回路は PICREG203 レジスタの設定（U 相出力はビット 0 からビット 2 まで、UB 相出力はビット 4 からビット 6 までを設定）によって、合成論理を切り替えます。

本機能での設定は、以下の表のように設定してください。TAPAUP 端子と TAPAUM 端子からは設定された合成論理に従い合成した信号を出力します。

表17.21 論理演算回路（FN0i）（i = 0、1）設定と TAPAUP、TAPAUM 端子出力

【U 相出力（TOUT04）】

アクティブレベル	PICREG20302-00	TAPAUP 端子の出力波形
アクティブハイ（TAUDTOL04 = 0）	100B	FN00 B（TOUT04）と FN00 A（UO1）の AND
アクティブロウ（TAUDTOL04 = 1）	101B	FN00 B（TOUT04）と FN00 A（UO1）の OR

【UB 相出力（TOUT05）】

アクティブレベル	PICREG20306-04	TAPAUM 端子の出力波形
アクティブハイ（TAUDTOL05 = 0）	100B	FN01 B（TOUT05）と FN01 A（UO2）の AND
アクティブロウ（TAUDTOL05 = 1）	101B	FN01 B（TOUT05）と FN01 A（UO2）の OR

これにより TAUD においてもデューティが 0%または 100%近傍時に、出力精度確保を目的としたデッドタイム可変制御が可能となるため TAUD 機能のデッドタイム付き三角波 PWM 出力機能よりも高精度な三角波 PWM を出力することができます。

V、VB 相、W、WB 相については「図17.25 デッドタイム付き高精度三角波PWM出力機能のブロック図」に示す通り、使用するチャネルやレジスタの設定ビットが異なりますが、設定値は同じになります。

PIC は、「デッドタイム付き三角波 PWM 出力機能」で生成された PWM 信号に「ワンショットパルス出力機能」によって生成されたパルスを PIC 機能の「組み合わせ回路」および「論理演算回路」により付加する接続を提供します。

次の図以降にデッドタイム付き高精度三角波 PWM 出力機能のタイミング図を示します。

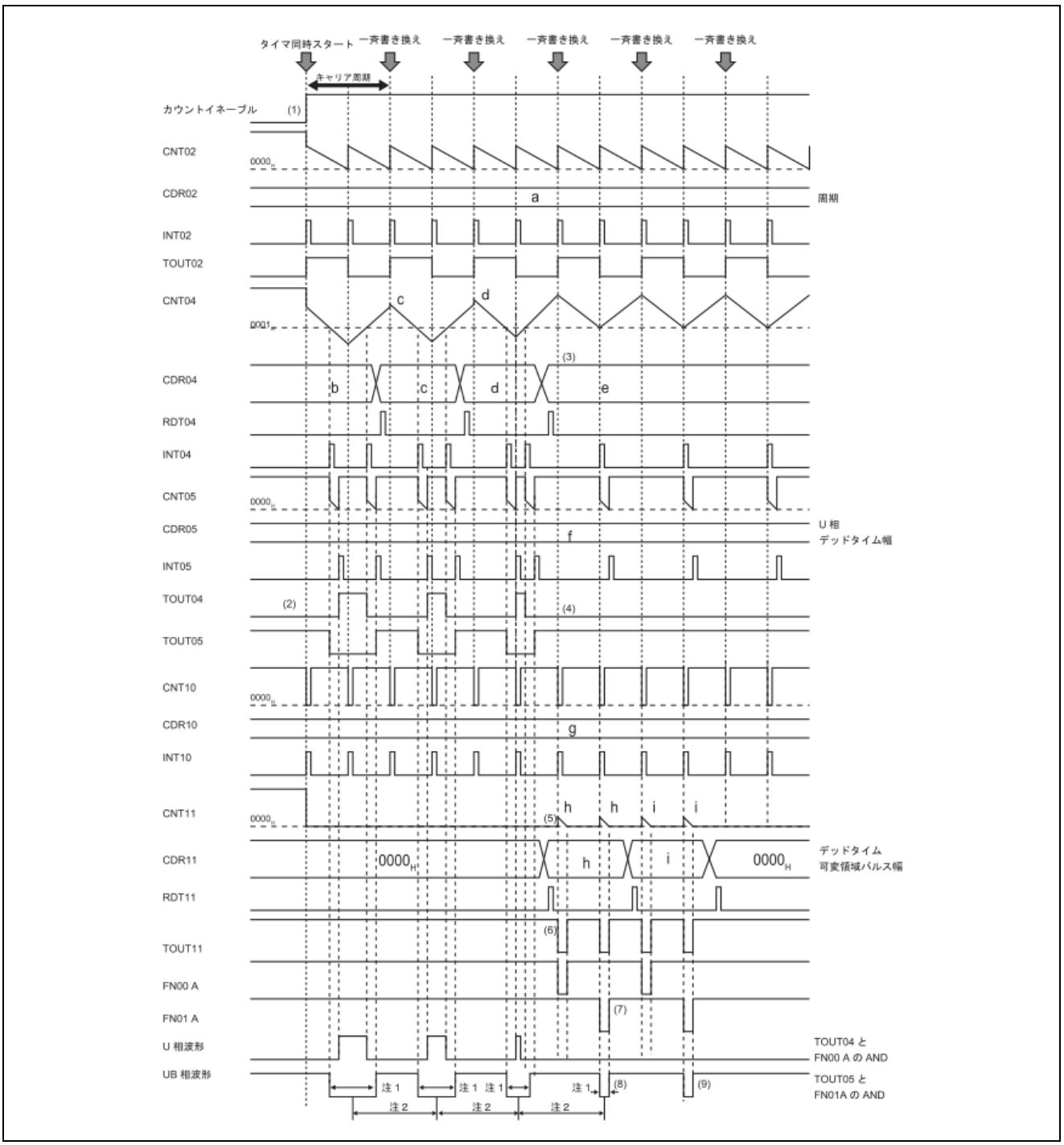


図17.27　デッドタイム付き高精度 PWM 出力（U 相 0%、UB 相 100%）例（TAUDTOL04 = 0（アクティブハイ）、TAUDTOL05 = 0（アクティブハイ）の場合）

注 1. デッドタイム可変領域パルスは、三角波を使用している両側伸縮するパルスとは異なり、鋸波を使用しているため片側伸縮となります。

2. デッドタイム可変領域パルスが片側伸縮のため、デッドタイム可変領域での 1 相 PWM の出力周期は、付加するデッドタイム可変領域パルス幅の 1/2 分長くなります。

「図17.27 デッドタイム付き高精度PWM出力（U相0%、UB相100%）例（TAUDTOL04 = 0（アクティブハイ）、TAUDTOL05 = 0（アクティブハイ）の場合）」の U 相 PWM 出力を行うタイマ構成で U 相 0%、UB 相 100%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブハイです。

(1) タイマ動作開始により、TAUD の CH2、CH4、CH5 によるデッドタイム付き三角波 PWM 出力機能を開始します。

(2) デッドタイム付き三角波 PWM 出力機能により、TOUT04、05 からデッドタイム付き PWM 波形が出力されます。

(3) CDR04 に U 相デューティ 0%出力値を設定します。

(4) (3)の設定により、TOUT04 の出力は非アクティブレベル、TOUT05 の出力はアクティブレベルとなります。ただし、この動作ではデッドタイム可変領域のパルスは出力されません。

(5) デッドタイム可変領域パルスを作成するため、③の U 相デューティ 0%設定時に、デッドタイム可変領域パルス幅となる値を CDR11 に設定します。
この例では、出力 PWM への影響を考慮し、デッドタイム可変領域に入るまで CDR11 の設定値を 0000H に固定しています。

(6) デッドタイム可変領域パルスは、TOUT02 のエッジタイミングで CDR10 に設定されているディレイ時間経過後、CDR11 に設定された幅のパルスとして出力されます。

(7) (6)で出力されたパルスは、組み合わせ回路（PFN001）により U 相用（FN00 A）、UB 相用（FN01 A）のデッドタイム可変領域パルスに変換されます。

(8) (7)で生成されたパルスは、論理演算回路（FN00、FN01）で、TOUT04、TOUT05 出力波形と合成され、TAPAUP（U 相出力）および TAPAUM（UB 相出力）から出力されます。

(9) 以後、デッドタイム可変領域パルス幅を指定する CDR11 への設定値を変更することにより、任意のデッドタイム可変領域パルスをが付加されます。

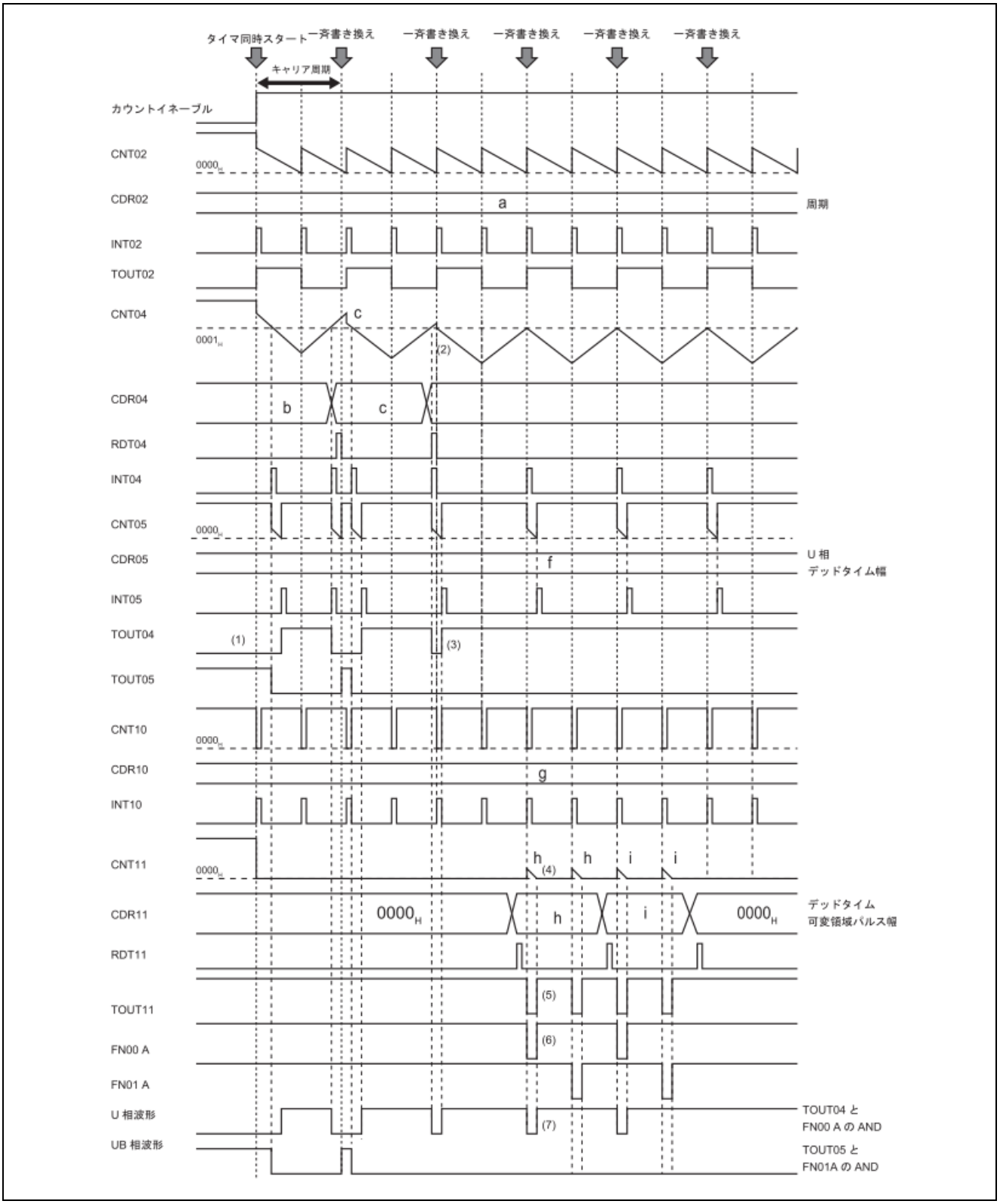


図17.28　デッドタイム付き高精度 PWM 出力（U 相 100%、UB 相 0%）例（TAUDTOL04 = 0（アクティブハイ）、TAUDTOL05 = 0（アクティブハイ）の場合）

「図17.28 デッドタイム付き高精度PWM出力（U相100%、UB相0%）例（TAUDTOL04 = 0（アクティブハイ）、TAUDTOL05 = 0（アクティブハイ）の場合）」の U 相 PWM 出力を行うタイマ構成で U 相 100%、UB 相 0%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブハイです。

(1) タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は同じです。
(2) CDR04 に U 相デューティ 100%出力値（CDR04 = 0000H）を設定します。
(3) (2)の設定により、TOUT04 の出力はアクティブレベル、TOUT05 の出力は非アクティブレベルとなります。ただし、この動作ではデッドタイム可変領域パルスは出力されません。
(4) デッドタイム可変領域パルスを作成するため、②の U 相デューティ 100%設定から 1 周期後に、デッドタイム可変領域パルス幅となる値を CDR11 に設定します。
この例では、出力 PWM への影響を考慮し、デッドタイム可変領域に入るまで CDR11 の設定値を 0000H に固定しています。
(5) デッドタイム可変領域パルスは、TOUT02 のエッジタイミングで CDR10 に設定されているディレイ時間経過後、CDR11 に設定された幅のパルスとして出力されます。
(6) (5)で出力されたパルスは、組み合わせ回路（PFN001）により U 相用（FN00 A）、UB 相用（FN01 A）のデッドタイム可変領域パルスに変換されます。
(7) (6)で生成されたパルスは、論理演算回路（FN00、FN01）で、TOUT04、TOUT05 出力波形と合成され、TAPAUP（U 相出力）および TAPAUM（UB 相出力）から出力されます。

注意. CDR04 へ U 相デューティ 100%設定と同時に CDR11 にデッドタイム可変領域パルス幅の値を設定した場合、図17.28で示す通り、機能仕様上①で示す TOUT04 から出力される最後の PWM に対し、(2)で示される分、デッドタイム可変領域パルスが影響を与えてしまいます。この影響をキャンセルするため、CDR11 の設定は 1 周期後としています。

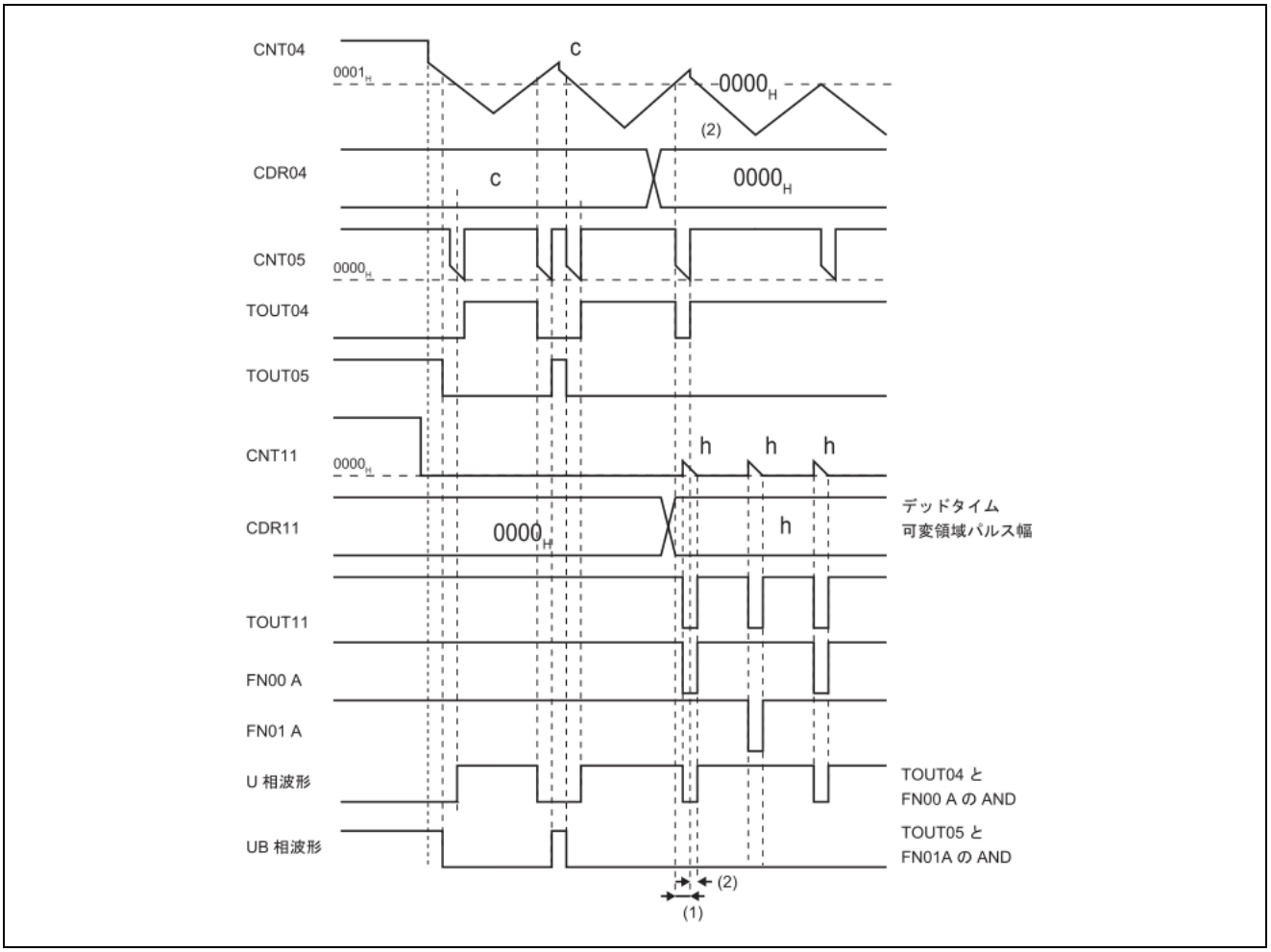


図17.29　デッドタイム可変領域パルスがデッドタイム付き三角波 PWM 出力に影響する例

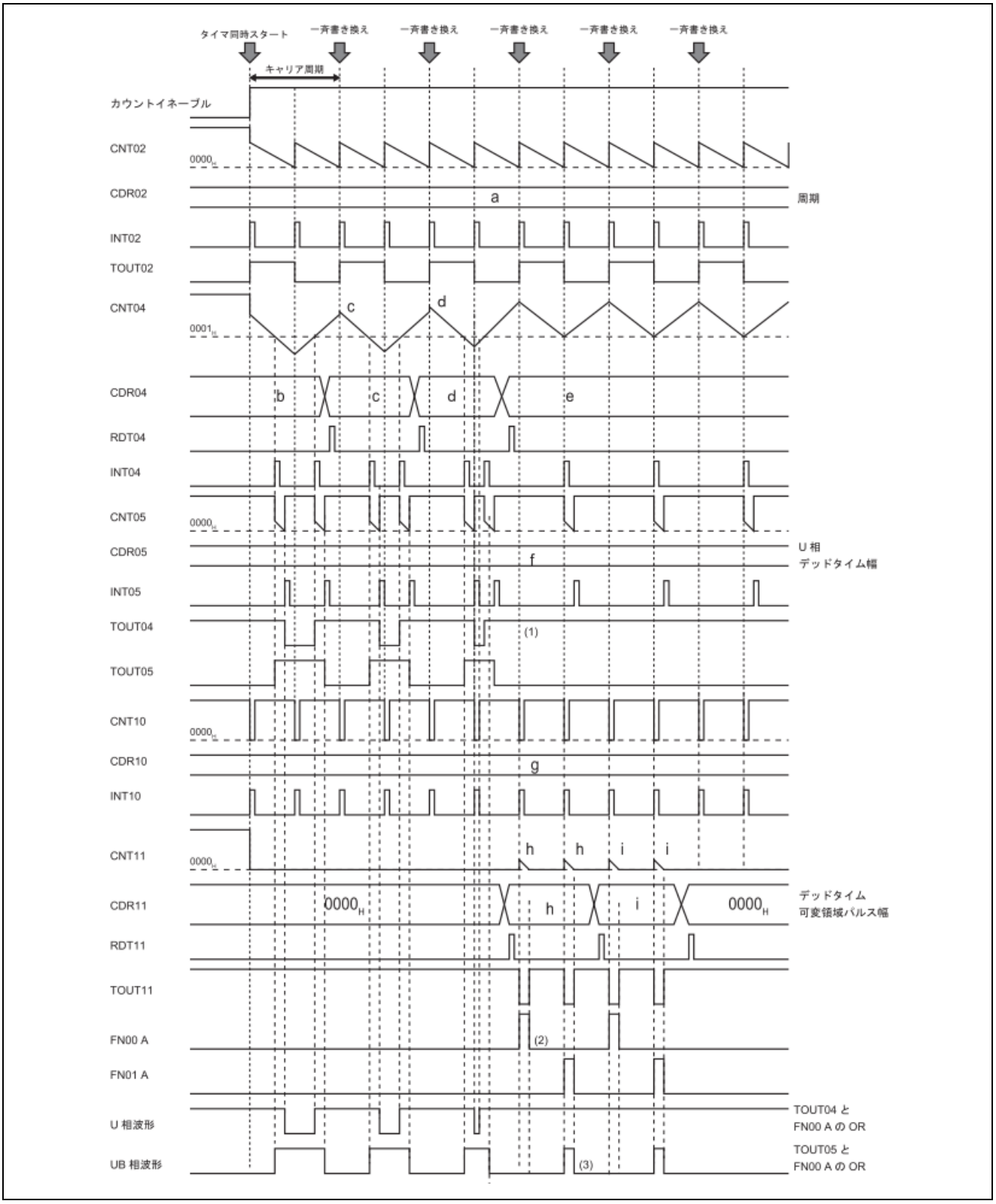


図17.30　デッドタイム付き高精度 PWM 出力（U 相 100%、UB 相 0%）例（TAUDTOL04 = 1（アクティブロウ）、TAUDTOL05 = 1（アクティブロウ）の場合）

「図17.30 デッドタイム付き高精度PWM出力（U相100%、UB相0%）例（TAUDTOL04 = 1（アクティブロウ）、TAUDTOL05 = 1（アクティブロウ）の場合）」の U 相 PWM 出力を行うタイマ構成で U 相 100%、UB 相 0%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブロウです。

(1) タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は、「図17.27 デッドタイム付き高精度PWM出力（U相0%、UB相100%）例（TAUDTOL04 = 0（アクティブハイ）、TAUDTOL05 = 0（アクティブハイ）の場合）」と同じです。ただし、PWM 出力として TOUT04 と TOUT05 からはアクティブロウの PWM が出力されます。

(2) そのため、組み合わせ回路設定（PICREG20116-17、PICREG20118-19）を PWM 出力に合わせたアクティブロウ出力に設定します。これによりアクティブロウ用のデッドタイム可変領域パルスが U 相用（FN00 A）、UB 相用（FN01 A）として出力されます。

(3) さらに、論理演算回路設定（PICREG20302-00、PICREG20306-04）も PWM 出力に合わせたアクティブロウ出力に設定します。(2)で生成されたパルスは、TOUT04、TOUT05 出力波形と合成され、TAPAUP（U 相出力）および TAPAUM（UB 相出力）からアクティブロウ用 PWM として出力されます。

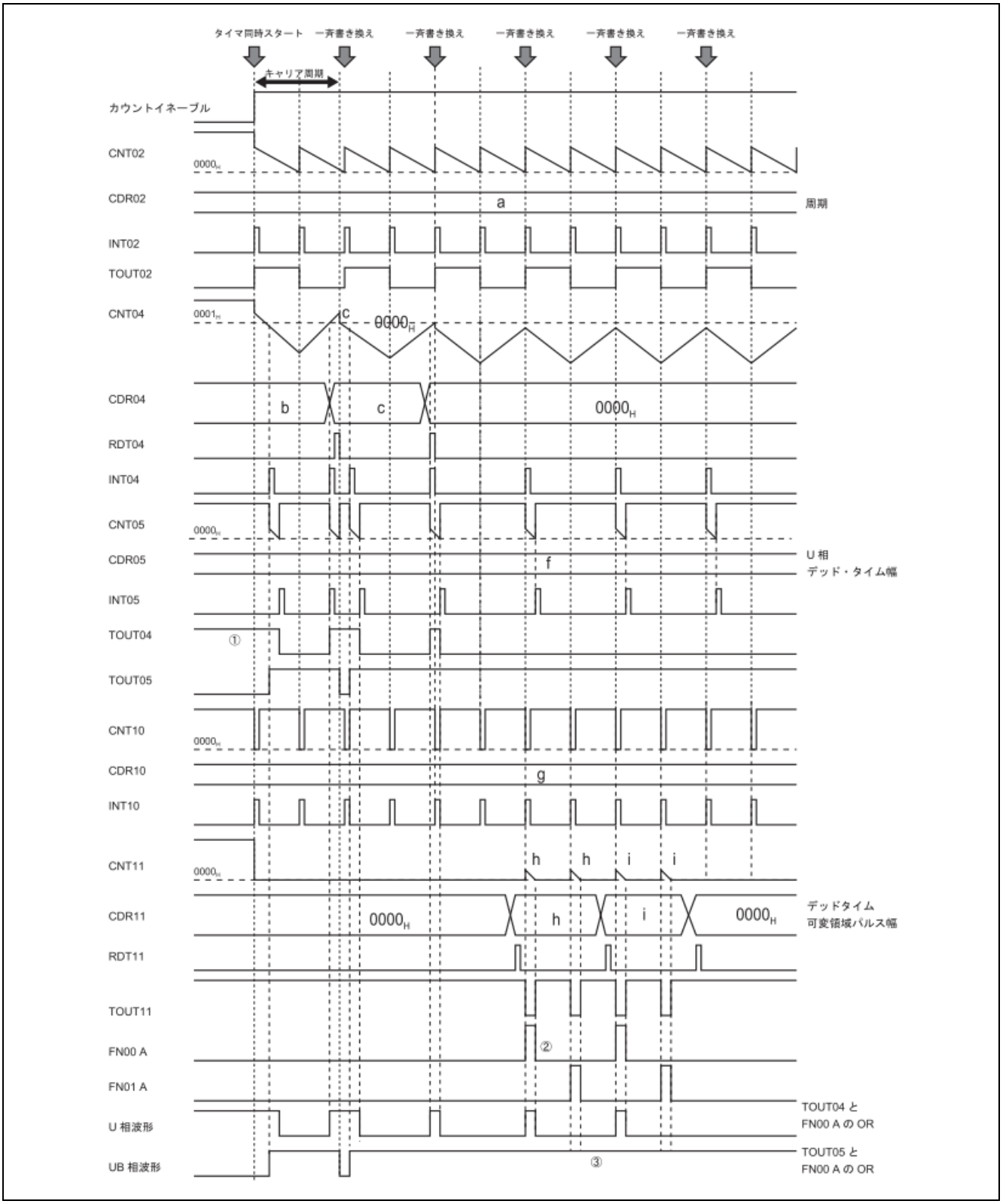


図17.31　デッドタイム付き高精度 PWM 出力（U 相 0%、UB 相 100%）例（TAUDTOL04 = 0（アクティブロウ）、TAUDTOL05 = 0（アクティブロウ）の場合）

「図17.31 デッドタイム付き高精度PWM出力（U相0%、UB相100%）例（TAUDTOL04 = 0（アクティブロウ）、TAUDTOL05 = 0（アクティブロウ）の場合）」の U 相 PWM 出力を行うタイマ構成で U 相 0%、UB 相 100%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブロウです。

(1) タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は「図17.28 デッドタイム付き高精度PWM出力（U相100%、UB相0%）例（TAUDTOL04 = 0（アクティブハイ）、TAUDTOL05 = 0（アクティブハイ）の場合）」と同じです。ただし、PWM 出力としてアクティブロウの PWM が出力されます。

(2) そのため、組み合わせ回路設定（PICREG20116-17、PICREG20118-19）を PWM 出力に合わせたアクティブロウ出力に設定します。これによりアクティブロウ用のデッドタイム可変領域パルスが U 相用（FN00A）、UB 相用（FN01A）として出力されます。

(3) さらに、論理演算回路設定（PICREG20302-00、PICREG20306-04）も PWM 出力に合わせたアクティブロウ出力に設定します。(2)で生成されたパルスは、TOUT04、TOUT05 出力波形と合成され、TAPAUP（U 相出力）および TAPAUM（UB 相出力）からアクティブロウ用 PWM として出力されます。

注意. CDR04 へ U 相デューティ 100%設定と同時に CDR11 にデッドタイム可変領域パルス幅の値を設定した場合、機能仕様上 TOUT04 から出力される最後の PWM に影響を与えてしまいます。
この影響をキャンセルするため、CDR11 の設定は 1 周期後としています。
詳細は「図17.29 デッドタイム可変領域パルスがデッドタイム付き三角波PWM出力に影響する例」を参照してください。

17.10.4　設定フロー

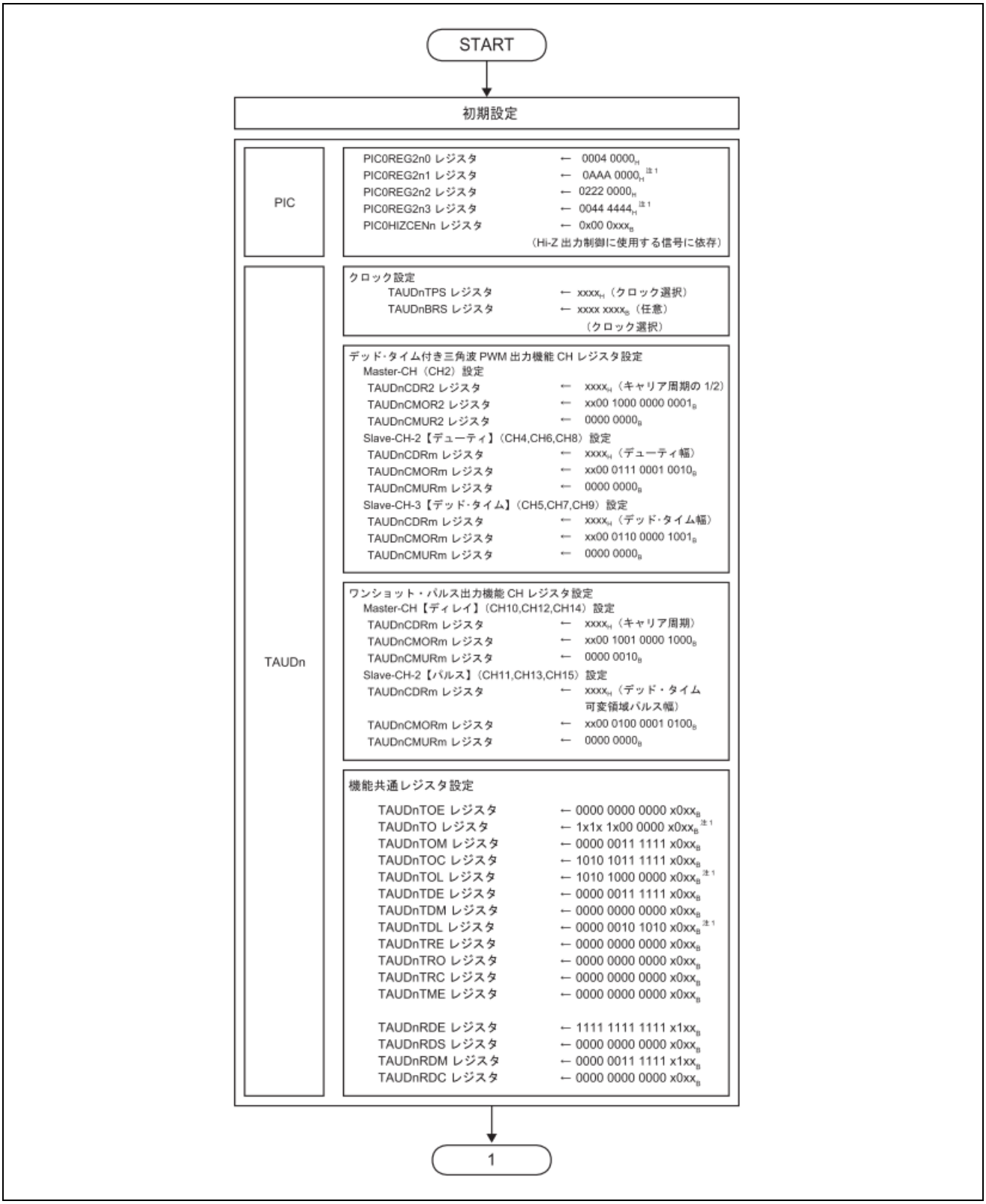


図17.32　設定フロー1（アクティブハイの例）

注 1. 出力する PWM のアクティブレベルによって設定値を変更してください。

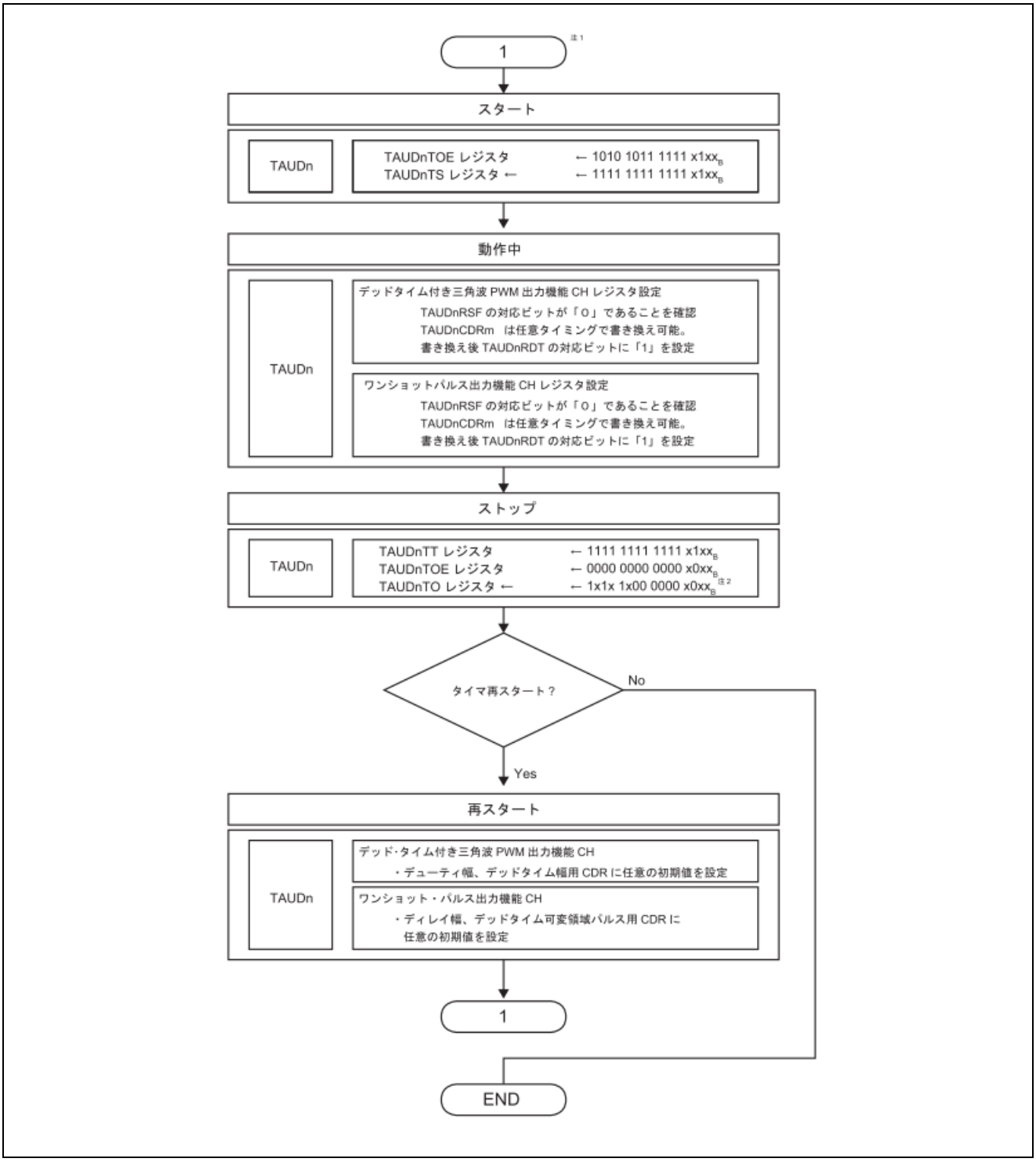


図17.33 設定フロー2（アクティブハイの例）

注 1. 選択レジスタと使用する出力ポートの設定は、PIC とタイマの初期設定後に行ってください。
2. 出力する PWM のアクティブレベルによって設定値を変更してください。

17.10.5 動作機能の設定例

各レジスタの設定値の例を示します。

(1) TAUD 設定（アクティブハイの例）

表17.22 TAUD CH2 関連（デッドタイム付き三角波 PWM 出力機能マスタチャネル）注1

レジスタ	ビット位置	ビット名	設定値	備考
TAUDCMOR2	15-14	TAUDCKS[1:0]	任意注2	動作クロック設定
	13-12	TAUDCCS[1:0]	00	
	11	TAUDMAS	1	
	10-8	TAUDSTS[2:0]	000	
	7-6	TAUDCOS[1:0]	00	
	5		0	
	4-1	TAUDMD[4:1]	0000	
	0	TAUDMD0	1	動作開始時に INTm を出力し、TOUTm もトグル動作を行う
TAUDCMUR2	1-0	TAUDTIS[1:0]	00	固定

注 1. マスタチャネルおよびスレーブチャネルは TAUD のデッドタイム付き三角波 PWM 出力機能で定義されている名称です。詳細については「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。

2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

備考 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUDCMORm は、TAUDCKS[1:0]（動作クロック選択）と TAUDMD0 のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細は「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。
本機能では、TAUDMD0 = 1 を設定してください。

表17.23　TAUD CH4,6,8 関連（デッドタイム付き三角波 PWM 出力機能スレーブチャネル 2 注1）
（m = 4, 6, 8）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDCMOR2	15-14	TAUDCKS[1:0]	任意注2	動作クロック設定
	13-12	TAUDCCS[1:0]	00	
	11	TAUDMAS	0	
	10-8	TAUDSTS[2:0]	111	
	7-6	TAUDCOS[1:0]	00	
	5		0	
	4-1	TAUDMD[4:1]	1001	
	0	TAUDMD0	0	
TAUDCMUR2	1-0	TAUDTIS[1:0]	00	

注 1. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2、スレーブチャネル 3 の TAUDCMORm は、TAUDCKS[1:0]（動作クロック選択）のみ任意に設定できますが、ほかの制御ビットは固定値となります。
詳細については「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。
2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

表17.24　TAUD CH5, 7, 9 関連（デッドタイム付き三角波 PWM 出力機能スレーブチャネル 3 注1）
（m = 5, 7, 9）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDCMOR2	15-14	TAUDCKS[1:0]	任意注2	動作クロック設定
	13-12	TAUDCCS[1:0]	00	
	11	TAUDMAS	0	
	10-8	TAUDSTS[2:0]	110	
	7-6	TAUDCOS[1:0]	00	
	5		0	
	4-1	TAUDMD[4:1]	0100	
	0	TAUDMD0	1	
TAUDCMUR2	1-0	TAUDTIS[1:0]	00	

注 1. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。
デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2、スレーブチャネル 3 の TAUDCMORm は、TAUDCKS[1:0]（動作クロック選択）のみ任意に設定できますが、ほかの制御ビットは固定値となります。
詳細については「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。
2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

備考 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2、スレーブチャネル 3 の TAUDCMORm は、TAUDCKS[1:0]（動作クロック選択）のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細は「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。

表17.25　TAUD CH10, 12, 14 関連（ワンショットパルス出力機能マスタチャネル注1）（m = 10, 12, 14）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDCMOR2	15-14	TAUDCKS[1:0]	任意注2	動作クロック設定
	13-12	TAUDCCS[1:0]	00	
	11	TAUDMAS	1	
	10-8	TAUDSTS[2:0]	001	
	7-6	TAUDCOS[1:0]	00	
	5		0	
	4-1	TAUDMD[4:1]	0100	
	0	TAUDMD0	0	カウント中のスタートトリガは無効
TAUDCMUR2	1-0	TAUDTIS[1:0]	10	両エッジを有効エッジとして検出

注 1. マスタチャネルおよびスレーブチャネルは TAUD のワンショットパルス出力機能で定義されている名称です。詳細については「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。
2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

表17.26　TAUD CH11, 13, 15 関連（ワンショットパルス出力機能スレーブチャネル注1）（m = 11, 13, 15）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDCMOR2	15-14	TAUDCKS[1:0]	任意注2	動作クロック設定
	13-12	TAUDCCS[1:0]	00	
	11	TAUDMAS	0	
	10-8	TAUDSTS[2:0]	100	
	7-6	TAUDCOS[1:0]	00	
	5		0	
	4-1	TAUDMD[4:1]	1010	
	0	TAUDMD0	0	カウント中のスタートトリガは無効
TAUDCMUR2	1-0	TAUDTIS[1:0]	00	

注 1. マスタチャネルおよびスレーブチャネルは TAUD のワンショットパルス出力機能で定義されている名称です。詳細については「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。
2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。またデッドタイム付き三角波 PWM 出力機能のマスタチャネル（CH2）と同一のクロック設定にしてください。

備考 ワンショットパルス出力機能の TAUDCMORm は、TAUDCKS[1:0]（動作クロック選択）と TAUDMD0 のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細は「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。
本機能では、TAUDMD0 = 0 に設定してください。

表17.27　TAUD チャネル共通

（1/3）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDTOE	15	TAUDTOE15	0/1	0：タイマ動作禁止、1：タイマ動作許可
	14	TAUDTOE14	0	
	13	TAUDTOE13	0/1	0：タイマ動作禁止、1：タイマ動作許可
	12	TAUDTOE12	0	
	11	TAUDTOE11	0/1	0：タイマ動作禁止、1：タイマ動作許可
	10	TAUDTOE10	0	
	9-4	TAUDTOE09-04	0/1	0：タイマ動作禁止、1：タイマ動作許可
	3	TAUDTOE03	任意	
	2	TAUDTOE02	0/1	0：タイマ動作禁止、1：タイマ動作許可
	1-0	TAUDTOE01-00	任意	
TAUDTO	15	TAUDTO15	1 注1	TOUT15 にハイレベルを出力
	14	TAUDTO14	任意	
	13	TAUDTO13	1 注1	TOUT13 にハイレベルを出力
	12	TAUDTO12	任意	
	11	TAUDTO11	1 注1	TOUT11 にハイレベルを出力
	10	TAUDTO10	任意	
	9-4	TAUDTO9-04	0 注1	TOUT09-04 にロウレベルを出力
	3	TAUDTO03	任意	
	2	TAUDTO02	0	TOUT02 にロウレベルを出力
	1-0	TAUDTO01-00	任意	
TAUDTOM	15-10	TAUDTOM15-10	0	単体動作モード
	9-4	TAUDTOM09-04	1	連動動作モード
	3	TAUDTOM03	任意	
	2	TAUDTOM02	0	単体動作モード
	1-0	TAUDTOM01-00	任意	
TAUDTOC	15	TAUDTOC15	1	動作モード 2
	14	TAUDTOC14	0	動作モード 1
	13	TAUDTOC13	1	動作モード 2
	12	TAUDTOC12	0	動作モード 1
	11	TAUDTOC11	1	動作モード 2
	10	TAUDTOC10	0	動作モード 1
	9-4	TAUDTOC09-04	1	動作モード 2
	3	TAUDTOC03	任意	
	2	TAUDTOC02	0	動作モード 1
	1-0	TAUDTOC01-00	任意	

注 1. 使用システムによって設定を変更してください。

表17.27　TAUD チャネル共通

（2/3）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDTOL	15	TAUDTOL15	1 注1	反転論理出力（アクティブロウ）
	14	TAUDTOL14	任意	
	13	TAUDTOL13	1 注1	反転論理出力（アクティブロウ）
	12	TAUDTOL12	任意	
	11	TAUDTOL11	1 注1	反転論理出力（アクティブロウ）
	10	TAUDTOL10	任意	
	9-4	TAUDTOL09-04	0 注1	正転論理出力（アクティブハイ）
	3	TAUDTOL03	任意	
	2	TAUDTOL02	0	正転論理出力（アクティブハイ）
	1-0	TAUDTOL1-0	任意	
TAUDTDE	15-10	TAUDTDE15-10	0	デッドタイム制御禁止
	9-4	TAUDTDE09-04	1	デッドタイム制御許可 注2
	3	TAUDTDE03	任意	
	2	TAUDTDE02	0	デッドタイム制御禁止
	1-0	TAUDTDE01-00	任意	
TAUDTDM	15-9	TAUDTDM15-09	0	
	3	TAUDTDM03	任意	
	2	TAUDTDM02	0	デッドタイム制御禁止のため無効
	1-0	TAUDTDM01-00	任意	
TAUDTDL	15-10	TAUDTDL15-10	0	デッドタイム制御禁止のため無効
	9	TAUDTDL09	1 注1	W 相逆相として動作
	8	TAUDTDL08	0 注1	W 相正相として動作
	7	TAUDTDL07	1 注1	V 相逆相として動作
	6	TAUDTDL06	0 注1	V 相正相として動作
	5	TAUDTDL05	1 注1	U 相逆相として動作
	4	TAUDTDL04	0 注1	U 相正相として動作
	3	TAUDTDL03	任意	
	2	TAUDTDL02	0	デッドタイム制御禁止のため無効
	1-0	TAUDTDL01-00	任意	
TAUDTRE	15-4	TAUDTRE15-04	0	リアルタイム出力禁止
	3	TAUDTRE03	任意	
	2	TAUDTRE02	0	リアルタイム出力禁止
	1-0	TAUDTRE01-00	任意	
TAUDTRO	15-4	TAUDTRO15-04	0	リアルタイム出力禁止のため無効
	3	TAUDTRO03	任意	
	2	TAUDTRO02	0	リアルタイム出力禁止のため無効
	1-0	TAUDTRO01-00	任意	

注 1. 使用システムによって設定を変更してください。

2. デッドタイム制御行うため、偶数チャネルと奇数チャネルを対とした正逆相の波形出力制御を行います。詳細については「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。

表17.27　TAUD チャネル共通

（3/3）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDTRC	15-4	TAUDTRC15-04	0	リアルタイム出力トリガ生成チャネルとして動作しない
	3	TAUDTRC03	任意	
	2	TAUDTRC02	0	リアルタイム出力トリガ生成チャネルとして動作しない
	1-0	TAUDTRC01-00	任意	
TAUDTME	15-4	TAUDTME15-04	0	タイマ出力とリアルタイム出力の変調出力禁止
	3	TAUDTME03	任意	
	2	TAUDTME02	0	タイマ出力とリアルタイム出力の変調出力禁止
	1-0	TAUDTME01-00	任意	
TAUDRDE	15-4	TAUDRDE15-04	1	一斉書き換え許可
	3	TAUDRDE03	任意	
	2	TAUDRDE02	0	一斉書き換え許可
	1-0	TAUDRDE01-00	任意	
TAUDRDS	15-4	TAUDRDS15-04	0	別の上位チャネルにより、一斉書き換えを許可しない
	3	TAUDRDS03	任意	
	2	TAUDRDS02	0	別の上位チャネルにより、一斉書き換えを許可しない
	1-0	TAUDRDS01-00	任意	
TAUDRDM	15-10	TAUDRDM15-10	0	マスタチャネルのカウント開始タイミングで一斉書き換えする
	9-4	TAUDRDM09-04	1	マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングで一斉書き換えする
	3	TAUDRDM03	任意	
	2	TAUDRDM02	1	マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングで一斉書き換えする
	1-0	TAUDRDM01-00	任意	
TAUDRDC	15-4	TAUDRDC15-04	0	一斉書き換えトリガ生成チャネルとして動作しない
	3	TAUDRDC03	任意	
	2	TAUDRDC02	0	一斉書き換えトリガ生成チャネルとして動作しない
	1-0	TAUDRDC01-00	任意	

(2) PIC の設定

表17.28 PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PICREG200	18	PICREG20018	1	TAUD の CH2 の TOUT を選択
PICREG201	27	PICREG20127	1	W 相逆相アクティブハイ組合せ回路出力
	26	PICREG20126	0	
	25	PICREG20125	1	W 相正相アクティブハイ組合せ回路出力
	24	PICREG20124	0	
	23	PICREG20123	1	V 相逆相アクティブハイ組合せ回路出力
	22	PICREG20122	0	
	21	PICREG20121	1	V 相正相アクティブハイ組合せ回路出力
	20	PICREG20120	0	
	19	PICREG20119	1	U 相逆相アクティブハイ組合せ回路出力
	18	PICREG20118	0	
	17	PICREG20117	1	U 相正相アクティブハイ組合せ回路出力
	16	PICREG20116	0	
PICREG202	25	PICREG20225	1	PICREG20018 ビットで選択した入力を選択
	21	PICREG20221	1	PICREG20018 ビットで選択した入力を選択
	17	PICREG20217	1	PICREG20018 ビットで選択した入力を選択
PICREG203	22	PICREG20322	1	W 相逆相アクティブハイ論理演算回路出力
	21	PICREG20321	0	
	20	PICREG20320	0	
	18	PICREG20318	1	W 相正相アクティブハイ論理演算回路出力
	17	PICREG20317	0	
	16	PICREG20316	0	
	14	PICREG20314	1	V 相逆相アクティブハイ論理演算回路出力
	13	PICREG20313	0	
	12	PICREG20312	0	
	10	PICREG20310	1	V 相正相アクティブハイ論理演算回路出力
	9	PICREG20309	0	
	8	PICREG20308	0	
	6	PICREG20306	1	U 相逆相アクティブハイ論理演算回路出力
	5	PICREG20305	0	
	4	PICREG20304	0	
	2	PICREG20302	1	U 相正相アクティブハイ論理演算回路出力
	1	PICREG20301	0	
	0	PICREG20300	0	

17.11 デッドタイム付きディレイパルス出力機能

17.11.1 機能概要

周期タイミングからディレイ分遅らせたデッドタイム付き 3 相 PWM を出力します。「デッドタイム付き 3 相 PWM 出力機能」と異なり、次の周期内にリセットを持つ PWM も出力可能です。

17.11.2 構成

本機能のユニット、チャネル構成を下記に示します。(n = 0, m = 0-15)

表17.29 デッドタイム付きディレイパルス出力機能の構成

タイマ	タイマモータ制御
TAUD CH2～CH15（使用チャネル固定）	TAPA

以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

- INTm：INTTAUDIm（TAUD チャネル m 割り込み）
- TINm：TAUDTTINm（TAUD チャネル m 入力）
- TOUTm：TAUDTTOUTm（TAUD チャネル m 出力）
- CDRm：TAUDCDRm（TAUD チャネル m データレジスタ）
- CNTm：TAUDCNTm（TAUD チャネル m カウンタレジスタ）

(1) TAUD の構成

CH3 の CDRm 値は TOUT0～TOUT15 に影響を与えないため、CH3 の INTm は A/D 変換トリガ生成などほかの用途に使用することも可能です。

表17.30 TAUD 構成

CH	機能名	M/S	CDR 設定値	説明
2	ディレイパルス出力機能	M	周期	
3	（CH2 は CH3-CH9 のマスタチャネル）	S		予約
4		S	ディレイ（U 相）	
5		S	パルス幅（U 相）	
6		S	ディレイ（V 相）	
7		S	パルス幅（V 相）	
8		S	ディレイ（W 相）	
9		S	パルス幅（W 相）	
10	TOUTm を使用しない機能であれば任意	S		TOUT：U 相出力
11	1 相 PWM 出力機能	S	デッドタイム（U 相）	TOUT：UB 相出力
12	TOUTm を使用しない機能であれば任意	S		TOUT：V 相出力
13	1 相 PWM 出力機能	S	デッドタイム（V 相）	TOUT：VB 相出力
14	TOUTm を使用しない機能であれば任意	S		TOUT：W 相出力
15	1 相 PWM 出力機能	S	デッドタイム（W 相）	TOUT：WB 相出力

備考 M：マスタチャネル、S：スレーブチャネル

(2) ブロック図

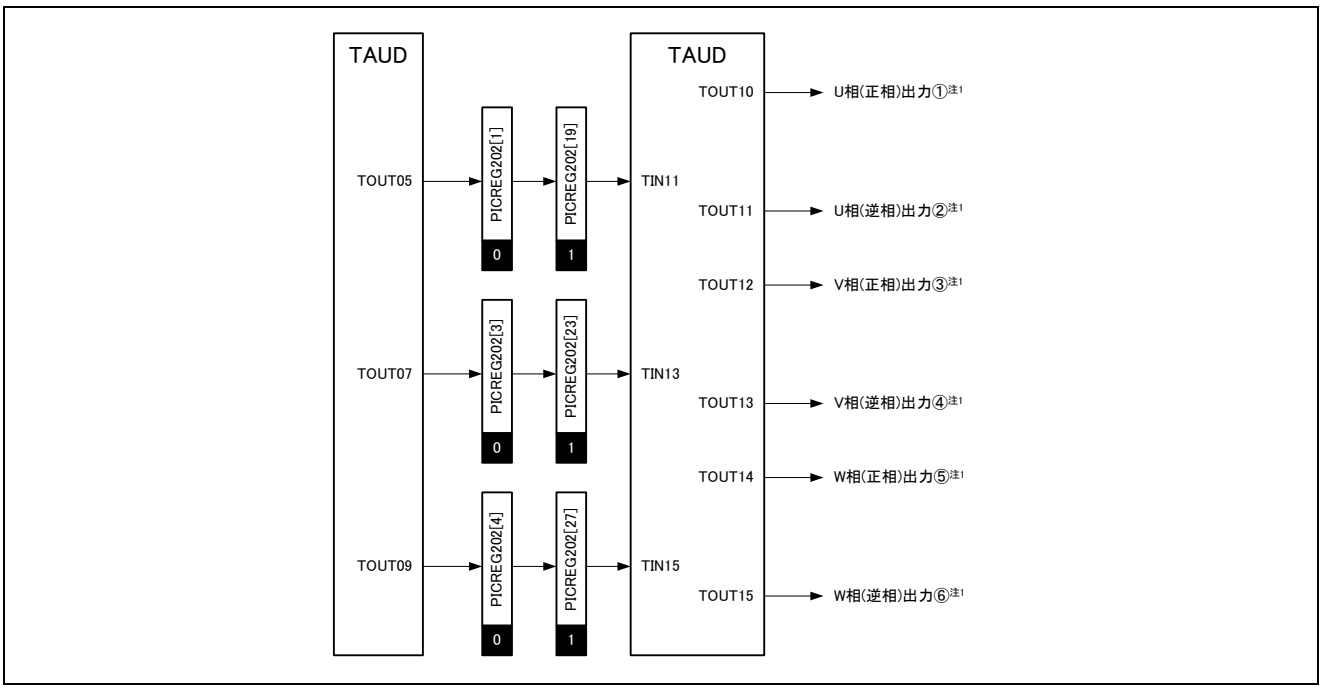


図17.34 デッドタイム付きディレイパルス出力のブロック図

注 1. 接続先は「図17.16 モータ出力バッファ制御ブロック図」を参照して下さい。

17.11.3 動作例

TAUD の次の機能の組み合わせにより実現します。

- ディレイパルス出力機能
- 1 相 PWM 出力機能

ディレイパルス出力機能により、周期タイミングからディレイ分遅れた PWM を生成します。次に 1 相 PWM 出力機能により、その PWM に対しデッドタイムを付加した 1 相 PWM を出力します。

デッドタイム付きディレイパルス出力機能は、上記機能で実現した PWM 出力をそれぞれ U 相、V 相、W 相に割り当てる事により実現します。したがって、PWM 出力のデッドタイムは、各相の PWM ごとに自由に設定できます。各相の違いは割り当てられたチャネルの違いのみなので、ここでは 1 相（U 相）について説明を行います。

(1) ディレイパルス出力機能

CH2、CH4、CH5 を組み合わせて使用し、TOUT05 より CH2 で設定した周期に対し CH4 で生成したディレイ分だけ遅れた 1 相 PWM 出力用基本 PWM が出力されます。

なお、CH3 は本機能実現のための予約タイマとしていますので、他機能では使用しないでください。

注意. 周期を超えるディレイ量の設定はしないでください。

(2) 1 相 PWM 出力機能

CH10、CH11 の組み合わせで 1 相 PWM を TOUT10、TOUT11 から出力します。

CDR11 にデッドタイム値を設定することで、TIN11 入力に対してデッドタイム付 1 相 PWM を出力します。

V 相、W 相については、それぞれ CH12、CH13（V 相）、CH14、CH15（W 相）を使用し、同様にデッドタイム付 1 相 PWM を出力します。

注意. ディレイパルス出力機能、1 相 PWM 出力機能で使用する TAUDn の各チャネルの動作クロック設定は同一クロックを設定してください。

TAUD 機能の詳細については「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照して下さい。

「デッドタイム付きディレイパルス出力機能」と「デッドタイム付き 3 相 PWM 出力機能」の違いについて説明します。

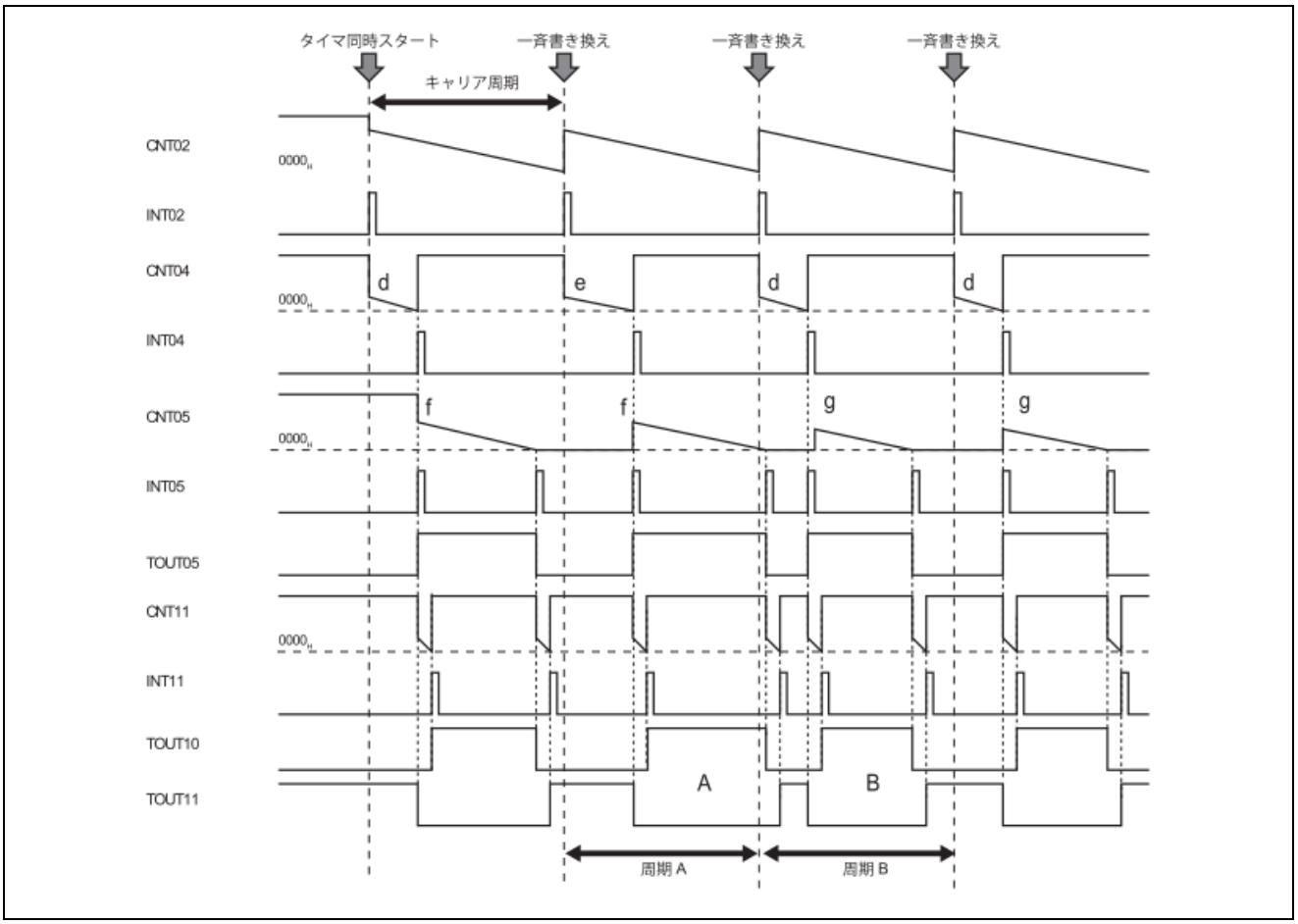


図17.35　デッドタイム付ディレイパルス出力による PWM 出力

「図17.35 デッドタイム付ディレイパルス出力によるPWM出力」では、PWM 波形 A は周期 A の範囲で出力されるべき PWM 波形ですが、ディレイタイミングを長く取っているため PWM クリア位置が周期 A を超えた位置で発生しています。それに続き、周期 B の PWM 波形である PWM 波形 B が出力されています。

図17.35を「デッドタイム付き 3 相 PWM 出力機能」で実現しようとした場合、以下のような動作となります。

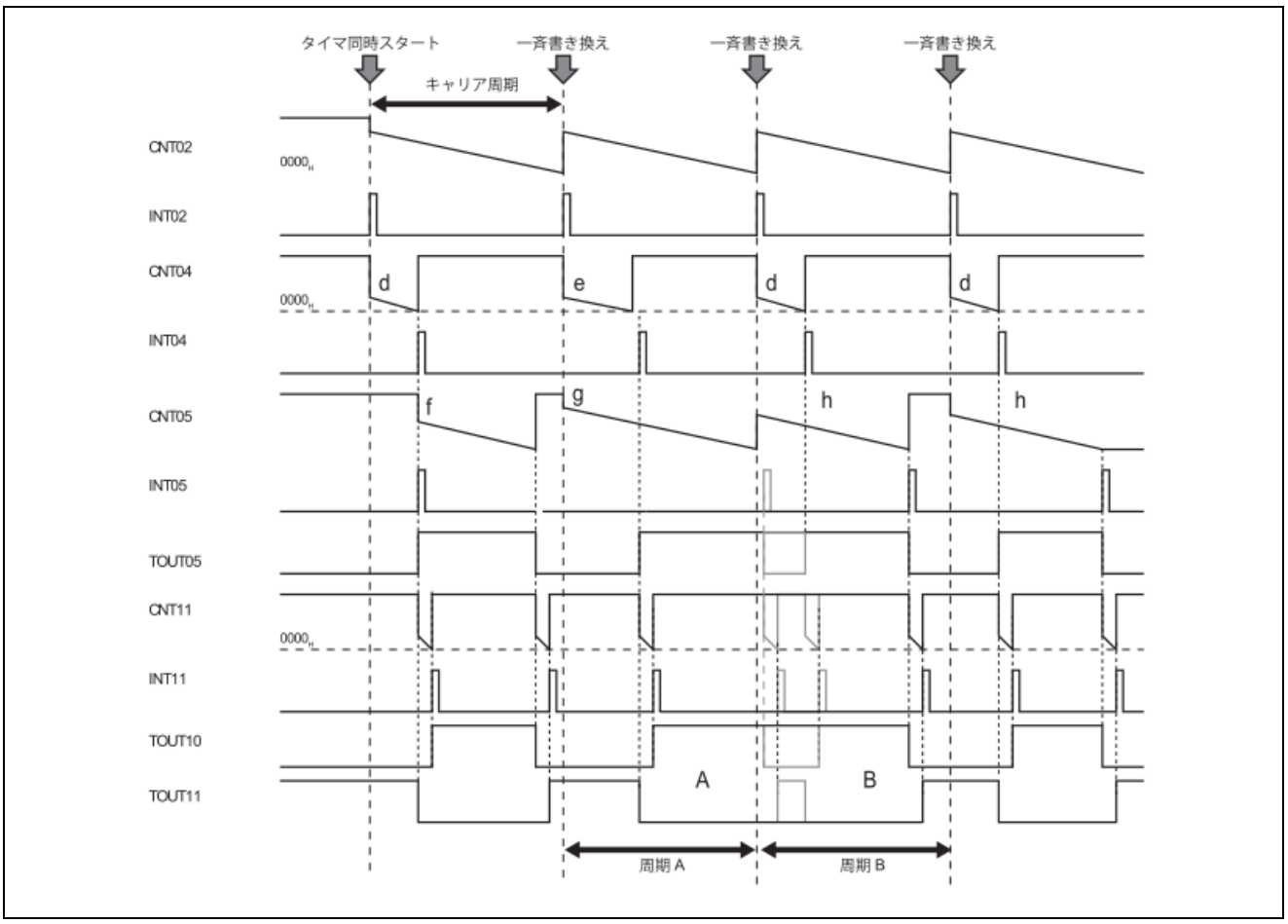


図17.36　デッドタイム付き 3 相 PWM 出力機能による PWM 出力①

図17.36は、「デッドタイム付き 3 相 PWM 出力機能」のセットタイミングを遅らせ、クリアタイミングをキャリア周期より長くとることで、出力される PWM がキャリア周期 A を超える様に設定した例です。

周期 A に対する PWM 波形 A のセットタイミングは前頁の図と同じですが、クリアタイミングが周期 A より長いため、先に周期によるリロード動作が発生してしまい、PWM 波形 A のクリアタイミングが発生しません。

さらに、周期 B に対応する PWM 波形 B のセットタイミングでは、すでに PWM 波形がセット状態であるためセットタイミングは無視されます。結果、周期 B のクリアタイミングまで PWM 波形の変化は発生せず、PWM 波形 A と PWM 波形 B を合わせた PWM 波形が出力されることになります。

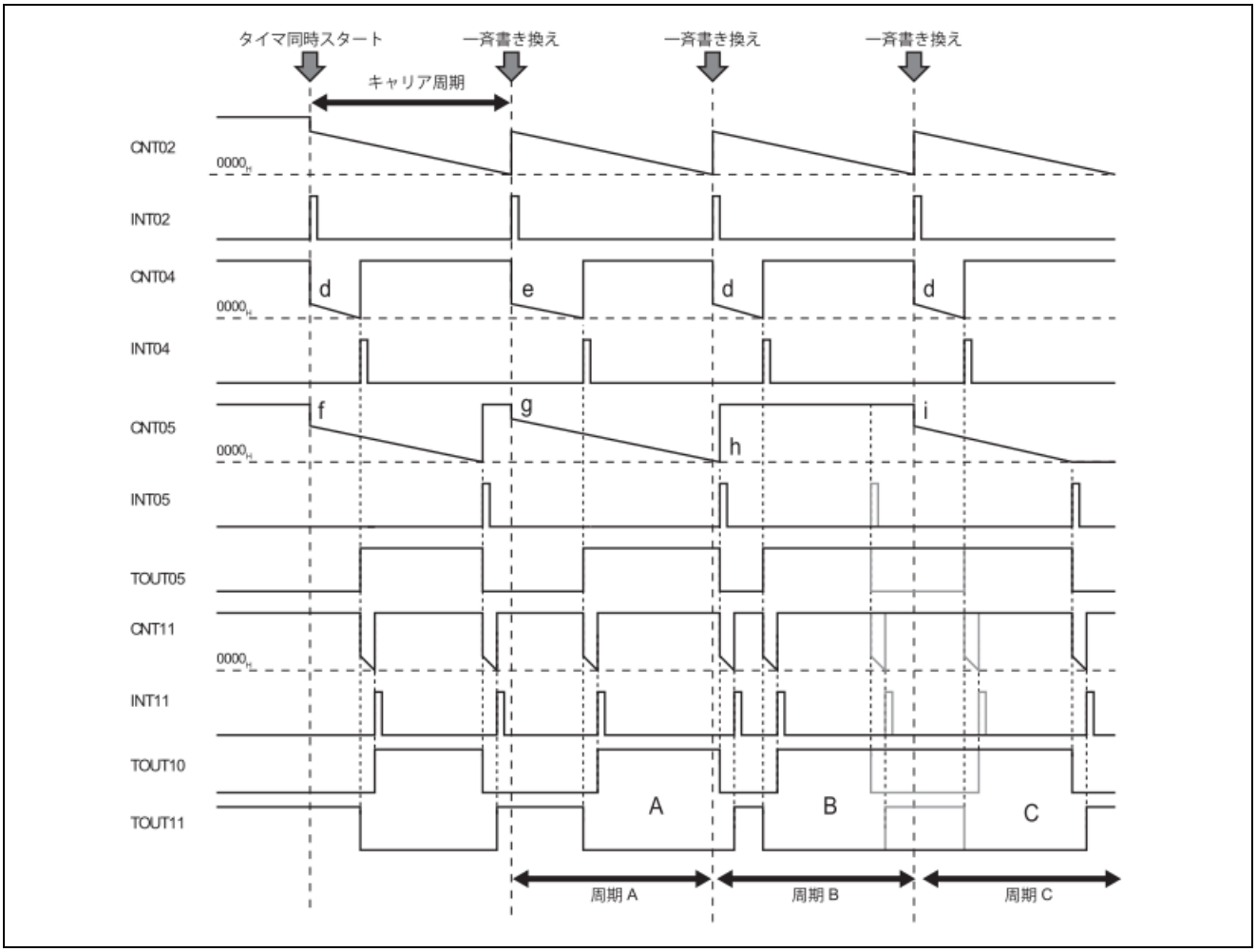


図17.37　デッドタイム付き 3 相 PWM 出力機能による PWM 出力②

図17.37は、「デッドタイム付き 3 相 PWM 出力機能」で周期 A より長いクリアタイミングのカウンタ動作を周期 B で引継ぎ、周期 B の先頭で PWM 出力 A のクリアを行うよう動作させた例です。

周期 A に対する PWM 波形 A は「デッドタイム付きディレイパルス出力機能」と同様の出力となりますが、クリアタイミングを周期 B の先頭で使用してしまっているため、周期 B で出力すべき PWM 出力 B のクリアタイミングが発生しません。

さらに、周期 C に対応する PWM 波形 C のセットタイミングでは、すでに PWM 波形がセット状態であるためセットタイミングは無視されます。結果、周期 C のクリアタイミングまで PWM 波形の変化は発生せず、PWM 波形 B と PWM 波形 C を合わせた PWM 波形が出力されることになります。

このように、「デッドタイム付きディレイパルス出力機能」では「デッドタイム付き 3 相 PWM 出力機能」よりも自由度の高い PWM 出力タイミングを実現することが可能です。

PIC は、「ディレイパルス出力機能」により生成された PWM 出力タイミングを「1 相 PWM 出力機能」の入力とする接続を提供します。

図17.38に「デッドタイム付きディレイパルス出力機能」のタイミング図を示します。

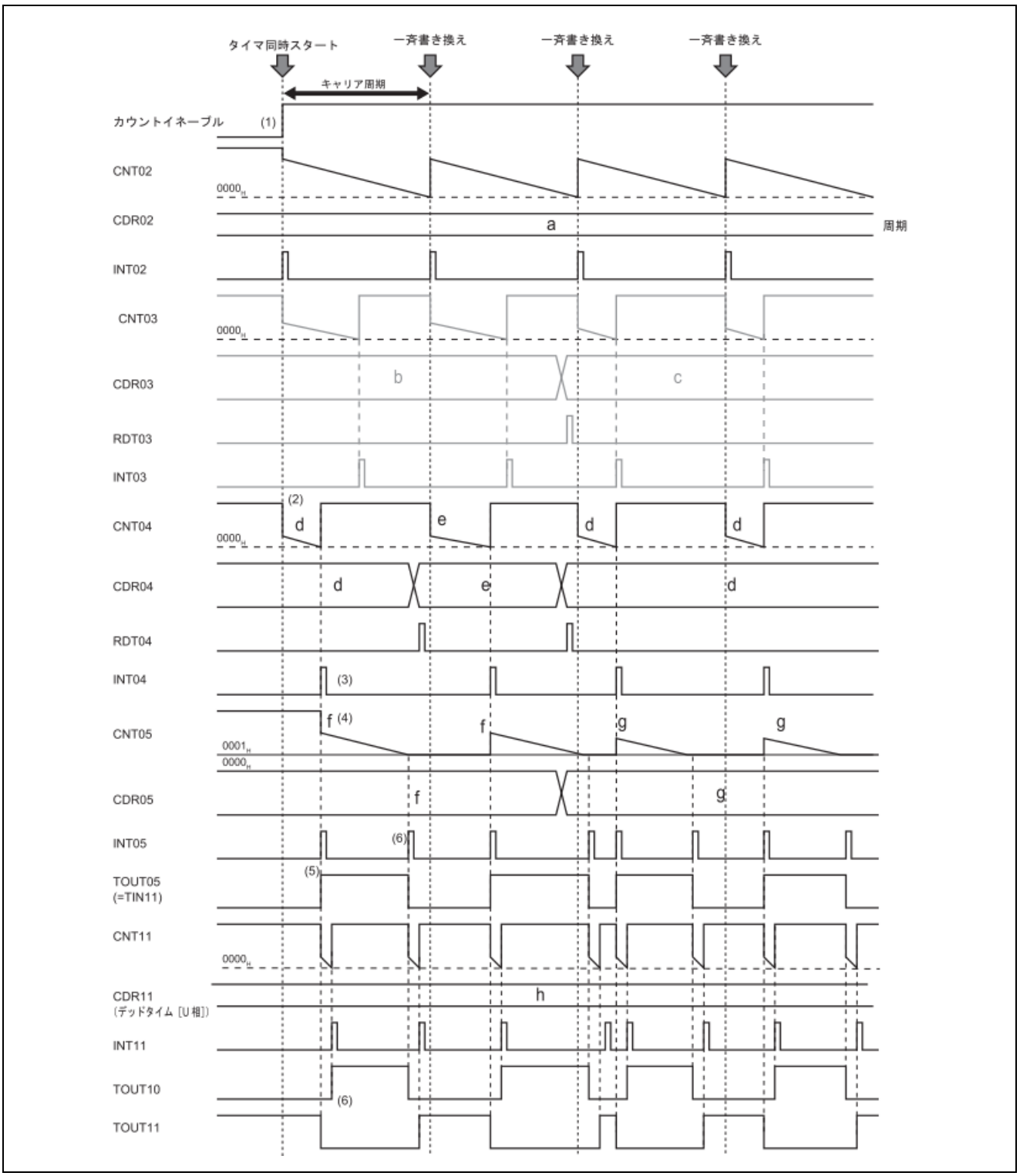


図17.38　デッドタイム付きディレイパルス出力

「図17.38 デッドタイム付きディレイパルス出力」のデッドタイム付きディレイパルス出力について説明します。

(1) タイマ同時スタートにより、CH2（キャリア周期タイマ）、CH4（ディレイタイミングタイマ）が同時スタートします。
CH5（PWM デューティタイマ）、CH11（デッドタイムタイマ）もタイマスタートしていますが、CH5 のカウント開始タイミングである INT04 および、CH11 のカウント開始タイミングである TIN11 のエッジが検出されるまで、カウント動作は行われません。
CH3 は本機能での PWM 出力に影響しないため説明を省略します。

(2) CH4 は、CH2 のアンダフローにより、CDR04 から CNT04 へ設定値のリロードが行われます。

(3) CH4 のアンダフローにより、ディレイタイミング信号（INT04）が発生します。

(4) INT04 の発生により、CDR05 から CNT05 に設定値がリロードされ CH5（PWM デューティタイマ）が動作開始します。

(5) このとき、INT05 が発生し TOUT05 の出力レベルがアクティブレベルに変化します。

(6) CH5 のアンダフローにより再び INT05 が発生するとともに、TOUT05 がインアクティブレベルに変化します。この CH4 および CH5 のアンダフローで変化する TOUT05 を「1 相 PWM 出力機能」の入力 TIN11 へ供給します。

(7) 「1 相 PWM 出力機能」は TIN11 のエッジ検出により、デッドタイムを付加した PWM 波形を生成し出力します。

17.11.4　設定フロー

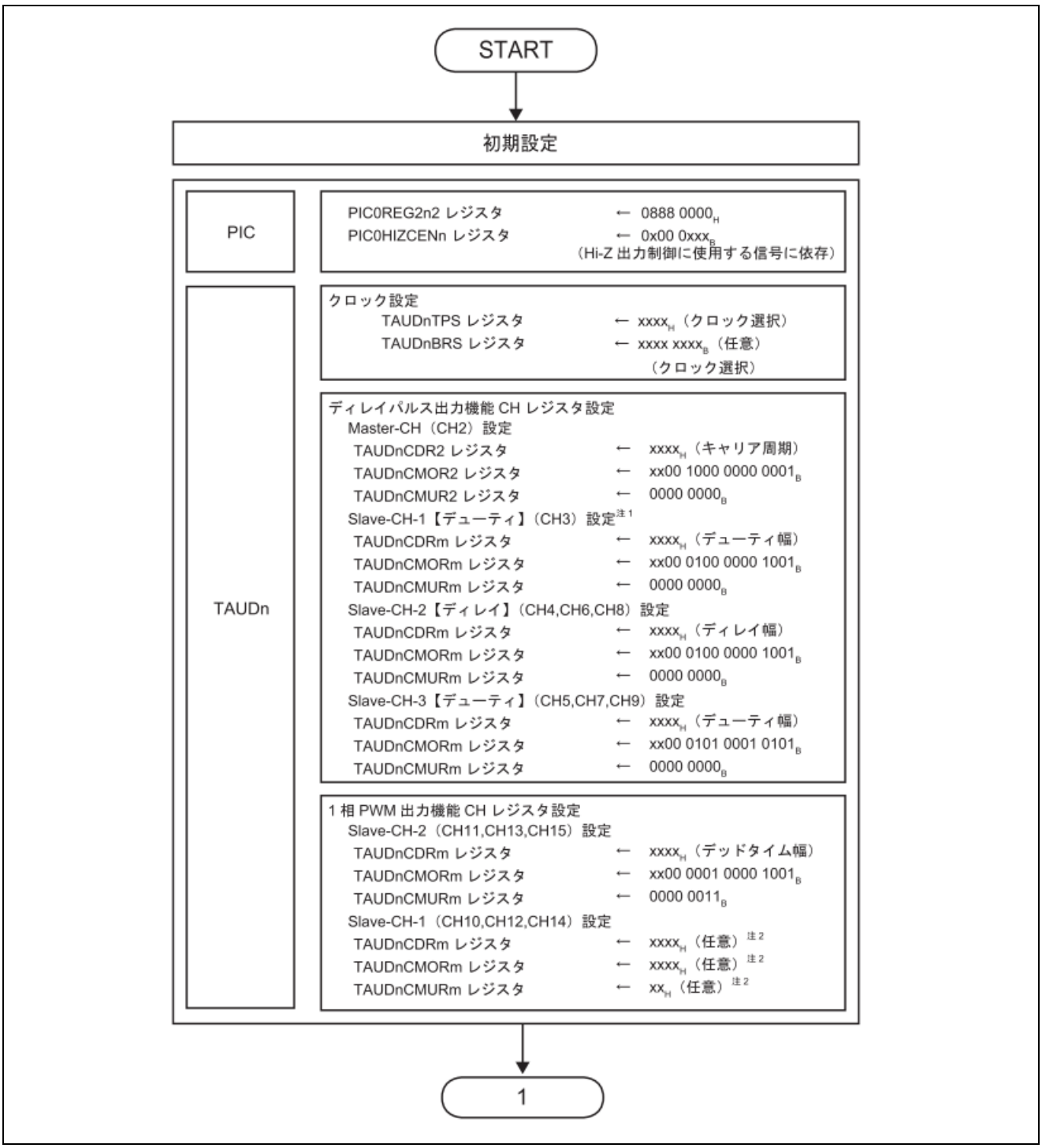


図17.39　設定フロー1（アクティブハイの例）

注 1. 本機能では動作に影響しないスレーブチャネルですが、ディレイパルス出力機能の構成チャネルのため設定は行います。
2. TOUTm を使用しない機能を指定してください。

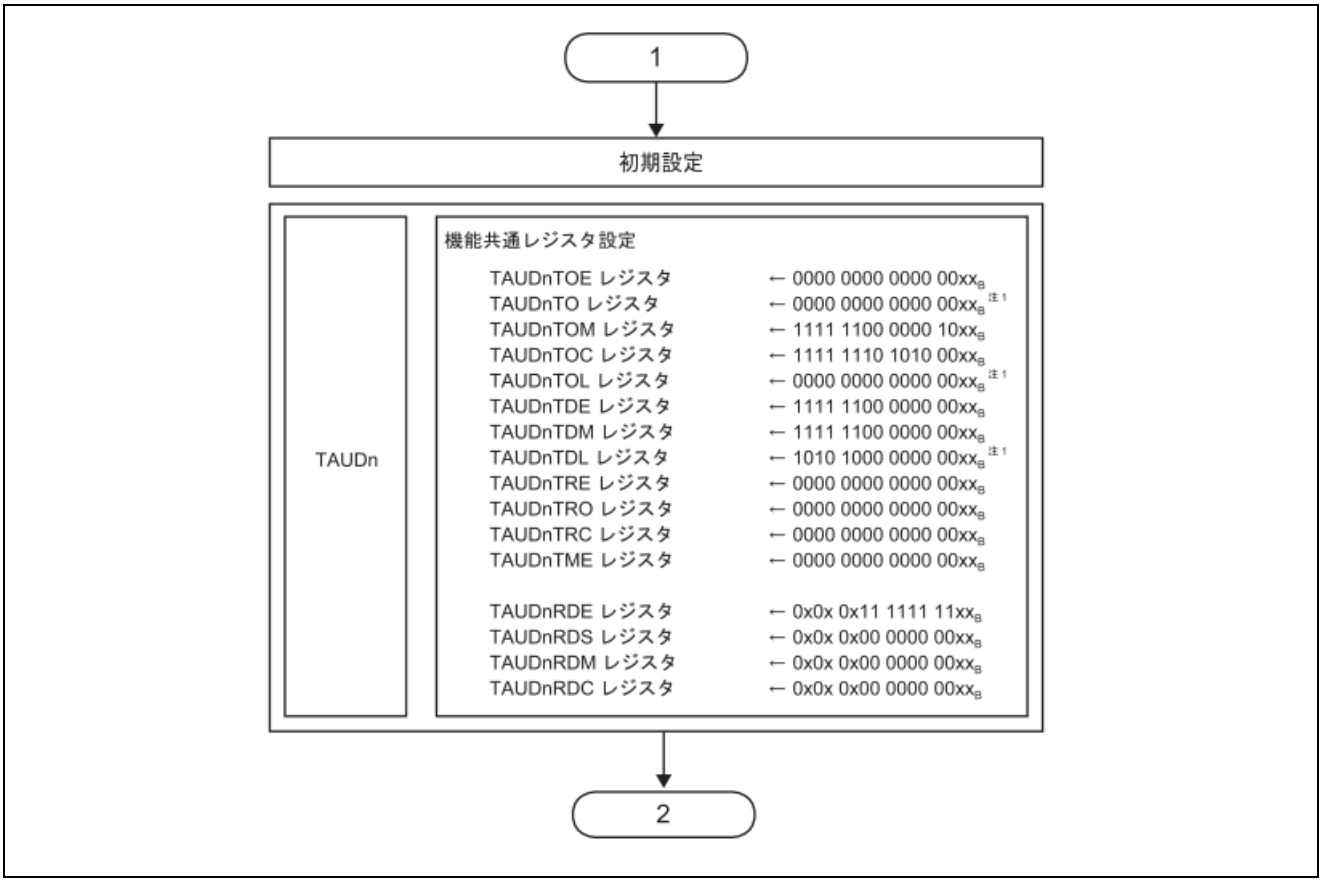


図17.40　設定フロー2（アクティブハイの例）

注 1. 本機能では動作に影響しないスレーブチャネルですが、ディレイパルス出力機能の構成チャネルのため設定は行います。

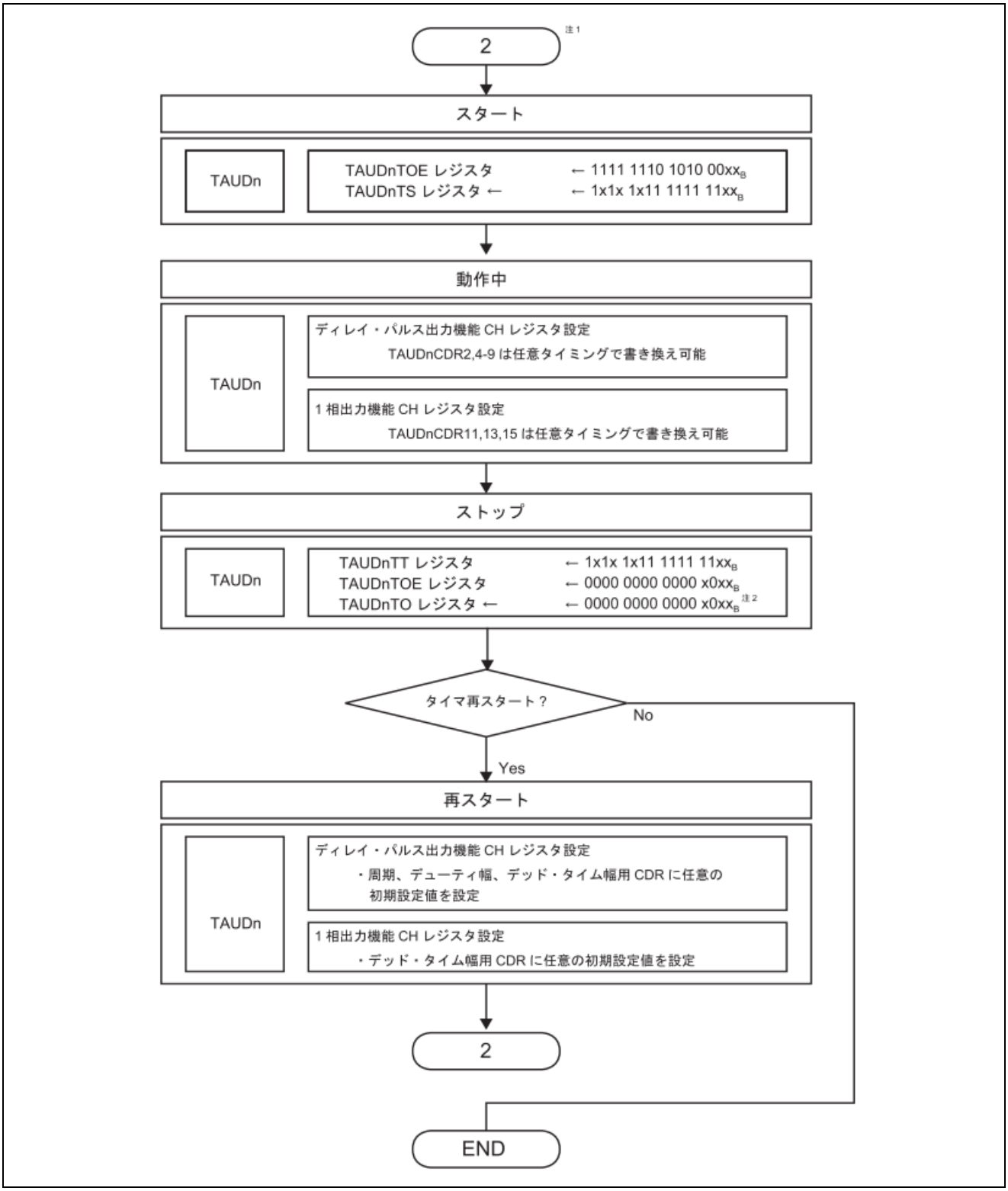


図17.41　設定フロー3（アクティブハイの例）

注 1. 選択レジスタと使用する出力ポートの設定は、PIC とタイマの初期設定後に行ってください。
2. 出力する PWM のアクティブレベルによって設定値を変更してください。

17.11.5 動作機能の設定例

各レジスタの設定値の例を示します。

(1) TAUD 設定（アクティブハイの例）

表17.31 TAUD CH02 関連（ディレイパルス出力機能マスタチャネル）注1

レジスタ	ビット位置	ビット名	設定値	備考
TAUDCMOR2	15-14	TAUDCKS[1:0]	任意注2	動作クロック設定
	13-12	TAUDCCS[1:0]	00	
	11	TAUDMAS	1	
	10-8	TAUDSTS[2:0]	000	
	7-6	TAUDCOS[1:0]	00	
	5		0	0 固定
	4-1	TAUDMD[4:1]	0000	
	0	TAUDMD0	1	動作開始時に INTm を出力する
TAUDCMUR2	1-0	TAUDTIS[1:0]	00	

注 1. マスタチャネルおよびスレーブチャネルは TAUD のディレイパルス出力機能で定義されている名称です。詳細については「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。
2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

表17.32 TAUD CH03 関連（ディレイパルス出力機能マスタチャネル）注1,2

レジスタ	ビット位置	ビット名	設定値	備考
TAUDCMOR3	15-14	TAUDCKS[1:0]	任意注3	動作クロック設定
	13-12	TAUDCCS[1:0]	00	
	11	TAUDMAS	0	
	10-8	TAUDSTS[2:0]	100	スタートトリガ： マスタチャネルの INTm 検出
	7-6	TAUDCOS[1:0]	00	
	5		0	0 固定
	4-1	TAUDMD[4:1]	0100	
	0	TAUDMD0	1	カウント中のスタートトリガは有効
TAUDCMUR3	1-0	TAUDTIS[1:0]	00	

注 1. マスタチャネルおよびスレーブチャネルは TAUD のディレイパルス出力機能で定義されている名称です。詳細については「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。
2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。
3. 本機能では動作に影響しないチャネルですが、ディレイパルス出力機能の構成チャネルのため設定は行います。

備考 ディレイパルス出力機能の TAUDCMORm では、TAUDCKS[1:0]（動作クロック選択）のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。

表17.33　TAUD CH04、06、08 関連（ディレイパルス出力機能スレーブチャネル 2 注1）（m = 4, 6, 8）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDCMORm	15-14	TAUDCKS[1:0]	任意注2	動作クロック設定
	13-12	TAUDCCS[1:0]	00	
	11	TAUDMAS	0	
	10-8	TAUDSTS[2:0]	100	スタートトリガ： マスタチャネルの INTm 検出
	7-6	TAUDCOS[1:0]	00	
	5		0	0 固定
	4-1	TAUDMD[4:1]	0100	
	0	TAUDMD0	1	カウント中のスタートトリガは有効
TAUDCMURm	1-0	TAUDTIS[1:0]	00	

注 1. マスタチャネルおよびスレーブチャネルは TAUD のディレイパルス出力機能で定義されている名称です。詳細については「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。
2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

備考 ディレイパルス出力機能の TAUDCMORm では、TAUDCKS[1:0]（動作クロック選択）のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。

表17.34　TAUD CH05、07、09 関連（ディレイパルス出力機能スレーブチャネル 3 注1）（m = 5, 7, 9）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDCMORm	15-14	TAUDCKS[1:0]	任意注2	動作クロック設定
	13-12	TAUDCCS[1:0]	00	
	11	TAUDMAS	0	
	10-8	TAUDSTS[2:0]	101	スタートトリガ： 上位チャネルの INTm 検出
	7-6	TAUDCOS[1:0]	00	
	5		0	0 固定
	4-1	TAUDMD[4:1]	1010	
	0	TAUDMD0	1	カウント中のスタートトリガは有効
TAUDCMURm	1-0	TAUDTIS[1:0]	00	

注 1. マスタチャネルおよびスレーブチャネルは TAUD のディレイパルス出力機能で定義されている名称です。詳細については「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。
2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

備考 ディレイパルス出力機能の TAUDCMORm では、TAUDCKS[1:0]（動作クロック選択）のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」の章を参照してください。

表17.35　TAUD CH11、13、15 関連（1 相 PWM 出力機能）（m = 11, 13, 15）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDCMORm	15-14	TAUDCKS[1:0]	任意[注1]	動作クロック設定
	13-12	TAUDCCS[1:0]	00	
	11	TAUDMAS	0	
	10-8	TAUDSTS[2:0]	001	スタートトリガ： TINm 入力の有効エッジ検出
	7-6	TAUDCOS[1:0]	00	
	5		0	0 固定
	4-1	TAUDMD[4:1]	0100	
	0	TAUDMD0	1	カウント中のスタートトリガは有効
TAUDCMURm	1-0	TAUDTIS[1:0]	11	TINm 両エッジを有効エッジとして検出（High 幅）

注 1. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

備考 1 相 PWM 出力機能の TAUDCMORm では、TAUDCKS[1:0]（動作クロック選択）のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」を参照して下さい。
CH10、12、14 については TOUTm 出力を使用しない機能（A/D トリガ出力など）であれば、任意に使用可能です。

表17.36　TAUD チャネル共通

（1/3）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDTOE	15-10	TAUDTOE15-10	0/1	0：タイマ動作禁止、1：タイマ動作許可
	9	TAUDTOE09	0/1	0：タイマ動作禁止、1：タイマ動作許可
	8	TAUDTOE08	0	TOUT08 は未使用のため 0 固定
	7	TAUDTOE07	0/1	0：タイマ動作禁止、1：タイマ動作許可
	6	TAUDTOE06	0	TOUT06 は未使用のため 0 固定
	5	TAUDTOE05	0/1	0：タイマ動作禁止、1：タイマ動作許可
	4	TAUDTOE04	0	TOUT04 は未使用のため 0 固定
	3	TAUDTOE03	0	TOUT03 は未使用のため 0 固定
	2	TAUDTOE02	0	TOUT02 は未使用のため 0 固定
	1-0	TAUDTOE01-00	任意	
TAUDTO	15-10	TAUDTO15-10	0 注1	TOUT15～TOUT10 にロウレベルを出力
	9-2	TAUDTO09-02	0	TOUT09～TOUT02 にロウレベルを出力
	1-0	TAUDTO01-00	任意	
TAUDTOM	15-10	TAUDTOM15-10	1	連動動作モード
	9-4	TAUDTOM09-04	0	単体動作モード
	3	TAUDTOM03	1	連動動作モード
	2	TAUDTOM02	0	単体動作モード
	1-0	TAUDTOM01-00	任意	
TAUDTOC	15-10	TAUDTOC15-10	1	連動動作モード 2
	9-4	TAUDTOC09-04	1/0/1 0/1/0	CH5/CH7/CH9：動作モード 2 CH4/CH6/CH8：動作モード 1
	3	TAUDTOC03	0	動作モード 1
	2	TAUDTOC02	0	動作モード 1
	1-0	TAUDTOC01-00	任意	
TAUDTOL	15-10	TAUDTOL15-10	0 注1	正論理出力（アクティブハイ）
	9-2	TAUDTOL09-02	0	正論理出力（アクティブハイ）
	1-0	TAUDTOL01-00	任意	
TAUDTDE	15-10	TAUDTDE15-10	1	デッドタイム制御許可注2
	9-2	TAUDTDE09-02	0	デッドタイム制御禁止
	1-0	TAUDTDE01-00	任意	
TAUDTDM	15-10	TAUDTDM15-10	1	下位奇数チャネルの TINm 入力エッジ検出でデッドタイムを生成する。
	9-2	TAUDTDM09-02	0	デッドタイム制御停止のため無効
	1-0	TAUDTDM01-00	任意	

注 1. 使用システムによって設定を変更してください。
2. デッドタイム制御を行うため、偶数チャネルと奇数チャネルを対とした正逆相の波形出力制御を行います。詳細は「16. 16 ビット・タイマ・アレイ・ユニット（TAUD）」を参照して下さい。

表17.37 TAUD チャネル共通

（2/3）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDTDL	15	TAUDTDL15	1 注	W 相逆相位相として動作
	14	TAUDTDL14	0 注	W 相正相位相として動作
	13	TAUDTDL13	1 注	V 相逆相位相として動作
	12	TAUDTDL12	0 注	V 相正相位相として動作
	11	TAUDTDL11	1 注	U 相逆相位相として動作
	10	TAUDTDL10	0 注	U 相正相位相として動作
	9-2	TAUDTDL09-02	0	デッドタイム制御禁止のため無効
	1-0	TAUDTDL01-00	任意	
TAUDTRE	15-2	TAUDTRE15-02	0	リアルタイム出力禁止
	1-0	TAUDTRE01-00	任意	
TAUDTRO	15-2	TAUDTRO15-02	0	リアルタイム出力禁止のため無効
	1-0	TAUDTRO01-00	任意	
TAUDTRC	15-2	TAUDTRC15-02	0	リアルタイム出力トリガ生成チャネルとして動作しない。
	1-0	TAUDTRC01-00	任意	
TAUDTME	15-2	TAUDTME15-02	0	タイマ出力とリアルタイム出力の変調出力禁止
	1-0	TAUDTME01-00	任意	
TAUDRDE	15	TAUDRDE15	0	一斉書き換え禁止
	14	TAUDRDE14	任意	
	13	TAUDRDE13	0	一斉書き換え禁止
	12	TAUDRDE12	任意	
	11	TAUDRDE11	0	一斉書き換え禁止
	10	TAUDRDE10	任意	
	9-2	TAUDRDE09-02	1	一斉書き換え許可
	1-0	TAUDRDE01-00	任意	
TAUDRDS	15	TAUDRDS15	0	別の上位チャネルにより、一斉書き換えを許可しない
	14	TAUDRDS14	任意	
	13	TAUDRDS13	0	別の上位チャネルにより、一斉書き換えを許可しない
	12	TAUDRDS12	任意	
	11	TAUDRDS11	0	別の上位チャネルにより、一斉書き換えを許可しない
	10	TAUDRDS10	任意	
	9-2	TAUDRDS09-02	0	マスタチャネルにより一斉書き換えを許可する
	1-0	TAUDRDS01-00	任意	

注. 使用システムによって設定を変更してください。

表17.38 TAUD チャネル共通

（3/3）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDRDM	15	TAUDRDM15	0	一斉書き換えを許可しないので無効
	14	TAUDRDM14	任意	
	13	TAUDRDM13	0	一斉書き換えを許可しないので無効
	12	TAUDRDM12	任意	
	11	TAUDRDM11	0	一斉書き換えを許可しないので無効
	10	TAUDRDM10	任意	
	9-2	TAUDRDM09-02	0	マスタチャネルのカウント開始タイミングで信号をロード
	1-0	TAUDRDM01-00	任意	
TAUDRDC	15	TAUDRDC15	0	一斉書き換えを許可しないので無効
	14	TAUDRDC14	任意	
	13	TAUDRDC13	0	一斉書き換えを許可しないので無効
	12	TAUDRDC12	任意	
	11	TAUDRDC11	0	一斉書き換えを許可しないので無効
	10	TAUDRDC10	任意	
	9-2	TAUDRDC09-02	0	一斉書き換えトリガ生成チャネルとして動作しない
	1-0	TAUDRDC01-00	任意	

(2) PIC の設定

表17.39 PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PICREG202	27	PICREG20227	1	PICREG20204 ビットで選択した入力を選択
	23	PICREG20223	1	PICREG20203 ビットで選択した入力を選択
	19	PICREG20219	1	PICREG20202 ビットで選択した入力を選択
	4	PICREG20204	0	TAUDTTOUT09 を選択
	3	PICREG20203	0	TAUDTTOUT07 を選択
	2	PICREG20202	0	TAUDTTOUT05 を選択

18. ウィンドウ・ウォッチドッグ・タイマ A（WDTA）

本章では、ウィンドウ・ウォッチドッグ・タイマ A（WDTA）について説明します。

18.1 WDTA の特徴

この製品は、次のチャネル数のウインドウ・ウォッチドッグ・タイマ A を搭載しています。

表18.1　WDTA のチャネル

ウインドウ・ウォッチドッグ・タイマ A	
チャネル数	1
名称	WDTA0

○ 割り込みとリセット出力

WDTA0 の割り込みとリセット出力を次の表に示します。

表18.2　WDTA の割り込みとリセット出力

WDTA の信号	機能	接続先
WDTA0		
WDTA0TRES	WDTA0 エラー・リセット	リセット・コントローラ WDTA0RES 割り込みコントローラ INTWDTA
WDTA0TNMI	WDTA0 エラーNMI	Cortex-M4 NMI 入力 ポート(P25)を経由し、WDTOUTZ として出力 CC-Link IE Field Network WDTIL 入力 CC-Link（リモートデバイス局）wdl_n 入力
INTWDT0	WDTA0 75%割り込み	割り込みコントローラ INTWDTA

備考 WDTA0 75%割り込みは、WDTA0 エラーNMI 割り込みに含まれます。

18.2　機能概要

WDTA には、次の機能があります。

- ○ 起動オプションに基づいたリセット後の構成
- ○ ソフトウエア・トリガ・スタート・モード固定
- ○ エラー・モード：
  - ➢ エラー検出時の NMI 要求（WDTA0TNMI）の生成
  - ➢ エラー検出時のリセット（WDTA0TRES）の生成
- ○ カウンタ・オーバフロー値の 75%の値で割り込み要求を発生
- ○ ウインドウ機能
- ○ オーバフロー時間
  - ➢ 163μs～5.36s（75%で INT 割り込み発生）

WDTA の主な構成要素を次の図に示します。

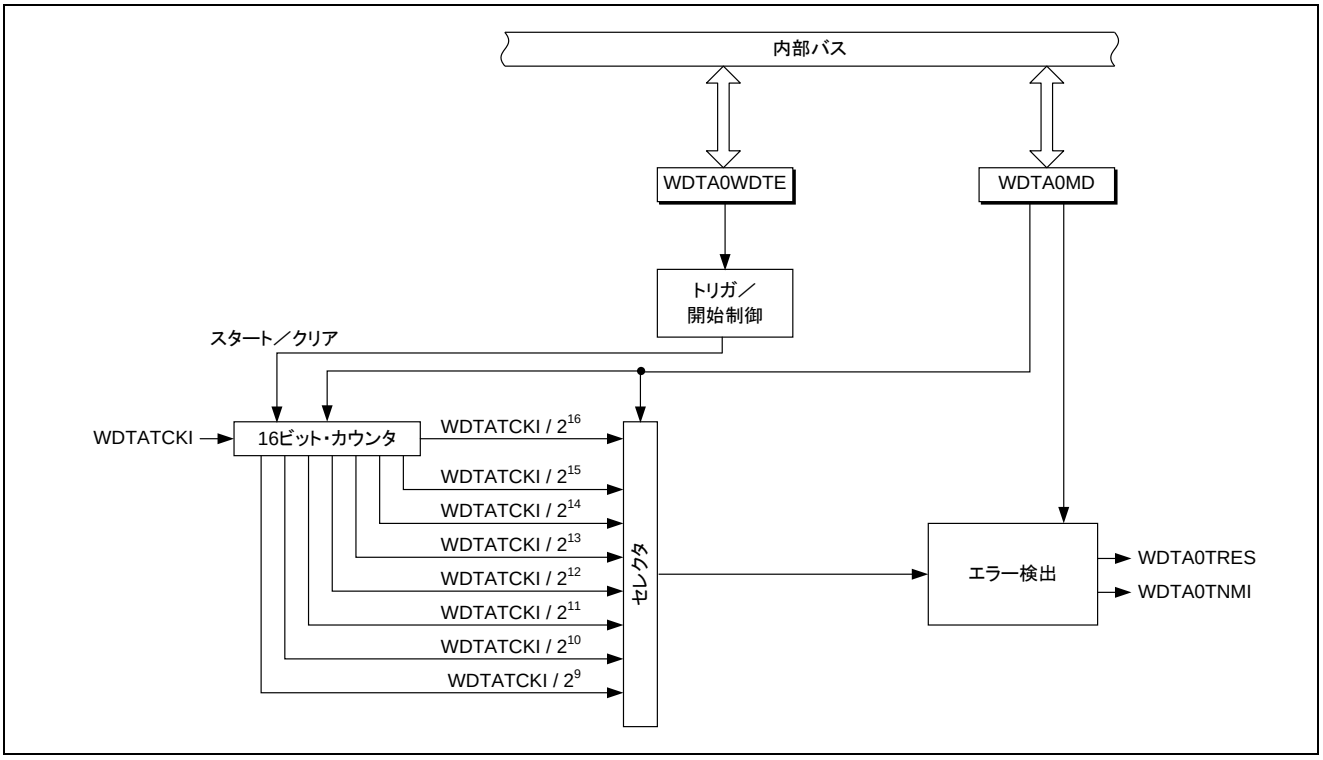


図18.1　WDTA のブロック図

18.3　レジスタ

この節では、WDTA のすべてのレジスタについて説明します。

18.3.1　WDTA レジスタの概要

WDTA は、次のレジスタで制御、動作します。

表18.3　WDTA レジスタの概要

レジスタ名	略号	アドレス
WDTA イネーブル・レジスタ	WDTA0WDTE	4000 0700H
WDTA モード・レジスタ	WDTA0MD	4000 070CH

18.3.2　WDTA レジスタの詳細

(1)　WDTA イネーブル・レジスタ（WDTA0WDTE）

このレジスタは、WDTA スタート・コントロール／トリガ・レジスタです。

- WDTA トリガ　　ACH を書き込むことによりカウンタをリスタートします。詳細は18.4.2「WDTAトリガ」を参照してください。
- アクセス　　8 ビット単位でリード／ライト可能です。
- 初期値　　WDTA0 は無効状態で起動します。

	7	6	5	4	3	2	1	0	アドレス	初期値
WDTA0WDTE	WDTA0RUN	0	1	0	1	1	0	0	4000 0700H	2CH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
7	WDTA0RUN	WDTA の有効／無効を設定します。 0：WDTA 無効 1：WDTA 有効 WDTA は、一度スタートすると停止することができないため、このビットはリセットでしかクリアできません。

(2) WDTA モード・レジスタ（WDTA0MD）

オーバフロー・インターバル時間、エラー・モード、およびウインドウ・オープン期間を指定します。

このレジスタの値は、リセット解除後、最初のトリガが発生する前に一度だけ変更可能です。変更後の値は次の WDTA トリガ発生から有効になります。

WDTA 起動後にこのレジスタの値を変更するとエラーが発生しますが、同値書き込みはできます。

- アクセス　　8 ビット単位でリード／ライト可能です。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
WDTA0MD	0	WDTA0OVF[2:0]			WDTA0WIE	WDTA0ERM	WDTA0WS[1:0]		4000 070CH	0FH
R/W	0	R/W			R/W	R/W	R/W			

ビット位置	ビット名	意　味
7	ー	Reserved（ライトは無視されます。リードは 0 が読み出されます。）
6-4	WDTA0OVF[2:0]	オーバフロー・インターバル時間を選択します。
3	WDTA0WIE	75%割り込み要求の許可/禁止を指定します。 0：75%割り込み要求を禁止 1：75%割り込み要求を許可
2	WDTA0ERM	エラー・モードを指定します。 0：NMI 要求モード 1：リセット・モード

WDTA0OVF2	WDTA0OVF1	WDTA0OVF0	オーバフロー・インターバル時間
0	0	0	2^9 / WDTATCKI
0	0	1	2^{10} / WDTATCKI
0	1	0	2^{11} / WDTATCKI
0	1	1	2^{12} / WDTATCKI
1	0	0	2^{13} / WDTATCKI
1	0	1	2^{14} / WDTATCKI
1	1	0	2^{15} / WDTATCKI
1	1	1	2^{16} / WDTATCKI

（2/2）

ビット位置	ビット名	意　味
1, 0	WDTA0WS[1:0]	ウインドウ・オープン期間を選択します。

WDTA0WS1	WDTA0WS0	ウインドウ・オープン期間
0	0	25%
0	1	50%
1	0	75%
1	1	100%

18.4　機能説明

16 ビット・カウンタがオーバフローするか、それ以外のエラー条件が満たされた場合、WDTA はリセットまたはノンマスカブル割り込みを発生します。

全エラー条件の説明に関しては「18.4.3 エラー検出」を参照してください。

ウインドウ・オープン期間中、WDTA トリガが発生するたびにカウンタをクリアし、リスタートします。詳細は「18.4.2 WDTAトリガ」を参照してください。

最大カウンタ値の 75%の値では，WDTA は割り込み要求（INTWDT0）を発生できます。詳細は「18.4.4 75% 割り込み出力」を参照して下さい。

リセット解除後、起動オプションはスタート・モードと WDTA の設定を指定します。ウォッチドッグ・タイマ・モード・レジスタ WDTA0MD に書き込むことにより設定を変更できます。詳細は「18.4.1 リセット解除後のWDTA」を参照してください。

18.4.1　リセット解除後の WDTA

(1)　ソフトウエア・トリガ・スタート・モード

リセット解除後、カウンタ値は 0000H のままです。
カウンタは最初の WDTA トリガの発生でスタートします。最初のトリガはリセット解除後いつでも発生できます。

(2)　リセット解除後の WDTA 設定

リセット解除と最初のトリガ発生の間の WDTA の設定を次の表に示します。

機能	設定	備考
カウント・クロック	2^9 / WDTATCKI	スタート・モードの説明に関しては18.4.1「リセット解除後のWDTA」を参照してください。
エラー・モード	リセット・モード	最初のトリガが発生する前に発生したどのエラー条件でもリセットを発生します。
ウインドウ・オープン期間	100%	デフォルト・スタート・モードを指定した場合、最初のトリガはカウンタがオーバフローするまで常に有効です。

(a)　WDTA 設定の変更

最初のトリガ発生後、WDTA はウォッチドッグ・タイマ・モード・レジスタ WDTA0MD の設定にしたがって動作を継続します。

WDTA の設定を変更する場合、最初のトリガ発生前に WDTA0MD にデータを書き込む必要があります。WDTA0MD の値を最初のトリガ発生後に変更した場合、エラー条件が発生します。

最初のトリガ発生前に WDTA0MD を変更しなかった場合、WDTA0MD の初期値により WDTA モードが指定されます。

WDTA0MD の新しい値または初期値は、最初のトリガ発生後に適用されます。

(b)　ソフトウエア・トリガ・スタート・モードのタイミング

ソフトウエア・トリガ・スタート・モードのタイミングと WDTA 設定への変更を次の図に示します。

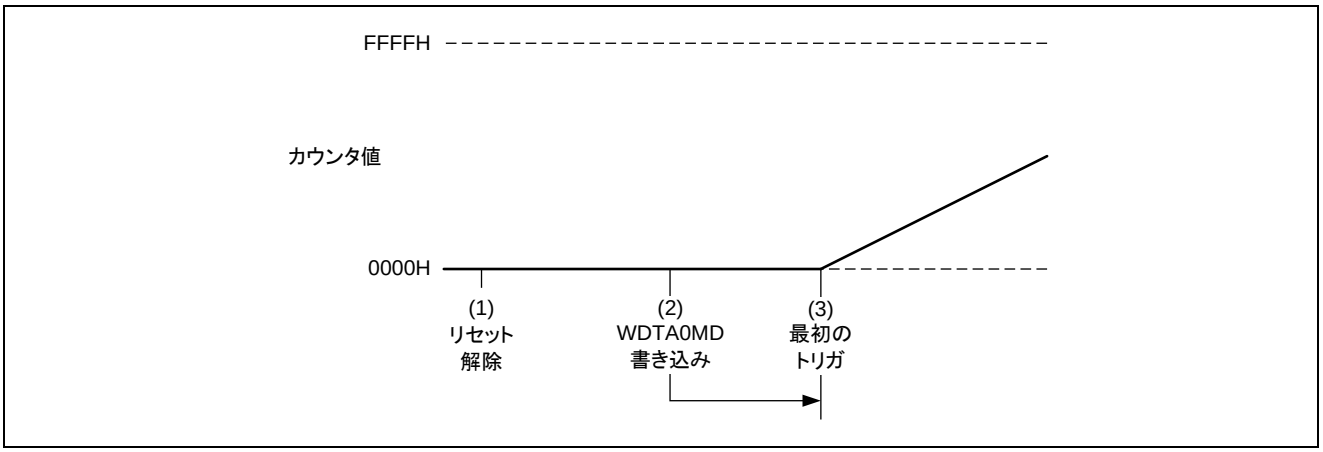


図18.2　　ソフトウエア・トリガ・スタート・モード時の WDTA スタートのタイミング図

上記のタイミング図では次の内容を示しています。

1. リセット解除後、最初のトリガが発生するまでカウンタ値は 0000H のままです。
   カウント・クロックは、起動オプションにより指定されますが、カウント動作が行われていないので影響はありません。
2. WDTA0MD は、最初のトリガ発生前に書き込まれます。ただし、設定はすぐには適用されません。
3. カウンタは最初のトリガ発生でスタートします。
   WDTA0MD で指定したカウント・クロックとその他の設定が適用されます。

18.4.2 WDTA トリガ

WDTA トリガには、下記 2 つのトリガが選択可能です。

- ソフトウエア・トリガ・スタート・モード時の起動トリガ
- カウンタ・オーバフローを回避するためのカウンタ・リスタート・トリガ

トリガ・レジスタは、起動コードを書き込むことで WDTA をトリガすることができます。

表18.4 トリガ・レジスタと起動コード

トリガ・レジスタ	起動コード
WDTA0WDTE	ACH

18.4.3 エラー検出

エラー検出条件を次に示します。

- オーバフロー・インターバル時間の超過（カウンタ・オーバフロー）
- トリガ・レジスタへの誤った起動コードの書き込み
- ウインドウ・クローズ期間でのトリガ・レジスタへの書き込み
- ウォッチドッグ・タイマ・モード・レジスタ WDTA0MD の不正な更新：
  - ✧ 最初のトリガ発生後に、WDTA0MD に新しい値を書き込んだ場合、エラーが検出されます。
  - ✧ 最初のトリガ発生後に、WDTA0MD に同じ値を書き込んだ場合、エラーは検出されません。

(1) エラー・モード

エラーが検出されると、NMI 要求（WDTA0TNMI）またはリセット（WDTA0TRES）のいずれかが発生します。

WDTA0MD.WDTA0ERM でエラー・モードを選択します。

- WDTA0MD.WDTA0ERM = 0：NMI モード
- WDTA0MD.WDTA0ERM = 1：リセット・モード

デフォルト・スタート・モードが選択されているとき、カウンタがオーバフローした場合のリセットまたは NMI 要求の発生を次の図に示します。

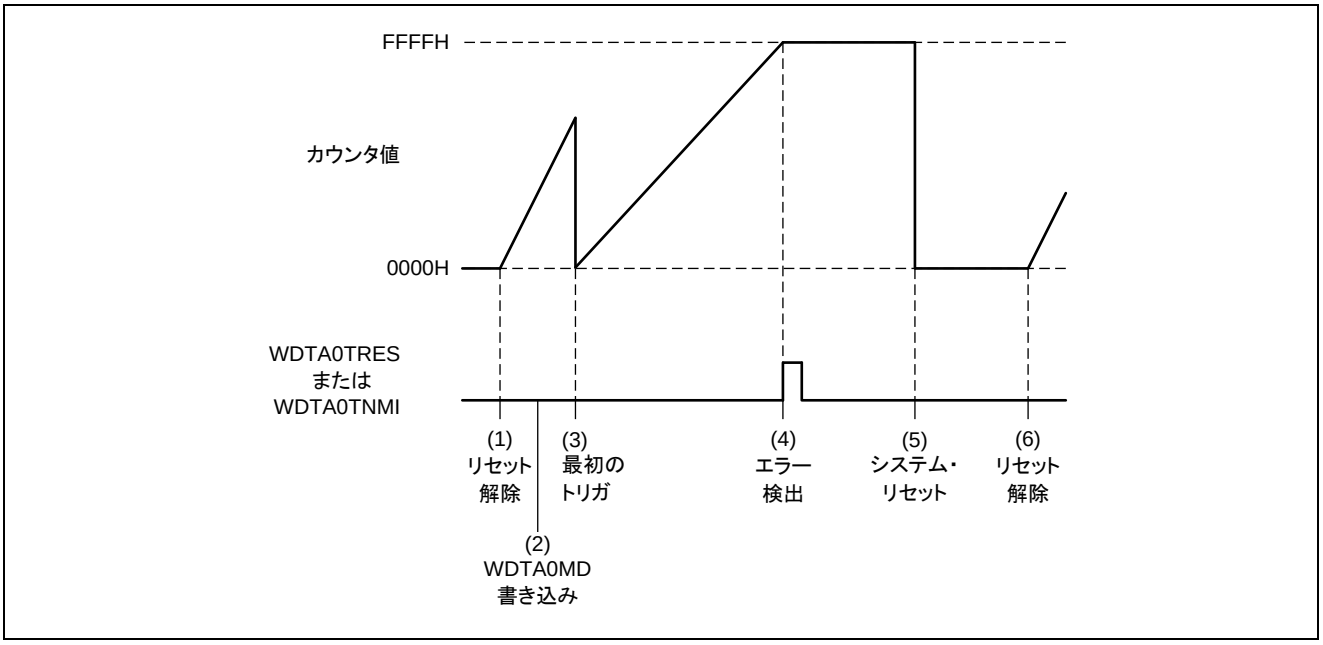


図18.3　WDTA NMI 要求／リセット発生のタイミング図

上記のタイミング図では次の内容を示しています。

1. リセット解除後にカウンタはスタートします（デフォルト・スタート・モードが選択されている場合です）。
2. WDTA0MD は、最初のトリガ発生前に書き込まれます。ただし、設定はすぐには適用されません。
3. カウンタは最初のトリガの発生でクリアされ、新しい WDTA の設定が適用されます。
4. カウンタがオーバフローすると、エラーが検出されます。エラー・モードによって、割り込み要求 WDTA0TNMI またはリセット WDTA0TRES のいずれかが発生します。
   カウンタ値は、システム・リセットが行われるまで変わりません。
5. システムをリセットすると、カウンタはクリアされ、リセットが解除されるまで停止します。

18.4.4　75%割り込み出力

カウンタが最大カウンタ値の 75%に達すると、割り込み要求 INTWDT0 が発生します。
WDTA0MD.WDTA0WIE を使用することにより、本機能の有効/無効を制御可能です。
次の条件下での 75%割り込み要求の発生を次の図に示します。

- デフォルト・スタート・モードを選択
- 最初のトリガ発生後にカウント・クロックが変化

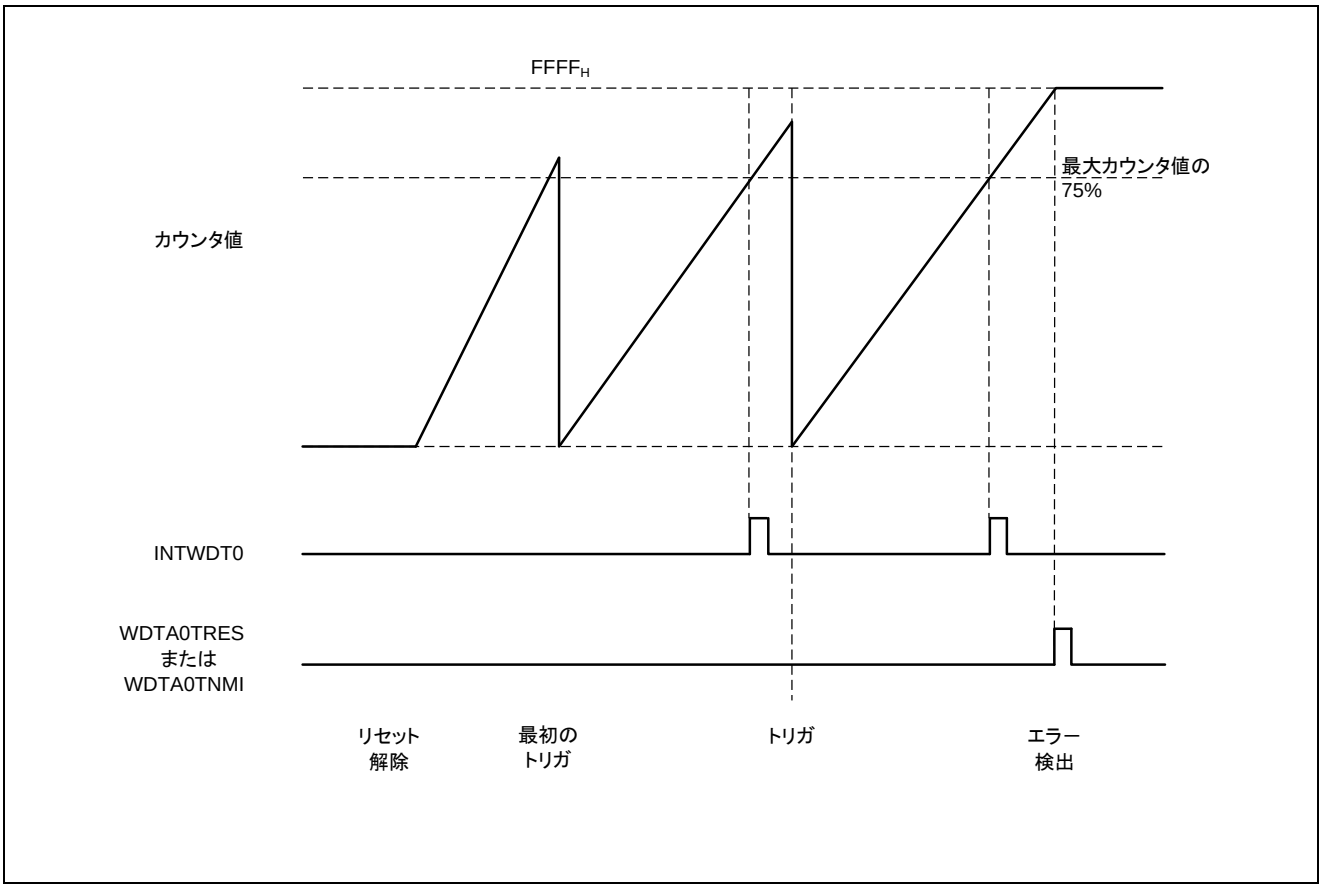


図18.4　WDTA 75%割り込み出力のタイミング図

18.4.5　ウインドウ機能

ウインドウ・オープン期間を 100%未満に設定すると、ウインドウ・クローズ期間中にトリガが発生した際にエラーが検出されます。
ウインドウ・オープン期間の設定は、最初のトリガの発生前と発生後で異なります。

- リセット解除後、ウインドウ・オープン期間は 100%になります。
  OPWDWS[1:0]および WDTA0MD.WDTA0WS[1:0]ビットの設定は無効になります。
- 最初のトリガ発生後、ウインドウ・オープン期間は WDTA0MD.WDTA0WS[1:0]ビットで指定した値になります。

次の図に、ウインドウ・オープン期間を 25%とし、デフォルト・スタート・モードを選択した場合の WDTA の動作を示します。

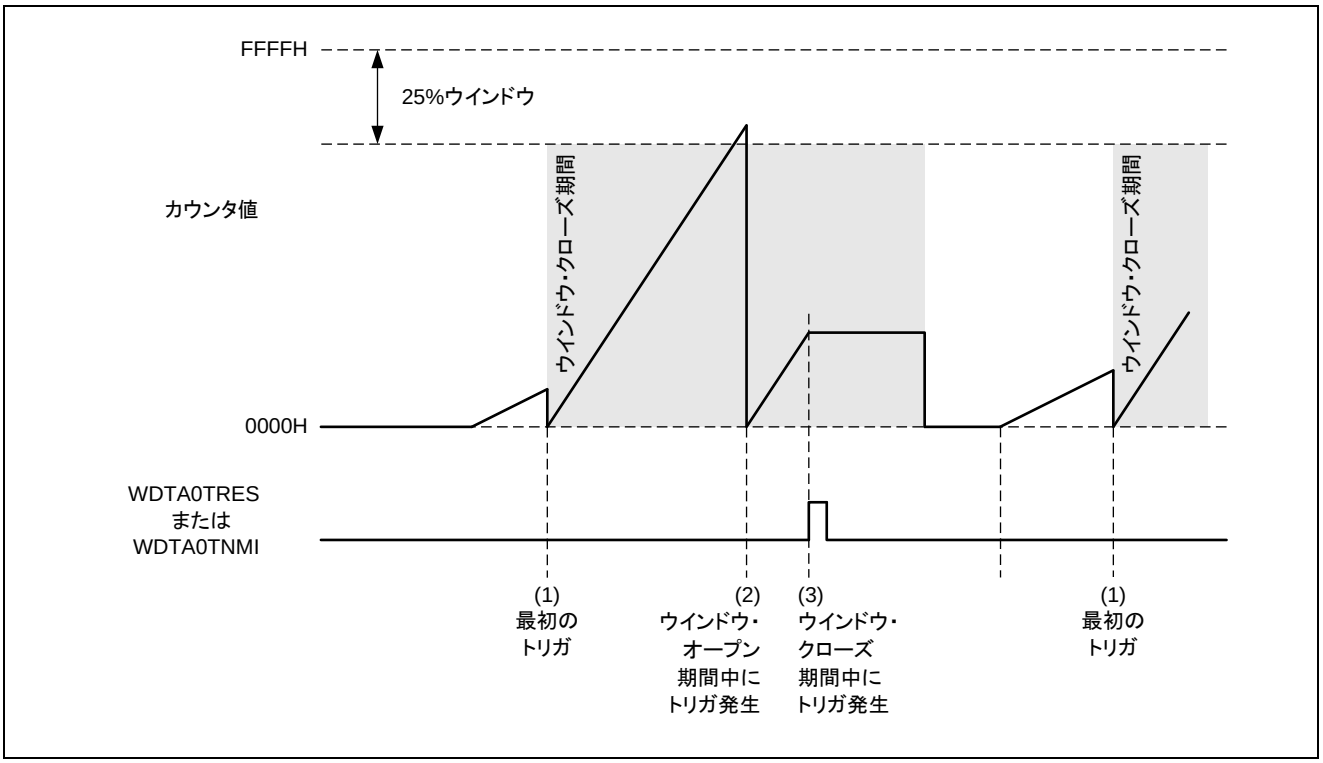


図18.5　WDTA ウインドウ機能のタイミング図

上記のタイミング図では次の内容を示しています。

1. 最初のトリガ発生まで、ウインドウ・オープン期間は 100%に固定されています。
2. ウインドウ・オープン期間中に発生したトリガではエラーは発生しません。
3. ウインドウ・クローズ期間中にトリガが発生すると、選択した動作モードにより WDTA0TNMI 要求または WDTA0TRES リセットが発生します。

18.5 WDTOUTZ 出力

WDTA0TNMI 割り込みが発生すると、ポート P25 の兼用機能 1 に設定すると、この端子にロー・レベルを出力します。一度 WDTOUTZ にロー・レベルが出力されると、RESETZ 端子もしくは SYSRESET レジスタからのリセット入力までロー・レベルから変化しません。

18.6 注意事項

(1) WDTA タイムアウト時に発生する NMI 割り込みは、連続で発生する場合があります。NMI 割り込みが連続で発生する期間は、ウォッチドッグ・タイマ入力選択レジスタ（WDTCLKCFG）の設定する値により異なります。

19.　アシンクロナス・シリアル・インタフェース J（UARTJn）

本章では、アシンクロナス・シリアル・インタフェース J（UARTJ）について説明します。

19.1　UARTJn の特徴

○ チャネル数：　この製品は 2 チャネルのアシンクロナス･シリアル･インタフェース J（UARTJn）を搭載しています。

表19.1　UARTJn のチャネル

アシンクロナス・シリアル・インタフェース J	
チャネル数	2
名称	UARTJ0, UARTJ1

○ ボー・レート：　プリスケーラとボー・レート・ジェネレータの設定により 300-12500000bps の間で選択可能です。

○ n の意味：　この章では、アシンクロナス・シリアル・インタフェース J の各チャネルを「n」で識別します（n = 0, 1）。たとえば、UARTJn 制御レジスタ 0（URTJnCTL0）とのように記述しています。

○ 入出力信号：　UARTJ の入出力信号を以下の表に示します。

表19.2　UARTJn の入出力信号

UARTJn の信号	機能	接続先
URTJ0TTXD	送信データ出力	ポート 21　TXD0
URTJ0TRXD	受信データ入力	ポート 20　RXD0
URTJ1TTXD	送信データ出力	ポート 31　TXD1
URTJ1TRXD	受信データ入力	ポート 30　RXD1

○ 割り込みと周辺機能： UARTJ の下記割り込み要求は、割り込み処理や Hardware ISR 以外にも、DMA 転送（汎用 DMAC、リアルタイムポート DMAC）、タイマ・キャプチャ・トリガ（TAUJ2、TAUD）、リアルタイム・ポート（RP00-RP37）の更新に利用可能です。

表19.3　UARTJn の割り込みと周辺機能への要求

UARTJn の割り込み信号	機能	接続先
UARTJ0		
INTUAJ0TIT	送信割り込み	・割り込みコントローラ INTUAJ0TIT ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTUAJ0TIR	受信割り込み	・割り込みコントローラ INTUAJ0TIR ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTUAJ0TIS	ステータス割り込み	・割り込みコントローラ INTUAJ0TIS
UARTJ1		
INTUAJ1TIT	送信割り込み	・割り込みコントローラ INTUAJ1TIT ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTUAJ1TIR	受信割り込み	・割り込みコントローラ INTUAJ1TIR ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTUAJ1TIS	ステータス割り込み	・割り込みコントローラ INTUAJ1TIS

19.2　機能概要

○ 内蔵の受信 FIFO と送信 FIFO を介した全二重通信
- ➢UARTJn 10 ビット×16 受信データ FIFO 内蔵（URTJnFRX）
- ➢UARTJn 8 ビット×16 送信データ FIFO 内蔵（URTJnFTX）

○ 2 端子構成：
- ➢URTJnTTXD：送信データ出力端子
- ➢URTJnTRXD：受信データ入力端子

○ 豊富なエラー検出機能
- ➢受信パリティ・エラー
- ➢受信フレーミング・エラー
- ➢送信データ一貫性エラー

○ 送信 FIFO オーバフロー・エラー
- ➢受信 FIFO オーバラン・エラー
- ➢受信タイムアウト・エラー
- ➢受信 BF 受信エラー

○ 豊富な FIFO ステータス情報
- ➢受信 FIFO フル／エンプティ・ステータス
- ➢送信 FIFO フル／エンプティ・ステータス
- ➢受信 FIFO 格納データ数
- ➢送信 FIFO 格納データ数

○ 割り込み要求：3 種類
- ➢送信割り込み INTUAJnTIT
- ➢受信割り込み INTUAJnTIR
- ➢ステータス割り込み INTUAJnTIS

○ キャラクタ長：7, 8 ビット
○ パリティ機能：奇数、偶数、0, なし
○ 送信ストップ・ビット：1, 2 ビット
○ MSB ファースト／LSB ファーストを切り換え可能
○ 送信／受信データの出力／入力の反転が可能

○ LIN（Local Interconnect Network）通信フォーマットの BF（ブレーク・フィールド）を 13-20 ビットに設定可能
- ➢LIN 通信フォーマットの BF 受信で 11 ビット以上を認識可能
- ➢BF 受信フラグあり

○ データ通信中に BF 受信の検出が可能
○ 送信データのデータ一貫性を保つバス・モニタ機能

19.3　構成

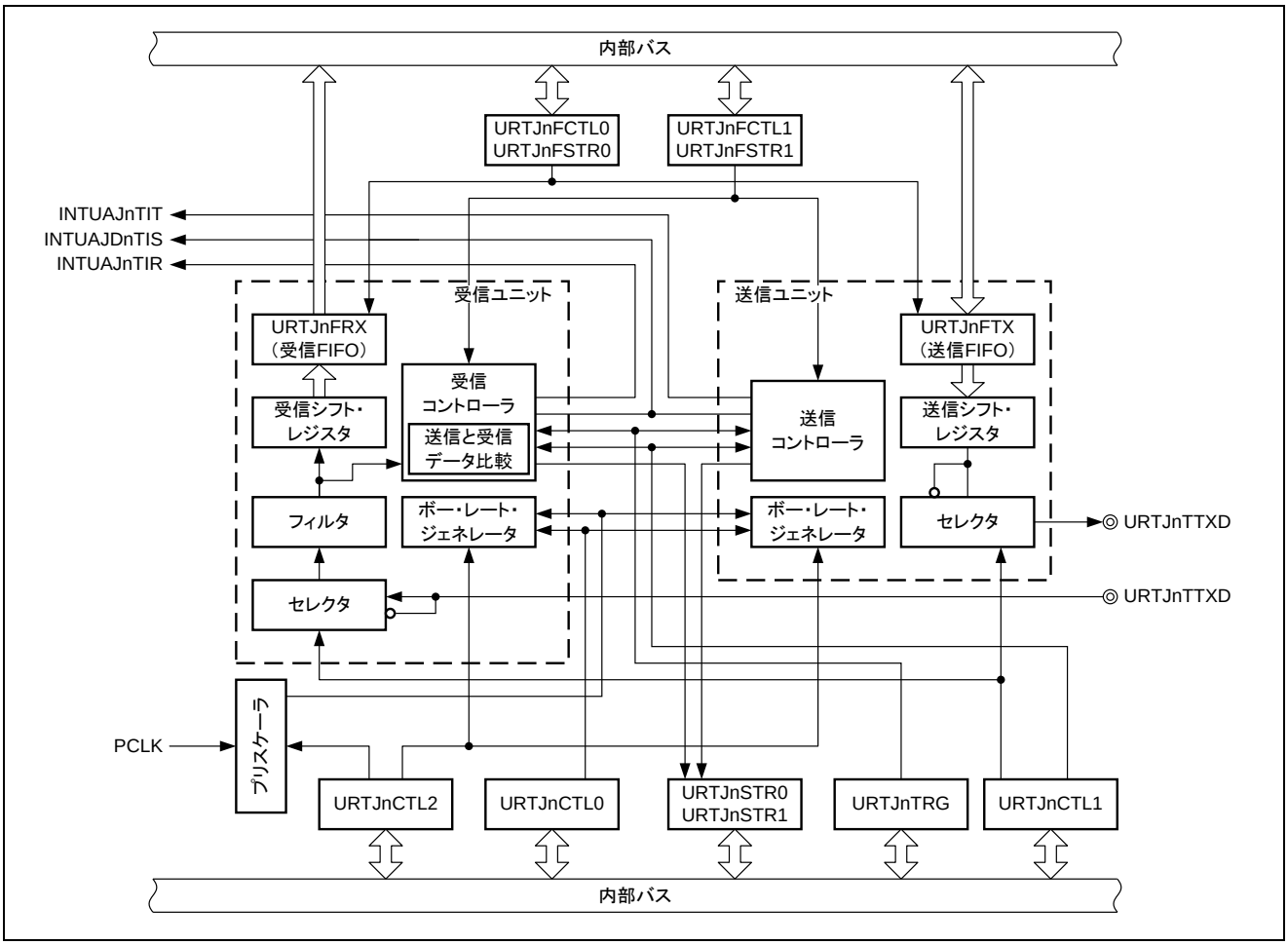


図19.1　　アシンクロナス・シリアル・インタフェース UARTJn のブロック図

19.4 UARTJn のレジスタ

UARTJn は、次のレジスタによって制御、動作します。

表19.4　UARTJn レジスタ

レジスタ名	略号	アドレス
UARTJ0 制御レジスタ 0	URTJ0CTL0	4000 0300H
UARTJ0 制御レジスタ 1	URTJ0CTL1	4000 0320H
UARTJ0 制御レジスタ 2	URTJ0CTL2	4000 0324H
UARTJ0 トリガ・レジスタ	URTJ0TRG	4000 0304H
UARTJ0 ステータス・レジスタ 0	URTJ0STR0	4000 0308H
UARTJ0 ステータス・レジスタ 1	URTJ0STR1	4000 030CH
UARTJ0 ステータス・クリア・レジスタ	URTJ0STC	4000 0310H
UARTJ0 FIFO 制御レジスタ 0	URTJ0FCTL0	4000 0380H
UARTJ0 FIFO 制御レジスタ 1	URTJ0FCTL1	4000 03A0H
UARTJ0 FIFO ステータス・レジスタ 0	URTJ0FSTR0	4000 0384H
UARTJ0 FIFO ステータス・レジスタ 1	URTJ0FSTR1	4000 0388H
UARTJ0 FIFO ステータス・クリア・レジスタ	URTJ0FSTC	4000 038CH
UARTJ0 FIFO 受信データ・レジスタ	URTJ0FRX	4000 0390H
UARTJ0 FIFO 送信データ・レジスタ	URTJ0FTX	4000 0394H
UARTJ1 制御レジスタ 0	URTJ1CTL0	4000 0400H
UARTJ1 制御レジスタ 1	URTJ1CTL1	4000 0420H
UARTJ1 制御レジスタ 2	URTJ1CTL2	4000 0424H
UARTJ1 トリガ・レジスタ	URTJ1TRG	4000 0404H
UARTJ1 ステータス・レジスタ 0	URTJ1STR0	4000 0408H
UARTJ1 ステータス・レジスタ 1	URTJ1STR1	4000 040CH
UARTJ1 ステータス・クリア・レジスタ	URTJ1STC	4000 0410H
UARTJ1 FIFO 制御レジスタ 0	URTJ1FCTL0	4000 0480H
UARTJ1 FIFO 制御レジスタ 1	URTJ1FCTL1	4000 04A0H
UARTJ1 FIFO ステータス・レジスタ 0	URTJ1FSTR0	4000 0484H
UARTJ1 FIFO ステータス・レジスタ 1	URTJ1FSTR1	4000 0488H
UARTJ1 FIFO ステータス・クリア・レジスタ	URTJ1FSTC	4000 048CH
UARTJ1 FIFO 受信データ・レジスタ	URTJ1FRX	4000 0490H
UARTJ1 FIFO 送信データ・レジスタ	URTJ1FTX	4000 0494H

(1)　UARTJn 制御レジスタ 0（URTJnCTL0）

UARTJn のシリアル転送動作を制御します。

- アクセス　　32/1 ビット単位でリード／ライト可能です。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
URTJnCTL0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	URTJnPW	URTJnTXE	URTJnRXE	0	0	0	0	URTJnSLDC	4000 0300H +100H × n 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	0	0	0	0	R/W	

ビット位置	ビット名	意　味
31-8	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
7	URTJnPW	UARTJn イネーブル 0：UARTJn の動作を停止させます。 1：UARTJn の動作を許可します。 このビットを変更すると、すべての送信ユニットと受信ユニットが初期化されます。
6	URTJnTXE	送信動作イネーブル 0：送信動作を禁止します。 1：送信動作を許可します。 ・ 送信を開始するには、URTJnPW をセット（1）したあと、URTJnTXE をセット（1）します。送信を停止するには、URTJnTXE をクリア（0）したあと、URTJnPW を 0 にクリア（0）します（URTJnTXE と URTJnPW ビットを同時にクリア（0）することも可能です）。 ・ 送信ユニットを初期化するには、RTJnTXE をクリア（0）し、プリスケーラ・クロックの 2 周期分の時間を経過してから、再度 URTJnTXE をセット（1）します（プリスケーラ・クロックについては(3)「UARTJn制御レジスタ2（URTJnCTL2）」を参照してください）。

備考 n = 0, 1

（2/2）

ビット位置	ビット名	意　味
5	URTJnRXE	受信許可 0：受信動作を禁止 1：受信動作を許可 ・ 受信を許可するには、URTJnPW をセット（1）したあと、URTJnRXE をセット（1）します。受信を停止するには、URTJnRXE をクリア（0）したあと、URTJnPW をクリア（0）します（URTJnRXE と URTJnPW ビットを同時にクリア（0）することも可能です）。 ・ 受信ユニットを初期化するには、URTJnRXE を 0 にクリア（0）し、プリスケーラ・クロックの 2 周期分の時間を経過してから、再度 URTJnRXE をセット（1）します。URTJnRXE がセット（1）されてからプリスケーラ・クロックの 2 周期分の時間を経過してから、受信が許可されます。 URTJnRXE がセット（1）されてから 4 プリスケーラ・クロック・サイクルが経過すると、URTJnTRXD 信号の立ち上がりエッジの検出が可能になります（プリスケーラ・クロックについては(3)「UARTJn制御レジスタ2（URTJnCTL2）」を参照してください）。
4-1	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	URTJnSLDC	データ・チェックの有効／無効 0：一貫性チェック無効 1：一貫性チェック有効 データ送信時にデーター貫性エラー・チェックを有効にするかどうかを選択します。セット（1）した場合、送信データと受信データの比較を行います。比較の結果不一致が検出されると、URTJnSTR1.URTJnDCE がセット（1）され、ステータス割り込み要求 INTUAJnTIS が発生します。 このビットは送信開始時にのみ参照されます。したがって、このビットの値を送信処理中に変更しても、後続の送信処理は送信開始時の設定に応じて実行されます。

備考 n = 0, 1

注意 1. UARTJn が次の状態をすべて満たす場合、送信を禁止してください。

・送受信許可時（URTJnCTL0.URTJnPW = URTJnRXE = URTJnTXE = 1）
・データー貫性チェックが有効（URTJnCTL0.URTJnSLDC = 1）
・送信中、または送信完了状態

受信許可状態に保つには、次の手順に従ってください。
・保留されている送信がないことを確認します（URTJnSTR0.URTJnSSBT = URTJnSST = 0）。
・保留されている受信がないことを確認します（URTJnSTR0.URTJnSSBR = URTJnSSR = 0）。
・URTJnCTL0.URTJnTXE = 0 を設定して送信を禁止します。
この手順を実行するのは、URTJnCTL0.URTJnTXE をクリア（0）することによってデーター貫性エラー・フラグ URTJnSTR1.URTJnDCE がクリア（0）されるためです。上記手順を実行することによって、データ転送中またはデータ転送完了後に送信を禁止したときにデーター貫性エラーが発生しなくなります。

2. UARTJn が次の状態をすべて満たす場合、受信を禁止してください。
・送受信許可時（URTJnCTL0.URTJnPW = URTJnRXE = URTJnTXE = 1）
・データー貫性チェックが有効（URTJnCTL0.URTJnSLDC = 1）
・送信中、または送信完了状態

送信許可状態に保つには、次の手順に従ってください。
・保留されている送信がないことを確認します（URTJnSTR0.URTJnSSBT = URTJnSST = 0）。
・保留されている受信がないことを確認します（URTJnSTR0.URTJnSSBR = URTJnSSR = 0）。
・URTJnCTL0.URTJnRXE を 0 に設定して受信を禁止します。
この手順を実行するのは、URTJnCTL0.URTJnTXE をクリアするとデーター貫性エラー・フラグ URTJnSTR1.URTJnDCE がクリアされて無効になるためです。上記手順を実行することによって、すでに送信されたデータに対するデーター貫性エラーは報告されなくなります。

3. 次の状態をすべて満たす場合、データの送信を開始しないでください。
・データー貫性チェックが有効（URTJnCTL0.URTJnSLDC = 1）
・BF 受信許可時（URTJnSTR0.URTJnSSBR = 1）
・受信中の BF 検出禁止時（URTJnCTL1.URTJnSLBM = 0）
上記の場合、BF の受信が完了したときにデーター貫性エラーが発生します。このとき、ステータス割り込み INTUAJnTIS が発生し、BF の受信完了は報告されません（URTJnSTR1.URTJnBSF は 0 を保持）。したがって、BF の受信完了は認識されません。

(2) UARTJn 制御レジスタ 1（URTJnCTL1）

UARTJn シリアル・データ転送で使われるデータ・フレームの特性を指定します。

- アクセス　　32 ビット単位でリード／ライト可能です。

（1/3）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
URTJnCTL1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	URTJnSLBM	URTJnBLG[2:0]			0	0	0	URTJnCLG	URTJnSLP[1:0]		URTJnTDL	URTJnRDL	0	URTJnSLG	URTJnSLD	URTJnSLIT	4000 0320H +100H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W			0	0	0	R/W	R/W		R/W	R/W	0	R/W	R/W	R/W	初期値 0000 5002H

ビット位置	ビット名	意　味
31-16	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15	URTJnSLBM	BF 受信モード選択 0：データ受信中の BF の受信を禁止します。 1：データ受信中の BF の受信を許可します。 ・このビットは、受信禁止時（URTJnCTL0.URTJnPW = 0 または URTEnCTL0.URTEnRXE = 0）にのみ変更できます。
14-12	URTJnBLG[2:0]	送信中の BF ビット長 URTJnBLG2 / URTJnBLG1 / URTJnBLG0 / BF 長 1 / 0 / 1 / 13 ビット 1 / 1 / 0 / 14 ビット 1 / 1 / 1 / 15 ビット 0 / 0 / 0 / 16 ビット 0 / 0 / 1 / 17 ビット 0 / 1 / 0 / 18 ビット 0 / 1 / 1 / 19 ビット 1 / 0 / 0 / 20 ビット これらのビットは、送信禁止時（URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnTXE = 0）にのみ変更できます。
11-9	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
8	URTJnCLG	受信／送信データ・ビット長 0：7 ビット 1：8 ビット ・ LIN フォーマットで送信／受信を行うときは、URTJnCLG をセット（1）してください。 ・ このビットは、送受信禁止時（URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnRXE = 0, URTJnCTL0.URTJnTXE = 0）にのみ変更できます。

備考 n = 0, 1

（2/3）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>7, 6</td><td>URTJnSLP[1:0]</td><td>パリティ・ビット選択
<table>
<tr><th rowspan="2">URTJnSLP1</th><th rowspan="2">URTJnSLP0</th><th colspan="2">動作</th></tr>
<tr><th>送信</th><th>受信</th></tr>
<tr><td>0</td><td>0</td><td>パリティ・ビットなしで出力</td><td>パリティなしで受信</td></tr>
<tr><td>0</td><td>1</td><td>0 パリティを出力
（0 に固定）</td><td>パリティを判定しない</td></tr>
<tr><td>1</td><td>0</td><td>奇数パリティを出力</td><td>奇数パリティとして判定を行う</td></tr>
<tr><td>1</td><td>1</td><td>偶数パリティを出力</td><td>偶数パリティとして判定を行う</td></tr>
</table>
・ 受信中に「パリティを判定しない」を選択すると、パリティ・チェックは行われません。したがって、URTJnSTR1.UTREnPE ビットがセット（1）されないため、エラー割り込みは出力されません。
・ LIN フォーマットで送信／受信を行うときは、URTJnSLP[1:0]を 00B にセットしてください。
・ これらのビットは、送受信禁止時（URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnRXE, URTJnCTL0.URTJnTXE = 0）にのみ変更できます。</td></tr>
<tr><td>5</td><td>URTJnTDL</td><td>送信データ・レベル制御
0：送信データ出力反転無効
1：送信データ出力反転有効
・ このビットを使って URTJnTTXD 端子の出力レベルを反転させることができます。このビットをセット（1）すると、URTJnCTL0.URTJnPW と URTJnCTL0.URTJnTXE の値に関係なく、ただちに URTJnTTXD の出力レベルを反転します。したがって、動作禁止時に URTJnTDL をセット（1）すると、URTJnTTXD はロー・レベルを出力します。
・ このビットは、送信禁止時（URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnTXE = 0）にのみ変更できます。</td></tr>
<tr><td>4</td><td>URTJnRDL</td><td>受信データ・レベル制御
0：受信データ入力反転無効
1：受信データ入力反転有効
・ このビットを使って URTJnTRXD 端子の入力レベルを反転させることができます。このビットをセット（1）すると、URTJnCTL0.URTJnPW と URTJnCTL0.URTJnRXE の値に関係なく、ただちに URTJnTRXD の入力レベルを反転します。したがって、動作禁止時に RTJnRDL をセット（1）すると、URTJnTRXD にはロー・レベルが入力されます。
・ このビットは、受信禁止時（URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnRXE = 0）にのみ変更できます。</td></tr>
</table>

備考 n = 0, 1

（3/3）

ビット位置	ビット名	意　味
3	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
2	URTJnSLG	送信データのストップ・ビット数の選択 0：1 ビット 1：2 ビット ・ データまたは BF の受信中、ストップ・ビット長は常に 1 として処理されます。 ・ このビットは、送信禁止時（URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnTXE = 0）にのみ変更できます。
1	URTJnSLD	転送方向選択 0：MSB ファースト転送 1：LSB ファースト転送 ・ LIN フォーマットで送信／受信を行うときは、URTJnSLD をセット（1）してください。 ・ このビットは、送受信禁止時（URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnRXE, URTJnCTL0.URTJnTXE = 0）にのみ変更できます。
0	URTJnSLIT	送信割り込み要求（INTUAJnTIT）発生タイミング選択 0：送信データが送信シフト・レジスタに格納され、送信を開始する際に INTUAJnTIT を発生します。 1：送信完了時に INTUAJnTIT を発生します。 ・ このビットは、送信禁止時（URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnTXE = 0）にのみ変更できます。

備考 n = 0, 1

(3) UARTJn 制御レジスタ 2（URTJnCTL2）

UARTJn シリアル・データ転送で使用されるボー・レートを指定します。

- アクセス　　32 ビット単位でリード／ライト可能です。

注意 このレジスタは、UARTJn 動作禁止時（URTJnCTL0.URTJnPW = 0）にのみ書き込み可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
URTJnCTL2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	URTJnPRS[2:0]			0	URTJnBRS[11:0]												4000 0324H +100H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W			0	R/W												初期値 0000 EFFFH

ビット位置	ビット名	意　味
31-16	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15-13	URTJnPRS[2:0]	プリスケーラ・クロック（PRSCLK）分周値 0：PRSCLK = PCLK / 2^0 1：PRSCLK = PCLK / 2^1 2：PRSCLK = PCLK / 2^2 3：PRSCLK = PCLK / 2^3 4：PRSCLK = PCLK / 2^4 5：PRSCLK = PCLK / 2^5 6：PRSCLK = PCLK / 2^6 7：PRSCLK = PCLK / 2^7
12	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
11-0	URTJnBRS[11:0]	ボー・レート・クロック（BRCLK）分周値

URTJnBRS[11:0]	送信／受信 BRCLK	BF 受信クロック
000H	PRSCLK/（2 x 4）	PRSCLK/4
001H		
002H		
003H		
004H		
005H	PRSCLK/（2 x 5）	PRSCLK/5
…	PRSCLK/ 2 x URTJnBRS[11:0]）	PRSCLK/ URTJnBRS[11:0]
FFEH	PRSCLK/（2 x 4094）	PRSCLK/4094
FFFH	PRSCLK/（2 x 4095）	PRSCLK/4095

備考 n = 0, 1

(4) UARTJn トリガ・レジスタ（URTJnTRG）

BF の UARTJn 送信／受信トリガを制御します。

- アクセス　　32/1 ビット単位でリード／ライト可能です。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
URTJnTRG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	URTJnBRT	URTJnBTT	0	0	0	0	0	4000 0304H +100H × n
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	0	0	0	0	0	0000 0000H

ビット位置	ビット名	意　味
31-7	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
6	URTJnBRT	BF 受信トリガ 0：読み出し値は常に 0 になり、0 の書き込みは無視されます。 1：BF の受信トリガ ・ 受信許可時にこのビットをセット（1）することによって BF の受信を許可し（URTJnSTR0.URTJnSSBR = 1）、受信シリアル信号の立ち下がりエッジ検出によって BF の受信処理を開始します。 ・ 受信処理中にこのビットをセット（1）すると、進行中の受信処理が終了します。このとき、受信データは格納されず、受信していたデータに基づいてフレーミング・エラー・ビット、パリティ・エラー・ビット、オーバフロー・エラー・ビットが更新されることもなく、割り込みも発生しません。この間 BF カウンタ値は継続的に使用されます。 ・ BF 受信後は、URTJnCTL1.URTJnSLBM の設定に従って受信ステータスが設定されます。 ・ このビットは、受信許可時（URTJnCTL0.URTJnPW = URTJnCTL0.URTJnRXE = 1）にのみセット（1）できます。 URTJnBRT がセット（1）されると、URTJnCTL1.URTJnSLBM の設定に応じて、次のいずれかの方法で BF の受信完了が発生します。 ・ URTJnCTL1.URTJnSLBM = 0 の場合　BF の受信が完了すると、受信割り込み要求 INTUAJnTIR が発生します。 ・ URTJnCTL1.URTJnSLBM = 1 の場合　BF の受信が完了すると、URTJnSTR1.URTJnBSF がセット（1）され、ステータス割り込み要求 INTUAJnTIS が発生します。

備考 n = 0, 1

（2/2）

ビット位置	ビット名	意　味
5	URTJnBTT	BF 送信トリガ 0：読み出し値は常に 0 になり、0 の書き込みは無視されます。 1：BF の送信許可 ・ URTJnSTR0.URTJnSSBT = 0 かつ送信許可時（URTJnDCE = 0）にこのビットをセット（1）すると、BF 送信要求が設定され、URTJnSSBT がセット（1）されます。 ・ データ送信中にこのビットをセット（1）すると、現在の送信処理が完了したあとで BF が送信されます。BF の送信が完了する前にこのビットをセット（1）しても、BF は 1 回しか送信されません。 ・ 送信許可時（URTJnPW = URTJnTXE = 1）にこのビットをセット（1）すると、それまでに設定されていた未送信のデータ送信要求はすべてクリア（0）され、BF 送信要求だけが残ります。このビットをセット（1）したあとに URTJnTX7-URTJnTX0 ビットへの書き込みが行われた場合、BF が送信されたあとでデータが送信されます。 ・ 送信開始時に BF 送信要求とデータ送信要求の両方が設定された場合は、BF 送信要求が優先されます。 ・ URTJnDCE = 1 の場合は、このビットに 1 を書き込んでも無視されます。 ・ このビットは、送信許可時（URTJnCTL0.URTJnPW = URTJnCTL0.URTJnTXE = 1）にのみセット（1）できます。
4-0	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）

備考 n = 0, 1

(5) UARTJn ステータス・レジスタ 0（URTJnSTR0）

シリアル・データ送信の現在の状態を示します。

- アクセス　　32/1 ビット単位でリード可能です。
  このレジスタは、UARTJn 動作禁止時（URTJnCTL0.URTJnPW = 0）に書き込み可能です。UARTJn の動作が許可（URTJnCTL0.URTJnPW = 1）されると、このレジスタはそれまで書き込まれた値を無視して初期値に戻ります。

このレジスタは、URTJnCTL0.URTJnPW = 0→1 または 1→0 と変更されたときにも初期化されます。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
URTJnSTR0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	URTJnSSBR	URTJnSSBT	0	0	0	URTJnSSR	URTJnSST	4000 0308H +100H×n 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	0	0	0	R	R	

ビット位置	ビット名	意　味
31-7	－	Reserved（0 が読み出されます。）
6	URTJnSSBR 注1	BF 受信許可／禁止状態表示 0：BF 受信禁止状態 1：URTJnTRG.URTJnBRT のセット（1）による BF 受信許可状態（BF 受信スタンバイ・モードまたは BF 受信ビジー）
5	URTJnSSBT 注2	BF 送信許可／禁止状態表示 0：BF 送信禁止状態 1：URTJnTRG.URTJnBTT のセット（1）による BF 送信許可状態（BF 送信スタンバイ・モードまたは BF 送信ビジー）
4-2	－	Reserved（0 が読み出されます。）
1	URTJnSSR 注2	データ受信状態 0：データ受信処理外 1：データ受信中（データ受信ビジー）
0	URTJnSST 注2	データ送信状態 0：進行中または保留中の送信なし 1：URTJnTX[7:0]内データの送信を保留中、または進行中

注 1. このビットは、URTJnCTL0.URTJnRXE = 0 によって受信が禁止されたときにも初期化されます。
2. これらのビットは、URTJnCTL0.URTJnTXE = 0 によって送信が禁止されたときにも初期化されます。

備考 n = 0, 1

(6) UARTJn ステータス・レジスタ 1（URTJnSTR1）

シリアル・データ送信の結果を示します。

- アクセス　　32/1 ビット単位でリード可能です。このレジスタは、UARTJn 動作禁止時（URTJnCTL0.URTJnPW = 0）に書き込み可能です。UARTJn の動作が許可（URTJnCTL0.URTJnPW = 1）されると、このレジスタはそれまで書き込まれた値を無視して初期値に戻ります。

このレジスタは、URTJnCTL0.URTJnPW = 0→1 または 1→0 と変更されたときにも初期化されます。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
URTJnSTR1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	URTJnBSF	URTJnDCE	URTJnPE	URTJnFE	0	4000 030CH +100H×n
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	0	0000 0000H

ビット位置	ビット名	意　味
31-5	ー	Reserved（0 が読み出されます。）
4	URTJnBSF 注1	BF 受信成功フラグ 0：URTJnTRG.URTJnBTT のクリア（0）による BF 送信禁止状態 1：URTJnTRG.URTJnBTT のセット（1）による BF 送信許可状態（BF 送信スタンバイ・モードまたは BF 送信ビジー） URTJnBSF ビットは、次の設定によりクリア（0）されます。 - URTJnCTL0.URTJnPW = 1 - URTJnCTL0.URTJnRXE = 0 - URTJnSTC.URTJnCLBS = 1
3	URTJnDCE 注2	データー貫性エラー・フラグ 0：送信データ／受信データ（送信 BF／受信 BF）の不一致なし 1：送信データ／受信データ（送信 BF／受信 BF）の不一致検出 LIN 通信時に BF 受信モード選択ビットをセット（1）した場合、ステータス割り込み処理によってこのビットを読み出して新しいフレーム・スロットの開始を確認する必要があります。 URTJnDCE ビットは、次の設定によってクリア（0）されます。 - URTJnCTL0.URTJnPW = 0 - URTJnCTL0.URTJnTXE = 0 - URTJnSTC.URTJnCLDC = 1

注 1. これらのビットは、URTJnCTL0.URTJnRXE = 0 によって受信が禁止されたときも初期化されます。

2. このビットは、URTJnCTL0.URTJnTXE = 0 によって送信が禁止されたときも初期化されます。

備考 n = 0, 1

（2/2）

ビット位置	ビット名	意　味
2	URTJnPE 注1	パリティ・エラー・フラグ 0：受信データ内にパリティ・エラーなし 1：受信データ内にパリティ・エラー検出 URTJnPE の動作は URTJn.URTJnSLP[1:0]の設定によって制御されます。 URTJnPE ビットは、次の設定によってクリア（0）されます。 - URTJnCTL0.URTJnPW = 0 - URTJnCTL0.URTJnRXE = 0 - URTJnSTC.URTJnCLP = 1
1	URTJnFE 注1	フレーミング・エラー・フラグ 0：受信データ内にフレーミング・エラーなし 1：受信データ内にフレーミング・エラー検出 URTJnFE ビットは、次の設定によってクリア（0）されます。 - URTJnCTL0.URTJnPW = 0 - URTJnCTL0.URTJnRXE = 0 - URTJnSTC.URTJnCLF = 1
0	－	Reserved（0 が読み出されます。）

注 1. これらのビットは、URTJnCTL0.URTJnRXE = 0 によって受信が禁止されたときも初期化されます。

備考 n = 0, 1

備考 これらのレジスタのビットがセットされる（1）と同時にクリアされた（0）場合は、セットの方がクリアより優先されます。
エラー検出の詳細については、19.6.5「UARTJn送信」と19.6.7「受信エラー」を参照してください。

注意 送受信許可時に一貫性チェック・エラーが発生（URTJnSTR1.URTJnDCE = 1）した場合、後続のデータを転送する前に次の手順を実行してください。
・URTJnCTL0.URTJnTXE を 0 に設定して送信を禁止します。
・URTJnCTL0.URTJnTXE を 1 に設定して送信を許可します。
・URTJnTRG.URTJnBTT（BT 送信トリガ）をセット（1）するか、URTJnTX に任意のデータを書き込んで送信を開始します。
これで新しい送信を開始できる状態になります。

(7) UARTJn ステータス・クリア・レジスタ（URTJnSTC）

URTJnSTR1（ステータス・レジスタ 1）のステータス・ビットをクリア（0）します。

- アクセス　　32/1 ビット単位でリード／ライト可能です。
  このレジスタを読み出すと、常に 00H が返ります。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
URTJnSTC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	URTJnCLBS	URTJnCLDC	URTJnCLP	URTJnCLF	0	4000 0310H +100H × n
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	0	0000 0000H

ビット位置	ビット名	意　味
31-5	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
4	URTJnCLBS	BF 受信成功フラグ・クリア 0：0 の書き込みは無視されます。 1：1 を書き込むと URTJnSTR1.URTJnBSF がクリア（0）されます。
3	URTJnCLDC	データー貫性エラー・フラグ・クリア 0：0 の書き込みは無視されます。 1：1 を書き込むと URTJnSTR1.URTJnDCE がクリア（0）されます。 このビットをセット（1）することで URTJnDCE をクリア（0）すると、保留されているデータや BF の送信要求はすべて無視されます。
2	URTJnCLP	パリティ・エラー・フラグ・クリア 0：0 の書き込みは無視されます。 1：1 を書き込むと URTJnSTR1.URTJnPE がクリア（0）されます。
1	URTJnCLF	フレーミング・エラー・フラグ・クリア 0：0 の書き込みは無視されます。 1：1 を書き込むと URTJnSTR1.URTJnFE がクリア（0）されます。
0	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）

備考 n = 0, 1

(8)　FIFO 制御レジスタ 0（URTJnFCTL0）

受信割り込み要求（INTUAJnTIR）と送信割り込み要求（INTUAJnTIT）が発生したときの受信 FIFO と送信 FIFO の格納データ数を指定します。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
URTJn FCTL0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	URTJnSLRP[3:0]				0	0	0	0	URTJnSLTP[3:0]				4000 0380H +100H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W				0	0	0	0	R/W				初期値 0000 0F00H

ビット位置	ビット名	意　味
31-12	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
11-8	URTJnSLRP[3:0]	受信 FIFO レベル割り込み設定 URTJnSLRP[3:0]では、受信割り込み要求 INTUAJnTIR を発生するときの受信 FIFO ポインタのステータスを指定します。 IURTJnFSTR0.URTJnSSRW[4:0]の値 =（10H - URTJnSLRP[3:0]の値）のとき、つまり、10H - URTJnSLRP[3:0]個の読み出し可能なデータ・ワードが受信 FIFO に残っているとき INTUAJnTIR は発生します。
7-4	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-0	URTJnSLTP[3:0]	送信 FIFO レベル割り込み設定 URTJnSLTP[3:0]では、送信割り込み要求 INTUAJnTIT が発生するときの送信 FIFO ポインタのステータスを指定します。 INTUAJnTIT は以下の場合にを発生します。 URTJnFSTR0.URTJnSSTW[4:0]の値 =（10H - URTJnSLTP[3:0]の値）のとき、つまり、10H - URTJnSLTP[3:0]個の数の書き込み可能な空きワードが送信 FIFO に残ります。

備考 n = 0, 1

(9)　FIFO 制御レジスタ 1（URTJnFCTL1）

受信タイムアウトの検出を制御します。

- アクセス　　32/1 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
URTJn FCTL1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	URTJnSLRT[5:0]						4000 03A0H +100H×n 初期値 0000 003FH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W						

ビット位置	ビット名	意　味
31-6	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
5-0	URTJnSLRT[5:0]	受信タイムアウト制御 00H：タイムアウトの検出を禁止します。 01H-3FH：タイムアウト時間 = ボー・レート・クロック BRCLK の（URTJnSLRT[5:0] x 8）周期

備考 n = 0, 1

(10) FIFO ステータス・レジスタ 0（URTJnFSTR0）

受信 FIFO と送信 FIFO の格納状態を示します。

- アクセス　　32 ビット単位でリード可能です（URTJnPW = 0 の場合のみライトも可能です）。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
URTJn FSTR0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	URTJn SSRW[4:0]					0	0	0	URTJn SSTW[4:0]				4000 0384H +100H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R					0	0	0	R					初期値 0000 0010H

ビット位置	ビット名	意　味
31-13	－	Reserved（0 が読み出されます。）
12-8	URTJnSSRW[4:0]	受信 FIFO のステータス URTJnSSRW[4:0]は受信 FIFO に残っている読み出されていない受信データ･ワードの数を示します。 URTEnPW = 0 のときのみ 00H-10H の範囲でライト可能です。ライト値に対して（10H - URTJnSSRW[4:0]）の値がリードできます。 例えば 01H をライトした場合、0FH がリードできます。
7-5	－	Reserved（0 が読み出されます。）
4-0	URTJnSSTW[4:0]	送信 FIFO のステータス URTJnSSTW[4:0]は送信 FIFO の空きデータ数（格納可能なデータ数）を示します。 URTEnPW = 0 のときのみ 00H-10H の範囲でライト可能です。ライト値に対して（10H - URTJnSSTW[4:0]）の値がリードできます。 例えば 01H をライトした場合、0FH がリードできます。

備考 n = 0, 1

(11) FIFO ステータス・レジスタ 1（URTJnFSTR1）

本レジスタは受信タイムアウトの検出を制御します。

- アクセス　　32 ビット単位でリード可能です（URTJnPW = 0 の場合のみライトも可能です）。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
URTJn FSTR1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	URTJnTMOE	URTJnTOFE	URTJnROVE	0	URTJnSSTF	URTJnSSTE	URTJnSSRF	URTJnSSRE	4000 0388H +100H×n
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	0	R	R	R	R	0000 0005H

ビット位置	ビット名	意　味
31-8	－	Reserved（0 が読み出されます。）
7	URTJnTMOE	タイムアウト・エラー検出 0：タイムアウト・エラーは検出されていません。 1：タイムアウト・エラーが検出されています。 タイムアウト・エラーが検出されたあとでこのビットをクリア（0）するには、URTJnFSTC.URTJnCLTM = 1 を設定します。このビットのクリア（0）とタイムアウト・エラーの検出が同時に行われた場合は、URTJnTMOE がセット（1）されたまま変わりません。 URTJnTMOE は URTEnPW = 0 の場合のみライト可能です。1 をライトすると 1 がリードできます。
6	URTJnTOFE	送信 FIFO オーバフロー・エラー検出 0：送信 FIFO オーバフローは検出されていません。 1：送信 FIFO オーバフローが検出されています。 送信 FIFO オーバフロー・エラーが検出されたあとでこのビットをクリア（0）するには、URTJnFSTC.URTJnCLTO = 1 を設定します。このビットのクリア（0）とオーバフロー・エラーの検出が同時に行われた場合は、URTJnROVE ビットがセット（1）されたまま変わりません。 URTJnTOVE は URTEnPW = 0 の場合のみライト可能です。1 をライトすると 1 がリードできます。
5	URTJnROVE	受信 FIFO オーバラン・エラー検出 0：受信 FIFO のオーバランは検出されていません。 1：受信 FIFO のオーバランが検出されています。 受信 FIFO オーバラン・エラーが検出されたあとでこのビットをクリア（0）するには、URTJnFSTC.URTJnCLOV = 1 を設定します。このビットのクリア（0）とオーバラン・エラーの検出が同時に行われた場合は、URTJnROVE がセット（1）されたまま変わりません。 URTJnROVE は URTEnPW = 0 の場合のみライト可能です。1 をライトすると 1 がリードできます。

備考 n = 0, 1

（2/2）

ビット位置	ビット名	意　味
4	ー	Reserved（0 が読み出されます。）
3	URTJnSSTF	送信 FIFO フル・ステータス 0：送信 FIFO がフルではありません。 1：送信 FIFO がフルです。
2	URTJnSSTE	送信 FIFO エンプティ・ステータス 0：送信 FIFO がエンプティではありません。 1：送信 FIFO がエンプティです。
1	URTJnSSRF	受信 FIFO フル・ステータス 0：受信 FIFO がフルではありません。 1：受信 FIFO がフルです。
0	URTJnSSRE	受信 FIFO エンプティ・ステータス 0：受信 FIFO がエンプティではありません。 1：受信 FIFO がエンプティです。

備考 n = 0, 1

(12) FIFO ステータス・クリア・レジスタ（URTJnFSTC）

本レジスタを使って URTJnFSTR1 のエラー・フラグをクリアすることができます。さらに、受信 FIFO と送信 FIFO のポインタをクリアし、両方の FIFO が空であることを示すこともできます。

- アクセス　　32/1 ビット単位でリード／ライト可能です。
  本レジスタを読み出すと、常に 00H が返ります。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
URTJnFSTC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	URTJnCLTM	URTJnCLTO	URTJnCLRO	0	0	0	URTJnCLTP	URTJnCLRP	4000 038CH +100H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	0	0	0	R/W	R/W	初期値 0000 0000H

ビット位置	ビット名	意　味
31-8	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
7	URTJnCLTM	タイムアウト・エラー・フラグ・クリア 0：読み出し値は常に 0 になり、0 の書き込みは無視されます。 1：1 を書き込むと URTJnFSTR1.URTJnTMOE = 0 に設定されます。
6	URTJnCLTO	送信 FIFO オーバフロー・エラー・フラグ・クリア 0：読み出し値は常に 0 になり、0 の書き込みは無視されます。 1：1 を書き込むと URTJnFSTR1.URTJnTOFE = 0 に設定されます。
5	URTJnCLRO	受信 FIFO オーバラン・エラー・フラグ・クリア 0：読み出し値は常に 0 になり、0 の書き込みは無視されます。 1：1 を書き込むと URTJnFSTR1.URTJnROVE = 0 に設定されます。
4-2	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
1	URTJnCLTP	送信 FIFO ポインタ・クリア 0：読み出し値は常に 0 になり、0 の書き込みは無視されます。 1：1 を書き込むと送信 FIFO ポインタが 00H に設定され、以下の状態になります。 - URTJnFSTR0.URTJnSSTW[4:0] = 00H（送信 FIFO ポインタ） - URTJnFSTR1.URTJnTOFE = 0（送信 FIFO オーバフロー・エラーなし） - URTJnFSTR1.URTJnSSTF = 0（送信 FIFO フルではない） - URTJnFSTR1.URTJnSSTE = 1（送信 FIFO エンプティ）
0	URTJnCLRP	受信 FIFO ポインタ・クリア 0：読み出し値は常に 0 になり、0 の書き込みは無視されます。 1：1 を書き込むと受信 FIFO ポインタが 00H に設定され、以下の状態になります。 - URTJnFSTR0.URTJnSSRW[4:0] = 00H（受信 FIFO ポインタ） - URTJnFSTR1.URTJnROVE = 0（受信 FIFO オーバラン・エラーなし） - URTJnFSTR1.URTJnSSRF = 0（受信 FIFO フルではない） - URTJnFSTR1.URTJnSSRE = 1（受信 FIFO エンプティ）

備考 n = 0, 1

(13) FIFO 受信データ・レジスタ（URTJnFRX）

受信 FIFO から受信データを読み出します。
個々の受信データには、受信中のパリティ・エラーとフレーミング・エラーを示すフラグが含まれます。

- 7 ビット転送　　データ長が 7 ビットと指定されており（URTJnCTL1.URTJnCLG = 0）、かつ
  - LSB ファースト受信（URTJnCTL1.URTJnSLD = 1）の場合、
    受信データは受信 FIFO である URTJnFRX.URTJnRX[6:0]に転送され、
    データの MSB である URTJnFRX.URTJnRX[7]は常に 0 になります。
  - MSB ファースト受信（URTJnCTL1.URTJnSLD = 0）の場合、
    受信データは受信 FIFO である URTJnFRX.URTJnRX[7:1]に転送され、
    データの LSB である URTJnFRX.URTJnRX[0]は常に 0 になります。

  データ・フォーマットの詳細については、19.6.1「データ・フォーマット」を参照してください。
- アクセス　　32 ビット単位でリード可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
URTJnFRX	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	URTJnPE	URTJnFE	0	0	0	0	0	0	URTJnRX[7:0]								4000 0390H +100H×n
初期値																																	0000 00FFH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	0	0	0	0	0	0	R								

ビット位置	ビット名	意　味
31-16	－	Reserved（0 が読み出されます。）
15	URTJnPE	パリティ・エラー・フラグ 0：URTJnRX[7:0]の受信中にパリティ・エラーは検出されていません。 1：URTJnRX[7:0]の受信中にパリティ・エラーが検出されています。
14	URTJnFE	フレーミング・エラー・フラグ 0：URTJnRX[7:0]の受信中にフレーミング・エラーは検出されていません。 1：URTJnRX[7:0]の受信中にフレーミング・エラーが検出されています。
13-8	－	Reserved（0 が読み出されます。）
7-0	URTJnRX[7:0]	受信データ

備考 n = 0, 1

- ポインタの変化　URTJnFRX からデータを読み出すたびに受信 FIFO 内の未読のデータ・ワード数が減り、それに従って URTJnFSTR0.URTJnSSRW[4:0]が減ります。

(14) FIFO 送信データ・レジスタ（URTJnFTX）

送信データを送信 FIFO に書き込みます。

- 7 ビット転送　　データ長が 7 ビットと指定されており（URTJnCTL1.URTJnCLG = 0）、かつ
  - LSB 先頭送信（URTJnCTL1.URTJnSLD = 1）の場合、
    送信 FIFO データ URTJnFTX.URTJnTX[6:0]がシフト・レジスタへ転送されます。
  - MSB 先頭送信（URTJnCTL1.URTJnSLD = 0）の場合、
    送信 FIFO データ URTJnFTX.URTJnTX[7:1]がシフト・レジスタへ転送されます。

  データ・フォーマットの詳細については、19.6.1「データ・フォーマット」を参照してください。
- アクセス　　8 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
URTJnFTX	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	URTJnTX[7:0]								4000 0394H +100H×n
																																	初期値
																																	0000 00FFH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W								

ビット位置	ビット名	意　味
31-8	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
7-0	URTJnTX[7:0]	送信データ

- 読み出しアクセス

  URTJnFTX を読み出すと、送信 FIFO に書き込まれた最新のデータが返ります。
- ポインタの変化　URTJnFTX にデータを書き込むたびに送信 FIFO 内の空きワード数が減り、それに従って URTJnFSTR0.URTJnSSTW[4:0]が減ります。
- オーバフロー・エラー

  送信 FIFO がフルであるときに（URTJnFSTR1.URTJnSSTF = 1）URTJnFTX への書き込みを行った場合、書き込まれたデータは破棄され、オーバフロー・エラーが検出され（URTJnFSTR1.URTJnFOFE = 1）、ステータス割り込み INTUAJnTIS が発生します。

19.5　割り込み要求信号

以下の 3 つの割り込み要求信号が UARTJn によって発生します。

- 送信割り込み要求 INTUAJnTIT
- 受信割り込み要求 INTUAJnTIR
- ステータス割り込み要求 INTUAJnTIS

19.5.1　送信割り込み要求 INTUAJnTIT

送信 FIFO の格納データ数が特定の値に達したときに送信割り込み要求 INTUAJnTIT が発生するように設定することができます。

送信割り込み要求が発生するときの送信 FIFO の格納データ数を URTJnFCTL0.URTJnSLTP[3:0]で設定することができます。以下の場合に割り込みを発生します。

URTJnFSTR0.URTJnSSTW[4:0] = (10H - URTJnSLTP[3:0])

INTUAJnTIT が発生するときの送信 FIFO 内の空きワード数は、選択されている送信割り込み要求のタイミングによって異なります。

- URTJnCTL1.URTJnSLIT = 0 の場合：10H - URTJnSLTP[3:0]
- URTJnCTL1.URTJnSLIT = 1 の場合：0FH - URTJnSLTP[3:0]

割り込みを発生した時点で、送信 FIFO に上記の数の書き込み可能な空きワードが残ります。

(1)　INTUAJnTIT のタイミング

送信割り込み INTUAJnTIT が発生するタイミング、つまり送信 FIFO 内の空きワード数が指定された値になったことを示すタイミングは、以下に示すように、URTJnCTL1.URTJnSLIT ビットの設定によって異なります。

- URTJnCTL1.URTJnSLIT = 0 の場合：送信の開始時点
  最初のビットの送信が開始されるときに送信割り込み要求 INTUAJnTIT が発生します。
  データ送信の場合、この割り込みは、格納データ数 URTJnFCTL0.URTJnSLTP[3:0]の FIFO データの送信開始を示します。
  BF 送信の場合は、BF の送信が開始されるたびに INTUAJnTIT が発生します。

- URTJnCTL1.URTJnSLIT = 1 の場合：送信の終了時点
  すべてのデータ送信プロセスが完了したとき、つまり、送信データの最後のビットが送信されたときに INTUAJnTIT が発生します。
  最後のビットの送信が完了したときに送信割り込み要求 INTUAJnTIT が発生します。
  データ送信の場合、この割り込みは、格納データ数 URTJnFCTL0.URTJnSLTP[3:0]の FIFO データの送信終了を示します。
  BF 送信の場合は、BF の送信が完了するたびに INTUAJnTIT が発生します。

次ページの図は、両方の場合について、データ送信中の送信割り込み要求 INTUAJnTIT のタイミングを示しています。

(2)　送信エラー発生時の INTUAJnTIT

データ一貫性チェック中にエラーが検出されても割り込み INTUAJnTIT は発生しません。

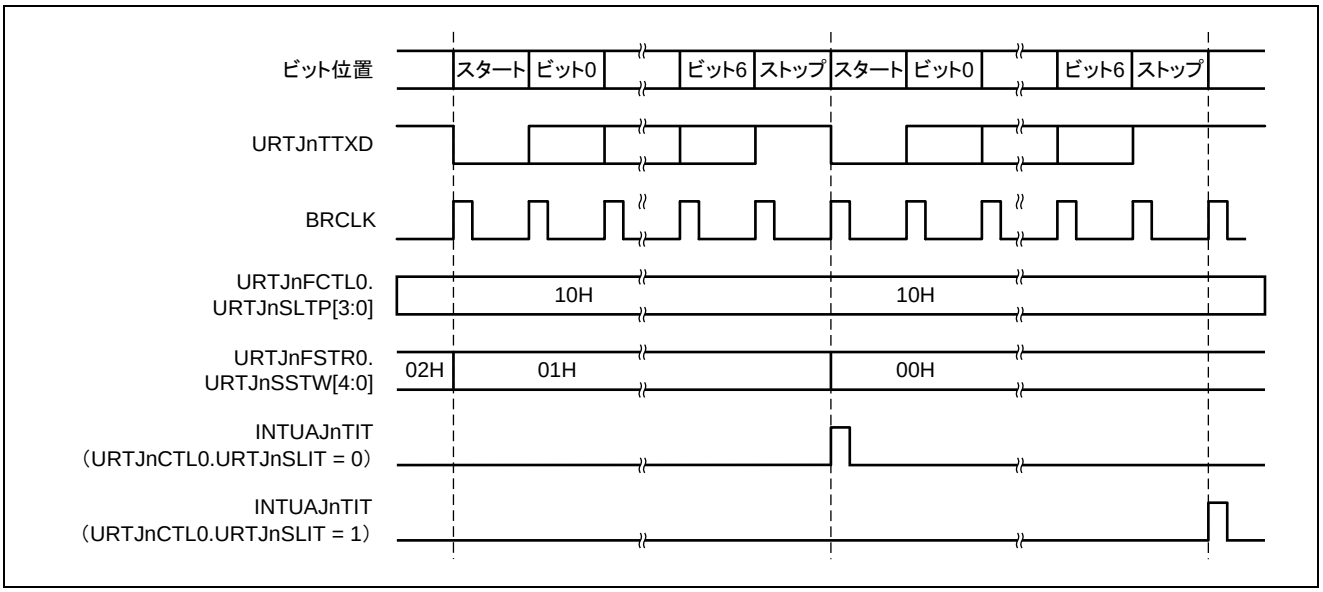


図19.2　　送信割り込み要求のタイミング

注意 送信割り込みが発生した後、FIFO が空の状態で１フレーム分以上、送信を待つシステムでは、再び送信割り込みが発生している可能性があるため、割り込みルーチン内で割り込み要求フラグ（EICn.EIRFn）をクリア(0) してください。

19.5.2　受信割り込み要求 INTUAJnTIR

受信 FIFO の格納データ数が特定の値に達したときに受信割り込み要求 INTUAJnTIR が発生するように設定することができます。

受信割り込み要求が発生するときの受信 FIFO の格納データ数を URTJnFCTL0.URTJnSLRP[3:0]で設定することができます。以下の場合に割り込みが発生します。

URTJnFSTR0.URTJnSSRW[4:0] =（10H - .URTJnSLRP[3:0]）

(1)　受信エラー発生時の INTUAJnTIR

上記の受信 FIFO 格納条件が満たされていれば、パリティ・エラーまたはフレーミング・エラーが検出されたときにも INTUAJnTIR が発生します。

受信 FIFO オーバラン・エラーが発生した場合、データは受信 FIFO に格納されず、INTUAJnTIR は発生しません。

以下の図はデータ受信中の受信割り込み要求のタイミングを示しています。

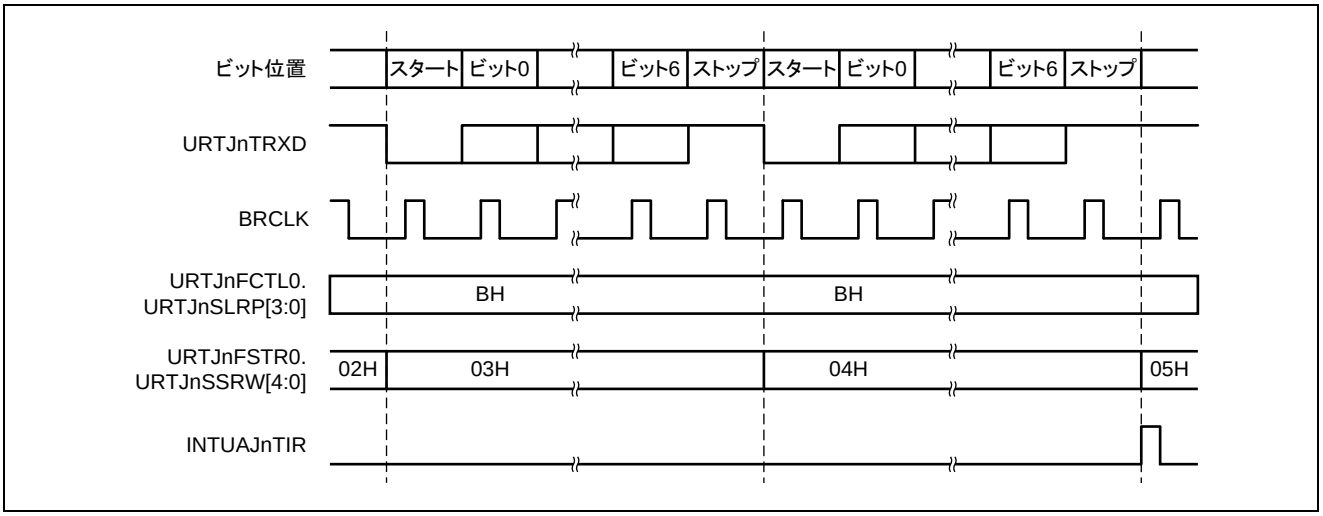


図19.3　受信割り込み要求のタイミング

注意 受信割り込みが発生した後、FIFO フル状態で 1 フレーム分以上、受信を待つシステムでは、再び受信割り込みが発生している可能性があるため、割り込みルーチン内で割り込み要求フラグ（EICn.EIRFn）をクリア (0) してください。

(2)　BF の受信

BF の受信の場合は、BF の受信が完了するたびに必ず INTUAJnTIR が発生します。

19.5.3 ステータス割り込み要求 INTUAJnTIS

受信中または送信中にエラー状態が発生すると、ステータス割り込み要求が発生します。

- 送信データ一貫性チェック・エラー（URTJnSTR1.URTJnDCE = 1）
- 受信データ・パリティ・エラー（URTJnSTR1.URTJnPE = 1）
- 受信データ・フレーミング・エラー（URTJnSTR1.URTJnFE = 1）
- タイムアウト・エラー（URTJnFSTR1.URTJnTMOE = 1）
- 送信 FIFO オーバフロー・エラー（URTJnFSTR1.URTJnTFOE = 1）
- 受信 FIFO オーバラン・エラー（URTJnFSTR1.URTJnROVE = 1）

BF の受信が許可されている状態で、データの受信中に 10 ビットを上回る長さの BF が検出された場合（URTJnCTL1.URTJnSLBM = 1）

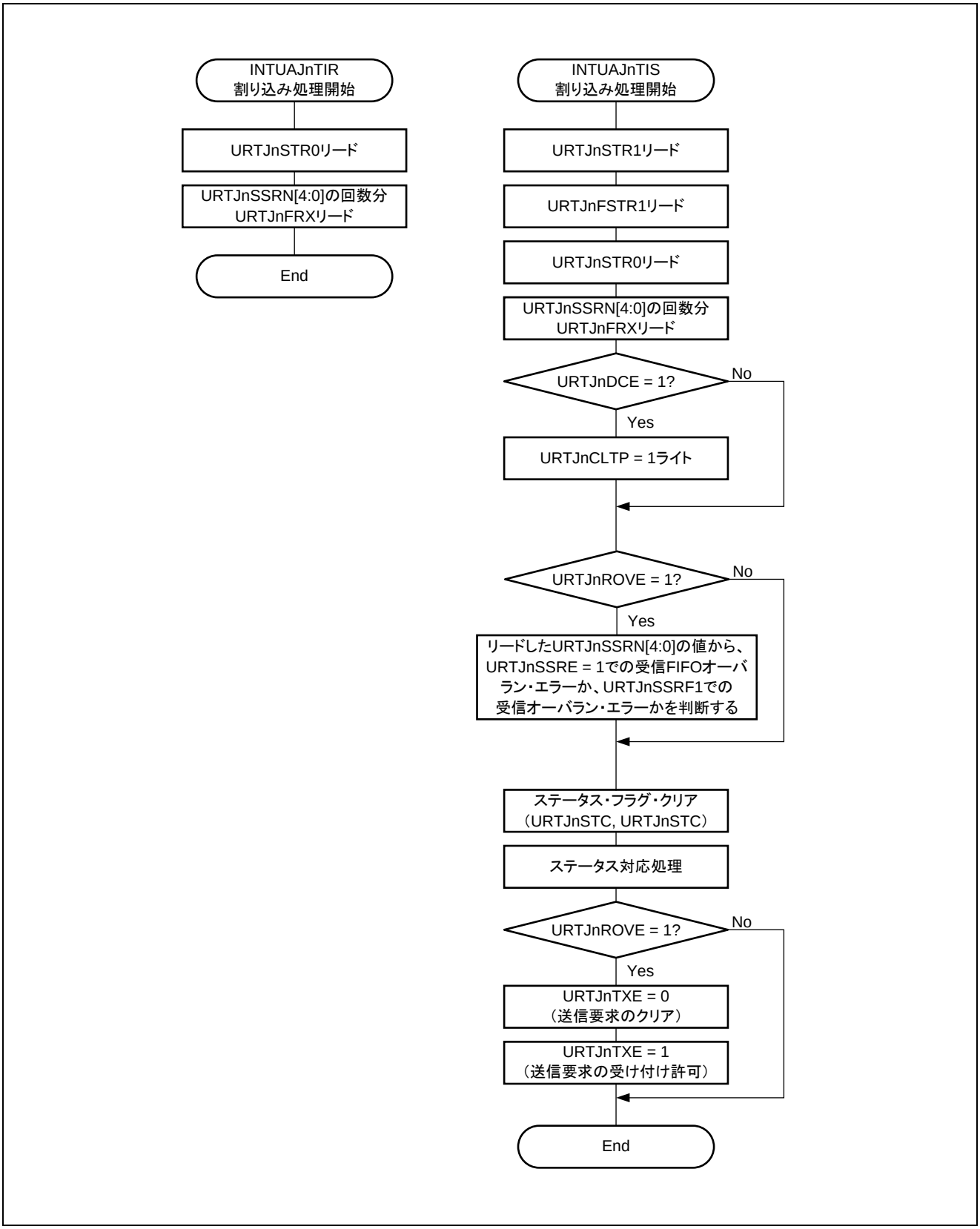


図19.4　　割り込み発生後処理フロー

19.6　動作

19.6.1　　データ・フォーマット

全二重シリアル・データの受信と送信を行います。

送受信データのフォーマットは、次の図に示すようにスタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

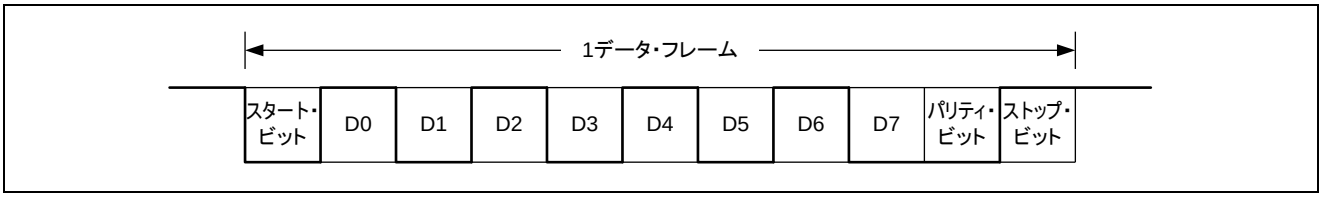
URTJnCTL1 レジスタの制御ビットを使って送信／受信データ・フレームの複数の特性を指定することができます。

表19.5　　データ・フォーマット仕様

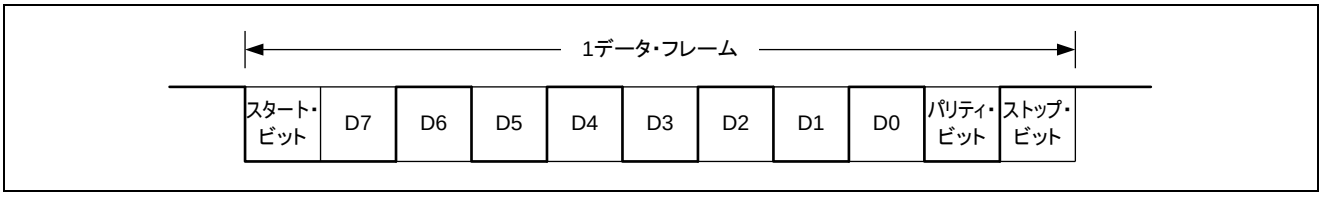
項目	オプション	制御ビット
スタート・ビット	1 ビット	固定
キャラクタ・ビット	7 ビット／8 ビット	URTJnCTL1.URTJnCLG
パリティ	偶数パリティ／奇数パリティ／0／なし	URTJnCTL1.URTJnSLP[1:0]
ストップ・ビット	1 ビット／2 ビット	URTJnCTL1.URTJnSLG
データ順	MSB ファースト／LSB ファースト	URTJnCTL1.URTJnSLD
送信データ・レベル	反転／非反転	URTJnCTL1.URTJnTDL
受信データ・レベル	反転／非反転	URTJnCTL1.URTJnRDL

(1)　UARTJn の送信／受信データ・フォーマット

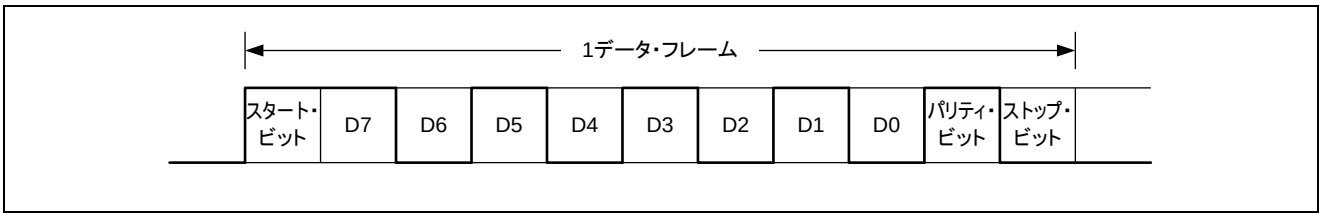
(a)　8 ビット・データ長、LSB ファースト、偶数パリティ、1 ストップ・ビット、転送データ：55H



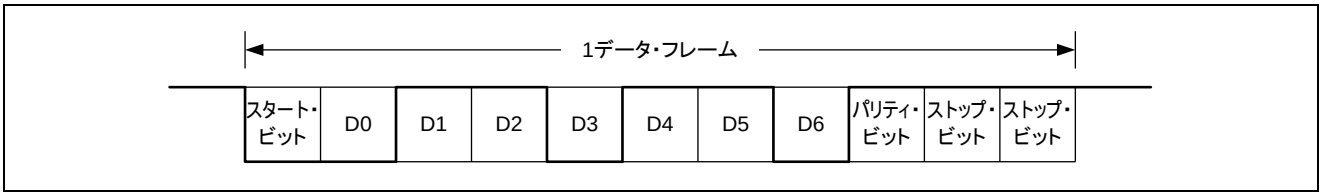
(b)　8 ビット・データ長、MSB ファースト、偶数パリティ、1 ストップ・ビット、転送データ：55H



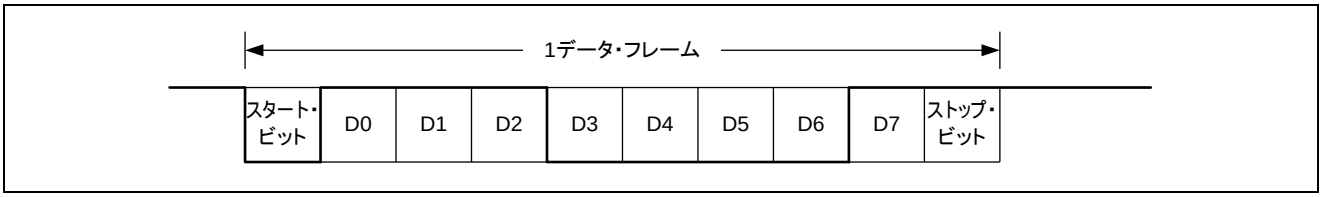
(c)　8 ビット・データ長、MSB ファースト、偶数パリティ、1 ストップ・ビット、転送データ：55H、URTJnTTXD 反転



(d)　7 ビット・データ長、LSB ファースト、奇数パリティ、2 ストップ・ビット、転送データ：36H



(e)　8 ビット・データ長、LSB ファースト、パリティなし、1 ストップ・ビット、転送データ：87H



19.6.2　BF の送信／受信フォーマット

UARTJn には LIN 機能を使用するために BF（ブレーク・フィールド）送信／受信制御機能があります。

(1)　LIN について

LIN は Local Interconnect Network（ローカル相互接続ネットワーク）の略であり、車載ネットワークのコスト削減を図るために開発された低速（1-20kbps）シリアル通信プロトコルです。

LIN 通信はシングルマスタ通信で、1 つのマスタに最大 15 個のスレーブを接続することができます。

LIN スレーブは、スイッチ、アクチュエータ、センサの制御に使用され、LIN ネットワークを介して LIN マスタに接続されます。

通常、LIN マスタは CAN（Controller Area Network）などのネットワークに接続されます。

さらに、LIN バスはシングル・ワイヤ方式を使用し、ISO9141 に準拠したトランシーバを介してノードに接続されます。

LIN プロトコルでは、マスタがボー・レート情報とともにフレームを送信し、スレーブがそれを受信してボー・レート誤差を補正します。したがって、スレーブのボー・レート誤差が±14%以内であれば通信が可能です。

LIN の送信と受信の操作の概要については、図19.5「LINの送信の概要」と図19.6「LINの受信の概要」を参照してください。

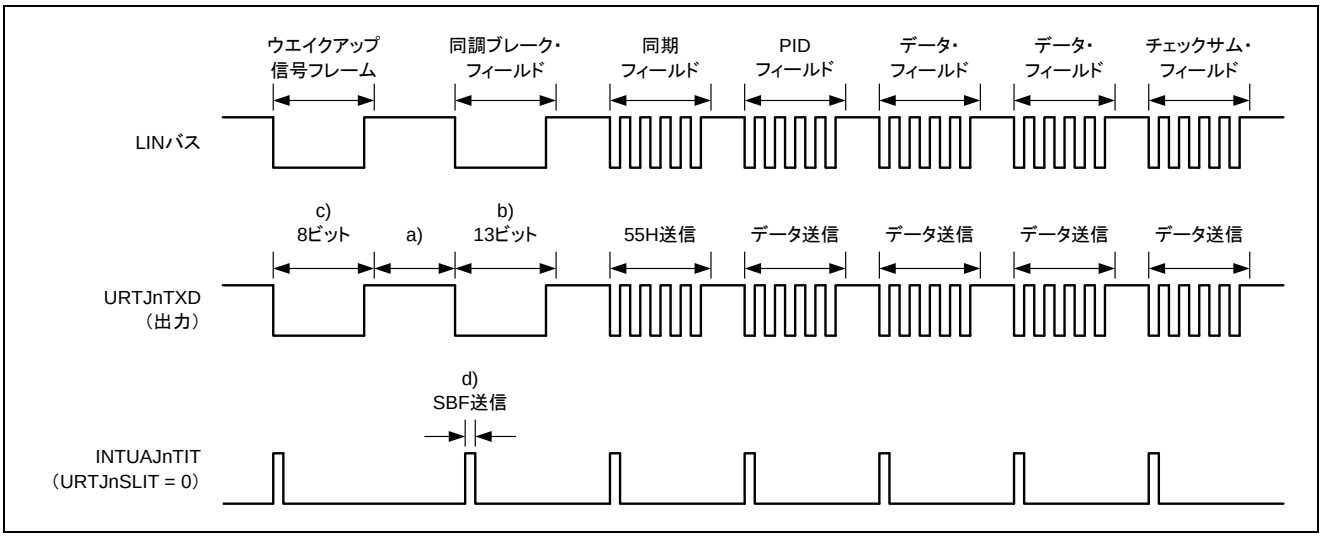


図19.5　LIN の送信の概要

a)　フィールド間のインターバルはソフトウェアによって制御されます。

b)　BF の出力はハードウェアによって実行されます。出力幅は URTEnCTL1.URTEnBLG[2:0]によって設定されるビット長です。
URTEnCTL2n.URTEnBRS[11:0]を設定することによって、出力幅をより細かく調整することができます。

c)　ウェイク・アップ信号フレームの代わりに 8 ビット・モードで 80H が転送されます。

d)　送信を開始するたびに送信許可割り込み INTUAEnTIT を発生します。
INTUAEnTIT は、BF の送信開始時にも発生します。

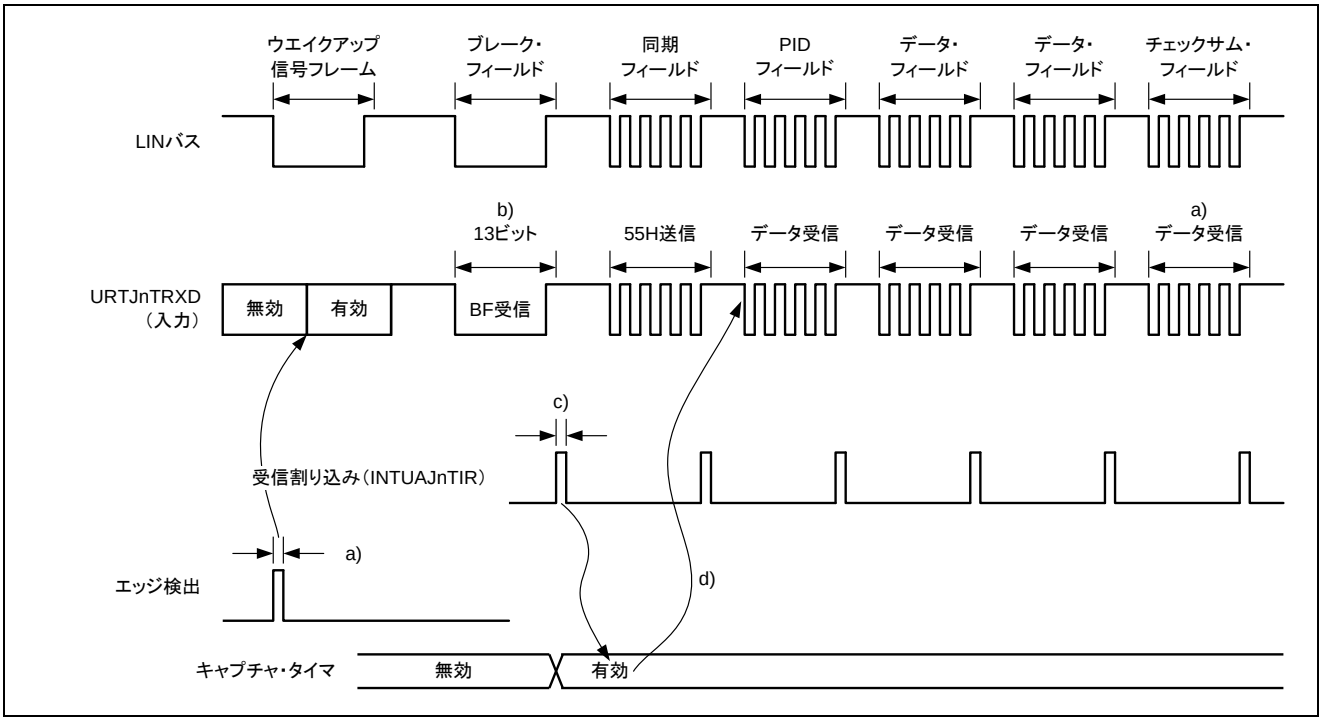


図19.6　　LIN の受信の概要

a)　ウェイク・アップ信号は端子のエッジ検出によって送信され、UARTJn を有効にして BF 受信モードを設定します。

b)　11 ビット以上の BF 受信を検出した場合、正常 BF 受信終了と判断します。BF 受信モード選択ビット URTJnCTL1.URTJnSLBM の設定に応じて、次の割り込みを発生します。
URTJnSLBM, URTJnSSBR ビットの設定に応じて次の割り込みを発生します。

URTJnSLBM	URTJnSSBR	割り込み
1	×	INTUAJnTIS 割り込み
0	1	INTUAJnTIR 割り込み
0	0	フレーミング・エラーになり、INTUAJnTIS 割り込みが発生します。

c)　BF 受信が正常に終了した場合、BF 受信モード選択ビット URTJnCTL1.URTJnSLBM の設定に応じて、次の割り込みを発生します。
- 0 に設定されていた場合、受信割り込み INTUAJnTIR を発生します。
- 1 に設定されていた場合、ステータス割り込み INTUAJnTIS を発生し、BF 受信成功フラグ URTJnSTR1.URTJnBSF をセット（1）します。

BF 受信トリガ・ビット URTJnTRG.URTJnBRT が 1 の場合、BF 受信中はオーバラン・エラー、パリティ・エラー、フレーミング・エラーの検出は行いません。また、受信シフト・レジスタから受信データ・レジスタ URTJnRX へのデータ転送も行われません。このとき、URTJnRX は以前の値を保持します。

d)　ボー・レート・クロックを正しく調整するために、URTJnTRXD 信号をタイマのキャプチャ入力に接続する必要があります。URTJnTRXD のエッジ間の時間を測定することによって転送レートとボー・レート誤差を計算することができ、ボー・レート設定ビット URTJnCTL2.URTJnBRS[11:0]を設定することによって、ボー・レートを調整することができます。

e)　チェック・サム・フィールドの区別はソフトウェアで行います。チェック・サム・フィールドを受信すると UARTJn が初期化され、ソフトウェアによって BF 受信モードに再設定されます。URTJnCTL1.URTJnSLBM が 1 の場合、再度 BF 受信モードに設定することなく自動的に BF の受信を行います。

19.6.3　BF の送信

URTJnCTL0 の URTJnPW ビットと URTJnTXE ビットを 1 に設定すると送信許可状態になり、BF 送信トリガ URTJnTRG.URTJnBTT をセット（1）することによって BF の送信を開始します。

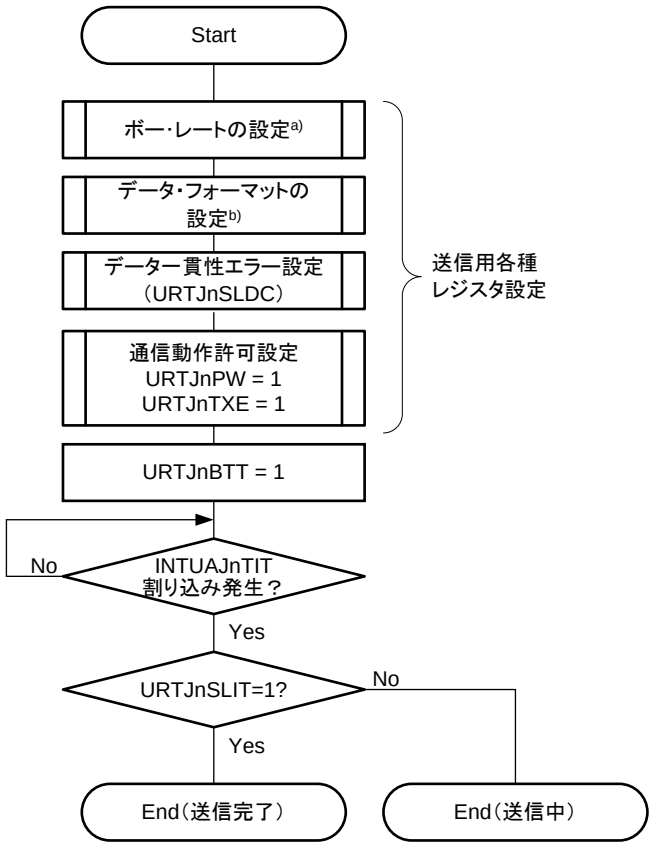
以降、URTJnSTR0.URTJnSSBT がセット（1）され、URTJnCTL1.URTJnBLG[2:0]の指定に従って 13-20 ビットのロー・レベル幅が出力されます。次の場合に送信割り込み INTUAJnTIT が発生します。

- BF 送信開始時、URTJnCTL1.URTJnSLIT = 0 の場合
- BF 送信終了時、URTJnCTL1.URTJnSLIT = 1 の場合

BF の送信が終了すると、URTJnSTR0.URTJnSSBT が自動的にクリア（0）されます。そのあと、UARTJn 送信モードに戻ります。

次に送信されるデータが URTJnTX レジスタに書き込まれ、URTJnSTR0.URTJnSST が 1 に変化するか、BF 送信トリガ URTJnTRG.URTJnBTT がセット（1）され、URTJnSTR0.URTJnSSBT が 1 に変化するまで、送信は中断されます。

図19.7　BF の送信



a) URTJnPRS[2:0], URTJnBRS[11:0] ビットで設定

b) URTJnBLG[2:0], URTJnCLG, URTJnSLP[1,0], URTJnTDL, URTJnSLG, URTJnSLD, URTJnSLIT ビットで設定

図19.8　BF の送信のフロー図

19.6.4　BF の受信

URTJnCTL0.URTJnPW ビットをセット（1）したあと、URTJnCTL0.URTJnRXE ビットをセット（1）することによって受信許可状態になります。

BF 受信トリガ URTJnTRG.URTJnBRT をセット（1）することによって BF 受信待ち状態になります。

BF 受信待ち状態では URTJnTRXD 端子信号をモニタし、スタート・ビットの検出を行います。

ロー・レベルを検出したら、受信動作を開始し、設定されたボー・レートに従って内部カウンタをカウント・アップします。

ハイ・レベルを受信し、BF 幅が 11 ビット以上の場合、BF 受信モード選択ビット URTJnCTL1.URTJnSLBM の設定に応じて次のように処理を行います。

- 0 に設定されていた場合、受信割り込み INTUAJnTIR を発生します。
- 1 に設定されていた場合、ステータス割り込み INTUAJnTIS を発生し、同時に BF 受信成功フラグ URTJnSTR1.URTJnBSF をセット（1）します。URTJnSTR0.URTJnSSBR ビットが自動的にクリア（0）され、BF の受信を終了します。

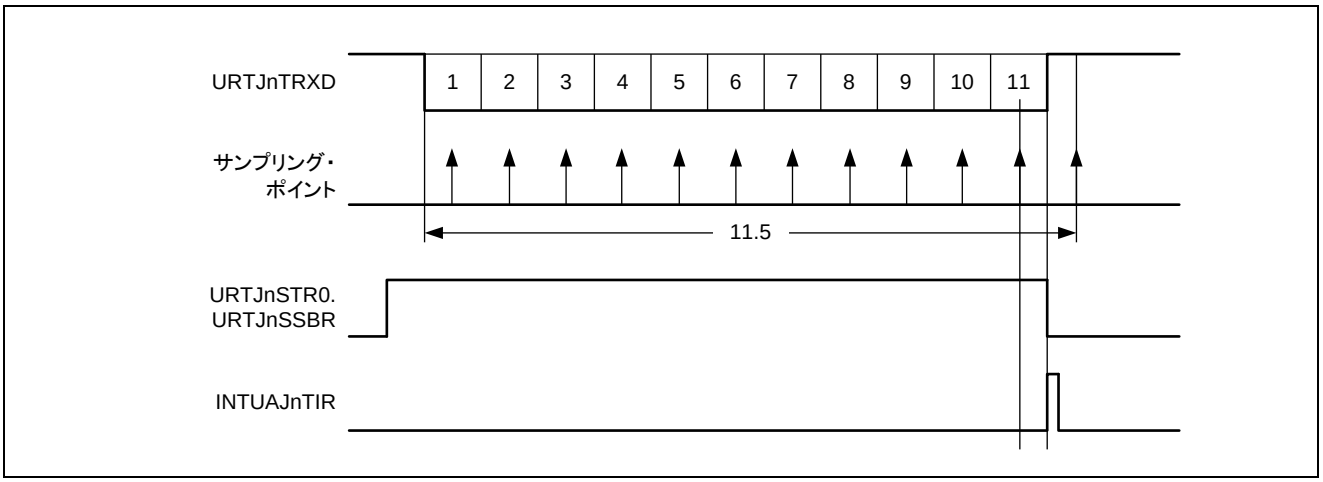


図19.9　正常 BF 受信（10.5 超のロー・ビット受信後にストップ・ビットを検出）

URTJnSTR1 エラー・フラグ URTJnOVE, URTJnPE, URTJnFE によるエラー検出は抑制され、UARTJn 通信エラー検出処理は行われません。

エラーが含まれたデータは URTJnRX に格納されず、URTJnRX は初期値 FFH を保持します。

BF の幅が 10 ビット以下の場合、エラー処理として、割り込みを発生せずに受信を終了し、BF 受信モードに戻ります。このとき、URTJnSTR0.URTJnSSBR はクリア（0）されません。

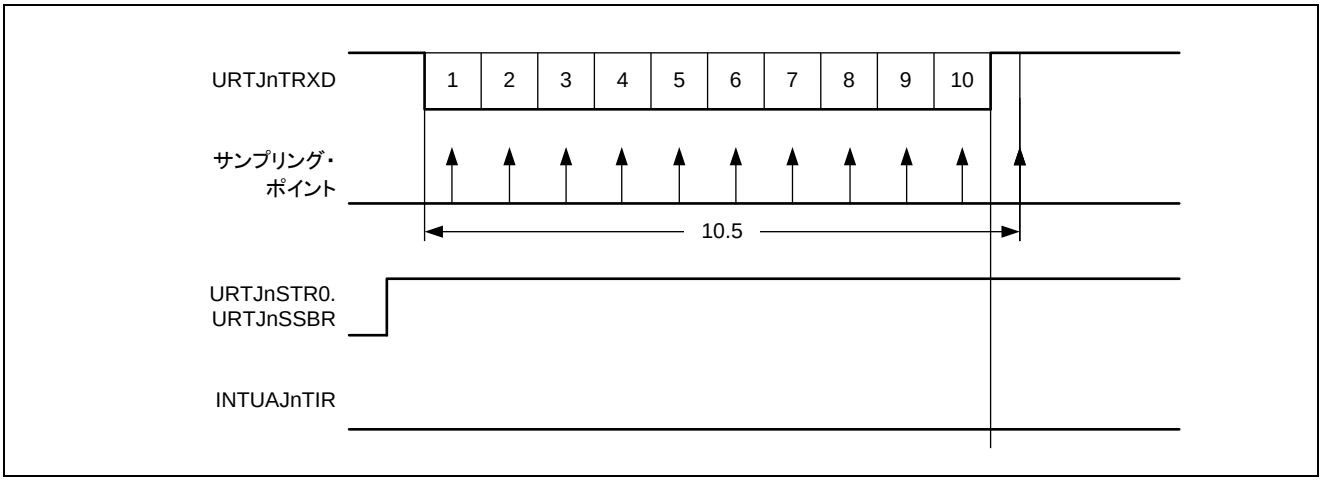


図19.10　BF 受信エラー（10.5 以内のロー・ビットでストップ・ビットを検出）

URTJnCTL1.URTJnSLBM を使って、シングル BF 受信モードと常時 BF 受信モードの間で BF モードを切り換えることができます。BF の受信が成功したかどうかは URTJnSTR1.URTJnBSF で確認できます。

備考 URTJnSTR0.URTJnSSBR は次の場合にセット（1）されます。

・URTJnTRG.URTJnBRT をセット（1）したとき

・正常な BF の受信によってエラーがクリア（0）されたとき

19.6.5 UARTJn 送信

(1) 送信 FIFO

送信 FIFO は連続して送信される 8 ビット・データを格納する 8 ビット×16 段から構成されます。
URTJnFTX レジスタに書き込むことによって送信 FIFO にデータが格納されます。

- 送信 FIFO のステータス
  送信 FIFO の格納データ数を確認するためのさまざまなステータス情報を取得できます。
  - 送信 FIFO 内の空きワード数は、送信 FIFO ポインタ URTJnFSTR0.URTJnSSTW[4:0]を読み出すことによって確認できます。
  - URTJnSTR1.URTJnSSTF（= 1：フル）は FIFO フル／非フル・ステータスを示します。
  - URTJnSTR1.URTJnSSTE（= 1：エンプティ）は FIFO エンプティ／非エンプティ・ステータスを示します。

- ポインタの変化
  URTJnFTX にデータを書き込むたびに送信 FIFO 内の空きワード数が減り、それに従って URTJnFSTR0.URTJnSSTW[4:0]が減ります。

- オーバフロー・エラー
  送信 FIFO がフルであるときに（URTJnFSTR1.URTJnSSTF = 1）URTJnFTX への書き込みを行った場合、書き込まれたデータは破棄され、オーバフロー・エラーが検出され（URTJnFSTR1.URTJnTOFE = 1）、ステータス割り込み INTUAJnTIS がアサートされます。

- URTJnFTX の読み出し
  URTJnFTX を読み出すと、送信 FIFO に書き込まれた最新のデータが返ります。

(2) 送信の開始と停止

- 送信の開始
  以下の手順に従って送信許可ステータスを設定します。
  - URTJnCTL2 レジスタでボー・レートを指定します。
  - URTJnCTL1 で、送信パリティ、データ・キャラクタ長、ストップ・ビット長、送信データ順、送信割り込み要求のタイミング、出力ロジック・レベルを指定します。
  - URTJnCTL0.URTJnPW = URTJnCTL0.URTJnTXE = 1 に設定することによって UARTJn の動作と送信を許可します。

  URTJnFTX を介して送信 FIFO に送信データを書き込むことによって送信が開始されます。送信 FIFO に格納されたデータは送信シフト・レジスタへ転送されます。次に、スタート・ビット、パリティ・ビット、ストップ・ビットが追加され、URTJnTTXD を介してデータ・フレームがシリアルに出力されます。

- 送信の停止
  URTJnCTL0.URTJnPW または URTJnCTL0.URTJnTXE が 0 に設定されると、送信処理中であっても、ただちに送信動作が停止します。

- BF とデータの同時送信
  BF 送信要求とデータ送信要求の両方が設定された場合は、BF の送信が優先されます。

(3)　送信データー貫性チェック

UARTJn は、UARTJn が送信モードで動作しているときに、URTJnTTXD 信号を介して出力された送信データと URTJnTRXD 信号を介して受信されたデータとの不一致を検出するデーター貫性チェック機能を備えています。

備考 データー貫性チェックを実行するには、URTJnTTXD 信号を外部から URTJnTRXD へフィード・バックする必要があります。

データー貫性チェックは URTJnCTL0.URTJnSLDC = 1 に設定することによって有効になります。

URTJnTTXD 信号と URTJnTRXD 信号が一致しない場合は、データー貫性エラー・フラグ URTJnSTR1.URTJnDCE がセットされ、ステータス割り込み要求 INTUAJnTIS が発生します。

データー貫性チェックは、受信が許可されているかどうかに関係なく実行できます。

受信が禁止されている場合は（URTJnCTL0.URTJnRXE = 0）、受信完了割り込み要求 INTUAJnTIR、URTJnSTR1 ステータス・ビット URTJnBSF、URTJnFE、URTJnPE は処理されず、ステータス割り込み要求信号 INTUAJnTIS は発生しません。受信データは受信 FIFO に格納されません。

受信が許可されている場合（URTJnCTL0.URTJnRXE = 1）、受信データは通常の受信モードと同様に処理されます。つまり、すべてのステータス・ビットと割り込みが処理され、データが受信 FIFO に格納されます。

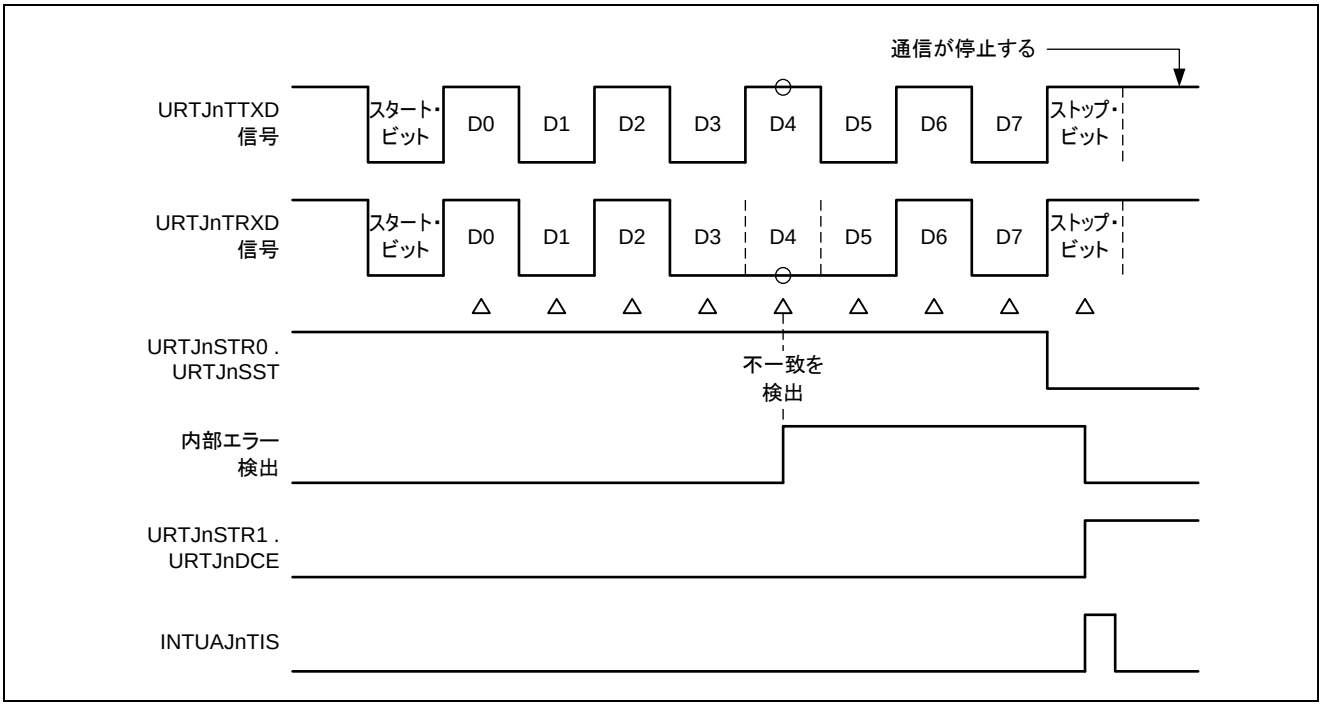


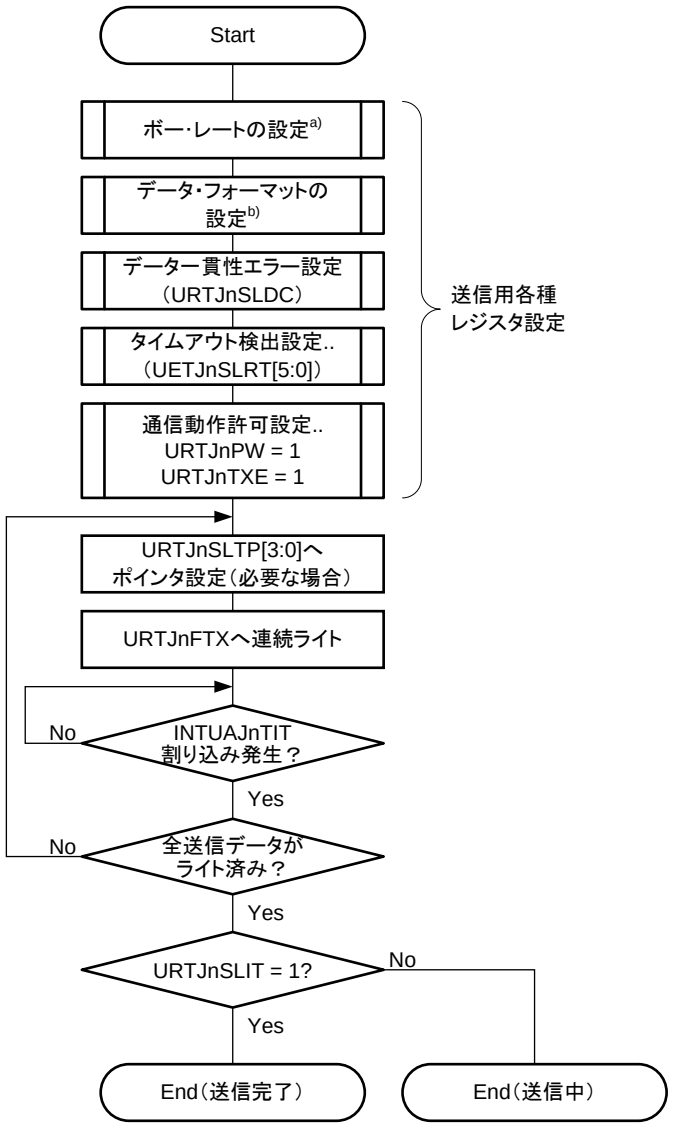
図19.11　データー貫性エラーのタイミングの例（BF の受信がアクティブでないとき、つまり URTJnSTR0.URTJnSSBR = 0 のとき）

データ一貫性エラーが検出された場合は（URTJnSTR1.URTJnDCE = 1）、データ一貫性エラー・フラグがクリアされるまで（URTJnSTC.URTJnCLDC = 1）それ以降のデータ送信が停止するか、送信が禁止されます（URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnTXE = 0）。

(4)　連続送信の手順

連続送信は送信 FIFO の格納データ数を一定の値に保つことによって行われます。

つまり、送信 FIFO レベル割り込み設定ビット URTJnSLTP[3:0]を使って、送信 FIFO 格納データ数を示す送信割り込み INTUAJnTIT が適切なタイミングで発生するように設定します。



a) URTJnPRS[2:0], URTJnBRS[11:0] ビットで設定

b) URTJnCLG, URTJnSLP[1,0], URTJnTDL, URTJnSLG, URTJnSLD, URTJnSLIT

図19.12　データ送信のフロー

19.6.6　UARTJn 受信

(1)　受信 FIFO

受信 FIFO は、受信した 8 ビット・データおよびパリティ・エラーとフレーミング・エラーを示す 2 つのエラー・フラグの格納に使われる 10 ビット×16 段から構成されます。

受信 FIFO は URTJnFRX レジスタを読み出すことによって空になります。

- 受信 FIFO のステータス
  受信 FIFO の格納データ数を確認するためのさまざまなステータス情報を取得できます。
  - 受信 FIFO 内の受信ワード数は、受信 FIFO ポインタ URTJnFSTR0.UARTnSSRW[4:0]を読み出すことによって確認できます。
  - URTJnFSTR1.UARTnSSRF（= 1：フル）は FIFO フル／非フル・ステータスを示します。
  - URTJnSTR1.URTJnSSRE（= 1：エンプティ）は FIFO エンプティ／非エンプティ・ステータスを示します。

- ポインタの変化
  受信するたびに受信 FIFO 内のデータ・ワード数が増え、URTJnFSTR0.URTJnSSRW[4:0] が増えます。また、URTJnFRX からデータを読み出すたびに受信 FIFO 内のデータ・ワード数が減り、それに従って URTJnFSTR0.URTJnSSRW[4:0]が減ります。

- オーバラン・エラー
  受信 FIFO がフルのときに（URTJnFSTR1.URTJnSSRF = 1）新しいデータが受信されると、受信データは破棄され、オーバラン・エラーが検出され（URTJnFSTR1.URTJnFROVE = 1）、ステータス割り込み INTUAJnTIS がアサートされます。

(2)　受信の開始と停止

- 受信の開始
  以下の手順に従って受信許可ステータスを設定します。
  - UARTJn 制御レジスタ 2 の URTJnCTL2 でボー・レートを指定します。
  - UARTJn 制御レジスタ 1 の URTJnCTL1 で、受信パリティ、データ・キャラクタ長、ストップ・ビット長、受信データ順、出力ロジック・レベルを指定します。
  - URTJnCTL0.URTJnPW = URTJnCTL0.URTJnRXE = 1 に設定することによって UARTJn の動作と受信を許可します。

  URTJnTRXD 端子の入力レベルのサンプリングが行われ、立ち下がりエッジが検出されると、URTJnTRXD 入力のデータ・サンプリングが開始されます。
  立ち下がりエッジの検出から半ビット分の時間が経過したあと、URTJnTRXD 端子がロー・レベルになると、スタート・ビットが認識されます（以下の図を参照してください）。スタート・ビットが認識されると、受信動作が開始され、設定されているボー・レートに従ってシリアル・データが受信シフト・レジスタに格納されます。ストップ・ビットの受信によって受信割り込み INTUAJnTIR がアサートされると、受信シフト・レジスタに格納されたデータが受信 FIFO に書き込まれます。

- 受信の停止
  URTJnCTL0.URTJnPW または URTJnCTL0.URTJnRXE が 0 に設定されると、受信処理中であっても、ただちに受信動作が停止します。

- 受信フォーマットの変更
  受信データ順、パリティ、データ・キャラクタ長、ストップ・ビット長を変更する場合は、パワー・ビットをクリアするか（URTJnCTL0.URTJnPW = 0）、送信許可ビットと受信許可ビットの両方をクリアしたあと（URTJnTXE = 0、URTJnRXE = 0）、設定を変更します。

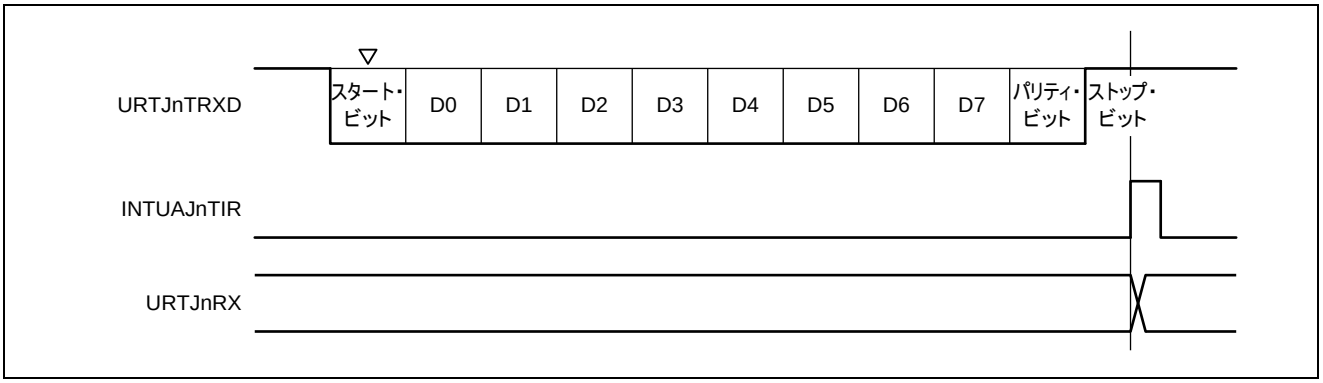
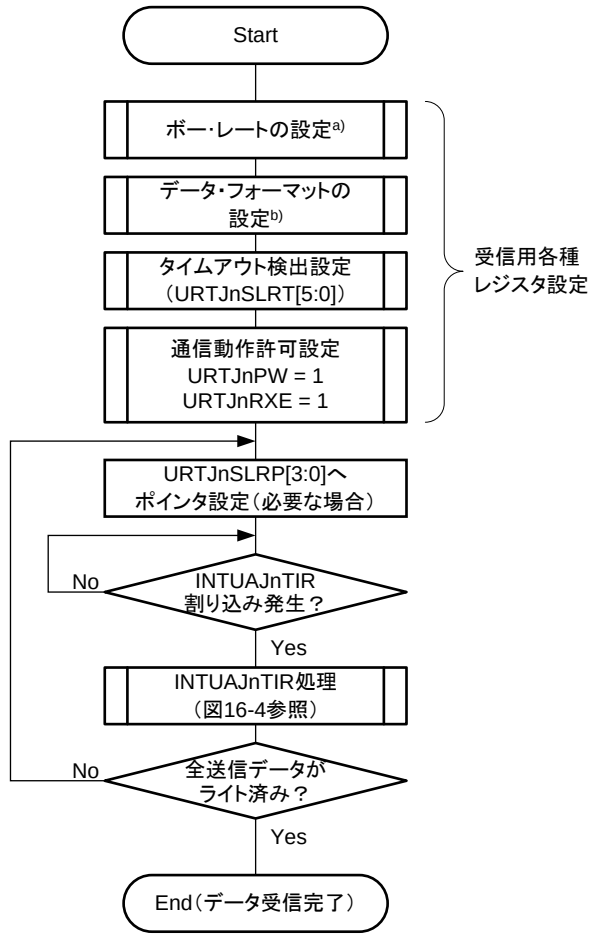


図19.13　UARTJn の受信

注意 受信中は、ストップ・ビットが 1 つしかないという想定のもとに動作が実行されます。したがって、2 番目のストップ・ビットは無視されます。

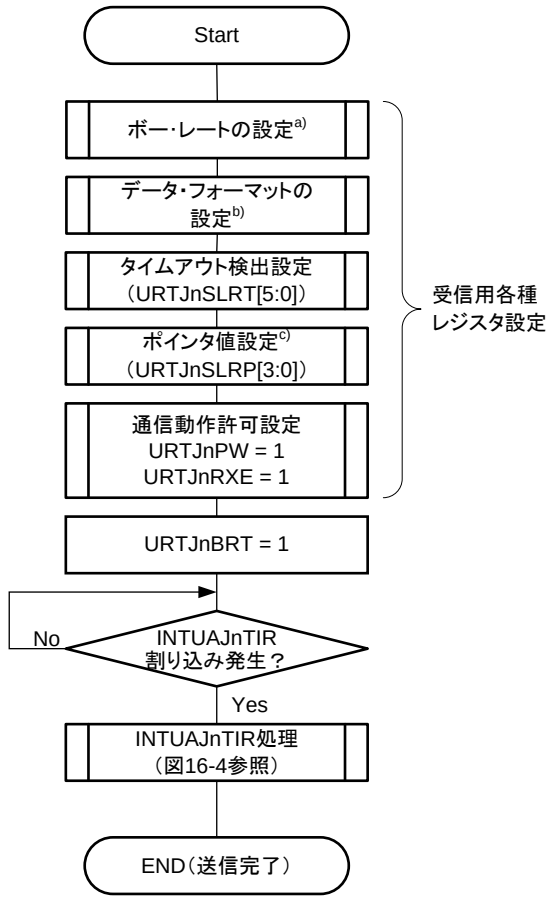
備考 1. URTJnTRXD 端子に常にロー・レベルが入力されていると、その入力はスタート・ビットと見なされません。
2. 連続受信では、最初の受信ビットでストップ・ビットが検出された直後（受信割り込みが発生したあと）に、次のスタート・ビットが検出されることがあります。



a) URTJnPRS[2:0], URTJnBRS[11:0] ビットで設定

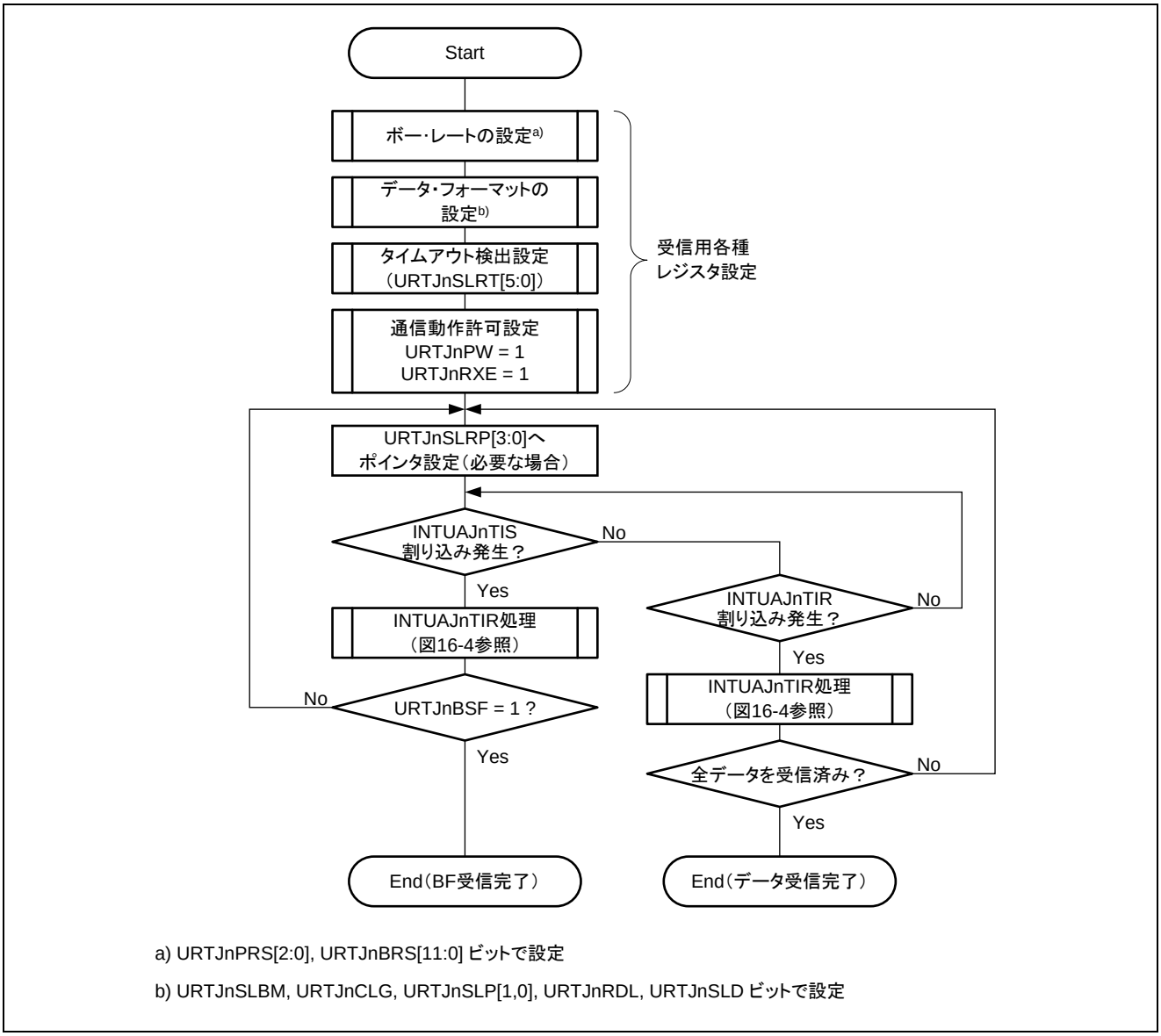
b) URTJnSLBM, URTJnCLG, URTJnSLP[1,0], URTJnRDL, URTJnSLD ビットで設定

図19.14　データ受信のフロー（URTJnSLBM = 0, URTJnSSBR = 0）



a) URTJnPRS[2:0], URTJnBRS[11:0] ビットで設定
b) URTJnSLBM, URTJnCLG, URTJnSLP[1,0], URTJnRDL, URTJnSLD ビットで設定
c) BF 受信後にデータを受信する場合には、設定してください

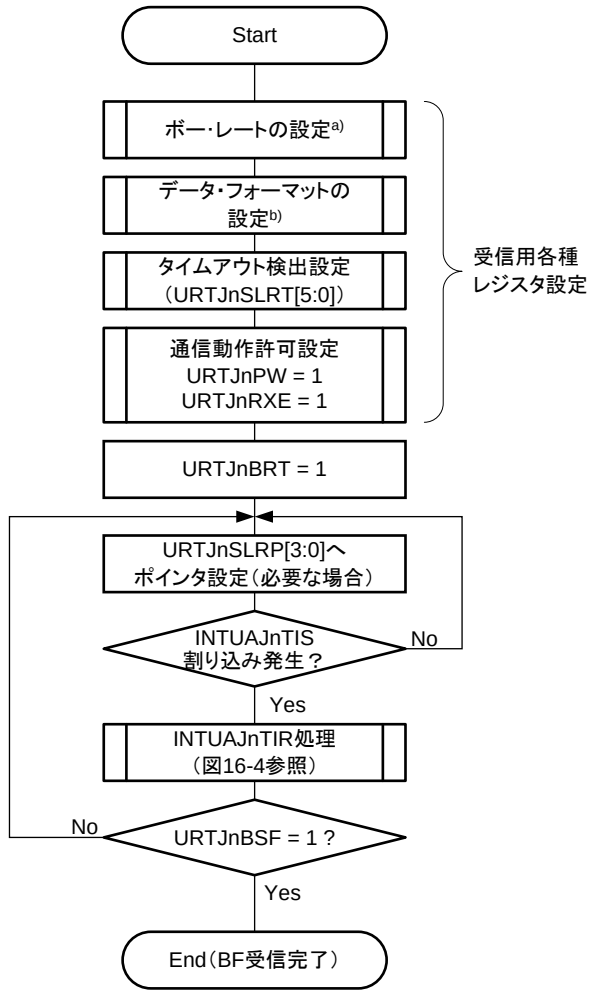
図19.15　データ受信のフロー（URTJnSLBM = 0, URTJnSSBR = 1）



a) URTJnPRS[2:0], URTJnBRS[11:0] ビットで設定

b) URTJnSLBM, URTJnCLG, URTJnSLP[1,0], URTJnRDL, URTJnSLD ビットで設定

図19.16　データ受信のフロー（URTJnSLBM = 1, URTJnSSBR = 0）



a) URTJnPRS[2:0], URTJnBRS[11:0] ビットで設定

b) URTJnSLBM, URTJnCLG, URTJnSLP[1,0], URTJnRDL, URTJnSLD ビットで設定

c) BF 受信後にデータを受信する場合には，設定してください。

図19.17　データ受信のフロー（URTJnSLBM = 1, URTJnSSBR = 1）

19.6.7　受信エラー

受信動作中のエラーには以下の 4 種類があります。

- パリティ・エラー
- フレーミング・エラー
- オーバラン・エラー
- タイムアウト・エラー

エラーの原因を特定するためのさまざまなデータ受信結果エラー・フラグが用意されており、エラーが発生するとステータス割り込み要求信号 INTUAJnTIS が発生します。

表19.6　受信エラーの原因と指標

受信エラー	エラー・フラグ	原因
パリティ・エラー	最初のパリティ・エラーを検出したときに URTJnSTR1.URTJnPE = 1 受信 FIFO 内の各データについて URTJnFRX.URTJnPE = 1	受信パリティ・ビットが設定と一致しない
フレーミング・エラー	最初のフレーミング・エラーを検出したときに URTJnSTR1.URTJnFE = 1 受信 FIFO 内の各データについて URTJnFRX.URTJnFE = 1	ストップ・ビットが検出されない
オーバラン・エラー	URTJnFSTR1.URTJnROVE = 1	受信 FIFO がフルのときに次のデータの受信が完了した
タイムアウト・エラー	URTJnFSTR1.URTJnTMOE = 1	一定の時間内に受信 FIFO にアクセスできない

(1)　オーバラン・エラー

受信 FIFO がフルのときにデータを受信すると、オーバラン・エラー（URTJnFSTR1.URTJnROVE = 1）が発生します。その場合、受信データは受信 FIFO に転送されず、破棄されます。

(2)　パリティ・エラーとフレーミング・エラー

受信中にパリティ・エラーまたはフレーミング・エラーが発生すると、以下の動作が実行されます。

- 関連するエラー・ビットがセットされます。
  - パリティ・エラーの場合：URTJnSTR1.URTJnPE = 1
  - フレーミング・エラーの場合：URTJnSTR1.URTJnFE = 1
- 最初のストップ・ビットの受信位置まで受信が継続します。
- 受信データとエラー・フラグ URTJnFRX.URTJnPE または URTJnFRX.URTJnFE が受信 FIFO に転送されます。
- ステータス割り込み INTUAJnTIS が発生します。
- 受信 FIFO の格納データ数が URTJnFSTR0.URTJnSSRW[4:0]であらかじめ定義されたレベルに達すると、受信割り込み INTUAJnTIR が発生します。

備考 最初のパリティ・エラーまたはフレーミング・エラーが検出されると、エラー・フラグ URTJnFRX.URTJnPE または URTJnFRX.URTJnFE がセットされ、URTJnSTC.URTJnCLP = 1 または URTJnSTC.URTJnCLF = 1 によってフラグがクリアされるまで、1 にセットされたままになります。

(3) タイムアウト・エラー

タイムアウト・エラーは以下の場合に発生します。

- 受信 FIFO が空でない場合
- 一定の時間にわたって受信データが受信 FIFO に格納されていないか、受信 FIFO からデータが読み出されていない場合

タイムアウトの時間は URTJnFCTL1.URTJnSLRT[5:0]を設定することによってプログラミングすることができます。ボー・レート・クロック BRCLK の周期の倍数でタイムアウトの時間を指定します。

タイムアウト・エラーが発生すると、フラグ URTJnFSTR1.URTJnTMOE が 1 にセットされ、ステータス割り込み要求 INTUAJnTIS が発生します。

19.6.8 パリティの種類と動作

注意 LIN 機能を使用するときは、URTJnCTL1.URTJnSLP[1:0]を 00B に固定してください。

パリティ・ビットは通信データ内のビット・エラーを検出するために使用されます。通常は、送信側と受信側で同じパリティが使用されます。

偶数パリティと奇数パリティの場合は、奇数カウント・ビット・エラーを検出することができます。0 パリティとパリティなしの場合は、エラーを検出できません。

(1) 偶数パリティ

- 送信中：
  パリティ・ビットを含めた送信データ中の、値が 1 のビット数が偶数個になるように制御します。パリティ・ビットの値は次のようになります。
  - 送信データ中に、値が 1 のビット数が奇数個：1
  - 送信データ中に、値が 1 のビット数が偶数個：0
- 受信中：
  パリティ・ビットを含めた受信データ中の、値が 1 のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(2) 奇数パリティ

- 偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が 1 のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。
  - 送信データ中に、値が 1 のビット数が奇数個：0
  - 送信データ中に、値が 1 のビット数が偶数個：1
- 受信中：
  パリティ・ビットを含めた受信データ中の、値が 1 のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(3) 0 パリティ

送信中、送信データに関係なくパリティ・ビットを常に 0 にします。

受信時にはパリティ・ビットのチェックを行いません。したがって、パリティ・ビットが 0 でも 1 でもパリティ・エラーを発生しません。

(4) パリティなし

送信データにパリティ・ビットを追加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

19.6.9 デジタル受信データ・ノイズ・フィルタ

受信データ信号入力 URTJnTRXD は、ノイズやヒゲを除去するデジタル・ノイズ・フィルタを備えています。このフィルタは PCLK（HCLK）を使用して URTJnTRXD 端子信号をサンプリングします。

詳しくは、25.12 ノイズ除去回路のノイズ・フィルタの章を参照ください。

19.7　ボー・レート・ジェネレータ

送受信用のボー・レート・クロック BRCLK は、プリスケーラとボー・レート・ジェネレータを使用して P バス・クロック PCLK から生成されます（次の図参照）。

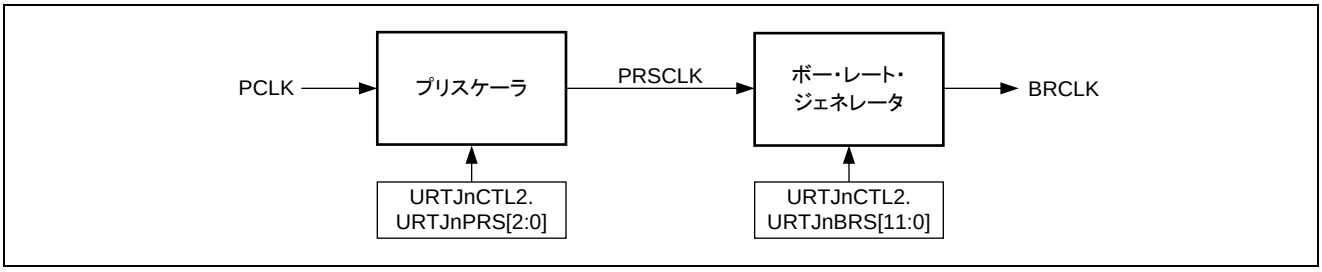


図19.18　ボー・レート・ジェネレータの設定

プリスケーラ出力クロック PRSCLK は PCLK を分子とする分数であり、分母は値 URTJnCTL2.URTJnPRS[2:0] によって設定されます。

$$PRSCLK = PCLK / 2^{URTJnPRS[2:0]}$$

ボー・レート・ジェネレータは、URTJnCTL2.URTJnBRS[11:0]の設定によって決定される値で PRSCLK をさらに分周します。

ボー・レート・ジェネレータは、データ・フレーム用のボー・レートと BF 受信用のボー・レートを次の表のように区別します。BF 受信クロックは、ボー・レート・クロック BRCLK の 2 倍です。

表19.7　ボー・レート・ジェネレータ・クロック出力

URTJnCTL2.URTJnBRS[11:0]	送受信用 BRCLK	BF 受信クロック
000H	PRSCLK/（2 x 4）	PRSCLK/4
001H		
002H		
003H		
004H		
005H	PRSCLK/（2 x5）	PRSCLK/5
…	PRSCLK/（2 x URTJnBRS[11:0]）	PRSCLK/URTJnBRS[11:0]
FFEH	PRSCLK/（2 x4094）	PRSCLK/4094
FFFH	PRSCLK/（2 x4095）	PRSCLK/4095

ボーレートのクロック設定は、下記の式で算出します。レジスタの詳細は「19.4(3) UARTJn制御レジスタ2（URTJnCTL2）」を参照してください。

$$\text{ボーレート値} = \frac{\text{PCLK周波数}}{2\times(\text{URTJnCTL2.URTJnBRS11}-0)\times 2^{\text{URTJnCTL2.URTJnPRS2}-0}} = \text{BRT[bps]}$$

$$\text{ボーレート誤差} = \left\{\frac{\text{ボーレート値(BRT)}}{\text{目標ボーレート値(目標BRT)}}\text{-1}\right\}\times 100 = \text{ERR[\%]}$$

備考. 2.94Mbps に設定した場合のレジスタ設定は以下になります。(10 進表記)
URTJnCTL2.URTJnBRS = 2125
URTJnCTL2.URTJnRRS = 3

また、R-IN32M4 の送信側とボーレート許容誤差の関係を下表に示します。

表19.8　　ボーレート許容誤差

URTJnCTL2.URTJnBRS[11:0] (10 進表記)注	最大ボーレート	最小ボーレート
4	+ 2.32%	- 2.43%
8	+ 3.52%	- 3.61%
16	+ 4.14%	- 4.19%
32	+ 4.45%	- 4.47%
64	+ 4.60%	- 4.62%
128	+ 4.68%	- 4.69%
256	+ 4.72%	- 4.72%
512	+ 4.74%	- 4.74%
1024	+ 4.75%	- 4.75%
2048	+ 4.75%	- 4.75%
4095	+ 4.75%	- 4.75%

注. URTJnCTL2.URTJnBRS[11:0] = ”0-3”の場合は、”4”の箇所を参照してください。

備考. URTJnCTL2.URTJnBRS[11:0] = ”2125”に設定した場合、±4.75%となります。

表19.9　ボー・レート・ジェネレータ設定例（PCLK = 100MHz 時）

ボー・レート（bps）	URTJnPRS	URTJnBRS	ERR（%）
300	6	2604	0.01
600	5	2604	0.01
1200	4	2604	0.01
2400	3	2604	0.01
4800	2	2604	0.01
9600	1	2604	0.01
19200	0	2604	0.01
31250	0	1600	0.01
38400	0	1302	0.01
76800	0	651	0.01
115200	0	434	0.01
153600	0	326	-0.15
312500	0	160	0.00
1000000	0	50	0.00
2000000	0	25	0.00
2500000	0	20	0.00
3125000	0	16	0.00
5000000	0	10	0.00
6250000	0	8	0.00
10000000	0	5	0.00
12500000	0	4	0.00

20. クロック同期シリアル・インタフェース H（CSIH）

本章では、クロック同期シリアル・インタフェース（CSIH）について説明します。

20.1 CSIH の特徴

○ チャネル数：　この製品は 2 チャネルのクロック同期シリアル・インタフェース H（CSIHn）を搭載しています。

表20.1　CSIH のチャネル

クロック同期シリアル・インタフェース H	
チャネル数	2
名称	CSIH0, CSIH1

○ n の意味：　この章では、クロック同期シリアル・インタフェース H の各チャネルを「n」（n = 0, 1）で識別します。たとえば、CSIHn 制御レジスタ 0 は CSIHnCTL0 と記述します。

○ x の意味：　クロック同期シリアル・インタフェース H は 2 個のチップ・セレクト信号を備えています。この章では、各チップ・セレクト信号を「x」（x = 0, 1）で識別します。たとえば、特定のチップ・セレクト信号は CSx と記述します。CSIH の各チャネルのチップ・セレクト信号の数を以下の表に示します。

表20.2　CSIH のチップ・セレクト数

CSIHn のチャネル	チップ・セレクト信号数
CSIH0	CS0, CS1
CSIH1	CS0, CS1

○ 最大転送速度（ボー・レート）：

クロック同期シリアル・インタフェース H は以下の最大転送速度（ボー・レート）での通信が可能です。

表20.3　CSIHn の最大転送速度（ボー・レート）

モード	最大転送速度（ボー・レート）
マスタ・モード	25.0Mbps（Max.）
スレーブ・モード	16.6Mbps（Max.）

○ 割り込みと周辺機能： CSIH の下記割り込み要求は、割り込み処理や Hardware ISR 以外にも、DMA 転送（汎用 DMAC、リアルタイムポート DMAC）、タイマ・キャプチャ・トリガ（TAUJ2、TAUD）、リアルタイム・ポート（RP00-RP37）の更新に利用可能です。

表20.4　CSIHn の割り込みと周辺機能への要求

CSIHn の割り込み信号	機能	接続先
CSIH0		
CSIHTIC	通信ステータス割り込み	・割り込みコントローラ INTCSIH0IC ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
CSIHTIR	受信ステータス割り込み	・割り込みコントローラ INTCSIH0IR ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
CSIHTIRE	通信エラー割り込み	・割り込みコントローラ INTCSIH0IRE
CSIHTIJC	ジョブ完了割り込み	・割り込みコントローラ INTCSIH0IJC ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
CSIH1		
CSIHTIC	通信ステータス割り込み	・割り込みコントローラ INTCSIH1IC ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
CSIHTIR	受信ステータス割り込み	・割り込みコントローラ INTCSIH1IR ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
CSIHTIRE	通信エラー割り込み	・割り込みコントローラ INTCSIH1IRE
CSIHTIJC	ジョブ完了割り込み	・割り込みコントローラ INTCSIH1IJC ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）

○ 入出力信号　　クロック同期シリアル･インタフェース H の入出力信号を以下の表に示します。

表20.5　CSIHn の入出力信号

CSIHn の信号	機能	接続先
CSIH0		
CSIHTSCK	シリアル・クロック信号	ポート 45　CSISCK0
CSIHTSI	シリアル・データ入力信号	ポート 46　CSISI0
CSIHTSO	シリアル・データ出力信号	ポート 47　CSISO0
CSIHTCSS1	チップ・セレクト信号 1	ポート 42　CSICS00
CSIHTCSS0	チップ・セレクト信号 0	ポート 43　CSICS01
CSIH1		
CSIHTSCK	シリアル・クロック信号	ポート 35　CSISCK1
CSIHTSI	シリアル・データ入力信号	ポート 36　CSISI1
CSIHTSO	シリアル・データ出力信号	ポート 37　CSISO1
CSIHTCSS1	チップ・セレクト信号 1	ポート 70　CSICS10
CSIHTCSS0	チップ・セレクト信号 0	ポート 71　CSICS11

20.2 機能概要

○ 3 線式シリアル同期データ転送
○ マスタ・モードまたはスレーブ・モードを選択可能
○ 設定可能な 2 個のチップ・セレクト出力信号を備えているため、複数スレーブ構成と RCB（Recessive Configuration for Broadcasting）が可能
○ ボー・レート・ジェネレータを内蔵
○ ボー・レートが調整可能。スレーブ・モードでは入力クロックによってボー・レートを決定
○ 最大転送速度：
  ➢マスタ・モード：PCLK/4
  ➢スレーブ・モード：PCLK/6

注意 製品によって実際に使用可能な最大ボー・レートの制限があります。各製品の最大ボー・レートを越えないようにボー・レート設定を行ってください。

○ クロックとデータの位相を選択可能
○ MSB ファーストまたは LSB ファーストでのデータ転送を選択可能
○ 7 ビットから 16 ビットまでの転送データ長を 1 ビット単位で選択可能
○ 16 ビットを上回るデータを転送するための EDL（Extended Data Length：拡張データ長）機能
○ 以下の 3 つの転送モードを選択可能：
  ➢送信モード
  ➢受信モード
  ➢送受信モード

○ エラー検出（データ一貫性チェック、パリティ、タイムアウト、オーバフロー、オーバラン）
○ ジョブ概念のフル・サポート
○ 128 ワードの I/O バッファ・メモリ
○ メモリ・モードを選択可能（FIFO、デュアル・バッファ、送信オンリー・バッファ、ダイレクト・アクセス）
○ 4 個の割り込み要求信号（CSIHnTIC, CSIHnTIR, CSIHnTIRE, CSIHnTIJC）
○ 自己テスト用の LBM（ループ・バック・モード）機能

以下のブロック図は CSIH の主要なコンポーネントを示しています。

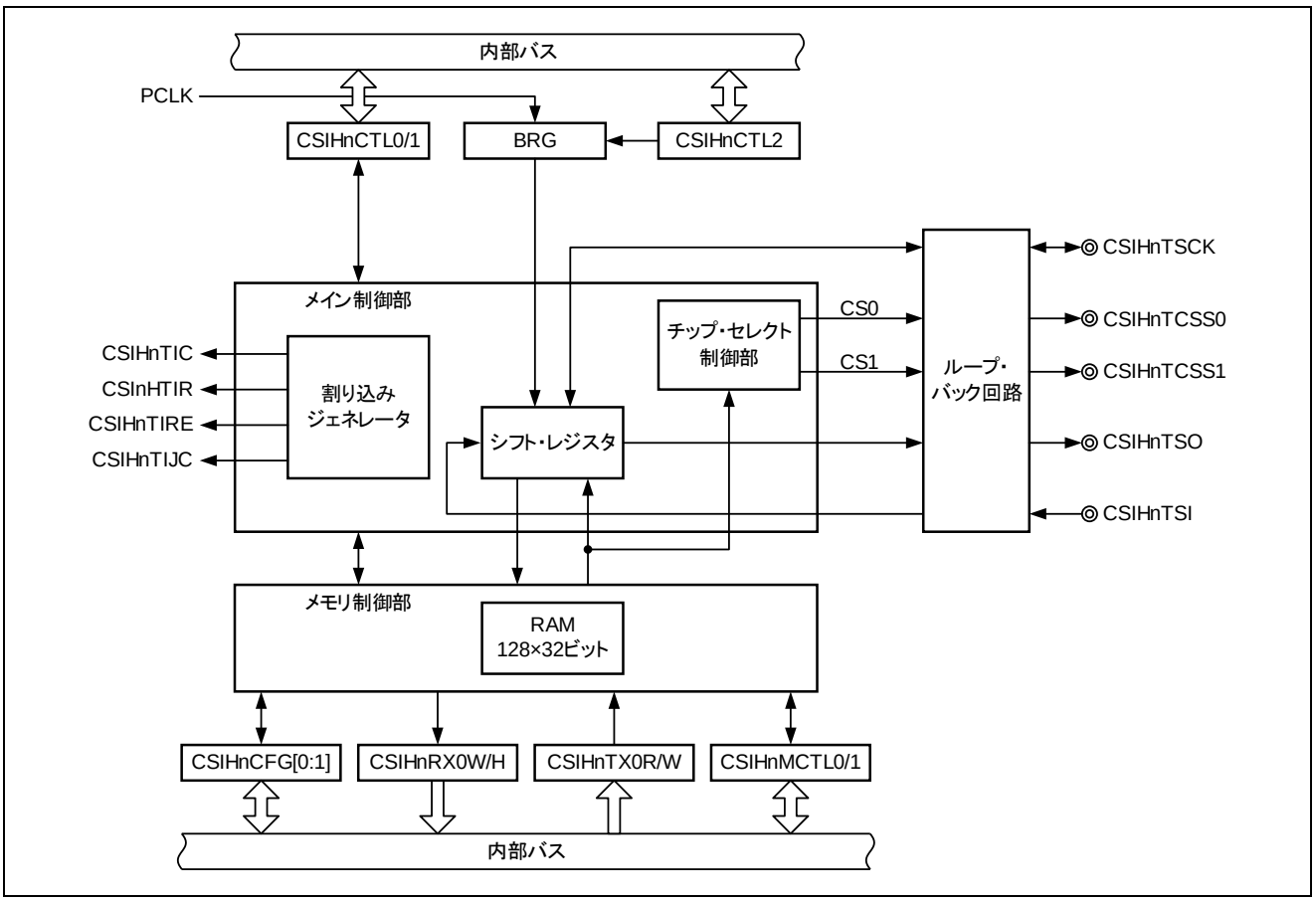


図20.1　　CSIH のブロック図

マスタ・モードでは、シリアル・クロック CSIHnTSCK が内蔵のボー・レート・ジェネレータ（BRG）によって発生します。スレーブ・モードでは、外部ソースからシリアル・クロックが供給されます。

内蔵のメモリは FIFO、デュアル・バッファ（別々の送信バッファと受信バッファ）または送信オンリー・バッファとして設定できます。メモリをバイパスし、バッファリングなしでデータを送信または受信することもできます。

ループ・バック回路は CSIH をポートから完全に切り離し、内部の自己テストに対応します。

備考 この章では、以下のモードについて説明します。

- **「動作モード」はマスタ・モードとスレーブ・モードに分かれています。マスタのみが複数のスレーブを制御し、複数のスレーブと通信することができます（詳細については、20.4.1 動作モード（マスタ／スレーブ））を参照してください）。**
- **「ジョブ・モード」は Autosar ジョブ概念に関連しています（詳細については、20.4.5「ジョブ概念」を参照してください）。**
- **「メモリ・モード」では、関連付けられたバッファ・メモリのさまざまな設定に対応します（詳細については、20.4.7「CSIHのバッファ・メモリ」を参照してください）。**
- **「データ転送モード」では、通信のモードを指定します。送信モード、受信モード、送受信モードがあります（詳細については、20.4.8「データ転送モード」を参照してください）。**

20.3 CSIH 制御レジスタ

CSIHn は、以下のレジスタによって制御され、操作されます。

表20.6　CSIH0 レジスタの概要

レジスタ名	略号	アドレス
制御レジスタ 0	CSIH0CTL0	4000 0100H
制御レジスタ 1	CSIH0CTL1	4000 0110H
制御レジスタ 2	CSIH0CTL2	4000 0114H
ステータス・レジスタ 0	CSIH0STR0	4000 0104H
ステータス・クリア・レジスタ 0	CSIH0STCR0	4000 0108H
メモリ制御レジスタ 0	CSIH0MCTL0	4000 01C0H
メモリ制御レジスタ 1	CSIH0MCTL1	4000 0180H
メモリ制御レジスタ 2	CSIH0MCTL2	4000 0184H
コンフィギュレーション・レジスタ 0	CSIH0CFG0	4000 01C4H
コンフィギュレーション・レジスタ 1	CSIH0CFG1	4000 01C8H
ワード・アクセス用送信データ・レジスタ 0	CSIH0TX0W	4000 0188H
ハーフ・ワード・アクセス用送信データ・レジスタ 0	CSIH0TX0H	4000 018CH
ワード・アクセス用受信データ・レジスタ 0	CSIH0RX0W	4000 0190H
ハーフ・ワード・アクセス用受信データ・レジスタ 0	CSIH0RX0H	4000 0194H
メモリ・リード／ライト・ポインタ・レジスタ 0	CSIH0MRWP0	4000 0198H

表20.7　CSIH1 レジスタの概要

レジスタ名	略号	アドレス
制御レジスタ 0	CSIH1CTL0	4000 0200H
制御レジスタ 1	CSIH1CTL1	4000 0210H
制御レジスタ 2	CSIH1CTL2	4000 0214H
ステータス・レジスタ 0	CSIH1STR0	4000 0204H
ステータス・クリア・レジスタ 0	CSIH1STCR0	4000 0208H
メモリ制御レジスタ 0	CSIH1MCTL0	4000 02C0H
メモリ制御レジスタ 1	CSIH1MCTL1	4000 0280H
メモリ制御レジスタ 2	CSIH1MCTL2	4000 0284H
コンフィギュレーション・レジスタ 0	CSIH1CFG0	4000 02C4H
コンフィギュレーション・レジスタ 1	CSIH1CFG1	4000 02C8H
ワード・アクセス用送信データ・レジスタ 0	CSIH1TX0W	4000 0288H
ハーフ・ワード・アクセス用送信データ・レジスタ 0	CSIH1TX0H	4000 028CH
ワード・アクセス用受信データ・レジスタ 0	CSIH1RX0W	4000 0290H
ハーフ・ワード・アクセス用受信データ・レジスタ 0	CSIH1RX0H	4000 0294H
メモリ・リード／ライト・ポインタ・レジスタ 0	CSIH1MRWP0	4000 0298H

20.3.1　CSIH レジスタの詳細

(1)　CSIH 制御レジスタ 0（CSIHnCTL0）

本レジスタは、CSIHn を制御するレジスタです。おもに動作クロック、送受信の許可／禁止、送受信に割り当てられるメモリの有効／無効を設定します。

また、現在のジョブの終了時に通信を強制的に停止します。

- アクセス　　32/1 ビット単位でリード／ライト可能です。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CSIHnCTL0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CSIHnPWR	CSIHnTXE	CSIHnRXE	0	0	0	CSIHnJOBE	CSIHnMBS	4000 0100H +100H × n
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	0	0	0	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
31-8	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
7	CSIHnPWR	動作クロックを制御します。 0：動作クロックを停止させます。 1：動作クロックを供給します。 CSIHnPWR をクリア（0）すると、内部回路がリセットされ、動作が停止し、CSIH がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中に CSIHnPWR がクリア（0）されると、実行中の通信はただちに中止されます。その場合は、通信を最初からやり直す必要があります。
6	CSIHnTXE	送信を許可または禁止します。 0：送信を禁止します。 1：送信を許可します。
5	CSIHnRXE	受信を許可または禁止します。 0：受信を禁止します。 1：受信を許可します。
4-2	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
1	CSIHnJOBE	現在のジョブの終了時に通信を停止します（CSIHnTX0W.CSIHnEOJ = 1（ジョブ終了）時に送信バッファにデータをライトされると通信が終了になります）。 0：通信停止を要求しません。 1：通信を停止します。 このビットを使って実行中のジョブを中止することができます。このビットは自動的にクリア（0）されます。このビットをセット（1）しても、リード値は常に 0 です。 FIFO モードでは、CSIHnSTCR0.CSIHnPCT = 1 に設定することによってポインタをクリアしたあと、次の通信を開始する必要があります。 注意　このビットは、CSIHnCTL0.CSIHnPWR = 1, CSIHnCTL1.CSIHnJE = 1 で、転送動作中のみ有効です。また、転送終了時に自動的にクリア(0)されます。このビットはスレーブ・モードでは設定禁止です。このビットは常に 0 がリードされます。

備考 n = 0, 1

（2/2）

ビット位置	ビット名	意　味
0	CSIHnMBS	送信データまたは受信データあるいはその両方のメモリをバイパスします。 0：メモリ・モード 送信データまたは受信データあるいはその両方に CSIH のメモリを使用します。 1：ダイレクト・アクセス・モード CSIH のメモリをバイパスします。 注意　スレーブ・モード時は、CSIHnCTL0.CSIHnPWR =0→1 と同じタイミングで再度ライトしてください。

備考 n = 0, 1

注意 1. CSIHnPWR = 0 のときは、CSIHnTXE, CSIHnRXE, CSIHnJOBE,CSIHnMBS ビットのいずれも変更しないでください。ただし CSIHnPWR ビットを 0 から 1 に変更するのと同時に、CSIHnTXE, CSIHnRXE, CSIHnMBS ビットを変更することはできます。

2. データ送信が保留中または進行中、つまり CSIHnSTR0.CSIHnTSF = 1 のときに、CSIHnTXE または CSIHnRXE または CSIHnMBS を変更しないでください。

(2)　CSIH 制御レジスタ 1（CSIHnCTL1）

本レジスタは、CSIHn を制御するレジスタです。おもにクロックの位相、割り込みのタイミングと割り込み遅延モードの指定、拡張データ長制御、データ一貫性チェック、ループ・バック・モード、ジョブ・モードの有効／無効にする機能を持っています。また、各チップ・セレクト信号のアクティブ出力レベルと、最後のデータを転送したあとのチップ・セレクト信号の動作の選択も行います。

- アクセス　　32 ビット単位でリード／ライト可能です。

注意 本レジスタの内容は、CSIHnCTL0.CSIHnPWR = 0 のときにのみ変更することができます。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CSIHnCTL1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CSIHnCKR	CSIHnSLIT	0	0	0	0	0	0	CSIHnCSL[1:0]		CSIHnEDLE	CSIHnJE	CSIHnDCS	CSIHnCSRI	CSIHnLBM	CSIHnSIT	0	0	4000 0110H +100H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	0	0	0	0	0	0	R/W		R/W	R/W	R/W	R/W	R/W	R/W	0	0	初期値 0000 0000H

ビット位置	ビット名	意　味
31-18	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
17	CSIHnCKR	CSIHnTSCK のクロック位相を選択します。 0：CSIHnTSCK のデフォルト・レベルはハイ・レベル 1：CSIHnTSCK のデフォルト・レベルはロー・レベル 注意　チップ・セレクト機能を使用せずこのビットを使用する場合は、CSIHnCFGx.CSIHnCKPx = 0 に設定してください。
16	CSIHnSLIT	割り込み CSIHnTIC のタイミングを選択します。 0：通常の割り込みのタイミング（転送後に割り込みが発生します）。 1：CSIHnTX0W, CSIHnTX0H レジスタの内容がシフト・レジスタに転送されると、ただちに割り込みが発生します（ダイレクト・アクセス・モードでのみ機能します）。 詳細については、20.4.12(1)「CSIHnTIC（通信割り込み）」を参照してください。
15-10	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
9-8	CSIHnCSL[1:0]	チップ・セレクト信号 x（CSIHnTCSSx）のアクティブ出力レベルを選択します（x = 0, 1）。 0：チップ・セレクト信号をアクティブ・ローにします。 1：チップ・セレクト信号をアクティブ・ハイにします。 詳細については、20.4.3「チップ・セレクト（CS）機能」を参照してください。
7	CSIHnEDLE	拡張データ長（EDL）モードを有効または無効にします。 0：拡張データ長モードを無効にします。 1：拡張データ長モードを有効にします。 詳細については、20.4.9(2)「16ビットを上回るデータ長」を参照してください。

備考 n = 0, 1

（2/2）

ビット位置	ビット名	意　味
6	CSIHnJE	ジョブ・モードを有効または無効にします。 0：ジョブ・モードを無効にします。 1：ジョブ・モードを有効にします。 詳細については、20.4.5「ジョブ概念」を参照してください。 CSIHnCTL0.CSIHnJOBE, CSIHnTX0W.CSIHnEOJ, CSIHnTX0W. CSIHnCIRE ビットはCSIHnCTL1.CSIHnJE = 1 のときにのみ有効です。 このビットはスレーブ・モードでは設定禁止です。
5	CSIHnDCS	データー貫性チェックを有効または無効にします。 0：データー貫性チェックを無効にします。 1：データー貫性チェックを有効にします。 詳細については、20.4.13(1)「データー貫性チェック」を参照してください。
4	CSIHnCSRI	最後のデータが転送されたあとのチップ・セレクト信号の動作を定義します。 0：チップ・セレクト信号がアクティブ・レベルを保持します。 1：チップ・セレクト信号がインアクティブ・レベルに戻ります。 最後のデータの判定はダイレクト・アクセス・モード／FIFO モード時の割り込みタイミングで行います。CSIHnCTL1.CSIHｎSLIT = 1 のときはダイレクト・アクセス・モードです。
3	CSIHnLBM	ループ・バック・モード（LBM）を制御します。 0：ループ・バック・モードをインアクティブにします。 1：ループ・バック・モードをアクティブにします。 詳細については、20.4.14「ループ・バック・モード」を参照してください。 このビットはスレーブ・モードでは設定禁止です。
2	CSIHnSIT	割り込み遅延モードを選択します。 0：遅延を生成しません。 1：すべての割り込みについて半クロック周期の遅延を生成します。 このビットはマスタ・モードでのみ有効になります。スレーブ・モードでは遅延は生成されません。詳細については、20.4.12(5)「全割り込み遅延」を参照してください。
1, 0	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）

備考 n = 0, 1

(3) CSIH 制御レジスタ 2（CSIHnCTL2）

本レジスタは、CSIHn を制御するレジスタです。動作モード、プリスケーラ選択し、ボー・レートを指定します。詳細については、20.4.6「シリアル・クロックの選択」を参照してください。

- アクセス　　32 ビット単位でリード／ライト可能です。

注意 本レジスタの内容は、CSIHnCTL0.CSIHnPWR = 0 のときにのみ変更することができます。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CSIHnCTL2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CSIHnPRS[2:0]			0	CSIHnBRS[11:0]												4000 0114H +100H × n
																																	初期値
																																	0000 E000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W			0	R/W												

ビット位置	ビット名	意　味
31-16, 12	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15-13	CSIHnPRS[2:0]	動作モードと基本クロックの値を選択します。
11-0	CSIHnBRS[11:0]	ボー・レートを選択します。

CSIHnPRS[2:0] の設定

CSIHn PRS2	CSIHn PRS1	CSIHn PRS0	基本クロック（PRSOUT）の選択
0	0	0	PCLK（マスタ・モード）
0	0	1	PCLK/2（マスタ・モード）
0	1	0	PCLK/4（マスタ・モード）
0	1	1	PCLK/8（マスタ・モード）
1	0	0	PCLK/16（マスタ・モード）
1	0	1	PCLK/32（マスタ・モード）
1	1	0	PCLK/64（マスタ・モード）
1	1	1	CSIHnTSCK(in)経由の外部クロック（スレーブ・モード）

CSIHnBRS[11:0] の設定

CSIHnBRS[11:0]	CSIHnTBLK クロックの選択
0	BRG の停止
1	PCLK/ (2^m × 1 × 2)
2	PCLK/ (2^m × 2 × 2)
3	PCLK/ (2^m × 3 × 2)
4	PCLK/ (2^m × 4 × 2)
…	…
4095	PCLK/ (2^m × 4095 × 2)

備考 m = 0-6：CSIHnPRS[2:0]で設定した値

備考 n = 0, 1

(4) CSIH ステータス・レジスタ 0（CSIHnSTR0）

本レジスタは CSIH の状態を示します。

- アクセス　　32 ビット単位でリードのみ可能です。

（1/4）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CSIHnSTR0	CSIHnSRP[7:0]								CSIHnSPF[7:0]								CSIHnTMOE	CSIHnOFE	0	0	0	0	0	0	CSIHnTSF	0	CSIHnFLF	CSIHnEMF	CSIHnDCE	0	CSIHnPE	CSIHnOVE	4000 0104H +100H×n
																																	初期値
																																	0000 0010H
R/W	R								R								R	R	0	0	0	0	0	0	R	0	R	R	R	0	R	R	

ビット位置	ビット名	意　味
31-24	CSIHnSRP[7:0]	FIFO モードで受信データ数を示します。 CSIHnSRP[7:0] / 説明 00H :　受信データ数（0-128） 80H 上記以外　設定禁止 これらのビットは CSIHnSTCR0.CSIHnPCT によってクリアされます。 デュアル・バッファ・モード、送信オンリー・バッファ・モードでは、CSIHnMCTL2.CSIHnND[7:0]によってデータの数を管理するため、これらのビットは 00H に固定されます。ダイレクト・アクセス・モードでは、ポインタをもたないため、これらのビットは 00H に固定されます。
23-16	CSIHnSPF[7:0]	FIFO モードで未送信データの数を示します。 （CPU によってライトされたデータの数は送信データ数です） CSIHnSPF[7:0] / 説明 00H :　未送信データ・パケットの数（0-128） 80H 上記以外　設定禁止 これらのビットは CSIHnSTCR0.CSIHnPCT によってクリアされます。 デュアル・バッファ・モード、送信オンリー・バッファ・モードでは、CSIHnMCTL2.CSIHnND[7:0]によってデータの数を管理するため、これらのビットは 00H に固定されます。ダイレクト・アクセス・モードでは、ポインタをもたないため、これらのビットは 00H に固定されます。

備考 n = 0, 1

（2/4）

ビット位置	ビット名	意　味
15	CSIHnTMOE	FIFO モード時のタイムアウト・エラー・フラグ FIFO モード時のタイムアウト・エラーが検出されたかどうかを示します。 0：FIFO モード時のタイムアウト・エラーが検出されていません。 1：FIFO モード時のタイムアウト・エラーが検出されています。 詳細については、20.4.13(3)「タイムアウト・エラー」を参照してください。 このビットは CSIHnSTCR0.CSIHnTMOEC によってクリア（0）されます。 このビットは CSIHnSTCR0.CSIHnPWR=0 のときのライト・アクセスできます。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。 タイムアウト・エラーの検出によるセット（1）と CSIHnSTCR0.CSIHnTMOEC によるクリア（0）が同時に発生した場合、タイムアウト・エラーの検出によるセット（1）を優先します。
14	CSIHnOFE	FIFO モード時のオーバフロー・エラー・フラグ FIFO モード時のオーバフロー・エラーが検出されたかどうかを示します。 0：FIFO モード時のオーバフロー・エラーが検出されていません。 1：FIFO モード時のオーバフロー・エラーが検出されています。 詳細については、20.4.13(4)「オーバフロー・エラー」を参照してください。 このビットは CSIHnSTCR0.CSIHnOFEC によってクリア（0）されます。 このビットは CSIHnSTCR0.CSIHnPWR=0 のときのライト・アクセスできます。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。 CSIHnCTL0.CSIHnPWR = 0 のときに CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに 129 の送信データをライトすると、オーバフロー・エラーが発生します。 オーバフロー・エラーの検出によるセット（1）と CSIHnSTCR0.CSIHnOFEC によるクリア（0）が同時に発生した場合、オーバフロー・エラーの検出によるセット（1）を優先します。

備考 n = 0, 1

（3/4）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>7</td><td>CSIHnTSF</td><td>転送ステータス・フラグ
0：アイドル状態
1：転送中または転送の準備中
このビットがセットまたはクリアされる条件を以下に示します。
<table>
<tr><th rowspan="2">マスタ・モード</th><th colspan="2">セットされる条件</th><th rowspan="2">クリアされる条件</th></tr>
<tr><th>ダイレクト・アクセス・モード、FIFO モード</th><th>デュアル・バッファ・モード、送信オンリー・バッファ・モード</th></tr>
<tr><td>送信モード</td><td rowspan="3">送信データ・レジスタへのライト</td><td rowspan="3">CSIHnMCTL2.CSIHnBTST のセット</td><td rowspan="3">最後の CSIHnTSCK エッジから 0.5 クロック以内</td></tr>
<tr><td>送受信モード</td></tr>
<tr><td>受信モード</td></tr>
</table>
<table>
<tr><th rowspan="2">スレーブ・モード</th><th colspan="2">セットされる条件</th><th rowspan="2">クリアされる条件</th></tr>
<tr><th>ダイレクト・アクセス・モード、FIFO モード</th><th>デュアル・バッファ・モード、送信オンリー・バッファ・モード</th></tr>
<tr><td>送信モード</td><td rowspan="2">送信データ・レジスタへのライト</td><td rowspan="3">CSIHnMCTL2.CSIHnBTST のセット</td><td rowspan="3">最後の CSIHnTSCK エッジから 0.5 クロック以内</td></tr>
<tr><td>送受信モード</td></tr>
<tr><td>受信モード</td><td>CSIHnTSCK 入力タイミング</td></tr>
</table>
</td></tr>
<tr><td>5</td><td>CSIHnFLF</td><td>FIFO モード時のバッファ・フルの状態を示すフラグです。
0：FIFO バッファがフル状態ではありません。
1：FIFO バッファがフル状態です。
このビットは、CSIHnSTR0.CSIHnSRP[7:0]ビットの値と CSIHnSTR0.CSIHnSPF[7:0]ビットの値との合計値が 80H に一致したときにセット（1）され、CSIHnSTR0.CSIHnSRP[7:0]ビットの値と CSIHnSTR0.CSIHnSPF[7:0]ビットの値との合計値が 80H に一致しないときにクリア（0）されます。
このビットは CSIHnSTCR0.CSIHnPCT によってクリア（0）されます。
FIFO バッファは未送信データや受信データでフルになることがあります。</td></tr>
</table>

備考 n = 0, 1

（4/4）

ビット位置	ビット名	意　味
4	CSIHnEMF	FIFO モード時のバッファ・エンプティの状態を示すフラグです。 0：FIFO バッファがエンプティではありません。 1：FIFO バッファがエンプティです。 このビットは CSIHnSTCR0.CSIHnPCT によってセット（1）されます。 このビットは、CSIHnSTR0.CSIHnSRP[7:0]ビットの値と CSIHnSTR0.CSIHnSPF[7:0]ビットの値との合計値が 00H に一致したときにセット（1）され、このビットは、CSIHnSTR0.CSIHnSRP[7:0]ビットの値と CSIHnSTR0.CSIHnSPF[7:0]ビットの値との合計値が 00H に一致しないときにクリア（0）されます。 FIFO バッファは未送信データや受信データでエンプティになることがあります。
3	CSIHnDCE	データー貫性エラー・フラグ 0：データー貫性エラーが検出されていません。 1：データー貫性エラーが検出されています。 このビットは CSIHnSTCR0.CSIHnDCEC に 1 をライトすることによってクリア（0）されます。 このビットは CSIHnCTL0.CSIHnPWR = 0 のときにライト・アクセス可能です。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。 データー貫性エラーの検出によるセット（1）と CSIHnSTCR0.CSIHnDCEC によるクリア（0）が同時に発生した場合、セット（1）を優先します。
1	CSIHnPE	パリティ・エラー・フラグ 0：パリティ・エラーが検出されていません。 1：パリティ・エラーが検出されています。 このビットは CSIHnSTCR0.CSIHnPEC に 1 をライトすることによってクリア（0）されます。 このビットは CSIHnCTL0.CSIHnPWR = 0 のときにライト・アクセス可能です。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。 パリティ・エラーの検出によるセット（1）と CSIHnSTCR0.CSIHnPEC によるクリア（0）が同時に発生した場合、セット（1）を優先します。
0	CSIHnOVE	オーバラン・エラー・フラグ（デュアル・バッファ・モードでは 0 固定です） 0：オーバラン・エラーが検出されていません。 1：オーバラン・エラーが検出されています。 このビットは CSIHnSTCR0.CSIHnOVEC に 1 をライトすることによってクリアされます。 このビットは CSIHnCTL0.CSIHnPWR = 0 のときにライト・アクセス可能です。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。 このビットはデュアル・バッファ・モードでは 0 固定となります。 オーバラン・エラーの検出によるセット（1）と CSIHnSTCR0.CSIHnOVEC によるクリア（0）が同時に発生した場合、セット（1）を優先します。
13-8, 6, 2	－	Reserved（0 が読み出されます。）

備考 n = 0, 1

表20.8　メモリ・モードでの動作

ビット名	ビット位置	ダイレクト・アクセス・モード	FIFO モード	送信オンリー・バッファ・モード	デュアル・バッファ・モード
CSIHnSRP[7:0]	31-24	0 固定	受信データ数	0 固定	0 固定
CSIHnSPF[7:0]	23-16	0 固定	未送信データ数	0 固定	0 固定
CSIHnTMOE	15	0 固定	0：エラー未検出 1：エラー検出	0 固定	0 固定
CSIHnOFE	14	0 固定	0：エラー未検出 1：エラー検出	0 固定	0 固定
CSIHnTSF	7	0：アイドル・ステート 1：送信中または送信の準備中			
CSIHnFLF	5	0 固定	0：フルでない 1：フル	0 固定	0 固定
CSIHnEMF	4	1 固定	0：エンプティでない 1：エンプティ	1 固定	1 固定
CSIHnDCE	3	0：エラー未検出 1：エラー検出			
CSIHnPE	1	0：エラー未検出 1：エラー検出			
CSIHnOVE	0	0：エラー未検出 1：エラー検出			0 固定

備考 n = 0,1

(5) CSIH ステータス・クリア・レジスタ 0（CSIHnSTCR0）

本レジスタは CSIHnSTR0 ステータス・レジスタのステータス・フラグをクリアします。

- アクセス　　32 ビット単位でライト可能です。
  リードすると、常に値 0000 0000H が返されます。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CSIHn STCR0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CSIHnTMOEC	CSIHnOFEC	0	0	0	0	0	CSIHnPCT	0	0	0	0	CSIHnDCEC	0	CSIHnPEC	CSIHnOVEC	4000 0108H +100H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	W	W	0	0	0	0	0	W	0	0	0	0	W	0	W	W	初期値 0000 0000H

ビット位置	ビット名	意　味
31-16	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15	CSIHnTMOEC	タイムアウト・エラー・フラグ・クリア・コマンドを制御します。 0：何も操作を行いません。リード値は常に 0 になります。 1：タイムアウト・エラー・フラグ（CSIHnSTR0.CSIHnTMOE）をクリアします。
14	CSIHnOFEC	オーバフロー・エラー・フラグ・クリア・コマンドを制御します。 0：何も操作を行いません。リード値は常に 0 になります。 1：オーバフロー・エラー・フラグ（CSIHnSTR0.CSIHnOFE）をクリアします。
13-9	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
8	CSIHnPCT	FIFO ポインタを制御します。 0：何も操作を行いません。リード値は常に 0 になります。 1：デュアル・バッファ・モード、送信オンリー・バッファ・モード、FIFO モードの場合、以下のすべての FIFO バッファ・ポインタをクリアします。 - CSIHnMRWP0.CSIHnTRWA[6:0] - CSIHnMRWP0.CSIHnRRA[6:0] - CSIHnMCTL2.CSIHnSOP[6:0] FIFO モードの場合のみ、さらに以下のすべてのステータス・ビットをクリアします。 - CSIHnSTR0.CSIHnSPF[7:0] - CSIHnSTR0.CSIHnSRP[7:0] - CSIHnSTR0.CSIHnFLF - CSIHnSTR0.CSIHnTSF また、CSIHnSTR0.CSIHnEMF が 1 にセットされます（FIFO エンプティ）。 注意：通信中にこのビットがセットされると、実行中の通信は停止されます。
7-4	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）

備考 n = 0, 1

（2/2）

ビット位置	ビット名	意　味
3	CSIHnDCEC	データー貫性エラー・フラグ・クリア・コマンドを制御します。 0：何も操作を行いません。リード値は常に 0 になります。 1：データー貫性エラー・フラグ（CSIHnSTR0.CSIHnDCE）をクリアします。
2	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
1	CSIHnPEC	パリティ・エラー・フラグ・クリア・コマンドを制御します。 0：何も操作を行いません。リード値は常に 0 になります。 1：パリティ・エラー・フラグ（CSIHnSTR0.CSIHnPE）をクリアします。
0	CSIHnOVEC	オーバラン・エラー・フラグ・クリア・コマンドを制御します。 0：何も操作を行いません。リード値は常に 0 になります。 1：オーバラン・エラー・フラグ（CSIHnSTR0.CSIHnOVE）をクリアします。

備考 n = 0, 1

(6) CSIH メモリ制御レジスタ 0（CSIHnMCTL0）

本レジスタではメモリ・モードとタイムアウトの設定を選択します。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CSIHn MCTL0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CSIHnMMS[1:0]		0	0	0	CSIHnTO[4:0]					4000 01C0H +100H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W		0	0	0	R/W					初期値 0000 001FH

ビット位置	ビット名	意　味
31-10	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
9, 8	CSIHnMMS[1:0]	メモリ・モードを選択します。 CSIHnMMS1 / CSIHnMMS0 / 説明 0 / 0 / FIFO モード 0 / 1 / デュアル・バッファ・モード 1 / 0 / 送信オンリー・バッファ・モード 1 / 1 / 禁止 メモリ・モードを変更後、CSIHnSTCR0.CSIHnPCT ビットをセット（1）し個々のバッファ・ポインタなどをクリアしてください。 注意：メモリ・モードは、CSIHnCTL0.CSIHnPWR = 0 かつ CSIHnCTL0.CSIHnMBS = 0 のときにのみ変更できます。
7-5	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
4-0	CSIHnTO[4:0]	タイムアウトするまでのクロック数を選択します。 CSIHnTO[4:0] / 説明 00000B / タイムアウトを検出しません。 00001B / タイムアウトを（1×8×BRG 出力クロック）にします。 00010B / タイムアウトを（2×8×BRG 出力クロック）にします。 … / … 11111B / タイムアウトを（31×8×BRG 出力クロック）にします。 注意：タイムアウトの設定は、CSIHnCTL0.CSIHnPWR = 0 のときにのみ変更することができます。 マスタ・モードのとき、またはメモリ・モードが FIFO モード以外（ダイレクト・アクセス・モード、デュアル・バッファ・モード、送信モード）のときは、このビットに 00000B を設定してください。 タイムアウトの検出の詳細については、20.4.13(3)「タイムアウト・エラー」も参照してください。

備考 n = 0, 1

(7) CSIH メモリ制御レジスタ 1（CSIHnMCTL1）

本レジスタでは FIFO モードで割り込み要求 CSIHnTIC と CSIHnTIR が発生する条件を選択します。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CSIHn MCTL1	0	0	0	0	0	0	0	0	0	CSIHnFES[6:0]							0	0	0	0	0	0	0	0	0	CSIHnFFS[6:0]							4000 0180H +100H×n
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	R/W							0	0	0	0	0	0	0	0	0	R/W							0000 0000H

ビット位置	ビット名	意　味
31-23	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
22-16	CSIHnFES[6:0]	FIFO モードで CSIHnTIC 割り込みが発生する条件（送信データ・エンプティ）を選択します。 FIFO に残っている未送信の送信データの数（CSIHnSTR0.CSIHnSPF[7:0]ビットで確認）が CSIHnMCTL1.CSIHnFES[6:0]と一致すると、CSIHnTIC 割り込み要求が発生します。
15-7	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
6-0	CSIHnFFS[6:0]	FIFO モードで CSIHnTIR 割り込みが発生する条件（受信データ・フル）を選択します。 FIFO に残っている受信データの数が（CSIHnSTR0.CSIHnSRP[7:0]ビットで確認） （128 - CSIHnMCTL1.CSIHnFFS[6:0]）と一致すると、CSIHnTIR 割り込み要求が発生します。

備考 n = 0, 1

(8)　CSIH メモリ制御レジスタ 2（CSIHnMCTL2）

本レジスタでは、デュアル・バッファ・モードまたは送信オンリー・バッファ・モードのときにメモリの動作を制御し、通信の開始のトリガを発生させます。

- アクセス　　32 ビット単位でリード／ライト可能です。

注意 1. CSIHnSTR0.CSIHnTSF = 1 のとき（転送中）の本レジスタへのライト・アクセスは禁止されています。
2. CSIHnMCTL2 レジスタは次の場合、ライト・アクセスは禁止です。
・CSIHnCTL0.CSIHnPWR = 0
・CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0
・ダイレクト・アクセス・モード、FIFO モード

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CSIHn MCTL2	CSIHnBTST	0	0	0	0	0	0	0	CSIHnND[7:0]								0	0	0	0	0	0	0	0	0	CSIHnSOP[6:0]							4000 0184H +100H×n
																																	初期値
																																	0000 0000H
R/W	R/W	0	0	0	0	0	0	0	R/W								0	0	0	0	0	0	0	0	0	R/W							

ビット位置	ビット名	意　味
31	CSIHnBTST	バッファ転送の開始トリガを発生させます。 0：何も操作を行いません。 1：転送開始コマンドを発行します。 リード値は常に 0 になります。 注意　このビットはデュアル・バッファ・モードおよび送信オンリー・バッファ・モードでのみ使用できます。ダイレクト・アクセス・モードと FIFO モードでは、このビットは無効になります。
30-24	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）

備考 n = 0, 1

（2/2）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>23-16</td><td>CSIHnND[7:0]</td><td>データの数を指定します。
リード値は残りの通信データ数を表します。
<table>
<tr><th>CSIHnND[7:0]</th><th>デュアル・バッファ・モード</th><th>送信オンリー・バッファ・モード</th><th>FIFO モード</th><th>ダイレクト・アクセス・モード</th></tr>
<tr><td>00H</td><td>0 個のデータを送信</td><td>0 個のデータを送信</td><td>影響なし</td><td>影響なし</td></tr>
<tr><td>01H</td><td>1 個のデータを送信</td><td>1 個のデータを送信</td><td>影響なし</td><td>影響なし</td></tr>
<tr><td>…</td><td>…</td><td>…</td><td>影響なし</td><td>影響なし</td></tr>
<tr><td>3FH</td><td>63 個のデータを送信</td><td>63 個のデータを送信</td><td>影響なし</td><td>影響なし</td></tr>
<tr><td>40H</td><td>64 個のデータを送信</td><td>64 個のデータを送信</td><td>影響なし</td><td>影響なし</td></tr>
<tr><td>…</td><td>禁止</td><td>…</td><td>影響なし</td><td>影響なし</td></tr>
<tr><td>7FH</td><td>禁止</td><td>127 個のデータを送信</td><td>影響なし</td><td>影響なし</td></tr>
<tr><td>80H</td><td>禁止</td><td>128 個のデータを送信</td><td>影響なし</td><td>影響なし</td></tr>
<tr><td>上記以外</td><td colspan="4">設定禁止</td></tr>
</table>
このビットは、データ転送後、値は自動的にデクリメントされます。転送中に参照すると、残りのデータ数がリード出きます。ダイレクト・アクセス・モード時は、デクリメントされません。</td></tr>
<tr><td>15-7</td><td>－</td><td>Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）</td></tr>
<tr><td>6-0</td><td>CSIHnSOP[6:0]</td><td>送信データのポインタを選択します。
<table>
<tr><th>CSIHnSOP[6:0]</th><th>デュアル・バッファ・モード</th><th>送信オンリー・バッファ・モード</th><th>FIFO モード</th><th>ダイレクト・アクセス・モード</th></tr>
<tr><td>00H</td><td>0000H</td><td>0000H</td><td>0000H</td><td>影響なし</td></tr>
<tr><td>01H</td><td>0004H</td><td>0004H</td><td>0004H</td><td>影響なし</td></tr>
<tr><td>…</td><td>…</td><td>…</td><td>…</td><td>影響なし</td></tr>
<tr><td>3FH</td><td>00FCH</td><td>00FCH</td><td>00FCH</td><td>影響なし</td></tr>
<tr><td>40H</td><td>禁止</td><td>0100H</td><td>0100H</td><td>影響なし</td></tr>
<tr><td>…</td><td>禁止</td><td>…</td><td>…</td><td>影響なし</td></tr>
<tr><td>7FH</td><td>禁止</td><td>01FCH</td><td>01FCH</td><td>影響なし</td></tr>
</table>
CSIHnCTL0.PWR=0、または CSIHnSTR0.CSIHnPCT をセット（1）して通信を強制的に停止すると、これらのビットはハードウェアによってクリアされます。
備考　FIFO モードでは、これらのビットは送信アドレスを示します。ダイレクト・アクセス・モードではこれらのビットはインクリメントされません。</td></tr>
</table>

備考 n = 0, 1

(9) CSIH メモリ・リード／ライト・ポインタ・レジスタ 0（CSIHnMRWP0）

本レジスタではデュアル・バッファまたは送信オンリー・バッファのリード・ポインタとライト・ポインタを設定します。

- アクセス　　32 ビット単位でリード／ライト可能です。

注意 通信中のライトは可能です。
ダイレクト・アクセス・モード、FIFO モードでの本レジスタへのライト・アクセスは禁止です。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CSIHn MRWP0	0	0	0	0	0	0	0	0	0	CSIHnRRA[6:0]							0	0	0	0	0	0	0	0	0	CSIHnTRWA[6:0]							4000 0198H +100H×n
初期値	0000 0000H																																
R/W	0	0	0	0	0	0	0	0	0	R/W							0	0	0	0	0	0	0	0	0	R/W							

ビット位置	ビット名	意　味
31-23	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
22-16	CSIHnRRA[6:0]	受信バッファのリード・ポインタを選択します。

CSIHnRRA[6:0]	デュアル・バッファ・モード	送信オンリー・バッファ・モード	FIFO モード	ダイレクト・アクセス・モード
00H	0000H	影響なし	0000H	影響なし
01H	0004H	影響なし	0004H	影響なし
…	…	影響なし	…	影響なし
3FH	00FCH	影響なし	00FCH	影響なし
40H	禁止	影響なし	0100H	影響なし
…	禁止	影響なし	…	影響なし
7FH	禁止	影響なし	01FCH	影響なし

受信データがリードすると、これらのビットは自動的にインクリメントされます。

CSIHnRX0W レジスタまたは CSIHnRX0H レジスタのリード中にオーバラン・エラーが発生した場合（データがない状態の CSIHnRX0W レジスタまたは CSIHnRX0H レジスタを CPU がリードしたとき）、リード・ポインタはインクリメントされません。

CSIHnSTCR0.CSIHnPCT がセット（1）されると、これらのビットはクリアされます。

ダイレクト・アクセス・モード、送信オンリー・バッファ・モードではこれらのビットはインクリメントされません。

送信オンリー・バッファ・モードでライト・アクセスする場合、これらのビットには 0000H を設定してください。

FIFO モードでは、これらのビットは受信データのリード・アドレスを示します。

備考 n = 0, 1

（2/2）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>15-7</td><td>－</td><td>Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）</td></tr>
<tr><td>6-0</td><td>CSIHnTRWA[6:0]</td><td>送信バッファのリード／ライト・ポインタを選択します。
<table>
<tr><th>CSIHnTRWA[6:0]</th><th>デュアル・バッファ・モード</th><th>送信オンリー・バッファ・モード</th><th>FIFO モード</th><th>ダイレクト・アクセス・モード</th></tr>
<tr><td>00H</td><td>0000H</td><td>0000H</td><td>0000H</td><td>影響なし</td></tr>
<tr><td>01H</td><td>0004H</td><td>0004H</td><td>0004H</td><td>影響なし</td></tr>
<tr><td>…</td><td>…</td><td>…</td><td>…</td><td>影響なし</td></tr>
<tr><td>3FH</td><td>00FCH</td><td>00FCH</td><td>00FCH</td><td>影響なし</td></tr>
<tr><td>40H</td><td>禁止</td><td>0100H</td><td>0100H</td><td>影響なし</td></tr>
<tr><td>…</td><td>禁止</td><td>…</td><td>…</td><td>影響なし</td></tr>
<tr><td>7FH</td><td>禁止</td><td>01FCH</td><td>01FCH</td><td>影響なし</td></tr>
</table>
CPU から送信データのリード／ライトを行うと、これらのビットは自動的にインクリメントされます。
CSIHnSTCR0.CSIHnPCT がセット（1）されると、これらのビットはクリアされます。
ダイレクト・アクセス・モードではこれらのビットはインクリメントされません。
FIFO モードでは、これらのビットは送信データのリード／ライト・アドレスを示します。</td></tr>
</table>

備考 n = 0, 1

(10) CSIH コンフィギュレーション・レジスタ x（CSIHnCFGx）

これら 2 個のレジスタでは、各チップ・セレクト信号 CSIHnTCSSx のプリスケーラ、パリティ、データ長、ブロードキャスティング用のリセッシブの設定、シリアル・データ方向、クロック位相とデータ位相、強制アイドル状態の設定、アイドル時間、ホールド時間、データ間時間、セットアップ時間を指定します。

- スレーブ・モード

  スレーブ・モードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります。

  ・CSIHnPS0：　パリティの使用法
  ・CSIHnDLS0：　データ長の選択
  ・CSIHnDIR0：　データ方向
  ・CSIHnCKP0,CSIHnDAP0：クロック位相とデータ位相

  スレーブ・モードでは、CSIHnCFG0 レジスタの上記以外のビットおよび CSIHnCFG1 レジスタには 0 を設定してください。
- アクセス　32 ビット単位でリード／ライト可能です。
- アドレス　CSIH0CFG0：4000 01C4H
  CSIH0CFG1：4000 01C8H
  CSIH1CFG0：4000 02C4H
  CSIH1CFG1：4000 02C8H

注意 CSIHnCTL0.CSIHnPWR = 0 のときのみライト・アクセスが可能です（同じ値をライトするなら CSIHnCTL0.CSIHnPWR = 1 でも可能です）。

（1/5）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CSIHnCFGx	CSIHnPSCLx[1:0]		CSIHnPSx[1:0]		CSIHn DLSx[3:0]				0	0	0	0	CSIHnRCBx	CSIHnDIRx	CSIHnCKPx	CSIHnDAPx	CSIHnIDLx	CSIHn IDx[2:0]			CSIHn HDx[3:0]				CSIHn INx[3:0]				CSIHn SPx[3:0]				上記参照
																																	初期値
R/W	R/W		R/W		R/W				0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W			R/W				R/W				R/W				0000 0000H

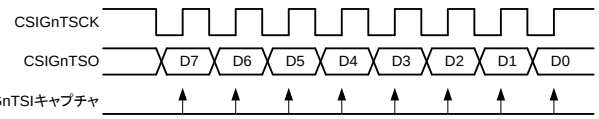
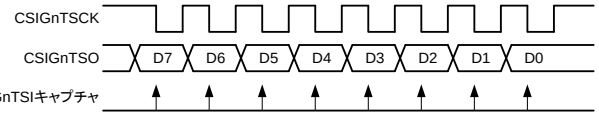
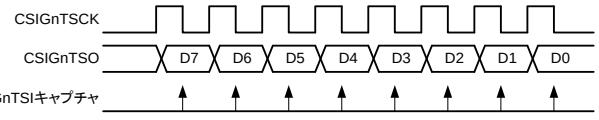
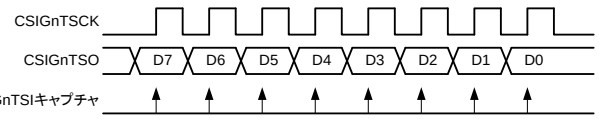
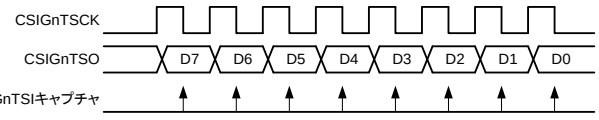
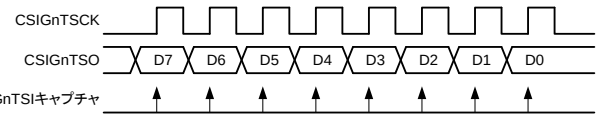
ビット位置	ビット名	意　味
31, 30	CSIHnPSCLx[1:0]	チップ・セレクト信号 x のプリスケーラを選択します。 CSIHnPSCLx1 / CSIHnPSCLx0 / プリスケーラの出力 0 / 0 / CSIHnBCLK 0 / 1 / CSIHnBCLK / 2 1 / 0 / CSIHnBCLK / 4 1 / 1 / CSIHnBCLK / 8 これらのビットはマスタ・モードでのみ利用可能です。 CSIHnBCLK については20.4.6「シリアル・クロックの選択」を参照してください。

備考 n = 0, 1、x = 0, 1

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>29, 28</td><td>CSIHnPSx[1:0]</td><td>チップ・セレクト信号 x の送信用と受信用のパリティを選択します。
<table>
<tr><th>CSIHnPSx1</th><th>CSIHnPSx0</th><th>送信</th><th>受信</th></tr>
<tr><td>0</td><td>0</td><td>パリティを送信しません。</td><td>パリティの受信を期待しません。</td></tr>
<tr><td>0</td><td>1</td><td>0 に固定されたパリティ・ビットを追加します。</td><td>パリティ・ビットの受信を期待しますが、パリティの判定は行いません。</td></tr>
<tr><td>1</td><td>0</td><td>奇数パリティを追加します。</td><td>奇数パリティ・ビットの受信を期待します。</td></tr>
<tr><td>1</td><td>1</td><td>偶数パリティを追加します。</td><td>偶数パリティ・ビットの受信を期待します。</td></tr>
</table></td></tr>
<tr><td>27-24</td><td>CSIHnDLSx[3:0]</td><td>チップ・セレクト信号 x のデータ長を選択します。
<table>
<tr><th>CSIHnDLSx[3:0]</th><th>データ長</th></tr>
<tr><td>0000B</td><td>16 ビット</td></tr>
<tr><td>0001B</td><td>1 ビット</td></tr>
<tr><td>0010B</td><td>2 ビット</td></tr>
<tr><td>…</td><td>…</td></tr>
<tr><td>1111B</td><td>15 ビット</td></tr>
</table>
備考：CSIHnDLSx[3:0]ビットの設定についての詳細は20.4.9「データ長の選択」を参照してください。また、CSIHnDLSx[3:0]ビットを 0001B（1 ビット）-0110B（6 ビット）に設定するのは、ビット長が 16 ビット以上のときのみ可能です。</td></tr>
<tr><td>23-20</td><td>－</td><td>Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）</td></tr>
<tr><td>19</td><td>CSIHnRCBx</td><td>チップ・セレクト信号 x のブロードキャスティングの優先度の設定を選択します。
0：ドミナント（高優先度）
1：リセッシブ（低優先度）
詳細については、20.4.3(1)「コンフィギュレーション・レジスタ」を参照してください。</td></tr>
<tr><td>18</td><td>CSIHnDIRx</td><td>チップ・セレクト信号 x のシリアル・データ方向を選択します。
0：MSB ファーストでデータを送受信します。
1：LSB ファーストでデータを送受信します。
詳細については、20.4.10「シリアル・データ方向の選択」を参照してください。</td></tr>
</table>

備考 n = 0, 1、x = 0, 1

（3/5）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>17, 16</td><td>CSIHnCKPx,
CSIHnDAPx</td><td>
CSIHnCKPx：クロック位相選択ビット
CSIHnDAPx：データ位相選択ビット
CSIHnCTL1.CSIHnCKR = 0
<table>
<tr><th>CSIHn
CKPx</th><th>CSIHn
DAPx</th><th>CSIHnTSCK 対する送信、受信タイミング指定</th></tr>
<tr><td>0</td><td>0</td><td> 
</td></tr>
<tr><td>0</td><td>1</td><td> 
</td></tr>
<tr><td>1</td><td>0</td><td> 
</td></tr>
<tr><td>1</td><td>1</td><td> 
</td></tr>
</table>
CSIHnCTL1.CSIHnCKR = 1
<table>
<tr><th>CSIHn
CKPx</th><th>CSIHn
DAPx</th><th>CSIHnTSCK 対する送信、受信タイミング指定</th></tr>
<tr><td>0</td><td>0</td><td> 
</td></tr>
<tr><td>0</td><td>1</td><td> 
</td></tr>
<tr><td>1</td><td>X</td><td>設定禁止</td></tr>
</table>
注意　チップ・セレクトを行わない場合、CSIHnCKPx ビットは 0 固定とし、
CSIHnCTL.CSIHnCKR ビットにて CSIHnCKPx ビットの設定値を代用してください。
</td></tr>
</table>

備考 n = 0, 1、x = 0, 1

（4/5）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>15</td><td>CSIHnIDLx</td><td>チップ・セレクト信号 x の強制アイドル状態の設定を選択します。
0 : チップ・セレクト値が変化しなかった場合、チップ・セレクト信号がアクティブな状態にとどまります。別のチップ・セレクト値が定義されると、チップ・セレクト信号 x はアイドル状態になります。
1 : チップ・セレクト信号 x に対応するスレーブへデータが 1 回転送されるたびにアイドル状態が挿入されます。
このビットはマスタ・モードでのみ利用できます。
CSIHnCTL1.CSIHnJE = 1 でかつ CSIHnTX0W.CSIHnEOJ = 1 のとき、たとえ CSIHnCFG0-1.CSIHnIDLn = 0 に設定しても、アイドル状態は確実に挿入されます。
アイドル状態については20.4.3「チップ・セレクト（CS）機能」を参照してください</td></tr>
<tr><td>14-12</td><td>CSIHnIDx[2:0]</td><td>チップ・セレクト信号 x のアイドル時間を選択します。
<table>
<tr><th>CSIHnIDx[2:0]</th><th>アイドル時間</th></tr>
<tr><td>000B</td><td>0.5 シリアル・クロック周期</td></tr>
<tr><td>001B</td><td>1.0 シリアル・クロック周期</td></tr>
<tr><td>010B</td><td>1.5 シリアル・クロック周期</td></tr>
<tr><td>011B</td><td>2.5 シリアル・クロック周期</td></tr>
<tr><td>100B</td><td>3.5 シリアル・クロック周期</td></tr>
<tr><td>101B</td><td>4.5 シリアル・クロック周期</td></tr>
<tr><td>110B</td><td>6.5 シリアル・クロック周期</td></tr>
<tr><td>111B</td><td>8.5 シリアル・クロック周期</td></tr>
</table>
これらのビットはマスタ・モードでのみ利用可能です。</td></tr>
<tr><td>11-8</td><td>CSIHnHDx[3:0]</td><td>チップ・セレクト信号 x のホールド時間をシリアル・クロック周期単位で指定します。
<table>
<tr><th>CSIHnHDx[3:0]</th><th>CSIHnCTL1.CSIHnSIT = 0
のときのホールド時間</th><th>CSIHnCTL1.CSIHnSIT = 1
のときのホールド時間</th></tr>
<tr><td>0000B</td><td>0.5 シリアル・クロック周期</td><td>1.0 シリアル・クロック周期</td></tr>
<tr><td>0001B</td><td>1 シリアル・クロック周期</td><td>1.5 シリアル・クロック周期</td></tr>
<tr><td>0010B</td><td>1.5 シリアル・クロック周期</td><td>2.0 シリアル・クロック周期</td></tr>
<tr><td>0011B</td><td>2.5 シリアル・クロック周期</td><td>3.0 シリアル・クロック周期</td></tr>
<tr><td>0100B</td><td>3.5 シリアル・クロック周期</td><td>4.0 シリアル・クロック周期</td></tr>
<tr><td>0101B</td><td>4.5 シリアル・クロック周期</td><td>5.0 シリアル・クロック周期</td></tr>
<tr><td>0110B</td><td>6.5 シリアル・クロック周期</td><td>7.0 シリアル・クロック周期</td></tr>
<tr><td>0111B</td><td>8.5 シリアル・クロック周期</td><td>9.0 シリアル・クロック周期</td></tr>
<tr><td>1000B</td><td>9.5 シリアル・クロック周期</td><td>10.0 シリアル・クロック周期</td></tr>
<tr><td>1001B</td><td>10.5 シリアル・クロック周期</td><td>11.0 シリアル・クロック周期</td></tr>
<tr><td>1010B</td><td>11.5 シリアル・クロック周期</td><td>12.0 シリアル・クロック周期</td></tr>
<tr><td>1011B</td><td>12.5 シリアル・クロック周期</td><td>13.0 シリアル・クロック周期</td></tr>
<tr><td>1100B</td><td>14.5 シリアル・クロック周期</td><td>15.0 シリアル・クロック周期</td></tr>
<tr><td>1101B</td><td>16.5 シリアル・クロック周期</td><td>17.0 シリアル・クロック周期</td></tr>
<tr><td>1110B</td><td>18.5 シリアル・クロック周期</td><td>19.0 シリアル・クロック周期</td></tr>
<tr><td>1111B</td><td>20.5 シリアル・クロック周期</td><td>21.0 シリアル・クロック周期</td></tr>
</table>
これらのビットはマスタ・モードでのみ利用可能です。</td></tr>
</table>

備考 n = 0, 1、x = 0, 1

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>7-4</td><td>CSIHnINx[3:0]</td><td>チップ・セレクト信号 x のデータ間時間をシリアル・クロック周期単位で指定します。
<table>
<tr><th>CSIHnINx[3:0]</th><th>CSIHnCTL1.CSIHnSIT = 0
のときのデータ間時間</th><th>CSIHnCTL1.CSIHnSIT = 1
のときのデータ間時間</th></tr>
<tr><td>0000B</td><td>0.0 シリアル・クロック周期</td><td>0.5 シリアル・クロック周期</td></tr>
<tr><td>0001B</td><td>0.5 シリアル・クロック周期</td><td>1.0 シリアル・クロック周期</td></tr>
<tr><td>0010B</td><td>1.0 シリアル・クロック周期</td><td>1.5 シリアル・クロック周期</td></tr>
<tr><td>0011B</td><td>2.0 シリアル・クロック周期</td><td>2.5 シリアル・クロック周期</td></tr>
<tr><td>0100B</td><td>3.0 シリアル・クロック周期</td><td>3.5 シリアル･クロック周期</td></tr>
<tr><td>0101B</td><td>4.0 シリアル・クロック周期</td><td>4.5 シリアル･クロック周期</td></tr>
<tr><td>0110B</td><td>6.0 シリアル・クロック周期</td><td>6.5 シリアル･クロック周期</td></tr>
<tr><td>0111B</td><td>8.0 シリアル・クロック周期</td><td>8.5 シリアル･クロック周期</td></tr>
<tr><td>1000B</td><td>9.0 シリアル・クロック周期</td><td>9.5 シリアル･クロック周期</td></tr>
<tr><td>1001B</td><td>10.0 シリアル・クロック周期</td><td>10.5 シリアル･クロック周期</td></tr>
<tr><td>1010B</td><td>11.0 シリアル・クロック周期</td><td>11.5 シリアル･クロック周期</td></tr>
<tr><td>1011B</td><td>12.0 シリアル・クロック周期</td><td>12.5 シリアル･クロック周期</td></tr>
<tr><td>1100B</td><td>14.0 シリアル・クロック周期</td><td>14.5 シリアル･クロック周期</td></tr>
<tr><td>1101B</td><td>16.0 シリアル・クロック周期</td><td>16.5 シリアル･クロック周期</td></tr>
<tr><td>1110B</td><td>18.0 シリアル・クロック周期</td><td>18.5 シリアル･クロック周期</td></tr>
<tr><td>1111B</td><td>20.0 シリアル・クロック周期</td><td>20.5 シリアル・クロック周期</td></tr>
</table>
これらのビットはマスタ・モードでのみ利用可能です。</td></tr>
<tr><td>3-0</td><td>CSIHnSPx[3:0]</td><td>チップ・セレクト信号 x のセットアップ時間をシリアル・クロック周期単位で指定します。
<table>
<tr><th>CSIHnSPx[3:0]</th><th>セットアップ時間</th></tr>
<tr><td>0000B</td><td>0.5 シリアル・クロック周期</td></tr>
<tr><td>0001B</td><td>1.0 シリアル・クロック周期</td></tr>
<tr><td>0010B</td><td>1.5 シリアル・クロック周期</td></tr>
<tr><td>0011B</td><td>2.5 シリアル・クロック周期</td></tr>
<tr><td>0100B</td><td>3.5 シリアル・クロック周期</td></tr>
<tr><td>0101B</td><td>4.5 シリアル・クロック周期</td></tr>
<tr><td>0110B</td><td>6.5 シリアル・クロック周期</td></tr>
<tr><td>0111B</td><td>8.5 シリアル・クロック周期</td></tr>
<tr><td>1000B</td><td>9.5 シリアル・クロック周期</td></tr>
<tr><td>1001B</td><td>10.5 シリアル・クロック周期</td></tr>
<tr><td>1010B</td><td>11.5 シリアル・クロック周期</td></tr>
<tr><td>1011B</td><td>12.5 シリアル・クロック周期</td></tr>
<tr><td>1100B</td><td>14.5 シリアル・クロック周期</td></tr>
<tr><td>1101B</td><td>16.5 シリアル・クロック周期</td></tr>
<tr><td>1110B</td><td>18.5 シリアル・クロック周期</td></tr>
<tr><td>1111B</td><td>20.5 シリアル・クロック周期</td></tr>
</table>
これらのビットはマスタ・モードでのみ利用可能です。</td></tr>
</table>

備考 n = 0, 1、x = 0, 1

(11) CSIH ワード・アクセス用送信データ・レジスタ 0（CSIHnTX0W）

本レジスタは送信データを保存します。 さらに、通信割り込み要求、エンド・オブ・ジョブ、拡張データ長、チップ・セレクトアクティブ化を指定します。

- アクセス　　32 ビット単位でリード／ライト可能です。

注意 1. FIFO モードで通信中に本レジスタへのリード・アクセスは禁止です。
2. FIFO モードで CSIHnCTL0.CSIHnPWR = 0 のとき、本レジスタへのリード／ライト・アクセスは禁止です。
3. ダイレクト・アクセス・モードで CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0 のとき、本レジスタへのライト・アクセスは禁止です。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CSIHnTX0W	CSIHnCIRE	CSIHnEOJ	CSIHnEDL	0	0	0	0	0	1	1	1	1	1	1	CSIHnCS[1:0]		CSIHnTX[15:0]																4000 0188H +100H × n
																																	初期値
																																	不定
R/W	R/W	R/W	R/W	0	0	0	0	0	1	1	1	1	1	1	R/W		R/W																

ビット位置	ビット名	意　味
31	CSIHnCIRE	デュアル・バッファ・モードまたは送信オンリー・バッファ・モードのときの通信割り込み要求 CSIHnTIC または FIFO モードのときのジョブ完了割り込み CSIHnTIJC を許可します。 0：割り込みを要求しません。 1：割り込みを要求します。 送信後、割り込み CSIHnTIC または CSIHnTIJC が発生します。詳細については、20.4.12(1)「CSIHnTIC（通信割り込み）」と 20.4.12(4)「CSIHnTIJC（ジョブ完了割り込み）」を参照してください。 注意　このビットはジョブ・モードが有効になっているとき（CSIHnCTL1.CSIHnJE = 1）にのみ有効です。
30	CSIHnEOJ	ジョブの終了を指定します。 0：エンド・オブ・ジョブ・データではないことを示します。ジョブを続行します。 1：エンド・オブ・ジョブ・データであることを示します。 注意　このビットはジョブ・モードが有効になっているとき（CSIHnCTL1.CSIHnJE = 1）にのみ有効です。スレーブ・モードで使用するとき、このビットは必ず 0 に設定してください。

備考 n = 0, 1

（2/2）

ビット位置	ビット名	意　味
29	CSIHnEDL	関連付けられたデータが拡張データ長（EDL）オプションを必要とするかどうかを指定します。 0：通常の動作。 1：拡張データ長を有効にします。 関連付けられたデータは 16 ビットのパケットとして送信されます。 データ送信後にデータ間遅延時間またはアイドル時間は挿入されません。 CSIHnCTL1.CSIHnEDLE = 1 かつ CSIHnTX0W.CSIHnEDL = 1 の場合は、次のデータに対しても同じ CS を選択しなければなりません。 次のデータに対して CS を変更した場合、正しい動作は保証されません。 注意　このビットは CSIHnCTL1.CSIHnEDLE = 1 のときにのみ利用できます。
28-24	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
23-18	－	Reserved（ライトは 1 を書き込んでください。リードは不定です。）
17,16	CSIHnCS[1:0]	1 つ以上のチップ・セレクト信号をアクティブにします。 0：関連付けられた送信に対してチップ・セレクト信号 x をアクティブにします。 1：関連付けられた送信に対してチップ・セレクト信号 x をインアクティブにします。 CSIHnTX0W.CSIHnCS[1:0] = 3H は設定禁止です。 注意　複数のチップ・セレクト信号がブロードキャスティングに対して有効になっている場合は、CSIHnCFGx.CSIHnRCBx = 0（ドミナント）に設定されている信号の設定が使用されます。 その場合は、すべてのドミナントなチップ・セレクト信号をまったく同じ値に設定にする必要があります。 スレーブ・モードで使用する場合には CSIHnCS[1:0]ビット= 2H に設定してください。
15-0	CSIHnTX[15:0]	送信データを保存します。

備考 n = 0, 1、x = 0, 1

(12) CSIH ハーフ・ワード・アクセス用送信データ・レジスタ 0（CSIHnTX0H）

本レジスタは送信データを保存します。 本レジスタは CSIHnTX0W レジスタのビット 15-0 と同じです。

- アクセス　　32 ビット単位でリード／ライト可能です。

注意 1. FIFO モードで通信中に本レジスタへのリード・アクセスは禁止です。
2. FIFO モードで CSIHnCTL0.CSIHnPWR = 0 のとき、本レジスタへのリード／ライト・アクセスは禁止です。
3. ダイレクト・アクセス・モードで CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0 のとき、本レジスタへのライト・アクセスは禁止です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CSIHnTX0H	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CSIHnTX[15:0]																4000 018CH +100H×n
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W																不定

ビット位置	ビット名	意　味
31-16	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15-0	CSIHnTX[15:0]	送信データを保存します。

備考 n = 0, 1

(13) CSIH ワード・アクセス用受信データ・レジスタ 0（CSIHnRX0W）

本レジスタは受信データを保存します。

- アクセス　　32 ビット単位でリードのみ可能です。

注意 1. 本レジスタは、CSIHnCTL0.CSIHnPWR = 1 のとき、リード・アクセスでき、CSIHnCTL0.CSIHnPWR = 0 のとき、ライト・アクセスできます。
2. 本レジスタは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。
3. FIFO モードで CSIHnCTL0.CSIHnPWR = 0 のとき、リード／ライト・アクセスするのは禁止です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CSIHnRX0W	0	0	0	0	0	0	CSIHnRPE	CSIHnTDCE	1	1	1	1	1	1	CSIHnCSx		CSIHnRX[15:0]																4000 0190H +100H×n
																																	初期値
																																	不定
R/W	0	0	0	0	0	0	R	R	1	1	1	1	1	1	R		R																

ビット位置	ビット名	意　味
31-26	－	Reserved（0 が読み出されます。）
25	CSIHnRPE	受信データ・パリティ・エラーが検出されたかどうかを示します。 0：受信データでパリティ・エラーが検出されていません。 1：受信データでパリティ・エラーが検出されています。
24	CSIHnTDCE	送信データー貫性エラーが検出されたかどうかを示します。 データー貫性チェックは送信データに対して行われます。このビットには、CSIHnRX0W.CSIHnRX[15:0]に保存されている受信データと同時に送信されたデータに対してのチェック結果が反映されます。 0：送信されたデータでデーター貫性エラーが検出されていません。 1：送信されたデータでデーター貫性エラーが検出されています。
23-18	－	Reserved（リードした場合、不定値が読み出されます。）
17,16	CSIHnCSx	チップ・セレクト信号がアクティブになっているかを示します。 マスタ・モードのとき、このビットには CSIHnRX0W.CSIHnRX[15:0]に保存されているデータを受信したときのチップ・セレクト信号の状態、すなわちどの CS に対する通信かが格納されます。 0：データ受信時のチップ・セレクト信号 x がアクティブ 1：データ受信時のチップ・セレクト信号 x がインアクティブ スレーブ・モードのとき、送信許可状態では通信相手先として CS0 を指定する（CSIHnTX0W.CSIHnCS[1:0] = 2H）必要があるため、送信モードまたは送受信モードならば FEH が格納されます。受信モードのときは常に 00H となります。
15-0	CSIHnRX[15:0]	受信データを保存します。 割り込みが発生する 1 シリアル・クロック前までに、CSIHnRX0W レジスタまたは CSIHnRX0H レジスタの値をリードしてください。

備考 n = 0, 1、 x = 0, 1

(14) CSIH ハーフ・ワード・アクセス用受信データ・レジスタ 0（CSIHnRX0H）

本レジスタは受信データを保存します。 本レジスタは CSIHnRX0W レジスタのビット 15-0 と同じです。

- アクセス　　32 ビット単位でリードのみ可能です。

注意 1. 1. 本レジスタは、CSIHnCTL0.CSIHnPWR = 1 のとき、リード・アクセスでき、CSIHnCTL0.CSIHnPWR = 0 のとき、ライト・アクセスできます。
2. 本レジスタは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。
3. FIFO モードで CSIHnCTL0.CSIHnPWR = 0 のとき、リード／ライト・アクセスするのは禁止です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CSIHnRX0H	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CSIHnRX[15:0]																4000 0194H +100H×n
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R																不定

ビット位置	ビット名	意　味
31-16	－	Reserved（0 が読み出されます。）
15-0	CSIHnRX[15:0]	受信データを保存します。

備考 n = 0, 1

20.4　機能の説明

クロック同期シリアル・インタフェースでは以下の 3 つの信号を通信に使用します。

- シリアル・クロック　CSIHnTSCK（マスタ・モードでは出力、スレーブ・モードでは入力）
- データ出力信号　CSIHnTSO
- データ入力信号　CSIHnTSI

そのほかに、外部制御に利用できる信号があります。

- CSIHnTCSS1,0：　チップ・セレクト信号

データ送信は、1 ビットずつシリアルに行われ、シリアル・クロックに同期します。
CSIH の設定で重要な役割を果たすレジスタを以下の表に示します。

レジスタ	機能
CSIHnCTL0	動作クロック（PCLK）を有効または無効にし、データ送信とデータ受信を許可または禁止します。ジョブ終了時の動作を定義し、バッファリングを有効または無効（バッファのバイパス）にします。
CSIHnCTL1	割り込みのタイミング、拡張データ長、ジョブの機能、データー貫性チェック、ループ・バック・モードなどのオプション機能を制御します。
CSIHnCTL2	マスタ・モードまたはスレーブ・モードを選択し、マスタ・モードでは内蔵ボー・レート・ジェネレータ（BRG）のボー・レートを選択します。
CSIHnMCTL0	メモリ・モードを選択し、タイムアウトを指定します。
CSIHnMCTL1	FIFO モードでメモリを制御します。
CSIHnMCTL2	デュアル・バッファ・モードまたは送信オンリー・バッファ・モードでメモリを制御します。
CSIHnCFG0,1	各チップ・セレクト信号の通信プロトコルを設定するレジスタです。

20.4.1　動作モード（マスタ／スレーブ）

マスタ／スレーブの選択は CSIHnCTL2.CSIHnPRS[2:0]ビットで行い、マスタを選択した場合は、送信クロックのソース・クロックも選択する必要があります。

(1)　マスタ・モード

マスタ・モードでは、シリアル・クロックが内蔵のボー・レート・ジェネレータ（BRG）によって生成され、CSIHnTSCK 信号を介してスレーブに供給されます。

マスタ・モードは、CSIHnCTL2.CSIHnPRS[2:0]を 111B 以外の任意の値に設定することによって有効になります。マスタ・モードでは、CSIHnCTL2.CSIHnPRS[2:0]ビットと CSIHnCTL2.CSIHnBRS[11:0]ビットを組み合わせて設定することで BRG の周波数を設定できます。

- チップ・セレクト信号
  マスタ・モードでは、1 つ以上のチップ・セレクト信号を使用できます。複数のスレーブがマスタに接続されている場合は、チップ・セレクト信号を利用して 1 つ以上のスレーブを通信相手として選択できます。選択されたスレーブのみが通信可能になります。
  通信プロトコルとさまざまなパラメータはチップ・セレクト信号ごとに個別に保存されます。そのため、データ転送の設定を個々のスレーブの要件に応じて変更することができます。詳細については、20.4.3「チップ・セレクト（CS）機能」を参照してください。

- クロックのデフォルト設定
  CSIHnTSCK のデフォルト・レベルは、クロック位相選択ビットの状態によって異なります。
  CSIHnTSCK のデフォルト・レベルは、CSIHnCFGx.CSIHnCKPx = 0 であればハイ・レベルであり、CSIHnCFGx.CSIHnCKPx = 1 であればロー・レベルです。
  以下の例は、8 データ・ビット、CSIHnCTL1.CSIHnCKR = 0, CSIHnCFGx.CSIHnDAPx = 0, MSB ファーストのときのマスタ・モードの通信を示しています。

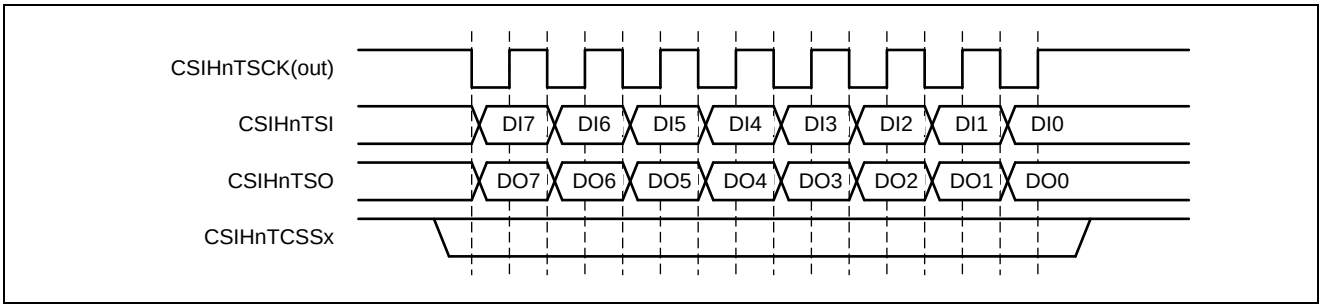


図20.2　マスタ・モードでの送受信

(2) スレーブ・モード

スレーブ・モードでは、ほかのデバイスが通信マスタになります。シリアル・クロックは CSIHnTSCK 信号を介して供給されます。シリアル・クロック信号が検出されると、ただちに送信動作または受信動作が開始されます。

スレーブ・モードは、CSIHnCTL2.CSIHnPRS[2:0]ビットを 111B に設定することによって選択されます。

スレーブ・モードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります（CSIHnCFG1-CSIHnCFG2 レジスタの設定は無効となります）。

- CSIHnPS0[1:0]：パリティの使用法
- CSIHnDLS0[3:0]：データ長の選択
- CSIHnCFG0.CSIHnDIR0：データ方向
- CSIHnCFG0.CSIHnCKP0、CSIHnCFG0.CSIHnDAP0：クロック位相とデータ位相

備考 スレーブ・モードを使用するときは、CSIHnCTL2.CSIHnBRS[11:0]ビットをクリアすることによってボー・レート・ジェネレータ（BRG）を無効にし、消費電力を削減できます。ただし、タイムアウト・エラー機能を使用する場合は、BRG を“0”以外に設定する必要があります。

以下の例は、8 データ・ビット、CSIHnCTL1.CSIHnCKR = 0、CSIHnCFGx.CSIHnDAPx = 0、MSB ファーストのときのスレーブ・モードの通信を示しています。

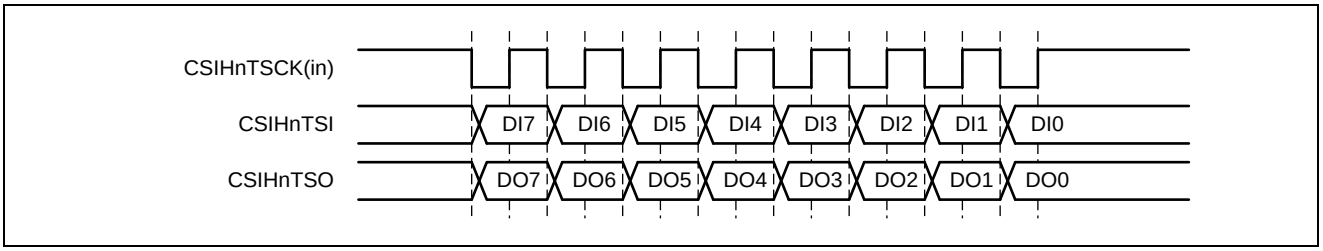


図20.3　スレーブ・モードでの送受信

20.4.2　マスタ／スレーブの接続

(1)　マスタ 1、スレーブ 1 の場合

以下の図は、1 つのマスタと 1 つのスレーブの間の接続を示しています。

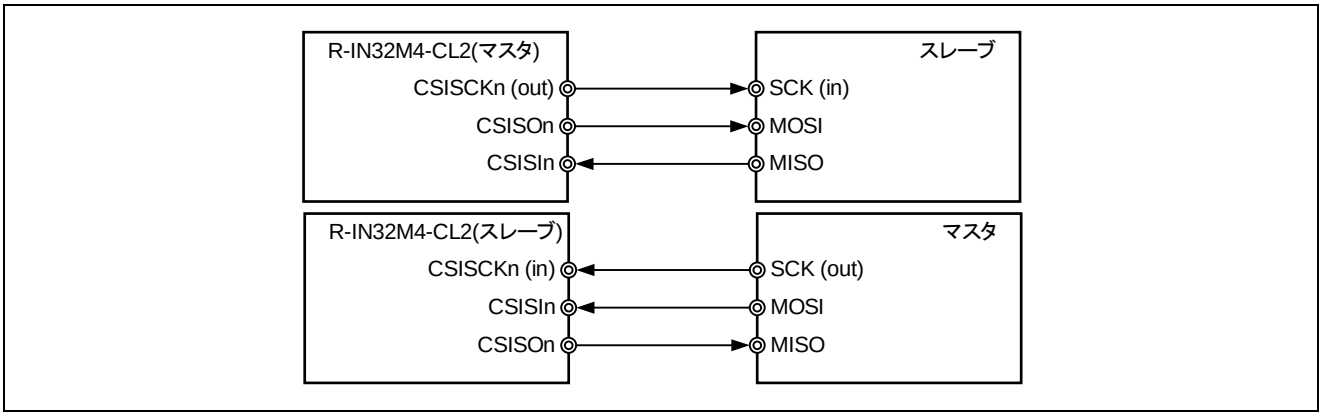


図20.4　マスタ／スレーブ間の直接の接続★

(2)　マスタ 1、スレーブ 2 の場合

以下の図は、R-IN32M4 をマスタとした 2 つのスレーブとの接続を示しています。この例では、R-IN32M4 が各スレーブに 1 つずつチップ・セレクト(CS)信号を供給する構成が可能です。この信号は、スレーブのスレーブ選択入力（SSI★）に接続されます。

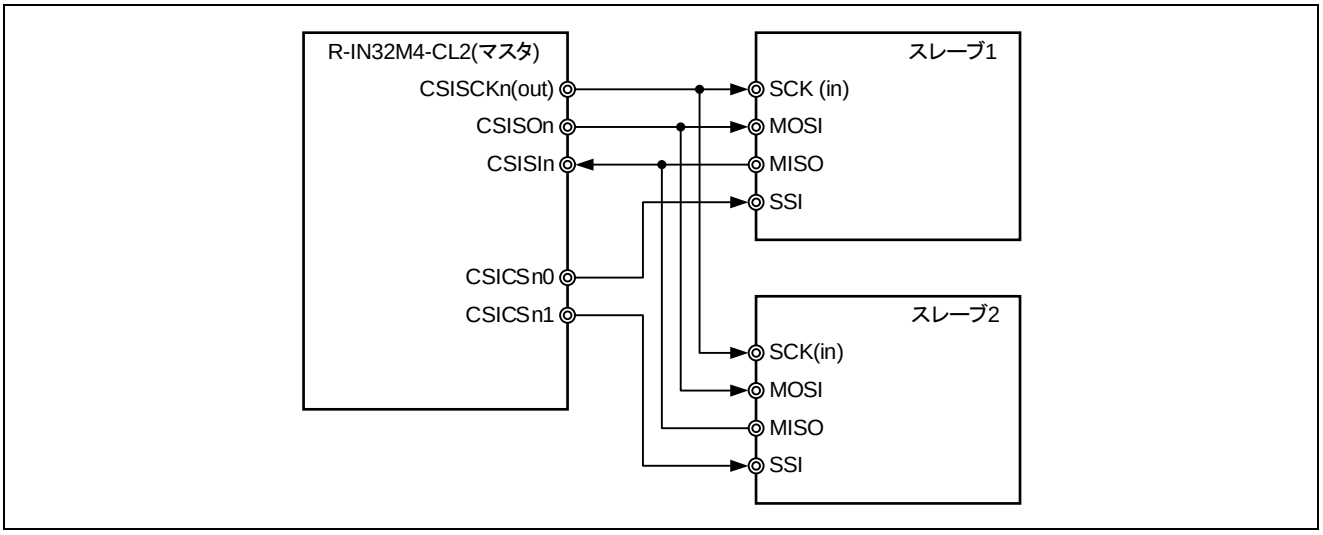


図20.5　1 つのマスタと 2 つのスレーブの間の接続★

デフォルトのチップ・セレクト・レベルはアクティブ・ローです。つまり、スレーブのスレーブ選択入力信号（SSI★）がロー・レベルになっていると、そのスレーブが CSIH スレーブとして選択されます（有効になります）。ただし、チップ・セレクト信号（CS）をほかのデバイスに適合させるために、チップ・セレクト信号の出力レベルがアクティブ・ハイになるようにプログラミングすることもできます。

選択されていないスレーブは、データの受信も送信も行いません。また、選択されていないスレーブの出力 MISO★は、選択されているスレーブの出力と干渉しないように、入力モードに設定されます。

(3)　CSISOn 出力制御★

CSIH は、以下のすべての条件が満たされたときに、CSISOn★出力が可能になります。

- CSIH が有効になっている（CSIHnCTL0.CSIHnPWR = 1）。
- CSIH が送信モードまたは送受信モードで動作している（CSIHnCTL0.CSIHnTXE = 1）。

この機能を利用して外部 CSISOn★信号回線の輻輳を回避することができます。

20.4.3　チップ・セレクト（CS）機能

マスタはチップ･セレクト信号 CSIHnTCSSx を使用して 1 つ以上のスレーブを通信相手として選択することができます。

(1)　コンフィギュレーション・レジスタ

各チップ・セレクト信号 CSIHnTCSSx のパラメータは、対応するコンフィギュレーション・レジスタ CSIHnCFGx で定義されます。パラメータには、通信プロトコルと付加的な CS パラメータが含まれます。

通信プロトコルでは以下の項目を指定します。

- データ長：　送信または受信されるビットの数。
- 転送方向：　MSB ファーストまたは LSB ファースト。
- パリティの使用法：奇数、偶数、0 パリティまたは、なし。
- クロック位相とデータ位相。

マスタ・モードでのみ利用可能な各チップ・セレクト信号の付加的なパラメータを以下に示します。

- 各チップ・セレクト信号個別のボー・レート・ジェネレータのプリスケーラ選択。
- チップ・セレクト優先度：チップ・セレクト信号を「ドミナント」と「リセッシブ」に分けます。設定の異なる複数のチップ・セレクト信号がメッセージ・ブロード・キャスティング用として同時にアクティブになった場合は、優先度が考慮されます。その場合は、ドミナントに指定された設定が使用されます。
  この原則は、「RCB（Recessive Configuration for Broadcasting）」とも呼ばれます。

注意 すべてのドミナント・チップ・セレクト信号の設定が同じである場合を除き、複数のチップ・セレクト信号をドミナントに指定し、それぞれの信号を別の設定にすることは禁止です。

- チップ・セレクトのタイミング
  - セットアップ時間 Tsetup：チップ・セレクト（CSx）信号をアクティブに設定してからデータの出力が開始されるまでの時間。
  - データ間時間 Tinter：同じチップ・セレクト（CSx）信号がアクティブになっている間の 1 つのデータ・パケットと次のデータ・パケットの間の時間。
  - ホールド時間 Thold:チップ・セレクト（CSx）信号が切り替わるまでに CS のアクティブ・レベルが保持される時間。
  - アイドル時間 Tidle：チップ・セレクト（CSx）信号が終了したあと、または同じ CSx への 1 回ごとのデータ転送が完了したあとのインアクティブ時間。

以下の図にチップ・セレクト（CSx）信号のセットアップ時間、データ間時間、ホールド時間、アイドル時間のタイミングを示します。どの CSIHnCFGx.CSIHnIDLx ビットをセット（1）してもすべての CS 空間にアイドル時間が挿入されます

CS0 信号と CS1 信号がデフォルトのアクティブ･ロー（CSIHnCTL1.CSIHnCSL0 = 0, CSIHnCTL1.CSIHnCSL1 = 0）に設定した場合の例を図20.6に示します。アクティブ・レベルは CS ごとに個別に指定することができます。

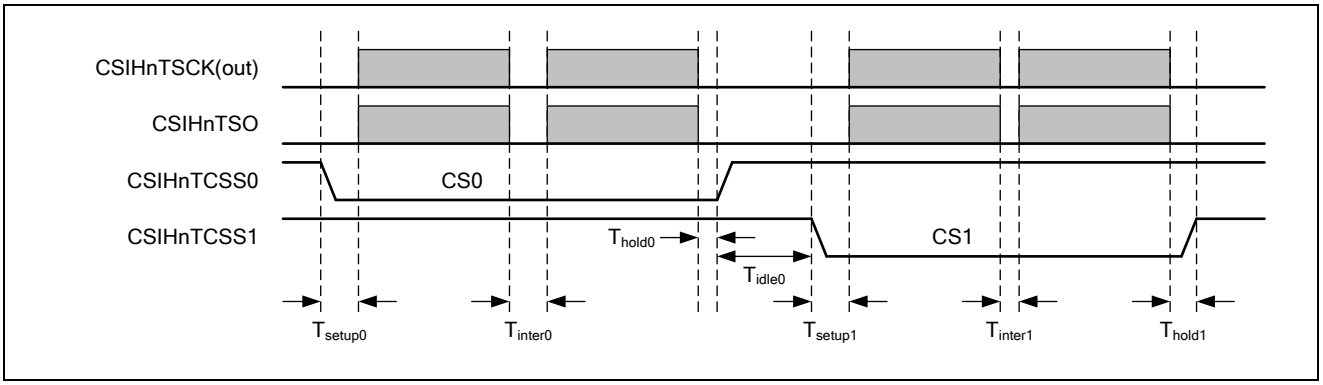


図20.6　チップ・セレクトのタイミング

セットアップ時間、データ間時間、ホールド時間、アイドル時間を CS 信号ごとに個別に設定できる点に注意してください。

特定のチップ・セレクト信号をアクティブにするには、送信データ・レジスタ CSIHnTX0W.CSIHnCS[1:0]の対応するビットをセットします。

受信データ・レジスタの CSIHnRX0W.CSIHnCS[1:0]は、送信データに関連付けられたチップ・セレクト信号を示します。

(2)　CS の例

以下の図は 2 回続けてデータを送信する例を示しています。

最初の通信では CS0 を使用して 1 つのスレーブと通信しています。2 番目の通信（ドミナント側の通信設定で通信）では CS0 と CS1 を有効にして 2 つのスレーブにメッセージをブロードキャストしています。CS0 の優先度は「リセッシブ：低優先度」に設定されており、CS1 の優先度は「ドミナント：高優先度」に設定されています。

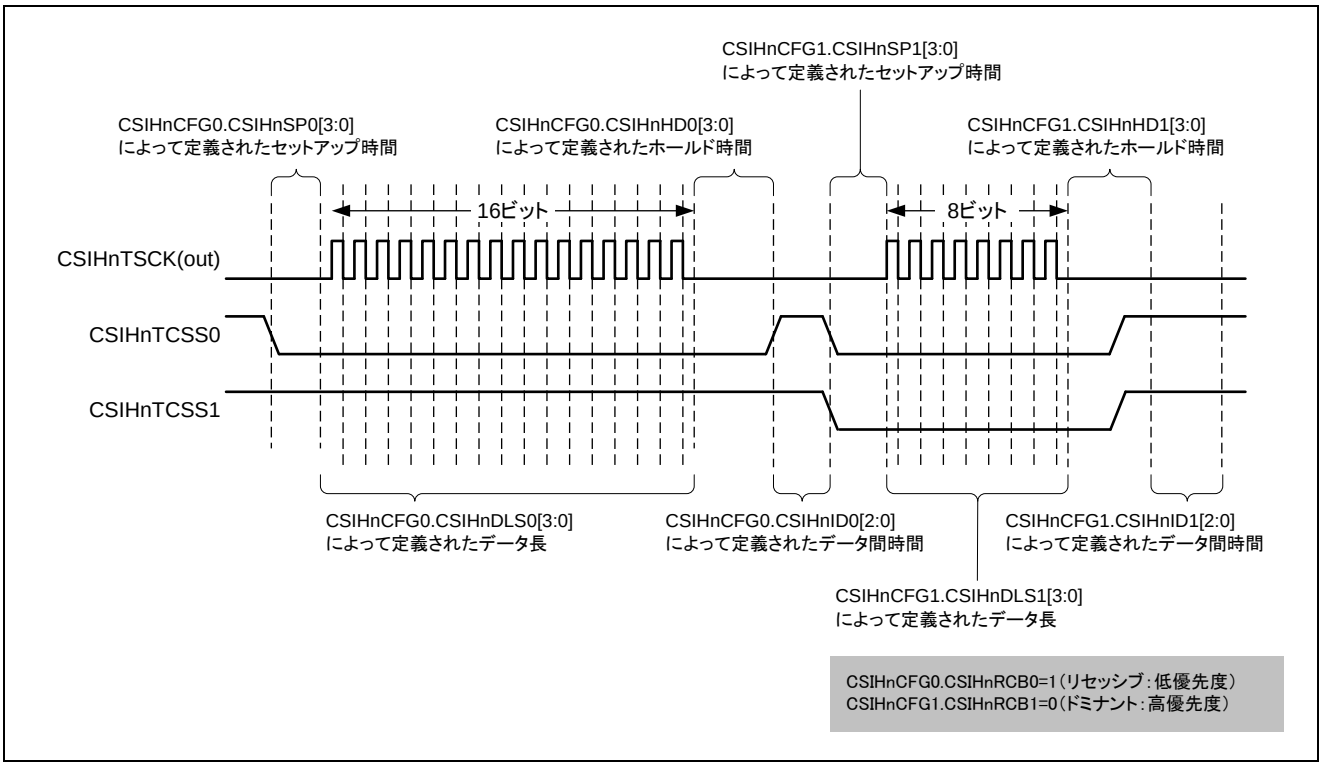


図20.7　　チップ・セレクトと RCB の例

20.4.4　チップ・セレクトのタイミングの詳細

(1)　クロック位相の変更

シリアル・クロック・レベルは CSIHnCFGx.CSIHnCKPx によってチップ・セレクトごとに指定されます。チップ・セレクトの切り替え／シリアル・クロック・レベルの切り替えはアイドル時間中に行われます。アイドル時間の最小値はシリアル・クロック（CSIHnTSCK）の 1/2 周期（0.5SCK）です。

CSIHnCFGx.CSIHnIDx[2:0]でアイドル時間が 0.5 シリアル・クロック周期に設定されている場合、異なる CSIHnCFGx.CSIHnCKPx の設定を持つ 2 つのデータ・パケットが連続して送信されると、アイドル時間が自動的に CSIHnTSCK の 1 周期に延長されます。

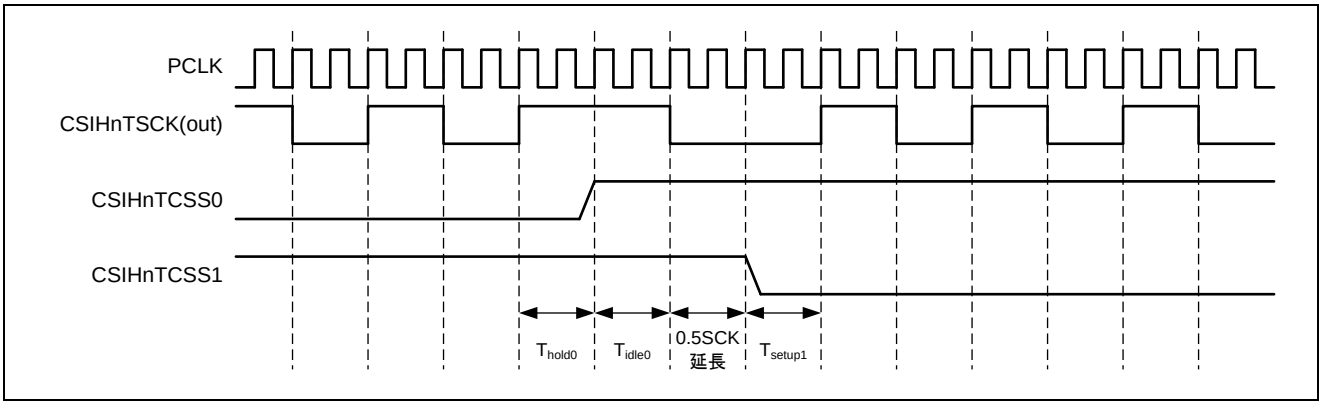


図20.8　クロック位相のタイミング（PCLK/4、T_{hold0} = T_{setup1} = 0.5SCK、T_{idle0} =0.5SCK、CKP0 = 0（CSIHnTCSS0）→ CKP1 = 1（CSIHnTCSS1）の場合）

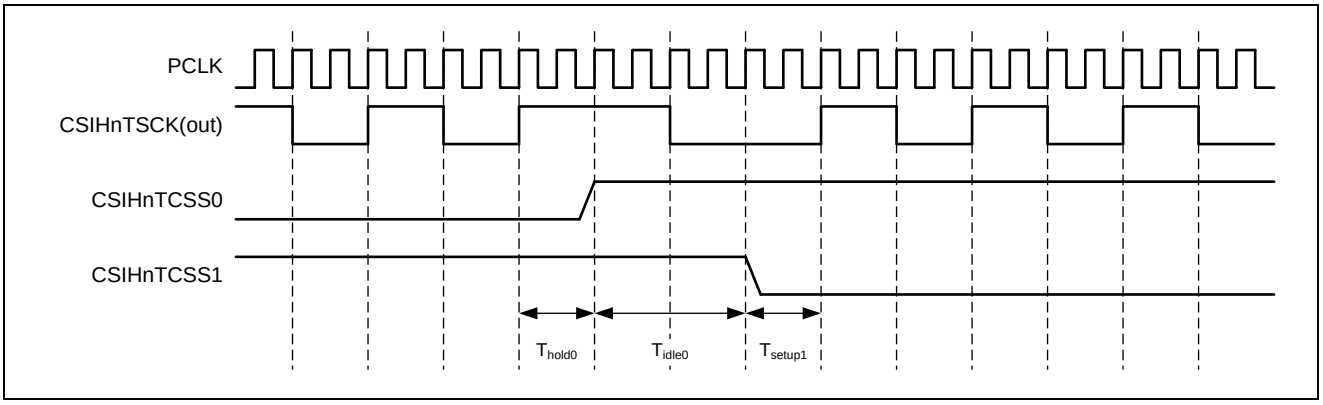


図20.9　クロック位相のタイミング（PCLK/4、T_{hold0} = T_{setup1} = 0.5SCK、Tidle0 =1.0SCK、CKP0 = 0（CSIHnTCSS0）→ CKP1 = 1（CSIHnTCSS1）の場合）

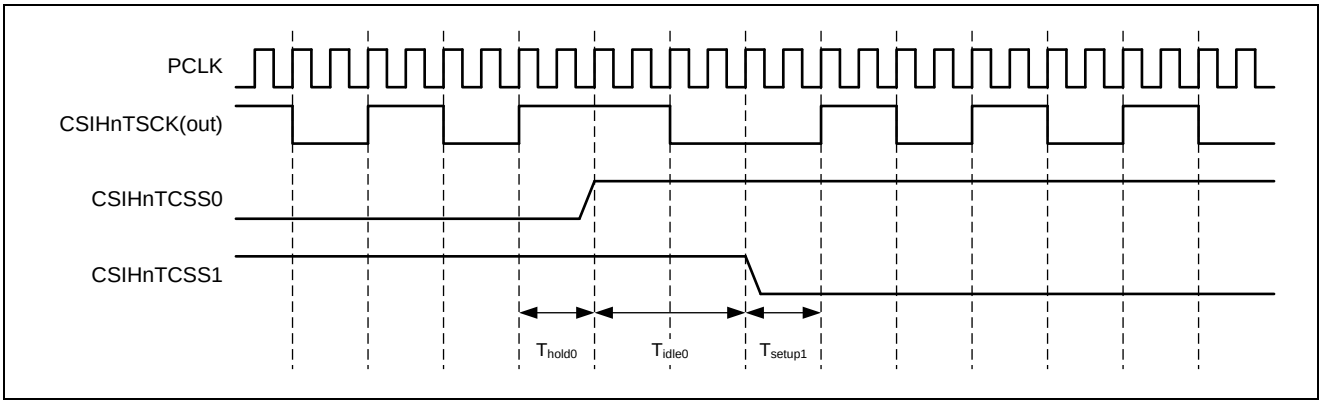


図20.10　クロック位相のタイミング（PCLK/4、T_{hold0} = T_{setup1} = 0.5SCK、T_{idle0} =0.5SCK、CKP0 = 0（CSIHnTCSS0）→ CKP1 = 0（CSIHnTCSS1）の場合）

(2)　データ位相の変更

ビット CSIHnCFGx.CSIHnDAPx では、クロックを基準とするデータ・ビットの位相を定義します。

CSIHnCFGx.CSIHnDAPx = 0 であれば、シリアル・クロック CSIHnTSCK は、パケットの最後のビットが転送されたあと、クロックのレベルを保持します。

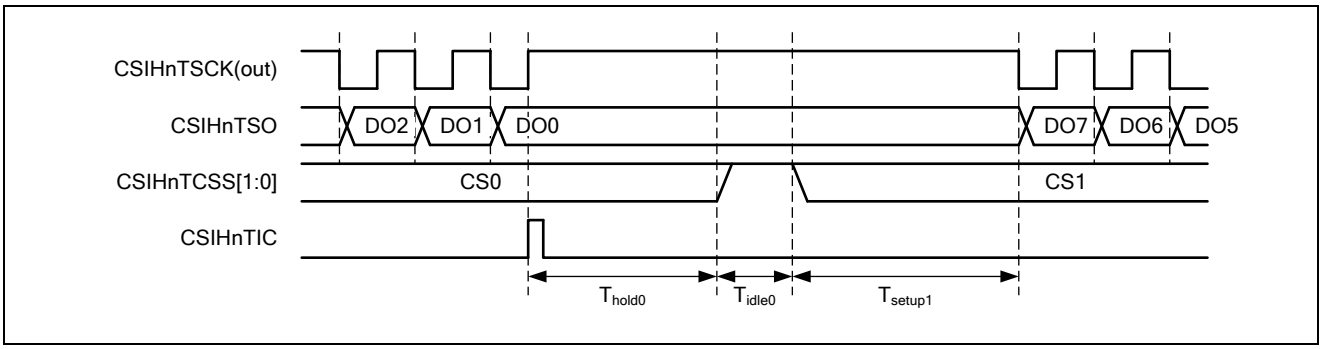


図20.11　データ位相のタイミング（CSIHnCFG0.CSIHnCKP0 = 0、CSIHnCFG0.CSIHnDAP0 = 0 かつ CSIHnCFG1.CSIHnCKP1 = 0、CSIHnCFG1.CSIHnDAP1 = 0 の場合）

2 つの連続するチップ・セレクト信号の間でデフォルトのクロック位相が変化する場合、シリアル・クロック CSIHnTSCK は、最初のデータの最後のビットが転送されたあと、クロックのレベルを変化させます。

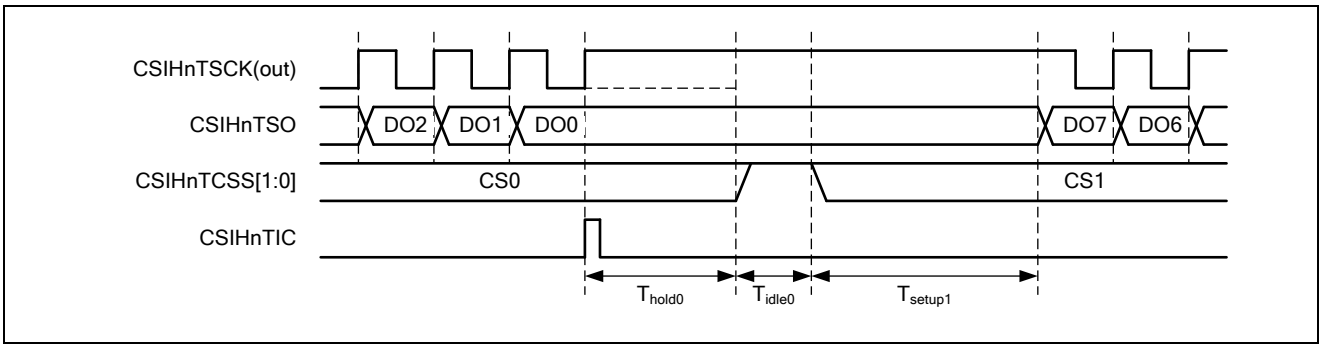


図20.12　データ位相のタイミング（CSIHnCFG0.CSIHnCKP0 = 0、CSIHnCFG0.CSIHnDAP0 = 1 かつ CSIHnCFG1.CSIHnCKP1 = 0、CSIHnCFG1.CSIHnDAP1 = 1 の場合）

CSIHnCFGx.CSIHnIDx[2:0] = 0（Tidle1 = 0.5 シリアル・クロック周期）である場合は、CSIHnTSCK の 1 周期に相当する最小アイドル時間が自動的に挿入される点に注意してください。

20.4.5　ジョブ概念

CSIH でいうジョブは、転送の対象となる複数のデータから構成されます。

- ジョブ・モードの有効化
  ジョブ・モードはマスタ・モードでのみ有効になります。
  CSIHnCTL0.CSIHnPWR = 0 の設定によって CSIH が無効になっている間に、CSIHnCTL1.CSIHnJE によってジョブ・モードを有効または無効にします。

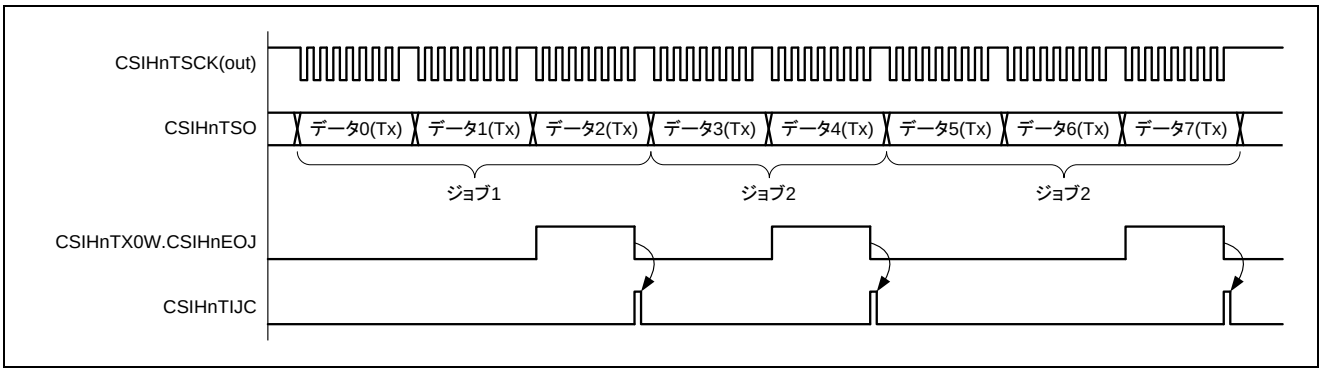


図20.13　ジョブの例

エンド・オブ・ジョブ・ビットがセットされたデータ、つまり CSIHnTX0W.CSIHnEOJ = 1 に設定されているデータを送信することによってジョブは終了します。

ジョブが終了したときに通信が停止するように指定することができます。そうするには、CSIHnCTL0.CSIHnJOBE をセットします。CSIHnJOBE がセットされていると、CSIHnEOJ ビットがセットされたデータが送信されるまで通信が継続します。そのデータの送信後、通信が停止し、ジョブ完了割り込み CSIHnTIJC が発生します。

20.4.6　シリアル・クロックの選択

マスタ・モードでは、以下のビットを使って送信ボー・レートを選択できます。

- CSIHnCTL2.CSIHnPRS[2:0]
- CSIHnCTL2.CSIHnBRS[11:0]
- CSIHnCFGx.CSIHnPSCLx[1:0]

送信ベース・クロック CSIHnBPCLK は CSIHnCTL2 レジスタの設定によって決まりますが、CSIHnCFGx.CSIHnPSCLx[1:0]によって制御されるチップ・セレクト信号専用プリスケーラを利用して、チップ・セレクト信号ごとに異なるボー・レートを生成することができます。

ボー・レート・ジェネレータのブロック図を以下に示します。

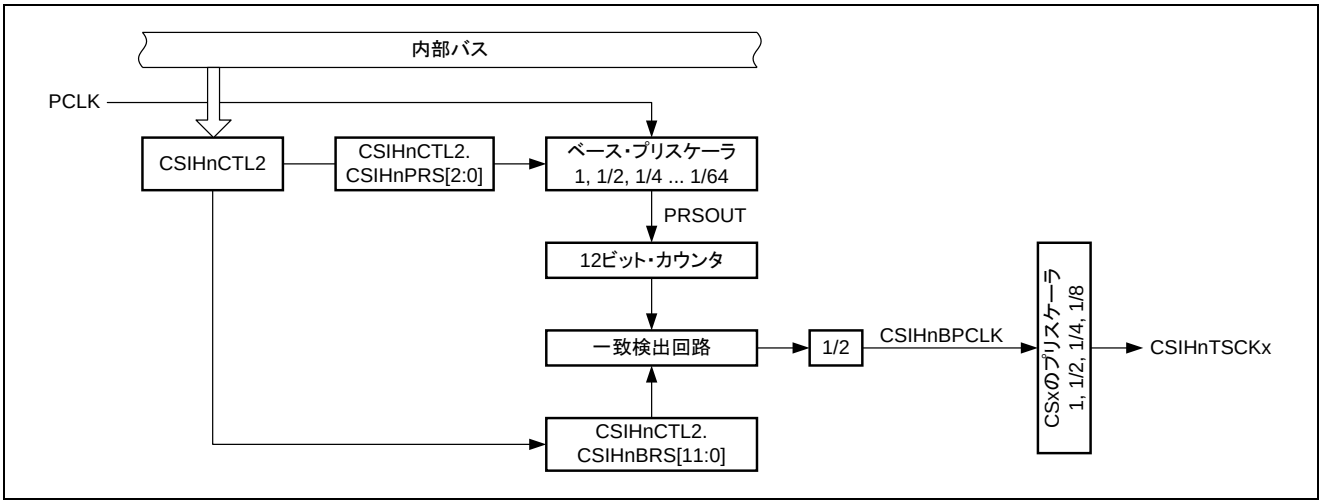


図20.14　ボー・レート・ジェネレータのブロック図

CSIHnCTL2.CSIHnBRS[11:0]をクリアすると、ボー・レート・ジェネレータが無効になり、すべてのCSIHnTSCKx が停止します。

ボー・レートの計算は以下の式です。

$$CSIHnTSCKx = PCLK / (2^m \times k \times 2 \times 2^j)$$

ただし、

m = CSIHnCTL2.CSIHnPRS[2:0] = 0-6

k = CSIHnCTL2.CSIHnBRS[11:0] = 1-4095

j = CSIHnCFGx.CSIHnPSCLx[1:0]= 0-3

20.4.6.1 ボー・レートの上限と下限

ボー・レートを設定するときは、以下のことに注意してください。

- マスタ・モードで使用できる最大ボー・レートは PCLK/4 です。
- スレーブ・モードで使用できる最大ボー・レートは PCLK/6 です（外部マスタのボー・レートがこの範囲に収まっていることを確認する必要があります）。
- いずれのモードでも最小ボー・レートは PCLK/524160 です。

注意 製品によって実際に使用可能な最大ボー・レートの制限があります。各製品の最大ボー・レートを越えないようにボー・レート設定を行ってください。

例　PCLK = 100MHz の場合、最大ボー・レートは以下のとおりです。

- マスタ・モードでは 25Mbps（PCLK/4）
- スレーブ・モードでは 16.66Mbps（PCLK/6）

最小ボー・レートは 190.78bps（PCLK/524160）です。

20.4.7　CSIH のバッファ・メモリ

CSIH はバッファ I/O として使用できる設定可能な RAM を備えています。サイズは 128 ワードです。1 ワードは 32 ビットのデータから構成されます。

以下の設定が可能です。

モード	CSIHnCTL0.CSIHnMBS	CSIHnMCTL0.CSIHnMMS[1:0]
FIFO モード	0	00B
デュアル・バッファ・モード		01B
送信オンリー・バッファ・モード		10B
ダイレクト・アクセス・モード	1	X

(1)　FIFO モード

FIFO モードでは、FIFO がフルになっていなければ、送信の完了を待たずに CSIHnTX0W レジスタにデータをライトしたり、受信後ただちに CSIHnRX0W レジスタをリードしなくてもデータを受信したりすることができます。

送信されるデータは FIFO メモリに保存されます。送信と受信は同時に行われ、1 ビットが送信されると同時に 1 ビットが受信されます。つまり、受信データは FIFO 内の送信済みデータを上書きします。

CSIH は、データ・パケットが処理されたとき、送信されたとき、または受信されたときに、それぞれに対応する FIFO メモリ・ポインタを自動的に更新します。

ポインタの説明	制御ビット	範囲
未送信ワード数	CSIHnSTR0.CSIHnSPF[7:0]	0-128
受信して FIFO に格納されているワード数	CSIHnSTR0.CSIHnSRP[7:0]	0-128
送信データのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000H-01FCH
受信データのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0000H-01FCH

CSIH ステータス・レジスタには 2 つの FIFO ステータス・フラグが含まれています。

- CSIHnSTR0.CSIHnFLF：FIFO フル
- CSIHnSTR0.CSIHnEMF：FIFO エンプティ

このモードを開始するときは、CSIHnSTCR0.CSIHnPCT ビットをセットする必要があります。そうすることで、すべての FIFO ポインタと FIFO フラグがリセットされます。

(2) デュアル・バッファ・モード

このモードでは、サイズの等しい 2 つの部分にメモリが分割されます。つまり、64 ワードが送信データに割り当てられ、64 ワードが受信データに割り当てられます。デュアル・バッファ・モードでは、個々のバッファ・ポインタが以下の値を示します。

ポインタの説明	ポインタ注	範囲
CSIHnTX0W/H にライトされるデータまたは CSIHnTX0W/H からリードされるデータの送信先アドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000H-00FCH
CSIHnRX0W/H からリードされるデータのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0000H-00FCH
送信ポインタ	CSIHnMCTL2.CSIHnSOP[6:0]	0000H-00FCH

注 1 回のリード／ライトごとに各ポインタが自動的にインクリメントされます。

(3) 送信オンリー・バッファ・モード

このモードでは、メモリ全体が送信データの保存に使用されます。
受信データは CSIHnRX0W/H から直接リードする必要があります。
送信オンリー・バッファ・モードでは、個々のバッファ・ポインタが以下の値を示します。

ポインタの説明	ポインタ注	範囲
CSIHnTX0W/H にライトされるデータまたは CSIHnTX0W/H からリードされるデータの送信先アドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000H-01FCH
送信ポインタ	CSIHnMCTL2.CSIHnSOP[6:0]	0000H-01FCH

注 1 回のリード／ライトごとに各ポインタが自動的にインクリメントされます。

(4) ダイレクト・アクセス・モード

ダイレクト・アクセス・モードでは、CSIH のメモリが完全にバイパスされます。

- CPU から送信データ・レジスタ CSIHnTX0W または CSIHnTX0H に供給される送信データはシフト・レジスタに直接コピーされます。
- 受信データはシフト・レジスタから受信データ・レジスタ CSIHnRX0W または CSIHnRX0H へ直接コピーされます。

20.4.8　データ転送モード

(1)　送信モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 0 に設定すると、CSIH は送信モードになります。送信が開始される条件はメモリ・モードによって異なります。

- FIFO モードまたはダイレクト・アクセス・モードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データがライトされると送信が開始されます。
- デュアル・バッファ・モードまたは送信オンリー・バッファ・モードでは、ビット CSIHnMCTL2.CSIHnBTST がセットされると送信が開始されます。

(2)　受信モード

CSIHnCTL0.CSIHnTXE = 0 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は受信モードになります。マスタ・モードでは、受信を開始する条件がメモリ・モードによって異なります。

- FIFO モードまたはダイレクト・アクセス・モードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにダミー・データがライトされると受信が開始されます。
- デュアル・バッファ・モードまたは送信オンリー・バッファ・モードでは、ビット CSIHnMCTL2.CSIHnBTST がセットされると受信が開始されます。

スレーブ・モードでは、マスタからシリアル・クロック CSIHnTSCK を受信すると、ただちに受信が開始されます。この場合、スレーブの CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにデータをライトする必要はありません。

(3)　送受信モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は送受信モードになります。通信（送信と受信）を開始する条件はメモリ・モードによって異なります。

- FIFO モードまたはダイレクト・アクセス・モードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データがライトされると通信が開始されます。
- デュアル・バッファ・モードまたは送信オンリー・バッファ・モードでは、ビット CSIHnMCTL2.CSIHnBTST がセットされると通信が開始されます。

(4)　まとめ

以下の表にこのセクションのまとめを記載します。この表は、さまざまなメモリ・モード、動作モード、転送モードでデータ転送を開始する条件を示しています。

メモリ・モード	転送モード	動作モード	データ転送を開始する条件
FIFO モード、 ダイレクト・アクセス・モード	送信モード 送受信モード	マスタ、 スレーブ	CSIHnTX0W または CSIHnTX0H レジスタへの送信データ・ライト
	受信モード	マスタ	CSIHnTX0W または CSIHnTX0H レジスタへのダミー・データ・ライト
		スレーブ	マスタからのシリアル・クロック CSIHnTSCK の受信
送信オンリー・バッファ・モード、 デュアル・バッファ・モード	送信モード 送受信モード 受信モード	マスタ、 スレーブ	CSIHnMCTL2.CSIHnBTST = 1 ライト

20.4.9　データ長の選択

(1)　7-16 ビットのデータ長

CSIHnCFGx.CSIHnDLSx[3:0]を利用して、チップ・セレクト信号ごとに 7 ビットから 16 ビットの間のデータ・パケット長を選択できます。以下の例は、MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）での通信を示しています。

データ長 = 16 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 0000B)

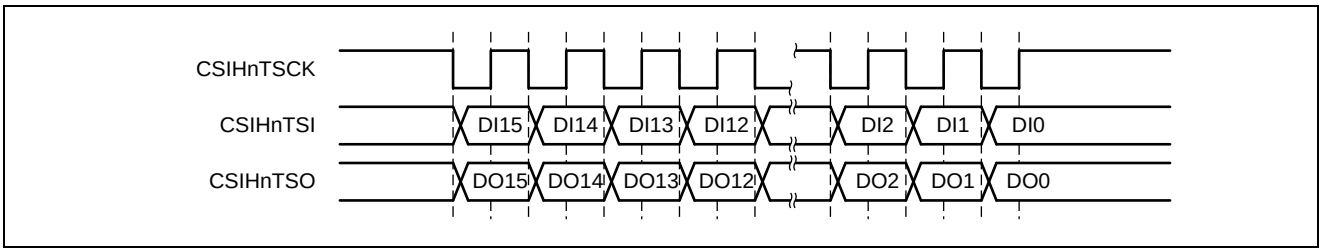


図20.15　データ長 16 ビット、MSB ファースト

データ長 = 14 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1110B）

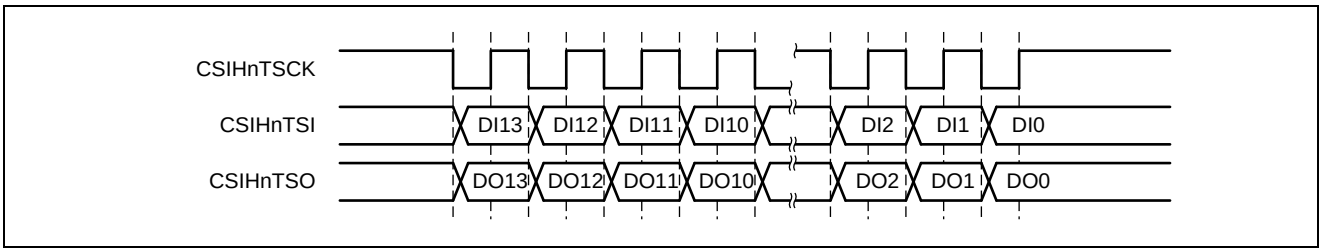


図20.16　データ長 14 ビット、MSB ファースト

(2) 16 ビットを上回るデータ長

データ長が 16 ビットを上回るデータを送受信する場合は、拡張データ長（EDL）機能を使用できます。
EDL 機能は、CSIHnCTL1.CSIHnEDLE をセット（1）することで有効になります。
EDL 機能の動作および設定手順を次に示します。

- データを 16 ビットのブロックと剰余部分に分割されます。たとえば、42 ビットの文字列は 2 つの 16 ビット・ブロックと 10 ビットに分割されます。
- 剰余部分は CSIHnCFGx.CSIHnDLSx[3:0]ビットで指定する「データ長」で設定します。
- 16 ビットのブロックを送信するときは、CSIHnTX0W.CSIHnEDL ビットをセット（1）してください。この場合、CSIHnTX0W レジスタにライトされるデータは、CSIHnCFGx.CSIHnDLSx[3:0]ビットの設定に関係なく、データ長 16 ビットのデータとして送信されます。
- 指定されたデータ長（CSIHnTX0W.CSIHnEDL = 0 のときの剰余部分）のデータが送信されると転送が完了します。

例）40 ビットのデータ 123456789AH を CS0 に送信する例
40 ビットのデータを 16 ビットのデータ 2 つと 8 ビットのデータ 1 つに分割します。

- CSIHnCFG0.CSIHnDLS0[3:0] = 8H に初期化します。
- 123456789AH を MSB ファーストで送信するには、以下のシーケンスを CSIHnTX0W にライトします。
  - 20FE 1234H (CSIHnTX0W.CSIHnEDL = 1)
  - 20FE 5678H (CSIHnTX0W.CSIHnEDL = 1)
  - 00FE 009AH (CSIHnTX0W.CSIHnEDL = 0)

以下にタイミング図を示します。

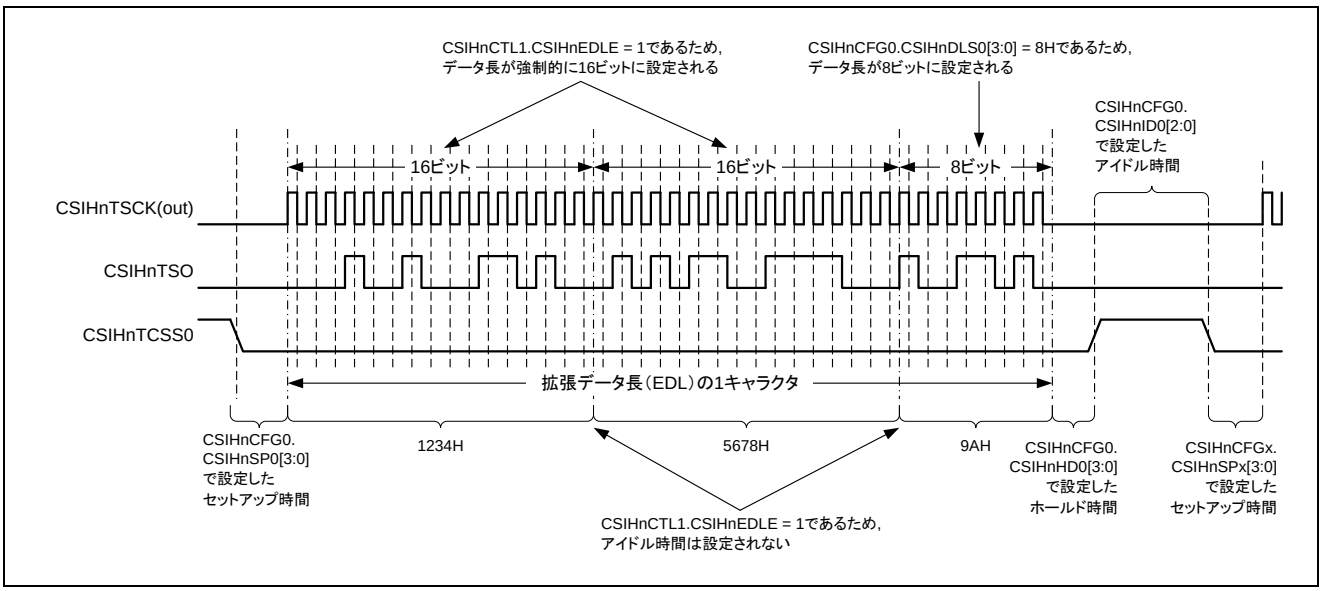


図20.17　EDL のタイミング図

備考 1. 7 ビット未満のデータ長は、EDL 機能を使用するときにのみ設定できます。

2. データ長が 7 ビット未満のデータを 2 つ続けて送信することはできません。

3. パリティが有効になっていると、最後のビットの後ろにパリティ・ビットが追加されます。

4. 送信されるデータが 123456H の場合の例について説明します。

- CSIHnCFGx.CSIHnDIR = 0 に設定（MSB ファースト）

CSIHnTX0W = 2000 1234H をライト（CSIHnTX0W.CSIHnEDL = 1）

CSIHnTX0W = 0000 0056H をライト（CSIHnTX0W.CSIHnEDL = 0）

- CSIHnCFGx.CSIHnDIR = 1 に設定（LSB ファースト）

CSIHnTX0W = 2000 3456H をライト（CSIHnTX0W.CSIHnEDL = 1）

CSIHnTX0W = 0000 0012H をライト（CSIHnTX0W.CSIHnEDL = 0）

5. EDL 機能は、スレーブ・モード（CSIHnCTL1.CSIHnPRS[2:0] =111B）で、受信モード（CSIHnCTL0.CSIHnTXE = 0, CSIHnCTL0. CSIHnRXE = 1）では使用できません。

20.4.10　シリアル・データ方向の選択

CSIHnCFGx レジスタの CSIHnDIRx ビットを利用して、チップ・セレクト信号ごとにシリアル・データ方向を選択することができます。

以下の例はデータ長 8 ビットの通信（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）を示しています。

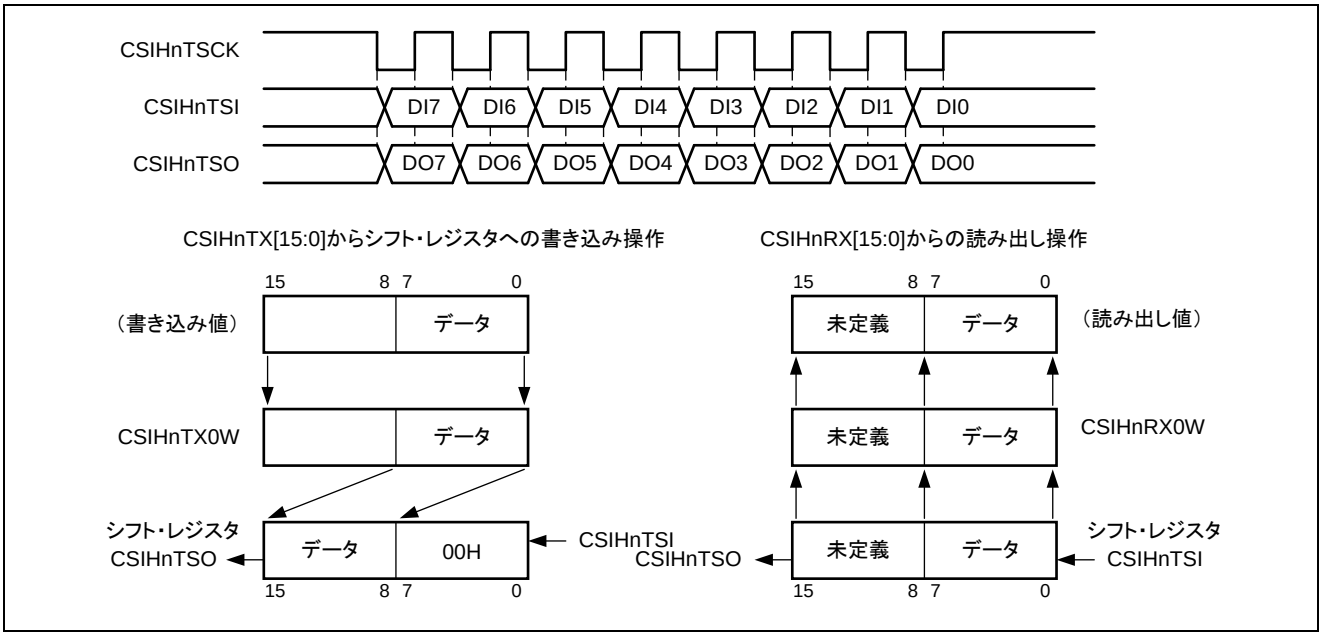


図20.18　シリアル・データ方向選択機能—MSB ファースト（CSIHnDIR = 0）

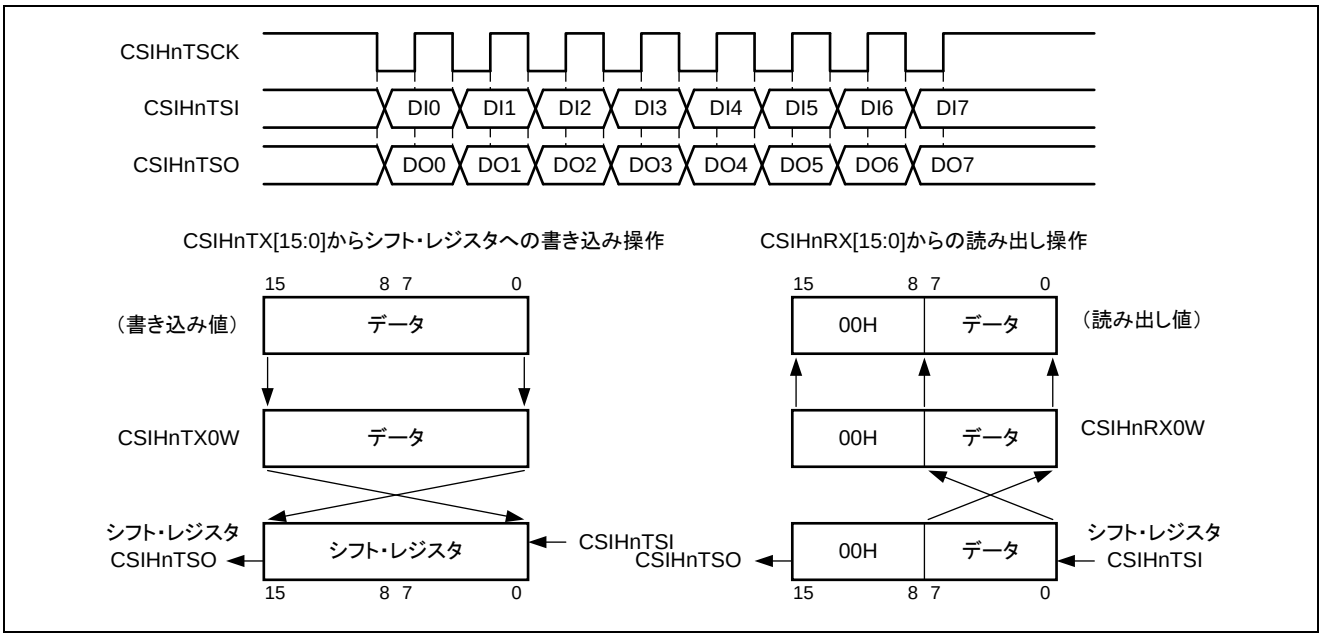


図20.19　シリアル・データ方向選択機能—LSB ファースト（CSIHnDIR = 1）

20.4.11　スレーブ・モードでの通信

以下の図は、スレーブ・モードでの通信の信号とタイミングを示しています。

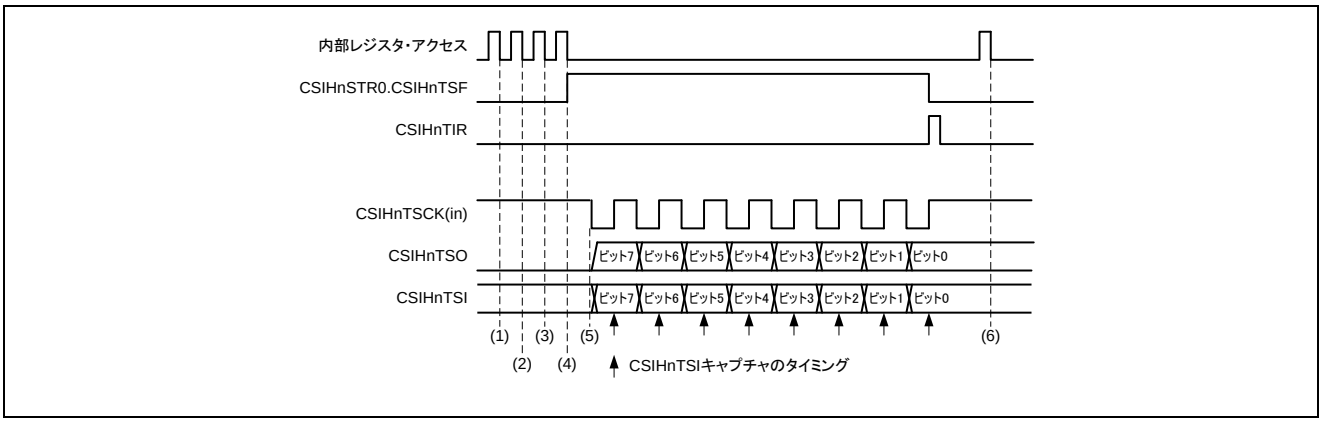


図20.20　スレーブ・モードでの送受信のタイミング

1. CSIHnCTL2.CSIHnPRS[2:0] = 111B を設定することによって、CSIH はスレーブ・モードに入ります。
2. CSIHnCTL1.CSIHnCKR と CSIHnCFG0.CSIHnDAP0 は 0、データ長は 8 ビット（CSIHnCFG0.CSIHnDLS0[3:0] = 1000B）、データ方向は MSB ファースト（CSIHnCFG0.CSIHnDIR0 = 0）です。
3. CSIH を送受信動作モードに設定（CSIHnCTL0.CSIHnPWR = 1、CSIHnCTL0.CSIHnTXE = 1, CSIHnCTL0.CSIHnRXE = 1）。通信の開始が許可されます。
4. 転送データが送信データ・レジスタ CSIHnTX0W または CSIHnTX0H にライトされると、転送ステータス・フラグ CSIHnSTR0.CSIHnTSF が自動的にセットされ、受信待ち状態になります。
5. シリアル・クロックが入力されると転送データはシリアル・クロックに同期して CSIHnTSO から送信し、同時に CSIHnTSI への入力は無視されます。
6. CSIHnRX0W または CSIHnRX0H レジスタをリードします。

備考 各動作モードのスレーブ・モードの手順は20.5「操作手順」を参照してください。

20.4.12　CSIH の割り込み要求

CSIH は以下の割り込み要求を発生することができます。

- CSIHnTIC（通信割り込み）
- CSIHnTIR（受信割り込み）
- CSIHnTIRE（エラー割り込み）
- CSIHnTIJC（ジョブ完了割り込み）

(1)　CSIHnTIC（通信割り込み）

この割り込みが発生する条件は、以下に示すように、メモリ・モードとジョブ・モードによって異なります。

メモリ・モード	割り込み要因	
	ジョブ・モード無効 CSIHnCTL1.CSIHnJE = 0	ジョブ・モード有効 CSIHnCTL1.CSIHnJE = 1
FIFO モード	この割り込みは、FIFO 内の送信データがなくなる直前に発生し、新しいデータを追加する必要があることをアプリケーションに知らせます。 FIFO に残っている送信データの数 CSIHnSTR0.CSIHnSPF[7:0]が CSIHnMCTL1.CSIHnFES[6:0]と等しくなると CSIHnTIC が発生します。	
	ただし、ジョブ中断[注]された場合は、割り込み CSIHnTIC は発生しません。	—
送信オンリー・バッファ・モード、 デュアル・バッファ・モード	通信終了時（CSIHnMCTL2.CSIHnND[7:0] ビットで指定）に発生します。	CSIHnTX0W.CSIHnCIRE = 1 の設定でデータが送信されたときに発生します。 ただし、CSIHnTX0W.CSIHnCIRE = 1 の設定でデータとジョブ中断[注]が送信された場合は、CSIHnTIC の代わりに割り込み CSIHnTIJC が発生します。
ダイレクト・アクセス・モード	データ転送が 1 回行われるたびに発生します。ただし、ジョブ中断[注]された場合は、割り込み CSIHnTIC は発生しません。	通信が中断された場合を除き、データ転送が 1 回行われるたびに発生します。 ただし、CSIHnTX0W.CSIHnCIRE = 1 の設定でデータとジョブ中断[注]が送信された場合は、CSIHnTIC の代わりに割り込み CSIHnTIJC が発生します。

注 ジョブ中断の条件：CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1

(a)　ダイレクト・アクセス・モードでの CSIHnTIC

以下の例はダイレクト・アクセス・モードでの CSIHnTIC の動作を示しています。
この例では、以下の条件が想定されています。

- マスタ・モード
- ダイレクト・アクセス・モード
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 通常の CSIHnTIC 割り込みのタイミング（CSIHnCTL1.CSIHnSLIT = 0）

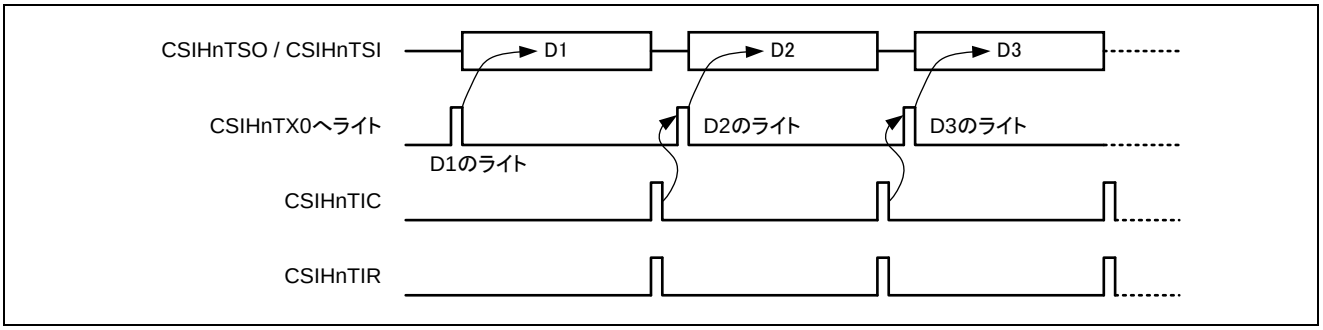


図20.21　転送後の CSIHnTIC の発生（CSIHnCTL1.CSIHnSLIT = 0）

ジョブ・モードが有効になっており（CSIHnCTL1.CSIHnJE = 1）、CSIHnTX0W.CSIHnEOJ = 1 の設定でデータが送信され、通信停止の要求が発行されている（CSIHnCTL0.CSIHnJOBE = 1）状態でジョブが終了した場合、CSIHnTIC はジョブ完了割り込み CSIHnTIJC に置き換えられます。

CSIHnTX0 レジスタが空になり、次のデータの受け入れが可能になったときに CSIHnTIC が発生するように設定することもできます。そうするには、CSIHnCTL1.CSIHnSLIT = 1 に設定します。

備考 このモードではデータ転送が高速になりますが、このモードはダイレクト・アクセス・モードでしか利用できません。

以下の図にその効果を示します。

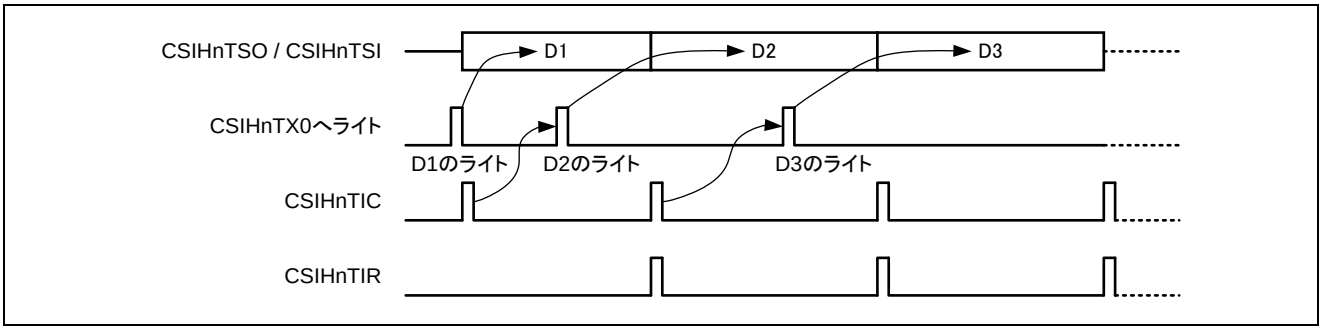


図20.22　CSIHnTIC の即時の発生（CSIHnCTL1.CSIHnSLIT = 1）

このように、新しいデータを先行してライトすることができます。

(b)　FIFO モードでの CSIHnTIC

以下の例は FIFO モードでの CSIHnTIC の動作を示しています。
この例では、以下の条件が想定されています。

- マスタ・モード
- FIFO モード
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）

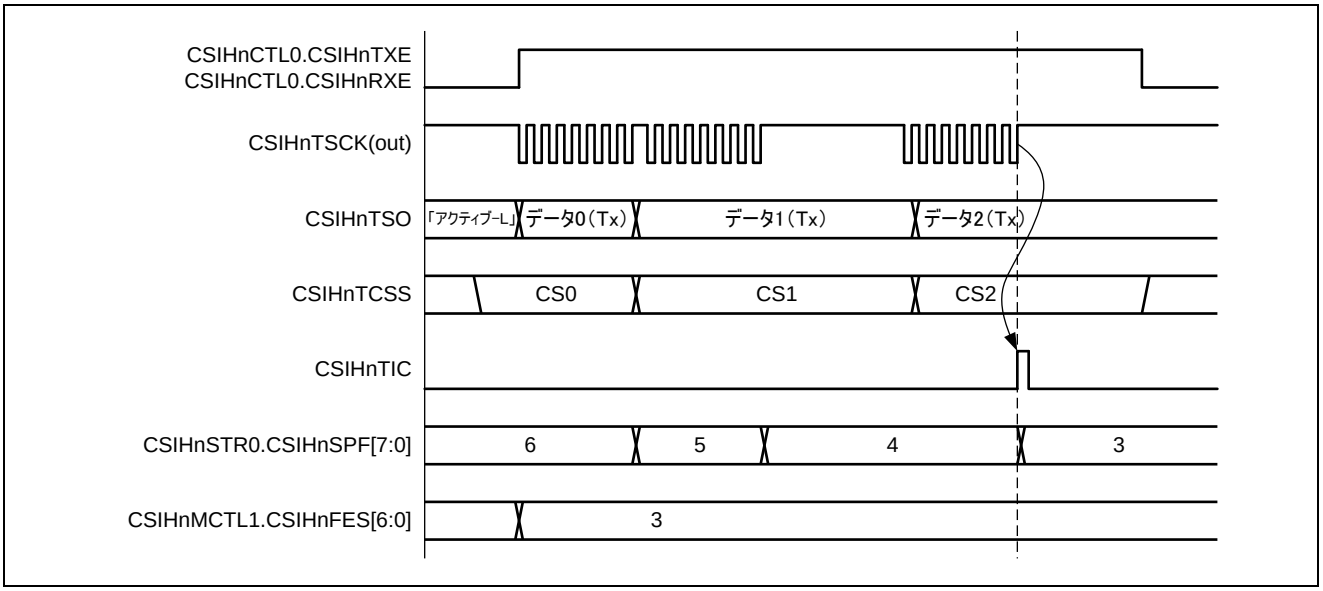


図20.23　FIFO モードでの CSIHnTIC の発生

FIFO モードでの CSIHnTIC の発生条件（受信データ・エンプティ）は CSIHnMCTL1.CSIHnFES[6:0]で指定します。上の図の例では、条件としてデータ数 3 が設定されています。CSIHnSTR0.CSIHnSPF[7:0]は FIFO に残っている未送信のデータの数を示しています。両方の数が一致すると、割り込み CSIHnTIC が発生します。

(c)　ジョブ・モードでの CSIHnTIC

以下の例はジョブ・モードでの CSIHnTIC の動作を示しています。
この例では、以下の条件が想定されています。

- マスタ・モード
- ジョブ・モード有効（CSIHnCTL1.CSIHnJE = 1）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 通常の CSIHnTIC 割り込みのタイミング（CSIHnCTL1.CSIHnSLIT = 0）
- デュアル・バッファ・モード（CSIHnCTL0.CSIHnMBS = 0、CSIHnMCTL0.CSIHnMMS[1:0] = 01H）

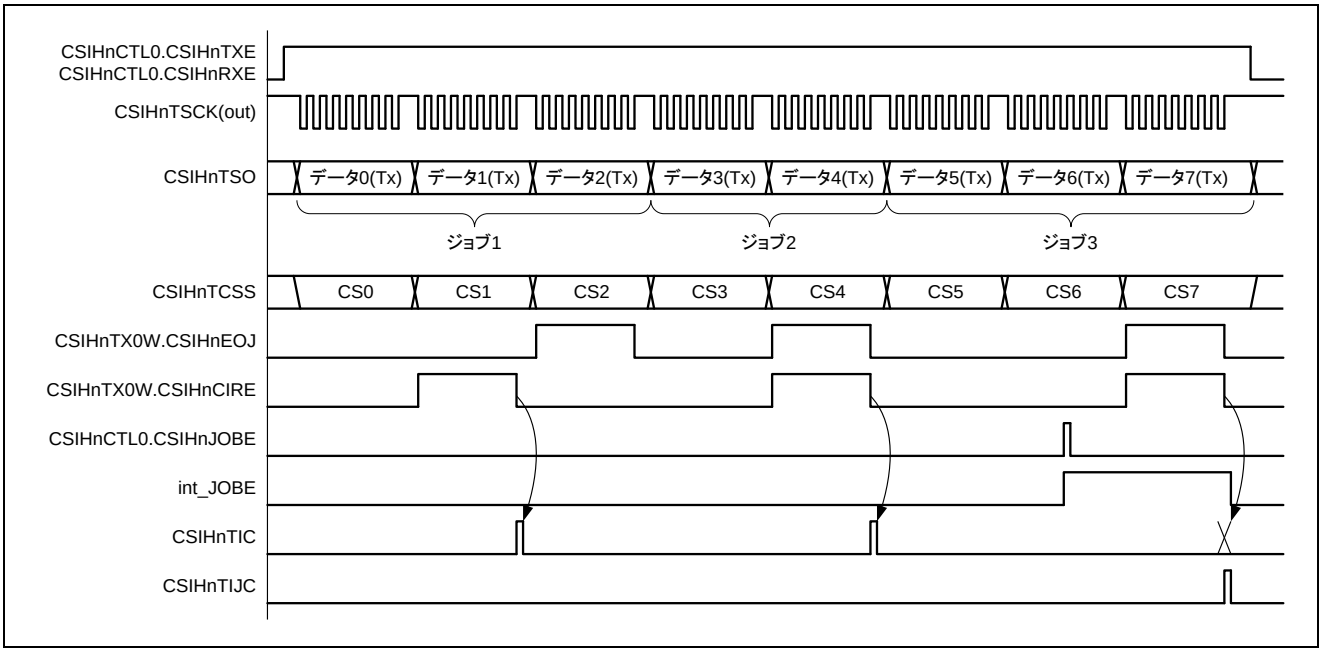


図20.24　ジョブ・モードでの CSIHnTIC の発生

備考 上の図のタイミングの「int_JOBE」信号は、CSIHnJOBE ビットの内部信号です。

ジョブ・モードでの CSIHnTIC の発生に適用される規則を以下の表に示します。

表20.9　ジョブ・モードでの CSIHnTIC の発生

メモリ・モード	CSIHnTX0W.CSIHnCIRE	CSIHnTX0W.CSIHnEOJ	CSIHnTIC
FIFO モード（CSIHnCTL1.CSIHnJE=1）	0（FIFO empty 注）	0	発生します。
		1	CSIHnCTL0.CSIHnJOBE = 0 の場合、発生します。 CSIHnCTL0.CSIHnJOBE = 1 の場合、発生せず割り込み CSIHnTIJC に置き換えられます。
	1（FIFO empty 注）	0	発生します。
		1	CSIHnCTL0.CSIHnJOBE = 0 の場合、発生します。 CSIHnCTL0.CSIHnJOBE = 1 の場合、発生せず割り込み CSIHnTIJC に置き換えられます。
	0（FIFO あり）	0	発生しません。
		1	発生しません。 CSIHnCTL0.CSIHnJOBE = 1 の場合、割り込み CSIHnTIJC に置き換えられます。
	1（FIFO あり）	0	発生しません。
		1	割り込み CSIHnTIJC に置き換えられます。
デュアル・バッファ・モード、送信オンリー・モード（CSIHnCTL1.CSIHnJE=1）	0	0	発生しません。
		1	発生しません。 CSIHnCTL0.CSIHnJOBE = 1 の場合、割り込み CSIHnTIJC に置き換えられます。
	1	0	発生します。
		1	CSIHnCTL0.CSIHnJOBE = 0 の場合、発生します。 CSIHnCTL0.CSIHnJOBE = 1 の場合、発生せず割り込み CSIHnTIJC に置き換えられます。
ダイレクト・アクセス・モード（CSIHnCTL1.CSIHnJE=1）	－	0	発生します。
	－	1	CSIHnCTL0.CSIHnJOBE = 1 の場合、発生せず割り込み CSIHnTIJC に置き換えられます。

注. FIFO empty：CSIHnSTR0.CSIHnSPF7-0 と CSIHnMCTL1.CSIHnFE6-0 の値が一致。

(2) CSIHnTIR（受信割り込み）

この割り込みが発生する条件は、以下に示すように、メモリ・モードとジョブ・モードによって異なります。

表20.10　CSIHnTIR 割り込みの発生

メモリ・モード	割り込み要因	
	ジョブ・モード無効 CSIHnCTL1.CSIHnJE = 0	ジョブ・モード有効 CSIHnCTL1.CSIHnJE = 1
FIFO モード	この割り込みは、FIFO バッファが受信データでフルになる直前に発生し、FIFO をエンプティにする必要があることをアプリケーションに知らせます。 FIFO に残っている受信データの数 CSIHnSTR0.CSIHnSRP[7:0]が CSIHnMCTL1.CSIHnFFS[6:0]と等しくなると CSIHnTIR が発生します。	
デュアル・バッファ・モード	通信が終了し（CSIHnMCTL2.ND[7:0] ビットで指定）、かつ CSIHnCTL0.CSIHnRXE = 1 であれば発生します。	CSIHnCTL0.CSIHnRXE =1 であれば、データ受信が 1 回行われるたびに発生します。
送信オンリー・バッファ・モード ダイレクト・アクセス・モード	CSIHnCTL0.CSIHnRXE =1 であれば、データ受信が 1 回行われるたびに発生します。	

送信モードまたはデュアル・バッファ・モードの場合、この割り込みは、受信モードまたは送受信モードでデータが 1 つ受信されるたびに発生します。

(a)　ダイレクト・アクセス・モードでの CSIHnTIR

以下の例はダイレクト・アクセス・モードでの CSInHTIR の動作を示しています。
この例では、以下の条件が想定されています。

- マスタ・モード
- ダイレクト・アクセス・モード
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）

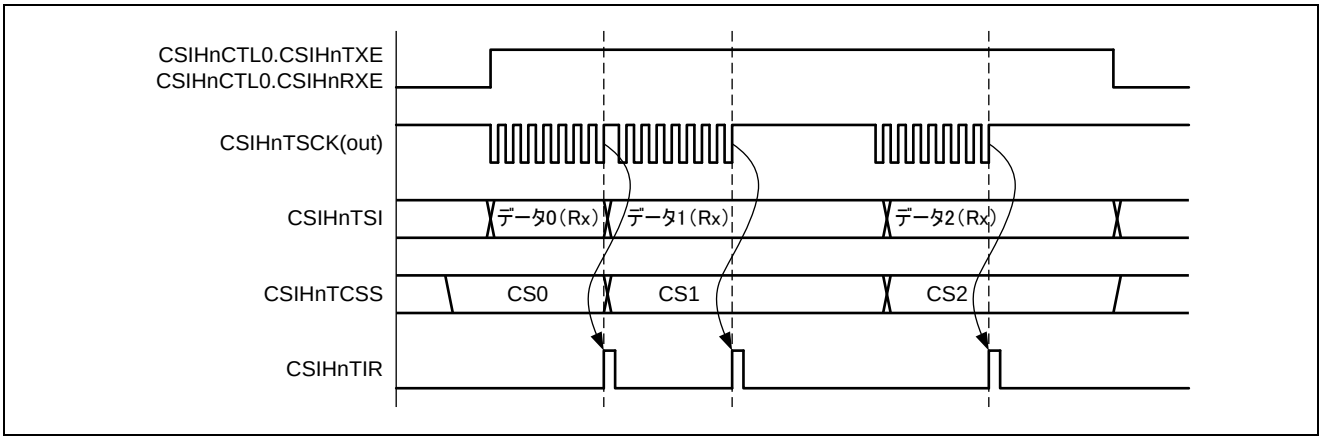


図20.25　ダイレクト・アクセス・モードでの CSInHTIR の発生

(b)　デュアル・バッファ・モードでの CSIHnTIR

以下の例はデュアル・バッファ・モードでの CSIHnTIR の動作を示しています。
この例では、以下の条件が想定されています。

- マスタ・モード
- デュアル・バッファ・モード
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- デフォルトのクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 3 個のデータを送信（CSIHnMCTL2.CSIHnND[7:0] = 03H）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）

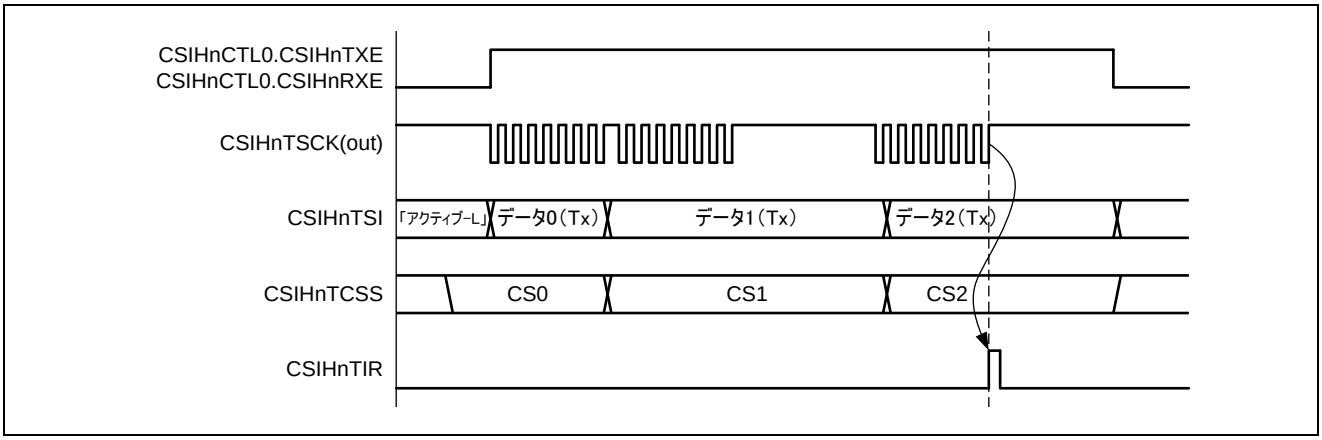


図20.26　デュアル・バッファ・モードでの CSIHnTIR の発生

(3) CSIHnTIRE（受信エラー割り込み）

この割り込みはエラーが検出されるたびに発生します。

表20.11　データ・エラーのタイプ

エラーのタイプ	エラー割り込み後の通信ステータス	備考
オーバフロー・エラー	割り込みが発生しても通信は継続します。	FIFO にライトされたデータは失われますが、エラー発生前に開始された通信は継続して行われます。
パリティ・エラー	割り込みが発生しても通信は継続します。	-
データー貫性エラー	割り込みが発生しても通信は継続します。	-
タイムアウト・エラー	割り込みが発生しても通信は継続します。	-
オーバラン・エラー	割り込みが発生したあと、通信は継続します（停止しません。）。	受信データの数が 0 になった状態で CPU が受信データをリードすると、このエラーが発生します（FIFO モードのみで発生します。）。

CSIHnTIRE が発生する原因となったエラーのタイプは、CSIHnSTR0 レジスタのフラグによって識別されます。

さらに、CSIHnRX0W 内の受信データにパリティ・エラー・フラグとデーター貫性エラー・フラグが添付されます。

さまざまなエラー・タイプの詳細については、20.4.13「エラー検出」を参照してください。

(4)　CSIHnTIJC（ジョブ完了割り込み）

この割り込みはジョブの処理に対応しています。20.4.5「ジョブ概念」を参照してください。この割り込みはマスタ・モードでのみ利用できます。

ジョブ・モードは CSIHnCTL1.CSIHnJE = 1 に設定することによって有効になります。CSIHnCTL1.CSIHnJE = 0 の場合、CSIHnTIJC は発生しません。

この割り込みが発生する条件は、以下に示すように、メモリ・モードによって異なります。

表20.12　CSIHnTIJC 割り込みの発生

メモリ・モード	割り込み要因	
	ジョブ・モード無効 CSIHnCTL1.CSIHnJE = 0	ジョブ・モード有効 CSIHnCTL1.CSIHnJE = 1
FIFO モード	適用不可	ジョブ中断[注]がトリガされたあと、ジョブの終了時に通信が停止した。
送信オンリー・バッファ・モード		
デュアル・バッファ・モード		
ダイレクト・アクセス・モード		

注 ジョブ中断の条件：CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1

(5)　全割り込み遅延

マスタ・モードでは、マスタから発生するすべての割り込みをシリアル・クロック CSIHnTSCK の半周期だけ遅延させることができます。スレーブ・モードでこの機能を利用することはできません。

遅延を指定するには、ビット CSIHnCTL1.CSIHnSIT = 1 に設定します。

CSIHnCTL1.CSIHnSIT = 1（割り込み遅延有効）、

CSIHnCFGx.CSIHnCKPx = 0、

CSIHnCFGx.CSIHnDAPx = 0（クロック位相とデータ位相）、

CSIHnCFGx.CSIHnDLSx[3:0] = 1000B（データ長 8 ビット）の設定で割り込み遅延機能を使用する例を以下の図に示します。

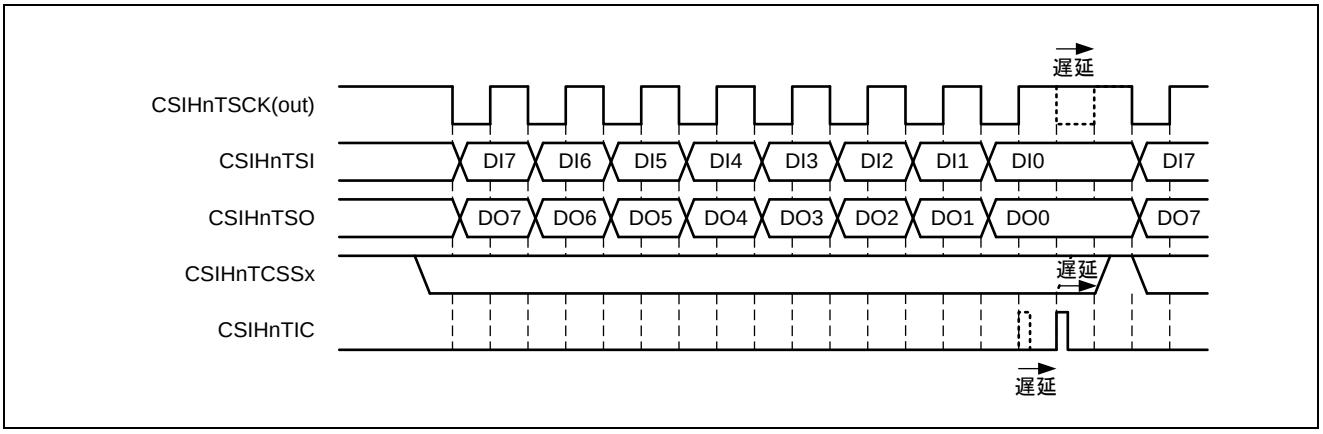


図20.27　割り込み遅延機能（CSIHnCTL1.CSIHnSIT = 1）

CSIHnCTL1.CSIHnSIT = 1 に設定すると、シリアル・クロックに半周期の遅延が追加されます。これによって現在のチップ・セレクト信号（CSIHnTCSSx）の終了も遅延します。

20.4.13　エラー検出

CSIH は 5 種類のエラーを検出することができます。

- データ一貫性エラー（送信データ）
- パリティ・エラー（受信データ）
- オーバラン・エラー（受信データ）
- タイムアウト・エラー（FIFO モード時）
- オーバフロー・エラー（FIFO モード時）

データ一貫性エラー、パリティ・エラー、タイムアウト・エラーのチェック機能は個別に有効または無効にすることができます。

これらのエラーのいずれかが検出されると、割り込み要求 CSIHnTIRE が発生し、検出されたエラーに対応するフラグがセットされます。

(1)　データ一貫性チェック

データ一貫性チェックの目的は、出力信号として物理的に送信されたデータがシフト・レジスタへコピーされた元のデータと同じかどうかを確認することです。

データ一貫性チェックは CSIHnCTL1.CSIHnDCS ビットで有効または無効にすることができます。データ送信が禁止されていると（CSIHnCTL0.CSIHnTXE = 0）、データ一貫性チェックはアクティブになりません。

データ一貫性チェックがアクティブになっていると、CSIHnTX0W または CSIHnTX0H からシフト・レジスタへ転送されたデータが別のレジスタへコピーされます。さらに、CSIHnTDCS 信号を介して CSIHnTSO の物理レベルが独自のシフト・レジスタにリードされます。

送信が完了すると、送信されたデータと元の送信データとの比較が行われます。

データの不一致はデータ一貫性エラーと見なされます。

- 割り込み CSIHnTIRE が発生します。
- ビット CSIHnSTR0.CSIHnDCE がセットされます。

さらに、エラーが発生したデータの CSIHnRX0W.CSIHnTDCE ビットがセットされます。

データ一貫性チェックの機能を以下のブロック図に示します。

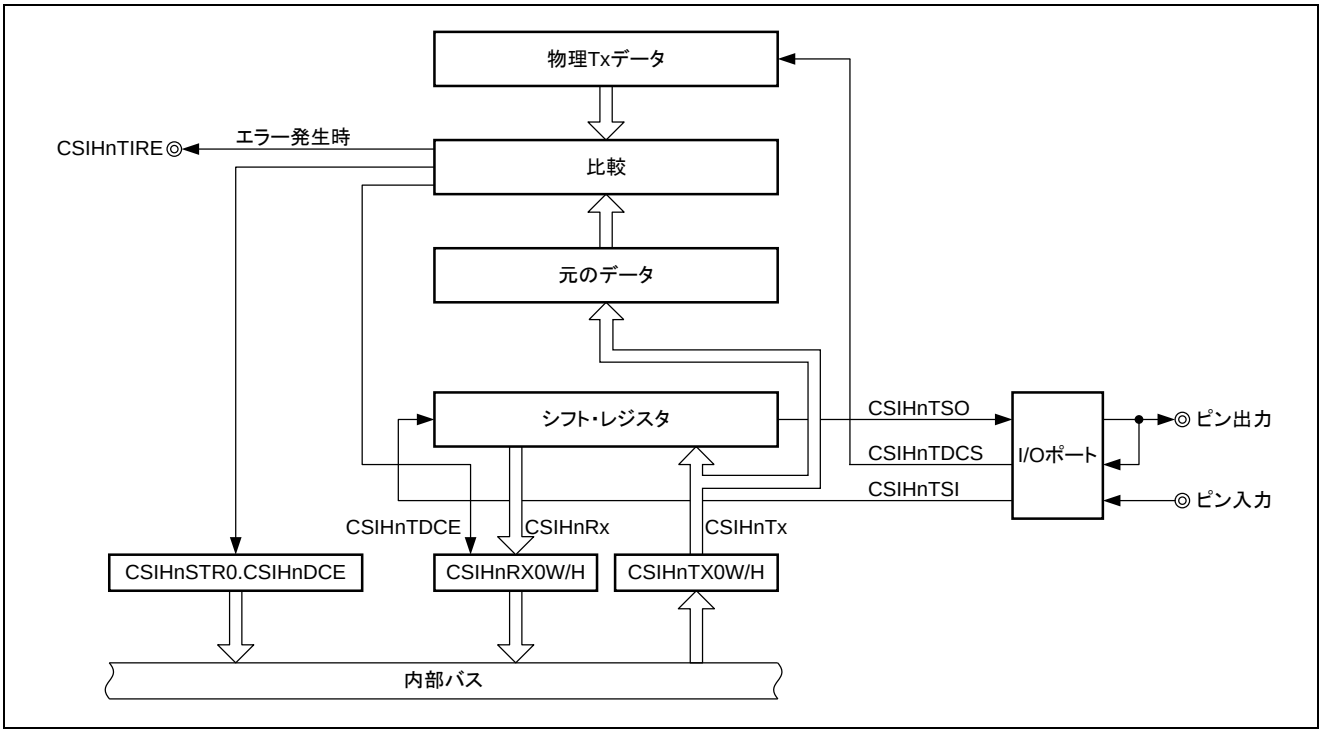


図20.28　データー貫性チェック機能のブロック図

(2) パリティ・チェック

パリティはデータ送信中の単一ビット・エラーを検出する手段としてよく使われます。CSIH では、最後のデータ・ビットの後ろにパリティ・ビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプは CSIHnCFGx.CSIHnPSx[1:0]で指定されます。

CSIHnCFGx.CSIHnPSx[1] = 1 であれば、パリティ・チェックが有効になります。

パリティ・ビットは受信完了後にチェックされます。パリティ・エラーが発生すると、以下のことが行われます。

- 割り込み CSIHnTIRE が発生します。
- CSIHnSTR0.CSIHnPE ビットがセット（1）されます。

さらに、エラーが発生したデータの CSIHnRX0W.CSIHnRPE がセット（1）されます。

以下の図に例を示します。

- データ長は 8 ビットです。
- 送信されるデータは 05H と 35H です。
- データ方向は LSB ファーストです。
- パリティ・タイプは奇数です。

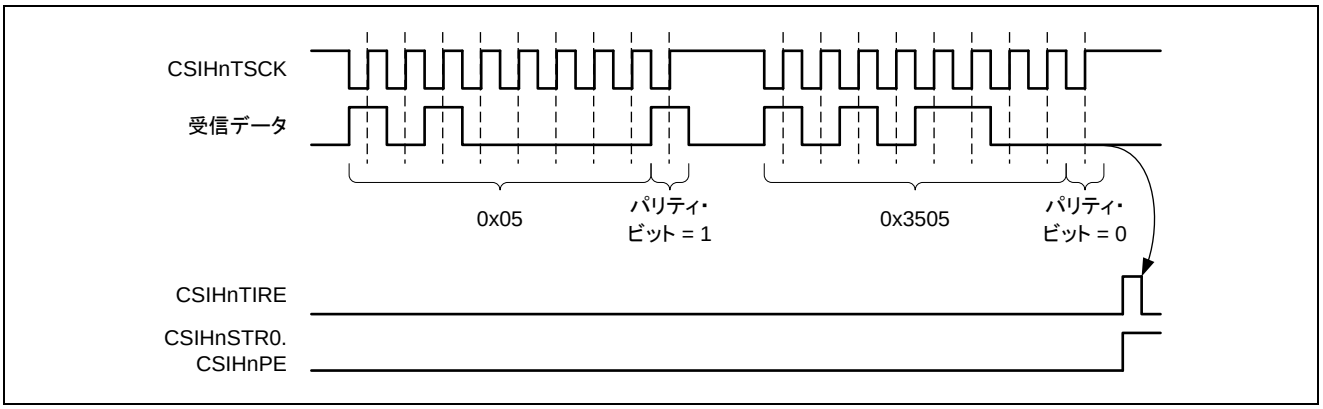


図20.29　パリティ・チェックの例

1 つめのデータのパリティ・ビットは 1 です。1 の総数（パリティ・ビットを含む）が奇数であるため、パリティ・エラーは発生しません。

2 つめのデータのパリティ・ビットは 0 です。1 の総数（パリティ・ビットを含む）が偶数であるため、これはパリティ・エラーとして検出されます。

拡張データ長（EDL）機能を使用した場合、パリティ・ビットは、データの最後のビットの後ろに追加されます。

(3) タイムアウト・エラー

タイムアウト・エラー・チェックはスレーブの FIFO モードでのみ可能です。
タイムアウト・エラーは、ある一定の時間において次のどちらも行われなかった場合に発生します。

- FIFO 内の受信データがリードされる
- FIFO が CSIHnTSI からデータを受信

タイムアウトの時間は、CSIHnMCTL0.CSIHnTO[4:0]によってシリアル・クロック CSIHSCK の 8 倍の単位で定義されます。指定された時間を超過するとタイムアウト・エラーが発生します（CSIHnMCTL0.CSIHnTO[4:0] = 00000B に設定した場合タイムアウト時間は検出されません）。
専用のタイムアウト・カウンタで最後のリード操作から次のリード操作までの時間を測定します。

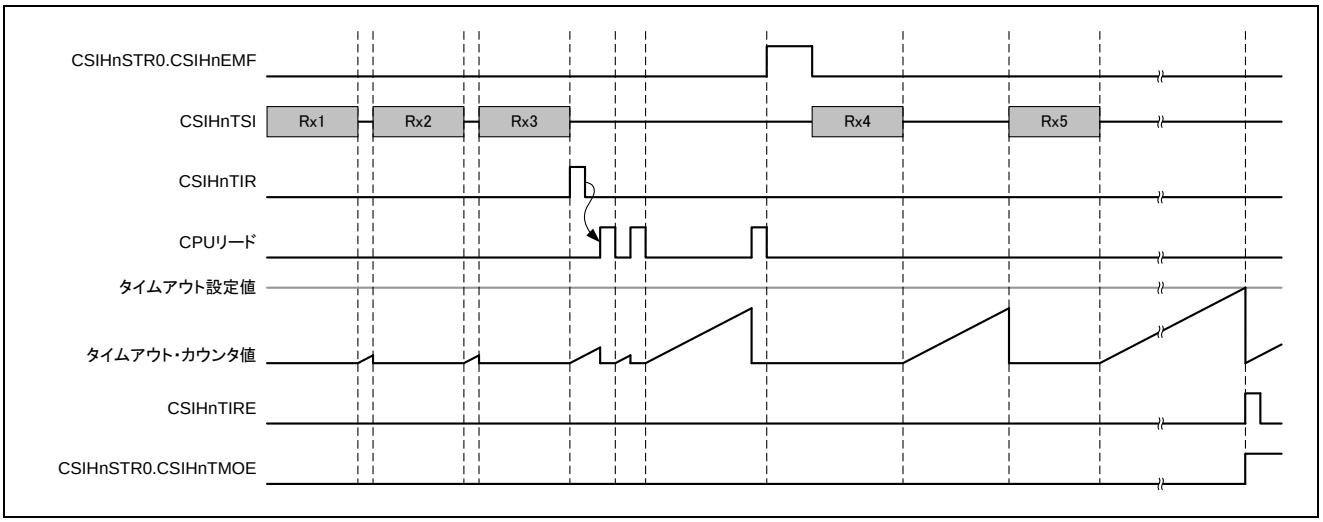


図20.30　タイムアウト・チェック機能のタイミング図

タイムアウト・カウンタのスタート・タイミングを次に示します。

- 受信が完了したとき
- CPU からのデータ・リードが完了したとき（バッファがエンプティなら、カウンタはスタートしません）
- タイムアウト・エラーを検出したとき

タイムアウト・エラーが検出された後、そのままであれば、タイムアウト・カウンタは再起動します。
CSIHnMCTL0.CSIHnTO[4:0]ビットで設定した値まで再度来た場合は、CSIHnTIR 割り込みが再度出力されます。
タイムアウト・カウンタは受信データがリードされない限りはカウントし続けます。タイムアウト・カウンタを停止したい場合、すべての受信データをリードするか、CSIHnSTCR0.CSIHnPCT をセット（1）してください。ただしその場合、ポインタがクリアされます。

タイムアウト・カウンタのリセット・タイミングを次に示します。

- リードが 1 回行われる
- 新しいデータが 1 つ受信
- タイムアウト・エラーを検出
- CSIHnSTCR0.CSIHnPCT ビットをセット（1）

タイムアウト・エラーが発生すると、以下のことが行われます。

- 割り込み CSIHnTIRE が発生します。
- ビット CSIHnSTR0.CSIHnTMOE がセットされます。

(4) オーバフロー・エラー

オーバフロー・エラーは FIFO モードで発生します。オーバフロー・エラーは、FIFO バッファが送信データと受信データでフルになっている状態で CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データがライトされると発生します。

例　100 個のデータ・パケットが送信されています。つまり、FIFO には 100 個の受信パケットが格納されています。アプリケーションが受信データのリードを開始します。
リード操作の進行中に、アプリケーションが新たに 50 個の送信データ・パケットを FIFO にライトしはじめます。しかし、現在までに 10 個の受信パケットしかリードされておらず、90 個のパケットがまだ FIFO に残っています。

この例では、新しい送信データを受け入れることができるバッファは 38 個しかありません。CPU が 39 個目のデータ・パケットをライトしようとすると、オーバフロー・エラーが発生します。
以下の図はその様子を示しています。

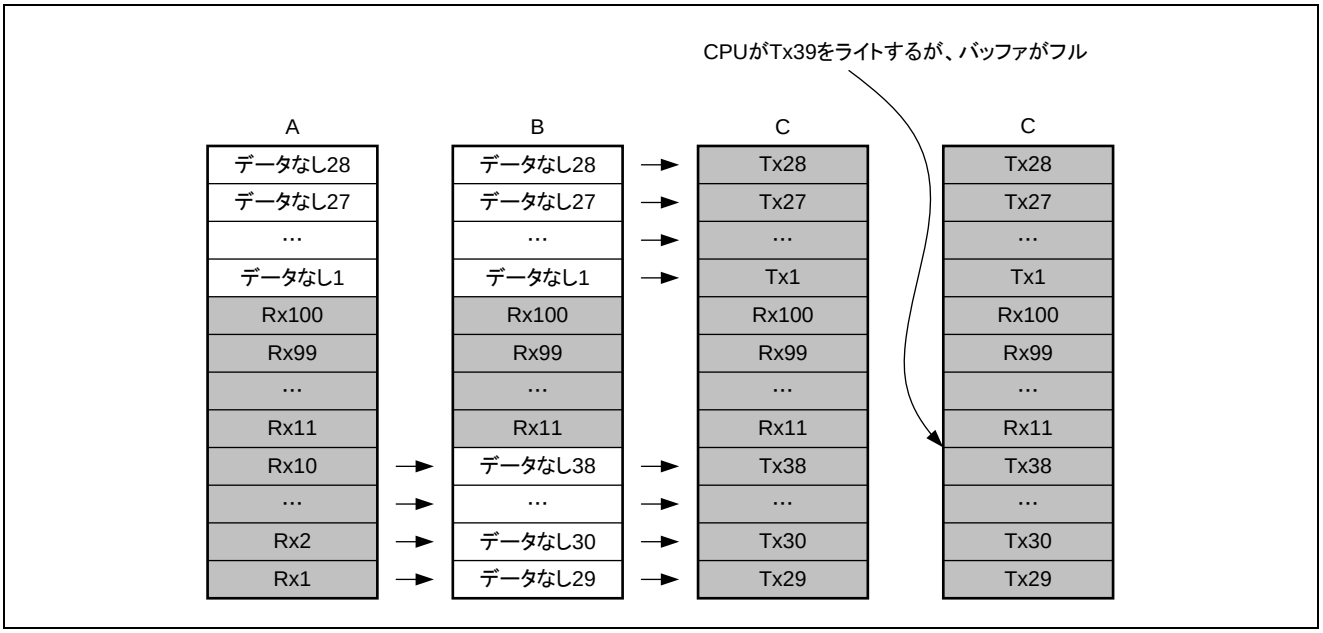


図20.31　FIFO の概要

39 個目以降のデータ・パケットは破棄されます。以下の図にオーバフローのタイミングを示します。

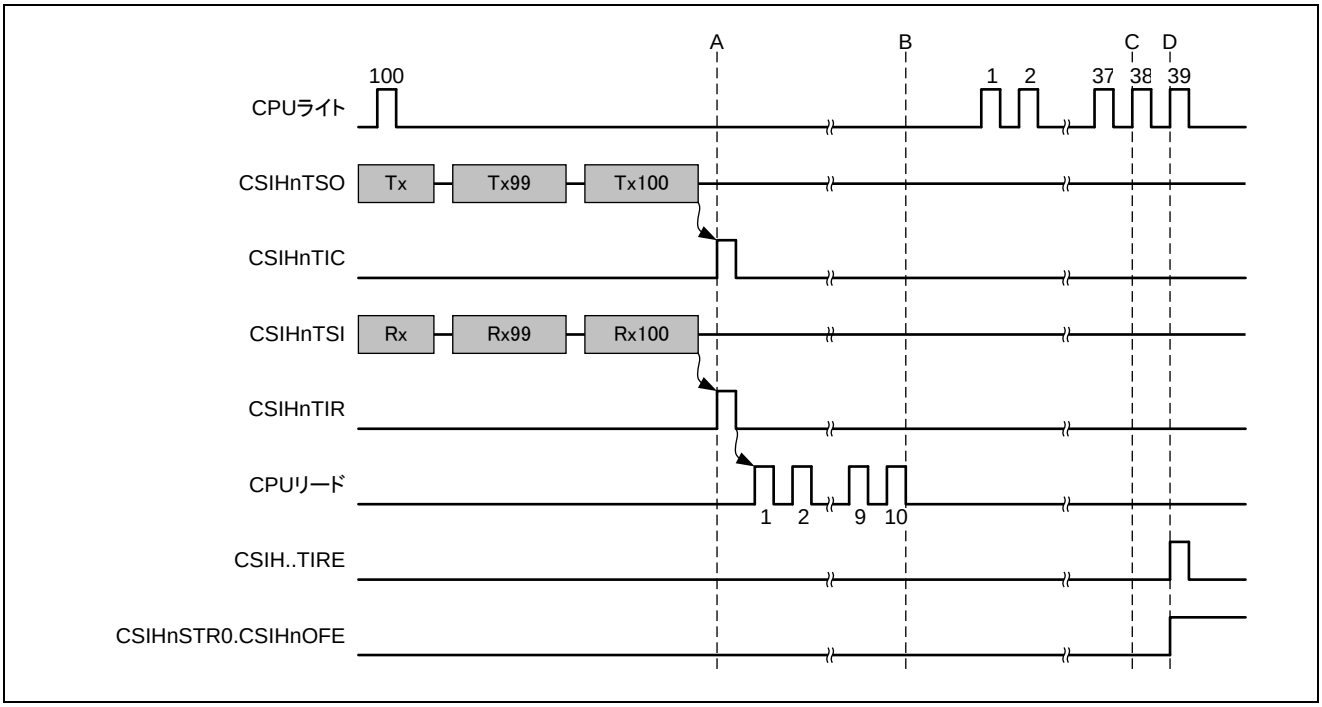


図20.32 FIFO のオーバフローのタイミング

オーバフロー・エラーが発生すると、以下のことが行われます。

- CSIHnTIRE 割り込みが発生します。
- CSIHnSTR0.CSIHnOFE ビットがセットされます。

(5)　オーバラン・エラー

オーバラン・エラーは、ダイレクト・アクセス・モード、送信オンリー・バッファ・モード、FIFO モードで発生します。デュアル・バッファ・モードの場合、オーバラン・エラーは発生しません。

(a)　ダイレクト・アクセス／送信オンリー・バッファ

ダイレクト・アクセス・モードと送信オンリー・バッファ・モードでは、新たに受信したデータをシフト・レジスタから受信データ・レジスタ CSIHnRX0 へ転送できなくなると、このエラーが発生します。CSIHnRX0 がリードされていないため、前に受信したデータが CSIHnRX0 に残っていると、その状態になります。

マスタ・モードでは受信データの CPU リードが行われるまでシリアル・クロックを停止するため、このエラーは発生しません。

以下の図にオーバラン・エラー検出機能の仕組みを示します。

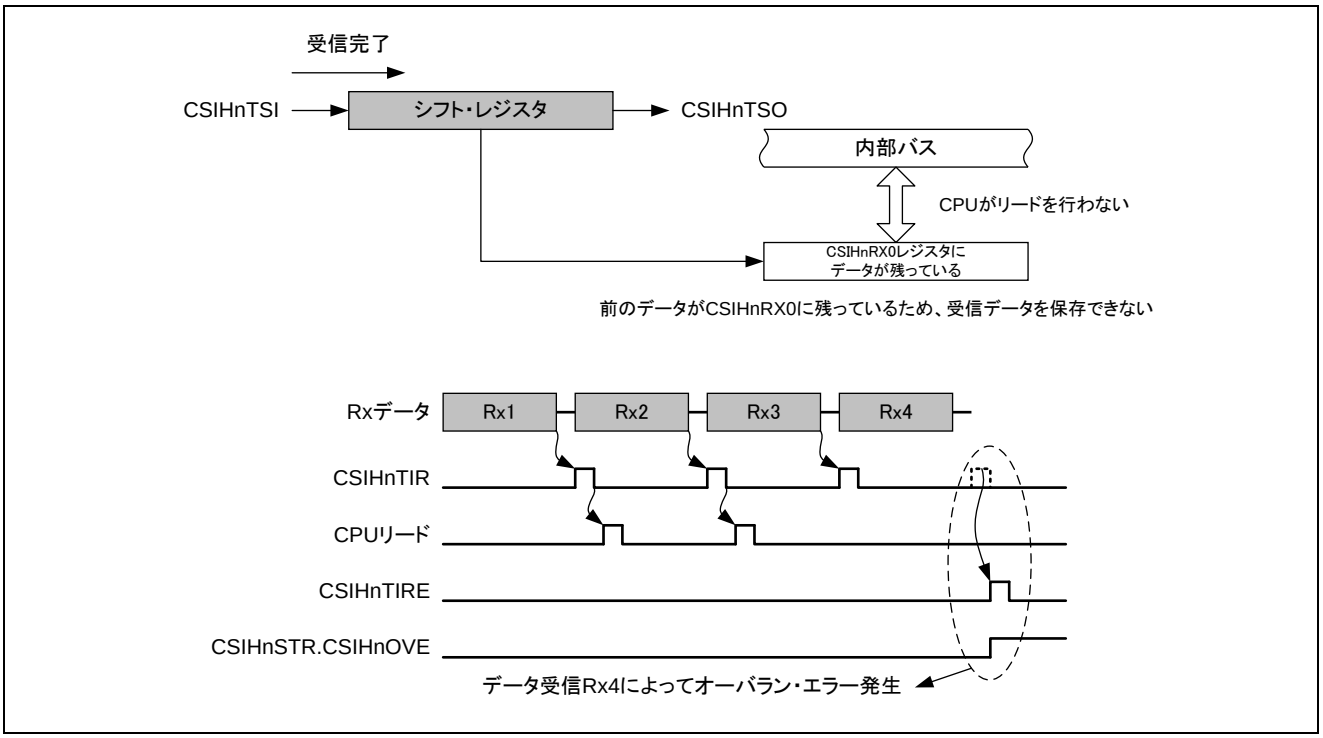


図20.33　ダイレクト・アクセス・モードと送信オンリー・バッファ・モードでのオーバラン・エラーの検出

(b)　FIFO モード

FIFO モードでは、以下の条件でエラーが発生します。

1. FIFO フル：FIFO がフルであるため、新たに受信したデータをシフト・レジスタから FIFO へ転送できない
2. データなし：CPU が存在しない受信データをリードしようとしている

備考 FIFO モードで CPU が、存在しない受信データをリードしようとした場合、データ受信が禁止されていても（CSIHnCTL0.CSIHnRXE = 0）、オーバラン・エラーは発生します。

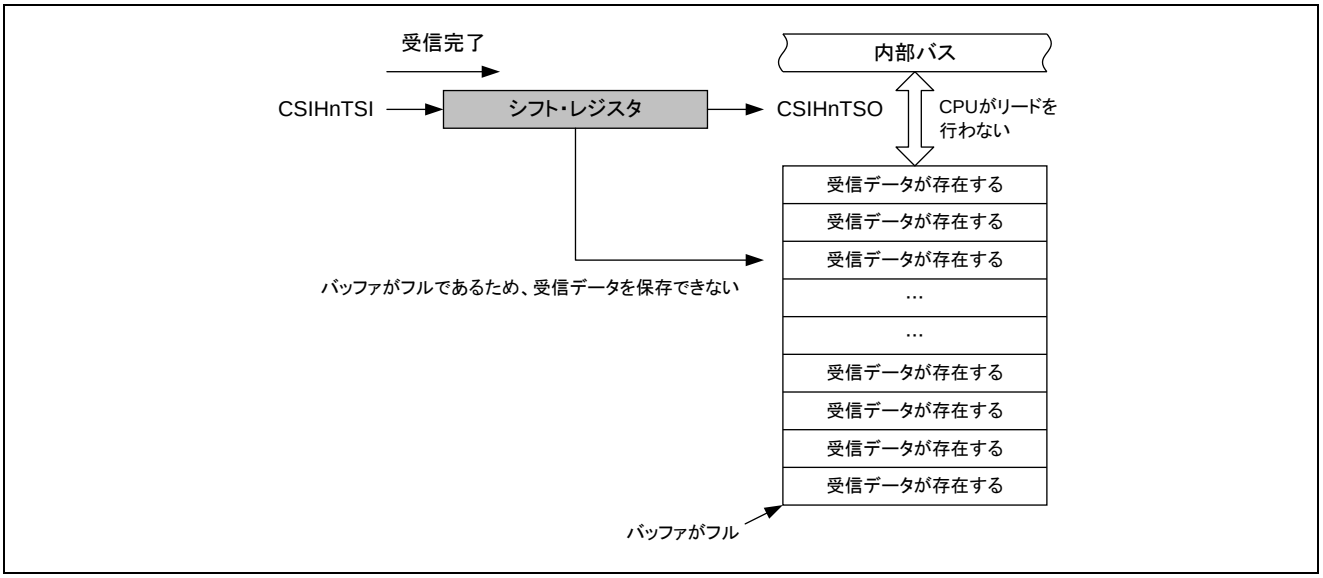


図20.34　FIFO モードでのオーバラン・エラーの検出（FIFO フル）

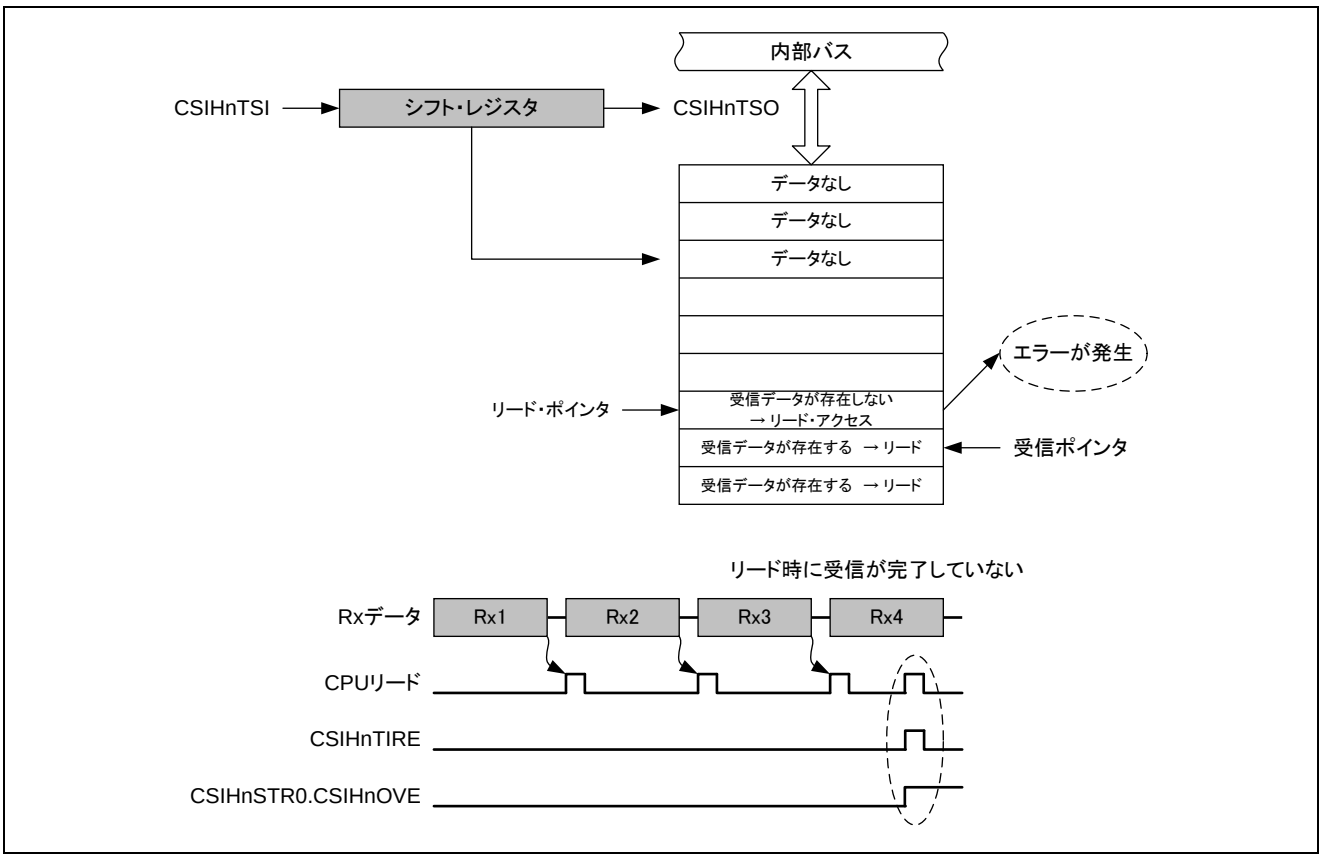


図20.35　FIFO モードでのオーバラン・エラーの検出（データなし）

オーバラン・エラーが発生すると、以下のことが行われます。

- CSIHnTIRE 割り込みが発生します。
- CSIHnSTR0.CSIHnOVE ビットがセット（1）されます。
- CSIHnRX0W レジスタは、受信データによって再度ライトされます。
- 通信は継続します（CPU が存在しないデータをリードした場合を除く）。

20.4.14　ループ・バック・モード

ループ・バック・モードは自己テスト用の特殊なモードです。この機能はマスタ・モードでのみ利用できます。

このモードがアクティブになっていると、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIHnTSCK 信号、CSIHnTSO 信号、CSIHnTSI 信号はポートから切り離されます。さらに、CSIHnTSO の出力レベルがロー・レベルに固定され、CSIHnCFGx.CSIHnCKPx の定義に従って CSIHnTSCK がインアクティブになります。

CSIHnTSCK 信号、CSIHnTSO 信号、CSIHnTSI 信号、CSIHnTCSSn[1:0]信号はポートから切り離されます。CSIHnTSO 信号の出力レベルはローに固定され、CSIHnTSCK 信号および CSIHnTCSSn[1:0]信号はインアクティブ・レベル（CSIHnTSCK 信号の場合は CSIHnCFGx.CSIHnCKPx ビットで設定したレベル、CSIHnTCSSn[1:0]信号の場合は CSIHnCTL1.CSIHnCLS[1:0]ビットで設定したレベル）に設定されます。

CSIH を自己テストするには、CSIHnCTL1.CSIHnLBM を 1 に設定し、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。

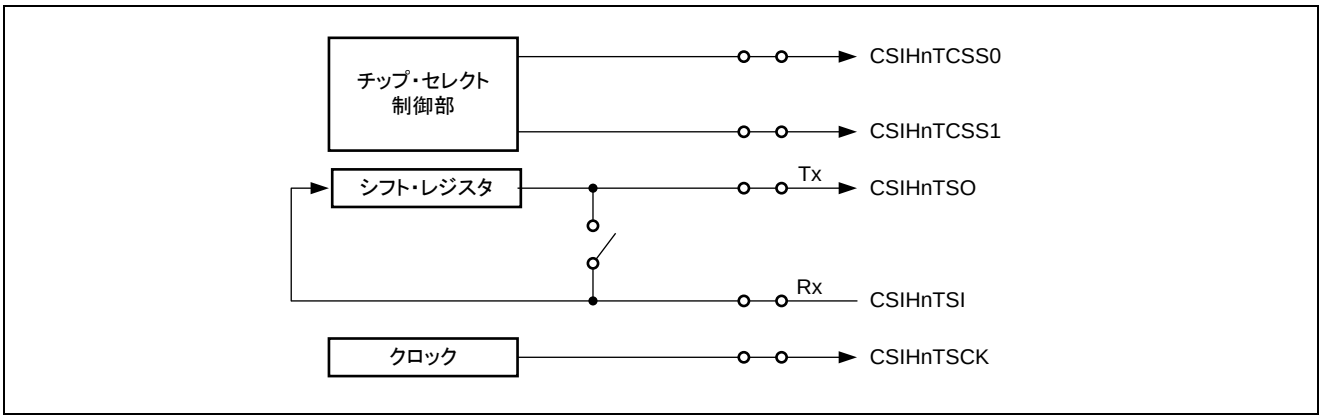


図20.36　通常の動作（CSIHnCTL1.CSIHnLBM = 0）

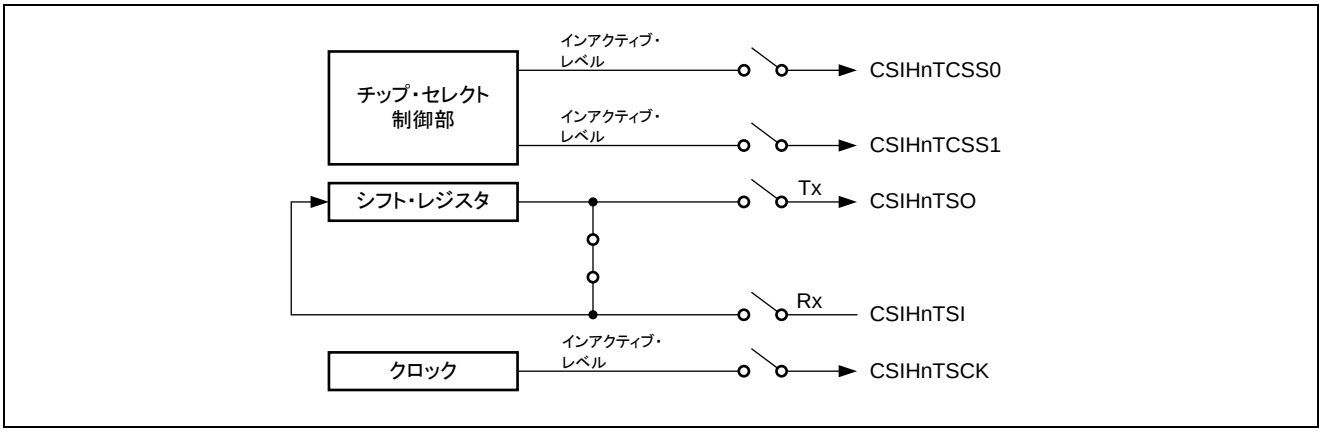


図20.37　ループ・バック動作（CSIHnCTL1.CSIHnLBM = 1）

20.5 操作手順

ここに示す例および手順は、以下のメモリ・モード順に記載されています。

- ダイレクト・アクセス・モード
- 送信オンリー・バッファ・モード
- デュアル・バッファ・モード
- FIFO モード

20.5.1　ダイレクト・アクセス・モードでの手順

(1)　マスタ・モード、送受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）
- 転送開始時のタイミングで CSIHnTIC 割り込み発生（CSIHnCTL1.CSIHnSLIT = 1）
- ダイレクト・アクセス・モード（CSIHnCTL0.CSIHnMBS = 1）

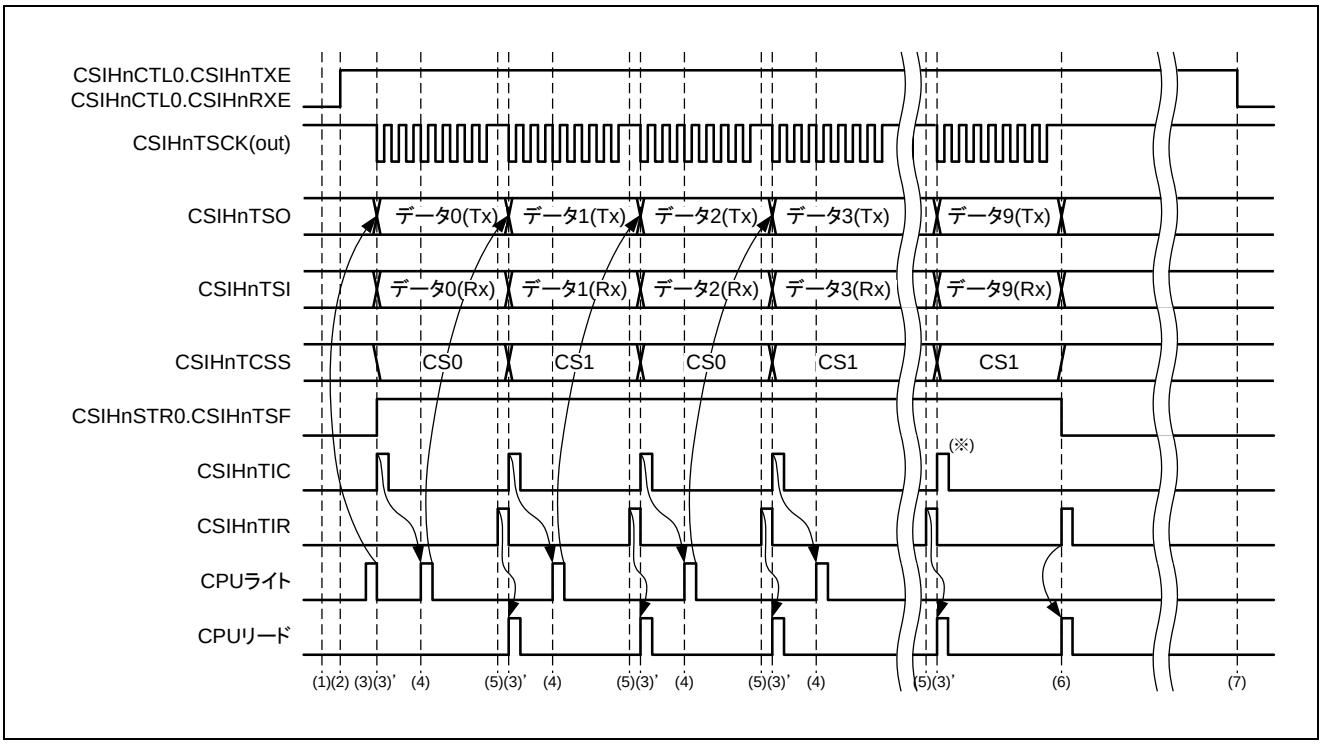


図20.38　ダイレクト・アクセス・モード（マスタ・モード、送受信モード、ジョブ・モードが無効）

・手順：

1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnCFGx レジスタ（通信プロトコル）
   （この例ではチップ・セレクト信号 CS0, CS1 を使用します）
2. CSIHnCTL0.CSIHnPWR = 1 クロック有効）
   CSIHnCTL0.CSIHnTXE = 1（送信許可）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 1（ダイレクト・アクセス・モード選択）
3. 最初のデータを送信データ・レジスタ CSIHnTX0W にライトします。同じライト操作で CS0 をアクティブにし、送信が自動的に開始されます。

3’. CSIHnCTL1.CSIHnSLIT = 1 設定時、CSIHnTSCK のスタート・エッジにより CSIHnTIC が発生します。CSIHnTIC は次のデータを CSIHnTX0W にライト可能になったことを示します。

4. 次のデータを CSIHnTX0W にライトします。必要に応じて CS を変更し、別のデバイスを通信相手にすることができます。最初のデータをライトした直後に次のデータをライトすることで、データ間の不要な遅延を回避できます。

5. データが受信されるたびに CSIHnTIR 割り込みが発生します。
   - CSIHnTIR は、受信データ・レジスタ CSIHnRX0 をリードする必要があることを示します。

6. （※）の CSIHnTIC 割り込みが最後の CSIHnTIC 割り込みであれば、その CSIHnTIC 割り込みを基にした送信データ・レジスタ CSIHnTX0W へのライト動作は必要ありません。

7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また CSIH の消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(2)　マスタ・モード、受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）
- 転送開始時のタイミングで CSIHnTIC 割り込み発生（CSIHnCTL1.CSIHnSLIT = 1）
- ダイレクト・アクセス・モード（CSIHnCTL0.CSIHnMBS = 1）

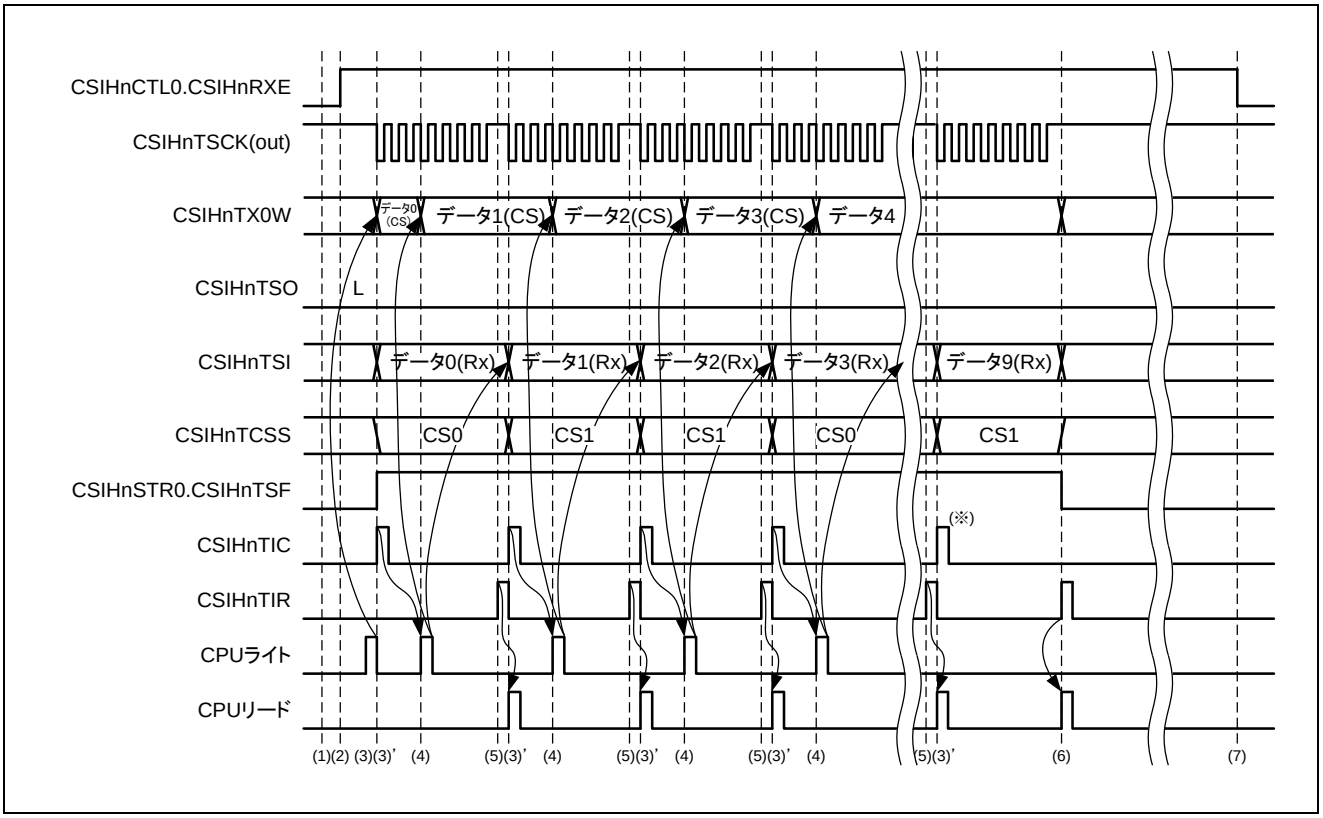


図20.39　ダイレクト・アクセス・モード（マスタ・モード、受信モード、ジョブ・モードが無効）

・手順：　1.　CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
CSIHnCFGx レジスタ（通信プロトコル）
（この例ではチップ・セレクト信号 CS0, CS1 を使用します）
2.　CSIHnCTL0.CSIHnPWR = 1（クロック有効）
CSIHnCTL0.CSIHnTXE = 0（送信禁止）
CSIHnCTL0.CSIHnRXE = 1（受信許可）
CSIHnCTL0.CSIHnMBS = 1（ダイレクト・アクセス・モード選択）

3. 送信データを CS データのために送信データ・レジスタ CSIHnTX0W にライトします。書き込み操作で CS0 をアクティブにし、受信は自動的に開始されます。

3’. CSIHnCTL1.CSIHnSLIT = 1 設定時、CSIHnTSCK のスタート・エッジにより CSIHnTIC が発生します。CSIHnTIC は次のデータを CSIHnTX0W にライト可能になったことを示します。

4. 次のデータを CSIHnTX0W にライトします。必要に応じて、CS を変更し、別のデバイスを通信相手にすることができます。最初のデータをライトした直後に次のデータをライトすることで、データ間の不要な遅延を回避できます。

5. データが受信されるたびに CSIHnTIR 割り込みが発生します。
   - CSIHnTIR は、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。

6. （※）の CSIHnTIC 割り込みが最後の CSIHnTIC 割り込みであれば、その CSIHnTIC 割り込みを基にした送信データ・レジスタ CSIHnTX0W へのライト動作は必要ありません。

7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また CSIH の消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(3)　スレーブ・モード、送受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFG0.CSIHnDLS0[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFG0.CSIHnDIR0 = 0）
- 通常のクロック位相とデータ位相（CSIHnCFG0.CSIHnCKP0 = 0, CSIHnCFG0.CSIHnDAP0 = 0）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）
- 転送開始時のタイミングで CSIHnTIC 割り込み発生（CSIHnCTL1.CSIHnSLIT = 1）
- ダイレクト・アクセス・モード（CSIHnCTL0.CSIHnMBS = 1）

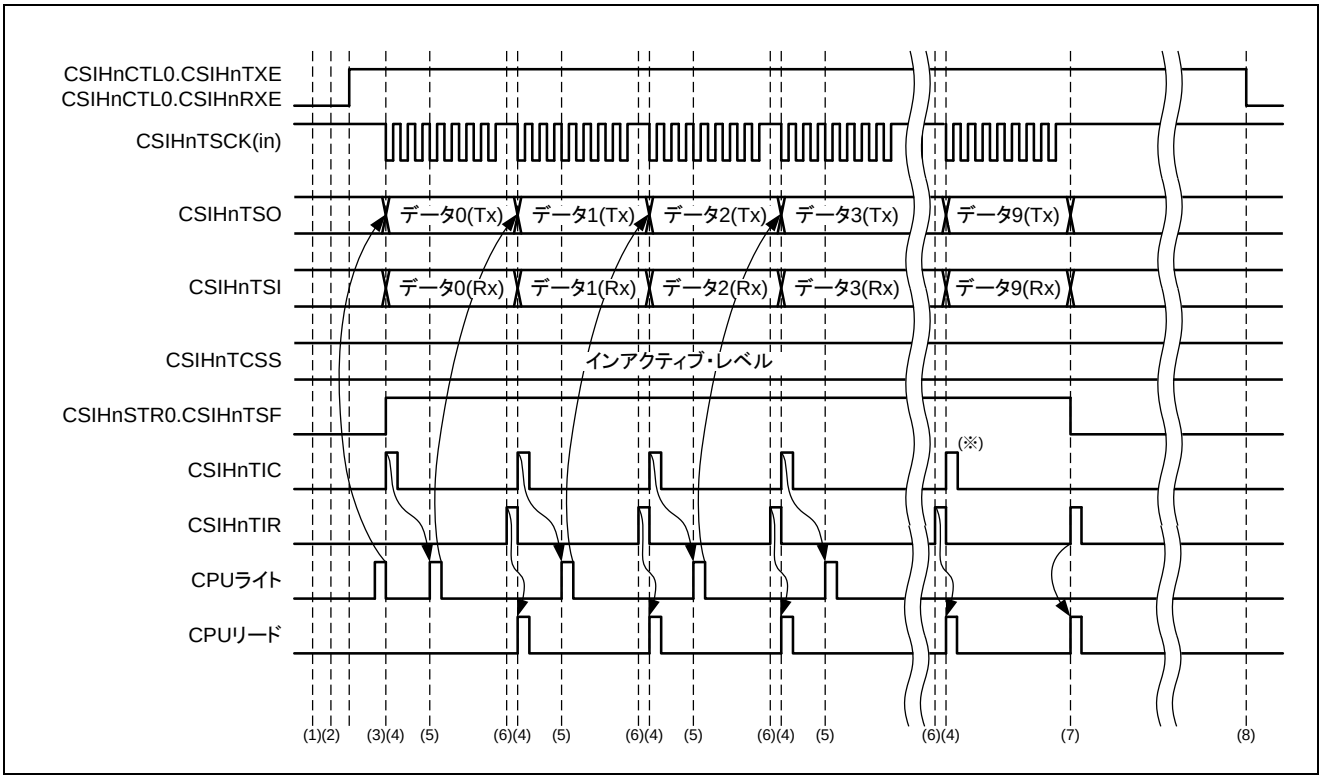


図20.40　ダイレクト・アクセス・モード（スレーブ・モード、送受信モード、ジョブ・モードが無効）

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnCFG0 レジスタ（通信プロトコル）
2. CSIHnCTL0.CSIHnPWR = 1（クロック有効）
   CSIHnCTL0.CSIHnTXE = 1（送信許可）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 1（ダイレクト・アクセス・モード選択）
3. 最初のデータを送信データ・レジスタ CSIHnTX0W にライトします。

4. CSIHnCTL1.CSIHnSLIT = 1 設定時、CSIHnTSCK のスタート・エッジにより CSIHnTIC が発生します。CSIHnTIC は次のデータを CSIHnTX0W にライト可能になったことを示します。
5. 次のデータを CSIHnTX0W にライトします。最初のデータをライトした直後に次のデータをライトすることで、データ間の不要な遅延を回避できます。
6. データが受信されるたびに CSIHnTIR 割り込みが発生します。
   - CSIHnTIR は、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
7. （※）の CSIHnTIC 割り込みが最後の CSIHnTIC 割り込みであれば、その CSIHnTIC 割り込みを基にした送信データ・レジスタ CSIHnTX0W へのライト動作は必要ありません。
8. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また CSIH の消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(4)　スレーブ・モード、受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFG0.CSIHnDLS0[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFG0.CSIHnDIR0 = 0）
- 通常のクロック位相とデータ位相（CSIHnCFG0.CSIHnCKP0 = 0, CSIHnCFG0.CSIHnDAP0 = 0）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）
- 転送開始時のタイミングで CSIHnTIC 割り込み発生（CSIHnCTL1.CSIHnSLIT = 1）
- ダイレクト・アクセス・モード（CSIHnCTL0.CSIHnMBS = 1）

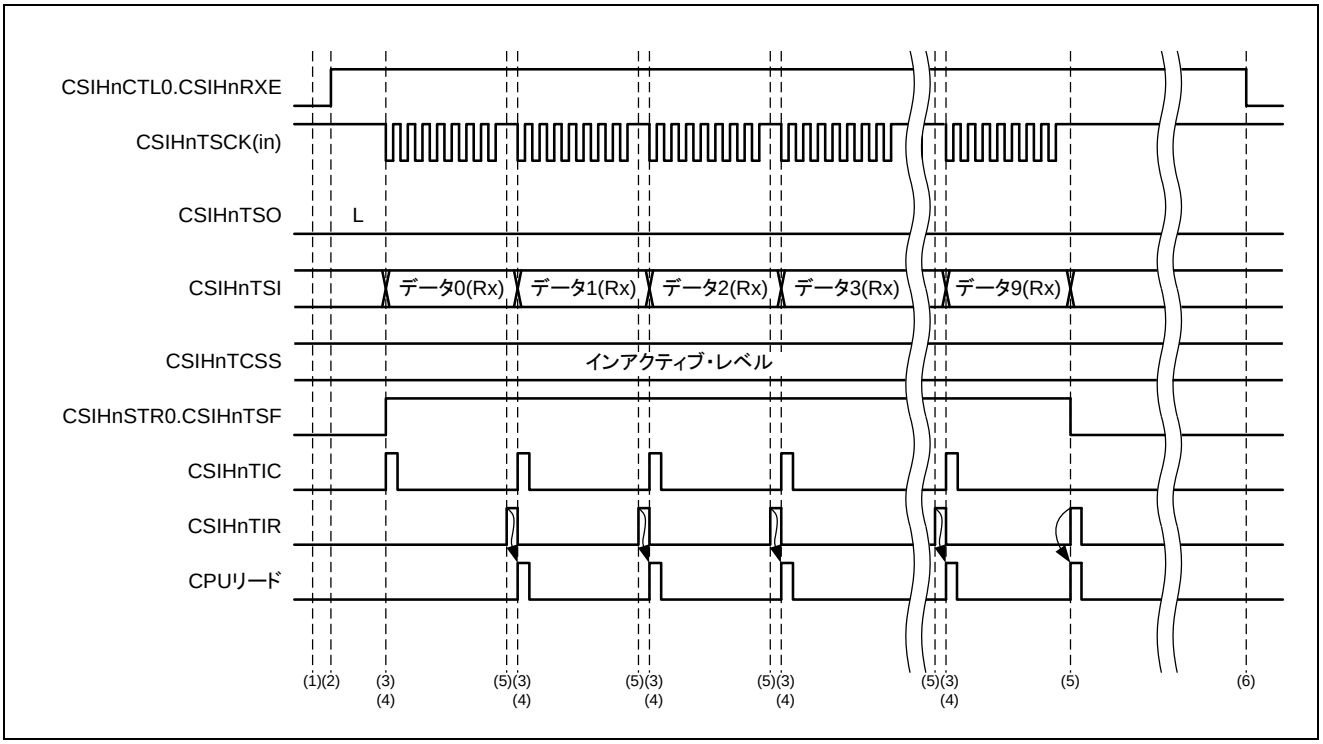


図20.41　ダイレクト・アクセス・モード（スレーブ・モード、受信モード、ジョブ・モードが無効）

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnCFG0 レジスタ（通信プロトコル）
2. CSIHnCTL0.CSIHnPWR = 1（クロック有効）
   CSIHnCTL0.CSIHnTXE = 0（送信禁止）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 1（ダイレクト・アクセス・モード選択）
3. マスタよりシリアル・クロックが供給されると自動的に受信が始まります。
4. CSIHnCTL1.CSIHnSLIT = 1 設定時、CSIHnTSCK のスタート・エッジにより CSIHnTIC が発生します。

5. データが受信されるたびに CSIHnTIR 割り込みが発生します。
   - CSIHnTIR は、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
6. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
   また CSIH の消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(5)　マスタ・モード、送受信モード、ジョブ・モードが有効な場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード有効（CSIHnCTL1.CSIHnJE = 1）
- 転送開始時のタイミングで CSIHnTIC 割り込み発生（CSIHnCTL1.CSIHnSLIT = 1）
- ダイレクト・アクセス・モード（CSIHnCTL0.CSIHnMBS = 1）
- それぞれ 3 個のデータ・パケットを送信する 2 つのジョブ

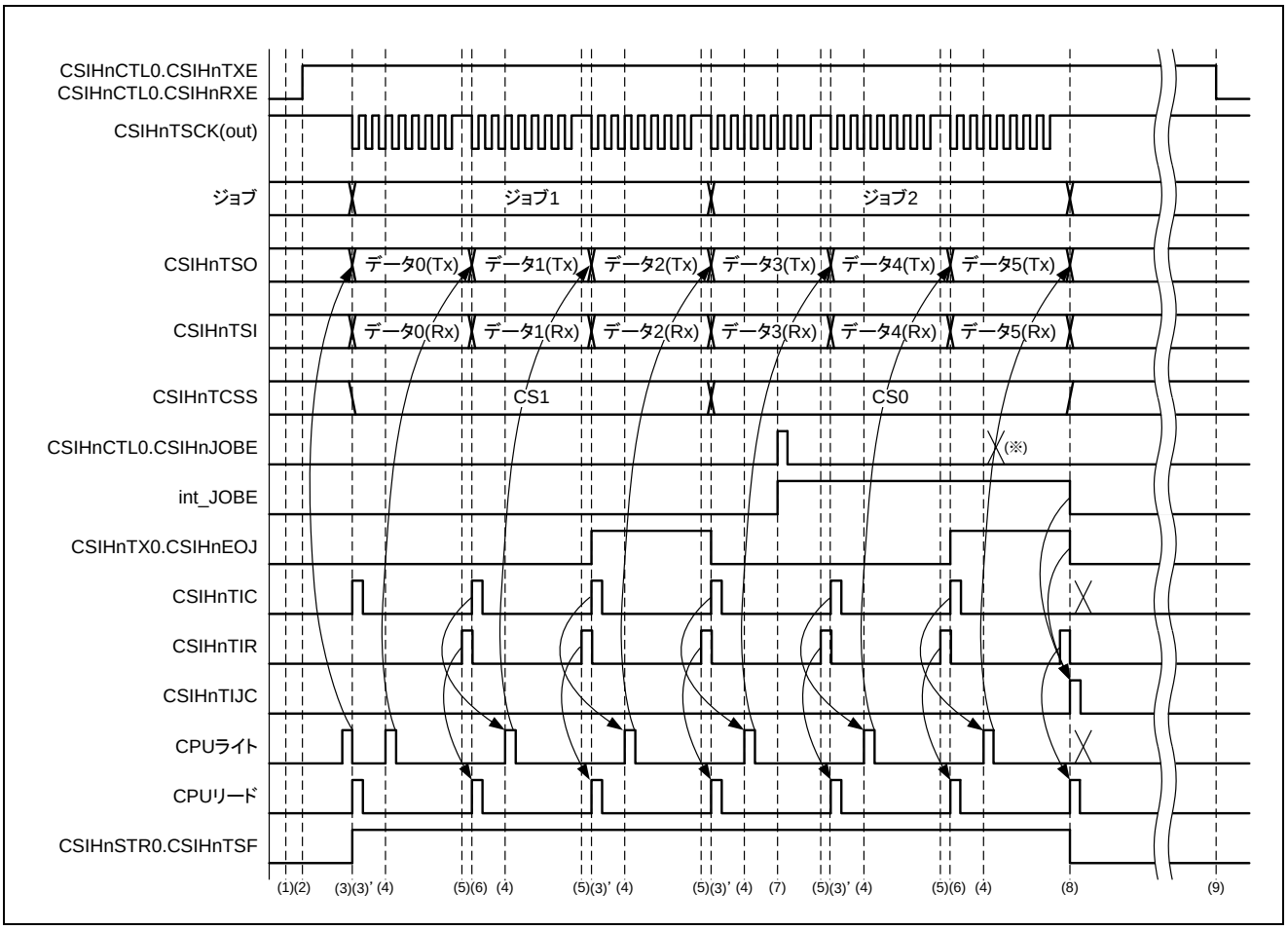


図20.42　ダイレクト・アクセス・モード（マスタ・モード、送受信モード、ジョブ・モード有効）

備考 上のタイミング図の「int_JOBE」信号は、ビット CSIHnJOBE の内部信号です。

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnCFGx レジスタ（通信プロトコル）
   （この例ではチップ・セレクト信号 CS0, CS1 を使用します）
2. CSIHnCTL0.CSIHnPWR = 1（クロック有効）
   CSIHnCTL0.CSIHnTXE = 1（送信許可）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 1（ダイレクト・アクセス・モード選択）
3. 最初の送信データ・パケットを送信データ・レジスタ CSIHnTX0W にライトします。最初のデータが利用可能になると送信が自動的に開始されます。
   通信が進行中であることを CSIHnSTR0.CSIHnTSF フラグが示します。

3'. CSIHnCTL1.CSIHnSLIT = 1 設定時、CSIHnTSCK のスタート・エッジにより CSIHnTIC が発生します。CSIHnTIC は次のデータを CSIHnTX0W にライト可能になったことを示します。

4. 次のデータを CSIHnTX0W にライトします。最初のデータをライトした直後に次のデータをライトすることで、データ間の不要な遅延を回避できます。
5. データが受信されるたびに割り込み要求 CSIHnTIR が発生します。
   - CSIHnTIR は、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
6. CSIHnTX0W レジスタの転送データがジョブの最後のデータであるならば、CSIHnTX0W.CSIHnEOJ = 1 になります。
7. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、現在のジョブ（ジョブ 2）の終了時に通信を強制的に停止します。
8. 通信の強制停止後、割り込み要求 CSIHnTIC が CSIHnTIJC に置き換えられます。CSIHnTIR は通常どおりに発生します。
   割り込み要求 CSIHnTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
   割り込み要求 CSIHnTIC は発生しません。また、CSIHnTX0 レジスタ内の利用可能な送信データ（※）は送信されません。
9. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また CSIH の消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(6)　マスタ・モード、受信モード、ジョブ・モードが有効な場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード有効（CSIHnCTL1.CSIHnJE = 1）
- 転送開始時のタイミングで CSIHnTIC 割り込み発生（CSIHnCTL1.CSIHnSLIT = 1）
- ダイレクト・アクセス・モード（CSIHnCTL0.CSIHnMBS = 1）
- それぞれ 3 個のデータ・パケットを送信する 2 つのジョブ

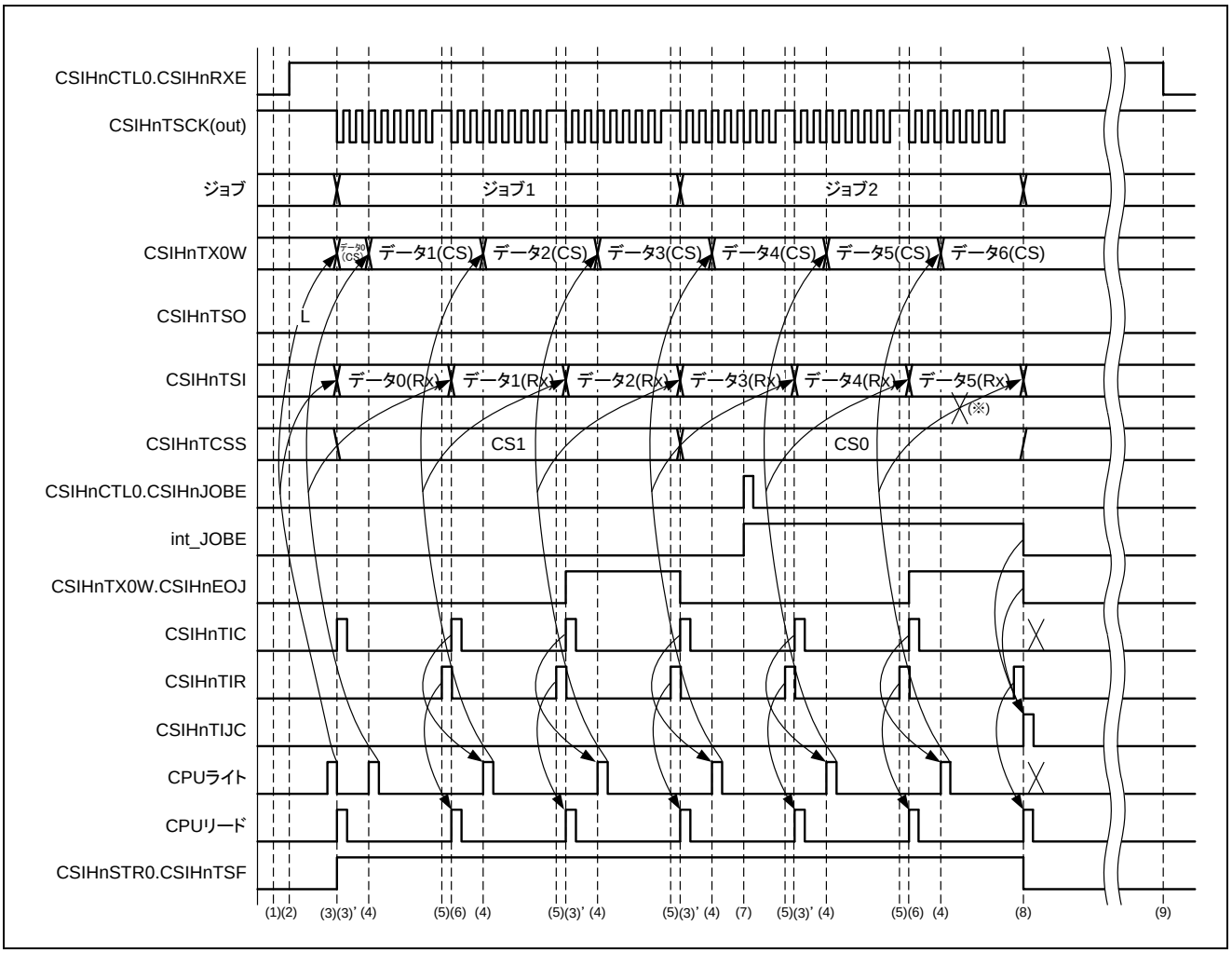


図20.43　ダイレクト・アクセス・モード（マスタ・モード、受信モード、ジョブ・モード有効）

備考 上のタイミング図の「int_JOBE」信号は、ビット CSIHnJOBE の内部信号です。

・手順：

1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnCFGx レジスタ（通信プロトコル）
   （この例ではチップ・セレクト信号 CS0, CS1 を使用します）
2. CSIHnCTL0.CSIHnPWR = 1（クロック有効）
   CSIHnCTL0.CSIHnTXE = 0（送信禁止）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnMBS = 1（ダイレクト・アクセス・モード選択）
3. 受信するために送信データ・レジスタ CSIHnTX0W に送信データをライトします。受信は自動的に開始されます。そして、CSIHnSTR0.CSIHnTSF ビットがセット（1）されます。

3’. CSIHnCTL1.CSIHnSLIT = 1 設定時、CSIHnTSCK のスタート・エッジにより CSIHnTIC が発生します。CSIHnTIC は次のデータを CSIHnTX0W にライト可能になったことを示します。

4. 次のデータを CSIHnTX0H にライトします。最初のデータをライトした直後に次のデータをライトすることで、データ間の不要な遅延を回避できます。
5. データが受信されるたびに割り込み要求 CSIHnTIR が発生します。
   - CSIHnTIR は、受信データ・レジスタ CSIHnRX0 をリードする必要があることを示します。
6. CSIHnTX0W レジスタの転送データがジョブの最後のデータであるならば、CSIHnTX0W.CSIHnEOJ = 1 になります。
7. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、現在のジョブ（ジョブ 2）の終了時に通信を強制的に停止します。
8. int_JOBE がセット（1）され、ジョブ 2 の最後のデータ受信が完了すると、割り込み要求 CSIHnTIJC が CSIHnTIC の代わりに発生します。CSIHnTIR は通常どおりに発生します。
   割り込み要求 CSIHnTIJC は現在のジョブの終了時に受信が強制的に停止されたことを示します。
   割り込み要求 CSIHnTIC は発生しません。また、図中のデータ（※）は転送されません。
9. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
   また CSIH の消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

20.5.2　送信オンリー・バッファ・モードでの手順

マスタのジョブ・モードが無効になっている例とジョブ・モードが有効になっている例を示します。

(1)　マスタ・モード、送受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- クロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）
- 送信オンリー・バッファ・モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10）
- 送信データの数：9（CSIHnMCTL2.CSIHnND[7:0] = 09H）
- 転送開始アドレス：10H（CSIHnMCTL2.CSIHnSOP[6:0] = 10H）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）

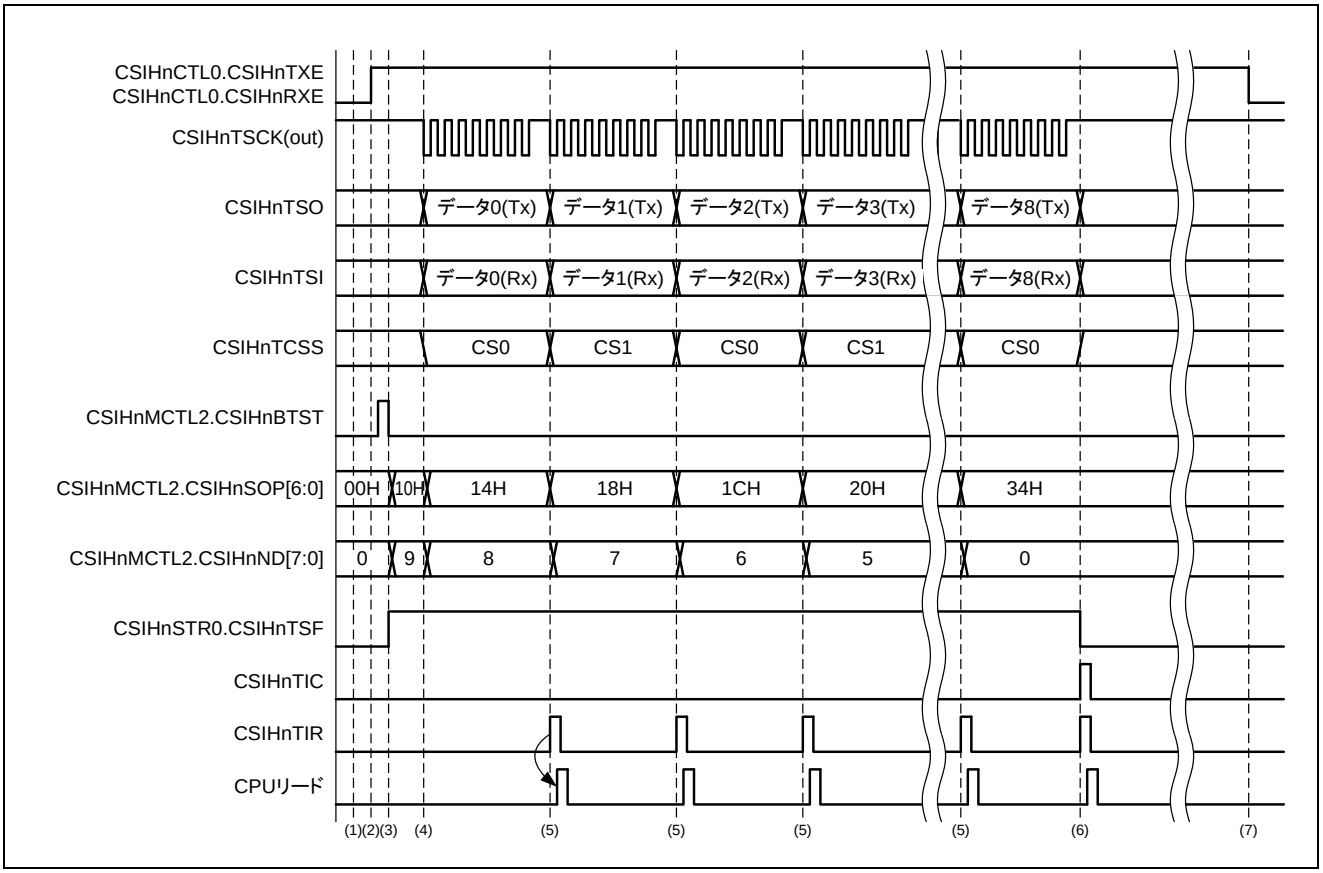


図20.44　送信オンリー・バッファ・モード（マスタ・モード、送受信モード、ジョブ・モードが無効）

備考 ここでは、バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0]で設定し、CSIHnTX0W に転送データがライトされます。転送データがライトするたびに CSIHnMRWP0.CSIHnTRWA[6:0]の値はインクリメントされます。

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 10B（メモリ・モード）
   CSIHnCFGx レジスタ（通信プロトコル）
   （この例ではチップ・セレクト信号 CS0, CS1 を使用します）
2. CSIHnCTL0.CSIHnPWR = 1（クロック有効）
   CSIHnCTL0.CSIHnTXE = 1（送信許可）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）
3. CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]ビットによって送信ポインタとデータの数を設定します。
   CSIHnMCTL2.CSIHnBTST をセット（1）することによって、通信が開始されます。
4. 送受信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
5. すべてのデータを受信すると、CSIHnTIR が発生します。CSIHnTIR 割り込みは、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
6. すべての送信が完了すると、割り込み要求 CSIHnTIC が発生します。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
   CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(2)　マスタ・モード、受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- クロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）
- 送信オンリー・バッファ・モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10）
- 送信データの数：9（CSIHnMCTL2.CSIHnND[7:0] = 09H）
- 転送開始アドレス：10H（CSIHnMCTL2.CSIHnSOP[6:0] = 10H）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）

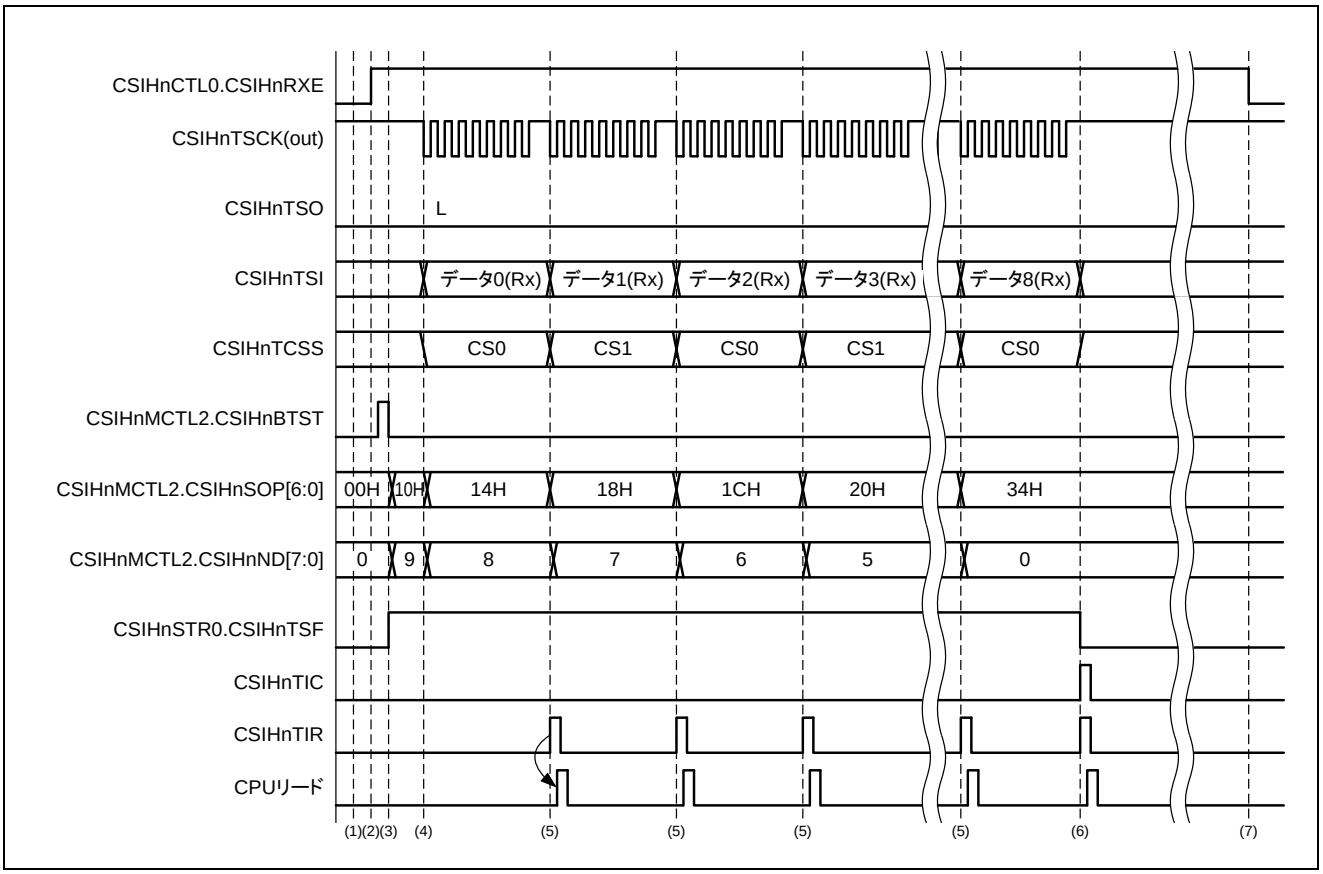


図20.45　送信オンリー・バッファ・モード（マスタ・モード、受信モード、ジョブ・モードが無効）

備考 ここでは、バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0]で設定し、CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0]の値はインクリメントされます。

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 10B（メモリ・モード）
   CSIHnCFGx レジスタ（通信プロトコル）
   （この例ではチップ・セレクト信号 CS0, CS1 を使用します）
2. CSIHnCTL0.CSIHnPWR = 1（クロック有効）
   CSIHnCTL0.CSIHnTXE = 0（送信禁止）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）
3. CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]ビットによって送信ポインタとデータの数を設定します。
   CSIHnMCTL2.CSIHnBTST をセット（1）することによって、通信が開始されます。
4. 受信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、データ・パケットが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
5. すべてのデータを受信すると、CSIHnTIR が発生します。CSIHnTIR 割り込みは、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
6. すべての受信が完了すると、割り込み要求 CSIHnTIC が発生します。
7. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
   CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(3)　スレーブ・モード、送受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFG0.CSIHnDLS0[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFG0.CSIHnDIR0 = 0）
- クロック位相とデータ位相（CSIHnCFG0.CSIHnCKP0 = 0, CSIHnCFG0.CSIHnDAP0 = 0）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）
- 送信オンリー・バッファ・モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10）
- 送信データの数：9（CSIHnMCTL2.CSIHnND[7:0] = 09H）
- 転送開始アドレス：10H（CSIHnMCTL2.CSIHnSOP[6:0] = 10H）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）

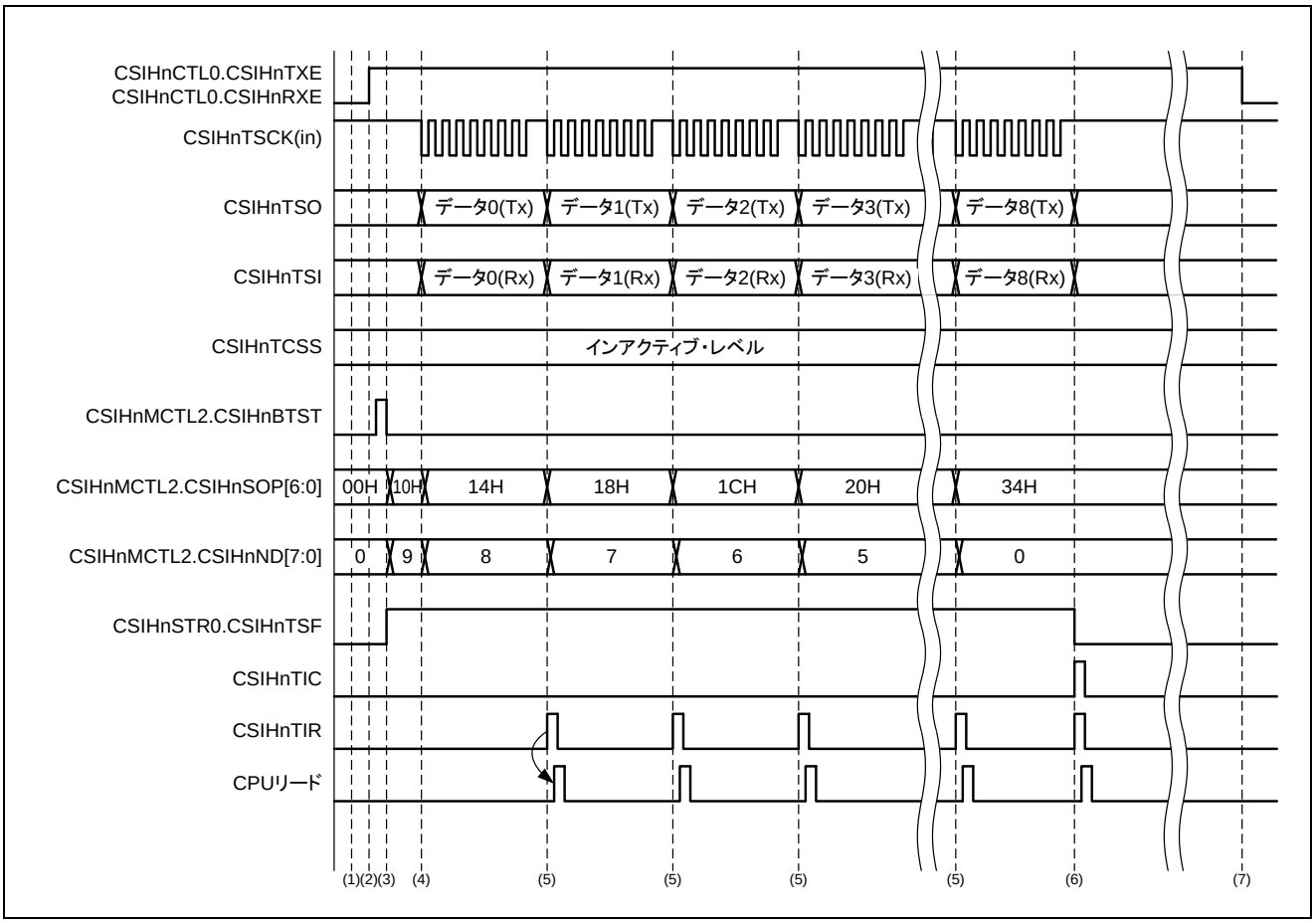


図20.46　送信オンリー・バッファ・モード（スレーブ・モード、送受信モード、ジョブ・モードが無効）

備考 ここでは、バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0]で設定し、CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0]の値はインクリメントされます。

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 10B（メモリ・モード）
   CSIHnCFG0 レジスタ（通信プロトコル）
2. CSIHnCTL0.CSIHnPWR = 1（クロック有効）
   CSIHnCTL0.CSIHnTXE = 1（送信許可）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）
3. CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]ビットによって送信ポインタとデータの数を設定します。
   CSIHnMCTL2.CSIHnBTST をセット（1）することによって、通信が開始されます。
4. マスタよりシリアル・クロックが供給されると通信が開始されます。
   CSIHnMCTL2.CSIHnSOP[6:0]ビットは自動的にインクリメントされ、データ・パケットが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
5. 各データを受信するたびに、CSIHnTIR が発生します。CSIHnTIR 割り込みは、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
6. すべての受信が完了すると、割り込み要求 CSIHnTIC が発生します。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
   CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(4)　スレーブ・モード、受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFG0.CSIHnDLS0[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFG0.CSIHnDIR0 = 0）
- クロック位相とデータ位相（CSIHnCFG0.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）
- 送信オンリー・バッファ・モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10B）
- 送信データの数：9（CSIHnMCTL2.CSIHnND[7:0] = 09H）
- 転送開始アドレス：10H（CSIHnMCTL2.CSIHnSOP[6:0] = 10H）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）

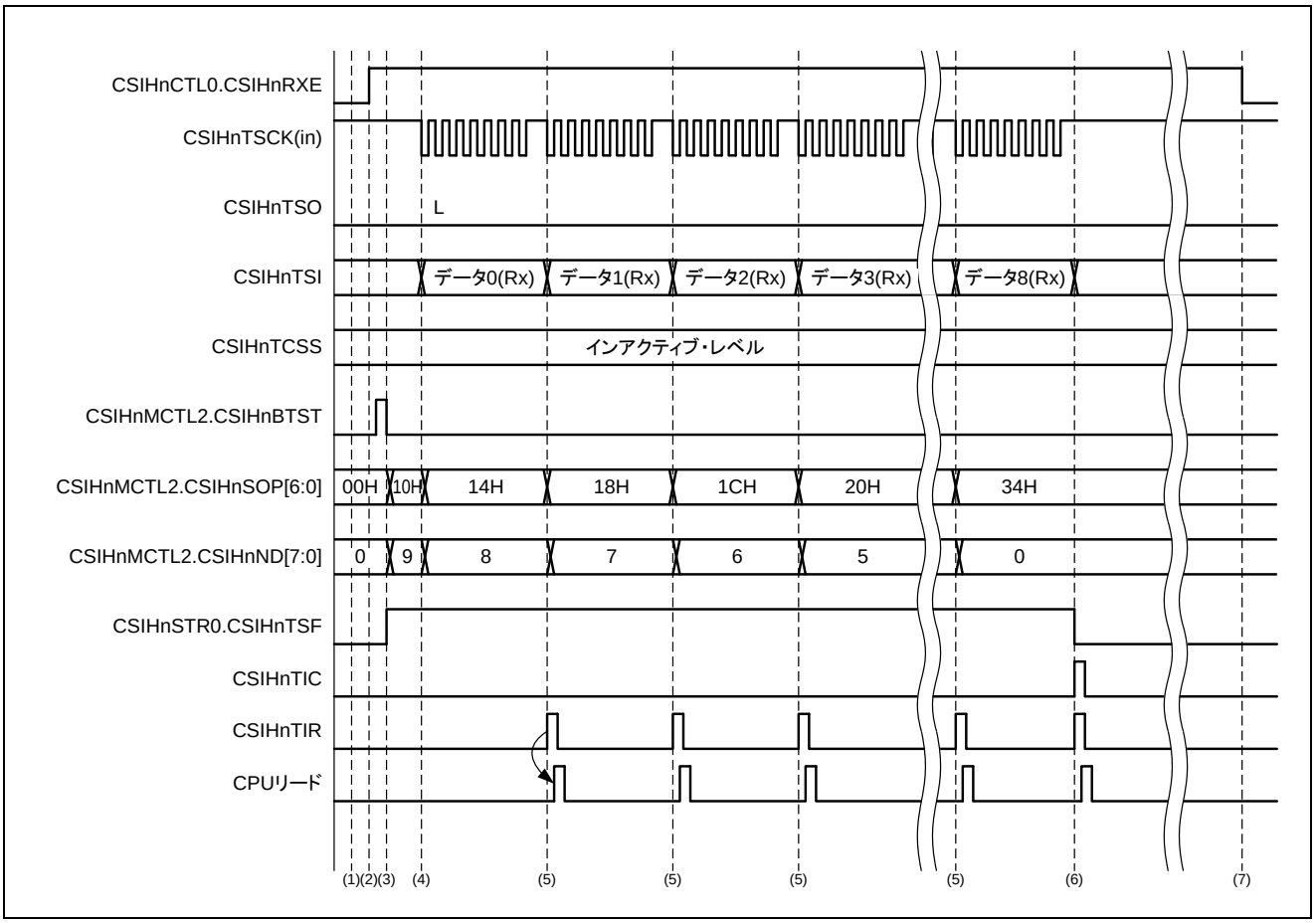


図20.47　送信オンリー・バッファ・モード（スレーブ・モード、受信モード、ジョブ・モードが無効）

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 10B（メモリ・モード）
   CSIHnCFG0 レジスタ（通信プロトコル）
2. CSIHnCTL0.CSIHnPWR = 1（クロック有効）
   CSIHnCTL0.CSIHnTXE = 0（送信禁止）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）
3. CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]ビットによって送信ポインタとデータの数を設定します。
   CSIHnMCTL2.CSIHnBTST をセット（1）することによって、受信が開始されます。
4. マスタよりシリアル・クロックが供給されると受信が開始されます。
   CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、データ・パケットが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
5. 各データを受信たびに、CSIHnTIR が発生します。CSIHnTIR 割り込みは、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
6. すべての受信が完了すると、割り込み要求 CSIHnTIC が発生します。
7. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
   CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(5)　マスタ・モード、送受信モード、ジョブ・モードが有効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- クロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード有効（CSIHnCTL1.CSIHnJE = 1）
- 送信オンリー・バッファ・モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10B）
- 送信データの数：9（CSIHnMCTL2.CSIHnND[7:0] = 09H）
- 転送開始アドレス：10H（CSIHnMCTL2.CSIHnSOP[6:0] = 10H）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）

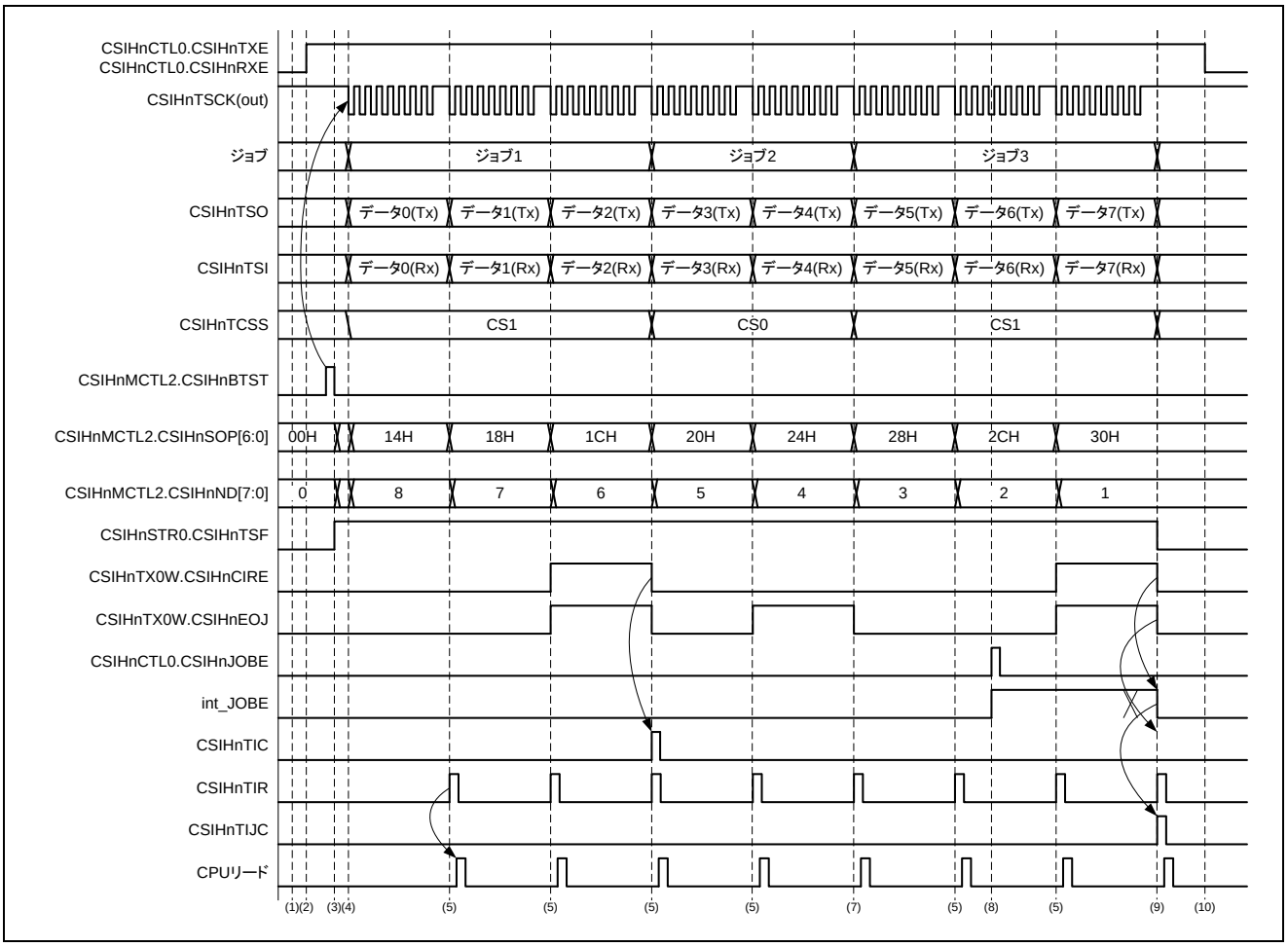


図20.48　送信オンリー・バッファ・モード（マスタ・モード、送受信モード、ジョブ・モードが有効）

備考 1. ここでは、バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0]で設定し、CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0]の値はインクリメントされます。

2. 上のタイミング図の「int_JOBE」信号は、ビット CSIHnJOBE の内部信号です。

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 10B（メモリ・モード）
   CSIHnCFGx レジスタ（通信プロトコル）
   （この例ではチップ・セレクト信号 CS0, CS1 を使用します）
2. CSIHnCTL0.CSIHnPWR = 1（クロック有効）
   CSIHnCTL0.CSIHnTXE = 1（送信許可）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）。
3. CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]ビットによって送信ポインタとデータの数を設定します。
   CSIHnMCTL2.CSIHnBTST を設定することによって通信が開始されます。
4. 送信が開始されます。ビット CSIHnMCTL2.CSIHnSOP[6:0]が自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
5. データが 1 つ受信されるたびに割り込み要求 CSIHnTIR が発生します。
   CSIHnTIR は、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
6. CSIHnTX0W.CSIHnCIRE = 1 の設定で CSIHnTIC が発生します。
   CSIHnTIC は、現在のジョブの最後データ（CSIHnTX0W.CSIHnEOJ = 1）が送られたことを示します。
7. 現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ = 1）が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 CSIHnTIC は発生しません。
8. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ 3 の終了時に通信を強制的に停止します。
9. 通信の強制停止後、ジョブ 3 の終了時に割り込み要求 CSIHnTIJC と CSIHnTIR が発生します。
   割り込み要求 CSIHnTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
   割り込み要求 CSIHnTIC の代わりに割り込み要求 CSIHnTIJC が発生するため、割り込み要求 CSIHnTIC は発生しません。
10. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
    CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(6)　マスタ・モード、受信モード、ジョブ・モードが有効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- クロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード有効（CSIHnCTL1.CSIHnJE = 1）
- 送信オンリー・バッファ・モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10）
- 送信データの数：9（CSIHnMCTL2.CSIHnND[7:0] = 09H）
- 転送開始アドレス：10H（CSIHnMCTL2.CSIHnSOP[6:0] = 10H）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）

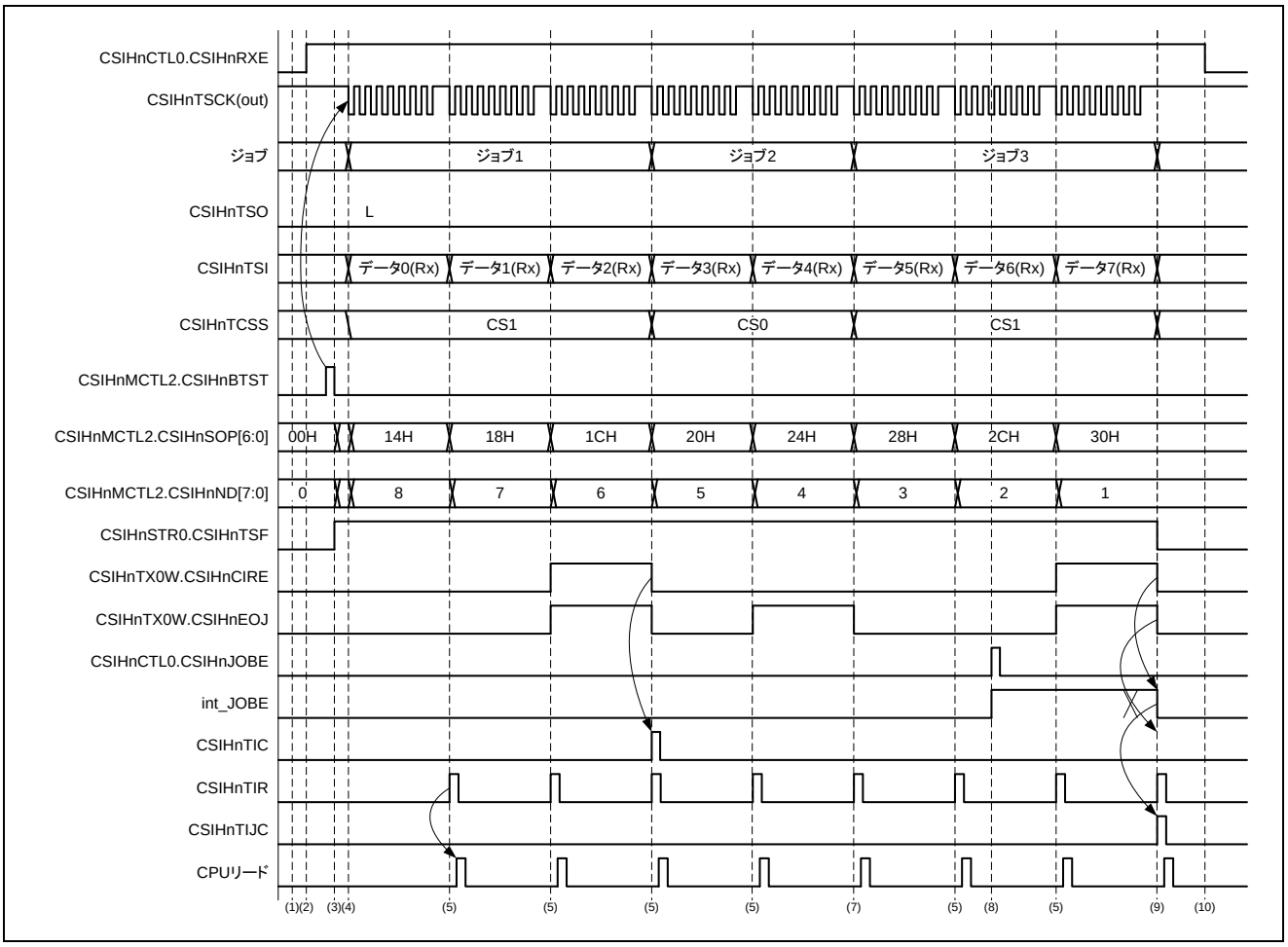


図20.49　送信オンリー・バッファ・モード（マスタ・モード、受信モード、ジョブ・モードが有効）

備考 1. ここでは、バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0]で設定し、CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0]の値はインクリメントされます。

2. 上のタイミング図の「int_JOBE」信号は、ビット CSIHnJOBE の内部信号です。

・手順：

1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 10B（メモリ・モード）
   CSIHnCFGx レジスタ（通信プロトコル）
   （この例ではチップ・セレクト信号 CS0, CS1 を使用します）
2. CSIHnCTL0.CSIHnPWR = 1（クロック有効）
   CSIHnCTL0.CSIHnTXE = 0（送信禁止）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）
3. CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]ビットによって送信ポインタとデータの数を設定します。
   CSIHnMCTL2.CSIHnBTST を設定することによって通信が開始されます。
4. 受信が開始されます。ビット CSIHnMCTL2.CSIHnSOP[6:0]が自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
5. データが 1 つ受信されるたびに割り込み要求 CSIHnTIR が発生します。
   CSIHnTIR は、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
6. CSIHnTX0W.CSIHnCIRE = 1 の設定で CSIHnTIC が発生します。
   CSIHnTIC は、現在のジョブの最後データ（CSIHnTX0W.CSIHnEOJ = 1）が送られたことを示します。
7. 現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ = 1）が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 CSIHnTIC は発生しません。
8. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ 3 の終了時に受信を強制的に停止します。
9. 通信の強制停止後、ジョブ 3 の終了時に割り込み要求 CSIHnTIJC と CSIHnTIR が発生します。
   割り込み要求 CSIHnTIJC は現在のジョブの終了時に受信が強制的に停止されたことを示します。
   割り込み要求 CSIHnTIC の代わりに割り込み要求 CSIHnTIJC が発生するため、割り込み要求 CSIHnTIC は発生しません。
10. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
    CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

20.5.3　デュアル・バッファ・モードでの手順

(1)　マスタ・モード、送受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- クロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）
- デュアル・バッファ・モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01B）
- データ・パケットの数：9（CSIHnMCTL2.CSIHnND[7:0] = 09H）
- 転送開始アドレス：10H（CSIHnMCTL2.CSIHnSOP[6:0] = 10H）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）

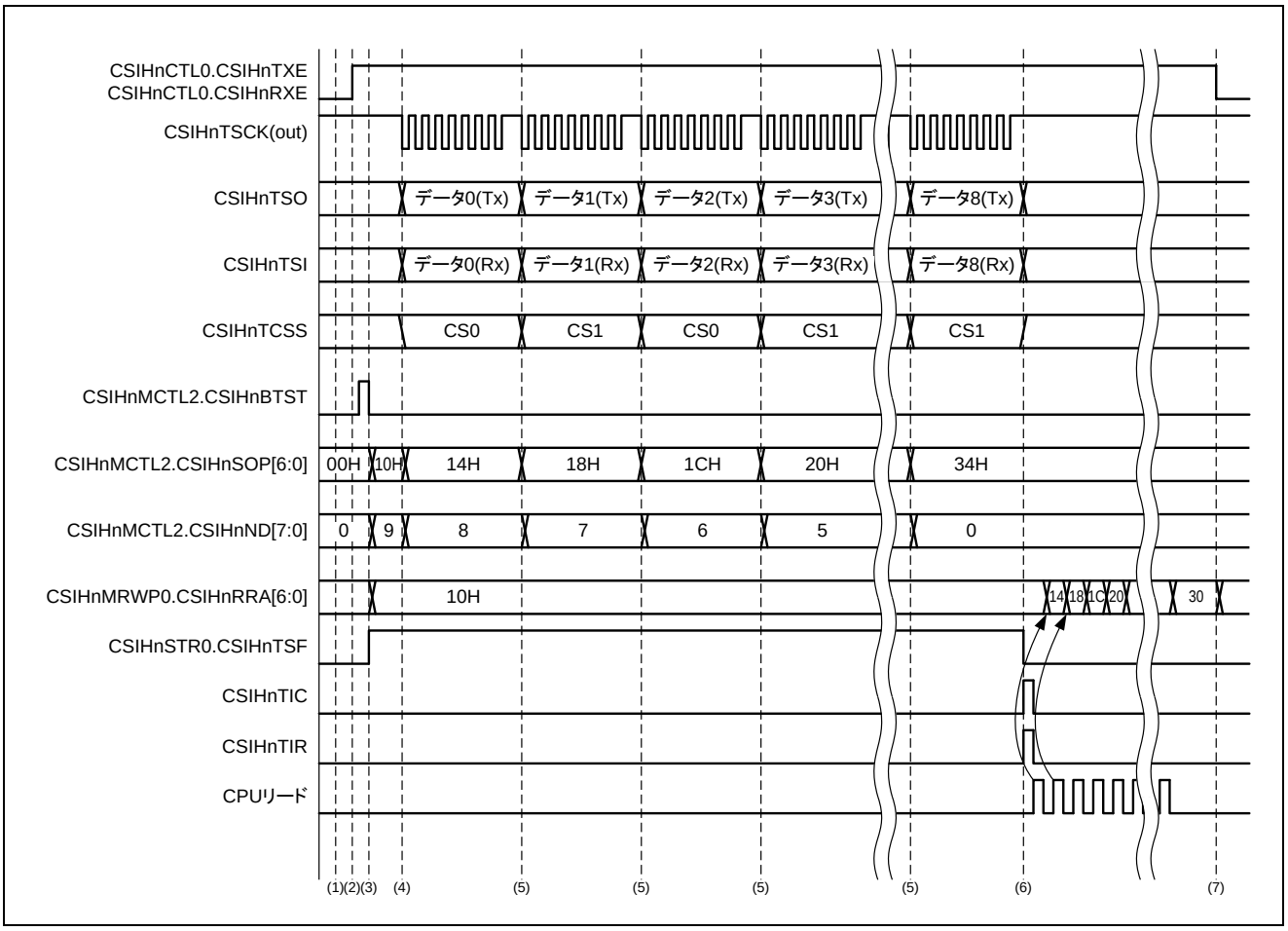


図20.50　デュアル・バッファ・モード（マスタ・モード、送受信モード、ジョブ・モードが無効）

備考 ここでは、バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0]で設定し、CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0]の値はインクリメントされます。

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 01B（メモリ・モード）
   CSIHnCFGx レジスタ（通信プロトコル）
   （この例ではチップ・セレクト信号 CS0, CS1 を使用します）
   CSIHnSTCR0.CSIHnPCT = 1（バッファ・ポインタのクリア）
2. CSIHnCTL0.CSIHnPWR = 1（クロック有効）
   CSIHnCTL0.CSIHnTXE = 1（送信許可）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）
3. CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]ビットによって送信ポインタとデータの数を設定します。
   CSIHnMCTL2.CSIHnBTST を設定することによって通信が開始されます。
4. 送信が開始されます。データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
5. 最後のデータが送受信されるまで、<4>が繰り返し実行されます。
   割り込み要求 CSIHnTIC と CSIHnTIR は発生しません。
6. すべての通信が終了すると、割り込み要求 CSIHnTIC と CSIHnTIR が発生します。
   CPU が受信バッファからの受信データのリードを開始します。リード開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0]ビットで指定されます。
   CSIHnMRWP0.CSIHnRRA[6:0]ビットはデータが 1 つリードされるたびにインクリメントされます。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
   CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(2)　マスタ・モード、受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- クロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）
- デュアル・バッファ・モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01B）
- データ・パケットの数：9（CSIHnMCTL2.CSIHnND[7:0] = 09H）
- 転送開始アドレス：10H（CSIHnMCTL2.CSIHnSOP[6:0] = 10H）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）

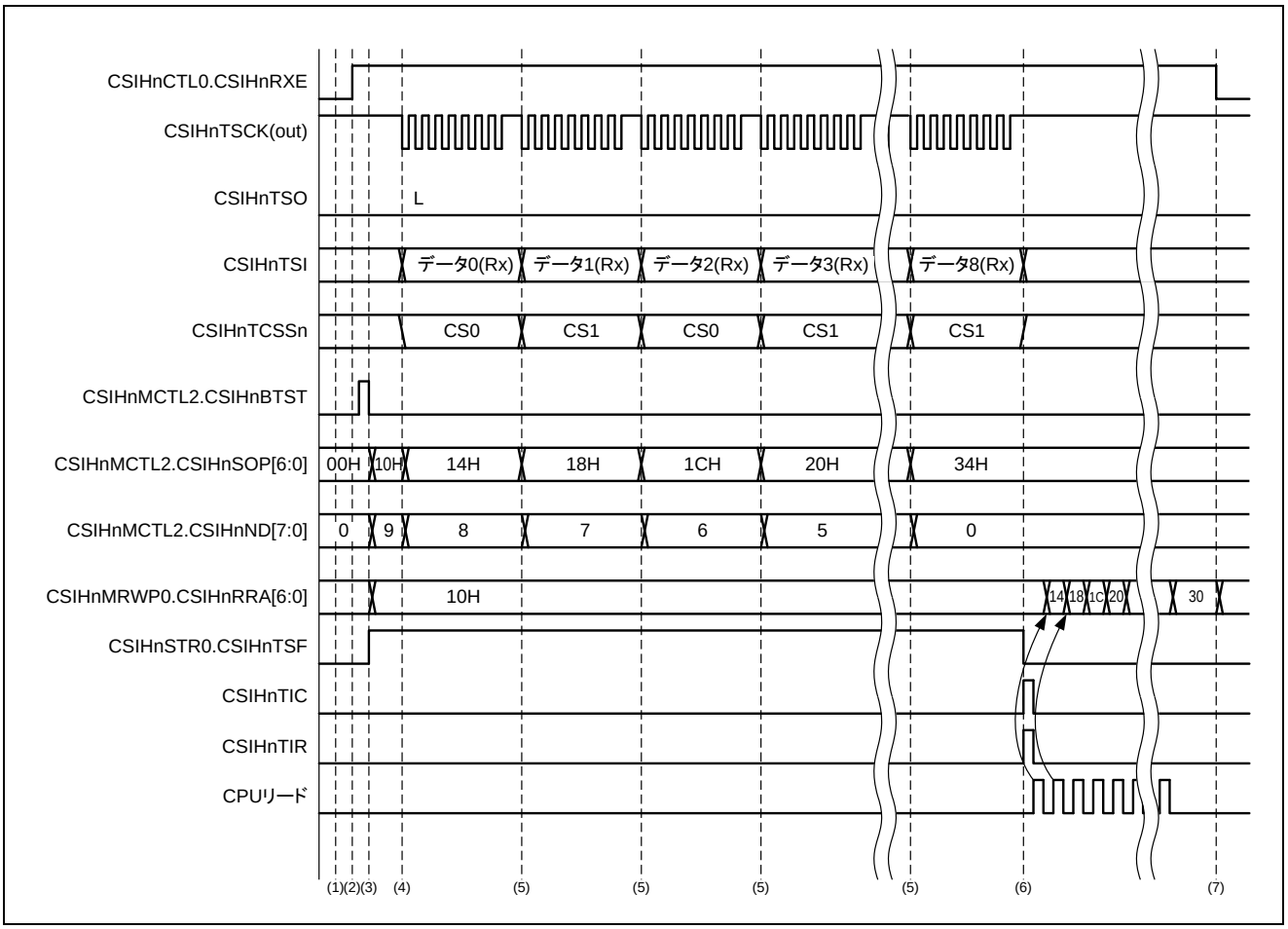


図20.51　デュアル・バッファ・モード（マスタ・モード、受信モード、ジョブ・モードが無効）

備考 ここでは、バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0]で設定し、CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0]の値はインクリメントされます。

・手順：

1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 01B（メモリ・モード）
   CSIHnCFGx レジスタ（通信プロトコル）
   （この例ではチップ・セレクト信号 CS0, CS1 を使用します）
   CSIHnSTCR0.CSIHnPCT = 1（バッファ・ポインタのクリア）
2. CSIHnCTL0.CSIHnPWR = 1（クロック有効）
   CSIHnCTL0.CSIHnTXE = 0（送信禁止）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）
3. CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]ビットによって送信ポインタとデータの数を設定します。
   CSIHnMCTL2.CSIHnBTST を設定することによって受信が開始されます。
4. 受信が開始されます。データが 1 つ受信されるたびに CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
5. 最後のデータが受信されるまで、<4>が繰り返し実行されます。
   割り込み要求 CSIHnTIC と CSIHnTIR は発生しません。
6. すべての受信が終了すると、割り込み要求 CSIHnTIC と CSIHnTIR が発生します。
   CPU が受信バッファからの受信データのリードを開始します。リード開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0]ビットで指定されます。
   CSIHnMRWP0.CSIHnRRA[6:0]ビットはデータが 1 つリードされるたびにインクリメントされます。
7. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
   CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(3)　スレーブ・モード、送受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFG0.CSIHnDLS0[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFG0.CSIHnDIR0 = 0）
- 通常のクロック位相とデータ位相（CSIHnCFG0.CSIHnCKP0 = 0, CSIHnCFG0.CSIHnDAP0 = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）
- デュアル・バッファ・モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01B）
- データ・パケットの数：9（CSIHnMCTL2.CSIHnND[7:0] = 09H）
- 転送開始アドレス：10H（CSIHnMCTL2.CSIHnSOP[6:0] = 10H）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）

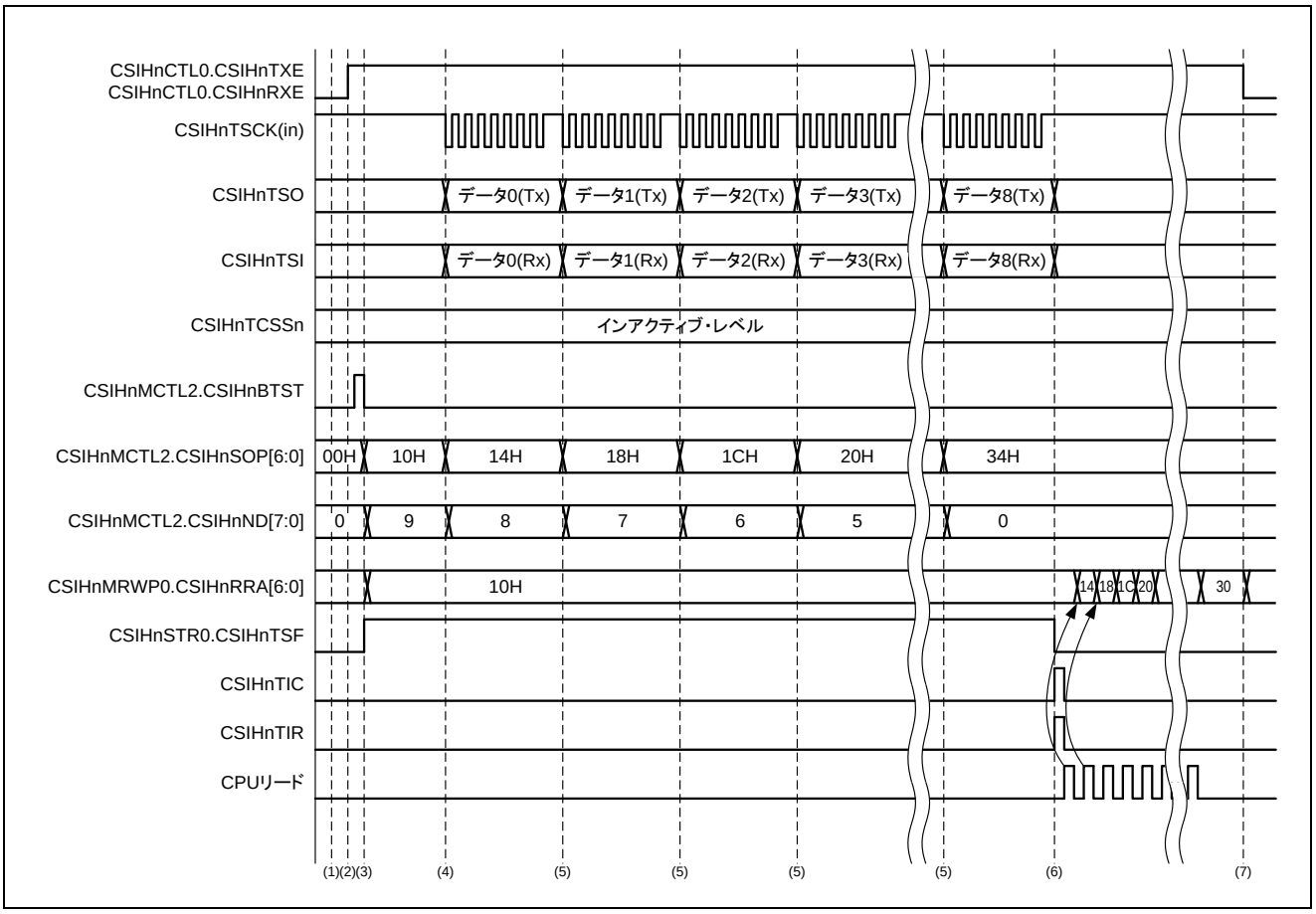


図20.52　デュアル・バッファ・モード（スレーブ・モード、送受信モード、ジョブ・モードが無効）

備考 ここでは、バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0]で設定し、CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0]の値はインクリメントされます。

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 01B（メモリ・モード）
   CSIHnCFG0 レジスタ（通信プロトコル）
   CSIHnSTCR0.CSIHnPCT = 1（バッファ・ポインタのクリア）
2. CSIHnCTL0.CSIHnPWR = 1（クロック有効）
   CSIHnCTL0.CSIHnTXE = 1（送信許可）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）
3. CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]ビットによって送信ポインタとデータの数を設定します。
   CSIHnMCTL2.CSIHnBTST を設定することによって通信が開始されます。
4. 送信が開始されます。データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
5. 最後のデータが送受信されるまで、<4>が繰り返し実行されます。
   割り込み要求 CSIHnTIC と CSIHnTIR は発生しません。
6. すべての通信が終了すると、割り込み要求 CSIHnTIC と CSIHnTIR が発生します。
   CPU が受信バッファからの受信データのリードを開始します。リード開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0]ビットで指定されます。
   CSIHnMRWP0.CSIHnRRA[6:0]ビットはデータが 1 つリードされるたびにインクリメントされます。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
   CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(4)　スレーブ・モード、受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFG0.CSIHnDLS0[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFG0.CSIHnDIR0 = 0）
- 通常のクロック位相とデータ位相（CSIHnCFG0.CSIHnCKP0 = 0, CSIHnCFG0.CSIHnDAP0 = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）
- デュアル・バッファ・モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01B）
- データ・パケットの数：9（CSIHnMCTL2.CSIHnND[7:0] = 09H）
- 転送開始アドレス：10H（CSIHnMCTL2.CSIHnSOP[6:0] = 10H）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）

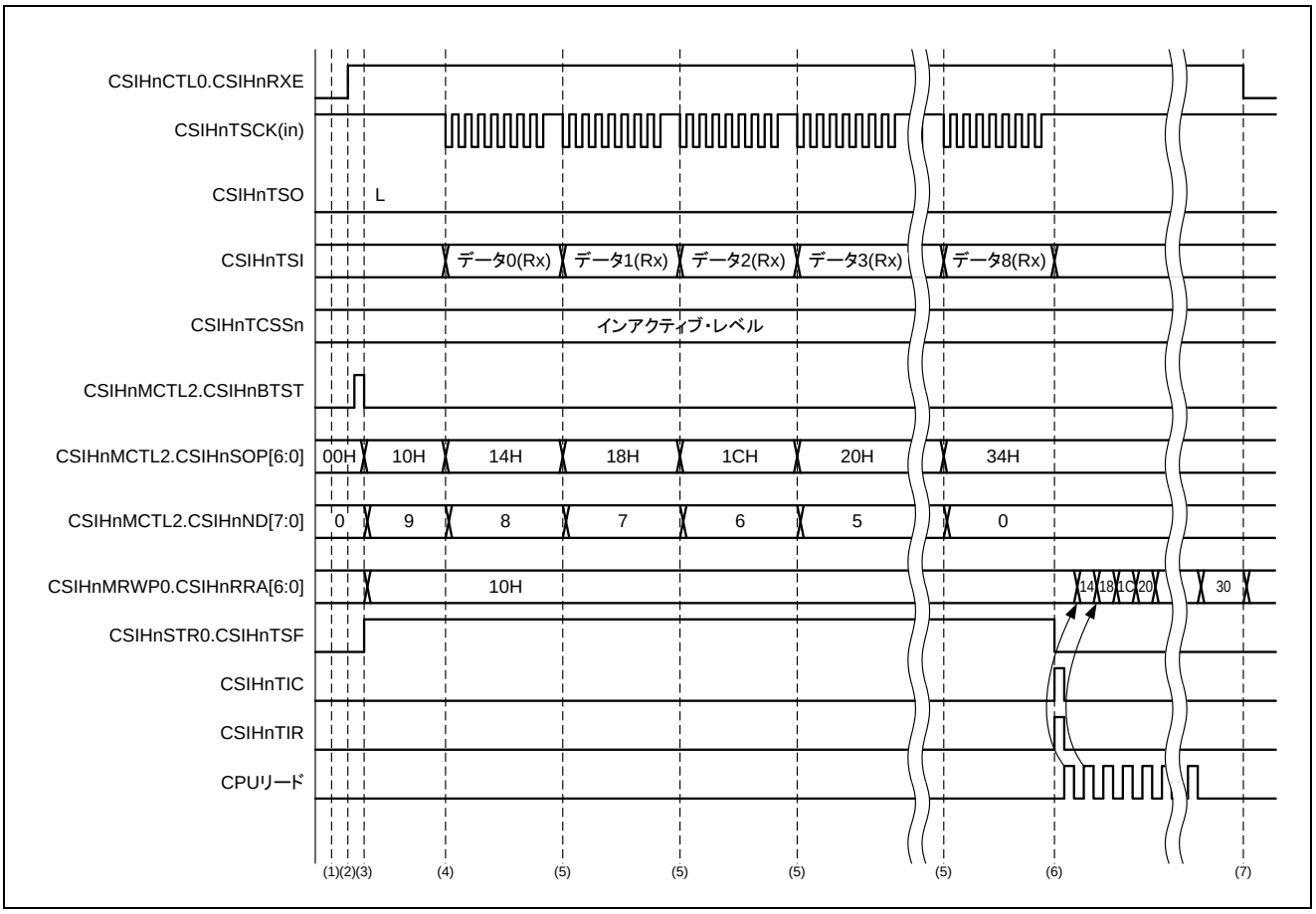


図20.53　デュアル・バッファ・モード（スレーブ・モード、受信モード、ジョブ・モードが無効）

備考 ここでは、バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0]で設定し、CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0]の値はインクリメントされます。

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 01B（メモリ・モード）
   CSIHnCFG0 レジスタ（通信プロトコル）
   CSIHnSTCR0.CSIHnPCT = 1（バッファ・ポインタのクリア）
2. CSIHnCTL0.CSIHnPWR = 1（クロック有効）
   CSIHnCTL0.CSIHnTXE = 0（送信禁止）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）
3. CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]ビットによって送信ポインタとデータの数を設定します。
   CSIHnMCTL2.CSIHnBTST を設定することによって受信が開始されます。
4. 受信が開始されます。データが 1 つ受信されるたびに CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
5. 最後のデータが受信されるまで、<4>が繰り返し実行されます。
   割り込み要求 CSIHnTIC と CSIHnTIR は発生しません。
6. すべての受信が終了すると、割り込み要求 CSIHnTIC と CSIHnTIR が発生します。
   CPU が受信バッファからの受信データのリードを開始します。リード開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0]ビットで指定されます。
   CSIHnMRWP0.CSIHnRRA[6:0]ビットはデータが 1 つリードされるたびにインクリメントされます。
7. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
   CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(5)　マスタ・モード、送受信モード、ジョブ・モードが有効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード有効（CSIHnCTL1.CSIHnJE = 1）
- デュアル・バッファ・モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01B）
- データ・パケットの数：12（CSIHnMCTL2.CSIHnND[7:0] = 12H）
- 転送開始アドレス：00H（CSIHnMCTL2.CSIHnSOP[6:0] = 00H）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）

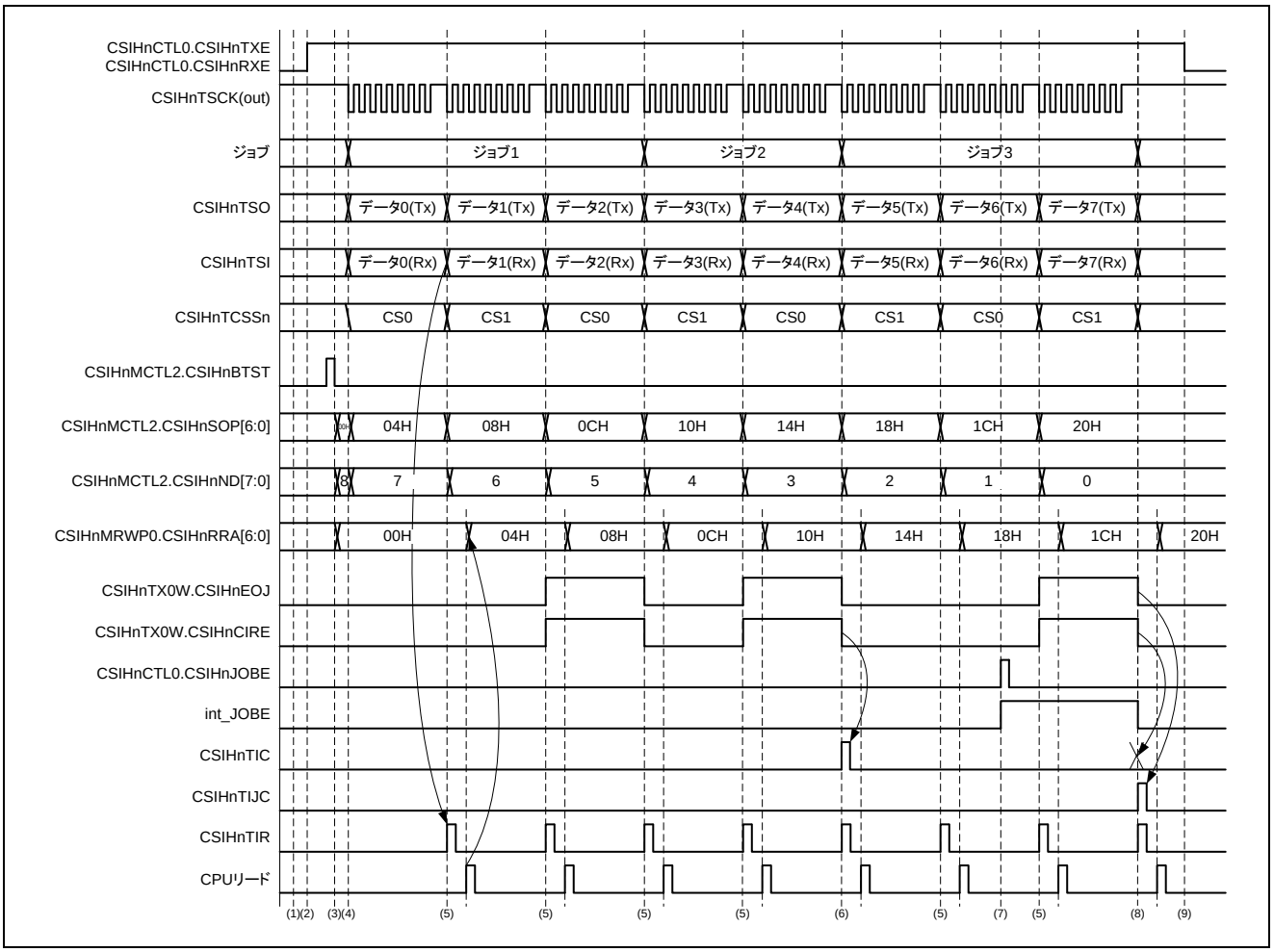


図20.54　デュアル・バッファ・モード（マスタ・モード、送受信モード、ジョブ・モードが有効）

備考 1. ここでは、バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0]で設定し、CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0]の値はインクリメントされます。

2. 上のタイミング図の「int_JOBE」信号は、CSIHnCTL0.CSIHnJOBE ビットの内部信号です。

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 01B（メモリ・モード）
   CSIHnCFGx レジスタ（通信プロトコル）
   （この例ではチップ・セレクト信号 CS0, CS1 を使用します）
   CSIHnSTCR0.CSIHnPCT = 1（バッファ・ポインタのクリア）
2. CSIHnCTL0.CSIHnPWR = 1（クロック有効）
   CSIHnCTL0.CSIHnTXE = 1（送信許可）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）
3. CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]ビットによって送信ポインタとデータの数を設定します。
   CSIHnMCTL2.CSIHnBTST を設定することによって通信が開始されます。
4. 送信が開始されます。データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
5. すべてのデータを受信すると、CSIHnTIR が発生します。CSIHnTIR 割り込みは、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
6. CSIHnTX0W.CSIHnCIRE = 1 の設定で CSIHnTIC が発生します。
   CSIHnTIC は、現在のジョブの最後データ（CSIHnTX0W.CSIHnEOJ = 1）が送られたことを示します。
7. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ 3 の終了時に通信を強制的に停止します。
8. 通信の強制停止後、ジョブ 3 の終了時に割り込み要求 CSIHnTIJC と CSIHnTIR が発生します。
   割り込み要求 CSIHnTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
   割り込み要求 CSIHnTIC の代わりに割り込み要求 CSIHnTIJC が発生するため、割り込み要求 CSIHnTIC は発生しません。また、CSIHnTX0W レジスタによる転送データは送られません。
9. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
   CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(6)　マスタ・モード、受信モード、ジョブ・モードが有効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード有効（CSIHnCTL1.CSIHnJE = 1）
- デュアル・バッファ・モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01B）
- データ・パケットの数：12（CSIHnMCTL2.CSIHnND[7:0] = 12H）
- 転送開始アドレス：00H（CSIHnMCTL2.CSIHnSOP[6:0] = 00H）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）

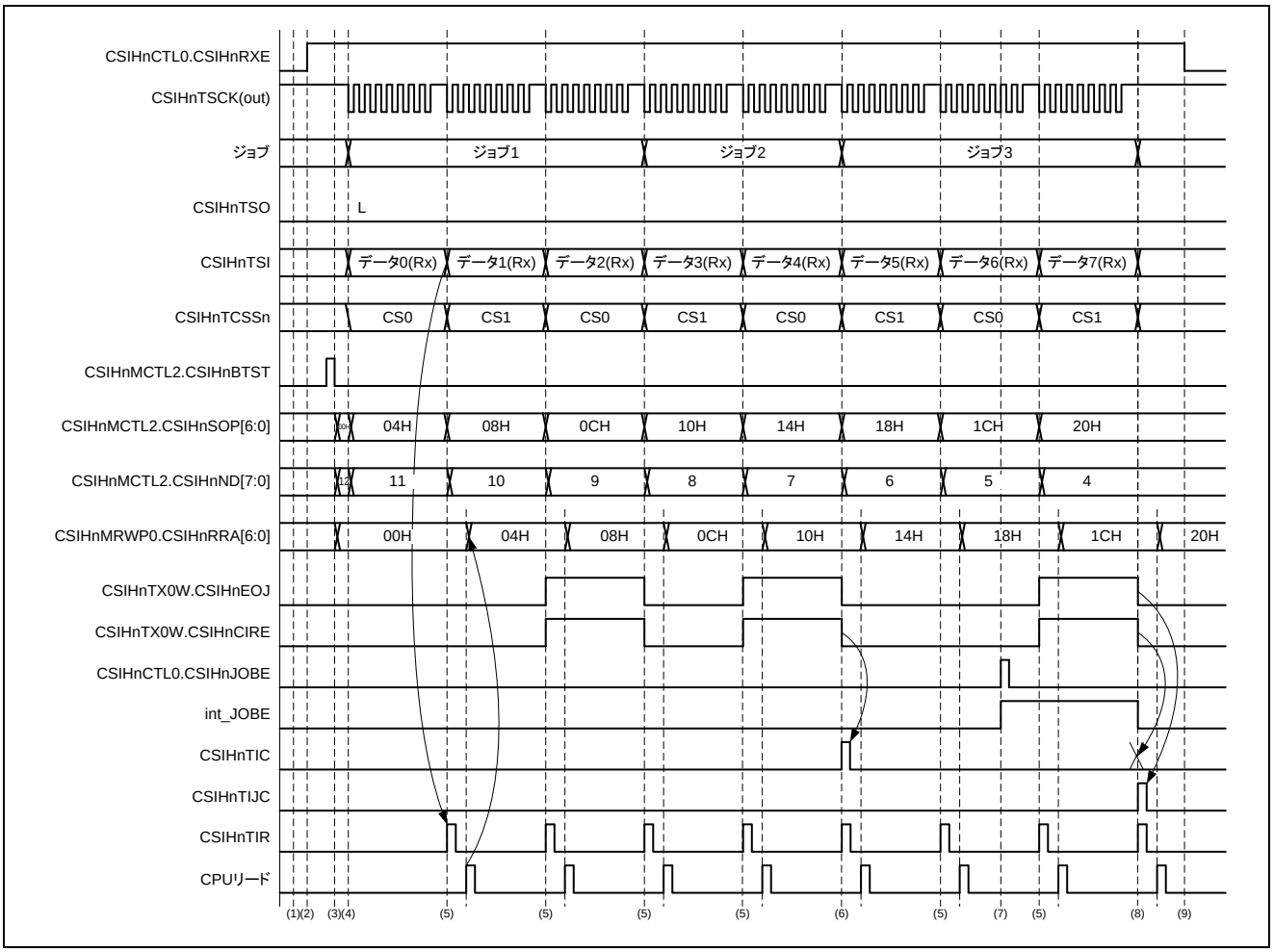


図20.55　デュアル・バッファ・モード（マスタ・モード、受信モード、ジョブ・モードが有効）

備考 1. ここでは、バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0]で設定し、CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0]の値はインクリメントされます。

2. 上のタイミング図の「int_JOBE」信号は、CSIHnCTL0.CSIHnJOBE ビットの内部信号です。

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 01B（メモリ・モード）
   CSIHnCFGx レジスタ（通信プロトコル）
   （この例ではチップ・セレクト信号 CS0, CS1 を使用します）
   CSIHnSTCR0.CSIHnPCT = 1（バッファ・ポインタのクリア）
2. CSIHnCTL0.CSIHnPWR = 1（クロック有効）
   CSIHnCTL0.CSIHnTXE = 0（送信禁止）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）
3. CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]ビットによって送信ポインタとデータの数を設定します。
   CSIHnMCTL2.CSIHnBTST を設定することによって通信が開始されます。
4. 受信が開始されます。データが 1 つ受信されるたびに CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
5. 各データを受信するたびに、CSIHnTIR が発生します。CSIHnTIR 割り込みは、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
6. CSIHnTX0W.CSIHnCIRE = 1 の設定で CSIHnTIC が発生します。
   CSIHnTIC は、現在のジョブの最後データ（CSIHnTX0W.CSIHnEOJ = 1）が送られたことを示します。
7. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ 3 の終了時に受信を強制的に停止します。
8. 受信の強制停止後、ジョブ 3 の終了時に割り込み要求 CSIHnTIJC と CSIHnTIR が発生します。
   割り込み要求 CSIHnTIJC は現在のジョブの終了時に受信が強制的に停止されたことを示します。
   割り込み要求 CSIHnTIC の代わりに割り込み要求 CSIHnTIJC が発生するため、割り込み要求 CSIHnTIC は発生しません。また、CSIHnTX0W レジスタによる転送データは送られません。
9. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
   CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

20.5.4 FIFO モードでの手順

(1) マスタ・モード、送受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）
- FIFO モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00B）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）

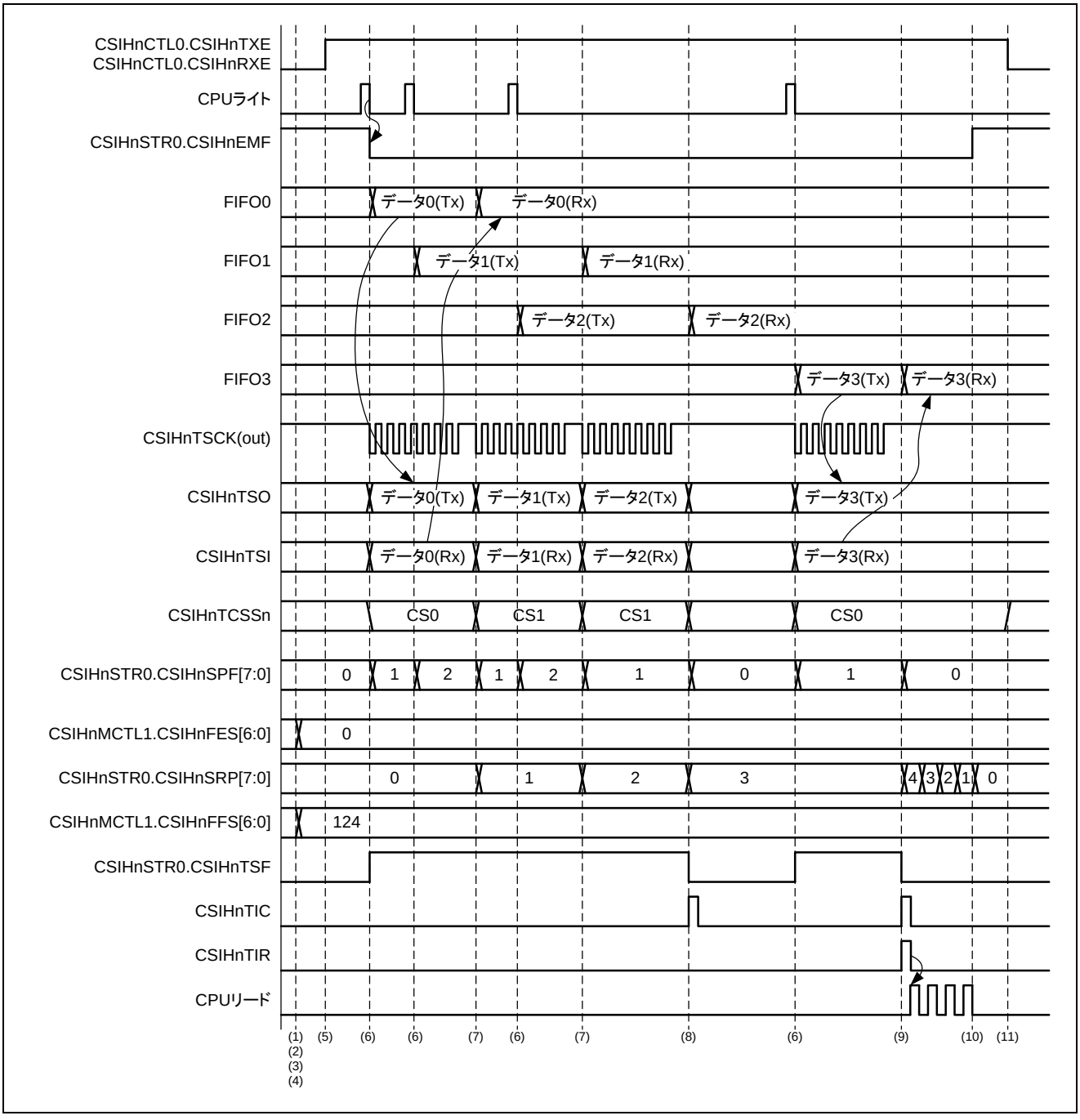


図20.56　FIFO モード（マスタ・モード、送受信モード、ジョブ・モードが無効）

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 00B（メモリ・モード）
   CSIHnCFGx レジスタ（通信プロトコル）
   （この例ではチップ・セレクト信号 CS0, CS1 を使用します）
2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0、CSIHnSTR0.CSIHnEMF = 1、CSIHnSTR0.CSIHnSPF[7:0] = 00H に設定されていることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0]で CSIHnTIC 割り込みの条件を指定します。
   CSIHnMCTL1.CSIHnFFS[6:0]で CSIHnTIR 割り込みの条件を指定します。
5. CSIHnCTL0.CSIHnPWR = 1（クロック許可）
   CSIHnCTL0.CSIHnTXE = 1（送信許可）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）
6. 送信データを送信データ・レジスタ CSIHnTX0W にライトすると、通信が開始されます。
7. 通信の一部は完了しましたが、CSIHnSTR0.CSIHnSPF[7:0]と CSIHnMCTL1.CSIHnFES[6:0]の値が一致してないので、CSIHnTIC は発生しません。
8. CSIHnSTR0.CSIHnSPF[7:0]と CSIHnMCTL1.CSIHnFES[6:0]の値が一致したので、CSIHnTIC が発生します。
9. CSIHnMCTL1.CSIHnFFS[6:0]の値と（128-CSIHnSTR0.CSIHnSRP［7:0］の値が一致したので割り込み要求 CSIHnTIR が発生します。
   CSIHnSTR0.CSIHnSPF[7:0]の値と CSIHnMCTL1.CSIHnFES[6:0]の値が一致したので割り込み要求 CSIHnTIC が発生します。
   CPU が受信バッファに格納された受信データのリードを開始します。
10. CPU が受け付けたデータのリードを完了します。FIFO バッファがエンプティなので CSIHnSTR0.CSIHnEMF ビットがセット（1）されます。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
    CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(2) マスタ・モード、受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）
- FIFO モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00B）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）

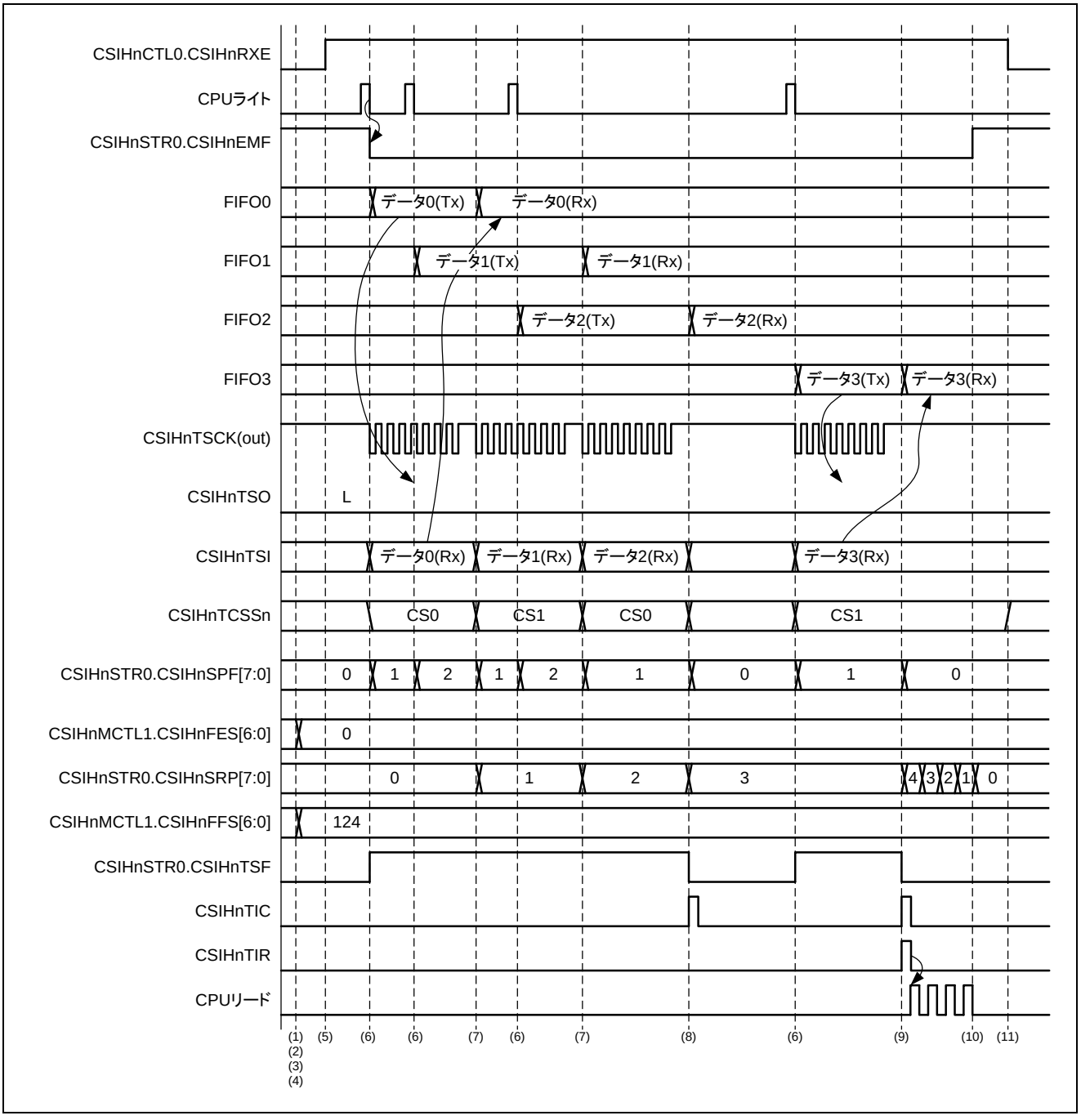


図20.57　FIFO モード（マスタ・モード、受信モード、ジョブ・モードが無効）

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 00B（メモリ・モード）
   CSIHnCFGx レジスタ（通信プロトコル）
   （この例ではチップ・セレクト信号 CS0, CS1 を使用します）
2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0、CSIHnSTR0.CSIHnEMF = 1、CSIHnSTR0.CSIHnSPF[7:0] = 00H に設定されていることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0]で CSIHnTIC 割り込みの条件を指定します。
   CSIHnMCTL1.CSIHnFFS[6:0]で CSIHnTIR 割り込みの条件を指定します。
5. CSIHnCTL0.CSIHnPWR = 1（クロック許可）
   CSIHnCTL0.CSIHnTXE = 1（送信許可）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）
6. 送信データを送信データ・レジスタ CSIHnTX0W にライトすると、通信が開始されます。（送信データは使用しませんが，チップ・セレクトが許可されます）。
7. 通信の一部は完了しましたが、CSIHnSTR0.CSIHnSPF[7:0]と CSIHnMCTL1.CSIHnFES[6:0]の値が一致してないので、CSIHnTIC は発生しません。
8. CSIHnSTR0.CSIHnSPF[7:0]と CSIHnMCTL1.CSIHnFES[6:0]の値が一致したので、CSIHnTIC が発生します。
9. CSIHnMCTL1.CSIHnFFS[6:0]の値と（128-CSIHnSTR0.CSIHnSRP［7:0］の値が一致したので割り込み要求 CSIHnTIR が発生します。
   CSIHnSTR0.CSIHnSPF[7:0]の値と CSIHnMCTL1.CSIHnFES[6:0]の値が一致したので割り込み要求 CSIHnTIC が発生します。
   CPU が受信バッファに格納された受信データのリードを開始します。
10. CPU が受け付けたデータのリードを完了します。FIFO バッファがエンプティなので CSIHnSTR0.CSIHnEMF ビットがセット（1）されます。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(3) スレーブ・モード、送受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFG0.CSIHnDLS0[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFG0.CSIHnDIR0 = 0）
- 通常のクロック位相とデータ位相（CSIHnCFG0.CSIHnCKP0 = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）
- FIFO モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00B）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）

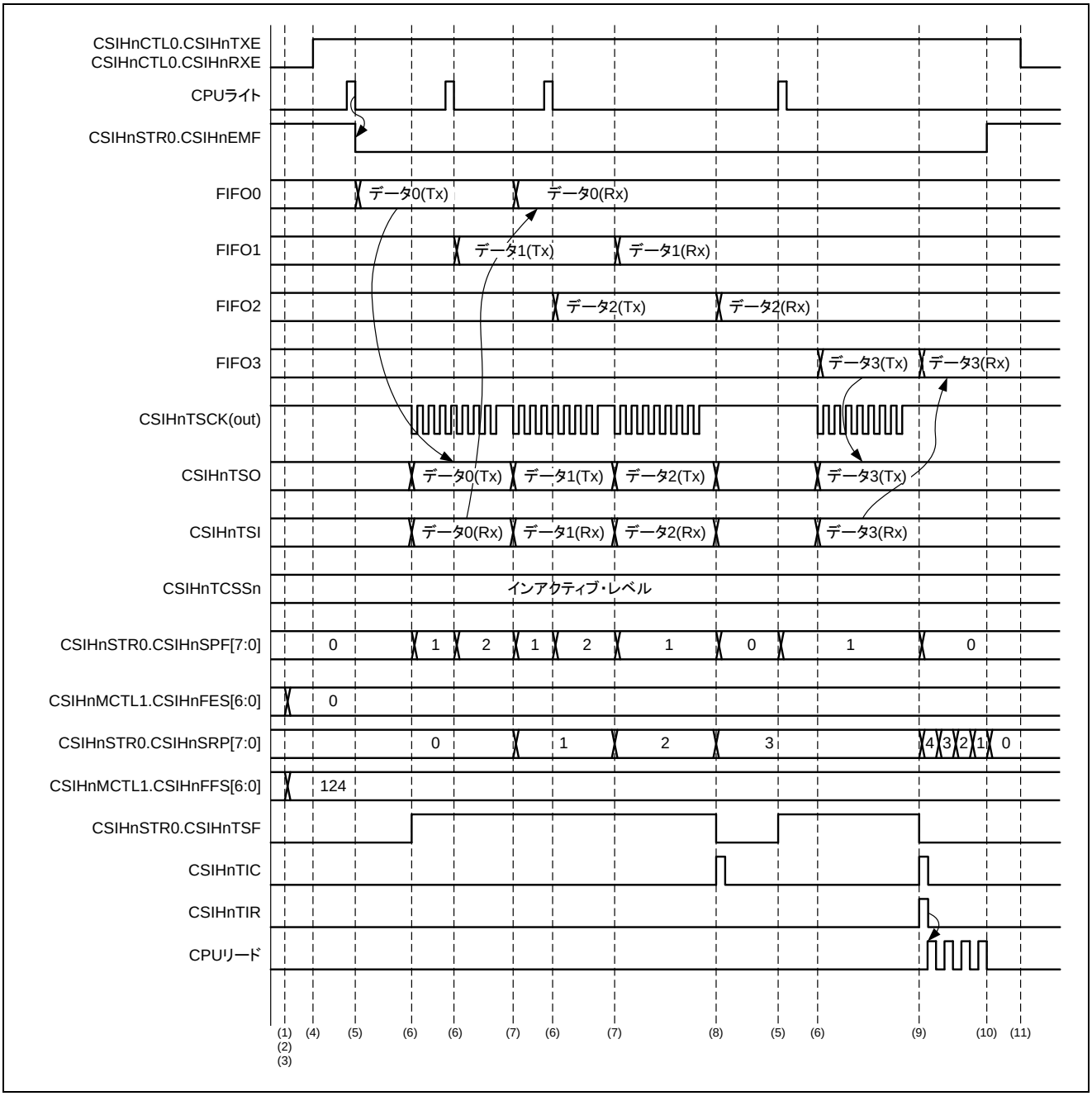


図20.58　FIFO モード（スレーブ・モード、送受信モード、ジョブ・モードが無効）

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 00B（メモリ・モード）
   CSIHnCFG0 レジスタ（通信プロトコル）
2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
   CSIHnSTR0.CSIHnFLF = 0、CSIHnSTR0.CSIHnEMF = 1、CSIHnSTR0.CSIHnSPF[7:0] = 00H に設定されていることを確認します。
3. CSIHnMCTL1.CSIHnFES[6:0]で CSIHnTIC 割り込みの条件を指定します。
   CSIHnMCTL1.CSIHnFFS[6:0]で CSIHnTIR 割り込みの条件を指定します。
4. CSIHnCTL0.CSIHnPWR = 1（クロック許可）
   CSIHnCTL0.CSIHnTXE = 1（送信許可）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）
5. 転送データを送信データ・レジスタ CSIHnTX0W にライトします。
6. マスタよりシリアル・クロックが供給されると、通信は自動的に始まります。
7. 通信の一部は完了しましたが、CSIHnSTR0.CSIHnSPF[7:0]と CSIHnMCTL1.CSIHnFES[6:0]の値が一致してないので、CSIHnTIC は発生しません。
8. CSIHnSTR0.CSIHnSPF[7:0]と CSIHnMCTL1.CSIHnFES[6:0]の値が一致したので、CSIHnTIC が発生します。
9. CSIHnMCTL1.CSIHnFFS[6:0]の値と（128-CSIHnSTR0.CSIHnSRP［7:0］の値が一致したので割り込み要求 CSIHnTIR が発生します。
   CSIHnSTR0.CSIHnSPF[7:0]の値と CSIHnMCTL1.CSIHnFES[6:0]の値が一致したので割り込み要求 CSIHnTIC が発生します。
   CPU が受信バッファに格納された受信データのリードを開始します。
10. CPU が受け付けたデータのリードを完了します。FIFO バッファがエンプティなので CSIHnSTR0.CSIHnEMF ビットがセット（1）されます。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
    CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(4) スレーブ・モード、受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFG0.CSIHnDLS0[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFG0.CSIHnDIR0 = 0）
- 通常のクロック位相とデータ位相（CSIHnCFG0.CSIHnCKP0 = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード無効（CSIHnCTL1.CSIHnJE = 0）
- FIFO モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00B）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）

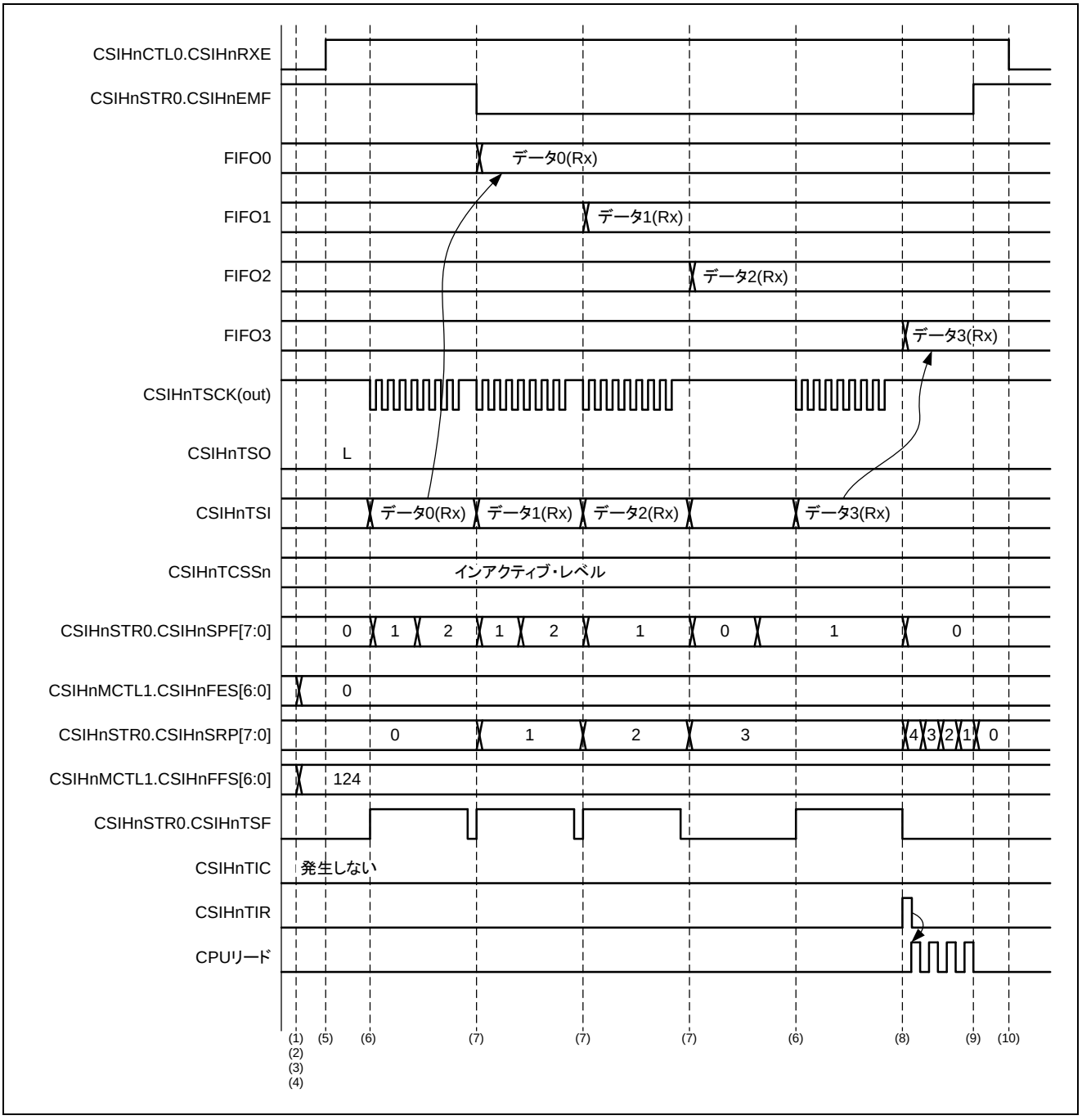


図20.59　FIFO モード（スレーブ・モード、受信モード、ジョブ・モードが無効）

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 00B（メモリ・モード）
   CSIHnCFG0 レジスタ（通信プロトコル）
2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0、CSIHnSTR0.CSIHnEMF = 1、CSIHnSTR0.CSIHnSPF[7:0] = 00H に設定されていることを確認します。
4. CSIHnMCTL1.CSIHnFFS[6:0]で CSIHnTIR 割り込みの条件を指定します。
5. CSIHnCTL0.CSIHnPWR = 1（クロック許可）
   CSIHnCTL0.CSIHnTXE = 0（送信禁止）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）。
6. マスタよりシリアル・クロックが供給されると、受信は自動的に始まります。
7. 受信の一部は完了しましたが、受信モードなので、CSIHnTIC は発生しません。
8. CSIHnMCTL1.CSIHnFFS[6:0]の値と（128-CSIHnSTR0.CSIHnSRP［7:0］の値が一致したので割り込み要求 CSIHnTIR が発生します。
   CPU が受信バッファに格納された受信データのリードを開始します。
9. CPU が受け付けたデータのリードを完了します。FIFO バッファがエンプティなので CSIHnSTR0.CSIHnEMF ビットがセット（1）されます。
10. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
    CSIH を使用しない間は消費電力を抑えるために､CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(5)　マスタ・モード、送受信モード、ジョブ・モードが有効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード有効（CSIHnCTL1.CSIHnJE = 1）
- FIFO モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00B）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）
- ジョブ 1 = 4 データ、ジョブ 2 = 3 データ、ジョブ 3 = 5 データ

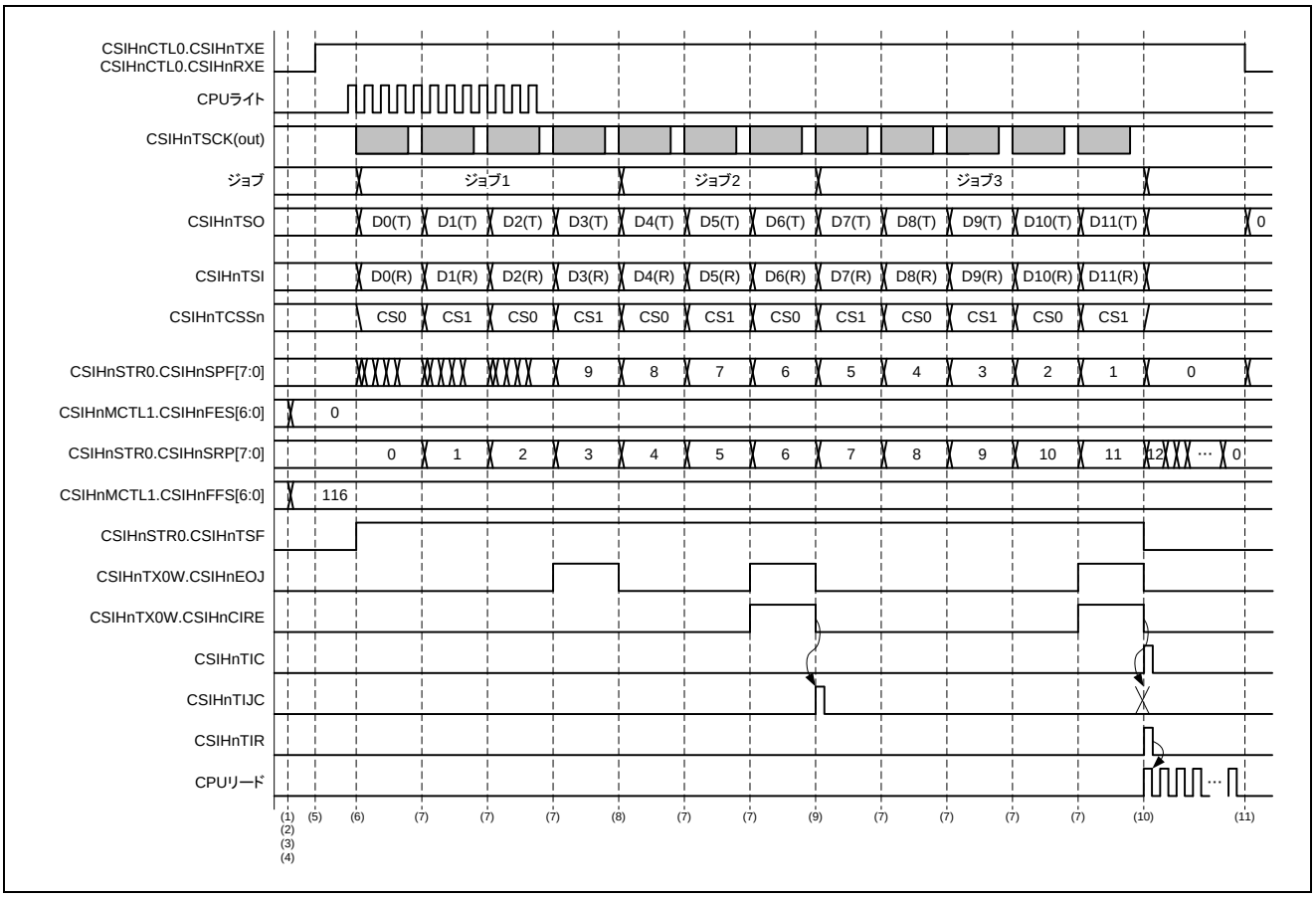


図20.60　FIFO モード（マスタ・モード、送受信モード、ジョブ・モードが有効）

備考 上のタイミング図の「int_JOBE」信号は、CSIHnCTL0.CSIHnJOBE ビットの内部信号です。

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 00B（メモリ・モード）
   CSIHnCFGx レジスタ（通信プロトコル）
   （この例ではチップ・セレクト信号 CS0, CS1 を使用します）
2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0、CSIHnSTR0.CSIHnEMF = 1、CSIHnSTR0.CSIHnSPF[7:0] = 00H に設定されていることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0]で CSIHnTIC 割り込みの条件を指定します。
   CSIHnMCTL1.CSIHnFFS[6:0]で CSIHnTIR 割り込みの条件を指定します。
5. CSIHnCTL0.CSIHnPWR = 1（クロック許可）
   CSIHnCTL0.CSIHnTXE = 1（送信許可）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）
6. 送信データを送信データ・レジスタ CSIHnTX0W にライトすると、通信が開始されます。
7. 通信の一部は完了しましたが、CSIHnSTR0.CSIHnSPF[7:0]と CSIHnMCTL1.CSIHnFES[6:0]の値が一致してないので、CSIHnTIC は発生しません。
8. 現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ = 1）が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 CSIHnTIC は発生しません。
9. 現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ = 1）が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたため、割り込み要求 CSIHnTIC が発生します。
10. CSIHnSTR0.CSIHnSPF[7:0]と CSIHnMCTL1.CSIHnFES[6:0]の値が一致したので、CSIHnTIC が発生します。CSIHnTIC が発生したので CSIHnTIJC は発生しません。
    CSIHnMCTL1.CSIHnFFS[6:0]の値と（128-CSIHnSTR0.CSIHnSRP[7:0]の値が一致したので割り込み要求 CSIHnTIR が発生します。
    CPU が受信バッファに格納された受信データのリードを開始します。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
    CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(6)　マスタ・モード、受信モード、ジョブ・モードが有効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 全割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブ・モード有効（CSIHnCTL1.CSIHnJE = 1）
- FIFO モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00B）
- 通常の CSIHnTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）
- ジョブ 1 = 4 データ、ジョブ 2 = 3 データ、ジョブ 3 = 5 データ

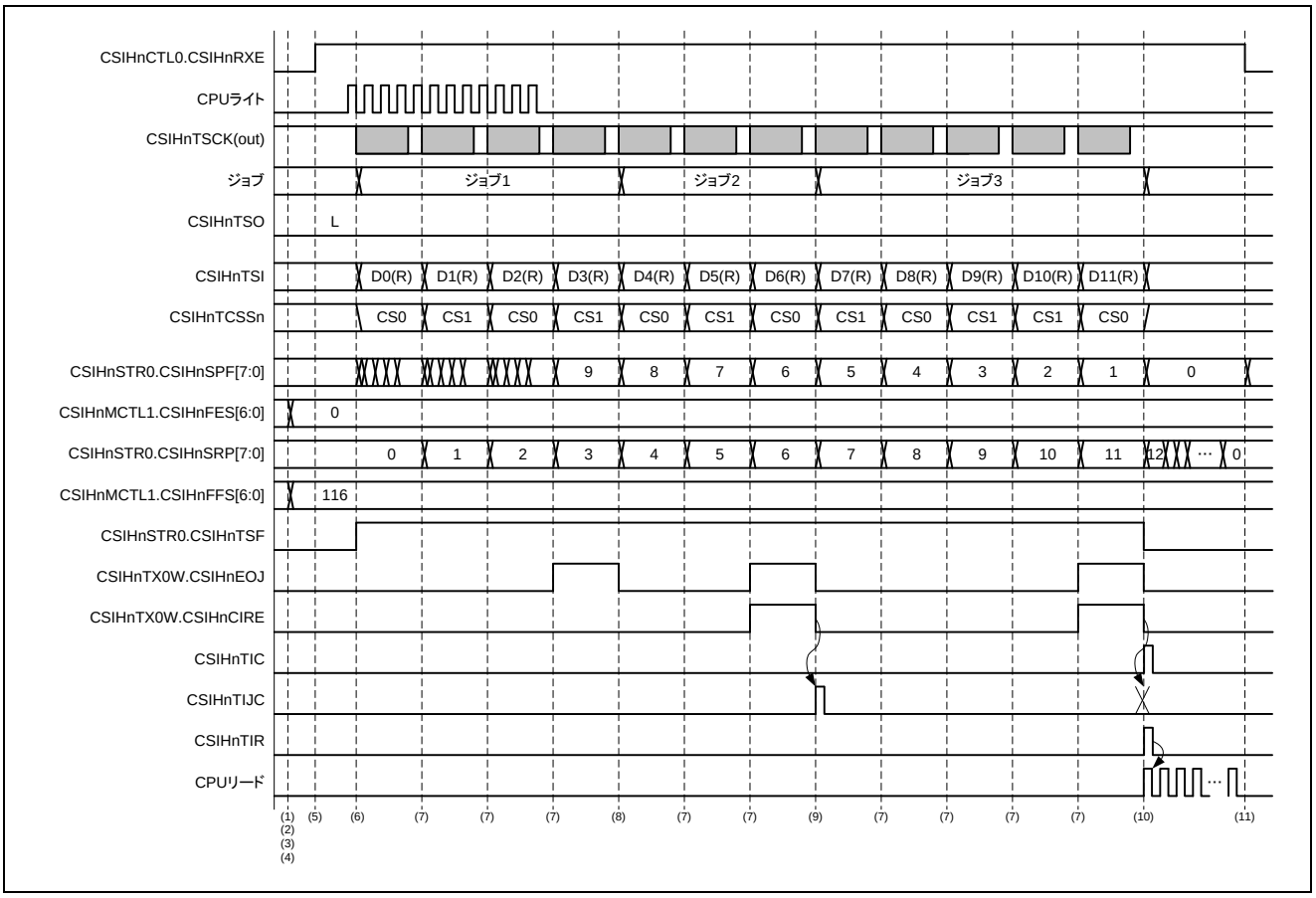


図20.61　FIFO モード（マスタ・モード、受信モード、ジョブ・モードが有効）

備考 上のタイミング図の「int_JOBE」信号は、CSIHnCTL0.CSIHnJOBE ビットの内部信号です。

・手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
   CSIHnCTL1, CSIHnCTL2（転送モード、動作モード）
   CSIHnMCTL0.CSIHnMMS[1:0] = 00B（メモリ・モード）
   CSIHnCFGx レジスタ（通信プロトコル）
   （この例ではチップ・セレクト信号 CS0, CS1 を使用します）
2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0、CSIHnSTR0.CSIHnEMF = 1、CSIHnSTR0.CSIHnSPF[7:0] = 00H に設定されていることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0]で CSIHnTIC 割り込みの条件を指定します。
   CSIHnMCTL1.CSIHnFFS[6:0]で CSIHnTIR 割り込みの条件を指定します。
5. CSIHnCTL0.CSIHnPWR = 1（クロック許可）
   CSIHnCTL0.CSIHnTXE = 1（送信許可）
   CSIHnCTL0.CSIHnRXE = 1（受信許可）
   CSIHnCTL0.CSIHnMBS = 0（メモリ・モード）
6. 送信データを送信データ・レジスタ CSIHnTX0W にライトすると、通信が開始されます（送信データは使用しませんが、チップ・セレクトは有効になります）。
7. 受信の一部は完了しましたが、CSIHnSTR0.CSIHnSPF[7:0]と CSIHnMCTL1.CSIHnFES[6:0]の値が一致してないので、CSIHnTIC は発生しません。
8. 現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ = 1）が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 CSIHnTIC は発生しません。
9. 現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ = 1）が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたため、割り込み要求 CSIHnTIC が発生します。
10. CSIHnSTR0.CSIHnSPF[7:0]と CSIHnMCTL1.CSIHnFES[6:0]の値が一致したので、CSIHnTIC が発生します。CSIHnTIC が発生したので CSIHnTIJC は発生しません。
    CSIHnMCTL1.CSIHnFFS[6:0]の値と（128-CSIHnSTR0.CSIHnSRP[7:0]の値が一致したので割り込み要求 CSIHnTIR が発生します。
    CPU が受信バッファに格納された受信データのリードを開始します。
11. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
    CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

21. I2C バス（IICB）

本章では、I²C バス（I²CB）について説明します。

21.1 IICB の特徴

○ チャネル数： この製品は 2 チャネルの I²CB（IICBn）を搭載しています。

表21.1 I²CB のチャネル数

IICB	
チャネル数	2
名称	IICB0, IICB1

○ n の意味： この章では、IICB のチャネルを「n」（n = 0, 1）で識別します。
たとえば IICBn データ・レジスタは、IICBnDAT のように記述しています。

○ 割り込みと周辺機能： IICB の下記割り込み要求は、割り込み処理や Hardware ISR 以外にも、DMA 転送（汎用 DMAC、リアルタイムポート DMAC）、タイマ・キャプチャ・トリガ（TAUJ2、TAUD）、リアルタイム・ポート（RP00-RP37）の更新に利用可能です。

表21.2 IICBn の割り込みと周辺機能への要求

IICBn の割り込み信号	機能	接続先
IICB0		
IICBTIA	データ送受信割り込み要求信号	・割り込みコントローラ INTIICB0TIA ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
IICBTIS	ステータス割り込み要求信号	・割り込みコントローラ INTIICB0TIS
IICB1		
IICBTIA	データ送受信割り込み要求信号	・割り込みコントローラ INTIICB1TIA ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
IICBTIS	ステータス割り込み要求信号	・割り込みコントローラ INTIICB1TIS

21.2 機能概要

○ 動作モード： 標準モード（SCL クロック周波数：Max. 100kHz）
高速モード（SCL クロック周波数：Max. 400kHz）

○ 転送モード： シングル転送モード
連続転送モード

○ 端子構成： SCLn：シリアル・クロック端子
SDAn：シリアル送受信データ端子

○ 割り込み要求信号： データ送受信割り込み要求信号（IICBTIAn）
ステータス割り込み要求信号（IICBTISn）

○ 通信データ長： 8 ビット

○ マルチ・マスタ対応：複数のマスタが同時にバスを制御することが可能

○ SCLn のレベル幅： シリアル・クロック信号（SCLn）のハイ・レベル幅／ロー・レベル幅の設定を変更可能

○ 自動検出可能： スタート・コンディションおよびストップ・コンディションの自動検出が可能

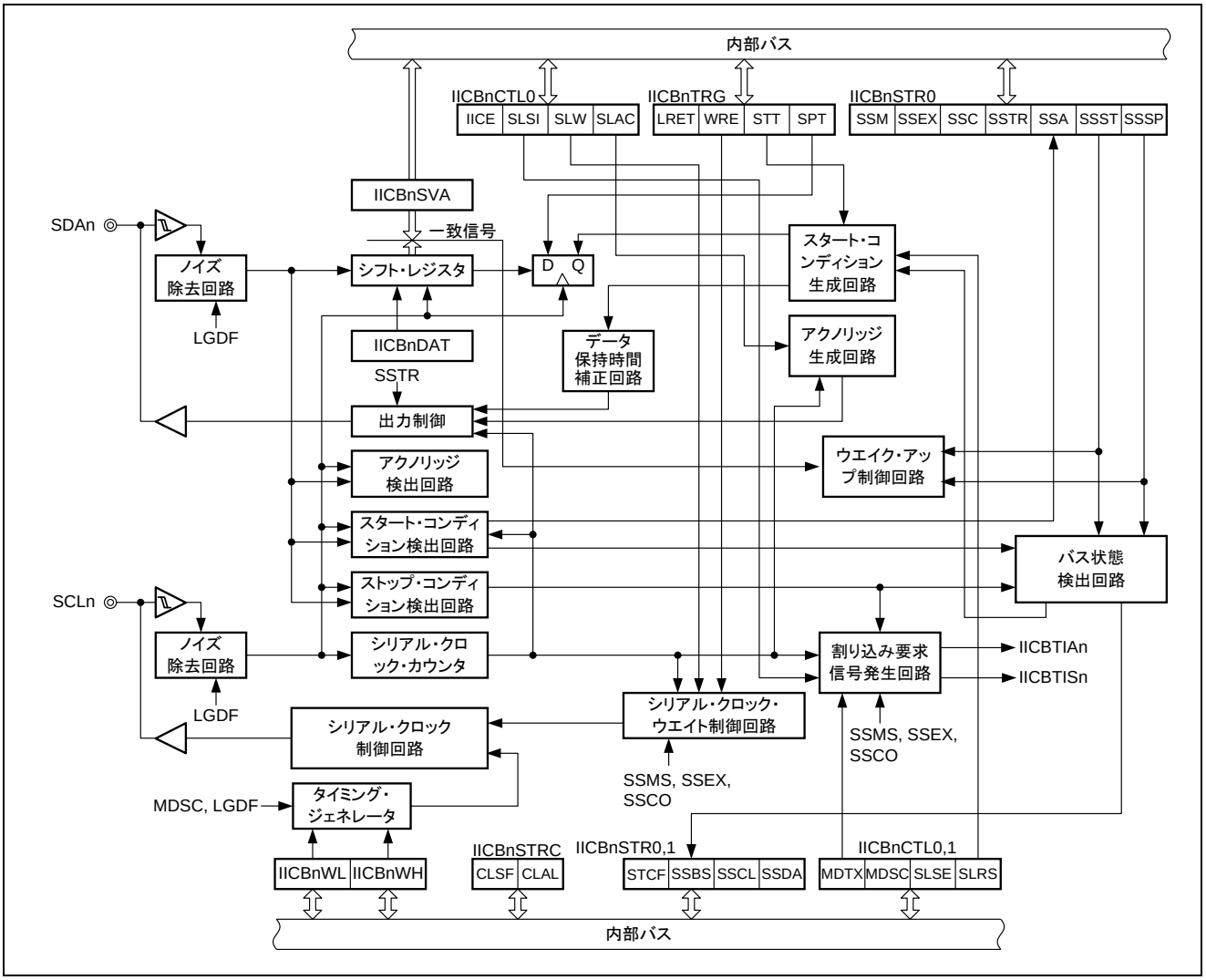


図21.1 IICBn のブロック図

21.3 レジスタ

注意 拡張コード受信時の動作は説明を省略しています。詳細は、21.6.5「拡張コード」を参照してください。

I2Cn は、次のレジスタによって制御、動作します。

表21.3 I2C レジスタ

レジスタ名	略号	アドレス
IICB0 データ・レジスタ	IICB0DAT	4000 0500H
IICB0 スレーブ・アドレス・レジスタ	IICB0SVA	4000 0504H
IICB0 コントロール・レジスタ 0	IICB0CTL0	4000 0508H
IICB0 コントロール・レジスタ 1	IICB0CTL1	4000 0520H
IICB0 ロー・レベル幅設定レジスタ	IICB0WL	4000 0524H
IICB0 ハイ・レベル幅設定レジスタ	IICB0WH	4000 0528H
IICB0 トリガ・レジスタ	IICB0TRG	4000 050CH
IICB0 ステータス・レジスタ 0	IICB0STR0	4000 0510H
IICB0 ステータス・レジスタ 1	IICB0STR1	4000 0514H
IICB0 ステータス・クリア・レジスタ	IICB0STRC	4000 0518H
IICB1 データ・レジスタ	IICB1DAT	4000 0600H
IICB1 スレーブ・アドレス・レジスタ	IICB1SVA	4000 0604H
IICB1 コントロール・レジスタ 0	IICB1CTL0	4000 0608H
IICB1 コントロール・レジスタ 1	IICB1CTL1	4000 0620H
IICB1 ロー・レベル幅設定レジスタ	IICB1WL	4000 0624H
IICB1 ハイ・レベル幅設定レジスタ	IICB1WH	4000 0628H
IICB1 トリガ・レジスタ	IICB1TRG	4000 060CH
IICB1 ステータス・レジスタ 0	IICB1STR0	4000 0610H
IICB1 ステータス・レジスタ 1	IICB1STR1	4000 0614H
IICB1 ステータス・クリア・レジスタ	IICB1STRC	4000 0618H

(1) IICBn データ・レジスタ（IICBnDAT）

IICBnDAT レジスタは、転送データを送受信するためのレジスタです。

- アクセス　　8 ビット単位でリード／ライト可能です。

このレジスタは、IICBnCTL0.IICBnIICE ビット= 1→0、IICBnCTL0.IICBnIICE ビット= 0→1 によっても初期化されます。

注意 1. シングル転送モードおよび連続転送モード時にマスタになる場合は、IICBnTRG.IICBnSTT ビット = 1 設定後、アドレスと通信方向を転送するため、IICBnDAT レジスタへ 1 回だけライトを許可します。

2. シングル転送モード時にデータを転送する場合は、ウェイト期間を除く通信状態での IICBnDAT レジスタへのライトは禁止します。

3. 連続転送モード時にデータを転送する場合は、1 度の IICBTIAn 割り込み要求信号に対して IICBnDAT レジスタへ 1 回だけライトを許可します。

4. 送信動作を行っているときに IICBnDAT レジスタをリードしないでください。
また同様に受信動作を行っているときに IICBnDAT レジスタへライトしないでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
IICBnDAT	IICBn DAT7	IICBn DAT6	IICBn DAT5	IICBn DAT4	IICBn DAT3	IICBn DAT2	IICBn DAT1	IICBn DAT0	4000 0500H +100H × n	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
7-0	IICBnDAT7- IICBnDAT0	受信時には、受信データを保持します。 送信時には、送信データを書き込みます。 IICBnDAT レジスタへのアクセス（リード、ライト）は、手順に従って行う必要があります。 設定手順については、21.9「設定手順」を参照してください。 IICBnDAT レジスタへのアクセスによりウェイト状態の解除を行います。 〇シングル転送モードの場合 ・IICBnDAT レジスタへライトが行われたとき 〇連続転送モードの場合 ・IICBnDAT レジスタへライトが行われたとき ・データ転送中のウェイト状態で NACK 受信によるウェイトでない場合に IICBnDAT レジスタへリードが行われたとき

備考 n = 0, 1

(2) IICBn スレーブ・アドレス・レジスタ（IICBnSVA）

IICBnSVA レジスタは、IICBn バスのスレーブ・アドレスを格納するレジスタです。

- アクセス　　8 ビット単位でリード／ライト可能です。

注意 IICBnSVA レジスタは、IICBnCTL0.IICBnIICE ビット = 1 の場合の書き込みは禁止します。

	7	6	5	4	3	2	1	0	アドレス	初期値
IICBnSVA	IICBn SVA7	IICBn SVA6	IICBn SVA5	IICBn SVA4	IICBn SVA3	IICBn SVA2	IICBn SVA1	0	4000 0504H +100H × n	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0		

ビット位置	ビット名	意　味
7-1	IICBnSVA7- IICBnSVA1	IICBn バスのスレーブ・アドレスを格納します。 受信したアドレスと IICBnSVA レジスタを比較することで、アドレス一致／アドレス不一致の判定を行います。 受信したアドレスが IICBnSVA レジスタと一致した場合は、IICBnSTR0.IICBnSSCO ビットがセット（1）されます。
0	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）

備考 n = 0, 1

(3)　IICBn コントロール・レジスタ 0（IICBnCTL0）

IICBnCTL0 レジスタは、IICBn の動作を制御するレジスタです。

- アクセス　　8/1 ビット単位でリード／ライト可能です。

（1/4）

	7	6	5	4	3	2	1	0	アドレス	初期値
IICBnCTL0	IICBn IICE	0	0	IICBn MDTX1	IICBn MDTX0	IICBn SLSI	IICBn SLWT	IICBn SLAC	4000 0508H +100H×n	00H
R/W	R/W	0	0	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
7	IICBnIICE	IICBn の動作許可／動作停止を指定します。 0：IICBn の動作停止 1：IICBn の動作許可 IICBnCTL0.IICBnIICE ビット= 1→0、または IICBnCTL0.IICBnIICE ビット= 0→1 の動作により次に示すレジスタの同期リセットを行います。 ・IICBnDAT, IICBnSTR0 レジスタ IICBnCTL0.IICBnIICE ビット = 0 のとき、SCLn, SDAn 端子はハイ・インピーダンス状態になります。
6, 5	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
4	IICBnMDTX1	スレーブで拡張コード検出時の転送モードを指定します。 0：シングル転送モード 1：連続転送モード 〇シングル転送モード 転送ごとに IICBnCTL0.IICBnSLWT ビットの設定に従い、ウェイト状態となる転送です。 〇連続転送モード データ送受信割り込み要求信号（IICBTIAn）発生ごとに IICBnDAT レジスタへリードまたはライトを行うことで、ウェイト状態とならずに連続して通信できる転送です。 各モード時の動作については、21.6「動　　作」を参照ください。 注意　IICBnCTL0.IICBnIICE ビット= 0 のときのみ書き換えを許可します。

備考 n = 0, 1

（2/4）

ビット位置	ビット名	意　味
3	IICBnMDTX0	マスタおよびスレーブでアドレス一致時の転送モードを指定します。 0：シングル転送モード 1：連続転送モード 〇シングル転送モード 転送ごとに IICBnCTL0.IICBnSLWT ビットの設定に従い、ウェイト状態となる転送です。 〇連続転送モード データ送受信割り込み要求信号（IICBTIAn）発生ごとに IICBnDAT レジスタへリードまたはライトを行うことで、ウェイト状態とならずに連続して通信できる転送です。 各モード時の動作については、21.6「動　　作」を参照ください。 **注意 IICBnCTL0.IICBnIICE ビット= 0 のときのみ書き換えを許可します。**
2	IICBnSLSI	ストップ・コンディション検出時、ステータス割り込み要求信号（IICBTISn）の発生許可／発生禁止を指定します。 0：ストップ・コンディション検出時の IICBTISn 信号発生禁止 1：ストップ・コンディション検出時の IICBTISn 信号発生許可 次に示す条件のいずれかで通信する場合は、IICBnCTL0.IICBnSLSI ビット= 1 に設定してください。 ・通信予約機能許可状態でマスタとして通信を行うとき ・スレーブとして通信に参加するとき ・アービトレーション負けをする可能性があるとき（マルチ・マスタ環境でマスタとして動作させるとき）

備考 n = 0, 1

（3/4）

ビット位置	ビット名	意　味
1	IICBnSLWT	ウェイトおよび割り込み要求発生のタイミングを制御します。 0：シングル転送時の 8 クロック目の立ち下がりでウェイト状態への遷移および割り込み要求発生 1：シングル転送時の 9 クロック目の立ち下がりでウェイト状態への遷移および割り込み要求発生 IICBnCTL0.IICBnSLWT ビットは次に示すタイミングでのウェイトへの遷移および割り込み要求発生を制御するビットです。 ・データ転送中の 8 クロック目および 9 クロック目 ウェイト状態への遷移条件については、21.6.4「ウェイトとウェイト解除方法」を参照してください。 なお、アドレス転送中は IICBnCTL0.IICBnSLWT ビットの設定によらず、ウェイトへの遷移および割り込み要求発生条件は次のようになります。 〇シングル転送モードの場合 ・マスタ時：9 クロック目の立ち下がり検出時にデータ送受信割り込み要求信号（IICBTIAn）を発生し、ウェイト状態となります。 ・スレーブ時：アドレス一致時は、9 クロック目の立ち下がり検出時に IICBTIAn 信号を発生しウェイト状態となります。 アドレス不一致時は、IICBTIAn 信号は発生せずウェイト状態にもなりません。 〇連続転送モードの場合 連続転送モードの場合は、ウエイト・タイミングは IICBnCTL0.IICBnSLWT ビットの設定は影響しません。 ・受信時：8 クロック目の立ち下がりでウェイト状態 ・送信時：9 クロック目の立ち下がりでウェイト状態 **注意 シングル転送モード時は、IICBnCTL0.IICBnIICE ビット=0 時またはウェイト期間のみ書き換えを許可します。**

備考 n = 0, 1

（4/4）

ビット位置	ビット名	意　味
0	IICBnSLAC	アクノリッジを制御します。 0：アクノリッジ禁止 マスタ時：データ受信中のアクノリッジを生成しません（SDAn 端子はハイ・インピーダンス状態）。 スレーブ時：アドレスが一致したデータ転送中のアクノリッジを生成しません（SDAn 端子はハイ・インピーダンス状態）。 1：アクノリッジ許可 マスタ時：データ受信中のアクノリッジを生成します（SDAn 端子をロー・レベル）。 スレーブ時：アドレスが一致したデータ転送中のアクノリッジを生成します（SDAn 端子をロー・レベル）。 スレーブ時は、アドレス一致の場合、アドレス転送中のアクノリッジは IICBnCTL0.IICBnSLAC ビットの値に関係なく生成します （SDAn 端子をロー・レベル）。 データを送信または通信不参加のときは、アクノリッジは常に生成しません （SDAn 端子はハイ・インピーダンス状態）。

備考 n = 0, 1

(4)　IICBn コントロール・レジスタ 1（IICBnCTL1）

IICBnCTL1 レジスタは、IICBn の動作を制御するレジスタです。

- アクセス　　8 ビット単位でリード／ライト可能です。

注意 IICBnCTL1 レジスタは、IICBnCTL0.IICBnIICE ビット = 1 の場合の書き込みは禁止します。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
IICBnCTL1	IICBn MDSC	IICBn LGDF2	IICBn LGDF1	IICBn LGDF0	IICBn MDLB	0	IICBn SLSE	IICBn SLRS	4000 0520H +100H × n	00H
R/W	R/W	R/W	R/W	R/W	R/W	0	R/W	R/W		

ビット位置	ビット名	意　味
7	IICBnMDSC	IICBn の動作モードを指定します。 0：標準モード（SCL クロック周波数：Max. 100kHz） 1：高速モード（SCL クロック周波数：Max. 400kHz）
6-4	IICBnLGDF[2-0]	ディジタル・フィルタ・サンプリング周期を指定します。 ディジタル・フィルタは、高速モード時のみ使用できます。 000：　ディジタル・フィルタ未使用 IICBn 内部でディジタル・フィルタを通過しない SCLn および SDAn を使用します。 ディジタル・フィルタ回路は動作を停止します。 101：　ディジタル・フィルタ使用 IICBn 内部でディジタル・フィルタを通過した SCLn および SDAn を使用します。 他：　設定禁止

備考 n = 0, 1

（2/2）

ビット位置	ビット名	意　味
3	IICBnMDLB	ループ・バック・モードを指定します。 0：ループ・バックしない 1：ループ・バックする IICBnCTL1.IICBnMDLB ビットをセット（1）することで、出力信号のシリアル・クロック信号（SCLn）およびシリアル送受信データ信号（SDAn）を折り返し、入力信号のシリアル・クロック信号（SCLn）およびシリアル送受信データ信号（SDAn）として使用します。 折り返すシリアル・クロック信号およびシリアル送受信データ信号は出力直前のシリアル・クロック信号およびシリアル送受信データ信号を使用します。 また、IICBnCTL1.IICBnMDLB ビット= 1 のときは、SCLn, SDAn はすべてハイ・レベルとなります。
2	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
1	IICBnSLSE	通信初期状態でのスタート・コンディション発行の許可／禁止を指定します。 0：通信初期状態でのスタート・コンディション発行を禁止 1：通信初期状態でのスタート・コンディション発行を許可 IICBnCTL1.IICBnSLSE ビットをセット（1）することで、通信初期状態（IICBnCTL0.IICBnIICE ビット= 1 設定後からストップ・コンディション検出まで）で IICBnTRG.IICBnSTT ビット= 1 の設定によりスタート・コンディションを発行できます。 IICBnCTL1.IICBnSLSE ビットはスタート・コンディションを検出した場合には自動的に（0 ライト動作を行わなくても）クリア（0）します。 **注意 他の通信に遅れて通信に参加する場合には、IICBnCTL1.IICBnSLSE ビットは“0”を設定してください。** **他の通信が行われているときに、IICBnCTL1.IICBnSLSE ビットをセット（1）としてから IICBnTRG.IICBnSTT ビット= 1 の設定を行った場合、他の通信を破壊することがあります。**
0	IICBnSLRS	通信予約機能の許可／禁止を指定します。 0：通信予約機能許可 1：通信予約機能禁止 通信予約機能許可状態： IICBnCTL1.IICBnSLRS ビットがクリア（0）で、IICBn がマスタとして動作していない場合、バスが使用中に IICBnTRG.IICBnSTT ビット= 1 の設定をしたときは通信予約状態となります。 IICBnSTR0.IICBnSSRS ビットを確認することで、通信予約状態であるか判断ができます。 通信予約機能禁止状態： IICBn がマスタとして通信に参加していない場合、バス使用中に IICBnTRG.IICBnSTT ビット= 1 を設定すると、IICBnSTR0.IICBnSTCF ビット= 1 となり、通信予約されません。

備考 n = 0, 1

(5) IICBn ロー・レベル幅設定レジスタ（IICBnWL）

IICBnWL レジスタは、シリアル・クロック信号（SCLn）のロー・レベル幅を設定するレジスタです。

- アクセス　16 ビット単位でリード／ライト可能です。

注意 IICBnWL レジスタは、IICBnCTL0.IICBnIICE ビット= 1 の場合の書き込みは禁止します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
IICBnWL	0	0	0	0	0	0	IICBnWL9	IICBnWL8	IICBnWL7	IICBnWL6	IICBnWL5	IICBnWL4	IICBnWL3	IICBnWL2	IICBnWL1	IICBnWL0	4000 0524H +100H × n	03FFH
R/W	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
15-10	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
9-0	IICBnWL[9:0]	I2C バス規格の t_{LOW}（SCLn クロックのロー・レベル幅）区間を指定します。 IICBnWL レジスタの値を使用して、その他の I2C バス規格のシリアル出力タイミングを決定します。シリアル出力タイミング生成条件については、表21.4「シリアル出力タイミング生成条件」を参照してください。

(6) IICBn ハイ・レベル幅設定レジスタ（IICBnWH）

IICBnWH レジスタは、シリアル・クロック信号（SCLn）のハイ・レベル幅を設定するレジスタです。

- アクセス　16 ビット単位でリード／ライト可能です。

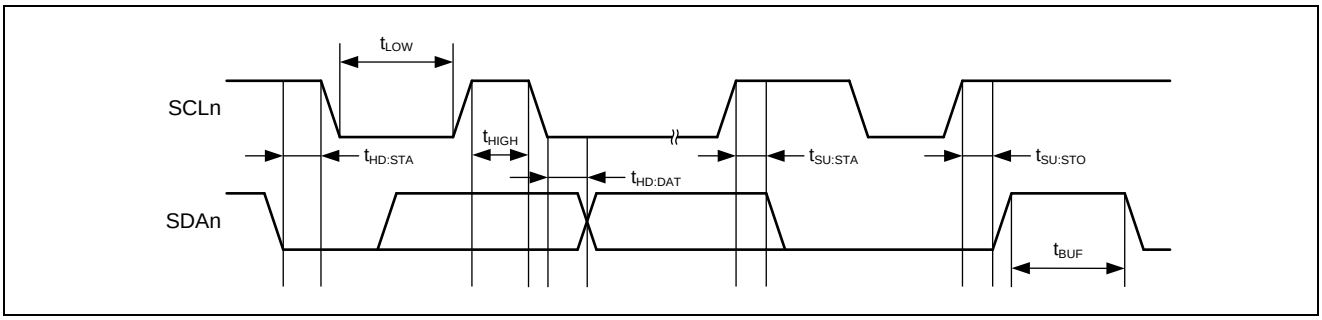
注意 IICBnWH レジスタは、IICBnCTL0.IICBnIICE ビット= 1 の場合の書き込みは禁止します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
IICBnWH	0	0	0	0	0	0	IICBnWH9	IICBnWH8	IICBnWH7	IICBnWH6	IICBnWH5	IICBnWH4	IICBnWH3	IICBnWH2	IICBnWH1	IICBnWH0	4000 0528H +100H × n	03FFH
R/W	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
15-10	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
9-0	IICBnWH[9:0]	I^2C バス規格の t_{HIGH}（SCLn クロックのハイ・レベル幅）区間を指定します。 IICBnWH レジスタの値を使用して、その他の I2C バス規格のシリアル出力タイミングを決定します。シリアル出力タイミング生成条件については、表21.4「シリアル出力タイミング生成条件」を参照してください。

表21.4 シリアル出力タイミング生成条件 ★

略号	内容	標準モード	高速モード
$t_{HD:STA}$	スタート・コンディション・ホールド時間	IICB0WH / PCLK	IICB0WH / PCLK
t_{LOW}	SCL ロー・レベル幅期間	IICB0WL / PCLK	IICB0WL / PCLK
t_{HIGH}	SCL ハイ・レベル幅期間	IICB0WH / PCLK	IICB0WH / PCLK
$t_{SU:STA}$	スタート・コンディション・セットアップ時間	IICB0WL / PCLK	IICB0WH / PCLK
$t_{SU:STO}$	ストップ・コンディション・セットアップ時間	IICB0WH / PCLK	IICB0WH / PCLK
t_{BUF}	バス・フリー時間（ストップ・コンディションとスタート・コンディションの間隔）	IICB0WL / PCLK	IICB0WL / PCLK
$t_{HD:DAT}$	データ・ホールド時間	IICB0WL[9:2] / PCLK	IICB0WL[9:2] / PCLK



(a) IICBnWL, IICBnWH レジスタによる転送クロック設定方法

IICBnWL レジスタおよび IICBnWH レジスタの値より I^2C バス規格における各種タイミングの生成を行います。

●マスタ側の転送クロック設定方法

$$\text{転送クロック[Hz]} = \frac{\text{PCLK}}{(\text{IICBnWL} + \text{IICBnWH}) + \text{PCLK}(t_R + t_F)}$$

このとき、最適な IICBnWL と IICBnWH の設定値は次のようになります。
（設定値はすべて小数点以下切り上げ）

- 高速モード時
  IICBnWL =（0.52／転送クロック）×PCLK
  IICBnWH =（0.48／転送クロック - t_R - t_F）×PCLK

- 標準モード時
  IICBnWL =（0.47／転送クロック）×PCLK
  IICBnWH =（0.53／転送クロック - t_R - t_F）×PCLK

注意 データ・ホールド時間は、高速モードで 0.9 [μs]、標準モードで 3.45 [μs]を越えないようにしてください。

備考 IICBnWL の設定により、データ・ホールド時間は、次のようになります。
データ・ホールド時間 = IICBnWL[9:2] / PCLK

●スレーブ側の IICBnWL, IICBnWH 設定方法
（設定値はすべて小数点以下切り上げ）

- 高速モード時
  IICBnWL = 1.3 μS×PCLK
  IICBnWH =（1.2 μS - t_R - t_F）×PCLK

- 標準モード時
  IICBnWL = 4.7 μS×PCLK
  IICBnWH =（5.3 μS - t_R - t_F）×PCLK

備考 IICBnWL : IICBn ロー・レベル幅設定レジスタ
IICBnWH : IICBn ハイ・レベル幅設定レジスタ
t_F : SDAn, SCLn 信号の立ち下がり時間
t_R : SDAn, SCLn 信号の立ち上がり時間
PCLK : IICBn への供給クロック周波数
f_{CLK} : SCL クロック周波数

(7)　IICBn トリガ・レジスタ（IICBnTRG）

IICBnTRG レジスタは、IICBn のトリガを設定するレジスタです。

- アクセス　　8/1 ビット単位でリード／ライト可能です。

（1/4）

	7	6	5	4	3	2	1	0	アドレス	初期値
IICBnTRG	0	0	0	0	IICBn LRET	IICBn WRET	IICBn STT	IICBn SPT	4000 050CH +100H×n	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意　味
7-4	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3	IICBnLRET	通信退避トリガ・ビット 0：読み出し値は常に 0 になり、0 の書き込みは無視されます。 1：現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。 IICBnTRG.IICBnLRET ビット= 1 時には、次のことを行います。 ・SCLn, SDAn をそれぞれハイ・インピーダンス状態（通信待機状態）にする。 ・IICBnSTR0 レジスタの IICBnSSMS, IICBnSSDR, IICBnSSWT, IICBnSSEX, IICBnSSC0, IICBnSSTR, IICBnSSAC, IICBnSSRS, IICBnSSST ビットがクリアされる。 ・IICBnTRG.IICBnSTT ビット= 1（スタート・コンディション発行準備）または IICBnTRG.IICBnSPT ビット= 1（ストップ・コンディション発行準備）を設定していた場合、スタート・コンディションおよびストップ・コンディションの生成を中止する 通信予約状態で通信退避を行ったときは通信予約状態を解除するため、マスタとしたい場合には再度 IICBnTRG.IICBnSTT ビット= 1 に設定する必要があります。 **注意 マスタ動作（IICBnSTR0.IICBnSSMS ビット= 1）時に IICBnTRG.IICBnLRET ビット= 1 を設定した場合、バスを解放します。** **シリアル・クロックを出力しなくなるため、スレーブ側の通信で不整合を起こします。**

備考 n = 0, 1

（2/4）

ビット位置	ビット名	意　味
2	IICBnWRET	ウェイト状態を解除するためのトリガ・ビット 0：ウェイトを解除しない 1：ウェイト解除し、通信を再開する。実行後、自動的にクリアされる。 9 クロック目のウェイト期間中で IICBnTRG.IICBnWRET ビット= 1 の設定によりウェイト解除した場合は、IICBnSTR0.IICBnSSTR ビット= 0 に設定し、SDAn = ハイ・インピーダンスとします（これにより外部マスタがストップ・コンディション、またはスタート・コンディションを発行できる状態になります）。 ウェイト状態でない場合（IICBnSTR0.IICBnSSWT ビット= 0）のセット（1）は意味を持ちません。 また、IICBnTRG.IICBnWRET ビット= 1 以外にもウェイト解除条件があります。 詳細については21.6.4「ウェイトとウェイト解除方法」を参照してください。
1	IICBnSTT	スタート・コンディション・トリガ・ビット 0：スタート・コンディションを生成しない 1：スタート・コンディションを生成する（セット（1）後、自動的にクリアされます） 次の条件のとき IICBnTRG.IICBnSTT ビットをセット（1）できます。 ①マスタ状態（IICBnSTR0.IICBnSSMS ビット= 1） 〇シングル転送モード ・9 クロック目のウェイト期間（アドレス転送およびデータ転送とも）。 ・データ受信時は IICBnCTL0.IICBnSLAC ビット= 0 に設定し、受信の最後であることをスレーブに伝えたあとにだけセット可能。 〇連続転送モード ・アドレス転送の 9 クロック目のウェイト期間中。 ・データ送信中 ・データ受信時は IICBnCTL0.IICBnSLAC ビット= 0 に設定し、受信の最後であることをスレーブに伝えたあとにだけセット可能。 9 クロック目のウェイト期間中の場合はウェイトを解除後、それ以外の場合は 9 クロック目の立ち下がりを検出したときに、SCLn ロー・レベル幅期間を確保後 SDAn および SCLn をハイ・レベルとし、スタート・コンディション・セットアップ時間を待ってから SDAn = ロー・レベルにするとスタート・コンディションを生成します。 その後、スタート・コンディション・ホールド時間を確保し、SCLn = ロー・レベルとします。 それぞれの時間については、表21.4「シリアル出力タイミング生成条件」を参照してください。

備考 n = 0, 1

（3/4）

ビット位置	ビット名	意　味
1	前ページの続き	②スレーブ状態または通信待機状態（IICBnSTR0.IICBnSSMS ビット= 0） ・IICBnSTR0.IICBnSSBS ビット= 0（バス解放状態） バス・フリー時間経過後、SCLn = ハイ・レベルの状態で、SDAn をハイ・レベルからロー・レベルに変化させることでスタート・コンディションを生成します（このとき SCLn はハイ・レベルを出力しています）。 その後、スタート・コンディション・ホールド時間を確保し、SCLn = ロー・レベルとします。 それぞれの時間については、表21.4「シリアル出力タイミング生成条件」を参照してください。 ・IICBnSTR0.IICBnSSBS ビット= 1（バス通信状態） この状態は、IICBn がマスタではなく、バス上で通信が行われている場合を指します。 通信予約機能許可（IICBnCTL1.IICBnSLRS ビット= 0）時： バスが解放状態（ストップ・コンディションを検出）となったあと、バス・フリー時間確保後、スタート・コンディションを生成します。 ただし、バス・フリー時間経過していない場合でも、スタート・コンディションを検出した場合は、バス・フリー時間を待たずただちに SDAn をロー・レベルとします。 それぞれの時間については、表21.4「シリアル出力タイミング生成条件」を参照してください。 通信予約機能禁止（IICBnCTL1.IICBnSLRS ビット= 1）時： IICBnSTR0.IICBnSTCF ビットがセット（1）され、スタート・コンディションは生成しません。 **注意 ②は IICBnTRG.IICBnSTT ビット= 0 設定時の IICBnSTR0.IICBnSSBS ビット値での動作です。** **レジスタ・リードにより IICBnSTR0.IICBnSSBS ビット値を確認後に IICBnTRG.IICBnSTT ビット= 1 に設定しても、IICBnSTR0.IICBnSSBS ビット値は確認したときの値とは異なる場合があります。** IICBnTRG.IICBnSTT ビット= 1 に設定することにより、スタート・コンディションの生成処理を開始しますが、次に示す状態を検出した場合は、スタート・コンディションの生成処理を中止し、スタート・コンディションの生成はしません。 ・IICBnCTL0.IICBnIICE ビット= 0 ライト ・IICBnTRG.IICBnLRET ビット= 1 ライト ・アービトレーション負け検出 ・連続転送モードでマスタとして動作中の IICBnTRG.IICBnSTT ビット= 1 ライト後の IICBnTRG.IICBnSPT ビット= 1 ライト ● 連続転送モードでマスタとして動作中の IICBnTRG.IICBnSTT ビット= 1 ライトと IICBnTRG.IICBnSPT ビット= 1 ライトが同一データ転送期間に行われた場合（この場合、IICBnTRG.IICBnSTT ビット= 1 ライトが有効になります） **注意 1. 通信初期状態でのスタート許可（IICBnCTL1.IICBnSLSE ビット= 1）時、IICBnTRG.IICBnSTT ビットをセット（1）した場合は、バス状態に関係なくスタート・コンディションの生成を行います。このとき他の通信が行われていた場合は、その通信を破壊することがあります。** **2. IICBnTRG.IICBnSPT ビットとの同時セットは禁止です。**

備考 n = 0, 1

（4/4）

ビット位置	ビット名	意　味
0	IICBnSPT	ストップ・コンディション・トリガ 0：ストップ・コンディションを生成しない 1：ストップ・コンディションを生成する（セット（1）後、自動的にクリア） IICBnTRG.IICBnSPT ビットはマスタとして通信中の次の条件のときにセット（1）できます。 〇シングル転送モード ・9 クロック目のウェイト期間（アドレス転送およびデータ転送とも）。 ・データ受信時は IICBnCTL0.IICBnSLAC ビット= 0 に設定し、受信の最後であることをスレーブに伝えたあとにだけセット可能。 〇連続転送モード 次に示す状態のとき IICBnTRG.IICBnSPT ビットのセット（1）を許可します。 ・アドレス転送の 9 クロック目のウェイト期間中 ・データ送信中 ・データ受信の 9 クロック目のウェイト期間中で、NACK（IICBnSTR0.IICBnSSAC ビット= 0）を受信した状態 ストップ・コンディションは次の手順で生成できます。 （ウェイト状態の場合は、ウェイトを解除後、）SDAn = ロー・レベルを出力した状態で SCLn を解放し、SCLn = ハイ・レベル、SDAn = ロー・レベルとなるのを待ちます。その後、$t_{SU:STO}$ 時間が経過後 SDAn = ハイ・レベルとすることで生成されます。 IICBnTRG.IICBnSPT ビット= 1 に設定することにより、ストップ・コンディションの生成処理を開始しますが、次に示す状態を検出した場合は、ストップ・コンディションの生成処理を中止し、ストップ・コンディションの生成はしません。 ・IICBnCTL0.IICBnIICE ビット= 0 ライト ・IICBnTRG.IICBnLRET ビット= 1 ライト ・ストップ・コンディション検出 ・アービトレーション負け検出 ・連続転送モードでマスタとして動作中の IICBnTRG.IICBnSPT ビット= 1 後の IICBnTRG.IICBnSTT ビット= 1 ライト **注意 1. IICBnTRG.IICBnSPT ビットはスレーブ時（IICBnSTR0.IICBnSSMS ビット=0）のセット（1）を禁止します。** **2. IICBnTRG.IICBnSTT ビットとの同時セットは禁止です。**

備考 n = 0, 1

(8)　IICBn ステータス・レジスタ 0（IICBnSTR0）

IICBnSTR0 レジスタは、IICBn の状態およびバスの状態を示すレジスタです。

- アクセス　　16 ビット単位でリードのみ可能です。
  ただし、IICBnCTL0.IICBnIICE ビット= 0 時はライト動作も可能です。

このレジスタは、IICBnCTL0.IICBnIICE ビット= 1→0、IICBnCTL0.IICBnIICE ビット= 0→1 によっても初期化されます。

（1/7）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
IICBnSTR0	IICBn SSMS	0	IICBn SSDR	IICBn SSWT	IICBn SSEX	IICBn SSCO	IICBn SSTR	IICBn SSAC	IICBn SSRS	IICBn SSBS	IICBn SSST	IICBn SSSP	0	0	IICBn STCF	IICBn ALDF	4000 0510H +100H × n	0000H
R/W	R	0	R	R	R	R	R	R	R	R	R	R	0	0	R	R		

ビット位置	ビット名	意　味
15	IICBnSSMS	マスタ状態確認フラグ 1：マスタとして動作中 セット条件：IICBnTRG.IICBnSTT ビット= 1 ライト後、スタート・コンディションを検出時。 クリア条件：・IICBnTRG.IICBnLRET ビット= 1 ライト時。 ・ストップ・コンディション検出時。 ・アービトレーション負け検出時。 セット条件とクリア条件が重なった場合は、クリア条件を優先します。
14	－	Reserved（0 が読み出されます。）

備考 n = 0, 1

（2/7）

ビット位置	ビット名	意　味
13	IICBnSSDR	IICBnDAT レジスタ・ステータス・フラグ 1：IICBnDAT レジスタに未処理のデータが残っている 受信動作時：受信したデータが未読み出しのまま IICBnDAT レジスタに残っている。 送信動作時：IICBnDAT レジスタに書き込んだデータがシフト・レジスタへ転送されていない。 セット条件： ・アドレス転送中およびデータ転送中で IICBnSTR0.IICBnSSWT ビット= 0 の場合の IICBnDAT レジスタ・ライト時（マスタ時、IICBnDAT レジスタにアドレスをデータ・ライトする際は、直接、シフト・レジスタへ転送されるため、IICBnSTR0.IICBnSSWT ビット= 0 の場合でもセット（1）されません)。 ・スレーブでアドレス一致した 9 クロック目の立ち下がり時。 ・IICBnCTL0.IICBnSLWT ビット= 0 かつシングルモード受信時は、データ受信中の 8 クロック目の立ち下がり時。 ・連続転送モード（受信）の場合は、IICBnCTL0.IICBnSLWT ビットの値にかかわらず、8 クロック目の立ち下がり時。 ・IICBnCTL0.IICBnSLWT ビット= 1 時は、データ受信中の 9 クロック目の立ち下がり時。 クリア条件： 〇セット条件よりも優先されるクリア条件 ・IICBnTRG.IICBnLRET ビット=1 ライト時。 ・アービトレーション負け検出時。 ・マスタでアドレス転送中の 9 クロック目の立ち下がり時。 ・IICBnCTL0.IICBnSLWT ビット= 0 かつ連続送信時は、データ送信中の 8 クロック目の立ち下がり時。 ・IICBnCTL0.IICBnSLWT ビット= 1 かつ連続送信時は、データ送信中の 9 クロック目の立ち下がり時。 〇セット条件が優先されるクリア条件（連続転送モード（送信）時） ・シフト・レジスタに IICBnDAT レジスタへの未格納受信データがない場合の IICBnDAT レジスタ・リード時。

備考 n = 0, 1

（3/7）

ビット位置	ビット名	意　味
12	IICBnSSWT	ウェイト状態フラグ 1：ウェイト状態 セット条件： ■シングル転送モードの場合 ＜マスタ／スレーブ共通＞ 〇データ転送中、IICBnCTL0.IICBnSLWT ビット= 0 で 8 クロック目の立ち下がり検出時。 〇データ転送中、IICBnCTL0.IICBnSLWT ビット= 1 で 9 クロック目の立ち下がり検出時。 ＜マスタ＞ 〇IICBnTRG.IICBnSTT ビット= 1 ライト後にマスタ（IICBnSTR0.IICBnSSMS ビット= 1）となり、IICBnDAT レジスタへライト・アクセスが行われず、最初の SCLn の立ち下がり検出時。 〇アドレス転送中の 9 クロック目の立ち下がり検出時。 ＜スレーブ＞ 〇アドレス一致したアドレス転送中の 9 クロック目の立ち下がり検出時。 ■連続転送モードの場合 ＜データ転送期間中、マスタ／スレーブ共通＞ 〇データ送信中、次に送信するデータがライトされていないとき。 ・IICBnCTL0.IICBnSLWT ビット= 0 時は、データ送信中の 8 クロック目の立ち下がりで、IICBnSTR0.IICBnSSDR ビット= 0 のとき。 ・IICBnCTL0.IICBnSLWT ビット= 1 時は、データ送信中の 9 クロック目の立ち下がりで、IICBnSTR0.IICBnSSDR ビット= 0 のとき。 〇データ受信中、前の受信データがリードされていないとき。 ・IICBnCTL0.IICBnSLWT ビット= 0 時は、データ受信中の 8 クロック目の立ち下がりで、IICBnSTR0.IICBnSSDR ビット= 1 のとき。 ・IICBnCTL0.IICBnSLWT ビット= 1 時は、データ受信中の 9 クロック目の立ち下がりで、IICBnSTR0.IICBnSSDR ビット =1 のとき。 ・NACK 検出時 （ただし、マスタ動作中に IICBnTRG.IICBnSTT ビット= 1 または IICBnTRG.IICBnSPT ビット= 1 ライトがなかった場合）。 ＜アドレス転送期間中、マスタ＞ ・IICBnTRG.IICBnSTT ビット= 1 ライト後にマスタ（IICBnSTR0.IICBnSSMS ビット= 1）となり、IICBnDAT レジスタへライト・アクセスが行われず、SCLn の最初の立ち下がり検出時。 ・NACK 検出時。 （ただし、IICBnTRG.IICBnSTT ビット= 1 または IICBnTRG.IICBnSPT ビット= 1 ライトがなかった場合） ＜アドレス転送期間中、スレーブ＞ ・アドレス一致したアドレス転送中で IICBnSTR0.IICBnSSTR ビット= 0 の 9 クロック目の立ち下がり検出時。 ・NACK 検出時。

備考 n = 0, 1

（4/7）

ビット位置	ビット名	意　味
12	前ページに続く	クリア条件： 〇セット条件より優先されるクリア条件 ・IICBnTRG.IICBnLRET ビット= 1 ライト時。 ・マスタ動作中で連続転送モードの場合の IICBnTRG.IICBnSTT ビット= 1 ライト時。 ・マスタ動作中で連続転送モードの場合の IICBnTRG.IICBnSPT ビット= 1 ライト時。 ・連続転送モードで送信の場合の IICBnDAT レジスタ・ライト時。 ・8 クロック目のウェイト時、連続転送モードで受信の場合の IICBnDAT レジスタ・リード時。 ・9 クロック目のウェイト時、連続転送モードで受信およびアクノリッジ（$\overline{\text{ACK}}$）を受信している場合の IICBnDAT レジスタ・リード時。 〇セット条件が優先されるクリア条件 ・IICBnTRG.IICBnWRET ビット= 1 ライト時。 ・マスタ動作中でシングル転送モードの場合の IICBnTRG.IICBnSTT ビット= 1 ライト時。 ・マスタ動作中でシングル転送モードの場合の IICBnTRG.IICBnSPT ビット= 1 ライト時。 ・シングル転送モードで受信の場合の IICBnDAT レジスタ・ライト時。 **注意 9 クロック目のウェイト期間中に IICBnTRG.IICBnWRET ビット= 1 ライトによるウェイト解除を行った場合は、IICBnSTR0.IICBnSSTR ビットをクリア（0）し、バスを解放（SCLn, SDAn をそれぞれハイ・インピーダンス状態にする）します。**
11	IICBnSSEX	拡張コード受信検出フラグ 1：拡張コードを受信している セット条件：受信したアドレス・データの上位 4 ビットが“0000”または“1111”の場合のアドレス転送中の 8 クロック目の立ち下がり検出時。 クリア条件：・IICBnTRG.IICBnLRET ビット= 1 ライト時。 ・ストップ・コンディション検出時。 ・スタート・コンディション検出時。 **注意 拡張コードが一致している場合の割り込み後の処理は、拡張コードに続くデータにより異なるため、ソフトウェア処理に依存します。**
10	IICBnSSCO	アドレス一致検出フラグ 1：IICBnSVA レジスタと一致したアドレスを検出 セット条件：受信アドレスが IICBnSVA レジスタと一致したアドレス転送中の 8 クロック目の立ち下がり検出時。 クリア条件：・IICBnTRG.IICBnLRET ビット= 1 ライト時。 ・ストップ・コンディション検出時。 ・スタート・コンディション検出時。

備考 n = 0, 1

（5/7）

ビット位置	ビット名	意　味
9	IICBnSSTR	送信状態検出フラグ 1：シリアル・データ・バスへデータを送信中 セット条件： ＜マスタ＞ ・IICBnTRG.IICBnSTT ビット= 1 ライト後、スタート・コンディションを検出時。 ＜スレーブ＞ ・アドレス一致したアドレス転送の R/$\overline{W}$ ビットに 1 を受信後の 8 クロック目の立ち下がり検出時。 クリア条件： ＜マスタ／スレーブ共通＞ ・IICBnTRG.IICBnLRET ビット= 1 ライト時。 ・ストップ・コンディション検出時。 ・9 クロック目のウェイト期間中で IICBnTRG.IICBnWRET ビット= 1 ライト時 ＜マスタ＞ ・アドレス転送中の R/$\overline{W}$ ビットに 1 を受信後の 8 クロック目の立ち下がり検出時。 ・アービトレーション負けを検出時。 ＜スレーブ＞ ・スタート（リスタート）・コンディション検出時。
8	IICBnSSAC	アクノリッジ（$\overline{ACK}$）検出フラグ 1：アクノリッジを検出している セット条件：通信に参加中で、$\overline{ACK}$ビットにロー・レベルを受信したときの SCLn の立ち下がり検出時。 クリア条件：・IICBnTRG.IICBnLRET ビット= 1 ライト時。 ・SCLn の立ち上がり検出時。 **注意 IICBnSTR0.IICBnSSAC ビットは割り込み発生の有無に関係なく値は変化します。**
7	IICBnSSRS	通信予約状態フラグ 0：通信予約状態でない 1：通信予約状態である セット条件：通信予約機能許可状態（IICBnCTL1.IICBnSLRS ビット= 0）で、マスタとして動作していないバス通信中に IICBnTRG.IICBnSTT ビット= 1 ライト時。 クリア条件：・IICBnTRG.IICBnLRET ビット= 1 ライト時。 ・IICBnSTR0.IICBnSSMS ビット=1 時。

備考 n = 0, 1

（6/7）

ビット位置	ビット名	意　味
6	IICBnSSBS	IICBn バス状態フラグ 0：バス解放状態、または IICBnCTL1.IICBnSLSE ビット= 1 時の通信初期状態 1：バス通信状態、または IICBnCTL1.IICBnSLSE ビット= 0 時の通信初期状態 セット条件：・スタート・コンディション検出時。 ・IICBnCTL1.IICBnSLSE ビット= 0 で IICBnCTL0.IICBnIICE ビット= 1 ライト時。 クリア条件：ストップ・コンディション検出時。 **備考 IICBnSTR0.IICBnSSBS ビットは、通信への参加、不参加に関係なく動作します。**
5	IICBnSSST	スタート・コンディション検出フラグ 1：スタート・コンディションを検出している セット条件：スタート・コンディション検出時。 クリア条件：・IICBnTRG. IICBnLRET ビット= 1 ライト時。 ・ストップ・コンディション検出時。 ・アドレス転送終了後の SCLn の立ち上がり検出時。 **備考 IICBnSTR0.IICBnSSST ビットは、通信への参加、不参加に関係なく動作します。**
4	IICBnSSSP	ストップ・コンディション検出フラグ 1：ストップ・コンディションを検出している セット条件：ストップ・コンディション検出時。 クリア条件：スタート・コンディション検出後の最初の SCLn の立ち下がり検出時。 **備考 IICBnSTR0.IICBnSSSP ビットは、通信への参加、不参加に関係なく動作します。**
3, 2	－	Reserved（0 が読み出されます。）

備考 n = 0, 1

（7/7）

ビット位置	ビット名	意　味
1	IICBnSTCF	IICBnTRG.IICBnSTT ビット・クリア・フラグ 1：スタート・コンディション発行できず IICBnTRG.IICBnSTT ビット・クリア セット条件：通信予約機能禁止状態（IICBnCTL1.IICBnSLRS ビット= 1）で、マスタとして動作していないバス通信中に IICBnTRG.IICBnSTT ビット= 1 ライト時。 **注意 外部バス状態ではバスが解放されていても、IICBn がバス解放と認識していない状態（IICBnSTR0.IICBnSSBS ビット= 1）では、通信予約機能禁止であれば IICBnTRG.IICBnSTT ビット= 1 ライト時に、IICBnSTR0.IICBnSTCF ビットがセット（1）されます。** クリア条件：IICBnSTRC.IICBnCLSF ビット= 1 ライト時
0	IICBnALDF	アービトレーション負け検出フラグ 1：アービトレーションに負けた状態 セット条件：アービトレーション負け検出時。 クリア条件：IICBnSTRC.IICBnCLAF ビット= 1 ライト時 セット条件とクリア条件を同時に検出した場合は、セット条件を優先します。 アービトレーション負けを検出した場合は、IICBnSTR0.IICBnSSMS ビットおよび IICBnSTR0.IICBnSSTR ビットをクリア（0）します（SCLn および SDAn をハイ・インピーダンス状態とし、バスを解放します）。 **注意 アービトレーション負けにより、IICBnSTR0.IICBnALDF ビットがセット（1）された場合、IICBTIAn 割り込み要求信号または IICBTISn 割り込み要求信号が発生します。** **割り込み要求信号で IICBnSTR0.IICBnALDF ビット= 1 を確認したときは、IICBnSTRC.IICBnCLAF ビットで IICBnSTR0.IICBnALDF ビットのクリアを行ってください。IICBnSTR0.IICBnALDF ビットのクリアが行われず、IICBnSTR0.IICBnALDF ビットに 1 が残っている場合は、関係のない通信中でも割り込みタイミングとなったときは、IICBTISn 割り込み要求信号が発生します。**

備考 n = 0, 1

(9) IICBn ステータス・レジスタ 1（IICBnSTR1）

IICBnSTR1 レジスタは、シリアル・バスの状態を示すレジスタです。

- アクセス　　8 ビット単位でリードのみ可能です。

注意 ループ・バック・モード（IICBnCTL1.IICBnMDLB ビット= 1）の場合も外部からのシリアル・クロック信号（SCLn）およびシリアル送受信データ信号（SDAn）がリードされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
IICBnSTR1	0	0	0	0	0	0	IICBn SSCL	IICBn SSDA	4000 0514H +100H×n	00H
R/W	0	0	0	0	0	0	R	R		

ビット位置	ビット名	意　味
7-2	ー	Reserved（0 が読み出されます。）
1	IICBnSSCL	SCLn 端子（入力）の端子レベルの状態を示します。 0：SCLn 端子（入力）はロー・レベル 1：SCLn 端子（入力）はハイ・レベル
0	IICBnSSDA	SDAn 端子（入力）の端子レベルの状態を示します。 0：SDAn 端子（入力）はロー・レベル 1：SDAn 端子（入力）はハイ・レベル

備考 n = 0, 1

(10) IICBn ステータス・クリア・レジスタ（IICBnSTRC）

IICBnSTRC レジスタは、IICBnSTR0 レジスタの IICBnSTCF, IICBnALDF ビットをクリアするレジスタです。

- アクセス　　8 ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
IICBnSTRC	0	0	0	0	0	0	IICBn CLSF	IICBn CLAF	4000 0518H +100H×n	00H
R/W	0	0	0	0	0	0	R/W	R/W		

ビット位置	ビット名	意　味
7-2	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
1	IICBnCLSF	IICBnSTR0.IICBnSTCF ビットのクリア・ビット 1：IICBnSTR0.IICBnSTCF ビットをクリアする **備考 IICBnSTRC.IICBnCLSF ビットは、データ設定後に読み出すと 0 になっています。**
0	IICBnCLAF	IICBnSTR0.IICBnALDF ビットのクリア・ビット 1：IICBnSTR0.IICBnALDF ビットをクリアする **注意 IICBnSTRC.IICBnCLAF ビットへの 1 ライトと IICBnSTR0.IICBnALDF ビットのセット条件が同時に発生した場合は、IICBnSTR0.IICBnALDF ビットのセット条件が有効となります。** **備考 IICBnSTRC.IICBnCLAF ビットは、データ設定後に読み出すと 0 になっています。**

備考 n = 0, 1

21.4 IIC バス・モードの機能

21.4.1 端子構成

シリアル・クロック端子（SCLn）と、シリアル・データ・バス端子（SDAn）の構成は、次のようになっています。

SCLn … シリアル・クロックを入出力するための端子。
マスタ、スレーブともに、出力は N-ch オープン・ドレーン。
SDAn … シリアル・データの入出力兼用端子。
マスタ、スレーブともに、出力は N-ch オープン・ドレーン。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力が N-ch オープン・ドレーンのため、外部にプルアップ抵抗が必要となります。

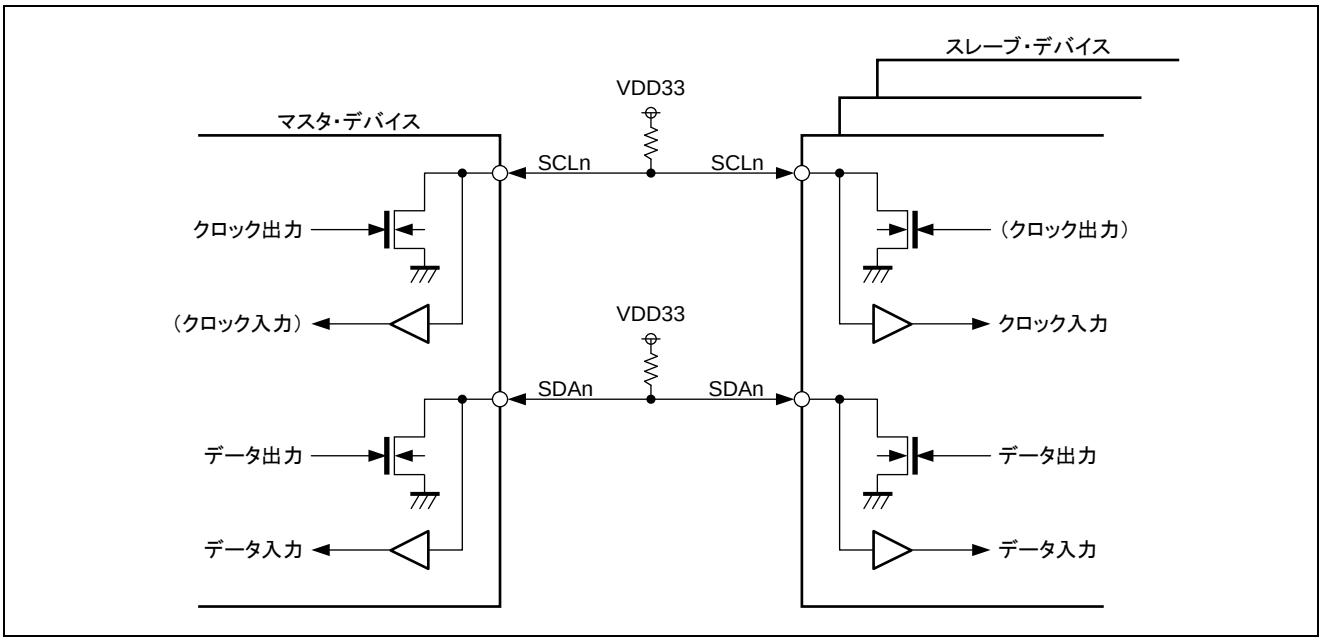


図21.2 端子構成図

21.5 IIC バスの定義

IIC バスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

IIC バスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

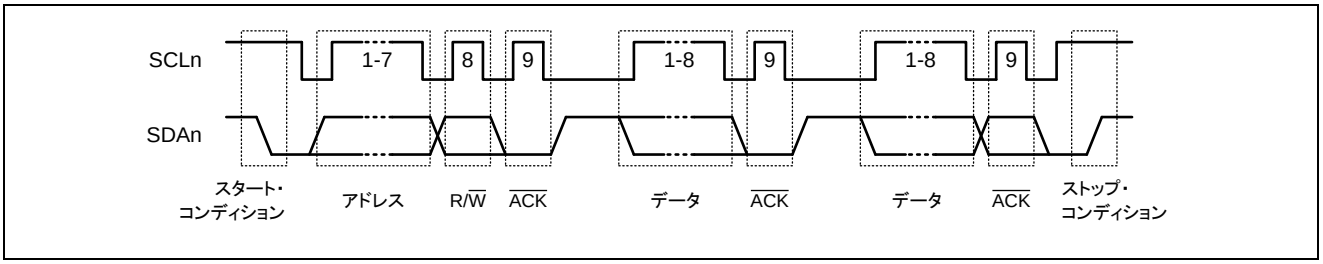


図21.3 IIC バスのシリアル・データ転送タイミング

スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

アクノリッジ（$\overline{\text{ACK}}$）は、マスタ、スレーブのどちらでも生成できます（通常、8 ビット・データの受信側が生成します）。

シリアル・クロック（SCLn）は、マスタが出力し続けます。ただし、スレーブは SCLn 端子のロー・レベル期間を延長し、ウェイトを挿入できます。

21.5.1 スタート・コンディション

SCLn 端子がハイ・レベルのときに、SDAn 端子がハイ・レベルからロー・レベルに変化するとスタート・コンディションとなります。スタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成されます。スレーブとして使用する場合は、スタート・コンディションを検出できます。

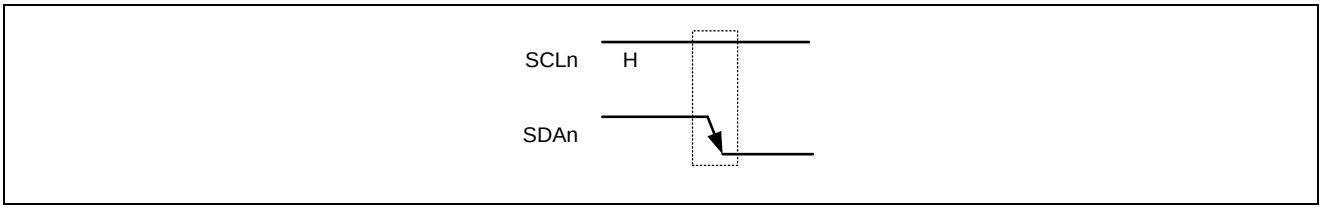


図21.4 スタート・コンディション

21.5.2 アドレス

スタート・コンディションに続く 7 ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する 7 ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、7 ビット・データが自身のアドレスと一致しているかを調べます。このとき、自身のアドレスと一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

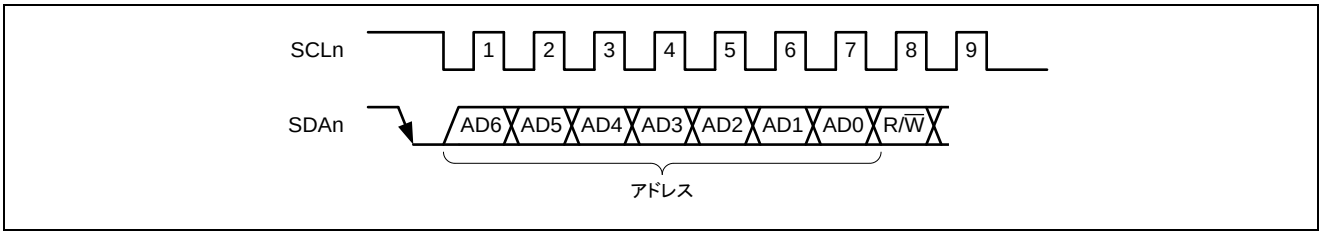


図21.5 アドレス

21.5.3 拡張コード

アドレスの上位 4 ビットが“0000”と“1111”のとき、このビットのことを拡張コードと呼びます。表21.5 に拡張コード時のビット定義を示します。

表21.5 拡張コードのビット定義

スレーブ・アドレス	R/W ビット	説 明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	×	CBUS アドレス
0000 010	×	異なるバス・フォーマット用に予約されているアドレス
0000 011	×	将来の利用のために予約
0000 1xx	×	HS モード・マスタ・コード注
1111 0xx	×	10 ビット・スレーブ・アドレス指定
1111 1xx	×	将来の利用のために予約

注 IICB では、HS モードは使用できません。

21.5.4 転送方向指定

マスタは、7 ビットのアドレスに続いて、転送方向を指定するための 1 ビット・データを送信します。

この転送方向指定ビットが 0 のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが 1 のとき、マスタがスレーブからデータを受信することを示します。

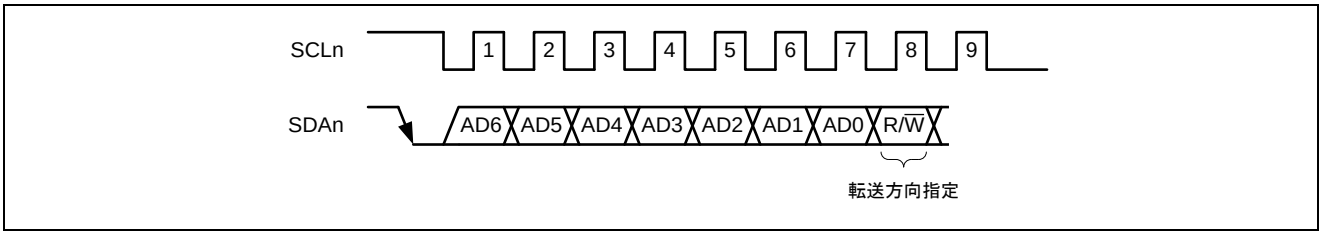


図21.6 転送方向指定

21.5.5 アクノリッジ（$\overline{\text{ACK}}$）

アドレス転送時の転送方向ビット（R/$\overline{\text{W}}$）に続く 1 ビット・データおよび 8 ビット・データに続く 1 ビット・データはアクノリッジ（$\overline{\text{ACK}}$）と定義されています。

アクノリッジによって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8 ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8 ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを生成し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

①受信が正しく行われていない。
②最終データの受信が終わっている。
③アドレス指定した受信側が存在しない。

アクノリッジ生成は、受信側が 9 クロック目に SDAn ラインをロー・レベルにすることによって行われます（正常受信）。

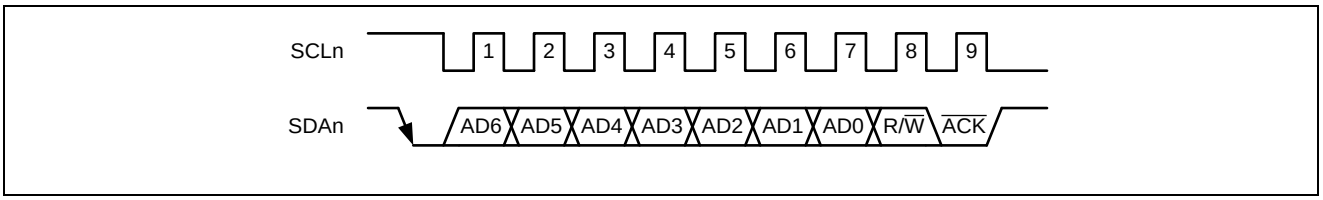


図21.7 アクノリッジ（$\overline{\text{ACK}}$）

21.5.6 データ

スタート・コンディションに続く 9 ビット（アドレス（7 ビット）、R/$\overline{W}$（1 ビット）、アクノリッジ（$\overline{ACK}$）（1 ビット））とアクノリッジを除くビットはデータと定義されています。

拡張コードを使用した 10 ビット・アドレス指定時は、アドレス転送に続く 8 ビットのデータをアドレス（セカンド・アドレス）として利用します。

21.5.7 ストップ・コンディション

SCLn 端子がハイ・レベルのときに、SDAn 端子がロー・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。

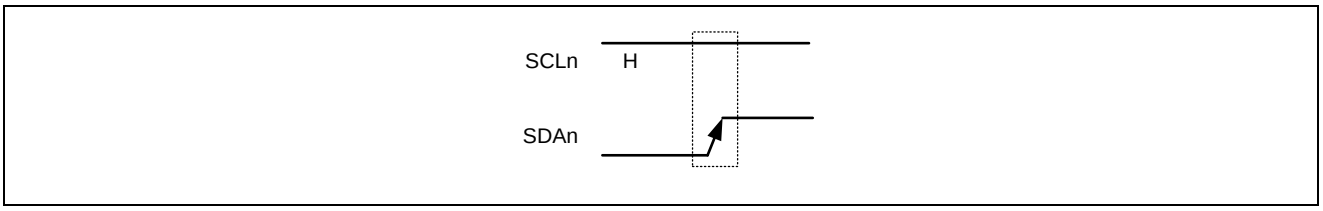


図21.8 ストップ・コンディション

21.5.8 ウェイト

ウェイトは、マスタまたはスレーブが送受信の準備中（ウエイト状態）であることを相手に知らせます。

SCLn 端子をロー・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

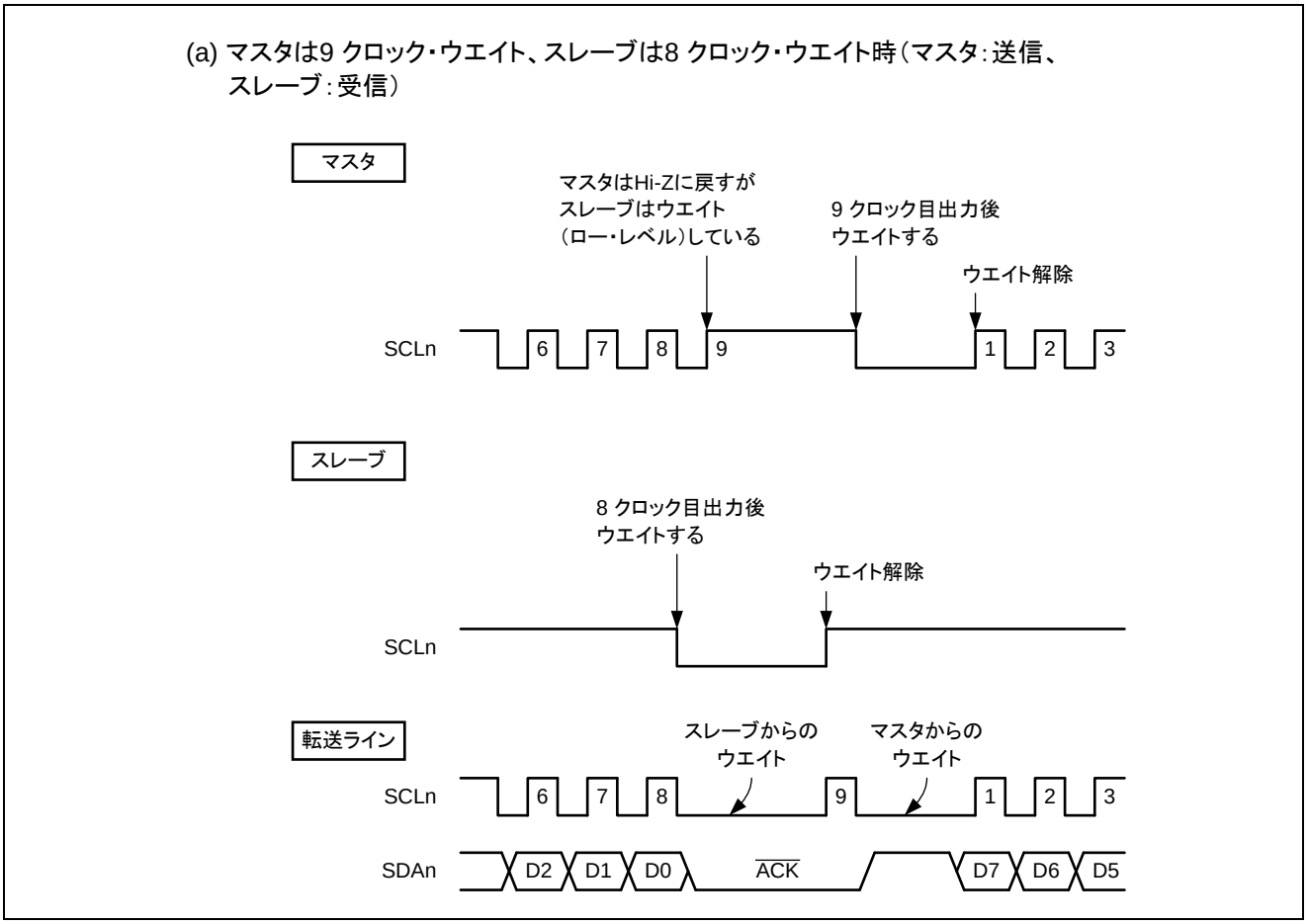


図21.9 ウェイト（1/2）

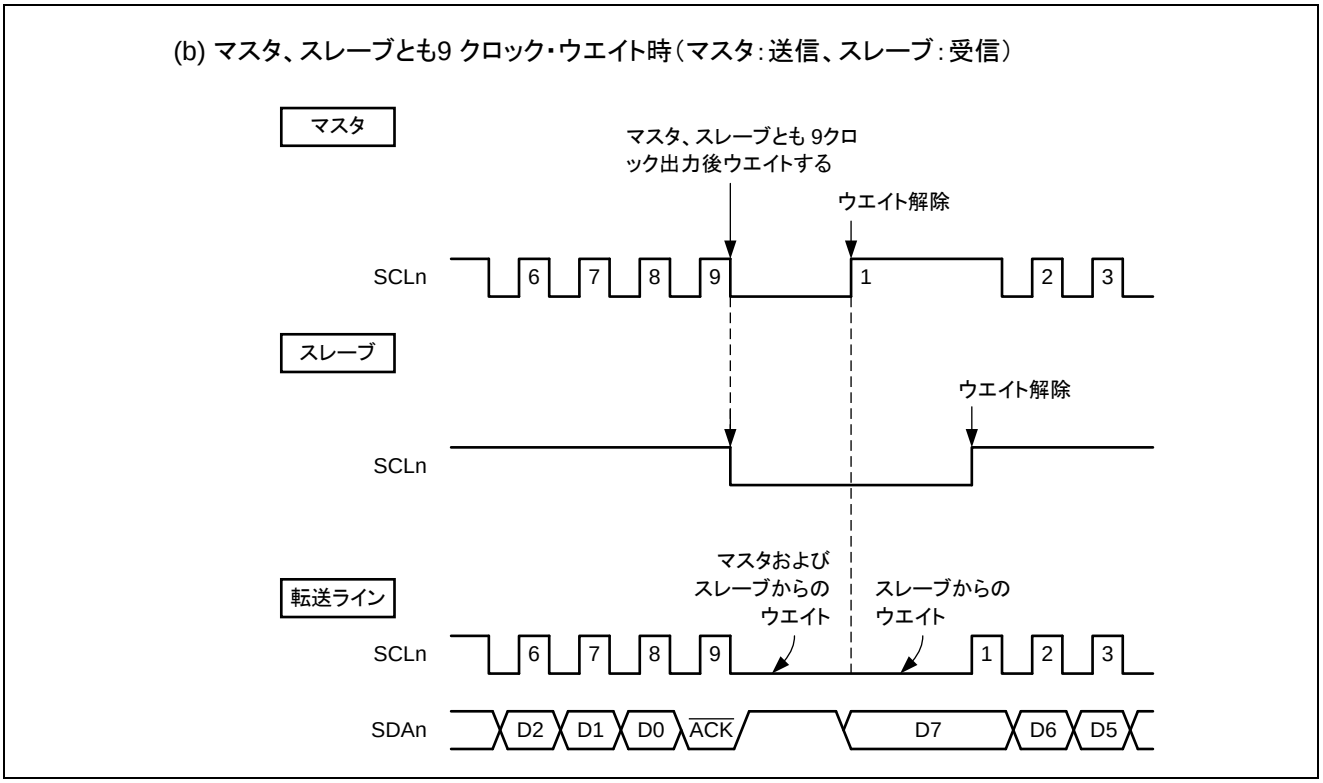

(b) マスタ、スレーブとも9 クロック・ウエイト時（マスタ：送信、スレーブ：受信）
マスタ
マスタ、スレーブとも 9クロック出力後ウエイトする
ウエイト解除
SCLn
6
7
8
9
1
2
3
スレーブ
ウエイト解除
SCLn
マスタおよびスレーブからのウエイト
スレーブからのウエイト
転送ライン
SCLn
6
7
8
9
1
2
3
SDAn
D2
D1
D0
ACK
D7
D6
D5

図21.9 ウェイト（2/2）

21.5.9 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合、データが異なるまでクロックの調整をしながら、マスタ通信を行います。2 つのマスタが同時にスタート・コンディションを生成し、アービトレーションが発生する例を次に示します。

ここで、SCLn ラインがロー・レベルのとき、SDAn ラインにハイ・レベルを出力したマスタ（マスタ 1）と SDAn ラインにロー・レベルを出力したマスタ（マスタ 2）が存在したとします。

この場合、SDAn ラインにロー・レベルを出力したマスタの通信が優先され、SDAn ラインにハイ・レベルを出力したマスタには通信が許可されません。

このような手順をアービトレーションと呼び、通信を許可されない状態をアービトレーション負けと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、SCLn, SDAn ラインともにハイ・インピーダンス状態にしてバスを解放します。

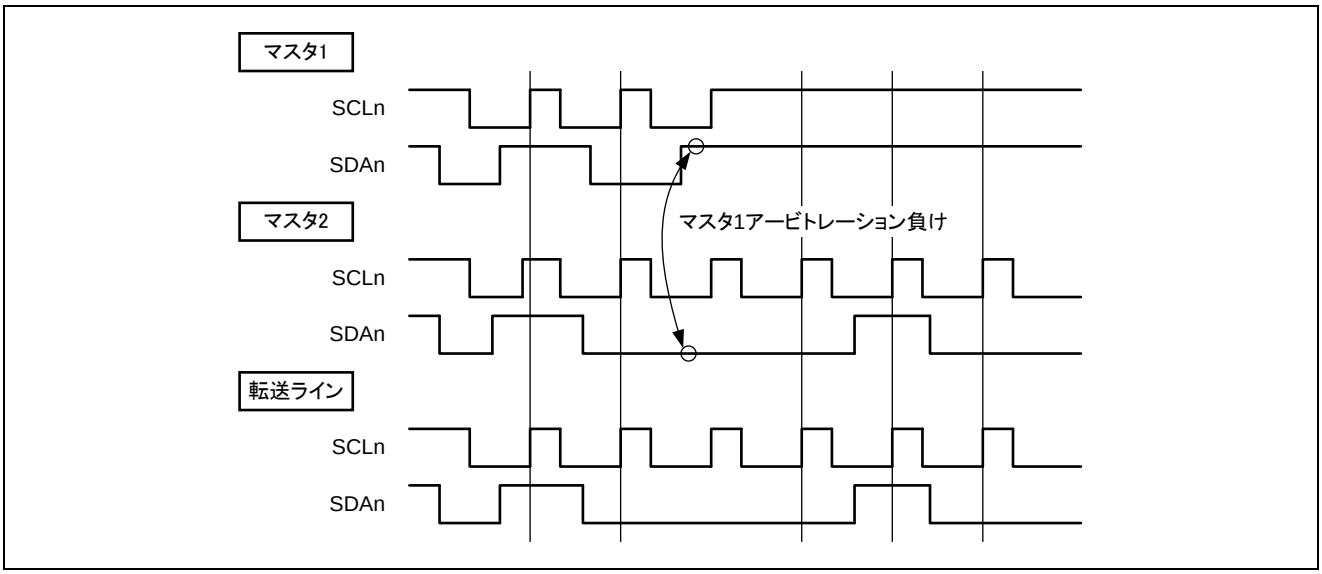


図21.10 アービトレーション・タイミング例

21.6 動　　作

IICBn では転送モードとして、シングル転送モードと連続転送モードをサポートしております。

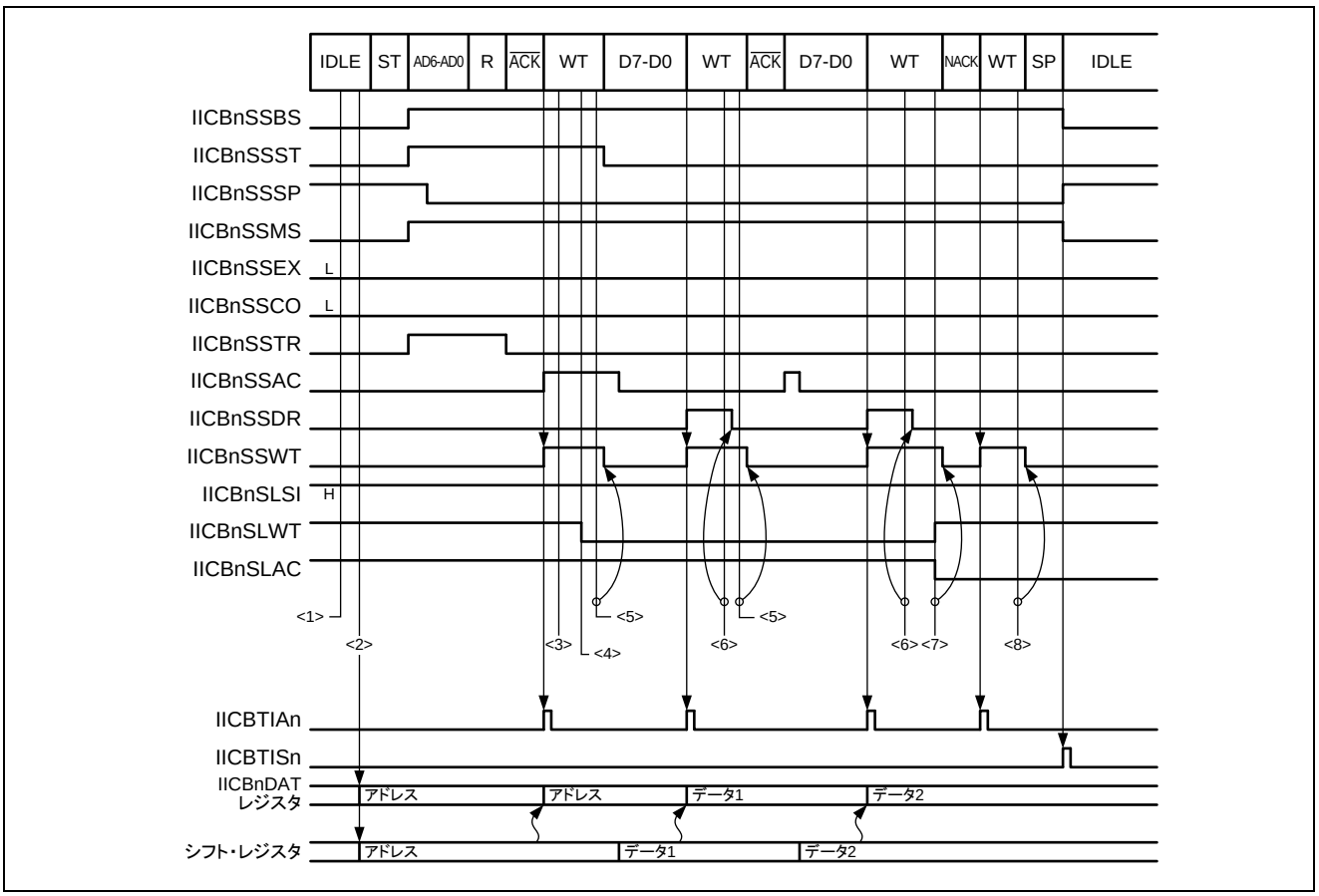
マスタおよびスレーブでアドレス一致したときの転送モードは IICBnCTL0.IICBnMDTX0 ビット、スレーブで拡張コードを検出したときの転送モードは IICBnCTL0.IICBnMDTX1 ビットで、選択します。

21.6.1 シングル転送モード

シングル転送モードは、IICBnCTL0.IICBnSLWT ビットで設定したタイミングで、データ送受信割り込み要求信号（IICBTIAn）を発生させウェイト状態とし、このウェイト期間中に送受信データ処理を行う転送モードです。

各処理の動作を以下に示します。

(1) シングル転送モード（マスタ受信）の通信例



<1> スタート・コンディション出力
IICBnTRG.IICBnSTT ビットをセット（1）。

<2> アドレス、転送方向指定出力
スレーブのアドレスと転送方向を合わせて 8 ビットとして IICBnDAT レジスタへ設定。

<3> アクノリッジ結果確認
IICBTIAn 割り込みで IICBnSTR0.IICBnSSAC ビットをリードし確認。

<4> ウエイト・タイミング設定
データ受信時は 8 クロック目の立ち下がりでウェイト状態とするため IICBnCTL0.IICBnSLWT ビットをクリア（0）。

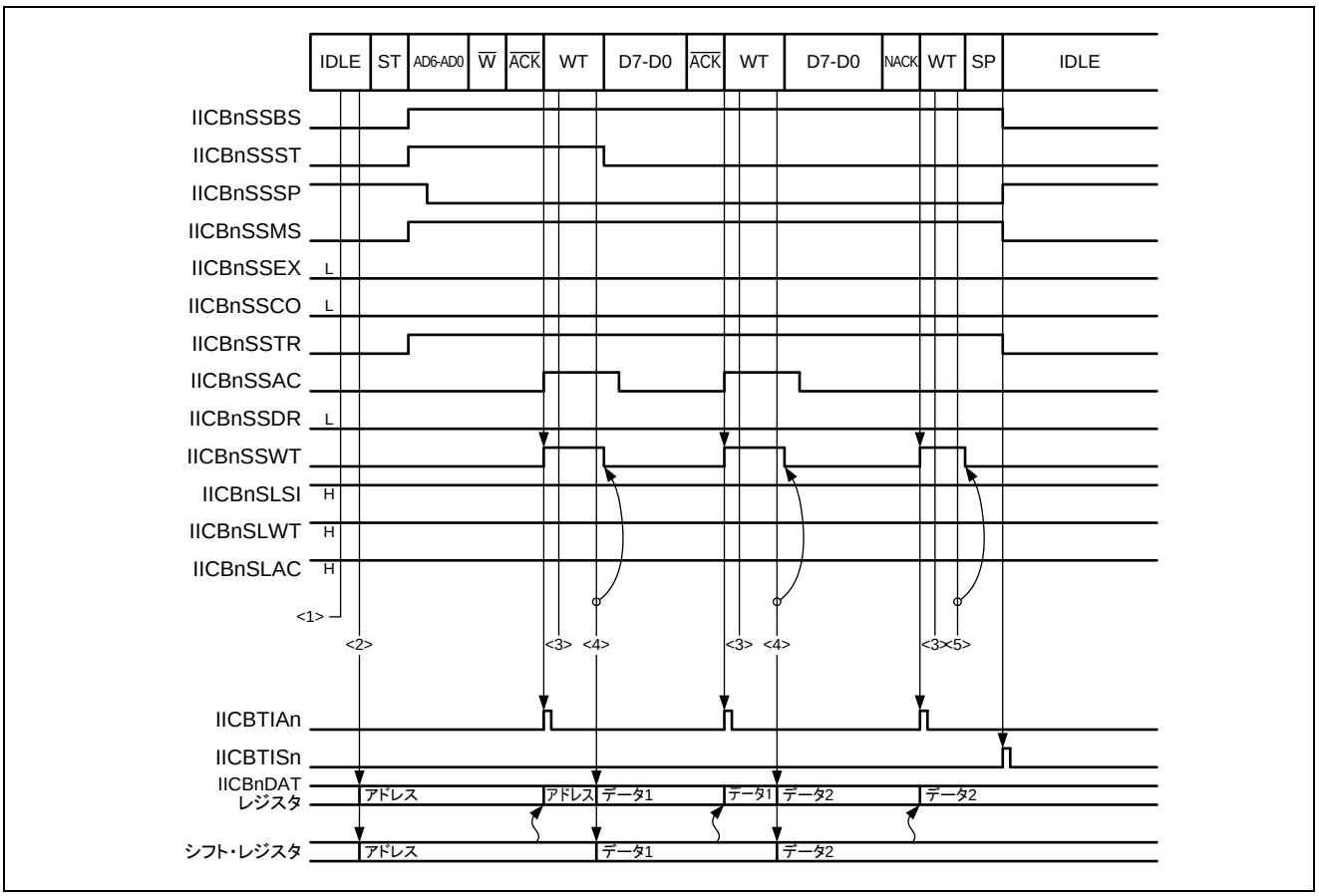
<5> データ受信
ウェイト期間中に IICBnTRG.IICBnWRET ビットをセット（1）することでウェイト解除し受信開始。

<6> 受信データ取り込み
IICBTIAn 割り込みで IICBnDAT レジスタから受信データをリード。

<7> データ受信完了処理
・ウェイト期間中に IICBnCTL0.IICBnSLWT ビット=1、IICBnCTL0.IICBnSLAC ビット= 0 に設定。
・その後、IICBnTRG.IICBnWRET ビットをセット（1）することでウェイト解除し、アクノリッジが生成されず、送信側にデータの終わりを通知。

<8> ストップ・コンディション出力
IICBnTRG.IICBnSPT ビットをセット（1）。

(2) シングル転送モード（マスタ送信）の通信例



<1> スタート・コンディション出力
IICBnTRG.IICBnSTT ビットをセット（1）。

<2> アドレス、転送方向指定出力
スレーブのアドレスと転送方向を合わせて、8 ビットとして IICBnDAT レジスタへ設定。

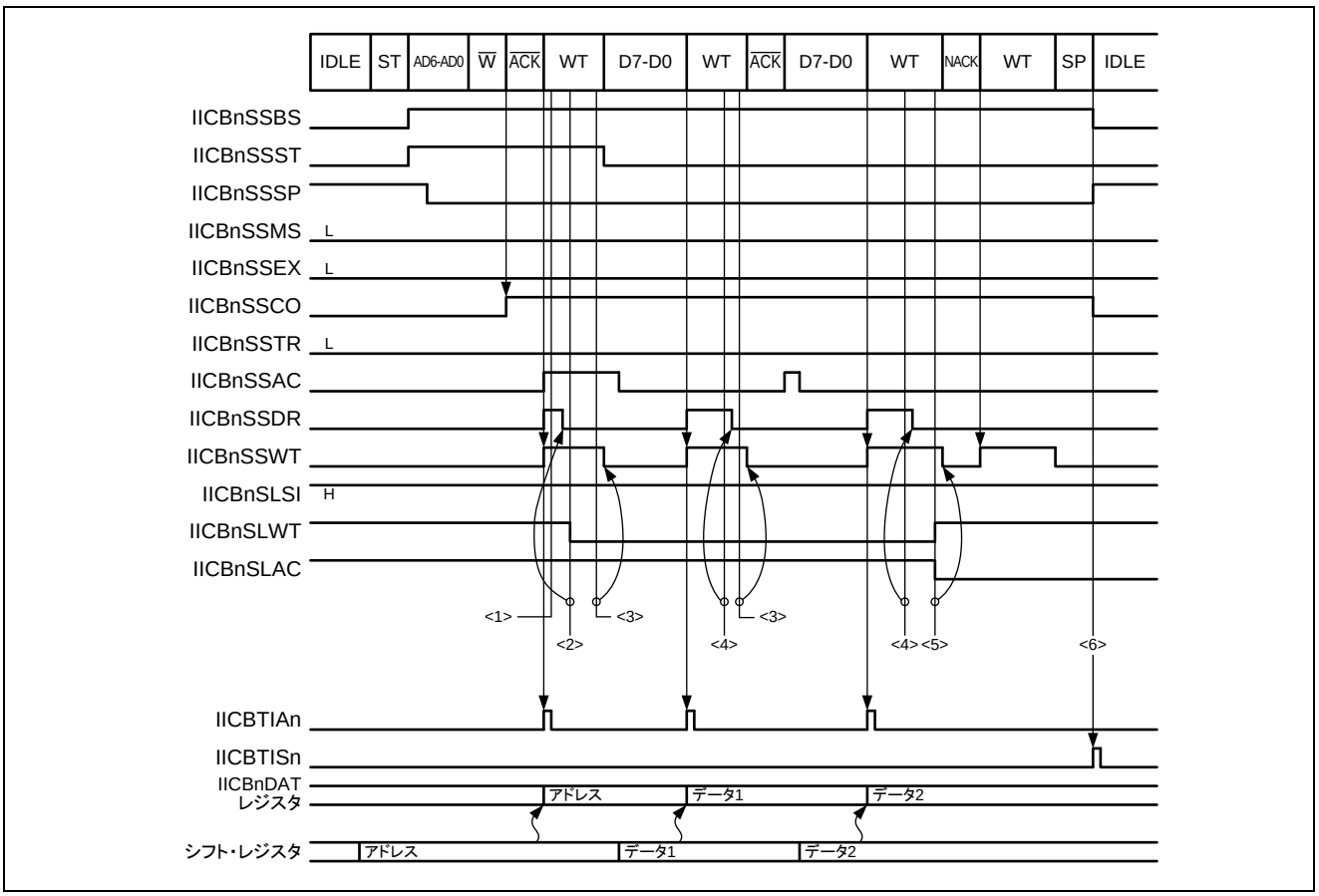
<3> アクノリッジ結果確認
IICBTIAn 割り込みで IICBnSTR0.IICBnSSAC ビットをリードし、確認。

<4> データ送信
ウェイト期間中に IICBnDAT レジスタへ送信データを設定することでウェイト解除し、送信開始。

<5> ストップ・コンディション出力
IICBnTRG.IICBnSPT ビットをセット（1）。

備考 データ送信時は 9 クロック目の立ち下がりでウェイト状態とするため，IICBnCTL0.IICBnSLWT ビットをセット（1）してください。

(3) シングル転送モード（スレーブ受信）の通信例



<1> スレーブ時の動作モード確認

・IICBTIAn 割り込みで動作モードを確認。

・IICBnSTR0.IICBnSSST, IICBnSTR0.IICBnSSCO, IICBnSTR0.IICBnSSTR ビットでアドレス転送、アドレス一致、受信動作であることを確認。

・IICBnDAT レジスタをリード（空読み）。

<2> ウエイト・タイミング設定

データ受信時は 8 クロック目の立ち下がりでウェイト状態とするため、IICBnCTL0.IICBnSLWT ビットをクリア（0）。

<3> データ受信

ウェイト期間中に IICBnTRG.IICBnWRET ビットをセット（1）することでウェイト解除し、受信開始。

<4> 受信データ取り込み

IICBTIAn 割り込みで IICBnDAT レジスタから受信データをリード。

<5> データ受信完了処理

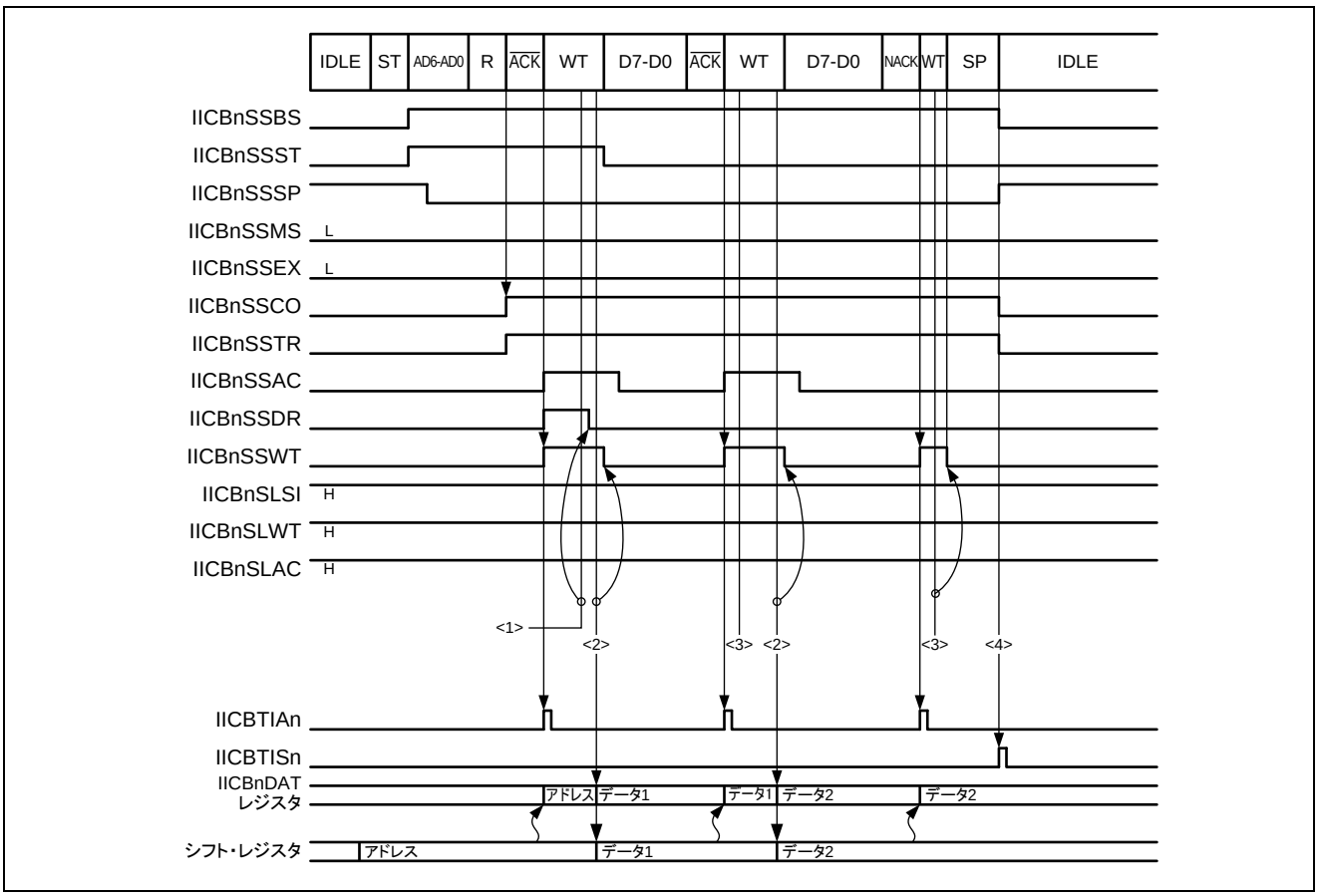
・ウェイト期間中に IICBnCTL0.IICBnSLAC ビット=0★に設定。

・その後、IICBnTRG.IICBnWRET ビットをセット（1）することでウェイト解除しアクノリッジが生成されず、送信側にデータの終わりを通知。

<6> ストップ・コンディション検出

IICBTISn 割り込みでストップ・コンディションを検出。

(4) シングル転送モード（スレーブ送信）の通信例



<1> スレーブ時の動作モード確認

・IICBTIAn 割り込みで動作モードを確認。

・IICBnSTR0.IICBnSSST, IICBnSTR0.IICBnSSCO, IICBnSTR0.IICBnSSTR ビットでアドレス転送、アドレス一致、送信動作であることを確認。

・IICBnDAT レジスタをリード（空読み）。

<2> データ送信

ウェイト期間中に IICBnDAT レジスタへ送信データを設定することでウェイト解除し、送信開始。

<3> アクノリッジ結果確認

IICBTIAn 割り込みで IICBnSTR0.IICBnSSAC ビットをリードし、確認。

アクノリッジが生成されなかった場合は送信完了と判断し、IICBnTRG.IICBnWRET ビットをセット（1）することでウェイト解除。

<4> ストップ・コンディション検出

IICBTISn 割り込みでストップ・コンディションを検出。

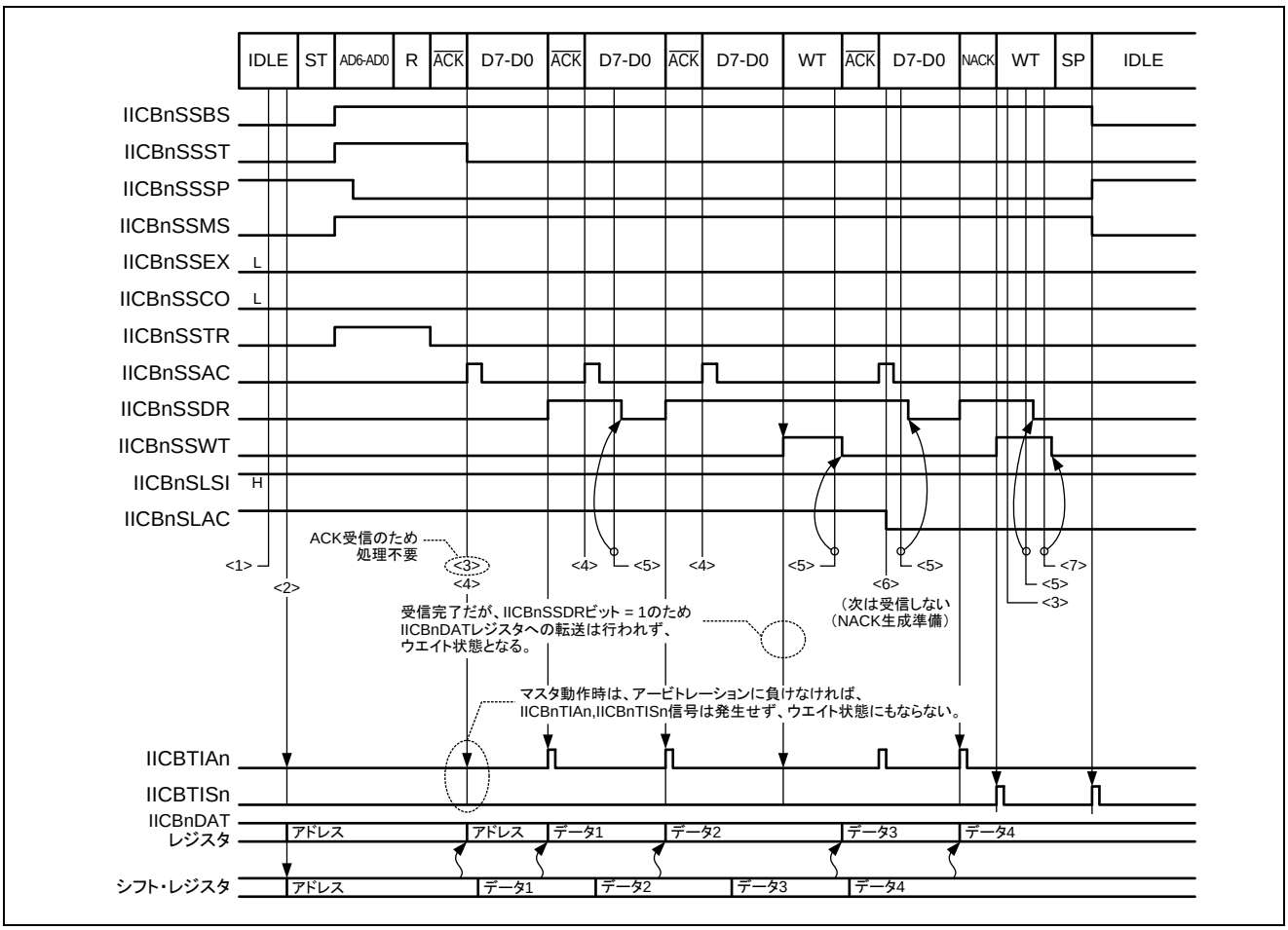
備考 データ送信時は 9 クロック目の立ち下がりでウエイト状態とするため、IICBnCTL0.IICBnSLWT ビットをセット（1）してください。

21.6.2 連続転送モード

連続転送モードは、データ送受信割り込み要求信号（IICBTIAn）の発生ごとに IICBnDAT レジスタへリードまたはライトすることで、ウェイト状態とならずに連続で通信できる転送モードです。

各処理の動作を以下に示します。

(1) 連続転送モード（マスタ受信）の通信例



<1> スタート・コンディション出力
IICBnTRG.IICBnSTT ビットをセット（1）。

<2> アドレス、転送方向指定出力
スレーブのアドレスと転送方向を合わせて、8 ビットとして IICBnDAT レジスタへ設定。

<3> アクノリッジ結果確認
スレーブがアクノリッジを返さないときだけ IICBTISn 割り込みが発生。
IICBnSTR0.IICBnSSAC ビットをリードし確認。

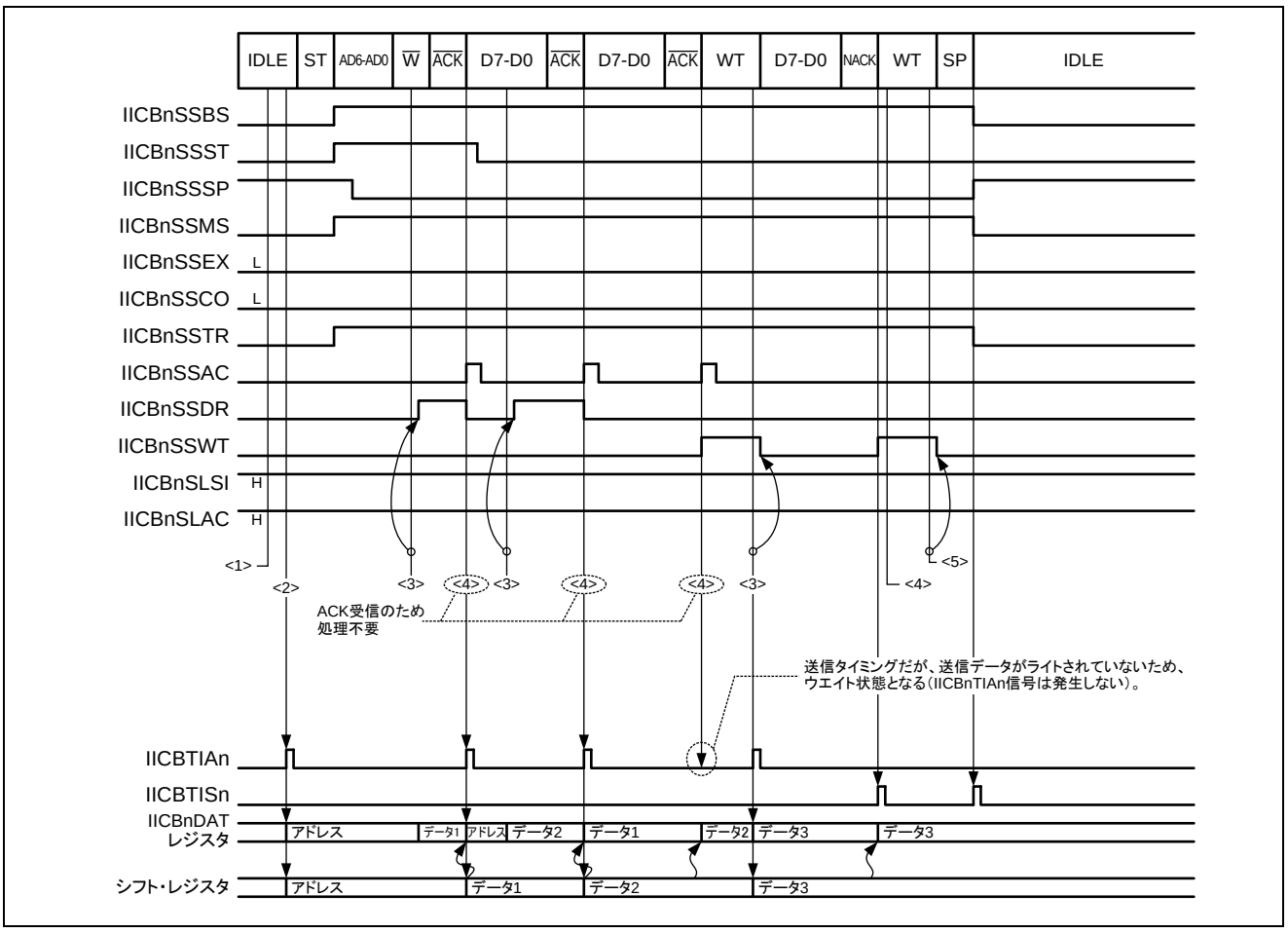
<4> アクノリッジ結果確認
受信開始タイミングまでに IICBnDAT レジスタに未読み出しデータがなければウェイト状態とならず受信開始。

<5> 受信データ取り込み
IICBTIAn 割り込みで IICBnDAT レジスタから受信データをリード。

<6> データ受信完了処理
最終受信データの 1 つ前の受信データをリードする前に IICBnCTL0.IICBnSLAC ビットをクリア（0）することで次回アクノリッジが生成されず、送信側にデータの終わりを通知。

<7> ストップ・コンディション出力
IICBnTRG.IICBnSPT ビットをセット（1）。

(2) 連続転送モード（マスタ送信）の通信例



<1> スタート・コンディション出力
IICBnTRG.IICBnSTT ビットをセット（1）。

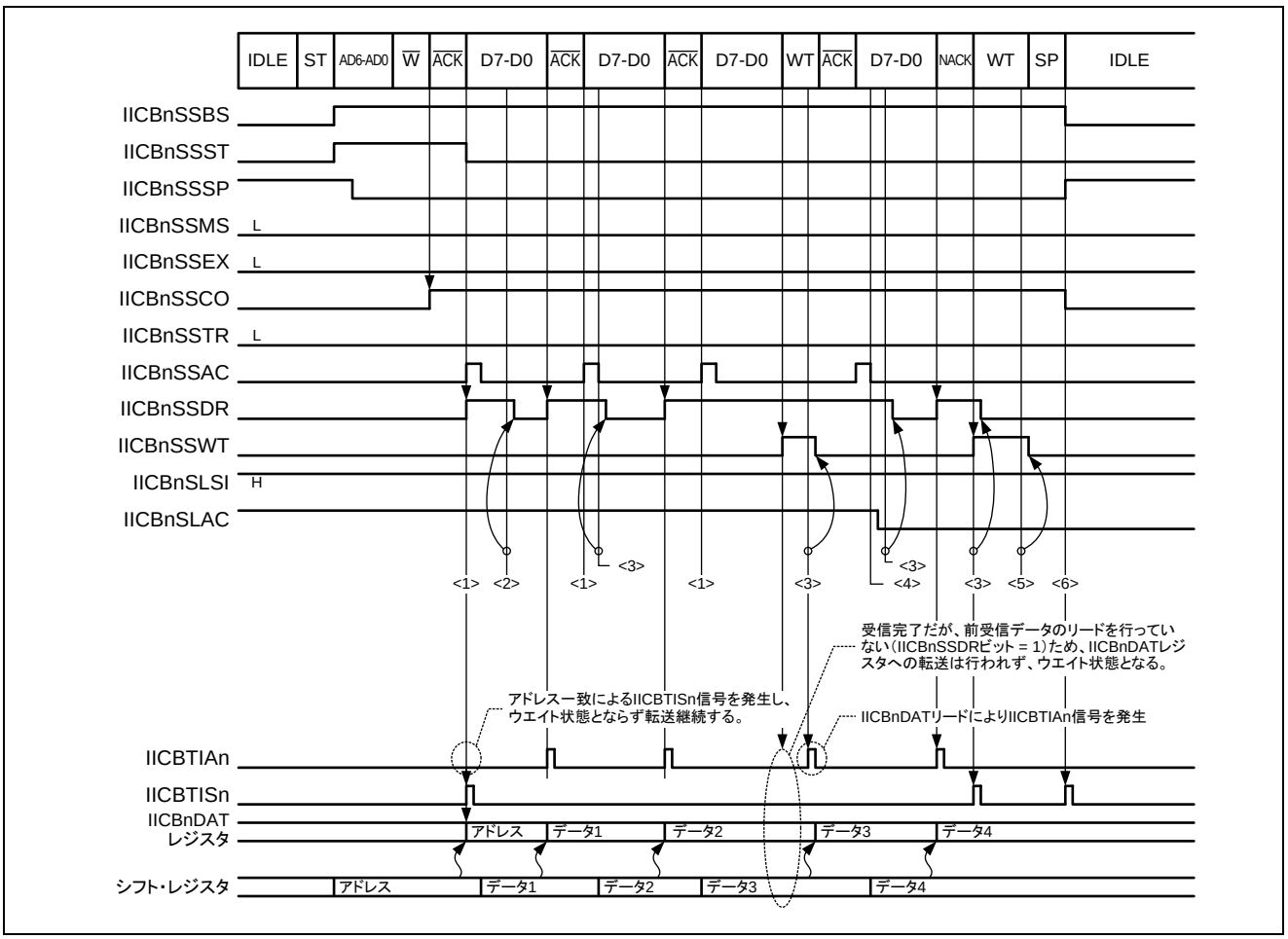
<2> アドレス、転送方向指定出力
スレーブのアドレスと転送方向を合わせて、8 ビットとして IICBnDAT レジスタへ設定。

<3> データ送信
IICBTIAn 割り込みで IICBnDAT レジスタへ送信データを設定。

<4> アクノリッジ結果確認
スレーブがアクノリッジを返さないときだけ IICBTISn 割り込みが発生。
IICBnSTR0.IICBnSSAC ビットをリードし確認。

<5> ストップ・コンディション出力
IICBnTRG.IICBnSPT ビットをセット（1）。

(3) 連続転送モード（スレーブ受信）の通信例



<1> データ受信

受信開始タイミングまでにIICBnDAT レジスタに未読み出しデータがなければウェイト状態とならず受信開始。

<2> スレーブ時の動作モード確認

・IICBTISn 割り込みで動作モードを確認。

・IICBnSTR0.IICBnSSST, IICBnSTR0.IICBnSSCO, IICBnSTR0.IICBnSSTR ビットでアドレス転送、アドレス一致、受信動作であることを確認。

・IICBnDAT レジスタをリード（空読み）。

<3> 受信データ取り込み

IICBTIAn 割り込みで IICBnDAT レジスタから受信データをリード。

<4> データ受信完了処理①

最終受信データの 1 つ前の受信データをリードする前に IICBnCTL0.IICBnSLAC ビットをクリア（0）することで次回アクノリッジが生成されず、送信側にデータの終わりを通知。

<5> データ受信完了処理②

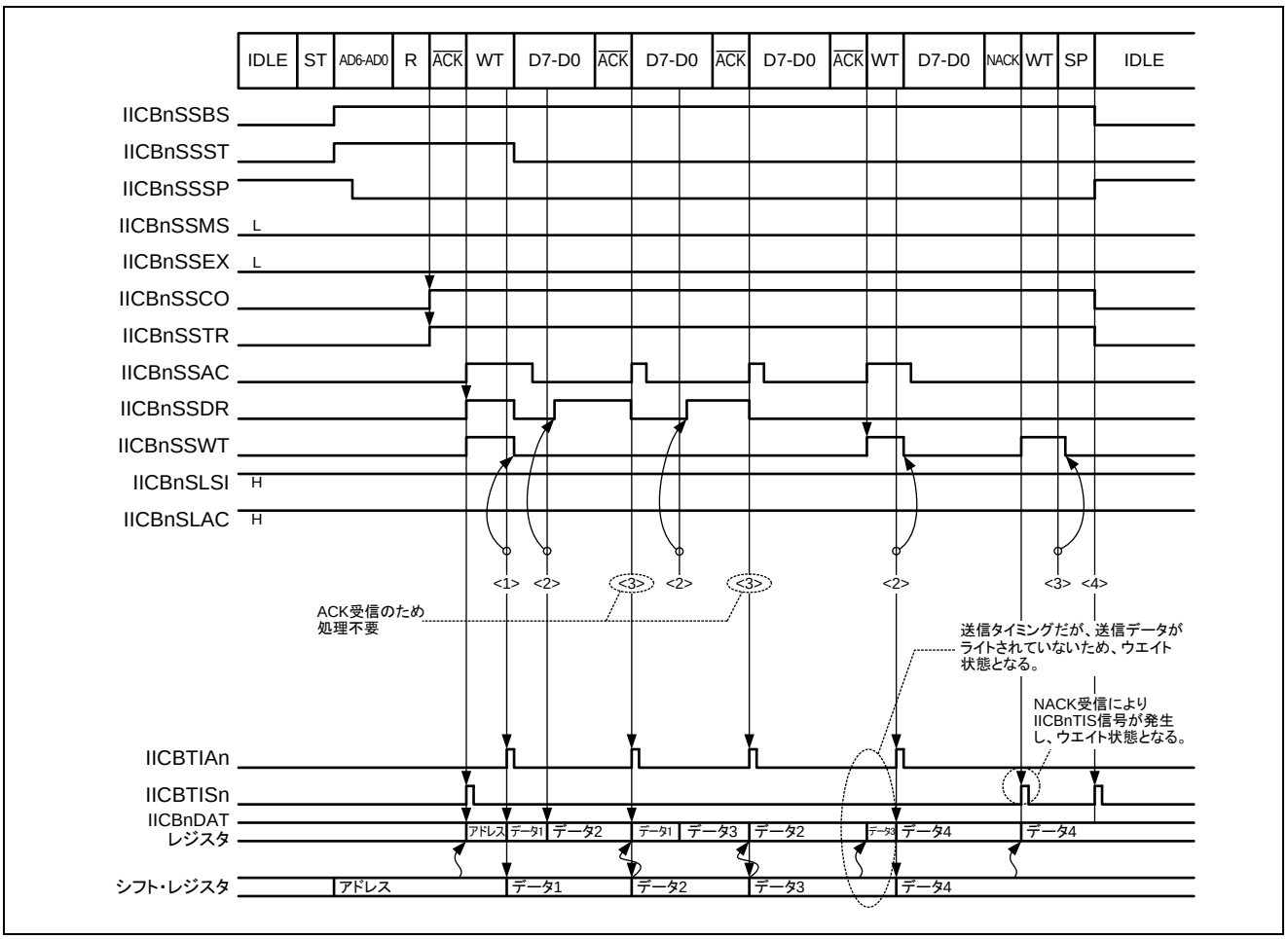
スレーブがアクノリッジを返さないときだけ IICBTISn 割り込みが発生。

IICBnTRG.IICBnWRET ビットをセット（1）することでウェイト解除。

<6> ストップ・コンディション検出

IICBTISn 割り込みでストップ・コンディションを検出。

(4) 連続転送モード（スレーブ送信）の通信例



<1> スレーブ時の動作モード確認

・IICBTISn 割り込みで動作モードを確認。

・IICBnSTR0.IICBnSSST, IICBnSTR0.IICBnSSCO, IICBnSTR0.IICBnSSTR ビットでアドレス転送、アドレス一致、送信動作であることを確認。

・IICBnDAT レジスタをリード（空読み）後に、IICBnDAT レジスタへ 1 回目の送信データを設定。

<2> データ送信

IICBTIAn 割り込みで IICBnDAT レジスタへ送信データを設定。

<3> アクノリッジ結果確認

スレーブがアクノリッジを返さないときだけ IICBTISn 割り込みが発生。

IICBnSTR0.IICBnSSAC ビットをリードし確認。

アクノリッジが生成されなかった場合は送信完了と判断し、IICBnTRG.IICBnWRET ビットをセット（1）することでウェイト解除。

<4> ストップ・コンディション検出

IICBTISn 割り込みでストップ・コンディションを検出。

21.6.3 アービトレーション

IICBn がマスタでアービトレーションに負けた場合は、アービトレーション負けを検出すると、SCLn および SDAn をそれぞれハイ・レベルにすることでスレーブ待機状態とし、その後のステータス割り込み要求信号（IICBTISn）を発生するタイミングで、IICBnSTR0.IICBnALDF ビットをセット（1）します。

(1) アービトレーション発生時の状態

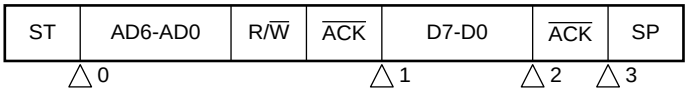
マスタ（IICBnSTR0.IICBnSSMS ビット= 1）時のアービトレーションが発生する状態を次に示します。

① アドレス送信中。
② アドレス転送の R/$\overline{W}$ビット送信中。
③ 拡張コード送信中。
④ 拡張コード転送の R/$\overline{W}$ビット送信中。
⑤ データ送信中。
⑥ データ受信後の $\overline{ACK}$ビット送信中。
⑦ アドレス転送中またはデータ転送中のスタート・コンディション検出。
⑧ アドレス転送中またはデータ転送中のストップ・コンディション検出。
⑨ リスタート・コンディションを生成しようとしたが SDAn 端子がロー・レベル。
⑩ ストップ・コンディションを生成しようとしたが SDAn 端子がロー・レベルのまま。
⑪ リスタート・コンディションを生成しようとしたが SCLn 端子の立ち下がりを検出。

21.6.4 ウェイトとウェイト解除方法

IICBn は、次に示すタイミングでウェイト状態へ遷移できます。

表21.6 ウェイト状態への遷移タイミング



発生タイミング	説明	参照箇所
△0	マスタとしてスタート・コンディション検出後、最初の SCLn の立ち下がり検出時	(1)「マスタとなった最初の SCLn 立ち下がりのウェイト」
△1	スタート・コンディション後のアドレス転送中における SCLn の 9 クロック目の立ち下がり検出時	(2)「アドレス転送完了時のウェイト状態」
△2	データ転送中における SCLn の 8 クロック目の立ち下がり検出時	(3)「データ転送中における SCLn の 8 回目の立ち下がり検出時でのウェイト状態」
△3	データ転送中における SCLn の 9 クロック目の立ち下がり検出時	(4)「データ転送中における SCLn の 9 回目の立ち下がり検出時でのウェイト状態」

備考 ST : スタート・コンディション
AD6-AD0 : アドレス
R/$\overline{W}$: 転送方向指定
$\overline{ACK}$: アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション

ウェイトの解除方法は、ウェイトしている状態により異なります。
（1）-（4）に記載した各ウェイト状態での解除条件に従って、解除してください。

(1) マスタとなった最初の SCLn 立ち下がりのウェイト

△0 は、IICBnTRG.IICBnSTT ビット= 1 ライト後、マスタとなった最初の SCLn 立ち下がりを検出したとき、転送すべきデータがライト（IICBnDAT レジスタへのライト）されていなかった場合のウェイト状態です。

(a) ウェイト遷移条件

IICBnTRG.IICBnSTT ビット= 1 ライト後、マスタとなった最初の SCLn 立ち下がりを検出時、IICBnTRG.IICBnSTT ビット= 1 ライト後から△0 タイミングまでに IICBnDAT レジスタへライト動作が行われていなければウェイト状態となります。

ただし、IICBnTRG.IICBnSTT ビット= 1 ライト後の IICBnDAT レジスタへの有効な（ウェイトとならない）ライトを行うことができるタイミングは通信予約機能許可時と通信予約機能禁止時で異なります。図 21-11 にそれぞれの設定で有効な IICBnDAT レジスタへのライト・タイミングを示します。

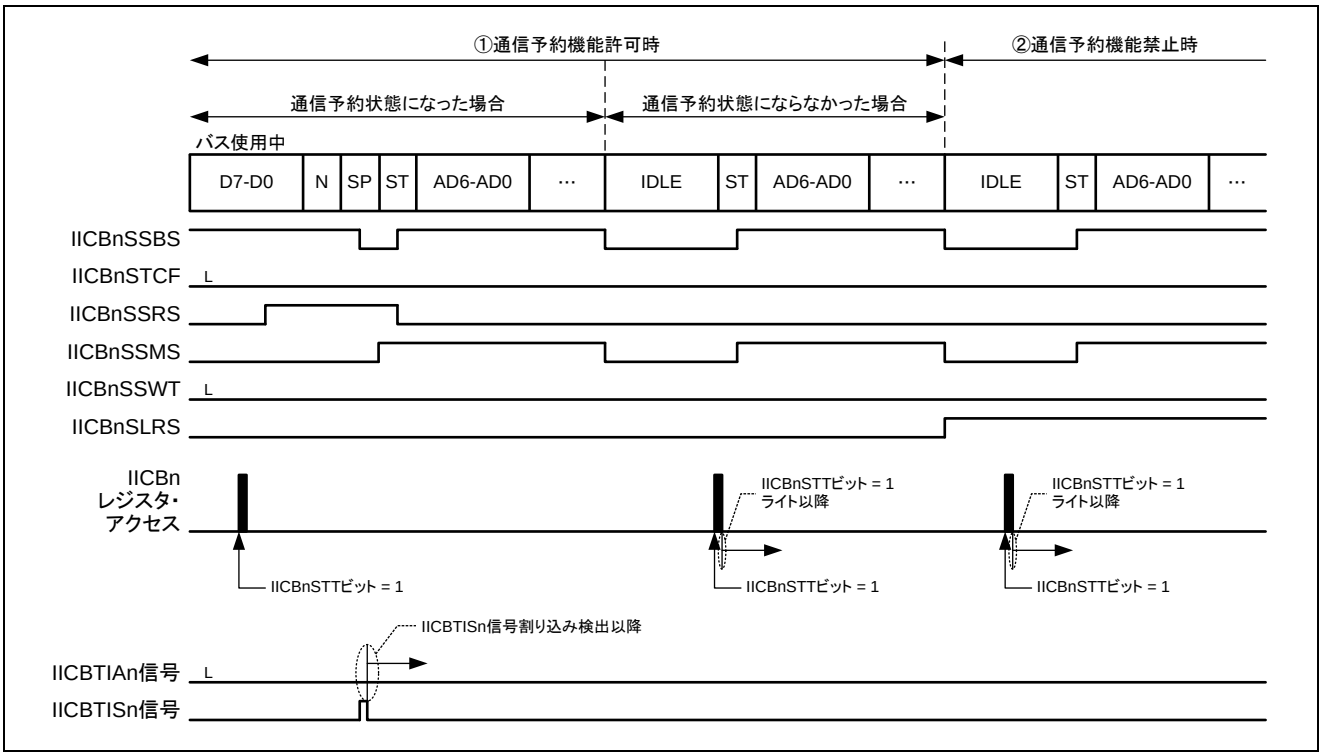


図21.11 有効な IICBnDAT レジスタへのライト・タイミング

注意 図中の②通信予約機能禁止時は、IICBnSTR0.IICBnSTCF ビット= 0 の場合です。IICBnSTR0.IICBnSTCF ビット= 1 となった場合は、再度、IICBnSTR0.IICBnSTCF ビット= 1 ライトから設定が必要になります。

(b) ウェイト解除条件

IICBnDAT ライトでウェイト解除を行ってください。

(2) アドレス転送完了時のウェイト状態

△1 は、アドレス転送完了したことによるウェイト状態です。

(a) ウェイト遷移条件

＜シングル転送モード＞

シングル転送モード時は、マスタ時は必ずウェイト状態となります。
スレーブ時はアドレス一致、または拡張コード検出かつ
IICBnCTL0.IICBnSLWT ビット= 1 の場合にウェイト状態となります。

＜連続転送モード＞

連続転送モード時は、次に示す場合にウェイト状態となります。
・NACK 検出した場合
・マスタ送信時で、次に転送するデータをライトしていない場合
・スレーブ動作時で、前に受信したデータをリードしていない場合、または、送信時

(b) ウェイト解除条件

＜シングル転送モード＞

送信動作時は IICBnDAT レジスタへのライト、受信動作時は IICBnTRG.IICBnWRET ビット= 1 ライトによりウェイトを解除してください。マスタ動作時で、IICBnSTR0.IICBnSSAC ビット= 0 または送信であれば、IICBnTRG.IICBnSTT ビット= 1 ライトおよび IICBnTRG.IICBnSPT ビット= 1 ライトによるウェイト解除が可能です。

＜連続転送モード＞

送信動作時は IICBnDAT レジスタへのライト、受信動作時は IICBnDAT レジスタのリードによりウェイトを解除してください。マスタ動作時で、IICBnSTR0.IICBnSSAC ビット= 0 であれば、IICBnTRG.IICBnSTT ビット= 1 ライトおよび IICBnTRG.IICBnSPT ビット= 1 ライトによるウェイト解除が可能です。

(3) データ転送中における SCLn の 8 回目の立ち下がり検出時でのウェイト状態

△2 はデータ転送中における SCLn の 8 回目の立ち下がり検出時でのウェイト状態です。

(a) ウェイト遷移条件

＜シングル転送モード＞

通信に参加している状態での IICBnCTL0.IICBnSLWT ビット= 0 で、SCLn の 8 回目の立ち下がり検出時にウェイト状態へ遷移します。

＜連続転送モード＞

通信に参加している状態での IICBnSTR0.IICBnSSTR ビット= 0 で、SCLn の 8 回目の立ち下がり時までに前データの処理（IICBnDAT レジスタからのリード）が行われておらず、IICBnTRG.IICBnSTT ビット= 1 または IICBnTRG.IICBnSPT = 1 ライトが行われていない場合にウェイト状態へ遷移します。

(b) ウェイト解除条件

＜シングル転送モード＞

受信動作時は IICBnTRG.IICBnWRET= 1 ライト、送信動作時は IICBnDAT レジスタへのライトによりウェイトを解除してください。

＜連続転送モード＞

IICBnDAT レジスタからのリードによりウェイトを解除してください。

(4) データ転送中における SCLn の 9 回目の立ち下がり検出時でのウェイト状態

△3 は、データ転送中における SCLn の 9 回目の立ち下がり検出時でのウェイト状態です。
連続転送モードの場合は、NACK 受信によるウェイト状態となります。

(a) ウェイト遷移条件

＜シングル転送モード＞

通信に参加している状態での IICBnCTL0.IICBnSLWT ビット= 1 で SCLn の 9 回目の立ち下がり検出時にウェイト状態へ遷移します。

＜連続転送モード＞

データ送信中で、次の 3 状態のときウェイト状態へ遷移します（すべて通信に参加している場合）。

・IICBnCTL0.IICBnSLWT ビット= 1 で $\overline{\text{ACK}}$ ビットに NACK を受信したとき
・送信で、送信データがデータ・レジスタにライトされていないとき
・受信で、前回受信したデータがリードされていないとき

(b) ウェイト解除条件

表21.7にモードごとのウェイト解除条件を示します。

表21.7 ウェイト解除条件

マスタ／スレーブ	転送モード	送信／受信	IICBnSTR0. IICBnSSAC ビット	解除動作
マスタ	シングル転送モード	受信	0	IICBnTRG.IICBnSTT ビット= 1 または IICBnTRG.IICBnSPT ビット= 1
			1	IICBnTRG.IICBnWRET = 1
		送信	0	IICBnTRG.IICBnSTT ビット= 1 または IICBnTRG.IICBnSPT ビット= 1
			1	IICBnDAT レジスタへのライトまたは IICBnTRG.IICBnSTT ビット= 1 または IICBnTRG.IICBnSPT ビット= 1
	連続転送モード	受信	0	IICBnTRG.IICBnSTT ビット= 1 または IICBnTRG.IICBnSPT ビット= 1
			1	ICBnDAT レジスタからのリード注1
		送信	0	IICBnTRG.IICBnSTT ビット= 1 または IICBnTRG.IICBnSPT ビット= 1
			1	IICBnDAT レジスタへのライト注2
スレーブ	シングル転送モード	受信	―	IICBnTRG.IICBnWRET ビット= 1
		送信	0	IICBnTRG.IICBnWRET ビット= 1
			1	IICBnDAT レジスタへのライト注1
	連続転送モード	受信	0	IICBnTRG.IICBnWRET ビット= 1
		送信	0	IICBnTRG.IICBnWRET ビット= 1
			1	IICBnDAT レジスタへのライト

注 1. 送信データがデータ・レジスタにライトされていないことによるウェイト状態の解除条件です。
2. 前回受信したデータがリードされていないことによるウェイト状態の解除条件です。

21.6.5 拡張コード

拡張コードを受信した場合の処理は、拡張コードに続くデータにより異なるため、ユーザのソフトウェア処理で行う必要があります。

そのため、通常のスレーブ・アドレス受信時と動作が異なります。違いは次のとおりです。

(1) 受信アドレスの上位 4 ビットが“0000”または“1111”のとき、拡張コード受信として拡張コード受信フラグ（IICBnSTR0.IICBnSSEX ビット）をセットし、8 クロック目の立ち下がりでステータス割り込み要求信号（IICBTISn）を発生し、ウェイト状態（IICBnTRG.IICBnSSWT =1）となります。
また IICBnSTR0.IICBnSSDR ビットおよび IICBnSTR0.IICBnSSTR ビットがセット（1）されます。

(2) アドレス転送中のアクノリッジ出力では、IICBnCTL0.IICBnSLAC ビットの設定により、アクノリッジを制御可能です（通常のスレーブ・アドレス受信時におけるアドレス転送中では、アドレス一致の場合、IICBnCTL0.IICBnSLAC の設定に関係なくアクノリッジを出力します）。

(3) 拡張コード検出によるウェイトの解除方法を示します。
＜IICBnCTL0.IICBnMDTX1 ビット= 0 の場合＞
IICBnCTL0.IICBnSLWT ビット= 0 で送信する場合は、IICBnDAT レジスタへのライトによりウェイト解除してください。IICBnCTL0.IICBnSLWT ビット= 1 で送信する場合、または、受信する場合は、IICBnTRG.IICBnWRET ビット= 1 ライトによりウェイト解除してください。
＜IICBnCTL0.IICBnMDTX1 ビット= 1 の場合＞
送信の場合は IICBnDAT レジスタへのライト、受信の場合は IICBnDAT レジスタからのリードによりウェイト解除してください。

(4) その後の 9 クロック目の立ち下がり時は、IICBnCTL0.IICBnSLWT ビット= 1 の場合は、割り込み要求信号（IICBTIAn）を発生しウェイト状態（IICBnTRG.IICBnSSWT ビット=1）、IICBnCTL0.IICBnSLWT ビット= 0 の場合は、割り込み要求信号（IICBTIAn）を発生せずウェイト状態にもなりません。

(5) 拡張コードを受信した場合は、アドレス不一致でも通信に参加します。
たとえば、拡張コード受信後、スレーブとして動作したくない場合は、IICBnTRG.IICBnLRET ビット= 1 に設定してください。次の通信待機状態となります。

21.7 割り込み要求信号

注意 拡張コード受信時の動作は説明を省略しています。詳細は、21.6.5「拡張コード」を参照してください。

IICBn には、割り込み要求信号として、データ送受信割り込み要求信号（IICBTIAn）、ステータス割り込み要求信号（IICBTISn）があります。いずれも PCLK で 1 クロック幅のパルスです。IICBnCTL0.IICBnMDTX1, IICBnCTL0.IICBnMDTX0 ビットで設定した転送モードにより割り込み要求信号発生タイミングがそれぞれ異なります。ここでは、それぞれの割り込み要求信号について転送モード別に説明します。

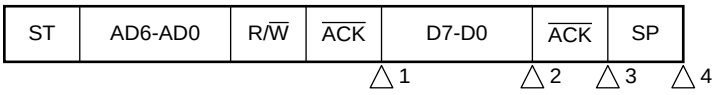
マスタおよびスレーブでアドレス一致した転送を行う場合は IICBnCTL0.IICBnMDTX0 ビット、スレーブで拡張コード検出した転送を行う場合は IICBnCTL0.IICBnMDTX1 ビットの値によりシングル転送モード／連続転送モードを選択します。

21.7.1 シングル転送モード

下表にシングル転送モード時の割り込み要求信号発生タイミングを示します。

シングル転送モードの場合、IICBTIAn 割り込み要求信号および IICBTISn 割り込み要求信号は、バス・サイクルの SCLn 立ち下がり検出時の IICBn の状態により割り込み発生の判定を行います。ただし、△4 タイミングの場合のみ、ストップ・コンディション検出時の IICBn の状態により割り込み発生の判定を行います。

表21.8 割り込み要求信号発生タイミング（シングル転送モード）



発生タイミング	説明	参照箇所
△1	アドレス転送中における SCLn の 9 クロック目の立ち下がり検出時	21.7.1 (1)
△2	データ転送中における SCLn の 8 クロック目の立ち下がり検出時	21.7.1 (2)
△3	データ転送中における SCLn の 9 クロック目の立ち下がり検出時	21.7.1 (2)
△4	ストップ・コンディション検出時	21.7.1 (3)

備考 ST : スタート・コンディション
AD6-AD0 : アドレス
R/$\overline{W}$: 転送方向指定
$\overline{ACK}$: アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション

(1) アドレス転送中の割り込み要求信号発生条件と発生する割り込み要求信号

表21.8の△1 はアドレス転送中の割り込み要求信号発生タイミングです。表21.9に△1 での割り込み要求信号発生条件と発生する割り込み要求信号（IICBTIAn または IICBTISn）を示します。

表21.9 アドレス転送中の割り込み要求信号発生条件と発生する割り込み要求信号（シングル転送モード）

IICBn SSMS	IICBn ALDF	IICBn SLWT	IICBn SSCO	△1		備 考
				割り込み	ウェイト	
1	0	X	X	IICBTIAn	ウェイト	−
1	1	X	X	この状態は存在しません。		−
0	0	X	0	IICBTISn 注	−	リスタート後、通信不参加
0	0	X	1	IICBITAn	ウェイト	−
0	1	X	0	IICBTISn	−	アービトレーション負け後、通信不参加
0	1	X	1	IICBTIAn	ウェイト	−

注 リスタート・コンディション前、アドレス一致または拡張コード検出していた場合

備考 X：任意

(2) データ転送中の割り込み要求信号発生条件と発生する割り込み要求信号

表21.8の△2 および△3 はデータ転送中の割り込み要求信号発生タイミングです。△2 または△3 での割り込み要求信号発生タイミングは、IICBnCTL0.IICBnSLWT ビットの設定により決定されます。表21.10に△2 および△3 のタイミングでの割り込み要求信号発生条件と発生する割り込み要求信号（IICBTIAn または IICBTISn）を示します。

表21.10 データ転送中の割り込み要求信号発生条件と発生する割り込み要求信号（シングル転送モード）

IICBn SSMS	IICBn ALDF	IICBn SLWT	IICBn SSCO	△2		△3		備考
				割り込み	ウェイト	割り込み	ウェイト	
1	0	0	×	IICBTIAn	ウェイト	−	−	−
1	0	1	×	−	−	IICBTIAn	ウェイト	−
1	1	×	×	この状態は存在しません				−
0	0	×	0	−	−	−	−	通信不参加
0	0	0	1	IICBTIAn	ウェイト	−	−	−
0	0	1	1	−	−	IICBTIAn	ウェイト	−
0	1	0	0	IICBITSn	−	−	−	アービトレーション負け後、通信不参加
0	1	1	0	−	−	IICBTISn	−	アービトレーション負け後、通信不参加
0	1	0	1	IICBTIAn	ウェイト	−	−	−
0	1	1	1	−	−	IICBTIAn	ウェイト	−

備考 ×：任意

(3) ストップ・コンディション検出時の割り込み要求信号発生

表21.8の△4 は、ストップ・コンディション検出時の割り込み要求信号発生タイミングです。

ストップ・コンディション検出時は、IICBnCTL0.IICBnSLSI ビットの設定により割り込み要求信号の発生制御を行い、IICBnCTL0.IICBnSLSI ビット= 1 の場合にストップ・コンディションを検出すると、ステータス割り込み要求信号（IICBTISn）を発生します。

21.7.2 連続転送モード

(1) データ送受信割り込み要求信号（IICBTIAn）

次に連続転送モード時の IICBTIAn 信号が発生する条件を示します。

- 受信時の割り込み要求信号発生条件
  受信データをシフト・レジスタから IICBnDAT レジスタへデータの格納を行ったとき（図21.12の①のタイミング）。

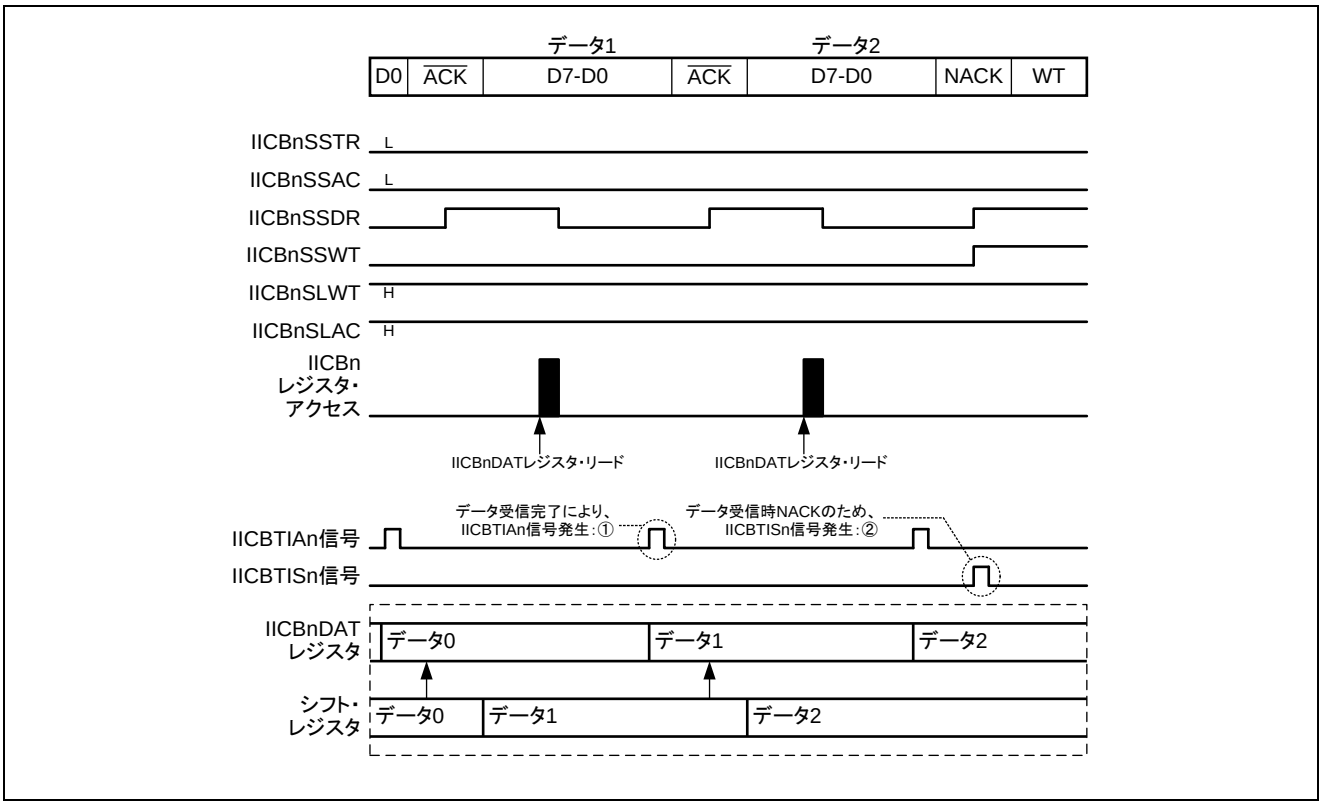


図21.12 IICBTIAn 信号発生タイミング（受信、連続転送モード）

・ 送信時の割り込み要求信号発生条件
シフト・レジスタおよびIICBnDATレジスタに送信データがない状態で、IICBnDATレジスタにデータをライトしたとき（図21.13の②のタイミング）。
IICBnDATレジスタからシフト・レジスタにデータを格納したとき（図21.13の①のタイミング）。

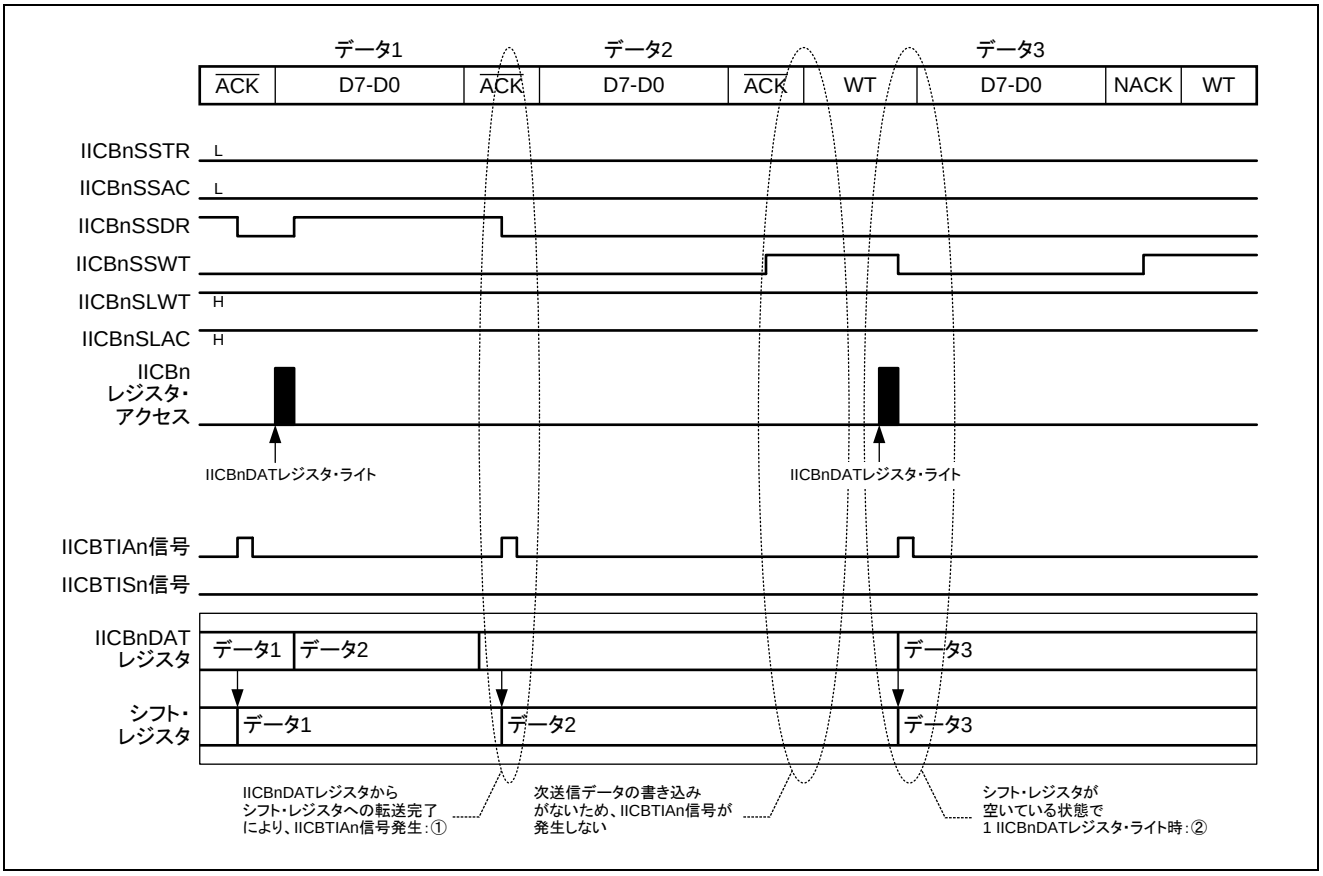
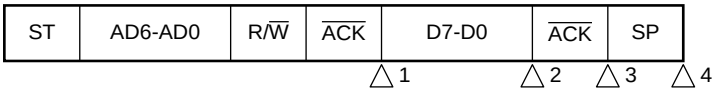


図21.13 IICBTIAn 信号発生タイミング（送信、連続転送モード）

(2) ステータス割り込み要求信号（IICBTISn）

連続転送モード時の IICBTISn 信号発生タイミングは、シングル転送モードと同じタイミングになります。

表21.11 IICBTISn 信号発生タイミング



発生タイミング	説明	参照箇所
△1	スタート・コンディション後におけるアドレス転送中の SCLn の 9 クロック目の立ち下がり検出時	21.7.2 (a)
△2	データ転送中における SCLn の 8 クロック目の立ち下がり検出時	21.7.2 (b)
△3	データ転送中における SCLn の 9 クロック目の立ち下がり検出時	21.7.2 (b)
△4	ストップ・コンディション検出時	21.7.2 (c)

備考 ST : スタート・コンディション
AD6-AD0 : アドレス
R/W : 転送方向指定
ACK : アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション

(a) アドレス転送中の IICBTISn 信号発生条件

表21.11の△1 はアドレス転送中の IICBTISn 信号発生タイミングです。表21.12に△1 での IICBTISn 信号発生条件を示します。

表21.12 アドレス転送中の IICBTISn 信号発生条件（連続転送モード）

IICBn SSMS	IICBn SSCO	IICBn ALDF	転送方向	IICBn SSDR	IICBn SSAC	△1	
						割り込み	ウェイト
1	×	0	送信	0	1	―	ウェイト
1	×	0	送信	0	0	IICBTISn	ウェイト
1	×	0	送信	1	1	―	―
1	×	0	送信	1	0	IICBTISn	ウェイト
1	×	0	受信	0	1	―	―
1	×	0	受信	0	0	IICBTISn	ウェイト
1	×	0	受信	1	1	IICBnDAT リード時 IICBTISn 注1	ウェイト
1	×	0	受信	1	0	IICBnDAT リード時 IICBTISn	ウェイト
1	×	1	×	×	×	この状態は存在しません。	
0	0	0	×	×	×	IICBTISn 注2	―
0	0	1	×	×	×	IICBTISn	―
0	1	×	送信	×	1	IICBTISn	ウェイト
0	1	×	受信	0	1	IICBTISn	―
0	1	×	受信	1	1	IICBnDAT リード時 IICBTISn	ウェイト

注 1. 受信完了後にリードせずにリスタートした場合の動作
2. リスタート・コンディション前、アドレス一致していた場合

注意 △1 の場合は、IICBnSTR0.IICBnSSAC ビットの値は必ず 0 になります。

備考 ×：任意

(b) データ転送中の IICBTISn 信号発生条件

表21.11の△2 および△3 はデータ転送中の IICBTISn 信号発生タイミングです。表21.13に△2 および△3 タイミングでの IICBTISn 信号発生条件を示します。

表21.13 データ転送中の IICBTISn 信号発生条件（連続転送モード）

IICBn SSMS	IICBn SSCO	IICBn SLWT	IICBn ALDF	転送方向	IICBn SSDR	IICBn SSAC	IICBnSTT または IICBnSPT	△2		△3	
								割り込み	ウェイト	割り込み	ウェイト
1	×	0	×	送信	0	1	**注 1**	−	−	−	ウェイト
1	×	0	×	送信	0	0	**注 1**	−	−	IICBTISn	ウェイト
1	×	0	×	送信	1	1	**注 1**	−	−	−	−
1	×	0	×	送信	1	0	**注 1**	−	−	IICBTISn	ウェイト
1	×	0	×	受信	0	1	**注 1**	−	−	−	−
1	×	0	×	受信	0	0	**注 1**	−	−	IICBTISn	ウェイト
1	×	0	×	受信	1	1	**注 1**	−	−	−	−
1	×	0	×	受信	1	0	**注 1**	−	−	IICBnDAT リード後 IICBTISn	ウェイト
1	×	×	×	×	×	0	**注 2**	−	−	IICBTISn	−
1	×	×	×	×	×	1	**注 2**	−	−	−	−
0	0	×	0	×	×	×	×	−	−	−	−
0	0	0	1	受信	×	×	×	IICBTISn	−	−	−
0	0	1	1	送信	×	×	×	−	−	IICBTISn	−
0	1	0	×	送信	0	1	**注 1**	−	−	−	ウェイト
0	1	0	×	送信	0	0	**注 1**	−	−	IICBTISn	ウェイト
0	1	0	×	送信	1	1	**注 1**	−	−	−	−
0	1	0	×	送信	1	0	**注 1**	−	−	IICBTISn	ウェイト
0	1	0	×	受信	0	1	**注 1**	−	−	−	−
0	1	0	×	受信	0	0	**注 1**	−	−	IICBTISn	ウェイト
0	1	0	×	受信	1	1	**注 1**	−	−	−	−
0	1	0	×	受信	1	0	**注 1**	−	−	IICBnDAT リード時 IICBTISn	ウェイト

注 1. IICBnTRG.IICBnSTT ビット= 1 または IICBnTRG.IICBnSPT ビット= 1 ライトされていない場合
2. IICBnTRG.IICBnSTT ビット= 1 または IICBnTRG.IICBnSPT ビット= 1 ライトされた場合

備考 ×：任意

(c) ストップ・コンディション検出時の IICBTISn 信号発生

表21.11の△4 はストップ・コンディション検出時の IICBTISn 信号発生タイミングです。

IICBnCTL0.IICBnSLSI ビットの設定により IICBTISn 信号の発生制御を行い、IICBnCTL0.IICBnSLSI ビット= 1 の場合にストップ・コンディションを検出すると、IICBTISn 信号を発生します。

21.8 割り込み出力とステータス

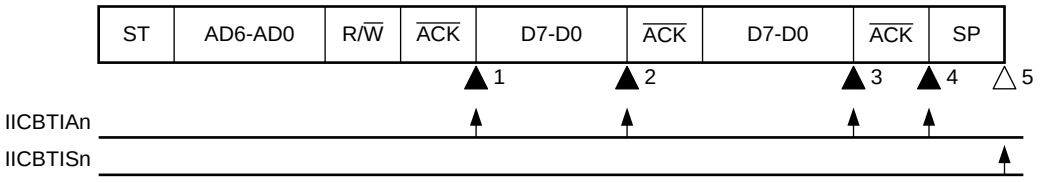
次に、通信フロー別での割り込み出力発生時の IICBnSTR0 レジスタのステータス状態を示します。
図中で用いる略号の意味は次のとおりです。

ST	: スタート・コンディション
AD6-AD0	: アドレス
R, $\overline{W}$, R/$\overline{W}$	: 転送方向指定
$\overline{ACK}$	: アクノリッジ
NACK	: 非アクノリッジ
D7-D0	: データ
SP	: ストップ・コンディション

21.8.1 シングル転送モード（マスタ動作）

(1) Start～Address～Data～Data～Stop（通常送受信）

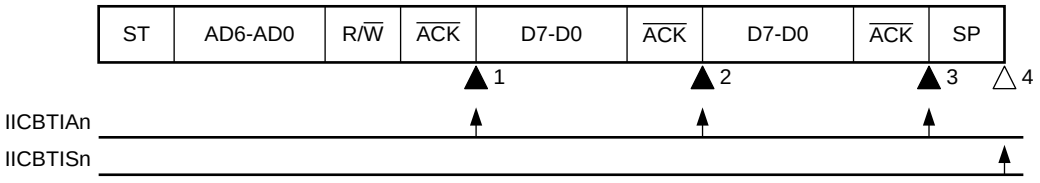
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき



▲1： IICBnSTR0 レジスタ= 1-0100X1 0110--00B
▲2： IICBnSTR0 レジスタ= 1-0100X0 0100--00B
▲3： IICBnSTR0 レジスタ= 1-0100X0 0100--00B（IICBnCTL0.IICBnSLWT ビット= 1）
▲4： IICBnSTR0 レジスタ= 1-0100XX 0100--00B（IICBnTRG.IICBnSPT ビット= 1）
△5： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき

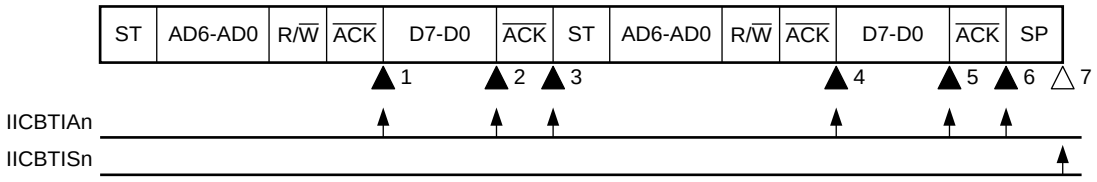


▲1： IICBnSTR0 レジスタ= 1-0100X1 0110--00B
▲2： IICBnSTR0 レジスタ= 1-0100X1 0100--00B
▲3： IICBnSTR0 レジスタ= 1-0100XX 0100--00B（IICBnTRG.IICBnSPT ビット= 1）
△4： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(2) Start～Address～Data～Start～Address～Data～Stop（リスタート）

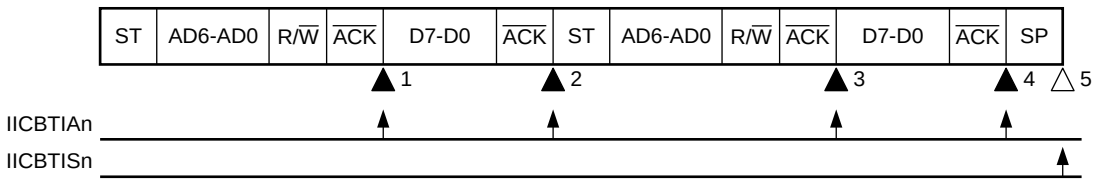
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき



▲1： IICBnSTR0 レジスタ= 1-0100X1 0110--00B
▲2： IICBnSTR0 レジスタ= 1-0100X0 0100--00B（IICBnCTL0.IICBnSLWT ビット=1）
▲3： IICBnSTR0 レジスタ= 1-0100XX 0100--00B（IICBnTRG.IICBnSTT ビット= 1,
IICBnCTL0.IICBnSLWT ビット= 0）
▲4： IICBnSTR0 レジスタ= 1-0100X1 0110--00B
▲5： IICBnSTR0 レジスタ= 1-0100X0 0100--00B（IICBnCTL0.IICBnSLWT ビット= 1）
▲6： IICBnSTR0 レジスタ= 1-0100XX 0100--00B（IICBnTRG.IICBnSPT ビット= 1）
△7： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき

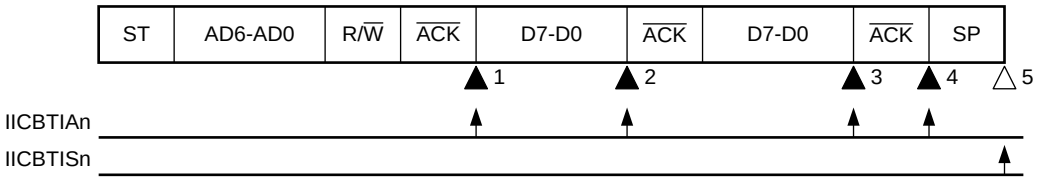


▲1： IICBnSTR0 レジスタ= 1-0100X1 0110--00B
▲2： IICBnSTR0 レジスタ= 1-0100XX 0100--00B（IICBnTRG.IICBnSTT ビット= 1）
▲3： IICBnSTR0 レジスタ= 1-0100X1 0110--00B
▲4： IICBnSTR0 レジスタ= 1-0100XX 0100--00B（IICBnTRG.IICBnSPT ビット= 1）
△5： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(3) Start～Code～Data～Data～Stop（拡張コード送信）

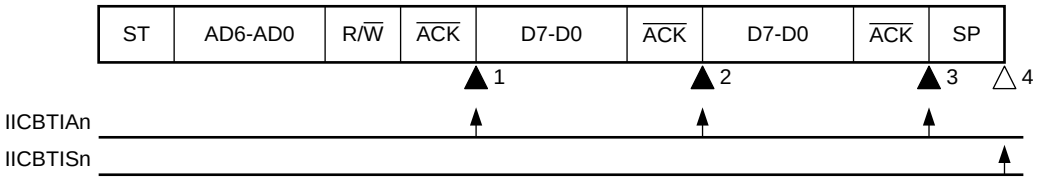
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき



▲1： IICBnSTR0 レジスタ= 1-0110X1 0110--00B
▲2： IICBnSTR0 レジスタ= 1-0110X0 0100--00B
▲3： IICBnSTR0 レジスタ= 1-0110X0 0100--00B（IICBnCTL0.IICBnSLWT ビット= 1）
▲4： IICBnSTR0 レジスタ= 1-0110XX 0100--00B（IICBnTRG.IICBnSPT ビット= 1）
△5： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき



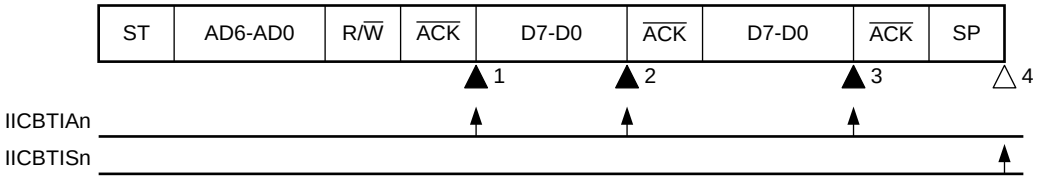
▲1： IICBnSTR0 レジスタ= 1-0110X1 0110--00B
▲2： IICBnSTR0 レジスタ= 1-0110X1 0100--00B
▲3： IICBnSTR0 レジスタ= 1-0110XX 0100--00B（IICBnTRG.IICBnSPT ビット= 1）
△4： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

21.8.2 シングル転送モード（スレーブ動作：スレーブ・アドレス受信時（IICBnSTR0.IICBnSSC0 ビット= 1））

(1) Start～Address～Data～Data～Stop

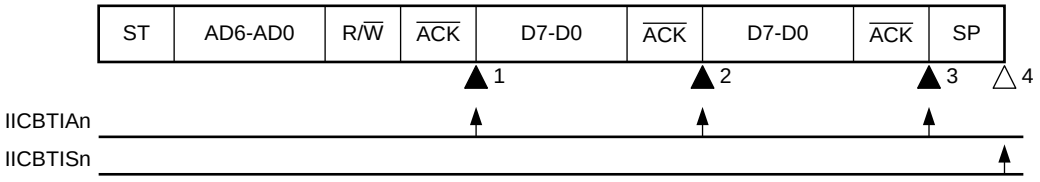
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき



▲1： IICBnSTR0 レジスタ= 0-0101X1 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0101X0 0100--00B
▲3： IICBnSTR0 レジスタ= 0-0101X0 0100--00B
△4： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき

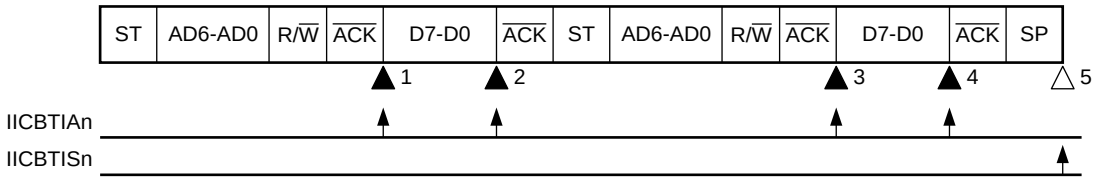


▲1： IICBnSTR0 レジスタ= 0-0101X1 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0101X1 0100--00B
▲3： IICBnSTR0 レジスタ= 0-0101XX 0100--00B
△4： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(2) Start～Address～Data～Start～Address～Data～Stop

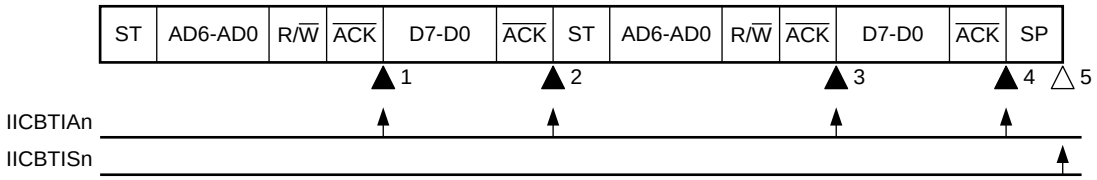
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき（リスタート後、アドレス一致）



▲1： IICBnSTR0 レジスタ= 0-0101X1 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0101X0 0100--00B
▲3： IICBnSTR0 レジスタ= 0-0101X1 0110--00B
▲4： IICBnSTR0 レジスタ= 0-0101X0 0100--00B
△5： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき（リスタート後、アドレス一致）

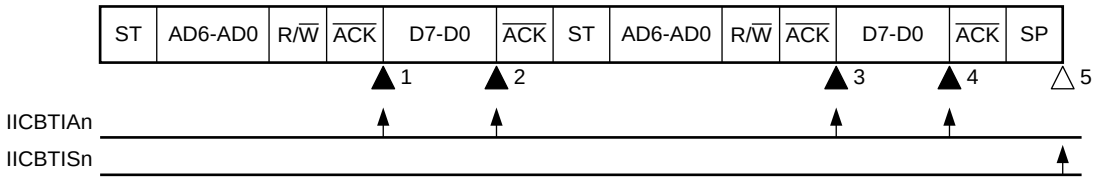


▲1： IICBnSTR0 レジスタ= 0-0101X1 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0101XX 0100--00B
▲3： IICBnSTR0 レジスタ= 0-0101X1 0110--00B
▲4： IICBnSTR0 レジスタ= 0-0101XX 0100--00B
△5： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(3) Start～Address～Data～Start～Code～Data～Stop

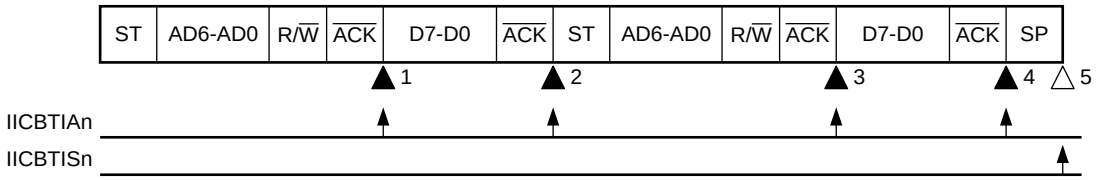
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき（リスタート後、拡張コード受信）



▲1： IICBnSTR0 レジスタ= 0-0101X1 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0101X0 0100--00B
▲3： IICBnSTR0 レジスタ= 0-0110X1 0110--00B
▲4： IICBnSTR0 レジスタ= 0-0110X0 0100--00B
△5： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき（リスタート後、拡張コード受信）

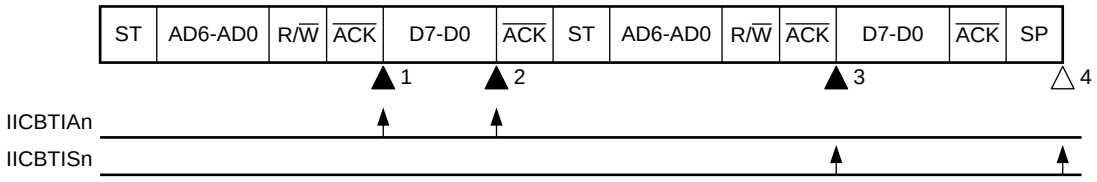


▲1： IICBnSTR0 レジスタ= 0-0101X1 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0101XX 0100--00B
▲3： IICBnSTR0 レジスタ= 0-0110X1 0110--00B
▲4： IICBnSTR0 レジスタ= 0-0110XX 0100--00B
△5： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(4) Start～Address～Data～Start～Address～Data～Stop

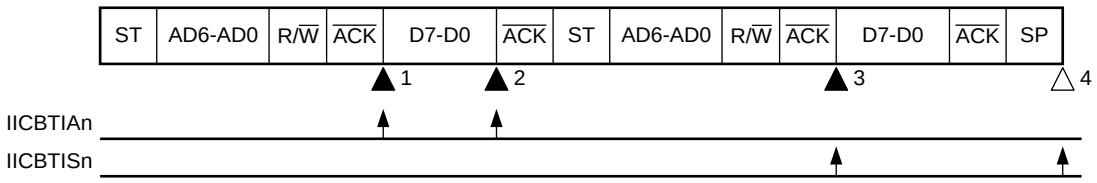
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき（リスタート後、アドレス不一致（拡張コード不一致））



▲1： IICBnSTR0 レジスタ= 0-0101X1 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0101X0 0100--00B
▲3： IICBnSTR0 レジスタ= 0-0000X0 0110--00B
△4： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき（リスタート後、アドレス不一致（拡張コード不一致））



▲1： IICBnSTR0 レジスタ= 0-0101X1 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0101X0 0100--00B
▲3： IICBnSTR0 レジスタ= 0-0000X0 0110--00B
△4： IICBnSTR0 レジスタ= 0-000000 0001--00B

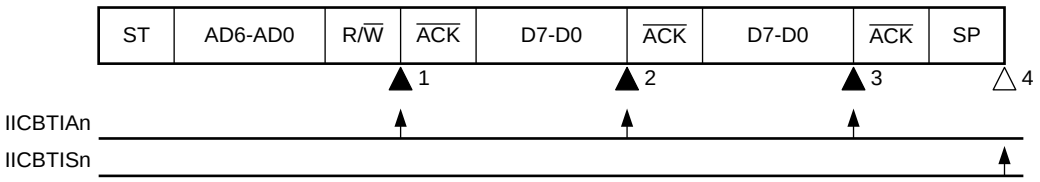
備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

21.8.3 シングル転送モード（スレーブ動作：拡張コード受信時（IICBnSTR0.IICBnSSEX ビット= 1））

拡張コード受信時は常に通信に参加しています。

(1) Start～Code～Data～Data～Stop

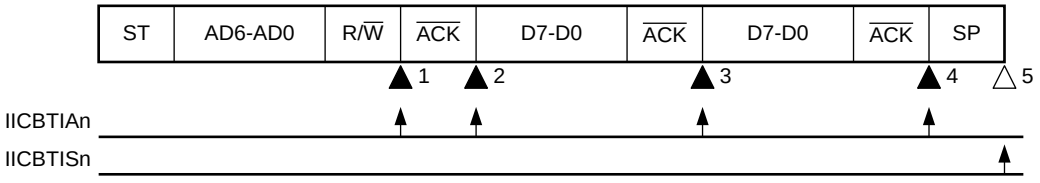
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき



▲1： IICBnSTR0 レジスタ= 0-0110X0 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0110X0 0100--00B
▲3： IICBnSTR0 レジスタ= 0-0110X0 0100--00B
△4： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき

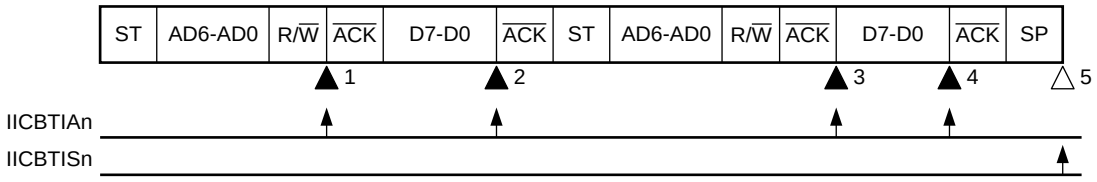


▲1： IICBnSTR0 レジスタ= 0-0110X0 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0110X1 0110--00B
▲3： IICBnSTR0 レジスタ= 0-0110X0 0100--00B
▲4： IICBnSTR0 レジスタ= 0-0110XX 0100--00B
△5： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(2) Start～Code～Data～Start～Address～Data～Stop

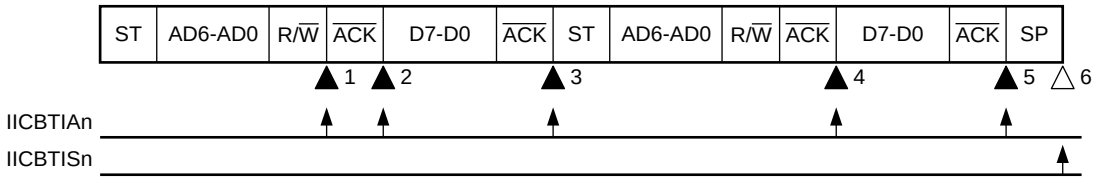
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき（リスタート後、アドレス一致）



▲1： IICBnSTR0 レジスタ= 0-0110X0 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0110X0 0100--00B
▲3： IICBnSTR0 レジスタ= 0-0101X1 0110--00B
▲4： IICBnSTR0 レジスタ= 0-0101X0 0100--00B
△5： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき（リスタート後、アドレス一致）

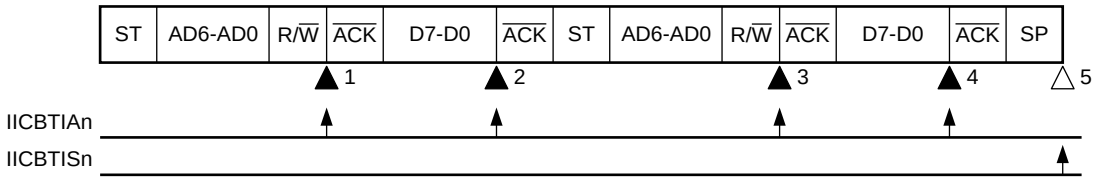


▲1： IICBnSTR0 レジスタ= 0-0110X0 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0110X1 0110--00B
▲3： IICBnSTR0 レジスタ= 0-0110X0 0100--00B
▲4： IICBnSTR0 レジスタ= 0-0101X1 0110--00B
▲5： IICBnSTR0 レジスタ= 0-0101XX 0100--00B
△6： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(3) Start～Code～Data～Start～Code～Data～Stop

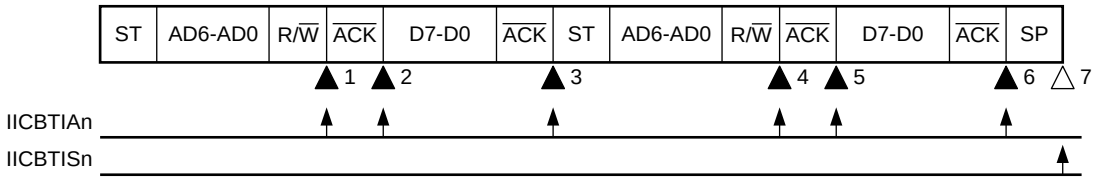
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき（リスタート後、拡張コード受信）



▲1： IICBnSTR0 レジスタ= 0-0110X0 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0110X0 0100--00B
▲3： IICBnSTR0 レジスタ= 0-0110X0 0110--00B
▲4： IICBnSTR0 レジスタ= 0-0110X0 0100--00B
△5： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき（リスタート後、拡張コード受信）

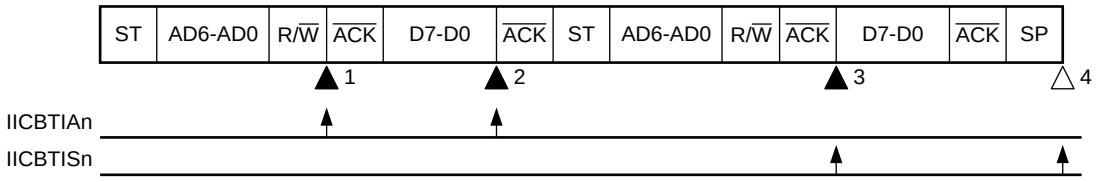


▲1： IICBnSTR0 レジスタ= 0-0110X0 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0110X1 0110--00B
▲3： IICBnSTR0 レジスタ= 0-0110XX 0100--00B
▲4： IICBnSTR0 レジスタ= 0-0110X0 0110--00B
▲5： IICBnSTR0 レジスタ= 0-0110X1 0110--00B
▲6： IICBnSTR0 レジスタ= 0-0110XX 0100--00B
△7： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(4) Start～Code～Data～Start～Address～Data～Stop

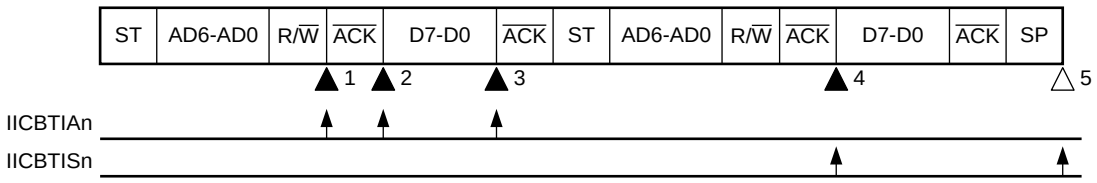
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき（リスタート後、アドレス不一致（拡張コード不一致））



▲1： IICBnSTR0 レジスタ= 0-0110X0 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0110X0 0100--00B
▲3： IICBnSTR0 レジスタ= 0-0000X0 0110--00B
△4： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき（リスタート後、アドレス不一致（拡張コード不一致））

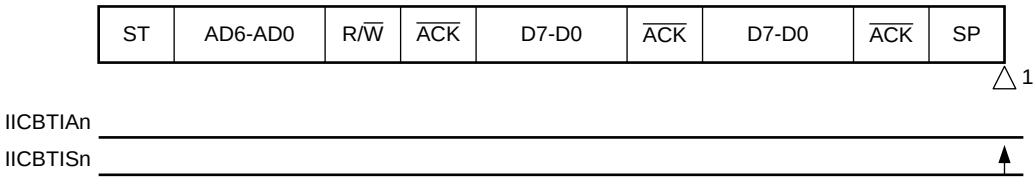


▲1： IICBnSTR0 レジスタ= 0-0110X0 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0110X1 0110--00B
▲3： IICBnSTR0 レジスタ= 0-0000X0 0100--00B
▲4： IICBnSTR0 レジスタ= 0-0000X0 0110--00B
△5： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

21.8.4 シングル転送モード（通信不参加の動作）

(1) Start～Code～Data～Data～Stop



△1： IICBnSTR0 レジスタ= 0-000000 0001--00B

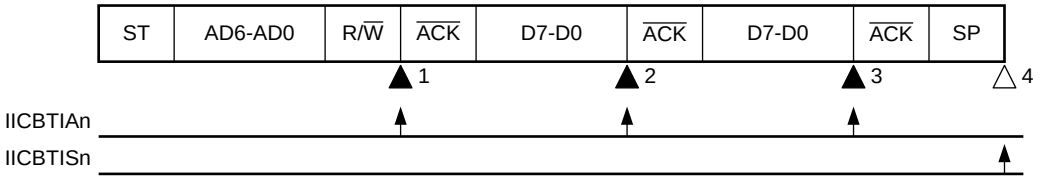
備考 △ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

21.8.5 シングル転送モード（アービトレーション負けの動作（IICBnSTR0.IICBnALDF ビット= 1）：アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は IICBTISn 割り込み発生ごとに IICBnSTR0.IICBnALDF ビットをリードし、アービトレーション結果を確認してください。

(1) アービトレーションに負けたあと、アドレス一致の場合

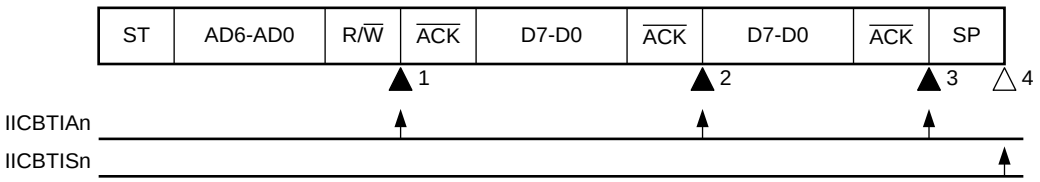
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき



▲1： IICBnSTR0 レジスタ= 0-0101X1 0110--01B（IICBnSTRC.IICBnCLAF ビット= 1）
▲2： IICBnSTR0 レジスタ= 0-0101X0 0100--00B
▲3： IICBnSTR0 レジスタ= 0-0101X0 0100--00B
△4： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき

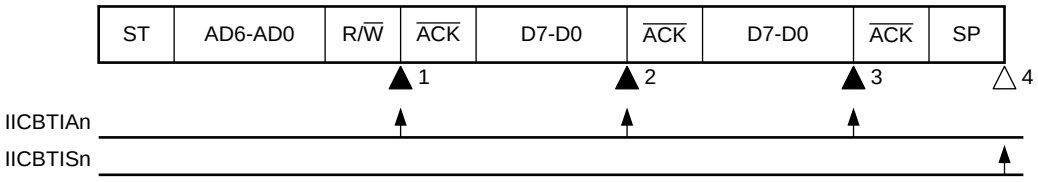


▲1： IICBnSTR0 レジスタ= 0-0101X1 0110--01B（IICBnSTRC.IICBnCLAF ビット= 1）
▲2： IICBnSTR0 レジスタ= 0-0101X1 0100--00B
▲3： IICBnSTR0 レジスタ= 0-0101XX 0100--00B
△4： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(2) アービトレーションに負けたあと、拡張コードを検出した場合

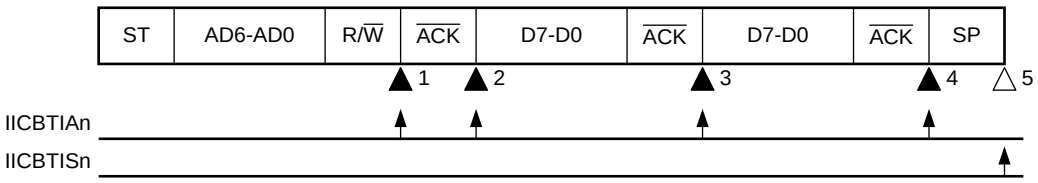
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき



▲1： IICBnSTR0 レジスタ= 0-0110X0 0110--01B（IICBnSTRC.IICBnCLAF ビット= 1）
▲2： IICBnSTR0 レジスタ= 0-0110X0 0100--00B
▲3： IICBnSTR0 レジスタ= 0-0110X0 0100--00B
△4： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき



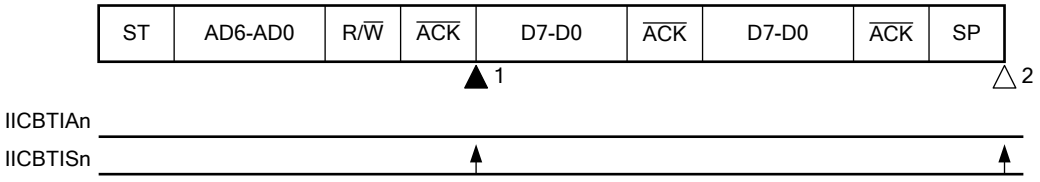
▲1： IICBnSTR0 レジスタ= 0-0110X0 0110--01B（IICBnSTRC.IICBnCLAF ビット= 1）
▲2： IICBnSTR0 レジスタ= 0-0110X1 0110--00B
▲3： IICBnSTR0 レジスタ= 0-0110X0 0100--00B
▲4： IICBnSTR0 レジスタ= 0-0110XX 0100--00B
△5： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

21.8.6 シングル転送モード（アービトレーション負けの動作（IICBnSTR0.IICBnALDF ビット= 1）：アービトレーション負けのあと、不参加）

マルチマスタ・システムでマスタとして使用する場合は IICBTISn 割り込み発生ごとに IICBnSTR0.IICBnALDF ビットをリードし、アービトレーション結果を確認してください。

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

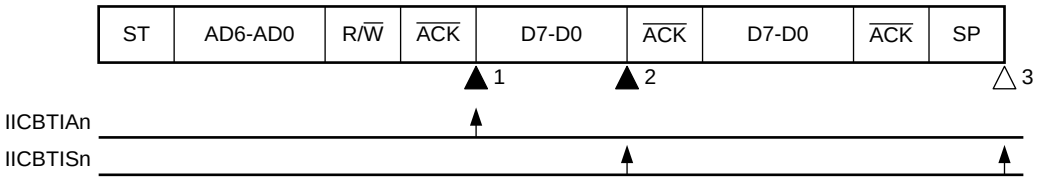


▲1： IICBnSTR0 レジスタ= 0-0000X1 0110--01B（IICBnSTRC.IICBnCLAF ビット= 1）
△2： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(2) データ転送時にアービトレーションに負けた場合

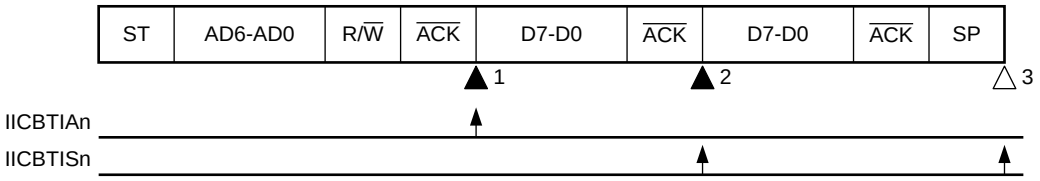
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき



▲1： IICBnSTR0 レジスタ= 1-1000X1 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0000X0 0100--01B（IICBnSTRC.IICBnCLAF ビット= 1）
△3： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき

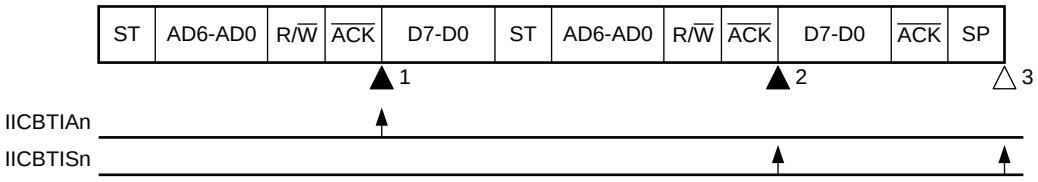


▲1： IICBnSTR0 レジスタ= 1-1000X1 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0000X0 0100--01B（IICBnSTRC.IICBnCLAF ビット= 1）
△3： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(3) データ転送時にリスタート・コンディションで負けた場合

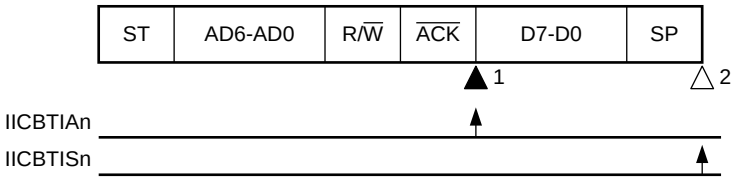
(a) IICBnCTL0.IICBnSLWT ビット= 1 のとき（拡張コード不一致、アドレス不一致）



▲1： IICBnSTR0 レジスタ= 1-1000X1 0110--00B
▲2： IICBnSTR0 レジスタ= 0-0000X0 0100--01B（IICBnSTRC.IICBnCLAF ビット= 1）
△3： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(4) データ転送時にストップ・コンディションで負けた場合

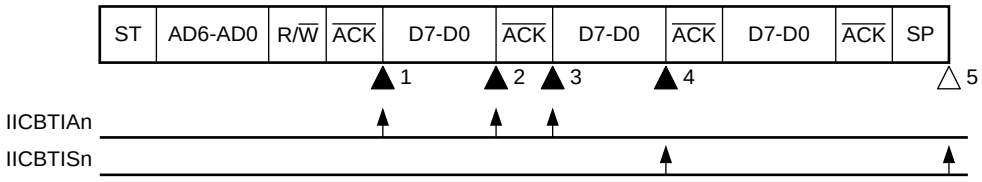


▲1： IICBnSTR0 レジスタ= 1-1000X1 0110--00B
△2： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビットの設定とは関係なく発生
- 不定
X 任意

(5) リスタート・コンディションを発生しようとしたが、SDAn 端子がロー・レベルでアービトレーションに負けた場合

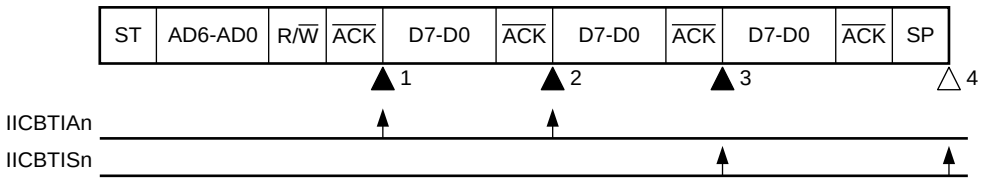
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき



▲1： IICBnSTR0 レジスタ= 1-1000X1 0110--00B
▲2： IICBnSTR0 レジスタ= 1-1000X0 0100--00B（IICBnCTL0.IICBnSLWT ビット= 1）
▲3： IICBnSTR0 レジスタ= 1-1000XX 0100--00B（IICBnCTL0.IICBnSLWT ビット= 0, IICBnTRG.IICBnSTT ビット= 1）
▲4： IICBnSTR0 レジスタ= 0-0000X0 0100--01B（IICBnSTRC.IICBnCLAF ビット= 1）
△5： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき

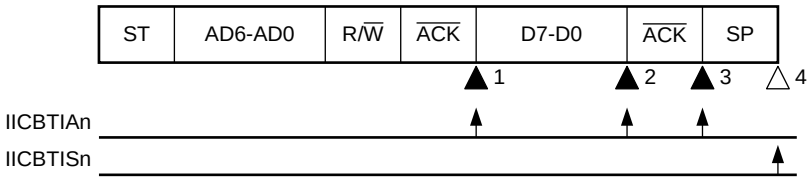


▲1： IICBnSTR0 レジスタ= 1-1000X1 0110--00B
▲2： IICBnSTR0 レジスタ= 1-1000XX 0100--00B（IICBnCTL0.IICBnSLWT ビット= 0, IICBnTRG.IICBnSTT ビット= 1）
▲3： IICBnSTR0 レジスタ= 0-0000X0 0100--01B（IICBnSTRC.IICBnCLAF ビット= 1）
△4： IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(6) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

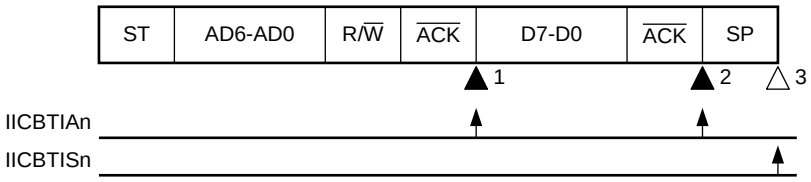
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき



▲1： IICBnSTR0 レジスタ= 1-1000X1 0110--00B
▲2： IICBnSTR0 レジスタ= 1-1000X0 0100--00B（IICBnCTL0.IICBnSLWT ビット= 0）
▲3： IICBnSTR0 レジスタ= 1-0000XX 0100--00B（IICBnTRG.IICBnSTT ビット= 1）
△4： IICBnSTR0 レジスタ= 0-000000 0001--01B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビットの設定とは関係なく発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき

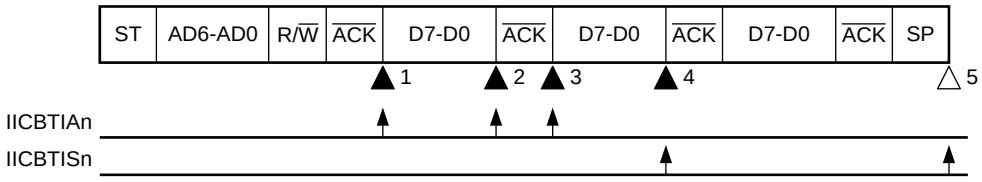


▲1： IICBnSTR0 レジスタ= 1-1000X1 0110--00B
▲2： IICBnSTR0 レジスタ= 1-0000XX 0100--00B（IICBnTRG.IICBnSTT ビット= 1）
△3： IICBnSTR0 レジスタ= 0-000000 0001--01B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビットの設定とは関係なく発生
- 不定
X 任意

(7) ストップ・コンディションを発生しようとしたが、SDAn 端子がロー・レベルでアービトレーションに負けた場合

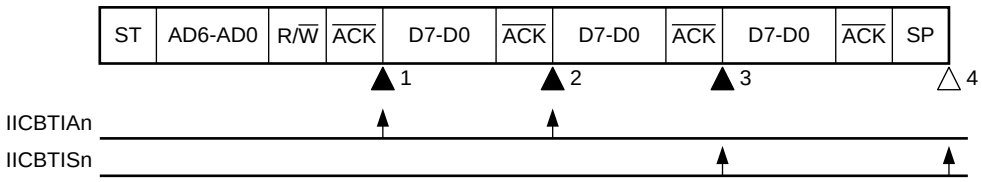
(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき



▲1： IICBnSTR0 レジスタ= 1-1000X1 0110--00B
▲2： IICBnSTR0 レジスタ= 1-1000X0 0100--00B（IICBnCTL0.IICBnSLWT ビット= 1）
▲3： IICBnSTR0 レジスタ= 1-1000XX 0100--00B（IICBnCTL0.IICBnSLWT ビット= 0, ICBnTRG.IICBnSPT ビット= 1）
▲4： IICBnSTR0 レジスタ= 0-0000XX 0100--01B（IICBnSTRC.IICBnCLAF ビット= 1）
△5： IICBnSTR0 レジスタ= 0-000000 0001--01B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(b) IICBnCTL0.IICBnSLWT ビット= 1 のとき



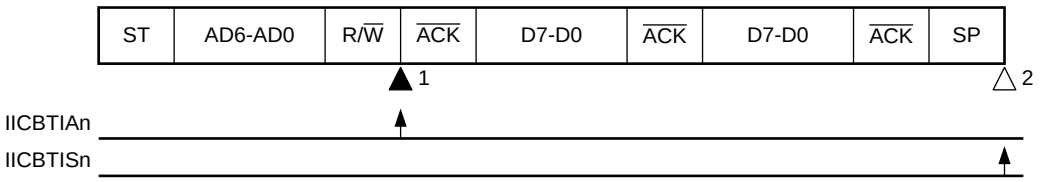
▲1： IICBnSTR0 レジスタ= 1-1000X1 0110--00B
▲2： IICBnSTR0 レジスタ= 1-1000XX 0100--00B（IICBnTRG.IICBnSPT ビット= 1）
▲3： IICBnSTR0 レジスタ= 0-0000XX 0100--01B（IICBnSTRC.IICBnCLAF ビット= 1）
△4： IICBnSTR0 レジスタ= 0-000000 0001--01B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

21.8.7 シングル転送モード（アービトレーション負けの動作（IICBnSTR0.IICBnALDF ビット= 1）：アービトレーション負けのあと、不参加（拡張コード転送中の場合））

マルチマスタ・システムでマスタとして使用する場合は IICBTISn 割り込み発生ごとに IICBnSTR0.IICBnALDF ビットをリードし、アービトレーション結果を確認してください。

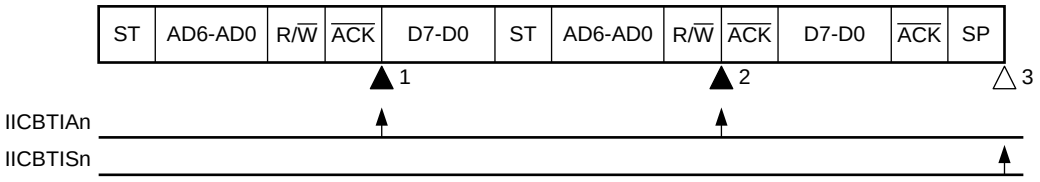
(1) 拡張コード転送中にアービトレーションに負けた場合



▲1： IICBnSTR0 レジスタ= 0-1100X0 0110--01B（IICBnSTRC.IICBnCLAF ビット= 1, IICBnTRG.IICBnLRET ビット= 1）
△2： IICBnSTR0 レジスタ= 0-000000 0001--01B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(2) データ転送時にリスタート・コンディションで負けた場合（拡張コード一致）



▲1： IICBnSTR0 レジスタ= 1-1000X1 0110--00B
▲2： IICBnSTR0 レジスタ= 0-1100X0 0100--01B（IICBnSTRC.IICBnCLAF ビット= 1, IICBnTRG.IICBnLRET ビット= 1）
△3： IICBnSTR0 レジスタ= 0-000000 0001--01B

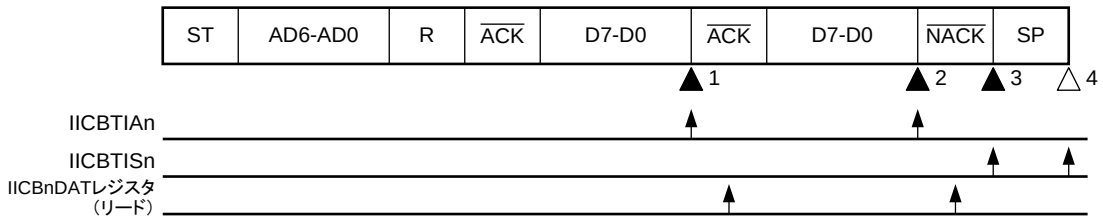
備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

21.8.8 連続転送モード（マスタ（受信））

備考 [ ]で括られた割り込みは、ウェイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[ ]で括られた割り込みは発生しません。

(1) Start～Address～Data～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき

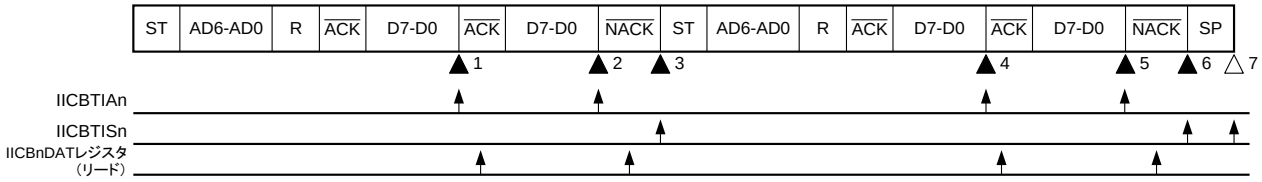


[▲1：IICBnSTR0 レジスタ= 1-100000 0100--00B]
IICBnCTL0.IICBnSLAC ビット= 0
IICBnDAT レジスタ・リード
[▲2：IICBnSTR0 レジスタ= 1-100000 0100--00B]
IICBnDAT レジスタ・リード
→ IICBnSTR0 レジスタ= 1-000000 0100--00B
▲3：IICBnSTR0 レジスタ= 1-010000 0100--00B
→ IICBnTRG.IICBnSPT ビット= 1
△4：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(2) Start～Address～Data×2～Start～Address～Data×2～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき

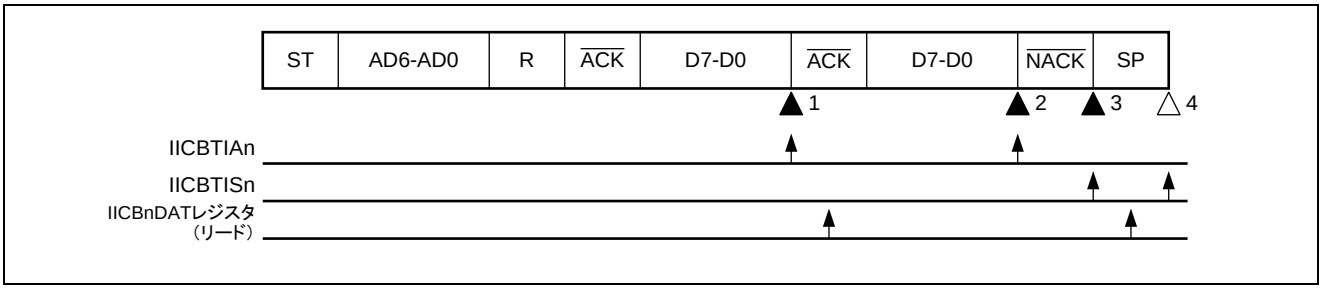


[▲1：IICBnSTR0 レジスタ= 1-100001 0100--00B]
IICBnCTL0.IICBnSLAC ビット= 0
IICBnDAT レジスタ・リード
[▲2：IICBnSTR0 レジスタ= 1-100000 0100--00B]
IICBnCTL0.IICBnSLAC ビット= 0
IICBnDAT レジスタ・リード
→ IICBnSTR0 レジスタ= 1-010000 0100--00B
▲3：IICBnSTR0 レジスタ= 1-010000 0100--00B
→ IICBnTRG.IICBnSTT ビット= 1
[▲4：IICBnSTR0 レジスタ= 1-100000 0100--00B]
IICBnDAT レジスタ・リード
[▲5：IICBnSTR0 レジスタ= 1-100000 0100--00B]
IICBnCTL0.IICBnSLAC ビット= 0
IICBnDAT レジスタ・リード
→ IICBnSTR0 レジスタ= 1-000000 0100--00B
▲6：IICBnSTR0 レジスタ= 1-010000 0100--00B
→ IICBnTRG.IICBnSTT ビット= 1
△7：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(3) Start～Code～Data～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき



[▲1：IICBnSTR0 レジスタ= 1-101001 0100--00B]
IICBnDAT レジスタ・リード
→ IICBnSTR0 レジスタ= 1-0010001 0100--00B
[▲2：IICBnSTR0 レジスタ= 1-101000 0100--00B]
IICBnCTL0.IICBnSLAC ビット= 0
IICBnDAT レジスタ・リード
→ IICBnSTR0 レジスタ= 1-011000 0100--00B
▲3：IICBnSTR0 レジスタ= 1-01000 0100--00B
→ IICBnTRG.IICBnSPT ビット= 1
△4：IICBnSTR0 レジスタ= 0-000000 0001--00B

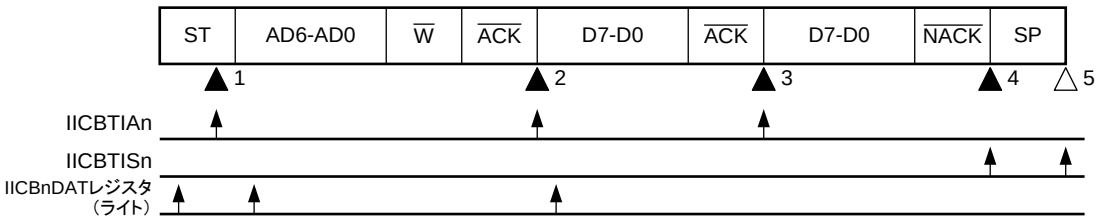
備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

21.8.9 連続転送モード（マスタ（送信））

備考 [ ]で括られた割り込みは、ウェイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[ ]で括られた割り込みは発生しません。

(1) Start～Address～Data～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 1 のとき

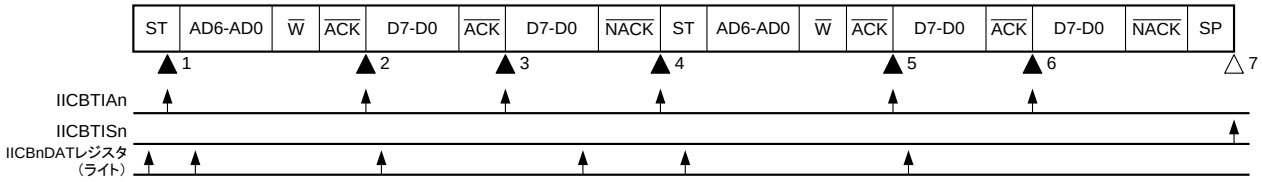


IICBnDAT レジスタ・ライト（アドレス）
[▲1：IICBnSTR0 レジスタ= X-0000X0 0X0X--00B]
IICBnDAT レジスタ・ライト
[▲2：IICBnSTR0 レジスタ= 1-000011 0110--00B]
IICBnDAT レジスタ・ライト
[▲3：IICBnSTR0 レジスタ= 1-000011 0100--00B]
▲4：IICBnSTR0 レジスタ= 1-010010 0100--00B
IICBnTRG.IICBnSPT ビット= 1
△5：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(2) Start～Address～Data×2～Start～Address～Data×2～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 1 のとき

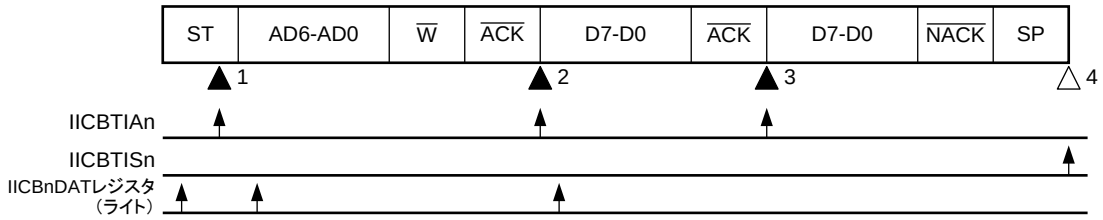


IICBnDAT レジスタ・ライト（アドレス）
[▲1：IICBnSTR0 レジスタ= X-0000X0 0X0X--00B]
IICBnDAT レジスタ・ライト
[▲2：IICBnSTR0 レジスタ= 1-000011 0110--00B]
IICBnDAT レジスタ・ライト
[▲3：IICBnSTR0 レジスタ= 1-000011 0100--00B]
IICBnTRG.IICBnSTT ビット= 1
IICBnDAT レジスタ・ライト（アドレス）
[▲4：IICBnSTR0 レジスタ= 1-000010 010X--00B]
IICBnDAT レジスタ・ライト
[▲5：IICBnSTR0 レジスタ= 1-000011 0110--00B]
IICBnDAT レジスタ・ライト
[▲6：IICBnSTR0 レジスタ= 1-000011 0110--00B]
IICBnTRG.IICBnSPT ビット= 1
IICBnDAT レジスタ・ライト
△7：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(3) Start～Code～Data～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 1 のとき



IICBnDAT レジスタ・ライト（アドレス）
[▲1：IICBnSTR0 レジスタ= X-0000X0 0X0X--00B]
IICBnDAT レジスタ・ライト
[▲2：IICBnSTR0 レジスタ= 1-000011 0110--00B]
IICBnDAT レジスタ・ライト
[▲3：IICBnSTR0 レジスタ= 1-000011 0100--00B]
IICBnTRG.IICBnSPT ビット= 1
△4：IICBnSTR0 レジスタ= 0-000000 0001--00B

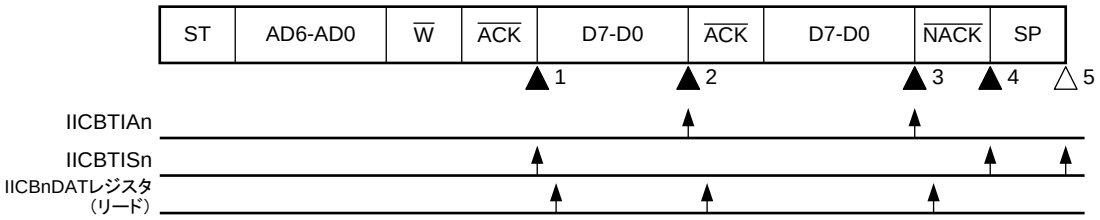
備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

21.8.10 連続転送モード（スレーブ（受信）：スレーブ・アドレス受信時（IICBnSTR0.IICBnSSC0 ビット= 1））

備考 [ ]で括られた割り込みは、ウェイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[ ]で括られた割り込みは発生しません。

(1) Start～Address～Data～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき

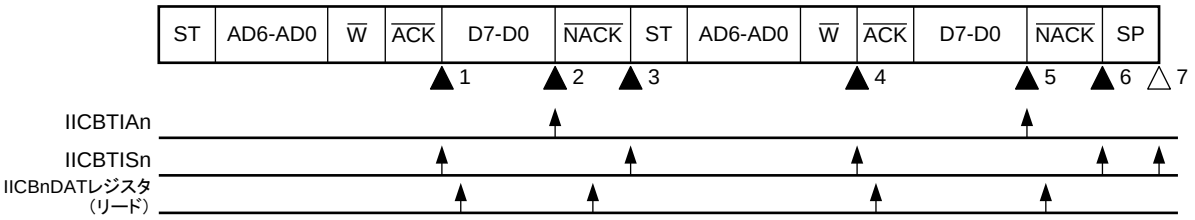


[▲1：IICBnSTR0 レジスタ= 0-100101 0110--00B]
IICBnDAT レジスタ・リード
[▲2：IICBnSTR0 レジスタ= 0-100100 0100--00B]
IICBnDAT レジスタ・リード
→ IICBnSTR0 レジスタ= 0-000100 0100--00B
[▲3：IICBnSTR0 レジスタ= 0-100100 0100--00B]
IICBnCTL0.IICBnSLAC ビット= 0
IICBnDAT レジスタ・リード
→ IICBnSTR0 レジスタ= 0-000100 0100-00B
▲4：IICBnSTR0 レジスタ= 0-010100 0100-00B
IICBnTRG.IICBnWRET ビット= 1
△5：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(2) Start～Address～Data～Start～Address～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき（リスタート後、アドレス一致）

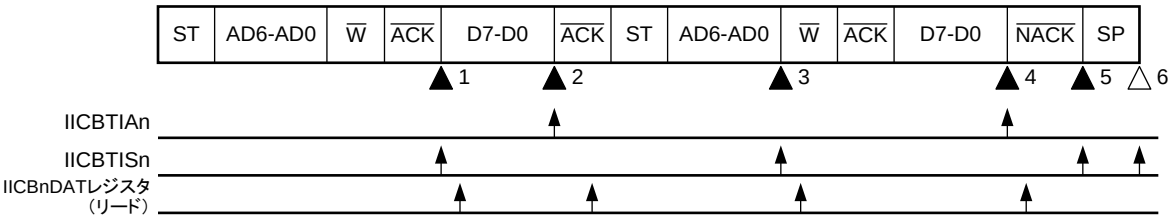


[▲1：IICBnSTR0 レジスタ= 0-110101 0110--00B]
IICBnDAT レジスタ・リード
[▲2：IICBnSTR0 レジスタ= 0-100101 0100--00B]
IICBnCTL0.IICBnSLAC ビット= 0
IICBnDAT レジスタ・リード
▲3：IICBnSTR0 レジスタ= 0-110101 0110--00B
IICBnTRG.IICBnWRET ビット= 1
[▲4：IICBnSTR0 レジスタ= 0-100100 0110--00B]
IICBnCTL0.IICBnSLAC ビット= 0
IICBnDAT レジスタ・リード
→ IICBnSTR0 レジスタ= 0-000100 0110--00B
[▲5：IICBnSTR0 レジスタ= 0-100100 0100--00B]
▲6：IICBnSTR0 レジスタ= 0-010100 0100--00B
IICBnTRG.IICBnWRET ビット= 1
△7：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(3) Start～Address～Data～Start～Code～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき（リスタート後、拡張コード受信）

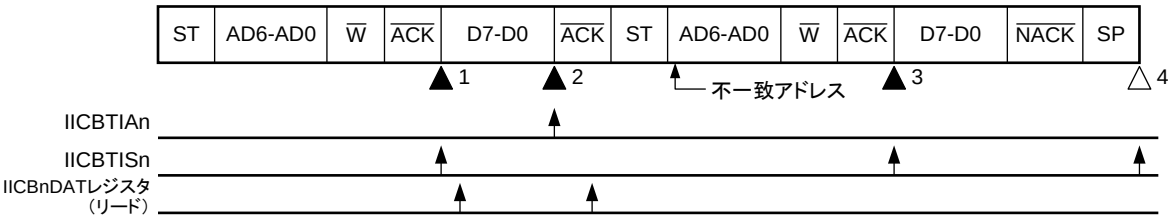


[▲1：IICBnSTR0 レジスタ= 0-100101 0110--00B]
IICBnDAT レジスタ・リード
[▲2：IICBnSTR0 レジスタ= 0-100100 0100--00B]
IICBnDAT レジスタ・リード
[▲3：IICBnSTR0 レジスタ= 0-100100 0110--00B]
IICBnCTL0.IICBnSLAC ビット= 0
IICBnDAT レジスタ・リード
[▲4：IICBnSTR0 レジスタ= 0-100100 0110--00B]
IICBnDAT レジスタ・リード
▲5：IICBnSTR0 レジスタ= 0-111000 0100--00B
IICBnTRG.IICBnWRET ビット= 1
△6：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(4) Start～Address～Data～Start～Address～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき（リスタート後、アドレス不一致（拡張コード不一致））



[▲1：IICBnSTR0 レジスタ= 0-000101 0110--00B]
IICBnDAT レジスタ・リード
[▲2：IICBnSTR0 レジスタ= 0-100100 0100--00B]
IICBnDAT レジスタ・リード
[▲3：IICBnSTR0 レジスタ= 0-000000 0110--00B]
△4：IICBnSTR0 レジスタ= 0-000000 0001--00B

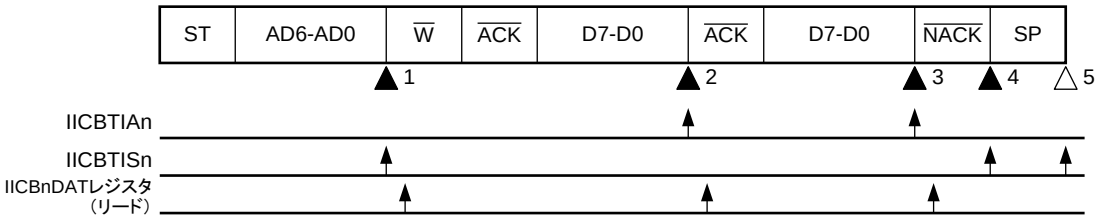
備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

21.8.11 連続転送モード（スレーブ（受信）：拡張コード受信時（IICBnSTR0.IICBnSSEX ビット= 1））

備考 [ ]で括られた割り込みは、ウェイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[ ]で括られた割り込みは発生しません。

(1) Start～Code～Data～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき

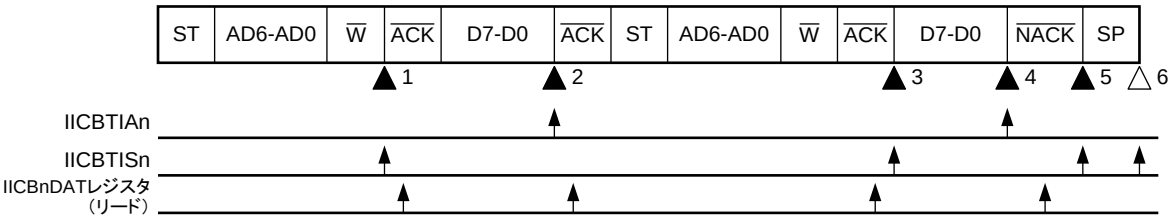


[▲1：IICBnSTR0 レジスタ= 0-101000 0110--00B]
IICBnDAT レジスタ・リード
[▲2：IICBnSTR0 レジスタ= 0-101001 0110--00B]
IICBnCTL0.IICBnSLAC ビット= 0
IICBnDAT レジスタ・リード
[▲3：IICBnSTR0 レジスタ= 0-10001 0100--00B]
IICBnDAT レジスタ・リード
▲4：IICBnSTR0 レジスタ= 0-111000 0100--00B
IICBnTRG.IICBnWRET ビット= 1
△5：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(2) Start～Code～Data～Start～Address～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき（リスタート後、アドレス一致）

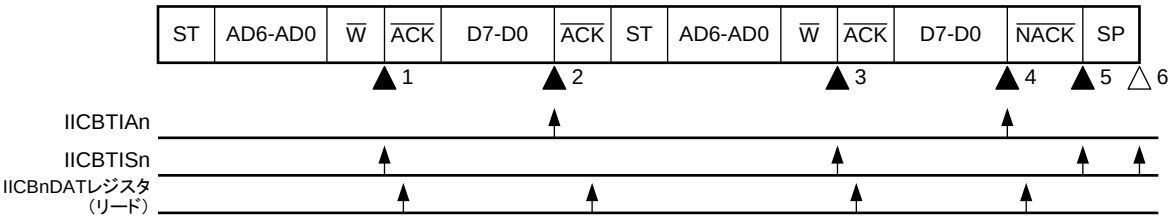


[▲1：IICBnSTR0 レジスタ= 0-101000 0110--00B]
IICBnDAT レジスタ・リード
[▲2：IICBnSTR0 レジスタ= 0-011000 0110--00B]
IICBnDAT レジスタ・リード
[▲3：IICBnSTR0 レジスタ= 0-111001 0100--00B]
IICBnCTL0.IICBnSLAC ビット= 0
IICBnDAT レジスタ・リード
[▲4：IICBnSTR0 レジスタ= 0-010100 0110--00B]
IICBnDAT レジスタ・リード
▲5：IICBnSTR0 レジスタ= 0-110100 0100--00B
IICBnTRG.IICBnWRET ビット= 1
△6：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(3) Start～Code～Data～Start～Code～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき（リスタート後、拡張コード受信）

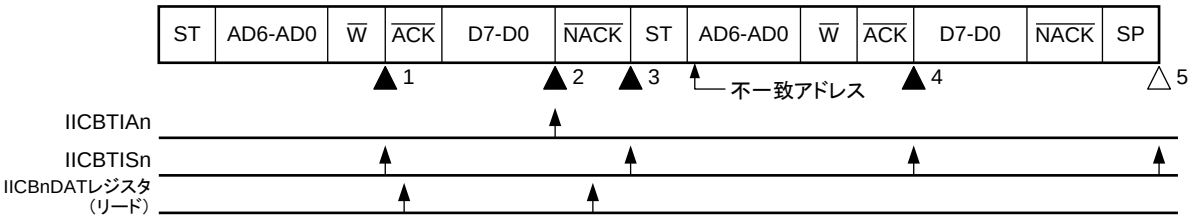


[▲1：IICBnSTR0 レジスタ= 0-101000 0110--00B]
IICBnDAT レジスタ・リード
[▲2：IICBnSTR0 レジスタ= 0-011001 0110--00B]
IICBnDAT レジスタ・リード
[▲3：IICBnSTR0 レジスタ= 0-101000 0110--00B]
IICBnCTL0.IICBnSLAC ビット= 0
IICBnDAT レジスタ・リード
[▲4：IICBnSTR0 レジスタ= 0-101001 0110--00B]
IICBnDAT レジスタ・リード
▲5：IICBnSTR0 レジスタ= 0-011000 0100--00B
IICBnTRG.IICBnWRET ビット= 1
△6：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(4) Start～Code～Data～Start～Address～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 0 のとき（リスタート後、アドレス不一致（拡張コード不一致））



[▲1：IICBnSTR0 レジスタ= 0-101000 0110--00B]
IICBnCTL0.IICBnSLAC ビット= 0
IICBnDAT レジスタ・リード
[▲2：IICBnSTR0 レジスタ= 0-101001 0110--00B]
IICBnCTL0.IICBnSLAC ビット= 0
▲3：IICBnSTR0 レジスタ= 0-010000 0100--00B
IICBnTRG.IICBnWRET ビット= 1
[▲4：IICBnSTR0 レジスタ= 0-000000 0110--00B]
△5：IICBnSTR0 レジスタ= 0-000000 0001--00B

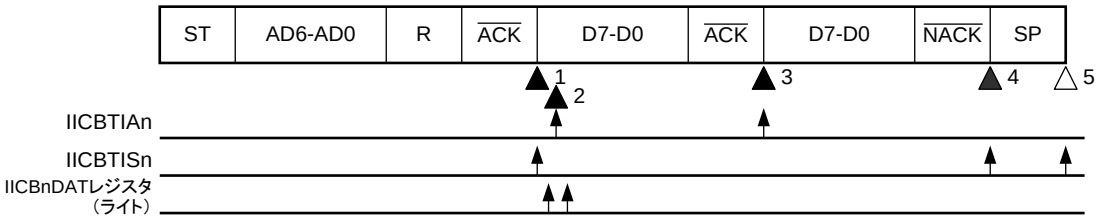
備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

21.8.12 連続転送モード（スレーブ（送信）：スレーブ・アドレス受信時（IICBnSTR0.IICBnSSC0 ビット= 1））

備考 [ ]で括られた割り込みは、ウェイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[ ]で括られた割り込みは発生しません。

(1) Start～Address～Data～Data～Stop

(a) IICBnCTL0.ICBnSLWT ビット= 1 のとき

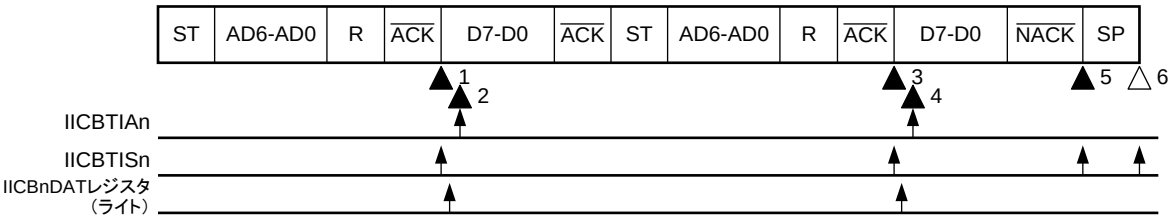


▲1：IICBnSTR0 レジスタ= 0-110111 0110--00B
IICBnDAT レジスタ・ライト
[▲2：IICBnSTR0 レジスタ= 0-00011X 0100--00B]
IICBnDAT レジスタ・ライト
→ IICBnSTR0 レジスタ= 0-100011X 0100--00B
▲3：IICBnSTR0 レジスタ= 0-000111 0100--00B
▲4：IICBnSTR0 レジスタ= 0-010110 0100--00B
△5：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(2) Start～Address～Data～Start～Address～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 1 のとき（リスタート後、アドレス一致）

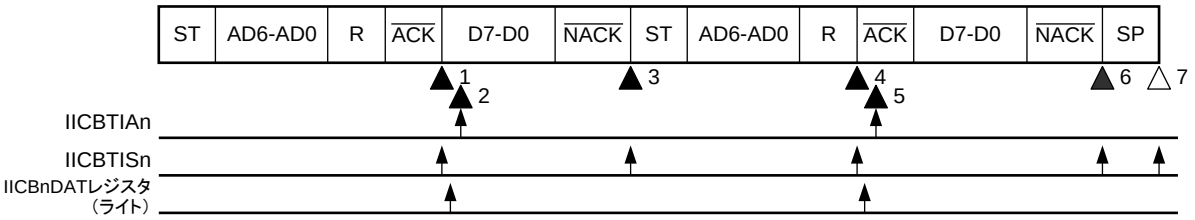


▲1：IICBnSTR0 レジスタ= 0-010111 0110--00B
IICBnDAT レジスタ・ライト
[▲2：IICBnSTR0 レジスタ= 0-00111X 01X0--00B]
▲3：IICBnSTR0 レジスタ= 0-010111 0110--00B
IICBnDAT レジスタ・ライト
[▲4：IICBnSTR0 レジスタ= 0-100101 01X0--00B]
▲5：IICBnSTR0 レジスタ= 0-110100 0100--00B
△6：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(3) Start～Address～Data～Start～Code～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 1 のとき（リスタート後、拡張コード受信）

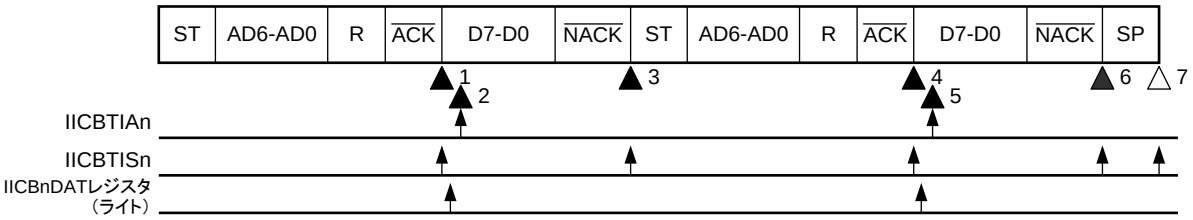


▲1：IICBnSTR0 レジスタ= 0-110111 0110--00B
IICBnDAT レジスタ・ライト
[▲2：IICBnSTR0 レジスタ= 0-100111 0100--00B]
▲3：IICBnSTR0 レジスタ= 0-111010 0110--00B
▲4：IICBnSTR0 レジスタ= 0-111010 0110--00B
IICBnDAT レジスタ・ライト
[▲5：IICBnSTR0 レジスタ= 0-111011 0110--00B]
▲6：IICBnSTR0 レジスタ= 0-111010 0100--00B
△7：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(4) Start～Address～Data～Start～Address～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 1 のとき（リスタート後、アドレス不一致（拡張コード不一致））



▲1：IICBnSTR0 レジスタ= 0-110111 0110--00B
IICBnDAT レジスタ・ライト
[▲2：IICBnSTR0 レジスタ= 0-100111 0100--00B]
▲3：IICBnSTR0 レジスタ= 0-000010 0100--00B
▲4：IICBnSTR0 レジスタ= 0-000011 0110--00B
IICBnDAT レジスタ・ライト
[▲5：IICBnSTR0 レジスタ= 0-00001X 0100--00B]
▲6：IICBnSTR0 レジスタ= 0-000010 0100--00B
△7：IICBnSTR0 レジスタ= 0-000000 0001--00B

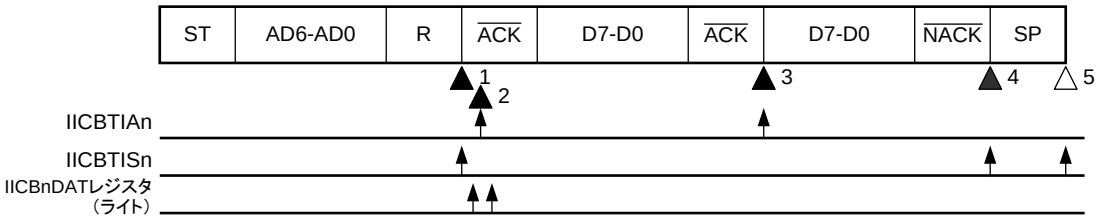
備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

21.8.13 連続転送モード（スレーブ（送信）：拡張コード受信時（IICBnSTR0.IICBnSSEX ビット= 1））

備考 [ ]で括られた割り込みは、ウェイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[ ]で括られた割り込みは発生しません。

(1) Start～Code～Data～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 1 のとき

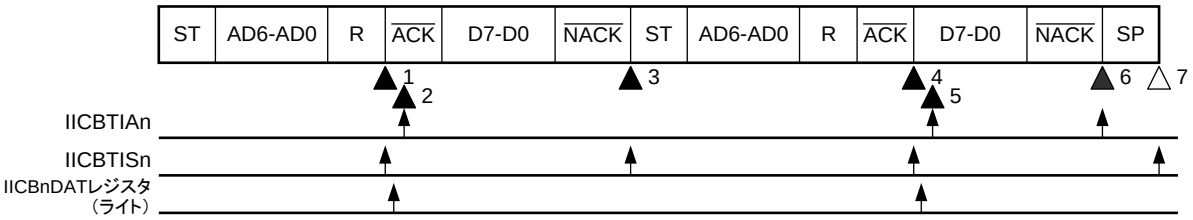


▲1：IICBnSTR0 レジスタ= 0-011010 0110--00B
IICBnDAT レジスタ・ライト
[▲2：IICBnSTR0 レジスタ= 0-011011 0110--00B]
IICBnDAT レジスタ・ライト
[▲3：IICBnSTR0 レジスタ= 0-011011 0100--00B]
▲4：IICBnSTR0 レジスタ= 0-111010 0100--00B
△5：IICBnSTR0 レジスタ= 0-000010 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(2) Start～Code～Data～Start～Address～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 1 のとき（リスタート後、アドレス一致）

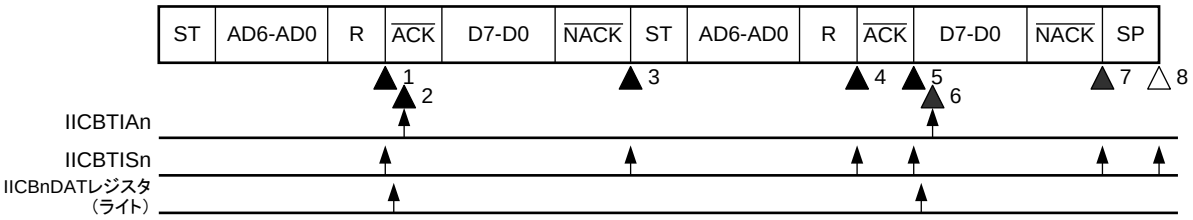


▲1：IICBnSTR0 レジスタ= 0-011000 0110--00B
IICBnDAT レジスタ・ライト
[▲2：IICBnSTR0 レジスタ= 0-011001 0110--00B]
▲3：IICBnSTR0 レジスタ= 0-011000 0100--00B
▲4：IICBnSTR0 レジスタ= 0-010101 0110--00B
IICBnDAT レジスタ・ライト
[▲5：IICBnSTR0 レジスタ= 0-010101 0110--00B]
▲6：IICBnSTR0 レジスタ= 0-010100 0100--00B
△7：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(3) Start～Code～Data～Start～Code～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 1 のとき（リスタート後、拡張コード受信）

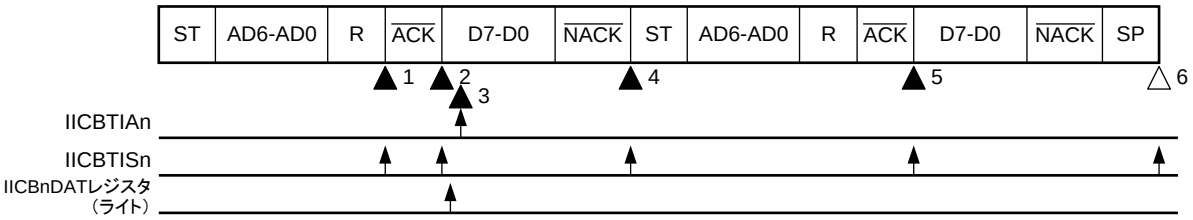


▲1：IICBnSTR0 レジスタ= 0-011000 0110--00B
IICBnDAT レジスタ・ライト
[▲2：IICBnSTR0 レジスタ= 0-011001 0110--00B]
▲3：IICBnSTR0 レジスタ= 0-011000 0100--00B
▲4：IICBnSTR0 レジスタ= 0-011000 0110--00B
▲5：IICBnSTR0 レジスタ= 0-011001 0110--00B
IICBnDAT レジスタ・ライト
[▲6：IICBnSTR0 レジスタ= 0-011001 0110--00B]
▲7：IICBnSTR0 レジスタ= 0-011000 0100--00B
△8：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(4) Start～Code～Data～Start～Address～Data～Stop

(a) IICBnCTL0.IICBnSLWT ビット= 1 のとき（リスタート後、アドレス不一致（拡張コード不一致））

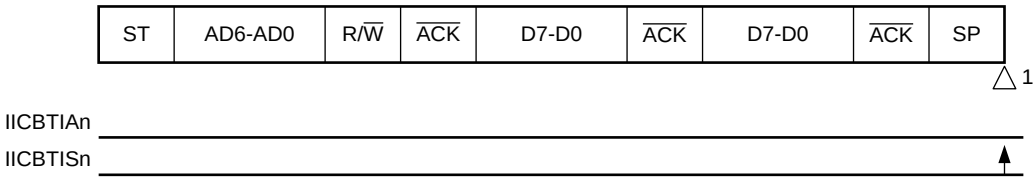


▲1：IICBnSTR0 レジスタ= 0-011000 0110--00B
▲2：IICBnSTR0 レジスタ= 0-011001 0110--00B
IICBnDAT レジスタ・ライト
[▲3：IICBnSTR0 レジスタ= 0-011010 0100--00B]
▲4：IICBnSTR0 レジスタ= 0-000000 0100--00B
▲5：IICBnSTR0 レジスタ= 0-000000 0110--00B
△6：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

21.8.14 連続転送モード（通信不参加の動作）

(1) Start～Code～Data～Data～Stop



△1：IICBnSTR0 レジスタ= 0-0000X0 0001--00B

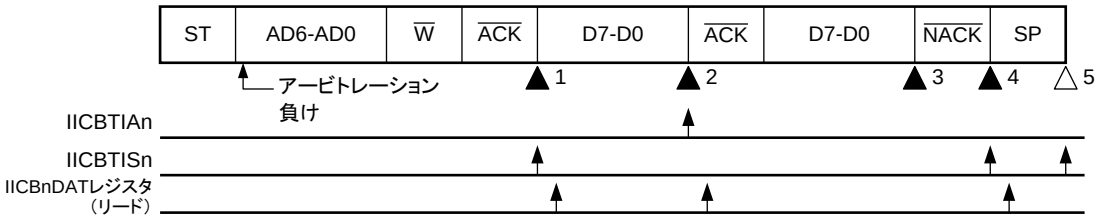
備考 △ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

21.8.15 連続転送モード（アービトレーション負けの動作（IICBnSTR0.IICBnALDF ビット= 1）（受信でアドレスを転送した場合）：アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は IICBTISn 割り込み発生ごとに IICBnSTR0.IICBnALDF ビットをリードし、アービトレーション結果を確認してください。

(1) アービトレーションに負けたあと、アドレス一致の場合

(a) 受信、IICBnCTL0.IICBnSLWT ビット= 0 のとき

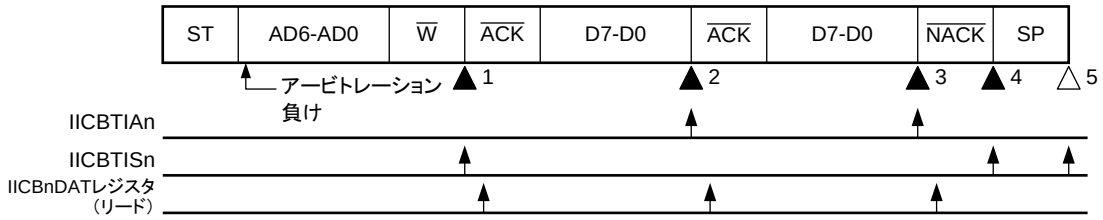


[▲1：IICBnSTR0 レジスタ= 0-100101 0110--01B]
IICBnSTRC.IICBnCLAF ビット= 1
IICBnDAT レジスタ・リード
[▲2：IICBnSTR0 レジスタ= 0-100101 0100--00B]
IICBnCTL0.IICBnSLAC ビット= 0
IICBnDAT レジスタ・リード
[▲3：IICBnSTR0 レジスタ= 0-100100 0100--00B]
IICBnDAT レジスタ・リード
▲4：IICBnSTR0 レジスタ= 0-010100 0100--00B
IICBnTRG.IICBnWRET ビット= 1
△5：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(2) アービトレーションに負けたあと、拡張コードを検出した場合

(a) 受信、IICBnCTL0.IICBnSLWT ビット= 0 のとき



[▲1：IICBnSTR0 レジスタ= 0-101000 0110--01B]
IICBnSTRC.IICBnCLAF ビット= 1
IICBnDAT レジスタ・リード
[▲2：IICBnSTR0 レジスタ= 0-101000 0110--00B]
IICBnCTL0.IICBnSLAC ビット= 0
IICBnDAT レジスタ・リード
[▲3：IICBnSTR0 レジスタ= 0-101000 0100--00B]
IICBnDAT レジスタ・リード
▲4：IICBnSTR0 レジスタ= 0-011000 0100--00B]
IICBnTRG.IICBnWRET ビット= 1
△5：IICBnSTR0 レジスタ= 0-000000 0001--00B

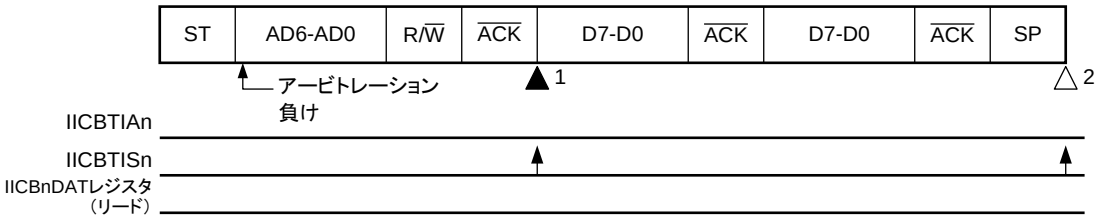
備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

21.8.16 連続転送モード（アービトレーション負けの動作（IICBnSTR0.IICBnALDF ビット= 1）（受信でアドレスを転送した場合）：アービトレーション負けのあと、不参加）

マルチマスタ・システムでマスタとして使用する場合は IICBTISn 割り込み発生ごとに IICBnSTR0.IICBnALDF ビットをリードし、アービトレーション結果を確認してください。

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(a) 受信、IICBnCTL0.IICBnSLWT ビット= 0 のとき

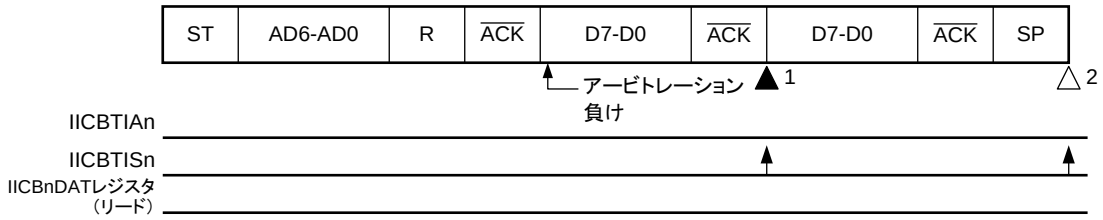


▲1：IICBnSTR0 レジスタ= 0-000001 0110--01B（IICBnSTRC.IICBnCLAF ビット= 1）
△2：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(2) データ転送時にアービトレーションに負けた場合

(a) 受信、IICBnCTL0.IICBnSLWT ビット= 1 のとき

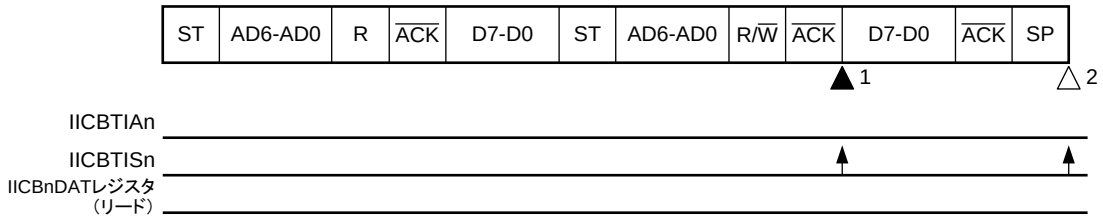


[▲1：IICBnSTR0 レジスタ= 0-000000 0100--01B]
IICBnSTRC.IICBnCLAF ビット= 1
△2：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(3) データ転送時にリスタート・コンディションで負けた場合

(a) 受信、IICBnCTL0.IICBnSLWT ビット= 1 のとき（拡張コード不一致、アドレス不一致）

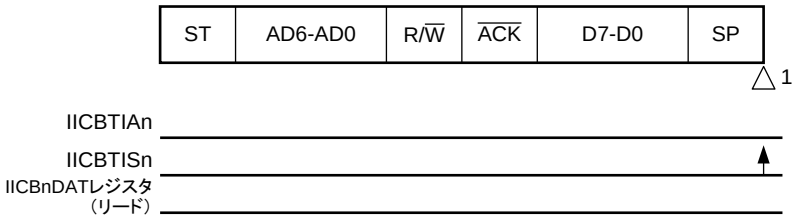


[▲1：IICBnSTR0 レジスタ= 0-000001 0100--01B]
IICBnSTRC.IICBnCLAF ビット= 1
△2：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(4) データ転送時にストップ・コンディションで負けた場合

(a) 受信、IICBnCTL0.IICBnSLWT ビット= 1 のとき

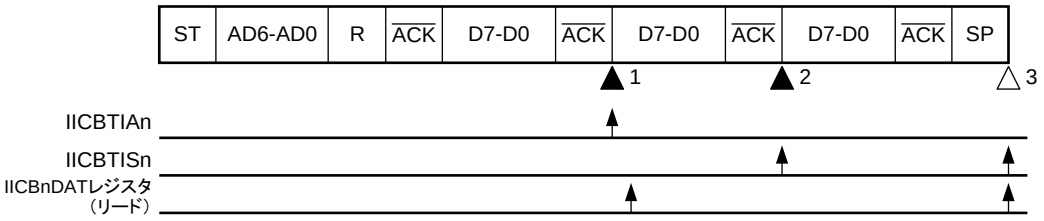


△1：IICBnSTR0 レジスタ= 0-000000 0001--01B
IICBnSTRC.IICBnCLAF ビット= 1

備考 △ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(5) リスタート・コンディションを発生しようとしたが、SDAn 端子がロー・レベルでアービトレーションに負けた場合

(a) IICBnCTL0.IICBnSLWT ビット= 1 のとき

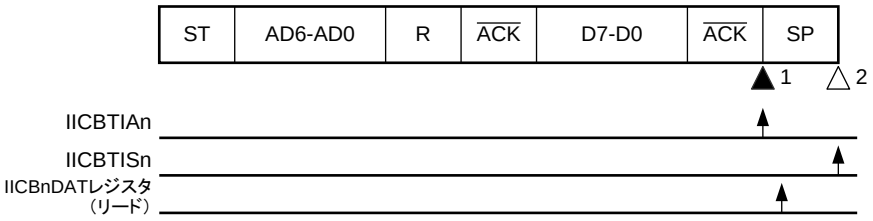


[▲1：IICBnSTR0 レジスタ= 1-1000XX 0100--00B]
IICBnDAT レジスタ・リード
IICBnTRG.IICBnSTT ビット= 1
▲2：IICBnSTR0 レジスタ= 0-000000 0100--01B
IICBnSTRC.IICBnCLAF ビット= 1
△3：IICBnSTR0 レジスタ= 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(6) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(a) IICBnCTL0.IICBnSLWT ビット= 1 のとき

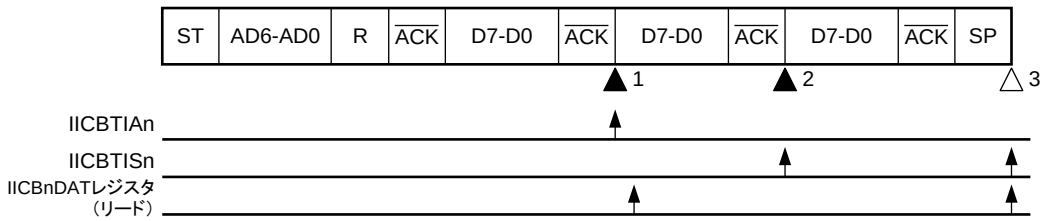


[▲1：IICBnSTR0 レジスタ= 1-000001 0100--00B]
IICBnDAT レジスタ・リード
IICBnTRG.IICBnSTT ビット= 1
△2：IICBnSTR0 レジスタ= 0-000000 0001--01B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定

(7) ストップ・コンディションを発生しようとしたが、SDAn 端子がロー・レベルでアービトレーションに負けた場合

(a) IICBnCTL0.IICBnSLWT ビット= 1 のとき



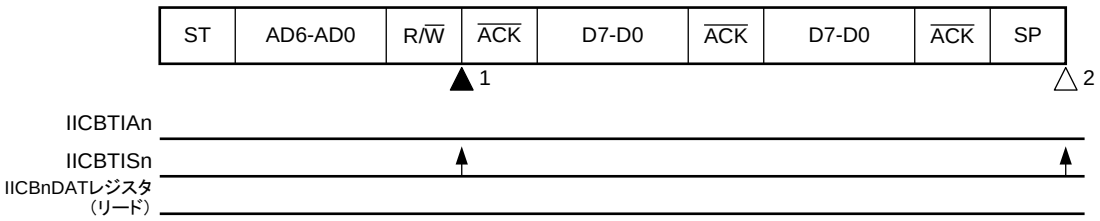
[▲1：IICBnSTR0 レジスタ= 1-1000XX 0100--00B]
IICBnDAT レジスタ・リード
IICBnTRG.IICBnSPT ビット= 1
[▲2：IICBnSTR0 レジスタ= 0-0000XX 0100--01B（IICBnSTRC.IICBnCLAF ビット= 1）]
△3：IICBnSTR0 レジスタ= 0-000000 0001--01B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

21.8.17 連続転送モード（アービトレーション負けの動作（IICBnSTR0.IICBnALDF ビット= 1）（受信でアドレスを転送した場合）：アービトレーション負けのあと、不参加（拡張コード転送中の場合））

マルチマスタ・システムでマスタとして使用する場合は IICBTISn 割り込み発生ごとに IICBnSTR0.IICBnALDF ビットをリードし、アービトレーション結果を確認してください。

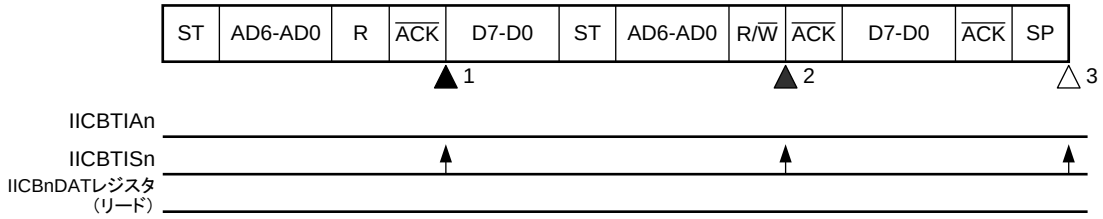
(1) 拡張コード転送中にアービトレーションに負けた場合



[▲1：IICBnSTR0 レジスタ= 0-1000X0 0110--01B]
IICBnSTRC.IICBnCLAF ビット= 1
IICBnTRG.IICBnLRET ビット= 1
△2：IICBnSTR0 レジスタ= 0-000000 0001--01B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット= 1 のときだけ発生
- 不定
X 任意

(2) データ転送時にリスタート・コンディションでアービトレーションに負けた場合（拡張コード一致）



▲1：IICBnSTR0 レジスタ= 1-0000X1 0110--00B

▲2：IICBnSTR0 レジスタ= 0-0100X0 0100--01B（IICBnSTRC.IICBnCLAF ビット= 1, IICBnTRG.IICBnLRET ビット= 1）

△3：IICBnSTR0 レジスタ= 0-000000 0001--01B

備考 ▲ 必ず発生

△ IICBnCTL0.nSLSI ビット= 1 のときだけ発生

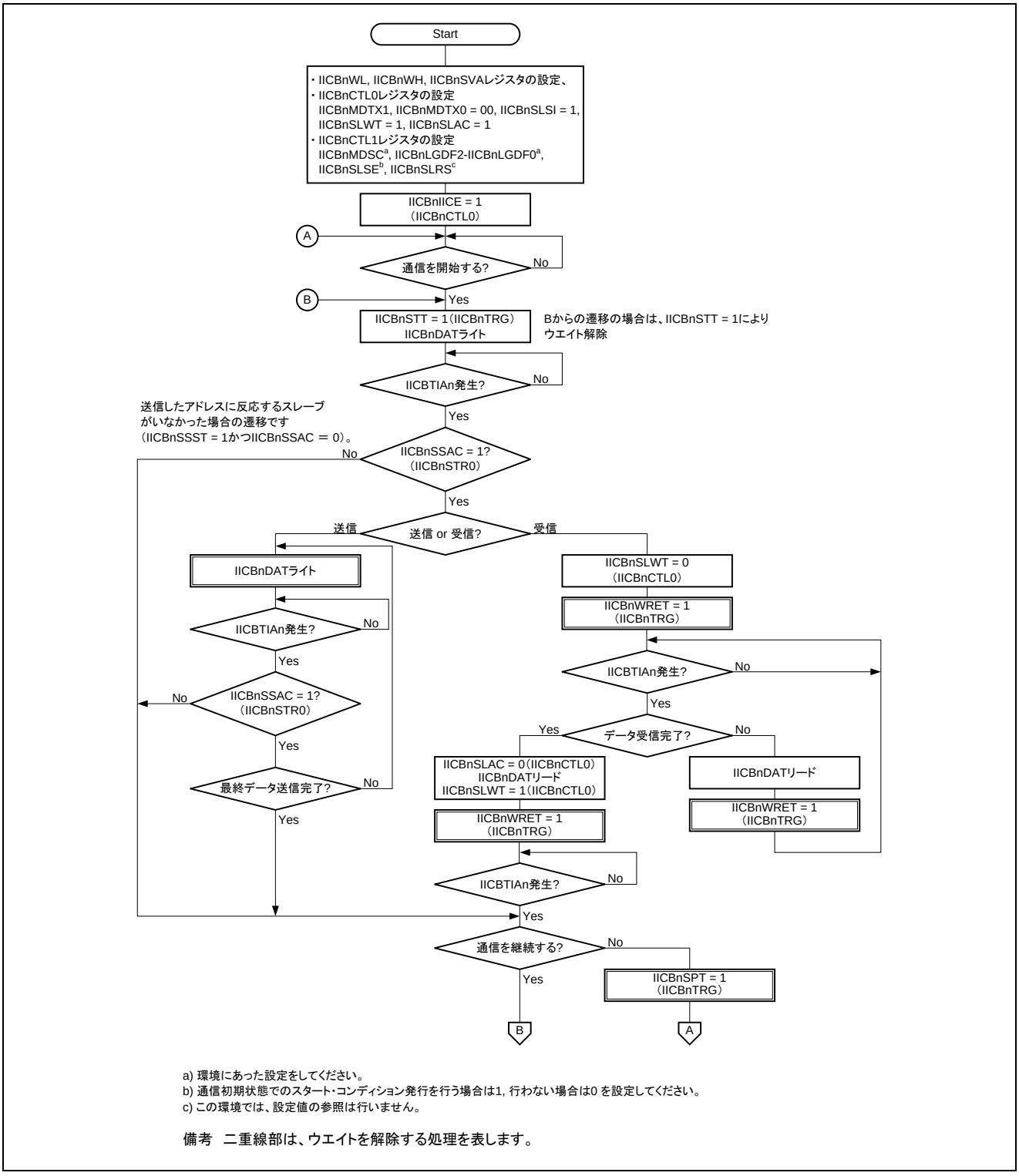
- 不定

X 任意

21.9 設定手順

21.9.1 シングルマスタ環境

(1) シングル転送モード時のマスタ動作設定手順

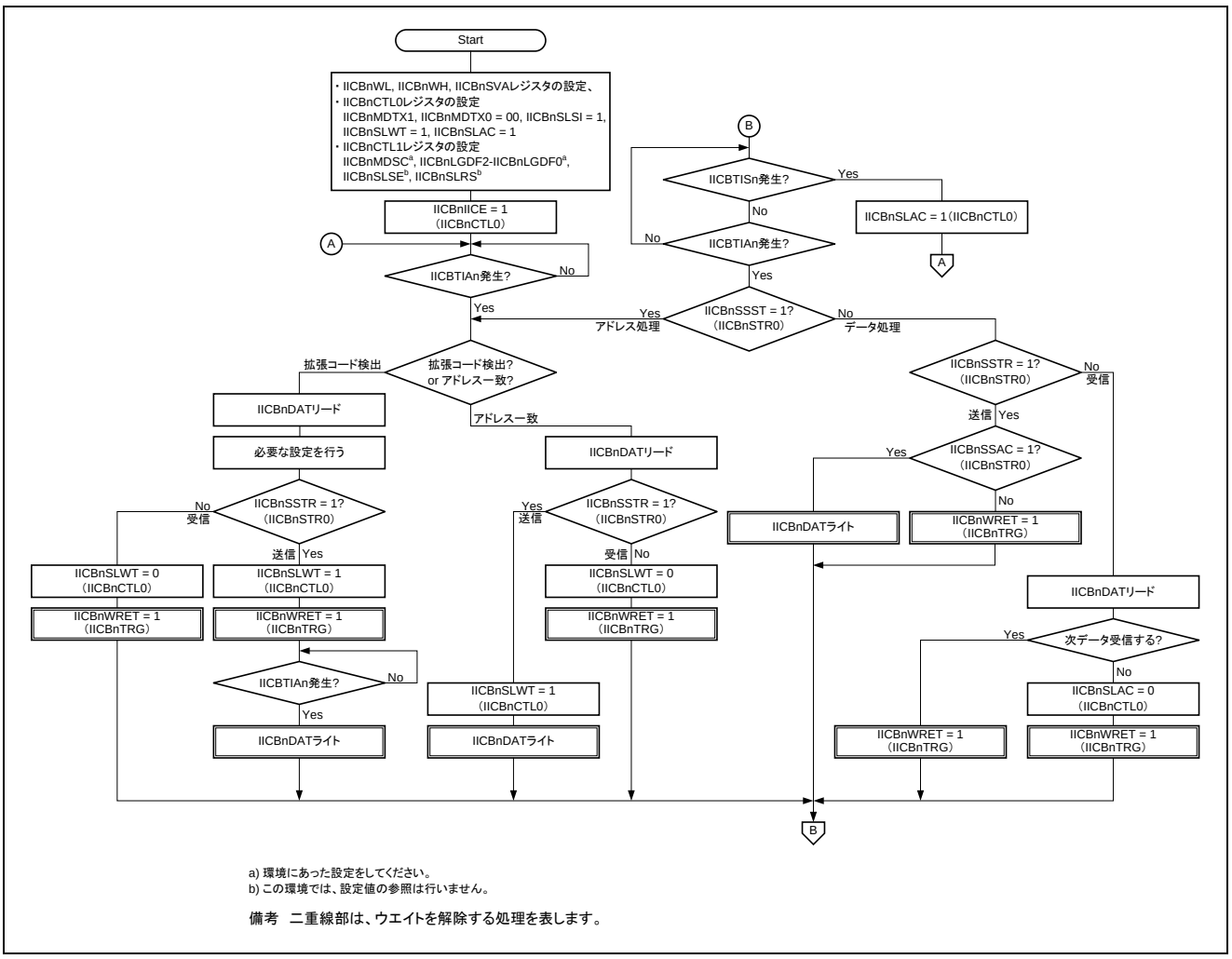


a) 環境にあった設定をしてください。
b) 通信初期状態でのスタート・コンディション発行を行う場合は1, 行わない場合は0 を設定してください。
c) この環境では、設定値の参照は行いません。

備考 二重線部は、ウエイトを解除する処理を表します。

図21.14 シングル転送モード時のマスタ動作設定手順（シングルマスタ環境）

(2) シングル転送モード時のスレーブ動作設定手順



a) 環境にあった設定をしてください。
b) この環境では、設定値の参照は行いません。

備考 二重線部は、ウエイトを解除する処理を表します。

図21.15 シングル転送モード時のスレーブ動作設定手順（シングルマスタ環境）

(3) 連続転送モード時のマスタ動作設定手順

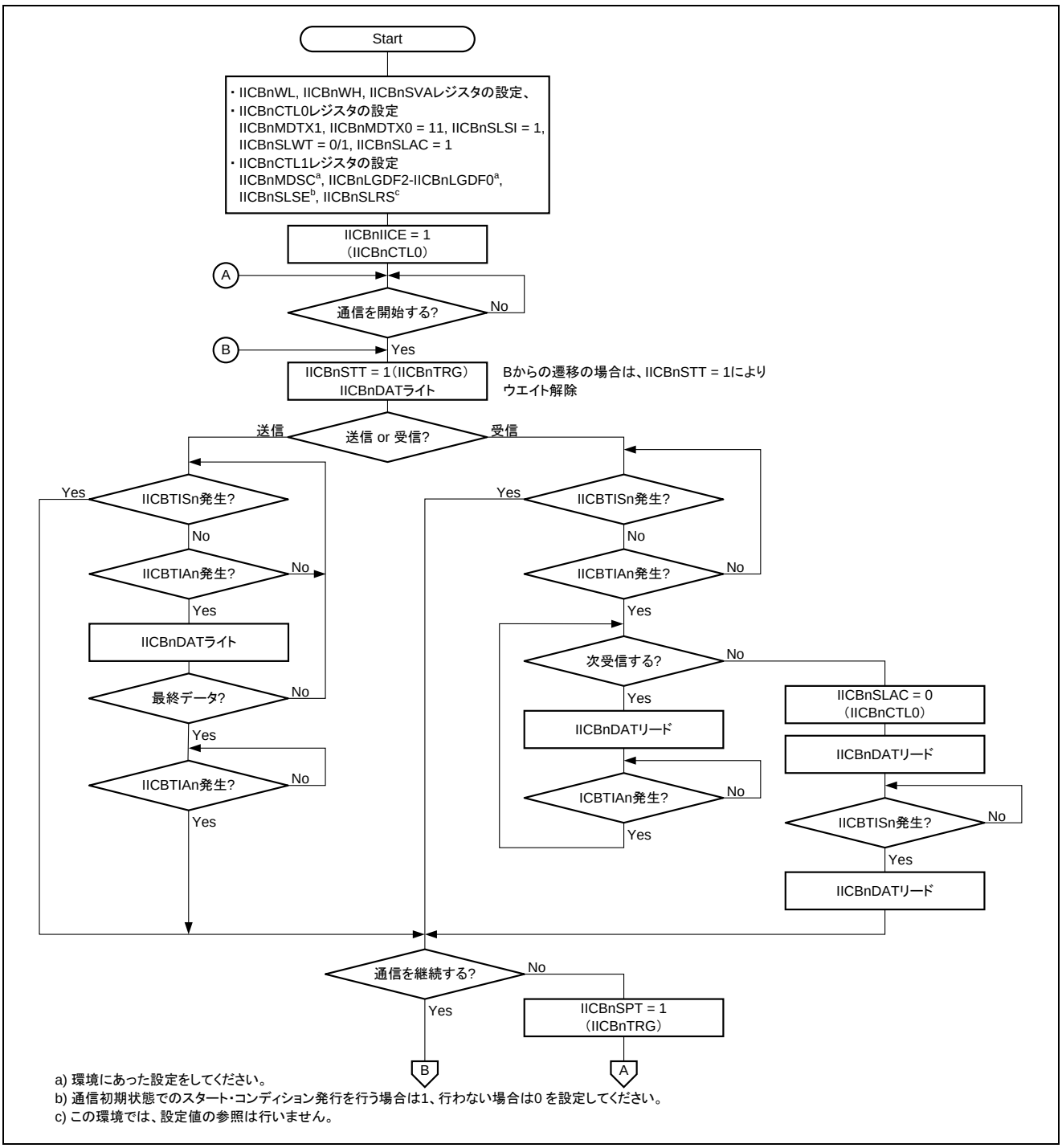
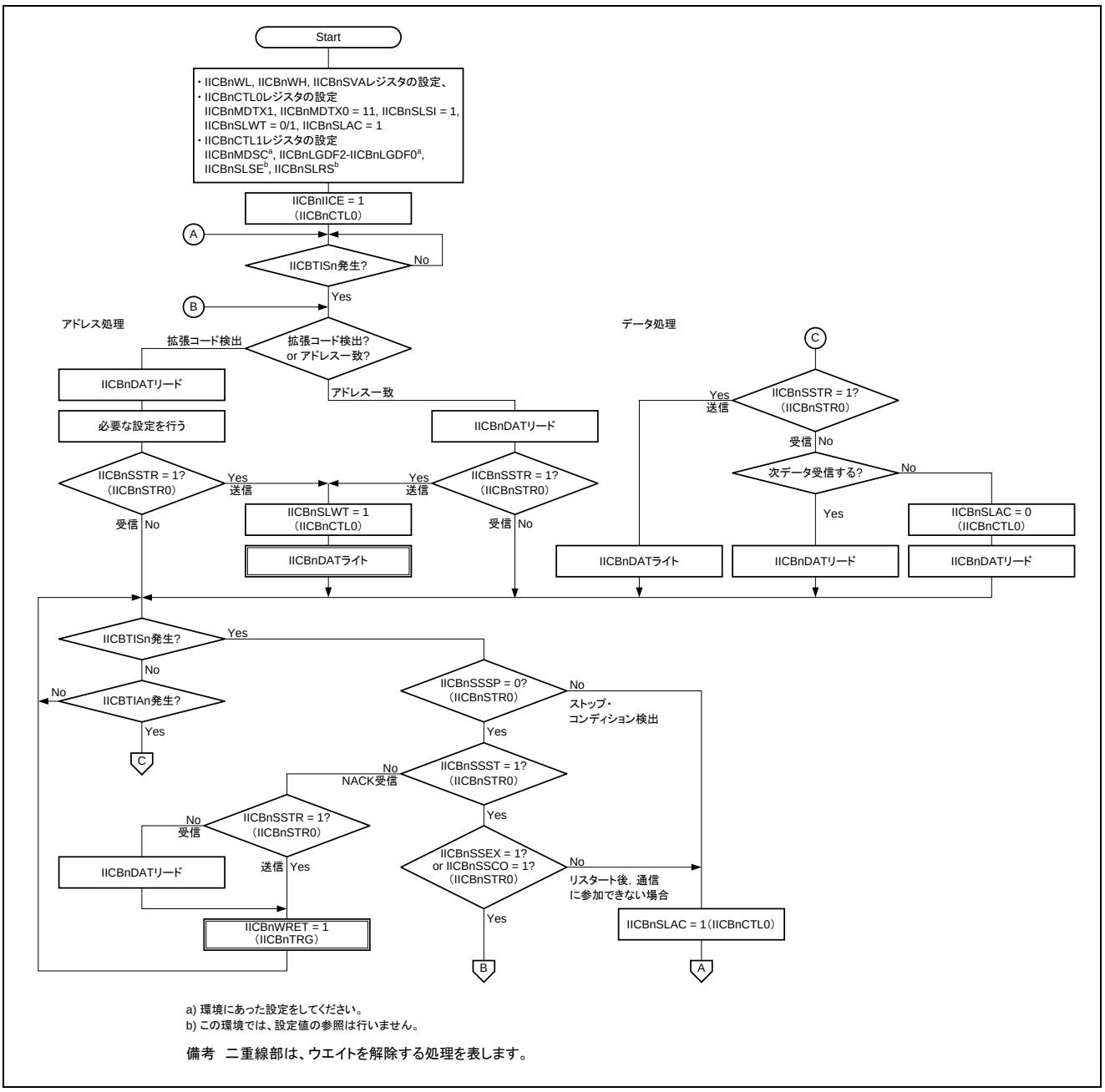


図21.16 連続転送モード時のマスタ動作設定手順（シングルマスタ環境）

(4) 連続転送モード時のスレーブ動作設定手順



a) 環境にあった設定をしてください。
b) この環境では、設定値の参照は行いません。

備考 二重線部は、ウエイトを解除する処理を表します。

図21.17 連続転送モード時のスレーブ動作設定手順（シングルマスタ環境）

21.9.2 マルチ・マスタ環境

(1) 通信予約機能許可（IICBnCTL1.IICBnSLRS ビット= 0）時のシングル転送モード設定手順

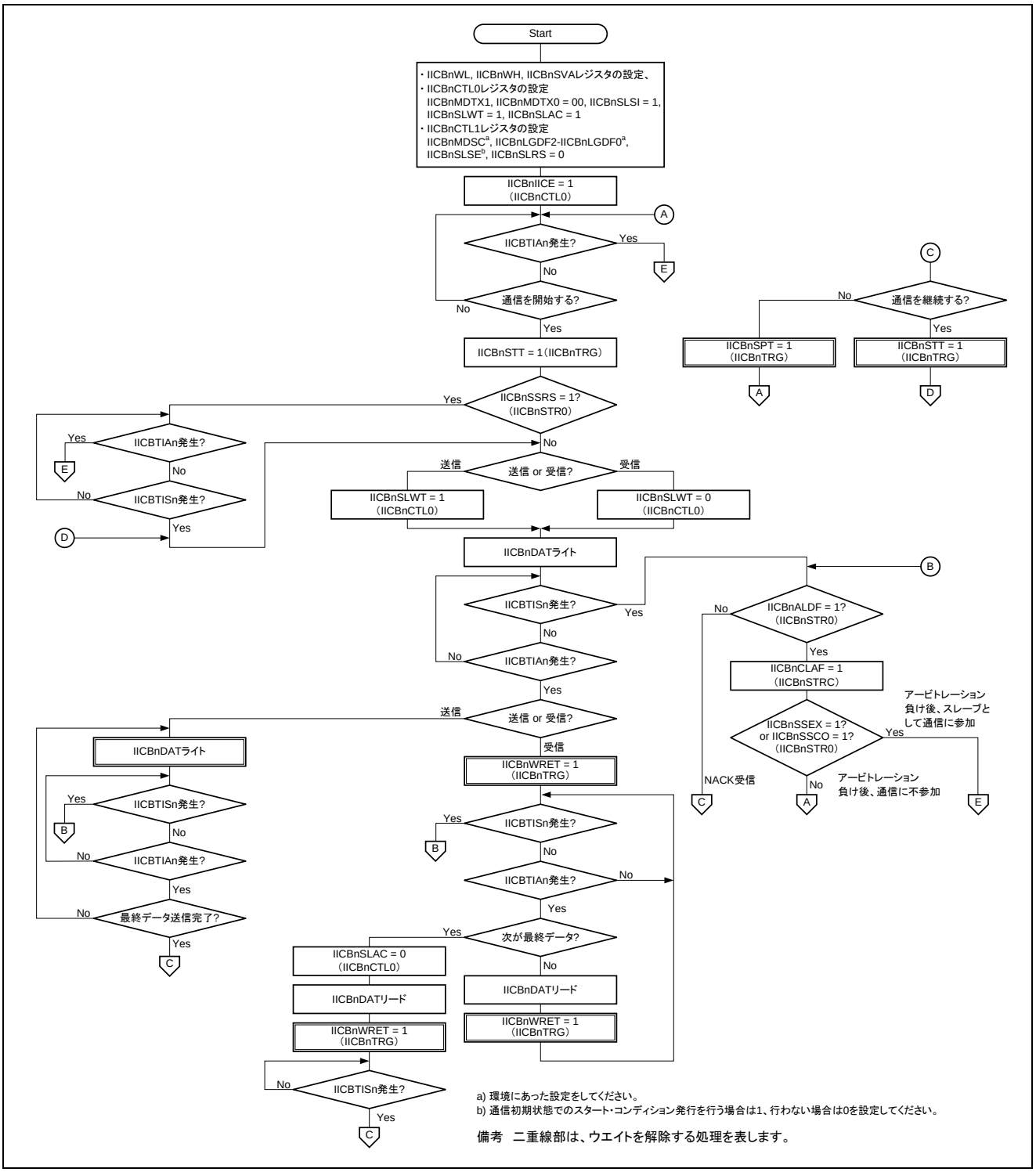
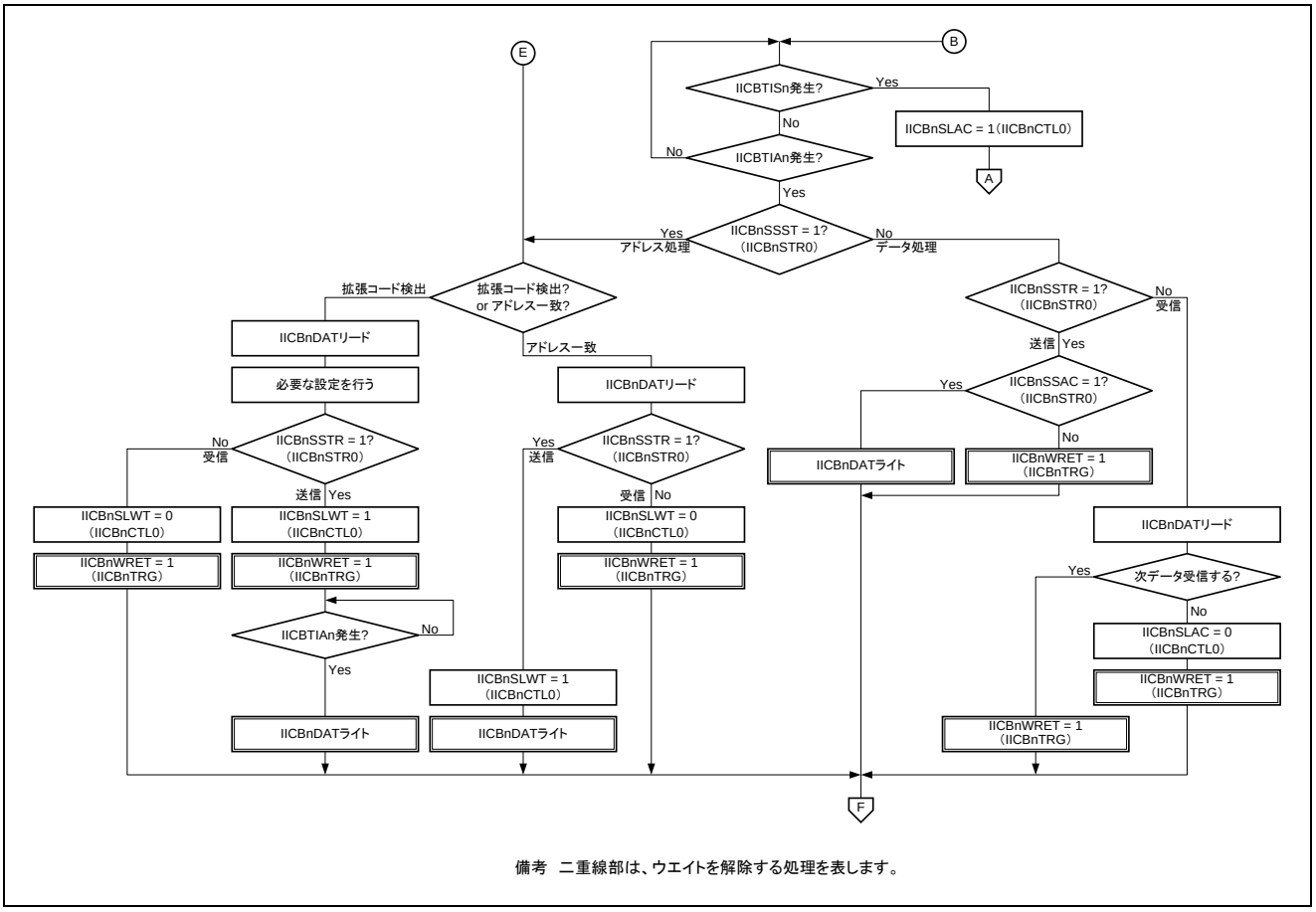


図21.18 通信予約機能許可（IICBnCTL1.IICBnSLRS ビット= 0）時のシングル転送モード設定手順（マルチマスタ環境）（1/2）



備考　二重線部は、ウエイトを解除する処理を表します。

図21.18　通信予約機能許可（IICBnCTL1.IICBnSLRS ビット= 0）時のシングル転送モード設定手順（マルチマスタ環境）（2/2）

(2) 通信予約機能禁止（IICBnCTL1.IICBnSLRS ビット= 1）時のシングル転送モード設定手順

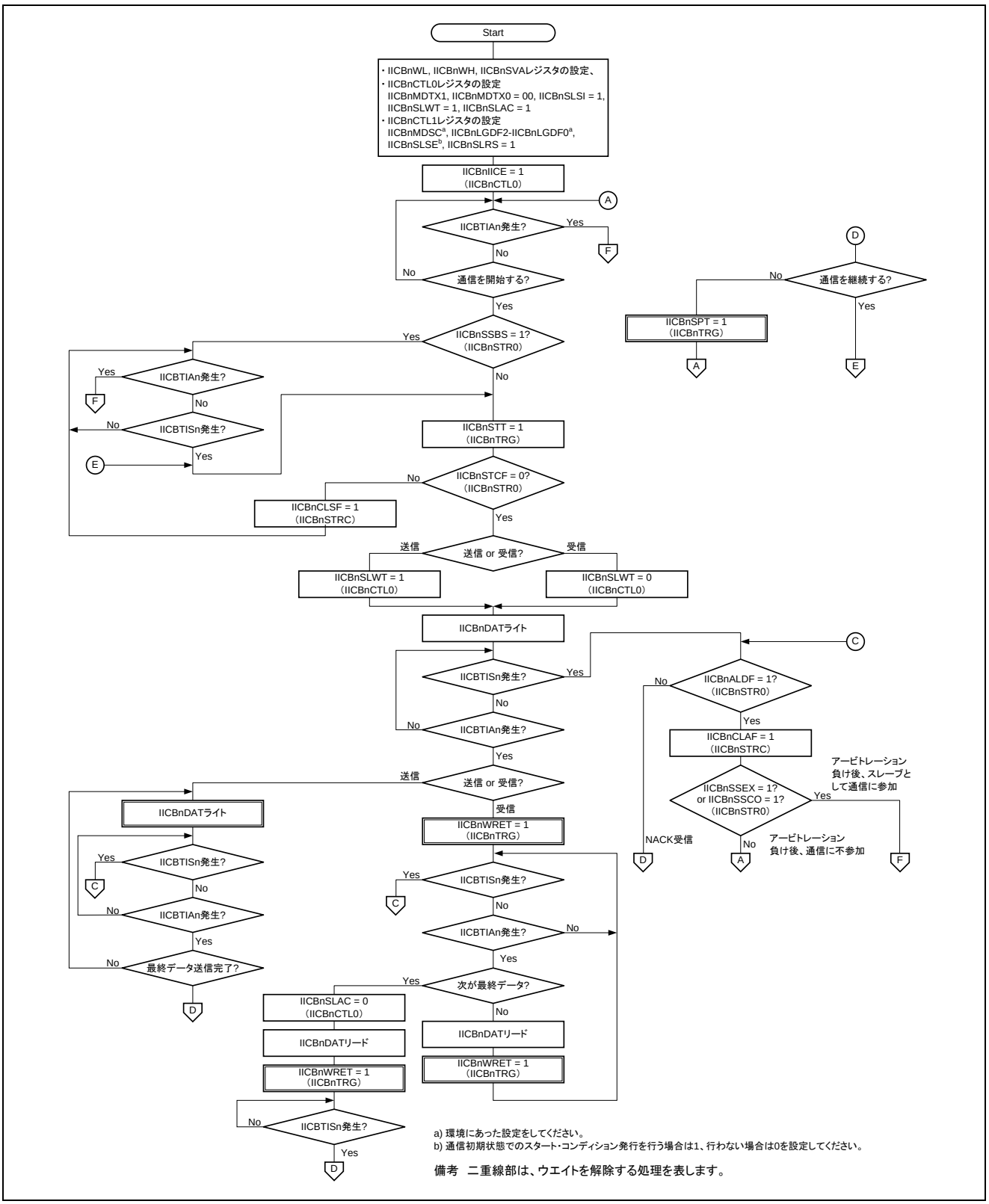
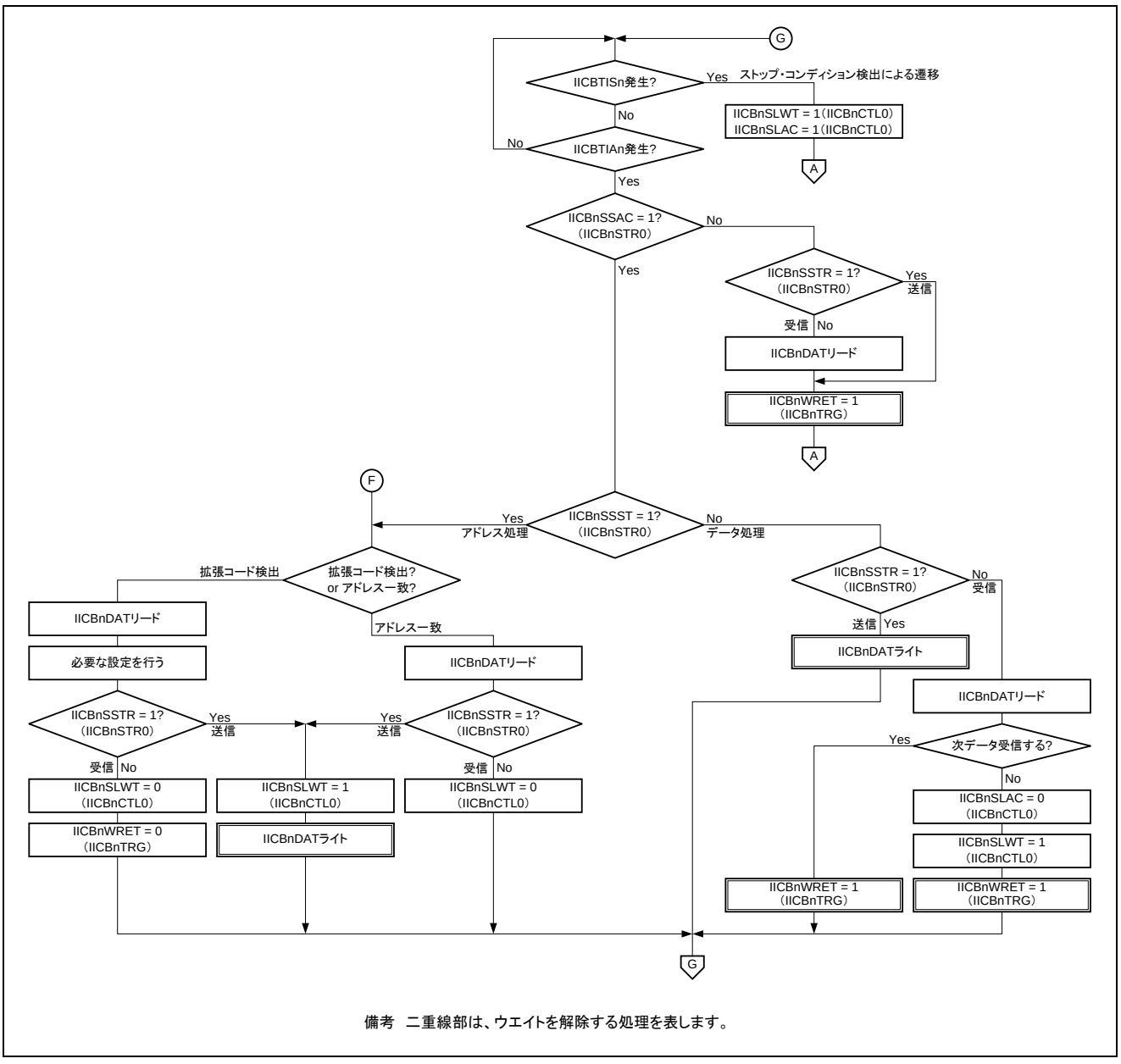


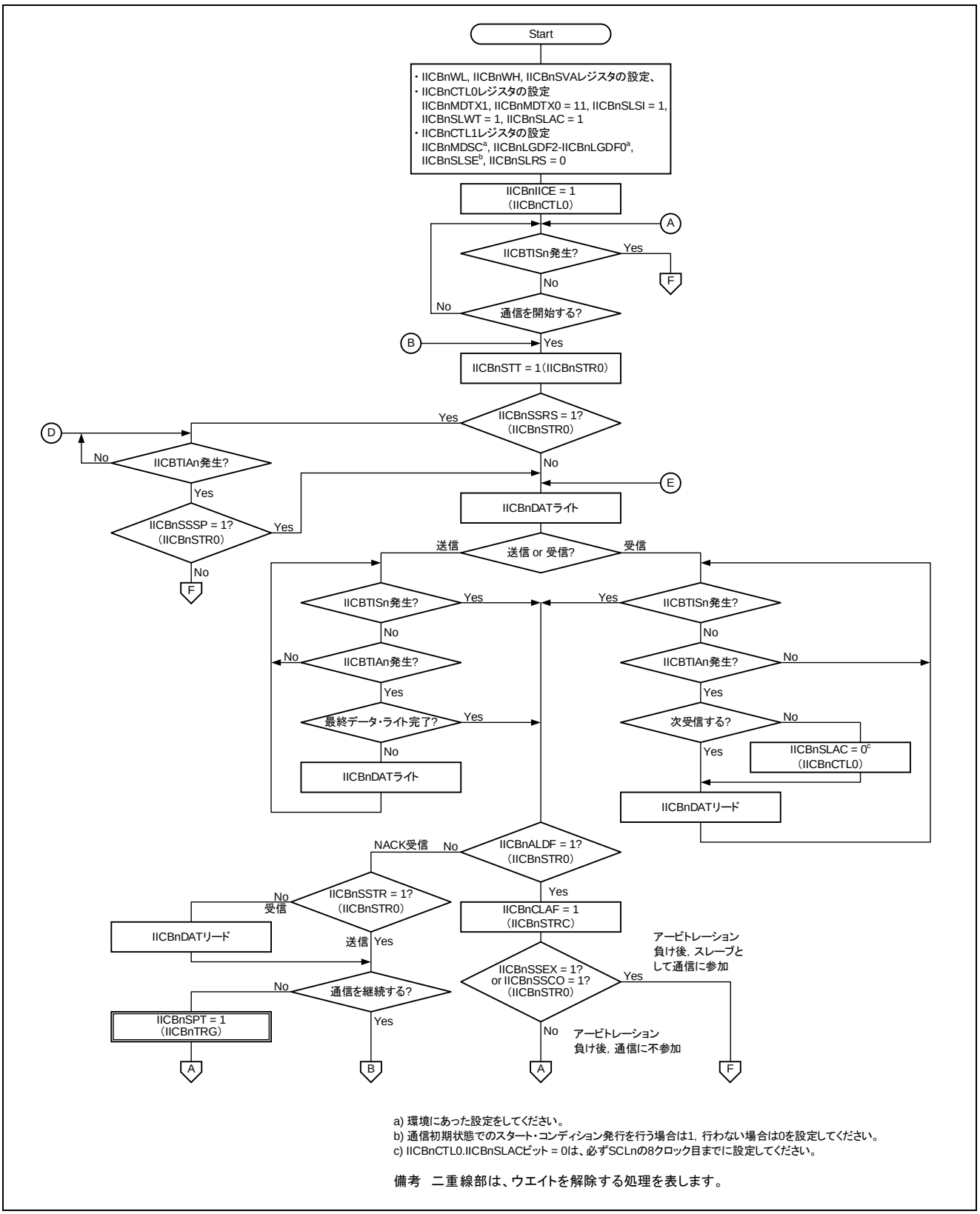
図21.19 通信予約機能禁止（IICBnCTL1.IICBnSLRS ビット= 1）時のシングル転送モード設定手順（マルチマスタ環境）（1/2）



備考　二重線部は、ウエイトを解除する処理を表します。

図21.19　通信予約機能禁止（IICBnCTL1.IICBnSLRS ビット= 1）時のシングル転送モード設定手順（マルチマスタ環境）（2/2）

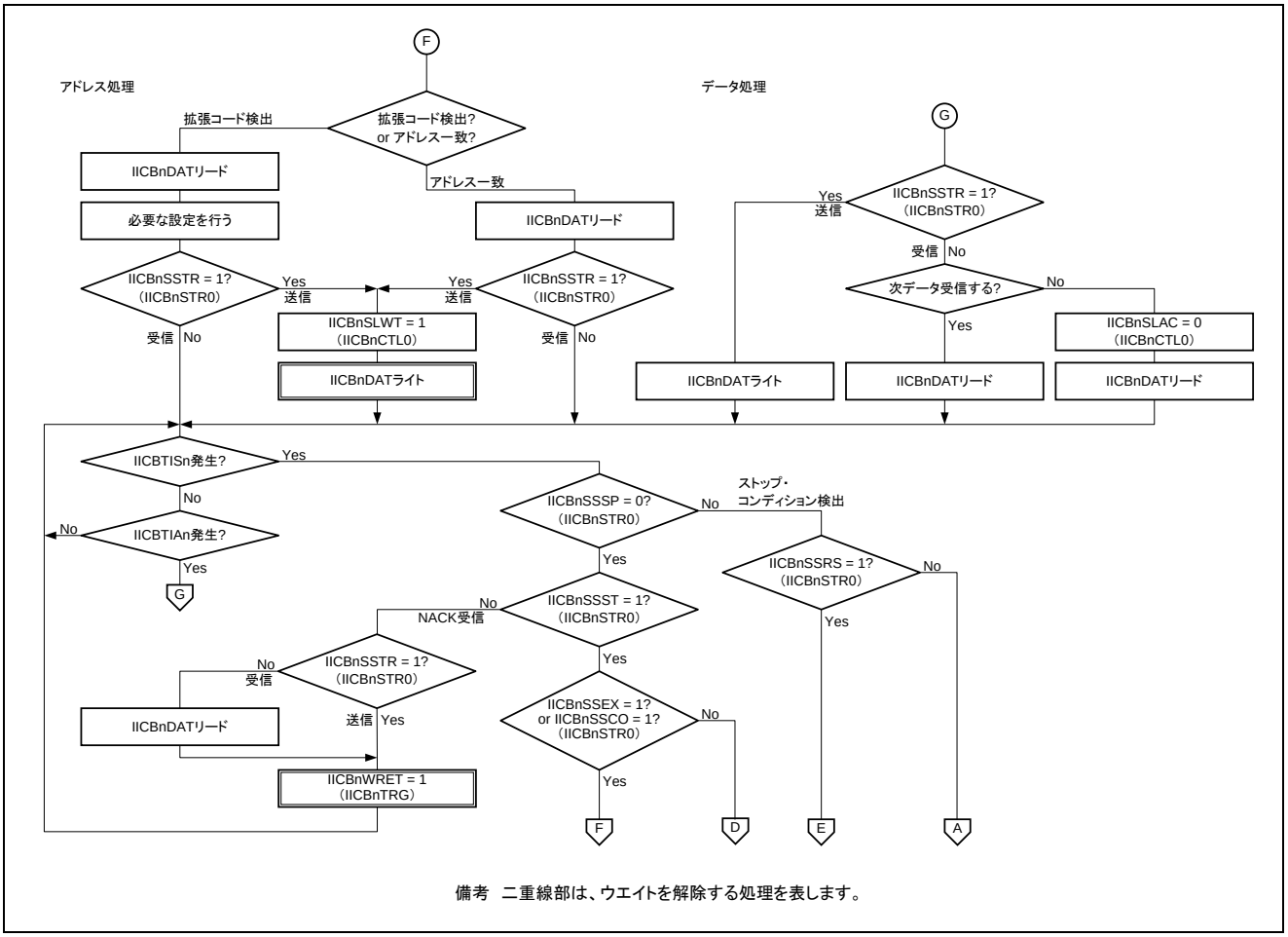
(3) 通信予約機能許可（IICBnCTL1.IICBnSLRS ビット= 0）時の連続転送モード設定手順



a) 環境にあった設定をしてください。
b) 通信初期状態でのスタート・コンディション発行を行う場合は1，行わない場合は0を設定してください。
c) IICBnCTL0.IICBnSLACビット = 0は、必ずSCLnの8クロック目までに設定してください。

備考 二重線部は、ウエイトを解除する処理を表します。

図21.20 通信予約機能許可（IICBnCTL1.IICBnSLRS ビット= 0）時の連続転送モード設定手順（マルチマスタ環境）（1/2）



備考　二重線部は、ウエイトを解除する処理を表します。

図21.20　通信予約機能許可（IICBnCTL1.IICBnSLRS ビット= 0）時の連続転送モード設定手順（マルチマスタ環境）（2/2）

(4) 通信予約機能禁止（IICBnCTL1.IICBnSLRS ビット= 1）時の連続転送モード設定手順

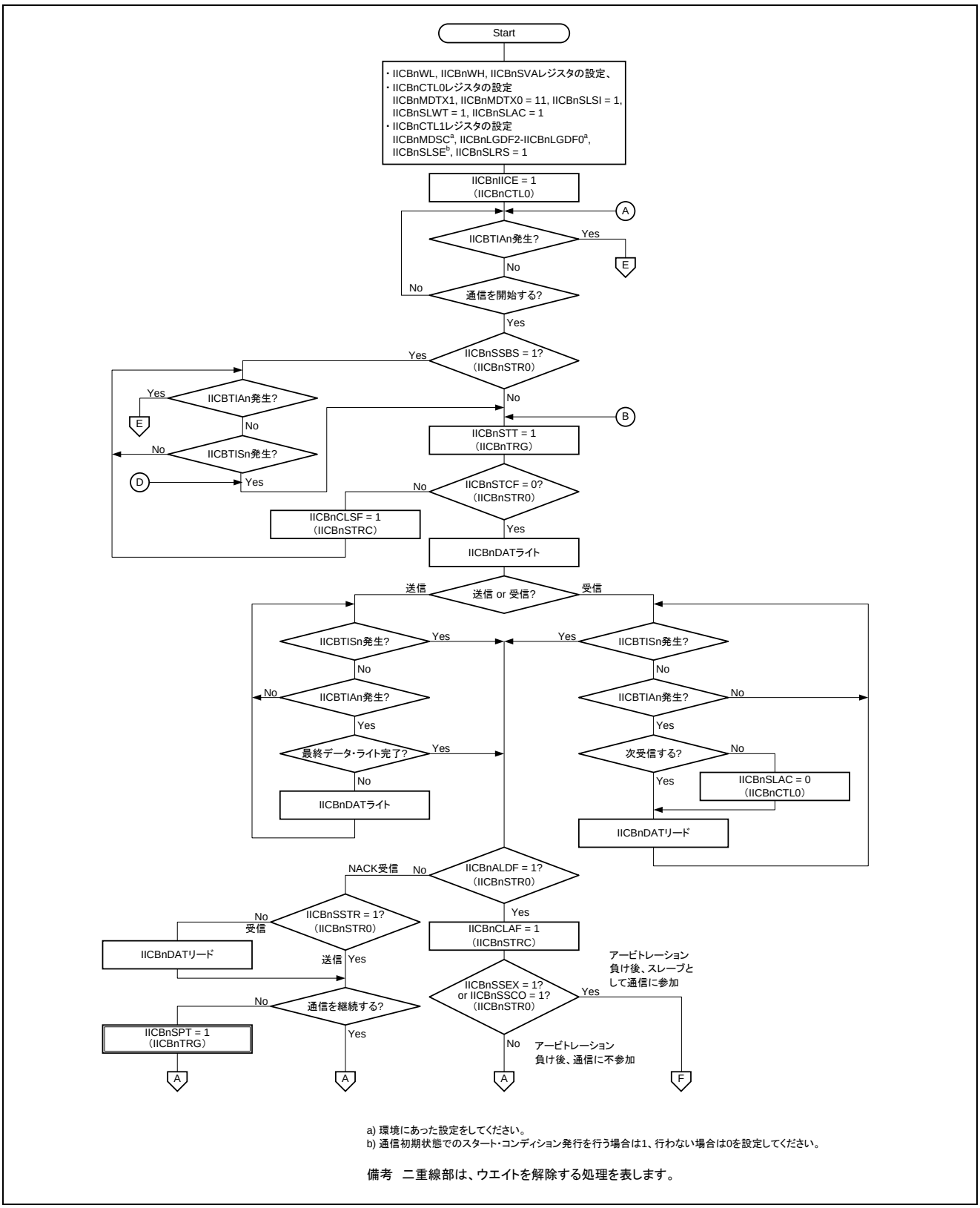
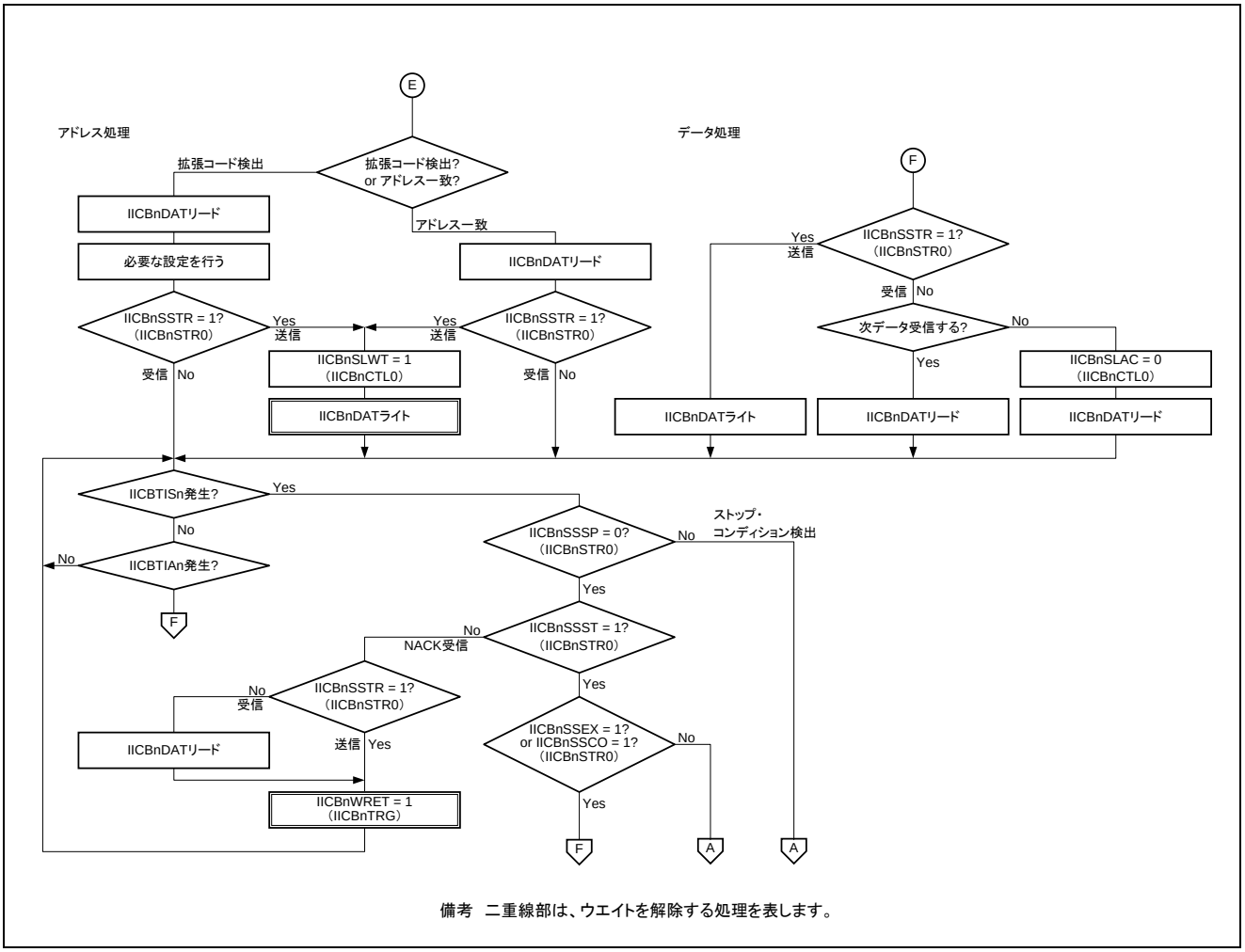


図21.21 通信予約機能禁止（IICBnCTL1.IICBnSLRS ビット= 1）時の連続転送モード設定手順（マルチマスタ環境）（1/2）



備考　二重線部は、ウエイトを解除する処理を表します。

図21.21　通信予約機能禁止（IICBnCTL1.IICBnSLRS ビット= 1）時の連続転送モード設定手順（マルチマスタ環境）（2/2）

22. CAN コントローラ（FCN）

本章では、ISO11898 で標準化されている CAN プロトコルに準拠した CAN コントローラ（FCN）について説明します。

22.1 FCN の特徴

本章では、ISO11898 で標準化されている CAN プロトコルに準拠した CAN コントローラ（FCN）について説明します。

表22.1 FCN のチャネル

FCN	
チャネル数	2
名称	FCN0, FCN1

○ n の意味： この章では、CAN コントローラの各チャネルを「n」（n = 0, 1）で識別します。たとえば、FCNn コントロール・レジスタ（FCNnGMCLCTL）のように記述しています。

表22.2 FCN チャネルのメッセージ・バッファ

チャネル	メッセージ・バッファの数 m
FCN0	64
FCN1	64

○ m の意味： この章では、FCN メッセージ・バッファ・レジスタを「m」（m = 000-063）で識別します。たとえば、FCN チャネル n、FCN メッセージ・バッファ・レジスタ m のメッセージ・データ・バイト 4 は、FCNnMmDAT4B と記述します。

○　割り込みと周辺機能：　FCN の下記割り込み要求は、割り込み処理や Hardware ISR 以外にも、DMA 転送（汎用 DMAC、リアルタイムポート DMAC）、タイマ・キャプチャ・トリガ（TAUJ2、TAUD）、リアルタイム・ポート（RP00-RP37）の更新に利用可能です。

表22.3　FCN の割り込みと周辺機能への要求

FCNn の割り込み信号	機能	接続先
FCN0		
INTC0ERR	FCN0 エラー検出	・割り込みコントローラ INTFCN0ERR
INTC0REC	FCN0 受信完了	・割り込みコントローラ INTFCN0REC ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTC0TRX	FCN0 送信完了	・割り込みコントローラ INTFCN0TRX ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTC0WUP	FCN0 スリープ・ウェイクアップ／送信中断	・割り込みコントローラ INTFCN0WUP ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
FCN1		
INTC1ERR	FCN1 エラー検出	・割り込みコントローラ INTFCN1ERR
INTC1REC	FCN1 受信完了	・割り込みコントローラ INTFCN1REC ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTC1TRX	FCN1 送信完了	・割り込みコントローラ INTFCN1TRX ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）
INTC1WUP	FCN1 スリープ・ウェイクアップ／送信中断	・割り込みコントローラ INTFCN1WUP ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）

○ 入出力信号 CAN コントローラの入出力信号を表22.4に示します。

表22.4 FCN の入出力信号

FCNn の信号	機能	接続先
FCN0		
CRXD0	FCN0 CAN バス受信入力	ポート 53（CRXD0）
CTXD0	FCN0 CAN バス送信出力	ポート 54（CTXD0）
FCN1		
CRXD1	FCN1 CAN バス受信入力	ポート 55（CRXD1）
CTXD1	FCN1 CAN バス送信出力	ポート 56（CTXD1）

22.2 特徴

○ ISO 11898 に準拠
○ 標準フレームと拡張フレームの送受信が可能
○ 転送速度：最大 1Mbps（FCN クロック入力が 16MHz 以上の場合）
○ 1 チャネルにつき 64 個のメッセージ・バッファ
○ 送受信ヒストリ・リスト機能（各メッセージ・バッファにて個別に設定可能）
○ 自動ブロック送信機能
○ マルチ・バッファ受信ブロック機能
○ データ・フレームおよびリモート・フレームに適用可能な 8 パターンのマスクをチャネルごとに設定可能
○ FCN モジュール・ビット・レート・プリスケーラ・レジスタ（FCNnCMBRPRS）およびビット・レート・レジスタ（FCNnCMBTCTL）により、データ・ビット・タイム、通信ボー・レート、サンプル・ポイントを制御可能
  ➢ たとえば、以下のサンプル・ポイントを設定可能：
    66.7%, 70.0%, 75.0%, 80.0%, 81.3%, 85.0%, 87.5%
  ➢ 10kbps-1Mbps のボー・レートを設定可能
○ 拡張機能：
  ➢ 個々のメッセージ・バッファを送信メッセージ・バッファまたは受信メッセージ・バッファとして動作するように設定可能
  ➢ 対象となるメッセージ・バッファの送信要求フラグをクリアすることで送信要求を中断可能。中断が成功した場合の送信中断割り込みに対応
  ➢ 自動ブロック送信動作モード（ABT）
  ➢ タイマ・キャプチャ・チャネルと連携する FCN チャネル 0-2 のタイム・スタンプ機能
  ➢ 一元管理されるグローバル・データ更新ビット・モニタ・レジスタの採用により、一箇所ですべてのデータ更新ビットを確認可能

22.2.1 機能の概要

CAN コントローラの機能の概要を表22.5に示します。

表22.5 機能の概要

機能	詳細
プロトコル	CAN プロトコル ISO 11898（標準フレームおよび拡張フレームの送受信）
ボー・レート	最大 1Mbps（最小 FCN クロック入力 = 16MHz）
データの保存	FCN RAM にメッセージを保存
メッセージ数	・1 チャネルにつき 64 個のメッセージ・バッファ ・個々のメッセージ・バッファを送信メッセージ・バッファまたは受信メッセージ・バッファとして設定可能
メッセージ受信	・個々のメッセージ・バッファに固有の ID を設定可能 ・データ・フレームおよびリモート・フレームに適用可能な 8 パターンのマスクをチャネルごとに設定可能 ・メッセージを受信し、メッセージ・バッファに保存するたびに受信完了割り込みを発生（メッセージ・バッファごとに受信完了割り込みの許可／禁止が設定可能） ・複数の受信メッセージ・バッファを 1 つの FIFO 受信バッファとして使用可能（マルチ・バッファ受信ブロック機能） ・受信ヒストリ・リスト機能（各メッセージ・バッファにて個別に設定可能） ・一元管理されるグローバル・データ更新ビット・モニタ・レジスタ
メッセージ送信	・個々のメッセージ・バッファに固有の ID を設定可能 ・メッセージ・バッファごとに送信完了割り込みの許可／禁止が設定可能 ・メッセージ・バッファごとの送信中断割り込みおよび送信完了フラグ（いずれのバッファについても、同時に中断可能な送信は 1 つに限られる） ・送信メッセージ・バッファとして指定されたメッセージ・バッファ番号 0-15/31 は、自動ブロック転送用として使用可能。メッセージ送信間隔をプログラマブルに変更可能（自動ブロック送信機能（以下、ABT と記述） ・送信ヒストリ・リスト機能（各メッセージ・バッファにて個別に設定可能）
リモート・フレーム処理	・送信メッセージ・バッファによるリモート・フレーム処理 ・受信メッセージ・バッファによるリモート・フレーム受信（8 個のマスクの 1 つを適用可能）
タイム・スタンプ機能	・32 ビット・タイマと組み合わせて使用することで、メッセージ受信時のタイム・スタンプ機能を設定可能 ・タイム・スタンプ・キャプチャ・トリガを選択可能（CAN メッセージ・フレーム内の SOF または EOF 検出に切り替え可能）
診断機能	・読み出し可能なエラー・カウンタ ・バス接続確認用の「有効プロトコル動作フラグ」 ・受信オンリー・モード ・シングル・ショット・モード ・CAN プロトコル・エラーの判別 ・セルフ・テスト・モード
バスオフ復帰機能	・ソフトウェアによりバスオフからの強制復帰が可能 ・バスオフからの自動復帰不可（ソフトウエアによる復帰要求が必要）
パワー・セーブ・モード	・CAN スリープ・モード（CAN バスによりウェイク・アップ可能） ・CAN ストップ・モード（CAN バスによりウェイク・アップ不可）

22.2.2 構成

CAN コントローラは以下の 4 つのブロックから構成されています。

- APB インタフェース
  APB インタフェースおよび FCN モジュールとホスト CPU の間でメッセージを送受信するための機能ブロックです。

- MCM（Message Control Module）
  FCN モジュール内の CAN プロトコル・レイヤと CAN の RAM へのアクセスを制御している機能ブロックです。

- CAN プロトコル・レイヤ
  CAN プロトコルの動作とそれに関連する設定を行う機能ブロックです。

- CAN RAM
  メッセージ ID、メッセージ・データなどの保存に使用される CAN メモリ機能ブロックです。

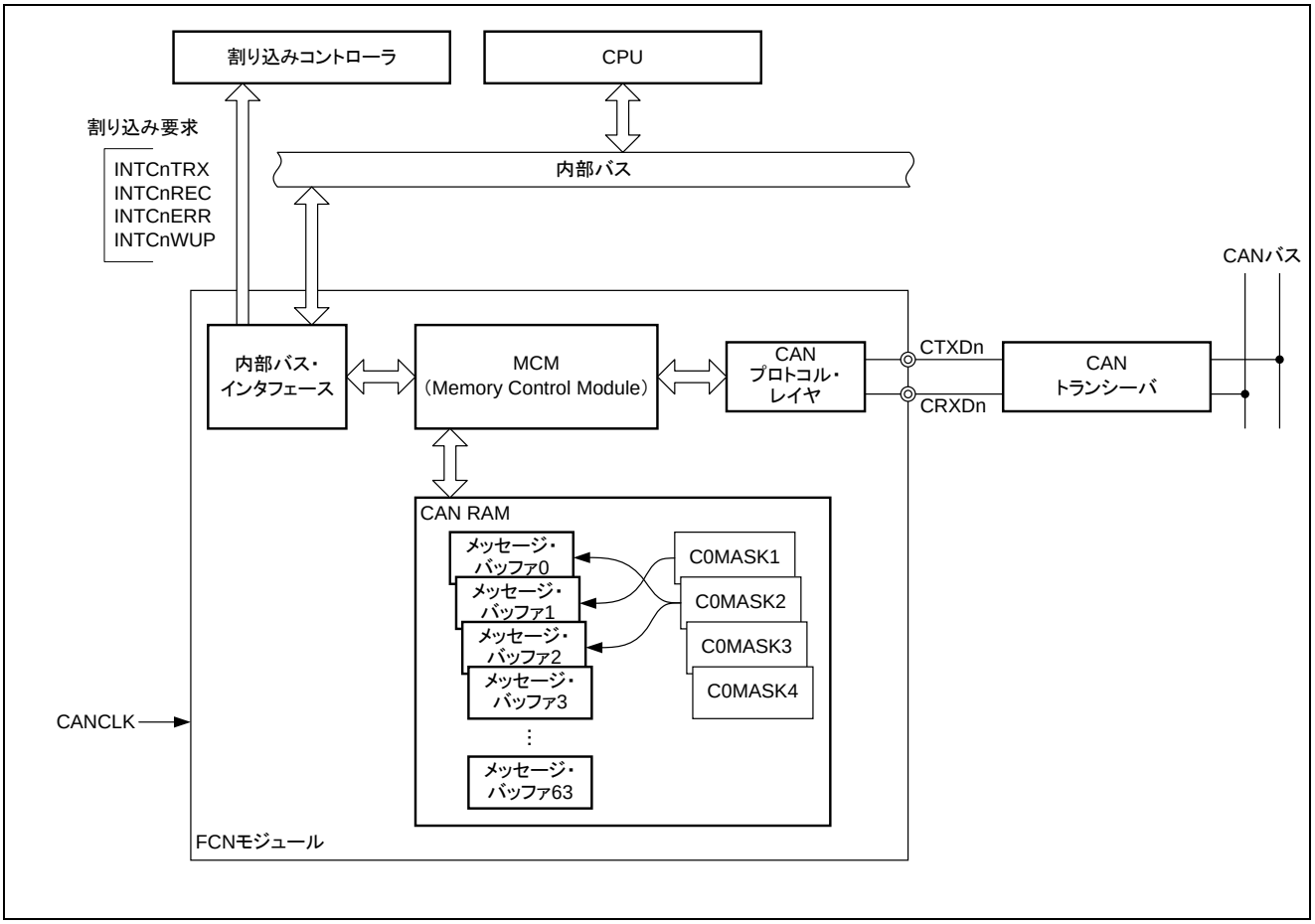


図22.1 CAN コントローラのブロック図

22.3 FCN の内部レジスタ

22.3.1 CAN コントローラの構成

表22.6 FCN レジスター覧(1/2)

項目	レジスタ名
FCNn グローバル・レジスタ	FCNn グローバル制御レジスタ（FCNnGMCLCTL）
	FCNn グローバル・クロック選択レジスタ（FCNnGMCSPRE）
	FCNn グローバル自動ブロック送信制御レジスタ（FCNnGMABCTL）
	FCNn グローバル自動ブロック送信遅延設定レジスタ（FCNnGMADCTL）
	FCNn グローバル・データ更新ビット・モニタ・レジスタ（FCNnDNBMRX0 – FCNnDNBMRX1）
FCNn モジュール・レジスタ	FCNn モジュール・マスク 1 レジスタ（FCNnCMMKCTL01H, FCNnCMMKCTL02H, FCNnCMMKCTL01W）
	FCNn モジュール・マスク 2 レジスタ（FCNnCMMKCTL03H, FCNnCMMKCTL04H, FCNnCMMKCTL03W）
	FCNn モジュール・マスク 3 レジスタ（FCNnCMMKCTL05H, FCNnCMMKCTL06H, FCNnCMMKCTL05W）
	FCNn モジュール・マスク 4 レジスタ（FCNnCMMKCTL07H, FCNnCMMKCTL08H, FCNnCMMKCTL07W）
	FCNn モジュール・マスク 5 レジスタ（FCNnCMMKCTL09H, FCNnCMMKCTL10H, FCNnCMMKCTL09W）
	FCNn モジュール・マスク 6 レジスタ（FCNnCMMKCTL11H, FCNnCMMKCTL12H, FCNnCMMKCTL11W）
	FCNn モジュール・マスク 7 レジスタ（FCNnCMMKCTL13H, FCNnCMMKCTL14H, FCNnCMMKCTL13W）
	FCNn モジュール・マスク 8 レジスタ（FCNnCMMKCTL15H, FCNnCMMKCTL16H, FCNnCMMKCTL15W）
	FCNn モジュール制御レジスタ（FCNnCMCLCTL）
	FCNn モジュール最終エラー情報レジスタ（FCNnCMLCSTR）
	FCNn モジュール情報レジスタ（FCNnCMINSTR）
	FCNn モジュール・エラー・カウンタ・レジスタ（FCNnCMERCNT）
	FCNn モジュール割り込み許可レジスタ（FCNnCMIECTL）
	FCNn モジュール割り込みステータス・レジスタ（FCNnCMISCTL）
	FCNn モジュール・ビット・レート・プリスケーラ・レジスタ（FCNnCMBRPRS）
	FCNn モジュール・ビット・レート・レジスタ（FCNnCMBTCTL）
	FCNn モジュール最終受信ポインタ・レジスタ（FCNnCMLISTR）
	FCNn モジュール受信ヒストリ・リスト・レジスタ（FCNnCMRGRX）
	FCNn モジュール最終送信ポインタ・レジスタ（FCNnCMLOSTR）
	FCNn モジュール送信ヒストリ・リスト・レジスタ（FCNnCMTGTX）
	FCNn モジュール・タイム・スタンプ・レジスタ（FCNnCMTSCTL）

表22.6 FCN レジスター覧(2/2)

項目	レジスタ名
FCN メッセージ・バッファ・レジスタ	FCNn メッセージ・データ・バイト 0-3 レジスタ m（FCNnMmDAT0W, FCNnMmDAT0H, FCNnMmDAT2H, FCNnMmDAT0B, FCNnMmDAT1B, FCNnMmDAT2B, FCNnMmDAT3B）
	FCNn メッセージ・データ・バイト 4-7 レジスタ m（FCNnMmDAT4W, FCNnMmDAT4H, FCNnMmDAT6H, FCNnMmDAT4B, FCNnMmDAT5B, FCNnMmDAT6B, FCNnMmDAT7B）
	FCNn メッセージ・データ長レジスタ m（FCNnMmDTLGB）
	FCNn メッセージ・コンフィギュレーション・レジスタ m（FCNnMmSTRB）
	FCNn メッセージ ID レジスタ m（FCNnMmMID0H, FCNnMmMID1H, FCNnMmMID0W）
	FCNn メッセージ制御レジスタ m（FCNnMmCTL）

22.3.2 CAN コントローラ・レジスタの概要

(1) FCNn グローバル・レジスタと FCNn モジュール・レジスタ

表22.7 FCN0 グローバル・レジスタと FCN0 モジュール・レジスタ(1/2)

アドレス	レジスタ名	略号	R/W	アクセス・ビット	リセット後の値
4002 0008H	FCN0 グローバル・クロック選択レジスタ	FCN0GMCSPRE	R/W	8	0FH
4002 0020H	FCN0 グローバル自動ブロック送信遅延設定レジスタ	FCN0GMADCTL	R/W	8	00H
4002 8000H	FCN0 グローバル制御レジスタ	FCN0GMCLCTL	R/W	16	00X0H 注1
4002 8018H	FCN0 グローバル自動ブロック送信制御レジスタ	FCN0GMABCTL	R/W	16	0000H
4003 00C0H	FCN0 グローバル・データ更新ビット・モニタ・レジスタ 0	FCN0DNBMRX0	R	32	注2
4003 00D0H	FCN0 グローバル・データ更新ビット・モニタ・レジスタ 1	FCN0DNBMRX1	R	32	注2
4002 8300H	FCN0 モジュール・マスク 1 レジスタ	FCN0CMMKCTL01H	R/W	16	注2
4002 8308H		FCN0CMMKCTL02H			
4003 0300H		FCN0CMMKCTL01W		32	
4002 8310H	FCN0 モジュール・マスク 2 レジスタ	FCN0CMMKCTL03H	R/W	16	注2
4002 8318H		FCN0CMMKCTL04H			
4003 0310H		FCN0CMMKCTL03W		32	
4002 8320H	FCN0 モジュール・マスク 3 レジスタ	FCN0CMMKCTL05H	R/W	16	注2
4002 8328H		FCN0CMMKCTL06H			
4003 0320H		FCN0CMMKCTL05W		32	
4002 8330H	FCN0 モジュール・マスク 4 レジスタ	FCN0CMMKCTL07H	R/W	16	注2
4002 8338H		FCN0CMMKCTL08H			
4003 0330H		FCN0CMMKCTL07W		32	

注 1. 初期値は、メッセージ・バッファ RAM からの読み出しでエラーが検出されたかどうかを示す FCNnGMCLCTL.FCNnGMCLECCF によって異なります。詳細については、FCNnGMCLCTL レジスタの説明を参照してください。

2. リセット後の値は、0000H または 00000000H です。

表22.7 FCN0 グローバル・レジスタと FCN0 モジュール・レジスタ(2/2)

アドレス	レジスタ名	略号	R/W	アクセス・ビット	リセット後の値
4002 8340H	FCN0 モジュール・マスク 5 レジスタ	FCN0CMMKCTL09H	R/W	16	注
4002 8348H		FCN0CMMKCTL10H			
4003 0340H		FCN0CMMKCTL09W		32	
4002 8350H	FCN0 モジュール・マスク 6 レジスタ	FCN0CMMKCTL11H	R/W	16	注
4002 8358H		FCN0CMMKCTL12H			
4003 0350H		FCN0CMMKCTL11W		32	
4002 8360H	FCN0 モジュール・マスク 7 レジスタ	FCN0CMMKCTL13H	R/W	16	注
4002 8368H		FCN0CMMKCTL14H			
4003 0360H		FCN0CMMKCTL13W		32	
4002 8370H	FCN0 モジュール・マスク 8 レジスタ	FCN0CMMKCTL15H	R/W	16	注
4002 8378H		FCN0CMMKCTL16H			
4003 0370H		FCN0CMMKCTL15W		32	
4002 0248H	FCN0 モジュール最終エラー情報レジスタ	FCN0CMLCSTR	R/W	8	00H
4002 024CH	FCN0 モジュール情報レジスタ	FCN0CMINSTR	R	8	00H
4002 0268H	FCN0 モジュール・ビット・レート・プリスケーラ・レジスタ	FCN0CMBRPRS	R/W	8	FFH
4002 0278H	FCN0 モジュール最終受信ポインタ・レジスタ	FCN0CMLISTR	R	8	不定
4002 0288H	FCN0 モジュール最終送信ポインタ・レジスタ	FCN0CMLOSTR	R	8	不定
4002 8240H	FCN0 モジュール制御レジスタ	FCN0CMCLCTL	R/W	16	0000H
4002 8250H	FCN0 モジュール・エラー・カウンタ・レジスタ	FCN0CMERCNT	R	16	0000H
4002 8258H	FCN0 モジュール割り込み許可レジスタ	FCN0CMIECTL	R/W	16	0000H
4002 8260H	FCN0 モジュール割り込みステータス・レジスタ	FCN0CMISCTL	R/W	16	0000H
4002 8270H	FCN0 モジュール・ビット・レート・レジスタ	FCN0CMBTCTL	R/W	16	370FH
4002 8280H	FCN0 モジュール受信ヒストリ・リスト・レジスタ	FCN0CMRGRX	R/W	16	xx02H
4002 8290H	FCN0 モジュール送信ヒストリ・リスト・レジスタ	FCN0CMTGTX	R/W	16	xx02H
4002 8298H	FCN0 モジュール・タイム・スタンプ・レジスタ	FCN0CMTSCTL	R/W	16	0000H

注. リセット後の値は、0000H または 00000000H です。

表22.8 FCN1 グローバル・レジスタと FCN1 モジュール・レジスタ(1/2)

アドレス	レジスタ名	略号	R/W	アクセス・ビット	リセット後の値
4004 0008H	FCN1 グローバル・クロック選択レジスタ	FCN1GMCSPRE	R/W	8	0FH
4004 0020H	FCN1 グローバル自動ブロック送信遅延設定レジスタ	FCN1GMADCTL	R/W	8	00H
4004 8000H	FCN1 グローバル制御レジスタ	FCN1GMCLCTL	R/W	16	00X0H 注1
4004 8018H	FCN1 グローバル自動ブロック送信制御レジスタ	FCN1GMABCTL	R/W	16	0000H
4005 00C0H	FCN1 グローバル・データ更新ビット・モニタ・レジスタ 0	FCN1DNBMRX0	R	32	注2
4005 00D0H	FCN1 グローバル・データ更新ビット・モニタ・レジスタ 1	FCN1DNBMRX1	R	32	注2
4004 8300H	FCN1 モジュール・マスク 1 レジスタ	FCN1CMMKCTL01H	R/W	16	注2
4004 8308H		FCN1CMMKCTL02H			
4005 0300H		FCN1CMMKCTL01W		32	
4004 8310H	FCN1 モジュール・マスク 2 レジスタ	FCN1CMMKCTL03H	R/W	16	注2
4004 8318H		FCN1CMMKCTL04H			
4005 0310H		FCN1CMMKCTL03W		32	
4004 8320H	FCN1 モジュール・マスク 3 レジスタ	FCN1CMMKCTL05H	R/W	16	注2
4004 8328H		FCN1CMMKCTL06H			
4005 0320H		FCN1CMMKCTL05W		32	
4004 8330H	FCN1 モジュール・マスク 4 レジスタ	FCN1CMMKCTL07H	R/W	16	注2
4004 8338H		FCN1CMMKCTL08H			
4005 0330H		FCN1CMMKCTL07W		32	

注 1. 初期値は、メッセージ・バッファ RAM からの読み出しでエラーが検出されたかどうかを示す FCNnGMCLCTL.FCNnGMCLECCF によって異なります。詳細については、FCNnGMCLCTL レジスタの説明を参照してください。

2. リセット後の値は、0000H または 00000000H です。

表22.8 FCN1 グローバル・レジスタと FCN1 モジュール・レジスタ(2/2)

アドレス	レジスタ名	略号	R/W	アクセス・ビット	リセット後の値
4004 8340H	FCN1 モジュール・マスク 5 レジスタ	FCN1CMMKCTL09H	R/W	16	注
4004 8348H		FCN1CMMKCTL10H			
4005 0340H		FCN1CMMKCTL09W		32	
4004 8350H	FCN1 モジュール・マスク 6 レジスタ	FCN1CMMKCTL11H	R/W	16	注
4004 8358H		FCN1CMMKCTL12H			
4005 0350H		FCN1CMMKCTL11W		32	
4004 8360H	FCN1 モジュール・マスク 7 レジスタ	FCN1CMMKCTL13H	R/W	16	注
4004 8368H		FCN1CMMKCTL14H			
4005 0360H		FCN1CMMKCTL13W		32	
4004 8370H	FCN1 モジュール・マスク 8 レジスタ	FCN1CMMKCTL15H	R/W	16	注
4004 8378H		FCN1CMMKCTL16H			
4005 0370H		FCN1CMMKCTL15W		32	
4004 0248H	FCN1 モジュール最終エラー情報レジスタ	FCN1CMLCSTR	R/W	8	00H
4004 024CH	FCN1 モジュール情報レジスタ	FCN1CMINSTR	R	8	00H
4004 0268H	FCN1 モジュール・ビット・レート・プリスケーラ・レジスタ	FCN1CMBRPRS	R/W	8	FFH
4004 0278H	FCN1 モジュール最終受信ポインタ・レジスタ	FCN1CMLISTR	R	8	不定
4004 0288H	FCN1 モジュール最終送信ポインタ・レジスタ	FCN1CMLOSTR	R	8	不定
4004 8240H	FCN1 モジュール制御レジスタ	FCN1CMCLCTL	R/W	16	0000H
4004 8250H	FCN1 モジュール・エラー・カウンタ・レジスタ	FCN1CMERCNT	R	16	0000H
4004 8258H	FCN1 モジュール割り込み許可レジスタ	FCN1CMIECTL	R/W	16	0000H
4004 8260H	FCN1 モジュール割り込みステータス・レジスタ	FCN1CMISCTL	R/W	16	0000H
4004 8270H	FCN1 モジュール・ビット・レート・レジスタ	FCN1CMBTCTL	R/W	16	370FH
4004 8280H	FCN1 モジュール受信ヒストリ・リスト・レジスタ	FCN1CMRGRX	R/W	16	xx02H
4004 8290H	FCN1 モジュール送信ヒストリ・リスト・レジスタ	FCN1CMTGTX	R/W	16	xx02H
4004 8298H	FCN1 モジュール・タイム・スタンプ・レジスタ	FCN1CMTSCTL	R/W	16	0000H

注. リセット後の値は、0000H または 00000000H です。

22.3.3 レジスタのビット構成

CAN コントローラのレジスタ・アドレスは，FCNn のベース・アドレスからのオフセットで表されます。

チャネル	ベース・アドレス
FCN0	4002 0000H
FCN1	4004 0000H

表22.9 FCN グローバル・レジスタのビット構成

アドレス・オフセット	略号	ビット 7/15/31/23	ビット 6/14/30/22	ビット 5/13/29/21	ビット 4/12/28/20	ビット 3/11/27/19	ビット 2/10/26/18	ビット 1/9/25/17	ビット 0/8/24/16
0 8000H	FCNnGMCLCTL (W)	0	0	FCNnGMCLCLMB	FCNnGCLECCF	0	0	0	FCNnGMCLCLOM
		0	0	0	FCNnGMCLSESR	0	0	FCNnGMCLSEDE	FCNnGMCLSEOM
	FCNnGMCLCTL (R)	0	0	FCNnGMCLECCF	FCNnGMCLSORF	0	0	FCNnGMCLESDE	FCNnGMCLPWOM
		FCN0GMCLSSMO	0	0	0	0	0	0	0
0 0008H	FCNnGMCSPRE	0	0	0	0	FCNnGMCSPRSC[3:0]			
0 8018H	FCNnGMABCTL (W)	0	0	0	0	0	0	0	FCNnGMABCLAT
		0	0	0	0	0	0	FCNnGMABSEAC	FCNnGMABSEAT
	FCNnGMABCTL (R)	0	0	0	0	0	0	FCNnGMABCLRF	FCNnGMABABTT
		0	0	0	0	0	0	0	0
0 0020H	FCNnGMADCTL	0	0	0	0	FCNnGMADSSAD[3:0]			
1 00C0H	FCNnDNBMRX0 (R)	FCNnDNBMSSDN[7:0]							
		FCNnDNBMSSDN[15:8]							
		FCNnDNBMSSDN[23:16]							
		FCNnDNBMSSDN[31:24]							
1 00D0H	FCNnDNBMRX1 (R)	FCNnDNBMSSDN[39:32]							
		FCNnDNBMSSDN[47:40]							
		FCNnDNBMSSDN[55:48]							
		FCNnDNBMSSDN[63:56]							

表22.10　FCN モジュール・マスク制御 16 ビット・レジスタのビット構成

アドレス・オフセット	略号	ビット 15	ビット 14	ビット 13	ビット 12-0
0 8300H	FCNnCMMKCTL01H	FCNnCMMKSSID[15:0]			
0 8308H	FCNnCMMKCTL02H	0	0	0	FCNnCMMKSSID[28:16]
0 8310H	FCNnCMMKCTL03H	FCNnCMMKSSID[15:0]			
0 8318H	FCNnCMMKCTL04H	0	0	0	FCNnCMMKSSID[28:16]
0 8320H	FCNnCMMKCTL05H	FCNnCMMKSSID[15:0]			
0 8328H	FCNnCMMKCTL06H	0	0	0	FCNnCMMKSSID[28:16]
0 8330H	FCNnCMMKCTL07H	FCNnCMMKSSID[15:0]			
0 8338H	FCNnCMMKCTL08H	0	0	0	FCNnCMMKSSID[28:16]
0 8340H	FCNnCMMKCTL09H	FCNnCMMKSSID[15:0]			
0 8348H	FCNnCMMKCTL10H	0	0	0	FCNnCMMKSSID[28:16]
0 8350H	FCNnCMMKCTL11H	FCNnCMMKSSID[15:0]			
0 8358H	FCNnCMMKCTL12H	0	0	0	FCNnCMMKSSID[28:16]
0 8360H	FCNnCMMKCTL13H	FCNnCMMKSSID[15:0]			
0 8368H	FCNnCMMKCTL14H	0	0	0	FCNnCMMKSSID[28:16]
0 8370H	FCNnCMMKCTL15H	FCNnCMMKSSID[15:0]			
0 8378H	FCNnCMMKCTL16H	0	0	0	FCNnCMMKSSID[28:16]

表22.11　FCN モジュール・マスク制御 32 ビット・レジスタのビット構成

アドレス・オフセット	略号	ビット 31	ビット 30	ビット 29	ビット 28-0
1 0300H	FCNnCMMKCTL01W	0	0	0	FCNnCMMKSSID[28:0]
1 0310H	FCNnCMMKCTL03W	0	0	0	FCNnCMMKSSID[28:0]
1 0320H	FCNnCMMKCTL05W	0	0	0	FCNnCMMKSSID[28:0]
1 0330H	FCNnCMMKCTL07W	0	0	0	FCNnCMMKSSID[28:0]
1 0340H	FCNnCMMKCTL09W	0	0	0	FCNnCMMKSSID[28:0]
1 0350H	FCNnCMMKCTL11W	0	0	0	FCNnCMMKSSID[28:0]
1 0360H	FCNnCMMKCTL13W	0	0	0	FCNnCMMKSSID[28:0]
1 0370H	FCNnCMMKCTL15W	0	0	0	FCNnCMMKSSID[28:0]

表22.12 FCN モジュール・レジスタのビット構成(1/2)

アドレス・オフセット	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
0 8240H	FCNnCMCLCTL (W)	0	FCNnCMCLCLAL	FCNnCMCLCLVL	FCNnCMCLCLPS[1:0]		FCNnCMCLCLOP[2:0]		
		FCNnCMCLSERC	FCNnCMCLSEAL	0	FCNnCMCLSEPS[1:0]		FCNnCMCLSEOP[2:0]		
	FCNnCMCLCTL (R)	FCNnCMCLERCF	FCNnCMCLALBF	FCNnCMCLVALF	FCNnCMCLMDPF[1:0]		FCNnCMCLMDOF[2:0]		
		0	0	0	0	0	0	FCNnCMCLSSRS	FCNnCMCLSSTS
0 00248H	FCNnCMLCSTR (W)	0	0	0	0	0	0	0	0
	FCNnCMLCSTR (R)	0	0	0	0	0	FCN0CMLCSSLC[2:0]		
0 024CH	FCNnCMINSTR	0	0	0	FCNnCMINBOFF	FCNnCMINSSTE[1:0]		FCNnCMINSSRE[1:0]	
0 8250H	FCNnCMERCNT	FCNnCMERTECF[7:0]							
		FCNnCMERRPSF	FCNnCMERRECF[6:0]						
0 8258H	FCNnCMIECTL (W)	0	FCNnCMIECLIE[6:0]						
		0	FCNnCMIESEIE[6:0]						
	FCNnCMIECTL (R)	0	FCNnCMIEINTF[6:0]						
		0	0	0	0	0	0	0	0
0 8260H	FCNnCMISCTL (W)	0	FCNnCMISCLTS[6:0]						
		0	0	0	0	0	0	0	0
	FCNnCMISCTL (R)	0	FCNnCMISITSF[6:0]						
		0	0	0	0	0	0	0	0
0 0268H	FCNnCMBRPRS	FCNnCMBRPRS[7:0]							
0 8270H	FCNnCMBTCTL	0	0	0	0	FCNnCMBTS1LG[3:0]			
		0	0	FCNnCMBTJWLG[1:0]		0	FCNnCMBTS2LG[2:0]		
0 0278H	FCNnCMLISTR	FCNnCMLISSLR[7:0]							
0 8280H	FCNnCMRGRX (W)	0	0	0	0	0	0	0	FCNnCMRGCLRV
		0	0	0	0	0	0	0	0
	FCNnCMRGRX (R)	0	0	0	0	0	0	FCNnCMRGSSPM	FCNnCMRGRVFF
		FCNnCMRDSSPT[7:0]							
0 0288H	FCNnCMLOSTR	FCNnCMLOSSLT[7:0]							
0 8290H	FCNnCMTGTX (W)	0	0	0	0	0	0	0	FCNnCMTGCLTV
		0	0	0	0	0	0	0	0
	FCNnCMTGTX (R)	0	0	0	0	0	0	FCNnCMTGSSPM	FCNnCMTGTVFF
		FCNnCMTGSSPT[7:0]							

表22.12　FCN モジュール・レジスタのビット構成(2/2)

アドレス・オフセット	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
0 8298H	FCNnCMTSCTL (W)	0	0	0	0	0	FCNnCMTSCLLK	FCNnCMTSCLSL	FCNnCMTSCLTS
		0	0	0	0	0	FCNnCMTSSELK	FCNnCMTSSESL	FCNnCMTSSETS
	FCNnCMTSCTL (R)	0	0	0	0	0	FCNnCMTSLOKE	FCNnCMTSSELE	FCNnCMTSTSGE
		0	0	0	0	0	0	0	0

表22.13　FCN メッセージ・バッファ・レジスタのビット構成(1/2)

アドレス・オフセット	略号	ビット 7/15/31/23	ビット 6/14/30/22	ビット 5/13/29/21	ビット 4/12/28/20	ビット 3/11/27/19	ビット 2/10/26/18	ビット 1/9/25/17	ビット 0/8/24/16
1 1000H + m x 40H	FCNnMmDAT0W	FCNnMmSSD[07:00]							
		FCNnMmSSD[17:10]							
		FCNnMmSSD[27:00]							
		FCNnMmSSD[37:30]							
0 9000H + m x 40H	FCNnMmDAT0H	FCNnMmSSD[07:00]							
		FCNnMmSSD[17:10]							
0 1000H + m x 40H	FCNnMmDAT0B	FCNnMmSSD[07:00]							
0 1004H + m x 40H	FCNnMmDAT1B	FCNnMmSSD[17:10]							
0 9008H + m x 40H	FCNnMmDAT2H	FCNnMmSSD[27:20]							
		FCNnMmSSD[37:30]							
0 1008H + m x 40H	FCNnMmDAT2B	FCNnMmSSD[27:20]							
0 100CH + m x 40H	FCNnMmDAT3B	FCNnMmSSD[37:30]							
1 1010H + m x 40H	FCNnMmDAT4W	FCNnMmSSD[47:40]							
		FCNnMmSSD[57:50]							
		FCNnMmSSD[67:60]							
		FCNnMmSSD[77:70]							
0 9010H + m x 40H	FCNnMmDAT4H	FCNnMmSSD[47:40]							
		FCNnMmSSD[57:50]							
0 1010H + m x 40H	FCNnMmDAT4B	FCNnMmSSD[47:40]							
0 1014H + m x 40H	FCNnMmDAT5B	FCNnMmSSD[57:50]							
0 9018H + m x 40H	FCNnMmDAT6H	FCNnMmSSD[67:60]							
		FCNnMmSSD[77:70]							
0 1018H + m x 40H	FCNnMmDAT6B	FCNnMmSSD[67:60]							
0 101CH + m x 40H	FCNnMmDAT7B	FCNnMmSSD[77:70]							

表22.13 FCN メッセージ・バッファ・レジスタのビット構成(2/2)

アドレス・オフセット	略号	ビット 7/15/31/23	ビット 6/14/30/22	ビット 5/13/29/21	ビット 4/12/28/20	ビット 3/11/27/19	ビット 2/10/26/18	ビット 1/9/25/17	ビット 0/8/24/16
0 1020H + m x 40H	FCNnMmDTLGB	0				FCNnMmDTLG[3:0]			
0 1024H + m x 40H	FCNnMmSTRB	FCNnMmSSOW	FCNnMmSSMT[3:0]				FCNnMmSSRT	0	FCNnMmSSAM
0 9028H + m x 40H	FCNnMmMID0H	FCNnMmSSID[7:0]							
		FCNnMmSSID[15:8]							
0 9030H + m x 40H	FCNnMmMID1H	FCNnMmSSID[23:16]							
		FCNnMmSSIE	0	0	FCNnMmSSID[28:24]				
1 1028H + m x 40H	FCNnMmMID0W	FCNnMmSSID[7:0]							
		FCNnMmSSID[15:8]							
		FCNnMmSSID[23:16]							
		FCNnMmSSIE	0	0	FCNnMmSSID[28:24]				
0 9038H + m x 40H	FCNnMmCTL (W)	0	FCNnMmCLNH	0	FCNnMmCLMW	FCNnMmCLIE	FCNnMmCLDN	FCNnMmCLTR	FCNnMmCLRY
		0	FCNnMmSENH	0	0	FCNnMmSEIE	0	FCNnMmSETR	FCNnMmSERY
	FCNnMmCTL (R)	0	FCNnMmNHMF	0	FCNnMmMOWF	FCNnMmIENF	FCNnMmDTNF	FCNnMmTRQF	FCNnMmRDYF
		0	0	FCNnMmMUCF	0	0	0	FCNnMmTCPF	0

22.4 ビットのセット／クリア機能

FCN 制御レジスタには、CPU および CAN コントローラを介してビットをセットまたはクリアできるレジスタが含まれています。これらのレジスタ・ビットは、CPU のビットバンド・アクセスでは直接変更することはできません。レジスタ・ビットの変更には、特殊なビット・セット／ビット・クリア・メカニズムが使用されます。

ビット操作演算が禁止されているレジスタでは、CPU による変更が許可されているすべてのビットが下位バイト（下記のレジスタ・レイアウトの RWx）に配置されており、上位バイト（下記のレジスタ・レイアウトの ROx）には情報が配置されていないか、読み出し専用情報が配置されています。

レジスタの説明にあるように、現在設定されている 16 個のデータ・ビットすべてを取得する通常の方法でレジスタを読み出すことができます。

レジスタ・アドレスに 16 ビット・データを書き込む場合、下位 8 ビットのセットまたはクリアには、以下のメカニズムが使用されます。

(1) ビット・クリア

下位 8 データ・ビット（下記のレジスタ・レイアウトの CLx）を使用して、各ビット位置に対応するレジスタ・ビット RWx が次のいずれの状態になるかを示します。

- クリアされる、つまり 0 にセットされる：CLx = 1 であれば、対応する RWx は 0 にクリアされます。
- 変化しない：CLx = 0 であれば、対応する RWx は変化しません。

(2) ビット・セット

上位 8 データ・ビット（下記のレジスタ・レイアウトの SEx）を使用して、各ビット位置に対応するレジスタ・ビットが次のいずれの状態になるかを示します。

- セットされる、つまり 1 にセットされる：SEx = 1 であれば、対応する RWx が 1 にセットされます。
- 変化しない：SEx = 0 であれば、対応する RWx は変化しません。

読み出しアクセスのレジスタ・レイアウト

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RO7	RO6	RO5	RO4	RO3	RO2	RO1	RO0	RW7	RW6	RW5	RW4	RW3	RW2	RW1	RW0
CPUによる変更が不可能								SE7～ SE0およびCL7～CL0を介した CPUによるビット操作が可能							

書き込みアクセスのレジスタ・レイアウト

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE7	SE6	SE5	SE4	SE3	SE2	SE1	SE0	CL7	CL6	CL5	CL4	CL3	CL2	CL1	CL0
SEx = 1であれば、対応するRW7～RW0 をセットします。								CLx = 1であれば、対応するRW7～RW0 をクリアします。							

RWx ビットに適用される操作を以下の表に示します。

表22.14　ビットのセット／クリア操作

CLx	SEx	RWx に対する操作
0	0	RWx を変更しません。
0	1	RWx をセット（1）します。
1	0	RWx をクリア（0）します。
1	1	RWx を変更しません。

例　以下に例を示します。
内容が 1883H であるレジスタを以下のように変更する場合
・ ビット 3 を 1 に設定：SE3 = 1
・ ビット 1 をクリア（0）：CL1 = 1

ビット操作前のレジスタ読み出し値

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	1	1	0	0	0	1	0	0	0	0	0	1	1
任意の値に設定することができます。この例では18Hです。								RW7～RW0：83H							

レジスタ書き込みアクセス

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0
SE3 = 1：08H								CL1 = 1：02H							

ビット操作後のレジスタ読み出し値

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	1	1	0	0	0	1	0	0	0	1	0	0	1
任意の値に設定することができます。この例では18Hです。								RW7～RW0：89H							

22.5 制御レジスタ

22.5.1 FCN グローバル・レジスタ

(1) FCNn グローバル制御レジスタ（FCNnGMCLCTL）

本レジスタは FCN モジュールの動作の制御に使用されます。

- アクセス　16 ビット単位でリード／ライトが可能です。
- アドレス　<FCNn_base> + 0 8000H
- 初期値　00x0H 注
  本レジスタは各種リセットにより初期化されます。

注 ハード・リセット後、ソフト・リセットが自動的に開始されます。
したがって、初期値は以下のようになります。
--- ソフト・リセット後にエラーが検出されなければ 0000H。
--- ソフト・リセット中にエラーが検出されなければ 0010H。
--- ソフト・リセット後にエラーが検出されれば 0020H。
--- ソフト・リセット中にエラーが検出されれば 0030H。

(a) リード時

（1/3）

15	14	13	12	11	10	9	8
FCNnGMCLSSMO	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	FCNnGMCLECCF	FCNnGMCLSORF	0	0	FCNnGMCLESDE	FCNnGMCLPWOM

ビット位置	ビット名	意　味
15	FCNnGMCLSSMO	FCN メッセージ・バッファ・レジスタおよび送受信ヒストリ・レジスタへのアクセス有効ビット 0：FCN メッセージ・バッファ・レジスタおよび送受信ヒストリ・リスト・レジスタへの書き込みアクセスおよび読み出しアクセスは無効です。 1：FCN メッセージ・バッファ・レジスタおよび送受信ヒストリ・リスト・レジスタへの書き込みアクセスおよび読み出しアクセスは有効です。 **注意 1. FCNnGMCLCTL.FCNnGMCLSSMO がクリア(0)されている間、ソフトウェアによる FCN メッセージ・バッファ・レジスタ（FCNnMm であるすべてのレジスタ）または送信ヒストリ、受信ヒストリに関連したレジスタ（FCNnCMLOSTR, FCNnCMTGTX, FCNnCMLISTR, FCNnCMRGRX）へのアクセスは無効です。** **2. FCNnGMCLCTL.FCNnGMCLSSMO はリード・オンリーです。本ビットが 0 の状態で 1 を書き込んでも、ビットの値は変わらず、FCN メッセージ・バッファ・レジスタまたは送信ヒストリ、受信ヒストリに関連したレジスタへのアクセスは無効のままです。** **備考 FCN モジュールが FCN スリープ・モードまたは FCN ストップ・モードに移行した場合、または、FCNnGMCLCTL.FCNnGMCLPWOM がクリア(0)された場合に、FCNnGMCLCTL.FCNnGMCLSSMO がクリア(0)されます。** **FCN スリープ・モードまたは FCN ストップ・モードが解除された場合、または、FCNnGMCLCTL.FCNnGMCLPWOM がセット(1)された場合に、FCNnGMCLSSMO がセット(1)されます。**

（2/3）

ビット位置	ビット名	意　味
5	FCNnGMCLECCF	メッセージ・バッファ RAM 読み出しエラー検出ビット 0：メッセージ・バッファ RAM からの読み出しでエラーが検出されなかったことを示します。 1：メッセージ・バッファ RAM からの読み出しでエラーが検出されたことを示します。
4	FCNnGMCLSORF	ソフト・リセット実行ステータス・ビット 0：ソフト・リセットを実行していないことを示します。 1：ソフト・リセットを実行中であることを示します。 **備考 1. ソフト・リセットを実行中（FCNnGMCLCTL.FCNnGMCLSORF がセット（1）されている間）、FCNnGMCLCTL.FCNnGMCLPWOM および FCNnGMCLCTL.EFSD をセットすることはできません。** **FCNnGMCLCTL.FCNnGMCLPWOM がクリア（0）されている間は、FCNnGMCLCTL.FCNnGMCLSESR = 1 にすることで、ソフトウエア・リセットの開始を設定することができます。** **2. FCNnGMCLCTL.FCNnGMCLSORF がセット（1）されると、メッセージ・バッファ RAM の初期化が開始されます。** **3. すでにセット（1）されている FCNnGMCLCTL.FCNnGMCLSORF を再びセット（1）しても、ソフト・リセット処理は再開されず、処理が継続されるだけです。** **4. ハードウエア・リセットの解除後、FCNnGMCLCTL.FCNnGMCLSORF が自動的にセット（1）され、メッセージ・バッファ RAM の初期化が開始されます。** **5. FCNnGMCLCTL.FCNnGMCLPWOM のクリア（0）と FCNnGMCLCTL.FCNnGMCLSORF のセット（1）を同時に行うことはできません。** **6. FCNnGMCLCTL.FCNnGMCLSORF = 1 の間、ハードウエア・リセットが行われると、ソフト・リセット処理が中断され、ハードウエア・リセットが開始されます。**

（3/3）

ビット位置	ビット名	意　味
1	FCNnGMCLESDE	強制シャットダウン有効ビット 0：FCNnGMCLCTL.FCNnGMCLPWOM = 0 による強制シャットダウンは無効です。 1：FCNnGMCLCTL.FCNnGMCLPWOM = 0 による強制シャットダウンは有効です。 **注意 強制シャットダウンを要求するには、FCNnGMCLCTL.FCNnGMCLESDE がセット（1）された直後に行われるアクセスで FCNnGMCLCTL.FCNnGMCLPWOM をクリア（0）する必要があります。FCNnGMCLESDE がセット（1）された直後に FCNnGMCLPWOM をクリア（0）することなく、ほかのレジスタへの何らかのアクセス（FCNnGMCLCTL レジスタの読み出しを含む）を実行すると、FCNnGMCLESDE は強制的にクリア（0）され、強制シャットダウン要求が無効になります。**
0	FCNnGMCLPWOM	グローバル動作モード・ビット 0：FCN モジュールの動作を禁止します。 1：FCN モジュールの動作を許可します。 **注意 FCNnGMCLCTL.FCNnGMCLPWOM は、初期化モード中、または FCNnGMCLCTL.FCNnGMCLESDE がセットされた（強制シャットダウン）直後にだけクリアすることができます。**

(b) ライト時

15	14	13	12	11	10	9	8
0	0	0	FCNnGMCLSESR	0	0	FCNnGMCLSESD	FCNnGMCLSEOM

7	6	5	4	3	2	1	0
0	0	FCNnGMCLCLMB	0	0	0	0	FCNnGMCLCLOM

ビット位置	ビット名	意　味
12	FCNnGMCLSESR	ソフトウエア・リセット開始 0：変化しません。 1：ソフト・リセットを開始します。
9	FCNnGMCLSESD	FCNnGMCLSESD ビットの設定 0：FCNnGMCLESDE ビットを変更しません。 1：FCNnGMCLESDE ビットをセット（1）します。
8, 0	FCNnGMCLSEOM, FCNnGMCLCLOM	FCNnGMCLPWOM ビットの設定

FCNnGMCLSEOM	FCNnGMCLCLOM	FCNnGMCLPWOM ビットの設定
0	1	FCNnGMCLCTL.FCNnGMCLPWOM ビットをクリア（0）します。
1	0	FCNnGMCLCTL.FCNnGMCLPWOM ビットをセット（1）します。
上記以外の値		FCNnGMCLCTL.FCNnGMCLPWOM ビットを変更しません。

注意 FCNnGMCLCTL.FCNnGMCLPWOM ビットと FCNnGMCLCTL.FCNnGMCLESDE ビットは必ず別々にセットしてください。

1	FCNnGMCLCLMB	FCNnGMCLCTL.FCNnGMCLECCF ビットのクリア 0：FCNnGMCLCTL.FCNnGMCLECCF ビットを変更しません。 1：FCNnGMCLCTL.FCNnGMCLECCF ビットをクリア（0）します。

(2) FCNn グローバル・クロック選択レジスタ（FCNnGMCSPRE）

本レジスタは FCN モジュール・システム・クロックの選択に使用されます。

- アクセス　8 ビット単位でリード／ライトが可能です。
- アドレス　<FCNn_base> + 0008H
- 初期値　0FH
  本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	FCNnGMCSPRSC[3:0]			

ビット位置	ビット名	意　味
3-0	FCNnGMCSPRSC[3:0]	FCN モジュール・システム・クロック（f_{CANMOD}）

FCNnGMCSPRSC[3:0]	FCN モジュール・システム・クロック（f_{CANMOD}）
0000B	f_{CAN} / 1
0001B	f_{CAN} / 2
0010B	f_{CAN} / 3
0011B	f_{CAN} / 4
0100B	f_{CAN} / 5
0101B	f_{CAN} / 6
0110B	f_{CAN} / 7
0111B	f_{CAN} / 8
1000B	f_{CAN} / 9
1001B	f_{CAN} / 10
1010B	f_{CAN} / 11
1011B	f_{CAN} / 12
1100B	f_{CAN} / 13
1101B	f_{CAN} / 14
1110B	f_{CAN} / 15
1111B	f_{CAN} / 16（デフォルト値）

備考 f_{CAN} = システム・レベルで FCN に供給されるクロック（クロックの生成、分配、選択）

(3) FCNn グローバル自動ブロック送信制御レジスタ（FCNnGMABCTL）

本レジスタは、自動ブロック送信（ABT）操作の制御に使用されます。

- アクセス　16 ビット単位でリード／ライトが可能です。
- アドレス　<FCNn_base> + 0 8018H
- 初期値　0000H
  本レジスタは各種リセットにより初期化されます。

(a) リード時

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	FCNnGMABCLRF	FCNnGMABABTT

ビット位置	ビット名	意　味
1	FCNnGMABCLRF	自動ブロック送信エンジン・クリア・ステータス・ビット 0：自動送信エンジンのクリアが完了していることを示します。 1：自動送信エンジンをクリア中であることを示します。 **備考 FCNnGMABCLRF は FCNnGMABABTT がクリア（0）されている状態でセット（1）してください。FCNnGMABABTT がセット（1）されている状態で、FCNnGMABCLRF をセット（1）した場合の動作は保証いたしません。**
0	FCNnGMABABTT	自動ブロック送信ステータス・ビット 0：自動ブロック送信が停止していることを示します。 1：自動ブロック送信が実行されていることを示します。

(b) ライト時

15	14	13	12	11	10	9	8
0	0	0	0	0	0	FCNnGMABSEAC	FCNnGMABSEAT

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FCNnGMABCLAT

備考 FCNnGMABCTL.FCNnGMABSEAC をセット（1）して自動ブロック送信エンジンをクリアすると、FCNnGMABCLRF が自動的にセットされ、要求されたクリア処理が完了すると同時に FCNnGMABCLRF が 0 にクリアされます。

注意 1. ABT 付き通常動作モードから初期化モードへ変更する前に、必ず FCNnGMABCTL レジスタをデフォルト値（0000H）に設定し、FCNnGMABCTL レジスタがデフォルト値（0000H）に確実に初期化されたことを確認してください。

2. 初期化モード中に自動ブロック送信を開始しないでください。初期化モード中に自動ブロック送信を開始した場合、CAN コントローラが ABT 付き通常動作モードに入ったときの動作は保証されません。

3. FCNnCMCLCTL.FCNnCMCLSSTS が 1 にセットされている間（送信中）に自動ブロック送信を開始しないでください。自動ブロック送信を開始する前に、あらかじめ FCNnCMCLSSTS = 0 になっていることを直接確認してください。

ビット位置	ビット名	意　味
9	FCNnGMABSEAC	自動ブロック送信エンジン・クリア要求ビット 0：自動ブロック送信エンジンがアイドル状態または動作中であることを示します。 1：自動ブロック送信エンジンのクリアを要求します。自動ブロック送信エンジンがクリアされたあと、FCNnGMABCTL.FCNnGMABABTT = 1 にセットすることで、メッセージ・バッファ 0 からの自動ブロック送信が開始されます。
8, 0	FCNnGMABSEAT, FCNnGMABCLAT	自動ブロック送信開始ビット

FCNnGMABSEAT	FCNnGMABCLAT	自動ブロック送信開始ビット
0	1	自動ブロック送信の停止を要求します。
1	0	自動ブロック送信の開始を要求します。
上記以外の値		FCNnGMABCTL.FCNnGMABABTT ビットを変更しません。

(4) FCNn グローバル自動ブロック送信遅延設定レジスタ（FCNnGMADCTL）

本レジスタは、ABT 付き通常動作モード中に、ABT に割り当てられたメッセージ・バッファのデータを送信するインターバルの設定に使用されます。

- アクセス　8 ビット単位でリード／ライトが可能です。
- アドレス　<FCNn_base> + 0020H
- 初期値　00H
  本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	FCNnGMADSSAD[3:0]			

ビット位置	ビット名	意　味
3-0	FCNnGMADSSAD[3:0]	自動ブロック送信中のデータ・フレーム・インターバル（DBT 単位）注

FCNnGMADSSAD[3:0]	自動ブロック送信中のデータ・フレーム・インターバル（DBT 単位）注
0000B	0 DBT（デフォルト値）
0001B	2^5 DBT
0010B	2^6 DBT
0011B	2^7 DBT
0100B	2^8 DBT
0101B	2^9 DBT
0110B	2^{10} DBT
0111B	2^{11} DBT
1000B	2^{12} DBT
上記以外の値	設定禁止

注 単位：DBT（データ・ビット・タイム）

注意 1. FCNnGMABCTL.FCNnGMABCLRF = 1 である間（ABT のクリア中）に FCNnGMADCTL レジスタの内容を変更しないでください。

2. ABT メッセージが実際に CAN バスに送信されるタイミングは、ほかのステーションからの送信の状態または ABT メッセージ以外のメッセージの送信要求が行われた方法によって異なります。

(5) FCNn グローバル・データ更新ビット・モニタ・レジスタ（FCNnDNBMRXk）（k = 0-1）

本レジスタは、同時に複数のメッセージ・バッファのデータ更新ビットをグローバルに読み出すために使用されます。

- アクセス　32 ビット単位でリード可能です。
- アドレス　FCNnDNBMRX0: <FCNn_base> + 1 00C0H
  FCNnDNBMRX1: <FCNn_base> + 1 00D0H
- 初期値　0000 0000H
  本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24
FCNnDNBMSSDN[31:24]							

23	22	21	20	19	18	17	16
FCNnDNBMSSDN[23:16]							

15	14	13	12	11	10	9	8
FCNnDNBMSSDN[15:8]							

7	6	5	4	3	2	1	0
FCNnDNBMSSDN[7:0]							

ビット位置	ビット名	意　味
31-0	FCNnDNBMSSDN[31:0]	メッセージ・バッファ・データ更新ビット 0：メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されていません。 1：メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されています。

22.5.2 FCN モジュール・レジスタ

(1) FCNn モジュール・マスク制御レジスタ（FCNnCMMKCTLaH, FCNnCMMKCTLaW）

これらのレジスタは、比較されるメッセージ識別子（ID）の一部をマスクし、マスクされた部分の ID を無効にすることで、同じメッセージ・バッファに保存できるメッセージの数を増やすために使用されます。

レジスタ FCNnCMMKCTLaW（a = 01, 03, 05, 07, 09, 11, 13, 15）への 1 回の 32 ビット・アクセスで、2 つの 16 ビット・レジスタ FCNnCMMKCTLaH（a= 01-16）にアクセスすることもできます。

- アクセス　FCNnCMMKCTLaH レジスタは 16 ビット単位でリード／ライト可能です。
  FCNnCMMKCTLaW レジスタは 32 ビット単位でリード／ライト可能です。
- アドレス　FCNnCMMKCTL01H: <FCNn_base> + 0 8300H
  FCNnCMMKCTL02H: <FCNn_base> + 0 8308H
  FCNnCMMKCTL03H: <FCNn_base> + 0 8310H
  FCNnCMMKCTL04H: <FCNn_base> + 0 8318H
  FCNnCMMKCTL05H: <FCNn_base> + 0 8320H
  FCNnCMMKCTL06H: <FCNn_base> + 0 8328H
  FCNnCMMKCTL07H: <FCNn_base> + 0 8330H
  FCNnCMMKCTL08H: <FCNn_base> + 0 8338H
  FCNnCMMKCTL09H: <FCNn_base> + 0 8340H
  FCNnCMMKCTL10H: <FCNn_base> + 0 8348H
  FCNnCMMKCTL11H: <FCNn_base> + 0 8350H
  FCNnCMMKCTL12H: <FCNn_base> + 0 8358H
  FCNnCMMKCTL13H: <FCNn_base> + 0 8360H
  FCNnCMMKCTL14H: <FCNn_base> + 0 8368H
  FCNnCMMKCTL15H: <FCNn_base> + 0 8370H
  FCNnCMMKCTL16H: <FCNn_base> + 0 8378H
  FCNnCMMKCTL01W: <FCNn_base> + 1 0300H
  FCNnCMMKCTL03W: <FCNn_base> + 1 0310H
  FCNnCMMKCTL05W: <FCNn_base> + 1 0320H
  FCNnCMMKCTL07W: <FCNn_base> + 1 0330H
  FCNnCMMKCTL09W: <FCNn_base> + 1 0340H
  FCNnCMMKCTL11W: <FCNn_base> + 1 0350H
  FCNnCMMKCTL13W: <FCNn_base> + 1 0360H
  FCNnCMMKCTL15W: <FCNn_base> + 1 0370H
- 初期値　FCNnCMMKCTLaH は 0000H
  本レジスタは各種リセットにより初期化されます。
  FCNnCMMKCTLaW は 0000 0000H
  本レジスタは各種リセットにより初期化されます。

(a) FCNnCMMKCTLaH (a = 01, 03, 05, 07, 09, 11, 13, 15)

15	14	13	12	11	10	9	8
FCNnCMMKSSID[15:8]							
7	6	5	4	3	2	1	0
FCNnCMMKSSID[7:0]							

(b) FCNnCMMKCTLaH (a = 02, 04, 06, 08, 10, 12, 14, 16)

15	14	13	12	11	10	9	8
0	0	0	FCNnCMMKSSID[28:24]				
7	6	5	4	3	2	1	0
FCNnCMMKSSID[23:16]							

(c) FCNnCMMKCTLaW (a = 01, 03, 05, 07, 09, 11, 13, 15)

31	30	29	28	27	26	25	24
0	0	0	FCNnCMMKSSID[28:24]				
23	22	21	20	19	18	17	16
FCNnCMMKSSID[23:16]							
15	14	13	12	11	10	9	8
FCNnCMMKSSID[15:8]							
7	6	5	4	3	2	1	0
FCNnCMMKSSID[7:0]							

ビット位置	ビット名	意　味
28-0	FCNnCMMKSSID[i 注]	ID ビットのマスク・パターン設定 0：FCNnMmSSID[i]によって設定されたメッセージ・バッファ m の ID ビット i を受信メッセージ・フレームの ID ビットと比較します。 1：FCNnMmSSID[i]によって設定されたメッセージ・バッファ m の ID ビット i を受信メッセージ・フレームの ID ビットと比較しません（マスクします）。

注 i = [28:0]

備考 マスクは常に 29 ビットの ID 長で定義されます。マスクが標準 ID を持つメッセージに割り当てられている場合、FCNnCMMKSSID[17:0]は無視されます。したがって、受信 ID の FCNnCMMKSSID[28:18]のみがマスクされます。同じマスクを標準 ID と拡張 ID の両方に使用できます。

(2)　FCNn モジュール制御レジスタ（FCNnCMCLCTL）

本レジスタは FCN モジュールの動作モードの制御に使用されます。

- アクセス　　16 ビット単位でリード／ライト可能です。
- アドレス　　<FCNn_base> + 0 8240H
- 初期値　　0000H
  本レジスタは各種リセットにより初期化されます。

(a)　リード時

（1/5）

15	14	13	12	11	10	9	8
0	0	0	0	0	0	FCNnCM CLSSRS	FCNnCM CLSSTS

7	6	5	4	3	2	1	0
FCNnCM CLERCF	FCNnCM CLALBF	FCNnCM CLVALF	FCNnCM CLMDPF[1:0]		FCNnCM CLMDOF[2:0]		

ビット位置	ビット名	意　味
9	FCNnCMCLSSRS	受信ステータス・ビット 0：受信が停止していることを示します。 1：受信中であることを示します。 **備考 1. FCNnCMCLSSRS は以下の条件（タイミング）で 1 にセットされます。** **・受信フレームの SOF ビットが検出されたとき** **・送信フレームにアービトレーション・ロストが生じたとき** **2. FCNnCMCLSSRS は以下の条件（タイミング）で 0 にクリアされます。** **・インターフレーム・スペースの第 2 ビットでレセシブ・レベルが検出されたとき** **・インターフレーム・スペースの第 1 ビットで初期化モードへ移行したとき**
8	FCNnCMCLSSTS	送信ステータス・ビット 0：送信が停止していることを示します。 1：送信中であることを示します。 **備考 1. FCNnCMCLSSTS は以下の条件（タイミング）で 1 にセットされます。** **・送信フレームの SOF ビットが検出されたとき** **2. FCNnCMCLSSTS は以下の条件（タイミング）で 0 にクリアされます。** **・バスオフ移行時** **・送信フレームにアービトレーション・ロストが生じたとき** **・インターフレーム・スペースの第 2 ビットでレセシブ・レベルが検出されたとき** **・インターフレーム・スペースの第 1 ビットで初期化モードへ移行したとき**

（2/5）

ビット位置	ビット名	意　味
7	FCNnCMCLERCF	エラー・カウンタ・クリア・ビット 0：FCNnCMERCNT レジスタと FCNnCMLCSTR レジスタを初期化モード中にクリアしません。 1：FCNnCMERCNT レジスタと FCNnCMLCSTR レジスタを初期化モード中にクリアします。 **注意 FCNnCMCLERCF ビットは、バスオフ状態から強制復帰のときにエラー・カウンタ FCNnCMERCNT と情報レジスタ FCNnCMLCSTR をクリアするために使用されます。エラー・カウンタおよび情報レジスタは下記の条件でクリア（FCNnCMCLERCF セット）可能です。** **・バスオフ期間中の初期化モード状態時** **・FCN モジュール起動（FCNnGMCLPWOM=0 状態から FCNnGMCLPWOM をセット）後の初期化モード状態時** **・動作モード中に図22.24「送信中断処理（ABT付き通常動作モードの実行中を除く）」の送信中断処理に従った全ての送信要求クリア後の初期化モード状態時** **（ABT 付き通常動作モード中は図22.25「送信中断処理（ABT付き通常動作モードの実行中） ― 中断されたメッセージの再送信オプション」の送信中断処理に従って全ての送信要求をクリアしてください。）** **備考 1. FCNnCMERCNT レジスタと FCNnCMLCSTR レジスタがクリアされると、FCNnCMCLERCF も自動的に 0 にクリアされます。** **2. 初期化モードから動作モードへの移行要求が発行されると同時に、FCNnCMCLERCF をセット（1）することができます。** **3. FCN スリープ･モード中または FCN ストップ･モード中､FCNnCMCLERCF は読み出し専用になります。** **4. エラー・カウンタは CAN コントローラの通常シャットダウンまたは強制シャットダウンでもクリアされます。**
6	FCNnCMCLALBF	アービトレーション・ロストが発生したときの動作を設定するビット 0：シングル・ショット・モード中にアービトレーション・ロストが発生したときに再送信を実行しません。 1：シングル・ショット・モード中にアービトレーション・ロストが発生したときに再送信を実行します。 **備考 FCNnCMCLALBF はシングル・ショット・モード中にのみ有効です。**

（3/5）

ビット位置	ビット名	意　味
5	FCNnCMCLVALF	有効受信メッセージ・フレーム検出ビット 0：FCNnCMCLVALF が最後に 0 にクリアされたあと、有効メッセージ・フレームが受信されていないことを示します。 1：FCNnCMCLVALF が最後に 0 にクリアされたあと、有効メッセージ・フレームが受信されたことを示します。 **備考 1. 有効受信メッセージ・フレームの検出は、受信メッセージ・バッファ（データ・フレーム／リモート・フレーム）または送信メッセージ・バッファ（リモート・フレーム）にフレームが保存されているかどうかにかかわらず、行われます。** **2. 受信オンリー・モードでは確認応答が生成されないため、2 つの CAN ノードのみが CAN バスに接続されていて、一方が通常モードでメッセージ・フレームを送信しており、もう一方が受信オンリー・モードになっている場合は、送信側ノードがエラー・パッシブ状態に入るまで FCNnCMCLVALF は 1 にセットされません。** **3. FCNnCMCLVALF をクリアするには、まず FCNnCMCLCLVL をセット（1）したあと、FCNnCMCLVALF がクリアされたかどうかを確認してください。FCNnCMCLVALF がクリアされていない場合は、クリア処理を再び実行してください。**

（4/5）

ビット位置	ビット名	意　味
4, 3	FCNnCMCLMDPF[1:0]	パワー・セーブ・モード

FCNnCMCLMDPF[1:0]	パワー・セーブ・モード
00B	パワー・セーブ・モードが選択されていないことを示します。
01B	FCN スリープ・モード
10B	設定禁止
11B	FCN ストップ・モード

注意 1. FCN ストップ・モードからほかのモードへ、またはほかのモードから FCN ストップ・モードへ移行するときは、FCN スリープ・モードを経由する必要があります。ほかのモードから FCN ストップ・モードへの直接の移行または FCN ストップ・モードからほかのモードへの直接の移行に対する要求は無視されます。

2. パワー・セーブ・モードを解除した場合は、メッセージ・バッファへのアクセスを再開する前に、FCNnGMCLCTL の FCNnGMCLSSMO フラグをチェックする必要があります。

3. FCN スリープ・モード要求は、ソフトウェアによって要求がキャンセルされるか、適切なバス状態（バス・アイドル状態）に移行するまで保留されます。ソフトウェアで FCNnCMCLMDPF[1:0]を読み出すことで、実際のステータスを確認することができます。

4. パワー・セーブ・モードは動作モード変更と組み合わせてはなりません。これらのアクセスはステップを分けて実行しなければなりません。

備考 初期化モードからいずれかの通信モードに遷移する場合、FCN モジュールは CAN バスのアイドル期間を確認した後で通信に参加します。アイドル期間確認前でもスリープ・モードに移行することは可能ですが、ウェイク・アップ条件は常にレセシブ・レベルからドミナント・レベル方向への変化です。

（5/5）

ビット位置	ビット名	意　味
2-0	FCNnCMCLMDOF[2:0]	動作モード

FCNnCMCLMDOF[2:0]	動作モード
000B	いずれの動作モードも選択されていない（FCN モジュールが初期化モード中である）ことを示します。
001B	通常動作モード
010B	自動ブロック送信機能付き通常動作モード（ABT 付き通常動作モード）
011B	受信オンリー・モード
100B	シングル・ショット・モード
101B	セルフ・テスト・モード
上記以外の値	設定禁止

注意 1. 初期化モードまたはパワー・セーブ・モードへの移行には時間がかかることがあります。次の処理を開始する前に、値を読み出すことによって、モードの変更が成功したかどうかを必ず確認してください。

2. 動作モードで受信中の間に初期化モードを設定したとき、メッセージ・バッファの FCNnMmDTNF フラグをセットする最後の受信が発生する可能性があります。しかしながら、動作モードへ戻る遷移は受信ヒストリ・リストもまたクリアします。従って、初期化モードに達したことを動作モードを読み込むことによって確認しなければなりません。動作モードを再開する前に、全ての有効な受信メッセージ・バッファの全てのセットされた FCNnMmDTNF フラグをクリアしなければなりません。

備考 FCN スリープ・モード中または FCN ストップ・モード中、FCNnCM.FCNnCMCLMDOF[2:0]は読み出し専用になります。

(b) ライト時

（1/2）

15	14	13	12	11	10	9	8
FCNnCM CLSERC	FCNnCM CLSEAL	0	FCNnCM CLSEPS[1:0]		FCNnCM CLSEOP[2:0]		

7	6	5	4	3	2	1	0
0	FCNnCM CLCLAL	FCNnCM CLCLVL	FCNnCM CLCLPS[1:0]		FCNnCM CLCLOP[2:0]		

ビット位置	ビット名	意　味
15	FCNnCMCLSERC	FCNnCMCLERCF ビットの設定 0：FCNnCMCLERCF を変更しません。 1：FCNnCMCLERCF をセット（1）します。
14, 6	FCNnCMCLSEAL, FCNnCMCLCLAL	FCNnCMCLSEAL / FCNnCMCLCLAL / FCNnCMCLALBF ビットの設定 0 / 1 / FCNnCMCLALBF をクリア（0）します。 1 / 0 / FCNnCMCLALBF をセット（1）します。 上記以外の値 / FCNnCMCLALBF を変更しません。
5	FCNnCMCLCLVL	FCNnCMCLVALF ビットの設定 0：FCNnCMCLVALF を変更しません。 1：FCNnCMCLVALF をクリア（0）します。
11, 3	FCNnCMCLSEPS0, FCNnCMCLCLPS0	FCNnCMCLSEPS0 / FCNnCMCLCLPS0 / FCNnCMCLMDPF0 ビットの設定 0 / 1 / FCNnCMCLMDPF0 をクリア（0）します。 1 / 0 / FCNnCMCLMDPF0 をセット（1）します。 上記以外の値 / FCNnCMCLMDPF0 を変更しません。
12, 4	FCNnCMCLSEPS1, FCNnCMCLCLPS1	FCNnCMCLSEPS1 / FCNnCMCLCLPS1 / FCNnCMCLMDPF1 ビットの設定 0 / 1 / FCNnCMCLMDPF1 をクリア（0）します。 1 / 0 / FCNnCMCLMDPF1 をセット（1）します。 上記以外の値 / FCNnCMCLMDPF1 を変更しません。
8, 0	FCNnCMCLSEOP0, FCNnCMCLCLOP0	FCNnCMCLSEOP0 / FCNnCMCLCLOP0 / FCNnCMCLMDOF0 ビットの設定 0 / 1 / FCNnCMCLMDOF0 をクリア（0）します。 1 / 0 / FCNnCMCLMDOF0 をセット（1）します。 上記以外の値 / FCNnCMCLMDOF0 を変更しません。

（2/2）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>9,
1</td><td>FCNnCMCLSEOP1,
FCNnCMCLCLOP1</td><td>
<table>
<tr><th>FCNnCMCLSEOP1</th><th>FCNnCMCLCLOP1</th><th>FCNnCMCLMDOF1 ビットの設定</th></tr>
<tr><td>0</td><td>1</td><td>FCNnCMCLMDOF1 をクリア（0）します。</td></tr>
<tr><td>1</td><td>0</td><td>FCNnCMCLMDOF1 をセット（1）します。</td></tr>
<tr><td colspan="2">上記以外の値</td><td>FCNnCMCLMDOF1 を変更しません。</td></tr>
</table>
</td></tr>
<tr><td>10,
2</td><td>FCNnCMCLSEOP2,
FCNnCMCLCLOP2</td><td>
<table>
<tr><th>FCNnCMCLSEOP2</th><th>FCNnCMCLCLOP2</th><th>FCNnCMCLMDOF2 ビットの設定</th></tr>
<tr><td>0</td><td>1</td><td>FCNnCMCLMDOF2 をクリア（0）します。</td></tr>
<tr><td>1</td><td>0</td><td>FCNnCMCLMDOF2 をセット（1）します。</td></tr>
<tr><td colspan="2">上記以外の値</td><td>FCNnCMCLMDOF2 を変更しません。</td></tr>
</table>
</td></tr>
</table>

(3) FCNn モジュール最終エラー情報レジスタ（FCNnCMLCSTR）

本レジスタは CAN プロトコルのエラー情報を提供します。

- アクセス　8 ビット単位でリード／ライト可能です。
- アドレス　<FCNn_base> + 0 0248H
- 初期値　00H
  本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	FCNnCMLCSSLC[2:0]		

備考 1. FCN モジュールが動作モードから初期化モードへ移行しても FCNnCMLCSTR レジスタの内容はクリアされません。
2. ソフトウェアで 00H 以外の値を FCNnCMLCSTR レジスタに書き込もうとしても、そのアクセスは無視されます。

ビット位置	ビット名	意　味
2-0	FCNnCMLCSSLC[2:0]	

FCNnCMLCSSLC[2:0]	最終 CAN プロトコル・エラー情報
000B	エラーなし
001B	スタッフ・エラー
010B	フォーム・エラー
011B	ACK エラー
100B	ビット・エラー（FCN モジュールがレセシブ・レベルのビットを（アービトレーション・フィールド以外の）送信メッセージの一部として送信しようとしたが、CAN バス上の値がドミナント・レベルのビットだった）
101B	ビット・エラー（FCN モジュールがドミナント・レベルのビットを送信メッセージ、ACK ビット、エラー・フレームまたはオーバロード・フレームの一部として送信しようとしたが、CAN バス上の値がレセシブ・レベルのビットだった）
110B	CRC エラー
111B	不定

(4) FCNn モジュール情報レジスタ（FCNnCMINSTR）

本レジスタは FCN モジュールの状態を示します。

- アクセス　8 ビット単位でリードのみ可能です。
- アドレス　<FCNn_base> + 0 024CH
- 初期値　00H
  本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	FCNnCM INBOFF	FCNnCM INSSTE[1:0]		FCNnCM INSSRE[1:0]	

ビット位置	ビット名	意　味
4	FCNnCMINBOFF	
3, 2	FCNnCMINSSTE[1:0]	
1, 0	FCNnCMINSSRE[1:0]	

FCNnCMINBOFF	バスオフ状態ビット
0	バスオフ状態でないこと（送信エラー・カウンタが 255 以下）を示します（送信エラー・カウンタの値が 256 未満）。
1	バスオフ状態であること（送信エラー・カウンタが 255 を上回っている）を示します（送信エラー・カウンタの値が 256 以上）。

FCNnCMINSSTE[1:0]	送信エラー・カウンタ状態ビット
00B	送信エラー・カウンタの値が警告レベル（96）未満であることを示します。
01B	送信エラー・カウンタの値が警告レベルの範囲内（96-127）であることを示します。
10B	不定
11B	送信エラー・カウンタの値がエラー・パッシブ状態またはバスオフ状態の範囲にあること（128 以上）を示します。

FCNnCMINSSRE[1:0]	受信エラー・カウンタ状態ビット
00B	受信エラー・カウンタの値が警告レベル（96）未満であることを示します。
01B	受信エラー・カウンタの値が警告レベルの範囲内（96-127）であることを示します。
10B	不定
11B	受信エラー・カウンタの値がエラー・パッシブ状態の範囲にあること（128 以上）を示します。

(5) FCNn モジュール・エラー・カウンタ・レジスタ（FCNnCMERCNT）

本レジスタは送受信エラー・カウンタのカウント値を示します。

- アクセス　16 ビット単位でリードのみ可能です。
- アドレス　<FCNn_base> + 0 8250H
- 初期値　0000H
  本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8
FCNnCMERRPSF	FCNnCMERRECF[6:0]						

7	6	5	4	3	2	1	0
FCNnCMERTECF[7:0]							

ビット位置	ビット名	意　味
15	FCNnCMERRPSF	FCNnCMERRPSF：受信エラー・パッシブ・ステータス・ビット 0：受信エラー・カウンタがエラー・パッシブ範囲にないこと（128 未満）を示します。 1：受信エラー・カウンタがエラー・パッシブ範囲にあること（128 以上）を示します。
14-8	FCNnCMERRECF[6:0]	FCNnCMERRECF[6:0]：受信エラー・カウンタ・ビット 0-127：0-127 受信エラー・カウント数を示します。これらのビットは受信エラー・カウンタの状態を反映します。カウント数はCAN プロトコルによって定義されています。 **備考 受信エラー・パッシブ状態（FCNnCMINSTR.FCNnCMINSSRE[1:0] = 11B）では、FCNnCMERRECF[6:0]は無効です。**
7-0	FCNnCMERTECF[7:0]	FCNnCMERTECF[7:0]：送信エラー・カウンタ・ビット 0-255：0-255 送信エラー・カウント数を示します。これらのビットは送信エラー・カウンタの状態を反映します。カウント数はCAN プロトコルによって定義されています。 **備考 バスオフ状態（FCNnCMINSTR.FCNnCMINBOFF = 1）では、FCNnCMERTECF[7:0]は無効です。**

(6) FCNn モジュール割り込み許可レジスタ（FCNnCMIECTL）

本レジスタは FCN モジュールの割り込みの許可または禁止に使用されます。

- アクセス　16 ビット単位でリード／ライト可能です。
- アドレス　<FCNn_base> + 0 8258H
- 初期値　0000H
  本レジスタは各種リセットにより初期化されます。

(a) リード時

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	FCNnCMIEINTF[6:0]						

ビット位置	ビット名	意　味
6-0	FCNnCMIEINTF[6:0]	

FCNnCMIEINTF[6:0]	FCN モジュール割り込み許可ビット
0	割り込みステータス・レジスタ FCNnCMISCTL に対応する割り込みの出力を禁止します。
1	割り込みステータス・レジスタ FCNnCMISCTL に対応する割り込みの出力を許可します。

(b) ライト時

15	14	13	12	11	10	9	8
	FCNnCMIESEIE[6:0]						

7	6	5	4	3	2	1	0
	FCNnCMIECLIE[6:0]						

ビット位置	ビット名	意　味
14-8, 6-0	FCNnCMIESEIE[6:0], FCNnCMIECLIE[6:0]	

FCNnCMIESEIE[6:0]	FCNnCMIECLIE[6:0]	FCNnCMIEINTF[6:0]ビットの設定
0	1	FCNnCMIEINTF[6:0]ビットをクリア（0）します。
1	0	FCNnCMIEINTF[6:0]ビットをセット（1）します。
上記以外の値		FCNnCMIEINTF[6:0]ビットを変更しません。

(7) FCNn モジュール割り込みステータス・レジスタ（FCNnCMISCTL）

本レジスタは FCN モジュールの割り込みステータスを示します。

- アクセス　16 ビット単位でリード／ライト可能です。
- アドレス　<FCNn_base> + 0 8260H
- 初期値　0000H
  本レジスタは各種リセットにより初期化されます。

(a) リード時

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	FCNnCMISITSF[6:0]						

ビット位置	ビット名	意　味
6-0	FCNnCMISITSF[6:0]	

FCNnCMISITSF[6:0]	FCN 割り込みステータス・ビット
0	関連する割り込みソース・イベントが保留中でないことを示します。
1	関連する割り込みソース・イベントが保留中であることを示します。

割り込みステータス・ビット	関連する割り込みソース・イベント
FCNnCMISITSF6	FCN モジュール送信中断割り込みステータス・ビット
FCNnCMISITSF5	FCN スリープ・モードからのウェイク・アップ割り込み注
FCNnCMISITSF4	アービトレーション・ロスト割り込み
FCNnCMISITSF3	CAN プロトコル・エラー割り込み
FCNnCMISITSF2	CAN エラー・ステータス割り込み
FCNnCMISITSF1	メッセージ・バッファ m への有効なメッセージ・フレームの受信完了割り込み
FCNnCMISITSF0	メッセージ・バッファ m からのメッセージ・フレームの正常な送信完了割り込み

注 FCNnCMISITSF5 は、FCN モジュールが CAN バス上の動作によって FCN スリープ・モードからウェイク・アップされたときにのみセットされます。FCN スリープ・モードがソフトウェアによって解除された場合は、セットされません。

(b) ライト時

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	FCNnCMISCLTS[6:0]						

ビット位置	ビット名	意　味
6-0	FCNnCMISCLTS[6:0]	

FCNnCMISCLTS[6:0]	FCNnCMISITSF[6:0]のクリア
0	FCNnCMISITSF[6:0]ビットを変更しません。
1	FCNnCMISITSF[6:0]ビットをクリア（0）します。

注意 これらのビットは自動的にはクリアされないため、割り込み処理で各ステータスの確認が必要な場合は、本レジスタのステータス・ビットをソフトウェアでクリアしてください。

(8)　FCNn モジュール・ビット・レート・プリスケーラ・レジスタ（FCNnCMBRPRS）

本レジスタは CAN プロトコル・レイヤの基本システム・クロック（f_{TQ}）の選択に使用されます。通信ボー・レートは FCNnCMBTCTL レジスタに合わせて設定されます。

- アクセス　　8 ビット単位でリード／ライト可能です。
- アドレス　　<FCNn_base> + 0 0268H
- 初期値　　FFH
  本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
FCNnCMBRPRS[7:0]							

ビット位置	ビット名	意　味
7-0	FCNnCMBRPRS[7:0]	

FCNnCMBRPRS[7:0]	CAN プロトコル・レイヤの基本システム・クロック（f_{TQ}）
0x00	f_{CANMOD} / 1
0x01	f_{CANMOD} / 2
n	f_{CANMOD} / (n+1)
:	:
0xff	f_{CANMOD} / 256（デフォルト値）

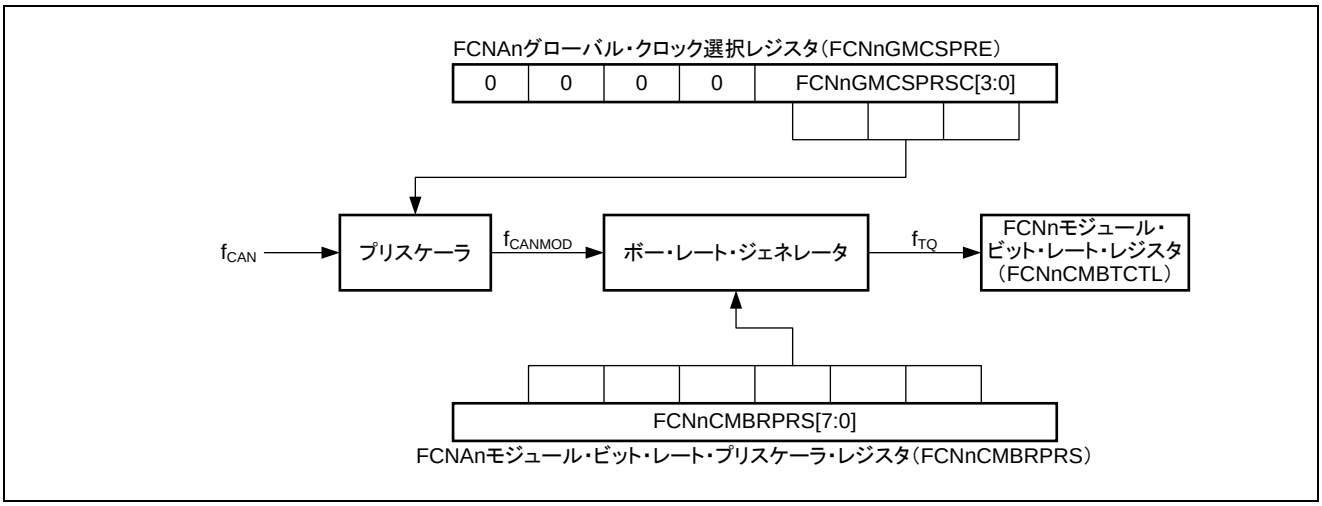


図22.2　　FCN モジュール・クロック

備考 f_{CAN} :　　FCN へ供給されるクロック
f_{CANMOD} :　　FCN モジュール・システム・クロック
f_{TQ} :　　CAN プロトコル・レイヤの基本システム・クロック

注意 FCNnCMBRPRS へは、初期化モード中のみ書き込みアクセスが可能です。

(9)　FCNn モジュール・ビット・レート・レジスタ（FCNnCMBTCTL）

本レジスタは、通信ボー・レートのデータ・ビット・タイムの制御に使用されます。

- アクセス　　16 ビット単位でリード／ライト可能です。
- アドレス　　<FCNn_base> + 0 8270H
- 初期値　　370FH
  本レジスタは各種リセットにより初期化されます。

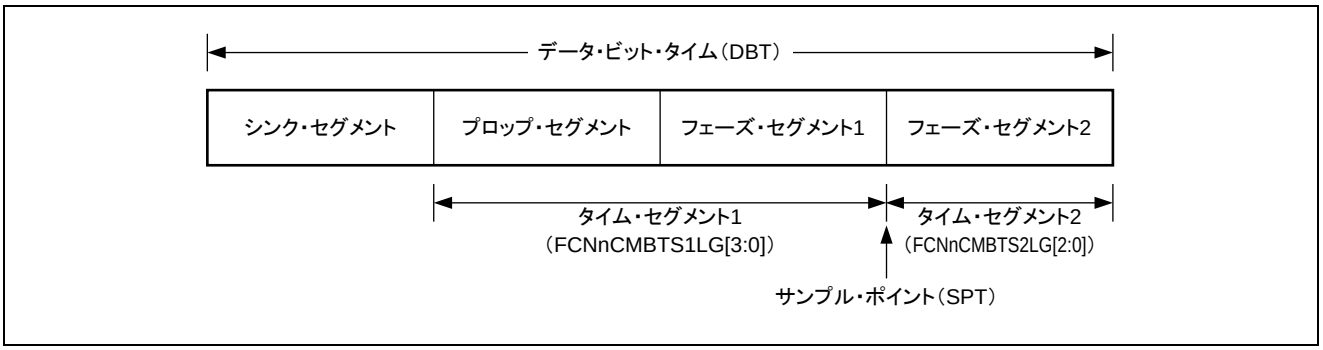


図22.3　　データ・ビット・タイム

（1/2）

15	14	13	12	11	10	9	8
0	0	FCNnCM BTJWLG[1:0]		0	FCNnCM BTS2LG[2:0]		

7	6	5	4	3	2	1	0
0	0	0	0	FCNnCMBTS1LG[3:0]			

ビット位置	ビット名	意　味
13, 12	FCNnCMBTJWLG[1:0]	

FCNnCMBTJWLG[1:0]	同期ジャンプ幅の長さ
00B	$1T_Q$
01B	$2T_Q$
10B	$3T_Q$
11B	$4T_Q$（初期値）

備考 $T_Q = 1 / f_{TQ}$（f_{TQ}：CAN プロトコル・レイヤの基本システム・クロック）

（2/2）

ビット位置	ビット名	意　味
10-8	FCNnCMBTS2LG[2:0]	
3-0	FCNnCMBTS1LG[3:0]	

FCNnCMBTS2LG[2:0]	タイム・セグメント 2 の長さ
000B	$1T_Q$
001B	$2T_Q$
010B	$3T_Q$
011B	$4T_Q$
100B	$5T_Q$
101B	$6T_Q$
110B	$7T_Q$
111B	$8T_Q$（初期値）

FCNnCMBTS1LG[3:0]	タイム・セグメント 1 の長さ
0000B	設定禁止
0001B	設定禁止
0010B	設定禁止
0011B	$4T_Q$
0100B	$5T_Q$
0101B	$6T_Q$
0110B	$7T_Q$
0111B	$8T_Q$
1000B	$9T_Q$
1001B	$10T_Q$
1010B	$11T_Q$
1011B	$12T_Q$
1100B	$13T_Q$
1101B	$14T_Q$
1110B	$15T_Q$
1111B	$16T_Q$（初期値）

備考 $T_Q = 1 / f_{TQ}$（f_{TQ}：CAN プロトコル・レイヤの基本システム・クロック）

(10) FCNn モジュール最終受信ポインタ・レジスタ（FCNnCMLISTR）

本レジスタは、データ・フレームまたはリモート・フレームが最後に保存されたメッセージ・バッファの番号を示します。

- アクセス　　8 ビット単位でリードのみ可能です。
- アドレス　　<FCNn_base> + 0 0278H
- 初期値　　不定

7	6	5	4	3	2	1	0
FCNnCMLISSLR[7:0]							

ビット位置	ビット名	意　味
7-0	FCNnCMLISSLR[7:0]	

FCNnCMLISSLR[7:0]	受信ヒストリ・リストの最終受信ポインタ
0-63	FCNnCMLISTR レジスタをリードすると、データ・フレームまたはリモート・フレームが最後に受信格納されたメッセージ・バッファ番号が得られます。

備考　メッセージ・バッファにデータ・フレームまたはリモート・フレームが一度も受信格納されていない場合は、FCNnCMLISTR の読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後に FCNnCMRGRX.FCNnCMRGSSPM がセットされている場合には、FCNnCMLISTR の読み出し値は不定となります。

(11) FCNn モジュール受信ヒストリ・リスト・レジスタ（FCNnCMRGRX）

本レジスタは受信ヒストリ・リスト（RHL）の読み出しに使用されます。

- アクセス　　16 ビット単位でリード／ライト可能です。
- アドレス　　<FCNn_base> + 0 8280H
- 初期値　　xx02H
  本レジスタは各種リセットにより初期化されます。

(a)　リード時

（1/2）

15	14	13	12	11	10	9	8
FCNnCMRGSSPT[7:0]							

7	6	5	4	3	2	1	0
0	0	0	0	0	0	FCNnCMRGSSPM	FCNnCMRGRVFF

ビット位置	ビット名	意　味
15-8	FCNnCMRGSSPT[7:0]	FCNnCMRGSSPT[7:0]：受信ヒストリ・リスト読み出しポインタ 0-63：FCNnCMRGRX をリードすると、受信ヒストリ・リストの読み出しポインタ（FCNnCMRGRX.FCNnCMRGSSPT）でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが受信格納されたメッセージ・バッファ番号が得られます。
1	FCNnCMRGSSPM 注	FCNnCMRGSSPM 注：受信ヒストリ・リストのポインター致 0：受信ヒストリ・リストには、少なくとも 1 つのリードされていないメッセージ・バッファ番号があります。 1：受信ヒストリ・リストには、リードされていないメッセージ・バッファ番号がありません。

注 FCNnCMTGSSPM = 1 のとき、FCNnCMTGSSPT[7:0]の読み出し値は無効です。

（2/2）

ビット位置	ビット名	意　味
0	FCNnCMRGRVFF 注1	

FCNnCMRGRVFF 注1	受信ヒストリ・リスト・オーバフロー・ビット注2
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを受信格納したメッセージ・バッファ番号はすべて受信ヒストリ・リストに記録されます（受信ヒストリ・リストに空きのエレメントが存在します）。
1	ホスト・プロセッサが受信ヒストリ・リスト（RHL）を最後に使用（たとえば、FCNnCMRGRX の読み込みなど）してから少なくとも（i）個のエントリが格納されています。 FCNnCMRGRVFF がセットされていると、すべてのメッセージ・バッファ番号は位置（i）に格納されるため、最初の（i-1）個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージを受信格納するたびに上書きされます。したがって、受信した順番を完全に回復することができません。

注 1. FCNnCMRGRVFF がセットされていれば、FCNnCMRGSSPM はメッセージが保存されてもクリアされませんが、FCNnCMRGRX のすべてのエントリがソフトウェアで読み出されれば、FCNnCMRGSSPM はセットされます。

2. i = 47

(b)　ライト時

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FCNnCMRGCLRV

ビット位置	ビット名	意　味
0	FCNnCMRGCLRV	

FCNnCMRGCLRV	FCNnCMRGRVFF ビットのクリア
0	FCNnCMRGRVFF ビットを変更しません。
1	FCNnCMRGRVFF ビットをクリア（0）します。

(12) FCNn モジュール最終送信ポインタ・レジスタ（FCNnCMLOSTR）

本レジスタは、データ・フレームまたはリモート・フレームを最後に送信したメッセージ・バッファの番号を示します。

- アクセス　　8 ビット単位でリードのみ可能です。
- アドレス　　<FCNn_base> + 0 0288H
- 初期値　　不定

7	6	5	4	3	2	1	0
FCNnCMLOSSLT[7:0]							

ビット位置	ビット名	意　味
	FCNnCMLOSSLT[7:0]	

FCNnCMLOSSLT[7:0]	送信ヒストリ・リストの最終送信ポインタ
0-63	FCNnCMLOSTR をリードすると、データ・フレームまたはリモート・フレームが最後に送信されたメッセージ・バッファ番号が得られます。

注意　メッセージ・バッファからデータ・フレームまたはリモート・フレームが送信されたことがない場合、FCNnCMLOSTR レジスタの読み出し値は不定になります。

(13) FCNn モジュール送信ヒストリ・リスト・レジスタ（FCNnCMTGTX）

本レジスタは送信ヒストリ・リスト（THL）の読み出しに使用されます。

- アクセス　16 ビット単位でリード／ライト可能です。
- アドレス　<FCNn_base> + 0 8290H
- 初期値　xx02H
  本レジスタは各種リセットにより初期化されます。

(a) リード時

（1/2）

15	14	13	12	11	10	9	8
FCNnCMTGSSPT[7:0]							

7	6	5	4	3	2	1	0
0	0	0	0	0	0	FCNnCMTGSSPM	FCNnCMTGTVFF

ビット位置	ビット名	意　味
15-8	FCNnCMTGSSPT[7:0]	FCNnCMTGSSPT[7:0]：送信ヒストリ・リスト読み出しポインタ 0-63：FCNnCMTGTX をリードすると、送信ヒストリ・リストの読み出しポインタ（FCNnCMTGSSPT[7:0]）でインデクスされるエレメントの内容が読み出されます。これにより、データ・フレームまたはリモート・フレームが送信されたメッセージ・バッファ番号が得られます。
1	FCNnCMTGSSPM 注	FCNnCMTGSSPM 注：送信ヒストリ・リストのポインター致 0：送信ヒストリ・リストには、少なくとも 1 つのリードされていないメッセージ・バッファ番号があります。 1：送信ヒストリ・リストには、リードされていないメッセージ・バッファ番号がありません。

注. FCNnCMTGSSPM = 1 のとき、FCNnCMTGSSPT[7:0]の読み出し値は無効です。

（2/2）

ビット位置	ビット名	意　味
0	FCNnCMTGTVFF 注1	

FCNnCMTGTVFF 注1	送信ヒストリ・リスト・オーバフロー・ビット注2
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを送信完了したメッセージ・バッファ番号はすべて送信ヒストリ・リストに記録されます（送信ヒストリ・リストに空きのエレメントが存在します）。
1	ホスト・プロセッサが送信ヒストリ・リスト（THL）を最後に使用（たとえば、FCNnCMTGTX の読み込みなど）してから少なくとも（i）個のエントリが格納されています。FCNnCMTGTVFF がセットされていると、すべてのメッセージ・バッファ番号は位置（i）に格納されるため、最初の（i-1）個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージの送信が完了するたびに上書きされます。したがって、送信した順番を完全に回復することができません。

注 1. FCNnCMTGTVFF がセットされていれば、FCNnCMTGSSPM はメッセージが送信されてもクリアされませんが、FCNnCMTGTX のすべてのエントリがソフトウェアで読み出されれば、FCNnCMTGSSPM はセットされます。

2. i = 15

備考 以下のメッセージ・バッファからの送信は、ABT 付きの通常動作モード中には送信ヒストリ・リストに記録されません。

・0-16

(b) ライト時

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FCNnCMTGCLTV

ビット位置	ビット名	意　味
0	FCNnCMTGCLTV	

FCNnCMTGCLTV	FCNnCMTGTVFF ビットの設定
0	FCNnCMTGTVFF ビットを変更しません。
1	FCNnCMTGTVFF ビットをクリア（0）します。

(14) FCNn モジュール・タイム・スタンプ・レジスタ（FCNnCMTSCTL）

本レジスタはタイム・スタンプ機能の制御に使用されます。

- アクセス　16 ビット単位でリード／ライト可能です。
- アドレス　<FCNn_base> + 0 8298H
- 初期値　0000H
  本レジスタは各種リセットにより初期化されます。

(a) リード時

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	FCNnCMTSLOKE	FCNnCMTSSELE	FCNnCMTSTSGE

備考 FCN モジュールが ABT 付き通常動作モードを実行している間は、タイム・スタンプ機能のロック機能を使用しないでください。

ビット位置	ビット名	意　味
2	FCNnCMTSLOKE	FCNnCMTSLOKE：タイム・スタンプ・ロック機能許可ビット 0：タイム・スタンプ・ロック機能を停止させます。TSOUT 信号は、選択されているタイム・スタンプ・キャプチャ・イベントが発生するたびにトグルします。 1：タイム・スタンプ・ロック機能を許可します。TSOUT 信号は、選択されているタイム・スタンプ・キャプチャ・イベントが発生するたびにトグルします。ただし、データ・フレームがメッセージ・バッファ 0 で正しく受信されれば、TSOUT 出力信号はロックされます。注 **注 FCNnCMTSTSGE は自動的に 0 にクリアされます。**
1	FCNnCMTSSELE	FCNnCMTSSELE：タイム・スタンプ・キャプチャ・イベント選択ビット 0：タイム・スタンプ・キャプチャ・イベントは SOF です。 1：タイム・スタンプ・キャプチャ・イベントは EOF の最終ビットです。
0	FCNnCMTSTSGE	FCNnCMTSTSGE：TSOUT 動作設定ビット 0：TSOUT のトグル動作を禁止します。 1：TSOUT のトグル動作を許可します。

(b) ライト時

15	14	13	12	11	10	9	8
0	0	0	0	0	FCNnCMTSSELK	FCNnCMTSSESL	FCNnCMTSSETS

7	6	5	4	3	2	1	0
0	0	0	0	0	FCNnCMTSCLLK	FCNnCMTSCLSL	FCNnCMTSCLTS

ビット位置	ビット名	意　味
10, 2	FCNnCMTSSELK, FCNnCMTSCLLK	FCNnCMTSSELK / FCNnCMTSCLLK / FCNnCMTSLOKE ビットの設定 0 / 1 / FCNnCMTSLOKE をクリア（0）します。 1 / 0 / FCNnCMTSLOKE をセット（1）します。 上記以外の値 / FCNnCMTSLOKE を変更しません。
9, 1	FCNnCMTSSESL, FCNnCMTSCLSL	FCNnCMTSSESL / FCNnCMTSCLSL / FCNnCMTSSELE ビットの設定 0 / 1 / FCNnCMTSSELE をクリア（0）します。 1 / 0 / FCNnCMTSSELE をセット（1）します。 上記以外の値 / FCNnCMTSSELE を変更しません。
8, 0	FCNnCMTSSETS, FCNnCMTSCLTS	FCNnCMTSSETS / FCNnCMTSCLTS / FCNnCMTSTSGE ビットの設定 0 / 1 / FCNnCMTSTSGE をクリア（0）します。 1 / 0 / FCNnCMTSTSGE をセット（1）します。 上記以外の値 / FCNnCMTSTSGE を変更しません。

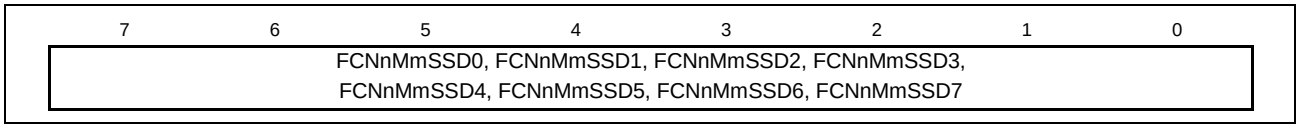
22.5.3 FCN メッセージ・バッファ・レジスタ

(1) FCNn メッセージ・データ・バイト・レジスタ（FCNnMmDATxB/H/W）

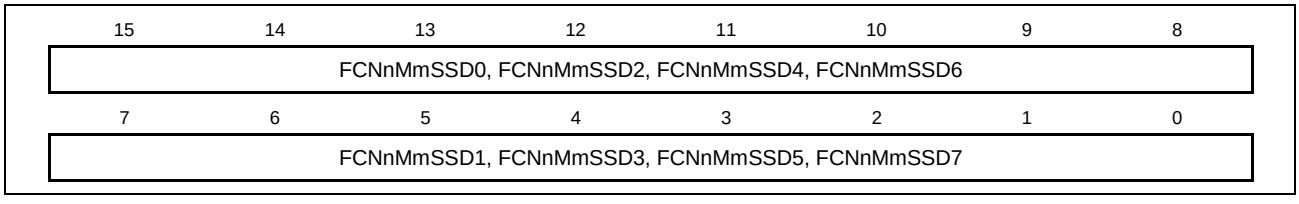
これらのレジスタは送受信メッセージのデータの保存に使用されます。

- アクセス
  FCNnMmDATxW レジスタは、32 ビット単位でリード／ライト可能です。
  FCNnMmDATxH レジスタは、16 ビット単位でリード／ライト可能です。
  FCNnMmDATxB レジスタは、8 ビット単位でリード／ライト可能です。
- アドレス
  FCNnMmDAT0B: <FCNn_base> + 0 1000H + m x 40H
  FCNnMmDAT1B: <FCNn_base> + 0 1004H + m x 40H
  FCNnMmDAT2B: <FCNn_base> + 0 1008H + m x 40H
  FCNnMmDAT3B: <FCNn_base> + 0 100CH + m x 40H
  FCNnMmDAT4B: <FCNn_base> + 0 1010H + m x 40H
  FCNnMmDAT5B: <FCNn_base> + 0 1014H + m x 40H
  FCNnMmDAT6B: <FCNn_base> + 0 1018H + m x 40H
  FCNnMmDAT7B: <FCNn_base> + 0 101CH + m x 40H
  FCNnMmDAT0H: <FCNn_base> + 0 9000H + m x 40H
  FCNnMmDAT2H: <FCNn_base> + 0 9008H + m x 40H
  FCNnMmDAT4H: <FCNn_base> + 0 9010H + m x 40H
  FCNnMmDAT6H: <FCNn_base> + 0 9018H + m x 40H
  FCNnMmDAT0W: <FCNn_base> + 1 1000H + m x 40H
  FCNnMmDAT4W: <FCNn_base> + 1 1010H + m x 40H
- 初期値
  FCNnMmDATxW レジスタは 00000000H
  本レジスタは各種リセットにより初期化されます。
  FCNnMmDATxH レジスタは 0000H
  本レジスタは各種リセットにより初期化されます。
  FCNnMmDATxB レジスタは 00H
  本レジスタは各種リセットにより初期化されます。

(a) FCNnCMmDATxB (x = 0-7)



(b) FCNnCMmDATxH (x = 0, 2, 4, 6)



(c) FCNnCMmDATxW (x = 0, 4)

31	30	29	28	27	26	25	24
FCNnMmSSD0, FCNnMmSSD4							
23	22	21	20	19	18	17	16
FCNnMmSSD1, FCNnMmSSD5							
15	14	13	12	11	10	9	8
FCNnMmSSD2, FCNnMmSSD6							
7	6	5	4	3	2	1	0
FCNnMmSSD3, FCNnMmSSD7							

(2) FCNn メッセージ・データ長レジスタ m（FCNnMmDTLGB）

本レジスタはメッセージ・バッファのデータ・フィールドのバイト数（DLC）の設定に使用されます。

- アクセス　8 ビット単位でリード／ライト可能です。
- アドレス　<FCNn_base> + 0 1020H + m x 40H
- 初期値　00H
  本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	FCNnMmDTLG[3:0]			

ビット位置	ビット名	意　味
3-0	FCNnMmDTLG[3:0]	

FCNnMmDTLG[3:0]	送受信メッセージのデータ長
0000B	0 バイト
0001B	1 バイト
0010B	2 バイト
0011B	3 バイト
0100B	4 バイト
0101B	5 バイト
0110B	6 バイト
0111B	7 バイト
1000B	8 バイト
1001B	設定禁止 （送信時に設定した場合、データ・フレームが送信されるときに、FCNnMmDTLG[3:0]の設定値に関係なく、8 バイト・データが送信されます。しかし、実際に CAN バスに送信される DLC は、このレジスタに対して設定された値です）。注
1010B	
1011B	
1100B	
1101B	
1110B	
1111B	

注 データと DLC 値は、実際は以下のように CAN バスに送信されます。

送信フレームのタイプ	送信データ長	送信される DLC
データ・フレーム	FCNnMmDTLG[3:0]によって指定されたバイト数（ただし、設定値が 8 以上のときは 8 バイト）	FCNnMmDTLGB.FCNnMmDTLG[3:0] ビットの設定値
リモート・フレーム	0 バイト	

注意 1. ビット 7-4 を必ず 0000B に設定してください。
2. 受信データは、受信フレームの DLC に対応するバイト数と同じ数（ただし、上限は 8 個）の FCNnMmDATxB レジスタに保存されます。データが保存されない FCNnMmDATxB レジスタは不定になります。
3. 受信時、FCNnMmDTLGB は受信フレームに従って更新されます。

(3)　FCNn メッセージ・コンフィギュレーション・レジスタ m（FCNnMmSTRB）

本レジスタはメッセージ・バッファのタイプの指定およびマスクの設定に使用されます。

- アクセス　　8 ビット単位でリード／ライト可能です。
- アドレス　　<FCNn_base> + 0 1024H ＋ m × 40H
- 初期値　　00H。
  本レジスタは各種リセットにより初期化されます。

（1/3）

7	6	5	4	3	2	1	0
FCNnMmSSOW	FCNnMmSSMT[3:0]				FCNnMmSSRT	0	FCNnMmSSAM

ビット位置	ビット名	意　味
7	FCNnMmSSOW	

FCNnMmSSOW	オーバライト制御ビット
0	すでにデータ・フレームを受信しているメッセージ・バッファ[注]を新たに受信されたデータ・フレームによって上書きしません。新たに受信されたデータ・フレームは破棄します。
1	すでにデータ・フレームを受信しているメッセージ・バッファ[注]を新たに受信されたデータ・フレームによって上書きします。

注　「すでにデータ・フレームを受信しているメッセージ・バッファ」とは、FCNnMmCTL.FCNnMmDTNF ビットが 1 にセットされている受信メッセージ・バッファです。

備考　リモート・フレームの送信用メッセージ・バッファへの受信格納に際しては、FCNnMmCTL.FCNnMmSSOW および FCNnMmCTL.FCNnMmDTNF の設定には依存せず、その他の条件が合致（ID が一致、FCNnMmSTRB.FCNnMmSSRT = 0, FCNnMmCTL.FCNnMmTRQF = 0）したリモート・フレームは必ず該当するメッセージ・バッファに受信格納（割り込み生成、FCNnMmDTNF フラグのセット、FCNnMmDTLGB.FCNnMmDTLG[3:0]ビットの更新、および受信ヒストリ・リストへの記録）されます。

（2/3）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>6-3</td><td>FCNnMmSSMT[3:0]</td><td>
<table>
<tr><th>FCNnMmSSMT[3:0]</th><th>メッセージ・バッファ・タイプ設定ビット</th></tr>
<tr><td>0000B</td><td>送信メッセージ・バッファ</td></tr>
<tr><td>0001B</td><td>受信メッセージ・バッファ（マスク設定なし）</td></tr>
<tr><td>0010B</td><td>受信メッセージ・バッファ（マスク 1 設定）</td></tr>
<tr><td>0011B</td><td>受信メッセージ・バッファ（マスク 2 設定）</td></tr>
<tr><td>0100B</td><td>受信メッセージ・バッファ（マスク 3 設定）</td></tr>
<tr><td>0101B</td><td>受信メッセージ・バッファ（マスク 4 設定）</td></tr>
<tr><td>0110B</td><td>受信メッセージ・バッファ（マスク 5 設定）</td></tr>
<tr><td>0111B</td><td>受信メッセージ・バッファ（マスク 6 設定）</td></tr>
<tr><td>1000B</td><td>受信メッセージ・バッファ（マスク 7 設定）</td></tr>
<tr><td>1001B</td><td>受信メッセージ・バッファ（マスク 8 設定）</td></tr>
<tr><td>上記以外の値</td><td>設定禁止</td></tr>
</table>
備考 FCNnMmSSMT を設定することで、リモート・フレームの受信と併せてマスクを選択することもできます。受信メッセージ・バッファでリモート・フレームを受信するには、メッセージ・バッファの FCNnMmSSRT フラグをセットする必要があります。
</td></tr>
<tr><td>2</td><td>FCNnMmSSRT</td><td>メッセージ・バッファで送信または受信するメッセージ・フレームのタイプを指定します。
<table>
<tr><th>FCNnMmSSRT</th><th>リモート・フレーム要求ビット</th></tr>
<tr><td>0</td><td>データ・フレームを送信または受信します。</td></tr>
<tr><td>1</td><td>リモート・フレームを送信または受信します。</td></tr>
</table>
備考 1. メッセージ・バッファが送信メッセージ・バッファとして定義されており、そのバッファでリモート・フレームを受信する場合は、FCNnMmSSRT ビットをクリアする必要があります。
2. 送信メッセージ・バッファが有効なリモート・フレームを受信した場合でも、フレームを受信した送信メッセージ・バッファの FCNnMmSSRT ビットは 0 にクリアされた状態にとどまります。
3. ID が一致するリモート・フレームを CAN バスから受信した場合でも、送信メッセージ・バッファの FCNnMmSSRT ビットが 1 にセットされていれば（リモート・フレームを送信するように設定されていれば）、そのリモート・フレームは、その送信メッセージ・バッファには保存されません。
4. メッセージ・バッファが受信メッセージ・バッファとして定義されている場合、そのメッセージ・バッファでデータ・フレームの代わりにリモート・フレームを受信するには、FCNnMmSSRT ビットをセットする必要があります。
</td></tr>
</table>

（3/3）

ビット位置	ビット名	意　味
0	FCNnMmSSAM	

FCNnMmSSAM	メッセージ・バッファ割り当てビット
0	メッセージ・バッファを使用しません。
1	メッセージ・バッファを使用します。

注意 ビット 1 に必ず 0 を書き込んでください。

(4) FCNn メッセージ ID レジスタ m（FCNnMmMID0H, FCNnMmMID1H, FCNnMmMID0W）

これらのレジスタは識別子（ID）の設定に使用されます。

- アクセス　FCNnMmMID0H と FCNnMmMID1H は 16 ビット単位でリード／ライト可能です。
  FCNnMmMID0W は 32 ビット単位でリード／ライト可能です。
- アドレス　FCNnMmMID0H: <FCNn_base> + 0 9028H ＋ m × 40H
  FCNnMmMID1H: <FCNn_base> + 0 9030H ＋ m × 40H
  FCNnMmMID0W: <FCNn_base> + 1 1028H ＋ m × 40H
- 初期値　FCNnMmMID0H, FCNnMmMID1H は 0000H
  本レジスタは各種リセットにより初期化されます。
  FCNnMmMID0W は 0000 0000H
  本レジスタは各種リセットにより初期化されます。

(a) FCNnMmMID0H

15	14	13	12	11	10	9	8
FCNnMmSSID[15:8]							
7	6	5	4	3	2	1	0
FCNnMmSSID[7:0]							

(b) FCNnMmMID1H

15	14	13	12	11	10	9	8
FCNnMmSSIE	0	0	FCNnMmSSID[28:24]				
7	6	5	4	3	2	1	0
FCNnMmSSID[23:16]							

(c) FCNnCMmMID0W

31	30	29	28	27	26	25	24
FCNnMmSSIE	0	0	FCNnMmSSID[28:24]				
23	22	21	20	19	18	17	16
FCNnMmSSID[23:16]							
15	14	13	12	11	10	9	8
FCNnMmSSID[15:8]							
7	6	5	4	3	2	1	0
FCNnMmSSID[7:0]							

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>31</td><td>FCNnMmSSIE</td><td>
<table>
<tr><th>FCNnMmSSIE</th><th>フォーマット・モード指定ビット</th></tr>
<tr><td>0</td><td>標準フォーマット・モード
（FCNnMmSSID[28:18]：11 ビット。FCNnMmSSID[17:0]は使用しません）</td></tr>
<tr><td>1</td><td>拡張フォーマット・モード
（FCNnMmSSID[28:0]：29 ビット）</td></tr>
</table>
</td></tr>
<tr><td>28-0</td><td>FCNnMmSSID[28:0]</td><td>
<table>
<tr><th>FCNnMmSSID[28:0]</th><th>メッセージ ID</th></tr>
<tr><td>FCNnMmSSID[28:18]</td><td>11 ビットの標準 ID 値（FCNnMmSSIE = 0 の場合）</td></tr>
<tr><td>FCNnMmSSID[28:0]</td><td>29 ビットの拡張 ID 値（FCNnMmSSIE = 1 の場合）</td></tr>
</table>
</td></tr>
</table>

注意 1. FCNnMmMID1H のビット 14 とビット 13 および FCNnMmMID0W レジスタのビット 30 とビット 29 に必ず 0 を書き込んでください。

2. このレジスタの指定されたビット位置に ID 値を合わせてください。標準 ID の場合、FCNnMmSSID[28:18]ビット位置に ID 値を合わせるには、ID 値をシフトする必要がある点に注意してください。

(5)　FCNn メッセージ制御レジスタ m（FCNnMmCTL）

本レジスタはメッセージ・バッファの動作の制御に使用されます。

- アクセス　　16 ビット単位でリード／ライト可能です。
- アドレス　　<FCNn_base> + 0 9038H ＋ m × 40H
- 初期値　　0000H
  本レジスタは各種リセットにより初期化されます。

(a)　リード時

（1/3）

15	14	13	12	11	10	9	8
0	0	FCNnMmMUCF	0	0	0	FCNnMmTCPF	0

7	6	5	4	3	2	1	0
0	FCNnMmNHMF	0	FCNnMmMOWF	FCNnMmIENF	FCNnMmDTNF	FCNnMmTRQF	FCNnMmRDYF

ビット位置	ビット名	意　味
13	FCNnMmMUCF	
9	FCNnMmTCPF 注1	
6	FCNnMmNHMF	

FCNnMmMUCF	メッセージ・バッファへのデータ更新中ビット
0	FCN モジュールがメッセージ・バッファを更新していない（受信と保存を行っていない）ことを示します。
1	FCN モジュールがメッセージ･バッファを更新している（受信と保存を行っている）ことを示します。

FCNnMmTCPF 注1	送信完了フラグ
0	送信が失敗したことを示します。注2
1	送信が完了したことを示します。

注 1. FCNnMmRDYF が変更されるか、FCNnMmTRQF がセットされると、FCNnMmTCPF はクリアされます。

2. アプリケーションが FCNnMmTRQF フラグをクリアすることで送信中断を要求した場合、0 は送信の中断が成功したことを示します。

FCNnMmNHMF	履歴マスク・フラグ注3
0	受信／送信ヒストリ・リスト・レジスタ FCNnCMRGRX/FCNnCMTGTX の更新をマスクしません。
1	受信／送信ヒストリ・リスト・レジスタ FCNnCMRGRX/FCNnCMTGTX の更新をマスクします。

注 3. 更新がマスクされると、対象となるメッセージ･バッファ上の受信動作または送信動作が完了しても送受信ヒストリ・リストは更新されません。

（2/3）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>4</td><td>FCNnMmMOWF</td><td>
<table>
<tr><th>FCNnMmMOWF</th><th>メッセージ・バッファ・オーバライト・ステータス・ビット</th></tr>
<tr><td>0</td><td>新たに受信されたデータ・フレームまたはリモート・フレームによってメッセージ・バッファが上書きされていないことを示します。</td></tr>
<tr><td>1</td><td>新たに受信されたデータ・フレームまたはリモート・フレームによってメッセージ・バッファが上書きされていることを示します。</td></tr>
</table>
備考 FCNnMmDTNF = 1 の送信メッセージ・バッファに対してリモート・フレームを受信格納しても、本ビットはセット(1)されません。
</td></tr>
<tr><td>3</td><td>FCNnMmIENF</td><td>
<table>
<tr><th>FCNnMmIENF</th><th>メッセージ・バッファ割り込み要求許可ビット</th></tr>
<tr><td>0</td><td>受信メッセージ・バッファ：有効なメッセージの受信完了割り込みを禁止します。
送信メッセージ・バッファ：正常なメッセージの送信完了割り込み、および送信中断割り込みを禁止します。</td></tr>
<tr><td>1</td><td>受信メッセージ・バッファ：有効なメッセージの受信完了割り込みを許可します。
送信メッセージ・バッファ：正常なメッセージの送信完了割り込み、および送信中断割り込みを許可します。</td></tr>
</table>
注意 FCNnMmIENF と FCNnMmRDYF は必ず別々に設定してください。
</td></tr>
<tr><td>2</td><td>FCNnMmDTNF</td><td>
<table>
<tr><th>FCNnMmDTNF</th><th>メッセージ・バッファ・データ更新ビット</th></tr>
<tr><td>0</td><td>メッセージ・バッファに新しいデータ・フレームまたはリモート・フレームが保存されていないことを示します。</td></tr>
<tr><td>1</td><td>メッセージ・バッファに新しいデータ・フレームまたはリモート・フレームが保存されていることを示します。</td></tr>
</table>
注意 FCNnMmDTNF をソフトウェアで 1 にセットしないでください。ビット 10 には必ず 0 を書き込んでください。
</td></tr>
</table>

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>1</td><td>FCNnMmTRQF</td><td>
<table>
<tr><th>FCNnMmTRQF</th><th>メッセージ・バッファ送信要求ビット</th></tr>
<tr><td>0</td><td>メッセージ・バッファ内に保留中または送信中のメッセージ・フレーム送信要求はありません。</td></tr>
<tr><td>1</td><td>メッセージ・バッファは、メッセージ・フレームの送信保留中または送信中です。</td></tr>
</table>
注意 1. FCNnMmTRQF と FCNnMmRDYF を同時に 1 にセットしないでください。FCNnMmRDYF = 1 にセットしてから FCNnMmTRQF = 1 にセットしてください。
2. 送信メッセージ・バッファ以外（FCNnMmSSMT［3:0］≠ 4'b0000 もしくは FCN n MmSSAM = 0 のバッファ）に対し、FCNnMmTRQF をセット（1）しないでください。
</td></tr>
<tr><td>0</td><td>FCNnMmRDYF</td><td>
<table>
<tr><th>FCNnMmRDYF</th><th>メッセージ・バッファ準備ビット</th></tr>
<tr><td>0</td><td>ソフトウェアによるメッセージ・バッファへの書き込みが可能です。FCN モジュールがメッセージ・バッファへ書き込むことはできません。</td></tr>
<tr><td>1</td><td>ソフトウェアによるメッセージ・バッファへの書き込みが無視されます（FCNnMmRDYF, FCNnMmTRQF, FCNnMmDTNF, FCNnMmMOWF への書き込みアクセスを除く）。FCN モジュールはメッセージ・バッファへ書き込むことができます。</td></tr>
</table>
注意 1. FCNnMmIENF と FCNnMmRDYF は必ず別々に設定してください。
2. FCNnMmTRQF と FCNnMmRDYF を同時に 1 にセットしないでください。FCNnMmRDYF = 1 にセットしてから FCNnMmTRQF = 1 にセットしてください。
3. メッセージの送信中に FCNnMmRDYF をクリア（0）しないでください。メッセージ・バッファを再定義するために FCNnMmRDYF をクリアするには、送信中断処理を実行してください。
4. CAN コントローラの動作状況によっては、FCNnMmRDYF のクリアに時間がかかることがあります。FCNnMmRDYF を読み出すことによってビットがクリアされたことを確認するまで、クリア・アクセスを繰り返してください。
5. FCNnMmRDYF のステータスをチェックすることによって、FCNnMmRDYF がクリアされていることを確認するまで、ほかの FCN メッセージ・バッファ・レジスタには書き込まないでください。
</td></tr>
</table>

(b)　ライト時

（1/2）

15	14	13	12	11	10	9	8
0	FCNnMmSENH	0	0	FCNnMmSEIE	0	FCNnMmSETR	FCNnMmSERY

7	6	5	4	3	2	1	0
0	FCNnMmCLNH	0	FCNnMmCLMW	FCNnMmCLIE	FCNnMmCLDN	FCNnMmCLTR	FCNnMmCLRY

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>14,
6</td><td>FCNnMmSENH,
FCNnMmCLNH</td><td>
<table>
<tr><th>FCNnMmSENH</th><th>FCNnMmCLNH</th><th>FCNnMmNHMF ビットの設定</th></tr>
<tr><td>0</td><td>1</td><td>FCNnMmNHMF をクリア（0）します。</td></tr>
<tr><td>1</td><td>0</td><td>FCNnMmNHMF をセット（1）します。</td></tr>
<tr><td colspan="2">上記以外の値</td><td>FCNnMmNHMF を変更しません。</td></tr>
</table>
</td></tr>
<tr><td>4</td><td>FCNnMmCLMW</td><td>
<table>
<tr><th>FCNnMmCLMW</th><th>FCNnMmMOWF ビットの設定</th></tr>
<tr><td>0</td><td>FCNnMmMOWF を変更しません。</td></tr>
<tr><td>1</td><td>FCNnMmMOWF をクリア（0）します。</td></tr>
</table>
</td></tr>
<tr><td>11,
3</td><td>FCNnMmSEIE,
FCNnMmCLIE</td><td>
<table>
<tr><th>FCNnMmSEIE</th><th>FCNnMmCLIE</th><th>FCNnMmIENF ビットの設定</th></tr>
<tr><td>0</td><td>1</td><td>FCNnMmIENF をクリア（0）します。</td></tr>
<tr><td>1</td><td>0</td><td>FCNnMmIENF をセット（1）します。</td></tr>
<tr><td colspan="2">上記以外の値</td><td>FCNnMmIENF を変更しません。</td></tr>
</table>
</td></tr>
<tr><td>2</td><td>FCNnMmCLDN</td><td>
<table>
<tr><th>FCNnMmCLDN</th><th>FCNnMmDTNF ビットの設定</th></tr>
<tr><td>0</td><td>FCNnMmDTNF を変更しません。</td></tr>
<tr><td>1</td><td>FCNnMmDTNF をクリア（0）します。</td></tr>
</table>
備考 ID フィールドの受信が完了した時点で FCNnMmDTNF がクリアされていた場合、そのメッセージ・バッファは受信中のフレームを保存する対象となります。
</td></tr>
</table>

（2/2）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>9,
1</td><td>FCNnMmSETR,
FCNnMmCLTR</td><td>
<table>
<tr><th>FCNnMmSETR</th><th>FCNnMmCLTR</th><th>FCNnMmTRQF ビットの設定</th></tr>
<tr><td>0</td><td>1</td><td>FCNnMmTRQF をクリア（0）します。</td></tr>
<tr><td>1</td><td>0</td><td>FCNnMmTRQF をセット（1）します。</td></tr>
<tr><td colspan="2">上記以外の値</td><td>FCNnMmTRQF を変更しません。</td></tr>
</table>
</td></tr>
<tr><td>8,
0</td><td>FCNnMmSERY,
FCNnMmCLRY</td><td>
<table>
<tr><th>FCNnMmSERY</th><th>FCNnMmCLRY</th><th>FCNnMmRDYF ビットの設定</th></tr>
<tr><td>0</td><td>1</td><td>FCNnMmRDYF をクリア（0）します。</td></tr>
<tr><td>1</td><td>0</td><td>FCNnMmRDYF をセット（1）します。</td></tr>
<tr><td colspan="2">上記以外の値</td><td>FCNnMmRDYF を変更しません。</td></tr>
</table>
</td></tr>
</table>

22.6 CAN コントローラの初期化

22.6.1 FCN モジュールの初期化

FCN モジュールを動作可能状態にするには、ソフトウェアで FCNnGMCSPRE.FCNnGMCSPRSC[3:0]をセットすることによって FCN モジュールのシステム・クロックを決定する必要があります。FCN モジュールの動作が許可されたあとで FCN モジュールのシステム・クロックの設定を変更しないでください。

FCN モジュールの動作は FCNnGMCLCTL.FCNnGMCLPWOM をセットすることによって許可されます。

FCN モジュールを初期化する手順については、22.14「CANコントローラの動作」を参照してください。

22.6.2 メッセージ・バッファの初期化

FCN モジュールの動作を許可したあと、メッセージ・バッファの値が不定のものがあります（ただし、ソフトウエア・リセット実行後を除く）。FCN モジュールを初期化モードからいずれかの動作モードへ切り換える前に、アプリケーションで使用されないものも含めて、すべてのメッセージ・バッファの最小限の初期化を行う必要があります。

- FCNnMmCTL レジスタの FCNnMmRDYF, FCNnMmTRQF, FCNnMmDTNF をクリア（0）します。
- すべての FCNnMmSTRB.FCNnMmSSAM をクリア（0）します。

22.6.3 メッセージ・バッファの再定義

メッセージ・バッファの再定義とは、メッセージを受信中または送信中に、ほかの送信、受信の動作に影響を与えることなく、メッセージ・バッファの ID と制御情報を変更することです。

(1) 初期化モード中のメッセージ・バッファの再定義

FCN モジュールを初期化モードに設定したあと、初期化モード中にメッセージ・バッファの ID と制御情報を変更します。ID と制御情報を変更したあと、FCN モジュールを動作モードに設定します。

(2) 受信中のメッセージ・バッファの再定義

図22.17「受信中のメッセージ・バッファの再定義」に従って再定義を実行します。

(3) 送信中のメッセージ・バッファの再定義

送信要求が設定されている送信メッセージ・バッファの内容を書き換えるには、送信中断処理を実行します（22.8.4(1)「自動ブロック送信（ABT）以外の送信中断処理」および22.8.4(2)「自動ブロック送信（ABT）の送信中断処理」を参照してください）。送信が中断されたか、完了したことを確認したあと、メッセージ・バッファを再定義します。送信メッセージ・バッファを再定義したあと、以下の手順に従って送信要求を設定します。

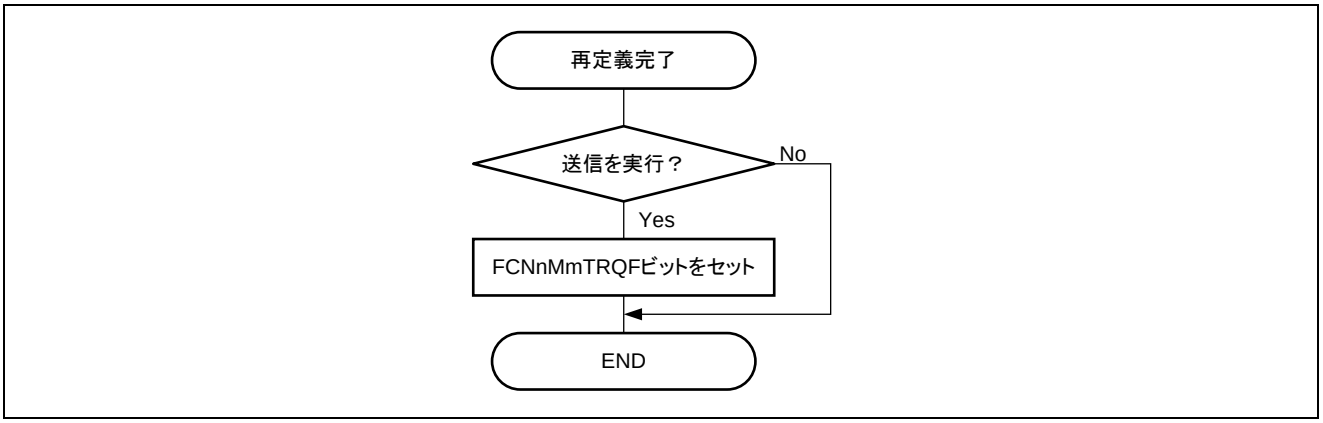


図22.4 再定義後の送信メッセージ・バッファに対する送信要求の設定（FCNnMmCTL.FCNnMmTRQF）

注意 1. メッセージを受信すると、個々の受信メッセージ・バッファに対して設定されている ID とマスクに従って受信フィルタリングが行われます。図22.17「受信中のメッセージ・バッファの再定義」の手順を守らないと、メッセージ・バッファを再定義したあとのメッセージ・バッファの内容が受信の結果（受信フィルタリングの結果）と矛盾することがあります。その場合は、再定義後、はじめて受信され、メッセージ・バッファに保存された ID と IDE が、メッセージ・バッファが再定義されたあとで保存されたものであるかどうかを確認してください。再定義後、ID と IDE が保存されていない場合は、メッセージ・バッファを再び再定義してください。

2. メッセージが送信されると、送信要求が設定された個々の送信メッセージ・バッファで設定されている ID, IDE および FCNnMmSTRB.FCNnMmSSRT に従って送信優先度をチェックします。優先度の最も高い送信メッセージ・バッファが選択され、送信に使用されます。図22.4「再定義後の送信メッセージ・バッファに対する送信要求の設定（FCNnMmCTL.FCNnMmTRQF）」の手順を守らないと、優先度の最も高い ID を持つメッセージが再定義後に送信されないことがあります。

22.6.4 初期化モードから動作モードへの移行

FCN モジュールは以下の動作モードに切り換えることができます。

- 通常動作モード
- ABT 付き通常動作モード
- 受信オンリー・モード
- シングル・ショット・モード
- セルフ・テスト・モード

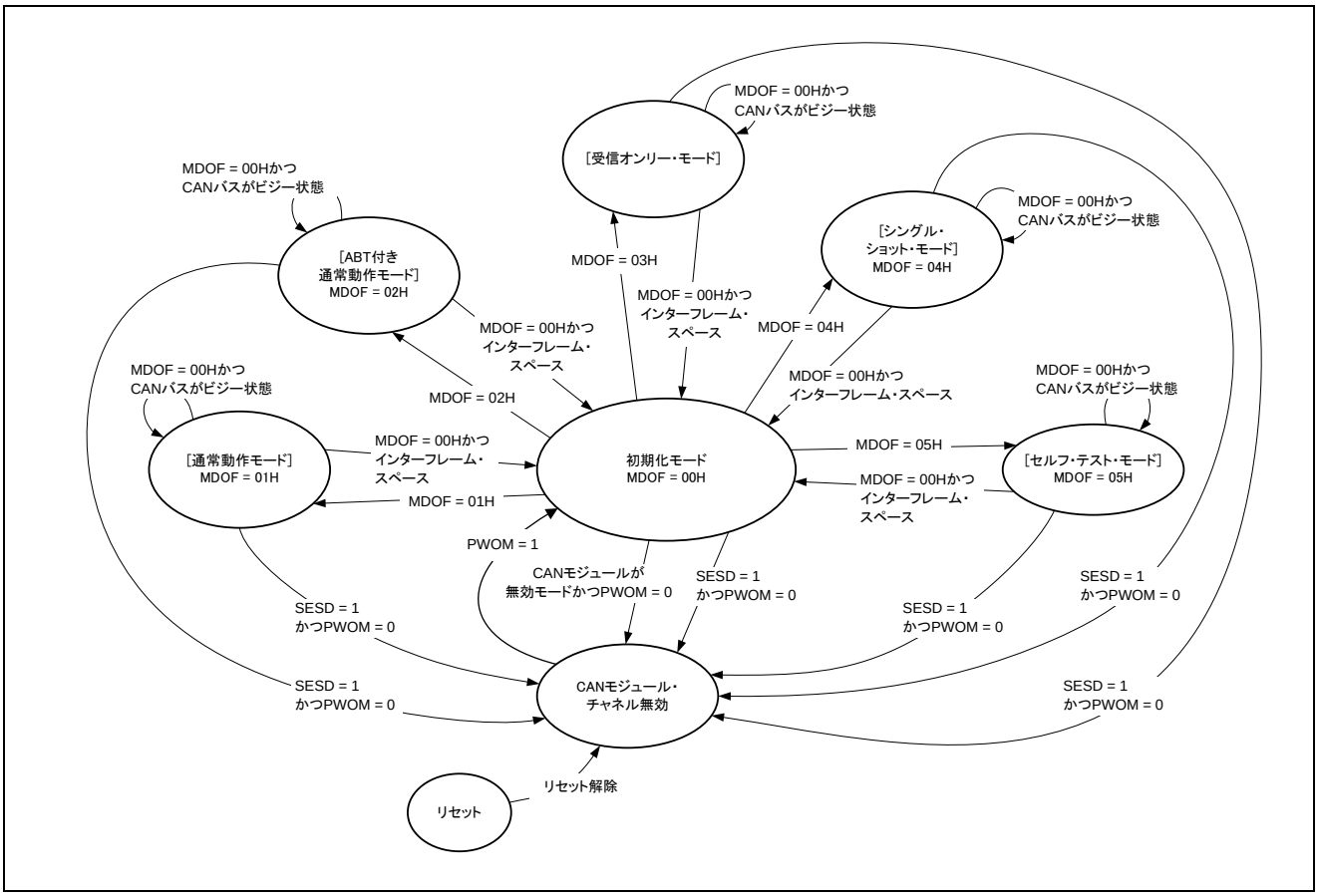


図22.5 動作モードへの移行

備考 上の図では以下の略号を使用しています。

- **MDOF = FCNnCMCLCTL.FCNnCMCLMDOF[2:0]**
- **PWOM = FCNnGMCLCTL.FCNnGMCLPWOM**
- **SESD = FCNnGMCLCTL.FCNnGMCLSESD**

初期化モードから動作モードへの移行は FCNnCM.FCNnCMCLMDOF[2:0]によって制御されます。

1 つの動作モードから別の動作モードへ移行するには、いったん初期化モードに切り換える必要があります。1 つの動作モードから別の動作モードへ直接切り換えないでください。動作モードを直接切り換えたときの動作は保証されません。

CAN バスがインターフレーム・スペースにない場合（つまり、フレームを受信中または送信中）は、動作モードから初期化モードへの移行要求が保留され、FCN モジュールはインターフレーム・スペースの第 1 ビットで初期化モードに入ります（FCNnCMCLCTL.FCNnCMCLMDOF[2:0]の値が 000B に変更されます）。初期化モードへの移行要求を発行したら、モジュールが初期化モードに入ったことを確認するために、読み出し値が 000B になるまで FCNnCMCLCTL.FCNnCMCLMDOF[2:0]を読み出してください（図22.14「ソフトウエア・リセット機能を利用しない再初期化」を参照してください）。

22.7 メッセージ受信

22.7.1 メッセージの受信

すべての動作モードで、新たに受信したメッセージの保存に適したバッファを見つけるために、メッセージ・バッファの全領域が解析されます。その評価（RX 検索プロセス）の対象には、以下の条件を満たすすべてのメッセージ・バッファが含まれます。

- メッセージ・バッファとして使用されている（FCNnMmSTRB.FCNnMmSSAM = 1）
- 受信メッセージ・バッファとして設定されている（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0001B to 1001B）
- 受信レディ状態である（FCNnMmCTL.FCNnMmRDYF = 1）

FCN モジュールの複数のメッセージ・バッファをメッセージの受信に使用できる場合は、以下で説明する優先度に従ってメッセージが保存されます。メッセージは常に優先度が最も高いメッセージ・バッファに保存され、優先度の低いメッセージ・バッファにメッセージが保存されることはありません。

たとえば、同じ ID を持つマスクされていない受信メッセージ・バッファとマスク 1 にリンクされている受信メッセージ・バッファがある場合は、マスク 1 にリンクされているメッセージ・バッファがメッセージを受信したことがなく、マスクされていない受信メッセージ・バッファがすでにメッセージを受信していても、受信メッセージはマスク 1 にリンクされているメッセージ・バッファには保存されません。つまり、異なる特性を持つ複数のメッセージ・バッファに同じ条件が設定されている場合は、優先度の最も高いメッセージ・バッファが常にメッセージを保存します。優先度の低いメッセージ・バッファにメッセージが保存されることはありません。この規則は、優先度の最も高いメッセージ・バッファがメッセージを保存できない場合（つまり、FCNnMmCTL.FCNnMmDTNF = 1 になっていて、メッセージがすでに受信されていることを示しているのに、FCNnMmSTRB.FCNnMmSSOW = 0 であるため、書き換えが禁止されている場合）にも適用されます。その場合、メッセージは、実際に優先度の最も高いメッセージ・バッファ候補に保存されませんが、優先度の低いメッセージ・バッファにも保存されません。

表22.15 マルチ・バッファ受信ブロック（MBRB）の優先度

優先度	同じ ID が設定されている場合の保存条件	
1（高い）	マスクされていないメッセージ・バッファ	FCNnMmDTNF = 0
		FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1
2	マスク 1 にリンクされているメッセージ・バッファ	FCNnMmDTNF = 0
		FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1
3	マスク 2 にリンクされているメッセージ・バッファ	FCNnMmDTNF = 0
		FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1
…	…	…
9（低い）	マスク 8 にリンクされているメッセージ・バッファ	FCNnMmDTNF = 0
		FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1

22.7.2 受信データの読み出し

FCN メッセージ・バッファを読み出すときのデータの整合性を保つために、図22.31「割り込みを利用した受信（FCNnCMLISTRレジスタを利用）」から図22.34「ソフトウエア・ポーリングを利用した受信」の手順に従ってデータの読み出しを行ってください。

メッセージの受信中、FCN モジュールは、メッセージ・バッファへのデータの保存プロセスの開始時と保存プロセスの終了時の 2 回にわたって FCNnMmCTL.FCNnMmDTNF をセットします。保存プロセスの実行中は、メッセージ・バッファの FCNnMmCTL.FCNnMmMUCF がセットされます（図22.6「受信タイミング」）を参照してください）。

保存プロセスの開始直前に受信ヒストリ・リストも更新されます。さらに、保存プロセスの実行中（FCNnMmCTL.FCNnMmMUCF = 1 である間）、CPU によるデータ書き込みが行われないように、メッセージ・バッファの FCNnMmCTL.FCNnMmRDYF がロックされます。CPU がメッセージ・バッファにアクセスすると、保存プロセスが妨害される（遅延する）可能性がある点に注意してください。

注意 もしメッセージがメッセージ・バッファに格納されるものとするならば、このバッファの DN ビットはメッセージ・サーチ処理が開始される前（例えば、フレームの ID がバス上にあった後が正しい）にクリア（0）しなければなりません。ワースト・ケースでは、これは前のフレームの EOF の後の 15CAN ビットで起こります。もし CAN フレームがバス上に連続して現れてロストをなくしたいならば、フレーム受信用のメッセージ・バッファを 1 個より多く使用することを検討してください。

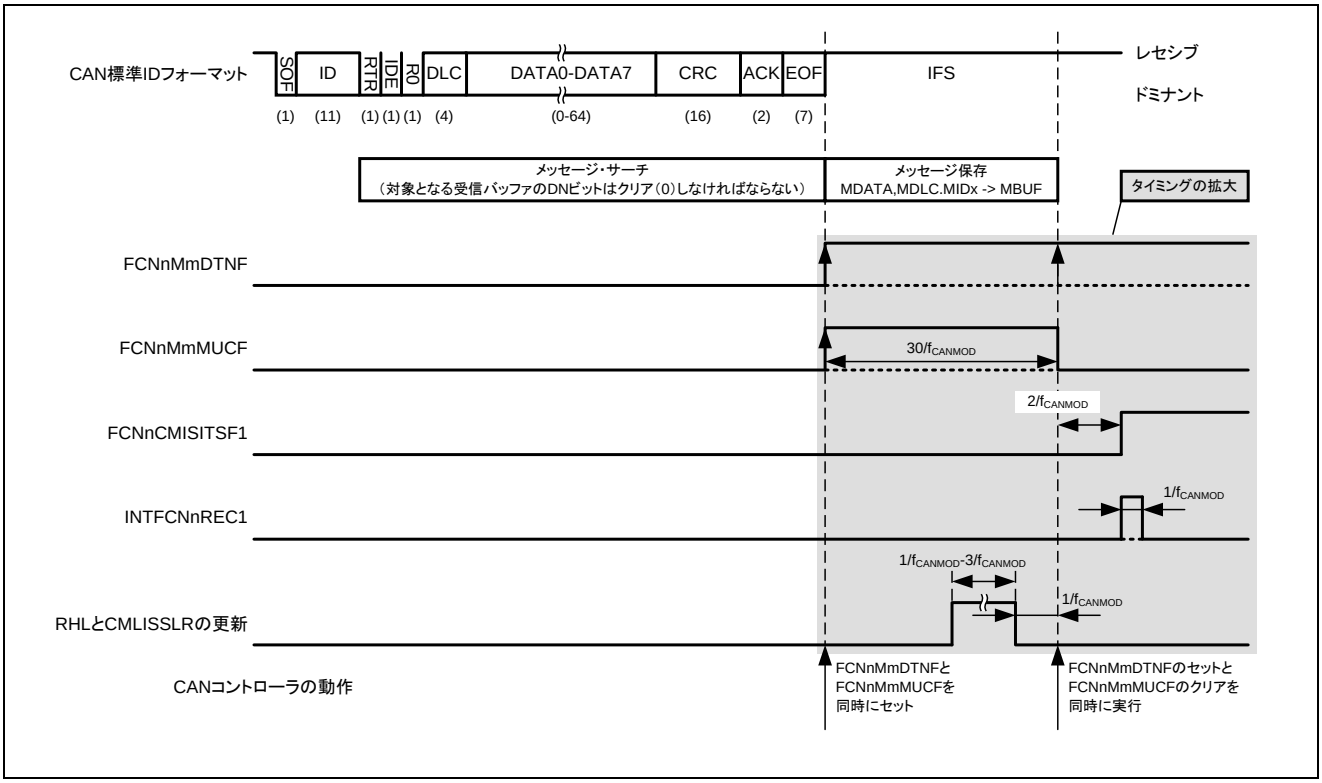


図22.6 受信タイミング

22.7.3 受信ヒストリ・リスト機能

受信ヒストリ・リスト（RHL）機能では、個々のデータ・フレームまたはリモート・フレームが受信され、保存された受信メッセージ・バッファの番号を受信ヒストリ・リストに記録する機能です。RHL は、最大 47 個のメッセージ（64 メッセージ・バッファの FCN の場合）に相当する保存要素、最終受信メッセージ・ポインタ FCNnCMLISSLR[7:0]とそれに対応する FCNnCMLISTR レジスタおよび受信ヒストリ・リスト取得ポインタ FCNnCMRGSSPT とそれに対応する FCNnCMRGRX レジスタから構成されます。

FCN モジュールが初期化モードからいずれかの動作モードへ移行した直後の RHL は不定です。

FCNnCMLISTR レジスタには、FCNnCMLISTR.FCNnCMLISSLR[7:0]ポインタから 1 を引いた値が示す RHL 要素の内容が格納されています。したがって、FCNnCMLISTR レジスタを読み出すことによって、最後にデータ・フレームまたはリモート・フレームを受信し、保存したメッセージ・バッファの番号をチェックすることができます。FCNnCMLISSLR[7:0]ポインタは、RHL のどの部分にメッセージ・バッファ番号が記録されるかを示す書き込みポインタとして利用されます。データ・フレームまたはリモート・フレームが受信され、保存されるたびに、それに対応するメッセージ・バッファ番号が FCNnCMLISSLR[7:0]ポインタの示す RHL 要素に記録されます。RHL への記録が完了するたびに、FCNnCMLISSLR[7:0]ポインタは自動的にインクリメントされます。そうすることで、フレームを受信し、保存したメッセージ・バッファの番号が時系列順に記録されます。

FCNnMmCTL.FCNnMmNHMF フラグがセットされているメッセージ・バッファのエントリは受信ヒストリ・リストに記録されません。

FCNnCMRGRX.FCNnCMRGSSPT は、記録されているメッセージ・バッファ番号を RHL から読み出すときの読み出しポインタとして利用されます。

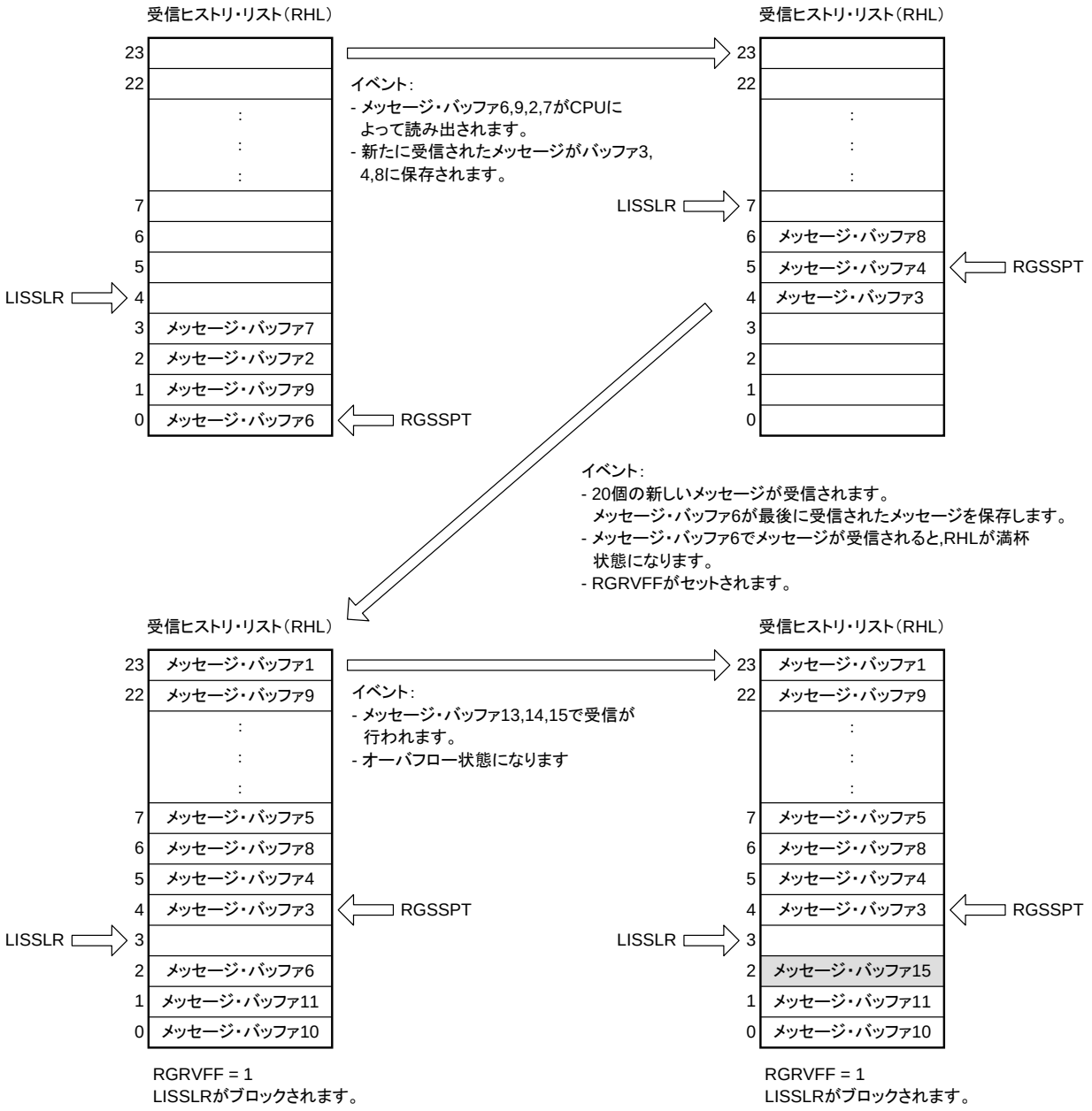
このポインタは、CPU がまだ読み出していない RHL 要素のうち、最初の要素を示します。ソフトウェアで FCNnCMRGRX レジスタを読み出すことによって、データ・フレームまたはリモート・フレームを受信し、保存したメッセージ・バッファの番号を読み出すことができます。FCNnCMRGRX レジスタからメッセージ・バッファ番号が読み出されるたびに、FCNnCMRGSSPT ポインタが自動的にインクリメントされます。

FCNnCMRGRX.FCNnCMRGSSPT ポインタの値が FCNnCMLISTR.FCNnCMLISSLR[7:0]ポインタの値と一致すると、FCNnCMRGRX.FCNnCMRGSSPM（受信ヒストリ・リスト・ポインタ・マッチ）が 1 にセットされます。これは、まだ読み出されていないメッセージ・バッファ番号が RHL に残っていないことを示します。新しいメッセージ・バッファ番号が記録されると、FCNnCMLISSLR[7:0]ポインタがインクリメントされ、その値が FCNnCMRGSSPT ポインタの値と一致しなくなるため、FCNnCMRGSSPM がクリアされます。これは、まだ読み出されていないメッセージ・バッファ番号が RHL に存在することを意味しています。

FCNnCMLISTR.FCNnCMLISSLR[7:0]ポインタがインクリメントされた結果、FCNnCMRGRX.FCNnCMRGSSPT ポインタから 1 を引いた値と一致すると、FCNnCMRGRX.FCNnCMRGRVFF（受信ヒストリ・リスト・オーバフロー）が 1 にセットされます。これは、まだ読み出されていないメッセージ・バッファ番号によって RHL が満杯になったことを示します。それ以降、メッセージの受信と保存が行われると、新たに受信されたメッセージを受信し、保存したメッセージ・バッファの番号によって最後に記録されたメッセージ・バッファ番号が上書きされます。その場合、FCNnCMRGRVFF が（1 に）セットされたあとは、RHL に記録されたメッセージ・バッファ番号が時系列順を完全に反映しなくなります。ただし、CNnMmCTL.FCNnMmDTNF を利用した CPU によるメッセージ･バッファ･メモリ内の検索またはグローバル･レジスタ FCNnDNBMRX の読み出しを実行できるため、メッセージ自体が失われることはなく、メッセージを見つけることは可能です。

注意 受信ヒストリ・リストがオーバフロー状態になっても（FCNnCMRGRX.FCNnCMRGRVFF がセットされても）、受信ヒストリ・リストが空になるまで（FCNnCMRGRX.FCNnCMRGSSPM フラグがセットされるまで）、受信ヒストリ・リストの内容を読み出すことはできます。ただし、FCNnCMRGRVFF がソフトウェアによってクリアされるまで、受信ヒストリ・リストはオーバフロー状態にとどまります。FCNnCMRGRVFF がクリアされないと、新たに受信されたフレームのメッセージが保存されても、FCNnCMRGSSPM フラグは更新（クリア）されません。その場合は、受信ヒストリ・リストがオーバフロー状態で受信が行われたときにもかかわらず、受信ヒストリ・リストが空であることを FCNnCMRGSSPM が示す（FCNnCMRGRVFF と FCNnCMRGSSPM がセットされる）可能性があります。

RHL に空のエントリがある限り、受信の順番は保たれます。ホスト・プロセッサが RHL を読み出さないうちに、さらに受信が行われると、受信の順番を完全に元に戻すことができなくなります。



RGRVFF = 1は,LISSLRがRGSSPT - 1と一致すること,およびLISSLR - 1が示す要素にメッセージ・バッファ番号が保存されることを示しています。

備考1. 上の図では以下の略号を使用しています。
- LISSLR = 最終受信メッセージ・ポインタFCNnCMLISTR.FCNnCMLISSLR[7:0]
- RGSSPT = 受信ヒストリ・リスト取得ポインタFCNnCMRGRX.FCNnCMRGSSPT[7:0]
- RGRVFF = 受信ヒストリ・リスト・オーバフロー・フラグFCNnCMRGRX.FCNnCMRGRVFF

2. FCNnMmCTL.FCNnMmNHMFフラグがセットされているメッセージ・バッファに受信した場合、LISSLRが示すメッセージ・バッファ番号と、RHLに書き込まれているメッセージ・バッファ番号は異なります。

図22.7 受信ヒストリ・リスト

22.7.4 マスク機能

受信に使用される任意のメッセージ・バッファを 8 つのグローバル受信マスクの 1 つ（またはマスクなし）に割り当てることができます。

マスク機能を使用すると、マスクされるビットによってメッセージ ID の比較対象となるビットが減るため、複数の異なる ID を 1 つのバッファで受信することができます。

マスク機能が有効になっていると、マスクによって 1 と定義されている受信メッセージ内の識別子ビットと、それに対応するメッセージ・バッファ内の識別子ビットとの比較が行われません。

しかし、マスクによって値が 0 と定義されているビットについては、比較が行われます。

たとえば、ID27-25 のビットが 0 で、ID24 と ID22 のビットが 1 の標準フォーマット ID を持つすべてのメッセージをメッセージ・バッファ 14 に保存する例を考えてみましょう。その場合は、以下のように設定します。

(1) メッセージ・バッファに保存される識別子

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
X	0	0	0	1	X	1	X	X	X	X

(2) メッセージ・バッファ 14 で設定する識別子（例）
（FCN1M014MID0W レジスタを使用）

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
X	0	0	0	1	X	1	X	X	X	X
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
X	X	X	X	X	X	X	X	X	X	X
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
X	X	X	X	X	X	X				

備考 1. ID27-25 のビットが 0 にクリアされており、ID24 と ID22 のビットが 1 にセットされている ID がメッセージ・バッファ 14 に登録（初期化）されます。

2. メッセージ・バッファ 14 は、マスク 1 にリンクされた標準フォーマット識別子として設定されます（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0010B）。

FCN モジュール1 のマスク設定（マスク1）（例）
（CAN1 アドレス・マスク1 レジスタFCNnCMMKCTL01 を使用）

FNCnCMMKSSID[..]

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
1	0	0	0	1	1	1	1	1	1	1
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
1	1	1	1	1	1	1	1	1	1	1
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
1	1	1	1	1	1	1				

1: 比較されない（マスクされる）
0: 比較される

FCNnCMMKSSID[27:24] とFCNnCMMKSSID[22] は0 にクリアし、
FCNnCMMKSSID[28], FCNnCMMKSSID[23], FCNnCMMKSSID[21:0] をセット（1）します。

22.7.5 マルチ・バッファ受信ブロック機能

マルチ・バッファ受信ブロック（MBRB）機能の目的は、同じメッセージ・バッファ・タイプを持つ複数のメッセージ・バッファに同じ ID を設定することで、CPU の介入なしに、データのブロックを複数のメッセージ・バッファに順番に保存することです。保存に使用されるメッセージ・バッファは、メッセージ・バッファ・メモリ内の任意の場所に割り当てることができ、互いに隣接している必要もありません。

たとえば、メッセージ・バッファ 10-19 からなる 10 個のメッセージ・バッファが同じメッセージ・バッファ・タイプに設定されており、それらのメッセージ・バッファで同じ ID が設定されているとします。メッセージ・バッファの ID と一致する ID を持つ最初のメッセージを受信すると、そのメッセージはメッセージ・バッファ 10 に保存されます。この時点で、メッセージ・バッファ 10 の FCNnMmCTL.FCNnMmDTNF がセットされるため、それ以降の受信メッセージでこのメッセージ・バッファを上書きすることは禁止されます。

ID の一致する次のメッセージを受信すると、そのメッセージはメッセージ・バッファ 11 で受信され、保存されます。ID の一致するメッセージを受信するたびに、メッセージはメッセージ・バッファ 12, 13... の順（昇順）に保存されます。複数のメッセージから構成されるデータ・ブロックを受信した場合でも、以前に受信した ID の一致するデータを上書きすることなく、メッセージを保存し、受信することができます。

各メッセージ・バッファの FCNnMmCTL.FCNnMmIENF をセットすることによって、データ・ブロックが受信され、保存されたかどうかを確認することができます。たとえば、データ・ブロックが k 個のメッセージから構成される場合は、k 個のメッセージ・バッファをそのデータ・ブロックの受信用として初期化します。メッセージ・バッファ 0-（k-2）の FCNnMmIENF をクリア（0）し（割り込み禁止）、メッセージ・バッファ k-1 の FCNnMmIENF をセット（1）します（割り込み許可）。その場合は、メッセージ・バッファ k-1 でメッセージが受信され、保存されると、受信完了割り込みが発生するので、MBRB が満杯になったことがわかります。あるいは、メッセージ・バッファ 0-（k-3）の FCNnMmIENF をクリア（0）し、メッセージ・バッファ k-2 の FCNnMmIENF をセットすることで、MBRB がオーバフロー直前であるという警告を発することもできます。

MBRB で利用する個々のメッセージ・バッファに受信データを保存するための基本条件は、1 つのメッセージ・バッファにデータを保存するときの条件と同じです。

注意 1. MBRB はメッセージ・バッファ・タイプごとに設定することができます。したがって、ID は一致するものの、メッセージ・バッファ・タイプが異なる別の MBRB のメッセージ・バッファが空いていても、受信メッセージはそのメッセージ・バッファには保存されず、破棄されます。

2. MBRB はリング・バッファ構造を持っていません。したがって、MBRB 用として設定されているメッセージ・バッファのうち、番号が最大のメッセージ・バッファにメッセージが保存されたあとは、新たにメッセージを受信しても、そのメッセージはメッセージ・バッファ番号が最小のメッセージ・バッファには保存されません。

3. MBRB は受信と保存の条件に基づいて動作します。機能許可ビットなど、MBRB 専用の設定はありません。複数のメッセージ・バッファで同じメッセージ・バッファ・タイプと ID を設定することで、MBRB は自動的に設定されます。

4. MBRB でいう「一致する ID」とは、「マスクを適用したあと、一致する ID」です。メッセージ・バッファで設定されている ID が同じでなくても、マスク・レジスタによってマスクされた ID が一致すれば、ID が一致すると見なされ、その ID を持つバッファはメッセージの保存先として扱われます。

5. MBRB 間の優先度については、表22.16「FCNモジュール割り込みソースの一覧」を参照してください。

22.7.6 リモート・フレームの受信

すべての動作モードで、リモート・フレームを受信すると、以下の条件（条件 1 と 2。条件 1 のほうがが受信条件として優先される）を満たすすべてのメッセージ・バッファの中からリモート・フレームを保存するメッセージ・バッファを見つけるための検索が行われます。条件 1 が満たされない場合は、条件 2 を満たすものがあるかどうかを確認するために残りのメッセージ・バッファを検索します。

(a) 条件 1：

送信メッセージ・バッファとして設定されている（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000B）

- メッセージ・バッファとして使用されている（FCNnMmSTRB.FCNnMmSSAM = 1）
- 受信レディ状態である（FCNnMmCTL.FCNnMmRDYF = 1）
- データ・フレーム・メッセージ・タイプ用に設定されている(FCNnMmSTRB.FCNnMmSSRT = 0)
- 送信要求が設定されていない(FCNnMmCTL.FCNnMmTRQF = 0)

(b) 条件 2：

受信メッセージ・バッファとして設定されている（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0001B ... 1001B）

- メッセージ・バッファとして使用されている（FCNnMmSTRB.FCNnMmSSAM = 1）
- 受信レディ状態である（FCNnMmCTL.FCNnMmRDYF = 1）
- リモート・フレーム・メッセージ・タイプ用に設定されている(FCNnMmSTRB.FCNnMmSSRT = 1)
- バッファがメッセージを保存できる状態にある（FCNnMmCTL.FCNnMmDTNF = 0、または FCNnMmSTRB.FCNnMmSSOW = 1 かつ FCNnMmCTL.FCNnMmDTNF = 1）

リモート・フレームを受信し、受信したリモート・フレームの ID が上記の条件を満たすメッセージ・バッファの ID と一致すると、以下の処理が行われます。

- FCNnMmDTLGB レジスタの FCNnMmDTLG[3:0]ビット文字列が受信した DLC 値を保存します。
- 送信メッセージ・バッファへの受信の場合、データ領域の FCNnMmDAT0B - FCNnMmDAT7B レジスタは更新しません（受信前のデータを保存します）。
- FCNnMmCTL.FCNnMmDTNF をセット（1）します。
- FCNnCMISCTL.FCNnCMISITSF1 をセット（1）します（フレームを受信し、保存するメッセージ・バッファの FCNnMmCTL.FCNnMmIENF が 1 にセットされている場合）。
- 受信完了割り込み（INTCnREC）を出力します（フレームを受信し、保存するメッセージ・バッファの FCNnMmCTL.FCNnMmIENF が 1 にセットされており、かつ、FCNnCMIECTL.FCNnCMIEINTF1 が 1 にセットされている場合）。
- FCNnMmCTL.FCNnMmNHMF フラグがセットされていなければ、メッセージ・バッファ番号を受信ヒストリ・リストに記録します。

注意 リモート・フレームの受信、保存用のメッセージ・バッファとして送信メッセージ・バッファが見つかった場合、メッセージ・バッファの FCNnMmSTRB.FCNnMmSSOW による上書き制御および FCNnMmCTL.FCNnMmDTNF はチェックされません。FCNnMmSSOW の設定は無視され、FCNnMmDTNF はいずれの場合もセットされます。

備考 1. 複数の送信メッセージ・バッファが同じ ID を持っていて、受信したリモート・フレームの ID がその ID と一致する場合、リモート・フレームはメッセージ・バッファ番号の最も小さい送信メッセージ・バッファに保存されます。

2. リモート・フレームの ID と ID が一致し、リモート・フレームを受信可能な送信メッセージ・バッファと受信メッセージ・バッファが見つかった場合は、メッセージ・バッファがマスクされている場合も、マスクされていない場合も、リモート・フレームは送信メッセージ・バッファに保存されます。

3. リモート・フレームの受信条件を満たす複数の受信メッセージ・バッファがあるときの受信優先度は、データ・フレームの受信優先度と同じです。

4. リモート・フレームの受信に適した受信メッセージ・バッファが見つかり、保存用として選択されたにもかかわらず、FCNnMmDTNF がセットされていて、FCNnMmSSOW がセットされていないため、その受信メッセージ・バッファにフレームを保存できない場合、そのリモート・フレームはどこにも保存されません。

22.8 メッセージ送信

22.8.1 メッセージの送信

FCNnMmCTL.FCNnMmTRQF ビットが 1 にセットされたメッセージ・バッファは、以下の条件を満たしていれば、優先度の最も高いメッセージを送信するメッセージ・バッファを検索するときの対象になります。この処理はすべての動作モードで有効です。

- メッセージ・バッファとして使用されている（FCNnMmSTRB.FCNnMmSSAM = 1）
- 送信メッセージ・バッファとして設定されている（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000B）
- 送信レディ状態である（FCNnMmCTL.FCNnMmRDYF = 1）

CAN システムはマルチ・マスタ通信システムです。この種のシステムでは、メッセージ識別子（ID）に基づいてメッセージ送信の優先度が決まります。

送信を待機しているメッセージが複数ある場合にソフトウェアによる送信処理を容易にするために、FCN モジュールではハードウェアを使用して優先度の最も高いメッセージの ID をチェックし、そのメッセージを自動的に識別します。そうすることで、ソフトウェアを利用した優先度制御を行う必要がなくなります。

送信優先度は識別子（ID）によって制御されます。

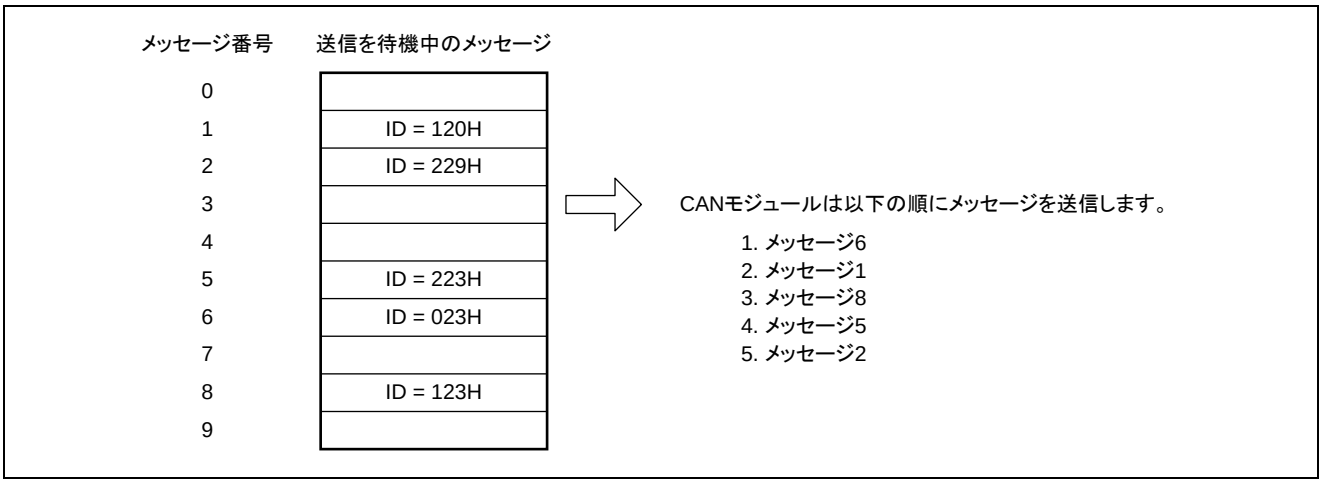


図22.8 メッセージ処理の例

送信メッセージの検索が完了すると、送信要求を保留している（あらかじめ FCNnMmCTL.FCNnMmTRQF ビットが 1 にセットされている）送信メッセージ・バッファのうち、優先度の最も高い送信メッセージ・バッファを使用して送信メッセージが送信されます。

新しい送信要求が設定されると、新しい送信要求が設定された送信メッセージ・バッファと送信要求を保留している送信メッセージ・バッファとの比較が行われます。優先度の低いメッセージの送信がすでに開始されていない限り、新しい送信要求のほうが優先度が高ければ、新しい送信要求が送信されます。しかし、優先度の低いメッセージの送信がすでに開始されていれば、新しい送信要求はあとで送信されます。このように優先度が逆転する問題を解決するために、ソフトウェアで優先度の低いメッセージの送信中断要求を実行することができます。優先度の順位は以下の規則によって決まります。

優先度	条件	説明
1（高い）	ID の上位 11 ビットの値（ID28-ID18）	ID の上位 11 ビットが表す値が最も小さいメッセージ・フレームが最初に送信されます。11 ビット標準 ID の値が 29 ビット拡張 ID の上位 11 ビットの値以下である場合は、29 ビット拡張 ID を持つメッセージ・フレームより 11 ビット標準 ID のほうが優先度が高くなります。
2	フレーム・タイプ	11 ビット標準 ID を持つデータ・フレーム（FCNnMmSTRB.FCNnMmSSRT が 0 にクリアされている）のほうが標準 ID を持つリモート・フレームおよび拡張 ID を持つメッセージ・フレームより優先度が高くなります。
3	ID タイプ	標準 ID を持つメッセージ・フレーム（メッセージ・バッファ識別子レジスタ FCNnMmMID... のビット FCNnMmSSIE が 0 にクリアされている）のほうが拡張 ID を持つメッセージ・フレームより優先度が高くなります。
4	ID の下位 18 ビットの値（ID17-ID0）	ID の上位 11 ビットが同じで、同じフレーム・タイプの（FCNnMmSTRB.FCNnMmSSRT ビット値が等しい）送信保留中の拡張 ID メッセージ・フレームが複数ある場合は、拡張 ID の下位 18 ビットの値が最も小さいメッセージ・フレームが最初に送信されます。
5（低い）	メッセージ・バッファ番号	複数のメッセージ・バッファが同じ ID を持つメッセージ・フレームの送信を要求した場合は、メッセージ・バッファ番号の最も小さいメッセージ・バッファのメッセージが最初に送信されます。

備考 1. ABT 付き通常動作モードで、自動ブロック送信要求ビット FCNnGMABCTL.FCNnGMABABTT が 1 にセットされている場合は、ABT メッセージ・バッファ・グループ内の 1 つのメッセージ・バッファでのみ FCNnMmCTL.FCNnMmTRQF が 1 にセットされます。

FCNnGMABCTL.FCNnGMABSEAT = 1 によって ABT モードがトリガされた場合は、ABT 領域内（64 メッセージ・バッファの FCN：0-15、128 メッセージ・バッファの FCN：0-31）の 1 つの FCNnMmCTL.FCNnMmTRQF が 1 にセットされます。この送信要求以降、アプリケーションは、ABT 領域に属さないほかの送信メッセージ・バッファに対して送信を要求する（FCNnMmTRQF をセット（1）する）ことができます。その場合、インターバル調停プロセス（送信検索）は、FCNnMmTRQF が 1 にセットされているすべての送信メッセージ・バッファを評価し、優先度の最も高い識別子を持つメッセージ・バッファを次の送信用バッファとして選択します。優先度が最も高い識別子が複数ある（同じ識別子が複数ある）場合は、番号の最も小さいメッセージ・バッファに格納されているメッセージが最初に送信されます。

メッセージ・フレームの送信が成功すると、以下の処理が実行されます。

- 対応する送信メッセージ・バッファの FCNnMmCTL.FCNnMmTRQF フラグが自動的に 0 にクリアされます。
- 送信完了ステータス・ビット FCNnCMISCTL.FCNnCMISITSF0 が 1 にセットされます（対応する送信メッセージ・バッファの割り込み許可ビット FCNnMmIENF が 1 にセットされている場合）。
- 割り込み要求信号 INTCnTRX が出力されます
  （FCNnCMIECTL.FCNnCMIEINTF0 が 1 にセットされており、かつ、対応する送信メッセージ・バッファの割り込み許可ビット FCNnMmIENF が 1 にセットされている場合）。

2. 送信バッファの内容を変更するときは、内容を更新する前に、そのバッファの FCNnMmCTL.FCNnMmRDYF フラグをクリアする必要があります。内部転送動作中などに FCNnMmRDYF フラグが一時的にロックされることがあるため、FCNnMmRDYF を変更したときは、あとでフラグの状態をソフトウェアで確認する必要があります。

22.8.2 送信ヒストリ・リスト機能

送信ヒストリ・リスト（THL）機能は、データ・フレームまたはリモート・フレームの送信元となった送信メッセージ・バッファの番号を送信ヒストリ・リストに記録する機能です。THL は、最大 15 個のメッセージ（64 メッセージ・バッファの FCN の場合）または最大 31 個のメッセージ（128 メッセージ・バッファの FCN の場合）に相当する保存要素、最終送信メッセージ・ポインタ FCNnCMLOSTR[7:0]とそれに対応する FCNnCMLOSTR レジスタおよび送信ヒストリ・リスト取得ポインタ FCNnCMTGSSPT[7:0]とそれに対応する FCNnCMTGTX レジスタから構成されます。

FCN モジュールが初期化モードからいずれかの動作モードへ移行した直後の THL は不定です。

FCNnCMLOSTR レジスタには、FCNnCMLOSTR.FCNnCMLOSTR[7:0]ポインタから 1 を引いた値が示す THL 要素の内容が格納されています。したがって、FCNnCMLOSTR レジスタを読み出すことによって、最後にデータ・フレームまたはリモート・フレームを送信したメッセージ・バッファの番号をチェックすることができます。FCNnCMLOSTR[7:0]ポインタは、THL のどの部分にメッセージ・バッファ番号が記録されるかを示す書き込みポインタとして利用されます。データ・フレームまたはリモート・フレームが送信されるたびに、それに対応するメッセージ・バッファ番号が FCNnCMLOSTR[7:0]ポインタの示す THL 要素に記録されます。THL への記録が完了するたびに、FCNnCMLOSTR[7:0]ポインタは自動的にインクリメントされます。そうすることで、フレームを受信し、保存したメッセージ・バッファの番号が時系列順に記録されます。

FCNnMmCTL.FCNnMmNHMF フラグがセットされているメッセージ・バッファのエントリは送信ヒストリ・リストに記録されません。

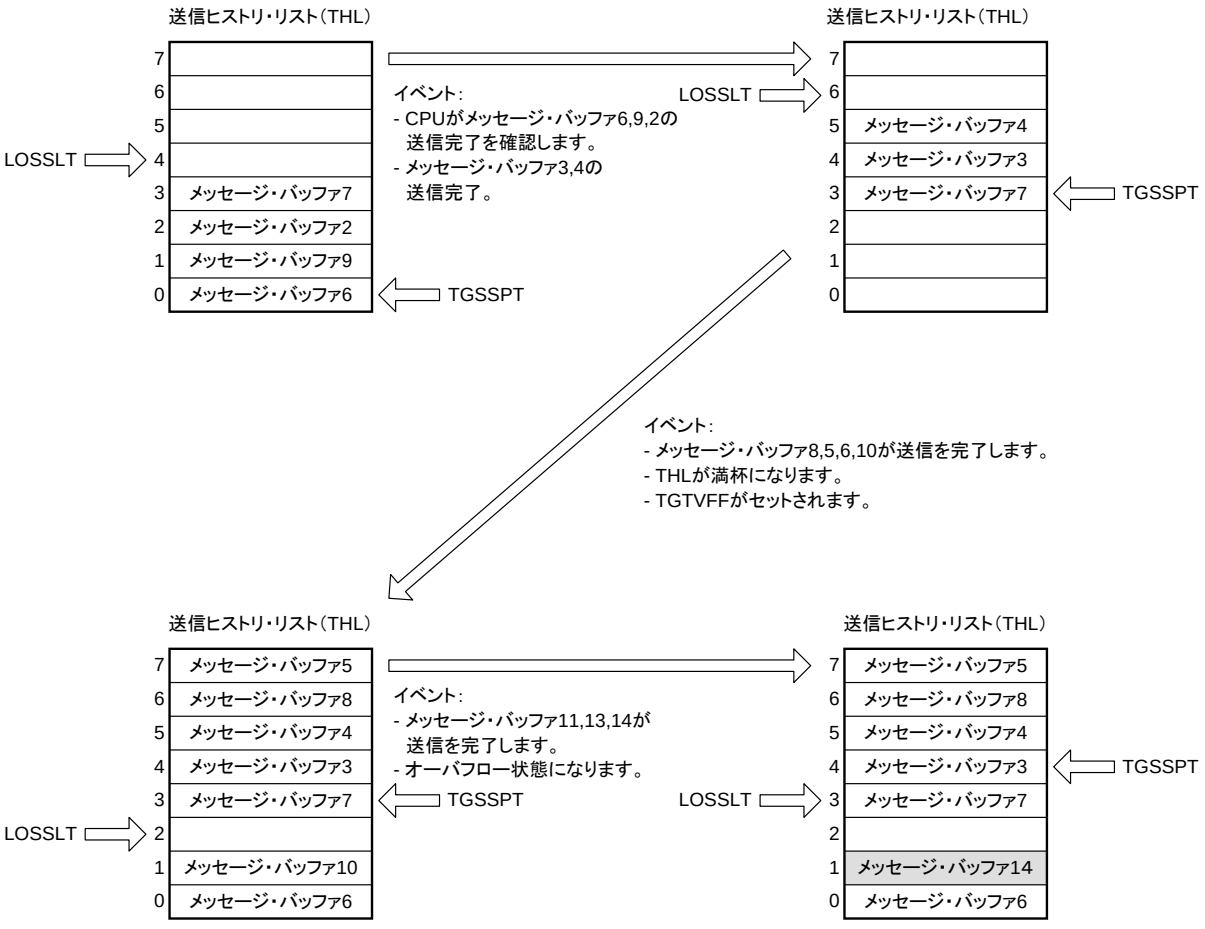
FCNnCMTGTX.FCNnCMTGSSPT[7:0]ポインタは、記録されているメッセージ・バッファ番号を THL から読み出すときの読み出しポインタとして利用されます。このポインタは、CPU がまだ読み出していない THL 要素のうち、最初の要素を示します。ソフトウェアで FCNnCMTGTX レジスタを読み出すことにより、送信を完了したメッセージ・バッファの番号を読み取ることができます。FCNnCMTGTX レジスタからメッセージ・バッファ番号が読み出されるたびに、FCNnCMTGSSPT[7:0]ポインタが自動的にインクリメントされます。

FCNnCMTGTX.FCNnCMTGSSPT[7:0]ポインタの値が FCNnCMLOSTR.FCNnCMLOSTR[7:0]ポインタの値と一致すると、FCNnCMTGTX.FCNnCMTGSSPM（送信ヒストリ・リスト・ポインタ・マッチ）が 1 にセットされます。これは、まだ読み出されていないメッセージ・バッファ番号が THL に残っていないことを示します。新しいメッセージ・バッファ番号が記録されると、FCNnCMLOSTR[7:0]ポインタがインクリメントされ、その値が FCNnCMTGSSPT[7:0]ポインタの値と一致しなくなるため、FCNnCMTGSSPM がクリアされます。これは、まだ読み出されていないメッセージ・バッファ番号が THL に存在することを意味しています。

FCNnCMLOSTR.FCNnCMLOSTR[7:0]ポインタがインクリメントされた結果、FCNnCMTGTX.FCNnCMTGSSPT[7:0]ポインタから 1 を引いた値と一致すると、FCNnCMTGTX.FCNnCMTGTVFF（送信ヒストリ・リスト・オーバフロー）が 1 にセットされます。これは、まだ読み出されていないメッセージ・バッファ番号によって THL が満杯になったことを示します。新しいメッセージが受信され、保存されると、そのメッセージをあとで送信したメッセージ・バッファ番号によって最後に記録されたメッセージ・バッファ番号が上書きされます。その場合、FCNnCMTGTVFF が（1 に）セットされたあとは、THL に記録されたメッセージ・バッファ番号が時系列順を完全に反映しなくなります。ただし、その場合でも CPU はすべての送信バッファをサーチすることで送信完了したメッセージ・バッファの番号を特定することができます（CPU が送信再設定を行う前に実行）。

FCNnCMTGTX.FCNnCMTVFF に関わらず 14 個（64 メッセージ・バッファ）または 30 個（128 メッセージ・バッファ）の送信メッセージ・バッファ番号は THL に保存されます。

注意 送信ヒストリ・リストがオーバフロー状態になっても（FCNnCMTGTX.FCNnCMTGTVFF がセットされても）、送信ヒストリ・リストが空になるまで（FCNnCMTGTX.FCNnCMTGSSPM フラグがセットされるまで）、送信ヒストリ・リストの内容を読み出すことはできます。ただし、FCNnCMTGTVFF がソフトウェアによってクリアされるまで、送信ヒストリ・リストはオーバフロー状態にとどまります。FCNnCMTGTVFF がクリアされないと、新しいメッセージの送信が成功しても FCNnCMTGTX.FCNnCMTGSSPM フラグは更新（クリア）されません。その場合は、送信ヒストリ・リストがオーバフローしている状態で送信が成功したにもかかわらず、送信ヒストリ・リストが空であることを FCNnCMTGSSPM が示す（FCNnCMTGTVFF と FCNnCMTGSSPM がセットされる）可能性があります。



TGTVFF = 1は,LOSSLTがTGSSPT - 1と一致すること,およびLOSSLT - 1が示す要素にメッセージ・バッファ番号が保存されたことを示しています。

備考1. 上の図では以下の略号を使用しています。
- LOSSLT = 最終送信メッセージ・ポインタFCNnCMLOSTR.FCNnCMLOSSLT[7:0]
- TGSSPT = 送信ヒストリ・リスト取得ポインタFCNnCMTGTX.FCNnCMTGSSPT[7:0]
- TGTVFF = 送信ヒストリ・リスト・オーバフロー・フラグFCNnCMTGTX.FCNnCMTGTVFF

2. FCNnMmCTL.FCNnMmNHMFフラグがセットされているメッセージ・バッファを送信した場合、LOSSLTが示すメッセージ・バッファ番号とTHLに書き込まれているメッセージ・バッファ番号は異なります。

図22.9 送信ヒストリ・リスト

22.8.3 自動ブロック送信機能（ABT）

自動ブロック送信（ABT）機能は、CPU の介入なしに、複数のデータ・フレームを連続的に送信する目的に使用されます。ABT 機能に割り当てられる送信メッセージ・バッファは、最大 16 個（64 メッセージ・バッファの FCN の場合）であり、常に番号の最も小さいメッセージ・バッファから順に割り当てられます。

FCNnCM.FCNnCMCLMDOF[2:0]を 010B に設定することで、「自動ブロック送信機能付き通常動作モード」（これ以降 ABT モードと言う）を選択することができます。

ABT 送信要求を発行するには、まずソフトウェアでメッセージ・バッファを定義します。ABT に使用するすべてのメッセージ・バッファで FCNnMmSTRB.FCNnMmSSAM = 1 に設定し、FCNnMmSTRB.FCNnMmSSMT[3:0]ビットを 0000B に設定することによって、それらすべてのバッファを送信メッセージ・バッファとして定義します。

その ID がすべてのメッセージ・バッファで使用されている場合でも、ABT 用のメッセージ・バッファには必ず同じ ID を設定してください。複数の ID を使用するには、FCNnMmMID0H レジスタと FCNnMmMID1H レジスタまたは FCNnMmMID0W レジスタを使用して、各メッセージ・バッファの ID を設定します。ABT 機能を利用した送信要求を発行する前に、FCN メッセージ・バッファ・データ・バイト・レジスタを設定します。

ABT 用のメッセージ・バッファの初期化が完了したあと、FCNnMmCTL.FCNnMmRDYF をセット（1）する必要があります。ABT モードでは、FCNnMmCTL.FCNnMmTRQF をソフトウェアで操作する必要はありません。

ABT メッセージ・バッファ用のデータを用意したあと、FCNnGMABCTL.FCNnGMABSEAT = 1 にセットします。そうすると、自動ブロック送信が開始されます。ABT が開始されると、最初のメッセージ・バッファ（メッセージ・バッファ 0）の FCNnMmCTL.FCNnMmTRQF が自動的に 1 にセットされます。メッセージ・バッファ 0 のデータの送信が完了すると、次のメッセージ・バッファであるメッセージ・バッファ 1 の FCNnMmTRQF が自動的にセットされます。このようにして、送信が連続的に実行されます。

送信が連続的に実行されている間、送信要求 FCNnMmCTL.FCNnMmTRQF が自動的にセットされるインターバルに、プログラムを利用して遅延時間を挿入することができます。挿入される遅延時間は FCNnGMADCTL レジスタによって定義されます。遅延時間の単位は DBT（データ・ビット・タイム）です。DBT は、FCNnCMBRPRS レジスタと FCNnCMBTCTL レジスタの設定によって決まります。

ABT 領域内（バッファ 0～15）の送信オブジェクトについては、送信 ID の優先度は評価されません。メッセージ・バッファ 0 からメッセージ番号順に送信されます。最後のメッセージ・バッファからのデータ・フレームの送信が完了すると、FCNnGMABCTL.FCNnGMABABTT が自動的に 0 にクリアされ、ABT 動作が完了します。

ABT の実行中に ABT メッセージ・バッファの FCNnMmCTL.FCNnMmRDYF がクリアされると、そのバッファからのデータ・フレームの送信は実行されず、ABT が中断され、FCNnGMABCTL.FCNnGMABABTT がクリアされます。その後、ソフトウェアで FCNnMmRDYF と FCNnGMABABTT をセット（1）することによって、ABT が中断されたメッセージ・バッファから送信を再開することができます。ABT が中断されたメッセージ・バッファから送信を再開したくない場合は、ABT モードが停止中であり、FCNnGMABABTT が 0 にクリアされている間に、FCNnGMABCTL.FCNnGMABCLRF ビットをセット（1）することによって内部 ABT エンジンをリセットします。その場合は、FCNnGMABCTL.FCNnGMABSEAC が 0 にクリアされたあと、FFCNnGMABABTT が 1 にセットされていれば、メッセージ・バッファ 0 から送信が開始されます。

割り込みを利用して、ABT 用のすべてのメッセージ・バッファからデータ・フレームが送信されたかどうかを確認することができます。それには、最後のメッセージ・バッファを除くすべてのメッセージ・バッファの FCNnMmCTL.FCNnMmIENF を（0 に）クリアする必要があります。

ABT 機能が使用している送信メッセージ・バッファ以外のメッセージ・バッファが送信メッセージ・バッファに割り当てられている場合、次に送信されるメッセージは、現在送信を保留中の ABT メッセージ・バッファの送信 ID の優先度と ABT 機能によって使用されていないメッセージ・バッファの送信 ID の優先度を比較したうえで決定されます。

ABT メッセージ・バッファからのデータ・フレームの送信は送信ヒストリ・リスト（THL）に記録されません。

注意 1. バッファ No.0 から ABT 動作を再開するには、FCNnGMABCTL.FCNnGMABABTT が 0 にクリアされている間に FCNnGMABCTL.FCNnGMABSEAC = 1 にセットします。
FCNnGMABABTT が 1 にセットされている間に FCNnGMABSEAC をセット（1）した場合、それ以降の動作は保証されません。

2. **FCNnGMABCTL.FCNnGMABSEAC = 1 に設定することによって自動ブロック送信エンジンをクリアすると、クリア要求の処理が完了した直後に FCNnGMABSEAC が自動的にクリアされます。**
3. **初期化モード中に自動ブロック送信をトリガしないでください。初期化モード中に FCNnGMABCTL.FCNnGMABSEAT をセットした場合、モードを初期化モードから ABT モードへ変更したあとの正しい動作は保証されません。**
4. **ABT 付き通常動作モードの実行中に ABT メッセージ・バッファの FCNnMmCTL.FCNnMmTRQF をソフトウェアで 1 にセットしないでください。セットした場合の動作は保証されません。**
5. **ABT モードで連続的に送信される ABT メッセージのメッセージ番号順に送信要求が設定されている場合、FCNnGMADCTL レジスタは、1 つの ABT メッセージの送信が完了してから次の ABT メッセージの FCNnMmCTL.FCNnMmTRQF がセットされるまでの間に挿入される遅延時間の設定に使用されます。メッセージが実際に CAN バス上で送信されるタイミングは、ほかのステーションからの送信の状態および ABT メッセージ以外のメッセージの送信要求の設定の状態によって異なります。**
6. **ABT メッセージ以外のメッセージの送信要求が発行されており、ABT の送信要求が自動的に設定されるインターバルに遅延時間が挿入されていない場合は（FCNnGMADCTL = 00H）、ABT メッセージ以外のメッセージが、ABT メッセージとの優先度の差異に関係なく送信される可能性があります。**
7. **FCNnGMABCTL.FCNnGMABABTT = 1 のときに FCNnMmCTL.FCNnMmRDYF をクリア（0）しないでください。**

22.8.4 送信中断処理

(1) 自動ブロック送信（ABT）以外の送信中断処理

ユーザは FCNnMmCTL.FCNnMmTRQF をクリア（0）することで送信要求を中断することができます。中断が成功すると、FCNnMmTRQF がただちにクリアされます。送信の中断が成功したかどうかは、CAN バス上の送信の状態を示す FCNnCMCLCTL.FCNnCMCLSSTS と FCNnCMTGTX レジスタまたは FCNnMmCTL.FCNnMmTCPF フラグを使用することで確認できます（詳細については、図22.24「送信中断処理（ABT付き通常動作モードの実行中を除く）」の手順を参照してください）。

(2) 自動ブロック送信（ABT）の送信中断処理

すでに開始されている ABT を中断するには、FCNnGMABCTL.FCNnGMABCLAT をクリア（0）します。その場合、ABT メッセージを現在送信中であれば、その送信が完了するまで（送信の成功、失敗にかわらず）、FCNnGMABCTL.FCNnGMABABTT は 1 にセットされたまま変わらず、送信が完了すると同時に 0 にクリアされます。それによって ABT が中断されます。

（ABT が中断される前の）最後の送信が成功した場合、ABT 付き通常動作モードの内部 ABT ポインタは、次に送信されるメッセージ・バッファを指します。

送信が失敗した場合の内部 ABT ポインタの位置は、最後に送信されたメッセージ・バッファの FCNnMmCTL.FCNnMmTRQF の状態によって異なります。FCNnGMABCTL.FCNnGMABABTT のクリアを要求したときに FCNnMmTRQF が 0 にクリアされていれば、内部 ABT ポインタはインクリメント（+1）され、ABT 領域内の次のメッセージ・バッファを指します（詳細については、図22.26「ABT送信要求中断処理（ABT付き通常動作モードの実行中）」の手順を参照してください）。

注意 必ず FCNnGMABCTL.FCNnGMABCLAT をクリア（0）することによって ABT を中断してください。FCNnMmCTL.FCNnMmRDYF をクリアすることで送信の中断を要求した場合の動作は保証されません。

ABT が中断されたあと、FCNnGMABCTL.FCNnGMABSEAT が 1 にセットされて、ABT 付き通常動作モードが再開されたとき、次に送信される ABT メッセージ・バッファは、以下の表に示す仕組みで決まります。

ABT メッセージ・バッファの FCNnMmCTL.FCNnMmTRQF の状態	送信が成功したあと、ABT が中断された場合	送信が失敗したあと、ABT が中断された場合
セットされている（1）	ABT 領域内の次のメッセージ・バッファ 注	ABT 領域内の同じメッセージ・バッファ
クリアされている（0）	ABT 領域内の次のメッセージ・バッファ 注	ABT 領域内の次のメッセージ・バッファ 注

注 上記の再開操作は、ABT を実行可能な状態のメッセージ・バッファが ABT 領域内に存在するときにのみ実行できます。たとえば、番号が最大のメッセージ・バッファの ABT を実行中に中断要求を発行した結果、そのメッセージ・バッファの送信が成功した場合は、FCNnGMABCTL.FCNnGMABABTT が 0 にクリアされていても、ABT は中断されたと見なされず、完了したと見なされます。ABT 領域内の次のメッセージ・バッファの FCNnMmCTL.FCNnMmRDYF が 0 にクリアされている場合は、内部 ABT ポインタは保持されますが、FCNnGMABABTT が 1 にセットされていても再開操作は実行されず、ABT はただちに終了します。

22.8.5 リモート・フレームの送信

リモート・フレームは送信メッセージ・バッファからのみ送信できます。

FCNnMmSTRB.FCNnMmSSRT を使用してデータ・フレームまたはリモート・フレームのどちらを送信するかを設定します。FCNnMmSSRT = 1 にセットすれば、リモート・フレームの送信が設定されます。

22.9 パワー・セーブ・モード

22.9.1 FCN スリープ・モード

FCN スリープ・モードを利用して CAN コントローラをスタンバイ・モードに設定し、消費電力を節約することができます。FCN モジュールはいずれの動作モードからも FCN スリープ・モードに入ることができます。FCN スリープ・モードを解除すると、FCN モジュールは FCN スリープ・モードに入る前と同じ動作モードに戻ります。

FCN スリープ・モードでは、送信要求が発行されたり保留されたりしても、FCN モジュールはメッセージを送信しません。

(1) FCN スリープ・モードへの移行

FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 01B に設定することで、CPU は FCN スリープ・モードへの移行要求を発行します。

この移行要求は以下の条件が満たされている場合にのみ承認されます。

1. FCN モジュールがすでに以下のいずれかの動作モードに入っている
   - 通常動作モード
   - ABT 付き通常動作モード
   - 受信オンリー・モード
   - シングル・ショット・モード
   - セルフ・テスト・モード
   - 上記すべての動作モードでの FCN ストップ・モード

2. CAN バスの状態がバス・アイドル（インターフレーム・スペースの第 4 ビットがレセシブ）である。
   CAN バスがドミナントに固定されていると、FCN スリープ・モードへの移行要求は保留されます。
   FCN ストップ・モードから FCN スリープ・モードへの移行は CAN バスの状態と関係なく行われます。

3. 保留中の送信要求がない。

4. パワー・セーブ・モードは動作モード変更と組み合わせてはなりません。
   これらのアクセスはステップを分けて実行しなければなりません。

備考 スリープ・モード要求が保留中であり，かつ，受信されたメッセージがメッセージ・ボックスにある場合、そのスリープ・モード要求はキャンセルされず、メッセージの保存が終了すると同時に実行されます。その結果、CPU が受信割り込みルーチンを実行中に FCN がスリープ・モードに入ることがあります。したがって、スリープ・モードが使用されている場合、割り込みルーチンは、FCNnGMCLSSMO フラグを利用して、メッセージ・バッファへのアクセスと同時に受信ヒストリ・リスト・レジスタへのアクセスもチェックする必要があります。
上記の条件のうち 1 つでも満たされない場合、FCN モジュールは以下のように動作します。

・初期化モードから FCN スリープ・モードが要求された場合、FCN スリープ・モードへの移行要求は無視され、FCN モジュールは初期化モードにとどまります。

・CAN バスの状態がバス・アイドルでないときに（CAN バスの状態が送信中または受信中に）いずれかの動作モードから FCN スリープ・モードへの移行要求を発行しても、ただちに FCN スリープ・モードへ移行することはできません。その場合は、CAN バスの状態がバス・アイドルになる（インターフレーム・スペースの第 4 ビットがレセシブになる）まで FCN スリープ・モードへの移行要求は保留されます。FCN スリープ・モードへの移行要求が発行されてから移行が成功するまでの間、FCNnCMCLCTL.FCNnCMCLMDPF[1:0]は 00B にとどまります。モジュールが FCN スリープ・モードに入ると、FCNnCMCLMDPF[1:0]ビットは 01B に設定されます。

・FCN モジュールがいずれかの動作モードを実行中に初期化モードへの移行要求と FCN スリープ・モードへの移行要求が同時に発行された場合は、初期化モードへの移行要求が許可されます。その場合、FCN モジュールは、あらかじめ決められたタイミングで初期化モードに入ります。FCN スリープ・モードへの移行要求は保留されず、無視されます。

・初期化モードとスリープ・モードへの移行要求が同時に発行されなかった場合でも（最初の要求が承認されず、2 回目の要求が発行された場合など）、初期化モードへの移行要求のほうがスリープ・モードへの移行要求より優先されます。初期化モードへの移行要求が発行されると、スリープ・モードへの移行要求はキャンセルされます。初期化モードへの移行要求が保留されている間に発行されたスリープ・モードへの移行要求は、要求が発行された時点でただちにキャンセルされます。

(2) FCN スリープ・モードの状態

FCN モジュールは、FCN スリープ・モードに入ると以下の状態になります。

- 内部動作クロックが停止し、消費電力が最小限になります。
- CAN バスから FCN モジュールをウェイク・アップできるように、FCN 受信端子（CRXDn）の立ち下がりを検出する機能は有効な状態を保ちます。
- CPU から FCN モジュールをウェイク･アップするために FCNnCMCLCTL.FCNnCMCLMDPF[1:0]にデータを設定することはできますが、ほかの FCN モジュール・レジスタやビットにデータを書き込むことはできません。
- FCNnCMLISTR レジスタ、FCNnCMRGRX レジスタ、FCNnCMLOSTR レジスタ、FCNnCMTGTX レジスタ以外の FCN モジュール・レジスタを読み出すことができます。
- FCN メッセージ・バッファ・レジスタへの書き込み、読み出しはできません。
- FCNnGMCLCTL.FCNnGMCLSSMO はクリアされます。
- FCNnDNBMRX レジスタを読み出すことはできません。
- 初期化モードへの移行要求は承認されず、無視されます。

(3) FCN スリープ・モードの解除

FCN スリープ・モードは以下のイベントによって解除されます。

- CPU が FCNnCMCLCTL.FCNnCMCLMDPF[1:0]を 00B に設定したとき
- FCN 受信端子 CRXDn の立ち下がり時（CAN バス・レベルがレセシブからドミナントへ移行したとき）

注意 立ち下がりが受信メッセージの SOF に属していても、そのメッセージが受信され、保存されることはありません。FCN モジュールがスリープ・モードに入っている間、CPU が FCN モジュールへのクロック供給を停止した場合は、FCN モジュールへのクロック供給が再開されない限り、FCN スリープ・モードを解除することはできず、FCNnCMCLMDPF[1:0]の値は 01B にとどまります。クロック供給を停止したあとは、受信メッセージも受信されなくなります。

スリープ・モードが解除されると、FCN モジュールは FCN スリープ・モードへの移行要求が発行されたときの動作モードに戻ります。その後、FCNnCMCLCTL.FCNnCMCLMDPF[1:0]をソフトウェアで 00B にリセットする必要があります。CAN バスの状態の変化によって FCN スリープ・モードが解除された場合は、FCNnCMIECTL.FCNnCMIEINTF[6:0]の値に関係なく、FCNnCMISCTL.FCNnCMISITSF5 は 1 にセットされます。FCN スリープ・モードから解除された FCN モジュールは、CAN バス上で 11 個の連続するレセシブ・レベルのビットを自動的に検出することにより、再び CAN バス通信に参加します。FCNnGMCLCTL.FCNnGMCLSSMO = 1 になるまで、ユーザ・アプリケーションはメッセージ・バッファへのアクセスを再開できません。

FCN モジュールが FCN スリープ・モードに入っている間に初期化モードへの移行要求があった場合、その要求は無視されます。初期化モードへ移行するには、まず FCN モジュールをソフトウェアでスリープ・モードから解除する必要があります。

注意 1. スリープ・モードへの移行を要求した直後であっても、CAN バス・イベントが発生すれば、CAN バス・イベントによる FCN スリープ・モードの解除、つまりウェイク・アップ割り込みがいつでも発生する可能性がある点に注意してください。

2. FCN スリープ・モードからのウェイク・アップが行われたときは、FCN モジュールのほかのレジスタにアクセスする前に、必ず FCNnCMCLCTL.FCNnCMCLMDPF[1:0]ビットを 00B にリセットしてください。

3. FCN スリープ・モードからのウェイク・アップが行われたときは、必ず割り込みフラグ FCNnCMISCTL.FCNnCMISITSF5 をクリアしてください。

22.9.2 FCN ストップ・モード

FCN ストップ・モードを利用して CAN コントローラをスタンバイ・モードに設定し、消費電力を節約することができます。FCN モジュールは FCN スリープ・モードからのみ FCN ストップ・モードに入ることができます。

FCN ストップ・モードを解除すると、FCN モジュールは FCN スリープ・モードに入ります。

FCN ストップ・モードは、FCNnCMCLCTL.FCNnCMCLMDPF[1:0]を 01B に設定することによってのみ解除する（FCN スリープ・モードへ移行する）ことができます。CAN バスの状態の変化によって FCN ストップ・モードが解除されることはありません。FCN ストップ・モードに入っている間は、送信要求が発行されたり保留されたりしても、メッセージは送信されません。

(1) FCN ストップ・モードへの移行

FCN ストップ・モードへの移行要求を発行するには、FCNnCMCLCTL.FCNnCMCLMDPF[1:0]を 11B に設定します。

FCN ストップ・モードへの移行要求は、FCN モジュールが FCN スリープ・モードに入っている間のみ承認されます。ほかのどのモードでも要求は無視されます。

注意 FCN モジュールを FCN ストップ・モードに設定するには、モジュールが FCN スリープ・モードに入っている必要があります。
FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 01B であることチェックし、モジュールがスリープ・モードに入っていることを確認してから、FCN ストップ・モードへの移行要求を発行してください。この処理の実行中に FCN 受信端子 CRXDn でバス状態が変化した場合、FCN スリープ・モードは自動的に解除されます。その場合、FCN ストップ・モードへの移行要求は承認されません。

(2) FCN ストップ・モードの状態

FCN モジュールは、FCN ストップ・モードに入ると以下の状態になります。

- 内部動作クロックが停止し、消費電力が最小限になります。
- CPU から FCN モジュールをウェイク･アップするために FCNnCMCLCTL.FCNnCMCLMDPF[1:0]にデータを設定することはできますが、ほかの FCN モジュール・レジスタやビットにデータを書き込むことはできません。
- FCNnCMLISTR レジスタ、FCNnCMRGRX レジスタ、FCNnCMLOSTR レジスタ、FCNnCMTGTX レジスタ以外の FCN モジュール・レジスタを読み出すことができます。
- FCN メッセージ・バッファ・レジスタへの書き込み、読み出しはできません。
- FCNnGMCLCTL.FCNnGMCLSSMO はクリアされます。
- FCNnDNBMRX レジスタを読み出すことはできません。
- 初期化モードへの移行要求は承認されず、無視されます。

(3) FCN ストップ・モードの解除

FCN ストップ・モードは、FCNnCMCLCTL.FCNnCMCLMDPF[1:0]に 01B を書き込むことによってのみ解除することができます。FCN ストップ・モードを解除すると、FCN モジュールは FCN スリープ・モードに入ります。

FCN モジュールが FCN ストップ・モードに入っている間に初期化モードへの移行要求があった場合、その要求は無視されます。CPU が初期化モードに入るには、ストップ・モードを解除したあと、FCN スリープ・モードを解除する必要があります。FCN ストップ・モードから FCN スリープ・モードを経ずに別の動作モードへ直接移行することはできません。そのような移行要求は無視されます。

22.9.3 パワー・セーブ・モードの使用例

一部のアプリケーション・システムでは、消費電力を節約するためにCPUをパワー・セーブ・モードにする必要が生じることがあります。FCNモジュール固有のパワー・セーブ・モードとCPU固有のパワー・セーブ・モードを併用することで、CANバスによってCPUをパワー・セーブ状態からウェイク・アップすることができます。

パワー・セーブ・モードの使用例を以下に示します。

- まず、FCNモジュールをFCNスリープ・モードにします（FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 01B）。スリープ・モード状態を読み出すことで、スリープ・モード状態への移行を確認したら、CPUをパワー・セーブ・モードにします。FCNモジュールがスリープ・モードに入ったあと、残りのタスクを処理し、FCNウェイク・アップ割り込みが承認されないように、CPUへの割り込みを禁止します。
  この状態で、FCN受信端子CRXDnでレセシブからドミナントへのエッジの立ち下がりが検出されると、FCNモジュールのFCNnCMISCTL.FCNnCMISITSF5が1にセットされます。
  FCNnCNIECTL.FCNnCMIEINT5が1にセットされると、ウェイク・アップ割り込み（INTCnWUP）が発生します。
  FCNモジュールがFCNスリープ・モードから自動的に解除され（FCNnCMCLMDPF[1:0] = 00B）、通常の動作モードに戻ります。
- CPUは、INTCnWUPに応答して、CPUのパワー・セーブ・モードを解除し、通常の動作モードに戻ることができます。
  FCNモジュールのクロックを含む内部クロックを停止させることで、CPUの消費電力をさらに節約することができます。その場合、FCNモジュールに供給される動作クロックは、FCNモジュールがFCNスリープ・モードに入ったあと、停止します。その後、CPUはパワー・セーブ・モードに入り、CPUに供給されるクロックも停止します。
- この状態で、FCN受信端子CRXDnでレセシブからドミナントへのエッジの立ち下がりが検出された場合、FCNモジュールは、クロックの供給を受けていなくても、FCNnCMISCTL.FCNnCMISITSF5をセット（1）し、ウェイク・アップ割り込みINTCnWUPを生成することができます。
- ただし、FCNモジュールへのクロックの供給が停止しているため、それ以外の機能は動作せず、モジュールはFCNスリープ・モード状態にとどまります。
- CPUはINTCnWUPに応答して以下の処理を行います。
  - CPUのパワー・セーブ・モードを解除します。
  - 発振安定時間の経過後、FCNモジュールへ供給されるクロックを含む内部クロックの供給を再開します。
  - 命令の実行を開始します。
- クロックの供給が再開されると、FCNモジュールはただちにFCNスリープ・モードから解除され、通常の動作モードに戻ります（FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 00B）。

22.10 割り込み機能

FCN モジュールは 6 個の異なる割り込みソースを持っています。

これらの割り込みソースの発生は、割り込みステータス・レジスタに保存されます。6 個の割り込みソースから 4 個の別々の割り込み要求信号が生成されます。複数の割り込みソースに対応する割り込み要求信号が生成されれば、割り込みステータス・レジスタを使用して、割り込みソースを識別することができます。割り込みソースが発生したあとは、それに対応する割り込みステータス・ビットをソフトウェアで 0 にクリアする必要があります。

表22.16 FCN モジュール割り込みソースの一覧

番号	割り込みステータス・ビット FCNnCMISCTL.	割り込み許可ビット FCNnCMIECTL.注	割り込み要求信号	割り込みソースの説明
1	FCNnCMISITSF0	FCNnCMIESEIE0	INTCnTRX	メッセージ・バッファ m からのメッセージ・フレームの送信が成功したことを示します。
2	FCNnCMISITSF1	FCNnCMIESEIE1	INTCnREC	メッセージ・バッファ m が有効なメッセージ・フレームを受信したことを示します。
3	FCNnCMISITSF2	FCNnCMIESEIE2	INTCnERR	FCN モジュール・エラー状態割り込み ・この割り込みは、送信エラー・カウンタまたは受信エラー・カウンタが警告レベルに達しているか、エラー・パッシブ状態またはバスオフ状態にあるときに生成されます。
4	FCNnCMISITSF3	FCNnCMIESEIE3		FCN モジュール・プロトコル・エラー割り込み ・この割り込みは、スタッフ・エラー、フォーム・エラー、ACK エラー、ビット・エラーまたは CRC エラーが発生すると生成されます。
5	FCNnCMISITSF4	FCNnCMIESEIE4		FCN モジュールアービトレーション・ロスト割り込み
6	FCNnCMISITSF5	FCNnCMIESEIE5	INTCnWUP	FCN スリープ・モードからの FCN モジュール・ウェイクアップ割り込み ・この割り込みは、FCN 受信端子で立ち下がり（レセシブからドミナントへの CAN バスの変化）が検出されたために、FCN モジュールが FCN スリープ・モードからウェイク・アップされると生成されます。
7	FCNnCMISITSF6	FCNnCMIESEIE6		FCN モジュール送信中断割り込みステータス ・この割り込みは、送信の中断が成功すると（送信を中断されたメッセージが送信されないと）生成されます。

注 メッセージ・バッファを割り込み生成プロセスに参加させるには、対象となるメッセージ・バッファのメッセージ・バッファ割り込み許可ビット FCNnMmCTL.FCNnMmIENF をセット（1）する必要があります。

22.11 診断機能と特殊な動作モード

FCN モジュールは、CAN バス診断機能または特殊な CAN 通信方式の利用に対応するために、受信オンリー・モード、シングル・ショット・モード、セルフ・テスト・モードを備えています。

22.11.1 受信オンリー・モード

受信オンリー・モードは、CAN バスに干渉することなく、受信メッセージをモニタするために使用され、CAN バス解析ノードで利用することができます。

たとえば、このモードを自動ボー・レート検出に利用することができます。FCN モジュールのボー・レートは、モジュールの受信ボー・レートが送信ボー・レートと一致するように、「有効な受信」が検出されるまで CAN モジュールのボー・レートを変化させ、互いのボー・レートを合わせ込むことができます。（「有効な受信」とは、CAN プロトコル・レイヤでエラーなしにメッセージ・フレームが受信され、CAN バスに接続されたノード間で適切な ACK が生成されたことを意味します）。メッセージ・フレームが受信メッセージ・バッファ（データ・フレーム）または送信メッセージ・バッファ（リモート・フレーム）に保存されなくても有効な受信は成立します。有効な受信イベントが発生したときに、FCNnCMCLCTL.FCNnCMCLVALF = 1 にセットします。

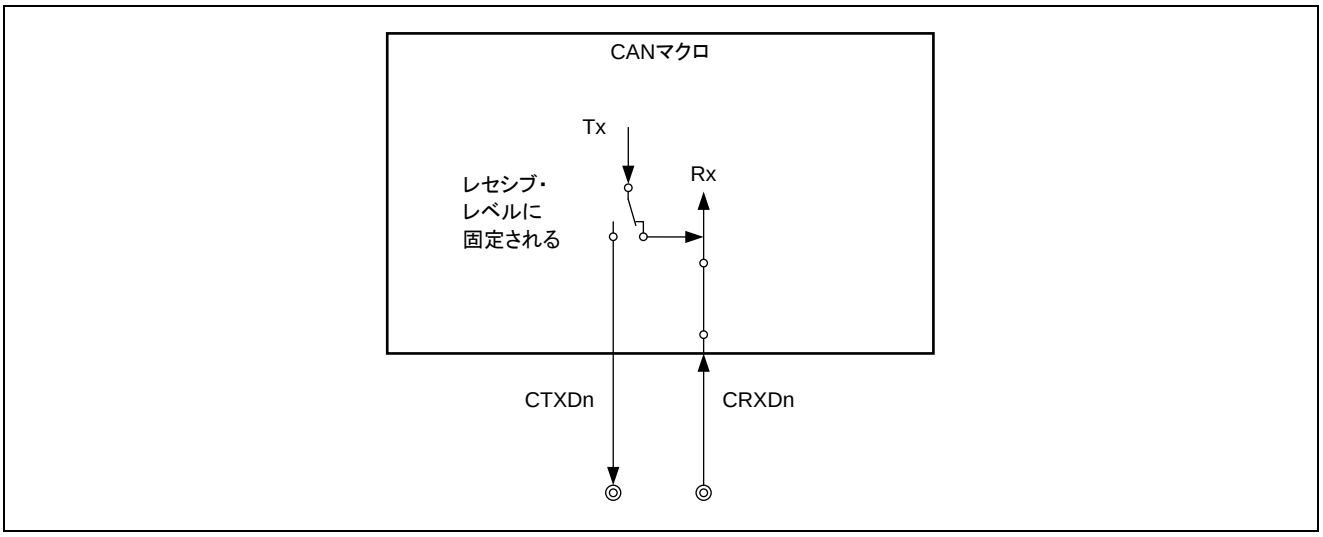


図22.10 受信オンリー・モードでの FCN モジュール端子の接続

受信オンリー・モードの実行中に FCN モジュールから CAN バスへメッセージ・フレームを送信することはできません。送信メッセージ・バッファとして定義されたメッセージ・バッファに対して発行された送信要求は保留されます。

受信オンリー・モードでは、FCN モジュールの FCN 送信端子 CTXDn がレセシブ・レベルに固定されます。したがって、メッセージ・フレームの受信中に CAN バス・エラーが検出されても、FCN モジュールから CAN バスへアクティブ・エラー・フラグを送信することはできません。FCN モジュールから何も送信することができないため、送信エラー・カウンタ FCNnCMERCNT.FCNnCMERTECF[7:0]ビットが更新されることはありません。したがって、受信オンリー・モードを実行中の FCN モジュールがバスオフ状態に入ることはありません。また、受信オンリー・モードでは、メッセージ・フレームの有効な受信が行われても、CAN バスへ ACK が返されることはありません。内部的には、ローカル・ノードは自分が ACK を送信したことを認識します。オーバロード・フレームを CAN バスに送信することはできません。

注意 2 つの CAN ノードのみが CAN バスに接続されている状態で、一方のノードが受信オンリー・モードで動作している場合、CAN バス上で ACK が送信されることはありません。ACK が検出されないため、送信ノードはアクティブ・エラー・フラグを送信し、メッセージ・フレームの送信を繰り返します。送信ノードはメッセージ・フレームを 16 回送信したあと、エラー・パッシブ状態になります（最初にエラー・カウンタが 0 になっていて、ほかのエラーが発生しなかった場合）。17 回目にメッセージ・フレームを送信したあと、送信ノードはパッシブ・エラー・フラグを生成します。受信オンリー・モードを実行中の受信ノードは、この時点で初めて有効なメッセージ・フレームを検出し、FCNnCMCLCTL.FCNnCMCLVALF ビットが初めて 1 にセットされます。

22.11.2 シングル・ショット・モード

シングル・ショット・モードでは、CAN プロトコルで定義されている自動再送信がオフになります（CAN プロトコルによれば、アービトレーション・ロストまたはエラーの発生によって中断されたメッセージ・フレームの送信は、ソフトウェアによる制御なしに、繰り返す必要があります）。シングル・ショット・モードのそれ以外のすべての動作は通常動作モードと同じです。

シングル・ショット・モードの機能を ABT 付き通常動作モードと組み合わせて利用することはできません。

シングル・ショット・モードでは、送信を中断されたメッセージ・フレームの再送信を FCNnCMCLCTL.FCNnCMCLALBF の設定に従って禁止します。

FCNnCMCLALBF が 0 にクリアされていると、アービトレーション・ロストおよびエラーが発生したときの再送信が禁止されます。FCNnCMCLALBF が 1 にセットされていると、エラーが発生したときの再送信が禁止されますが、アービトレーション・ロストが発生したときの再送信は許可されます。したがって、送信メッセージ・バッファとして定義されているメッセージ・バッファの FCNnMmCTL.FCNnMmTRQF は、以下のイベントが発生すると 0 にクリアされます。

- メッセージ・フレームの送信が成功したとき
- メッセージ・フレームの送信中にアービトレーション・ロストが発生したとき
- メッセージ・フレームの送信中にエラーが発生したとき

アービトレーション・ロスト・イベントとエラー発生イベントは、それぞれ FCNnCMISCTL.FCNnCMISITSF4 と FCNnCMISCTL.FCNnCMISITSF3 をチェックすることで識別でき、エラーのタイプは FCNnCMLCSTR.FCNnCMLCSSLC[2:0]を読み出すことで識別できます。

メッセージ・フレームの送信が成功すると、送信完了割り込みビット FCNnCMISCTL.FCNnCMISITSF0 が 1 にセットされます。そのとき、FCNnCMIECTL.FCNnCMIEINTF0 が 1 にセットされていれば、割り込み要求信号が出力されます。

シングル・ショット・モードは、タイムトリガ型通信方式（TTCAN レベル 1）のエミュレートに利用できます。

注意 FCNnCMCLCTL.FCNnCMCLALBF はシングル・ショット・モードでのみ有効です。ほかの動作モードでアービトレーション・ロストが発生したときの再送信にこのビットが影響を及ぼすことはありません。

22.11.3 セルフ・テスト・モード

セルフ・テスト・モードでは、CAN バスに CAN ノードを接続することなく、または CAN バスに影響を与えることなく、メッセージ・フレームの送信と受信をテストすることができます。

セルフ・テスト・モードでは、FCN モジュールが CAN バスから完全に切り離され、送信と受信が内部でループ・バックします。FCN 送信端子 CTXDn はレセシブ・レベルに固定されます。

ただし、FCN モジュールがセルフ・テスト・モードから FCN スリープ・モードへ入ったあと、FCN 受信端子 CRXDn で立ち下がりが検出されれば、モジュールは、ほかの動作モードからスリープ・モードに入ったときと同様に、FCN スリープ・モードから解除されます。モジュールを FCN スリープ・モードの状態に保つには、FCN 受信端子 CRXDn をポート端子として使用します。

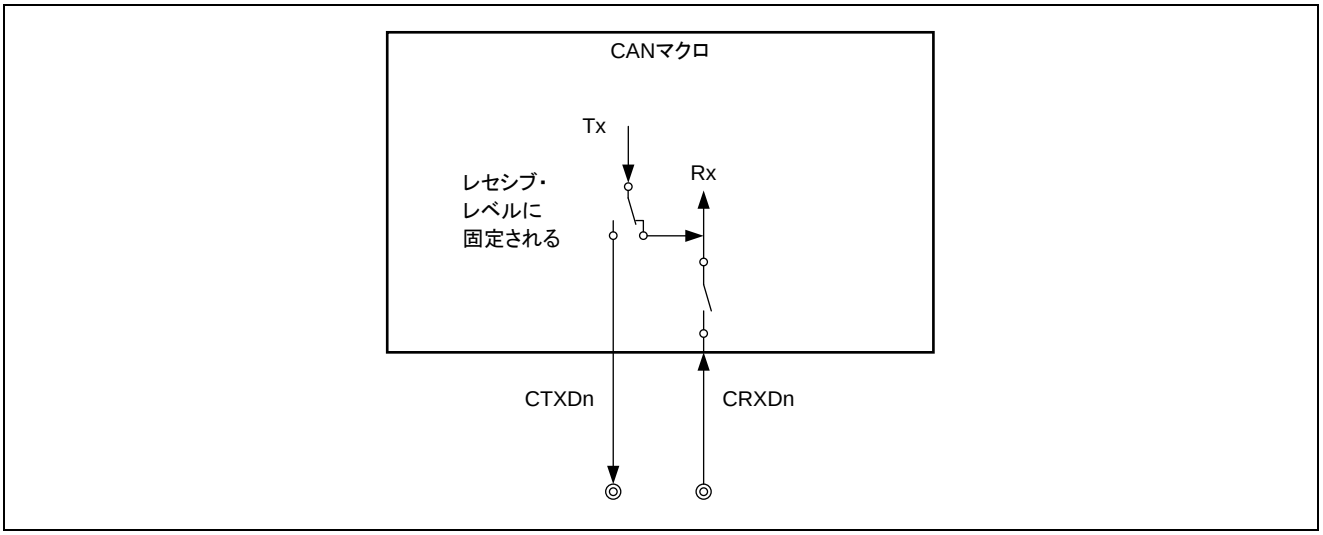


図22.11 セルフ・テスト・モードでの FCN モジュール端子の接続

22.11.4 各動作モードでの送受信動作

各動作モードでの受信／送信動作の概要を以下の表に示します。

表22.17 各動作モードでの受信／送信の概要

動作モード	データ・フレーム／リモート・フレームの送信	ACK の送信	エラー・フレーム／オーバロード・フレームの送信	送信の再試行	自動ブロック送信（ABT）	FCNnCMCLVALF ビットのセット	メッセージ・バッファへのデータの保存
初期化モード	不可能	不可能	不可能	不可能	不可能	不可能	不可能
通常動作モード	可能	可能	可能	可能	不可能	可能	可能
ABT 付き通常動作モード	可能	可能	可能	可能	可能	可能	可能
受信オンリー・モード	不可能	不可能	不可能	不可能	不可能	可能	可能
シングル・ショット・モード	可能	可能	可能	不可能注1	不可能	可能	可能
セルフ・テスト・モード	可能注2	可能注2	可能注2	可能注2	不可能	可能注2	可能注2

注 1. アービトレーション・ロストが発生した場合は、FCNnCMCLCTL.FCNnCMCLALBF によって再送信を制御することができます。

2. 生成される信号は外部へ出力されず、FCN モジュール内にとどまります。

22.12 タイム・スタンプ機能

CAN は非同期のシリアル通信プロトコルです。CAN バスに接続されたすべてのノードは、それぞれが独自のローカルなクロックを使用しています。したがって、各ノードで使用しているクロックの間には何の相互関係もありません（つまり、ノードのクロックは非同期であり、ノードによってクロック周波数が異なる可能性があります）。

しかし、一部のアプリケーションは、ネットワークをまたがる共通のタイム・ベース（グローバル・タイム・ベース）を必要とします。グローバル・タイム・ベースを構築するためにタイム・スタンプ機能を利用します。タイム・スタンプ機能は、基本的に、CAN バス上の信号によってトリガされるタイマ値をキャプチャすることによって動作します。

22.12.1 タイム・スタンプ機能

CAN コントローラは特定のフレームによってトリガされるタイマ値のキャプチャに対応しています。マイクロコントローラ・システム内のオンチップの 32 ビット・キャプチャ・タイマ・ユニット（TAUJ2）を CAN コントローラと組み合わせて使用します。32 ビット・キャプチャ・タイマ・ユニットは、CAN コントローラから送信されたデータ・フレームを受信したときに出力されるキャプチャ用のトリガ信号（TSOUT）に従ってタイマ値をキャプチャします。

CPU は、キャプチャされた値を読み出すことで、キャプチャ・イベントが発生した時刻、つまり CAN バスから送信されたメッセージの受信時のタイム・スタンプを取り出すことができます。以下の 2 つのイベント・ソースから TSOUT 信号を選択することができます。TSOUT 信号は FCNnCMTSCTL.FCNnCMTSSELE によって指定します。

- SOF イベント（フレームの先頭）（FCNnCMTSCTL.FCNnCMTSSELE = 0）
- EOF イベント（フレームの末尾の最下位ビット）（FCNnCMTSCTL.FCNnCMTSSELE = 1）

TSOUT 信号は、FCNnCMTSCTL.FCNnCMTSTSGE = 1 にセットすることによって許可されます。

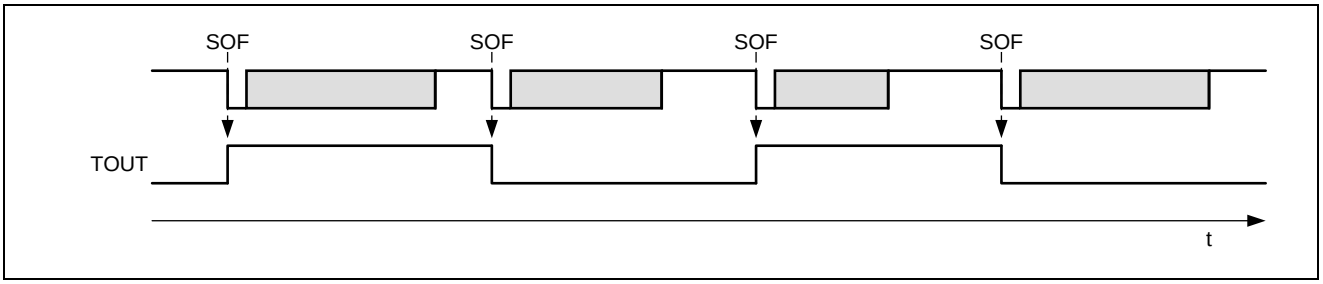


図22.12 キャプチャ信号 TSOUT のタイミング図

データ・フレームの受信中、選択されているイベントが発生するたびに、TSOUT 信号のレベルがトグルします（図22.12「キャプチャ信号TSOUTのタイミング図」では、SOF がトリガ・イベント・ソースとして使用されています）。TSOUT 信号を利用してタイマ値をキャプチャするには、キャプチャ・タイマ・ユニットがキャプチャ信号の立ち上がりと立ち下がりの両方を検出する必要があります。

このタイム・スタンプ機能は、FCNnCMTSCTL レジスタの FCNnCMTSLOKE ビットによって制御されます。FCNnCMTSLOKE が 0 にクリアされている場合、TSOUT 信号は、選択されているイベントが発生するたびにトグルします。FCNnCMTSLOKE が 1 にセットされている場合も、TSOUT 信号は選択されているイベントが発生するたびにトグルしますが、メッセージ・バッファ 0 へのメッセージの保存が始まると同時に FCNnCMTSCTL.FCNnCMTSTSGE が自動的に 0 にクリアされ、信号のトグルが停止します。そのため、それ以降は TSOUT 信号のトグルが停止し、最後に信号がトグルしたときの（最後にキャプチャされた）タイム・スタンプ値をメッセージ・バッファ 0 でデータ・フレームを受信したときのタイム・スタンプ値として保存することができます。

注意 FCNnCMTSLOKE ビットを使用するタイム・スタンプ機能では、メッセージ・バッファ 0 でデータ・フレームを受信したときに TSOUT 信号のトグルを停止させます。メッセージ・バッファ 0 以外のメッセージ・バッファでデータ・フレームを受信した場合、TSOUT 信号のトグルは停止しません。
FCN モジュールが ABT 付き通常動作モードを実行中は、メッセージ・バッファ 0 を送信メッセージ・バッファとして設定する必要があるため、メッセージ・バッファ 0 でデータ・フレームを受信することはできません。
したがって、この動作モードでは、FCNnCMTSLOKE ビットを利用して TSOUT 信号のトグルを停止させる機能は利用できません。

22.13 ボー・レートの設定

22.13.1 ボー・レートの設定条件

CAN コントローラが正しく動作するように、設定値が以下に示す制限値を超えないようにしてください。

- 5 TQ ≦ SPT（サンプル・ポイント） ≦ 17 TQ
  SPT = FCNnCMBTS1LG[3:0] + 1
- 8 TQ ≦ DBT（データ・ビット・タイム） ≦ 25 TQ
  DBT = FCNnCMBTS1LG[3:0] + FCNnCMBTS2LG[2:0] + 1 TQ = FCNnCMBTS2LG[2:0] + SPT
- 1 TQ ≦ FCNnCMBTJWLG[1:0]（同期ジャンプ幅） ≦ 4 TQ
  FCNnCMBTJWLG[1:0] ≦ DBT － SPT
- 4TQ ≦ TSEG1 ≦ 16TQ [3 ≦ FCNnCMBTS1LG[3:0] ≦ 15]
- 1 ≦ TSEG2 ≦ 8 [0 ≦ FCNnCMBTS2LG[2:0] ≦ 7]
- 75 [nsec]注 < 5 [nsec] + 1 TQ － 20 [nsec]注

注. 75 nsec : データ・シート記載の CAN インタフェースにおける内部遅延時間（t_{NODE}）の MAX 値。
20 nsec : 2 PCLK による時間（PCLK は 100MHz）。

備考 1. TQ = 1/f_{TQ}（f_{TQ} : CAN プロトコル・レイヤの基本システム・クロック）
2. FCNnCMBTS1LG[3:0], FCNnCMBTS2LG[2:0], FCNnCMBTJWLG[1:0]の値は FCNnCMBTCTL レジスタで指定されます。

上記の条件を満たすビット・レートの組み合わせを「表22.19 代表的なボー・レートの設定例（f_{CANMOD} = 20MHz）(1/2)」に示します。

表22.18　設定可能なビット・レートの組み合わせ (1/3)

有効なビット・レートの設定					FCNnCMBTCTL レジスタの設定値		サンプル・ポイント（単位%）
DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント 1	フェーズ・セグメント 2	FCNnCMB TS1LG[3:0]	FCNnCMB TS2LG[2:0]	
25	1	8	8	8	1111	111	68.0
24	1	7	8	8	1110	111	66.7
24	1	9	7	7	1111	110	70.8
23	1	6	8	8	1101	111	65.2
23	1	8	7	7	1110	110	69.6
23	1	10	6	6	1111	101	73.9
22	1	5	8	8	1100	111	63.6
22	1	7	7	7	1101	110	68.2
22	1	9	6	6	1110	101	72.7
22	1	11	5	5	1111	100	77.3
21	1	4	8	8	1011	111	61.9
21	1	6	7	7	1100	110	66.7
21	1	8	6	6	1101	101	71.4
21	1	10	5	5	1110	100	76.2
21	1	12	4	4	1111	011	81.0
20	1	3	8	8	1010	111	60.0
20	1	5	7	7	1011	110	65.0
20	1	7	6	6	1100	101	70.0
20	1	9	5	5	1101	100	75.0
20	1	11	4	4	1110	011	80.0
20	1	13	3	3	1111	010	85.0
19	1	2	8	8	1001	111	57.9
19	1	4	7	7	1010	110	63.2
19	1	6	6	6	1011	101	68.4
19	1	8	5	5	1100	100	73.7
19	1	10	4	4	1101	011	78.9
19	1	12	3	3	1110	010	84.2
19	1	14	2	2	1111	001	89.5
18	1	1	8	8	1000	111	55.6
18	1	3	7	7	1001	110	61.1
18	1	5	6	6	1010	101	66.7
18	1	7	5	5	1011	100	72.2
18	1	9	4	4	1100	011	77.8
18	1	11	3	3	1101	010	83.3
18	1	13	2	2	1110	001	88.9
18	1	15	1	1	1111	000	94.4
17	1	2	7	7	1000	110	58.8
17	1	4	6	6	1001	101	64.7

表22.18　設定可能なビット・レートの組み合わせ (2/3)

有効なビット・レートの設定					FCNnCMBTCTL レジスタの設定値		サンプル・ポイント（単位%）
DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント 1	フェーズ・セグメント 2	FCNnCMB TS1LG[3:0]	FCNnCMB TS2LG[2:0]	
17	1	6	5	5	1010	100	70.6
17	1	8	4	4	1011	011	76.5
17	1	10	3	3	1100	010	82.4
17	1	12	2	2	1101	001	88.2
17	1	14	1	1	1110	000	94.1
16	1	1	7	7	0111	110	56.3
16	1	3	6	6	1000	101	62.5
16	1	5	5	5	1001	100	68.8
16	1	7	4	4	1010	011	75.0
16	1	9	3	3	1011	010	81.3
16	1	11	2	2	1100	001	87.5
16	1	13	1	1	1101	000	93.8
15	1	2	6	6	0111	101	60.0
15	1	4	5	5	1000	100	66.7
15	1	6	4	4	1001	011	73.3
15	1	8	3	3	1010	010	80.0
15	1	10	2	2	1011	001	86.7
15	1	12	1	1	1100	000	93.3
14	1	1	6	6	0110	101	57.1
14	1	3	5	5	0111	100	64.3
14	1	5	4	4	1000	011	71.4
14	1	7	3	3	1001	010	78.6
14	1	9	2	2	1010	001	85.7
14	1	11	1	1	1011	000	92.9
13	1	2	5	5	0110	100	61.5
13	1	4	4	4	0111	011	69.2
13	1	6	3	3	1000	010	76.9
13	1	8	2	2	1001	001	84.6
13	1	10	1	1	1010	000	92.3
12	1	1	5	5	0101	100	58.3
12	1	3	4	4	0110	011	66.7
12	1	5	3	3	0111	010	75.0
12	1	7	2	2	1000	001	83.3
12	1	9	1	1	1001	000	91.7
11	1	2	4	4	0101	011	63.6
11	1	4	3	3	0110	010	72.7
11	1	6	2	2	0111	001	81.8
11	1	8	1	1	1000	000	90.9
10	1	1	4	4	0100	011	60.0

表22.18　設定可能なビット・レートの組み合わせ (3/3)

有効なビット・レートの設定					FCNnCMBTCTL レジスタの設定値		サンプル・ポイント（単位%）
DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント 1	フェーズ・セグメント 2	FCNnCMB TS1LG[3:0]	FCNnCMB TS2LG[2:0]	
10	1	3	3	3	0101	010	70.0
10	1	5	2	2	0110	001	80.0
10	1	7	1	1	0111	000	90.0
9	1	2	3	3	0100	010	66.7
9	1	4	2	2	0101	001	77.8
9	1	6	1	1	0110	000	88.9
8	1	1	3	3	0011	010	62.5
8	1	3	2	2	0100	001	75.0
8	1	5	1	1	0101	000	87.5
7 注	1	2	2	2	0011	001	71.4
7 注	1	4	1	1	0100	000	85.7
6 注	1	1	2	2	0010	001	66.7
6 注	1	3	1	1	0011	000	83.3

注 7 以下の DBT 値の設定は、FCNnCMBRPRS レジスタの値が 00H 以外のときにのみ有効です。

注意 表22.18「設定可能なビット・レートの組み合わせ (1/3)」に記載されている値は、ネットワーク・システムの動作を保証するものではありません。CAN バスと CAN トランシーバの発振エラーと発振遅延を考慮に入れて、設定値がネットワーク・システムに及ぼす影響を入念にチェックしてください。

22.13.2 代表的なボー・レートの設定例

表22.19 代表的なボー・レートの設定例（f_{CANMOD} = 20MHz）(1/2)

ボー・レートの設定値（単位：kbps）	FCNnCMBRPRS レジスタの分周比	FCNnCMBRPRS レジスタの設定値	有効なビット・レートの設定（単位：TQ）					FCNnCMBTCTL レジスタの設定値		サンプル・ポイント（単位%）
			DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント 1	フェーズ・セグメント 2	FCNnCMBTS1LG[3:0]	FCNnCMBTS2LG[2:0]	
1000	1	00000000	20	1	3	8	8	1010	111	60.0
1000	1	00000000	20	1	5	7	7	1011	110	65.0
1000	1	00000000	20	1	7	6	6	1100	101	70.0
1000	1	00000000	20	1	7	4	4	1101	100	75.0
1000	1	00000000	20	1	9	5	5	1110	011	80.0
1000	1	00000000	20	1	11	4	4	1111	010	85.0
1000	2	00000001	10	1	1	4	4	0100	011	60.0
1000	2	00000001	10	1	3	3	3	0101	010	70.0
1000	2	00000001	10	1	5	2	2	0110	001	80.0
1000	2	00000001	10	1	7	1	1	0111	000	90.0
500	2	00000001	20	1	3	8	8	1010	111	60.0
500	2	00000001	20	1	5	7	7	1011	110	65.0
500	2	00000001	20	1	7	6	6	1100	101	70.0
500	2	00000001	20	1	7	4	4	1101	100	75.0
500	2	00000001	20	1	9	5	5	1110	011	80.0
500	2	00000001	20	1	11	4	4	1111	010	85.0
500	4	00000011	10	1	1	4	4	0100	011	60.0
500	4	00000011	10	1	3	3	3	0101	010	70.0
500	4	00000011	10	1	5	2	2	0110	001	80.0
500	4	00000011	10	1	7	1	1	0111	000	90.0
250	4	00000011	20	1	5	7	7	1011	110	65.0
250	4	00000011	20	1	7	6	6	1100	101	70.0
250	4	00000011	20	1	9	5	5	1101	100	75.0
250	4	00000011	20	1	11	4	4	1110	011	80.0
250	8	00000111	10	1	3	3	3	0101	010	70.0
250	8	00000111	10	1	5	2	2	0110	001	80.0
125	8	00000111	20	1	5	7	7	1011	110	65.0
125	8	00000111	20	1	7	6	6	1100	101	70.0
125	8	00000111	20	1	9	5	5	1101	100	75.0
125	8	00000111	20	1	11	4	4	1110	011	80.0
125	16	00001111	10	1	3	3	3	0101	010	70.0
125	16	00001111	10	1	5	2	2	0110	001	80.0
100	10	00001001	20	1	5	7	7	1011	110	65.0
100	10	00001001	20	1	7	6	6	1100	101	70.0
100	10	00001001	20	1	7	4	4	1101	100	75.0
100	10	00001001	20	1	9	5	5	1110	011	80.0
100	20	00010011	10	1	3	3	3	0101	010	70.0
100	20	00010011	10	1	5	2	2	0110	001	80.0

表22.19 代表的なボー・レートの設定例（f_{CANMOD} =20MHz）(2/2)

ボー・レートの設定値（単位：kbps）	FCNnCMBRPRS レジスタの分周比	FCNnCMBRPRS レジスタの設定値	有効なビット・レートの設定（単位：TQ）					FCNnCMBTCTL レジスタの設定値		サンプル・ポイント（単位%）
			DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント1	フェーズ・セグメント2	FCNnCMBTS1LG[3:0]	FCNnCMBTS2LG[2:0]	
83.3	10	00001001	24	1	7	8	8	1110	111	66.7
83.3	10	00001001	24	1	9	7	7	1111	110	70.8
83.3	12	00001011	20	1	5	7	7	1011	110	65.0
83.3	12	00001011	20	1	7	6	6	1100	101	70.0
83.3	12	00001011	20	1	9	5	5	1101	100	75.0
83.3	12	00001011	20	1	11	4	4	1110	011	80.0
83.3	16	00001111	15	1	4	5	5	1000	100	66.7
83.3	16	00001111	15	1	6	4	4	1001	011	73.3
83.3	16	00001111	15	1	8	3	3	1010	010	80.0
83.3	16	00001111	15	1	10	2	2	1011	001	86.7
83.3	24	00010111	10	1	3	3	3	0101	010	70.0
83.3	24	00010111	10	1	5	2	2	0110	001	80.0
83.3	30	00011101	8	1	3	2	2	0100	001	75.0
83.3	30	00011101	8	1	5	1	1	0101	000	87.5
33.3	25	00011000	24	1	7	8	8	1110	111	66.7
33.3	25	00011000	24	1	9	7	7	1111	110	70.8
33.3	30	00011101	20	1	5	7	7	1011	110	65.0
33.3	30	00011101	20	1	7	6	6	1100	101	70.0
33.3	30	00011101	20	1	9	5	5	1101	100	75.0
33.3	30	00011101	20	1	11	4	4	1110	011	80.0
33.3	33	00100000	18	1	3	7	7	1001	110	61.1
33.3	33	00100000	18	1	5	6	6	1010	101	66.7
33.3	33	00100000	18	1	7	5	5	1011	100	72.2
33.3	33	00100000	18	1	9	4	4	1100	011	77.8
33.3	33	00100000	18	1	11	3	3	1101	010	83.3
33.3	33	00100000	18	1	13	2	2	1110	001	88.9
33.3	40	00100111	15	1	4	5	5	1000	100	66.7
33.3	40	00100111	15	1	6	4	4	1001	011	73.3
33.3	40	00100111	15	1	8	3	3	1010	010	80.0
33.3	40	00100111	15	1	10	2	2	1011	001	86.7
33.3	50	00110001	12	1	3	4	4	0110	011	66.7
33.3	50	00110001	12	1	5	3	3	0111	010	75.0
33.3	50	00110001	12	1	7	2	2	1000	001	83.3
33.3	60	00111011	10	1	3	3	3	0101	010	70.0
33.3	60	00111011	10	1	5	2	2	0110	001	80.0

注意 表22.19に記載されている値は、ネットワーク・システムの動作を保証するものではありません。CANバスと CAN トランシーバの発振エラーと発振遅延を考慮に入れて、設定値がネットワーク・システムに及ぼす影響を入念にチェックしてください。

22.14 CAN コントローラの動作

本章で示す処理手順は、FCN を運用するときの推奨処理手順です。
本章で推奨されている処理手順を参考にしてプログラムを開発してください。

22.14.1 初期化

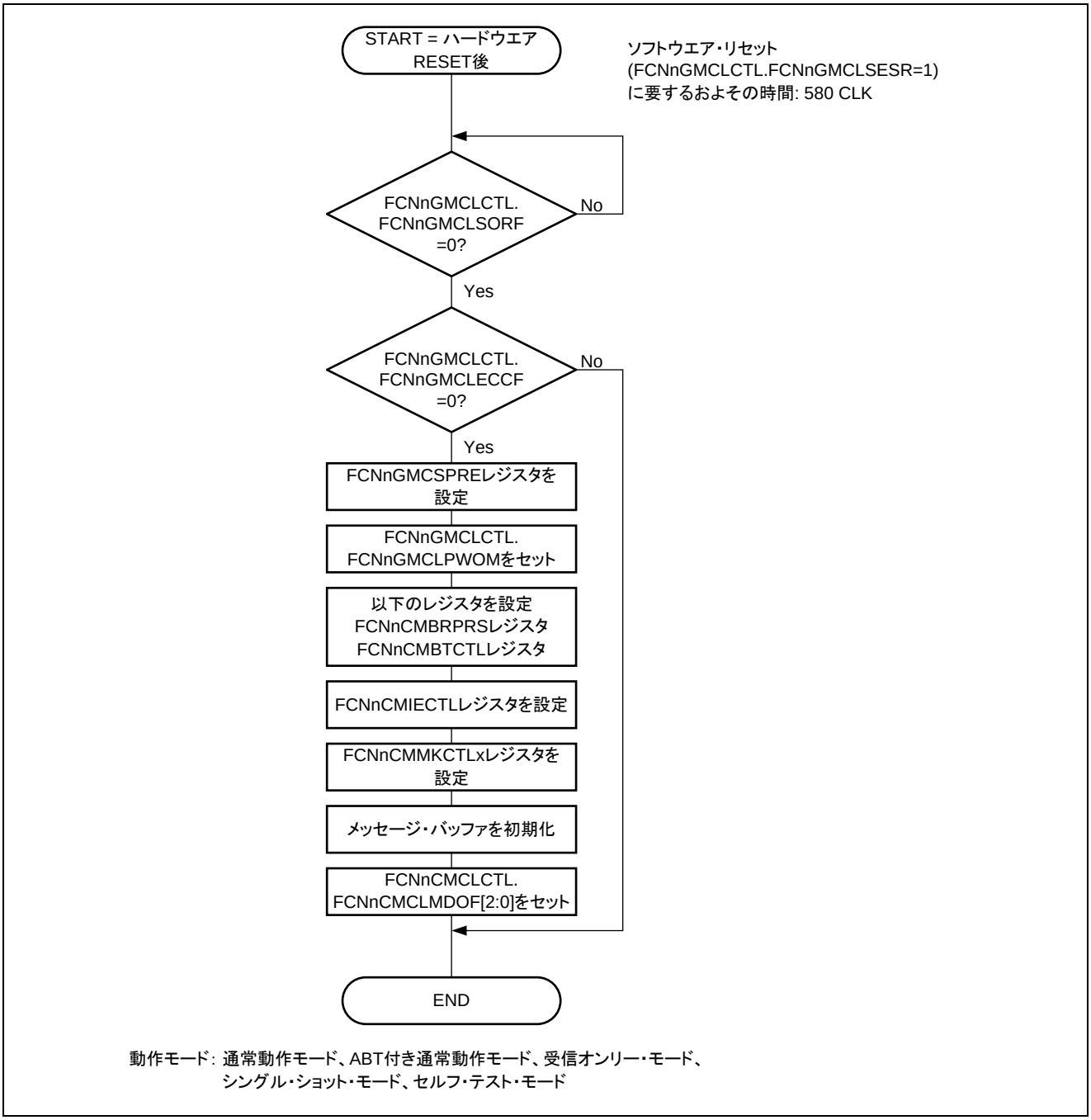


図22.13 初期化

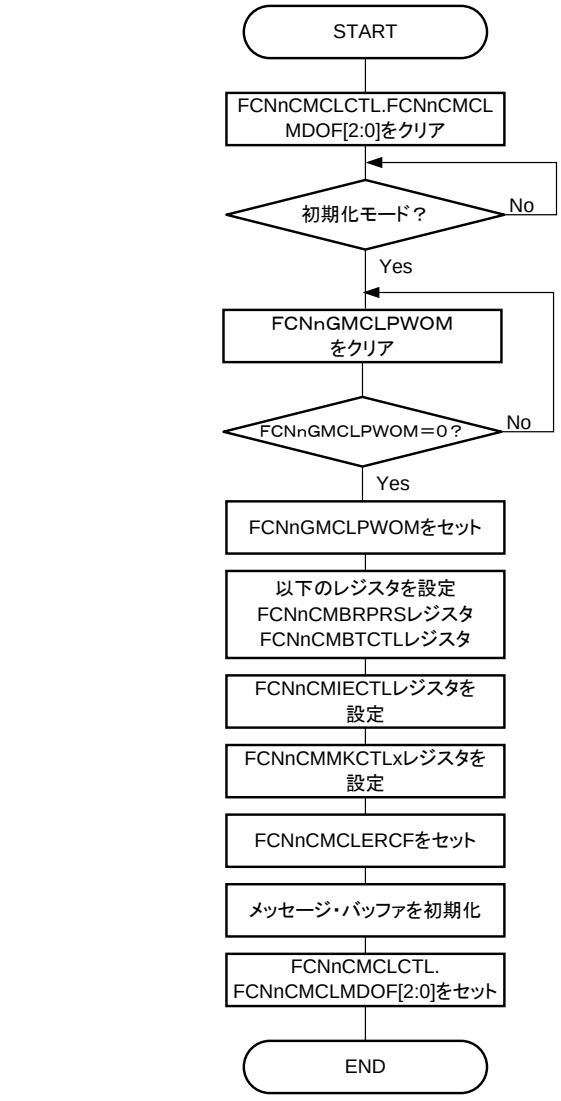


図22.14　ソフトウエア・リセット機能を利用しない再初期化

注意 再初期化中にエラー・カウンタをクリア（FCNnCMCLERCF をセット）する場合は、以下のいずれかの状態で行ってください。

・FCN モジュール起動（FCNnGMCLPWOM = 0 状態から FCNnGMCLPWOM をセット）後の初期化モード状態時

・動作モード中に図22.24「送信中断処理（ABT付き通常動作モードの実行中を除く）」の送信中断処理に従った全ての送信要求クリア後の初期化モード状態時（ABT 付き通常動作モード中は図22.25「送信中断処理（ABT付き通常動作モードの実行中） ― 中断されたメッセージの再送信オプション」の送信中断処理に従って全ての送信要求をクリアしてください。）

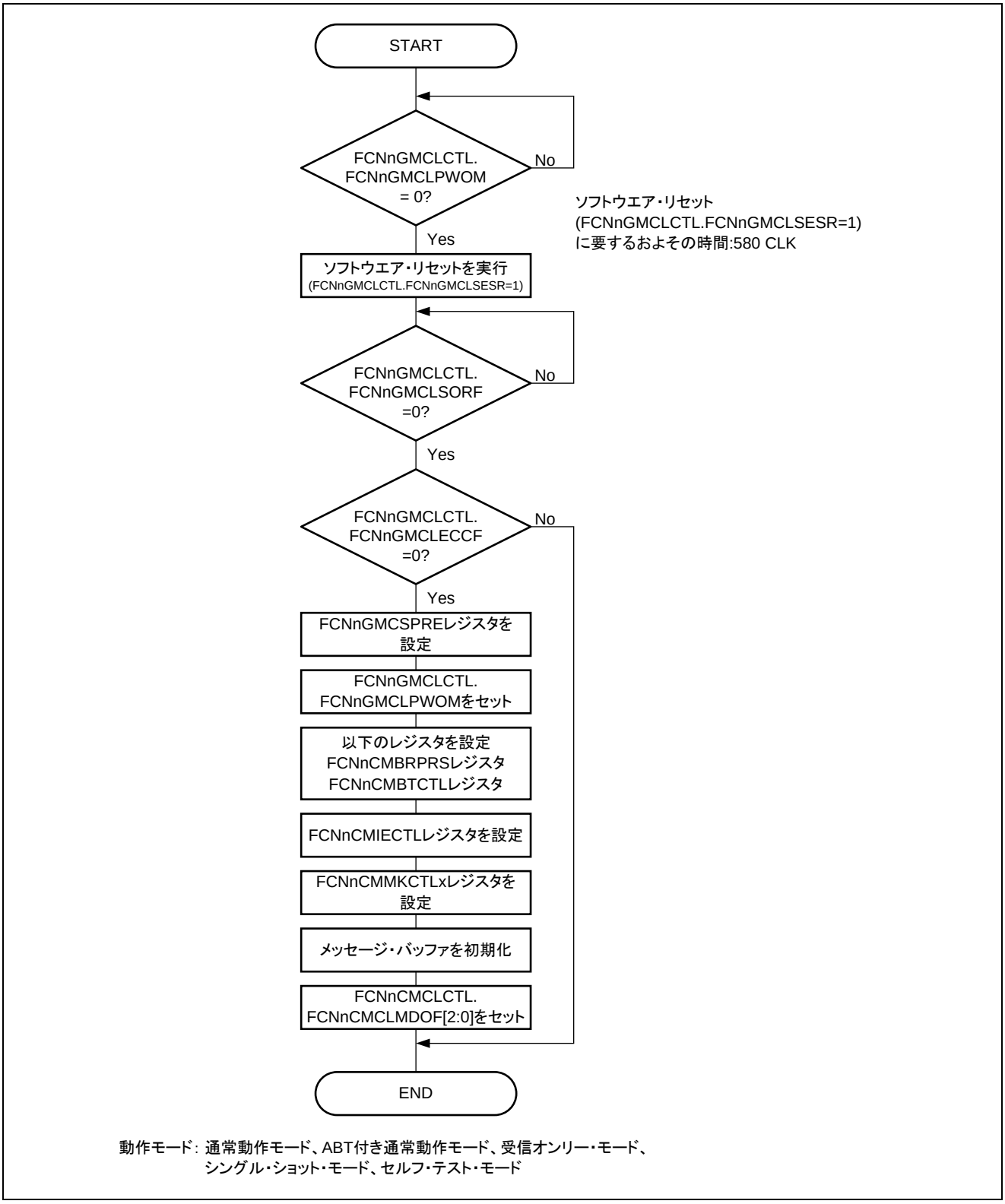


図22.15 ソフトウエア・リセット機能を利用する再初期化

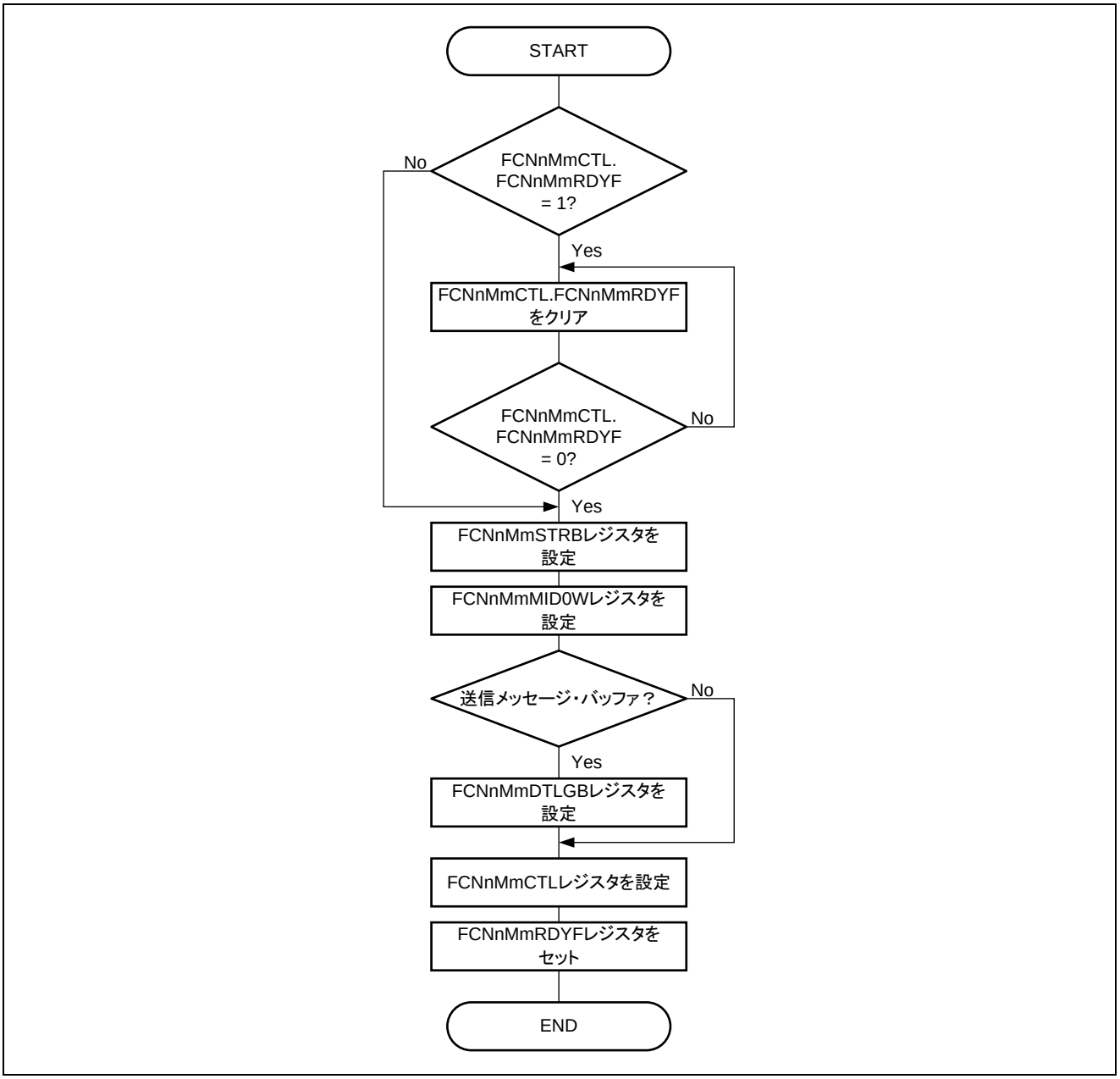


図22.16　メッセージ・バッファの初期化

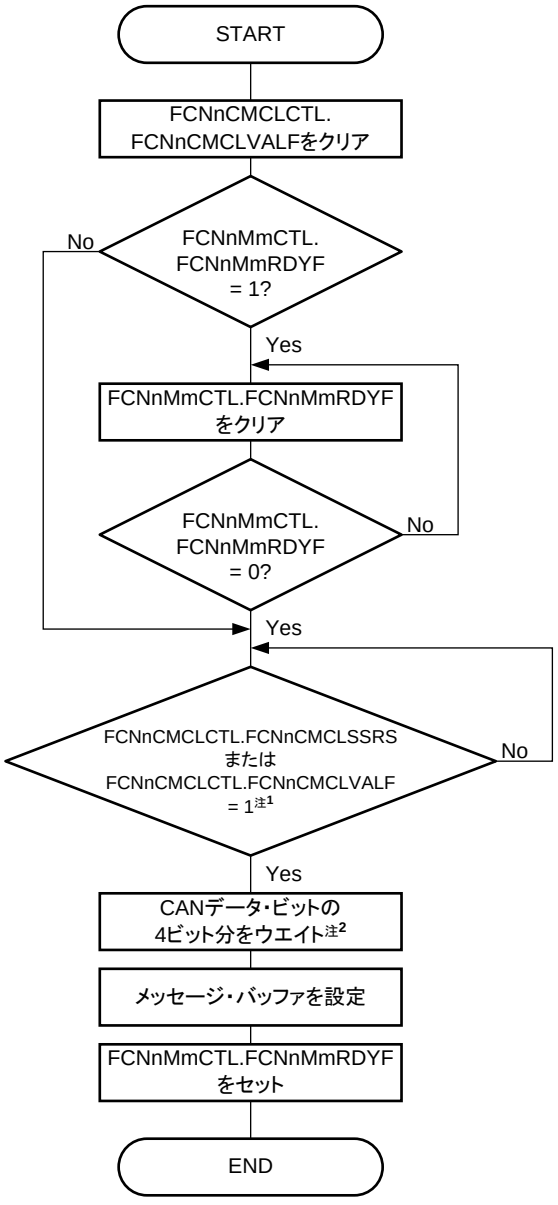
注意 1. メッセージ・バッファを初期化する前に、FCNnMmCTL.FCNnMmRDYF をクリアする必要があります。

2. アプリケーションが使用しないメッセージ・バッファは以下のように設定してください。

・FCNnMmCTL レジスタの FCNnMmRDYF ビット、FCNnMmTRQF ビット、FCNnMmDTNF ビットをクリア（0）します。

・FCNnMmSTRB.FCNnMmSSAM をクリア（0）します。

図22.17「受信中のメッセージ・バッファの再定義」は、受信メッセージ・バッファでの処理を示しています（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0001B - 1000B）。



注1. メッセージの受信が完了したあとでFCNnMmCTL.FCNnMmRDFYを
セットする必要があるため、メッセージを受信中であることを確認してください。

2. 受信メッセージの保存中にメッセージ・バッファが再定義されないように、
CANデータ・ビットの4ビット分をウエイトしてください。

図22.17 受信中のメッセージ・バッファの再定義

図22.18「送信中のメッセージ・バッファの再定義」は、送信中の送信メッセージ・バッファでの処理を示しています（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000B）。

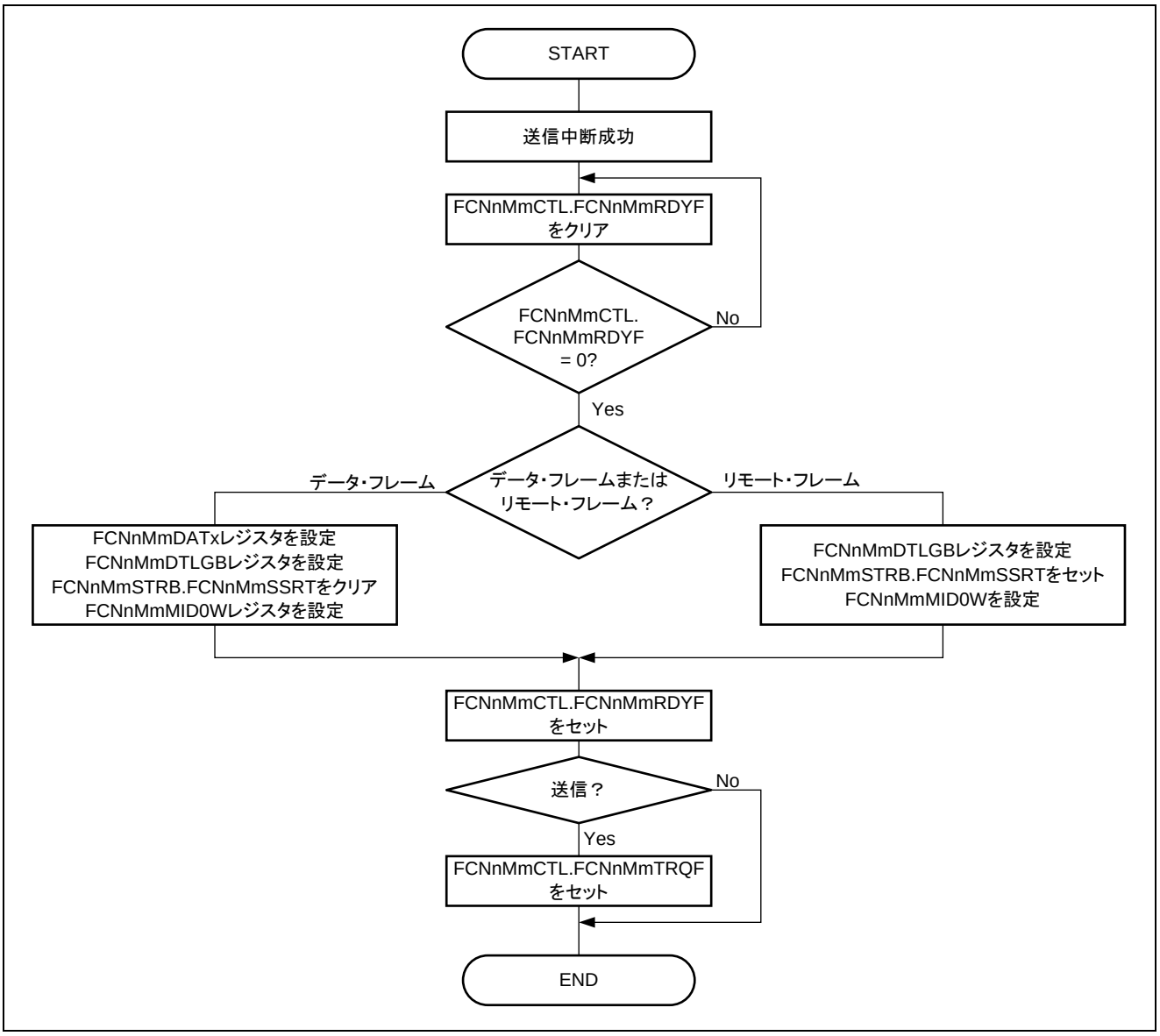


図22.18　送信中のメッセージ・バッファの再定義

22.14.2 メッセージの送信

図22.19「メッセージ送信処理」は、送信メッセージ・バッファでの処理を示しています（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000B）。

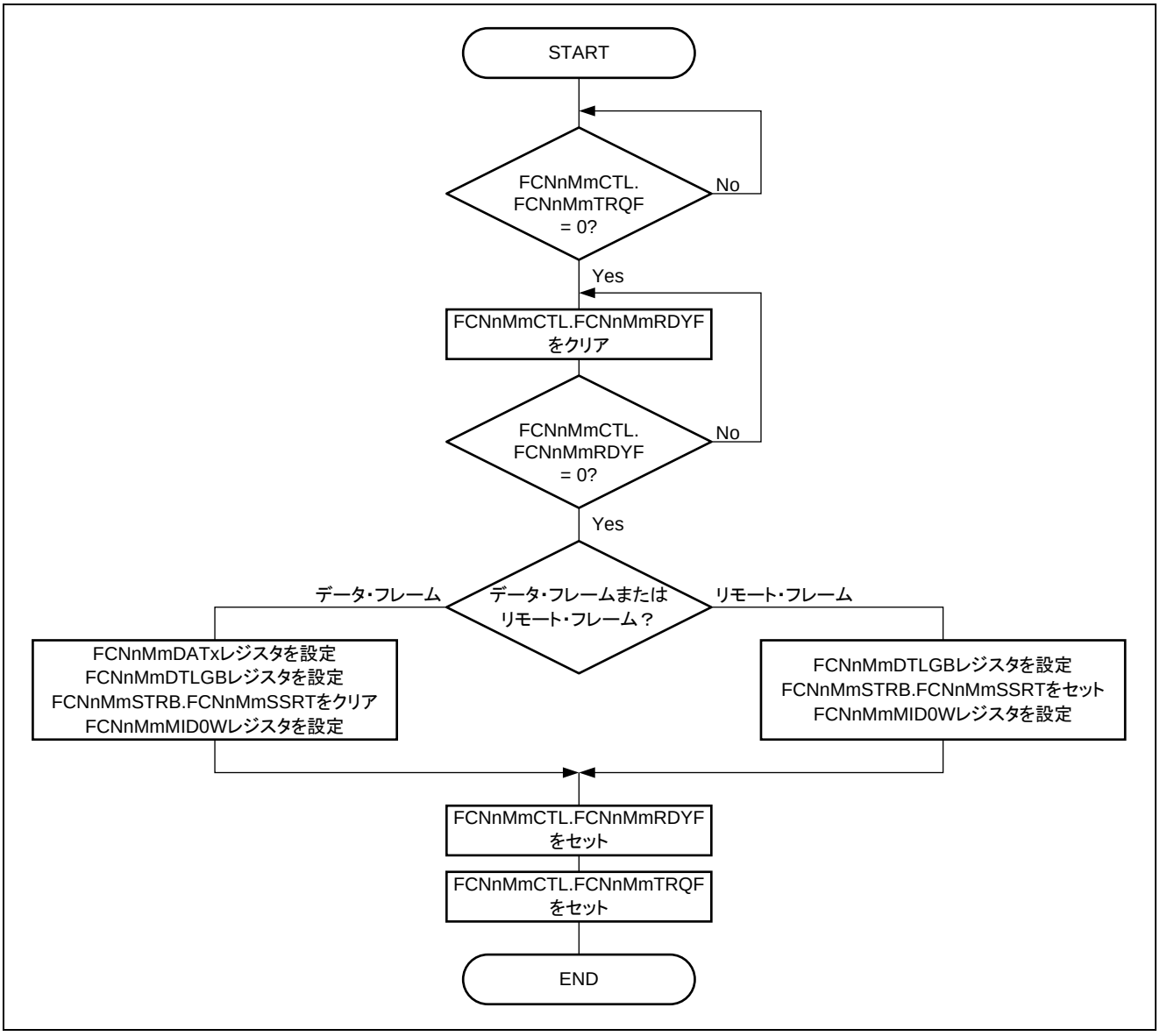


図22.19 メッセージ送信処理

注意 1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。

2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。

図22.20「ABTメッセージ送信処理」は、送信メッセージ・バッファでの処理を示しています（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000B）。

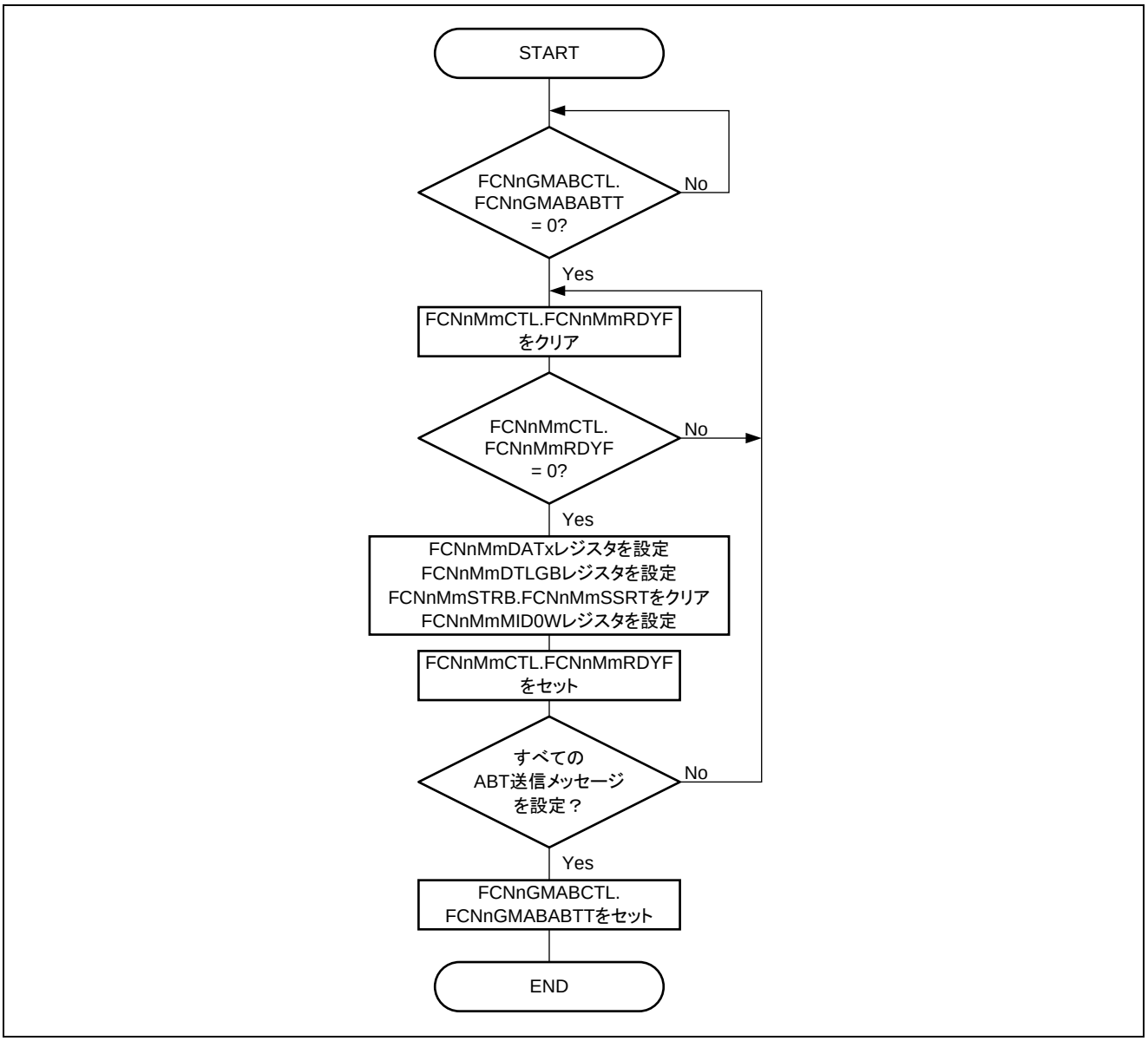


図22.20　ABT メッセージ送信処理

備考 この処理（ABT 付き通常動作モード）は、ABT モードで利用可能なメッセージ・バッファにのみ適用することができます。ABT メッセージ・バッファ以外のメッセージ・バッファについては、図22.19「メッセージ送信処理」を参照してください。

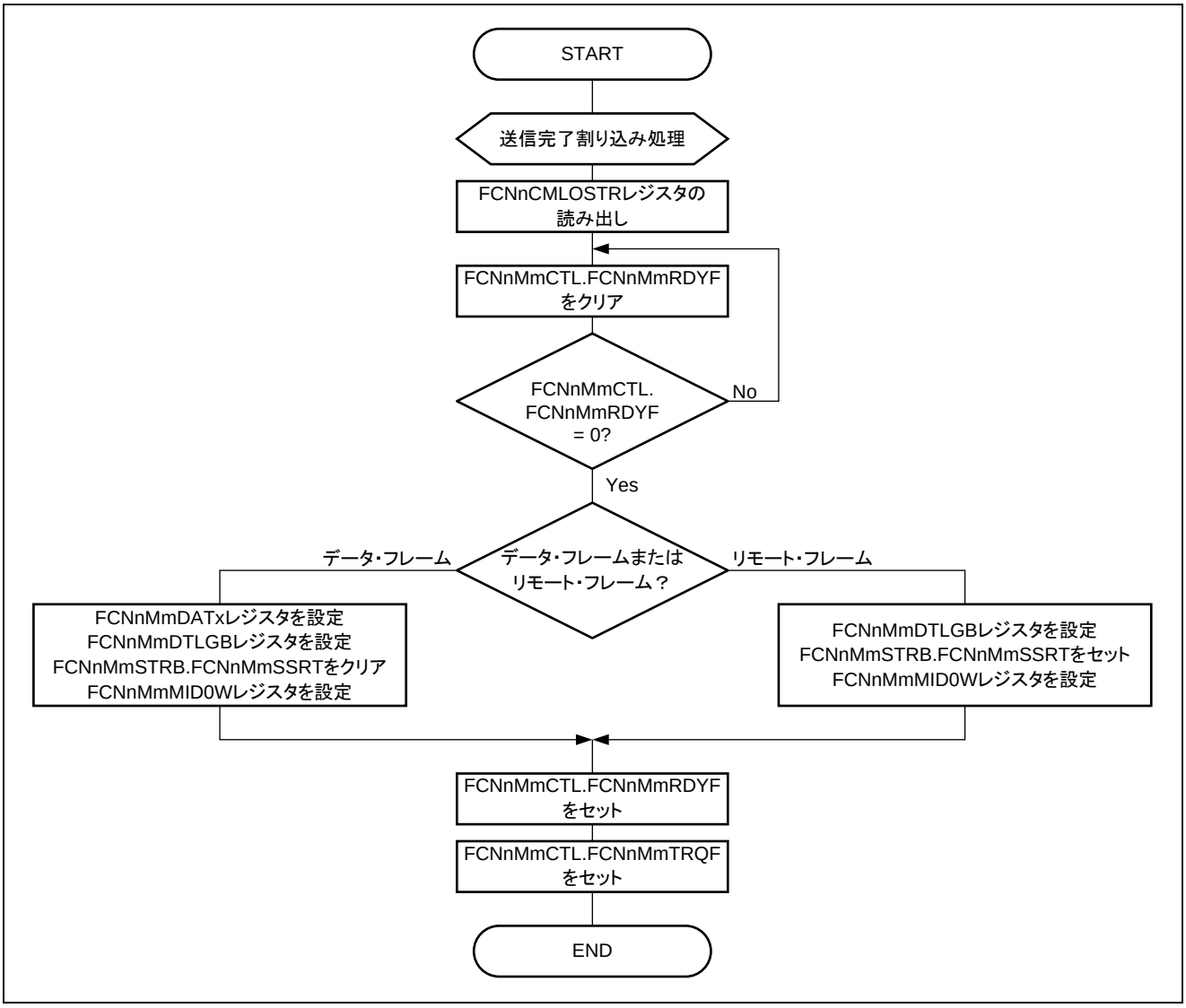


図22.21　割り込みを利用した送信（FCNnCMLOSTR レジスタを利用）

注意 1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。

2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。

備考 保留中のスリープ・モードが実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび送信ヒストリ・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。

送信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。

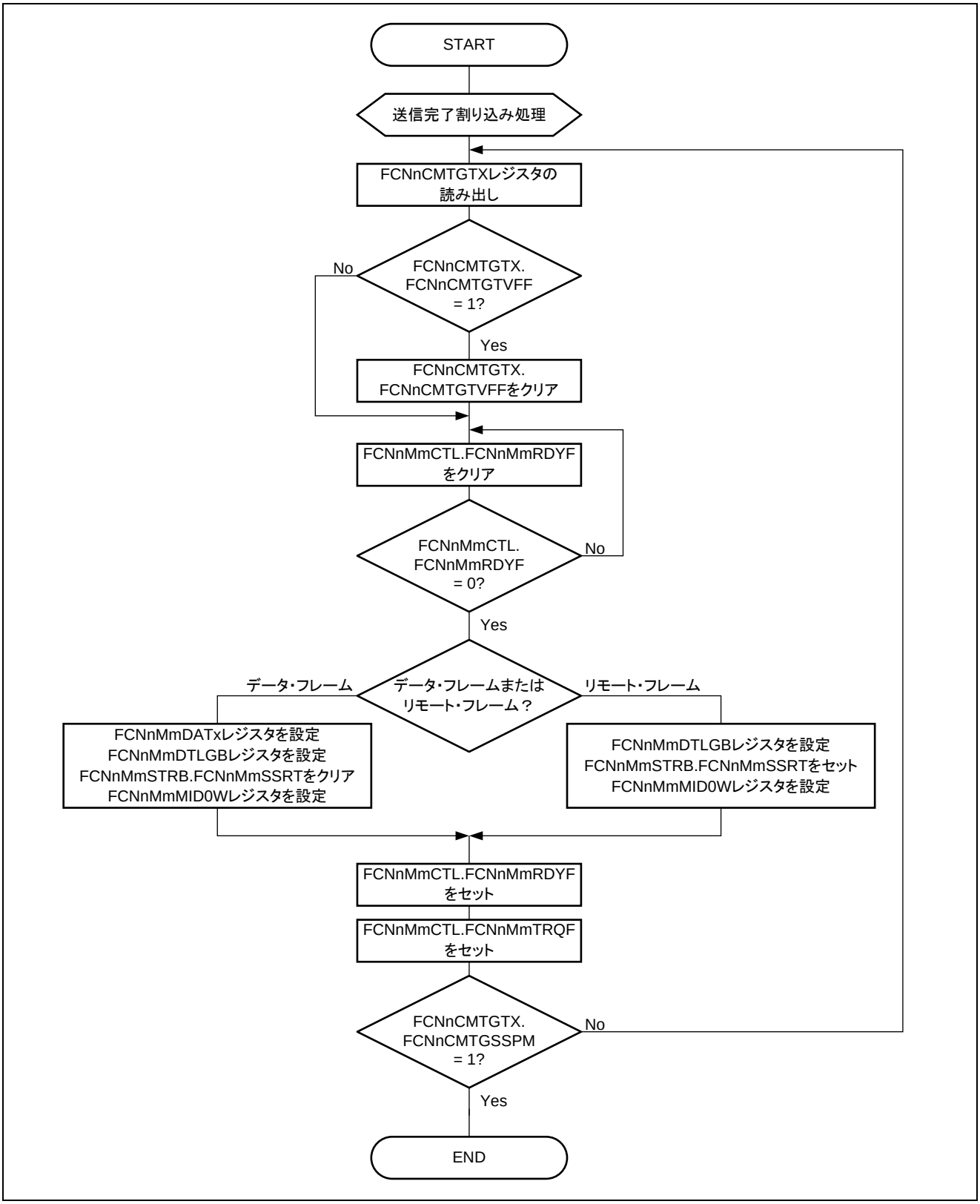


図22.22　割り込みを利用した送信（FCNnCMTGTX レジスタを利用）

注意 1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。

備考 1. 保留中のスリープ・モードが実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび送信ヒストリ・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。
送信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。
2. いったん FCNnCMTGTX.FCNnCMTGTVFF をセットすると、送信ヒストリ・リストの整合性が失われます。設定されているすべての送信バッファを調べて、完了した送信を確認することを検討してください。

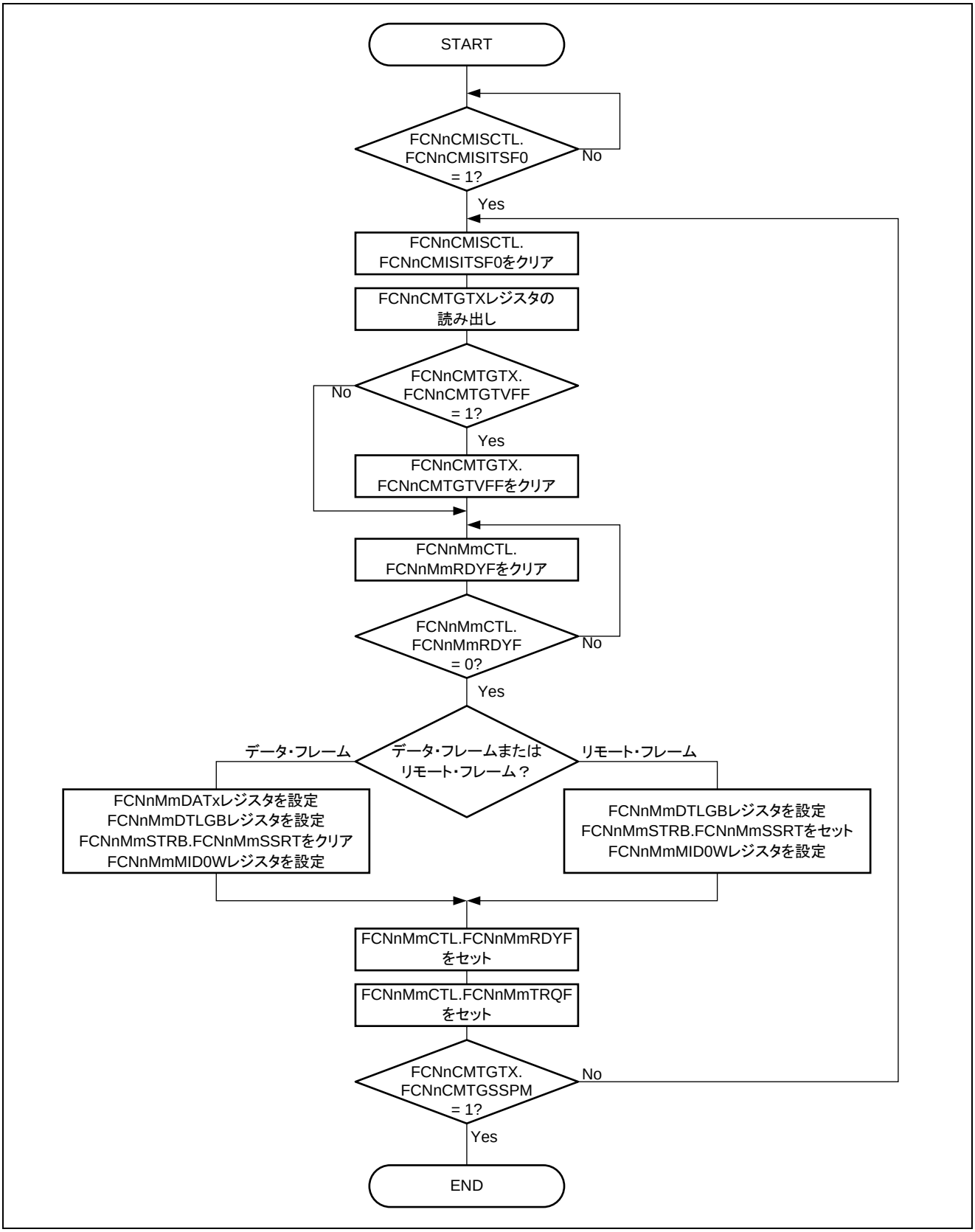


図22.23　ソフトウエア・ポーリングを利用した送信

注意 1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。

備考 1. 保留中のスリープ・モードが実行されることがあるため、ポーリング・ルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび送信ヒストリ・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。
2. いったん FCNnCMTGTX.FCNnCMTGTVFF をセットすると、送信ヒストリ・リストの整合性が失われます。設定されているすべての送信バッファを調べて、完了した送信を確認することを検討してください。

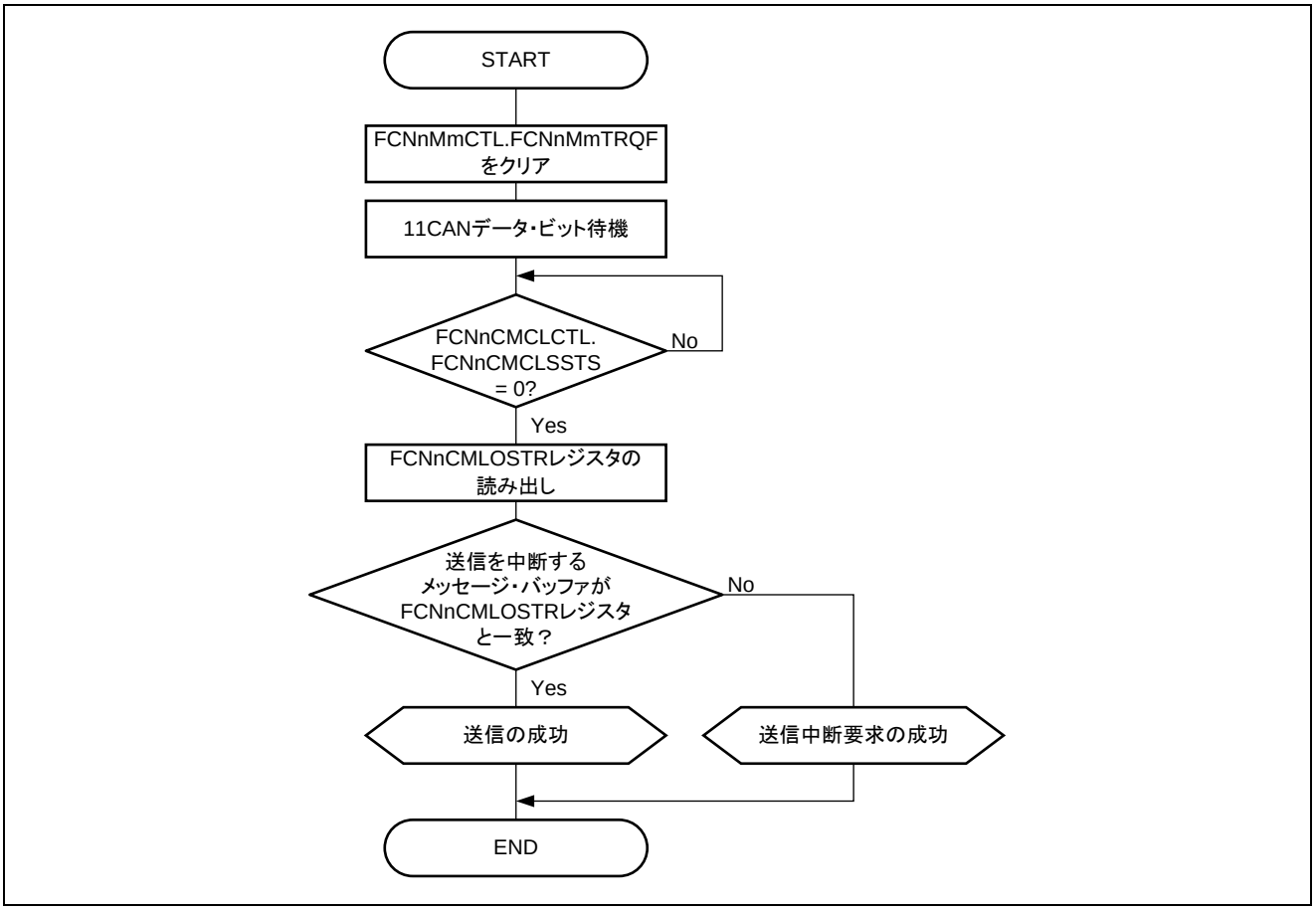


図22.24　送信中断処理（ABT 付き通常動作モードの実行中を除く）

注意 1. 送信中断を要求するには、FCNnMmCTL.FCNnMmRDYF ではなく、FCNnMmCTL.FCNnMmTRQF をクリアしてください。

2. スリープ・モードへの移行要求を発行する前に、この処理を利用する送信要求が残っていないことを確認してください。

3. FCNnCMCLCTL.FCNnCMCLSSTS は、ユーザ・アプリケーションによって定期的にチェックすることも、送信完了割り込み後にチェックすることもできます。

4. 送信中断処理の実行中に、ほかのメッセージ・バッファでの送信も含めて、新しい送信要求を実行しないでください。

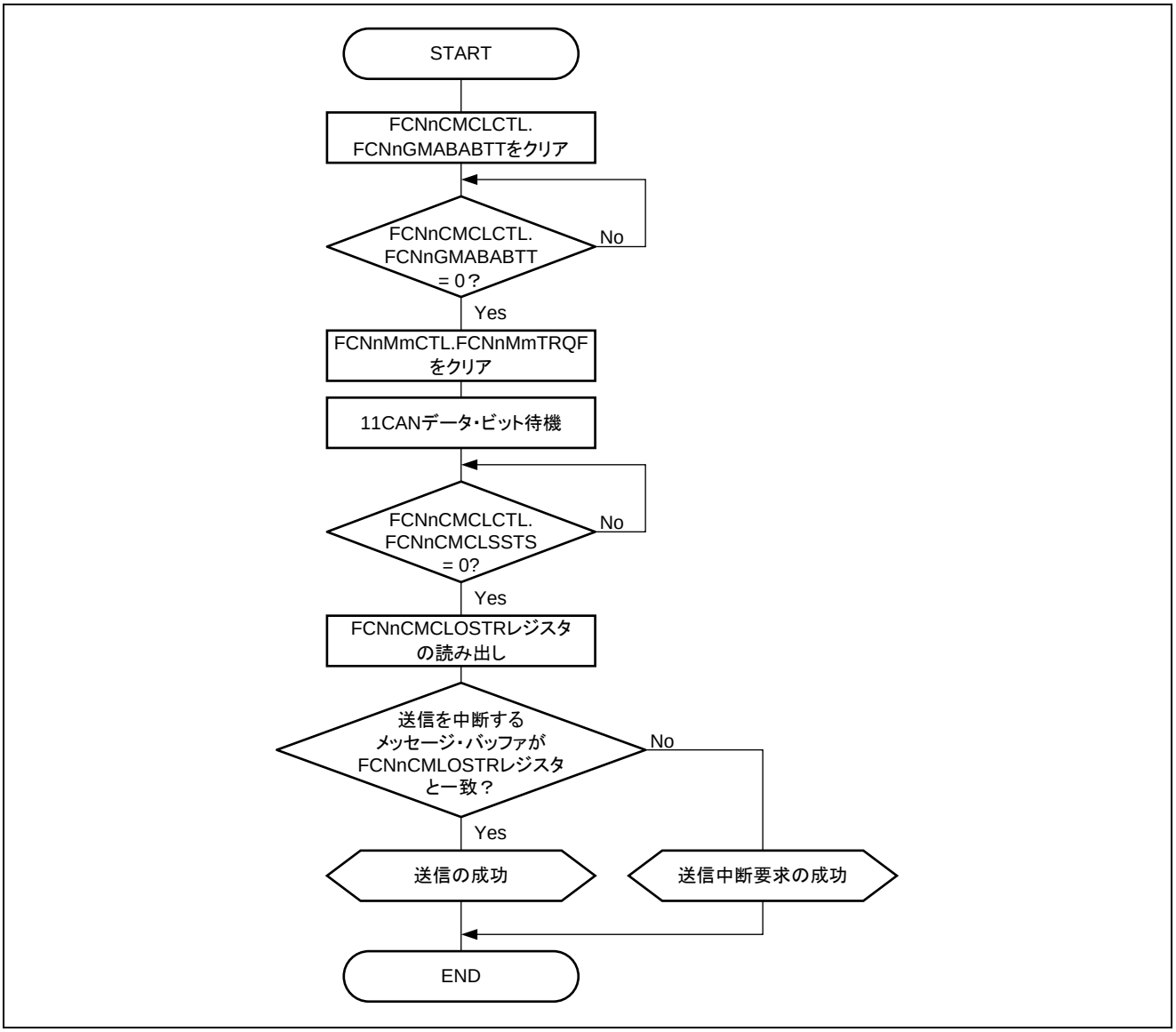


図22.25　送信中断処理（ABT 付き通常動作モードの実行中） ― 中断されたメッセージの再送信オプション

注意 1. 送信中断を要求するには、FCNnMmCTL.FCNnMmRDYF ではなく、FCNnMmCTL.FCNnMmTRQF をクリアしてください。

2. スリープ・モードへの移行要求を発行する前に、この処理を利用する送信要求が残っていないことを確認してください。

3. FCNnCMCLCTL.FCNnCMCLSSTS は、ユーザ・アプリケーションによって定期的にチェックすることも、送信完了割り込み後にチェックすることもできます。

4. 送信中断処理の実行中に、ほかのメッセージ・バッファでの送信も含めて、新しい送信要求を実行しないでください。

図22.26「ABT送信要求中断処理（ABT付き通常動作モードの実行中）（1）」は ABT メッセージ・バッファの送信が中断されたときに中断されたメッセージ送信の再開をスキップしない処理を示しています。

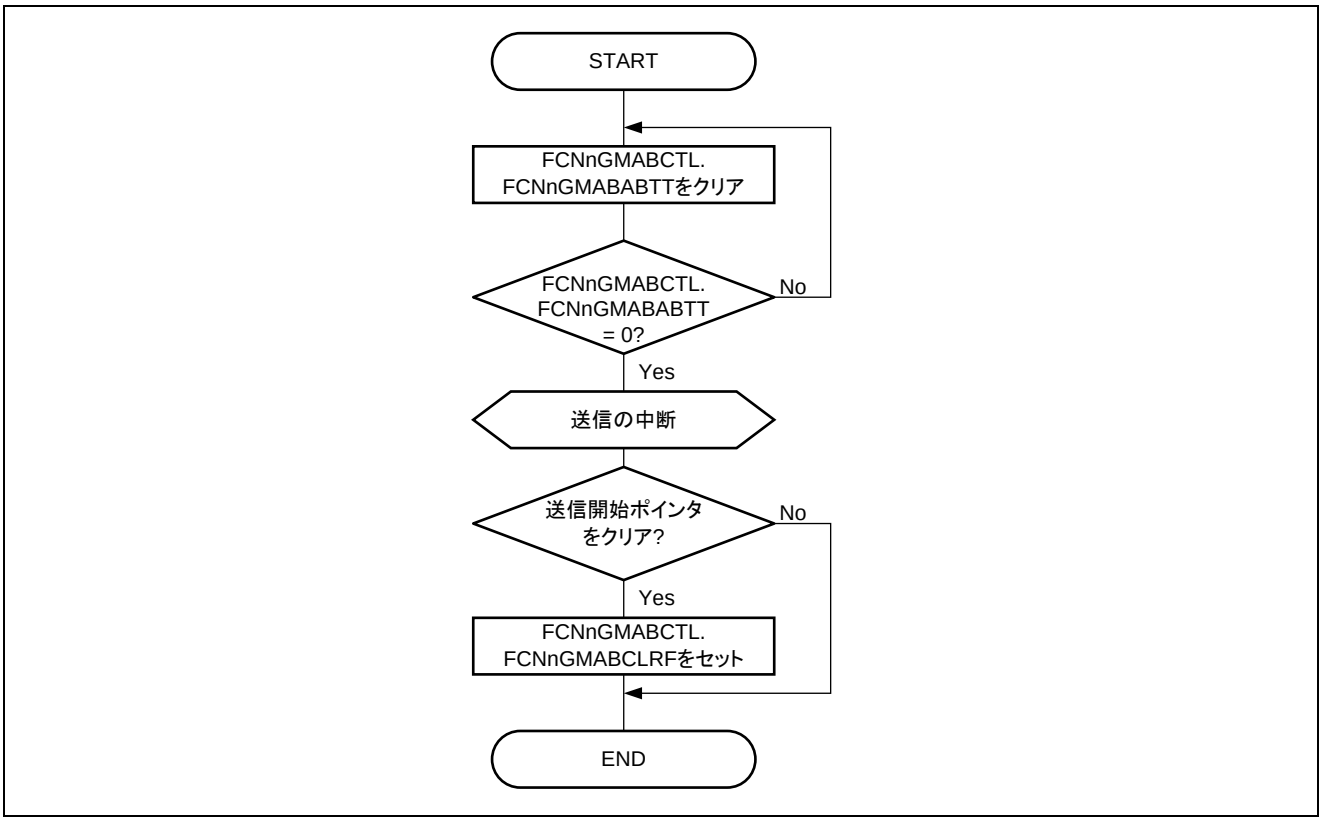


図22.26　ABT 送信要求中断処理（ABT 付き通常動作モードの実行中）（1）

注意 1. ABT 送信中断処理の実行中に送信要求を設定しないでください。

2. FCN スリープ・モード／FCN ストップ・モードへの移行要求は、図22.26「ABT送信要求中断処理（ABT付き通常動作モードの実行中）（1）」または、図22.27「ABT送信要求中断処理（ABT付き通常動作モードの実行中）（2）」の手順に従って FCNnGMABCTL.FCNnGMABABTT をクリアしたあと（ABTモードを中断したあと）で発行してください。ABT 領域以外の領域で送信要求をクリアする場合は、図22.24「送信中断処理（ABT付き通常動作モードの実行中を除く）」の手順に従ってください。

図22.27「ABT送信要求中断処理（ABT付き通常動作モードの実行中）（2）」は ABT メッセージ・バッファの送信が中断されたときに中断されたメッセージ送信の再開をスキップしない処理を示しています。

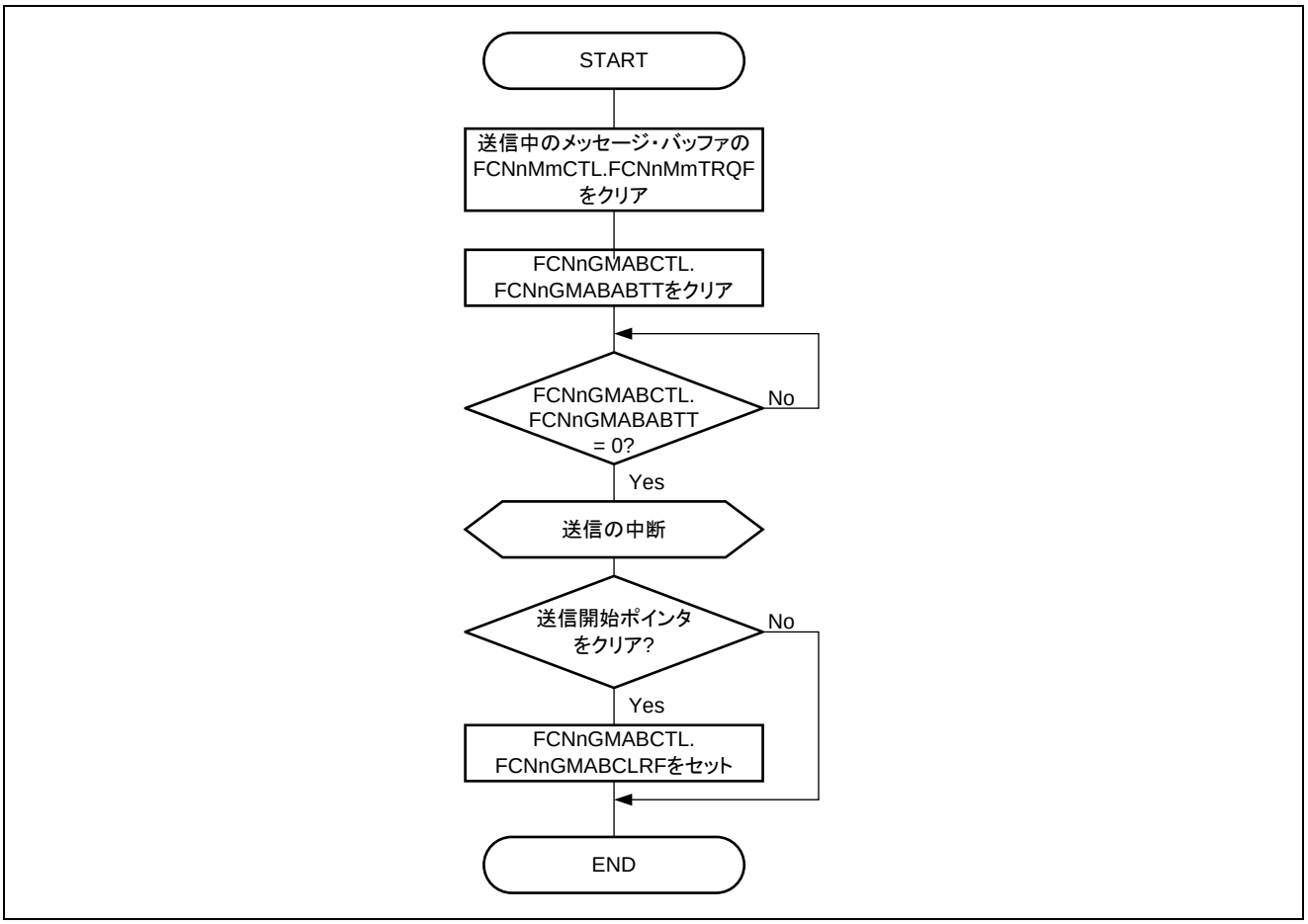


図22.27　ABT 送信要求中断処理（ABT 付き通常動作モードの実行中）（2）

注意 1. ABT 送信中断処理の実行中に送信要求を設定しないでください。

2. FCN スリープ・モード／FCN ストップ・モードへの移行要求は、図22.26「ABT送信要求中断処理（ABT付き通常動作モードの実行中）（1）」または、図22.27「ABT送信要求中断処理（ABT付き通常動作モードの実行中）（2）」の手順に従って FCNnGMABCTL.FCNnGMABABTT をクリアしたあと（ABT モードを中断したあと）で発行してください。ABT 領域以外の領域で送信要求をクリアする場合は、図22.24「送信中断処理（ABT付き通常動作モードの実行中を除く）」の手順に従ってください。

図22.28は、送信中断機能（送信完了フラグ）を利用した ABT モードの処理を示しています。「送信中断の成功」というボックスは、ABT メッセージ・バッファ内の FCNnMmTCPF フラグをチェックすることによって送信中断の成功を確認する処理を示しています。

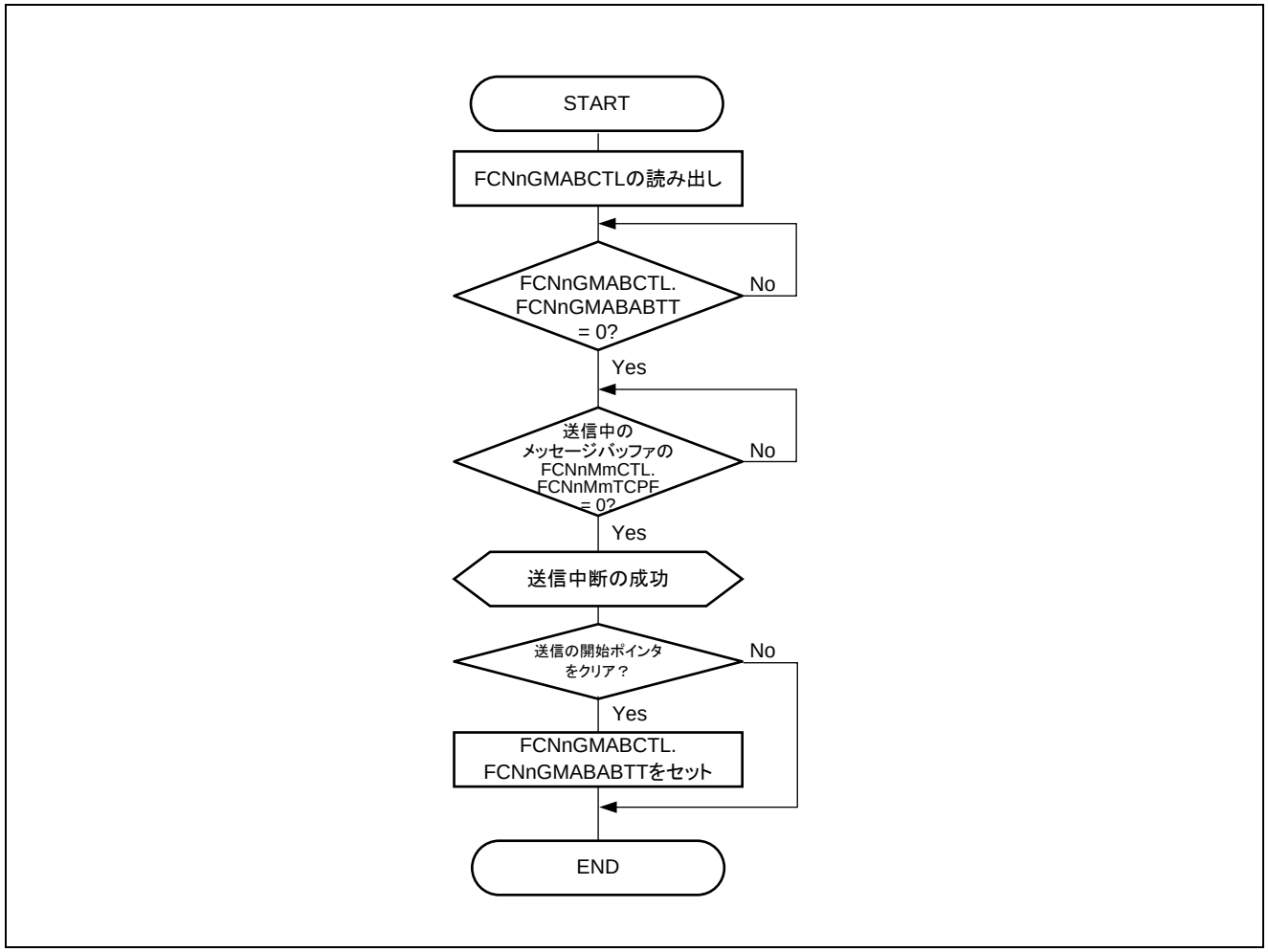


図22.28　送信完了フラグを利用した ABT 送信要求中断処理（ABT 付き通常動作モード）

注意 1. ABT 送信中断処理の実行中に送信要求を設定しないでください。

2. FCN スリープ・モード／FCN ストップ・モードへの移行要求は、図22.26「ABT送信要求中断処理（ABT付き通常動作モードの実行中）（1）」または、図22.27「ABT送信要求中断処理（ABT付き通常動作モードの実行中）（2）」の手順に従って FCNnGMABCTL.FCNnGMABABTT をクリアしたあと（ABTモードを中断したあと）で発行してください。ABT 領域以外の領域で送信要求をクリアする場合は、図22.24「送信中断処理（ABT付き通常動作モードの実行中を除く）」の手順に従ってください。

備考 ABT 送信中断処理が成功したにもかかわらず，すべての ABT が完全に送信されることがあります。その場合は，どのメッセージの送信が完了したかを調べることができます。

図22.29「送信中断割り込みと送信完了フラグによる送信中断処理」は、送信中断機能（送信中断割り込み）を利用した処理を示しています。

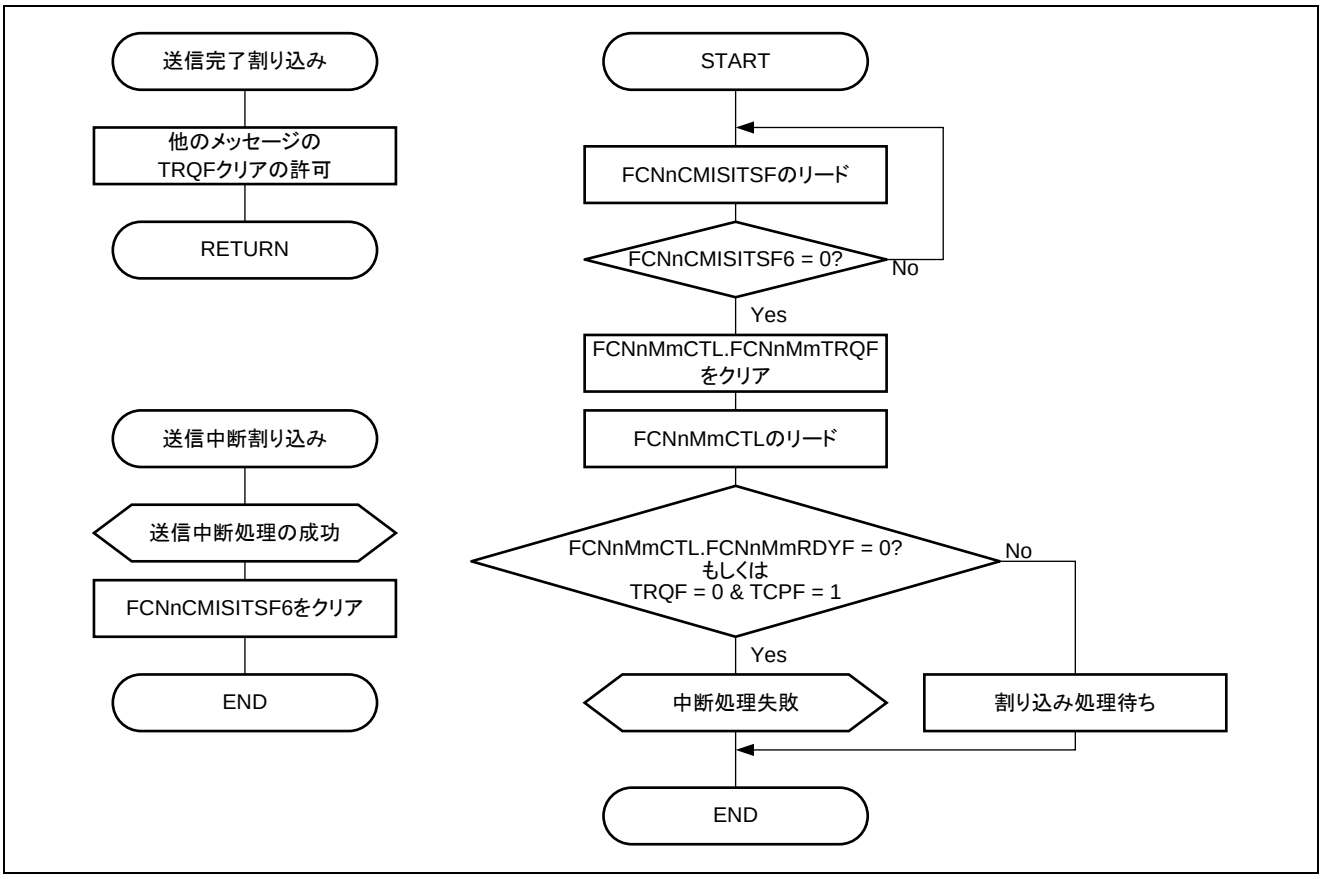


図22.29　送信中断割り込みと送信完了フラグによる送信中断処理

備考 FCNnMmRDYF=0 の判定は、割り込みによる送信完了処理中に FCNnMmRDYF がクリアされるケースを考慮したものです。

注意 1. 送信中断処理は、FCNnMmRDYF をクリアして実行するのではなく、FCNnMmTRQF のクリアにより実行してください。
2. スリープ要求を行う場合は、本フローにより送信要求が完全になくなったことを確認したあとに行ってください。
3. 送信完了割り込み処理などにより、送信中断処理を実行中に対象となるメッセージの更新（FCNnMmRDYF, FCNnMmTRQF セット）が行われないようにしてください。
4. 送信中断処理を実行中に、他のメッセージ・バッファの FCNnMmTRQF のクリアを行わないでください。
5. 送信中断処理後に元の ID より優先順位の低い ID を設定する場合には、FCNnMmTRQF のクリア後 1 フレーム分以上の時間を空けてから 送信要求を行ってください。
6. FCNnMmTRQF と FCNnMmTCPF の読み出しは必ず一度で行ってください。

図22.30「送信完了フラグによる送信中断処理」は、送信中断機能（送信完了フラグ FCNnMmTCPF）を利用した処理を示しています。

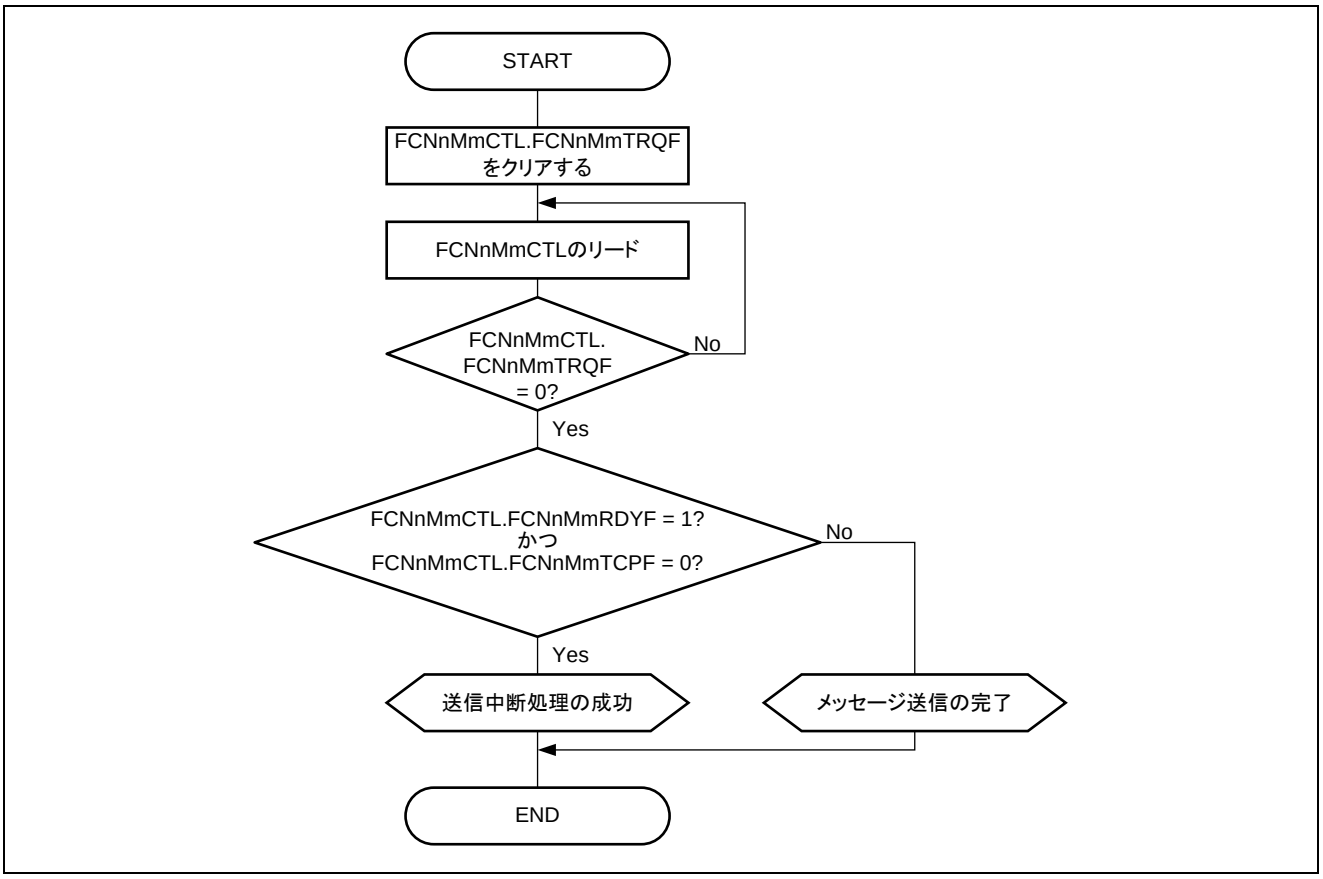


図22.30　送信完了フラグによる送信中断処理

備考 FCNnMmRDYF = 1 の判定は、割り込みによる送信完了処理中に FCNnMmRDYF がクリアされるケースを考慮したものです。

注意 1. 送信中断処理は、FCNnMmRDYF をクリアして実行するのではなく、FCNnMmTRQF のクリアにより実行してください。

2. スリープ要求を行う場合は、本フローにより送信要求が完全になくなったことを確認したあとに行ってください。

3. 送信完了割り込み処理などにより、送信中断処理を実行中に対象となるメッセージの更新（FCNnMmRDYF, FCNnMmTRQF セット）が行われないようにしてください。

4. 送信中断処理後に元の ID より優先順位の低い ID を設定する場合には、FCNnMmTRQF のクリア後 1 フレーム分以上の時間を空けてから送信要求を行ってください。

5. FCNnMmTRQF と FCNnMmTCPF の読み出しは必ず一度で行ってください。

22.14.3 メッセージの受信

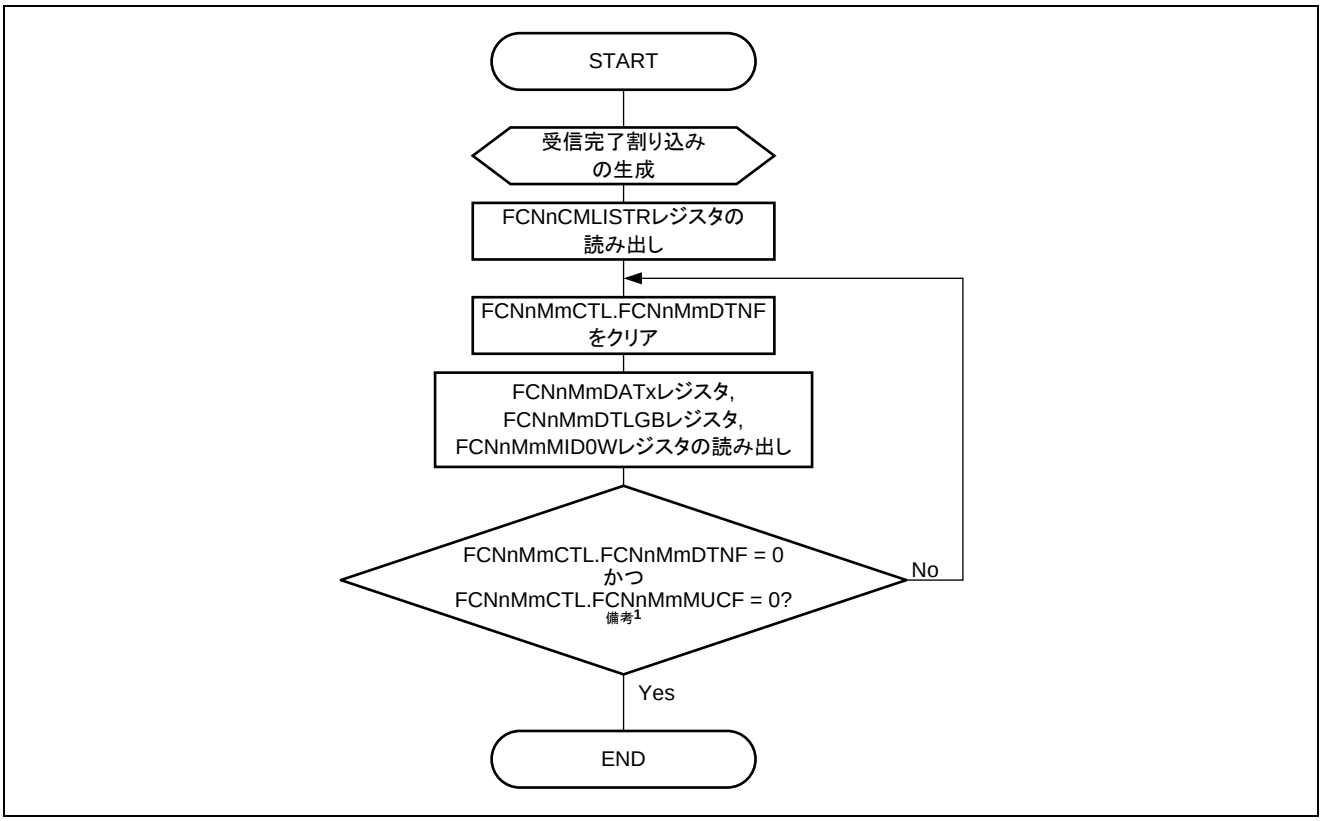


図22.31 割り込みを利用した受信（FCNnCMLISTR レジスタを利用）

備考 1. 1 回の読み出しアクセスで FCNnMmCTL.FCNnMmMUCF ビットと FCNnMmCTL.FCNnMmDTNF ビットをチェックしてください。

2. 保留中のスリープ・モードが実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび受信ヒストリ・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。
受信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。

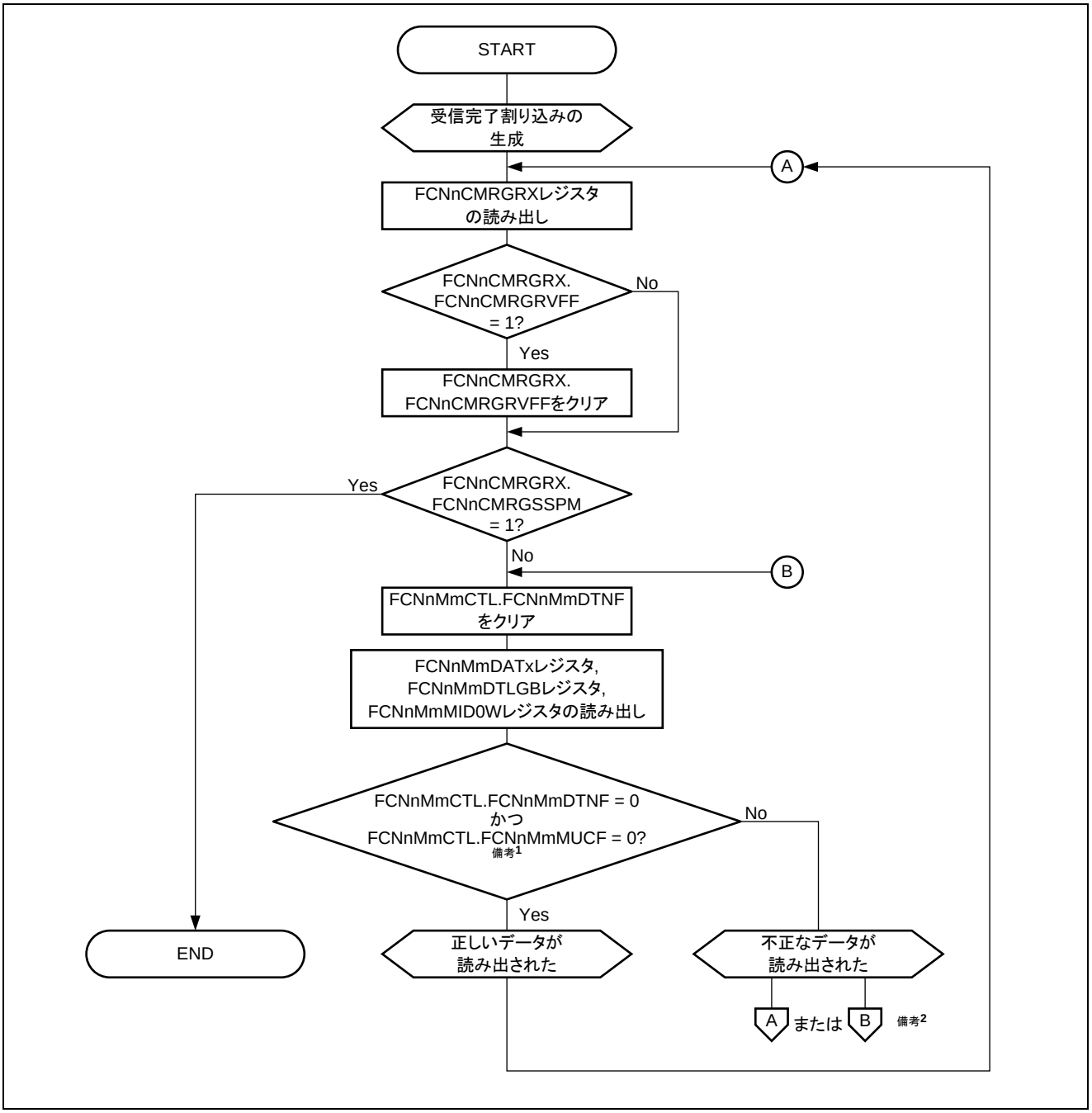


図22.32　割り込みを利用した受信（FCNnCMRGRX レジスタを利用）

備考 1. 1 回の読み出しアクセスで FCNnMmCTL.FCNnMmMUCF ビットと FCNnMmCTL.FCNnMmDTNF ビットをチェックしてください。

2. アプリケーションの処理対象によって 2 つの方法があります。

- **方法 A：次の受信割り込みでメッセージが処理される最も遅いタイミングによっては、現在のパスではなく、次のパスでメッセージが処理されます。ほかのメッセージはその前に処理されます。**
- **方法 B：現在のパスでメッセージが処理され、現在のメッセージでループが待機状態に入ります。ほかのメッセージは、あとで処理されます。**

3. 保留中のスリープ・モードが実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび受信ヒストリ・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。
受信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。

4. いったん FCNnCMRGRX.FCNnCMRGRVFF をセットすると、受信ヒストリ・リストの整合性が失われます。設定されているすべての受信バッファを調べて、受信を確認することを検討してください。

5. 図22.32「割り込みを利用した受信（FCNnCMRGRXレジスタを利用）」の方法は、代わりに図22.33「割り込みを利用した受信（FCNnCMRGRXレジスタを利用）の別の方法」の方法を利用することができます。

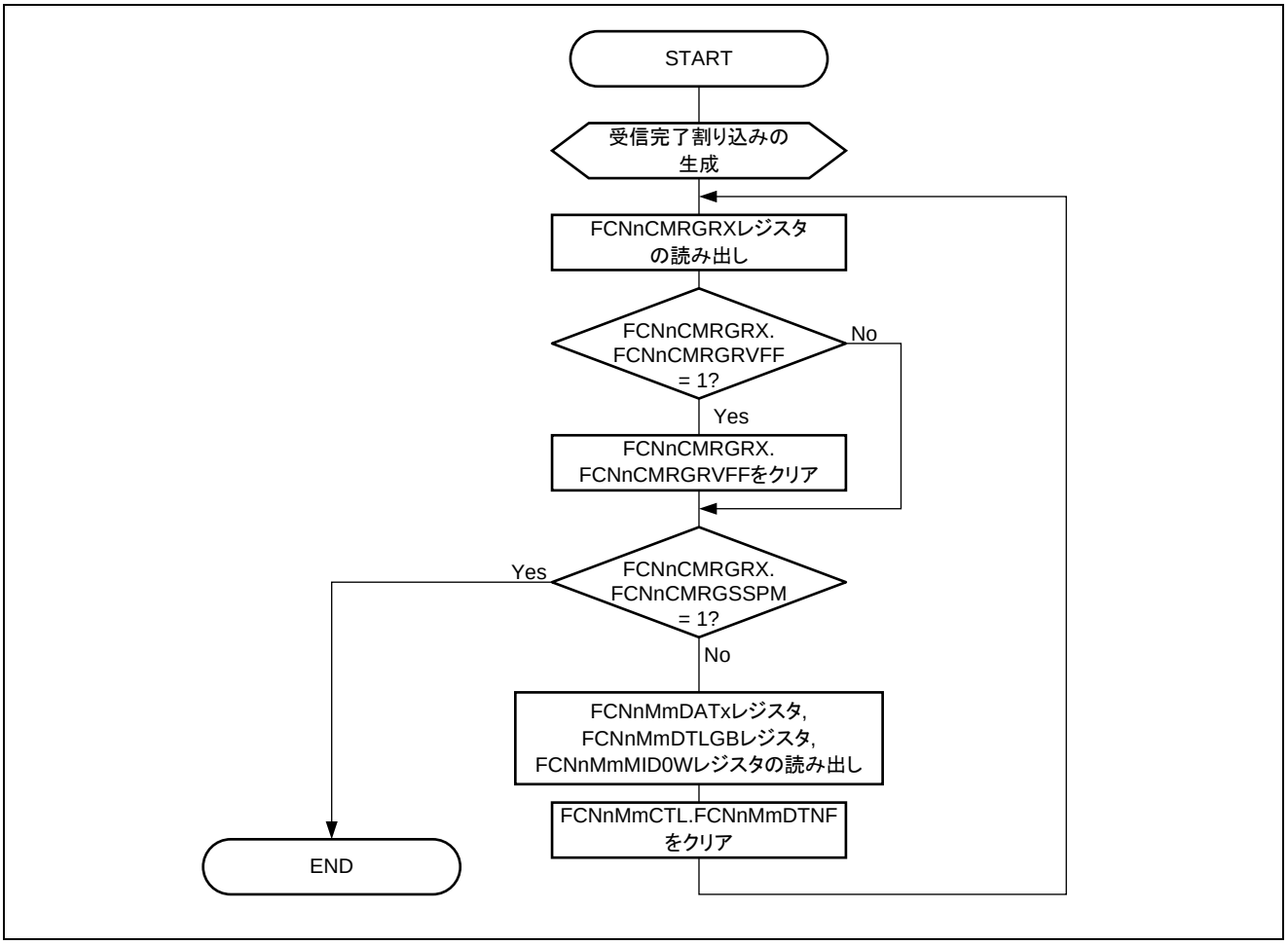


図22.33　割り込みを利用した受信（FCNnCMRGRX レジスタを利用）の別の方法

備考 1. 保留中のスリープ・モードが実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび受信ヒストリ・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。
受信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。
2. いったん FCNnCMRGRX.FCNnCMRGRVFF をセットすると、受信ヒストリ・リストの整合性が失われます。設定されているすべての受信バッファを調べて、受信を確認することを検討してください。
3. このフローを利用する場合、アプリケーションは最新の受信データを取得できません。ただし、処理量が少ないため、割り込み負荷が軽減されます。
4. このフローで上書き機能（FCNnMmSTRB.FCNnMmSSOW = 1）を使用しないでください。使用した場合は、データの整合性が失われる可能性があります。

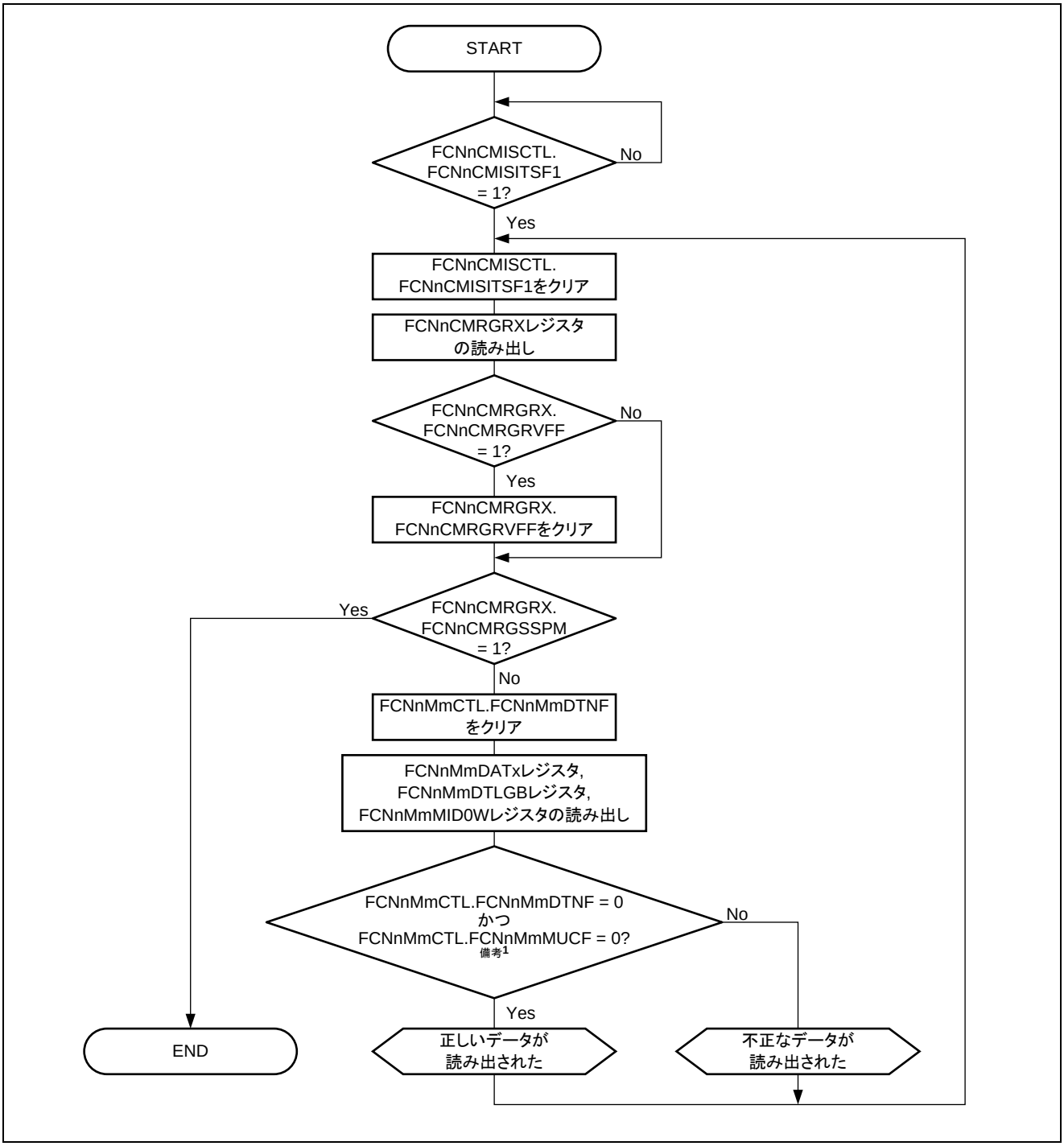


図22.34 ソフトウエア・ポーリングを利用した受信

備考 1. 1 回の読み出しアクセスで FCNnMmCTL.FCNnMmMUCF ビットと FCNnMmCTL.FCNnMmDTNF ビットをチェックしてください。

2. 保留中のスリープ・モードが実行されることがあるため、ポーリング・ルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび受信ヒストリ・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。

3. いったん FCNnCMRGRX.FCNnCMRGRVFF をセットすると、受信ヒストリ・リストの整合性が失われます。設定されているすべての受信バッファを調べて、受信を確認することを検討してください。

22.14.4 パワー・セーブ・モード

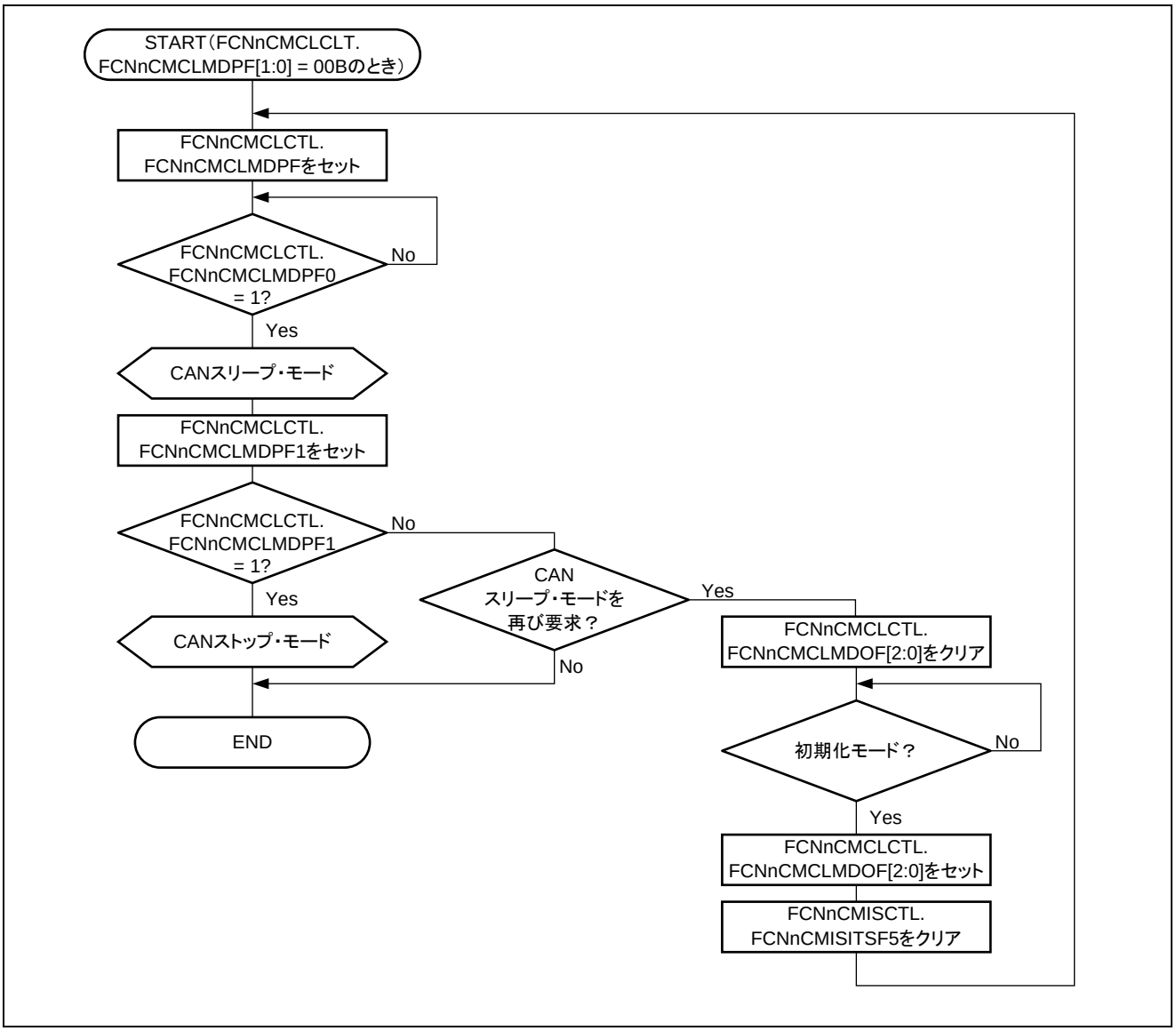


図22.35 FCN スリープ・モード／ストップ・モードの設定

注意 FCN スリープ・モードへの移行要求を発行する前に送信を中断するには、前に示したフローチャートに従って送信中断処理を実行してください。

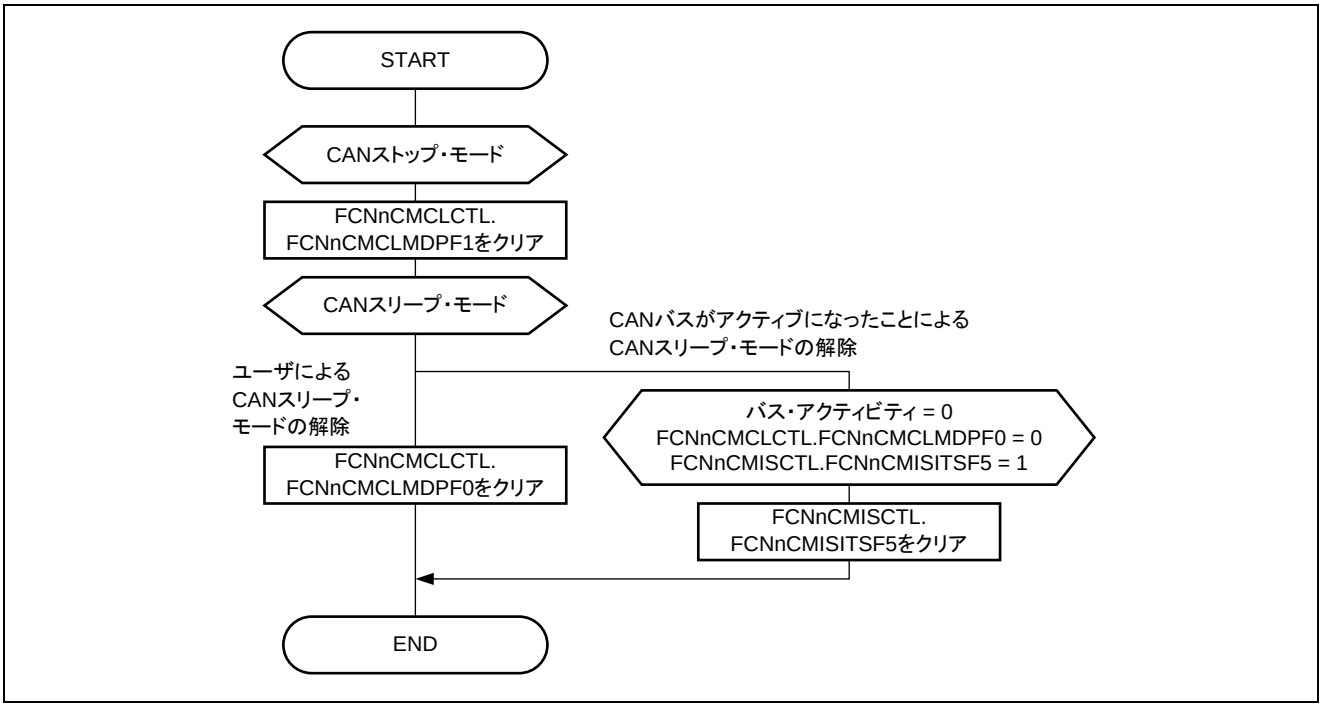


図22.36 FCN スリープ／ストップ・モードの解除

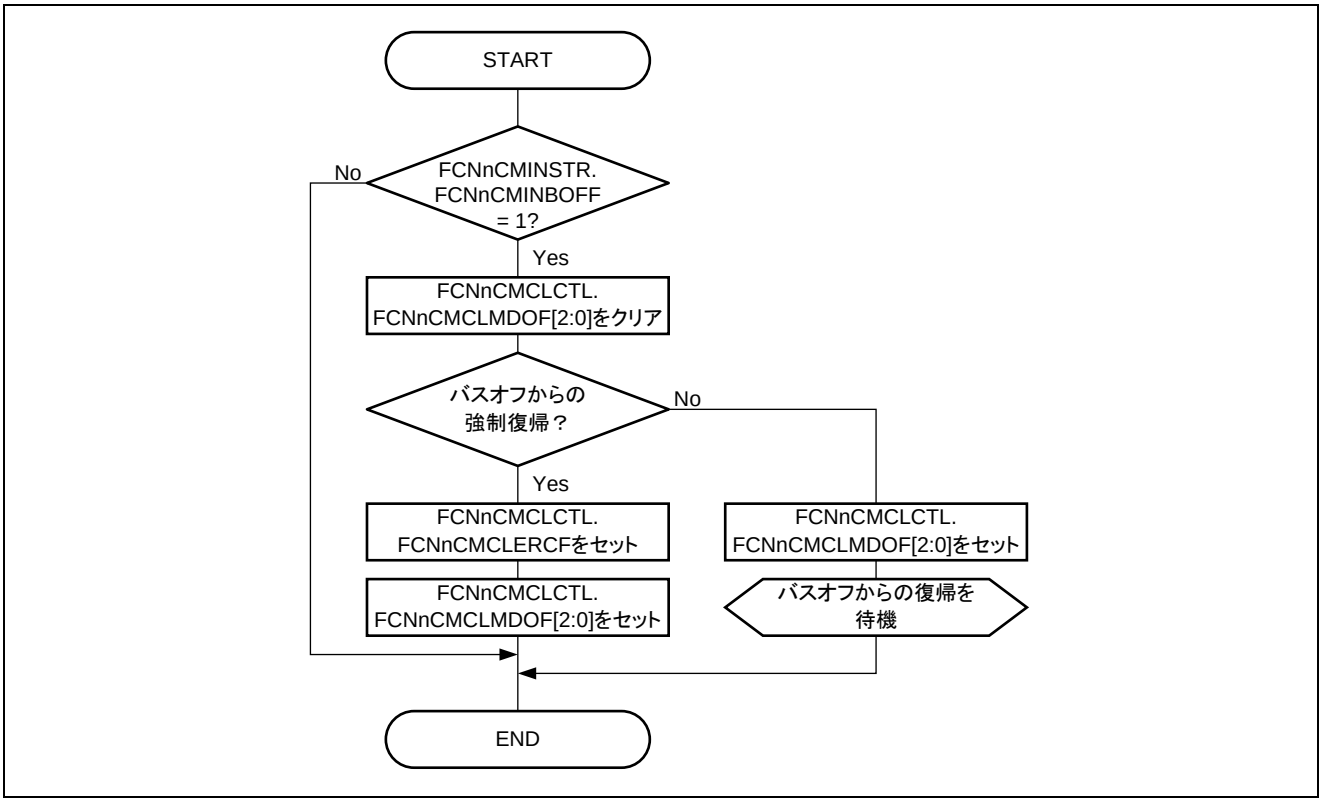


図22.37　バスオフからの復帰

注意 バスオフ復帰シーケンス中に初期化モードからいずれかの動作モードへの移行要求が発行され、再びバスオフ復帰シーケンスが実行されると、受信エラー・カウンタがクリアされます。
したがって、連続する 11 個のレセシブ・レベル・ビットを再びバス上で 128 回検出する必要があります。

備考 動作モード：通常動作モード、ABT 付き通常動作モード、受信オンリー・モード、シングル・ショット・モード、セルフ・テスト・モード

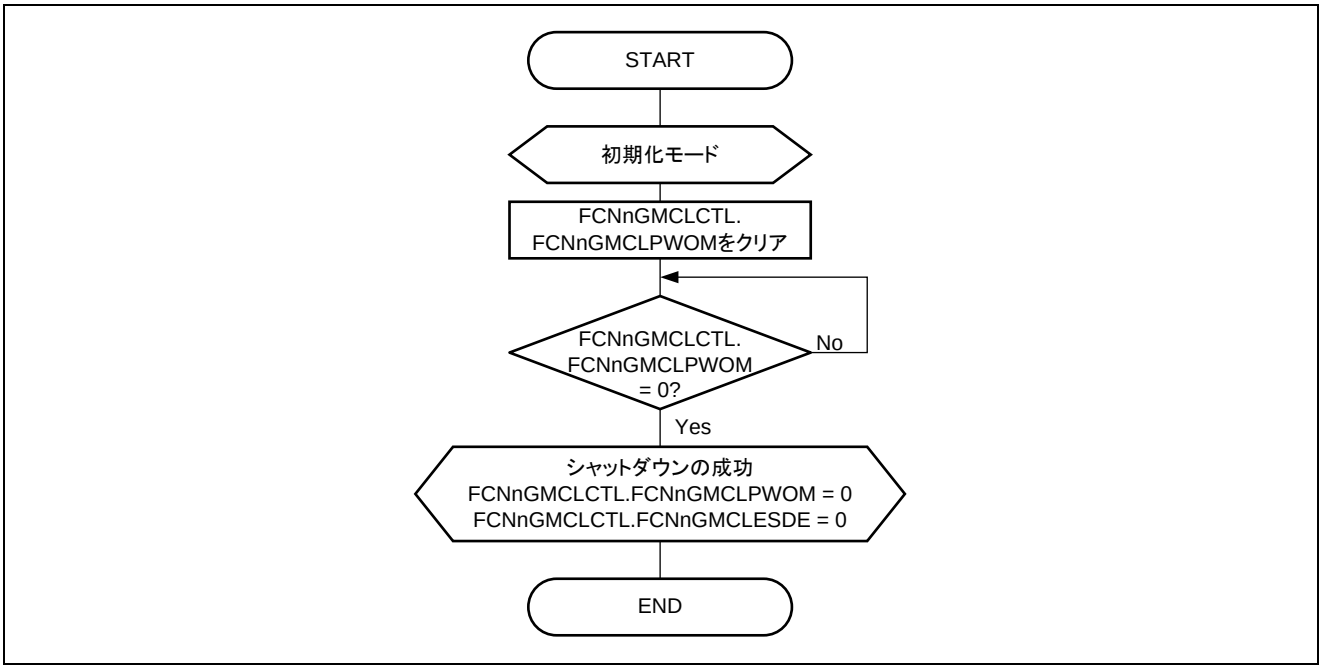


図22.38　通常のシャットダウン処理

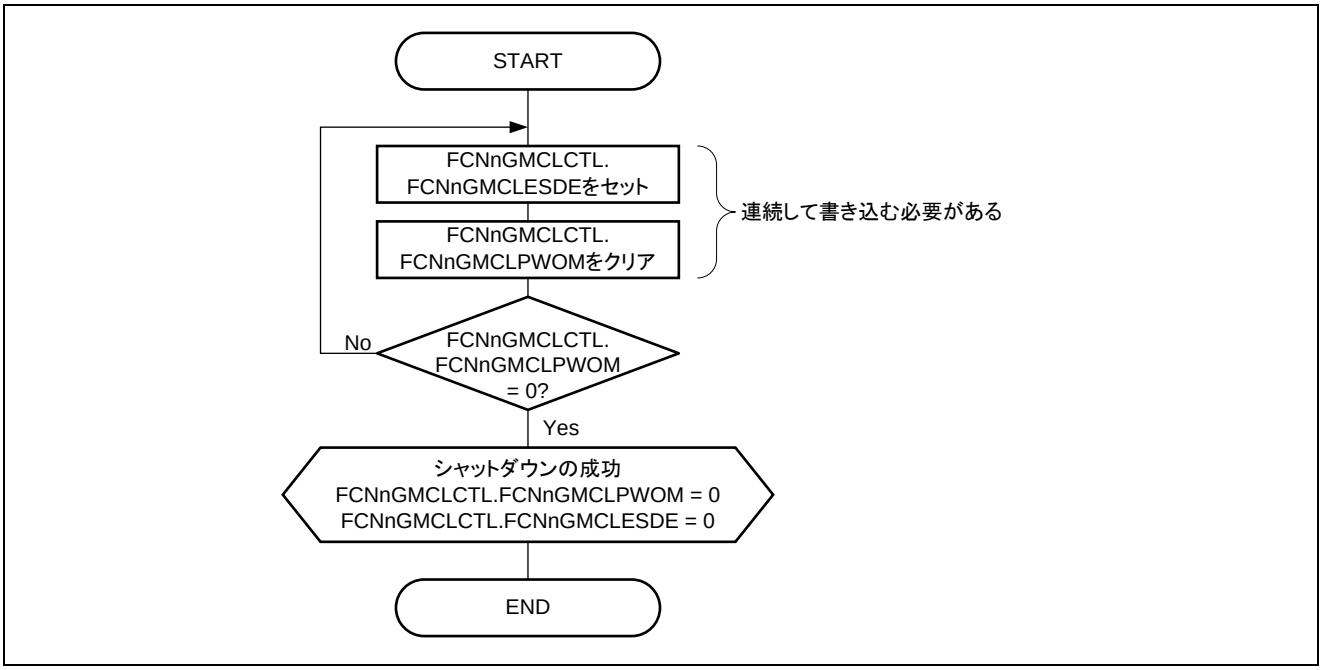


図22.39　強制シャットダウン処理

注意 FCNnGMCLESDE ビットをセットしてから FCNnGMCLPWOM ビットをクリアするまでの間は、いずれのレジスタへもソフトウェアによる読み出しアクセスまたは書き込みアクセスを行わないでください。

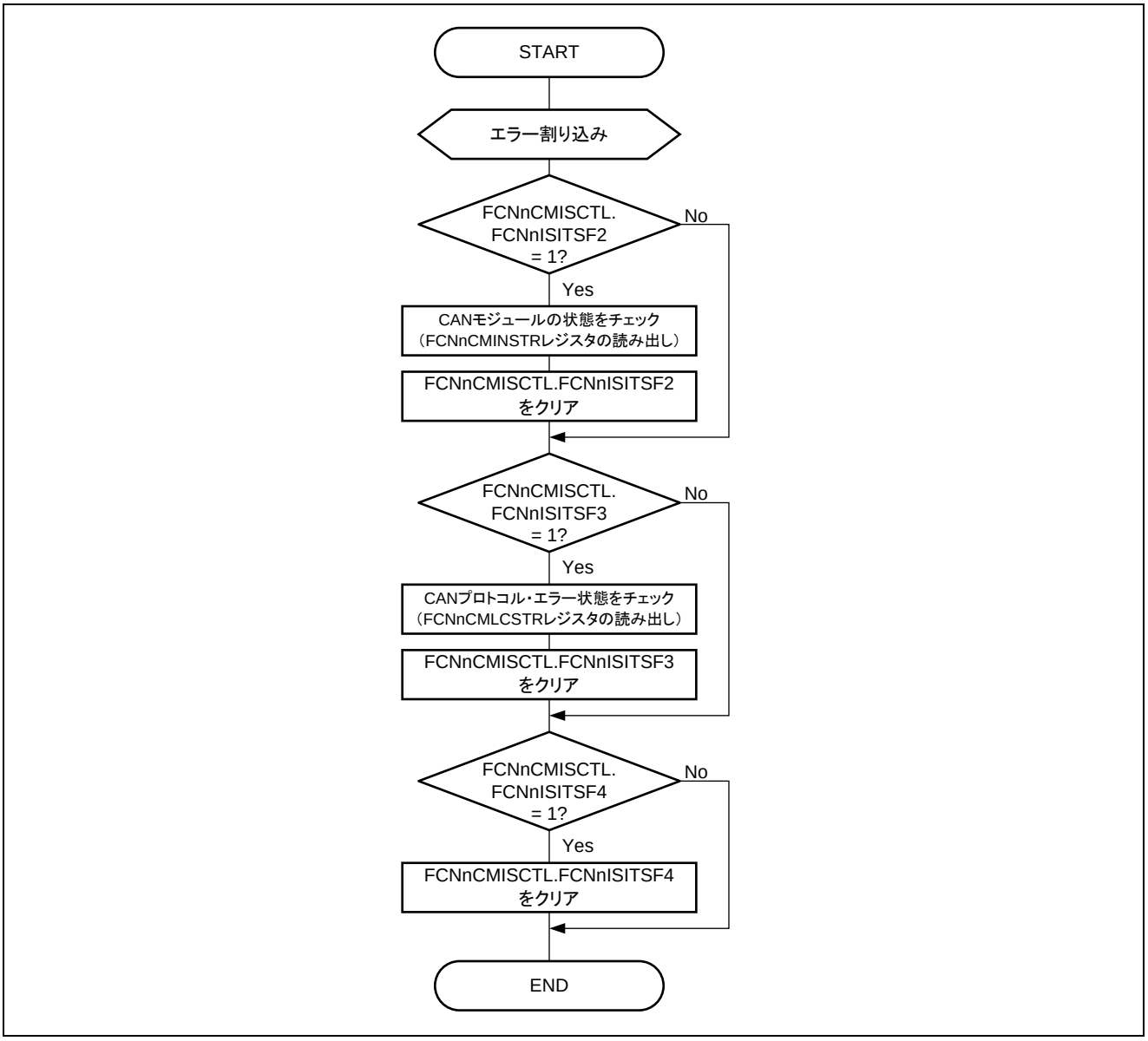

START
エラー割り込み
FCNnCMISCTL.
FCNnISITSF2
= 1?
No
Yes
CANモジュールの状態をチェック
（FCNnCMINSTRレジスタの読み出し）
FCNnCMISCTL.FCNnISITSF2
をクリア
FCNnCMISCTL.
FCNnISITSF3
= 1?
No
Yes
CANプロトコル・エラー状態をチェック
（FCNnCMLCSTRレジスタの読み出し）
FCNnCMISCTL.FCNnISITSF3
をクリア
FCNnCMISCTL.
FCNnISITSF4
= 1?
No
Yes
FCNnCMISCTL.FCNnISITSF4
をクリア
END

図22.40 エラー処理

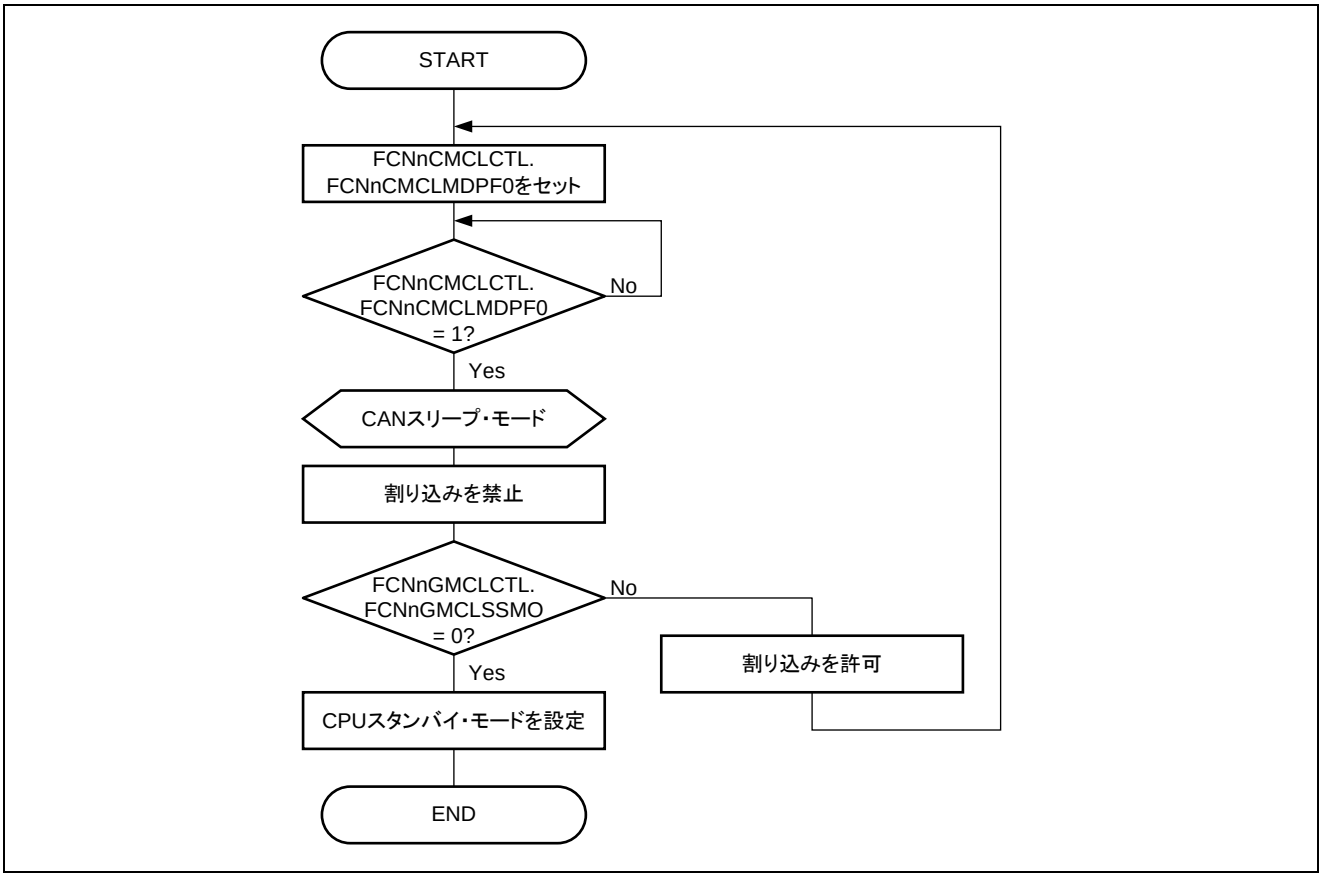


図22.41　CPU スタンバイの設定（FCN スリープ・モードから）

備考 1. CPU を CPU スタンバイ・モードに設定する前に、FCN スリープ・モードに入っているかどうかをチェックしてください。
ただし、FCN スリープ・モードをチェックすると、CPU が CPU スタンバイ・モードに設定されるまで、CAN バスからのウェイク・アップによって FCN スリープ・モードがキャンセルされる可能性があります。
2. FCNnGMCLSSMO = 0 をチェックしてから CPU スタンバイ・モードを設定するまでの間に、CAN バス上でウェイク・アップ状態が発生する可能性があります。その場合は、CAN モジュールがスリープ・モードを解除し、FCNnCMISITSF5 ビットがセットされ、割り込みが許可されていればウェイク・アップ割り込みが発生します。

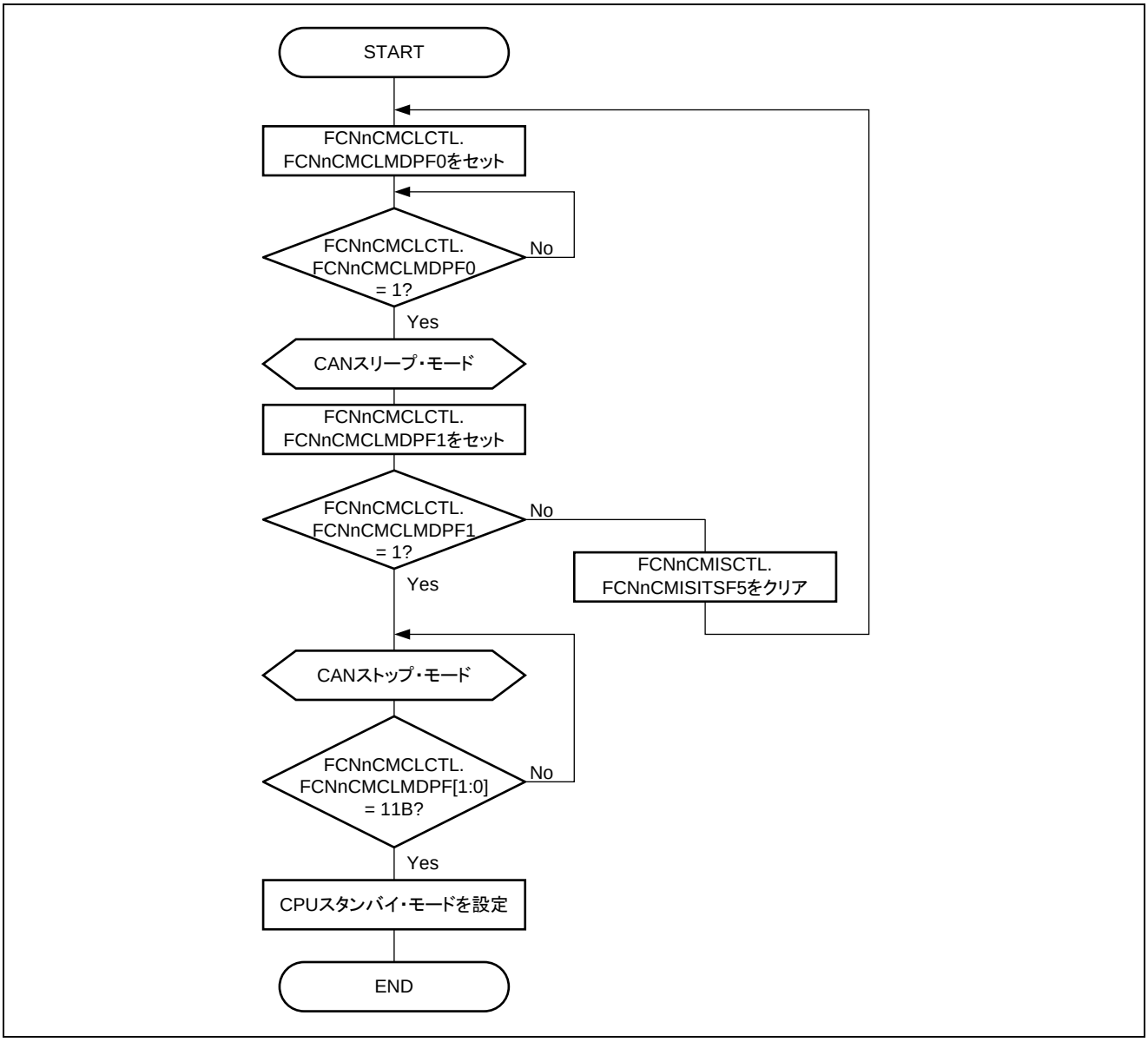


図22.42　CPU スタンバイの設定（FCN ストップ・モードから）

注意 FCN ストップ・モードは、FCNnCMCLCTL.FCNnCMCLMDPF[1:0]を 01B に設定することによってのみ解除することができます。FCN バスの状態の変化によって FCN ストップ・モードが解除されることはありません。

23. 10 ビット A/D コンバータ

この章では、逐次比較型 10 ビット A/D コンバータについて説明します。

23.1 R-IN32M4 の ADC の特徴

○分解能 : 10bits
○変換速度 : 833ksps (Max.)
○微分非直線性誤差(DNL) : ±1.0 LSB (Max.)
○積分非直線性誤差(INL) : ±1.5 LSB (Max.)
○入力電圧範囲 : 0.0V to AVDD
○電源電圧 : AVDD=3.3V
○アナログ入力数 : 8ch マルチプレクサ

○クロック注 1
　内部バスクロック PCLK : 100MHz
　アナログ変換クロック ADCLK : 12.5MHz (Max.)注 2
○変換チャネル指定 : ADM2 レジスタにて使用するチャネルを指定
○トリガモード
　ソフトウェアトリガ : ソフトウェア(ADM0 レジスタ)で A/D 変換を開始します。
　ハードウェアトリガ : トリガ信号入力で A/D 変換を開始します。注 3
○トリガ入力
　オートモード : トリガ入力 1 回で A/D 変換を起動します。
　ステップモード : トリガ入力毎に A/D 変換を進めます。
○動作モード
　セレクトモード : 指定した 1 チャネルを変換する事ができます。
　スキャンモード : 選択した複数のチャネルを順番に A/D 変換します。
○変換回数
　シングルモード : A/D 変換後、A/D 変換を停止します。
　リポートモード : A/D 変換を開始したら、連続して変換を繰り返します。
○バッファ機能
　1 バッファモード : 選択したアナログ入力を 1 回 A/D 変換し、レジスタに格納します。
　4 バッファモード : 選択したアナログ入力を 4 回 A/D 変換し、レジスタに格納します。

注 1. A/D コンバータへのクロック供給は、A/D 変換停止中に設定して下さい。
また、クロック供給を停止する場合は、A/D 変換を停止させた後に設定して下さい。
2. ADIVC レジスタで PCLK からの分周比を設定可能です。
また、ADCLK の分周比設定を変更する場合は、A/D 変換停止中に設定して下さい。
3. トリガ入力信号は、ADTRG 信号、TAPA 及び PIC のトリガ信号から選択可能です。
詳細は「23.2.2 A/Dコンバータモードレジスタ1 (ADM1)」を参照して下さい。

○ 入出力信号 A/D コンバータの入出力信号を表23.1に示します。

表23.1 ADC の入出力信号

ADC の信号	機能	端子名
ADTRG	A/D コンバータの外部変換トリガ入力	RP02 兼用
ADTRGRDY	A/D コンバータの外部変換トリガのレディ信号	RP03 兼用
AIN0-AIN7	A/D コンバータのアナログ入力	AIN0-AIN7
AVREFP	A/D コンバータの基準電圧入力（＋）	AVREFP
AVREFM	A/D コンバータの基準電圧入力（－）	AVREFM
AVDD	A/D コンバータのアナログ電源	AVDD
AGND	A/D コンバータのアナログ電源	AGND

○ 割り込みと周辺機能： A/D コンバータの下記割り込み要求は割り込み処理や Hardware ISR 以外にも、DMA 転送（汎用 DMAC、リアルタイムポート DMAC）、タイマ・キャプチャ・トリガ（TAUJ2、TAUD）、リアルタイム・ポート（RP00-RP37）の更新に利用可能です。

表23.2 ADC の割り込みと周辺機能への要求

ADC の割り込み信号	機能	接続先
INTAD	A/D 変換完了割り込み	・割り込みコントローラ INTAD ・HW-RTOS（Hardware ISR） ・DMA コントローラ・トリガ（DTFR/RTDTFR） ・タイマ・キャプチャ・トリガ（TMTFR/TMDTFR） ・リアルタイム・ポート・トリガ（RPTFR）

23.2 制御レジスタ

A/D コンバータを利用するには、制御レジスタで動作モードを設定してください。

表23.3 A/D コンバータの制御レジスタ

レジスタ名	略号	アドレス
A/D コンバータモードレジスタ 0	ADM0	4000 0E00H
A/D コンバータモードレジスタ 1	ADM1	4000 0E04H
A/D コンバータモードレジスタ 2	ADM2	4000 0E08H
A/D コンバータモードレジスタ 3	ADM3	4000 0E0CH
A/D コンバータ割り込み制御レジスタ	ADINT	4000 0E20H
A/D コンバータステータスレジスタ	ADSTS	4000 0E24H
A/D コンバータクロック分周設定レジスタ	ADIVC	4000 0E28H
A/D 変換結果レジスタ 0	ADCR0	4000 0E30H
A/D 変換結果レジスタ 1	ADCR1	4000 0E34H
A/D 変換結果レジスタ 2	ADCR2	4000 0E38H
A/D 変換結果レジスタ 3	ADCR3	4000 0E3CH
A/D 変換結果レジスタ 4	ADCR4	4000 0E40H
A/D 変換結果レジスタ 5	ADCR5	4000 0E44H
A/D 変換結果レジスタ 6	ADCR6	4000 0E48H
A/D 変換結果レジスタ 7	ADCR7	4000 0E4CH

23.2.1　A/D コンバータモードレジスタ 0 (ADM0)

A/D 変換動作の制御、A/D コンバータのパワーダウン制御、ソフトウェアリセットを行うレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-16, 14-3 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ADM0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SRESB	0	0	0	0	0	0	0	0	0	0	0	0	PWDWNB	ADBSY	ADCE	4000 0E00H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R	R/W	0000 0000H

ビット位置	ビット名	意　味
31-16	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15	SRESB	A/D コンバータへのソフトウェアリセットです。A/D コンバータ以外の回路(レジスタなど)はリセットされません。リセットを解除するにはハイ・レベルを設定して下さい。 0：リセット（初期値） 1：リセット解除
14-3	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
2	PWDWNB	A/D コンバータをパワーダウン状態にします。 0：パワーダウンモード（初期値） 1：ノーマルモード
1	ADBSY	A/D コンバータの状態を示します。 0：A/D コンバータ変換停止中（初期値） 1：A/D コンバータ変換動作中 ADBSY の状態遷移を図23.1ADCEとADBSYの状態遷移図に示します。
0	ADCE	A/D 変換動作の許可/停止を指定します。 0：A/D 変換動作停止（初期値） 1：A/D 変換動作許可 ADCE にロー・レベルを設定すると、A/D コンバータは動作を停止します。 ADCE の状態遷移を図23.1ADCEとADBSYの状態遷移図に示します。

注 1. ADCE は、PWDWNB=0(パワーダウンモード)から PWDWNB=1(ノーマルモード)に切り替えた後、1μs (安定待ち時間)以上経過してから 1(A/D 変換動作許可)に設定して下さい。
2. PWDWNB は、ADCE=0(A/D 変換動作停止)に設定し、A/D 変換が完了したことを確認(ADBSY=0 であること)してからパワーダウンモード(PWDWNB=0)に設定して下さい。

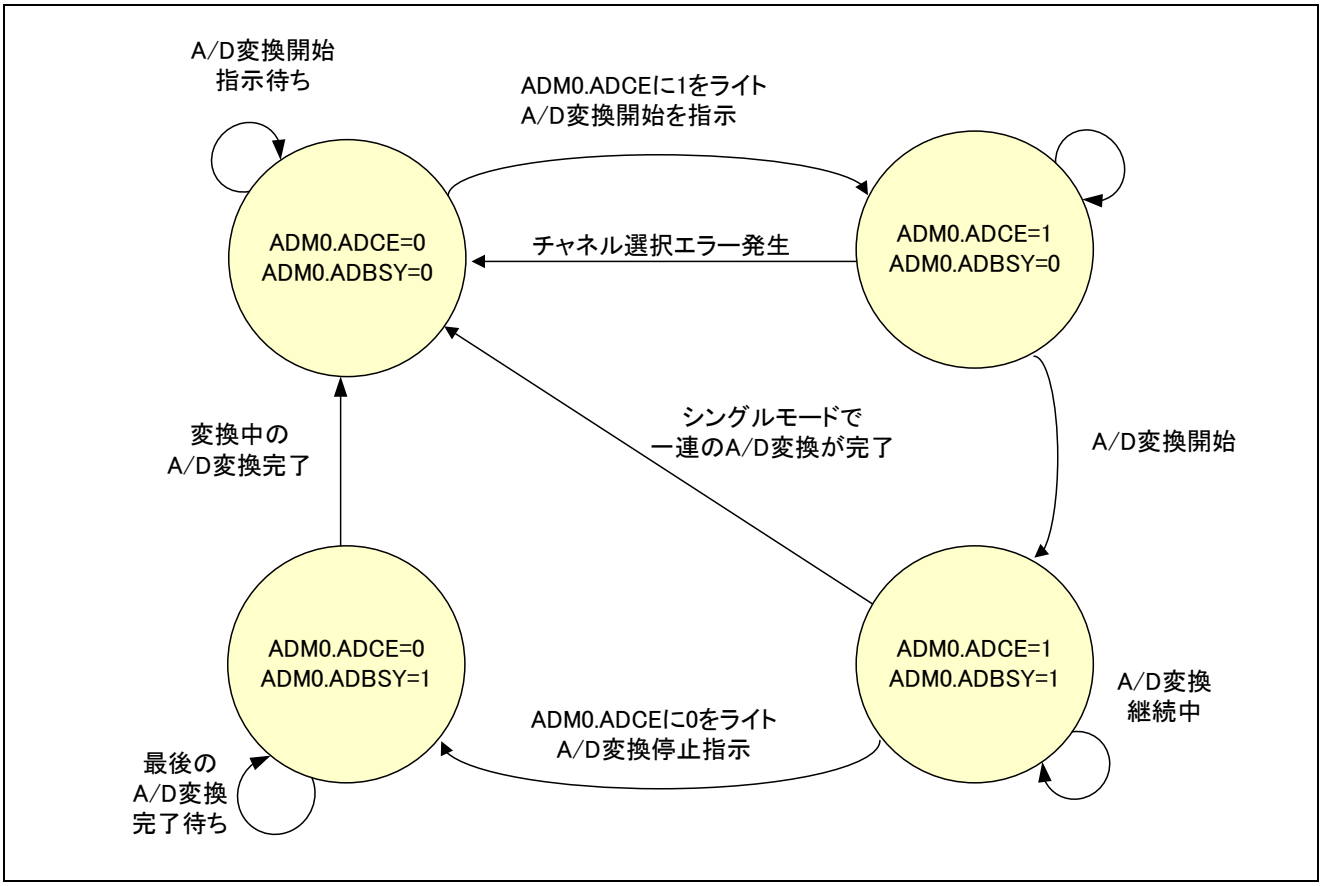


図23.1 ADCE と ADBSY の状態遷移図

23.2.2　A/D コンバータモードレジスタ 1 (ADM1)

A/D 変換動作の制御、ハードウェアトリガモード設定を行うレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-14, 11-10, 7-5 には必ず 0 を設定してください。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ADM1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	EGA1	EGA0	0	0	TRGEN1	TRGEN0	0	0	0	BS	RPS	MS	TRGIN	TRG	4000 0E04H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	0	0	R/W	R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
31-14	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
13-12	EGA1, EGA0	選択したハードウェアトリガ信号の有効エッジを指定します。 EGA1 / EGA0 / ADTRG の有効エッジを指定 0 / 0 / ハードウェアトリガ無効[注1]（初期値） 0 / 1 / 立ち下がりエッジ検出[注2] 1 / 0 / 立ち上がりエッジ検出[注2] 1 / 1 / 両エッジ検出[注2]
11-10	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
9-8	TRGEN1, TRGEN0	ハードウェアトリガ信号の選択を指定します。 TRGEN1 / TRGEN0 / ハードウェアトリガ信号の選択 0 / 0 / ADTRG（外部トリガ信号）（初期値） 0 / 1 / A/D 変換トリガ出力（PIC） 1 / 0 / A/D 変換トリガ出力 0（TAPA） 1 / 1 / A/D 変換トリガ出力 1（TAPA）
7-5	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
4	BS	セレクトモード時のバッファモードを指定します。 0：1 バッファモード（初期値） 1：4 バッファモード
3	RPS	変換回数を設定します。 0：シングルモード（初期値） 1：リピートモード

注 1. ソフトウェアトリガモード使用時は、ADM1.EGA1-0=00B に設定して下さい。
2. 有効エッジの指定は本レジスタ設定に加え、外部割り込みモード・レジスタ（INTM0)の 23-22 ビットの設定が必要です。
詳細は「25.12 外部割り込みモード・レジスタ（INTM0, INTM1, INTM2）」を参照して下さい。

（2/2）

ビット位置	ビット名	意　味
2	MS	動作モードを設定します。 0：スキャンモード（初期値） 1：セレクトモード
1	TRGIN	トリガ入力を指定します。 0：オートモード（初期値） 1：ステップモード
0	TRG	トリガモードを指定します。 0：ソフトウェアトリガモード（初期値）注 1：ハードウェアトリガモード

注 ソフトウェアトリガモード使用時は、ADM1.EGA1-0=00B に設定して下さい。

23.2.3　A/D コンバータモードレジスタ 2 (ADM2)

A/D 変換するアナログ入力チャネルの指定を行うレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-8 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ADM2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CHSEL7	CHSEL6	CHSEL5	CHSEL4	CHSEL3	CHSEL2	CHSEL1	CHSEL0	4000 0E08H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
31-8	―	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
7-0	CHSEL7-0	A/D 変換するアナログ入力チャネルを指定します。注1,2(n=0-7) 0：アナログ入力チャネル n を A/D 変換しません。（初期値） 1：アナログ入力チャネル n を A/D 変換します。

注 1. セレクトモードでは、1 つのチャネルのみ選択して下さい。
2. セレクトモードで、複数のチャネルが選択されている場合はチャネル選択エラー(ADSTS.CSEST)が発生します。

23.2.4　A/D コンバータモードレジスタ 3 (ADM3)

A/D コンバータのサンプリング期間、IDLE 期間を設定するためのレジスタです。
A/D コンバータブリッジをリセット解除した後は必ず設定して下さい。

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-8 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ADM3	ADIL7	ADIL6	ADIL5	ADIL4	ADIL3	ADIL2	ADIL1	ADIL0	ADCMP7	ADCMP6	ADCMP5	ADCMP4	ADCMP3	ADCMP2	ADCMP1	ADCMP0	0	0	0	0	0	0	0	0	ADSMP7	ADSMP6	ADSMP5	ADSMP4	ADSMP3	ADSMP2	ADSMP1	ADSMP0	4000 0E0CH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000 0000H

ビット位置	ビット名	意　味
31-24	ADIL7-0	A/D コンバータの変換完了から次の変換開始までの期間を ADIVCLK(分周後の ADCLK 数)で設定します。00H の時は連続で変換します。
23-16	ADCMP7-0	逐次変換期間のクロック数を ADIVCLK(分周後の ADCLK 数)で設定します。 R-IN32M4 では、0BH を設定して下さい。
15-8	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
7-0	ADSMP7-0	A/D コンバータのサンプリング期間を設定します。 R-IN32M4 では、05H を設定して下さい。

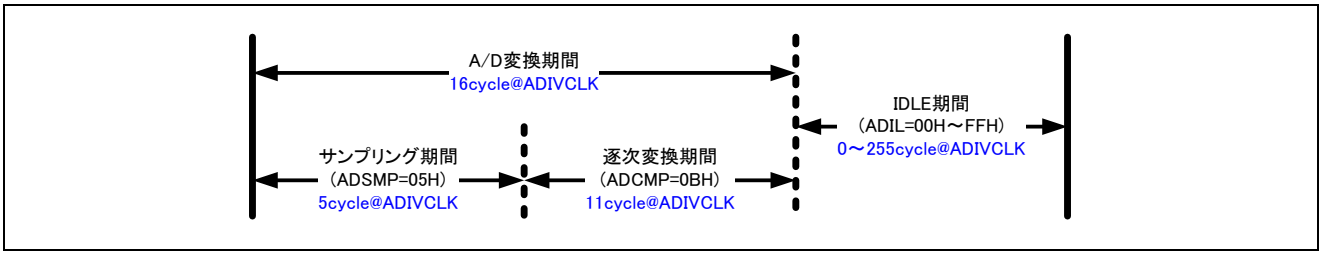


図23.2　ADM3 レジスタと A/D 変換期間との対応

23.2.5　A/D コンバータ割り込み制御レジスタ (ADINT)

割り込み制御を行うレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 30-17, 15-8 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ADINT	INTS	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CSEEN	0	0	0	0	0	0	0	0	INTEN7	INTEN6	INTEN5	INTEN4	INTEN3	INTEN2	INTEN1	INTEN0	4000 0E20H
																																	初期値
R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
31	INTS	割り込み信号のパルス、レベルを指定します。 0：パルス信号（初期値） 1：レベル信号
30-17	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
16	CSEEN	A/D 変換チャネル選択エラー割り込み出力許可を指定します。 0：割り込み出力禁止（初期値） 1：割り込み出力許可
15-8	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
7-0	INTEN7-0	チャネル n (n=0-7) の A/D 変換完了時の割り込み出力を指定します。 0：割り込み出力禁止（初期値） 1：割り込み出力許可

備考 ADINT.INTS=1(レベル信号)に指定した場合、ADINT.INTEN7-0 にて許可された割り込みステータスの論理和を割り込み信号として出力します。
ADINT.INTS=0(パルス信号)に指定した場合、
(1) ADM2 レジスタ設定が A/D 変換チャネル選択エラー状態である時に、A/D 変換要求を検出
(2) ADINT.INTEN7-0 にて許可されたチャネルが A/D 変換完了
(3) スキャンモードで 4 バッファモードを指定した状態である時に、A/D 変換要求を検出
のタイミングでパルス出力(2cycle@PCLK)します。

23.2.6　A/D コンバータステータスレジスタ (ADSTS)

割り込み制御を行うレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 30-17, 15-12 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ADSTS	TRGS	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CSEST	0	0	0	0	0	0	0	0	INTST7	INTST6	INTST5	INTST4	INTST3	INTST2	INTST1	INTST0	4000 0E24H
																																	初期値
R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
31	TRGS	ハードウェアトリガのエラー検出ステータスを示します。A/D 変換期間（16cycle@ADIVCLK）に再度ハードウェアトリガを検出した場合、1 がセットされます。 [リード時]　0：検出なし。（初期値） 1：A/D 変換期間(16cycle@ADIVCLK)にトリガ検出あり。 [ライト時]　0：何も変化しません。（初期値） 1：ステータスをクリアします。
30-17	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
16	CSEST	A/D 変換チャネル選択エラー割り込みステータスを示します。 A/D 変換開始時に A/D 変換を実行するチャネルが ADM2.CHSEL7-0 にて何も指定されなかったときに発生するエラー割り込みのステータスです。 [リード時]　0：A/D 変換チャネル選択エラーなし。（初期値） 1：A/D 変換チャネル選択エラーあり。 [ライト時]　0：何も変化しません。（初期値） 1：ステータスをクリアします。
15-8	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
7-0	INTST7-0	チャネル n (n=0-7) の A/D 変換完了割り込みステータスを示します。 [リード時]　0：A/D 変換未了。（初期値） 1：A/D 変換完了。 [ライト時]　0：何も変化しません。（初期値） 1：ステータスをクリアします。注

注 割り込み要因の発生と割り込み要因のクリアが同時の場合は、クリアが無視されます。
A/D 変換完了割り込みステータス(INTST7-0)は、A/D 変換完了状態のままとなります。

23.2.7　A/D コンバータクロック分周設定レジスタ (ADIVC)

ADCLK を分周し、A/D コンバータマクロのクロックに供給する分周比設定を行うレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-9 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ADIVC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DIVADC8	DIVADC7	DIVADC6	DIVADC5	DIVADC4	DIVADC3	DIVADC2	DIVADC1	DIVADC0	4000 0E28H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
31-9	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
8-0	DIVADC8-0	分周比を設定します。 下記のいずれかの値を設定可能で、その他の値は動作保証外です。

DIVADC8-0									分周比
8	7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	0	設定禁止
0	0	0	0	0	0	0	1	0	設定禁止
0	0	0	0	0	0	1	0	0	設定禁止
0	0	0	0	0	1	0	0	0	8 分周(12.5MHz)
0	0	0	0	1	0	0	0	0	16 分周(6.25MHz)
0	0	0	1	0	0	0	0	0	32 分周(3.125MHz)
0	0	1	0	0	0	0	0	0	64 分周(1.5625MHz)
0	1	0	0	0	0	0	0	0	128 分周(781.25kHz)
1	0	0	0	0	0	0	0	0	256 分周(390.625kHz)

注意. R-IN32M4 に搭載している A/D コンバータの ADCLK は最大 12.5MHz です。
A/D 変換開始前に必ず本レジスタの設定を行ってください。

23.2.8　A/D 変換結果レジスタ (ADCR0-7)

A/D 変換の結果を保持する 10 ビットレジスタです。8 本の 10 ビットレジスタを備えています。

- アクセス　　32 ビット単位でリード／ライト可能です。
  ビット 31-10 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ADCR0-7	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	4000 0E30H ～ 4000 0E4C
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R	R	R	初期値 0000 0000H

ビット位置	ビット名	意　味
31-10	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
9-0	AD9-0	A/D 変換結果を保持します。

アナログ入力チャネル	ADCR7-0	
	セレクト 1 バッファモードまたは、スキャンモード	セレクト 4 バッファモード
0	ADCR0	ADCR3-0
1	ADCR1	
2	ADCR2	
3	ADCR3	
4	ADCR4	ADCR7-4
5	ADCR5	
6	ADCR6	
7	ADCR7	

AIN7-0 (アナログ入力端子)に入力されたアナログ入力電圧と A/D 変換結果(ADCR7-0)には次式に示す関係があります。

$$ADCR = INT\left(\frac{Vin}{AVREFP - AVREFM} \times 2^{d} + 0.5\right) \quad (23.1)$$

または、

$$(ADCR - 0.5) \times \frac{AVREFP - AVREFM}{2^{d}} \le Vin < (ADCR + 0.5) \times \frac{AVREFP - AVREFM}{2^{d}} \quad (23.2)$$

INT( )	: ( )内の値の整数部を返す関数
Vin	: アナログ入力電圧
AVREFP	: アナログ部用電源端子電圧(3V 基準電圧)
AVREFM	: アナログ部用 GND 端子電圧(0V 基準電圧)
ADCR	: A/D 変換結果レジスタ ADCR7-0 の値
d	: A/D コンバータマクロの分解能(R-IN32M4 では 10bit)

以下にアナログ入力電圧と A/D 変換結果の関係を示します。

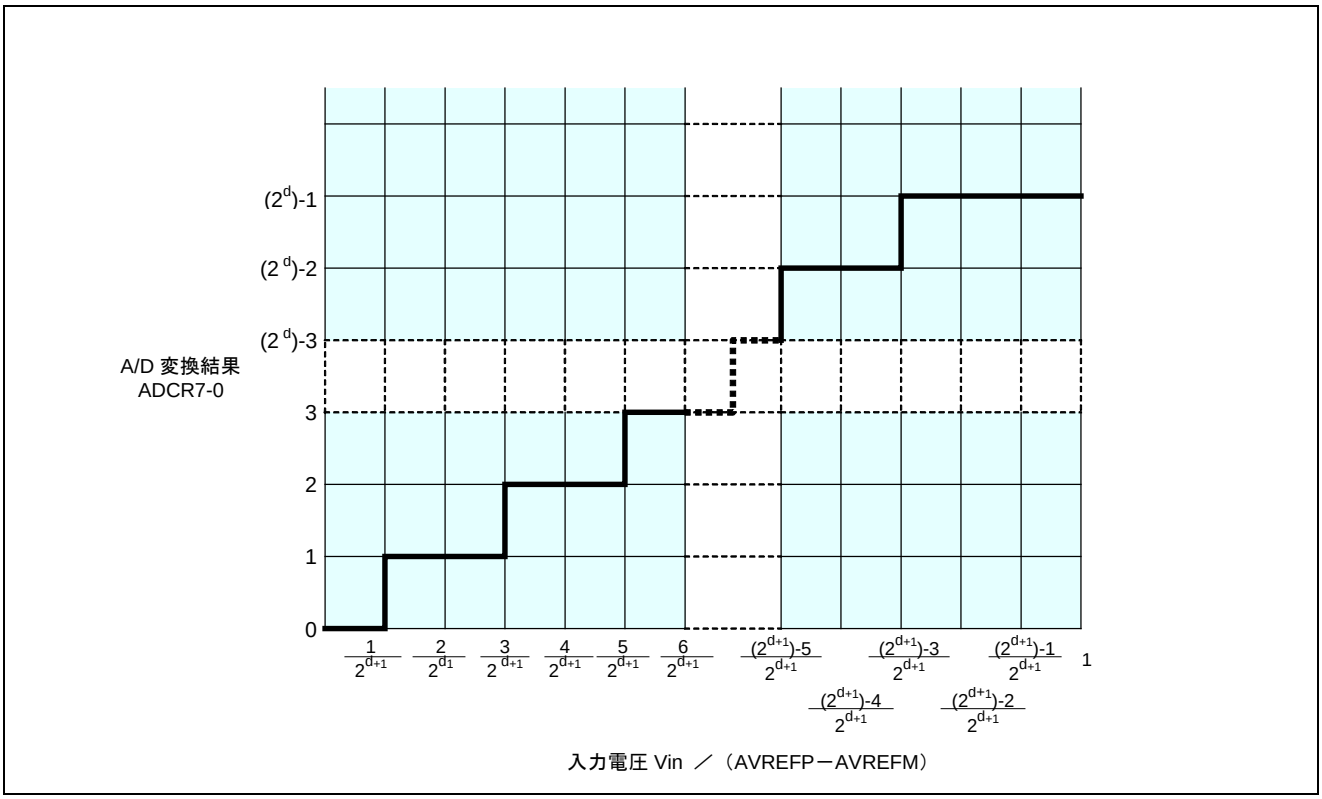


図23.3 アナログ入力と A/D 変換結果の関係

23.3 オペレーション

23.3.1 A/D 変換モードの種類

A/D コンバータマクロは、以下の A/D 変換モードを指定できます。A/D 変換モードは、ADM1 レジスタで設定します。

表23.4 A/D 変換モード

トリガモード	トリガ入力	動作モード	変換回数	バッファ数	動作説明	A/D 変換例参照先
ソフトウェアトリガ	―	セレクト	シングル	1 バッファ	選択 1ch×1 回	23.3.4.1
				4 バッファ	選択 1ch×4 回	―
			リピート	1 バッファ	(選択 1ch×1 回)×繰り返し	23.3.4.2
				4 バッファ	(選択 1ch×4 回)×繰り返し	23.3.4.3
		スキャン	シングル	1 バッファ	選択全 ch×1 回	23.3.4.4
				4 バッファ	注	
			リピート	1 バッファ	(選択全 ch×1 回)×繰り返し	23.3.4.5
				4 バッファ	注	
ハードウェアトリガ	オート(トリガ入力1回で起動)	セレクト	シングル	1 バッファ	選択 1ch×1 回	―
				4 バッファ	選択 1ch×4 回	―
			リピート	1 バッファ	(選択 1ch×1 回)×繰り返し	―
				4 バッファ	(選択 1ch×4 回)×繰り返し	―
		スキャン	シングル	1 バッファ	選択全 ch×1 回	23.3.4.6
				4 バッファ	注	
			リピート	1 バッファ	(選択全 ch×1 回)×繰り返し	
				4 バッファ	注	
	ステップ(トリガ入力ごとに変換を進める)	セレクト	シングル	1 バッファ	選択 1ch×1 回	―
				4 バッファ	選択 1ch×4 回	―
			リピート	1 バッファ	(選択 1ch×1 回)×繰り返し	―
				4 バッファ	(選択 1ch×4 回)×繰り返し	―
		スキャン	シングル	1 バッファ	選択全 ch×1 回	23.3.4.7
				4 バッファ	注	
			リピート	1 バッファ	(選択全 ch×1 回)×繰り返し	―
				4 バッファ	注	

注 スキャンモード時の 4 バッファモードを設定するとチャネル選択エラーが発生します。

23.3.1.1 トリガモード

A/D 変換処理の開始タイミングとなるトリガモードには、ソフトウェアトリガモード、ハードウェアトリガモードの 2 通りがあります。これらのトリガモードは、ADM1.TRG ビットで設定します。

(1) ソフトウェアトリガモード

ADM0.ADCE を 1 に設定することで AIN7-0 端子入力の A/D 変換を開始するモードです。変換動作中は ADM0.ADBSY がハイになります。

ソフトウェアトリガモード設定時のハードウェアトリガは無効です。ソフトウェアトリガモードを使用するときは ADM1.EGA1-0 は 00B を設定してください。ハードウェアトリガが入力された場合は A/D 変換は開始せず、ADSTS.TRGS はローを保持します。

(2) ハードウェアトリガモード

ADTRG 端子、TAPA 及び PIC からのトリガ入力信号で AIN7-0 端子入力の変換を開始するモードです。

ADM1.EGA1-0 により、選択したハードウェアトリガの有効エッジを設定します。
ADM0.ADCE をハイに設定すると、ハードウェアトリガ待機状態となり、ADTRGRDY がハイの期間に有効エッジが検出されると変換動作を開始します。変換動作中は ADM0.ADBSY がハイになります。
ADTRGRDY がローの期間にハードウェアトリガ入力を検出するとトリガ入力禁止期間にトリガ入力があったと判断し、ADSTS.TRGS がハイになります。ADSTS.TRGS のステータスは ADSTS.TRGS をハイにして ADSTS レジスタにライトするとクリアできます。

ハードウェアトリガモードでは、トリガ入力モードとしてオートモードとステップモードを備えています。トリガ入力モードは、ADM1.TRGIN で設定します。

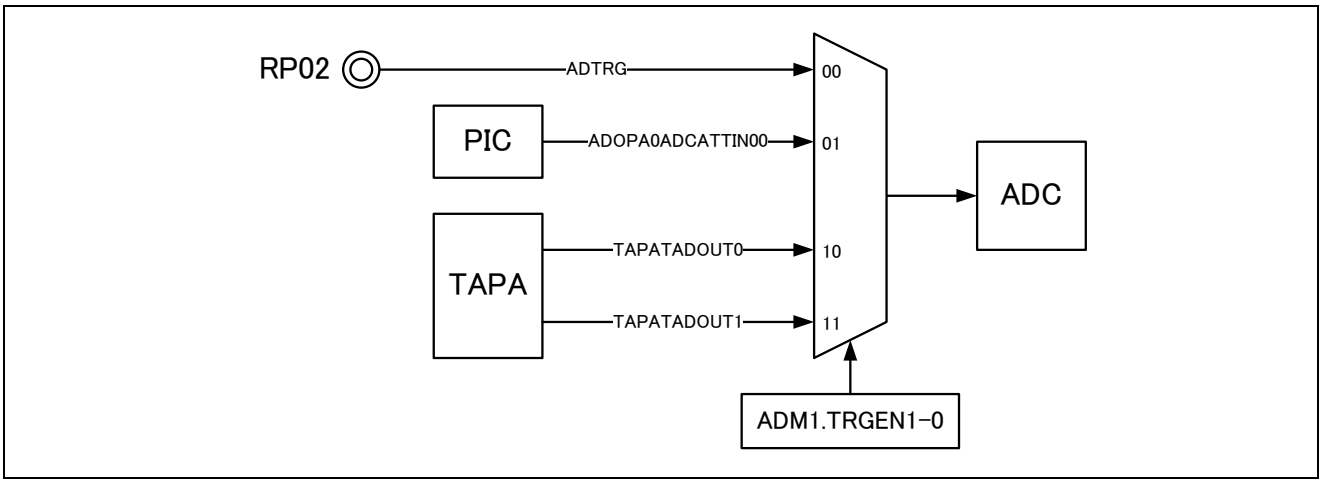


図23.4 トリガ入力信号の接続関係

(a) オートモード

ハードウェアトリガ入力が 1 回入力されると、指定した変換設定で変換回数分を自動で繰り返し変換します。

(b) ステップモード

ハードウェアトリガ入力ごとに A/D 変換を進めます。例えば、動作モードの種類としてセレクトモード／シングル／4 バッファを選択した場合、ハードウェアトリガ入力を 4 回入力すると変換が終了します。

23.3.1.2 動作モード

動作モードには、セレクトモードとスキャンモードの 2 通りがあります。セレクトモードには、サブモードとして、1 バッファモードと 4 バッファモードがあります。これらのモードは、ADM1.BS、ADM1.MS で設定します。

(1) セレクトモード

ADM2.CHSEL7-0 ビットで指定したアナログ入力を A/D 変換します。変換結果は、AIN7-0 端子に対応した ADCR7-0 レジスタに格納します。このモードでは、A/D 変換結果の格納方法として、1 バッファモードと 4 バッファモードを備えています。

セレクトモードでは A/D 変換するチャネルは一つだけ選択できます。

セレクトモードで複数のアナログ入力チャネルを選択した場合はチャネル選択エラーが発生します。

(a) 1 バッファモード

ADM2.CHSEL7-0 にて指定したアナログ入力を 1 回だけ A/D 変換し、その結果を AIN7-0 端子に対応する ADCR7-0 レジスタに格納します。

AIN7-0 端子と ADCR7-0 レジスタは 1 対 1 に対応しています。A/D 変換するチャネルが ADINT.INTEN7-0 で割り込み出力許可にしている場合、1 回の A/D 変換終了ごとに A/D 変換終了割り込みを発生します。

1 回の A/D 変換ごとに結果を読み出すような用途で使用します。

(b) 4 バッファモード

ADM2.CHSEL7-0 で指定したアナログ入力を 4 回 A/D 変換し、その結果を ADCR7-4、ADCR3-0 レジスタに格納します。アナログ入力と A/D 変換レジスタの対応は表23.6を参照願います。

A/D 変換終了割り込みは、1 バッファ時の A/D 変換結果が格納される ADCR7-0 レジスタに相当するチャネルが ADINT.INTEN7-0 で割り込み出力許可になっている場合、ADCR7-0 レジスタに A/D 変換結果を格納した時に発生します。例えば、AIN0 端子を選択し、4 回目の A/D 変換で割り込みを発生させたい場合は ADINT.INTEN3 ビットを 1 に設定します。

4 バッファモード使用時の ADINT レジスタ設定値と A/D 変換完了割り込みの出力動作の関係は表23.5を参照願います。

本モードは、A/D 変換結果の平均を求めるような応用に使用します。

表23.5 4 バッファモード時の ADINT 設定と A/D 変換完了割り込みの発生動作

A/D 変換チャネル	ADINT レジスタの設定値		A/D 変換完了割り込み
AIN3-0 の 1ch を選択	INTEN0	1：割り込み許可	チャネル 0 A/D 変換終了時に割り込みを出力する
		0：割り込み禁止	チャネル 0 A/D 変換終了時に割り込みを出力しない
	INTEN1	1：割り込み許可	チャネル 1 A/D 変換終了時に割り込みを出力する
		0：割り込み禁止	チャネル 1 A/D 変換終了時に割り込みを出力しない
	INTEN2	1：割り込み許可	チャネル 2 A/D 変換終了時に割り込みを出力する
		0：割り込み禁止	チャネル 2 A/D 変換終了時に割り込みを出力しない
	INTEN3	1：割り込み許可	チャネル 3 A/D 変換終了時に割り込みを出力する
		0：割り込み禁止	チャネル 3 A/D 変換終了時に割り込みを出力しない
AIN7-4 の 1ch を選択	INTEN4	1：割り込み許可	チャネル 4 A/D 変換終了時に割り込みを出力する
		0：割り込み禁止	チャネル 4 A/D 変換終了時に割り込みを出力しない
	INTEN5	1：割り込み許可	チャネル 5 A/D 変換終了時に割り込みを出力する
		0：割り込み禁止	チャネル 5 A/D 変換終了時に割り込みを出力しない
	INTEN6	1：割り込み許可	チャネル 6 A/D 変換終了時に割り込みを出力する
		0：割り込み禁止	チャネル 6 A/D 変換終了時に割り込みを出力しない
	INTEN7	1：割り込み許可	チャネル 7 A/D 変換終了時に割り込みを出力する
		0：割り込み禁止	チャネル 7 A/D 変換終了時に割り込みを出力しない

表23.6 4 バッファモード時のアナログ入力と A/D 変換結果レジスタの対応

アナログ入力	A/D 変換結果レジスタ
AIN3-0 の 1ch を選択	ADCR0(1 回目)
	ADCR1(2 回目)
	ADCR2(3 回目)
	ADCR3(4 回目)
AIN7-4 の 1ch を選択	ADCR4(1 回目)
	ADCR5(2 回目)
	ADCR6(3 回目)
	ADCR7(4 回目)

(2) スキャンモード

ADM2.CHSEL7-0 で選択したチャネルを小さいチャネルから順に選択して A/D 変換します。A/D 変換結果は、アナログ入力に対応した ADCR7-0 レジスタに格納します。A/D 変換するチャネルが ADINT.INTEN7-0 で割り込み出力許可にしている場合、そのチャネルの A/D 変換が終了すると A/D 変換終了割り込みが発生します。

複数のアナログ信号を常時監視するような用途で使用します。スキャンモードでは 1 バッファモードのみを指定できます。スキャンモードで 4 バッファモードを指定した場合はチャネル指定エラーが発生します。

23.3.1.3 変換回数

変換回数には、シングルモードとリピートモードがあります。変換回数は、ADM1.RPS で設定します。

(1) シングルモード

変換回数分の A/D 変換が終了すると ADM0.ADCE を自動で 0 にします。変換を行う回数は、「表23.4 A/D 変換モード」の動作説明を参照してください。

(2) リピートモード

ADM0.ADCE にハイ・レベルをライトすると ADM1 レジスタで指定した A/D 変換モードで A/D 変換を繰り返して実行し、ADM0.ADCE にロー・レベルをライトするとその直後に A/D 変換を終了します。

変換を行う回数は、「表23.4 A/D変換モード」の動作説明を参照してください。

23.3.2 割り込み機能

A/D コンバータブリッジの割り込み要因と発生条件、確認、解除方法を表23.7に示します。割り込み要求出力動作は ADINT.INTS で設定します。

表23.7 割り込み機能一覧

割り込み要因	発生条件	割り込み許可	割り込み要因の確認	解除方法
		ADINT レジスタ	ADSTS レジスタ注1	ADSTS レジスタ
A/D 変換完了	指定したチャネルの A/D 変換が完了した	INTEN7-0 注2	INTST7-0	リード時にハイのビットにハイをライト
A/D 変換チャネル選択エラー	A/D 変換開始時に ADM2.CHSEL7-0 が ALL-0 の場合注3 セレクトモード使用時に複数のアナログ入力チャネルを選択しタ場合注3 スキャンモードで 4 バッファモードを指定した場合注3	CSEEN	CSEST	CSEST にハイをライト

注 1. ADINT.INTEN7-0、ADINT.CSEEN の設定とは関係なしに割り込み要因が成立すると ADSTS レジスタの割り込み要因に対応するビットがハイになります。
2. A/D 変換完了の割り込みはチャネルごとに許可/禁止を設定できます。
3. A/D 変換チャネル選択エラーが発生すると ADM0.ADCE ビットがローになって A/D 変換動作は停止します。

23.3.3 A/D 変換手順

A/D 変換は次の手順で行います。

(1) A/D 変換するアナログ入力チャネルの選択、トリガモード（ソフトウェアトリガ、ハードウェアトリガ）、動作モード（セレクト、スキャン）などの指定を、ADM3-0 レジスタによって設定します。注1 ADM0.ADCE を 1 に設定すると、ソフトウェアトリガモード時は A/D 変換を開始します。ハードウェアトリガモード時は、トリガ待機状態注2になります。

注 1. ADM3-0 レジスタの設定は、A/D コンバータ変換停止中（ADM0.ADBSY ビットがロー・レベルのとき）に行ってください。
2. ハードウェアトリガモードの場合、ADM0.ADCE ビットをハイ・レベルに設定すると、トリガ待機状態に遷移します。また A/D 変換動作は、ハードウェアトリガ信号によって起動され(ADM0.ADBSY=1)、A/D 変換動作が終了するとトリガ待機状態(ADM0.ADBSY=0)に戻ります。

(2) A/D 変換を開始します。

(3) A/D 変換が終了したとき、ADCR7-0 レジスタに変換結果が格納されます。また、ADINT.INTEN で指定したチャネルの A/D 変換が終了したとき、A/D 変換終了割り込みを発生します。

23.3.3.1 A/D 変換開始手順

A/D 変換開始は以下のフローで行ってください。

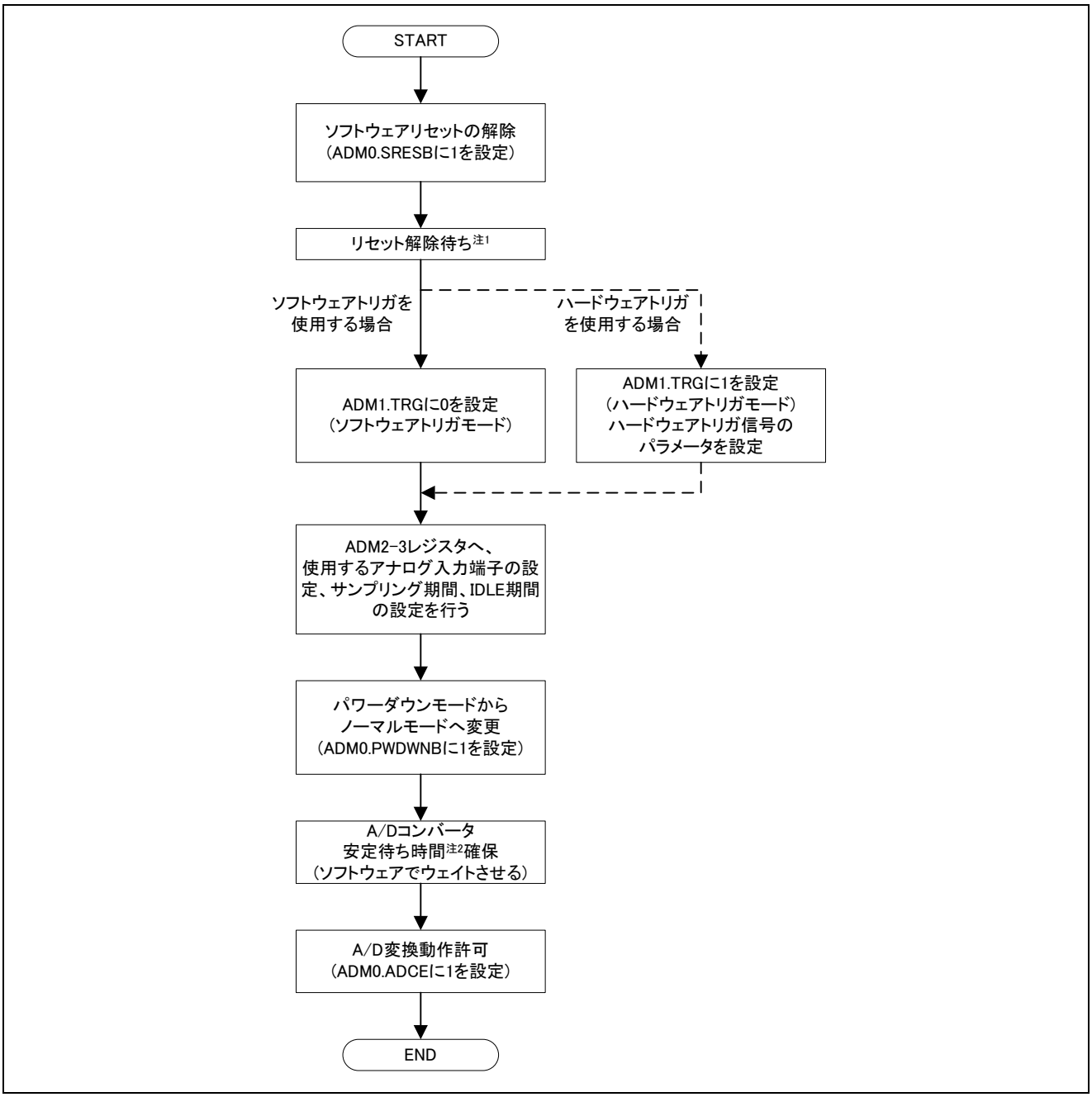


図23.5 A/D 変換開始手順

注 1. リセット解除待ち時間は、「2.3.4 リセット動作」を参照してください。
2. R-IN32M4 での安定待ち時間は、1μs です。

23.3.3.2 A/D 変換停止手順

A/D 変換停止は以下のフローで行ってください。

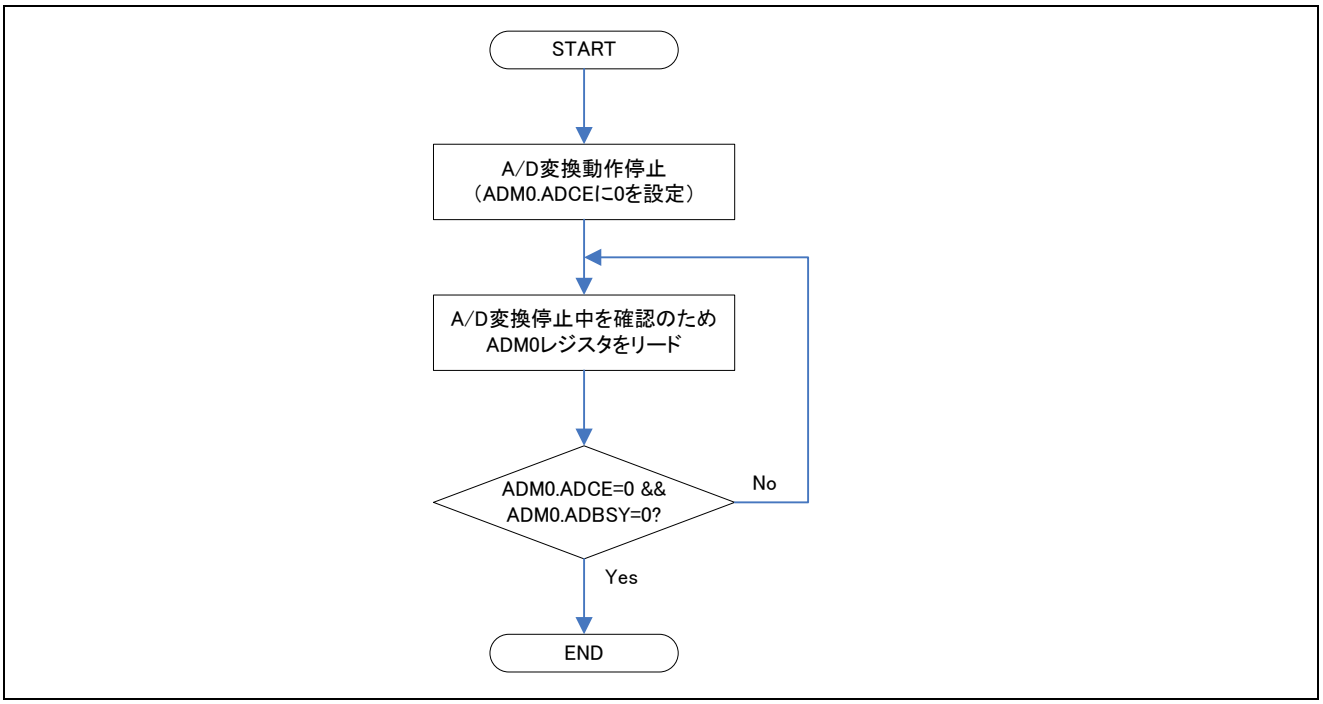


図23.6 A/D 変換停止手順

注 ADCE ビットにローをライトした時の停止動作は「表23.9 ADCEビットでA/D変換を停止、再開したときの動作」を参照願います。

23.3.3.3 A/D 変換停止から A/D 変換再開手順

A/D 変換停止手順で A/D 変換停止してから A/D 変換再開する場合には、以下のフローで行ってください。

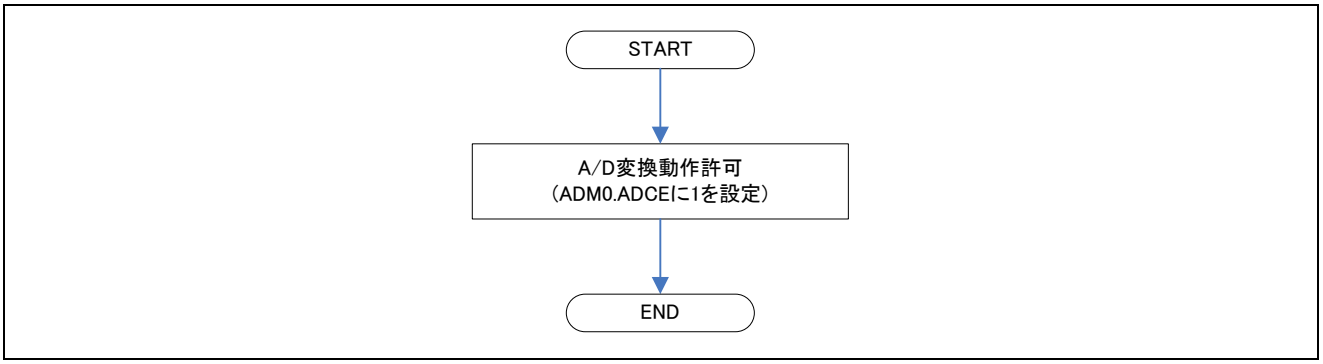


図23.7 A/D 変換停止から A/D 変換再開手順

注 A/D 変換を再開させたときの動作内容は「表23.9 ADCEビットでA/D変換を停止、再開したときの動作」を参照願います。

23.3.3.4 パワーダウン手順

パワーダウンモードへの移行は、以下のフローで行ってください。

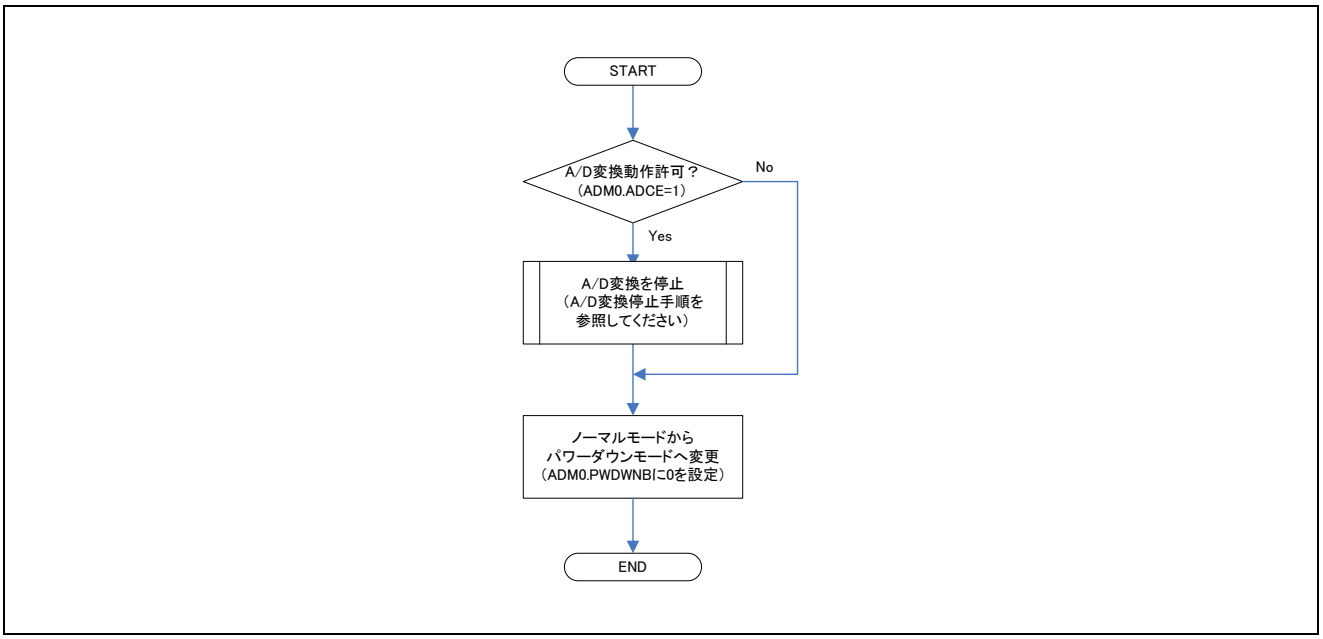


図23.8 パワーダウン手順

23.3.3.5 パワーダウン解除手順

パワーダウンモードの解除は、以下のフローで行ってください。

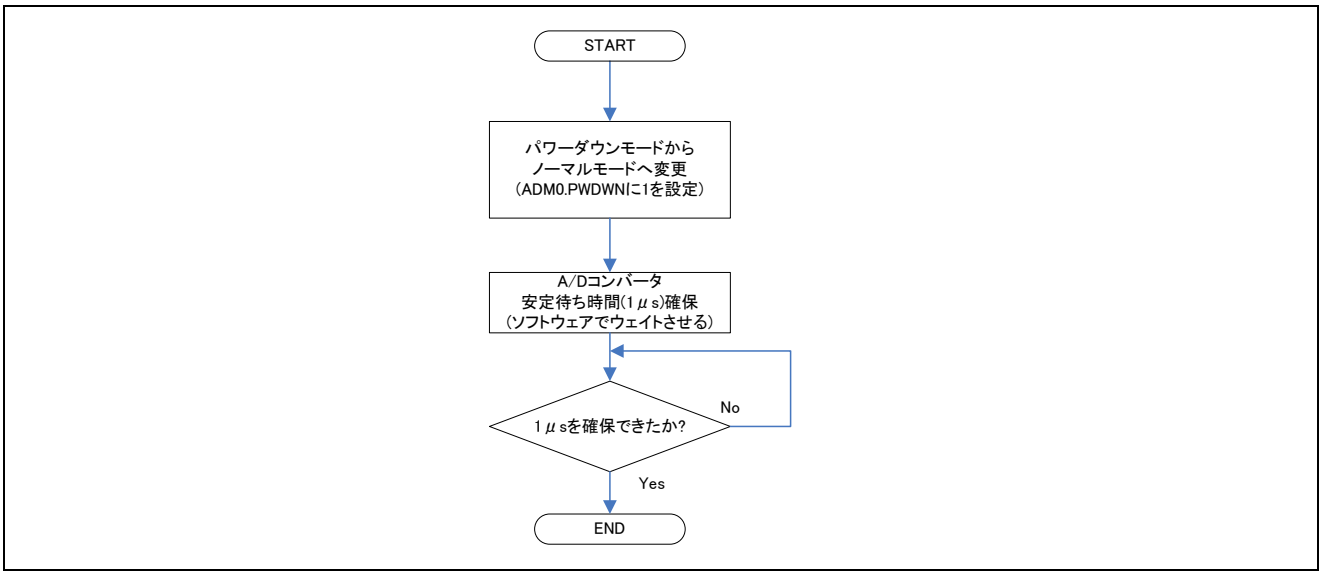


図23.9 パワーダウン解除手順

23.3.3.6 ソフトウェアリセット手順

ソフトウェアリセットを行う場合には、以下のフローで行ってください。

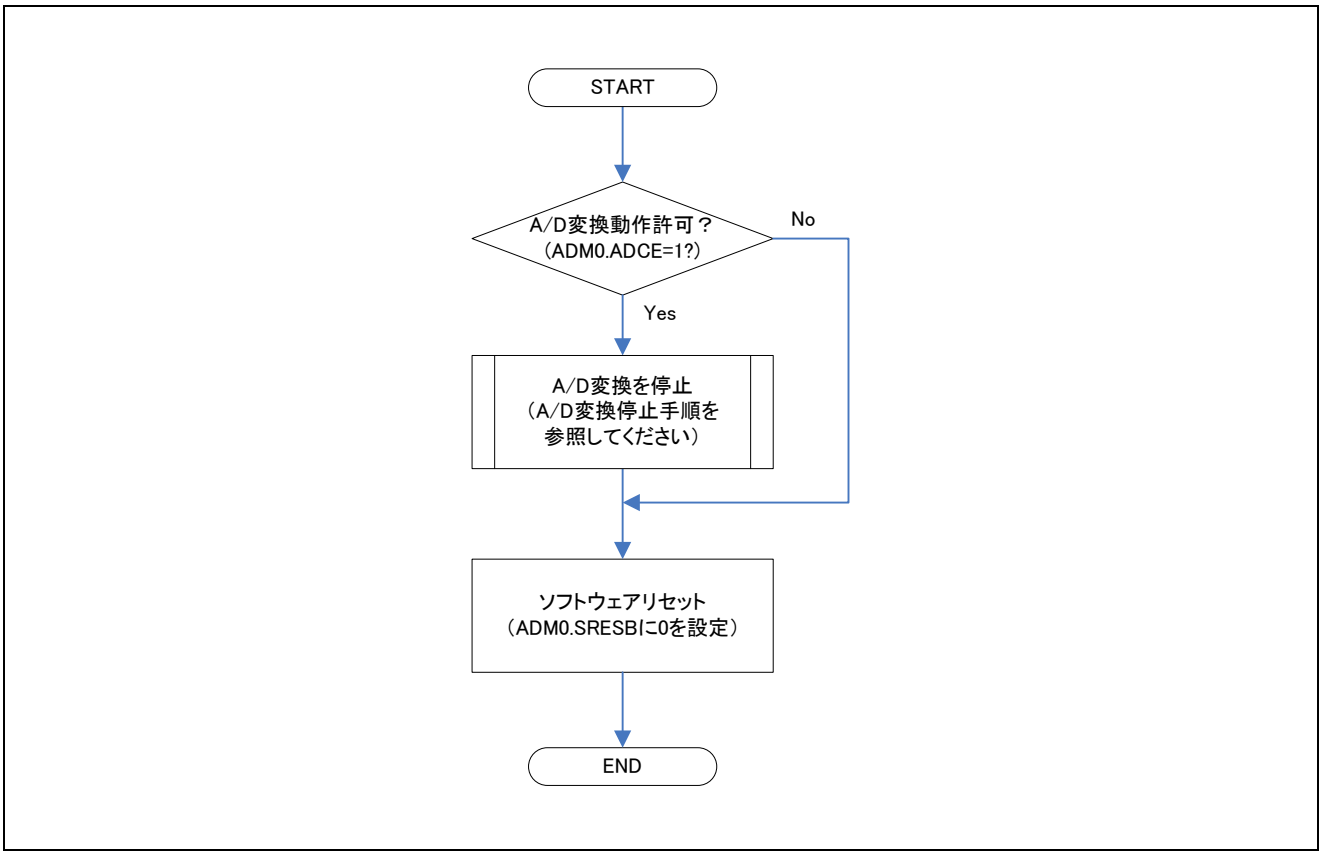


図23.10 ソフトウェアリセット手順

23.3.3.7 ソフトウェアリセットからの A/D 変換再開手順

A/D 変換動作を行った後、ソフトウェアリセット手順でソフトウェアリセットを実行し、再度 A/D 変換を開始する場合は、以下のフローで行ってください。

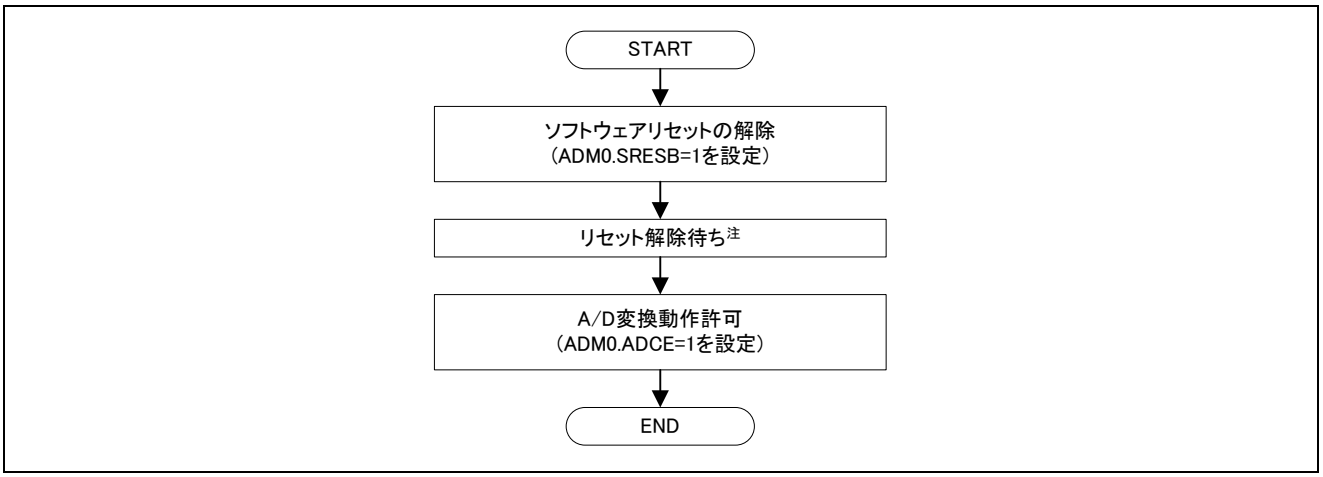


図23.11 ソフトウェアリセットからの A/D 変換再開手順

注 リセット解除待ち時間は、「2.3.4 リセット動作」を参照してください。

23.3.3.8 割り込み処理手順

A/D コンバータブリッジが出力する割り込み要求は図23.12のフローで処理してください。

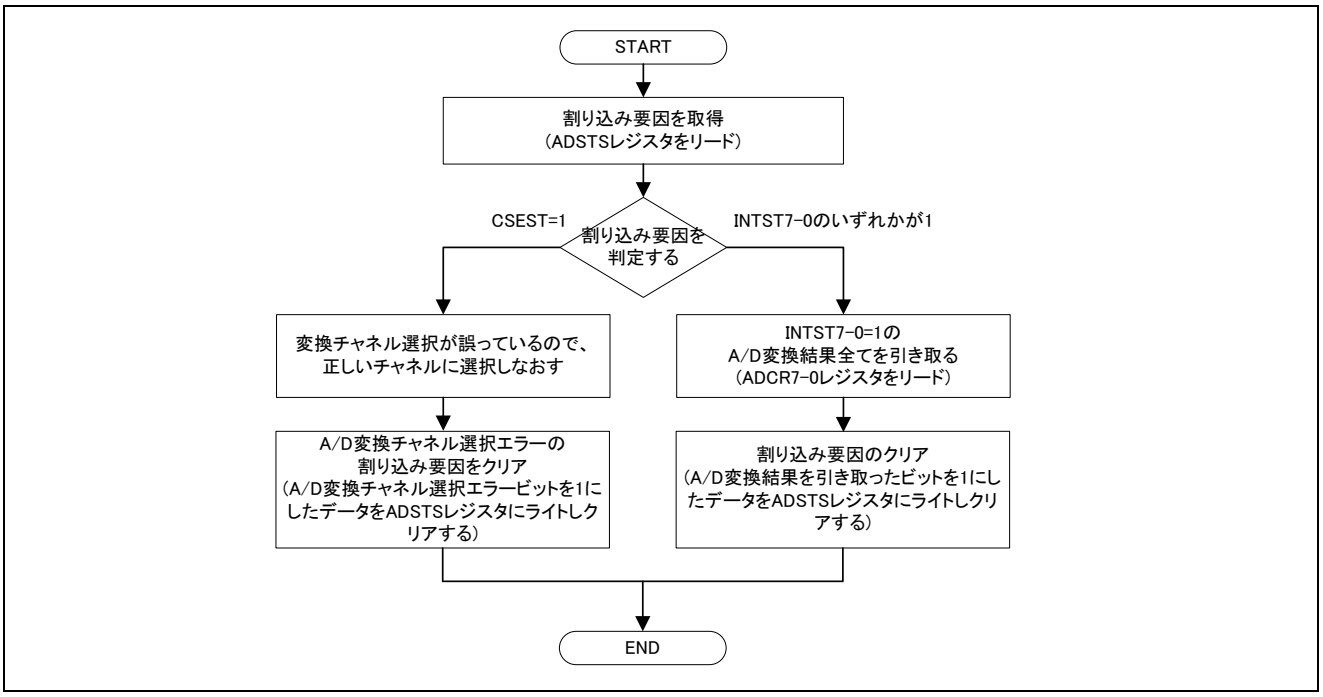


図23.12 割り込み処理手順

23.3.4 A/D 変換例

以下に A/D 変換例の一覧を示します。

(1) セレクトモード／シングルモードによるA/D変換例
(2) セレクトモード／リピートモードによるA/D変換例
(3) 4バッファモードによるA/D変換例
(4) スキャンモード／シングルモードでのA/D変換例
(5) スキャンモード／リピートモードでのA/D変換例
(6) オートモードでのA/D変換例
(7) ステップモードでのA/D変換例

備考 上記は全組み合わせの変換例を記載しておりません。各モードの違いを以下で確認してください。
・1 バッファモードと 4 バッファモードの違いは、(1)と(3)を参照してください。
・シングルモードとリピートモードの違いは、(1)と(2)を参照してください。
・セレクトモードとスキャンモードの違いは、(1)と(4)、または(2)と(5)を参照してください。
・オートモードとステップモードの違いは、(6)と(7)を参照してください。
・ソフトウェアトリガモードとハードウェアトリガモードの違いは、(4)と(6)を参照してください。

23.3.4.1 セレクトモード／シングルモードによる A/D 変換例

ソフトウェアトリガ／セレクトモード／シングルモード／1 バッファモードでの A/D 変換例を図23.13に示します。図23.13ではアナログ入力を AIN1 から AIN2 に変更して変換した例を示します。

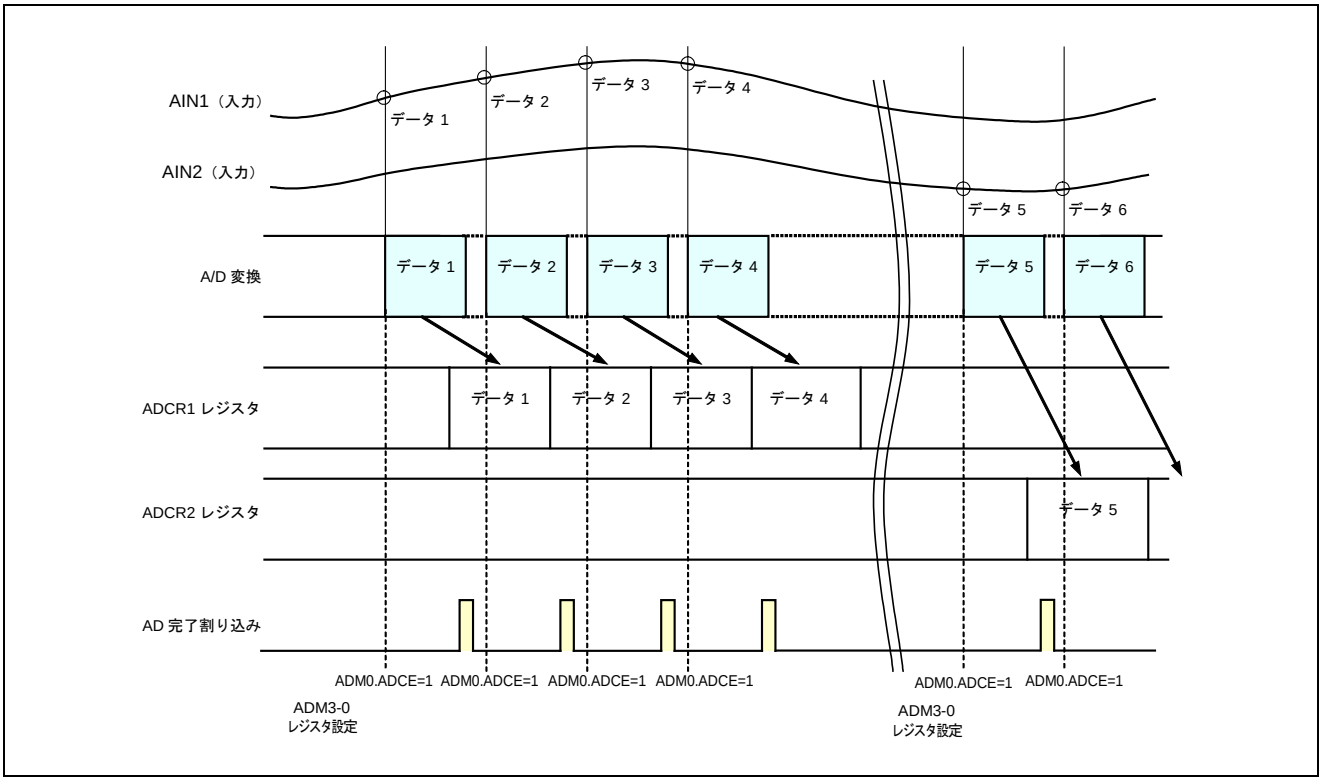


図23.13 セレクトモード／シングルモードによる A/D 変換例

(1) ADM0.SRESB に 1 を設定し、ソフトウェアリセットを解除します。
(2) リセット解除待ち（待ち時間は「2.3.4 リセット動作」を参照してください）。
(3) ADM1/ADM2 レジスタで動作モードを設定します。
・ADM1.TRG=0 で、ソフトウェアトリガモードに設定
・ADM1.MS=1 で、セレクトモードに設定
・ADM1.RPS=0 で、シングルモードに設定
・ADM1.BS=0 で、1 バッファモードに設定
・ADM2.CHSEL1=1 で、アナログ入力端子 AIN1 に設定
(4) ADINT.INTS=0 で、割り込み信号をパルス信号に設定し、ADINT.INTEN1=1 で、チャネル 1 の割り込み出力を許可に設定します。
(5) ADM0.PWDWNB=1 で、ノーマルモードに設定します。
(6) ソフトウェアで安定待ち時間(1μs)以上ウェイトさせます。
(7) ADM0.ADCE=1 で、A/D 変換動作許可（A/D 変換開始）します。
(8) AIN1 を A/D 変換します（A/D 変換結果は ADCR1 レジスタに格納されます）。
(9) A/D 変換完了割り込みが発生します。
(10) 上記（7）～（9）を繰り返し実行させます。
(11) ADM0.ADCE=0 で、A/D 変換動作を停止します。
(12) ADM1/ADM2 レジスタで動作モードを設定します。
・ADM1.TRG=0 で、ソフトウェアトリガモードに設定
・ADM1.MS=1 で、セレクトモードに設定
・ADM1.RPS=0 で、シングルモードに設定
・ADM1.BS=0 で、1 バッファモードに設定
・ADM2.CHSEL2=1 で、アナログ入力端子 AIN2 に設定
(13) ADM0.ADCE=1 で、A/D 変換動作許可（A/D 変換開始）します。
(14) AIN2 を A/D 変換します（A/D 変換結果は ADCR2 レジスタに格納されます）。
(15) A/D 変換完了割り込みが発生します。
(16) 上記（13）～（15）を繰り返し実行させます。

23.3.4.2 セレクトモード／リピートモードによる A/D 変換例

ソフトウェアトリガ／セレクトモード／リピートモード／1 バッファモードでの A/D 変換例を図23.14に示します。図23.14ではアナログ入力を AIN1 から AIN2 に変更して変換した例を示します。

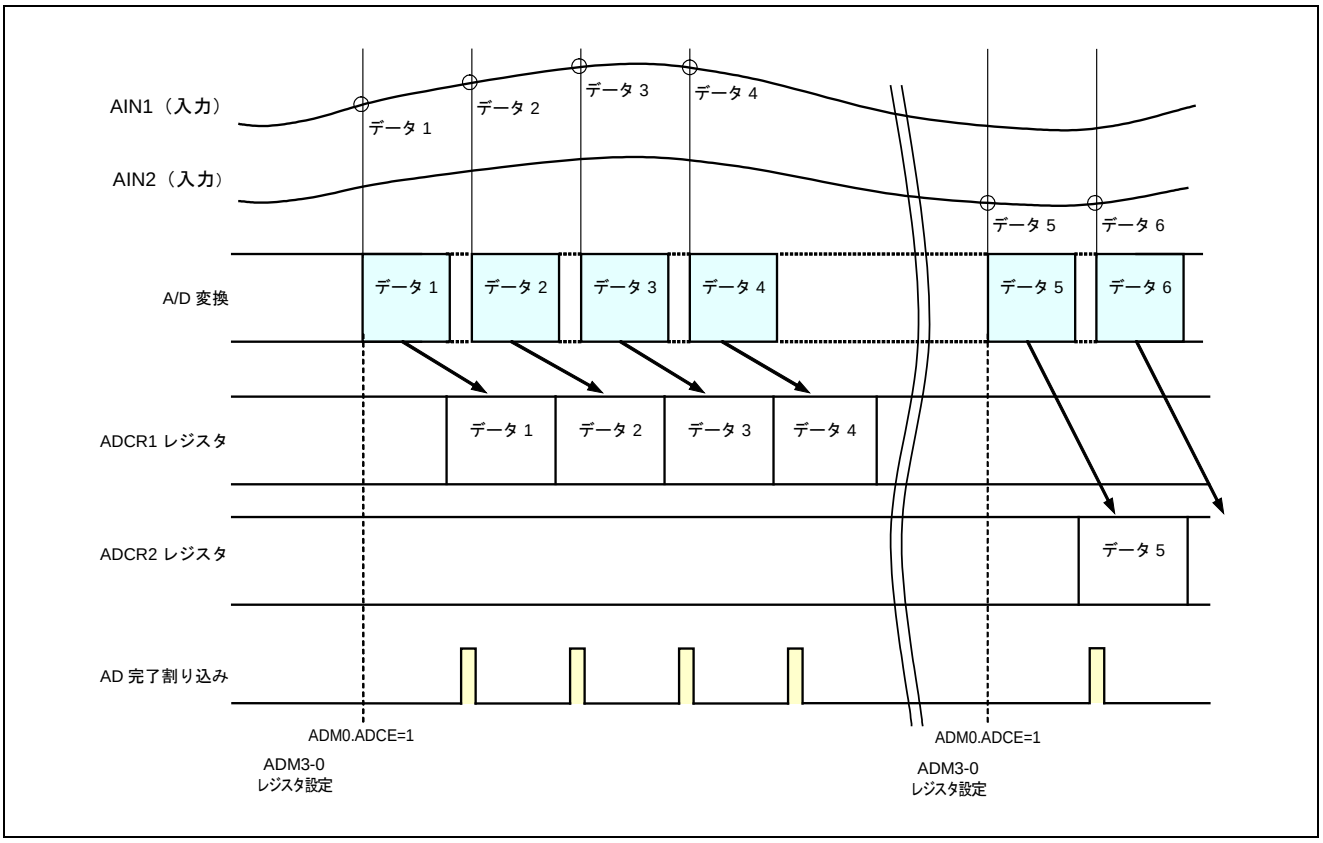


図23.14 セレクトモード／リピートモードによる A/D 変換例

(1) ADM0.SRESB を 1 に設定し、ソフトウェアリセットを解除します。
(2) リセット解除待ち（待ち時間は「2.3.4 リセット動作」を参照してください）。
(3) ADM1/ADM2 レジスタで動作モードを設定します。
・ADM1.TRG=0 で、ソフトウェアトリガモードに設定
・ADM1.MS=1 で、セレクトモードに設定
・ADM1.RPS=1 で、リピートモードに設定
・ADM1.BS=0 で、1 バッファモードに設定
・ADM2.CHSEL1=1 で、アナログ入力端子 AIN1 に設定
(4) ADINT.INTS=0 で、割り込み信号をパルス信号に設定し、ADSTS.INTEN1=1 で、チャネル 1 の割り込み出力を許可に設定します。
(5) ADM0.PWDWNB=1 で、ノーマルモードに設定します。
(6) ソフトウェアで安定待ち時間(1μs)以上ウェイトさせます。
(7) ADM0.ADCE=1 で、A/D 変換動作許可（A/D 変換開始）します。
(8) AIN1 を A/D 変換（A/D 変換結果は ADCR1 レジスタに格納されます）。
(9) A/D 変換完了割り込みが発生します。
(10) 上記（8）～（9）を自動で繰り返します。
(11) ADM0.ADCE=0 で、A/D 変換動作を停止します。
(12) ADM1/ADM2 レジスタで動作モードを設定します。
・ADM1.TRG=0 で、ソフトウェアトリガモードに設定
・ADM1.MS=1 で、セレクトモードに設定
・ADM1.RPS=1 で、リピートモードに設定
・ADM1.BS=0 で、1 バッファモードに設定
・ADM2.CHSEL2=1 で、アナログ入力端子 AIN2 に設定
(13) ADM0.ADCE=1 で、A/D 変換動作許可（開始）します。
(14) AIN2 を A/D 変換（A/D 変換結果は ADCR2 レジスタに格納されます）。
(15) A/D 変換完了割り込みが発生します。
(16) 上記（14）～（15）の繰り返し実行させます。

23.3.4.3 4 バッファモードによる A/D 変換例

ソフトウェアトリガ／セレクトモード／リピートモード／4 バッファモードでの A/D 変換例を図23.15に示します。図23.15ではアナログ入力を AIN2 から AIN4 に変更して変換した例を示します。

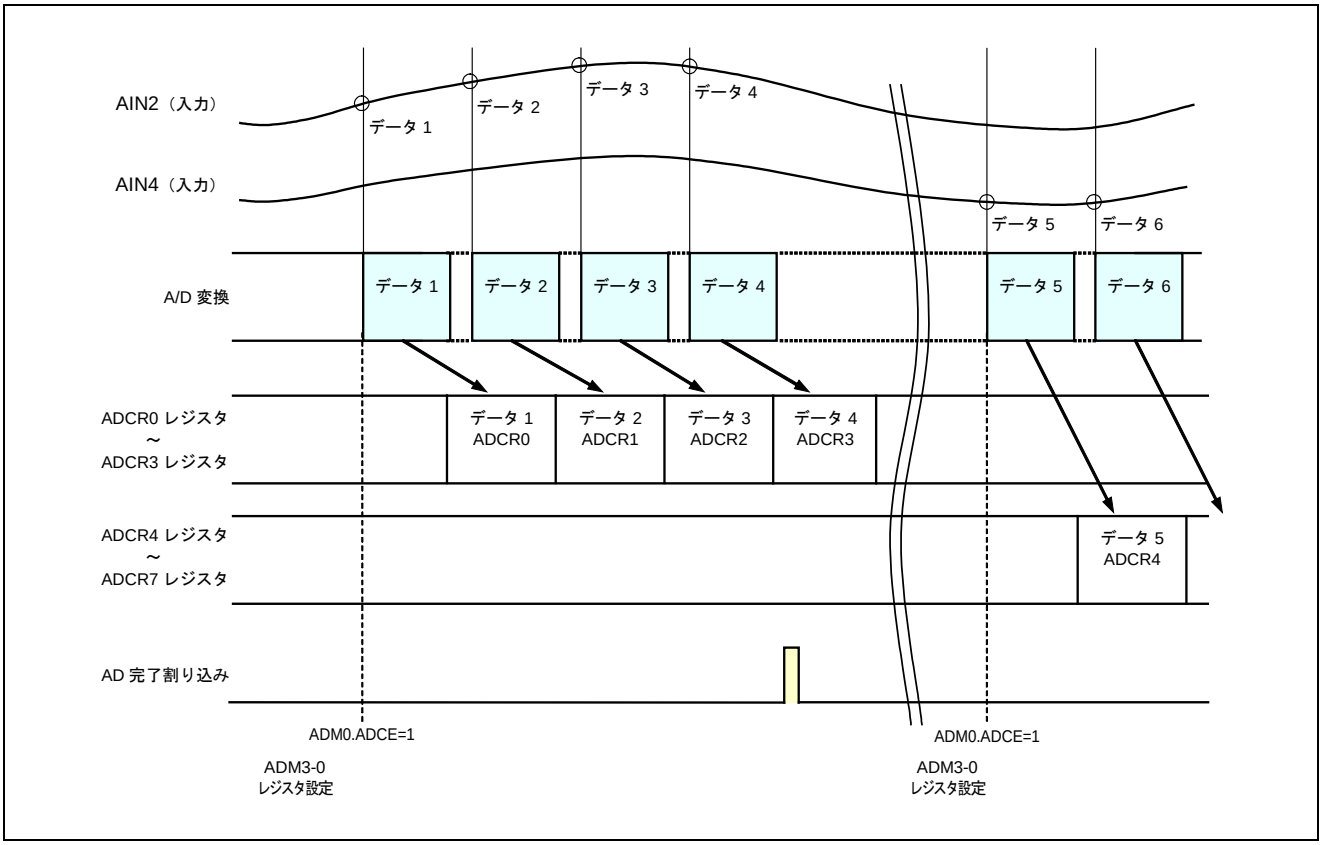


図23.15 4 バッファモードによる A/D 変換例

(1) ADM0.SRESB を 1 に設定し、ソフトウェアリセットを解除します。
(2) リセット解除待ち（待ち時間は「2.3.4 リセット動作」を参照してください）。
(3) ADM1/ADM2 レジスタで動作モードを設定します。
・ADM1.TRG=0 で、ソフトウェアトリガモードに設定
・ADM1.MS=1 で、セレクトモードに設定
・ADM1.RPS=1 で、リピートモードに設定
・ADM1.BS=1 で、4 バッファモードに設定
・ADM2.CHSEL2=1 で、アナログ入力端子 AIN2 に設定
(4) ADINT.INTS=0 で、割り込み信号をパルス信号に設定し、ADINT.INTEN3=1 で、チャネル 3 の割り込み出力を許可に設定します。
(5) ADM0.PWDWNB=1 で、ノーマルモードに設定します。
(6) ソフトウェアで安定待ち時間(1μs)以上ウェイトさせます。
(7) ADM0.ADCE=1 で、A/D 変換動作許可（A/D 変換開始）します。
(8) AIN2 を A/D 変換（A/D 変換結果（データ 1）は ADCR0 レジスタに格納されます）。
(9) AIN2 を A/D 変換（A/D 変換結果（データ 2）は ADCR1 レジスタに格納されます）。
(10) AIN2 を A/D 変換（A/D 変換結果（データ 3）は ADCR2 レジスタに格納されます）。
(11) AIN2 を A/D 変換（A/D 変換結果（データ 4）は ADCR3 レジスタに格納されます）。
(12) A/D 変換完了割り込みが発生します。
(13) 上記（8）～（12）を自動で繰り返します。
(14) ADM0.ADCE=0 で、A/D 変換動作を停止します。
(15) ADM1/ADM2 レジスタで動作モードを設定します。
・ADM1.TRG=0 で、ソフトウェアトリガモードに設定
・ADM1.MS=1 で、セレクトモードに設定
・ADM1.RPS=1 で、リピートモードに設定
・ADM1.BS=1 で、4 バッファモードに設定
・ADM2.CHSEL4=1 で、アナログ入力端子 AIN4 に設定
(16) ADM0.ADCE=1 で、A/D 変換動作許可（A/D 変換開始）します。
(17) AIN4 を A/D 変換（A/D 変換結果（データ 5）は ADCR4 レジスタに格納されます）。
(18) AIN4 を A/D 変換（A/D 変換結果（データ 6）は ADCR5 レジスタに格納されます）。
(19) AIN2 を A/D 変換（A/D 変換結果（データ 7）は ADCR6 レジスタに格納されます）。
(20) AIN2 を A/D 変換（A/D 変換結果（データ 8）は ADCR7 レジスタに格納されます）。
(21) A/D 変換完了割り込みが発生します。
(22) 上記（17）～（21）を自動で繰り返します。

23.3.4.4 スキャンモード／シングルモードでの A/D 変換例

ソフトウェアトリガ／スキャンモード／シングルモードでの A/D 変換例を図23.16以下に示します。図23.16では AIN3-0 を選択して変換した例を示します。

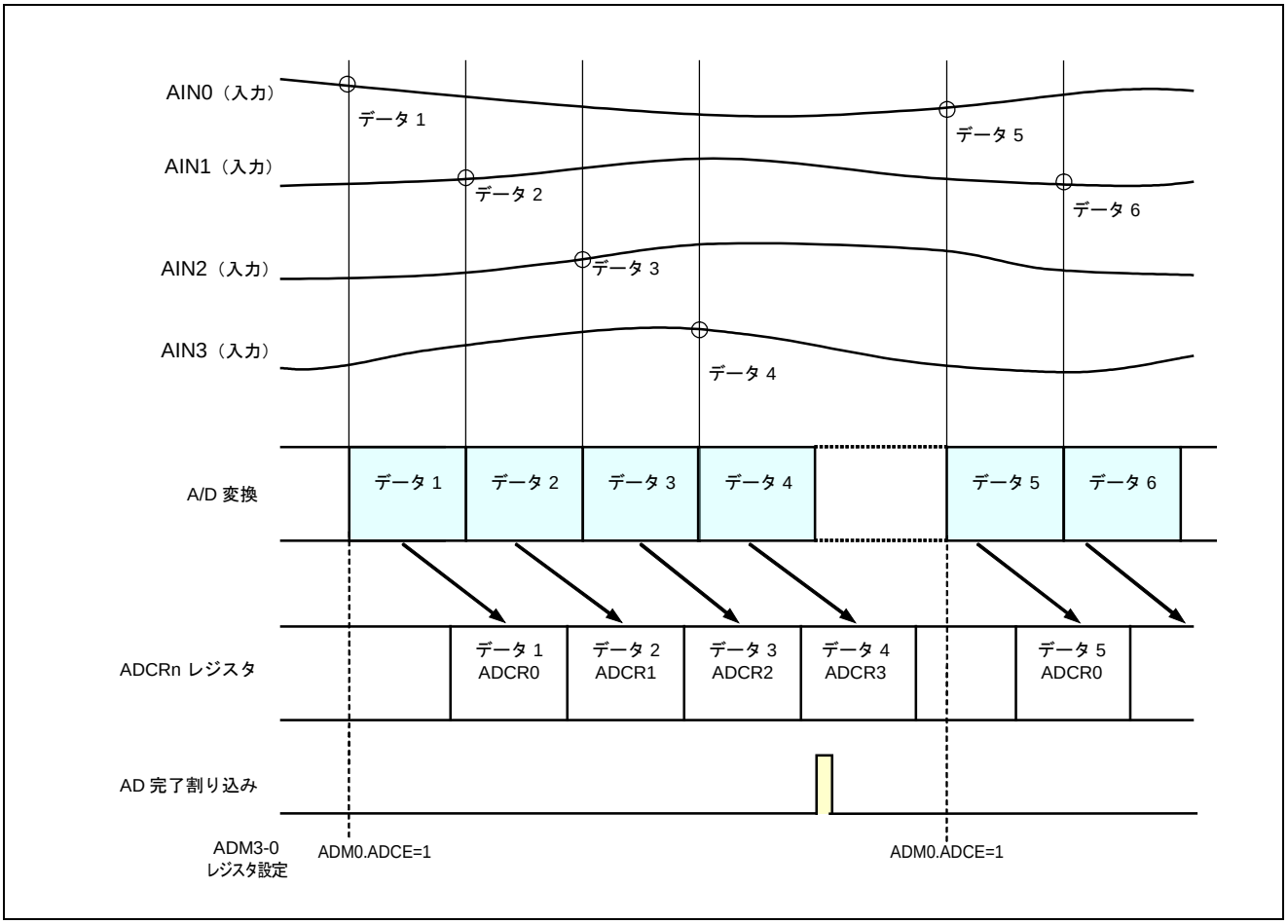


図23.16 スキャンモード／シングルモードでの A/D 変換例

（1） ADM0.SRESB を 1 に設定し、ソフトウェアリセットを解除します。
（2） リセット解除待ち（待ち時間は「2.3.4 リセット動作」を参照してください）。
（3） ADM1/ADM2 レジスタで動作モードを設定します。
・ADM1.TRG=0 で、ソフトウェアトリガモードに設定
・ADM1.MS=0 で、スキャンモードに設定
・ADM1.RPS=0 で、シングルモードに設定
・ADM2.CHSEL3-0=1111B で、アナログ入力端子 AIN3-0 に設定
（4） ADINT.INTS=0 で、割り込み信号をパルス信号に設定し、ADSTS.INTEN3=1 で、チャネル 3 の割り込み出力を許可に設定します。
（5） ADM0.PWDWNB=1 で、ノーマルモードに設定します。
（6） ソフトウェアで安定待ち時間(1μs)以上ウェイトさせます。
（7） ADM0.ADCE=1 で、A/D 変換動作許可（A/D 変換開始）します。
（8） AIN0 を A/D 変換（A/D 変換結果（データ 1）は ADCR0 レジスタに格納されます）。
（9） AIN1 を A/D 変換（A/D 変換結果（データ 2）は ADCR1 レジスタに格納されます）。
（10） AIN2 を A/D 変換（A/D 変換結果（データ 3）は ADCR2 レジスタに格納されます）。
（11） AIN3 を A/D 変換（A/D 変換結果（データ 4）は ADCR3 レジスタに格納されます）。
（12） A/D 変換完了割り込みが発生します。
（13） 上記（7）～（12）を繰り返し実行させます。

23.3.4.5 スキャンモード／リピートモードでの A/D 変換例

ソフトウェアトリガ／スキャンモード／リピートモードでの A/D 変換例を図23.17に示します。図23.17ではAIN3-0 を選択して変換した例を示します。

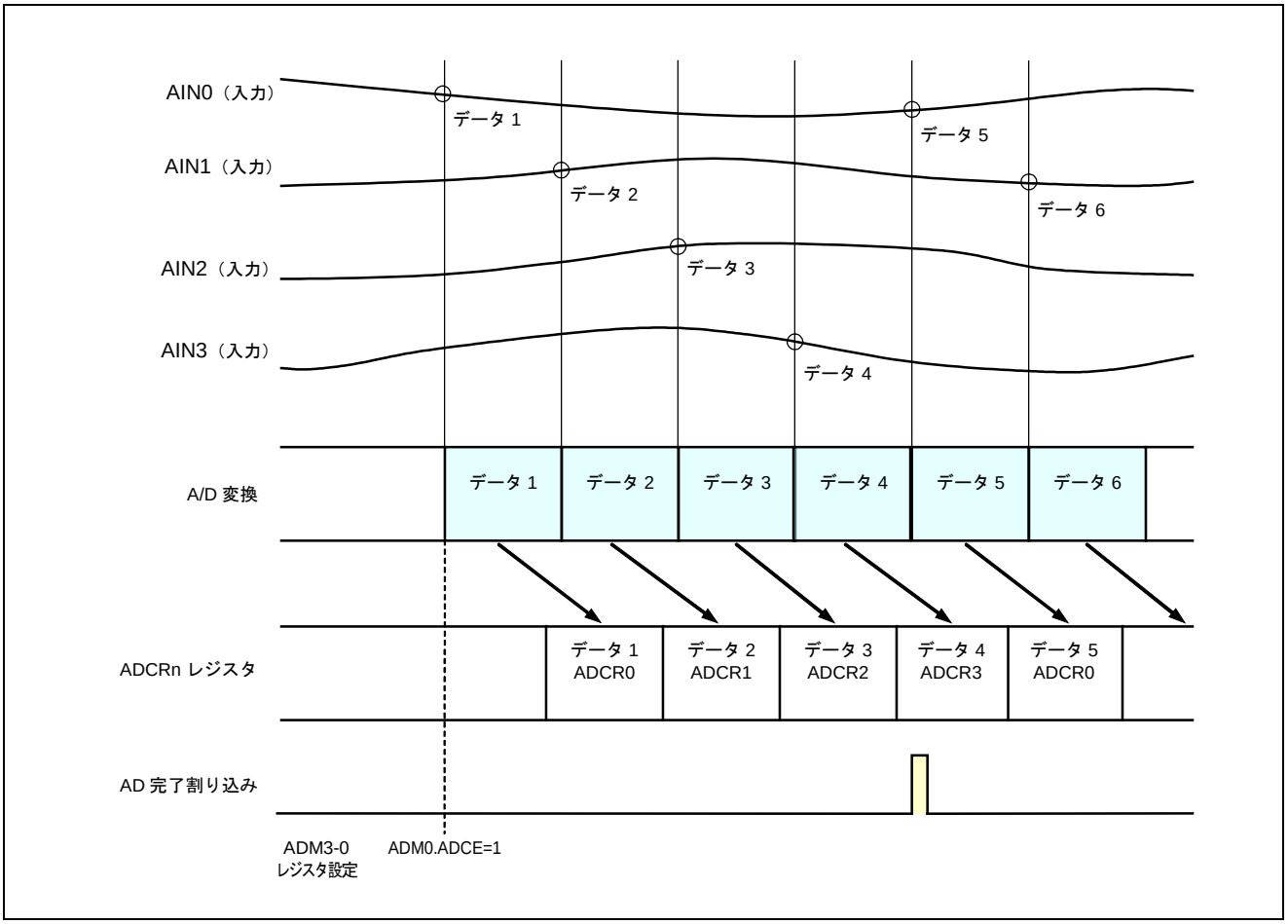


図23.17 スキャンモード／リピートモードでの A/D 変換例

(1) ADM0.SRESB を 1 に設定し、ソフトウェアリセットを解除します。
(2) リセット解除待ち（待ち時間は「2.3.4 リセット動作」を参照してください）。
(3) ADM1/ADM2 レジスタで動作モードを設定します。
・ADM1.TRG=0 で、ソフトウェアトリガモードに設定
・ADM1.MS=0 で、スキャンモードに設定
・ADM1.RPS=1 で、リピートモードに設定
・ADM2.CHSEL3-0=1111b で、アナログ入力端子 AIN3-0 に設定
(4) ADINT.INTS=0 で、割り込み信号をパルス信号に設定し、ADSTS.INTEN3=1 で、チャネル 3 の割り込み出力を許可に設定します。
(5) ADM0.PWDWNB=1 で、ノーマルモードに設定します。
(6) ソフトウェアで安定待ち時間(1μs)以上ウェイトさせます。
(7) ADM0.ADCE=1 で、A/D 変換動作許可（A/D 変換開始）します。
(8) AIN0 を A/D 変換（A/D 変換結果（データ 1）は ADCR0 レジスタに格納されます）。
(9) AIN1 を A/D 変換（A/D 変換結果（データ 2）は ADCR1 レジスタに格納されます）。
(10) AIN2 を A/D 変換（A/D 変換結果（データ 3）は ADCR2 レジスタに格納されます）。
(11) AIN3 を A/D 変換（A/D 変換結果（データ 4）は ADCR3 レジスタに格納されます）。
(12) A/D 変換完了割り込みが発生します。
(13) 上記（8）～（12）を自動で繰り返します。

23.3.4.6 オートモードでの A/D 変換例

ハードウェアトリガ／オートモード／スキャンモード／シングルモードでの A/D 変換例を図23.18に示します。図23.18では AIN3-0 を選択して変換した例を示します。

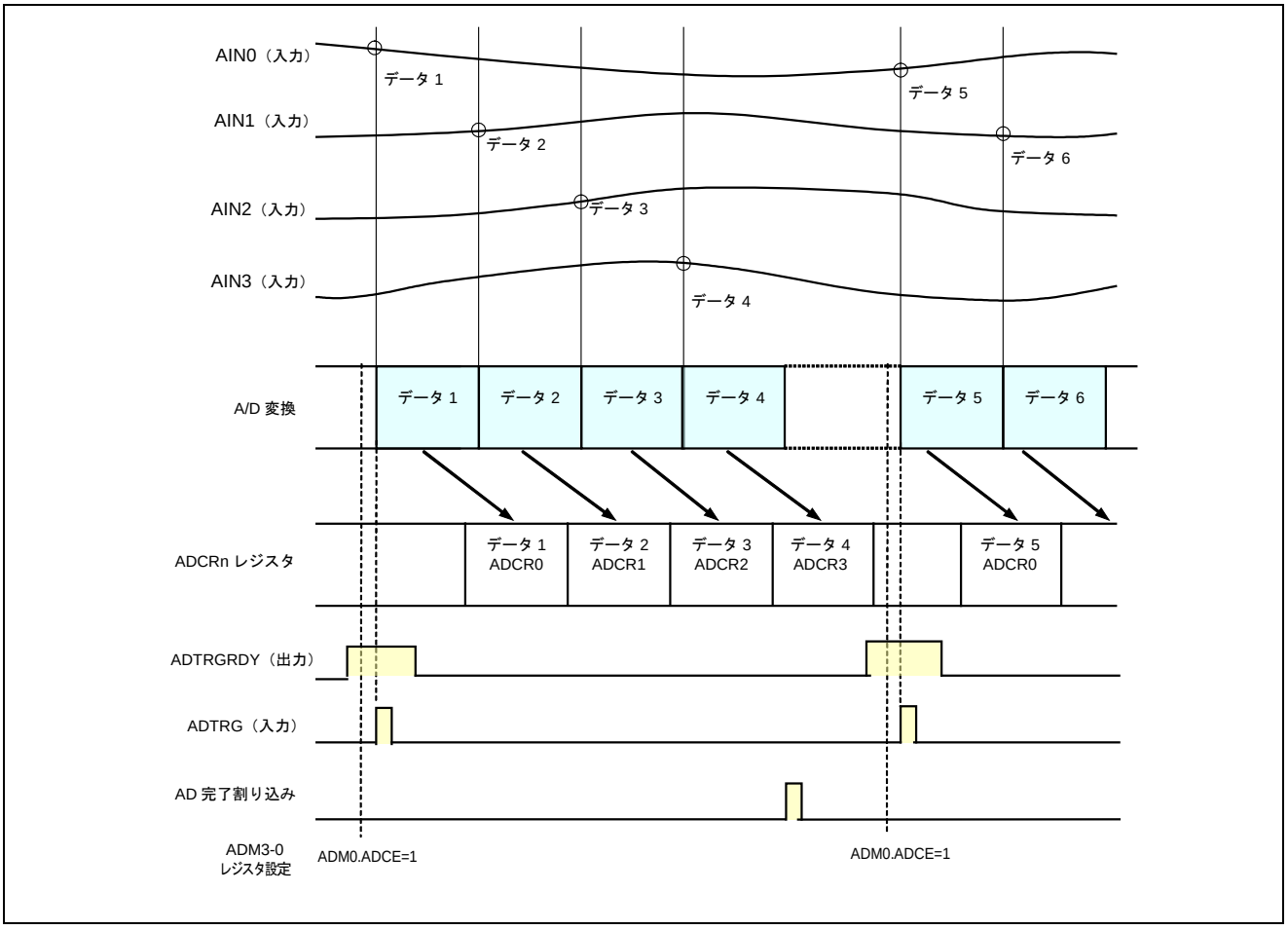


図23.18 オートモードでの A/D 変換例

(1) ADM0.SRESB を 1 に設定し、ソフトウェアリセットを解除します。
(2) リセット解除待ち（待ち時間は「2.3.4 リセット動作」を参照してください）。
(3) ADM1/ADM2 レジスタで動作モードを設定します。
・ADM1.TRG=1 で、ハードウェアトリガモードに設定
・ADM1.TRGIN=0 で、オートモードに設定
・ADM1.MS=0 で、スキャンモードに設定
・ADM1.RPS=0 で、シングルモードに設定
・ADM1.TRGEN1-0=00b で、ADTRG（外部トリガ入力）を有効に設定
・ADM1.EGA1-0=10b で、立ち上がりエッジ検出に設定
・ADM2.CHSEL3-0=1111b で、アナログ入力端子 AIN3-0 に設定
(4) ADINT.INTS=0 で、割り込み信号をパルス信号に設定し、ADSTS.INTEN3=1 で、チャネル 3 の割り込み出力を許可に設定します。
(5) ADM0.PWDWNB=1 で、ノーマルモードに設定します。
(6) ソフトウェアで安定待ち時間(1μs)以上ウェイトさせます。
(7) ADM0.ADCE=1 で、A/D 変換動作許可（A/D 変換開始）します。
(8) ADTRGRDY=1 の期間に ADTRG に立ち上がりパルス入力（A/D 変換開始）します。
(9) AIN0 を A/D 変換（A/D 変換結果（データ 1）は ADCR0 レジスタに格納されます）。
(10) AIN1 を A/D 変換（A/D 変換結果（データ 2）は ADCR1 レジスタに格納されます）。
(11) AIN2 を A/D 変換（A/D 変換結果（データ 3）は ADCR2 レジスタに格納されます）。
(12) AIN3 を A/D 変換（A/D 変換結果（データ 4）は ADCR3 レジスタに格納されます）。
(13) A/D 変換完了割り込みが発生します。
(14) 上記（7）～（13）を繰り返し実行させます。

23.3.4.7 ステップモードでの A/D 変換例

ハードウェアトリガ／ステップモード／スキャンモード／シングルモードでの A/D 変換例を図23.19に示します。図23.19では AIN3-0 を選択して変換した例を示します。

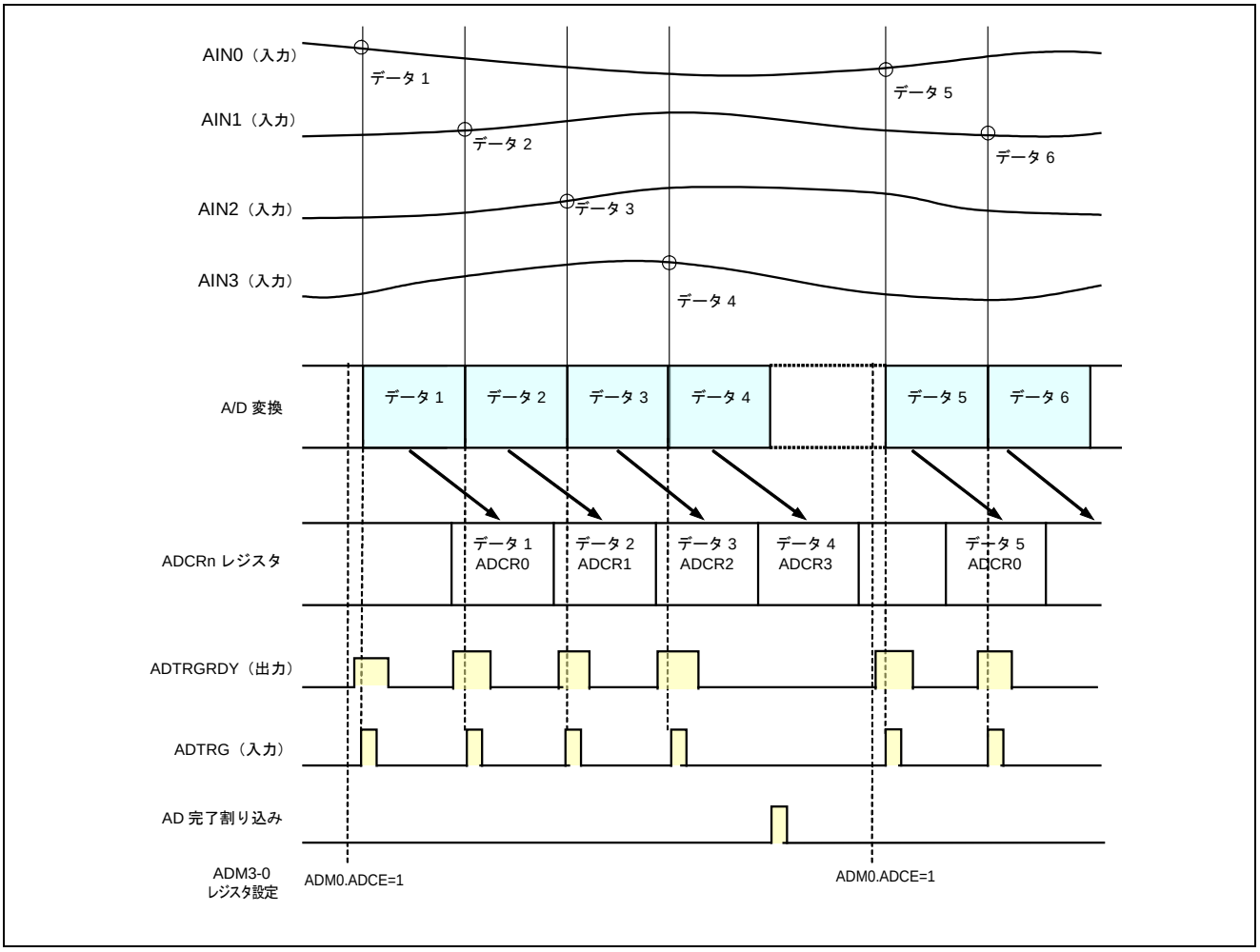


図23.19 ステップモードでの A/D 変換例

(1) ADM0.SRESB を 1 に設定し、ソフトウェアリセットを解除します。
(2) リセット解除待ち（待ち時間は「2.3.4 リセット動作」を参照してください）。
(3) ADM3-0 レジスタで、ハードウェアトリガ／ステップモード／スキャンモード／リピートモード、アナログ入力端子 AIN3-0、ADTRG 端子のトリガを有効、ハードウェアトリガ立ち上がりエッジ検出に設定
ADM1/ADM2 レジスタで動作モードを設定します。
・ADM1.TRG=1 で、ハードウェアトリガモードに設定
・ADM1.TRGIN=1 で、ステップモードに設定
・ADM1.MS=0 で、スキャンモードに設定
・ADM1.RPS=0 で、シングルモードに設定
・ADM1.TRGEN1-0=00b で、ADTRG（外部トリガ入力）を有効に設定
・ADM1.EGA1-0=10b で、立ち上がりエッジ検出に設定
・ADM2.CHSEL3-0=1111b で、アナログ入力端子 AIN3-0 に設定
(4) ADINT.INTS=0 で、割り込み信号をパルス信号に設定し、ADSTS.INTEN3=1 で、チャネル 3 の割り込み出力を許可に設定します。
(5) ADM0.PWDWNB=1 で、ノーマルモードに設定します。
(6) ソフトウェアで安定待ち時間(1μs)以上ウェイトさせます。
(7) ADM0.ADCE=1 で、A/D 変換動作許可（A/D 変換開始）します。
(8) ADTRGRDY=1 の期間に ADTRG に立ち上がりパルス入力（A/D 変換開始）します。
(9) AIN0 を A/D 変換（A/D 変換結果（データ 1）は ADCR0 レジスタに格納されます）。
(10) ADTRGRDY=1 の期間に ADTRG に立ち上がりパルス入力（A/D 変換開始）します。
(11) AIN1 を A/D 変換（A/D 変換結果（データ 2）は ADCR1 レジスタに格納されます）。
(12) ADTRGRDY=1 の期間に ADTRG に立ち上がりパルス入力（A/D 変換開始）します。
(13) AIN2 を A/D 変換（A/D 変換結果（データ 3）は ADCR2 レジスタに格納されます）。
(14) ADTRGRDY=1 の期間に ADTRG に立ち上がりパルス入力（A/D 変換開始）します。
(15) AIN3 を A/D 変換（A/D 変換結果（データ 4）は ADCR3 レジスタに格納されます）。
(16) A/D 変換完了割り込みを発生します。
(17) 上記（7）～（16）を繰り返し実行させます。

23.4 注意事項

23.4.1 ハードウェアトリガの間隔

ハードウェアトリガモード時のトリガのインターバル（入力時間の間隔）は、A/D 変換期間より長くしてください。A/D 変換期間は、「23.2.4. A/Dコンバータモードレジスタ3 (ADM3)」を参照してください。

23.4.2 タイミング制限

本 A/D コンバータブリッジには非同期対策回路に起因するタイミング間隔制限があり、表23.8に示す制限を満たす必要があります。この間隔未満でアクセスした場合は A/D 変換クロック(ADCLK)側にレジスタ更新の通知が伝わりませんので、内部バスクロック(PCLK)側のレジスタ値が ADCLK 側のレジスタに反映されません。

表23.8 タイミング間隔制限

条件	制限
同一のレジスタに連続して書き込みを実行する場合	(書き込みアクセス間隔) ≧ (6×PCLK + 6×ADCLK)
A/D 変換間隔	(A/D 変換期間+IDLE 期間) ≧ (6×PCLK + 6×ADCLK)

備考 A/D 変換期間と IDLE 期間は「図23.2 ADM3レジスタとA/D変換期間との対応」を参照して下さい。

23.4.3 A/D 変換を停止、再開した時の動作

ADM0.ADCE=0 をライトすると A/D コンバータマクロは A/D 変換を停止します。

ADM0.ADCE に一度 0 をライトした後に再度 1 をライトすると A/D 変換を再開します。停止指示をしても A/D 変換はすぐに停止しない場合があります。この停止動作を次頁の表に示します。また、停止してから再開した時の A/D 変換動作についても示します。

表23.9 ADCE ビットで A/D 変換を停止、再開したときの動作

A/D 変換モード					ADCE=0 での停止指示時の停止タイミング	再開動作
トリガ		動作モード	変換回数	バッファ数		
モード	入力					
ソフト	-	セレクト	シングル	1	1 回変換終了後に停止	ADM2.CHSEL*で選択したチャネルを実行
				4	4 回変換途中の停止指示があった A/D 変換終了後に停止	
			リピート	1	1 回変換終了後に停止	
				4	4 回変換途中の停止指示タイミングの A/D 変換終了後に停止	
		スキャン	シングル	1	スキャン途中の停止指示があった A/D 変換終了後に停止	ADM2.CHSEL*で選択した最小チャネルから実行
				4	（設定禁止）	（設定禁止）
			リピート	1	スキャン途中の停止指示があった A/D 変換終了後に停止	ADM2.CHSEL*で選択した最小チャネルから実行
				4	（設定禁止）	（設定禁止）
ハード	オートモード	セレクト	シングル	1	ソフトウェアトリガモードと同じ	ソフトウェアトリガモードと同じ
				4		
			リピート	1		
				4		
		スキャン	シングル	1		
				4		
			リピート	1		
				4		
	ステップモード	セレクト	シングル	1	ソフトウェアトリガモードと同じ	ソフトウェアトリガモードと同じ
				4		
			リピート	1		
				4		
		スキャン	シングル	1		
				4		
			リピート	1		
				4		

24. CC-Link インタフェース

CC-Link の概略仕様は以下のとおりです。CC-Link に関する詳細仕様については CC-Link 協会の下記 URL を参照してください。

http://www.cc-link.org/jp/cclink/index.html

表24.1 CC-Link 概略仕様

項目	仕様
対応バージョン	Ver.1.10 / Ver.2.00
対応局種類	インテリジェントデバイス局、リモートデバイス局
最大リンク点数	リモート入出力：各 8192 点、リモートレジスタ：2048 ワード
総スレーブ局数	64 局
通信速度とケーブル総延長	10Mbps ：100m 5Mbps ：160m 2.5Mbps ：400m 625kbps ：900m 156kbps ：1200m
通信方式	ブロードキャストポーリング

24.1 レジスタ機能

24.1.1 レジスター覧

レジスタ名	略号	アドレス
CC-Link バス・サイズ制御レジスタ	CCBSC	400A 4404H
CC-Link バス・ブリッジ制御レジスタ 0	CCSMC0	400A 4408H
CC-Link バス・ブリッジ制御レジスタ 1	CCSMC1	400A 440CH
CC-Link モニタ・レジスタ	CCSMON	BASE + 080CH
CC-Link RUN LED 制御レジスタ	CCSRUN	BASE + 0810H
CC-Link リセット・レジスタ	CCRES	BASE + 0814H
CC-Link リモートデバイス局動作モード設定レジスタ	CCSMD	BASE + 0818H
CC-Link Slave の REFSTB 割り込み検出モード・レジスタ	CCSINTMD	BASE + 0824H
CC-Link Slave REFSTB モニタ・レジスタ	CCSREFMON	BASE + 0828H

24.1.2 CC-Link バス・サイズ制御レジスタ（CCBSC）

CCBSC レジスタは、CC-Link（インテリジェントデバイス局、リモートデバイス局）へのアクセスするデータ・バス幅を設定します。CC-Link（インテリジェントデバイス局、リモートデバイス局）を使用時には本レジスタに 0000 5575H を設定してください。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CCBSC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CCBSC15	CCBSC14	CCBSC13	CCBSC12	CCBSC11	CCBSC10	CCBSC9	CCBSC8	CCBSC7	CCBSC6	CCBSC5	CCBSC4	CCBSC3	CCBSC2	CCBSC1	CCBSC0	400A 4404H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値
																																	0000 5555H

ビット位置	ビット名	意　味
15-0	CCBSC15-0	5575H に設定してください。

24.1.3 CC-Link バス・ブリッジ制御レジスタ 0（CCSMC0）

CCSMC0 レジスタは、CC-Link（インテリジェントデバイス局）へのアクセス制御を行います。CC-Link（インテリジェントデバイス局）の機能を使用時には必ず 0000 11B1H を設定してください。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CCSMC0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CCSMC015	CCSMC014	CCSMC013	CCSMC012	CCSMC011	CCSMC010	CCSMC09	CCSMC08	CCSMC07	CCSMC06	CCSMC05	CCSMC04	CCSMC03	CCSMC02	CCSMC01	CCSMC00	400A 4408H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値
																																	0000 FFFFH

ビット位置	ビット名	意　味
15-0	CCSMC015-0	11B1H を設定してください。

24.1.4 CC-Link バス・ブリッジ制御レジスタ 1（CCSMC1）

CCSMC1 レジスタは、CC-Link（リモートデバイス局）へのアクセス制御を行います。CC-Link（リモートデバイス局）の機能を使用時には必ず 0000 1131H を設定してください。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CCSMC1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CCSMC115	CCSMC114	CCSMC113	CCSMC112	CCSMC111	CCSMC110	CCSMC19	CCSMC18	CCSMC17	CCSMC16	CCSMC15	CCSMC14	CCSMC13	CCSMC12	CCSMC11	CCSMC10	400A 440CH
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 FFFFH

ビット位置	ビット名	意　味
15-0	CCSMC115-0	1131H を設定してください。

24.1.5 CC-Link モニタ・レジスタ（CCSMON）

CCSMON レジスタは、CC-Link（リモートデバイス局）の MON 信号をモニタするためのレジスタです。

- アクセス 32/16 ビット単位でリード・アクセスのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CCSMON	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MON7	MON6	MON5	MON4	0	MON2	MON1	MON0	BASE + 080CH
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	0	R	R	R	0000 0000H

ビット位置	ビット名	意　味
7-4,2-0	MON7-4, MON2-0	CC-Link（リモートデバイス局）の MON 信号をモニタします。

24.1.6　CC-Link Slave RUN LED 制御レジスタ（CCSRUN）

CCSRUN レジスタは、CC-Link Slave（リモートデバイス局）の P26 に兼用した RUN 信号を生成するレジスタです。

- アクセス　　32/16 ビット単位でリード／ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CCSRUN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CCSRUN	BASE + 0810H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0000 0000H

ビット位置	ビット名	意　味
0	CCSRUN	CC-Link（リモートデバイス局）の RUN 信号を点灯します。 1：点灯（WDTL 信号がアクティブ時は消灯します） 0：消灯

CCSRUN レジスタ及び CC-Link（リモートデバイス局、インテリジェントデバイス局）RUN 信号とポート端子の回路構成を下図に示します。

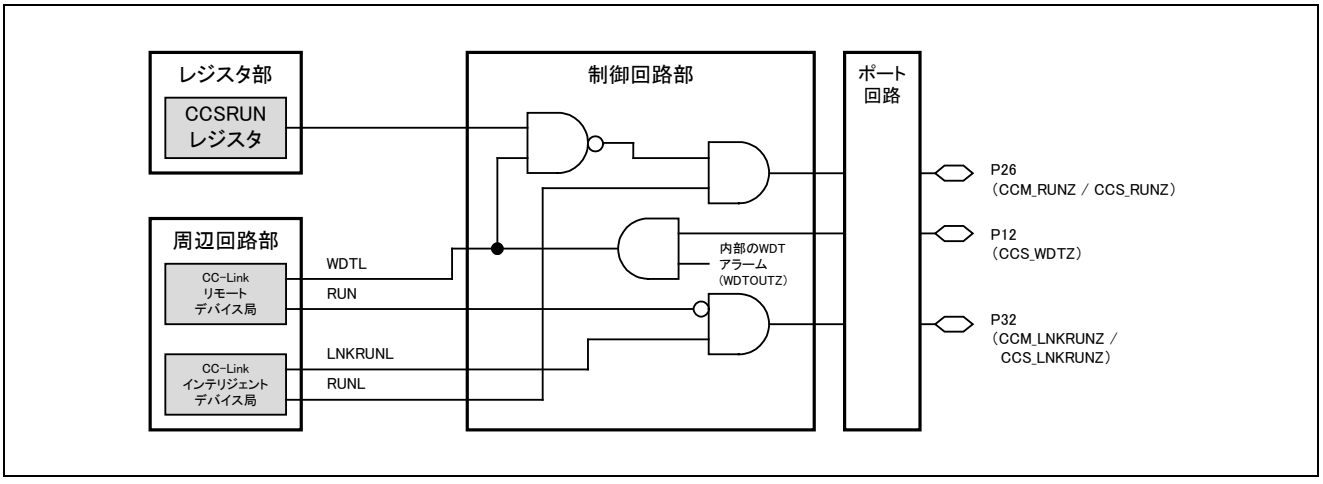


図24.1　CCSRUN レジスタと CC-Link（リモートデバイス局、インテリジェントデバイス局）RUN 信号の構成

24.1.7　CC-Link リセット・レジスタ（CCRES）

CCRES レジスタは、CC-Link（インテリジェントデバイス局、リモートデバイス局）のリセットを生成するレジスタです。初期値は、リセット状態で起動し、ポート機能の動作モード設定後に本レジスタでリセットを解除します。

- アクセス　　32 ビット単位でリード／ライト可能です。

注意 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CCRES	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CCMRES	CCSRES	BASE + 0814H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
1	CCMRES	CC-Link（インテリジェントデバイス局）機能のリセットを解除します。 1：リセット解除状態 0：リセット状態（初期値）
0	CCSRES	CC-Link（リモートデバイス局）機能のリセットを解除します。 1：リセット解除状態 0：リセット状態（初期値）

24.1.8　CC-Link Slave 動作モード設定レジスタ（CCSMD）

CCSMD レジスタは、CC-Link（リモートデバイス局）の動作モードを設定するレジスタです。外部端子の設定を有効にするか、本レジスタの値を使用するかは 14-8 ビットで選択します。

- アクセス　　32/16 ビット単位でリード／ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CCSMD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	IOTENSUSEL	SENYU1SEL	SENYU0SEL	BS4SEL	BS3SEL	BS2SEL	BS1SEL	0	IOTENSU	SENYU1	SENYU0	BS4	BS3	BS2	BS1	BASE + 0818H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
14-8	xxSEL	外部端子の設定を有効にするか、本レジスタの設定を有効にするかを選択します。 1：本レジスタの設定を有効 0：外部端子の設定を有効
6	IOTENSU	IOTENSU 端子の値を設定します。
5	SENYU1	SENYU1 端子の値を設定します。
4	SENYU0	SENYU0 端子の値を設定します。
3	BS4	BS4 端子の値を設定します。
2	BS3	BS3 端子の値を設定します。
1	BS2	BS2 端子の値を設定します。
0	BS1	BS1 端子の値を設定します。

24.1.9 CC-Link Slave の REFSTB 割り込み検出モード・レジスタ（CCSINTMD）

CC-Link（リモートデバイス局）の割り込み出力 CCS_REFSTB のトリガモードを設定します。
立ち上りエッジ、立ち下りエッジ、レベル検出、両エッジの指定が可能です。

- アクセス　　32 ビット単位でリード／ライト可能です。

注意 1 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CCSINTMD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ESR01	ESR00	BASE + 0824H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	0000 0003H

ビット位置	ビット名	意　味
31-2	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
1,0	ESR01, ESR00	CCS_REFSTB のトリガ・モードを指定します。

ESR1	ESR0	CCS_REFSTB のトリガ・モード指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	レベル検出（ロー・レベル検出）
1	1	立ち上がり，立ち下がり両エッジ（初期値）

24.1.10 CC-Link Slave REFSTB モニタ・レジスタ（CCSREFMON）

CCSREFMON レジスタは、CC-Link（リモートデバイス局）の REFSTB 信号を両エッジ検出の割り込みとして使用する場合、立ち上がり・立下りどちらのエッジで検出したかをモニタするためのレジスタです。

- アクセス　　32/16 ビット単位でリード・アクセスのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CCSREFMON	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	REFMON	BASE + 0828H
																																	初期値
																																	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	

ビット位置	ビット名	意　味
0	REFMON	CC-Link（リモートデバイス局）の REFSTB 信号をモニタします。

25. システム・レジスタ（APB 周辺レジスタ領域）

R-IN32M4 に搭載しているシステム・レジスタ（APB 周辺レジスタ領域）です。外部マイコン・インタフェースからのアクセスは可能です。また外部マイコン・インタフェースのバス幅を 16 ビットで使用する場合には、一部のレジスタにはアクセスできないものがあります。詳しくは、「25.1. レジスタ一覧」を参照ください。

注意 各レジスタのアドレスの記載は、ベース・アドレスからの相対アドレスで記載しています。
外部マイコン・インタフェースからアクセスする場合には D_0000H 番地、また CPU および DMA コントローラからのアクセスは、4001_0000H 番地がベース・アドレスになります。
・CPU および DMA コントローラからのアクセスの場合
BASE = 4001_0000H
・外部マイコン・インタフェースからのアクセスの場合
BASE = D_0000H

25.1 レジスター覧

（1/2）

レジスタ名	略号	アドレス	プロテクト対象	操作可能なサイズ		外部 MCU 操作
				16	32	
動作モード・モニタ・レジスタ	MDMNT	BASE + 0000H	−	○	○	○
IDCODE レジスタ	IDCODE	BASE + 0004H	−	×	○	○
バージョン・レジスタ	RINVER	BASE + 0008H	−	○	○	○
ウォッチドック・タイマ入力クロック選択レジスタ	WDTCLKCFG	BASE + 0180H	○	×	○	×
CPURESET レジスタ	CPURESET	BASE + 0210H	○	○	○	○
システム・プロテクト・コマンド・レジスタ	SYSPCMD	BASE + 0300H	−	○	○	○
HW-RTOS リセット・レジスタ	RTOS_SOFTRST	BASE + 0400H	○	×	○	○
タイマ入力機能選択レジスタ	SELCNT	BASE + 0500H	○	×	○	×
タイマ入力機能選択レジスタ(TAUD)	SELCNTD	BASE + 0504H	○	×	○	×
タイマ・トリガ要因レジスタ 0	TMTFR0	BASE + 0530H	○	×	○	×
タイマ・トリガ要因レジスタ 1	TMTFR1	BASE + 0534H	○	×	○	×
タイマ・トリガ要因レジスタ 2	TMTFR2	BASE + 0538H	○	×	○	×
タイマ・トリガ要因レジスタ 3	TMTFR3	BASE + 053CH	○	×	○	×
ノイズ・フィルタ設定レジスタ 0	NFC0	BASE + 0700H	○	×	○	×
ノイズ・フィルタ設定レジスタ 1	NFC1	BASE + 0704H	○	×	○	×
ノイズ・フィルタ設定レジスタ 2	NFC2	BASE + 0708H	○	×	○	×
ノイズ・フィルタ設定レジスタ 3	NFC3	BASE + 070CH	○	×	○	×
外部割込みモード・レジスタ 0	INTM0	BASE + 0710H	○	×	○	×
外部割込みモード・レジスタ 1	INTM1	BASE + 0714H	○	×	○	×
外部割込みモード・レジスタ 2	INTM2	BASE + 0718H	○	×	○	×
SRAM ブリッジ選択レジスタ	SRAMBRSEL	BASE + 0804H	○	○	○	○

（2/2）

レジスタ名	略号	アドレス	プロテクト対象	操作可能なサイズ		外部 MCU 操作
				16	32	
スクラッチ・レジスタ 0	SCRATCH0	BASE + 0900H	－	○	○	○
スクラッチ・レジスタ 1	SCRATCH1	BASE + 0904H	－	○	○	○
スクラッチ・レジスタ 2	SCRATCH2	BASE + 0908H	－	○	○	○
スクラッチ・レジスタ 3	SCRATCH3	BASE + 090CH	－	○	○	○
スクラッチ・レジスタ 4	SCRATCH4	BASE + 0910H	－	○	○	○
スクラッチ・レジスタ 5	SCRATCH5	BASE + 0914H	－	○	○	○
スクラッチ・レジスタ 6	SCRATCH6	BASE + 0918H	－	○	○	○
スクラッチ・レジスタ 7	SCRATCH7	BASE + 091CH	－	○	○	○
スクラッチ・レジスタ 8	SCRATCH8	BASE + 0920H	－	○	○	○
スクラッチ・レジスタ 9	SCRATCH9	BASE + 0924H	－	○	○	○
スクラッチ・レジスタ A	SCRATCHA	BASE + 0928H	－	○	○	○
スクラッチ・レジスタ B	SCRATCHB	BASE + 092CH	－	○	○	○
スクラッチ・レジスタ C	SCRATCHC	BASE + 0930H	－	○	○	○
PHYLINK_ENABLE レジスタ	PHYLINK_EN	BASE + 093CH	－	○	○	○
トリガ同期式ポート制御モード・レジスタ	RPTRGMD	BASE + 0A00H	－	×	○	×
トリガ同期式ポート要因レジスタ 0	RP0TFR	BASE + 0A30H	○	×	○	×
トリガ同期式ポート要因レジスタ 1	RP1TFR	BASE + 0A34H	○	×	○	×
トリガ同期式ポート要因レジスタ 2	RP2TFR	BASE + 0A38H	○	×	○	×
トリガ同期式ポート要因レジスタ 3	RP3TFR	BASE + 0A3CH	○	×	○	×
タイマ・トリガ要因レジスタ(TAUD)0	TMDTFR0	BASE + 0D00H	○	×	○	×
タイマ・トリガ要因レジスタ(TAUD)1	TMDTFR1	BASE + 0D04H	○	×	○	×
タイマ・トリガ要因レジスタ(TAUD)2	TMDTFR2	BASE + 0D08H	○	×	○	×
タイマ・トリガ要因レジスタ(TAUD)3	TMDTFR3	BASE + 0D0CH	○	×	○	×
タイマ・トリガ要因レジスタ(TAUD)4	TMDTFR4	BASE + 0D10H	○	×	○	×
タイマ・トリガ要因レジスタ(TAUD)5	TMDTFR5	BASE + 0D14H	○	×	○	×
タイマ・トリガ要因レジスタ(TAUD)6	TMDTFR6	BASE + 0D18H	○	×	○	×
タイマ・トリガ要因レジスタ(TAUD)7	TMDTFR7	BASE + 0D1CH	○	×	○	×
WDT 入力フィルタ選択レジスタ	WDTISEL	BASE + 1230H	－	○	○	○
タイマ I/F 選択レジスタ	TMISEL	BASE + 1240H	－	○	○	×
INTPZ/タイマ割り込み選択レジスタ	INTSEL	BASE + 1244H	－	○	○	×
ノイズ・フィルタ設定レジスタ 4	NFC4	BASE + 1250H	○	×	○	×
TOUTD 出力停止制御レジスタ	STOP_TOUTD	BASE + 1260H	－	○	○	×
TOUTD 出力選択レジスタ	TOUTD_SEL	BASE + 1264H	－	○	○	×
異常検出信号選択レジスタ 0	ERRDETSEL0	BASE + 1268H	－	○	○	×
異常検出信号選択レジスタ 1	ERRDETSEL1	BASE + 126CH	－	○	○	×

25.2　動作モード・モニタ・レジスタ（MDMNT）

動作モード・モニタ・レジスタは、外部端子からの設定レベルをモニタすることができます。

- アクセス　　32 ビット／16 ビット単位でリード可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
MDMNT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MEMCSEL	0	BOOT1	BOOT0	OSCTH	JTAGSEL	HWRZSEL	HIFSYNC	ADMUXMODE	MEMIFSEL	BUS32EN	BASE + 0000H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	0	R	R	R	R	R	R	R	R	R	端子設定

ビット位置	ビット名	意　味
10,8-0	MEMCSEL BOOT1, BOOT0, OSCTH, JTAGSEL, HWRZSEL, HISYNC, ADMUXMODE MEMIFSEL BUS32EN	動作モード設定端子のレベルを読み出します。 ダイナミックに変化しますが、動作中の変更は禁止です。
31-11,9	－	Reserved（0 が読み出されます。）

25.3　IDCODE レジスタ（IDCODE）

R-IN32M4 の識別レジスタです。リードすると ASCII コードで RIN2 がリードできます。

- アクセス　　32 ビット単位でリードのみ可能です。[注]

IDCODE

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDCODE31	IDCODE30	IDCODE29	IDCODE28	IDCODE27	IDCODE26	IDCODE25	IDCODE24	IDCODE23	IDCODE22	IDCODE21	IDCODE20	IDCODE19	IDCODE18	IDCODE17	IDCODE16	IDCODE15	IDCODE14	IDCODE13	IDCODE12	IDCODE11	IDCODE10	IDCODE9	IDCODE8	IDCODE7	IDCODE6	IDCODE5	IDCODE4	IDCODE3	IDCODE2	IDCODE1	IDCODE0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

アドレス
BASE + 0004H
初期値
5249 4E32H

R/W

ビット位置	ビット名	意　味
31-0	IDCODE31-0	R-IN32M4 の識別レジスタです。リードすると ASCII コードで RIN2 がリードできます。

注. 外部のマイコンからアクセスする場合、16 ビット単位でのアクセスが可能です。

25.4　バージョン・レジスタ（RINVER）

R-IN32M4 のバージョンを識別するためのレジスタです。リードすると 0000 0012H がリードできます。

- アクセス　　32 ビット／16 ビット単位でリード可能です。

RINVER

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RINVER31	RINVER30	RINVER29	RINVER28	RINVER27	RINVER26	RINVER25	RINVER24	RINVER23	RINVER22	RINVER21	RINVER20	RINVER19	RINVER18	RINVER17	RINVER16	RINVER15	RINVER14	RINVER13	RINVER12	RINVER11	RINVER10	RINVER9	RINVER8	RINVER7	RINVER6	RINVER5	RINVER4	RINVER3	RINVER2	RINVER1	RINVER0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

アドレス
BASE + 0008H
初期値
0000 0012H

R/W

ビット位置	ビット名	意　味
31-0	RINVER31-0	R-IN32M4 のバージョンを識別を識別するためのレジスタです。 リードすると 0000 0012H がリードできます。

25.5　ウォッチドック・タイマ入力クロック選択レジスタ（WDTCLKCFG）

ウォッチドック・タイマへのタイマ・カウント用クロックの分周比を選択します。

- アクセス　　32 ビット単位でリード／ライト可能です。

注意 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
WDTCLKCFG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	WDTCNF3	WDTCNF2	WDTCNF1	WDTCNF0	BASE + 0180H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
31-4	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-0	WDTCNF3- WDTCNF0	ウォッチドック・タイマへの供給クロック選択設定 0000：HCLK/32 0001：HCLK/64 0010：HCLK/128 0011：HCLK/256 0100：HCLK/512 0101：HCLK/1024 0110：HCLK/2048 0111：HCLK/4096 1000：HCLK/8192 上記以外　：設定禁止

25.6　CPURESET レジスタ（CPURESET）

外部マイコン・ブート時に、ホスト CPU から R-IN32M4 の CPU（Cortex-M4）のリセット解除を行います。

BOOT1-BOOT0 端子の設定により、リセット解除後の初期値が異なります。本レジスタでリセット解除を行えますが、再度 CPU リセット状態にすることはできません。

- アクセス　　32 ビット／16 ビット単位でリード／ライト可能です。

注意. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CPURESET	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RESET	BASE + 0210H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	注

ビット位置	ビット名	意　味
31-1	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	RESET	R-IN32M4 の CPU（Cortex-M4）のリセット解除を行います。 0：CPU リセット中 1：CPU リセット解除

注. BOOT1-BOOT0 端子の状態で、初期値が変わります。

BOOT1-BOOT0	初期値
00	1
01	1
10	0
11	1

25.7　システム・プロテクト・コマンド・レジスタ（SYSPCMD）

SYSPCMD レジスタは、プログラムの暴走などにより応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する 32 ビット・レジスタです。SYSPCMD レジスタは、32/16 ビット単位でリード／ライト・アクセス可能です。

プロテクト対象レジスタには PROT ビットをセット（1）しないと、対象レジスタへの書き込みが行えません。

SYSPCMD レジスタにセット（1）する場合には、以下のシーケンスでの書き込みのみ受け付けられます。クリア（0）もしくはリードする場合には、特別なシーケンス等はありません。

- アクセス　　32 ビット／16 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SYSPCMD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PROT	BASE + 0300H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0000 0000H

ビット位置	ビット名	意　味
31-1	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	PROT	プロテクト対象レジスタへのライト・アクセスを許可します。 1：ライト・アクセス許可 0：ライト・アクセス禁止（プロテクト状態）

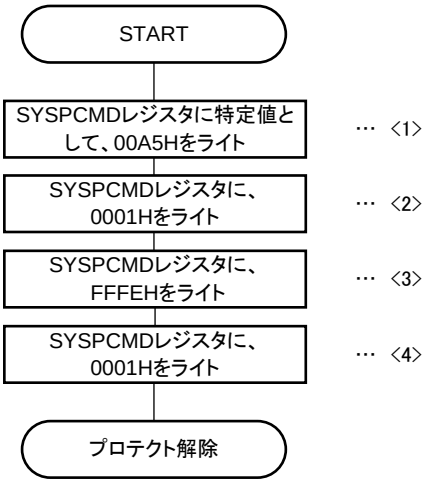


図25.1　　プロテクト解除シーケンス

注意 1 <1>、<2>、<3>では、レジスタへの書き込みは行われていません。
2 対象レジスタへのライト完了後は、必ず本ビットをクリア（0:プロテクト設定★）してください。

25.8　HW-RTOS リセット・レジスタ（RTOS_SOFTRST）

HW-RTOS および GbEtherMAC 領域をソフトウェアでリセットするためのレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。

注意 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
RTOS_SOFTRST	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OSRST	BASE + 0400H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0000 0001H

ビット位置	ビット名	意　味
31-1	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	OSRST	本ビットに 0 をライトすることで、HW-RTOS および GbEtherMAC 領域をリセットします。 リセット対象は、メモリ・マップの下記 3 つの領域となります。 4008 0000H～4008 FFFFH：HW-RTOS (64K バイト) 4009 0000H～4009 0FFFH：Giga bit Ether (4K バイト) 4009 1000H～4009 1FFFH：QINT BUFID (4K バイト) リセットを解除する場合には、本レジスタに 1 をライトしてください。 0：リセット状態 1：リセット解除状態

25.9　タイマ入力機能選択レジスタ（SELCNT,SELCNTD）

SELCNT, SELCNTD レジスタは、TAUJ2（4ch）及び TAUD（16ch）のキャプチャ・トリガ入力のモード選択レジスタです。TAUJ2 に、CAN マクロのトリガ・アウトプット信号（TSOUT）を入力することで、CAN のタイム・スタンプ機能をサポートすることができます。また、内蔵周辺割り込みをキャプチャ・トリガとして選択することができます。内蔵周辺割り込みを選択するには、タイマ要因選択レジスタにて設定します。

なお、TAUD の TIND15-8 端子は対象外となります。

- アクセス　　32 ビット単位でリード／ライト可能です。

注意 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SELCNT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ISEL31	ISEL30	ISEL21	ISEL20	ISEL11	ISEL10	ISEL01	ISEL00	BASE + 0500H 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31-8	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
7, 6	ISEL31, ISEL30	TIN3（TAUJ2 ch3）入力信号選択を指定します。

ISEL31	ISEL30	TIN3 入力信号選択
0	0	TIN3（P52 端子）
0	1	TMTFR3 レジスタで選択した割り込み信号
1	0	CAN1 の TSOUT 信号
1	1	設定禁止（00 と同じ）

5,4	ISEL21, ISEL20	TIN2（TAUJ2 ch2）入力信号選択を指定します。

ISEL21	ISEL20	TIN2 入力信号選択
0	0	TIN2（P57 端子）
0	1	TMTFR2 レジスタで選択した割り込み信号
1	0	設定禁止（00 と同じ）
1	1	設定禁止（00 と同じ）

（2/2）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>3,2</td><td>ISEL11,
ISEL10</td><td>TIN1（TAUJ2 ch1）入力信号選択を指定します。

<table>
<tr><th>ISEL11</th><th>ISEL10</th><th>TIN1 入力信号選択</th></tr>
<tr><td>0</td><td>0</td><td>TIN1（P26 端子）</td></tr>
<tr><td>0</td><td>1</td><td>TMTFR1 レジスタで選択した割り込み信号</td></tr>
<tr><td>1</td><td>0</td><td>CAN0 の TSOUT 信号</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止（00 と同じ）</td></tr>
</table>
</td></tr>
<tr><td>1,0</td><td>ISEL01,
ISEL00</td><td>TIN0（TAUJ2 ch0）入力信号選択を指定します。

<table>
<tr><th>ISEL01</th><th>ISEL00</th><th>TIN0 入力信号選択</th></tr>
<tr><td>0</td><td>0</td><td>TIN0（P27 端子）</td></tr>
<tr><td>0</td><td>1</td><td>TMTFR0 レジスタで選択した割り込み信号</td></tr>
<tr><td>1</td><td>0</td><td>設定禁止（00 と同じ）</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止（00 と同じ）</td></tr>
</table>
</td></tr>
</table>

（1/2）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SELCNTD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ISEL71	ISEL70	ISEL61	ISEL60	ISEL51	ISEL50	ISEL41	ISEL40	ISEL31	ISEL30	ISEL21	ISEL20	ISEL11	ISEL10	ISEL01	ISEL00	BASE + 0504H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
31-16	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15, 14	ISEL71, ISEL70	TIND7（TAUD ch7）入力信号選択を指定します。
13, 12	ISEL61, ISEL60	TIND6（TAUD ch6）入力信号選択を指定します。
11, 10	ISEL51, ISEL50	TIND5（TAUD ch5）入力信号選択を指定します。
9, 8	ISEL41, ISEL40	TIND4（TAUD ch4）入力信号選択を指定します。

ISEL71	ISEL70	TIND7 入力信号選択
0	0	TIND7（P52）
0	1	TMDTFR7 レジスタで選択した割り込み信号
1	0	設定禁止（00 と同じ）
1	1	設定禁止（00 と同じ）

ISEL61	ISEL60	TIND6 入力信号選択
0	0	TIND6（P57）
0	1	TMDTFR6 レジスタで選択した割り込み信号
1	0	設定禁止（00 と同じ）
1	1	設定禁止（00 と同じ）

ISEL51	ISEL50	TIND5 入力信号選択
0	0	TIND5（P26）
0	1	TMDTFR5 レジスタで選択した割り込み信号
1	0	設定禁止（00 と同じ）
1	1	設定禁止（00 と同じ）

ISEL41	ISEL40	TIND4 入力信号選択
0	0	TIND4（P27）
0	1	TMDTFR4 レジスタで選択した割り込み信号
1	0	設定禁止（00 と同じ）
1	1	設定禁止（00 と同じ）

（2/2）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>7, 6</td><td>ISEL31,
ISEL30</td><td>TIND3（TAUD ch3）入力信号選択を指定します。
<table>
<tr><th>ISEL31</th><th>ISEL30</th><th>TIND3 入力信号選択</th></tr>
<tr><td>0</td><td>0</td><td>TIND3（EXTP3）</td></tr>
<tr><td>0</td><td>1</td><td>TMDTFR3 レジスタで選択した割り込み信号</td></tr>
<tr><td>1</td><td>0</td><td>設定禁止（00 と同じ）</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止（00 と同じ）</td></tr>
</table></td></tr>
<tr><td>5, 4</td><td>ISEL21,
ISEL20</td><td>TIND2（TAUD ch2）入力信号選択を指定します。
<table>
<tr><th>ISEL21</th><th>ISEL20</th><th>TIND2 入力信号選択</th></tr>
<tr><td>0</td><td>0</td><td>TIND2（EXTP2）</td></tr>
<tr><td>0</td><td>1</td><td>TMDTFR2 レジスタで選択した割り込み信号</td></tr>
<tr><td>1</td><td>0</td><td>設定禁止（00 と同じ）</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止（00 と同じ）</td></tr>
</table></td></tr>
<tr><td>3, 2</td><td>ISEL11,
ISEL10</td><td>TIND1（TAUD ch1）入力信号選択を指定します。
<table>
<tr><th>ISEL11</th><th>ISEL10</th><th>TIND1 入力信号選択</th></tr>
<tr><td>0</td><td>0</td><td>TIND1（EXTP1）</td></tr>
<tr><td>0</td><td>1</td><td>TMDTFR1 レジスタで選択した割り込み信号</td></tr>
<tr><td>1</td><td>0</td><td>設定禁止（00 と同じ）</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止（00 と同じ）</td></tr>
</table></td></tr>
<tr><td>1, 0</td><td>ISEL01,
ISEL00</td><td>TIND0（TAUD ch0）入力信号選択を指定します。
<table>
<tr><th>ISEL01</th><th>ISEL00</th><th>TIND0 入力信号選択</th></tr>
<tr><td>0</td><td>0</td><td>TIND0（EXTP0）</td></tr>
<tr><td>0</td><td>1</td><td>TMDTFR0 レジスタで選択した割り込み信号</td></tr>
<tr><td>1</td><td>0</td><td>設定禁止（00 と同じ）</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止（00 と同じ）</td></tr>
</table></td></tr>
</table>

25.10 タイマ・トリガ要因レジスタ（TMTFR0-3, TMDTFR0-7）

TMTFR, TMDTFR レジスタに用意された割り込み要求信号から、任意の 1 本の割り込み信号を選択して、タイマの TIN 入力に割り当てることができます。TMTFR0-3 が、TAUJ2 の TIN3-0 端子、TMDTFR0-7 が、TAUD の TIND7-0 端子に対応します。TAUD の TIND15-8 端子は対象外となります。

- アクセス　　32 ビット単位でリード／ライト可能です。

注意 1. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

2. 本レジスタを使用する場合には、TAUJ2 の TAUJ2TPS レジスタでのプリスケーラ設定は、最速の 0000B（PCLK/2^0）を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TMTFRn TMDTFRm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	IFC6	IFC5	IFC4	IFC3	IFC2	IFC1	IFC0	BASE + 0530H + 4n + 0D00H + 4m
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
31-7	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
6-0	IFC6-IFC0	タイマ・チャネル n, m のトリガ要因を選択します。

IFC6-IFC0	タイマ・カウント・トリガ要因の選択
00H	タイマ・トリガ要因をマスク
01H-03H	Reserve（設定禁止）
04H	TAUJ2 チャネル 0 割り込み
05H	TAUJ2 チャネル 1 割り込み
06H	TAUJ2 チャネル 2 割り込み
07H	TAUJ2 チャネル 3 割り込み
08H	UARTJ0 送信割り込み
09H	UARTJ0 受信割り込み
0AH	UARTJ1 送信割り込み
0BH	UARTJ1 受信割り込み
0CH	CSIH0 通信ステータス割り込み
0DH	CSIH0 受信ステータス割り込み
0EH	CSIH0 ジョブ完了割り込み

備考.　n = 0-3, m = 0-7

ビット位置	ビット名	意　味
6-0	IFC6-IFC0	タイマ・チャネル n, m のトリガ要因を選択します。

IFC6-IFC0	タイマ・カウント・トリガ要因の選択
0FH	CSIH1 通信ステータス割り込み
10H	CSIH1 受信ステータス割り込み
11H	CSIH1 ジョブ完了割り込み
12H	IICB0 データ送受信割り込み
13H	IICB1 データ送受信割り込み
14H	FCN0 受信完了割り込み
15H	FCN0 送信完了割り込み
16H	FCN0 スリープ・ウェイクアップ/送信中断割り込み
17H	FCN1 受信完了割り込み
18H	FCN1 送信完了割り込み
19H	FCN1 スリープ・ウェイクアップ/送信中断割り込み
1AH	汎用 DMAC チャネル 0 転送完了割り込み
1BH	汎用 DMAC チャネル 1 転送完了割り込み
1CH	汎用 DMAC チャネル 2 転送完了割り込み
1DH	汎用 DMAC チャネル 3 転送完了割り込み
1EH	リアルタイム・ポート用 DMAC 転送完了割り込み
1FH	TAUD チャネル 0 割り込み
20H	TAUD チャネル 1 割り込み
21H	TAUD チャネル 2 割り込み
22H	TAUD チャネル 3 割り込み
23H	TAUD チャネル 4 割り込み
24H	Inter-Buffer DMA 転送完了割り込み
25H	Gigabit Ethernet PHY Port0 割り込み
26H	Gigabit Ethernet PHY Port1 割り込み
27H	Ether MII マネージメント・アクセス完了割り込み
28H	Ether ポーズ・パケット送信完了割り込み
29H	Ether 送信完了割り込み
2AH	Ether SWITCH 割り込み
2BH	Ether SWITCH DLR 割り込み
2CH	Ether SWITCH SYNC 割り込み
2DH-2EH	Reserve（設定禁止）
2FH	Ether MACDMA 受信完了割り込み
30H	Ether MACDMA 送信完了割り込み

ビット位置	ビット名	意　味
6-0	IFC6-IFC0	タイマ・チャネル n, m のトリガ要因を選択します。

IFC6-IFC0	タイマ・カウント・トリガ要因の選択
31H	受信フレーム正常割り込み
32H	Reserve（設定禁止）
33H	INTPZ0 入力注1
34H	INTPZ1 入力注1
35H	INTPZ2 入力注1
36H	INTPZ3 入力注1
37H	INTPZ4 入力注1
38H	INTPZ5 入力注1
39H	INTPZ6 入力注1
3AH	INTPZ7 入力注1
3BH	INTPZ8 入力注1
3CH	INTPZ9 入力注1
3DH	INTPZ10 入力注1
3EH	INTPZ11 入力注1/TAUD チャネル 5 割り込み注2
3FH	INTPZ12 入力注1/TAUD チャネル 6 割り込み注2
40H	INTPZ13 入力注1/TAUD チャネル 7 割り込み注2
41H	INTPZ14 入力注1/TAUD チャネル 8 割り込み注2
42H	INTPZ15 入力注1/TAUD チャネル 9 割り込み注2
43H	INTPZ16 入力注1/TAUD チャネル 10 割り込み注2
44H	INTPZ17 入力注1/TAUD チャネル 11 割り込み注2
45H	INTPZ18 入力注1/TAUD チャネル 12 割り込み注2
46H	INTPZ19 入力注1/TAUD チャネル 13 割り込み注2
47H	INTPZ20 入力注1/TAUD チャネル 14 割り込み注2
48H	INTPZ21 入力注1/TAUD チャネル 15 割り込み注2
49H	INTPZ22 入力注1/山割り込み(TAPA)注2
4AH	INTPZ23 入力注1/谷割り込み(TAPA)注2
4BH	INTPZ24 入力注1
4CH	INTPZ25 入力注1
4DH	INTPZ26 入力注1
4EH	INTPZ27 入力注1
4FH	INTPZ28 入力注1

注 1. 外部割り込みをタイマ・トリガ要因とする場合は、必ずエッジを指定してください。
（レベル検出の設定は行わないでください）
注 2. INTPZ / TAUD 割り込みは、INTSEL レジスタで選択されます。詳細は「25.19 INTPZ/タイマ割り込み選択レジスタ(INTSEL)」を参照して下さい。

ビット位置	ビット名	意　味
6-0	IFC6-IFC0	タイマ・チャネル n, m のトリガ要因を選択します。

IFC6-IFC0	タイマ・カウント・トリガ要因の選択
50H-62H	Reserve（設定禁止）
63H	Gigabit Ethernet PHY LED0_PHY0 入力割り込み
64H	Gigabit Ethernet PHY LED0_PHY1 入力割り込み
65H-6EH	Reserve（設定禁止）
6FH	CC-Link IE Field Network NMIZ 割り込み
70H	CC-Link IE Field Network WDTZ 割り込み
71H	CC-Link IE Field Network INTZ 割り込み
72H	CC-Link IE Field Network CLKLOSSZ 割り込み
73H-77H	Reserve（設定禁止）
78H	CC-Link IRZ 割り込み
79H	CC-Link REFSTB 割り込み
7AH	CC-Link MON3 割り込み
7BH-7CH	Reserve（設定禁止）
7DH	Gigabit Ethernet PHY LED1_PHY0 入力割り込み
7EH	Gigabit Ethernet PHY LED1_PHY1 入力割り込み
7FH	AD 完了割り込み

25.11 ノイズ除去回路

外部割り込み入力、タイマ・アレイ入力信号、UART シリアル・データ入力、CC-Link IE Field/CC-Link WDT 入力、外部 AD トリガ入力は、デジタル・ノイズ・フィルタによるノイズ除去機能を利用できます。

ノイズ除去機能の設定は、ノイズ・フィルタ設定レジスタ 0-4（NFC0-NFC4）で行います。

注意 本機能は、R-IN32M4 内蔵 CPU のみ設定可能です。内部 CPU を使用しないアプリケーションでは使用できません。

表25.1　ノイズ除去対象信号

対象信号	内部接続ユニット	信号の機能
NMIZ	割り込みコントローラ	ノンマスカブル外部割り込み入力
INTPZ0-INTPZ28	割り込みコントローラ	マスカブル外部割り込み入力
TIN0-TIN3	32bit タイマ・アレイ・ユニット（TAUJ2）	タイマ入力
TIND0-TIND15	16bit タイマ・アレイ・ユニット（TAUD）	タイマ入力
RXD0, RXD1	アシンクロナス・シリアル・インタフェース（UARTJ）	UART シリアル・データ入力
CCI_WDTIZ / CCM_WDTENZ / CCS_WDTZ	割り込みコントローラ、CC-Link IE Field、CC-Link(インテリジェントデバイス局)、CC-Link(リモートデバイス局)	CC-Link IE Field/CC-Link WDT 入力
ADC_ADTRG	AD コンバータ	外部 AD トリガ入力

25.11.1　ノイズ・フィルタ設定レジスタ（NFC0-4）

表25.1に示す入力信号の，ノイズ除去幅を設定するレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。

注意 1. 入力パルス幅が、NFC0-NFC4★設定値～NFC0-NFC4★設定値－1 の場合は、有効信号として検出するか、ノイズとして除去するかは不定です。

2. 割り込み入力（INTPZ0-INTPZ28, NMIZ）、ギガビット・イーサネット PHY の LED 出力はエッジ指定回路を経由しますが、割り込み以外の兼用機能はエッジ指定回路を経由しません。タイマ・アレイ・ユニット入力端子は、タイマ・アレイ・ユニットのエッジ指定レジスタで有効エッジを指定します。また RXD0, RXD1 入力はエッジ指定の機能はありません。

3. NFC0-NFC4★レジスタの変更した場合、それぞれのレジスタごとに意図しない割り込みが発生する可能性があります。NFC0-NFC4★レジスタの変更は Disable IRQ 状態で行い、レジスタ変更後に該当している割り込み保留ビットをクリアしてください。

4. INTPZ0-INTPZ28, NMI は，CPU への入力の同期化を兼ねてエッジ指定回路を経由するため，フィルタ段数を 0 に設定した場合でも，遅延が生じます。

5. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
NFC0	0	0	0	0	0	0	0	0	NFTRG01	NFTRG00	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NFPNM1	NFPNM0	BASE + 0700H
																																	初期値
R/W	0	0	0	0	0	0	0	0	R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
31-24	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
23-22	NFTRG01, NFTRG00	外部 AD トリガ入力のノイズ・フィルタ段数を、内部システム・クロック基準で設定します。

NFTRG01	NFTRG00	ノイズ・フィルタ段数
0	0	0×HCLK
0	1	4×HCLK
1	0	8×HCLK
1	1	16×HCLK

21-2	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
1,0	NFPNM1, NFPNM0	NMI 入力のノイズ・フィルタ段数を、内部システム・クロック基準で設定します。

NFPNM1	NFPNM0	ノイズ・フィルタ段数
0	0	0×HCLK
0	1	4×HCLK
1	0	8×HCLK
1	1	16×HCLK

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
NFC1	NFP151	NFP150	NFP141	NFP140	NFP131	NFP130	NFP121	NFP120	NFP111	NFP110	NFP101	NFP100	NFP91	NFP90	NFP81	NFP80	NFP71	NFP70	NFP61	NFP60	NFP51	NFP50	NFP41	NFP40	NFP31	NFP30	NFP21	NFP20	NFP11	NFP10	NFP01	NFP00	BASE + 0704H
																																	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 0000H

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
NFC2	0	0	0	0	0	0	NFP281	NFP280	NFP271	NFP270	NFP261	NFP260	NFP251	NFP250	NFP241	NFP240	NFP231	NFP230	NFP221	NFP220	NFP211	NFP210	NFP201	NFP200	NFP191	NFP190	NFP181	NFP180	NFP171	NFP170	NFP161	NFP160	BASE + 0708H
																																	初期値
R/W	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
31-0	NFPn1, NFPn0	INTPZn 入力のノイズ・フィルタ段数を、内部システム・クロック基準で設定します。

NFPn1	NFPn0	ノイズ・フィルタ段数
0	0	0×HCLK
0	1	4×HCLK
1	0	8×HCLK
1	1	16×HCLK

備考 n = 0 - 28

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
NFC3	0	0	0	0	0	0	0	0	0	0	NFWDT1	NFWDT0	NFRX11	NFRX10	NFRX01	NFRX00	0	0	0	0	0	0	0	0	NFTIN31	NFTIN30	NFTIN21	NFTIN20	NFTIN11	NFTIN10	NFTIN01	NFTIN00	BASE + 070CH
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
31-22, 15-8	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
21-20	NFWDT1, NFWDT0	CCI_WDTIZ,CCM_WDTENZ,CCS_WDTZ 入力のノイズ・フィルタ段数を、内部システム・クロック基準 NFWDT1 / NFWDT0 / ノイズ・フィルタ段数 0 / 0 / 0×HCLK 0 / 1 / 4×HCLK 1 / 0 / 8×HCLK 1 / 1 / 16×HCLK
19-16	NFRXn1, NFRXn0	RXD1, RXD0 入力のノイズ・フィルタ段数を、内部システム・クロック基準で設定します。 NFRXn1 / NFRXn0 / ノイズ・フィルタ段数 0 / 0 / 0×HCLK 0 / 1 / 4×HCLK 1 / 0 / 8×HCLK 1 / 1 / 16×HCLK
7-0	NFTINm1, NFTINm0	TIN3-TIN0 入力のノイズ・フィルタ段数を、内部システム・クロック基準で設定します。 NFTINm1 / NTINm0 / ノイズ・フィルタ段数 0 / 0 / 0×HCLK 0 / 1 / 4×HCLK 1 / 0 / 8×HCLK 1 / 1 / 16×HCLK

備考 n = 1, 0　m = 3 - 0

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
NFC4	NFTIND151	NFTIND150	NFTIND141	NFTIND140	NFTIND131	NFTIND130	NFTIND121	NFTIND120	NFTIND111	NFTIND110	NFTIND101	NFTIND100	NFTIND91	NFTIND90	NFTIND81	NFTIND80	NFTIND71	NFTIND70	NFTIND61	NFTIND60	NFTIND51	NFTIND50	NFTIND41	NFTIND40	NFTIND31	NFTIND30	NFTIND21	NFTIND20	NFTIND11	NFTIND10	NFTIND01	NFTIND00	BASE + 1250H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値
																																	0000 0000H

ビット位置	ビット名	意　味
31-0	NFTINDm1, NFTINDm0	TIND15-TIND0 入力のノイズ・フィルタ段数を、内部システム・クロック基準で設定します。

NFTINDm1	NFTINDm0	ノイズ・フィルタ段数
0	0	0×HCLK
0	1	4×HCLK
1	0	8×HCLK
1	1	16×HCLK

備考 m = 15 - 0

25.11.2　ノイズ・フィルタの動作

表25.1に示す入力信号は、内部バス・クロックの HCLK と同一周波数のクロックでサンプリングし，ノイズ・フィルタ設定レジスタ（NFC0-NFC4★）で指定したノイズ除去を行っています。このサンプリング・クロックはスタンバイ・モードで停止しないため、NMI、INTPZ0-INTPZ28 の外部割込みはスタンバイ・モードの解除が可能です。また INTPZ0-INTPZ28 は、すべて立ち上がり／立ち下がり／両エッジ／ロー・アクティブのレベルのいずれかを有効トリガに選択できます。

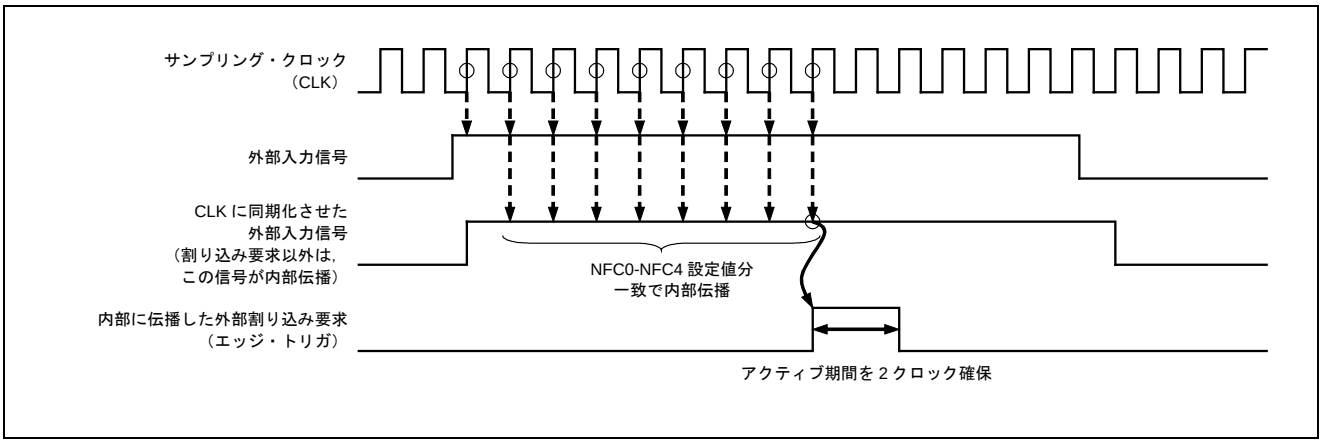


図25.2　割り込み信号のデジタル・ノイズ・フィルタの動作（エッジ・トリガ時）★

25.12　外部割り込みモード・レジスタ（INTM0, INTM1, INTM2）

外部端子による外部割り込み要求（NMIZ, INTPZ0-INTPZ28）のトリガ・モードを指定するレジスタです。各レジスタと、そのレジスタが制御する外部割り込み要求との対応を次に示します。

- アクセス　　32 ビット単位でリード／ライト可能です。

○ INTM0：NMIZ, LED3_PHY1-LED0_PHY1, LED3_PHY0-LED0_PHY0, ADC_ADTRG
○ INTM1：INTPZ0-INTPZ15
○ INTM2：INTPZ16-INTPZ28

注意 1 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

2 INTPZ0-INTPZ28 は、ポートと兼用されています。PMCm レジスタで割り込み機能として利用するように設定した際に、直前の状態によっては不要な割り込みが発生する場合があります。これを避けるためには、PMCTm レジスタで割り込み機能として利用するように設定する場合に、これらの割り込みをマスクした状態で設定し、設定後にこれらの割り込み要求フラグをクリアしてください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
INTM0	0	0	0	0	0	0	0	0	ESTRG01	ESTRG00	ESP1L31	ESP1L30	ESP1L21	ESP1L20	ESP1L11	ESP1L10	ESP1L01	ESP1L00	ESP0L31	ESP0L30	ESP0L21	ESP0L20	ESP0L11	ESP0L10	ESP0L01	ESP0L00	0	0	0	0	ESN01	ESN00	BASE + 0710H
																																	初期値
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	0	0	0	R/W	R/W	0040 0002H

ビット位置	ビット名	意　味
31-24	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
23-22	ESTRG01, ESTRG00	ADC_ADTRG のトリガ・モードを指定します。 ESTRG01 / ESTRG00 / ADC_ADTRG のトリガ・モード指定 0 / 0 / 立ち下がりエッジ 0 / 1 / 立ち上がりエッジ（初期値） 1 / 0 / レベル検出（ロー・レベル検出） 1 / 1 / 立ち上がり，立ち下がり両エッジ
21-6	ESPmLn1, ESPmLn0	LED3_PHY1-LED0_PHY1、LED3_PHY0-LED0_PHY0 のトリガ・モードを指定します。 ESPmLn1 / ESPmLn0 / LED3_PHY1-LED0_PHY1、LED3_PHY0-LED0_PHY0 のトリガ・モード指定 0 / 0 / 立ち下がりエッジ（初期値） 0 / 1 / 立ち上がりエッジ 1 / 0 / レベル検出（ロー・レベル検出） 1 / 1 / 立ち上がり，立ち下がり両エッジ
5-2	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
1,0	ESN01, ESN00	NMIZ のトリガ・モードを指定します。 ESN01 / ESN00 / NMIZ のトリガ・モード指定 0 / 0 / 立ち下がりエッジ 0 / 1 / 立ち上がりエッジ 1 / 0 / レベル検出（ロー・レベル検出）（初期値）注 1 / 1 / 立ち上がり，立ち下がり両エッジ

注. NMIZ 端子は、ロー・レベル検出設定の場合、内部でパルス化されるため 1 度だけ割り込みが発生します。

備考 m = 1, 0　n = 3 - 0

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
INTM1	ESP151	ESP150	ESP141	ESP140	ESP131	ESP130	ESP121	ESP120	ESP111	ESP110	ESP101	ESP100	ESP91	ESP90	ESP81	ESP80	ESP71	ESP70	ESP61	ESP60	ESP51	ESP50	ESP41	ESP40	ESP31	ESP30	ESP21	ESP20	ESP11	ESP10	ESP01	ESP00	BASE + 0714H
																																	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 0000H

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
INTM2	0	0	0	0	0	0	ESP281	ESP280	ESP271	ESP270	ESP261	ESP260	ESP251	ESP250	ESP241	ESP240	ESP231	ESP230	ESP221	ESP220	ESP211	ESP210	ESP201	ESP200	ESP191	ESP190	ESP181	ESP180	ESP171	ESP170	ESP161	ESP160	BASE + 0718H
																																	初期値
R/W	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
31-0	ESPn1- ESPn0 (n=0-28)	INTPZ0-INTPZ28 のトリガ・モードを指定します。

ESPn1	ESPn0	INTPZ0-INTPZ28 のトリガ・モード指定
0	0	立ち下がりエッジ（初期値）
0	1	立ち上がりエッジ
1	0	レベル検出（ロー・レベル検出）
1	1	立ち上がり，立ち下がり両エッジ

25.13 SRAM ブリッジ選択レジスタ（SRAMBRSEL）

SRAMBRSEL レジスタは、CC-Link IE Field へのアクセスを外部マイコン・インタフェースから直接アクセスする場合と、CPU からアクセスする経路のどちらを選択するのかを選択します。

- アクセス　　32 ビット／16 ビット単位でリード／ライト可能です。

注意 1. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

2. 本レジスタへのライトは、CC-Link IE Field へのアクセス中は禁止です。CC-Link IE Field 機能を使用する前に設定して下さい。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SRAM BRSEL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	BRCIE	BASE + 0804H
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
注																																	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	

ビット位置	ビット名	意　味
31-1	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	BRCIE	CC-Link IE Field へのアクセス経路を、システム・バス（AHB）からの経路を有効にするか、外部マイコン・インタフェースからの経路を有効にするかを設定します。 0：外部マイコン・インタフェースからのアクセスを有効 1：システム・バス（AHB）からのアクセスを有効

注. MEMIFSEL 端子のレベルによって初期値が変わります。

0：0000 0001H

1：0000 0000H

25.14　トリガ同期式ポート機能

RP00-RP37 の 32 ビットのポート端子は、内蔵周辺からの割り込みに同期してポートの状態を更新することができます。

トリガ同期式ポート制御モードにするには、RPTRGMD レジスタにて、1 ビット単位で設定します。また、対象のトリガを選択するには、RPTFR0-3 レジスタにて行います。

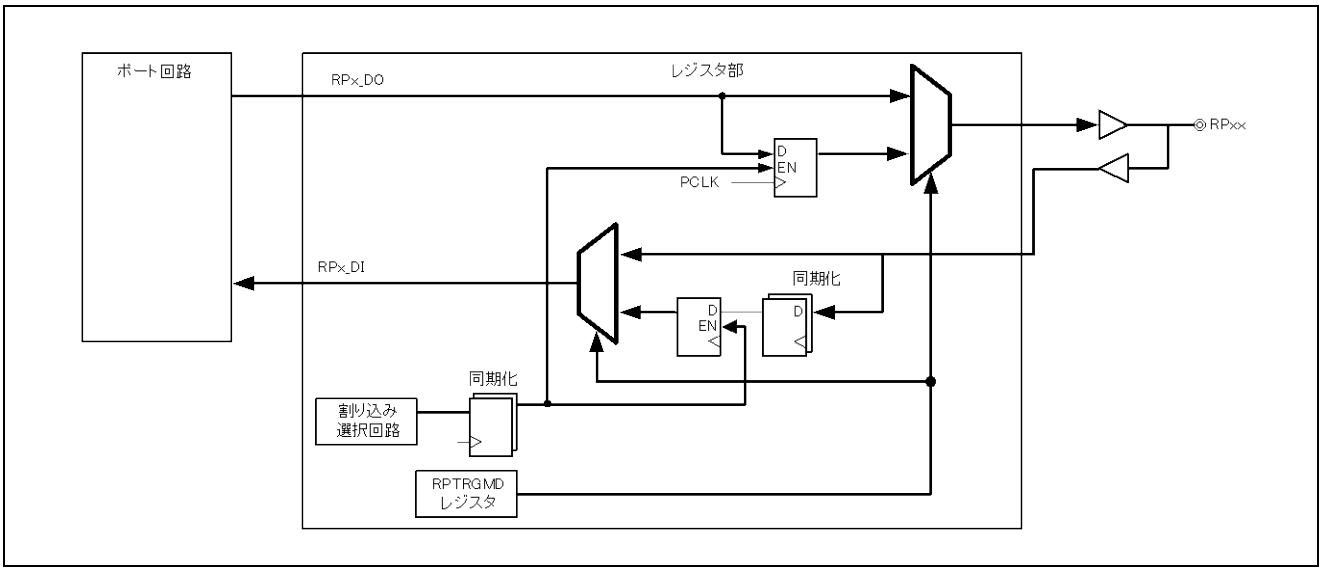


図25.3　　トリガ同期式ポート構成図

25.14.1　トリガ同期式ポート制御モード・レジスタ（RPTRGMD）

RPTRGMD レジスタは、RP00-RP37 の 32 ビットのポート端子を 1 ビット単位でトリガ同期式ポート制御モードにするかを選択するためのレジスタです。

- アクセス　　32 ビット単位でリード／ライト可能です。

	31 30 29 28 27 26 25 24	23 22 21 20 19 18 17 16	15 14 13 12 11 10 9 8	7 6 5 4 3 2 1 0	アドレス
RPTRGMD	RP37TRG – RP30TRG	RP27TRG – RP20TRG	RP17TRG – RP10TRG	RP07TRG - RP00TRG	BASE + 0A00H 初期値 0000 0000H
R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
7-0	RPmnTRG	トリガ同期式ポート制御モードの有効 / 無効を設定します。 0：通常のポートとして使用 1：トリガ同期式ポートとして使用

備考 m = 3 - 0, n = 7 - 0

25.14.2　トリガ同期式ポート要因レジスタ（RP0TFR-RP3TFR）

RPTFR レジスタに用意された割り込み要求信号から、任意の 1 本の割り込み信号を選択して、トリガ同期用の信号に割り当てることができます。割り込み信号の選択は、トリガ同期式ポート要因レジスタ（RP0TFR-RP3TFR）で行います。トリガの要因は、リアルタイム・ポート（RP0x-RP3x）の 8 ビット・ポート単位で設定可能です。

- アクセス　　32 ビット単位でリード／ライト可能です。

注意 1. 本レジスタは、システム・プロテクト・コマンド・レジスタ（SYSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ（SYSPCMD）を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
RPnTFR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	IFC6	IFC5	IFC4	IFC3	IFC2	IFC1	IFC0	BASE + 0A30H + 4n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000 0000H

ビット位置	ビット名	意　味
31-7	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
6-0	IFC6-IFC0	トリガ同期式ポート n のトリガ要因を選択します。

IFC6-IFC0	トリガ同期式ポート n のトリガ要因の選択
00H	タイマ出力（TOUT0/TOUTD4）を使用
01H	タイマ出力（TOUT1/TOUTD5）を使用
02H	タイマ出力（TOUT2/TOUTD6）を使用
03H	タイマ出力（TOUT3/TOUTD7）を使用
04H	TAUJ2 チャネル 0 割り込み
05H	TAUJ2 チャネル 1 割り込み
06H	TAUJ2 チャネル 2 割り込み
07H	TAUJ2 チャネル 3 割り込み
08H	UARTJ0 送信割り込み
09H	UARTJ0 受信割り込み
0AH	UARTJ1 送信割り込み
0BH	UARTJ1 受信割り込み

備考. n = 0-3

ビット位置	ビット名	意　味
16-0	IFC6-IFC0	トリガ同期式ポート n のトリガ要因を選択します。

IFC6-IFC0	タイマ・カウント・トリガ要因の選択
0CH	CSIH0 通信ステータス割り込み
0DH	CSIH0 受信ステータス割り込み
0EH	CSIH0 ジョブ完了割り込み
0FH	CSIH1 通信ステータス割り込み
10H	CSIH1 受信ステータス割り込み
11H	CSIH1 ジョブ完了割り込み
12H	IICB0 データ送受信割り込み
13H	IICB1 データ送受信割り込み
14H	FCN0 受信完了割り込み
15H	FCN0 送信完了割り込み
16H	FCN0 スリープ・ウェイクアップ/送信中断割り込み
17H	FCN1 受信完了割り込み
18H	FCN1 送信完了割り込み
19H	FCN1 スリープ・ウェイクアップ/送信中断割り込み
1AH	汎用 DMAC チャネル 0 転送完了割り込み
1BH	汎用 DMAC チャネル 1 転送完了割り込み
1CH	汎用 DMAC チャネル 2 転送完了割り込み
1DH	汎用 DMAC チャネル 3 転送完了割り込み
1EH	リアルタイム・ポート用 DMAC 転送完了割り込み
1FH	TAUD チャネル 0 割り込み
20H	TAUD チャネル 1 割り込み
21H	TAUD チャネル 2 割り込み
22H	TAUD チャネル 3 割り込み
23H	TAUD チャネル 4 割り込み
24H	Inter-Buffer DMA 転送完了割り込み
25H	Gigabit Ethernet PHY Port0 割り込み
26H	Gigabit Ethernet PHY Port1 割り込み
27H	Ether MII マネージメント・アクセス完了割り込み
28H	Ether ポーズ・パケット送信完了割り込み
29H	Ether 送信完了割り込み
2AH	Ether SWITCH 割り込み
2BH	Ether SWITCH DLR 割り込み
2CH	Ether SWITCH SYNC 割り込み

ビット位置	ビット名	意　味
16-0	IFC6-IFC0	トリガ同期式ポート n のトリガ要因を選択します。

IFC6-IFC0	タイマ・カウント・トリガ要因の選択
2DH, 2EH	Reserve（設定禁止）
2FH	Ether MACDMA 受信完了割り込み
30H	Ether MACDMA 送信完了割り込み
31H	受信フレーム正常割り込み
32H	Reserve（設定禁止）
33H	INTPZ0 入力注1
34H	INTPZ1 入力注1
35H	INTPZ2 入力注1
36H	INTPZ3 入力注1
37H	INTPZ4 入力注1
38H	INTPZ5 入力注1
39H	INTPZ6 入力注1
3AH	INTPZ7 入力注1
3BH	INTPZ8 入力注1
3CH	INTPZ9 入力注1
3DH	INTPZ10 入力注1
3EH	INTPZ11 入力注1/TAUD チャネル 5 割り込み注2
3FH	INTPZ12 入力注1/TAUD チャネル 6 割り込み注2
40H	INTPZ13 入力注1/TAUD チャネル 7 割り込み注2
41H	INTPZ14 入力注1/TAUD チャネル 8 割り込み注2
42H	INTPZ15 入力注1/TAUD チャネル 9 割り込み注2
43H	INTPZ16 入力注1, 3/TAUD チャネル 10 割り込み注2
44H	INTPZ17 入力注1, 3/TAUD チャネル 11 割り込み注2

注 1. 外部割り込みをトリガ同期式ポート n の要因とする場合は、必ずエッジを指定してください。（レベル検出の設定は行わないでください）

注 2. INTPZ / TAUD 割り込みは、INTSEL レジスタで選択されます。詳細は「25.19 INTPZ/タイマ割り込み選択レジスタ(INTSEL)」を参照して下さい。

注 3. INTPZ16-21 端子は RP00-05 端子、INTPZ25-28 端子は RP24-27 端子と兼用されています。そのため、外部割り込み端子が兼用されているリアルタイム・ポートでは、トリガ要因として選択できません。

備考 n = 0-3

ビット位置	ビット名	意　味
16-0	IFC6-IFC0	トリガ同期式ポート n のトリガ要因を選択します。

IFC6-IFC0	タイマ・カウント・トリガ要因の選択
45H	INTPZ18 入力注1, 3/TAUD チャネル 12 割り込み注2
46H	INTPZ19 入力注1, 3/TAUD チャネル 13 割り込み注2
47H	INTPZ20 入力注1, 3/TAUD チャネル 14 割り込み注2
48H	INTPZ21 入力注1, 3/TAUD チャネル 15 割り込み注2
49H	INTPZ22 入力注1/山割り込み(TAPA)注2
4AH	INTPZ23 入力注1/谷割り込み(TAPA)注2
4BH	INTPZ24 入力注1
4CH	INTPZ25 入力注1, 3
4DH	INTPZ26 入力注1, 3
4EH	INTPZ27 入力注1, 3
4FH	INTPZ28 入力注1, 3
50H-62H	Reserve（設定禁止）
63H	Gigabit Ethernet PHY LED0_PHY0 入力割り込み
64H	Gigabit Ethernet PHY LED0_PHY1 入力割り込み
65H-6EH	Reserve（設定禁止）
6FH	CC-Link IE Field Network NMIZ 割り込み
70H	CC-Link IE Field Network WDTZ 割り込み
71H	CC-Link IE Field Network INTZ 割り込み
72H	CC-Link IE Field Network CLKLOSSZ 割り込み
73H-77H	Reserve（設定禁止）
78H	CC-Link IRZ 割り込み
79H	CC-Link REFSTB 割り込み
7AH	CC-Link MON3 割り込み
7BH-7CH	Reserve（設定禁止）
7DH	Gigabit Ethernet PHY LED1_PHY0 入力割り込み
7EH	Gigabit Ethernet PHY LED1_PHY1 入力割り込み
7FH	AD 完了割り込み

注 1. 外部割り込みをトリガ同期式ポート n の要因とする場合は、必ずエッジを指定してください。
（レベル検出の設定は行わないでください）
2. INTSEL レジスタで選択されます。
詳細は「25.19 INTPZ/タイマ割り込み選択レジスタ(INTSEL)」を参照して下さい。」
3. INTPZ16-21 端子は RP00-05 端子、INTPZ25-28 端子は RP24-27 端子と兼用されています。そのため、外部割り込み端子が兼用されているリアルタイム・ポートでは、トリガ要因として選択できません。

備考 n = 0-3

25.15 スクラッチ・レジスタ（SCRATCH0-C）

汎用的に利用できる 16bit のレジスタです。外部 MCU とのステータスのやりとりにも使用できます。

- アクセス　　32 ビット／16 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
SCRATCHn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	BASE + 0900H
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	+ 4nH
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	SCRATCHnF- SCRATCHn0																0000 0000H
	R/W																

備考 n = 0-C

25.16 PHYLINK_ENABLE レジスタ（PHYLINK_EN）

Gigabit Ethernet PHY が出力する LEDm-PHYn 端子の有効／無効を設定するレジスタです。

初期状態で、LEDm-PHYn 端子機能を無効としており、Gigabit Ethernet PHY の初期化後、本レジスタを制御し、LEDm-PHYn 端子機能を有効にして下さい。

- アクセス　　32/16 ビット単位でリード／ライト・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
PHYLINK_EN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LINKEN	BASE + 093CH 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	

ビット位置	ビット名	意　味
31-1	－	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	LINKEN	Gigabit Ethernet PHY が出力する LEDm-PHYn 端子機能の有効／無効を設定します。 0：無効 LEDm-PHYn 端子からは、常時 High が出力されます。 1：有効 LEDm-PHYn 端子は、GbE-PHY の機能として動作します。

注意. 本レジスタは、CC-Link IE Field のパワーオンリセット（PREL）でリセット制御します。
HOTRESETZ 端子ではリセットされません。

備考　m = 0-3, n = 0-1

25.17 WDT 入力フィルタ選択レジスタ(WDTISEL)

CC-Link IE Field/CC-Link WDT 入力のノイズ・フィルタ有り・無しを設定するレジスタです。

ノイズ・フィルタを使用する場合は、本レジスタを 1 に設定した後、ノイズ・フィルタ設定レジスタ(NFC3)にてノイズ・フィルタ段数を設定してください。

- アクセス　　32 ビット／16 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
WDTISEL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	WDTISEL	BASE + 1230H
																																	初期値
																																	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット位置	ビット名	意　味
0	WDTISEL	CC-Link IE Field/CC-Link WDT 入力のノイズ・フィルタ有り・無しを設定します。 0：ノイズ・フィルタなし（スルー） 1：ノイズ・フィルタあり

25.18 タイマ I/F 選択レジスタ(TMISEL)

ポート 26（P26）、ポート 27（P27）、ポート 52（P52）、ポート 57（P57）に兼用している機能のうち、TAUJ2/TAUD のどちらの兼用機能を使用するかを選択するレジスタです。

- アクセス　　32 ビット／16 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TMISEL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TMISEL	BASE + 1240H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0000 0000H

ビット位置	ビット名	意　味
0	TMISEL	TAUJ2, TAUD の I/F を選択します。 0：TAUJ2 有効 1：TAUD 有効

兼用ポート	TMISEL 設定値	
	0H	1H
P26	TINJ1/TOUTJ1	TIND5/TOUTD5
P27	TINJ0/TOUTJ0	TIND4/TOUTD4
P52	TINJ3/TOUTJ3	TIND7/TOUTD7
P57	TINJ2/TOUTJ2	TIND6/TOUTD6

25.19 INTPZ/タイマ割り込み選択レジスタ(INTSEL)

CPU/RTOS/DMAC/タイマ・トリガ/リアルタイム・ポート・トリガ用の割り込み機能において、一部の INTPZ の割り込みにおいて、タイマ（TAUD）と兼用しています。INTSEL レジスタにおいて、INTPZ かタイマ（TAUD）のどちらを割り込み機能として使用するかを選択します

- アクセス　　32 ビット／16 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
INTSEL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	INTSEL12	INTSEL11	INTSEL10	INTSEL9	INTSEL8	INTSEL7	INTSEL6	INTSEL5	INTSEL4	INTSEL3	INTSEL2	INTSEL1	INTSEL0	BASE + 1244H
																																	初期値
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0000 0000H

ビット位置	ビット名	意　味
12-11	INTSEL12-11	INTPZ,TAPA の割り込みを選択します。 0：INTPZ 有効 1：TAPA 有効
10-0	INTSEL10-0	INTPZ,TAUD の割り込みを選択します。 0：INTPZ 有効 1：TAUD 有効

例外番号	INTSELn	INTSELn 設定値(n=0～12)	
		0H	1H
74	INTSEL0	INTPZ11 入力	TAUD チャネル 5 割り込み
75	INTSEL1	INTPZ12 入力	TAUD チャネル 6 割り込み
76	INTSEL2	INTPZ13 入力	TAUD チャネル 7 割り込み
77	INTSEL3	INTPZ14 入力	TAUD チャネル 8 割り込み
78	INTSEL4	INTPZ15 入力	TAUD チャネル 9 割り込み
79	INTSEL5	INTPZ16 入力	TAUD チャネル 10 割り込み
80	INTSEL6	INTPZ17 入力	TAUD チャネル 11 割り込み
81	INTSEL7	INTPZ18 入力	TAUD チャネル 12 割り込み
82	INTSEL8	INTPZ19 入力	TAUD チャネル 13 割り込み
83	INTSEL9	INTPZ20 入力	TAUD チャネル 14 割り込み
84	INTSEL10	INTPZ21 入力	TAUD チャネル 15 割り込み
85	INTSEL11	INTPZ22 入力	山割り込み(TAPA)
86	INTSEL12	INTPZ23 入力	谷割り込み(TAPA)

25.20 TOUTD 出力停止制御レジスタ（STOP_TOUTD）

モータ制御用端子として、TOUTD10（RP32 と兼用）~TOUTD15（RP37 と兼用）が使用できます。

このモータ制御用端子ですが、異常系を検出した場合に、U 相/V 相/W 相の出力端子を個別に Hi-Z 状態にすることができます。なお、R-IN32M4-CL2 のポート兼用機端子は、外部素子を減らす狙いから、I/O の初期状態はプルアップ抵抗もしくはプルダウン抵抗が有効となっているため、Hi-Z にはなりません。

U 相/V 相/W 相の対象端子を Hi-Z にする場合は、「リアルタイム・ポート 3 バッファ機能切り替えレジスタ[注]」にて、「プルアップ抵抗/プルダウン抵抗なし」を選択してください。

- アクセス　　32 ビット／16 ビット単位でリード／ライト可能です。

注. レジスタ詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル」を参照して下さい。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
STOP_TOUTD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MOT_WDIS	MOT_VDIS	MOT_UDIS	BASE + 1260H 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	

ビット位置	ビット名	意　味
2	MOT_WDIS	RP36/TOUTD14、RP37/TOUTD15 を異常検出時に Hi-Z にします。 0：異常検出時に Hi-Z にしない 1：異常検出時に Hi-Z にする
1	MOT_VDIS	RP34/TOUTD12、RP35/TOUTD13 を異常検出時に Hi-Z にします。 0：異常検出時に Hi-Z にしない 1：異常検出時に Hi-Z にする
0	MOT_UDIS	RP32/TOUTD10、RP33/TOUTD11 を異常検出時に Hi-Z にします。 0：異常検出時に Hi-Z にしない 1：異常検出時に Hi-Z にする

25.21 TOUTD 出力選択レジスタ（TOUTD_SEL）

TOUTDx（x : 15-0）端子は、TAUD から直接出力するか PIC 経由で出力するかを選択できます。

- アクセス　　32 ビット／16 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
TOUTD_SEL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TOD_SEL15	TOD_SEL14	TOD_SEL13	TOD_SEL12	TOD_SEL11	TOD_SEL10	0	0	0	0	0	0	0	0	0	0	BASE + 1264H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	0	0	0	0	0	0	0	0	0	0	初期値 0000 0000H

ビット位置	ビット名	意　味
15	TOD_SEL15	RP37/TOUTD15 に出力する信号を選択します。 0：TAUD の TAUDTTOUT15 1：PIC 経由の TOP0WB
14	TOD_SEL14	RP36/TOUTD14 に出力する信号を選択します。 0：TAUD の TAUDTTOUT14 1：PIC 経由の TOP0W
13	TOD_SEL13	RP35/TOUTD13 に出力する信号を選択します。 0：TAUD の TAUDTTOUT13 1：PIC 経由の TOP0VB
12	TOD_SEL12	RP34/TOUTD12 に出力する信号を選択します。 0：TAUD の TAUDTTOUT12 1：PIC 経由の TOP0V
11	TOD_SEL11	RP33/TOUTD11 に出力する信号を選択します。 0：TAUD の TAUDTTOUT11 1：PIC 経由の TOP0UB
10	TOD_SEL10	RP32/TOUTD10 に出力する信号を選択します。 0：TAUD の TAUDTTOUT10 1：PIC 経由の TOP0U

25.22　異常検出信号選択レジスタ(ERRDETSEL0,1)

PIC の WDTOUT0 端子に入力する異常系の信号を選択するレジスタです。異常系の信号は以下になります。

① P12 の兼用機能 3 に入力する WDT 信号（ノイズ・フィルタをスルーする経路）
② NMIZ 入力（ノイズ・フィルタをスルーする経路）
③ 内蔵 WDT の NMI 信号
④ INTPZ0-28 入力（ノイズ・フィルタをスルーする経路）

また、複数選択も可能です。

- アクセス　　32 ビット／16 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ERRDETSEL0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	INTPZ12EN	INTPZ11EN	INTPZ10EN	INTPZ9EN	INTPZ8EN	INTPZ7EN	INTPZ6EN	INTPZ5EN	INTPZ4EN	INTPZ3EN	INTPZ2EN	INTPZ1EN	INTPZ0EN	WDTNMIEN	NMIZEN	WDTEN	BASE + 1268H 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
15-3	INTPZxEN	INTPZx 入力を異常検出信号として有効とするかを選択します。 0：無効 1：有効
2	WDTNMIEN	内蔵 WDT の NMI 信号を異常検出信号として有効とするかを選択します。 0：無効 1：有効
1	NMIZEN	NMIZ 入力を異常検出信号として有効とするかを選択します。 0：無効 1：有効
0	WDTEN	CC-Link IE/CC-Link に入力する WDT 信号を異常検出信号として有効とするかを選択します。 0：無効 1：有効

備考　x = 12 - 0

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
ERRDET SEL1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	INTPZ28EN	INTPZ27EN	INTPZ26EN	INTPZ25EN	INTPZ24EN	INTPZ23EN	INTPZ22EN	INTPZ21EN	INTPZ20EN	INTPZ19EN	INTPZ18EN	INTPZ17EN	INTPZ16EN	INTPZ15EN	INTPZ14EN	INTPZ13EN	BASE + 126CH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000 0000H

ビット位置	ビット名	意　味
15-0	INTPZxEN	INTPZx 入力を異常検出信号として有効とするかを選択します。 0：無効 1：有効

備考　x = 28 - 13

26. デバッグ機能

R-IN32M4 に内蔵している Cortex-M4 には、オンチップ・デバッグ機能として様々な機能があります。R-IN32M4 では、プログラムのダウンロード／ラン／ブレークといったデバッグ機能のほか、プログラムの実行履歴を出力するトレース機能をサポートしています。

また、基本デバッグ用インタフェースとして JTAG インタフェースおよび SWD インタフェース、トレース用インタフェースとして、トレースポート・インタフェースおよび SWV インタフェースをそれぞれサポートしています。R-IN32M4 に搭載している Cortex-M4 の情報は、「3. CPU」を参照してください。

なお、R-IN32M4 と接続する推奨インサーキット・エミュレータ（ICE）は、IAR システムズ株式会社の I-jet（トレース未対応）と JTAGjet（トレース対応）、株式会社 DTS インサイト★の adviceLUNA Ⅱ★です。

26.1 JTAG インタフェース

JTAG インタフェースは、TCK／TMS／TDO／TDI／TRSTZ の 5 本の信号により、ICE を介してホスト・マシン（PC）との通信を行います。

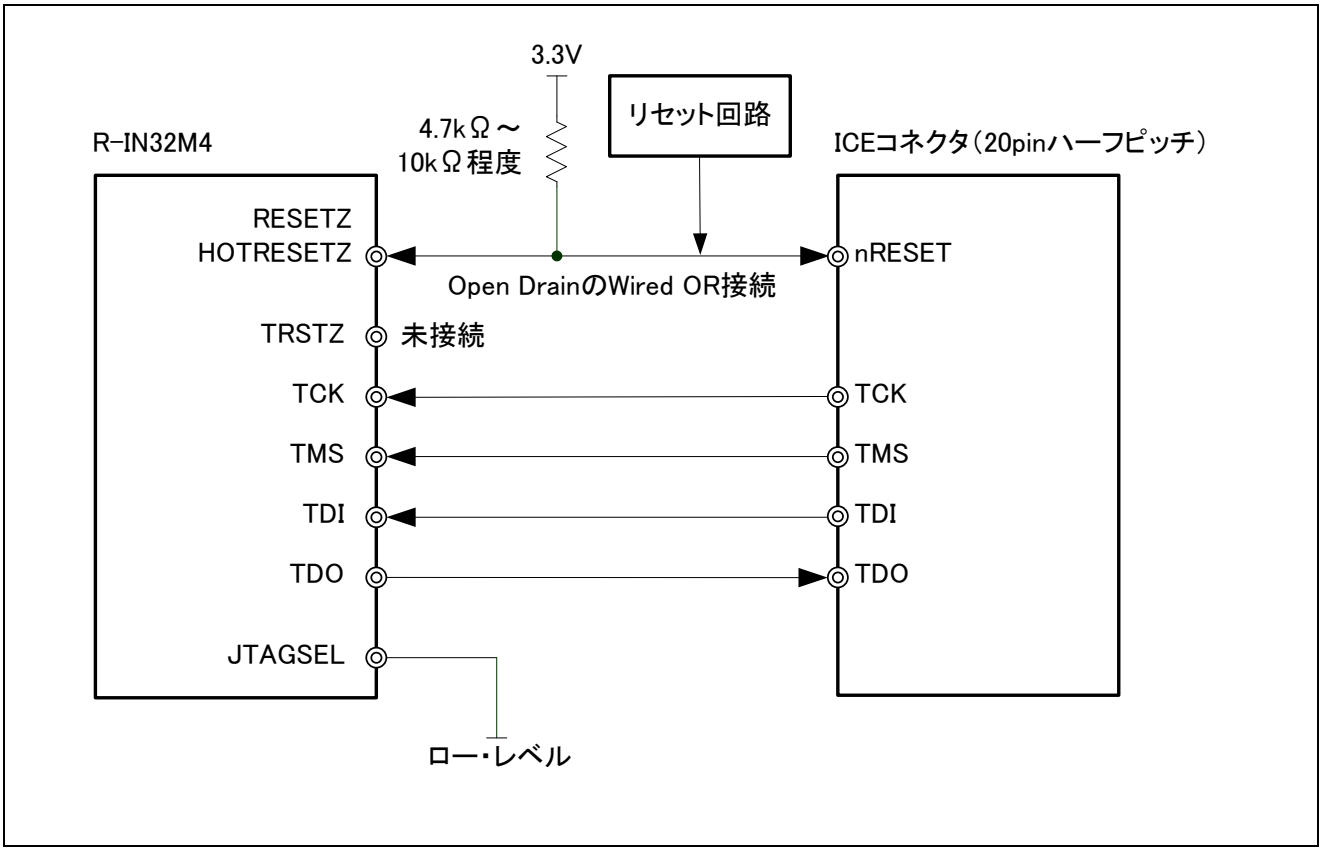


図26.1 JTAG インタフェース接続例（20pin ハーフピッチ、トレースなし）

注意 nRESET 信号は、RESETZ に繋いでいれば HOTRESETZ への入力は不要です。
RESETZ は LSI 全体をリセットしますが、HOTRESETZ のみの場合には内部 PLL はリセットされません。用途に合わせてお使い下さい。
また、nRESET 信号を PONRZ 信号には接続しないようにしてください。

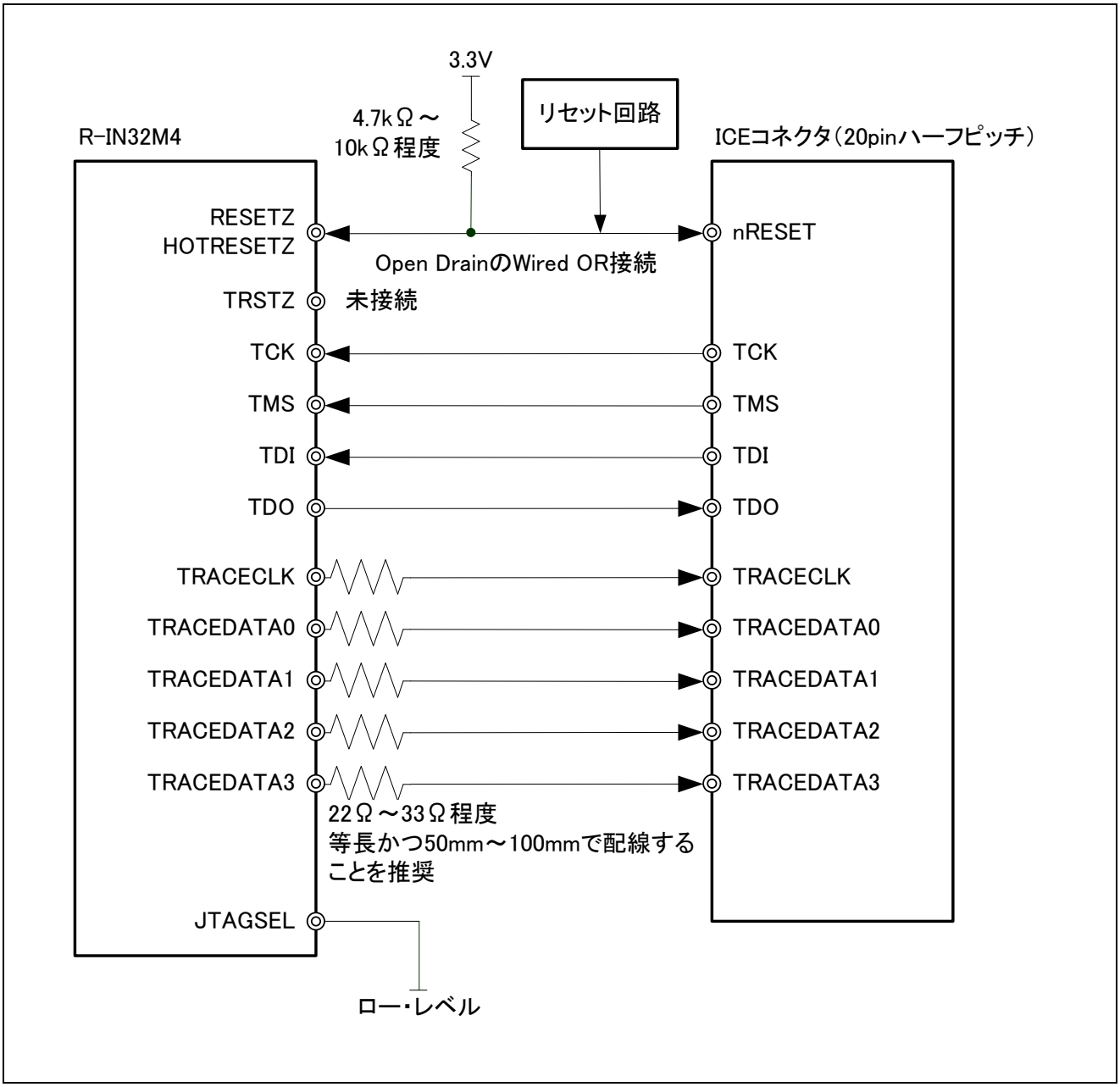


図26.2 JTAG インタフェース接続例（20pin ハーフピッチ、トレースあり）

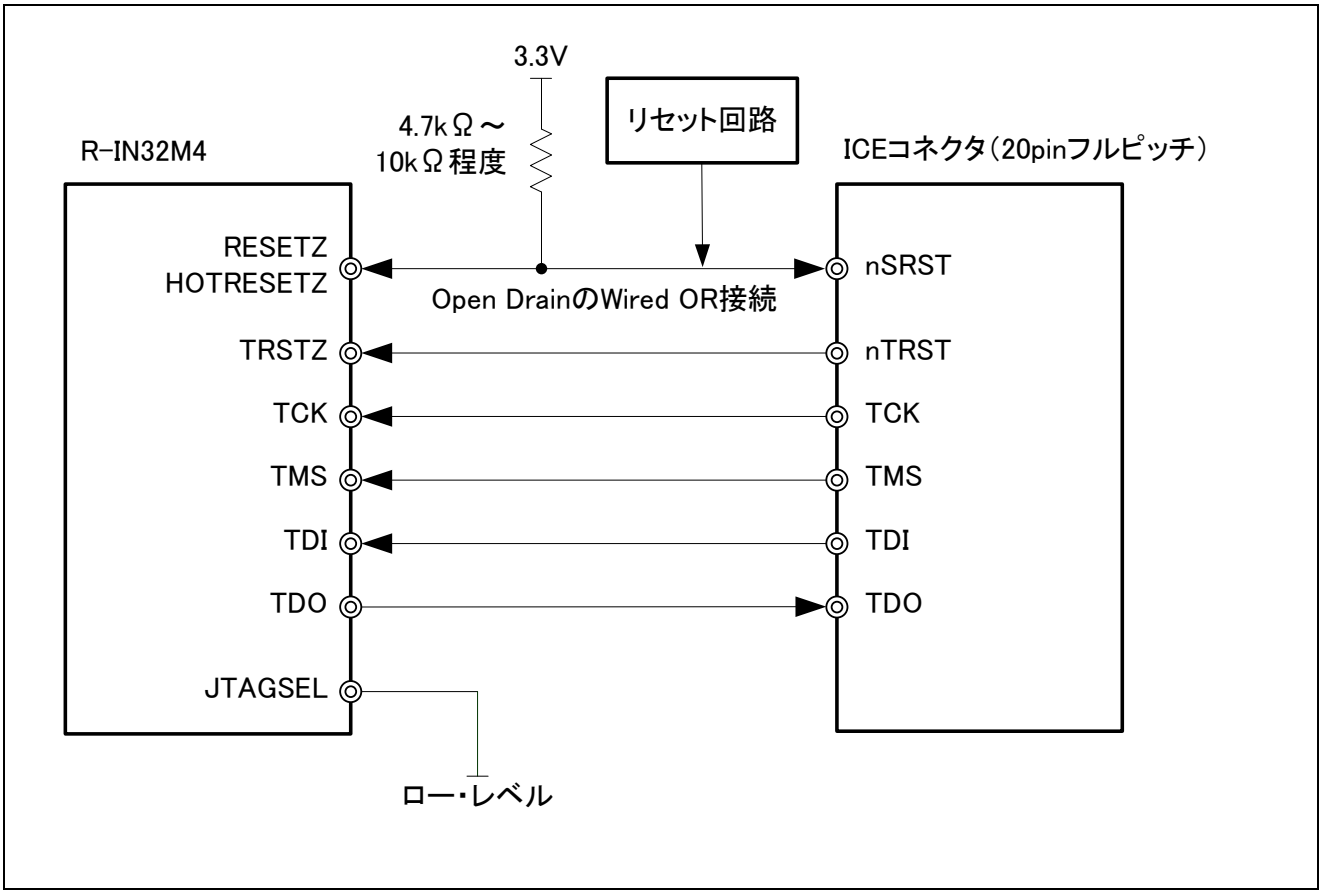


図26.3 JTAG インタフェース接続例（20pin フルピッチ）

26.2 SWD インタフェース

SWD（Serial Wire Debug）インタフェースは、SWCLK(TCK)／SWDIO(TMS)の 2 本の信号により、ICE を介してホスト・マシン（PC）との通信を行います。

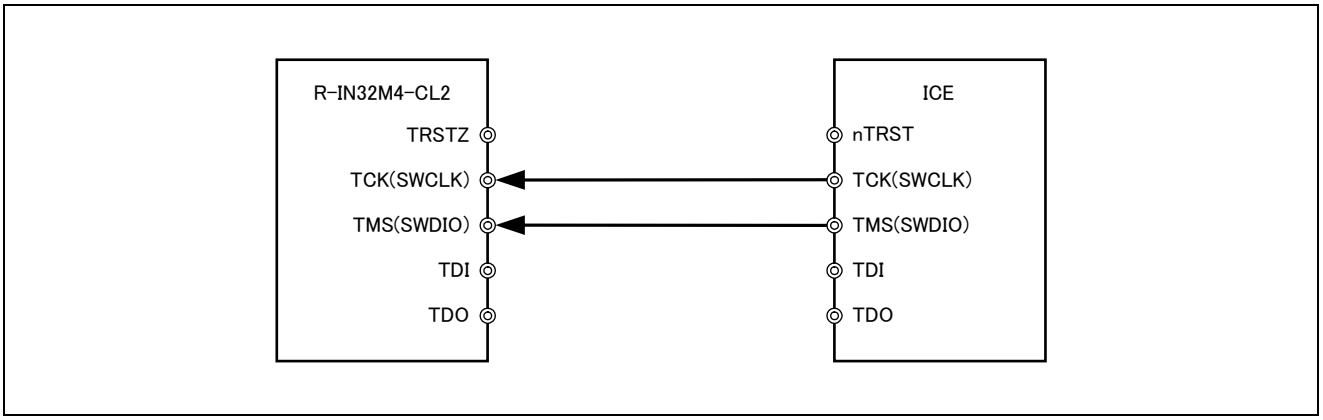


図26.4 SWD インタフェース接続例

26.3 トレースポート・インタフェース

トレースポート・インタフェースは、TRACECLK／TRACEDATA[3:0]の 5 本の信号により、トレース情報の出力を行います。トレースポート・インタフェースでは、ETM トレースにより得られた「実行されたプログラムの分岐命令情報」が出力され、その情報をデバッガが補完することにより、分岐時の分岐元および分岐先の情報を知ることができます。なお、トレース情報に関する詳細は、各 ICE メーカのマニュアルを参照してください。

CC-Link IE Field の内部入力端子は、トレース端子のリセット時の状態をラッチした値が入力されます。詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル」を参照下さい。

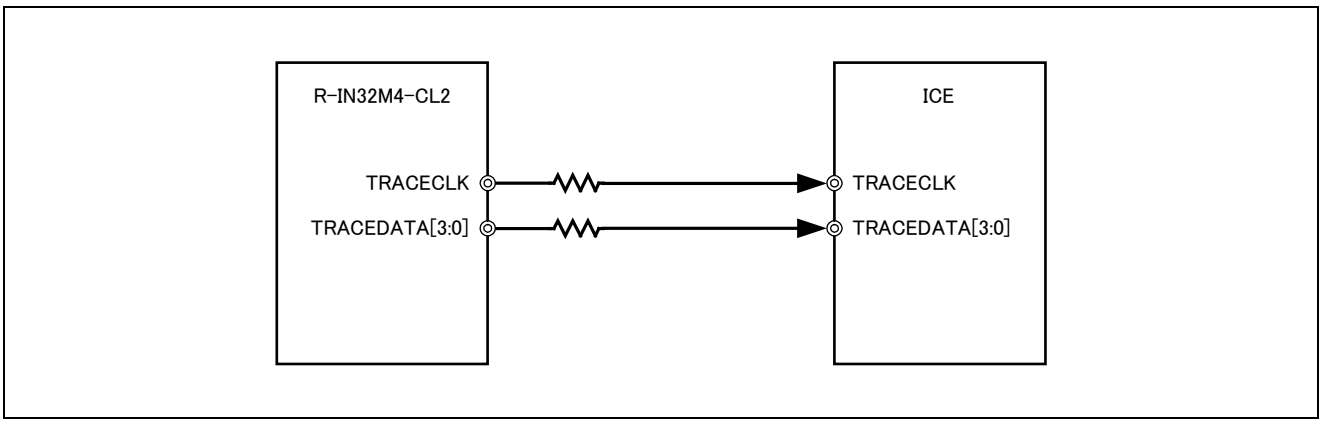


図26.5 トレースポート・インタフェース接続例

26.4 SWV インタフェース

SWV（Serial Wire Viewer）インタフェースは、TDO(SWV)もしくは、TRACEDATA0(SWV)の 1 本の信号により、トレース情報の出力を行います。JTAG インタフェースを使用している場合は、TDO(SWV)は使用できません。SWV トレースは、指定したサンプリング・サイクル間隔で指定したデータをサンプリングする機能です。なお、トレース情報に関する詳細は、各 ICE メーカのマニュアルを参照してください。

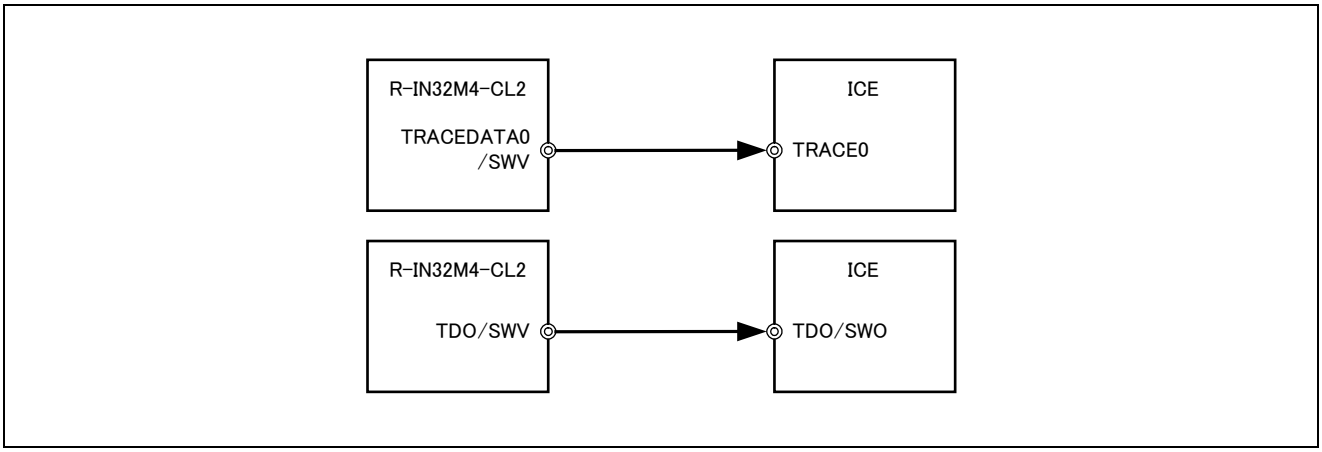


図26.6 SWV インタフェース接続例

改訂記録	R-IN32M4-CL2 ユーザーズ・マニュアル　周辺機能編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2015.11.20	－	初版発行
1.00	2016.03.04	4-1	「4. バス構成」表 4.1 スレーブとして CC-Link を追加（補足）
		8-5	「8.3.1(4) ハードウェア・ファンクション・コール・レジスタ」 CMD、CNTX_TYPE0、CNTX_STAT0 レジスタを追加（機能追加）
		8-13	「8.3.4.6 TX MODE レジスタ（GMAC_TXMODE）」 LPTXEN ビットに注釈を追加（注意喚起）
		8-24～8-28	「8.3.5 ハードウェア・ファンクション・コールレジスタ」 既存レジスタの説明拡充、新規レジスタ追加（機能追加）
		8-28～8-50	「8.4.1 ハードウェア・ファンクション」新設（機能追加）
		8-51～8-52	「8.4.2 割り込み機能」新設（機能追加）
		8-60	「8.4.4.5 受信データ・フォーマット」図 8.15 新規追加（機能追加）
		10-2	「10.2(a) SRAM, 外部 I/O 接続機能」 アイドル・ウエイト制御のサイクル数を修正（誤記訂正）
		10-2	「10.2(b) ページ ROM 接続機能」 アイドル・ウエイト制御のサイクル数を修正（誤記訂正）
		11-15	「11.2.9 同期式バースト・アクセス MEMC リフレッシュ設定レジスタ（REF_PERIOD0）」アドレスを修正（誤記訂正）
		11-44	「11.4.2 同期アクセス・タイミング」注意書きを追加（注意喚起）
		12-2	「12. 外部マイコン・インタフェース」注意書きを追加（注意喚起）
		12-8	「12.2.2(3) 同期モードと非同期モード」 表 12.4 同期モードにおける同期関係を修正（誤記訂正）
		12-10	「12.2.3(1) CC-Link IE Field Network 領域へのアクセス」 図 12.2～12.3 HD0-31、HWAITZ 信号の表記修正（表記改善）
		12-11	「12.2.3(2) 外部マイコン・インタフェース・レジスタ領域へのアクセス」 図 12.4～12.5 HD0-31、HWAITZ 信号の表記修正（表記改善）
		12-12	「12.2.3(3) その他の領域へのアクセス」新設（補足）
		12-14	「12.2.4 (2) 非同期接続タイミング調整機能（SRAM 書き込み）」 図 12.8 各信号不定期間の修正、ステーブル期間の明示（表記改善）
		12-15	「(3) 非同期接続タイミング調整機能（SRAM 読み出し、ページ ROM 読み出し）」図 12.9 各信号不定期間の修正、ステーブル期間の明示および注意書き追加（表記改善）
		12-32	「12.3.4(2) HOSTIF 同期バースト転送制御レジスタ 0（HIFEXT0）」 Reserved ビットに対する注意書きを追加（注意喚起）
		12-33	「12.3.4(3) HOSTIF 同期バースト転送制御レジスタ 1（HIFEXT1）」 Reserved ビットに対する注意書きを追加（注意喚起）
		13-26～13-28	「13.4.2(9) シリアル・データの受信レイテンシ」新設（機能追加）
		13-35	「13.4.3(9) Enter 4-byte mode 命令」新設（機能追加）
		13-44	「13.4.8(3) 直接通信での SPI バス・サイクル生成」 未サポートの使用方法に関する注意書きを追加（注意喚起）
		14-4	「14.1.1 概要」表 14.3 転送サイズに関する注意書きを追加（注意喚起）
		18-1	「18.1 WDTA の特徴」表 18.2 75%割り込み機能を追加（機能追加）
		18-2	「18.2 機能概要」75%割り込み機能を追加（機能追加）

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2016.03.04	18-10	「18.4.4 75%割り込み出力」75%割り込み機能を追加（機能追加）
		19-9	「19.4(2) UARTJn 制御レジスタ 1（URTJnCTL1）」 BF 長 15 ビット時の URTJnBLG0 ビット設定値を修正（誤記訂正）
		19-15	「19.4(5) UARTJn ステータス・レジスタ 0（URTJnSTR0）」 各ビットに送受信禁止時に関する注釈を追加（注意喚起）
		19-16～16-17	「19.4(6) UARTJn ステータス・レジスタ 1（URTJnSTR1）」 各ビットに送受信禁止時に関する注釈を追加（注意喚起）
		19-31	「19.5.3 ステータス割り込み要求 INTUAJnTIS」 図 19.4 オーバラン・エラー判定フローを修正（誤記訂正）
		19-47	「19.6.6(2) 受信の開始と停止」 図 19.15 ポインタ値設定時の補足説明を追加（補足）
		19-54	「19.7 ボー・レート・ジェネレータ」 ボーレート誤差の算出方法を追加（補足）
		21-16	「21.3(6)(a) IICBnWL, IICBnWH レジスタによる転送クロック設定方法」 転送クロック算出式を修正（誤記訂正）
		21-119	「21.9.1(1) シングル転送モード時のマスタ動作設定手順」 図 21.14 最終データ送信完了判定後の分岐先を修正（誤記訂正）
		21-121	「21.9.1(3) 連続転送モード時のマスタ動作設定手順」 図 21.16 受信割り込み発生後の処理を追加（誤記訂正）
		21-123 21-124	「21.9.2(1) 通信予約機能許可（IICBnCTL1.IICBnSLRS ビット= 0）時のシングル転送モード設定手順」 分割した図 21.18 を互いに繋ぐ参照記号（A～F）を修正（誤記訂正）
		21-125	「21.9.2(2) 通信予約機能禁止（IICBnCTL1.IICBnSLRS ビット= 1）時のシングル転送モード設定手順」 図 21.19(1/2) 通信開始判定後の分岐先を修正（誤記訂正）
		21-127	「21.9.2(3) 通信予約機能許可（IICBnCTL1.IICBnSLRS ビット= 0）時の連続転送モード設定手順」 図 21.20(1/2) 通信開始判定後の分岐先を修正（誤記訂正）
		21-128	「21.9.2(3) 通信予約機能許可（IICBnCTL1.IICBnSLRS ビット= 0）時の連続転送モード設定手順」 図 21.20(2/2) 受信/送信割り込み発生後の分岐先を修正（誤記訂正）
		21-129	「21.9.2(4) 通信予約機能禁止（IICBnCTL1.IICBnSLRS ビット= 1）時の連続転送モード設定手順」 図 21.21(1/2) 通信開始判定後の分岐先を修正（誤記訂正）
		21-130	「21.9.2(4) 通信予約機能禁止（IICBnCTL1.IICBnSLRS ビット= 1）時の連続転送モード設定手順」 図 21.21(2/2) 拡張コード/アドレス一致判定前の処理を削除（誤記訂正）
		22-116	「22.14.1 初期化」図 22.14 不足処理を追加（誤記訂正）
		22-132	「22.14.2 メッセージの送信」図 22.28 不足処理を追加（誤記訂正）
2.00	2017.02.28	2-2	「2.1.2 クロック構成図」図 2.1 クロック構成図を修正
		3-3	「3.3.1 機能概要」ECC エラー割り込み機能追加
			「3.3.2 リード・バッファ機能」 2bit ECC エラー発生時の AHB バス動作説明を修正
		3-4	「3.4.1 機能概要」ECC エラー割り込み機能追加

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2017.02.28	3-5	「3.5.1 機能概要」ECC エラー割り込み機能追加
		8-9	「8.3.4.1 MIIM レジスタ（GMAC_MIIM）」 RWDV ビットに設定手順の補足説明を追記
		8-11	「8.3.4.3 TX RESULT レジスタ（GMAC_TXRESULT）」 レジスタの説明を追加
		8-12～8-13	「8.3.4.5 RX MODE レジスタ（GMAC_RXMODE）」 FIFO の 1 ワードの定義と容量説明を追記 REMPTH1-0、RFULLTH1-0、RRTTH2-0 の説明を修正
		8-14～8-15	「8.3.4.6 TX MODE レジスタ（GMAC_TXMODE）」 レジスタの説明を追加 TEMPTH2-0、TFULLTH1-0 の説明を修正
		8-16	「8.3.4.7 RESET レジスタ（GMAC_RESET）」 動作モード毎のリセット完了待ち時間を追記 RXRST のビット位置（Bit13→Bit14）を変更
		8-18	「8.3.4.9 RX FLOW CONTROL レジスタ（GMAC_FLWCTL）」 レジスタの説明変更および追加
		8-19	「8.3.4.10 PAUSE パケットレジスタ（GMAC_PAUSPKT）」 創出されるパケットのデータフォーマットを追加
		8-21	「8.3.4.12 RX FIFO ステータス・レジスタ（GMAC_RXFIFO）」 RRT ビットの説明を修正
		8-22	「8.3.4.13 TX FIFO ステータス・レジスタ（GMAC_TXFIFO）」 Bit31 に TFULL ビットを追加
		8-23	「8.3.4.14 TCPIPACC レジスタ（GMAC_ACC）」 RTCPIPEN ビットの説明を修正
		8-24	「8.3.4.16 LPI モード制御レジスタ（GMAC_LPI_MODE）」 LPI 制御の説明を追加
		8-25	「8.3.4.18 受信 Buffer 情報レジスタ（BUFID）」 レジスタの説明変更及び追加
		8-30	「8.4.1 ハードウェア・ファンクション」 図 8.2 AHB2DMA バスブリッジを追加
		8-31	「8.4.1.1 初期設定」 手順<4>として R0 レジスタの読み出し待ちを追加
		8-32	「8.4.1.3(1) 機能概要」 バッファ未確保領域に対する DMA アクセス時の動作説明を追加
		8-35	「8.4.1.3(2)(e) Hardware Function Call 一覧」 Buffer Allocator の Hardware Function Call のエラー要因を追記
		8-37	「8.4.1.3(2)(e) Hardware Function Call 一覧」 表 8.6 HWFNC_Buffer_Return の戻り値の説明を修正
		8-39	「8.4.1.4(2) 受信 MAC DMA 機能」 BUFID に蓄えられる情報数を最大 32 個に修正
		8-40	「8.4.1.4 MAC DMA コントローラ」(a) 搭載されている各機能の説明 ・ バッファの全解放機能 条件②の説明を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2017.02.28	8-41	「8.4.1.4　MAC DMA コントローラ」(a) 搭載されている各機能の説明 ・受信フレームの良否判定機能 無効化された要因に該当するフレームは破棄される旨を追加 図を修正
		8-42	「8.4.1.4(2)(b) 使用方法」 レジスタのビット名を修正
		8-43	「7.4.1.4(2)(c) Hardware Function Call 一覧」 表 8.7 HWFNC_MACDMA_RX_Enable の R7 の説明を修正
		8-44	「7.4.1.4(2)(c) Hardware Function Call 一覧」 表 8.8 HWFNC_MACDMA_RX_Disable の R7 の説明を修正
		8-45	「8.4.1.4(2)(c) Hardware Function Call 一覧」 表 8.10 R0 レジスタ Bit1 の説明を修正
		8-48	「8.4.1.4(3)(d) Hardware Function Call 一覧」 表 8.11 転送可能バイト数を修正
		8-49	「8.4.1.5(2)(a) バッファ RAM - データ RAM 間転送」 「8.4.1.5(2)(b) バッファ RAM またはデータ RAM のデータ置換」 R0 の読み出しで DMA 転送の完了を確認できる旨を追加
			「8.4.1.5(2)(c) バッファ RAM - バッファ RAM 間転送」 DMA 転送完了割り込みで DMA 転送の完了を確認できる旨を追加
		8-50	「8.4.1.5(2) (d) Hardware Function Call 一覧」 表 8.13 Hardware Function Call の名称を修正
		8-51	「8.4.1.5(2) (d) Hardware Function Call 一覧」 表 8.14 HWFNC_Direct_Memory_Replace の説明を追加
		8-53	「8.4.2 割り込み機能」表 8.17 TX-FIFO エラー割り込みは GMAC_TXRESULT レジスタからの読み出しを行うまで保持される旨を追加
		8-54	「8.4.2 割り込み機能」表 8.19 InterBuffer DMA 転送完了割り込みを追加 InterBuffer DMA 転送エラー割り込みを追加
		8-56	「8.4.3.1 送信処理用のバッファの獲得」 R0 の戻り値の説明を修正
		8-57	「8.4.3.2 送信データの作成」図 8.12 送信フレーム制御情報とイーサネットフレームの配置を明示
		8-58～8-59	「8.4.3.2(1) 送信フレーム制御情報」 送信フレーム制御情報の ICRC、APAD の修正 TCPIP ACC OFF に注 2 を追加 送信サイズが TCPIP アクセラレータ有効/無効で変わる旨を追加
		8-59	「8.4.3.2(2) イーサネット・フレーム」 送信イーサネット・フレームのデータ形式の修正
		8-60～8-61	「8.4.3.2(2) イーサネット・フレーム」 「(a) 送信 TCPIP アクセラレータ機能が有効の場合」、 「(b) 送信 TCPIP アクセラレータ機能が無効の場合」を追加
		8-63	「8.4.3.3 送信処理用ディスクリプタの作成」 送信処理用ディスクリプタの制限事項を削除

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2017.02.28	8-63	「8.4.3.5 送信処理の完了」送信処理完了時の説明を追加
		8-65	「8.4.4.5 受信データ・フォーマット」 受信データ・フォーマットのアラインメントの記載修正 イーサネットフレームと受信フレーム情報の配置を明示
		8-66	「図 8.20 受信フレーム情報」 受信フレーム情報の図を追加 FIFOFULL フィールドを FIFOOVF に名称変更
		8-67	「8.4.4.5 受信データ・フォーマット」(1) 受信フレーム情報 - IPV6NG フィールドの説明を具体化 - OUT_OF_LIST フィールドの説明を具体化 - VTAG フィールドの説明を具体化 - FIFOFULL を FIFOOVF に名称変更し、説明を追加 - IPNG～VTAG に注 2 を追加
		8-68	「7.4.4.5 受信データ・フォーマット」(1) 受信フレーム情報 注 1 の説明修正、注 2 の説明を追加
		8-69	「7.4.4.5 受信データ・フォーマット」(2) イーサネット・フレーム 受信イーサネット・フレームのフォーマットの説明を修正
		8-70	「8.4.4.5(2) イーサネット・フレーム」 マネージメントタグ有効時に受信したフレームの宛先 MAC アドレスの復元の注意を追加
		8-71～8-73	「8.4.4.5 受信データ・フォーマット」(2) イーサネット・フレーム (a) 受信 TCPIP アクセラレータ機能が有効かつ TCP/UDP パケットを含まない場合、(b) 受信 TCPIP アクセラレータ機能が有効かつ TCP/UDP パケットを含む場合、(c) 受信 TCPIP アクセラレータ機能が無効の場合、を追加
		8-74～8-75	「8.4.5 TCPIP アクセラレータ機能」新設
		8-76	「8.5.1 送信フレーム内の MAC ヘッダ部に対するパディングの追加」 送信フレーム内の MAC ヘッダ部のパディングに関する補足
			「8.5.2 受信時のチェックサム計算結果の誤判定」 受信 TPCPIP アクセラレータ機能に関する注意事項を追加
		8-76～8-80	「8.5.3 受信 FIFO オーバーフロー発生時の受信フレーム情報の誤り」 受信 FIFO オーバーフロー発生時の問題と回避策を追加
		8-80～8-81	「8.5.4 Padding を含む 64byte を超えるフレーム受信時の受信フレーム情報の誤り」 Padding を含む 64ybte を越えるフレーム受信時の問題と回避策を追加
		9-2	「9.2 特徴」 イーサネット・スイッチの割り込み信号、入出力信号を追加
		11-1～11-2	「11.1 特徴」端子機能の表記統一。重複した説明を削除
		11-3	「11.2 制御レジスタ」レジスタ名の修正
		11-4～11-5	「11.2.1 ウエイト信号選択レジスタ（WAITZSEL）」 レジスタ名を変更。端子機能の表記統一
		11-6～11-7	「11.2.2 同期式バースト・アクセス MEMC 領域選択レジスタ（SMADSEL0-3）」注意事項の表記を変更。備考 2 を追記

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2017.02.28	11-8	「11.2.3 バス・クロック分周設定レジスタ（BCLKSEL）」 レジスタ名を変更。説明の補足、不要な説明を削除。 外部メモリ領域を明示
		11-9	「11.2.4 同期式バースト・アクセス MEMC 動作モード設定レジスタ（SMC352MD）」 レジスタ名を修正。SMCCLKTH ビットの説明を修正。 外部メモリ領域を明示、端子機能の表記統一
		ー	「11.2 制御レジスタ」 SMC352 バッファ制御レジスタ（SMCBUFMD）を削除
		11-10	「11.2.5 同期式バースト・アクセス MEMC ダイレクト・コマンド・レジスタ（DIRECT_CMD）」 説明中のレジスタ名を修正。備考を追加。端子機能の表記統一
		11-11	「11.2.6 同期式バースト・アクセス MEMC サイクル設定レジスタ（SET_CYCLES）」レジスタ名を修正。端子機能の表記統一
		11-12	「11.2.6 同期式バースト・アクセス MEMC サイクル設定レジスタ（SET_CYCLES）」 T_WC、T_RC ビットの注意を注 2 に移動。端子機能の表記統一。 T_CEOE、T_WC、T_RC ビットに補足を追加
		11-13～11-14	「11.2.7 同期式バースト・アクセス MEMC モード設定レジスタ（SET_OPMODE）」 説明中のレジスタ名を修正。ADV ビットの説明を修正。 WR_BL、RD_BL ビットの注意事項を注として移動。端子機能の表記統一
		11-15	「11.2.8 同期式バースト・アクセス MEMC リフレッシュ設定レジスタ（REF_PERIOD0）」注意事項を修正
		11-16	「11.2.9 同期式バースト・アクセス MEMC CSZn サイクル・レジスタ（SRAM_CYCLES0_n）」 レジスタ名、レジスタ略号を修正
		11-17	「11.2.10 同期式バースト・アクセス MEMC CSZn モード・レジスタ（OPMODE0_0-3）」 レジスタ名、レジスタ略号を修正
		11-18	「11.2.11 レジスタ設定手順」 レジスタ略号を修正。未サポートのレジスタ（DMCBUFMD）を削除。 端子機能の表記統一
		11-19	「11.3.1 バス・クロック制御機能」 章見出し、構成を変更。レジスタ略号を修正。 BUSCLK マスク機能の動作説明図を分割
		11-20	「11.3.2 アドレス出力機能」 外部アドレス端子名とアドレス空間サイズを修正
			「11.3.3 アドレス／データ・マルチプレクス機能」 アドレス／データ・マルチプレクス機能説明の表を追加
		11-21	「11.3.4 ライト・イネーブル（WRZn）信号拡張機能」 レジスタ略号を修正。備考を追加
		11-22	「11.3.5 リード・データ・タイミング制御」 レジスタ略号を修正。備考の追加および修正

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2017.02.28	11-23～11-25	「11.3.6 ウエイト信号制御機能」 端子機能の表記統一。備考を追加
		11-26	「11.3.7 同期式バースト・アクセス MEMC の動作モード設定」 メモリ・コントローラ名称を修正
		11-27	「11.3.8 外部メモリ領域マッピング切り替え機能」 端子機能の表記統一。注意事項の表記変更
		11-28	「11.4 メモリ・アクセス・タイミング例」図 11.23 を追加
		11-29～11-36	「11.4.1 非同期アクセス・タイミング」 図 11.7～図 11.14 に補足説明、備考を追加
		11-37～11-43	「11.4.2 同期アクセス・タイミング」 図 11.15～図 11.21 に補足説明、備考を追加
		11-44～11-45	「11.4.3 ウエイト・タイミング」 図 11.22～図 11.23 に補足説明、備考を追加
		13-45～13-62	「13.5 設定例」シリアル・フラッシュ ROM メモリ・コントローラ設定例を追加
		14-142	「14.9.1 設定例 1（レジスタ・モード、シングル転送モード、ハードウエア・トリガ）」表 14.35 割り込み略号を修正
		14-143	「14.9.1 設定例 1（レジスタ・モード、シングル転送モード、ハードウエア・トリガ）」図 14.38 割り込み略号を修正
		14-144	「14.9.2 設定例 2（レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ）」表 14.37 CHCFG2 レジスタの設定値を修正
		14-145	「14.9.2 設定例 2（レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ）」表 14.38 割り込み略号を修正
		14-146	「14.9.2 設定例 2（レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ）」図 14.39 割り込み略号を修正
		14-148	「14.9.3 設定例 3（レジスタ・モード：連続実行、ブロック転送モード、ソフトウェア・トリガ）」表 14.41 設定値欄の"R/W"→"設定値"に修正。 割り込み略号を修正
		14-149	「14.9.3 設定例 3（レジスタ・モード：連続実行、ブロック転送モード、ソフトウェア・トリガ）」図 14.40 割り込み略号を修正
		14-152	「14.9.4 設定例 4（リンク・モード、ブロック転送モード、ソフトウェア・トリガ）」表 14.46 レジスタ略号を修正。 未サポートのレジスタ（DMAESEL）を削除
			「14.9.4 設定例 4（リンク・モード、ブロック転送モード、ソフトウェア・トリガ）」図 14.41 割り込み略号を修正
3.00	2018.12.28	2-11	「図 2.3 パワーON 時のリセットタイミングチャート」 「図 2.4 システムリセット時のリセットタイミングチャート」 タイミングチャートを変更
		5-1	「表 5.1ブート・モード選択」STCSZ0 を CSZ0 に修正
		5-1	「(1)外部メモリ・ブート・モード」 STCSZ0 を CSZ0 に修正
		8-9	「7.3.4.1MIIM レジスタ（GMAC_MIIM）」 注意内容を修正
		8-13	「8.3.4.5 RX MODE レジスタ（GMAC_RXMODE）」 SFRXFIFO（ビット 29)の意味欄を変更

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2018.12.28	8-14	「8.3.4.6 TX MODE レジスタ（GMAC_TXMODE）」 FSTTH（ビット 15-14）を予約ビットへ変更 SF ビットの 0 設定を禁止し、注 2 を追加
		8-31	「8.4.1.2 ハードウェア・ファンクション・コール発行処理フロー」 発行処理フロー図を変更
		8-32	「8.4.1.3 Buffer Allocator (1) 機能概要」 Exception 発生に関する文言を変更
		8-35	「8.4.1.3 Buffer Allocator (2) Buffer 管理オペレーション」 「Hardware Function Call 一覧」の HWFNC_LongBuffer_Get 戻り値を修正
		8-36	「8.4.1.3 Buffer Allocator (2) Buffer 管理オペレーション」 「Hardware Function Call 一覧」の HWFNC_ShortBuffer_Get 戻り値を修正
		8-42	「8.4.1.4 MAC DMA コントローラ (2) 受信 MAC DMA 機能」 「(b)使用方法 バッファ読み出しと解放手順」の例を修正
		8-43	「8.4.1.4 MAC DMA コントローラ (2) 受信 MAC DMA 機能」 「(c)Hardware Function Call 一覧」の説明文を修正
		8-48	「8.4.1.4 MAC DMA コントローラ (3) 送信 MAC DMA 機能」 「(d)Hardware Function Call 一覧」の説明文を修正
		8-49	「8.4.1.4 MAC DMA コントローラ (3) 送信 MAC DMA 機能」 「(d)Hardware Function Call 一覧」の HWFNC_MACDMA_TX_Errstat の戻り値レジスタ R0 の説明文を修正
		8-51	「8.4.1.5 バッファ RAM DMA コントローラ (2) DMA 転送」 「(d)Hardware Function Call 一覧」の説明文を修正
		8-51	「8.4.1.5 バッファ RAM DMA コントローラ (2) DMA 転送」 HWFNC_Direct_Memory_Transfer の引数レジスタ説明を修正
		8-54	「8.4.2 割り込み機能」 送信動作に関する割り込みの MACDMA 送信エラーの発生条件を修正
		8-55	「8.4.2 割り込み機能」 その他の動作に関する割り込みへ Buffer RAM 領域アクセスエラーを追加
		8-82	「8.5.5 Cut Through モードにおける送信の問題」 「8.5.6 Jumbo フレームについて」 注意事項へ上記 2 項目を追加
		10-18	「図 10.8 SRAM リード・サイクル」 STCSZn を CSZn に修正
		10-18	「図 10.9 SRAM リード・サイクル（ウエイト設定あり）」 STCSZn を CSZn に修正
		10-19	「図 10.10 SRAM リード・サイクル（外部ウエイト挿入）」 STCSZn を CSZn に修正
		10-19	「図 10.11 SRAM ライト・サイクル（ウエイトなし）」 図上部 ACn3-ACn0=000B/0001B の(0 ウエイト)を(1 ウエイト)へ修正
			「図 10.11 SRAM ライト・サイクル（ウエイトなし）」 STCSZn を CSZn に修正
		10-20	「図 10.12 SRAM ライト・サイクル（ウエイトあり）」 STCSZn を CSZn に修正
		10-21	「図 10.13 SRAM ライト・サイクル（外部ウエイト挿入）」 STCSZn を CSZn に修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2018.12.28	10-22	「図 10.14 ページ ROM リード・サイクル（シングル転送）」 STCSZ0 を CSZ0 に修正
		10-22	「図 10.15 ページ ROM リード・サイクル（4 バースト転送）」 STCSZ0 を CSZ0 に修正
		12-3	「12.1 メモリ MAP」 「図 12.1 外部マイコン・インタフェース・メモリ空間」 メモリ・マップの命令 RAM 領域を命令 RAM ミラー領域へ修正
		12-4	「12.1 メモリ MAP」 命令 RAM 領域(768K バイト)はブート･モードによりアクセス発生アドレスが変化する注意を追加
		12-19	「12.2.5 制御レジスタ (2) HOSTIF バス制御レジスタ（HIFBCC）」 命令 RAM 領域を命令 RAM ミラー領域へ修正
		12-20	「12.2.5 制御レジスタ (2) HOSTIF バス制御レジスタ（HIFBCC）」 命令 RAM 領域を命令 RAM ミラー領域へ修正 命令 RAM 領域を先読み機能有効にした場合の注意を追加
		12-22	「12.2.5 (4)HOSTIF ページ ROM 制御レジスタ（HIFPRC）」 命令 RAM 領域を命令 RAM ミラー領域へ修正
		14-2	「〇スキップ機能」 文中の「離散アクセス・サイズ」を「スキップ空間サイズ」へ変更
		14-80	「14.4.5 DMA 転送インタフェース信号制御レジスタ （DMAIFC0,DMAIFC1,RTDMAIFC）」 RQMN4-RQMN0 ビットおよび AKWD4-AKWD0 ビット説明欄中の 添え字誤記を修正。
		14-86	「14.4.6 DMA トリガ要因選択レジスタ（DTFRn, RTDTFR）」 DMA 転送トリガ要因に外部 DMA 転送要求入力を選択する際の注記を追加
		14-91	「表 14.9汎用 DMA コントローラの割り込み出力」 「表 14.10リアルタイムポート用 DMA コントローラの割り込み出力」 「パルス出力/割り込み出力の切り替え」を削除
		20-38	「20.4.2 マスタ／スレーブの接続」 「図 20.4 マスタ／スレーブ間の直接の接続」 R-IN32M4-CL2 がマスタの場合、R-IN32M4-CL2 がスレーブの場合の各図を記載
		20-38～39	「20.4.2 マスタ／スレーブの接続」 下図の端子名変更および R-IN32M4-CL2 の CSIHnTSSI を削除 図 20.5 1 つのマスタと 2 つのスレーブの間の接続 また、上記に合わせて文中の文言を変更
		21-15	「21.3 (6) IICBn ハイ・レベル幅設定レジスタ」 表 21.4 $t_{SU:STA}$ の発生タイミングを修正。タイミング図に $t_{HD:DAT}$ を追加
		21-43	「(3)シングル転送モード（スレーブ受信）の通信例」 「<5>データ受信完了処理」のウエイト期間中に設定するビットから、 IICBnCTL0.IICBnSLWT ビットを削除
		25-7	「25. システム・プロテクト・コマンド・レジスタ（SYSPCMD）」 注意 2 の「必ず本ビットをクリア」が「0:プロテクト設定」であることを明記
		25-18	「25.11.1 ノイズ・フィルタ設定レジスタ(NFC0-4)」 注意文中の誤記を修正(NFC0-NFC3 → NFC0-NFC4)

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2018.12.28	25-23	「25.11.2 ノイズ・フィルタの動作」 説明文中の誤記を修正(NFC0-NFC3 → NFC0-NFC4) 図中の誤記を修正(NFC0-NFC7 → NFC0-NFC4)
		26-1	「26. デバッグ機能」 推奨インサーキット・エミュレータ情報の変更
		ー	誤記訂正、表現訂正、他文書との記載内容統一

[MEMO]

R-IN32M4-CL2 ユーザーズ・マニュアル
周辺機能編

発行年月日　2013年 1月18日　Rev.1.00 (暫定)
2018年12月28日　Rev.3.00

発行　ルネサス エレクトロニクス株式会社
〒135-0061　東京都江東区豊洲3-2-24（豊洲フォレシア）

R-IN32M4-CL2 ユーザーズ・マニュアル

周辺機能編

ルネサス エレクトロニクス株式会社

R18UZ0034JJ0300

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：https://www.renesas.com/contact/

© 2018 Renesas Electronics Corporation. All rights reserved.

Colophon 3.1