
RX63N グループ、RX64M グループ

R01AN1959JJ0101

Rev.1.01

RX63N グループと RX64M グループの相違点

2016.01.14

要旨

本アプリケーションノートでは、RX63N グループ、RX64M グループにおける I/O レジスタの相違点を確認する際の参考資料です。

動作確認デバイス

- RX64M グループ 177、176 ピン版 ROM 容量:2MB~4MB
- RX64M グループ 145、144 ピン版 ROM 容量:2MB~4MB
- RX64M グループ 100 ピン版 ROM 容量:2MB~4MB

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

目次

| | |
|--|----|
| 1. RX63N グループと RX64M グループの搭載機能比較 | 2 |
| 2. 仕様の概要比較 | 4 |
| 3. 参考ドキュメント | 63 |

1. RX63N グループと RX64M グループの搭載機能比較

RX63N グループと RX64M グループの搭載機能比較を以下に示します。機能の詳細については「2.仕様の概要比較」および「3.参考ドキュメント」を参照してください。

表 1.1にRX63N/RX64M 搭載機能比較を示します。

表 1.1 RX63N/RX64M 搭載機能比較

| 機能名 | RX63N | RX64M |
|--|-------|-------|
| 動作モード | △ | △ |
| オプション設定メモリ | △ | △ |
| 電圧検出回路(LVDA) | △ | △ |
| クロック発生回路 | △ | △ |
| 周波数測定機能(MCK) | ○ | × |
| クロック周波数精度測定回路(CAC) | × | ○ |
| 消費電力低減機能 | △ | △ |
| バッテリーバックアップ機能 | ○ | ○ |
| レジスタライトプロテクション機能 | ○ | ○ |
| 割り込みコントローラ(ICUb):RX63N、(ICUA):RX64M | △ | △ |
| バス | ○ | ○ |
| メモリプロテクションユニット(MPU) | △ | △ |
| DMA コントローラ(DMACA):RX63N、(DMACAa):RX64M | △ | △ |
| EXDMA コントローラ(EXDMACa) | ○ | ○ |
| データトランスファコントローラ(DTCa) | ○ | ○ |
| イベントリンクコントローラ(ELC) | × | ○ |
| I/O ポート | △ | △ |
| マルチファンクションピンコントローラ(MPC) | △ | △ |
| マルチファンクションタイマパルスユニット 2(MTU2a):RX63N、 マルチファンクションタイマパルスユニット 3(MTU3a):RX64M | △ | △ |
| ポートアウトプットイネーブル 2(POE2a):RX63N ポートアウトプットイネーブル 3(POE3):RX64M | △ | △ |
| 汎用 PWM タイマ(GPTa) | × | ○ |
| 16 ビットタイマパルスユニット(TPUa) | ○ | ○ |
| プログラマブルパルスジェネレータ(PPG) | ○ | ○ |
| 8 ビットタイマ(TMR) | △ | △ |
| コンペアマッチタイマ(CMT) | △ | △ |
| コンペアマッチタイマ W(CMTW) | × | ○ |
| リアルタイムクロック(RTCa):RX63N、(RTCd):RX64M | △ | △ |
| ウォッチドッグタイマ(WDTa) | ○ | ○ |
| 独立ウォッチドッグタイマ(IWDTa) | ○ | ○ |
| イーサネットコントローラ(ETHERC) | ○ | ○ |
| イーサネットコントローラ用 PTP コントローラ(EPTPC) | × | ○ |
| イーサネットコントローラ用 DMA コントローラ(EDMAC):RX63N イーサネットコントローラ用 DMA コントローラ(EDMACa):RX64M | △ | △ |
| USB2.0 ホスト/ファンクションモジュール(USBa):RX63N USB2.0 FS ホスト/ファンクションモジュール(USBb):RX64M | △ | △ |
| USB2.0 Full-speed ホスト/ファンクションモジュール(USBA) | × | ○ |
| シリアルコミュニケーションインタフェース(SCIc、SCId):RX63N シリアルコミュニケーションインタフェース(SCIq、SCIh):RX64M | △ | △ |

| 機能名 | RX63N | RX64M |
|--|-------|-------|
| FIFO 内蔵シリアルコミュニケーションインタフェース(SCIFA) | × | ○ |
| I²C バスインタフェース(RIIC):RX63N、(RIICa):RX64M | △ | △ |
| CAN モジュール(CAN) | ○ | ○ |
| シリアルペリフェラルインタフェース(RSPI):RX63N、(RSPIa):RX64M | △ | △ |
| クワッドシリアルペリフェラルインタフェース(QSPI) | × | ○ |
| IEBus コントローラ(IEB) | ○ | × |
| CRC 演算器(CRC) | ○ | ○ |
| シリアルサウンドインタフェース(SSI) | × | ○ |
| サンプリングレートコンバータ(SRC) | × | ○ |
| SD ホストインタフェース(SDHI) | × | ○ |
| マルチメディアカードインタフェース(MMCIF) | × | ○ |
| パラレルデータキャプチャユニット(PDC) | △ | △ |
| バウンダリスキャン | ○ | ○ |
| AES | × | ○ |
| DES | × | ○ |
| SHA | × | ○ |
| RNG | × | ○ |
| 12 ビット A/D コンバータ(S12ADa):RX63N、(S12ADC):RX64M | △ | △ |
| 10 ビット A/D コンバータ(ADb) | ○ | × |
| D/A コンバータ(DAa):RX63M | △ | △ |
| 12 ビット D/A コンバータ(R12DA):RX64M | | |
| 温度センサ | △ | △ |
| データ演算回路(DOC) | × | ○ |
| RAM | △ | △ |
| スタンバイ RAM | × | ○ |
| フラッシュメモリ | △ | △ |

○:機能搭載、×:機能未搭載、△:RX63N と RX64M 間に機能相違点あり

2. 仕様の概要比較

2.1 動作モード

表 2.1に動作モードのレジスタ比較を示します。

表2.1 動作モードのレジスタ比較

| レジスタ | ビット | RX63N | RX64M |
|--------|--------|-------|-----------------|
| SYSCR1 | ECCRAM | - | ECCRAM 有効ビット |
| | SBYRAM | - | スタンバイ RAM 有効ビット |

2.2 オプション設定メモリ

表 2.2にオプション設定メモリのレジスタ比較を示します。

表2.2 オプション設定メモリのレジスタ比較

| レジスタ | ビット名 | RX63N | RX64M |
|-------|------------|----------------|-------------------------|
| SPCC | - | - | シリアルコマンド制御レジスタ |
| OSIS | - | - | OCD/シリアルプログラム ID 設定レジスタ |
| OFS1 | VDSEL[1:0] | - | 電圧検出 0 レベル選択ビット |
| MDEB | - | エンディアン選択レジスタ B | - |
| MDES | - | エンディアン選択レジスタ S | - |
| MDE | - | - | エンディアン選択レジスタ |
| TMEF | - | - | TM イネーブルフラグレジスタ |
| TMINF | - | - | TM 識別データレジスタ |

2.3 電圧検出回路

表 2.3に電圧検出回路仕様の概要比較を、表 2.4に電圧検出回路のレジスタ比較を示します。

表2.3 電圧検出回路仕様の概要比較

| 項目 | | RX63N (LVDA) | | | RX64M (LVDA) | | |
|-----------|-----------|---|---|---|---|---|---|
| | | 電圧監視 0 | 電圧監視 1 | 電圧監視 2 | 電圧監視 0 | 電圧監視 1 | 電圧監視 2 |
| VCC 監視 | 監視する電圧 | Vdet0 | Vdet1 | Vdet2 | Vdet0 | Vdet1 | Vdet2 |
| | 検出対象 | 下降して Vdet0 を通過した場合 | 上昇または下降して Vdet1 を通過した場合 | 上昇または下降して Vdet2 を通過した場合 | 下降して Vdet0 を通過した場合 | 上昇または下降して Vdet1 を通過した場合 | 上昇または下降して Vdet2 を通過した場合 |
| | 検出電圧 | 1 レベル固定 | LVDLVL.R.LVD1LVL[3:0]ビットで指定 | LVDLVL.R.LVD2LVL[3:0]ビットで指定 | OFS1.VDSEL[1:0]ビットで3レベルから選択可能 | LVDLVL.R.LVD1LVD[3:0]ビットで3レベルから選択可能 | LVDLVL.R.LVD2LVD[3:0]ビットで3レベルから選択可能 |
| | モニタフラグ | - | LVD1SR.LVD1MON フラグ: Vdet1 より高いか低いかをモニタ | LVD2SR.LVD2MON フラグ: Vdet2 より高いか低いかをモニタ | - | LVD1SR.LVD1MON フラグ: Vdet1 より高いか低いかをモニタ | LVD2SR.LVD2MON フラグ: Vdet2 より高いか低いかをモニタ |
| 電圧検出時の処理 | リセット | 電圧監視 0 リセット | 電圧監視 1 リセット | 電圧監視 2 リセット | 電圧監視 0 リセット | 電圧監視 1 リセット | 電圧監視 2 リセット |
| | | Vdet0 > VCC でリセット: VCC > Vdet0 の一定時間後に CPU 動作再開 | Vdet1 > VCC でリセット: VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能 | Vdet2 > VCC でリセット: VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能 | Vdet0 > VCC でリセット: VCC > Vdet0 の一定時間後に CPU 動作再開 | Vdet1 > VCC でリセット: VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能 | Vdet2 > VCC でリセット: VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能 |
| | 割り込み | - | 電圧監視 1 割り込み ノンマスクブル割り込み Vdet1 > VCC、VCC > Vdet1 の両方、またはどちらかで割り込み要求 | 電圧監視 2 割り込み ノンマスクブル割り込み Vdet2 > VCC、VCC > Vdet2 の両方、またはどちらかで割り込み要求 | - | 電圧監視 1 割り込み ノンマスクブル割り込み、または割り込みを選択可能 Vdet1 > VCC、VCC > Vdet1 の両方、またはどちらかで割り込み要求 | 電圧監視 2 割り込み ノンマスクブル割り込み、または割り込みを選択可能 Vdet2 > VCC、VCC > Vdet2 の両方、またはどちらかで割り込み要求 |
| デジタルフィルタ | 有効/無効切り替え | - | あり | あり | - | あり | あり |
| | サンプリング時間 | - | LOCO の n 分周 × 2 (n:1、2、4、8) | LOCO の n 分周 × 2 (n:1、2、4、8) | - | LOCO の n 分周 × 2 (n:2、4、8、16) | LOCO の n 分周 × 2 (n:2、4、8、16) |
| イベントリンク機能 | | - | - | - | - | あり:Vdet 通過検出イベント出力 | あり:Vdet 通過検出イベント出力 |

表2.4 電圧検出回路のレジスタ比較

| レジスタ | ビット | RX63N (LVDA) | RX64M (LVDA) |
|---------|------------|--------------|--------------------|
| LVD1CR1 | LVD1IRQSEL | - | 電圧監視 1 割り込み種類選択ビット |
| LVD2CR1 | LVD2IRQSEL | - | 電圧監視 2 割り込み種類選択ビット |

2.4 クロック発生回路

表 2.5にクロック発生回路仕様の概要比較を、表 2.6にクロック発生回路のレジスタ比較を示します。

表2.5 クロック発生回路仕様の概要比較

| 項目 | RX63N | RX64M |
|----|---|---|
| 用途 | <ul style="list-style-type: none"> • CPU, DMAC, DTC, コードフラッシュメモリおよび RAM に供給されるシステムクロック (ICLK) の生成 • ETHERC, EDMAC, DEU に供給される周辺モジュールクロック (PCLKA) の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKB) の生成 • FlashIF に供給される FlashIF クロック (FCLK) の生成 • 外部バスに供給される外部バスクロック (BCLK) の生成 • SDRAM に供給される SDRAM クロック (SDCLK) の生成 • USB に供給される USB クロック (UCLK) の生成 • CAN に供給される CAN クロック (CANMCLK) の生成 • IEBUS に供給される IEBUS クロック (IECLK) の生成 • RTC に供給される RTC 専用サブクロック (RTCSCLK) の生成 • RTC に供給される RTC 専用メインクロック (RTCMCLK) の生成 • IWDT に供給される IWDT 専用クロック (IWDTCCLK) の生成 • JTAG に供給される JTAG 用クロック (JTAGTCK) の生成 | <ul style="list-style-type: none"> • CPU, DMAC, DTC, コードフラッシュメモリおよび RAM に供給されるシステムクロック (ICLK) の生成 • ETHERC, EDMAC, EPTPC, USBHS, RSPI, SCIF, MTU3, GPTA, AES に供給される周辺モジュールクロック (PCLKA) の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKB) の生成 • S12ADC に供給される周辺モジュール (アナログ変換用) クロック (PCLKC: ユニット 0, PCLKD: ユニット 1) の生成 • FlashIF に供給される FlashIF クロック (FCLK) の生成 • 外部バスに供給される外部バスクロック (BCLK) の生成 • SDRAM に供給される外部バスクロック (SDCLK) の生成 • USB0, USBA の PHY に供給される USB クロック (UCLK) の生成 • USBA の PHY に供給される USBHS クロック (USBMCLK) の生成 • CAC に供給される CAC クロック (CACCLK) の生成 • CAN に供給される CAN クロック (CANMCLK) の生成 • RTC に供給される RTC サブクロック (RTCSCLK) の生成 • RTC に供給される RTC メインクロック (RTCMCLK) の生成 • IWDT に供給される IWDT 専用クロック (IWDTCCLK) の生成 • JTAG に供給される JTAG クロック (JTAGTCK) の生成 |

| 項目 | RX63N | RX64M |
|---------------------|--|---|
| 動作周波数 | <ul style="list-style-type: none"> • ICLK:100MHz (max) • PCLKA:100MHz (max) • PCLKB:50MHz (max) • FCLK:4MHz~50MHz(ROM、E2 データフラッシュ P/E 時) • 50MHz (max)(E2 データフラッシュ読み出し時) • BCLK:100MHz (max) • BCLK 端子出力:50MHz (max) • SDCLK 端子出力:50MHz (max) • UCLK:48MHz (max) • CANMCLK:20MHz (max) • IECLK:50MHz (max) • RTCCLK:32.768kHz • RTCMCLK:4MHz~16MHz • IWDTCLK:125kHz • JTAGTCK:10MHz (max) | <ul style="list-style-type: none"> • ICLK:120MHz (max) • PCLKA:120MHz (max) • PCLKB:60MHz (max) • PCLKC:60MHz (max) • PCLKD:60MHz (max) • FCLK:4MHz~60MHz(コードフラッシュメモリ、データフラッシュメモリ P/E 時) • 60MHz (max)(データフラッシュメモリ読み出し時) • BCLK:120MHz (max) • BCLK 端子出力:60MHz (max) • SDCLK 端子出力:60MHz (max) • UCLK:48MHz (max) • USBMCLK:20MHz, 24MHz • CACCLK:各発振器のクロックと同じ • CANMCLK:24MHz (max) • RTCCLK:32.768kHz • RTCMCLK:8MHz~16MHz • IWDTCLK:120kHz • JTAGTCK:10MHz (max) |
| メインクロック発振器 | <ul style="list-style-type: none"> • 発振子周波数:4MHz~16MHz • 外部クロック入力周波数:20MHz (max) • 接続できる発振子または付加回路:セラミック共振子、水晶振動子 • 接続端子:EXTAL、XTAL • 発振停止検出機能:メインクロックの発振停止検出時、LOCO に切り替える機能、MTU の端子をハイインピーダンスにする機能 | <ul style="list-style-type: none"> • 発振子周波数:8MHz~24MHz • 外部クロック入力周波数:24MHz (max) • 接続できる発振子または付加回路:セラミック共振子、水晶振動子 • 接続端子:EXTAL、XTAL • 発振停止検出機能:メインクロックの発振停止検出時、LOCO に切り替える機能、MTU, GPT の端子をハイインピーダンスにする機能 |
| サブクロック発振器 | <ul style="list-style-type: none"> • 発振子周波数:32.768kHz • 接続できる発振子、または付加回路:水晶振動子 • 接続端子:XCIN、XCOUT | <ul style="list-style-type: none"> • 発振子周波数:32.768kHz • 接続できる発振子または付加回路:水晶振動子 • 接続端子:XCIN、XCOUT |
| PLL | <ul style="list-style-type: none"> • 入力クロックソース:メインクロック • 入力分周比:1、2、4 分周から選択可能 • 入力周波数:4MHz~16MHz • 通倍比:8、10、12、16、20、24、25、50 通倍から選択可能 • VCO 発振周波数:104MHz~200MHz | <ul style="list-style-type: none"> • 入力クロックソース:メインクロック、HOCO • 入力分周比:1, 2, 3 分周から選択可能 • 入力周波数:8MHz~24MHz • 通倍比:10~30 通倍から選択可能 • PLL 周波数シンセサイザ出力クロック周波数:120MHz~240MHz |
| 高速オンチップオシレータ (HOCO) | <ul style="list-style-type: none"> • 発振周波数:50MHz • HOCO 電源制御 | <ul style="list-style-type: none"> • 発振周波数:16MHz, 18MHz, 20MHz から選択可能 • HOCO 電源制御 |
| 低速オンチップオシレータ (LOCO) | 発振周波数:125kHz | 発振周波数: 240kHz |
| IWDT 専用オンチップオシレータ | 発振周波数:125kHz | 発振周波数: 120kHz |

| 項目 | RX63N | RX64M |
|----------------------|--|--|
| JTAG 用外部クロック入力 (TCK) | 入力クロック周波数:10MHz (max) | 入力クロック周波数:10MHz (max) |
| BCLK 端子の出力制御機能 | <ul style="list-style-type: none"> BCLK クロック出力または High 出力の選択が可能 出力するクロックは BCLK または BCLK の 2 分周の選択が可能 | <ul style="list-style-type: none"> BCLK クロック出力または High 出力の選択が可能 出力するクロックは BCLK または BCLK の 2 分周の選択が可能 |
| SDCLK 端子の出力制御機能 | SDCLK クロック出力または High 出力の選択が可能 | SDCLK クロック出力または High 出力の選択が可能 |
| イベントリンク機能(出力) | - | メインクロック発振器の発振停止検出 |
| イベントリンク機能(入力) | - | 低速オンチップオシレータへのクロックソース切り替え |

表2.6 クロック発生回路のレジスタ比較

| レジスタ | ビット | RX63N | RX64M |
|-----------|-------------|------------------------------|------------------------------|
| SCKCR | PCKD | - | 周辺モジュールクロック D(PCLKD) 選択ビット |
| | PCKC | - | 周辺モジュールクロック C(PCLKC) 選択ビット |
| SCKCR2 | IEBCK | IEBUS クロック(IECLK)選択ビット | - |
| PLLCR | PLLSRCSEL | - | PLL クロックソース選択ビット |
| HOCO2 | - | - | 高速オンチップオシレータコントロールレジスタ 2 |
| OSCOVFSR | - | - | 発振安定フラグレジスタ |
| MOSCWTCR* | MSTS | bit0~4:メインクロック発振器ウェイト時間設定ビット | bit0~7:メインクロック発振器ウェイト時間設定ビット |
| SOSCWTCR* | SSTS | bit0~4:サブクロック発振器ウェイト時間設定ビット | bit0~7:サブクロック発振器ウェイト時間設定ビット |
| MOFCR | MODRV2[1:0] | - | メインクロック発振器ドライブ能力 2 切り替えビット |
| | MOSEL | - | メインクロック発振器切り替えビット |

【注】 * RX63N グループの MOSCWTCR と SOSCWTCR は、ユーザーズマニュアル ハードウェア編「消費電力低減機能」章に記載されています。

2.5 消費電力低減機能

表 2.7 に消費電力低減機能の概要比較を、表 2.8 に消費電力低減機能のレジスタ比較を示します。

表 2.7 消費電力低減機能の概要比較

| 項目 | RX63N | RX64M |
|---------------------|--|--|
| クロックの切り替えによる消費電力の低減 | システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB)、外部バスクロック (BCLK)、フラッシュインタフェースクロック (FCLK) に対し、個別に分周比を設定することが可能 | システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC , PCLKD)、外部バスクロック (BCLK)、フラッシュインタフェースクロック (FCLK) に対し、個別に分周比を設定することが可能 |
| BCLK 出力制御機能 | BCLK 出力または High 出力の選択が可能 | BCLK 出力または High 出力の選択が可能 |
| SDCLK 出力制御機能 | SDCLK 出力または High 出力の選択が可能 | SDCLK 出力または High 出力の選択が可能 |
| モジュールストップ機能 | 周辺モジュールごとに機能を停止させることが可能 | 周辺モジュールごとに機能を停止させることが可能 |
| 低消費電力状態への遷移機能 | CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能 | CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能 |
| 低消費電力状態 | <ul style="list-style-type: none"> スリープモード 全モジュールクロックストップモード ソフトウェアスタンバイモード ディープソフトウェアスタンバイモード | <ul style="list-style-type: none"> スリープモード 全モジュールクロックストップモード ソフトウェアスタンバイモード ディープソフトウェアスタンバイモード |
| 動作電力低減機能 | <ul style="list-style-type: none"> 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、および全モジュールクロックストップモード時の消費電力を低減することが可能 動作電力制御状態:3 種類 高速動作モード 低速動作モード 1 低速動作モード 2 | <ul style="list-style-type: none"> 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、および全モジュールクロックストップモード時の消費電力を低減することが可能 動作電力制御状態:3 種類 高速動作モード 低速動作モード 1 低速動作モード 2 |

表2.8 消費電力低減機能のレジスタ比較

| レジスタ | ビット | RX63N | RX64M |
|---------|---------|--|--|
| MSTPCRA | MSTPA0 | - | コンペアマッチタイマ W(ユニット 1) モジュールストップビット |
| | MSTPA1 | - | コンペアマッチタイマ W(ユニット 0) モジュールストップビット |
| | MSTPA7 | - | 汎用 PWM タイマ |
| | MSTPA12 | 16 ビットタイマパルスユニット 1(ユニット 1)モジュールストップ設定ビット | - |
| | MSTPA16 | - | 12 ビット A/D コンバータ(ユニット 1) モジュールストップ設定ビット |
| | MSTPA23 | 10 ビット A/D コンバータモジュールストップ設定ビット | - |
| MSTPCRB | MSTPB6 | - | データ演算回路モジュールストップ設定ビット |
| | MSTPB9 | - | イベントリンクコントローラモジュールストップ設定ビット |
| | MSTPB12 | - | ユニバーサルシリアルバス 2.0FS インタフェースモジュールストップ設定ビット |
| | MSTPB14 | - | イーサネットコントローラ、イーサネットコントローラ用 DMA コントローラ(チャンネル 1)モジュールストップ設定ビット |
| | MSTPB16 | シリアルペリフェラルインタフェース 1 モジュールストップ設定ビット | - |
| | MSTPB18 | ()ユニバーサルシリアルバスインタフェース(ポート 1)モジュールストップ設定ビット() | - |
| | MSTPB20 | I ² C バスインタフェース 1 モジュールストップ設定ビット | - |
| | MSTPC1 | RAM1 モジュールストップ設定ビット | - |
| MSTPCRC | MSTPC6 | - | ECCRAM モジュールストップ設定ビット |
| | MSTPC7 | - | スタンバイ RAM モジュールストップ設定ビット |
| | MSTPC16 | I ² C バスインタフェース 3 モジュールストップ設定ビット | - |
| | MSTPC18 | IEBUS モジュールストップ設定ビット | - |
| | MSTPC22 | シリアルペリフェラルインタフェース 2 モジュールストップ設定ビット | - |
| | MSTPC23 | - | クワッドシリアルパラレルインタフェースモジュールストップ設定ビット |
| | MSTPC24 | シリアルコミュニケーションインターフェース 11 モジュールストップ設定ビット | FIFO 内蔵シリアルコミュニケーションインターフェース 11 モジュールストップ設定ビット |

| レジスタ | ビット | RX63N | RX64M |
|-----------|---------|---|--|
| | MSTPC25 | シリアルコミュニケーションインターフェース 10 モジュールストップ設定ビット | FIFO 内蔵シリアルコミュニケーションインターフェース 10 モジュールストップ設定ビット |
| | MSTPC26 | シリアルコミュニケーションインターフェース 9 モジュールストップ設定ビット | FIFO 内蔵シリアルコミュニケーションインターフェース 9 モジュールストップ設定ビット |
| | MSTPC27 | シリアルコミュニケーションインターフェース 8 モジュールストップ設定ビット | FIFO 内蔵シリアルコミュニケーションインターフェース 8 モジュールストップ設定ビット |
| MSTPCRD | MSTPD0 | - | モジュールストップ D0 設定ビット |
| | MSTPD1 | - | モジュールストップ D1 設定ビット |
| | MSTPD2 | - | モジュールストップ D2 設定ビット |
| | MSTPD3 | - | モジュールストップ D3 設定ビット |
| | MSTPD4 | - | モジュールストップ D4 設定ビット |
| | MSTPD5 | - | モジュールストップ D5 設定ビット |
| | MSTPD6 | - | モジュールストップ D6 設定ビット |
| | MSTPD7 | - | モジュールストップ D7 設定ビット |
| | MSTPD14 | - | シリアルサウンドインタフェース 1 モジュールストップ設定ビット |
| | MSTPD15 | - | シリアルサウンドインタフェース 0 モジュールストップ設定ビット |
| | MSTPD19 | - | SD ホストインタフェースモジュールストップ設定ビット |
| | MSTPD21 | - | MMC ホストインタフェースモジュールストップ設定ビット |
| | MSTPD23 | - | サンプリングレートコンバータモジュールストップ設定ビット |
| | MSTPD31 | データ暗号化ユニット(DEU)モジュールストップ設定ビット | - |
| MOSCWTCR* | - | bit0~4:メインクロック発振器ウェイト時間設定ビット | bit0~7:メインクロック発振器ウェイト時間設定ビット |
| SOSCWTCR* | - | bit0~4:メインクロック発振器ウェイト時間設定ビット | bit0~7:メインクロック発振器ウェイト時間設定ビット |
| PLLWTCR | | PLL ウェイトコントロールレジスタ | - |

【注】 * RX64M グループの MOSCWTCR と SOSCWTCR は、ユーザーズマニュアル ハードウェア編「クロック発生回路」章に記載されています。

2.6 割り込みコントローラ

表 2.9に割り込みコントローラ仕様の概要比較を、表 2.10に割り込みコントローラのレジスタ比較を示します。

表2.9 割り込みコントローラ仕様の概要比較

| 項目 | | RX63N(ICUb) | RX64M(ICUA) |
|------|------------|--|---|
| 割り込み | 周辺機能割り込み | <ul style="list-style-type: none"> 周辺モジュールからの割り込み 割り込み検出方法:エッジ検出またはレベル検出(割り込み要因ごとの検出方法は固定) グループ割り込み:複数の割り込み要因をグループ化し、1つの割り込み要因として扱う機能 <ul style="list-style-type: none"> エッジ検出割り込みグループ数:7(グループ 0~6) レベル検出割り込みグループ数:1(グループ 12) ユニット選択機能:2つの割り込み要求のうち一方の割り込み要求を選択 ユニット数:6 | <ul style="list-style-type: none"> 周辺モジュールからの割り込み 割り込みの検出方法:エッジ検出またはレベル検出(割り込み要因ごとに検出方法は固定) グループ割り込み:複数の割り込み要因をグループ化し、1つの割り込み要因として扱う機能 <ul style="list-style-type: none"> グループ BE0 割り込み: PCLKB を動作クロックとする周辺モジュールの割り込み要因(エッジ検出) グループ BL0/BL1 割り込み: PCLKB を動作クロックとする周辺モジュールの割り込み要因(レベル検出) グループ AL0/AL1 割り込み: PCLKA を動作クロックとする周辺モジュールの割り込み要因(レベル検出) 選択型割り込み B:割り込みベクタ番号 128~207 に、PCLKB を動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の1つを割り当てることが可能 選択型割り込み A:割り込みベクタ番号 208~255 に、PCLKA を動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の1つを割り当てることが可能 |
| | 外部端子割り込み | <ul style="list-style-type: none"> IRQ_i 端子(i = 0~15)への入力信号による割り込み 割り込み検出:Low レベル、立ち下がりエッジ、立ち上がりエッジ、両エッジを要因ごとに設定可能 デジタルフィルタを使用することにより、ノイズを除去することが可能 | <ul style="list-style-type: none"> IRQ_i 端子(i = 0~15)への入力信号による割り込み 割り込み検出:Low レベル、立ち下がりエッジ、立ち上がりエッジ、両エッジを要因ごとに設定可能 デジタルフィルタを使用することにより、ノイズを除去することが可能 |
| | ソフトウェア割り込み | <ul style="list-style-type: none"> レジスタへの書き込みにより、割り込み要求を発生させることが可能 要因数:1 | <ul style="list-style-type: none"> レジスタへの書き込みにより、割り込み要求を発生させることが可能 要因数:2 |

| 項目 | | RX63N(ICUb) | RX64M(ICUA) |
|--------------|-----------------------------|---|--|
| 割り込み | 割り込み優先レベル | 割り込み要因プライオリティレジスタ(IPR)により優先レベルを設定 | 割り込み要因プライオリティレジスタ(IPR)により優先レベルを設定 |
| | 高速割り込み機能 | CPUの割り込み応答時間を短縮可能。1つの割り込み要因にのみ設定可能 | CPUの割り込み応答時間を短縮可能。1つの割り込み要因にのみ設定可能 |
| | DTC、DMAC 制御 | 割り込み要因により DTC や DMAC を起動可能 | 割り込み要因により DTC や DMAC の起動が可能 |
| | EXDMAC 制御 | - | 選択型割り込み B 選択レジスタ 144 または選択型割り込み A 選択レジスタ 208 で選択した割り込みにより EXDMAC0 の起動が可能。 選択型割り込み B 選択レジスタ 145 または選択型割り込み A 選択レジスタ 209 で選択した割り込みにより EXDMAC1 の起動が可能。 |
| ノンマスクابل割り込み | NMI 端子割り込み | <ul style="list-style-type: none"> NMI 端子への入力信号による割り込み 割り込み検出:立ち下がりエッジまたは立ち上がりエッジ デジタルフィルタを使用することにより、ノイズを除去することが可能 | <ul style="list-style-type: none"> NMI 端子への入力信号による割り込み 割り込み検出:立ち下がりエッジまたは立ち上がりエッジ デジタルフィルタを使用することにより、ノイズを除去することが可能 |
| | 発振停止検出割り込み | メインクロック発振器の停止を検出したときの割り込み | メインクロック発振器の停止を検出したときの割り込み |
| | WDT アンダフロー / リフレッシュエラー割り込み | ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み | ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み |
| | IWDT アンダフロー / リフレッシュエラー割り込み | ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み | ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み |
| | 電圧監視 1 割り込み | 電圧検出 1 回路(LVD1)からの割り込み | 電圧検出 1 回路(LVD1)からの割り込み |
| | 電圧監視 2 割り込み | 電圧検出 2 回路(LVD2)からの割り込み | 電圧検出 2 回路(LVD2)からの割り込み |
| | RAM エラー | - | ECCRAM からの ECC エラー検出時の割り込み |
| 低消費電力状態からの復帰 | スリープモード | すべての割り込み要因で復帰 | すべての割り込み要因で復帰 |
| | 全モジュールクロックストップモード | NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、発振停止検出、USB レジューム、RTC アラーム、RTC 周期、IWDT、TMR 割り込み)で復帰 | NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、発振停止検出、USB レジューム、RTC アラーム、RTC 周期、IWDT、USBA レジューム、選択型割り込み 146~157)で復帰 |
| | ソフトウェアスタンバイモード | NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、USB レジューム、RTC アラーム、RTC 周期、IWDT)で復帰 | NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、USB レジューム、RTC アラーム、RTC 周期、IWDT、USBA レジューム)で復帰 |

| 項目 | | RX63N(ICUb) | RX64M(ICUA) |
|--------------|--------------------|--|---|
| 低消費電力状態からの復帰 | ディープソフトウェアスタンバイモード | NMI 端子割り込み、外部端子割り込み、電圧監視 1、電圧監視 2、USB レジューム割り込み、RTC アラーム、RTC 周期割り込みで復帰 | NMI 端子割り込み、一部の外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、USB レジューム、RTC アラーム、RTC 周期、 USBA レジューム)で復帰 |

表2.10 割り込みコントローラのレジスタ比較

| レジスタ | ビット | RX63N(ICUb) | RX64M(ICUA) |
|---------|----------|-------------------------------|-------------------------------------|
| SWINT2R | - | - | ソフトウェア割り込み 2 起動レジスタ |
| DMRSR4 | - | - | DMAC 起動要因選択レジスタ 4 |
| DMRSR5 | - | - | DMAC 起動要因選択レジスタ 5 |
| DMRSR6 | - | - | DMAC 起動要因選択レジスタ 6 |
| DMRSR7 | - | - | DMAC 起動要因選択レジスタ 7 |
| NMISR | ECCRAMST | - | RAM ECC エラー割り込みステータスフラグ |
| NMIER | ECCRAMEN | - | RAM ECC エラー割り込み許可ビット |
| GRPm | - | グループ m 割り込み要因レジスタ (m=0~6, 12) | - |
| GRPBE0 | - | - | グループ BE0 割り込み要求レジスタ |
| GRPBL0 | - | - | グループ BL0 割り込み要求レジスタ |
| GRPBL1 | - | - | グループ BL1 割り込み要求レジスタ |
| GRPAL0 | - | - | グループ AL0 割り込み要求レジスタ |
| GRPAL1 | - | - | グループ AL1 割り込み要求レジスタ |
| GENm | - | グループ m 割り込み許可レジスタ (m=0~6, 12) | - |
| GENBE0 | - | - | グループ BE0 割り込み許可レジスタ |
| GENBL0 | - | - | グループ BL0 割り込み許可レジスタ |
| GENBL1 | - | - | グループ BL1 割り込み許可レジスタ |
| GENAL0 | - | - | グループ AL0 割り込み許可レジスタ |
| GENAL1 | - | - | グループ AL1 割り込み許可レジスタ |
| GCRm | - | グループ m 割り込みクリアレジスタ (m=0~6) | - |
| GCRBE0 | - | - | グループ BE0 割り込みクリアレジスタ |
| SEL | - | ユニット選択レジスタ | - |
| PIBRk | - | - | 選択型割り込み B 要求レジスタ k (k=0h ~Ah) |
| PIARk | - | - | 選択型割り込み A 要求レジスタ k (k=0h ~Ah) |
| SLIBXRn | - | - | 選択型割り込み B 選択レジスタ Xn (n = 128 ~ 143) |
| SLIBRn | - | - | 選択型割り込み B 選択レジスタ n (n=144 ~207) |
| SLIARn | - | - | 選択型割り込み A 選択レジスタ n (n=208 ~255) |
| SELEXDR | - | - | EXDMAC 起動割り込み選択レジスタ |
| SLIPRCR | - | - | 選択型割り込み選択書き込み保護レジスタ |

2.7 メモリプロテクションユニット

表 2.11にメモリプロテクションユニットのレジスタ比較を示します。

表2.11 メモリプロテクションユニットのレジスタ比較

| レジスタ | ビット名 | RX63N | RX64M |
|--------|-------|-----------------------|-----------------------|
| MPESTS | IA | 命令メモリプロテクションエラー発生ビット | - |
| | DA | データメモリプロテクションエラー発生ビット | - |
| | IMPER | - | 命令メモリプロテクションエラー発生ビット |
| | DMPER | - | データメモリプロテクションエラー発生ビット |

2.8 DMA コントローラ

表 2.12にDMA コントローラ仕様の概要比較を、表 2.13にDMA コントローラレジスタ比較を示します。

表2.12 DMA コントローラ仕様の概要比較

| 項目 | | RX63N(DMACA) | RX64M(DMACAa) |
|-----------|-------------|--|--|
| チャンネル数 | | 4 チャンネル(DMACm (m = 0~3)) | 8 チャンネル(DMACm(m = 0~7)) |
| 転送空間 | | 512M バイト <ul style="list-style-type: none"> (00000000h~0FFFFFFFh と F0000000h~FFFFFFFFh のうち予約領域を除く領域) | 512M バイト <ul style="list-style-type: none"> (00000000h~0FFFFFFFh と F0000000h~FFFFFFFFh のうち予約領域を除く領域) |
| 最大転送データ数 | | 1M データ(ブロック転送モード 最大総転送数:1024 データ × 1024 ブロック) | 64M データ(ブロック転送モード 最大総転送数:1024 データ × 65536 ブロック) |
| DMA 起動要因 | | <ul style="list-style-type: none"> チャンネルごとに起動要因を選択可能 ソフトウェアトリガ 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力 | <ul style="list-style-type: none"> チャンネルごとに起動要因を選択可能 ソフトウェアトリガ 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力 |
| チャンネル優先順位 | | チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3(チャンネル 0 が最優先) | チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3... > チャンネル 7 (チャンネル 0 が最優先) |
| 転送データ | 1 データ | ビット長:8 ビット、16 ビット、32 ビット | ビット長:8 ビット、16 ビット、32 ビット |
| | ブロックサイズ | データ数:1~1024 データ | データ数:1~1024 データ |
| 転送モード | ノーマル転送モード | <ul style="list-style-type: none"> 1 回の DMA 転送要求で 1 データを転送 総データ転送数を指定しない設定(フリーランニングモード)が可能 | <ul style="list-style-type: none"> 1 回の DMA 転送要求で 1 データを転送 総データ転送数を指定しない設定(フリーランニングモード)が可能 |
| | リピート転送モード | <ul style="list-style-type: none"> 1 回の DMA 転送要求で 1 データを転送 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 リピートサイズは最大 1024 回設定可能 | <ul style="list-style-type: none"> 1 回の DMA 転送要求で 1 データを転送 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 リピートサイズは最大 1024 回設定可能 |
| | ブロック転送モード | <ul style="list-style-type: none"> 1 回の DMA 転送要求で 1 ブロックのデータを転送 ブロックサイズは最大 1024 データ設定可能 | <ul style="list-style-type: none"> 1 回の DMA 転送要求で 1 ブロックのデータを転送 ブロックサイズは最大 1024 データ設定可能 |
| 選択機能 | 拡張リピートエリア機能 | <ul style="list-style-type: none"> 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 拡張リピートエリアは 2 バイトから 128M バイトを転送元、転送先別に設定可能 | <ul style="list-style-type: none"> 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 拡張リピートエリアは 2 バイトから 128M バイトを転送元、転送先別に設定可能 |

| 項目 | | RX63N(DMACA) | RX64M(DMACAa) |
|-----------|---------------|--|--|
| 割り込み要求 | 転送終了割り込み | 転送カウンタで設定したデータ数を転送終了時に発生 | 転送カウンタで設定したデータ数を転送終了時に発生 |
| | 転送エスケープ終了割り込み | リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生 | リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生 |
| イベントリンク起動 | | - | 1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生 |
| 消費電力提言機能 | | モジュールストップ状態への設定が可能 | モジュールストップ状態への設定が可能 |

表2.13 DMA コントローラレジスタ比較

| レジスタ | ビット | RX63N(DMACA) | RX64M(DMACAa) |
|-------|-----|--------------|-------------------------|
| DMIST | | - | DMAC74 割り込みステータスマニタレジスタ |

2.9 I/O ポート

表 2.14にI/O ポートのレジスタ比較を示します。

表2.14 I/O ポートのレジスタ比較

| レジスタ | ビット名 | RX63N | RX64M |
|------|------|---------------|-------|
| PSRA | - | ポート切り換えレジスタ A | - |
| PSRB | - | ポート切り換えレジスタ B | - |

2.10 マルチファンクションピンコントローラ

表 2.15にマルチファンクションピンコントローラのレジスタ比較を示します。

表2.15 マルチファンクションピンコントローラのレジスタ比較

| レジスタ | ビット名 | RX63N | RX64M |
|--------|----------|----------------|---------------------|
| PFBCR0 | ADRHMS2 | - | A18~A20 出力許可 2 ビット |
| | BCLKO | - | BCLK 強制出力ビット |
| PFBCR1 | ALES | - | ALE 選択ビット |
| PFENET | PHYMODE | イーサネットモード設定ビット | - |
| | PHYMODE0 | - | イーサネットチャンネル 0 設定ビット |
| | PHYMODE1 | - | イーサネットチャンネル 1 設定ビット |
| PFUSB0 | - | USB0 制御レジスタ | - |
| PFUSB1 | - | USB1 制御レジスタ | - |

2.11 マルチファンクションタイマパルスユニット

表 2.16 にマルチファンクションタイマパルスユニット仕様の概要比較を、表 2.17 にマルチファンクションタイマパルスユニットを示します。

表2.16 マルチファンクションタイマパルスユニット仕様の概要比較

| 項目 | RX63N(MTU2a) | RX64M(MTU3a) |
|----------|--|--|
| パルス入出力 | 最大 16 本 | 最大 28 本 |
| パルス入力 | <ul style="list-style-type: none"> 3 本 | <ul style="list-style-type: none"> 3 本 |
| カウントクロック | チャンネルごとに 8 または 7 種類(MTU5 は 4 種類) | チャンネルごとに 11 種類(MTU0 は 14 種類、MTU1、MTU2 は 12 種類、MTU5 は 10 種類) |
| 動作周波数 | ~50MHz | ~120MHz |
| 設定可能動作 | 【MTU0~4】 <ul style="list-style-type: none"> コンペアマッチによる波形出力 インプットキャプチャ機能(ノイズフィルタ設定機能) カウンタクリア動作 複数のタイマカウンタ(TCNT)への同時書き込み コンペアマッチ/インプットキャプチャによる同時クリア カウンタの同期動作による各レジスタの同期入出力 同期動作と組み合わせることによる最大 12 相の PWM 出力 | 【MTU0~MTU4、MTU6、MTU7、MTU8】 <ul style="list-style-type: none"> コンペアマッチによる波形出力 インプットキャプチャ機能(ノイズフィルタ設定可能) カウンタクリア動作 複数のタイマカウンタ(TCNT)への同時書き込み(MTU8 を除く) コンペアマッチ/インプットキャプチャによる同時クリア(MTU8 を除く) カウンタの同期動作による各レジスタの同期入出力(MTU8 を除く) 同期動作と組み合わせることによる最大 12 相の PWM 出力(MTU8 を除く) |
| | 【MTU0、3、4】 <ul style="list-style-type: none"> バッファ動作を設定可能 相補 PWM、リセット同期 PWM を用いた AC 同期モータ(ブラシレス DC モータ)駆動モードが設定可能で、2 種類(チョッピング、レベル)の波形出力が選択可能 | 【MTU0、MTU3、MTU4、MTU6、MTU7、MTU8】 <ul style="list-style-type: none"> バッファ動作を設定可能 相補 PWM、リセット同期 PWM を用いた AC 同期モータ(ブラシレス DC モータ)駆動モードが設定可能で、2 種類(チョッピング、レベル)の波形出力が選択可能 |
| | 【MTU1、2】 <ul style="list-style-type: none"> 独立に位相計数モードを設定可能 カスケード接続動作 MTU1、MTU2 連動の 32 ビット位相計数モードを設定可能(TMDR3.LWA = 1 設定時) | 【MTU1、MTU2】 <ul style="list-style-type: none"> 独立に位相計数モードを設定可能 カスケード接続動作が可能 MTU1、MTU2 連動の 32 ビット位相計数モードを設定可能(TMDR3.LWA = 1 設定時) |
| | | 【MTU0/MTU5、MTU1、MTU2、MTU8】 <ul style="list-style-type: none"> MTU1、MTU2 を組み合わせて、MTU0/MTU5、MTU8 と連動させて、32 ビット位相係数モードに設定可能 |

| 項目 | RX63N(MTU2a) | RX64M(MTU3a) |
|------------------------|---|---|
| 設定可能動作 | 【MTU3、4】 <ul style="list-style-type: none"> 連動動作による相補 PWM、リセット PWM 動作で 3 相のポジ/ネガ計 6 相の出力が可能 | 【MTU3、MTU4、MTU6、MTU7】 <ul style="list-style-type: none"> 連動動作による相補 PWM、リセット PWM 動作で、6 相のポジ/ネガ計 12 相の出力が可能 相補 PWM モード時、タイマカウンタの山/谷もしくはバッファレジスタ (MTU4.TGRD、MTU7.TGRD)への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 相補 PWM モードでダブルバッファ機能を設定可能 |
| | 【MTU5】 <ul style="list-style-type: none"> デッドタイム補償用カウンタ機能 | 【MTU5】 <ul style="list-style-type: none"> デッドタイム補償用カウンタ機能 |
| 割り込み間引き機能 (相補 PWM モード) | 相補 PWM モード時に、カウンタの山/谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能 | 相補 PWM モード時に、カウンタの山/谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能 |
| 割り込み要因 | 28 種類 | 43 種類 |
| バッファ動作 | レジスタデータの自動転送 | レジスタデータの自動転送 |
| トリガ生成 | A/D コンバータの変換スタートトリガを生成可能 | A/D コンバータの変換開始トリガを生成可能 |
| | プログラマブルパルスジェネレータ (PPG)の出力トリガを生成可能 | プログラマブルパルスジェネレータ (PPG)の出力トリガを生成可能 |
| | A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能 | A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能 |
| 消費電力低減機能 | モジュールストップ状態への設定が可能 | モジュールストップ状態への設定が可能 |

表2.17 マルチファンクションタイマパルスユニット

| レジスタ | ビット | RX63N(MTU2a) | RX64M(MTU3a) |
|--------|-------|----------------------------|---------------------------------------|
| TCR2 | - | - | タイマコントロールレジスタ 2 |
| TCR2U | - | - | タイマコントロールレジスタ 2 |
| TCR2V | - | - | タイマコントロールレジスタ 2 |
| TCR2W | - | - | タイマコントロールレジスタ 2 |
| TMDR | - | タイマモードレジスタ | - |
| TMDR1 | - | | タイマモードレジスタ 1 |
| TMDR2A | - | | タイマモードレジスタ 2A |
| TMDR2B | - | | タイマモードレジスタ 2B |
| TMDR3 | - | | タイマモードレジスタ 3 |
| TIER | TGIEC | TGR 割り込み許可 C ビット(MTU0~4) | TGR 割り込み許可 C ビット(MTU0, 3, 4, 6, 7, 8) |
| | TGIED | TGR 割り込み許可 D ビット(MTU0~4) | TGR 割り込み許可 D ビット(MTU0, 3, 4, 6, 7, 8) |
| | TGIEU | アンダフロー割り込み許可ビット (MTU0~4) | アンダフロー割り込み許可ビット (MTU1, 2) |
| | TTGE2 | A/D 変換開始要求許可 2 ビット(MTU0~4) | A/D 変換開始要求許可 2 ビット(MTU4, 7) |
| | TTGE | A/D 変換開始要求許可ビット(MTU0~4) | A/D 変換開始要求許可ビット(MTU0~4, 6, 7) |
| TIER2 | TTGE2 | - | A/D 変換開始要求許可 2 ビット(MTU0) |
| TSR | TCFD | カウント方向フラグ(MTU0~4) | カウント方向フラグ(MTU1~4, 6, 7) |
| TBTM | TTSA | タイミング選択 A ビット(MTU0, 3, 4) | タイミング選択 A ビット(MTU0, 3, 4, 6, 7) |
| | TTSB | タイミング選択 B ビット(MTU0, 3, 4) | タイミング選択 B ビット(MTU0, 3, 4, 6, 7) |
| | TTSE | タイミング選択 E ビット(MTU0, 3, 4) | タイミング選択 E ビット(MTU0) |
| TSYCR | - | - | タイマシンクロクリアレジスタ |
| TCNTLW | - | - | タイマロングワードカウンタ |
| TGRA | - | タイマジェネラルレジスタ A(MTU0~4) | タイマジェネラルレジスタ A(MTU0~4, 6, 7, 8) |
| TGRB | - | タイマジェネラルレジスタ B(MTU0~4) | タイマジェネラルレジスタ B(MTU0~4, 6, 7, 8) |
| TGRC | - | タイマジェネラルレジスタ C(MTU0, 3, 4) | タイマジェネラルレジスタ C(MTU0, 3, 4, 6, 7, 8) |
| TGRD | - | タイマジェネラルレジスタ D(MTU0, 3, 4) | タイマジェネラルレジスタ D(MTU0, 3, 4, 6, 7, 8) |
| TGRE | - | タイマジェネラルレジスタ E (MTU0) | タイマジェネラルレジスタ E(MTU0, 3, 4, 6, 7) |
| TGRF | - | タイマジェネラルレジスタ F (MTU0) | タイマジェネラルレジスタ F(MTU0, 4, 7) |
| TGRALW | - | - | タイマロングワードジェネラルレジスタ |
| TGRBLW | - | - | タイマロングワードジェネラルレジスタ |
| TSTR | - | タイマスタートレジスタ | - |
| TSTRA | - | - | タイマスタートレジスタ (MTU0~4, 8) |
| TSTRB | - | - | タイマスタートレジスタ (MTU6, 7) |
| TSYR | - | タイマシンクロレジスタ | - |
| TSYRA | - | - | タイマシンクロレジスタ (MTU0~4) |

| レジスタ | ビット | RX63N(MTU2a) | RX64M(MTU3a) |
|---------|-----|-----------------------|-----------------------|
| TSYRB | - | - | タイマシンクロレジスタ (MTU6, 7) |
| TCSYSTR | - | - | タイマカウンタシンクロスタートレジスタ |
| TRWER | - | タイマリードライト許可レジスタ | - |
| TRWERA | - | - | タイマリードライトイネーブルレジスタ |
| TRWERB | - | - | タイマリードライトイネーブルレジスタ |
| TOER | - | タイマアウトプットマスタ許可レジスタ | - |
| TOERA | - | - | タイマアウトプットマスタイネーブルレジスタ |
| TOERB | - | - | タイマアウトプットマスタイネーブルレジスタ |
| TOCR1 | - | タイマアウトプットコントロールレジスタ 1 | - |
| TOCR1A | - | - | タイマアウトプットコントロールレジスタ 1 |
| TOCR1B | - | - | タイマアウトプットコントロールレジスタ 1 |
| TOCR2 | - | タイマアウトプットコントロールレジスタ 2 | - |
| TOCR2A | - | - | タイマアウトプットコントロールレジスタ 2 |
| TOCR2B | - | - | タイマアウトプットコントロールレジスタ 2 |
| TOLBR | - | タイマアウトプットレベルバッファレジスタ | - |
| TOLBRA | - | - | タイマアウトプットレベルバッファレジスタ |
| TOLBRB | - | - | タイマアウトプットレベルバッファレジスタ |
| TGCR | - | タイマゲートコントロールレジスタ | - |
| TGCRA | - | - | タイマゲートコントロールレジスタ A |
| TCNTS | - | タイマサブカウンタ | - |
| TCNTSA | - | - | タイマサブカウンタ |
| TCNTSB | - | - | タイマサブカウンタ |
| TCDR | - | タイマ周期データレジスタ | - |
| TCDRA | - | - | タイマ周期データレジスタ |
| TCDRB | - | - | タイマ周期データレジスタ |
| TCBR | - | タイマ周期バッファレジスタ | - |
| TCBRA | - | - | タイマ周期バッファレジスタ |
| TCBRB | - | - | タイマ周期バッファレジスタ |
| TDDR | - | タイマデッドタイムデータレジスタ | - |
| TDDRA | - | - | タイマデッドタイムデータレジスタ |
| TDDRБ | - | - | タイマデッドタイムデータレジスタ |
| TDER | - | タイマデッドタイム許可レジスタ | - |
| TDERA | - | - | タイマデッドタイムイネーブルレジスタ |

| レジスタ | ビット | RX63N(MTU2a) | RX64M(MTU3a) |
|----------|-----|-------------------|---------------------|
| TDERB | | - | タイマデッドタイムイネーブルレジスタ |
| TBTER | - | タイマバッファ転送設定レジスタ | - |
| TBTERA | - | - | タイマバッファ転送設定レジスタ |
| TBTERB | - | - | タイマバッファ転送設定レジスタ |
| TWCR | - | タイマ波形コントロールレジスタ | - |
| TWCRA | - | - | タイマ波形コントロールレジスタ |
| TWCRB | - | - | タイマ波形コントロールレジスタ |
| NFCR | - | ノイズフィルタコントロールレジスタ | - |
| NFCR0 | - | - | ノイズフィルタコントロールレジスタ 0 |
| NFCR1 | - | - | ノイズフィルタコントロールレジスタ 1 |
| NFCR2 | - | - | ノイズフィルタコントロールレジスタ 2 |
| NFCR3 | - | - | ノイズフィルタコントロールレジスタ 3 |
| NFCR4 | - | - | ノイズフィルタコントロールレジスタ 4 |
| NFCR6 | - | - | ノイズフィルタコントロールレジスタ 6 |
| NFCR7 | - | - | ノイズフィルタコントロールレジスタ 7 |
| NFCR8 | - | - | ノイズフィルタコントロールレジスタ 8 |
| NFCRC | - | - | ノイズフィルタコントロールレジスタ C |
| NFCR5 | - | -- | ノイズフィルタコントロールレジスタ 5 |
| TITMRA | - | - | タイマ割り込み間引きモードレジスタ |
| TITMRB | - | - | タイマ割り込み間引きモードレジスタ |
| TITCR | - | タイマ割り込み間引き設定レジスタ | - |
| TITCNT | - | タイマ割り込み間引き回数カウンタ | - |
| TITCR1A | - | - | タイマ割り込み間引き設定レジスタ 1 |
| TITCR1B | - | - | タイマ割り込み間引き設定レジスタ 1 |
| TITCNT1A | - | - | タイマ割り込み間引き回数カウンタ 1 |
| TITCNT1B | - | - | タイマ割り込み間引き回数カウンタ 1 |
| TITCR2A | - | - | タイマ割り込み間引き設定レジスタ 2 |
| TITCR2B | - | - | タイマ割り込み間引き設定レジスタ 2 |
| TITCNT2A | - | - | タイマ割り込み間引き回数カウンタ 2 |
| TITCNT2B | - | - | タイマ割り込み間引き回数カウンタ 2 |

2.12 ポートアウトプットイネーブル

表 2.18にポートアウトプットイネーブル仕様の概要比較を、表 2.19にポートアウトプットイネーブルレジスタ比較を示します。

表2.18 ポートアウトプットイネーブル仕様の概要比較

| 項目 | RX63N(POE2a) | RX64M(POE3) |
|----|---|---|
| 機能 | <ul style="list-style-type: none"> POE0#~POE3#、POE8#の各入力端子に立ち下がりエッジ、PCLK/8×16回、PCLK/16×16回、PCLK/128×16回の Low サンプリグが設定可能 POE0#~POE3#、POE8#端子の立ち下がりエッジまたは Low サンプリグによって、MTU 相補 PWM 出力端子および MTU0 端子をハイインピーダンスに設定可能 クロック発生回路が発振停止した場合、MTU 相補 PWM 出力端子および MTU0 出力端子をハイインピーダンスに設定可能 MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子をハイインピーダンスに設定可能 POE のレジスタの設定により、MTU 相補 PWM 出力端子および MTU0 端子をハイインピーダンスに設定可能 入力レベルのサンプリグまたは出力レベルの比較結果により、それぞれ割り込みを発生 | <ul style="list-style-type: none"> POE0#、POE4#、POE8#、POE10#、POE11#の各入力端子に立ち下がりエッジ、PCLK/8×16回、PCLK/16×16回、PCLK/128×16回の Low サンプリグの設定が可能 POE0#、POE4#、POE8#、POE10#、POE11#端子の立ち下がりエッジ、または Low サンプリグによって、MTU 相補 PWM 出力端子および MTU0 端子、GPT 出力端子、GPT3 端子をハイインピーダンス状態に設定可能 クロック発生回路の発振停止を検出した場合、MTU 相補 PWM 出力端子および MTU0 端子、GPT 出力端子、GPT3 端子をハイインピーダンスに設定可能 MTU 相補 PWM 出力端子または GPT 出力端子(GPT0/1/2)の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子または GPT 出力端子をハイインピーダンスに設定可能 POE のレジスタの設定により、MTU 相補 PWM 出力端子および MTU0 端子、GPT 出力端子、GPT3 端子をハイインピーダンスに設定可能 入力レベルのサンプリグまたは出力レベルの比較結果により、それぞれ割り込みを発生 |

表2.19 ポートアウトプットイネーブルレジスタ比較

| レジスタ | ビット | RX63N(POE2a) | RX64M(POE3) |
|-------|------------|----------------------------|--|
| ICSR1 | POE1M[1:0] | POE1 モード選択ビット | - |
| | POE2M[1:0] | POE2 モード選択ビット | - |
| | POE3M[1:0] | POE3 モード選択ビット | - |
| | POE1F | POE1 フラグ | - |
| | POE2F | POE2 フラグ | - |
| | POE3F | POE3 フラグ | - |
| ICSR2 | POE4M[1:0] | - | POE4 モード選択ビット |
| | POE4F | - | POE4 フラグ |
| | POE8M[1:0] | POE8 モード選択ビット | - |
| | POE8E | POE8 ハイインピーダンス許可ビット | - |
| | POE8F | POE8 フラグ | - |
| ICSR3 | POE8M[1:0] | - | POE8 モード選択ビット |
| | PIE3 | | ポート割り込み許可 3 ビット |
| | POE8E | - | POE8 ハイインピーダンス許可ビット |
| | POE8F | - | POE8 フラグ |
| | OSTSTE | OSTST ハイインピーダンス許可ビット | - |
| | OSTSTF | OSTST ハイインピーダンスフラグ | - |
| ICSR4 | - | - | 入カレベルコントロール/ステータスレジスタ 4 |
| ICSR5 | - | - | 入カレベルコントロール/ステータスレジスタ 5 |
| ICSR6 | - | - | 入カレベルコントロール/ステータスレジスタ 6 |
| OCSR2 | - | - | 出カレベルコントロール/ステータスレジスタ 2 |
| ALR1 | - | - | アクティブレベルレジスタ 1 |
| SPOER | CH34HIZ | MTU3、MTU4 出カハイインピーダンス許可ビット | - |
| | CH0HIZ | MTU0 出カハイインピーダンス許可ビット | - |
| | MTUCH34HIZ | - | MTU3、MTU4 または GPT0~GPT2 出カハイインピーダンス許可ビット |
| | MTUCH67HIZ | - | MTU6、MTU7 出カハイインピーダンス許可ビット |
| | MTUCH0HIZ | - | MTU0 出カハイインピーダンス許可ビット |
| | GPT01HIZ | - | GPT0、GPT1 出カハイインピーダンス許可ビット |
| | GPT23HIZ | - | GPT2、GPT3 出カハイインピーダンス許可ビット |

| レジスタ | ビット | RX63N(POE2a) | RX64M(POE3) |
|---------|----------|--------------------------|----------------------------|
| POE2CR1 | PE0ZE | MTIOC0A ハイインピーダンス許可ビット | - |
| | PE1ZE | MTIOC0B ハイインピーダンス許可ビット | - |
| | PE2ZE | MTIOC0C ハイインピーダンス許可ビット | - |
| | PE3ZE | MTIOC0D ハイインピーダンス許可ビット | - |
| | MTU0AZE | | MTIOC0A ハイインピーダンス許可ビット |
| | MTU0BZE | | MTIOC0B ハイインピーダンス許可ビット |
| | MTU0CZE | | MTIOC0C ハイインピーダンス許可ビット |
| | MTU0DZE | | MTIOC0D ハイインピーダンス許可ビット |
| POE2CR2 | P3CZEA | MTU ポート 3 ハイインピーダンス許可ビット | - |
| | P2CZEA | MTU ポート 2 ハイインピーダンス許可ビット | - |
| | P1CZEA | MTU ポート 1 ハイインピーダンス許可ビット | - |
| | MTU7BDZE | - | MTIOC7B/7D ハイインピーダンス許可ビット |
| | MTU7ACZE | - | MTIOC7A/7C ハイインピーダンス許可ビット |
| | MTU6BDZE | - | MTIOC6B/6D ハイインピーダンス許可ビット |
| | MTU4BDZE | - | MTIOC4B/4D ハイインピーダンス許可ビット |
| | MTU4ACZE | - | MTIOC4A/4C ハイインピーダンス許可ビット |
| | MTU3BDZE | - | MTIOC3B/3D ハイインピーダンス許可ビット |
| POE2CR3 | - | - | ポートアウトプットイネーブルコントロールレジスタ 3 |
| POE2CR4 | - | - | ポートアウトプットイネーブルコントロールレジスタ 4 |
| POE2CR5 | - | - | ポートアウトプットイネーブルコントロールレジスタ 5 |
| POE2CR6 | - | - | ポートアウトプットイネーブルコントロールレジスタ 6 |
| G0SELR | - | - | GPT0 端子選択レジスタ |
| G1SELR | - | - | GPT1 端子選択レジスタ |
| G2SELR | - | - | GPT2 端子選択レジスタ |
| G3SELR | - | - | GPT3 端子選択レジスタ |
| M0SELR1 | - | - | MTU0 端子選択レジスタ 1 |
| M0SELR2 | - | - | MTU0 端子選択レジスタ 2 |
| M3SELR | - | - | MTU3 端子選択レジスタ |

RX63N グループ、RX64M グループ RX63N グループと RX64M グループの相違点

| レジスタ | ビット | RX63N(POE2a) | RX64M(POE3) |
|---------|-----|--------------|--------------------|
| M4SELR1 | - | - | MTU4 端子選択レジスタ 1 |
| M4SELR2 | - | - | MTU4 端子選択レジスタ 2 |
| MGSELR | - | - | MTU/GPT 端子機能選択レジスタ |

2.13 8ビットタイマ

表 2.20に8ビットタイマ仕様の概要比較を、表 2.21に8ビットタイマのレジスタ比較を示します。

表2.20 8ビットタイマ仕様の概要比較

| 項目 | RX63N | RX64M |
|-------------------|---|---|
| カウントクロック | <ul style="list-style-type: none"> 分周クロック : PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 外部クロック | <ul style="list-style-type: none"> 分周クロック : PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 外部クロック |
| チャンネル数 | (8ビット×2チャンネル)×2ユニット | (8ビット×2チャンネル)×2ユニット |
| コンペアマッチ | <ul style="list-style-type: none"> 8ビットモード(コンペアマッチ A、コンペアマッチ B) 16ビットモード(コンペアマッチ A、コンペアマッチ B) | <ul style="list-style-type: none"> 8ビットモード(コンペアマッチ A、コンペアマッチ B) 16ビットモード(コンペアマッチ A、コンペアマッチ B) |
| カウンタクリア | コンペアマッチ A、コンペアマッチ B、外部リセット信号から選択 | コンペアマッチ A、コンペアマッチ B、外部リセット信号から選択 |
| タイマ出力 | 任意のデューティ比のパルス出力、PWM 出力 | 任意のデューティ比のパルス出力、PWM 出力 |
| 2チャンネルのカスケード接続 | <ul style="list-style-type: none"> 16ビットカウントモード TMR0 を上位、TMR1 を下位(TMR2 を上位、TMR3 を下位)とする 16ビットタイマ コンペアマッチカウントモード TMR1 は TMR0 のコンペアマッチをカウント(TMR3 は TMR2 のコンペアマッチをカウント) | <ul style="list-style-type: none"> 16ビットカウントモード TMR0 を上位、TMR1 を下位(TMR2 を上位、TMR3 を下位)とする 16ビットタイマ コンペアマッチカウントモード TMR1 は TMR0 のコンペアマッチをカウント(TMR3 は TMR2 のコンペアマッチをカウント) |
| 割込み要因 | コンペアマッチ A、コンペアマッチ B、オーバフロー | コンペアマッチ A、コンペアマッチ B、オーバフロー |
| イベントリンク機能(出力) | - | <ul style="list-style-type: none"> コンペアマッチ A、コンペアマッチ B、オーバフロー(TMR0~3) |
| イベントリンク機能(入力) | - | <ul style="list-style-type: none"> イベント受付により、3種類のうち1つの動作が可能 (1)カウントスタート動作(TMR0~3) (2)イベントカウンタ動作(TMR0~3) (3)カウントリスタート動作(TMR0~3) |
| DTC の起動 | コンペアマッチ A 割り込み、コンペアマッチ B 割り込みによる起動可能 | コンペアマッチ A 割り込み、コンペアマッチ B 割り込みによる起動可能 |
| A/D コンバータの変換開始トリガ | TMR0、TMR2 のコンペアマッチ A | TMR0、TMR2 のコンペアマッチ A |
| SCI のポーレートクロック生成 | SCI のポーレートクロックを生成 | SCI のポーレートクロックを生成 |
| 消費電力低減機能 | ユニットごとにモジュールストップ状態への設定が可能 | ユニットごとにモジュールストップ状態への設定が可能 |

表2.21 8ビットタイマのレジスタ比較

| レジスタ | ビット | RX63N | RX64M |
|-------|-----|-------|-----------------|
| TCSTR | - | - | タイムカウンタスタートレジスタ |

2.14 コンペアマッチタイマ

表 2.22にコンペアタイマ仕様の概要比較を示します。

表2.22 コンペアタイマ仕様の概要比較

| 項目 | RX63N | RX64M |
|---------------|--|---|
| カウントクロック | <ul style="list-style-type: none"> 4種類の分周クロック PCLK/8、PCLK/32、PCLK128、 PCLK/512の中からチャンネルごとに選 択可能 | <ul style="list-style-type: none"> 4種類の分周クロック PCLK/8、PCLK/32、PCLK128、 PCLK/512の中からチャンネルごとに選 択可能 |
| 割り込み | コンペアマッチ割り込みをチャンネルごとに要求することが可能 | |
| イベントリンク機能(出力) | - | <ul style="list-style-type: none"> CMT1のコンペアマッチによりイ ベント信号出力 |
| イベントリンク機能(入力) | - | <ul style="list-style-type: none"> 設定したモジュールに対してリン ク動作が可能 設定したイベントによるカウント スタート、イベントカウンタ、カ ウントリスタート動作が可能 |
| 消費電力低減機能 | ユニットごとにモジュールストップ状態への設定が可能 | ユニットごとにモジュールストップ状態への設定が可能 |

2.15 リアルタイムクロック

表2.23にリアルタイムクロック仕様の概要比較を、表2.24にリアルタイムクロックジスタ比較を示します。

表2.23 リアルタイムクロック仕様の概要比較

| 項目 | RX63N(RTCa) | RX64M(RTCd) |
|------------|---|--|
| カウントモード | カレンダーカウントモード | カレンダーカウントモード/ バイナリカウントモード |
| カウントソース | サブクロック(XCIN)またはメインクロック(EXTAL) | サブクロック(XCIN)またはメインクロック(EXTAL) |
| 時計/カレンダー機能 | <ul style="list-style-type: none"> • カレンダーカウントモード <ul style="list-style-type: none"> — 年、月、日、曜日、時、分、秒をカウント、BCD表示 — 12時間/24時間モード切り替え機能 — 30秒調整機能(30秒未満は00秒に切り捨て、30秒以降は1分に桁上げ) — うるう年自動補正機能 — スタート/ストップ機能 — 秒以下の桁のバイナリ表示(1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz) — 時計誤差補正機能 — クロック(1Hz)出力 | <ul style="list-style-type: none"> • カレンダーカウントモード <ul style="list-style-type: none"> — 年、月、日、曜日、時、分、秒をカウント、BCD表示 — 12時間/24時間モード切り替え機能 — 30秒調整機能(30秒未満は00秒に切り捨て、30秒以降は1分に桁上げ) — うるう年自動補正機能 • バイナリカウントモード <ul style="list-style-type: none"> — 秒を32ビットでカウント、バイナリ表示 • 両モード共通 <ul style="list-style-type: none"> — スタート/ストップ機能 — 秒以下の桁のバイナリ表示(1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz) — 時計誤差補正機能 — クロック(1Hz/64Hz)出力 |

| 項目 | RX63N(RTCa) | RX64M(RTCd) |
|-----------|--|--|
| 割り込み | <ul style="list-style-type: none"> アラーム割り込み(ALM) アラーム割り込み条件として、年、月、日、曜日、時、分、秒のいずれと比較するか選択可能 周期割り込み(PRD) 割り込み周期として、2秒、1秒、1/2秒、1/4秒、1/8秒、1/16秒、1/32秒、1/64秒、1/128秒、1/256秒周期から選択可能 桁上げ割り込み(CUP) 次のいずれかのタイミングで割り込み要求発生 <ul style="list-style-type: none"> 64Hzカウンタから秒カウンタへの桁上げが発生したとき 64Hzカウンタの変化とR64CNTレジスタの読み出しタイミングが重なったとき アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能 | <ul style="list-style-type: none"> アラーム割り込み(ALM) アラーム割り込み条件として、以下のいずれと比較するか選択可能 — カレンダカウントモード: 年、月、日、曜日、時、分、秒 — バイナリカウントモード: 32ビットバイナリカウンタの各ビット 周期割り込み(PRD) 割り込み周期として、2秒、1秒、1/2秒、1/4秒、1/8秒、1/16秒、1/32秒、1/64秒、1/128秒、1/256秒周期から選択可能 桁上げ割り込み(CUP) 次のいずれかのタイミングで割り込み要求発生 <ul style="list-style-type: none"> 64Hzカウンタから秒カウンタへの桁上げが発生したとき 64Hzカウンタの変化とR64CNTレジスタの読み出しタイミングが重なったとき アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能 |
| 時間キャプチャ機能 | <ul style="list-style-type: none"> 時間キャプチャイベント入力端子のエッジ検出によって、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、秒をキャプチャ | <ul style="list-style-type: none"> 時間キャプチャイベント入力端子のエッジ検出によって、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、秒をキャプチャ、または32ビットバイナリカウンタ値をキャプチャ |
| イベントリンク機能 | - | 周期イベント出力 |

表2.24 リアルタイムクロックジスタ比較

| レジスタ | ビット | RX63N(RTCa) | RX64M(RTCd) |
|----------|-------|-------------|-----------------------|
| BCNT0 | - | - | バイナリカウンタ 0 |
| BCNT1 | - | - | バイナリカウンタ 1 |
| BCNT2 | - | - | バイナリカウンタ 2 |
| BCNT3 | - | - | バイナリカウンタ 3 |
| BCNT0AR | - | - | バイナリカウンタ 0 アラームレジスタ |
| BCNT1AR | - | - | バイナリカウンタ 1 アラームレジスタ |
| BCNT2AR | - | - | バイナリカウンタ 2 アラームレジスタ |
| BCNT3AR | - | - | バイナリカウンタ 3 アラームレジスタ |
| BCNT0AER | - | - | バイナリカウンタ 0 アラーム許可レジスタ |
| BCNT1AER | - | - | バイナリカウンタ 1 アラーム許可レジスタ |
| BCNT2AER | - | - | バイナリカウンタ 2 アラーム許可レジスタ |
| BCNT3AER | - | - | バイナリカウンタ 3 アラーム許可レジスタ |
| RCR1 | RTCOS | - | RTCOUT 出力選択ビット |
| RCR2 | CNTMD | - | カウントモード選択ビット |
| BCNT0CP0 | - | - | BCNT0 キャプチャレジスタ 0 |
| BCNT0CP1 | - | - | BCNT0 キャプチャレジスタ 1 |
| BCNT0CP2 | - | - | BCNT0 キャプチャレジスタ 2 |
| BCNT1CP0 | - | - | BCNT1 キャプチャレジスタ 0 |
| BCNT1CP1 | - | - | BCNT1 キャプチャレジスタ 1 |
| BCNT1CP2 | - | - | BCNT1 キャプチャレジスタ 2 |
| BCNT2CP0 | - | - | BCNT2 キャプチャレジスタ 0 |
| BCNT2CP1 | - | - | BCNT2 キャプチャレジスタ 1 |
| BCNT2CP2 | - | - | BCNT2 キャプチャレジスタ 2 |
| BCNT3CP0 | - | - | BCNT3 キャプチャレジスタ 0 |
| BCNT3CP1 | - | - | BCNT3 キャプチャレジスタ 1 |
| BCNT3CP2 | - | - | BCNT3 キャプチャレジスタ 2 |

2.16 イーサネットコントローラ用 DMA コントローラ

表 2.25 にイーサネットコントローラ用 DMA コントローラ仕様の概要比較を、表 2.26 にイーサネットコントローラ用 DMA コントローラレジスタ比較を示します。

表2.25 イーサネットコントローラ用 DMA コントローラ仕様の概要比較

| 項目 | RX63N(EDMAC) | RX64M(EDMACa) |
|----------|---|---|
| チャンネル数 | <ul style="list-style-type: none"> ETHERC 用 1 チャンネル | <ul style="list-style-type: none"> ETHERC0 用 1 チャンネル ETHERC1 用 1 チャンネル EPTPC 用 1 チャンネル |
| データ送受信 | <ul style="list-style-type: none"> ディスクリプタによる送受信制御 1 バッファ / フレーム(シングルバッファフレーム送受信)、複数バッファ / フレーム(マルチバッファフレーム送受信)の転送方式に対応 | <ul style="list-style-type: none"> ディスクリプタによる送受信制御 1 バッファ / フレーム(シングルバッファフレーム送受信)、複数バッファ / フレーム(マルチバッファフレーム送受信)の転送方式に対応 |
| 機能 | <ul style="list-style-type: none"> ブロック転送(32 バイト単位)によるシステムバス占有時間を最短化 送受信フレームステータスのディスクリプタへのライトバック 受信データへのパディング挿入 | <ul style="list-style-type: none"> ブロック転送(32 バイト単位)によるシステムバス占有時間を最短化 送受信フレームステータスのディスクリプタへのライトバック 受信データへのパディング挿入 |
| 消費電力低減機能 | <ul style="list-style-type: none"> モジュールストップ状態への設定が可能 | <ul style="list-style-type: none"> モジュールストップ状態への設定が可能 |

表2.26 イーサネットコントローラ用 DMA コントローラレジスタ比較

| レジスタ | ビット | RX63N(EDMAC) | RX64M(EDMACa) |
|-----------------|---------|--------------------------|---------------------------|
| PTPEDMAC.EESR | - | - | PTP/EDMAC ステータスレジスタ |
| PTPEDMAC.EESIPR | - | - | PTP/EDMAC ステータス割り込み許可レジスタ |
| TRSCER | CERFCE | CERF ビットコピー指示ビット | - |
| | PRECE | PRE ビットコピー指示ビット | - |
| | RTSFCE | RTSF ビットコピー指示ビット | - |
| | RTLFCCE | RTLFC ビットコピー指示ビット | - |
| | TROCE | TRO ビットコピー指示ビット | - |
| | CDCE | CD ビットコピー指示ビット | - |
| | DLCCE | DLC ビットコピー指示ビット | - |
| | CNDCE | CND ビットコピー指示ビット | - |
| RMCR | RNC | 受信要求ビット non リセットモード指定ビット | - |

2.17 USB2.0 ホスト/ファンクションモジュール

表 2.27にUSB2.0 ホスト/ファンクションモジュール仕様の概要比較を、表 2.28にUSB2.0 ホスト/ファンクションモジュールのレジスタ比較を示します。

表2.27 USB2.0 ホスト/ファンクションモジュール仕様の概要比較

| 項目 | RX63N(USBa) | RX64M(USBb) |
|----------------|--|--|
| ポート数 | 2 | 1 |
| 特長 | <ul style="list-style-type: none"> USB2.0に対応したUDC(USB Device Controller)およびトランシーバを内蔵 USB0:ホストコントローラ機能/ファンクションコントローラ機能/OTG(ON-The-Go)に対応 USB1:ファンクションコントローラ機能に対応 ホストコントローラ機能とファンクションコントローラ機能はソフトウェアで切り替え可能 セルフパワーモードおよびバスパワーモードを選択可能 | <ul style="list-style-type: none"> USB2.0に対応したUDC(USB Device Controller)およびトランシーバを内蔵 ホストコントローラ機能/ファンクションコントローラ機能/OTG(ON-The-Go)に対応 ホストコントローラ機能とファンクションコントローラ機能はソフトウェアで切り替え可能 セルフパワーモードおよびバスパワーモードを選択可能 |
| | ホストコントローラ機能選択時 <ul style="list-style-type: none"> フルスピード転送(12Mbps)に対応 SOF、パケット送信のスケジュールを自動化 アイソクロナス転送、インタラプト転送の転送インターバル設定機能 ハブを1段階経由し、複数の周辺デバイスと接続し通信が可能 | ホストコントローラ機能選択時 <ul style="list-style-type: none"> フルスピード転送(12Mbps)に対応、およびロースピード転送(1.5Mbps) SOF、パケット送信のスケジュールを自動化 アイソクロナス転送、インタラプト転送の転送インターバル設定機能 ハブを1段階経由し、複数の周辺デバイスと接続し通信が可能 |
| | ファンクションコントローラ機能選択時 <ul style="list-style-type: none"> フルスピード転送(12Mbps)に対応 コントロール転送ステージ管理機能 デバイスステート管理機能 SET_ADDRESS リクエストに対する自動応答機能 SOF 補間機能 | ファンクションコントローラ機能選択時 <ul style="list-style-type: none"> フルスピード転送(12Mbps)に対応* コントロール転送ステージ管理機能 デバイスステート管理機能 SET_ADDRESS リクエストに対する自動応答機能 SOF 補完機能 |
| 通信データ転送タイプ | <ul style="list-style-type: none"> コントロール転送 バルク転送 インタラプト転送 アイソクロナス転送 | <ul style="list-style-type: none"> コントロール転送 バルク転送 インタラプト転送 アイソクロナス転送 |
| パイプコンフィギュレーション | <ul style="list-style-type: none"> USB 通信用バッファメモリを内蔵 最大 10 本のパイプを選択可能(デフォルトコントロールパイプを含む) パイプ 1~9 は任意のエンドポイント番号を割り付け可能 | <ul style="list-style-type: none"> USB 通信用バッファメモリを内蔵 最大 10 本のパイプを選択可能(デフォルトコントロールパイプを含む) パイプ 1~9 は任意のエンドポイント番号を割り付け可能 |

| 項目 | RX63N(USBa) | RX64M(USBb) |
|----------------|--|--|
| パイプコンフィギュレーション | <p>各パイプの設定可能な転送条件</p> <ul style="list-style-type: none"> パイプ 0:コントロール転送専用のパイプ(デフォルトコントロールパイプ:DCP)、バッファサイズは 8/16/32/64 バイト(シングルバッファ) パイプ 1、2:バルク転送またはアイソクロナス転送を選択可能なパイプ、バルク転送時バッファサイズは 8/16/32/64 バイト(ダブルバッファ指定可能)、アイソクロナス転送時バッファサイズは 1~256 バイト(ダブルバッファ指定可能) パイプ 3~5:バルク転送専用のパイプ、バッファサイズは 8/16/32/64 バイト(ダブルバッファ指定可能) パイプ 6~9:インタラプト転送専用のパイプ、1~64 バイト(シングルバッファ) | <p>各パイプの設定可能な転送条件</p> <ul style="list-style-type: none"> パイプ 0:コントロール転送専用のパイプ(デフォルトコントロールパイプ:DCP)、バッファサイズは 64 バイト(シングルバッファ) パイプ 1、2:バルク転送またはアイソクロナス転送を選択可能なパイプ、バルク転送時バッファサイズは 64 バイト(ダブルバッファ指定可能)、アイソクロナス転送時バッファサイズは 256 バイト(ダブルバッファ指定可能) パイプ 3~5:バルク転送専用のパイプ、バッファサイズは 64 バイト(ダブルバッファ指定可能) パイプ 6~9:インタラプト転送専用のパイプ、64 バイト(シングルバッファ) |
| その他の機能 | <ul style="list-style-type: none"> トランザクションカウントによる受信トランスファ終了機能 BRDY 割り込みイベント通知タイミング変更機能(BFRE) DnFIFO(n = 0, 1)ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能(DCLRM) トランスファ終了による応答PIDのNAK設定機能(SHTNAK) | <ul style="list-style-type: none"> トランザクションカウントによる受信トランスファ終了機能 BRDY 割り込みイベント通知タイミング変更機能(BFRE) DnFIFO(n = 0, 1)ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能(DCLRM) トランスファ終了による応答PIDのNAK設定機能(SHTNAK) DP/DM のプルアップ抵抗、プルダウン抵抗をチップに内蔵 |
| 消費電力低減機能 | モジュールストップ状態への設定が可能 | モジュールストップ状態への設定が可能 |

【注】 * ファンクションコントローラ機能選択時、ロースピード転送(1.5Mbps)に対応していません。

表2.28 USB2.0 ホスト/ファンクションモジュールのレジスタ比較

| レジスタ | ビット | RX63N(USBa) | RX64M(USBb) |
|---------|---------|----------------------------|---------------------------------|
| SYSSTS0 | SOFEA | - | ホストコントローラ機能選択時の SOF アクティブモニタビット |
| PHYSLEW | - | - | PHY クロスポイント調整レジスタ |
| DPUSR0R | RPUE0 | - | DP プルアップ抵抗制御ビット |
| | DRPD0 | - | D+/D-プルダウン抵抗制御ビット |
| | SRPC1 | USB1 シングルエンドレシーバ制御ビット | - |
| | FIXPHY1 | USB1 トランシーバ出力固定ビット | - |
| | DP1 | USB1 DP 入力 | - |
| | DM1 | USB1 DM 入力 | - |
| | DVBSTS1 | USB1 VBUS 入力 | - |
| | DPUSR1R | DPINTE1 | USB1 DP 割り込み 許可/クリアビット |
| DMINTE1 | | USB1 DM 割り込み 許可/クリアビット | - |
| DVBSE1 | | USB1 VBUS 割り込み許可/クリアビット | - |
| DPINT1 | | USB1 DP 割り込み要因による復帰表示ビット | - |
| DMINT1 | | USB1 DM 割り込み要因による復帰表示ビット | - |
| DVBINT1 | | USB1 VBUS 割り込み要因による復帰表示ビット | - |

2.18 シリアルコミュニケーションインタフェース

RX63N グループ、RX631 グループは、独立した 13 チャンネル(SCIc:12 チャンネル、SCIId:1 チャンネル)のシリアルコミュニケーションインタフェースを持っています。

RX64M グループは、独立した 9 チャンネル(SCIlg:8 チャンネル、SCIh:1 チャンネル)のシリアルコミュニケーションインタフェースを持っています。

表 2.29にSCIc、SCIlg の仕様の概要比較を、表 2.30にSCIId、SCIh の仕様の概要比較を、表 2.31にSCI チャンネル別仕様比較を、表 2.32にシリアルコミュニケーションインタフェースレジスタ比較を示します。

表2.29 SCIc、SCIlg の仕様の概要比較

| 項目 | | RX63N(SCIc) | RX64M(SCIlg) |
|----------|-------------|---|---|
| チャンネル数 | | 12 チャンネル | 8 チャンネル |
| シリアル通信方式 | | <ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス | <ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス |
| 転送速度 | | ポーレートジェネレータ内蔵により任意のビットレートを設定可能 | ポーレートジェネレータ内蔵により任意のビットレートを設定可能 (電気的特性に差異があるため、設定できるビットレートにも差異があります。詳細はユーザーズマニュアルをご確認ください) |
| 全二重通信 | | 送信部:ダブルバッファ構成による連続送信が可能 受信部:ダブルバッファ構成による連続受信が可能 | 送信部:ダブルバッファ構成による連続送信が可能 受信部:ダブルバッファ構成による連続受信が可能 |
| データ転送 | | LSB ファースト/MSB ファースト選択可能* | LSB ファースト/MSB ファースト選択可能* |
| 割り込み要因 | | 送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了(簡易 I ² C モード用) | 送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了(簡易 I ² C モード用) |
| 消費電力低減機能 | | チャンネルごとにモジュールストップ状態への設定が可能 | チャンネルごとにモジュールストップ状態への設定が可能 |
| 調歩同期式モード | データ長 | 7 ビット/8 ビット | 7 ビット/8 ビット/9 ビット |
| | 送信ストップビット | 1 ビット/2 ビット | 1 ビット/2 ビット |
| | パリティ機能 | 偶数パリティ / 奇数パリティ / パリティなし | 偶数パリティ / 奇数パリティ / パリティなし |
| | 受信エラー検出機能 | パリティエラー、オーバランエラー、フレーミングエラー | パリティエラー、オーバランエラー、フレーミングエラー |
| | ハードウェアフロー制御 | CTS _n 端子、RTS _n 端子を用いた送受信制御が可能 | CTS _n #端子、RTS _n #端子を用いた送受信制御が可能 |
| | スタートビットの検出 | Low レベルを検出 | Low レベルまたは立ち下がリエッジを選択可能 |
| ブ레이크検出 | | フレーミングエラー発生時、RXD _n 端子のレベルを直接リードすることでブ레이크を検出可能 | フレーミングエラー発生時、RXD _n 端子のレベルを直接リードすることでブ레이크を検出可能 |

| 項目 | | RX63N(SCIc) | RX64M(SCIg) |
|-------------------------|--------------|---|---|
| 調歩同期式モード | クロックソース | 内部クロック/外部クロックの選択が可能 TMR からの転送レートクロック入力が可能(SCI5、SCI6) | 内部クロック/外部クロックの選択が可能 TMR からの転送レートクロック入力が可能(SCI5、SCI6) |
| | 倍速モード | - | ボーレートジェネレータ倍速モードを選択可能 |
| | マルチプロセッサ通信機能 | 複数のプロセッサ間のシリアル通信機能 | 複数のプロセッサ間のシリアル通信機能 |
| | ノイズ除去 | RXDn 端子入力経路にデジタルノイズフィルタを内蔵 | RXDn 端子入力経路にデジタルノイズフィルタを内蔵 |
| クロック同期式モード | データ長 | 8 ビット | 8 ビット |
| | 受信エラーの検出 | オーバランエラー | オーバランエラー |
| | ハードウェアフロー制御 | CTSn 端子、RTSn 端子を用いた送受信制御が可能 | CTSn#端子、RTSn#端子を用いた送受信制御が可能 |
| スマートカードインタフェースモード | エラー処理 | 受信時パリティエラーを検出するとエラーシグナルを自動送付 | 受信時パリティエラーを検出するとエラーシグナルを自動送付 |
| | | 送信時エラーシグナルを受信するとデータを自動再送信 | 送信時エラーシグナルを受信するとデータを自動再送信 |
| | データタイプ | ダイレクトコンベンション/インバースコンベンションをサポート | ダイレクトコンベンション/インバースコンベンションをサポート |
| 簡易 I ² C モード | 通信フォーマット | I ² C バスフォーマット | I ² C バスフォーマット |
| | 動作モード | マスタ(シングルマスタ動作のみ) | マスタ(シングルマスタ動作のみ) |
| | 転送速度 | ファストモード対応 | ファストモード対応 |
| | ノイズ除去 | SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能 | SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能 |
| 簡易 SPI モード | データ長 | 8 ビット | 8 ビット |
| | エラーの検出 | オーバランエラー | オーバランエラー |
| | SS 入力端子機能 | SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能 | SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能 |
| | クロック設定 | クロック位相、クロック極性の設定を4種類から選択可能 | クロック位相、クロック極性の設定を4種類から選択可能 |
| ビットレートモジュレーション機能 | - | 内蔵ボーレートジェネレータの出力補正により誤差を低減可能 | |
| イベントリンク機能 | - | - | エラー(受信エラー・エラーシグナル検出)イベント出力 |
| | - | - | 受信データフルイベント出力 |
| | - | - | 送信データエンプティイベント出力 |
| | - | - | 送信終了イベント出力 |

【注】 * 簡易 I²C モードでは、MSB ファーストでのみ使用可能です。

表2.30 SCId、SCIh の仕様の概要比較

| 項目 | | RX63N(SCId) | RX64M(SCIh) |
|------------|--|---|---|
| チャンネル数 | | 1 チャンネル | 1 チャンネル |
| シリアル通信方式 | | <ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス | <ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス |
| 転送速度 | | ポーレートジェネレータ内蔵により任意のビットレートを設定可能 | ポーレートジェネレータ内蔵により任意のビットレートを設定可能 |
| 全二重通信 | | 送信部:ダブルバッファ構成による連続送信が可能 受信部:ダブルバッファ構成による連続受信が可能 | 送信部:ダブルバッファ構成による連続送信が可能 受信部:ダブルバッファ構成による連続受信が可能 |
| データ転送 | | LSB ファースト/MSB ファースト選択可能* | LSB ファースト/MSB ファースト選択可能* |
| 割り込み要因 | | 送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了(簡易 I ² C モード用) | 送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了(簡易 I ² C モード用) |
| 消費電力低減機能 | | モジュールストップ状態への設定が可能 | モジュールストップ状態への設定が可能 |
| 調歩同期式モード | データ長 | 7 ビット/8 ビット | 7 ビット/8 ビット/9 ビット |
| | 送信ストップビット | 1 ビット/2 ビット | 1 ビット/2 ビット |
| | パリティ機能 | 偶数パリティ / 奇数パリティ / パリティなし | 偶数パリティ / 奇数パリティ / パリティなし |
| | 受信エラー検出機能 | パリティエラー、オーバランエラー、フレーミングエラー | パリティエラー、オーバランエラー、フレーミングエラー |
| | ハードウェアフロー制御 | CTS _n 端子、RTS _n 端子を用いた送受信制御が可能 | CTS _n #端子、RTS _n #端子を用いた送受信制御が可能 |
| | スタートビットの検出 | Low レベルを検出 | Low レベルまたは立ち下がリエッジを選択可能 |
| | ブ레이크検出 | フレーミングエラー発生時、RXD _n 端子のレベルを直接リードすることでブ레이크を検出可能 | フレーミングエラー発生時、RXD _n 端子のレベルを直接リードすることでブ레이크を検出可能 |
| | クロックソース | 内部クロック/外部クロックの選択が可能 TMR からの転送レートクロック入力が可能 | 内部クロック/外部クロックの選択が可能 TMR からの転送レートクロック入力が可能 |
| | 倍速モード | - | ポーレートジェネレータ倍速モードを選択可能 |
| | マルチプロセッサ通信機能 | 複数のプロセッサ間のシリアル通信機能 | 複数のプロセッサ間のシリアル通信機能 |
| ノイズ除去 | RXD _n 端子入力経路にデジタルノイズフィルタを内蔵 | RXD _n 端子入力経路にデジタルノイズフィルタを内蔵 | |
| クロック同期式モード | データ長 | 8 ビット | 8 ビット |
| | 受信エラーの検出 | オーバランエラー | オーバランエラー |

| 項目 | | RX63N(SCId) | RX64M(SCIh) |
|-------------------------|----------------|--|--|
| クロック同期式モード | ハードウェアフロー制御 | CTSn 端子、RTSn 端子を用いた送受信制御が可能 | CTSn#端子、RTSn#端子を用いた送受信制御が可能 |
| スマートカードインタフェースモード | エラー処理 | 受信時パリティエラーを検出するとエラーシグナルを自動送付 | 受信時パリティエラーを検出するとエラーシグナルを自動送付 |
| | | 送信時エラーシグナルを受信するとデータを自動再送信 | 送信時エラーシグナルを受信するとデータを自動再送信 |
| | データタイプ | ダイレクトコンベンション/インバースコンベンションをサポート | ダイレクトコンベンション/インバースコンベンションをサポート |
| 簡易 I ² C モード | 通信フォーマット | I ² C バスフォーマット | I ² C バスフォーマット |
| | 動作モード | マスタ(シングルマスタ動作のみ) | マスタ(シングルマスタ動作のみ) |
| | 転送速度 | ファストモード対応 | ファストモード対応 |
| | ノイズ除去 | SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能 | SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能 |
| 簡易 SPI モード | データ長 | 8 ビット | 8 ビット |
| | エラーの検出 | オーバランエラー | オーバランエラー |
| | SS 入力端子機能 | SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能 | SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能 |
| | クロック設定 | クロック位相、クロック極性の設定を 4 種類から選択可能 | クロック位相、クロック極性の設定を 4 種類から選択可能 |
| 拡張シリアルモード | Start Frame 送信 | <ul style="list-style-type: none"> Break Field Low width の出力が可能/出力完了割り込み機能あり バス衝突検出機能あり/検出割り込み機能あり | <ul style="list-style-type: none"> Break Field Low width の出力が可能/出力完了割り込み機能あり バス衝突検出機能あり/検出割り込み機能あり |
| | Start Frame 受信 | <ul style="list-style-type: none"> Break Field Low width の検出が可能/検出完了割り込み機能あり Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データを設定可能 Control Field 1 にプライオリティインタラプトビットを設定可能 Break Field がない Start Frame にも対応可能 Control Field 0 がない Start Frame にも対応可能 ビットレート測定機能あり | <ul style="list-style-type: none"> Break Field Low width の検出が可能/検出完了割り込み機能あり Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データを設定可能 Control Field 1 にプライオリティインタラプトビットを設定可能 Break Field がない Start Frame にも対応可能 Control Field 0 がない Start Frame にも対応可能 ビットレート測定機能あり |

| 項目 | | RX63N(SCId) | RX64M(SCIh) |
|----------------|---------|--|--|
| 拡張シリアルモード | 入出力制御機能 | <ul style="list-style-type: none"> TXDX12/RXDX12 信号の極性選択が可能 RXDX12 信号にデジタルフィルタ機能を設定可能 RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 RXDX12 端子受信データサンプリングタイミング選択可能 拡張シリアルモード制御部 OFF 時、RXDX12 受信信号を SC1c へスルー出力可能 | <ul style="list-style-type: none"> TXDX12/RXDX12 信号の極性選択が可能 RXDX12 信号にデジタルフィルタ機能を設定可能 RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 RXDX12 端子受信データサンプリングタイミング選択可能 拡張シリアルモード制御部 OFF 時、RXDX12 受信信号を SC1c へスルー出力可能 |
| | タイマ機能 | <ul style="list-style-type: none"> リロードタイマ機能として使用可能 | <ul style="list-style-type: none"> リロードタイマ機能として使用可能 |
| ビットレートモジュレーション | | - | 機能内蔵ボーレートジェネレータの出力補正により誤差を低減可能 |

【注】 * 簡易 I2C モードでは、MSB ファーストでのみ使用可能です。

表2.31 SCI チャンネル別仕様比較

| 項目 | RX63N(SC1c, SC1d) | RX64M(SC1g, SC1h) |
|-------------------------|-------------------|-------------------|
| 調歩同期式モード | SC10~SC12 | SC10~SC17, SC112 |
| クロック同期式モード | SC10~SC12 | SC10~SC17, SC112 |
| スマートカードインタフェースモード | SC10~SC12 | SC10~SC17, SC112 |
| 簡易 I ² C モード | SC10~SC12 | SC10~SC17, SC112 |
| 簡易 SPI モード | SC10~SC12 | SC10~SC17, SC112 |
| 拡張シリアルモード | SC112 | SC112 |
| TMR クロック入力 | SC15, 6, 12 | SC15, 6, 12 |
| イベントリンク機能 | | SC15 |

表2.32 シリアルコミュニケーションインタフェースレジスタ比較

| レジスタ | ビット | RX63N(SC1c, SC1d) | RX64M(SC1g, SC1h) |
|-------|---------|-------------------|-------------------------|
| RDRHL | - | - | レシーブデータレジスタ HL |
| TDRHL | - | - | トランスミットデータレジスタ HL |
| SSR | RDRF | - | 受信データフルフラグ |
| | TDRF | - | 送信データエンプティフラグ |
| SCMR | CHR1 | - | キャラクターングスビット 1 |
| MDDR | - | - | モジュレーションデューティレジスタ |
| SEMR | BRME | - | ビットレートモジュレーションイネーブルビット |
| | BGDM | - | ボーレートジェネレータ倍速モードセレクトビット |
| | RXDESEL | - | 調歩同期スタートビットエッジ検出セレクトビット |

2.19 I²C バスインタフェース

表 2.33に I²C バスインタフェース仕様の概要比較を、表 2.34にI²C バスインタフェースレジスタ比較を示します。

表2.33 I²C バスインタフェース仕様の概要比較

| 項目 | RX63N(RIIC) | RX64M(RIICa) |
|---------------------|---|---|
| チャンネル数 | 4 チャンネル | 2 チャンネル |
| 通信フォーマット | <ul style="list-style-type: none"> I²C バスフォーマット/SMBus フォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保 | <ul style="list-style-type: none"> I²C バスフォーマット/SMBus フォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保 |
| 転送速度 | ファストモードプラス対応 | ファストモードプラス対応 |
| SCL クロック | マスタ時、SCL クロックのデューティ比を 4%~96%の範囲で設定可能 | マスタ時、SCL クロックのデューティ比を 4%~96%の範囲で設定可能 |
| コンディション発行・コンディション検出 | スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能 | スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能 |
| スレーブアドレス | <ul style="list-style-type: none"> スレーブアドレスを 3 セット設定可能 7 ビット/10 ビットアドレスフォーマット対応(混在可能) ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能 | <ul style="list-style-type: none"> 異なるスレーブアドレスを 3 種類まで設定可能 7 ビット/10 ビットアドレスフォーマット対応(混在可能) ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能 |
| アクノリッジ応答 | <ul style="list-style-type: none"> 送信時、アクノリッジビットの自動ロード <ul style="list-style-type: none"> — ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクノリッジビットの自動送出 <ul style="list-style-type: none"> — 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能 | <ul style="list-style-type: none"> 送信時、アクノリッジビットの自動ロード <ul style="list-style-type: none"> — ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクノリッジビットの自動送出 <ul style="list-style-type: none"> — 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能 |
| ウェイト機能 | <ul style="list-style-type: none"> 受信時、SCL クロックの Low ホールドによるウェイトが可能 <ul style="list-style-type: none"> — 8クロック目と9クロック目の間をウェイト — 9クロック目と1クロック目の間をウェイト(WAIT 機能) | <ul style="list-style-type: none"> 受信時、SCL クロックの Low ホールドによるウェイトが可能 <ul style="list-style-type: none"> — 8クロック目と9クロック目の間をウェイト — 9クロック目と1クロック目の間をウェイト |
| SDA 出力遅延機能 | アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能 | アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能 |

| 項目 | RX63N(RIIC) | RX64M(RIICa) |
|------------|---|---|
| アービトレーション | <ul style="list-style-type: none"> ● マルチマスタ対応 <ul style="list-style-type: none"> — 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 — スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 — マスタ時、送信データ不一致でアービトレーションロスト検出可能 ● バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) ● ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 ● スレーブ送信時、データ不一致でアービトレーションロスト検出可能 | <ul style="list-style-type: none"> ● マルチマスタ対応 <ul style="list-style-type: none"> — 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 — スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 — マスタ時、送信データ不一致でアービトレーションロスト検出可能 ● バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) ● ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 ● スレーブ送信時、データ不一致でアービトレーションロスト検出可能 |
| タイムアウト検出機能 | 内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能 | 内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能 |
| ノイズ除去 | SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能 | SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能 |
| 割り込み要因 | 4 種類 <ul style="list-style-type: none"> ● 通信エラー / イベント発生 <ul style="list-style-type: none"> — アービトレーション検出 — NACK 検出 — タイムアウト検出 — スタートコンディション検出(リスタートコンディション含む) — ストップコンディション検出 ● 受信データフル(スレーブアドレス一致時含む) ● 送信データエンプティ(スレーブアドレス一致時含む) ● 送信終了 | 4 種類 <ul style="list-style-type: none"> — 通信エラー / イベント発生 — アービトレーション検出 — NACK 検出 — タイムアウト検出 — スタートコンディション検出(リスタートコンディション含む) — ストップコンディション検出 ● 受信データフル(スレーブアドレス一致時含む) ● 送信データエンプティ(スレーブアドレス一致時含む) ● 送信終了 |
| 消費電力低減機能 | モジュールストップ状態への設定が可能 | モジュールストップ状態への設定が可能 |
| イベントリンク機能 | - | <ul style="list-style-type: none"> ● 通信エラー/イベント発生 ● 受信データフル ● 送信データエンプティ ● 送信終了 |

表2.34 I²C バスインタフェースレジスタ比較

| レジスタ | ビット | RX63N(RIIC) | RX64M(RIICa) |
|---------|------|-----------------------|--------------|
| ICMR2 | TMWE | タイムアウト内部カウンタ書き込み許可ビット | - |
| TMOCNTL | - | タイムアウト 内部カウンタ L | - |
| TMOCNTU | - | タイムアウト 内部カウンタ U | - |

2.20 シリアルペリフェラルインタフェース

表 2.35にシリアルペリフェラルインタフェース仕様の概要比較を、表 2.36にシリアルペリフェラルインタフェースレジスタ比較を示します。

表2.35 シリアルペリフェラルインタフェース仕様の概要比較

| 項目 | RX63N(RSPI) | RX64M(RSPIa) |
|-----------|--|--|
| チャンネル数 | 3 チャンネル | 1 チャンネル |
| RSPI 転送機能 | <ul style="list-style-type: none"> MOSI(Master Out Slave In)、MISO(Master In Slave Out)、SSL(Slave Select)、RSPCK(RSPI Clock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 送信のみの動作が可能 通信モード:全二重または送信のみを選択可能 RSPCK の極性を変更可能 RSPCK の位相を変更可能 | <ul style="list-style-type: none"> MOSI(Master Out Slave In)、MISO(Master In Slave Out)、SSL(Slave Select)、RSPCK(RSPI Clock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 送信のみの動作が可能 通信モード:全二重または送信のみを選択可能 RSPCK の極性を変更可能 RSPCK の位相を変更可能 |
| データフォーマット | <ul style="list-style-type: none"> MSB ファースト/LSB ファーストの切り替え可能 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットに変更可能 送信/受信バッファは 128 ビット 一度の送受信で最大 4 フレームを転送(1 フレームは最大 32 ビット) | <ul style="list-style-type: none"> MSB ファースト/LSB ファーストの切り替え可能 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 送信/受信バッファは 128 ビット 一度の送受信で最大 4 フレームを転送(1 フレームは最大 32 ビット) |
| ビットレート | <ul style="list-style-type: none"> マスタモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) スレーブ時は、PCLK の最小 8 分周のクロックを、RSPCK として入力可能(RSPCK の最大周波数は PCLK の 8 分周)High 幅:PCLK の 4 サイクル、Low 幅:PCLK の 4 サイクル | <ul style="list-style-type: none"> マスタモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) スレーブ時は、PCLK の最小 8 分周のクロックを、RSPCK として入力可能(RSPCK の最大周波数は PCLK の 8 分周)High 幅:PCLK の 4 サイクル、Low 幅:PCLK の 4 サイクル <p>(電気的特性に差異があるため、設定できるビットレートにも差異があります。詳細はユーザーズマニュアルをご確認ください)</p> |
| バッファ構成 | <ul style="list-style-type: none"> 送信および受信バッファはそれぞれダブルバッファ構造 送信および受信バッファは 128 ビット | <ul style="list-style-type: none"> 送信および受信バッファはそれぞれダブルバッファ構造 送信および受信バッファは 128 ビット |

| 項目 | RX63N(RSPI) | RX64M(RSPIa) |
|-------------|--|--|
| エラー検出 | <ul style="list-style-type: none"> モードフォルトエラー検出 オーバランエラー検出 パリティエラー検出 | <ul style="list-style-type: none"> モードフォルトエラー検出 オーバランエラー検出 マスタ受信かつ、RSPCK 自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。 パリティエラー検出 |
| SSL 制御機能 | <ul style="list-style-type: none"> 1チャンネルあたり4本のSSL信号(SSLn0~SSLn3) シングルマスタ設定時には、SSLn0~SSLn3信号を出力 マルチマスタ設定時:SSLn0信号は入力、SSLn1~SSLn3信号は出力または未使用 スレーブ設定時:SSLn0信号は入力、SSLn1~SSLn3信号は未使用 SSL出力のアサートからRSPCK動作までの遅延(RSPCK遅延)を設定可能(設定範囲:1~8RSPCK 設定単位:1RSPCK) RSPCK停止からSSL出力のネゲートまでの遅延(SSLネゲート遅延)を設定可能(設定範囲:1~8RSPCK 設定単位:1RSPCK) 次アクセスのSSL出力アサートのウェイト(次アクセス遅延)を設定可能(設定範囲:1~8RSPCK 設定単位:1RSPCK) SSL極性変更機能 | <ul style="list-style-type: none"> 1チャンネルあたり4本のSSL端子(SSLA0~SSLA3) シングルマスタ設定時には、SSLA0~SSLA3端子を出力 マルチマスタ設定時:SSLA0端子は入力、SSLA1~SSLA3端子は出力または未使用 スレーブ設定時:SSLA0端子は入力、SSLA1~SSLA3端子は未使用 SSL出力のアサートからRSPCK動作までの遅延(RSPCK遅延)を設定可能(設定範囲:1~8RSPCK 設定単位:1RSPCK) RSPCK停止からSSL出力のネゲートまでの遅延(SSLネゲート遅延)を設定可能(設定範囲:1~8RSPCK 設定単位:1RSPCK) 次アクセスのSSL出力アサートのウェイト(次アクセス遅延)を設定可能(設定範囲:1~8RSPCK 設定単位:1RSPCK) SSL極性変更機能 |
| マスタ転送時の制御方式 | <ul style="list-style-type: none"> 最大8コマンドで構成された転送をシーケンシャルにループ実行可能 各コマンドに以下の項目を設定可能 SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 送信バッファへのライトで転送を起動可能 SSLネゲート時のMOSI信号値を設定可能 | <ul style="list-style-type: none"> 最大8コマンドで構成された転送を連続してループ実行可能 各コマンドに以下の項目を設定可能 SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 送信バッファへのライトで転送を起動可能 SSLネゲート時のMOSI信号値を設定可能 RSPCK自動停止機能 |

| 項目 | RX63N(RSPI) | RX64M(RSPIa) |
|---------------|--|---|
| 割り込み要因 | <ul style="list-style-type: none"> 受信バッファフル割り込み 送信バッファエンプティ割り込み RSPI エラー割り込み(モードフォルト、オーバラン、パリティエラー) RSPI アイドル割り込み(RSPI アイドル) | <ul style="list-style-type: none"> 受信バッファフル割り込み 送信バッファエンプティ割り込み RSPI エラー割り込み(モードフォルト、オーバラン、パリティエラー) RSPI アイドル割り込み(RSPI アイドル) |
| イベントリンク機能(出力) | - | 以下のイベントをイベントリンクコントローラへ出力可能 <ul style="list-style-type: none"> 受信バッファフルイベント信号 送信バッファエンプティイベント信号 モードフォルト/オーバラン/パリティエラーのイベント信号 RSPI アイドルイベント信号 送信完了イベント信号 |
| その他の機能 | <ul style="list-style-type: none"> CMOS/オープンドレイン出力切り替え機能 RSPI 初期化機能 ループバックモード機能 | <ul style="list-style-type: none"> CMOS/オープンドレイン出力切り替え機能 RSPI 初期化機能 ループバックモード機能 |
| 消費電力低減機能 | モジュールストップ状態への設定が可能 | モジュールストップ状態への設定が可能 |

表2.36 シリアルペリフェラルインタフェースレジスタ比較

| レジスタ | ビット | RX63N(RSPI) | RX64M(RSPIa) |
|-------|--------|-------------|-------------------|
| SPSR | SPTEF | - | 送信バッファエンプティフラグ |
| | SPRF | - | 受信バッファフルフラグ |
| SPCR2 | SCKASE | - | RSPCK 自動停止機能許可ビット |

2.21 パラレルデータキャプチャユニット

表 2.37にパラレルデータキャプチャユニット仕様の概要比較を示します。

表2.37 パラレルデータキャプチャユニット仕様の概要比較

| 項目 | RX63N(PDC) | RX64M(PDC) |
|-----------------------|---|---|
| キャプチャ範囲 | <ul style="list-style-type: none"> 任意の垂直、水平方向の平行データをキャプチャ可能 垂直方向: 1~4095 ライン 水平方向: 4~4095 バイト | <ul style="list-style-type: none"> 任意の垂直、水平方向の平行データをキャプチャ可能 垂直方向: 1~4095 ライン 水平方向: 4~4095 バイト |
| パラレルデータ転送クロック(PIXCLK) | <ul style="list-style-type: none"> 動作周波数: 1~27MHz | <ul style="list-style-type: none"> 動作周波数: 1~27MHz |
| 割り込み要因 | <ul style="list-style-type: none"> 受信データレディ フレームエンド オーバラン アンダーラン 垂直方向ライン数設定エラー 水平方向バイト数設定エラー | <ul style="list-style-type: none"> 受信データレディ フレームエンド オーバラン アンダーラン 垂直方向ライン数設定エラー 水平方向バイト数設定エラー |
| DTC/DMAC の起動 | <ul style="list-style-type: none"> 受信データレディ割り込みにより起動可能 | <ul style="list-style-type: none"> 受信データレディ割り込みにより起動可能 |
| パラレルデータ転送クロック出力(PCKO) | <ul style="list-style-type: none"> 動作周波数: 1~25MHz クロックソース: 周辺モジュールクロック B(PCLKB) 分周比: 2,4,6,8,10,12,14,16 分周から選択可能 | <ul style="list-style-type: none"> 動作周波数: 1~30MHz クロックソース: 周辺モジュールクロック B(PCLKB) 分周比: 2,4,6,8,10,12,14,16 分周から選択可能 |
| その他機能 | <ul style="list-style-type: none"> PDC リセット機能 VSYNC 信号および HSYNC 信号の極性選択機能 VSYNC 信号および HSYNC 信号のモニタ機能 エンディアン選択機能 | <ul style="list-style-type: none"> PDC リセット機能 VSYNC 信号および HSYNC 信号の極性選択機能 VSYNC 信号および HSYNC 信号のモニタ機能 エンディアン選択機能 |
| 消費電力低減機能 | <ul style="list-style-type: none"> モジュールストップ状態への設定が可能 | <ul style="list-style-type: none"> モジュールストップ状態への設定が可能 |
| 内部バスインタフェース | <ul style="list-style-type: none"> 内部周辺バス 3 に接続 | <ul style="list-style-type: none"> 内部周辺バス 3 に接続 |

2.22 12 ビット A/D コンバータ

表 2.38に12 ビット A/D コンバータの仕様比較を、表 2.39に12 ビット A/D コンバータのレジスタ比較を示します。

表2.38 12 ビット A/D コンバータの仕様比較

| 項目 | RX63N(S12ADa) | RX64M(S12ADC) |
|-------------------|---|--|
| ユニット数 | 1 ユニット | 2 ユニット |
| 入力チャンネル | 21 チャンネル | ユニット 0:8 チャンネル ユニット 1:21 チャンネル+拡張 1 本 |
| 拡張アナログ入力 | 温度センサ出力、内部基準電圧 | 温度センサ出力、内部基準電圧 |
| A/D 変換方式 | 逐次比較方式 | 逐次比較方式 |
| 分解能 | 12 ビット | 12 ビット |
| 変換時間 | 1 チャンネル当たり 1.0 μ s(A/D 変換クロック ADCLK = 50MHz 動作時) | 1 チャンネル当たり (0.48us) (12 ビット変換モード) 1 チャンネル当たり (0.45us) (10 ビット変換モード) 1 チャンネル当たり (0.42us) (8 ビット変換モード) (A/D 変換クロック ADCLK=60MHz 動作時) |
| A/D 変換クロック(ADCLK) | 4 種類:PCLK、PCLK/2、PCLK/4、PCLK/8 | 周辺モジュールクロック PCLKB と A/D 変換クロック ADCLK を以下の分周比で設定可能 「PCLKB:ADCLK 分周比 = 1:1, 1:2, 1:4, 1:8」 ADCLK の設定はクロック発生回路 (CPG)で行います |
| データレジスタ | <ul style="list-style-type: none"> アナログ入力用:21 本 温度センサ用:1 本 内部基準電圧用:1 本 A/D 変換結果を 12 ビットの A/D データレジスタに保持 加算モード時は、A/D 変換結果を 14 ビットの A/D データレジスタに保持 | <ul style="list-style-type: none"> アナログ入力用:29 本(ユニット 0:8 本、ユニット 1:21 本)、ダブルトリガモードでの A/D 変換データ 2 重化用 1 本/各ユニット、ダブルトリガモード拡張動作時の A/D 変換データ 2 重化用 2 本/各ユニット 温度センサ用:1 本(ユニット 1 のみ) 内部基準電圧用:1 本(ユニット 1 のみ) A/D 変換結果を 12 ビット A/D データレジスタに保持 A/D 変換結果の 8, 10, 12 ビット精度出力対応 加算モード時は A/D 変換結果の加算値を変換精度ビット数+2 ビットで A/D データレジスタに保持 ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) 選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに保持、 2 回目の A/D 変換デー |

| 項目 | RX63N(S12ADa) | RX64M(S12ADC) |
|-------|--|---|
| | | <p>タは 2 重化レジスタに保持</p> <ul style="list-style-type: none"> ダブルトリガモード拡張動作(特定トリガ種別で有効) <p>選択した 1 つのチャンネルのアナログ入力の A/D 変換データをトリガ種別毎に準備した 2 重化レジスタに保持</p> |
| 動作モード | <ul style="list-style-type: none"> シングルスキャンモード: <ul style="list-style-type: none"> 任意に選択した最大 21 チャンネルのアナログ入力を 1 回のみ A/D 変換 温度センサ出力を 1 回のみ A/D 変換 内部基準電圧を 1 回のみ A/D 変換 連続スキャンモード: 連続スキャンモード: <ul style="list-style-type: none"> 任意に選択した最大 21 チャンネルのアナログ入力を繰り返し A/D 変換。(温度センサ出力または内部基準電圧を選択した場合は、連続スキャンモードを使用しないでください。) | <ul style="list-style-type: none"> シングルスキャンモード: <ul style="list-style-type: none"> 任意に選択した最大 8 チャンネル(ユニット 0)/21 チャンネル(ユニット 1)のアナログ入力を 1 回のみ A/D 変換、 温度センサ出力を 1 回のみ A/D 変換(ユニット 1 のみ) 内部基準電圧を 1 回のみ A/D 変換(ユニット 1 のみ) 拡張アナログ入力を 1 回のみ A/D 変換(ユニット 1 のみ) 連続スキャンモード: <ul style="list-style-type: none"> 任意に選択した最大 8 チャンネル(ユニット 0)/21 チャンネル(ユニット 1)のアナログ入力、温度センサ出力(ユニット 1 のみ)、内部基準電圧(ユニット 1 のみ)を繰り返し A/D 変換 拡張アナログ入力を繰り返し A/D 変換(ユニット 1 のみ) グループスキャンモード: <ul style="list-style-type: none"> 任意に選択した最大 8 チャンネル(ユニット 0)/21 チャンネル(ユニット 1)のアナログ入力、温度センサ出力(ユニット 1 のみ)、内部基準電圧(ユニット 1 のみ)をグループ A とグループ B に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 グループ A とグループ B は、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 グループスキャンモード(グループ A 優先制御選択時) <ul style="list-style-type: none"> グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を実施 グループ A の A/D 変換動作終了後、グループ B の A/D 変換動作を再実行(再スキャン)の設定が可能 |

| 項目 | RX63N(S12ADa) | RX64M(S12ADC) |
|------------|---|--|
| A/D 変換開始条件 | <ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ MTU、TPU または TMR からのトリガ 非同期トリガ 外部トリガ ADTRG0#端子による A/D 変換の開始が可能 | <ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ MTU、TPU、TMR、GPT、ELC からのトリガ 非同期トリガ 外部トリガ ADTRG0#端子(ユニット 0)/ADTRG1#端子(ユニット 1)による A/D 変換動作の開始が可能 |
| 機能 | <ul style="list-style-type: none"> サンプル&ホールド機能 サンプリングステート数可変機能 A/D 変換値加算モード | <ul style="list-style-type: none"> サンプル&ホールド機能 チャンネル専用サンプル&ホールド機能(3ch:ユニット 0 のみ) サンプリングステート数可変機能 12ビット A/D コンバータの自己診断機能 A/D 変換値加算モードと平均モードが選択可能 アナログ入力断線検出機能(ディスチャージ機能/プリチャージ機能) ダブルトリガモード(A/D 変換データ 2 重化機能) 12/10/8 ビット変換切り替え機能(注 2) A/D データレジスタオートクリア機能 拡張アナログ入力機能 デジタルコンペア機能(コンペアレジスタとデータレジスタとの比較、データレジスタ間の比較) |
| 割り込み要因 | <ul style="list-style-type: none"> A/D 変換終了でスキャン終了割り込み要求(S12ADI0)を発生 | <ul style="list-style-type: none"> ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求(S12ADI)を発生 ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求(S12ADI)を発生 グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求(S12ADI)を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(S12GBADI)を発生 グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求(S12ADI)を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(S12GBADI)を発生 |

| 項目 | RX63N(S12ADa) | RX64M(S12ADC) |
|-----------|--|---|
| 割り込み要因 | <ul style="list-style-type: none"> S12ADI0 割り込みで DMAC、DTC を起動可能 | <ul style="list-style-type: none"> デジタルコンペア機能の比較条件成立で、コンペア割り込み (S12CMPI) を発生 S12ADI、S12GBADI 割り込みで DMAC、DTC を起動可能 |
| イベントリンク機能 | - | <ul style="list-style-type: none"> グループスキャンモードでのグループ B のスキャン終了を除くスキャン終了時に ELC イベント発生 ELC からのトリガによりスキャン開始可能 |
| 消費電力低減機能 | モジュールストップ状態への設定可能 | モジュールストップ状態への設定が可能 |

表2.39 12ビット A/D コンバータのレジスタ比較

| レジスタ | ビット | RX63N(S12ADa) | RX64M(S12ADC) |
|---------|---------------|----------------------|---------------------------|
| ADBLDR | - | - | A/D データ 2 重化レジスタ |
| ADBLDRA | - | - | A/D データ 2 重化レジスタ A |
| ADBLDRB | - | - | A/D データ 2 重化レジスタ B |
| ADRD | - | - | A/D 自己診断データレジスタ |
| ADCSR | DBLANS[4:0] | - | ダブルトリガ対象チャネル選択ビット |
| | GBADIE | - | グループ B スキャン終了割り込み許可ビット |
| | DBLE | - | ダブルトリガモード選択ビット |
| | EXTRG | トリガ選択ビット | トリガ選択ビット |
| | TRGE | トリガ開始許可ビット | トリガ開始許可ビット |
| | CKS[1:0] | A/D 変換クロック選択ビット | - |
| | ADIE | スキャン終了割り込み許可ビット | スキャン終了割り込み許可ビット |
| | ADCS | スキャンモード選択ビット | - |
| | ADCS[1:0] | - | スキャンモード選択ビット |
| ADST | A/D 変換スタートビット | A/D 変換スタートビット | |
| ADANS0 | - | A/D チャネル選択レジスタ 0 | - |
| ADANS1 | - | A/D チャネル選択レジスタ 1 | - |
| ADANSA0 | - | - | A/D チャネル選択レジスタ A0 |
| ADANSA1 | - | - | A/D チャネル選択レジスタ A1 |
| ADANSB0 | - | - | A/D チャネル選択レジスタ B0 |
| ADANSB1 | - | - | A/D チャネル選択レジスタ B1 |
| ADADS0 | - | A/D 変換値加算モード選択レジスタ 0 | A/D 変換値加算/平均モード選択レジスタ 0 |
| ADADS1 | - | A/D 変換値加算モード選択レジスタ 1 | A/D 変換値加算 / 平均モード選択レジスタ 1 |
| ADADC | AVEE | - | 平均モードイネーブルビット |
| ADCER | ADPRC[1:0] | - | A/D 変換精度指定ビット |
| | ACE | 自動クリアイネーブルビット | A/D データレジスタ自動クリアイネーブルビット |
| | DIAGVAL[1:0] | - | 自己診断変換電圧選択ビット |
| | DIAGLD | - | 自己診断モード選択ビット |
| | DIAGM | - | 自己診断イネーブルビット |

| レジスタ | ビット | RX63N(S12ADa) | RX64M(S12ADC) |
|----------|-------------|---------------------------|------------------------------|
| ADSTRGR | ADSTRS[3:0] | A/D 変換開始トリガ選択ビット | - |
| | TRSB[5:0] | - | グループ B 専用 A/D 変換開始トリガ選択ビット |
| | TRSA[5:0] | - | A/D 変換開始トリガ選択ビット |
| ADEXICR | TSSAD | 温度センサ出力 A/D 変換値加算モード選択ビット | 温度センサ出力 A/D 変換値加算/平均モード選択ビット |
| | OCSAD | 内部基準電圧 A/D 変換値加算モード選択ビット | 内部基準電圧 A/D 変換値加算/平均モード選択ビット |
| | TSS | 温度センサ出力 A/D 変換選択ビット | - |
| | TSSA | - | 温度センサ出力 A/D 変換選択ビット |
| | OCS | 内部基準電圧 A/D 変換選択ビット | - |
| | OCSA | - | 内部基準電圧 A/D 変換選択ビット |
| | TSSB | - | 温度センサ出力 A/D 変換選択ビット |
| | OCSB | - | 内部基準電圧 A/D 変換選択ビット |
| | EXSEL[1:0] | - | 拡張アナログ入力選択ビット |
| | EXOEN | - | 拡張アナログ出力制御ビット |
| ADSSTR01 | - | A/D サンプリグステートレジスタ 01 | - |
| ADSSTR23 | - | A/D サンプリグステートレジスタ 23 | - |
| ADSSTR0 | - | - | A/D サンプリグステートレジスタ 0 |
| ADSSTR1 | - | - | A/D サンプリグステートレジスタ 1 |
| ADSSTR2 | - | - | A/D サンプリグステートレジスタ 2 |
| ADSSTR3 | - | - | A/D サンプリグステートレジスタ 3 |
| ADSSTR4 | - | - | A/D サンプリグステートレジスタ 4 |
| ADSSTR5 | - | - | A/D サンプリグステートレジスタ 5 |
| ADSSTR6 | - | - | A/D サンプリグステートレジスタ 6 |
| ADSSTR7 | - | - | A/D サンプリグステートレジスタ 7 |
| ADSSTRL | - | - | A/D サンプリグステートレジスタ L |
| ADSSTRT | - | - | A/D サンプリグステートレジスタ T |
| ADSSTRO | - | - | A/D サンプリグステートレジスタ O |
| ADSHCR | - | - | A/D サンプル & ホールド回路コントロールレジスタ |
| ADDISCR | - | - | A/D 断線検出コントロールレジスタ |

| レジスタ | ビット | RX63N(S12ADa) | RX64M(S12ADC) |
|------------|-----|---------------|--------------------------|
| ADGSPCR | - | - | A/D グループスキャン優先コントロールレジスタ |
| ADCMPPCR | - | - | A/D コンペアコントロールレジスタ |
| ADCMPANSR0 | - | - | A/D コンペアチャンネル選択レジスタ 0 |
| ADCMPANSR1 | - | - | A/D コンペアチャンネル選択レジスタ 1 |
| ADCMPANSER | - | - | A/D コンペアチャンネル選択拡張レジスタ |
| ADCMPLR0 | - | - | A/D コンペアレベルレジスタ 0 |
| ADCMPLR1 | - | - | A/D コンペアレベルレジスタ 1 |
| ADCMPLE | - | - | A/D コンペアレベル拡張レジスタ |
| ADCMPDR0 | - | - | A/D コンペアデータレジスタ 0 |
| ADCMPDR1 | - | - | A/D コンペアデータレジスタ 1 |
| ADCMPSR0 | - | - | A/D コンペアステータスレジスタ 0 |
| ADCMPSR1 | - | - | A/D コンペアステータスレジスタ 1 |
| ADCMPSER | - | - | A/D コンペアステータス拡張レジスタ |

2.23 D/A コンバータ

表 2.40にD/A コンバータ仕様の概要比較を、表 2.41にD/A コンバータのレジスタ比較を示します。

表2.40 D/A コンバータ仕様の概要比較

| 項目 | RX63N(DAa) | RX64M(R12DA) |
|----------------|--|--|
| 分解能 | 10 ビット | 12 ビット |
| 出力チャンネル | 2 チャンネル | 2 チャンネル |
| アナログモジュールの干渉対策 | D/A 変換と A/D 変換の干渉対策: 10 ビット A/D コンバータが出力する 10 ビット A/D コンバータ同期 D/A 変換許可入力信号により、D/A 変換データの更新タイミングを制御する。(D/A コンバータのラッシュカレント発生タイミングを許可信号で制御することにより、干渉による A/D 変換精度劣化を低減する) | D/A 変換と A/D 変換の干渉対策: 12 ビット A/D コンバータ(ユニット 1)が出力する 12 ビット A/D コンバータ同期 D/A 変換許可入力信号により、D/A 変換データの更新タイミングを制御する。これにより、12 ビット D/A コンバータのラッシュカレント発生タイミングを許可信号で制御し、干渉による A/D 変換精度劣化を低減する。 |
| 消費電力低減機能 | モジュールストップ状態への設定が可能 | モジュールストップ状態への設定が可能 |
| イベントリンク機能(入力) | - | イベント信号の入力により、DA0 変換開始が可能 |
| D/A 出力の方式切り替え | - | 出力アンプと出力アンプスルーの出力方式を切り替え可能 |

表2.41 D/A コンバータのレジスタ比較

| レジスタ | ビット | RX63N(DAa) | RX64M(R12DA) |
|---------|-----|------------|----------------------|
| DAAMPCR | - | - | D/A 出力アンプ制御レジスタ |
| DAADUSR | - | - | D/A A/D 同期ユニット選択レジスタ |

2.24 温度センサ

表 2.42に温度センサ仕様の概要比較を、表 2.43にRAM 仕様の概要比較を示します。

表2.42 温度センサ仕様の概要比較

| 項目 | RX63N | RX64M |
|----------------|-----------------------------------|-----------------------------|
| 温度センサ電圧出力 | 12 ビット A/D コンバータへ出力 | 12 ビット A/D コンバータ(ユニット 1)へ出力 |
| 消費電力低減機能 | モジュールストップ状態への設定が可能 | モジュールストップ状態への設定が可能 |
| 温度センサ構成データレジスタ | 工場出荷時に個々のチップごとに測定された温度センサ校正データを格納 | - |

表2.43 温度センサのレジスタ比較

| レジスタ | ビット | RX63N | RX64M |
|--------|-----|----------------|-------|
| TSCDRH | - | 温度センサ校正データレジスタ | - |
| TSCDRL | - | 温度センサ校正データレジスタ | - |

2.25 RAM

表 2.44にRAM 仕様の概要比較を、表 2.45にRAM のレジスタ比較を示します。

表2.44 RAM 仕様の概要比較

| 項目 | RX63N | RX64M | |
|----------|--|---|--|
| | | ECC 誤り訂正機能なし | ECC 誤り訂正機能あり (ECCRAM) |
| RAM 容量 | <ul style="list-style-type: none"> 64K バイト RAM0:64K バイト 128K バイト RAM0:64K バイト、RAM1:64K バイト 192K バイト RAM0:64K バイト、RAM1:128K バイト 256K バイト RAM0:64K バイト、RAM1:192K バイト | <ul style="list-style-type: none"> 512K バイト RAM0:512K バイト | 32K バイト |
| RAM アドレス | <ul style="list-style-type: none"> RAM 容量が 64K バイトの場合 RAM0:0000 0000h~0000 FFFFh (64K バイト) RAM1:なし RAM 容量が 128K バイトの場合 RAM0:0000 0000h~0000 FFFFh (64K バイト) RAM1:0001 0000h~0001 FFFFh (64K バイト) RAM 容量が 192K バイトの場合 RAM0:0000 0000h~0000 FFFFh (64K バイト) RAM1:0001 0000h~0002 FFFFh (128K バイト) RAM 容量が 256K バイトの場合 RAM0:0000 0000h~0000 FFFFh (64K バイト) RAM1:0001 0000h~0003 FFFFh (192K バイト) | <ul style="list-style-type: none"> RAM0:0000 0000h ~ 0007 FFFFh | <ul style="list-style-type: none"> ECCRAM:00FF 8000h ~ 00FF FFFFh |

| 項目 | RX63N | RX64M | |
|-----------|---|---|---|
| | | ECC 誤り訂正機能なし | ECC 誤り訂正機能あり (ECCRAM) |
| アクセス | <ul style="list-style-type: none"> 読み出し/書き込みともに 1 サイクルで動作 RAM 有効/無効選択可能 | <ul style="list-style-type: none"> 読み出し/書き込みともに 1 サイクルで動作 RAM 有効/無効選択可能 | <ul style="list-style-type: none"> ECC 機能無効の場合:読み出し/書き込みともに 2 サイクルで動作 ECC 機能有効の場合(エラーなしのとき):読み出し/書き込みともに 2 サイクルで動作 ECC 機能有効の場合(エラー発生時):読み出し/書き込みともに 2 サイクルで動作 ECCRAM()有効/無効選択可能 |
| データ保持機能 | ディープソフトウェアスタンバイモード時、RAM0 のデータを保持可能 | ディープソフトウェアスタンバイモード時のデータ保持機能なし(スタンバイ RAM にて保持可能) | ディープソフトウェアスタンバイモード時のデータ保持機能なし(スタンバイ RAM にて保持可能) |
| 消費電力低減機能 | RAM0~RAM1 個別にモジュールストップ状態への設定が可能 | モジュールストップ機能への設定が可能 | モジュールストップ機能への設定が可能 |
| エラーチェック機能 | なし | なし | <ul style="list-style-type: none"> 1 ビット誤り訂正、2 ビット誤り検出 エラー発生時、ノンマスクブル割り込み、または割り込みを発生 |

表2.45 RAM のレジスタ比較

| レジスタ | ビット | RX63N | RX64M |
|--------------|--------|-------|------------------------------|
| SYSCR1* | ECCRAM | - | ECCRAM 有効ビット |
| | SBYRAM | - | スタンバイ RAM 有効ビット |
| ECCRAMMODE | - | - | ECCRAM 動作モード制御レジスタ |
| ECCRAM2STS | - | - | ECCRAM 2 ビットエラーステータスレジスタ |
| ECCRAM1STSEN | - | - | ECCRAM 1 ビットエラー情報更新許可レジスタ |
| ECCRAM1STS | - | - | ECCRAM 1 ビットエラーステータスレジスタ |
| ECCRAMPRCR | - | - | ECCRAM プロテクトレジスタ |
| ECCRAM2ECAD | - | - | ECCRAM 2 ビットエラーアドレスキャプチャレジスタ |
| ECCRAM1ECAD | - | - | ECCRAM 1 ビットエラーアドレスキャプチャレジスタ |
| ECCRAMPRCR2 | - | - | ECCRAM プロテクトレジスタ 2 |
| ECCRAMETST | - | - | ECCRAM テスト制御レジスタ |

【注】 * ECCRAM と SBYRAM は、RX64M グループ ユーザーズマニュアル ハードウェア編「動作モード」章に記載されています。

2.26 フラッシュメモリ

表 2.46にフラッシュメモリ仕様の概要比較を、表 2.47にフラッシュメモリのレジスタ比較を示します。

表2.46 フラッシュメモリ仕様の概要比較

| 項目 | RX63N | | RX64M | |
|------------------------|---|---|---|---|
| | ROM | E2 データフラッシュ | コードフラッシュメモリ | データフラッシュメモリ |
| メモリ空間 | <ul style="list-style-type: none"> ユーザ領域:最大 2M バイト ユーザブート領域:16K バイト | データ領域:32K バイト | <ul style="list-style-type: none"> ユーザ領域:最大 4M バイト ユーザブート領域:32K バイト | データ領域:64K バイト |
| リードサイクル | ICLK 1 サイクルの高速読み出し | ワード、バイトアクセス時には FCLK 6 サイクルでの読み出し | ICLK 1 サイクルの高速読み出し | ワード、バイトアクセス時には FCLK 8 サイクルでの読み出し |
| イレーズ後の値 | FFh | 不定値 | FFh | 不定値 |
| プログラム/イレーズ方式 | <ul style="list-style-type: none"> ROM/E2 データフラッシュの書き換えを行う専用のシーケンサ(FCU)を内蔵 FCU へコマンドを発行することにより、ROM/E2 データフラッシュへ P/E を実行可能 | | <ul style="list-style-type: none"> FACI コマンド発行領域(007E 0000h)に設定した FACI コマンドで、コードフラッシュメモリ/データフラッシュメモリのプログラム/イレーズが可能 専用フラッシュメモリプログラマによるシリアルインタフェース通信を介した書き換え(シリアルプログラミング) ユーザプログラムによるフラッシュメモリの書き換え(セルフプログラミング) | |
| セキュリティ機能 | フラッシュメモリの不正改ざん/不正読み出しを防止 | | フラッシュメモリの不正改ざん/不正読み出しを防止 | |
| プロテクション機能 | フラッシュメモリの誤書き換えを防止 | | フラッシュメモリの誤書き換えを防止 | |
| Trusted Memory(TM)機能 | - | | コードフラッシュメモリのブロック 8,9 に対する不正リード防止機能 | |
| BGO(バックグラウンドオペレーション)機能 | <ul style="list-style-type: none"> E2 データフラッシュ書き換え中の ROM 読み出しが可能 | | <ul style="list-style-type: none"> データフラッシュメモリ書き換え中のコードフラッシュメモリ読み出しが可能 コードフラッシュメモリ書き換え中のコードフラッシュメモリ読み出しが可能(書き換え領域と読み出し領域のアドレス範囲の組み合わせに制限あり) | |
| プログラム/イレーズ単位 | <ul style="list-style-type: none"> ユーザ領域およびユーザブート領域へのプログラム:128 バイト ユーザ領域のイレーズ:ブロック ユーザブート領域のイレーズ:16K バイト | <ul style="list-style-type: none"> データ領域へのプログラム:2 バイト データ領域のイレーズ:32 バイト | <ul style="list-style-type: none"> ユーザ領域およびユーザブート領域へのプログラム:256 バイト ユーザ領域のイレーズ:ブロック ユーザブート領域のイレーズ:32K バイト | <ul style="list-style-type: none"> データ領域へのプログラム:4 バイト データ領域のイレーズ:64 バイト |
| その他の機能 | セルフプログラミング中の割り込み受け付け可能 | | セルフプログラミング中の割り込み受け付け可能 | |

| 項目 | RX63N | | RX64M | |
|-------------------------------|--|-------------------------------|---|-------------------------------|
| | ROM | E2 データ フラッシュ | コードフラッシュ メモリ | データフラッシュ メモリ |
| | 本 MCU の初期設定をオプション設定メモリに設定可能 | | 本 MCU の初期設定をオプション設定メモリに設定可能 | |
| オンボードプログラミング (4 種類) | <ul style="list-style-type: none"> • ブートモードによる書き換え <ul style="list-style-type: none"> — 調歩同期式シリアルインタフェース (SCI1) を使用 — 通信速度は自動調整 — ユーザブート領域も書き換え可能 • USB ブートモードによる書き換え <ul style="list-style-type: none"> — USB0 を使用 — 特別なハードウェアが不要で、PC と直結可能 • ユーザブートモードによる書き換え <ul style="list-style-type: none"> — ユーザ独自のブートプログラムを作成可能 • ユーザプログラム中の ROM/E2 データフラッシュ書き換えルーチンによる書き換え <ul style="list-style-type: none"> — システムをリセットすることなく ROM/E2 データフラッシュの書き換えが可能 | | <ul style="list-style-type: none"> • ブートモード(SCI インタフェース)による書き換え <ul style="list-style-type: none"> — 調歩同期式シリアルインタフェース (SCI1) を使用 — 通信速度は自動調整 — ユーザブート領域も書き換え可能 • ブートモード(USB インタフェース)による書き換え <ul style="list-style-type: none"> — USBb を使用 — 特別なハードウェアが不要で、PC と直結可能 • ユーザブートモードによる書き換え <ul style="list-style-type: none"> — ユーザ独自のブートプログラムを作成可能 • ユーザプログラム中のコードフラッシュメモリ/データフラッシュメモリ書き換えルーチンによる書き換え <ul style="list-style-type: none"> — システムをリセットすることなくコードフラッシュメモリ/データフラッシュメモリの書き換えが可能 | |
| オフボードプログラミング (100 ピン以上の製品) | フラッシュライタを使用して、ユーザ領域/ユーザブート領域の書き換えが可能 | フラッシュライタを使用したデータ領域の書き換えはできません | フラッシュライタを使用して、ユーザ領域/ユーザブート領域の書き換えが可能 | フラッシュライタを使用したデータ領域の書き換えはできません |

表2.47 フラッシュメモリのレジスタ比較

| レジスタ | ビット | RX63N | RX64M |
|---------|-----------|----------------------------------|----------------------------|
| FWEPROR | FLWE[1:0] | フラッシュ P/E ビット | フラッシュライトイレーズビット |
| FMODR | - | フラッシュモードレジスタ | - |
| FASTAT | DFLWPE | E2 データフラッシュ P/E プロテクト違反フラグ | - |
| | ECRCT | - | エラーフラグ |
| | DFLRPE | E2 データフラッシュリードプロテクト違反フラグ | - |
| | DFLAE | E2 データフラッシュアクセス違反フラグ | - |
| | DFAE | - | データフラッシュメモリアクセス違反フラグ |
| | CMDLK | FCU コマンドロックフラグ | コマンドロックフラグ |
| | ROMAE | ROM アクセス違反フラグ | - |
| | CFAE | - | コードフラッシュメモリアクセス違反フラグ |
| FAEINT | DFLWPEIE | E2 データフラッシュ P/E プロテクト違反割り込み許可ビット | - |
| | ECRCTIE | - | エラー割り込み許可ビット |
| | DFLRPEIE | E2 データフラッシュリードプロテクト違反割り込み許可ビット | - |
| | DFLAEIE | E2 データフラッシュアクセス違反割り込み許可ビット | - |
| | DFAEIE | - | データフラッシュメモリアクセス違反割り込み許可ビット |
| | CMDLKIE | FCU コマンドロック割り込み許可ビット | コマンドロック割り込み許可ビット |
| | ROMAEIE | ROM アクセス違反割り込み許可ビット | - |
| | CFAEIE | - | コードフラッシュメモリアクセス違反割り込み許可ビット |
| DFLRE0 | - | E2 データフラッシュ読み出し許可レジスタ 0 | - |
| DFLRE1 | - | E2 データフラッシュ読み出し許可レジスタ 1 | - |
| DFLWE0 | - | E2 データフラッシュ P/E 許可レジスタ 0 | - |
| DFLWE1 | - | E2 データフラッシュ P/E 許可レジスタ 1 | - |
| FSADDR | - | - | FACI コマンド処理開始アドレスレジスタ |
| FEADDR | - | - | FACI コマンド処理終了アドレスレジスタ |
| FCURAME | FRAMTRAN | - | FCURAM 転送モードビット |
| FSTATR0 | - | フラッシュステータスレジスタ 0 | - |
| FSTATR1 | - | フラッシュステータスレジスタ 1 | - |
| FSTATR | - | - | フラッシュステータスレジスタ |

| レジスタ | ビット | RX63N | RX64M |
|-----------|--------------|------------------------------|---------------------------|
| FENTRYR | FENTRY0 | ROM P/E モードエントリビット 0 | - |
| | FENTRYC | - | コードフラッシュ P/E モードエントリビット |
| | FENTRY1 | ROM P/E モードエントリビット 1 | - |
| | FENTRY2 | ROM P/E モードエントリビット 2 | - |
| | FENTRY3 | ROM P/E モードエントリビット 3 | - |
| | FENTRYD | E2 データフラッシュ P/E モードエントリビット | データフラッシュ P/E モードエントリビット |
| | FEKEY[7:0] | キーコード | - |
| | KEY[7:0] | - | キーコードビット |
| FPROTR | FPKEY[7:0] | キーコード | - |
| | KEY[7:0] | - | キーコードビット |
| FRESETR | - | フラッシュリセットレジスタ | - |
| FSUINTR | - | - | フラッシュシーケンサ設定初期化レジスタ |
| FLKSTAT | - | - | ロックビットステータスレジスタ |
| FCMDR | - | FCU コマンドレジスタ | FACI コマンドレジスタ |
| FCPSR | - | FCU 処理切り替えレジスタ | フラッシュシーケンサ処理切り替えレジスタ |
| DFLBCCNT | - | E2 データフラッシュブランクチェック制御レジスタ | - |
| FPESTAT | PEERRST[7:0] | P/E エラーステータスビット | P/E エラーステータスフラグ |
| DFLBCSTAT | - | E2 データフラッシュブランクチェックステータスレジスタ | - |
| FBCCNT | - | - | データフラッシュブランクチェック制御レジスタ |
| FBCSTAT | - | - | データフラッシュブランクチェックステータスレジスタ |
| FPSADDR | - | - | データフラッシュ書き込み開始アドレスレジスタ |
| PCKAR | - | 周辺クロック通知レジスタ | - |
| FPCKAR | - | - | フラッシュシーケンサ処理クロック通知レジスタ |
| UIDRn* | - | ユニーク ID レジスタ n | - |

【注】 * G バージョンの製品にのみ存在します。

3. 参考ドキュメント

ユーザーズマニュアル:ハードウェア

RX63N グループ ユーザーズマニュアル ハードウェア編 Rev.1.80 (R01UH0041JJ0180)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX64M グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0377JJ0100)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート/テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

| Rev. | 発行日 | 改訂内容 | |
|-------|----------------|-------|--|
| | | ページ | ポイント |
| 1.00 | 2014.04.01 | — | 初版発行 |
| 1.01 | 2016.01.14 | — | ユーザーズマニュアル更新に伴い APN を修正 |
| | | 2-3 | 表 1.1 修正 |
| | | 4 | 2.1 動作モード 追加 2.2 オプション設定メモリ 追加 |
| | | 6 | 表 2.4 修正 |
| | | 7-9 | 表 2.5 修正 |
| | | 9 | 表 2.6 修正 |
| | | 12 | 表 2.8 修正 |
| | | 13-15 | 表 2.9 修正 |
| | | 16 | 2.7 メモリプロテクションユニット 追加 |
| | | 17-18 | 表 2.12 修正 |
| | | 18 | 2.9 I/O ポート 追加 2.10 マルチファンクションピンコントローラ 追加 |
| | | 19-20 | 表 2.16 修正 |
| | | 21-23 | 表 2.17 修正 |
| | | 28 | 2.13 8 ビットタイマ 追加 |
| | | 29 | 2.14 コンペアマッチ 追加 |
| | | 30-31 | 表 2.23 修正 |
| | | 33 | 表 2.26 修正 |
| | | 34-35 | 表 2.27 修正 |
| | | 36 | 表 2.28 修正 |
| | | 37-38 | 表 2.29 修正 |
| | | 39 | 表 2.30 修正 |
| | | 41 | 表 2.32 修正 |
| | | 42-43 | 表 2.33 修正 |
| | | 47 | 表 2.36 修正 |
| | | 48 | 2.21 パラレルデータキャプチャユニット 追加 |
| | | 49-52 | 表 2.38 修正 |
| 52-54 | 表 2.39 修正 | | |
| 56 | 2.24 温度センサ 追加 | | |
| 57-58 | 表 2.44 修正 | | |
| 58 | 表 2.45 修正 | | |
| 61-62 | 表 2.47 修正 | | |
| 63 | 3. 参考ドキュメント 修正 | | |

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違っていると、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>