

---

# RX62N グループ、RX63N グループ

R01AN1259JJ0100

Rev.1.00

## RX62N グループ、RX63N グループの相違点

---

2013.09.26

### 要旨

本アプリケーションノートは、RX62N グループ、RX63N グループの相違点を確認する際の参考資料です。

### 対象デバイス

RX62N グループ、RX63N グループ

## 目次

1.	RX62N グループから RX63N グループへの置き換え .....	3
1.1	新機能追加 .....	3
1.2	削除機能 .....	3
1.3	変更機能 .....	4
1.3.1	変更 1：仕様変更、または機能削減により見直しが必要なもの .....	4
1.3.2	変更 2：割り込みコントローラの変更により、エラー処理の見直しが必要なもの .....	4
1.3.3	変更 3：一部機能変更のため、必要に応じてソフト見直しが必要なもの .....	4
1.4	互換機能 .....	5
1.4.1	互換機能 .....	5
1.4.2	上位互換機能 .....	5
2.	相違点の説明 .....	6
2.1	機能及び仕様の相違点 .....	6
3.	参考ドキュメント .....	37

## 1. RX62N グループから RX63N グループへの置き換え

RX62N グループと RX63N グループは互換品種ではありません。そのため、RX63N グループへ置き換えを行う場合には注意が必要です。詳細は「2. 相違点の説明」とユーザーズマニュアルハードウェア編を参照ください。

### 1.1 新機能追加

- (1) オプション設定メモリ
- (2) 低速オンチップオシレータ (LOCO)、高速オンチップオシレータ (HOCO)
- (3) 周波数測定機能(MCK)
- (4) バッテリバックアップ機能
- (5) レジスタライトプロテクション機能
- (6) マルチピンファンクションコントローラ (MPC)
- (7) 16 ビットタイマパルスユニット (TPUa)
- (8) IEBus<sup>TM</sup> コントローラ (IEB)
- (9) 温度センサ

### 1.2 削除機能

- (1) MD1 端子 (モード 1 端子)、MDE 端子 (エンディアン選択端子)
- (2) 起動外部バス幅フラグ (MDSR.BSW[1:0])
- (3) リセットコントロール/ステータスレジスタ (RSTCSR)
- (4) 低電圧検出コントロールレジスタ用キーコードレジスタ (LVDKEYR)
- (5) OSTDCR キーコード (OSTDCR.KEY[7:0])
- (6) スタンバイタイマ選択ビット (SBYCR.STS[4:0])
- (7) ディープスタンバイウェイトコントロールレジスタ (DPSWCR)
- (8) 内部周辺バス 5 (周辺機能、ICLK)
- (9) ウォッチドッグタイマ: インターバルタイマモード
- (10) WDTOVF#信号出力 (外部)
- (11) USB1 ホストコントローラ機能
- (12) USB1 OTG (ON-The-Go) 対応
- (13) シリアルペリフェラルインタフェース: CMOS/オープンドレイン出力切り替え機能

### 1.3 変更機能

#### 1.3.1 変更 1：仕様変更、または機能削減により見直しが必要なもの

- |                                       |   |
|---------------------------------------|---|
| (1) MCU 動作モードのエントリ方法                  | : MD 端子削除、UB コード A、B 追加                                   |
| (2) エンディアン判定方法                        | : MDEB、MDES の MDE[2:0]ビット                                 |
| (3) 電圧検出回路 (LVDA)                     | : Vdet 以下 Vdet 通過、他                                       |
| (4) クロック発振回路                          | : 低速クロック発振 (LOCO) 起動、PLL 分周、発振停止検出変更、他                    |
| (5) 消費電力低減機能                          | : 発振安定時間待ち変更、他  |
| (6) 割り込みコントローラ (ICUb)                 | : グループ割り込み、ユニット選択<br>デジタルフィルタ機能追加                         |
| (7) バス                                | : マルチプレクスバス、周辺バス変更<br>バスプライオリティ追加、他                       |
| (8) I/O ポート                           | : マルチファンクションピンコントローラ<br>に変更、他                             |
| (9) マルチファンクションタイマユニット 2 (MTU2a)       | : 2 ユニット 1 ユニット<br>ノイズフィルタ追加                              |
| (10) ポートアウトプットイネーブル 2 (POE2a)         | : MTU ユニット削減に伴う変更   |
| (11) リアルタイムクロック (RTCa)                | : EXTAL 動作、時計誤差補正機能<br>12 時間/24 時間モード追加、他                 |
| (12) ウォッチドッグタイマ (WDTA)                | : 8 ビット 14 ビット、<br>ウィンドウ機能追加、他                            |
| (13) イーサネットコントローラ (ETHERC)            | : PAUSE フレーム送信ビット機能変更                                     |
| (14) USB2.0 ホスト/ファンクションモジュール 1 (USB1) | : サスペンド/レジューム機能削除、他                                       |
| (15) シリアルコミュニケーションインタフェース             | : 6ch 13ch、ステータスフラグ削除、<br>機能追加、他                          |
| (16) 12 ビット A/D コンバータ (S12ADa)        | : トリガ要因の変更<br>8ch 21ch、レジスタ追加                             |
| (17) 10 ビット A/D コンバータ (ADb)           | : トリガ要因の変更<br>4ch × 2 ユニット 8ch × 1 ユニット                   |
| (18) ROM (コード格納用フラッシュメモリ)             | : 書き込み単位の変更   |
| (19) E2 データフラッシュ                      | : ブロック、書き込み単位の変更<br>ワード、バイトアクセス時<br>PCLK3 サイクル FCLK6 サイクル |

#### 1.3.2 変更 2：割り込みコントローラの変更により、エラー処理の見直しが必要なもの

- |                                 |  |
|---------------------------------|--|
| (1) CAN モジュール (CAN)             | : 1ch 3ch、EXTAL 動作追加                                 |
| (2) シリアルペリフェラルインタフェース (RSPI)    | : 2ch 3ch、ステータスフラグ削除、<br>CMOS/オープンドレイン出力切り替え<br>機能削除 |
| (3) マルチファンクションタイマユニット 2 (MTU2a) | : (上記 1.3.1 参照)                                      |

#### 1.3.3 変更 3：一部機能変更のため、必要に応じてソフト見直しが必要なもの

- |                            |              |
|----------------------------|--------------|
| (1) DMA コントローラ (DMACA)     | : 最大転送回数変更、他 |
| (2) EXDMA コントローラ (EXDMAC)  | : 最大転送回数変更、他 |
| (3) データトランスファコントローラ (DTCa) | : 最大転送回数変更、他 |
| (4) プログラマブルパルスジェネレータ (PPG) | : トリガ要因の変更   |

## 1.4 互換機能

### 1.4.1 互換機能

- (1) メモリプロテクションユニット(MPU)
- (2) 8 ビットタイマ ( TMR )
- (3) コンペアマッチタイマ ( CMT )
- (4) イーサネットコントローラ用 DMA コントローラ ( EDMAC )
- (5) USB2.0 ホスト/ファンクションモジュール 0 ( USB0 )
- (6) I<sup>2</sup>C バスインタフェース ( RIIC )
- (7) CRC 演算器 ( CRC )

### 1.4.2 上位互換機能

- |                            |               |
|----------------------------|---------------|
| (1) 独立ウォッチドッグタイマ ( IWDtA ) | : ウィンドウ機能追加、他 |
| (2) D/A コンバータ              | : レジスタ追加      |

2. 相違点の説明

2.1 機能及び仕様の相違点

表 2.1 ~ 表 2.31に機能および仕様の相違点を示します。

表2.1 機能および仕様の相違点(1)

項目		RX62N グループ	RX63N グループ																																																											
メモリ	ROM/RAM	<ul style="list-style-type: none"> <li>メモリ展開</li> <li>ROM/RAM 容量 <table border="1"> <tr><td>256KB/ 64KB</td></tr> <tr><td>384KB/ 64KB</td></tr> <tr><td>512KB/ 96KB</td></tr> </table> </li> </ul>	256KB/ 64KB	384KB/ 64KB	512KB/ 96KB	<ul style="list-style-type: none"> <li>メモリ展開</li> <li>ROM/RAM 容量 <table border="1"> <tr><td>0B/128KB</td></tr> <tr><td>256KB/ 64KB</td></tr> <tr><td>256KB/128KB</td></tr> <tr><td>384KB/ 64KB</td></tr> <tr><td>384KB/128KB</td></tr> <tr><td>512KB/ 64KB</td></tr> <tr><td>512KB/128KB</td></tr> <tr><td>768KB/128KB</td></tr> <tr><td>1.0MB/128KB</td></tr> <tr><td>1.5MB/128KB</td></tr> <tr><td>2.0MB/128KB</td></tr> </table> </li> </ul>	0B/128KB	256KB/ 64KB	256KB/128KB	384KB/ 64KB	384KB/128KB	512KB/ 64KB	512KB/128KB	768KB/128KB	1.0MB/128KB	1.5MB/128KB	2.0MB/128KB																																													
256KB/ 64KB																																																														
384KB/ 64KB																																																														
512KB/ 96KB																																																														
0B/128KB																																																														
256KB/ 64KB																																																														
256KB/128KB																																																														
384KB/ 64KB																																																														
384KB/128KB																																																														
512KB/ 64KB																																																														
512KB/128KB																																																														
768KB/128KB																																																														
1.0MB/128KB																																																														
1.5MB/128KB																																																														
2.0MB/128KB																																																														
MCU 動作モード	動作モード	<ul style="list-style-type: none"> <li>モードエントリ <table border="1"> <thead> <tr> <th>MD1</th> <th>MD0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>ブートモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>USB ブートモード (ユーザブートモード)</td> </tr> <tr> <td>1</td> <td>1</td> <td>シングルチップモード</td> </tr> </tbody> </table> </li> <li>エンディアン選択 <ul style="list-style-type: none"> <li>MDE 端子</li> <li>MDE 端子=Low : リトルエンディアン</li> <li>MDE 端子=High : ビッグエンディアン</li> </ul> </li> </ul>	MD1	MD0	動作モード	0	1	ブートモード	1	0	USB ブートモード (ユーザブートモード)	1	1	シングルチップモード	<ul style="list-style-type: none"> <li>モードエントリ <table border="1"> <thead> <tr> <th>PC7</th> <th>MD</th> <th>UB コード A</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>Low</td> <td>Low</td> <td></td> <td>ブートモード</td> </tr> <tr> <td>High</td> <td>Low</td> <td>~ 426F6F74h</td> <td>USB ブートモード ユーザブートモード</td> </tr> <tr> <td></td> <td>High</td> <td></td> <td>シングルチップモード</td> </tr> </tbody> </table> </li> <li>エンディアン選択 <ul style="list-style-type: none"> <li>MDEB.MDE[2:0]または MDES.MDE[2:0]</li> <li>MDE[2:0]=111b : リトルエンディアン</li> <li>MDE[2:0]=000b : ビッグエンディアン</li> </ul> </li> </ul>	PC7	MD	UB コード A	動作モード	Low	Low		ブートモード	High	Low	~ 426F6F74h	USB ブートモード ユーザブートモード		High		シングルチップモード																															
	MD1	MD0	動作モード																																																											
0	1	ブートモード																																																												
1	0	USB ブートモード (ユーザブートモード)																																																												
1	1	シングルチップモード																																																												
PC7	MD	UB コード A	動作モード																																																											
Low	Low		ブートモード																																																											
High	Low	~ 426F6F74h	USB ブートモード ユーザブートモード																																																											
	High		シングルチップモード																																																											
レジスタ/ビット	<ul style="list-style-type: none"> <li>モードモニタレジスタ (MDMONR) <table border="1"> <thead> <tr> <th>b0</th> <th>MD0</th> <th>MD0 端子ステータスフラグ</th> </tr> </thead> <tbody> <tr> <td>b1</td> <td>MD1</td> <td>MD1 端子ステータスフラグ</td> </tr> <tr> <td>b7</td> <td>MDE</td> <td>MDE 端子ステータスフラグ</td> </tr> </tbody> </table> </li> <li>モードステータスレジスタ (MDSR) <table border="1"> <thead> <tr> <th>b0</th> <th>IROM</th> <th>内蔵 ROM 起動ステータスフラグ</th> </tr> </thead> <tbody> <tr> <td>b1</td> <td>EXB</td> <td>外部バス起動ステータスフラグ</td> </tr> <tr> <td>b2</td> <td>BSW[1:0]</td> <td>起動外部バス幅フラグ</td> </tr> <tr> <td>b3</td> <td></td> <td></td> </tr> <tr> <td>b4</td> <td>BOTS</td> <td>ブートモード起動フラグ</td> </tr> <tr> <td>b5</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b6</td> <td>UBTS</td> <td>USB ブートモード起動フラグ</td> </tr> </tbody> </table> </li> </ul>	b0	MD0	MD0 端子ステータスフラグ	b1	MD1	MD1 端子ステータスフラグ	b7	MDE	MDE 端子ステータスフラグ	b0	IROM	内蔵 ROM 起動ステータスフラグ	b1	EXB	外部バス起動ステータスフラグ	b2	BSW[1:0]	起動外部バス幅フラグ	b3			b4	BOTS	ブートモード起動フラグ	b5		(予約ビット)	b6	UBTS	USB ブートモード起動フラグ	<ul style="list-style-type: none"> <li>モードモニタレジスタ (MDMONR) <table border="1"> <thead> <tr> <th>b0</th> <th>MD</th> <th>MD 端子ステータスフラグ</th> </tr> </thead> <tbody> <tr> <td>b1</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b7</td> <td></td> <td>(予約ビット)</td> </tr> </tbody> </table> </li> <li>モードステータスレジスタ (MDSR) <table border="1"> <thead> <tr> <th>b0</th> <th></th> <th>(予約ビット)</th> </tr> </thead> <tbody> <tr> <td>b1</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b2</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b3</td> <td></td> <td></td> </tr> <tr> <td>b4</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b5</td> <td>UBTS</td> <td>ユーザブートモード起動フラグ</td> </tr> <tr> <td>b6</td> <td></td> <td>(予約ビット)</td> </tr> </tbody> </table> </li> </ul>	b0	MD	MD 端子ステータスフラグ	b1		(予約ビット)	b7		(予約ビット)	b0		(予約ビット)	b1		(予約ビット)	b2		(予約ビット)	b3			b4		(予約ビット)	b5	UBTS	ユーザブートモード起動フラグ	b6		(予約ビット)
b0	MD0	MD0 端子ステータスフラグ																																																												
b1	MD1	MD1 端子ステータスフラグ																																																												
b7	MDE	MDE 端子ステータスフラグ																																																												
b0	IROM	内蔵 ROM 起動ステータスフラグ																																																												
b1	EXB	外部バス起動ステータスフラグ																																																												
b2	BSW[1:0]	起動外部バス幅フラグ																																																												
b3																																																														
b4	BOTS	ブートモード起動フラグ																																																												
b5		(予約ビット)																																																												
b6	UBTS	USB ブートモード起動フラグ																																																												
b0	MD	MD 端子ステータスフラグ																																																												
b1		(予約ビット)																																																												
b7		(予約ビット)																																																												
b0		(予約ビット)																																																												
b1		(予約ビット)																																																												
b2		(予約ビット)																																																												
b3																																																														
b4		(予約ビット)																																																												
b5	UBTS	ユーザブートモード起動フラグ																																																												
b6		(予約ビット)																																																												
リセット	機能	<ul style="list-style-type: none"> <li>仕様概要</li> <li>リセットの種類 <table border="1"> <tr><td>端子リセット</td></tr> <tr><td>パワーオンリセット</td></tr> <tr><td>電圧監視リセット</td></tr> <tr><td>ディープソフトウェアスタンバイリセット</td></tr> <tr><td>独立ウォッチドッグタイマリセット</td></tr> <tr><td>ウォッチドッグタイマリセット</td></tr> </table> </li> <li>拡張機能</li> </ul>	端子リセット	パワーオンリセット	電圧監視リセット	ディープソフトウェアスタンバイリセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	<ul style="list-style-type: none"> <li>仕様概要</li> <li>リセットの種類 <table border="1"> <tr><td>RES#端子リセット</td></tr> <tr><td>パワーオンリセット</td></tr> <tr><td>電圧監視 0 リセット</td></tr> <tr><td>電圧監視 1 リセット</td></tr> <tr><td>電圧監視 2 リセット</td></tr> <tr><td>ディープソフトウェアスタンバイリセット</td></tr> <tr><td>独立ウォッチドッグタイマリセット</td></tr> <tr><td>ウォッチドッグタイマリセット</td></tr> <tr><td>ソフトウェアリセット</td></tr> </table> </li> <li>拡張機能</li> <li>コールド/ウォームスタート判定機能</li> </ul>	RES#端子リセット	パワーオンリセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット	ディープソフトウェアスタンバイリセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	ソフトウェアリセット																																												
	端子リセット																																																													
パワーオンリセット																																																														
電圧監視リセット																																																														
ディープソフトウェアスタンバイリセット																																																														
独立ウォッチドッグタイマリセット																																																														
ウォッチドッグタイマリセット																																																														
RES#端子リセット																																																														
パワーオンリセット																																																														
電圧監視 0 リセット																																																														
電圧監視 1 リセット																																																														
電圧監視 2 リセット																																																														
ディープソフトウェアスタンバイリセット																																																														
独立ウォッチドッグタイマリセット																																																														
ウォッチドッグタイマリセット																																																														
ソフトウェアリセット																																																														
レジスタ/ビット	<ul style="list-style-type: none"> <li>リセットステータスレジスタ (RSTSR) <table border="1"> <thead> <tr> <th>b0</th> <th>PORF</th> <th>パワーオンリセットフラグ</th> </tr> </thead> <tbody> <tr> <td>b1</td> <td>LVD1F</td> <td>LVD1 検知フラグ</td> </tr> <tr> <td>b2</td> <td>LVD2F</td> <td>LVD2 検知フラグ</td> </tr> <tr> <td>b3</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b7</td> <td>DPSRSTF</td> <td>ディープソフトウェアスタンバイリセットフラグ</td> </tr> </tbody> </table> </li> <li>リセットコントロール/ステータスレジスタ (RSTCSR)</li> </ul>	b0	PORF	パワーオンリセットフラグ	b1	LVD1F	LVD1 検知フラグ	b2	LVD2F	LVD2 検知フラグ	b3		(予約ビット)	b7	DPSRSTF	ディープソフトウェアスタンバイリセットフラグ	<ul style="list-style-type: none"> <li>リセットステータスレジスタ 0 (RSTSR0) <table border="1"> <thead> <tr> <th>b0</th> <th>PORF</th> <th>パワーオンリセット検出フラグ</th> </tr> </thead> <tbody> <tr> <td>b1 <th>LVD0RF</th> <th>電圧監視 0 リセット検出フラグ</th> </td></tr> <tr> <td>b2 <th>LVD1RF</th> <th>電圧監視 1 リセット検出フラグ</th> </td></tr> <tr> <td>b3 <th>LVD2RF</th> <th>電圧監視 2 リセット検出フラグ</th> </td></tr> <tr> <td>b7 <th>DPSRSTF</th> <th>ディープソフトウェアスタンバイリセットフラグ</th> </td></tr> </tbody> </table> </li> <li>リセットステータスレジスタ 1 (RSTSR1)</li> <li>リセットステータスレジスタ 2 (RSTSR2)</li> <li>ソフトウェアリセットレジスタ (SWRR)</li> </ul>	b0	PORF	パワーオンリセット検出フラグ	b1 <th>LVD0RF</th> <th>電圧監視 0 リセット検出フラグ</th>	LVD0RF	電圧監視 0 リセット検出フラグ	b2 <th>LVD1RF</th> <th>電圧監視 1 リセット検出フラグ</th>	LVD1RF	電圧監視 1 リセット検出フラグ	b3 <th>LVD2RF</th> <th>電圧監視 2 リセット検出フラグ</th>	LVD2RF	電圧監視 2 リセット検出フラグ	b7 <th>DPSRSTF</th> <th>ディープソフトウェアスタンバイリセットフラグ</th>	DPSRSTF	ディープソフトウェアスタンバイリセットフラグ																														
b0	PORF	パワーオンリセットフラグ																																																												
b1	LVD1F	LVD1 検知フラグ																																																												
b2	LVD2F	LVD2 検知フラグ																																																												
b3		(予約ビット)																																																												
b7	DPSRSTF	ディープソフトウェアスタンバイリセットフラグ																																																												
b0	PORF	パワーオンリセット検出フラグ																																																												
b1 <th>LVD0RF</th> <th>電圧監視 0 リセット検出フラグ</th>	LVD0RF	電圧監視 0 リセット検出フラグ																																																												
b2 <th>LVD1RF</th> <th>電圧監視 1 リセット検出フラグ</th>	LVD1RF	電圧監視 1 リセット検出フラグ																																																												
b3 <th>LVD2RF</th> <th>電圧監視 2 リセット検出フラグ</th>	LVD2RF	電圧監視 2 リセット検出フラグ																																																												
b7 <th>DPSRSTF</th> <th>ディープソフトウェアスタンバイリセットフラグ</th>	DPSRSTF	ディープソフトウェアスタンバイリセットフラグ																																																												

表2.2 機能および仕様の相違点(2)

項目		RX62N グループ	RX63N グループ																																																				
オプション 設定メモリ	レジスタ/ ビット		<ul style="list-style-type: none"> <li>オプション機能選択レジスタ 0 (OFS0)</li> <li>オプション機能選択レジスタ 1 (OFS1)</li> <li>エンディアン選択レジスタ B (MDEB)</li> <li>エンディアン選択レジスタ S (MDES)</li> </ul>																																																				
電圧検出 回路	機能	<ul style="list-style-type: none"> <li>電圧検出回路 1                             <table border="1"> <tr><td>監視電圧</td><td>Vdet1</td></tr> <tr><td>検出対象</td><td>Vdet1 以下</td></tr> <tr><td>検出電圧</td><td>固定</td></tr> <tr><td>割り込み</td><td>電圧監視割り込み</td></tr> </table> </li> <li>電圧検出回路 2                             <table border="1"> <tr><td>監視電圧</td><td>Vdet2</td></tr> <tr><td>検出対象</td><td>Vdet2 以下</td></tr> <tr><td>検出電圧</td><td>固定</td></tr> <tr><td>割り込み</td><td>電圧監視割り込み</td></tr> </table> </li> </ul>	監視電圧	Vdet1	検出対象	Vdet1 以下	検出電圧	固定	割り込み	電圧監視割り込み	監視電圧	Vdet2	検出対象	Vdet2 以下	検出電圧	固定	割り込み	電圧監視割り込み	<ul style="list-style-type: none"> <li>電圧検出回路 0                             <table border="1"> <tr><td>監視電圧</td><td>Vdet0</td></tr> <tr><td>検出対象</td><td>Vdet0 通過</td></tr> <tr><td>検出電圧</td><td>固定</td></tr> <tr><td>割り込み</td><td>なし</td></tr> </table> </li> <li>電圧検出回路 1                             <table border="1"> <tr><td>監視電圧</td><td>Vdet1</td></tr> <tr><td>検出対象</td><td>Vdet1 通過</td></tr> <tr><td>検出電圧</td><td>LVDLVLR.LVD1LVL[3:0]ビットで選択</td></tr> <tr><td>割り込み</td><td>電圧監視 1 割り込み ノンマスクابل割り込み</td></tr> </table> </li> <li>電圧検出回路 2                             <table border="1"> <tr><td>監視電圧</td><td>Vdet2</td></tr> <tr><td>検出対象</td><td>Vdet2 通過</td></tr> <tr><td>検出電圧</td><td>LVDLVLR.LVD2LVL[3:0]ビットで選択</td></tr> <tr><td>割り込み</td><td>電圧監視 2 割り込み ノンマスクابل割り込み</td></tr> </table> </li> </ul>	監視電圧	Vdet0	検出対象	Vdet0 通過	検出電圧	固定	割り込み	なし	監視電圧	Vdet1	検出対象	Vdet1 通過	検出電圧	LVDLVLR.LVD1LVL[3:0]ビットで選択	割り込み	電圧監視 1 割り込み ノンマスクابل割り込み	監視電圧	Vdet2	検出対象	Vdet2 通過	検出電圧	LVDLVLR.LVD2LVL[3:0]ビットで選択	割り込み	電圧監視 2 割り込み ノンマスクابل割り込み												
	監視電圧	Vdet1																																																					
検出対象	Vdet1 以下																																																						
検出電圧	固定																																																						
割り込み	電圧監視割り込み																																																						
監視電圧	Vdet2																																																						
検出対象	Vdet2 以下																																																						
検出電圧	固定																																																						
割り込み	電圧監視割り込み																																																						
監視電圧	Vdet0																																																						
検出対象	Vdet0 通過																																																						
検出電圧	固定																																																						
割り込み	なし																																																						
監視電圧	Vdet1																																																						
検出対象	Vdet1 通過																																																						
検出電圧	LVDLVLR.LVD1LVL[3:0]ビットで選択																																																						
割り込み	電圧監視 1 割り込み ノンマスクابل割り込み																																																						
監視電圧	Vdet2																																																						
検出対象	Vdet2 通過																																																						
検出電圧	LVDLVLR.LVD2LVL[3:0]ビットで選択																																																						
割り込み	電圧監視 2 割り込み ノンマスクابل割り込み																																																						
	レジスタ/ ビット	<ul style="list-style-type: none"> <li>低電圧検出コントロールレジスタ用キーコードレジスタ (LVDKEYR)</li> <li>低電圧検出コントロールレジスタ (LVDCR)</li> </ul>	<ul style="list-style-type: none"> <li>電圧監視回路制御レジスタ (LVCMPCR)</li> <li>電圧検出レベル選択レジスタ (LVDLVLR)</li> <li>電圧監視 1 回路制御レジスタ 0 (LVD1CR0)</li> <li>電圧監視 2 回路制御レジスタ 0 (LVD2CR0)</li> <li>電圧監視 1 回路制御レジスタ 1 (LVD1CR1)</li> <li>電圧監視 2 回路制御レジスタ 1 (LVD2CR1)</li> <li>電圧監視 1 回路ステータスレジスタ (LVD1SR)</li> <li>電圧監視 2 回路ステータスレジスタ (LVD2SR)</li> </ul>																																																				
クロック 発振器	機能	<ul style="list-style-type: none"> <li>仕様概要                             <table border="1"> <tr><td rowspan="10">クロックの種類</td><td>ICLK</td><td>: 100.0MHz ( max )</td></tr> <tr><td>PCLK</td><td>: 50.0MHz ( max )</td></tr> <tr><td>BCLK</td><td>: 100.0MHz ( max ) (注)</td></tr> <tr><td>BCLK 出力端子</td><td>: 50.0MHz ( max ) (注)</td></tr> <tr><td>SDCLK</td><td>: 50.0MHz ( max )</td></tr> <tr><td>SDCLK 出力端子</td><td>: 50.0MHz ( max )</td></tr> <tr><td>UCLK</td><td>: 48.0MHz ( max )</td></tr> <tr><td>SUBCLK</td><td>: 32.768KHz</td></tr> <tr><td>IWDTCLK</td><td>: 125.000KHz ( typ )</td></tr> </table> </li> </ul>	クロックの種類	ICLK	: 100.0MHz ( max )	PCLK	: 50.0MHz ( max )	BCLK	: 100.0MHz ( max ) (注)	BCLK 出力端子	: 50.0MHz ( max ) (注)	SDCLK	: 50.0MHz ( max )	SDCLK 出力端子	: 50.0MHz ( max )	UCLK	: 48.0MHz ( max )	SUBCLK	: 32.768KHz	IWDTCLK	: 125.000KHz ( typ )	<ul style="list-style-type: none"> <li>仕様概要                             <table border="1"> <tr><td rowspan="14">クロックの種類</td><td>ICLK</td><td>: 100.0MHz ( max )</td></tr> <tr><td>PCLKA</td><td>: 100.0MHz ( max )</td></tr> <tr><td>PCLKB</td><td>: 50.0MHz ( max )</td></tr> <tr><td>FCLK</td><td>: 4MHz ~ 50.0MHz ( ROM、E2 データフラッシュ P/E 時 ) 50.0MHz ( max ) ( E2 データフラッシュ読み出し時 )</td></tr> <tr><td>BCLK</td><td>: 100.0MHz ( max )</td></tr> <tr><td>BCLK 出力端子</td><td>: 50.0MHz ( max )</td></tr> <tr><td>SDCLK</td><td>: 50.0MHz ( max )</td></tr> <tr><td>SDCLK 出力端子</td><td>: 50.0MHz ( max )</td></tr> <tr><td>UCLK</td><td>: 48.0MHz ( max )</td></tr> <tr><td>CANMCLK</td><td>: 20.0MHz ( max )</td></tr> <tr><td>IECLK</td><td>: 50.0MHz ( max )</td></tr> <tr><td>RTCMCLK</td><td>: 4.0MHz ~ 16.0MHz</td></tr> <tr><td>RTCSCCLK</td><td>: 32.768KHz</td></tr> <tr><td>IWDTCLK</td><td>: 125.000KHz</td></tr> <tr><td>JTAGTCK[生成]</td><td>: 10.0MHz ( max )</td></tr> <tr><td>JTAGTCK[入力]</td><td>: 10.0MHz ( max )</td></tr> </table> </li> </ul>	クロックの種類	ICLK	: 100.0MHz ( max )	PCLKA	: 100.0MHz ( max )	PCLKB	: 50.0MHz ( max )	FCLK	: 4MHz ~ 50.0MHz ( ROM、E2 データフラッシュ P/E 時 ) 50.0MHz ( max ) ( E2 データフラッシュ読み出し時 )	BCLK	: 100.0MHz ( max )	BCLK 出力端子	: 50.0MHz ( max )	SDCLK	: 50.0MHz ( max )	SDCLK 出力端子	: 50.0MHz ( max )	UCLK	: 48.0MHz ( max )	CANMCLK	: 20.0MHz ( max )	IECLK	: 50.0MHz ( max )	RTCMCLK	: 4.0MHz ~ 16.0MHz	RTCSCCLK	: 32.768KHz	IWDTCLK	: 125.000KHz	JTAGTCK[生成]	: 10.0MHz ( max )	JTAGTCK[入力]	: 10.0MHz ( max )
	クロックの種類	ICLK		: 100.0MHz ( max )																																																			
		PCLK		: 50.0MHz ( max )																																																			
BCLK		: 100.0MHz ( max ) (注)																																																					
BCLK 出力端子		: 50.0MHz ( max ) (注)																																																					
SDCLK		: 50.0MHz ( max )																																																					
SDCLK 出力端子		: 50.0MHz ( max )																																																					
UCLK		: 48.0MHz ( max )																																																					
SUBCLK		: 32.768KHz																																																					
IWDTCLK		: 125.000KHz ( typ )																																																					
クロックの種類		ICLK	: 100.0MHz ( max )																																																				
	PCLKA	: 100.0MHz ( max )																																																					
	PCLKB	: 50.0MHz ( max )																																																					
	FCLK	: 4MHz ~ 50.0MHz ( ROM、E2 データフラッシュ P/E 時 ) 50.0MHz ( max ) ( E2 データフラッシュ読み出し時 )																																																					
	BCLK	: 100.0MHz ( max )																																																					
	BCLK 出力端子	: 50.0MHz ( max )																																																					
	SDCLK	: 50.0MHz ( max )																																																					
	SDCLK 出力端子	: 50.0MHz ( max )																																																					
	UCLK	: 48.0MHz ( max )																																																					
	CANMCLK	: 20.0MHz ( max )																																																					
	IECLK	: 50.0MHz ( max )																																																					
	RTCMCLK	: 4.0MHz ~ 16.0MHz																																																					
	RTCSCCLK	: 32.768KHz																																																					
	IWDTCLK	: 125.000KHz																																																					
JTAGTCK[生成]	: 10.0MHz ( max )																																																						
JTAGTCK[入力]	: 10.0MHz ( max )																																																						
	メイン クロック 発振器	<ul style="list-style-type: none"> <li>仕様概要                             <table border="1"> <tr><td>発振子</td><td>水晶発振子</td></tr> <tr><td>周波数</td><td>8.0MHz ~ 14.0MHz</td></tr> <tr><td>外部クロック</td><td>14.0MHz(max)</td></tr> </table> </li> </ul>	発振子	水晶発振子	周波数	8.0MHz ~ 14.0MHz	外部クロック	14.0MHz(max)	<ul style="list-style-type: none"> <li>仕様概要                             <table border="1"> <tr><td>発振子</td><td>水晶発振子 セラミック発振子</td></tr> <tr><td>周波数</td><td>4.0MHz ~ 16.0MHz</td></tr> <tr><td>外部クロック</td><td>20.0MHz(max)</td></tr> </table> </li> </ul>	発振子	水晶発振子 セラミック発振子	周波数	4.0MHz ~ 16.0MHz	外部クロック	20.0MHz(max)																																								
発振子	水晶発振子																																																						
周波数	8.0MHz ~ 14.0MHz																																																						
外部クロック	14.0MHz(max)																																																						
発振子	水晶発振子 セラミック発振子																																																						
周波数	4.0MHz ~ 16.0MHz																																																						
外部クロック	20.0MHz(max)																																																						
	低速オン チップオ シレータ		<ul style="list-style-type: none"> <li>発振周波数 : 125.0KHz</li> </ul>																																																				

注. 100ピン LQFP 版、85ピン TFLGA 版では BCLK : 8~50MHz、BCLK 出力端子 : 8~25MHz

表2.3 機能および仕様の相違点(3)

項目		RX62N グループ	RX63N グループ																																									
クロック 発振器	高速オン チップオ シレータ		<ul style="list-style-type: none"> <li>● 発振周波数： 50.0MHz</li> <li>● HOCO 電源制御</li> </ul>																																									
	IWDT 動作 クロック	● オンチップオシレータ： 125.0KHz	● IWDT 専用オンチップオシレータ： 125.0KHz																																									
	JTAG 用外 部クロッ ク		入力クロック周波数： 10MHz ( max )																																									
	レジスタ/ ビット	<ul style="list-style-type: none"> <li>● システムクロックコントロールレジスタ ( SCKCR )</li> </ul> <table border="1"> <tr> <td>b8 b11</td> <td>PCK [3:0]</td> <td>周辺モジュールクロック選択ビット</td> </tr> <tr> <td>b12 b15</td> <td></td> <td>( 予約ビット )</td> </tr> <tr> <td>b16 b19</td> <td>BCK [3:0]</td> <td>外部バスクロック、SDRAM クロック 選択ビット</td> </tr> <tr> <td>b22</td> <td>PSTOP0</td> <td>SDCLK 端子出力制御ビット</td> </tr> <tr> <td>b23</td> <td>PSTOP1</td> <td>BCLK 端子出力制御ビット</td> </tr> <tr> <td>b24 b27</td> <td>ICK [3:0]</td> <td>システムクロック選択ビット</td> </tr> <tr> <td>b28 b31</td> <td></td> <td>( 予約ビット )</td> </tr> </table> <p>・ PCK[3:0],BCK[3:0],ICK[3:0] 0000b : x 8 0001b : x 4 0010b : x 2 0011b : x 1</p>	b8 b11	PCK [3:0]	周辺モジュールクロック選択ビット	b12 b15		( 予約ビット )	b16 b19	BCK [3:0]	外部バスクロック、SDRAM クロック 選択ビット	b22	PSTOP0	SDCLK 端子出力制御ビット	b23	PSTOP1	BCLK 端子出力制御ビット	b24 b27	ICK [3:0]	システムクロック選択ビット	b28 b31		( 予約ビット )	<ul style="list-style-type: none"> <li>● システムクロックコントロールレジスタ ( SCKCR )</li> </ul> <table border="1"> <tr> <td>b8 b11</td> <td>PCKB[3:0]</td> <td>周辺モジュールクロック B 選択ビット</td> </tr> <tr> <td>b12 b15</td> <td>PCKA[3:0]</td> <td>周辺モジュールクロック A 選択ビット</td> </tr> <tr> <td>b16 b19</td> <td>BCK [3:0]</td> <td>外部バスクロック選択ビット</td> </tr> <tr> <td>b22</td> <td>PSTOP0</td> <td>SDCLK 端子出力制御ビット</td> </tr> <tr> <td>b23</td> <td>PSTOP1</td> <td>BCLK 端子出力制御ビット</td> </tr> <tr> <td>b24 b27</td> <td>ICK [3:0]</td> <td>システムクロック選択ビット</td> </tr> <tr> <td>b28 b31</td> <td>FCK [3:0]</td> <td>FlashIF クロック選択ビット</td> </tr> </table> <p>・ PCKB[3:0],PCKA[3:0],BCK[3:0],ICK[3:0],FCK[3:0] 0000b : 1 分周 0001b : 2 分周 0010b : 4 分周 0011b : 8 分周 0100b : 16 分周 0101b : 32 分周 0110b : 64 分周</p>	b8 b11	PCKB[3:0]	周辺モジュールクロック B 選択ビット	b12 b15	PCKA[3:0]	周辺モジュールクロック A 選択ビット	b16 b19	BCK [3:0]	外部バスクロック選択ビット	b22	PSTOP0	SDCLK 端子出力制御ビット	b23	PSTOP1	BCLK 端子出力制御ビット	b24 b27	ICK [3:0]	システムクロック選択ビット	b28 b31	FCK [3:0]
b8 b11	PCK [3:0]	周辺モジュールクロック選択ビット																																										
b12 b15		( 予約ビット )																																										
b16 b19	BCK [3:0]	外部バスクロック、SDRAM クロック 選択ビット																																										
b22	PSTOP0	SDCLK 端子出力制御ビット																																										
b23	PSTOP1	BCLK 端子出力制御ビット																																										
b24 b27	ICK [3:0]	システムクロック選択ビット																																										
b28 b31		( 予約ビット )																																										
b8 b11	PCKB[3:0]	周辺モジュールクロック B 選択ビット																																										
b12 b15	PCKA[3:0]	周辺モジュールクロック A 選択ビット																																										
b16 b19	BCK [3:0]	外部バスクロック選択ビット																																										
b22	PSTOP0	SDCLK 端子出力制御ビット																																										
b23	PSTOP1	BCLK 端子出力制御ビット																																										
b24 b27	ICK [3:0]	システムクロック選択ビット																																										
b28 b31	FCK [3:0]	FlashIF クロック選択ビット																																										
			<ul style="list-style-type: none"> <li>● システムクロックコントロールレジスタ 2 ( SCKCR2 )</li> <li>● システムクロックコントロールレジスタ 3 ( SCKCR3 )</li> <li>● PLL コントロールレジスタ ( PLLCR )</li> <li>● PLL コントロールレジスタ 2 ( PLLCR2 )</li> <li>● メインクロック発振器コントロールレジスタ ( MOSCCR )</li> <li>● 発振停止検出コントロールレジスタ ( OSTDCR )</li> </ul> <table border="1"> <tr> <td>b0</td> <td></td> <td>( 予約ビット )</td> </tr> <tr> <td>b6</td> <td>OSTDF</td> <td>発振停止検出フラグ</td> </tr> <tr> <td>B7</td> <td>OSTDE</td> <td>発振停止検出機能有効ビット</td> </tr> <tr> <td>b8 b15</td> <td>KEY[7:0]</td> <td>OSTDCR キーコード</td> </tr> </table>	b0		( 予約ビット )	b6	OSTDF	発振停止検出フラグ	B7	OSTDE	発振停止検出機能有効ビット	b8 b15	KEY[7:0]	OSTDCR キーコード																													
b0		( 予約ビット )																																										
b6	OSTDF	発振停止検出フラグ																																										
B7	OSTDE	発振停止検出機能有効ビット																																										
b8 b15	KEY[7:0]	OSTDCR キーコード																																										
			<ul style="list-style-type: none"> <li>● 発振停止検出ステータスレジスタ ( OSTDSR )</li> </ul> <table border="1"> <tr> <td>b0</td> <td>OSTDF</td> <td>発振停止検出フラグ</td> </tr> </table>	b0	OSTDF	発振停止検出フラグ																																						
b0	OSTDF	発振停止検出フラグ																																										
		<ul style="list-style-type: none"> <li>● サブクロック発振器コントロールレジスタ ( SUBOSCCR )</li> </ul> <table border="1"> <tr> <td>b0</td> <td>SUBSTOP</td> <td>サブクロック発振器制御ビット</td> </tr> </table>	b0	SUBSTOP	サブクロック発振器制御ビット	<ul style="list-style-type: none"> <li>● サブクロック発振器コントロールレジスタ ( SOSCCR )</li> </ul> <table border="1"> <tr> <td>b0</td> <td>SOSTP</td> <td>サブクロック発振器停止ビット</td> </tr> </table>	b0	SOSTP	サブクロック発振器停止ビット																																			
b0	SUBSTOP	サブクロック発振器制御ビット																																										
b0	SOSTP	サブクロック発振器停止ビット																																										
			<ul style="list-style-type: none"> <li>● メインクロック発振器強制発振コントロールレジスタ ( MOFCR )</li> <li>● IWDT 専用オンチップオシレータコントロールレジスタ ( ILOCOCR )</li> <li>● 低速オンチップオシレータコントロールレジスタ ( LOCOCR )</li> <li>● 高速オンチップオシレータコントロールレジスタ ( HOCOCR )</li> <li>● 高速オンチップオシレータ電源コントロールレジスタ ( HOCOPCR )</li> </ul>																																									



表2.4 機能および仕様の相違点(4)

項目		RX62N グループ		RX63N グループ																																											
クロック発振器	機能	<ul style="list-style-type: none"> <li>仕様概要</li> </ul> <table border="1"> <tr> <td>使用上の注意事項</td> <td></td> </tr> <tr> <td></td> <td></td> </tr> <tr> <td></td> <td></td> </tr> </table>		使用上の注意事項						<ul style="list-style-type: none"> <li>仕様概要</li> </ul> <table border="1"> <tr> <td rowspan="4">使用上の注意事項</td> <td colspan="2">発振子接続端子に関する注意事項</td> </tr> <tr> <td colspan="2">サブクロック発振器に関する注意事項</td> </tr> <tr> <td colspan="2">低 CL 水晶発振子の使用に関する注意事項</td> </tr> <tr> <td colspan="2">48 ピンパッケージ製品に関する注意事項</td> </tr> </table>		使用上の注意事項	発振子接続端子に関する注意事項		サブクロック発振器に関する注意事項		低 CL 水晶発振子の使用に関する注意事項		48 ピンパッケージ製品に関する注意事項																												
使用上の注意事項																																															
使用上の注意事項	発振子接続端子に関する注意事項																																														
	サブクロック発振器に関する注意事項																																														
	低 CL 水晶発振子の使用に関する注意事項																																														
	48 ピンパッケージ製品に関する注意事項																																														
周波数測定機能	レジスタ/ビット			<ul style="list-style-type: none"> <li>カウントクロック拡張レジスタ 1 (SCK1)</li> <li>カウントクロック拡張レジスタ 2 (SCK2)</li> </ul>																																											
消費電力低減機能	レジスタ/ビット	<ul style="list-style-type: none"> <li>スタンバイコントロールレジスタ (SBYCR)</li> </ul> <table border="1"> <tr> <td>b8</td> <td>STS[4:0]</td> <td>スタンバイタイム選択ビット</td> </tr> <tr> <td>b12</td> <td></td> <td></td> </tr> <tr> <td>b14</td> <td>OPE</td> <td>出力ポート許可ビット</td> </tr> <tr> <td>b15</td> <td>SSBY</td> <td>ソフトウェアスタンバイビット</td> </tr> </table> <p>・ SBYCR.STS[4:0]</p> <p>0000b : (設定禁止)                      00001b : (設定禁止)                      00010b : (設定禁止)                      00011b : (設定禁止)                      00100b : (設定禁止)                      00101b : 待機時間 = 64 サイクル                      00110b : 待機時間 = 512 サイクル                      00111b : 待機時間 = 1024 サイクル                      01000b : 待機時間 = 2048 サイクル                      01001b : 待機時間 = 4096 サイクル                      01010b : 待機時間 = 16384 サイクル                      01011b : 待機時間 = 32768 サイクル                      01100b : 待機時間 = 65536 サイクル                      01101b : 待機時間 = 131072 サイクル                      01110b : 待機時間 = 262144 サイクル                      01111b : 待機時間 = 524288 サイクル</p>		b8	STS[4:0]	スタンバイタイム選択ビット	b12			b14	OPE	出力ポート許可ビット	b15	SSBY	ソフトウェアスタンバイビット	<ul style="list-style-type: none"> <li>スタンバイコントロールレジスタ (SBYCR)</li> </ul> <table border="1"> <tr> <td>b8</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b12</td> <td></td> <td></td> </tr> <tr> <td>b14</td> <td>OPE</td> <td>出力ポート許可ビット</td> </tr> <tr> <td>b15</td> <td>SSBY</td> <td>ソフトウェアスタンバイビット</td> </tr> </table> <ul style="list-style-type: none"> <li>メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)</li> </ul> <table border="1"> <tr> <td>b0</td> <td>MSTS[4:0]</td> <td>メインクロック発振器ウェイト時間設定ビット</td> </tr> <tr> <td>b4</td> <td></td> <td></td> </tr> </table> <p>・ MOSCWTCR.MSTS[4:0]</p> <p>00000b : 待機時間 = 2 サイクル                      00001b : 待機時間 = 4 サイクル                      00010b : 待機時間 = 8 サイクル                      00011b : 待機時間 = 16 サイクル                      00100b : 待機時間 = 32 サイクル                      00101b : 待機時間 = 64 サイクル                      00110b : 待機時間 = 512 サイクル                      00111b : 待機時間 = 1024 サイクル                      01000b : 待機時間 = 2048 サイクル                      01001b : 待機時間 = 4096 サイクル                      01010b : 待機時間 = 16384 サイクル                      01011b : 待機時間 = 32768 サイクル                      01100b : 待機時間 = 65536 サイクル                      01101b : 待機時間 = 131072 サイクル                      01110b : 待機時間 = 262144 サイクル                      01111b : 待機時間 = 524288 サイクル</p> <ul style="list-style-type: none"> <li>PLL ウェイトコントロールレジスタ( PLLWTCCR )</li> </ul> <table border="1"> <tr> <td>b0</td> <td>PSTS[4:0]</td> <td>PLL ウェイト時間設定ビット</td> </tr> <tr> <td>b4</td> <td></td> <td></td> </tr> </table> <p>・ PLLWTCCR.PSTS[4:0]</p> <p>00000b : 待機時間 = 16 サイクル                      ~ ~ ~                      01111b : 待機時間 = 4194304 サイクル</p> <ul style="list-style-type: none"> <li>サブクロック発振器 ウェイトコントロールレジスタ (SOSCWTCR)</li> </ul> <table border="1"> <tr> <td>b0</td> <td>SSTS[4:0]</td> <td>サブクロック発振器ウェイト時間設定ビット</td> </tr> <tr> <td>b4</td> <td></td> <td></td> </tr> </table> <p>・ SOSCWTCR.SSTS[4:0]</p> <p>00000b : 待機時間 = 2 サイクル                      ~ ~ ~                      01111b : 待機時間 = 524288 サイクル</p>		b8		(予約ビット)	b12			b14	OPE	出力ポート許可ビット	b15	SSBY	ソフトウェアスタンバイビット	b0	MSTS[4:0]	メインクロック発振器ウェイト時間設定ビット	b4			b0	PSTS[4:0]	PLL ウェイト時間設定ビット	b4			b0	SSTS[4:0]	サブクロック発振器ウェイト時間設定ビット	b4		
b8	STS[4:0]	スタンバイタイム選択ビット																																													
b12																																															
b14	OPE	出力ポート許可ビット																																													
b15	SSBY	ソフトウェアスタンバイビット																																													
b8		(予約ビット)																																													
b12																																															
b14	OPE	出力ポート許可ビット																																													
b15	SSBY	ソフトウェアスタンバイビット																																													
b0	MSTS[4:0]	メインクロック発振器ウェイト時間設定ビット																																													
b4																																															
b0	PSTS[4:0]	PLL ウェイト時間設定ビット																																													
b4																																															
b0	SSTS[4:0]	サブクロック発振器ウェイト時間設定ビット																																													
b4																																															

表2.5 機能および仕様の相違点(5)

項目		RX62N グループ			RX63N グループ		
消費電力 低減機能	レジスタ/ ビット	● モジュールストップコントロールレジスタ A (MSTPCRA)			● モジュールストップコントロールレジスタ A (MSTPCRA)		
		b4	MSTPA 4	8 ビットタイマ 3、2 (ユニット 1) モジュールストップ設定ビット	b4	MSTPA 4	8 ビットタイマ 3、2 (ユニット 1) モジュールストップ設定ビット
		b5	MSTPA 5	8 ビットタイマ 1、0 (ユニット 0) モジュールストップ設定ビット	b5	MSTPA 5	8 ビットタイマ 1、0 (ユニット 0) モジュールストップ設定ビット
		b8	MSTPA 8	マルチファンクションタイマパルス ユニット (ユニット 1) モジュールストップ設定ビット	b8		(予約ビット)
		b9	MSTPA 9	マルチファンクションタイマパルス ユニット (ユニット 0) モジュールストップ設定ビット	b9	MSTPA 9	マルチファンクションタイマパルス ユニット 2 モジュールストップ設定ビット
		b10	MSTPA10	プログラマブルパルスジェネレータ (ユニット 1) モジュールストップ設定ビット	b10	MSTPA10	プログラマブルパルスジェネレータ (ユニット 1) モジュールストップ設定ビット
		b11	MSTPA11	プログラマブルパルスジェネレータ (ユニット 0) モジュールストップ設定ビット	b11	MSTPA11	プログラマブルパルスジェネレータ (ユニット 0) モジュールストップ設定ビット
		b12		(予約ビット)	b12	MSTPA12	16 ビットタイマパルスユニット 1 (ユニット 1) モジュールストップ設定ビット
		b13		(予約ビット)	b13	MSTPA13	16 ビットタイマパルスユニット 0 (ユニット 0) モジュールストップ設定ビット
		b14	MSTPA14	コンペアマッチタイマ (ユニット 1) モジュールストップ設定ビット	b14	MSTPA14	コンペアマッチタイマ (ユニット 1) モジュールストップ設定ビット
		b15	MSTPA15	コンペアマッチタイマ (ユニット 0) モジュールストップ設定ビット	b15	MSTPA15	コンペアマッチタイマ (ユニット 0) モジュールストップ設定ビット
		b17	MSTPA17	12 ビット A/D コンバータ モジュールストップ設定ビット	b17	MSTPA17	12 ビット A/D コンバータ モジュールストップ設定ビット
		b19	MSTPA19	D/A コンバータ モジュールストップ設定ビット	b19	MSTPA19	D/A コンバータ モジュールストップ設定ビット
		b22	MSTPA22	10 ビット A/D コンバータ(ユニット 1) モジュールストップ設定ビット	b22		(予約ビット)
		b23	MSTPA23	10 ビット A/D コンバータ(ユニット 0) モジュールストップ設定ビット	b23	MSTPA23	10bitA/D コンバータ モジュールストップ設定ビット
		b24		(予約ビット)	b24	MSTPA24	モジュールストップ A24 設定ビット
		b27		(予約ビット)	b27	MSTPA27	モジュールストップ A27 設定ビット
		b28	MSTPA28	DMA コントローラ/ データトランスファコントローラ モジュールストップ設定ビット	b28	MSTPA28	DMA コントローラ/ データトランスファコントローラ モジュールストップ設定ビット
		b29	MSTPA29	EXDMA コントローラ モジュールストップ設定ビット	b29	MSTPA29	EXDMA コントローラ モジュールストップ設定ビット
		b31	ACSE	全モジュールクロックストップモード 許可ビット	b31	ACSE	全モジュールクロックストップモード 許可ビット

表2.6 機能および仕様の相違点(6)

項目		RX62N グループ			RX63N グループ		
消費電力 低減機能	レジスタ/ ビット	● モジュールストップコントロールレジスタ B (MSTPCRB)			● モジュールストップコントロールレジスタ B (MSTPCRB)		
		b0	MSTPB 0	CAN モジュールストップ設定ビット	b0	MSTPB 0	CAN モジュール 0 モジュールストップ設定ビット
		b1		(予約ビット)	b1	MSTPB 1	CAN モジュール 1 モジュールストップ設定ビット
		b2		(予約ビット)	b2	MSTPB 2	CAN モジュール 2 モジュールストップ設定ビット
		b4		(予約ビット)	b4	MSTPB 4	シリアルコミュニケーション インタフェース SCId モジュールストップ設定ビット
		b8		(予約ビット)	b8	MSTPB 8	温度センサ モジュールストップ設定ビット
		b15	MSTPB15	イーサネットコントローラ用 DMA コントローラ モジュールストップ設定ビット	b15	MSTPB15	イーサネットコントローラ用 DMA コントローラ モジュールストップ設定ビット
		b16	MSTPB16	シリアルペリフェラルインタフェース 1 モジュールストップ設定ビット	b16	MSTPB16	シリアルペリフェラルインタフェース 1 モジュールストップ設定ビット
		b17	MSTPB17	シリアルペリフェラルインタフェース 0 モジュールストップ設定ビット	b17	MSTPB17	シリアルペリフェラルインタフェース 0 モジュールストップ設定ビット
		b18	MSTPB18	ユニバーサルシリアルバス インタフェース (ポート 1) モジュールストップ設定ビット	b18	MSTPB18	ユニバーサルシリアルバス インタフェース (ポート 1) モジュールストップ設定ビット
		b19	MSTPB19	ユニバーサルシリアルバス インタフェース (ポート 0) モジュールストップ設定ビット	b19	MSTPB19	ユニバーサルシリアルバス インタフェース (ポート 0) モジュールストップ設定ビット
		b20	MSTPB20	I <sup>2</sup> C バスインタフェース 1 モジュールストップ設定ビット	b20	MSTPB20	I <sup>2</sup> C バスインタフェース 1 モジュールストップ設定ビット
		b21	MSTPB21	I <sup>2</sup> C バスインタフェース 0 モジュールストップ設定ビット	b21	MSTPB21	I <sup>2</sup> C バスインタフェース 0 モジュールストップ設定ビット
		b23	MSTPB23	CRC 演算器 モジュールストップ設定ビット	b23	MSTPB23	CRC 演算器 モジュールストップ設定ビット
		b24		(予約ビット)	b24	MSTPB24	シリアルコミュニケーション インタフェース 7 モジュールストップ設定ビット
		b25	MSTPB25	シリアルコミュニケーション インタフェース 6 モジュールストップ設定ビット	b25	MSTPB25	シリアルコミュニケーション インタフェース 6 モジュールストップ設定ビット
		b26	MSTPB26	シリアルコミュニケーション インタフェース 5 モジュールストップ設定ビット	b26	MSTPB26	シリアルコミュニケーション インタフェース 5 モジュールストップ設定ビット
		b27		(予約ビット)	b27	MSTPB27	シリアルコミュニケーション インタフェース 4 モジュールストップ設定ビット
		b28	MSTPB28	シリアルコミュニケーション インタフェース 3 モジュールストップ設定ビット	b28	MSTPB28	シリアルコミュニケーション インタフェース 3 モジュールストップ設定ビット
		b29	MSTPB29	シリアルコミュニケーション インタフェース 2 モジュールストップ設定ビット	b29	MSTPB29	シリアルコミュニケーション インタフェース 2 モジュールストップ設定ビット
b30	MSTPB30	シリアルコミュニケーション インタフェース 1 モジュールストップ設定ビット	b30	MSTPB30	シリアルコミュニケーション インタフェース 1 モジュールストップ設定ビット		
b31	MSTPB31	シリアルコミュニケーション インタフェース 0 モジュールストップ設定ビット	b31	MSTPB31	シリアルコミュニケーション インタフェース 0 モジュールストップ設定ビット		

表2.7 機能および仕様の相違点(7)

項目		RX62N グループ	RX63N グループ																																																																		
消費電力 低減機能	レジスタ/ ビット	<ul style="list-style-type: none"> <li>● モジュールストップコントロールレジスタ C (MSTPCRC)                             <table border="1"> <tr><td>b0</td><td>MSTPC 0</td><td>RAM0 モジュールストップ設定ビット</td></tr> <tr><td>b1</td><td>MSTPC 1</td><td>RAM1 モジュールストップ設定ビット</td></tr> <tr><td>b16</td><td></td><td>(予約ビット)</td></tr> <tr><td>b17</td><td></td><td>(予約ビット)</td></tr> <tr><td>b18</td><td></td><td>(予約ビット)</td></tr> <tr><td>b19</td><td></td><td>(予約ビット)</td></tr> <tr><td>b22</td><td></td><td>(予約ビット)</td></tr> <tr><td>b24</td><td></td><td>(予約ビット)</td></tr> <tr><td>b25</td><td></td><td>(予約ビット)</td></tr> <tr><td>b26</td><td></td><td>(予約ビット)</td></tr> <tr><td>b27</td><td></td><td>(予約ビット)</td></tr> </table> </li> </ul>	b0	MSTPC 0	RAM0 モジュールストップ設定ビット	b1	MSTPC 1	RAM1 モジュールストップ設定ビット	b16		(予約ビット)	b17		(予約ビット)	b18		(予約ビット)	b19		(予約ビット)	b22		(予約ビット)	b24		(予約ビット)	b25		(予約ビット)	b26		(予約ビット)	b27		(予約ビット)	<ul style="list-style-type: none"> <li>● モジュールストップコントロールレジスタ C (MSTPCRC)                             <table border="1"> <tr><td>b0</td><td>MSTPC 0</td><td>RAM0 モジュールストップ設定ビット</td></tr> <tr><td>b1</td><td>MSTPC 1</td><td>RAM1 モジュールストップ設定ビット</td></tr> <tr><td>b16</td><td>MSTPC16</td><td>I<sup>2</sup>C バスインタフェース 3 モジュールストップ設定ビット</td></tr> <tr><td>b17</td><td>MSTPC17</td><td>I<sup>2</sup>C バスインタフェース 2 モジュールストップ設定ビット</td></tr> <tr><td>b18</td><td>MSTPC18</td><td>IEBUS モジュールストップ設定ビット</td></tr> <tr><td>b19</td><td>MSTPC19</td><td>周波数測定機能 モジュールストップ設定ビット</td></tr> <tr><td>b22</td><td>MSTPC22</td><td>シリアルペリフェラルインタフェース 2 モジュールストップ設定ビット</td></tr> <tr><td>b24</td><td>MSTPC24</td><td>シリアルコミュニケーション インタフェース 11 モジュールストップ設定ビット</td></tr> <tr><td>b25</td><td>MSTPC25</td><td>シリアルコミュニケーション インタフェース 10 モジュールストップ設定ビット</td></tr> <tr><td>b26</td><td>MSTPC26</td><td>シリアルコミュニケーション インタフェース 9 モジュールストップ設定ビット</td></tr> <tr><td>b27</td><td>MSTPC27</td><td>シリアルコミュニケーション インタフェース 8 モジュールストップ設定ビット</td></tr> </table> </li> </ul>	b0	MSTPC 0	RAM0 モジュールストップ設定ビット	b1	MSTPC 1	RAM1 モジュールストップ設定ビット	b16	MSTPC16	I <sup>2</sup> C バスインタフェース 3 モジュールストップ設定ビット	b17	MSTPC17	I <sup>2</sup> C バスインタフェース 2 モジュールストップ設定ビット	b18	MSTPC18	IEBUS モジュールストップ設定ビット	b19	MSTPC19	周波数測定機能 モジュールストップ設定ビット	b22	MSTPC22	シリアルペリフェラルインタフェース 2 モジュールストップ設定ビット	b24	MSTPC24	シリアルコミュニケーション インタフェース 11 モジュールストップ設定ビット	b25	MSTPC25	シリアルコミュニケーション インタフェース 10 モジュールストップ設定ビット	b26	MSTPC26	シリアルコミュニケーション インタフェース 9 モジュールストップ設定ビット	b27	MSTPC27	シリアルコミュニケーション インタフェース 8 モジュールストップ設定ビット
		b0	MSTPC 0	RAM0 モジュールストップ設定ビット																																																																	
		b1	MSTPC 1	RAM1 モジュールストップ設定ビット																																																																	
		b16		(予約ビット)																																																																	
		b17		(予約ビット)																																																																	
		b18		(予約ビット)																																																																	
		b19		(予約ビット)																																																																	
		b22		(予約ビット)																																																																	
		b24		(予約ビット)																																																																	
		b25		(予約ビット)																																																																	
b26		(予約ビット)																																																																			
b27		(予約ビット)																																																																			
b0	MSTPC 0	RAM0 モジュールストップ設定ビット																																																																			
b1	MSTPC 1	RAM1 モジュールストップ設定ビット																																																																			
b16	MSTPC16	I <sup>2</sup> C バスインタフェース 3 モジュールストップ設定ビット																																																																			
b17	MSTPC17	I <sup>2</sup> C バスインタフェース 2 モジュールストップ設定ビット																																																																			
b18	MSTPC18	IEBUS モジュールストップ設定ビット																																																																			
b19	MSTPC19	周波数測定機能 モジュールストップ設定ビット																																																																			
b22	MSTPC22	シリアルペリフェラルインタフェース 2 モジュールストップ設定ビット																																																																			
b24	MSTPC24	シリアルコミュニケーション インタフェース 11 モジュールストップ設定ビット																																																																			
b25	MSTPC25	シリアルコミュニケーション インタフェース 10 モジュールストップ設定ビット																																																																			
b26	MSTPC26	シリアルコミュニケーション インタフェース 9 モジュールストップ設定ビット																																																																			
b27	MSTPC27	シリアルコミュニケーション インタフェース 8 モジュールストップ設定ビット																																																																			
			<ul style="list-style-type: none"> <li>● 動作電力コントロールレジスタ (OPCCR)</li> <li>● スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)</li> </ul>																																																																		
		<ul style="list-style-type: none"> <li>● ディープスタンバイコントロールレジスタ (DPSBYCR)                             <table border="1"> <tr><td>b0</td><td>RAMCUT0</td><td>内蔵 RAM オフ 0 ビット</td></tr> <tr><td>b1</td><td></td><td>(予約ビット)</td></tr> <tr><td>b4</td><td>RAMCUT1</td><td>内蔵 RAM オフ 1 ビット</td></tr> <tr><td>b5</td><td>RAMCUT2</td><td>内蔵 RAM オフ 2 ビット</td></tr> <tr><td>b6</td><td>IOKEEP</td><td>I/O ポート保持ビット</td></tr> <tr><td>b7</td><td>DPSBY</td><td>ディープソフトウェアスタンバイ ビット</td></tr> </table> <p>・ RAMCUT2 ~ 0 000b : ディープソフトウェアスタンバイモード時、 内蔵 RAM (RAM0) と USB レジューム検出部 に電源を供給 111b : 上記電源を供給しない 上記以外は、設定しないでください</p> </li> </ul>	b0	RAMCUT0	内蔵 RAM オフ 0 ビット	b1		(予約ビット)	b4	RAMCUT1	内蔵 RAM オフ 1 ビット	b5	RAMCUT2	内蔵 RAM オフ 2 ビット	b6	IOKEEP	I/O ポート保持ビット	b7	DPSBY	ディープソフトウェアスタンバイ ビット	<ul style="list-style-type: none"> <li>● ディープスタンバイコントロールレジスタ (DPSBYCR)                             <table border="1"> <tr><td>b0</td><td>DEEPCUT</td><td>ディープカットビット</td></tr> <tr><td>b1</td><td>[1 : 0]</td><td></td></tr> <tr><td>b4</td><td></td><td>(予約ビット)</td></tr> <tr><td>b5</td><td></td><td>(予約ビット)</td></tr> <tr><td>b6</td><td>IOKEEP</td><td>I/O ポート保持ビット</td></tr> <tr><td>b7</td><td>DPSBY</td><td>ディープソフトウェアスタンバイ ビット</td></tr> </table> <p>・ DEEPCUT[1 : 0] 00b : ディープソフトウェアスタンバイモード時、 RAM (RAM0) と USB レジューム検出部 に電源を供給 01b : 上記電源を供給しない 10b : (設定禁止) 11b : ディープソフトウェアスタンバイモード時、 RAM (RAM0) と USB レジューム検出部、 および LVD に電源を供給しない。 LVD を停止し、パワーオンリセット回路の低消費 電力機構有効</p> </li> </ul>	b0	DEEPCUT	ディープカットビット	b1	[1 : 0]		b4		(予約ビット)	b5		(予約ビット)	b6	IOKEEP	I/O ポート保持ビット	b7	DPSBY	ディープソフトウェアスタンバイ ビット																														
b0	RAMCUT0	内蔵 RAM オフ 0 ビット																																																																			
b1		(予約ビット)																																																																			
b4	RAMCUT1	内蔵 RAM オフ 1 ビット																																																																			
b5	RAMCUT2	内蔵 RAM オフ 2 ビット																																																																			
b6	IOKEEP	I/O ポート保持ビット																																																																			
b7	DPSBY	ディープソフトウェアスタンバイ ビット																																																																			
b0	DEEPCUT	ディープカットビット																																																																			
b1	[1 : 0]																																																																				
b4		(予約ビット)																																																																			
b5		(予約ビット)																																																																			
b6	IOKEEP	I/O ポート保持ビット																																																																			
b7	DPSBY	ディープソフトウェアスタンバイ ビット																																																																			
		<ul style="list-style-type: none"> <li>● ディープスタンバイウェイトコントロールレジスタ (DPSWCR)                             <p>・ DPSWCR.WTSTS[5:0]</p> <table border="1"> <tr><td>00101b</td><td>: 待機時間 = 64 サイクル</td></tr> <tr><td>00110b</td><td>: 待機時間 = 512 サイクル</td></tr> <tr><td>00111b</td><td>: 待機時間 = 1024 サイクル</td></tr> <tr><td>01000b</td><td>: 待機時間 = 2048 サイクル</td></tr> <tr><td>01001b</td><td>: 待機時間 = 4096 サイクル</td></tr> <tr><td>01010b</td><td>: 待機時間 = 16384 サイクル</td></tr> <tr><td>01011b</td><td>: 待機時間 = 32768 サイクル</td></tr> <tr><td>01100b</td><td>: 待機時間 = 65536 サイクル</td></tr> <tr><td>01101b</td><td>: 待機時間 = 131072 サイクル</td></tr> <tr><td>01110b</td><td>: 待機時間 = 262144 サイクル</td></tr> <tr><td>01111b</td><td>: 待機時間 = 524288 サイクル</td></tr> </table> </li> </ul>	00101b	: 待機時間 = 64 サイクル	00110b	: 待機時間 = 512 サイクル	00111b	: 待機時間 = 1024 サイクル	01000b	: 待機時間 = 2048 サイクル	01001b	: 待機時間 = 4096 サイクル	01010b	: 待機時間 = 16384 サイクル	01011b	: 待機時間 = 32768 サイクル	01100b	: 待機時間 = 65536 サイクル	01101b	: 待機時間 = 131072 サイクル	01110b	: 待機時間 = 262144 サイクル	01111b	: 待機時間 = 524288 サイクル	<p>( LOCO 復帰 )</p>																																												
00101b	: 待機時間 = 64 サイクル																																																																				
00110b	: 待機時間 = 512 サイクル																																																																				
00111b	: 待機時間 = 1024 サイクル																																																																				
01000b	: 待機時間 = 2048 サイクル																																																																				
01001b	: 待機時間 = 4096 サイクル																																																																				
01010b	: 待機時間 = 16384 サイクル																																																																				
01011b	: 待機時間 = 32768 サイクル																																																																				
01100b	: 待機時間 = 65536 サイクル																																																																				
01101b	: 待機時間 = 131072 サイクル																																																																				
01110b	: 待機時間 = 262144 サイクル																																																																				
01111b	: 待機時間 = 524288 サイクル																																																																				

表2.8 機能および仕様の相違点(8)

項目		RX62N グループ	RX63N グループ																																																
消費電力 低減機能	レジスタ/ ビット	<ul style="list-style-type: none"> <li>ディープスタンバイインタラプトイネーブルレジスタ (DPSIER)</li> </ul> <table border="1"> <tr><td>b0</td><td>DIRQ0E</td><td>IRQ0 端子許可ビット</td></tr> <tr><td>b1</td><td>DIRQ1E</td><td>IRQ1 端子許可ビット</td></tr> <tr><td>b2</td><td>DIRQ2E</td><td>IRQ2 端子許可ビット</td></tr> <tr><td>b3</td><td>DIRQ3E</td><td>IRQ3 端子許可ビット</td></tr> <tr><td>b4</td><td>DLVDE</td><td>LVD ディープスタンバイ解除信号許可ビット</td></tr> <tr><td>b5</td><td>DRTCE</td><td>RTC ディープスタンバイ解除信号許可ビット</td></tr> <tr><td>b6</td><td>DUSBE</td><td>USB サスペンド/レジューム ディープスタンバイ解除信号許可ビット</td></tr> <tr><td>b7</td><td>DNMIE</td><td>NMI 端子許可ビット</td></tr> </table>	b0	DIRQ0E	IRQ0 端子許可ビット	b1	DIRQ1E	IRQ1 端子許可ビット	b2	DIRQ2E	IRQ2 端子許可ビット	b3	DIRQ3E	IRQ3 端子許可ビット	b4	DLVDE	LVD ディープスタンバイ解除信号許可ビット	b5	DRTCE	RTC ディープスタンバイ解除信号許可ビット	b6	DUSBE	USB サスペンド/レジューム ディープスタンバイ解除信号許可ビット	b7	DNMIE	NMI 端子許可ビット	<ul style="list-style-type: none"> <li>ディープスタンバイインタラプトイネーブルレジスタ 0 (DPSIER0)</li> </ul> <table border="1"> <tr><td>b0</td><td>DIRQ0E</td><td>IRQ0-DS 端子許可ビット</td></tr> <tr><td>b1</td><td>DIRQ1E</td><td>IRQ1-DS 端子許可ビット</td></tr> <tr><td>b2</td><td>DIRQ2E</td><td>IRQ2-DS 端子許可ビット</td></tr> <tr><td>b3</td><td>DIRQ3E</td><td>IRQ3-DS 端子許可ビット</td></tr> <tr><td>b4</td><td>DIRQ4E</td><td>IRQ4-DS 端子許可ビット</td></tr> <tr><td>b5</td><td>DIRQ5E</td><td>IRQ5-DS 端子許可ビット</td></tr> <tr><td>b6</td><td>DIRQ6E</td><td>IRQ6-DS 端子許可ビット</td></tr> <tr><td>b7</td><td>DIRQ7E</td><td>IRQ7-DS 端子許可ビット</td></tr> </table>	b0	DIRQ0E	IRQ0-DS 端子許可ビット	b1	DIRQ1E	IRQ1-DS 端子許可ビット	b2	DIRQ2E	IRQ2-DS 端子許可ビット	b3	DIRQ3E	IRQ3-DS 端子許可ビット	b4	DIRQ4E	IRQ4-DS 端子許可ビット	b5	DIRQ5E	IRQ5-DS 端子許可ビット	b6	DIRQ6E	IRQ6-DS 端子許可ビット	b7	DIRQ7E	IRQ7-DS 端子許可ビット
		b0	DIRQ0E	IRQ0 端子許可ビット																																															
		b1	DIRQ1E	IRQ1 端子許可ビット																																															
		b2	DIRQ2E	IRQ2 端子許可ビット																																															
		b3	DIRQ3E	IRQ3 端子許可ビット																																															
		b4	DLVDE	LVD ディープスタンバイ解除信号許可ビット																																															
		b5	DRTCE	RTC ディープスタンバイ解除信号許可ビット																																															
		b6	DUSBE	USB サスペンド/レジューム ディープスタンバイ解除信号許可ビット																																															
		b7	DNMIE	NMI 端子許可ビット																																															
		b0	DIRQ0E	IRQ0-DS 端子許可ビット																																															
		b1	DIRQ1E	IRQ1-DS 端子許可ビット																																															
		b2	DIRQ2E	IRQ2-DS 端子許可ビット																																															
		b3	DIRQ3E	IRQ3-DS 端子許可ビット																																															
		b4	DIRQ4E	IRQ4-DS 端子許可ビット																																															
b5	DIRQ5E	IRQ5-DS 端子許可ビット																																																	
b6	DIRQ6E	IRQ6-DS 端子許可ビット																																																	
b7	DIRQ7E	IRQ7-DS 端子許可ビット																																																	
	<ul style="list-style-type: none"> <li>ディープスタンバイインタラプトイネーブルレジスタ 2 (DPSIER2)</li> </ul> <table border="1"> <tr><td>b0</td><td>DLVD1IE</td><td>LVD1 ディープスタンバイ解除信号許可ビット</td></tr> <tr><td>b1</td><td>DLVD2IE</td><td>LVD2 ディープスタンバイ解除信号許可ビット</td></tr> <tr><td>b2</td><td>DRTCIIE</td><td>RTC 周期割り込み ディープスタンバイ解除信号許可ビット</td></tr> <tr><td>b3</td><td>DRTCAIE</td><td>RTC アラーム割り込み ディープスタンバイ解除信号許可ビット</td></tr> <tr><td>b4</td><td>DNMIE</td><td>NMI 端子許可ビット</td></tr> <tr><td>b5</td><td>DRIICDIE</td><td>SDA2-DS ディープスタンバイ解除信号許可ビット</td></tr> <tr><td>b6</td><td>DRIICDIE</td><td>SCL2-DS ディープスタンバイ解除信号許可ビット</td></tr> <tr><td>b7</td><td>DUSBIE</td><td>USB サスペンド/レジューム ディープスタンバイ解除信号許可ビット</td></tr> </table>	b0	DLVD1IE	LVD1 ディープスタンバイ解除信号許可ビット	b1	DLVD2IE	LVD2 ディープスタンバイ解除信号許可ビット	b2	DRTCIIE	RTC 周期割り込み ディープスタンバイ解除信号許可ビット	b3	DRTCAIE	RTC アラーム割り込み ディープスタンバイ解除信号許可ビット	b4	DNMIE	NMI 端子許可ビット	b5	DRIICDIE	SDA2-DS ディープスタンバイ解除信号許可ビット	b6	DRIICDIE	SCL2-DS ディープスタンバイ解除信号許可ビット	b7	DUSBIE	USB サスペンド/レジューム ディープスタンバイ解除信号許可ビット																										
b0	DLVD1IE	LVD1 ディープスタンバイ解除信号許可ビット																																																	
b1	DLVD2IE	LVD2 ディープスタンバイ解除信号許可ビット																																																	
b2	DRTCIIE	RTC 周期割り込み ディープスタンバイ解除信号許可ビット																																																	
b3	DRTCAIE	RTC アラーム割り込み ディープスタンバイ解除信号許可ビット																																																	
b4	DNMIE	NMI 端子許可ビット																																																	
b5	DRIICDIE	SDA2-DS ディープスタンバイ解除信号許可ビット																																																	
b6	DRIICDIE	SCL2-DS ディープスタンバイ解除信号許可ビット																																																	
b7	DUSBIE	USB サスペンド/レジューム ディープスタンバイ解除信号許可ビット																																																	
	<ul style="list-style-type: none"> <li>ディープスタンバイインタラプトイネーブルレジスタ 1 (DPSIER1)</li> </ul>	<ul style="list-style-type: none"> <li>ディープスタンバイインタラプトイネーブルレジスタ 3 (DPSIER3)</li> </ul>																																																	
	<ul style="list-style-type: none"> <li>ディープスタンバイインタラプトフラグレジスタ (DPSIFR)</li> </ul> <table border="1"> <tr><td>b0</td><td>DIRQ0F</td><td>IRQ0 ディープスタンバイ解除フラグ</td></tr> <tr><td>b1</td><td>DIRQ1F</td><td>IRQ1 ディープスタンバイ解除フラグ</td></tr> <tr><td>b2</td><td>DIRQ2F</td><td>IRQ2 ディープスタンバイ解除フラグ</td></tr> <tr><td>b3</td><td>DIRQ3F</td><td>IRQ3 ディープスタンバイ解除フラグ</td></tr> <tr><td>b4</td><td>DLVDF</td><td>LVD ディープスタンバイ解除フラグ</td></tr> <tr><td>b5</td><td>DRTCF</td><td>RTC ディープスタンバイ解除フラグ</td></tr> <tr><td>b6</td><td>DUSBF</td><td>USB サスペンド/レジューム ディープスタンバイ解除フラグ</td></tr> <tr><td>b7</td><td>DNMIF</td><td>NMI ディープスタンバイ解除フラグ</td></tr> </table>	b0	DIRQ0F	IRQ0 ディープスタンバイ解除フラグ	b1	DIRQ1F	IRQ1 ディープスタンバイ解除フラグ	b2	DIRQ2F	IRQ2 ディープスタンバイ解除フラグ	b3	DIRQ3F	IRQ3 ディープスタンバイ解除フラグ	b4	DLVDF	LVD ディープスタンバイ解除フラグ	b5	DRTCF	RTC ディープスタンバイ解除フラグ	b6	DUSBF	USB サスペンド/レジューム ディープスタンバイ解除フラグ	b7	DNMIF	NMI ディープスタンバイ解除フラグ	<ul style="list-style-type: none"> <li>ディープスタンバイインタラプトフラグレジスタ 0 (DPSIFR0)</li> </ul> <table border="1"> <tr><td>b0</td><td>DIRQ0F</td><td>IRQ0-DS 端子ディープスタンバイ解除フラグ</td></tr> <tr><td>b1</td><td>DIRQ1F</td><td>IRQ1-DS 端子ディープスタンバイ解除フラグ</td></tr> <tr><td>b2</td><td>DIRQ2F</td><td>IRQ2-DS 端子ディープスタンバイ解除フラグ</td></tr> <tr><td>b3</td><td>DIRQ3F</td><td>IRQ3-DS 端子ディープスタンバイ解除フラグ</td></tr> <tr><td>b4</td><td>DIRQ4F</td><td>IRQ4-DS 端子ディープスタンバイ解除フラグ</td></tr> <tr><td>b5</td><td>DIRQ5F</td><td>IRQ5-DS 端子ディープスタンバイ解除フラグ</td></tr> <tr><td>b6</td><td>DIRQ6F</td><td>IRQ6-DS 端子ディープスタンバイ解除フラグ</td></tr> <tr><td>b7</td><td>DIRQ7F</td><td>IRQ7-DS 端子ディープスタンバイ解除フラグ</td></tr> </table>	b0	DIRQ0F	IRQ0-DS 端子ディープスタンバイ解除フラグ	b1	DIRQ1F	IRQ1-DS 端子ディープスタンバイ解除フラグ	b2	DIRQ2F	IRQ2-DS 端子ディープスタンバイ解除フラグ	b3	DIRQ3F	IRQ3-DS 端子ディープスタンバイ解除フラグ	b4	DIRQ4F	IRQ4-DS 端子ディープスタンバイ解除フラグ	b5	DIRQ5F	IRQ5-DS 端子ディープスタンバイ解除フラグ	b6	DIRQ6F	IRQ6-DS 端子ディープスタンバイ解除フラグ	b7	DIRQ7F	IRQ7-DS 端子ディープスタンバイ解除フラグ	
b0	DIRQ0F	IRQ0 ディープスタンバイ解除フラグ																																																	
b1	DIRQ1F	IRQ1 ディープスタンバイ解除フラグ																																																	
b2	DIRQ2F	IRQ2 ディープスタンバイ解除フラグ																																																	
b3	DIRQ3F	IRQ3 ディープスタンバイ解除フラグ																																																	
b4	DLVDF	LVD ディープスタンバイ解除フラグ																																																	
b5	DRTCF	RTC ディープスタンバイ解除フラグ																																																	
b6	DUSBF	USB サスペンド/レジューム ディープスタンバイ解除フラグ																																																	
b7	DNMIF	NMI ディープスタンバイ解除フラグ																																																	
b0	DIRQ0F	IRQ0-DS 端子ディープスタンバイ解除フラグ																																																	
b1	DIRQ1F	IRQ1-DS 端子ディープスタンバイ解除フラグ																																																	
b2	DIRQ2F	IRQ2-DS 端子ディープスタンバイ解除フラグ																																																	
b3	DIRQ3F	IRQ3-DS 端子ディープスタンバイ解除フラグ																																																	
b4	DIRQ4F	IRQ4-DS 端子ディープスタンバイ解除フラグ																																																	
b5	DIRQ5F	IRQ5-DS 端子ディープスタンバイ解除フラグ																																																	
b6	DIRQ6F	IRQ6-DS 端子ディープスタンバイ解除フラグ																																																	
b7	DIRQ7F	IRQ7-DS 端子ディープスタンバイ解除フラグ																																																	
		<ul style="list-style-type: none"> <li>ディープスタンバイインタラプトフラグレジスタ 2 (DPSIFR2)</li> </ul> <table border="1"> <tr><td>b0</td><td>DLVD1IF</td><td>LVD1 ディープスタンバイ解除フラグ</td></tr> <tr><td>b1</td><td>DLVD2IF</td><td>LVD2 ディープスタンバイ解除フラグ</td></tr> <tr><td>b2</td><td>DRTCIF</td><td>RTC 周期割り込み ディープスタンバイ解除フラグ</td></tr> <tr><td>b3</td><td>DRTCAIF</td><td>RTC アラーム割り込み ディープスタンバイ解除フラグ</td></tr> <tr><td>b4</td><td>DNMIF</td><td>NMI ディープスタンバイ解除フラグ</td></tr> <tr><td>b5</td><td>DRIICDIF</td><td>SDA2-DS ディープスタンバイ解除フラグ</td></tr> <tr><td>b6</td><td>DRIICDIF</td><td>SCL2-DS ディープスタンバイ解除フラグ</td></tr> <tr><td>b7</td><td>DUSBIF</td><td>USB サスペンド/レジューム ディープスタンバイ解除フラグ</td></tr> </table>	b0	DLVD1IF	LVD1 ディープスタンバイ解除フラグ	b1	DLVD2IF	LVD2 ディープスタンバイ解除フラグ	b2	DRTCIF	RTC 周期割り込み ディープスタンバイ解除フラグ	b3	DRTCAIF	RTC アラーム割り込み ディープスタンバイ解除フラグ	b4	DNMIF	NMI ディープスタンバイ解除フラグ	b5	DRIICDIF	SDA2-DS ディープスタンバイ解除フラグ	b6	DRIICDIF	SCL2-DS ディープスタンバイ解除フラグ	b7	DUSBIF	USB サスペンド/レジューム ディープスタンバイ解除フラグ																									
b0	DLVD1IF	LVD1 ディープスタンバイ解除フラグ																																																	
b1	DLVD2IF	LVD2 ディープスタンバイ解除フラグ																																																	
b2	DRTCIF	RTC 周期割り込み ディープスタンバイ解除フラグ																																																	
b3	DRTCAIF	RTC アラーム割り込み ディープスタンバイ解除フラグ																																																	
b4	DNMIF	NMI ディープスタンバイ解除フラグ																																																	
b5	DRIICDIF	SDA2-DS ディープスタンバイ解除フラグ																																																	
b6	DRIICDIF	SCL2-DS ディープスタンバイ解除フラグ																																																	
b7	DUSBIF	USB サスペンド/レジューム ディープスタンバイ解除フラグ																																																	

表2.9 機能および仕様の相違点(9)

項目		RX62N グループ	RX63N グループ																																																
消費電力 低減機能	レジスタ/ ビット	<ul style="list-style-type: none"> <li>ディープスタンバイインタラプトエッジレジスタ (DPSIEGR)</li> </ul> <table border="1"> <tr><td>b0</td><td>DIRQ0EG</td><td>IRQ0 エッジ選択ビット</td></tr> <tr><td>b1</td><td>DIRQ1EG</td><td>IRQ1 エッジ選択ビット</td></tr> <tr><td>b2</td><td>DIRQ2EG</td><td>IRQ2 エッジ選択ビット</td></tr> <tr><td>b3</td><td>DIRQ3EG</td><td>IRQ3 エッジ選択ビット</td></tr> <tr><td>b4</td><td></td><td>(予約ビット)</td></tr> <tr><td>b5</td><td></td><td>(予約ビット)</td></tr> <tr><td>b6</td><td></td><td>(予約ビット)</td></tr> <tr><td>b7</td><td>DNMIEG</td><td>NMI エッジ選択ビット</td></tr> </table>	b0	DIRQ0EG	IRQ0 エッジ選択ビット	b1	DIRQ1EG	IRQ1 エッジ選択ビット	b2	DIRQ2EG	IRQ2 エッジ選択ビット	b3	DIRQ3EG	IRQ3 エッジ選択ビット	b4		(予約ビット)	b5		(予約ビット)	b6		(予約ビット)	b7	DNMIEG	NMI エッジ選択ビット	<ul style="list-style-type: none"> <li>ディープスタンバイインタラプトフラグレジスタ 1 (DPSIFR1)</li> <li>ディープスタンバイインタラプトフラグレジスタ 3 (DPSIFR3)</li> <li>ディープスタンバイインタラプトエッジレジスタ 0 (DPSIEGR0)</li> </ul> <table border="1"> <tr><td>b0</td><td>DIRQ0EG</td><td>IRQ0-DS エッジ選択ビット</td></tr> <tr><td>b1</td><td>DIRQ1EG</td><td>IRQ1-DS エッジ選択ビット</td></tr> <tr><td>b2</td><td>DIRQ2EG</td><td>IRQ2-DS エッジ選択ビット</td></tr> <tr><td>b3</td><td>DIRQ3EG</td><td>IRQ3-DS エッジ選択ビット</td></tr> <tr><td>b4</td><td>DIRQ4EG</td><td>IRQ4-DS エッジ選択ビット</td></tr> <tr><td>b5</td><td>DIRQ5EG</td><td>IRQ5-DS エッジ選択ビット</td></tr> <tr><td>b6</td><td>DIRQ6EG</td><td>IRQ6-DS エッジ選択ビット</td></tr> <tr><td>b7</td><td>DIRQ7EG</td><td>IRQ7-DS エッジ選択ビット</td></tr> </table>	b0	DIRQ0EG	IRQ0-DS エッジ選択ビット	b1	DIRQ1EG	IRQ1-DS エッジ選択ビット	b2	DIRQ2EG	IRQ2-DS エッジ選択ビット	b3	DIRQ3EG	IRQ3-DS エッジ選択ビット	b4	DIRQ4EG	IRQ4-DS エッジ選択ビット	b5	DIRQ5EG	IRQ5-DS エッジ選択ビット	b6	DIRQ6EG	IRQ6-DS エッジ選択ビット	b7	DIRQ7EG	IRQ7-DS エッジ選択ビット
		b0	DIRQ0EG	IRQ0 エッジ選択ビット																																															
b1	DIRQ1EG	IRQ1 エッジ選択ビット																																																	
b2	DIRQ2EG	IRQ2 エッジ選択ビット																																																	
b3	DIRQ3EG	IRQ3 エッジ選択ビット																																																	
b4		(予約ビット)																																																	
b5		(予約ビット)																																																	
b6		(予約ビット)																																																	
b7	DNMIEG	NMI エッジ選択ビット																																																	
b0	DIRQ0EG	IRQ0-DS エッジ選択ビット																																																	
b1	DIRQ1EG	IRQ1-DS エッジ選択ビット																																																	
b2	DIRQ2EG	IRQ2-DS エッジ選択ビット																																																	
b3	DIRQ3EG	IRQ3-DS エッジ選択ビット																																																	
b4	DIRQ4EG	IRQ4-DS エッジ選択ビット																																																	
b5	DIRQ5EG	IRQ5-DS エッジ選択ビット																																																	
b6	DIRQ6EG	IRQ6-DS エッジ選択ビット																																																	
b7	DIRQ7EG	IRQ7-DS エッジ選択ビット																																																	
		<ul style="list-style-type: none"> <li>ディープスタンバイインタラプトエッジレジスタ 2 (DPSIEGR2)</li> </ul> <table border="1"> <tr><td>b0</td><td>DLVD1EG</td><td>LVD1 エッジ選択ビット</td></tr> <tr><td>b1</td><td>DLVD2EG</td><td>LVD2 エッジ選択ビット</td></tr> <tr><td>b4</td><td>DNMIEG</td><td>NMI エッジ選択ビット</td></tr> <tr><td>b5</td><td>DRIICDEG</td><td>SDA2-DS エッジ選択ビット</td></tr> <tr><td>b6</td><td>DRIICCEG</td><td>SCL2-DS エッジ選択ビット</td></tr> </table> <ul style="list-style-type: none"> <li>ディープスタンバイインタラプトエッジレジスタ 1 (DPSIEGR1)</li> <li>ディープスタンバイインタラプトエッジレジスタ 3 (DPSIEGR3)</li> </ul>	b0	DLVD1EG	LVD1 エッジ選択ビット	b1	DLVD2EG	LVD2 エッジ選択ビット	b4	DNMIEG	NMI エッジ選択ビット	b5	DRIICDEG	SDA2-DS エッジ選択ビット	b6	DRIICCEG	SCL2-DS エッジ選択ビット																																		
b0	DLVD1EG	LVD1 エッジ選択ビット																																																	
b1	DLVD2EG	LVD2 エッジ選択ビット																																																	
b4	DNMIEG	NMI エッジ選択ビット																																																	
b5	DRIICDEG	SDA2-DS エッジ選択ビット																																																	
b6	DRIICCEG	SCL2-DS エッジ選択ビット																																																	
バッテリー バックアップ 機能	機能		<ul style="list-style-type: none"> <li>仕様概要</li> </ul> <table border="1"> <tr><td>バッテリーバックアップ電源供給</td><td>サブクロック発振器</td></tr> <tr><td></td><td>リアルタイムクロック</td></tr> </table>	バッテリーバックアップ電源供給	サブクロック発振器		リアルタイムクロック																																												
バッテリーバックアップ電源供給	サブクロック発振器																																																		
	リアルタイムクロック																																																		
レジスタ ライト プロテクション 機能	レジスタ/ ビット		<ul style="list-style-type: none"> <li>プロテクトレジスタ (PRCR)</li> </ul>																																																
割り込み コントローラ	機能	<ul style="list-style-type: none"> <li>周辺機能割り込み</li> </ul> <table border="1"> <tr><td>割り込み</td><td>周辺モジュールからの割り込み</td></tr> <tr><td>要因数</td><td>146</td></tr> <tr><td>割り込み検出</td><td>エッジ検出/レベル検出</td></tr> </table>	割り込み	周辺モジュールからの割り込み	要因数	146	割り込み検出	エッジ検出/レベル検出	<ul style="list-style-type: none"> <li>周辺機能割り込み</li> </ul> <table border="1"> <tr><td>割り込み</td><td>周辺モジュールからの割り込み</td></tr> <tr><td>要因数</td><td>187</td></tr> <tr><td>割り込み検出</td><td>エッジ検出/レベル検出</td></tr> </table>	割り込み	周辺モジュールからの割り込み	要因数	187	割り込み検出	エッジ検出/レベル検出																																				
		割り込み	周辺モジュールからの割り込み																																																
		要因数	146																																																
		割り込み検出	エッジ検出/レベル検出																																																
割り込み	周辺モジュールからの割り込み																																																		
要因数	187																																																		
割り込み検出	エッジ検出/レベル検出																																																		
		<ul style="list-style-type: none"> <li>グループ機能割り込み</li> </ul> <table border="1"> <tr><td>エッジ検出</td><td>7 (グループ 0-6)</td></tr> <tr><td>レベル検出</td><td>1 (グループ 12)</td></tr> </table>	エッジ検出	7 (グループ 0-6)	レベル検出	1 (グループ 12)	<ul style="list-style-type: none"> <li>ユニット選択機能</li> </ul> <table border="1"> <tr><td>ユニット数</td><td>6</td></tr> </table>	ユニット数	6																																										
エッジ検出	7 (グループ 0-6)																																																		
レベル検出	1 (グループ 12)																																																		
ユニット数	6																																																		
		<ul style="list-style-type: none"> <li>ノンマスカブル割り込み</li> </ul> <table border="1"> <tr><td>割り込みの種類</td><td>NMI 端子割り込み デジタルフィルタ機能：なし 発振停止検出割り込み  電圧監視割り込み</td></tr> </table>	割り込みの種類	NMI 端子割り込み デジタルフィルタ機能：なし 発振停止検出割り込み  電圧監視割り込み	<ul style="list-style-type: none"> <li>ノンマスカブル割り込み</li> </ul> <table border="1"> <tr><td>割り込みの種類</td><td>NMI 端子割り込み デジタルフィルタ機能：あり 発振停止検出割り込み WDT アンダフロー/リフレッシュエラー IWDTC アンダフロー/リフレッシュエラー 電圧監視 1 割り込み 電圧監視 2 割り込み</td></tr> </table>	割り込みの種類	NMI 端子割り込み デジタルフィルタ機能：あり 発振停止検出割り込み WDT アンダフロー/リフレッシュエラー IWDTC アンダフロー/リフレッシュエラー 電圧監視 1 割り込み 電圧監視 2 割り込み																																												
割り込みの種類	NMI 端子割り込み デジタルフィルタ機能：なし 発振停止検出割り込み  電圧監視割り込み																																																		
割り込みの種類	NMI 端子割り込み デジタルフィルタ機能：あり 発振停止検出割り込み WDT アンダフロー/リフレッシュエラー IWDTC アンダフロー/リフレッシュエラー 電圧監視 1 割り込み 電圧監視 2 割り込み																																																		
		<ul style="list-style-type: none"> <li>低消費電力状態からの復帰要因</li> </ul> <table border="1"> <tr><td>スリープモード</td><td>ノンマスカブル割り込み 全割り込み要因</td></tr> <tr><td>全モジュールクロックストップモード</td><td>ノンマスカブル割り込み IRQ0-IRQ15 割り込み WDT 割り込み TMR 割り込み USB レジューム割り込み RTC アラーム割り込み</td></tr> <tr><td>ソフトウェアスタンバイモード</td><td>ノンマスカブル割り込み IRQ0-IRQ15 割り込み USB 割り込み(USBR) RTC 割り込み</td></tr> </table>	スリープモード	ノンマスカブル割り込み 全割り込み要因	全モジュールクロックストップモード	ノンマスカブル割り込み IRQ0-IRQ15 割り込み WDT 割り込み TMR 割り込み USB レジューム割り込み RTC アラーム割り込み	ソフトウェアスタンバイモード	ノンマスカブル割り込み IRQ0-IRQ15 割り込み USB 割り込み(USBR) RTC 割り込み	<ul style="list-style-type: none"> <li>低消費電力状態からの復帰要因</li> </ul> <table border="1"> <tr><td>スリープモード</td><td>ノンマスカブル割り込み 全割り込み要因</td></tr> <tr><td>全モジュールクロックストップモード</td><td>ノンマスカブル割り込み IRQ0-IRQ15 割り込み (WDT：ノンマスカブル割り込み) TMR 割り込み USB レジューム割り込み RTC アラーム/周期割り込み</td></tr> <tr><td>ソフトウェアスタンバイモード</td><td>ノンマスカブル割り込み IRQ0-IRQ15 割り込み USB レジューム割り込み RTC アラーム/周期割り込み</td></tr> </table>	スリープモード	ノンマスカブル割り込み 全割り込み要因	全モジュールクロックストップモード	ノンマスカブル割り込み IRQ0-IRQ15 割り込み (WDT：ノンマスカブル割り込み) TMR 割り込み USB レジューム割り込み RTC アラーム/周期割り込み	ソフトウェアスタンバイモード	ノンマスカブル割り込み IRQ0-IRQ15 割り込み USB レジューム割り込み RTC アラーム/周期割り込み																																				
スリープモード	ノンマスカブル割り込み 全割り込み要因																																																		
全モジュールクロックストップモード	ノンマスカブル割り込み IRQ0-IRQ15 割り込み WDT 割り込み TMR 割り込み USB レジューム割り込み RTC アラーム割り込み																																																		
ソフトウェアスタンバイモード	ノンマスカブル割り込み IRQ0-IRQ15 割り込み USB 割り込み(USBR) RTC 割り込み																																																		
スリープモード	ノンマスカブル割り込み 全割り込み要因																																																		
全モジュールクロックストップモード	ノンマスカブル割り込み IRQ0-IRQ15 割り込み (WDT：ノンマスカブル割り込み) TMR 割り込み USB レジューム割り込み RTC アラーム/周期割り込み																																																		
ソフトウェアスタンバイモード	ノンマスカブル割り込み IRQ0-IRQ15 割り込み USB レジューム割り込み RTC アラーム/周期割り込み																																																		

表.2.10 機能および仕様の相違点(10)

項目		RX62N グループ				RX63N グループ					
割り込み コントローラ	ベクタ テーブル	● ベクタテーブル (1/4)				● ベクタテーブル (1/4)					
		NO	割り込み	名称	DTCER	IPR	No	割り込み	名称	DTCER	IPR
		0		(予約)			0		無条件トラップ専用		
		1		(予約)			1		無条件トラップ専用		
		2		(予約)			2		無条件トラップ専用		
		3		(予約)			3		無条件トラップ専用		
		4		(予約)			4		無条件トラップ専用		
		5		(予約)			5		無条件トラップ専用		
		6		(予約)			6		無条件トラップ専用		
		7		(予約)			7		無条件トラップ専用		
		8		(予約)			8		無条件トラップ専用		
		9		(予約)			9		無条件トラップ専用		
		10		(予約)			10		無条件トラップ専用		
		11		(予約)			11		無条件トラップ専用		
		12		(予約)			12		無条件トラップ専用		
		13		(予約)			13		無条件トラップ専用		
		14		(予約)			14		無条件トラップ専用		
		15		(予約)			15		無条件トラップ専用		
		16	バスエラー	BUSERR		00	16	バスエラー	BUSERR		000
		21	FCU	FIFERR		01	21	FCU	FIFERR		001
		23		FRDYI		02	23		FRDYI		002
		27	ICU	SWINT	027	03	27	ICU	SWINT	027	003
		28	CMT0	CMIO	028	04	28	CMT0	CMIO	028	004
		29	CMT1	CMI1	029	05	29	CMT1	CMI1	029	005
		30	CMT2	CMI2	030	06	30	CMT2	CMI2	030	006
		31	CMT3	CMI3	031	07	31	CMT3	CMI3	031	007
		32	ETHER	EINT		08	32	Ehter	EINT		032
		33		(予約)		09	33	USB0	D0FIFO0	033	033
		34		(予約)		0A	34		D1FIFO0	034	034
		35		(予約)		0B	35		USBIO		035
		36	USB0	D0FIFO0	036	0C	36	USB1	D0FIFO1	036	036
		37		D1FIFO0	037	0D	37		D1FIFO1	037	037
		38		USBIO		0E	38		USBIO		038
		39		(予約)		0F	39	RSPIO	SPRIO	039	039
		40	USB1	D0FIFO1	040	10	40		SPTIO	040	
		41		D1FIFO1	041	11	41		SPIIO		
		42		USBIO		12	42	RSPI1	SPRI1	042	042
		43		(予約)		13	43		SPTI1	043	
		44	RSPIO	SPEIO		14	44		SPII1		
		45		SPRIO	045		45	RSPI2	SPRI2	045	045
		46		SPTIO	046		46		SPTI2	046	
		47		SPIIO			47		SPII2		
		48	RSPI1	SPEI1		15	48	CAN0	RXF0		048
		49		SPRI1	049		49		TXF0		
		50		SPTI1	050		50		RXM0		
		51		SPII1			51		TXM0		
		52		(予約)			52	CAN1	RXF1		052
		53		(予約)			53		TXF1		
		54		(予約)			54		RXM1		
		55		(予約)			55		TXM1		
		56	CAN0	ERS0		18	56	CAN2	RXF2		056
		57		RXF0			57		TXF2		
		58		TXF0			58		RXM2		
		59		RXM0			59		TXM2		
		60		TXM0			60		(予約)		
		61		(予約)		1D	61		(予約)		
		62	RTC	PRD		1E	62	RTC	CUP		062
		63		CUP		1F	63		(予約)		

表.2.11 機能および仕様の相違点(11)

項目		RX62N グループ				RX63N グループ						
割り込み コントローラ	ベクタ テーブル	● ベクタテーブル (2/4)				● ベクタテーブル (2/4)						
		NO	割り込み	名称	DTCER	IPR	No	割り込み	名称	DTCER	IPR	
		64	外部端子	IRQ0	064	20	64	ICU	IRQ0	064	064	
		65		IRQ1	065	21	65		IRQ1	065	065	
		66		IRQ2	066	22	66		IRQ2	066	066	
		67		IRQ3	067	23	67		IRQ3	067	067	
		68		IRQ4	068	24	68		IRQ4	068	068	
		69		IRQ5	069	25	69		IRQ5	069	069	
		70		IRQ6	070	26	70		IRQ6	070	070	
		71		IRQ7	071	27	71		IRQ7	071	071	
		72		IRQ8	072	28	72		IRQ8	072	072	
		73		IRQ9	073	29	73		IRQ9	073	073	
		74		IRQ10	074	2A	74		IRQ10	074	074	
		75		IRQ11	075	2B	75		IRQ11	075	075	
		76		IRQ12	076	2C	76		IRQ12	076	076	
		77		IRQ13	077	2D	77		IRQ13	077	077	
		78		IRQ14	078	2E	78		IRQ14	078	078	
		79		IRQ15	079	2F	79		IRQ15	079	079	
		90	USB	USBR0		3A	90	USB	USBR0		090	
		91		USBR1		3B	91		USBR1		091	
		92	RTC	ALM		3C	92	RTC	ALM		092	
		93		(予約)			93		PRD		093	
		96	WDT	WOV1		40	96		(予約)			
		98	AD0	AD10	098	44	98	AD	AD10	098	098	
		99	AD1	AD11	099	45	99		(予約)			
		102	S12AD	S12AD10	102	48	102	S12AD	S12AD10	102	102	
		106		(予約)			106	ICU	GROUP0		106	
		107		(予約)			107		GROUP1		107	
		108		(予約)			108		GROUP2		108	
		109		(予約)			109		GROUP3		109	
		110		(予約)			110		GROUP4		110	
		111		(予約)			111		GROUP5		111	
		112		(予約)			112		GROUP6		112	
		114	MTU0	TGIA0	114	51	114		GROUP12		114	
		115		TGIB0	115		115		(予約)			
		116		TGIC0	116		116		(予約)			
		117		TGID0	117		117		(予約)			
		118		TCIV0			52	118		(予約)		
		119		TGIE0		119			(予約)			
		120		TGIF0		120			(予約)			
		121	MTU1	TGIA1	121	53		121		(予約)		
		122		TGIB1	122	54	122	SCI12	SCIX0		122	
		123		TCIV1			123		SCIX1			
		124		TCIU1			124		SCIX2			
		125	MTU2	TGIA2	125	55	125		SCIX3			
		126		TGIB2	126	56	126	TPU0	TG10A	126	126	
		127		TCIV2			127		TG10B	127		
		128		TCIU2			128		TG10C	128		
		129		TG10D			129		TG10D	129		
		130	MTU3	TGIA3	129	57	130	TPU1	TG11A	130	130	
		131		TGIB3	130		131		TG11B	131		
		132		TGIC3	131		58	132	TPU2	TG12A	132	132
		133		TGID3	132			133		TG12B	133	
		134	MTU4	TGIA4	134	59	134	TPU3	TG13A	134	134	
		135		TGIB4	135		135		TG13B	135		
		136		TGIC4	136		136		TG13C	136		
		137		TGID4	137		137		TG13D	137		
		138		TCIV4	138		5A	138	TPU4	TG14A		138
		139	MTU5	TGIU5	139	5B	139		TG14B	139		
		140		TGIV5	140	51	140	TPU5	TG15A	140	140	
		141		TGIW5	141		141		TG15B	141		



表2.12 機能および仕様の相違点(12)

項目		RX62N グループ				RX63N グループ							
割り込み コントローラ	ベクタ テーブル	●ベクタテーブル(3/4)				●ベクタテーブル(3/4)							
		NO	割り込み	名称	DTCER	IPR	No	割り込み	名称	DTCER	IPR		
		142	MTU6	TGIA6	142	5C	142	TPU6/MTU0	TGIA6/TGIA0	142	142		
		143		TGIB6	143		143		TGIB6/TGIB0	143			
		144		TGIC6	144		144		TGIC6/TGIC0	144			
		145		TGID6	145		145		TGID6/TGID0	145			
		146		TCIV6			5D	146	/TGIE0			146	
		147		TGIE6				147	/TGIF0				
		148		TGIF6				148	TPU7/MTU1	TGIA7/TGIA1	148	148	
		149	MTU7	TGIA7	149		149		TGIB7/TGIB1	149			
		150		TGIB7	150	5E	150	TPU8/MTU2	TGIA8/TGIA2	150	150		
		151		TCIV7			151		TGIB8/TGIB2	151			
		152		TCIU7			5F	152	TPU9/MTU3	TGIA9/TGIA3	152	152	
		153	MTU8	TGIA8	153	60	153		TGIB9/TGIB3	153			
		154		TGIB8	154	61	154		TGIC9/TGIC3	154			
		155		TCIV8			155		TGID9/TGID3	155			
		156		TCIU8			156	TPU10/MTU4	TGIA10/TGIA4	156	156		
		157	MTU9	TGIA9	157	62	157		TGIB10/TGIB4	157			
		158		TGIB9	158	63	158		/TGIC4	158			
		159		TGIC9	159		159		/TGID4	159			
		160		TGID9	160		160		/TGIV4	160		160	
		161		TCIV9		63	161	TPU11/MTU5	/TGIU5	161	161		
		162	MTU10	TGIA10	162	64	162		/TGIV5	162			
		163		TGIB10	163	65	163		/TGIW5	163			
		164		TGIC10	164		164		TG11A/ -	164		164	
		165		TGID10	165		165		TG11B/ -	165			
		166		TCIV10	166	65	166	POE	OEI1		166		
		167	MTU11	TGIU11	167	66	167		OEI2				
		168		TGIV11	168	67	168		(予約)				
		169		TGIW11	169		169	169		(予約)			
		170	POE	OEI1			170	170	TMR0	CMIA0	170	170	
		171		OEI2			171	171		CMIB0	171		
		172		OEI3			172	172		OVI0			
		173		OEI4		173	173	TMR1	CMIA1	173	173		
		174	TMR0	CMIA0	174	68	174		CMIB1	174			
		175		CMIB0	175	69	175		OVI1				
		176		OVI0			176	176	TMR2	CMIA2	176	176	
		177	TMR1	CMIA1	177		177	177		CMIB2	177		
		178		CMIB1	178	6A	178		OVI2				
		179		OVI1			179	179	TMR3	CMIA3	179	179	
		180	TMR2	CMIA2	180		6A	180		CMIB3	180		
		181		CMIB2	181	6B	181		OVI3				
		182		OVI2			182	182	RIIC0	EEI0		182	
		183	TMR3	CMIA3	183		6B	183		RXI0	183		183
		184		CMIB3	184		184	184		TXI0	184		184
		185		OVI3			185	185		TEI0			185
		186		(予約)		186	186	RIIC1	EEI1		186		
		187		(予約)		187	187		RXI1	187		187	
		188		(予約)		188	188		TXI1	188		188	
		189		(予約)		189	189		TEI1		189		
		190		(予約)		190	190	RIIC2	EEI2		190		
		191		(予約)		191	191		RXI2	191		191	
		192		(予約)		192	192		TXI2	192		192	
		193		(予約)		193	193		TEI2			193	
		194		(予約)		194	194	RIIC3	EEI3			194	
		195		(予約)		195	195		RXI3	195	195		
		196		(予約)		196	196		TXI3	196	196		
		197		(予約)		197	197		TEI3		197		
		198	DMACA	DMACI0	198	70	198	DMAC	DMAC0I	198	198		
		199		DMACI1	199	71	199		DMAC1I	199	199		
		200		DMACI2	200	72	200		DMAC2I	200	200		
		201		DMACI3	201	73	201		DMAC3I	201	201		
		202	EXDMAC	EXDMACI0	202	74	202	EXDMAC	EXDMAC0I	202	202		
		203		EXDMACI1	203	75	203		EXDMAC1I	203	203		

表.2.13 機能および仕様の相違点(13)

項目		RX62N グループ					RX63N グループ				
割り込み コントローラ	ベクタ テーブル	● ベクタテーブル (4/4)					● ベクタテーブル (4/4)				
		No	割り込み	名称	DTCER	IPR	No	割り込み	名称	DTCER	IPR
		214	SCI0	ERI0		80	214	SCI0	RX10	214	214
		215		RX10	215		215		TX10	215	
		216		TX10	216		216		TEI0		
		217		TEI0			217	SCI1	RX11	217	217
		218	SCI1	ERI1		81	218		TX11	218	
		219		RX11	219		219		TEI1		
		220		TX11	220		220	SCI2	RX12	220	220
		221		TEI1			221		TX12	221	
		222	SCI2	ERI2		82	222		TEI2		
		223		RX12	223		223	SCI3	RX13	223	223
		224		TX12	224		224		TX13	224	
		225		TEI2			225		TEI3		
		226	SCI3	ERI3		83	226	SCI4	RX14	226	226
		227		RX13	227		227		TX14	227	
		228		TX13	228		228		TEI4		
		229		TEI3			229	SCI5	RX15	229	229
		230		(予約)			230		TX15	230	
		231		(予約)			231		TEI5		
		232		(予約)			232	SCI6	RX16	232	232
		233		(予約)			233		TX16	233	
		234	SCI5	ERI5		85	234		TEI6		
		235		RX15	235		235	SCI7	RX17	235	235
		236		TX15	236		236		TX17	236	
		237		TEI5			237		TEI7		
		238	SCI6	ERI6		86	238	SCI8	RX18	238	238
		239		RX16	239		239		TX18	239	
		240		TX16	240		240		TEI8		
		241		TEI6			241	SCI9	RX19	241	241
		242		(予約)			242		TX19	242	
		243		(予約)			243		TEI9		
		244		(予約)			244	SCI10	RX110	244	244
		245		(予約)			245		TX110	245	
		246	RIIC0	ICEEI0		88	246		TEI10		
		247		ICRX10	247	89	247	SCI11	RX111	247	247
		248		ICTX10	248	8A	248		TX111	248	
		249		ICTE10		8B	249		TEI11		
		250	RIIC1	ICEEI1		8C	250	SCI12	RX112	250	250
		251		ICRX11	251	8D	251		TX112	251	
		252		ICTX11	252	8E	252		TEI12		
		253		ICTE11		8F	253	IEB	IEBINT		253
		254		(予約)		90	254		(予約)		
		255		(予約)		91	255		(予約)		
レジスタ/ ビット		● ノンマスク割込みステータスレジスタ (NMISR)					● ノンマスク割込みステータスレジスタ (NMISR)				
		b0	NMIST	NMI ステータスフラグ			b0	NMIST	NMI ステータスフラグ		
		b1	LVDST	電圧監視割込みステータスフラグ			b1	OSTST	発振停止検出割込みステータスフラグ		
		b2	OSTST	発振停止検出割込みステータスフラグ			b2	WDTST	WDT アンダフロー/リフレッシュエラーステータスフラグ		
		b3		(予約ビット)			b3	IWDTST	IWDT アンダフロー/リフレッシュエラーステータスフラグ		
		b4		(予約ビット)			b4	LVD1ST	電圧監視 1 割込みステータスフラグ		
		b5		(予約ビット)			b5	LVD2ST	電圧監視 2 割込みステータスフラグ		
		● ノンマスク割込み許可レジスタ (NMIER)					● ノンマスク割込み許可レジスタ (NMIER)				
		b0	NMIEN	NMI 端子割込み許可ビット			b0	NMIEN	NMI 端子割込み許可ビット		
		b1	LVDEN	電圧監視割込み許可ビット			b1	OSTEN	発振停止検出割込み許可ビット		
		b2	OSTEN	発振停止検出割込み許可ビット			b2	WDTEN	WDT アンダフロー/リフレッシュエラー許可ビット		
		b3		(予約ビット)			b3	IWDTEN	IWDT アンダフロー/リフレッシュエラー許可ビット		
		b4		(予約ビット)			b4	LVD1EN	電圧監視 1 割込み許可ビット		
		b5		(予約ビット)			b5	LVD2EN	電圧監視 2 割込み許可ビット		

表2.14 機能および仕様の相違点(14)

項目		RX62N グループ	RX63N グループ																																																																																																																																																																
割り込み コントローラ	レジスタ/ ビット	<ul style="list-style-type: none"> <li>● ノンマスクابل割り込みクリアレジスタ (NMICLR)                             <table border="1"> <tr><td>b0</td><td>NMICLR</td><td>NMI クリアビット</td></tr> <tr><td>b1</td><td></td><td>(予約ビット)</td></tr> <tr><td>b2</td><td>OSTCLR</td><td>OST クリアビット</td></tr> <tr><td>b3</td><td></td><td>(予約ビット)</td></tr> <tr><td>b4</td><td></td><td>(予約ビット)</td></tr> <tr><td>b5</td><td></td><td>(予約ビット)</td></tr> </table> </li> </ul>	b0	NMICLR	NMI クリアビット	b1		(予約ビット)	b2	OSTCLR	OST クリアビット	b3		(予約ビット)	b4		(予約ビット)	b5		(予約ビット)	<ul style="list-style-type: none"> <li>● ノンマスクابل割り込みクリアレジスタ (NMICLR)                             <table border="1"> <tr><td>b0</td><td>NMICLR</td><td>NMI クリアビット</td></tr> <tr><td>b1</td><td>OSTCLR</td><td>OST クリアビット</td></tr> <tr><td>b2</td><td>WDTCLR</td><td>WDT クリアビット</td></tr> <tr><td>b3</td><td>IWDTCLR</td><td>IWDT クリアビット</td></tr> <tr><td>b4</td><td>LVD1CLR</td><td>LVD1 クリアビット</td></tr> <tr><td>b5</td><td>LVD2CLR</td><td>LVD2 クリアビット</td></tr> </table> </li> <li>● NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)</li> <li>● NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)</li> <li>● IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)</li> <li>● IRQ 端子デジタルフィルタ許可レジスタ 1 (IRQFLTE1)</li> <li>● IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)</li> <li>● IRQ 端子デジタルフィルタ設定レジスタ 1 (IRQFLTC1)</li> <li>● グループ m 割り込み要因レジスタ (GRPm)</li> <li>● グループ m 割り込み許可レジスタ (GENm)</li> <li>● グループ m 割り込みクリアレジスタ (GCRm)</li> <li>● ユニット選択レジスタ (SEL)</li> </ul>	b0	NMICLR	NMI クリアビット	b1	OSTCLR	OST クリアビット	b2	WDTCLR	WDT クリアビット	b3	IWDTCLR	IWDT クリアビット	b4	LVD1CLR	LVD1 クリアビット	b5	LVD2CLR	LVD2 クリアビット																																																																																																																												
		b0	NMICLR	NMI クリアビット																																																																																																																																																															
b1		(予約ビット)																																																																																																																																																																	
b2	OSTCLR	OST クリアビット																																																																																																																																																																	
b3		(予約ビット)																																																																																																																																																																	
b4		(予約ビット)																																																																																																																																																																	
b5		(予約ビット)																																																																																																																																																																	
b0	NMICLR	NMI クリアビット																																																																																																																																																																	
b1	OSTCLR	OST クリアビット																																																																																																																																																																	
b2	WDTCLR	WDT クリアビット																																																																																																																																																																	
b3	IWDTCLR	IWDT クリアビット																																																																																																																																																																	
b4	LVD1CLR	LVD1 クリアビット																																																																																																																																																																	
b5	LVD2CLR	LVD2 クリアビット																																																																																																																																																																	
バス	機能	<ul style="list-style-type: none"> <li>● バスの構成 (内部周辺バス)                             <table border="1"> <tr><td>内部周辺バス 1</td><td>DMACA、周辺機能</td><td>ICLK</td></tr> <tr><td>内部周辺バス 2</td><td>周辺機能</td><td>PCLK</td></tr> <tr><td>内部周辺バス 3</td><td>USB</td><td>PCLK</td></tr> <tr><td>内部周辺バス 4</td><td>EDMAC、ETHERC</td><td>ICLK</td></tr> <tr><td>内部周辺バス 5</td><td>周辺機能</td><td>ICLK</td></tr> <tr><td>内部周辺バス 6</td><td>内蔵 ROM、データフラッシュ</td><td>PCLK</td></tr> </table> </li> <li>● バスエラー (不正アドレスアクセス)                             <table border="1"> <thead> <tr> <th rowspan="2">アドレス</th> <th colspan="2">内蔵 ROM モード</th> </tr> <tr> <th>有効</th> <th>無効</th> </tr> </thead> <tbody> <tr><td>0000 0000h ~ 0007 FFFFh</td><td></td><td></td></tr> <tr><td>0008 0000h ~ 0009 0FFFh</td><td></td><td></td></tr> <tr><td>0009 1000h ~ 0009 FFFFh</td><td></td><td></td></tr> <tr><td>000A 0000h ~ 000A 00FFh</td><td></td><td></td></tr> <tr><td>000A 0100h ~ 000A 01FFh</td><td></td><td></td></tr> <tr><td>000A 0200h ~ 000A 02FFh</td><td></td><td></td></tr> <tr><td>000A 0300h ~ 000A 03FFh</td><td></td><td></td></tr> <tr><td>000A 0400h ~ 000A 041Fh</td><td></td><td></td></tr> <tr><td>000A 0420h ~ 000B FFFFh</td><td></td><td></td></tr> <tr><td>000C 0000h ~ 000C 043Fh</td><td></td><td></td></tr> <tr><td>000C 0440h ~ 000D FFFFh</td><td></td><td></td></tr> <tr><td>000E 0000h ~ 000F FFFFh</td><td></td><td></td></tr> <tr><td>0010 0000h ~ 0011 FFFFh</td><td></td><td></td></tr> <tr><td>0012 0000h ~ 007F 7FFFh</td><td></td><td></td></tr> <tr><td>007F 8000h ~ 007F 9FFFh</td><td></td><td></td></tr> <tr><td>007F A000h ~ 007F BFFFh</td><td></td><td></td></tr> <tr><td>007F C000h ~ 007F C4FFh</td><td></td><td></td></tr> <tr><td>007F C500h ~ 007F FBFFh</td><td></td><td></td></tr> <tr><td>007F FC00h ~ 007F FFFFh</td><td></td><td></td></tr> <tr><td>0080 0000h ~ 00DF FFFFh</td><td></td><td></td></tr> <tr><td>00E0 0000h ~ 00FF FFFFh</td><td></td><td></td></tr> <tr><td>0100 0000h ~ 07FF FFFFh</td><td>[IA]</td><td></td></tr> <tr><td>0800 0000h ~ 0FFF FFFFh</td><td>[IA]</td><td></td></tr> <tr><td>1000 0000h ~ 7FFF FFFFh</td><td></td><td></td></tr> <tr><td>8000 0000h ~ FEFF FFFFh</td><td></td><td></td></tr> <tr><td>FF00 0000h ~ FFFF FFFFh</td><td></td><td>[IA]</td></tr> </tbody> </table> </li> </ul>	内部周辺バス 1	DMACA、周辺機能	ICLK	内部周辺バス 2	周辺機能	PCLK	内部周辺バス 3	USB	PCLK	内部周辺バス 4	EDMAC、ETHERC	ICLK	内部周辺バス 5	周辺機能	ICLK	内部周辺バス 6	内蔵 ROM、データフラッシュ	PCLK	アドレス	内蔵 ROM モード		有効	無効	0000 0000h ~ 0007 FFFFh			0008 0000h ~ 0009 0FFFh			0009 1000h ~ 0009 FFFFh			000A 0000h ~ 000A 00FFh			000A 0100h ~ 000A 01FFh			000A 0200h ~ 000A 02FFh			000A 0300h ~ 000A 03FFh			000A 0400h ~ 000A 041Fh			000A 0420h ~ 000B FFFFh			000C 0000h ~ 000C 043Fh			000C 0440h ~ 000D FFFFh			000E 0000h ~ 000F FFFFh			0010 0000h ~ 0011 FFFFh			0012 0000h ~ 007F 7FFFh			007F 8000h ~ 007F 9FFFh			007F A000h ~ 007F BFFFh			007F C000h ~ 007F C4FFh			007F C500h ~ 007F FBFFh			007F FC00h ~ 007F FFFFh			0080 0000h ~ 00DF FFFFh			00E0 0000h ~ 00FF FFFFh			0100 0000h ~ 07FF FFFFh	[IA]		0800 0000h ~ 0FFF FFFFh	[IA]		1000 0000h ~ 7FFF FFFFh			8000 0000h ~ FEFF FFFFh			FF00 0000h ~ FFFF FFFFh		[IA]	<ul style="list-style-type: none"> <li>● バスの構成 (内部周辺バス)                             <table border="1"> <tr><td>内部周辺バス 1</td><td>DTC、DMAC、EXDMAC、割り込みコントローラ、バスエラー監視部</td><td>ICLK</td></tr> <tr><td>内部周辺バス 2</td><td>内部周辺バス 1、3、4、5 以外</td><td>PCLKB</td></tr> <tr><td>内部周辺バス 3</td><td>USB</td><td>PCLKB</td></tr> <tr><td>内部周辺バス 4</td><td>EDMAC、ETHERC</td><td>PCLKA</td></tr> <tr><td>内部周辺バス 5</td><td></td><td></td></tr> <tr><td>内部周辺バス 6</td><td>ROM、E2 データフラッシュ</td><td>FCLK</td></tr> </table> </li> <li>● バスエラー (不正アドレスアクセス)                             <table border="1"> <thead> <tr> <th rowspan="2">アドレス</th> <th colspan="2">内蔵 ROM モード</th> </tr> <tr> <th>有効</th> <th>無効</th> </tr> </thead> <tbody> <tr><td>0000 0000h ~ 0007 FFFFh</td><td></td><td></td></tr> <tr><td>0008 0000h ~ 0008 7FFFh</td><td></td><td></td></tr> <tr><td>0008 8000h ~ 0009 FFFFh</td><td></td><td></td></tr> <tr><td>000A 0000h ~ 000B FFFFh</td><td></td><td></td></tr> <tr><td>000C 0000h ~ 000D FFFFh</td><td></td><td></td></tr> <tr><td>000E 0000h ~ 000F FFFFh</td><td></td><td></td></tr> <tr><td>0010 0000h ~ 00FF FFFFh</td><td></td><td></td></tr> <tr><td>0100 0000h ~ 07FF FFFFh</td><td>[IA]</td><td></td></tr> <tr><td>0800 0000h ~ 0FFF FFFFh</td><td>[IA]</td><td></td></tr> <tr><td>1000 0000h ~ 7FFF FFFFh</td><td></td><td></td></tr> <tr><td>8000 0000h ~ FEFF FFFFh</td><td></td><td></td></tr> <tr><td>FF00 0000h ~ FFFF FFFFh</td><td></td><td>[IA]</td></tr> </tbody> </table> </li> </ul>	内部周辺バス 1	DTC、DMAC、EXDMAC、割り込みコントローラ、バスエラー監視部	ICLK	内部周辺バス 2	内部周辺バス 1、3、4、5 以外	PCLKB	内部周辺バス 3	USB	PCLKB	内部周辺バス 4	EDMAC、ETHERC	PCLKA	内部周辺バス 5			内部周辺バス 6	ROM、E2 データフラッシュ	FCLK	アドレス	内蔵 ROM モード		有効	無効	0000 0000h ~ 0007 FFFFh			0008 0000h ~ 0008 7FFFh			0008 8000h ~ 0009 FFFFh			000A 0000h ~ 000B FFFFh			000C 0000h ~ 000D FFFFh			000E 0000h ~ 000F FFFFh			0010 0000h ~ 00FF FFFFh			0100 0000h ~ 07FF FFFFh	[IA]		0800 0000h ~ 0FFF FFFFh	[IA]		1000 0000h ~ 7FFF FFFFh			8000 0000h ~ FEFF FFFFh			FF00 0000h ~ FFFF FFFFh		[IA]
内部周辺バス 1	DMACA、周辺機能	ICLK																																																																																																																																																																	
内部周辺バス 2	周辺機能	PCLK																																																																																																																																																																	
内部周辺バス 3	USB	PCLK																																																																																																																																																																	
内部周辺バス 4	EDMAC、ETHERC	ICLK																																																																																																																																																																	
内部周辺バス 5	周辺機能	ICLK																																																																																																																																																																	
内部周辺バス 6	内蔵 ROM、データフラッシュ	PCLK																																																																																																																																																																	
アドレス	内蔵 ROM モード																																																																																																																																																																		
	有効	無効																																																																																																																																																																	
0000 0000h ~ 0007 FFFFh																																																																																																																																																																			
0008 0000h ~ 0009 0FFFh																																																																																																																																																																			
0009 1000h ~ 0009 FFFFh																																																																																																																																																																			
000A 0000h ~ 000A 00FFh																																																																																																																																																																			
000A 0100h ~ 000A 01FFh																																																																																																																																																																			
000A 0200h ~ 000A 02FFh																																																																																																																																																																			
000A 0300h ~ 000A 03FFh																																																																																																																																																																			
000A 0400h ~ 000A 041Fh																																																																																																																																																																			
000A 0420h ~ 000B FFFFh																																																																																																																																																																			
000C 0000h ~ 000C 043Fh																																																																																																																																																																			
000C 0440h ~ 000D FFFFh																																																																																																																																																																			
000E 0000h ~ 000F FFFFh																																																																																																																																																																			
0010 0000h ~ 0011 FFFFh																																																																																																																																																																			
0012 0000h ~ 007F 7FFFh																																																																																																																																																																			
007F 8000h ~ 007F 9FFFh																																																																																																																																																																			
007F A000h ~ 007F BFFFh																																																																																																																																																																			
007F C000h ~ 007F C4FFh																																																																																																																																																																			
007F C500h ~ 007F FBFFh																																																																																																																																																																			
007F FC00h ~ 007F FFFFh																																																																																																																																																																			
0080 0000h ~ 00DF FFFFh																																																																																																																																																																			
00E0 0000h ~ 00FF FFFFh																																																																																																																																																																			
0100 0000h ~ 07FF FFFFh	[IA]																																																																																																																																																																		
0800 0000h ~ 0FFF FFFFh	[IA]																																																																																																																																																																		
1000 0000h ~ 7FFF FFFFh																																																																																																																																																																			
8000 0000h ~ FEFF FFFFh																																																																																																																																																																			
FF00 0000h ~ FFFF FFFFh		[IA]																																																																																																																																																																	
内部周辺バス 1	DTC、DMAC、EXDMAC、割り込みコントローラ、バスエラー監視部	ICLK																																																																																																																																																																	
内部周辺バス 2	内部周辺バス 1、3、4、5 以外	PCLKB																																																																																																																																																																	
内部周辺バス 3	USB	PCLKB																																																																																																																																																																	
内部周辺バス 4	EDMAC、ETHERC	PCLKA																																																																																																																																																																	
内部周辺バス 5																																																																																																																																																																			
内部周辺バス 6	ROM、E2 データフラッシュ	FCLK																																																																																																																																																																	
アドレス	内蔵 ROM モード																																																																																																																																																																		
	有効	無効																																																																																																																																																																	
0000 0000h ~ 0007 FFFFh																																																																																																																																																																			
0008 0000h ~ 0008 7FFFh																																																																																																																																																																			
0008 8000h ~ 0009 FFFFh																																																																																																																																																																			
000A 0000h ~ 000B FFFFh																																																																																																																																																																			
000C 0000h ~ 000D FFFFh																																																																																																																																																																			
000E 0000h ~ 000F FFFFh																																																																																																																																																																			
0010 0000h ~ 00FF FFFFh																																																																																																																																																																			
0100 0000h ~ 07FF FFFFh	[IA]																																																																																																																																																																		
0800 0000h ~ 0FFF FFFFh	[IA]																																																																																																																																																																		
1000 0000h ~ 7FFF FFFFh																																																																																																																																																																			
8000 0000h ~ FEFF FFFFh																																																																																																																																																																			
FF00 0000h ~ FFFF FFFFh		[IA]																																																																																																																																																																	
		● マルチプレクスバス機能																																																																																																																																																																	

表2.15 機能および仕様の相違点(15)

項目		RX62N グループ	RX63N グループ																																																																																														
バス	レジスタ/ ビット	<ul style="list-style-type: none"> <li>● CSn 制御レジスタ (CSnCR)                             <table border="1"> <tr><td>b0</td><td>EXENB</td><td>動作許可ビット</td></tr> <tr><td>b4</td><td>BSIZE[1:0]</td><td>外部バス幅選択ビット</td></tr> <tr><td>b5</td><td></td><td></td></tr> <tr><td>b8</td><td>EMODE</td><td>エンディアンモード指定ビット</td></tr> <tr><td>b12</td><td></td><td>(予約ビット)</td></tr> </table> </li> </ul>	b0	EXENB	動作許可ビット	b4	BSIZE[1:0]	外部バス幅選択ビット	b5			b8	EMODE	エンディアンモード指定ビット	b12		(予約ビット)	<ul style="list-style-type: none"> <li>● CSn 制御レジスタ (CSnCR)                             <table border="1"> <tr><td>b0</td><td>EXENB</td><td>動作許可ビット</td></tr> <tr><td>b4</td><td>BSIZE[1:0]</td><td>外部バス幅選択ビット</td></tr> <tr><td>b5</td><td></td><td></td></tr> <tr><td>b8</td><td>EMODE</td><td>エンディアンモード指定ビット</td></tr> <tr><td>b12</td><td>MPXEN</td><td>アドレス/データマルチプレクス I/O インタフェース選択ビット</td></tr> </table> </li> </ul>	b0	EXENB	動作許可ビット	b4	BSIZE[1:0]	外部バス幅選択ビット	b5			b8	EMODE	エンディアンモード指定ビット	b12	MPXEN	アドレス/データマルチプレクス I/O インタフェース選択ビット																																																																
		b0	EXENB	動作許可ビット																																																																																													
b4	BSIZE[1:0]	外部バス幅選択ビット																																																																																															
b5																																																																																																	
b8	EMODE	エンディアンモード指定ビット																																																																																															
b12		(予約ビット)																																																																																															
b0	EXENB	動作許可ビット																																																																																															
b4	BSIZE[1:0]	外部バス幅選択ビット																																																																																															
b5																																																																																																	
b8	EMODE	エンディアンモード指定ビット																																																																																															
b12	MPXEN	アドレス/データマルチプレクス I/O インタフェース選択ビット																																																																																															
<ul style="list-style-type: none"> <li>● CSn ウェイト制御レジスタ 2 (CSnWCR2)                             <table border="1"> <tr><td>b0</td><td>CSROFF</td><td>リード時 CS 延長サイクル選択ビット</td></tr> <tr><td>b2</td><td>[2:0]</td><td></td></tr> <tr><td>b4</td><td>CSWOFF</td><td>ライト時 CS 延長サイクル選択ビット</td></tr> <tr><td>b5</td><td>[2:0]</td><td></td></tr> <tr><td>b8</td><td>WDOFF[2:0]</td><td>ライトデータ出力延長サイクル選択ビット</td></tr> <tr><td>b10</td><td></td><td></td></tr> <tr><td>b12</td><td></td><td>(予約ビット)</td></tr> <tr><td>b13</td><td></td><td></td></tr> <tr><td>b16</td><td>RDON[2:0]</td><td>RD アサートウェイト選択ビット</td></tr> <tr><td>b18</td><td></td><td></td></tr> <tr><td>b20</td><td>WRON[2:0]</td><td>WR アサートウェイト選択ビット</td></tr> <tr><td>b22</td><td></td><td></td></tr> <tr><td>b24</td><td>WDON[2:0]</td><td>ライトデータ出力ウェイト選択ビット</td></tr> <tr><td>b26</td><td></td><td></td></tr> <tr><td>b28</td><td>CSON[2:0]</td><td>CS アサートウェイト選択ビット</td></tr> <tr><td>b30</td><td></td><td></td></tr> </table> </li> </ul>	b0	CSROFF	リード時 CS 延長サイクル選択ビット	b2	[2:0]		b4	CSWOFF	ライト時 CS 延長サイクル選択ビット	b5	[2:0]		b8	WDOFF[2:0]	ライトデータ出力延長サイクル選択ビット	b10			b12		(予約ビット)	b13			b16	RDON[2:0]	RD アサートウェイト選択ビット	b18			b20	WRON[2:0]	WR アサートウェイト選択ビット	b22			b24	WDON[2:0]	ライトデータ出力ウェイト選択ビット	b26			b28	CSON[2:0]	CS アサートウェイト選択ビット	b30			<ul style="list-style-type: none"> <li>● CS リカバリサイクル挿入許可レジスタ (CSRECEN)</li> <li>● CSn ウェイト制御レジスタ 2 (CSnWCR2)                             <table border="1"> <tr><td>b0</td><td>CSROFF</td><td>リード時 CS 延長サイクル選択ビット</td></tr> <tr><td>b2</td><td>[2:0]</td><td></td></tr> <tr><td>b4</td><td>CSWOFF</td><td>ライト時 CS 延長サイクル選択ビット</td></tr> <tr><td>b5</td><td>[2:0]</td><td></td></tr> <tr><td>b8</td><td>WDOFF[2:0]</td><td>ライトデータ出力延長サイクル選択ビット</td></tr> <tr><td>b10</td><td></td><td></td></tr> <tr><td>b12</td><td>AWAIT[1:0]</td><td>アドレスサイクルウェイト選択ビット</td></tr> <tr><td>b13</td><td></td><td></td></tr> <tr><td>b16</td><td>RDON[2:0]</td><td>RD アサートウェイト選択ビット</td></tr> <tr><td>b18</td><td></td><td></td></tr> <tr><td>b20</td><td>WRON[2:0]</td><td>WR アサートウェイト選択ビット</td></tr> <tr><td>b22</td><td></td><td></td></tr> <tr><td>b24</td><td>WDON[2:0]</td><td>ライトデータ出力ウェイト選択ビット</td></tr> <tr><td>b26</td><td></td><td></td></tr> <tr><td>b28</td><td>CSON[2:0]</td><td>CS アサートウェイト選択ビット</td></tr> <tr><td>b30</td><td></td><td></td></tr> </table> </li> </ul>	b0	CSROFF	リード時 CS 延長サイクル選択ビット	b2	[2:0]		b4	CSWOFF	ライト時 CS 延長サイクル選択ビット	b5	[2:0]		b8	WDOFF[2:0]	ライトデータ出力延長サイクル選択ビット	b10			b12	AWAIT[1:0]	アドレスサイクルウェイト選択ビット	b13			b16	RDON[2:0]	RD アサートウェイト選択ビット	b18			b20	WRON[2:0]	WR アサートウェイト選択ビット	b22			b24	WDON[2:0]	ライトデータ出力ウェイト選択ビット	b26			b28	CSON[2:0]	CS アサートウェイト選択ビット	b30		
b0	CSROFF	リード時 CS 延長サイクル選択ビット																																																																																															
b2	[2:0]																																																																																																
b4	CSWOFF	ライト時 CS 延長サイクル選択ビット																																																																																															
b5	[2:0]																																																																																																
b8	WDOFF[2:0]	ライトデータ出力延長サイクル選択ビット																																																																																															
b10																																																																																																	
b12		(予約ビット)																																																																																															
b13																																																																																																	
b16	RDON[2:0]	RD アサートウェイト選択ビット																																																																																															
b18																																																																																																	
b20	WRON[2:0]	WR アサートウェイト選択ビット																																																																																															
b22																																																																																																	
b24	WDON[2:0]	ライトデータ出力ウェイト選択ビット																																																																																															
b26																																																																																																	
b28	CSON[2:0]	CS アサートウェイト選択ビット																																																																																															
b30																																																																																																	
b0	CSROFF	リード時 CS 延長サイクル選択ビット																																																																																															
b2	[2:0]																																																																																																
b4	CSWOFF	ライト時 CS 延長サイクル選択ビット																																																																																															
b5	[2:0]																																																																																																
b8	WDOFF[2:0]	ライトデータ出力延長サイクル選択ビット																																																																																															
b10																																																																																																	
b12	AWAIT[1:0]	アドレスサイクルウェイト選択ビット																																																																																															
b13																																																																																																	
b16	RDON[2:0]	RD アサートウェイト選択ビット																																																																																															
b18																																																																																																	
b20	WRON[2:0]	WR アサートウェイト選択ビット																																																																																															
b22																																																																																																	
b24	WDON[2:0]	ライトデータ出力ウェイト選択ビット																																																																																															
b26																																																																																																	
b28	CSON[2:0]	CS アサートウェイト選択ビット																																																																																															
b30																																																																																																	
DMA コントローラ	レジスタ/ ビット	<ul style="list-style-type: none"> <li>● DMA 転送カウントレジスタ (DMCRA)                             <table border="1"> <tr><td>ブロック転送モード</td><td>転送回数</td><td>1 ~ 1023</td></tr> </table> <ul style="list-style-type: none"> <li>・000h は設定禁止</li> </ul> </li> <li>● DMA ブロック転送カウントレジスタ (DMCRB)                             <ul style="list-style-type: none"> <li>・ノーマル転送モード設定時は 3FFh を設定してください。</li> </ul> </li> <li>● 転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット (DMINT.SARIE)                             <ul style="list-style-type: none"> <li>・記載なし</li> </ul> </li> <li>● DMACA モジュール起動レジスタ (DMAST)                             <ul style="list-style-type: none"> <li>・DMA 転送を行うには、DMST ビットを "1" にして、かつ、各チャンネルの DMCNT.DTE ビットを "1" にしてください。</li> </ul> </li> </ul>	ブロック転送モード	転送回数	1 ~ 1023	<ul style="list-style-type: none"> <li>● DMA 転送カウントレジスタ (DMCRA)                             <table border="1"> <tr><td>ブロック転送モード</td><td>転送回数</td><td>1 ~ 1024</td></tr> </table> <ul style="list-style-type: none"> <li>・制限なし</li> </ul> </li> <li>● DMA ブロック転送カウントレジスタ (DMCRB)                             <ul style="list-style-type: none"> <li>・ノーマル転送モード設定時は DMCRB レジスタを使用しません。設定値は無効です。</li> </ul> </li> <li>● 転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット (DMINT.SARIE)                             <ul style="list-style-type: none"> <li>・割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを "1" にセットすると、転送終了した状態から再び転送を開始することができます。</li> </ul> </li> <li>● DMA モジュール起動レジスタ (DMAST)                             <ul style="list-style-type: none"> <li>・複数チャンネルの DMACm.DMCNT.DTE ビットに "1" (DMA 転送を許可) を書いた後に DMST ビットを "1" (DMAC 起動を許可) にすると、複数チャンネルを同時に転送要求受け付け可能状態にすることができます。</li> <li>また、DMST ビットを DMAC 動作中に "0" にすると、実行中の 1 転送要求に対するデータ転送が終了した後に DMA 動作が一時停止します。この状態で、再度 DMST ビットを "1" にすることにより継続して DMA 転送を行うことが可能です。</li> </ul> </li> </ul>	ブロック転送モード	転送回数	1 ~ 1024																																																																																								
		ブロック転送モード	転送回数	1 ~ 1023																																																																																													
ブロック転送モード	転送回数	1 ~ 1024																																																																																															
<ul style="list-style-type: none"> <li>● EXDMA 転送カウントレジスタ (EDMCRA)                             <table border="1"> <tr><td>リピート転送モード</td><td>転送回数</td><td>1 ~ 1023</td></tr> <tr><td>ブロック転送モード</td><td>転送回数</td><td>1 ~ 1023</td></tr> <tr><td>クラスタ転送モード</td><td>クラスタサイズ</td><td>1 ~ 7</td></tr> </table> <ul style="list-style-type: none"> <li>・000h は設定禁止</li> </ul> </li> <li>● EXDMA ブロック転送カウントレジスタ (EDMCRB)                             <ul style="list-style-type: none"> <li>・ノーマル転送モード設定時は 3FFh を設定してください。</li> </ul> </li> <li>● 転送要求選択ビット (EDMTMD.DCTG[1:0])                             <ul style="list-style-type: none"> <li>・11b: 内部周辺モジュール (MTU1 のコンペアマッチ) による DMA 転送要求</li> </ul> </li> <li>● EXDMA 出力設定レジスタ (EDMOMD)                             <table border="1"> <tr><td>b0</td><td></td><td>(予約ビット)</td></tr> <tr><td>b1</td><td>DACKW</td><td>EDCAKn 端子ネゲートウェイトビット</td></tr> <tr><td>b2</td><td>DACKE</td><td>EDACKn 端子出力許可ビット</td></tr> <tr><td>b3</td><td>DACKS</td><td>EDACKn 端子極性設定ビット</td></tr> </table> </li> </ul>	リピート転送モード	転送回数	1 ~ 1023	ブロック転送モード	転送回数	1 ~ 1023	クラスタ転送モード	クラスタサイズ	1 ~ 7	b0		(予約ビット)	b1	DACKW	EDCAKn 端子ネゲートウェイトビット	b2	DACKE	EDACKn 端子出力許可ビット	b3	DACKS	EDACKn 端子極性設定ビット	<ul style="list-style-type: none"> <li>● EXDMA 転送カウントレジスタ (EDMCRA)                             <table border="1"> <tr><td>リピート転送モード</td><td>転送回数</td><td>1 ~ 1024</td></tr> <tr><td>ブロック転送モード</td><td>転送回数</td><td>1 ~ 1024</td></tr> <tr><td>クラスタ転送モード</td><td>クラスタサイズ</td><td>1 ~ 8</td></tr> </table> <ul style="list-style-type: none"> <li>・制限なし</li> </ul> </li> <li>● EXDMA ブロック転送カウントレジスタ (EDMCRB)                             <ul style="list-style-type: none"> <li>・ノーマル転送モード設定時は EDMCRB レジスタを使用しません。設定値は無効です。</li> </ul> </li> <li>● 転送要求選択ビット (EDMTMD.DCTG[1:0])                             <ul style="list-style-type: none"> <li>・11b: 周辺モジュール (MTU1 あるいは TPU7 のコンペアマッチ) からの DMA 転送要求</li> </ul> </li> <li>● EXDMA 出力設定レジスタ (EDMOMD)                             <table border="1"> <tr><td>b0</td><td>DACKSEL</td><td>EDACKn 端子トグル選択ビット</td></tr> <tr><td>b1</td><td>DACKW</td><td>EDCAKn 端子ネゲートウェイトビット</td></tr> <tr><td>b2</td><td>DACKE</td><td>EDACKn 端子出力許可ビット</td></tr> <tr><td>b3</td><td>DACKS</td><td>EDACKn 端子極性設定ビット</td></tr> </table> </li> </ul>	リピート転送モード	転送回数	1 ~ 1024	ブロック転送モード	転送回数	1 ~ 1024	クラスタ転送モード	クラスタサイズ	1 ~ 8	b0	DACKSEL	EDACKn 端子トグル選択ビット	b1	DACKW	EDCAKn 端子ネゲートウェイトビット	b2	DACKE	EDACKn 端子出力許可ビット	b3	DACKS	EDACKn 端子極性設定ビット																																																						
リピート転送モード	転送回数	1 ~ 1023																																																																																															
ブロック転送モード	転送回数	1 ~ 1023																																																																																															
クラスタ転送モード	クラスタサイズ	1 ~ 7																																																																																															
b0		(予約ビット)																																																																																															
b1	DACKW	EDCAKn 端子ネゲートウェイトビット																																																																																															
b2	DACKE	EDACKn 端子出力許可ビット																																																																																															
b3	DACKS	EDACKn 端子極性設定ビット																																																																																															
リピート転送モード	転送回数	1 ~ 1024																																																																																															
ブロック転送モード	転送回数	1 ~ 1024																																																																																															
クラスタ転送モード	クラスタサイズ	1 ~ 8																																																																																															
b0	DACKSEL	EDACKn 端子トグル選択ビット																																																																																															
b1	DACKW	EDCAKn 端子ネゲートウェイトビット																																																																																															
b2	DACKE	EDACKn 端子出力許可ビット																																																																																															
b3	DACKS	EDACKn 端子極性設定ビット																																																																																															
EXDMA コントローラ	レジスタ/ ビット	<ul style="list-style-type: none"> <li>● EXDMA 転送カウントレジスタ (EDMCRA)                             <table border="1"> <tr><td>リピート転送モード</td><td>転送回数</td><td>1 ~ 1023</td></tr> <tr><td>ブロック転送モード</td><td>転送回数</td><td>1 ~ 1023</td></tr> <tr><td>クラスタ転送モード</td><td>クラスタサイズ</td><td>1 ~ 7</td></tr> </table> <ul style="list-style-type: none"> <li>・000h は設定禁止</li> </ul> </li> <li>● EXDMA ブロック転送カウントレジスタ (EDMCRB)                             <ul style="list-style-type: none"> <li>・ノーマル転送モード設定時は 3FFh を設定してください。</li> </ul> </li> <li>● 転送要求選択ビット (EDMTMD.DCTG[1:0])                             <ul style="list-style-type: none"> <li>・11b: 内部周辺モジュール (MTU1 のコンペアマッチ) による DMA 転送要求</li> </ul> </li> <li>● EXDMA 出力設定レジスタ (EDMOMD)                             <table border="1"> <tr><td>b0</td><td></td><td>(予約ビット)</td></tr> <tr><td>b1</td><td>DACKW</td><td>EDCAKn 端子ネゲートウェイトビット</td></tr> <tr><td>b2</td><td>DACKE</td><td>EDACKn 端子出力許可ビット</td></tr> <tr><td>b3</td><td>DACKS</td><td>EDACKn 端子極性設定ビット</td></tr> </table> </li> </ul>	リピート転送モード	転送回数	1 ~ 1023	ブロック転送モード	転送回数	1 ~ 1023	クラスタ転送モード	クラスタサイズ	1 ~ 7	b0		(予約ビット)	b1	DACKW	EDCAKn 端子ネゲートウェイトビット	b2	DACKE	EDACKn 端子出力許可ビット	b3	DACKS	EDACKn 端子極性設定ビット	<ul style="list-style-type: none"> <li>● EXDMA 転送カウントレジスタ (EDMCRA)                             <table border="1"> <tr><td>リピート転送モード</td><td>転送回数</td><td>1 ~ 1024</td></tr> <tr><td>ブロック転送モード</td><td>転送回数</td><td>1 ~ 1024</td></tr> <tr><td>クラスタ転送モード</td><td>クラスタサイズ</td><td>1 ~ 8</td></tr> </table> <ul style="list-style-type: none"> <li>・制限なし</li> </ul> </li> <li>● EXDMA ブロック転送カウントレジスタ (EDMCRB)                             <ul style="list-style-type: none"> <li>・ノーマル転送モード設定時は EDMCRB レジスタを使用しません。設定値は無効です。</li> </ul> </li> <li>● 転送要求選択ビット (EDMTMD.DCTG[1:0])                             <ul style="list-style-type: none"> <li>・11b: 周辺モジュール (MTU1 あるいは TPU7 のコンペアマッチ) からの DMA 転送要求</li> </ul> </li> <li>● EXDMA 出力設定レジスタ (EDMOMD)                             <table border="1"> <tr><td>b0</td><td>DACKSEL</td><td>EDACKn 端子トグル選択ビット</td></tr> <tr><td>b1</td><td>DACKW</td><td>EDCAKn 端子ネゲートウェイトビット</td></tr> <tr><td>b2</td><td>DACKE</td><td>EDACKn 端子出力許可ビット</td></tr> <tr><td>b3</td><td>DACKS</td><td>EDACKn 端子極性設定ビット</td></tr> </table> </li> </ul>	リピート転送モード	転送回数	1 ~ 1024	ブロック転送モード	転送回数	1 ~ 1024	クラスタ転送モード	クラスタサイズ	1 ~ 8	b0	DACKSEL	EDACKn 端子トグル選択ビット	b1	DACKW	EDCAKn 端子ネゲートウェイトビット	b2	DACKE	EDACKn 端子出力許可ビット	b3	DACKS	EDACKn 端子極性設定ビット																																																				
リピート転送モード	転送回数	1 ~ 1023																																																																																															
ブロック転送モード	転送回数	1 ~ 1023																																																																																															
クラスタ転送モード	クラスタサイズ	1 ~ 7																																																																																															
b0		(予約ビット)																																																																																															
b1	DACKW	EDCAKn 端子ネゲートウェイトビット																																																																																															
b2	DACKE	EDACKn 端子出力許可ビット																																																																																															
b3	DACKS	EDACKn 端子極性設定ビット																																																																																															
リピート転送モード	転送回数	1 ~ 1024																																																																																															
ブロック転送モード	転送回数	1 ~ 1024																																																																																															
クラスタ転送モード	クラスタサイズ	1 ~ 8																																																																																															
b0	DACKSEL	EDACKn 端子トグル選択ビット																																																																																															
b1	DACKW	EDCAKn 端子ネゲートウェイトビット																																																																																															
b2	DACKE	EDACKn 端子出力許可ビット																																																																																															
b3	DACKS	EDACKn 端子極性設定ビット																																																																																															

表.2.16 機能および仕様の相違点(16)

項目		RX62N グループ	RX63N グループ																																																												
DTC コントローラ	レジスタ/ ビット	<ul style="list-style-type: none"> <li>● DTC 転送カウントレジスタ A (GRA)                             <table border="1"> <tr> <td>ブロック転送モード</td> <td>転送回数</td> <td>1~255</td> </tr> </table> <ul style="list-style-type: none"> <li>・ 00h は設定禁止</li> </ul> </li> <li>● DTC 転送カウントレジスタ B (CRB)                             <ul style="list-style-type: none"> <li>・ ノーマル転送モードおよびリビート転送モード設定時は FFFFh を設定してください。</li> </ul> </li> <li>● 16.3 起動要因                             <ul style="list-style-type: none"> <li>・ 記載なし</li> </ul> </li> <li>● 16.9.3 割り込みコントローラの DTC 起動許可レジスタ (ICU.DTCERi) の設定                             <ul style="list-style-type: none"> <li>・ DTC 起動許可レジスタ (ICU.DTCERi レジスタ (i = 割り込みベクタ番号)) の設定は、DTCST.DTCST ビットが“0” (DTC モジュール停止) のときに行なってください。</li> </ul> </li> </ul>	ブロック転送モード	転送回数	1~255	<ul style="list-style-type: none"> <li>● DTC 転送カウントレジスタ A (GRA)                             <table border="1"> <tr> <td>ブロック転送モード</td> <td>転送回数</td> <td>1~256</td> </tr> </table> <ul style="list-style-type: none"> <li>・ 制限なし</li> </ul> </li> <li>● DTC 転送カウントレジスタ B (CRB)                             <ul style="list-style-type: none"> <li>・ ノーマル転送モードおよびリビート転送モード設定時は CRB レジスタを使用しません。設定値は無効です。</li> </ul> </li> <li>● 20.3 起動要因                             <ul style="list-style-type: none"> <li>・ DTC が一度、起動要求を受け付けると、(中略) 最も優先順位の高い要求が受け付けられます。</li> </ul> </li> <li>● 20.9.3 割り込みコントローラの DTC 起動許可レジスタ (ICU.DTCERn) の設定                             <ul style="list-style-type: none"> <li>・ 記載なし</li> </ul> </li> </ul>	ブロック転送モード	転送回数	1~256																																																						
		ブロック転送モード	転送回数	1~255																																																											
ブロック転送モード	転送回数	1~256																																																													
I/O ポート	機能	<ul style="list-style-type: none"> <li>● 未使用端子の処理                             <table border="1"> <thead> <tr> <th>端子名</th> <th>処理内容</th> </tr> </thead> <tbody> <tr> <td>ポート 0~9 ポート A~E</td> <td> <ul style="list-style-type: none"> <li>・ 端子ごとに抵抗を介して VCC に接続 (プルアップ)、または抵抗を介して VSS に接続 (プルダウン)</li> <li>・ PORTn.ICR を初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1)</li> </ul> </td> </tr> </tbody> </table> <p>注1. PORTn.ICR レジスタを初期値から変更しないでください。変更した場合、貫通電流が流れる可能性があります。</p> </li> </ul>	端子名	処理内容	ポート 0~9 ポート A~E	<ul style="list-style-type: none"> <li>・ 端子ごとに抵抗を介して VCC に接続 (プルアップ)、または抵抗を介して VSS に接続 (プルダウン)</li> <li>・ PORTn.ICR を初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1)</li> </ul>	<ul style="list-style-type: none"> <li>● 概要                             <ul style="list-style-type: none"> <li>・ 64 ピン、48 ピンパッケージ製品にはそれぞれ、一部端子の汎用入出力機能を切り替えて PORTC を 8 ビットのポートとして使用することが可能なポート切り替えレジスタ A (PSRA)、ポート切り替えレジスタ B (PSRB) を備えています。</li> </ul> </li> <li>● 未使用端子の処理                             <table border="1"> <thead> <tr> <th>端子名</th> <th>処理内容</th> </tr> </thead> <tbody> <tr> <td>ポート 0~9 ポート A~G ポート J</td> <td> <ul style="list-style-type: none"> <li>・ 入力に設定 (PORTn.PDR ビット=“0”) し、1 端子ごと抵抗を介して VCC に接続 (プルアップ)、または 1 端子ごと抵抗を介して VSS に接続 (プルダウン) (注1)</li> <li>・ 出力に設定 (PORTn.PDR ビット=“1”) し、端子を開放 (注1) (注2)</li> </ul> </td> </tr> </tbody> </table> <p>注1. PORTn.PMR ビットを“0”、および PmnPFS.ISEL, ASEL ビットを“0”にしてください。</p> <p>注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。</p> </li> <li>● 176 ピン未満のピン数の製品について                             <p>176 ピン未満のピン数の製品については、176 ピンに対して存在しないポート m の端子のポート方向レジスタ (PDR) のビットは予約ビットです。“1” (出力) を書いてください。</p> </li> </ul>	端子名	処理内容	ポート 0~9 ポート A~G ポート J	<ul style="list-style-type: none"> <li>・ 入力に設定 (PORTn.PDR ビット=“0”) し、1 端子ごと抵抗を介して VCC に接続 (プルアップ)、または 1 端子ごと抵抗を介して VSS に接続 (プルダウン) (注1)</li> <li>・ 出力に設定 (PORTn.PDR ビット=“1”) し、端子を開放 (注1) (注2)</li> </ul>																																																				
端子名	処理内容																																																														
ポート 0~9 ポート A~E	<ul style="list-style-type: none"> <li>・ 端子ごとに抵抗を介して VCC に接続 (プルアップ)、または抵抗を介して VSS に接続 (プルダウン)</li> <li>・ PORTn.ICR を初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1)</li> </ul>																																																														
端子名	処理内容																																																														
ポート 0~9 ポート A~G ポート J	<ul style="list-style-type: none"> <li>・ 入力に設定 (PORTn.PDR ビット=“0”) し、1 端子ごと抵抗を介して VCC に接続 (プルアップ)、または 1 端子ごと抵抗を介して VSS に接続 (プルダウン) (注1)</li> <li>・ 出力に設定 (PORTn.PDR ビット=“1”) し、端子を開放 (注1) (注2)</li> </ul>																																																														
	レジスタ/ ビット	<ul style="list-style-type: none"> <li>● データディレクションレジスタ (DDR)</li> <li>● データレジスタ (DR)</li> <li>● ポートレジスタ (PORT)</li> <li>● 入力バッファコントロールレジスタ (ICR)</li> <li>● オープンドレインコントロールレジスタ (ODR)                             <table border="1"> <tr> <td>b0</td> <td>B0</td> <td>Pn0 出力形態指定ビット</td> </tr> <tr> <td>b1</td> <td>B1</td> <td>Pn1 出力形態指定ビット</td> </tr> <tr> <td>b2</td> <td>B2</td> <td>Pn2 出力形態指定ビット</td> </tr> <tr> <td>b3</td> <td>B3</td> <td>Pn3 出力形態指定ビット</td> </tr> <tr> <td>b4</td> <td>B4</td> <td>Pn4 出力形態指定ビット</td> </tr> <tr> <td>b5</td> <td>B5</td> <td>Pn5 出力形態指定ビット</td> </tr> <tr> <td>b6</td> <td>B6</td> <td>Pn6 出力形態指定ビット</td> </tr> <tr> <td>b7</td> <td>B7</td> <td>Pn7 出力形態指定ビット</td> </tr> </table> </li> <li>● プルアップ抵抗コントロールレジスタ (PCR)</li> </ul>	b0	B0	Pn0 出力形態指定ビット	b1	B1	Pn1 出力形態指定ビット	b2	B2	Pn2 出力形態指定ビット	b3	B3	Pn3 出力形態指定ビット	b4	B4	Pn4 出力形態指定ビット	b5	B5	Pn5 出力形態指定ビット	b6	B6	Pn6 出力形態指定ビット	b7	B7	Pn7 出力形態指定ビット	<ul style="list-style-type: none"> <li>● ポート方向レジスタ (PDR)</li> <li>● ポート出力データレジスタ (PODR)</li> <li>● ポート入力データレジスタ (PIDR)</li> <li>● ポートモードレジスタ (PMR)</li> <li>● オープンドレイン制御レジスタ 0 (ODR0)                             <table border="1"> <tr> <td>b0</td> <td>B0</td> <td>Pm0 出力形態指定ビット</td> </tr> <tr> <td>b1</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b2</td> <td>B2</td> <td>Pm1 出力形態指定ビット</td> </tr> <tr> <td>b3</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b4</td> <td>B4</td> <td>Pm2 出力形態指定ビット</td> </tr> <tr> <td>b5</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b6</td> <td>B6</td> <td>Pm3 出力形態指定ビット</td> </tr> <tr> <td>b7</td> <td></td> <td>(予約ビット)</td> </tr> </table> </li> <li>● オープンドレイン制御レジスタ 1 (ODR1)                             <table border="1"> <tr> <td>b0</td> <td>B0</td> <td>Pm4 出力形態指定ビット</td> </tr> <tr> <td>b2</td> <td>B2</td> <td>Pm5 出力形態指定ビット</td> </tr> <tr> <td>b4</td> <td>B4</td> <td>Pm6 出力形態指定ビット</td> </tr> <tr> <td>b6</td> <td>B6</td> <td>Pm7 出力形態指定ビット</td> </tr> </table> </li> <li>● プルアップ制御レジスタ (PCR)</li> <li>● 駆動能力制御レジスタ (DSCR)</li> <li>● ポート切り替えレジスタ A (PSRA)</li> <li>● ポート切り替えレジスタ B (PSRB)</li> </ul>	b0	B0	Pm0 出力形態指定ビット	b1		(予約ビット)	b2	B2	Pm1 出力形態指定ビット	b3		(予約ビット)	b4	B4	Pm2 出力形態指定ビット	b5		(予約ビット)	b6	B6	Pm3 出力形態指定ビット	b7		(予約ビット)	b0	B0	Pm4 出力形態指定ビット	b2	B2	Pm5 出力形態指定ビット	b4	B4	Pm6 出力形態指定ビット	b6	B6	Pm7 出力形態指定ビット
		b0	B0	Pn0 出力形態指定ビット																																																											
		b1	B1	Pn1 出力形態指定ビット																																																											
		b2	B2	Pn2 出力形態指定ビット																																																											
		b3	B3	Pn3 出力形態指定ビット																																																											
		b4	B4	Pn4 出力形態指定ビット																																																											
		b5	B5	Pn5 出力形態指定ビット																																																											
		b6	B6	Pn6 出力形態指定ビット																																																											
		b7	B7	Pn7 出力形態指定ビット																																																											
		b0	B0	Pm0 出力形態指定ビット																																																											
b1		(予約ビット)																																																													
b2	B2	Pm1 出力形態指定ビット																																																													
b3		(予約ビット)																																																													
b4	B4	Pm2 出力形態指定ビット																																																													
b5		(予約ビット)																																																													
b6	B6	Pm3 出力形態指定ビット																																																													
b7		(予約ビット)																																																													
b0	B0	Pm4 出力形態指定ビット																																																													
b2	B2	Pm5 出力形態指定ビット																																																													
b4	B4	Pm6 出力形態指定ビット																																																													
b6	B6	Pm7 出力形態指定ビット																																																													

表2.17 機能および仕様の相違点(17)

項目		RX62N グループ	RX63N グループ
I/O ポート	レジスタ/ ビット	<ul style="list-style-type: none"> <li>● ポートファンクションレジスタ 0 (PF0CSE)</li> <li>● ポートファンクションレジスタ 1 (PF1CSS)</li> <li>● ポートファンクションレジスタ 2 (PF2CSS)</li> <li>● ポートファンクションレジスタ 3 (PF3BUS)</li> <li>● ポートファンクションレジスタ 4 (PF4BUS)</li> <li>● ポートファンクションレジスタ 5 (PF5BUS)</li> <li>● ポートファンクションレジスタ 6 (PF6BUS)</li> <li>● ポートファンクションレジスタ 7 (PF7DMA)</li> <li>● ポートファンクションレジスタ 8 (PF8IRQ)</li> <li>● ポートファンクションレジスタ 9 (PF9IRQ)</li> <li>● ポートファンクションレジスタ A (PFAADC)</li> <li>● ポートファンクションレジスタ B (PFBTMR)</li> <li>● ポートファンクションレジスタ C (PFCMTU)</li> <li>● ポートファンクションレジスタ D (PFDMTU)</li> <li>● ポートファンクションレジスタ E (PFENET)</li> <li>● ポートファンクションレジスタ F (PFFSCI)</li> <li>● ポートファンクションレジスタ G (PFGSPI)</li> <li>● ポートファンクションレジスタ H (PFHSPI)</li> <li>● ポートファンクションレジスタ J (PFJCAN)</li> <li>● ポートファンクションレジスタ K (PFKUSB)</li> <li>● ポートファンクションレジスタ L (PFLUSB)</li> <li>● ポートファンクションレジスタ M (PFMPOE)</li> <li>● ポートファンクションレジスタ N (PFNPOE)</li> </ul>	
マルチファンクションピンコントローラ	レジスタ/ ビット		<ul style="list-style-type: none"> <li>● 書き込みプロテクトレジスタ (PWPR)</li> <li>● P0n 端子機能制御レジスタ (P0nPFS)</li> <li>● P1n 端子機能制御レジスタ (P1nPFS)</li> <li>● P2n 端子機能制御レジスタ (P2nPFS)</li> <li>● P3n 端子機能制御レジスタ (P3nPFS)</li> <li>● P4n 端子機能制御レジスタ (P4nPFS)</li> <li>● P5n 端子機能制御レジスタ (P5nPFS)</li> <li>● P6n 端子機能制御レジスタ (P6nPFS)</li> <li>● P7n 端子機能制御レジスタ (P7nPFS)</li> <li>● P8n 端子機能制御レジスタ (P8nPFS)</li> <li>● P9n 端子機能制御レジスタ (P9nPFS)</li> <li>● PAn 端子機能制御レジスタ (PAnPFS)</li> <li>● PBn 端子機能制御レジスタ (PBnPFS)</li> <li>● PCn 端子機能制御レジスタ (PCnPFS)</li> <li>● PDn 端子機能制御レジスタ (PDnPFS)</li> <li>● PEn 端子機能制御レジスタ (PEnPFS)</li> <li>● PFn 端子機能制御レジスタ (PFnPFS)</li> <li>● PJ3 端子機能制御レジスタ (PJ3PFS)</li> <li>● CS 出力許可レジスタ (PFCSE)</li> <li>● CS 出力端子選択レジスタ 0 (PFCSS0)</li> <li>● CS 出力端子選択レジスタ 1 (PFCSS1)</li> <li>● アドレス出力許可レジスタ 0 (PFAOE0)</li> <li>● アドレス出力許可レジスタ 1 (PFAOE1)</li> <li>● 外部バス制御レジスタ 0 (PFBCR0)</li> <li>● 外部バス制御レジスタ 1 (PFBCR1)</li> <li>● イーサネット制御レジスタ (PFENET)</li> <li>● USB0 制御レジスタ (PFUSB0)</li> <li>● USB1 制御レジスタ (PFUSB1)</li> </ul>

表.2.18 機能および仕様の相違点(18)

項目		RX62N グループ	RX63N グループ																																														
マルチファンクション タイムパルス ユニット2	ユニット	● 2ユニット【MTU0~5、MTU6~11】	● 1ユニット【MTU0~5】																																														
	レジスタ/ ビット		● ノイズフィルタコントロールレジスタ (NFCR)																																														
	機能		● 使用上の注意事項 <table border="1"> <tr> <td>使用上の 注意事項</td> <td>MTU5.TCNR と MTU5.TGR の注意事項 コンペアマッチによる割り込み信号の連 続出力</td> </tr> </table>	使用上の 注意事項	MTU5.TCNR と MTU5.TGR の注意事項 コンペアマッチによる割り込み信号の連 続出力																																												
使用上の 注意事項	MTU5.TCNR と MTU5.TGR の注意事項 コンペアマッチによる割り込み信号の連 続出力																																																
ポート アウトプット イネーブル2	レジスタ/ ビット	● 入力レベルコントロール/ステータスレジスタ 2 (ICSR2)																																															
		● 出力レベルコントロール/ステータスレジスタ 2 (OCSR2)																																															
		● 入力レベルコントロール/ステータスレジスタ 3 (ICSR3)	● 入力レベルコントロール/ステータスレジスタ 2 (ICSR2)																																														
		<table border="1"> <tr> <td>b0</td> <td>POE8M[1:0]</td> <td>POE8 モード選択ビット</td> </tr> <tr> <td>b1</td> <td></td> <td></td> </tr> <tr> <td>b8</td> <td>PIE3</td> <td>ポートインタラプト許可 3 ビット</td> </tr> <tr> <td>b9</td> <td>POE8E</td> <td>POE8 ハイインピーダンス許可ビット</td> </tr> <tr> <td>b12</td> <td>POE8F</td> <td>POE8 フラグ</td> </tr> </table>	b0	POE8M[1:0]	POE8 モード選択ビット	b1			b8	PIE3	ポートインタラプト許可 3 ビット	b9	POE8E	POE8 ハイインピーダンス許可ビット	b12	POE8F	POE8 フラグ	<table border="1"> <tr> <td>b0</td> <td>POE8M[1:0]</td> <td>POE8 モード選択ビット</td> </tr> <tr> <td>b1</td> <td></td> <td></td> </tr> <tr> <td>b8</td> <td>PIE2</td> <td>ポート割り込み許可 2 ビット</td> </tr> <tr> <td>b9</td> <td>POE8E</td> <td>POE8 ハイインピーダンス許可ビット</td> </tr> <tr> <td>b12</td> <td>POE8F</td> <td>POE8 フラグ</td> </tr> </table>	b0	POE8M[1:0]	POE8 モード選択ビット	b1			b8	PIE2	ポート割り込み許可 2 ビット	b9	POE8E	POE8 ハイインピーダンス許可ビット	b12	POE8F	POE8 フラグ																
		b0	POE8M[1:0]	POE8 モード選択ビット																																													
		b1																																															
		b8	PIE3	ポートインタラプト許可 3 ビット																																													
		b9	POE8E	POE8 ハイインピーダンス許可ビット																																													
		b12	POE8F	POE8 フラグ																																													
		b0	POE8M[1:0]	POE8 モード選択ビット																																													
		b1																																															
		b8	PIE2	ポート割り込み許可 2 ビット																																													
b9	POE8E	POE8 ハイインピーダンス許可ビット																																															
b12	POE8F	POE8 フラグ																																															
● 入力レベルコントロール/ステータスレジスタ 4 (ICSR4)																																																	
● ソフトウェアポートアウトプットイネーブル レジスタ (SPOER)	● ソフトウェアポートアウトプットイネーブル レジスタ (SPOER)																																																
<table border="1"> <tr> <td>b0</td> <td>CH34HIZ</td> <td>MTU3、MTU4 出力ハイインピーダンス 許可ビット</td> </tr> <tr> <td>b1</td> <td>CH0HIZ</td> <td>MTU0 出力ハイインピーダンス許可 ビット</td> </tr> <tr> <td>b2</td> <td>CH910HIZ</td> <td>MTU9、MTU10 出力ハイインピーダンス 許可ビット</td> </tr> <tr> <td>b3</td> <td>CH6HIZ</td> <td>MTU6 出力ハイインピーダンス許可 ビット</td> </tr> </table>	b0	CH34HIZ	MTU3、MTU4 出力ハイインピーダンス 許可ビット	b1	CH0HIZ	MTU0 出力ハイインピーダンス許可 ビット	b2	CH910HIZ	MTU9、MTU10 出力ハイインピーダンス 許可ビット	b3	CH6HIZ	MTU6 出力ハイインピーダンス許可 ビット	<table border="1"> <tr> <td>b0</td> <td>CH34HIZ</td> <td>MTU3、MTU4 出力ハイインピー ダンス許可ビット</td> </tr> <tr> <td>b1</td> <td>CH0HIZ</td> <td>MTU0 出力ハイインピーダンス 許可ビット</td> </tr> <tr> <td>b2</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b3</td> <td></td> <td>(予約ビット)</td> </tr> </table>	b0	CH34HIZ	MTU3、MTU4 出力ハイインピー ダンス許可ビット	b1	CH0HIZ	MTU0 出力ハイインピーダンス 許可ビット	b2		(予約ビット)	b3		(予約ビット)																								
b0	CH34HIZ	MTU3、MTU4 出力ハイインピーダンス 許可ビット																																															
b1	CH0HIZ	MTU0 出力ハイインピーダンス許可 ビット																																															
b2	CH910HIZ	MTU9、MTU10 出力ハイインピーダンス 許可ビット																																															
b3	CH6HIZ	MTU6 出力ハイインピーダンス許可 ビット																																															
b0	CH34HIZ	MTU3、MTU4 出力ハイインピー ダンス許可ビット																																															
b1	CH0HIZ	MTU0 出力ハイインピーダンス 許可ビット																																															
b2		(予約ビット)																																															
b3		(予約ビット)																																															
● ポートアウトプットイネーブルコントロール レジスタ 1 (POECR1)	● ポートアウトプットイネーブルコントロール レジスタ 1 (POECR1)																																																
<table border="1"> <tr> <td>b0</td> <td>PE0ZE</td> <td>MTIOC0A ハイインピーダンス許可ビット</td> </tr> <tr> <td>b1</td> <td>PE1ZE</td> <td>MTIOC0B ハイインピーダンス許可ビット</td> </tr> <tr> <td>b2</td> <td>PE2ZE</td> <td>MTIOC0C ハイインピーダンス許可ビット</td> </tr> <tr> <td>b3</td> <td>PE3ZE</td> <td>MTIOC0D ハイインピーダンス許可ビット</td> </tr> <tr> <td>b4</td> <td>PE4ZE</td> <td>MTIOC6A ハイインピーダンス許可ビット</td> </tr> <tr> <td>b5</td> <td>PE5ZE</td> <td>MTIOC6B ハイインピーダンス許可ビット</td> </tr> <tr> <td>b6</td> <td>PE6ZE</td> <td>MTIOC6C ハイインピーダンス許可ビット</td> </tr> <tr> <td>b7</td> <td>PE7ZE</td> <td>MTIOC6D ハイインピーダンス許可ビット</td> </tr> </table>	b0	PE0ZE	MTIOC0A ハイインピーダンス許可ビット	b1	PE1ZE	MTIOC0B ハイインピーダンス許可ビット	b2	PE2ZE	MTIOC0C ハイインピーダンス許可ビット	b3	PE3ZE	MTIOC0D ハイインピーダンス許可ビット	b4	PE4ZE	MTIOC6A ハイインピーダンス許可ビット	b5	PE5ZE	MTIOC6B ハイインピーダンス許可ビット	b6	PE6ZE	MTIOC6C ハイインピーダンス許可ビット	b7	PE7ZE	MTIOC6D ハイインピーダンス許可ビット	<table border="1"> <tr> <td>b0</td> <td>PE0ZE</td> <td>MTIOC0A ハイインピーダンス許可ビット</td> </tr> <tr> <td>b1</td> <td>PE1ZE</td> <td>MTIOC0B ハイインピーダンス許可ビット</td> </tr> <tr> <td>b2</td> <td>PE2ZE</td> <td>MTIOC0C ハイインピーダンス許可ビット</td> </tr> <tr> <td>b3</td> <td>PE3ZE</td> <td>MTIOC0D ハイインピーダンス許可ビット</td> </tr> <tr> <td>b4</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b5</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b6</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b7</td> <td></td> <td>(予約ビット)</td> </tr> </table>	b0	PE0ZE	MTIOC0A ハイインピーダンス許可ビット	b1	PE1ZE	MTIOC0B ハイインピーダンス許可ビット	b2	PE2ZE	MTIOC0C ハイインピーダンス許可ビット	b3	PE3ZE	MTIOC0D ハイインピーダンス許可ビット	b4		(予約ビット)	b5		(予約ビット)	b6		(予約ビット)	b7		(予約ビット)
b0	PE0ZE	MTIOC0A ハイインピーダンス許可ビット																																															
b1	PE1ZE	MTIOC0B ハイインピーダンス許可ビット																																															
b2	PE2ZE	MTIOC0C ハイインピーダンス許可ビット																																															
b3	PE3ZE	MTIOC0D ハイインピーダンス許可ビット																																															
b4	PE4ZE	MTIOC6A ハイインピーダンス許可ビット																																															
b5	PE5ZE	MTIOC6B ハイインピーダンス許可ビット																																															
b6	PE6ZE	MTIOC6C ハイインピーダンス許可ビット																																															
b7	PE7ZE	MTIOC6D ハイインピーダンス許可ビット																																															
b0	PE0ZE	MTIOC0A ハイインピーダンス許可ビット																																															
b1	PE1ZE	MTIOC0B ハイインピーダンス許可ビット																																															
b2	PE2ZE	MTIOC0C ハイインピーダンス許可ビット																																															
b3	PE3ZE	MTIOC0D ハイインピーダンス許可ビット																																															
b4		(予約ビット)																																															
b5		(予約ビット)																																															
b6		(予約ビット)																																															
b7		(予約ビット)																																															
● ポートアウトプットイネーブルコントロール レジスタ 2 (POECR2)	● ポートアウトプットイネーブルコントロール レジスタ 2 (POECR2)																																																
<table border="1"> <tr> <td>b4</td> <td>P6CZE</td> <td>MTU ポート 6 ハイインピーダンス 許可ビット</td> </tr> <tr> <td>b5</td> <td>P5CZE</td> <td>MTU ポート 5 ハイインピーダンス 許可ビット</td> </tr> <tr> <td>b6</td> <td>P4CZE</td> <td>MTU ポート 4 ハイインピーダンス 許可ビット</td> </tr> <tr> <td>b8</td> <td>P3CZEB</td> <td>MTU ポート 3 ハイインピーダンス 許可 B ビット</td> </tr> <tr> <td>b9</td> <td>P2CZEB</td> <td>MTU ポート 2 ハイインピーダンス 許可 B ビット</td> </tr> <tr> <td>b10</td> <td>P1CZEB</td> <td>MTU ポート 1 ハイインピーダンス 許可 B ビット</td> </tr> <tr> <td>b12</td> <td>P3CZEA</td> <td>MTU ポート 3 ハイインピーダンス 許可 A ビット</td> </tr> <tr> <td>b13</td> <td>P2CZEA</td> <td>MTU ポート 2 ハイインピーダンス 許可 A ビット</td> </tr> <tr> <td>b14</td> <td>P1CZEA</td> <td>MTU ポート 1 ハイインピーダンス 許可 A ビット</td> </tr> </table>	b4	P6CZE	MTU ポート 6 ハイインピーダンス 許可ビット	b5	P5CZE	MTU ポート 5 ハイインピーダンス 許可ビット	b6	P4CZE	MTU ポート 4 ハイインピーダンス 許可ビット	b8	P3CZEB	MTU ポート 3 ハイインピーダンス 許可 B ビット	b9	P2CZEB	MTU ポート 2 ハイインピーダンス 許可 B ビット	b10	P1CZEB	MTU ポート 1 ハイインピーダンス 許可 B ビット	b12	P3CZEA	MTU ポート 3 ハイインピーダンス 許可 A ビット	b13	P2CZEA	MTU ポート 2 ハイインピーダンス 許可 A ビット	b14	P1CZEA	MTU ポート 1 ハイインピーダンス 許可 A ビット	<table border="1"> <tr> <td>b4</td> <td>P3CZEA</td> <td>MTU ポート 3 ハイインピーダンス 許可ビット</td> </tr> <tr> <td>b5</td> <td>P2CZEA</td> <td>MTU ポート 2 ハイインピーダンス 許可ビット</td> </tr> <tr> <td>b6</td> <td>P1CZEA</td> <td>MTU ポート 1 ハイインピーダンス 許可ビット</td> </tr> </table>	b4	P3CZEA	MTU ポート 3 ハイインピーダンス 許可ビット	b5	P2CZEA	MTU ポート 2 ハイインピーダンス 許可ビット	b6	P1CZEA	MTU ポート 1 ハイインピーダンス 許可ビット												
b4	P6CZE	MTU ポート 6 ハイインピーダンス 許可ビット																																															
b5	P5CZE	MTU ポート 5 ハイインピーダンス 許可ビット																																															
b6	P4CZE	MTU ポート 4 ハイインピーダンス 許可ビット																																															
b8	P3CZEB	MTU ポート 3 ハイインピーダンス 許可 B ビット																																															
b9	P2CZEB	MTU ポート 2 ハイインピーダンス 許可 B ビット																																															
b10	P1CZEB	MTU ポート 1 ハイインピーダンス 許可 B ビット																																															
b12	P3CZEA	MTU ポート 3 ハイインピーダンス 許可 A ビット																																															
b13	P2CZEA	MTU ポート 2 ハイインピーダンス 許可 A ビット																																															
b14	P1CZEA	MTU ポート 1 ハイインピーダンス 許可 A ビット																																															
b4	P3CZEA	MTU ポート 3 ハイインピーダンス 許可ビット																																															
b5	P2CZEA	MTU ポート 2 ハイインピーダンス 許可ビット																																															
b6	P1CZEA	MTU ポート 1 ハイインピーダンス 許可ビット																																															
			● 入力レベルコントロール/ ステータスレジス タ 3 (ICSR3)																																														

表2.19 機能および仕様の相違点(19)

項目		RX62N グループ	RX63N グループ																																																																																																						
16 ビット タイムパルス ユニット	レジスタ/ ビット		<ul style="list-style-type: none"> <li>● タイマコントロールレジスタ (TCR)</li> <li>● タイマモードレジスタ (TMDR)</li> <li>● タイマ I/O コントロールレジスタ (TIORH、TIORL、TIOR)</li> <li>● タイマ割り込み許可レジスタ (TIER)</li> <li>● タイマステータスレジスタ (TSR)</li> <li>● タイマカウンタ (TCNT)</li> <li>● タイマジェネラルレジスタ A~D (TGRA~D)</li> <li>● タイマスタートレジスタ (TSTR)</li> <li>● タイマシンクロレジスタ (TSYR)</li> <li>● ノイズフィルタコントロールレジスタ (NFCR)</li> </ul>																																																																																																						
プログラ マブルパルス ジェネレータ	レジスタ/ ビット	<ul style="list-style-type: none"> <li>● PPG トリガセレクトレジスタ (PTRSLR) <table border="1"> <tr> <td>b0</td> <td>PTRSL</td> <td>PPG トリガ選択ビット</td> </tr> </table> <ul style="list-style-type: none"> <li>・ PTRSL</li> <li>0 : PPG1 のトリガは MTU0~3</li> <li>1 : PPG1 のトリガは MTU6~9</li> </ul> </li> <li>● PPG 出力コントロールレジスタ (PCR) <table border="1"> <tr> <td>b0</td> <td>G0CMS[1:0]</td> <td>グループ4 コンペアマッチ選択ビット</td> </tr> <tr> <td>b1</td> <td></td> <td></td> </tr> <tr> <td>b2</td> <td>G1CMS[1:0]</td> <td>グループ5 コンペアマッチ選択ビット</td> </tr> <tr> <td>b3</td> <td></td> <td></td> </tr> <tr> <td>b4</td> <td>G2CMS[1:0]</td> <td>グループ6 コンペアマッチ選択ビット</td> </tr> <tr> <td>b5</td> <td></td> <td></td> </tr> <tr> <td>b6</td> <td>G3CMS[1:0]</td> <td>グループ7 コンペアマッチ選択ビット</td> </tr> <tr> <td>b7</td> <td></td> <td></td> </tr> </table> <ul style="list-style-type: none"> <li>・ PPG1.PCR.G0CMS[1:0]~G3CMS[1:0]</li> <li>PPG1.PTRSLR.PTRSL ビットが "1" の場合</li> <li>00b : MTU6 のコンペアマッチ</li> <li>01b : MTU7 のコンペアマッチ</li> <li>10b : MTU8 のコンペアマッチ</li> <li>11b : MTU9 のコンペアマッチ</li> </ul> </li> <li>● PPG 出力モードレジスタ (PMR) <table border="1"> <tr> <td>b0</td> <td>G0NOV</td> <td>グループ4 ノンオーバーラップビット</td> </tr> <tr> <td>b1</td> <td>G1NOV</td> <td>グループ5 ノンオーバーラップビット</td> </tr> <tr> <td>b2</td> <td>G2NOV</td> <td>グループ6 ノンオーバーラップビット</td> </tr> <tr> <td>b3</td> <td>G3NOV</td> <td>グループ7 ノンオーバーラップビット</td> </tr> <tr> <td>b4</td> <td>G0INV</td> <td>グループ4 出力極性変更ビット</td> </tr> <tr> <td>b5</td> <td>G1INV</td> <td>グループ5 出力極性変更ビット</td> </tr> <tr> <td>b6</td> <td>G2INV</td> <td>グループ6 出力極性変更ビット</td> </tr> <tr> <td>b7</td> <td>G3INV</td> <td>グループ7 出力極性変更ビット</td> </tr> </table> <ul style="list-style-type: none"> <li>・ PPG1.PMR.G0NOV~G3NOV</li> </ul> <p>0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新)</p> <p>1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新)</p> </li> </ul>	b0	PTRSL	PPG トリガ選択ビット	b0	G0CMS[1:0]	グループ4 コンペアマッチ選択ビット	b1			b2	G1CMS[1:0]	グループ5 コンペアマッチ選択ビット	b3			b4	G2CMS[1:0]	グループ6 コンペアマッチ選択ビット	b5			b6	G3CMS[1:0]	グループ7 コンペアマッチ選択ビット	b7			b0	G0NOV	グループ4 ノンオーバーラップビット	b1	G1NOV	グループ5 ノンオーバーラップビット	b2	G2NOV	グループ6 ノンオーバーラップビット	b3	G3NOV	グループ7 ノンオーバーラップビット	b4	G0INV	グループ4 出力極性変更ビット	b5	G1INV	グループ5 出力極性変更ビット	b6	G2INV	グループ6 出力極性変更ビット	b7	G3INV	グループ7 出力極性変更ビット	<ul style="list-style-type: none"> <li>● PPG トリガセレクトレジスタ (PTRSLR) <table border="1"> <tr> <td>b0</td> <td>PTRSL</td> <td>PPG トリガ選択ビット</td> </tr> </table> <ul style="list-style-type: none"> <li>・ PTRSL</li> <li>0 : PPG1 のトリガは MTU0~MTU3</li> <li>1 : PPG1 のトリガは TPU0~TPU3</li> </ul> </li> <li>● PPG 出力コントロールレジスタ (PCR) <table border="1"> <tr> <td>b0</td> <td>G0CMS[1:0]</td> <td>グループ4 コンペアマッチ選択ビット</td> </tr> <tr> <td>b1</td> <td></td> <td></td> </tr> <tr> <td>b2</td> <td>G1CMS[1:0]</td> <td>グループ5 コンペアマッチ選択ビット</td> </tr> <tr> <td>b3</td> <td></td> <td></td> </tr> <tr> <td>b4</td> <td>G2CMS[1:0]</td> <td>グループ6 コンペアマッチ選択ビット</td> </tr> <tr> <td>b5</td> <td></td> <td></td> </tr> <tr> <td>b6</td> <td>G3CMS[1:0]</td> <td>グループ7 コンペアマッチ選択ビット</td> </tr> <tr> <td>b7</td> <td></td> <td></td> </tr> </table> <ul style="list-style-type: none"> <li>・ PPG1.PCR.G0CMS[1:0]~G3CMS[1:0]</li> <li>PPG1.PTRSLR.PTRSL ビットが "1" の場合</li> <li>00b : TPU0 のコンペアマッチ</li> <li>01b : TPU1 のコンペアマッチ</li> <li>10b : TPU2 のコンペアマッチ</li> <li>11b : TPU3 のコンペアマッチ</li> </ul> </li> <li>● PPG 出力モードレジスタ (PMR) <table border="1"> <tr> <td>b0</td> <td>G0NOV</td> <td>グループ4 ノンオーバーラップビット</td> </tr> <tr> <td>b1</td> <td>G1NOV</td> <td>グループ5 ノンオーバーラップビット</td> </tr> <tr> <td>b2</td> <td>G2NOV</td> <td>グループ6 ノンオーバーラップビット</td> </tr> <tr> <td>b3</td> <td>G3NOV</td> <td>グループ7 ノンオーバーラップビット</td> </tr> <tr> <td>b4</td> <td>G0INV</td> <td>グループ4 出力極性変更ビット</td> </tr> <tr> <td>b5</td> <td>G1INV</td> <td>グループ5 出力極性変更ビット</td> </tr> <tr> <td>b6</td> <td>G2INV</td> <td>グループ6 出力極性変更ビット</td> </tr> <tr> <td>b7</td> <td>G3INV</td> <td>グループ7 出力極性変更ビット</td> </tr> </table> <ul style="list-style-type: none"> <li>・ PPG1.PMR.G0NOV~G3NOV</li> </ul> <p>0 : 通常動作 (選択された TPUUn のコンペアマッチ A で出力値を更新)</p> <p>1 : ノンオーバーラップ動作 (選択された TPUUn のコンペアマッチ A、B で出力値を更新)</p> </li> </ul>	b0	PTRSL	PPG トリガ選択ビット	b0	G0CMS[1:0]	グループ4 コンペアマッチ選択ビット	b1			b2	G1CMS[1:0]	グループ5 コンペアマッチ選択ビット	b3			b4	G2CMS[1:0]	グループ6 コンペアマッチ選択ビット	b5			b6	G3CMS[1:0]	グループ7 コンペアマッチ選択ビット	b7			b0	G0NOV	グループ4 ノンオーバーラップビット	b1	G1NOV	グループ5 ノンオーバーラップビット	b2	G2NOV	グループ6 ノンオーバーラップビット	b3	G3NOV	グループ7 ノンオーバーラップビット	b4	G0INV	グループ4 出力極性変更ビット	b5	G1INV	グループ5 出力極性変更ビット	b6	G2INV	グループ6 出力極性変更ビット	b7	G3INV	グループ7 出力極性変更ビット
b0	PTRSL	PPG トリガ選択ビット																																																																																																							
b0	G0CMS[1:0]	グループ4 コンペアマッチ選択ビット																																																																																																							
b1																																																																																																									
b2	G1CMS[1:0]	グループ5 コンペアマッチ選択ビット																																																																																																							
b3																																																																																																									
b4	G2CMS[1:0]	グループ6 コンペアマッチ選択ビット																																																																																																							
b5																																																																																																									
b6	G3CMS[1:0]	グループ7 コンペアマッチ選択ビット																																																																																																							
b7																																																																																																									
b0	G0NOV	グループ4 ノンオーバーラップビット																																																																																																							
b1	G1NOV	グループ5 ノンオーバーラップビット																																																																																																							
b2	G2NOV	グループ6 ノンオーバーラップビット																																																																																																							
b3	G3NOV	グループ7 ノンオーバーラップビット																																																																																																							
b4	G0INV	グループ4 出力極性変更ビット																																																																																																							
b5	G1INV	グループ5 出力極性変更ビット																																																																																																							
b6	G2INV	グループ6 出力極性変更ビット																																																																																																							
b7	G3INV	グループ7 出力極性変更ビット																																																																																																							
b0	PTRSL	PPG トリガ選択ビット																																																																																																							
b0	G0CMS[1:0]	グループ4 コンペアマッチ選択ビット																																																																																																							
b1																																																																																																									
b2	G1CMS[1:0]	グループ5 コンペアマッチ選択ビット																																																																																																							
b3																																																																																																									
b4	G2CMS[1:0]	グループ6 コンペアマッチ選択ビット																																																																																																							
b5																																																																																																									
b6	G3CMS[1:0]	グループ7 コンペアマッチ選択ビット																																																																																																							
b7																																																																																																									
b0	G0NOV	グループ4 ノンオーバーラップビット																																																																																																							
b1	G1NOV	グループ5 ノンオーバーラップビット																																																																																																							
b2	G2NOV	グループ6 ノンオーバーラップビット																																																																																																							
b3	G3NOV	グループ7 ノンオーバーラップビット																																																																																																							
b4	G0INV	グループ4 出力極性変更ビット																																																																																																							
b5	G1INV	グループ5 出力極性変更ビット																																																																																																							
b6	G2INV	グループ6 出力極性変更ビット																																																																																																							
b7	G3INV	グループ7 出力極性変更ビット																																																																																																							



表2.20 機能および仕様の相違点(20)

項目	RX62N グループ	RX63N グループ														
リアルタイム クロック	機能	機能														
	仕様概要	仕様概要														
	<table border="1"> <tr> <td>カウントソース</td> <td>RTC 専用クロック (32.768kHz)</td> </tr> <tr> <td>時計/カレンダー機能</td> <td>年、月、日、曜日、時、分、秒をカウント、BCD 表示 1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz の状態をバイナリで表示 スタート/ストップ機能 30 秒調整機能 うるう年自動補正機能 1Hz クロック出力</td> </tr> <tr> <td>割り込み</td> <td>アラーム割り込み (ALM) 周期割り込み (PRD) 桁上げ割り込み (CUP) アラーム割り込みによる、ソフトウェアスタンバイまたはディープソフトウェアスタンバイからの復帰が可能</td> </tr> </table>	カウントソース	RTC 専用クロック (32.768kHz)	時計/カレンダー機能	年、月、日、曜日、時、分、秒をカウント、BCD 表示 1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz の状態をバイナリで表示 スタート/ストップ機能 30 秒調整機能 うるう年自動補正機能 1Hz クロック出力	割り込み	アラーム割り込み (ALM) 周期割り込み (PRD) 桁上げ割り込み (CUP) アラーム割り込みによる、ソフトウェアスタンバイまたはディープソフトウェアスタンバイからの復帰が可能	<table border="1"> <tr> <td>カウントソース (注1)</td> <td>RTC 専用クロック (32.768kHz) メインクロック (EXTAL)</td> </tr> <tr> <td>時計/カレンダー機能</td> <td>年、月、日、曜日、時、分、秒をカウント、BCD 表示 1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz の状態をバイナリで表示 12 時間/24 時間モード切り替え機能 スタート/ストップ機能 30 秒調整機能 うるう年自動補正機能 1Hz クロック出力 時計誤差補正機能</td> </tr> <tr> <td>割り込み</td> <td>アラーム割り込み (ALM) 周期割り込み (PRD) 桁上げ割り込み (CUP) アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能</td> </tr> <tr> <td>時間キャプチャ機能</td> <td>3 本のイベント入力によって、時間のキャプチャが可能</td> </tr> </table>	カウントソース (注1)	RTC 専用クロック (32.768kHz) メインクロック (EXTAL)	時計/カレンダー機能	年、月、日、曜日、時、分、秒をカウント、BCD 表示 1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz の状態をバイナリで表示 12 時間/24 時間モード切り替え機能 スタート/ストップ機能 30 秒調整機能 うるう年自動補正機能 1Hz クロック出力 時計誤差補正機能	割り込み	アラーム割り込み (ALM) 周期割り込み (PRD) 桁上げ割り込み (CUP) アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能	時間キャプチャ機能	3 本のイベント入力によって、時間のキャプチャが可能
カウントソース	RTC 専用クロック (32.768kHz)															
時計/カレンダー機能	年、月、日、曜日、時、分、秒をカウント、BCD 表示 1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz の状態をバイナリで表示 スタート/ストップ機能 30 秒調整機能 うるう年自動補正機能 1Hz クロック出力															
割り込み	アラーム割り込み (ALM) 周期割り込み (PRD) 桁上げ割り込み (CUP) アラーム割り込みによる、ソフトウェアスタンバイまたはディープソフトウェアスタンバイからの復帰が可能															
カウントソース (注1)	RTC 専用クロック (32.768kHz) メインクロック (EXTAL)															
時計/カレンダー機能	年、月、日、曜日、時、分、秒をカウント、BCD 表示 1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz の状態をバイナリで表示 12 時間/24 時間モード切り替え機能 スタート/ストップ機能 30 秒調整機能 うるう年自動補正機能 1Hz クロック出力 時計誤差補正機能															
割り込み	アラーム割り込み (ALM) 周期割り込み (PRD) 桁上げ割り込み (CUP) アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能															
時間キャプチャ機能	3 本のイベント入力によって、時間のキャプチャが可能															
		注1. 「周辺モジュールクロック周波数 カウントソース クロック周波数」となるようにしてください。														
レジスタ/ ビット	時カウンタ (RHRCNT)	時カウンタ (RHRCNT)														
	b0 HOUR1 [3:0]	時一位カウントビット														
	b4 HOUR10 [1:0]	時十位カウントビット														
	b6	(予約ビット)														
	曜日カウンタ(RWKCNT)	曜日カウンタ(RWKCNT)														
	b0 DAY[2:0]	曜日カウントビット														
	b2															
	日カウンタ(RDAYCNT)	日カウンタ(RDAYCNT)														
	b0 DAY1[3:0]	日一位カウントビット														
	b4 DAY10[1:0]	日十位カウントビット														
	b6															
	年カウンタ (RYRCNT)	年カウンタ (RYRCNT)														
b0 YEAR1 [3:0]	年一位カウントビット															
b4 YEAR10 [3:0]	年十位カウントビット															
b8 YEAR100 [3:0]	年百位カウントビット															
b12 YEAR1000 [3:0]	年千位カウントビット															
b15																
時アラームレジスタ (RHRAR)	時アラームレジスタ (RHRAR)															
b0 HOUR1 [3:0]	1 時間ビット															
b4 HOUR10 [1:0]	10 時間ビット															
b6	(予約ビット)															
b7 ENB	ENB ビット															
曜日アラームレジスタ(RWKAR)	曜日アラームレジスタ(RWKAR)															
b0 DAY[2:0]	曜日の設定値ビット															
b7 ENB	ENB ビット															
日アラームレジスタ(RDAYAR)	日アラームレジスタ(RDAYAR)															
b0 DAY1[3:0]	1 日ビット															
b4 DAY10[1:0]	10 日ビット															
b7 ENB	ENB ビット															

表.2.21 機能および仕様の相違点(21)

項目		RX62N グループ		RX63N グループ			
リアルタイム クロック	レジスタ/ ビット	● 年アラームレジスタ (RYRAR)		● 年アラームレジスタ (RYRAR)			
		b0 b3	YEAR1 [3:0]	1年ビット	b0 b3	YR1[3:0]	1年ビット
		b4 b7	YEAR10 [3:0]	10年ビット	b4 b7	YR10[3:0]	10年ビット
		b8 b11	YEAR100 [3:0]	100年ビット	b8 b11		(予約ビット)
		b12 b15	YEAR1000 [3:0]	1000年ビット	b12 b15		(予約ビット)
		● RTC コントロールレジスタ 1 (RCR1)		● RTC コントロールレジスタ 1 (RCR1)			
		b0	AIE	アラーム割り込み許可ビット	b0	AIE	アラーム割り込み許可ビット
		b1	CIE	桁上げ割り込み許可ビット	b1	CIE	桁上げ割り込み許可ビット
		b2	PIE	周期割り込み許可ビット	b2	PIE	周期割り込み許可ビット
		b4 b6	PES[2:0]	周期割り込み選択ビット	b4	PES[3:0]	周期割り込み選択ビット
		b7		(予約ビット)	b7		
		・ PES[2:0] 000b : 周期割り込み発生なし 001b : 周期割り込み発生の周期を 1/256 秒ごとにする 010b : 周期割り込み発生の周期を 1/64 秒ごとにする 011b : 周期割り込み発生の周期を 1/16 秒ごとにする 100b : 周期割り込み発生の周期を 1/4 秒ごとにする 101b : 周期割り込み発生の周期を 1/2 秒ごとにする 110b : 周期割り込み発生の周期を 1 秒ごとにする 111b : 周期割り込み発生の周期を 2 秒ごとにする		・ PES[3:0] 0000b : 周期割り込み発生なし 0001b : 周期割り込み発生なし 0010b : 周期割り込み発生なし 0011b : 周期割り込み発生なし 0100b : 周期割り込み発生なし 0101b : 周期割り込み発生なし 0110b : 周期割り込み発生の周期を 1/256 秒ごとにする 0111b : 周期割り込み発生の周期を 1/128 秒ごとにする 1000b : 周期割り込み発生の周期を 1/64 秒ごとにする 1001b : 周期割り込み発生の周期を 1/32 秒ごとにする 1010b : 周期割り込み発生の周期を 1/16 秒ごとにする 1011b : 周期割り込み発生の周期を 1/8 秒ごとにする 1100b : 周期割り込み発生の周期を 1/4 秒ごとにする 1101b : 周期割り込み発生の周期を 1/2 秒ごとにする 1110b : 周期割り込み発生の周期を 1 秒ごとにする 1111b : 周期割り込み発生の周期を 2 秒ごとにする			
		● RTC コントロールレジスタ 2 (RCR2)		● RTC コントロールレジスタ 2 (RCR2)			
		b0	START	スタートビット	b0	START	スタートビット
		b1	RESET	リセットビット	b1	RESET	RTC ソフトウェアリセットビット
		b2	ADJ	30 秒調整ビット	b2	ADJ30	30 秒調整ビット
		b3	RTCOE	RTCOOUT 出力制御ビット	b3	RTCOE	RTCOOUT 出力許可ビット
		b4		(予約ビット)	b4	AADJE	自動補正機能許可ビット
		b5		(予約ビット)	b5	AADJP	自動補正周期選択ビット
		b6		(予約ビット)	b6	HR24	時間モードビット
				● RTC コントロールレジスタ 3 (RCR3)			
				● RTC コントロールレジスタ 4 (RCR4)			
				● 周波数レジスタ H/L (RFRH/L)			
				● 時間誤差補正レジスタ (RADJ)			
				● 時間キャプチャ制御レジスタ 0~2 (RTCCR0~2)			
				● 秒キャプチャレジスタ 0~2 (RSECCP0~2)			
				● 分キャプチャレジスタ 0~2 (RMINCP0~2)			
				● 時キャプチャレジスタ 0~2 (RHRCPO~2)			
				● 日キャプチャレジスタ 0~2 (RDAYCP0~2)			
				● 月キャプチャレジスタ 0~2 (RMONCP0~2)			
ウォッチ ドッグタイマ	機能	● 仕様概要		● 仕様概要			
		カウント クロック	PCLK/4、PCLK/64、PCLK/128、 PCLK/512、PCLK/2048、PCLK/8192、 PCLK/32768、PCLK/131072	カウント クロック	PCLK/4、PCLK/64、PCLK/128、 PCLK/512、PCLK/2048、PCLK/8192		
		ビット数	8 ビット	ビット数	14 ビット		
		動作モード	ウォッチドッグタイマモード インターバルタイマモード	動作モード	ウォッチドッグタイマモード		
		動作開始モード	レジスタスタートモード	動作開始モード	オートスタートモード レジスタスタートモード		
		出力信号	WDOVF#信号出力 (外部) リセット信号 (内部) インターバルタイマ割り込み(WOVI)	出力信号	リセット信号 (内部) 割り込み要求信号(WUNI)		

表.2.22 機能および仕様の相違点(22)

項目		RX62N グループ	RX63N グループ																																										
ウォッチ ドッグタイマ	レジスタ/ ビット	<ul style="list-style-type: none"> <li>● タイマカウンタ (TCNT)</li> <li>● タイマコントロール/ステータスレジスタ (TCSR)</li> <li>● リセットコントロール/ステータスレジスタ (RSTCSR)</li> <li>● ライトウィンドウ A レジスタ (WINA)</li> <li>● ライトウィンドウ B レジスタ (WINB)</li> </ul>	<ul style="list-style-type: none"> <li>● WDT リフレッシュレジスタ (WDTRR)</li> <li>● WDT コントロールレジスタ (WDTCR)</li> <li>● WDT ステータスレジスタ (WDTSR)</li> <li>● WDT リセットコントロールレジスタ (WDTRCR)</li> </ul>																																										
独立 ウォッチ ドッグタイマ	機能	<ul style="list-style-type: none"> <li>● 仕様概要</li> </ul> <table border="1"> <tr> <td>カウントクロック</td> <td>IWDTCLK、IWDTCLK/16、IWDTCLK/32、IWDTCLK/64、IWDTCLK/128、IWDTCLK/256</td> </tr> <tr> <td>ビット数</td> <td>14 ビット</td> </tr> <tr> <td>動作開始モード</td> <td>レジスタスタートモード</td> </tr> <tr> <td>リセット要因</td> <td>アンダフロー発生時</td> </tr> </table>	カウントクロック	IWDTCLK、IWDTCLK/16、IWDTCLK/32、IWDTCLK/64、IWDTCLK/128、IWDTCLK/256	ビット数	14 ビット	動作開始モード	レジスタスタートモード	リセット要因	アンダフロー発生時	<ul style="list-style-type: none"> <li>● 仕様概要</li> </ul> <table border="1"> <tr> <td>クロック分周比 (注1)</td> <td>1分周/16分周/32分周/64分周/128分周/256分周</td> </tr> <tr> <td>ビット数</td> <td>14 ビット</td> </tr> <tr> <td>動作開始モード</td> <td>オートスタートモード レジスタスタートモード</td> </tr> <tr> <td>ウィンドウ機能</td> <td>ウィンドウ開始/終了位置を設定可能</td> </tr> <tr> <td>リセット要因</td> <td>アンダフロー発生時 リフレッシュエラー時</td> </tr> </table> <p>注1. 「周辺モジュールクロック周波数 4×(カウントソースの分周後周波数)」となるようにしてください。</p>	クロック分周比 (注1)	1分周/16分周/32分周/64分周/128分周/256分周	ビット数	14 ビット	動作開始モード	オートスタートモード レジスタスタートモード	ウィンドウ機能	ウィンドウ開始/終了位置を設定可能	リセット要因	アンダフロー発生時 リフレッシュエラー時																								
カウントクロック	IWDTCLK、IWDTCLK/16、IWDTCLK/32、IWDTCLK/64、IWDTCLK/128、IWDTCLK/256																																												
ビット数	14 ビット																																												
動作開始モード	レジスタスタートモード																																												
リセット要因	アンダフロー発生時																																												
クロック分周比 (注1)	1分周/16分周/32分周/64分周/128分周/256分周																																												
ビット数	14 ビット																																												
動作開始モード	オートスタートモード レジスタスタートモード																																												
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能																																												
リセット要因	アンダフロー発生時 リフレッシュエラー時																																												
	レジスタ/ ビット	<ul style="list-style-type: none"> <li>● IWDT コントロールレジスタ (IWDTCR)</li> </ul> <table border="1"> <tr> <td>b0 b1</td> <td>TOPS[1:0]</td> <td>タイムアウト選択ビット</td> </tr> <tr> <td>b4 b7</td> <td>CKS[3:0]</td> <td>クロック選択ビット</td> </tr> <tr> <td>b8 b9</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b12 b13</td> <td></td> <td>(予約ビット)</td> </tr> </table> <p>- CKS[3:0] 00--b : IWDTCLK 0100b : IWDTCLK/16 0101b : IWDTCLK/32 0110b : IWDTCLK/64 0111b : IWDTCLK/128 1---b : IWDTCLK/256</p> <ul style="list-style-type: none"> <li>● IWDT ステータスレジスタ (IWDTSR)</li> </ul> <table border="1"> <tr> <td>b0 b13</td> <td>CNTVAL [13:0]</td> <td>ダウンカウンタビット</td> </tr> <tr> <td>b14</td> <td>UNDFE</td> <td>アンダフローフラグ</td> </tr> <tr> <td>b15</td> <td></td> <td>(予約ビット)</td> </tr> </table>	b0 b1	TOPS[1:0]	タイムアウト選択ビット	b4 b7	CKS[3:0]	クロック選択ビット	b8 b9		(予約ビット)	b12 b13		(予約ビット)	b0 b13	CNTVAL [13:0]	ダウンカウンタビット	b14	UNDFE	アンダフローフラグ	b15		(予約ビット)	<ul style="list-style-type: none"> <li>● IWDT コントロールレジスタ (IWDTCR)</li> </ul> <table border="1"> <tr> <td>b0 b1</td> <td>TOPS[1:0]</td> <td>タイムアウト期間選択ビット</td> </tr> <tr> <td>b4 b7</td> <td>CKS[3:0]</td> <td>クロック分周比選択ビット</td> </tr> <tr> <td>b8 b9</td> <td>RPES[1:0]</td> <td>ウィンドウ終了位置選択ビット</td> </tr> <tr> <td>b12 b13</td> <td>RPSS[1:0]</td> <td>ウィンドウ開始位置選択ビット</td> </tr> </table> <p>- CKS[3:0] 0000b : IWDTCLK 0010b : IWDTCLK/16 0011b : IWDTCLK/32 0100b : IWDTCLK/64 1111b : IWDTCLK/128 0101b : IWDTCLK/256 上記以外は設定しないでください。</p> <ul style="list-style-type: none"> <li>● IWDT ステータスレジスタ (IWDTSR)</li> </ul> <table border="1"> <tr> <td>b0 b13</td> <td>CNTVAL [13:0]</td> <td>ダウンカウンタ値ビット</td> </tr> <tr> <td>b14</td> <td>UNDFE</td> <td>アンダフローフラグ</td> </tr> <tr> <td>b15</td> <td>REFEF</td> <td>リフレッシュエラーフラグ</td> </tr> </table> <ul style="list-style-type: none"> <li>● IWDT リセットコントロールレジスタ (IWDTSCR)</li> <li>● IWDT カウント停止コントロールレジスタ (IWDTSTPR)</li> </ul>	b0 b1	TOPS[1:0]	タイムアウト期間選択ビット	b4 b7	CKS[3:0]	クロック分周比選択ビット	b8 b9	RPES[1:0]	ウィンドウ終了位置選択ビット	b12 b13	RPSS[1:0]	ウィンドウ開始位置選択ビット	b0 b13	CNTVAL [13:0]	ダウンカウンタ値ビット	b14	UNDFE	アンダフローフラグ	b15	REFEF	リフレッシュエラーフラグ
b0 b1	TOPS[1:0]	タイムアウト選択ビット																																											
b4 b7	CKS[3:0]	クロック選択ビット																																											
b8 b9		(予約ビット)																																											
b12 b13		(予約ビット)																																											
b0 b13	CNTVAL [13:0]	ダウンカウンタビット																																											
b14	UNDFE	アンダフローフラグ																																											
b15		(予約ビット)																																											
b0 b1	TOPS[1:0]	タイムアウト期間選択ビット																																											
b4 b7	CKS[3:0]	クロック分周比選択ビット																																											
b8 b9	RPES[1:0]	ウィンドウ終了位置選択ビット																																											
b12 b13	RPSS[1:0]	ウィンドウ開始位置選択ビット																																											
b0 b13	CNTVAL [13:0]	ダウンカウンタ値ビット																																											
b14	UNDFE	アンダフローフラグ																																											
b15	REFEF	リフレッシュエラーフラグ																																											
イーサネット コントローラ	レジスタ/ ビット	<ul style="list-style-type: none"> <li>● ETHERC モードレジスタ (ECMR)</li> </ul> <table border="1"> <tr> <td>b20</td> <td>TPC</td> <td>PAUSE フレーム送信ビット</td> </tr> </table> <p>- TPC 0 : PAUSE 期間中には PAUSE フレームを送信しない 1 : PAUSE 期間中でも PAUSE フレームを送信する</p>	b20	TPC	PAUSE フレーム送信ビット	<ul style="list-style-type: none"> <li>● ETHERC モードレジスタ (ECMR)</li> </ul> <table border="1"> <tr> <td>b20</td> <td>TPC</td> <td>PAUSE フレーム送信ビット</td> </tr> </table> <p>- TPC 0 : PAUSE 期間中でも PAUSE フレームを送信する 1 : PAUSE 期間中には PAUSE フレームを送信しない</p>	b20	TPC	PAUSE フレーム送信ビット																																				
b20	TPC	PAUSE フレーム送信ビット																																											
b20	TPC	PAUSE フレーム送信ビット																																											
USB2.0 ホスト/ファン クション モジュール	機能	<ul style="list-style-type: none"> <li>● 仕様概要</li> </ul> <table border="1"> <tr> <td>USB0</td> <td>ホストコントローラ機能 ファンクションコントローラ機能 OTG(ON-The-Go)対応</td> </tr> <tr> <td>USB1</td> <td>ホストコントローラ機能 ファンクションコントローラ機能 OTG(ON-The-Go)対応</td> </tr> </table>	USB0	ホストコントローラ機能 ファンクションコントローラ機能 OTG(ON-The-Go)対応	USB1	ホストコントローラ機能 ファンクションコントローラ機能 OTG(ON-The-Go)対応	<ul style="list-style-type: none"> <li>● 仕様概要</li> </ul> <table border="1"> <tr> <td>USB0</td> <td>ホストコントローラ機能 ファンクションコントローラ機能 OTG(ON-The-Go)対応</td> </tr> <tr> <td>USB1</td> <td>ファンクションコントローラ機能</td> </tr> </table>	USB0	ホストコントローラ機能 ファンクションコントローラ機能 OTG(ON-The-Go)対応	USB1	ファンクションコントローラ機能																																		
USB0	ホストコントローラ機能 ファンクションコントローラ機能 OTG(ON-The-Go)対応																																												
USB1	ホストコントローラ機能 ファンクションコントローラ機能 OTG(ON-The-Go)対応																																												
USB0	ホストコントローラ機能 ファンクションコントローラ機能 OTG(ON-The-Go)対応																																												
USB1	ファンクションコントローラ機能																																												

表2.23 機能および仕様の相違点(23)

項目	RX62N グループ	RX63N グループ
USB2.0 ホスト/ファン クション モジュール	レジスタ/ ビット	
	● CFIFO ポートレジスタ (CFIFO)	● CFIFO ポートレジスタ (CFIFO)
	b0 H[7:0] FIFO ポートビット	b0 FIFOPORT FIFO ポートビット
	b7 L[7:0]	[15:0]
	b8	b15
	b15	
	● D0FIFO ポートレジスタ (D0FIFO)	● D0FIFO ポートレジスタ (D0FIFO)
	b0 H[7:0] FIFO ポートビット	b0 FIFOPORT FIFO ポートビット
	b7 L[7:0]	[15:0]
	b8	b15
b15		
● D1FIFO ポートレジスタ (D1FIFO)	● D1FIFO ポートレジスタ (D1FIFO)	
b0 H[7:0] FIFO ポートビット	b0 FIFOPORT FIFO ポートビット	
b7 L[7:0]	[15:0]	
b8	b15	
b15		
● SOF 出力コンフィグレーションレジスタ (SOFCFG)	● SOF 出力コンフィグレーションレジスタ (SOFCFG)	
b8 TRNENSEL トランザクション有効期間切り替えビット	b8 TRNENSEL トランザクション有効期間切り替えビット	
・ TRNENSEL 0: ロースピード未対応 1: 設定しないでください	・ TRNENSEL 0: ロースピード未対応 1: ロースピード対応 ・ USB1.SOFCFG レジスタの b8 は、予約ビットです。	
● USB リクエストバリュレジスタ (USBVAL)	● USB リクエストバリュレジスタ (USBVAL)	
b0	b0 WVALUE バリュビット	
b15	[15:0]	
● USB リクエストインデックスレジスタ (USBINDX)	● USB リクエストインデックスレジスタ (USBINDX)	
b0	b0 WINDEX インデックスビット	
b15	[15:0]	
● USB リクエストレンクスレジスタ (USBLENG)	● USB リクエストレンクスレジスタ (USBLENG)	
b0	b0 WLENGTH レンクスビット	
b15	[15:0]	
● パイプ n トランザクションカウンタレジスタ (PIPE <sub>n</sub> TRN)	● パイプ n トランザクションカウンタレジスタ (PIPE <sub>n</sub> TRN)	
b0	b0 TRNCNT トランザクションカウンタビット	
b15	[15:0]	
● デバイスアドレス n コンフィグレーションレジスタ (DEVADD <sub>n</sub> )	● デバイスアドレス n コンフィグレーションレジスタ (DEVADD <sub>n</sub> )	
b6 USBSPD 通信対象デバイスの転送速度ビット	b6 USBSPD 通信対象デバイスの転送速度ビット	
b7 [1:0]	b7 [1:0]	
・ USBSPD[1:0] 00b: DEVADD <sub>n</sub> レジスタ未使用 01b: 設定しないでください 10b: フルスピード 11b: 設定しないでください	・ USBSPD[1:0] 00b: DEVADD <sub>n</sub> レジスタ未使用 01b: ロースピード 10b: フルスピード 11b: 設定しないでください	
● ディープスタンバイ USB トランシーバ制御/端子モニタレジスタ (DPUSR0R)	● ディープスタンバイ USB トランシーバ制御/端子モニタレジスタ (DPUSR0R)	
b0 SRPC0 USB0 シングルエンドレシーバ制御	b0 SRPC0 USB0 シングルエンドレシーバ制御	
b4 FIXPHY0 USB0 トランシーバ出力固定	b4 FIXPHY0 USB0 トランシーバ出力固定	
b8 SRPC1 USB1 シングルエンドレシーバ制御	b8 SRPC1 USB1 シングルエンドレシーバ制御	
b12 FIXPHY1 USB1 トランシーバ出力固定	b12 FIXPHY1 USB1 トランシーバ出力固定	
b16 DP0 USB0 DP 入力	b16 DP0 USB0 DP 入力	
b17 DM0 USB0 DM 入力	b17 DM0 USB0 DM 入力	
b20 DOVCA0 USB0 OVRCURA 入力	b20 DOVCA0 USB0 OVRCURA 入力	
b21 DOVCB0 USB0 OVRCURB 入力	b21 DOVCB0 USB0 OVRCURB 入力	
b23 DVBST0 USB0 VBUS 入力	b23 DVBST0 USB0 VBUS 入力	
b24 DP1 USB1 DP 入力	b24 DP1 USB1 DP 入力	
b25 DM1 USB1 DM 入力	b25 DM1 USB1 DM 入力	
b28 DOVCA1 USB1 OVRCURA 入力	b28 (予約ビット)	
b29 DOVCB1 USB1 OVRCURB 入力	b29 (予約ビット)	
b31 DVBST1 USB1 VBUS 入力	b31 DVBST1 USB1 VBUS 入力	

表.2.24 機能および仕様の相違点(24)

項目		RX62N グループ			RX63N グループ																																																																																																																										
USB2.0 ホスト/ファン クション モジュール	レジスタ/ ビット	<ul style="list-style-type: none"> <li>ディープスタンバイ USB サスペンド/レジューム割り込みレジスタ (DPUSR1R)</li> </ul> <table border="1"> <tr><td>b0</td><td>DPINTE0</td><td>USB0 DP 割り込み許可/クリアビット</td></tr> <tr><td>b1</td><td>DMINTE0</td><td>USB0 DM 割り込み許可/クリアビット</td></tr> <tr><td>b4</td><td>DOVRCRAE0</td><td>USB0 OVRCURA 割り込み許可/クリアビット</td></tr> <tr><td>b5</td><td>DOVRCRBE0</td><td>USB0 OVRCURB 割り込み許可/クリアビット</td></tr> <tr><td>b7</td><td>DVBSE0</td><td>USB0 VBUS 割り込み許可/クリアビット</td></tr> <tr><td>b8</td><td>DPINTE1</td><td>USB1 DP 割り込み許可/クリアビット</td></tr> <tr><td>b9</td><td>DMINTE1</td><td>USB1 DM 割り込み許可/クリアビット</td></tr> <tr><td>b12</td><td>DOVRCRAE1</td><td>USB1 OVRCURA 割り込み許可/クリアビット</td></tr> <tr><td>b13</td><td>DOVRCRBE1</td><td>USB1 OVRCURB 割り込み許可/クリアビット</td></tr> <tr><td>b15</td><td>DVBSE1</td><td>USB1 VBUS 割り込み許可/クリアビット</td></tr> <tr><td>b16</td><td>DPINT0</td><td>USB0 DP 割り込み要因による復帰表示ビット</td></tr> <tr><td>b17</td><td>DMINT0</td><td>USB0 DM 割り込み要因による復帰表示ビット</td></tr> <tr><td>b20</td><td>OVRCURAINT0</td><td>USB0 OVRCURA 割り込み要因による復帰表示ビット</td></tr> <tr><td>b21</td><td>OVRCURBINT0</td><td>USB0 OVRCURB 割り込み要因による復帰表示ビット</td></tr> <tr><td>b23</td><td>DVBINT0</td><td>USB0 VBUS 割り込み要因による復帰表示ビット</td></tr> <tr><td>b24</td><td>DPINT1</td><td>USB1 DP 割り込み要因による復帰表示ビット</td></tr> <tr><td>b25</td><td>DMINT1</td><td>USB1 DM 割り込み要因による復帰表示ビット</td></tr> <tr><td>b28</td><td>DOVRCRA1</td><td>USB1 OVRCURA 割り込み要因による復帰表示ビット</td></tr> <tr><td>b29</td><td>DOVRCRB1</td><td>USB1 OVRCURB 割り込み要因による復帰表示ビット</td></tr> <tr><td>b31</td><td>DVBINT1</td><td>USB1 VBUS 割り込み要因による復帰表示ビット</td></tr> </table>			b0	DPINTE0	USB0 DP 割り込み許可/クリアビット	b1	DMINTE0	USB0 DM 割り込み許可/クリアビット	b4	DOVRCRAE0	USB0 OVRCURA 割り込み許可/クリアビット	b5	DOVRCRBE0	USB0 OVRCURB 割り込み許可/クリアビット	b7	DVBSE0	USB0 VBUS 割り込み許可/クリアビット	b8	DPINTE1	USB1 DP 割り込み許可/クリアビット	b9	DMINTE1	USB1 DM 割り込み許可/クリアビット	b12	DOVRCRAE1	USB1 OVRCURA 割り込み許可/クリアビット	b13	DOVRCRBE1	USB1 OVRCURB 割り込み許可/クリアビット	b15	DVBSE1	USB1 VBUS 割り込み許可/クリアビット	b16	DPINT0	USB0 DP 割り込み要因による復帰表示ビット	b17	DMINT0	USB0 DM 割り込み要因による復帰表示ビット	b20	OVRCURAINT0	USB0 OVRCURA 割り込み要因による復帰表示ビット	b21	OVRCURBINT0	USB0 OVRCURB 割り込み要因による復帰表示ビット	b23	DVBINT0	USB0 VBUS 割り込み要因による復帰表示ビット	b24	DPINT1	USB1 DP 割り込み要因による復帰表示ビット	b25	DMINT1	USB1 DM 割り込み要因による復帰表示ビット	b28	DOVRCRA1	USB1 OVRCURA 割り込み要因による復帰表示ビット	b29	DOVRCRB1	USB1 OVRCURB 割り込み要因による復帰表示ビット	b31	DVBINT1	USB1 VBUS 割り込み要因による復帰表示ビット	<ul style="list-style-type: none"> <li>ディープスタンバイ USB サスペンド/レジューム割り込みレジスタ (DPUSR1R)</li> </ul> <table border="1"> <tr><td>b0</td><td>DPINTE0</td><td>USB0 DP 割り込み許可/クリアビット</td></tr> <tr><td>b1</td><td>DMINTE0</td><td>USB0 DM 割り込み許可/クリアビット</td></tr> <tr><td>b4</td><td>DOVRCRAE0</td><td>USB0 OVRCURA 割り込み許可/クリアビット</td></tr> <tr><td>b5</td><td>DOVRCRBE0</td><td>USB0 OVRCURB 割り込み許可/クリアビット</td></tr> <tr><td>b7</td><td>DVBSE0</td><td>USB0 VBUS 割り込み許可/クリアビット</td></tr> <tr><td>b8</td><td>DPINTE1</td><td>USB1 DP 割り込み許可/クリアビット</td></tr> <tr><td>b9</td><td>DMINTE1</td><td>USB1 DM 割り込み許可/クリアビット</td></tr> <tr><td>b12</td><td></td><td>(予約ビット)</td></tr> <tr><td>b13</td><td></td><td>(予約ビット)</td></tr> <tr><td>b15</td><td>DVBSE1</td><td>USB1 VBUS 割り込み許可/クリアビット</td></tr> <tr><td>b16</td><td>DPINT0</td><td>USB0 DP 割り込み要因による復帰表示ビット</td></tr> <tr><td>b17</td><td>DMINT0</td><td>USB0 DM 割り込み要因による復帰表示ビット</td></tr> <tr><td>b20</td><td>DOVRCRA0</td><td>USB0 OVRCURA 割り込み要因による復帰表示ビット</td></tr> <tr><td>b21</td><td>DOVRCRB0</td><td>USB0 OVRCURB 割り込み要因による復帰表示ビット</td></tr> <tr><td>b23</td><td>DVBINT0</td><td>USB0 VBUS 割り込み要因による復帰表示ビット</td></tr> <tr><td>b24</td><td>DPINT1</td><td>USB1 DP 割り込み要因による復帰表示ビット</td></tr> <tr><td>b25</td><td>DMINT1</td><td>USB1 DM 割り込み要因による復帰表示ビット</td></tr> <tr><td>b28</td><td></td><td>(予約ビット)</td></tr> <tr><td>b29</td><td></td><td>(予約ビット)</td></tr> <tr><td>b31</td><td>DVBINT1</td><td>USB1 VBUS 割り込み要因による復帰表示ビット</td></tr> </table>			b0	DPINTE0	USB0 DP 割り込み許可/クリアビット	b1	DMINTE0	USB0 DM 割り込み許可/クリアビット	b4	DOVRCRAE0	USB0 OVRCURA 割り込み許可/クリアビット	b5	DOVRCRBE0	USB0 OVRCURB 割り込み許可/クリアビット	b7	DVBSE0	USB0 VBUS 割り込み許可/クリアビット	b8	DPINTE1	USB1 DP 割り込み許可/クリアビット	b9	DMINTE1	USB1 DM 割り込み許可/クリアビット	b12		(予約ビット)	b13		(予約ビット)	b15	DVBSE1	USB1 VBUS 割り込み許可/クリアビット	b16	DPINT0	USB0 DP 割り込み要因による復帰表示ビット	b17	DMINT0	USB0 DM 割り込み要因による復帰表示ビット	b20	DOVRCRA0	USB0 OVRCURA 割り込み要因による復帰表示ビット	b21	DOVRCRB0	USB0 OVRCURB 割り込み要因による復帰表示ビット	b23	DVBINT0	USB0 VBUS 割り込み要因による復帰表示ビット	b24	DPINT1	USB1 DP 割り込み要因による復帰表示ビット	b25	DMINT1	USB1 DM 割り込み要因による復帰表示ビット	b28		(予約ビット)	b29		(予約ビット)	b31	DVBINT1	USB1 VBUS 割り込み要因による復帰表示ビット
	b0	DPINTE0	USB0 DP 割り込み許可/クリアビット																																																																																																																												
b1	DMINTE0	USB0 DM 割り込み許可/クリアビット																																																																																																																													
b4	DOVRCRAE0	USB0 OVRCURA 割り込み許可/クリアビット																																																																																																																													
b5	DOVRCRBE0	USB0 OVRCURB 割り込み許可/クリアビット																																																																																																																													
b7	DVBSE0	USB0 VBUS 割り込み許可/クリアビット																																																																																																																													
b8	DPINTE1	USB1 DP 割り込み許可/クリアビット																																																																																																																													
b9	DMINTE1	USB1 DM 割り込み許可/クリアビット																																																																																																																													
b12	DOVRCRAE1	USB1 OVRCURA 割り込み許可/クリアビット																																																																																																																													
b13	DOVRCRBE1	USB1 OVRCURB 割り込み許可/クリアビット																																																																																																																													
b15	DVBSE1	USB1 VBUS 割り込み許可/クリアビット																																																																																																																													
b16	DPINT0	USB0 DP 割り込み要因による復帰表示ビット																																																																																																																													
b17	DMINT0	USB0 DM 割り込み要因による復帰表示ビット																																																																																																																													
b20	OVRCURAINT0	USB0 OVRCURA 割り込み要因による復帰表示ビット																																																																																																																													
b21	OVRCURBINT0	USB0 OVRCURB 割り込み要因による復帰表示ビット																																																																																																																													
b23	DVBINT0	USB0 VBUS 割り込み要因による復帰表示ビット																																																																																																																													
b24	DPINT1	USB1 DP 割り込み要因による復帰表示ビット																																																																																																																													
b25	DMINT1	USB1 DM 割り込み要因による復帰表示ビット																																																																																																																													
b28	DOVRCRA1	USB1 OVRCURA 割り込み要因による復帰表示ビット																																																																																																																													
b29	DOVRCRB1	USB1 OVRCURB 割り込み要因による復帰表示ビット																																																																																																																													
b31	DVBINT1	USB1 VBUS 割り込み要因による復帰表示ビット																																																																																																																													
b0	DPINTE0	USB0 DP 割り込み許可/クリアビット																																																																																																																													
b1	DMINTE0	USB0 DM 割り込み許可/クリアビット																																																																																																																													
b4	DOVRCRAE0	USB0 OVRCURA 割り込み許可/クリアビット																																																																																																																													
b5	DOVRCRBE0	USB0 OVRCURB 割り込み許可/クリアビット																																																																																																																													
b7	DVBSE0	USB0 VBUS 割り込み許可/クリアビット																																																																																																																													
b8	DPINTE1	USB1 DP 割り込み許可/クリアビット																																																																																																																													
b9	DMINTE1	USB1 DM 割り込み許可/クリアビット																																																																																																																													
b12		(予約ビット)																																																																																																																													
b13		(予約ビット)																																																																																																																													
b15	DVBSE1	USB1 VBUS 割り込み許可/クリアビット																																																																																																																													
b16	DPINT0	USB0 DP 割り込み要因による復帰表示ビット																																																																																																																													
b17	DMINT0	USB0 DM 割り込み要因による復帰表示ビット																																																																																																																													
b20	DOVRCRA0	USB0 OVRCURA 割り込み要因による復帰表示ビット																																																																																																																													
b21	DOVRCRB0	USB0 OVRCURB 割り込み要因による復帰表示ビット																																																																																																																													
b23	DVBINT0	USB0 VBUS 割り込み要因による復帰表示ビット																																																																																																																													
b24	DPINT1	USB1 DP 割り込み要因による復帰表示ビット																																																																																																																													
b25	DMINT1	USB1 DM 割り込み要因による復帰表示ビット																																																																																																																													
b28		(予約ビット)																																																																																																																													
b29		(予約ビット)																																																																																																																													
b31	DVBINT1	USB1 VBUS 割り込み要因による復帰表示ビット																																																																																																																													
シリアル コミュニケー ションインタ フェース	機能	<ul style="list-style-type: none"> <li>SC1a</li> </ul> <table border="1"> <tr><td rowspan="5">シリアル 通信方式</td><td>調歩同期式</td></tr> <tr><td>クロック同期式</td></tr> <tr><td>スマートカードインタフェース</td></tr> <tr><td></td></tr> <tr><td>TMR クロック入力</td></tr> </table>			シリアル 通信方式	調歩同期式	クロック同期式	スマートカードインタフェース		TMR クロック入力	<ul style="list-style-type: none"> <li>SC1c</li> </ul> <table border="1"> <tr><td rowspan="6">シリアル 通信方式</td><td>調歩同期式</td></tr> <tr><td>クロック同期式</td></tr> <tr><td>スマートカードインタフェース</td></tr> <tr><td>簡易 I2C バス (MSB ファーストのみ)</td></tr> <tr><td>簡易 SPI バス</td></tr> <tr><td>TMR クロック入力</td></tr> <tr><td>ハードウェア フロー制御</td><td>調歩同期式</td></tr> <tr><td></td><td>クロック同期式</td></tr> </table> <ul style="list-style-type: none"> <li>SC1d</li> </ul> <table border="1"> <tr><td rowspan="5">シリアル 通信方式</td><td>調歩同期式</td></tr> <tr><td>クロック同期式</td></tr> <tr><td>スマートカードインタフェース</td></tr> <tr><td>簡易 I2C バス (MSB ファーストのみ)</td></tr> <tr><td>簡易 SPI バス</td></tr> <tr><td>TMR クロック入力</td></tr> <tr><td>ハードウェア フロー制御</td><td>調歩同期式</td></tr> <tr><td></td><td>クロック同期式</td></tr> <tr><td>拡張シリアル モード</td><td>Start Frame 送信/受信機能</td></tr> </table>			シリアル 通信方式	調歩同期式	クロック同期式	スマートカードインタフェース	簡易 I2C バス (MSB ファーストのみ)	簡易 SPI バス	TMR クロック入力	ハードウェア フロー制御	調歩同期式		クロック同期式	シリアル 通信方式	調歩同期式	クロック同期式	スマートカードインタフェース	簡易 I2C バス (MSB ファーストのみ)	簡易 SPI バス	TMR クロック入力	ハードウェア フロー制御	調歩同期式		クロック同期式	拡張シリアル モード	Start Frame 送信/受信機能																																																																																										
	シリアル 通信方式	調歩同期式																																																																																																																													
クロック同期式																																																																																																																															
スマートカードインタフェース																																																																																																																															
TMR クロック入力																																																																																																																															
シリアル 通信方式	調歩同期式																																																																																																																														
	クロック同期式																																																																																																																														
	スマートカードインタフェース																																																																																																																														
	簡易 I2C バス (MSB ファーストのみ)																																																																																																																														
	簡易 SPI バス																																																																																																																														
	TMR クロック入力																																																																																																																														
ハードウェア フロー制御	調歩同期式																																																																																																																														
	クロック同期式																																																																																																																														
シリアル 通信方式	調歩同期式																																																																																																																														
	クロック同期式																																																																																																																														
	スマートカードインタフェース																																																																																																																														
	簡易 I2C バス (MSB ファーストのみ)																																																																																																																														
	簡易 SPI バス																																																																																																																														
TMR クロック入力																																																																																																																															
ハードウェア フロー制御	調歩同期式																																																																																																																														
	クロック同期式																																																																																																																														
拡張シリアル モード	Start Frame 送信/受信機能																																																																																																																														
	レジスタ/ ビット	<ul style="list-style-type: none"> <li>シリアルステータスレジスタ (SSR)</li> </ul> <table border="1"> <tr><td>b0</td><td>MPBT</td><td>マルチプロセッサビット転送ビット</td></tr> <tr><td>b1</td><td>MPB</td><td>マルチプロセッサビット</td></tr> <tr><td>b2</td><td>TEND</td><td>送信完了フラグ</td></tr> <tr><td>b3</td><td>PER</td><td>パリティエラーフラグ</td></tr> <tr><td>b4</td><td>FER</td><td>フレーミングエラーフラグ</td></tr> <tr><td>b5</td><td>ORER</td><td>オーバランエラーフラグ</td></tr> <tr><td>b6</td><td>RDRF</td><td>受信データフルフラグ</td></tr> <tr><td>b7</td><td>TDRE</td><td>送信データエンプティフラグ</td></tr> </table>			b0	MPBT	マルチプロセッサビット転送ビット	b1	MPB	マルチプロセッサビット	b2	TEND	送信完了フラグ	b3	PER	パリティエラーフラグ	b4	FER	フレーミングエラーフラグ	b5	ORER	オーバランエラーフラグ	b6	RDRF	受信データフルフラグ	b7	TDRE	送信データエンプティフラグ	<ul style="list-style-type: none"> <li>シリアルステータスレジスタ (SSR)</li> </ul> <table border="1"> <tr><td>b0</td><td>MPBT</td><td>マルチプロセッサビットトランスファビット</td></tr> <tr><td>b1</td><td>MPB</td><td>マルチプロセッサビット</td></tr> <tr><td>b2</td><td>TEND</td><td>トランスミットエンドフラグ</td></tr> <tr><td>b3</td><td>PER</td><td>パリティエラーフラグ</td></tr> <tr><td>b4</td><td>FER</td><td>フレーミングエラーフラグ</td></tr> <tr><td>b5</td><td>ORER</td><td>オーバランエラーフラグ</td></tr> <tr><td>b6</td><td></td><td>(予約ビット)</td></tr> <tr><td>b7</td><td></td><td>(予約ビット)</td></tr> </table>			b0	MPBT	マルチプロセッサビットトランスファビット	b1	MPB	マルチプロセッサビット	b2	TEND	トランスミットエンドフラグ	b3	PER	パリティエラーフラグ	b4	FER	フレーミングエラーフラグ	b5	ORER	オーバランエラーフラグ	b6		(予約ビット)	b7		(予約ビット)																																																																								
b0	MPBT	マルチプロセッサビット転送ビット																																																																																																																													
b1	MPB	マルチプロセッサビット																																																																																																																													
b2	TEND	送信完了フラグ																																																																																																																													
b3	PER	パリティエラーフラグ																																																																																																																													
b4	FER	フレーミングエラーフラグ																																																																																																																													
b5	ORER	オーバランエラーフラグ																																																																																																																													
b6	RDRF	受信データフルフラグ																																																																																																																													
b7	TDRE	送信データエンプティフラグ																																																																																																																													
b0	MPBT	マルチプロセッサビットトランスファビット																																																																																																																													
b1	MPB	マルチプロセッサビット																																																																																																																													
b2	TEND	トランスミットエンドフラグ																																																																																																																													
b3	PER	パリティエラーフラグ																																																																																																																													
b4	FER	フレーミングエラーフラグ																																																																																																																													
b5	ORER	オーバランエラーフラグ																																																																																																																													
b6		(予約ビット)																																																																																																																													
b7		(予約ビット)																																																																																																																													

表2.25 機能および仕様の相違点(25)

項目		RX62N グループ		RX63N グループ	
シリアル コミュニケーション インタ フェース	レジスタ/ ビット	● シリアル拡張モードレジスタ (SEMR)		● シリアル拡張モードレジスタ (SEMR)	
		b0 ACS0 調歩同期クロックソース選択ビット	b4 ABCS 調歩同期基本クロック選択ビット	b0 ACS0 調歩同期クロックソースセレクト ビット	b4 ABCS 調歩同期基本クロックセレクトビット
		b5 (予約ビット)		b5 NFEN デジタルノイズフィルタ機能 イネーブルビット	
				● ノイズフィルタ設定レジスタ (SNFR)	
				● I <sup>2</sup> C モードレジスタ 1 (SIMR1)	
				● I <sup>2</sup> C モードレジスタ 2 (SIMR2)	
				● I <sup>2</sup> C モードレジスタ 3 (SIMR3)	
				● I <sup>2</sup> C ステータスレジスタ (SISR)	
				● SPI モードレジスタ (SPMR)	
				● 拡張シリアルモード有効レジスタ (ESMER)	
				● コントロールレジスタ 0 (CR0)	
				● コントロールレジスタ 1 (CR1)	
				● コントロールレジスタ 2 (CR2)	
				● コントロールレジスタ 3 (CR3)	
				● ポートコントロールレジスタ (PCR)	
				● 割り込みコントロールレジスタ (ICR)	
				● ステータスレジスタ (STR)	
				● ステータスクリアレジスタ (STCR)	
				● Control Field 0 データレジスタ (CF0DR)	
				● Control Field 0 コンペアイネーブルレジスタ (CF0CR)	
				● Control Field 0 受信データレジスタ (CF0RR)	
				● プライマリ Control Field 1 データレジスタ (PCF1DR)	
				● セカンダリ Control Field 1 データレジスタ (SCF1DR)	
				● Control Field 1 コンペアイネーブルレジスタ (CF1CR)	
				● Control Field 1 受信データレジスタ (CF1RR)	
				● タイマコントロールレジスタ (TCR)	
				● タイマモードレジスタ (TMR)	
				● タイマプリスケアラレジスタ (TPRE)	
				● タイマカウントレジスタ (TCNT)	
I <sup>2</sup> C バス インタフェー ス	機能	● 仕様概要		● 仕様概要	
		使用上の 注意事項	入力バッファコントロールレジスタの設 定	使用上の 注意事項	通信の開始に関する注意事項
CAN モジュール	機能	● CAN モジュールの仕様		● CAN モジュールの仕様	
		CAN クロック ソース	周辺モジュールクロック (PCLK)	CAN クロック ソース	周辺モジュールクロック (PCLK) CANMCLK
	ユニット	● 1 ユニット【CAN0】		● 3 ユニット【CAN0~2】	
	レジスタ/ ビット	● ビットコンフィグレーションレジスタ (BCR)		● ビットコンフィグレーションレジスタ (BCR)	
	b0 (予約ビット)	b8 TSEG2[2:0] タイムセグメント 2 制御ビット	b0 CCLKS0 CAN クロックソース選択ビット	b8 TSEG2[2:0] タイムセグメント 2 制御ビット	
	b12 SJW[1:0] 再同期ジャンプ幅制御ビット	b12 SJW[1:0] 再同期ジャンプ幅制御ビット	b12 SJW[1:0] 再同期ジャンプ幅制御ビット	b13	
	b16 BRP[9:0] プリスケアラ分周比選択ビット	b16 BRP[9:0] プリスケアラ分周比選択ビット	b16 BRP[9:0] プリスケアラ分周比選択ビット	b25	
	b28 TSEG1[3:0] タイムセグメント 1 制御ビット	b28 TSEG1[3:0] タイムセグメント 1 制御ビット	b28 TSEG1[3:0] タイムセグメント 1 制御ビット	b31	
	● マスク無効レジスタ (MKIVLR)		● マスク無効レジスタ (MKIVLR)		
	b0	b0 MB0 マスク無効ビット	b0	MB0	
	b31	b31 MB31	b31	MB31	

表.2.26 機能および仕様の相違点(26)

項目		RX62N グループ	RX63N グループ																																																																																																																								
CAN モジュール	レジスタ/ ビット	<ul style="list-style-type: none"> <li>● メールボックス割り込み許可レジスタ (MIER)                             <ul style="list-style-type: none"> <li>・通常メールボックスモード                                     <table border="1"> <tr> <td>b0</td> <td></td> <td>割り込み許可ビット</td> </tr> <tr> <td>b31</td> <td></td> <td></td> </tr> </table> </li> <li>・FIFO メールボックスモード                                     <table border="1"> <tr> <td>b0</td> <td></td> <td>割り込み許可ビット</td> </tr> <tr> <td>b23</td> <td></td> <td></td> </tr> <tr> <td>b24</td> <td></td> <td>送信 FIFO 割り込み許可ビット</td> </tr> <tr> <td>b25</td> <td></td> <td>送信 FIFO 割り込み発生タイミング制御ビット</td> </tr> <tr> <td>b28</td> <td></td> <td>受信 FIFO 割り込み許可ビット</td> </tr> <tr> <td>b29</td> <td></td> <td>受信 FIFO 割り込み発生タイミング制御ビット</td> </tr> </table> </li> </ul> </li> </ul>	b0		割り込み許可ビット	b31			b0		割り込み許可ビット	b23			b24		送信 FIFO 割り込み許可ビット	b25		送信 FIFO 割り込み発生タイミング制御ビット	b28		受信 FIFO 割り込み許可ビット	b29		受信 FIFO 割り込み発生タイミング制御ビット	<ul style="list-style-type: none"> <li>● メールボックス割り込み許可レジスタ (MIER)                             <ul style="list-style-type: none"> <li>・通常メールボックスモード                                     <table border="1"> <tr> <td>b0</td> <td>MB0</td> <td>割り込み許可ビット</td> </tr> <tr> <td>b31</td> <td>MB31</td> <td></td> </tr> </table> </li> <li>・FIFO メールボックスモード                                     <table border="1"> <tr> <td>b0</td> <td>MB0</td> <td>割り込み許可ビット</td> </tr> <tr> <td>b23</td> <td>MB23</td> <td></td> </tr> <tr> <td>b24</td> <td>MB24</td> <td>送信 FIFO 割り込み許可ビット</td> </tr> <tr> <td>b25</td> <td>MB25</td> <td>送信 FIFO 割り込み発生タイミング制御ビット</td> </tr> <tr> <td>b28</td> <td>MB28</td> <td>受信 FIFO 割り込み許可ビット</td> </tr> <tr> <td>b29</td> <td>MB29</td> <td>受信 FIFO 割り込み発生タイミング制御ビット</td> </tr> </table> </li> </ul> </li> </ul>	b0	MB0	割り込み許可ビット	b31	MB31		b0	MB0	割り込み許可ビット	b23	MB23		b24	MB24	送信 FIFO 割り込み許可ビット	b25	MB25	送信 FIFO 割り込み発生タイミング制御ビット	b28	MB28	受信 FIFO 割り込み許可ビット	b29	MB29	受信 FIFO 割り込み発生タイミング制御ビット																																																																								
		b0		割り込み許可ビット																																																																																																																							
b31																																																																																																																											
b0		割り込み許可ビット																																																																																																																									
b23																																																																																																																											
b24		送信 FIFO 割り込み許可ビット																																																																																																																									
b25		送信 FIFO 割り込み発生タイミング制御ビット																																																																																																																									
b28		受信 FIFO 割り込み許可ビット																																																																																																																									
b29		受信 FIFO 割り込み発生タイミング制御ビット																																																																																																																									
b0	MB0	割り込み許可ビット																																																																																																																									
b31	MB31																																																																																																																										
b0	MB0	割り込み許可ビット																																																																																																																									
b23	MB23																																																																																																																										
b24	MB24	送信 FIFO 割り込み許可ビット																																																																																																																									
b25	MB25	送信 FIFO 割り込み発生タイミング制御ビット																																																																																																																									
b28	MB28	受信 FIFO 割り込み許可ビット																																																																																																																									
b29	MB29	受信 FIFO 割り込み発生タイミング制御ビット																																																																																																																									
シリアル ペリフェラル インタフェース	機能	<ul style="list-style-type: none"> <li>● RSPI の仕様                             <table border="1"> <tr> <td>ビットレート</td> <td></td> </tr> <tr> <td>その他の機能</td> <td>CMOS/オープンドレイン出力切り替え機能可能 RSPI ディスエーブル (初期化) 機能 ループバックモード機能</td> </tr> </table> </li> </ul>	ビットレート		その他の機能	CMOS/オープンドレイン出力切り替え機能可能 RSPI ディスエーブル (初期化) 機能 ループバックモード機能	<ul style="list-style-type: none"> <li>● RSPI の仕様                             <table border="1"> <tr> <td>ビットレート</td> <td>マスタモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2 ~ 4096 分周) スリープモード時、外部入力クロックをシリアルクロックとして使用 (最大周波数は PCLK の 8 分周) High 幅: PCLK の 4 サイクル、Low 幅: PCLK の 4 サイクル</td> </tr> <tr> <td>その他の機能</td> <td>RSPI ディスエーブル (初期化) 機能 ループバックモード機能</td> </tr> </table> </li> </ul>	ビットレート	マスタモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2 ~ 4096 分周) スリープモード時、外部入力クロックをシリアルクロックとして使用 (最大周波数は PCLK の 8 分周) High 幅: PCLK の 4 サイクル、Low 幅: PCLK の 4 サイクル	その他の機能	RSPI ディスエーブル (初期化) 機能 ループバックモード機能																																																																																																																
	ビットレート																																																																																																																										
その他の機能	CMOS/オープンドレイン出力切り替え機能可能 RSPI ディスエーブル (初期化) 機能 ループバックモード機能																																																																																																																										
ビットレート	マスタモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2 ~ 4096 分周) スリープモード時、外部入力クロックをシリアルクロックとして使用 (最大周波数は PCLK の 8 分周) High 幅: PCLK の 4 サイクル、Low 幅: PCLK の 4 サイクル																																																																																																																										
その他の機能	RSPI ディスエーブル (初期化) 機能 ループバックモード機能																																																																																																																										
	チャンネル	● 2 チャンネル【RSPI0、1】	● 3 チャンネル【RSPI0 ~ 2】																																																																																																																								
	レジスタ/ ビット	<ul style="list-style-type: none"> <li>● RSPI 端子制御レジスタ (SPPCR)                             <table border="1"> <tr> <td>b0</td> <td>SPLP</td> <td>RSPI ループバックビット</td> </tr> <tr> <td>b1</td> <td>SPLP2</td> <td>RSPI ループバック 2 ビット</td> </tr> <tr> <td>b2</td> <td>SPOM</td> <td>RSPI 出力端子モードビット</td> </tr> <tr> <td>b4</td> <td>MOIFV</td> <td>MOSI アイドル固定値ビット</td> </tr> <tr> <td>b5</td> <td>MOIFE</td> <td>MOSI アイドル値固定許可ビット</td> </tr> </table> </li> <li>● RSPI ステータスレジスタ (SPSR)                             <table border="1"> <tr> <td>b0</td> <td>OVRF</td> <td>オーバランエラーフラグ</td> </tr> <tr> <td>b1</td> <td>IDLNF</td> <td>RSPI アイドルフラグ</td> </tr> <tr> <td>b2</td> <td>MODF</td> <td>モードフォルトエラーフラグ</td> </tr> <tr> <td>b3</td> <td>PERF</td> <td>パリティエラーフラグ</td> </tr> <tr> <td>b5</td> <td>SPTEF</td> <td>送信バッファエンプティフラグ</td> </tr> <tr> <td>b7</td> <td>SPRF</td> <td>受信バッファフルフラグ</td> </tr> </table> </li> <li>● RSPI データレジスタ (SPDR)                             <table border="1"> <tr> <td>b0</td> <td>L[15:0]</td> <td></td> </tr> <tr> <td>b15</td> <td></td> <td></td> </tr> <tr> <td>b16</td> <td>H[15:0]</td> <td></td> </tr> <tr> <td>b31</td> <td></td> <td></td> </tr> </table> </li> <li>● RSPI データコントロールレジスタ (SPDCR)                             <table border="1"> <tr> <td>b0</td> <td>SPFC[1:0]</td> <td>フレーム数設定ビット</td> </tr> <tr> <td>b1</td> <td></td> <td></td> </tr> <tr> <td>b2</td> <td>SLSEL[1:0]</td> <td>SSL 端子出力選択ビット</td> </tr> <tr> <td>b3</td> <td></td> <td></td> </tr> <tr> <td>b4</td> <td>SPRDTD</td> <td>RSPI 受信/送信データ選択ビット</td> </tr> <tr> <td>b5</td> <td>SPLW</td> <td>RSPI ロングワードアクセス/ワードアクセス設定ビット</td> </tr> </table> </li> </ul>	b0	SPLP	RSPI ループバックビット	b1	SPLP2	RSPI ループバック 2 ビット	b2	SPOM	RSPI 出力端子モードビット	b4	MOIFV	MOSI アイドル固定値ビット	b5	MOIFE	MOSI アイドル値固定許可ビット	b0	OVRF	オーバランエラーフラグ	b1	IDLNF	RSPI アイドルフラグ	b2	MODF	モードフォルトエラーフラグ	b3	PERF	パリティエラーフラグ	b5	SPTEF	送信バッファエンプティフラグ	b7	SPRF	受信バッファフルフラグ	b0	L[15:0]		b15			b16	H[15:0]		b31			b0	SPFC[1:0]	フレーム数設定ビット	b1			b2	SLSEL[1:0]	SSL 端子出力選択ビット	b3			b4	SPRDTD	RSPI 受信/送信データ選択ビット	b5	SPLW	RSPI ロングワードアクセス/ワードアクセス設定ビット	<ul style="list-style-type: none"> <li>● RSPI 端子制御レジスタ (SPPCR)                             <table border="1"> <tr> <td>b0</td> <td>SPLP</td> <td>RSPI ループバックビット</td> </tr> <tr> <td>b1</td> <td>SPLP2</td> <td>RSPI ループバック 2 ビット</td> </tr> <tr> <td>b2</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b4</td> <td>MOIFV</td> <td>MOSI アイドル固定値ビット</td> </tr> <tr> <td>b5</td> <td>MOIFE</td> <td>MOSI アイドル値固定許可ビット</td> </tr> </table> </li> <li>● RSPI ステータスレジスタ (SPSR)                             <table border="1"> <tr> <td>b0</td> <td>OVRF</td> <td>オーバランエラーフラグ</td> </tr> <tr> <td>b1</td> <td>IDLNF</td> <td>RSPI アイドルフラグ</td> </tr> <tr> <td>b2</td> <td>MODF</td> <td>モードフォルトエラーフラグ</td> </tr> <tr> <td>b3</td> <td>PERF</td> <td>パリティエラーフラグ</td> </tr> <tr> <td>b5</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b7</td> <td></td> <td>(予約ビット)</td> </tr> </table> </li> <li>● RSPI データレジスタ (SPDR)                             <table border="1"> <tr> <td>b0</td> <td>SPD0</td> <td></td> </tr> <tr> <td>b31</td> <td>SPD31</td> <td></td> </tr> </table> </li> <li>● RSPI データコントロールレジスタ (SPDCR)                             <table border="1"> <tr> <td>b0</td> <td>SPFC[1:0]</td> <td>フレーム数設定ビット</td> </tr> <tr> <td>b1</td> <td></td> <td></td> </tr> <tr> <td>b2</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b3</td> <td></td> <td></td> </tr> <tr> <td>b4</td> <td>SPRDTD</td> <td>RSPI 受信/送信データ選択ビット</td> </tr> <tr> <td>b5</td> <td>SPLW</td> <td>RSPI ロングワードアクセス/ワードアクセス設定ビット</td> </tr> </table> </li> </ul>	b0	SPLP	RSPI ループバックビット	b1	SPLP2	RSPI ループバック 2 ビット	b2		(予約ビット)	b4	MOIFV	MOSI アイドル固定値ビット	b5	MOIFE	MOSI アイドル値固定許可ビット	b0	OVRF	オーバランエラーフラグ	b1	IDLNF	RSPI アイドルフラグ	b2	MODF	モードフォルトエラーフラグ	b3	PERF	パリティエラーフラグ	b5		(予約ビット)	b7		(予約ビット)	b0	SPD0		b31	SPD31		b0	SPFC[1:0]	フレーム数設定ビット	b1			b2		(予約ビット)	b3			b4	SPRDTD	RSPI 受信/送信データ選択ビット	b5	SPLW	RSPI ロングワードアクセス/ワードアクセス設定ビット
b0	SPLP	RSPI ループバックビット																																																																																																																									
b1	SPLP2	RSPI ループバック 2 ビット																																																																																																																									
b2	SPOM	RSPI 出力端子モードビット																																																																																																																									
b4	MOIFV	MOSI アイドル固定値ビット																																																																																																																									
b5	MOIFE	MOSI アイドル値固定許可ビット																																																																																																																									
b0	OVRF	オーバランエラーフラグ																																																																																																																									
b1	IDLNF	RSPI アイドルフラグ																																																																																																																									
b2	MODF	モードフォルトエラーフラグ																																																																																																																									
b3	PERF	パリティエラーフラグ																																																																																																																									
b5	SPTEF	送信バッファエンプティフラグ																																																																																																																									
b7	SPRF	受信バッファフルフラグ																																																																																																																									
b0	L[15:0]																																																																																																																										
b15																																																																																																																											
b16	H[15:0]																																																																																																																										
b31																																																																																																																											
b0	SPFC[1:0]	フレーム数設定ビット																																																																																																																									
b1																																																																																																																											
b2	SLSEL[1:0]	SSL 端子出力選択ビット																																																																																																																									
b3																																																																																																																											
b4	SPRDTD	RSPI 受信/送信データ選択ビット																																																																																																																									
b5	SPLW	RSPI ロングワードアクセス/ワードアクセス設定ビット																																																																																																																									
b0	SPLP	RSPI ループバックビット																																																																																																																									
b1	SPLP2	RSPI ループバック 2 ビット																																																																																																																									
b2		(予約ビット)																																																																																																																									
b4	MOIFV	MOSI アイドル固定値ビット																																																																																																																									
b5	MOIFE	MOSI アイドル値固定許可ビット																																																																																																																									
b0	OVRF	オーバランエラーフラグ																																																																																																																									
b1	IDLNF	RSPI アイドルフラグ																																																																																																																									
b2	MODF	モードフォルトエラーフラグ																																																																																																																									
b3	PERF	パリティエラーフラグ																																																																																																																									
b5		(予約ビット)																																																																																																																									
b7		(予約ビット)																																																																																																																									
b0	SPD0																																																																																																																										
b31	SPD31																																																																																																																										
b0	SPFC[1:0]	フレーム数設定ビット																																																																																																																									
b1																																																																																																																											
b2		(予約ビット)																																																																																																																									
b3																																																																																																																											
b4	SPRDTD	RSPI 受信/送信データ選択ビット																																																																																																																									
b5	SPLW	RSPI ロングワードアクセス/ワードアクセス設定ビット																																																																																																																									
IEBus™ コントローラ	レジスタ/ ビット		<ul style="list-style-type: none"> <li>● IEBus コントロールレジスタ (IECTR)</li> <li>● IEBus コマンドレジスタ (IECMR)</li> <li>● IEBus マスタコントロールレジスタ (IEMCR)</li> <li>● IEBus 自局アドレスレジスタ 1 (IEAR1)</li> <li>● IEBus 自局アドレスレジスタ 2 (IEAR2)</li> <li>● IEBus スリープアドレス設定レジスタ 1 (IESA1)</li> <li>● IEBus スリープアドレス設定レジスタ 2 (IESA2)</li> <li>● IEBus 送信電文長レジスタ (IETBFL)</li> <li>● IEBus 受信マスタアドレスレジスタ 1 (IEMA1)</li> <li>● IEBus 受信マスタアドレスレジスタ 2 (IEMA2)</li> </ul>																																																																																																																								

表2.27 機能および仕様の相違点(27)

項目		RX62N グループ	RX63N グループ																																																
IEBus™ コントローラ	レジスタ/ ビット		<ul style="list-style-type: none"> <li>● IEBus 受信コントロールフィールドレジスタ (IERCTL)</li> <li>● IEBus 受信電文長レジスタ (IERBFL)</li> <li>● IEBus ロックアドレスレジスタ 1 (IELA1)</li> <li>● IEBus ロックアドレスレジスタ 2 (IELA2)</li> <li>● IEBus ゼネラルフラグレジスタ (IEFLG)</li> <li>● IEBus 送信ステータスレジスタ (IETSR)</li> <li>● IEBus 送信割り込み許可レジスタ (IEIET)</li> <li>● IEBus 受信ステータスレジスタ (IERSR)</li> <li>● IEBus 受信割り込み許可レジスタ (IEIER)</li> <li>● IEBus クロック選択レジスタ (IECKSR)</li> <li>● IEBus 送信データバッファレジスタ 001 ~ 032 (IETB001 ~ IETB032)</li> <li>● IEBus 受信データバッファレジスタ 001 ~ 032 (IERB001 ~ IERB032)</li> </ul>																																																
		12 ビット A/D コンバータ	機能	機能																																															
		<ul style="list-style-type: none"> <li>● 仕様概要</li> </ul> <table border="1"> <tr> <td>入力チャンネル</td> <td>8 チャンネル</td> </tr> <tr> <td rowspan="5">開始トリガ</td> <td>ソフトウェアトリガ</td> </tr> <tr> <td>MTU</td> </tr> <tr> <td>TMR</td> </tr> <tr> <td>外部トリガ (ADTRG0#端子)</td> </tr> <tr> <td></td> </tr> <tr> <td>データレジスタ</td> <td>アナログ入力用: 8 本</td> </tr> <tr> <td></td> <td>A/D 変換結果を 12 ビットの A/D レジスタに保持</td> </tr> <tr> <td></td> <td>加算モード時は、A/D 変換結果を 14 ビットの A/D データレジスタに保持</td> </tr> <tr> <td>機能</td> <td>サンプル&amp;ホールド機能</td> </tr> <tr> <td></td> <td>A/D 変換値加算モード</td> </tr> </table>	入力チャンネル	8 チャンネル	開始トリガ	ソフトウェアトリガ	MTU	TMR	外部トリガ (ADTRG0#端子)		データレジスタ	アナログ入力用: 8 本		A/D 変換結果を 12 ビットの A/D レジスタに保持		加算モード時は、A/D 変換結果を 14 ビットの A/D データレジスタに保持	機能	サンプル&ホールド機能		A/D 変換値加算モード	<ul style="list-style-type: none"> <li>● 仕様概要</li> </ul> <table border="1"> <tr> <td>入力チャンネル</td> <td>21 チャンネル</td> </tr> <tr> <td rowspan="5">開始トリガ</td> <td>ソフトウェアトリガ</td> </tr> <tr> <td>TPU</td> </tr> <tr> <td>MTU</td> </tr> <tr> <td>TMR</td> </tr> <tr> <td>外部トリガ (ADTRG0#端子)</td> </tr> <tr> <td>拡張アナログ入力</td> <td>温度センサ出力</td> </tr> <tr> <td></td> <td>内部基準電圧の A/D 変換</td> </tr> <tr> <td>データレジスタ</td> <td>アナログ入力用: 21 本</td> </tr> <tr> <td></td> <td>温度センサ用: 1 本</td> </tr> <tr> <td></td> <td>内部基準電圧用: 1 本</td> </tr> <tr> <td></td> <td>A/D 変換結果を 12 ビットの A/D レジスタに保持</td> </tr> <tr> <td></td> <td>加算モード時は、A/D 変換結果を 14 ビットの A/D データレジスタに保持</td> </tr> <tr> <td>機能</td> <td>サンプル&amp;ホールド機能</td> </tr> <tr> <td></td> <td>サンプリングステート数可変機能</td> </tr> <tr> <td></td> <td>A/D 変換値加算モード</td> </tr> </table>	入力チャンネル	21 チャンネル	開始トリガ	ソフトウェアトリガ	TPU	MTU	TMR	外部トリガ (ADTRG0#端子)	拡張アナログ入力	温度センサ出力		内部基準電圧の A/D 変換	データレジスタ	アナログ入力用: 21 本		温度センサ用: 1 本		内部基準電圧用: 1 本		A/D 変換結果を 12 ビットの A/D レジスタに保持		加算モード時は、A/D 変換結果を 14 ビットの A/D データレジスタに保持	機能	サンプル&ホールド機能		サンプリングステート数可変機能		A/D 変換値加算モード		
入力チャンネル	8 チャンネル																																																		
開始トリガ	ソフトウェアトリガ																																																		
	MTU																																																		
	TMR																																																		
	外部トリガ (ADTRG0#端子)																																																		
データレジスタ	アナログ入力用: 8 本																																																		
	A/D 変換結果を 12 ビットの A/D レジスタに保持																																																		
	加算モード時は、A/D 変換結果を 14 ビットの A/D データレジスタに保持																																																		
機能	サンプル&ホールド機能																																																		
	A/D 変換値加算モード																																																		
入力チャンネル	21 チャンネル																																																		
開始トリガ	ソフトウェアトリガ																																																		
	TPU																																																		
	MTU																																																		
	TMR																																																		
	外部トリガ (ADTRG0#端子)																																																		
拡張アナログ入力	温度センサ出力																																																		
	内部基準電圧の A/D 変換																																																		
データレジスタ	アナログ入力用: 21 本																																																		
	温度センサ用: 1 本																																																		
	内部基準電圧用: 1 本																																																		
	A/D 変換結果を 12 ビットの A/D レジスタに保持																																																		
	加算モード時は、A/D 変換結果を 14 ビットの A/D データレジスタに保持																																																		
機能	サンプル&ホールド機能																																																		
	サンプリングステート数可変機能																																																		
	A/D 変換値加算モード																																																		
	レジスタ/ ビット	<ul style="list-style-type: none"> <li>● A/D チャンネル選択レジスタ (ADANS)</li> </ul> <table border="1"> <tr> <td>b0</td> <td>ANS[7:0]</td> <td>A/D 変換チャンネル選択ビット</td> </tr> <tr> <td>b7</td> <td></td> <td></td> </tr> <tr> <td>b8</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b15</td> <td></td> <td></td> </tr> </table> <ul style="list-style-type: none"> <li>● A/D 変換値加算モード選択レジスタ (ADADS)</li> </ul> <table border="1"> <tr> <td>b0</td> <td>ADS[7:0]</td> <td>AD 変換値加算チャンネル選択ビット</td> </tr> <tr> <td>b7</td> <td></td> <td></td> </tr> <tr> <td>b8</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b15</td> <td></td> <td></td> </tr> </table> <ul style="list-style-type: none"> <li>● A/D 開始トリガ選択レジスタ (ADSTRGR)</li> </ul> <table border="1"> <tr> <td>b0</td> <td>ADSTRS</td> <td>A/D 開始トリガ選択ビット</td> </tr> <tr> <td>b3</td> <td>[3:0]</td> <td></td> </tr> </table> <p>・ ADSTRGR.ADSTRS[3:0]          ---b: ソフトウェアトリガ          0000b: A/D 変換開始トリガ端子(ADTRG0#端子)          0001b: MTU0 コンペアマッチ/インプットキャプチャ A          0010b: MTU0 コンペアマッチ/インプットキャプチャ B          0011b: MTU0 ~ 4 コンペアマッチ/インプットキャプチャ A          0100b: MTU6 ~ 10 コンペアマッチ/インプットキャプチャ A          0101b: MTU0 コンペアマッチ E          0110b: MTU0 コンペアマッチ F          0111b: MTU4 コンペアマッチ          1000b: MTU10 コンペアマッチ          1001b: TMR0 コンペアマッチ A          1010b: TMR2 コンペアマッチ A</p>	b0	ANS[7:0]	A/D 変換チャンネル選択ビット	b7			b8		(予約ビット)	b15			b0	ADS[7:0]	AD 変換値加算チャンネル選択ビット	b7			b8		(予約ビット)	b15			b0	ADSTRS	A/D 開始トリガ選択ビット	b3	[3:0]		<ul style="list-style-type: none"> <li>● A/D チャンネル選択レジスタ 0 (ADANS0)</li> </ul> <table border="1"> <tr> <td>b0</td> <td>ANS0[15:0]</td> <td>A/D 変換チャンネル選択ビット</td> </tr> <tr> <td>b15</td> <td></td> <td></td> </tr> </table> <ul style="list-style-type: none"> <li>● A/D チャンネル選択レジスタ 1 (ADANS1)</li> <li>● A/D 変換値加算モード選択レジスタ (ADADS0)</li> </ul> <table border="1"> <tr> <td>b0</td> <td>ADS0[15:0]</td> <td>AD 変換値加算チャンネル選択ビット</td> </tr> <tr> <td>b15</td> <td></td> <td></td> </tr> </table> <ul style="list-style-type: none"> <li>● A/D 変換値加算モード選択レジスタ 1 (ADADS1)</li> <li>● A/D 開始トリガ選択レジスタ (ADSTRGR)</li> </ul> <table border="1"> <tr> <td>b0</td> <td>ADSTRS</td> <td>A/D 開始トリガ選択ビット</td> </tr> <tr> <td>b3</td> <td>[3:0]</td> <td></td> </tr> </table> <p>・ ADSTRGR.ADSTRS[3:0]          ---b: ソフトウェアトリガ          0000b: A/D 変換開始トリガ端子(ADTRG0#端子)          0001b: MTU0 コンペアマッチ/インプットキャプチャ A          0010b: MTU0 コンペアマッチ/インプットキャプチャ B          0011b: MTU0 ~ 4 コンペアマッチ/インプットキャプチャ A          0100b: TPU0 ~ 4 コンペアマッチ/インプットキャプチャ A          0101b: MTU0 コンペアマッチ E          0110b: MTU0 コンペアマッチ F          0111b: MTU4 コンペアマッチ          1000b: TPU0 コンペアマッチ/インプットキャプチャ A          1001b: TMR0 コンペアマッチ A          1010b: TMR2 コンペアマッチ A</p>	b0	ANS0[15:0]	A/D 変換チャンネル選択ビット	b15			b0	ADS0[15:0]	AD 変換値加算チャンネル選択ビット	b15			b0	ADSTRS	A/D 開始トリガ選択ビット	b3	[3:0]	
b0	ANS[7:0]	A/D 変換チャンネル選択ビット																																																	
b7																																																			
b8		(予約ビット)																																																	
b15																																																			
b0	ADS[7:0]	AD 変換値加算チャンネル選択ビット																																																	
b7																																																			
b8		(予約ビット)																																																	
b15																																																			
b0	ADSTRS	A/D 開始トリガ選択ビット																																																	
b3	[3:0]																																																		
b0	ANS0[15:0]	A/D 変換チャンネル選択ビット																																																	
b15																																																			
b0	ADS0[15:0]	AD 変換値加算チャンネル選択ビット																																																	
b15																																																			
b0	ADSTRS	A/D 開始トリガ選択ビット																																																	
b3	[3:0]																																																		



表2.28 機能および仕様の相違点(28)

項目		RX62N グループ	RX63N グループ																																													
12 ビット A/D コンバータ	レジスタ/ビット		<ul style="list-style-type: none"> <li>● A/D 変換拡張入力コントロールレジスタ (ADEXICR)</li> <li>● A/D 温度センサデータレジスタ (ADTSR)</li> <li>● A/D 内部基準電圧データレジスタ (ADOCDR)</li> </ul>																																													
		<ul style="list-style-type: none"> <li>● A/D データレジスタ 0~7 (ADDR0~7)</li> </ul>	<ul style="list-style-type: none"> <li>● A/D データレジスタ 0~20 (ADDR0~20)</li> <li>● A/D サンプリングステートレジスタ 01 (ADSSTR01)</li> <li>● A/D サンプリングステートレジスタ 23 (ADSSTR23)</li> </ul>																																													
10 ビット A/D コンバータ	機能	<ul style="list-style-type: none"> <li>● 仕様概要</li> </ul> <table border="1"> <tr> <td>入力チャネル</td> <td>(1ユニット×4チャネル)×2</td> </tr> <tr> <td>開始トリガ</td> <td>ソフトウェアトリガ</td> </tr> <tr> <td></td> <td>MTU</td> </tr> <tr> <td></td> <td>TMR</td> </tr> <tr> <td></td> <td>外部トリガ (ADTRG0#端子)</td> </tr> <tr> <td></td> <td>外部トリガ (ADTRG1#端子)</td> </tr> </table>	入力チャネル	(1ユニット×4チャネル)×2	開始トリガ	ソフトウェアトリガ		MTU		TMR		外部トリガ (ADTRG0#端子)		外部トリガ (ADTRG1#端子)	<ul style="list-style-type: none"> <li>● 仕様概要</li> </ul> <table border="1"> <tr> <td>入力チャネル</td> <td>1ユニット×8チャネル+拡張1本</td> </tr> <tr> <td>開始トリガ</td> <td>ソフトウェアトリガ</td> </tr> <tr> <td></td> <td>TPU</td> </tr> <tr> <td></td> <td>MTU</td> </tr> <tr> <td></td> <td>TMR</td> </tr> <tr> <td></td> <td>外部トリガ (ADTRG#端子)</td> </tr> </table>	入力チャネル	1ユニット×8チャネル+拡張1本	開始トリガ	ソフトウェアトリガ		TPU		MTU		TMR		外部トリガ (ADTRG#端子)																					
	入力チャネル	(1ユニット×4チャネル)×2																																														
開始トリガ	ソフトウェアトリガ																																															
	MTU																																															
	TMR																																															
	外部トリガ (ADTRG0#端子)																																															
	外部トリガ (ADTRG1#端子)																																															
入力チャネル	1ユニット×8チャネル+拡張1本																																															
開始トリガ	ソフトウェアトリガ																																															
	TPU																																															
	MTU																																															
	TMR																																															
	外部トリガ (ADTRG#端子)																																															
	レジスタ/ビット	<ul style="list-style-type: none"> <li>● A/D データレジスタ A~D (ADDRA~D)</li> <li>● A/D コントロール/ステータスレジスタ (ADCSR)</li> </ul> <table border="1"> <tr> <td>b0</td> <td>CH[3:0]</td> <td>チャネル選択ビット</td> </tr> <tr> <td>b3</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b5</td> <td>ADST</td> <td>A/D スタートビット</td> </tr> <tr> <td>b6</td> <td>ADIE</td> <td>A/D 割り込み許可ビット</td> </tr> </table> <p>・ AD0.ADCSR.CH[3:0] 0000b: AN0(シングルモード)/AN0 (スキャンモード) 0001b: AN1(シングルモード)/AN0、1 (スキャンモード) 0010b: AN2(シングルモード)/AN0~2 (スキャンモード) 0011b: AN3(シングルモード)/AN0~3 (スキャンモード) 上記以外は設定しないでください</p> <p>・ AD1.ADCSR.CH[3:0] 0000b: AN4(シングルモード)/AN4 (スキャンモード) 0001b: AN5(シングルモード)/AN4、5 (スキャンモード) 0010b: AN6(シングルモード)/AN4~6 (スキャンモード) 0011b: AN7(シングルモード)/AN4~7 (スキャンモード) 上記以外は設定しないでください</p> <ul style="list-style-type: none"> <li>● A/D コントロールレジスタ (ADCR)</li> </ul> <table border="1"> <tr> <td>b0</td> <td>MODE[1:0]</td> <td>動作モード選択ビット</td> </tr> <tr> <td>b2</td> <td>CKS[1:0]</td> <td>クロック選択ビット</td> </tr> <tr> <td>b5</td> <td>TRGS[2:0]</td> <td>トリガ選択ビット</td> </tr> </table> <p>・ AD0.ADCR.TRGS[2:0] 000b: ソフトウェアトリガ 001b: MTU0~4 コンペアマッチ/インプットキャプチャ A 010b: TMR0 コンペアマッチ 011b: A/D 変換開始トリガ端子(ADTRG0#端子) 100b: MTU0 コンペアマッチ/インプットキャプチャ A 101b: MTU6~10 コンペアマッチ/インプットキャプチャ A 110b: MTU4 コンペアマッチ 111b: MTU10 コンペアマッチ</p> <p>・ AD1.ADCR.TRGS[2:0] 000b: ソフトウェアトリガ 001b: MTU0~4 コンペアマッチ/インプットキャプチャ A 010b: TMR0 コンペアマッチ 011b: A/D 変換開始トリガ端子(ADTRG1#端子) 100b: MTU0 コンペアマッチ/インプットキャプチャ B 101b: MTU6~10 コンペアマッチ/インプットキャプチャ A 110b: MTU4 コンペアマッチ 111b: MTU10 コンペアマッチ</p>	b0	CH[3:0]	チャネル選択ビット	b3		(予約ビット)	b5	ADST	A/D スタートビット	b6	ADIE	A/D 割り込み許可ビット	b0	MODE[1:0]	動作モード選択ビット	b2	CKS[1:0]	クロック選択ビット	b5	TRGS[2:0]	トリガ選択ビット	<ul style="list-style-type: none"> <li>● A/D データレジスタ A~D (ADDRA~D)</li> <li>● A/D データレジスタ E~H (ADDRA~H)</li> <li>● A/D コントロール/ステータスレジスタ (ADCSR)</li> </ul> <table border="1"> <tr> <td>b0</td> <td>CH[2:0]</td> <td>チャネル選択ビット</td> </tr> <tr> <td>b2</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b3</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b5</td> <td>ADST</td> <td>A/D スタートビット</td> </tr> <tr> <td>b6</td> <td>ADIE</td> <td>A/D 割り込み許可ビット</td> </tr> </table> <p>・ ADCSR.CH[2:0] 000b: AN0(シングルモード)/AN0 (スキャンモード) 001b: AN1(シングルモード)/AN0、1 (スキャンモード) 010b: AN2(シングルモード)/AN0~2 (スキャンモード) 011b: AN3(シングルモード)/AN0~3 (スキャンモード) 100b: AN4(シングルモード)/AN0~4 (スキャンモード) 101b: AN5(シングルモード)/AN0~5 (スキャンモード) 110b: AN6(シングルモード)/AN0~6 (スキャンモード) 111b: AN7(シングルモード)/AN0~7 (スキャンモード)</p> <ul style="list-style-type: none"> <li>● A/D コントロールレジスタ (ADCR)</li> </ul> <table border="1"> <tr> <td>b0</td> <td>MODE[1:0]</td> <td>動作モード選択ビット</td> </tr> <tr> <td>b2</td> <td>CKS[1:0]</td> <td>クロック選択ビット</td> </tr> <tr> <td>b5</td> <td>TRGS[2:0]</td> <td>トリガ選択ビット</td> </tr> </table> <p>・ ADCR.TRGS[2:0] 000b: ソフトウェアトリガ 001b: MTU0~4 コンペアマッチ/インプットキャプチャ A 010b: TMR0 コンペアマッチ 011b: A/D 変換開始トリガ端子(ADTRG#端子) 100b: MTU0 コンペアマッチ/インプットキャプチャ A 101b: TPU0~4 コンペアマッチ/インプットキャプチャ A 110b: MTU4 コンペアマッチ 111b: TPU0 コンペアマッチ/インプットキャプチャ A</p>	b0	CH[2:0]	チャネル選択ビット	b2		(予約ビット)	b3		(予約ビット)	b5	ADST	A/D スタートビット	b6	ADIE	A/D 割り込み許可ビット	b0	MODE[1:0]	動作モード選択ビット	b2	CKS[1:0]	クロック選択ビット	b5	TRGS[2:0]	トリガ選択ビット
b0	CH[3:0]	チャネル選択ビット																																														
b3		(予約ビット)																																														
b5	ADST	A/D スタートビット																																														
b6	ADIE	A/D 割り込み許可ビット																																														
b0	MODE[1:0]	動作モード選択ビット																																														
b2	CKS[1:0]	クロック選択ビット																																														
b5	TRGS[2:0]	トリガ選択ビット																																														
b0	CH[2:0]	チャネル選択ビット																																														
b2		(予約ビット)																																														
b3		(予約ビット)																																														
b5	ADST	A/D スタートビット																																														
b6	ADIE	A/D 割り込み許可ビット																																														
b0	MODE[1:0]	動作モード選択ビット																																														
b2	CKS[1:0]	クロック選択ビット																																														
b5	TRGS[2:0]	トリガ選択ビット																																														

表2.29 機能および仕様の相違点(29)

項目	RX62N グループ		RX63N グループ																																																																								
10 ビット A/D コンバータ	レジスタ/ビット	<ul style="list-style-type: none"> <li>● ADDRn フォーマット選択レジスタ (ADDRPR)                             <table border="1"> <tr> <td>b4</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b5</td> <td></td> <td></td> </tr> <tr> <td>b6</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b7</td> <td>DPSEL</td> <td>ADDRn フォーマット選択ビット</td> </tr> </table> </li> </ul>	b4		(予約ビット)	b5			b6		(予約ビット)	b7	DPSEL	ADDRn フォーマット選択ビット	<ul style="list-style-type: none"> <li>● A/D コントロールレジスタ 2 (ADCR2)                             <table border="1"> <tr> <td>b4</td> <td>EXSEL[1:0]</td> <td>拡張アナログ入力セレクトビット</td> </tr> <tr> <td>b5</td> <td></td> <td></td> </tr> <tr> <td>b6</td> <td>EXOEN</td> <td>拡張アナログ出力制御ビット</td> </tr> <tr> <td>b7</td> <td>DPSEL</td> <td>ADDRy フォーマット選択ビット</td> </tr> </table> </li> </ul>	b4	EXSEL[1:0]	拡張アナログ入力セレクトビット	b5			b6	EXOEN	拡張アナログ出力制御ビット	b7	DPSEL	ADDRy フォーマット選択ビット																																																
b4		(予約ビット)																																																																									
b5																																																																											
b6		(予約ビット)																																																																									
b7	DPSEL	ADDRn フォーマット選択ビット																																																																									
b4	EXSEL[1:0]	拡張アナログ入力セレクトビット																																																																									
b5																																																																											
b6	EXOEN	拡張アナログ出力制御ビット																																																																									
b7	DPSEL	ADDRy フォーマット選択ビット																																																																									
D/A コンバータ	機能	<ul style="list-style-type: none"> <li>● 仕様概要                             <table border="1"> <tr> <td></td> <td></td> </tr> </table> </li> </ul>			<ul style="list-style-type: none"> <li>● 仕様概要                             <table border="1"> <tr> <td>アナログモジュールの干渉対策</td> <td>D/A 変換と A/D 変換の干渉対策</td> </tr> </table> </li> </ul>	アナログモジュールの干渉対策	D/A 変換と A/D 変換の干渉対策																																																																				
アナログモジュールの干渉対策	D/A 変換と A/D 変換の干渉対策																																																																										
	レジスタ/ビット		<ul style="list-style-type: none"> <li>● D/A A/D 同期スタート制御レジスタ (DAADSCR)</li> </ul>																																																																								
温度センサ	レジスタ/ビット		<ul style="list-style-type: none"> <li>● 温度センサコントロールレジスタ (TSCR)</li> </ul>																																																																								
コード格納用フラッシュメモリ	機能	<ul style="list-style-type: none"> <li>● 仕様概要                             <table border="1"> <tr> <td>メモリ空間</td> <td>ユーザ領域：最大 512K バイト ユーザブート領域：16K バイト</td> </tr> <tr> <td>書き込み単位</td> <td>256 バイト単位</td> </tr> <tr> <td>ブロック構成</td> <td>4K バイト×8 ブロック 16K バイト×30 ブロック</td> </tr> <tr> <td>BGO (バックグラウンドオペレーション) 機能</td> <td>                             ・データフラッシュへの書き込み/消去を実行している期間、ROM 領域に配置したプログラムを実行可能                              ・ROM への書き込み/消去を実行している期間、CPU は ROM/データフラッシュ以外の領域に配置したプログラムを実行可能                         </td> </tr> <tr> <td>オンボードプログラミング</td> <td>ブートモード USB (ユーザ) ブートモード ユーザプログラムモード</td> </tr> <tr> <td>オフボードプログラミング</td> <td>PROM ライタを使用して、ユーザマツトとユーザブートマツトの書き換えが可能</td> </tr> <tr> <td>プロテクト機能</td> <td>エラープロテクト機能</td> </tr> </table> </li> </ul>	メモリ空間	ユーザ領域：最大 512K バイト ユーザブート領域：16K バイト	書き込み単位	256 バイト単位	ブロック構成	4K バイト×8 ブロック 16K バイト×30 ブロック	BGO (バックグラウンドオペレーション) 機能	・データフラッシュへの書き込み/消去を実行している期間、ROM 領域に配置したプログラムを実行可能 ・ROM への書き込み/消去を実行している期間、CPU は ROM/データフラッシュ以外の領域に配置したプログラムを実行可能	オンボードプログラミング	ブートモード USB (ユーザ) ブートモード ユーザプログラムモード	オフボードプログラミング	PROM ライタを使用して、ユーザマツトとユーザブートマツトの書き換えが可能	プロテクト機能	エラープロテクト機能	<ul style="list-style-type: none"> <li>● 仕様概要                             <table border="1"> <tr> <td>メモリ空間</td> <td>ユーザ領域：最大 2M バイト ユーザブート領域：16K バイト</td> </tr> <tr> <td>書き込み単位</td> <td>128 バイト単位</td> </tr> <tr> <td>ブロック構成</td> <td>4K バイト×8 ブロック 16K バイト×30 ブロック 32K バイト×16 ブロック 64K バイト×16 ブロック</td> </tr> <tr> <td>BGO (バックグラウンドオペレーション) 機能</td> <td>E2 データフラッシュへの P/E を実行している期間、CPU は ROM 領域のプログラムを実行可能</td> </tr> <tr> <td>オンボードプログラミング</td> <td>ブートモード USB ブートモード ユーザブートモード ユーザプログラムモード</td> </tr> <tr> <td>オフボードプログラミング (100 ピン版以上の製品)</td> <td>フラッシュライタを使用して、ユーザ領域/ユーザブート領域の書き換えが可能</td> </tr> <tr> <td>プロテクト機能</td> <td>FCU のコマンドロック機能</td> </tr> </table> </li> </ul>	メモリ空間	ユーザ領域：最大 2M バイト ユーザブート領域：16K バイト	書き込み単位	128 バイト単位	ブロック構成	4K バイト×8 ブロック 16K バイト×30 ブロック 32K バイト×16 ブロック 64K バイト×16 ブロック	BGO (バックグラウンドオペレーション) 機能	E2 データフラッシュへの P/E を実行している期間、CPU は ROM 領域のプログラムを実行可能	オンボードプログラミング	ブートモード USB ブートモード ユーザブートモード ユーザプログラムモード	オフボードプログラミング (100 ピン版以上の製品)	フラッシュライタを使用して、ユーザ領域/ユーザブート領域の書き換えが可能	プロテクト機能	FCU のコマンドロック機能																																												
メモリ空間	ユーザ領域：最大 512K バイト ユーザブート領域：16K バイト																																																																										
書き込み単位	256 バイト単位																																																																										
ブロック構成	4K バイト×8 ブロック 16K バイト×30 ブロック																																																																										
BGO (バックグラウンドオペレーション) 機能	・データフラッシュへの書き込み/消去を実行している期間、ROM 領域に配置したプログラムを実行可能 ・ROM への書き込み/消去を実行している期間、CPU は ROM/データフラッシュ以外の領域に配置したプログラムを実行可能																																																																										
オンボードプログラミング	ブートモード USB (ユーザ) ブートモード ユーザプログラムモード																																																																										
オフボードプログラミング	PROM ライタを使用して、ユーザマツトとユーザブートマツトの書き換えが可能																																																																										
プロテクト機能	エラープロテクト機能																																																																										
メモリ空間	ユーザ領域：最大 2M バイト ユーザブート領域：16K バイト																																																																										
書き込み単位	128 バイト単位																																																																										
ブロック構成	4K バイト×8 ブロック 16K バイト×30 ブロック 32K バイト×16 ブロック 64K バイト×16 ブロック																																																																										
BGO (バックグラウンドオペレーション) 機能	E2 データフラッシュへの P/E を実行している期間、CPU は ROM 領域のプログラムを実行可能																																																																										
オンボードプログラミング	ブートモード USB ブートモード ユーザブートモード ユーザプログラムモード																																																																										
オフボードプログラミング (100 ピン版以上の製品)	フラッシュライタを使用して、ユーザ領域/ユーザブート領域の書き換えが可能																																																																										
プロテクト機能	FCU のコマンドロック機能																																																																										
	レジスタ/ビット	<ul style="list-style-type: none"> <li>● フラッシュステータスレジスタ 1 (FSTATR1)                             <table border="1"> <tr> <td>b0</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b1</td> <td></td> <td></td> </tr> <tr> <td>b7</td> <td>FCUERR</td> <td>FCU エラービット</td> </tr> </table>                             ・ b1-b0 : 予約ビット                              読んだ場合、その値は不定です。書き込みは無効になります。                         </li> <li>● フラッシュ P/E モードエントリレジスタ (FENTRYR)                             <table border="1"> <tr> <td>b0</td> <td>FENTRY0</td> <td>ROM P/E モードエントリビット 0</td> </tr> <tr> <td>b1</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b2</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b3</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b7</td> <td>FENTRYD</td> <td>データフラッシュ P/E モードエントリビット</td> </tr> <tr> <td>b8</td> <td>FEKEY[7:0]</td> <td>キーコード</td> </tr> <tr> <td>b15</td> <td></td> <td></td> </tr> </table>                             ・ FENTRYR.FENTRY0                              FENTRY0 : 512kB/384kB/256kB                         </li> <li>● 周辺クロック通知レジスタ (PCKAR)                             <table border="1"> <tr> <td>b0</td> <td>PCKA[7:0]</td> <td>周辺クロック通知ビット</td> </tr> <tr> <td>b7</td> <td></td> <td></td> </tr> </table>                             ROM/データフラッシュへの書き込み/消去時に周辺クロック (PCLK) を設定するためのビットです                         </li> </ul>	b0		(予約ビット)	b1			b7	FCUERR	FCU エラービット	b0	FENTRY0	ROM P/E モードエントリビット 0	b1		(予約ビット)	b2		(予約ビット)	b3		(予約ビット)	b7	FENTRYD	データフラッシュ P/E モードエントリビット	b8	FEKEY[7:0]	キーコード	b15			b0	PCKA[7:0]	周辺クロック通知ビット	b7			<ul style="list-style-type: none"> <li>● フラッシュステータスレジスタ 1 (FSTATR1)                             <table border="1"> <tr> <td>b0</td> <td></td> <td>(予約ビット)</td> </tr> <tr> <td>b1</td> <td></td> <td></td> </tr> <tr> <td>b7</td> <td>FCUERR</td> <td>FCU エラーフラグ</td> </tr> </table>                             ・ b1-b0 : 予約ビット                              読むと "0" が読めます。書き込みは無効になります。                         </li> <li>● フラッシュ P/E モードエントリレジスタ (FENTRYR)                             <table border="1"> <tr> <td>b0</td> <td>FENTRY0</td> <td>ROM P/E モードエントリビット 0</td> </tr> <tr> <td>b1</td> <td>FENTRY1</td> <td>ROM P/E モードエントリビット 1</td> </tr> <tr> <td>b2</td> <td>FENTRY2</td> <td>ROM P/E モードエントリビット 2</td> </tr> <tr> <td>b3</td> <td>FENTRY3</td> <td>ROM P/E モードエントリビット 3</td> </tr> <tr> <td>b7</td> <td>FENTRYD</td> <td>E2 データフラッシュ P/E モードエントリビット</td> </tr> <tr> <td>b8</td> <td>FEKEY[7:0]</td> <td>キーコード</td> </tr> <tr> <td>b15</td> <td></td> <td></td> </tr> </table>                             ・ FENTRYR.FENTRY0 ~ 3                              FENTRY0 : 2MB/1.5MB/1.0MB/768kB/512kB/256kB                              FENTRY1 : 2MB/1.5MB/1.0MB/768kB                              FENTRY2 : 2MB/1.5MB                              FENTRY3 : 2MB                         </li> <li>● 周辺クロック通知レジスタ (PCKAR)                             <table border="1"> <tr> <td>b0</td> <td>PCKA[7:0]</td> <td>周辺クロック通知ビット</td> </tr> <tr> <td>b7</td> <td></td> <td></td> </tr> </table>                             ROM/E2 データフラッシュへの P/E 時に FlashIF クロック (FCLK) を設定するためのビットです                         </li> </ul>	b0		(予約ビット)	b1			b7	FCUERR	FCU エラーフラグ	b0	FENTRY0	ROM P/E モードエントリビット 0	b1	FENTRY1	ROM P/E モードエントリビット 1	b2	FENTRY2	ROM P/E モードエントリビット 2	b3	FENTRY3	ROM P/E モードエントリビット 3	b7	FENTRYD	E2 データフラッシュ P/E モードエントリビット	b8	FEKEY[7:0]	キーコード	b15			b0	PCKA[7:0]	周辺クロック通知ビット	b7		
b0		(予約ビット)																																																																									
b1																																																																											
b7	FCUERR	FCU エラービット																																																																									
b0	FENTRY0	ROM P/E モードエントリビット 0																																																																									
b1		(予約ビット)																																																																									
b2		(予約ビット)																																																																									
b3		(予約ビット)																																																																									
b7	FENTRYD	データフラッシュ P/E モードエントリビット																																																																									
b8	FEKEY[7:0]	キーコード																																																																									
b15																																																																											
b0	PCKA[7:0]	周辺クロック通知ビット																																																																									
b7																																																																											
b0		(予約ビット)																																																																									
b1																																																																											
b7	FCUERR	FCU エラーフラグ																																																																									
b0	FENTRY0	ROM P/E モードエントリビット 0																																																																									
b1	FENTRY1	ROM P/E モードエントリビット 1																																																																									
b2	FENTRY2	ROM P/E モードエントリビット 2																																																																									
b3	FENTRY3	ROM P/E モードエントリビット 3																																																																									
b7	FENTRYD	E2 データフラッシュ P/E モードエントリビット																																																																									
b8	FEKEY[7:0]	キーコード																																																																									
b15																																																																											
b0	PCKA[7:0]	周辺クロック通知ビット																																																																									
b7																																																																											

表2.30 機能および仕様の相違点(30)

項目		RX62N グループ	RX63N グループ																																																																																																																							
データ格納用 フラッシュ メモリ	機能	<p>● 仕様概要</p> <table border="1"> <tr> <td>周辺バス経由での読み出し</td> <td>ワード、バイトアクセス時には PCLK3 サイクルでの読み出し</td> </tr> <tr> <td>書き込み単位</td> <td>8 バイトまたは 128 バイト単位</td> </tr> <tr> <td>BGO (バックグラウンドオペレーション)機能</td> <td> <ul style="list-style-type: none"> <li>データフラッシュへの書き込み/消去を実行している期間、ROM 領域に配置したプログラムを実行可能</li> <li>ROM への書き込み/消去を実行している期間、CPU は ROM/データフラッシュ以外の領域に配置したプログラムを実行可能</li> </ul> </td> </tr> <tr> <td>プログラムコマンド</td> <td>2 サイクル目データ : 04h( 8 バイト) : 40h(128 バイト)</td> </tr> <tr> <td>ブロック構成</td> <td>2K バイト×16 ブロック</td> </tr> <tr> <td>ブロックチェック単位</td> <td>8 バイトまたは 2K バイト単位</td> </tr> <tr> <td>オンボードプログラミング</td> <td>                     ブートモード                      USB (ユーザ) ブートモード                      ユーザプログラムモード                 </td> </tr> <tr> <td>プロテクト機能</td> <td>エラープロテクト機能</td> </tr> </table>	周辺バス経由での読み出し	ワード、バイトアクセス時には PCLK3 サイクルでの読み出し	書き込み単位	8 バイトまたは 128 バイト単位	BGO (バックグラウンドオペレーション)機能	<ul style="list-style-type: none"> <li>データフラッシュへの書き込み/消去を実行している期間、ROM 領域に配置したプログラムを実行可能</li> <li>ROM への書き込み/消去を実行している期間、CPU は ROM/データフラッシュ以外の領域に配置したプログラムを実行可能</li> </ul>	プログラムコマンド	2 サイクル目データ : 04h( 8 バイト) : 40h(128 バイト)	ブロック構成	2K バイト×16 ブロック	ブロックチェック単位	8 バイトまたは 2K バイト単位	オンボードプログラミング	ブートモード USB (ユーザ) ブートモード ユーザプログラムモード	プロテクト機能	エラープロテクト機能	<p>● 仕様概要</p> <table border="1"> <tr> <td>周辺バス経由での読み出し</td> <td>ワード、バイトアクセス時には FCLK6 サイクルでの読み出し</td> </tr> <tr> <td>書き込み単位</td> <td>2 バイト単位</td> </tr> <tr> <td>BGO (バックグラウンドオペレーション)機能</td> <td>E2 データフラッシュへの P/E を実行している期間、CPU は ROM 領域のプログラムを実行可能</td> </tr> <tr> <td>プログラムコマンド</td> <td>2 サイクル目データ : 01h( 2 バイト)</td> </tr> <tr> <td>ブロック構成</td> <td>32 バイト×1024 ブロック</td> </tr> <tr> <td>ブロックチェック単位</td> <td>2 バイトまたは 2K バイト単位</td> </tr> <tr> <td>オンボードプログラミング</td> <td>                     ブートモード                      USB ブートモード                      ユーザブートモード                      ユーザプログラムモード                 </td> </tr> <tr> <td>プロテクト機能</td> <td>FCU のコマンドロック機能</td> </tr> </table>	周辺バス経由での読み出し	ワード、バイトアクセス時には FCLK6 サイクルでの読み出し	書き込み単位	2 バイト単位	BGO (バックグラウンドオペレーション)機能	E2 データフラッシュへの P/E を実行している期間、CPU は ROM 領域のプログラムを実行可能	プログラムコマンド	2 サイクル目データ : 01h( 2 バイト)	ブロック構成	32 バイト×1024 ブロック	ブロックチェック単位	2 バイトまたは 2K バイト単位	オンボードプログラミング	ブートモード USB ブートモード ユーザブートモード ユーザプログラムモード	プロテクト機能	FCU のコマンドロック機能																																																																																							
	周辺バス経由での読み出し	ワード、バイトアクセス時には PCLK3 サイクルでの読み出し																																																																																																																								
書き込み単位	8 バイトまたは 128 バイト単位																																																																																																																									
BGO (バックグラウンドオペレーション)機能	<ul style="list-style-type: none"> <li>データフラッシュへの書き込み/消去を実行している期間、ROM 領域に配置したプログラムを実行可能</li> <li>ROM への書き込み/消去を実行している期間、CPU は ROM/データフラッシュ以外の領域に配置したプログラムを実行可能</li> </ul>																																																																																																																									
プログラムコマンド	2 サイクル目データ : 04h( 8 バイト) : 40h(128 バイト)																																																																																																																									
ブロック構成	2K バイト×16 ブロック																																																																																																																									
ブロックチェック単位	8 バイトまたは 2K バイト単位																																																																																																																									
オンボードプログラミング	ブートモード USB (ユーザ) ブートモード ユーザプログラムモード																																																																																																																									
プロテクト機能	エラープロテクト機能																																																																																																																									
周辺バス経由での読み出し	ワード、バイトアクセス時には FCLK6 サイクルでの読み出し																																																																																																																									
書き込み単位	2 バイト単位																																																																																																																									
BGO (バックグラウンドオペレーション)機能	E2 データフラッシュへの P/E を実行している期間、CPU は ROM 領域のプログラムを実行可能																																																																																																																									
プログラムコマンド	2 サイクル目データ : 01h( 2 バイト)																																																																																																																									
ブロック構成	32 バイト×1024 ブロック																																																																																																																									
ブロックチェック単位	2 バイトまたは 2K バイト単位																																																																																																																									
オンボードプログラミング	ブートモード USB ブートモード ユーザブートモード ユーザプログラムモード																																																																																																																									
プロテクト機能	FCU のコマンドロック機能																																																																																																																									
レジスタ/ ビット	<p>● データフラッシュ読み出し許可レジスタ 0 (DFLRE0)</p> <table border="1"> <tr><td>b0</td><td>DBRE00</td><td>DB00 ブロック読み出し許可ビット</td></tr> <tr><td>b1</td><td>DBRE01</td><td>DB01 ブロック読み出し許可ビット</td></tr> <tr><td>b2</td><td>DBRE02</td><td>DB02 ブロック読み出し許可ビット</td></tr> <tr><td>b3</td><td>DBRE03</td><td>DB03 ブロック読み出し許可ビット</td></tr> <tr><td>b4</td><td>DBRE04</td><td>DB04 ブロック読み出し許可ビット</td></tr> <tr><td>b5</td><td>DBRE05</td><td>DB05 ブロック読み出し許可ビット</td></tr> <tr><td>b6</td><td>DBRE06</td><td>DB06 ブロック読み出し許可ビット</td></tr> <tr><td>b7</td><td>DBRE07</td><td>DB07 ブロック読み出し許可ビット</td></tr> <tr><td>b8</td><td>KEY[7:0]</td><td>キーコード</td></tr> <tr><td>b15</td><td></td><td></td></tr> </table> <p>● データフラッシュ読み出し許可レジスタ 1 (DFLRE1)</p> <table border="1"> <tr><td>b0</td><td>DBRE08</td><td>DB08 ブロック読み出し許可ビット</td></tr> <tr><td>b1</td><td>DBRE09</td><td>DB09 ブロック読み出し許可ビット</td></tr> <tr><td>b2</td><td>DBRE10</td><td>DB10 ブロック読み出し許可ビット</td></tr> <tr><td>b3</td><td>DBRE11</td><td>DB11 ブロック読み出し許可ビット</td></tr> <tr><td>b4</td><td>DBRE12</td><td>DB12 ブロック読み出し許可ビット</td></tr> <tr><td>b5</td><td>DBRE13</td><td>DB13 ブロック読み出し許可ビット</td></tr> <tr><td>b6</td><td>DBRE14</td><td>DB14 ブロック読み出し許可ビット</td></tr> <tr><td>b7</td><td>DBRE15</td><td>DB15 ブロック読み出し許可ビット</td></tr> <tr><td>b8</td><td>KEY[7:0]</td><td>キーコード</td></tr> <tr><td>b15</td><td></td><td></td></tr> </table>	b0	DBRE00	DB00 ブロック読み出し許可ビット	b1	DBRE01	DB01 ブロック読み出し許可ビット	b2	DBRE02	DB02 ブロック読み出し許可ビット	b3	DBRE03	DB03 ブロック読み出し許可ビット	b4	DBRE04	DB04 ブロック読み出し許可ビット	b5	DBRE05	DB05 ブロック読み出し許可ビット	b6	DBRE06	DB06 ブロック読み出し許可ビット	b7	DBRE07	DB07 ブロック読み出し許可ビット	b8	KEY[7:0]	キーコード	b15			b0	DBRE08	DB08 ブロック読み出し許可ビット	b1	DBRE09	DB09 ブロック読み出し許可ビット	b2	DBRE10	DB10 ブロック読み出し許可ビット	b3	DBRE11	DB11 ブロック読み出し許可ビット	b4	DBRE12	DB12 ブロック読み出し許可ビット	b5	DBRE13	DB13 ブロック読み出し許可ビット	b6	DBRE14	DB14 ブロック読み出し許可ビット	b7	DBRE15	DB15 ブロック読み出し許可ビット	b8	KEY[7:0]	キーコード	b15			<p>● E2 データフラッシュ読み出し許可レジスタ 0 (DFLRE0)</p> <table border="1"> <tr><td>b0</td><td>DBRE00</td><td>0000-0063 ブロック読み出し許可ビット</td></tr> <tr><td>b1</td><td>DBRE01</td><td>0064-0127 ブロック読み出し許可ビット</td></tr> <tr><td>b2</td><td>DBRE02</td><td>0128-0191 ブロック読み出し許可ビット</td></tr> <tr><td>b3</td><td>DBRE03</td><td>0192-0255 ブロック読み出し許可ビット</td></tr> <tr><td>b4</td><td>DBRE04</td><td>0256-0319 ブロック読み出し許可ビット</td></tr> <tr><td>b5</td><td>DBRE05</td><td>0320-0383 ブロック読み出し許可ビット</td></tr> <tr><td>b6</td><td>DBRE06</td><td>0384-0447 ブロック読み出し許可ビット</td></tr> <tr><td>b7</td><td>DBRE07</td><td>0448-0511 ブロック読み出し許可ビット</td></tr> <tr><td>b8</td><td>KEY[7:0]</td><td>キーコード</td></tr> <tr><td>b15</td><td></td><td></td></tr> </table> <p>● E2 データフラッシュ読み出し許可レジスタ 1 (DFLRE1)</p> <table border="1"> <tr><td>b0</td><td>DBRE08</td><td>0512-0575 ブロック読み出し許可ビット</td></tr> <tr><td>b1</td><td>DBRE09</td><td>0576-0639 ブロック読み出し許可ビット</td></tr> <tr><td>b2</td><td>DBRE10</td><td>0640-0703 ブロック読み出し許可ビット</td></tr> <tr><td>b3</td><td>DBRE11</td><td>0704-0767 ブロック読み出し許可ビット</td></tr> <tr><td>b4</td><td>DBRE12</td><td>0768-0831 ブロック読み出し許可ビット</td></tr> <tr><td>b5</td><td>DBRE13</td><td>0832-0895 ブロック読み出し許可ビット</td></tr> <tr><td>b6</td><td>DBRE14</td><td>0896-0959 ブロック読み出し許可ビット</td></tr> <tr><td>b7</td><td>DBRE15</td><td>0960-1023 ブロック読み出し許可ビット</td></tr> <tr><td>b8</td><td>KEY[7:0]</td><td>キーコード</td></tr> <tr><td>b15</td><td></td><td></td></tr> </table>	b0	DBRE00	0000-0063 ブロック読み出し許可ビット	b1	DBRE01	0064-0127 ブロック読み出し許可ビット	b2	DBRE02	0128-0191 ブロック読み出し許可ビット	b3	DBRE03	0192-0255 ブロック読み出し許可ビット	b4	DBRE04	0256-0319 ブロック読み出し許可ビット	b5	DBRE05	0320-0383 ブロック読み出し許可ビット	b6	DBRE06	0384-0447 ブロック読み出し許可ビット	b7	DBRE07	0448-0511 ブロック読み出し許可ビット	b8	KEY[7:0]	キーコード	b15			b0	DBRE08	0512-0575 ブロック読み出し許可ビット	b1	DBRE09	0576-0639 ブロック読み出し許可ビット	b2	DBRE10	0640-0703 ブロック読み出し許可ビット	b3	DBRE11	0704-0767 ブロック読み出し許可ビット	b4	DBRE12	0768-0831 ブロック読み出し許可ビット	b5	DBRE13	0832-0895 ブロック読み出し許可ビット	b6	DBRE14	0896-0959 ブロック読み出し許可ビット	b7	DBRE15	0960-1023 ブロック読み出し許可ビット	b8	KEY[7:0]	キーコード	b15		
b0	DBRE00	DB00 ブロック読み出し許可ビット																																																																																																																								
b1	DBRE01	DB01 ブロック読み出し許可ビット																																																																																																																								
b2	DBRE02	DB02 ブロック読み出し許可ビット																																																																																																																								
b3	DBRE03	DB03 ブロック読み出し許可ビット																																																																																																																								
b4	DBRE04	DB04 ブロック読み出し許可ビット																																																																																																																								
b5	DBRE05	DB05 ブロック読み出し許可ビット																																																																																																																								
b6	DBRE06	DB06 ブロック読み出し許可ビット																																																																																																																								
b7	DBRE07	DB07 ブロック読み出し許可ビット																																																																																																																								
b8	KEY[7:0]	キーコード																																																																																																																								
b15																																																																																																																										
b0	DBRE08	DB08 ブロック読み出し許可ビット																																																																																																																								
b1	DBRE09	DB09 ブロック読み出し許可ビット																																																																																																																								
b2	DBRE10	DB10 ブロック読み出し許可ビット																																																																																																																								
b3	DBRE11	DB11 ブロック読み出し許可ビット																																																																																																																								
b4	DBRE12	DB12 ブロック読み出し許可ビット																																																																																																																								
b5	DBRE13	DB13 ブロック読み出し許可ビット																																																																																																																								
b6	DBRE14	DB14 ブロック読み出し許可ビット																																																																																																																								
b7	DBRE15	DB15 ブロック読み出し許可ビット																																																																																																																								
b8	KEY[7:0]	キーコード																																																																																																																								
b15																																																																																																																										
b0	DBRE00	0000-0063 ブロック読み出し許可ビット																																																																																																																								
b1	DBRE01	0064-0127 ブロック読み出し許可ビット																																																																																																																								
b2	DBRE02	0128-0191 ブロック読み出し許可ビット																																																																																																																								
b3	DBRE03	0192-0255 ブロック読み出し許可ビット																																																																																																																								
b4	DBRE04	0256-0319 ブロック読み出し許可ビット																																																																																																																								
b5	DBRE05	0320-0383 ブロック読み出し許可ビット																																																																																																																								
b6	DBRE06	0384-0447 ブロック読み出し許可ビット																																																																																																																								
b7	DBRE07	0448-0511 ブロック読み出し許可ビット																																																																																																																								
b8	KEY[7:0]	キーコード																																																																																																																								
b15																																																																																																																										
b0	DBRE08	0512-0575 ブロック読み出し許可ビット																																																																																																																								
b1	DBRE09	0576-0639 ブロック読み出し許可ビット																																																																																																																								
b2	DBRE10	0640-0703 ブロック読み出し許可ビット																																																																																																																								
b3	DBRE11	0704-0767 ブロック読み出し許可ビット																																																																																																																								
b4	DBRE12	0768-0831 ブロック読み出し許可ビット																																																																																																																								
b5	DBRE13	0832-0895 ブロック読み出し許可ビット																																																																																																																								
b6	DBRE14	0896-0959 ブロック読み出し許可ビット																																																																																																																								
b7	DBRE15	0960-1023 ブロック読み出し許可ビット																																																																																																																								
b8	KEY[7:0]	キーコード																																																																																																																								
b15																																																																																																																										

表.2.31 機能および仕様の相違点(31)

項目	RX62N グループ	RX63N グループ		
データ格納用 フラッシュ メモリ	レジスタ/ ビット	● データフラッシュ書き込み/ 消去許可レジスタ 0 (DFLWE0)		
		● E2 データフラッシュ P/E 許可レジスタ 0 (DFLWE0)		
	b0	DBWE00 DB00 ブロック 書き込み/消去許可ビット	b0	DBWE00 0000-0063 ブロック P/E 許可ビット
	b1	DBWE01 DB01 ブロック 書き込み/消去許可ビット	b1	DBWE01 0064-0127 ブロック P/E 許可ビット
	b2	DBWE02 DB02 ブロック 書き込み/消去許可ビット	b2	DBWE02 0128-0191 ブロック P/E 許可ビット
	b3	DBWE03 DB03 ブロック 書き込み/消去許可ビット	b3	DBWE03 0192-0255 ブロック P/E 許可ビット
	b4	DBWE04 DB04 ブロック 書き込み/消去許可ビット	b4	DBWE04 0256-0319 ブロック P/E 許可ビット
	b5	DBWE05 DB05 ブロック 書き込み/消去許可ビット	b5	DBWE05 0320-0383 ブロック P/E 許可ビット
	b6	DBWE06 DB06 ブロック 書き込み/消去許可ビット	b6	DBWE06 0384-0447 ブロック P/E 許可ビット
	b7	DBWE07 DB07 ブロック 書き込み/消去許可ビット	b7	DBWE07 0448-0511 ブロック P/E 許可ビット
	b8 b15	KEY[7:0] キーコード	b8 b15	KEY[7:0] キーコード
		● データフラッシュ書き込み/ 消去許可レジスタ 1 (DFLWE1)	● E2 データフラッシュ P/E 許可レジスタ 1 (DFLWE1)	
b0	DBWE08 DB08 ブロック 書き込み/消去許可ビット	b0	DBWE08 0512-0575 ブロック P/E 許可ビット	
b1	DBWE09 DB09 ブロック 書き込み/消去許可ビット	b1	DBWE09 0576-0639 ブロック P/E 許可ビット	
b2	DBWE10 DB10 ブロック 書き込み/消去許可ビット	b2	DBWE10 0640-0703 ブロック P/E 許可ビット	
b3	DBWE11 DB11 ブロック 書き込み/消去許可ビット	b3	DBWE11 0704-0767 ブロック P/E 許可ビット	
b4	DBWE12 DB12 ブロック 書き込み/消去許可ビット	b4	DBWE12 0768-0831 ブロック P/E 許可ビット	
b5	DBWE13 DB13 ブロック 書き込み/消去許可ビット	b5	DBWE13 0832-0895 ブロック P/E 許可ビット	
b6	DBWE14 DB14 ブロック 書き込み/消去許可ビット	b6	DBWE14 0896-0959 ブロック P/E 許可ビット	
b7	DBWE15 DB15 ブロック 書き込み/消去許可ビット	b7	DBWE15 0960-1023 ブロック P/E 許可ビット	
b8 b15	KEY[7:0] キーコード	b8 b15	KEY[7:0] キーコード	
	● フラッシュ P/E モードエントリレジスタ (FENTRYR)	● フラッシュ P/E モードエントリレジスタ (FENTRYR)		
b0	FENTRY0 ROM P/E モードエントリビット 0 (予約ビット)	b0	FENTRY0 ROM P/E モードエントリビット 0	
b1	(予約ビット)	b1	FENTRY1 ROM P/E モードエントリビット 1	
b2	(予約ビット)	b2	FENTRY2 ROM P/E モードエントリビット 2	
b3	(予約ビット)	b3	FENTRY3 ROM P/E モードエントリビット 3	
b7	FENTRYD データフラッシュ P/E モードエントリビット	b7	FENTRYD E2 データフラッシュ P/E モードエントリビット	
b8 b15	FEKEY[7:0] キーコード	b8 b15	FEKEY[7:0] キーコード	
	・ FENTRYR.FENTRY0 FENTRY0 : 512kB/384kB/256kB	・ FENTRYR.FENTRY0 ~ 3 FENTRY0 : 2MB/1.5MB/1.0MB/768kB/512kB/256kB FENTRY1 : 2MB/1.5MB/1.0MB/768kB FENTRY2 : 2MB/1.5MB FENTRY3 : 2MB		
	● データフラッシュブランクチェック制御レジスタ (DFLBCCNT)	● E2 データフラッシュブランクチェック制御レジスタ (DFLBCCNT)		
b0	BCSIZE ブランクチェックサイズ設定ビット (予約ビット)	b0	BCADR [10:0] ブランクチェックアドレス設定ビット	
b1	(予約ビット)			
b2	(予約ビット)			
b3	BCADR[7:0] ブランクチェックアドレス設定ビット			
b10		b10		
b15	(予約ビット)	b15	BCSIZE ブランクチェックサイズ設定ビット	

### 3. 参考ドキュメント

RX62N グループ、RX621 グループ ユーザーズマニュアル ハードウェア編 Rev.1.30

RX63N グループ、RX631 グループ ユーザーズマニュアル ハードウェア編 Rev.1.50

( 最新版をルネサス エレクトロニクスホームページから入手してください。 )

テクニカルアップデート/テクニカルニュース

( 最新の情報をルネサス エレクトロニクスホームページから入手してください。 )

### ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com>

お問合せ先

<http://japan.renesas.com/contact/>

改訂記録	RX62N グループ、RX63N グループ アプリケーションノート RX62N グループ、RX63N グループの相違点
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2013.09.26	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、  
家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、  
防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<http://japan.renesas.com/contact/>