
RL78/G14**タイマRD タイマモード(インプットキャプチャ機能とアウトプットコンペア機能の併用) CC-RL**

R01AN2852JJ0100

Rev.1.00

2015.12.01

要旨

本アプリケーションノートでは、RL78/G14 のタイマRD タイマモードのインプットキャプチャ機能とアウトプットコンペア機能を併用する方法を説明します。

対象デバイス

RL78/G14

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの使用にあわせて変更し、十分評価してください。

目次

1. 仕様.....	3
2. 動作確認条件	4
3. ハードウェア説明	5
3.1 ハードウェア構成例	5
3.2 使用端子一覧	5
4. ソフトウェア説明	6
4.1 動作概要	6
4.1.1 インプットキャプチャ機能説明	7
4.1.2 アウトプットコンペア機能説明	9
4.2 オプション・バイトの設定一覧	10
4.3 変数一覧	10
4.4 関数一覧	10
4.5 関数仕様	11
4.6 フローチャート.....	13
4.6.1 全体フローチャート	13
4.6.2 初期設定	13
4.6.3 周辺機能初期設定	14
4.6.4 CPU初期設定	14
4.6.5 タイマRD 初期設定.....	15
4.6.6 メイン処理.....	25
4.6.7 タイマRD0 カウント開始設定	26
4.6.8 タイマRD0 割り込み.....	28
5. サンプルコード.....	29
6. 参考ドキュメント	29

1. 仕様

タイマRD チャンネル0(以下、タイマRD0)のインプットキャプチャ機能とアウトプットコンペア機能を併用します。

インプットキャプチャ機能では、TRDIOA0端子に入力した波形のパルス幅を測定します。

アウトプットコンペア機能では、TRDIOB0端子/TRDIOD0端子の出力レベルを"L"から"H"に変更します。

表 1.1に使用する周辺機能と用途を、図 1.1にインプットキャプチャ機能とアウトプットコンペア機能の併用動作例を示します。

表 1.1 使用する周辺機能と用途

周辺機能	用途
タイマRD(タイマRD0)	パルス幅測定および、波形出力

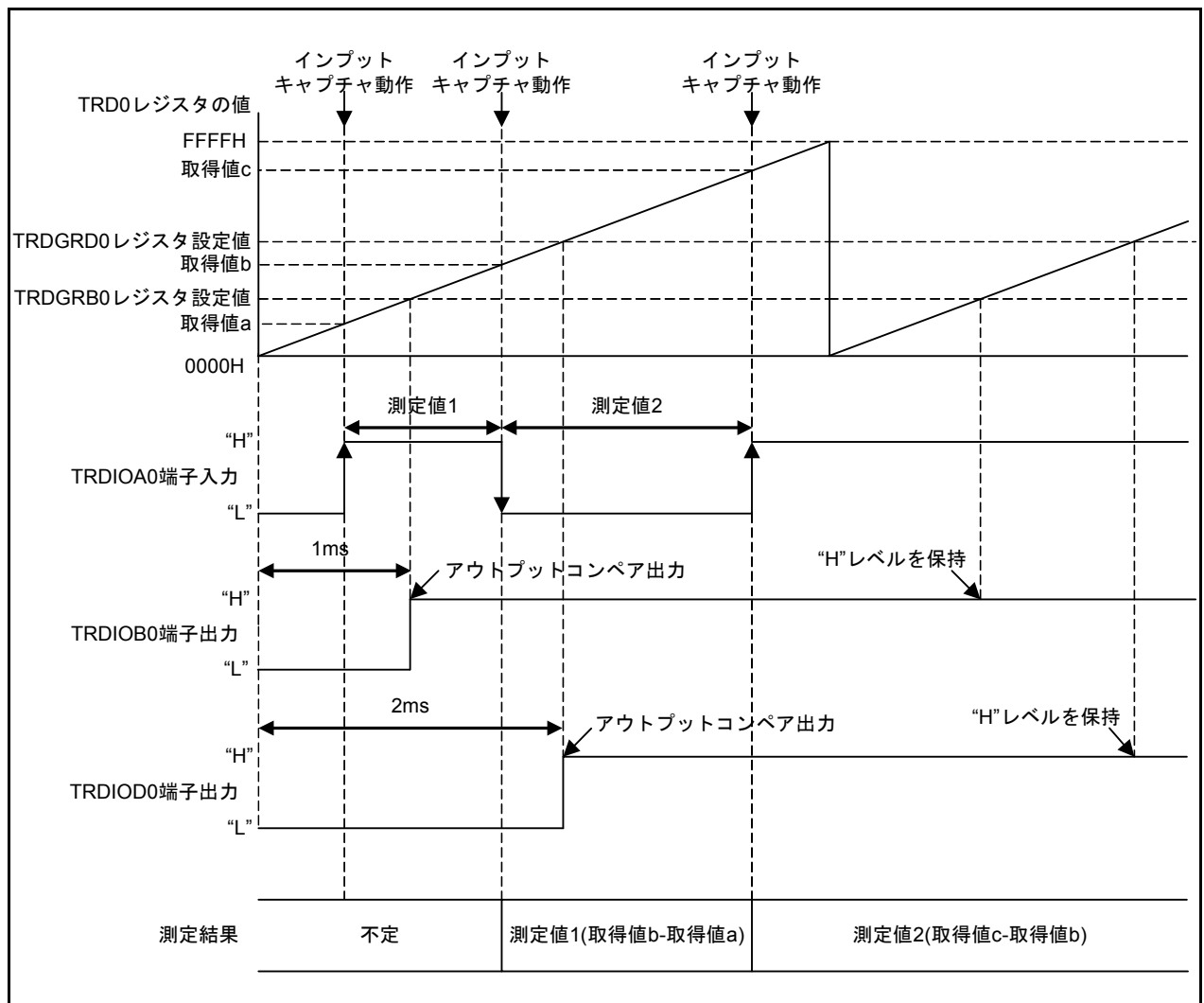


図 1.1 インプットキャプチャ機能とアウトプットコンペア機能の併用動作例

2. 動作確認条件

本アプリケーションノートのサンプルコードは、下記の条件で動作を確認しています。

表 2.1 動作確認条件

項目	内容
使用マイコン	RL78/G14(R5F104LEA)
動作周波数	• 高速内蔵発振クロック (f_{HOCO}) : 16MHz(標準) • CPU/周辺ハードウェア・クロック (f_{CLK}) : 16MHz
動作電圧	5.0V(2.9V ~ 5.5Vで動作可能) LVD動作(V_{LVD}) : リセット・モード 立ち上がり2.81V/立ち下がり2.75V
統合開発環境 (CS+)	ルネサス エレクトロニクス製 CS+ V3.01.00
Cコンパイラ (CS+)	ルネサス エレクトロニクス製 CC-RL V1.01.00
統合開発環境 (e ² studio)	ルネサス エレクトロニクス製 e ² studio V4.0.0.26
Cコンパイラ (e ² studio)	ルネサス エレクトロニクス製 CC-RL V1.01.00

3. ハードウェア説明

3.1 ハードウェア構成例

図 3.1に本アプリケーションノートで使用するハードウェア構成例を示します。

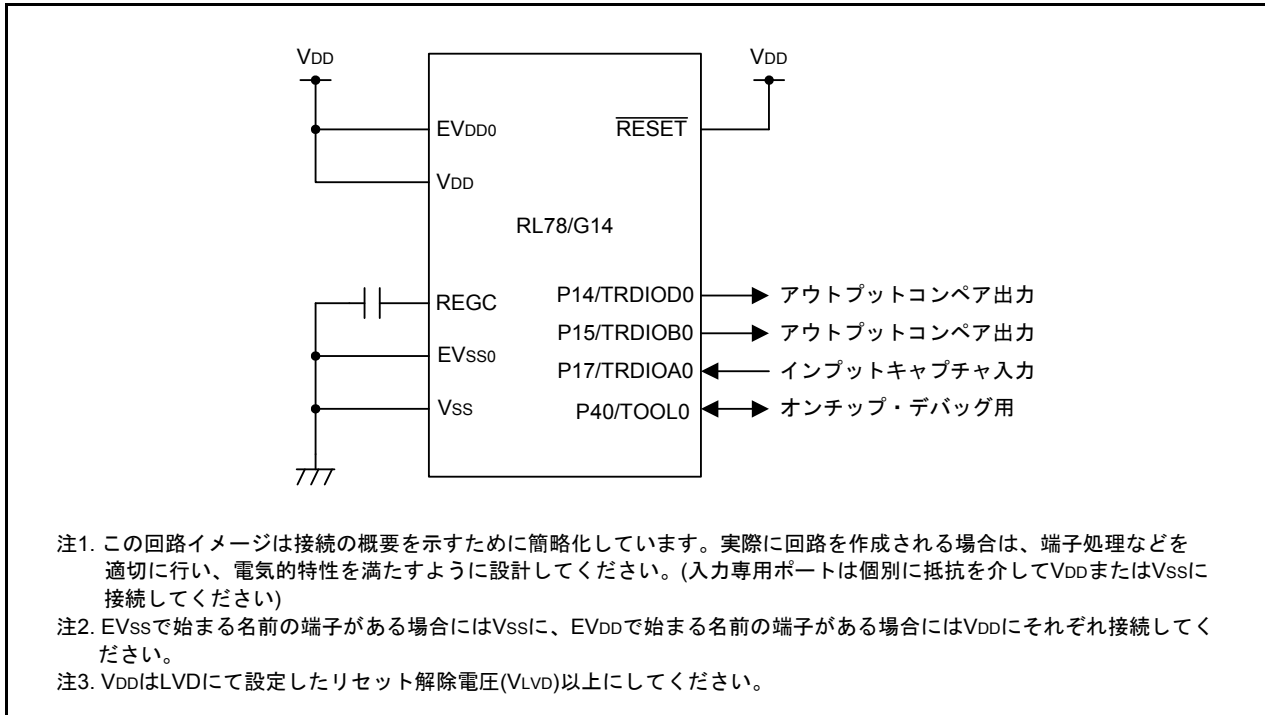


図 3.1 ハードウェア構成

3.2 使用端子一覧

表 3.1に使用端子と機能を示します。

表 3.1 使用端子と機能

端子名	入出力	内容
P14/TRDIOD0	出力	アウトプットコンペア出力
P15/TRDIOB0	出力	アウトプットコンペア出力
P17/TRDIOA0	入力	インプットキャプチャ入力

4. ソフトウェア説明

4.1 動作概要

タイマRD0のインプットキャプチャ機能とアウトプットコンペア機能を併用します。TRDIOA0端子にインプットキャプチャ機能、TRDIOB0端子とTRDIOD0端子にアウトプットコンペア機能を割り当てます。

タイマRD0の設定を以下に示します。

<設定>

- カウントソースは f_{CLK} (16MHz)を使用します。
- TRD0とTRD1は独立動作で使用します。
- TRD0カウンタは、クリア禁止(フリーランニング動作)で使用します。
- OVFビットによる割り込み(OVI)、IMFAビットによる割り込み(IMIA)を許可します。
- IMFBビットによる割り込み(IMIB)、IMFDビットによる割り込み(IMID)を禁止にします。
- TRDGRC0レジスタは、TRDGRA0レジスタのバッファレジスタとして使用します。
- TRDIOA0端子に、デジタルフィルタ機能を使用します。
- TRDIOA0端子デジタルフィルタのサンプリングクロックに、カウントソース(f_{CLK})を選択します。
- TRDIOA0端子へのインプットキャプチャは両エッジで検出します。
- TRDGRD0レジスタは、ジェネラルレジスタとして使用します。
- TRDIOA0、TRDIOC0端子出力を禁止、TRDIOB0、TRDIOD0端子出力許可に設定します。
- TRDIOB0、TRDIOD0端子の出力レベルに、初期出力“L”を設定します。
- TRDIOB0端子は、TRDGRB0レジスタのコンペア一致で“H”出力します。
- TRDIOD0端子は、TRDGRD0レジスタのコンペア一致で“H”出力します。

4.1.1 インプットキャプチャ機能説明

インプットキャプチャ機能を使用し、TRDIOA0端子に入力する立ち上がり/立ち下がりエッジを検出し、検出結果よりパルス幅(立ち上がりエッジ～立ち下がりエッジ、または立ち下がりエッジ～立ち上がりエッジ)を算出します。

＜TRD0レジスタオーバフローなしの場合＞

- (1) TRDIOA0端子への立ち上がりエッジ入力を検出し、タイマRD0割り込みが発生します。タイマRD0割り込み処理内で、TRDGRA0レジスタとTRDGRC0レジスタの値を取得し、キャプチャフラグをセットします。タイマRD0割り込み処理からメイン処理へ復帰後、TRD0レジスタオーバフロー無しの場合の計算式でパルス幅を算出し、キャプチャフラグをクリアします。
- (2) TRDIOA0端子への立ち下がりエッジ入力を検出し、タイマRD0割り込みが発生します。タイマRD0割り込み処理内で、TRDGRA0レジスタとTRDGRC0レジスタの値を取得し、キャプチャフラグをセットします。タイマRD0割り込み処理からメイン処理へ復帰後、TRD0レジスタオーバフロー無しの場合の計算式でパルス幅を算出し、キャプチャフラグをクリアします。

＜TRD0レジスタオーバフローありの場合＞

- (3) TRD0レジスタのオーバフローで、タイマRD0割り込みが発生します。タイマRD0割り込み処理内で、オーバフローカウンタの値をインクリメントします。
- (4) TRDIOA0端子への立ち上がりエッジ入力を検出し、タイマRD0割り込みが発生します。タイマRD0割り込み処理内で、TRDGRA0レジスタとTRDGRC0レジスタの値を取得し、キャプチャフラグをセットします。タイマRD0割り込み処理からメイン処理へ復帰後、TRD0レジスタオーバフローありの場合の計算式でパルス幅を算出し、オーバフローカウンタとキャプチャフラグをクリアします。

図 4.1にインプットキャプチャ動作例を示します。

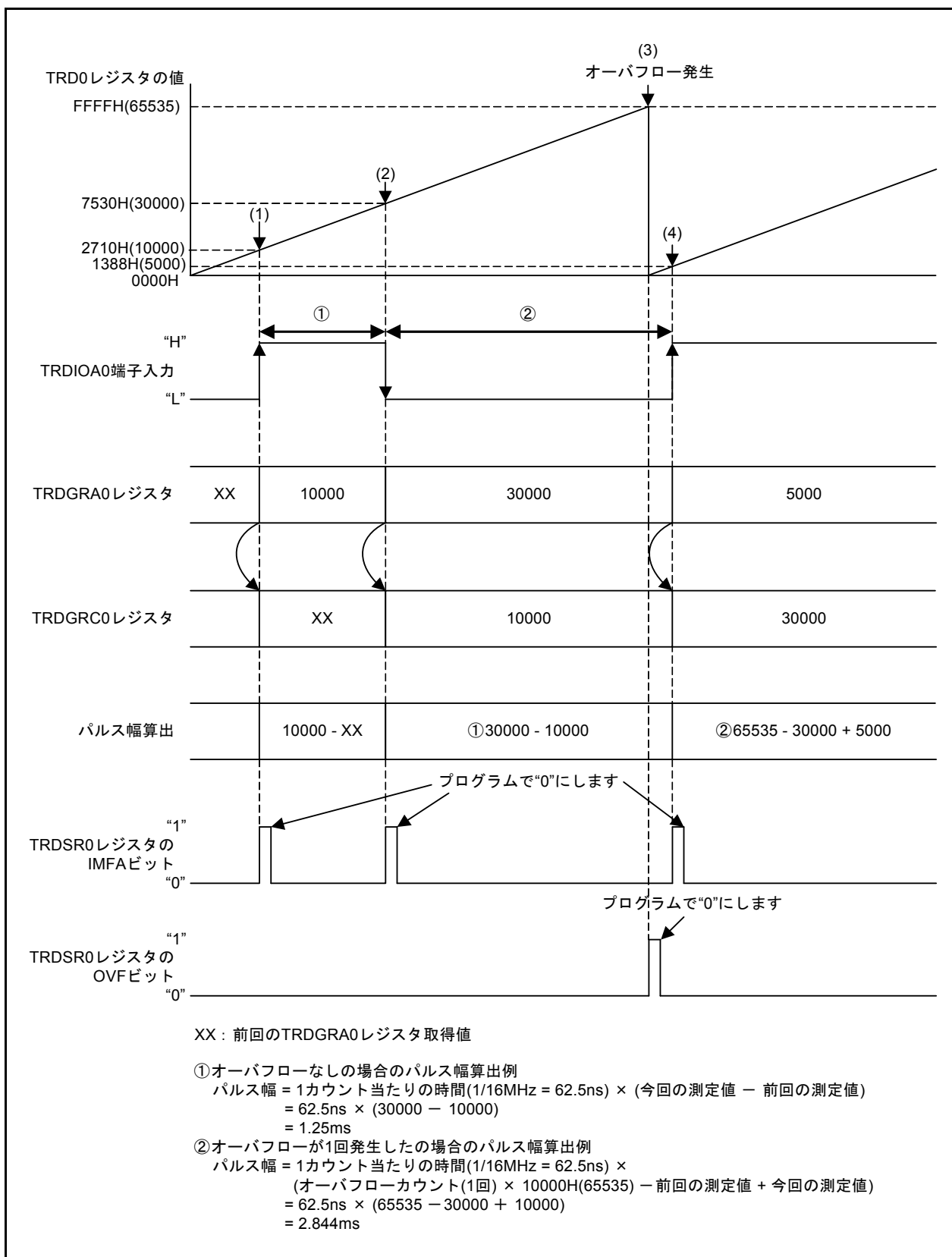


図 4.1 インプットキャプチャ動作例

4.1.2 アウトプットコンペア機能説明

アウトプットコンペア機能を使用し、タイマRD0カウント開始から1ms経過でTRDIOB0端子の出力レベルを、2ms経過でTRDIOD0端子の出力レベルを"L"から"H"に変更します。以降、TRDIOB0端子とTRDIOD0端子は"H"を保持します。

- (1) タイマRD0カウント開始します。
- (2) TRD0レジスタとTRDGRB0レジスタのコンペア一致で、TRDIOB0端子の出力レベルが"L"から"H"に変化します。
- (3) TRD0レジスタとTRDGRD0レジスタのコンペア一致で、TRDIOD0端子の出力レベルが"L"から"H"に変化します。
- (4) TRD0レジスタのオーバーフローが発生し、TRD0レジスタが"0000H"にクリアされます。
- (5) TRD0レジスタとTRDGRB0レジスタのコンペア一致しますが、TRDGRB0端子の出力レベルが"H"のため、出力レベルを保持します。
- (6) TRD0レジスタとTRDGRD0レジスタのコンペア一致しますが、TRDGRD0端子の出力レベルが"H"のため、出力レベルを保持します。

図 4.2にアウトプットコンペア動作例を示します。

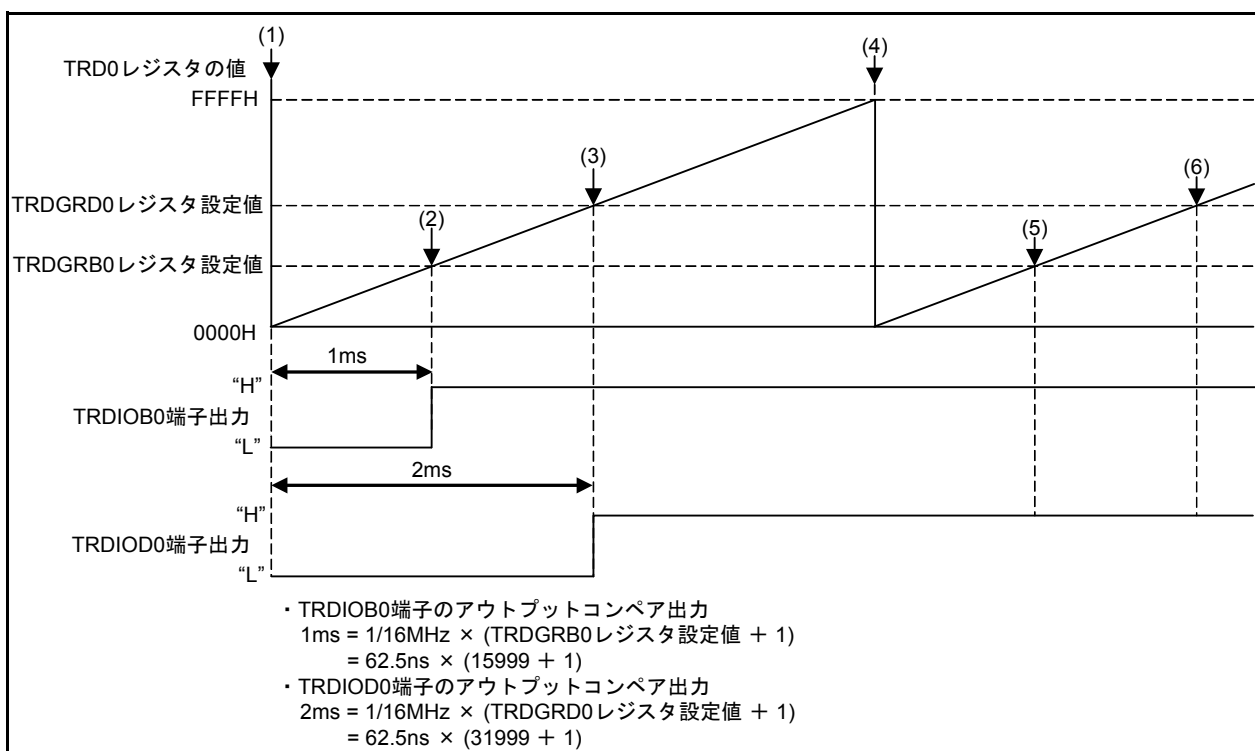


図 4.2 アウトプットコンペア動作例

4.2 オプション・バイトの設定一覧

表 4.1にオプション・バイト設定を示します。必要に応じて、お客様のシステムに最適な値を設定してください。

表 4.1 オプション・バイト設定

アドレス	設定値	内容
000C0H/010C0H	11101111B	ウォッチドッグ・タイマ動作停止 (リセット解除後、カウント停止)
000C1H/010C1H	01111111B	LVD リセット・モード 検出電圧：立ち上がり2.81V/立ち下がり2.75V
000C2H/010C2H	11101001B	高速内蔵発振 HS モード 16MHz
000C3H/010C3H	10000100B	オンチップ・デバッグ許可

4.3 変数一覧

表 4.2にグローバル変数を示します。

表 4.2 グローバル変数

型	変数名	内容	使用関数
uint8_t	f_capture	キャプチャフラグ	main、 r_tmr_rd0_interrupt
uint16_t	ovf_cnt	オーバフローカウンタ	main、 r_tmr_rd0_interrupt
uint16_t	general_register	今回の測定値	main、 r_tmr_rd0_interrupt
uint16_t	buffer_register	前回の測定値	main、 r_tmr_rd0_interrupt
uint32_t	measurement_value	パルス幅算出結果	main

4.4 関数一覧

表 4.3に関数を示します。

表 4.3 関数

関数名	概要
hdwinit	初期設定
R_Systeminit	周辺機能初期設定
R_CGC_Create	CPU初期設定
timer_rd0_init	タイマRD初期設定
main	メイン処理
timer_rd0_start	タイマRD0カウント開始設定
r_tmr_rd0_interrupt	タイマRD0割り込み

4.5 関数仕様

サンプルコードの関数仕様を示します。

hdwinit

概 要	初期設定
ヘッダ	なし
宣 言	void hdwinit(void)
説 明	周辺機能の初期設定を行います。
引 数	なし
リターン値	なし

R_Systeminit

概 要	周辺機能初期設定
ヘッダ	なし
宣 言	void R_Systeminit(void)
説 明	本アプリケーションノートで使用する周辺機能の初期設定を行います。
引 数	なし
リターン値	なし

R_CGC_Create

概 要	CPU初期設定
ヘッダ	なし
宣 言	void R_CGC_Create(void)
説 明	CPU初期設定を行います。
引 数	なし
リターン値	なし

timer_rd0_init

概 要	タイマRD初期設定
ヘッダ	なし
宣 言	void timer_rd0_init(void)
説 明	タイマRDのインプットキャプチャ機能とアウトプットコンペア機能の初期設定を行います。
引 数	なし
リターン値	なし

main

概 要	メイン処理
ヘッダ	なし
宣 言	void main(void)
説 明	●メイン処理を行います。 ●パルス幅の算出を行います。
引 数	なし
リターン値	なし

timer_rd0_start

概 要	タイマRD0カウント開始設定
ヘッダ	なし
宣 言	void timer_rd0_start(void)
説 明	タイマRD0カウント開始設定を行います。
引 数	なし
リターン値	なし

r_tmr_rd0_interrupt

概 要	タイマRD0割り込み
ヘッダ	なし
宣 言	static void __near r_tmr_rd0_interrupt(void)
説 明	●タイマRD0割り込み処理を行います。 ●TRDIOA0端子にエッジが入力された時、ジェネラルレジスタおよび、バッファレジスタの値を読み出します。 ●オーバフロー検出時、オーバフローカウンタを更新します。
引 数	なし
リターン値	なし

4.6 フローチャート

4.6.1 全体フローチャート

図 4.3に全体フローチャートを示します。

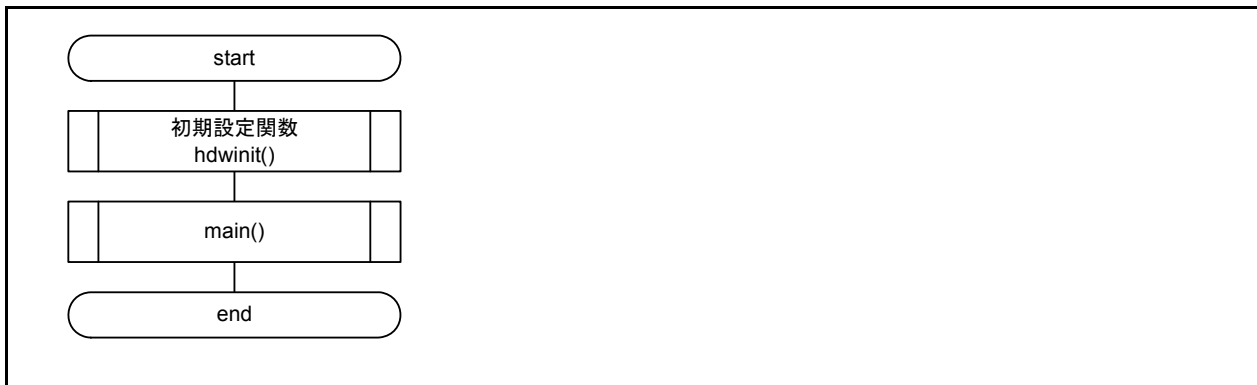


図 4.3 全体フローチャート

4.6.2 初期設定

図 4.4に初期設定のフローチャートを示します。

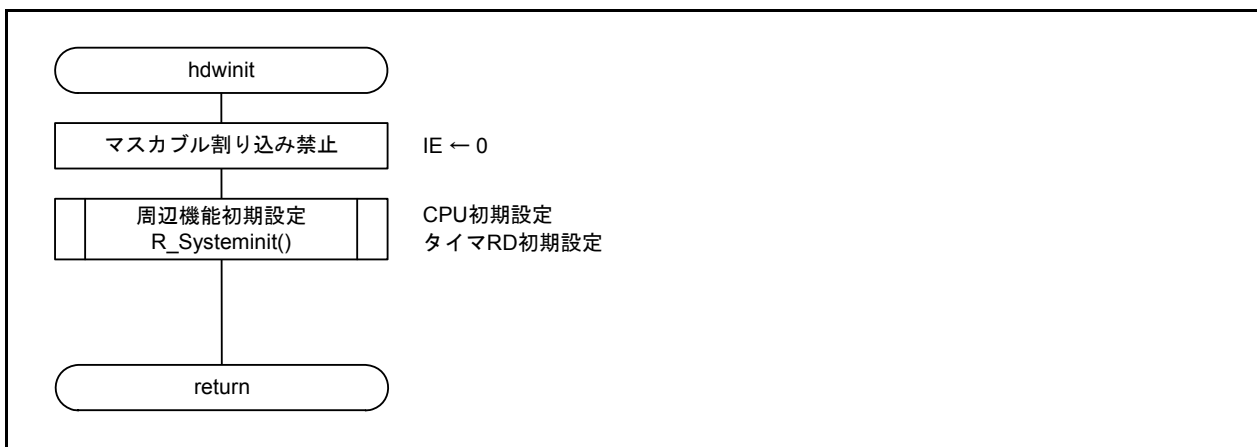


図 4.4 初期設定

4.6.3 周辺機能初期設定

図 4.5に周辺機能初期設定のフローチャートを示します。

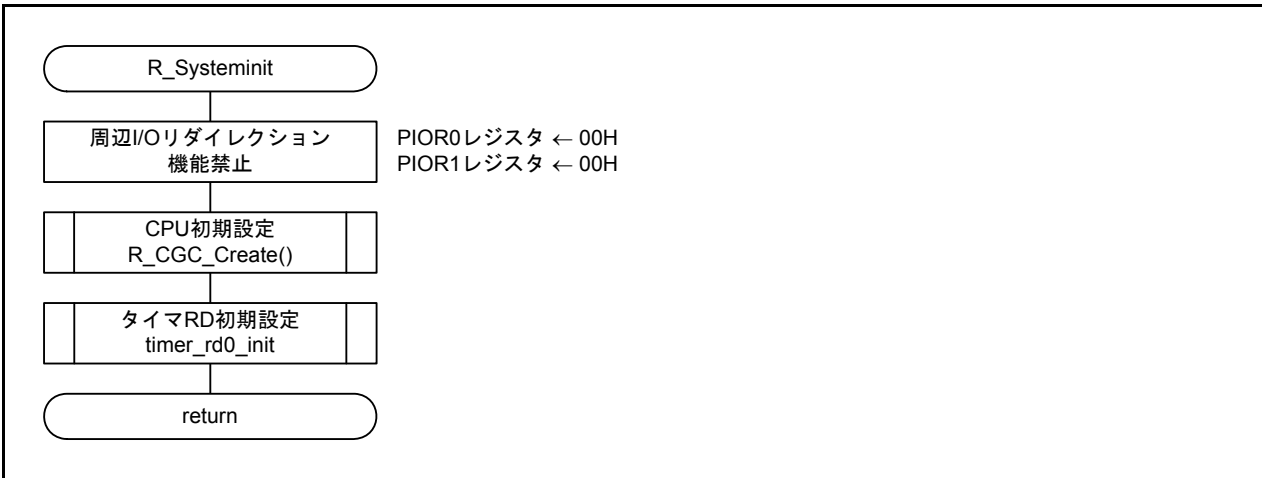


図 4.5 周辺機能初期設定

4.6.4 CPU 初期設定

図 4.6にCPU 初期設定のフローチャートを示します。

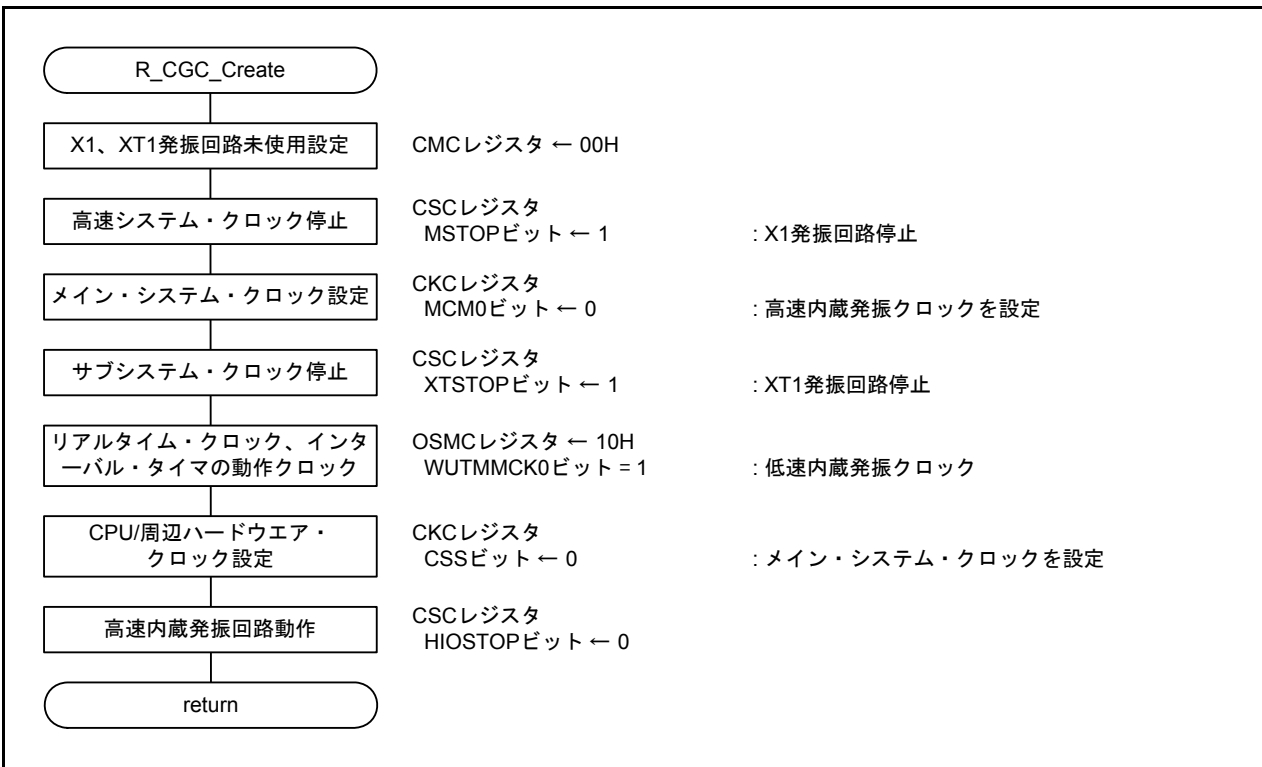


図 4.6 CPU 初期設定

4.6.5 タイマRD初期設定

図 4.7にタイマRD初期設定のフローチャートを示します。

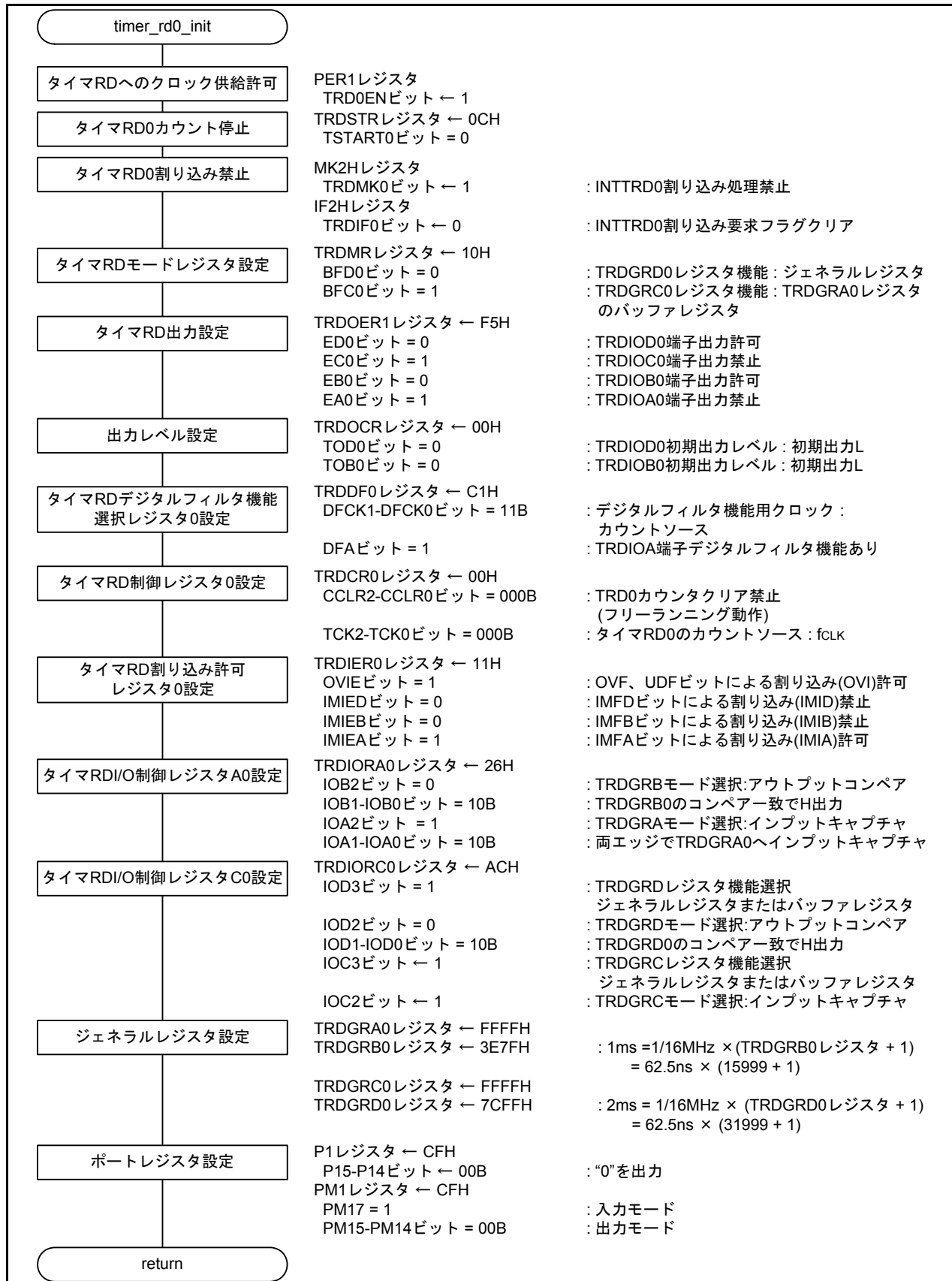


図 4.7 タイマRD初期設定

タイマRDへのクロック供給許可

- ・周辺イネーブル・レジスタ1(PER1)

タイマRDへのクロック供給を許可にします。

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	CMPEN	TRD0EN	DTCEN	0	0	TRJ0EN
設定値	x	x	x	1	x	—	—	x

ビット4

TRD0EN	タイマ RD の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ RD で使用する SFR へのライト不可 ・タイマ RD はリセット状態
1	入カクロック供給 ・タイマ RD で使用する SFR へのリード／ライト可

タイマRD0カウント停止

- ・タイマRDモードレジスタ (TRDSTR)

タイマRD0のカウントを停止します。

略号	7	6	5	4	3	2	1	0
TRDSTR	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0
設定値	—	—	—	—	x		x	0

ビット2

CSEL0	TRD0 カウント動作選択
0	TRDGRA0 レジスタとのコンペア一致でカウント停止
1	TRDGRA0 レジスタとのコンペア一致後もカウント継続

ビット0

TSTART0	TRD0 カウント開始フラグ
0	カウント停止
1	カウント開始

レジスタ設定の詳細については、RL78/G14ユーザーズマニュアルハードウェア編を参照してください。

レジスタ図の設定値

x: 使用しないビット、空白: 変更しないビット、—: 予約ビットまたは、何も配置されていないビット

タイマRD0割り込み禁止

- ・割り込みマスク・フラグ・レジスタ (MK2H)

INTTRD0割り込みを禁止に設定します。

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	IICAMK1	1	SREMK3 TMMK13H	TRGMK	TRDMK1	TRDMK0	PMK11 CMPMK1
設定値	x	x	—	x	x	x	1	x

ビット1

TRDMK0	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

- ・割り込み要求フラグ・レジスタ (IF2H)

INTTRD0割り込み要求フラグをクリアします。

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	IICAIF1	0	SREIF3 TMIF13H	TRGIF	TRDIF1	TRDIF0	PIF11 CMPIF1
設定値	x	x	—	x	x	x	0	x

ビット1

TRDIF0	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

タイマRDモードレジスタ設定

- ・タイマRDモードレジスタ (TRDMR)

TRDGRD0レジスタをジェネラルレジスタ、TRDGRC0レジスタを、TRDGRA0レジスタのバッファレジスタとして使用します。

略号	7	6	5	4	3	2	1	0
TRDMR	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC
設定値	x	x	0	1	—	—	—	

ビット5

BFD0	TRDGRD0 レジスタ機能選択
0	ジェネラルレジスタ
1	TRDGRB0 レジスタのバッファレジスタ

ビット4

BFC0	TRDGRC0 レジスタ機能選択
0	ジェネラルレジスタ
1	TRDGRA0 レジスタのバッファレジスタ

レジスタ設定の詳細については、RL78/G14ユーザーズマニュアルハードウェア編を参照してください。

レジスタ図の設定値

x: 使用しないビット、空白: 変更しないビット、—: 予約ビットまたは、何も配置されていないビット

タイマRD出力設定

- ・タイマRD出力マスタ許可レジスタ1(TRDOER1)

TRDIOC0、TRDIOA0端子の出力を禁止、TRDIOB0、TRDIOD0端子の出力を許可に設定します。

略号	7	6	5	4	3	2	1	0
TRDOER1	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
設定値	x	x	x	x	0	1	0	1

ビット3

ED0	TRDIOD0 出力禁止
0	出力許可
1	出力禁止 (TRDIOD0 端子は I/O ポート)

ビット2

EC0	TRDIOC0 出力禁止
0	出力許可
1	出力禁止 (TRDIOC0 端子は I/O ポート)

ビット1

EB0	TRDIOB0 出力禁止
0	出力許可
1	出力禁止 (TRDIOB0 端子は I/O ポート)

ビット0

EA0	TRDIOA0 出力禁止
0	出力許可
1	出力禁止 (TRDIOA0 端子は I/O ポート)

出力レベル設定

- ・タイマRD出力制御レジスタ (TRDOCR)

TRDIOD0端子、TRDIOB0端子に初期出力Lを設定します。

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
設定値	x	x	x	x	0	x	0	x

ビット3

TOD0	TRDIOD0 初期出力レベル選択
0	初期出力 L
1	初期出力 H

ビット1

TOB0	TRDIOB0 出力レベル選択
0	初期出力 L
1	初期出力 H

レジスタ設定の詳細については、RL78/G14ユーザーズマニュアルハードウェア編を参照してください。

レジスタ図の設定値

×: 使用しないビット、空白: 変更しないビット、-: 予約ビットまたは、何も配置されていないビット

タイマRD デジタルフィルタ機能選択レジスタ0設定

- ・タイマRD デジタルフィルタ機能選択レジスタ0(TRDDF0)
- TRDIOA 端子デジタルフィルタ機能を使用します。

略号	7	6	5	4	3	2	1	0
TRDDF0	DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA
設定値	1	1	x	x	x	x	x	1

ビット 7-6

DFCK1	DFCK0	デジタルフィルタ機能用クロック選択
0	0	f _{CLK} /32
0	1	f _{CLK} /8
1	0	f _{CLK}
1	1	カウントソース (TRDCR0 レジスタの TCK0 ~ TCK2 ビットで選択したクロック)

ビット 0

DFA	TRDIOA 端子デジタルフィルタ機能選択
0	機能なし
1	機能あり
デジタルフィルタを許可した場合、デジタルフィルタのサンプリングクロックの5サイクル分以上経過した後で、エッジ検出を行います。	

タイマRD 制御レジスタ0設定

- ・タイマRD 制御レジスタ0(TRDCR0)
- タイマRD0のカウンタクリアを禁止に設定し、カウントソースにf_{CLK}を設定します。

略号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
設定値	0	0	0	x	x	0	0	0

ビット 7-5

CCLR2	CCLR1	CCLR0	TRD0 カウンタクリア選択
0	0	0	クリア禁止 (フリーランニング動作)
0	0	1	TRDGRA0 のインプットキャプチャ / コンペアー致でクリア
0	1	0	TRDGRB0 のインプットキャプチャ / コンペアー致でクリア
0	1	1	同期クリア (他のタイマ RD _i のカウンタと同時にクリア)
1	0	0	設定しないでください
1	0	1	TRDGRC0 のインプットキャプチャ / コンペアー致でクリア
1	1	0	TRDGRD0 のインプットキャプチャ / コンペアー致でクリア
1	1	1	設定しないでください

レジスタ設定の詳細については、RL78/G14 ユーザーズマニュアルハードウェア編を参照してください。
レジスタ図の設定値
x: 使用しないビット、空白: 変更しないビット、-: 予約ビットまたは、何も配置されていないビット

ビット2-0

TCK2	TCK1	TCK0	カウントソース選択
0	0	0	f _{CLK} , f _{HOCO}
0	0	1	f _{CLK} /2
0	1	0	f _{CLK} /4
0	1	1	f _{CLK} /8
1	0	0	f _{CLK} /32
1	0	1	TRDCLK 入力
1	1	0	設定しないでください
1	1	1	設定しないでください

タイマRD 割り込み許可レジスタ0設定

- ・タイマRD 割り込み許可レジスタ0(TRDIER0)

OVFビットによる割り込み(OVI)、IMFAビットによる割り込み(IMIA)を許可、IMFDビットによる割り込み(IMID)、IMFBビットによる割り込み(IMIB)を禁止に設定します。

略号	7	6	5	4	3	2	1	0
TRDIER0	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
設定値	—	—	—	1	0	×	0	1

ビット4

OVIE	オーバフロー/アンダフロー割り込み許可
0	OVF, UDF ビットによる割り込み (OVI) 禁止
1	OVF, UDF ビットによる割り込み (OVI) 許可

ビット3

IMIED	インプットキャプチャ/コンペアー致割り込み許可 D
0	IMFD ビットによる割り込み (IMID) 禁止
1	IMFD ビットによる割り込み (IMID) 許可

ビット1

IMIEB	インプットキャプチャ/コンペアー致割り込み許可 B
0	IMFB ビットによる割り込み (IMIB) 禁止
1	IMFB ビットによる割り込み (IMIB) 許可

ビット0

IMIEA	インプットキャプチャ/コンペアー致割り込み許可 A
0	IMFA ビットによる割り込み (IMIA) 禁止
1	IMFA ビットによる割り込み (IMIA) 許可

レジスタ設定の詳細については、RL78/G14ユーザーズマニュアルハードウェア編を参照してください。

レジスタ図の設定値

×: 使用しないビット、空白: 変更しないビット、—: 予約ビットまたは、何も配置されていないビット

タイマRD I/O制御レジスタ A0設定

- ・タイマRD I/O制御レジスタ A0(TRDIORA0)

TRDGRB0 レジスタのコンペア一致でH出力します。

略号	7	6	5	4	3	2	1	0
TRDIORA0	0	IOB2	IOB1	IOB0	0	IOA2	IOA1	IOA0
設定値	—	0	1	0	—	1	1	0

ビット 6

IOB2	TRDGRB モード選択
アウトプットコンペア機能では 0 (アウトプットコンペア) にしてください。	

ビット 5-4

IOB1	IOB0	TRDGRB 制御
0	0	コンペア一致による端子出力禁止 (TRDIOB0 端子は I/O ポート)
0	1	TRDGRB0 のコンペア一致で L 出力
1	0	TRDGRB0 のコンペア一致で H 出力
1	1	TRDGRB0 のコンペア一致でトグル出力

ビット 2

IOA2	TRDGRA モード選択
インプットキャプチャ機能では 1 (インプットキャプチャ) にしてください。	

ビット 1-0

IOA1	IOA0	TRDGRA 制御
0	0	立ち上がりエッジで TRDGRA0 ヘインプットキャプチャ
0	1	立ち下がりエッジで TRDGRA0 ヘインプットキャプチャ
1	0	両エッジで TRDGRA0 ヘインプットキャプチャ
1	1	設定しないでください

タイマRD I/O制御レジスタ C0設定

- ・タイマRD I/O制御レジスタ C0(TRDIORC0)

TRDGRD レジスタを TRDIOB 出力レジスタとして使用しません。

略号	7	6	5	4	3	2	1	0
TRDIORC0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
設定値	1	0	1	0	1	1	x	x

ビット 7

IOD3	TRDGRD レジスタ機能選択
0	TRDIOB 出力レジスタ
1	ジェネラルレジスタまたはバッファレジスタ

ビット 6

IOD2	TRDGRD モード選択
アウトプットコンペア機能では 0 (アウトプットコンペア) にしてください。	

レジスタ設定の詳細については、RL78/G14 ユーザーズマニュアルハードウェア編を参照してください。

レジスタ図の設定値

x: 使用しないビット、空白: 変更しないビット、—: 予約ビットまたは、何も配置されていないビット

ビット 5-4

IOD1	IOD0	TRDGRD 制御
0	0	コンペアー一致による端子出力禁止
0	1	TRDGRD0 のコンペアー一致で L 出力
1	0	TRDGRD0 のコンペアー一致で H 出力
1	1	TRDGRD0 のコンペアー一致でトグル出力

ビット 3

IOC3	TRDGRC レジスタ機能選択
インプットキャプチャ機能では 1 (ジェネラルレジスタまたはパッファレジスタ) にしてください。	

ビット 2

IOC2	TRDGRC モード選択
インプットキャプチャ機能では 1 (インプットキャプチャ) にしてください。	

ジェネラルレジスタ設定

- タイマRD ジェネラルレジスタ A0(TRDGRA0)
TRDGRA0 レジスタに“FFFFH”を設定します。

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRA0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
設定値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

—	機能	設定範囲
ビット 15 ~ 0	表 4.5 インプットキャプチャ機能時のジェネラルレジスタの機能参照	0000H ~ FFFFH

- タイマRD ジェネラルレジスタ B0(TRDGRB0)
カウント開始から 1ms 後に TRDIOB0 端子の出力が変化するように“3E7FH”を設定します。

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRB0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
設定値	0	0	1	1	1	1	1	0	0	1	1	1	1	1	1	1

—	機能	設定範囲
ビット 15 ~ 0	表 4.4 アウトプットコンペア機能時のジェネラルレジスタの機能参照	0000H ~ FFFFH

レジスタ設定の詳細については、RL78/G14 ユーザーズマニュアルハードウェア編を参照してください。
レジスタ図の設定値
×: 使用しないビット、空白: 変更しないビット、—: 予約ビットまたは、何も配置されていないビット

- ・タイマRD ジェネラルレジスタ C0(TRDGRC0)
TRDGRC0 レジスタに“FFFFH”を設定します。

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRC0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
設定値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

—	機能	設定範囲
ビット 15 ~ 0	表 4.5 インプットキャプチャ機能時のジェネラルレジスタの機能参照	0000H ~ FFFFH

- ・タイマRD ジェネラルレジスタ D0(TRDGRD0)
カウント開始から2ms後にTRDIOB0端子の出力が変化するように“7CFFH”を設定します。

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRB0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
設定値	0	1	1	1	1	1	0	0	1	1	1	1	1	1	1	1

—	機能	設定範囲
ビット 15 ~ 0	表 4.4 アウトプットコンペア機能時のジェネラルレジスタの機能参照	0000H ~ FFFFH

表 4.4 アウトプットコンペア機能時のジェネラルレジスタの機能

レジスタ	設定		レジスタの機能	アウトプット コンペア出力端子
	BFj0	IOj3		
TRDGRA0	—	—	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOA0
TRDGRB0	—	—		TRDIOB0
TRDGRC0	0	1	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOC0
TRDGRD0	0	1		TRDIOD0
TRDGRC0	1	1	バッファレジスタ。次のコンペア値を書いてください。	TRDIOA0
TRDGRD0	1	1		TRDIOB0
TRDGRC0	0	0	TRDIOA0出力制御	TRDIOA0
TRDGRD0	0	0	TRDIOB0出力制御	

j = A,B,C,D

表 4.5 インプットキャプチャ機能時のジェネラルレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ 入力端子
TRDGRA0	—	ジェネラルレジスタ。 インプットキャプチャ時の TRD0 レジスタの値が読めます。	TRDIOA0
TRDGRB0	—		TRDIOB0
TRDGRC0	BFC0 = 0	ジェネラルレジスタ。 インプットキャプチャ時の TRD0 レジスタの値が読めます。	TRDIOC0
TRDGRD0	BFD0 = 0		TRDIOD0
TRDGRC0	BFC0 = 1	バッファレジスタ。 インプットキャプチャ時の TRD0 レジスタの値が読めます。	TRDIOA0
TRDGRD0	BFD0 = 1		TRDIOB0

レジスタ設定の詳細については、RL78/G14 ユーザーズマニュアルハードウェア編を参照してください。
レジスタ図の設定値
×：使用しないビット、空白：変更しないビット、—：予約ビットまたは、何も配置されていないビット

ポートレジスタ設定

・ポート・レジスタ1(P1)

ポート・レジスタ1を設定します。

略号	7	6	5	4	3	2	1	0
P1	P17	P16	P15	P14	P13	P12	P11	P10
設定値		x	0	0	x	x	x	x

ビット5

P15	出力データの制御
0	0 を出力
1	1 を出力

ビット4

P14	出力データの制御
0	0 を出力
1	1 を出力

・ポート・モード・レジスタ1(PM1)

P17端子を入力モードに、P15、P14端子を出力モードに設定します。

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10
設定値	1	x	0	0	x	x	x	x

ビット7

PM17	P17 端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

ビット5

PM15	P15 端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

ビット4

PM14	P14 端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

レジスタ設定の詳細については、RL78/G14ユーザーズマニュアルハードウェア編を参照してください。

レジスタ図の設定値

x: 使用しないビット、空白: 変更しないビット、-: 予約ビットまたは、何も配置されていないビット

4.6.6 メイン処理

図 4.8にメイン処理のフローチャートを示します。

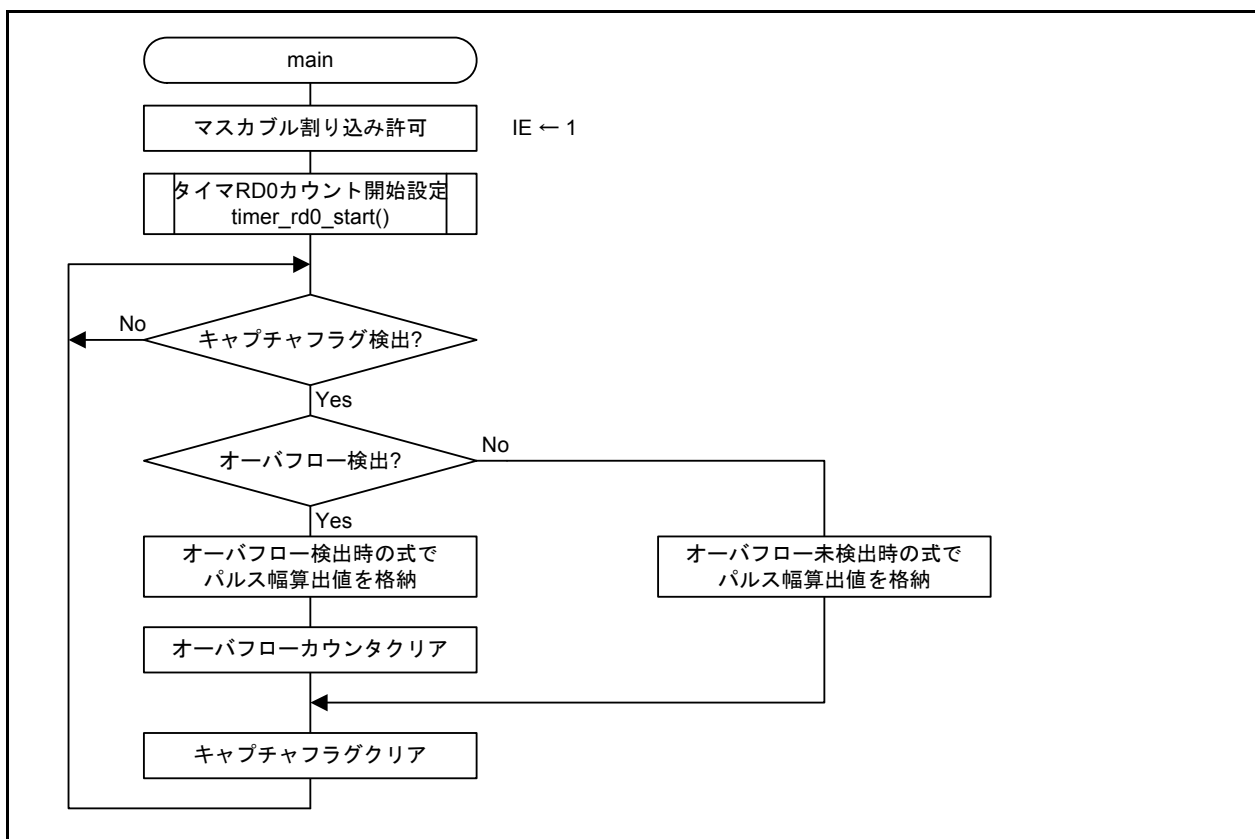


図 4.8 メイン処理

4.6.7 タイマRD0カウント開始設定

図 4.9にタイマRD0カウント開始設定のフローチャートを示します。

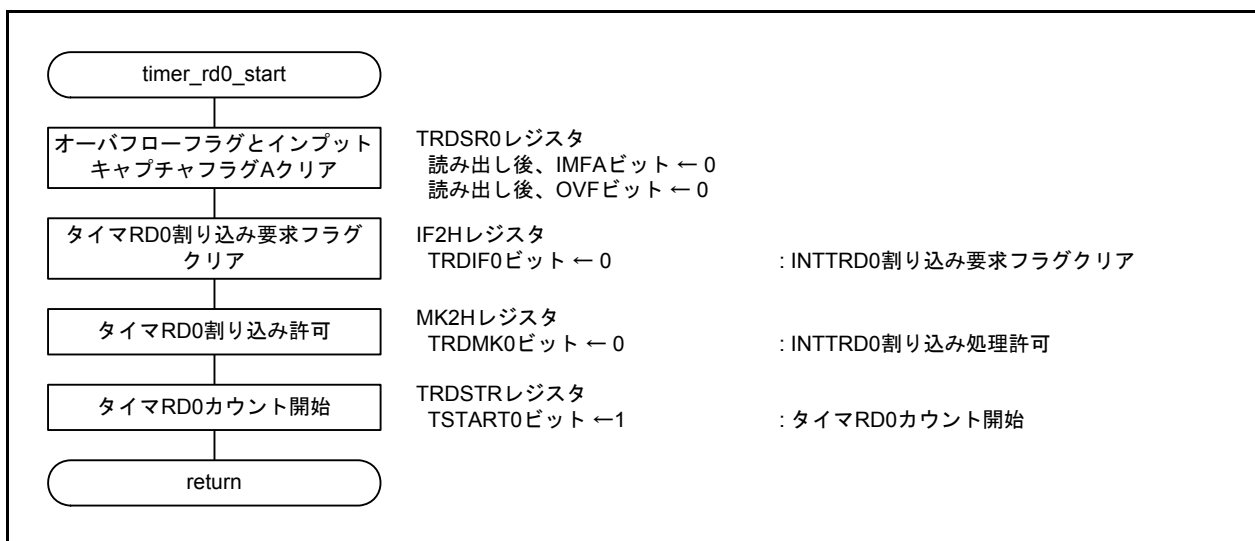


図 4.9 タイマRD0カウント開始設定

コンペアー一致フラグAクリア

- ・タイマRDステータスレジスタ0(TRDSR0)

タイマRDステータスレジスタ0を読んだ後、オーバーフローフラグとインプットキャプチャフラグAをクリアします。

略号	7	6	5	4	3	2	1	0
TRDSR0	—	—	—	OVF	IMFD	IMFC	IMFB	IMFA
設定値	—	—	—	0	x	x	x	0

ビット4

OVF	オーバーフローフラグ
[0になる要因]	
読んだ後, 0 を書く	
[1になる要因]	
TRD0 がオーバーフローしたとき	

ビット0

IMFA	インプットキャプチャ / コンペアー一致フラグ A
[0になる要因]	
読んだ後, 0 を書く	
[1になる要因]	
TRDIOA0 端子の入力エッジ	

レジスタ設定の詳細については、RL78/G14ユーザーズマニュアルハードウェア編を参照してください。

レジスタ図の設定値

x: 使用しないビット、空白: 変更しないビット、—: 予約ビットまたは、何も配置されていないビット

タイマRD0割り込み要求フラグクリア

- ・割り込み要求フラグ・レジスタ (IF2H)

INTTRD0割り込み要求フラグをクリアします。

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	IICAF1	0	SREIF3 TMIF13H	TRGIF	TRDIF1	TRDIF0	PIF11 CMPIF1
設定値	x	x	—	x	x	x	0	x

ビット1

TRDIF0	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

タイマRD0割り込み許可

- ・割り込みマスク・フラグ・レジスタ (MK2H)

INTTRD0割り込みを許可に設定します。

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	IICAMK1	1	SREMK3 TMMK13H	TRGMK	TRDMK1	TRDMK0	PMK11 CMPMK1
設定値	x	x	—	x	x	x	0	x

ビット1

TRDMK0	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

タイマRD0カウント開始

- ・タイマRDモードレジスタ (TRDSTR)

タイマRD0のカウントを開始します。

略号	7	6	5	4	3	2	1	0
TRDSTR	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0
設定値	—	—	—	—	x		x	1

ビット0

TSTART0	TRD0 カウント開始フラグ
0	カウント停止
1	カウント開始

レジスタ設定の詳細については、RL78/G14ユーザーズマニュアルハードウェア編を参照してください。

レジスタ図の設定値

x: 使用しないビット、空白: 変更しないビット、—: 予約ビットまたは、何も配置されていないビット

4.6.8 タイマRD0割り込み

図 4.10 にタイマRD0割り込みのフローチャートを示します。

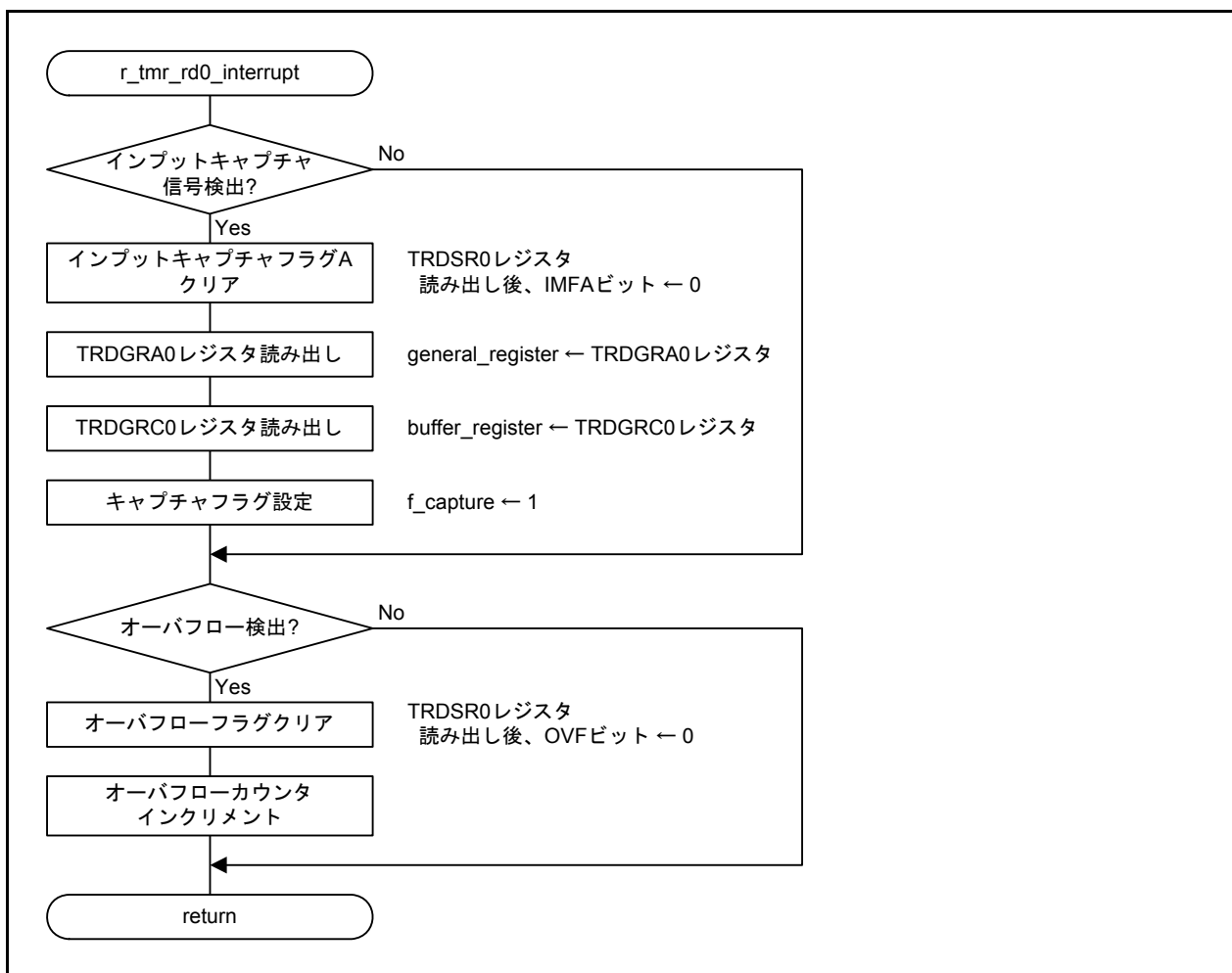


図 4.10 タイマRD0割り込み

5. サンプルコード

サンプルコードは、ルネサス エレクトロニクスホームページから入手してください。

6. 参考ドキュメント

RL78/G14 ユーザーズマニュアル ハードウェア編 (R01UH0186J)

RL78 ファミリ ユーザーズマニュアル ソフトウェア編 (R01US0015J)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/contact>

改訂記録	RL78/G14 タイマRD タイマモード(インプットキャプチャ機能とアウトプットコンペア機能の併用) CC-RL
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.12.01	－	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したものです。誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、
各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■ 営業お問い合わせ窓口

<http://www.renesas.com>

営業お問い合わせ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■ 技術的なお問い合わせおよび資料のご請求は下記へどうぞ。
総合お問い合わせ窓口： <http://japan.renesas.com/contact/>