

RX ファミリ、H8S ファミリ

H8S から RX への置き換えガイド

シリアルコミュニケーションインタフェース編

要旨

本アプリケーションノートでは、H8S ファミリの SCI のクロック同期式モードから RX ファミリの SCI のクロック同期式モード、H8S ファミリの SCI の調歩同期式モードから RX ファミリの SCI の調歩同期式モードへの置き換えについて説明しています。

対象デバイス

- RX ファミリ
- H8S ファミリ

H8S から RX への置き換え例として、RX ファミリは RX261 グループを、H8S ファミリは H8S/2378 グループを用いて説明しています。本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

動作確認デバイス

- RX ファミリ : RX261
- H8S ファミリ : H8S/2378

表 RX ファミリと H8S ファミリ間の用語差異

項目	RX ファミリ	H8S ファミリ
チャンネル名称	SCIn	チャンネル n
周辺機能の動作クロック	周辺モジュールクロック (PCLKA、PCLKB、PCLKC、 PCLKD)	φ

目次

1. シリアルコミュニケーションインタフェースの相違点	3
1.1 機能相違点	3
1.2 レジスタ相違点	7
2. 使用する周辺機能	20
3. クロック同期式シリアル通信の相違点	20
3.1 マスタ送受信動作時の相違点	21
3.1.1 マスタ送受信動作時のタイミング相違点	21
3.1.2 マスタ送受信動作時での設定手順の相違点	25
3.2 マスタ送信動作時の相違点	28
3.2.1 マスタ送信動作時のタイミングの相違点	28
3.2.2 マスタ送信動作時での設定手順の相違点	30
3.3 スレーブ受信動作時の相違点	32
3.3.1 スレーブ受信動作時のタイミングの相違点	32
3.3.2 スレーブ受信動作時での設定手順の相違点	34
4. 調歩同期式シリアル通信の相違点	37
4.1 送信動作時の相違点	38
4.1.1 送信動作時のタイミング相違点	38
4.1.2 送信動作時での設定手順の相違点	40
4.2 受信動作時の相違点	42
4.2.1 受信動作時のタイミング相違点	42
4.2.2 受信動作時での設定手順の相違点	44
5. ビットレートの算出方法	47
6. 割り込みの相違点	48
7. モジュールストップ機能	51
8. レジスタライトプロテクション機能	52
9. H8S から RX へ置き換えるときのポイント	53
9.1 入出力ポート	53
9.2 I/O レジスタマクロ	54
9.3 組み込み関数	55
9.4 トランスミットイネーブルビットに関する注意事項	56
10. 参考ドキュメント	57

1. シリアルコミュニケーションインタフェースの相違点

1.1 機能相違点

表 1.1 に、シリアルコミュニケーションインタフェースの機能相違点を示します。表 1.2 に、RX の SCI チャンネル別機能一覧を示します。

表 1.1 シリアルコミュニケーションインタフェースの機能相違点

項目		RX (RX261)	H8S (H8S/2378)
チャンネル		SCI1、SCI5、SCI6、SCI12	チャンネル 0、チャンネル 1、チャンネル 2、チャンネル 3、チャンネル 4
シリアル通信方式		調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I ² C バス 簡易 SPI バス	調歩同期式 クロック同期式 スマートカードインタフェース
転送速度		内蔵ボーレートジェネレータで任意のビットレートを設定可能	
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能	
入出力信号レベル反転		入力信号、出力信号のレベルをそれぞれ独立して反転可能	なし
データ転送		LSB ファースト/MSB ファースト選択可能 ^(注 1)	LSB ファースト/MSB ファースト選択可能 (調歩同期式 7 ビットデータを除く)
割り込み要因		送信終了 送信データエンプティ 受信データフル 受信エラー データ一致 開始条件/再開条件/停止条件生成終了 (簡易 I ² C モード用)	送信終了 送信データエンプティ 受信データフル 受信エラー
消費電力低減機能		チャンネルごとにモジュールストップ状態への遷移が可能	
調歩同期式モード	データ長	7 ビット/8 ビット/9 ビット	7 ビット/8 ビット
	送信ストップビット	1 ビット/2 ビット	
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし	
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	
	ハードウェアフロー制御	CTS _n #端子、RTS _n #端子を用いた送受信制御が可能	なし
	データ一致検出	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能	なし
	スタートビットの検出	Low または立ち下がりエッジを選択可能	Low 検出のみ
	受信データサンプリングタイミング調整	受信データのサンプリングポイントをデータの中央を基点に前後に変更可能	なし
調歩同期式モード	送信信号変化タイミング調整	送信データの立ち下がりエッジまたは立ち上がりエッジのいずれかを遅延させることが可能	なし

項目		RX (RX261)	H8S (H8S/2378)
	ブレーク検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードする、または SPTR.RXDMON フラグを読み出すことでブレークを検出可能	フレーミングエラー発生時、RXDn 端子のレベルを直接リードする事でブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMR からの転送レートクロック入力が可能 (SCI5、SCI6、SCI12)	内部クロック/外部クロックの選択が可能 (スマートカードインタフェースを除く)
	倍速モード	ボーレートジェネレータ倍速モードを選択可能	なし
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能	
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵	なし
クロック同期式モード	データ長	8 ビット	
	受信エラーの検出	オーバランエラー	
	ハードウェアフロー制御	CTS#端子、RTSn#端子を用いた送受信制御が可能	なし
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信	
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	
IrDA		なし	IrDA 規格バージョン 1.0 に基づく IrDA 通信波形の生成が可能 (チャンネル 0 のみ)
簡易 I ² C モード	通信フォーマット	I ² C バスフォーマット	なし
	動作モード	マスタ (シングルマスタ動作のみ)	
	転送速度	ファストモード対応	
	ノイズ除去	SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能	
簡易 SPI モード	データ長	8 ビット	なし
	エラーの検出	オーバランエラー	
	SS 入力端子機能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能	
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能	
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能	なし

項目		RX (RX261)	H8S (H8S/2378)
イベントリンク機能 (SCI5 のみ)		イベントリンク機能の起動要因として以下要因を設定可能 <ul style="list-style-type: none"> ・ エラー(受信エラー・エラーシグナル検出)イベント出力 ・ 受信データフルイベント出力 ・ 送信データエンプティイベント出力 ・ 送信終了イベント出力 	なし
拡張シリアルモード (SCI12 のみ)	Start Frame 送信	<ul style="list-style-type: none"> ・ Break Field Low width の出力が可能/出力完了割り込み機能あり ・ バス衝突検出機能あり/検出割り込み機能あり 	なし
	Start Frame 受信	<ul style="list-style-type: none"> ・ Break Field Low width の検出が可能/検出完了割り込み機能あり ・ Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり ・ Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり ・ Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データの設定可能 ・ Control Field 1 にはプライオリティインタラプトビットを設定可能 ・ Break Field がない Start Frame にも対応可能 ・ Control Field 0 がない Start Frame にも対応可能 ・ ビットレート測定機能あり 	
	入出力制御機能	<ul style="list-style-type: none"> ・ TXDX12/RXDX12 信号の極性選択が可能 ・ RXDX12 信号にデジタルフィルタ機能を設定可能 ・ RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 ・ RXDX12 端子受信データサンプリングタイミング選択可能 ・ 拡張シリアルモード制御部 OFF 時、RXDX12 受信信号を SCIg ヘスルー出力可能 	
	タイマ機能	リロードタイマ機能として使用可能	

注 1. 簡易 I²C モードでは、MSB ファーストでのみ使用可能です。

表 1.2 RX の SCI チャンネル別機能一覧

項目	SCIk			SCIh
	SCI1	SCI5	SCI6	SCI12
調歩同期式モード	○	○	○	○
クロック同期式モード	○	○	○	○
スマートカードインタフェースモード	○	○	○	○
簡易 I ² C モード	○	○	○	○
簡易 SPI モード	○	○	○	○
データ一致検知	○	○	○	—
拡張シリアルモード	—	—	—	○
TMR クロック入力	—	○	○	○
イベントリンク機能	—	○	—	—
周辺モジュールクロック	O(PCLKB)	O(PCLKB)	O(PCLKB)	O(PCLKB)

1.2 レジスタ相違点

表 1.3 に、RX と H8S の SCI レジスタ一覧を示します。

表 1.3 RX と H8S の SCI レジスタ一覧

RX (RX261)	H8S (H8S/2378)
レシーブシフトレジスタ (RSR)	レシーブシフトレジスタ (RSR)
レシーブデータレジスタ (RDR)	レシーブデータレジスタ (RDR)
レシーブデータレジスタ H、L、HL (RDRH、RDRL、RDRHL)	なし
トランスミットデータレジスタ (TDR)	トランスミットデータレジスタ (TDR)
トランスミットデータレジスタ H、L、HL (TDRH、TDRL、TDRHL)	なし
トランスミットシフトレジスタ (TSR)	トランスミットシフトレジスタ (TSR)
シリアルモードレジスタ (SMR)	シリアルモードレジスタ (SMR)
シリアルコントロールレジスタ (SCR)	シリアルコントロールレジスタ (SCR)
シリアルステータスレジスタ (SSR)	シリアルステータスレジスタ (SSR)
スマートカードモードレジスタ (SCMR)	スマートカードモードレジスタ (SCMR)
ビットレートレジスタ (BRR)	ビットレートレジスタ (BRR)
なし	IrDA コントロールレジスタ (IrCR)
モジュレーションデューティレジスタ (MDDR)	なし
シリアル拡張モードレジスタ (SEMR)	シリアル拡張モードレジスタ (SEMR)

RX (RX261)	H8S (H8S/2378)
ノイズフィルタ設定レジスタ (SNFR)	なし
I ² C モードレジスタ 1 (SIMR1)	
I ² C モードレジスタ 2 (SIMR2)	
I ² C モードレジスタ 3 (SIMR3)	
I ² C ステータスレジスタ (SISR)	
SPI モードレジスタ (SPMR)	
比較データレジスタ (CDR)	
データ比較制御レジスタ (DCCR)	
シリアルポートレジスタ (SPTR)	
送受信タイミング選択レジスタ (TMGR)	
拡張シリアルモード有効レジスタ (ESMER)	
コントロールレジスタ 0 (CR0)	
コントロールレジスタ 1 (CR1)	
コントロールレジスタ 2 (CR2)	
コントロールレジスタ 3 (CR3)	
ポートコントロールレジスタ (PCR)	
割り込みコントロールレジスタ (ICR)	
ステータスレジスタ (STR)	
ステータスクリアレジスタ (STCR)	
Control Field 0 データレジスタ (CF0DR)	
Control Field 0 コンペアイネーブルレジスタ (CF0CR)	
Control Field 0 受信データレジスタ (CF0RR)	
プライマリ Control Field 1 データレジスタ (PCF1DR)	
セカンダリ Control Field 1 データレジスタ (SCF1DR)	
Control Field 1 コンペアイネーブルレジスタ (CF1CR)	
Control Field 1 受信データレジスタ (CF1RR)	
タイマコントロールレジスタ (TCR)	
タイマモードレジスタ (TMR)	
タイマプリスケアラレジスタ (TPRE)	
タイマカウントレジスタ (TCNT)	

表 1.4 に、RX と H8S の SCI レジスタ相違点を示します。表 1.3 中のレジスタの内、同じ機能を持つレジスタの相違点を示します。表 1.4 に記載していないレジスタおよびビットの機能は、全く同じです。

表 1.4 RX と H8S の SCI レジスタ相違点

レジスタ名		ビット名		説明	
RX (RX261)	H8S (H8S/2378)	RX (RX261)	H8S (H8S/ 2378)	RX (RX261)	H8S (H8S/2378)
レシーブ データレジ スタ H、 L、HL (RDRH、 RDRL、 RDRHL)	なし			RDRH レジスタと RDRL レジスタは、それぞれ受信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。 RDRHL レジスタとして 16 ビットでもアクセスできます。	—
トランス ミットデー タレジスタ H、L、HL (TDRH、 TDRL、 TDRHL)	なし			TDRH レジスタと TDRL レジスタは、それぞれ送信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。 TDRHL レジスタとして 16 ビットでもアクセスできます。	—
シリアルモードレジスタ (SMR) (SCMR.SMIF = 0 のとき)		CM	C/ \bar{A}	コミュニケーションモード 0 : 調歩同期式モード、 または簡易 I2C モードで動作 1 : クロック同期式モード、 または簡易 SPI モードで動作	コミュニケーションモード 0 : 調歩同期式モードで動作 1 : クロック同期式モードで動作
		CHR		キャラクタレングス ^(注1) (調歩同期式モードのみ有効) SCMR.CHR1 ビットと組み合わせて選択 CHR1 CHR 0 0 データ長 9 ビットで送受信 0 1 データ長 9 ビットで送受信 1 0 データ長 8 ビットで送受信 1 1 データ長 7 ビットで送受信 ^(注2)	キャラクタレングス ^(注1) (調歩同期式モードのみ有効) 0 : データ長 8 ビットで送受信 1 : データ長 7 ビットで送受信 ^(注2)
		PM	O/ \bar{E}	パリティモード (ビット名称の差異のみ)	

レジスタ名		ビット名		説明	
RX (RX261)	H8S (H8S/2378)	RX (RX261)	H8S (H8S/ 2378)	RX (RX261)	H8S (H8S/2378)
シリアルモードレジスタ (SMR) (SCMR.SMIF = 1 のとき)		PM	O/E	パリティモード (ビット名称の差異のみ)	
		BCP[1:0]	BCP1 BCP0	基本クロックパルス SCMR.BCP2 ビットと組み 合わせて選択 BCP2 BCP[1:0] 0 0 0 93 クロック (S = 93) 0 0 1 128 クロッ ク(S = 128) 0 1 0 186 クロッ ク(S = 186) 0 1 1 512 クロッ ク(S = 512) 1 0 0 32 クロック (S = 32) 1 0 1 64 クロック (S = 64) 1 1 0 372 クロッ ク(S = 372) 1 1 1 256 クロッ ク(S = 256)	基本クロックパルス 0 0 32 クロック(S = 32) 0 1 64 クロック(S = 64) 1 0 372 クロック(S = 372) 1 1 256 クロック(S = 256)
シリアルコントロールレ ジスタ (SCR) (SCMR.SMIF = 0 のとき)		TEIE		TEI 割り込みイネーブル 0 : TEI 割り込み要求を禁止 1 : TEI 割り込み要求を許可 簡易 I ² C モードでは、開始/ 再開始/停止条件生成完了割 り込み (STI 割り込み) が TEI 割り込みに割り当てら れます。その場合も TEIE ビットにより STI 割り込み 要求を許可、または禁止す ることができます。	TEI 割り込みイネーブル 0 : TEI 割り込み要求を禁止 1 : TEI 割り込み要求を許可

レジスタ名		ビット名		説明	
RX (RX261)	H8S (H8S/2378)	RX (RX261)	H8S (H8S/2378)	RX (RX261)	H8S (H8S/2378)
シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0 のとき)		CKE[1:0]	CKE1 CKE0	クロックイネーブル (調歩同期式の場合)	クロックイネーブル (調歩同期式の場合)
				b1 b0 0 0 : 内蔵ポーレートジェネレータ I/O ポートの設定によって、SCKn 端子は入出力ポートとして使用できます。 0 1 : 内蔵ポーレートジェネレータ SCKn 端子からビットレートと同じ周波数のクロックを出力します。 1 X : 外部クロックまたは TMR クロック 外部クロック使用時は、SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。 SEMR.ABCS ビットが“1”のときは 8 倍の周波数のクロックを入力してください。 TMR クロック使用時は、I/O ポートの設定によって、SCKn 端子は入出力ポートとして使用できます。 (注 : TMR クロックは、SCI5、SCI6、SCI12 で使用できません。) (クロック同期式の場合)	0 0 : 内蔵ポーレートジェネレータ SCKn 端子は入出力ポートとして使用できます。 0 1 : 内蔵ポーレートジェネレータ SCKn 端子からビットレートと同じ周波数のクロックを出力します。 1 X : 外部クロック SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。 (クロック同期式の場合)
				b1 b0 0 X : 内部クロック SCKn 端子はクロック出力端子となります。 1 X : 外部クロック SCKn 端子はクロック入力端子となります。 X : Don't care	0 X : 内部クロック SCK 端子はクロック出力端子となります。 1 X : 外部クロック SCK 端子はクロック入力端子となります。 X : Don't care

レジスタ名		ビット名		説明	
RX (RX261)	H8S (H8S/2378)	RX (RX261)	H8S (H8S/2378)	RX (RX261)	H8S (H8S/2378)
シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 1 のとき)		CKE[1:0]	CKE1 CKE0	クロックイネーブル <ul style="list-style-type: none"> SMR.GM ビット=0 の場合 b1 b0 0 0 : 出力ディスエーブル (I/O ポートの設定によって、SCKn 端子は入出力ポートとして使用できません) 0 1 : クロック出力 1 X : リザーブ <ul style="list-style-type: none"> SMR.GM ビット=1 の場合 b1 b0 0 0 : Low 出力固定 X 1 : クロック出力 1 0 : High 出力固定 X : Don't care	クロックイネーブル <ul style="list-style-type: none"> SMR の GM=0 の場合 0 0 : 出力ディスエーブル (SCK 端子は入出力ポートとして使用可) 0 1 : クロック出力 1 X : リザーブ <ul style="list-style-type: none"> SMR の GM=1 の場合 0 0 : Low 出力固定 0 1 : クロック出力 1 0 : High 出力固定 1 1 : クロック出力 X : Don't care
				送信データエンプティ [セット条件] <ul style="list-style-type: none"> TDR レジスタから TSR レジスタにデータが転送されたとき [クリア条件] <ul style="list-style-type: none"> TDR レジスタへ送信データを書いたとき 	トランスミットデータレジスタエンプティ [セット条件] <ul style="list-style-type: none"> SCR の TE が 0 のとき TDR から TSR にデータが転送され、TDR にデータライトが可能になったとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき TXI 割り込み要求により DMAC または DTC で TDR に送信データを転送したとき

レジスタ名		ビット名		説明	
RX (RX261)	H8S (H8S/2378)	RX (RX261)	H8S (H8S/ 2378)	RX (RX261)	H8S (H8S/2378)
		RDRF		受信データフル [セット条件] • 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき [クリア条件] • RDR レジスタからデータを読み出したとき	レシーブデータレジスタフル [セット条件] • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき
シリアルステータスレジスタ (SSR) (SCMR.SMIF = 0 のとき)		TEND		トランスミットエンド [セット条件] • SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき • 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき [クリア条件] • SCR.TE ビットが“1”の状態 で TDR レジスタへ送信データを書き込んだとき	トランスミットエンド [セット条件] • SCR の TE が 0 のとき • 送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき [クリア条件] • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき • TXI 割り込み要求により DMAC または DTC で TDR へ送信データをライトしたとき

レジスタ名		ビット名		説明	
RX (RX261)	H8S (H8S/2378)	RX (RX261)	H8S (H8S/2378)	RX (RX261)	H8S (H8S/2378)
シリアルステータスレジスタ (SSR) (SCMR.SMIF = 1 のとき)		TDRE		送信データエンプティ [セット条件] <ul style="list-style-type: none"> ● TDR レジスタから TSR レジスタにデータが転送されたとき [クリア条件] <ul style="list-style-type: none"> ● TDR レジスタへ送信データを 書いたとき 	トランスミットデータレジスタエンプティ [セット条件] <ul style="list-style-type: none"> ● SCR の TE が 0 のとき ● TDR から TSR にデータが転送され、TDR にデータ ライトが可能になったとき [クリア条件] <ul style="list-style-type: none"> ● 1 の状態をリードした後、0 を ライトしたとき ● TXI 割り込み要求により DMAC または DTC で TDR に送信データを 転送したとき
		RDRF		受信データフル [セット条件] <ul style="list-style-type: none"> ● 受信が正常終了し、RSR レジスタ から RDR レジスタへ受信データが 転送されたとき [クリア条件] <ul style="list-style-type: none"> ● RDR レジスタからデータを 読み出したとき 	レシーブデータレジスタフル [セット条件] <ul style="list-style-type: none"> ● 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> ● 1 の状態をリードした後、0 を ライトしたとき ● RXI 割り込みにより DMAC または DTC で RDR からデータを 転送したとき

レジスタ名		ビット名		説明	
RX (RX261)	H8S (H8S/2378)	RX (RX261)	H8S (H8S/2378)	RX (RX261)	H8S (H8S/2378)
シリアルステータスレジスタ (SSR) (SCMR.SMIF = 1 のとき)		TEND		トランスミットエンド [セット条件] <ul style="list-style-type: none"> SCR.TE ビット=0 のとき 1 バイトのデータを送信して一定期間後、ERS フラグ=0 かつ TDR レジスタが更新されていないとき [クリア条件] <ul style="list-style-type: none"> SCR.TE ビットが"1"の状態 で TDR レジスタへ送信データを書き込んだとき 	トランスミットエンド [セット条件] <ul style="list-style-type: none"> SCR の TE=0 かつ ERS=0 のとき 1 バイトのデータを送信して一定期間後、ERS=0 かつ TDRE=1 のとき [クリア条件] <ul style="list-style-type: none"> TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき TXI 割り込み要求により DMAC または DTC で TDR へ送信データをライトしたとき
スマートカードモードレジスタ (SCMR)		BCP2	なし	基本クロックパルス 2 SMR.BCP[1:0]ビットと組み合わせで選択 BCP2 BCP[1:0] 0 0 0 93 クロック (S = 93) 0 0 1 128 クロック (S = 128) 0 1 0 186 クロック (S = 186) 0 1 1 512 クロック (S = 512) 1 0 0 32 クロック (S = 32) 1 0 1 64 クロック (S = 64) 1 1 0 372 クロック (S = 372) 1 1 1 256 クロック (S = 256)	—

レジスタ名		ビット名		説明	
RX (RX261)	H8S (H8S/2378)	RX (RX261)	H8S (H8S/2378)	RX (RX261)	H8S (H8S/2378)
		CHR1	なし	キャラクタレングス 2 ^(注1) (調歩同期式モードのみ有効) SMR.CHR ビットと組み合わせて選択 CHR1 CHR 0 0 データ長 9 ビットで送受信 0 1 データ長 9 ビットで送受信 1 0 データ長 8 ビットで送受信 1 1 データ長 7 ビットで送受信 ^(注2)	—
スマートカードモード レジスタ (SCMR)		SDIR		送受信データ転送ファディレクション 以下のモードで使用可能です。 <ul style="list-style-type: none"> スマートカードインタフェースモード 調歩同期式モード (マルチプロセッサモード) クロック同期式モード 簡易 SPI モード 簡易 I ² C モードで動作させる場合は、“1”にします 0 : LSB ファーストで送受信 1 : MSB ファーストで送受信	スマートカードデータ転送ファディレクション 0 : LSB ファーストで送受信 1 : MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
		SMIF		スマートカードインタフェースモードセレクト 0 : 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易 SPI モード、簡易 I ² C モード) 1 : スマートカードインタフェースモード	スマートカードインタフェースモードセレクト 0 : 通常の調歩同期式またはクロック同期式モード 1 : スマートカードインタフェースモード

レジスタ名		ビット名		説明	
RX (RX261)	H8S (H8S/2378)	RX (RX261)	H8S (H8S/ 2378)	RX (RX261)	H8S (H8S/2378)
シリアル拡張モードレジスタ (SEMR) ^(注3)		RXDES EL	なし	調歩同期スタートビット エッジ検出セレクト (調歩同期式モードのみ有効) 0 : RXDn 端子入力の Low レベルでスタートビット を検出 1 : RXDn 端子入力の立ち下 がりエッジでスタート ビットを検出	—
		BGDM	なし	ボーレートジェネレータ倍 速モードセレクト (調歩同期式モードで内蔵 ボーレートジェネレータ使 用時のみ有効) 0 : ボーレートジェネレータ から通常の周波数のク ロックを出力 1 : ボーレートジェネレータ から 2 倍の周波数のク ロックを出力	—
		NFEN	なし	デジタルノイズフィルタ機 能イネーブル (調歩同期式モード) 0 : RXDn 入力信号のノイズ 除去機能無効 1 : RXDn 入力信号のノイズ 除去機能有効 (簡易 I ² C モード) 0 : SSCLn、SSDAn 入力信 号のノイズ除去機能無効 1 : SSCLn、SSDAn 入力信 号のノイズ除去機能有効 上記以外のモードでは、 NFEN ビットを“0”にしてく ださい。	—
		BRME	なし	ビットレートモジュレー ションイネーブル 0 : ビットレートモジュレー ション機能無効 1 : ビットレートモジュレー ション機能有効	—

レジスタ名		ビット名		説明	
RX (RX261)	H8S (H8S/2378)	RX (RX261)	H8S (H8S/ 2378)	RX (RX261)	H8S (H8S/2378)
シリアル拡張モードレジスタ (SEMR) ^(注3)		ACS0	ACS2 ACS1 ACS0	調歩同期クロックソースセレクト (調歩同期式モードで SCR.CKE[1:0]=10b,11,の ときのみ有効) 0 : 外部クロック 1 : TMR から出力される 2 つのコンペアマッチ出力 の論理積(SCI5、SCI6、 SCI12 のみ有効) SCI のチャンネルごとに使 用できるコンペアマッチ 出力が異なります。	調歩同期クロックソースセ レクト (調歩同期式モードで CKE1 = 1 のときのみ有効) 平均転送レートのクロック ソースを選択します。平均 転送レート選択時は、 ABCS ビットの値に関係な く基本クロックが自動設定 されます。 000 : 外部クロック入力 001 : $\phi = 10.667\text{MHz}$ 専用 の平均転送レート 115.152kbps を選択 (転送レートの 16 倍 の周波数の基本ク ロックで動作) 010 : $\phi = 10.667\text{MHz}$ 専用 の平均転送レート 460.606kbps を選択 (転送レートの 8 倍の 周波数の基本クロッ クで動作) 011 : $\phi = 32\text{MHz}$ 専用の平 均転送レート 720kbps を選択 (転 送レートの 16 倍の周 波数の基本クロック で動作) 100 : 設定禁止 101 : $\phi = 16\text{MHz}$ 専用の平 均転送レート 115.196kbps を選択 (転送レートの 16 倍 の周波数の基本ク ロックで動作) 110 : $\phi = 16\text{MHz}$ 専用の平 均転送レート 460.784kbps を選択 (転送レートの 16 倍 の周波数の基本ク ロックで動作) 111 : $\phi = 16\text{MHz}$ 専用の平 均転送レート 720kbps を選択 (転 送レートの 8 倍の周 波数の基本クロック で動作)

レジスタ名		ビット名		説明	
RX (RX261)	H8S (H8S/2378)	RX (RX261)	H8S (H8S/ 2378)	RX (RX261)	H8S (H8S/2378)
シリアル拡張モードレジスタ (SEMR) ^(注3)		ACS0	ACS2 ACS1 ACS0		平均転送レートは、 10.667MHz、16MHz また は 32MHz の動作周波数以 外には対応していません。

- 注 1. 調歩同期式モードのみ有効です。調歩同期式モード以外では、データ長は 8 ビット固定となります。
- 注 2. データ長 7 ビットでは、LSB ファースト固定となり、MSB (ビット 7) は送信されません。
- 注 3. H8S では、チャンネル 2 にのみあります。

2. 使用する周辺機能

表 2.1 に、シリアルコミュニケーションインタフェースの動作例に対して使用する周辺機能およびモードを示します。

表 2.1 シリアルコミュニケーションインタフェースの動作例に対して使用する周辺機能およびモード

No	動作例	RX (RX261)		H8S (H8S/2378)		参照
		周辺機能	モード	周辺機能	モード	
1	クロック同期式シリアル通信 (マスタ送受信動作)	SCI	クロック同期式モード	SCI	クロック同期式モード	3.1
2	クロック同期式シリアル通信 (マスタ送信動作)					3.2
3	クロック同期式シリアル通信 (スレーブ受信動作)					3.3
4	調歩同期式シリアル通信 (送信動作)		調歩同期式モード		調歩同期式モード	4.1
5	調歩同期式シリアル通信 (受信動作)					4.2

3. クロック同期式シリアル通信の相違点

本章では RX、H8S のクロック同期式シリアル通信の相違点を記載します。

表 3.1 に RX と H8S におけるクロック同期式シリアル通信の前提条件を示します。

なお、TXD 端子および RXD 端子の外部にプルアップ抵抗による制御をしていることを前提とします。

表 3.1 クロック同期式シリアル通信の条件

項目		送受信条件	
		RX (RX261)	H8S (H8S/2378)
周辺機能の動作クロック		PCLKB : 16MHz	ϕ : 20MHz
通信速度		10kbps	
データフォーマット		LSB ファースト	
ハードウェアフロー制御		使用しない	機能なし
使用チャンネル	マスタ	SCI1	チャンネル 0
	スレーブ	SCI5	チャンネル 1
使用端子	マスタ	RXD1 : P15 TXD1 : P26 SCK1 : P17	RXD0 : P32 TXD0 : P30 SCK0 : P34
	スレーブ	RXD5 : PA3 TXD5 : PA4 SCK5 : PA1	RXD1 : P33 TXD1 : P31 SCK1 : P35

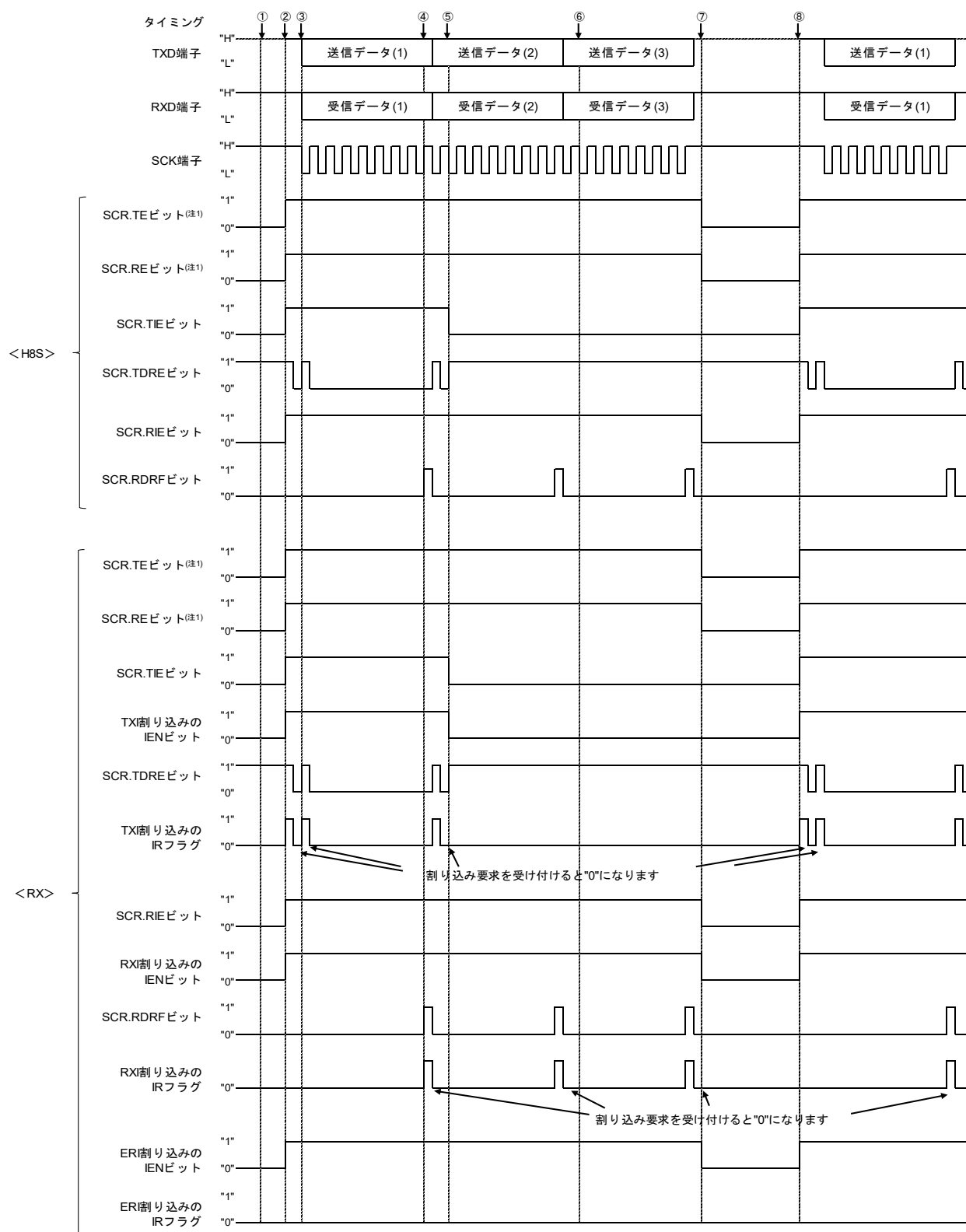
3.1 マスタ送受信動作時の相違点

3.1.1 マスタ送受信動作時のタイミング相違点

クロック同期式のマスタ送受信を行う場合の相違点について説明します。

前提条件として、送信割り込み、受信割り込み、受信エラー割り込みを使用した送受信処理とし、受信エラーは未発生とします。

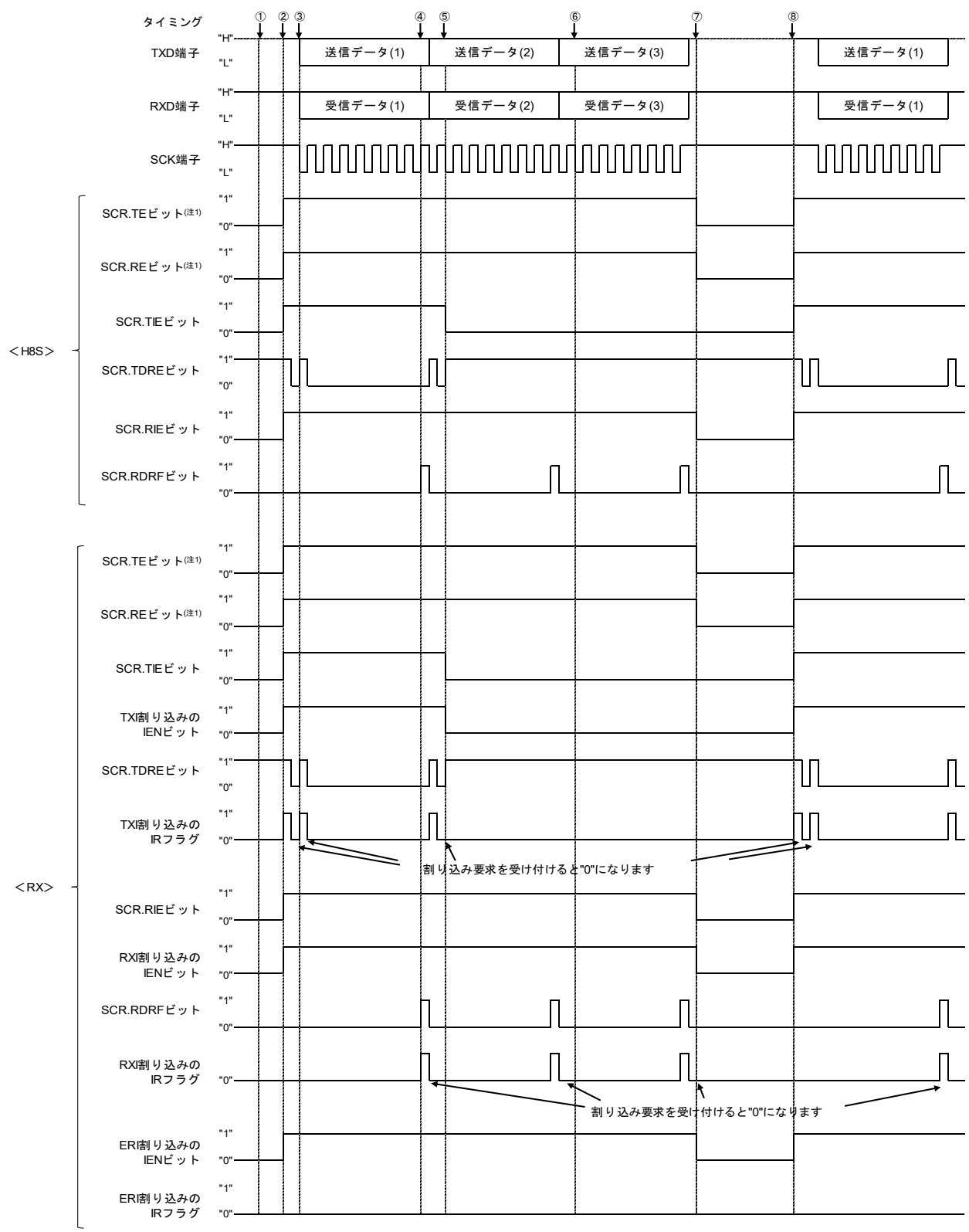
受信エラーが発生した場合の相違点については、「3.3.1 スレーブ受信動作時のタイミングの相違点」を参照してください。



注 1. SCR.TE ビットと SCR.RE ビットは同時に"1"または"0"を書き込んでください。

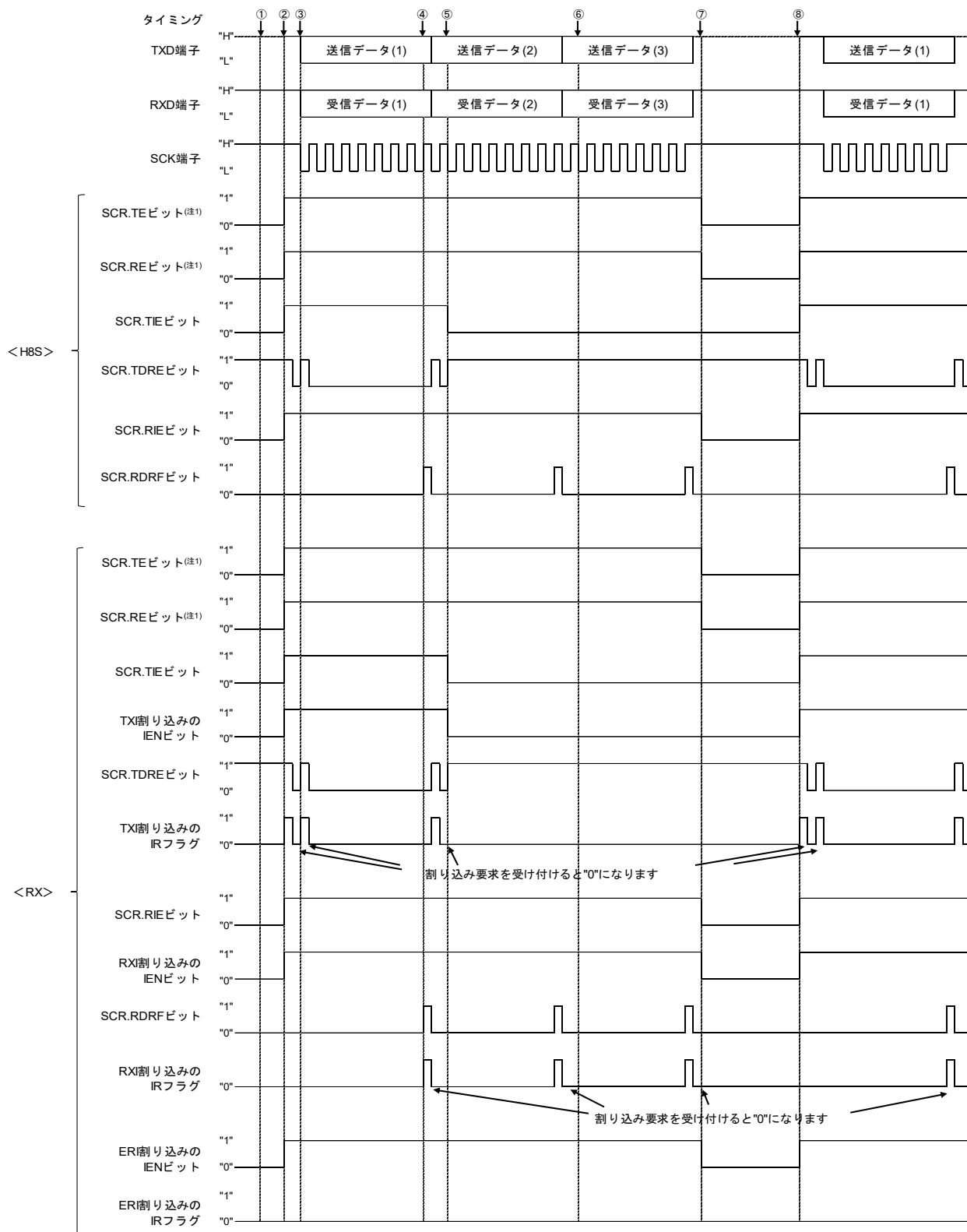
図 3.1 に、RX と H8S の送受信タイミング相違点 (3 バイトずつ送受信する場合) を示します。

表 3.2 に、RX と H8S の各タイミングでの動作および処理内容の相違点 (3 バイトずつ送受信する場合) を示します。



注 1. SCR.TE ビットと SCR.RE ビットは同時に"1"または"0"を書き込んでください。

図 3.1 中の①～⑧の番号は、表 3.2 中の説明①～⑧に対応しています。



注 1. SCR.TE ビットと SCR.RE ビットは同時に"1"または"0"を書き込んでください。

図 3.1 RX と H8S の送受信タイミング相違点 (3 バイトずつ送受信する場合)

表 3.2 RX と H8S の各タイミングでの動作および処理内容の相違点 (3 バイトずつ送受信する場合)

タイミング	RX (RX261)	H8S (H8S/2378)
① 送信開始前	端子の機能を TXDn に設定した状態では、SCR.TE ビットを“1” (送信許可) に設定するまで、TXD 端子は汎用入出力ポートです。 ^(注1)	SCR.TE ビットを“1” (送信許可) に設定するまで、TXD 端子は汎用入出力ポートです。
② 送受信開始時	割り込み許可にするため、以下のビットを設定します。 SCR.TIE ビットを“1” SCR.RIE ビットを“1” TXI 割り込みの IEN ビットを“1” RXI 割り込みの IEN ビットを“1” ERI 割り込みの IEN ビットを“1” また、送受信許可にするため、以下のビットを設定します。 SCR.TE ビットを“1” SCR.RE ビットを“1” SCR.TE ビットを“1”にしたことにより、送信割り込み (TXI 割り込み) の IR フラグが“1”になります。送信割り込みで 1 バイト目の送信データを書き込みます。	割り込み許可にするため、以下のビットを設定します。 SCR.TIE ビットを“1” SCR.RIE ビットを“1” また、送受信許可にするため、以下のビットを設定します。 SCR.TE ビットを“1” SCR.RE ビットを“1” SCR.TE ビットを“1”にしたことにより、送信割り込み (TXI 割り込み) が発生します。送信割り込みで 1 バイト目の送信データを書き込みます。
③ 送信シフトレジスタに 1 バイト目の送信データ転送時	送信割り込みの IR フラグが“1”になり、送信割り込みが発生します。送信割り込み処理で、2 バイト目のデータを書き込みます。	SSR.TDRE ビットが 1 になり、送信割り込みが発生します。送信割り込み処理で、2 バイト目のデータを書き込み、SSR.TDRE ビットを“0”に設定します。
④ 受信完了時	1 バイトのデータを受信すると、受信データが受信バッファに取り込まれ、受信割り込み (RXI 割り込み) の IR フラグが“1”になります。受信割り込み処理で、受信バッファから値を読み出します。	1 バイトのデータを受信すると、受信データが受信バッファに取り込まれ、SSR.RDRF フラグが“1”になり、受信割り込み (RXI 割り込み) が発生します。受信割り込み処理で、受信バッファから値を読み出し、SSR.RDRF フラグを“0”に設定します。
⑤ 最終データ書き込み時の送信割り込み	送信割り込み禁止にするため、以下のビットを設定します。 SCR.TIE ビットを“0” TXI 割り込みの IEN ビットを“0”	送信割り込み禁止にするため、以下のビットを設定します。 SCR.TIE ビットを“0”
⑥ 最終データ書き込み後	送信割り込みは発生しません。	

タイミング	RX (RX261)	H8S (H8S/2378)
⑦ 最終データの受信完了 割り込み	<p>受信割り込み処理で、受信データを読み出したあと、割り込み禁止にするため、以下のビットを設定します。</p> <p>SCR.RIE ビットを“0”</p> <p>RXI 割り込みの IEN ビットを“0”</p> <p>ERI 割り込みの IEN ビットを“0”</p> <p>また、送受信禁止にするため、以下のビットを設定します。</p> <p>SCR.TE ビットを“0”</p> <p>SCR.RE ビットを“0”</p> <p>端子の機能を TXD に設定した状態で、送信禁止にすると、TXD 端子がハイインピーダンスになります。</p>	<p>受信割り込み処理で、受信データを読み出したあと、割り込み禁止にするため、以下のビットを設定します。</p> <p>SCR.RIE ビットを“0”</p> <p>また、送受信禁止にするため、以下のビットを設定します。</p> <p>SCR.TE ビットを“0”</p> <p>SCR.RE ビットを“0”</p> <p>送信禁止にすると、TXD 端子は汎用入出力ポートになります。</p>
⑧ 再度送受信開始時	「②送受信開始時」と同じ処理を行います。	

注 1. 詳細は、「9.4 トランスミットイネーブルビットに関する注意事項」を参照してください。

3.1.2 マスタ送受信動作時での設定手順の相違点

表 3.3 に送受信動作時の初期設定手順の相違点を示します。H8S の初期設定手順は、割り込み制御モード 2 を使用する場合の手順を示します。

表 3.4 に送受信動作時の送信割り込み処理内容の相違点を示します。表 3.5 に送受信動作時の受信割り込み処理内容の相違点を示します。

表 3.3 送受信動作時の初期設定手順の相違点

手順		RX (RX261)	H8S (H8S/2378)
1	モジュールストップ状態を解除 ^(注 1)	SYSTEM.PRCR.WORD = 0xA502; MSTP(SCI1) = 0; SYSTEM.PRCR.WORD = 0xA500;	MSTPCR.BIT._SCI0 = 0;
2	送受信・割り込み禁止	SCI1.SCR.BYTE = 0x00;	SCI0.SCR.BYTE = 0x00;
3	I/O ポート機能の設定 ^(注 2)	PORT1.PMR.BIT.B5 = 0; PORT2.PMR.BIT.B6 = 0; PORT1.PMR.BIT.B7 = 0; MPC.PWPR.BIT.B0WI = 0; MPC.PWPR.BIT.PFSWE = 1; MPC.P15PFS.BYTE = 0x0A; MPC.P26PFS.BYTE = 0x0A; MPC.P17PFS.BYTE = 0x0A; MPC.PWPR.BIT.PFSWE = 0; MPC.PWPR.BIT.B0WI = 1; PORT1.PMR.BIT.B5 = 1; PORT2.PODR.BIT.B6 = 1; PORT2.PDR.BIT.B6 = 1; PORT2.PMR.BIT.B6 = 1; PORT1.PMR.BIT.B7 = 1;	— (処理なし)
4	送受信モード等の設定	SCI1.SCR.BIT.CKE = 00b; SCI1.SIMR1.BYTE = 0x00; SCI1.SPMR.BYTE = 0x00; SCI1.SMR.BYTE = 0x81; SCI1.SCMR.BYTE = 0xF2; SCI1.SEMR.BYTE = 0x00;	SCI0.SCR.BIT.CKE = 00b; SCI0.SMR.BYTE = 0x81; SCI0.SCMR.BYTE = 0xF2;
5	ビットレートの設定 ^(注 3)	SCI1.BRR = 0x63	SCI0.BRR = 0x7C;
6	1 ビット期間ウェイト	— (処理なし)	1 ビット期間ウェイト処理
7	割り込み制御モード設定 ^(注 4)	— (処理なし)	INTC.INTCR.BIT.INTM = 10b;
8	割り込み優先レベル設定 ^(注 5)	IPR(SCI1,) = 0x01;	INTC.IPRI.BIT._SCI0 = 001b;
9	割り込み要求をクリア	IR(SCI1,TXI1) = 0; IR(SCI1,RXI1) = 0; IR(SCI1,ERI1) = 0;	— (処理なし)
10	周辺機能割り込み要求を許可	SCI1.SCR.BYTE = 0xF0; /* ^(注 6) */	SCI0.SCR.BYTE = 0xF0; /* ^(注 6) */
11	送受信許可		
12	割り込み要求を許可 ^(注 7)	IEN(SCI1,TXI1) = 1; IEN(SCI1,RXI1) = 1; IEN(SCI1,ERI1) = 1; /* ^(注 8) */	— (処理なし)

手順		RX (RX261)	H8S (H8S/2378)
13	プロセッサ割り込み優先レベル設定	— (処理なし)	set_imask_exr(0);
14	マスカブル割り込みの許可	setpsw_i();	— (処理なし)

注 1. モジュールストップ機能については、「7. モジュールストップ機能」を参照してください。

注 2. RX では MPC で周辺機能の端子設定を行います。詳細は「9.1 入出力ポート」を参照してください。

注 3. ビットレートの詳細は、「5. ビットレートの算出方法」を参照してください。

注 4. RX には割り込み制御モードはありません。詳細は「6. 割り込みの相違点」を参照してください。

注 5. 割り込み優先レベルの設定方法の詳細は、「6. 割り込みの相違点」を参照してください。

注 6. SCR.TE ビットと SCR.RE ビットは同時に“1” (送信許可、受信許可) にしてください。

注 7. 割り込み要求を許可にする方法が異なります。詳細は「6. 割り込みの相違点」を参照してください。

注 8. 受信エラー割り込みの仕様はマイコンにより異なります。詳細はユーザーズマニュアル ハードウェア編を参照してください。

表 3.4 送受信動作時の送信割り込み処理内容の相違点

手順		RX (RX261)	H8S (H8S/2378)
1	TDRE フラグリード	— (処理なし)	if(SCI0.SSR.BIT.TDRE == 1) {
2	送信データの書き込み	/* SCI1.TDR レジスタに送信データを書き込む */	/* SCI0.TDR レジスタに送信データを書き込む */
3	TDRE フラグクリア	— (処理なし)	SCI0.SSR.BIT.TDRE = 0;
4	最終データ書き込み確認	if(最終データ書き込み済み?) {	if(最終データ書き込み済み?) {
5	送信割り込み禁止 (最終データ書き込み後のみ)	IEN(SCI1, TXI1) = 0; SCI1.SCR.BIT.TIE = 0; while(0 != SCI1.SCR.BIT.TIE) { } }	SCI0.SCR.BIT.TIE = 0; while(0 != SCI1.SCR.BIT.TIE) { } } }
6	割り込み要求をクリア (最終データ書き込み後のみ)	IR(SCI1, TXI1) = 0; while(0 != IR(SCI1, TXI1)) { } }	— (処理なし)

表 3.5 送受信動作時の受信割り込み処理内容の相違点

手順		RX (RX261)	H8S (H8S/2378)
1	RDRF フラグリード	— (処理なし)	if(SCI0.SSR.BIT.RDRF == 1) {
2	受信データの読み出し	/* SCI1.RDR レジスタから受信 データを読み出し */	/* SCI0.RDR レジスタから受信 データを読み出し */
3	RDRF フラグクリア	— (処理なし)	SCI0.SSR.BIT.RDRF = 0;
4	最終データの受信確認	if(最終データの受信?) {	if(最終データの受信?) {
5	送受信禁止および受信割り込みの禁止 (最終データ受信後のみ)	IEN(SCI1,RXI1) = 0; SCI1.SCR.BYTE &= 0x0B; (注 1) while(0x00 != (SCI1.SCR.BYTE & 0xF4)) { }	SCI0.SCR.BYTE &= 0x0B; (注 1) while(0x00 != (SCI0.SCR.BYTE & 0xF4)) { } }
6	割り込み要求をクリア (最終データ書き込み後のみ)	IR(SCI1,RXI1) = 0; while(0 != IR(SCI1,RXI1)) { } }	— (処理なし)

注 1. SCR.TE ビットと SCR.RE ビットは同時に"0"(送信禁止、受信禁止)にしてください。

3.2 マスタ送信動作時の相違点

クロック同期式のマスタ送信を行う場合の相違点について説明します。

前提条件とし、送信割り込み、送信終了割り込みを使用した送信処理とします。

3.2.1 マスタ送信動作時のタイミングの相違点

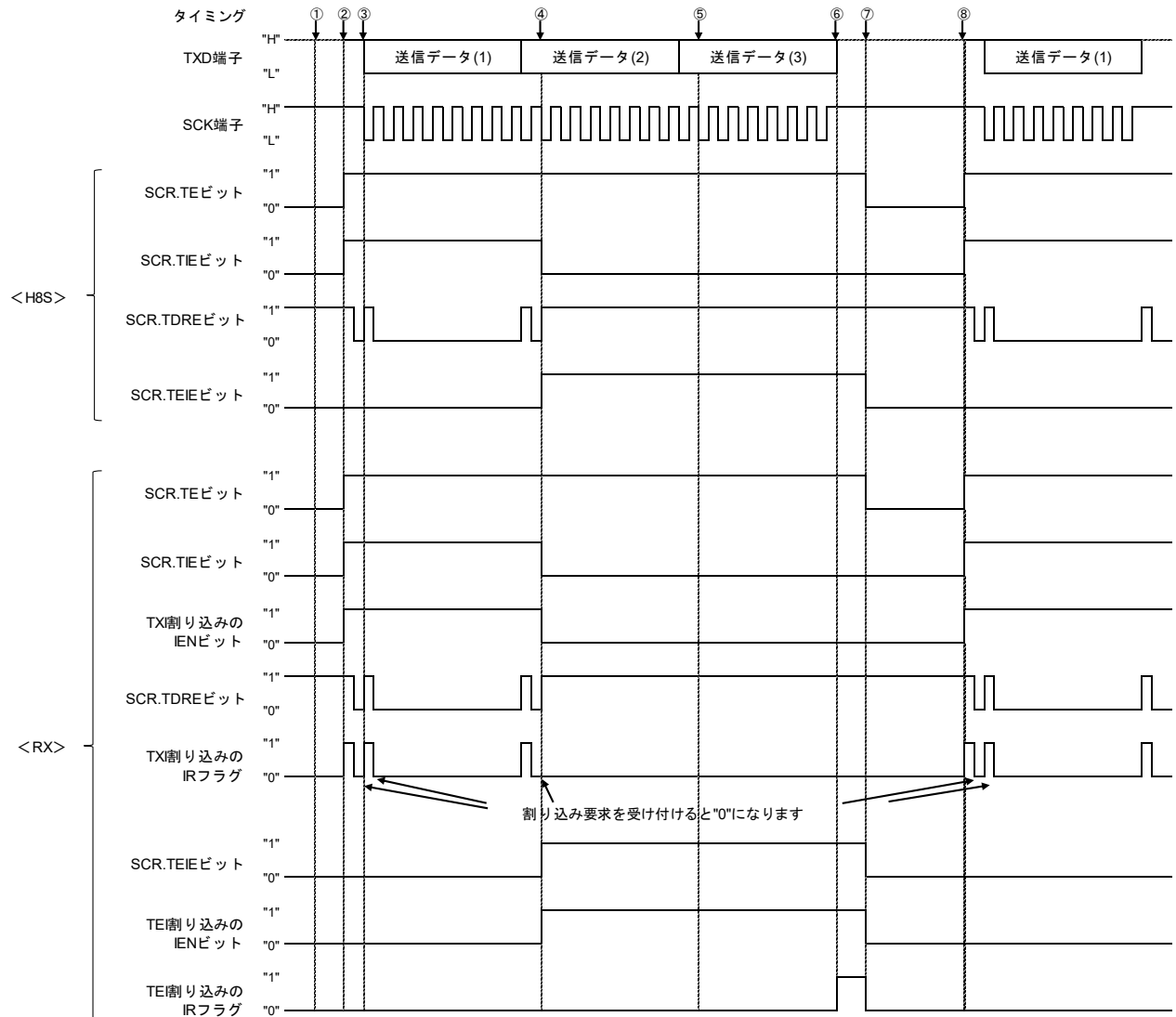


図 3.2 に、RX と H8S の送信タイミング相違点(3 バイトずつ送信する場合)を示します。

表 3.6 に、RX と H8S の各タイミングでの動作および処理内容の相違点(3 バイトずつ送信する場合)を示します。

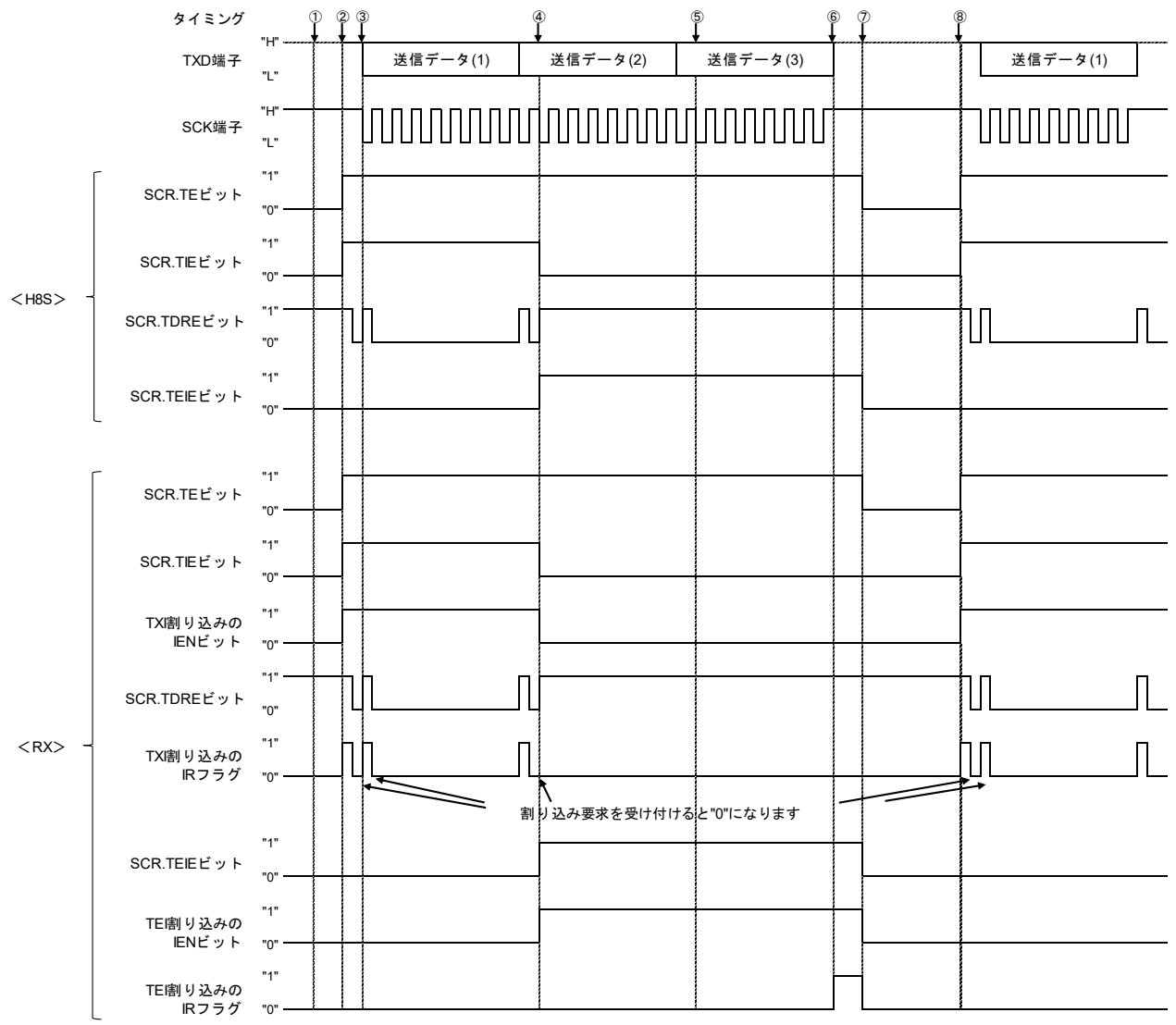


図 3.2 中の①～⑧の番号は、表 3.6 中の説明①～⑧に対応しています。

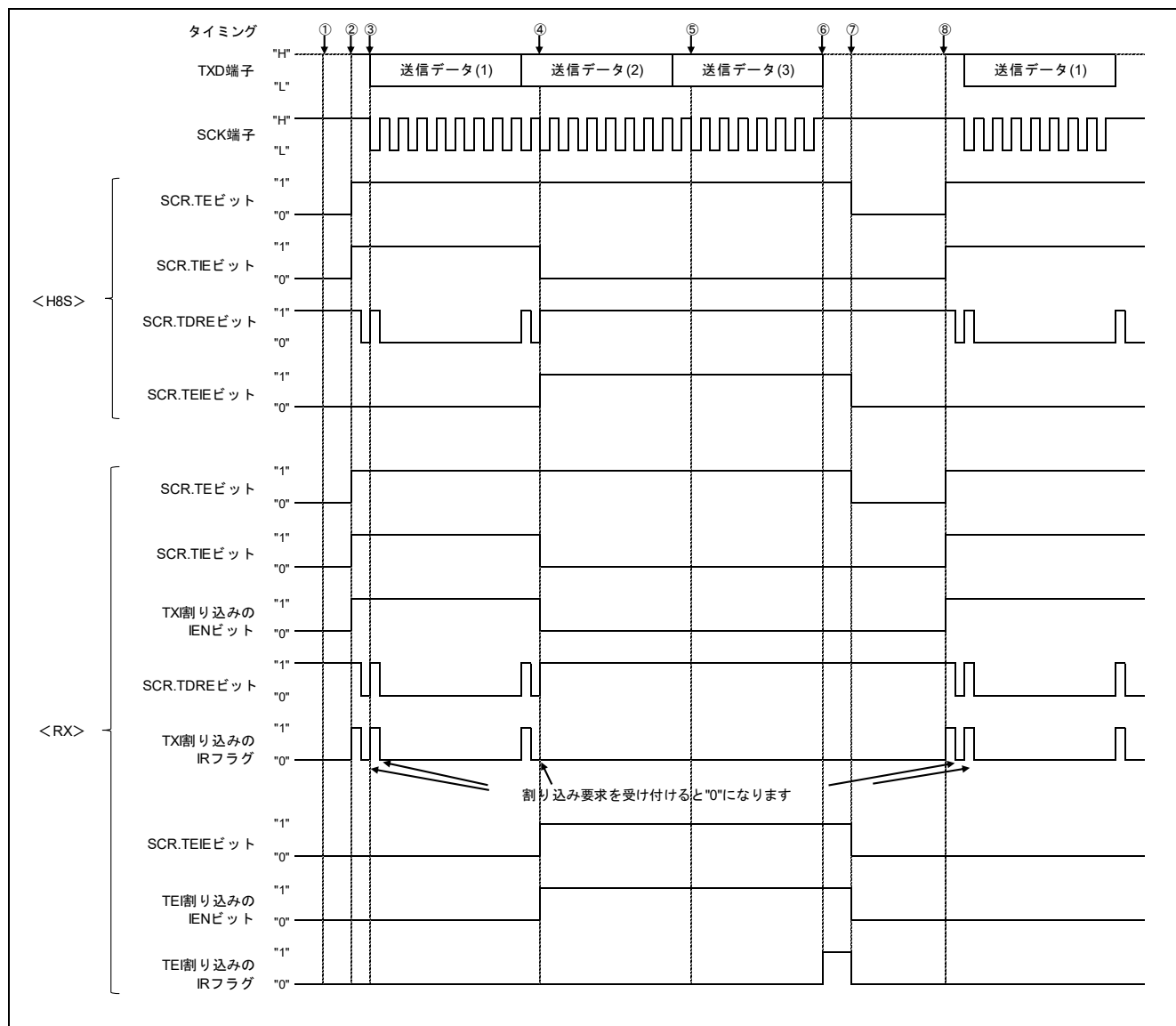


図 3.2 RX と H8S の送信タイミング相違点 (3 バイトずつ送信する場合)

表 3.6 RX と H8S の各タイミングでの動作および処理内容の相違点 (3 バイトずつ送信する場合)

タイミング	RX (RX261)	H8S (H8S/2378)
① 送信開始前	端子の機能を TXDn に設定した状態では、SCR.TE ビットを“1” (送信許可) に設定するまで、TXD 端子はハイインピーダンスになります。 ^(注 1)	SCR.TE ビットを“1” (送信許可) に設定するまで、TXD 端子は汎用入出力ポートです。
② 送信開始時	割り込み許可にするため、以下のビットを設定します。 SCR.TIE ビットを“1” TXI 割り込みの IEN ビットを“1” また、送信許可にするため、以下のビットを設定します。 SCR.TE ビットを“1” SCR.TE ビットを“1”にしたことにより、送信割り込み (TXI 割り込み) の IR フラグが“1”になります。送信割り込みで 1 バイト目の送信データを書き込みます。	割り込み許可にするため、以下のビットを設定します。 SCR.TIE ビットを“1” また、送受信許可にするため、以下のビットを設定します。 SCR.TE ビットを“1” SCR.TE ビットを“1”にしたことにより、送信割り込み (TXI 割り込み) が発生します。送信割り込みで 1 バイト目の送信データを書き込みます。
③ 送信シフトレジスタに 1 バイト目の送信データ転送時	送信割り込みの IR フラグが“1”になり、送信割り込みが発生します。送信割り込み処理で、2 バイト目のデータを書き込みます。	SSR.TDRE フラグが“1”になり、送信割り込みが発生します。送信割り込み処理で、2 バイト目のデータを書き込み、SSR.TDRE フラグを“0”に設定します。
④ 最終データ書き込み時の送信割り込み	送信割り込み禁止にするため、以下のビットを設定します。 SCR.TIE ビットを“0” TXI 割り込みの IEN ビットを“0” また、送信終了割り込み許可にするため、以下のビットを設定します。 SCR.TEIE ビットを“1” TEI 割り込みの IEN ビットを“1”	送信割り込み禁止にするため、以下のビットを設定します。 SCR.TIE ビットを“0” また、送信終了割り込み許可にするため、以下のビットを設定します。 SCR.TEIE ビットを“1”
⑤ 最終データ書き込み後	送信割り込みは発生しません。	
⑥ 送信終了時	送信終了割り込みが発生します。	
⑦ 送信終了割り込み処理	送信終了割り込み禁止にするため、以下のビットを設定します。 SCR.TEIE ビットを“0” 送信終了割り込みの IEN ビットを“0” また、送信禁止にするため、以下のビットを設定します。 SCR.TE ビットを“0” 端子の機能を TXD に設定した状態で、送信禁止にすると、TXD 端子がハイインピーダンスになります。	送信終了割り込み禁止にするため、以下のビットを設定します。 SCR.TEIE ビットを“0” また、送信禁止にするため、以下のビットを設定します。 SCR.TE ビットを“0” 送信禁止にすると、TXD 端子は汎用入出力ポートになります。
⑧ 再度送信開始時	「②送信開始時」と同じ処理を行います。	

注 1. 詳細は、「9.4 トランスミットイネーブルビットに関する注意事項」を参照してください。

3.2.2 マスタ送信動作時での設定手順の相違点

表 3.7 に送信動作時の初期設定手順の相違点を示します。H8S の初期設定手順は、割り込み制御モード 2 を使用する場合は手順を示します。

表 3.8 に送信動作時の送信割り込み処理内容の相違点を示します。

表 3.9 に送信動作時の送信終了割り込み処理内容の相違点を示します。

表 3.7 送信動作時の初期設定手順の相違点

手順		RX (RX261)	H8S (H8S/2378)
1	モジュールストップ状態を解除 ^(注 1)	SYSTEM.PRCR.WORD = 0xA502; MSTP(SCI1) = 0; SYSTEM.PRCR.WORD = 0xA500;	MSTPCR.BIT._SCI0 = 0;
2	送受信・割り込み禁止	SCI1.SCR.BYTE = 0x00;	SCI0.SCR.BYTE = 0x00;
3	I/O ポート機能の設定 ^(注 2)	PORT2.PMR.BIT.B6 = 0; PORT1.PMR.BIT.B7 = 0; MPC.PWPR.BIT.B0WI = 0; MPC.PWPR.BIT.PFSWE = 1; MPC.P26PFS.BYTE = 0x0A; MPC.P17PFS.BYTE = 0x0A; MPC.PWPR.BIT.PFSWE = 0; MPC.PWPR.BIT.B0WI = 1; PORT2.PODR.BIT.B6 = 1; PORT2.PDR.BIT.B6 = 1; PORT2.PMR.BIT.B6 = 1; PORT1.PMR.BIT.B7 = 1;	— (処理なし)
4	送信モード等の設定	SCI1.SCR.BIT.CKE = 00b; SCI1.SIMR1.BYTE = 0x00; SCI1.SPMR.BYTE = 0x00; SCI1.SMR.BYTE = 0x81; SCI1.SCMR.BYTE = 0xF2; SCI1.SEMR.BYTE = 0x00;	SCI0.SCR.BIT.CKE = 00b; SCI0.SMR.BYTE = 0x81; SCI0.SCMR.BYTE = 0xF2;
5	ビットレートの設定 ^(注 3)	SCI1.BRR = 0x63;	SCI0.BRR = 0x7C;
6	1 ビット期間ウェイト	— (処理なし)	1 ビット期間ウェイト処理
7	割り込み制御モード設定 ^(注 4)	— (処理なし)	INTC.INTCR.BIT.INTM = 10b;
8	割り込み優先レベル設定 ^(注 5)	IPR(SCI1,) = 0x01;	INTC.IPRI.BIT._SCI0 = 001b;
9	割り込み要求をクリア	IR(SCI1,TX1) = 0; IR(SCI1,TE1) = 0;	— (処理なし)
10	周辺機能割り込み要求を許可	SCI1.SCR.BYTE = 0xA0;	SCI0.SCR.BYTE = 0xA0;
11	送信許可		
12	割り込み要求を許可 ^(注 6)	IEN(SCI1,TX1) = 1; IEN(SCI1,TE1) = 1;	— (処理なし)
13	プロセッサ割り込み優先レベル設定	— (処理なし)	set_imask_exr(0);
14	マスカブル割り込みの許可	setpsw_i();	— (処理なし)

注 1. モジュールストップ機能については、「7. モジュールストップ機能」を参照してください。

- 注 2. RX では MPC で周辺機能の端子設定を行います。詳細は「9.1 入出力ポート」を参照してください。
- 注 3. ビットレートの詳細は、「5. ビットレートの算出方法」を参照してください。
- 注 4. RX には割り込み制御モードはありません。詳細は「6. 割り込みの相違点」を参照してください。
- 注 5. 割り込み優先レベルの設定方法の詳細は、「6. 割り込みの相違点」を参照してください。
- 注 6. 割り込み要求を許可にする方法が異なります。詳細は「6. 割り込みの相違点」を参照してください。

表 3.8 送信動作時の送信割り込み処理内容の相違点

手順		RX (RX261)	H8S (H8S/2378)
1	TDRE フラグリード	— (処理なし)	if(SCI0.SSR.BIT.TDRE == 1) {
2	送信データの書き込み	/* SCI1.TDR レジスタに送信データ を書き込む */	/* SCI0.TDR レジスタに送信データ を書き込む */
3	TDRE フラグクリア	— (処理なし)	SCI0.SSR.BIT.TDRE = 0;
4	最終データ書き込み確認	if(最終データ書き込み済み?) {	if(最終データ書き込み済み?) {
5	送信割り込みの禁止 (最 終データ書き込み後のみ)	IEN(SCI1, TXI1) = 0; SCI1.SCR.BIT.TIE = 0; while(0 != SCI1.SCR.BIT.TIE) { }	SCI0.SCR.BIT.TIE = 0; while(0 != SCI0.SCR.BIT.TIE) { }
6	割り込み要求をクリア (最終データ書き込み後の み)	IR(SCI1, TXI1) = 0; while(0 != IR(SCI1, TXI1)) { }	— (処理なし)
7	送信終了割り込みを許可 (最終データ書き込み後の み)	SCI1.SCR.BIT.TEIE = 1; IEN(SCI1, TEI1) = 1; }	SCI0.SCR.BIT.TEIE = 1; } }

表 3.9 送信動作時の送信終了割り込み処理内容の相違点

手順		RX (RX261)	H8S (H8S/2378)
1	送信および割り込みの禁 止	IEN(SCI1, TEI1) = 0; SCI1.SCR.BYTE &= 0x0B; while(0x00 != (SCI1.SCR.BYTE & 0xF4)) { }	SCI0.SCR.BYTE &= 0x0B; while(0x00 != (SCI0.SCR.BYTE & 0xF4)) { }
2	割り込み要求をクリア	IR(SCI1, TEI1) = 0; while(0 != IR(SCI1, TEI1)) { }	- (処理なし) (注 1)

注 1. SCR.TEIE ビットを"0"に設定すると、送信終了割り込み要求はクリアされます。

3.3 スレーブ受信動作時の相違点

クロック同期式のスレーブ受信を行う場合の相違点について説明します。

前提条件として、受信割り込み、受信エラー割り込みを使用した受信処理とし、データ受信中に他の割り込みにより受信割り込みが待たされ、オーバーランエラーが発生する例を示します。

3.3.1 スレーブ受信動作時のタイミングの相違点

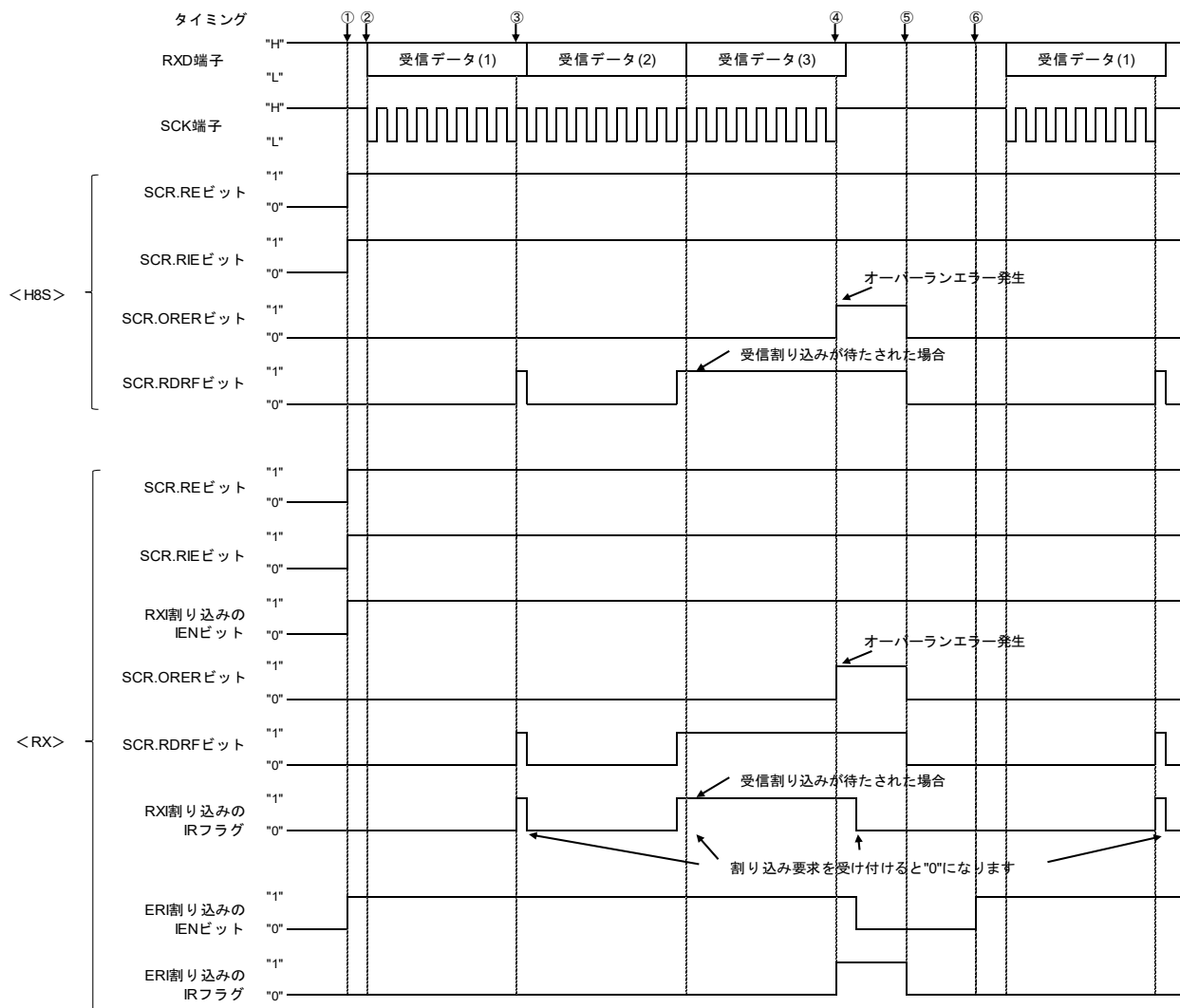


図 3.3 に RX と H8S のタイミング相違点 (受信時) を示します。

表 3.10 に RX と H8S の各タイミングでの動作および処理内容の相違点 (受信時) を示します。

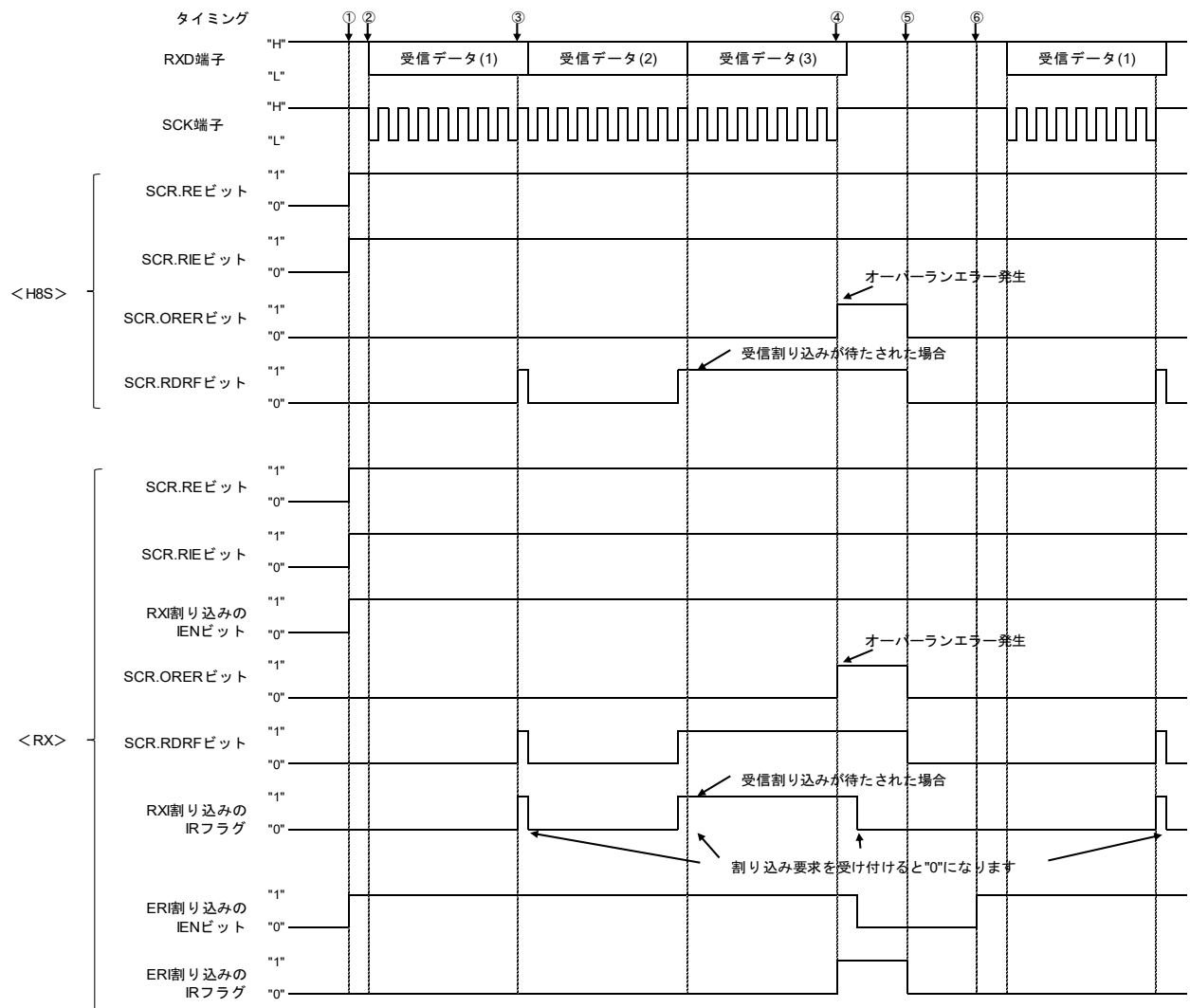


図 3.3 中の①～⑥の番号は、表 3.10 中の説明①～⑥に対応しています。

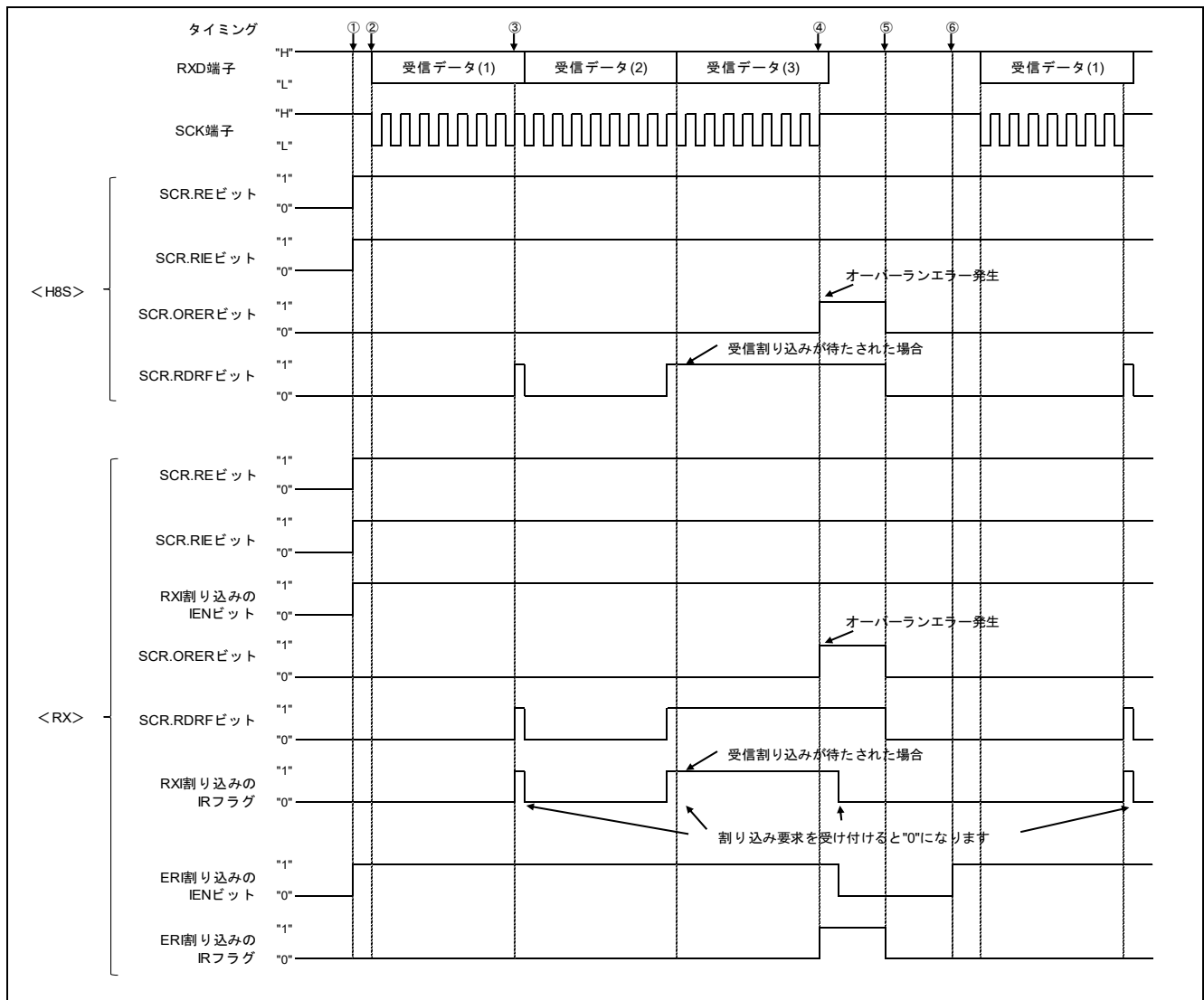


図 3.3 RX と H8S のタイミング相違点 (受信時)

表 3.10 RX と H8S の各タイミングでの動作および処理内容の相違点 (受信時)

タイミング	RX (RX261)	H8S (H8S/2378)
① 受信許可設定	割り込み許可にするため、以下のビットを設定します。 SCR.RIE ビットを“1” RXI 割り込みの IEN ビットを“1” ERI 割り込みの IEN ビットを“1” 受信許可にするため、以下のビットを設定します。 SCR.RE ビットを“1”	割り込み許可にするため、以下のビットを設定します。 SCR.RIE ビットを“1” 受信許可にするため、以下のビットを設定します。 SCR.RE ビットを“1”
② 受信開始	SCK 端子にクロックが入力されると、受信動作を開始します。	SCK 端子にクロックが入力されると、受信動作を開始します。
③ 受信完了時	1 バイトのデータを受信すると、受信データが受信バッファに取り込まれ、受信割り込み (RXI 割り込み) の IR フラグが“1”になり、受信割り込みが発生します。受信割り込み処理で、受信バッファから値を読み出します。	1 バイトのデータを受信すると、受信データが受信バッファに取り込まれ、SSR.RDRF フラグが“1”になり、受信割り込み (RXI 割り込み) が発生します。受信割り込み処理で、受信バッファから値を読み出し、SSR.RDRF フラグを“0”に設定します。
④ 受信エラー発生時	オーバランエラー発生時、受信エラー割り込み (ERI 割り込み) の IR フラグが“1”になります。ERI 割り込み処理で、受信エラー処理を行います。	オーバランエラー発生時、SSR.ORER フラグが“1”になり、ERI 割り込みが発生します。ERI 割り込み処理で、受信エラー処理を行います。
⑤ 受信エラーフラグのクリア	SSR レジスタのオーバランエラーフラグを読み出し後、“0”を書き込み、エラーフラグをクリアします。 全てのエラーフラグをクリアすると、ERI 割り込みの IR フラグが“0”になり、受信許可状態となります。	SSR レジスタのオーバランエラーフラグを読み出し後、“0”を書き込み、エラーフラグをクリアします。 全てのエラーフラグをクリアすると、受信許可状態となります。
⑥ 再度受信許可設定時		

3.3.2 スレーブ受信動作時での設定手順の相違点

表 3.11 に、受信動作時の初期設定手順の相違点を示します。H8S の初期設定手順は、割り込み制御モード 2 を使用する場合の手順を示します。

表 3.12 に、受信動作時の受信割り込み処理内容の相違点を示します。

表 3.13 に、受信動作時の ERI 割り込み処理内容の相違点を示します。

表 3.11 受信動作時の初期設定手順の相違点

手順		RX (RX261)	H8S (H8S/2378)
1	モジュールストップ状態を解除 ^(注 1)	SYSTEM.PRCR.WORD = 0xA502; MSTP(SCI5) = 0; SYSTEM.PRCR.WORD = 0xA500;	MSTPCR.BIT._SCI1 = 0;
2	送受信・割り込み禁止	SCI5.SCR.BYTE = 0x00;	SCI1.SCR.BYTE = 0x00;
3	I/O ポート機能の設定 ^(注 2)	PORTA.PMR.BIT.B3 = 0; PORTA.PMR.BIT.B1 = 0; MPC.PWPR.BIT.B0WI = 0; MPC.PWPR.BIT.PFSWE = 1; MPC.PA3PFS.BYTE = 0x0A; MPC.PA1PFS.BYTE = 0x0A; MPC.PWPR.BIT.PFSWE = 0; MPC.PWPR.BIT.B0WI = 1; PORTA.PMR.BIT.B3 = 1; PORTA.PMR.BIT.B1 = 1;	— (処理なし)
4	受信モード等の設定	SCI5.SCR.BIT.CKE = 10b; SCI5.SIMR1.BYTE = 0x00; SCI5.SPMR.BYTE = 0x00; SCI5.SMR.BIT.CM = 1; SCI5.SCMR.BYTE = 0xF2; SCI5.SEMR.BYTE = 0x00;	SCI1.SCR.BIT.CKE = 10b; SCI1.SMR.BIT.CA = 1; SCI1.SCMR.BYTE = 0xF2;
5	1 ビット期間ウェイト	— (処理なし)	1 ビット期間ウェイト処理
6	割り込み制御モード設定 ^(注 3)	— (処理なし)	INTC.INTCR.BIT.INTM = 10b;
7	割り込み優先レベル設定 ^(注 4)	IPR(SCI5,) = 0x01;	INTC.IPRI.BIT._SCI1 = 001b;
8	割り込み要求をクリア	IR(SCI5,RXI5) = 0;	— (処理なし)
9	周辺機能割り込み要求を許可	SCI5.SCR.BYTE = 0x50;	SCI1.SCR.BYTE = 0x50;
10	送受信許可		
11	割り込み要求を許可 ^(注 5)	IEN(SCI5,RXI5) = 1; IEN(SCI5,ERI5) = 1; /* ^(注 6) *	— (処理なし)
12	プロセッサ割り込み優先レベル設定	— (処理なし)	set_imask_exr(0);
13	マスクブル割り込みの許可	setpsw_i();	— (処理なし)

注 1. モジュールストップ機能については、「7. モジュールストップ機能」を参照してください。

注 2. RX では MPC で周辺機能の端子設定を行います。詳細は「9.1 入出力ポート」を参照してください。

注 3. RX には割り込み制御モードはありません。詳細は「6. 割り込みの相違点」を参照してください。

注 4. 割り込み優先レベルの設定方法の詳細は、「6. 割り込みの相違点」を参照してください。

注 5. 割り込み要求を許可にする方法が異なります。詳細は「6. 割り込みの相違点」を参照してください。

注 6. 受信エラー割り込みの仕様はマイコンにより異なります。詳細はユーザーズマニュアル ハードウェア編を参照してください。

表 3.12 受信動作時の受信割り込み処理内容の相違点

手順		RX (RX261)	H8S (H8S/2378)
1	RDRF フラグリード	— (処理なし)	if(SCI1.SSR.BIT.RDRF == 1) {
2	受信データの読み出し	/* SCI5.RDR レジスタから受信データを読み出し */	/* SCI1.RDR レジスタから受信データを読み出し */
3	RDRF フラグクリア	— (処理なし)	SCI1.SSR.BIT.RDRF = 0;
4	最終データ受信確認	if(最終データの受信?) {	if(最終データの受信?) {
5	受信および割り込みの禁止 (最終データ受信後のみ)	IEN(SCI5,RXI5) = 0; IEN(SCI5,ERI5) = 0; SCI5.SCR.BYTE &= 0x0B; while(0x00 != (SCI5.SCR.BYTE & 0xF4)) { }	SCI1.SCR.BYTE &= 0x0B; while(0x00 != (SCI1.SCR.BYTE & 0xF4)) { } }
6	割り込み要求をクリア	IR(SCI5,RXI5) = 0; while(0 != IR(SCI5,RXI5)) { } IR(SCI5,ERI5) = 0; while(0 != IR(SCI5,ERI5)) { } }	— (処理なし)

表 3.13 受信動作時の ERI 割り込み処理内容の相違点

手順		RX (RX261)	H8S (H8S/2378)
1	ORER フラグリード	<code>dummy = SCI5.SSR.BIT.ORER;</code> /* (注1) */	<code>dummy = SCI1.SSR.BIT.ORER;</code> /* (注1) */
2	受信エラー発生時の処理	<code>if(dummy== 1)</code> {	<code>if(dummy== 1)</code> {
3	受信バッファのダミーリード	<code>dummy_data = SCI5.RDR;</code>	— (処理なし)
4	エラー処理	/* オーバランエラー時の処理を 記載 */	/* オーバランエラー時の処理を 記載 */
5	受信および割り込みの禁止	<code>IEN(SCI5,RXI5) = 0;</code> <code>IEN(SCI5,ERI5) = 0;</code> <code>SCI5.SCR.BYTE &= 0x0B;</code> <code>while(0x00 != (SCI5.SCR.BYTE</code> <code>& 0xF4))</code> { }	<code>SCI1.SCR.BYTE &= 0x0B;</code> <code>while(0x00 != (SCI1.SCR.BYTE</code> <code>& 0xF4))</code> { }
6	ORER フラグクリア	<code>SCI5.SSR.BIT.ORER = 0;</code> <code>while(0 != SCI5.SSR.BIT.ORER)</code> { }	<code>SCI1.SSR.BIT.ORER = 0;</code> <code>while(0 != SCI1.SSR.BIT.ORER)</code> { }
7	割り込み要求をクリア	<code>IR(SCI5,RXI5) = 0;</code> <code>while(0 != IR(SCI5,RXI5))</code> { } <code>IR(SCI5,ERI5) = 0;</code> <code>while(0 != IR(SCI5,ERI5))</code> { }	— (処理なし)

注 1. ORER フラグ (オーバランエラーフラグ) をクリアする場合は、事前に“1”の状態を読み出してください。

4. 調歩同期式シリアル通信の相違点

本章では RX、H8S の調歩同期式シリアル通信の相違点を記載します。

表 4.1 に RX と H8S における調歩同期式シリアル通信の前提条件を示します。

なお、TXD 端子および RXD 端子の外部にプルアップ抵抗による制御をしていることを前提とします。

表 4.1 調歩同期式シリアル通信の条件

項目	送受信条件	
	RX (RX261)	H8S (H8S/2378)
周辺機能の動作クロック	PCLKB : 16MHz	ϕ : 20MHz
通信速度	9600bps	
データ長	8 ビット	
パリティ	なし	
ストップビット	1 ビット	
データフォーマット	LSB ファースト	
ハードウェアフロー制御	使用しない	機能なし
使用チャネル	SCI5	チャネル 0
使用端子	RXD5 : PA3 TXD5 : PA4	RXD0 : P32 TXD0 : P30

4.1 送信動作時の相違点

調歩同期式シリアル通信における、送信処理を行う場合の相違点について説明します。

前提条件として、送信割り込み、送信終了割り込みを使用します。

4.1.1 送信動作時のタイミング相違点

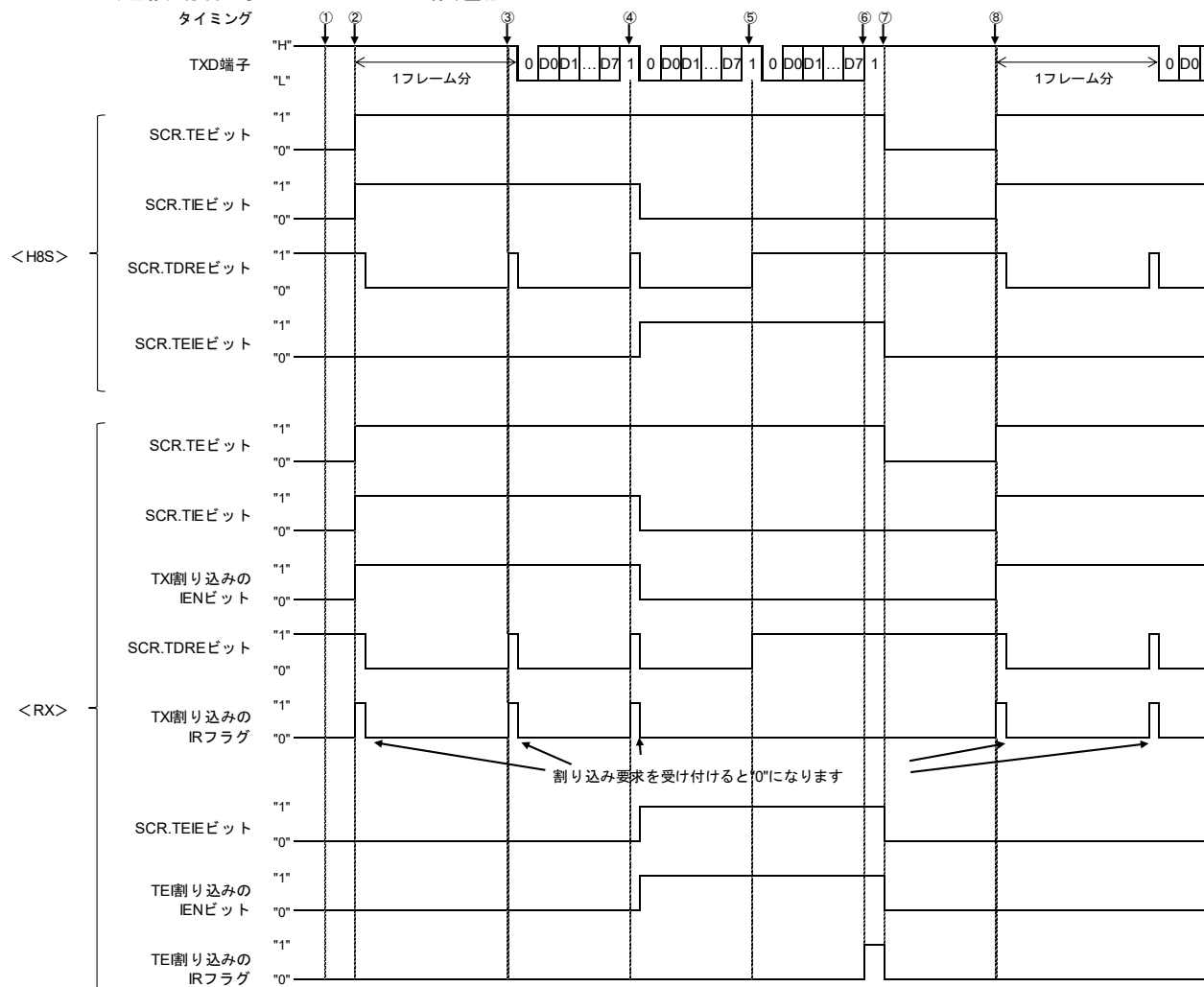


図 4.1 に、RX と H8S の送信タイミング相違点 (3 バイトずつ送信する場合) を示します。表 4.2 に、RX と H8S の各タイミングでの動作および処理内容の相違点 (3 バイトずつ送信する場合) を示します。

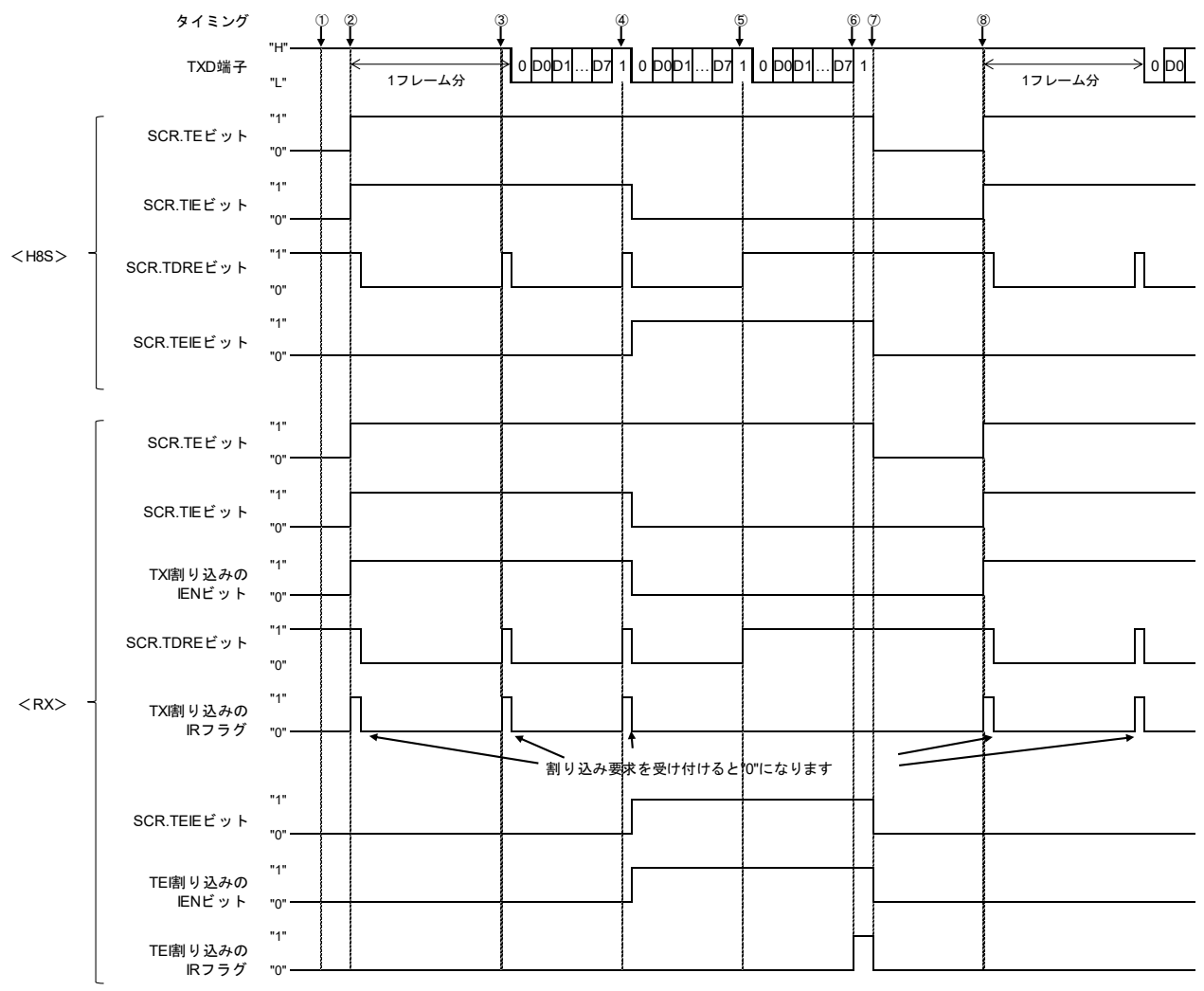


図 4.1 中の①～⑧の番号は、表 4.2 中の説明①～⑧に対応しています。

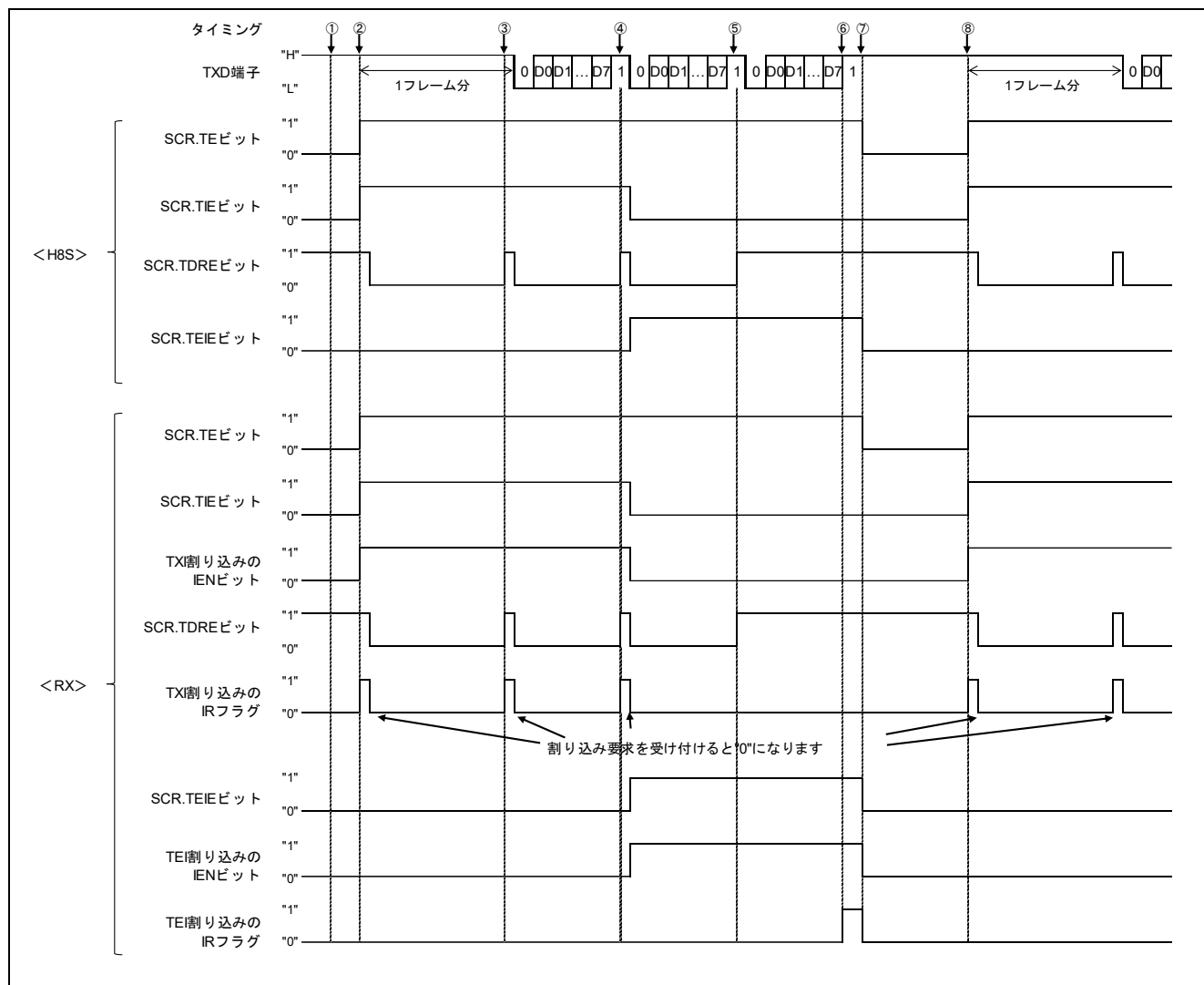


図 4.1 RX と H8S の送信タイミング相違点 (3 バイトずつ送信する場合)

表 4.2 RX と H8S の各タイミングでの動作および処理内容の相違点 (3 バイトずつ送信する場合)

タイミング	RX (RX261)	H8S (H8S/2378)
① 送信開始前	端子の機能を TXDn に設定した状態では、SCR.TE ビットを“1” (送信許可) に設定するまで、TXD 端子はハイインピーダンスになります。 ^(注 1)	SCR.TE ビットを“1” (送信許可) に設定するまで、TXD 端子は汎用入出力ポートです。
② 送信開始時	割り込み許可にするため、以下のビットを設定します。 SCR.TIE ビットを“1” TXI 割り込みの IEN ビットを“1” また、送信許可にするため、以下のビットを設定します。 SCR.TE ビットを“1” SCR.TE ビットを“1”にしたことにより、送信割り込み (TXI 割り込み) の IR フラグが“1”になります。送信割り込みで 1 バイト目の送信データを書き込みます。	割り込み許可にするため、以下のビットを設定します。 SCR.TIE ビットを“1” また、送信許可にするため、以下のビットを設定します。 SCR.TE ビットを“1” SCR.TE ビットを“1”にしたことにより、送信割り込み (TXI 割り込み) が発生します。送信割り込みで 1 バイト目の送信データを書き込みます。
③ 送信シフトレジスタに 1 バイト目の送信データ転送時	送信割り込みの IR フラグが“1”になり、送信割り込みが発生します。送信割り込み処理で、2 バイト目のデータを書き込みます。	SSR.TDRE ビットが“1”になり、送信割り込みが発生します。送信割り込み処理で、2 バイト目のデータを書き込み、SSR.TDRE ビットを“0”に設定します。
④ 最終データ書き込み時の送信割り込み	送信割り込み禁止にするため、以下のビットを設定します。 SCR.TIE ビットを“0” TXI 割り込みの IEN ビットを“0” また、送信終了割り込み許可にするため、以下のビットを設定します。 SCR.TEIE ビットを“1” TEI 割り込みの IEN ビットを“1”	送信割り込み禁止にするため、以下のビットを設定します。 SCR.TIE ビットを“0” また、送信終了割り込み許可にするため、以下のビットを設定します。 SCR.TEIE ビットを“1”
⑤ 最終データ書き込み後	送信割り込みは発生しません。	
⑥ 送信終了時	送信終了割り込みが発生します。	
⑦ 送信終了割り込み処理	送信終了割り込み禁止にするため、以下のビットを設定します。 SCR.TEIE ビットを“0” 送信終了割り込みの IEN ビットを“0” また、送信禁止にするため、以下のビットを設定します。 SCR.TE ビットを“0” 端子の機能を TXD に設定した状態で、送信禁止にすると、TXD 端子がハイインピーダンスになります。	送信終了割り込み禁止にするため、以下のビットを設定します。 SCR.TEIE ビットを“0” また、送信禁止にするため、以下のビットを設定します。 SCR.TE ビットを“0” 送信を禁止にすると、TXD 端子は汎用入出力ポートになります。
⑧ 再度送信開始時	「②送信開始時」と同じ処理を行います。	

注 1. 詳細は、「9.4 トランスミットイネーブルビットに関する注意事項」を参照してください。

4.1.2 送信動作時での設定手順の相違点

表 4.3 に、送信動作時の初期設定手順の相違点を示します。H8S の初期設定手順は、割り込み制御モード 2 を使用する場合の手順を示します。

表 4.4 に、送信動作時の送信割り込み処理内容の相違点を示します。

表 4.5 に、送信動作時の送信終了割り込み処理内容の相違点を示します。

表 4.3 送信動作時の初期設定手順の相違点

手順		RX (RX261)	H8S (H8S/2378)
1	モジュールストップ状態を解除 (注 1)	SYSTEM.PRCR.WORD = 0xA502; MSTP(SCI5) = 0; SYSTEM.PRCR.WORD = 0xA500;	MSTPCR.BIT._SCI0 = 0;
2	送受信・割り込み禁止	SCI5.SCR.BYTE = 0x00;	SCI0.SCR.BYTE = 0x00;
3	I/O ポート機能の設定 (注 2)	PORTA.PMR.BIT.B4 = 0; MPC.PWPR.BIT.B0WI = 0; MPC.PWPR.BIT.PFSWE = 1; MPC.PA4PFS.BYTE = 0x0A; MPC.PWPR.BIT.PFSWE = 0; MPC.PWPR.BIT.B0WI = 1; PORTA.PMR.BIT.B4 = 1;	— (処理なし)
4	送信モード等の設定	SCI5.SCR.BIT.CKE = 0; SCI5.SIMR1.BYTE = 0x00; SCI5.SPMR.BYTE = 0x00; SCI5.SMR.BYTE = 0x00; SCI5.SCMR.BYTE = 0xF2; SCI5.SEMR.BYTE = 0x00;	SCI0.SCR.BIT.CKE = 0; SCI0.SMR.BYTE = 0x01; SCI0.SCMR.BYTE = 0xF2;
5	ビットレートの設定 (注 3)	SCI5.BRR = 0x33;	SCI0.BRR = 0x0F;
6	1 ビット期間ウェイト	— (処理なし)	1 ビット期間ウェイト処理
7	割り込み制御モード設定 (注 4)	— (処理なし)	INTC.INTCR.BIT.INTM = 10b;
8	割り込み優先レベル設定 (注 5)	IPR(SCI5,) = 0x01;	INTC.IPRI.BIT._SCI0 = 001b;
9	割り込み要求をクリア	IR(SCI5,TXI5) = 0;	— (処理なし)
10	周辺機能割り込み要求を許可	SCI5.SCR.BYTE = 0xA0;	SCI0.SCR.BYTE = 0xA0;
11	送信許可		
12	割り込み要求を許可 (注 6)	IEN(SCI5,TXI5) = 1;	— (処理なし)
13	プロセッサ割り込み優先レベル設定	— (処理なし)	set_imask_exr(0);
14	マスカブル割り込みの許可	setpsw_i();	— (処理なし)

注 1. モジュールストップ機能については、「7. モジュールストップ機能」を参照してください。

注 2. RX では MPC で周辺機能の端子設定を行います。詳細は「9.1 入出力ポート」を参照してください。

注 3. ビットレートの詳細は、「5. ビットレートの算出方法」を参照してください。

注 4. RX には割り込み制御モードはありません。詳細は「6. 割り込みの相違点」を参照してください。

注 5. 割り込み優先レベルの設定方法の詳細は、「6. 割り込みの相違点」を参照してください。

注 6. 割り込み要求を許可にする方法が異なります。詳細は「6. 割り込みの相違点」を参照してください。

表 4.4 送信動作時の送信割り込み処理内容の相違点

手順		RX (RX261)	H8S (H8S/2378)
1	TDRE フラグリード	— (処理なし)	if(SCI0.SSR.BIT.TDRE == 1) {
2	送信データの書き込み	/* SCI5.TDR レジスタに送信データを書き込む */	/* SCI0.TDR レジスタに送信データを書き込む */
3	TDRE フラグクリア	— (処理なし)	SCI0.SSR.BIT.TDRE = 0;
4	最終データ書き込み確認	if(最終データ書き込み済み?) {	if(最終データ書き込み済み?) {
5	送信割り込みの禁止 (最終データ書き込み後のみ)	SCI5.SCR.BIT.TIE = 0; IEN(SCI5,TXI5) = 0; while(0 != SCI5.SCR.BIT.TIE) { }	SCI0.SCR.BIT.TIE = 0; while(0 != SCI0.SCR.BIT.TIE) { }
6	割り込み要求をクリア (最終データ書き込み後のみ)	IR(SCI5,TXI5) = 0; while(0 != IR(SCI5,TXI5)) { }	— (処理なし)
7	送信終了割り込みを許可 (最終データ書き込み後のみ)	SCI5.SCR.BIT.TEIE = 1; IEN(SCI5,TEI5) = 1; }	SCI0.SCR.BIT.TEIE = 1; } }

表 4.5 送信動作時の送信終了割り込み処理内容の相違点

手順		RX (RX261)	H8S (H8S/2378)
1	送信および割り込みの禁止	SCI5.SCR.BYTE &= 0x0B; while(0x00 != (SCI5.SCR.BYTE & 0xF4)) { }	SCI0.SCR.BYTE &= 0x0B; while(0x00 != (SCI0.SCR.BYTE & 0xF4)) { }
2	割り込み要求をクリア	IR(SCI5,TEI5) = 0; while(0 != SCI5,TEI5) { }	— (処理なし) (注 1)

注 1. SCR.TEIE ビットを"0"に設定すると、送信終了割り込み要求はクリアされます。

4.2 受信動作時の相違点

調歩同期式シリアル通信における、受信を行う場合の相違点について説明します。

前提条件として、受信割り込み、受信エラー割り込みを使用し、受信エラーが発生した場合の処理について説明します。

4.2.1 受信動作時のタイミング相違点

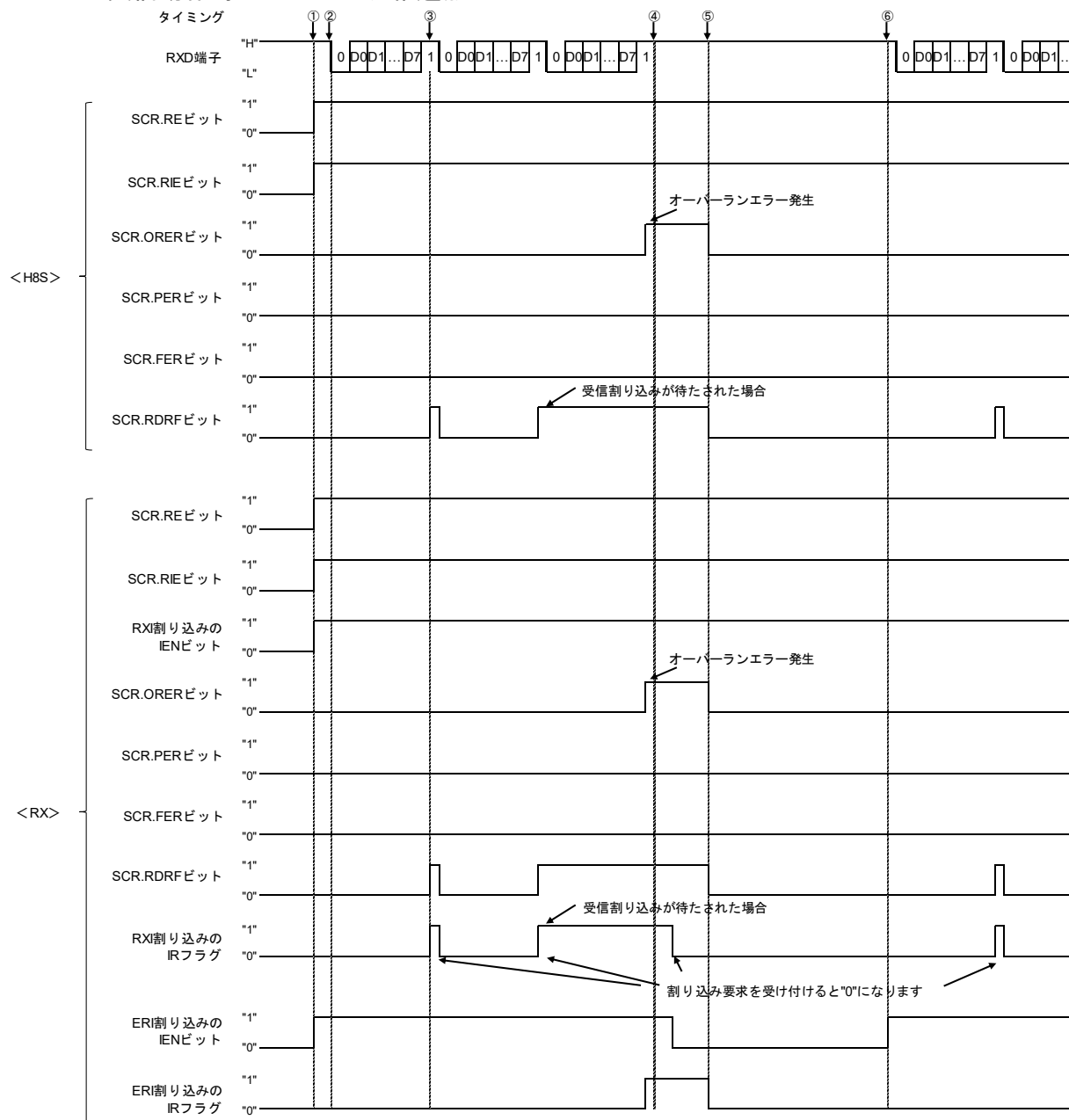


図 4.2 に、RX と H8S の受信タイミング相違点 (3 バイトずつ受信する場合) を示します。

表 4.6 に、RX と H8S の各タイミングでの動作および処理内容の相違点 (3 バイトずつ受信する場合) を示します。

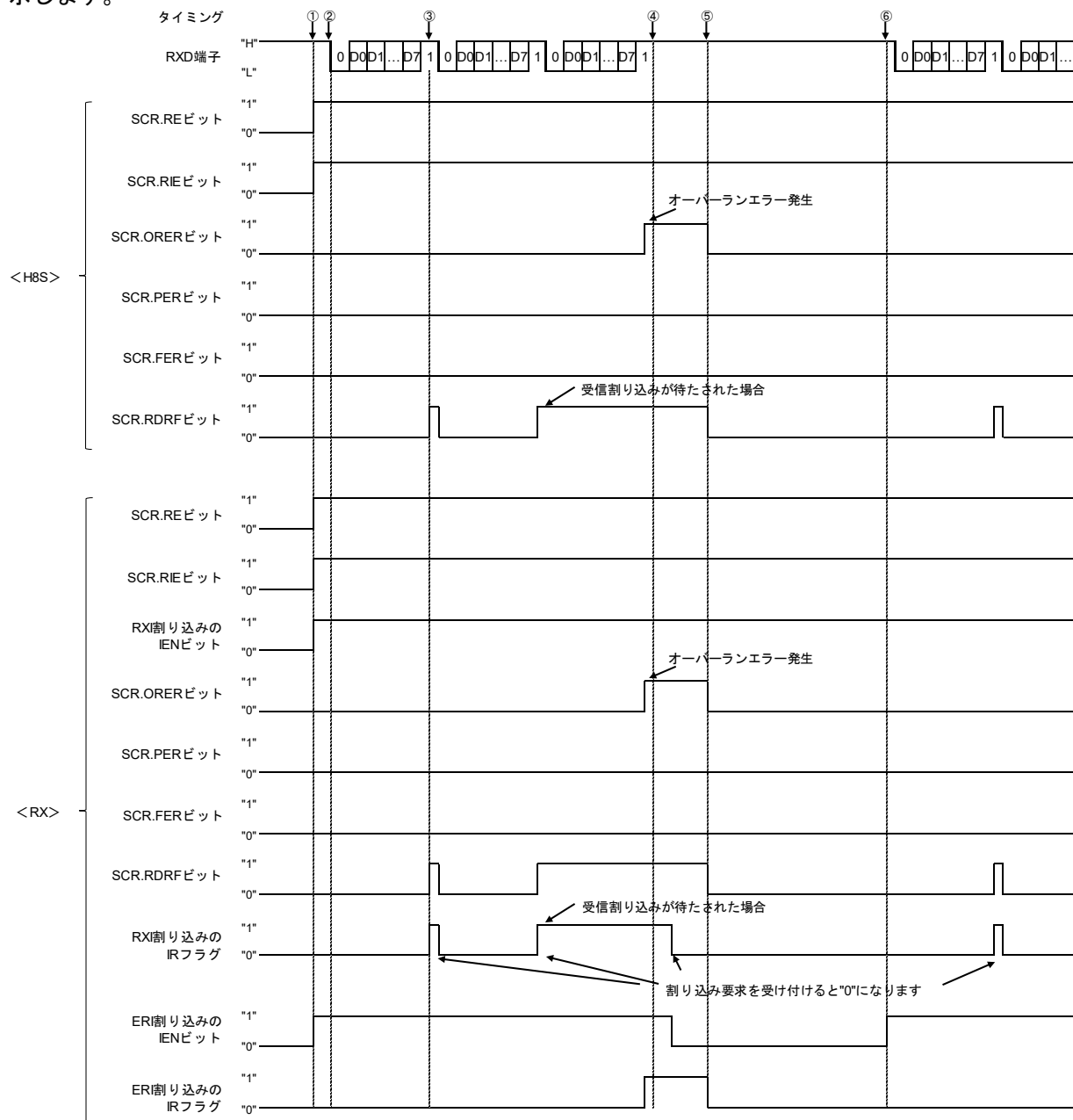


図 4.2 中の①～⑥の番号は、表 4.6 中の説明①～⑥に対応しています。

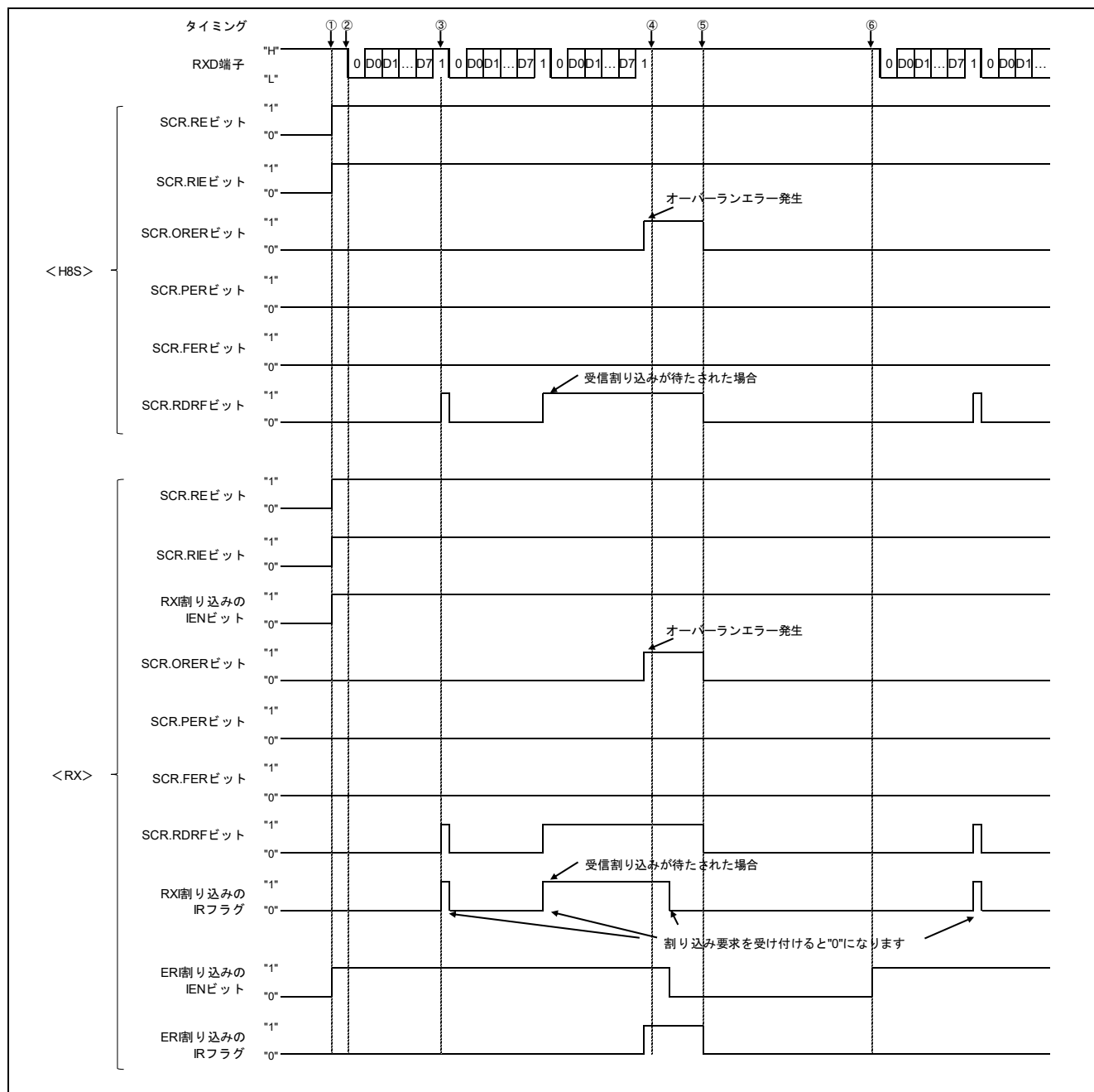


図 4.2 RX と H8S の受信タイミング相違点 (3 バイトずつ受信する場合)

表 4.6 RX と H8S の各タイミングでの動作および処理内容の相違点 (3 バイトずつ受信する場合)

タイミング	RX (RX261)	H8S (H8S/2378)
① 受信許可設定	割り込み許可にするため、以下のビットを設定します。 SCR.RIE ビットを“1” RXI 割り込みの IEN ビットを“1” ERI 割り込みの IEN ビットを“1” 受信許可にするため、以下のビットを設定します。 SCR.RE ビットを“1”	割り込み許可にするため、以下のビットを設定します。 SCR.RIE ビットを“1” 受信許可にするため、以下のビットを設定します。 SCR.RE ビットを“1”
② 受信開始	スタートビットを検出すると、受信動作を開始します。	スタートビットを検出すると、受信動作を開始します。
③ 受信完了時	1 バイトのデータを受信すると、受信データが受信バッファに取り込まれ、受信割り込み (RXI 割り込み) の IR フラグが“1”になり、受信割り込みが発生します。受信割り込み処理で、受信バッファから値を読み出します。	1 バイトのデータを受信すると、受信データが受信バッファに取り込まれ、SSR.RDRF フラグが“1”になり、受信割り込み (RXI 割り込み) が発生します。受信割り込み処理で、受信バッファから値を読み出し、SSR.RDRF フラグを“0”に設定します。
④ 受信エラー発生時	オーバランエラー発生時、受信エラー割り込み (ERI 割り込み) の IR フラグが“1”になります。ERI 割り込み処理で、受信エラー処理を行います。	オーバランエラー発生時、SSR.ORER フラグが“1”になり、ERI 割り込みが発生します。ERI 割り込み処理で、受信エラー処理を行います。
⑤ 受信エラーフラグのクリア	SSR レジスタのオーバランエラーフラグを読み出し後、“0”を書き込み、エラーフラグをクリアします。 全てのエラーフラグをクリアすると、ERI 割り込みの IR フラグが“0”になり、受信許可状態となります。	SSR レジスタのオーバランエラーフラグを読み出し後、“0”を書き込み、エラーフラグをクリアします。 全てのエラーフラグをクリアすると、受信許可状態となります。
⑥ 再度受信許可設定時		

4.2.2 受信動作時での設定手順の相違点

表 4.7 に、受信動作時の初期設定手順の相違点を示します。H8S の初期設定手順は、割り込み制御モード 2 を使用する場合の手順を示します。

表 4.8 に、受信動作時の受信割り込み処理内容の相違点を示します。

表 4.9 に、受信動作時の ERI 割り込み処理内容の相違点を示します。

表 4.7 受信動作時の初期設定手順の相違点

手順		RX (RX261)	H8S (H8S/2378)
1	モジュールストップ状態を解除 (注 1)	SYSTEM.PRCR.WORD = 0xA502; MSTP(SCI5) = 0; SYSTEM.PRCR.WORD = 0xA500;	MSTPCR.BIT._SCI0 = 0;
2	送受信・割り込み禁止	SCI5.SCR.BYTE = 0x00;	SCI0.SCR.BYTE = 0x00;
3	I/O ポート機能の設定 (注 2)	PORTA.PMR.BIT.B3 = 0; MPC.PWPR.BIT.B0WI = 0; MPC.PWPR.BIT.PFSWE = 1; MPC.PA3PFS.BYTE = 0x0A; MPC.PWPR.BIT.PFSWE = 0; MPC.PWPR.BIT.B0WI = 1; PORTA.PMR.BIT.B3 = 1;	— (処理なし)
4	受信モード等の設定	SCI5.SCR.BIT.CKE = 0; SCI5.SIMR1.BYTE = 0x00; SCI5.SPMR.BYTE = 0x00; SCI5.SMR.BYTE = 0x00; SCI5.SCMR.BYTE = 0xF2; SCI5.SEMR.BYTE = 0x00;	SCI0.SCR.BIT.CKE = 0; SCI0.SMR.BYTE = 0x01; SCI0.SCMR.BYTE = 0xF2;
5	ビットレートの設定 (注 3)	SCI5.BRR = 0x33;	SCI0.BRR = 0x0F;
6	1 ビット期間ウェイト	— (処理なし)	1 ビット期間ウェイト処理
7	割り込み制御モード設定 (注 4)	$\frac{3}{4}$ (処理なし)	INTC.INTCR.BIT.INTM = 10b;
8	割り込み優先レベル設定 (注 5)	IPR(SCI5,) = 0x01;	INTC.IPRI.BIT._SCI0 = 001b;
9	割り込み要求をクリア	IR(SCI5,RXI5) = 0; IR(SCI5,ERI5) = 0;	— (処理なし)
10	周辺機能割り込み要求を許可	SCI5.SCR.BYTE = 0x50;	SCI0.SCR.BYTE = 0x50;
11	送受信許可		
12	割り込み要求を許可 (注 6)	IEN(SCI5,RXI5) = 1; IEN(SCI5,ERI5) = 1; /* (注 7) */	— (処理なし)
13	プロセッサ割り込み優先レベル設定	— (処理なし)	set_imask_exr(0);
14	マスカブル割り込みの許可	setpsw_i();	— (処理なし)

注 1. モジュールストップ機能については、「7. モジュールストップ機能」を参照してください。

注 2. RX では MPC で周辺機能の端子設定を行います。詳細は「9.1 入出力ポート」を参照してください。

注 3. ビットレートの詳細は、「5. ビットレートの算出方法」を参照してください。

注 4. RX には割り込み制御モードはありません。詳細は「6. 割り込みの相違点」を参照してください。

注 5. 割り込み優先レベルの設定方法の詳細は、「6. 割り込みの相違点」を参照してください。

注 6. 割り込み要求を許可にする方法が異なります。詳細は「6. 割り込みの相違点」を参照してください。

注 7. 受信エラー割り込みの仕様はマイコンにより異なります。詳細はユーザーズマニュアル ハードウェア編を参照してください。

表 4.8 受信動作時の受信割り込み処理内容の相違点

手順		RX (RX261)	H8S (H8S/2378)
1	RDRF フラグリード	— (処理なし)	if(SCI0.SSR.BIT.RDRF == 1) {
2	受信データの読み出し	/* SCI5.RDR レジスタから受信データを読み出し */	/* SCI0.RDR レジスタから受信データを読み出し */
3	RDRF フラグクリア	— (処理なし)	SCI0.SSR.BIT.RDRF = 0;
4	最終データの受信確認	if(最終データの受信?) {	if(最終データの受信?) {
5	送受信および割り込みの禁止 (最終データ受信後のみ)	SCI5.SCR.BYTE &= 0x0F; while(0x00 != (SCI5.SCR.BYTE & 0xF0)) { }	SCI0.SCR.BYTE &= 0x0F; while(0x00 != (SCI0.SCR.BYTE & 0xF0)) { } } }
6	割り込み要求をクリア (最終データ書き込み後のみ)	IR(SCI5,RXI5) = 0; while(0 != IR(SCI5,RXI5)) { } }	— (処理なし)

表 4.9 受信動作時の ERI 割り込み処理内容の相違点

手順		RX (RX261)	H8S (H8S/2378)
1	ORER フラグリード	dummy = SCI5.SSR.BIT.ORER; /* (注1) */	dummy = SCI0.SSR.BIT.ORER; /* (注1) */
2	オーバランエラー発生時の処理	if(dummy== 1) { /* オーバランエラー発生時の処理を記載 (注2) */ }	if(dummy== 1) { /* オーバランエラー発生時の処理を記載 */ }
3	FER フラグリード	dummy = SCI5.SSR.BIT.FER; /* (注1) */	dummy = SCI0.SSR.BIT.FER; /* (注1) */
4	フレーミングエラー発生時の処理	if(dummy== 1) { /* フレーミングエラー発生時の処理を記載 (注3) */ }	
5	PER フラグリード	dummy = SCI5.SSR.BIT.PER; /* (注1) */	dummy = SCI0.SSR.BIT.PER; /* (注1) */
6	パリティエラー発生時の処理	if(dummy== 1) { /*パリティエラー発生時の処理を記載 */ }	
7	受信バッファのダミーリード	dummy_data = SCI5.RDR;	dummy_data = SCI0.RDR;
8	受信エラーのクリア	SCI5.SSR.BYTE &= 0xC7; while(0 != (SCI5.SSR.BYTE & 0x38)) { }	SCI0.SSR.BYTE &= 0xC7; while(0 != (SCI0.SSR.BYTE & 0x38)) { }
9	割り込み要求をクリア	IR(SCI5,ERI5) = 0; while(0 != IR(SCI5,ERI5)) { }	— (処理なし)

注 1. ORER フラグ (オーバランエラーフラグ)、FER フラグ (フレーミングエラーフラグ)、PER フラグ (パリティエラーフラグ) をクリアする場合は、事前に“1”の状態を読み出してください。

注 2. RX のオーバランエラー処理では、RDR レジスタをリードしてください。

注 3. フレーミングエラーでブ레이크を検出した場合は、SCR.RE ビットを 0 に設定し、受信を禁止してください。

5. ビットレートの算出方法

表 5.1 に、BRR レジスタの設定値 N とビットレート B の関係を示します。また、表 5.1 に示す計算式は、RX と H8S で同一です。

表 5.1 BRR レジスタの設定値 N とビットレート B の関係

モード	RX (RX261)	H8S (H8S/2378)
クロック同期式	$N = (PCLK \times 10^6 / (8 \times 2^{2n-1} \times B)) - 1$	$B = \phi \times 10^6 / (8 \times 2^{2n-1} \times (N+1))$
調歩同期式	(SEMR の BDGM=0、ABCS=0 の場合) $N = (PCLK \times 10^6 / (64 \times 2^{2n-1} \times B)) - 1$	$B = \phi \times 10^6 / (64 \times 2^{2n-1} \times (N+1))$
	(SEMR の BDGM=0、ABCS=1 の場合)	
	(SEMR の BDGM=1、ABCS=0 の場合) $N = (PCLK \times 10^6 / (32 \times 2^{2n-1} \times B)) - 1$	
	(SEMR の BDGM=1、ABCS=1 の場合) $N = (PCLK \times 10^6 / (16 \times 2^{2n-1} \times B)) - 1$	

B : ビットレート [bps]

N : BRR レジスタの設定値 ($0 \leq N \leq 255$)

PCLK または ϕ : 動作周波数 [MHz]

n : SEMR の設定値によって決まります。SEMR の設定値と n の関係を下表に示します。

SEMR の設定値と n の関係は、RX と H8S で同一です。

SEMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

表 5.2 に、表 5.1 中の SEMR.BDGM ビット、SEMR.ABCS ビットの機能を示します。

表 5.2 SEMR.BDGM ビット、SEMR.ABCS ビットの機能

ビット名	機能
BDGM	ボーレートジェネレータ倍速モードセレクトビット (調歩同期式モードで内蔵ボーレートジェネレータ使用時のみ有効) 0 : ボーレートジェネレータから通常の周波数のクロックを出力 1 : ボーレートジェネレータから 2 倍の周波数のクロックを出力
ABCS	調歩同期基本クロックセレクトビット (調歩同期式モードのみ有効) 0 : 基本クロック 16 サイクルの期間が 1 ビット期間の転送レートになります 1 : 基本クロック 8 サイクルの期間が 1 ビット期間の転送レートになります

6. 割り込みの相違点

RX は H8S と異なり、周辺機能毎の割り込み許可ビット・割り込み要求ビットに加え、割り込みコントローラに周辺機能の割り込み許可ビット・割り込み要求ビットがあります。

表 6.1 に SCI1 の割り込み関連リソースの相違点を示します。

表 6.1 中の IERm レジスタ (m = 02h~1Fh)、IRn レジスタ (n = 割り込みベクタ番号) は、割り込みコントローラのレジスタです。

IERm レジスタの各ビットと割り込み要因の対応、割り込みベクタ番号については、ユーザズマニュアル ハードウェア編の割り込みコントローラの章を参照してください。

表 6.1 SCI1 の割り込み関連リソースの相違点

項 目		RX (RX261)				H8S (H8S/2378)			
		ERI1	RXI1	TXI1	TEI1	ERI1	RXI1	TXI1	TEI1
割り込み許可レジスタ (許可ビット)	周辺機能 (SCI1)	SCR.RIE		SCR. TIE	SCR. TEIE	SCR.RIE		SCR. TIE	SCR. TEIE
	割り込み コント ローラ	IER1B. IEN2	IER1B. IEN3	IER1B. IEN4	IER1B. IEN5	なし			
割り込み要求 レジスタ (要因フラグ)	周辺機能 (SCI1)	SSR. ORER SSR. FER SSR. PER	SSR. RDRF	SSR. TDRE	SSR. TEND	SSR. ORER SSR. FER SSR. PER	SSR. RDRF	SSR. TDRE	SSR. TEND
	割り込み コント ローラ	IR218. IR	IR219. IR	IR220. IR	IR221. IR	なし			

RX では、下記の条件を満たすときに割り込みを受け付けることができます。

- I フラグ (PSW.I ビット) が“1”であること。
- ICU の IER、IPR レジスタで割り込み許可に設定されていること。
- 周辺機能の割り込み要求許可ビットで、割り込み要求が許可されていること。

表 6.2 に、RX と H8S の割り込みの発生条件についての比較表を示します。

表 6.2 RX と H8S の割り込みの発生条件についての比較表

項目	RX (RX261)	H8S (H8S/2378)
割り込み許可ビット (I ビット)	PSW レジスタの I ビットを“1” (許可) にすると、マスカブル割り込みの受け付けが許可されます。	割り込み制御モード 0 の場合、CCR レジスタの I ビットを“0” (許可) にすると、マスカブル割り込みの受け付けが許可されます。 割り込み制御モード 2 の場合は、CCR レジスタの I ビットは使用しません。
プロセッサ割り込み優先レベル	PSW レジスタの IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみが受け付けられます。	割り込み制御モード 2 の場合、EXR レジスタの I2~I0 ビットが示すレベルより高いレベルの割り込み要求のみが受け付けられます。 割り込み制御モード 0 の場合は、EXR レジスタの I2~I0 ビットは使用しません。
割り込み優先レベル	IPR レジスタで設定します。 同じ IPR レベルの複数の割り込みが同時に発生した場合、ベクタテーブル番号の若い番号の割り込みが優先されます。	割り込み制御モード 0 の場合はデフォルトの設定となります。 割り込み制御モード 2 の場合は、IPR レジスタの設定となります。 同じ IPR レベルの複数の割り込みが同時に発生した場合、ベクタテーブル番号の若い番号の割り込みが優先されます。
割り込み要求フラグ	周辺機能、外部端子、NMI 割り込み等の全ての割り込みステータスフラグ (IR) を割り込みコントローラで管理します。	外部割り込みは、割り込みコントローラ、内部割り込み要因は、各内蔵周辺機能内で割り込みステータスフラグを管理します。
割り込み要求許可	マスカブル割り込みは IER レジスタ、ノンマスカブル割り込みは NMIER レジスタで設定します。	IER レジスタで IRQ 割り込み許可を設定します。
周辺機能の割り込み許可	各周辺機能で割り込みの許可、禁止を設定できます。	

表 6.3 に、プロセッサ割り込み許可と優先レベルの相違点を示します。

RX では、PSW.I ビットを“1” (割り込み許可) に設定すると、プロセッサ割り込み優先レベルはデフォルトで優先レベル 0 (最低レベル) になっているため、マスカブル割り込み許可になります。

表 6.3 プロセッサ割り込み許可と優先レベルの相違点

項目	RX (RX261)	H8S (H8S/2378)	
		割り込み制御モード 0	割り込み制御モード 2
割り込み許可 デフォルト値	PSW.I ビット : 0 (割り込みマスク)	CCR.I ビット : 1 (割り込みマスク)	使用しない ^(注 1)
プロセッサ割り込み優先レベル デフォルト値	PSW.IPL[3:0] ビット : 0000b(最低レベル)	使用しない ^(注 1)	EXR.I2~I0 ビット : 111b (最高レベル)
リセット後の動作	マスカブル割り込みを受け付けない		

注 1. Don't care

表 6.4 に、割り込み許可に使用する組み込み関数 (一部) を示します。

表 6.4 割り込み許可に使用する組み込み関数 (一部)

項目	記述		
	RX (RX261)	H8S (H8S/2378)	
		割り込み制御モード 0	割り込み制御モード 2
プロセッサ割り込み許可設定	setpsw_i(); (注 1)	set_imask_ccr(0); (注 1)	使用しない
プロセッサ割り込み優先レベルの設定 (“0”に設定する場合)	set_ipi(0); (注 1)	使用しない	set_imask_exr(0); (注 1)

注 1. “machine.h”のインクルードが必要です。

詳細は、ユーザーズマニュアル ハードウェア編の割り込みコントローラ (ICU)、CPU、使用する周辺機能の章を参照してください。

7. モジュールストップ機能

H8S、RX は周辺モジュールごとに機能を停止させることが可能です。

使用しない周辺モジュールをモジュールストップ状態へ遷移させることで、消費電力を低減することができます。リセット解除後は、表 7.1 に示すモジュール以外はモジュールストップ状態になっています。

表 7.1 RX、H8S の初期設定時動作しているモジュール

RX (RX261)	H8S (H8S/2378)
DMAC、DTC、RAM	EXDMAC、DMAC、DTC

モジュールストップ状態のモジュールのレジスタは、読み書きできません。

表 7.1 に示すモジュール以外のモジュールを使用する場合は、モジュールストップ状態を解除した後、初期設定等を行ってください。

詳細は、ユーザーズマニュアル ハードウェア編の消費電力低減機能の章を参照してください。

8. レジスタライトプロテクション機能

RX では、プログラムが暴走したときに備えて、重要なレジスタを書き換えられないように保護することが可能です。プロテクトレジスタ(PCR)によって、保護するレジスタを設定します。

クロック発生回路関連レジスタ、動作モード関連レジスタ、消費電力低減機能関連レジスタ、ローパワータイマ関連レジスタ、LVD 関連レジスタ、ソフトウェアリセットレジスタを保護することが可能です。

詳細は、ユーザーズマニュアル ハードウェア編のレジスタライトプロテクション機能の章を参照ください。

9. H8S から RX へ置き換えるときのポイント

H8S から RX へ置き換えるときのポイントについて、以下に示します。

9.1 入出力ポート

RX では、周辺機能の入出力信号を端子に割り当てるには、MPC の設定を行う必要があります。

RX の端子の入出力制御を行う前に以下の 2 つの設定を行ってください。

- MPC の PFS レジスタ：該当端子に割り当てる周辺機能の選択
- I/O ポートの PMR レジスタ：該当端子に汎用入出力ポート/周辺機能を割り当てるかの選択

表 9.1 に、RX と H8S の周辺機能端子の入出力設定についての比較表を示します。

表 9.1 RX と H8S の周辺機能端子の入出力設定についての比較表

機能	RX (RX261)	H8S (H8S/2378)
端子の機能選択	PFS レジスタを設定することで、周辺機能の入出力を複数の端子から選択して割り付けることができます。	MCU 動作モード、SYSCR.EXPE ビット、PFCR レジスタ、DDR レジスタ、各周辺機能の設定の組み合わせにより、汎用入出力ポート/周辺機能の切り替え、また端子の機能選択が可能です。
汎用入出力ポート/ 周辺機能の切り替え	PMR レジスタを設定することで、対象端子を I/O ポートとして使用するか、周辺機能として使用するかを選択できます。	

詳細は、ユーザーズマニュアル ハードウェア編のマルチファンクションピンコントローラ (MPC) と、I/O ポートの章を参照してください。

9.2 I/O レジスタマクロ

RX の I/O レジスタの定義 (iodefine.h) 内では、下記のマクロ定義を用意しています。

マクロ定義を使用することで可読性の高いプログラムを記載できます。

表 9.2 に、マクロの使用例を示します。

表 9.2 マクロの使用例

マクロ	使用例
IR("module name", "bit name")	IR(MTU0, TGIA0) = 0; MTU0 の TGIA0 に対応した IR フラグを"0" (割り込み要求をクリア) にします。
DTCE("module name", "bit name")	DTCE(MTU0, TGIA0) = 1; MTU0 の TGIA0 に対応した DTCE ビットを"1" (DTC 起動を許可) にします。
IEN("module name", "bit name")	IEN(MTU0, TGIA0) = 1; MTU0 の TGIA0 に対応した IEN ビットを"1" (割り込みを許可) にします。
IPR("module name", "bit name")	IPR(MTU0, TGIA0) = 0x02; MTU0 の TGIA0 に対応した IPR ビットを"2" (割り込み優先レベルを"2") にします。
MSTP("module name")	MSTP(MTU) = 0; MTU0 のモジュールストップ設定ビットを"0" (モジュールストップ状態を解除) にします。
VECT("module name", "bit name")	#pragma interrupt(Excep_MTU0_TGIA0(vect=VECT(MTU0, TGIA0))) MTU0 の TGIA0 に対応した割り込み関数を宣言します。

9.3 組み込み関数

RX では、制御レジスタの設定や特殊命令用に組み込み関数を用意しています。組み込み関数を使用する場合は、machine.h をインクルードしてください。

表 9.3 に、RX と H8S の制御レジスタの設定や特殊命令などの記述の相違点（一例）を示します。

表 9.3 RX と H8S の制御レジスタの設定や特殊命令などの記述の相違点（一例）

項目	記述	
	RX (RX261)	H8S (H8S/2378)
I フラグを”1”にする	setpsw_i(); (注 1)	set_imask_ccr(1); (注 1) (注 2)
I フラグを”0”にする	clrpsw_i(); (注 1)	set_imask_ccr(0); (注 1) (注 2)
WAIT 命令に展開します。	wait(); (注 1)	なし
NOP 命令に展開します。	nop(); (注 1)	nop(); (注 1)

注 1. “machine.h”のインクルードが必要です。

注 2. RX では I = 1 のとき割り込み許可、H8S では I = 1 のとき割り込みマスクを意味します。

9.4 トランスミットイネーブルビットに関する注意事項

端子の機能を「TXDn」に設定した状態で、SCR.TE ビットを“0” (シリアル送信動作を禁止) にすると、端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- (1) TXDn ラインにプルアップ抵抗を接続する。
- (2) SCR.TE ビットを“0” にする前に、端子の機能を「汎用入出力ポート、出力」に変更する。
また、SCR.TE ビットを“1” にしてから、端子の機能を「TXDn」に変更する。

10. 参考ドキュメント

ユーザーズマニュアル：ハードウェア

H8S/2378 グループ、H8S/2378R グループ ハードウェアマニュアル Rev.7.00 (RJJ09B0094-0700)

RX260 グループ、RX261 グループ ユーザーズマニュアル ハードウェア編 (R01UH1045JJ)

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

アプリケーションノート

RX ファミリ、M16C ファミリ M16C から RX への置き換えガイド クロック同期式シリアル通信編
Rev.1.00 (R01AN1927JJ0100)

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ユーザーズマニュアル：開発環境

CC-RX コンパイラ ユーザーズマニュアル Rev.1.03 (R20UT3248JJ0103)

H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ コンパイラパッケージ Ver.7.00 ユーザーズマニュアル (RJJ10J2552-0100)

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2017.11.13	—	初版発行
2.00	2025.03.25	—	RX マイコンの比較対象機種を変更 RX231→RX261

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力ブルアップ電源を入れないでください。入力信号や入出力ブルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとしします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。